User's Manual

32

RA8E1 グループ

ユーザーズマニュアル　ハードウェア編

32 ビット MCU
Renesas Advanced (RA) ファミリ
Renesas RA8 シリーズ

本資料に記載のすべての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.1.10　Feb 2026

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1　2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2026 Renesas Electronics Corporation. All rights reserved.

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

はじめに

1. このドキュメントについて

このマニュアルは通常、製品の概要、CPU、システム制御機能、周辺機器の機能、電気的特性、および使用上の注意事項で構成されています。このマニュアルでは、マイクロコントローラ (MCU) のスーパーセットの製品仕様について説明します。製品によっては、一部のピン、レジスタ、または機能が存在しない場合があります。使用できないレジスタが割り当てられているアドレス空間は予約されています。

2. 対象読者

このマニュアルは、Renesas マイクロコントローラを使用してアプリケーションを設計およびプログラミングするシステム設計者を対象としています。読者には、電気回路、論理回路、および MCU に関する基本的な知識が求められます。

3. 関連ドキュメント

弊社では MCU 用に下記のドキュメントを提供しています。これらのドキュメントを使用する前に、www.renesas.com で最新版のドキュメントを参照してください。

構成	ドキュメントの種類	内容
マイクロコントローラ	データシート	特長、概要、および MCU の電気的特性
	ユーザーズマニュアルハードウェア編	ピン配置、メモリマップ、周辺機能、電気特性、タイミング図、および動作記述などの MCU 仕様
	アプリケーションノート	テクニカルノート、ボードデザインのガイドライン、およびソフトウェア移行情報
	テクニカルアップデート (TU)	制限や正誤表などの製品仕様に関する予備レポート
ソフトウェア	ユーザーズマニュアルソフトウェア	API リファレンスおよびプログラミング情報
	アプリケーションノート	プロジェクト・ファイル、ソフトウェア・プログラミングのガイドライン、および組み込みソフトウェアを開発するためのアプリケーション例
ツール&キット、ソリューション	ユーザーズマニュアル開発ツール	開発キット (DK)、スタートキット (SK)、プロモーションキット (PK)、製品例 (PE)、およびアプリケーション例 (AE) を含むエンベデッド・ソフトウェア・アプリケーションを開発するためのユーザーマニュアルおよびクイック・スタート・ガイド
	ユーザーズマニュアルソフトウェア	
	クイックスタートガイド	
	アプリケーションノート	プロジェクト・ファイル、ソフトウェア・プログラミングのガイドライン、および組み込みソフトウェアを開発するためのアプリケーション例

4. 数値の表記法

このマニュアルでは、次の進数表記を使用しています。

例	内容
011b	2 進数。例えば、3 という 2 進数に相当する値は 011b です。
0x1F	16 進数。例えば、31 の 16 進数に相当する数値は 0x1F と記述されています。場合によっては、16 進数の末尾に h がつくことがあります。
1234	10 進数。10 進数の後にこの記号が続くのは、混乱の可能性がある場合のみです。一般に、10 進数はサフィックスなしで表示されます。

5. シンボルの表記法

このマニュアルでは、次の表記法が使用されています。

例	内容
AAA.BBB.CCC	機能モジュールシンボル (AAA)、レジスタシンボル (BBB)、およびビットフィールドシンボル (CCC) はピリオドで区切られています。
AAA.BBB	機能モジュールシンボル (AAA) とレジスタシンボル (BBB) はピリオドで区切られています。
BBB.DDD	レジスタシンボル (BBB) とビットフィールドシンボル (DDD) はピリオドで区切られています。
EEE[3:0]	角括弧内の数字はビット幅を示します。例えば、EEE[3:0]はビット 3 から 0 を占有します。

6. 単位と単位の接頭部

次の単位と単位接頭辞は誤解を招くことがあります。これらのユニットプレフィックスについては、このマニュアル全体で次の意味で説明されています。

記号	名前	内容
b	2 進数	シングル 0 または 1
B	バイト	この単位記号は、一般に MCU とアドレス空間のメモリの仕様に使用されます。
k	キロ	1000 = 10^3。k は 1024 (2^{10}) を示すためにも使用されますが、このユニットプレフィックスはこのマニュアル全体で 1000 (10^3) を示すために使用されます。
K	キロ	1024 = 2^{10}。このユニットプレフィックスは、このマニュアル全体で 1000 (10^3) ではなく、1024 (2^{10}) を示すために使用されます。

7. 特殊用語

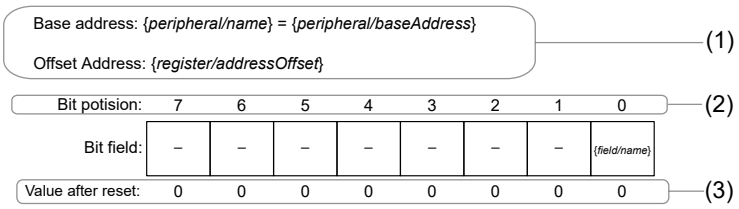
下記の用語には特殊な意味があります。

用語	内容
NC	非接続の端子。他に指定がなければ、NC は接続されていないことを意味します。
Hi-Z	ハイインピーダンス
x	Don't care または不定

8. レジスタの説明

各章のレジスタの説明には、ビット配置を示すレジスタ配置図と各ビットの内容を説明するレジスタのビット機能表があります。これらの表で使用される記号の例については、以降の項で説明します。以下は、レジスタの説明例および関連するビットフィールドの定義例です。

XX.X.X {*register/name*} : {*register/description*}



(4) (5) (6)

ビット	シンボル	機能	R/W
0	{*field/name*}	{*field/description*} 0: {*enumeratedValue/description*} 1: {*enumeratedValue/description*}	{*access*}
7:1	–	読むと0が読めます。書く場合、0としてください。	R/W

(1) 機能モジュールのシンボル、レジスタのシンボル、およびアドレス割り当て

このレジスタの機能モジュールのシンボル {*pheripheral/name*}、レジスタのシンボル {*register/name*}、およびアドレス割り当てが記載されています。ベースアドレスとオフセットアドレスについては、{*peripheral/name*} の {*regiser/name*} : {*register/description*} がアドレス {*peripheral/baseAddress*} + {*register/addressOffset*} に割り当てられていることを意味しています。

(2) ビット番号

この数値はビット番号を示します。32 ビットレジスタの場合はビット 31～0 の順に、16 ビットレジスタの場合はビット 15～0 の順に、8 ビットレジスタの場合はビット 7～0 の順に示されます。

(3) リセット後の値

このシンボルまたは数値は、リセット後の各ビットの値を示します。他に指定がない限り、値はバイナリで表示されます。

0: リセット後の値が 0 であることを示します。

1: リセット後の値が 1 であることを示します。

x: リセット後の値が不定であることを示します。

(4) シンボル

{*filed/name*} はビットフィールドの略名を示します。予約ビットは、—と表記されます。

(5) 機能

機能は、ビットフィールドの正式名 {*field/description*} と列挙値を示します。

(6) R/W

R/W 列は、そのビットフィールドが読み出し可能であるか書き込み可能であるかのアクセスタイプを示します。

R/W: そのビットフィールドは読み出しも書き込みも可能。

R: そのビットフィールドは読み出しのみ可能。書き込みは無効。

W: そのビットフィールドは書き込みのみ可能。他に指定のない限り、読み出し値はリセット後の値。

9. 略語

このマニュアルで使用されている略語を次の表に示します。

略語	内容
AES	Advanced Encryption Standard（高度暗号化標準）
AHB	Advanced High-performance Bus（アドバンストハイパフォーマンスバス）
AHB-AP	AHB Access Port（AHB アクセスポート）
APB	Advanced Peripheral Bus（アドバンスト周辺バス）
ARC	Alleged RC（Alleged RC 暗号）
ATB	Advanced Trace Bus（アドバンストトレースバス）
BCD	Binary Coded Decimal（2 進化 10 進数）
BSDL	Boundary Scan Description Language（バウンダリスキャン記述言語）
DES	Data Encryption Standard（データ暗号化標準）
DSA	Digital Signature Algorithm（デジタル署名アルゴリズム）
ETB	Embedded Trace Buffer（エンベデッドトレースバッファ）
ETM	Embedded Trace Macrocell（エンベデッドトレースマクロセル）
FLL	Frequency Locked Loop（周波数安定化ループ回路）
FPU	Floating Point Unit（浮動小数点ユニット）
HMI	Human Machine Interface（ヒューマンマシーンインタフェース）
IrDA	Infrared Data Association（赤外線通信協会／規格）
LSB	Least Significant Bit（最下位ビット）
MSB	Most Significant Bit（最上位ビット）
NVIC	Nested Vector Interrupt Controller（ネスト型ベクタ割り込みコントローラ）
PC	Program Counter（プログラムカウンタ）
PFS	Port Function Select（ポート機能選択）
PLL	Phase Locked Loop（位相同期回路）
POR	Power-on reset（パワーオンリセット）
PWM	Pulse Width Modulation（パルス幅変調）
RSA	Rivest Shamir Adleman（Rivest/Shamir/Adleman による公開鍵暗号方式）
SHA	Secure Hash Algorithm（セキュアハッシュアルゴリズム）
S/H	Sample and Hold（サンプルアンドホールド）
SP	Stack Pointer（スタックポインタ）
SWD	Serial Wire Debug（シリアルワイヤデバッグ）
SW-DP	Serial Wire-Debug Port（シリアルワイヤデバッグポート）
TRNG	True Random Number Generator（真性乱数生成器）
UART	Universal Asynchronous Receiver/Transmitter（調歩同期式シリアルインタフェース）
VCO	Voltage Controlled Oscillator（電圧制御発振器）

10. 所有権通知

本書に含まれるすべてのテキスト、グラフィック、写真、商標、ロゴ、挿絵、コンピュータコード（総称してコンテンツ）は、ルネサスが所有、管理、またはライセンスを保持するものであり、トレードドレス法、著作権法、特許法および商標法、その他の知的財産権法、不正競争法で保護されています。本書に明示的に記述されている場合を除いて、ルネサスから事前に承諾書を得ることなく、本書の一部またはコンテンツを、公開または頒布目的で、あるいは営利目的で、コピー、複製、再版、掲載、開示、エンコード、翻訳、伝送すること、およびいかなる媒体においても配布することは禁じられています。

Arm®と Cortex®は、Arm Limited の登録商標です。CoreSight™は、Arm Limited の商標です。

CoreMark®は、Embedded Microprocessor Benchmark Consortium の登録商標です。

Magic Packet™は、Advanced Micro Devices, Inc.の商標です。

本書に記載されているその他のブランドと名称は、それぞれの所有者の商標または登録商標です。

11. 製品に関するフィードバック

この製品についてご意見やご提案がある場合は、Contact Us にアクセスしてください。

目次

特長 56

1. 概要 57

1.1 機能の概要 57
1.2 ブロック図 62
1.3 型名 62
1.4 機能の比較 64
1.5 端子機能 66
1.6 ピン配置図 71
1.7 端子一覧 73

2. CPU 77

2.1 概要 77
2.1.1 CPU 77
2.1.2 デバッグ 78
2.2 ブロック図 78
2.3 実装オプション 79
2.4 トレースインタフェース 80
2.5 JTAG/SWD インタフェース 80
2.6 初期ベクタテーブルベースアドレス 81
2.7 デバッグ機能 81
2.7.1 外部デバッガのコネクティビティと JTAG/SWD による認証 81
2.7.2 ソフトウェアによるデバッグ保護機構 82
2.7.3 デバッグ機能の影響 83
2.8 レジスタの説明 84
2.8.1 CPU コントロールレジスタ 84
2.8.2 外部デバッガのアドレス空間 87
2.8.3 CPU 周辺機能 87
2.8.4 ROM テーブル 88
2.8.5 DBGREG 91
2.8.6 OCDREG 98
2.9 CoreSight クロストリガインタフェース (CTI) 103
2.10 CoreSight ATB ファネル 104
2.11 SysTick システムタイマ 104
2.12 CoreSight タイムスタンプ発生器 105
2.13 OCD エミュレータ接続 105
2.13.1 SYOCDCR.DBGEN 107
2.13.2 OCD エミュレータ接続での制限 107
2.13.3 低消費電力モードでの接続開始 107
2.13.4 デバッグ中の低消費電力モードへの切り替え 107

2.13.5 接続シーケンスと JTAG/SWD 認証 108
2.14 参考資料 108
2.15 使用上の注意事項 109
2.15.1 OSPI の制約事項 109
3. 動作モード 110
3.1 概要 110
3.2 動作モードの種類と選択 110
3.3 動作モードの詳細 110
3.3.1 シングルチップモード 110
3.3.2 JTAG ブートモード 110
3.3.3 SCI ブートモード 110
3.3.4 USB ブートモード 110
3.4 動作モード遷移 110
3.4.1 動作モードとモード遷移の関係 110
4. アドレス空間 112
4.1 アドレス空間 112
4.2 外部アドレス空間 114
5. リセット 116
5.1 概要 116
5.2 レジスタの説明 121
5.2.1 RSTSAR : リセットセキュリティ属性レジスタ 121
5.2.2 RSTSR0 : リセットステータスレジスタ 0 122
5.2.3 RSTSR1 : リセットステータスレジスタ 1 124
5.2.4 RSTSR2 : リセットステータスレジスタ 2 126
5.2.5 SYRSTMSK0 : システムリセットマスクコントロールレジスタ 0 126
5.2.6 SYRSTMSK2 : システムリセットマスクコントロールレジスタ 2 127
5.3 動作説明 127
5.3.1 RES 端子リセット 127
5.3.2 パワーオンリセット 127
5.3.3 電圧監視リセット 128
5.3.4 ディープソフトウェアスタンバイリセット 131
5.3.5 独立ウォッチドッグタイマリセット 131
5.3.6 ウォッチドッグタイマリセット 132
5.3.7 CPU ロックアップリセット 132
5.3.8 ソフトウェアリセット 132
5.3.9 バスエラーリセット 132
5.3.10 共通メモリエラーリセット 132
5.3.11 コールドスタート／ウォームスタート判定機能 133
5.3.12 リセット発生要因の判定 133

5.4 非セキュアプログラムからのリセット保護 134
6. オプション設定メモリ 135
6.1 概要 135
6.2 レジスタの説明 136
6.2.1 OFS0 : オプション機能選択レジスタ 0 136
6.2.2 OFS2 : オプション機能選択レジスタ 2 139
6.2.3 DUALSEL : デュアルモード選択レジスタ 139
6.2.4 SAS : スタートアップ領域設定レジスタ 140
6.2.5 OFS1, OFS1_SEC : 非セキュアおよびセキュア用オプション機能選択レジスタ 1 141
6.2.6 OFS1_SEL : セキュリティ属性用オプション機能選択レジスタ 1 142
6.2.7 BANKSEL, BANKSEL_SEC : 非セキュアおよびセキュア用バンク選択レジスタ 143
6.2.8 BANKSEL_SEL : セキュリティ属性用バンク選択レジスタ 145
6.2.9 BPS, BPS_SEC, BPS_SEL : ブロック保護設定レジスタ 146
6.2.10 PBPS, PBPS_SEC : 永久ブロック保護設定レジスタ 148
6.2.11 CFGD0LOCK : コンフィグレーションデータ 0 ロックビットレジスタ 148
6.2.12 CFGD1LOCK : コンフィグレーションデータ 1 ロックビットレジスタ 149
6.2.13 CFGD2LOCK : コンフィグレーションデータ 2 ロック 150
6.2.14 ARCLS : アンチロールバックカウンタロック設定レジスタ 151
6.2.15 ARCCS : 非セキュアアプリケーション用アンチロールバックカウンタコンフィグレーション設定レジスタ 152
6.2.16 ARC_SECn : セキュアアプリケーション用アンチロールバックカウンタレジスタ n (n = 0, 1) 152
6.2.17 ARC_NSECn : 非セキュアアプリケーション用アンチロールバックカウンタレジスタ n (n = 0～7) 152
6.3 オプション設定メモリの設定方法 153
6.3.1 オプション設定メモリへのデータの配置方法 153
6.3.2 オプション設定メモリにプログラムするデータの設定方法 153
6.3.3 コードフラッシュオプション設定メモリのセキュリティ属性 153
6.3.4 設定値のタイミング 154
6.4 使用上の注意事項 154
6.4.1 オプション設定メモリの予約領域および予約ビットにプログラムするデータ 154
7. プログラマブル電圧検出 (PVD) 155
7.1 概要 155
7.2 レジスタの説明 156
7.2.1 PVDSAR : プログラマブル電圧検出セキュリティ属性レジスタ 156
7.2.2 PVDmCMPCR : 電圧監視 m コンパレータコントロールレジスタ (m = 1, 2) 157
7.2.3 PVDmCR0 : 電圧監視 m 回路コントロールレジスタ 0 (m = 1, 2) 158
7.2.4 PVDmCR1 : 電圧監視 m 回路コントロールレジスタ 1 (m = 1, 2) 159
7.2.5 PVDmSR : 電圧監視 m 回路ステータスレジスタ (m = 1, 2) 160
7.2.6 PVDmFCR : 電圧監視 m 機能コントロールレジスタ (m = 1, 2) 160

7.3 VCC 入力電圧の監視 161
7.3.1 V_{det0} の監視 161
7.3.2 V_{detm} の監視 161
7.4 電圧監視 0 リセット 161
7.5 電圧監視 m 割り込み、電圧監視 m リセット (m = 1, 2) 162
7.6 ELC によるリンク動作 165
7.6.1 割り込み処理とイベントリンクの関係 165
8. クロック発生回路 167
8.1 概要 167
8.2 レジスタの説明 171
8.2.1 CGFSAR : クロック発生機能セキュリティ属性レジスタ 171
8.2.2 SCKDIVCR : システムクロック分周コントロールレジスタ 174
8.2.3 SCKDIVCR2 : システムクロック分周コントロールレジスタ 2 176
8.2.4 SYRACCR : システムレジスタアクセスコントロールレジスタ 176
8.2.5 SCKSCR : システムクロックソースコントロールレジスタ 177
8.2.6 PLLCCR : PLL クロックコントロールレジスタ 178
8.2.7 PLLCCR2 : PLL クロックコントロールレジスタ 2 179
8.2.8 PLLCR : PLL コントロールレジスタ 180
8.2.9 PLL2CCR : PLL2 クロックコントロールレジスタ 181
8.2.10 PLL2CCR2 : PLL2 クロックコントロールレジスタ 2 182
8.2.11 PLL2CR : PLL2 コントロールレジスタ 183
8.2.12 MOSCCR : メインクロック発振器コントロールレジスタ 183
8.2.13 SOSCCR : サブクロック発振器コントロールレジスタ 184
8.2.14 LOCOCR : 低速オンチップオシレータコントロールレジスタ 185
8.2.15 HOCOCR : 高速オンチップオシレータコントロールレジスタ 186
8.2.16 HOCOCR2 : 高速オンチップオシレータコントロールレジスタ 2 187
8.2.17 MOCOCR : 中速オンチップオシレータコントロールレジスタ 187
8.2.18 FLLCR1 : FLL コントロールレジスタ 1 188
8.2.19 FLLCR2 : FLL コントロールレジスタ 2 189
8.2.20 OSCSF : 発振安定フラグレジスタ 190
8.2.21 OSCMONR : オシレータモニタレジスタ 191
8.2.22 OSTDCR : 発振停止検出コントロールレジスタ 192
8.2.23 OSTDSR : 発振停止検出ステータスレジスタ 193
8.2.24 MOSCWTCR : メインクロック発振器ウェイトコントロールレジスタ 194
8.2.25 MOMCR : メインクロック発振器モード発振コントロールレジスタ 194
8.2.26 SOMCR : サブクロック発振器モードコントロールレジスタ 195
8.2.27 CKOCR : クロック出力コントロールレジスタ 196
8.2.28 LOCOUTCR : LOCO ユーザートリミングコントロールレジスタ 197
8.2.29 MOCOUTCR : MOCO ユーザートリミングコントロールレジスタ 197
8.2.30 HOCOUTCR : HOCO ユーザートリミングコントロールレジスタ 198

8.2.31 MOSCSCR : メインクロック発振器スタンバイコントロールレジスタ 198
8.2.32 HOCOSCR : 高速オンチップオシレータスタンバイコントロールレジスタ 199
8.2.33 USBCKDIVCR : USB クロック分周コントロールレジスタ 199
8.2.34 OCTACKDIVCR : Octal-SPI クロック分周コントロールレジスタ 200
8.2.35 CANFDCKDIVCR : CANFD コアクロック分周コントロールレジスタ 200
8.2.36 USBCKCR : USB クロックコントロールレジスタ 201
8.2.37 OCTACKCR : Octal-SPI クロックコントロールレジスタ 202
8.2.38 CANFDCKCR : CANFD コアクロックコントロールレジスタ 203
8.2.39 SCICKDIVCR : SCI クロック分周コントロールレジスタ 204
8.2.40 SPICKDIVCR : SPI クロック分周コントロールレジスタ 205
8.2.41 SCICKCR : SCI クロックコントロールレジスタ 206
8.2.42 SPICKCR : SPI クロックコントロールレジスタ 207
8.2.43 TRCKCR : トレースクロックコントロールレジスタ 208
8.3 メインクロック発振器 209
8.3.1 発振子を接続する方法 209
8.3.2 外部クロックを入力する方法 210
8.3.3 外部クロック入力に関する注意事項 210
8.3.4 ソフトウェアスタンバイモードでの発振保持の注意事項 211
8.4 サブクロック発振器 211
8.4.1 32.768 kHz 水晶振動子を接続する方法 211
8.4.2 サブクロック発振器を使用しない場合の端子処理 212
8.4.3 外部クロックを入力する方法 212
8.5 低速オンチップオシレータ (LOCO) 212
8.5.1 LOCO 動作条件 212
8.5.2 LOCO 停止条件 213
8.5.3 LOCO の動作および停止に関する制限 213
8.6 中速オンチップオシレータ (MOCO) 214
8.6.1 MOCO 動作条件 214
8.6.2 MOCO 停止条件 214
8.6.3 MOCO の動作および停止に関する制限 215
8.7 高速オンチップオシレータ (HOCO) 215
8.7.1 周波数ロックループ機能 215
8.7.2 ソフトウェアスタンバイモードでの発振保持の注意事項 216
8.7.3 TRACE クロックソースの注意事項 216
8.8 PLL 回路 216
8.9 発振停止検出機能 217
8.9.1 発振停止検出と検出後の動作 217
8.9.2 発振停止検出割り込み 219
8.10 内部クロック 220
8.10.1 CPU クロック (CPUCLK) 221

8.10.2 システムクロック (ICLK) 221
8.10.3 デバッガクロック (DCLK) 222
8.10.4 周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD, PCLKE) 222
8.10.5 FlashIF クロック (FCLK) 222
8.10.6 トレースクロック (TRCLK) 223
8.10.7 SCI クロック (SCICLK) 223
8.10.8 SPI クロック (SPICLK) 223
8.10.9 Octal-SPI クロック (OCTACLK, OCTADIVCLK) 223
8.10.10 CANFD コアクロック (CANFDCLK) 224
8.10.11 USB クロック (USBCLK) 224
8.10.12 CAN クロック (CANMCLK) 224
8.10.13 ULPT クロック（ULPTLCLK、ULPTSCLK） 225
8.10.14 CAC クロック (CACCLK) 225
8.10.15 RTC クロック（RTCSCLK、RTCLCLK） 225
8.10.16 IWDT クロック (IWDTCLK) 225
8.10.17 AGT クロック (AGTSCLK, AGTLCLK) 225
8.10.18 SysTick タイマクロック (SYSTICKCLK) 225
8.10.19 外部端子出力クロック (CLKOUT) 225
8.10.20 JTAG クロック 225
8.11 クロックの設定 225
8.11.1 システムクロックの設定 226
8.11.2 周辺モジュール専用クロックの設定 231
8.11.3 メインクロック発振器設定 233
8.11.4 サブクロック発振器設定 233
8.11.5 高速オンチップオシレータの設定 234
8.11.6 PLL の設定 235
8.12 使用上の注意 237
8.12.1 クロック発生回路に関する注意事項 237
8.12.2 発振子に関する制限 238
8.12.3 ボード設計に関する注意事項 238
8.12.4 発振子接続端子に関する注意事項 238
8.12.5 サブクロック発振器使用時の注意事項 238
8.12.6 MOSCSCR.MOSCSOKP の注意事項 238

9. クロック周波数精度測定回路 (CAC) 241
9.1 概要 241
9.2 レジスタの説明 242
9.2.1 CACR0 : CAC コントロールレジスタ 0 242
9.2.2 CACR1 : CAC コントロールレジスタ 1 243
9.2.3 CACR2 : CAC コントロールレジスタ 2 244
9.2.4 CAICR : CAC 割り込み要求許可レジスタ 245

9.2.5 CASTR : CAC ステータスレジスタ 246
9.2.6 CAULVR : CAC 上限値設定レジスタ 247
9.2.7 CALLVR : CAC 下限値設定レジスタ 247
9.2.8 CACNTBR : CAC カウンタバッファレジスタ 247
9.3 動作説明 248
9.3.1 クロック周波数測定 248
9.3.2 CACREF 端子のデジタルフィルタ機能 249
9.4 割り込み要求 249
9.5 使用上の注意事項 249
9.5.1 モジュールストップ機能の設定 249
10. 低消費電力モード 250
10.1 概要 250
10.2 レジスタの説明 256
10.2.1 LPMSAR : 低消費電力モードセキュリティ属性レジスタ 256
10.2.2 DPFSAR : ディープソフトウェアスタンバイ割り込み要因セキュリティ属性レジスタ 257
10.2.3 RSCSAR : RAM スタンバイコントロールセキュリティ属性レジスタ 260
10.2.4 MSTPCRA : モジュールストップコントロールレジスタ A 261
10.2.5 MSTPCRB : モジュールストップコントロールレジスタ B 261
10.2.6 MSTPCRC : モジュールストップコントロールレジスタ C 263
10.2.7 MSTPCRD : モジュールストップコントロールレジスタ D 264
10.2.8 MSTPCRE : モジュールストップコントロールレジスタ E 266
10.2.9 OPCCR : 動作電力コントロールレジスタ 267
10.2.10 PDRAMSCR0 : SRAM 電源ドメインスタンバイコントロールレジスタ 0 268
10.2.11 PDRAMSCR1 : SRAM 電源ドメインスタンバイコントロールレジスタ 1 269
10.2.12 SSCR1 : ソフトウェアスタンバイコントロールレジスタ 1 270
10.2.13 LPSCR : 低消費電力状態コントロールレジスタ 270
10.2.14 DPSBYCR : ディープソフトウェアスタンバイコントロールレジスタ 271
10.2.15 DPSWCR : ディープソフトウェアスタンバイウェイトコントロールレジスタ 272
10.2.16 DPSIER0 : ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 0 273
10.2.17 DPSIER1 : ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 1 273
10.2.18 DPSIER2 : ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 2 274
10.2.19 DPSIER3 : ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 3 275
10.2.20 DPSIFR0 : ディープソフトウェアスタンバイ割り込みフラグレジスタ 0 276
10.2.21 DPSIFR1 : ディープソフトウェアスタンバイ割り込みフラグレジスタ 1 277
10.2.22 DPSIFR2 : ディープソフトウェアスタンバイ割り込みフラグレジスタ 2 278
10.2.23 DPSIFR3 : ディープソフトウェアスタンバイ割り込みフラグレジスタ 3 279
10.2.24 DPSIEGR0 : ディープソフトウェアスタンバイ割り込みエッジレジスタ 0 281
10.2.25 DPSIEGR1 : ディープソフトウェアスタンバイ割り込みエッジレジスタ 1 282
10.2.26 DPSIEGR2 : ディープソフトウェアスタンバイ割り込みエッジレジスタ 2 282
10.2.27 SYOCDCR : システムコントロール OCD コントロールレジスタ 283

10.2.28 PLL1LDOCR : PLL1-LDO コントロールレジスタ 284
10.2.29 PLL2LDOCR : PLL2-LDO コントロールレジスタ 284
10.2.30 HOCOLDOCR : HOCO-LDO コントロールレジスタ 285
10.3 クロックの切り替えによる消費電力の低減 286
10.4 モジュールストップ機能 286
10.5 動作電力低減機能 288
10.5.1 動作電力制御モードの設定方法 288
10.6 低消費電力モード 288
10.6.1 CPU スリープモード 288
10.6.2 CPU ディープスリープモード 290
10.6.3 ソフトウェアスタンバイモード 291
10.6.4 ディープソフトウェアスタンバイモード 294
10.7 使用上の注意 298
10.7.1 レジスタアクセス 298
10.7.2 I/O ポートの状態 300
10.7.3 DMAC と DTC のモジュールストップ状態 300
10.7.4 内部割り込み要因 300
10.7.5 DIRQnE ビットによる入力バッファ制御 300
10.7.6 低消費電力モードへの遷移 300
10.7.7 WFI 命令のタイミング 301
10.7.8 DMAC または DTC による WDT/IWDT レジスタ書き込み 301
10.7.9 モジュールストップビット書き込みタイミング 301
10.7.10 低消費電力状態への遷移とその解除に関する注意事項 301
10.7.11 低消費電力モードへの遷移中の割り込み 303

11. バッテリバックアップ機能 307

11.1 概要 307
11.1.1 バッテリバックアップ機能のブロック図 307
11.1.2 バッテリバックアップ機能 308
11.1.3 バッテリ電源スイッチ 309
11.1.4 VBATT_R 電圧降下検出機能 309
11.1.5 バックアップレジスタ 309
11.1.6 時間キャプチャ機能 309
11.1.7 改ざん検出機能 309
11.1.8 VBATT 電圧監視機能 309
11.2 レジスタの説明 309
11.2.1 BBFSAR : バッテリバックアップ機能セキュリティ属性レジスタ 309
11.2.2 VBRSABAR : VBATT バックアップレジスタセキュリティ属性バウンダリアドレスレジスタ 310
11.2.3 VBRPABARS : セキュア領域用 VBATT バックアップレジスタプリビレッジ属性バウンダリアドレスレジスタ 311

11.2.4 VBRPABARNS : 非セキュア領域用 VBATT バックアップレジスタプリビレッジ属性バウンダリアドレスレジスタ 312
11.2.5 VBATTMNSELR : バッテリバックアップ電圧監視機能選択レジスタ 312
11.2.6 VBTBER : VBATT バックアップイネーブルレジスタ 313
11.2.7 VBTBKR[n] : VBATT バックアップレジスタ (n = 0～127) 313
11.2.8 VBTICTLR : VBATT 入力コントロールレジスタ 314
11.2.9 VBTICTLR2 : VBATT 入力コントロールレジスタ 2 315
11.2.10 VBTIMONR : VBATT 入力監視レジスタ 316
11.2.11 VBTBPCR1 : VBATT バッテリ電源コントロールレジスタ 1 316
11.2.12 VBTBPCR2 : VBATT バッテリ電源コントロールレジスタ 2 317
11.2.13 VBTBPSR : VBATT バッテリ電源ステータスレジスタ 318
11.2.14 VBTADSR : VBATT 改ざん検出ステータスレジスタ 318
11.2.15 VBTADCR1 : VBATT 改ざん検出コントロールレジスタ 1 319
11.2.16 VBTADCR2 : VBATT 改ざん検出コントロールレジスタ 2 320
11.3 動作説明 320
11.3.1 バッテリバックアップ機能 320
11.3.2 VBATT バッテリ電源スイッチの使用方法 322
11.3.3 VBATT_R 電圧降下検出機能の使用方法 323
11.3.4 VBATT バックアップレジスタの使用方法 323
11.3.5 改ざん検出機能の使用方法 323
11.3.6 VBATT 電圧監視機能の使用方法 324
11.3.7 初期設定例 325
11.4 割り込み要因 326
11.5 使用上の注意事項 326
12. レジスタライトプロテクション 327
12.1 概要 327
12.2 レジスタの説明 327
12.2.1 PRCR_S : セキュア用プロテクトレジスタ (PRCR_S) 327
12.2.2 PRCR_NS : 非セキュア用プロテクトレジスタ (PRCR_NS) 328
13. 割り込みコントローラユニット (ICU) 330
13.1 概要 330
13.2 レジスタの説明 331
13.2.1 ICUSARA : 割り込みコントローラセキュリティ属性レジスタ A 331
13.2.2 ICUSARB : 割り込みコントローラセキュリティ属性レジスタ B 332
13.2.3 ICUSARE : 割り込みコントローラセキュリティ属性レジスタ E 333
13.2.4 ICUSARF : 割り込みコントローラセキュリティ属性レジスタ F 334
13.2.5 ICUSARG : 割り込みコントローラセキュリティ属性レジスタ G 335
13.2.6 ICUSARH : 割り込みコントローラセキュリティ属性レジスタ H 335
13.2.7 ICUSARI : 割り込みコントローラセキュリティ属性レジスタ I 336
13.2.8 TEVTRCR : トラストイベントルートコントロールレジスタ 336

13.2.9 IRQCRi : IRQ コントロールレジスタ i (i = 0～15) 337
13.2.10 NMISR : ノンマスカブル割り込みステータスレジスタ 338
13.2.11 NMIER : ノンマスカブル割り込みイネーブルレジスタ 341
13.2.12 NMICLR : ノンマスカブル割り込みステータスクリアレジスタ 342
13.2.13 NMICR : NMI 端子割り込みコントロールレジスタ 343
13.2.14 IELSRn : ICU イベントリンク設定レジスタ n (n = 0～95) 344
13.2.15 WUPEN0: ウェイクアップ割り込みイネーブルレジスタ 0 346
13.2.16 WUPEN1 : ウェイクアップ割り込みイネーブルレジスタ 1 349
13.3 ベクタテーブル 351
13.3.1 割り込みベクタテーブル 351
13.3.2 イベント番号 354
13.4 マスカブル割り込みの動作 361
13.4.1 割り込みの検出 361
13.5 マスカブル割り込みの設定手順 362
13.5.1 割り込み中の動作 362
13.5.2 割り込み要求の許可 362
13.5.3 割り込み要求の禁止 362
13.5.4 割り込みのポーリング 363
13.5.5 割り込み要求先の選択 363
13.5.6 デジタルフィルタ 364
13.5.7 外部端子割り込みの設定手順 364
13.6 ノンマスカブル割り込みの動作 365
13.6.1 NMI による TrustZone-M との対応関係 365
13.7 セキュリティ 366
13.7.1 CPU 割り込み入力関連セキュリティ 366
13.7.2 トラスト割り込み管理 367
13.7.3 トラスト IELSR の設定手順 367
13.8 低消費電力モードからの復帰 368
13.8.1 CPU スリープモードからの復帰 368
13.8.2 CPU ディープスリープモードからの復帰 368
13.8.3 ソフトウェアスタンバイモードからの復帰 369
13.9 ノンマスカブル割り込みとともに WFI 命令を使用する場合 369
13.10 参考資料 369
14. バス 370
14.1 概要 370
14.2 バスの説明 372
14.2.1 アービトレーション 372
14.2.2 外部バス 373
14.2.3 並列動作 373
14.2.4 制約事項 373

14.3 レジスタの説明 373
14.3.1 BUSSARA : バスセキュリティ属性レジスタ A 373
14.3.2 BUSSARB : バスセキュリティ属性レジスタ B 374
14.3.3 BUSDIVBYP : バス分周器バイパスレジスタ 375
14.3.4 BUSSABT0<slave> ： バススレーブアービトレーションコントロールレジスタ 0(<slave> = FLBI, STBYSBI, EOBI, PBBI, PABI, PIBI, PSBI) 376
14.3.5 BUSSABT1<slave> : バススレーブアービトレーションコントロールレジスタ 1 (<slave> = FHBI, S1BI) 377
14.3.6 BUSnERRADD : バスエラーアドレスレジスタ (n = 4, 5) 378
14.3.7 BUSnERRRW : バスエラーリードライト (n = 4, 5) 379
14.3.8 BMSAnERRADD : バスマスタセキュリティ属性ユニットエラーアドレス (n = 4, 5) 380
14.3.9 BMSAnERRRW : バスマスタセキュリティ属性ユニットエラーリードライト (n = 4, 5) 380
14.3.10 BUSnERRSTAT : BUS エラーステータスレジスタ (n = 1～5, 10) 381
14.3.11 BUSnERRCLR : BUS エラークリアレジスタ (n = 1～5, 10) 382
14.3.12 BUSOAD : 検出後のバス動作レジスタ 383
14.3.13 BUSOADPT : 検出後のバス動作プロテクトレジスタ 384
14.3.14 MBWERRSTAT : マスタバッファラブル書き込みエラーステータスレジスタ 385
14.3.15 MBWERRCLR : マスタバッファラブル書き込みエラークリアレジスタ 386
14.3.16 SBWERRSTAT : スレーブバッファラブル書き込みエラーステータス レジスタ 387
14.3.17 SBWERRCLR : スレーブバッファラブル書き込みエラークリア レジスタ 388
14.4 バスエラー監視部 389
14.4.1 バスエラーの種類 389
14.4.2 バスエラー発生時の動作 389
14.4.3 不正アドレスアクセスエラーを引き起こす条件 392
14.4.4 タイムアウト 394
14.5 参考資料 394
15. メモリプロテクションユニット (MPU) 395
15.1 概要 395
15.2 Arm MPU 395
15.3 バスマスタ MPU 395
15.3.1 レジスタの説明 396
15.3.2 動作説明 411
15.4 参考資料 415
16. DMA コントローラ (DMAC) 416
16.1 概要 416
16.2 レジスタの説明 417
16.2.1 DMACCHSAR : DMA チャネルセキュリティ属性レジスタ 417
16.2.2 DMACCHPAR : DMA チャネルプリビレッジ属性レジスタ 418
16.2.3 DMACSAR : DMAC コントローラセキュリティ属性レジスタ 419
16.2.4 DELSRn : DMAC イベントリンク設定レジスタ n (n = 0～7) 420

16.2.5 DMSAR : DMA 転送元アドレスレジスタ 421
16.2.6 DMSRR : DMA 転送元リロードアドレスレジスタ 422
16.2.7 DMDAR : DMA 転送先アドレスレジスタ 422
16.2.8 DMDRR : DMA 転送先リロードアドレスレジスタ 423
16.2.9 DMCRA : DMA 転送カウントレジスタ 423
16.2.10 DMCRB : DMA ブロック転送カウントレジスタ 425
16.2.11 DMTMD : DMA 転送モードレジスタ 425
16.2.12 DMINT : DMA 割り込み設定レジスタ 426
16.2.13 DMAMD : DMA アドレスモードレジスタ 428
16.2.14 DMOFR : DMA オフセットレジスタ 430
16.2.15 DMCNT : DMA 転送イネーブルレジスタ 431
16.2.16 DMREQ : DMA ソフトウェア起動レジスタ 431
16.2.17 DMSTS : DMA ステータスレジスタ 432
16.2.18 DMSBS : DMA 転送元バッファサイズレジスタ 434
16.2.19 DMDBS : DMA 転送先バッファサイズレジスタ 435
16.2.20 DMBWR : DMA バッファラブル書き込みイネーブルレジスタ 436
16.2.21 DMAST : DMAC モジュール起動レジスタ 436
16.2.22 DMECHR : DMAC エラーチャネルレジスタ 437
16.3 動作説明 438
16.3.1 転送モード 438
16.3.2 拡張リピート領域機能 447
16.3.3 フリーランニング機能 448
16.3.4 オフセットを使用したアドレス更新機能 449
16.3.5 リピートブロック転送モードにおけるアドレス更新機能 453
16.3.6 リピートブロック転送モードの使用例 455
16.3.7 起動要因 458
16.3.8 動作タイミング 458
16.3.9 DMAC の起動 459
16.3.10 DMA 転送の開始 461
16.3.11 DMA 転送中のレジスタ 461
16.3.12 チャネル優先順位 463
16.3.13 チャネルセキュリティ 463
16.3.14 チャネルプリビレッジ 463
16.4 DMA 転送の終了 464
16.4.1 設定した総転送回数完了による転送終了 464
16.4.2 リピートサイズ終了割り込みによる転送終了 464
16.4.3 拡張リピート領域オーバーフロー割り込みによる転送終了 465
16.5 DMA 転送エラーの処理 465
16.6 割り込み 465
16.6.1 転送終了割り込み 465

16.6.2 転送エラー割り込み 467
16.7 イベントリンク 468
16.8 低消費電力機能 468
16.9 使用上の注意事項 468
16.9.1 DMA 転送中のレジスタアクセスについて 468
16.9.2 予約領域への DMA 転送について 469
16.9.3 割り込みコントローラユニットの DMAC イベントリンク設定レジスタ (DELSRn) の設定 469
16.9.4 DMAC 起動の保留／再開に関する注意事項 469
16.9.5 DMA 転送再開時の注意事項 469
16.9.6 OSPI の制限事項 470
17. データトランスファコントローラ (DTC) 471
17.1 概要 471
17.2 レジスタの説明 472
17.2.1 DTCSAR : DTC コントローラセキュリティ属性レジスタ 472
17.2.2 MRA : DTC モードレジスタ A 473
17.2.3 MRB : DTC モードレジスタ B 474
17.2.4 SAR : DTC 転送元レジスタ 475
17.2.5 DAR : DTC 転送先レジスタ 475
17.2.6 CRA : DTC 転送カウントレジスタ A 475
17.2.7 CRB : DTC 転送カウントレジスタ B 476
17.2.8 DTCCR : DTC コントロールレジスタ 477
17.2.9 DTCCR_SEC : DTC コントロールレジスタ（セキュア領域） 477
17.2.10 DTCVBR : DTC ベクタベースアドレス 478
17.2.11 DTCVBR_SEC : DTC ベクタベースレジスタ（セキュア領域） 478
17.2.12 DTCST : DTC モジュール起動レジスタ 478
17.2.13 DTCSTS : DTC ステータスレジスタ 479
17.2.14 DTEVR : DTC エラーベクタレジスタ 480
17.3 起動要因 481
17.3.1 転送情報の配置と DTC ベクタテーブル 481
17.4 動作説明 484
17.4.1 転送情報のリードスキップ機能 486
17.4.2 転送情報のライトバックスキップ機能 486
17.4.3 ノーマル転送モード 487
17.4.4 リピート転送モード 488
17.4.5 ブロック転送モード 489
17.4.6 チェーン転送 490
17.4.7 動作タイミング 491
17.4.8 ベクタセキュリティ 493
17.4.9 ベクタプリビレッジ 494

17.5 DTC の設定手順 494
17.6 DTC の使用例 495
17.6.1 ノーマル転送 495
17.6.2 チェーン転送 495
17.6.3 転送カウンタ = 0 のときのチェーン転送 497
17.7 DTC 転送エラーにおける処理 498
17.8 割り込み 499
17.8.1 転送終了割り込み要求 499
17.8.2 転送エラーの割り込み要求 499
17.9 イベントリンク 499
17.10 低消費電力機能 499
17.11 使用上の注意 500
17.11.1 転送情報の開始アドレス 500
17.11.2 OSPI の制約事項 500
18. イベントリンクコントローラ (ELC) 501
18.1 概要 501
18.2 レジスタの説明 503
18.2.1 ELCR : イベントリンクコントローラレジスタ 503
18.2.2 ELSEGRn : イベントリンクソフトウェアイベント発生レジスタ n(n = 0, 1) 503
18.2.3 ELSRn : イベントリンク設定レジスタ n (n = 0～12, 14～17) 504
18.2.4 ELCSARA : イベントリンクコントローラセキュリティ属性レジスタ A 510
18.2.5 ELCSARB : イベントリンクコントローラセキュリティ属性レジスタ B 511
18.2.6 ELCPARA : イベントリンクコントローラプリビレッジ属性レジスタ A 511
18.2.7 ELCPARB : イベントリンクコントローラプリビレッジ属性レジスタ B 512
18.3 動作説明 512
18.3.1 割り込み処理とイベントリンクの関係 512
18.3.2 イベントのリンク 512
18.3.3 イベントリンクの手順例 513
18.4 使用上の注意事項 513
18.4.1 DMAC/DTC 転送終了のイベントリンク使用時の注意事項 513
18.4.2 クロックの設定 513
18.4.3 モジュールストップ機能の設定 513
18.4.4 ELC 遅延時間 514
19. I/O ポート 515
19.1 概要 515
19.2 レジスタの説明 517
19.2.1 PCNTR1/PODR/PDR : ポートコントロールレジスタ 1 517
19.2.2 PCNTR2/EIDR/PIDR : ポートコントロールレジスタ 2 518
19.2.3 PCNTR3/PORR/POSR : ポートコントロールレジスタ 3 519

19.2.4 PCNTR4/EORR/EOSR : ポートコントロールレジスタ 4 520
19.2.5 PmnPFS/PmnPFS_HA/PmnPFS_BY : ポート mn 端子機能選択レジスタ (m = 0〜9, n = 00〜15) 521
19.2.6 PWPR_NS : 非セキュア用ライトプロテクトレジスタ 523
19.2.7 PFENET : イーサネットコントロールレジスタ 523
19.2.8 PWPR_S : セキュア用ライトプロテクトレジスタ 524
19.2.9 PmSAR : ポートセキュリティ属性レジスタ (m = 0〜9) 524
19.2.10 LVOCR : 低電圧動作コントロールレジスタ 525
19.3 動作 525
19.3.1 汎用入出力ポート 525
19.3.2 ポート機能選択 526
19.3.3 ELC のポートグループ機能 526
19.4 未使用端子の処理 528
19.5 使用上の注意 529
19.5.1 端子機能の設定手順 529
19.5.2 ポートグループ入力の使用手順 529
19.5.3 ポート出力データレジスタ (PODR) の概要 529
19.5.4 アナログ機能使用時の注意事項 529
19.5.5 入出力バッファの仕様 529
19.5.6 USB_DP 端子と USB_DM 端子の選択 531
19.5.7 USBFS/GPIO 機能における P814 と P815 のプルアップ／プルダウン設定 532
19.6 製品ごとの周辺選択設定 532
20. GPT 用のポートアウトプットイネーブル (POEG) 540
20.1 概要 540
20.2 レジスタの説明 541
20.2.1 POEGGn : POEG グループ n 設定レジスタ (n = A〜D) 541
20.3 出力禁止制御の動作 542
20.3.1 端子入力レベル検出時の動作 543
20.3.2 GPT からの出力禁止要求 544
20.3.3 コンパレータ割り込みの検出 544
20.3.4 発振停止検出による出力禁止制御 544
20.3.5 レジスタによる出力禁止制御 544
20.3.6 出力禁止状態の解除 544
20.4 割り込み要因 545
20.5 GPT に対する外部トリガ出力 545
20.6 使用上の注意 546
20.6.1 ソフトウェアスタンバイモードへの遷移 546
20.6.2 GPT 対応端子の指定 546
21. 汎用 PWM タイマ (GPT) 547
21.1 概要 547

21.2 レジスタの説明 550
21.2.1 GTWP : 汎用 PWM タイマ書き込み保護レジスタ 550
21.2.2 GTSTR : 汎用 PWM タイマソフトウェアスタートレジスタ 552
21.2.3 GTSTP : 汎用 PWM タイマソフトウェアストップレジスタ 553
21.2.4 GTCLR : 汎用 PWM タイマソフトウェアクリアレジスタ 554
21.2.5 GTSSR : 汎用 PWM タイマスタート要因選択レジスタ 555
21.2.6 GTPSR : 汎用 PWM タイマストップ要因選択レジスタ 558
21.2.7 GTCSR : 汎用 PWM タイマクリア要因選択レジスタ 561
21.2.8 GTUPSR : 汎用 PWM タイマアップカウント要因選択レジスタ 565
21.2.9 GTDNSR : 汎用 PWM タイマダウンカウント要因選択レジスタ 568
21.2.10 GTICASR : 汎用 PWM タイマインプットキャプチャ要因選択レジスタ A 571
21.2.11 GTICBSR : 汎用 PWM タイマインプットキャプチャ要因選択レジスタ B 575
21.2.12 GTCR : 汎用 PWM タイマコントロールレジスタ 578
21.2.13 GTUDDTYC : 汎用 PWM タイマカウント方向、デューティー設定レジスタ 580
21.2.14 GTIOR : 汎用 PWM タイマ I/O コントロールレジスタ 582
21.2.15 GTINTAD : 汎用 PWM タイマ割り込み出力設定レジスタ 586
21.2.16 GTST : 汎用 PWM タイマステータスレジスタ 587
21.2.17 GTBER : 汎用 PWM タイマバッファイネーブルレジスタ 593
21.2.18 GTCNT : 汎用 PWM タイマカウンタ 595
21.2.19 GTCCRk : 汎用 PWM タイマコンペアキャプチャレジスタ k (k = A～F) 596
21.2.20 GTPR : 汎用 PWM タイマ周期設定レジスタ 596
21.2.21 GTPBR : 汎用 PWM タイマ周期設定バッファレジスタ 597
21.2.22 GTADTRk : A/D 変換開始要求タイミングレジスタ k (k = A, B) 597
21.2.23 GTADTBRk : A/D 変換開始要求タイミングバッファレジスタ k (k = A, B) 597
21.2.24 GTADTDBRk : A/D 変換開始要求タイミングダブルバッファレジスタ k (k = A, B) 598
21.2.25 GTDTCR : 汎用 PWM タイマデッドタイムコントロールレジスタ 598
21.2.26 GTDVU : 汎用 PWM タイマデッドタイム値レジスタ U 599
21.2.27 GTADSMR : 汎用 PWM タイマ A/D 変換開始要求信号監視レジスタ 599
21.2.28 GTICLF : 汎用 PWM タイマチャネル間論理演算機能設定レジスタ 600
21.2.29 GTPC : 汎用 PWM タイマ周期カウントレジスタ 602
21.2.30 GTSECSR : 汎用 PWM タイマ動作許可ビット同時制御チャネル選択レジスタ 603
21.2.31 GTSECR : 汎用 PWM タイマ動作許可ビット同時制御レジスタ 604
21.3 動作説明 606
21.3.1 基本動作 606
21.3.2 バッファ動作 614
21.3.3 PWM 出力動作モード 624
21.3.4 デッドタイム自動設定機能 634
21.3.5 カウント方向切り替え機能 638
21.3.6 出力デューティー 0%および出力デューティー 100%機能 638
21.3.7 ハードウェアカウントスタート／カウントストップ、カウントクリア動作 640

21.3.8 同期動作 645
21.3.9 PWM 出力動作例 650
21.3.10 周期計数機能 655
21.3.11 位相計数機能 656
21.3.12 チャネル間論理演算機能 666
21.4 割り込み要因 668
21.4.1 割り込み要因と優先順位 668
21.4.2 DMAC/DTC の起動 670
21.5 A/D 変換開始要求 670
21.6 ELC によるリンク動作 673
21.6.1 ELC へのイベント信号出力 673
21.6.2 ELC からのイベント信号入力 673
21.7 ノイズフィルタ機能 673
21.8 保護機能 674
21.8.1 レジスタの書き込み保護 674
21.8.2 バッファ動作の禁止 674
21.8.3 GTIOCnm 端子出力の出力禁止制御 (n = 0〜5, 10〜13, m = A, B) 676
21.9 出力端子の初期化方法 677
21.9.1 リセット後の端子設定 677
21.9.2 動作中の異常による端子の初期化 678
21.10 使用上の注意事項 678
21.10.1 モジュールストップ機能の設定 678
21.10.2 コンペアマッチ動作時の GTCCRn レジスタの設定 (n = A〜F) 678
21.10.3 GTCNT カウンタの範囲設定 679
21.10.4 GTCNT カウンタのスタート／ストップ 679
21.10.5 イベントごとの優先順位 679
21.10.6 無効なレジスタ設定の禁止 680
22. 低消費電力非同期汎用タイマ (AGT) 681
22.1 概要 681
22.2 レジスタの説明 682
22.2.1 AGT : AGT カウンタレジスタ 682
22.2.2 AGTCMA : AGT コンペアマッチ A レジスタ 683
22.2.3 AGTCMB : AGT コンペアマッチ B レジスタ 683
22.2.4 AGTCR : AGT コントロールレジスタ 684
22.2.5 AGTMR1 : AGT モードレジスタ 1 685
22.2.6 AGTMR2 : AGT モードレジスタ 2 686
22.2.7 AGTIOC : AGT I/O コントロールレジスタ 687
22.2.8 AGTISR : AGT イベント端子選択レジスタ 689
22.2.9 AGTCMSR : AGT コンペアマッチ機能選択レジスタ 689
22.2.10 AGTIOSEL : AGT 端子選択レジスタ 690

22.3 動作説明 690
22.3.1 リロードレジスタおよびカウンタの書き換え動作 690
22.3.2 リロードレジスタおよび AGT コンペアマッチ A/B レジスタの書き換え動作 692
22.3.3 タイマモード 693
22.3.4 パルス出力モード 694
22.3.5 イベントカウンタモード 695
22.3.6 パルス幅測定モード 696
22.3.7 パルス周期測定モード 697
22.3.8 コンペアマッチ機能 698
22.3.9 各モードの出力設定 699
22.3.10 スタンバイモード 700
22.3.11 割り込み要因 701
22.3.12 イベントリンクコントローラ (ELC) へのイベント信号出力 702
22.4 使用上の注意事項 702
22.4.1 カウント動作の開始および停止制御 702
22.4.2 カウンタレジスタへのアクセス 702
22.4.3 モード変更時 702
22.4.4 出力端子の設定 702
22.4.5 デジタルフィルタ 703
22.4.6 イベント番号、パルス幅およびパルス周期の計算方法 703
22.4.7 TSTOP ビットで強制的にカウントを停止した場合 703
22.4.8 カウントソースとして AGT0 のアンダーフローイベント信号を選択した場合 703
22.4.9 モジュールストップ機能 703
22.4.10 ソースクロックの切り替え時 703

23. 超低消費電力タイマ (ULPT) 704
23.1 概要 704
23.2 設定 704
23.3 レジスタの説明 705
23.3.1 ULPTCNT : ULPT カウンタレジスタ 705
23.3.2 ULPTCMA : ULPT コンペアマッチ A レジスタ 706
23.3.3 ULPTCMB : ULPT コンペアマッチ B レジスタ 706
23.3.4 ULPTCR : ULPT コントロールレジスタ 707
23.3.5 ULPTMR1 : ULPT モードレジスタ 1 709
23.3.6 ULPTMR2 : ULPT モードレジスタ 2 710
23.3.7 ULPTMR3 : ULPT モードレジスタ 3 711
23.3.8 ULPTIOC : ULPT I/O コントロールレジスタ 712
23.3.9 ULPTISR : ULPT イベント端子選択レジスタ 713
23.3.10 ULPTCMSR : ULPT コンペアマッチ機能選択レジスタ 713
23.4 動作 714
23.4.1 カウント動作 714

23.4.2 カウンタとリロードレジスタの書き換え 724
23.4.3 コンペアマッチ A/B のコンペア回路とリロードレジスタの書き換え 727
23.4.4 パルス出力 728
23.4.5 コンペアマッチ機能 729
23.4.6 各モードの入出力設定 730
23.4.7 スタンバイモード 731
23.4.8 割り込み要因 732
23.4.9 ELC へのイベント出力 732
23.5 使用上の注意事項 733
23.5.1 カウンタ制御の開始と停止 733
23.5.2 フラグへのアクセス（ULPTCR レジスタの TUNDF ビット、TCMAF ビット、および TCMBF ビット） 734
23.5.3 ULPTCNT レジスタ、ULPTCMA レジスタ、ULPTCMB レジスタへのアクセス 734
23.5.4 モード変更 734
23.5.5 ULPTOn 端子、ULPTOAn 端子、および ULPTOBn 端子の設定 734
23.5.6 イベント数の計算 734
23.5.7 TSTOP ビットでカウンタを強制停止した場合 734
23.5.8 デジタルフィルタ 734
23.5.9 ディープソフトウェアスタンバイモード 1 中のイベントカウントに関する制限 735
23.5.10 モジュールストップ機能 735
23.5.11 ULPTEEn 端子と ULPTEVIn 端子の設定 735

24. リアルタイムクロック (RTC) 736
24.1 概要 736
24.2 レジスタの説明 737
24.2.1 R64CNT : 64 Hz カウンタ 738
24.2.2 RSECCNT : 秒カウンタ（カレンダーカウントモード時） 738
24.2.3 RMINCNT : 分カウンタ（カレンダーカウントモード時） 739
24.2.4 RHRCNT : 時カウンタ（カレンダーカウントモード時） 739
24.2.5 RWKCNT : 曜日カウンタ（カレンダーカウントモード時） 740
24.2.6 BCNTn : バイナリカウンタ n (n = 0～3)（バイナリカウントモード時） 740
24.2.7 RDAYCNT : 日カウンタ 741
24.2.8 RMONCNT : 月カウンタ 741
24.2.9 RYRCNT : 年カウンタ 742
24.2.10 RSECAR : 秒アラームレジスタ（カレンダーカウントモード時） 742
24.2.11 RMINAR : 分アラームレジスタ（カレンダーカウントモード時） 743
24.2.12 RHRAR : 時アラームレジスタ（カレンダーカウントモード時） 743
24.2.13 RWKAR : 曜日アラームレジスタ（カレンダーカウントモード時） 744
24.2.14 BCNTnAR : バイナリカウンタ n アラームレジスタ (n = 0～3)（バイナリカウントモード時） 745
24.2.15 RDAYAR : 日アラームレジスタ（カレンダーカウントモード時） 745

24.2.16 RMONAR : 月アラームレジスタ（カレンダーカウントモード時） 746
24.2.17 RYRAR : 年アラームレジスタ（カレンダーカウントモード時） 747
24.2.18 RYRAREN : 年アラームイネーブルレジスタ（カレンダーカウントモード時） 747
24.2.19 BCNTnAER : バイナリカウンタ n アラームイネーブルレジスタ (n = 0〜3)（バイナリカウントモード時） 748
24.2.20 RCR1 : RTC コントロールレジスタ 1 748
24.2.21 RCR2 : RTC コントロールレジスタ 2（カレンダーカウントモード時） 749
24.2.22 RCR2 : RTC コントロールレジスタ 2（バイナリカウントモード時） 751
24.2.23 RCR4 : RTC コントロールレジスタ 4 753
24.2.24 RFRL : 周波数レジスタ L 753
24.2.25 RFRH : 周波数レジスタ H 754
24.2.26 RADJ : 時間誤差補正レジスタ 754
24.2.27 RTCCRn : 時間キャプチャコントロールレジスタ n (n = 0〜2) 755
24.2.28 RSECCPn : 秒キャプチャレジスタ n (n = 0〜2)（カレンダーカウントモード時） 756
24.2.29 RMINCPn : 分キャプチャレジスタ n (n = 0〜2)（カレンダーカウントモード時） 757
24.2.30 RHRCPn : 時キャプチャレジスタ n (n = 0〜2)（カレンダーカウントモード時） 757
24.2.31 RDAYCPn : 日キャプチャレジスタ n (n = 0〜2)（カレンダーカウントモード時） 758
24.2.32 RMONCPn : 月キャプチャレジスタ n (n = 0〜2)（カレンダーカウントモード時） 758
24.2.33 BCNTnCPm : BCNTn キャプチャレジスタ m (n = 0〜3, m = 0〜2)（バイナリカウントモード時） 759
24.3 動作説明 759
24.3.1 電源投入後のレジスタ初期設定の概要 759
24.3.2 クロックおよびカウントモードの設定手順 760
24.3.3 時刻の設定 761
24.3.4 30 秒調整 762
24.3.5 64 Hz カウンタと時刻の読み出し 763
24.3.6 アラーム機能 765
24.3.7 アラーム割り込み禁止手順 766
24.3.8 時間誤差補正機能 766
24.3.9 時間キャプチャ機能 768
24.4 割り込み要因 769
24.5 イベントリンク出力機能 770
24.5.1 割り込み処理とイベントリンクの関係 771
24.6 使用上の注意事項 771
24.6.1 カウント動作時のレジスタ書き込みについて 771
24.6.2 周期割り込みの使用について 771
24.6.3 RTCOUT (1 Hz/64 Hz) クロック出力について 772
24.6.4 レジスタ設定後の低消費電力モードへの遷移について 772
24.6.5 レジスタの書き込み／読み出し時の注意事項 772
24.6.6 カウントモードの変更について 772
24.6.7 RTC を使用しない場合の初期化手順 772

24.6.8 ソースクロック切り替え時 773
24.6.9 RTC レジスタへ書き込む場合 773
25. ウォッチドッグタイマ (WDT) 774
25.1 概要 774
25.2 レジスタの説明 775
25.2.1 WDTRR : WDT リフレッシュレジスタ 775
25.2.2 WDTCR : WDT コントロールレジスタ 776
25.2.3 WDTSR : WDT ステータスレジスタ 778
25.2.4 WDTRCR : WDT リセットコントロールレジスタ 780
25.2.5 WDTCSTPR : WDT カウント停止コントロールレジスタ 780
25.2.6 オプション機能選択レジスタ 0 (OFS0) 781
25.3 動作説明 781
25.3.1 スタートモード別のカウント動作 781
25.3.2 WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御 784
25.3.3 リフレッシュ動作 784
25.3.4 ステータスフラグ 785
25.3.5 リセット出力 785
25.3.6 割り込み要因 785
25.3.7 ダウンカウンタ値の読み出し 786
25.3.8 オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係 786
25.4 イベントリンクコントローラ (ELC) への出力 787
25.5 使用上の注意事項 787
25.5.1 ICU イベントリンク設定レジスタ n (IELSRn) の設定に関する制限 787
26. 独立ウォッチドッグタイマ (IWDT) 788
26.1 概要 788
26.1.1 ブロック図 788
26.2 レジスタの説明 789
26.2.1 IWDTRR : IWDT リフレッシュレジスタ 789
26.2.2 IWDTCR : IWDT コントロールレジスタ 790
26.2.3 IWDTSR : IWDT ステータスレジスタ 793
26.2.4 IWDTRCR : IWDT リセットコントロールレジスタ 793
26.2.5 IWDTCSTPR : IWDT カウント停止コントロールレジスタ 794
26.3 動作説明 794
26.3.1 各スタートモードにおけるカウント動作 794
26.3.2 IWDTCR、IWDTRCR、IWDTCSTPR レジスタへの書き込み制御 797
26.3.3 リフレッシュ動作 798
26.3.4 ステータスフラグ 800
26.3.5 リセット出力 800
26.3.6 割り込み要因 800

26.3.7 ダウンカウンタ値の読み出し 800
26.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT のレジスタの対応関係 802
26.4 イベントリンク機能によるリンク動作 802
27. イーサネット MAC コントローラ (ETHERC) 804
27.1 概要 804
27.2 レジスタの説明 808
27.2.1 ECMR : ETHERC モードレジスタ 808
27.2.2 RFLR : 受信フレーム長上限レジスタ 810
27.2.3 ECSR : ETHERC ステータスレジスタ 810
27.2.4 ECSIPR : ETHERC 割り込みイネーブルレジスタ 811
27.2.5 PIR : PHY インタフェースレジスタ 812
27.2.6 PSR : PHY ステータスレジスタ 813
27.2.7 RDMLR : 乱数生成カウンタ上限設定レジスタ 813
27.2.8 IPGR : Interpacket Gap レジスタ 813
27.2.9 APR : 自動 PAUSE フレームレジスタ 814
27.2.10 MPR : 手動 PAUSE フレームレジスタ 814
27.2.11 RFCF : PAUSE フレーム受信カウンタ 815
27.2.12 TPAUSER : PAUSE フレーム再送回数設定レジスタ 815
27.2.13 TPAUSECR : PAUSE フレーム再送カウンタ 816
27.2.14 BCFRR : ブロードキャストフレーム受信回数設定レジスタ 816
27.2.15 MAHR : MAC アドレス上位ビットレジスタ 816
27.2.16 MALR : MAC アドレス下位ビットレジスタ 817
27.2.17 TROCR : 送信リトライオーバーカウンタレジスタ 817
27.2.18 CDCR : 遅延衝突検出カウンタレジスタ 818
27.2.19 LCCR : キャリア消失カウンタレジスタ 818
27.2.20 CNDCR : キャリア未検出カウンタレジスタ 818
27.2.21 CEFCR : CRC エラーフレーム受信カウンタレジスタ 819
27.2.22 FRECR : フレーム受信エラーカウンタレジスタ 819
27.2.23 TSFRCR : ショートフレーム受信カウンタレジスタ 819
27.2.24 TLFRCR : ロングフレーム受信カウンタレジスタ 820
27.2.25 RFCR : 端数ビットフレーム受信カウンタレジスタ 820
27.2.26 MAFCR : マルチキャストアドレスフレーム受信カウンタレジスタ 820
27.3 動作説明 821
27.3.1 送信 821
27.3.2 受信 823
27.3.3 フレームタイミング 824
27.3.4 MII および RMII レジスタのアクセス方法 826
27.3.5 Magic Packet の検出 828
27.3.6 IPG の変更による伝送効率の調整 828
27.3.7 フロー制御 829

27.4 割り込み 831
27.5 使用上の注意事項 831
27.5.1 LCHNG フラグの 1 への誤設定の防止 831
27.5.2 RMII 選択時の RMII0_RX_ER 端子への入力 831
27.5.3 半二重モードでの衝突発生 831
28. イーサネット DMA コントローラ (EDMAC) 832
28.1 概要 832
28.2 レジスタの説明 833
28.2.1 EDMR : EDMAC モードレジスタ 833
28.2.2 EDTRR : EDMAC 送信要求レジスタ 834
28.2.3 EDRRR : EDMAC 受信要求レジスタ 835
28.2.4 TDLAR : 送信ディスクリプタリスト開始アドレスレジスタ 835
28.2.5 RDLAR : 受信ディスクリプタリスト開始アドレスレジスタ 836
28.2.6 EESR : ETHERC/EDMAC ステータスレジスタ 836
28.2.7 EESIPR : ETHERC/EDMAC ステータス割り込みイネーブルレジスタ 839
28.2.8 TRSCER : ETHERC/EDMAC 送受信ステータスコピーイネーブルレジスタ 841
28.2.9 RMFCR : 紛失フレームカウンタレジスタ 842
28.2.10 TFTR : 送信 FIFO しきい値レジスタ 842
28.2.11 FDR : FIFO 容量レジスタ 843
28.2.12 RMCR : 受信手法コントロールレジスタ 843
28.2.13 TFUCR : 送信 FIFO アンダーフローカウンタ 844
28.2.14 RFOCR : 受信 FIFO オーバーフローカウンタ 844
28.2.15 IOSR : 独立出力信号設定レジスタ 845
28.2.16 FCFTR : フローコントロール開始 FIFO しきい値設定レジスタ 845
28.2.17 RPADIR : 受信データパディング挿入レジスタ 846
28.2.18 TRIMD : 送信割り込み設定レジスタ 846
28.2.19 RBWAR : 受信バッファ書き込みアドレスレジスタ 847
28.2.20 RDFAR : 受信ディスクリプタ取り出しアドレスレジスタ 847
28.2.21 TBRAR : 送信バッファ読み出しアドレスレジスタ 848
28.2.22 TDFAR : 送信ディスクリプタ取り出しアドレスレジスタ 848
28.3 動作説明 848
28.3.1 ディスクリプタリストおよびデータバッファ 848
28.3.2 送信 852
28.3.3 受信 853
28.3.4 マルチバッファフレーム送信 854
28.3.5 バス転送エラー 856
28.4 割り込み 858
28.5 使用上の注意事項 858
28.5.1 モジュールストップ機能の設定 858
28.5.2 動作中の EDMAC 停止 859

29. USB2.0 フルスピードモジュール (USBFS) 860
29.1 概要 860
29.2 レジスタの説明 862
29.2.1 SYSCFG : システムコンフィグレーションコントロールレジスタ 862
29.2.2 SYSSTS0 : システムコンフィグレーションステータスレジスタ 0 863
29.2.3 DVSTCTR0 : デバイスステートコントロールレジスタ 0 865
29.2.4 CFIFO/CFIFOL : CFIFO ポートレジスタ 867
29.2.5 DnFIFO/DnFIFOL : D0FIFO ポートレジスタ (n = 0, 1) 868
29.2.6 CFIFOSEL : CFIFO ポート選択レジスタ 869
29.2.7 DnFIFOSEL : D0FIFO ポート選択レジスタ (n = 0, 1) 871
29.2.8 CFIFOCTR : CFIFO ポートコントロールレジスタ 873
29.2.9 DnFIFOCTR : D0FIFO ポートコントロールレジスタ (n = 0, 1) 874
29.2.10 INTENB0 : 割り込みイネーブルレジスタ 0 876
29.2.11 INTENB1 : 割り込みイネーブルレジスタ 1 877
29.2.12 BRDYENB : BRDY 割り込みイネーブルレジスタ 878
29.2.13 NRDYENB : NRDY 割り込みイネーブルレジスタ 879
29.2.14 BEMPENB : BEMP 割り込みイネーブルレジスタ 880
29.2.15 SOFCFG : SOF 出力コンフィグレーションレジスタ 881
29.2.16 INTSTS0 : 割り込みステータスレジスタ 0 881
29.2.17 INTSTS1 : 割り込みステータスレジスタ 1 884
29.2.18 BRDYSTS : BRDY 割り込みステータスレジスタ 886
29.2.19 NRDYSTS : NRDY 割り込みステータスレジスタ 887
29.2.20 BEMPSTS : BEMP 割り込みステータスレジスタ 888
29.2.21 FRMNUM : フレームナンバレジスタ 889
29.2.22 DVCHGR : デバイスステート切り替えレジスタ 890
29.2.23 USBADDR : USB アドレスレジスタ 890
29.2.24 USBREQ : USB リクエストタイプレジスタ 891
29.2.25 USBVAL : USB リクエストバリューレジスタ 892
29.2.26 USBINDX : USB リクエストインデックスレジスタ 893
29.2.27 USBLENG : USB リクエストレングスレジスタ 893
29.2.28 DCPCFG : DCP コンフィグレーションレジスタ 894
29.2.29 DCPMAXP : DCP マックスパケットサイズレジスタ 895
29.2.30 DCPCTR : DCP コントロールレジスタ 895
29.2.31 PIPESEL : パイプウィンドウ選択レジスタ 898
29.2.32 PIPECFG : パイプコンフィグレーションレジスタ 899
29.2.33 PIPEMAXP : パイプマックスパケットサイズレジスタ 901
29.2.34 PIPEPERI : パイプ周期コントロールレジスタ 902
29.2.35 PIPEnCTR : PIPEn コントロールレジスタ (n = 1～5) 903
29.2.36 PIPEnCTR : PIPEn コントロールレジスタ (n = 6～9) 907
29.2.37 PIPEnTRE : PIPEn トランザクションカウンタ許可レジスタ (n = 1～5) 909

29.2.38 PIPEnTRN : PIPEn トランザクションカウンタレジスタ (n = 1～5) 910
29.2.39 DEVADDn : デバイスアドレス n コンフィグレーションレジスタ (n = 0～5) 911
29.2.40 DPUSR0R : ディープソフトウェアスタンバイ USB トランシーバコントロール／端子モニタレジスタ 912
29.2.41 DPUSR1R : ディープソフトウェアスタンバイ USB サスペンド／レジューム割り込みレジスタ 913
29.3 動作説明 915
29.3.1 システムコントロール 915
29.3.2 割り込み 923
29.3.3 割り込みの説明 926
29.3.4 パイプコントロール 935
29.3.5 FIFO バッファ 939
29.3.6 FIFO バッファクリア 940
29.3.7 FIFO ポートの機能 940
29.3.8 DMA 転送（D0FIFO/D1FIFO ポート） 941
29.3.9 DCP を使用したコントロール転送 942
29.3.10 バルク転送（パイプ 1～5） 944
29.3.11 インタラプト転送（パイプ 6～9） 944
29.3.12 アイソクロナス転送（パイプ 1～2） 944
29.3.13 SOF 補完機能 952
29.3.14 パイプスケジュール 952
29.4 使用上の注意事項 953
29.4.1 モジュールストップ状態の設定 953
29.4.2 ソフトウェアスタンバイモード解除時の割り込みステータスレジスタのクリア 953
29.4.3 ポート機能設定後の割り込みステータスレジスタのクリア 953
29.4.4 USB 機能設定前のポート機能の設定 954
30. シリアルコミュニケーションインタフェース (SCI) 955
30.1 概要 955
30.2 レジスタの説明 960
30.2.1 RSR : 受信シフトレジスタ 960
30.2.2 RDR/RDR_BY : 受信データレジスタ 961
30.2.3 TDR/TDRLL/TDRLH : 送信データレジスタ 962
30.2.4 TSR : 送信シフトレジスタ 963
30.2.5 CCR0 : 共通コントロールレジスタ 0 963
30.2.6 CCR1 : 共通コントロールレジスタ 1 966
30.2.7 CCR2 : 共通コントロールレジスタ 2 970
30.2.8 CCR3 : 共通コントロールレジスタ 3 984
30.2.9 CCR4 : 共通コントロールレジスタ 4 990
30.2.10 ICR : 簡易 IIC コントロールレジスタ 993
30.2.11 FCR : FIFO コントロールレジスタ 995

30.2.12 MCR : マンチェスタコントールレジスタ 997
30.2.13 DCR : ドライバコントロールレジスタ 1000
30.2.14 XCR0 : 簡易 LIN コントロールレジスタ 0 1001
30.2.15 XCR1 : 簡易 LIN コントロールレジスタ 1 1003
30.2.16 XCR2 : 簡易 LIN コントロールレジスタ 2 1004
30.2.17 CSR : 共通ステータスレジスタ 1005
30.2.18 ISR : 簡易 IIC ステータスレジスタ 1011
30.2.19 FRSR : FIFO 受信ステータスレジスタ 1012
30.2.20 FTSR : FIFO 送信ステータスレジスタ 1013
30.2.21 MSR : マンチェスタステータスレジスタ 1014
30.2.22 XSR0 : 簡易 LIN ステータスレジスタ 0 1016
30.2.23 XSR1 : 簡易 LIN ステータスレジスタ 1 1018
30.2.24 CFCLR : 共通フラグクリアレジスタ 1019
30.2.25 ICFCLR : 簡易 IIC フラグクリアレジスタ 1020
30.2.26 FFCLR : FIFO フラグクリアレジスタ 1020
30.2.27 MFCLR : マンチェスタフラグクリアレジスタ 1021
30.2.28 XFCLR : 簡易 LIN フラグクリアレジスタ 1021
30.2.29 CESR : 通信許可ステータスレジスタ 1022
30.3 調歩同期式モードの動作 1022
30.3.1 シリアル転送フォーマット 1023
30.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン 1024
30.3.3 クロック 1025
30.3.4 倍速動作とビットレートの 6 倍または 4 倍の周波数 1026
30.3.5 CTS、RTS 機能 1026
30.3.6 アドレス一致（受信データ一致）検出機能 1027
30.3.7 SCI の初期化（調歩同期式モード） 1029
30.3.8 シリアルデータの送信（調歩同期式モード） 1031
30.3.9 シリアルデータの受信（調歩同期式モード） 1037
30.3.10 受信サンプリングタイミング調整機能（調歩同期式モード） 1044
30.3.11 送信タイミング調整機能（調歩同期式モード） 1047
30.4 マルチプロセッサ通信機能 1051
30.4.1 マルチプロセッサシリアルデータ送信 1053
30.4.2 マルチプロセッサシリアルデータ受信 1055
30.5 マンチェスタモードの動作 1061
30.5.1 フレームフォーマット 1062
30.5.2 クロック 1066
30.5.3 マンチェスタモードにおける SCI の初期化 1066
30.5.4 倍速動作 1067
30.5.5 CTS、RTS 機能 1067
30.5.6 シリアルデータの送信（マンチェスタモード） 1067

30.5.7 シリアルデータの受信（マンチェスタモード）....1069
30.5.8 マルチプロセッサが使用されている場合の動作....1074
30.5.9 受信再タイミング....1074
30.5.10 マンチェスタコードの極性設定....1075
30.5.11 マンチェスタモードにおけるエラー....1076
30.6 クロック同期式モードの動作....1081
30.6.1 クロック....1081
30.6.2 CTS、RTS 機能....1081
30.6.3 SCI の初期化（クロック同期式モード）....1082
30.6.4 シリアルデータの送信（クロック同期式モード）....1083
30.6.5 シリアルデータの受信（クロック同期式モード）....1087
30.6.6 シリアルデータの同時送受信（クロック同期式モード）....1091
30.6.7 内部クロックを使用したクロック同期式モードでの受信サンプリングタイミング調整機能....1093
30.7 スマートカードインタフェースモードの動作....1094
30.7.1 接続例....1094
30.7.2 データフォーマット（ブロック転送モード時を除く）....1095
30.7.3 ブロック転送モード....1096
30.7.4 受信データサンプリングタイミングと受信マージン....1096
30.7.5 SCI の初期化（スマートカードインタフェースモード）....1097
30.7.6 シリアルデータの送信（ブロック転送モードを除く）....1099
30.7.7 シリアルデータの受信（ブロック転送モード時を除く）....1101
30.7.8 クロック出力制御....1103
30.8 簡易 IIC モードの動作....1104
30.8.1 開始条件、再開始条件、停止条件の生成....1105
30.8.2 クロック同期化....1106
30.8.3 SDAn 出力遅延....1107
30.8.4 SCI の初期化（簡易 IIC モード）....1108
30.8.5 マスタ送信動作（簡易 IIC モード）....1108
30.8.6 マスタ受信動作（簡易 IIC モード）....1111
30.9 簡易 SPI モードの動作....1114
30.9.1 マスタモード、スレーブモードと各端子の状態....1115
30.9.2 マスタモード時の SS 機能....1115
30.9.3 スレーブモード時の SS 機能....1116
30.9.4 クロックと送受信データの関係....1116
30.9.5 SCI の初期化（簡易 SPI モード）....1117
30.9.6 シリアルデータの送受信（簡易 SPI モード）....1117
30.9.7 内部クロックを使用した簡易 SPI モードでの受信サンプリングタイミング調整機能....1117
30.10 ビットレート変調機能....1118
30.11 簡易 LIN モード....1118

30.11.1 簡易 LIN スタートフレーム送信 1119
30.11.2 簡易 LIN スタートフレーム受信 1121
30.11.3 簡易 LIN バス競合検出機能 1126
30.11.4 簡易 LIN ビットレート測定機能 1127
30.12 割り込み要因 1128
30.12.1 SCIn_TXI および SCIn_RXI 割り込みのバッファ動作 1128
30.12.2 調歩同期式モード、マンチェスタモード、クロック同期式モード、および簡易 SPI モードにおける割り込み 1129
30.12.3 スマートカードインタフェースモードにおける割り込み 1130
30.12.4 簡易 IIC モードにおける割り込み 1131
30.12.5 簡易 LIN モードにおける割り込み 1132
30.13 イベントリンク機能 1133
30.14 ノイズ除去機能 1134
30.15 RS-485 ドライバコントロール機能 1135
30.16 ループバック機能 1136
30.17 半二重通信機能 1137
30.18 シンクロナイザーバイパス機能 1137
30.19 使用上の注意 1138
30.19.1 モジュールストップ機能の設定 1138
30.19.2 低消費電力状態での SCI の動作 1138
30.19.3 ブレークの検出と処理について 1141
30.19.4 マーク状態とブレークの送出 1142
30.19.5 受信エラーフラグと送信動作（クロック同期式モードおよび簡易 SPI モード） 1142
30.19.6 TDR へのデータ書き込み 1142
30.19.7 クロック同期式送信に関する制限事項（クロック同期式モードおよび簡易 SPI モード） 1142
30.19.8 DMAC または DTC 使用時の制限 1143
30.19.9 通信の開始に関する注意事項 1143
30.19.10 簡易 SPI モードに関する制限事項 1144
30.19.11 送信許可ビット (CCR0.TE) に関する注意事項 1144
30.19.12 簡易 LIN モードに関する注意事項 1144
30.19.13 RS-485 ドライバ制御機能に関する注意事項 1145
30.19.14 ループバック機能に関する注意事項 1145
30.19.15 動作クロック (TCLK) がバスクロック (PCLK) より長い場合のレジスタアクセスに関する注意事項 1145
30.19.16 動作の割り込みに関する注意事項 1145
30.19.17 CCR3.BPEN ビットの設定に関する注意事項 1145

31. I^2C バスインタフェース (IIC) 1146

31.1 概要 1146
31.2 レジスタの説明 1148
31.2.1 ICCR1 : I^2C バスコントロールレジスタ 1 1148

31.2.2 ICCR2 : I2C バスコントロールレジスタ 2 1150
31.2.3 ICMR1 : I2C バスモードレジスタ 1 1153
31.2.4 ICMR2 : I2C バスモードレジスタ 2 1154
31.2.5 ICMR3 : I2C バスモードレジスタ 3 1156
31.2.6 ICFER : I2C バスファンクションイネーブルレジスタ 1158
31.2.7 ICSER : I2C バスステータスイネーブルレジスタ 1159
31.2.8 ICIER : I2C バス割り込みイネーブルレジスタ 1161
31.2.9 ICSR1 : I2C バスステータスレジスタ 1 1162
31.2.10 ICSR2 : I2C バスステータスレジスタ 2 1164
31.2.11 ICWUR : I2C バスウェイクアップユニットレジスタ 1167
31.2.12 ICWUR2 : I2C バスウェイクアップユニットレジスタ 2 1168
31.2.13 SARLn : スレーブアドレスレジスタ Ln (n = 0～2) 1170
31.2.14 SARUn : スレーブアドレスレジスタ Un (n = 0～2) 1171
31.2.15 ICBRL : I2C バスビットレート Low レジスタ 1171
31.2.16 ICBRH : I2C バスビットレート High レジスタ 1172
31.2.17 ICDRT : I2C バス送信データレジスタ 1173
31.2.18 ICDRR : I2C バス受信データレジスタ 1174
31.2.19 ICDRS : I2C バスシフトレジスタ 1174
31.3 動作説明 1174
31.3.1 通信データフォーマット 1174
31.3.2 初期設定 1175
31.3.3 マスタ送信動作 1176
31.3.4 マスタ受信動作 1180
31.3.5 スレーブ送信動作 1186
31.3.6 スレーブ受信動作 1189
31.4 SCL 同期回路 1191
31.5 SDA 出力遅延機能 1192
31.6 デジタルノイズフィルタ回路 1192
31.7 アドレス一致検出機能 1193
31.7.1 スレーブアドレス一致検出機能 1193
31.7.2 ジェネラルコールアドレス検出機能 1196
31.7.3 デバイス ID アドレス検出機能 1197
31.7.4 ホストアドレス検出機能 1198
31.8 ウェイクアップ機能 1199
31.8.1 ノーマルウェイクアップモード 1 1200
31.8.2 ノーマルウェイクアップモード 2 1203
31.8.3 コマンドリカバリモードと EEP 応答モード（特殊ウェイクアップモード） 1205
31.9 SCL の自動 Low ホールド機能 1208
31.9.1 送信データの誤送信防止機能 1208

31.9.2 NACK 受信転送中断機能 1209
31.9.3 受信データ取りこぼし防止機能 1210
31.10 アービトレーションロスト検出機能 1211
31.10.1 マスタアービトレーションロスト検出機能（MALE ビット） 1211
31.10.2 NACK 送信中のアービトレーションロスト検出機能（NALE ビット） 1214
31.10.3 スレーブアービトレーションロスト検出機能（SALE ビット） 1215
31.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能 1216
31.11.1 スタートコンディション発行動作 1216
31.11.2 リスタートコンディション発行動作 1216
31.11.3 ストップコンディション発行動作 1218
31.12 バスハングアップ 1219
31.12.1 タイムアウト検出機能 1219
31.12.2 SCL クロック追加出力機能 1220
31.12.3 IIC リセット、内部リセット 1221
31.13 SMBus 動作 1221
31.13.1 SMBus タイムアウト測定 1222
31.13.2 パケットエラーコード (PEC) 1223
31.13.3 SMBus ホスト通知プロトコル（Notify ARP Master コマンド） 1223
31.14 割り込み要因 1223
31.14.1 IICn_TXI 割り込みおよび IICn_RXI 割り込みのバッファ動作 1224
31.15 各コンディション発行時のリセット、レジスタ、機能の状態 1224
31.16 イベントリンク出力機能 1225
31.16.1 割り込み処理とイベントリンクの関係 1226
31.17 使用上の注意事項 1226
31.17.1 モジュールストップ機能の設定 1226
31.17.2 転送開始に関する注意事項 1226
32. CAN フレキシブルデータレート (CANFD) 1227
32.1 概要 1227
32.1.1 CANFD モジュール 1227
32.1.2 クロックの制限事項 1229
32.2 レジスタの説明 1229
32.2.1 レジスタ表 1229
32.2.2 CFDC0NCFG : ノミナルビットレートコンフィグレーションレジスタ 1230
32.2.3 CFDC0CTR : コントロールレジスタ 1231
32.2.4 CFDC0STS : ステータスレジスタ 1236
32.2.5 CFDC0ERFL : エラーフラグレジスタ 1238
32.2.6 CFDC0DCFG : データビットレートコンフィグレーションレジスタ 1244
32.2.7 CFDC0FDCFG : CANFD コンフィグレーションレジスタ 1246
32.2.8 CFDC0FDCTR : CANFD コントロールレジスタ 1249
32.2.9 CFDC0FDSTS : CANFD ステータスレジスタ 1250

32.2.10 CFDC0FDCRC : CANFD CRC レジスタ 1252
32.2.11 CFDGCFG : グローバルコンフィグレーションレジスタ 1253
32.2.12 CFDGCTR : グローバルコントロールレジスタ 1255
32.2.13 CFDGSTS : グローバルステータスレジスタ 1257
32.2.14 CFDGERFL : グローバルエラーフラグレジスタ 1258
32.2.15 CFDGTINTSTS : グローバル TX 割り込みステータスレジスタ 1259
32.2.16 CFDGTSC : グローバルタイムスタンプカウンタレジスタ 1261
32.2.17 CFDGAFLECTR : グローバルアクセプタンスフィルタリストエントリコントロールレジスタ 1261
32.2.18 CFDGAFLCFG: グローバルアクセプタンスフィルタリストコンフィグレーションレジスタ 1262
32.2.19 CFDGAFLIDr : グローバルアクセプタンスフィルタリスト ID レジスタ（r = 1〜16） ... 1263
32.2.20 CFDGAFLMr : グローバルアクセプタンスフィルタリストマスクレジスタ (r = 1〜16) .. 1264
32.2.21 CFDGAFLP0r : グローバルアクセプタンスフィルタリストポインタ 0 レジスタ（r = 1〜16） 1265
32.2.22 CFDGAFLP1r : グローバルアクセプタンスフィルタリストポインタ 1 レジスタ（r = 1〜16） 1268
32.2.23 CFDRMNB : RX メッセージバッファ数レジスタ 1269
32.2.24 CFDRMND : RX メッセージバッファ新規データレジスタ 1269
32.2.25 CFDRFCCa : RX FIFO コンフィグレーション／コントロールレジスタ a (a = 0, 1)..... 1270
32.2.26 CFDRFSTSa : RX FIFO ステータスレジスタ a（a = 0, 1） 1272
32.2.27 CFDRFPCTRa : RX FIFO ポインタコントロールレジスタ a（a = 0、1） 1274
32.2.28 CFDCFCC : 共通 FIFO コンフィグレーション／コントロールレジスタ 1274
32.2.29 CFDCFSTS : 共通 FIFO ステータスレジスタ 1277
32.2.30 CFDCFPCTR : 共通 FIFO ポインタコントロールレジスタ 1280
32.2.31 CFDFESTS : FIFO エンプティステータスレジスタ 1280
32.2.32 CFDFFSTS : FIFO フルステータスレジスタ 1281
32.2.33 CFDFMSTS : FIFO メッセージロストステータスレジスタ 1282
32.2.34 CFDRFISTS : RX FIFO 割り込みフラグステータスレジスタ 1283
32.2.35 CFDCDTCT : DMA 転送コントロールレジスタ 1283
32.2.36 CFDCDTSTS : DMA 転送ステータスレジスタ 1284
32.2.37 CFDTMCi : TX メッセージバッファコントロールレジスタ i (i = 0〜3)..... 1285
32.2.38 CFDTMSTSj : TX メッセージバッファステータスレジスタ j (j = 0〜3)..... 1287
32.2.39 CFDTMTRSTS : TX メッセージバッファ送信要求ステータスレジスタ 1288
32.2.40 CFDTMTARSTS : TX メッセージバッファ送信中断要求ステータスレジスタ 1288
32.2.41 CFDTMTCSTS : TX メッセージバッファ送信完了ステータスレジスタ 1289
32.2.42 CFDTMTASTS : TX メッセージバッファ送信中断ステータスレジスタ 1290
32.2.43 CFDTMIEC : TX メッセージバッファ割り込み許可コンフィグレーションレジスタ 1290
32.2.44 CFDTXQCC : TX キューコンフィグレーション／コントロールレジスタ 1291
32.2.45 CFDTXQSTS : TX キューステータスレジスタ 1292
32.2.46 CFDTXQPCTR : TX キューポインタコントロールレジスタ 1294

32.2.47 CFDTHLCC : TX 履歴リストコンフィグレーション／コントロールレジスタ 1294
32.2.48 CFDTHLSTS : TX 履歴リストステータスレジスタ 1295
32.2.49 CFDTHLACC0 : TX 履歴リストアクセスレジスタ 0 1297
32.2.50 CFDTHLACC1 : TX 履歴リストアクセスレジスタ 1 1298
32.2.51 CFDTHLPCTR : TX 履歴リストポインタコントロールレジスタ 1298
32.2.52 CFDGRSTC : グローバル SW リセットレジスタ 1299
32.2.53 CFDGTSTCFG : グローバルテストコンフィグレーションレジスタ 1300
32.2.54 CFDGTSTCTR : グローバルテストコントロールレジスタ 1300
32.2.55 CFDGFDCFG : グローバル FD コンフィグレーションレジスタ 1301
32.2.56 CFDGLOCKK : グローバルロックキーレジスタ 1302
32.2.57 CFDRPGACCk : RAM テストページアクセスレジスタ k (k = 0～63) 1302
32.2.58 CFDGAFLIGNENT: グローバル AFL 無視エントリレジスタ 1303
32.2.59 CFDGAFLIGNCTR : グローバル AFL 無視コントロールレジスタ 1303
32.2.60 CFDRMIEC : RX メッセージバッファ割り込み許可コンフィグレーションレジスタ 1304
32.2.61 メッセージバッファコンポーネントの構造 1304
32.3 動作の概要 1325
32.3.1 概要 1325
32.3.2 グローバルモード 1325
32.3.3 チャネルモード 1334
32.3.4 グローバルモード遷移とチャネルモード遷移の相互作用 1340
32.4 初期化 1342
32.4.1 CAN クロック、ビットタイミング、ボーレートの初期化 1342
32.4.2 ハードウェアリセット後の CAN モジュールの構成 1349
32.5 グローバルアクセプタンスフィルタリスト（AFL）を使用したアクセプタンスフィルタ機能 1350
32.5.1 概要 1350
32.5.2 AFL エントリの割り当て 1352
32.5.3 AFL エントリの説明 1352
32.5.4 AFL へのエントリの入力 1354
32.5.5 ループバックモード 1356
32.5.6 IDE マスク処理 1356
32.5.7 通信中の AFL エントリの更新 1357
32.6 FIFO バッファと通常のメッセージバッファの構成 1359
32.6.1 通常の RX メッセージバッファ 1360
32.6.2 FIFO バッファ 1360
32.7 割り込みと DMA 1365
32.7.1 割り込み 1365
32.7.2 DMA 転送 1368
32.8 受信／送信 1371
32.8.1 受信 1371
32.8.2 送信 1379

32.9 テストモード 1394
32.9.1 チャネル固有のテストモード 1394
32.9.2 グローバルテストモード 1396
32.10 RAM 領域の構成 1400
32.10.1 RAM 領域の構成例 1402
32.10.2 OTB 領域 1403
32.10.3 RAM の初期化周期 1403
32.11 使用上の注意事項 1403
32.11.1 モジュールストップ機能 1403
33. CANFD ECC (CNECC) 1404
33.1 概要 1404
33.2 レジスタの説明 1404
33.2.1 EC710CTL : ECC コントロールレジスタ 1404
33.2.2 EC710TMC : ECC テストモードコントロールレジスタ 1407
33.2.3 EC710TED : ECC テスト置換データレジスタ 1408
33.2.4 EC710EAD0 : ECC エラーアドレスレジスタ 1409
33.3 動作説明 1409
33.3.1 ECC 機能設定 1409
33.3.2 ECC デコーダのテスト方法 1410
33.4 割り込み 1411
34. シリアルペリフェラルインタフェース (SPI) 1412
34.1 概要 1412
34.2 レジスタの説明 1416
34.2.1 SPDR : SPI データレジスタ 1416
34.2.2 SPDECR : SPI 遅延コントロールレジスタ 1418
34.2.3 SPCR : SPI コントロールレジスタ 1420
34.2.4 SPCR2 : SPI コントロールレジスタ 2 1424
34.2.5 SPCR3 : SPI コントロールレジスタ 3 1426
34.2.6 SPCMDm : SPI コマンドレジスタ (m = 0〜7) 1428
34.2.7 SPDCR : SPI データコントロールレジスタ 1431
34.2.8 SPDCR2 : SPI データコントロールレジスタ 2 1432
34.2.9 SPSR : SPI ステータスレジスタ 1433
34.2.10 SPTFSR : SPI 転送 FIFO ステータスレジスタ 1439
34.2.11 SPRFSR : SPI 受信 FIFO ステータスレジスタ 1440
34.2.12 SPPSR : SPI ポーリングレジスタ 1440
34.2.13 SPSRC : SPI ステータスクリアレジスタ 1441
34.2.14 SPFCR : SPI FIFO クリアレジスタ 1442
34.3 動作説明 1442
34.3.1 SPI 動作の概要 1442

34.3.2 SPI 端子の制御 1443
34.3.3 SPI システム構成例 1445
34.3.4 データフォーマット 1450
34.3.5 転送フォーマット 1463
34.3.6 通信動作モード 1465
34.3.7 送信バッファエンプティ／受信バッファフル割り込み 1468
34.3.8 アイドル割り込み 1469
34.3.9 通信終了割り込み 1471
34.3.10 エラー検出 1479
34.3.11 SPI の初期化 1486
34.3.12 SPI 動作 1487
34.3.13 クロック同期式動作 1505
34.3.14 ループバックモード 1511
34.3.15 パリティビット機能の自己診断 1512
34.3.16 割り込み要因 1513
34.4 イベントリンクコントローラ (ELC) への出力 1514
34.4.1 受信バッファフルイベント出力 1514
34.4.2 送信バッファエンプティイベント出力 1515
34.4.3 モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラー、または受信データレディイベント出力 1515
34.4.4 SPI アイドルイベント出力 1515
34.4.5 通信終了イベント出力 1516
34.4.6 同期バイパス機能 1518
34.5 使用上の注意事項 1519
34.5.1 モジュールストップ機能の設定 1519
34.5.2 低消費電力機能に関する制約 1519
34.5.3 転送の開始に関する制約 1519
34.5.4 モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラー、または受信データレディイベント出力の制限事項 1519
34.5.5 SPSR.SPRF および SPSR.SPTEF フラグに関する制約 1519
35. オクタシリアルペリフェラルインタフェース (OSPI) 1520
35.1 概要 1520
35.2 レジスタの説明 1521
35.2.1 OSPI コンフィグレーションレジスタ 1521
35.2.2 OSPI コントロールレジスタ 1528
35.2.3 OSPI ステータスレジスタ 1542
35.2.4 OSPI 割り込みレジスタ 1543
35.3 動作説明 1547
35.3.1 xSPI バス 1547
35.3.2 マニュアルコマンド 1559

35.3.3 メモリマッピング 1560
35.3.4 パターン制御 1567
35.3.5 整合性チェック 1568
35.3.6 割り込み 1568
35.3.7 動作フロー 1569
35.4 使用上の注意事項 1577
35.4.1 メモリアクセスに関する制限事項 1577
35.4.2 バースト長に関する制限事項 1577
35.4.3 メモリ書き込み結合モード 1577
35.4.4 モジュールストップ機能 1578
35.4.5 8D-8D-8D プロファイル 1.0 フォーマットの制限事項 1578
35.4.6 8 ピン DDR モードのバイトデータ順序 1578
36. オンザフライ復号 (DOTF) 1579
36.1 概要 1579
36.2 ブロック図 1579
36.3 レジスタの説明 1579
36.3.1 CONVAREAST : DOTF 変換領域開始アドレスレジスタ 1580
36.3.2 CONVAREAD : DOTF 変換領域終了アドレスレジスタ 1580
36.4 動作説明 1581
36.5 システムフロー 1581
36.6 使用上の注意事項 1581
36.6.1 モジュールストップ機能 1581
37. 拡張シリアルサウンドインタフェース (SSIE) 1582
37.1 概要 1582
37.2 レジスタの説明 1587
37.2.1 SSICR : コントロールレジスタ 1587
37.2.2 SSISR : ステータスレジスタ 1597
37.2.3 SSIFCR : FIFO コントロールレジスタ 1608
37.2.4 SSIFSR : FIFO ステータスレジスタ 1614
37.2.5 SSIFTDR : 送信 FIFO データレジスタ 1617
37.2.6 SSIFRDR : 受信 FIFO データレジスタ 1620
37.2.7 SSIOFR : オーディオフォーマットレジスタ 1622
37.2.8 SSISCR : ステータスコントロールレジスタ 1625
37.3 通信フォーマット 1626
37.3.1 I^2S フォーマット 1627
37.3.2 モノラルフォーマット 1627
37.3.3 TDM フォーマット 1629
37.4 通信モード 1630
37.4.1 スレーブモード通信 1630

37.4.2 マスタモード通信 1630
37.4.3 送信 1631
37.4.4 受信 1631
37.4.5 送受信 1631
37.5 動作説明 1631
37.5.1 アイドル状態 1631
37.5.2 通信状態 1633
37.6 通信動作 1637
37.6.1 通信開始 1637
37.6.2 送信 1639
37.6.3 受信 1639
37.6.4 送受信 1640
37.6.5 通信停止 1640
37.6.6 エラー処理 1641
37.6.7 通信再開 1642
37.7 割り込み 1643
37.7.1 SSIEn_SSIF 割り込み (n = 0, 1) 1644
37.7.2 SSIE0_SSITXI 割り込み[全二重通信] 1645
37.7.3 SSIE0_SSIRXI 割り込み[全二重通信] 1645
37.7.4 SSIE1_SSIRT 割り込み[半二重通信] 1645
37.8 ソフトウェアリセット 1646
37.8.1 ソフトウェアリセット手順 1646
37.9 使用上の注意事項 1647
37.9.1 スレーブモード通信に関する注意事項 1647
37.9.2 マスタモード通信に関する注意事項 1648
37.9.3 通信フローに関する注意事項 1648
37.9.4 書き込みアクセス制限 1649
37.9.5 モジュールストップ機能 1650
38. 巡回冗長検査 (CRC) 1652
38.1 概要 1652
38.2 レジスタの説明 1653
38.2.1 CRCCR0 : CRC コントロールレジスタ 0 1653
38.2.2 CRCCR1 : CRC コントロールレジスタ 1 1653
38.2.3 CRCDIR/CRCDIR_BY : CRC データ入力レジスタ 1654
38.2.4 CRCDOR/CRCDOR_HA/CRCDOR_BY : CRC データ出力レジスタ 1654
38.2.5 CRCSAR : スヌープアドレスレジスタ 1655
38.3 動作説明 1656
38.3.1 基本動作 1656
38.3.2 CRC スヌープ機能 1659
38.4 使用上の注意事項 1660

38.4.1 モジュールストップ状態の設定 1660
38.4.2 送信時の注意事項 1660
39. バウンダリスキャン 1662
39.1 概要 1662
39.2 レジスタの説明 1663
39.2.1 JTIR : インストラクションレジスタ 1663
39.2.2 JTIDR : ID コードレジスタ 1664
39.2.3 JTBPR : バイパスレジスタ 1664
39.2.4 JTBSR : バウンダリスキャンレジスタ 1664
39.3 動作 1664
39.3.1 TAP コントローラ 1664
39.3.2 コマンド 1665
39.4 使用上の注意 1666
40. セキュリティ機能 1668
40.1 特長 1668
40.2 改ざん検出 1669
40.3 Arm セキュリティ機能 1669
40.3.1 Arm TrustZone 技術 1669
40.3.2 プリビレッジ制御 1670
40.3.3 セキュリティ属性 1670
40.3.4 TrustZone アクセスエラー 1677
40.4 デバイスライフサイクルの管理 1677
40.4.1 ライフサイクル状態の変更 1678
40.4.2 保護と認証レベル 1678
40.4.3 シリアルプログラミング 1680
40.4.4 デバイスライフサイクル状態と PL 変更例 1680
40.4.5 故障解析 1680
40.5 セキュアキーインジェクション 1680
40.6 セキュアファクトリプログラミング 1683
40.7 デュアルモードでのフィールドアップデート 1684
40.8 レジスタの説明 1686
40.8.1 PSARB : 周辺モジュールセキュリティ属性レジスタ B 1686
40.8.2 PSARC : 周辺モジュールセキュリティ属性レジスタ C 1687
40.8.3 PSARD : 周辺モジュールセキュリティ属性レジスタ D 1688
40.8.4 PSARE : 周辺モジュールセキュリティ属性レジスタ E 1690
40.8.5 MSSAR : モジュールストップセキュリティ属性レジスタ 1691
40.8.6 PPARB : 周辺モジュールプリビレッジ属性レジスタ B 1692
40.8.7 PPARC : 周辺モジュールプリビレッジ属性レジスタ C 1694
40.8.8 PPARD : 周辺モジュールプリビレッジ属性レジスタ D 1695

40.8.9 PPARE : 周辺モジュールプリビレッジ属性レジスタ E ... 1696
40.8.10 MSPAR : モジュールストッププリビレッジ属性レジスタ ... 1698
40.8.11 CFSAMONA : コードフラッシュセキュリティ属性モニタレジスタ A ... 1698
40.8.12 DFSAMON : データフラッシュセキュリティ属性モニタレジスタ ... 1698
40.8.13 DLMMON : デバイスライフサイクル管理状態モニタレジスタ ... 1699
40.8.14 MSAOAD : マスタセキュリティ属性検出後動作レジスタ ... 1699
40.8.15 MSAPT : マスタセキュリティ属性保護レジスタ ... 1700
40.9 使用上の注意事項 ... 1700
40.9.1 セキュリティビットまたはプリビレッジビットの書き込みタイミング ... 1700
41. Renesas セキュア IP (RSIP-E51A) ... 1701
41.1 概要 ... 1701
41.2 動作説明 ... 1703
41.2.1 対称暗号 ... 1703
41.2.2 非対称暗号 ... 1704
41.2.3 ハッシュ生成部 ... 1705
41.2.4 暗号／復号処理 ... 1705
41.3 使用上の注意事項 ... 1706
41.3.1 ソフトウェアスタンバイモード ... 1706
41.3.2 モジュールストップ機能の設定 ... 1706
41.3.3 SPA/DPA 保護 ... 1706
41.3.4 開放処理における制限事項 ... 1706
42. 12 ビット A/D コンバータ (ADC12) ... 1707
42.1 概要 ... 1707
42.2 レジスタの説明 ... 1712
42.2.1 ADDRn : A/D データレジスタ n ... 1712
42.2.2 ADDBLDR : A/D データ 2 重化レジスタ ... 1713
42.2.3 ADDBLDRn : A/DA データ 2 重化レジスタ n（n = A, B） ... 1714
42.2.4 ADTSDR : A/D 温度センサデータレジスタ ... 1715
42.2.5 ADOCDR : A/D 内部基準電圧データレジスタ ... 1717
42.2.6 ADVMDR : A/D VBATT 監視データレジスタ ... 1718
42.2.7 ADRD : A/D 自己診断データレジスタ ... 1719
42.2.8 ADCSR : A/D コントロールレジスタ ... 1720
42.2.9 ADANSA0 : A/D チャネル選択レジスタ A0 ... 1723
42.2.10 ADANSB0 : A/D チャネル選択レジスタ B0 ... 1724
42.2.11 ADADS0 : A/D 変換値加算／平均チャネル選択レジスタ 0 ... 1724
42.2.12 ADADC : A/D 変換値加算／平均回数選択レジスタ ... 1726
42.2.13 ADCER : A/D コントロール拡張レジスタ ... 1727
42.2.14 ADSTRGR : A/D 変換開始トリガ選択レジスタ ... 1728
42.2.15 ADEXICR : A/D 変換拡張入力コントロールレジスタ ... 1731

42.2.16 ADSSTRn/ADSSTRT/ADSSTRO/ADSSTRV : A/D サンプリングステートレジスタ (n = 0～8) 1733
42.2.17 ADSHCR : A/D サンプル＆ホールド回路コントロールレジスタ 1734
42.2.18 ADSHMSR : A/D サンプル&ホールド動作モード選択レジスタ 1734
42.2.19 ADDISCR : A/D 断線検出コントロールレジスタ 1735
42.2.20 ADGSPCR : A/D グループスキャン優先コントロールレジスタ 1736
42.2.21 ADCMPCR : A/D コンペア機能コントロールレジスタ 1737
42.2.22 ADCMPANSR0 : A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0 1739
42.2.23 ADCMPANSER : A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ 1739
42.2.24 ADCMPLR0 : A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0 1740
42.2.25 ADCMPLER : A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ 1741
42.2.26 ADCMPDRn : A/D コンペア機能ウィンドウ A 下側／上側レベル設定レジスタ (n = 0, 1) 1742
42.2.27 ADWINnLB : A/D コンペア機能ウィンドウ B 下側／上側レベル設定レジスタ (n = L, U) 1744
42.2.28 ADCMPSR0 : A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0 1745
42.2.29 ADCMPSER : A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ ... 1746
42.2.30 ADCMPBNSR : A/D コンペア機能ウィンドウ B チャネル選択レジスタ 1747
42.2.31 ADCMPBSR : A/D コンペア機能ウィンドウ B ステータスレジスタ 1748
42.2.32 ADWINMON : A/D コンペア機能ウィンドウ A/B ステータスモニタレジスタ 1749
42.2.33 ADBUFEN : A/D データバッファイネーブルレジスタ 1750
42.2.34 ADBUFPTR : A/D データバッファポインタレジスタ 1751
42.2.35 ADBUFn : A/D データバッファレジスタ n (n = 0～15) 1751
42.3 動作 1752
42.3.1 スキャンの動作説明 1752
42.3.2 シングルスキャンモード 1753
42.3.3 連続スキャンモード 1762
42.3.4 グループスキャンモード 1769
42.3.5 コンペア機能（ウィンドウ A、ウィンドウ B） 1778
42.3.6 アナログ入力のサンプリング時間とスキャン変換時間 1782
42.3.7 A/D データレジスタの自動クリア機能の使用例 1785
42.3.8 A/D 変換値加算／平均モード 1786
42.3.9 断線検出アシスト機能 1786
42.3.10 非同期トリガによる A/D 変換の開始 1788
42.3.11 周辺モジュールからの同期トリガによる A/D 変換の開始 1788
42.3.12 ADCn (n = 0, 1) と PORT (PmSAR (m = 0～9)) の間のセキュリティ属性 1788
42.3.13 データバッファの使用 1788
42.4 割り込み要因および DTC、DMAC 転送要求 1789
42.4.1 割り込み要求 1789
42.5 イベントリンク機能 1791
42.5.1 ELC へのイベント出力動作 1791
42.5.2 ELC からのイベントによる ADC12 の動作 1791

42.6 使用上の注意 1791
42.6.1 レジスタ設定時の制限 1791
42.6.2 データレジスタの読み出しに関する制約 1791
42.6.3 A/D 変換停止に関する制約 1792
42.6.4 A/D 変換強制停止と再開時の動作タイミング 1793
42.6.5 スキャン終了割り込み処理の制約 1793
42.6.6 モジュールストップ機能の設定 1793
42.6.7 低消費電力状態への遷移に関する注意事項 1793
42.6.8 ソフトウェアスタンバイモード解除時の注意 1793
42.6.9 断線検出アシスト機能使用時の絶対精度誤差 1794
42.6.10 動作モードおよびステータスビットの制約 1794
42.6.11 ボード設計に関する注意事項 1794
42.6.12 ノイズ防止の制限事項 1794
42.6.13 ADC12 入力使用時のポート設定 1795
42.6.14 ADC12 ユニット 0、1 と ACMPHS との関係 1795
42.6.15 サンプリング時間の計算 1796
42.6.16 他のモジュールとの同時動作における注意事項 1796
43. 12 ビット D/A コンバータ (DAC12) 1798
43.1 概要 1798
43.2 レジスタの説明 1799
43.2.1 DADRn : D/A データレジスタ n (n = 0) 1799
43.2.2 DACR : D/A コントロールレジスタ 1799
43.2.3 DADPR : DADRn フォーマット選択レジスタ 1800
43.2.4 DAADSCR : D/A A/D 同期スタートコントロールレジスタ 1800
43.2.5 DAAMPCR : D/A 出力アンプコントロールレジスタ 1801
43.2.6 DAASWCR : D/A アンプ安定ウェイトコントロールレジスタ 1802
43.2.7 DAADUSR : D/A A/D 同期ユニット選択レジスタ 1802
43.3 動作 1803
43.3.1 D/A 変換と A/D 変換の干渉の低減 1803
43.4 イベントリンクの動作設定手順 1805
43.4.1 DA0 イベントリンクの動作設定手順 1805
43.5 セキュリティ属性によるアナログ出力制御 1805
43.6 イベントリンク動作における注意事項 1806
43.7 使用上の注意 1806
43.7.1 モジュールストップ機能の設定 1806
43.7.2 モジュールストップ時の DAC12 の動作 1806
43.7.3 ソフトウェアスタンバイモード時の DAC12 の動作 1806
43.7.4 ディープソフトウェアスタンバイモードへの移行に関する制約 1806
43.7.5 出力アンプを使用した初期化手順 1806
43.7.6 内部モジュールへの出力の初期化手順 1807

43.7.7 D/A 変換と A/D 変換の干渉低減有効時の制約 1807
44. 温度センサ回路 (TSN) 1808
44.1 概要 1808
44.2 レジスタの説明 1809
44.2.1 TSCR : 温度センサコントロールレジスタ 1809
44.2.2 TSCDR : 温度センサ校正データレジスタ 1809
44.3 温度センサ回路の使用方法 1810
44.3.1 使用前の準備 1810
44.3.2 温度センサ回路の使用手順 1811
44.4 使用上の注意事項 1813
44.4.1 モジュールストップ機能の設定 1813
44.4.2 ソフトウェアスタンバイモードの設定 1813
45. 高速アナログコンパレータ (ACMPHS) 1814
45.1 概要 1814
45.2 レジスタの説明 1815
45.2.1 CMPCTL : コンパレータコントロールレジスタ 1815
45.2.2 CMPSEL0 : コンパレータ入力選択レジスタ 1816
45.2.3 CMPSEL1 : コンパレータ基準電圧選択レジスタ 1817
45.2.4 CMPMON : コンパレータ出力モニタレジスタ 1818
45.2.5 CPIOC : コンパレータ出力コントロールレジスタ 1818
45.2.6 CPINTCTL : コンパレータ割り込みコントロールレジスタ 1818
45.2.7 CPMSKCTL : コンパレータ割り込みマスクコントロールレジスタ 1819
45.3 動作説明 1819
45.4 ノイズフィルタ 1821
45.5 ACMPHS 割り込み 1822
45.6 イベントリンクコントローラ (ELC) への ACMPHS 出力 1823
45.7 ACMPHS 端子出力 1823
45.8 使用上の注意事項 1823
45.8.1 モジュールストップ機能の設定 1823
45.8.2 DAC12 の設定 1823
45.8.3 ADC12 との関係 1823
45.8.4 モジュールストップ状態における ACMPHS の動作 1824
45.8.5 ソフトウェアスタンバイモード時の ACMPHS の動作 1824
45.8.6 基準電圧生成のための D/A コンバータの設定 1824
46. データ演算回路 (DOC) 1825
46.1 概要 1825
46.2 レジスタの説明 1826
46.2.1 DOCR : DOC コントロールレジスタ 1826
46.2.2 DOSR : DOC フラグステータスレジスタ 1827

46.2.3 DOSCR : DOC フラグステータスクリアレジスタ 1827
46.2.4 DODIR : DOC データ入力レジスタ 1828
46.2.5 DODSR0 : DOC データ設定レジスタ 0 1828
46.2.6 DODSR1 : DOC データ設定レジスタ 1 1829
46.3 動作説明 1829
46.3.1 データ比較モード 1829
46.3.2 データ加算モード 1831
46.3.3 データ減算モード 1832
46.4 割り込み要因 1832
46.5 イベントリンク出力 1833
46.6 割り込み処理とイベントリンクの関係 1833
46.7 使用上の注意事項 1833
46.7.1 モジュールストップ機能の設定 1833
47. SRAM 1834
47.1 概要 1834
47.2 レジスタの説明 1834
47.2.1 SRAMSABAR1 : SRAM セキュリティ属性バウンダリアドレスレジスタ 1834
47.2.2 SRAMSAR : SRAM セキュリティ属性レジスタ 1835
47.2.3 SRAMPRCR_S : セキュア用 SRAM 保護コントロールレジスタ 1835
47.2.4 SRAMPRCR_NS : 非セキュア用 SRAM 保護コントロールレジスタ 1836
47.2.5 SRAMWTSC : SRAM ウェイトステートコントロールレジスタ 1837
47.2.6 SRAMCR1 : SRAM コントロールレジスタ 1 1838
47.2.7 SRAMESR : SRAM エラーステータスレジスタ 1839
47.2.8 SRAMESCLR : SRAM エラーステータスクリアレジスタ 1839
47.2.9 SRAMEAR2 : SRAM エラーアドレスレジスタ 1840
47.3 動作説明 1840
47.3.1 モジュールストップ機能 1840
47.3.2 パリティ計算機能 1841
47.3.3 TrustZone フィルタ機能 1843
47.3.4 割り込み要因 1844
47.3.5 ウェイトステート 1844
47.4 使用上の注意事項 1844
47.4.1 SRAM 領域からの命令フェッチ 1844
47.4.2 SRAMCR1 レジスタに書き込む際の注意事項 1845
47.4.3 SRAM のエラー確認使用時の注意事項 1845
48. スタンバイ SRAM 1846
48.1 概要 1846
48.2 レジスタの説明 1846
48.2.1 STBRAMSABAR : スタンバイ SRAM セキュリティ属性バウンダリアドレスレジスタ 1846

48.2.2 STBRAMPABAR_NS : 非セキュア用スタンバイ SRAM プリビレッジ属性バウンダリアドレスレジスタ 1847
48.2.3 STBRAMPABAR_S : セキュア用スタンバイ SRAM プリビレッジ属性バウンダリアドレスレジスタ 1847
48.2.4 STBRAMCR : スタンバイ SRAM コントロールレジスタ 1848
48.2.5 STBRAMEAR : スタンバイ SRAM エラーアドレスレジスタ 1848
48.3 動作説明 1849
48.3.1 データ保持 1849
48.3.2 モジュールストップ機能 1849
48.3.3 パリティ計算機能 1849
48.3.4 TrustZone フィルタ機能 1851
48.3.5 割り込み要因 1852
48.3.6 ウェイトステート 1852
48.4 使用上の注意事項 1853
48.4.1 スタンバイ SRAM 領域からの命令フェッチ 1853
48.4.2 スタンバイ SRAM の自己診断に関する注意事項 1853
49. フラッシュメモリ 1854
49.1 概要 1854
49.2 メモリ構成 1856
49.3 アドレス空間 1859
49.4 レジスタの説明 1859
49.4.1 FCACHEE : フラッシュキャッシュイネーブルレジスタ 1859
49.4.2 FCACHEIV : フラッシュキャッシュインバリデートレジスタ 1860
49.4.3 FLWT : フラッシュウェイトサイクルレジスタ 1860
49.4.4 FSAR : フラッシュセキュリティ属性レジスタ 1861
49.4.5 UIDRn : ユニーク ID レジスタ n (n = 0～3) 1862
49.4.6 PNRn : 型名レジスタ n (n = 0～3) 1862
49.4.7 MCUVER : MCU バージョンレジスタ 1862
49.4.8 FWEPROR : フラッシュ P/E プロテクトレジスタ 1863
49.4.9 FASTAT : フラッシュアクセスステータスレジスタ 1863
49.4.10 FAEINT : フラッシュアクセスエラー割り込み許可レジスタ 1865
49.4.11 FRDYIE : フラッシュレディ割り込み許可レジスタ 1865
49.4.12 FSADDR : FACI コマンド開始アドレスレジスタ 1866
49.4.13 FEADDR : FACI コマンド終了アドレスレジスタ 1867
49.4.14 FMEPROT : フラッシュ P/E モードエントリ保護レジスタ 1867
49.4.15 FCNTSELR : フラッシュカウンタ選択レジスタ 1868
49.4.16 FCNTDATARn : フラッシュカウンタデータレジスタ n (n = 0, 1) 1869
49.4.17 FBPROT0 : フラッシュブロック保護レジスタ 1870
49.4.18 FBPROT1 : セキュア用フラッシュブロック保護レジスタ 1871
49.4.19 FSTATR : フラッシュステータスレジスタ 1872

49.4.20 FENTRYR : フラッシュ P/E モードエントリレジスタ 1876
49.4.21 FSUINITR : フラッシュシーケンサセットアップ初期化レジスタ 1877
49.4.22 FCMDR : FACI コマンドレジスタ 1878
49.4.23 FBCCNT : ブランクチェックコントロールレジスタ 1879
49.4.24 FBCSTAT : ブランクチェックステータスレジスタ 1879
49.4.25 FPSADDR : データフラッシュ書き込み開始アドレスレジスタ 1880
49.4.26 FSUASMON : フラッシュスタートアップ領域選択モニタレジスタ 1880
49.4.27 FCPSR : フラッシュシーケンサ処理切り替えレジスタ 1881
49.4.28 FPCKAR : フラッシュシーケンサ処理クロック通知レジスタ 1881
49.4.29 FSUACR : フラッシュスタートアップ領域コントロールレジスタ 1882
49.4.30 FCKMHZ : データフラッシュアクセス周波数レジスタ 1883
49.5 フラッシュキャッシュ 1883
49.5.1 フラッシュキャッシュの特長 1883
49.6 フラッシュメモリ関連の動作モード 1884
49.7 機能概要 1885
49.8 フラッシュシーケンサの動作モード 1887
49.9 FACI コマンド 1888
49.9.1 FACI コマンド一覧 1888
49.9.2 フラッシュシーケンサの状態と FACI コマンドの関係 1890
49.9.3 FACI コマンドの使用方法 1891
49.10 サスペンド動作 1915
49.11 プロテクション機能 1915
49.11.1 ソフトウェアプロテクション 1915
49.11.2 エラープロテクション 1919
49.11.3 スタートアッププログラムプロテクション 1922
49.11.4 デュアルバンク機能 1926
49.11.5 ブロックスワップ機能 1928
49.12 セキュリティ機能 1929
49.12.1 スタートアップ領域選択のセキュリティフラグ 1930
49.12.2 永久ブロック保護設定 1930
49.12.3 TrustZone のフラッシュメモリ保護 1931
49.12.4 データフラッシュコンフィグレーション領域保護 1935
49.12.5 アンチロールバックカウンタ 1936
49.13 ブートモード 1940
49.13.1 ブートモード（SCI インタフェース） 1941
49.13.2 ブートモード（USB インタフェース） 1941
49.14 シリアルプログラマを使用した書き込み 1942
49.14.1 シリアルプログラミング環境 1942
49.15 セルフプログラミングでの書き換え 1943
49.15.1 概要 1943

49.15.2 バックグラウンドオペレーション 1944
49.16 フラッシュメモリの読み出し 1944
49.16.1 コードフラッシュメモリの読み出し 1944
49.16.2 データフラッシュメモリの読み出し 1945
49.17 使用上の注意事項 1945
50. キャプチャエンジンユニット (CEU) 1947
50.1 概要 1947
50.2 レジスタの説明 1949
50.2.1 CAPSR : キャプチャ開始レジスタ 1951
50.2.2 CAPCR : キャプチャ制御レジスタ 1955
50.2.3 CAMCR : キャプチャインタフェース制御レジスタ 1957
50.2.4 CMCYR : キャプチャインタフェースサイクルレジスタ 1961
50.2.5 CAMOR, CAMOR_x : キャプチャインタフェースオフセットレジスタ (x = B, M) 1962
50.2.6 CAPWR, CAPWR_x : キャプチャインタフェース幅レジスタ (x = B, M) 1963
50.2.7 CAIFR : キャプチャインタフェース入力方式レジスタ 1965
50.2.8 CRCNTR : CEU レジスタ制御レジスタ 1970
50.2.9 CRCMPR : CEU レジスタ強制制御レジスタ 1972
50.2.10 CFLCR, CFLCR_x : キャプチャフィルタ制御レジスタ (x = B, M) 1972
50.2.11 CFSZR, CFSZR_x : キャプチャフィルタサイズクリップレジスタ (x = B, M) 1974
50.2.12 CDWDR, CDWDR_x : キャプチャデスティネーション幅レジスタ (x = B, M) 1975
50.2.13 CDAYR, CDAYR_x : キャプチャデータアドレス Y レジスタ (x = B, M) 1976
50.2.14 CDACR, CDACR_x : キャプチャデータアドレス C レジスタ (x = B, M) 1977
50.2.15 CDBYR, CDBYR_x : キャプチャデータボトムフィールドアドレス Y レジスタ (x = B, M) 1979
50.2.16 CDBCR, CDBCR_x : キャプチャデータボトムフィールドアドレス C レジスタ (x = B, M) 1980
50.2.17 CBDSR, CBDSR_x : キャプチャバンドルデスティネーションサイズレジスタ (x = B, M) 1981
50.2.18 CFWCR : ファイアウォール動作制御レジスタ 1982
50.2.19 CLFCR, CLFCR_x : キャプチャローパスフィルタ制御レジスタ (x = B, M) 1983
50.2.20 CDOCR, CDOCR_x : キャプチャデータ出力制御レジスタ (x = B, M) 1983
50.2.21 CEIER : キャプチャイベント割り込み許可レジスタ 1989
50.2.22 CETCR : キャプチャイベントフラグクリアレジスタ 1990
50.2.23 CSTSR : キャプチャステータスレジスタ 1994
50.2.24 CDSSR : キャプチャデータサイズレジスタ 1995
50.2.25 CDAYR2, CDAYR2_x : キャプチャデータアドレス Y レジスタ 2 (x = B, M) 1997
50.2.26 CDACR2, CDACR2_x : キャプチャデータアドレス C レジスタ 2 (x = B, M) 1998
50.2.27 CDBYR2, CDBYR2_x : キャプチャデータボトムフィールドアドレス Y レジスタ 2 (x = B, M) 2000
50.2.28 CDBCR2, CDBCR2_x : キャプチャデータボトムフィールドアドレス C レジスタ 2 (x = B, M) 2001
50.2.29 CBWER : CEU バッファラブル書き込みイネーブルレジスタ 2002
50.3 使用上の注意事項 2002

50.3.1 モジュールストップ機能の設定 2002
50.3.2 外部モジュールの接続条件 2003
50.3.3 入出力機能制限事項 2003
51. 内部電圧レギュレータ 2004
51.1 概要 2004
51.2 動作説明 2004
51.2.1 DCDC モード 2004
51.2.2 外部 VDD モード 2005
51.3 使用上の注意事項 2007
52. 電気的特性 2008
52.1 絶対最大定格 2008
52.2 DC 特性 2009
52.2.1 Tj/Ta の定義 2009
52.2.2 I/O V_{IH}, V_{IL} 2010
52.2.3 I/O I_{OH}, I_{OL} 2012
52.2.4 I/O V_{OH}、V_{OL}、その他の特性 2014
52.2.5 動作電流とスタンバイ電流 2015
52.2.6 VCC 立ち上がり／立ち下がり勾配とリップル周波数 2029
52.2.7 熱特性 2030
52.3 AC 特性 2034
52.3.1 周波数 2034
52.3.2 クロックタイミング 2035
52.3.3 リセットタイミング 2038
52.3.4 ウェイクアップタイミング 2039
52.3.5 NMI/IRQ ノイズフィルタ 2044
52.3.6 I/O ポート、POEG、GPT、AGT、ULPT、ADC12 のトリガタイミング 2045
52.3.7 CAC タイミング 2048
52.3.8 SCI タイミング 2049
52.3.9 SPI タイミング 2059
52.3.10 OSPI タイミング 2067
52.3.11 IIC タイミング 2071
52.3.12 SSIE タイミング 2074
52.3.13 ETHERC タイミング 2078
52.3.14 CEU タイミング 2082
52.3.15 CANFD タイミング 2084
52.4 USB 特性 2084
52.4.1 USBFS タイミング 2084
52.5 ADC12 特性 2086
52.6 DAC12 特性 2091

52.7 TSN 特性 2092
52.8 OSC 停止検出特性 2092
52.9 POR と PVD の特性 2093
52.10 VBATT 特性 2096
52.11 ACMPHS 特性 2097
52.12 フラッシュメモリ特性 2098
52.12.1 コードフラッシュメモリ特性 2098
52.12.2 データフラッシュメモリ特性 2099
52.12.3 オプション設定メモリ（コードフラッシュメモリ）特性 2101
52.12.4 オプション設定メモリ（データフラッシュメモリ）特性 2101
52.12.5 アンチロールバックカウンタ特性 2101
52.13 バウンダリスキャン 2102
52.14 JTAG (Joint Test Action Group) 2104
52.15 シリアルワイヤデバッグ (SWD) 2105
52.16 エンベデッドトレースマクロインタフェース (ETM) 2107
付録 1. 各プロセスモードのポート状態 2109
付録 2. 外形寸法図 2110
付録 3. I/O レジスタ 2112
3.1 周辺機能のベースアドレス 2112
3.2 アクセスサイクル 2114
付録 4. レジスタ R/W に関する注意事項 2117
付録 5. ペリフェラル変数 2119

Renesas RA8E1 グループ
ユーザーズマニュアル

高性能の 360 MHz Arm® Cortex®-M85 コア (Helium™)、デュアルバンク、バックグラウンドおよび SWAP 動作に対応する 1 MB のコードフラッシュメモリ、12 KB のデータフラッシュメモリ、パリティありの 544 KB の SRAM。高集積度のイーサネット MAC コントローラ、USB 2.0 フルスピード、CANFD、Octal SPI、高度なアナログ機能。

特長

■ Arm® Cortex®-M85 コア (Helium™)

- Armv8.1-M アーキテクチャプロファイル
- Armv8-M セキュリティ拡張
- 最高動作周波数： 360 MHz
- メモリプロテクションユニット (Arm MPU)
  - 保護メモリシステムアーキテクチャ (PMSAv8)
  - セキュア MPU (MPU_S)：8 領域
  - 非セキュア MPU (MPU_NS)：8 領域
- SysTick タイマ
  - 2 つの SysTick タイマを搭載 : セキュアおよび非セキュアインスタンス
  - CPUCLK または MOCO 駆動（8 分周）
- CoreSight™ ETM-M85

■ メモリ

- 1 MB のコードフラッシュメモリ
- 12 KB のデータフラッシュメモリ（100,000 回のプログラム／イレース (P/E) サイクル）
- 544 KB の SRAM（32 KB の TCM を含む）

■ 接続性

- シリアルコミュニケーションインタフェース (SCI) × 6、最大 60 Mbps
  - 調歩同期式インタフェース
  - 8 ビットクロック同期式インタフェース
  - スマートカードインタフェース
  - 簡易 IIC
  - 簡易 SPI
  - マンチェスタコーディング (SCI0)
  - 簡易 LIN (SCI0, SCI1)
- I^2C バスインタフェース (IIC) × 2
- シリアルペリフェラルインタフェース (SPI) × 2、最大 60 Mbps
- オクタシリアルペリフェラルインタフェース (OSPI)
- USB 2.0 フルスピードモジュール (USBFS)
- CAN フレキシブルデータレート (CANFD) × 2
- イーサネット MAC/DMA コントローラ (ETHERC/EDMAC)
- 拡張シリアルサウンドインタフェース (SSIE) x 2

■ アナログ

- 12 ビット A/D コンバータ (ADC12) × 2
- 12 ビット D/A コンバータ (DAC12)
- 高速アナログコンパレータ (ACMPHS) x 2
- 温度センサ (TSN)

■ タイマ

- 32 ビット汎用 PWM タイマ (GPT32) × 6
- 16 ビット汎用 PWM タイマ (GPT16) × 4
- 低消費電力非同期汎用タイマ (AGT) × 2
- 超低消費電力タイマ (ULPT) × 2

■ セキュリティおよび暗号化

- Renesas セキュア IP (RSIP-E51A)
  - 128 ビットのユニーク ID
- Arm® TrustZone®
  - コードフラッシュ用領域：最大 2 または 4 領域（バンクモードによる）
  - データフラッシュ用領域：最大 2 領域
  - SRAM 用領域：最大 2 領域
  - 各周辺モジュール用個別セキュア／非セキュアセキュリティ属性
- プリビレッジ制御
- デバイスライフサイクルの管理
- 端子機能
  - 最大 3 つの耐タンパー端子
  - セキュア端子マルチプレキシング

■ システムおよび電源管理

- 低消費電力モード
- バッテリバックアップ機能 (VBATT)
- リアルタイムクロック (RTC)（カレンダー、VBATT サポート）
- イベントリンクコントローラ (ELC)
- データトランスファコントローラ (DTC)
- DMA コントローラ (DMAC) × 8
- パワーオンリセット
- プログラマブル電圧検出機能 (PVD) の設定可能
- ウォッチドッグタイマ (WDT)
- 独立ウォッチドッグタイマ (IWDT)

■ ヒューマンマシーンインタフェース (HMI)

- キャプチャエンジンユニット (CEU)

■ マルチクロックソース

- メインクロック発振器 (MOSC) (8～48 MHz)
- サブクロック発振器 (SOSC) (32.768 kHz)
- 高速オンチップオシレータ (HOCO) (16/18/20/32/48 MHz)
- 中速オンチップオシレータ (MOCO) (8 MHz)
- 低速オンチップオシレータ (LOCO) (32.768 kHz)
- HOCO/MOCO/LOCO に対するクロックトリム機能
- PLL1/PLL2
- クロックアウトのサポート

■ 汎用入出力ポート

- 5 V トレランス、オープンドレイン、入力プルアップ、切り替え可能駆動能力

■ 動作電圧

- VCC: 1.68～3.6 V
- VCC2: 1.65～3.6 V

■ 動作ジャンクション温度およびパッケージ

- Tj = -40℃～+105℃
  - 100 ピン LQFP（14 mm × 14 mm、0.5 mm ピッチ）
  - 144 ピン LQFP（20 mm × 20 mm、0.5 mm ピッチ）

1. 概要

本 MCU は、さまざまなシリーズのソフトウェアと互換性のある Arm®ベースの 32 ビットコアで構成されています。同じ一連のルネサス周辺デバイスを共有することで、設計の拡張性やプラットフォームベースの製品開発の効率が高まります。

本シリーズの MCU は最高 360 MHz で動作する高性能な Arm® Cortex®-M85 コア (Helium™) を内蔵しており、以下の特長があります。

- 1 MB のコードフラッシュメモリ
- 544 KB の SRAM（32 KB の TCM RAM、512 KB のユーザー SRAM）
- オクタシリアルペリフェラルインタフェース (OSPI)
- イーサネット MAC コントローラ (ETHERC)、USBFS
- アナログ周辺機能
- セキュリティ&セーフティ機能

1.1 機能の概要

表 1.1 Arm コア

機能	機能の説明
Arm® Cortex®-M85 コア	• 最高動作周波数：360 MHz • Arm® Cortex®-M85 コア – リビジョン：(r0p2-00rel0) – ARMv8.1-M アーキテクチャプロファイル – Armv8-M セキュリティ拡張 – ANSI/IEEE 規格 754-2008 準拠浮動小数点ユニット (FPU) スカラーの半精度、単精度、および倍精度浮動小数点演算 – M プロファイルベクタ拡張 (MVE) 整数、半精度、および単精度浮動小数点 MVE (MVE-F) – Helium™ 技術は M プロファイルベクタ拡張 (MVE) • Arm®メモリプロテクションユニット (Arm MPU) – 保護メモリシステムアーキテクチャ (PMSAv8) – セキュア MPU (MPU_S): 8 領域 – 非セキュア MPU (MPU_NS): 8 領域 • SysTick タイマ – 2 つの SysTick タイマを搭載：セキュアインスタンス (SysTick_S) と非セキュアインスタンス (SysTick_NS) – CPUCLK または MOCO 駆動（8 分周） • CoreSight™ ETM-M85

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	1 MB のコードフラッシュメモリです。 「49. フラッシュメモリ」を参照してください。
データフラッシュメモリ	12 KB のデータフラッシュメモリです。 「49. フラッシュメモリ」を参照してください。
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。 「6. オプション設定メモリ」を参照してください。
SRAM	パリティビット有りの高速 SRAM を内蔵しています。 「47. SRAM」を参照してください。
スタンバイ SRAM	ディープソフトウェアスタンバイモード 1 でデータを保持できる内蔵 SRAM です。 「48. スタンバイ SRAM」を参照してください。

表 1.3 システム

機能	機能の説明
動作モード	3 種類の動作モード : ● シングルチップモード ● JTAG ブートモード ● SCI/USB ブートモード 「3. 動作モード」を参照してください。
リセット	本 MCU は 13 種類のリセットをサポートしています。 「5. リセット」を参照してください。
プログラマブル電圧検出 (PVD)	プログラマブル電圧検出 (PVD) モジュールは、VCC 端子への入力電圧レベルを監視します。検出レベルはレジスタ設定で選択できます。PVD モジュールは 3 つの独立した電圧監視回路 (PVD0, PVD1, PVD2) から構成され、PVD0、PVD1、および PVD2 は VCC 端子への入力電圧レベルを測定します。PVD のレジスタは、アプリケーションの設定により、さまざまな電圧しきい値で VCC 端子への入力電圧の変動の検出を設定できます。 「7. プログラマブル電圧検出 (PVD)」を参照してください。
クロック	● メインクロック発振器 (MOSC) ● サブクロック発振器 (SOSC) ● 高速オンチップオシレータ (HOCO) ● 中速オンチップオシレータ (MOCO) ● 低速オンチップオシレータ (LOCO) ● PLL1/PLL2 ● クロックアウトのサポート 「8. クロック発生回路」を参照してください。
クロック周波数精度測定回路 (CAC)	クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック（測定対象クロック）に対して、測定の基準となるクロック（測定基準クロック）で生成した時間内のクロックのパルスを数え、そのパルス数が許容範囲内にあるか否かで精度を判定します。測定終了時、または測定基準クロックで生成した時間内のパルスの数が許容範囲内にないとき、割り込み要求が発生します。 「9. クロック周波数精度測定回路 (CAC)」を参照してください。
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ (NVIC)、DMA コントローラ (DMAC)、およびデータトランスファコントローラ (DTC) モジュールにリンクされるイベント信号を制御します。ICU はノンマスカブル割り込みも制御します。 「13. 割り込みコントローラユニット (ICU)」を参照してください。
低消費電力モード	消費電力は、以下に示す複数の方法で低減できます。その方法には、クロック分周器の設定、モジュール停止、パワーゲート制御、通常動作時の動作電力制御モードの選択、低消費電力モードやプロセッサ低消費電力モードへの遷移があります。 「10. 低消費電力モード」を参照してください。
バッテリバックアップ機能	バッテリバックアップ機能により、バッテリによる部分電力供給が可能です。バッテリ電源領域に含まれるものには、RTC、SOSC、バックアップレジスタ、改ざん検出、VBATT_R 電圧降下検出、および VCC/VBATT 切り替えがあります。 「11. バッテリバックアップ機能」を参照してください。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護対象のレジスタは、プロテクトレジスタ（PRCR_S と PRCR_NS）で設定します。 「12. レジスタライトプロテクション」を参照してください。
メモリプロテクションユニット (MPU)	すべてのバスマスタはメモリプロテクションユニット (MPU) を備えています。 「15. メモリプロテクションユニット (MPU)」を参照してください。

表 1.4 イベントリンク

機能	機能の説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、さまざまな周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。 「18. イベントリンクコントローラ (ELC)」を参照してください。

表 1.5 ダイレクトメモリアクセス (1/2)

機能	機能の説明
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTC) は、割り込み要求によって起動するとデータ転送を行います。 「17. データトランスファコントローラ (DTC)」を参照してください。

表 1.5 ダイレクトメモリアクセス (2/2)

機能	機能の説明
DMA コントローラ (DMAC)	8 チャネルのダイレクトメモリアクセスコントローラ (DMAC) は CPU を介さずにデータ転送が可能です。DMA 転送要求が発生すると、DMAC は転送元アドレスに格納されているデータを転送先アドレスへ転送します。 「16. DMA コントローラ (DMAC)」を参照してください。

表 1.6 外部バスインタフェース

機能	機能の説明
外部バス	• OSPI 領域 (EOBI): OSPI（外部デバイスインタフェース）を接続

表 1.7 タイマ

機能	機能の説明
汎用 PWM タイマ (GPT)	汎用 PWM タイマ (GPT) は、GPT32 × 6 チャネルの 32 ビットタイマおよび GPT16 × 4 チャネルの 16 ビットタイマにより構成されます。PWM 波形はアップカウンタ、ダウンカウンタ、またはその両方を制御することにより生成が可能です。GPT は、汎用タイマとしても使用できます。 「21. 汎用 PWM タイマ (GPT)」を参照してください。
GPT 用のポートアウトプットイネーブル (POEG)	ポートアウトプットイネーブル (POEG) は、汎用 PWM タイマ (GPT) の出力端子を出力禁止状態にすることができます。 「20. GPT 用のポートアウトプットイネーブル (POEG)」を参照してください。
低消費電力非同期汎用タイマ (AGT)	低消費電力非同期汎用タイマ (AGT) は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウントに利用可能な 16 ビットのタイマです。このタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGT レジスタでアクセス可能です。 「22. 低消費電力非同期汎用タイマ (AGT)」を参照してください。
超低消費電力タイマ (ULPT)	超低消費電力タイマ (ULPT) は、パルス出力または外部イベントのカウントに使用可能な 32 ビットタイマです。この 32 ビットタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、ULPTCNT レジスタでアクセス可能です。 「23. 超低消費電力タイマ (ULPT)」を参照してください。
リアルタイムクロック (RTC)	リアルタイムクロック (RTC) には、カレンダーカウントモードとバイナリカウントモードの 2 つのカウントモードがあります。それらのモードはレジスタ設定を切り替えて使用します。カレンダーカウントモードは、2000 年から 2099 年の 100 年間のカレンダーを保持し、うるう年の日付を自動補正します。バイナリカウントモードでは、秒をカウントし、その情報をシリアル値として保持します。バイナリカウントモードは、西暦以外のカレンダーに使用可能です。 「24. リアルタイムクロック (RTC)」を参照してください。
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走すると WDT をリフレッシュできなくなるため、カウンタがアンダーフローした際に MCU をリセットするのに使用できます。さらに、WDT はノンマスカブル割り込みまたはアンダーフロー割り込みを発生させるのに使用できます。 「25. ウォッチドッグタイマ (WDT)」を参照してください。
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) には、14 ビットのダウンカウンタがあり、ダウンカウンタのアンダーフロー時のリセット出力によって、MCU をリセットします。代替的には、カウンタのアンダーフロー時の割り込み要求の発生を選択できます。これにより、リフレッシュインターバルを考慮して、プログラムの暴走を検出できます。IWDT には、次の 2 種類のスタートモードがあります。オートスタートモードでは、リセット状態の解除後にカウントを自動的に開始します。また、レジスタスタートモードでは、リフレッシュ（特定のレジスタへの書き込み）により、カウントを開始します。 「26. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

表 1.8 通信インタフェース

機能	機能の説明
シリアルコミュニケーションインタフェース (SCI)	シリアルコミュニケーションインタフェース (SCI) × 6 チャネルには、調歩同期式および同期式のシリアルインタフェースがあります。 ● 調歩同期式インタフェース（UART および調歩同期式通信インタフェースアダプタ (ACIA)） ● 8 ビットクロック同期式インタフェース ● 簡易 IIC（マスタのみ） ● 簡易 SPI ● スマートカードインタフェース ● マンチェスタインタフェース ● 簡易 LIN インタフェース スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。すべてのチャネルは FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データ転送速度の個別設定が可能です。 本 MCU では、最大レートがサポートされています。実際のレートについては、電気的特性を参照してください。 「30. シリアルコミュニケーションインタフェース (SCI)」を参照してください。
I²C バスインタフェース (IIC)	I²C バスインタフェース (IIC) には 2 チャネルあります。IIC モジュールは、NXP 社の I²C (Inter-Integrated Circuit) バスインタフェース方式に準拠しており、そのサブセット機能を備えています。 「31. I²C バスインタフェース (IIC)」を参照してください。
シリアルペリフェラルインタフェース (SPI)	シリアルペリフェラルインタフェース (SPI) によって、複数のプロセッサおよび周辺デバイスとの高速な全二重同期式シリアル通信が可能です。 本 MCU では、最大レートがサポートされています。実際のレートについては、電気的特性を参照してください。 「34. シリアルペリフェラルインタフェース (SPI)」を参照してください。
Control Area Network with Flexible Data-Rate モジュール (CANFD)	CAN with Flexible Data-Rate (CANFD) モジュールは、クラシカル CAN フレームと ISO 11898-1 規格に準拠する CANFD フレームの両方を取り扱うことができます。 本モジュールはチャネルごとに 4 個の送信バッファと 16 個の受信バッファをサポートしています。 「32. CAN フレキシブルデータレート (CANFD)」を参照してください。
USB 2.0 フルスピードモジュール (USBFS)	ホストコントローラまたはデバイスコントローラとして動作可能な USB2.0 フルスピードモジュール (USBFS) です。このモジュールは、ユニバーサルシリアルバス規格 2.0 のフルスピードおよびロースピード転送（ホストコントローラのみ）をサポートしています。また USB トランシーバを内蔵しており、ユニバーサルシリアルバス規格 2.0 で定義されている全転送タイプに対応しています。USB はデータ転送用にバッファメモリを内蔵し、最大 10 本のパイプを使用できます。パイプ 1～9 に対しては、通信を行う周辺デバイスやユーザーシステムに合わせた任意のエンドポイント番号の割り付けが可能です。 「29. USB2.0 フルスピードモジュール (USBFS)」を参照してください。
オクタシリアルペリフェラルインタフェース (OSPI)	オクタシリアルペリフェラルインタフェース (OSPI) は、拡張シリアルペリフェラルインタフェース (xSPI) (JEDEC Standard JESD251, JESD251-1, JESD252) をサポートするメモリコントローラです。OSPI は 1 ビット、2 ビット、4 ビット、および 8 ビットのプロトコルをサポートします。 JESD251 は、2 つのインタフェースプロファイルを規定します。プロファイル 1.0 は Octal-SPI で、プロファイル 2.0 は HyperBus™（HyperRAM™ および HyperFlash™）です。 OSPI は QSPI プロトコルをサポートします。 「35. オクタシリアルペリフェラルインタフェース (OSPI)」を参照してください。
拡張シリアルサウンドインタフェース (SSIE)	拡張シリアルサウンドインタフェース (SSIE) 周辺機能は、I²S/モノラル/TDM オーディオデータを送信するため、デジタルオーディオデバイスをシリアルバス経由で接続する機能を提供しています。SSIE は最高 50 MHz のオーディオクロック周波数をサポートしており、各種アプリケーションに適合するスレーブまたはマスタレシーバ／トランスミッタ／トランシーバとして動作します。SSIE はレシーバとトランスミッタに 32 段 FIFO バッファを内蔵し、割り込みおよび DMA 駆動によるデータ送受信をサポートしています。 「37. 拡張シリアルサウンドインタフェース (SSIE)」を参照してください。
イーサネットコントローラ (ETHERC)	イーサネット/IEEE802.3 の Media Access Control (MAC) 層規格に準拠した 1 チャネルのイーサネットコントローラ (ETHERC) です。ETHERC は MAC 層のインタフェースを 1 チャネル内蔵しており、MCU を物理層の LSI (PHY-LSI) と接続することにより、イーサネット／IEEE802.3 規格に準拠したフレームの送受信が可能です。ETHERC はイーサネット DMA コントローラ (EDMAC) に接続されているため、CPU を介することなくデータを転送できます。 「27. イーサネット MAC コントローラ (ETHERC)」を参照してください。

表 1.9 アナログ機能

機能	機能の説明
12 ビット A/D コンバータ (ADC12)	12 ビットの逐次比較方式の A/D コンバータを内蔵しています。最大 13 チャネルのアナログ入力を選択可能です。変換には温度センサ出力、内部基準電圧、および VBATT 1/3 電圧監視を選択可能です。 「42. 12 ビット A/D コンバータ (ADC12)」を参照してください。
12 ビット D/A コンバータ (DAC12)	12 ビットの D/A コンバータ (DAC12) を内蔵しています。 「43. 12 ビット D/A コンバータ (DAC12)」を参照してください。
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を測定し、監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどリニアの関係にあります。出力電圧は ADC12 で変換されてから、末端の応用機器で使用できます。 「44. 温度センサ回路 (TSN)」を参照してください。
高速アナログコンパレータ (ACMPHS)	高速アナログコンパレータ (ACMPHS) は、アナログ入力電圧と基準電圧の比較、および変換結果に基づいたデジタル出力に使用できます。アナログ入力電圧と基準電圧は、どちらも内部ソース（D/A コンバータ出力または内部基準電圧）および外部ソースから ACMPHS に供給できます。このような柔軟性は、A/D 変換を行うことなくアナログ信号間の合否判定を実施する必要があるアプリケーションで有用です。 「45. 高速アナログコンパレータ (ACMPHS)」を参照してください。

表 1.10 ヒューマンマシンインタフェース

機能	機能の説明
キャプチャエンジンユニット (CEU)	キャプチャエンジンユニット (CEU) は、外部から入力される画像データを取り込み、メモリに転送するキャプチャモジュールです。 「50. キャプチャエンジンユニット (CEU)」を参照してください。

表 1.11 データ処理

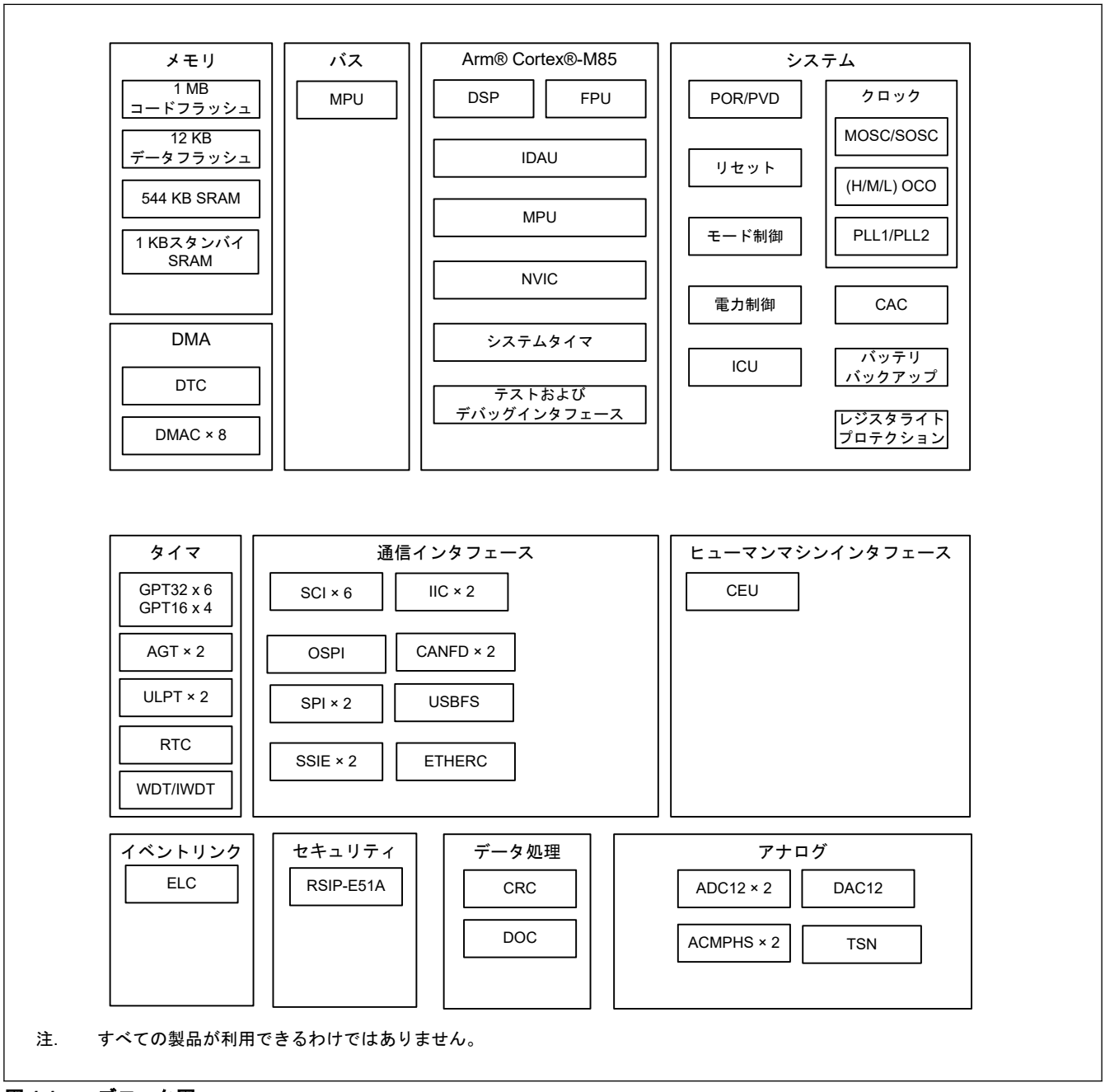
機能	機能の説明
巡回冗長検査 (CRC) 演算器	巡回冗長検査 (CRC: Cyclic Redundancy Check) 演算器は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。さらに、さまざまな CRC 生成多項式を使用できます。スヌープ機能は、特定のアドレスに対する読み出しと書き込みをモニタするのを許可します。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しを監視する場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。 「38. 巡回冗長検査 (CRC)」を参照してください。
データ演算回路 (DOC)	データ演算回路 (DOC) は、32 ビットのデータを比較、加算、および減算します。選択した条件が適用される場合、32 ビットのデータが比較され、割り込みを生成可能です。 「46. データ演算回路 (DOC)」を参照してください。

表 1.12 セキュリティ

機能	機能の説明
セキュリティ機能	• ARMv8-M TrustZone セキュリティ • プリビレッジ制御 • デバイスライフサイクル管理 • 認証レベル (AL) • キーインジェクション • セキュア兼用端子 • VBATT バックアップレジスタのゼロ化 • セキュアファクトリプログラミング 「40. セキュリティ機能」 を参照してください。
Renesas セキュア IP (RSIP-E51A)	• 128 ビット真性乱数生成回路 • 256 ビットハードウェアユニークキー (HUK) • 128 ビットのユニーク ID 「41. Renesas セキュア IP (RSIP-E51A)」を参照してください。

1.2 ブロック図

図 1.1 に、本 MCU のスーパーセットのブロック図を示します。グループ内の個々のデバイスは、その機能のサブセットを持つ場合があります。

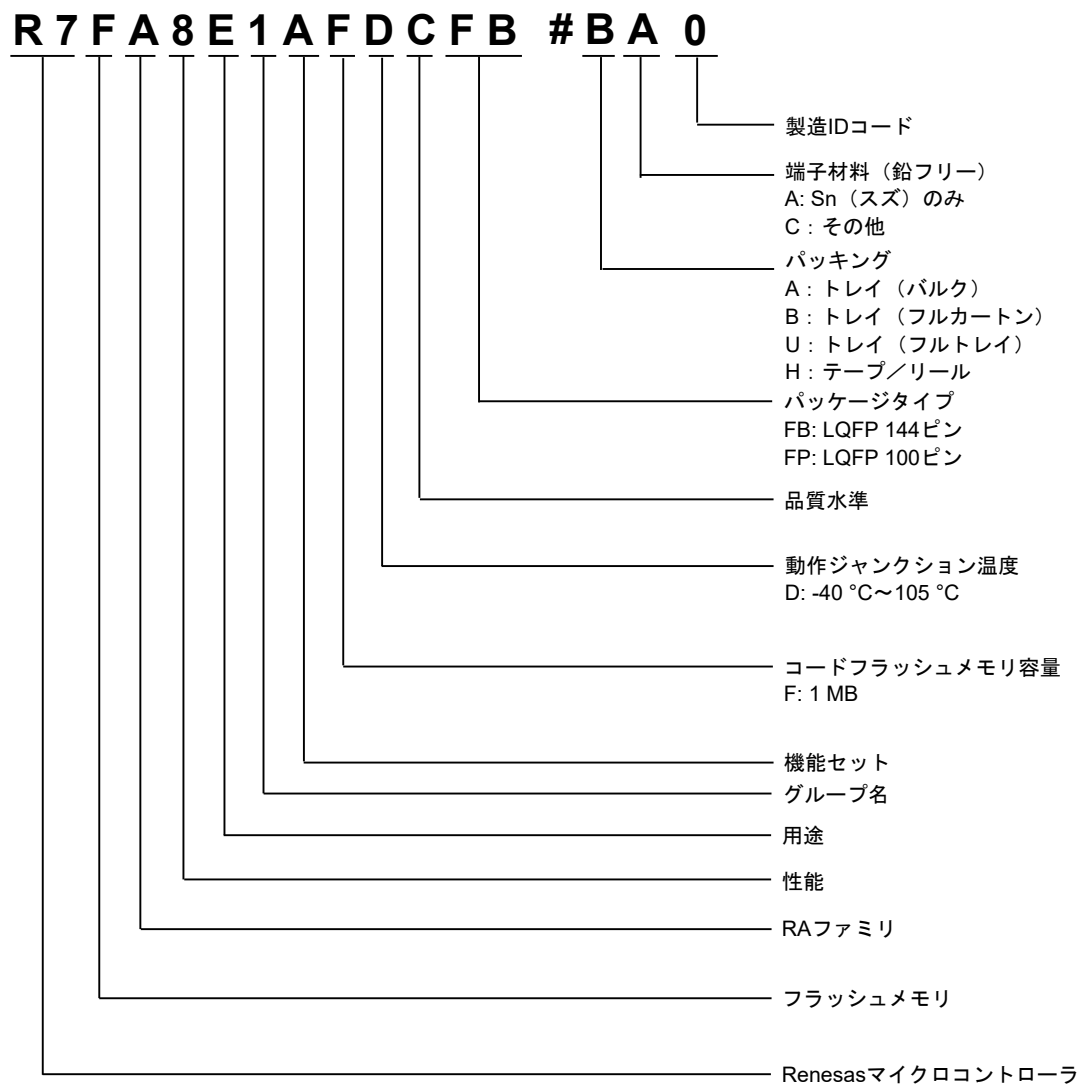


注. すべての製品が利用できるわけではありません。

図 1.1 ブロック図

1.3 型名

図 1.2 に、メモリ容量およびパッケージタイプを含む製品の型名情報を示します。表 1.13 に、製品一覧表を示します。



注. #に続く有効な記号については、ルネサス Web サイト上の各製品の注文画面でご確認ください。

図 1.2 型名の読み方

表 1.13 製品一覧

製品型名	パッケージコード	コードフラッシュ	データフラッシュ	SRAM	動作ジャンクション温度
R7FA8E1AFDCFB	PLQP0144KA-B	1 MB	12 KB	544 KB	-40～+105 °C
R7FA8E1AFDCFP	PLQP0100KP-A				

1.4 機能の比較

表 1.14 機能の比較 (1/2)

型名		R7FA8E1AFDCFB	R7FA8E1AFDCFP
端子総数		144	100
パッケージ		LQFP	
I/O ポート		106	70
コードフラッシュメモリ		1 MB	
データフラッシュメモリ		12 KB	
TCM		32 KB	
I/D キャッシュ		32 KB	
SRAM	パリティ	512 KB	
スタンバイ SRAM		1 KB	
DMA	DTC	あり	
	DMAC	8	
システム	CPU クロック	最高 360 MHz	
	CPU クロックソース	MOSC, SOSC, HOCO, MOCO, PLL1P	
	CAC	あり	
	WDT/IWDT	あり	
	バックアップレジスタ	128 B	
通信	SCI	6	
	IIC	2	
	SPI	2	
	CANFD	2	
	USBFS	あり	
	OSPI	あり	
	SSIE	2	1
	ETHERC	あり	
タイマ	GPT32(注1)	6	
	GPT16(注1)	4	
	AGT(注1)	2	
	ULPT(注1)	2	
	RTC	あり	
アナログ	ADC12	ユニット 0: 8 ユニット 1: 5	ユニット 0: 6 ユニット 1: 5
	DAC12	1	
	ACMPHS	2	
	TSN	あり	
HMI	CEU	あり	なし
データ処理	CRC	あり	
	DOC	あり	
イベント制御	ELC	あり	

表 1.14　機能の比較 (2/2)

型名	R7FA8E1AFDCFB	R7FA8E1AFDCFP
セキュリティ	RSIP-E51A、セキュアデバッグ、セキュアブート、TrustZone、セキュアファクトリプログラミング、およびライフサイクル管理	

注 1.　使用できる端子はピン数によります。詳細は、「1.7. 端子一覧」を参照してください。

1.5 端子機能

表 1.15 端子機能一覧 (1/5)

機能	信号	入出力	説明
電源	VCC、VCC2	入力	電源端子。システムの電源に接続してください。この端子は 0.1 μF のコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。
	VCC_DCDC	入力	スイッチングレギュレータ電源端子
	VLO	入出力	スイッチングレギュレータ端子
	VCL	入力	この端子は、内部電源を安定化するための平滑コンデンサを介して VSS 端子に接続してください。コンデンサは端子近くに配置してください。
	VBATT	入力	バッテリバックアップ電源端子
	VSS、VSS_DCDC	入力	グランド端子。システムの電源 (0 V) に接続してください。
クロック	XTAL	出力	水晶振動子用の接続端子。EXTAL 端子を通じて外部クロック信号の入力が可能です。
	EXTAL	入力	
	XCIN	入力	サブクロック発振器用の入出力端子。XCOUT と XCIN の間には、水晶振動子を接続してください。
	XCOUT	出力	
	EXCIN	入力	外部サブクロック入力
	CLKOUT	出力	クロック出力端子
動作モード制御	MD	入力	動作モード設定用の端子。本端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
システム制御	RES	入力	リセット信号入力端子。本端子が Low になると、MCU はリセット状態となります。
CAC	CACREF	入力	測定基準クロックの入力端子
オンチップエミュレータ	TMS	入力	オンチップエミュレータ用またはバウンダリスキャン用端子
	TDI	入力	
	TCK	入力	
	TDO	出力	
	TCLK	出力	トレースデータと同期をとるためのクロックを出力します。
	TDATA0～TDATA3	出力	トレースデータ出力
	SWO	出力	シリアルワイヤトレース出力端子
	SWDIO	入出力	シリアルワイヤデバッグデータの入出力端子
	SWCLK	入力	シリアルワイヤクロック端子
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQn	入力	マスカブル割り込み要求端子
	IRQn-DS	入力	マスカブル割り込み要求端子は、ディープソフトウェアスタンバイモード時も使用できます。
GPT	GTETRGA、GTETRGB、GTETRGC、GTETRGD	入力	外部トリガ入力端子
	GTIOCnA、GTIOCnB	入出力	インプットキャプチャ、アウトプットコンペア、または PWM 出力端子
	GTADSM0、GTADSM1	出力	A/D 変換開始要求モニタリング出力端子

表 1.15 端子機能一覧 (2/5)

機能	信号	入出力	説明
AGT	AGTEEn	入力	外部イベント入力イネーブル信号
	AGTIOn	入出力	外部イベント入力およびパルス出力端子
	AGTOn	出力	パルス出力端子
	AGTOAn	出力	アウトプットコンペアマッチ A 出力端子
	AGTOBn	出力	アウトプットコンペアマッチ B 出力端子
ULPT	ULPTEEn	入力	外部カウント制御入力
	ULPTEVIn	入力	外部イベント入力
	ULPTOn	出力	パルス出力
	ULPTOAn	出力	アウトプットコンペアマッチ A 出力
	ULPTOBn	出力	アウトプットコンペアマッチ B 出力
	ULPTEEn-DS	入力	外部カウント制御入力はディープソフトウェアスタンバイモード 1 時も使用できます。
	ULPTEVIn-DS	入力	外部イベント入力はディープソフトウェアスタンバイモード 1 時も使用できます。
	ULPTOn-DS	出力	パルス出力はディープソフトウェアスタンバイモード 1 時も使用できます。
	ULPTOAn-DS	出力	アウトプットコンペアマッチ A 出力はディープソフトウェアスタンバイモード 1 時も使用できます。
	ULPTOBn-DS	出力	アウトプットコンペアマッチ B 出力はディープソフトウェアスタンバイモード 1 時も使用できます。
RTC	RTCOUT	出力	1 Hz または 64 Hz のクロック出力端子
	RTCICn	入力	時間キャプチャイベント入力端子です。
SCI	SCKn	入出力	クロック用の入出力端子（クロック同期式モード）
	RXDn	入力	受信データ用の入力端子（調歩同期式モード／クロック同期式モード）
	TXDn	出力	送信データ用の出力端子（調歩同期式モード／クロック同期式モード）
	CTSn_RTSn	入出力	送受信の開始制御用の入出力端子（調歩同期式モード／クロック同期式モード）、アクティブ Low
	CTSn	入力	送信の開始用の入力端子
	DEn	出力	RS-485 用のドライバイネーブル信号
	SCLn	入出力	IIC クロック用の入出力端子（簡易 IIC モード）
	SDAn	入出力	IIC データ用の入出力端子（簡易 IIC モード）
	SCKn	入出力	クロック用の入出力端子（簡易 SPI モード）
	MISOn	入出力	データのスレーブ送信用の入出力端子（簡易 SPI モード）
	MOSIn	入出力	データのマスタ送信用の入出力端子（簡易 SPI モード）
	SSn	入力	チップセレクト入力端子（簡易 SPI モード）、アクティブ Low
IIC	SCLn	入出力	クロック用の入出力端子
	SDAn	入出力	データ用の入出力端子
SPI	RSPCKA、RSPCKB	入出力	クロック入出力端子
	MOSIA、MOSIB	入出力	マスタからの出力データ用の入出力端子
	MISOA、MISOB	入出力	スレーブからの出力データ用の入出力端子
	SSLA0、SSLB0	入出力	スレーブ選択用の入出力端子
	SSLA1～SSLA3、SSLB1～SSLB3	出力	スレーブ選択用の出力端子

表 1.15 端子機能一覧 (3/5)

機能	信号	入出力	説明
CANFD	CRXn	入力	受信データ
	CTXn	出力	送信データ
USBFS	VCC_USB	入力	電源端子
	VSS_USB	入力	グランド端子
	USB_DP	入出力	USB 内蔵トランシーバ D+端子。この端子は USB バスの D+端子に接続してください。
	USB_DM	入出力	USB 内蔵トランシーバ D-端子。この端子は USB バスの D-端子に接続してください。
	USB_VBUS	入力	USB ケーブル接続モニタ端子。USB バスの VBUS に接続してください。ファンクションコントローラ機能選択時の VBUS の接続／切断を検出できます。
	USB_EXICEN	出力	外部電源 (OTG) チップの低消費電力制御信号
	USB_VBUSEN	出力	外部電源チップへの VBUS (5 V) 供給許可信号
	USB_OVRCURA、USB_OVRCURB	入力	これらの端子には外部過電流検出信号を接続してください。OTG 電源チップとの接続時には VBUS コンパレータ信号を接続してください
	USB_OVRCURA-DS、USB_OVRCURB-DS	入力	USBFS 用のオーバーカレント端子はディープソフトウェアスタンバイモード 1 時も使用できます。 これらの端子には外部過電流検出信号を接続してください。 OTG 電源チップとの接続時には VBUS コンパレータ信号を接続してください
	USB_ID	入力	OTG 動作時に MicroAB コネクタの ID 入力信号を接続してください。
OSPI	OM_SCLK	出力	クロック出力（OCTACLK の 2 分周）
	OM_SCLKN	出力	反転クロック出力（OCTACLK の 2 分周）
	OM_CSn	出力	OctaFlash デバイス用チップセレクト信号、アクティブ Low
	OM_DQS	入出力	リードデータストローブ／ライトデータマスク信号
	OM_SIOn	入出力	データ入出力
	OM_RESET	出力	両スレーブデバイス用のリセット信号、アクティブ Low
	OM_ECSINT1	入力	スレーブ 1 のエラー訂正状態と割り込み
	OM_RSTO1	入力	スレーブ 1 のスレーブリセット状態
	OM_WP1	出力	スレーブ 1 の書き込み保護、アクティブ Low
SSIE	SSIBCK0、SSIBCK1	入出力	SSIE シリアルビットクロック端子
	SSILRCK0/SSIFS0、SSILRCK1/SSIFS1	入出力	LR クロック／フレーム同期端子
	SSITXD0	出力	シリアルデータ出力端子
	SSIRXD0	入力	シリアルデータ入力端子
	SSIDATA1	入出力	シリアルデータ入出力端子
	AUDIO_CLK	入力	オーディオ用の外部クロック端子（入力オーバーサンプリングクロック）

表 1.15 端子機能一覧 (4/5)

機能	信号	入出力	説明
ETHERC	REF50CK0	入力	50 MHz 基準クロック。この端子は、RMII モード時に送受信タイミング用の基準信号を入力します。
	RMII0_CRS_DV	入力	RMII モード時のキャリア検出信号。有効な受信データが RMII0_RXD1 と RMII0_RXD0 上にあることを示します。
	RMII0_TXDn	出力	RMII モード時、2 ビットの送信データ
	RMII0_RXDn	入力	RMII モード時、2 ビットの受信データ
	RMII0_TXD_EN	出力	RMII モード時のデータ送信イネーブル信号
	RMII0_RX_ER	入力	RMII モード時にデータ受信中にエラーが発生したことを示す信号
	ET0_CRS	入力	キャリア検出／データ受信イネーブル信号
	ET0_RX_DV	入力	有効な受信データが ET0_ERXD3～ET0_ERXD0 上にあることを示す信号
	ET0_EXOUT	出力	汎用外部出力端子
	ET0_LINKSTA	入力	PHY-LSI からのリンク状態を入力
	ET0_ETXDn	出力	MII の 4 ビット送信データ
	ET0_ERXDn	入力	MII の 4 ビット受信データ
	ET0_TX_EN	出力	送信イネーブル信号。ET0_ETXD3～ET0_ETXD0 上に送信データが準備できたことを示す信号として機能します。
	ET0_TX_ER	出力	送信エラー端子。送信中のエラーを PHY_LSI に通知する信号として機能します。
	ET0_RX_ER	出力	受信エラー端子。データ受信中に発生したエラー状態を認識する信号として機能します。
	ET0_TX_CLK	入力	送信クロック端子。これらの端子は、ET0_TX_EN、ET0_ETXD3～ET0_ETXD0、および ET0_TX_ER からの出力タイミング用の基準信号を入力します。
	ET0_RX_CLK	入力	受信クロック端子。これらの端子は、ET0_RX_DV、ET0_ERXD3～ET0_ERXD0、および ET0_RX_ER への入力タイミング用の基準信号を入力します。
	ET0_COL	入力	衝突検出信号
	ET0_WOL	出力	Magic Packet 受信を示す信号
	ET0_MDC	出力	ET0_MDIO による情報転送用の基準クロック出力信号
	ET0_MDIO	入出力	PHY-LSI と管理情報を交換するための双方向入出力信号
アナログ電源	AVCC0	入力	アナログ電圧端子。それぞれのモジュールのアナログ電源端子として使用されます。
	AVSS0	入力	アナロググランド端子。それぞれのモジュールのアナロググランド端子として使用されます。この端子には VSS 端子と同じ電圧を供給してください。
	VREFH	入力	ADC12（ユニット 1）と D/A コンバータ用のアナログ基準電圧端子。ADC12（ユニット 1）および D/A コンバータを使用しない場合は AVCC0 に接続してください。
	VREFL	入力	ADC12 および D/A コンバータのアナログ基準グランド端子。ADC12（ユニット 1）および D/A コンバータを使用しない場合は AVSS0 に接続してください。
	VREFH0	入力	ADC12（ユニット 0）用のアナログ基準電圧端子。ADC12（ユニット 0）を使用しない場合は AVCC0 に接続してください。
	VREFL0	入力	ADC12 用のアナログ基準グランド端子。ADC12（ユニット 0）を使用しない場合は AVSS0 に接続してください。
ADC12	ANmn	入力	A/D コンバータで処理されるアナログ信号用の入力端子。（m：ADC ユニット番号、n：ピン番号）
	ADTRGm	入力	A/D 変換を開始する外部トリガ信号用の入力端子、アクティブ Low

表 1.15　端子機能一覧 (5/5)

機能	信号	入出力	説明
DAC12	DA0	出力	D/A コンバータで処理されるアナログ信号用の出力端子
ACMPHS	VCOUT	出力	コンパレータ出力端子
	IVREFn	入力	コンパレータ用基準電圧入力端子
	IVCMPn	入力	コンパレータ用アナログ電圧入力端子
I/O ポート	Pmn	入出力	汎用入出力端子 （m：ポート番号、n：ピン番号）
	P200	入力	汎用入力端子
CEU	VIO_D7～VIO_D0	入力	CEU データバス端子
	VIO_CLK	入力	CEU クロック端子
	VIO_VD	入力	CEU 垂直同期端子
	VIO_HD	入力	CEU 水平同期端子

1.6 ピン配置図

以下にピン配置図（上面図）を示します。

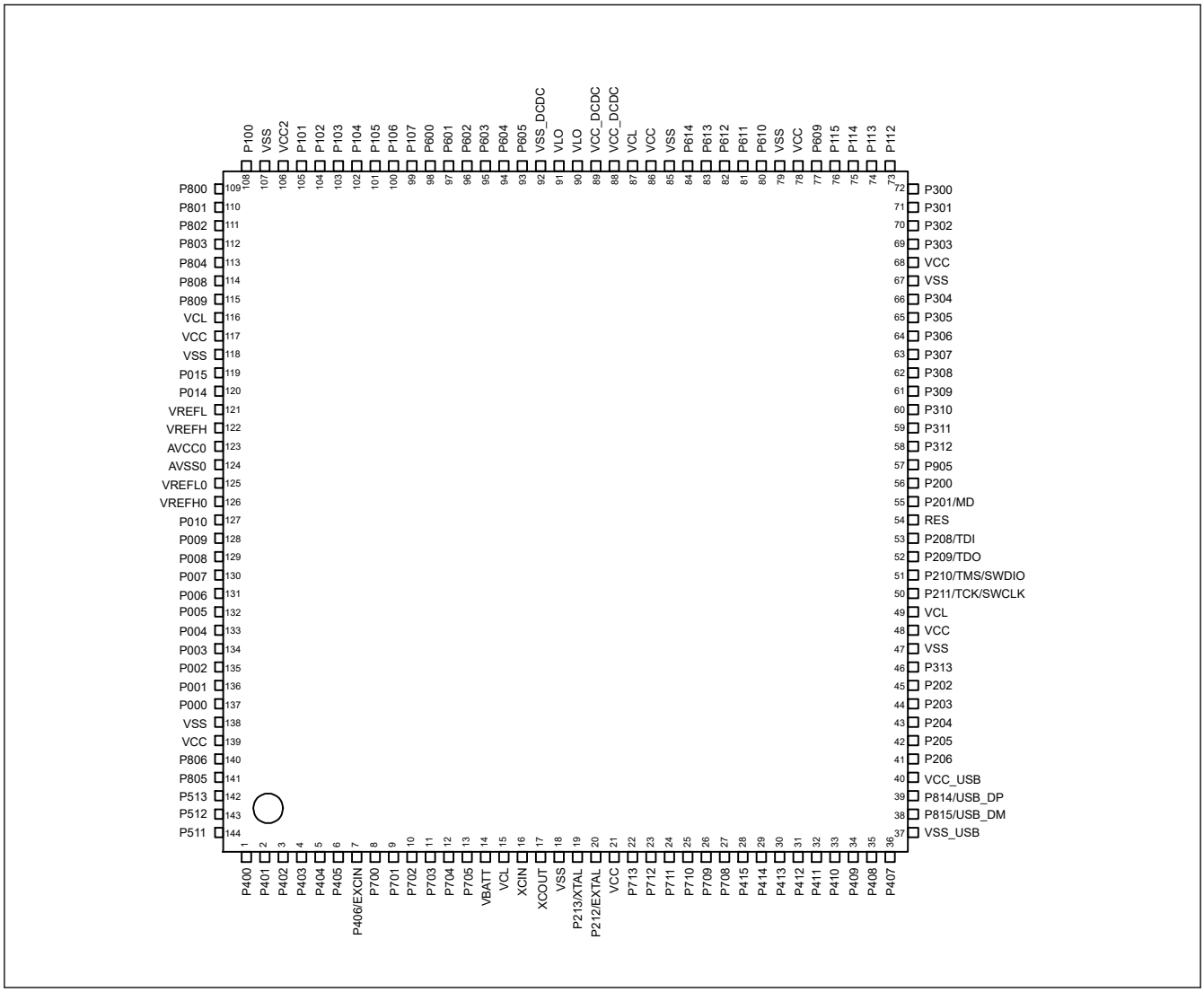


図 1.3 144 ピン LQFP のピン配置

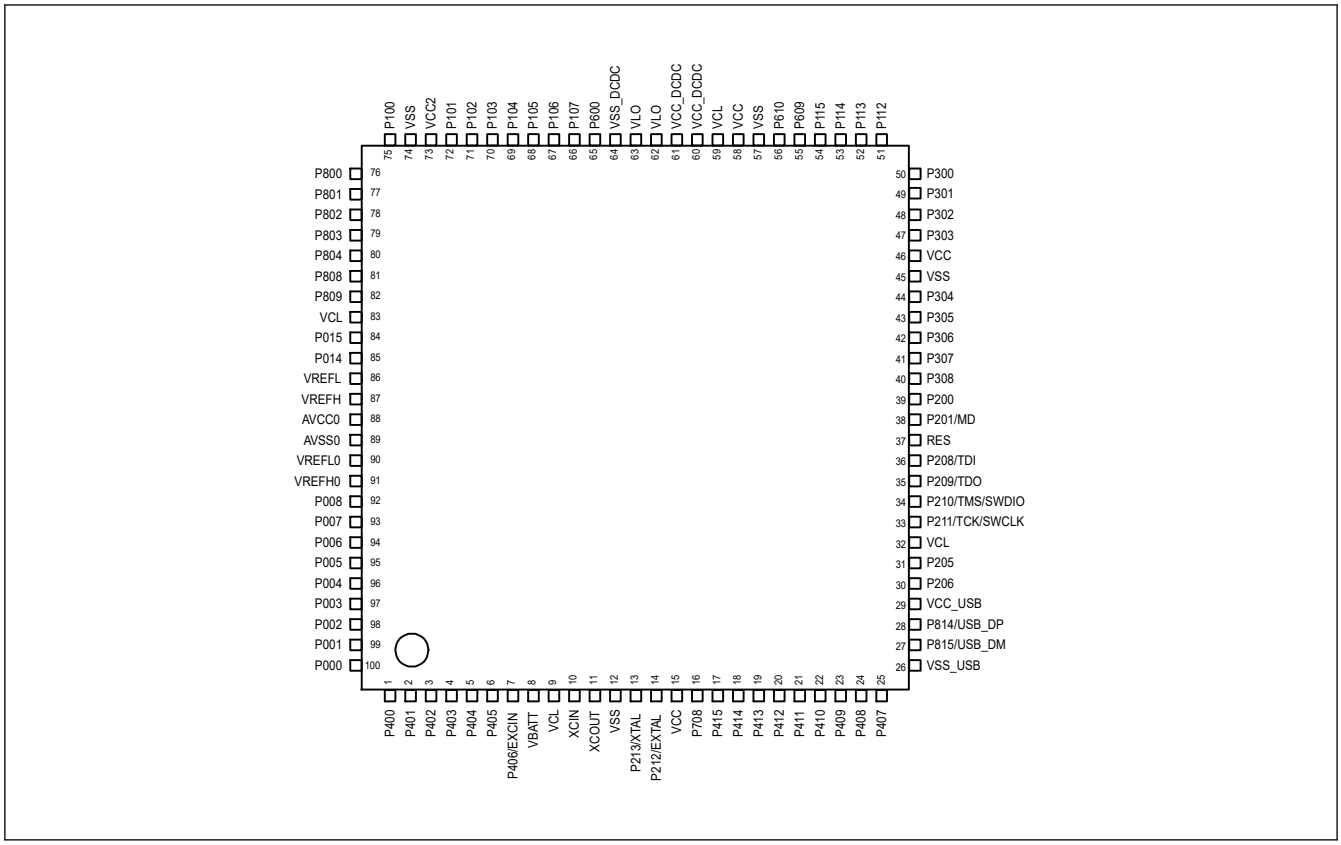


図 1.4　100 ピン LQFP のピン配置

1.7 端子一覧

表 1.16 端子一覧 (1/4)

LQFP144	LQFP100	電源、システム、クロック、デバッグ、CAC	I/O ポート	外部割り込み	SCI/IIC/SPI/CANFD/USBFS/OSPI/SSIE/EHTERC (MII, RMII)	GPT/AGT/ULPT/RTC	ADC12/DAC12/ ACMPHS	CEU
1	1	-	P400	IRQ0	TXD1_A/MOSI1_A/SDA1_A/AUDIO_CLK/ET0_WOL/ ET0_WOL	AGTIO1	ADTRG1	VIO_D0
2	2	-	P401	IRQ5-DS	RXD1_A/MISO1_A/SCL1_A/CTX0/ET0_MDC/ET0_MDC	GTETRGA	-	VIO_D1
3	3	CACREF	P402	IRQ4-DS	SCK1_A/DE1/CRX0/AUDIO_CLK/ET0_MDIO/ET0_MDIO	RTCIC0	-	-
4	4	-	P403	IRQ14-DS	CTS1_RTS1_A/SS4_A/DE1/SSIBCK0_A/ET0_LINKSTA/ ET0_LINKSTA	GTIOC3A/RTCIC1	-	-
5	5	-	P404	IRQ15-DS	CTS1_A/SSILRCK0/SSIFS0_A/ET0_EXOUT/ET0_EXOUT	GTIOC3B/RTCIC2	-	VIO_D3
6	6	-	P405	-	SCK2_B/DE2/SSITXD0_A/ET0_TX_EN/RMII0_TXD_EN_B	GTIOC1A/AGTIO1	-	VIO_D2
7	7	EXCIN	P406	-	TXD2_B/MOSI2_B/SDA2_B/SSLA3_C/SSIRXD0_A/ ET0_RX_ER/RMII0_TXD1_B	GTIOC1B	-	VIO_D3
8	-	-	P700	-	RXD2_B/MISO2_B/SCL2_B/MISOA_C/SSIDATA1_B/ ET0_ETXD1/RMII0_TXD0_B	GTIOC5A	-	VIO_D4
9	-	-	P701	-	CTS2_RTS2_B/SS2_B/DE2/MOSIA_C/SSILRCK1/ SSIFS1_B/ET0_ETXD0/REF50CK0_B	GTIOC5B/ULPTO1	-	VIO_D5
10	-	-	P702	-	CTS2_B/RSPCKA_C/SSIBCK1_B/ET0_ERXD1/ RMII0_RXD0_B	ULPTO0	-	VIO_D6
11	-	-	P703	-	SSLA0_C/ET0_ERXD0/RMII0_RXD1_B	AGTO1	VCOUT	VIO_D7
12	-	-	P704	-	SSLA1_C/CTX0/ET0_RX_CLK/RMII0_RX_ER_B	GTADSM0/AGTO0	-	-
13	-	-	P705	-	CTS1_B/SSLA2_C/CRX0/ET0_CRS/RMII0_CRS_DV_B	GTADSM1/AGTIO0	-	-
14	8	VBATT	-	-	-	-	-	-
15	9	VCL	-	-	-	-	-	-
16	10	XCIN	-	-	-	-	-	-
17	11	XCOUT	-	-	-	-	-	-
18	12	VSS	-	-	-	-	-	-
19	13	XTAL	P213	IRQ2	TXD1_C/MOSI1_C/SDA1_C	GTETRGC/GTIOC0A/ ULPTEE0	ADTRG1	-
20	14	EXTAL	P212	IRQ3	RXD1_C/MISO1_C/SCL1_C	GTETRGD/GTIOC0B/ AGTEE1	-	-
21	15	VCC	-	-	-	-	-	-
22	-	-	P713	-	-	GTIOC2A/AGTOA0	-	-
23	-	-	P712	-	-	GTIOC2B/AGTOB0	-	-
24	-	-	P711	-	-	AGTEE0	-	-
25	-	-	P710	-	CTS4_B	-	-	VIO_VD
26	-	-	P709	IRQ10	CTS4_RTS4_B/SS4_B/DE4	-	-	VIO_HD
27	16	CACREF	P708	IRQ11	SCK4_B/DE4/SSLB3_B/AUDIO_CLK	-	-	VIO_CLK
28	17	-	P415	IRQ8	TXD4_B/MOSI4_B/SDA4_B/SSLB2_B/CTX1	GTADSM0/GTIOC0A	-	-
29	18	-	P414	IRQ9	RXD4_B/MISO4_B/SCL4_B/SSLB1_B/CRX1	GTADSM1/GTIOC0B	-	-
30	19	-	P413	-	SSLB0_B	ULPTEE1	-	-
31	20	-	P412	-	CTS3_A/RSPCKB_B/USB_EXICEN	AGTEE1	-	-
32	21	-	P411	IRQ4	CTS3_RTS3_A/SS3_A/DE3/MOSIB_B/USB_ID	AGTOA1	-	-
33	22	-	P410	IRQ5	SCK3_A/DE3/SCL0_A/MISOB_B/USB_OVRCURB-DS	AGTOB1	-	-
34	23	-	P409	IRQ6	TXD3_A/MOSI3_A/SDA3_A/SDA0_A/USB_OVRCURA-DS	ULPTOA0	-	-
35	24	-	P408	IRQ7	CTS4_A/RXD3_A/MISO3_A/SCL3_A/SCL0_B/ USB_VBUSEN	GTIOC10A/ULPTOB0	-	-
36	25	-	P407	-	CTS4_RTS4_A/SS4_A/DE4/SDA0_B/SSLA3_A/ USB_VBUS	GTIOC10B/AGTIO0/ RTCOUT	ADTRG0	-
37	26	VSS_USB	-	-	-	-	-	-
38	27	-	P815	-	CTX0/USB_DM	-	-	-
39	28	-	P814	-	CRX0/USB_DP	-	-	-
40	29	VCC_USB	-	-	-	-	-	-
41	30	-	P206	IRQ0-DS	RXD4_A/MISO4_A/SCL4_A/SDA1_B/SSLA2_A/ USB_VBUSEN/SSIDATA1_A	-	-	-

表 1.16 端子一覧 (2/4)

LQFP144	LQFP100	電源、システム、クロック、デバッグ、CAC	I/O ポート	外部割り込み	SCI/IIC/SPI/CANFD/USBFS/OSPI/SSIE/EHTERC (MII, RMII)	GPT/AGT/ULPT/RTC	ADC12/DAC12/ ACMPHS	CEU
42	31	CLKOUT	P205	IRQ1-DS	TXD4_A/MOSI4_A/SDA4_A/SCL1_B/SSLA1_A/ USB_OVRCURA/SSILRCK1/SSIFS1_A	GTIOC4A/AGTO1	-	-
43	-	CACREF	P204	-	SCK4_A/DE4/SSLA0_A/USB_OVRCURB/SSIBCK1_A	GTIOC4B/AGTIO1	-	-
44	-	-	P203	IRQ2-DS	RSPCKA_A/CTX0	GTIOC5A/ULPTOA1	-	-
45	-	-	P202	IRQ3-DS	MOSIA_A/CRX0	GTIOC5B/ULPTOB1	-	-
46	-	-	P313	-	CTS3_C/MISOA_A	-	-	-
47	-	VSS	-	-	-	-	-	-
48	-	VCC	-	-	-	-	-	-
49	32	VCL	-	-	-	-	-	-
50	33	TCK/SWCLK	P211	-	SCK9_B/DE9	GTIOC0A	-	-
51	34	TMS/SWDIO	P210	-	CTS9_RTS9_B/SS9_B/DE9	GTIOC0B	-	-
52	35	TDO/SWO/CLKOUT	P209	-	TXD9_B/MOSI9_B/SDA9_B/CTX1	GTIOC1A	-	-
53	36	TDI	P208	IRQ3	RXD9_B/MISO9_B/SCL9_B/CRX1	GTIOC1B	VCOUT	-
54	37	RES	-	-	-	-	-	-
55	38	MD	P201	-	-	-	-	-
56	39	-	P200	NMI	-	-	-	-
57	-	-	P905	IRQ8	CTS3_B	-	-	-
58	-	-	P312	-	CTS3_RTS3_B/SS3_B/DE3/CTX0/ET0_TX_CLK	GTADSM0/AGTOA1	-	-
59	-	-	P311	-	SCK3_B/DE3/CRX0/ET0_TX_ER	GTADSM1/AGTOB1	-	-
60	-	-	P310	-	TXD3_B/MOSI3_B/SDA3_B/ET0_ETXD2	AGTEE1	-	-
61	-	-	P309	-	RXD3_B/MISO3_B/SCL3_B/ET0_ETXD3	-	-	-
62	40	TCLK	P308	-	CTS9_B/ET0_MDC/ET0_MDC	ULPTOB1	-	-
63	41	TDATA0	P307	-	ET0_MDIO/ET0_MDIO	ULPTOA1	-	-
64	42	TDATA1	P306	-	ET0_TX_EN/RMII0_TXD_EN_A	ULPTEVI1	-	-
65	43	TDATA2	P305	IRQ8	ET0_RX_ER/RMII0_TXD1_A	ULPTEE1	-	-
66	44	TDATA3	P304	IRQ9	ET0_ETXD1/RMII0_TXD0_A	ULPTO1	-	-
67	45	VSS	-	-	-	-	-	-
68	46	VCC	-	-	-	-	-	-
69	47	-	P303	-	ET0_ETXD0/REF50CK0_A	-	-	-
70	48	-	P302	IRQ5	ET0_ERXD1/RMII0_RXD0_A	GTIOC4A/ULPTO0-DS	-	-
71	49	-	P301	IRQ6	ET0_ERXD0/RMII0_RXD1_A	GTIOC4B/AGTIO0/ ULPTEE0-DS	-	-
72	50	-	P300	IRQ4	SCK0_A/DE0/SSLA3_B/ET0_RX_CLK/RMII0_RX_ER_A	GTIOC3A/ULPTEVI0-DS	-	-
73	51	-	P112	-	TXD0_A/MOSI0_A/SDA0_A/SSLA2_B/SSIBCK0_B/ ET0_CRS/RMII0_CRS_DV_A	GTIOC3B/ULPTOB0-DS	-	-
74	52	-	P113	-	RXD0_A/MISO0_A/SCL0_A/SSLA1_B/SSILRCK0/ SSIFS0_B/ET0_EXOUT/ET0_EXOUT	GTIOC2A/ULPTOA0-DS	-	-
75	53	-	P114	-	CTS0_RTS0_A/SS0_A/DE0/SSLA0_B/SSIRXD0_B/ ET0_LINKSTA/ET0_LINKSTA	GTIOC2B	-	-
76	54	-	P115	-	CTS0_A/MOSIA_B/SSITXD0_B/ET0_WOL/ET0_WOL	GTIOC5A	-	-
77	55	-	P609	-	TXD0_C/MOSI0_C/SDA0_C/MISOA_B/CTX1/ET0_RX_DV	GTIOC5B/ULPTOA1-DS	-	-
78	-	VCC	-	-	-	-	-	-
79	-	VSS	-	-	-	-	-	-
80	56	-	P610	-	RXD0_C/MISO0_C/SCL0_C/RSPCKA_B/CRX1/ET0_COL	GTIOC4A/ULPTOB1-DS	-	-
81	-	CLKOUT/CACREF	P611	-	SCK0_C/DE0/MOSIA_B/ET0_ERXD2	GTIOC4B	-	-
82	-	-	P612	-	CTS0_RTS0_C/SS0_C/DE0/SSLA0_B/ET0_ERXD3	-	-	-
83	-	-	P613	-	CTS0_C	GTETRGA/AGTO1	-	-
84	-	-	P614	-	-	GTETRGB/AGTO0	-	-
85	57	VSS	-	-	-	-	-	-
86	58	VCC	-	-	-	-	-	-
87	59	VCL	-	-	-	-	-	-

表 1.16 端子一覧 (3/4)

LQFP144	LQFP100	電源、システム、クロック、デバッグ、CAC	I/O ポート	外部割り込み	SCI/IIC/SPI/CANFD/USBFS/OSPI/SSIE/EHTERC (MII, RMII)	GPT/AGT/ULPT/RTC	ADC12/DAC12/ ACMPHS	CEU
88	60	VCC_DCDC	-	-	-	-	-	-
89	61	VCC_DCDC	-	-	-	-	-	-
90	62	VLO	-	-	-	-	-	-
91	63	VLO	-	-	-	-	-	-
92	64	VSS_DCDC	-	-	-	-	-	-
93	-	-	P605	-	CTS0_B	-	-	-
94	-	-	P604	-	CTS0_RTS0_B/SS0_B/DE0	-	-	-
95	-	-	P603	-	TXD0_B/MOSI0_B/SDA0_B	ULPTO0	-	-
96	-	-	P602	-	RXD0_B/MISO0_B/SCL0_B	ULPTEE0	-	-
97	-	-	P601	-	SCK0_B/DE0/OM_WP1	ULPTEVI0/RTCOUT	-	-
98	65	CACREF	P600	-	OM_RSTO1	ULPTEVI1-DS	-	-
99	66	-	P107	-	OM_CS0	AGTOA0	-	-
100	67	-	P106	-	SSLB3_A/OM_RESET	AGTOB0/ULPTEE1-DS	-	-
101	68	-	P105	IRQ0	SSLB2_A/OM_ECSINT1	GTIOC1A/ULPTO1-DS	-	-
102	69	-	P104	IRQ1	CTS9_A/SSLB1_A/OM_CS1	GTETRGB/GTIOC1B	-	-
103	70	-	P103	-	CTS9_RTS9_A/SS9_A/DE9/SSLB0_A/CTX0/OM_SIO2	GTIOC2A	-	-
104	71	-	P102	-	TXD9_A/MOSI9_A/SDA9_A/RSPCKB_A/CRX0/OM_SIO4	GTIOC2B/AGTO0	ADTRG0	-
105	72	-	P101	IRQ1	RXD9_A/MISO9_A/SCL9_A/MOSIB_A/OM_SIO3	GTETRGB/AGTEE0	-	-
106	73	VCC2	-	-	-	-	-	-
107	74	VSS	-	-	-	-	-	-
108	75	-	P100	IRQ2	SCK9_A/DE9/MISOB_A/OM_SIO0	GTETRGA/AGTIO0	-	-
109	76	-	P800	IRQ11	CTS2_A/OM_SIO5	GTIOC11A/AGTOA0	-	-
110	77	-	P801	IRQ12	TXD2_A/MOSI2_A/SDA2_A/OM_DQS	GTIOC11B/AGTOB0	-	-
111	78	-	P802	-	RXD2_A/MISO2_A/SCL2_A/OM_SIO6	GTIOC12A	-	-
112	79	-	P803	-	SCK2_A/DE2/OM_SIO1	GTETRGC/GTIOC12B	-	-
113	80	-	P804	IRQ14	CTS2_RTS2_A/SS2_A/DE2/OM_SIO7	GTETRGD/GTIOC13A	-	-
114	81	-	P808	IRQ15	OM_SCLK	GTIOC13B	-	-
115	82	-	P809	-	OM_SCLKN	-	-	-
116	83	VCL	-	-	-	-	-	-
117	-	VCC	-	-	-	-	-	-
118	-	VSS	-	-	-	-	-	-
119	84	-	P015	IRQ13	-	-	AN105	-
120	85	-	P014	-	-	-	AN007/DA0	-
121	86	VREFL	-	-	-	-	-	-
122	87	VREFH	-	-	-	-	-	-
123	88	AVCC0	-	-	-	-	-	-
124	89	AVSS0	-	-	-	-	-	-
125	90	VREFL0	-	-	-	-	-	-
126	91	VREFH0	-	-	-	-	-	-
127	-	-	P010	IRQ14	-	-	AN005/IVCMP0	-
128	-	-	P009	IRQ13-DS	-	-	AN006	-
129	92	-	P008	IRQ12-DS	-	-	AN008	-
130	93	-	P007	-	-	-	AN004	-
131	94	-	P006	IRQ11-DS	-	-	AN002/IVCMP3	-
132	95	-	P005	IRQ10-DS	-	-	AN001	-
133	96	-	P004	IRQ9-DS	-	-	AN000/IVCMP2	-
134	97	-	P003	-	-	-	AN104/IVREF1	-
135	98	-	P002	IRQ8-DS	-	-	AN102/IVCMP3	-
136	99	-	P001	IRQ7-DS	-	-	AN101/IVREF0	-

表 1.16 端子一覧 (4/4)

LQFP144	LQFP100	電源、システム、クロック、デバッグ、CAC	I/O ポート	外部割り込み	SCI/IIC/SPI/CANFD/USBFS/OSPI/SSIE/EHTERC (MII, RMII)	GPT/AGT/ULPT/RTC	ADC12/DAC12/ ACMPHS	CEU
137	100	-	P000	IRQ6-DS	-	-	AN100/IVCMP2	-
138	-	VSS	-	-	-	-	-	-
139	-	VCC	-	-	-	-	-	-
140	-	-	P806	IRQ0	-	-	-	-
141	-	-	P805	-	-	-	-	-
142	-	-	P513	-	-	-	IVCMP0	VIO_FLD
143	-	-	P512	IRQ14	SCL1_A/CTX1	GTIOC0A	-	-
144	-	-	P511	IRQ15	SDA1_A/CRX1	GTIOC0B	-	-

注. いくつかの端子名には、_A、_B、および_C という接尾語が付加されています。これらの接尾語は、電気的特性について特別な条件があることを示しています。詳細は、「52. 電気的特性」を参照してください。

2. CPU

本 MCU は、Arm® Cortex®-M85 プロセッサをベースにしています。

2.1 概要

2.1.1 CPU

- Arm® Cortex®-M85 プロセッサ
  - リビジョン：r0p2-00rel0
  - ARMv8.1-M アーキテクチャプロファイル
  - Armv8-M セキュリティ拡張
- 拡張処理ユニット (EPU)
  - ANSI/IEEE Std 754-2008 準拠の浮動小数点ユニット (FPU)
    スカラ半精度、単精度、および倍精度浮動小数点演算
  - M プロファイルベクタ拡張 (MVE)
    整数、半精度、および単精度浮動小数点 MVE (MVE-F)
- セキュリティ属性ユニット (SAU): 8 領域
- 実装定義属性ユニット (IDAU)
- メモリプロテクションユニット (MPU)
  - プロテクテッドメモリシステムアーキテクチャ (PMSAv8)
  - セキュア MPU (MPU_S): 8 領域
  - 非セキュア MPU (MPU_NS): 8 領域
- システムタイマ (SysTick)
  - 基準クロック：
    - CPUCLK
    - SYSTICKCLK
  - 2 つのシステムタイマを実装
    - セキュアインスタンス (SysTick_S)
    - 非セキュアインスタンス (SysTick_NS)
- 低消費電力モード
  - CPU スリープモード
  - CPU ディープスリープモード
- キャッシュ
  - 命令キャッシュ：ECC 付きの 16 KB
  - データキャッシュ：ECC 付きの 16 KB
- 密接合メモリ (TCM)
  - ITCM: ECC 付きの 16 KB（8 KB × 2 ブロック）
  - DTCM: ECC 付きの 16 KB（8 KB × 2 ブロック）
- ネスト型ベクタ割り込みコントローラ (NVIC): 96 個の IRQ

詳細は、「2.14. 参考資料」の[1]と[2]を参照してください。

2.1.2 デバッグ

CPU デバッグコンポーネント

- Arm® CoreSight™ ETM-M85
  - リビジョン：r0p2-00rel0
  - ARM ETM アーキテクチャ第 4.5 版
- Instrumentation Trace Macrocell (ITM)
- データウォッチポイントとトレースユニット (DWT)
  - 8 つのデータウォッチポイントとトレース (DWT) コンパレータで最大 2 つのデータ値比較
- ブレークポイントユニット (BPU)
  - 8 つの命令コンパレータ
- Cortex®-M85 トレースポートインタフェーユニット (TPIU)
  - 4 ビット TPIU フォーマッタ出力
  - シリアルワイヤ出力 (SWO)

共通デバッグコンポーネント

- デバッグアクセスポート (DAP)
  - CoreSight SoC-400 デバッグアクセスポート
  - JTAG デバッグポートとシリアルワイヤデバッグポート (SWJ-DP)
    シリアルワイヤプロトコル第 2 版（対象インスタンスは固定値 0b0000）
- タイムスタンプ発生器 (TSG)
  - CoreSight SoC-400 タイムスタンプ発生器
  - ETM および ITM 用のグローバルタイムスタンプ
  - DCLK により駆動
- クロストリガインタフェース (CTI)
  - CoreSight SoC-400 CTI (CTI)
  - プロセッサ CTI (CTI0)
- 埋め込みトレースバッファ (ETB)
  - ETB 構成を持つ CoreSight™ トレースメモリコントローラ
  - バッファサイズ：8 KB
- デバッグレジスタモジュール (DBGREG)
- 内蔵デバッグレジスタモジュール (OCDREG)
- JTAG/SWD による認証方法：チャレンジ応答

詳細は、「2.14. 参考資料」の[1]、[2]を参照してください。

2.2 ブロック図

図 2.1 に CPU と CoreSight デバッグサブシステム (DBGSS) のブロック図を示します。

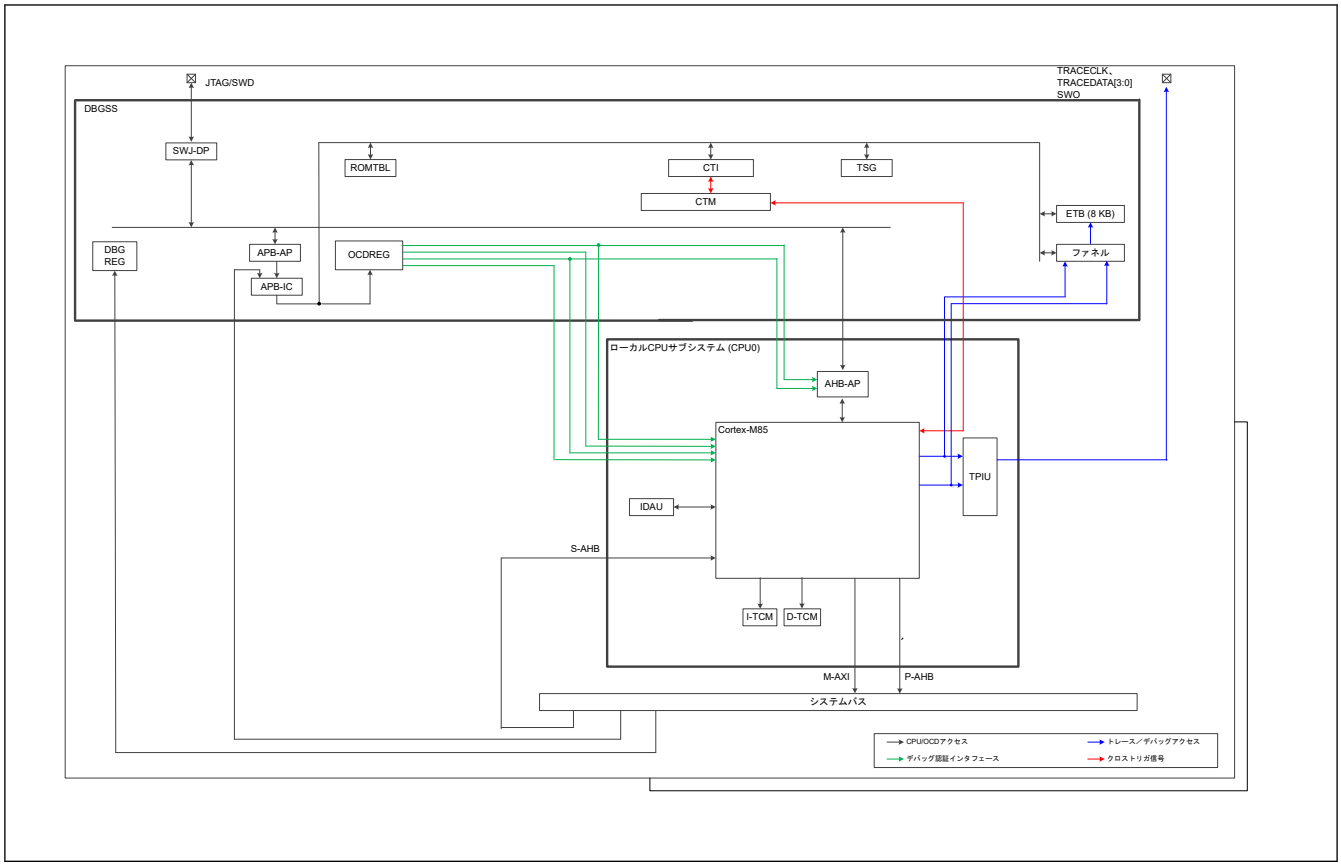


図 2.1　CPU と CoreSight デバッグサブシステム (DBGSS) のブロック図

注.　Cortex-M85 ブロック図の詳細については、「2.14. 参考資料」の[2]を参照してください。本書の Cortex-M85 ブロック図は、説明のみを目的として記載されています。

2.3　実装オプション

表 2.1 に MCU の実装オプションを示します。

表 2.1　実装オプション (1/2)

オプション	実装
SAU	8 領域
IDAU	あり
MPU	MPU_S：8 領域 MPU_NS：8 領域
MVE	整数、半精度、および単精度浮動小数点 MVE
FPU	スカラ半精度、単精度、および倍精度浮動小数点
割り込み	96
優先ビット	4 ビット（16 レベル）
スリープモードでの節電	CPU スリープモード、CPU ディープスリープモード
TCM	● ITCM：16 KB ● DTCM：16 KB ● ECC 有効（OFS1(_SEC).INITECCEN により決定） ● ITCMCR.EN = 1 かつ DTCMCR.EN = 1、書き換え不可
キャッシュ	● I キャッシュ：16 KB ● D キャッシュ：16 KB ● ECC 有効（OFS1(_SEC).INITECCEN により決定） ● 自動無効化を許可 デバッグ中は、CACHEDBGCR L1RSTDIS により制御される

表 2.1 実装オプション (2/2)

オプション	実装
P-AHB	• PAHBCR.SZ は 0b011 (256 MB) • PAHBCR.EN は常に 1
SysTick	2 つのシステムタイマー（SysTick_S と SysTick_NS）あり 周波数 = SYSTICKCLK の外部基準クロック SYST_CALIB = 0x0000270F NOREF、ビット[31] = 0：基準クロックを実装 SKEW、ビット[30] = 0：TENMS キャリブレーション値は正確 ビット[29:24] = 0x00：予約 TENMS、ビット[23:0] = 0x00270F：(0x270F + 1) × 1 µs = 10 ms
PACBTI	あり、かつ有効
ソフトウェアリセット要求出力	AIRCR.SYSRESETREQ ビットによりソフトウェアリセット発生
DWT	8 つのコンパレータ
BPU	8 つのコンパレータ
CTI	あり、CTI と CTI0
ITM	あり
ETM	あり
TPIU	あり • 4 ビット TPIU フォーマッタ出力 • シリアルワイヤ出力 (SWO)

表 2.2 DBGSS 実装オプション

オプション	実装
TSG	あり 周波数 = ICLK/2 のクロックにより駆動
ETB	8 KB
DAP	SWJ-DP AHB-AP: AP0 APB-AP: AP1

2.4 トレースインタフェース

トレースポートインタフェースユニット (TPIU) とシリアルワイヤ出力 (SWO) は、トレース出力を行います。表 2.3 に本機能に対応する MCU 端子を示します。これらの端子は他の機能との兼用端子です。

表 2.3 トレース機能端子

名称	入出力	ビット幅	機能	未使用時の端子処理
TCLK	OUT	1 ビット	トレースクロック	オープン
TDATA0	OUT	1 ビット	トレースデータ出力	オープン
TDATA1	OUT	1 ビット	トレースデータ出力	オープン
TDATA2	OUT	1 ビット	トレースデータ出力	オープン
TDATA3	OUT	1 ビット	トレースデータ出力	オープン
SWO	OUT	1 ビット	シリアルワイヤ出力	オープン

2.5 JTAG/SWD インタフェース

表 2.4 に JTAG/SWD 端子を示します。

表 2.4 JTAG/SWD 端子

名称	入出力	P/N	ビット幅	機能	未使用時の端子処理
TCK/SWCLK	入力	正	1 ビット	JTAG クロック端子 シリアルワイヤデータクロック端子	プルアップ
TMS/SWDIO	入出力	負	1 ビット	JTAG TMS 端子 シリアルワイヤデータ入出力端子	プルアップ
TDI	入力	正	1 ビット	JTAG TDI 端子	プルアップ
TDO	出力	負	1 ビット	JTAG TDO 端子	オープン

2.6 初期ベクタテーブルベースアドレス

本 MCU では、セキュアなベクタテーブルベースアドレスは表 2.5 に示すように動作モードで決定され、非セキュアなベクタテーブルベースアドレスは 0x0000_0000 固定です。

表 2.5 初期ベクタテーブルベースアドレス

動作モード	CPU INITSVTOR
シングルチップモード	0x0200_0000

2.7 デバッグ機能

MCU には、外部デバッグまたはセルフホスティングデバッグによってソフトウェアをデバッグする機能があります。

外部デバッグ機能は JTAG/SWD で有効にできます。「2.7.1. 外部デバッガのコネクティビティと JTAG/SWD による認証」を参照してください。

セルフホスティングデバッグ機能はソフトウェアプログラミングで有効にできます。詳細は「2.7.2. ソフトウェアによるデバッグ保護機構」を参照してください。

デバッグ機能を有効にすると、システムの動作が影響を受ける可能性があります。詳細は「2.7.3. デバッグ機能の影響」を参照してください。

2.7.1 外部デバッガのコネクティビティと JTAG/SWD による認証

JTAG/SWD で認証を実行することによりデバッグ機能を有効にした場合、3 つの認証レベル (AL) に対応する 3 つのデバッグレベルは AL0、AL1、AL2 です。

- AL0：デバッグ機能(注1)は使用できません。
- AL1：非セキュアデバッグ機能(注1)のみ有効であり、デバッガは定義された非セキュアなアクセス可能領域にのみアクセスできます。これは、「2.14. 参考資料」の[1]で非セキュアデバッグとして定義されています。
- AL2：非セキュアデバッグ機能とセキュアデバッグ機能(注1)が有効であり、デバッガからアクセス可能です。これは、「2.14. 参考資料」の[1]でセキュアデバッグとして定義されています。

認証レベルは以下のように決定されます。

- デバイスライフサイクル状態（DLM 状態）が OEM 以外 (LCK_BOOT, RMA_RET, RMA_REQ, RMA_ACK) の場合、AL は DLM 状態により決定されます。表 2.6 を参照してください。
- デバイスライフサイクル状態（DLM 状態）が OEM に等しい場合、JTAG/SWD で認証を実行することにより AL を決定できます。MCU での認証方法は、ユーザーがインストールした認証キーを使ったチャレンジ応答方法です。
  この場合、AL の初期値は PL 値により決定されます（表 2.7 参照）。
  認証シーケンスについては「2.13.5.2. 接続シーケンスと JTAG/SWD 認証」を参照してください。

また、認証キー AL2 および AL1 の使用は、それぞれ保護 LCKS および LCKNS の設定で禁止できます。LCKS と LCKNS の設定はブートコマンドにより実行できます。

注 1. 侵入型デバッグと非侵入型のデバッグの両方。侵入型／非侵入型デバッグの詳細については、「2.14. 参考資料」の[1]を参照してください。

表 2.6 と表 2.7 の記載内容もシリアルフラッシュプログラマに使用できます。

表 2.6　認証レベル (1)

条件			
DLM の状態	**LCKS**	**LCKNS**	**利用可能な認証レベル**
LCK_BOOT	Don't care	Don't care	AL0（デフォルト）
RMA_RET	Don't care	Don't care	AL0（デフォルト）
RMA_REQ	Don't care	Don't care	AL0（デフォルト）
RMA_ACK	Don't care	Don't care	AL2（デフォルト）

表 2.7　認証レベル (2)

条件				
DLM の状態	**PL**	**LCKS**	**LCKNS**	**利用可能な認証レベル**
OEM	PL2	Don't care	Don't care	AL2（デフォルト）
OEM	PL1	0b111	Don't care	AL1（デフォルト） AL2（AL2_KEY を使った認証）
OEM	PL1	0b000（AL2_KEY の使用禁止）	Don't care	AL1（デフォルト）
OEM	PL0	0b111	0b111	AL0（デフォルト） AL1（AL1_KEY を使った認証） AL2（AL2_KEY を使った認証）
OEM	PL0	0b111	0b000（AL1_KEY の使用禁止）	AL0（デフォルト） AL2（AL2_KEY を使った認証）
OEM	PL0	0b000（AL2_KEY の使用禁止）	0b111	AL0（デフォルト） AL1（AL1_KEY を使った認証）
OEM	PL0	0b000（AL2_KEY の使用禁止）	0b000（AL1_KEY の使用禁止）	AL0（デフォルト）

注.　SWJ-DP を使用してデバッグを行う場合、CDBGPWRUPREQ を 1 に設定してください。
注.　外部エミュレータから CoreSight コンポーネントへのデバッグ APB を介したデバッグ接続はデフォルト設定で許可されており、認証機構による結果を考慮しません。ただし、この接続はソフトウェアプログラミングで禁止できます。詳細は、DBGAUTH0.DEVICEEN を参照してください。

ブートモード時のデバッグ接続

MCU がブートモードで動作中の場合、デバッグ機能は使用できません。

2.7.2　ソフトウェアによるデバッグ保護機構

この機構ではチャレンジ&レスポンス認証手順は実行せず、代わりにソフトウェアのプログラムにより MCU のデバッグ機能を直接有効にできます。言い換えれば、デバッグ機能はソフトウェアで完全に制御されます。

以下のビットの設定によりデバッグ機能を有効にできます。

- DBGAUTH0.NIDEN0 = 1：非侵入型デバッグ許可
- DBGAUTH0.DBGEN0 = 1：侵入型デバッグ許可
- DAUTHCTRL.INTSPNIDEN = 1: セキュアな非侵入型デバッグ許可詳細は、「参考資料 1」を参照してください。
- DAUTHCTRL.INTSPIDEN = 1: セキュアな侵入型デバッグ許可詳細は、「参考資料 1」を参照してください。

また、非セキュアアクセスの場合は DBGAUTH0.DBGENAP に 1 を、セキュアアクセスの場合は DBGAUTH1.SPIDENAP に 1 を書き込むことにより、AHB-AP を介したプロセッサへの外部デバッグアクセスも許可できます。

詳細については「2.8.5.3. DBGSTOPCR : デバッグストップコントロールレジスタ」と「2.8.5.4. DBGAUTH0 : デバッグ認証コントロールレジスタ 0」の DBGAUTH0 と DBGAUTH1 の説明を参照してください。

注.　ソフトウェアプログラミングによる認証は OFS1(_SEC).SWDBG で制御されます。
OFS1(_SEC).SWDBG に 1 を書き込むとソフトウェアプログラミングによる認証が禁止され、OFS1(_SEC).SWDBG に 0 を書き込むとソフトウェアプログラミングによる認証が許可されます。

注. ソフトウェアプログラミングによる認証は DLM 状態、PL、および LCK(N)S による制限を受けません。

注. DAUTHCTRL.INTSPNIDEN と DAUTHCTRL.INTSPIDEN がプロセッサ外部のセキュアな侵入型／非侵入型デバッグ認証インタフェースより優先される場合を除き、JTAG/SWD による認証で有効にされたデバッグ機能はソフトウェアでは無効にできません。

2.7.3 デバッグ機能の影響

デバッグ機能は CPU の内部および外部に影響を与えます。本項では、デバッグ認証を除いたデバッグ機能の影響について説明します。

2.7.3.1 低消費電力モード

SYOCDCR.DBGEN0 が 1、かつ以下のいずれかが真の場合は、CPU がディープスリープモード、ソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモードに遷移しても、すべての CoreSight デバッグコンポーネントがレジスタ設定を保存できます。

- CDBGPWRUPREQ が 1、かつ AL が AL2 または AL1
- OFS1(_SEC).SWDBG が 0、かつ DBGAUTH0.DBGEN0 または DBGAUTH0.NIDEN0 が 1

ただし、これらの低消費電力モードにおいては、AHB-AP はオンチップデバッグ (OCD) アクセスに応答できません。すなわち、OCD が CoreSight デバッグコンポーネントにアクセスするには、低消費電力モードが解除されるのを待つ必要があります。

MCU がソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードのときに OCD が MCU への接続を開始すると、MCU はオンチップデバッグ (OCD) に応答しません。

2.7.3.2 リセットと割り込み

オンチップデバッグ (OCD) モード時に CPU がブレーク状態になると、IWDT および対応する WDT が停止します。OCD モード時は、CPU はアプリケーションを実行し、デバッグ機能 AL2 または AL1 が有効となり、一部のリセットと割り込みは PVDn、WDT、IWDT などの DBGSTOPCR 設定に応じた制限を受けます。PVDn (n = 1, 2) の場合、割り込みとリセットは DBGSTOPCR がブレーク状態かどうかに依存します。一部のアクセスエラーは外部デバッガ (DAP) アクセスでは発生しません。詳細は、表 2.8 を参照してください。

表 2.8 OCD モード時のリセットと割り込み発生の制御

リセットおよび割り込み名称	ブレーク状態	実行アプリケーション
RES 端子リセット	ユーザーモードと同じ	
パワーオンリセット	ユーザーモードと同じ	
独立ウォッチドッグタイマリセット／割り込み(注2)	発生しない(注1)	DBGSTOPCR レジスタの設定内容に従う(注2)
ウォッチドッグタイマリセット／割り込み	発生しない(注1)	DBGSTOPCR レジスタの設定内容に従う(注2)
CPU ロックアップリセット／割り込み	発生しない	ユーザーモードと同じ
電圧監視 0 リセット	ユーザーモードと同じ	
電圧監視 1 リセット／割り込み	DBGSTOPCR レジスタの設定内容に従う(注3)	
電圧監視 2 リセット／割り込み	DBGSTOPCR レジスタの設定内容に従う(注3)	
キャッシュ／TCM ECC エラーバス障害	ユーザーモードと同じ	
SRAM パリティエラーリセット／割り込み	ユーザーモードと同じ(注3)	
ディープソフトウェアスタンバイリセット	ユーザーモードと同じ	
ソフトウェアリセット	ユーザーモードと同じ	
バスエラーリセット／割り込み	ユーザーモードと同じ(注4)	

注 1. このモード時に以下のいずれかが真の場合、IWDT と WDT は常に停止します。
- CDBGPWRUPREQ が 1、かつ AL が AL2 または AL1
- OFS1(_SEC).SWDBG が 0、かつ DBGAUTH0.DBGEN0 が 1

注 2. 以下のいずれかが真の場合、IWDT と WDT の動作は DBGSTOPCR の設定内容に従います。
- CDBGPWRUPREQ が 1、かつ AL が AL2 または AL1

- OFS1(_SEC).SWDBG が 0、かつ DBGAUTH0.DBGEN0 が 1

注 3. リセットまたは割り込みのマスクは DBGSTOPCR レジスタの設定内容に従います。
注 4. DAP アクセスのエラーが検出されたときに、リセット要求または割り込み要求は発生しません。

2.8 レジスタの説明

2.8.1 CPU コントロールレジスタ

MCU には、Cortex-M85 レジスタに加えて、CPU コントロールレジスタと見なすことができる追加の特定コントロールレジスタとステータスレジスタがあります。

2.8.1.1 CPUSAR : CPU セキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x170

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUSA0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CPUSA0	CPU コントロールレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1、P-TYPE-1

CPUSA0 ビット（CPU コントロールレジスタのセキュリティ属性）

CPUSA0 ビットは CPU コントロールレジスタのセキュリティ属性です。対象レジスタは以下です。

- CPU.CPULCKUPCR
- CPU.CPUCRPT

2.8.1.2 CPULCKUPCR : CPU ロックアップコントロールレジスタ

Base address: CPU_CTRL = 0x4000_F000
CPU_CTRL_NS = 0x5000_F000

Offset address: 0x030

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	OAD
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	CPU ロックアップ検出後の動作 0: ノンマスカブル割り込み 1: CPU ロックアップリセット	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3 (CPUSAR.CPUSA0)、P-TYPE-2

CPU がロックアップ状態に遷移すると、CPU ロックアップリセットまたは割り込み(注1)の発生を CPULCKUPCR.OAD への書き込みにより選択できます。

CPULCKUPCR セキュリティ属性は CPUSAR で制御されます。AIRCR.BFHFNMINS ビットと CPUSAR.CPUSA0 ビットに同じ属性を設定することを推奨します。

CPULCKUPCR.OAD ビットへの書き込みは、CPU コントロールレジスタ保護レジスタ (CPUCRPT) で保護されています。

注 1. AIRCR.BFHFNMINS を 1 にした場合の Secure HardFault から、または NMI ハンドラからロックアップ状態が発生した場合、NMI はプロセッサをロックアップ状態から復帰させません。「2.14. 参考資料」[4]を参照してください。

2.8.1.3 CPUCRPT : CPU コントロールレジスタ保護レジスタ

Base address: CPU_CTRL = 0x4000_F000 (Secure)
CPU_CTRL_NS = 0x5000_F000 (Non-secure)

Offset address: 0x840

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: CPULCKUPCR レジスタへの書き込みを許可します。 1: CPULCKUPCR レジスタへの書き込みを禁止します。読み出しアクセスを許可します。	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	KEY[7:0]ビットは、PROTECT ビットへの書き込みを許可または禁止します。 PROTECT ビットへ書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。 0xA5 以外の値を KEY[7:0]ビットに書き込むと、PROTECT ビットは更新されません。 KEY[7:0]は読むと常に 0x00 が読み出されます。	W

注. S-TYPE-3 (CPUSAR.CPUSA0)、P-TYPE-2

CPUCRPT.PROTECT ビットは CPULCKUPCR への書き込みを許可します。

CPUCRPT のセキュリティ属性は CPUSAR で制御されます。

2.8.1.4 CPULOCKCR : CPU 機能ロックコントロールレジスタ

Base address: CPU_CTRL = 0x4000_F000 (Secure)

Offset address: 0x400

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	LCKDCAIC	LCKDTGU	LCKITGU	LCKSAU	LCKSMPU	LCKSVTAIR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LCKSVTAIR	ソフトウェアから、またはプロセッサに接続されたデバッグエージェントから以下のセキュアレジスタへの書き込みを禁止します。 **VTOR_S、AIRCR.PRIS、AIRCR.BFHFNMINS**	R/W(注1)
1	LCKSMPU	ソフトウェアから、またはプロセッサに接続されたデバッグエージェントからセキュア MPU 領域に対応するレジスタへの書き込みを禁止します。 **MPU_CTRL、MPU_RNR、MPU_RBAR、MPU_RLAR、MPU_RBAR_An、MPU_RLAR_An**	R/W(注1)

ビット	シンボル	機能	R/W
2	LCKSAU	ソフトウェアから、またはプロセッサに接続されたデバッグエージェントから SAU 領域に対応するレジスタへの書き込みを禁止します。 **SAU_CTRL**、**SAU_RNR**、**SAU_RBAR**、**SAU_RLAR**	R/W(注1)
3	LCKITGU	ソフトウェアから、またはプロセッサに接続されたデバッグエージェントから ITCM インタフェースセキュリティゲーティングに対応するレジスタへの書き込みを禁止します。 **ITGUCTRL**、**ITGU_LUTn**	R/W(注1)
4	LCKDTGU	ソフトウェアから、またはプロセッサに接続されたデバッグエージェントから DTCM インタフェースセキュリティゲーティングに対応するレジスタへの書き込みを禁止します。 **DTGUCTRL**、**DTGU_LUTn**	R/W(注1)
5	LCKDCAIC	命令キャッシュ直接キャッシュアクセスレジスタ **DCAICLR** および **DCAICRR** へのアクセスを禁止します。	R/W(注1)
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-6、P-TYPE-2
注 1. 0 の書き込みは無視されます。

このレジスタは、種々雑多なプロセッサ信号の一部を制御します。リセットが唯一のクリア条件です。

2.8.1.5 CPULOCKCRNS : CPU 非セキュア機能ロックコントロールレジスタ

Base address CPU_CTRL_NS = 0x5000_F000 (Non-secure)

Offset address: 0x500

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	LCKNSMPU	LCKNSVTOR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LCKNSVTOR	**VTOR_NS** レジスタへの書き込みを禁止します。	R/W(注1)
1	LCKNSMPU	ソフトウェアから、またはプロセッサに接続されたデバッグエージェントから非セキュア MPU 領域に対応するレジスタへの書き込みを禁止します。 **MPU_CTRL_NS**、**MPU_RNR_NS**、**MPU_RBAR_NS**、**MPU_RLAR_NS**、**MPU_RBAR_A_NSn**、**MPU_RLAR_A_NSn**	R/W(注1)
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-7、P-TYPE-2
注 1. 0 の書き込みは無視されます。

このレジスタは、種々雑多なプロセッサ信号の一部を制御します。リセットが唯一のクリア条件です。

2.8.2 外部デバッガのアドレス空間

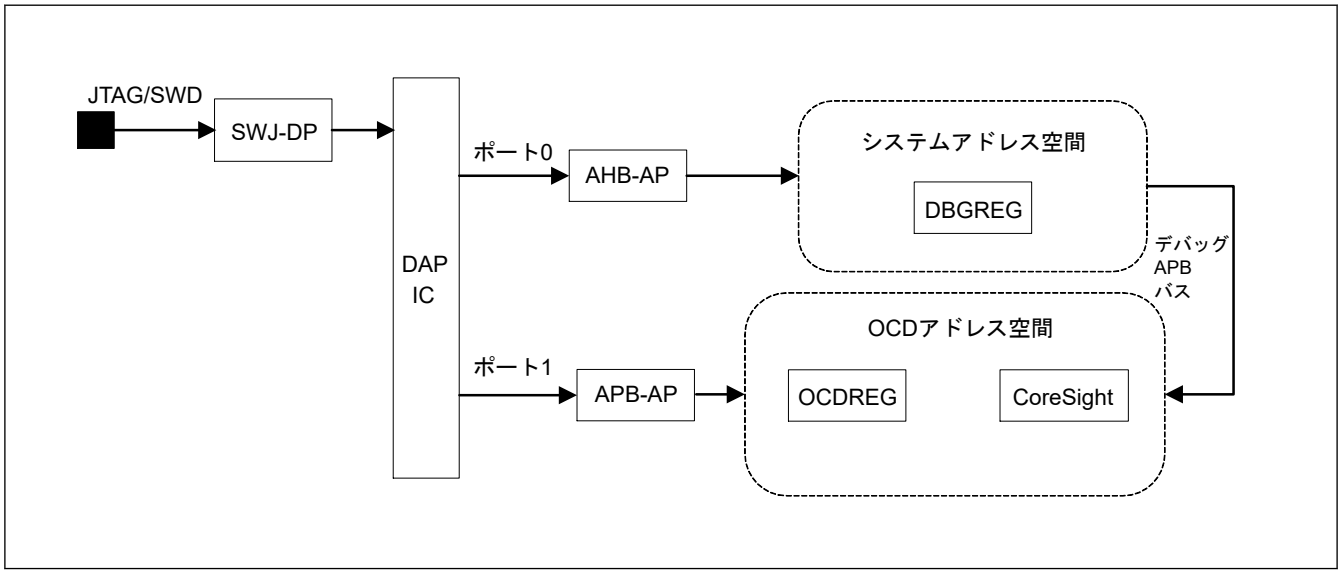


図 2.2 AP 接続とアドレス空間のブロック図

本 MCU のデバッグシステムには、次の 2 つの CoreSight アクセスポート (AP) があります。

- AHB-AP: CPU バスマトリックスに接続され、CPU と同様にシステムアドレス空間にアクセスします。
- APB-AP: OCD アドレス空間を持ち、Coresight コンポーネントと OCDREG レジスタに接続されます。

図 2.2 に AP 接続とアドレス空間のブロック図を示します。デバッグ用に、DBGREG と OCDREG という 2 つのアドレス空間が存在します。

DBGREG はシステムアドレス空間に配置され、OCD エミュレータ、CPU、および本 MCU における他のバスマスタからアクセスが可能です。

OCDREG は OCD アドレス空間に配置され、OCD エミュレータ、CPU、および本 MCU における他のバスマスタからアクセスが可能です。詳細は表 2.10 を参照してください。

2.8.3 CPU 周辺機能

CoreSight コンポーネントは CPU または OCD エミュレータからアクセス可能です。表 2.9 に CPU の専用周辺アドレスを示します。表 2.10、表 2.11、表 2.12 に CoreSight コンポーネントアドレスを示します。

表 2.9 CPU 周辺機能

コンポーネント名	開始アドレス	終了アドレス	備考
ITM	0xE000_0000	0xE000_0FFF	「2.14. 参考資料」の[2]を参照してください。
DWT	0xE000_1000	0xE000_1FFF	「2.14. 参考資料」の[2]を参照してください。
BPU	0xE000_2000	0xE000_2FFF	「2.14. 参考資料」の[2]を参照してください。
PMU	0xE000_3000	0xE000_3FFF	「2.14. 参考資料」の[2]を参照してください。
SCS	0xE000_E000	0xE000_EFFF	「2.14. 参考資料」の[2]を参照してください。
SCS 非セキュアエイリアス	0xE002_E000	0xE002_EFFF	「2.14. 参考資料」の[2]を参照してください。
TPIU(注1)	0xE004_0000	0xE004_0FFF	「2.14. 参考資料」の[3]を参照してください。
ETM	0xE004_1000	0xE004_1FFF	「2.14. 参考資料」の[2]を参照してください。
CTI0	0xE004_2000	0xE004_2FFF	「2.14. 参考資料」の[5]を参照してください。
EPPB ROM テーブル	0xE00F_E000	0xE00F_EFFF	「2.14. 参考資料」の[3]を参照してください。
プロセッサ ROM テーブル	0xE00F_F000	0xE00F_FFFF	「2.14. 参考資料」の[3]を参照してください。

注 1. バスアクセスの停止を回避するため、OCD エミュレータが接続されていない状態で TPIU レジスタにアクセスしないでください。

表 2.10 CPU 周辺機能（セキュア CPU アクセスビュー）

コンポーネント名	開始アドレス	終了アドレス	備考
システム ROM テーブル	0x4001_0000	0x4001_0FFF	「2.14. 参考資料」の[3]を参照してください。
OCDREG	0x4001_1000	0x4001_1FFF	「2.14. 参考資料」の[5]を参照してください。
CTI	0x4001_2000	0x4001_2FFF	「2.14. 参考資料」の[5]を参照してください。
ファネル	0x4001_3000	0x4001_3FFF	「2.14. 参考資料」の[5]を参照してください。
TMC(ETB)	0x4001_4000	0x4001_4FFF	「2.14. 参考資料」の[5]を参照してください。
タイムスタンプ発生器	0x4001_5000	0x4001_5FFF	「2.14. 参考資料」の[5]を参照してください。

注. APB コントロール／ステータスワードレジスタの DbgSwEnable ビットが 1 の場合のみ、本レジスタは CPU からアクセスできます。「2.14. 参考資料」の[5]を参照してください。

表 2.11 CPU 周辺機能（非セキュア CPU アクセスビュー）

コンポーネント名	開始アドレス	終了アドレス	備考
システム ROM テーブル	0x5001_0000	0x5001_0FFF	「2.14. 参考資料」の[3]を参照してください。
OCDREG	0x5001_1000	0x5001_1FFF	「2.14. 参考資料」の[5]を参照してください。
CTI	0x5001_2000	0x5001_2FFF	「2.14. 参考資料」の[5]を参照してください。
ファネル	0x5001_3000	0x5001_3FFF	「2.14. 参考資料」の[5]を参照してください。
TMC(ETB)	0x5001_4000	0x5001_4FFF	「2.14. 参考資料」の[5]を参照してください。
タイムスタンプ発生器	0x5001_5000	0x5001_5FFF	「2.14. 参考資料」の[5]を参照してください。

注. APB コントロール／ステータスワードレジスタの DbgSwEnable ビットが 1 の場合のみ、本レジスタは CPU からアクセスできます。「2.14. 参考資料」の[5]を参照してください。

表 2.12 CPU 周辺機能（OCD エミュレータアクセスビュー）

コンポーネント名	開始アドレス	終了アドレス	備考
システム ROM テーブル	0x8001_0000	0x8001_0FFF	「2.14. 参考資料」の[3]を参照してください。
OCDREG	0x8001_1000	0x8001_1FFF	「2.14. 参考資料」の[5]を参照してください。
CTI	0x8001_2000	0x8001_2FFF	「2.14. 参考資料」の[5]を参照してください。
ファネル	0x8001_3000	0x8001_3FFF	「2.14. 参考資料」の[5]を参照してください。
TMC(ETB)	0x8001_4000	0x8001_4FFF	「2.14. 参考資料」の[5]を参照してください。
タイムスタンプ発生器	0x8001_5000	0x8001_5FFF	「2.14. 参考資料」の[5]を参照してください。

2.8.4 ROM テーブル

本 MCU には、3 つの ROM テーブルがあります。

- プロセッサ ROM テーブル
- Cortex-M85 CPU 用の EPPB ROM テーブル
- システム ROM テーブル

EPPB ROM テーブルは TPIU コンポーネントとプロセッサ ROM テーブルを指します。EPPB ROM テーブルは ROM テーブルを指したり ROM テーブルから指されたりしません。

プロセッサ ROM テーブルには、Cortex-M85 に実装されたデバッグコンポーネントのリストを保持するエントリがあります。システム ROM テーブルには、MCU の CoreSight デバッグコンポーネントとして実装されたデバッグコンポーネントのリストを保持するエントリがあります。

2.8.4.1 ROM エントリ

ROM エントリは、システム内の CoreSight デバッグコンポーネントのリストを保持します。OCD エミュレータは、ROM エントリを使用して、どのコンポーネントがシステムに実装されているかを判定できます。

以下に Debug コンポーネントの各エントリを説明します。

表 2.13：システム ROM エントリ

表 2.14：EPPB ROM エントリ

表 2.15：プロセッサ ROM エントリ（「2.14. 参考資料」を参照）

表 2.13 システム ROM エントリ

#	アドレス(注1)	アクセスサイズ	R/W	値	対象モジュール
0	0x4001_0000	32 ビット	読み出しのみ可能	0x00001003	OCDREG
1	0x4001_0004	32 ビット	読み出しのみ可能	0x00002003	CTI
2	0x4001_0008	32 ビット	読み出しのみ可能	0x00003003	ファネル
3	0x4001_000C	32 ビット	読み出しのみ可能	0x00004003	ETB
4	0x4001_0010	32 ビット	読み出しのみ可能	0x00005003	TSG
5	0x4001_0014	32 ビット	読み出しのみ可能	0x00000000	（ROM テーブルの終了マーカ）

注 1. ベースアドレス 0x4001_0000 は CPU セキュアアクセス専用です。
CPU 非セキュアアクセス用のベースアドレスは 0x5001_0000 です。
OCD エミュレータアクセス用のベースアドレスは 0x8001_0000 です。

表 2.14 EPPB ROM エントリ

#	アドレス	アクセスサイズ	R/W	値	対象モジュール
0	0xE00F_E000	32 ビット	読み出しのみ可能	0x00001003	プロセッサ ROM テーブル
1	0xE00F_E004	32 ビット	読み出しのみ可能	0xFFF42003	TPIU
2	0xE00F_E008	32 ビット	読み出しのみ可能	0x00000000	（ROM テーブルの終了マーカ）

表 2.15 プロセッサ ROM エントリ

#	アドレス	アクセスサイズ	R/W	値	対象モジュール
0	0xE00F_F000	32 ビット	読み出しのみ可能	0xFFF0F003	SCS
1	0xE00F_F004	32 ビット	読み出しのみ可能	0xFFF02003	DWT
2	0xE00F_F008	32 ビット	読み出しのみ可能	0xFFF03003	BPU
3	0xE00F_F00C	32 ビット	読み出しのみ可能	0xFFF01003	ITM
5	0xE00F_F014	32 ビット	読み出しのみ可能	0xFFF42003	ETM
6	0xE00F_F018	32 ビット	読み出しのみ可能	0xFFF04003	PMU
7	0xE00F_F01C	32 ビット	読み出しのみ可能	0xFFF43003	CTI0
8	0xE00F_F020	32 ビット	読み出しのみ可能	0xFFF47002	PMC
9	0xE00F_F024	32 ビット	読み出しのみ可能	0x00000000	（ROM テーブルの終了マーカ）

2.8.4.2 CoreSight コンポーネントレジスタ

ROM テーブルには、Arm CoreSight アーキテクチャで定義された CoreSight コンポーネントレジスタがあります。

表 2.16 にシステム ROM テーブルのレジスタを示します。

表 2.17 にプロセッサ EPPB ROM テーブルのレジスタを示します。

表 2.18 にプロセッサ ROM テーブルを示します。「2.14. 参考資料」の[2]を参照してください。

表 2.16　システム ROM テーブルのレジスタ

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	0x8001_0FD0	32 ビット	読み出しのみ可能	0x00000004
PID5	0x8001_0FD4	32 ビット	読み出しのみ可能	0x00000000
PID6	0x8001_0FD8	32 ビット	読み出しのみ可能	0x00000000
PID7	0x8001_0FDC	32 ビット	読み出しのみ可能	0x00000000
PID0	0x8001_0FE0	32 ビット	読み出しのみ可能	0x0000003B
PID1	0x8001_0FE4	32 ビット	読み出しのみ可能	0x00000030
PID2	0x8001_0FE8	32 ビット	読み出しのみ可能	0x0000000A
PID3	0x8001_0FEC	32 ビット	読み出しのみ可能	0x00000000
CID0	0x8001_0FF0	32 ビット	読み出しのみ可能	0x0000000D
CID1	0x8001_0FF4	32 ビット	読み出しのみ可能	0x00000010
CID2	0x8001_0FF8	32 ビット	読み出しのみ可能	0x00000005
CID3	0x8001_0FFC	32 ビット	読み出しのみ可能	0x000000B1

表 2.17　プロセッサ EPPB ROM テーブル

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	0xE00F_EFD0	32 ビット	読み出しのみ可能	0x00000004
PID5	0xE00F_EFD4	32 ビット	読み出しのみ可能	0x00000000
PID6	0xE00F_EFD8	32 ビット	読み出しのみ可能	0x00000000
PID7	0xE00F_EFDC	32 ビット	読み出しのみ可能	0x00000000
PID0	0xE00F_EFE0	32 ビット	読み出しのみ可能	0x0000003B
PID1	0xE00F_EFE4	32 ビット	読み出しのみ可能	0x00000030
PID2	0xE00F_EFE8	32 ビット	読み出しのみ可能	0x0000000A
PID3	0xE00F_EFEC	32 ビット	読み出しのみ可能	0x00000000
CID0	0xE00F_EFF0	32 ビット	読み出しのみ可能	0x0000000D
CID1	0xE00F_EFF4	32 ビット	読み出しのみ可能	0x00000010
CID2	0xE00F_EFF8	32 ビット	読み出しのみ可能	0x00000005
CID3	0xE00F_EFFC	32 ビット	読み出しのみ可能	0x000000B1

表 2.18　プロセッサ ROM テーブル

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	0xE00F_FFD0	32 ビット	読み出しのみ可能	0x00000004
PID5	0xE00F_FFD4	32 ビット	読み出しのみ可能	0x00000000
PID6	0xE00F_FFD8	32 ビット	読み出しのみ可能	0x00000000
PID7	0xE00F_FFDC	32 ビット	読み出しのみ可能	0x00000000
PID0	0xE00F_FFE0	32 ビット	読み出しのみ可能	0x000000D4
PID1	0xE00F_FFE4	32 ビット	読み出しのみ可能	0x000000B4
PID2	0xE00F_FFE8	32 ビット	読み出しのみ可能	0x0000000B
PID3	0xE00F_FFEC	32 ビット	読み出しのみ可能	0x00000000
CID0	0xE00F_FFF0	32 ビット	読み出しのみ可能	0x0000000D
CID1	0xE00F_FFF4	32 ビット	読み出しのみ可能	0x00000010
CID2	0xE00F_FFF8	32 ビット	読み出しのみ可能	0x00000005
CID3	0xE00F_FFFC	32 ビット	読み出しのみ可能	0x000000B1

2.8.5 DBGREG

Base_Address: CPU_DBG = 0x4001_B000

DBGREG モジュールはデバッグ機能を制御します。

表 2.19 に DBGREG レジスタ一覧を示します。

表 2.19 DBGREG レジスタ

名称	シンボル	DAP ポート	アドレス	アクセスサイズ	R/W
デバッグステータスレジスタ	DBGSTR	ポート 0	0x4001_B000	32 ビット	読み出しのみ可能
デバッグストップコントロールレジスタ	DBGSTOPCR	ポート 0	0x4001_B010	32 ビット	読み出し／書き込み
デバッグ認証コントロールレジスタ 0	DBGAUTH0	ポート 0	0x4001_B020	32 ビット	読み出し／書き込み
デバッグ認証コントロールレジスタ 1	DBGAUTH1	ポート 0	0x4001_B024	32 ビット	読み出し／書き込み
トレースポートコントロールレジスタ	TRPORTCR	ポート 0	0x4001_B030	32 ビット	読み出し／書き込み
キャッシュデバッグコントロールレジスタ	CACHEDBGCR	ポート 0	0x4001_B040	32 ビット	読み出し／書き込み
デバッグ用 MOCO 許可レジスタ	DBGMOCOEN	ポート 0	0x4001_B300	32 ビット	読み出し／書き込み
デバッグ用フラッシュシーケンサクロック選択レジスタ	DBGFCLKSEL	ポート 0	0x4001_B310	32 ビット	読み出し／書き込み

2.8.5.1 DEBUGSAR : デバッグセキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x180

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DBGSA0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DBGSA0	デバッグリソースセキュリティ属性 0 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1、P-TYPE-1

DBGSA0 ビット（デバッグリソースセキュリティ属性 0）

デバッグ制御用レジスタのセキュリティ属性対象のレジスタを以下に示します。

- DBGREG.DBGAUTH0
- APB-AP に接続され、システムアドレス空間にマッピングされた CoreSight レジスタ

注. これは、外部から APB-AP へのアクセスには影響しません。

2.8.5.2 DBGSTR : デバッグステータスレジスタ

Base address: CPU_DBG = 0x4001_B000
CPU_DBG_NS = 0x5001_B000

Offset address: 0x000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	CDBGPWRUPACK	CDBGPWRUPREQ	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	x	x	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
27:0	—	読むと 0 が読めます。	R
28	CDBGPWRUPREQ	デバッグパワーアップ要求 0: OCD はデバッグパワーアップを要求していない 1: OCD はデバッグパワーアップを要求している	R
29	CDBGPWRUPACK	デバッグパワーアップアクノリッジ 0: デバッグパワーアップ要求を受け付けていない 1: デバッグパワーアップ要求を受け付けた	R
31:30	—	読むと 0 が読めます。	R

注. S-TYPE-5、P-TYPE-2

DBGSTR レジスタは、プログラムに OCD 状態を通知するデバッグステータスレジスタです。このレジスタはデバッグ接続状態を監視しています。

2.8.5.3 DBGSTOPCR : デバッグストップコントロールレジスタ

Base address: CPU_DBG = 0x4001_B000
CPU_DBG_NS = 0x5001_B000

Offset address: 0x010

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	DBGSTOP_RER	—	—	—	—	—	—	DBGSTOP_PVD	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DBGSTOP_WDT0	DBGSTOP_IWDT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
0	DBGSTOP_IWDT	OCD RUN モードでの IWDT リセット／割り込み用のマスク OCD ブレークモードでは、このビットの値に関係なく、リセット／割り込みはマスクされ、IWDT カウンタは停止します。 0: IWDT リセット／割り込みを許可 1: IWDT リセット／割り込みをマスクし、IWDT カウントを停止	R/W
1	DBGSTOP_WDT0	OCD RUN モードでの WDT リセット／割り込み用のマスク OCD ブレークモードでは、このビットの値に関係なく、リセット／割り込みはマスクされ、WDT カウンタは停止します。 0: WDT リセット／割り込みを許可 1: WDT リセット／割り込みをマスクし、WDT カウントを停止	R/W

ビット	シンボル	機能	R/W
16:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17	DBGSTOP_PVD	PVDn (n = 1, 2) リセット／割り込み用のマスク 0: PVDn (n = 1, 2) リセット／割り込みを許可 1: PVDn (n = 1, 2) リセット／割り込みをマスク	R/W
23:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	DBGSTOP_RER	SRAM パリティエラーリセット／割り込み用のマスク 0: SRAM パリティエラーリセット／割り込みを許可 1: SRAM パリティエラーリセット／割り込みをマスク	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-5、P-TYPE-2

デバッグストップコントロールレジスタ (DBGSTOPCR) は、デバッグ中の機能停止を指定します。

このレジスタは、次の条件のいずれかが真の時に有効です。

- CDBGPWRUPREQ が 1、かつ AL が AL2 または AL1
- OFS1(_SEC).SWDBG が 0、かつ DBGAUTH0.DBGEN0 が 1

上記の条件のいずれも真でない場合、MCU はこのレジスタ設定を無視し、全てのビットを 0 と見なします。

2.8.5.4 DBGAUTH0 : デバッグ認証コントロールレジスタ 0

Base address: CPU_DBG = 0x4001_B000
CPU_DBG_NS = 0x5001_B000

Offset address: 0x020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SWDBG	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEVICEEN
Value after reset:	OFS1(_SEC).SWDBG	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DBGENAP	—	—	—	NIDEN0	—	—	—	DBGEN0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DBGEN0(注1)	CPU 侵入型デバッグ許可 0: 禁止 1: 許可	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	NIDEN0	CPU 非侵入型デバッグ許可 0: 禁止 1: 許可	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	DBGENAP(注1)	CPU AHB-AP (AP0) デバッグ許可 0: 禁止 1: 許可	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	DEVICEEN(注2)	APB-AP (AP1) 認証 0: 禁止 1: 許可	R/W
30:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
31	SWDBG	デバッグ機能のソフトウェア制御 0: 無効 1: 有効	R/W

注. S-TYPE-3 (DEBUGSAR.DBGSA0)、P-TYPE-2
注 1. AL2 または AL1 の場合、MCU はこのビットを無視して、1 が設定されたと見なします。
注 2. AL2 の場合、MCU はこのビットを無視して、1 が設定されたと見なします。

デバッグ機能のソフトウェア制御 (OFS1(_SEC).SWDBG = 0) が有効の場合、本レジスタの DBGEN0 ビットと NIDEN0 ビットでプロセッサ許可の非セキュアな侵入型および非侵入型のデバッグ機能を制御できます。

非セキュア AHB-AP アクセスは、本レジスタの DBGENAP ビットで許可できます。

APB-AP から Coresight コンポーネントへのデバッグ APB を介したアクセスは、本レジスタの DEVICEEN ビットで許可できます。

OFS1(_SEC).SWDBG が 1 の場合、MCU はこのレジスタを無視して、初期値が設定されたと見なします。

注. DBGEN0 = 1 の場合、MCU は DBGSTOPCR、SYOCDCR、MCUCTRL に従って動作し、(DBGEN0 = 1 または NIDEN0 = 1) が真の場合、MCU は TRPORTCR に従って動作します。

2.8.5.5 DBGAUTH1 : デバッグ認証コントロールレジスタ 1

Base address: CPU_DBG = 0x4001_B000

Offset address: 0x024

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SPIDENAP	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	SPIDENAP(注1)	CPU AHB-AP (AP0) デバッグ許可 0: 禁止 1: 許可	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-6、P-TYPE-2
注 1. AL2 の場合、MCU はこのビットを無視して、1 が設定されたと見なします。

デバッグ機能のソフトウェア制御 (OFS1(_SEC).SWDBG = 0) が有効の場合、本レジスタの SPIDENAP ビットで、AHB-AP ポートから D-AHB へのセキュアアクセスを許可できます。

OFS1(_SEC).SWDBG が 1 の場合、MCU はこのレジスタを無視して、初期値が設定されたと見なします。

2.8.5.6 CACHEDBGCR : キャッシュデバッグコントロールレジスタ

Base address: CPU_DBG = 0x4001_B000

Offset address: 0x040

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	L1RSTDIS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	L1RSTDIS	L1 キャッシュ自動無効化を禁止 0: L1 キャッシュの自動無効化を許可 1: L1 キャッシュの自動無効化を禁止	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-6、P-TYPE-2

CACHEDBGCR レジスタは、デバッグ中にリセット解除後の L1 キャッシュ無効化の禁止を制御できます。

注. レジスタの設定は以下のいずれの条件が該当する場合にのみ有効です。

- CDBGPWRUPREQ が 1、かつ AL が AL2 または AL1
- OFS1(_SEC).SWDBG が 0、かつ DBGAUTH0.DBGEN0 または DBGAUTH0.NIDEN0 が 1

注. このビットに書き込みを行う前に、「2.14. 参考資料」 [2]の 4.6 節「キャッシュ初期化信号」を参照してください。

2.8.5.7 TRPORTCR : トレースポートコントロールレジスタ

Base address: CPU_DBG = 0x4001_B000
CPU_DBG_NS = 0x5001_B000

Offset address: 0x030

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	DRV[1:0]		—	OE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
0	OE	データ出力許可ビットは、トレースクロック、トレースデータ、SWO 出力を許可するかどうかを示します。 0: 出力禁止 1: 出力許可	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3:2	DRV[1:0]	ポート駆動能力制御ビットは、トレースポートバッファ速度を示します。 0 0: 低駆動 0 1: 中駆動 1 0: 高速高駆動 1 1: 高駆動	R/W
31:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-5、P-TYPE-2

TRPORTCR レジスタは、トレースデータのトレースポートを制御します。

注. レジスタの設定は以下のいずれの条件が該当する場合にのみ有効です。

- CDBGPWRUPREQ が 1、かつ AL が AL2 または AL1
- OFS1(_SEC).SWDBG が 0、かつ DBGAUTH0.DBGEN0 または DBGAUTH0.NIDEN0 が 1

2.8.5.8 DBGMOCOEN : デバッグ用 MOCO 許可要求レジスタ

Base address: CPU_DBG = 0x4001_B000
CPU_DBG_NS = 0x5001_B000

Offset address: 0x300

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MOCOEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MOCOEN	MOCO 許可要求 0: MOCO 許可要求なし 1: MOCO 許可を要求	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-5、P-TYPE-2

DBGMOCOEN レジスタは MOCO 動作を許可します。外部デバッガを接続していない場合、このレジスタには効力がありません。P/E モード中はこのレジスタの値を更新できません。

注. レジスタの使い方

非セキュアデバッグ機能のみ有効な場合、デバッガは TrustZone で保護されたクロック関連レジスタを設定できません。したがって、FCLK 周波数がフラッシュ動作をプログラムするのに最低限必要な速度でない場合は、（ソフトウェアブレークポイントの設定による）フラッシュメモリへの書き込みはできません。

この場合、DBGMOCOEN と DBGFCLKSEL の設定によりフラッシュシーケンスクロックを MOCO に変更して、フラッシュメモリへの書き込みを許可できます。

2.8.5.9 DBGFCLKSEL : デバッグ用フラッシュシーケンサクロック選択レジスタ

Base address: CPU_DBG = 0x4001_B000
CPU_DBG_NS = 0x5001_B000

Offset address: 0x310

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FCLKSEL
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FCLKSEL	フラッシュシーケンサクロック選択 0: FCLK 1: MOCO	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-5、P-TYPE-2

DBGFCLKSEL レジスタは、フラッシュ P/E シーケンサクロックを切り替えます。外部デバッガを接続していない場合、このレジスタには効力がありません。P/E モード中はこのレジスタの値を更新できません。

FCLK がフラッシュ P/E のサポート範囲外の場合でも、フラッシュ P/E は FCLK の代わりに MOCO を使って利用可能です。FCLK の代わりに MOCO を使用する手順を以下に示します。

1. CPU がデバッグ状態（DHCSR.S_HALT = 1）になるまで待機します。
2. フラッシュが P/E モードでないことを確認します（フラッシュが P/E モードの場合、外部ホストはフラッシュ P/E を実行できません）。
3. DBGMOCOEN.MOCOEN を 1 に設定します。
4. MOCO 発振セトリング時間待機します。
5. DBGFCLKSEL.FCLKSEL を 1 に設定します。
6. コードフラッシュ P/E を実行します。
7. DBGFCLKSEL.FCLKSEL を 0 にクリアします。
8. DBGMOCOEN.MOCOEN を 0 にクリアします。
9. CPU を再起動します。

注. レジスタの使い方

非セキュアデバッグ機能のみ有効な場合、デバッガは TrustZone で保護されたクロック関連レジスタを設定できません。したがって、FCLK 周波数がフラッシュ動作をプログラムするのに最低限必要な速度でない場合は、（ソフトウェアブレークポイントの設定による）フラッシュメモリへの書き込みはできません。

この場合、DBGMOCOEN と DBGFCLKSEL の設定によりフラッシュシーケンスクロックを MOCO に変更して、フラッシュメモリへの書き込みを許可できます。

2.8.5.10 CoreSight コンポーネントレジスタ

DBGREG には、ARM CoreSight アーキテクチャで定義された CoreSight コンポーネントレジスタがあります。表 2.20 にレジスター覧を示します。

表 2.20 CoreSight コンポーネントレジスタ

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	0x4001_BFD0	32 ビット	読み出しのみ可能	0x00000004
PID5	0x4001_BFD4	32 ビット	読み出しのみ可能	0x00000000
PID6	0x4001_BFD8	32 ビット	読み出しのみ可能	0x00000000
PID7	0x4001_BFDC	32 ビット	読み出しのみ可能	0x00000000
PID0	0x4001_BFE0	32 ビット	読み出しのみ可能	0x00000005
PID1	0x4001_BFE4	32 ビット	読み出しのみ可能	0x00000030
PID2	0x4001_BFE8	32 ビット	読み出しのみ可能	0x0000000A
PID3	0x4001_BFEC	32 ビット	読み出しのみ可能	0x00000000
CID0	0x4001_BFF0	32 ビット	読み出しのみ可能	0x0000000D
CID1	0x4001_BFF4	32 ビット	読み出しのみ可能	0x000000F0
CID2	0x4001_BFF8	32 ビット	読み出しのみ可能	0x00000005
CID3	0x4001_BFFC	32 ビット	読み出しのみ可能	0x000000B1

注. S-TYPE-5、P-TYPE-2

2.8.6 OCDREG

OCDREG は、OCD（オンチップデバッグ）エミュレータ機能用に提供されたレジスタモジュールです。OCDREG は、CoreSight 準拠のコンポーネントとして実装されています。表 2.21 に OCDREG のレジスター覧を示します。

表 2.21 OCDREG のレジスター覧

名称	シンボル	DAP ポート	OCD アドレス	CPU アドレス	アクセスサイズ	R/W
MCU ステータスレジスタ	MCUSTAT	ポート 1	0x8000_0400	CPU からのアクセス不可	32 ビット	読み出し専用
MCU コントロールレジスタ	MCUCTRL	ポート 1	0x8001_1004	0x4001_1004（セキュア） 0x5001_1004（非セキュア）	32 ビット	読み出し／書き込み
JTAG ブートモード遷移レジスタ	JBMDR	ポート 1	0x8001_1100	0x4001_1100（セキュア） 0x5001_1100（非セキュア）	32 ビット	読み出し／書き込み
JTAG ブート受信データレジスタ	JBRDR	ポート 1	0x8001_1120	0x4001_1120（セキュア） 0x5001_1120（非セキュア）	32 ビット	読み出し／書き込み
JTAG ブート送信データレジスタ	JBTDR	ポート 1	0x8001_1130	0x4001_1130（セキュア） 0x5001_1130（非セキュア）	32 ビット	読み出し／書き込み
JTAG ブートステータスレジスタ	JBSTR	ポート 1	0x8001_1140	0x4001_1140（セキュア） 0x5001_1140（非セキュア）	32 ビット	読み出し／書き込み
JTAG ブート割り込みコントロールレジスタ	JBICR	ポート 1	0x8001_1150	0x4001_1150（セキュア） 0x5001_1150（非セキュア）	32 ビット	読み出し／書き込み

注. CPU から OCDREG へのアクセスは、特権アクセスのみにより許可されます。
外部デバッグから OCDREG への APB-AP を介したアクセスは、特権アクセスまたは非特権アクセスにより許可されます。

注. CPU が MCUCTRL、JBMDR、JBRDR、JBTDR、JBICR にアクセスしている間は、JTAG/SWD を使用して MCUCTRL に書き込みをしないでください。
RES ピンリセット中を除き、JTAG/SWD を使用して JBMDR に書き込みをしないでください。
CPU が MCUCTRL、JBMDR、JBRDR、JBTDR、JBICR にアクセスしている間は、JTAG/SWD を使用して JBRDR に書き込みをしないでください。
JTAG/SWD を使用して JBTDT に書き込みをしないでください。
JTAG/SWD を使用して JBSTR に書き込みをしないでください。
JTAG/SWD を使用して JBICR に書き込みをしないでください。

2.8.6.1 MCUSTAT : MCU ステータスレジスタ

Base address: 0x8000_0400(注1)

Offset address: 0x000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	DSTBY3	DSTBY2	DSTBY1	—	—	—	STBY1
Value after reset:	0	0	0	0	0	0	0	0	0	x	x	x	0	0	x	x

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	AL[1:0]		—	—	—	—	—	—	—	—	—	CPUSTOPCLK	SLEEP	—
Value after reset:	1	0	0	0	0	0	0	1	0	0	0	0	0	x	x	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。	R
1	SLEEP	CPU が CPU スリープモードであることを示します。 0: CPU は CPU スリープモードではない 1: CPU は CPU スリープモードである	R
2	CPUSTOPCLK	CPU クロックが停止中であることを示します。 0: CPU へクロックを供給中です。MCU が通常モードまたは CPU スリープモードであることを示します。 1: CPU へのクロックは停止中です。MCU が CPU ディープスリープモード、ソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモードであることを示します。	R
7:3	—	読むと 0 が読めます。	R
8	—	読むと 1 が読めます。	R
11:9	—	読むと 0 が読めます。	R
13:12	AL[1:0]	AL モニタ 0x0: AL0 0x1: AL1 0x3: AL2	R
14	—	読むと 0 が読めます。	R
15	—	読むと 1 が読めます。	R
16	STBY1	MCU がソフトウェアスタンバイモードであることを示す 0: MCU はソフトウェアスタンバイモードではない 1: MCU はソフトウェアスタンバイモードである	R
19:17	—	読むと 0 が読めます。	R
20	DSTBY1	MCU がディープソフトウェアスタンバイモード 1 であることを示す 0: MCU はディープソフトウェアスタンバイモード 1 ではない 1: MCU はディープソフトウェアスタンバイモード 1 である	R
21	DSTBY2	MCU がディープソフトウェアスタンバイモード 2 であることを示す 0: MCU はディープソフトウェアスタンバイモード 2 ではない 1: MCU はディープソフトウェアスタンバイモード 2 である	R
22	DSTBY3	MCU がディープソフトウェアスタンバイモード 3 であることを示す 0: MCU はディープソフトウェアスタンバイモード 3 ではない 1: MCU はディープソフトウェアスタンバイモード 3 である	R
31:23	—	読むと 0 が読めます。	R

注. S-TYPE-5、P-TYPE-2
注 1. MCUSTAT レジスタのアドレスには、外部デバッガだけがアクセスできます。

MCUSTAT レジスタは、MCU ステータスおよび認証ステータスを示すレジスタです。MCUSTAT レジスタのビットはすべて監視ビットでなので、リセット不可です。本レジスタにはセキュア保護がありません。

2.8.6.2 MCUCTRL : MCU コントロールレジスタ

Base address: OCD_CPU = 0x4001_1000
OCD_CPU_NS = 0x5001_1000
OCD_DAP = 0x8001_1000(注1)

Offset address: 0x004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUWAIT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EDBGRQ
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	EDBGRQ	外部デバッグ要求。このビットに 1 を書き込むと、CPU 停止またはデバッグ監視の例外要求が発生します。 0: デバッグイベントを要求しない 1: デバッグイベントを要求する	R/W
15:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	CPUWAIT	CPU 停止設定 0: CPUWAIT デアサート CPU はリセット解除後にブートアップシーケンスと命令実行を開始する 1: CPUWAIT アサート CPU はリセット解除後に強制的に静止状態にされる	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-5、P-TYPE-2
注. このレジスタは、次の条件のいずれかが真の時に有効です。

- CDBGPWRUPREQ が 1、かつ AL が AL2 または AL1
- OFS1(_SEC).SWDBG が 0、かつ DBGAUTH0.DBGEN0 が 1

上記の条件のいずれも真でない場合、MCU はこのレジスタ設定を無視し、全てのビットを 0 と見なします。
注 1. このアドレスは外部デバッガからアクセスします。

MCUCTRL レジスタには、外部イベントによってデバッグ状態に遷移する外部デバッガ機能があります。

2.8.6.3 認証制御レジスタ

デバッガからアクセス可能な認証レジスタは、OCDREG に配置されています。

2.8.6.3.1 JBMDR : JTAG ブートモード遷移レジスタ

Base address: OCD_CPU = 0x4001_1000
OCD_CPU_NS = 0x5001_1000
OCD_DAP = 0x8001_1000(注1)

Offset address: 0x100

Bit position:	31																								7							0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	KEY[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	KEY[7:0]	モード遷移キー 0xA5 が設定されると端子リセットが解除され、システムは JTAG ブートモードに遷移します。システムが JTAG ブートモードに遷移すると、MDSR.JBOTS = 1 となります。	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-5、P-TYPE-2
注 1. このアドレスは外部デバッガからアクセスします。

JBMDR レジスタは、デバッガからコマンドを設定します。

本レジスタは「5. リセット」の表 5.2 に示される要因によって初期化されますが、デバッガの切断によっても初期化されます。

2.8.6.3.2 JBRDR : JTAG ブート受信データレジスタ

Base address: OCD_CPU = 0x4001_1000
OCD_CPU_NS = 0x5001_1000
OCD_DAP = 0x8001_1000(注1)

Offset address: 0x120

Bit position:	31																												0
Bit field:	RDAT[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	RDAT[31:0]	受信データレジスタ R/W は外部ホストと CPU の両方で可能ですが、次のように使い分けることを推奨します。 W: 外部ホスト R: CPU（ブートファームウェア） JBSTR.RDF = 1 のとき、書き込みができず、エラーが発生します。	R/W

注. S-TYPE-5、P-TYPE-2
注 1. このアドレスは外部デバッガからアクセスします。

JBRDR レジスタは、デバッガからのデータの受信に使用します。

2.8.6.3.3 JBTDR : JTAG ブート送信データレジスタ

Base address: OCD_CPU = 0x4001_1000
OCD_CPU_NS = 0x5001_1000
OCD_DAP = 0x8001_1000(注1)

Offset address: 0x130

Bit position:	31																												0
Bit field:	TDAT[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	TDAT[31:0]	送信データレジスタ R/W は外部ホストと CPU の両方で可能ですが、次のように使い分けることを推奨します。 W: CPU（ブートファームウェア） R: 外部ホスト JBSTR.TDE = 1 のとき、読み出しができず、エラーが発生します。	R/W

注. S-TYPE-5、P-TYPE-2
注 1. このアドレスは外部デバッガからアクセスします。

JBTDR レジスタは、デバッガへのデータの送信に使用されます。

2.8.6.3.4 JBSTR : JTAG ブートステータスレジスタ

Base address: OCD_CPU = 0x4001_1000
OCD_CPU_NS = 0x5001_1000
OCD_DAP = 0x8001_1000(注1)

Offset address: 0x140

Bit position:	31																											1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TDE	RDF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
0	RDF	受信バッファフル 0: 受信データなし 1: 受信データあり	R/W
1	TDE	送信データエンプティ 0: データ送信あり 1: データ送信なし	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-5、P-TYPE-2
注 1. このアドレスは外部デバッガからアクセスします。

JBSTR レジスタはブート状態の監視に使用します。

RDF フラグ（受信バッファフル）

RDF ビットは受信バッファが満杯かどうかを示します。

[1 になる条件]

- JBTDR の読み出し
- JBSTR.RDF への 1 の書き込み

[0 になる条件]

- JBTDR への書き込み
- JBSTR.RDF への 0 の書き込み

TDE フラグ（送信データエンプティ）

TDE ビットは送信データがエンプティかどうかを示します。

[1 になる条件]

- JBTDR の読み出し
- JBSTR.TDE への 1 の書き込み

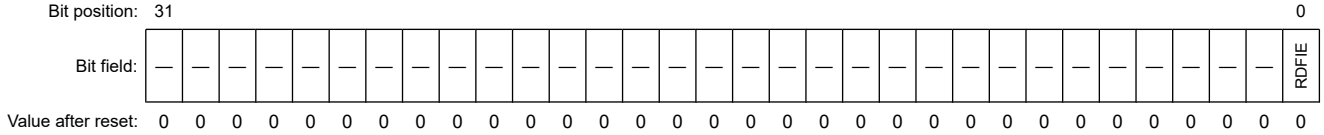
[0 になる条件]

- JBTDR への書き込み
- JBSTR.TDE への 0 の書き込み

2.8.6.3.5 JBICR : JTAG ブート割り込みコントロールレジスタ

Base address: OCD_CPU = 0x4001_1000
OCD_CPU_NS = 0x5001_1000
OCD_DAP = 0x8001_1000(注1)

Offset address: 0x150



ビット	シンボル	機能	R/W
0	RDFIE	受信バッファフル割り込み許可 0: RDF = 1 で割り込み要求を禁止 1: RDF = 1 で割り込み要求を許可	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-5、P-TYPE-2
注 1. このアドレスは外部デバッガからアクセスします。

JBICR レジスタは、JTAG ブート中の割り込みを制御するのに使用します。

2.8.6.4 CoreSight コンポーネントレジスタ

OCDREG には、ARM CoreSight アーキテクチャで定義された CoreSight コンポーネントレジスタがあります。表 2.22 にレジスタ一覧を示します。

各レジスタの詳細は、「2.14. 参考資料」 [7]を参照してください。

表 2.22 CoreSight コンポーネントレジスタ

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	0x8001_1FD0	32 ビット	読み出しのみ可能	0x00000004
PID5	0x8001_1FD4	32 ビット	読み出しのみ可能	0x00000000
PID6	0x8001_1FD8	32 ビット	読み出しのみ可能	0x00000000
PID7	0x8001_1FDC	32 ビット	読み出しのみ可能	0x00000000
PID0	0x8001_1FE0	32 ビット	読み出しのみ可能	0x00000004
PID1	0x8001_1FE4	32 ビット	読み出しのみ可能	0x00000030
PID2	0x8001_1FE8	32 ビット	読み出しのみ可能	0x0000000A
PID3	0x8001_1FEC	32 ビット	読み出しのみ可能	0x00000000
CID0	0x8001_1FF0	32 ビット	読み出しのみ可能	0x0000000D
CID1	0x8001_1FF4	32 ビット	読み出しのみ可能	0x000000F0
CID2	0x8001_1FF8	32 ビット	読み出しのみ可能	0x00000005
CID3	0x8001_1FFC	32 ビット	読み出しのみ可能	0x000000B1

注. S-TYPE-5、P-TYPE-2

2.9 CoreSight クロストリガインタフェース (CTI)

表 2.23 CTI チャネル

CTI チャネル数	CTITRIGIN		CTITRIGOUT	
CTI	0	ACQCOMP	0	—
	1	FULL	1	—
	2	—	2	ETB FLUSHIN
	3	—	3	ETB TRIGIN
	4	—	4	—
	5	—	5	—
	6	—	6	—
	7	—	7	—
CTI0	0	プロセッサ停止	0	プロセッサデバッグ要求
	1	DWT コンパレータ出力 0	1	プロセッサ再開始
	2	DWT コンパレータ出力 1	2	CTIIRQ[0]（ICU0 に接続）
	3	DWT コンパレータ出力 2	3	CTIIRQ[1]（ICU0 に接続）
	4	ETM イベント出力 0	4	ETM イベント入力 0
	5	ETM イベント出力 1	5	ETM イベント入力 1
	6	—	6	ETM イベント入力 2
	7	—	7	ETM イベント入力 3

本 MCU は、デバッグモジュールに実装されたプロセッサ CTI0 および CoreSight 共通 CTI をサポートしています。CTIIRQ を使用する場合、ICU 設定が必要です。

2.10 CoreSight ATB ファネル

本 MCU には CoreSight ATB ファネルが 1 つあります。ファネルには 2 つの ATB スレーブと 1 つの ATB マスタがあり、ETM および ITM から ETB までのデバッグトレースソースの選択に使用します。図 2.3 に MCU 内の CoreSight ATB 接続を示します。

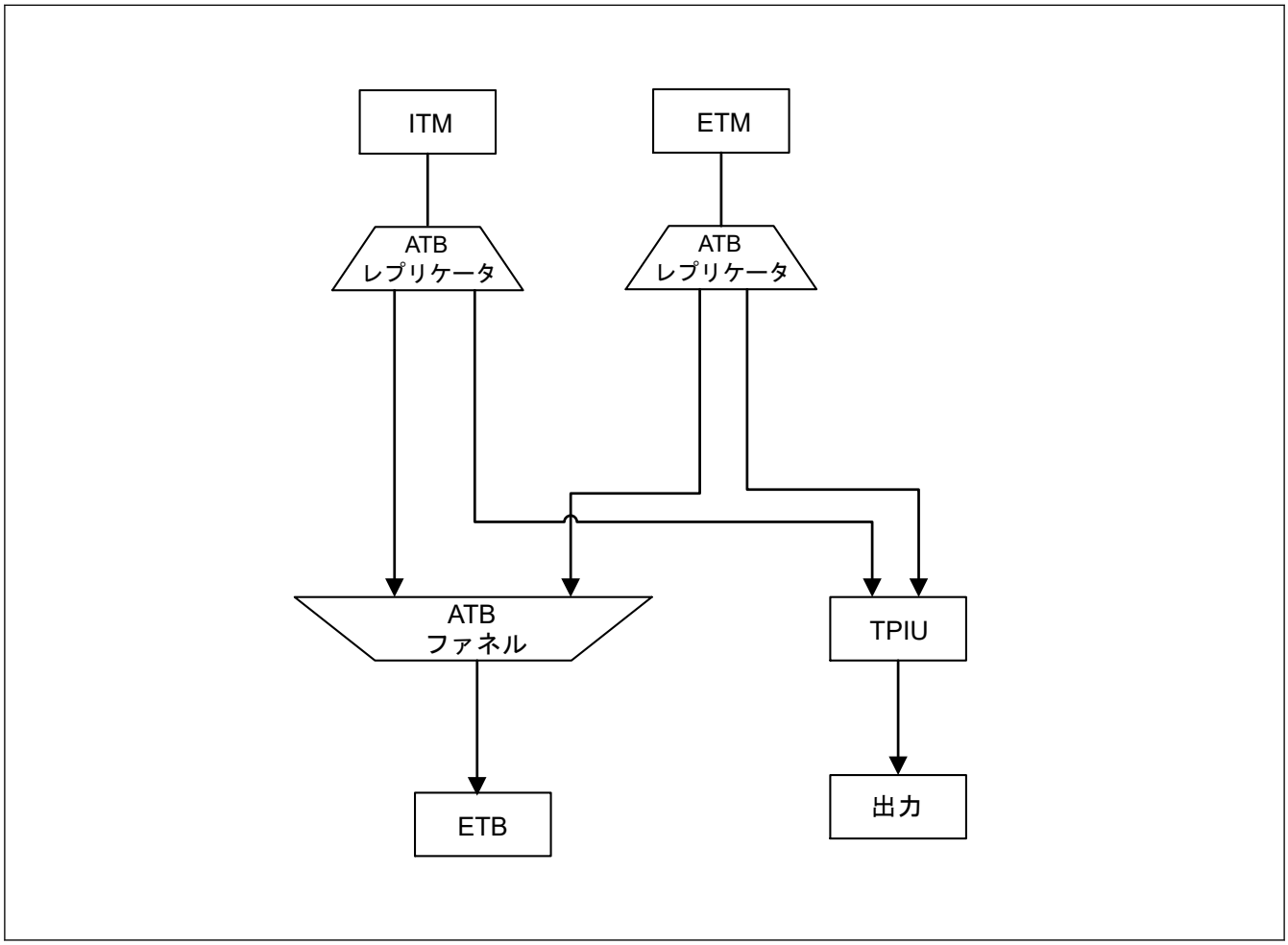


図 2.3 MCU 内の CoreSight ATB 接続

表 2.24 にファネル ATB スレーブ接続を示します。

表 2.24 ファネル ATB スレーブ接続

ATB スレーブ番号	接続されたトレースソース
#0	CPU-ITM
#1	CPU-ETM

ATB とファネルの詳細は、「2.14. 参考資料」の[5]を参照してください。

2.11 SysTick システムタイマ

本 MCU は、セキュア SysTick と非セキュア SysTick という 2 つの SysTick システムタイマを内蔵しています。

SysTick 要因は CPUCLK または SYSTICKCLK (MOCO/8) です。SysTick 要因が SYSTICKCLK (MOCO/8) の場合、CPUCLK 周波数は 2 MHz 以上である必要があります。

図 2.4 に SysTick タイマのブロック図を示します。

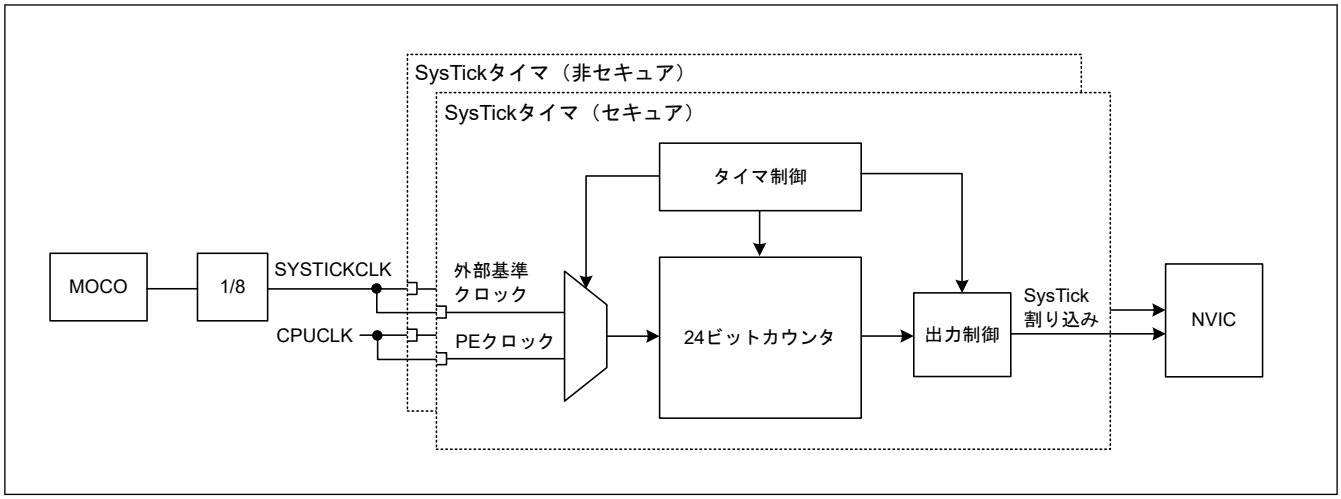


図 2.4　SysTick タイマのブロック図

2.12　CoreSight タイムスタンプ発生器

MCU には、TM と ETM にタイムスタンプを供給する CoreSight タイムスタンプ発生器があります。

タイムスタンプは、ICLK/2 で動作する 64 ビットカウンタにより生成されます。

詳細については、「2.14. 参考資料」の[5]を参照してください。

2.13　OCD エミュレータ接続

この製品では、MCU は OCDREG に格納された現在の認証レベルをチェックすることによって MCU リソースのアクセス権を確認します。

認証レベルの制御方法は 2 つあります。

- JTAG/SWD を使用。図 2.5 を参照してください。
- ソフトウェアを使用。図 2.6 を参照してください。

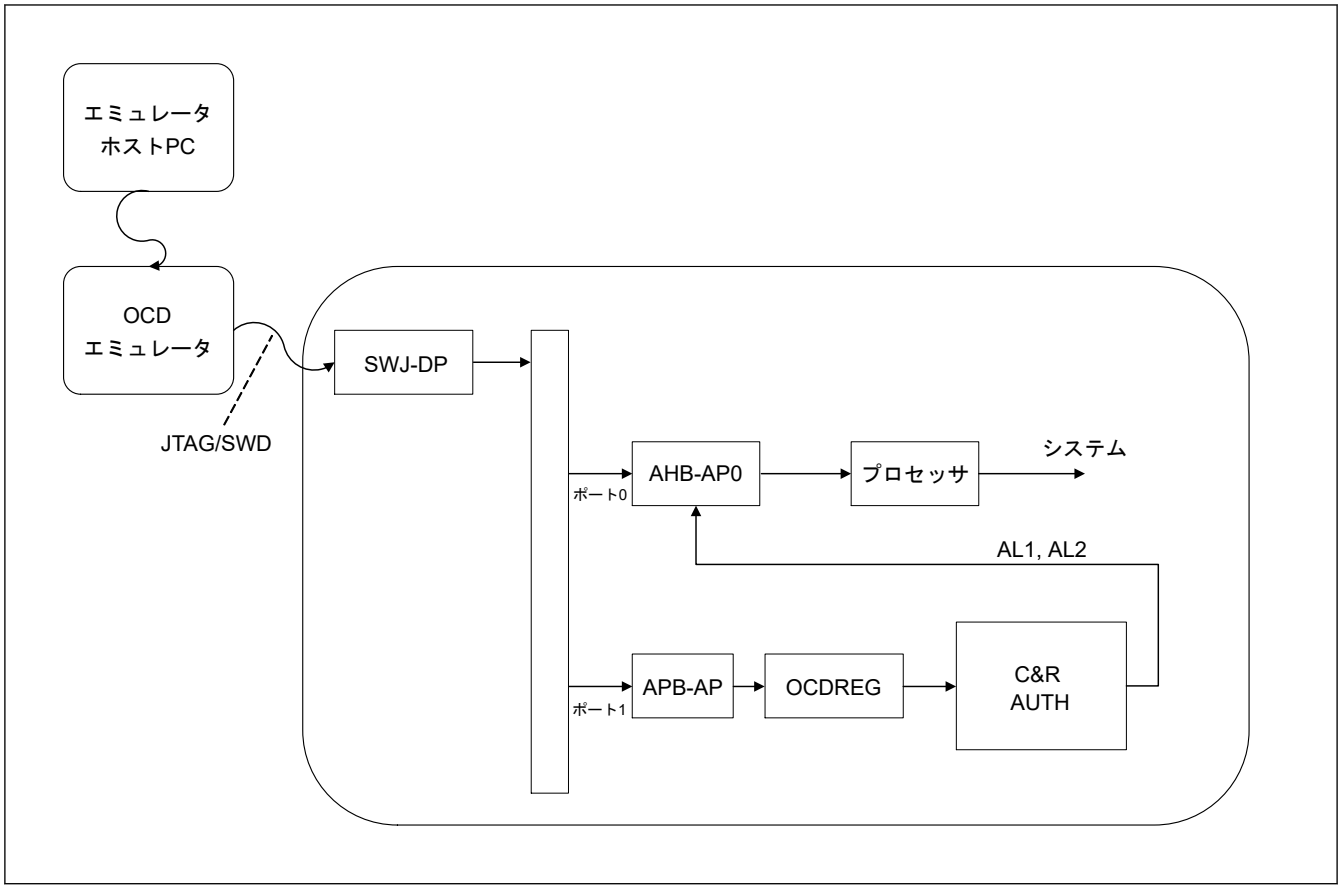


図 2.5　JTAG/SWD による認証レベルの制御

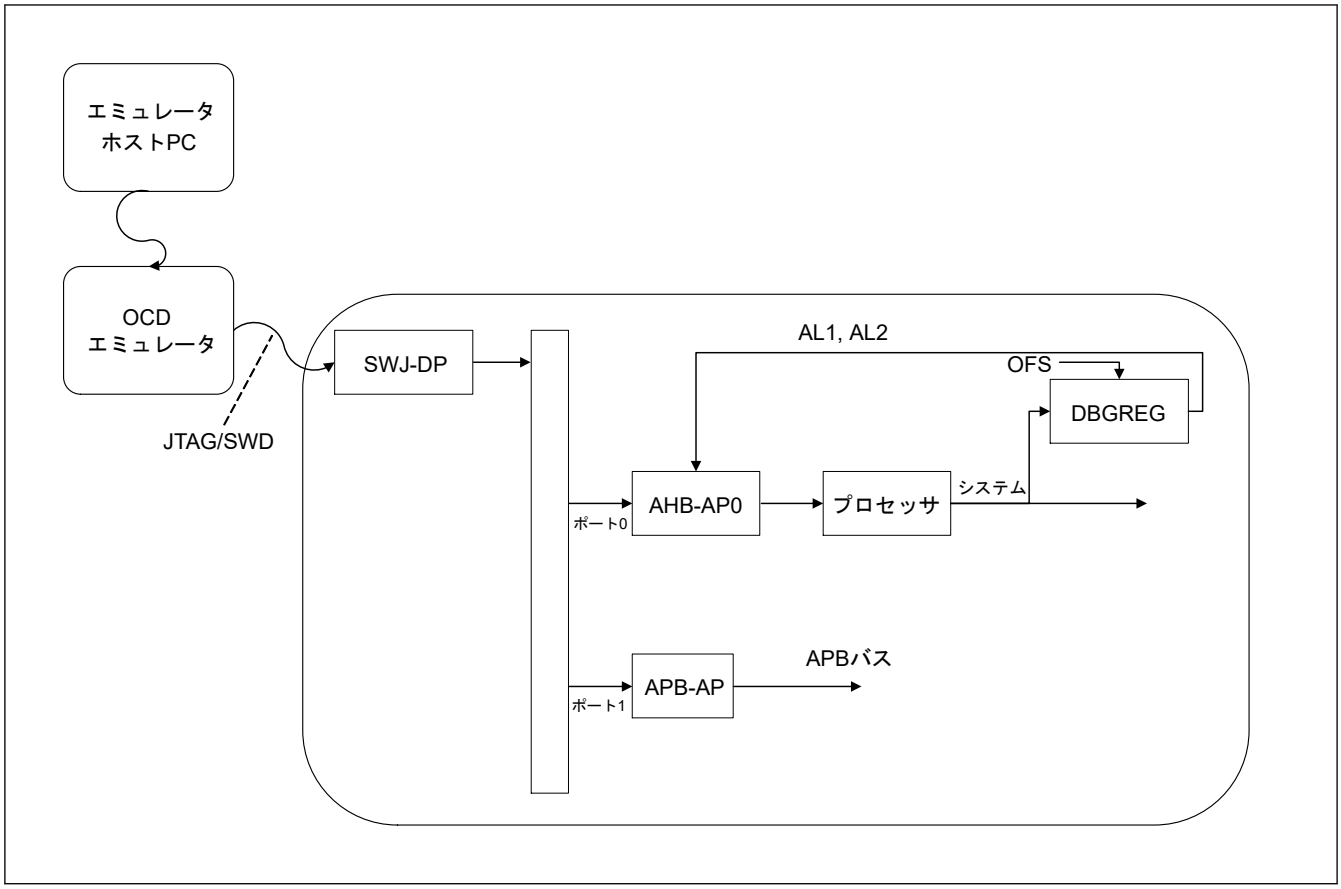


図 2.6　ソフトウェアを使用した認証レベルの制御

2.13.1　SYOCDCR.DBGEN

詳細は「2.7.3.1. 低消費電力モード」を参照してください。

2.13.2　OCD エミュレータ接続での制限

エミュレータアクセスに関するいくつかの制限があります。本項では、これらの制限について説明します。

2.13.3　低消費電力モードでの接続開始

OCD エミュレータから JTAG/SWD 接続を開始するとき、MCU は通常モード、CPU スリープモード、または CPU ディープスリープモードでなければなりません。MCU がソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードであると、OCD エミュレータは MCU をハングさせる場合があります。

2.13.4　デバッグ中の低消費電力モードへの切り替え

本 MCU が OCD モードであるとき、低消費電力モードへの切り替えが可能です。ただし、AHB-AP からのシステムバスアクセスは、ディープスリープモード、ソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモードでは禁止されます。これらのモードでは、SWJ-DP、APB-AP、および OCDREG に対してのみ、OCD エミュレータからのアクセスが可能です。表 2.25 に制限事項を示します。

表 2.25　デバッグ中の低消費電力モードへの切り替え (1/2)

現在のモード	OCD エミュレータ接続開始	低消費電力モードへの変更	AHB-AP とシステムバスへのアクセス	APB-AP と OCDREG へのアクセス
通常	可能	可能	可能	可能
スリープ	可能	可能	可能	可能
ディープスリープ	可能	可能	該当なし	可能
ソフトウェアスタンバイ	該当なし	可能	該当なし	可能

表 2.25 デバッグ中の低消費電力モードへの切り替え (2/2)

現在のモード	OCD エミュレータ接続開始	低消費電力モードへの変更	AHB-AP とシステムバスへのアクセス	APB-AP と OCDREG へのアクセス
ディープソフトウェアスタンバイ	該当なし	可能	該当なし	可能

2.13.5 接続シーケンスと JTAG/SWD 認証

この節では、MCU の認証方法を説明します。最初に、この節では、MCU の認証にどの機構を使用するのかを説明します。次に、上記で説明した機構を使用して、この説では JTAG/SWD を使った接続シーケンスと MCU の認証手順を説明します。JTAG/SWD 認証を制御するレジスタの詳細については、「2.8.5. DBGREG」と「2.8.6. OCDREG」を参照してください。

2.13.5.1 JTAG/SWD 認証機構

本 MCU の共通プラットフォームはチャレンジ&レスポンス認証をサポートしています。

チャレンジ&レスポンス認証の場合は、ブート FW が認証を行います。

2.13.5.2 接続シーケンスと JTAG/SWD 認証

チャレンジ&レスポンス認証の場合：

1. JTAG または SWD インタフェースを介して OCD デバッガを本 MCU に接続します。
2. DAP バスにアクセスするよう SWJ-DP を設定します。
   この設定において、OCD エミュレータは SWJDP コントロールステータスレジスタの CDBGPWRUPREQ をアサートした後、同レジスタの CDBGPWRUPACK がアサートされるまで待つ必要があります。
3. OCDREG にアクセスするよう APB-AP を設定します。この APB-AP は DAP バスのポート 1 に接続されます。
4. ブートモード要求を設定します。
5. RES をネゲートします。
6. MCUSTAT.AL を確認します。
   MCUSTAT.AL が要求 AL 以上の場合は、認証の必要はありません。
7. 認証データを設定します。
8. MCUSTAT.AL を確認します。
   (a) MCUSTAT.AL が AL を要求しない場合、要求は失敗です。
   (b) 認証をリトライする場合は手順 7 に進みます。
9. RES をアサートしてシングルチップモードに遷移します。
10. システムアドレス空間にアクセスするよう AHB-AP を設定します。AHB-AP は DAP バスのポート 0 に接続されます。
11. AHB-AP を使用して、CPU デバッグリソースへのアクセスを開始します。

2.14 参考資料

[1] Arm Limited., *Arm®v8-M Architecture Reference Manual* (ARM DDI 0553B)

[2] Arm Limited., *Arm® Cortex®-M85 Processor Technical Reference Manual* (ARM 101924)

[3] Arm Limited., *Arm® Cortex®-M85 Processor Integration and Implementation Manual* (ARM 101925)

[4] Arm Limited., *Arm® Cortex®-M85 Processor Devices Generic User Guide* (ARM 101928)

[5] Arm Limited., *Arm® CoreSight™ SoC-400 Technical Reference Manual* (ARM DDI 0480G)

[6] Arm Limited., *Arm® CoreSight™ ETM-M85 Technical Reference Manual* (ARM 101926)

[7] Arm Limited., *Arm® CoreSight™ Architecture Specification* (ARM IHI 0029F)

[8] Arm Limited., *Arm® Embedded Trace Macrocell Architecture Specification* (ARM IHI 0064H.a)

[9] Arm Limited., *Arm® CoreSight SoC-400 User Guide* (ARM 100490)

2.15 使用上の注意事項

2.15.1 OSPI の制約事項

OSPI の使用に関して制約事項があります。「35.4.3. メモリ書き込み結合モード」と「35.4.5. 8D-8D-8D プロファイル 1.0 フォーマットの制限事項」を参照してください。

3. 動作モード

3.1 概要

表 3.1 は、モード設定端子（MD 端子）と JTAG アクセス可能コマンドによる動作モードの選択を示しています。詳細は、「3.3. 動作モードの詳細」を参照してください。

表 3.1 モード設定端子による動作モードの選択

モード設定端子 (MD)	動作モード	内蔵フラッシュ
1	シングルチップモード／ JTAG ブートモード	有効
0	SCI/USB ブートモード	有効

3.2 動作モードの種類と選択

表 3.1 に、リセット状態解除時のモード設定端子 (MD) のレベルとそのときに選択される動作モードの対応関係を示します。各動作モードの詳細については、「3.3. 動作モードの詳細」を参照してください。 どの動作モードで起動しても、内蔵フラッシュメモリが有効な状態で動作を開始します。

3.3 動作モードの詳細

3.3.1 シングルチップモード

シングルチップモードでは、すべての入出力端子が、入出力ポート、周辺機能入出力、または割り込み入力として使用可能です。MD 端子が High になっているときにリセットが解除されると、MCU はシングルチップモードで起動し、内蔵フラッシュメモリが有効になります。

3.3.2 JTAG ブートモード

このモードでは、MCU 内部のブート領域に格納された、内蔵フラッシュメモリ書き込みルーチン（JTAG ブートプログラム）が使用されます。JTAG および SWD インタフェースを使用して、MCU 外部から内蔵フラッシュメモリ（コードフラッシュメモリとデータフラッシュメモリ）を書き換えることができます。このモードでは、APB-AP コントロール／ステータスワードレジスタの CSW.DbgSwEnable ビットを 1 にしてください。

このモードに遷移するには、RES 端子リセット中に JTAG-I/F と SWD-IF から要求を入力する必要があります。

3.3.3 SCI ブートモード

このモードでは、MCU 内部の専用領域に格納された、内蔵フラッシュメモリ書き込みルーチン（SCI ブートプログラム）が用いられます。調歩同期式シリアル通信インタフェース (UART) SCI を使用して、MCU 外部から内蔵フラッシュメモリ（コードフラッシュメモリ、データフラッシュメモリ）を書き換えることができます。詳細は、「49. フラッシュメモリ」を参照してください。MD 端子を Low に保持してリセットを解除すると、SCI ブートモードで起動します。

3.3.4 USB ブートモード

このモードでは、MCU 内部のブート領域に格納された、内蔵フラッシュメモリ書き込みルーチン（USB ブートプログラム）が用いられます。USB を使用して、MCU 外部から内蔵フラッシュメモリ（コードフラッシュメモリ、データフラッシュメモリ）を書き換えることができます。詳細は、「49. フラッシュメモリ」を参照してください。MD 端子を Low に保持してリセットを解除すると、USB ブートモードで起動します。

3.4 動作モード遷移

3.4.1 動作モードとモード遷移の関係

図 3.1 に動作モードとモード遷移の関係を示します。動作モードは、図の矢印の向きに遷移できます。

POR を使用した JTAG ブートモードは、選択できません。

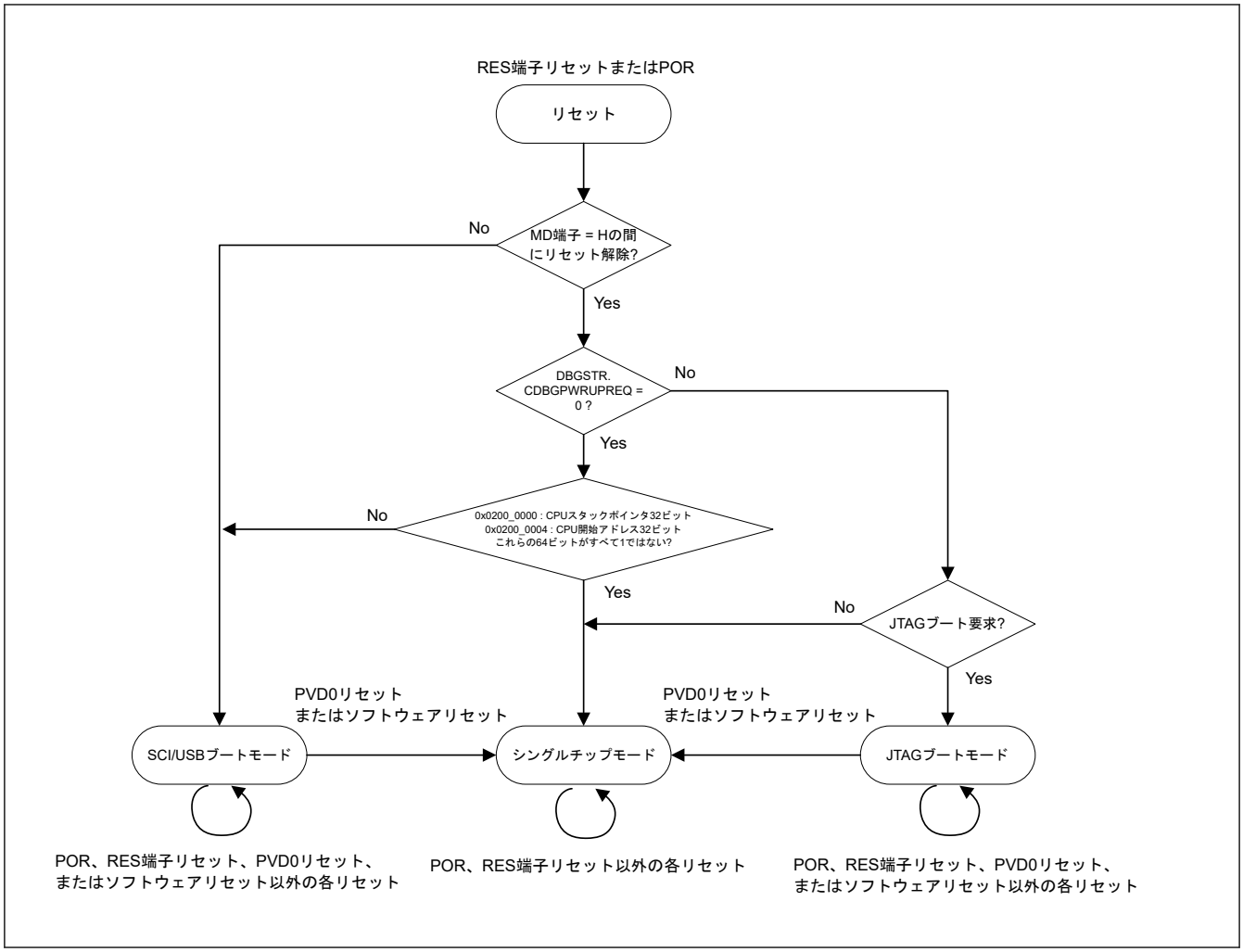
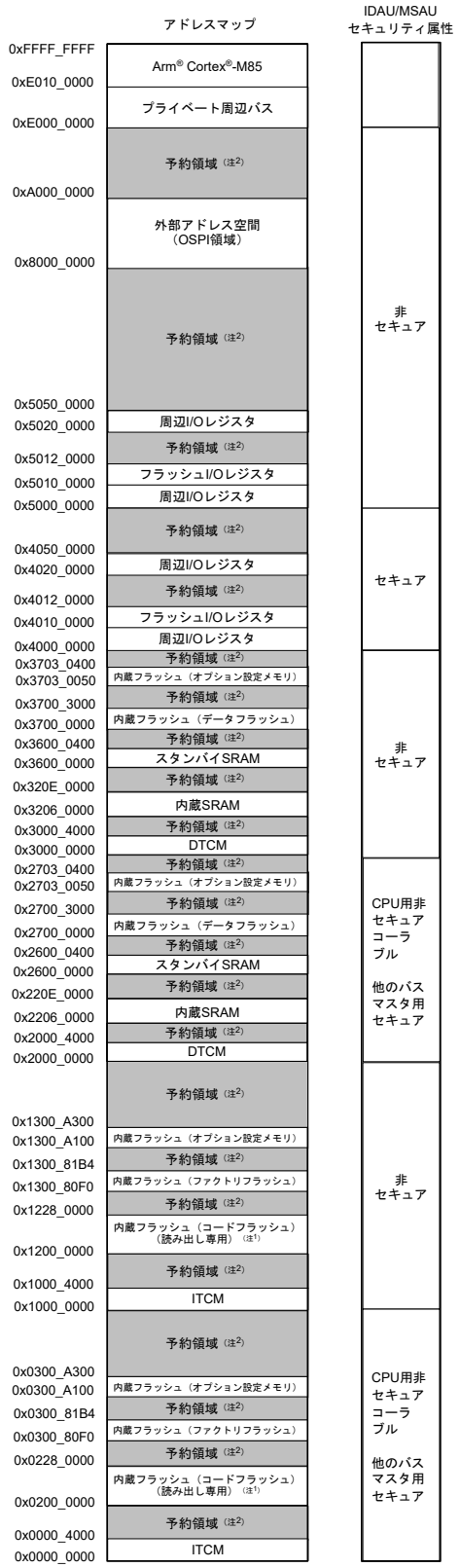


図 3.1　動作モードとモード遷移の関係

4. アドレス空間

4.1 アドレス空間

本 MCU は、プログラムとデータの両方を格納できる 4 GB のリニアアドレス空間 (0x0000_0000～0xFFFF_FFFF) をサポートしています。0x0000_0000～0x5FFF_FFFF のアドレスにおいて、アドレスのビット 28 を使用してセキュア領域と非セキュア領域が分離されます。セキュリティ属性の詳細については、「40.3. Arm セキュリティ機能」を参照してください。図 4.1 にメモリマップを示します。



注 1. 表 4.1 と表 4.2 を参照してください。フラッシュの容量は製品により異なります。
注 2. 予約領域にアクセスしないでください。

図 4.1 メモリマップ

表 4.1 セキュアエイリアスでのコードフラッシュメモリ、データフラッシュメモリ、内蔵 SRAM の容量

コードフラッシュメモリ			データフラッシュメモリ		内蔵 SRAM	
容量	アドレス		容量	アドレス	容量	アドレス
	リニアモード	デュアルモード (BANKSEL.BANKSWP[2:0] = 111b)				
1 MB	0x0200_0000～ 0x020F_FFFF	上側バンク：0x0220_0000～ 0x0227_FFFF 下側バンク：0x0200_0000～ 0x0207_FFFF	12 KB	0x2700_0000～ 0x2700_2FFF	512 KB	0x2206_0000～ 0x220D_FFFF

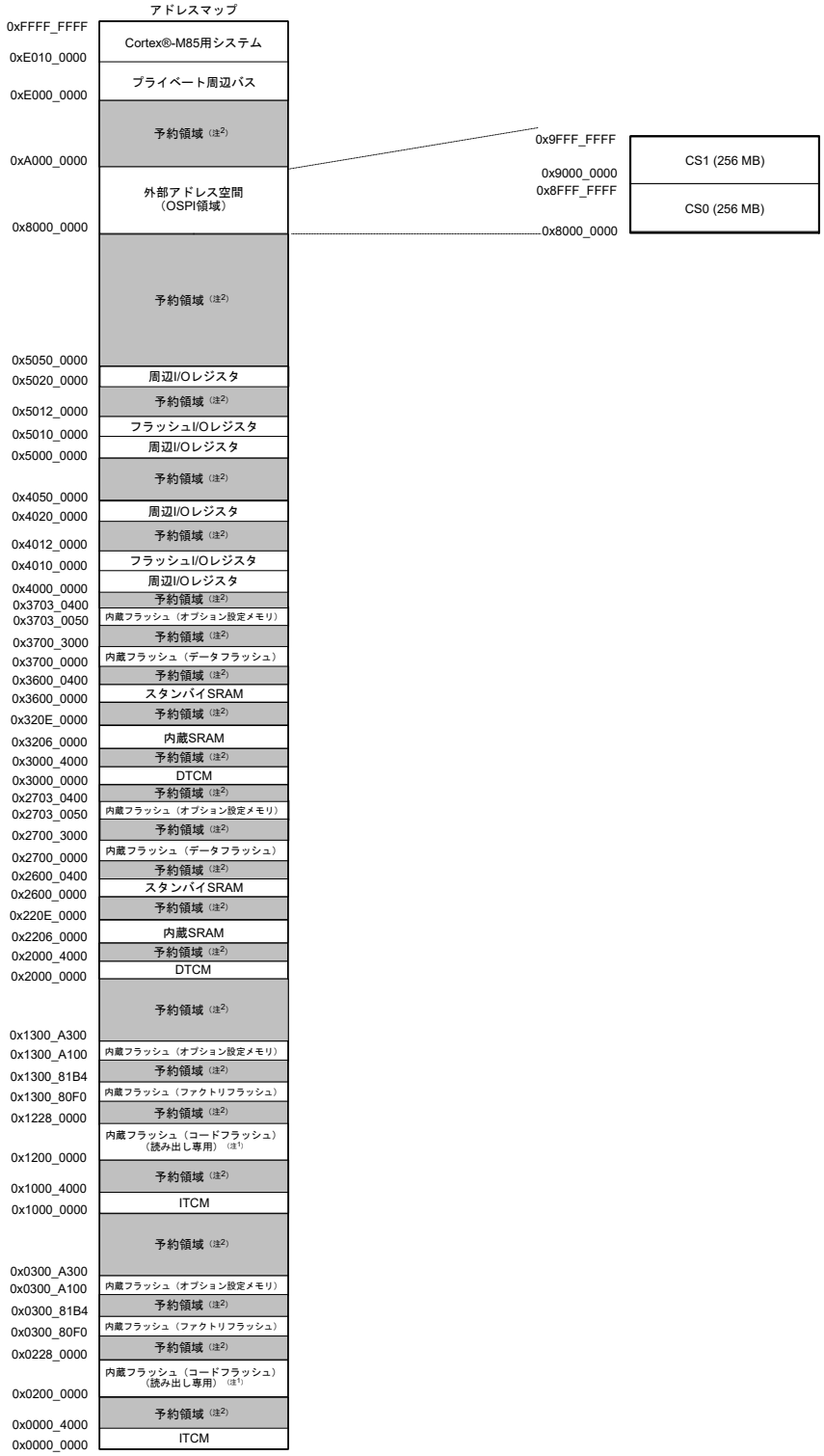
表 4.2 非セキュアエイリアスでのコードフラッシュメモリ、データフラッシュメモリ、内蔵 SRAM の容量

コードフラッシュメモリ			データフラッシュメモリ		内蔵 SRAM	
容量	アドレス		容量	アドレス	容量	アドレス
	リニアモード	デュアルモード (BANKSEL.BANKSWP[2:0] = 111b)				
1 MB	0x1200_0000～ 0x120F_FFFF	上側バンク：0x1220_0000～ 0x1227_FFFF 下側バンク：0x1200_0000～ 0x1207_FFFF	12 KB	0x3700_0000～ 0x3700_2FFF	512 KB	0x3206_0000～ 0x320D_FFFF

4.2 外部アドレス空間

外部アドレス空間は、OSPI 領域 (CS0, CS1) に分割されます。2 つの OSPI 領域 (CS0, CS1) はそれぞれ、OM_CSn (n = 0, 1) 端子からの OM_CSn 信号出力に対応しています。

図 4.2 に、OSPI 領域（CS0 および CS1）それぞれに対応するアドレス範囲を示します。



注 1. 表 4.1 を参照してください。フラッシュの容量は製品により異なります。
注 2. 予約領域にアクセスしないでください。

図 4.2 CS 領域と OSPI 領域のアドレスマップの詳細

5. リセット

5.1 概要

本 MCU は以下の 13 種類のリセットをサポートしています。

また、セキュアプログラムアクセスのみで、リセット発生を制御する機能も有します。

システムリセットは、CPU コアを初期化できる全要因です。本製品では、VBATT_POR を除くすべてのリセット要因はシステムリセットです。

一方で CPU には、自身を個別に初期化するリセットがあります。そのリセットは、システムリセットではありません。詳細は、「2. CPU」を参照してください。

表 5.1 にリセットの名称と要因を示します。

表 5.1 リセットの名称と要因

リセット名		要因
システムリセット	RES 端子リセット	RES 端子への入力電圧が Low
	パワーオンリセット (POR)	VCC 端子電圧の下降（電圧検出：V_{POR}）(注1)
	電圧監視 0 リセット	VCC 端子電圧の下降（電圧検出：V_{det0}）(注1)
	電圧監視 1 リセット	VCC 端子電圧の下降（電圧検出：V_{det1}）(注1)
	電圧監視 2 リセット	VCC 端子電圧の下降（電圧検出：V_{det2}）(注1)
	独立ウォッチドッグタイマリセット	IWDT のアンダーフローまたはリフレッシュエラー
	ウォッチドッグタイマリセット	WDT のアンダーフローまたはリフレッシュエラー (CPU)
	CPU ロックアップリセット	CPU ロックアップ時に発生
	バスエラーリセット	バスエラー（MSAU エラー、MMPU エラー、不正アドレスエラー、STZF エラー、スレーブバスエラー、バッファ書き込みエラー）
	共通メモリエラーリセット	RAM エラー（SRAM とスタンバイ SRAM のパリティエラー）
	ディープソフトウェアスタンバイリセット	割り込みによるディープソフトウェアスタンバイモードの解除
	ソフトウェアリセット	レジスタ設定（ソフトウェアリセットビット：AIRCR.SYSRESETREQ を使用）
VBATT_POR リセット		VBATT_R 端子電圧の下降（電圧検出：$V_{PDR\ (BATR)}$）(注1)

注 1. 監視電圧（V_{POR}、V_{det0}、V_{det1}、V_{det2}、および $V_{PDR\ (BATR)}$）の詳細については、「7. プログラマブル電圧検出 (PVD)」、「11. バッテリバックアップ機能」、および「52. 電気的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。表 5.2 と表 5.3 にリセット種類別の初期化対象を示します。

これらのレジスタのいくつかは、ソフトウェアスタンバイモードからの復帰時に初期化されます。「10. 低消費電力モード」を参照してください。

この表では、ソフトウェアスタンバイモードで「不定」と記載されているモジュールのレジスタが初期化されます。

表 5.2 リセット種類別の初期化対象（リセット検出フラグ） (1/3)

初期化対象フラグ	リセット要因						
	RES 端子リセット	パワーオンリセット	電圧監視 0 リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット	CPU ロックアップリセット	電圧監視 1 リセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	✓	—	—	—	—	—	—
電圧監視 0 リセット検出フラグ (RSTSR0.PVD0RF)	✓	✓	—	—	—	—	—
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	✓	✓	✓	—	—	—	—

表 5.2 リセット種類別の初期化対象（リセット検出フラグ） (2/3)

初期化対象フラグ	リセット要因						
	RES 端子リセット	パワーオンリセット	電圧監視 0 リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット	CPU ロックアップリセット	電圧監視 1 リセット
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDT0RF)	✓	✓	✓	—	—	—	—
CPU ロックアップリセット検出フラグ (RSTSR1.CLU0RF)	✓	✓	✓	—	—	—	—
電圧監視 1 リセット検出フラグ (RSTSR0.PVD1RF)	✓	✓	✓	—	—	—	—
電圧監視 2 リセット検出フラグ (RSTSR0.PVD2RF)	✓	✓	✓	—	—	—	—
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	✓	✓	✓	—	—	—	—
バスエラーリセット検出フラグ (RSTSR1.BUSRF)	✓	✓	✓	—	—	—	—
共通メモリエラーリセット検出フラグ (RSTSR1.CMRF)	✓	✓	✓	—	—	—	—
ディープソフトウェアスタンバイリセット検出フラグ (RSTSR0.DPSRSTF)	✓	✓	✓	—	—	—	—
コールドスタート／ウォームスタート判別フラグ (RSTSR2.CWSF)	—	✓	—	—	—	—	—

表 5.2 リセット種類別の初期化対象（リセット検出フラグ） (3/3)

初期化対象フラグ	リセット要因							
	電圧監視 2 リセット	ソフトウェアリセット	バスエラーリセット	共通メモリエラーリセット	ディープソフトウェアスタンバイリセット			VBATT_POR(注1)
					ディープソフトウェアスタンバイモード 1	ディープソフトウェアスタンバイモード 2	ディープソフトウェアスタンバイモード 3	
パワーオンリセット検出フラグ (RSTSR0.PORF)	—	—	—	—	—	—	—	—
電圧監視 0 リセット検出フラグ (RSTSR0.PVD0RF)	—	—	—	—	—	—	—	—
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	—	—	—	—	—	✓	✓	—
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDT0RF)	—	—	—	—	—	✓	✓	—
CPU ロックアップリセット検出フラグ (RSTSR1.CLU0RF)	—	—	—	—	—	✓	✓	—
電圧監視 1 リセット検出フラグ (RSTSR0.PVD1RF)	—	—	—	—	—	—	—	—
電圧監視 2 リセット検出フラグ (RSTSR0.PVD2RF)	—	—	—	—	—	—	—	—
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	—	—	—	—	—	✓	✓	—
バスエラーリセット検出フラグ (RSTSR1.BUSRF)	—	—	—	—	—	✓	✓	—
共通メモリエラーリセット検出フラグ (RSTSR1.CMRF)	—	—	—	—	—	✓	✓	—
ディープソフトウェアスタンバイリセット検出フラグ (RSTSR0.DPSRSTF)	—	—	—	—	—	—	—	—
コールドスタート／ウォームスタート判別フラグ (RSTSR2.CWSF)	—	—	—	—	—	—	—	—

注. ✓ : 0 に初期化される
— : 初期化されない

注 1. VBATT_POR の詳細については、「11. バッテリバックアップ機能」を参照してください。

表 5.3 リセット種類別の初期化対象（各モジュールの関連レジスタ） (1/4)

初期化対象レジスタ		リセット要因						
		RES#端子リセット	パワーオンリセット	電圧監視 0 リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット	CPU ロックアップリセット	電圧監視 1 リセット
電圧監視機能 1 のレジスタ	PVD1CR0, PVD1CMPCR, PVD1FCR	✓	✓	✓	✓	✓	—	—
	PVD1CR1. PVD1SR	✓	✓	✓	✓	✓	—	—
電圧監視機能 2 のレジスタ	PVD2CR0, PVD2CMPCR, PVD2FCR	✓	✓	✓	✓	✓	—	—
	PVD2CR1. PVD2SR	✓	✓	✓	✓	✓	—	—
SOSC のレジスタ	SOSCCR, SOMCR	—	—	—	—	—	—	—
LOCO のレジスタ	LOCOUTCR	—	✓	✓	—	—	—	—
MOSC のレジスタ	MOMCR	✓	✓	✓	✓	✓	✓	✓
HOCO コントロールレジスタ 2	HOCOCR2	—	✓	✓	—	—	—	—
端子状態（XCIN/XCOUT 端子以外）		✓	✓	✓	✓	✓	✓	✓
端子状態（XCIN/XCOUT 端子）		—	—	—	—	—	—	—
IO キャプチャおよび改ざん検出 (VBAT)（RTC 用サンプリングタイミング）(RTCIC0-2)	VBTICTLR,VBTICTLR2,VBTADSR, VBTADCR1,VBTADCR2	—	—	—	—	—	—	—
VBATT バッテリ電源スイッチコントロールレジスタ 1	VBTBPCR1	✓	✓	✓	✓	✓	✓	✓
VBATT バッテリ電源スイッチコントロールレジスタ 2	VBTBPCR2	—	—	—	—	—	—	—
VBATT バックアップイネーブルレジスタ	VBTBER	—	✓	—	—	—	—	—
バッテリバックアップのレジスタ	VBTBKR[n]	—	—	—	—	—	—	—
VBATT 入力監視レジスタ	VBTIMONR	—	—	—	—	—	—	—
独立ウォッチドッグタイマのレジスタ	IWDTRR, IWDTCR, IWDTSR, IWDTRCR, IWDTCSTPR	✓	✓	✓	✓	✓	✓	✓
リアルタイムクロックのレジスタ		—	—	—	—	—	—	—
超低消費電力タイマのレジスタ	ULPTCNT, ULPTCMA, ULPTCMB, ULPTCR, ULPTMR1, ULPTMR2, ULPTMR3, ULPTIOC, ULPTISR, ULPTCMSR	✓	✓	✓	✓	✓	✓	✓
USBFS のレジスタ	DPUSR0R, DPUSR1R	✓	✓	✓	✓	✓	✓	✓
リセットフラグ	BUSnERRADD (n = 4, 5), BUSnERRRW (n = 4, 5), BMSAnERRADD (n = 4, 5), BMSAnERRRW (n = 4, 5), BUSnERRSTAT (n = 1～5, 10) MBWERRSTAT, SBWERRSTAT, SRAMESR, SRAMEAR2, STBRAMEAR STBRAMEAR	✓	✓	✓	✓	✓	✓	✓
リセットフラグ		表 5.2 を参照してください。						
低消費電力機能のレジスタ	DPSBYCR, DPSWCR, DPSIER0～DPSIER3, DPSIFR0～DPSIFR3, DPSIEGR0～DPSIEGR2, LPSCR, FWEPROR, SSCR1, LVOCR	✓	✓	✓	✓	✓	✓	✓
低消費電力機能のレジスタ	SYOCDCR	—	✓	✓	—	—	—	—

表 5.3 リセット種類別の初期化対象（各モジュールの関連レジスタ） (2/4)

初期化対象レジスタ		リセット要因						
		RES#端子リセット	パワーオンリセット	電圧監視 0 リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット	CPU ロックアップリセット	電圧監視 1 リセット
システムリセットマスクコントロールレジスタ（注 7）	SYRSTMSK0, SYRSTMSK2	✓	✓	✓	—	—	—	—
ARM デバッグ機能	MCUSTAT, MCUCTRL, JBMDR, DBGSTR, DBGSTOPCR, DBGAUTH0,DBGAUTH1, CACHEDBGCR, TRPORTCR	—	✓	✓	—	—	—	—
TRCLK コントロールレジスタ	TRCKCR	—	✓	✓	—	—	—	—
パワーゲートコントロールレジスタ	PDRAMSCR0, PDRAMSCR1	—	✓	✓	—	—	—	—
指定以外		✓	✓	✓	✓	✓	✓	✓

表 5.3 リセット種類別の初期化対象（各モジュールの関連レジスタ） (3/4)

初期化対象レジスタ		リセット要因							
		電圧監視 2 リセット	ソフトウェアリセット	バスエラーリセット	共通メモリエラーリセット	ディープソフトウェアスタンバイリセット			VBATT 選択電圧パワーオンリセット
						ディープソフトウェアスタンバイモード 1 リセット	ディープソフトウェアスタンバイモード 2 リセット	ディープソフトウェアスタンバイモード 3 リセット	
電圧監視機能 1 のレジスタ	PVD1CR0, PVD1CMPCR, PVD1FCR	—	—	—	—	—	—	—	—
	PVD1CR1. PVD1SR	—	—	—	—	✓	✓	✓	—
電圧監視機能 2 のレジスタ	PVD2CR0, PVD2CMPCR, PVD2FCR	—	—	—	—	—	—	—	—
	PVD2CR1. PVD2SR	—	—	—	—	✓	✓	✓	—
SOSC のレジスタ	SOSCCR, SOMCR	—	—	—	—	—	—	—	✓
LOCO のレジスタ	LOCOUTCR	—	—	—	—	—	✓	✓	—
MOSC のレジスタ	MOMCR	✓	✓	✓	✓	—	—	—	—
HOCO コントロールレジスタ 2	HOCOCR2	—	—	—	—	✓(注3)	✓(注3)	✓(注3)	—
端子状態（XCIN/XCOUT 端子以外）		✓	✓	✓	✓	✓(注2)	✓(注2)	✓(注2)	—
端子状態（XCIN/XCOUT 端子）		—	—	—	—	—	—	—	✓
IO キャプチャおよび改ざん検出 (VBAT)（RTC 用サンプリングタイミング）(RTCIC0-2)	VBTICTLR,VBTICTLR2,VBTADSR, VBTADCR1,VBTADCR2	—	—	—	—	—	—	—	✓
VBATT バッテリ電源スイッチコントロールレジスタ 1	VBTBPCR1	✓	✓	✓	✓	—	—	—	—
VBATT バッテリ電源スイッチコントロールレジスタ 2	VBTBPCR2	—	—	—	—	—	—	—	✓
VBATT バックアップイネーブルレジスタ	VBTBER	—	—	—	—	—	—	—	—
バッテリバックアップのレジスタ	VBTBKR[n]	—	—	—	—	—	—	—	✓

表 5.3 リセット種類別の初期化対象（各モジュールの関連レジスタ） (4/4)

初期化対象レジスタ		リセット要因							
		電圧監視2リセット	ソフトウェアリセット	バスエラーリセット	共通メモリエラーリセット	ディープソフトウェアスタンバイリセット			VBATT選択電圧パワーオンリセット
						ディープソフトウェアスタンバイモード1リセット	ディープソフトウェアスタンバイモード2リセット	ディープソフトウェアスタンバイモード3リセット	
VBATT 入力監視レジスタ	VBTIMONR	—	—	—	—	—	—	—	—
独立ウォッチドッグタイマのレジスタ	IWDTRR, IWDTCR, IWDTSR, IWDTRCR, IWDTCSTPR	✓	✓	✓	✓	—	✓	✓	—
リアルタイムクロック(注1)のレジスタ		—	—	—	—	—	—	—	—
超低消費電力タイマのレジスタ	ULPTCNT, ULPTCMA, ULPTCMB, ULPTCR, ULPTMR1, ULPTMR2, ULPTMR3, ULPTIOC, ULPTISR, ULPTCMSR	✓	✓	✓	✓	—	✓	✓	—
USBFS のレジスタ	DPUSR0R, DPUSR1R	✓	✓	✓	✓	—	✓	✓	—
リセットフラグ	BUSnERRADD (n = 4, 5), BUSnERRRW (n = 4, 5), BMSAnERRADD (n = 4, 5), BMSAnERRRW (n = 4, 5), BUSnERRSTAT (n = 1〜5, 10) MBWERRSTAT, SBWERRSTAT, SRAMESR, SRAMEAR2, STBRAMEAR STBRAMEAR	✓	✓	—	—	✓	✓	✓	—
リセットフラグ		表 5.2 を参照してください。							
低消費電力機能のレジスタ	DPSBYCR, DPSWCR, DPSIER0〜DPSIER3, DPSIFR0〜DPSIFR3, DPSIEGR0〜DPSIEGR2, LPSCR, FWEPROR, SSCR1, LVOCR	✓	✓	✓	✓	—	—	—	—
低消費電力機能のレジスタ	SYOCDCR	—	—	—	—	—	—	—	—
システムリセットマスクコントロールレジスタ（注 7）	SYRSTMSK0, SYRSTMSK2	—	—	—	—	—	—	—	—
ARM デバッグ機能	MCUSTAT, MCUCTRL, JBMDR, DBGSTR, DBGSTOPCR, DBGAUTH0, DBGAUTH1, CACHEDBGCR, TRPORTCR	—	—	—	—	✓(注3)	✓(注3)	✓(注3)	—
TRCLK コントロールレジスタ	TRCKCR	—	—	—	—	✓(注3)	✓(注3)	✓(注3)	—
パワーゲートコントロールレジスタ	PDRAMSCR0, PDRAMSCR1	—	—	—	—	✓	✓	✓	—
指定以外		✓	✓	✓	✓	✓	✓	✓	—

注. ✓：初期化される
—：初期化されない

注 1. RTC にはソフトウェアリセットがあります。一部の制御ビットは、どの種類のリセットによっても初期化されません。対象ビットの詳細については、「24. リアルタイムクロック (RTC)」を参照してください。

注 2. DPSBYCR.IOKEEP の設定値に依存します。

注 3. デバッガ認証を通過後、SYOCDCR.DBGEN を 1 に設定しても、このレジスタまたはその機能は初期化されません。詳細は、「2. CPU」を参照してください。

SOSC と LOCO は RTC のクロックソースとして選択可能です。

表 5.4 と表 5.5 にリセット発生時の SOSC と LOCO の状態を示します。

表 5.4 リセット発生時の SOSC の状態

		リセット要因	
		VBATT_POR リセット	その他
SOSC	有効／無効	初期化（有効）	リセット発生前に選択されていた状態を継続
	駆動能力	初期化（標準駆動能力）	

表 5.5 リセット発生時の LOCO の状態

		リセット要因	
		パワーオンリセット、電圧監視 0 リセット、ディープソフトウェアスタンバイ 2、3 リセット	その他
LOCO	有効／無効	初期化（有効）	
	発振精度(注1)	初期化（LOCOUTCR による調整前の精度（精度：± 15%））	LOCOUTCR レジスタにより調整された精度を継続

注 1. LOCOUTCR レジスタにより調整された LOCO が RTC ソースクロックとして選択される場合、LOCO 発振精度がパワーオンリセット、電圧監視 0 リセット、およびディープソフトウェアスタンバイ 2、3 リセットによって、初期化されることに注意してください。

リセットが解除されると、リセット例外処理を開始します。リセット例外処理の詳細については、「5.3.12. リセット発生要因の判定」を参照してください。

表 5.6 にリセット機能に関連する端子を示します。

リセット例外処理の詳細については、「5.3.12. リセット発生要因の判定」を参照してください。

表 5.6 リセット関連端子

端子名	入出力	機能
RES	入力	リセット端子

5.2 レジスタの説明

5.2.1 RSTSAR : リセットセキュリティ属性レジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x3C4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	NONSEC2	NONSEC1	NONSEC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	NONSEC0	非セキュア属性ビット 0 対象レジスタ: リセットステータスレジスタ 0 0: セキュア 1: 非セキュア	R/W
1	NONSEC1	非セキュア属性ビット 1 対象レジスタ: リセットステータスレジスタ 1 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
2	NONSEC2	非セキュア属性ビット 2 対象レジスタ：リセットステータスレジスタ 2 0: セキュア 1: 非セキュア	R/W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1, P-TYPE-1

NONSEC0 ビット（非セキュア属性ビット 0）

本ビットは RSTSR0 のセキュリティ属性を制御します。

NONSEC1 ビット（非セキュア属性ビット 1）

本ビットは RSTSR1 のセキュリティ属性を制御します。

NONSEC2 ビット（非セキュア属性ビット 2）

本ビットは RSTSR2 のセキュリティ属性を制御します。

5.2.2 RSTSR0：リセットステータスレジスタ 0

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA40

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DPSRSTF	—	—	—	PVD2RF	PVD1RF	PVD0RF	PORF
Value after reset:	x(注1)	0	0	0	x(注1)	x(注1)	x(注1)	x(注1)

ビット	シンボル	機能	R/W
0	PORF	パワーオンリセット検出フラグ 0: パワーオンリセット未検出 1: パワーオンリセット検出	R/W(注2)
1	PVD0RF	電圧監視 0 リセット検出フラグ 0: 電圧監視 0 リセット未検出 1: 電圧監視 0 リセット検出	R/W(注2)
2	PVD1RF	電圧監視 1 リセット検出フラグ 0: 電圧監視 1 リセット未検出 1: 電圧監視 1 リセット検出	R/W(注2)
3	PVD2RF	電圧監視 2 リセット検出フラグ 0: 電圧監視 2 リセット未検出 1: 電圧監視 2 リセット検出	R/W(注2)
6:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	DPSRSTF	ディープソフトウェアスタンバイリセット検出フラグ 0: 割り込み／リセットによるディープソフトウェアスタンバイモード解除要求の発生なし(注3) 1: 割り込み／リセットによるディープソフトウェアスタンバイモード解除要求の発生あり(注3)	R/W(注2)

注. S-TYPE-3, P-TYPE-2
注 1. リセット後の値は、リセット要因で異なります。
注 2. フラグをクリアするための 0 の書き込みのみ可能です。フラグは、1 を読んだ後に 0 を書くことによりクリアしてください。
注 3. 独立ウォッチドッグタイマリセット、電圧監視 1 リセット、電圧監視 2 リセット

PORF フラグ（パワーオンリセット検出フラグ）

PORF フラグはパワーオンリセットが発生したことを示します。

[1 になる条件]

- パワーオンリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- PORF フラグから 1 を読んだ後に 0 を書いたとき

PVD0RF フラグ（電圧監視 0 リセット検出フラグ）

PVD0RF フラグは電圧監視 0 リセットが発生したことを示します。

[1 になる条件]

- 電圧監視 0 リセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- PVD0RF フラグから 1 を読んだ後に 0 を書いたとき

PVD1RF フラグ（電圧監視 1 リセット検出フラグ）

PVD1RF フラグは電圧監視 1 リセットが発生したことを示します。

[1 になる条件]

- 電圧監視 1 リセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- PVD1RF フラグから 1 を読んだ後に 0 を書いたとき

PVD2RF フラグ（電圧監視 2 リセット検出フラグ）

PVD2RF フラグは電圧監視 2 リセットが発生したことを示します。

[1 になる条件]

- 電圧監視 2 リセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- PVD2RF フラグから 1 を読んだ後に 0 を書いたとき

DPSRSTF フラグ（ディープソフトウェアスタンバイリセット検出フラグ）

DPSRSTF フラグは、外部または内部割り込みによってディープソフトウェアスタンバイモードが解除されたこと、およびディープソフトウェアスタンバイモードからの例外発生時に内部リセット（ディープソフトウェアスタンバイリセット）が発生したことを示します。

[1 になる条件]

- 外部または内部割り込みによってディープソフトウェアスタンバイモードが解除されたとき。詳細は、「10. 低消費電力モード」を参照してください。

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- DPSRSTF フラグから 1 を読んだ後に 0 を書いたとき

5.2.3 RSTSR1 : リセットステータスレジスタ 1

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x0C0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	CMRF	—	—	—	BUSRF	—	—	—	—	—	CLU0RF	—	SWRF	WDT0RF	IWDTRF
Value after reset:	0	x(注1)	0	0	0	x(注1)	0	0	0	0	0	x(注1)	0	x(注1)	x(注1)	x(注1)

ビット	シンボル	機能	R/W
0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ 0: 独立ウォッチドッグタイマリセット未検出 1: 独立ウォッチドッグタイマリセット検出	R/W(注2)
1	WDT0RF	ウォッチドッグタイマリセット検出フラグ 0: ウォッチドッグタイマリセット未検出 1: ウォッチドッグタイマリセット検出	R/W(注2)
2	SWRF	ソフトウェアリセット検出フラグ 0: ソフトウェアリセット未検出 1: ソフトウェアリセット検出	R/W(注2)
3	—	読むと 0 が読めます。書く場合、0 としてください。	
4	CLU0RF	CPU ロックアップリセット検出フラグ 0: CPU ロックアップリセット未検出 1: CPU ロックアップリセット検出	R/W(注2)
9:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	BUSRF	バスエラーリセット検出フラグ 0: バスエラーリセット未検出 1: バスエラーリセット検出	R/W(注2)
13:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	CMRF	共通メモリエラーリセット検出フラグ 0: 共通メモリエラーリセット未検出 1: 共通メモリエラーリセット検出	R/W(注2)
31:15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注 1. リセット後の値は、リセット要因によって異なります。
注 2. フラグをクリアするための 0 書き込みのみ可能です。フラグは、1 を読んだ後に 0 を書く必要があります。

IWDTRF フラグ（独立ウォッチドッグタイマリセット検出フラグ）

IWDTRF フラグは独立ウォッチドッグタイマリセットが発生したことを示します。

[1 になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- IWDTRF フラグから 1 を読んだ後、0 を書いたとき

WDT0RF フラグ（ウォッチドッグタイマリセット検出フラグ）

WDT0RF フラグはウォッチドッグタイマリセットが発生したことを示します。

[1 になる条件]

- ウォッチドッグタイマリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- WDT0RF フラグから 1 を読んだ後、0 を書いたとき

SWRF フラグ（ソフトウェアリセット検出フラグ）

SWRF フラグはソフトウェアリセットが発生したことを示します。

[1 になる条件]

- ソフトウェアリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- SWRF フラグから 1 を読んだ後、0 を書いたとき

CLU0RF フラグ（CPU ロックアップリセット検出フラグ）

CLU0RF フラグは CPU ロックアップリセットが発生したことを示します。

[1 になる条件]

- CPU ロックアップリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- CLU0RF フラグから 1 を読んだ後、0 を書いたとき

BUSRF フラグ（バスエラーリセット検出フラグ）

BUSRF フラグはバスエラーリセット（MSAU エラー、MMPU エラー、不正アドレスエラー、スレーブ TrustZone フィルタエラー、スレーブバスエラー、バッファ書き込みエラー）が発生したことを示します。

[1 になる条件]

- バスエラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- BUSRF フラグから 1 を読んだ後、0 を書いたとき

CMRF フラグ（共通メモリエラーリセット検出フラグ）

CMRF フラグは共通メモリエラーリセット（SRAM とスタンバイ SRAM のパリティエラー）が発生したことを示します。

[1 になる条件]

- 共通メモリエラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- CMRF フラグから 1 を読んだ後、0 を書いたとき

このリセットフラグの設定に対して、いくつかの要因があります。

リセット要因を確認したい場合は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

5.2.4 RSTSR2 : リセットステータスレジスタ 2

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA44

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CWSF
Value after reset:	0	0	0	0	0	0	0	x(注1)

ビット	シンボル	機能	R/W
0	CWSF	コールドスタート／ウォームスタート判別フラグ 0: コールドスタート 1: ウォームスタート	R/W(注2)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注 1. リセット後の値は、リセット要因で異なります。
注 2. フラグをセットするための 1 書き込みのみ可能です。

RSTSR2 レジスタは、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを判定するレジスタです。

CWSF フラグ (コールドスタート／ウォームスタート判別フラグ)

CWSF フラグはリセット処理の種類（コールドスタートまたはウォームスタート）を示します。CWSF フラグは、パワーオンリセットで初期化されます。RES 端子で生成されたリセット信号では初期化されません。

[1 になる条件]

- ソフトウェアで 1 を書いたとき。CWSF フラグに 0 を書き込んでも、このフラグは 0 になりません。

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき

5.2.5 SYRSTMSK0 : システムリセットマスクコントロールレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0xAD0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	BUSMASK	CMMASK	—	CLU0MASK	—	SWMASK	WDT0MASK	IWDTMASK
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDTMASK	独立ウォッチドッグタイマリセットマスク 0: リセットの発生を許可 1: リセットの発生を禁止	R/W
1	WDT0MASK	ウォッチドッグタイマリセットマスク 0: リセットの発生を許可 1: リセットの発生を禁止	R/W
2	SWMASK	ソフトウェアリセットマスク 0: リセットの発生を許可 1: リセットの発生を禁止	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	CLU0MASK	CPU ロックアップリセットマスク 0: リセットの発生を許可 1: リセットの発生を禁止	R/W

ビット	シンボル	機能	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	CMMASK	共通メモリエラーリセットマスク 0: リセットの発生を許可 1: リセットの発生を禁止	R/W
7	BUSMASK	バスエラーリセットマスク 0: リセットの発生を許可 1: リセットの発生を禁止	R/W

注. S-TYPE-6, P-TYPE-2
注. PRCR.PRC5 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SYRSTMSK0 レジスタは、リセットの発生を制御するレジスタです。

IWDTMASK ビットは、独立ウォッチドッグタイマの動作中に書き換えできません。WDT0MASK ビットは、ウォッチドッグタイマの動作中に書き換えできません。

5.2.6 SYRSTMSK2 : システムリセットマスクコントロールレジスタ 2

Base address: SYSC = 0x4001_E000

Offset address: 0xAD8

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	PVD2 MASK	PVD1 MASK
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PVD1MASK	電圧監視 1 リセットマスク 0: リセットの発生を許可 1: リセットの発生を禁止	R/W
1	PVD2MASK	電圧監視 2 リセットマスク 0: リセットの発生を許可 1: リセットの発生を禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-6, P-TYPE-2
注. PRCR.PRC5 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SYRSTMSK2 レジスタは、リセットの発生を制御するレジスタです。

5.3 動作説明

5.3.1 RES 端子リセット

RES 端子によるリセットです。RES 端子が Low になると実行中の処理はすべて打ち切られ、本 MCU はリセット状態になります。本 MCU を適切にリセットするには、電源投入時の規定の電源安定時間だけ RES 端子は Low を保持していなければいけません。

RES 端子が Low から High になったとき、解除後待機時間 (t_{RESWT}) 経過後、内部リセットが解除されます。その後 CPU がリセット例外処理を開始します。

詳細は、「52. 電気的特性」を参照してください。

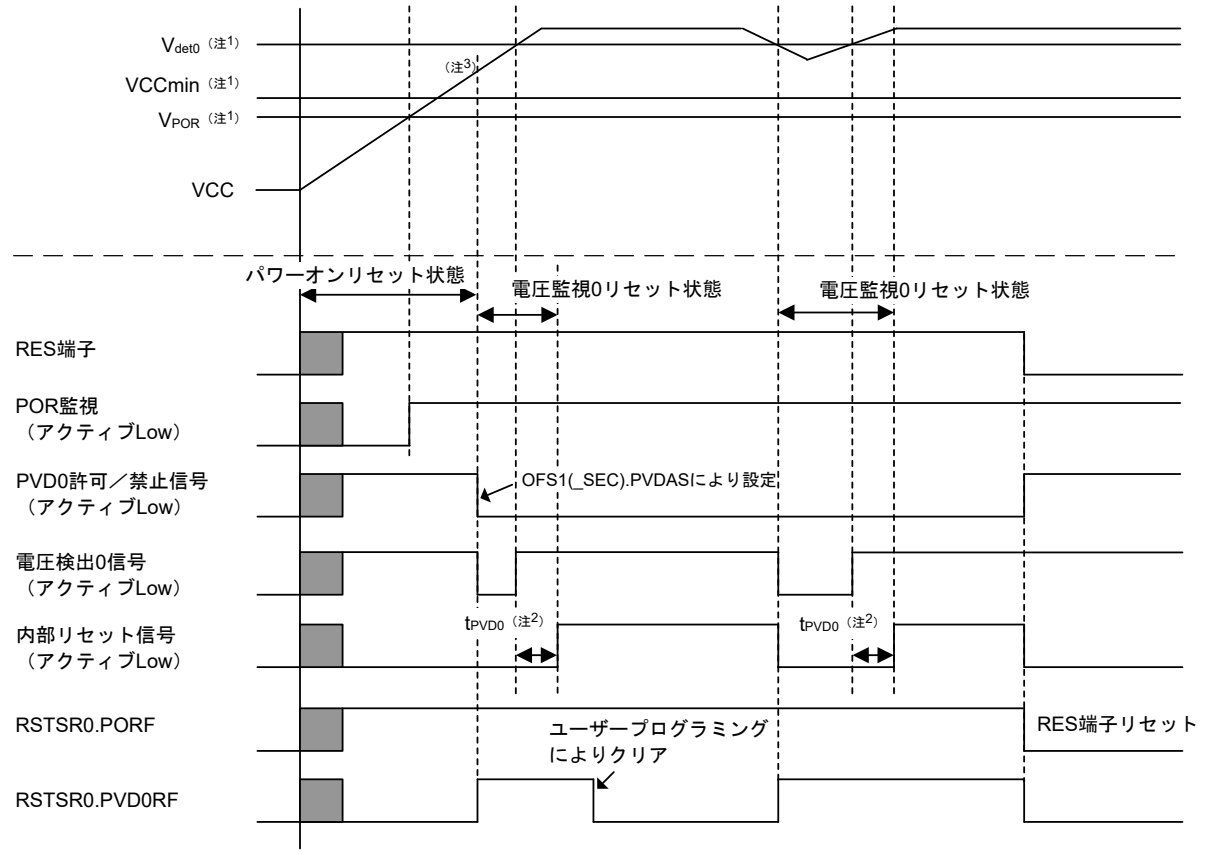
5.3.2 パワーオンリセット

パワーオンリセット回路がこの内部リセットを発生させます。RES 端子を High にした状態で、電源を投入した場合、パワーオンリセットが発生します。

VCC が V_{POR} を超えると、指定された時間（パワーオンリセット時間）の経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。パワーオンリセット時間は、外部電源と MCU 回路が安定して動作するための時間です。

パワーオンリセットが発生すると、RSTSR0.PORF フラグが 1 になります。PORF フラグは、RES 端子リセットによって初期化されます。

図 5.1 にパワーオンリセット時および電圧監視 0 リセット時の動作例を示します。



注. 電気的特性の詳細は、「52. 電気的特性」を参照してください。
注 1. V_{det0} は電圧監視 0 リセット検出レベルを示し、V_{POR} はパワーオンリセット検出レベルを示します。また、VCCmin は MCU の最低保証電圧を示します。
注 2. tPVD0 は、電圧監視 0 のリセット時間を示します。
注 3. 電源立ち上がり時、パワーオンリセットが解除されるまでに VCC が最低保証動作電圧以上まで上昇している必要があります。

図 5.1 パワーオンリセット時および電圧監視 0 リセット時の動作例

5.3.3 電圧監視リセット

電圧監視 0 リセットは、電圧監視回路による内部リセットです。オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 回路起動ビット (PVDAS) が 0（リセット後、電圧監視 0 リセット有効）の状態で、VCC が V_{det0} 以下になると、RSTSR0.PVD0RF フラグが 1 になり、電圧検出回路は電圧監視 0 リセットを発生させます。電圧監視 0 リセットを使用する場合は、OFS1(_SEC).PVDAS ビットを 0 にしてください。VCC が V_{det0} を超えると、電圧監視 0 リセット時間 (t_{PVD0}) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。オプション機能選択レジスタ 1 (OFS1) の VDSEL[1:0]ビットを設定することにより、V_{det0} 電圧検出レベルを変更できます。

- PVDmFCR.RHSEL = 0 の場合

電圧監視 1 回路コントロールレジスタ 0 (PVD1CR0) の電圧監視 1 割り込み／リセット許可ビット (RIE) が 1（電圧検出回路によるリセット／割り込み発生許可）で、かつ電圧監視 1 回路モード選択ビット (RI) が 1（低電圧検出時にリセット発生を選択）の状態にあるとき、VCC 電圧が Vdet1 以下になると、RSTSR0.PVD1RF フラグが 1 になり、電圧検出回路は電圧監視 1 リセットを発生させます。

同様に、電圧監視 1 リセット状態の解除タイミングは、PVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット (RN) で選択可能です。RN ビットが 0 で、かつ VCC 電圧が Vdet1 以下になっている場合、VCC 電圧が

Vdet1 を超えてから PVD1 リセット時間 (t_{PVD1}) が経過すると、内部リセット状態が解除され、CPU がリセット例外処理を開始します。また、PVD1CR0.RN ビットが 1 で、かつ VCC 電圧が Vdet1 以下になっている場合、PVD1 リセット時間 (t_{PVD1}) が経過すると、内部リセット状態が解除され、CPU がリセット例外処理を開始します。

電圧監視 2 回路コントロールレジスタ 0 (PVD2CR0) の電圧監視 2 割り込み／リセット許可ビット (RIE) が 1（電圧検出回路によるリセット／割り込み発生許可）で、かつ電圧監視 2 回路モード選択ビット (RI) が 1（低電圧検出時にリセット発生を選択）の状態にあるとき、VCC 電圧が Vdet2 以下になると、RSTSR0.PVD2RF フラグが 1 になり、電圧検出回路は電圧監視 2 リセットを発生させます。

同様に、電圧監視 2 リセット状態の解除タイミングは、PVD2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット (RN) で選択可能です。RN ビットが 0 で、かつ VCC 電圧が Vdet2 以下になっている場合、VCC 電圧が Vdet2 を超えてから PVD2 リセット時間 (t_{PVD2}) が経過すると、内部リセット状態が解除され、CPU がリセット例外処理を開始します。また、PVD2CR0.RN ビットが 1 で、かつ VCC 電圧が Vdet2 以下になった場合、PVD2 リセット時間 (t_{PVD2}) が経過すると、内部リセット状態が解除され、CPU がリセット例外処理を開始します。

- PVDmFCR.RHSEL = 1 の場合

電圧監視 1 回路コントロールレジスタ 0 (PVD1CR0) の電圧監視 1 割り込み／リセット許可ビット (RIE) が 1（電圧検出回路によるリセット／割り込み発生許可）で、かつ電圧監視 1 回路モード選択ビット (RI) が 1（低電圧検出時にリセット発生を選択）の状態にあるとき、VCC 電圧が Vdet1 を超えると RSTSR0.PVD1RF フラグが 1 になり、電圧検出回路は電圧監視 1 リセットを発生させます。

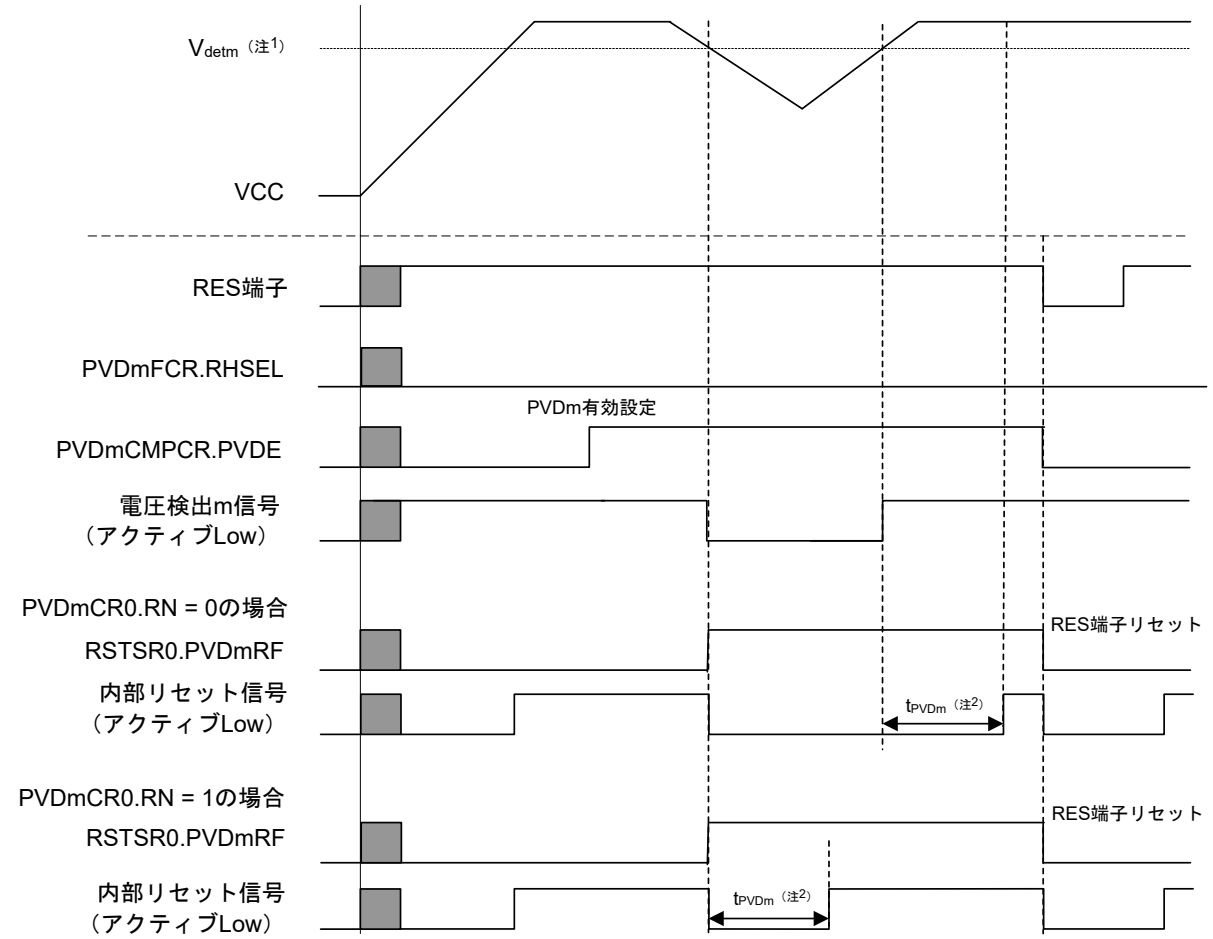
その後、VCC 電圧が Vdet1 以下になってから PVD1 リセット時間 (t_{PVD1}) が経過すると、内部リセット状態が解除され、CPU がリセット例外処理を開始します。

同様に、電圧監視 2 回路コントロールレジスタ 0 (PVD2CR0) の電圧監視 2 割り込み／リセット許可ビット (RIE) が 1（電圧検出回路によるリセット／割り込み発生許可）で、かつ電圧監視 2 回路モード選択ビット (RI) が 1（低電圧検出時にリセット発生を選択）の状態にあるとき、VCC 電圧が Vdet2 を超えると RSTSR0.PVD2RF フラグが 1 になり、電圧検出回路は電圧監視 2 リセットを発生させます。

その後、VCC 電圧が Vdet2 以下になってから PVD2 リセット時間 (t_{PVD2}) が経過すると、内部リセット状態が解除され、CPU がリセット例外処理を開始します。

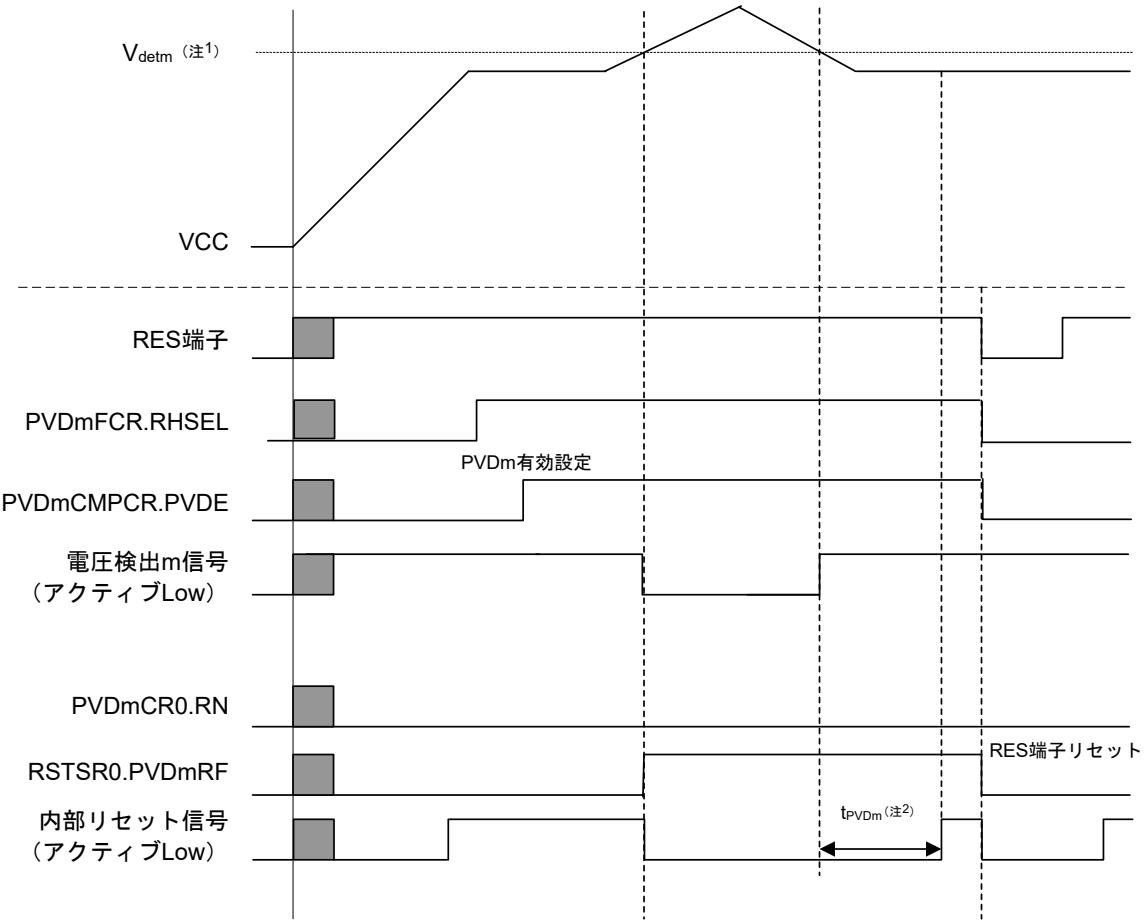
図 5.2 に、PVDmFCR.RHSEL = 0 の場合の電圧監視 1 リセットおよび電圧監視 2 リセット時の動作例を示します。

図 5.3 に、PVDmFCR.RHSEL = 1 の場合の電圧監視 1 リセットおよび電圧監視 2 リセット時の動作例を示します。



注. 電気的特性の詳細は、「52. 電気的特性」を参照してください。
注 1. V_{detm} は電圧監視 m リセットの検出レベルを示します。(m = 1, 2)
注 2. t_{PVDm} は電圧監視 m リセット時間を示します。(m = 1, 2)

図 5.2 PVDmFCR.RHSEL = 0 の場合の電圧監視 m (m = 1, 2) リセット時の動作例



注. 電気的特性の詳細は、「52. 電気的特性」を参照してください。
注 1. V_{detm} は電圧監視 m リセットの検出レベルを示します。(m = 1, 2)
注 2. t_{PVDm} は電圧監視 m リセット時間を示します。(m = 1, 2)

図 5.3 PVDmFCR.RHSEL = 1 の場合の電圧監視 m (m = 1, 2) リセット時の動作例

5.3.4 ディープソフトウェアスタンバイリセット

ディープソフトウェアスタンバイリセット（内部リセット）は、ディープソフトウェアスタンバイモードのいずれかが対応する割り込みによって解除されたときに発生します。

t_{DSBY}（ディープソフトウェアスタンバイモード解除後の復帰時間）が経過した後に、ディープソフトウェアスタンバイリセットは解除されます。同時に、ディープソフトウェアスタンバイモードも解除されます。

ディープソフトウェアスタンバイモードの解除後に、t_{DSBYWT}（ディープソフトウェアスタンバイモード解除後の待機時間）が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

ディープソフトウェアスタンバイリセットの詳細は、「10. 低消費電力モード」を参照してください。

5.3.5 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマリセットは、独立ウォッチドッグタイマによる内部リセットです。 オプション機能選択レジスタ 0 (OFS0) の設定により、独立ウォッチドッグタイマから独立ウォッチドッグタイマリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセットの出力を選択した場合、独立ウォッチドッグタイマがアンダーフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行ったときに、独立ウォッチドッグタイマリセットが発生します。独立ウォッチドッグタイマリセットの発生後に、内部リセット時間 (t_{RESW2}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は、「26. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

5.3.6 ウォッチドッグタイマリセット

ウォッチドッグタイマリセットは、ウォッチドッグタイマによる内部リセットです。WDT リセットコントロールレジスタ (WDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、ウォッチドッグタイマからウォッチドッグタイマリセットを出力するかどうかを選択できます。

ウォッチドッグタイマリセットの出力を選択した場合、ウォッチドッグタイマがアンダーフローしたとき、またはリフレッシュ動作が禁止されている期間に書き込みを行ったときに、ウォッチドッグタイマリセットが発生します。ウォッチドッグタイマリセットの発生後に、内部リセット時間 (t_{RESW2}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

ウォッチドッグタイマリセットの詳細は、「25. ウォッチドッグタイマ (WDT)」を参照してください。

5.3.7 CPU ロックアップリセット

CPU ロックアップリセットは、Arm コアにより発生する内部リセットです。Arm コアからのリセット出力は、CPULCKUPCR.OAD によって選択できます。

CPU ロックアップリセット出力が選択されると、Arm コアがロックアップ状態にある場合に CPU ロックアップリセットが発生します。CPU ロックアップリセットの発生後に、内部リセット時間 (t_{RESW2}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

CPU ロックアップリセットの詳細は、「2. CPU」を参照してください。

5.3.8 ソフトウェアリセット

ソフトウェアリセット（内部リセット）は、ARM コア内部の AIRCR レジスタの SYSRESETREQ ビットに対するソフトウェア設定によって発生します。SYSRESETREQ ビットを 1 にすると、ソフトウェアリセットが発生します。ソフトウェアリセットの発生後に、内部リセット時間 (t_{RESW2}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

5.3.9 バスエラーリセット

バスエラーリセットは、バスにより発生する内部リセットです。

このリセットは、バスにより発生する統合されたリセットであり、以下のリセットで構成されます。

- バスエラーリセット（MSAU エラー、MMPU エラー、不正アドレスエラー、スレーブ TrustZone フィルタエラー、スレーブバスエラー、バッファ書き込みエラー）

バスエラーリセットの出力は、OADCFG.OAD によって選択できます。

バスエラーリセットの発生後に、内部リセット時間 (t_{RESW2}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

バスエラーリセットの詳細は、「14. バス」を参照してください。バスエラーリセットのリセット発生要因の判定は、割り込み発生要因の判定に類似しています。「13. 割り込みコントローラユニット (ICU)」を参照してください。

5.3.10 共通メモリエラーリセット

共通メモリエラーリセットは、SRAM により発生する内部リセットです。

このリセットは、SRAM により発生する統合されたリセットであり、以下のリセットで構成されます。

- SRAM エラーリセット（パリティエラー）
- スタンバイ SRAM エラーリセット（パリティエラー）

SRAM エラーリセットの出力は、SRAMCR1.OAD によって選択できます。スタンバイ SRAM エラーリセットの出力は、STBRAMCR.OAD によって選択できます。

共通メモリエラーリセットの発生後に、内部リセット時間 (t_{RESW2}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

共通メモリエラーリセットの詳細は、「14. バス」を参照してください。共通メモリエラーリセットのリセット発生要因の判定は、割り込み発生要因の判定に類似しています。「13. 割り込みコントローラユニット (ICU)」を参照してください。

5.3.11 コールドスタート／ウォームスタート判定機能

RSTSR2.CWSF フラグの読み出しによって、リセット処理の原因、すなわち、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを判定できます。

RSTSR2.CWSF フラグは、パワーオンリセットが発生すると 0（コールドスタート）になります。その他のリセットを行っても 0 になりません。また、プログラムで 1 を書くと 1 になります。0 を書いても 0 になりません。

図 5.4 にコールドスタート／ウォームスタート判定機能の動作例を示します。

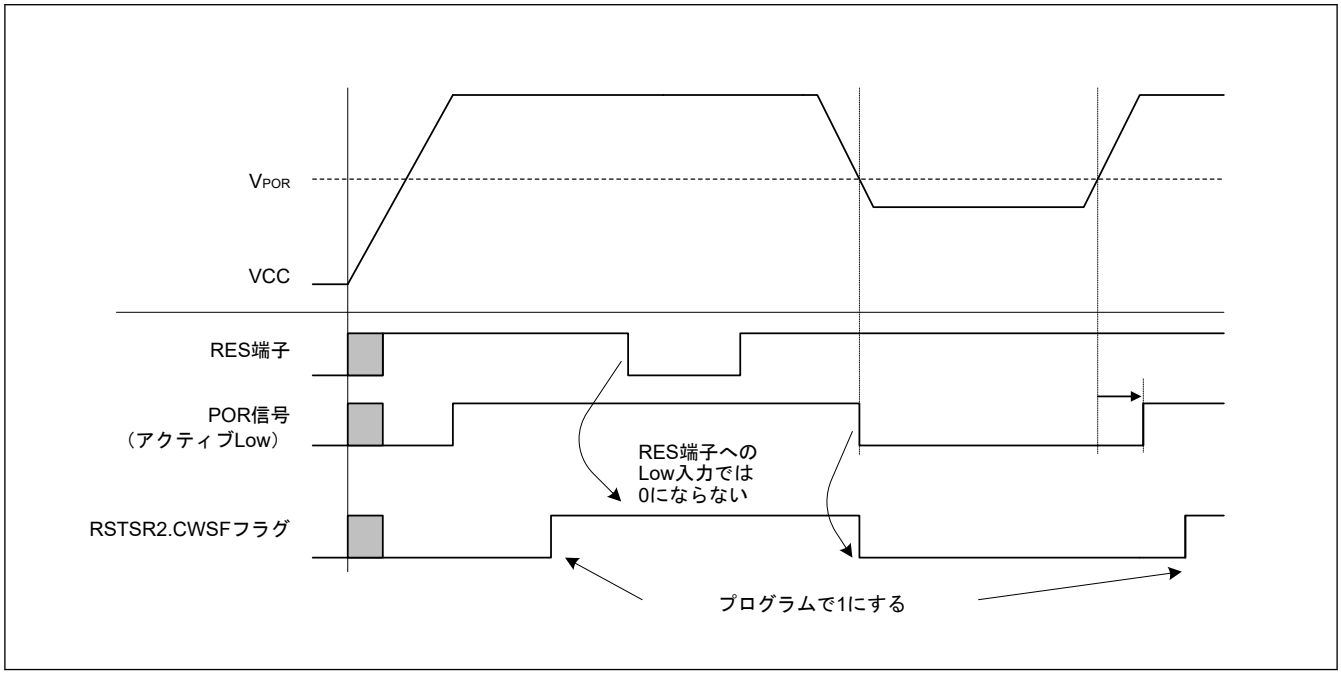
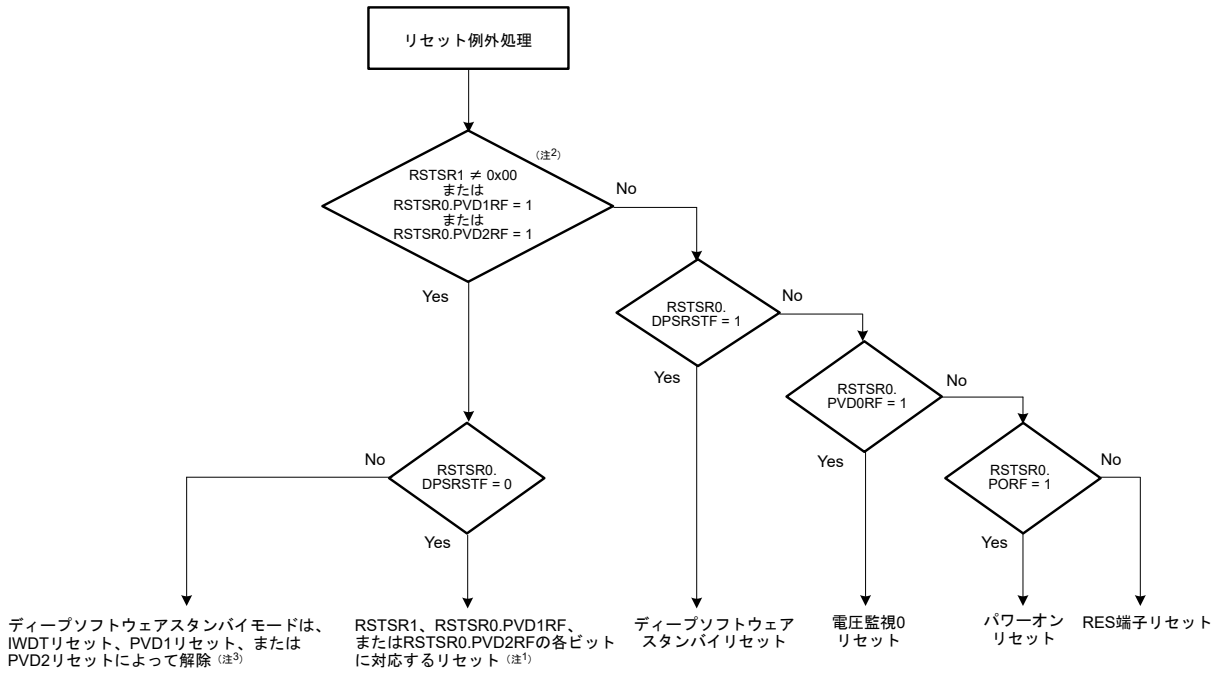


図 5.4 コールドスタート／ウォームスタート判定機能の動作例

5.3.12 リセット発生要因の判定

RSTSR0 レジスタと RSTSR1 レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認できます。

図 5.5 にリセット発生要因の判定フロー例を示します。リセットフラグは、1 を読み出し後に 0 を書いてください。



注 1. RSTSR1、RSTSR0.PVD1RF、または RSTSR0.PVD2RF の各ビットに対応するリセットが同時に発生した場合、リセットが発生したすべてのリセットフラグは 1 になります。

注 2. RSTSR1 ≠ 0x00、RSTSR0.PVD1RF = 1、または RSTSR0.PVD2RF = 1 を確認後に、ディープソフトウェアスタンバイモードの解除が発生したかどうかを判定するために、RSTSR0.DPSRSTF を確認してください。

注 3. リセットステータスレジスタ (RSTSR0, RSTSR1, RSTSR2) をディープソフトウェアスタンバイモードへの遷移前にクリアしてください。リセットフラグがクリアされなかった場合、復帰要因を正しく識別できません。

図 5.5 リセット発生要因の判定フロー例

5.4 非セキュアプログラムからのリセット保護

リセットの発生は制御可能です。セキュアプログラムからのみアクセス可能な SYRSTMSK0 と SYRSTMSK2 の設定に従って、リセットが発生します。

リセット要因は発生しますが、MCU には伝播しません。RSTSR0 ビットと RSTSR1 ビットのリセットフラグは設定されません。

制御可能なリセットは以下の通りです。

- 独立ウォッチドッグタイマリセット
- ウォッチドッグタイマリセット
- CPU ロックアップリセット
- 共通メモリエラーリセット
- バスエラーリセット
- 電圧監視 1 リセット
- 電圧監視 2 リセット
- ソフトウェアリセット

6. オプション設定メモリ

6.1 概要

オプション設定メモリは、MCU のリセット後の状態を決定します。オプション設定メモリは、フラッシュメモリのコンフィグレーション設定領域に割り当てられています。

図 6.1 にオプション設定メモリの領域を示します。オプション設定メモリの領域には、セキュア領域と非セキュア領域があります。表 6.1 にオプション設定メモリ領域のプログラミング条件を示します。

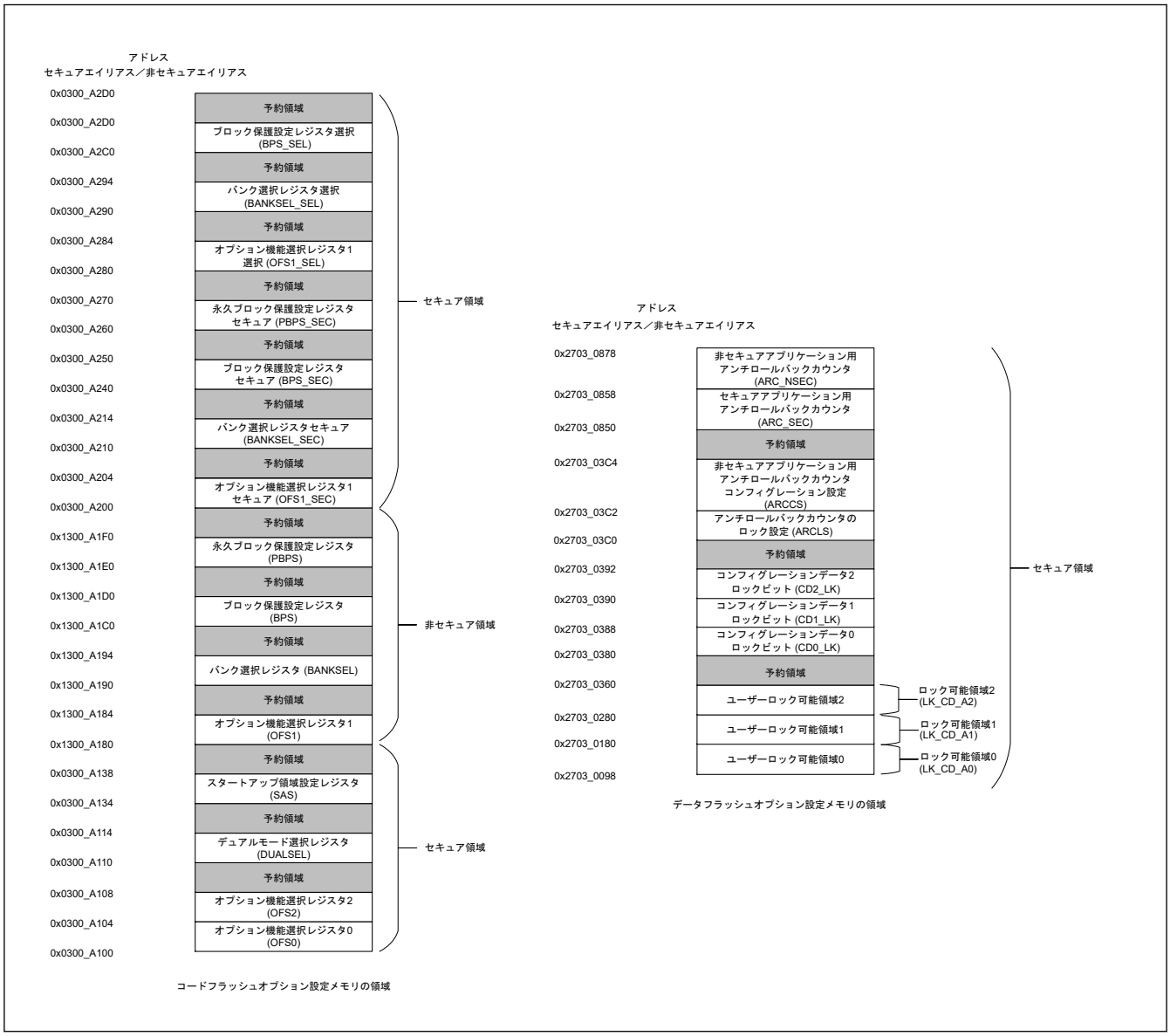


図 6.1 オプション設定メモリの領域

表 6.1 オプション設定メモリ領域のプログラミング条件

	セルフプログラミング	シリアルプログラミング	オンチップデバッガによるプログラミング
セキュア領域	セキュアエイリアスアクセスにより発行されたプログラミングコマンド	認証レベルが AL2 のとき発行されたプログラミングコマンド	認証レベルが AL2 のとき発行されたプログラミングコマンド
非セキュア領域	非セキュアエイリアスアクセスにより発行されたプログラミングコマンド	認証レベルが AL2 または AL1 のとき発行されたプログラミングコマンド	認証レベルが AL2 または AL1 のとき発行されたプログラミングコマンド

6.2 レジスタの説明

6.2.1 OFS0 : オプション機能選択レジスタ 0

Address: 0x0300_A100

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	WDT0STPCTL	—	WDT0RSTIRQS	WDT0RPSS[1:0]		WDT0RPES[1:0]		WDT0CKS[3:0]				WDT0TOPS[1:0]		WDT0STRT	—
Value after reset:	ユーザー設定値(注1)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	IWDTSTPCTL	—	IWDTRSTIRQS	IWDTRPSS[1:0]		IWDTRPES[1:0]		IWDTCKS[3:0]				IWDTTOPS[1:0]		IWDTSTRT	—
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
0	—	プログラム値は本ビットから読み出します。(注2)	R
1	IWDTSTRT	IWDT スタートモード選択 0: リセット後、IWDT は自動的に起動（オートスタートモード） 1: リセット後、IWDT は停止状態（レジスタスタートモード）	R
3:2	IWDTTOPS[1:0]	IWDT タイムアウト期間選択 0 0: 128 サイクル (0x007F) 0 1: 512 サイクル (0x01FF) 1 0: 1024 サイクル (0x03FF) 1 1: 2048 サイクル (0x07FF)	R
7:4	IWDTCKS[3:0]	IWDT 専用クロック分周比選択 0x0: 分周なし 0x2: 16 分周 0x3: 32 分周 0x4: 64 分周 0xF: 128 分周 0x5: 256 分周 その他: 予約	R
9:8	IWDTRPES[1:0]	IWDT ウィンドウ終了位置選択 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0%（ウィンドウの終了位置設定なし）	R
11:10	IWDTRPSS[1:0]	IWDT ウィンドウ開始位置選択 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100%（ウィンドウの開始位置設定なし）	R
12	IWDTRSTIRQS	IWDT リセット割り込み要求選択 0: 割り込み 1: リセット	R
13	—	プログラム値は本ビットから読み出します。(注2)	R
14	IWDTSTPCTL	IWDT 停止制御 0: カウント継続 1: CPU スリープモード、CPU ディープスリープモード、ソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモード 1 のとき、カウント停止	R
16:15	—	プログラム値は本ビットから読み出します。(注2)	R
17	WDT0STRT	WDT スタートモード選択 0: リセット後、WDT は自動的に起動（オートスタートモード） 1: リセット後、WDT は停止状態（レジスタスタートモード）	R

ビット	シンボル	機能	R/W
19:18	WDT0TOPS[1:0]	WDT タイムアウト期間選択 0 0: 1024 サイクル (0x03FF) 0 1: 4096 サイクル (0x0FFF) 1 0: 8192 サイクル (0x1FFF) 1 1: 16384 サイクル (0x3FFF)	R
23:20	WDT0CKS[3:0]	WDT クロック分周比選択 0x1: PCLKB の 4 分周 0x4: PCLKB の 64 分周 0xF: PCLKB の 128 分周 0x6: PCLKB の 512 分周 0x7: PCLKB の 2048 分周 0x8: PCLKB の 8192 分周 その他: 予約	R
25:24	WDT0RPES[1:0]	WDT ウィンドウ終了位置選択 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0%（ウィンドウの終了位置設定なし）	R
27:26	WDT0RPSS[1:0]	WDT ウィンドウ開始位置選択 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100%（ウィンドウの開始位置設定なし）	R
28	WDT0RSTIRQS	WDT リセット割り込み要求選択 0: 割り込み 1: リセット	R
29	—	プログラム値は本ビットから読み出します。(注2)	R
30	WDT0STPCTL	WDT 停止制御 0: カウント継続 1: CPU スリープモードまたは CPU ディープスリープモードに遷移時、カウント停止	R
31	—	プログラム値は本ビットから読み出します。(注2)	R

注 1. ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。
注 2. 本レジスタは FACI コマンドによってのみプログラム可能です。プログラム時、設定値は 1 です。

IWDTSTRT ビット（IWDT スタートモード選択）

IWDTSTRT ビットは、リセット後の IWDT の起動モード（停止状態または起動状態）を選択します。IWDT がオートスタートモードで起動する場合、IWDT に対する OFS0 レジスタの設定は有効です。

IWDTTOPS[1:0]ビット（IWDT タイムアウト期間選択）

IWDTTOPS[1:0]ビットは、ダウンカウンタがアンダーフローするまでの時間（すなわち、タイムアウト期間）を、IWDTCKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、128 サイクル、512 サイクル、1024 サイクル、または 2048 サイクルから選択します。リフレッシュ動作後、カウンタがアンダーフローするまでの時間は、IWDTCKS[3:0]ビットと IWDTTOPS[1:0]ビットの組み合わせにより決定されます。

詳細は「26. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTCKS[3:0]ビット（IWDT 専用クロック分周比選択）

IWDTCKS[3:0]ビットは、IWDT 用のクロックを分周するプリスケーラの分周比設定を、1 分周、16 分周、32 分周、64 分周、128 分周、256 分周から選択します。この設定を IWDTTOPS[1:0]ビットの設定と組み合わせて、IWDT のカウント期間を 128～524,288 の IWDT クロックサイクルの間で設定できます。

詳細は「26. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTRPES[1:0]ビット（IWDT ウィンドウ終了位置選択）

IWDTRPES[1:0]ビットは、ダウンカウンタのウィンドウ終了位置を、カウント値の 75%、50%、25%、0%から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します（ウィンドウ開始位

置＞ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

IWDTRPSS[1:0]、IWDTRPES[1:0]ビットで設定したウィンドウ開始／終了位置のカウンタ値は、IWDTTOPS[1:0]ビットの設定により変わります。

詳細は「26. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTRPSS[1:0]ビット（IWDT ウィンドウ開始位置選択）

IWDTRPSS[1:0]ビットは、ダウンカウンタのウィンドウ開始位置を、カウント値（カウント開始を 100%、アンダーフロー発生時を 0%）の 100%、75%、50%、25%から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は、「26. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTRSTIRQS ビット（IWDT リセット割り込み要求選択）

IWDTRSTIRQS ビットは、ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を選択します。独立ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。

詳細は、「26. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTSTPCTL ビット（IWDT 停止制御）

IWDTSTPCTL ビットは、CPU スリープモード、CPU ディープスリープモード、ソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモード 1 に遷移時、カウントを停止するかどうかを指定します。

詳細は「26. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

WDT0STRT ビット（WDT スタートモード選択）

WDT0STRT ビットは、リセット後の WDT の起動モード（停止状態、またはオートスタートモードでの起動）を選択します。WDT がオートスタートモードで起動する場合、WDT に対する OFS0 レジスタの設定は有効です。

WDT0TOPS[1:0]ビット（WDT タイムアウト期間選択）

WDT0TOPS[1:0]ビットは、ダウンカウンタがアンダーフローするまでのタイムアウト期間を、WDT0CKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、1024、4096、8192、または 16384 の各サイクル数で指定します。リフレッシュ動作後、アンダーフローするまでの PCLKB サイクル数は、WDT0CKS[3:0]ビットと WDT0TOPS[1:0]ビットの組み合わせで決定されます。

詳細は、「25. ウォッチドッグタイマ (WDT)」を参照してください。

WDT0CKS[3:0]ビット（WDT クロック分周比選択）

WDT0CKS[3:0]ビットは、PCLKB を分周するプリスケーラの分周比設定を、4、64、128、512、2048、8192 の各分周から選択します。この設定を WDT0TOPS[1:0]ビットの設定と組み合わせて、WDT のカウント期間を 4,096～134,217,728 の PCLKB サイクルの間で設定できます。

詳細は、「25. ウォッチドッグタイマ (WDT)」を参照してください。

WDT0RPES[1:0]ビット（WDT ウィンドウ終了位置選択）

WDT0RPES[1:0]ビットは、ダウンカウンタのウィンドウ終了位置を、カウント値の 75%、50%、25%、0%から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します（ウィンドウ開始位置＞ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置より大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

WDT0RPSS[1:0]および WDT0RPES[1:0]ビットで設定したウィンドウ開始／終了位置のカウンタ値は、WDT0TOPS[1:0]ビットの設定により変わります。

詳細は、「25. ウォッチドッグタイマ (WDT)」を参照してください。

WDT0RPSS[1:0]ビット（WDT ウィンドウ開始位置選択）

WDT0RPSS[1:0]ビットは、ダウンカウンタのウィンドウ開始位置を、カウント値の 100%、75%、50%、25%から選択します。カウントを開始する位置は 100%、アンダーフローが発生する位置は 0%です。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、

それ以外はリフレッシュ禁止期間となります。

詳細は、「25. ウォッチドッグタイマ (WDT)」を参照してください。

WDT0RSTIRQS ビット（WDT リセット割り込み要求選択）

WDT0RSTIRQS ビットは、ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を選択します。ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。

詳細は、「25. ウォッチドッグタイマ (WDT)」を参照してください。

WDT0STPCTL ビット（WDT 停止制御）

WDT0STPCTL ビットは、CPU スリープモードまたは CPU ディープスリープモードに遷移時、カウントを停止するかどうかを指定します。

詳細は、「25. ウォッチドッグタイマ (WDT)」を参照してください。

6.2.2 OFS2 : オプション機能選択レジスタ 2

address: 0x0300_A104

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	ユーザー設定値(注1)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DCDCEN
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
0	DCDCEN	DCDC 有効 0: DCDC 無効 1: DCDC 有効	R
31:1	—	読むとプログラム値が本ビットから読み出されます。(注2)	R

注 1. ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。
注 2. 本レジスタは FACI コマンドによってのみプログラム可能です。プログラム時、設定値は 1 です。

DCDCEN ビット（DCDC 有効）

DCDCEN ビットは、DCDC の有効または無効を選択します。

6.2.3 DUALSEL : デュアルモード選択レジスタ

address: 0x0300_A110

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	ユーザー設定値(注1)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	BANKMD[2:0]		
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
2:0	BANKMD[2:0]	バンクモード選択 000: デュアルモード 111: リニアモード その他: 予約	R
31:3	—	読むとプログラム値が本ビットから読み出されます。(注2)	R

注 1. ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。
注 2. 本レジスタは FACI コマンドによってのみプログラム可能です。プログラム時、設定値は 1 です。

BANKMD[2:0]ビット（バンクモード選択）

BANKMD[2:0]ビットは、コードフラッシュメモリのデュアルバンク機能のバンクモードを選択します。

6.2.4 SAS : スタートアップ領域設定レジスタ

Address: 0x0300_A134

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	BTFLG	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	ユーザー設定値(注1)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FSPR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
14:0	—	読むとプログラム値が本ビットから読み出されます。(注2)	R
15	FSPR	スタートアップ領域選択機能の保護 スタートアップ領域選択フラグ (SAS.BTFLG)、およびテンポラリブートスワップ制御に対する書き込み／イレース保護の書き換えを制御します。本ビットは一度 0 にすると、1 に変更できません。 0: スタートアップ領域選択フラグ (SAS.BTFLG) 書き換え用のコンフィグレーション設定コマンドの実行は無効です。 1: スタートアップ領域選択フラグ (SAS.BTFLG) 書き換え用のコンフィグレーション設定コマンドの実行は有効です。	R
30:16	—	読むとプログラム値が本ビットから読み出されます。(注2)	R
31	BTFLG	スタートアップ領域選択フラグ スタートアップ領域のアドレスをブートスワップ機能用に入れ替えるか否かを指定します。デュアルモード（DUALSEL.BANKMD[2:0]ビットは 000b）では、本ビットを 1 にしてください。 0: 最初の 8 KB 領域 (0x0200_0000～0x0200_1FFF) と 2 番目の 8 KB 領域 (0x0200_2000～0x0200_3FFF) が入れ替わる 1: 最初の 8 KB 領域 (0x0200_0000～0x0200_1FFF) と 2 番目の 8 KB 領域 (0x0200_2000～0x0200_3FFF) が入れ替わらない	R

注 1. ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。
注 2. 本レジスタは FACI コマンドによってのみプログラム可能です。プログラム時、設定値は 1 です。

6.2.5 OFS1, OFS1_SEC : 非セキュアおよびセキュア用オプション機能選択レジスタ 1

Address: OFS1: 0x1300_A180（非セキュア）
OFS1_SEC: 0x0300_A200（セキュア）

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	INITECCEN	SWDBG	—	—	—	—	—	—	—	—
Value after reset:	ユーザー設定値(注1)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	HOCOFRQ0[2:0]			HOCOEN	—	—	PVDLPSEL	—	PVDAS	VDSEL[2:0]		
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
2:0	VDSEL[2:0]	電圧検出 0 レベル選択 0 0 0: 2.85 V を選択 0 0 1: 2.58 V を選択 0 1 0: 2.15 V を選択 0 1 1: 2.00 V を選択 1 0 0: 1.90 V を選択 1 0 1: 1.80 V を選択 1 1 0: 1.70 V を選択 1 1 1: 1.60 V を選択(注3)	R
3	PVDAS	電圧検出 0 回路起動 0: リセット後、電圧監視 0 リセット有効 1: リセット後、電圧監視 0 リセット無効	R
4	—	プログラム値は本ビットから読み出します。(注2)	R
5	PVDLPSEL	ディープソフトウェアスタンバイモードでの PVD0 の低消費電力機能選択 0: DSTBY1 モード中と DSTBY2 モード中の PVD0 の低消費電力機能有効 1: DSTBY1 モード中と DSTBY2 モード中の PVD0 の低消費電力機能無効	R
7:6	—	プログラム値は本ビットから読み出します。(注2)	R
8	HOCOEN	HOCO 発振有効 0: リセット後、HOCO 発振が有効 1: リセット後、HOCO 発振が無効	R
11:9	HOCOFRQ0[2:0]	HOCO 周波数設定 0 0 0 0: 16 MHz 0 0 1: 18 MHz 0 1 0: 20 MHz 1 0 0: 32 MHz 1 1 1: 48 MHz その他: 予約	R
23:12	—	プログラム値は本ビットから読み出します。(注2)	R
24	SWDBG	ソフトウェアデバッグ制御 0: ソフトウェアデバッグ制御は有効です。 MCU は DBGAUTH0 と DBGAUTH1 の設定に従って動作し、CPU がデバッグ状態のとき、IWDT と WDT は自動停止します。 1: ソフトウェアデバッグ制御は無効です。 MCU は DBGAUTH0 と DBGAUTH1 の設定を無視し、CPU がデバッグ状態のときでも、IWDT と WDT は動作を継続します。しかし、CDBGPWRUPREQ が 1 で、かつ AL が AL0 ではない場合は、CPU がデバッグ状態のとき、IWDT と WDT は自動停止します。	R
25	INITECCEN	初期 ECC 機能有効 0: TCM と CACHE の ECC 機能無効 1: TCM と CACHE の ECC 機能有効	R
31:26	—	プログラム値は本ビットから読み出します。(注2)	R

注 1. ブランク品の OFS1 と OFS1_SEC の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。

注 2. 本レジスタは FACI コマンドによってのみプログラム可能です。プログラム時、設定値は 1 です。
注 3. VBATT 機能が有効で、OFS1(_SEC).PVDAS、PVDLPSEL ビットが 0、かつディープソフトウェアスタンバイモード 1、2 の内、1 つ以上が使用されている場合、設定禁止

OFS1 レジスタは、非セキュア開発者用で、OFS1_SEC レジスタはセキュア開発者用です。

VDSEL[2:0]ビット（電圧検出 0 レベル選択）

VDSEL[2:0]ビットは、電圧検出 0 回路の電圧検出レベルを選択します。

PVDAS ビット（電圧検出 0 回路起動）

PVDAS ビットは、リセット後、電圧監視 0 リセットを有効にするか無効にするかを選択します。

PVDLPSEL ビット（ディープソフトウェアスタンバイモードでの PVD0 の低消費電力機能選択）

PVDLPSEL ビットは、DSTBY1 モードと DSTBY2 モード中での PVD0 の低消費電力機能の有効または無効を選択します。

この機能を無効にすると、電流消費が増加し、応答時間が速くなります。この機能を有効にすると、応答時間が遅延し、電流消費が小さくなります。

「52. 電気的特性」を参照してください。

HOCOEN ビット（HOCO 発振有効）

HOCOEN ビットは、リセット後、HOCO 発振を有効にするか無効にするかを選択します。本ビットを 0 にすることにより、CPU が動作する前に HOCO の発振を開始でき、発振安定の待ち時間を減らすことができます。

注. HOCOEN ビットを 0 にしても、システムクロックソースは HOCO に切り替わりません。クロックソース選択ビット (SCKSCR.CKSEL[2:0]) を設定することによってのみ、システムクロックソースは HOCO に切り替わります。HOCO クロックを使用する場合は、OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)を最適な値に設定してください。

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1.HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、OFS1(_SEC).HOCOEN = 1 の場合 HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

HOCOFRQ0[2:0]ビット（HOCO 周波数設定 0）

HOCOFRQ0[2:0]ビットは、リセット後の HOCO 周波数を、16～48 MHz から選択します。

SWDBG ビット（ソフトウェアデバッグ制御）

SWDBG ビットは、ソフトウェアデバッグ制御の有効または無効を選択します。

INITECCEN ビット（初期 ECC 機能有効）

INITECCEN ビットは、TCM と CACHE の ECC 機能の有効または無効を選択します。

INITECCEN ビットを 1 から 0 に変更した場合は、変更後に必ずパワーオンリセットを実行してください。

6.2.6 OFS1_SEL：セキュリティ属性用オプション機能選択レジスタ 1

Address: OFS1_SEL: 0x0300_A280

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	INITECCEN	SWDBG	—	—	—	—	—	—	—	—
Value after reset:	ユーザー設定値(注1)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	HOCOFRQ0[2:0]			HOCOEN	—	—	PVDLPSEL	—	PVDAS	VDSEL[2:0]		
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
2:0	VDSEL[2:0]	電圧検出 0 レベル選択のセキュリティ属性 0 0 0: OFS1_SEC.VDSEL[2:0]を選択 1 1 1: OFS1.VDSEL[2:0]を選択 その他: 予約	R
3	PVDAS	電圧検出 0 回路起動のセキュリティ属性 0: OFS1_SEC.PVDAS を選択 1: OFS1.PVDAS を選択	R
4	—	プログラム値は本ビットから読み出します。	R
5	PVDLPSEL	ディープソフトウェアスタンバイモード PVD0 低消費電力機能選択のセキュリティ属性 0: OFS1_SEC.PVDLPSEL を選択 1: OFS1.PVDLPSEL を選択	R
7:6	—	プログラム値は本ビットから読み出します。	R
8	HOCOEN	HOCO 発振有効のセキュリティ属性 0: OFS1_SEC.HOCOEN を選択 1: OFS1.HOCOEN を選択	R
11:9	HOCOFRQ0[2:0]	HOCO 周波数設定 0 のセキュリティ属性 0 0 0: OFS1_SEC.HOCOFRQ0[2:0]を選択 1 1 1: OFS1.HOCOFRQ0[2:0]を選択 その他: 予約	R
23:12	—	プログラム値は本ビットから読み出します。	R
24	SWDBG	ソフトウェアデバッグ制御のセキュリティ属性 0: OFS1_SEC.SWDBG を選択 1: OFS1.SWDBG を選択	R
25	INITECCEN	初期 ECC 機能有効のセキュリティ属性 0: OFS1_SEC.INITECCEN を選択 1: OFS1.INITECCEN を選択	R
31:26	—	プログラム値は本ビットから読み出します。	R

注 1. ブランク品の OFS1_SEL の値は、0x00000000 です。ユーザーがプログラムした値になります。

OFS1_SEL レジスタは、セキュリティ属性を選択します。OFS または OFS_SEC のどちらのセキュリティ属性が適用されるかは、OFS1_SEL レジスタの対応するビットの設定値によって決まります。詳細は、「6.3.3. コードフラッシュオプション設定メモリのセキュリティ属性」を参照してください。

6.2.7 BANKSEL, BANKSEL_SEC : 非セキュアおよびセキュア用バンク選択レジスタ

Address: BANKSEL: 0x1300_A190（非セキュア）
BANKSEL_SEC: 0x0300_A210（セキュア）

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	BLCKSWP[3:0]			
Value after reset:	ユーザー設定値(注1)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	BANKSWP[2:0]		
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
2:0	BANKSWP[2:0]	スタートアップバンク切り替え 本設定はデュアルモードで有効です。 0 0 0: デュアルモードでは、Bank0 の開始アドレスはコードフラッシュベースアドレス + 0x0020_0000、Bank の開始アドレスはコードフラッシュベースアドレス + 0x0000_0000 1 1 1: デュアルモードでは、Bank0 の開始アドレスはコードフラッシュベースアドレス + 0x0000_0000、Bank の開始アドレスはコードフラッシュベースアドレス + 0x0020_0000 その他: 予約	R
15:3	—	プログラム値は本ビットから読み出します。(注1)	R
19:16	BLCKSWP[3:0]	ブロックスワップ選択 全ビットとも 1 の場合ブロックスワップは無効です。1 つでも 0 に設定されているビットがあると、ブロックスワップは有効で、コードフラッシュメモリの対応ブロックがスワップされます。	R
31:20	—	プログラム値は本ビットから読み出します。(注1)	R

注 1. ブランク品の BANKSEL と BANKSEL_SEC の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。

BANKSEL レジスタは、非セキュア開発者用で、BANKSEL_SEC レジスタはセキュア開発者用です。

BANKSWP[2:0]ビット（スタートアップバンク切り替え）

BANKSWP[2:0]ビットは、デュアルモードにおいてコードフラッシュメモリの bank0 と bank1 の開始アドレスを選択します。スタートアップバンク選択の詳細は、「49. フラッシュメモリ」を参照してください。

BLCKSWP[3:0]ビット（ブロックスワップ選択）

BLCKSWP[3:0]ビットは、リニアモードにおいてブロックスワップを有効にし、コードフラッシュメモリの有効ブロックを選択します。図 6.2 にリニアモード時のフラッシュメモリのマッピングを示します。表 6.2 に各製品の BLCKSWP ビットの指定内容を示します。使用されていないビットは予約ビットで、1 に設定します。ブロックスワップの詳細については、「49. フラッシュメモリ」を参照してください。

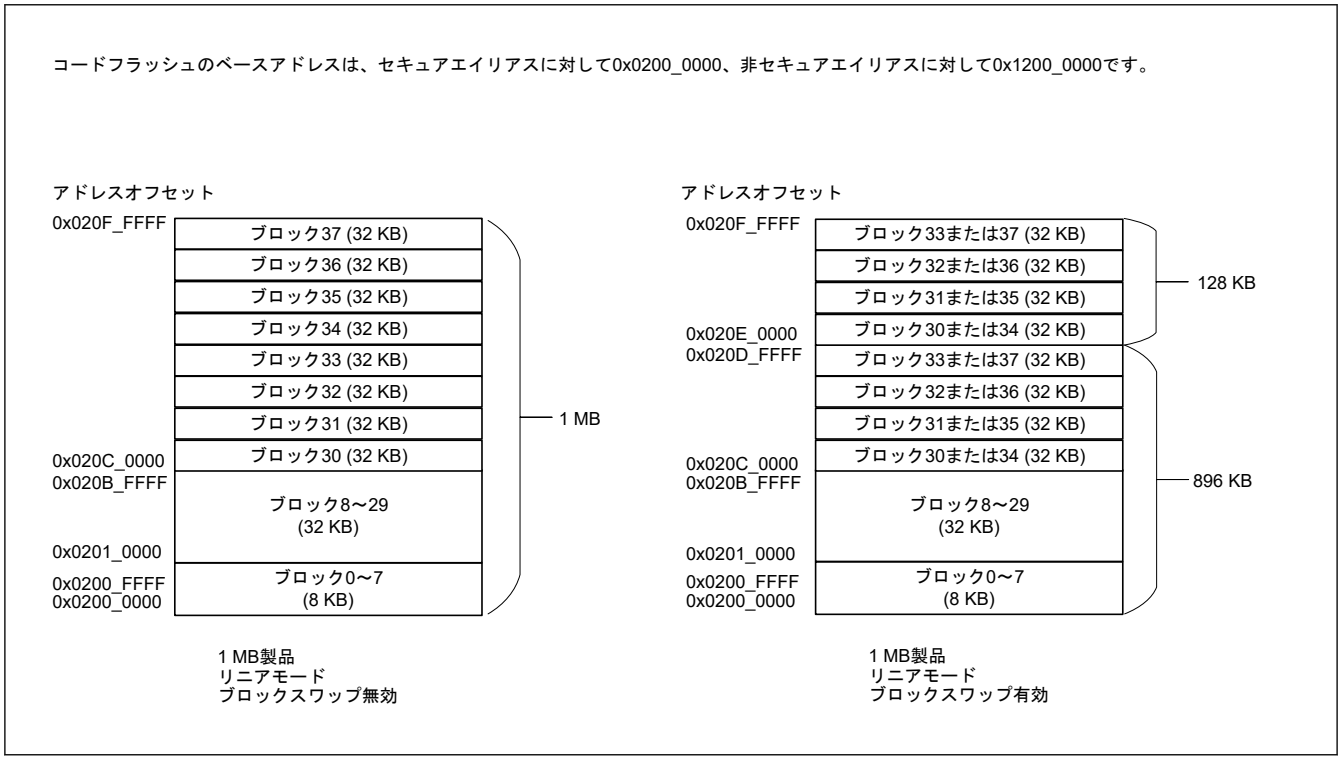


図 6.2 フラッシュメモリのマッピング

表 6.2 各製品の BLCKSWP ビットの指定内容

	BLCKSWP ビット	0/1 選択：各ブロックの開始アドレスオフセット
1 MB 製品	BLCKSWP[0]	1: ブロック 30 の開始アドレスは、0x000C_0000。ブロック 34 の開始アドレスは、0x000E_0000 0: ブロック 30 の開始アドレスは、0x000E_0000。ブロック 34 の開始アドレスは、0x000C_0000
	BLCKSWP[1]	1: ブロック 31 の開始アドレスは、0x000C_8000。ブロック 35 の開始アドレスは、0x000E_8000 0: ブロック 31 の開始アドレスは、0x000E_8000。ブロック 35 の開始アドレスは、0x000C_8000
	BLCKSWP[2]	1: ブロック 32 の開始アドレスは、0x000D_0000。ブロック 36 の開始アドレスは、0x000F_0000 0: ブロック 32 の開始アドレスは、0x000F_0000。ブロック 36 の開始アドレスは、0x000D_0000
	BLCKSWP[3]	1: ブロック 33 の開始アドレスは、0x000D_8000。ブロック 37 の開始アドレスは、0x000F_8000 0: ブロック 33 の開始アドレスは、0x000F_8000。ブロック 37 の開始アドレスは、0x000D_8000

6.2.8 BANKSEL_SEL：セキュリティ属性用バンク選択レジスタ

Address: BANKSEL_SEL: 0x0300_A290

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	BLCKSWP[3:0]			
Value after reset:	ユーザー設定値(注1)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	BANKSWP[2:0]		
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
2:0	BANKSWP[2:0]	スタートアップバンク切り替えのセキュリティ属性 0 0 0: BANKSEL_SEC.BANKSWP[2:0]を選択 1 1 1: BANKSEL.BANKSWP[2:0]を選択 その他: 予約	R
15:3	—	プログラム値は本ビットから読み出します。(注1)	R
19:16	BLCKSWP[3:0]	ブロックスワップ選択のセキュリティ属性 BANKSEL_SEL.BLCKSWP[3:0]ビットは、各ビットに対してセキュアアクセスまたは非セキュアアクセスを選択できます。 BANKSEL_SEL レジスタの BLCKSWP[3:0]ビットのビット配置と BANKSEL および BANKSEL_SEC レジスタの BLCKSWP[3:0]ビットのビット配置は、同じブロックを示すように対応しています。 たとえば、BANKSEL_SEL.BLCKSWP[0] = 0 および BANKSEL_SEL.BLCKSWP[3] = 1 のとき、BANKSEL_SEC.BLCKSWP[0]と BANKSEL.BLCKSWP[3]が選択されます。	R
31:20	—	プログラム値は本ビットから読み出します。(注1)	R

注. 本レジスタは FACI コマンドによってのみプログラム可能です。プログラム時、設定値は 0 です。
注 1. ブランク品の BANKSEL_SEL の値は、0x00000000 です。ユーザーがプログラムした値になります。

BANKSEL_SEL レジスタは、セキュリティ属性を選択します。BANKSEL または BANKSEL_SEC のどちらのセキュリティ属性が適用されるかは、BANKSEL_SEL レジスタの対応するビットの設定値によって決まります。詳細は、「6.3.3. コードフラッシュオプション設定メモリのセキュリティ属性」を参照してください。

6.2.9 BPS, BPS_SEC, BPS_SEL : ブロック保護設定レジスタ

address:

BPS: 0x1300_A1C0, 0x1300_A1C4, 0x1300_A1C8（非セキュア）
BPS_SEC: 0x0300_A240, 0x0300_A244, 0x0300_A248（セキュア）
BPS_SEL: 0x0300_A2C0, 0x0300_A2C4, 0x0300_A2C8（セキュア）

Bit position:	31 … 0
Bit field:	
Value after reset:	ユーザー設定値(注1)

注 1. BPS と BPS_SEC のブランク品の値は 0xFFFFFFFF です。BPS_SEL の工場出荷品の値は 0x00000000 です。ユーザーがプログラムした値になります。

BPS_SEC レジスタおよび BPS_SEL レジスタは、セキュア開発者用で、BPS レジスタは非セキュア開発者用です。

BPS レジスタおよび BPS_SEC レジスタは、コードフラッシュメモリへのプログラミングおよびイレースを無効にします。本レジスタのビットが 0 の場合、対応するブロックへのプログラミングおよびイレースは無効です。図 6.3 に、各製品のコードフラッシュのブロック構成を示します。図 6.4 に、レジスタのビットとブロック番号の関係を示します。BPS レジスタと BPS_SEC レジスタの使用されていないビットは予約ビットで、1 に設定します。

BPS_SEL レジスタは、セキュリティ属性を選択します。BPS または BPS_SEC、PBPS または PBPS_SEC のどちらのセキュリティ属性が適用されるかは、BPS_SEL レジスタの対応するビットの設定値によって決まります。詳細は、「6.3.3. コードフラッシュオプション設定メモリのセキュリティ属性」を参照してください。

コードフラッシュのベースアドレスは、セキュアエイリアスに対して0x0200_0000、非セキュアエイリアスに対して0x1200_0000です。

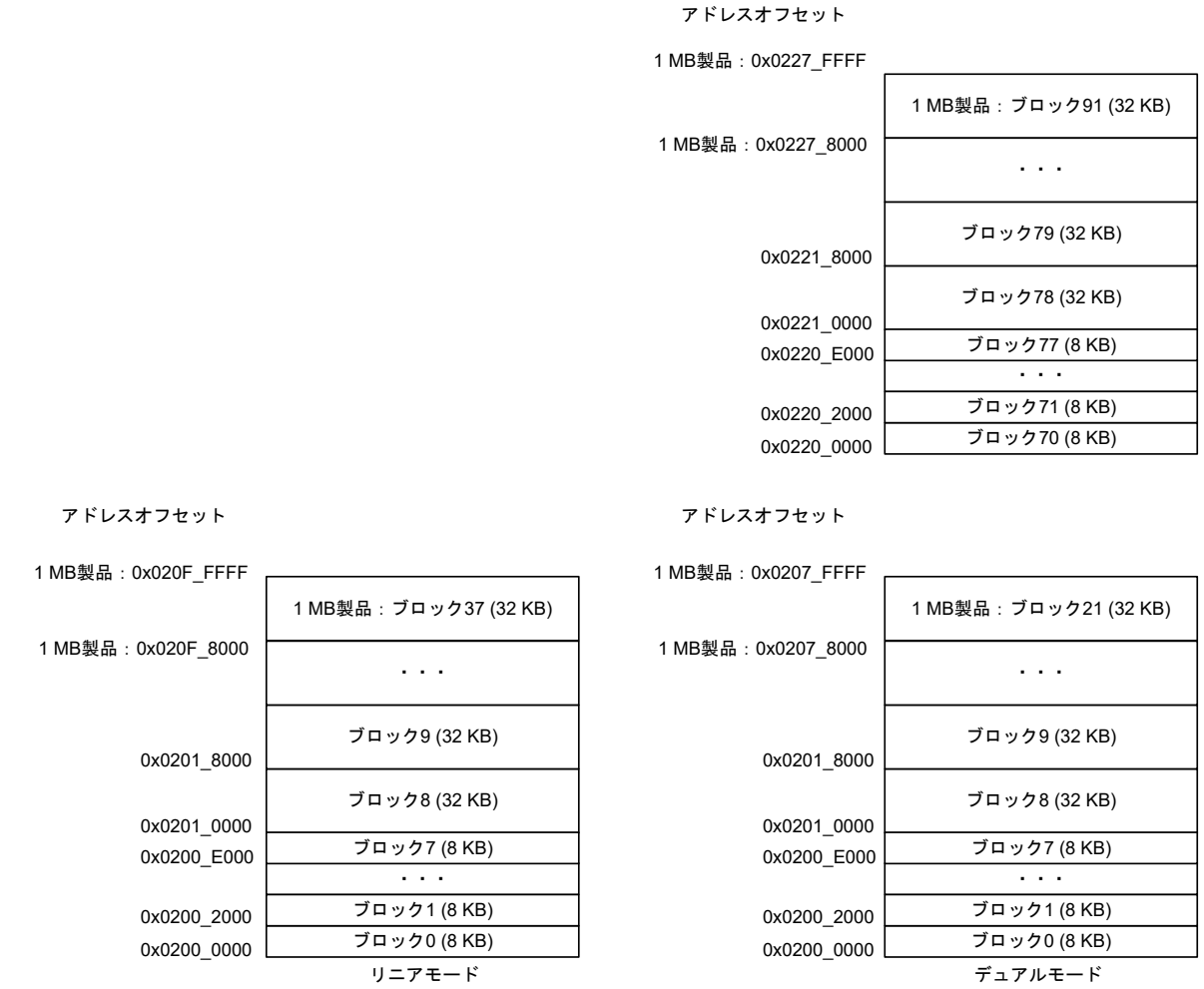


図 6.3　コードフラッシュのブロック構成

レジスタ	アドレス	+31	+30	+29	+28	+27	+26	+25	+24	+23	+22	+21	+20	+19	+18	+17	+16	+15	+14	+13	+12	+11	+10	+9	+8	+7	+6	+5	+4	+3	+2	+1	+0
BPS_SEL	0x0300_A2C8	–	–	–	–	91	90	89	88	87	86	85	84	83	82	81	80	79	78	77	76	75	74	73	72	71	70	–	–	–	–	–	–
	0x0300_A2C4	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	37	36	35	34	33	32
	0x0300_A2C0	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	⋮																																
BPS_SEC	0x0300_A248	–	–	–	–	91	90	89	88	87	86	85	84	83	82	81	80	79	78	77	76	75	74	73	72	71	70	–	–	–	–	–	–
	0x0300_A244	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	37	36	35	34	33	32
	0x0300_A240	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	⋮																																
BPS	0x1300_A1C8	–	–	–	–	91	90	89	88	87	86	85	84	83	82	81	80	79	78	77	76	75	74	73	72	71	70	–	–	–	–	–	–
	0x1300_A1C4	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	37	36	35	34	33	32
	0x1300_A1C0	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

図 6.4　レジスタのビットとブロック番号の関係

6.2.10 PBPS, PBPS_SEC : 永久ブロック保護設定レジスタ

Address: PBPS: 0x1300_A1E0, 0x1300_A1E4, 0x1300_A1E8（非セキュア）
PBPS_SEC: 0x0300_A260, 0x0300_A264, 0x0300_A268（セキュア）

Bit position:	31 … 0
Bit field:	
Value after reset:	ユーザー設定値(注1)

注 1. ブランク品の PBPS と PBPS_SEC の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。

PBPS_SEC レジスタはセキュア開発者用で、PBPS レジスタは非セキュア開発者用です。適用される設定値は、BPS_SEL レジスタの対応ビットの設定値により決まります。詳細は、「6.3.3. コードフラッシュオプション設定メモリのセキュリティ属性」を参照してください。セキュリティ属性レジスタは、ブロック保護および永久ブロック保護の両方で同じ BPS_SEL レジスタになります。

PBPS レジスタおよび PBPS_SEC レジスタは、BPS レジスタおよび BPS_SEC レジスタのビットへの書き込みをインバリデートします。本レジスタのビットを 0 にできるのは、BPS レジスタおよび BPS_SEC レジスタの対応するビットが 0 の場合です。本レジスタのビットが 0 の場合、BPS レジスタおよび BPS_SEC レジスタの対応するビットへの書き込みは無効です。本レジスタのビットは一度 0 にすると、1 に変更できません。表 6.3 に、適用される PBPS レジスタのビットと BPS レジスタのビットとの関係を示します。

BPS_SEL レジスタにより選択された、本レジスタに適用される設定値が 0 の場合、BPS_SEL レジスタの対応するビットは変更できません。

本レジスタのビットとブロック番号との関係は、BPS レジスタおよび BPS_SEC レジスタ (図 6.4) と同じです。使用されていないビットは予約ビットで、1 に設定します。

表 6.3 PBPS、PBPS_SEC レジスタのビットと BPS、BPS_SEC レジスタのビットとの関係

適用される PBPS と PBPS_SEC のビット	適用される BPS と BPS_SEC のビット	内容
1	1	対応するブロックへのプログラミングおよびイレースは有効。
1	0	対応するブロックへのプログラミングおよびイレースは無効。FBPROT0 または FBPROT1 レジスタにより保護をキャンセル可能。
0	1	本条件の設定不可。
0	0	対応するブロックへのプログラミングおよびイレースは永久に無効。

注. BPS_SEL = 0 のとき、BPS と PBPS が対応します。BPS_SEL = 1 のとき、BPS_SEC と PBPS_SEC が対応します。

6.2.11 CFGD0LOCK : コンフィグレーションデータ 0 ロックビットレジスタ

Base address: 0x2703_0380

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CD0LK31	CD0LK30	CD0LK29	CD0LK28	CD0LK27	CD0LK26	CD0LK25	CD0LK24	CD0LK23	CD0LK22	CD0LK21	CD0LK20	CD0LK19	CD0LK18	CD0LK17	CD0LK16
Value after reset:	ユーザー設定値(注1)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CD0LK15	CD0LK14	CD0LK13	CD0LK12	CD0LK11	CD0LK10	CD0LK9	CD0LK8	CD0LK7	CD0LK6	—	—	—	—	—	—
Value after reset:	ユーザー設定値(注1)															

Base address: 0x2703_0384

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CD0LK63	CD0LK62	CD0LK61	CD0LK60	CD0LK59	CD0LK58	CD0LK57	CD0LK56	CD0LK55	CD0LK54	CD0LK53	CD0LK52	CD0LK51	CD0LK50	CD0LK49	CD0LK48
Value after reset:	ユーザー設定値(注1)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CD0LK47	CD0LK46	CD0LK45	CD0LK44	CD0LK43	CD0LK42	CD0LK41	CD0LK40	CD0LK39	CD0LK38	CD0LK37	CD0LK36	CD0LK35	CD0LK34	CD0LK33	CD0LK32
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
5:0	—	プログラム値はこれらのビットから読み出します。	R
31:6	CD0LK31～CD0LK6	コンフィグレーションデータ 0 ロック 0: LK_CD_A0 保護有効 1: LK_CD_A0 保護無効	R
31:0	CD0LK63～CD0LK32	コンフィグレーションデータ 0 ロック 0: LK_CD_A0 保護有効 1: LK_CD_A0 保護無効	R

注 1. ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。

CD0LKn ビット（コンフィグレーションデータ 0 ロック）

本ビットは、データフラッシュのコンフィグレーション領域におけるロック可能コンフィグレーションデータ領域 0 (LK_CD_A0) に対する書き込み保護を指定します。CD0_LK (n) は、LK_CD_A0 の 4 バイトデータを保護します。

CD0_LK ビットは、コンフィグレーションセットコマンドにより 0 に設定できます。その値を 0 から 1 には変更できません。

6.2.12 CFGD1LOCK : コンフィグレーションデータ 1 ロックビットレジスタ

Base address: 0x2703_0388

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CD1LK31	CD1LK30	CD1LK29	CD1LK28	CD1LK27	CD1LK26	CD1LK25	CD1LK24	CD1LK23	CD1LK22	CD1LK21	CD1LK20	CD1LK19	CD1LK18	CD1LK17	CD1LK16
Value after reset:	ユーザー設定値(注1)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CD1LK15	CD1LK14	CD1LK13	CD1LK12	CD1LK11	CD1LK10	CD1LK9	CD1LK8	CD1LK7	CD1LK6	CD1LK5	CD1LK4	CD1LK3	CD1LK2	CD1LK1	CD1LK0
Value after reset:	ユーザー設定値(注1)															

Base address: 0x2703_038C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CD1LK63	CD1LK62	CD1LK61	CD1LK60	CD1LK59	CD1LK58	CD1LK57	CD1LK56	CD1LK55	CD1LK54	CD1LK53	CD1LK52	CD1LK51	CD1LK50	CD1LK49	CD1LK48
Value after reset:	ユーザー設定値(注1)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CD1LK47	CD1LK46	CD1LK45	CD1LK44	CD1LK43	CD1LK42	CD1LK41	CD1LK40	CD1LK39	CD1LK38	CD1LK37	CD1LK36	CD1LK35	CD1LK34	CD1LK33	CD1LK32
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
31:0	CD1LK31～CD1LK0	コンフィグレーションデータ 1 ロック 0: LK_CD_A1 保護有効 1: LK_CD_A1 保護無効	R
31:0	CD1LK63～CD1LK32	コンフィグレーションデータ 1 ロック 0: LK_CD_A1 保護有効 1: LK_CD_A1 保護無効	R

注 1. ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。

CD1LKn ビット（コンフィグレーションデータ 1 ロック）

本ビットは、データフラッシュのコンフィグレーション領域におけるロック可能コンフィグレーションデータ領域 1 (LK_CD_A1) に対する書き込み保護を指定します。CD1_LK (n) は、LK_CD_A1 の 4 バイトデータを保護します。

CD1_LK ビットは、コンフィグレーションセットコマンドにより 0 に設定できます。その値を 0 から 1 には変更できません。

6.2.13 CFGD2LOCK : コンフィグレーションデータ 2 ロック

Base address: 0x2703_0390

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	CD2LK13	CD2LK12	CD2LK11	CD2LK10	CD2LK9	CD2LK8	CD2LK7	CD2LK6	CD2LK5	CD2LK4	CD2LK3	CD2LK2	CD2LK1	CD2LK0
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
13:0	CD2LK13～CD2LK0	コンフィグレーションデータ 2 ロック 0: LK_CD_A2 保護有効 1: LK_CD_A2 保護無効	R
15:14	—	プログラム値はこれらのビットから読み出します。	R

注 1. ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。

CD2LKn ビット（コンフィグレーションデータ 2 ロック）

本ビットは、データフラッシュのコンフィグレーション領域におけるロック可能コンフィグレーションデータ領域 2 (LK_CD_A2) に対する書き込み保護を指定します。CD2_LK (n) は、LK_CD_A2 の 16 バイトデータを保護します。CD2_LK ビットは、コンフィグレーションセットコマンドにより 0 に設定できます。その値を 0 から 1 には変更できません。

表 6.4 にコンフィグレーションデータロックビット (CDn_LK) (n = 0～2) の設定を示します。

表 6.4 ロックビットとロック可能アドレスの間の対応関係 (1/2)

領域	ビット	アドレス
ロック可能領域 0	CD0_LK6	0x2703_0098～0x2703_009B
	CD0_LK7	0x2703_009C～0x2703_009F
	…	…
	CD0_LKn (n = 6～63)	0x2703_0080 + 0x04 × n～0x2703_0083 + 0x04 × n
	…	…
	CD0_LK63	0x2703_017C～0x2703_017F

表 6.4　ロックビットとロック可能アドレスの間の対応関係 (2/2)

領域	ビット	アドレス
ロック可能領域 1	CD1_LK0	0x2703_0180～0x2703_0183
	CD1_LK1	0x2703_0184～0x2703_0187
	…	…
	CD1_LKn (n = 0～63)	0x2703_0180 + 0x04 × n～0x2703_0183 + 0x04 × n
	…	…
	CD1_LK63	0x2703_00x27C～0x2703_027F
ロック可能領域 2	CD2_LK0	0x2703_0280～0x2703_028F
	CD2_LK1	0x2703_0290～0x2703_029F
	…	…
	CD2_LKn (n = 0～13)	0x2703_0280 + 0x10 × n～0x2703_028F + 0x10 × n
	…	…
	CD2_LK13	0x2703_0350～0x2703_035F

6.2.14　ARCLS : アンチロールバックカウンタロック設定レジスタ

Base address: 0x2703_03C0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	ARCNS_LK[3:0]				ARCS_LK
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
0	ARCS_LK	ARC_SEC ロック 0: ARC_SEC 保護有効 1: ARC_SEC 保護無効	R/W
4:1	ARCNS_LK[3:0]	ARC_NSEC ロック 64 ビット × 4 カウンタ設定の場合 x x x 0: ARC_NSEC[63:0]保護有効 x x 0 x: ARC_NSEC[127:64]保護有効 x 0 x x: ARC_NSEC[191:128]保護有効 0 x x x : ARC_NSEC[255:192]保護有効 1 1 1 1: ARC_NSEC[255:0]保護無効 その他: 予約 256 ビットカウンタ設定の場合 0 0 0 0: ARC_NSEC[255:0]保護有効 1 1 1 1: ARC_NSEC[255:0]保護無効 その他: 予約	R/W
15:5	—	読むとプログラム値が本ビットから読み出されます。(注2)	R/W

注 1.　ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。
注 2.　本レジスタは FACI コマンドによってのみプログラム可能です。プログラム時、設定値は 1 です。

アンチロールバックカウンタロックビットの設定は、データフラッシュのコンフィグレーション領域に位置しています。アンチロールバックカウンタロックビットは、プログラムコマンドにより 0 に設定できます。その値を 0 から 1 には変更できません。アンチロールバックカウンタロックビットが 0 の場合、各ビットに対応するアンチロールバックカウンタは、インクリメントカウンタコマンドにより更新できません。

6.2.15 ARCCS : 非セキュアアプリケーション用アンチロールバックカウンタコンフィグレーション設定レジスタ

Base address: 0x2703_03C2

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CNF_ARCNS [1:0]	
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
1:0	CNF_ARCNS[1:0]	ARC_NSEC コンフィグレーション設定 0 0: ARC_NSEC コンフィグレーションは 4 × 64 ビット 0 1: ARC_NSEC コンフィグレーションは 1 × 256 ビット その他: ARC_NSEC コンフィグレーションは無効	R/W
15:2	—	読むとプログラム値が本ビットから読み出されます。(注2)	R/W

注 1. ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。
注 2. 本レジスタは FACI コマンドによってのみプログラム可能です。プログラム時、設定値は 1 です。

ARC_NSEC コンフィグレーション設定は、データフラッシュのコンフィグレーション領域に位置しています。本ビットは、2 種類の ARC_NSEC コンフィグレーションを指定します。それは 4 × 64 ビットまたは 1 × 256 ビットです。インクリメントカウンタコマンドまたはリードカウンタコマンドは、カウンタコンフィグレーション設定が無効な場合、ARC_NSEC に発行できません。

6.2.16 ARC_SECn : セキュアアプリケーション用アンチロールバックカウンタ レジスタ n (n = 0, 1)

Base address: 0x2703_0000

Offset address: 0x850 + 0x004 × n (n = 0, 1)

Bit position:	31 … 0
Bit field:	ARC_SEC[32 × n + 31 : 32 × n]
Value after reset:	ユーザー設定値(注1)

ビット	シンボル	機能	R/W
31:0	ARC_SEC[32 × n + 31 : 32 × n]	セキュアアプリケーションアンチロールバックカウンタ カウンタ値は、上位レジスタ (n = 1) から下位レジスタ (n = 0) へ読み出し値を配置することによって得られます。 詳細は、「49.12.5. アンチロールバックカウンタ」を参照してください。	R/W

注 1. ブランク品の値は、0x0 です。ユーザーがプログラムした値になります。

6.2.17 ARC_NSECn : 非セキュアアプリケーション用アンチロールバックカウンタ レジスタ n (n = 0～7)

Base address: 0x2703_0000

Offset address: 0x858 + 0x004 × n (n = 0～7)

Bit position:	31 … 0
Bit field:	ARC_NSECn[32 × n + 31 : 32 × n]
Value after reset:	ユーザー設定値(注1)

ビット	シンボル	機能	R/W
31:0	ARC_NSECn[32 × n + 31 : 32 × n]	非セキュアアプリケーションアンチロールバックカウンタ カウンタ値は、上位レジスタ (n = 7) から下位レジスタ (n = 0) へ読み出し値を配置することによって得られます。 詳細は、「49.12.5. アンチロールバックカウンタ」を参照してください。	R/W

注 1. ブランク品の値は、0x0 です。ユーザーがプログラムした値になります。

6.3 オプション設定メモリの設定方法

6.3.1 オプション設定メモリへのデータの配置方法

オプション設定メモリにプログラムするデータは、図 6.1 に示すアドレスに配置してください。配置したデータは、フラッシュメモリ書き込みソフトウェアやオンチップデバッガなどのツールで使用されます。

注. プログラミング形式はコンパイラによって異なります。 詳細については、コンパイラのマニュアルを参照してください。

6.3.2 オプション設定メモリにプログラムするデータの設定方法

「6.3.1. オプション設定メモリへのデータの配置方法」に記載した方法でデータを配置するだけでは、オプション設定メモリにデータを書き込むことにはなりません。合わせて、本項に記載されている下記のいずれかを実施してください。

(1) セルフプログラミングでオプション設定メモリを変更する場合

コンフィグレーション設定領域のオプション設定メモリへデータを書き込むには、コンフィグレーション設定コマンドを使用してください。

コードフラッシュオプション設定メモリは、バックグラウンドオペレーション (BGO) に対応していません。オプション設定メモリに書き込むには、書き込みソフトウェアを SRAM にコピー後、SRAM にジャンプします。

コンフィグレーション設定コマンドの詳細は、「49. フラッシュメモリ」を参照してください。

(2) OCD によるデバッグ時またはフラッシュライタによってプログラムする場合

この手順は使用するツールによって異なるため、詳細についてはツールのマニュアルを参照してください。

本 MCU には、以下の 2 つの設定手順があります。

- 「6.3.1. オプション設定メモリへのデータの配置方法」に記述されているように配置されたデータを、コンパイラが生成するオブジェクトファイルやモトローラ S 形式ファイルから読み取り、本 MCU へプログラムします。
- ツールの GUI インタフェースを使用して、「6.3.1. オプション設定メモリへのデータの配置方法」に記述されているように配置されたデータをプログラムします。

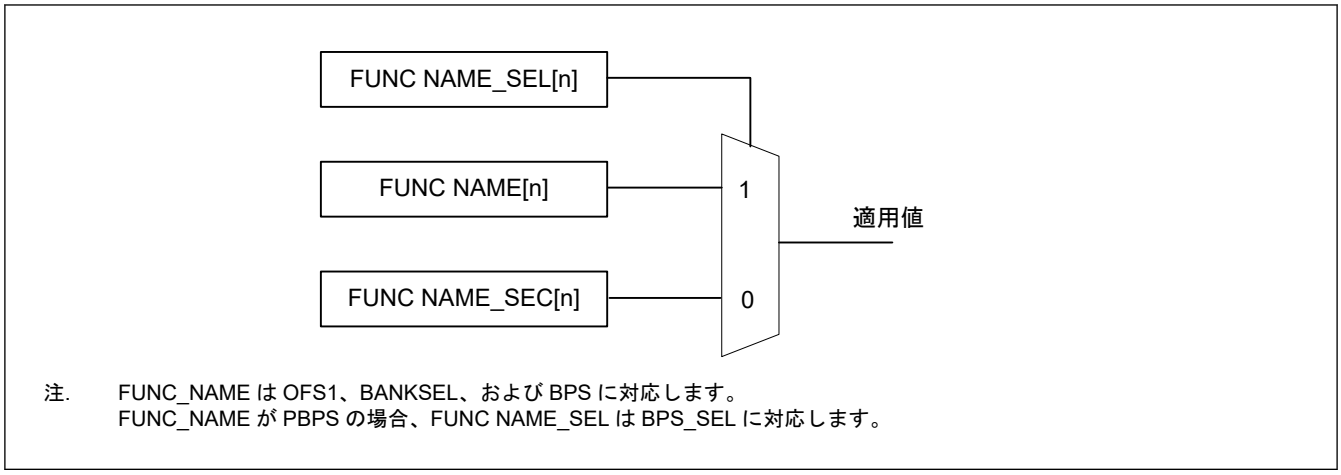
6.3.3 コードフラッシュオプション設定メモリのセキュリティ属性

非セキュア (FUNC NAME)、セキュア (FUNC NAME_SEC)、セキュリティ属性 (FUNC NAME_SEL) 用に 3 つのレジスタを備えた機能があります。セキュアおよびセキュリティ属性用のレジスタを設定できるのはセキュア開発者のみです。図 6.5 に示すように、セキュリティ属性レジスタのビットが 0 になると、セキュアレジスタの対応ビットが適用されます。セキュリティ属性レジスタのビットが 1 になると、非セキュアレジスタの対応ビットが適用されます。

たとえば、OFS1 レジスタの PVD をセキュアに、OFS1 レジスタの HOCO を非セキュアに設定したい場合、セキュア開発者は OFS1_SEL レジスタを下記のように設定する必要があります。

OFS1_SEL = 0xFFFF_FFF0

このように設定すると、OFS1_SEC レジスタの PVDAS および VDSEL[2:0]ビット値と OFS1 レジスタの HOCOFRQ0[2:0]および HOCOEN ビット値が MCU に適用されます。セキュリティ属性レジスタ (FUNC NAME_SEL) の予約ビットは 0 に設定してください。



注. FUNC_NAME は OFS1、BANKSEL、および BPS に対応します。
FUNC_NAME が PBPS の場合、FUNC NAME_SEL は BPS_SEL に対応します。

図 6.5 適用される値の選択

6.3.4 設定値のタイミング

SAS、BPS、BPS_SEC、PBPS、PBPS_SEC、BPS_SEL レジスタにおいて、関連するスタートアップ領域とブロック保護の設定値は、書き込みの直後に適用されます。その他のレジスタについては、設定値は MCU のリセット後に適用されます。

6.4 使用上の注意事項

6.4.1 オプション設定メモリの予約領域および予約ビットにプログラムするデータ

- セキュリティ属性領域 (0x0300 A280～0x0300 A2FF)
  オプション設定メモリの予約領域および予約ビットがプログラム範囲内にある場合、予約領域の全ビットおよび全予約ビットには 0 を書き込んでください。本ビットに 1 を書き込んだ場合、動作は保証しません。
- その他の領域
  オプション設定メモリの予約領域および予約ビットがプログラム範囲内にある場合、予約領域の全ビットおよび全予約ビットには 1 を書き込んでください。これらのビットに 0 を書き込んだ場合、正常動作は保証されません。

7. プログラマブル電圧検出 (PVD)

7.1 概要

プログラマブル電圧検出 (PVD) モジュールは、VCC 端子への入力電圧レベルを監視します。検出レベルはソフトウェアプログラムを使用して選択できます。PVD モジュールは、VCC 端子への入力電圧レベルを測定する、いくつかの独立した電圧レベル検出器で構成されます。PVD のレジスタにより、さまざまな電圧しきい値で、VCC 端子への入力電圧変動の検出を設定できます。

各電圧レベル検出器には、それに対応した電圧監視があります。電圧監視レジスタを用いることで、電圧しきい値を通過したときに、PVD を設定して、割り込み、イベントリンク出力、またはリセットを発生させることができます。

表 7.1 に PVD の仕様を示します。図 7.1 に電圧監視 0 リセット発生回路のブロック図を示します。図 7.2 に電圧監視 m 割り込み／リセット発生回路のブロック図 (m = 1, 2) を示します。

表 7.1 PVD の仕様

項目		電圧監視 0	電圧監視 m (m = 1, 2)
電圧監視	監視端子	VCC	VCC
	検出イベント	下降して V_{det0} を通過	上昇または下降して V_{detm} を通過
	検出電圧	V_{det0} として OFS1(_SEC).VDSEL [2:0]ビットで 8 個の異なるレベルから選択可能	V_{detm} として PVDmCMPCR.PVDLVL[4:0]ビットで 13 個の異なるレベルから選択可能
	監視フラグ	なし	PVDmSR.MON フラグ：電圧が V_{detm} より高いか低いかを監視
			PVDmSR.DET フラグ：V_{detm} 通過検出
電圧検出時の処理	リセット	電圧監視 0 リセット	電圧監視 m リセット
		V_{det0} > VCC でリセット。VCC > V_{det0} の一定時間後に CPU 動作再開	選択可能なリセット条件：V_{detm} > VCC または V_{detm} < VCC のときにリセット 選択可能な CPU 再開時間：VCC > V_{detm} または V_{detm} > VCC の一定時間後
	割り込み	なし	電圧監視 m 割り込み
			ノンマスカブル割り込みまたはマスカブル割り込みを選択可能
			V_{detm} > VCC および VCC > V_{detm} の片方または両方に応じて、割り込み要求を発行
デジタルフィルタ	有効／無効の切り替え	デジタルフィルタ機能なし	あり
	サンプリング時間	—	LOCO クロックの n 分周 × 2 (n: 2, 4, 8, 16)
イベントリンク機能		なし	あり／V_{detm} 通過検出時にイベント信号出力

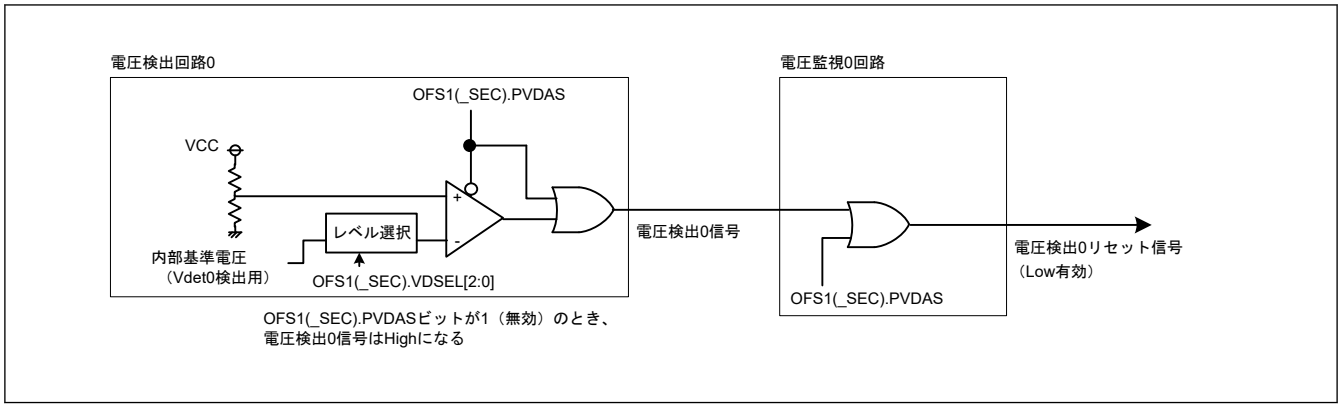


図 7.1 電圧監視 0 リセット発生回路のブロック図

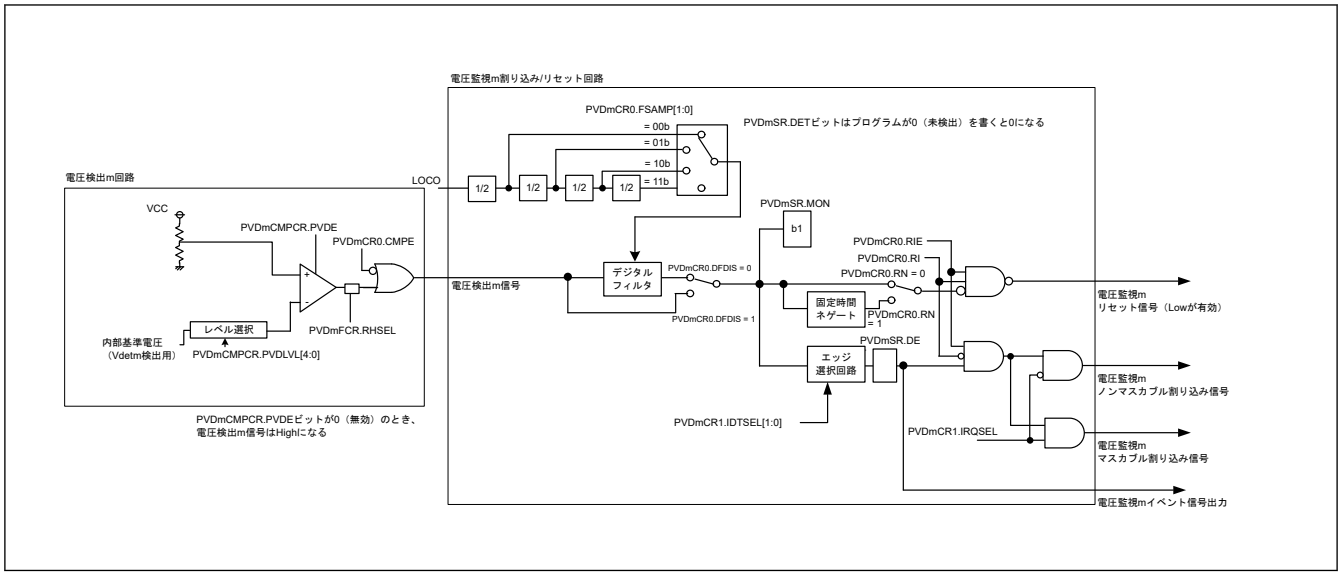


図 7.2　電圧監視 m 割り込み／リセット発生回路のブロック図 (m = 1, 2)

7.2　レジスタの説明

7.2.1　PVDSAR : プログラマブル電圧検出セキュリティ属性レジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x3CC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	NONSEC1	NONSEC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	NONSEC0	非セキュア属性ビット 0 対象レジスタ：PVD1 用レジスタ 0: セキュア 1: 非セキュア	R/W
1	NONSEC1	非セキュア属性ビット 1 対象レジスタ：PVD2 用レジスタ 0: セキュア 1: 非セキュア	R/W
31:2	—	読むと 1 が読めます。 書き込み可能な場合、1 としてください。	R/W

注.　S-TYPE-3, P-TYPE-2
注.　このレジスタは PRCR レジスタによって書き込み保護されています。

PVDSAR レジスタは PVD レジスタのセキュア属性を制御します。

NONSEC0 ビット（非セキュア属性ビット 0）

本ビットは PVD1CMPCR、PVD1CR0、PVD1CR1、PVD1SR、および PVD1FCR の各レジスタのセキュリティ属性を制御します。

NONSEC1 ビット（非セキュア属性ビット 1）

本ビットは PVD2CMPCR、PVD2CR0、PVD2CR1、PVD2SR、PVD2FCR の各レジスタのセキュリティ属性を制御します。

7.2.2 PVDmCMPCR : 電圧監視 m コンパレータコントロールレジスタ (m = 1, 2)

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA58 + 0x4 × (m - 1)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	PVDE	—	—	PVDLVL[4:0]				
Value after reset:	0	0	0	0	1	1	1	1

ビット	シンボル	機能	R/W
4:0	PVDLVL[4:0]	検出電圧 m レベル選択 下記以外は設定しないでください。これらは電圧下降時の標準電圧レベルです。 電圧上昇時の標準電圧レベルの詳細は、「52. 電気的特性」を参照してください。 0x03: 3.86 V (Vdetm_3) 0x04: 3.14 V (Vdetm_4) 0x05: 3.10 V (Vdetm_5) 0x06: 3.08 V (Vdetm_6) 0x07: 2.85 V (Vdetm_7) 0x08: 2.83 V (Vdetm_8) 0x09: 2.80 V (Vdetm_9) 0x0A: 2.62 V (Vdetm_10) 0x0B: 2.33 V (Vdetm_11) 0x0C: 1.90 V (Vdetm_12) 0x0D: 1.86 V (Vdetm_13) 0x0E: 1.74 V (Vdetm_14) 0x0F: 1.71 V (Vdetm_15) その他: 設定禁止	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	PVDE	電圧検出 m 有効 0: 電圧検出 m 回路無効 1: 電圧検出 m 回路有効	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

PVDLVL[4:0]ビット（検出電圧 m レベル選択）

PVDmCMPCR.PVDLVL ビットは、PVDmCMPCR.PVDE ビットが両方 0 のときのみ、書き換えることができます。すべての電圧検出回路は、同じ電圧検出レベルに設定しないでください。

PVDmCMPCR.PVDLVL ビットと PVDmCMPCR.PVDE ビットを同時に書き換えないでください。

PVDmCR0.CMPE が 0 のときのみ、PVDmCMPCR.PVDE を変更できます。

PVDE ビット（電圧検出 m 有効）

電圧検出 m の割り込み／リセットまたは PVDmSR.MON ビットを使用する場合、PVDmCMPCR.PVDE ビットを 1 にしてください。PVDmCMPCR.PVDE ビットの値を 0 から 1 に変更した後、td(E-A) 経過すると、電圧検出 m 回路が起動します。ディープソフトウェアスタンバイモードで電圧検出 m 回路を使用する場合は、ディープソフトウェアスタンバイモード 3 へ遷移しないでください。

7.2.3 PVDmCR0 : 電圧監視 m 回路コントロールレジスタ 0 (m = 1, 2)

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA70 + 0x4 × (m - 1)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RN	RI	FSAMP[1:0]		—	CMPE	DFDIS	RIE
Value after reset:	1	0	0	0	x	0	1	0

ビット	シンボル	機能	R/W
0	RIE	電圧監視 m 割り込み／リセット許可 0: 禁止 1: 許可	R/W
1	DFDIS	電圧監視 m デジタルフィルタ無効モード選択 0: デジタルフィルタ有効 1: デジタルフィルタ無効	R/W
2	CMPE	電圧監視 m 回路比較結果出力許可 0: 電圧監視 m 回路比較結果出力禁止 1: 電圧監視 m 回路比較結果出力許可	R/W
3	—	読み出し値は不定です。書く場合、1 としてください。	R/W
5:4	FSAMP[1:0]	サンプリングクロック選択 0 0: LOCO クロックの 2 分周 0 1: LOCO クロックの 4 分周 1 0: LOCO クロックの 8 分周 1 1: LOCO クロックの 16 分周	R/W
6	RI	電圧監視 m 回路モード選択 (1) PVDmFCR.RHSEL = 0 の場合 0: V_{detm} 通過時に電圧監視 m 割り込み発生 1: 電圧が下降して V_{detm} 通過時に電圧監視 m リセット許可 (2) PVDmFCR.RHSEL = 1 の場合 0: 禁止 1: 電圧が上昇して V_{detm} 通過時に電圧監視 m リセット許可	R/W
7	RN	電圧監視 m リセットネゲート選択 (1) PVDmFCR.RHSEL = 0 の場合 0: VCC > V_{detm} 検出後、安定時間 (t_{PVDm}) 経過後にネゲート 1: PVDm リセットのアサート後、安定時間 (t_{PVDm}) 経過後にネゲート (2) PVDmFCR.RHSEL = 1 の場合 0: VCC < V_{detm} 検出後、安定時間 (t_{PVDm}) 経過後にネゲート 1: 禁止	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

RIE ビット（電圧監視 m 割り込み／リセット許可）

RIE ビットは電圧監視 m 割り込みと電圧監視 m リセットを許可または禁止にします。フラッシュメモリのプログラム／イレース中は、電圧監視 m 割り込みも電圧監視 m リセットも発生しないように、0 に設定してください。

DFDIS ビット（電圧監視 m デジタルフィルタ無効モード選択）

DFDIS ビットはデジタルフィルタの有効または無効を設定します。DFDIS ビットが 0（デジタルフィルタ有効）の場合、LOCOCR.LCSTP ビットを 0（LOCO 動作）にしてください。電圧監視 m 回路をソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードで使用する場合、DFDIS ビットを 1（デジタルフィルタ無効）にしてください。

CMPE ビット（電圧監視 m 回路比較結果出力許可）

CMPE ビットは、電圧監視 m 回路比較結果出力を許可または禁止します。電圧検出 m 回路を有効にして安定時間 ($t_{d(E-A)}$) 経過後に、CMPE ビットを 1 に設定してください。電圧検出 m 回路を停止するときは、CMPE ビットを 0 に設定してから電圧検出 m 回路を無効にしてください。

FSAMP[1:0]ビット（サンプリングクロック選択）

FSAMP[1:0]ビットは、PVDmCR0.DFDIS ビットが 1（デジタルフィルタ無効）の場合のみ、書き換え可能です。PVDmCR0.DFDIS ビットが 0（デジタルフィルタ有効）の場合は、FSAMP[1:0]ビットを書き換えないでください。

RI ビット（電圧監視 m 回路モード選択）

PVDmCR0.RI ビットが 1（電圧監視 m リセット選択）の場合、ディープソフトウェアスタンバイモード 2、3 へ遷移できません。この場合、ディープソフトウェアスタンバイモード 1 へ遷移します。ディープソフトウェアスタンバイモード 2、3 へ遷移するには、PVDmCR0.RI ビットを 0（電圧監視 m 割り込み選択）にしてください。

RN ビット（電圧監視 m リセットネゲート選択）

PVDmFCR.RHSEL = 0 の場合

- RN ビットを 1（PVDm リセット信号のアサート後、安定時間経過後にネゲート）にする場合は、LOCOCR.LCSTP ビットは 0（LOCO 動作）にしてください。さらに、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードに遷移すると、RN ビットは 0（VCC > V_{detm} 検出後、安定時間経過後にネゲート）のみが可能です。この場合、RN ビットを 1（PVDm リセット信号のアサート後、安定時間経過後にネゲート）にしないでください。

PVDmFCR.RHSEL = 1 の場合

- RN ビットを 1 にしないでください。

7.2.4 PVDmCR1 : 電圧監視 m 回路コントロールレジスタ 1 (m = 1, 2)

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x0E0 + 0x2 × (m-1)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	IRQSEL	IDTSEL[1:0]	
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
1:0	IDTSEL[1:0]	電圧監視 m 割り込み発生条件選択 (1) PVDmFCR.RHSEL = 0 の場合 0 0: VCC ≧ V_{detm}（上昇）検出時に発生 0 1: VCC < V_{detm}（下降）検出時に発生 1 0: 下降および上昇検出時に発生 1 1: 設定禁止 (2) PVDmFCR.RHSEL = 1 の場合 本ビットには適用不可	R/W
2	IRQSEL	電圧監視 m 割り込み種類選択 0: ノンマスカブル割り込み 1: マスカブル割り込み(注1)	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. マスカブル割り込みを許可する場合、ICU にある NMIER.PVDmEN ビットの値をリセット状態から変更しないでください。

7.2.5 PVDmSR : 電圧監視 m 回路ステータスレジスタ (m = 1, 2)

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x0E1 +0x2 × (m - 1)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MON	DET
Value after reset:	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
0	DET	電圧監視 m 電圧変化検出フラグ(注1) (1) PVDmFCR.RHSEL = 0 の場合 0: 未検出 1: V_{detm} 通過検出 (2) PVDmFCR.RHSEL = 1 の場合 本ビットの設定は適用されません。	R/W
1	MON	電圧監視 1 信号モニタフラグ (1) PVDmFCR.RHSEL = 0 の場合 0: VCC ≦ V_{detm} 1: VCC > V_{detm} または MON 無効 (2) PVDmFCR.RHSEL = 1 の場合 本ビットの設定は適用されません。	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. 本ビットには 0 のみ書けます。本ビットに 0 を書いた後、本ビットで 0 が読み出されるまでにシステムクロック (ICLK) で 2 サイクルの時間が必要です。

DET フラグ（電圧監視 m 電圧変化検出フラグ）

DET フラグは、PVDmCMPCR.PVDE ビットが 1（電圧検出 m 回路有効）であり、かつ PVDmCR0.CMPE ビットが 1（電圧監視 m 回路比較結果出力許可）のときに有効になります。

PVDmCR0.RIE ビットを 0（禁止）にした後、DET フラグを 0 にしてください。PCLKB の 2 サイクル以上の期間が経過した後、PVDmCR0.RIE ビットを 1（許可）に設定できます。

I/O レジスタの読み出しアクセス用に規定された PCLKB のサイクル数に依存して、PCLKB の 2 サイクル以上の期間を待機時間として確保しなければならない場合があります。

MON フラグ（電圧監視 1 信号モニタフラグ）

MON フラグは、PVDmCMPCR.PVDE ビットが 1（電圧検出 m 回路有効）であり、かつ PVDmCR0.CMPE ビットが 1（電圧監視 m 回路比較結果出力許可）のときに有効になります。

7.2.6 PVDmFCR : 電圧監視 m 機能コントロールレジスタ (m = 1, 2)

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xB20 +0x4 × (m - 1)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	RHSEL
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RHSEL	上昇ヒステリシス選択 0: VCC 降下検出用ヒステリシスレベルを選択 1: VCC 上昇検出用ヒステリシスレベルを選択	R/W

ビット	シンボル	機能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

すべての PVDmCMPCR.PVDE ビットが 0 のときのみ、PVDmFCR.RHSEL フラグを変更できます。

RHSEL フラグ（上昇ヒステリシス選択）

VCC 降下検出に対して RHSEL = 0 の場合、ヒステリシスレベルは PVDLVL[4:0]により設定された電圧検出レベルより上に設定されます。VCC 上昇検出に対して RHSEL = 1 の場合、ヒステリシスレベルは PVDLVL[4:0]により設定された電圧検出レベルより下に設定されます。PVDm のヒステリシスレベルの詳細については、電気的特性の章を参照してください。

VCC 降下検出により発生する PVDm リセットが要求された場合、RHSEL を 0 にしてください。

VCC 上昇検出により発生する PVDm リセットが要求された場合、RHSEL を 1 にしてください。

PVDmCR0.RI = 0 のとき、RHSEL を 1 にしないでください。

PVDmCR0.RN = 1 のとき、RHSEL を 1 にしないでください。

7.3 VCC 入力電圧の監視

7.3.1 V_{det0} の監視

電圧監視 0 の比較結果は、読み出すことができません。

7.3.2 V_{detm} の監視

設定が完了すると、PVDmSR.MON フラグで電圧監視 m の比較結果を監視できます。

表 7.2 V_{detm} の監視の設定手順

手順		電圧監視 1 による比較結果の監視
電圧検出 m 回路の設定	1	PVDmCMPCR.PVDLVL[4:0]ビットへ書き込む前に、PVDmCMPCR.PVDE を 0 にして電圧検出 m 回路を無効にする
	2	PVDmCMPCR.PVDLVL[4:0]ビットで検出電圧を選択する
	3	PVDmCMPCR.PVDE を 1 にして、電圧検出 m 回路を有効にする
	4	$t_{d\ (E-A)}$以上待機する(注1)
デジタルフィルタの設定 (注2)	5	PVDmCR0.FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する
	6	PVDmCR0.DFDIS を 0 にして、デジタルフィルタを有効にする
	7	LOCO クロックの 2n+3 サイクル以上待機する （ここで、n = 2, 4, 8, 16 であり、デジタルフィルタのサンプリングクロックは LOCO クロックの n 分周である）
出力許可の設定	8	PVDmCR0.CMPE を 1 にして、電圧監視 m の比較結果の出力を許可する

注 1. 手順 4 の待機時間中に手順 5～7 を行うことができます。
注 2. デジタルフィルタを使用しない場合、手順 5～7 は不要です。

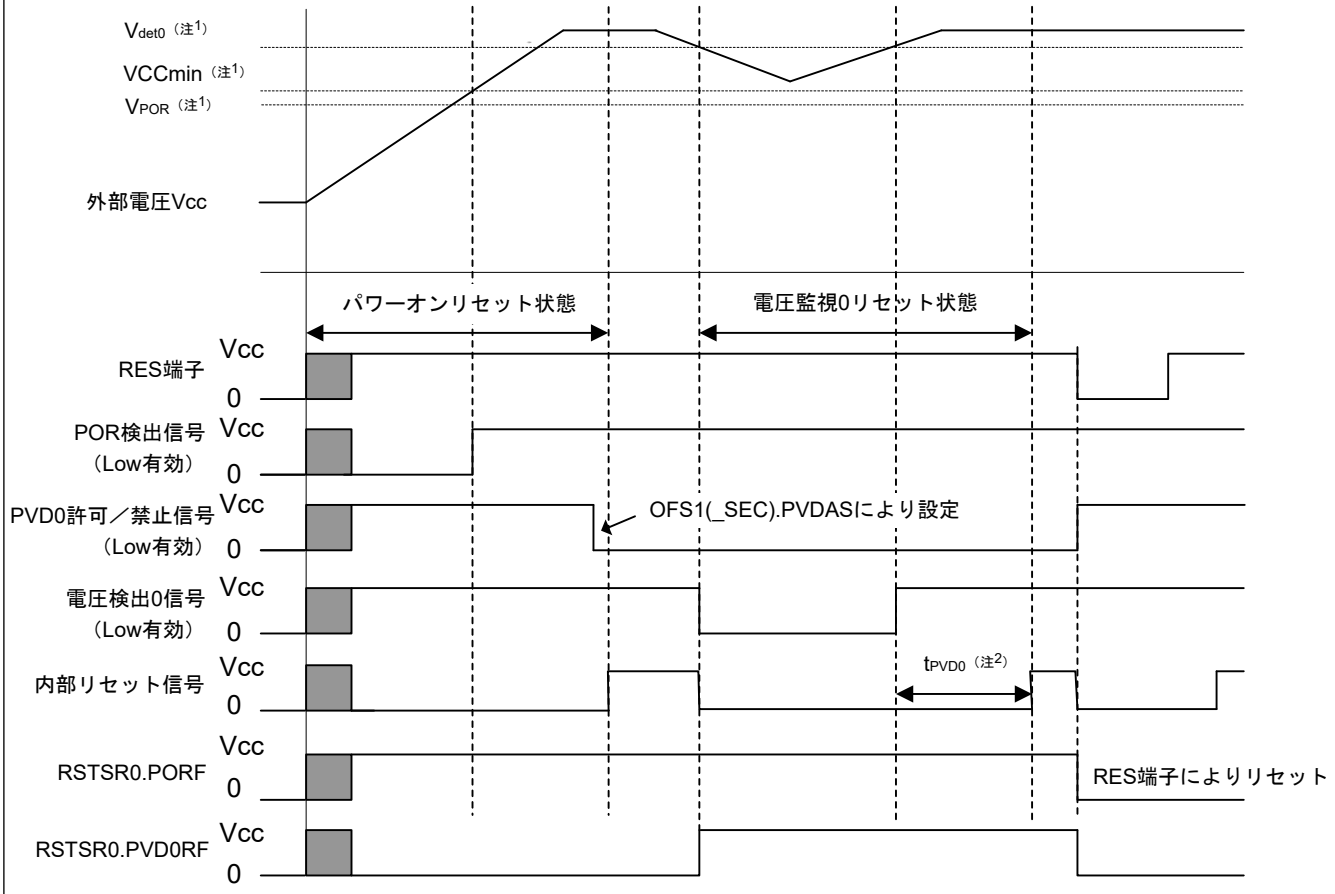
上の表の手順に従って PVDm を設定した後、PVDm の設定を再度変更する場合は、PVDmCR0.CMPE を 0 にしてから、上の表の手順に従って PVDm を再設定してください。

PVDmCMPCR.PVDLVL を変更する場合は、「7.2.2. PVDmCMPCR : 電圧監視 m コンパレータコントロールレジスタ (m = 1, 2)」の説明に従ってください。

7.4 電圧監視 0 リセット

電圧監視 0 リセットを使用する場合は、OFS1(_SEC).PVDAS ビットを 0 にしてください。（リセット後、電圧監視 0 リセットを有効にします。）

図 7.3 に電圧監視 0 リセットの動作例を示します。



注. 電気的特性の詳細は、「52. 電気的特性」を参照してください。
注 1. V_{POR} はパワーオンリセットの検出レベルを示し、V_{det0} は電圧監視 0 リセットの検出レベルを示します。また、VCC_{min} は MCU の最低保証電圧を示します。
注 2. t_{PVD0}: 電圧監視 0 リセットが解除されるまでの期間
注 3. 電源電圧が上昇するとき、パワーオンリセット状態が解除される前に、VCC が最低保証電圧以上になっていなければなりません。

図 7.3 電圧監視 0 リセットの動作例

7.5 電圧監視 m 割り込み、電圧監視 m リセット (m = 1, 2)

電圧検出 m 回路での比較結果により、割り込みまたはリセットを発生させることができます。

表 7.3 に電圧監視動作時の電圧監視 m 割り込みと電圧監視 m リセットに関連するビットの設定手順を示します。表 7.4 に電圧監視停止時の電圧監視 m 割り込みと電圧監視 m リセットに関連するビットの設定手順を示します。図 7.4 に電圧監視 m 割り込みの動作例を示します。電圧監視 m リセットの動作については、「5. リセット」の図 5.2 を参照してください。

さらに、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードで電圧監視 m 回路を使用する場合は、以下の手順に従って、電圧監視 m 回路を設定してください。

(1) ソフトウェアスタンバイモード時の設定

- デジタルフィルタを無効 (PVDmCR0.DFDIS = 1) にしてください。
- PVDmFCR.RHSEL = 0 の場合
- VCC > V_{detm} 検出後、動作安定時間経過後に電圧監視 m リセット信号をネゲート (PVDmCR0.RN = 0) してください。

(2) ディープソフトウェアスタンバイモード時の設定

- デジタルフィルタを無効 (PVDmCR0.DFDIS = 1) にしてください。
- 電圧監視 m 割り込みを許可 (PVDmCR0.RI = 0) にしてください。電圧監視 m リセットが許可 (PVDmCR0.RI = 1) になっている場合、ディープソフトウェアスタンバイモード 2 または 3 へ遷移せず、ディープソフトウェアスタンバイモード 1 へ遷移します。
- ディープソフトウェアスタンバイモード 3 の間は、電圧監視 m 回路は停止します。ディープソフトウェアスタンバイモードで電圧監視 m 回路を使用する場合は、ディープソフトウェアスタンバイモード 3 へ遷移しないでください。

(3) オンチップデバッグモードにおける無効

- オンチップデバッグモードで DBGSTOPCR.DBGSTOP_PVD を設定することにより、電圧監視 m 回路の機能は無効になります。

表 7.3 電圧監視動作時の電圧監視 m 割り込みと電圧監視 m リセットに関連するビットの設定手順 (m = 1, 2)

手順		電圧監視 m 割り込み（電圧監視 m の ELC イベント出力）	電圧監視 m リセット
電圧検出 m 回路の設定	1	PVDmCMPCR.PVDE ビットを 0 にして、PVDmCMPCR.PVDLVL レジスタと PVDmFCR.RHSEL レジスタに書き込む前に電圧検出 m 回路を無効にする	
	2	PVDmCMPCR.PVDLVL ビットを設定して、検出電圧を選択する	
	3	—	PVDmFCR.RHSEL フラグを設定して、リセット条件の種類を選択する
	4	PVDmCMPCR.PVDE ビットを 1 にして、電圧検出 m 回路を有効にする	
	5	$t_{d\ (E-A)}$以上待機する(注1)	
デジタルフィルタの設定 (注2)	6	PVDmCR0.FSAMP[1:0]ビットを設定して、デジタルフィルタのサンプリングクロックを選択する	
	7	PVDmCR0.DFDIS ビットを 0 にして、デジタルフィルタを有効にする	
	8	LOCO クロックの 2n + 3 サイクル以上待機する（ここで、n = 2, 4, 8, 16 であり、デジタルフィルタのサンプリングクロックは LOCO クロックの n 分周である）(注4)	
電圧監視 m 割り込み／リセットの設定	9	PVDmCR0.RI ビットを 0 にして、電圧監視 m 割り込みを選択する	• PVDmCR0.RI ビットを 1 にして、電圧監視 m リセットを選択する • PVDmCR0.RN ビットを設定して、リセットネゲートの種類を選択する
	10	• PVDmCR1.IDTSEL[1:0]ビットを設定して、割り込み要求のタイミングを選択する • PVDmCR1.IRQSEL ビットを設定して、割り込みの種類を選択する	—
出力許可の設定	11	PVDmSR.DET フラグを 0 にする	
	12	PVDmCR0.RIE ビットを 1 にして、電圧監視 m 割り込み／リセットを許可する(注3)	
	13	PVDmCR0.CMPE ビットを 1 にして、電圧監視 m の比較結果出力を許可する	

注 1. 手順 4 の待機時間中に手順 6～12 を行うことができます。
注 2. デジタルフィルタを使用しない場合、手順 6～8 は不要です。
注 3. ELC イベント信号のみを出力させる場合、手順 12 は不要です。
注 4. 手順 8 の待機時間中に手順 9～12 を行うことができます。

表 7.3 の手順に従って PVDm を設定した後、PVDm の設定を再度変更する場合は、表 7.4 の手順に従って PVDm を停止してから、表 7.3 の手順に従って PVDm を再設定してください。

PVDmCMPCR.PVDLVL を変更する場合は、「7.2.2. PVDmCMPCR : 電圧監視 m コンパレータコントロールレジスタ (m = 1, 2)」の説明に従ってください。

表 7.4 電圧監視停止時の電圧監視 m 割り込みと電圧監視 m リセットに関連するビットの設定手順 (m = 1, 2) (1/2)

手順		電圧監視 m 割り込み（電圧監視 m の ELC イベント出力）、電圧監視 m リセット
出力許可停止の設定	1	PVDmCR0.CMPE を 0 にして、電圧監視 m の比較結果出力を禁止する
	2	LOCO クロックの 2n + 3 サイクル以上待機する（ここで、n = 2, 4, 8, 16 であり、デジタルフィルタのサンプリングクロックは LOCO クロックの n 分周である）(注1)

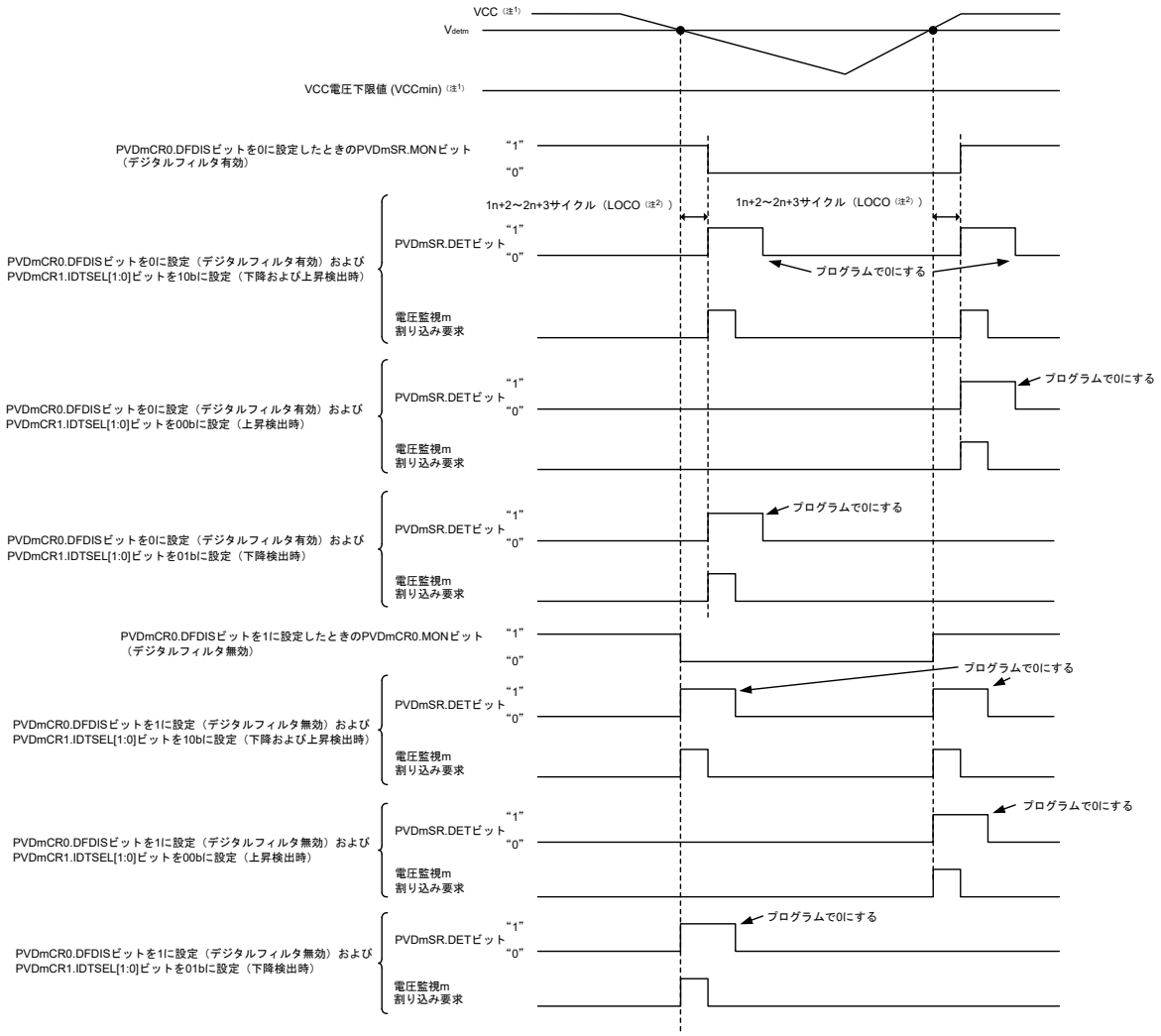
表 7.4 電圧監視停止時の電圧監視 m 割り込みと電圧監視 m リセットに関連するビットの設定手順 (m = 1, 2) (2/2)

手順		電圧監視 m 割り込み（電圧監視 m の ELC イベント出力）、電圧監視 m リセット
	3	PVDmCR0.RIE を 0 にして、電圧監視 m 割り込み／リセットを禁止する(注3)
デジタルフィルタ停止の設定	4	PVDmCMPCR.DFDIS を 1 にして、デジタルフィルタを無効にする(注1), (注2)
電圧検出 m 回路停止の設定	5	PVDmCMPCR.PVDE を 0 にして、電圧検出 m 回路を無効にする

注 1. デジタルフィルタを使用しない場合、手順 2 と手順 4 は不要です。
注 2. デジタルフィルタを有効状態から無効にした後に再度有効にする場合、無効にしてから再度有効にするまで、LOCO クロックの 2 サイクル以上待機する必要があります。
注 3. ELC イベント信号のみを出力させる場合、手順 3 は不要です。

電圧監視 m 割り込みまたは電圧監視 m リセットを使用した後にいったん停止してから、再度設定する場合は、条件に従って停止手順と再設定手順を次のように省略することができます。

- 電圧検出 m 回路の設定を変更しない場合、電圧検出 m 回路に対する再設定または停止は不要
- デジタルフィルタの設定を変更しない場合、デジタルフィルタに対する再設定または停止は不要
- 電圧監視 m 割り込みまたは電圧監視 m リセットの設定を変更しない場合、電圧監視 m 割り込みまたは電圧監視 m リセットに対する再設定は不要



注 1. 電圧監視 0 リセットを使用しない場合、VCC ≧ VCCmin で使用してください。
注 2. n：デジタルフィルタのサンプリングクロックの周波数は、LOCO クロックの周波数の n 分周です。

図 7.4 電圧監視 m 割り込みの動作例 (m = 1, 2)

7.6 ELC によるリンク動作

PVDm (m = 1, 2) は、イベントリンクコントローラ (ELC) に対してイベント信号の出力が可能です。

(1) V_{detm} 通過検出イベント

PVDm は、電圧検出 m 回路有効かつ電圧監視 m 回路比較結果出力許可の状態において、V_{detm} 通過を検出した場合にイベント信号を出力します。

PVDm のイベントリンク出力機能を有効にする場合、PVDm を有効にしてから、ELC 側の PVDm イベントリンク機能を有効にする必要があります。PVDm のイベントリンク出力機能を停止する場合は、PVDm を停止してから、ELC 側の PVDm イベントリンク機能を無効にする必要があります。

7.6.1 割り込み処理とイベントリンクの関係

各 PVD には、電圧監視 m 割り込みを個別に許可または禁止するビットがあります。割り込み要因が発生し、割り込み許可ビットで割り込みが許可される場合は、割り込み信号が CPU へ出力されます。

これに対してイベントリンク信号は、割り込み許可ビットの状態とは無関係に、割り込み要因が発生するとただちに、ELC を介して他のモジュールにイベント信号として出力されます。

ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード 1、およびディープソフトウェアスタンバイモード 2 では、電圧監視 m 割り込み信号を出力することができます。ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード 1、およびディープソフトウェアスタンバイモード 2 では、ELC 用のイベント信号は以下のように出力されます。

- ソフトウェアスタンバイモード期間中に V_{detm} 通過イベントを検出した場合、ソフトウェアスタンバイモードではクロックが供給されていないため ELC 用のイベント信号は発生しません。V_{detm} 通過検出フラグは保持されているため、ソフトウェアスタンバイモードから復帰してクロック供給が再開されると、V_{detm} 通過検出フラグの状態に従って ELC 用のイベント信号が出力されます。
- ディープソフトウェアスタンバイモード期間中に V_{detm} 通過イベントを検出した場合、ELC 用のイベント信号は発生しません。

8. クロック発生回路

8.1 概要

本 MCU はクロック発生回路を内蔵しています。表 8.1 と表 8.2 にクロック発生回路の仕様を示します。図 8.1 にブロック図、表 8.3 に入出力端子を示します。

表 8.1 クロック発生回路の仕様（クロックソース）

クロックソース	項目	内容
メインクロック発振器 (MOSC)	発振子周波数	8 MHz～48 MHz (USB ブートモードで使用可能な周波数については、ブートファームウェアのアプリケーションノートを参照してください)
	外部クロック入力周波数	最高 48 MHz
	接続可能発振子または付加回路：セラミック発振子、水晶振動子 接続端子：EXTAL, XTAL	あり
	駆動能力切り替え	あり
	自動ゲイン制御機能	あり
	発振停止検出機能	あり
サブクロック発振器 (SOSC)	発振子周波数	32.768 kHz
	接続可能発振子または付加回路：水晶振動子 接続端子：XCIN, XCOUT	あり
	外部クロック入力	あり
	駆動能力切り替え	あり
PLL1 回路 PLL2 回路	入力クロックソース	MOSC, HOCO
	入力パルス分周比	1、2、3、4 分周から選択可能
	入力クロック周波数	8 MHz～48 MHz
	入力クロック周波数 （入力周波数分周後）	6 MHz～12 MHz
	周波数の逓倍比	53～180 から選択可能（小数点以下：0/0.33/0.50/0.66）
	VCO 周波数	640 MHz～1440 MHz
	出力クロック数	3 つの異なるクロックを出力
	PLL 出力クロック P	40 MHz～480 MHz （出力分周比：2/4/6/8/16）
	PLL 出力クロック Q	71 MHz～480 MHz （出力分周比：2/3/4/5/6/8/9）
	PLL 出力クロック R	71 MHz～480 MHz （出力分周比：2/3/4/5/6/8/9）
高速オンチップオシレータ (HOCO)	発振周波数	16/18/20/32/48 MHz
	FLL 機能	あり
	ユーザートリミング	あり
中速オンチップオシレータ (MOCO)	発振周波数	8 MHz
	ユーザートリミング	あり
低速オンチップオシレータ (LOCO)	発振周波数	32.768 kHz
	ユーザートリミング	あり
JTAG 用外部クロック入力 (TCK)	入力クロック周波数	最高 25 MHz
SWD 用外部クロック入力 (SWCLK)	入力クロック周波数	最高 25 MHz

表 8.2 クロック発生回路の仕様（内部クロック） (1/2)

項目	クロックソース	クロック供給先	内容
CPU クロック (CPUCLK)	MOSC/SOSC/HOCO/MOCO/PLL1P	CPU, TCM	最高 360 MHz、分周比：1/2/3/4/6/8/12/16/32/64
システムクロック (ICLK)	MOSC/SOSC/HOCO/MOCO/PLL1P	DMAC、DTC、フラッシュ（コードフラッシュから読み出し）、SRAM、スタンバイ SRAM、システムバス、I/O ポート、ICU	最高 240 MHz、分周比：1/2/3/4/6/8/12/16/32/64
デバッガクロック (DCLK)	ICLK の 2 分周	デバッグサブシステム	最高 120 MHz
周辺モジュールクロック A (PCLKA)	MOSC/SOSC/HOCO/MOCO/PLL1P	高速周辺バス (ETHERC, EDMAC, SCI, CANFD, CNECC, SPI, CRC, DOC, ADC12, DAC12, RSIP-E51A, GPT, CEU)	最高 120 MHz、分周比：1/2/3/4/6/8/12/16/32/64
周辺モジュールクロック B (PCLKB)	MOSC/SOSC/HOCO/MOCO/PLL1P	低速周辺バス (CAC, ELC, POEG, RTC, WDT, IWDT, AGT, ULPT, IIC, USBFS, SSIE, TSN, ACMPHS, OSPI)	最高 60 MHz、分周比：1/2/3/4/6/8/12/16/32/64
周辺モジュールクロック C (PCLKC)	MOSC/SOSC/HOCO/MOCO/PLL1P	周辺モジュール（ADC12 変換クロック）	最高 60 MHz、分周比：1/2/3/4/6/8/12/16/32/64
周辺モジュールクロック D (PCLKD)	MOSC/SOSC/HOCO/MOCO/PLL1P	周辺モジュール（GPT カウントクロック）	最高 120 MHz、分周比：1/2/3/4/6/8/12/16/32/64
周辺モジュールクロック E (PCLKE)	MOSC/SOSC/HOCO/MOCO/PLL1P	周辺モジュール (CNECC)	最高 240 MHz、分周比：1/2/3/4/6/8/12/16/32/64
FlashIF クロック (FCLK)	MOSC/SOSC/HOCO/MOCO/PLL1P	FlashIF	4 MHz～60 MHz (P/E)、最高 60 MHz（読み出し）、分周比：1/2/3/4/6/8/12/16/32/64
トレースクロック (TRCLK)	MOSC/SOSC/HOCO/MOCO/PLL1P	CPU-OCD	最高 120 MHz、分周比：1/2/3/4/6/8/12/16/32/64/128/256
SCI クロック (SCICLK)	MOSC/SOSC/HOCO/MOCO/LOCO/PLL1P/PLL1Q/PLL1R/PLL2P/PLL2Q/PLL2R	SCI	最高 120 MHz 分周比：1/2/3/4/5/6/8
SPI クロック (SPICLK)	MOSC/SOSC/HOCO/MOCO/LOCO/PLL1P/PLL1Q/PLL1R/PLL2P/PLL2Q/PLL2R	SPI	最高 120 MHz 分周比：1/2/3/4/5/6/8
Octal-SPI クロック (OCTACLK)	MOSC/SOSC/HOCO/MOCO/LOCO/PLL1P/PLL1Q/PLL1R/PLL2P/PLL2Q/PLL2R	Octal-SPI	最高 200 MHz 分周比：1/2/3/4/5/6/8
Octal-SPI 分周クロック (OCTADIVCLK)	OCTACLK の 2 分周	Octal-SPI	最高 100 MHz
CANFD コアクロック (CANFDCLK)	MOSC/SOSC/HOCO/MOCO/LOCO/PLL1P/PLL1Q/PLL1R/PLL2P/PLL2Q/PLL2R	CANFD	最高 80 MHz 分周比：1/2/3/4/5/6/8
USB クロック (USBCLK)	MOSC/HOCO/MOCO/PLL1P/PLL1Q/PLL1R/PLL2P/PLL2Q/PLL2R	USBFS	48 MHz 分周比：1/2/3/4/5/6/8
クロック／ブザー出力 (CLKOUT)	MOSC/SOSC/HOCO/MOCO/LOCO	CLKOUT 端子	最高 60 MHz 分周比：1/2/4/8/16/32/64/128
CAN クロック (CANMCLK)	MOSC	CANFD	8 MHz～48 MHz 分周なし
ULPT LOCO クロック (ULPTLCLK)	LOCO	ULPT	32.768 kHz 分周なし
ULPT サブクロック (ULPTSCLK)	SOSC	ULPT	32.768 kHz 分周なし
AGT LOCO クロック (AGTLCLK)	LOCO	AGT	32.768 kHz 分周なし
AGT サブクロック (AGTSCLK)	SOSC	AGT	32.768 kHz 分周なし

表 8.2 クロック発生回路の仕様（内部クロック） (2/2)

項目	クロックソース	クロック供給先	内容
CAC メインクロック (CACMCLK)	MOSC	CAC	最高 48 MHz 分周なし
CAC サブクロック (CACSCLK)	SOSC	CAC	32.768 kHz 分周なし
CAC HOCO クロック (CACHCLK)	HOCO	CAC	16/18/20/32/48 MHz 分周なし
CAC MOCO クロック (CACMOCLK)	MOCO	CAC	8 MHz 分周なし
CAC LOCO クロック (CACLCLK)	LOCO	CAC	32.768 kHz 分周なし
RTC LOCO クロック (RTCLCLK)	LOCO	RTC	32.768 kHz 分周なし
RTC サブクロック (RTCSCLK)	SOCO	RTC	32.768 kHz 分周なし
IWDT クロック (IWDTCLK)	LOCO の 2 分周	IWDT	16.384 kHz 分周なし
SysTick タイマクロック (SYSTICKCLK)	MOCO の 8 分周	SysTick タイマ	1 MHz 分周なし
JTAG クロック (JTAGTCK)	TCK	JTAG	最高 25 MHz 分周なし
シリアルワイヤクロック (SWCLK)	TCK	OCD	最高 25 MHz 分周なし
TCLK 端子出力 (TCLK)	TRCLK の 2 分周	TCLK 端子	最高 60 MHz

注. クロックソースとして PLL を選択した場合、PLL 出力周波数は 480 MHz 以下に設定してください。

注. PLL 基準クロックソースとして HOCO を使用する場合、PLL 乗算設定は、HOCO 周波数（最高／最低）を考慮して、PLL の出力周波数範囲内としてください。

注. クロック周波数の設定に関する制限：CPUCLK ≧ ICLK、ICLK ≧ PCLKA ≧ PCLKB、ICLK ≧ FCLK、PCLKD ≧ PCLKA ≧ PCLKB
クロック周波数比に関する制限：（N は最大 64 の整数）
CPUCLK:ICLK = N:1、ICLK:FCLK = N:1、ICLK:PCLKA = N:1、ICLK:PCLKB = N:1、ICLK:PCLKC = N:1 または 1:N、ICLK:PCLKD = N:1 または 1:N、ICLK:PCLKE = N:1 または 1:N
1 クロックで 3、6、12 分周を選択しているときに、SCKDIVCR レジスタと SCKDIVCR2 レジスタで設定するその他のクロックで 2、4、8、16、32、64 分周を選択しないでください。
A/D コンバータが有効な場合のクロック周波数比に関する制限：
PCLKA:PCLKC = 1:1、2:1、4:1、8:1、1:2、または 1:4
CAN-FD を用いる場合、クロック周波数比は、PCLKA:PCLKE = 1:2 に制限されます。

注. P/E の場合の最低 FCLK 周波数 4 MHz における制限

注. FLL 機能を使用しない場合 HOCO 周波数を考慮し、PLL1 と PLL2 の逓倍は PLL1、PLL2 の出力周波数範囲内としてください。

注. クロックには、許容周波数範囲があります（表 8.2 を参照してください）。
フラッシュメモリと SRAM にも、各ウェイトサイクルの設定値に許容動作周波数範囲があります。（「47. SRAM」および「49. フラッシュメモリ」を参照してください）。
FLL 機能を使用しない場合、これらのクロック周波数範囲は HOCO 自身に最高または最低周波数があったとしても、必ず満たす必要があります（「52. 電気的特性」を参照してください）。

注. ETHERC を使用した場合の PCLKA 周波数は以下の通りです。
12.5 MHz ≦ PCLKA ≦ 120 MHz

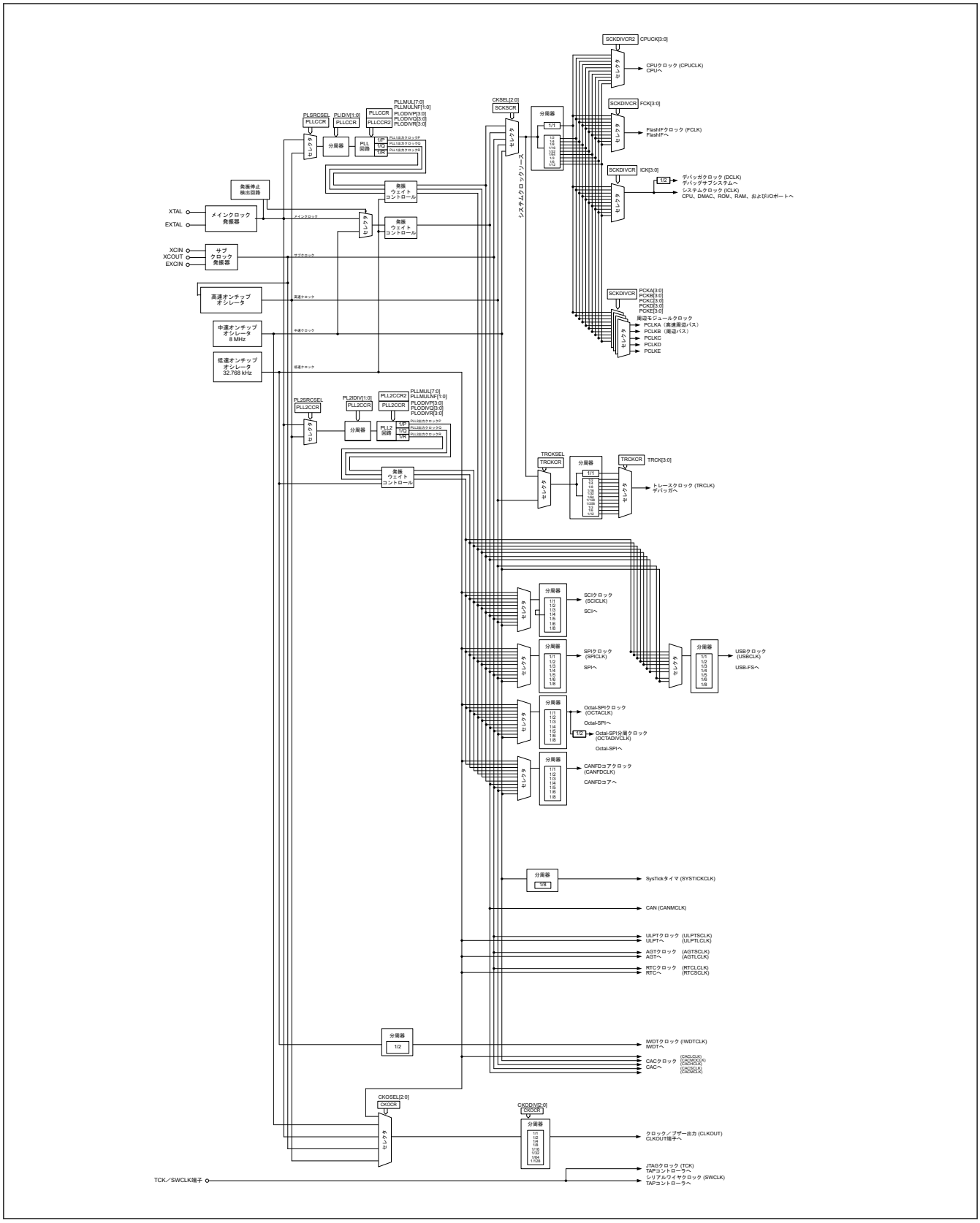


図 8.1　クロック発生回路のブロック図

表 8.3 にクロック発生回路の入出力端子を示します。

表 8.3 クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力	これらの端子はセラミック発振子または水晶振動子の接続に使用します。EXTAL 端子は外部クロックの入力にも使用できます。詳細は、「8.3.2. 外部クロックを入力する方法」を参照してください。
EXTAL	入力	
XCIN	入力	32.768 kHz の水晶振動子を接続します。
XCOUT	出力	
EXCIN	入力	外部サブクロック入力
TCK/SWCLK	入力	JTAG/SWD 用のクロック入力端子
CLKOUT	出力	CLKOUT クロック用の出力端子
TRCLK	出力	トレースクロック出力

8.2 レジスタの説明

8.2.1 CGFSAR : クロック発生機能セキュリティ属性レジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x3C0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	NONSEC22	NONSEC21	—	—	NONSEC18	NONSEC17	NONSEC16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	NONSEC11	—	NONSEC09	NONSEC08	NONSEC07	NONSEC06	NONSEC05	NONSEC04	NONSEC03	NONSEC02	—	NONSEC00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	NONSEC00	非セキュア属性ビット 00 対象レジスタ: SCKDIVCR, SCKDIVCR2, SCKSCR 対象要素: システムクロックコントロール 0: セキュア 1: 非セキュア	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	NONSEC02	非セキュア属性ビット 02 対象レジスタ: HOCOCR, HOCOCR2, FLLCR1, FLLCR2, HOCOUTCR, HOCOSCR 対象要素: HOCO 0: セキュア 1: 非セキュア	R/W
3	NONSEC03	非セキュア属性ビット 03 対象レジスタ: MOCOCR, MOCOUTCR 対象要素: MOCO 0: セキュア 1: 非セキュア	R/W
4	NONSEC04	非セキュア属性ビット 04 対象レジスタ: LOCOCR, LOCOUTCR 対象要素: LOCO 0: セキュア 1: 非セキュア	R/W
5	NONSEC05	非セキュア属性ビット 05 対象レジスタ: MOSCCR, MOSCWTCR, MOMCR, MOSCSCR 対象要素: MOSC 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
6	NONSEC06	非セキュア属性ビット 06 対象レジスタ: OSTDCR, OSTDSR 対象要素：発振停止検出コントロール 0: セキュア 1: 非セキュア	R/W
7	NONSEC07	非セキュア属性ビット 07 対象レジスタ: SOSCCR, SOMCR 対象要素: SOSC 0: セキュア 1: 非セキュア	R/W
8	NONSEC08	非セキュア属性ビット 08 対象レジスタ: PLLCCR, PLLCCR2, PLLCR 対象要素: PLL 0: セキュア 1: 非セキュア	R/W
9	NONSEC09	非セキュア属性ビット 09 対象レジスタ: PLL2CCR, PLL2CCR2, PLL2CR 対象要素: PLL2 0: セキュア 1: 非セキュア	R/W
10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	NONSEC11	非セキュア属性ビット 11 対象レジスタ：CKOCR 対象要素: CLKOUT 制御 0: セキュア 1: 非セキュア	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	NONSEC16	非セキュア属性ビット 16 対象レジスタ: USBCKDIVCR, USBCKCR 対象要素: USBCLK 0: セキュア 1: 非セキュア	R/W
17	NONSEC17	非セキュア属性ビット 17 対象レジスタ: OCTACKDIVCR, OCTACKCR 対象要素: OCTACLK 0: セキュア 1: 非セキュア	R/W
18	NONSEC18	非セキュア属性ビット 18 対象レジスタ: CANFDCKDIVCR, CANFDCKCR 対象要素: CANFDCLK 0: セキュア 1: 非セキュア	R/W
20:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
21	NONSEC21	非セキュア属性ビット 21 対象レジスタ: SCICKDIVCR, SCICKCR 対象要素: SCICLK 0: セキュア 1: 非セキュア	R/W
22	NONSEC22	非セキュア属性ビット 22 対象レジスタ: SPICKDIVCR, SPICKCR 対象要素: SPICLK 0: セキュア 1: 非セキュア	R/W
31:23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1, P-TYPE-1
注. PRCR.PRC4 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

CGFSAR レジスタは、クロック発生機能レジスタのセキュリティ属性を制御します。

NONSEC00 ビット（非セキュア属性ビット 00）

本ビットは SCKDIVCR、SCKDIVCR2、SCKSCR の各レジスタのセキュリティ属性を制御します。

NONSEC02 ビット（非セキュア属性ビット 02）

本ビットは HOCOCR、HOCOCR2、FLLCR1、FLLCR2、HOCOUTCR、HOCOSCR の各レジスタのセキュリティ属性を制御します。

NONSEC03 ビット（非セキュア属性ビット 03）

本ビットは MOCOCR、MOCOUTCR レジスタのセキュリティ属性を制御します。

NONSEC04 ビット（非セキュア属性ビット 04）

本ビットは LOCOCR、LOCOUTCR レジスタのセキュリティ属性を制御します。

NONSEC05 ビット（非セキュア属性ビット 05）

本ビットは MOSCCR、MOSCWTCR、MOMCR、MOSCSCR の各レジスタのセキュリティ属性を制御します。

NONSEC06 ビット（非セキュア属性ビット 06）

本ビットは OSTDCR、OSTDSR レジスタのセキュリティ属性を制御します。

NONSEC07 ビット（非セキュア属性ビット 07）

本ビットは SOSCCR、SOMCR レジスタのセキュリティ属性を制御します。

NONSEC08 ビット（非セキュア属性ビット 08）

本ビットは PLLCCR、PLLCCR2、PLLCR の各レジスタのセキュリティ属性を制御します。

NONSEC09 ビット（非セキュア属性ビット 09）

本ビットは PLL2CCR、PLL2CCR2、PLL2CR の各レジスタのセキュリティ属性を制御します。

NONSEC11 ビット（非セキュア属性ビット 11）

本ビットは CKOCR レジスタのセキュリティ属性を制御します。

NONSEC16 ビット（非セキュア属性ビット 16）

本ビットは USBCKDIVCR、USBCKCR の各レジスタのセキュリティ属性を制御します。

NONSEC17 ビット（非セキュア属性ビット 17）

本ビットは OCTACKDIVCR、OCTACKCR の各レジスタのセキュリティ属性を制御します。

NONSEC18 ビット（非セキュア属性ビット 18）

本ビットは CANFDCKDIVCR、CANFDCKCR レジスタのセキュリティ属性を制御します。

NONSEC21 ビット（非セキュア属性ビット 21）

本ビットは SCICKDIVCR、SCICKCR の各レジスタのセキュリティ属性を制御します。

NONSEC22 ビット（非セキュア属性ビット 22）

本ビットは SPICKDIVCR、SPICKCR の各レジスタのセキュリティ属性を制御します。

8.2.2 SCKDIVCR : システムクロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	FCK[3:0]				ICK[3:0]				PCKE[3:0]				BCK[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PCKA[3:0]				PCKB[3:0]				PCKC[3:0]				PCKD[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	PCKD[3:0](注4)	周辺モジュールクロック D (PCLKD) 選択 0 0 0 0: × 1/1 0 0 0 1: × 1/2 0 0 1 0: × 1/4 0 0 1 1: × 1/8 0 1 0 0: × 1/16 0 1 0 1: × 1/32 0 1 1 0: × 1/64 1 0 0 0: × 1/3 1 0 0 1: × 1/6 1 0 1 0: × 1/12 その他: 設定禁止	R/W
7:4	PCKC[3:0](注4)	周辺モジュールクロック C (PCLKC) 選択 0 0 0 0: × 1/1 0 0 0 1: × 1/2 0 0 1 0: × 1/4 0 0 1 1: × 1/8 0 1 0 0: × 1/16 0 1 0 1: × 1/32 0 1 1 0: × 1/64 1 0 0 0: × 1/3 1 0 0 1: × 1/6 1 0 1 0: × 1/12 その他: 設定禁止	R/W
11:8	PCKB[3:0](注3)	周辺モジュールクロック B (PCLKB) 選択 0 0 0 0: × 1/1 0 0 0 1: × 1/2 0 0 1 0: × 1/4 0 0 1 1: × 1/8 0 1 0 0: × 1/16 0 1 0 1: × 1/32 0 1 1 0: × 1/64 1 0 0 0: × 1/3 1 0 0 1: × 1/6 1 0 1 0: × 1/12 その他: 設定禁止	R/W

ビット	シンボル	機能	R/W
15:12	PCKA[3:0](注3)	周辺モジュールクロック A (PCLKA) 選択 0 0 0 0: × 1/1 0 0 0 1: × 1/2 0 0 1 0: × 1/4 0 0 1 1: × 1/8 0 1 0 0: × 1/16 0 1 0 1: × 1/32 0 1 1 0: × 1/64 1 0 0 0: × 1/3 1 0 0 1: × 1/6 1 0 1 0: × 1/12 その他: 設定禁止	R/W
19:16	BCK[3:0](注2)	不要なクロック (BCLK) 選択 0 0 0 0: × 1/1 0 0 0 1: × 1/2 0 0 1 0: × 1/4 0 0 1 1: × 1/8 0 1 0 0: × 1/16 0 1 0 1: × 1/32 0 1 1 0: × 1/64 1 0 0 0: × 1/3 1 0 0 1: × 1/6 1 0 1 0: × 1/12 その他: 設定禁止	R/W
23:20	PCKE[3:0](注4)	周辺モジュールクロック E (PCLKE) 選択 0 0 0 0: × 1/1 0 0 0 1: × 1/2 0 0 1 0: × 1/4 0 0 1 1: × 1/8 0 1 0 0: × 1/16 0 1 0 1: × 1/32 0 1 1 0: × 1/64 1 0 0 0: × 1/3 1 0 0 1: × 1/6 1 0 1 0: × 1/12 その他: 設定禁止	R/W
27:24	ICK[3:0](注1)(注2)(注3)(注4)(注5)	システムクロック (ICLK) 選択 0 0 0 0: × 1/1 0 0 0 1: × 1/2 0 0 1 0: × 1/4 0 0 1 1: × 1/8 0 1 0 0: × 1/16 0 1 0 1: × 1/32 0 1 1 0: × 1/64 1 0 0 0: × 1/3 1 0 0 1: × 1/6 1 0 1 0: × 1/12 その他: 設定禁止	R/W
31:28	FCK[3:0](注1)	FlashIF クロック (FCLK) 選択 0 0 0 0: × 1/1 0 0 0 1: × 1/2 0 0 1 0: × 1/4 0 0 1 1: × 1/8 0 1 0 0: × 1/16 0 1 0 1: × 1/32 0 1 1 0: × 1/64 1 0 0 0: × 1/3 1 0 0 1: × 1/6 1 0 1 0: × 1/12 その他: 設定禁止	R/W

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注. 1 クロックで 3、6、12 分周を選択しているときに、SCKDIVCR レジスタと SCKDIVCR2 レジスタで設定するその他のクロックで 2、4、8、16、32、64 分周を選択しないでください。

注 1. システムクロック (ICLK) と FlashIF クロック (FCLK) との間には以下の周波数関係が必要です。
ICLK:FCLK = N:1（N：整数）
注 2. システムクロック (ICLK) と不要なクロック (BCLK) との間には以下の周波数関係が必要です。
ICLK 周波数が 120 MHz より高い場合は、ICLK:BCLK = N:1（N：整数、かつ N ≧ 2）
ICLK 周波数が 120 MHz 以下の場合は、ICLK:BCLK = N:1（N：整数）
注 3. システムクロック (ICLK) と周辺モジュールクロック (PCLKA, PCLKB) との間には次の周波数関係が必要です。
ICLK:PCLKA = N:1、ICLK:PCLKB = N:1（N：整数）
注 4. システムクロック (ICLK) と周辺モジュールクロック (PCLKC, PCLKD, PCLKE) との間には以下の周波数関係が必要です。
ICLK:PCLKC、PCLKD PCLKE = N:1 または 1:N（N：整数）
注 5. CPU クロック (CPUCLK) とシステムクロック (ICLK) との間には以下の周波数関係が必要です。
CPUCLK:ICLK = N:1（N：整数）

SCKDIVCR レジスタは、システムクロック (ICLK) 、周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD, PCLKE)、FlashIF クロック (FCLK)の周波数を選択します。

8.2.3 SCKDIVCR2 : システムクロック分周コントロールレジスタ 2

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x24

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—				CPUCK[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CPUCK[3:0](注1)	CPU クロック (CPUCLK) 選択 0 0 0 0: × 1/1 0 0 0 1: × 1/2 0 0 1 0: × 1/4 0 0 1 1: × 1/8 0 1 0 0: × 1/16 0 1 0 1: × 1/32 0 1 1 0: × 1/64 1 0 0 0: × 1/3 1 0 0 1: × 1/6 1 0 1 0: 1/12 その他: 設定禁止	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. 1 クロックで 3、6、12 分周を選択しているときに、SCKDIVCR レジスタと SCKDIVCR2 レジスタで設定したクロック以外で 2、4、8、16、32、64 分周を選択しないでください。
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. CPU クロック (CPUCLK) とシステムクロック (ICLK) との間には以下の周波数関係が必要です。
CPUCLK:ICLK = N:1（N：整数）

SCKDIVCR2 は、CPU クロック (CPUCLK) の周波数を選択します。

8.2.4 SYRACCR : システムレジスタアクセスコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xCC

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	BUSY
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BUSY	アクセス可能状態モニタ 0: 読み出し／書き込みアクセス可能状態 1: 書き込み中	R
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. S-TYPE-5、P-TYPE-5
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SYRACCR レジスタは、対象レジスタがアクセス可能であるように監視します。

対象レジスタは、LOCOCR および LOCOUTCR です。

BUSY ビット（アクセス可能状態モニタ）

SYRACCR.BUSY ビットが 0 の場合、対象レジスタはアクセス可能です。

SYRACCR.BUSY ビットが 0 であることを確認してから、対象レジスタにアクセスしてください。

SYRACCR.BUSY ビットが 1 の場合、対象レジスタのうちの 1 つへ書き込みアクセス中です。SYRACCR.BUSY ビットが 1 の場合、対象レジスタのうちの 1 つへさらに書き込みしても無視されます。また、対象レジスタからの読み出し値は保証されません。

8.2.5 SCKSCR : システムクロックソースコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x026

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	CKSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
2:0	CKSEL[2:0]	クロックソース選択ビット 0 0 0: HOCO 0 0 1: MOCO（リセット後の値） 0 1 0: 設定禁止 0 1 1: メインクロック発振器 (MOSC) 1 0 0: サブクロック発振器 (SOSC) 1 0 1: PLL1 出力クロック P (PLL1P) 1 1 0: 設定禁止 1 1 1: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。
注. S-TYPE-3、P-TYPE-2

SCKSCR レジスタはシステムクロックソースを選択します。

CKSEL[2:0]ビット（クロックソース選択ビット）

CKSEL[2:0]ビットは、下記のモジュールに対してソースを選択します。

- CPU クロック (CPUCLK)
- システムクロック (ICLK)
- 周辺モジュールクロック（PCLKA、PCLKB、PCLKC、PCLKD、および PCLKE）
- FlashIF クロック (FCLK)

本ビットは下記のソースから 1 つを選択します。

- 中速オンチップオシレータ (MOCO)

- 高速オンチップオシレータ (HOCO)
- メインクロック発振器 (MOSC)
- サブクロック発振器 (SOSC)
- PLL1 出力クロック P (PLL1P)

各クロックソースの動作状態は、クロック発振器の有効設定だけでなく、製品動作モードによっても制御されます。使用する製品動作モードによっては、強制停止となるクロックソースがあります。

各製品の動作モードにおけるクロックソースの動作状態を確認し、停止するクロックソースを SCKSCR で選択しないようにしてください。なお、クロックソースの切り替えは、WDT/IWDT からの割り込みが発生していないタイミングで実施してください。

8.2.6 PLLCCR : PLL クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x028

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PLLMUL[7:0]								PLLMULNF[1:0]		—	PLSRCSEL	—	—	PLIDIV[1:0]	
Value after reset:	0	0	0	1	1	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	PLIDIV[1:0](注1)	PLL1 入力周波数分周比選択 0 0: 1/1 0 1: 1/2 1 0: 1/3 1 1: 1/4	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	PLSRCSEL	PLL1 クロックソース選択 0: メインクロック発振器 1: HOCO(注3)	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:6	PLLMULNF[1:0](注2)	PLL1 周波数小数逓倍率選択 0 0: 0.00 分周（リセット後の値） 0 1: 0.33 (1/3) 1 0: 0.66 (2/3) 1 1: 0.50 (1/2)	R/W
15:8	PLLMUL[7:0](注2)	PLL1 周波数逓倍率選択 0x19: 26 倍（リセット後の値） 0x34: 53 倍 0x35: 54 倍 ⋮ 0x58: 89 倍 0x59: 90 倍 0x5A: 91 倍 ⋮ 0xB2: 179 倍 0xB3: 180 倍 その他: 設定禁止	R/W

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. PLIDIV[1:0]ビットは、PLL1 入力信号の周波数が「8.1. 概要」の範囲に入るように設定してください。
注 2. PLLMUL[7:0]ビットと PLLMULNF[1:0]ビットは、PLL1 出力信号の周波数が「8.1. 概要」の範囲に入るように設定してください。
注 3. USBCLK 使用時、必ず FLL 機能を有効にしてください。

PLLCCR レジスタは、PLL1 回路の動作を設定します。

PLLCR.PLLSTP ビットが 0（PLL1 動作）のとき、PLLCCR レジスタへの書き込みは禁止です。

PLIDIV[1:0]ビット（PLL1 入力周波数分周比選択）

PLL1 のクロックソースの分周比を選択します。

PLSRCSEL ビット（PLL1 クロックソース選択）

PLL1 のクロックソースを選択します。

PLLMULNF[1:0]ビット（PLL1 周波数小数逓倍率選択）

PLL1 回路の周波数逓倍率の小数部を選択します。

PLLMUL[7:0]ビット（PLL1 周波数逓倍率選択）

PLL1 回路の周波数逓倍率を選択します。

8.2.7 PLLCCR2 : PLL クロックコントロールレジスタ 2

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x4C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—				PLODIVR[3:0]				PLODIVQ[3:0]				PLODIVP[3:0]			
Value after reset:	0	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1

ビット	シンボル	機能	R/W
3:0	PLODIVP[3:0](注1)	PLL1 出力周波数分周比選択（出力クロック P 用） 0001: 2 分周 0011: 4 分周 0101: 6 分周（リセット後の値） 0111: 8 分周 1111: 16 分周 その他: 設定禁止	R/W
7:4	PLODIVQ[3:0](注1)	PLL1 出力周波数分周比選択（出力クロック Q 用） 0001: 2 分周 0010: 3 分周 0011: 4 分周 0100: 5 分周 0101: 6 分周（リセット後の値） 0111: 8 分周 1000: 9 分周 その他: 設定禁止	R/W
11:8	PLODIVR[3:0](注1)	PLL1 出力周波数分周比選択（出力クロック R 用） 0001: 2 分周 0010: 3 分周 0011: 4 分周 0100: 5 分周 0101: 6 分周（リセット後の値） 0111: 8 分周 1000: 9 分周 その他: 設定禁止	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. PLL1 出力信号の周波数が表 8.1 の範囲に入るように設定してください。

PLLCCR2 レジスタは、PLL1 回路の動作を設定します。PLLCR.PLLSTP ビットが 0（PLL1 動作）のとき、PLLCCR2 レジスタへの書き込みは禁止です。

PLL1 出力クロック P、PLL1 出力クロック Q、または PLL1 出力クロック R のいずれか 1 つだけ使用している場合でも、PLLCCR2 は、PLL1 出力信号の周波数が表 8.1 の範囲に入るように設定してください。

PLODIVP[3:0]ビット（PLL1 出力周波数分周比選択（出力クロック P 用））

これらのビットは、PLL1 出力クロック P (PLL1P) の出力周波数分周比を選択します。

PLODIVQ[3:0]ビット（PLL1 出力周波数分周比選択（出力クロック Q 用））

これらのビットは、PLL1 出力クロック Q (PLL1Q) の出力周波数分周比を選択します。

PLODIVR[3:0]ビット（PLL1 出力周波数分周比選択（出力クロック R 用））

これらのビットは、PLL1 出力クロック R (PLL1R) の出力周波数分周比を選択します。

8.2.8 PLLCR : PLL コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x02A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	PLLSTP
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	PLLSTP	PLL1 停止制御 0: PLL1 動作 1: PLL1 停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

PLLCR レジスタは、PLL1 回路の動作を制御します。

PLLSTP ビット（PLL1 停止制御）

このビットは PLL1 回路を動作または停止させます。

PLLCCR.PLSRCSEL ビットで、メインクロック発振器を PLL1 のクロックソースとして選択する場合、メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定が必要です。

PLL1 を動作させるように PLLSTP ビットの設定を変更した場合は、OSCSF.PLLSF ビットが 1 になっていることを確認してから、PLL1 クロックを使用してください。PLL1 は、動作開始後発振が安定するまでに一定の時間を要します。また、PLL1 動作が停止した後も、発振が停止するまでに一定の時間を要します。さらに、PLLSTP ビットで PLL1 動作を開始および停止させる場合、以下の制限があります。

- PLL1 の停止後、OSCSF.PLLSF ビットが 0 であることを確認してから、PLL1 を再開してください。
- PLL1 が動作していること、および OSCSF.PLLSF ビットが 1 であることを確認してから、PLL1 を停止してください。
- PLL1 クロックをシステムクロックソースとして選択しているかどうかにかかわらず、PLL1 を動作させた後、MCU をソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.PLLSF が 1 になっていることを確認してから WFI 命令を実行してください。
- PLL1 を停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.PLLSF ビットが 0 になっていることを確認してから WFI 命令を実行してください。

SCKSCR.CKSEL[2:0]ビットが 101（システムクロックソース = PLL）のとき、PLLSTP ビットへ 1 を書き込むことは禁止です。

PLLSTP に 0 を書き込む前に、以下の条件が満たされていることを確認してください。

- PLL1 ソースクロック = MOSC の場合：MOSCCR.MOSTP = 0（MOSC 動作）
- PLL1 ソースクロック = HOCO の場合：HOCOCR.HCSTP = 0（HOCO 動作）

8.2.9 PLL2CCR : PLL2 クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x048

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PLL2MUL[7:0]								PLL2MULNF[1:0]		—	PL2SRCSEL	—	—	PL2IDIV[1:0]	
Value after reset:	0	0	0	1	1	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	PL2IDIV[1:0](注1)	PLL2 入力分周比選択 0 0: 1/1（リセット後の値） 0 1: 1/2 1 0: 1/3 1 1: 1/4	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	PL2SRCSEL	PLL2 クロックソース選択 0: メインクロック発振器 1: HOCO(注3)	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:6	PLL2MULNF[1:0](注2)	PLL2 周波数小数逓倍率選択 00: 0.00 分周（リセット後の値） 01: 0.33 (1/3) 10: 0.66 (2/3) 11: 0.50 (1/2)	R/W
15:8	PLL2MUL[7:0](注2)	PLL2 周波数逓倍率選択 0x19: 26 倍（リセット後の値） 0x34: 53 倍 0x35: 54 倍 ⋮ 0x58: 89 倍 0x59: 90 倍 0x5A: 91 倍 ⋮ 0xD2: 179 倍 0xD3: 180 倍 その他: 設定禁止	R/W

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. PL2IDIV[1:0]ビットは、PLL2 の入力周波数が「8.1. 概要」の範囲に入るように設定してください。
注 2. PLL2MUL[7:0]ビットと PLL2MULNF[1:0]ビットは、PLL2 出力信号の周波数が「8.1. 概要」の範囲に入るように設定してください。
注 3. USBCLK 使用時、必ず FLL 機能を有効にしてください。

PLL2CCR レジスタは、PLL2 回路の動作を設定するレジスタです。

PLL2CR.PLL2STP ビットが 0（PLL2 動作）のとき、PLL2CCR レジスタへの書き込みは禁止です。

PL2IDIV[1:0]ビット（PLL2 入力分周比選択）

PLL2 のクロックソースの分周比を選択します。

PL2SRCSEL ビット（PLL2 クロックソース選択）

PLL2 のクロックソース源を選択します。

PLL2MULNF[1:0]ビット（PLL2 周波数小数逓倍率選択）

PLL2 回路の周波数逓倍率の小数部を選択します。

PLL2MUL[7:0]ビット（PLL2 周波数逓倍率選択）

PLL2 回路の周波数逓倍率を選択します。

8.2.10 PLL2CCR2 : PLL2 クロックコントロールレジスタ 2

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x4E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—				PL2ODIVR[3:0]				PL2ODIVQ[3:0]				PL2ODIVP[3:0]			
Value after reset:	0	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1

ビット	シンボル	機能	R/W
3:0	PL2ODIVP[3:0](注1)	PLL2 出力周波数分周比選択（出力クロック P 用） 0001: 2 分周 0011: 4 分周 0101: 6 分周（リセット後の値） 0111: 8 分周 1111: 16 分周 その他: 設定禁止	R/W
7:4	PL2ODIVQ[3:0](注1)	PLL2 出力周波数分周比選択（出力クロック Q 用） 0001: 2 分周 0010: 3 分周 0011: 4 分周 0100: 5 分周 0101: 6 分周（リセット後の値） 0111: 8 分周 1000: 9 分周 その他: 設定禁止	R/W
11:8	PL2ODIVR[3:0](注1)	PLL2 出力周波数分周比選択（出力クロック R 用） 0001: 2 分周 0010: 3 分周 0011: 4 分周 0100: 5 分周 0101: 6 分周（リセット後の値） 0111: 8 分周 1000: 9 分周 その他: 設定禁止	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. PLL2 出力信号の周波数が表 8.1 の範囲に入るように設定してください。

PLL2CCR2 レジスタは、PLL2 回路の動作を設定します。PLL2CR.PLL2STP ビットが 0（PLL2 動作）のとき、PLL2CCR2 レジスタへの書き込みは禁止です。

PLL2 出力クロック P、PLL2 出力クロック Q、または PLL2 出力クロック R のいずれか 1 つだけ使用している場合でも、PLL2CCR2 は、PLL2 出力信号の周波数が表 8.1 の範囲に入るように設定してください。

PL2ODIVP[3:0]ビット（PLL2 出力周波数分周比選択（出力クロック P 用））

これらのビットは、PLL2 出力クロック P (PLL2P) の出力周波数分周比を選択します。

PL2ODIVQ[3:0]ビット（PLL2 出力周波数分周比選択（出力クロック Q 用））

これらのビットは、PLL2 出力クロック Q (PLL2Q) の出力周波数分周比を選択します。

PL2ODIVR[3:0]ビット（PLL2 出力周波数分周比選択（出力クロック R 用））

これらのビットは、PLL2 出力クロック R (PLL2R) の出力周波数分周比を選択します。

8.2.11 PLL2CR : PLL2 コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x04A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	PLL2STP
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	PLL2STP	PLL2 停止制御 : 0: PLL2 動作 1: PLL2 停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

PLL2CR レジスタは、PLL2 回路の動作を制御するレジスタです。

PLL2STP ビット（PLL2 停止制御）

このビットは PLL2 回路を動作または停止させます。

PLL2CCR.PL2SRCSEL ビットで、メインクロック発振器を PLL2 のクロックソースとして選択する場合、メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定が必要です。

PLL2 を動作させるように PLL2STP ビットの設定を変更した場合は、OSCSF.PLL2SF ビットが 1 になっていることを確認してから、PLL2 クロックを使用してください。PLL2 は、動作開始後発振が安定するまでに一定の時間を要します。また、PLL2 動作が停止した後も、発振が停止するまでに一定の時間を要します。さらに、PLL2STP ビットで PLL2 動作を開始および停止させる場合、以下の制限があります。

- PLL2 の停止後、動作を再開させる前に OSCSF.PLL2SF ビットが 0 であることを確認してください。
- PLL2 を停止させる前に、PLL2 が動作していること、および OSCSF.PLL2SF ビットが 1 であることを確認してください。
- PLL2 を動作させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.PLL2SF ビットが 1 になっていることを確認した上で WFI 命令を実行してください。
- PLL2 を停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.PLL2SF ビットが 0 になっていることを確認した上で WFI 命令を実行してください。

PLL2STP に 0 を書き込む前に、以下の条件が満たされていることを確認してください。

- PLL2 ソースクロック = MOSC の場合：MOSCCR.MOSTP = 0（MOSC 動作）
- PLL2 ソースクロック = HOCO の場合：HOCOCR.HCSTP = 0（HOCO 動作）

8.2.12 MOSCCR : メインクロック発振器コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x032

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MOSTP
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	MOSTP	メインクロック発振器停止 0: メインクロック発振器動作(注1) 1: メインクロック発振器停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。
注. S-TYPE-3、P-TYPE-2
注 1. MOSTP を 0 にする前に、MOMCR レジスタを設定する必要があります。

MOSCCR レジスタは、メインクロック発振器を制御するレジスタです。

MOSTP ビット（メインクロック発振器停止）

MOSTP ビットは、メインクロック発振器を動作または停止させます。

MOSTP ビット値を変更した場合、必ずそのビット値を読み出して、値が更新されていることを確認してから、次の命令を実行してください。

メインクロックを使用する場合は、MOSTP ビットを 0 にする前に、メインクロック発振器モード発振コントロールレジスタ (MOMCR) およびメインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) を設定する必要があります。MOSTP ビットを 0 にした後、OSCSF.MOSCSF ビットが 1 になっていることを確認してから、メインクロック発振器を使用してください。

メインクロック発振器を動作するように設定してから、発振が安定するまでに一定の待ち時間を要します。また、メインクロック発振器が停止した後も、発振が停止するまでに一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- メインクロック発振器の停止後､動作を再開させる前に OSCSF.MOSCSF ビットが 0 であることを確認してください。
- メインクロック発振器を停止させる前に、メインクロック発振器が動作していること、および OSCSF.MOSCSF ビットが 1 であることを確認してください。
- メインクロック発振器をシステムクロックソースとして選択しているかどうかにかかわらず、メインクロック発振器の動作後に MCU をソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードに遷移させる場合は、OSCSF.MOSCSF ビットが 1 になっていることを確認してから WFI 命令を実行してください。
- メインクロック発振器を停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移させる場合は、OSCSF.MOSCSF ビットが 0 になっていることを確認してから WFI 命令を実行してください。

以下の条件下で MOSTP に 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 011b（システムクロックソース = MOSC）
- PLLCCR.PLSRCSEL = 0（PLL1 ソースクロック = MOSC）かつ SCKSCR.CKSEL[2:0] = 101b（システムクロックソース = PLL1P）
- PLLCCR.PLSRCSEL = 0（PLL1 ソースクロック = MOSC）かつ PLLCR.PLLSTP = 0（PLL1 動作）
- PLL2CCR.PL2SRCSEL = 0（PLL2 ソースクロック = MOSC）かつ PLL2CR.PLL2STP = 0（PLL2 動作）

8.2.13 SOSCCR : サブクロック発振器コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xC00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SOSTP
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	SOSTP	サブクロック発振器停止 0: サブクロック発振器動作(注1) 1: サブクロック発振器停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。
注 1. SOSTP を 0 にする前に、SOMCR レジスタを設定する必要があります。

SOSCCR レジスタは、サブクロック発振器を制御するレジスタです。

SOSTP ビット（サブクロック発振器停止）

SOSTP ビットは、サブクロック発振器を動作または停止させます。SOSTP ビットの値を変更した場合、必ずビット値を読み出して、値が更新されたことを確認してから、次の命令を実行してください。RTC などの周辺モジュールのソースとしてサブクロック発振器を使用する場合、SOSTP ビットを使用します。サブクロック発振器を使用する場合は、SOSTP ビットを 0 にする前に、サブクロック発振器モードコントロールレジスタ (SOMCR) を設定してください。

SOMCR.SOSEL によって外部クロック入力を選択する場合、SOMCR.SOSEL を 1 にして 50 µs 待ってから、SOSTP を 0 にしてください。

動作の開始および停止に関しては、以下の制限があります。

- サブクロック発振器の停止後、動作を再開させる前に SOSC クロックで少なくとも 5 サイクルに相当する停止期間が必要です。
- SOSTP ビットを 0 にした後、サブクロック発振安定時間 ($t_{SUBOSCWT}$) が経過してからサブクロックを使用してください。
- サブクロック発振器をシステムクロックソースとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードに遷移する場合は、サブクロックの発振が安定していることを確認してから WFI 命令を実行してください。
- サブクロック発振器を停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、SOSC クロックで 3 サイクル以上待ってから WFI 命令を実行してください。

以下の条件下で SOSTP に 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 100b（システムクロックソース = SOSC）

8.2.14 LOCOCR : 低速オンチップオシレータコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x400

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	LCSTP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LCSTP	LOCO 停止 0: LOCO 動作 1: LOCO 停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。
注. SYRACCR.BUSY ビットが 0 であることを確認してから、LOCOCR にアクセスしてください。SYRACCR.BUSY ビットが 1 の場合、書き込みは無視されます。また、読み出し値は保証されません。

LOCOCR レジスタは、LOCO を制御するレジスタです。

LCSTP ビット（LOCO 停止）

LCSTP ビットは、LOCO を動作または停止させます。

ビットの値を変更した場合、必ずビット値を読み出して、値が更新されたことを確認してから、次の命令を実行してください。

8.2.15 HOCOCR : 高速オンチップオシレータコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x036

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	HCSTP
Value after reset:	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	機能	R/W
0	HCSTP	HOCO 停止 0: HOCO 動作(注2)(注3) 1: HOCO 停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。
注 1. OFS1(_SEC).HOCOEN ビットが 0 のとき、HCSTP ビットのリセット後の値は 0 になります。OFS1(_SEC).HOCOEN ビットが 1 のときは、このビットのリセット後の値は 1 になります。
注 2. HOCO を使用する場合 (HCSTP = 0) は、OFS1(_SEC).HOCOFRQ0[2:0]ビットを最適な値に設定してください。
注 3. OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、OFS1(_SEC).HOCOFRQ0[2:0]が適切でない値の場合でも HOCO 周波数は HOCOCR2.HCFRQ0[2:0]で設定することもできます。

HOCOCR レジスタは、HOCO を制御するレジスタです。

HCSTP ビット（HOCO 停止）

HCSTP ビットは、HOCO を動作または停止させます。

HCSTP ビットを 0 にして HOCO を動作させた後、OSCSF.HOCOSF ビットが 1 になっていることを確認してから、HOCO クロックを使用してください。OFS1(_SEC).HOCOEN が 0 になっている場合は、OSCSF.HOCOSF も 1 になっていることを確認してから HOCO クロックを使用してください。HOCO クロックが動作するように設定してから、発振が安定するまでに一定の待機時間を要します。また、HOCO クロックを停止するように設定した後も一定の待機時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- HOCO クロックを停止した後、HOCO 停止幅の時間より長く待機し、OSCSF.HOCOSF が 0 であることを確認してから HOCO クロックを再開してください。HOCO 停止幅の時間については、「52. 電気的特性」を参照してください。
- HOCO クロックが動作していること、および OSCSF.HOCOSF が 1 であることを確認してから、HOCO を停止してください。
- HOCO クロックをシステムクロックソースとして選択しているかどうかにかかわらず、HCSTP ビットで HOCO 動作を設定後に MCU をソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOCOSF が 1 になっていることを確認してから WFI 命令を実行してください。
- HOCO を停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOCOSF が 0 になっていることを確認してから WFI 命令を実行してください。

以下の条件下で HCSTP に 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 000b（システムクロックソース = HOCO）
- PLLCCR.PLSRCSEL = 1（PLL1 ソースクロック = HOCO）かつ SCKSCR.CKSEL[2:0] = 101b（システムクロックソース = PLL1P）

- PLLCCR.PLSRCSEL = 1（PLL1 ソースクロック = HOCO）かつ PLLCR.PLLSTP = 0（PLL1 動作）
- PLL2CCR.PL2SRCSEL = 1（PLL2 ソースクロック = HOCO）かつ PLL2CR.PLL2STP = 0（PLL2 動作）

8.2.16 HOCOCR2 : 高速オンチップオシレータコントロールレジスタ 2

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x037

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	HCFRQ0[2:0]		
Value after reset:	0	0	0	0	0	0/1 (注1)	0/1 (注1)	0/1 (注1)

ビット	シンボル	機能	R/W
2:0	HCFRQ0[2:0]	HOCO 周波数設定 0 0 0 0: 16 MHz 0 0 1: 18 MHz 0 1 0: 20 MHz 1 0 0: 32 MHz 1 1 1: 48 MHz その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. HCFRQ0[2:0]ビットのリセット後の値は、OFS1(_SEC).HOCOFRQ0[2:0]ビットに依存します。

HOCOCR2 レジスタは、HOCO クロックを制御します。

HOCOCR.HCSTP ビットが 0（HOCO 動作）のとき、HOCOCR2 レジスタへの書き込みは禁止です。

HCFRQ0[2:0] ビット（HOCO 周波数設定 0）

これらのビットは、HOCO の周波数を選択します。

8.2.17 MOCOCR : 中速オンチップオシレータコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x038

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MCSTP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MCSTP	MOCO 停止 0: MOCO 動作 1: MOCO 停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

MOCOCR レジスタは、MOCO を制御するレジスタです。

MCSTP ビット（MOCO 停止）

このビットは、MOCO を動作または停止させます。

ビットの値を変更した場合、必ずビット値を読み出して、値が更新されたことを確認してから、次の命令を実行してください。

MOCO の動作条件と停止条件、および MCSTP ビットの設定には制限があります。詳細は、「8.6. 中速オンチップオシレータ (MOCO)」を参照してください。

8.2.18 FLLCR1 : FLL コントロールレジスタ 1

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x039

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FLLEN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FLLEN	FLL 機能有効 0: FLL 機能は無効 1: FLL 機能は有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. HOCO を停止 (HOCOCR.HCSTP = 1) にしてから、FLLCR1.FLLEN ビットを変更する必要があります。
注. FLL が有効 (FLLCR1.FLLEN = 1) であるとき、SOSC は安定して動作中でなければいけません。
注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

FLLCR1 レジスタは、HOCO の周波数補正機能を制御するレジスタです。

FLLEN ビット（FLL 機能有効）

HOCO の FLL 機能を有効または無効にします。

FLL が有効である場合、その周波数精度が保証されるのは FLL が安定した後です。FLL 機能が安定していることは、HOCO の安定後にクロック周波数精度測定回路 (CAC) で周波数を測定することにより確認できます。

また、ソフトウェアスタンバイモードへ遷移する前に FLL 機能を無効にする必要があります。FLLEN ビットを 0 にしてからソフトウェアスタンバイモードへ遷移してください。

表 8.4 に、各状況に応じた FLL の設定フロー例を示します。

表 8.4 FLL 設定フロー (1/2)

手順		動作
リセット解除後／ディープソフトウェアスタンバイモード解除後	1	開始（リセット解除後／ディープソフトウェアスタンバイモード解除後）
	2	FLL 設定 (FLLCR2.FLLCNTL)
	3	FLL を許可 (FLLCR1.FLLEN = 1) 注. SOSC は、発振が安定している状態で動作させてください。
	4	HOCO を許可 (HOCOCR.HCSTP = 0)
	5	FLL が安定するまで待機 (t_{FLLWT})
	6	HOCO の安定を確認 (OSCSF.HOCOSF = 1)
	7	終了（HOCO 使用可能）

表 8.4 FLL 設定フロー (2/2)

手順		動作
ソフトウェアスタンバイモードへの遷移／解除	1	開始（FLL 使用中）
	2	HOCO を停止 (HOCOCR.HCSTP = 1) 注. システムクロックソースまたは PLL 基準クロックとして HOCO を使用する場合、これらのクロックソースは、HOCO が停止する前に別のクロックへ変更してください。
	3	FLL を禁止 (FLLCR1.FLLEN = 0)
	4	WFI 命令
	5	ソフトウェアスタンバイモード
	6	ソフトウェアスタンバイモードの解除
	7	FLL を許可 (FLLCR1.FLLEN = 1)
	8	HOCO を許可 (HOCOCR.HCSTP = 0)
	9	FLL が安定するまで待機 (t_{FLLWT})
	10	HOCO の安定を確認 (OSCSF.HOCOSF = 1)
	11	終了（HOCO 使用可能）

8.2.19 FLLCR2 : FLL コントロールレジスタ 2

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x03A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	FLLCNTL[10:0]										
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
10:0	FLLCNTL[10:0]	FLL 逓倍制御 OFS1(_SEC).HOCOFRQ0[2:0]ビットが 000b (16 MHz) または 100b (32 MHz) の場合、これらのビットは 0x1E9 にする必要があります。 OFS1(_SEC).HOCOFRQ0[2:0]ビットが 001b (18 MHz) の場合、これらのビットは 0x226 にする必要があります。 OFS1(_SEC).HOCOFRQ0[2:0]ビットが 010b (20 MHz) の場合、これらのビットは 0x263 にする必要があります。 OFS1(_SEC).HOCOFRQ0[2:0]ビットが 111b (48 MHz) の場合、これらのビットは 0x1E9 にする必要があります。 上記以外は設定しないでください。	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注. OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

FLLCR2 レジスタは、HOCO の FLL 機能を制御するレジスタです。

FLLCNTL[10:0]ビット（FLL 逓倍制御）

これらのビットは FLL 基準クロックの逓倍比を選択します。

FLL を有効 (FLLCR1.FLLEN = 1) にする前に、これらのビットを設定する必要があります。

8.2.20 OSCSF : 発振安定フラグレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x03C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	PLL2SF	PLLSF	—	MOSCSF	—	—	HOCOSF
Value after reset:	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	機能	R/W
0	HOCOSF	HOCO クロック発振安定フラグ 0: HOCO クロックは停止または発振安定待機中 1: HOCO クロックは安定、システムクロックソースとして使用可能	R
2:1	—	読むと 0 が読めます。	R
3	MOSCSF	メインクロック発振安定フラグ 0: メインクロック発振器は停止または発振安定待機中(注2) 1: メインクロック発振器は安定、システムクロックソースとして使用可能	R
4	—	読むと 0 が読めます。	R
5	PLLSF	PLL1 クロック発振安定フラグ 0: PLL1 クロックは停止または発振安定待機中 1: PLL1 クロックは安定、システムクロックソースとして使用可能	R
6	PLL2SF	PLL2 クロック発振安定フラグ 0: PLL2 クロックは停止または発振安定待機中 1: PLL2 クロックは安定	R
7	—	読むと 0 が読めます。	R

注. S-TYPE-5, P-TYPE-5
注 1. リセット後の値は、OFS1(_SEC).HOCOEN の設定値で決まります。
OFS1(_SEC).HOCOEN = 1（HOCO 停止）の場合、HOCOSF のリセット後の値は 0 です。
OFS1(_SEC).HOCOEN = 0（HOCO 動作）の場合、リセット解除直後は HOCOSF は 0 ですが、HOCO 発振安定待機時間経過後に HOCOSF は 1 になります。
注 2. メインクロック発振器のウェイトコントロールレジスタに適切な値が設定されている場合に当てはまります。値（待機時間）が不十分な場合、発振が安定する前に発振安定フラグが 1 になり、内部回路へのクロック信号の供給が開始します。

このレジスタは、CGFSAR レジスタにより制御されません。

OSCSF レジスタは、各発振器の発振安定待機回路の動作状態を示すフラグからなるレジスタです。これらの回路は、発振開始後、各発振器の出力クロックが安定するまでの待機時間を生成します。各発振安定待機フラグが 1 になっている状態は、クロック供給が安定しており、対応する回路で利用可能なことを示します。

HOCOSF フラグ（HOCO クロック発振安定フラグ）

HOCOSF フラグは高速クロック発振器 (HOCO) の待機時間を計測するカウンタの動作状態を示します。
OFS1(_SEC).HOCOEN が 0 のとき、HOCO クロックを使用する前に OSCSF.HOCOSF が 1 であることを確認してください。

[1 になる条件]

- HOCO クロックが停止し、HOCOCR.HCSTP ビットが 0 になった後、HOCO クロックの変動が 10%の範囲内となり安定してから HOCOSF は 1 になります。HOCO クロックの変動が 1.5%で使用している場合、電気的特性で規定された待機時間が経過するまで待ちます。（詳細については、「52. 電気的特性」を参照してください。）
  HOCOCR.HCSTP ビットが 0 の場合、HOCOSF の状態にかかわらず HOCO クロックが供給されます。

[0 になる条件]

- HOCO の動作時に、HOCOCR.HCSTP ビットを 1 にした結果、HOCO が発振停止になったとき

注. OFS1(_SEC).HOCOEN ビットが 0 になっていた場合でも、OSCSF.HOCOSF フラグも 1 になっていることを確認してから、HOCO クロックを使用してください。

注. デバッグモードでは、HOCO が発振している間でも、以下のすべての条件を満たす場合は、ユーザープログラムのデバッグの目的で本フラグは 0 にマスクされます。
- TRCKCR.TRCKEN ビットを 1 にすることで、トレースクロックが有効化され動作中
- TRCKCR.TRCKSEL ビットを 1 にすることで、トレースクロックソースとして選択された HOCO がデバッグモードで発振
- HOCOCR.HCSTP ビットを 1 に設定

MOSCSF フラグ（メインクロック発振安定フラグ）

MOSCSF フラグは、メインクロック発振器の待機時間を計測するカウンタの動作状態を示します。

[1 になる条件]

- メインクロック発振器停止時、MOSCCR.MOSTP ビットが 0 になった後、MOSCWTCR レジスタの設定値に応じた LOCO クロックサイクル数をカウントし、MCU 内部へメインクロック供給を開始したとき

[0 になる条件]

- メインクロック発振器の動作時に、MOSCCR.MOSTP ビットを 1 にした結果、メインクロック発振器が発振停止になったとき

PLLSF フラグ（PLL1 クロック発振安定フラグ）

PLLSF フラグは、PLL1 の発振安定待機状態を示します。

[1 になる条件]

- PLL1 が停止し PLLCR.PLLSTP ビットが 0 になった後、PLL1 クロックが安定してから PLL1 クロックの供給が開始します。
  PLLSTP ビットが 0 になったときに、PLLCCR.PLSRCSEL ビットで選択した PLL1 クロックソースの発振が安定していなければ、PLL1 クロックソースの発振が安定した後に PLL1 の発振が安定するのを待ちます。

[0 になる条件]

- PLL1 の動作時に、PLLCR.PLLSTP ビットを 1 にした結果、PLL1 が発振停止になったとき

PLL2SF フラグ（PLL2 クロック発振安定フラグ）

本フラグは、PLL2 の発振安定待機状態を示します。

[1 になる条件]

- PLL2 が停止し PLL2CR.PLL2STP ビットが 0 になった後、PLL2 クロックが安定してから PLL2 クロックの供給が開始します。
  PLL2STP ビットが 0 になったときに、PLLCCR.PLSRCSEL ビットで選択した PLL2 クロックソースの発振が安定していなければ、PLL2 クロックソースの発振が安定した後に PLL2 の発振が安定するのを待ちます。

[0 になる条件]

- PLL2 の動作時に、PLL2CR.PLL2STP ビットを 1 にした結果、PLL2 が発振停止になったとき

8.2.21 OSCMONR : オシレータモニタレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x43

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	LOCOMON	MOCOMON	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
1	MOCOMON	MOCO 動作モニタ 0: MOCO 動作設定 1: MOCO 停止設定	R
2	LOCOMON	LOCO 動作モニタ 0: LOCO 動作設定 1: LOCO 停止設定	R
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-5、P-TYPE-5

このレジスタは、CGFSAR レジスタにより制御されません。

MOCOMON ビット（MOCO 動作モニタ）

MOCOMON は、MOCO の動作/停止設定状態を示します。

[0 になる条件]

- MOCO 動作条件を満たしている場合。詳細は、「8.6.1. MOCO 動作条件」を参照してください。

[1 になる条件]

- MOCO 停止条件を満たしている場合。詳細は、「8.6.2. MOCO 停止条件」を参照してください。

LOCOMON ビット（LOCO 動作モニタ）

LOCOMON は、LOCO の動作/停止設定状態を示します。

[0 になる条件]

- LOCO 動作条件を満たしている場合。詳細は、「8.5.1. LOCO 動作条件」を参照してください。

[1 になる条件]

- LOCO 停止条件を満たしている場合。詳細は、「8.5.2. LOCO 停止条件」を参照してください。

8.2.22 OSTDCR : 発振停止検出コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x040

Bit position:	7	6	5	4	3	2	1	0
Bit field:	OSTDE	—	—	—	—	—	—	OSTDIE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OSTDIE	発振停止検出割り込み許可 0: 発振停止検出割り込みを禁止（POEG への通知なし） 1: 発振停止検出割り込みを許可（POEG への通知あり）	R/W
6:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	OSTDE	発振停止検出機能有効 0: 発振停止検出機能は無効 1: 発振停止検出機能は有効	R/W

注. S-TYPE-3、P-TYPE-2
注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

OSTDCR レジスタは、発振停止検出機能を制御するレジスタです。

OSTDIE ビット（発振停止検出割り込み許可）

OSTDIE ビットは、発振停止検出機能割り込みを許可します。また、発振停止検出を POEG に通知するかどうかを制御します。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) をクリアする必要がある場合、OSTDIE ビットを 0 にしてから OSTDF をクリアしてください。OSTDIE ビットを 1 にする場合は、PCLKB クロックの 2 サイクル以上待ってから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことで、PCLKB の 2 サイクル以上の待ち時間を確保できます。

OSTDE ビット（発振停止検出機能有効）

OSTDE ビットは、発振停止検出機能を有効にします。

OSTDE ビットを 1（有効）にすると、MOCO 停止ビット (MOCOCR.MCSTP) が 0 となり、MOCO が起動します。発振停止検出機能が有効の間は、MOCO クロックは停止できません。MOCOCR.MCSTP ビットへの 1 の書き込み（MOCO 停止）は無効です。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) が 1（メインクロック発振停止検出）のとき、OSTDE ビットへの 0 の書き込みは無効です。

発振停止検出機能を使用する場合、以下の制限があります。

低速モードでは、ICLK、FCLK、PCLKA、PCLKB、PCLKC、PCLKD、PCLKE に対する 1 分周、2 分周、4 分周、8 分周の選択は禁止されています。

8.2.23 OSTDSR : 発振停止検出ステータスレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x041

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	OSTDF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OSTDF	発振停止検出フラグ 0: メインクロックの発振停止を未検出 1: メインクロックの発振停止を検出	R/W(注1)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。
注 1. このビットには 0 のみ書けます。このビットをクリアするには 1 を読んだ後に 0 を書く必要があります。

OSTDSR レジスタは、メインクロック発振器の発振停止の検出状態を示すレジスタです。

OSTDF フラグ（発振停止検出フラグ）

OSTDF フラグは、メインクロック発振器の状態を示します。このフラグが 1 のとき、メインクロックの発振停止が検出されたことを示します。発振停止が検出された後、メインクロックの発振が再開しても OSTDF フラグは 0 になりません。OSTDF ビットをクリアするには 1 を読んだ後に 0 を書く必要があります。

OSTDF に 0 を書き込んでから、0 を読み出せるようになるまで、ICLK で 3 サイクル以上待つ必要があります。メインクロックの発振が停止しているとき、OSTDF フラグを 0 にすると、OSTDF フラグはいったん 0 になった後、再度 1 に戻ります。

以下の条件下では、OSTDF フラグは 0 にできません。

- SCKSCR.CKSEL[2:0] = 011b（システムクロックソース = MOSC）
- PLLCCR.PLSRCSEL = 0（PLL1 ソースクロック = MOSC）かつ SCKSCR.CKSEL[2:0] = 101b（システムクロックソース = PLL1P）

クロックソースをメインクロック発振器と PLL1P 以外に切り替えた後、OSTDF フラグを 0 にする必要があります。

[1 になる条件]

- OSTDCR.OSTDE ビットが 1（発振停止検出機能有効）の状態で、メインクロックの発振が停止したとき

[0 になる条件]

- SCKSCR.CKSEL[2:0]ビットが 011b（システムクロックソースが MOSC）、101b（システムクロックソースが PLL1P）以外の場合、かつ PLLCCR.PLSRCSEL ビットが 0 以外（PLL1 ソースクロックが MOSC）の場合に、1 を読み出して 0 を書いたとき

8.2.24 MOSCWTCR : メインクロック発振器ウェイトコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x0A2

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	MSTS[3:0]			
Value after reset:	0	0	0	0	0	1	0	1

ビット	シンボル	機能	R/W
3:0	MSTS[3:0]	メインクロック発振安定待機時間設定 0x0: 待機時間 = 3 サイクル (11.4 µs) 0x1: 待機時間 = 35 サイクル (133.5 µs) 0x2: 待機時間 = 67 サイクル (255.6 µs) 0x3: 待機時間 = 131 サイクル (499.7 µs) 0x4: 待機時間 = 259 サイクル (988.0 µs) 0x5: 待機時間 = 547 サイクル (2086.6 µs) 0x6: 待機時間 = 1059 サイクル (4039.8 µs) 0x7: 待機時間 = 2147 サイクル (8190.2 µs) 0x8: 待機時間 = 4291 サイクル (16368.9 µs) 0x9: 待機時間 = 8163 サイクル (31139.4 µs) その他: 設定禁止	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

MSTS[3:0]ビット（メインクロック発振安定待機時間設定）

MSTS[3:0]ビットは、メインクロック発振器の発振安定待機時間を指定します。

発振器メーカーが推奨する長さ以上の時間をメインクロック発振安定時間に設定してください。メインクロックが外部から入力される場合、発振安定時間は必要ないので 0x0 に設定してください。

これらのビットに設定した待機時間は、次式を用いてカウントされます。1 サイクル (µs) = $1/(f_{LOCO}[MHz] \times 8) = 1/(0.032768 \times 8) = 3.81$ (µs)（最小）LOCO クロックは、必要であれば、LOCO.LCSTP ビットの値にかかわらず、自動的に発振を開始します。設定した待機時間が経過すると、MCU 内部へメインクロック発振器の供給が開始され、OSCSF.MOSCSF フラグは 1 になります。設定した待機時間が短いと、クロックの発振が安定になる前に、メインクロック発振器の供給が開始されます。

MOSCWTCR レジスタの書き換えは、MOSCCR.MOSTP ビットが 1 で、かつ OSCSF.MOSCSF フラグが 0 の場合にのみ行ってください。他の状態ではレジスタの書き換えを行わないでください。

8.2.25 MOMCR : メインクロック発振器モード発振コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA50

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	MOSEL	—	—	MODRV0[2:0]			—
Value after reset:	0	0	0	1	1	0	1	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3:1	MODRV0[2:0]	メインクロック発振器駆動能力 0 切り替え 0 0 0: 8 MHz 0 1 1: 8 MHz～24 MHz 1 0 1: 8 MHz～48 MHz その他: 設定禁止	R/W
4	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	MOSEL	メインクロック発振器切り替え 0: 発振子 1: 外部クロック入力	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. EXTAL/XTAL 端子はポートとしても使用されます。初期状態では、この端子がポートとして設定されます。
注. このレジスタを変更する前に、MOSCCR.MOSTP ビットを 1（MOSC 停止）にする必要があります。
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

MODRV0[2:0]ビット（メインクロック発振器駆動能力 0 切り替え）

MODRV0[2:0]ビットは、メインクロック発振器の駆動能力を切り替えます。メインクロック発振器の駆動能力は、周波数に応じた適切な駆動能力を選択する必要があります。

MOSEL ビット（メインクロック発振器切り替え）

MOSEL ビットは、メインクロック発振器のソースを切り替えます。

8.2.26 SOMCR : サブクロック発振器モードコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xC01

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	SOSEL	—	—	—	—	SODRV[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	SODRV[1:0]	サブクロック発振器駆動能力切り替え 0 0: 標準 (12.5 pf) 0 1: 低消費電力モード 1 (9 pf) 1 0: 低消費電力モード 2 (7 pf) 1 1: 低消費電力モード 3 (4 pf)	R/W
5:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	SOSEL	サブクロック発振器切り替え 0: 発振子 1: 外部クロック入力	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SOMCR レジスタの変更は、SOSCCR.SOSTP が 1（SOSC 停止）のときに行う必要があります。

SODRV[1:0]ビット（サブクロック発振器駆動能力切り替え）

SODRV[1:0]ビットは、サブクロック発振器の駆動能力を切り替えます。

SOSEL ビット（サブクロック発振器切り替え）

SOSEL ビットは、サブロック発振器の発振源を切り替えます。

詳細は、「8.4. サブクロック発振器」を参照してください。

MCU の VCC 電圧が 1.8 V よりも低い場合、このビットを 1 にすると、RTC レジスタおよび VBTBKR[n] (n = 0～127)（VBATT バックアップレジスタ）は、このビットを設定してから 20 µs 後にアクセスできます。

8.2.27 CKOCR : クロック出力コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x03E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CKOEN	CKODIV[2:0]			—	CKOSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
2:0	CKOSEL[2:0]	クロック出力ソース選択 0 0 0: HOCO 0 0 1: MOCO（リセット後の値） 0 1 0: LOCO 0 1 1: MOSC 1 0 0: SOSC その他: 設定禁止	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	CKODIV[2:0]	クロック出力周波数分周比 0 0 0: × 1/1 0 0 1: × 1/2 0 1 0: × 1/4 0 1 1: × 1/8 1 0 0: × 1/16 1 0 1: × 1/32 1 1 0: × 1/64 1 1 1: × 1/128	R/W
7	CKOEN	クロック出力許可 0: クロック出力禁止 1: クロック出力許可	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、本レジスタを書き換えてください。

CKOSEL[2:0]ビット（クロック出力ソース選択）

CKOSEL[2:0]ビットは、CLKOUT 端子から出力するクロックのソースを選択します。クロックソースを変更する場合、CKOEN ビットを 0 にしてください。

CKODIV[2:0]ビット（クロック出力周波数分周比）

CKODIV[2:0]ビットは、クロック分周比を設定します。分周比を変更する場合、CKOEN ビットを 0 にしてください。

CKOEN ビット（クロック出力許可）

CKOEN ビットは、CLKOUT 端子からの出力を許可します。

1 を書き込むと、選択したクロックが出力されます。0 を書き込むと、Low が出力されます。このビットを変更する場合は、CKOSEL[2:0]ビットで選択したクロック出力のクロックソースが安定していることを確認してください。それ以外の場合は、出力にグリッチを生じることがあります。

ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する際は、これらのモードで選択中のクロック出力ソースを停止させる場合、事前にこのビットをクリアしてください。

8.2.28 LOCOUTCR : LOCO ユーザートリミングコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x402

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LOCOUTRM[7:0]							
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	LOCOUTRM[7:0]	LOCO ユーザートリミング 0x80: -128 0x81: -127 ⋮ 0xFF: -1 0x00: センターコード 0x01: +1 ⋮ 0x7E: +126 0x7F: +127	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注. SYRACCR.BUSY ビットが 0 であることを確認してから、LOCOUTCR にアクセスしてください。SYRACCR.BUSY ビットが 1 の場合、書き込みは無視されます。また、読み出し値は保証されません。
注. LOCOUTCR に LOCO 周波数を仕様範囲外にする値を設定する場合、MCU の動作は保証されません。
注. LOCOUTCR を変更後、周波数が安定するまで一定の時間を要します。動作開始時の発振安定時間と同じだけの時間がかかります。

LOCOUTCR レジスタは元の LOCO トリミングデータに追加されます。

RTC の動作中に LOCOUTCR の変更はしないでください。

8.2.29 MOCOUTCR : MOCO ユーザートリミングコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x061

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MOCOUTRM[7:0]							
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	MOCOUTRM[7:0]	MOCO ユーザートリミング 0x80: -128 0x81: -127 ⋮ 0xFF: -1 0x00: センターコード 0x01: +1 ⋮ 0x7E: +126 0x7F: +127	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注. MOCOUTCR に MOCO 周波数を仕様範囲外にする値を設定する場合、MCU の動作は保証されません。
注. MOCOUTCR を変更後、周波数が安定するまで一定の時間を要します。動作開始時の発振安定時間と同じだけの時間がかかります。

MOCOUTCR レジスタは元の MOCO トリミングデータに追加されます。

8.2.30 HOCOUTCR : HOCO ユーザートリミングコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x062

Bit position:	7	6	5	4	3	2	1	0
Bit field:	HOCOUTRM[7:0]							
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	HOCOUTRM[7:0]	HOCO ユーザートリミング 0x80: -128 0x81: -127 ⋮ 0xFF: -1 0x00: センターコード 0x01: +1 ⋮ 0x7E: +126 0x7F: +127	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、本レジスタを書き換えてください。
注. HOCO 周波数を仕様範囲外にする値を HOCOUTCR に設定すると、MCU の動作は保証されません。
注. HOCOUTCR を変更後、周波数が安定するまで一定の時間を要します。動作開始時の発振安定時間と同じだけの時間がかかります。
注. FLL が有効 (FLLCR1.FLLEN = 1) の場合、これらのビットを 0x00 にしてください。

HOCOUTCR レジスタは元の HOCO トリミングデータに追加されます。

8.2.31 MOSCSCR : メインクロック発振器スタンバイコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x07C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MOSCSOKP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MOSCSOKP	メインクロック発振器スタンバイ発振保持選択 0: 無効 1: 有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

MOSCSCR は、MOSCCR.MOSTP が 1（MOSC 停止）のときに変更してください。

MOSCSOKP が 1 の場合は、「8.12.6. MOSCSCR.MOSCSOKP の注意事項」を参照してください。

MOSCSOKP ビット（メインクロック発振器スタンバイ発振保持選択）

このビットは、メインクロック発振器がソフトウェアスタンバイモードで発振を継続するように制御します。

このビットが無効で MOSCCR.MOSTP ビットが 0（MOSC 動作）の場合、メインクロック発振器はソフトウェアスタンバイモードで停止します。

このビットが有効で MOSCCR.MOSTP ビットが 0（MOSC 動作）の場合、メインクロック発振器はソフトウェアスタンバイモードで発振を継続します。

MOSCCR.MOSTP ビットが 1（MOSC 停止）の場合、このビットの設定にかかわらず、メインクロック発振器はソフトウェアスタンバイモードで停止します。

8.2.32 HOCOSCR : 高速オンチップオシレータスタンバイコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x07D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	HOCOSOKP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	HOCOSOKP	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

8.2.33 USBCKDIVCR : USB クロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x06C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	USBCKDIV[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	USBCKDIV[2:0]	USB クロック (USBCLK) 分周比選択 0 0 0: 1/1 0 0 1: 1/2 0 1 0: 1/4 0 1 1: 1/6 1 0 0: 1/8 1 0 1: 1/3 1 1 0: 1/5 その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

USBCKDIVCR レジスタは、USB クロックを制御するレジスタです。

USBCKDIV[2:0]ビット（USB クロック (USBCLK) 分周比選択）

本ビットは、USB クロック (USBCLK) の周波数を選択します。書き換えは、USBCKCR.USBCKSRDY が 1 の時に行ってください。

分周比の設定を n (n ≠ 1) から切り替えるときは、MSTPCRB.MSTPBi (i = 11, 12) を 1 に設定してから USBCKCR.USBCKSREQ = 1 に設定してください。

8.2.34 OCTACKDIVCR : Octal-SPI クロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x06D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	OCTACKDIV[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	OCTACKDIV[2:0]	Octal-SPI クロック (OCTACLK) 分周比選択 0 0 0: 1/1（リセット後の値） 0 0 1: 1/2 0 1 0: 1/4 0 1 1: 1/6 1 0 0: 1/8 1 0 1: 1/3 1 1 0: 1/5 その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

OCTACKDIVCR は Octal-SPI クロックを制御します。

OCTACKDIV[2:0]ビット（Octal-SPI クロック (OCTACLK) 分周比選択）

本ビットは、Octal-SPI クロック (OCTACLK) の周波数を選択します。書き換えは、OCTACKCR.OCTACKSRDY が 1 の時に行ってください。

分周比の設定を n (n ≠ 1) から切り替えるときは、MSTPCRB.MSTPB16 = 1 に設定してから OCTACKCR.OCTACKSREQ = 1 に設定してください。

8.2.35 CANFDCKDIVCR : CANFD コアクロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x06E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	CANFDCKDIV[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CANFDCKDIV[2:0]	CANFD コアクロック (CANFDCLK) 分周比選択 0 0 0: 1/1（リセット後の値） 0 0 1: 1/2 0 1 0: 1/4 0 1 1: 1/6 1 0 0: 1/8 1 0 1: 1/3 1 1 0: 1/5 その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

CANFDCKDIVCR レジスタは、CANFD コアクロックを制御します。

CANFDCKDIV[2:0]ビット（CANFD コアクロック (CANFDCLK) 分周比選択）

これらのビットは、CANFD コアクロック (CANFDCLK) の周波数を選択します。書き換えは、CANFDCKCR.CANFDCKSRDY が 1 の時に行ってください。

分周比の設定を n (n ≠ 1) から切り替えるときは、MSTPCRC.MSTPC27 = 1 に設定してから CANFDCKCR.CANFDCKSREQ = 1 に設定してください。

8.2.36 USBCKCR : USB クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x074

Bit position:	7	6	5	4	3	2	1	0
Bit field:	USBCKSRDY	USBCKSREQ	—	—	USBCKSEL[3:0]			
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
3:0	USBCKSEL[3:0]	USB クロック (USBCLK) ソース選択 0000: HOCO 0001: MOCO（リセット後の値） 0011: メインクロック発振器 0101: PLL1P 0110: PLL2P 0111: PLL1Q 1000: PLL1R 1001: PLL2Q 1010: PLL2R その他: 設定禁止	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	USBCKSREQ	USB クロック (USBCLK) 切り替え要求 0: 要求なし 1: 切り替えを要求	R/W
7	USBCKSRDY	USB クロック (USBCLK) 切り替え可能状態フラグ 0: 切り替え不可能 1: 切り替え可能	R

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

USBCKCR レジスタは、USB クロックを制御するレジスタです。

クロックソース切り替え時、切り替え前と切り替え後にクロックが安定して出力されるようにしなければなりません。USBCKDIVCR.USBCKDIV[2:0]ビットと USBCKSEL[3:0]ビットの設定値を書き換えるには、以下の手順に従ってください。

1. MSTPCRB.MSTPBi (i = 11, 12) に 1 を書き込む（分周比の設定を n (n ≠ 1) から m (m ≠ 1) に切り替えるときのみ）。
2. USBCLK を 2 サイクル待機する（分周比の設定を n (n ≠ 1) から m (m ≠ 1) に切り替えるときのみ）。
3. USBCKSREQ に 1 を書き込む。
4. USBCKSRDY フラグが 1 になるまでポーリングする。USBCKSRDY が 1 である間、USBCLK にクロックが出力されない。
5. USBCKDIVCR.USBCKDIV[2:0]ビットと USBCKSEL[3:0]ビットに書き込む。
6. USBCKSREQ に 0 を書き込む。
7. USBCKSRDY フラグが 0 になるまでポーリングする。
8. USBCKSRDY フラグが 0 になると、USBCLK 出力を開始する。クロック切り替えが完了する。

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモードに遷移する場合は、クロック切り替えを実施している間に WFI 命令を実行しないでください。すなわち、USBCKSREQ = 1 かつ USBCKSRDY = 0、または、USBCKSREQ = 0 かつ USBCKSRDY = 1 であるときに WFI 命令を実行しないでください。

USBCKSEL[3:0]ビット（USB クロック (USBCLK) ソース選択）

本ビットは、USB クロック (USBCLK) のクロックソースを選択します。書き換えは、USBCKCR.USBCKSRDY が 1 のときに行ってください。

MOCO が選択されていない場合、これらのビットによって選択された発振器を停止しないでください。

USBCKSREQ ビット（USB クロック (USBCLK) 切り替え要求）

本ビットは、USBCLK の切り替え要求を選択します。

USBCKSRDY フラグ（USB クロック (USBCLK) 切り替え可能状態フラグ）

本フラグは、USBCLK の切り替え可能状態を示します。USBCKSRDY が 1 のときは、USBCLK にクロックが出力されません。

8.2.37 OCTACKCR : Octal-SPI クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x075

Bit position:	7	6	5	4	3	2	1	0
Bit field:	OCTACKSRDY	OCTACKSREQ	—	—	OCTACKSEL[3:0]			
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
3:0	OCTACKSEL[3:0]	Octal-SPI クロック (OCTACLK) ソース選択 0 0 0 0: HOCO 0 0 0 1: MOCO（リセット後の値） 0 0 1 0: LOCO 0 0 1 1: メインクロック発振器 0 1 0 0: サブクロック発振器 0 1 0 1: PLL1P 0 1 1 0: PLL2P 0 1 1 1: PLL1Q 1 0 0 0: PLL1R 1 0 0 1: PLL2Q 1 0 1 0: PLL2R その他: 設定禁止	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	OCTACKSREQ	Octal-SPI クロック (OCTACLK) 切り替え要求 0: 要求なし 1: 切り替えを要求	R/W
7	OCTACKSRDY	Octal-SPI クロック (OCTACLK) 切り替え可能状態フラグ 0: 切り替え不可能 1: 切り替え可能	R

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

OCTACKCR レジスタは、Octal-SPI クロックを制御するレジスタです。

クロックソース切り替え時、切り替え前と切り替え後にクロックが安定して出力されるようにしなければなりません。

OCTACKDIVCR.OCTACKDIV[2:0]ビットと OCTACKSEL[3:0]ビットの設定値を書き換えるには、以下の手順に従ってください。

1. MSTPCRB.MSTPB16 に 1 を書き込む（分周比の設定を n (n ≠ 1) から切り替えるときのみ）。

2. OCTACLK を 2 サイクル待機する（分周比の設定を n (n ≠ 1) から切り替えるときのみ）。
3. OCTACKSREQ に 1 を書き込む
4. OCTACKSRDY フラグが 1 になるまでポーリングする OCTACKSRDY が 1 である間、OCTACLK にクロックが出力されない
5. OCTACKDIVCR.OCTACKDIV[2:0]ビットと OCTACKSEL[3:0]ビットに書き込む。
6. OCTACKSREQ に 0 を書き込み
7. OCTACKSRDY フラグが 0 になるまでポーリングする
8. OCTACKSRDY フラグが 0 になると、OCTACLK 出力を開始するクロック切り替えが完了する

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモードに遷移する場合は、クロック切り替えを実施している間に WFI 命令を実行しないでください。すなわち、OCTACKSREQ = 1 かつ OCTACKSRDY = 0、または、OCTACKSREQ = 0 かつ OCTACKSRDY = 1 であるときに WFI 命令を実行しないでください。

OCTACKSEL[3:0]ビット（Octal-SPI クロック (OCTACLK) ソース選択）

これらのビットは、Octal-SPI クロック (OCTACLK) のクロックソースを選択します。書き換えは、OCTACKCR.OCTACKSRDY が 1 の時に行ってください。

MOCO が選択されていない場合、これらのビットによって選択された発振器を停止しないでください。

OCTACKSREQ ビット（Octal-SPI クロック (OCTACLK) 切り替え要求）

本ビットは、OCTACLK の切り替え要求を選択します。

OCTACKSRDY フラグ（Octal-SPI クロック (OCTACLK) 切り替え可能状態フラグ）

本フラグは、OCTACLK の切り替え可能状態を示します。OCTACKSRDY が 1 である時は、OCTACLK にクロックが出力されません。

8.2.38 CANFDCKCR : CANFD コアクロックコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x076

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CANFDCKSRDY	CANFDCKSREQ	—	—	CANFDCKSEL[3:0]			
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
3:0	CANFDCKSEL[3:0]	CANFD コアクロック (CANFDCLK) ソース選択 0 0 0 0: HOCO 0 0 0 1: MOCO（リセット後の値） 0 0 1 0: LOCO 0 0 1 1: メインクロック発振器 0 1 0 0: サブクロック発振器 0 1 0 1: PLL1P 0 1 1 0: PLL2P 0 1 1 1: PLL1Q 1 0 0 0: PLL1R 1 0 0 1: PLL2Q 1 0 1 0: PLL2R その他: 設定禁止	R/W
5:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	CANFDCKSREQ	CANFD コアクロック (CANFDCLK) 切り替え要求 0: 要求なし 1: 切り替えを要求	R/W

ビット	シンボル	機能	R/W
7	CANFDCKSRDY	CANFD コアクロック (CANFDCLK) 切り替え可能状態フラグ 0: 切り替え不可能 1: 切り替え可能	R

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

CANFDCKCR レジスタは、CANFD コアクロック (CANFDCLK) を制御します。

クロックソース切り替え時、切り替え前と切り替え後にクロックが安定して出力されるようにしなければなりません。CANFDCKDIVCR.CANFDCKDIV[2:0]ビットと CANFDCKSEL[3:0]ビットの設定値を書き換えるには、以下の手順に従ってください。

1. MSTPCRC.MSTPC27 に 1 を書き込む（分周比の設定を n (n ≠ 1) から切り替えるときのみ）。
2. CANFDCLK を 2 サイクル待機する（分周比の設定を n (n ≠ 1) から切り替えるときのみ）。
3. CANFDCKSREQ に 1 を書き込む。
4. CANFDCKSRDY フラグが 1 になるまでポーリングする。CANFDCKSRDY が 1 である間、CANFDCLK にクロックが出力されない。
5. CANFDCKDIVCR.CANFDCKDIV[2:0]ビットと CANFDCKSEL[3:0]ビットに書き込む。
6. CANFDCKSREQ に 0 を書き込む。
7. CANFDCKSRDY フラグが 0 になるまでポーリングする。
8. CANFDCKSRDY フラグが 0 になると、CANFDCLK 出力を開始する。クロック切り替えが完了する。

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモードに遷移する場合は、クロック切り替えを実施している間に WFI 命令を実行しないでください。すなわち、CANFDCKSREQ = 1 かつ CANFDCKSRDY = 0、または、CANFDCKSREQ = 0 かつ CANFDCKSRDY = 1 であるときに WFI 命令を実行しないでください。

CANFDCKSEL[3:0]ビット（CANFD コアクロック (CANFDCLK) ソース選択）

本ビットは、CANFD コアクロック (CANFDCLK) のクロックソースを選択します。書き換えは、CANFDCKCR.CANFDCKSRDY が 1 の時に行ってください。

MOCO が選択されていない場合、これらのビットによって選択された発振器を停止しないでください。

CANFDCKSREQ ビット（CANFD コアクロック (CANFDCLK) 切り替え要求）

本ビットは、CANFDCLK の切り替え要求を選択します。

CANFDCKSRDY フラグ（CANFD コアクロック (CANFDCLK) 切り替え可能状態フラグ）

本フラグは、CANFDCLK の切り替え可能状態を示します。CANFDCKSRDY が 1 である間、CANFDCLK にクロックが出力されません。

8.2.39 SCICKDIVCR : SCI クロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x054

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SCICKDIV[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	SCICKDIV[2:0]	SCI クロック (SCICLK) 分周比選択 0 0 0: 1 分周（リセット後の値） 0 0 1: 2 分周 0 1 0: 4 分周 0 1 1: 6 分周 1 0 0: 8 分周 1 0 1: 3 分周 1 1 0: 5 分周 その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SCICKDIVCR は、SCI クロックを制御します。

SCICKDIV[2:0]ビット（SCI クロック (SCICLK) 分周比選択）

これらのビットは、SCI クロック (SCICLK) の周波数を選択します。書き換えは、SCICKCR.CKSRDY が 1 の時に行ってください。

分周比の設定を n (n ≠ 1) から切り替えるときは、MSTPCRB.MSTPBi (i = 22, 27, 28, 29, 30, 31) を 1 に設定してから SCICKCR.SCICKSREQ = 1 に設定してください。

8.2.40 SPICKDIVCR : SPI クロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x056

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SPICKDIV[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	SPICKDIV[2:0]	SPI クロック (SPICLK) 分周比選択 0 0 0: 1 分周（リセット後の値） 0 0 1: 2 分周 0 1 0: 4 分周 0 1 1: 6 分周 1 0 0: 8 分周 1 0 1: 3 分周 1 1 0: 5 分周 その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SPICKDIVCR は、SPI クロックを制御します。

SPICKDIV[2:0]ビット（SPI クロック (SPICLK) 分周比選択）

これらのビットは、SPI クロック (SPICLK) の周波数を選択します。書き換えは、SPICKCR.CKSRDY が 1 の時に行ってください。

分周比の設定を n (n ≠ 1) から切り替えるときは、MSTPCRB.MSTPBi (i = 18, 19) を 1 に設定してから SPICKCR.SPICKSREQ = 1 に設定してください。

8.2.41 SCICKCR : SCI クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x055

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SCICKSRDY	SCICKSREQ	—	—	SCICKSEL[3:0]			
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
3:0	SCICKSEL[3:0]0	SCI クロック (SCICLK) ソース選択 0000: HOCO 0001: MOCO（リセット後の値） 0010: LOCO 0011: メインクロック発振器 0100: サブクロック発振器 0101: PLL1P 0110: PLL2P 0111: PLL1Q 1000: PLL1R 1001: PLL2Q 1010: PLL2R その他: 設定禁止	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	SCICKSREQ	SCI クロック (SCICLK) 切り替え要求 0: 要求なし 1: 切り替えを要求	R/W
7	SCICKSRDY	SCI クロック (SCICLK) 切り替え可能状態フラグ 0: 切り替え不可能 1: 切り替え可能	R

注. S-TYPE-3, P-TYPE-2

SCICKCR は、SCI クロックを制御します。

SCICKDIVCR.SCICKDIV[2:0]ビットと SCICKSEL[3:0]ビットの設定値を書き換えるには、以下の手順に従ってください。

クロックソース切り替え時、切り替え前と切り替え後にクロックが安定して出力されるようにする必要があります。

クロック選択の切り替え手順：

1. MSTPCRB.MSTPBi (i = 22, 27, 28, 29, 30, 31) に 1 を書き込む（分周比の設定を n (n ≠ 1) から切り替えるときのみ）。
2. SCICLK を 2 サイクル待機する（分周比の設定を n (n ≠ 1) から切り替えるときのみ）。
3. SCICKSREQ に 1 を書き込む。
4. SCICKSRDY が 1 になるまでポーリングする。SCICKSRDY が 1 である間、SCICLK にクロックが出力されない。
5. 設定値を SCICKDIVCR.SCICKDIV[2:0]と SCICKSEL[3:0]に書き込む。
6. SCICKSREQ に 0 を書き込む。
7. SCICKSRDY が 0 になるまでポーリングする。
8. SCICKSRDY が 0 になると、SCICLK 出力を開始する。クロック切り替えが完了する。

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモードに遷移する場合は、クロック選択切り替えを実施している間に WFI 命令を実行しないでください。つまり、SCICKSREQ = 1 かつ SCICKSRDY = 0、または SCICKSREQ = 0 かつ SCICKSRDY = 1 の状態で WFI 命令を実行しないでください。

SCICKSEL[3:0]ビット（SCI クロック (SCICLK) ソース選択）

本ビットは、SCI クロック (SCICLK) のクロックソースを選択します。書き換えは、SCICKCR が 1 のときに行ってください。SCICKSRDY = 1 のとき、これらのビットの設定が有効になります。

MOCO が選択されていない場合、これらのビットによって選択された発振器を停止しないでください。

SCICKSREQ ビット（SCI クロック (SCICLK) 切り替え要求）

本ビットは、SCICLK の切り替え要求を選択します。

SCICKSRDY ビット（SCI クロック (SCICLK) 切り替え可能状態フラグ）

本フラグは、SCICLK の切り替え可能状態を示します。

SCICKSRDY が 1 である間、SCICLK にクロックが出力されません。

8.2.42 SPICKCR : SPI クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x057

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SPICKSRDY	SPICKSREQ	—	—	SPICKSEL[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	SPICKSEL[3:0]	SPI クロック (SPICLK) ソース選択 0000: HOCO 0001: MOCO（リセット後の値） 0010: LOCO 0011: メインクロック発振器 0100: サブクロック発振器 0101: PLL1P 0110: PLL2P 0111: PLL1Q 1000: PLL1R 1001: PLL2Q 1010: PLL2R その他: 設定禁止	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	SPICKSREQ	SPI クロック (SPICLK) 切り替え要求 0: 要求なし 1: 切り替えを要求	R/W
7	SPICKSRDY	SPI クロック (SPICLK) 切り替え可能状態フラグ 0: 切り替え不可能 1: 切り替え可能	R

注. S-TYPE-3, P-TYPE-2

SPICKCR は SPI クロックを制御します。

SPICKDIVCR.SPICKDIV[2:0]ビットと SPICKSEL[3:0]ビットの設定値を書き換えるには、以下の手順に従ってください。

クロックソース切り替え時、切り替え前と切り替え後にクロックが安定して出力されるようにする必要があります。

クロック選択の切り替え手順：

1. MSTPCRB.MSTPBi (i = 18, 19) に 1 を書き込む（分周比の設定を n (n ≠ 1) から切り替えるときのみ）。
2. SPICLK を 2 サイクル待機する（分周比の設定を n (n ≠ 1) から切り替えるときのみ）。
3. SPICKSREQ に 1 を書き込む。

4. SPICKSRDY が 1 になるまでポーリングする。SPICKSRDY が 1 である間、SPICLK にクロックが出力されない。
5. 設定値を SPICKDIVCR.SPICKDIV[2:0]と SPICKSEL[3:0]に書き込む。
6. SPICKSREQ に 0 を書き込む。
7. SPICKSRDY が 0 になるまでポーリングする。
8. SPICKSRDY が 0 になると、SPICLK 出力を開始する。クロック切り替えが完了する。

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモードに遷移する場合は、クロック選択切り替えを実施している間に WFI 命令を実行しないでください。つまり、SPICKSREQ = 1 かつ SPICKSRDY = 0、または SPICKSREQ = 0 かつ SPICKSRDY = 1 の状態で WFI 命令を実行しないでください。

SPICKSEL[3:0]ビット（SPI クロック (SPICLK) ソース選択）

本ビットは、SPI クロック (SPICLK) のクロックソースを選択します。書き換えは、SPICKCR.SPICKSRDY が 1 のときに行ってください。

MOCO が選択されていない場合、これらのビットによって選択された発振器を停止しないでください。

SPICKSREQ ビット（SPI クロック (SPICLK) 切り替え要求）

本ビットは、SPICLK の切り替え要求を選択します。

SPICKSRDY ビット（SPI クロック (SPICLK) 切り替え可能状態フラグ）

本フラグは、SPICLK の切り替え可能状態を示します。

SPICKSRDY が 1 である間、クロックは SPICLK に出力されません。

8.2.43 TRCKCR : トレースクロックコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x03F

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TRCKEN	—	—	TRCKSEL	TRCK[3:0]			
Value after reset:	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
3:0	TRCK[3:0]	トレースクロック動作周波数選択 0000: 1 分周 0001: 2 分周 0010: 4 分周（リセット後の値） 0011: 8 分周 0100: 16 分周 0101: 32 分周 0110: 64 分周 0111: 128 分周 1000: 256 分周 1001: 3 分周 1010: 6 分周 1011: 12 分周 その他: 設定禁止	R/W
4	TRCKSEL	トレースクロックソース選択 0: システムクロックソース（リセット後の値） 1: HOCO（デバッグモードの発振）	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	TRCKEN	トレースクロック動作許可 0: 停止 1: 動作許可	R/W

注. S-TYPE5、P-TYPE-2

トレースクロックコントロールレジスタは、トレースクロックの切り替えを制御します。

このレジスタは、CGFSAR レジスタにより制御されません。

トレースクロックの周波数を変更する場合、トレースクロックは停止している必要があります (TRCKCR.TRCKEN = 0)。

TRCK[3:0]ビット（トレースクロック動作周波数選択）

これらのビットは、トレースクロックの周波数を選択します。

このビットは、必ず TRCKCR.TRCKEN = 0 のときに書き換えてください。

TRCKSEL ビット（トレースクロックソース選択）

このビットは、トレースクロックのクロックソースを選択します。トレースクロックは、このビットの設定により以下となります。

[このビットが 0 の場合]

- システムクロックソースは、トレースクロックのクロックソースとして選択されます。
  システムクロックソースは、SCKSCR.CKSEL[2:0]ビットによって選択されます。
- トレースクロックへのクロックの供給は、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードのときに、MOCO の 1 分周で選択されます。

[このビットが 1 の場合]

- HOCO は、トレースクロックのクロックソースとして選択されます。
- TRCKSEL を 1 にすると、HOCOCR.HCSTP の状態にかかわらず HOCO が動作します。ただし、OSCSF は、振幅が安定していることを確認しません。そのため、ユーザーが安定待機する間、待ちします。
- HOCO は、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードであっても、発振とトレースクロックへの供給を継続します。

このビットは、必ず TRCKCR.TRCKEN = 0 のときに書き換えてください。

TRCKEN ビット（トレースクロック動作許可）

このビットは、トレースクロックへのクロック供給を許可または禁止します。

TRCK[3:0]ビットおよび TRCKSEL ビットを設定してから、このビットを 0（停止）から 1（許可）にしてください。

このビットを 1（許可）から 0（停止）にする場合、トレース機能は無効にする必要があります。

トレースクロックは、このビットが 1 のときに以下の条件下で出力されます。
CDBGPWRUPREQ = 1 & AL ≠ AL0 | DBGAUTH0.DBGEN0 = 1 & OFS1(_SEC).SWDBG = 0

8.3 メインクロック発振器

メインクロック発振器にクロック信号を供給するには、以下のいずれかの方法を使用します。

- 発振子を接続
- 外部クロック信号の入力を接続

8.3.1 発振子を接続する方法

図 8.2 に発振子の接続例を示します。必要に応じてダンピング抵抗 (Rd) を挿入してください。

この抵抗値は、振動子と発振駆動能力によって異なるので、振動子メーカの推奨する値を使用してください。また、振動子メーカから外部に帰還抵抗 (Rf) を追加するよう指示があった場合は、その指示に従って EXTAL と XTAL の間に Rf を挿入してください。

振動子を接続してクロックを供給する場合、その振動子の周波数は、表 8.1 に記載されているように、メインクロック発振器の発振子周波数の範囲内としてください。

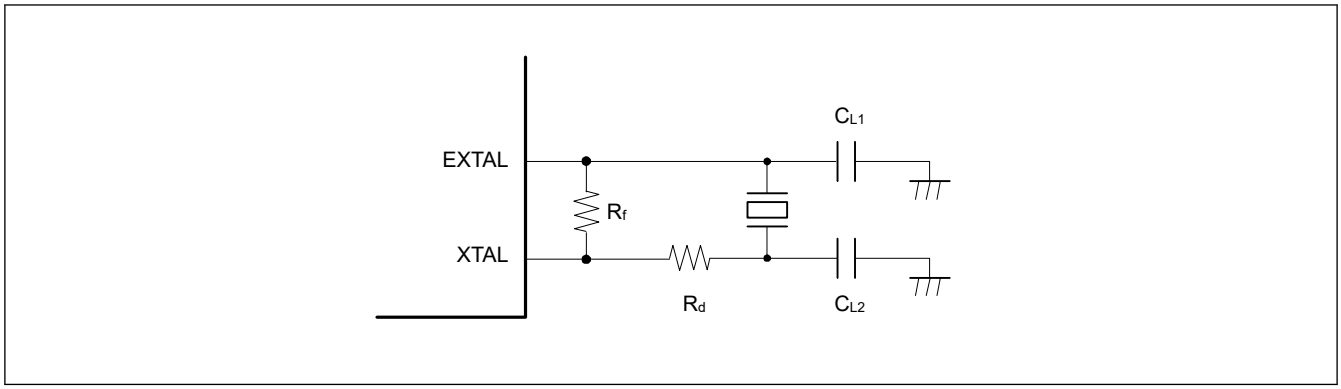


図 8.2　発振子の接続例

図 8.3 に発振子の等価回路を示します。

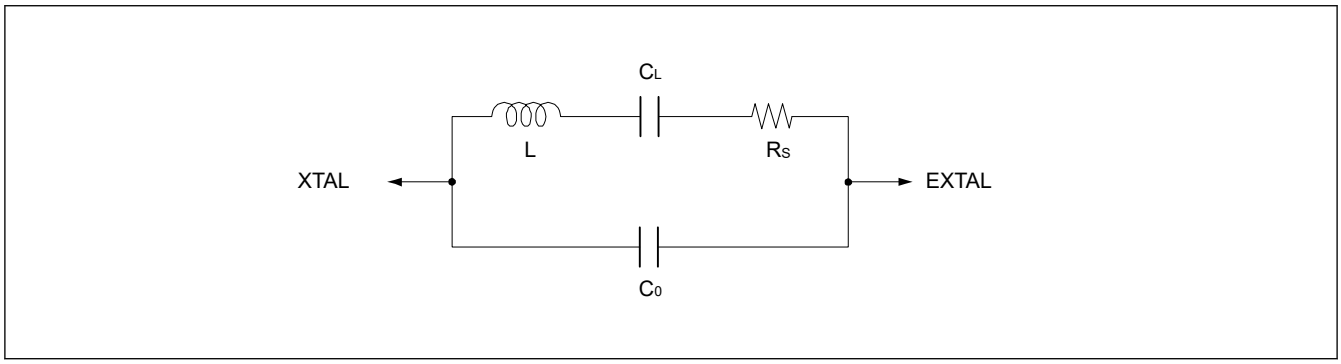


図 8.3　発振子の等価回路

8.3.2　外部クロックを入力する方法

図 8.4 に、外部クロック入力の接続例を示します。外部クロックで発振器を動作させるには、MOMCR.MOSEL ビットを 1 にしてください。XTAL 端子はハイインピーダンスになります。

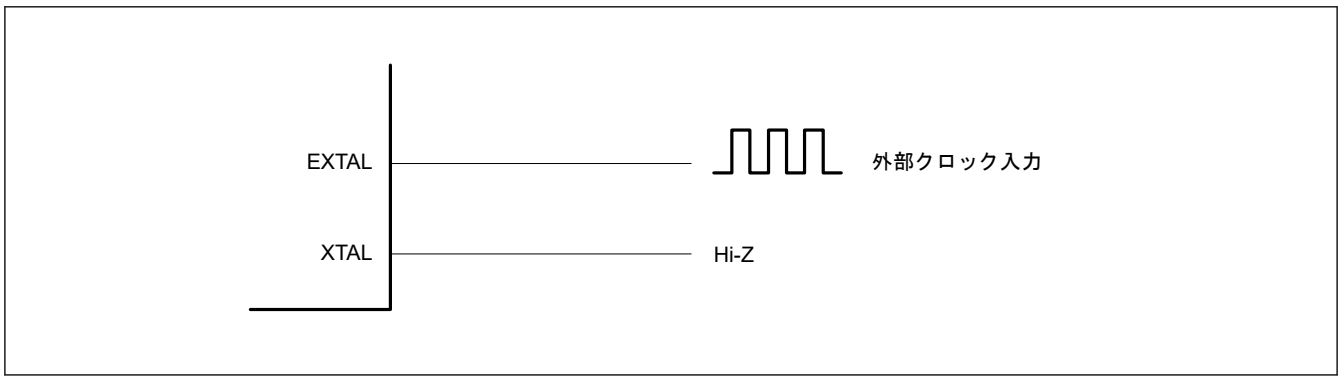


図 8.4　外部クロックの等価回路

8.3.3　外部クロック入力に関する注意事項

- 外部クロック入力周波数の変更は、メインクロック発振器が動作を停止しているときのみ可能です。メインクロック発振器停止ビット (MOSCCR.MOSTP) が 0 の場合、外部クロック入力の周波数を変更しないでください。
- ソフトウェアスタンバイモード中の消費電流を低減するためには、外部クロックを停止させ、プルアップまたはプルダウンを維持することを推奨します。
  ただし、外部クロックをシステムクロックソースとして使用する場合、ソフトウェアスタンバイモードへの遷移中およびソフトウェアスタンバイモードからの復帰中にも供給してください。

これを安全に行うためには、ソフトウェアスタンバイモードへ遷移する前にシステムクロックソースを別のクロックソースに変更することを推奨します。そうしなければ、消費電流の増加にもかかわらず、外部クロックを使用し続けることになります。

8.3.4 ソフトウェアスタンバイモードでの発振保持の注意事項

ソフトウェアスタンバイモードでのメインクロック発振器の発振保持機能を使用することにより、ソフトウェアスタンバイモード解除後のメインクロック発振器の発振安定待機時間を短縮できます。

MOSCSCR.MOSCSOKP ビットが有効（MOSCSCR.MOSCSOKP ビットが 1）、かつメインクロック発振器が動作している状態でソフトウェアスタンバイモードに遷移すると、メインクロック発振器はソフトウェアスタンバイモードで発振を継続します。この状態でソフトウェアスタンバイモードを解除する場合、発振安定待機時間を生じさせずにメインクロックを使用することが可能です。

発振保持機能を使用するときは、設定値がレジスタに書き込まれていることを確認してからソフトウェアスタンバイモードに遷移してください。

ただし、発振保持機能が許可されていても、ソフトウェアスタンバイモード中は、システムおよび周辺モジュールへのクロック供給は停止します。

8.4 サブクロック発振器

サブクロック発振器にクロック信号を供給するには、以下のいずれかの方法を使用します。

- 発振子を接続
- 外部クロック信号の入力を接続

8.4.1 32.768 kHz 水晶振動子を接続する方法

サブクロック発振器へクロックを供給するには、図 8.5 に示すように 32.768 kHz 水晶振動子を接続します。必要に応じてダンピング抵抗 (Rd) を挿入してください。この抵抗値は、振動子と発振駆動能力によって異なるので、振動子メーカの推奨する値を使用してください。また、振動子メーカが外部帰還抵抗 (Rf) の使用を推奨している場合は、その指示に従って XCIN と XCOUT の間に Rf を挿入してください。振動子を接続してクロックを供給する場合、その振動子の周波数は、表 8.1 に記載されているように、サブクロック発振器の発振子周波数の範囲内としてください。

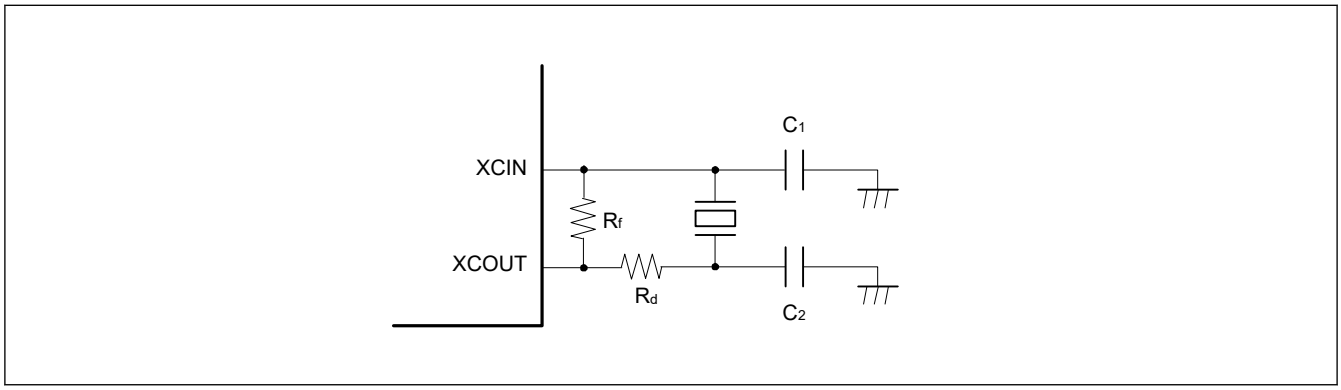


図 8.5 32.768 kHz 水晶振動子の接続例

図 8.6 に 32.768 kHz 水晶振動子の等価回路を示します。

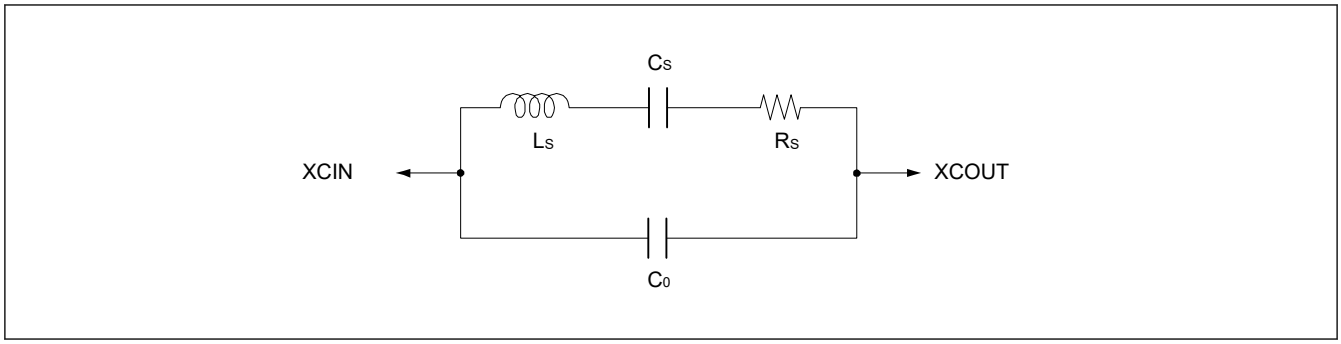


図 8.6　32.768 kHz 水晶振動子の等価回路

8.4.2　サブクロック発振器を使用しない場合の端子処理

サブクロック発振器を使用しない場合、図 8.7 に示すように、XCIN 端子は抵抗を介して VSS に接続（プルダウン）し、XCOUT 端子をオープンとしてください。さらに、発振器が接続されていない場合、サブクロック発振器停止ビット (SOSCCR.SOSTP) を 1 にして発振器を停止してください。

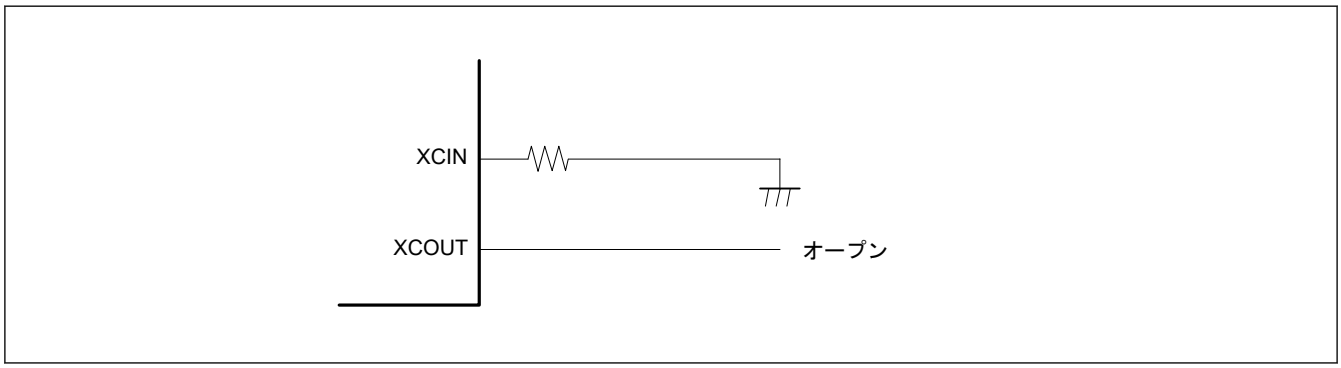


図 8.7　サブクロック発振器を使用しない場合の端子処理

8.4.3　外部クロックを入力する方法

外部クロック入力モードでは、クロックは EXCIN 端子から入力されます。この場合、図 8.7 に示すように、XCIN、XCOUT 端子を設定してください。

8.5　低速オンチップオシレータ (LOCO)

低速オンチップオシレータ (LOCO) は、低速クロックを供給する内蔵オシレータです。

8.5.1　LOCO 動作条件

LOCO の動作設定には制約があります。詳細は、「8.5.3. LOCO の動作および停止に関する制限」を参照してください。

LOCO は、以下のいずれかの条件が満たされたときに発振します。(注1)

[LOCO 動作条件]

- LOCOCR レジスタで、LOCO が動作するように設定されている（LOCOCR.LCSTP ビットが 0）
- IWDT が自動起動モードに設定されている（OFS0.IWDTSTRT ビットが 0）(注2)
- IWDT がレジスタスタートモード（OFS0.IWDTSTRT ビットが 1）に設定されており、かつカウントが開始している(注3)
- メインクロック発振器の発振安定を待機中である（MOCOCR.MCSTP ビットが 0、かつ OSCSF.MOSCSF ビットが 0）(注4)

注 1.　LOCO は、ディープソフトウェアスタンバイモード 2 またはディープソフトウェアスタンバイモード 3 で停止します。

注 2. IWDT がオートスタートモードに設定されている場合、OFS0 レジスタの IWDTSTPCTL ビットの設定にかかわらず、LOCO は発振を継続します。
注 3. IWDT がレジスタスタートモードに設定されている場合、IWDTCSTPR レジスタの SLCSTP ビットの設定にかかわらず、IWDT がカウントを開始すると LOCO は発振を継続します。
注 4. メインクロック発振器が外部クロック入力モードに設定されている場合でも、メインクロック発振器が動作を開始する際、発振安定待機回路が動作するため、LOCO は動作します。

8.5.2 LOCO 停止条件

LOCO の停止設定には制約があります。詳細は、「8.5.3. LOCO の動作および停止に関する制限」を参照してください。

LOCO を停止するには、次の 2 つの方法があります。1 つは低消費電力モードへの遷移により停止する方法、もう 1 つは LOCOCR レジスタにより停止する方法です。

(1) 低消費電力モードによる LOCO 停止条件

LOCO は、以下の低消費電力モードへ遷移するときに停止します。

- ディープソフトウェアスタンバイモード 2
- ディープソフトウェアスタンバイモード 3

(2) LOCOCR レジスタによる LOCO 停止条件

LOCOCR レジスタを使用して LOCO を停止する場合、LCSTP ビットが停止設定（LOCOCR.LCSTP ビットが 1）になっていても、IWDT および発振器の動作状態によっては LOCO は停止しない可能性があります。

LOCO は、下記条件がすべて満たされたときに停止できます。

- LOCOCR レジスタを使用して LOCO が停止するように設定されている（LOCOCR.LCSTP ビットが 1）
- IWDT が停止中（OFS0.IWDTSTPCT ビットまたは IWDTCSTPR.SLCSTP ビットを設定することによる、CPU スリープモード、CPU ディープスリープモード、ソフトウェアスタンバイモード、およびディープソフトウェアスタンバイモード 1 での停止の場合を含む）
- メインクロック発振器が停止中、またはメインクロックの発振が安定している（MOCOCR.MCSTP ビットが 1、または OSCSF.MOSCSF ビットが 1）

8.5.3 LOCO の動作および停止に関する制限

LOCOCR.LCSTP ビットを 0 にして LOCO クロックを動作させた後、LOCO クロック発振安定待機時間 (tMOCOWT) が経過してから、LOCO クロックを使用してください。LOCO が動作するように設定してから、発振が安定するまでに一定の時間を要します。発振が停止するまでにも一定の時間が必要です。

動作の開始および停止に関しては、以下の制限があります。

- LOCO クロックが停止した後に、OSCMONR.MOCOMON を読み出し LOCO が停止していることを確認したうえで動作を設定すること
- LOCO を停止させる前に、LOCO クロックの発振が安定していることを確認すること
- ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、LOCO クロックの発振が安定していることを確認したうえで WFI 命令を実行すること
- LOCO を停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCMONR.LOCOMON を読み出し LOCO が停止していることを確認したうえで WFI 命令を実行すること

LOCO クロックを使用して、メインクロック発振器の発振安定待機時間を測定します。メインクロック発振器の安定待機中、LOCO クロックは、LCSTP ビットの設定にかかわらず発振します。この場合、LOCOCR.LCSTP ビットによる LOCO 停止（または動作）と、メインクロック発振器の発振安定待機時間中の LOCO クロックの発振（または、メインクロックの発振安定後の LOCO クロックの停止）との競合を防ぐ必要があります。そのため、OSCSF レジスタの発振安定フラグによりメインクロック発振器の安定が確認できるまでは、LOCO クロックでの 3 サイクルからメインクロック発振器の動作開始設定までの間、LOCOCR.LCSTP ビットを変更しないでください。

レジスタスタートモード（OFS0.IWDTSTRT ビットが 1）で IWDT を使用する場合、IWDT のカウント動作の開始前に LOCO が動作するよう設定 (LOCOCR.LCSTP = 0) し、LOCO が安定してから IWDT を使用してください。

レジスタスタートモードで IWDT を使用する場合、IWDT カウント動作が確認できるまでは、LOCO クロックでの 3 サイクルから IWDT カウント動作開始までの間、LOCOCR.LCSTP ビットを変更しないでください。

プログラマブル電圧検出 (PVDm) の電圧監視 m（m = 1～2）リセットネゲート選択またはデジタルフィルタを使用している場合、LOCO が動作するよう設定 (LOCOCR.LCSTP = 0) してから PVDm を有効にし、LOCO が安定した後 PVDm を使用してください。

8.6 中速オンチップオシレータ (MOCO)

中速オンチップオシレータ (MOCO) は、中速クロックを供給する内蔵オシレータです。

8.6.1 MOCO 動作条件

MOCO の動作設定には制約があります。詳細は、「8.6.3. MOCO の動作および停止に関する制限」を参照してください。

MOCO は、以下のいずれかの条件が満たされたときに発振します。

[MOCO 動作条件]

- LOCOCR レジスタで、MOCO が動作するように設定されている (MOCOCR.MCSTP = 0)
- HOCO 発振安定待機中（OFS1(_SEC).HOCOEN ビットが 0 または HOCOCR.HCSTP ビットが 0、かつ OSCSF.HOCOSF ビットが 0）
- PLL1 発振安定待機中（PLLCR.PLLSTP ビットが 0、かつ OSCSF.PLLSF ビットが 0）
- PLL2 発振安定待機中（PLL2CR.PLL2STP ビットが 0、かつ OSCSF.PLL2SF ビットが 0）

注. MOCO は、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードで停止します。

8.6.2 MOCO 停止条件

MOCO の停止設定には制約があります。詳細は、「8.6.3. MOCO の動作および停止に関する制限」を参照してください。

MOCO を停止するには、次の 2 つの方法があります。1 つは低消費電力モードへの遷移により停止する方法、もう 1 つは MOCOCR レジスタにより停止する方法です。

(1) 低消費電力モードによる MOCO 停止条件

MOCO は、以下の低消費電力モードへ遷移するときに停止します。

- ソフトウェアスタンバイモード
- ディープソフトウェアスタンバイモード

注. オンチップデバッガ機能が有効になっていると、上記いずれのスタンバイモードへ遷移する際にも MOCO は停止しません。

(2) MOCOCR レジスタによる MOCO 停止条件

MOCOCR レジスタを使用して MOCO を停止する場合、MCSTP ビットが停止設定（MOCOCR.MCSTP ビットが 1）になっていても、システムの動作状態によっては MOCO は停止しない可能性があります。

MOCO は、下記条件がすべて満たされたときに停止できます。

[MOCO 停止条件]

- MOCOCR レジスタを使用して MOCO が停止するように設定されている（MOCOCR.MCSTP ビットが 1）
- HOCO が停止、あるいは HOCO 発振が安定している（OFS1(_SEC).HOCOEN ビットが 1 かつ HOCOCR.HCSTP ビットが 1、または OSCSF.HOCOSF ビットが 1）
- PLL1 回路が停止、あるいは PLL1 発振が安定している（PLLCR.PLSTP ビットが 1、または OSCSF.PLLSF ビットが 1）
- PLL2 回路が停止、あるいは PLL2 発振が安定している（PLL2CR.PL2STP ビットが 1、または OSCSF.PLL2SF ビットが 1）

8.6.3 MOCO の動作および停止に関する制限

MCSTP ビットを 0 にして MOCO クロックを動作させた後、MOCO クロック発振安定時間 (tMOCOWT) が経過してから、MOCO クロックを使用してください。MOCO クロックが動作するように設定してから、発振が安定するまでに一定の時間を要します。発振が停止するまでにも一定の時間が必要です。

動作の開始および停止に関しては、以下の制限があります。

- MOCO クロックが停止した後に、OSCMONR.MOCOMON を読み出し、MOCO が停止していることを確認してから動作を設定してください。
- MOCO クロックを停止させる前に、MOCO クロックの発振が安定していることを確認してください。
- MOCO クロックをシステムクロックソースとして選択しているかどうかにかかわらず、MCU をソフトウェアスタンバイモードまたは CPU ディープソフトウェアスタンバイモードへ遷移する場合は、MOCO の発振が安定していることを確認してから WFI 命令を実行してください。MOCO が停止している場合、MOCO を動作させてください。
- MOCO クロックをシステムクロックソースとして選択しているかどうかにかかわらず、CPU を CPU ディープスリープモードへ遷移させる場合は、MOCO の発振が安定していることを確認してから待機命令を実行してください。MOCO が停止している場合、MOCO を動作させてください。
- MOCO 発振が安定していることを確認してから、フラッシュメモリをプログラミングまたは消去してください。MOCO が停止している場合、MOCO を動作させてください。

以下の条件下で MCSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 001b（システムクロックソース = MOCO）
- 発振停止検出が有効（OSTDCR.OSTDE ビットが 1）
- HOCO 発振安定待機中（OFS1(_SEC).HOCOEN ビットが 0 または HOCOCR.HCSTP ビットが 0、かつ OSCSF.HOCOSF ビットが 0）
- PLL1 発振安定待機中（PLLCR.PLLSTP ビットが 0、かつ OSCSF.PLLSF ビットが 0）
- PLL2PLL2CR.PLL2STP 発振安定待機中（PLL2CR.PLL2STP ビットが 0、かつ OSCSF.PLL2SF ビットが 0）
- フラッシュメモリの動作安定待機時間の測定中
- フラッシュメモリをプログラミングまたは消去中

MOCO クロックを使用して、HOCO、PLL1、または PLL2 クロックの発振安定待機時間を測定します。HOCO、PLL1、または PLL2 クロックの安定待機の間、MOCO クロックは、MOCOCR.MCSTP ビットの設定にかかわらず発振します。この場合、MOCOCR.MCSTP ビットによる MOCO 停止（または動作）と、HOCO、PLL1、または PLL2 クロックの発振安定待機時間中の MOCO クロックの発振（または、HOCO、PLL1、または PLL2 クロックの発振安定後の MOCO クロックの停止）との競合を防ぐ必要があります。そのため、OSCSF レジスタの HOCOSF、PLLSF、または PLL2SF フラグにより HOCO、PLL1、または PLL2 クロックの発振の安定が確認できるまでは、MOCO クロックでの 3 サイクルから HOCO、PLL1、または PLL2 クロックの動作開始設定までの間、MOCOCR.MCSTP ビットを変更しないでください。

8.7 高速オンチップオシレータ (HOCO)

高速オンチップオシレータ (HOCO) は、高速クロックを供給する内蔵オシレータです。

8.7.1 周波数ロックループ機能

HOCO は、周波数ロックループ機能 (FLL) をサポートします。FLL 機能は、サブクロック発振器を使用して HOCO クロックの周波数精度を補正します。FLL 機能を有効にすると、FLL 機能が無効の場合よりも HOCO クロックの周波数精度が向上します。

FLL 機能を使用する場合は、サブクロック発振器の発振は安定していなければなりません。また、サブクロック発振器は、電気的特性で規定された周波数精度を満たしている必要があります。（詳細は、「52. 電気的特性」電気的特性の項を参照してください。）

FLL 機能を有効にして HOCO を使用する場合、あらかじめ FLL 機能を有効にし、SOSC が安定してから HOCO (HOCOCR.HCTSP = 0) を有効にしてください。

各 HOCO 周波数設定で、FLLCR2.FLLCNTL[10:0]を以下のように設定してください。HOCO クロックの周波数は、HOCO を有効化してから tFLLWT が経過した後、期待値となります。

表 8.5 各 HOCO 周波数の設定に応じた FLLCNTL 設定

FLLCR2.FLLCNTL[10:0]	OFS1(_SEC).HOCOFRQ0[2:0]	対象となる周波数 (FHOCO)
0x1E9	000b	16 MHz
0x226	001b	18 MHz
0x263	010b	20 MHz
0x1E9	100b	32 MHz
0x1E9	111b	48 MHz

8.7.2 ソフトウェアスタンバイモードでの発振保持の注意事項

ソフトウェアスタンバイモードで HOCO の発振保持機能を使用することにより、ソフトウェアスタンバイモード解除後の HOCO の発振安定待機時間を短縮できます。

ソフトウェアスタンバイモードで HOCO の発振を保持するには、以下の設定を行います。

- HOCOSCR レジスタの HOCO スタンバイ発振保持機能を許可（HOCOSCR.HOCOSOKP ビットを 1 に設定）
- HOCOLDOCR で HOCO の電力制御を設定

上記の設定かつ HOCO が動作中にソフトウェアスタンバイモードに遷した場合、HOCO はソフトウェアスタンバイモードで発振を継続します。この状態でソフトウェアスタンバイモードを解除する場合、発振安定待機時間を生じさせずに HOCO クロックを使用することが可能です。

発振保持機能を使用するときは、設定値がレジスタに書き込まれていることを確認してからソフトウェアスタンバイモードに遷移してください。

ただし、発振保持機能が許可されていても、ソフトウェアスタンバイモード中は、システムおよび周辺モジュールへのクロック供給は停止します。

8.7.3 TRACE クロックソースの注意事項

TRCKCR レジスタの TRCKCRSE ビットでトレースクロックとして HOCO を選択し、トレースクロック機能を有効にした場合 (TRCKCR.TRCKEN = 1)、HOCOCR レジスタの HCSTP ビットの値にかかわらず HOCO は発振します。この場合、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、またはリセット（POR と PVD0 以外）の状態であっても、HOCO は発振を継続し、TRACE モジュールへクロックを供給し続けます。

トレースクロックソースとして HOCO を使用する場合、HOCO の停止中（OFS1(_SEC).HOCOEN = 1 かつ HOCOCR.HCSTP = 1）、または HOCO の安定した発振中 (OSCSF.HOCOSF = 1)、TRCKCR レジスタの TRCKEN ビットでトレースクロックを有効にする必要があります。

8.8 PLL 回路

PLL 回路には発振器からの周波数を逓倍する機能があります。

図 8.8 に PLL1 回路のブロック図を、図 8.9 に PLL2 回路のブロック図を示します。PLL1 回路と PLL2 回路の構成は同じです。以下の例では PLL1 回路について説明します。

入力クロックソース選択回路では、PLL へのクロックソース入力を選択します。

入力クロック分周回路は、入力クロックを分周し、PLL 基準クロックを生成します。

周波数制御回路は、周波数逓倍器の設定に従って、PLL 基準クロックから生成された VCO クロックを制御します。逓倍比は、PLLMUL ビットと PLLMULNF ビットの組み合わせによって決まります。逓倍比の整数部は PLLMUL ビット、逓倍比の小数部は PLLMULNF ビットによって決まります。たとえば、PLLMUL ビットの設定値が 26 かつ PLLMULNF ビットの設定値が 0.33 の場合、逓倍比は 26.33 となります。

PLL 回路には 3 つの出力クロックがあります。出力クロック分周回路は、VCO クロックを分周して各 PLL クロック出力を生成します。各出力クロックを生成する分周比は、PLODIVP ビット、PLODIVQ ビット、および PLODIVR ビットを使用して個別に設定できます。

PLL 入力クロック周波数、PLL 基準クロック周波数、VCO クロック周波数、および各出力クロック周波数は、「52. 電気的特性」に記載された範囲内である必要があります。

PLL 周波数の設定は、PLL 回路が停止しているときのみ変更が可能です。PLL 停止制御ビット (PLLSTP) が 0 の場合、PLL 周波数設定を変更しないでください。

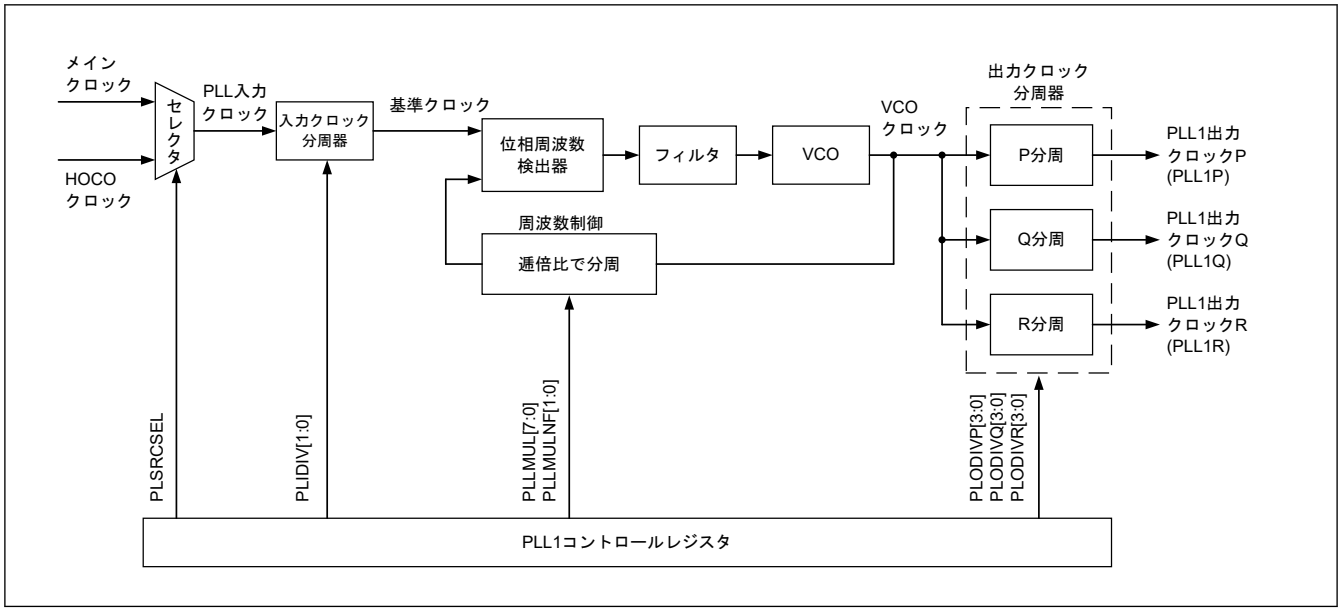


図 8.8 PLL1 のブロック図

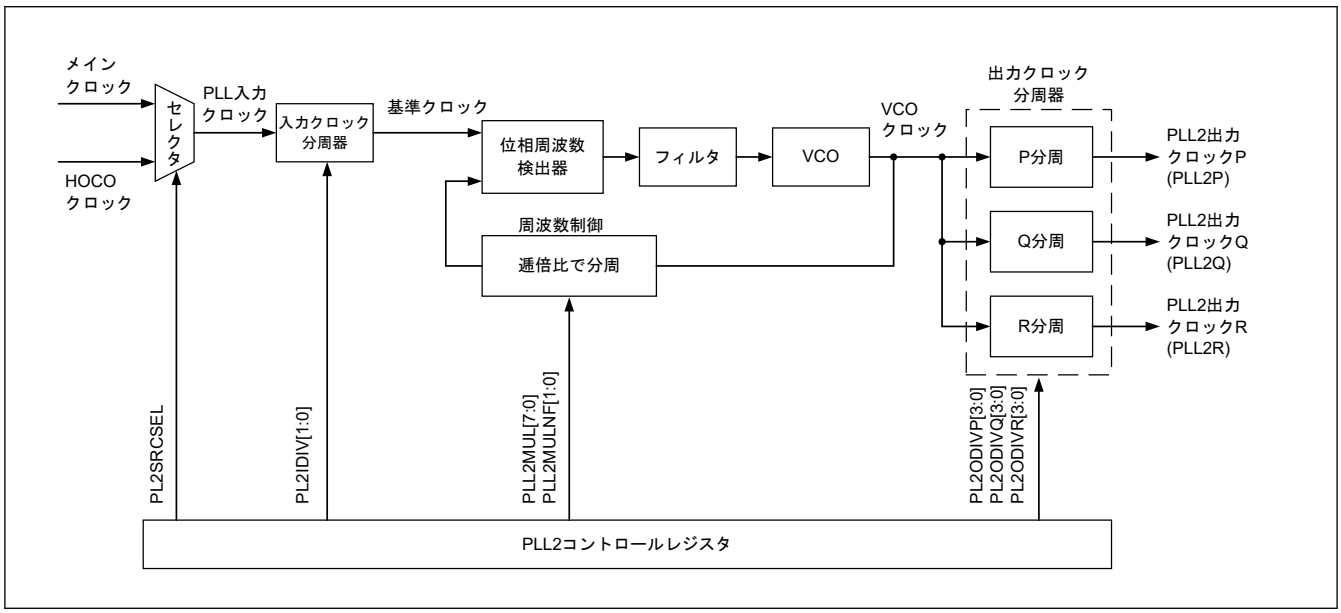


図 8.9 PLL2 のブロック図

8.9 発振停止検出機能

8.9.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の発振停止を検出します。発振停止が検出されると、システムクロックソースは以下のように切り替わります。

- SCKSCR.CKSEL[2:0] = 011b（システムクロックソース = MOSC）で発振停止が検出された場合、システムクロックソースは MOCO クロックに切り替わる

- PLLCCR.PLSRCSEL = 0（PLL1 ソースクロック = MOSC）および SCKSCR.CKSEL[2:0] = 101b（システムクロックソース = PLL1P）で発振停止が検出されると、PLL1 クロックはシステムクロックソースのままとなる。周波数はフリーランニング動作となり、SCKSCR.CKSEL[2:0]ビットの設定は変わらない。

発振停止検出時には発振停止検出割り込み要求を発生させることができます。さらに、検出時の汎用 PWM タイマ (GPT) 出力を停止状態にすることが可能です。

メインクロック発振器に異常が発生した場合など、入力クロックが一定期間 0 または 1 のままとなった場合、メインクロックの発振停止が検出されます。「52. 電気的特性」を参照してください。

メインクロック発振器と MOCO クロックの切り替え、または PLL1 クロックと PLL1 フリーランニングクロックの切り替えは、発振停止検出フラグ (OSTDSR.OSTDF) によって制御されます。

OSTDF は切り替えたクロックを以下のように制御します。

- SCKSCR.CKSEL[2:0] = 011b（システムクロックソース = MOSC）の場合：
  - OSTDF が 0 から 1 になると、クロックソースは MOCO クロックに切り替わる
  - OSTDF が 1 から 0 になると、クロックソースは MOSC に戻る
- PLLCCR.PLSRCSEL = 0（PLL1 ソースクロック = MOSC）かつ SCKSCR.CKSEL[2:0] = 101b（システムクロックソース = PLL1P）の場合：
  - OSTDF が 0 から 1 になると、クロックソースは PLL1 フリーランニング発振クロックに切り替わる
  - OSTDF が 1 から 0 になると、クロックソースは PLL1 に戻る

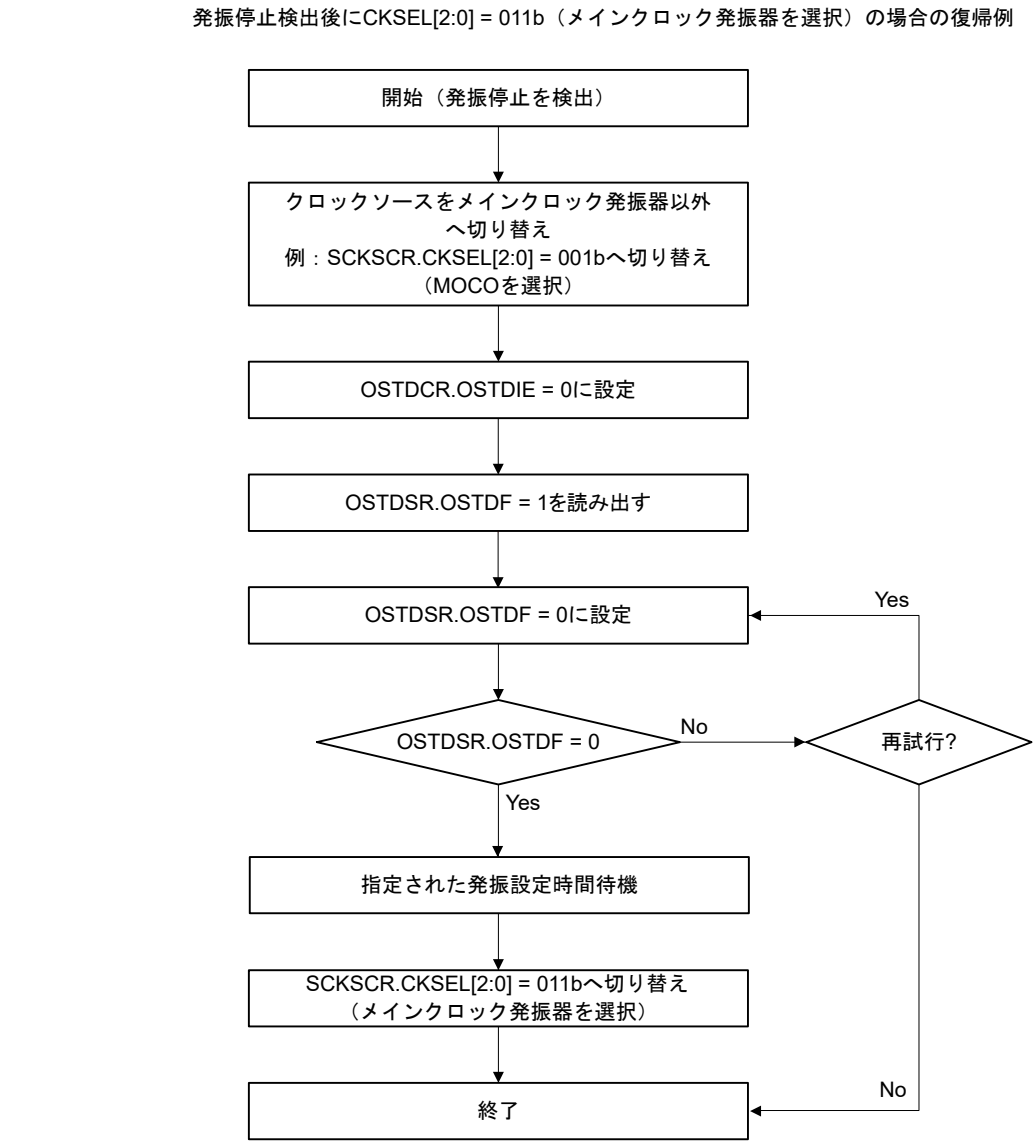
発振停止検出後にクロックソースをメインクロックまたは PLL1 クロックに再度切り替える場合、CKSEL[2:0]ビットをメインクロックまたは PLL1 クロック以外のクロックソースに設定し、OSTDF フラグを 0 にしてください。さらに、OSTDF フラグが 1 になっていないことを確認した後、所定の発振安定時間が経過してから、CKSEL[2:0]ビットの設定をメインクロックまたは PLL1 クロックに変更してください。

リセット解除後、メインクロック発振器は停止して、発振停止検出機能は無効になります。発振停止検出機能を有効にするには、メインクロック発振器を動作させた後、所定の発振安定時間が経過してから、発振停止検出機能有効ビット (OSTDCR.OSTDE) に 1 を書き込んでください。

発振停止検出機能は、外部要因によってメインクロックが停止したことを検出します。

発振停止検出機能は、以下のクロックを MOCO クロック（システムクロックソースが MOSC の場合）または PLL1 フリーランニングクロック（システムクロックソースが PLL1P の場合）に切り替えます。

- MOSC クロックまたは PLL1 として選択可能なすべてのクロック（CLKOUT と CACMCLK を除く）
- MOCO 動作中（システムクロックソースが MOSC の場合）または PLL1 フリーランニング動作中（システムクロックソースが PLL1P の場合）のシステムクロック (ICLK) 周波数は、MOCO 発振周波数と、システムクロック選択ビット (SCKDIVCR.ICK[3:0]) で設定された分周比に指定される



注. 発振停止状態から復帰する際は、発振を再開できるように、メインクロック発振回路の停止要因をシステムから取り除く必要があります。

図 8.10 発振停止検出時の復帰フロー

8.9.2 発振停止検出割り込み

発振停止検出フラグ (OSTDSR.OSTDF) が 1 で、かつ発振停止検出コントロールレジスタの発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) が 1（許可）のとき、発振停止検出割り込み (MOSC_STOP) が発生します。このとき GPT 用のポートアウトプットイネーブル (POEG) に対して、メインクロック発振器の停止が通知されます。POEG はこの通知を受けて、POEG グループ n 設定レジスタ (POEGGn.OSTPF) (n = A, B, C, D) の発振停止検出フラグを 1 にします。

発振停止を検出後、POEGGn.OSTPF フラグに書き込む前に、PCLKB で 10 クロックサイクル以上待ってください。OSTDSR.OSTDF フラグのクリアが必要な場合、発振停止検出コントロールレジスタの発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) をクリアした後に行ってください。OSTDCR.OSTDIE ビットを再び 1 にする前に、PCLKB で 2 クロックサイクル以上待ってください。I/O レジスタの読み出しに要するサイクル数によっては、これ以上の PCLKB の待ち時間が必要になる場合があります。

発振停止検出割り込みはノンマスカブル割り込みです。リセット解除後の初期状態ではノンマスカブル割り込みは禁止されているため、発振停止検出割り込みを使用する前にソフトウェアでノンマスカブル割り込みを許可してください。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

8.10 内部クロック

内部クロック用のクロックソースには以下のものがあります。

- メインクロック発振器
- サブクロック発振器
- HOCO クロック
- MOCO クロック
- LOCO クロック
- PLL1 クロック（PLL1P、PLL1Q、および PLL1R）
- PLL2 クロック（PLL2P、PLL2Q、および PLL2R）
- JTAG 用外部クロック入力
- SWD 用外部クロック入力

これらのクロックソースから、以下の内部クロックが生成されます。

- CPU の動作クロック：CPU クロック (CPUCLK)
- DMAC、DTC、フラッシュ、SRAM、システムバス、I/O ポート、および ICU の動作クロック：システムクロック (ICLK)
- デバッグサブシステムの動作クロック：デバッグクロック (DCLK)
- 周辺モジュールの動作クロック：周辺モジュールクロック（PCLKA、PCLKB、PCLKC、PCLKD、および PCLKE）
- FlashIF の動作クロック：FlashIF クロック (FCLK)
- トレース機能および外部端子出力のクロック：トレースクロック (TRCLK)
- SCI の動作クロック：SCI クロック (SCICLK)
- SPI の動作クロック：SPI クロック (SPICLK)
- Octal-SPI の動作クロック：Octal-SPI クロック (OCTACLK, OCTADIVCLK)
- CANFD コアの動作クロック：CANFD コアクロック (CANFDCLK)
- USBFS の動作クロック：USB クロック (USBCLK)
- 外部端子出力のクロック：クロック／ブザー出力 (CLKOUT)
- CAN の動作クロック：CAN クロック (CANMCLK)
- ULPT の動作クロック：ULPT LOCO クロック (ULPTLCLK) および ULPT サブロック (ULPTSCLK)
- AGT の動作クロック：AGT LOCO クロック (AGTLCLK) および AGT サブクロック (AGTSCLK)
- CAC の動作クロック：CAC クロック (CACCLK)
- RTC の動作クロック：RTC LOCO クロック (RTCLCLK) および RTC サブクロック (RTCSCLK)
- IWDT の動作クロック：IWDT クロック (IWDTCLK)
- SysTick タイマの動作クロック：SysTick タイマクロック (SYSTICKCLK)
- JTAG の動作クロック：JTAG クロック (JTAGTCK)

内部クロックの周波数設定に使用するレジスタの詳細については、「8.10.2. システムクロック (ICLK)」～「8.10.20. JTAG クロック」を参照してください。

いずれかのビットの値を変更した場合、以降は変更後の値に応じた周波数で動作します。

8.10.1 CPU クロック (CPUCLK)

CPU クロック (CPUCLK) は、CPU の動作クロックです。周波数は下記のビットで指定します。

- SCKDIVCR2.CPUCK[3:0]ビット
- SCKSCR.CKSEL[2:0]ビット
- PLLCCR.PLLMUL[7:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]ビット
- PLLCCR2.PLODIVP[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

8.10.2 システムクロック (ICLK)

システムクロック (ICLK) は、DMAC、DTC、フラッシュ、SRAM、システムバス、I/O ポート、および ICU の動作クロックです。周波数は下記のビットで指定します。

- SCKDIVCR.ICK[3:0]ビット
- SCKSCR.CKSEL[2:0]ビット
- PLLCCR.PLLMUL[7:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]ビット
- PLLCCR2.PLODIVP[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

ICLK クロックソースの切り替え時、クロックソース切り替えを行う間、ICLK クロックサイクルが長くなります。図 8.11 と図 8.12 を参照してください。

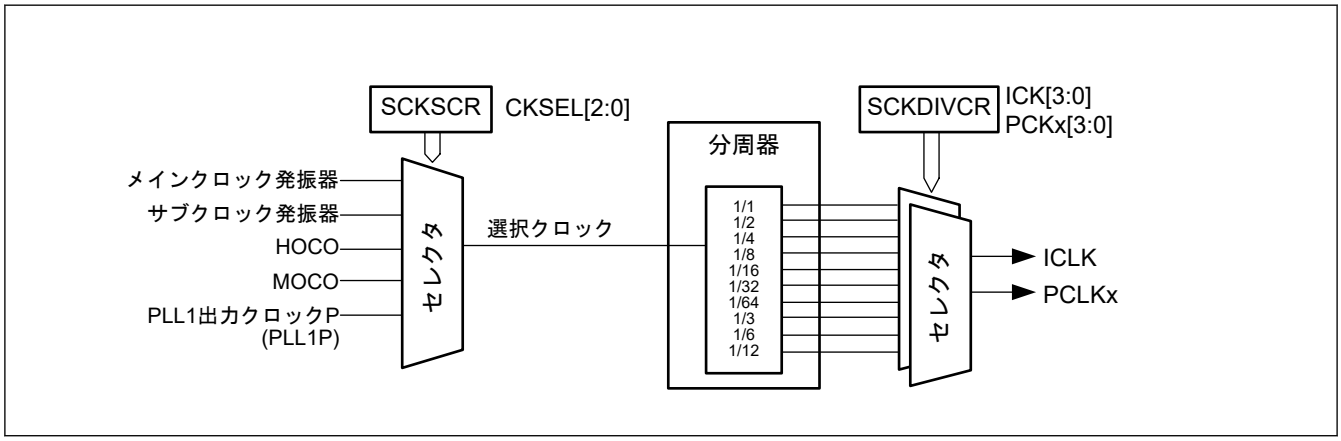


図 8.11 クロックソースセレクタのブロック図

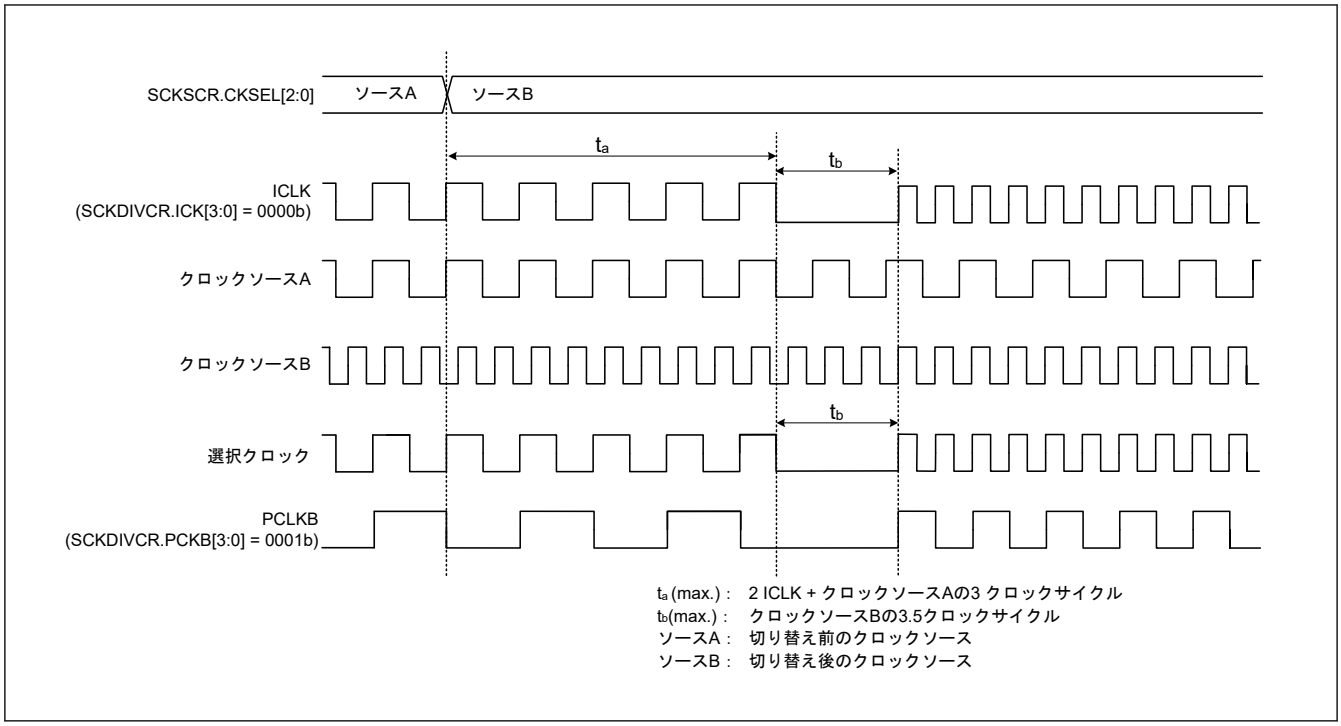


図 8.12 クロックソース切り替えのタイミング

8.10.3 デバッガクロック (DCLK)

デバッガクロック (DCLK) は、デバッグサブシステムの動作クロックです。周波数は ICLK の 2 分周です。

8.10.4 周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD, PCLKE)

周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD, PCLKE) は、周辺モジュールの動作クロックです。

各クロックの周波数は、以下のビットで設定します。

- SCKDIVCR.PCKA[3:0]、SCKDIVCR.PCKB[3:0]、SCKDIVCR.PCKC[3:0]、SCKDIVCR.PCKD[3:0]、および SCKDIVCR.PCKE[3:0]ビット
- SCKSCR.CKSEL[2:0]ビット
- PLLCCR.PLLMUL[7:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]ビット
- PLLCCR2.PLODIVP[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

周辺モジュールクロックのクロックソースの切り替え時、クロックソースの切り替えを行う間、周辺モジュールクロックの周期が長くなります。図 8.11 と図 8.12 を参照してください。

8.10.5 FlashIF クロック (FCLK)

フラッシュインタフェースクロック (FCLK) は、フラッシュメモリインタフェースの動作クロックです。データフラッシュからの読み出しに加え、コードフラッシュとデータフラッシュのプログラム／イレースに使用されます。

FCLK の周波数は、以下のビットで設定します。

- SCKDIVCR.FCK[3:0]ビット
- SCKSCR.CKSEL[2:0]ビット
- PLLCCR.PLLMUL[7:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]ビット

- PLLCCR2.PLODIVP[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

8.10.6 トレースクロック (TRCLK)

トレースクロック (TRCLK) は、オンチップデバッガ機能の CPU トレースクロックです。

TRCLK 周波数は、TRCKCR.TRCK[3:0]ビットおよび TRCKCR.TRCKSEL ビット（トレースクロック周波数分周比およびトレースクロックソース選択）で指定します。トレースクロックの周波数を変更する場合、トレースクロックは停止している必要があります (TRCKCR.TRCKEN = 0)。

8.10.7 SCI クロック (SCICLK)

SCI クロック (SCICLK) は、SCI モジュールの動作クロックです。

周波数は下記のビットで指定します。

- SCICKDIVCR.SCICKDIV[2:0]ビット
- SCICKCR.SCICKSEL[3:0]ビット
- PLLCCR.PLLMUL[7:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]ビット
- PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット
- PLL2CCR.PLL2MUL[7:0]、PLL2CCR.PLL2MULNF[1:0]、PLL2CCR.PL2IDIV[1:0]ビット
- PLL2CCR2.PL2ODIVP[3:0]、PLL2CCR2.PL2ODIVQ[3:0]、および PLL2CCR2.PL2ODIVR[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

8.10.8 SPI クロック (SPICLK)

SPI クロック (SPICLK) は、SPI モジュールの動作クロックです。

周波数は下記のビットで指定します。

- SPICKDIVCR.SPICKDIV[2:0]ビット
- SPICKCR.SPICKSEL[3:0]ビット
- PLLCCR.PLLMUL[7:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]ビット
- PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット
- PLL2CCR.PLL2MUL[7:0]、PLL2CCR.PLL2MULNF[1:0]、PLL2CCR.PL2IDIV[1:0]ビット
- PLL2CCR2.PL2ODIVP[3:0]、PLL2CCR2.PL2ODIVQ[3:0]、および PLL2CCR2.PL2ODIVR[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

8.10.9 Octal-SPI クロック (OCTACLK, OCTADIVCLK)

Octal-SPI クロック (OCTACLK) は、Octal-SPI モジュールの動作クロックです。

周波数は下記のビットで指定します。

- OCTACKDIVCR.OCTACKDIV[2:0]ビット

- OCTACKCR.OCTACKSEL[3:0]ビット
- PLLCCR.PLLMUL[7:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]ビット
- PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット
- PLL2CCR.PLL2MUL[7:0]、PLL2CCR.PLL2MULNF[1:0]、PLL2CCR.PL2IDIV[1:0]ビット
- PLL2CCR2.PL2ODIVP[3:0]、PLL2CCR2.PL2ODIVQ[3:0]、および PLL2CCR2.PL2ODIVR[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

OCTADIVCLK では、常に OCTACLK の 2 分周クロックが出力されます。

8.10.10 CANFD コアクロック (CANFDCLK)

CANFD コアクロック (CANFDCLK) は、CANFD モジュールの動作クロックです。

周波数は下記のビットで指定します。

- CANFDCKDIVCR.CANFDCKDIV[2:0]ビット
- CANFDCKCR.CANFDCKSEL[3:0]ビット
- PLLCCR.PLLMUL[7:0]、PLLCCR.PLLMULNF[1:0]、PLLCCR.PLIDIV[1:0]ビット
- PLLCCR2.PLODIVP[3:0]、PLLCCR2.PLODIVQ[3:0]、および PLLCCR2.PLODIVR[3:0]ビット
- PLL2CCR.PLL2MUL[7:0]、PLL2CCR.PLL2MULNF[1:0]、PLL2CCR.PL2IDIV[1:0]ビット
- PLL2CCR2.PL2ODIVP[3:0]、PLL2CCR2.PL2ODIVQ[3:0]、および PLL2CCR2.PL2ODIVR[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

8.10.11 USB クロック (USBCLK)

USB クロック (USBCLK) は、USBFS モジュールの動作クロックです。

USBFS モジュールを使用する場合、48 MHz クロックを供給する必要があります。

USBCLK の周波数は、以下のビットで設定します。

- USBCKDIVCR.USBCKDIV[2:0]ビット
- USBCKCR.USBCKSEL[3:0]ビット
- PLLCCR の PLLMUL[7:0]ビット、PLLMULNF[1:0]ビット、PLIDIV[1:0]ビット
- PLLCCR2 の PLODIVP[3:0]ビット、PLODIVQ[3:0]ビット、および PLODIVR[3:0]ビット
- PLL2CCR の PLL2MUL[7:0]ビット、PLL2MULNF[1:0]ビット、PL2IDIV[1:0]ビット
- PLL2CCR2 の PL2ODIVP[3:0]ビット、PL2ODIVQ[3:0]ビット、および PL2ODIVR[3:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

8.10.12 CAN クロック (CANMCLK)

CAN クロック (CANMCLK) は、CAN モジュールの動作クロックです。CANMCLK は、メインクロック発振器で生成されます。

8.10.13 ULPT クロック（ULPTLCLK、ULPTSCLK）

ULPT クロック（ULPTLCLK および ULPTSCLK）は、ULPT モジュールの動作クロックです。ULPTLCLK は LOCO クロックで生成され、ULPTSCLK はサブクロック発振器で生成されます。

8.10.14 CAC クロック (CACCLK)

CAC クロック (CACCLK) は、CAC の動作クロックです。CACCLK に含まれるクロックは、以下のとおりです。

- メインクロック発振器によって生成される CAC メインクロック (CACMCLK)
- サブクロック発振器によって生成される CAC サブ発振器クロック (CACSCLK)
- HOCO クロックによって生成される CAC HOCO クロック (CACHCLK)
- MOCO クロックによって生成される CAC MOCO クロック (CACMOCLK)
- LOCO クロックによって生成される CAC LOCO クロック (CACLCLK)

8.10.15 RTC クロック（RTCSCLK、RTCLCLK）

RTC クロック（RTCSCLK、RTCLCLK）は、RTC の動作クロックです。

RTCSCLK はサブクロック発振器で生成され、RTCLCLK は LOCO クロックで生成されます。

8.10.16 IWDT クロック (IWDTCLK)

IWDT クロック (IWDTCLK) は、IWDT の動作クロックです。

IWDTCLK は、LOCO クロック（常に 2 分周）によって内部生成されます。

8.10.17 AGT クロック (AGTSCLK, AGTLCLK)

AGT クロック（AGTSCLK および AGTLCLK）は、AGT の動作クロックです。AGTSCLK はサブクロック発振器で生成され、AGTLCLK は LOCO クロックで生成されます。

8.10.18 SysTick タイマクロック (SYSTICKCLK)

SysTick タイマクロック (SYSTICKCLK) は、SysTick タイマの動作クロックです。SYSTICKCLK は、MOCO クロック（常に 8 分周）によって生成されます。

8.10.19 外部端子出力クロック (CLKOUT)

CLKOUT は、クロック出力またはブザー出力として、CLKOUT 端子から外部に出力されます。CKOCR.CKOEN ビットを 1 にすると、CLKOUT は CLKOUT 端子に出力されます。CKOCR.CKODIV[2:0]ビットまたは CKOCR.CKOSEL[2:0]ビットの値を変更できるのは、CKOCR.CKOEN ビットが 0 の場合だけです。

CLKOUT クロックの周波数はそれぞれ、次のようなビットで指定されます。

- CKOCR.CKODIV[2:0]ビットまたは CKOCR.CKOSEL[2:0]ビット
- OFS1(_SEC).HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1(_SEC).HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

8.10.20 JTAG クロック

JTAG クロック (JTAGTCK) は、JTAG のクロックです。

JTAGTCK は、JTAG 外部クロック (TCK) から生成されたクロックです。

8.11 クロックの設定

8.11.1 システムクロックの設定

8.11.1.1 システムクロックの初期設定

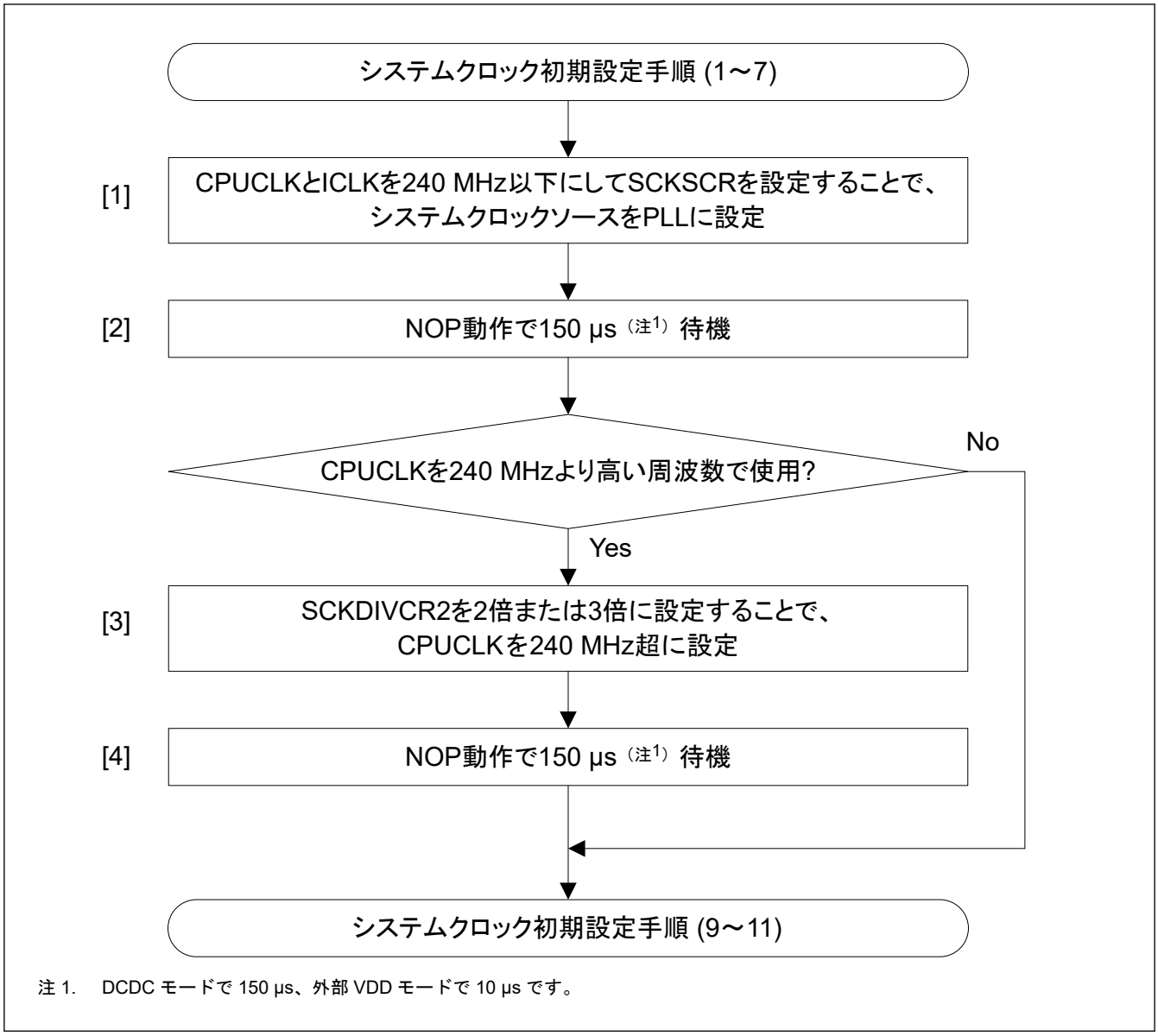
表 8.6 に、システムクロックの初期設定手順の例を示します。

表 8.6 システムクロック初期設定手順の例（リセット解除後／ディープソフトウェアスタンバイ解除後）

番号	手順	説明
1	説明	リセット解除後／ディープソフトウェアスタンバイモード解除後 （システムクロックソースとして MOCO を選択）
2	レジスタライトプロテクション解除	PRCR レジスタの PRC0 ビットおよび PRC1(注1)(注2)ビットを 1 にします。
3	動作電力制御モードを High-speed モードへ変更(注1)	OPCCR レジスタで、High-speed モードへ変更します。(注1) 詳細は、「10. 低消費電力モード」を参照してください。
4	クロックソース発振設定	システムクロックソースへ切り替えるクロックソースの発振を設定します。
5	フラッシュウェイトサイクル設定	システムクロック (ICLK) を設定後、動作周波数に応じてフラッシュメモリの適切なアクセスウェイト数を設定します。 詳細は、「49. フラッシュメモリ」を参照してください。
6	内部クロック分周比設定	SCKDIVCR レジスタで、内部クロック分周比を設定します。
7	システムクロックソース切り替え	SCKSCR レジスタで、システムクロックソースを切り替えます。 クロックソースの発振が安定していることを確認してからシステムクロックソースを切り替えてください。
8	動作電力制御モード変更	OPCCR レジスタで、動作電力制御モードを変更します。(注2)
9	レジスタライトプロテクション適用	PRCR レジスタの PRC0 ビットおよび PRC1(注1)(注2)ビットを 0 にします。
10	終了	システムクロック設定は完了です。

注 1. 動作電力制御モードとして High-speed モードがすでに使用されている場合、設定は必要ありません。
注 2. 動作電力制御モードを変更しない場合、設定は必要ありません。

システムクロックソースとして PLL1 を選択した場合、手順 8 で、さらに手順を行う必要があります。この追加手順については、図 8.13 に示します。ソフトウェアを使用して待機時間を測定することを推奨します。ワーストケースの使用条件を考慮して、待機時間が確実に経過したことを確認してください。待機時間中、やむを得ず割り込みが発生した場合、割り込みから復帰後に再度測定してください。



注 1. DCDC モードで 150 µs、外部 VDD モードで 10 µs です。

図 8.13 システムクロック初期設定の追加フロー（システムクロックソースとして PLL を使用する場合）（モジュールストップビットは、すべて初期値である想定）

8.11.1.2 システムクロック設定による周波数高速化

表 8.7 に、現在使用中のシステムクロック周波数を高速化する際の設定手順例を示します。

表 8.7 使用中のシステムクロック周波数を高速化する際の設定手順例 (1/2)

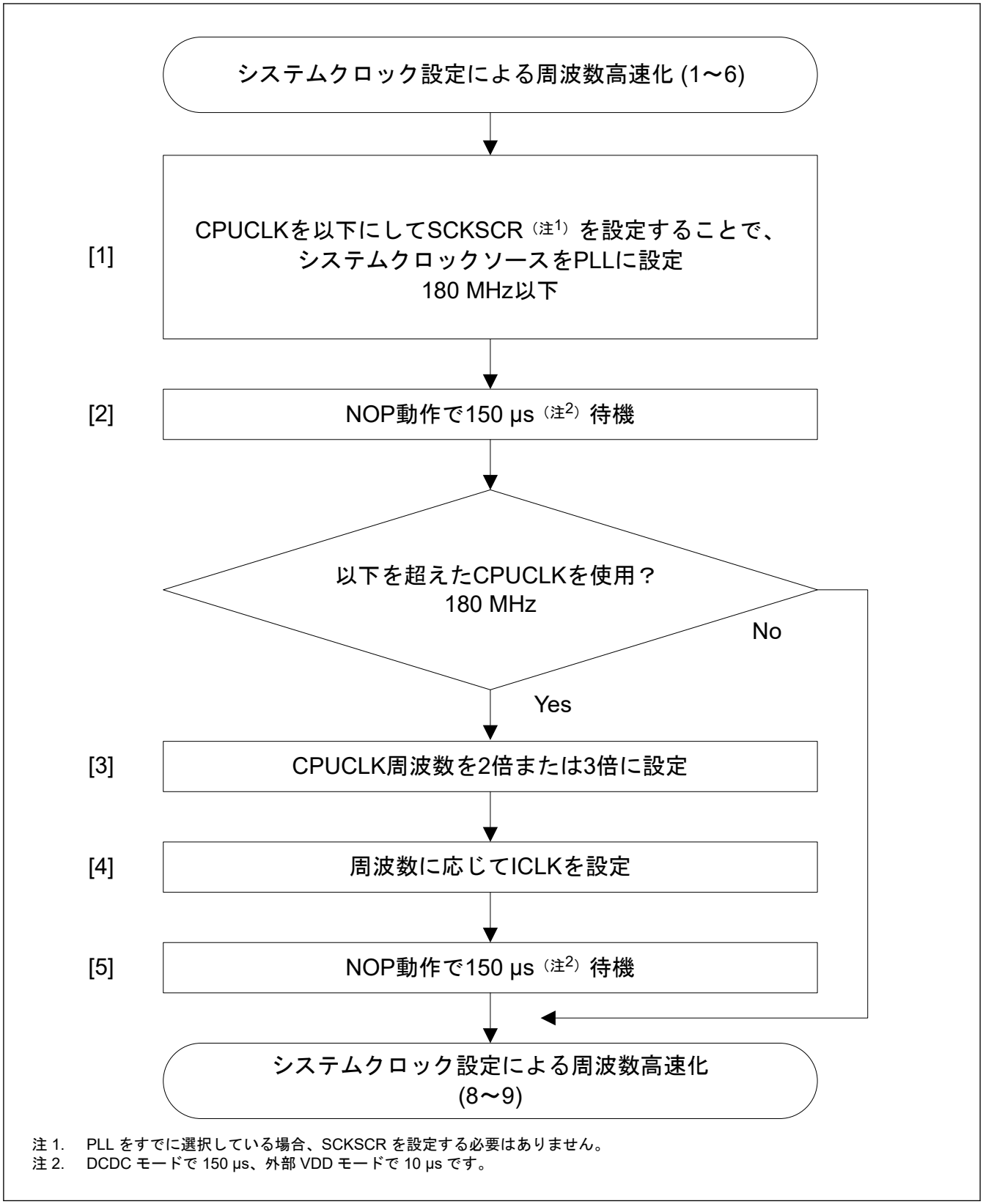
番号	手順	説明
1	開始	
2	レジスタライトプロテクション解除	PRCR レジスタの PRC0 ビットおよび PRC1(注1)(注2)ビットを 1 にします。
3	動作電力制御モードを High-speed モードへ変更(注1)	OPCCR レジスタで、High-speed モードへ変更します。(注1) 詳細は、「10. 低消費電力モード」を参照してください。
4	クロックソース発振設定(注3)	システムクロックソースへ切り替えるクロックソースの発振を設定します。(注4)
5	フラッシュウェイトサイクル設定	システムクロック (ICLK) を設定後、動作周波数に応じてフラッシュメモリの適切なアクセスウェイト数を設定します。 詳細は、「49. フラッシュメモリ」を参照してください。
6	内部クロック分周比設定	SCKDIVCR レジスタで、内部クロック分周比を設定します。

表 8.7 使用中のシステムクロック周波数を高速化する際の設定手順例 (2/2)

番号	手順	説明
7	システムクロックソース切り替え(注3)	SCKSCR レジスタで、システムクロックソースを切り替えます。 クロックソースの発振が安定していることを確認してからシステムクロックソースを切り替えてください。
8	動作電力制御モード変更	OPCCR レジスタで、動作電力制御モードを変更します。(注2)
10	レジスタライトプロテクション適用	PRCR レジスタの PRC0 ビットおよび PRC1(注1)(注2)ビットを 0 にします。
11	終了	システムクロックの周波数は速くなります。

注 1. 動作電力制御モードとして High-speed モードがすでに使用されている場合、設定は必要ありません。
注 2. 動作電力制御モードを変更しない場合、設定は必要ありません。
注 3. システムクロックソースを変更しない場合、設定は必要ありません。
注 4. システムクロックソースとして選択された PLL の周波数を変更する場合、システムクロックソースを別のクロックソースに変更し、PLL を停止したうえで PLL の設定を変更する必要があります。

システムクロックソースとして PLL1 を選択した場合、手順 7 で、さらに手順を行う必要があります。この追加手順については、図 8.14 に示します。ソフトウェアを使用して待機時間を測定することを推奨します。ワーストケースの使用条件を考慮して、待機時間が確実に経過したことを確認してください。待機中、やむを得ず割り込みが発生した場合、割り込みが終わってから再度測定してください。



注 1. PLL をすでに選択している場合、SCKSCR を設定する必要はありません。
注 2. DCDC モードで 150 µs、外部 VDD モードで 10 µs です。

図 8.14 システムクロック設定の追加フロー（システムクロックソースおよび CPUCLK として PLL を使用し周波数を高速化する場合）

8.11.1.3 システムクロック設定による周波数低速化

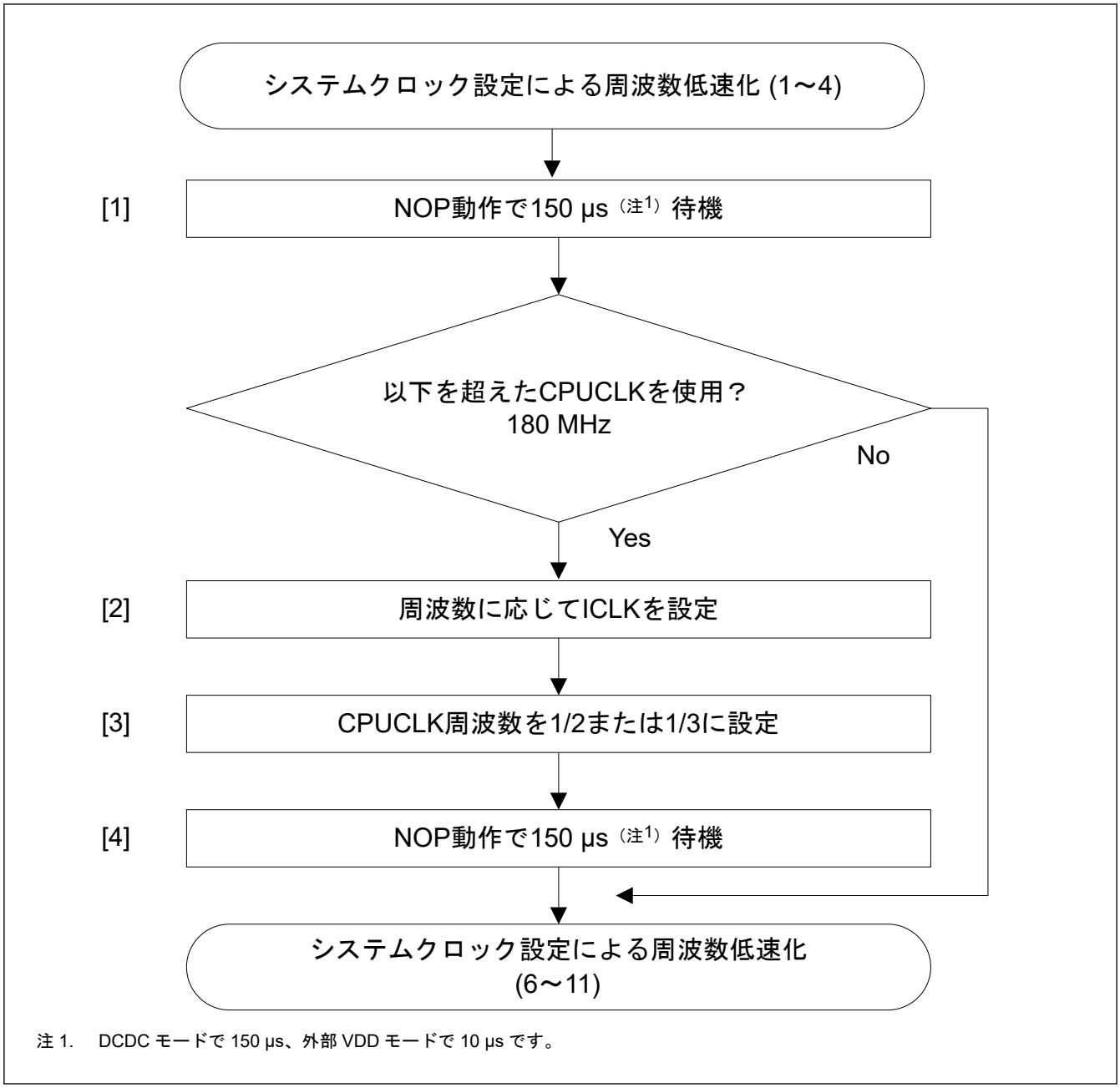
表 8.8 に、現在使用中のシステムクロック周波数を低速化する際の設定手順例を示します。

表 8.8 使用中のシステムクロック周波数を低速化する際の設定手順例

番号	手順	説明
1	開始	
2	レジスタライトプロテクション解除	PRCR レジスタの PRC0 ビットおよび PRC1(注1)(注2)ビットを 1 にします。
3	動作電力制御モードを High-speed モードへ変更(注1)	OPCCR レジスタで、High-speed モードへ変更します。(注1) 詳細は、「10. 低消費電力モード」を参照してください。
4	クロックソース発振設定(注3)	システムクロックソースへ切り替えるクロックソースの発振を設定します。(注4)
5	内部クロック分周比設定	次の手順でシステムクロックソースを切り替えた際、周波数が電気的特性の範囲を超えないように、以下の設定をします。 ● 内部クロック分周比を、現在の分周比よりも大きく設定します。 ● システムクロックソースを切り替えた後に周波数が現在より遅くなるよう、内部クロック分周比を設定します。(注3)
6	システムクロックソース切り替え(注3)	SCKSCR レジスタで、システムクロックソースを切り替えます。 クロックソースの発振が安定していることを確認してからシステムクロックソースを切り替えてください。
7	内部クロック分周比再設定	システムクロックソース切り替え後の周波数に応じて、SCKDIVCR レジスタで内部クロック分周比を再設定します。
8	フラッシュウェイトサイクル設定	システムクロック (ICLK) を設定後、動作周波数に応じてフラッシュメモリの適切なアクセスウェイト数を設定します。 詳細は、「49. フラッシュメモリ」を参照してください。
9	動作電力制御モード変更	OPCCR レジスタで、動作電力制御モードを変更します。(注2)
10	レジスタライトプロテクション適用	PRCR レジスタの PRC0 ビットおよび PRC1(注1)(注2)ビットを 0 にします。
11	終了	システムクロックの周波数は低くなります。

注 1. 動作電力制御モードとして High-speed モードがすでに使用されている場合、設定は必要ありません。
注 2. 動作電力制御モードを変更しない場合、設定は必要ありません。
注 3. システムクロックソースを変更しない場合、設定は必要ありません。
注 4. システムクロックソースとして選択された PLL の周波数を変更する場合、システムクロックソースを別のクロックソースに変更し、PLL を停止したうえで PLL の設定を変更する必要があります。

システムクロックソースとして PLL1 を選択した場合、手順 5 で、さらに手順を行う必要があります。この追加手順については、図 8.15 に示します。ソフトウェアを使用して待機時間を測定することを推奨します。ワーストケースの使用条件を考慮して、待機時間が確実に経過したことを確認してください。待機時間中、やむを得ず割り込みが発生した場合、割り込みから復帰後に再度測定してください。



注 1. DCDC モードで 150 µs、外部 VDD モードで 10 µs です。

図 8.15 システムクロック設定の追加フロー（システムクロックソースおよび CPUCLK として PLL を使用し周波数を低速化する場合）

8.11.2 周辺モジュール専用クロックの設定

ここでは、周辺モジュールで使用する動作クロックの設定手順について説明します。対象のクロックを以下に示します。SCICLK、SPICLK、OCTACLK、CANFDCLK、USBCLK

8.11.2.1 周辺モジュール専用クロックの初期設定

表 8.9 に周辺モジュールの初期クロック設定手順の例を示します。

表 8.9 周辺モジュールの動作クロック設定手順例（リセット解除後／ディープソフトウェアスタンバイ解除後） (1/2)

番号	手順	内容
1	開始	リセット解除後／ディープソフトウェアスタンバイモード解除後 （システムクロックソースとして MOCO を選択）
2	レジスタライトプロテクション解除	PRCR レジスタの PRC0 ビットおよび PRC1(注1)(注2)ビットを 1 にします。

表 8.9 周辺モジュールの動作クロック設定手順例（リセット解除後／ディープソフトウェアスタンバイ解除後） (2/2)

番号	手順	内容
3	動作電力制御モードを High-speed モードへ変更(注1)	OPCCR レジスタで、High-speed モードへ変更します。(注1) 詳細は、「10. 低消費電力モード」を参照してください。
4	CKSREQ 設定と CKSRDY 設定待機	各 CKCR レジスタの CKSREQ ビットに 1 を書き込みます。 各 CKCR レジスタの CKSRDY ビットが 1 になるまでポーリングを行います。 CKSRDY が 1 になると、クロック供給は停止します。
5	クロックソース発振設定	周辺モジュール専用クロックソースへ切り替えるクロックソースの発振を設定します。
6	クロック分周比設定とクロックソース切り替え	各 CKDIVCR レジスタの CKDIV[2:0]に設定値を書き込みます。 各 CKCR レジスタの CKSEL[3:0]に設定値を書き込みます。
7	CKSREQ クリアと CKSRDY クリア待機	各 CKCR レジスタの CKSREQ ビットに 0 を書き込みます。 各 CKCR レジスタの CKSRDY ビットが 0 になるまでポーリングを行います。 CKSRDY が 0 になると、クロック供給が開始されます。
8	モジュールストップ制御の解除	MSTPCRn レジスタ (n = A～E) でモジュールストップ制御を解除し、周辺モジュールにクロックを供給します。
9	動作電力制御モード変更	OPCCR レジスタで、動作電力制御モードを変更します。(注2)
10	レジスタライトプロテクション適用	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 0 にします。
11	終了	クロック設定は完了です。 その後、周辺モジュールを設定します。

注 1. 動作電力制御モードとして High-speed モードがすでに使用されている場合、設定は必要ありません。
注 2. 動作電力制御モードを変更しない場合、設定は必要ありません。

8.11.2.2 周辺モジュール専用クロックソースの変更

表 8.10 に、使用している周辺モジュールについて動作クロックのクロックソースを切り替える際の設定変更手順例を示します。

表 8.10 使用中周辺モジュールの動作クロックのクロックソース切り替え設定変更手順例

番号	手順	内容
1	開始	周辺モジュールの動作クロックを使用中です。
2	周辺モジュール停止	動作クロック変更対象の周辺モジュールの動作を停止します。
3	レジスタライトプロテクション解除	PRCR レジスタの PRC0 ビットおよび PRC1(注1)(注2)ビットを 1 にします。
4	動作電力制御モードを High-speed モードへ変更(注1)	OPCCR レジスタで、High-speed モードへ変更します。(注1)詳細は、「10. 低消費電力モード」を参照してください。
5	CKSREQ 設定と CKSRDY 設定待機	各 CKCR レジスタの CKSREQ ビットに 1 を書き込みます。 各 CKCR レジスタの CKSRDY ビットが 1 になるまでポーリングを行います。CKSRDY が 1 になると、クロック供給は停止します。
6	クロックソース発振設定	周辺モジュール専用クロックソースへ切り替えるクロックソースの発振を設定します。
7	クロック分周比設定とクロックソース切り替え	各 CKDIVCR レジスタの CKDIV[2:0]に設定値を書き込みます。 各 CKCR レジスタの CKSEL[3:0]に設定値を書き込みます。
8	CKSREQ クリアと CKSRDY クリア待機	各 CKCR レジスタの CKSREQ ビットに 0 を書き込みます。 各 CKCR レジスタの CKSRDY ビットが 0 になるまでポーリングを行います。 CKSRDY が 0 になると、クロック供給が開始されます。
9	動作電力制御モード変更	OPCCR レジスタで、動作電力制御モードを変更します。(注2)
10	レジスタライトプロテクション適用	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 0 にします。
11	周辺モジュール再開	動作クロックの設定変更後、その設定に従って周辺モジュールの設定を変更します。その後、周辺モジュールの動作を再開します。
12	終了	クロック設定は完了です。

注 1. 動作電力制御モードとして High-speed モードがすでに使用されている場合、設定は必要ありません。

注 2. 動作電力制御モードを変更しない場合、設定は必要ありません。

8.11.2.3 周辺モジュール専用クロック分周比の変更

表 8.11 に、使用している周辺モジュールについて動作クロックの分周比を切り替える際の設定変更手順例を示します。

表 8.11 使用中周辺モジュールの動作クロックの分周比切り替え設定変更手順例（クロックソースの変更なし）

番号	手順	内容
1	開始	周辺モジュールの動作クロックを使用中です。
2	周辺モジュール停止	動作クロック変更対象の周辺モジュールの動作を停止します。
3	レジスタライトプロテクション解除	PRCR レジスタの PRC0 ビットおよび PRC1(注1)(注2)ビットを 1 にします。
4	動作電力制御モードを High-speed モードへ変更(注1)	OPCCR レジスタで、High-speed モードへ変更します。(注1) 詳細は、「10. 低消費電力モード」を参照してください。
5	クロック分周比設定	各 CKDIVCR レジスタの CKDIV[2:0]に設定値を書き込みます。
6	動作電力制御モード変更	OPCCR レジスタで、動作電力制御モードを変更します。(注2)
7	レジスタライトプロテクション適用	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 0 にします。
8	周辺モジュール再開	動作クロックの設定変更後、その設定に従って周辺モジュールの設定を変更します。その後、周辺モジュールの動作を再開します。
9	終了	クロック設定は完了です。

注 1. 動作電力制御モードとして High-speed モードがすでに使用されている場合、設定は必要ありません。
注 2. 動作電力制御モードを変更しない場合、設定は必要ありません。

8.11.3 メインクロック発振器設定

表 8.12 に、メインクロック発振器の初期設定手順の例を示します。

表 8.12 メインクロック発振器の初期設定手順例（リセット解除後／ディープソフトウェアスタンバイ解除後）

番号	手順	説明
1	開始	メインクロック発振器は、リセット解除後またはディープソフトウェアスタンバイ解除後、停止します。
2	レジスタライトプロテクション解除	PRCR レジスタの PRC0 ビットを 1 にします。
3	メインクロック発振器のモード設定	MOMCR レジスタで、次のメインクロック発振器モードを設定します。 • 発振子またはクロック入力 • 自動ゲイン制御機能 • 駆動能力
4	発振安定待機時間の設定	MOSCWTCR レジスタで、メインクロック発振器待機時間を設定します。
5	ソフトウェアスタンバイモードの発振保持設定	ソフトウェアスタンバイモードでメインクロック発振器が発振を保持する場合、MOSCSCR を設定します。
6	メインクロック発振器の動作設定	MOSCCR レジスタで、メインクロック発振器の発振開始を設定します。
7	メインクロック発振の安定待機	OSCSF レジスタの MOSCSF ビットが 1 になるまで（発振が安定）ポーリングを行います。
8	レジスタライトプロテクション適用	PRCR レジスタの PRC0 ビットを 0 にします。
9	終了	メインクロック発振器の設定を完了します。メインクロックは使用可能です。

8.11.4 サブクロック発振器設定

表 8.13 に、サブクロック発振器の初期設定手順の例を示します。

表 8.13 サブクロック発振器の初期設定手順例（VBAT パワーオンリセット解除後）

番号	手順	説明
1	開始	サブクロック発振器は、VBAT パワーオンリセット解除後に停止します。
2	レジスタライトプロテクション解除	PRCR レジスタの PRC0 ビットを 1 にします。
3	サブクロック発振器のモード設定	SOMCR レジスタで、次のサブクロック発振器モードを設定します。 ● 発振子またはクロック入力 ● 駆動能力
4	サブクロック発振器の動作設定	SOSCCR レジスタで、サブクロック発振器の発振開始を設定します。
5	サブクロック発振の安定待機	サブクロック発振安定時間 (tSUBOSCWT) が経過するまで待機します。 サブクロック発振安定時間については、「52. 電気的特性」を参照してください。
6	レジスタライトプロテクション適用	PRCR レジスタの PRC0 ビットを 0 にします。
7	終了	サブクロック発振器の設定を完了します。 サブクロックは使用可能です。

8.11.5 高速オンチップオシレータの設定

8.11.5.1 HOCO クロック初期設定

表 8.14 に、HOCO の初期設定手順の例を示します。

表 8.14 HOCO 初期設定手順の例（リセット解除後／ディープソフトウェアスタンバイ解除後）（OFS1(_SEC).HOCOEN = 1、FLL なし）

番号	手順	説明
1	開始	OFS1(_SEC).HOCOEN が 1 の場合、HOCO はリセット解除後またはディープソフトウェアスタンバイ解除後に、停止します。
2	レジスタライトプロテクション解除	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 1 にします。
3	HOCO 電源確認(注1)	HOCOLDOCR レジスタのビットが以下になっていることを確認します。 ● LDOSTP ビットは 0（LDO が有効）
4	HOCO 周波数設定	HOCOCR2 レジスタで HOCO 周波数を設定します。
5	ソフトウェアスタンバイモードの発振保持設定	HOCO がソフトウェアスタンバイドモードで発振を保持する場合、以下を設定します。 ● HOCOSCR レジスタの HOCOSOKP ビット ● HOCOLDOCR レジスタの SKEEP ビット
6	HOCO 動作設定	HOCOCR レジスタで、HOCO の発振開始を設定します。
7	HOCO クロック発振安定待機	OSCSF レジスタの HOCOSF ビットが 1（発振が安定）になるまででポーリングを行います。
8	レジスタライトプロテクション適用	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 0 にします。
9	終了	HOCO クロックの設定は完了です。HOCO クロックは使用可能です。

注 1. HOCOLDOCR.LDOSTP ビットが 1 の場合、HOCO を動作させないでください。HOCOLDOCR.LDOSTP ビットを 1 から 0 に切り替えた場合、HOCO の電源が安定するまで待機する必要があります。HOCO 電源が安定するまでの待機時間については、「52. 電気的特性」を参照してください。

8.11.5.2 FLL 機能を使用した HOCO 設定

表 8.15 に、FLL 機能を使用した HOCO の初期設定手順の例を示します。

表 8.16 に、ソフトウェアスタンバイモード遷移と解除の際の、FLL 機能の設定フローを示します。

表 8.15 FLL 機能を使用した HOCO 設定手順の例（リセット解除後／ディープソフトウェアスタンバイ解除後）(OFS1(_SEC).HOCOEN = 1) (1/2)

番号	手順	説明
1	開始	OFS1(_SEC).HOCOEN が 1 の場合、HOCO はリセット解除後またはディープソフトウェアスタンバイ解除後に、停止します。
2	レジスタライトプロテクション解除	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 1 にします。

表 8.15 FLL 機能を使用した HOCO 設定手順の例（リセット解除後／ディープソフトウェアスタンバイ解除後）(OFS1(_SEC).HOCOEN = 1) (2/2)

番号	手順	説明
3	HOCO 電源確認(注1)	HOCOLDOCR レジスタのビットが以下になっていることを確認します。 ● LDOSTP ビットは 0（LDO が有効）
4	HOCO 周波数設定	HOCOCR2 レジスタで HOCO 周波数を設定します。
5	FLL 機能有効設定(注2)	FLLCR2 レジスタで、FLL 逓倍制御を設定します。 FLLCR1 レジスタで、FLL 機能を有効に設定します。
6	HOCO 動作設定	HOCOCR レジスタで、HOCO の発振開始を設定します。
7	HOCO クロック発振安定待機	OSCSF レジスタの HOCOSF ビットが 1（発振が安定）になるまででポーリングを行います。
8	FLL 安定待機	FLL 安定待機時間 (t_{FLLWT}) が経過するまで待機します。あるいは、HOCO クロックの測定により周波数精度が安定していることを確認できるまで待機します。
9	HOCO 安定確認	OSCSF レジスタの HOCOSF ビットが 1 になることを確認します。
10	レジスタライトプロテクション適用	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 0 にします。
11	終了	クロック設定は完了です。HOCO クロックは使用可能です。

注 1. HOCOLDOCR.LDOSTP ビットが 1 の場合、HOCO を動作させないでください。
HOCOLDOCR.LDOSTP ビットを 1 から 0 に切り替えた場合、HOCO の電源が安定するまで待機する必要があります。HOCO 電源が安定するまでの待機時間については、「52. 電気的特性」を参照してください。
注 2. サブクロック発振器は、安定して発振していなければなりません。

表 8.16 ソフトウェアスタンバイモード遷移と解除の際の FLL 機能設定フロー

番号	手順	説明
1	開始	FLL が有効で HOCO は動作中です。
2	レジスタライトプロテクション解除	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 1 にします。
3	HOCO 停止(注1)	HOCOCR レジスタで、HOCO を停止します。
4	FLL 無効	FLLCR1 レジスタで、FLL 機能を無効にします。
5	WFI 命令(注2)	WFI 命令によりソフトウェアスタンバイモードへ遷移します。
6	ソフトウェアスタンバイモード(注2)	MCU は、ソフトウェアスタンバイモードです。
7	ソフトウェアスタンバイモードの解除(注2)	ソフトウェアスタンバイモードを解除します。
8	FLL 機能有効設定(注3)	FLLCR2 レジスタで、FLL 逓倍制御を設定します。 FLLCR1 レジスタで、FLL 機能を有効に設定します。
9	HOCO 動作設定	HOCOCR レジスタで、HOCO の発振開始を設定します。
10	FLL 安定待機	FLL 安定待機時間 (t_{FLLWT}) が経過するまで待機します。あるいは、HOCO クロックの測定により周波数精度が安定していることを確認できるまで待機します。
11	HOCO 安定確認	OSCSF レジスタの HOCOSF ビットが 1 になることを確認します。
12	レジスタライトプロテクション適用	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 0 にします。
13	終了	HOCO クロックは使用可能です。

注 1. システムクロックソースまたは PLL のクロックソースとして HOCO を使用する場合、これらのクロックソースは、HOCO が停止する前に別のクロックへ変更してください。
注 2. ソフトウェアスタンバイモードの詳細は、「10. 低消費電力モード」を参照してください。
注 3. サブクロック発振器は、安定して発振していなければなりません。

8.11.6 PLL の設定

8.11.6.1 PLL クロック初期設定

表 8.17 に、PLL の初期設定手順の例を示します。

表 8.17 PLL 初期設定手順の例（リセット解除後／ディープソフトウェアスタンバイ解除後）（PLL1 または PLL2）

番号	手順	説明
1	開始	PLL1 は、リセット解除後またはディープソフトウェアスタンバイ解除後、停止します。 PLL2 は、リセット解除後またはディープソフトウェアスタンバイ解除後、停止します。
2	レジスタライトプロテクション解除	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 1 にします。
3	動作電力制御モードを High-speed モードへ変更(注1)	OPCCR レジスタで、High-speed モードへ変更します。 詳細は、「10. 低消費電力モード」を参照してください。
4	PLL 電源確認(注2)	[PLL1] PLL1LDOCR レジスタのビットが以下に設定されていることを確認します。 ● LDOSTP ビットは 0（LDO が有効） [PLL2] PLL2LDOCR レジスタのビットが以下に設定されていることを確認します。 ● LDOSTP ビットは 0（LDO が有効）
5	PLL 設定	[PLL1] PLLCCR レジスタおよび PLLCCR2 レジスタで、以下の PLL1 設定を行います。 [PLL2] PLL2CCR レジスタおよび PLL2CCR2 レジスタで、以下の PLL2 設定を行います。 [設定項目] ● PLL 入力周波数分周比 ● PLL クロックソース ● 周波数逓倍率 ● 周波数小数逓倍率 ● PLL 出力周波数分周比 (P/Q/R)
6	PLL 動作設定	[PLL1] PLLCR レジスタで、PLL1 の発振開始を設定します。 [PLL2] PLL2CR レジスタで、PLL2 発振開始を設定します。
7	PLL クロック発振安定待ち	[PLL1] OSCSF レジスタの PLLSF ビットが 1 になるまで（発振が安定）ポーリングを行います。 [PLL2] OSCSF レジスタの PLL2SF ビットが 1 になるまで（発振が安定）ポーリングを行います。
8	レジスタライトプロテクション適用	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 0 にします。
9	終了	PLL1 または PLL2 クロックの設定は完了です。 [PLL1] PLL1P、PLL1Q、または PLL1R クロックは使用可能です。 [PLL2] PLL2P、PLL2Q、または PLL2R クロックは使用可能です。

注 1. 動作電力制御モードとして High-speed モードがすでに使用されている場合、設定は必要ありません。
注 2. PLL1LDOCR.LDOSTP ビットが 1 の場合、PLL1 を動作させないでください。
PLL1LDOCR.LDOSTP ビットを 1 から 0 に切り替えた場合、PLL1 の電源が安定するまで待つ必要があります。PLL1 電源が安定するまでの待機時間については、「52. 電気的特性」を参照してください。
PLL2LDOCR.LDOSTP ビットが 1 の場合、PLL2 を動作させないでください。
PLL2LDOCR.LDOSTP ビットを 1 から 0 に切り替えた場合、PLL2 の電源が安定するまで待つ必要があります。PLL2 電源が安定するまでの待機時間については、「52. 電気的特性」を参照してください。

8.11.6.2 PLL クロックの設定変更

表 8.18 に、PLL の初期設定手順の例を示します。

表 8.18 PLL 設定変更手順の例（PLL1 または PLL2）

No.	手順	説明
1	開始	PLL1 は発振中かつ PLL1 クロック（PLL1P、PLL1Q、および PLL1R）を使用中です。 PLL2 は発振中かつ PLL2 クロック（PLL2P、PLL2Q、および PLL2R）を使用中です。
2	レジスタライトプロテクション解除	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 1 にします。
3	PLL 停止(注1)	[PLL1] PLLCR レジスタで、PLL1 停止にします。 [PLL2] PLL2CR レジスタで、PLL2 停止にします。
4	PLL 設定変更	[PLL1] PLLCCR レジスタおよび PLLCCR2 レジスタで、以下の PLL1 設定を行います。 [PLL2] PLL2CCR レジスタおよび PLL2CCR2 レジスタで、以下の PLL2 設定を行います。 [設定項目] ● PLL 入力周波数分周比 ● PLL クロックソース ● 周波数逓倍率 ● 周波数小数逓倍率 ● PLL 出力周波数分周比 (P/Q/R)
5	PLL 動作設定	[PLL1] PLLCR レジスタで、PLL1 の発振開始を設定します。 [PLL2] PLL2CR レジスタで、PLL2 発振開始を設定します。
6	PLL クロック発振安定待機	[PLL1] OSCSF レジスタの PLLSF ビットが 1 になるまで（発振が安定）ポーリングを行います。 [PLL2] OSCSF レジスタの PLL2SF ビットが 1 になるまで（発振が安定）ポーリングを行います。
7	レジスタライトプロテクション適用	PRCR レジスタの PRC0 ビットおよび PRC1 ビットを 0 にします。
8	終了	PLL1 または PLL2 クロックの設定は完了です。 [PLL1] PLL1P、PLL1Q、または PLL1R クロックは使用可能です。 [PLL2] PLL2P、PLL2Q、または PLL2R クロックは使用可能です。

注 1. システムクロックソースとして PLL1P クロックを使用する場合、PLL1 が停止する前に、システムクロックソースを別のクロックソースに変更する必要があります。

8.12 使用上の注意

8.12.1 クロック発生回路に関する注意事項

各モジュールへ供給される以下のクロックの周波数は、SCKDIVCR および SCKDIVCR2 レジスタの設定に応じて変わります。

- CPU クロック (CPUCLK)
- システムクロック (ICLK)
- 周辺モジュールクロック（PCLKA、PCLKB、PCLKC、PCLKD、および PCLKE）
- FlashIF クロック (FCLK)

各周波数は、以下の条件を満たす必要があります。

- 各周波数は、AC 特性で規定される動作周波数 (f) の動作保証範囲内に収まるように選択すること。「52. 電気的特性」を参照してください。
- 各クロックは、表 8.2 に従って設定してください。

クロック周波数変更後の処理を確実に実行するには、最初に該当のクロックコントロールレジスタに書き込んで周波数を変更してからレジスタ値を読み出して確認し、最後にその後の処理を実行してください。

8.12.2 発振子に関する制限

発振子の特性はユーザーのボード設計に密接に関係するので、使用する前に十分な評価が必要です。発振子の接続例については図 8.5 を参照してください。発振子の回路定数は、使用する発振子および実装回路の浮動容量によって異なります。回路定数を決定する際は、常に発振子メーカと相談してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

8.12.3 ボード設計に関する注意事項

水晶振動子を使用する場合は、振動子およびコンデンサはできるだけ XTAL/EXTAL 端子の近くに配置してください。図 8.16 に示すように、発振回路の近くには他の信号線を通過させないでください。電磁誘導によって正常に発振しなくなることがあります。図 8.16 に、メインクロック発振器を使用した場合を示します。サブクロック発振器を使用した場合も図 8.16 と同様です。

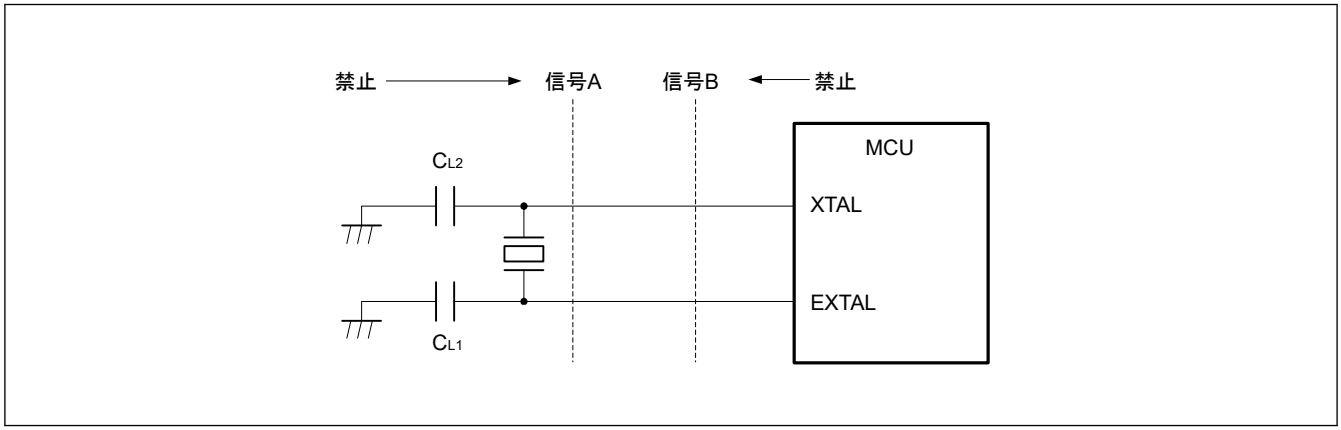


図 8.16 発振回路部のボード設計に関する信号のルーティング

8.12.4 発振子接続端子に関する注意事項

メインクロックを使用しない場合、EXTAL 端子と XTAL 端子は、汎用ポートとして使用可能です。これらの端子を汎用ポートとして使用する場合は、メインクロックを停止させる（MOSCCR.MOSTP ビットを 1 にする）必要があります。

8.12.5 サブクロック発振器使用時の注意事項

P212 (EXTAL)、P213 (XTAL)、および P706 端子の出力は、サブクロック発振器の発振に影響を及ぼす可能性があります。

サブクロック発振器を使用する場合、発振に影響しないようボードを設計してください。P212 (EXTAL)、P213 (XTAL)、および P706 端子を出力端子として使用し、かつサブクロック発振器を使用する場合は、PmnPFS.DSCR[1:0]ビットを 00b または 01b に設定することを強く推奨します。

さらに、P212 (EXTAL)、P213 (XTAL)、および P706 端子を出力端子として使用し、かつサブクロック発振器を低消費電力モード駆動能力（SOMCR.SODRV[1:0] = 01b、10b、および 11b）で使用する場合、PmnPFS.DSCR[1:0]ビットを 00b に設定することを推奨します。

8.12.6 MOSCSCR.MOSCSOKP の注意事項

MOSCSCR.MOSCSOKP = 1 に設定してソフトウェアスタンバイモードへ移行するときは、回避策 1 または回避策 2 のどちらかを適用してください。

以下に示す回避策を適用できない場合は、MOSCSCR.MOSCSOKP = 0 に設定します。これは、ソフトウェアスタンバイモードからの復帰がうまくいかない可能性があるためです。

回避策 1

リセットを解除するときは、以下の手順に示すステップ 1.と 2.を実行します。

1. MOSCCR.MOSTP = 1 に設定して MOSC を停止し、OSTDCR.OSTDE = 1 に設定して発振停止検出機能を有効にします。
2. MOSCCR. MOSTP = 0 を設定して MOSC を起動し、OSCSF.MOSCSF をチェックして MOSC が安定するまで待機します。
   以下のステップ 3.を実行してから WFI 命令を実行するか、Sleep-on-exit 機能を実行してソフトウェアスタンバイモードに遷移します。
3. USBCLK クロック、OCTACLK クロック、CANFDCLK クロック、USB60CLK クロック、I3CCLK クロック、SCICLK クロック、SPICLK クロック、または LCDCLK クロックに対して(a)または(b)のいずれかを設定します。
   (a) 各クロックの MSTP ビットを 1 に設定します。
   (b) クロックソースとして PLL1P、PLL1Q、PLL1R、PLL2P、PLL2Q、または PLL2R を選択します。
   (*CKCR.*CKSEL[3:0] = 4'b0101, 0110, 0111, 1000, 1001, 1010)

回避策 1 の実行時には、以下の制限事項が適用されます。

- MOSC を、システムクロックまたは周辺 IP 専用クロックのクロックソースとして選択することはできません。(注1)
- CACMCLK、CANMCLK、および MIPIMCLK は使用できません。(注1)
- MOSC 発振停止検出機能は使用できません。

注 1. MOSC を PLL の基準クロックとして選択すること、MOSC を CLKOUT ピンからのロックソース出力として選択すること、および USBMCLK を使用することは可能です。
ソフトウェアスタンバイモードからの復帰後に特別な手順は不要です。リセットが行われたときは、ステップ 1.からの手順に従う必要があります。

回避策 2

以下の手順に示すステップ 1.～6.を実行してから、WFI 命令を実行するか Sleep-on-exit 機能を実行してソフトウェアスタンバイモードに遷移します。

1. 以下のクロック設定を行います。
   - システムクロックソースは MOSC または PLL1（MOSC がクロックソース）以外から選択します。
   - 周辺クロックソースは MOSC、PLL1（MOSC がクロックソース）、PLL2（MOSC がクロックソース）以外から選択します。
   - MOSC、PLL1、および PLL2 を停止します。
   - CACMCLK、CANMCLK、または MIPIMCLK のいずれかをクロックソースとするモジュールを停止します。
2. MOSCCR.MOSTP = 1 に設定して MOSC を停止し、OSTDCR.OSTDE = 1 に設定して発振停止検出機能を有効にします。
3. MOSCCR. MOSTP = 0 を設定して MOSC を起動し、OSCSF.MOSCSF をチェックして MOSC が安定するまで待機します。
4. MOSC をクロックソースとする PLL1 をシステムクロックまたは周辺 IP のクロックソースとして使用する場合は、PLLCR.PLLSTP = 0 に設定して PLL1 を開始し、OSCSF.PLLSF = 1 になるまで待って PLL を安定させます。PLL1 の使用を開始します。
5. MOSC をクロックソースとする PLL2 をシステムクロックまたは周辺 IP のクロックソースとして使用する場合は、PLL2CR.PLL2STP = 0 に設定して PLL2 を開始し、OSCSF.PLL2SF = 1 になるまで待って PLL を安定させます。PLL2 の使用を開始します。
6. USBCLK クロック、OCTACLK クロック、CANFDCLK クロック、USB60CLK クロック、I3CCLK クロック、SCICLK クロック、SPICLK クロック、または LCDCLK クロックに対して(a)または(b)のいずれかを設定します。
   (a) 各クロックの MSTP ビットを 1 に設定します。
   (b) クロックソースとして PLL1P、PLL1Q、PLL1R、PLL2P、PLL2Q、または PLL2R を選択します。
   (*CKCR.*CKSEL[3:0] = 4'b0101, 0110, 0111, 1000, 1001, 1010)

ソフトウェアスタンバイモードからの復帰後に、ステップ 7.～11.を実行します。

7. (a)または(b)のどちらかを実行します。
   (a) OSTDCR.OSTDE = 0 に設定して発振停止検出機能を無効にします。
   (b) MOSC または PLL1 以外からシステムクロックソースを選択し、発振停止検出フラグをクリアして発振停止検出状態を解除します。
8. この手順のステップ(b)を実行する場合は、システムクロックを別のクロックに変更してください。
9. ステップ(a)で MSTP ビットを 1 に設定するときは、使用する必要のあるモジュールの MSTP ビットを 0 に設定してください。
10. ステップ 6.で USBCLK、OCTACLK、CANFDCLK、USB60CLK、I3CCLK、SCICLK、SPICLK、または LCDCLK のクロック設定を変更する場合は、必要なクロック設定を変更します。このステップ 10.では、MOSC、PLL1、および PLL2 をソースクロックに使用できます。
11. CACMCLK、CANMCLK、または MIPIMCLK が必要な場合は、必要な IP のモジュール停止を解除してください。

回避策 2 を使用時には、以下の制限事項が適用されます。

- この回避策の開始後は、ソフトウェアスタンバイモードから復帰するまでの間、システムクロックや周辺 IP クロックのクロックソースとして MOSC を選択できません。
- この回避策の開始後は、ソフトウェアスタンバイモードから復帰するまでの間、CACMCLK、CANMCLK、および MIPIMCLK を使用することはできません。
- この回避策の開始後は、ソフトウェアスタンバイモードから復帰するまでの間、MOSC 発振停止検出機能を使用することはできません。

9. クロック周波数精度測定回路 (CAC)

9.1 概要

クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック（測定対象クロック）に対して、測定の基準となるクロック（測定基準クロック）で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。測定終了時、または測定基準クロックで生成した時間内のパルスの数が許容範囲内にない時、割り込み要求を発生します。

表 9.1 に CAC の仕様を、図 9.1 に CAC のブロック図を、表 9.2 に CAC の入出力端子を示します。

表 9.1 CAC の仕様

項目	内容
測定対象クロック	以下のクロックの周波数を測定可能 • メインクロック発振器 (CACMCLK) • サブクロック発振器 (CACSCLK) • HOCO クロック (CACHCLK) • MOCO クロック (CACMOCLK) • LOCO クロック (CACLCLK) • 周辺モジュールクロック B (PCLKB)
測定基準クロック	以下のクロックの周波数を測定基準とすることが可能 • CACREF 端子への外部クロック入力 • メインクロック発振器 (CACMCLK) • サブクロック発振器 (CACSCLK) • HOCO クロック (CACHCLK) • MOCO クロック (CACMOCLK) • LOCO クロック (CACLCLK) • 周辺モジュールクロック B (PCLKB)
選択機能	デジタルフィルタ機能
割り込み要因	• 測定終了割り込み • 周波数エラー割り込み • オーバーフロー割り込み
消費電力低減機能	モジュールストップ状態への設定が可能
TrustZone フィルタ	セキュリティおよびプリビレッジ属性を設定可能

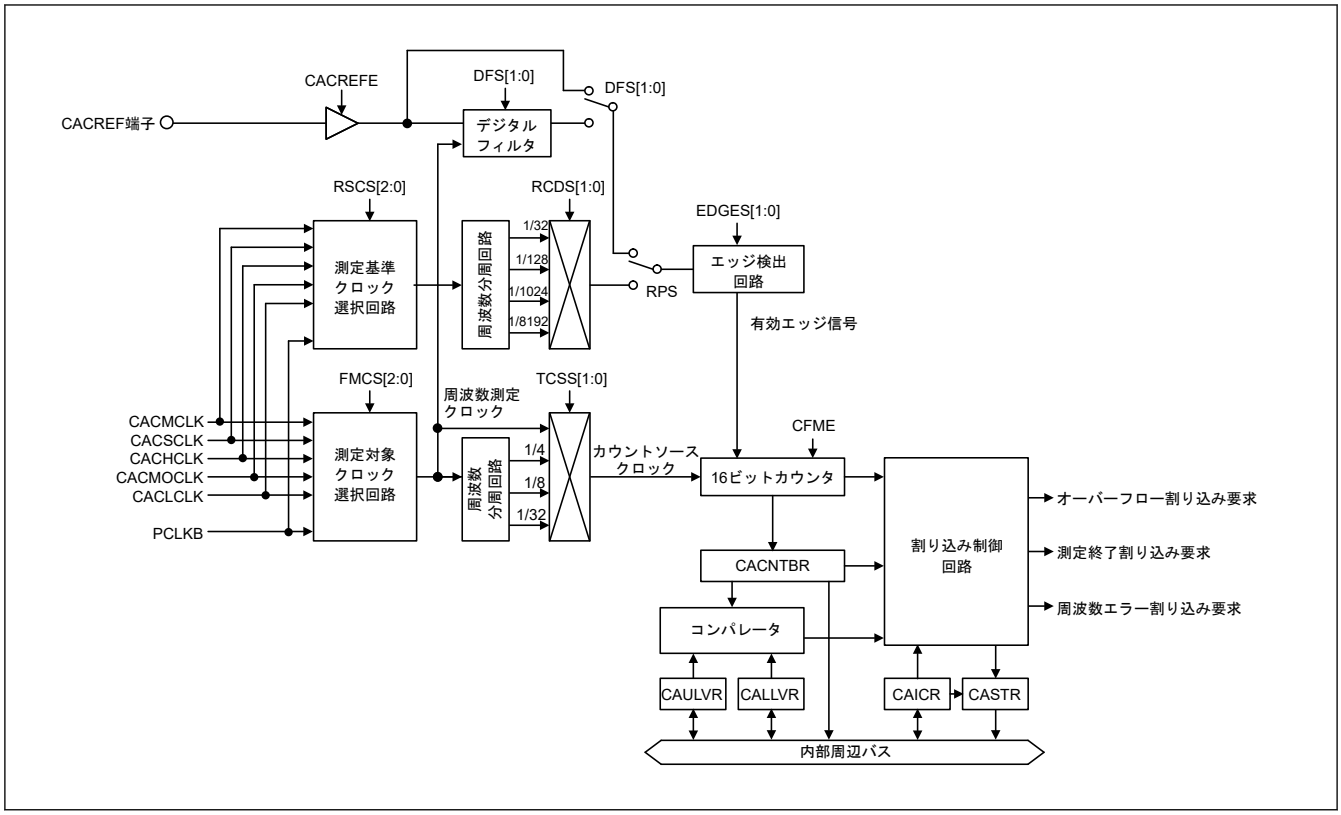


図 9.1　CAC のブロック図

表 9.2　CAC の入出力端子

機能	端子名	入出力	内容
CAC	CACREF	入力	測定基準クロックの入力端子

9.2　レジスタの説明

9.2.1　CACR0 : CAC コントロールレジスタ 0

Base address: CAC = 0x4020_2400
CAC_NS = 0x5020_2400

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFME
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CFME	クロック周波数測定有効 0: クロック周波数測定無効 1: クロック周波数測定有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　S-TYPE3, P-TYPE3

CFME ビット（クロック周波数測定有効）

CFME ビットはクロック周波数の測定機能が有効か無効かを設定します。このビットを書き換えても内部回路に反映されるまでは時間がかかります。書き換えが反映されたかはビットの読み出しで確認できます。

9.2.2 CACR1 : CAC コントロールレジスタ 1

Base address: CAC = 0x4020_2400
CAC_NS = 0x5020_2400

Offset address: 0x01

Bit position:	7	6	5	4	3	2	1	0
Bit field:	EDGES[1:0]		TCSS[1:0]		FMCS[2:0]			CACREFE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CACREFE	CACREF 端子入力有効 0: CACREF 端子入力無効 1: CACREF 端子入力有効	R/W
3:1	FMCS[2:0]	測定対象クロック選択 0 0 0: メインクロック発振器 (CACMCLK) 0 0 1: サブクロック発振器 (CACSCLK) 0 1 0: HOCO クロック (CACHCLK) 0 1 1: MOCO クロック (CACMOCLK) 1 0 0: LOCO クロック (CACLCLK) 1 0 1: 周辺モジュールクロック B (PCLKB) 1 1 0: 設定禁止 1 1 1: 設定禁止	R/W
5:4	TCSS[1:0]	タイマカウントクロックソース選択 0 0: 分周なしクロック 0 1: × 4 分周クロック 1 0: × 8 分周クロック 1 1: × 32 分周クロック	R/W
7:6	EDGES[1:0]	有効エッジ選択 0 0: 立ち上がりエッジ 0 1: 立ち下がりエッジ 1 0: 立ち上がり／立ち下がり両エッジ 1 1: 設定禁止	R/W

注. S-TYPE3, P-TYPE3
注. CACR1 レジスタは、CACR0.CFME ビットが 0 のときに設定してください。

CACREFE ビット（CACREF 端子入力有効）

CACREFE ビットは、CACREF 端子からの入力が有効か無効かを設定します。

FMCS[2:0]ビット（測定対象クロック選択）

FMCS[2:0]ビットは、周波数を測定する測定対象クロックを選択します。

TCSS[1:0]ビット（タイマカウントクロックソース選択）

TCSS[1:0]ビットは、測定対象クロックの分周比を選択します。

EDGES[1:0]ビット（有効エッジ選択）

EDGES[1:0]ビットは、測定基準クロックの有効エッジを選択します。

9.2.3 CACR2 : CAC コントロールレジスタ 2

Base address: CAC = 0x4020_2400
CAC_NS = 0x5020_2400

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DFS[1:0]		RCDS[1:0]		RSCS[2:0]			RPS
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RPS	基準信号選択 0: CACREF 端子入力 1: 内部クロック（内部生成信号）	R/W
3:1	RSCS[2:0]	測定基準クロック選択 0 0 0: メインクロック発振器 (CACMCLK) 0 0 1: サブクロック発振器 (CACSCLK) 0 1 0: HOCO クロック (CACHCLK) 0 1 1: MOCO クロック (CACMOCLK) 1 0 0: LOCO クロック (CACLCLK) 1 0 1: 周辺モジュールクロック B (PCLKB) 1 1 0: 設定禁止 1 1 1: 設定禁止	R/W
5:4	RCDS[1:0]	測定基準クロック分周比選択 0 0: × 32 分周クロック 0 1: × 128 分周クロック 1 0: × 1024 分周クロック 1 1: × 8192 分周クロック	R/W
7:6	DFS[1:0]	デジタルフィルタ機能選択 0 0: デジタルフィルタ機能無効 0 1: 測定対象クロックでサンプリング 1 0: 測定対象クロックの 4 分周でサンプリング 1 1: 測定対象クロックの 16 分周でサンプリング	R/W

注. S-TYPE3, P-TYPE3
注. CACR2 レジスタは、CACR0.CFME ビットが 0 のときに設定してください。

RPS ビット（基準信号選択）

RPS ビットは、エッジ検出回路への入力として CACREF 端子入力か内部クロックから生成した内部生成信号のどちらを使用するか選択します。

RSCS[2:0]ビット（測定基準クロック選択）

RSCS[2:0]ビットは、測定基準クロックを選択します。

RCDS[1:0]ビット（測定基準クロック分周比選択）

RCDS[1:0]ビットは、測定基準クロックとして内部クロックが選択されている場合、測定基準クロックの分周比を選択します。RPS = 0 （CACREF 端子入力が測定基準クロックとして使用）の場合、測定基準クロックは分周されません。

DFS[1:0]ビット（デジタルフィルタ機能選択）

DFS[1:0]ビットは、デジタルフィルタのサンプリングクロックを選択します。

9.2.4 CAICR : CAC 割り込み要求許可レジスタ

Base address: CAC = 0x4020_2400
CAC_NS = 0x5020_2400

Offset address: 0x03

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	OVFFCL	MENDFCL	FERRFCL	—	OVFIE	MENDIE	FERRIE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FERRIE	周波数エラー割り込み要求許可 0: 周波数エラー割り込み要求禁止 1: 周波数エラー割り込み要求許可	R/W
1	MENDIE	測定終了割り込み要求許可 0: 測定終了割り込み要求禁止 1: 測定終了割り込み要求許可	R/W
2	OVFIE	オーバーフロー割り込み要求許可 0: オーバーフロー割り込み要求禁止 1: オーバーフロー割り込み要求許可	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	FERRFCL	FERRF フラグクリア 0: 影響なし 1: CASTR.FERRF フラグをクリアします。	W
5	MENDFCL	MENDF フラグクリア 0: 影響なし 1: CASTR.MENDF フラグをクリアします。	W
6	OVFFCL	OVFF フラグクリア 0: 影響なし 1: CASTR.OVFF フラグをクリアします。	W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

FERRIE ビット（周波数エラー割り込み要求許可）

FERRIE ビットは、周波数エラー割り込み要求の許可または禁止を設定します。

MENDIE ビット（測定終了割り込み要求許可）

MENDIE ビットは、測定終了割り込み要求の許可または禁止を設定します

OVFIE ビット（オーバーフロー割り込み要求許可）

OVFIE ビットは、オーバーフロー割り込み要求の許可または禁止を設定します。

FERRFCL ビット（FERRF フラグクリア）

FERRFCL ビットは、1 を書くと CASTR.FERRF フラグをクリアします。

MENDFCL ビット（MENDF フラグクリア）

MENDFCL ビットは、1 を書くと CASTR.MENDF フラグをクリアします。

OVFFCL ビット（OVFF フラグクリア）

OVFFCL ビットは、1 を書くと CASTR.OVFF フラグをクリアします。

9.2.5 CASTR : CAC ステータスレジスタ

Base address: CAC = 0x4020_2400
CAC_NS = 0x5020_2400

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	OVFF	MENDF	FERRF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FERRF	周波数エラーフラグ 0: クロックの周波数が設定値内 1: クロックの周波数が設定値を外れた（周波数エラー）	R
1	MENDF	測定終了フラグ 0: 測定中 1: 測定が終了	R
2	OVFF	オーバーフローフラグ 0: カウンタがオーバーフローしていない 1: カウンタがオーバーフローしている	R
7:3	—	読むと 0 が読めます。	R

注. S-TYPE3, P-TYPE3

FERRF フラグ（周波数エラーフラグ）

FERRF フラグは測定クロックのカウント値が設定値を外れた（周波数エラー）ことを示します。

[1 になる条件]

- 測定クロックのカウント値が設定値を外れたとき

[0 になる条件]

- CAICR.FERRFCL ビットに 1 を書き込んだとき

MENDF フラグ（測定終了フラグ）

MENDF フラグは測定が終了したことを示します。

[1 になる条件]

- 測定終了したとき

[0 になる条件]

- CAICR.MENDFCL ビットに 1 を書き込んだとき

OVFF フラグ（オーバーフローフラグ）

OVFF フラグはカウンタがオーバーフローしたことを示します。

[1 になる条件]

- カウンタがオーバーフローしたとき

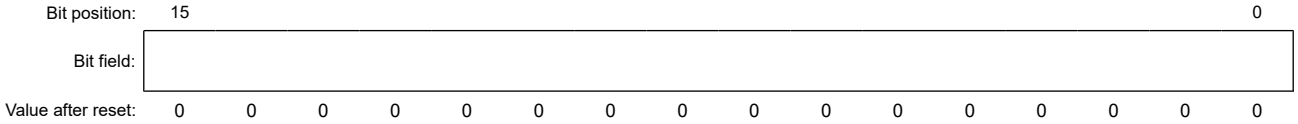
[0 になる条件]

- CAICR.OVFFCL ビットに 1 を書き込んだとき

9.2.6 CAULVR : CAC 上限値設定レジスタ

Base address: CAC = 0x4020_2400
CAC_NS = 0x5020_2400

Offset address: 0x06



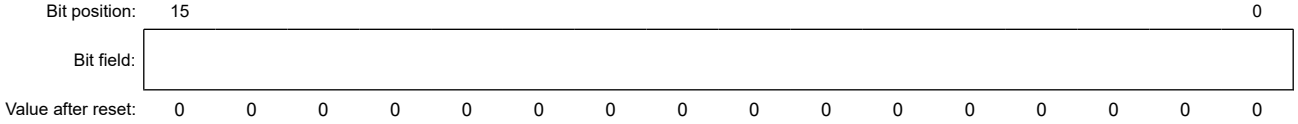
ビット	シンボル	機能	R/W
15:0	n/a	許容範囲の上限値 CAULVR レジスタは、周波数の測定に用いるカウンタの上限値を指定する 16 ビットの読み書き可能なレジスタです。このレジスタに指定された値を上回った場合、周波数の異常を検出します。CACR0.CFME ビットが 0 のときに設定してください。 デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により、CACNTBR レジスタに保持されるカウンタ値がずれることがありますので、余裕をもった値を設定してください。	R/W

注. S-TYPE3, P-TYPE3

9.2.7 CALLVR : CAC 下限値設定レジスタ

Base address: CAC = 0x4020_2400
CAC_NS = 0x5020_2400

Offset address: 0x08



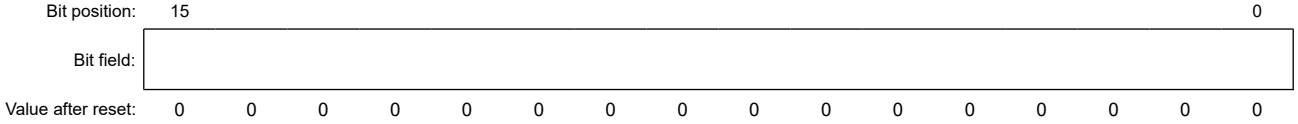
ビット	シンボル	機能	R/W
15:0	n/a	許容範囲の下限値 CALLVR レジスタは、周波数の測定に用いるカウンタの下限値を指定する 16 ビットの読み書き可能なレジスタです。このレジスタに指定された値を下回った場合、周波数の異常を検出します。CACR0.CFME ビットが 0 のときに設定してください。 デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により、CACNTBR レジスタに保持されるカウンタ値がずれることがありますので、余裕をもった値を設定してください。	R/W

注. S-TYPE3, P-TYPE3

9.2.8 CACNTBR : CAC カウンタバッファレジスタ

Base address: CAC = 0x4020_2400
CAC_NS = 0x5020_2400

Offset address: 0x0A



ビット	シンボル	機能	R/W
15:0	n/a	測定結果 CACNTBR レジスタは測定基準クロックの有効エッジが入力されたときのカウンタ値を保持する 16 ビットの読み出し専用レジスタです。	R

注. S-TYPE3, P-TYPE3

9.3 動作説明

9.3.1 クロック周波数測定

CAC は、CACREF 端子入力または内部クロックを基準にクロック周波数を測定します。 図 9.2 に CAC の動作例を示します。CAC は、クロック周波数測定時、以下のように動作します。

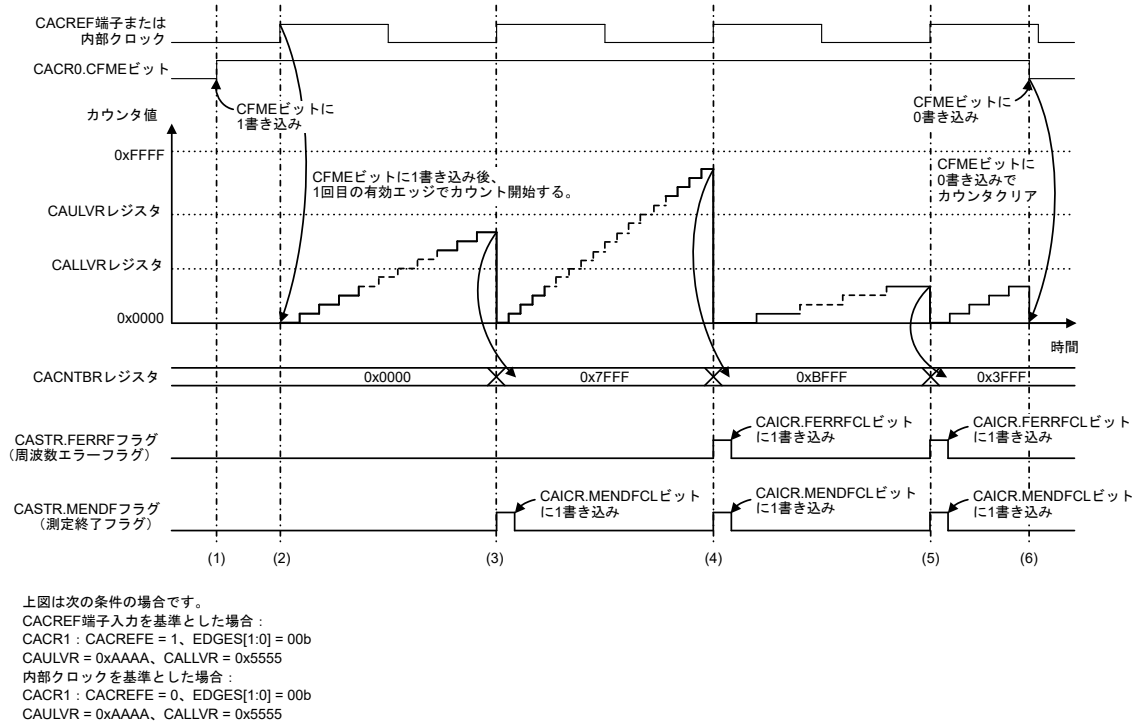


図 9.2 CAC の動作例

図 9.2 におけるイベントは以下の通りです。

1. CACREF 端子入力を基準とした場合 (CACR1.CACREFE = 1) は、CACR2.RPS ビットを 0、CACR1.CACREFE ビットを 1 に設定した状態で、CACR0.CFME ビットに 1 を書き込むとクロック周波数測定が有効になります。一方、内部クロックを基準とした場合 (CACR1.CACREFE = 0) は、CACR2.RPS ビットを 1 に設定した状態で、CACR0.CFME ビットに 1 を書き込むとクロック周波数測定が有効になります。
2. CACREF 端子入力を基準とした場合は、CFME ビットに 1 を書き込み後、CACREF 端子から CACR1.EDGES[1:0]ビットで選択した有効エッジ（図 9.2 では立ち上がりエッジ (CACR1.EDGES[1:0] = 00b)）が入力されるとタイマのカウントアップが開始します。内部クロックを基準とした場合は、CFME ビットに 1 を書き込み後、CACR2.RSCS[2:0]ビットで選択したクロックソースを元に CACR1.EDGES[1:0]ビットで選択した有効エッジ（図 9.2 では立ち上がりエッジ (CACR1.EDGES[1:0] = 00b)）が入力されるとタイマのカウントアップが開始します。
3. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACNTBR レジスタの値 ≦ CAULVR レジスタの値かつ CACNTBR レジスタの値 ≧ CALLVR レジスタの値のときはクロック周波数が正常なので CASTR.MENDF フラグだけが 1 にセットされます。また、CAICR.MENDIE ビットを 1 に設定している場合は、測定終了割り込みが発生します。
4. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACNTBR レジスタの値 > CAULVR レジスタの値のときはクロック周波数が異常なので CASTR.FERRF フラグが 1 にセットされます。また、CAICR.FERRIE ビットを 1 に設

定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも 1 にセットされます。また、CAICR.MENDIE ビットを 1 に設定している場合は、測定終了割り込みが発生します。

5. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACNTBR レジスタの値＜CALLVR レジスタの値のときはクロック周波数が異常なので CASTR.FERRF フラグが 1 にセットされます。また、CAICR.FERRIE ビットを 1 に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも 1 にセットされます。また、CAICR.MENDIE ビットを 1 に設定している場合は、測定終了割り込みが発生します。
6. CACR0.CFME ビットが 1 の間は、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACR0.CFME ビットに 0 を書き込むと、カウンタをクリアしカウントアップが停止します。

9.3.2 CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期に応じてサンプリングした端子のレベルが 3 回連続で一致した場合、内部に一致したレベルを伝達し、再度サンプリングした端子のレベルが 3 回連続で一致するまで内部へは同じレベルを伝達し続けます。デジタルフィルタ機能はデジタルフィルタ機能の有効/無効とサンプリングクロックが設定できます。

デジタルフィルタと CACREF 端子入力信号の位相差により CACNTBR レジスタに転送されるカウンタ値は、最大サンプリングクロック 1 周期分の誤差があります。カウントソースクロックに分周クロックを選択している場合は、以下の計算式でカウント値誤差を表すことができます。

カウント値誤差 = (カウントソースクロック1周期) / (サンプリングクロック1周期)

9.4 割り込み要求

CAC が要求する割り込み要因には次の 3 種類があります。

- 周波数エラー割り込み
- 測定終了割り込み
- オーバーフロー割り込み

各割り込み要因が発生すると各ステータスフラグが 1 にセットされます。 表 9.3 に CAC 割り込み要求を示します。

表 9.3 CAC 割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタ値を CAULVR レジスタ値および CALLVR レジスタ値と比較をした結果が、CACNTBR レジスタ値> CAULVR レジスタ値または CACNTBR レジスタ値< CALLVR レジスタ値のとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	• 測定基準クロックの有効エッジが入力されたとき • ただし、CACR0.CFME ビットを 1 に書き込み後、1 回目の有効エッジでは測定終了割り込みは発生しない。
オーバーフロー割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバーフローしたとき

9.5 使用上の注意事項

9.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、CAC の動作禁止／許可を設定することが可能です。リセット後の値では、CAC は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

10. 低消費電力モード

10.1 概要

本 MCU には、クロック分周器の設定、モジュールストップ設定、パワーゲーティング制御、通常モード時の動作電力制御モード選択、低消費電力モードへの遷移など、さまざまな消費電力低減機能があります。

表 10.1 に低消費電力モード機能の仕様を示します。表 10.2～表 10.4 に、低消費電力モードへの遷移条件、CPU と周辺モジュールの状態、および各モードの解除方法を示します。リセット後、MCU はプログラム実行状態に遷移しますが、DMAC、DTC、および SRAM のみが動作しています。

表 10.1 低消費電力モード機能の仕様

項目	仕様
クロック信号の切り替えによる消費電力の低減	CPU クロック (CPUCLK)、システムクロック (ICLK)、周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD, PCLKE)、およびフラッシュインタフェースクロック (FCLK) に対して、個別に分周比を選択可能(注1)
モジュールストップ	各周辺モジュールに対して、個別に機能停止が可能
パワーゲーティング制御	この機能は電源ドメインの電源状態を制御できます。 ● 電源ドメインの ON/OFF を制御 ● パワーゲーティング時の特定回路の保持を制御
プロセッサ低消費電力モード	● CPU スリープモード ● CPU ディープスリープモード
低消費電力モード	● ソフトウェアスタンバイモード(注2) ● ディープソフトウェアスタンバイモード 1、2、3(注2)
動作電力制御モード	● 動作周波数に応じて適切な動作電力制御モードを選択することにより、通常モード時および低消費電力モード時の消費電力を低減することができます。 ● 以下の 2 つの動作電力制御モードが利用可能 High-speed モード Low-speed モード(注2)
TrustZone フィルタ	セキュリティおよびプリビレッジ属性が設定可能

注 1. 詳細は「8. クロック発生回路」を参照してください。
注 2. このモードは外部 VDD モードではサポートされていません。

表 10.2 プロセッサ低消費電力モードの動作状態 (1/2)

項目	CPU スリープモード	CPU ディープスリープモード
遷移条件	CPU.SCR.SLEEPDEEP = 0 の状態で［条件 1］または［条件 2］の場合 ［条件 1］ ● WFI 命令 ● 有効な割り込み要求(注4)が CPU で受け付けされない（WFI 命令が実行されたときから CPU スリープモードへの遷移が完了するまでの遷移を含む） ［条件 2］ ● CPU.SCR.SLEEPONEXIT = 1 ● すべての例外ハンドラの実行を完了 ● 有効な割り込み要求(注4)が CPU で受け付けされない（WFI 命令が実行されたときから CPU スリープモードへの遷移が完了するまでの遷移を含む）	CPU.SCR.SLEEPDEEP = 0 の状態で［条件 1］または［条件 2］の場合 ［条件 1］ ● WFI 命令 ● 有効な割り込み要求(注4)が CPU で受け付けされない（WFI 命令が実行されたときから CPU スリープモードへの遷移が完了するまでの遷移を含む） ［条件 2］ ● CPU.SCR.SLEEPONEXIT = 1 ● すべての例外ハンドラの実行を完了 ● 有効な割り込み要求(注4)が CPU で受け付けされない（WFI 命令が実行されたときから CPU スリープモードへの遷移が完了するまでの遷移を含む）
解除方法	すべての割り込み このモードで利用可能なすべてのリセット	表 10.4 に示す割り込み このモードで利用可能なすべてのリセット。
割り込みによる解除後の状態	プログラム実行状態	プログラム実行状態
リセットによる解除後の状態	リセット状態	リセット状態
CPU	停止（保持）	停止（保持）
DMA コントローラ (DMAC)	選択可能	選択可能
データトランスファコントローラ (DTC)	選択可能	選択可能

表 10.2 プロセッサ低消費電力モードの動作状態 (2/2)

項目	CPU スリープモード	CPU ディープスリープモード
ウォッチドッグタイマ (WDT)	選択可能(注1)	選択可能(注1)
独立ウォッチドッグタイマ (IWDT)	選択可能(注1)	選択可能(注1)
ARM デバッグ機能	停止(注2)	停止(注2)
トレース機能	停止(注3)	停止(注3)
その他の周辺モジュール	—	—

注. 「選択可能」とは、プロセッサ低消費電力モードへの遷移前に動作／停止がコントロールレジスタの設定によって選択できることを意味します。
「停止（保持）」とは、内部レジスタの内容は保持されるが、動作は中断されることを意味します。
「停止（不定）」とは、内部レジスタの内容が不定で、内部回路への通電が遮断されることを意味します。
「—」は動作に影響がないことを意味します。

注 1. IWDT の場合、IWDT オートスタートモード時、オプション機能選択レジスタ 0 の IWDT 停止制御ビット (OFS0.IWDTSTPCTL) の設定により、動作／停止を選択することができます。
WDT の場合、WDT オートスタートモード時、オプション機能選択レジスタ 0 の WDT 停止制御ビット (OFS0.WDTSTPCTL) の設定により、動作／停止を選択することができます。また、WDT レジスタスタートモード時、WDT.WDTCSTPR.SLCSTP ビットの設定により動作／停止を選択することができます。

注 2. このモードに遷移する前にデバッガが接続中（DBGSTR.CDBGPWRUPREQ = 1 かつ SYOCDCR.DBGEN = 1）の場合、この機能は動作中です。

注 3. このモードに遷移する前にデバッガが接続中（DBGSTR.CDBGPWRUPREQ = 1 かつ SYOCDCR.DBGEN = 1）で、かつ TRCKCR.TRCKEN = 1 の場合、この機能は動作中です。

注 4. 有効な割り込み要求は、現在の例外の優先レベルおよび BASEPRI によって設定された優先レベルによりマスクされていない、任意の割り込み／例外です。さらに、割り込み要求が IELSRn に基づいている場合、その割り込みは NVIC_ISERn により許可されなければなりません。

表 10.3 各低消費電力モードの動作状態 (1/3)

項目	ソフトウェアスタンバイモード (SSTBY)	ディープソフトウェアスタンバイモード (DSTBY)		
	SSTBY	DSTBY1	DSTBY2	DSTBY3
遷移条件	CPU.SCR.SLEEPDEEP = 1 かつ LPSCR.LPMD が 0x4 の状態で［条件 1］または［条件 2］の場合 ［条件 1］ ● WFI 命令 ● 有効な割り込み要求(注20)が CPU で受け付けられない（WFI 命令の実行時から CPU ディープスリープモードへの遷移が完了するまでの遷移を含む） ［条件 2］ ● CPU.SCR.SLEEPONEXIT = 1 ● すべての例外ハンドラの実行を完了 ● 有効な割り込み要求(注20)が CPU で受け付けられない（WFI 命令の実行時から CPU ディープスリープモードへの遷移が完了するまでの遷移を含む）	CPU.SCR.SLEEPDEEP = 1 かつ LPSCR.LPMD が 0x8、0x9、または 0xA のいずれかで［条件 1］または［条件 2］の場合 ［条件 1］ ● WFI 命令 ● 有効な割り込み要求(注20)が CPU で受け付けられない（WFI 命令が実行されたときから CPU スリープモードへの遷移が完了するまでの遷移を含む） ［条件 2］ ● CPU.SCR.SLEEPONEXIT = 1 ● すべての例外ハンドラの実行を完了 ● 有効な割り込み要求(注20)が CPU で受け付けられない（WFI 命令が実行されたときから CPU スリープモードへの遷移が完了するまでの遷移を含む）		
解除方法	表 10.4 に示す割り込み このモードで利用可能なすべてのリセット	表 10.4 に示す割り込み このモードで利用可能なすべてのリセット		
割り込みによる解除後の状態	プログラム実行状態	リセット状態		
リセットによる解除後の状態	リセット状態	リセット状態		
メインクロック発振器	選択可能(注9)	停止		
サブクロック発振器	選択可能	選択可能		
高速オンチップオシレータ	選択可能(注10)	停止		
中速オンチップオシレータ	停止(注18)	停止		
低速オンチップオシレータ	選択可能(注2)	選択可能(注2)	停止	
PLL1	停止	停止		
PLL2	停止	停止		
発振停止検出機能	選択可能(注11)	停止		
クロック／ブザー出力機能	選択可能(注3)	停止（不定）		

表 10.3 各低消費電力モードの動作状態 (2/3)

項目	ソフトウェアスタンバイモード (SSTBY)	ディープソフトウェアスタンバイモード (DSTBY)		
	SSTBY	DSTBY1	DSTBY2	DSTBY3
CPU	停止（保持）	停止（不定）		
TCM (SRAM)	停止（保持）(注14)	停止（不定）		
ユーザー SRAM	停止（保持）(注12)	停止（不定）		
スタンバイ SRAM	停止（保持）(注13)	停止（保持）(注13)	停止（不定）	
バックアップレジスタ	停止（保持）	停止（保持）		
フラッシュメモリ	停止（保持）	停止（保持）		
メモリプロテクションユニット (MPU)	停止（保持）	停止（不定）		
DMA コントローラ (DMAC)	停止（保持）	停止（不定）		
データトランスファコントローラ (DTC)	停止（保持）	停止（不定）		
ウォッチドッグタイマ (WDT)	停止（保持）	停止（不定）		
独立ウォッチドッグタイマ (IWDT)	選択可能(注1)	選択可能(注1)	停止（不定）	
ARM デバッグ機能	停止(注15)	停止(注15)		
トレース機能	停止(注16)	停止(注16)		
クロック周波数精度測定回路 (CAC)	停止（不定）	停止（不定）		
イーサネット MAC コントローラ (ETHERC)	停止（不定）	停止（不定）		
イーサネット DMA コントローラ (EDMAC)	停止（不定）	停止（不定）		
USB 2.0 フルスピードモジュール (USBFS)	停止（保持） USB レジューム検出は可能	停止（保持） USB レジューム検出は可能	停止（不定）	
リアルタイムクロック (RTC)	選択可能	選択可能	選択可能(注4)	
CAN-FD	停止（不定）	停止（不定）		
CANFD ECC (CNECC)	停止（不定）	停止（不定）		
シリアルペリフェラルインタフェース (SPI0)	停止（保持）	停止（不定）		
シリアルペリフェラルインタフェース (SPI1)	停止（不定）	停止（不定）		
オクタシリアルペリフェラルインタフェース (OSPI)	停止（保持）	停止（不定）		
拡張シリアルサウンドインタフェース (SSIE0)	停止（保持）	停止（不定）		
拡張シリアルサウンドインタフェース (SSIE1)	停止（不定）	停止（不定）		
巡回冗長検査 (CRC) 演算器	停止（不定）	停止（不定）		
GPT 用のポートアウトプットイネーブル (POEG)	停止（不定）	停止（不定）		
汎用 PWM タイマ (GPT)	停止（不定）	停止（不定）		
超低消費電力タイマ (ULPTn, n = 0, 1)	選択可能	選択可能	停止（不定）	
低消費電力非同期汎用タイマ (AGTn, n = 0, 1)	選択可能(注5)	停止（不定）		
12 ビット A/D コンバータ (ADC12)	停止（不定）	停止（不定）		
12 ビット D/A コンバータ (DAC12)	停止（保持）	停止（不定）		
データ演算回路 (DOC)	停止（不定）	停止（不定）		

表 10.3 各低消費電力モードの動作状態 (3/3)

項目	ソフトウェアスタンバイモード (SSTBY)	ディープソフトウェアスタンバイモード (DSTBY)		
	SSTBY	DSTBY1	DSTBY2	DSTBY3
シリアルコミュニケーションインタフェース (SCI0)	停止（保持）	停止（不定）		
シリアルコミュニケーションインタフェース (SCIn, n = 1～4, 9)	停止（不定）	停止（不定）		
I2C バスインタフェース (IIC0)	選択可能(注6)	停止（不定）		
I2C バスインタフェース (IIC1)	停止（不定）	停止（不定）		
イベントリンクコントローラ (ELC)	停止（不定）	停止（不定）		
Renesas セキュア IP (RSIP-E51A)	停止（保持）	停止（不定）		
キャプチャエンジンユニット (CEU)	停止（不定）	停止（不定）		
温度センサ (TSN)	停止（不定）	停止（不定）		
高速アナログコンパレータ 0 (ACMPHS0)	選択可能	停止（不定）		
高速アナログコンパレータ 1 (ACMPHS1)	選択可能(注19)	停止（不定）		
IRQn (n = 0～15) 端子割り込み	選択可能	停止（不定）		
NMI、IRQn-DS (n = 0～15) 端子割り込み	選択可能	選択可能		
プログラマブル電圧検出 (PVD)	選択可能	選択可能(注17)	選択可能(注17)	停止（不定）(注7)
VBATT_R 電圧降下検出	選択可能	選択可能	選択可能	停止（不定）
パワーオンリセット回路	動作	動作	動作	動作(注8)
I/O ポート	保持	保持		

注. 「選択可能」とは、低消費電力モードへの遷移前に動作／停止がコントロールレジスタの設定によって選択できることを意味します。
「停止（保持）」とは、内部レジスタの内容は保持されるが、動作は中断されることを意味します。
「停止（不定）」とは、内部レジスタの内容が不定で、内部回路への通電が遮断されることを意味します。各低消費電力モードの解除前に、内部レジスタが初期化されます。

注 1. IWDT の場合、IWDT オートスタートモード時、オプション機能選択レジスタ 0 の IWDT 停止制御ビット (OFS0.IWDTSTPCTL) の設定により、動作／停止を選択することができます。また、IWDT レジスタスタートモード時、IWDT.IWDTCSTPR.SLCSTP ビットの設定により動作／停止を選択することができます。

注 2. IWDT を使用せず、LOCOCR.LCSTP = 0 の場合、LOCO はソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード 1 では停止しません。
IWDT を使用し、IWDT 停止制御ビットが 0（OFS.IWDTSTPCTL = 0 または IWDT.IWDTCSTPR.SLCSTP = 0）の場合、LOCOCR.LCSTP の値にかかわらず、LOCO はソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード 1 では停止しません。
IWDT を使用し、IWDT 停止制御ビットが 1（OFS.IWDTSTPCTL = 1 または IWDT.IWDTCSTPR.SLCSTP = 1）の場合、LOCOCR.LCSTP = 0 の状態では、LOCO はソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード 1 では停止しません。
その他の場合、LOCO はソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード 1 で停止します。

注 3. クロックアウトプットソース選択ビット (CKOCR.CKOSEL[2:0]) が 010b (LOCO) および 100b (SOSC) 以外の値に設定されている場合は停止します。

注 4. サブクロック発振器のみが、RTC のカウントソースクロックとして選択可能です。RCR4.RCKSEL ビットが 1 (LOCO) になっている場合、ディープソフトウェアスタンバイモードへ遷移する前に LPSCR をディープソフトウェアスタンバイモード 1 にする必要があります。

注 5. AGT0.AGTMR1.TCK[2:0]ビットで 100b (AGTLCLK) または 110b (AGTSCLK) が選択されている場合、AGT0 は動作可能です。
AGT1.AGTMR1.TCK[2:0]ビットで 100b (AGTLCLK)、110b (AGTSCLK)、または 101b（AGT0 からのアンダーフローイベント信号）が選択されている場合、AGT1 は動作可能です。

注 6. IIC0 ウェイクアップ機能のみが利用可能です。

注 7. ディープソフトウェアスタンバイモードで PVD を使用する場合、ディープソフトウェアスタンバイモードへ遷移する前に LPSCR を DSTBY1 または DSTBY2 にする必要があります。

注 8. MCU がディープソフトウェアスタンバイモード 3 へ遷移した場合、PVD 回路は停止し、パワーオンリセット回路の低消費電力機能が有効になります。

注 9. MOSC の発振中に MOSCSCR.MOSCSOKP = 1 となった場合、MOSC はソフトウェアスタンバイモードで発振を継続します。

注 10. HOCO の発振中に HOCOSCR.HOCOSOKP = 1 となった場合、HOCO はソフトウェアスタンバイモードで発振を継続します。

注 11. 本機能は MOSCSCR.MOSCSOKP ビットの設定値に従います。

注 12. PDRAMSCR0.RKEEPn ビットを 0 にすると、対象ユーザー SRAM の内容は保持されません。

注 13. DPSBYCR.SRKEEP ビットを 0 にすると、スタンバイ RAM の内容は保持されません。

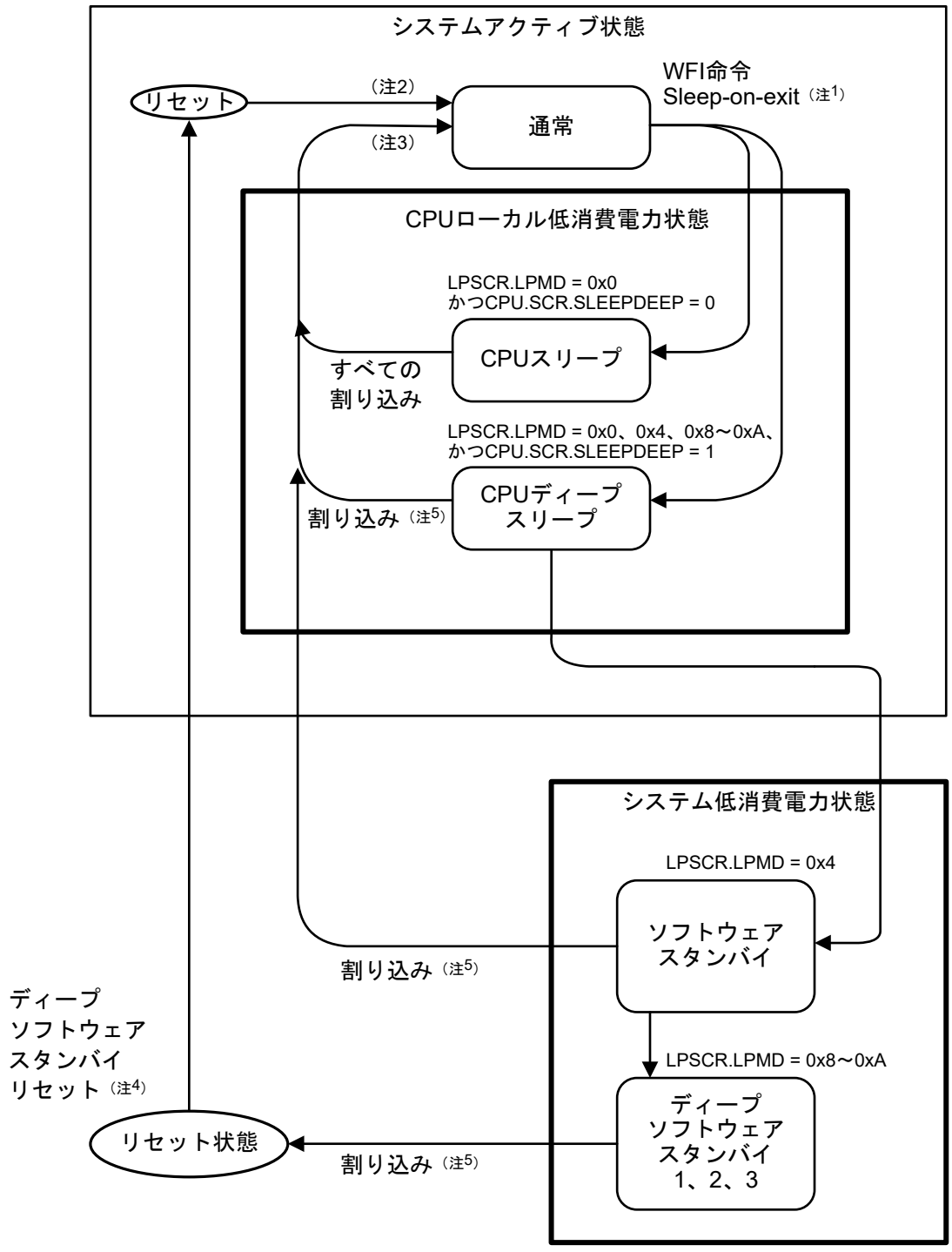
注 14. PDRAMSCR1.RKEEPn ビットを 0 にすると、対象 TCM の内容は保持されません。

注 15. このモードに遷移する前にデバッガが接続中の場合、この機能は動作中です。

注 16. このモードに遷移する前にデバッガが接続中、かつ TRCKCR.TRCKEN = 1 の場合、この機能は動作中です。
注 17. OFS1(_SEC).PVDAS = 0 かつ OFS1(_SEC).PVDLPSEL = 0 の場合、PVD0 の低消費電力機能は DSTBY1 および DSTBY2 中は有効です。OFS1(_SEC).PVDAS = 0 かつ OFS1(_SEC).PVDLPSEL = 1 の場合、PVD0 の低消費電力機能は DSTBY1 および DSTBY2 中は無効です。「52. 電気的特性」を参照してください。
注 18. オンチップデバッガ機能が有効の場合、MOCO はこのモードでは停止しません。
注 19. VCOUT 機能のみが許可されます。ACMPHS がデジタルフィルタを使用していない場合に、VCOUT 端子は動作します。デジタルフィルタの詳細については、「45. 高速アナログコンパレータ (ACMPHS)」を参照してください。
注 20. 有効な割り込み要求は、現在の例外の優先レベルおよび BASEPRI によって設定された優先レベルによりマスクされていない、任意の割り込み／例外です。さらに、割り込み要求が IELSRn に基づいている場合、その割り込みは NVIC_ISERn により許可されなければなりません。

表 10.4 CPU ディープスリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードを解除するための割り込み要因

割り込み要因	名称	CPU ディープスリープモード	ソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード		
				DSTBY1	DSTBY2	DSTBY3
NMI		可能	可能	可能	可能	可能
ポート	PORT_IRQn (n = 0～15)	可能	可能	不可能	不可能	不可能
	PORT_IRQn-DS (n = 0～15)	可能	可能	可能	可能	可能
PVD	PVD_PVDm (m = 1, 2)	可能	可能	可能	可能	不可能
IWDT	IWDT_NMIUNDF	可能	可能	可能	不可能	不可能
USBFS	USBFS_USBR	可能	可能	可能	不可能	不可能
RTC	RTC_ALM	可能	可能	可能	可能	可能
	RTC_PRD	可能	可能	可能	可能	可能
ULPT0	ULPT0_ULPTI	可能	可能	可能	不可能	不可能
	ULPT0_ULPTCMAI	可能	可能	不可能	不可能	不可能
	ULPT0_ULPTCMBI	可能	可能	不可能	不可能	不可能
ULPT1	ULPT1_ULPTI	可能	可能	可能	不可能	不可能
	ULPT1_ULPTCMAI	可能	可能	不可能	不可能	不可能
	ULPT1_ULPTCMBI	可能	可能	不可能	不可能	不可能
AGT1	AGT1_AGTI	可能	可能	不可能	不可能	不可能
	AGT1_AGTCMAI	可能	可能	不可能	不可能	不可能
	AGT1_AGTCMBI	可能	可能	不可能	不可能	不可能
ACMPHS0	ACMP_HS0	可能	可能	不可能	不可能	不可能
IIC0	IIC0_WUI	可能	可能	不可能	不可能	不可能
BBF（バッテリバックアップ機能）	VBATT_TADI	可能	可能	可能	可能	可能



注 1. CPU スリープモード状態または CPU ディープスリープモード状態への遷移中に、CPU スリープモード状態の解除トリガとして機能する割り込みを受信すると、MCU は CPU スリープモード状態または CPU ディープスリープモード状態へ遷移せずに、通常モード状態へ戻ります。
注 2. リセット状態から通常モードへ遷移した後は、MOCO クロックが動作クロックソースです。
注 3. 割り込みによって CPU スリープモード、CPU ディープスリープモード、またはソフトウェアスタンバイモードから通常モードに遷移した場合、各低消費電力モードへの遷移前と同じクロックソースが使用されます。
注 4. 利用可能な割り込み要求が発生すると、内部リセット（ディープソフトウェアスタンバイリセット）が一定時間発生します。内部リセット状態の解除とともにディープソフトウェアスタンバイモードは解除されます。その後、MCU は通常モードへ遷移して、MOCO クロックを動作クロックソースとしてリセット例外処理を実行します。
注 5. 各低消費電力モードの割り込み要因については、表 10.4 を参照してください。

図 10.1 モード遷移

10.2 レジスタの説明

10.2.1 LPMSAR : 低消費電力モードセキュリティ属性レジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x3C8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	NONSEC21	—	NONSEC19	NONSEC18	NONSEC17	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	NONSEC8	—	—	—	—	—	NONSEC2	NONSEC1	NONSEC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	NONSEC0	非セキュア属性ビット 0 対象レジスタ: OPCCR 0: セキュア 1: 非セキュア	R/W
1	NONSEC1	非セキュア属性ビット 1 対象レジスタ: LPSCR、DPSWCR 0: セキュア 1: 非セキュア	R/W
2	NONSEC2	非セキュア属性ビット 2 対象レジスタ: SBYCR、SSCR1 0: セキュア 1: 非セキュア	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	NONSEC8	非セキュア属性ビット 8 対象レジスタ: DPSBYCR 0: セキュア 1: 非セキュア	R/W
16:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17	NONSEC17	非セキュア属性ビット 17 対象レジスタ: HOCOLDOCR 0: セキュア 1: 非セキュア	R/W
18	NONSEC18	非セキュア属性ビット 18 対象レジスタ: PLL1LDOCR 0: セキュア 1: 非セキュア	R/W
19	NONSEC19	非セキュア属性ビット 19 対象レジスタ: PLL2LDOCR 0: セキュア 1: 非セキュア	R/W
20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
21	NONSEC21	非セキュア属性ビット 21 対象レジスタ: LVOCR 0: セキュア 1: 非セキュア	R/W
31:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1、P-TYPE-1
注. PRCR.PRC4 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

LPMSAR レジスタは、低消費電力モードレジスタのセキュリティ属性を制御します。

NONSEC0 ビット（非セキュア属性ビット 0）

OPCCR レジスタのセキュリティ属性を制御します。

NONSEC1 ビット（非セキュア属性ビット 1）

LPSCR レジスタ、DPSECR レジスタのセキュリティ属性を制御します。

NONSEC2 ビット（非セキュア属性ビット 2）

SBYCR レジスタ、SSCR11 レジスタのセキュリティ属性を制御します。

NONSEC8 ビット（非セキュア属性ビット 8）

DPSBYCR レジスタのセキュリティ属性を制御します。

NONSEC17 ビット（非セキュア属性ビット 17）

HOCOLDOCR レジスタのセキュリティ属性を制御します。

NONSEC18 ビット（非セキュア属性ビット 18）

PLL1LDOCR レジスタのセキュリティ属性を制御します。

NONSEC19 ビット（非セキュア属性ビット 19）

PLL2LDOCR レジスタのセキュリティ属性を制御します。

NONSEC21 ビット（非セキュア属性ビット 21）

LVOCR レジスタのセキュリティ属性を制御します。

10.2.2 DPFSAR : ディープソフトウェアスタンバイ割り込み要因セキュリティ属性レジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x3E0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DPFSA31	—	DPFSA29	—	DPFSA27	DPFSA26	—	DPFSA24	—	—	—	DPFSA20	DPFSA19	DPFSA18	DPFSA17	DPFSA16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DPFSA15	DPFSA14	DPFSA13	DPFSA12	DPFSA11	DPFSA10	DPFSA9	DPFSA8	DPFSA7	DPFSA6	DPFSA5	DPFSA4	DPFSA3	DPFSA2	DPFSA1	DPFSA0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	DPFSA7～0DPFSA	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット n (n = 0～7) 対象レジスタ: DPSIER0.bn, DPSIFR0.bn, DPSIEGR0.bn (n = 0～7) 対象要因: IRQn-DS 端子 (n = 0～7) 0: セキュア 1: 非セキュア	R/W
15:8	DPFSA15～DPFSA8	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット n (n = 8～15) 対象レジスタ：DPSIER1.bn, DPSIFR1.bn, DPSIEGR1.bn (n = 0～7) 対象要因: IRQn-DS 端子 (n = 8～15) 0: セキュア 1: 非セキュア	R/W
16	DPFSA16	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 16 対象レジスタ: DPSIER2.b0, DPSIFR2.b0, DPSIEGR2.b0 対象要因: PVD1 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
17	DPFSA17	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 17 対象レジスタ: DPSIER2.b1, DPSIFR2.b1, DPSIEGR2.b1 対象要因: PVD2 0: セキュア 1: 非セキュア	R/W
18	DPFSA18	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 18 対象レジスタ: DPSIER2.b2、DPSIFR2.b2 対象要因: RTC 周期 0: セキュア 1: 非セキュア	R/W
19	DPFSA19	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 19 対象レジスタ: DPSIER2.b3、DPSIFR2.b3 対象要因: RTC アラーム 0: セキュア 1: 非セキュア	R/W
20	DPFSA20	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 20 対象レジスタ: DPSIER2.b4, DPSIFR2.b4, DPSIEGR2.b4 対象要因: NMI 端子 0: セキュア 1: 非セキュア	R/W
23:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	DPFSA24	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 24 対象レジスタ: DPSIER3.b0、DPSIFR3.b0 対象要因: USBFS サスペンド／レジューム 0: セキュア 1: 非セキュア	R/W
25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26	DPFSA26	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 26 対象レジスタ: DPSIER3.b2、DPSIFR3.b2 対象要因: ULPT0 0: セキュア 1: 非セキュア	R/W
27	DPFSA27	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 27 対象レジスタ: DPSIER3.b3、DPSIFR3.b3 対象要因: ULPT1 0: セキュア 1: 非セキュア	R/W
28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29	DPFSA29	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 29 対象レジスタ: DPSIER3.b5、DPSIFR3.b5 対象要因: IWDT アンダーフロー 0: セキュア 1: 非セキュア	R/W
30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	DPFSA31	ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 31 対象レジスタ: DPSIER3.b7、DPSIFR3.b7 対象要因: 改ざん検出 0: セキュア 1: 非セキュア	R/W

注. S-TYPE-1、P-TYPE-1
注. PRCR.PRC4 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

DPFSAR レジスタは、ディープソフトウェアスタンバイ割り込み要因コントロールレジスタのセキュリティ属性を制御します。

DPFSA ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット n (n = 0～7)）

DPSIER0.bn, DPSIFR0.bn, DPSIEGR0.bn (n = 0～7) の各レジスタのセキュリティ属性を制御します。

対象要因は、IRQn-DS 端子 (n = 0～7) です。

DPFSA ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット n (n = 8～15)）

DPSIER1.bn, DPSIFR1.bn, DPSIEGR1.bn (n = 0～7) の各レジスタのセキュリティ属性を制御します。

対象要因は、IRQn-DS 端子 (n = 8～15) です。

DPFSA16 ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 16）

DPSIER2.b0, DPSIFR2.b0, DPSIEGR2.b0 の各レジスタのセキュリティ属性を制御します。

対象要因は、PVD1 です。

DPFSA17 ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 17）

DPSIER2.b1, DPSIFR2.b1, DPSIEGR2.b1 の各レジスタのセキュリティ属性を制御します。

対象要因は、PVD2 です。

DPFSA18 ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 18）

DPSIER2.b2、DPSIFR2.b2 の各レジスタのセキュリティ属性を制御します。

対象要因は、RTC 周期です。

DPFSA19 ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 19）

DPSIER2.b3、DPSIFR2.b3 の各レジスタのセキュリティ属性を制御します。

対象要因は、RTC アラームです。

DPFSA20 ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 20）

DPSIER2.b4, DPSIFR2.b4, DPSIEGR2.b4 の各レジスタのセキュリティ属性を制御します。

対象要因は、NMI 端子です。

DPFSA24 ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 24）

DPSIER3.b0、DPSIFR3.b0 の各レジスタのセキュリティ属性を制御します。

対象要因は、USBFS サスペンド／レジュームです。

DPFSA26 ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 26）

DPSIER3.b2、DPSIFR3.b2 の各レジスタのセキュリティ属性を制御します。

対象要因は、ULPT0 です。

DPFSA27 ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 27）

DPSIER3.b3、DPSIFR3.b3 の各レジスタのセキュリティ属性を制御します。

対象要因は、ULPT1 です。

DPFSA29 ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 29）

DPSIER3.b5、DPSIFR3.b5 の各レジスタのセキュリティ属性を制御します。

対象要因は、IWDT アンダーフローです。

DPFSA31 ビット（ディープソフトウェアスタンバイ割り込み要因セキュリティ属性ビット 31）

DPSIER3.b7、DPSIFR3.b7 の各レジスタのセキュリティ属性を制御します。

対象要因は、改ざん検出です。

10.2.3 RSCSAR : RAM スタンバイコントロールセキュリティ属性レジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x3E4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RSCSA16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	RSCSA6	RSCSA5	RSCSA4	RSCSA3	RSCSA2	RSCSA1	RSCSA0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	RSCSA2～RSCSA0	不要回路コントロールセキュリティ属性ビット n (n = 0～2) 対象レジスタ：PDRAMSCR0.bn (n = 0～2) 0: セキュア 1: 非セキュア	R/W
6:3	RSCSA6～RSCSA3	RAM スタンバイコントロールセキュリティ属性ビット n (n = 3～6) 対象レジスタ：PDRAMSCR0.bn (n = 3～6) 0: セキュア 1: 非セキュア	R/W
15:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	RSCSA16	RAM スタンバイコントールセキュリティ属性ビット n (n = 16) 対象レジスタ：PDRAMSCR1.bn (n = 0) 0: セキュア 1: 非セキュア	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1、P-TYPE-1
注. PRCR.PRC4 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

RSCSAR レジスタは RAM スタンバイコントロールレジスタのセキュリティ属性を制御します。

RSCSAn (n = 0～2) ビット（不要回路コントロールセキュリティ属性ビット n）

PDRAMSCR0.bn (n = 0～2) のセキュリティ属性を制御します。

RSCSAn (n = 3～6) ビット（RAM スタンバイコントロールセキュリティ属性ビット n）

PDRAMSCR0.bn (n = 3～6) のセキュリティ属性を制御します。

RSCSAn (n = 16) ビット（RAM スタンバイコントールセキュリティ属性ビット n）

PDRAMSCR1.bn (n = 0) のセキュリティ属性を制御します。

10.2.4 MSTPCRA : モジュールストップコントロールレジスタ A

Base address: MSTP = 0x4020_3000
MSTP_NS = 0x5020_3000

Offset address: 0x000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	MSTPA22	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MSTPA15	—	—	—	—	—	—	—	—	—	—	—	—	—	MSTPA1	MSTPA0
Value after reset:	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0

ビット	シンボル	機能	R/W
0	MSTPA0	不要回路モジュールストップ設定(注2)(注3) 対象モジュール：不要回路 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
1	MSTPA1	SRAM1 モジュールストップ設定(注2) 対象モジュール：SRAM1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
14:2	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
15	MSTPA15	スタンバイ SRAM モジュールストップ設定 対象モジュール：スタンバイ SRAM 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
21:16	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
22	MSTPA22	DMA コントローラおよびデータトランスファコントローラモジュールストップ設定(注1) 対象モジュール：DMAC、DTC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31:23	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. S-TYPE-4、P-TYPE-2
注 1. MSTPA22 ビットを 0 から 1 に書き換えるときは、あらかじめ DMAC および DTC を無効にしておいてください。
注 2. このビットの値を変更した場合、必ずビット値を読み出して、値が更新されたことを確認してから、次の命令を実行してください。
注 3. このビットの初期値は 0 です。このビットを 1 にすると消費電力を低減できます。

10.2.5 MSTPCRB : モジュールストップコントロールレジスタ B

Base address: MSTP = 0x4020_3000
MSTP_NS = 0x5020_3000

Offset address: 0x004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MSTPB31	MSTPB30	MSTPB29	MSTPB28	MSTPB27	—	—	—	—	MSTPB22	—	—	MSTPB19	MSTPB18	—	MSTPB16
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MSTPB15	—	—	—	MSTPB11	—	MSTPB9	MSTPB8	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
8	MSTPB8	I2C バスインタフェース 1 モジュールストップ設定 対象モジュール： IIC1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
9	MSTPB9	I2C バスインタフェース 0 モジュールストップ設定 対象モジュール： IIC0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
10	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
11	MSTPB11	ユニバーサルシリアルバス 2.0 FS インタフェースモジュールストップ設定(注1) 対象モジュール：USBFS 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
14:12	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
15	MSTPB15	ETHERC0 および EDMAC0 コントローラモジュールストップ設定 対象モジュール: ETHERC0 および EDMAC0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
16	MSTPB16	オクタシリアルペリフェラルインタフェースモジュールストップ設定(注2) 対象モジュール: OSPI 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
17	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
18	MSTPB18	シリアルペリフェラルインタフェース 1 モジュールストップ設定(注3) 対象モジュール: SPI1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
19	MSTPB19	シリアルペリフェラルインタフェース 0 モジュールストップ設定(注3) 対象モジュール：SPI0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
21:20	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
22	MSTPB22	シリアルコミュニケーションインタフェース 9 モジュールストップ設定(注4) 対象モジュール：SCI9 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
26:23	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
27	MSTPB27	シリアルコミュニケーションインタフェース 4 モジュールストップ設定(注4) 対象モジュール: SCI4 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
28	MSTPB28	シリアルコミュニケーションインタフェース 3 モジュールストップ設定(注4) 対象モジュール: SCI3 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
29	MSTPB29	シリアルコミュニケーションインタフェース 2 モジュールストップ設定(注4) 対象モジュール: SCI2 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
30	MSTPB30	シリアルコミュニケーションインタフェース 1 モジュールストップ設定(注4) 対象モジュール：SCI1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

ビット	シンボル	機能	R/W
31	MSTPB31	シリアルコミュニケーションインタフェース 0 モジュールストップ設定(注4) 対象モジュール：SCI0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

注. S-TYPE-4, P-TYPE-4
注 1. MSTPBi ビットは、USB クロック (USBCLK) が安定してから書き込む必要があります。ソフトウェアスタンバイモードに遷移するには、MSTPBi (i = 11, 12) が変化した後に USBCLK クロックが 2 サイクル以上経過してから WFI 命令を実行する必要があります。
注 2. MSTPB16 ビットは、Octal-SPI クロック (OCTACLK) が安定してから書き込む必要があります。ソフトウェアスタンバイモードに遷移するには、MSTPB16 が変化した後に OCTACLK クロックが 2 サイクル以上経過してから WFI 命令を実行する必要があります。このビットの値を変更した場合、必ずビット値を読み出して、値が更新されたことを確認してから、次の命令を実行してください。
注 3. MSTPBi ビットは、SPI クロック (SPICLK) が安定してから書き込む必要があります。ソフトウェアスタンバイモードに遷移するには、MSTPBi (i = 18, 19) が変化した後に SPICLK クロックが 2 サイクル以上経過してから WFI 命令を実行する必要があります。
注 4. MSTPBi ビットは、SCI クロック (SCICLK) が安定してから書き込む必要があります。ソフトウェアスタンバイモードに遷移するには、MSTPBi (i = 22, 27～31) が変化した後に SCICLK クロックが 2 サイクル以上経過してから WFI 命令を実行する必要があります。

10.2.6 MSTPCRC : モジュールストップコントロールレジスタ C

Base address: MSTP = 0x4020_3000
MSTP_NS = 0x5020_3000

Offset address: 0x008

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MSTPC31	—	—	—	MSTPC27	MSTPC26	—	—	—	—	—	—	—	—	—	MSTPC16
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	MSTPC14	MSTPC13	—	—	—	—	MSTPC8	MSTPC7	—	—	—	—	—	MSTPC1	MSTPC0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	MSTPC0	クロック周波数精度測定回路モジュールストップ設定(注1) 対象モジュール：CAC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
1	MSTPC1	巡回冗長検査演算器モジュールストップ設定 対象モジュール: CRC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
6:2	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
7	MSTPC7	シリアルサウンドインタフェース拡張 1 モジュールストップ設定 対象モジュール: SSIE1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
8	MSTPC8	シリアルサウンドインタフェース拡張 0 モジュールストップ設定 対象モジュール: SSIE0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
12:9	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
13	MSTPC13	データ演算回路モジュールストップ設定 対象モジュール: DOC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
14	MSTPC14	イベントリンクコントローラモジュールストップ設定 対象モジュール: ELC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

ビット	シンボル	機能	R/W
15	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
16	MSTPC16	キャプチャエンジンユニットモジュールストップ設定 対象モジュール: CEU 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
25:17	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
26	MSTPC26	Controller Area Network with Flexible Data-Rate 1 モジュールストップ設定(注2) 対象モジュール: CANFD1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
27	MSTPC27	Controller Area Network with Flexible Data-Rate 0 モジュールストップ設定(注2) 対象モジュール: CANFD0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
30:28	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
31	MSTPC31	Renesas セキュア IP モジュールストップ設定 対象モジュール: RSIP-E51A 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

注. S-TYPE-4, P-TYPE-4
注 1. MSTPC0 ビットは、CAC クロック (CACMCLK/CACSCLK/CACLCLK/CACMOCLK/CACHCLK) が安定してから書き込む必要があります。ソフトウェアスタンバイモードに遷移するには、MSTPC0 が変化した後に CACMCLK/CACSCLK/CACLCLK/CACMOCLK/CACHCLK クロックが 2 サイクル以上経過してから WFI 命令を実行する必要があります。
注 2. MSTPCi ビットは、CANFD クロック (CANFDCLK) が安定してから書き込む必要があります。ソフトウェアスタンバイモードに遷移するには、MSTPCi (i = 26～27) が変化した後に CANFDCLK クロックが 2 サイクル以上経過してから WFI 命令を実行する必要があります。

10.2.7 MSTPCRD : モジュールストップコントロールレジスタ D

Base address: MSTP = 0x4020_3000
MSTP_NS = 0x5020_3000

Offset address: 0x00C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	MSTPD28	MSTPD27	—	—	—	—	MSTPD22	—	MSTPD20	—	—	—	MSTPD16
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MSTPD15	MSTPD14	MSTPD13	MSTPD12	MSTPD11	—	—	—	—	—	MSTPD5	MSTPD4	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
3:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
4	MSTPD4	低消費電力非同期汎用タイマ 1 モジュールストップ設定(注1) 対象モジュール: AGT1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
5	MSTPD5	低消費電力非同期汎用タイマ 0 モジュールストップ設定(注1) 対象モジュール: AGT0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
10:6	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

ビット	シンボル	機能	R/W
11	MSTPD11	GPT 用ポートアウトプットイネーブルグループ D モジュールストップ設定 対象モジュール: POEG グループ D 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
12	MSTPD12	GPT 用ポートアウトプットイネーブルグループ C モジュールストップ設定 対象モジュール: POEG グループ C 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
13	MSTPD13	GPT 用ポートアウトプットイネーブルグループ B モジュールストップ設定 対象モジュール: POEG グループ B 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
14	MSTPD14	GPT 用ポートアウトプットイネーブルグループ A モジュールストップ設定 対象モジュール: POEG グループ A 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
15	MSTPD15	12 ビット A/D コンバータ 1 モジュールストップ設定 対象モジュール: ADC12_1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
16	MSTPD16	12 ビット A/D コンバータ 0 モジュールストップ設定 対象モジュール: ADC12_0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
19:17	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
20	MSTPD20	12 ビット D/A コンバータモジュールストップ設定 対象モジュール: DAC12 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
21	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
22	MSTPD22	温度センサモジュールストップ設定 対象モジュール: TSN 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
26:23	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
27	MSTPD27	高速アナログコンパレータ 1 モジュールストップ設定 対象モジュール: ACMPHS1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
28	MSTPD28	高速アナログコンパレータ 0 モジュールストップ設定 対象モジュール: ACMPHS0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31:29	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. S-TYPE-4、P-TYPE-4
注 1. カウントソースがサブクロック発振器または LOCO の場合、MSTPDi ビットを 1 にしても、AGTn のカウントは停止しません。カウントソースがサブクロック発振器または LOCO の場合、AGTn レジスタにアクセスするときを除いて、このビットを 1 にする必要があります。(n = 0, 1) (i = 4, 5)

10.2.8 MSTPCRE : モジュールストップコントロールレジスタ E

Base address: MSTP = 0x4020_3000
MSTP_NS = 0x5020_3000

Offset address: 0x010

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MSTPE31	MSTPE30	MSTPE29	MSTPE28	MSTPE27	MSTPE26	—	—	—	—	MSTPE21	MSTPE20	MSTPE19	MSTPE18	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MSTPE9	MSTPE8	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
8	MSTPE8	超低消費電力タイマ 1 モジュールストップ設定(注1) 対象モジュール: ULPT1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
9	MSTPE9	超低消費電力タイマ 0 モジュールストップ設定(注1) 対象モジュール: ULPT0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
17:10	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
18	MSTPE18	汎用 PWM タイマ 13 モジュール(注2) 対象モジュール: GPT13 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
19	MSTPE19	汎用 PWM タイマ 12 モジュール(注2) 対象モジュール: GPT12 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
20	MSTPE20	汎用 PWM タイマ 11 モジュール(注2) 対象モジュール: GPT11 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
21	MSTPE21	汎用 PWM タイマ 10 モジュール(注2) 対象モジュール: GPT10 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
25:22	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
26	MSTPE26	汎用 PWM タイマ 5 モジュール(注2) 対象モジュール: GPT5 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
27	MSTPE27	汎用 PWM タイマ 4 モジュール(注2) 対象モジュール: GPT4 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
28	MSTPE28	汎用 PWM タイマ 3 モジュール(注2) 対象モジュール: GPT3 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

ビット	シンボル	機能	R/W
29	MSTPE29	汎用 PWM タイマ 2 モジュール(注2) 対象モジュール: GPT2 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
30	MSTPE30	汎用 PWM タイマ 1 モジュール(注2) 対象モジュール: GPT1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31	MSTPE31	汎用 PWM タイマ 0 モジュール(注2) 対象モジュール: GPT0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

注. S-TYPE-4, P-TYPE-4
注 1. カウントソースがサブクロック発振器または LOCO の場合、MSTPEi ビットを 1 にしても、ULPTn のカウントは停止しません。カウントソースがサブクロック発振器または LOCO の場合、ULPTn レジスタにアクセスするときを除いて、このビットを 1 にする必要があります。(n = 1, 0) (i = 8, 9)
注 2. MSTPEi ビットは、GPT クロック (GPTCLK) が安定してから書き込む必要があります。ソフトウェアスタンバイモードに遷移するには、MSTPEi (i = 18～21, 26～31) が変化した後に GPTCLK クロックが 2 サイクル以上経過してから WFI 命令を実行する必要があります。

10.2.9 OPCCR : 動作電力コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x0A0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	OPCMTSF	—	—	OPCM[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	OPCM[1:0]	動作電力制御モード選択 0 0: High-speed モード 0 1: 設定禁止 1 0: 設定禁止 1 1: Low-Speed モード	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	OPCMTSF	動作電力制御モード遷移状態フラグ 0: 遷移完了 1: 遷移中	R
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

OPCCR レジスタは、低い動作周波数を指定することによって、通常モードと低消費電力モード時の消費電力を低減させるためのレジスタです。動作電力制御モードの変更手順については、「10.5. 動作電力低減機能」を参照してください。

ソフトウェアスタンバイモードから通常モードへ遷移する場合は、ソフトウェアスタンバイモードへの遷移前の設定値にかかわらず、OPCCR.OPCM[1:0] ビットの設定値は以下のとおりです。

- OPCCR.OPCM[1:0] = 00b（High-speed モード）

ソフトウェアスタンバイモードへの遷移が完了する前に割り込みによってソフトウェアスタンバイモードが解除された場合、OPCCR.OPCM[1:0] ビットは、WFI 命令実行前の設定値を保持します。これによって問題が生じる場合は、ソフトウェアスタンバイモードを解除する際の例外処理手順において MCU を High-speed モードに設定してください。

OPCM[1:0]ビット（動作電力制御モード選択）

OPCM[1:0] ビットは、通常モードと低消費電力モード時の動作電力制御モードを選択します。表 10.5 は、各動作電力制御モードと、OPCM[1:0] ビットの設定値との関係を示しています。

OPCMTSF フラグ（動作電力制御モード遷移状態フラグ）

OPCMTSF フラグは、動作電力制御モード切り替え時の切り替え制御状態を表します。本フラグは、OPCM ビットが書き換えられると 1、モード遷移が完了すると 0 になります。本フラグを読み取って 0 であることを確認してから次の処理を行ってください。

表 10.5 動作電力制御モード

動作電力制御モード	OPCM[1:0] ビット	消費電力
High-speed モード	00b	High
Low-speed モード	11b	Low

動作周波数範囲と電圧範囲は電気的特性に示しています。

各動作電力制御モードについて以下に説明します。

- High-speed モード
  リセット解除後、MCU はこのモードで動作します。
- Low-speed モード
  Low-speed モードには下記の制限事項があります。
  - フラッシュメモリの P/E 動作は禁止です。
  - PLL1 および PLL2 は使用禁止です。「10.7.1. レジスタアクセス」を参照してください。
  - PLL1LDOCR、PLL2LDOCR、および HOCOLDOCR への書き込みは禁止です。

  このモードでは、同じ条件（動作周波数、動作電圧）で同じ動作をさせる場合、High-speed モードよりも消費電力を低減できます。

10.2.10 PDRAMSCR0 : SRAM 電源ドメインスタンバイコントロールレジスタ 0

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x140

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	RKEEP6	RKEEP5	RKEEP4	RKEEP3	RKEEP2	RKEEP1	RKEEP0
Value after reset:	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
2:0	RKEEP2～RKEEP0	不要な回路の保持(注1) 0: ソフトウェアスタンバイモードへの遷移時に不要な回路の内容を保持しない 1: ソフトウェアスタンバイモードへの遷移時に不要な回路の内容を保持する	R/W
6:3	RKEEP6～RKEEP3	RAM 保持 0: ソフトウェアスタンバイモードへの遷移時に対象 RAM の内容を保持しない 1: ソフトウェアスタンバイモードへの遷移時に対象 RAM の内容を保持する	R/W
14:7	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-4、P-TYPE-2
注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. このビットの初期値は 0 です。消費電力を減らすには、このビットを 1 に設定します。

PDRAMSCR0 レジスタは、ソフトウェアスタンバイモード時の対象メモリを制御します。

RKEEPn ビット（RAM 保持）(n = 0～6)

RKEEPn (n = 0～6) の 7 ビットは、ソフトウェアスタンバイモード時に対象メモリまたは不要な回路の内容を保持するかどうかを制御します。

表 10.6 に、各ビットと対象メモリの関係を示します。

表 10.6　各ビットと対象メモリの関係

PDRAMSCR0 レジスタのビット	対象メモリ
PDRAM.b3	SRAM1: 0x2206_0000～0x2207_FFFF（セキュアエイリアス） 0x3206_0000～0x3207_FFFF（非セキュアエイリアス）
PDRAM.b4	SRAM1: 0x2208_0000～0x2209_FFFF（セキュアエイリアス） 0x3208_0000～0x3209_FFFF（非セキュアエイリアス）
PDRAM.b5	SRAM1: 0x220A_0000～0x220B_FFFF（セキュアエイリアス） 0x320A_0000～0x320B_FFFF（非セキュアエイリアス）
PDRAM.b6	SRAM1: 0x220C_0000～0x220D_FFFF（セキュアエイリアス） 0x320C_0000～0x320D_FFFF（非セキュアエイリアス）

10.2.11　PDRAMSCR1 : SRAM 電源ドメインスタンバイコントロールレジスタ 1

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x142

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	RKEEP0
Value after reset:	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
0	RKEEP0	RAM 保持 0: CPU ディープスリープおよびソフトウェアスタンバイモードへの遷移時に対象 RAM の内容を保持しない 1: CPU ディープスリープおよびソフトウェアスタンバイモードへの遷移時に対象 RAM の内容を保持する	R/W
1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　S-TYPE-4、P-TYPE-2
注.　PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

PDRAMSCR1 レジスタは、CPU ディープスリープおよびソフトウェアスタンバイモード時の対象メモリを制御します。

RKEEP0 ビット（RAM 保持）

RKEEP0 ビットは、CPU ディープスリープおよびソフトウェアスタンバイモード時に対象メモリの内容を保持するかどうかを制御します。

表 10.7 に、各ビットと対象メモリの関係を示します。

表 10.7　各ビットと対象メモリの関係

PDRAM レジスタビット	対象メモリ
PDRAM.b0	ITCM と DTCM

10.2.12 SSCR1 : ソフトウェアスタンバイコントロールレジスタ 1

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA98

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SS1FR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SS1FR	ソフトウェアスタンバイ高速復帰 0: ソフトウェアスタンバイモードからの復帰時、高速復帰機能は無効 1: ソフトウェアスタンバイモードからの復帰時、高速復帰機能は有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SS1FR ビット（ソフトウェアスタンバイ高速復帰）

SS1FR ビットが 1 の場合、ソフトウェアスタンバイモードからの復帰時間が短縮されます。

復帰時間の詳細については、電気的特性の章を参照してください。

注. 本ビットを 1 に設定することを推奨します。そのように設定しない場合、復帰時間が長くなります。

10.2.13 LPSCR : 低消費電力状態コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA90

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	LPMD[3:0]			
Value after reset:	0	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
3:0	LPMD[3:0]	低消費電力モード設定ビット 0x0: システムアクティブ 0x4: ソフトウェアスタンバイモード 0x8: ディープソフトウェアスタンバイモード 1 0x9: ディープソフトウェアスタンバイモード 2 0xA: ディープソフトウェアスタンバイモード 3 その他: 設定禁止	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

LPSCR レジスタは低消費電力モードの遷移先を制御します。

LPSCR レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号（ディープソフトウェアスタンバイリセット信号）では初期化されません。詳細は、「5. リセット」を参照してください。

LPMD[3:0]ビット（低消費電力モード設定ビット）

LPMD[3:0]ビットは低消費電力モードの遷移先を示します。実際の低消費電力モード遷移は CPU 内の WFI 命令で実行されます。

各 CPU の WFI 命令が実行されるまで、ソフトウェアスタンバイモードとディープソフトウェアスタンバイモードの遷移は発生しません。

割り込みにより低消費電力モードが解除された場合、LPMD[3:0]ビットは遷移前の値のままになります。0 を書き込むことにより、ビット自身をクリアできます。

FENTRYR.FENTRYi (i = 0～3) が 1、または FENTRYR.FENTRYD ビットが 1 の場合、ソフトウェアスタンバイモードとディープソフトウェアスタンバイモードの設定は無効となります。LPMD が 0x4、0x8～0xA のいずれかであっても、MCU は WFI 命令実行時にシステムアクティブ状態を保持します。詳細は、表 10.9 を参照してください。

OFS0.IWDTSTPCTL ビットが 0（カウント継続）の場合、ディープソフトウェアスタンバイ 2 モードと 3 モードの設定は無効となります。LPMD が 0x9 または 0xA であっても、MCU は WFI 命令実行時にディープソフトウェアスタンバイ 1 モードへ遷移します。

IWDTCSTPR.SLCSTP が 0（カウント継続）の場合、ディープソフトウェアスタンバイ 2 モードと 3 モードの設定は無効となります。LPMD が 0x9 または 0xA であっても、MCU は WFI 命令実行時にディープソフトウェアスタンバイ 1 モードへ遷移します。

詳細は表 10.9 を参照してください。

電圧監視 n (n = 1, 2) リセット許可 (PVDnCR0.RI = 1) の場合、ディープソフトウェアスタンバイモード 2、3 の設定は無効となります。LPMD が 0x9 または 0xA であっても、MCU は WFI 命令実行時にディープソフトウェアスタンバイモード 1 へ遷移します。詳細は、表 10.9 を参照してください。

10.2.14 DPSBYCR : ディープソフトウェアスタンバイコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	IOKEEP	—	SRKEEP	—	DCSSMODE	—	—
Value after reset:	0	0	0	1	0	0	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	DCSSMODE	DCDC ソフトスタートモード 0: ディープソフトウェアスタンバイモード解除時、復帰には標準時間が必要 1: ディープソフトウェアスタンバイモード解除時、復帰に必要な時間を短縮する	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SRKEEP	スタンバイ SRAM 保持 0: ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード 1 への遷移時にスタンバイ SRAM の内容を保持しない 1: ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード 1 への遷移時にスタンバイ SRAM の内容を保持する	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	IOKEEP	I/O ポート保持 0: ディープソフトウェアスタンバイモード解除時に、I/O ポートはリセット状態 1: ディープソフトウェアスタンバイモード解除時に、I/O ポートはディープソフトウェアスタンバイモード時と同じ状態	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

DPSBYCR レジスタは、ディープソフトウェアスタンバイモードを制御します。

DPSBYCR レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号（ディープソフトウェアスタンバイリセット信号）では初期化されません。詳細は、「5. リセット」を参照してください。

DCSSMODE ビット（DCDC ソフトスタートモード）

DCSSMODE ビットは、ディープソフトウェアスタンバイモードからの復帰に必要な時間を短縮するかどうかを指定します。詳細は、「52. 電気的特性」を参照してください。

SRKEEP ビット（スタンバイ SRAM 保持）

SRKEEP ビットは、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード 1 への遷移時にスタンバイ SRAM の内容を保持するかどうかを指定します。

IOKEEP ビット（I/O ポート保持）

ディープソフトウェアスタンバイモード時に、I/O ポートはソフトウェアスタンバイモード時と同じ状態を維持します。IOKEEP ビットは、ディープソフトウェアスタンバイモードの解除後、I/O ポートの状態をリセットするか否かを指定します。

10.2.15 DPSWCR : ディープソフトウェアスタンバイウェイトコントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	WTSTS[7:0]							
Value after reset:	0	0	0	0	1	0	1	1

ビット	シンボル	機能	R/W
7:0	WTSTS[7:0]	ディープソフトウェアウェイトスタンバイ時間設定 0x0B: 高速復帰用のウェイトサイクル数 0x9A: 低速復帰用のウェイトサイクル数(注1) その他: 設定禁止	R/W

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. ディープソフトウェアスタンバイモード 2 のみがサポートされます。

DPSWCR レジスタは、外部端子割り込みの要因である端子または周辺割り込みによってディープソフトウェアスタンバイモードが解除されたときの安定待機時間を指定するレジスタです。

本レジスタに指定される安定待機時間中、ディープソフトウェアスタンバイリセットが発生し、MCU は初期化されます。

DPSWCR レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号（ディープソフトウェアスタンバイリセット信号）では初期化されません。詳細は、「5. リセット」を参照してください。

WTSTS[7:0]ビット（ディープソフトウェアウェイトスタンバイ時間設定）

WTSTS ビットには以下の 2 つの値のみが設定できます。

1. WTSTS = 0x0B:
   DSTBY 復帰時間を高速に設定します。この場合、ディープソフトウェアスタンバイモード 2 から復帰後、次のソフトウェアスタンバイモードまたは次のディープソフトウェアスタンバイモードへの遷移前にプログラム中に 700 µs を確保する必要があります。
   この高速復帰時間の詳細については、「52. 電気的特性」を参照してください。
2. WTSTS = 0x9A:
   ディープソフトウェアスタンバイモード 2 用の DSTBY 復帰時間を低速に設定します。この場合、WTSTS = 0x0B の場合のような時間制約はありません。
   この低速復帰時間の詳細については、「52. 電気的特性」を参照してください。

注. ディープソフトウェアスタンバイモード 1 またはディープソフトウェアスタンバイモード 3 を使用する場合、余分な待機時間を避けるために WTSTS に 0x0B を設定してください。

10.2.16 DPSIER0 : ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 0

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DIRQ7E	DIRQ6E	DIRQ5E	DIRQ4E	DIRQ3E	DIRQ2E	DIRQ1E	DIRQ0E
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ0E	IRQ0-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
1	DIRQ1E	IRQ1-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
2	DIRQ2E	IRQ2-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
3	DIRQ3E	IRQ3-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
4	DIRQ4E	IRQ4-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
5	DIRQ5E	IRQ5-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
6	DIRQ6E	IRQ6-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
7	DIRQ7E	IRQ7-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W

注. S-TYPE-4、P-TYPE-2
注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

DPSIER0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

なお、DPSIER0 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR0 レジスタが 1 になる場合があります。そのため、ディープソフトウェアスタンバイモードに遷移する前に、DPSIFR0 レジスタを 0 にしてください。

本レジスタとディープソフトウェアスタンバイモードを解除する割り込み要因との関係については、表 10.4 を参照してください。

10.2.17 DPSIER1 : ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 1

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DIRQ15E	DIRQ14E	DIRQ13E	DIRQ12E	DIRQ11E	DIRQ10E	DIRQ9E	DIRQ8E
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ8E	IRQ8-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
1	DIRQ9E	IRQ9-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
2	DIRQ10E	IRQ10-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
3	DIRQ11E	IRQ11-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
4	DIRQ12E	IRQ12-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
5	DIRQ13E	IRQ13-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
6	DIRQ14E	IRQ14-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
7	DIRQ15E	IRQ15-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W

注. S-TYPE-4、P-TYPE-2
注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

DPSIER1 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

なお、DPSIER1 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR1 レジスタが 1 になる場合があります。そのため、ディープソフトウェアスタンバイモードに遷移する前に、DPSIFR1 レジスタを 0 にしてください。

本レジスタとディープソフトウェアスタンバイモードを解除する割り込み要因との関係については、表 10.4 を参照してください。

10.2.18 DPSIER2 : ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 2

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	DNMIE	DRTCAIE	DRTCIIE	DPVD2IE	DPVD1IE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DPVD1IE	PVD1 ディープソフトウェアスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
1	DPVD2IE	PVD2 ディープソフトウェアスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
2	DRTCIIE	RTC 周期割り込みディープソフトウェアスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W

ビット	シンボル	機能	R/W
3	DRTCAIE	RTC アラーム割り込みディープソフトウェアスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
4	DNMIE	NMI 端子ディープソフトウェアスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W(注1)
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-4, P-TYPE-2
注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. 一度だけ 1 を書くことができます。以後のライトアクセスは無効です。

DPSIER2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

なお、DPSIER2 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR2 レジスタが 1 になる場合があります。そのため、ディープソフトウェアスタンバイモードに遷移する前に、DPSIFR2 レジスタを 0 にしてください。

本レジスタとディープソフトウェアスタンバイモードを解除する割り込み要因との関係については、表 10.4 を参照してください。

10.2.19 DPSIER3 : ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 3

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA14

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DVBATTADIE	—	DIWDTIE	—	DULPT1IE	DULPT0IE	—	DUSBFSIE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DUSBFSIE	USBFS サスペンド／レジュームディープソフトウェアスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	DULPT0IE	ULPT0 オーバーフローディープソフトウェアスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
3	DULPT1IE	ULPT1 オーバーフローディープソフトウェアスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	DIWDTIE	IWDT アンダーフローディープソフトウェアスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	DVBATTADIE	VBATT 改ざん検出ディープソフトウェアスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W

注. S-TYPE-4、P-TYPE-2
注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

DPSIER3 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

なお、DPSIER3 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR3 レジスタが 1 になる場合があります。そのため、ディープソフトウェアスタンバイモードに遷移する前に、DPSIFR3 レジスタを 0 にしてください。

本レジスタとディープソフトウェアスタンバイモードを解除する割り込み要因との関係については、表 10.4 を参照してください。

10.2.20 DPSIFR0 : ディープソフトウェアスタンバイ割り込みフラグレジスタ 0

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA18

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DIRQ7F	DIRQ6F	DIRQ5F	DIRQ4F	DIRQ3F	DIRQ2F	DIRQ1F	DIRQ0F
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ0F	IRQ0-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
1	DIRQ1F	IRQ1-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
2	DIRQ2F	IRQ2-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
3	DIRQ3F	IRQ3-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
4	DIRQ4F	IRQ4-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
5	DIRQ5F	IRQ5-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
6	DIRQ6F	IRQ6-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
7	DIRQ7F	IRQ7-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)

注. S-TYPE-4、P-TYPE-2
注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. フラグをクリアするための 0 の書き込みのみ可能です。フラグは、1 を読んだ後に 0 を書く必要があります。

それぞれのフラグは、DPSIEGR0 レジスタで設定した解除要求が発生したときに 1 になります。

ディープソフトウェアスタンバイモードではない状態であっても、解除要求が発生すれば 1 になる場合があります。また、DPSIER0 レジスタの設定変更によっても 1 になる場合があります。そのため、DPSIFR0 レジスタを 0x00 にした後、ディープソフトウェアスタンバイモードへ遷移してください。

DPSIER0 レジスタの設定変更後に DPSIFR0 レジスタを 0x00 にする場合は、PCLKB が 6 サイクル以上経過してから、DPSIFR0 レジスタを読んだ後、0 を書いてください。たとえば、DPSIER0 レジスタを読むことによって、PCLKB の 6 サイクル以上が確保されます。

DPSIFR0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。

詳細は、「5. リセット」を参照してください。

DIRQnF フラグ（IRQn-DS 端子ディープソフトウェアスタンバイ解除フラグ）(n = 0～7)

DIRQnF フラグは IRQn-DS 端子による解除要求が発生したことを示します。

[1 になる条件]

DPSIEGR0 レジスタで選択した IRQn-DS 端子による解除要求が発生したとき

[0 になる条件]

各フラグから 1 を読んだ後、0 を書いたとき

10.2.21 DPSIFR1 : ディープソフトウェアスタンバイ割り込みフラグレジスタ 1

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA1C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DIRQ15F	DIRQ14F	DIRQ13F	DIRQ12F	DIRQ11F	DIRQ10F	DIRQ9F	DIRQ8F
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ8F	IRQ8-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
1	DIRQ9F	IRQ9-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
2	DIRQ10F	IRQ10-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
3	DIRQ11F	IRQ11-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
4	DIRQ12F	IRQ12-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
5	DIRQ13F	IRQ13-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
6	DIRQ14F	IRQ14-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
7	DIRQ15F	IRQ15-DS 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)

注. S-TYPE-4、P-TYPE-2
注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. フラグをクリアするための 0 の書き込みのみ可能です。フラグは、1 を読んだ後に 0 を書く必要があります。

それぞれのフラグは、DPSIEGR1 レジスタで設定した解除要求が発生したときに 1 になります。

ディープソフトウェアスタンバイモードではない状態であっても、解除要求が発生すれば 1 になる場合があります。また、DPSIER1 レジスタの設定変更によっても 1 になる場合があります。そのため、DPSIFR1 レジスタを 0x00 にした後、ディープソフトウェアスタンバイモードへ遷移してください。

DPSIER1 レジスタの設定変更後に DPSIFR1 レジスタを 0x00 にする場合は、PCLKB が 6 サイクル以上経過してから、DPSIFR1 レジスタを読んだ後、0 を書いてください。たとえば、DPSIER1 レジスタを読むことによって、PCLKB の 6 サイクル以上が確保されます。

DPSIFR1 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

DIRQnF フラグ（IRQn-DS 端子ディープソフトウェアスタンバイ解除フラグ）(n = 8～15)

DIRQnF フラグは IRQn-DS 端子による解除要求が発生したことを示します。

[1 になる条件]

DPSIEGR1 レジスタで選択した IRQn-DS 端子による解除要求が発生したとき

[0 になる条件]

各フラグから 1 を読んだ後、0 を書いたとき

10.2.22 DPSIFR2 : ディープソフトウェアスタンバイ割り込みフラグレジスタ 2

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA20

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	DNMIF	DRTCAIF	DRTCIIF	DPVD2IF	DPVD1IF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DPVD1IF	PVD1 ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
1	DPVD2IF	PVD2 ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
2	DRTCIIF	RTC 周期割り込みディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
3	DRTCAIF	RTC アラーム割り込みディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
4	DNMIF	NMI 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-4、P-TYPE-2
注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. フラグをクリアするための 0 の書き込みのみ可能です。フラグは、1 を読んだ後に 0 を書く必要があります。

それぞれのフラグは、DPSIEGR2 レジスタで設定した解除要求が発生したときに 1 になります。

ディープソフトウェアスタンバイモードではない状態であっても、解除要求が発生すれば 1 になる場合があります。また、DPSIER2 レジスタの設定変更によっても 1 になる場合があります。そのため、DPSIFR2 レジスタを 0x00 にした後、ディープソフトウェアスタンバイモードへ遷移してください。

DPSIER2 レジスタの設定変更後に DPSIFR2 レジスタを 0x00 にする場合は、PCLKB が 6 サイクル以上経過してから、DPSIFR2 レジスタを読んだ後、0 を書いてください。たとえば、DPSIER2 レジスタを読むことによって、PCLKB の 6 サイクル以上が確保されます。

DPSIFR2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

DPVDmIF フラグ（PVDm ディープソフトウェアスタンバイ解除フラグ）(m = 1, 2)

DPVDmIF フラグは電圧監視 m 信号による解除要求が発生したことを示します。

[1 になる条件]

DPSIEGR2 レジスタで選択した電圧監視 m 信号による解除要求が発生したとき

[0 になる条件]

各フラグから 1 を読んだ後、0 を書いたとき

DRTCIIF フラグ（RTC 周期割り込みディープソフトウェアスタンバイ解除フラグ）

RTC 周期割り込み信号による解除要求が発生したことを示します。

[1 になる条件]

RTC 周期割り込み信号による解除要求が発生したとき

[0 になる条件]

各フラグから 1 を読んだ後、0 を書いたとき

DRTCAIF フラグ（RTC アラーム割り込みディープソフトウェアスタンバイ解除フラグ）

RTC アラーム割り込み信号による解除要求が発生したことを示します。

[1 になる条件]

RTC アラーム割り込み信号による解除要求が発生したとき

[0 になる条件]

各フラグから 1 を読んだ後、0 を書いたとき

DNMIF フラグ（NMI 端子ディープソフトウェアスタンバイ解除フラグ）

NMI 端子による解除要求が発生したことを示します。

[1 になる条件]

DPSIEGR2 レジスタで設定した NMI 端子による解除要求が発生したとき

[0 になる条件]

各フラグから 1 を読んだ後、0 を書いたとき

10.2.23 DPSIFR3 : ディープソフトウェアスタンバイ割り込みフラグレジスタ 3

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA24

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DVBATTADIF	—	DIWDTIF	—	DULPT1IF	DULPT0IF	—	DUSBFSIF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DUSBFSIF	USBFS サスペンド／レジュームディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	DULPT0IF	ULPT0 オーバーフローディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
3	DULPT1IF	ULPT1 オーバーフローディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
5	DIWDTIF	IWDT アンダーフローディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	DVBATTADIF	VBATT 改ざん検出ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W(注1)

注. S-TYPE-4、P-TYPE-2
注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. フラグをクリアするための 0 の書き込みのみ可能です。フラグは、1 を読んだ後に 0 を書くことによりクリアしてください。

それぞれのフラグは、対応する解除要求が発生したときに 1 になります。

ディープソフトウェアスタンバイモードではない状態であっても、解除要求が発生すれば 1 になる場合があります。また、DPSIER3 レジスタの設定変更によっても 1 になる場合があります。そのため、DPSIFR3 レジスタを 0x00 にした後、ディープソフトウェアスタンバイモードへ遷移してください。

DPSIER3 レジスタの設定変更後に DPSIFR3 レジスタを 0x00 にする場合は、PCLKB が 6 サイクル以上経過してから、DPSIFR3 レジスタを読んだ後、0 を書いてください。たとえば、DPSIER3 レジスタを読むことによって、PCLKB の 6 サイクル以上が確保されます。

DPSIFR3 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

DUSBFSIF フラグ（USBFS サスペンド／レジュームディープソフトウェアスタンバイ解除フラグ）

USBFS のサスペンド／レジュームによる解除要求が発生したことを示します。

DUSBFSIF フラグは USBFS 用のフラグです。

[1 になる条件]

USBFS のサスペンド／レジュームによる解除要求が発生したとき

[0 になる条件]

1 を読んだ後、0 を書いたとき

DULPT0IF フラグ（ULPT0 オーバーフローディープソフトウェアスタンバイ解除フラグ）

ULPT0 オーバーフローによる解除要求が発生したことを示します。

[1 になる条件]

ULPT0 による解除要求の発生あり

[0 になる条件]

1 を読んだ後、0 を書いたとき

DULPT1IF フラグ（ULPT1 オーバーフローディープソフトウェアスタンバイ解除フラグ）

ULPT1 オーバーフローによる解除要求が発生したことを示します。

[1 になる条件]

ULPT1 による解除要求が発生したとき

[0 になる条件]

1 を読んだ後、0 を書いたとき

DIWDTIF ビット（IWDT アンダーフローディープソフトウェアスタンバイ解除フラグ）

IWDT アンダーフローによる解除要求が発生したことを示します。

[1 になる条件]

IWDT による解除要求が発生したとき

[0 になる条件]

1 を読んだ後、0 を書いたとき

DVBATTADIF ビット（VBATT 改ざん検出ディープソフトウェアスタンバイ解除フラグ）

VBATT 改ざん検出による解除要求が発生したことを示します。

[1 になる条件]

VBATT 改ざん検出による解除要求が発生したとき

[0 になる条件]

1 を読んだ後、0 を書いたとき

10.2.24 DPSIEGR0 : ディープソフトウェアスタンバイ割り込みエッジレジスタ 0

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA28

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DIRQ7EG	DIRQ6EG	DIRQ5EG	DIRQ4EG	DIRQ3EG	DIRQ2EG	DIRQ1EG	DIRQ0EG
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ0EG	IRQ0-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
1	DIRQ1EG	IRQ1-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
2	DIRQ2EG	IRQ2-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
3	DIRQ3EG	IRQ3-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
4	DIRQ4EG	IRQ4-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
5	DIRQ5EG	IRQ5-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
6	DIRQ6EG	IRQ6-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
7	DIRQ7EG	IRQ7-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W

注. S-TYPE-4、P-TYPE-2
注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

DPSIEGR0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

10.2.25 DPSIEGR1 : ディープソフトウェアスタンバイ割り込みエッジレジスタ 1

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA2C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DIRQ15EG	DIRQ14EG	DIRQ13EG	DIRQ12EG	DIRQ11EG	DIRQ10EG	DIRQ9EG	DIRQ8EG
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ8EG	IRQ8-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
1	DIRQ9EG	IRQ9-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
2	DIRQ10EG	IRQ10-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
3	DIRQ11EG	IRQ11-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
4	DIRQ12EG	IRQ12-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
5	DIRQ13EG	IRQ13-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
6	DIRQ14EG	IRQ14-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
7	DIRQ15EG	IRQ15-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W

注. S-TYPE-4、P-TYPE-2
注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

DPSIEGR1 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

10.2.26 DPSIEGR2 : ディープソフトウェアスタンバイ割り込みエッジレジスタ 2

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA30

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	DNMIEG	—	—	DPVD2EG	DPVD1EG
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DPVD1EG	PVD1 エッジ選択 0: VCC ＜ V_{det1}（下降）検出時に解除要求を発生 1: VCC ≧ V_{det1}（上昇）検出時に解除要求を発生	R/W

ビット	シンボル	機能	R/W
1	DPVD2EG	PVD2 エッジ選択 0: VCC ＜ V_{det2}（下降）検出時に解除要求を発生 1: VCC ≧ V_{det2}（上昇）検出時に解除要求を発生	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	DNMIEG	NMI 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-4、P-TYPE-2
注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

DPSIEGR2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

10.2.27 SYOCDCR : システムコントロール OCD コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA38

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DBGEN	—	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	x

ビット	シンボル	機能	R/W
0	—	読み出し値は不定です。書く場合、0 としてください。	R/W
6:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	DBGEN	デバッガ有効 0: オンチップデバッガは無効 1: オンチップデバッガは有効(注1)	R/W

注. S-TYPE-5, P-TYPE-2
注 1. DBGEN の値はソフトウェアで設定できます。ただし、デバッガ認証に成功するまではオンチップデバッガ機能は有効になりません。つまり、DBGEN が 1 でも、デバッガ認証に成功するまではオンチップデバッガ機能は無効です。詳細は「2. CPU」を参照してください。

本レジスタはどのセキュリティ属性レジスタ（例：LPMSAR、DPFSAR）によっても制御されません。

DBGEN ビット（デバッガ有効）

DBGEN ビットは、オンチップデバッガ機能を有効にします。

[1 になる条件]

- パワーオンリセットが発生したとき
- 電圧監視 0 リセットが発生したとき
- 1 を書いたとき

[0 になる条件]

- 0 を書いたとき

注. DBGEN ビットが 1 に設定可能な MCU 状態に関して、特定の制約が適用されます。詳細は、「2.13.2. OCD エミュレータ接続での制限」を参照してください。

10.2.28 PLL1LDOCR : PLL1-LDO コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xB04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SKEEP	LDOSTP
Value after reset:	0	0	0	0	0	x	0	0

ビット	シンボル	機能	R/W
0	LDOSTP	LDO 停止 0: PLL1-LDO 有効 1: PLL1-LDO 停止	R/W
1	SKEEP	STBY 保持 0: PLL1-LDO はソフトウェアスタンバイモード時に停止します。 1: ソフトウェアスタンバイモード中は、ソフトウェアスタンバイモード前の PLL1-LDO 状態を保持します。	R/W
2	—	読み出し値は不定です。	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

このレジスタを使って、PLL1 専用の LDO (PLL1-LDO) の動作を制御できます。

Low-speed モード時は、このレジスタの書き込みは禁止されています。

LDOSTP ビット（LDO 停止）

通常モード時の PLL1-LDO 状態は、本ビットで制御されます。本ビットを 1 にした後、少なくとも 1 µs 間は 0 にしないでください。本ビットは 1 にしてから 1 µs 経過したときのみ、0 にできます。

本ビットを 1 から 0 に変更した場合、電源が安定するまで 25 µs かかります。

電源が安定してから PLL1 を操作してください。

SKEEP ビット（STBY 保持）

ソフトウェアスタンバイモード時の PLL1-LDO 状態を制御します。ソフトウェアスタンバイモード時に PLL1-LDO 動作が停止した場合に、ソフトウェアスタンバイモード時の電力消費を低減できます。

10.2.29 PLL2LDOCR : PLL2-LDO コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xB08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SKEEP	LDOSTP
Value after reset:	0	0	0	0	0	x	0	0

ビット	シンボル	機能	R/W
0	LDOSTP	LDO 停止 0: PLL2-LDO 有効 1: PLL2-LDO 停止	R/W
1	SKEEP	STBY 保持 0: ソフトウェアスタンバイモード中、PLL2-LDO は停止 1: ソフトウェアスタンバイモード中、ソフトウェアスタンバイモード遷移前の PLL2-LDO 状態を保持	R/W

ビット	シンボル	機能	R/W
2	—	読み出し値は不定です。	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

このレジスタを使って、PLL2 専用の LDO (PLL2-LDO) の動作を制御できます。

Low-speed モード時は、このレジスタの書き込みは禁止されています。

LDOSTP ビット（LDO 停止）

通常モード時の PLL2-LDO 状態を制御します。本ビットを 1 にした後、少なくとも 1 µs 間は 0 にしないでください。本ビットは 1 にしてから 1 µs 経過したときのみ、0 にできます。

本ビットを 1 から 0 に変更した場合、電源が安定するまで 25 µs かかります。

電源が安定してから PLL2 を操作してください。

SKEEP ビット（STBY 保持）

ソフトウェアスタンバイモード時の PLL2-LDO 状態を制御します。ソフトウェアスタンバイモード時に PLL2-LDO 動作が停止した場合に、ソフトウェアスタンバイモード時の電力消費を低減できます。

10.2.30 HOCOLDOCR : HOCO-LDO コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xB0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SKEEP	LDOSTP
Value after reset:	0	0	0	0	0	x	0	0

ビット	シンボル	機能	R/W
0	LDOSTP	LDO 停止 0: HOCO-LDO 有効 1: HOCO-LDO 停止	R/W
1	SKEEP	STBY 保持 0: HOCO-LDO はソフトウェアスタンバイモード時に停止します。 1: ソフトウェアスタンバイモード中は、ソフトウェアスタンバイモード前の HOCO-LDO 状態を保持します。	R/W
2	—	読み出し値は不定です。	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

このレジスタを使って、HOCO 専用の LDO (HOCO-LDO) の動作を制御できます。

Low-speed モード時は、このレジスタの書き込みは禁止されています。

LDOSTP ビット（LDO 停止）

通常モード時の HOCO-LDO 状態を制御します。本ビットを 1 にした後、少なくとも 2 µs 間は 0 にしないでください。本ビットは 1 にしてから 2 µs 経過したときのみ、0 にできます。

本ビットを 1 から 0 に変更した場合、電源が安定するまで 5 µs かかります。

電源が安定してから HOCO を操作してください。

SKEEP ビット（STBY 保持）

ソフトウェアスタンバイモード時の HOCO-LDO 状態を制御します。ソフトウェアスタンバイモード時に HOCO-LDO 動作が停止した場合に、ソフトウェアスタンバイモード時の電力消費を低減できます。

10.3 クロックの切り替えによる消費電力の低減

SCKDIVCR レジスタと SCKDIVCR2 レジスタを設定すると、クロック周波数が切り替わります。

モジュールとクロックの対応関係は、「8.2.2. SCKDIVCR : システムクロック分周コントロールレジスタ」と「8.2.3. SCKDIVCR2 : システムクロック分周コントロールレジスタ 2」を参照してください。

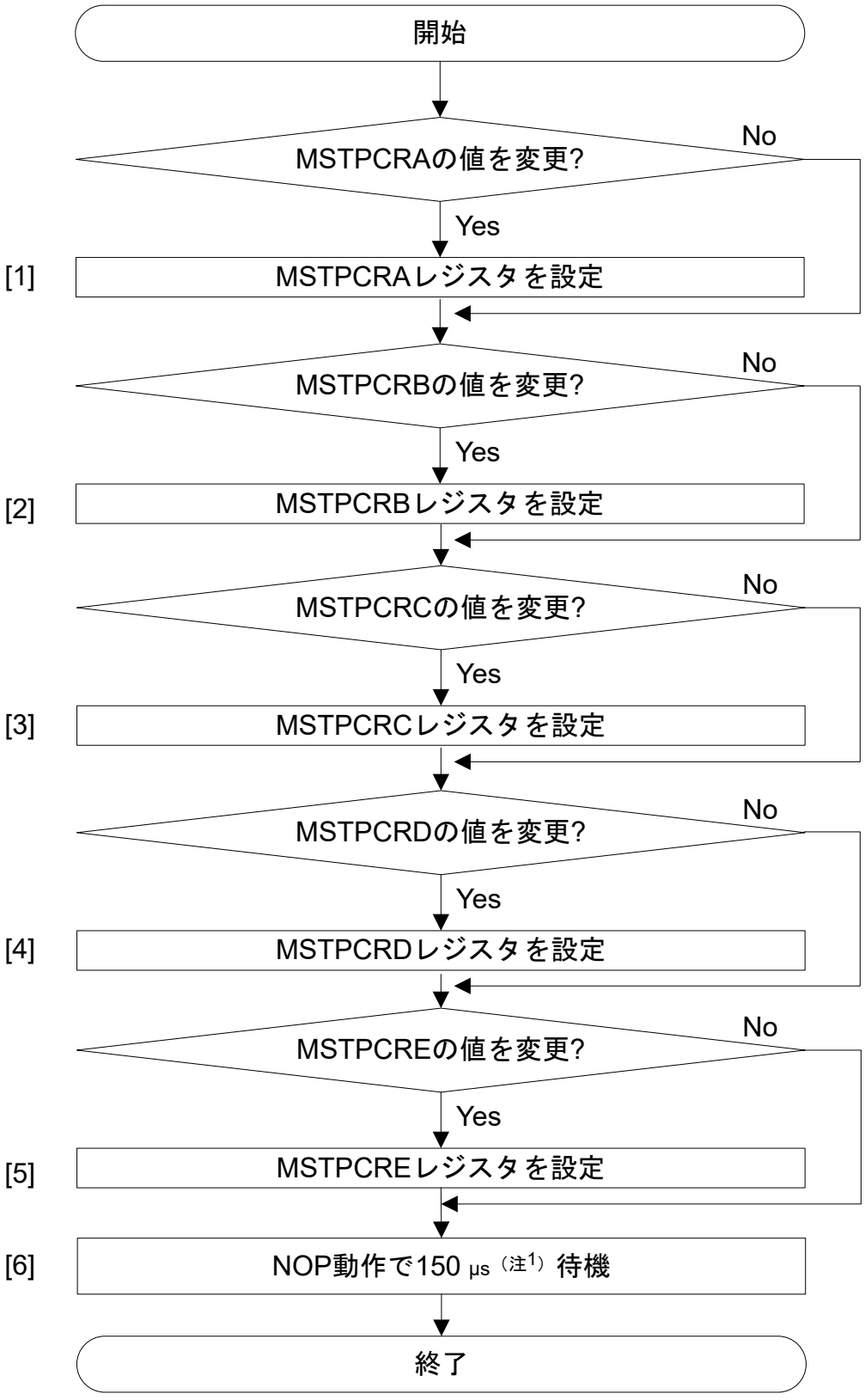
10.4 モジュールストップ機能

モジュールストップ機能は、各内蔵周辺モジュールへのクロック供給を停止することが可能です。

MSTPCRn (n = A～E) レジスタの MSTPmi ビット (m = A～E, i = 31～0) を 1 にすると、指定したモジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は独立して動作を継続します。MSTPmi ビットを 0 にすることによって、モジュールストップ状態が解除され、バスサイクルの終了時点でモジュールは動作を再開します。

リセット解除後は、DMAC、DTC、および SRAM1 モジュール以外の全モジュールがモジュールストップ状態になります。MSTPmi ビットが 1 であるときは、対応するモジュールにアクセスしないでください。また、対応するモジュールにアクセス中であるときは、MSTPmi ビットを 1 にしないでください。

CPU クロックが 120 MHz より速い場合、MSTPmi ビット変更後に、図 10.2 のフローに従って待機時間を設定してください。ソフトウェアを使用して待機時間を測定することを推奨します。ワーストケースの使用条件を考慮して、待機時間が確実に経過したことを確認してください。待機中、やむを得ず割り込みが発生した場合、割り込みが終わってから再度測定してください。



注 1. DCDC モード時は 150 µs、外部 VDD モード時は 10 µs

図 10.2 CPUCLK が 120 MHz より高い場合のモジュールストップコントロールレジスタの設定フロー

10.5 動作電力低減機能

動作周波数に応じて適切な動作電力制御モードを選択することにより、通常モード時およびプロセッサ低消費電力モード時の消費電力を削減できます。

10.5.1 動作電力制御モードの設定方法

動作電力制御モードを切り替える場合は、その前後において、周波数範囲などの動作条件が仕様範囲内に収まっていることを確認してください。

外部 VDD モード時は、必ず OPCCR.OPCM を 00b にしてください。

動作電力制御モードの切り替え手順例を以下に示します。

表 10.8 各モードで使用可能な発振器

モード	発振器					
	PLL1, PLL2	高速オンチップオシレータ	中速オンチップオシレータ	低速オンチップオシレータ	メインクロック発振器	サブクロック発振器
High-speed	可能	可能	可能	可能	可能	可能
Low-speed	不可	可能	可能	可能	可能	可能

(1) 消費電力が大きいモードから小さいモードへ切り替える場合

例：High-speed モードから Low-speed モードへの切り替え

（最初は High-speed モードで動作しています）

1. 発振器を Low-speed モードで使用するものに変更する。各クロックの周波数を、Low-speed モードにおける最高動作周波数以下にする。
2. Low-speed モードで不要な発振器を OFF にする。
3. OPCCR.OPCMTSF フラグが 0（遷移完了）であることを確認する。
4. OPCCR.OPCM[1:0]ビットを 11b（Low-speed モード）にする。
5. OPCCR.OPCMTSF フラグが 0（遷移完了）であることを確認する。

(2) 消費電力が小さいモードから大きいモードへ切り替える場合

例：Low-speed モードから High-speed モードへの切り替え

（最初は Low-speed モードで動作しています）

1. OPCCR.OPCMTSF フラグが 0（遷移完了）であることを確認する。
2. OPCCR.OPCM[1:0]ビットを 00b（High-speed モード）にする。
3. OPCCR.OPCMTSF フラグが 0（遷移完了）であることを確認する。
4. High-speed モードで必要な発振器を ON にする。
5. 各クロックの周波数を、High-speed モードにおける最高動作周波数以下にする。

（動作は High-speed モードになります）

10.6 低消費電力モード

10.6.1 CPU スリープモード

10.6.1.1 CPU スリープモードへの遷移

SCR.SLEEPDEEP ビットが 0 の状態で WFI 命令を実行すると、MCU は CPU スリープモードへ遷移します。このモードでは、CPU は動作を停止しますが、CPU の内部レジスタの値は保持されます。CPU 以外の周辺機能は停止しません。CPU スリープモードで利用可能なリセットまたは割り込みが発生すると、CPU スリープモードが解除されます。すべての割り込み要因が利用可能です。割り込みを使用して CPU スリープモードを解除する場

合、WFI 命令の実行前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1（CPU スリープモードまたは CPU ディープスリープモード時に IWDT カウント停止）の場合、MCU が CPU スリープモードへ遷移すると IWDT はカウントを停止します。同様に、IWDT がレジスタスタートモードであり、かつ IWDTCSTPR の SLCSTP ビットが 1（CPU スリープモードまたは CPU ディープスリープモード時に IWDT カウント停止）の場合、MCU が CPU スリープモードへ遷移すると IWDT はカウントを停止します。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0（CPU スリープモードまたは CPU ディープスリープモード時に IWDT カウント継続）の場合、MCU が CPU スリープモードへ遷移しても IWDT はカウントを継続します。同様に、IWDT がレジスタスタートモードであり、かつ IWDTCSTPR の SLCSTP ビットが 0（CPU スリープモードまたは CPU ディープスリープモード時に IWDT カウント継続）の場合、MCU が CPU スリープモードへ遷移しても IWDT はカウントを継続します。

WDT がオートスタートモードであり、かつ OFS0.WDTSTPCTL ビットが 1（CPU スリープモードまたは CPU ディープスリープモード時に WDT カウント停止）の場合、MCU が CPU スリープモードへ遷移すると WDT はカウントを停止します。同様に、WDT がレジスタスタートモードであり、かつ WDTCSTPR の SLCSTP ビットが 1（CPU スリープモードまたは CPU ディープスリープモード時に WDT カウント停止）の場合、MCU が CPU スリープモードへ遷移すると WDT はカウントを停止します。

WDT がオートスタートモードであり、かつ OFS0.WDTSTPCTL ビットが 0（CPU スリープモードまたは CPU ディープスリープモード時に WDT カウント継続）の場合、MCU が CPU スリープモードへ遷移しても WDT はカウントを継続します。同様に、WDT がレジスタスタートモードであり、かつ WDTCSTPR の SLCSTP ビットが 0（CPU スリープモードまたは CPU ディープスリープモード時に WDT カウント継続）の場合、MCU が CPU スリープモードへ遷移しても WDT はカウントを継続します。

WFI 命令とスリープオンイグジットは、CPU スリープモードに遷移するために機能します。

CPU スリープモードへの遷移の場合は、CPUCLK 周波数に応じた手順があります。詳細は、「10.7.10. 低消費電力状態への遷移とその解除に関する注意事項」を参照してください。

10.6.1.2 CPU スリープモードの解除

CPU スリープモードは以下の方法で解除されます。

- 割り込み
- リセット
  - RES 端子リセット
  - パワーオンリセット
  - 電圧監視 0 リセット
  - 独立ウォッチドッグタイマリセット
  - ウォッチドッグタイマリセット
  - 電圧監視 m リセット (m = 1, 2)
  - 共通メモリエラーリセット
  - バスエラーリセット

動作は以下のとおりです。

1. 割り込みによる解除
   利用可能な割り込み要求が発生すると、CPU スリープモードが解除されて、MCU は割り込み処理を開始します。
2. RES 端子リセットによる解除
   RES 端子を Low にすると、MCU はリセット状態になります。「52. 電気的特性」50. 電気的特性に示す規定の期間に従って、RES 端子を Low に保つようにしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
3. IWDT リセットによる解除

IWDT アンダーフローによる内部リセットが発生すると、CPU スリープモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件下では、CPU スリープモード時に IWDT が停止して、CPU スリープモードを解除するための内部リセットが発生しません。

- OFS0.IWDTSTRT = 0（オートスタートモード）かつ OFS0.IWDTSTPCTL = 1
- OFS0.IWDTSTRT = 1（レジスタスタートモード）かつ OFS0.IWDTSTPCTL = 1

4. WDT リセットによる解除
WDT アンダーフローによる内部リセットが発生すると、CPU スリープモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件下では、WDT が通常モードでカウント中でも CPU スリープモードで停止して、CPU スリープモードを解除するための内部リセットが発生しません。
   - OFS0.WDTSTRT = 0（オートスタートモード）かつ OFS0.WDTSTPCTL = 1
   - OFS0.WDTSTRT = 1（レジスタスタートモード）かつ WDTCSTPR.SLCSTP = 1
5. CPU スリープモードで利用可能な他のリセットによる解除
その他のリセットによって CPU スリープモードは解除され、MCU はリセット例外処理を開始します。

注.　割り込みの正しい設定方法については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

10.6.2　CPU ディープスリープモード

10.6.2.1　CPU ディープスリープモードへの遷移

SCR.SLEEPDEEP ビットが 1 の状態で WFI 命令を実行すると、MCU は CPU ディープスリープモードへ遷移します。このモードでは、CPU は動作を停止しますが、CPU の内部レジスタの値は保持されます。CPU 以外の周辺機能は停止しません。ただし、このモードでは TCM にアクセスできず、SysTick も停止します。CPU ディープスリープモードで利用可能なリセットまたはウェイクアップ許可割り込みが発生すると、CPU ディープスリープモードが解除されます。すべての割り込み要因が利用可能というわけではなく、CPU ディープスリープモードからのウェイクアップを許可するには、ユーザーは ICU 内の WUPEN0 レジスタと WUPEN1 レジスタも設定する必要があります。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

CPU ディープスリープモード時の IWDT と WDT の動作は、CPU スリープモード時と同じです。

CPU ディープスリープモードへの遷移の場合は、CPUCLK 周波数に応じた手順があります。詳細は、「10.7.10. 低消費電力状態への遷移とその解除に関する注意事項」を参照してください。

10.6.2.2　CPU ディープスリープモードの解除

CPU ディープスリープモードは以下の方法で解除されます。

- 表 10.4 に示す利用可能な割り込み
- リセット
  - RES 端子リセット
  - パワーオンリセット
  - 電圧監視 0 リセット
  - 独立ウォッチドッグタイマリセット
  - ウォッチドッグタイマリセット
  - 電圧監視 m リセット (m = 1, 2)
  - 共通メモリエラーリセット
  - バスエラーリセット

動作は以下のとおりです。

1. 割り込みによる解除
利用可能な割り込み要求（利用可能な割り込みについては、表 10.4 を参照）が発生すると、CPU ディープスリープモードへ遷移する前に動作していた各発振器が動作を再開します。これらすべての発振器が安定してから、MCU は CPU ディープスリープモードから通常モードに戻り、割り込み処理を開始します。割り込み

によって CPU ディープスリープモードを解除すると、各電源ドメインはディープスリープ状態に遷移する前と同じ電源状態に戻ります。
（利用可能な割り込みについては、表 10.4 参照）

2. RES 端子リセットによる解除
RES 端子を Low にすると、MCU はリセット状態になります。「52. 電気的特性」に示す規定の期間に従って、RES 端子を Low に保つようにしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。

3. IWDT リセットによる解除
IWDT アンダーフローによる内部リセットが発生すると、CPU ディープスリープモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件下では、CPU ディープスリープモード時に IWDT が停止して、CPU ディープスリープモードを解除するための内部リセットが発生しません。
   - OFS0.IWDTSTRT = 0（オートスタートモード）かつ OFS0.IWDTSTPCTL = 1
   - OFS0.IWDTSTRT = 1（レジスタスタートモード）かつ IWDTCSTPR.SLCSTP = 1

4. WDT リセットによる解除
WDT アンダーフローによる内部リセットが発生すると、CPU ディープスリープモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件下では、WDT が通常モードでカウント中でも CPU ディープスリープモードで停止して、CPU ディープスリープモードを解除するための内部リセットが発生しません。
   - OFS0.WDTSTRT = 0（オートスタートモード）かつ OFS0.WDTSTPCTL = 1
   - OFS0.WDTSTRT = 1（レジスタスタートモード）かつ WDTCSTPR.SLCSTP = 1

5. CPU ディープスリープモードで利用可能な他のリセットによる解除
その他のリセットによって CPU ディープスリープモードは解除され、MCU はリセット例外処理を開始します。

注. 割り込みの正しい設定方法については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

CPU ディープスリープモード解除の場合は、CPUCLK 周波数に応じた手順があります。詳細は、「10.7.10. 低消費電力状態への遷移とその解除に関する注意事項」を参照してください。

10.6.3 ソフトウェアスタンバイモード

10.6.3.1 ソフトウェアスタンバイモードへの遷移

LPSCR.LPMD ビットが 0x4 で、かつ CPU0.SCR.SLEEPDEEP ビットが 1 の状態で WFI 命令を実行すると、MCU は LPSCR.LPMD 設定に従ってソフトウェアスタンバイモードへ遷移します。必ず MOCOCR.MCSTP を 0（MOCO 動作）にしてから、WFI 命令を実行して本モードに遷移してください。

このモードでは、CPU、ほとんどの内蔵周辺機能、およびほとんどの発振器が停止します(注1)。ただし、CPU の内部レジスタの値と SRAM データ、内蔵周辺機能と I/O ポートの状態は保持されます。ソフトウェアスタンバイモードでは、ほとんどの発振器が停止するため(注1)、消費電力が大幅に削減されます。表 10.3 に、各内蔵周辺機能と発振器の状態を示します。ソフトウェアスタンバイモードで利用可能なリセットまたは割り込みが発生すると、通常モードに復帰します。各モードで利用可能な割り込み要因については、表 10.4 を参照してください。割り込みを使用して通常モードに復帰する場合は、WFI 命令を実行する前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

注 1. 発振器の状態は、各発振器のコントロールレジスタの設定に依存します。詳細は、クロック生成回路の章を参照してください。

DMAST.DMST ビットと DTCST.DTCST ビットを 0 にしてから WFI 命令を実行してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1（ソフトウェアスタンバイモード時に IWDT カウント停止）の場合、MCU がソフトウェアスタンバイモードへ遷移すると IWDT はカウントを停止します。同様に、IWDT がレジスタスタートモードであり、かつ IWDTCSTPR の SLCSTP ビットが 1（ソフトウェアスタンバイモード時に IWDT カウント停止）の場合、MCU がソフトウェアスタンバイモードへ遷移すると IWDT はカウントを停止します。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0（ソフトウェアスタンバイモード時に IWDT カウント継続）の場合、MCU がソフトウェアスタンバイモードへ遷移しても IWDT はカウントを継続

します。同様に、IWDT がレジスタスタートモードであり、かつ IWDTCSTPR の SLCSTP ビットが 0（ソフトウェアスタンバイモード時に IWDT カウント継続）の場合、MCU がソフトウェアスタンバイモードに遷移しても IWDT はカウントを継続します。

ソフトウェアスタンバイモードへ遷移すると、PCLK が停止するため WDT はカウントを停止します。

フラッシュメモリのプログラム／イレース処理中は、ソフトウェアスタンバイモードへ遷移しないでください。ソフトウェアスタンバイモードへ遷移するには、プログラム／イレース処理が完了してから WFI 命令を実行してください。

外部 VDD モード時は、ソフトウェアスタンバイモードに遷移しないでください。

表 10.9 に、関連する制御ビットの設定値と、WFI 命令実行後に遷移するモードを示します。

表 10.9 WFI 命令実行後にモードに影響するビットの設定

		LPSCR.LPMD ビットと CPU.SCR.SLEEPDEEP ビットのモード設定			
		ソフトウェアスタンバイ	ディープソフトウェアスタンバイ 1	ディープソフトウェアスタンバイ 2	ディープソフトウェアスタンバイ 3
		(LPSCR.LPMD = 0x4, CPU0.SCR. SLEEPDEEP = 1)	(LPSCR.LPMD = 0x8, CPU0.SCR. SLEEPDEEP = 1)	(LPSCR.LPMD = 0x9, CPU0.SCR. SLEEPDEEP = 1)	(LPSCR.LPMD = 0xA, CPU0.SCR. SLEEPDEEP = 1)
FENTRYR.FENTRYC FENTRYR.FENTRYD	0	ソフトウェアスタンバイ	ディープソフトウェアスタンバイ 1	ディープソフトウェアスタンバイ 2	ディープソフトウェアスタンバイ 3
	1	CPU ディープスリープモードかつシステムアクティブ保持	CPU ディープスリープモードかつシステムアクティブ保持	CPU ディープスリープモードかつシステムアクティブ保持	CPU ディープスリープモードかつシステムアクティブ保持
OFS0.IWDTSTPCTL（オートスタートモード）または IWDTCSTPR.SLCSTP（レジスタスタートモード）	0	ソフトウェアスタンバイ	ディープソフトウェアスタンバイ 1	ディープソフトウェアスタンバイ 1	ディープソフトウェアスタンバイ 1
	1			ディープソフトウェアスタンバイ 2	ディープソフトウェアスタンバイ 3
PVD1CR0.RI PVD2CR0.RI	0	ソフトウェアスタンバイ	ディープソフトウェアスタンバイ 1	ディープソフトウェアスタンバイ 2	ディープソフトウェアスタンバイ 3
	1			ディープソフトウェアスタンバイ 1	ディープソフトウェアスタンバイ 1

注. 複数のモード遷移条件が競合している場合は、以下の優先順位でモード遷移が実行されます。
CPU ディープスリープモードかつシステムアクティブ保持 > ソフトウェアスタンバイ > ディープソフトウェアスタンバイ 1 > ディープソフトウェアスタンバイ 2 > ディープソフトウェアスタンバイ 3

ソフトウェアスタンバイモードへの遷移の場合は、CPUCLK 周波数に応じた手順があります。詳細は、「10.7.10. 低消費電力状態への遷移とその解除に関する注意事項」を参照してください。

10.6.3.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは以下の方法で解除されます。

- 表 10.4 に示す利用可能な割り込み
- リセット
  - RES 端子リセット
  - パワーオンリセット
  - 電圧監視リセット
  - IWDT アンダーフローに起因したリセット

ソフトウェアスタンバイモードが解除されると、ソフトウェアスタンバイモードへ遷移する前に動作していた発振器が動作を再開します。すべての発振器が安定してから、MCU はソフトウェアスタンバイモードから通常モードへ復帰します。ソフトウェアスタンバイモードから復帰させる方法については、「13.2.15. WUPEN0: ウェイクアップ割り込みイネーブルレジスタ 0」、「13.2.16. WUPEN1 : ウェイクアップ割り込みイネーブルレジスタ 1」を参照してください。

以下の方法のいずれかによって、ソフトウェアスタンバイモードを解除できます。

1. 割り込みによる解除

利用可能な割り込み要求（表 10.4 を参照）が発生すると、ソフトウェアスタンバイモードへ遷移する前に動作していた発振器が動作を再開します。すべての発振器が安定してから、MCU はソフトウェアスタンバイモードから通常モードへ復帰し、割り込み処理を開始します。
割り込みによってソフトウェアスタンバイモードを解除すると、各電源ドメインはソフトウェアスタンバイ状態に遷移する前と同じ電源状態に戻ります。

2. RES 端子リセットによる解除
RES 端子を Low にすると、MCU はリセット状態に遷移し、デフォルトで動作状態にあった発振器が発振を開始します。「52. 電気的特性」に示す規定の期間に従って、RES 端子を Low に保つようにしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
3. パワーオンリセットによる解除
パワーオンリセットによってソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。
4. 電圧監視リセットによる解除
電圧検出回路による電圧監視リセットによってソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。
5. IWDT リセットによる解除
IWDT アンダーフローによる内部リセットが発生すると、ソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。ただし、下記の条件下では、ソフトウェアスタンバイモード時に IWDT が停止して、ソフトウェアスタンバイモードを解除するための内部リセットが発生しません。
   - OFS0.IWDTSTRT = 0（オートスタートモード）かつ OFS0.IWDTSTPCTL = 1
   - OFS0.IWDTSTRT = 1（レジスタスタートモード）かつ IWDTCSTPR.SLCSTP = 1

ソフトウェアスタンバイモード解除の場合は、CPUCLK 周波数に応じた手順があります。詳細は、「10.7.10. 低消費電力状態への遷移とその解除に関する注意事項」を参照してください。

10.6.3.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がりエッジ検出時のソフトウェアスタンバイモードへの遷移と、IRQn 端子の立ち上がりエッジによるソフトウェアスタンバイモードの解除の例を図 10.3 に示します。

この例では、通常モードにおいて、ICU の IRQCRi.IRQMD[1:0] (i = 0～15) ビットが 00b（立ち下がりエッジ）の状態で IRQn 端子の割り込みを受け付けた後、IRQCRi.IRQMD[1:0] ビットを 01b（立ち上がりエッジ）にしています。さらに、MOCO が動作していない場合、MOCOCR.MCSTP を 0（MOCO 動作）にする必要があります。続いて、LPSCR.LPMD ビットを 0x4 に、CPU.SCR.SLEEPDEEP ビットを 1 にした後、WFI 命令を実行しています。その結果、ソフトウェアスタンバイモードへの遷移が完了し、その後、IRQn 端子の立ち上がりエッジによってソフトウェアスタンバイモードが解除されます。

ソフトウェアスタンバイモードからの復帰には、ICU の設定も必要になります。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。図 10.3 の発振安定時間については、「52. 電気的特性」に示されています。

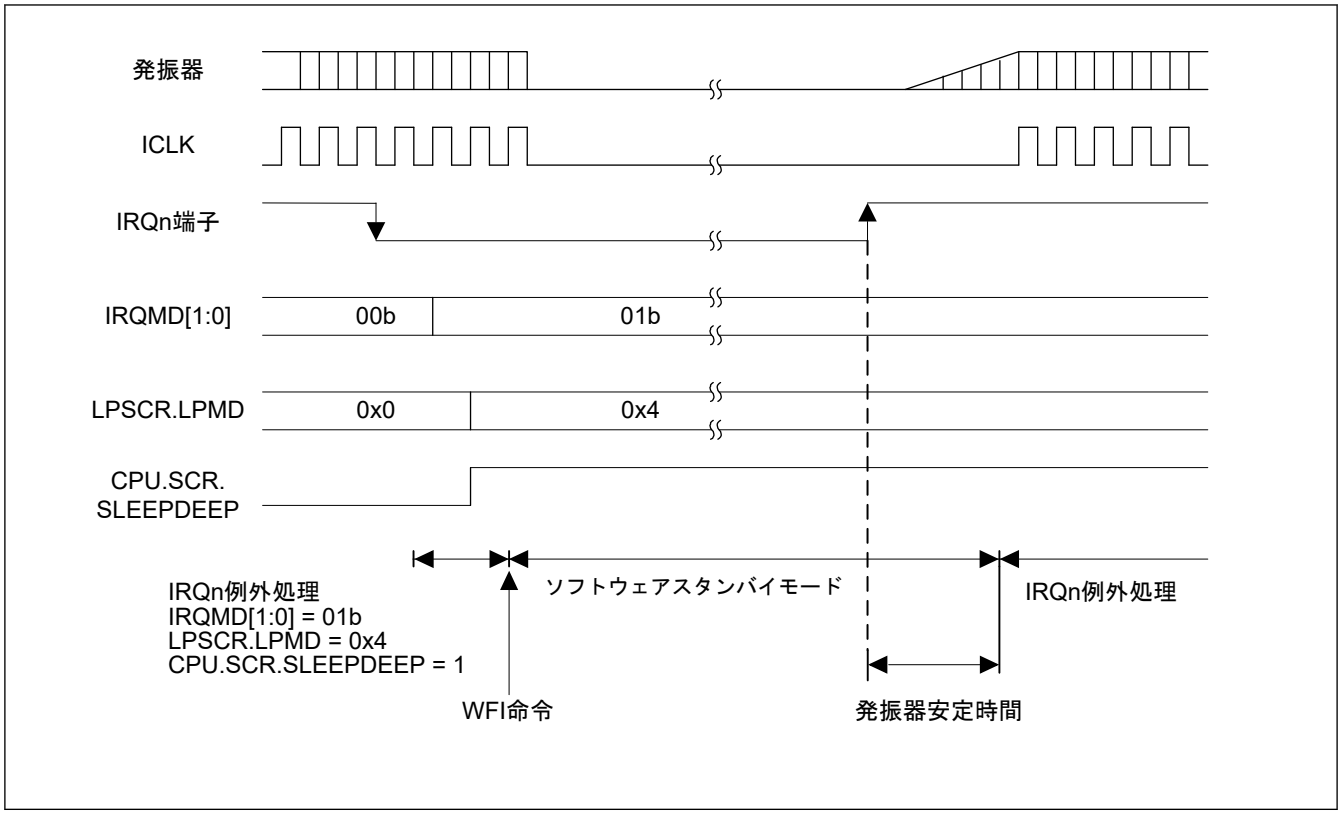


図 10.3　ソフトウェアスタンバイモードの応用例

10.6.4　ディープソフトウェアスタンバイモード

10.6.4.1　ディープソフトウェアスタンバイモードへの遷移

LPSCR.LPMD ビットが 0x8、0x9、0xA で、かつ CPU.SCR.SLEEPDEEP ビットが 1 の状態で WFI 命令を実行すると、MCU は LPSCR.LPMD 設定に従ってディープソフトウェアスタンバイモード 1、2、3 のいずれかへ遷移します。WFI 命令を実行して本モードに遷移する前に、MOCOCR.MCSTP を 0（MOCO 動作）にする必要があります。関連する制御ビットの設定値については、表 10.9 を参照してください。

これらのモードでは、表 10.3 に示すように CPU、オンチップ周辺機能、SRAM、および発振器がほぼすべて停止します。さらに、これらの非アクティブモジュールに対する内部電源の供給が停止するので、消費電力が著しく低減されます。CPU レジスタと特定の内部周辺モジュールの内容はすべて不定となります。表 10.3 に、各内蔵周辺機能と発振器の状態を示します。

スタンバイ SRAM のデータはディープソフトウェアスタンバイモード 1 の時に保持されます。
OFS1(_SEC).PVDAS = 0 かつ OFS1(_SEC).PVDLPSEL = 0 の場合、PVD0 の低消費電力機能が有効になるので、消費電力がさらに削減されます。ディープソフトウェアスタンバイモード 2 では、スタンバイ SRAM、USB レジューム検出部、および IWDT への内部電源の供給も停止しますので、消費電力が削減されます。このとき、スタンバイ SRAM のデータは不定となります。OFS1(_SEC).PVDAS = 0 かつ OFS1(_SEC).PVDLPSEL = 0 の場合、PVD0 の低消費電力機能が有効になるので、消費電力がさらに削減されます。ディープソフトウェアスタンバイモード 3 では、PVD も停止します。詳細は、「52. 電気的特性」を参照してください。

DMAST.DMST ビットと DTCST.DTCST ビットを 0 にしてから WFI 命令を実行してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1 の状態で MCU がディープソフトウェアスタンバイモード 2 または 3 へ遷移すると、LOCO と IWDT への電源供給が停止します。また、IWDT もカウントを停止します。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0 の場合、LPSCR.LPMD の設定にかかわらず、MCU はディープソフトウェアスタンバイモード 2 または 3 ではなくディープソフトウェアスタンバイモード 1 に遷移します。

IWDT がレジスタスタートモードであり、かつ IWDTCSTPR.SLCSTP ビットが 0 の場合、LPSCR.LPMD の設定にかかわらず、MCU はディープソフトウェアスタンバイモード 2 または 3 ではなくディープソフトウェアスタンバイモード 1 に遷移します。

フラッシュメモリのプログラム／イレース処理中は、ディープソフトウェアスタンバイモードへ遷移しないでください。ディープソフトウェアスタンバイモードへ遷移するには、プログラム／イレース処理が完了してから WFI 命令を実行してください。

外部 VDD モード時は、ディープソフトウェアスタンバイモードに遷移しないでください。

PVDnCR0.RI (n = 1, 2) が 1（電圧監視 n リセット選択）の場合、LPSCR.LPMD の設定にかかわらず、MCU はディープソフトウェアスタンバイモード 2 または 3 ではなくディープソフトウェアスタンバイモード 1 に遷移します。I/O ポートの端子状態はソフトウェアスタンバイモード時と同じです。

ディープソフトウェアスタンバイモードへの遷移の場合は、CPUCLK 周波数に応じた手順があります。詳細は「10.7.10. 低消費電力状態への遷移とその解除に関する注意事項」を参照してください。

10.6.4.2 ディープソフトウェアスタンバイモードの解除

ディープソフトウェアスタンバイモードは、以下の場合に解除されます。

- 表 10.4 に示す利用可能な割り込み
- リセット：
  - RES 端子リセット
  - パワーオンリセット
  - 電圧監視リセット
  - IWDT アンダーフローに起因したリセット

1. 割り込みによる解除
   割り込みによる解除は、DPSIERn (n = 0〜3) レジスタと DPSIFRn (n = 0〜3) レジスタで制御されます。ディープソフトウェアスタンバイモードの解除可能な割り込み要求が発生すると、DPSIFRn レジスタの当該フラグが 1 になります。DPSIERn レジスタで割り込みが許可されていると、ディープソフトウェアスタンバイモードが解除されます。また、立ち上がりエッジと立ち下がりエッジの選択は、DPSIEGRn (n = 0〜2) にて設定可能です。エッジ選択が可能な割り込みは、NMI 割り込み、IRQ0-DD〜IRQ15-DS 割り込み、電圧監視 n (n = 1, 2) 割り込みです。ディープソフトウェアスタンバイモードの解除要求が発生すると、内部電源が供給され、MOCO クロックが発振を開始し、MCU 全体に対して内部リセット（ディープソフトウェアスタンバイリセット）が発生します。
   安定した MOCO クロックが MCU 全体に供給され、ディープソフトウェアスタンバイリセットが解除されます。そして MCU はリセット例外処理を開始します。
   外部割り込み端子または内部割り込み信号によってディープソフトウェアスタンバイモードが解除されると、RSTSR0.DPSRSTF フラグが 1 になります。
2. RES 端子リセットによる解除
   RES 端子を Low にすると、本 MCU はディープソフトウェアスタンバイモードを解除して、リセット状態になります。電気的仕様の章に示す規定の期間の間、RES 端子を Low に保つようにしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
3. パワーオンリセットによる解除
   パワーオンリセットによってディープソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。
4. 電圧監視 0 リセットによる解除
   電圧検出回路による電圧監視 0 リセットによってディープソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。
5. 電圧監視 n リセット (n = 1, 2) による解除
   電圧検出回路による電圧監視 n リセット (n = 1, 2) によってディープソフトウェアスタンバイモード 1 が解除され、MCU はリセット例外処理を開始します。
6. IWDT リセットによる解除
   IWDT リセット（IWDT アンダーフローにより発生する内部リセット）によってディープソフトウェアスタンバイモード 1 が解除され、MCU はリセット例外処理を開始します。

ただし、下記の条件下では、ディープソフトウェアスタンバイモード 1 の時に IWDT が停止して、ディープソフトウェアスタンバイモード 1 を解除するための IWDT リセットが発生しません。

- OFS0.IWDTSTRT = 0（オートスタートモード）かつ OFS0.IWDTSTPCTL = 1
- OFS0.IWDTSTRT = 1（レジスタスタートモード）かつ IWDTCSTPR.SLCSTP = 1

10.6.4.3 ディープソフトウェアスタンバイモード解除時の端子状態

ディープソフトウェアスタンバイモード時、I/O ポートはディープソフトウェアスタンバイモードへの遷移前と同じ状態を保持しています。本 MCU はディープソフトウェアスタンバイモードの解除に伴う内部リセットによって初期化されます。ディープソフトウェアスタンバイモードを解除すると、リセット例外処理がただちに開始されます。

I/O ポートを初期化するか、ディープソフトウェアスタンバイモード遷移前の状態を保持するかは DPSBYCR.IOKEEP ビットで選択可能です。

- DPSBYCR.IOKEEP ビットが 0 の場合
  ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって、I/O ポートは初期化されます。
- DPSBYCR.IOKEEP ビットが 1 の場合
  ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって、MCU が初期化されますが、I/O ポートは MCU の内部状態にかかわらずディープソフトウェアスタンバイモード遷移前の状態を保持します。このとき、I/O ポートまたは周辺モジュールが設定されていても、I/O ポート状態はディープソフトウェアスタンバイモード遷移前の状態から変化しません。さらに、DPSBYCR.IOKEEP ビットを 0 にすることによって、保持されていた I/O ポート状態が解放され、MCU は内部状態に従って動作します。

DPSBYCR.IOKEEP ビットは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号（ディープソフトウェアスタンバイリセット信号）では初期化されません。

10.6.4.4 ディープソフトウェアスタンバイモードの応用例

(1) ディープソフトウェアスタンバイモードの遷移と解除

IRQn-DS 端子の立ち下がりエッジでディープソフトウェアスタンバイモードに遷移し、IRQn-DS 端子の立ち上がりエッジでディープソフトウェアスタンバイモードを解除する例を図 10.4 に示します。この例では、ICU の IRQCRi.IRQMD[1:0] ビットを 00b（立ち下がりエッジ）にした状態で、IRQn 端子の割り込みを受け付けています。MOCO が動作していない場合、MOCOCR.MCSTP を 0（MOCO 動作）にする必要があります。

その後、DPSIEGRy.DIRQnEG (y = 0, 1, n = 0～15) ビットを 1（立ち上がりエッジ）に、LPSCR.LPMD ビットを 0x8、0x9、または 0xA に、かつ CPU.SCR.SLEEPDEEP ビットを 1 にすると、WFI 命令が実行されます。ディープソフトウェアスタンバイモードへの遷移はこのようにして実行されます。その後、IRQn-DS 端子の立ち上がりエッジでディープソフトウェアスタンバイモードが解除されます。

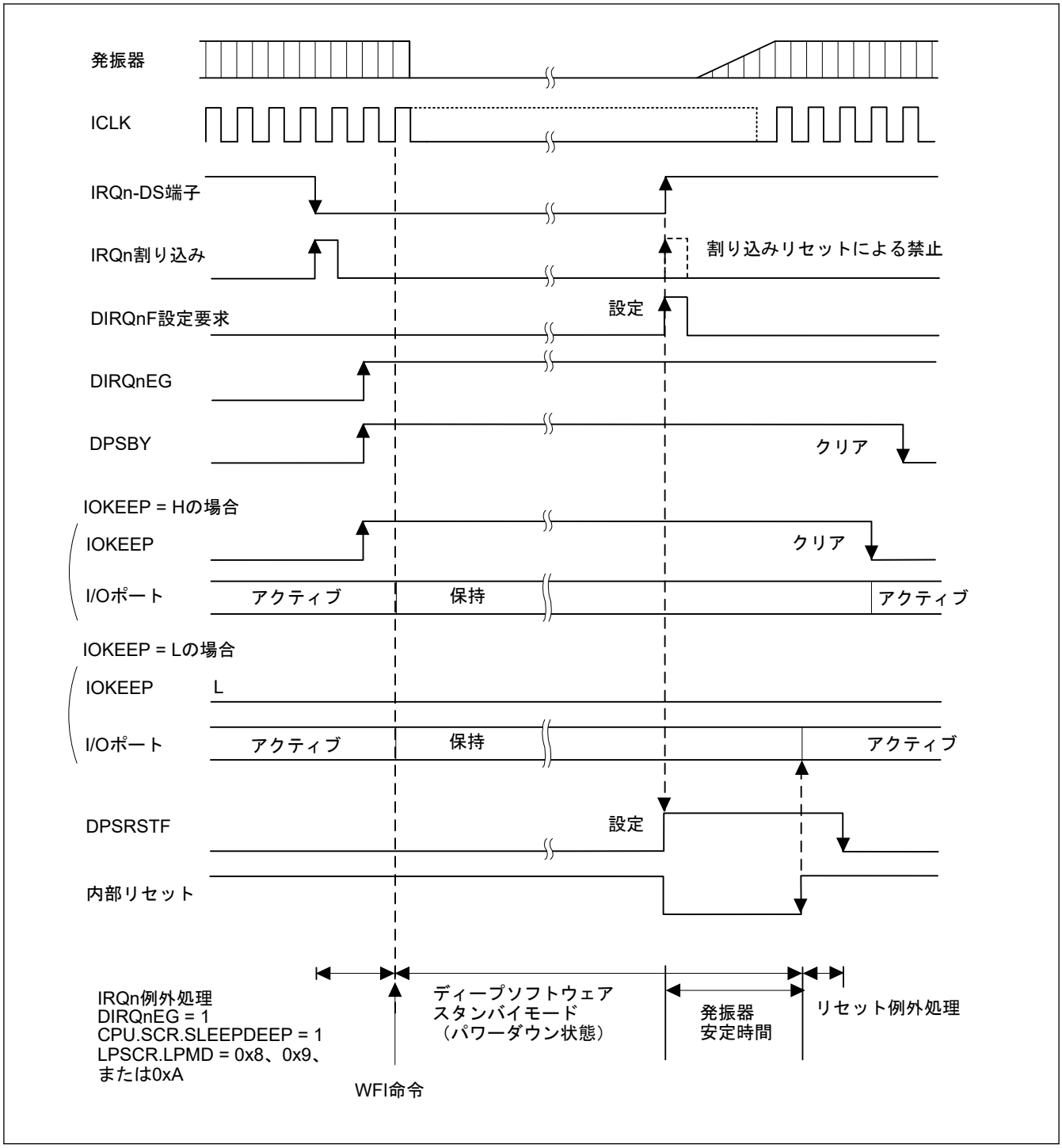


図 10.4　ディープソフトウェアスタンバイモードの応用例

10.6.4.5　ディープソフトウェアスタンバイモード使用時のフローチャート

図 10.5 に、ディープソフトウェアスタンバイモード使用時のフローチャート例を示します。

この例では、リセット例外処理の後、リセット機能の RSTSR0.DPSRSTF フラグを読み出して、RES 端子によるリセットか、ディープソフトウェアスタンバイモード解除によるリセットかを判定しています。

RES 端子によるリセットの場合は、必要なレジスタの設定を行った後、ディープソフトウェアスタンバイモードへ遷移しています。

ディープソフトウェアスタンバイモード解除によるリセットの場合は、I/O ポートの設定をした上で、DPSBYCR.IOKEEP ビットを 0 にクリアしています。

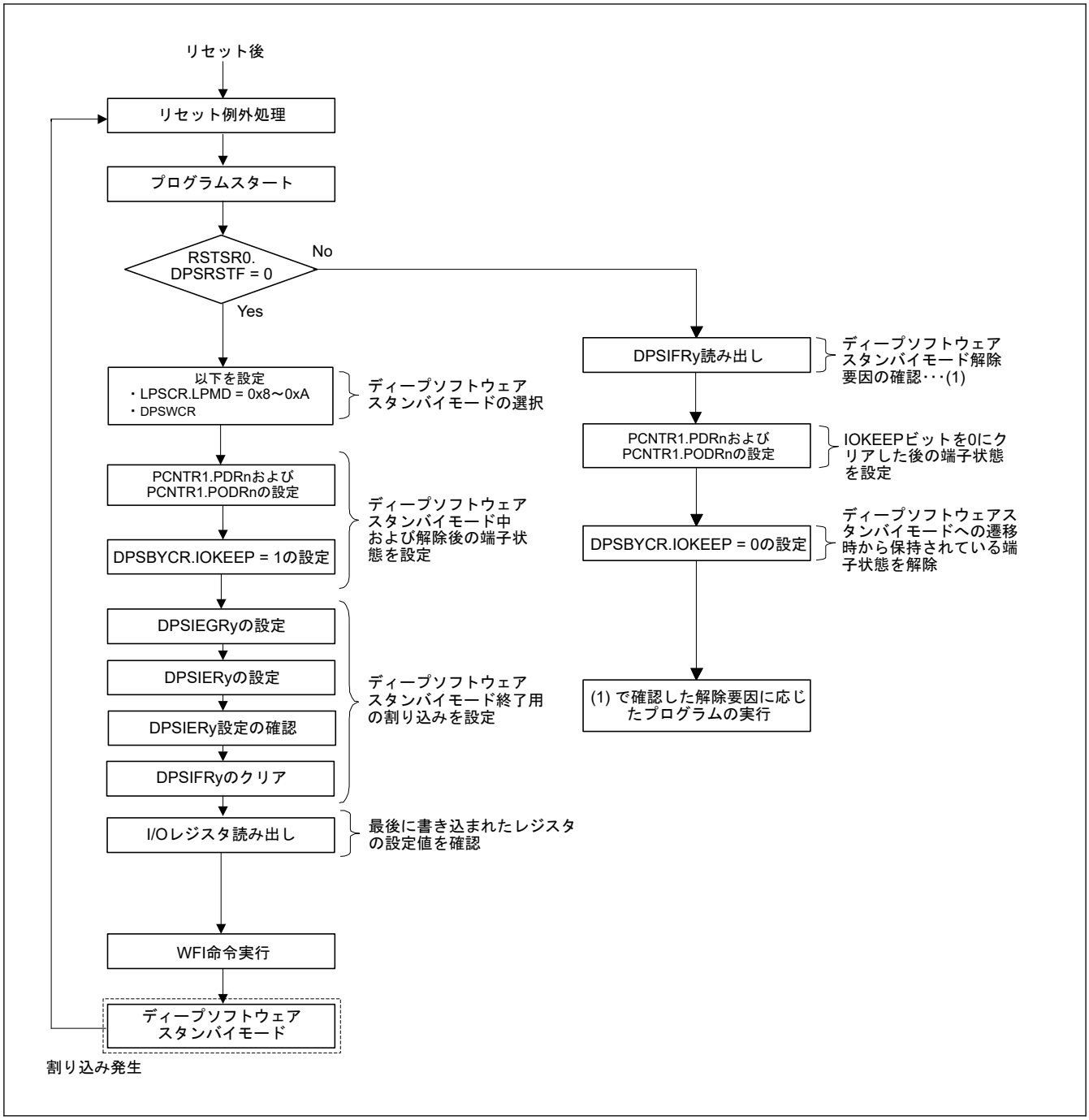


図 10.5　ディープソフトウェアスタンバイモード使用時のフローチャート例

10.7　使用上の注意

10.7.1　レジスタアクセス

(1)　特定モードの期間中または遷移中の無効なレジスタへのライトアクセス

下記のいかなる条件においても、レジスタ書き込みを行わないでください。

［レジスタ］

- “SYSTEM”という周辺名をもつ全レジスタ

［条件］

- OPCCR.OPCMTSF = 1（動作電力制御モード遷移中）

- FENTRYR.FENTRYi = 1 (i = 0～3) または FENTRYR.FENTRYD = 1（フラッシュ P/E モード、データフラッシュ P/E モード）
- WFI 命令の実行から通常モードへ復帰するまでの期間中

(2) クロック関連レジスタに対する有効な設定値

表 10.10 と表 10.11 に、各動作電力制御モードにおけるクロック関連レジスタの有効な設定値を示します。有効な設定値以外の値を書き込まないようにしてください。また、各レジスタには、動作電力制御モード以外の特定の条件下で禁止される設定値もあります。各レジスタに対する他の条件については、「8. クロック発生回路」を参照してください。

表 10.10 クロック関連レジスタに対する有効な設定値 (1)

モード	設定有効値		
	SCKSCR.CKSEL[2:0] CKOCR.CKOSEL[2:0]	PLLCR.PLLSTP	PLL2CR.PLL2STP
High-speed	000b (HOCO) 001b (MOCO) 010b (LOCO)(注2) 011b (MOSC) 100b (SOSC) 101b (PLL1P) (注1)	0（動作） 1（停止）	0（動作） 1（停止）
Low-speed	000b (HOCO) 001b (MOCO) 010b (LOCO)(注2) 011b (MOSC) 100b (SOSC)	1（停止）	1（停止）

注 1. SCKSCR.CKSEL[2:0]のみ
注 2. CKOCR.CKOSEL[2:0]のみ

表 10.11 クロック関連レジスタに対する有効な設定値 (2)

動作発振器	設定有効値
	OPCCR.OPCM[1:0]
PLL1、PLL2	00b
高速オンチップオシレータ	00b, 11b
中速オンチップオシレータ	
メインクロック発振器	
低速オンチップオシレータ	
サブクロック発振器	

(3) DTC または DMAC による無効なレジスタへのライトアクセス

DTC または DMAC によって、下記のレジスタに書き込まないでください。

［レジスタ］

- MSTPCRA
- MSTPCRB
- MSTPCRC
- MSTPCRD
- MSTPCRE

(4) PRCR.PRC1 ビットが 0 の場合の無効なライトアクセス

PRCR.PRC1 ビットが 0 の場合、下記のレジスタに対する書き込みは無効です。

［レジスタ］

- OPCCR
- PDRAMSCRn

- SBYCR
- SSCR1
- LPSCR
- DPSBYCR
- DPSIERn
- DPSIFRn
- DPSIEGRn
- PLL1LDOSCR
- PLL2LDOSCR
- HOCOLDOSCR
- LVOCR

(5) PRCR.PRC4 ビットが 0 の場合の無効なライトアクセス

PRCR.PRC4 ビットが 0 の場合、下記のレジスタに対する書き込みは無効です。

［レジスタ］

- LPMSAR
- PGCSAR
- DPFSAR
- RSCSAR

10.7.2 I/O ポートの状態

ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードでの I/O ポートの状態は、当該モードに遷移する前の状態と同じです。したがって、High を出力している間、供給電流は低減されません。

10.7.3 DMAC と DTC のモジュールストップ状態

MSTPCRA.MSTPA22 ビットを 1 にする前に、DMAC の DMAST.DMST ビットと DTC の DTCST.DTCST ビットを 0 にしてください。詳細は、「16. DMA コントローラ (DMAC)」および「17. データトランスファコントローラ (DTC)」を参照してください。

10.7.4 内部割り込み要因

モジュールストップ状態では、割り込みの動作ができません。割り込み要求が発生しているときに、モジュールストップビットを設定すると、CPU の割り込み要因や、DMAC や DTC の起動要因をクリアできません。そのため、対応する割り込みを事前に禁止してから、モジュールストップビットを設定してください。

10.7.5 DIRQnE ビットによる入力バッファ制御

DPSIERy.DIRQnE (y = 0, 1, n = 0～15) ビットを 1 にすることで、IRQ0-DS～IRQ15-DS 端子の入力バッファを有効にできます。これにより、当該端子の入力は、DPSIFRy.DIRQnF (y = 0, 1, n = 0～15) ビットに送られますが、割り込みコントローラや周辺モジュール、I/O ポートには送られませんので注意してください。

10.7.6 低消費電力モードへの遷移

本 MCU はイベントによるウェイクアップをサポートしていないため、WFE 命令の実行によって低消費電力モード（CPU スリープモード、CPU ディープスリープモード、ソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモード）へ遷移させないでください。

10.7.7 WFI 命令のタイミング

WFI 命令は、I/O レジスタの書き込みが完了する前に実行されることがあり、その場合、意図しない動作を起こす恐れがあります。これは、I/O レジスタへの書き込み直後に WFI 命令が実行された場合に生じます。この問題を避けるには、書き込まれたレジスタを読み戻して、書き込みの完了を確認することをお勧めします。

10.7.8 DMAC または DTC による WDT/IWDT レジスタ書き込み

プロセッサ低消費電力モードへの遷移によって WDT または IWDT が停止している間は、DMAC または DTC で WDT または IWDT 内のレジスタに書き込みをしないでください。

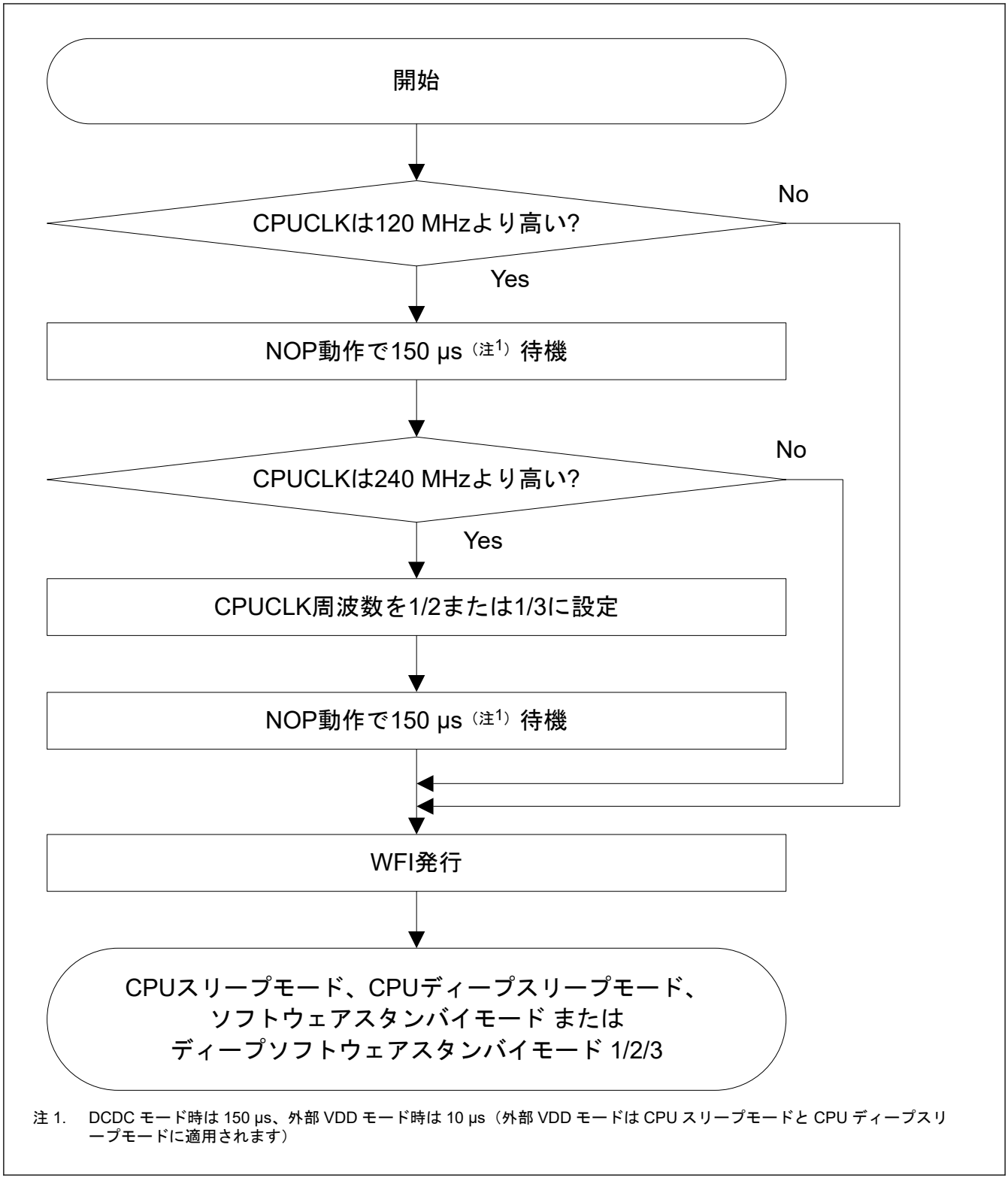
10.7.9 モジュールストップビット書き込みタイミング

対応するモジュールストップビットの書き込みが完了する前に I/O レジスタへのアクセスを実行することは可能です。この場合、I/O レジスタへのアクセスは意図しない動作を起こす恐れがあります。この問題を避けるには、I/O レジスタにアクセスする前に、モジュールストップビットを読み戻して、書き込みの完了を確認してください。

10.7.10 低消費電力状態への遷移とその解除に関する注意事項

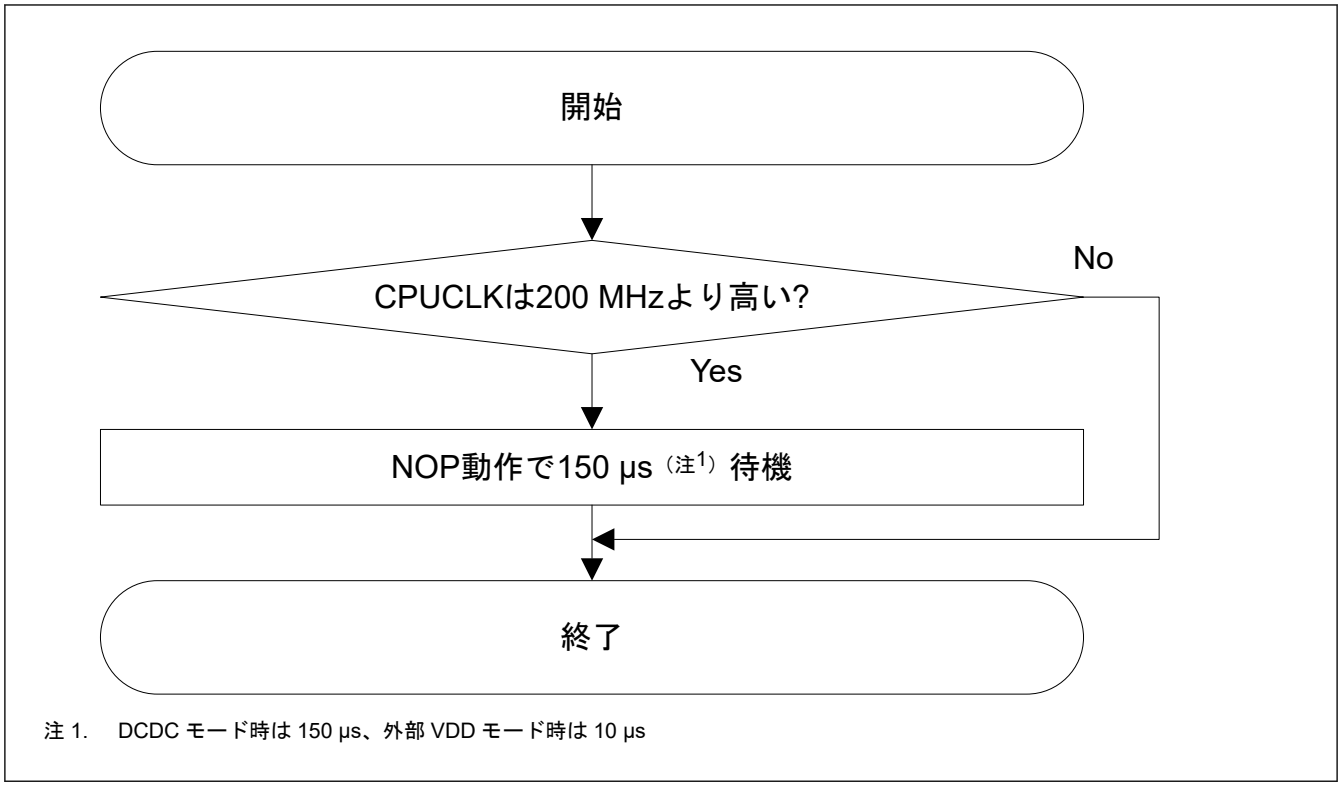
低消費電力状態への遷移と低消費電力状態からの解除は、CPUCLK 周波数に応じた手順で行う必要があります。

これらのフローを図 10.6、図 10.7、図 10.8 に示します。待機時間の測定にはソフトウェアの使用を推奨します。ワーストケースの使用条件を考慮して、待機時間が確実に経過したことを確認してください。待機時間中にやむを得ず割り込みが発生した場合、割り込みからの復帰後に再測定してください。



注 1. DCDC モード時は 150 µs、外部 VDD モード時は 10 µs（外部 VDD モードは CPU スリープモードと CPU ディープスリープモードに適用されます）

図 10.6 CPUCLK 周波数に応じて CPU スリープモード、CPU ディープスリープモード、ソフトウェアスタンバイモード、およびディープソフトウェアスタンバイモード 1/2/3 に遷移する場合の追加フロー



注 1. DCDC モード時は 150 µs、外部 VDD モード時は 10 µs

図 10.7 CPUCLK 周波数に応じて CPU ディープスリープモードから復帰する場合の追加フロー

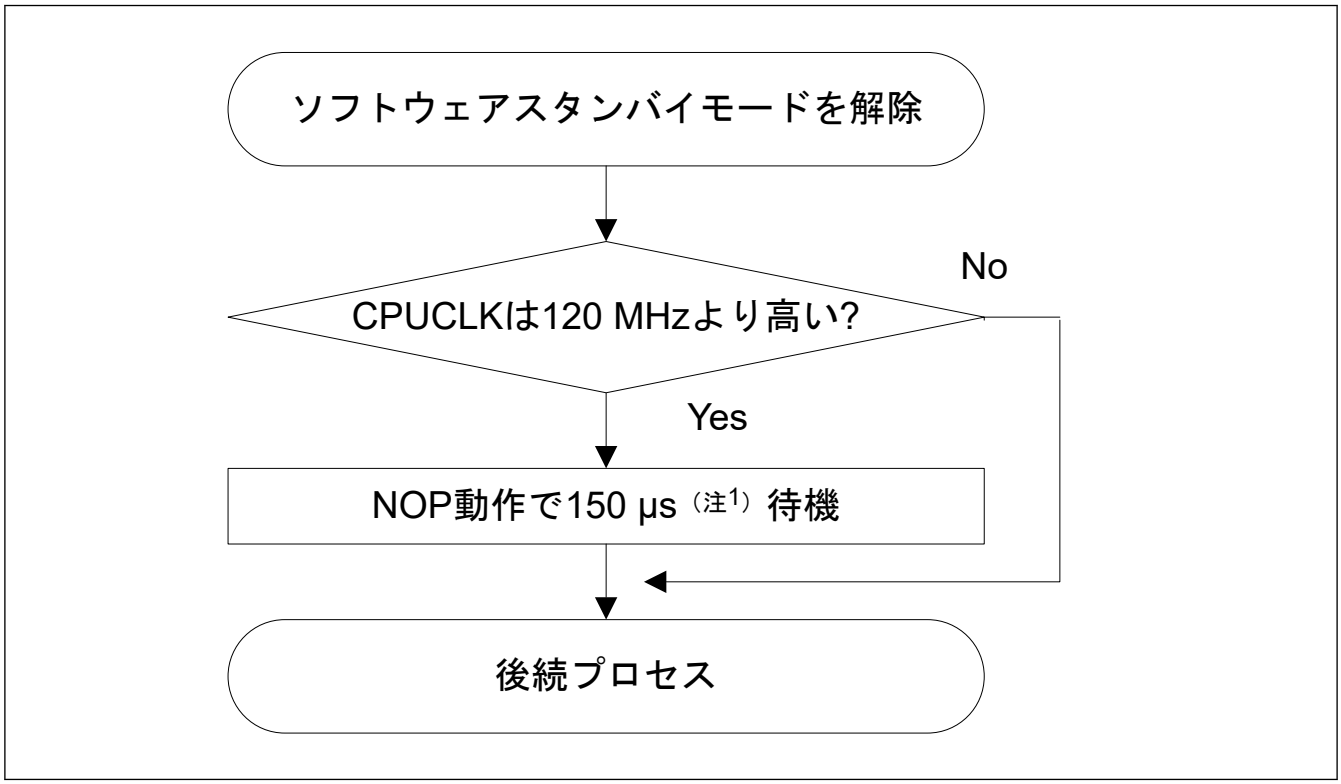


図 10.8 ソフトウェアスタンバイモード解除時の追加フロー

10.7.11 低消費電力モードへの遷移中の割り込み

10.7.11.1 Sleep-on-exit 機能に関する注意事項

低消費電力モードへの遷移は、WFI 命令または Sleep-on-exit によって行うことができます。

Sleep-on-exit で低消費電力モードに遷移する場合、ユーザーズマニュアルハードウェア編に記載の WFI 命令に関するコメントが Sleep-on-exit にも適用されます。

10.7.11.2 適用条件と注意事項

(1) 適用条件

以下の 3 つの条件がすべて満たされたとき。

1. ソフトウェアスタンバイモードまたは CPU ディープスリープモードを使用するために CPU.SCR.SLEEPDEEP = 1 に設定し、なおかつ LPSCR.LPMD を 0x0 または 0x4 に設定した状態では、WFI 命令または SLEEPONEXIT のトリガにより CPU ディープスリープモードへの遷移を開始します。
2. CPU ディープスリープモードへの遷移時、ICLK 周波数は 90 MHz より大きく、CPUCLK:ICLK = 2:1 です。
3. CPU ディープスリープモードに遷移するために指定された間隔（ICLK の 1 サイクル）の間は、CPU ディープスリープモードから復帰するための割り込み要因ではない以下の割り込み要求のいずれか 1 つが、CPU で受け付けられます。
   (a) SysTick 割り込み（以下のすべてが適用可能）：
   - 割り込みベクタテーブルの例外番号 15。
   - 割り込み要求は、基本優先順位マスクレジスタ (BASEPRI) でマスクされません (BASEPARI = 0 または BASEPRI > SHPR3.PRI_15)。

   (b) CPU ディープスリープモードから復帰するための割り込み要因でないマスカブル割り込み要求（以下のすべてに該当するもの）：
   - 表 13.3 の例外番号 16～111 の WUPEN によるもの（CPU ディープスリープモードからの復帰が許可されないもの）
   - 割り込み許可セットレジスタ (NVIC_ISERn) によって割り込みが許可されているもの。
   - 基本優先順位マスクレジスタ (BASEPRI) によって割り込み要求がマスクされないもの (BASEPARI = 0 または BASEPRI > NVIC_IPRn.PRI_N)。

(2) 備考

上記の条件が満たされた場合、MCU が以下の意図しない状態に遷移することが稀にあります。

これらの意図しない状態は、リセットによって解決できます。意図しない状態が発生すると、その後の CPU ディープスリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへの遷移ができなくなります。

これらの意図しない状態が望ましくない場合は、回避策を講じてください。

1. CPU ディープスリープモードへの遷移時 (LPSCR.LPMD = 0x0 および CPU.SCR.SLEEPDEEP = 1)、CLK は CPU ディープスリープモードへの遷移前と同様に動作を継続します。
   - CPU だけが動作を停止して、電流消費は CPU スリープモードと同じレベルになります。
   - CPU ディープスリープモードから復帰するための割り込み要因設定については、これらの割り込み要求で通常モードに復帰できます。
2. ソフトウェアスタンバイモードへの遷移時 (LPSCR.LPMD = 0x4 および CPU.SCR.SLEEPDEEP = 1)、CLK は、CPU ディープスリープモードへの遷移前と同様に動作を継続します。
   - CPU だけが動作を停止して、電流消費は CPU スリープモードと同じレベルになります。
   - ソフトウェアスタンバイモードへの遷移を開始する前と同様に、設定に依存して、タイマまたは他の周辺機能は動作を継続し、周辺機能に関連する割り込み要求が発生します。
   - WDT クロックは停止しないので、WDT に対するリセットまたは割り込みは、ソフトウェアスタンバイモードへの遷移開始前の設定に応じて生成されます。
   - 割り込み要求は IR フラグ (IELSRn) で保持されます。
   - CPU ディープスリープモードから復帰するための割り込み要因設定については、これらの割り込み要求で通常モードに復帰できます。

3. ディープソフトウェアスタンバイモードへの遷移時 (LPSCR.LPMD = 0x8、0x9、または 0xA、および CPU.SCR.SLEEPDEEP = 1)。
ディープソフトウェアスタンバイモードへは遷移できず、「2. ソフトウェアスタンバイモードへの遷移時」の状態が続きます。
ディープソフトウェアスタンバイモードから復帰するための割り込み要因 (DPSIERn) の設定に関しては、CPU ディープスリープモードから復帰するための割り込み要因 (WUPENn) が設定されているときのみ、これらの割り込み要求で通常モードに復帰できます。

10.7.11.3 回避策

(1) 回避策

上記の望ましくない状態を回避するため、CPU ディープスリープモードまたはソフトウェアスタンバイモードへの遷移条件が満たされる前に、以下の 1.または 2.を適用してください

1. CPUCLK: ICLK = 1:1 となるように周波数を設定します。
2. CPU ディープスリープモードからの復帰のための割り込み要因でない割り込み要求を禁止します。(設定手順については(2) CPU ディープスリープモードまたはソフトウェアスタンバイモードへの遷移の設定手順を参照)。
   (a) SysTick 割り込み要求を禁止します (表 13.3 の例外番号 15)。
   (b) CPU ディープスリープモードからの復帰のための割り込み要因でないマスカブル割り込み要求を禁止します (WUPENn が CPU ディープスリープモードからの復帰を許可しない表 13.3 の例外番号 16～111)。

(2) CPU ディープスリープモードまたはソフトウェアスタンバイモードへの遷移の設定手順

この項では、意図しない状態を回避するための手順を説明します。

CPU ディープスリープモードまたはソフトウェアスタンバイモードから復帰した後の割り込み要求の取り扱いは、マスカブル割り込み要求を禁止するために使用した方法によって異なります。2 つのうち、いずれか一方を適用してください。

[手順 A：マスカブル割り込み要求の受け付けを禁止する]

割り込み要求の受け付けが禁止されている間に発生する割り込み要求は、すべて破棄されます。

表 10.12 CPU ディープスリープモードまたはソフトウェアスタンバイモードへ遷移する前の手順

手順	内容
1	SysTick 割り込み要求を禁止します。(注1)
2	CPU ディープスリープモードから復帰するための割り込み要因でないマスカブル割り込み要求の受け付けを禁止するために、ICU の IELSRn をクリアします。
3	ICU の IELSRn がクリアされたことを確認するために、ICU の IELSRn を読み出します。
4	ソフトウェアスタンバイモードへ遷移します (WFI 命令、SLEEPONEXIT)。

注 1. SysTick 割り込み要求を禁止することにより、最新の SysTick 割り込み要求が発生せずに、SysTick 割り込み要求が SysTick タイマの 1 サイクル分の遅延を生じさせる可能性があります。

表 10.13 CPU ディープスリープモードまたはソフトウェアスタンバイモードから復帰した後の手順

手順	内容
1	SysTick 割り込み要求を許可します。
2	CPU ディープスリープモードから復帰するための割り込み要因でないマスカブル割り込み要求の受け付けを許可するために、ICU の IELSRn をセットします。

[手順 B：[マスカブル割り込み要求の禁止]

割り込み要求が禁止されている間に発生した割り込み要求は、IELSRn.IR フラグで保持されます。したがって、CPU ディープスリープモードまたはソフトウェアスタンバイモードから復帰してマスカブル割り込みを許可した後、割り込みを処理できるようになります。

表 10.14　ソフトウェアスタンバイモード、スヌーズモード、ディープソフトウェアスタンバイモードへ遷移する前の手順

手順	内容
1	SysTick 割り込み要求を禁止します。(注1)
2	CPU ディープスリープモードからの復帰のための割り込み要因でないマスカブル割り込み要求を禁止するために、CPU の NVIC_ICERn の対応するビットに 1 を書き込みます。
3	データ同期バリア (DSB) 命令を実行します。
4	ソフトウェアスタンバイモードへ遷移します（WFI 命令、SLEEPONEXIT）。

注 1.　SysTick 割り込み要求を禁止することにより、最新の SysTick 割り込み要求が発生せずに、SysTick 割り込み要求が SysTick タイマの 1 サイクル分の遅延を生じさせる可能性があります。

表 10.15　CPU ディープスリープモードまたはソフトウェアスタンバイモードから復帰した後の手順

手順	内容
1	SysTick 割り込み要求を許可します。
2	CPU ディープスリープモードからの復帰のための割り込み要因でないマスカブル割り込み要求を許可するために、CPU の NVIC_ISERn の対応するビットに 1 を書き込みます。

11. バッテリバックアップ機能

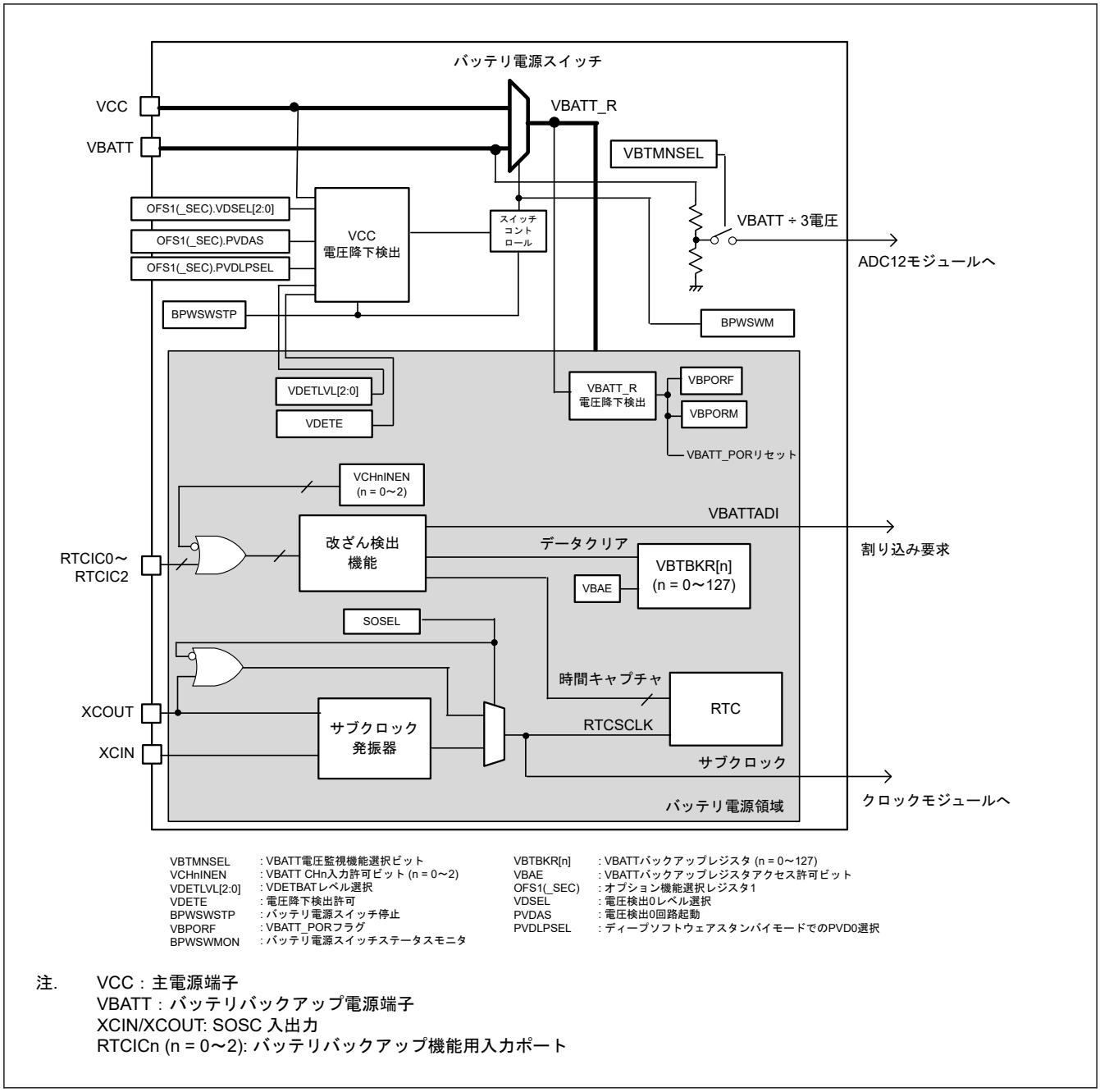
11.1 概要

本 MCU はバッテリバックアップ機能を備えており、電力損失が生じた場合に、バッテリによる部分給電が維持されます。VCC 端子と VBATT 端子を切り替えることにより、RTC、SOSC、バックアップレジスタ、改ざん検出、および VBATT_R 電圧降下検出は、バッテリ電源領域に含まれます。VBATT_R は、バッテリ電源スイッチの出力電圧です。これはバッテリ電源領域の電源です。

正常に動作しているとき、バッテリ電源領域には主電源（VCC 端子）から電源が供給されます。VCC 端子に電圧降下が検出されると、電源は専用のバッテリバックアップ用電源端子（VBATT 端子）に切り替わります。そして電圧が上昇すると、電源は再び VBATT 端子から VCC 端子へ切り替わります。

11.1.1 バッテリバックアップ機能のブロック図

図 11.1 にバッテリバックアップ機能の構成図を示します。



注. VCC：主電源端子
VBATT：バッテリバックアップ電源端子
XCIN/XCOUT: SOSC 入出力
RTCICn (n = 0～2): バッテリバックアップ機能用入力ポート

図 11.1 バッテリバックアップ機能のブロック図

11.1.2 バッテリバックアップ機能

以下の機能で構成されます。

- バッテリ電源スイッチ
- VBATT_R 電圧降下検出機能
- バックアップレジスタ
- 時間キャプチャ端子検出
- 改ざん検出機能
- VBATT 電圧監視機能

11.1.3 バッテリ電源スイッチ

VCC 端子の印加電圧が低下すると、この機能によって、電源が VCC 端子から VBATT 端子に切り替わります。そして電圧が上昇すると、再び VBATT 端子から VCC 端子へ切り替わります。

VCC が VDETBATT より低く、かつ VBAT より高い場合、注入電流は、内部ダイオードを介して VCC 端子から VBATT 端子へ流れます。VBATT 端子に接続された電源バッテリが、この電流注入に対応していない（たとえば、バッテリが再充電可能なものではない）場合、ルネサスは、電源バッテリと VBATT 端子の間に低電圧しきい値のダイオードを接続することを強く推奨しています。

電圧監視 0 リセットを許可にした上で、バッテリバックアップ機能を使用する必要があります。電圧監視 0 レベルは、VBATT 切り替えレベルよりも高く設定しなければなりません。

11.1.4 VBATT_R 電圧降下検出機能

VBATT_R 電圧降下検出機能は、バッテリ電源領域に対応しています。この機能は VBATT_R 電圧レベルを監視します。VBATT_R は、バッテリ電源スイッチの出力電圧です。この電圧降下検出は VBATT_POR リセットを引き起こし、バッテリ電源領域を初期化します。詳細は、各レジスタの説明を参照してください。VBATT ステータスレジスタは、この電圧降下検出を確認するためのフラグを含んでいます。

11.1.5 バックアップレジスタ

バッテリ電源領域には、128 バイトのバックアップレジスタが搭載されています。これらのレジスタは、VBATT 端子が電源供給されていて、VCC 端子が電源 OFF の場合に、データを保持します。改ざんが検出されると、バックアップレジスタのデータは 0x00 にクリアできます。

11.1.6 時間キャプチャ機能

RTC は、RTCICn (n = 0～2) 端子の入力レベルの変化を検出します。詳細は、「24. リアルタイムクロック (RTC)」を参照してください。

11.1.7 改ざん検出機能

改ざん検出機能は、RTCICn (n = 0～2) 端子の入力イベントを検出します。入力イベントは、RTCICn (n = 0～2) 端子の入力レベルの変化として定義されます。改ざん検出フラグは、入力イベントによって 1 に設定されます。割り込みが許可され、フラグが 1 に設定されると、改ざん検出割り込みが発生します。バックアップレジスタのクリアが許可され、フラグが 1 に設定されると、バックアップレジスタのデータがクリアされます。時間キャプチャ機能は、時間キャプチャトリガのソースとして、本フラグを選択できます。

11.1.8 VBATT 電圧監視機能

VBATT 電圧監視機能は、VBATT 端子への入力電圧レベルを監視します。電圧レベルは、アナログ信号として監視できます。詳細は、「42. 12 ビット A/D コンバータ (ADC12)」を参照してください。

11.2 レジスタの説明

11.2.1 BBFSAR : バッテリバックアップ機能セキュリティ属性レジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0x3D0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	NONSEC4	NONSEC3	NONSEC2	NONSEC1	NONSEC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	NONSEC0	非セキュア属性ビット 0 対象レジスタ: VBATTMNSELR 0: セキュア 1: 非セキュア	R/W
1	NONSEC1	非セキュア属性ビット 1 対象レジスタ: VBTBER 0: セキュア 1: 非セキュア	R/W
2	NONSEC2	非セキュア属性ビット 2 対象レジスタ: VBTICTLR, VBTICTLR2, VBTIMONR 0: セキュア 1: 非セキュア	R/W
3	NONSEC3	非セキュア属性ビット 3 対象レジスタ: VBTBPCR1, VBTBPCR2, VBTBPSR 0: セキュア 1: 非セキュア	R/W
4	NONSEC4	非セキュア属性ビット 4 対象レジスタ: VBTADSR, VBTADCR1, VBTADCR2 0: セキュア 1: 非セキュア	R/W
31:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1, P-TYPE-1
注. このレジスタは PRCR レジスタによって書き込み保護されています。

BBFSAR レジスタは、バッテリバックアップ機能レジスタのセキュア属性を制御します。

NONSEC0 ビット（非セキュア属性ビット 0）

本ビットは VBATTMNSELR レジスタのセキュリティ属性を制御します。

NONSEC1 ビット（非セキュア属性ビット 1）

本ビットは VBTBER レジスタのセキュリティ属性を制御します。

NONSEC2 ビット（非セキュア属性ビット 2）

本ビットは VBTICTLR、VBTICTLR2、および VBTIMONR の各レジスタのセキュリティ属性を制御します。

NONSEC3 ビット（非セキュア属性ビット 3）

本ビットは VBTBPCR1 レジスタおよび VBTADCR2 レジスタのセキュリティ属性を制御します。

NONSEC4 ビット（非セキュア属性ビット 4）

本ビットは VBTADSR、VBTADCR1、および VBTADCR2 の各レジスタのセキュリティ属性を制御します。

11.2.2 VBRSABAR : VBATT バックアップレジスタセキュリティ属性バウンダリアドレスレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x3B0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SABA[15:0]															
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	SABA[15:0]	セキュア領域／非セキュア領域間のバウンダリアドレス	R/W

注. S-TYPE-6, P-TYPE-2

VBRSABAR は、VBATT バックアップレジスタのセキュア領域／非セキュア領域間のバウンダリアドレスを指定します。本レジスタは、VBATT バックアップレジスタのアドレスの下位 16 ビットを指定します。セキュア領域は SABA より下位です。非セキュア領域は SABA と同じか上位です。バウンダリアドレスは 32 バイト単位で設定できます。よって、b4～b0 に書き込まれる値は 0 である必要があります。SABA は VBATT バックアップレジスタ以外には、影響ありません。

VBATT バックアップレジスタは、以下のように分離されています。

セキュア領域： 0x4001_ED00 ≦ アドレス < 0x4001_0000 + SABA

非セキュア領域： 0x4001_0000 + SABA ≦ アドレス

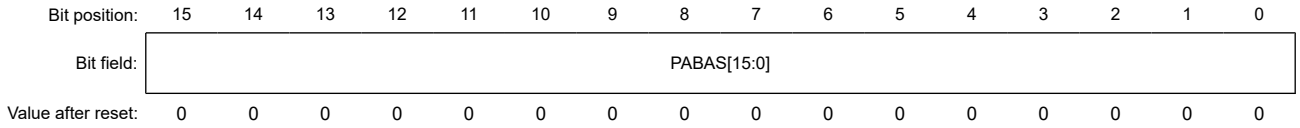
初期値は、VBATT バックアップレジスタの最終アドレスよりも上位のアドレスを指定します。よって、すべての領域がセキュア領域です。

VBATT バックアップレジスタのすべての領域を非セキュア領域に指定する場合は、VBATT バックアップレジスタの領域の最上位アドレスを指定してください。

11.2.3 VBRPABARS：セキュア領域用 VBATT バックアップレジスタプリビレッジ属性バウンダリアドレスレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x3B4



ビット	シンボル	機能	R/W
15:0	PABAS[15:0]	プリビレッジ領域／アンプリビレッジ領域間のバウンダリアドレス	R/W

注. S-TYPE-6, P-TYPE-2

VBRPABARS は、VBATT バックアップレジスタのセキュア領域のプリビレッジ領域／アンプリビレッジ領域間のバウンダリアドレスを指定します。さらに、本レジスタは、VBRSABAR レジスタで設定された VBATT バックアップレジスタのセキュア領域を、プリビレッジ領域とアンプリビレッジ領域に分離します。本レジスタは、VBATT バックアップレジスタのアドレスの下位 16 ビットを指定します。プリビレッジ領域は PABAS より下位です。アンプリビレッジ領域は PABAS 以上（上位）です。バウンダリアドレスは 32 バイト単位で設定できます。よって、b4～b0 から書き込まれた値は 0 です。PABAS は VBATT バックアップレジスタ以外には、影響ありません。

VBATT バックアップレジスタは、以下のように分離されています。

セキュア領域内のプリビレッジ領域： 0x4001_ED00 ≦ アドレス < 0x4001_0000 + PABAS
0x4001_ED00 ≦ アドレス < 0x4001_0000 + SABA

この領域は両方のアドレスの条件を満たします。

セキュア領域内のアンプリビレッジ領域： 0x4001_0000 + PABAS ≦ アドレス < 0x4001_0000 + SABA

初期値は、VBATT バックアップレジスタの最上位アドレスの前を指定します。よって、すべてのセキュア領域がアンプリビレッジ領域です。この場合、本レジスタの設定は、実際、無視されます。

セキュア領域として設定した、すべての VBATT バックアップレジスタをプリビレッジ領域に指定する場合は、VBRPABARS レジスタに 0xFFE0 の値を設定してください。

これにより、目標仕様の基本認証の認証空間が狭くなります。

11.2.4 VBRPABARNS : 非セキュア領域用 VBATT バックアップレジスタプリビレッジ属性バウンダリアドレスレジスタ

Base address: SYSC_NS = 0x5001_E000

Offset address: 0x3B8

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PABANS[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	PABANS[15:0]	プリビレッジ領域／アンプリビレッジ領域間のバウンダリアドレス	R/W

注. S-TYPE-7, P-TYPE-2

VBRPABARNS は、VBATT バックアップレジスタの非セキュア領域のプリビレッジ領域／アンプリビレッジ領域間のバウンダリアドレスを指定します。さらに、本レジスタは、VBRSABAR レジスタで設定された VBATT バックアップレジスタの非セキュア領域を、プリビレッジ領域とアンプリビレッジ領域に分離します。本レジスタは、VBATT バックアップレジスタのアドレスの下位 16 ビットを指定します。プリビレッジ領域は PABANS より下位です。アンプリビレッジ領域は PABANS 以上（上位）です。バウンダリアドレスは 32 バイト単位で設定できます。よって、b4～b0 から書き込まれた値は 0 です。PABANS は VBATT バックアップレジスタ以外には、影響ありません。

VBATT バックアップレジスタは、以下のように分離されています。

セキュア領域内のプリビレッジ領域： 0x5001_0000 + SABA ≦ アドレス < 0x5001_0000 + PABANS

セキュア領域内のアンプリビレッジ領域： 0x5001_0000 + PABANS ≦ アドレス
0x5001_0000 + SABA ≦ アドレス

この領域は両方のアドレスの条件を満たします。

初期値は、VBATT バックアップレジスタの最上位アドレスの前を指定します。よって、すべての非セキュア領域がアンプリビレッジ領域です。この場合、本レジスタの設定は、実際、無視されます。

非セキュア領域として設定した、すべての VBATT バックアップレジスタをプリビレッジ領域に指定する場合は、VBRPABARNS レジスタに 0xFFE0 の値を設定してください。

これにより、目標仕様の基本認証の認証空間が狭くなります。

11.2.5 VBATTMNSELR : バッテリバックアップ電圧監視機能選択レジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA84

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	VBTMNSEL
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	VBTMNSEL	VBATT 電圧監視機能選択 0: VBATT 電圧監視機能無効 1: VBATT 電圧監視機能有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

VBATTMNSELR は、VBATT 電圧監視機能を制御するレジスタです。

本レジスタは、VBATT_POR リセットを除く全リセット要因により初期化されます。

VBTMNSEL ビット（VBATT 電圧監視機能選択）

本ビットは、VBATT 低電圧監視機能を選択します。本ビットを 1 に設定後、監視レベルが安定するまで t_{MONWT} だけ待機する必要があります。

VBTMNSEL = 1 のとき、消費電流が増加します。したがって、VBATT 電圧レベルを監視後、VBATT 電源の消費電力を低減させるために、VBTMNSEL を 0 にクリアしてください。

t_{MONWT} についての詳細は、「52. 電気的特性」を参照してください。

11.2.6 VBTBER : VBATT バックアップイネーブルレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xC40

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	VBAE	—	—	—
Value after reset:	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	VBAE	VBATT バックアップレジスタアクセス許可 0: VBTBKR[n]へのアクセスは禁止 1: VBTBKR[n]へのアクセスは許可	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

VBAE ビットは、VBATT モードへの遷移後、VCC のパワーオンリセットにより初期化されます。

VBAE ビット（VBATT バックアップレジスタアクセス許可）

VBTBKR[n] (n = 0～127) にアクセスする前に VBAE ビットに 1 を書き込み、VBTBKR[n]へのすべてのアクセス（書き込みまたは読み出し）が完了したら、VBAE ビットに 0 を書き込む必要があります。VBAE ビットに 0 を書かなかった場合、VBTBKR[n]のデータは VBATT モードで保持されません。

また、VBAE が 0 のとき、VDD 電源と VCC 電源が OFF の場合でも、VBTBKR[n]の値は保持できます。

VBTBKR[n]にアクセスするには、VBAE ビットに 1 を書き込んだ後、500 ns 以上待機してから VBTBKR[n]にアクセスしてください。

ディープソフトウェアスタンバイモードに遷移する前に、VBAE ビットに 0 を書き込む必要があります。

ディープソフトウェアスタンバイモードに遷移する前に、VBAE ビットに 0 を書き込んだ後、250 ns 以上待機してください。

VBTBKR[n]を使用しない場合、VBTBKR[n]の消費電力を低減するために VBAE ビットを 0 にしてください。

11.2.7 VBTBKR[n] : VBATT バックアップレジスタ (n = 0～127)

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xD00 + 0x001 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	n/a	VBATT バックアップレジスタ 本レジスタの値は、VBATT モードでも保持されます。 本レジスタは、いずれのリセット要因によっても初期化されません。	R/W

注. S-TYPE-3, P-TYPE-3

VBTBKR[n]ビット（VBATT バックアップレジスタ）

本レジスタの値は、VBATT モードでも保持されます。

VBTBKR[n]レジスタにアクセスする場合、32、16、または 8 ビットのアクセス指示を使用できます。アクセス時は、VBTBKR[n]レジスタに格納されたデータのバイト順序がリトルエンディアンであることに注意してください。

VBTBKR[n]レジスタのデータは、VBATT_POR リセットまたは改ざん検出機能により、0x00 にクリアされます。

表 11.1 セキュア領域用 VBATT バックアップレジスタのアドレス

アドレス	シンボル
0x4001_ED00～0x4001_ED0F	VBTBKR[0]～VBTBKR[15]
0x4001_ED10～0x4001_ED1F	VBTBKR[16]～VBTBKR[31]
0x4001_ED20～0x4001_ED2F	VBTBKR[32]～VBTBKR[47]
0x4001_ED30～0x4001_ED3F	VBTBKR[48]～VBTBKR[63]
0x4001_ED40～0x4001_ED4F	VBTBKR[64]～VBTBKR[79]
0x4001_ED50～0x4001_ED5F	VBTBKR[80]～VBTBKR[95]
0x4001_ED60～0x4001_ED6F	VBTBKR[96]～VBTBKR[111]
0x4001_ED70～0x4001_ED7F	VBTBKR[112]～VBTBKR[127]

11.2.8 VBTICTLR : VBATT 入力コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xC4C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	VCH2INEN	VCH1INEN	VCH0INEN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	VCH0INEN	VBATT CH0 入力許可 0: RTCIC0 入力禁止 1: RTCIC0 入力許可	R/W
1	VCH1INEN	VBATT CH1 入力許可 0: RTCIC1 入力禁止 1: RTCIC1 入力許可	R/W
2	VCH2INEN	VBATT CH2 入力許可 0: RTCIC2 入力禁止 1: RTCIC2 入力許可	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 注. S-TYPE-3, P-TYPE-2
注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

VBTICTLR レジスタは、RTCICn (n = 0～2) 端子を入力として選択可能です。本レジスタは、VBATT_POR リセットでのみ初期化されます。

VCHnINEN ビット（VBATT CHn 入力許可） (n = 0～2)

VCHnINEN ビットは RTCICn の入力方向を許可します。RTCICn 端子入力が許可された後、動作が安定するまでに 50 µs の待機時間が必要です。MCU の VCC 電圧が 1.8 V より低く、これらのビットが 1 に設定されている場合、RTC レジスタと VBTBKR[n] (n = 0～127) は、本ビットの設定から 20 µs 経過後にアクセス可能です。

11.2.9 VBTICTLR2 : VBATT 入力コントロールレジスタ 2

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xC4D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	VCH2EG	VCH1EG	VCH0EG	—	VCH2NCE	VCH1NCE	VCH0NCE
Value after reset:	0	1	1	1	0	0	0	0

ビット	シンボル	機能	R/W
0	VCH0NCE	VBATT CH0 入力ノイズキャンセラ有効 0: RTCIC0 端子入力ノイズキャンセラ無効 1: RTCIC0 端子入力ノイズキャンセラ有効	R/W
1	VCH1NCE	VBATT CH1 入力ノイズキャンセラ有効 0: RTCIC1 端子入力ノイズキャンセラ無効 1: RTCIC1 端子入力ノイズキャンセラ有効	R/W
2	VCH2NCE	VBATT CH2 入力ノイズキャンセラ有効 0: RTCIC2 端子入力ノイズキャンセラ無効 1: RTCIC2 端子入力ノイズキャンセラ有効	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	VCH0EG	VBATT CH0 入力エッジ選択 0: 立ち下がりエッジで RTCIC0 端子入力イベント検出 1: 立ち上がりエッジで RTCIC0 端子入力イベント検出	R/W
5	VCH1EG	VBATT CH1 入力エッジ選択 0: 立ち下がりエッジで RTCIC1 端子入力イベント検出 1: 立ち上がりエッジで RTCIC1 端子入力イベント検出	R/W
6	VCH2EG	VBATT CH2 入力エッジ選択 0: 立ち下がりエッジで RTCIC2 端子入力イベント検出 1: 立ち上がりエッジで RTCIC2 端子入力イベント検出	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

VBTICTLR2 レジスタは、RTCICn (n = 0～2) 端子入力モードを選択可能です。本レジスタは、VBATT_POR リセットでのみ初期化されます。

VCHnNCE ビット（VBATT CHn 入力ノイズキャンセラ有効）(n = 0～2)

VCHnNCEN ビットは、RTCICn (n = 0～2) 端子入力の入力ノイズキャンセラを有効にします。

VCHnEG ビット（VBATT CHn 入力エッジ選択）(n = 0～2)

VCHnEG ビットは、VBTADFn フラグを設定するために、入力イベント検出エッジを選択します。

11.2.10 VBTIMONR : VBATT 入力監視レジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xC4E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	VCH2MON	VCH1MON	VCH0MON
Value after reset:	0	0	0	0	0	x	x	x

ビット	シンボル	機能	R/W
0	VCH0MON	VBATT CH0 入力監視 0: RTCIC0 端子の入力レベル Low 1: RTCIC0 端子の入力レベル High	R
1	VCH1MON	VBATT CH1 入力監視 0: RTCIC1 端子の入力レベル Low 1: RTCIC1 端子の入力レベル High	R
2	VCH2MON	VBATT CH2 入力監視 0: RTCIC2 端子の入力レベル Low 1: RTCIC2 端子の入力レベル High	R
7:3	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-2

VBTIMONR レジスタは、RTCICn (n = 0～2) 端子の入力レベルを監視できます。

VCHnMON ビット（VBATT CHn 監視）(n = 0～2)

VCHnMON ビットは、RTCICn (n = 0～2) 端子の入力レベルを示します。

11.2.11 VBTBPCR1 : VBATT バッテリ電源コントロールレジスタ 1

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA88

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	BPWSWSTP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BPWSWSTP	バッテリ電源スイッチ停止 0: バッテリ電源スイッチ有効 1: バッテリ電源スイッチ停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

VBTBPCR1 レジスタはバッテリ電源スイッチを制御します。本レジスタは、ディープソフトウェアスタンバイリセットと VBATT_POR リセットを除く全リセット要因により初期化されます。

BPWSWSTP ビット（バッテリ電源スイッチ停止）

BPWSWSTP ビットは、VCC 端子電圧が降下したとき、バッテリバックアップモジュールの電源ソースを VCC から VBATT へ切り替えることを許可できます。

電源ソースの切り替えの停止を選択すると、バッテリバックアップモジュールの電源ソースは常に VCC です。BPWSWSTP ビットを 1 にした後は、VDETE ビットを 0 にしてください。BPWSWSTP ビットは、VDETE ビットが 1 のとき、1 から 0 に設定しないでください。この設定をすると、バックアップ電源領域の状態は保証できません。

11.2.12 VBTBPCR2 : VBATT バッテリ電源コントロールレジスタ 2

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xC45

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	VDETE	—	VDETLVL[2:0]		
Value after reset:	0	0	0	0	0	1	1	0

ビット	シンボル	機能	R/W
2:0	VDETLVL[2:0]	V_{DETBAT} レベル選択 0 0 0: 2.80 V 0 0 1: 2.53 V 0 1 0: 2.10 V 0 1 1: 1.95 V 1 0 0: 1.85 V 1 0 1: 1.75 V 1 1 0: 設定禁止 1 1 1: 設定禁止	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	VDETE	電圧降下検出有効 0: VCC 電圧降下検出無効 1: VCC 電圧降下検出有効	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

VBTBPCR2 レジスタはバッテリ電源スイッチを制御します。本レジスタは、VBATT_POR リセットでのみ初期化されます。

VDETLVL[2:0]ビット（V_{DETBAT} レベル選択）

VDETLVL[2:0]ビットは V_{DETBAT} レベルを選択します。VCC 端子電圧が V_{DETBAT} より低下すると、電源ソースが VCC 端子から VBATT 端子に切り替わります。V_{DETBAT} レベルは、電圧監視 0 レベルよりも低くしてください。

本 MCU はディープソフトウェアスタンバイモード 1、2 の消費電力を低減できます。MCU がディープソフトウェアスタンバイモード 1 または 2 に遷移し、OFS1(_SEC).PVDLPSEL ビットと OFS1(_SEC).PVDAS ビットによって電圧監視 0 の低消費電力機能が有効になると、バッテリ電源スイッチは電圧監視 0 により制御されます。

VDETLVL[2:0]ビットは、VDETE ビットが 0 のときに変更してください。VCC 電圧検出機能には、V_{DETBAT} レベルの変化時に、安定待機時間 t_{DETWT} を必要とします。VDETE ビットは、この待機時間後に 1 にしてください。

VDETLVL[2:0]ビットの詳細については、「11.3.2. VBATT バッテリ電源スイッチの使用方法」を参照してください。

t_{DETWT} についての詳細は、「52. 電気的特性」を参照してください。

VDETE ビット（電圧降下検出有効）

VDETE ビットは、バッテリ電源スイッチに対して、VCC 電圧降下検出機能を有効にします。VDETE ビットの初期値は 0 であり、このとき、バッテリ電源スイッチに対して、VCC 電圧降下検出機能は無効です。バッテリ電源スイッチ機能を使用する場合、V_{DETBAT} レベルを選択し、VCC 電圧降下検出機能を有効にしてください。

VDETE ビットの詳細については、「11.3.2. VBATT バッテリ電源スイッチの使用方法」を参照してください。

11.2.13 VBTBPSR : VBATT バッテリ電源ステータスレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xC46

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	BPWSWM	VBPORM	—	—	—	VBPORF
Value after reset:	0	0	x	x	0	0	0	x

ビット	シンボル	機能	R/W
0	VBPORF	VBATT_POR フラグ 0: VBATT_R 電圧降下未検出 1: VBATT_R 電圧降下検出	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	VBPORM	VBATT_POR 監視 0: VBATT_R 電圧 < $V_{PDR\ (BATR)}$ 1: VBATT_R 電圧 > $V_{PDR\ (BATR)}$	R
5	BPWSWM	バッテリ電源スイッチステータス監視 0: VCC 電圧 < $V_{DETBATT\_m}$ 1: VCC 電圧 > $V_{DETBATT\_m}$	R
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

VBTBPSR レジスタはバッテリ電源ステータスを示します。

VBPORF ビット（VBATT_POR フラグ）

VBPORF フラグは、VBATT_R 電圧降下が検出され、VBATT_POR リセットがアサートされたことを示します。

[1 になる条件]

- VBATT_R 電圧降下が $V_{PDR\ (BATR)}$を下回ったとき

[0 になる条件]

- 0 を書いたとき

VBPORM ビット（VBATT_POR 監視）

VBPORM ビットは、VBATT_R と $V_{PDR\ (BATR)}$の比較結果を示します。

BPWSWM ビット（バッテリ電源スイッチステータス監視）

BPWSWM ビットは、VCC と $V_{DETBATT\_m}$ (m = 0～6) の比較結果を示します。

11.2.14 VBTADSR : VBATT 改ざん検出ステータスレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xC48

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	VBTADF2	VBTADF1	VBTADF0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	VBTADF0	VBATT 改ざん検出フラグ 0 0: RTCIC0 入力エッジ未検出 1: RTCIC0 入力エッジ検出	R/W
1	VBTADF1	VBATT 改ざん検出フラグ 1 0: RTCIC1 入力エッジ未検出 1: RTCIC1 入力エッジ検出	R/W
2	VBTADF2	VBATT 改ざん検出フラグ 2 0: RTCIC2 入力エッジ未検出 1: RTCIC2 入力エッジ検出	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

VBTADSR レジスタは、改ざん検出機能のステータスを示します。本レジスタは、VBATT_POR リセットでのみ初期化されます。

VBTADFn フラグ（VBATT 改ざん検出フラグ n）(n = 0, 1, 2)

VBTADFn (n = 0, 1, 2) フラグは、RTCICn (n = 0, 1, 2) 入力エッジが検出されたことを示します。RTCICn (n = 0, 1, 2) 入力エッジのタイプは、VCHnEG (n = 0, 1, 2) ビットにより、選択可能です。

[1 になる条件]

- RTCICn (n = 0, 1, 2) 入力エッジが検出されたとき

[0 になる条件]

- VBTADFn (n = 0, 1, 2) フラグから 1 を読んだ後、0 を書いたとき

11.2.15 VBTADCR1 : VBATT 改ざん検出コントロールレジスタ 1

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xC49

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	VBTADCE2	VBTADCE1	VBTADCE0	—	VBTADIE2	VBTADIE1	VBTADIE0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	VBTADIE0	VBATT 改ざん検出割り込み許可 0 0: VBTADF0 フラグによる割り込み禁止 1: VBTADF0 フラグによる割り込み許可	R/W
1	VBTADIE1	VBATT 改ざん検出割り込み許可 1 0: VBTADF1 フラグによる割り込み禁止 1: VBTADF1 フラグによる割り込み許可	R/W
2	VBTADIE2	VBATT 改ざん検出割り込み許可 2 0: VBTADF2 フラグによる割り込み禁止 1: VBTADF2 フラグによる割り込み許可	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	VBTADCE0	VBATT 改ざん検出バックアップレジスタクリア許可 0 0: VBTADF0 フラグによるバックアップレジスタのクリア禁止 1: VBTADF0 フラグによるバックアップレジスタのクリア許可	R/W
5	VBTADCE1	VBATT 改ざん検出バックアップレジスタクリア許可 1 0: VBTADF1 フラグによるバックアップレジスタのクリア禁止 1: VBTADF1 フラグによるバックアップレジスタのクリア許可	R/W
6	VBTADCE2	VBATT 改ざん検出バックアップレジスタクリア許可 2 0: VBTADF2 フラグによるバックアップレジスタのクリア禁止 1: VBTADF2 フラグによるバックアップレジスタのクリア許可	R/W

ビット	シンボル	機能	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

VBTADCR1 レジスタは、改ざん検出機能を制御します。本レジスタは、VBATT_POR リセットでのみ初期化されます。

VBTADIEn ビット（VBATT 改ざん検出割り込み許可）(n = 0, 1, 2)

VBTADIEn (n = 0, 1, 2) ビットは、改ざん検出割り込みを許可します。

VBTADCEn ビット（VBATT 改ざん検出バックアップレジスタクリア許可）(n = 0, 1, 2)

VBTADCEn (n = 0, 1, 2) ビットは、改ざん検出フラグによるバックアップレジスタのクリアを許可します。

11.2.16 VBTADCR2 : VBATT 改ざん検出コントロールレジスタ 2

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xC4A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	VBRTCES2	VBRTCES1	VBRTCES0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	VBRTCES0	VBATT RTC 時間キャプチャイベント要因選択 0 0: RTCIC0 1: VBTADF0	R/W
1	VBRTCES1	VBATT RTC 時間キャプチャイベント要因選択 1 0: RTCIC1 1: VBTADF1	R/W
2	VBRTCES2	VBATT RTC 時間キャプチャイベント要因選択 2 0: RTCIC2 1: VBTADF2	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

VBTADCR2 レジスタは、改ざん検出機能を制御します。本レジスタは、VBATT_POR リセットでのみ初期化されます。

VBRTCESn ビット（VBATT RTC 時間キャプチャイベント要因選択）(n = 0, 1, 2)

VBRTCESn (n = 0, 1, 2) ビットは、RTC 時間キャプチャイベント要因を選択します。

11.3 動作説明

11.3.1 バッテリバックアップ機能

VCC 端子の電圧が低下したとき、VBATT 端子から VBATT_R バックアップ電源領域に電源を供給できます。また、VCC 端子の電圧が $V_{DETBATT\_m}$ (m = 0～6) を超えると、VCC 端子からの電源供給に戻ります。VCC 端子の電圧降下が検出されると、バックアップ電源領域は VBATT モードへ遷移します。VBATT モードでは、電源は VBATT 端子に切り替わります。また、VCC 端子の電圧が $V_{DETBATT\_m}$ (m = 0～6) を超えると、VCC 端子からの電源供給に戻ります。この電源の切り替わりは、VBATT_R バックアップ電源領域の機能に影響を与えません。

バッテリバックアップ機能を使用するためには、電圧監視 0 リセットを許可にする必要があります。

VBATT_R バックアップ電源領域には、以下の機能があります。

- RTC（時間キャプチャ検出を含み、時間キャプチャ端子の入力レベルの変化によってトリガ）
- サブクロック発振器（XCIN、XCOUT 端子を含む）

- VBATT バックアップレジスタ
- 改ざん検出機能
- VBATT 電圧監視機能

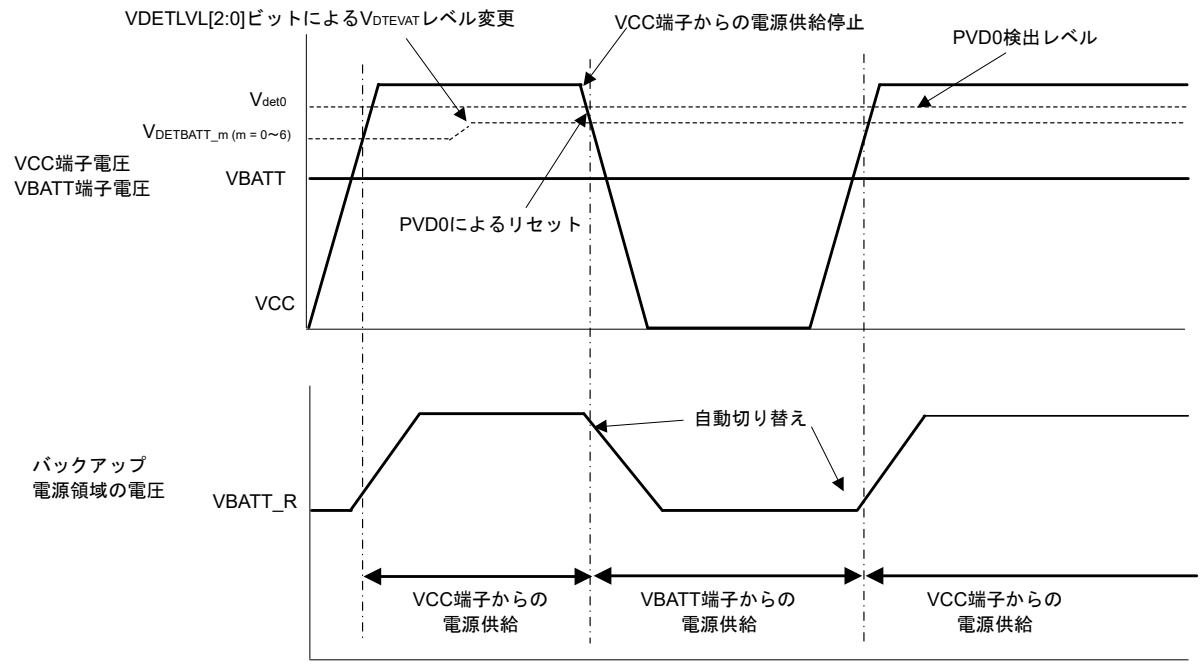
表 11.2 に、VBATT モード時の動作状態を示します。

表 11.2 VBATT モード時の動作状態

動作状態	VBATT モード
遷移条件	VCC 電圧降下の検出
リセット以外の解除方法	VCC 電圧上昇の検出
割り込みによる解除後の状態	—
リセットによる解除後の状態	—
メインクロック発振器	停止
サブクロック発振器	動作または停止は、SOSCCR.SOSTP ビットによって選択可能です。発振器の状態は、VBATT モードへ遷移する前と同じです。
高速オンチップオシレータ	停止
中速オンチップオシレータ	停止
低速オンチップオシレータ	停止
PLL1	停止
PLL2	停止
CPU	停止（不定）
SRAM	停止（不定）
スタンバイ SRAM	停止（不定）
VBATT バックアップレジスタ	停止（改ざん入力検出時に保持またはゼロを選択可能）
フラッシュメモリ	停止（保持）
リアルタイムクロック (RTC)	動作中のクロックをカウントソースとして選択した場合に選択可能
プログラマブル電圧検出回路 (PVD)	停止
パワーオンリセット回路	停止
その他の周辺モジュール	停止（不定）
I/O ポート	RTCICn ポート (n = 0～2)：選択可能 EXCIN：選択可能 ここに指定されていない全ポート：不定

注. 「停止（保持）」とは、内部レジスタの内容は保持されるが、動作は中断されることを意味します。
注. 「停止（不定）」とは、内部レジスタの内容が不定で、内部回路への通電が遮断されることを意味します。

図 11.2 に、バッテリバックアップ機能の切り替え順序を示します。



注. 詳細は、「52. 電気的特性」を参照してください。
注 1. $V_{DETBATT}$ は、VCC 端子と VBATT 端子の間で電源を切り替える際のしきい値レベルを表します。

図 11.2 バッテリバックアップ機能の切り替え順序

11.3.2 VBATT バッテリ電源スイッチの使用方法

VCC 端子の印加電圧が低下すると、バッテリ電源スイッチによって、電源が VCC 端子から VBATT 端子に切り替わります。そして電圧が上昇すると、再び VBATT 端子から VCC 端子へ切り替わります。

図 11.1 に記載されたバッテリ電源スイッチに対する VCC 電圧降下検出機能は、2 つの電圧降下検出器から構成されます。一方は、VDTETLVL[2:0]ビットと VDETE ビットの設定に従って動作する、バッテリ電源スイッチの通常動作に対する VCC 電圧降下検出器です。他方は、ディープソフトウェアスタンバイモード 1、2 の間に、消費電力を低減するための電圧監視 0 です。

コールドスタートでは、VDETE ビットは VBATT_POR リセットにより初期化され、バッテリ電源スイッチの VCC 電圧降下検出機能は無効です。

バッテリ電源スイッチを使用するためには、VDETLVL[2:0]ビットにより適正な $V_{DETBATT\_m}$ (m = 0～6) レベルを選択し、安定のために t_{DETWT} 待機してください。待機後、VDETE ビットにより、VCC 電圧降下検出機能を有効にします。バッテリ電源スイッチには、VDETLVL[2:0]ビットにより選択された $V_{DETBATT\_m}$ (m = 0～6) レベルが電圧監視 0 レベルより低いという制約があります。

MCU がディープソフトウェアスタンバイモード 1、2 に遷移し、電圧監視 0 の低消費電力機能が有効になると、バッテリ電源スイッチの通常動作の VCC 電圧降下検出器は、消費電力低減のために停止します。このとき、電源スイッチは電圧監視 0 により制御されます。この電圧監視 0 による制御は、ディープソフトウェアスタンバイモードから復帰するまで継続します。

バッテリバックアップ機能は、電圧監視 0 リセットを許可（OFS1(_SEC).PVDAS ビットが 0）に設定した後に使用してください。

電圧監視 0 の低電力消費機能を OFS1(_SEC).PVDLPSEL ビットにより有効にしたとき、電圧監視 1 および 2 は、ディープソフトウェアスタンバイモード 1 または 2 に遷移する前に無効にしてください。

バッテリ電源スイッチを使用しない場合、BPWSWSTP ビットを 1 にし、VCC 端子と VBATT 端子を短絡してください。BPWSWSTP ビットを 1 にすると、バッテリ電源スイッチは停止し、電源は常に VCC 端子から供給されます。

11.3.3 VBATT_R 電圧降下検出機能の使用方法

本機能は VBATT_R 電圧降下の検出を可能にします。VBATT_R 電圧が降下し、$V_{PDR\ (BATR)}$よりも低くなると、VBATT_POR リセットがアサートされます。VBATT_POR リセットにより、VBPORF フラグが 1 に設定されます。VBPORF フラグが 1 の場合、RTC のカウンタとレジスタは無効であり、バッテリバックアップ機能レジスタはリセットされます。バックアップ電源領域を含む機能を初期化してください。

図 11.3 に VBATT_R 電圧降下検出機能を示します。

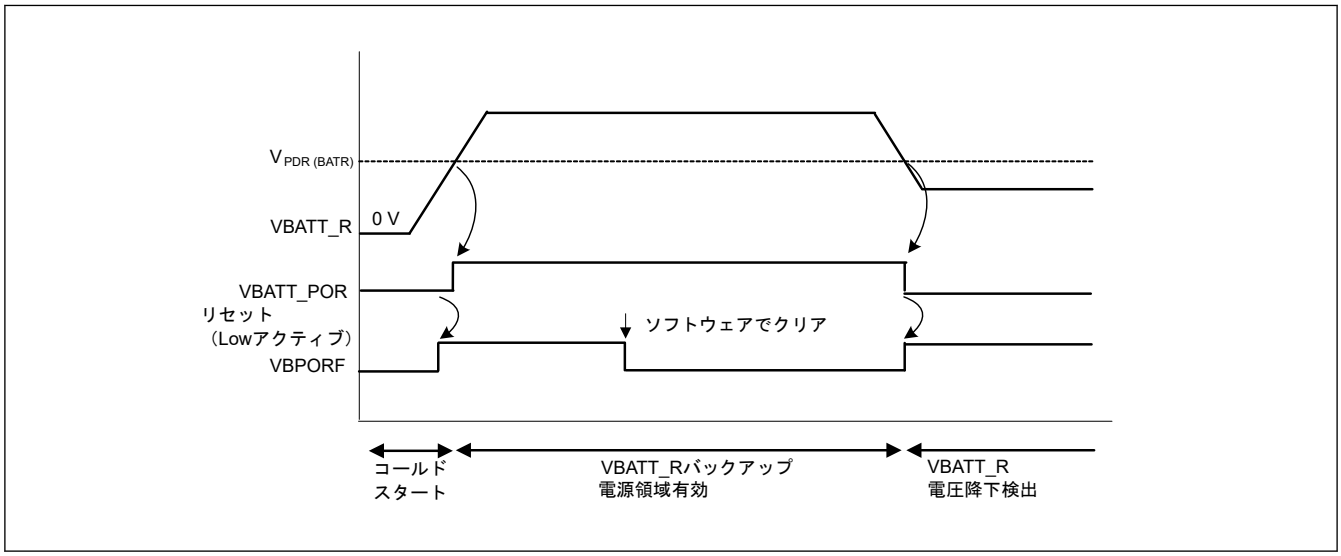


図 11.3 VBATT_R 電圧降下検出機能

11.3.4 VBATT バックアップレジスタの使用方法

VBATT バックアップレジスタにアクセスする場合、32、16、または 8 ビットのアクセス命令を使用できます。

ただし、たとえば、32 ビットのアクセス指示が実行された場合、8 ビットの読み出しまたは書き込み動作が 4 回連続で実行されます。アクセス時は、VBTBKR[n] (n = 0～127) レジスタに格納されたデータのバイト順序がリトルエンディアンであることに注意してください。

VBATT バックアップレジスタのデータは、VBATT_POR リセットまたは改ざん検出機能により、0x00 にクリアされます。

クリア機能が有効で改ざん検出フラグが 1 の場合、改ざん検出機能は VBATT バックアップレジスタのクリア動作を開始します。クリア動作の開始後、100 ns は解除しないでください。クリア動作を解除するには、クリア機能を無効にするか、または改ざん検出フラグを 0 にクリアしてください。クリア動作を解除後、500 ns は VBATT バックアップレジスタにアクセスしないでください。

11.3.5 改ざん検出機能の使用方法

改ざん検出機能は、RTCICn (n = 0～2) 端子の入力イベントを検出します。入力イベントは、RTCICn 端子の入力レベルの変化として定義されます。VBTADFn (n = 0～2) フラグは、入力イベントによって 1 に設定されます。割り込みの発生が許可され、フラグが 1 に設定されると、改ざん検出割り込みが発生します。バックアップレジスタクリア機能が有効で、フラグが 1 に設定されると、VBATT バックアップレジスタのデータがクリアされます。RTC 時間キャプチャイベント要因は、RTCICn 端子入力または VBTADFn フラグを選択できます。VBTADFn フラグを 1 にして、時間キャプチャを同期する必要がある場合、VBTADFn フラグを RTC 時間キャプチャイベント要因に選択することが推奨されます。

図 11.4 に改ざん検出機能を示します。

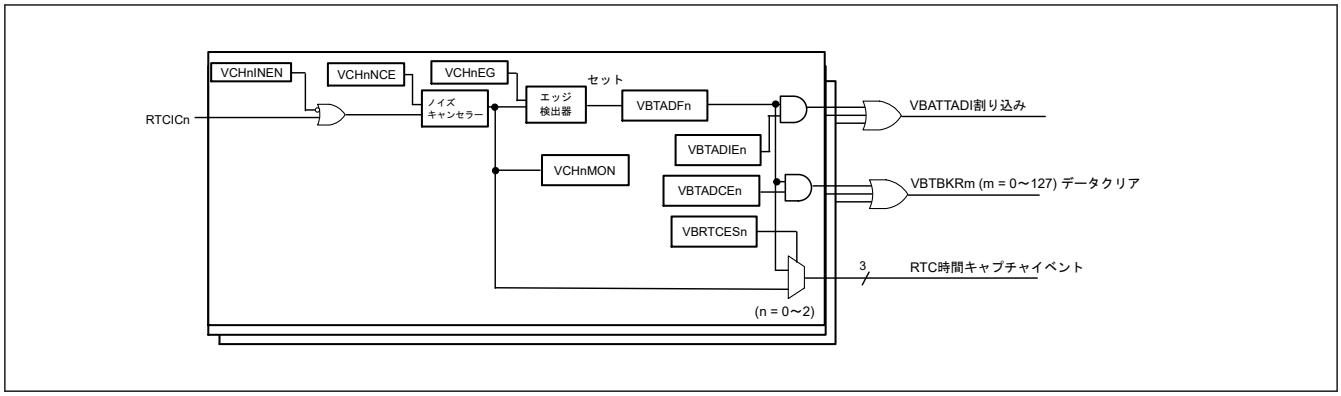


図 11.4　改ざん検出機能

VCHnINEN (n = 0～2) ビットによって、RTCICn 端子入力は許可されます。RTCICn 端子入力が許可された後、安定化動作のために 50 µs の待機時間が必要です。

VCHnNCE (n = 0～2) ビットはノイズキャンセラを有効にします。ノイズキャンセラは、入力信号をサブクロック (RTCSCLK) でサンプリングし、3 サンプリング周期に満たない長さのパルスを除去します。図 11.5 にノイズキャンセラ回路のブロック図を示します。

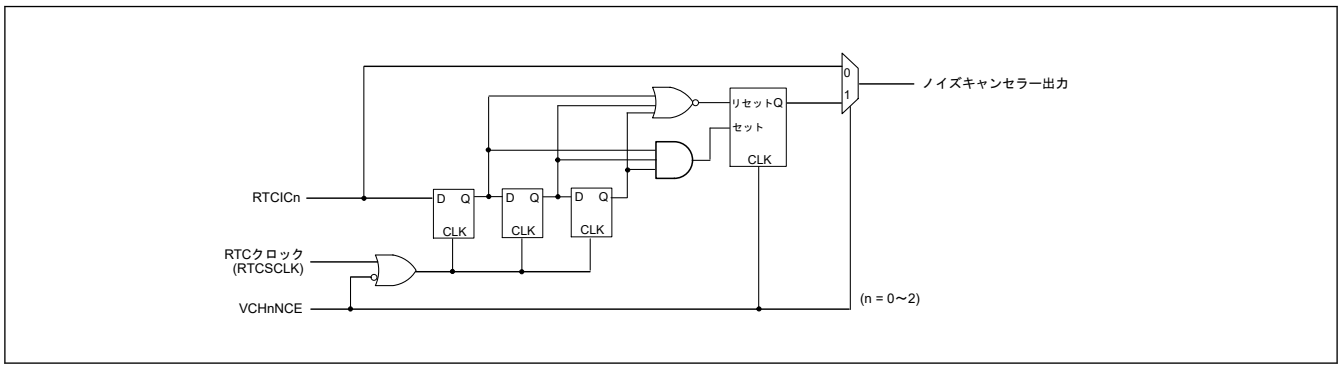


図 11.5　改ざん検出機能

このノイズキャンセラを有効にした後、5 クロックの安定化時間が必要です。

VCHnEG (n = 0～2) ビットは改ざん検出エッジの選択を有効にします。エッジ検出器は非同期で動作します。これらのコントロールレジスタが変更されると、VBTADFn フラグは疑似的に 1 に設定される可能性があります。VBTADFn フラグは、コントロールレジスタの初期化後に確認して、0 にクリアする必要があります。
VCHNnMON (n = 0～2) ビットは、現在の入力ステータスの監視を有効にします。このビットも、コントロールレジスタの初期化後に非アクティブレベルを確認する必要があります。

3 チャネルの内、1 チャネル以上でフラグがセットされ、割り込みが許可されると、VBATTADI 割り込みがアサートされます。

3 チャネルの内、1 チャネル以上でフラグがセットされ、VBATT バックアップレジスタクリア機能が有効になると、VBTBKRm (m = 0～127) レジスタのデータは 0x00 にクリアされます。

11.3.6　VBATT 電圧監視機能の使用方法

VBATT 端子の入力電圧レベルを監視できます。1/3VBATT 端子の電圧レベルは、アナログ信号として監視できます。VBTMNSEL ビットを 1 に設定後、監視レベルが安定するまで t_{MONWT} だけ待機する必要があります。t_{MONWT} の詳細は、「52. 電気的特性」を参照してください。

図 11.6 に VBATT 電圧監視機能を示します。

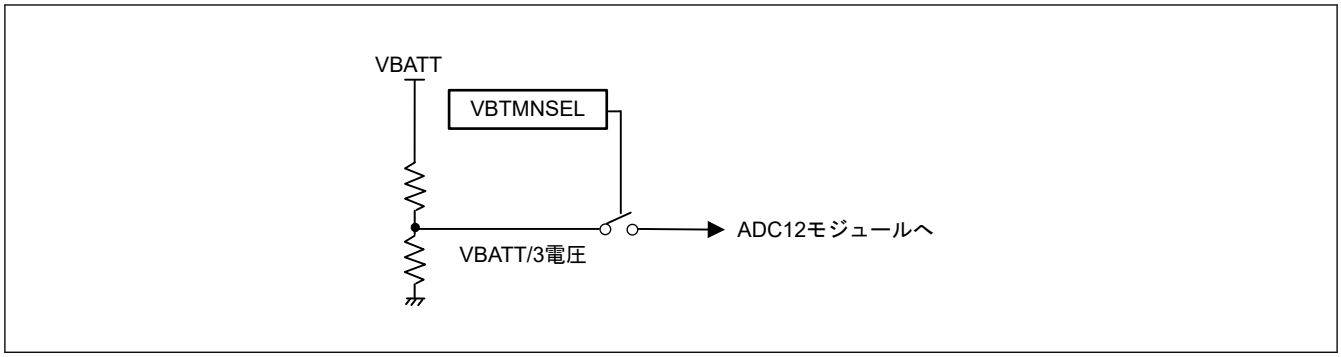


図 11.6 VBATT 電圧監視機能

注. 詳細は、「42. 12 ビット A/D コンバータ (ADC12)」を参照してください。

注. VBTMNSEL ビットが 1 のとき、VBAT の電力消費が増加します。監視タイミングでのみ VBTMNSEL ビットを 1 にすることが推奨されます。

11.3.7 初期設定例

11.3.7.1 コールドスタートおよび電源スイッチフロー例の使用

はじめて VCC 端子と VBATT 端子の電源を ON にするとき、以下のフローを使用して初期化してください。

1. VBPORM ビットを確認してください。VBPORM フラグが 0 の場合、1 になるまで待機してください。
2. VBPORF フラグを 0 にクリアしてください。
3. VDETLVL[2:0]ビットを適正値に設定してください。$V_{DETBATT\_m}$ レベルが選択されます。
4. VCC 電圧検出機能安定化のために、t_{DETWT} だけ待機してください。
5. VDETE ビットを 1 にしてください。VCC 電圧検出機能が有効になります。
6. 必要に応じて、サブクロック発振器を有効にしてください。
7. 他のバッテリバックアップ機能と RTC レジスタを設定してください。

t_{DETWT} の詳細は、「52. 電気的特性」を参照してください。

サブクロック発振器の詳細は、「8. クロック発生回路」を参照してください。

11.3.7.2 ウォームスタートおよび電源スイッチフロー例の使用

VBATT 端子の電源が ON の間に VCC 端子の電源が OFF になると、MCU は VBATT モードへ遷移します。本節では、ウォームスタートとは、VBATT モードで VCC 端子の電源が ON になる場合を意味します。MCU がウォームスタートで処理を開始する場合は、他の処理を実行する前に VBATT_R 電圧降下を確認するために、以下のフローを実行してください。

1. VBPORM フラグを確認してください。VBPORM フラグが 0 の場合、1 になるまで待機してください。
2. VBPORF フラグを確認してください。VBPORF フラグが 1 の場合、VBATT_R 電圧降下が検出されます。バックアップ電源領域を再初期化するためには、2 つにブランチ（「11.3.7.1. コールドスタートおよび電源スイッチフロー例の使用」）してください。そのようにしない場合は、VBATT_R 電圧は降下せず、バックアップ電源領域の状態が保持されることを意味します。よって、バックアップ電源領域の再初期化は不要です。

11.3.7.3 電源スイッチフロー例を使用しない場合

電源スイッチを使用しない場合は、VCC 端子と VBATT 端子を短絡してください。この場合、VBATT_POR リセットは VCC パワーオンリセットの後に発生できず、VBATT_R 電圧降下は検出されない可能性があります。以下のフローを使用して、バックアップ電源領域を初期化してください。

1. BPWSWSTP ビットを 1 にしてください。電源スイッチは停止します。
2. VBPORM フラグを確認してください。VBPORM フラグが 0 の場合、1 になるまで待機してください。
3. VDETE ビットを 0 にクリアしてください。VCC 電圧降下検出機能は停止します。

4. VDETLVL[2:0]ビットを 110b にクリアしてください。初期値が選択されます。
5. VBPORF フラグを確認してください。VBPORF フラグが 1 の場合、0 にクリアしてください。
6. SOSTP ビットを、その値にかかわらず 1 にしてください。サブクロック発振器を停止してください。
7. VBTICTLR レジスタと SOMCR.SOSEL ビットを初期化してください。これらのレジスタは IO ポートの制御に関連するので、初期化を推奨します。
8. 必要に応じて、他のバッテリバックアップ機能レジスタを初期化してください。他のバッテリバックアップ機能レジスタは、VBTICTLR2、VBTADSR、VBTADCR1、VBTADCR2、および VBTBKR[n]です。
9. 必要に応じて、サブクロック発振器を有効にしてください。
10. RTC レジスタを設定してください。

サブクロック発振器の詳細は、「8. クロック発生回路」を参照してください。

11.3.7.4 改ざん検出機能の初期化設定フロー例

改ざん検出機能を使用する場合は、以下のフロー例に従って初期化することを推奨します。

1. VCHnINEN を適正値に設定してください。
2. RTCICn 入力後に安定化するまで、50 µs 待機してください。
3. VCHnNCE ビットと VCHnEG ビットを設定してください。
4. ノイズキャンセラが有効な場合は、安定化するまで RTC の 5 クロックだけ待機してください。
5. VCHnMON ビットが非アクティブを示すのを確認することが推奨されます。アクティブの場合は、改ざん検出が可能ではないかもしれません。
6. ダミーリード後に 0 にクリアすることにより、VBTADFn フラグの無効なステータスを初期化してください。
7. 割り込み、バックアップレジスタクリア、RTC 時間キャプチャイベントを許可するために、VBTADCR1 と VBTADCR2 を設定してください。
8. 必要に応じて、RTC 時間キャプチャ機能を有効にしてください。

11.4 割り込み要因

バッテリバックアップ機能には、表 11.3 に示す 2 つの割り込み要因があります。

表 11.3 バッテリバックアップ機能の割り込み要因

シンボル	割り込み要因	割り込みフラグ	割り込み発生条件
VBATTADI	VBATT 改ざん検出	VBTADF0	VBTADF0 = 1, VBTADIE0 = 1
		VBTADF1	VBTADF1 = 1, VBTADIE1 = 1
		VBTADF2	VBTADF2 = 1, VBTADIE2 = 1

11.5 使用上の注意事項

1. VBATT の電圧レベルが動作保証範囲を下回ったとき、サブクロック発振器と RTC の動作は保証されません。VBATT が動作保証範囲を下回ってから電源供給が再開された場合、ソフトウェアで RTC を初期化する必要があります。
2. 本項で説明するレジスタへの書き込み中にリセットが発生すると、レジスタ値が破壊される可能性があります。
3. VCC が $V_{DETBATT\_m}$ を上回っているときは、VCC 端子と VBATT 端子は切り離されます。VCC が $V_{DETBATT}$ を下回って、スイッチが VBATT 端子に接続された場合、VBATT 端子電圧が VCC 端子電圧よりも低下すると、VCC 端子と VBATT 端子の間の寄生ダイオードを介して VBATT 端子に電流が流れ込む可能性があります。
4. VBATT 端子からの電圧とバックアップ領域内の I/O ポートによって RTC が動作しているとき、その電源領域は RTC の時間キャプチャイベント入力端子としてのみ使用可能です。

12. レジスタライトプロテクション

12.1 概要

レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護対象のレジスタは、プロテクトレジスタ（PRCR_S と PRCR_NS）で設定します。

2 種類のプロテクトレジスタは、一方はセキュアセットレジスタ／ビットとして、他方は非セキュアセットレジスタ／ビットとして機能します。これらをまとめて PRCR レジスタと呼びます。

表 12.1 に PRCR レジスタのビットと保護されるレジスタの対応関係を示します。

PRCR ビットに適用されるレジスタの情報は、各レジスタの説明の中に示します。

表 12.1 PRCR レジスタのビットと保護されるレジスタの対応関係

PRCR レジスタ	保護されるレジスタ
PRC0	• クロック発生回路に関連するレジスタ： SCKDIVCR, SCKDIVCR2, SCKSCR, PLLCCR, PLLCR, MOSCCR, HOCOCR, HOCOCR2, MOCOCR, FLLCR1, FLLCR2, CKOCR, OSTDCR, OSTDSR, PLL2CCR, PLL2CR, PLLCCR2, PLL2CCR2, SCICKDIVCR, SCICKCR, SPICKDIVCR, SPICKCR, MOCOUTCR, HOCOUTCR, USBCKDIVCR, CANFDCKDIVCR, USBCKCR, CANFDCKCR, MOSCSCR, HOCOSCR, MOSCWTCR, MOMCR, SOSCCR, SOMCR, LOCOCR, LOCOUTCR, SYRACCR
PRC1	• 低消費電力モードに関連するレジスタ： SBYCR, OPCCR, PDRAMSCR0, PDRAMSCR1, SSCR1, LPSCR, DPSBYCR, DPSWCR, DPSIER0-3, DPSIFR0-3, DPSIEGR0-2, PLL1LDOCR, PLL2LDOCR, HOCOLDOCR, LVOCR • バッテリバックアップ機能に関連するレジスタ： VBTBER, VBTICTLR, VBTBKR[n] (n = 0～127), VBTBPCR1, VBTBPCR2, VBTBPSR, VBTADSR, VBTADCR1, VBTADCR2, VBTICTLR2
PRC3	• PVD に関連するレジスタ： PVD1CR1, PVD1SR, PVD2CR1, PVD2SR, PVD1CMPCR, PVD2CMPCR, PVD1CR0, PVD2CR0, PVD1FCR, PVD2FCR, VBATTMNSELR
PRC4	• セキュリティ／プリビレッジ設定レジスタに関連するレジスタ： ELCSARx (x = A, B)(注1), ELCPARx (x = A, B), PSARx (x = B～E), MSSAR, PPARx (x = B～E), MSPAR, PmSAR (m = 0～9), CPUSAR, DEBUGSAR, ICUSARx (x = A, B, E～I), SRAMSAR, BUSSARx(x = A, B), MMPUSARx (x = A, B), DTCSAR, DMACSAR, DMACCHSAR, DMACCHPAR, TEVTRCR, SRAMSABAR1, STBRAMSABAR, STBRAMPABAR_NS, STBRAMPABAR_S, FSAR, CGFSAR, RSTSAR, LPMSAR, PVDSAR, BBFSAR, DPFSAR, RSCSAR, VBRSABAR, VBRPABARS, VBRPABARNS
PRC5(注1)	• リセット制御に関連するレジスタ： SYRSTMSK0, SYRSTMSK2

注 1. PRCR_S のみサポートされています。

12.2 レジスタの説明

12.2.1 PRCR_S : セキュア用プロテクトレジスタ (PRCR_S)

Base address: SYSC = 0x4001_E000

Offset address: 0x3FA

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PRKEY[7:0]								—	—	PRC5	PRC4	PRC3	—	PRC1	PRC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PRC0	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W

ビット	シンボル	機能	R/W
1	PRC1	低消費電力モードおよびバッテリバックアップ機能関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	PRC3	PVD 関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
4	PRC4	セキュリティ／プリビレッジ設定レジスタに関連するレジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
5	PRC5	リセット制御関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	PRKEY[7:0]	0xA5: PRCR_S レジスタへの書き込みを許可 上記以外: PRCR_S レジスタへの書き込みを禁止 本ビットを読むと 0x00 が読めます。	W

注. S-TYPE6, P-TYPE2

PRCR_S レジスタは、常にセキュアまたはセキュアに設定されているレジスタを保護するために使用されます。

PRCn ビット（プロテクトビット n）(n = 0, 1, 3, 4, 5)

PRCn ビットによって、表 12.1 に記載されている保護されるレジスタへの書き込みを許可または禁止します。PRCn ビットを 1 にすると書き込み許可、0 にすると書き込み禁止になります。

PRCR_S とそれに制御されるレジスタが連続的に書き込みアクセスされる場合、PRC4 により制御されるレジスタは PRC4 の変更を反映しない可能性があります。連続的な書き込みアクセスを避けるか、または PRC4 の変更後に PRCR_S を読み出してから、PRC4 で制御されるレジスタに書き込んでください。

PRKEY[7:0]ビット（レジスタライトプロテクションキービット）

本ビットは、PRCR_S レジスタへの書き込みの許可または禁止を制御します。PRCR_S レジスタの PRCn ビットに書き込むためには、PRKEY[7:0]に 0xA5 を書き込んでください。PRKEY[7:0]に 0xA5 以外の値を書き込んだ場合、PRCR_S レジスタに書き込んでも PRCn ビットは変更されません。

12.2.2 PRCR_NS : 非セキュア用プロテクトレジスタ (PRCR_NS)

Base address: SYSC_NS = 0x5001_E000

Offset address: 0x3FE

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PRKEY[7:0]								—	—	—	PRC4	PRC3	—	PRC1	PRC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PRC0	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
1	PRC1	低消費電力モードおよびバッテリバックアップ機能関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
3	PRC3	PVD 関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
4	PRC4	セキュリティ／プリビレッジ設定レジスタに関連するレジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	PRKEY[7:0]	0xA5: PRCR_NS レジスタへの書き込みを許可 上記以外: PRCR_NS レジスタへの書き込みを禁止 本ビットを読むと 0x00 が読めます。	W

注. S-TYPE7, P-TYPE2

PRCR_NS レジスタは、非セキュアに設定されているレジスタを保護するために使用されます。

PRCn ビット（プロテクトビット n）(n = 0, 1, 3, 4)

PRCn ビットによって、表 12.1 に記載されている保護されるレジスタへの書き込みを許可または禁止します。PRCn ビットを 1 にすると書き込み許可、0 にすると書き込み禁止になります。

PRCR_NS とそれに制御されるレジスタが連続的に書き込みアクセスされる場合、PRC4 により制御されるレジスタは PRC4 の変更を反映しない可能性があります。そのレジスタへの連続的な書き込みを避けるか、または PRC4 の変更後に PRCR_NS を読み出してから、PRC4 で制御されるレジスタに書き込んでください。

PRKEY ビット（レジスタライトプロテクションキービット）

本ビットは、PRCR_NS レジスタへの書き込みの許可または禁止を制御します。PRCR_NS レジスタの PRCn ビットに書き込むためには、PRKEY[7:0]に 0xA5 を書き込んでください。PRKEY[7:0]に 0xA5 以外の値を書き込んだ場合、PRCR_NS レジスタに書き込んでも PRCn ビットは変更されません。

13. 割り込みコントローラユニット (ICU)

13.1 概要

割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ (NVIC)、DMA コントローラ (DMAC)、およびデータトランスファコントローラ (DTC) モジュールにリンクされるイベント信号を制御します。ICU はノンマスカブル割り込みも制御します。

表 13.1 に ICU の仕様、図 13.1 に ICU のブロック図、表 13.2 に ICU の入出力端子を示します。

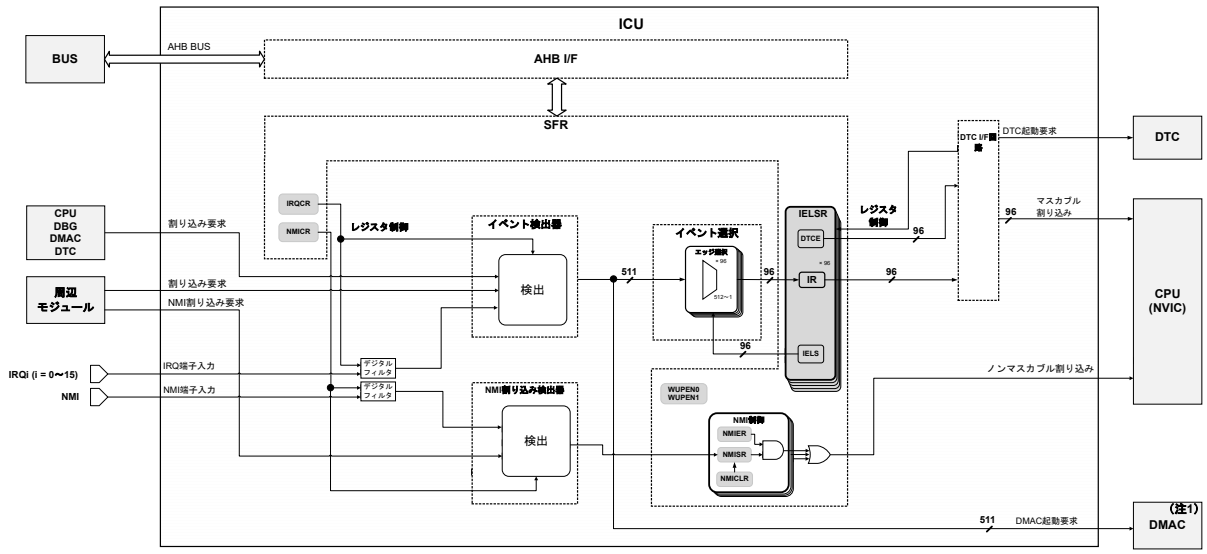
表 13.1 ICU の仕様

項目		内容
マスカブル割り込み	周辺機能割り込み	• 周辺モジュールからの割り込み 要因数：234（イベントリスト番号 17～511 内の要因から選択）
	外部端子割り込み	• 割り込み検出方式：Low レベル(注4)、立ち下がりエッジ、立ち上がりエッジ、立ち上がりエッジおよび立ち下がりエッジ。要因ごとにこれらの方式のうち 1 つを設定可能。 • デジタルフィルタ機能 • 16 要因（IRQi (i = 0～15) 端子からの割り込み）
	CPU (NVIC) への割り込み要求	• 96 本の割り込み要求を NVIC に対して出力(注5)
	DMAC 制御	• 割り込み要因によって DMAC の起動が可能(注1) • DMAC の全チャネル個別に対象の割り込み要因を選択可能
	DTC 制御	• 割り込み要因によって DTC の起動が可能(注1) • 割り込み要因の選択方式は NVIC への割り込み要求と同一
ノンマスカブル割り込み(注2)	NMI 端子割り込み	• NMI 端子からの割り込み • 割り込み検出：立ち下がりエッジまたは立ち上がりエッジ • デジタルフィルタ機能
	発振停止検出割り込み(注3)	メイン発振器の停止を検出したときの割り込み
	WDT アンダーフロー／リフレッシュエラー(注3)	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	IWDT アンダーフロー／リフレッシュエラー(注3)	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	電圧監視 1 割り込み(注3)	電圧監視 1 回路の電圧監視 1 割り込み (PVD_PVD1)
	電圧監視 2 割り込み(注3)	電圧監視 2 回路の電圧監視 2 割り込み (PVD_PVD2)
	共通メモリエラー割り込み	共通メモリエラー：SRAM パリティエラーまたはスタンバイ SRAM パリティエラー
	バスエラー割り込み	バスエラー：MPU エラーおよび TZF エラー
	CPU ロックアップエラー割り込み	CPU ロックアップエラー
セキュリティ	セキュア	いくつかのレジスタが有するセキュリティ属性
	プリビレッジ	ICU の各レジスタはプリビレッジアクセスでのみアクセス可能
低消費電力モード		• CPU スリープモード：ノンマスカブル割り込みまたはその他の割り込み要因によって復帰 • CPU ディープスリープモード／ソフトウェアスタンバイモード：ノンマスカブル割り込みによって復帰。WUPENn レジスタで割り込みの選択が可能 「13.2.15. WUPEN0: ウェイクアップ割り込みイネーブルレジスタ 0」と「13.2.16. WUPEN1：ウェイクアップ割り込みイネーブルレジスタ 1」を参照してください。
TrustZone フィルタ		使用可能

注 1. DMAC と DTC の起動要因については、「13.3.2. イベント番号」を参照してください。
注 2. リセット解除後に 1 回だけノンマスカブル割り込みを許可することができます。
注 3. これらのノンマスカブル割り込みは、マスカブル割り込みとしても使用可能です。マスカブル割り込みとして使用する場合、NMIER レジスタの値をリセット状態から変更しないでください。電圧監視 1 割り込みと電圧監視 2 割り込みを許可するには、PVD1CR1.IRQSEL ビットと PVD2CR1.IRQSEL ビットを 1 にしてください。
注 4. Low レベル：割り込み検出は、検出後にクリアしない限り解除されません。

注 5. 使用する割り込みの回数に応じて、ベクタテーブルの適正なアラインメントが必要です。例えば、本製品で利用可能な最大数の割り込みを使用する場合、128 ワード以上のアライメントを設定する必要があります。

図 13.1 に ICU のブロック図を示します。



注 1. DELSR 設定についての詳細は、「16. DMA コントローラ (DMAC)」を参照してください。

図 13.1 ICU のブロック図

表 13.2 に ICU の入出力端子を示します。

表 13.2 ICU の入出力端子

端子名	入出力	内容
NMI	入力	ノンマスカブル割り込み要求端子
IRQi (i = 0～15)	入力	外部割り込み要求端子

13.2 レジスタの説明

本章では、Arm® NVIC の内部レジスタについては説明していません。これらのレジスタについては、Arm Limited., Arm® Cortex®-M85 Processor Technical Reference Manual (101924_0002_05_en) を参照してください。

13.2.1 ICUSARA : 割り込みコントローラセキュリティ属性レジスタ A

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x40

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SAIRQ CR15	SAIRQ CR14	SAIRQ CR13	SAIRQ CR12	SAIRQ CR11	SAIRQ CR10	SAIRQ CR9	SAIRQ CR8	SAIRQ CR7	SAIRQ CR6	SAIRQ CR5	SAIRQ CR4	SAIRQ CR3	SAIRQ CR2	SAIRQ CR1	SAIRQ CR0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	SAIRQCR15～SAIRQCR0	IRQCRn レジスタのためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE1, P-TYPE1
注. 本レジスタは PRCR_S.PRC4 レジスタによって書き込み保護されています。

SAIRQCRn ビット（IRQCRn レジスタのためのレジスタのセキュリティ属性）

対象レジスタは以下です。

- IRQCR0～IRQCR15 レジスタ
- WUPEN0.IRQWUPEN[15:0]ビット

13.2.2 ICUSARB : 割り込みコントローラセキュリティ属性レジスタ B

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x44

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SANMI
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SANMI	ノンマスカブル割り込みのためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE1, P-TYPE1
注. 本レジスタは PRCR_S.PRC4 レジスタによって書き込み保護されています。

SANMI ビット（ノンマスカブル割り込みのためのレジスタのセキュリティ属性）

SANMI ビットはノンマスカブル割り込みのためのレジスタのセキュリティ属性を指定します。対象レジスタは以下です。

- NMISR
- NMIER
- NMICLR
- NMICR

Arm CPU のアプリケーション割り込みおよびリセットコントロールレジスタの AIRCR.BFHFNMINS ビット[13]の値は、セキュリティ属性の値と同じである必要があります。AIRCR.BFHFNMINS ビットと SANMI ビットの初期値は異なります。AIRCR.BFHFNMINS ビットはセキュア、SANMI ビットは非セキュアです。極性は同じ意味を持ちます。それらが合致するようにプログラミングしてください。

注. ノンマスカブル割り込み関連のレジスタのセキュリティ属性には、セキュアか非セキュアのいずれか一方のみ設定できます。セキュア属性をセキュアとしてプログラムすると、常にセキュア割り込みハンドラにジャンプします。いずれかのノンマスカブル割り込み要因を非セキュアユーザーに解放する必要がある場合は、セキュア用割り込みハンドラから非セキュアプログラムを実行する関数を準備してください。

13.2.3 ICUSARE : 割り込みコントローラセキュリティ属性レジスタ E

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x50

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SAIIC0WUP	SAAGT1CBWUP	SAAGT1CAWUP	SAAGT1UDWUP	SAUSBFS0WUP	—	SARTCPRDWUP	SARTCALMWUP	—	—	—	SAVBATTWUP	SAPVD2WUP	SAPVD1WUP	—	SAIWDTWUP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	SAIWDTWUP	WUPEN0.b16 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18	SAPVD1WUP	WUPEN0.b18 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
19	SAPVD2WUP	WUPEN0.b19 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
20	SAVBATTWUP	WUPEN0.b20 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
23:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	SARTCALMWUP	WUPEN0.b24 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
25	SARTCPRDWUP	WUPEN0.b25 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
27	SAUSBFS0WUP	WUPEN0.b27 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
28	SAAGT1UDWUP	WUPEN0.b28 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
29	SAAGT1CAWUP	WUPEN0.b29 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
30	SAAGT1CBWUP	WUPEN0.b30 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31	SAIIC0WUP	WUPEN0.b31 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注. S-TYPE1、P-TYPE1
注. 本レジスタは PRCR_S.PRC4 レジスタによって書き込み保護されています。

13.2.4 ICUSARF : 割り込みコントローラセキュリティ属性レジスタ F

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x54

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	SAULP1BWUP	SAULP1AWUP	SAULP1UWUP	—	SAULP0BWUP	SAULP0AWUP	SAULP0UWUP	—	—	—	—	SACOMPHS0WUP	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	SACOMPHS0WUP	WUPEN1.b3 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	SAULP0UWUP	WUPEN1.b8 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
9	SAULP0AWUP	WUPEN1.b9 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
10	SAULP0BWUP	WUPEN1.b10 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	SAULP1UWUP	WUPEN1.b12 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
13	SAULP1AWUP	WUPEN1.b13 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
14	SAULP1BWUP	WUPEN1.b14 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE1、P-TYPE1
注. 本レジスタは PRCR_S.PRC4 レジスタによって書き込み保護されています。

13.2.5 ICUSARG : 割り込みコントローラセキュリティ属性レジスタ G

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x70

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SAIELSR31	SAIELSR30	SAIELSR29	SAIELSR28	SAIELSR27	SAIELSR26	SAIELSR25	SAIELSR24	SAIELSR23	SAIELSR22	SAIELSR21	SAIELSR20	SAIELSR19	SAIELSR18	SAIELSR17	SAIELSR16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SAIELSR15	SAIELSR14	SAIELSR13	SAIELSR12	SAIELSR11	SAIELSR10	SAIELSR9	SAIELSR8	SAIELSR7	SAIELSR6	SAIELSR5	SAIELSR4	SAIELSR3	SAIELSR2	SAIELSR1	SAIELSR0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	SAIELSR31～SAIELSR0	IELSR31～IELSR0 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注. S-TYPE1, P-TYPE1
注. 本レジスタは PRCR_S.PRC4 レジスタによって書き込み保護されています。

SAIELSRn ビット（IELSR31～IELSR0 のためのレジスタのセキュリティ属性）

Arm CPU NVIC で管理するセキュア属性は、IELSEn (n = 0～31) のセキュリティ属性と一致している必要があります。NVIC の内部レジスタは、NVIC_ITNS0[31:0]にあります。極性は同じ意味を持ちます。それらが合致するようにプログラミングしてください。

13.2.6 ICUSARH : 割り込みコントローラセキュリティ属性レジスタ H

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x74

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SAIELSR63	SAIELSR62	SAIELSR61	SAIELSR60	SAIELSR59	SAIELSR58	SAIELSR57	SAIELSR56	SAIELSR55	SAIELSR54	SAIELSR53	SAIELSR52	SAIELSR51	SAIELSR50	SAIELSR49	SAIELSR48
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SAIELSR47	SAIELSR46	SAIELSR45	SAIELSR44	SAIELSR43	SAIELSR42	SAIELSR41	SAIELSR40	SAIELSR39	SAIELSR38	SAIELSR37	SAIELSR36	SAIELSR35	SAIELSR34	SAIELSR33	SAIELSR32
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	SAIELSR63～SAIELSR32	IELSR63～IELSR32 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注. S-TYPE1, P-TYPE1
注. 本レジスタは PRCR_S.PRC4 レジスタによって書き込み保護されています。

SAIELSRn ビット（IELSR63～IELSR32 のためのレジスタのセキュリティ属性）

Arm CPU NVIC で管理するセキュア属性は、IELSEn (n = 32～63) のセキュリティ属性と一致している必要があります。NVIC の内部レジスタは、NVIC_ITNS1[31:0]にあります。極性は同じ意味を持ちます。それらが合致するようにプログラミングしてください。

13.2.7 ICUSARI : 割り込みコントローラセキュリティ属性レジスタ I

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x78

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SAIELSR95	SAIELSR94	SAIELSR93	SAIELSR92	SAIELSR91	SAIELSR90	SAIELSR89	SAIELSR88	SAIELSR87	SAIELSR86	SAIELSR85	SAIELSR84	SAIELSR83	SAIELSR82	SAIELSR81	SAIELSR80
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SAIELSR79	SAIELSR78	SAIELSR77	SAIELSR76	SAIELSR75	SAIELSR74	SAIELSR73	SAIELSR72	SAIELSR71	SAIELSR70	SAIELSR69	SAIELSR68	SAIELSR67	SAIELSR66	SAIELSR65	SAIELSR64
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	SAIELSR95～SAIELSR64	IELSR95～IELSR64 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注. S-TYPE1, P-TYPE1
注. 本レジスタは PRCR_S.PRC4 レジスタによって書き込み保護されています。

SAIELSRn ビット（IELSR95～IELSR64 のためのレジスタのセキュリティ属性）

Arm CPU NVIC で管理するセキュア属性は、IELSEn (n = 64～95) のセキュリティ属性と一致している必要があります。NVIC の内部レジスタは、NVIC_ITNS2[31:0]にあります。極性は同じ意味を持ちます。それらが合致するようにプログラミングしてください。

13.2.8 TEVTRCR : トラストイベントルートコントロールレジスタ

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x600

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TEVTE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TEVTE	IELSRn、DELSRn、ELCSRn 用トラストイベントルートコントロールレジスタ 0: 禁止 1: 許可	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE1, P-TYPE1
注. 本レジスタは PRCR_S.PRC4 レジスタによって書き込み保護されています。

TEVTE ビット（IELSRn、DELSRn、ELCSRn 用トラストイベントルートコントロールレジスタ）

TEVTE = 1 の場合、IELSRn (n = 0～95) の IELS[8:0]ビット、DMAC.DELSRn (n = 0～7) のすべての DELS[8:0]ビット、ELC.ELSRn (n = 0～18) のすべての ELS[8:0]ビットは、セキュアライトアクセスが許可されます。非セキュアライトアクセスからは保護されます。さらに、TEVTE = 1 の場合、対象レジスタ（IELSRn (n = 0～95) の IELS[31:16]ビット）のセキュリティ属性が非セキュアのとき、セキュアアクセスは許可されません。このとき、

上位レベルの[31:16]ビットは読み出しおよび書き込みできませんが、応答は可能であり、エラーは発生しません。

- IELSRn.IELS[8:0] (n = 0～95)
- DMAC.DELSRn.DELS[7:0] (n = 0～7)
- ELC.ELSRn.IELS[8:0] (n = 0～18)

13.2.9 IRQCRi : IRQ コントロールレジスタ i (i = 0～15)

Base address: ICU_COMMON = 0x4000_6000
ICU_COMMON_NS = 0x5000_6000

Offset address: 0x000 + 0x1 × i

Bit position:	7	6	5	4	3	2	1	0
Bit field:	FLTEN	—	FCLKSEL[1:0]		—	—	IRQMD[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	IRQMD[1:0]	IRQi 検出センス選択 0 0: 立ち下がりエッジ 0 1: 立ち上がりエッジ 1 0: 両エッジ 1 1: Low レベル	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	FCLKSEL[1:0]	IRQi デジタルフィルタサンプリングクロック選択 0 0: PCLKB 0 1: PCLKB/8 1 0: PCLKB/32 1 1: PCLKB/64	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	FLTEN	IRQi デジタルフィルタ有効 0: 無効 1: 有効	R/W

注. S-TYPE3, P-TYPE2

IRQCRi レジスタの変更には、以下の条件があります。

- CPU 割り込みまたは DTC 起動要因の場合：
  IRQCRi レジスタの設定を変更してから、対象の IELSRn レジスタ (n = 0～95) を設定する必要があります。
  対象の IELSRn レジスタが 0x0000 の場合にのみ、レジスタ値の変更が可能です。
- DMAC 起動要因の場合：
  IRQCRi レジスタの設定を変更してから、対象の DMAC.DELSRn レジスタ (n = 0～7) を設定する必要があります。
  対象の DELSRn レジスタが 0x0000 の場合にのみ、レジスタ値の変更が可能です。
- ウェイクアップ許可信号の場合：
  IRQCRi レジスタの設定を変更してから、対象の WUPEN0.IRQWUPEN[n] (n = 0～15) ビットを設定する必要があります。対象の WUPEN0.IRQWUPEN[n]ビットが 0 の場合に、レジスタ値の変更が可能です。

IRQMD[1:0]ビット（IRQi 検出センス選択）

IRQMD[1:0]ビットは IRQi 外部端子割り込み要因の検出センシング方法を設定します。外部端子割り込み使用時の設定方法については、「13.5.7. 外部端子割り込みの設定手順」を参照してください。

FCLKSEL[1:0]ビット（IRQi デジタルフィルタサンプリングクロック選択）

FCLKSEL[1:0]ビットは IRQi 外部端子割り込み要求端子用のデジタルフィルタサンプリングクロックを選択します。以下から選択可能です。

- PCLKB（1 サイクルに 1 回）

- PCLKB/8（8 サイクルに 1 回）
- PCLKB/32（32 サイクルに 1 回）
- PCLKB/64（64 サイクルに 1 回）

デジタルフィルタの詳細は、「13.5.6. デジタルフィルタ」を参照してください。

FLTEN ビット（IRQi デジタルフィルタ有効）

FLTEN ビットは IRQi 外部端子割り込み要因に使用されるデジタルフィルタを有効にします。デジタルフィルタは IRQCRi.FLTEN ビットが 1 の場合に有効で、IRQCRi.FLTEN ビットが 0 の場合に無効です。IRQi の端子レベルは IRQCRi.FCLKSEL[1:0]ビットで指定されるクロックサイクルでサンプリングされます。サンプリングレベルが 3 回一致すると、デジタルフィルタからの出力レベルが変化します。デジタルフィルタの詳細は、「13.5.6. デジタルフィルタ」を参照してください。

13.2.10 NMISR : ノンマスカブル割り込みステータスレジスタ

Base address: ICU = 0x4000_C000
ICU_NS = 0x5000_C000

Offset address: 0x120

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	LUST	—	CMST	BUSST	—	—	—	—	NMIST	OSTST	—	—	PVD2ST	PVD1ST	WDTST	IWDTST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDTST	IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
1	WDTST	WDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
2	PVD1ST	電圧監視 1 割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
3	PVD2ST	電圧監視 2 割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
5:4	—	読むと 0 が読めます。	R
6	OSTST	メインクロック発振停止検出割り込みステータスフラグ 0: メインクロック発振停止の割り込み要求なし 1: メインクロック発振停止の割り込み要求あり	R
7	NMIST	NMI 端子割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
11:8	—	読むと 0 が読めます。	R
12	BUSST	バスエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
13	CMST	共通メモリエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
14	—	読むと 0 が読めます。	R
15	LUST	CPU ロックアップエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R

注. S-TYPE3, P-TYPE2

NMISR レジスタは、ノンマスカブル割り込み要因のステータスを監視します。NMISR レジスタへの書き込みは無視されます。ノンマスカブル割り込みイネーブルレジスタ (NMIER) の設定は、このレジスタには影響しません。ノンマスカブル割り込みの処理ルーチンでは、本レジスタの全ビットが 0 になっていることをチェックして、他の NMI 要求が発生していないことを確認してから、処理を終了してください。

IWDTST フラグ（IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ）

IWDTST フラグは IWDT アンダーフロー／リフレッシュエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.IWDTCLR ビットでクリアされます。

[1 になる条件]

IWDT アンダーフロー／リフレッシュエラー割り込みが発生したとき

[0 になる条件]

NMICLR.IWDTCLR ビットに 1 を書いたとき

WDTST フラグ（WDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ）

WDTST フラグは、WDT アンダーフロー／リフレッシュエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.WDTCLR ビットでクリアされます。

[1 になる条件]

WDT アンダーフロー／リフレッシュエラー割り込みが発生したとき

[0 になる条件]

NMICLR.WDTCLR ビットに 1 を書いたとき

PVD1ST フラグ（電圧監視 1 割り込みステータスフラグ）

PVD1ST フラグは電圧監視 1 割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.PVD1CLR ビットでクリアされます。

[1 になる条件]

電圧監視 1 割り込みが発生し、この割り込み要因が許可されたとき

[0 になる条件]

NMICLR.PVD1CLR ビットに 1 を書いたとき

PVD2ST フラグ（電圧監視 2 割り込みステータスフラグ）

PVD2ST フラグは電圧監視 2 割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.PVD2CLR ビットでクリアされます。

[1 になる条件]

電圧監視 2 割り込みが発生し、この割り込み要因が許可されたとき

[0 になる条件]

NMICLR.PVD2CLR ビットに 1 を書いたとき

OSTST フラグ（メインクロック発振停止検出割り込みステータスフラグ）

OSTST フラグはメインクロック発振停止検出割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.OSTCLR ビットでクリアされます。

[1 になる条件]

メインクロック発振停止検出割り込みが発生したとき

[0 になる条件]

NMICLR.OSTCLR ビットに 1 を書いたとき

NMIST フラグ（NMI 端子割り込みステータスフラグ）

NMIST フラグは NMI 端子割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.NMICLR ビットでクリアされます。

[1 になる条件]

NMICR.NMIMD ビットで指定したエッジが NMI 端子に入力されたとき

[0 になる条件]

NMICLR.NMICLR ビットに 1 を書いたとき

BUSST フラグ（バスエラー割り込みステータスフラグ）

BUSST フラグはバスエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.BUSCLR ビットでクリアされます。

バスエラーには、MPU エラーと TZF エラーがあります。

[1 になる条件]

バスエラー検出割り込みが発生したとき

[0 になる条件]

NMICLR.SPECLR ビットに 1 を書いたとき

クリアする前に、割り込み要求要因のエラーステータスを必ずクリアしてください。CPU が割り込み要求要因のエラーステータスをクリアしない場合は、NMI ステータスがクリアされても、再度設定され、NMI 要求が CPU に発行されます。CPU が NMI ハンドラから復帰しても、CPU はまた NMI ハンドラへジャンプします。

レベル検出の場合は、ステータスフラグをクリアするために、以下の手順を使用してください。

(1) 入力要因のレベルをネゲートします。

(2) 周辺読み出しアクセスを 1 回実行し、割り込みがクリアされるレベルを確認します。

(3) NMICLR.BUSCLR により、ステータスフラグをクリアします。

CMST フラグ（共通メモリエラー割り込みステータスフラグ）

CMST フラグは共通メモリエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.CMCLR ビットでクリアされます。

共通メモリエラーには、SRAM パリティエラーまたはスタンバイ RAM パリティエラーがあります。

[1 になる条件]

共通メモリエラー検出割り込みが発生したとき

[0 になる条件]

NMICLR.CMCLR ビットに 1 を書いたとき

クリアする前に、割り込み要求要因のエラーステータスを必ずクリアしてください。CPU が割り込み要求要因のエラーステータスをクリアしない場合は、NMI ステータスがクリアされても、再度設定され、NMI 要求が CPU に発行されます。CPU が NMI ハンドラから復帰しても、CPU はまた NMI ハンドラへジャンプします。

レベル検出の場合は、ステータスフラグをクリアするために、以下の手順を使用してください。

(1) 入力要因のレベルをネゲートします。

(2) 周辺読み出しアクセスを 1 回実行し、割り込みがクリアされるレベルを確認します。

(3) NMICLR.CMCLR により、ステータスフラグをクリアします。

LUST フラグ（CPU ロックアップエラー割り込みステータスフラグ）

LUST フラグは CPU ロックアップエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.LUCLR ビットでクリアされます。

[1 になる条件]

CPU ロックアップエラー割り込みが発生したとき

[0 になる条件]

クリアする前に、割り込み要求要因のエラーステータスを必ずクリアしてください。CPU が割り込み要求要因のエラーステータスをクリアしない場合は、NMI ステータスがクリアされても、再度設定され、NMI 要求が CPU に発行されます。CPU が NMI ハンドラから復帰しても、CPU はまた NMI ハンドラへジャンプします。

レベル検出の場合は、ステータスフラグをクリアするために、以下の手順を使用してください。

(1) 入力要因のレベルをネゲートします。

(2) 周辺読み出しアクセスを 1 回実行し、割り込みがクリアされるレベルを確認します。

(3) NMICLR.LUSTCLR により、ステータスフラグをクリアします。

13.2.11 NMIER : ノンマスカブル割り込みイネーブルレジスタ

Base address: ICU = 0x4000_C000
ICU_NS = 0x5000_C000

Offset address: 0x100

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	LUEN	—	CMEN	BUSEN	—	—	—	—	NMIEN	OSTEN	—	—	PVD2EN	PVD1EN	WDTEN	IWDTEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDTEN	IWDT アンダーフロー／リフレッシュエラー割り込み許可 0: 禁止 1: 許可	R/W(注1)(注2)
1	WDTEN	WDT アンダーフロー／リフレッシュエラー割り込み許可 0: 禁止 1: 許可	R/W(注1)(注2)
2	PVD1EN	電圧監視 1 割り込み許可 0: 禁止 1: 許可	R/W(注1)(注2)
3	PVD2EN	電圧監視 2 割り込み許可 0: 禁止 1: 許可	R/W(注1)(注2)
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	OSTEN	メインクロック発振停止検出割り込み許可 0: 禁止 1: 許可	R/W(注1)(注2)
7	NMIEN	NMI 端子割り込み許可 0: 禁止 1: 許可	R/W(注1)
11:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	BUSEN	バスエラー割り込み許可 0: 禁止 1: 許可	R/W(注1)
13	CMEN	共通メモリエラー割り込み許可 0: 禁止 1: 許可	R/W(注1)
14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	LUEN	CPU ロックアップエラー割り込み許可 0: 禁止 1: 許可	R/W(注1)

注. S-TYPE3、P-TYPE2
注 1. リセット後、本ビットに 1 回だけ 1 を書き込むことが可能です。以後のライトアクセスは無効です。0 の書き込みは無効です。
注 2. 割り込み信号として使用する場合、1 にしないでください。

IWDTEN ビット（IWDT アンダーフロー／リフレッシュエラー割り込み許可）

IWDTEN ビットは、NMI の起動要因となる IWDT アンダーフロー／リフレッシュエラー割り込みを許可します。

WDTEN ビット（WDT アンダーフロー／リフレッシュエラー割り込み許可）

WDTEN ビットは、NMI の起動要因となる WDT アンダーフロー／リフレッシュエラー割り込みを許可します。

PVD1EN ビット（電圧監視 1 割り込み許可）

PVD1EN ビットは、NMI の起動要因となる電圧監視 1 割り込みを許可します。

PVD2EN ビット（電圧監視 2 割り込み許可）

PVD2EN ビットは、NMI の起動要因となる電圧監視 2 割り込みを許可します。

OSTEN ビット（メインクロック発振停止検出割り込み許可）

OSTEN ビットは、NMI の起動要因となるメインクロック発振停止検出割り込みを許可します。

NMIEN ビット（NMI 端子割り込み許可）

NMIEN ビットは、NMI の起動要因となる NMI 端子割り込みを許可します。

BUSEN ビット（バスエラー割り込み許可）

BUSEN ビットは、NMI の起動要因となるバスエラー割り込みを許可します。バスエラーには、MPU エラーと TZF エラーがあります。

CMEN ビット（共通メモリエラー割り込み許可）

CMEN ビットは、NMI の起動要因となる共通メモリエラー割り込みを許可します。共通メモリエラーには、SRAM パリティエラーまたはスタンバイ RAM パリティエラーがあります。

LUEN ビット（CPU ロックアップエラー割り込み許可）

LUEN ビットは、NMI の起動要因となる CPU ロックアップエラー割り込みを許可します。

13.2.12 NMICLR : ノンマスカブル割り込みステータスクリアレジスタ

Base address: ICU = 0x4000_C000
ICU_NS = 0x5000_C000

Offset address: 0x110

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	LUCLR	—	CMCLR	BUSCLR	—	—	—	—	NMICLR	OSTCLR	—	—	PVD2CLR	PVD1CLR	WDTCLR	IWDTCLR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDTCLR	IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.IWDTST フラグをクリア	R/W(注1)
1	WDTCLR	WDT アンダーフロー／リフレッシュエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.WDTST フラグをクリア	R/W(注1)
2	PVD1CLR	電圧監視 1 割り込みステータスフラグクリア 0: 影響なし 1: NMISR.PVD1ST フラグをクリア	R/W(注1)
3	PVD2CLR	電圧監視 2 割り込みステータスフラグクリア 0: 影響なし 1: NMISR.PVD2ST フラグをクリア	R/W(注1)
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	OSTCLR	発振停止検出割り込みステータスフラグクリア 0: 影響なし 1: NMISR.OSTST フラグをクリア	R/W(注1)
7	NMICLR	NMI 端子割り込みステータスフラグクリア 0: 影響なし 1: NMISR.NMIST フラグをクリア	R/W(注1)
11:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
12	BUSCLR	バスエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.BUSST フラグをクリア	R/W(注1)
13	CMCLR	共通メモリエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.CMST フラグをクリア	R/W(注1)
14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	LUCLR	CPU ロックアップエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.LUST フラグをクリア	R/W(注1)

注. S-TYPE3, P-TYPE2
注. CPU と ICU の処理速度は異なる場合があります。CPU は NMISR をクリアする前に、割り込みハンドラを終了させる可能性があります。その後、CPU は再度、NMI ハンドラに偶発的にジャンプするかもしれません。これを回避するために、NMI ハンドラを終了させる前に必ず NMISR を読み出し、NMISR がクリアされていることを確認してください。
注 1. このビットには 1 のみ書けます。

IWDTCLR ビット（IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグクリア）

IWDTCLR ビットに 1 を書き込むことにより、NMISR.IWDTST フラグをクリアします。読むと 0 が読めます。

WDTCLR ビット（WDT アンダーフロー／リフレッシュエラー割り込みステータスフラグクリア）

WDTCLR ビットに 1 を書き込むことにより、NMISR.WDTST フラグをクリアします。読むと 0 が読めます。

PVD1CLR ビット（電圧監視 1 割り込みステータスフラグクリア）

PVD1CLR ビットに 1 を書き込むことにより、NMISR.PVD1ST フラグをクリアします。読むと 0 が読めます。

PVD2CLR ビット（電圧監視 2 割り込みステータスフラグクリア）

PVD2CLR ビットに 1 を書き込むことにより、NMISR.PVD2ST フラグをクリアします。読むと 0 が読めます。

OSTCLR ビット（発振停止検出割り込みステータスフラグクリア）

OSTCLR ビットに 1 を書き込むことにより、NMISR.OSTST フラグをクリアします。読むと 0 が読めます。

NMICLR ビット（NMI 端子割り込みステータスフラグクリア）

NMICLR ビットに 1 を書き込むことにより、NMISR.NMIST フラグをクリアします。読むと 0 が読めます。

BUSCLR ビット（バスエラー割り込みステータスフラグクリア）

BUSCLR ビットに 1 を書き込むことにより、NMISR.BUSST フラグをクリアします。読むと 0 が読めます。

CMCLR ビット（共通メモリエラー割り込みステータスフラグクリア）

CMCLR ビットに 1 を書き込むことにより、NMISR.CMST フラグをクリアします。読むと 0 が読めます。

LUCLR ビット（CPU ロックアップエラー割り込みステータスフラグクリア）

LUCLR ビットに 1 を書き込むことにより、NMISR.LUST フラグをクリアします。読むと 0 が読めます。

13.2.13 NMICR : NMI 端子割り込みコントロールレジスタ

Base address: ICU_COMMON = 0x4000_6000
ICU_COMMON_NS = 0x5000_6000

Offset address: 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	NFLTEN	—	NFCLKSEL[1:0]		—	—	—	NMIMD
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	NMIMD	NMI 検出設定 0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	NFCLKSEL[1:0]	NMI デジタルフィルタサンプリングクロック選択 0 0: PCLKB 0 1: PCLKB/8 1 0: PCLKB/32 1 1: PCLKB/64	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	NFLTEN	NMI デジタルフィルタ有効 0: 禁止 1: 許可	R/W

注. S-TYPE3, P-TYPE2

NMICR レジスタの設定を変更してから、NMI 端子割り込みを許可（NMIER.NMIEN ビットを 1）にしてください。

NMIMD ビット（NMI 検出設定）

NMIMD ビットは NMI 端子割り込みの検出イベントを選択します。

NFCLKSEL[1:0]ビット（NMI デジタルフィルタサンプリングクロック選択）

NFCLKSEL[1:0]ビットは NMI 端子割り込み用のデジタルフィルタサンプリングクロックを選択します。以下から選択可能です。

- PCLKB（1 サイクルに 1 回）
- PCLKB/8（8 サイクルに 1 回）
- PCLKB/32（32 サイクルに 1 回）
- PCLKB/64（64 サイクルに 1 回）

デジタルフィルタの詳細は、「13.5.6. デジタルフィルタ」を参照してください。

NFLTEN ビット（NMI デジタルフィルタ有効）

NFLTEN ビットは、NMI 端子割り込みのデジタルフィルタを有効にします。デジタルフィルタは、NFLTEN ビットが 1 の場合に有効になり、NFLTEN ビットが 0 の場合に無効になります。NMI 端子レベルは、NFCLKSEL[1:0]ビットで指定されたサイクルでサンプリングされます。サンプリングレベルが 3 回一致すると、デジタルフィルタからの出力レベルが変化します。デジタルフィルタの詳細は、「13.5.6. デジタルフィルタ」を参照してください。

13.2.14 IELSRn : ICU イベントリンク設定レジスタ n (n = 0～95)

Base address: ICU = 0x4000_C000
ICU_NS = 0x5000_C000

Offset address: 0x300 + 0x4 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	DTCE	—	—	—	—	—	—	—	IR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	IELS[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	IELS[8:0]	ICU イベントリンク選択 0x00: 対応する NVIC または DTC モジュールへの割り込みは禁止 その他: リンクするイベント信号の番号。詳細は、「13.3.2. イベント番号」を参照してください。	R/W(注1)
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	IR	割り込みステータスフラグ 0: 割り込み要求の発生なし 1: 割り込み要求の発生あり	R/W(注2)
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	DTCE	DTC 起動許可 0: DTC 起動禁止 1: DTC 起動許可	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注 1. 本レジスタの[15:0]ビットは、ハーフワードアクセスまたはワードアクセスでのみアクセス可能です。バイトアクセスは無視されます。
注 2. IR フラグに 1 を書き込まないでください。
本レジスタには、トラストイベントルートコントロールレジスタ (TEVTRCR) の設定によって、異なるセキュアアクセス許可があります。セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスが許可されます。
- 非セキュアライトアクセスは無視されます。非セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。

セキュリティ属性が非セキュアに設定されていて、トラストイベントルートが禁止されている場合、

- セキュアライトアクセスは無視されます。セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。
- 非セキュアアクセスが許可されます。

セキュリティ属性が非セキュアに設定されていて、トラストイベントルートが許可されている場合、

- IELS ビットへのセキュアアクセスが許可されます。
- 非セキュアライトアクセスは無視されます。非セキュアリードアクセスは許可されます。
- 他のビットへのセキュアライトアクセスは無視されます。他のビットへのセキュアリードアクセスは 0 が読めます。
- 他のビットへの非セキュアアクセスが許可されます。
- TrustZone アクセスエラーは発生しません。

P-TYPE-2

IELSRn レジスタは NVIC により使用される割り込み要因を選択します。詳細は、表 13.3 を参照してください。IELSRn (n = 0～95) は NVIC 割り込み入力要因番号に対応します。

IELS[8:0]ビット（ICU イベントリンク選択）

IELS[8:0]ビットは、対応する NVIC または DTC モジュールにリンクするイベント信号を指定します。イベント選択肢の組み合わせは、8 グループ（グループ 0～7）に分類されています。詳細は、「13.3. ベクタテーブル」を参照してください。すべての IELS[8:0]ビットは同時に書き込む必要があります。

IR フラグ（割り込みステータスフラグ）

IR フラグは IELS[8:0]ビットで指定されたイベントからの割り込み要求の有無を示します。

[1 になる条件]

対応する周辺モジュールまたは IRQi 端子から割り込み要求を受信したとき

[0 になる条件]

- 0 を書くことにより、IR フラグは 0 にクリアされます。
- DTC.DISEL = 0 の場合、DTCE = 1 のとき、DTC 転送で最終転送終了時以外は、IR フラグはハードウェアにより設定およびクリアされます。
- DTC.DISEL = 1 の場合、DTCE = 1 のとき、DTC 転送でハードウェアは IR フラグをクリアしません。CPU で 0 を書き込むことにより、クリアしてください。

最終転送以外の DTC 転送が終了する場合（DTCE ビットは 1 から 0 になる）

DTCE = 1 のとき、IR レジスタに 0 を書き込まないでください。

レベル検出の場合、IR フラグのクリアは以下の手順に従ってください。

1. 入力割り込み信号をネゲートする。
2. 周辺リードアクセスを 1 回実行し、対象モジュールクロックの 2 クロックサイクル分待機する。
3. 0 を書き込んで IR フラグをクリアする。

注. CPU と ICU の処理速度は異なる場合があります。CPU は IR フラグをクリアする前に、割り込みハンドラを終了させる可能性があります。その後、CPU は再度、割り込みハンドラに偶発的にジャンプするかもしれません。これを回避するために、割り込みハンドラを終了させる前に必ず本レジスタを読み出し、IR フラグがクリアされていることを確認してください。

DTCE ビット（DTC 起動許可）

DTCE ビットを 1 にすると、対応するイベントが DTC 起動要因として選択されます。

[1 になる条件]

- DTCE ビットに 1 を書いたとき

[0 になる条件]

- 設定の転送数が終了したとき。チェーン転送の場合は、指定された最後のチェーン転送の転送数が終了したとき
- DTCE ビットに 0 を書いたとき

注. Arm CPU NVIC で管理するセキュリティ属性は、IELSEn (n = 0～95) の SA（セキュリティ属性）と一致している必要があります。

注. DTC 転送中のエラー

DTC 転送中にエラー応答が発生すると、DTC はエラーが発生したことを ICU に通知します。ICU は対象の IELSRn (n = 0～95) のすべてのビットをクリアします。対象外の IELSRn はクリアされません。

13.2.15 WUPEN0: ウェイクアップ割り込みイネーブルレジスタ 0

Base address: ICU = 0x4000_C000
ICU_NS = 0x5000_C000

Offset address: 0x1A0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	IIC0WUPEN	AGT1CBWUPEN	AGT1CAWUPEN	AGT1UDWUPEN	USBFS0WUPEN	—	RTCPRDWUPEN	RTCALMWUPEN	—	—	—	VBATTWUPEN	PVD2WUPEN	PVD1WUPEN	—	IWDTWUPEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	IRQWUPEN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	IRQWUPEN[15:0]	IRQn 割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可 (n = 0～15) 0: IRQn 割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰禁止 1: IRQn 割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰許可(注1)	R/W

ビット	シンボル	機能	R/W
16	IWDTWUPEN	IWDT 割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可 0: IWDT 割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰禁止 1: IWDT 割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰許可	R/W
17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18	PVD1WUPEN	PVD1 割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可 0: PVD1 割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰禁止 1: PVD1 割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰許可	R/W
19	PVD2WUPEN	PVD2 割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可 0: PVD2 割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰禁止 1: PVD2 割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰許可	R/W
20	VBATTWUPEN	VBATT 監視割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可 0: VBATT 監視割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰禁止 1: VBATT 監視割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰許可	R/W
23:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	RTCALMWUPEN	RTC アラーム割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可 0: RTC アラーム割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰禁止 1: RTC アラーム割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰許可	R/W
25	RTCPRDWUPEN	RTC 周期割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可 0: RTC 周期割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰禁止 1: RTC 周期割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰許可	R/W
26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
27	USBFS0WUPEN	USBFS 割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可 0: USBFS 割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰禁止 1: USBFS 割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰許可	R/W
28	AGT1UDWUPEN	AGT1 アンダーフロー割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可 0: AGT1 アンダーフロー割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰禁止 1: AGT1 アンダーフロー割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰許可	R/W
29	AGT1CAWUPEN	AGT1 コンペアマッチ A 割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可 0: AGT1 コンペアマッチ A 割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰禁止 1: AGT1 コンペアマッチ A 割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰許可	R/W
30	AGT1CBWUPEN	AGT1 コンペアマッチ B 割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可 0: AGT1 コンペアマッチ B 割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰禁止 1: AGT1 コンペアマッチ B 割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰許可	R/W

ビット	シンボル	機能	R/W
31	IIC0WUPEN	IIC0 アドレスマッチ割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可 0: IIC0 アドレスマッチ A 割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰禁止 1: IIC0 アドレスマッチ A 割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰許可	R/W

注. S-TYPE4、P-TYPE2
注 1. 説明は、各ビットについて示します。

IRQWUPEN[15:0]ビット（IRQn 割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可 (n = 0～15)）

IRQWUPEN[15:0]ビットは、IRQn 端子 (n = 0～15) をディープスリープモード／ソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

IWDTWUPEN ビット（IWDT 割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可）

IWDTWUPEN ビットは、IWDT 割り込みをディープスリープモード／ソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

PVD1WUPEN ビット（PVD1 割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可）

PVD1WUPEN ビットは、PVD1 割り込みをディープスリープモード／ソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

PVD2WUPEN ビット（PVD2 割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可）

PVD2WUPEN ビットは、PVD2 割り込みをディープスリープモード／ソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

VBATTWUPEN ビット（VBATT 監視割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可）

VBATTWUPEN ビットは、VBATT 監視割り込みをディープスリープモード／ソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

RTCALMWUPEN ビット（RTC アラーム割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可）

RTCALMWUPEN ビットは、RTC アラーム割り込みをディープスリープモード／ソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

RTCPRDWUPEN ビット（RTC 周期割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可）

RTCPRDWUPEN ビットは、RTC 周期割り込みをディープスリープモード／ソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

USBFS0WUPEN ビット（USBFS 割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可）

USBFS0WUPEN ビットは、USBFS 割り込みをディープスリープモード／ソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

AGT1UDWUPEN ビット（AGT1 アンダーフロー割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可）

AGT1UDWUPEN ビットは、AGT1 アンダーフロー割り込みをディープスリープモード／ソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

AGT1CAWUPEN ビット（AGT1 コンペアマッチ A 割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可）

AGT1CAWUPEN ビットは、AGT1 コンペアマッチ A 割り込みをディープスリープモード／ソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

AGT1CBWUPEN ビット（AGT1 コンペアマッチ B 割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可）

AGT1CBWUPEN ビットは、AGT1 コンペアマッチ B 割り込みをディープスリープモード／ソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

IIC0WUPEN ビット（IIC0 アドレスマッチ割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可）

IIC0WUPEN ビットは、IIC0 割り込みをディープスリープモード／ソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

注. 本レジスタのセキュリティ属性は、ウェイクアップイベントごとに設定されます。
セキュリティホールの発生を避けるため、ウェイクアップの対象イベントと、本ビットに追加されるセキュリティ属性が一致していなければなりません。

13.2.16 WUPEN1 : ウェイクアップ割り込みイネーブルレジスタ 1

Base address: ICU = 0x4000_C000
ICU_NS = 0x5000_C000

Offset address: 0x1A4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	ULP1BWUPEN	ULP1AWUPEN	ULP1UWUPEN	—	ULP0BWUPEN	ULP0AWUPEN	ULP0UWUPEN	—	—	—	—	COMPHS0WUPEN	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	COMPHS0WUPEN	コンパレータ-HS0 割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可 0: コンパレータ-HS0 割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰禁止 1: ULPT0 アンダーフロー割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰許可	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	ULP0UWUPEN	ULPT0 アンダーフロー割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可 0: ULPT0 アンダーフロー割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰禁止 1: ULPT0 アンダーフロー割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰許可	R/W
9	ULP0AWUPEN	ULPT0 コンペアマッチ A 割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可 0: ULPT0 コンペアマッチ A 割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰禁止 1: ULPT0 コンペアマッチ A 割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰許可	R/W
10	ULP0BWUPEN	ULPT0 コンペアマッチ B 割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可 0: ULPT0 コンペアマッチ B 割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰禁止 1: ULPT0 コンペアマッチ B 割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰許可	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
12	ULP1UWUPEN	ULPT1 アンダーフロー割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可 0: ULPT1 アンダーフロー割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰禁止 1: ULPT1 アンダーフロー割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰許可	R/W
13	ULP1AWUPEN	ULPT1 コンペアマッチ A 割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可 0: ULPT1 コンペアマッチ A 割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰禁止 1: ULPT1 コンペアマッチ A 割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰許可	R/W
14	ULP1BWUPEN	ULPT1 コンペアマッチ B 割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可 0: ULPT1 コンペアマッチ B 割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰禁止 1: ULPT1 コンペアマッチ B 割り込みによるディープスリープモード／ソフトウェアスタンバイモード復帰許可	R/W
31:15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE4、P-TYPE2

COMPHS0WUPEN ビット（コンパレータ-HS0 割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可）

本ビットは、コンパレータ-HS0 割り込みをディープスリープモード／ソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

ULP0UWUPEN ビット（ULPT0 アンダーフロー割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可）

本ビットは、ULPT0 アンダーフロー割り込みをディープスリープモード／ソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

ULP0AWUPEN ビット（ULPT0 コンペアマッチ A 割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可）

本ビットは、ULPT0 コンペアマッチ A 割り込みをディープスリープモード／ソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

ULP0BWUPEN ビット（ULPT0 コンペアマッチ B 割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可）

本ビットは、ULPT0 コンペアマッチ B 割り込みをディープスリープモード／ソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

ULP1UWUPEN ビット（ULPT1 アンダーフロー割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可）

本ビットは、ULPT1 アンダーフロー割り込みをディープスリープモード／ソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

ULP1AWUPEN ビット（ULPT1 コンペアマッチ A 割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可）

本ビットは、ULPT1 コンペアマッチ A 割り込みをディープスリープモード／ソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

ULP1BWUPEN ビット（ULPT1 コンペアマッチ B 割り込みディープスリープモード／ソフトウェアスタンバイモード復帰許可）

本ビットは、ULPT1 コンペアマッチ B 割り込みをディープスリープモード／ソフトウェアスタンバイモードの復帰要因として使用するかどうかを制御するための許可ビットです。

注. 本レジスタのセキュリティ属性は、ウェイクアップイベントごとに設定されます。

セキュリティホールの発生を避けるため、ウェイクアップの対象イベントと、本ビットに追加されるセキュリティ属性が一致していなければなりません。

13.3 ベクタテーブル

ICU は、マスカブル割り込みとノンマスカブル割り込みの 2 種類の割り込みを検出します。割り込み優先順位は Arm NVIC で設定されます。これらのレジスタについての情報は、「13.10. 参考資料」を参照してください。

13.3.1 割り込みベクタテーブル

表 13.3 に割り込みベクタテーブルの内容を示します。割り込みベクタアドレスは、NVIC の仕様に従います。

表 13.3 割り込みベクタテーブル (1/3)

例外番号	IRQ 番号	ベクタオフセット	要因	内容
0	—	0x000	Arm	初期スタックポインタ
1	—	0x004	Arm	初期プログラムカウンタ（リセットベクタ）
2	—	0x008	Arm	ノンマスカブル割り込み (NMI)
3	—	0x00C	Arm	HardFault
4	—	0x010	Arm	MemManage 障害
5	—	0x014	Arm	BusFault
6	—	0x018	Arm	UsageFault
7	—	0x01C	Arm	SecureFault
8	—	0x020	Arm	予約
9	—	0x024	Arm	予約
10	—	0x028	Arm	予約
11	—	0x02C	Arm	スーパバイザコール (SVCall)
12	—	0x030	Arm	DebugMonitor
13	—	0x034	Arm	予約
14	—	0x038	Arm	システムサービスに対する保留可能な要求 (PendableSrvReq)
15	—	0x03C	Arm	システムティックタイマ (SysTick)
16	0	0x040	ICU.IELSR0	ICU.IELSR0 レジスタで選択されたイベント
17	1	0x044	ICU.IELSR1	ICU.IELSR1 レジスタで選択されたイベント
18	2	0x048	ICU.IELSR2	ICU.IELSR2 レジスタで選択されたイベント
19	3	0x04C	ICU.IELSR3	ICU.IELSR3 レジスタで選択されたイベント
20	4	0x050	ICU.IELSR4	ICU.IELSR4 レジスタで選択されたイベント
21	5	0x054	ICU.IELSR5	ICU.IELSR5 レジスタで選択されたイベント
22	6	0x058	ICU.IELSR6	ICU.IELSR6 レジスタで選択されたイベント
23	7	0x05C	ICU.IELSR7	ICU.IELSR7 レジスタで選択されたイベント
24	8	0x060	ICU.IELSR8	ICU.IELSR8 レジスタで選択されたイベント
25	9	0x064	ICU.IELSR9	ICU.IELSR9 レジスタで選択されたイベント
26	10	0x068	ICU.IELSR10	ICU.IELSR10 レジスタで選択されたイベント
27	11	0x06C	ICU.IELSR11	ICU.IELSR11 レジスタで選択されたイベント
28	12	0x070	ICU.IELSR12	ICU.IELSR12 レジスタで選択されたイベント
29	13	0x074	ICU.IELSR13	ICU.IELSR13 レジスタで選択されたイベント
30	14	0x078	ICU.IELSR14	ICU.IELSR14 レジスタで選択されたイベント
31	15	0x07C	ICU.IELSR15	ICU.IELSR15 レジスタで選択されたイベント

表 13.3 割り込みベクタテーブル (2/3)

例外番号	IRQ 番号	ベクタオフセット	要因	内容
32	16	0x080	ICU.IELSR16	ICU.IELSR16 レジスタで選択されたイベント
33	17	0x084	ICU.IELSR17	ICU.IELSR17 レジスタで選択されたイベント
34	18	0x088	ICU.IELSR18	ICU.IELSR18 レジスタで選択されたイベント
35	19	0x08C	ICU.IELSR19	ICU.IELSR19 レジスタで選択されたイベント
36	20	0x090	ICU.IELSR20	ICU.IELSR20 レジスタで選択されたイベント
37	21	0x094	ICU.IELSR21	ICU.IELSR21 レジスタで選択されたイベント
38	22	0x098	ICU.IELSR22	ICU.IELSR22 レジスタで選択されたイベント
39	23	0x09C	ICU.IELSR23	ICU.IELSR23 レジスタで選択されたイベント
40	24	0x0A0	ICU.IELSR24	ICU.IELSR24 レジスタで選択されたイベント
41	25	0x0A4	ICU.IELSR25	ICU.IELSR25 レジスタで選択されたイベント
42	26	0x0A8	ICU.IELSR26	ICU.IELSR26 レジスタで選択されたイベント
43	27	0x0AC	ICU.IELSR27	ICU.IELSR27 レジスタで選択されたイベント
44	28	0x0B0	ICU.IELSR28	ICU.IELSR28 レジスタで選択されたイベント
45	29	0x0B4	ICU.IELSR29	ICU.IELSR29 レジスタで選択されたイベント
46	30	0x0B8	ICU.IELSR30	ICU.IELSR30 レジスタで選択されたイベント
47	31	0x0BC	ICU.IELSR31	ICU.IELSR31 レジスタで選択されたイベント
48	32	0x0C0	ICU.IELSR32	ICU.IELSR32 レジスタで選択されたイベント
49	33	0x0C4	ICU.IELSR33	ICU.IELSR33 レジスタで選択されたイベント
50	34	0x0C8	ICU.IELSR34	ICU.IELSR34 レジスタで選択されたイベント
51	35	0x0CC	ICU.IELSR35	ICU.IELSR35 レジスタで選択されたイベント
52	36	0x0D0	ICU.IELSR36	ICU.IELSR36 レジスタで選択されたイベント
53	37	0x0D4	ICU.IELSR37	ICU.IELSR37 レジスタで選択されたイベント
54	38	0x0D8	ICU.IELSR38	ICU.IELSR38 レジスタで選択されたイベント
55	39	0x0DC	ICU.IELSR39	ICU.IELSR39 レジスタで選択されたイベント
56	40	0x0E0	ICU.IELSR40	ICU.IELSR40 レジスタで選択されたイベント
57	41	0x0E4	ICU.IELSR41	ICU.IELSR41 レジスタで選択されたイベント
58	42	0x0E8	ICU.IELSR42	ICU.IELSR42 レジスタで選択されたイベント
59	43	0x0EC	ICU.IELSR43	ICU.IELSR43 レジスタで選択されたイベント
60	44	0x0F0	ICU.IELSR44	ICU.IELSR44 レジスタで選択されたイベント
61	45	0x0F4	ICU.IELSR45	ICU.IELSR45 レジスタで選択されたイベント
62	46	0x0F8	ICU.IELSR46	ICU.IELSR46 レジスタで選択されたイベント
63	47	0x0FC	ICU.IELSR47	ICU.IELSR47 レジスタで選択されたイベント
64	48	0x100	ICU.IELSR48	ICU.IELSR48 レジスタで選択されたイベント
65	49	0x104	ICU.IELSR49	ICU.IELSR49 レジスタで選択されたイベント
66	50	0x108	ICU.IELSR50	ICU.IELSR50 レジスタで選択されたイベント
67	51	0x10C	ICU.IELSR51	ICU.IELSR51 レジスタで選択されたイベント
68	52	0x110	ICU.IELSR52	ICU.IELSR52 レジスタで選択されたイベント
69	53	0x114	ICU.IELSR53	ICU.IELSR53 レジスタで選択されたイベント
70	54	0x118	ICU.IELSR54	ICU.IELSR54 レジスタで選択されたイベント
71	55	0x11C	ICU.IELSR55	ICU.IELSR55 レジスタで選択されたイベント
72	56	0x120	ICU.IELSR56	ICU.IELSR56 レジスタで選択されたイベント

表 13.3 割り込みベクタテーブル (3/3)

例外番号	IRQ 番号	ベクタオフセット	要因	内容
73	57	0x124	ICU.IELSR57	ICU.IELSR57 レジスタで選択されたイベント
74	58	0x128	ICU.IELSR58	ICU.IELSR58 レジスタで選択されたイベント
75	59	0x12C	ICU.IELSR59	ICU.IELSR59 レジスタで選択されたイベント
76	60	0x130	ICU.IELSR60	ICU.IELSR60 レジスタで選択されたイベント
77	61	0x134	ICU.IELSR61	ICU.IELSR61 レジスタで選択されたイベント
78	62	0x138	ICU.IELSR62	ICU.IELSR62 レジスタで選択されたイベント
79	63	0x13C	ICU.IELSR63	ICU.IELSR63 レジスタで選択されたイベント
80	64	0x140	ICU.IELSR64	ICU.IELSR64 レジスタで選択されたイベント
81	65	0x144	ICU.IELSR65	ICU.IELSR65 レジスタで選択されたイベント
82	66	0x148	ICU.IELSR66	ICU.IELSR66 レジスタで選択されたイベント
83	67	0x14C	ICU.IELSR67	ICU.IELSR67 レジスタで選択されたイベント
84	68	0x150	ICU.IELSR68	ICU.IELSR68 レジスタで選択されたイベント
85	69	0x154	ICU.IELSR69	ICU.IELSR69 レジスタで選択されたイベント
86	70	0x158	ICU.IELSR70	ICU.IELSR70 レジスタで選択されたイベント
87	71	0x15C	ICU.IELSR71	ICU.IELSR71 レジスタで選択されたイベント
88	72	0x160	ICU.IELSR72	ICU.IELSR72 レジスタで選択されたイベント
89	73	0x164	ICU.IELSR73	ICU.IELSR73 レジスタで選択されたイベント
90	74	0x168	ICU.IELSR74	ICU.IELSR74 レジスタで選択されたイベント
91	75	0x16C	ICU.IELSR75	ICU.IELSR75 レジスタで選択されたイベント
92	76	0x170	ICU.IELSR76	ICU.IELSR76 レジスタで選択されたイベント
93	77	0x174	ICU.IELSR77	ICU.IELSR77 レジスタで選択されたイベント
94	78	0x178	ICU.IELSR78	ICU.IELSR78 レジスタで選択されたイベント
95	79	0x17C	ICU.IELSR79	ICU.IELSR79 レジスタで選択されたイベント
96	80	0x180	ICU.IELSR80	ICU.IELSR80 レジスタで選択されたイベント
97	81	0x184	ICU.IELSR81	ICU.IELSR81 レジスタで選択されたイベント
98	82	0x188	ICU.IELSR82	ICU.IELSR82 レジスタで選択されたイベント
99	83	0x18C	ICU.IELSR83	ICU.IELSR83 レジスタで選択されたイベント
100	84	0x190	ICU.IELSR84	ICU.IELSR84 レジスタで選択されたイベント
101	85	0x194	ICU.IELSR85	ICU.IELSR85 レジスタで選択されたイベント
102	86	0x198	ICU.IELSR86	ICU.IELSR86 レジスタで選択されたイベント
103	87	0x19C	ICU.IELSR87	ICU.IELSR87 レジスタで選択されたイベント
104	88	0x1A0	ICU.IELSR88	ICU.IELSR88 レジスタで選択されたイベント
105	89	0x1A4	ICU.IELSR89	ICU.IELSR89 レジスタで選択されたイベント
106	90	0x1A8	ICU.IELSR90	ICU.IELSR90 レジスタで選択されたイベント
107	91	0x1AC	ICU.IELSR91	ICU.IELSR91 レジスタで選択されたイベント
108	92	0x1B0	ICU.IELSR92	ICU.IELSR92 レジスタで選択されたイベント
109	93	0x1B4	ICU.IELSR93	ICU.IELSR93 レジスタで選択されたイベント
110	94	0x1B8	ICU.IELSR94	ICU.IELSR94 レジスタで選択されたイベント
111	95	0x1BC	ICU.IELSR95	ICU.IELSR95 レジスタで選択されたイベント

13.3.2 イベント番号

下表は、イベント番号を記した表 13.4 の各項目の説明です。

項目	内容
割り込み要求発生元	割り込み要求の発生元の名称
名称	割り込みの名称
NVIC への接続	CPU 割り込みとして使用可能な割り込みが✓印で示されています。
DTC の起動	DTC の起動要求に使用可能な割り込みが✓印で示されています。
DMAC の起動	DMAC の起動要求に使用可能な割り込みが✓印で示されています。
CPU ディープスリープモードの解除	CPU ディープスリープモードからの復帰要求に使用可能な割り込みが✓印で示されています。
ソフトウェアスタンバイモードの解除	ソフトウェアスタンバイモードからの復帰要求に使用可能な割り込みが✓印で示されています。
ディープソフトウェアスタンバイの解除	ディープソフトウェアスタンバイモードからの復帰要求に使用可能な割り込みが✓印で示されています。

表 13.4 イベントテーブル (1/8)

イベント番号	割り込み要求発生元	名称	IELSRn		DELSRn	CPU ディープスリープモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x001	ポート	PORT_IRQ0	✓	✓	✓	✓	✓	✓
0x002		PORT_IRQ1	✓	✓	✓	✓	✓	✓
0x003		PORT_IRQ2	✓	✓	✓	✓	✓	✓
0x004		PORT_IRQ3	✓	✓	✓	✓	✓	✓
0x005		PORT_IRQ4	✓	✓	✓	✓	✓	✓
0x006		PORT_IRQ5	✓	✓	✓	✓	✓	✓
0x007		PORT_IRQ6	✓	✓	✓	✓	✓	✓
0x008		PORT_IRQ7	✓	✓	✓	✓	✓	✓
0x009		PORT_IRQ8	✓	✓	✓	✓	✓	✓
0x00A		PORT_IRQ9	✓	✓	✓	✓	✓	✓
0x00B		PORT_IRQ10	✓	✓	✓	✓	✓	✓
0x00C		PORT_IRQ11	✓	✓	✓	✓	✓	✓
0x00D		PORT_IRQ12	✓	✓	✓	✓	✓	✓
0x00E		PORT_IRQ13	✓	✓	✓	✓	✓	✓
0x00F		PORT_IRQ14	✓	✓	✓	✓	✓	✓
0x010		PORT_IRQ15	✓	✓	✓	✓	✓	✓
0x011	DMAC00	DMAC00_INT	✓	✓	—	—	—	—
0x012	DMAC01	DMAC01_INT	✓	✓	—	—	—	—
0x013	DMAC02	DMAC02_INT	✓	✓	—	—	—	—
0x014	DMAC03	DMAC03_INT	✓	✓	—	—	—	—
0x015	DMAC04	DMAC04_INT	✓	✓	—	—	—	—
0x016	DMAC05	DMAC05_INT	✓	✓	—	—	—	—
0x017	DMAC06	DMAC06_INT	✓	✓	—	—	—	—
0x018	DMAC07	DMAC07_INT	✓	✓	—	—	—	—
0x022	DTC0	DTC0_COMPLETE	✓	—	—	—	—	—
0x027	DMAC/DTC	DMA0_TRANSERR	✓	—	—	—	—	—

表 13.4 イベントテーブル (2/8)

イベント番号	割り込み要求発生元	名称	IELSRn		DELSRn	CPU ディープスリープモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x029	DBG	DBG_CTIIRQ0	✓	—	—	—	—	—
0x02A		DBG_CTIIRQ1	✓	—	—	—	—	—
0x02B		DBG_JBRXI	✓	—	—	—	—	—
0x030	FCU	FCU_FIFERR	✓	—	—	—	—	—
0x031		FCU_FRDYI	✓	—	—	—	—	—
0x038	PVD1	PVD_PVD1	✓	—	—	✓	✓	✓(注4)
0x039	PVD2	PVD_PVD2	✓	—	—	✓	✓	✓(注4)
0x03D	BBF	VBATT_TADI	✓	—	—	✓	✓	✓
0x03E	MOSC	MOSC_STOP	✓	—	—	—	—	—
0x040	ULPT0	ULPT0_ULPTI	✓	✓	✓	✓	✓	✓(注5)
0x041		ULPT0_ULPTCMAI	✓	✓	✓	✓	✓	—
0x042		ULPT0_ULPTCMBI	✓	✓	✓	✓	✓	—
0x043	ULPT1	ULPT1_ULPTI	✓	✓	✓	✓	✓	✓(注5)
0x044		ULPT1_ULPTCMAI	✓	✓	✓	✓	✓	—
0x045		ULPT1_ULPTCMBI	✓	✓	✓	✓	✓	—
0x046	AGT0	AGT0_AGTI	✓	✓	✓	—	—	—
0x047		AGT0_AGTCMAI	✓	✓	✓	—	—	—
0x048		AGT0_AGTCMBI	✓	✓	✓	—	—	—
0x049	AGT1	AGT1_AGTI	✓	✓	✓	✓	✓	—
0x04A		AGT1_AGTCMAI	✓	✓	✓	✓	✓	—
0x04B		AGT1_AGTCMBI	✓	✓	✓	✓	✓	—
0x052	IWDT	IWDT_NMIUNDF	✓	—	—	✓	✓	✓(注5)
0x053	WDT	WDT0_NMIUNDF	✓	—	—	—	—	—
0x055	RTC	RTC_ALM	✓	—	—	✓	✓	✓
0x056		RTC_PRD	✓	—	—	✓	✓	✓
0x057		RTC_CUP	✓	—	—	—	—	—
0x058	USBFS	USBFS_D0FIFO	✓	✓	✓	—	—	—
0x059		USBFS_D1FIFO	✓	✓	✓	—	—	—
0x05A		USBFS_USBI	✓	—	—	—	—	—
0x05B		USBFS_USBR	✓	—	—	✓	✓	✓(注5)
0x05C	IIC0	IIC0_RXI	✓	✓	✓	—	—	—
0x05D		IIC0_TXI	✓	✓	✓	—	—	—
0x05E		IIC0_TEI	✓	—	—	—	—	—
0x05F		IIC0_EEI	✓	—	—	—	—	—
0x060		IIC0_WUI	✓	—	—	✓	✓	—
0x061	IIC1	IIC1_RXI	✓	✓	✓	—	—	—
0x062		IIC1_TXI	✓	✓	✓	—	—	—
0x063		IIC1_TEI	✓	—	—	—	—	—
0x064		IIC1_EEI	✓	—	—	—	—	—

表 13.4 イベントテーブル (3/8)

イベント番号	割り込み要求発生元	名称	IELSRn		DELSRn	CPU ディープスリープモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x073	SSI0	SSI0_SSITXI	✓	✓	✓	—	—	—
0x074		SSI0_SSIRXI	✓	✓	✓	—	—	—
0x076		SSI0_SSIF	✓	—	—	—	—	—
0x079	SSI1	SSI1_SSIRT	✓	✓	✓	—	—	—
0x07A		SSI1_SSIF	✓	—	—	—	—	—
0x07B	ACMPHS	ACMP_HS0	✓	—	—	✓(注1)	✓(注1)	—
0x07C		ACMP_HS1	✓	—	—	—	—	—
0x083	ELC	ELC_SWEVT0	✓(注3)	✓	—	—	—	—
0x084		ELC_SWEVT1	✓(注3)	✓	—	—	—	—
0x088	PORT	IOPORT_GROUP1	✓	✓(注2)	✓(注2)	—	—	—
0x089		IOPORT_GROUP2	✓	✓(注2)	✓(注2)	—	—	—
0x08A		IOPORT_GROUP3	✓	✓(注2)	✓(注2)	—	—	—
0x08B		IOPORT_GROUP4	✓	✓(注2)	✓(注2)	—	—	—
0x08C	CAC	CAC_FEERI	✓	—	—	—	—	—
0x08D		CAC_MENDI	✓	—	—	—	—	—
0x08E		CAC_OVFI	✓	—	—	—	—	—
0x08F	POEG	POEG_GROUPA	✓	—	—	—	—	—
0x090		POEG_GROUPB	✓	—	—	—	—	—
0x091		POEG_GROUPC	✓	—	—	—	—	—
0x092		POEG_GROUPD	✓	—	—	—	—	—
0x0A1	GPT0	GPT0_CCMPA	✓	✓	✓	—	—	—
0x0A2		GPT0_CCMPB	✓	✓	✓	—	—	—
0x0A3		GPT0_CMPC	✓	✓	✓	—	—	—
0x0A4		GPT0_CMPD	✓	✓	✓	—	—	—
0x0A5		GPT0_CMPE	✓	✓	✓	—	—	—
0x0A6		GPT0_CMPF	✓	✓	✓	—	—	—
0x0A7		GPT0_OVF	✓	✓	✓	—	—	—
0x0A8		GPT0_UDF	✓	✓	✓	—	—	—
0x0A9		GPT0_PC	✓	✓	✓	—	—	—
0x0AA	GPT1	GPT1_CCMPA	✓	✓	✓	—	—	—
0x0AB		GPT1_CCMPB	✓	✓	✓	—	—	—
0x0AC		GPT1_CMPC	✓	✓	✓	—	—	—
0x0AD		GPT1_CMPD	✓	✓	✓	—	—	—
0x0AE		GPT1_CMPE	✓	✓	✓	—	—	—
0x0AF		GPT1_CMPF	✓	✓	✓	—	—	—
0x0B0		GPT1_OVF	✓	✓	✓	—	—	—
0x0B1		GPT1_UDF	✓	✓	✓	—	—	—
0x0B2		GPT1_PC	✓	✓	✓	—	—	—

表 13.4 イベントテーブル (4/8)

イベント番号	割り込み要求発生元	名称	IELSRn		DELSRn	CPU ディープスリープモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x0B3	GPT2	GPT2_CCMPA	✓	✓	✓	—	—	—
0x0B4		GPT2_CCMPB	✓	✓	✓	—	—	—
0x0B5		GPT2_CMPC	✓	✓	✓	—	—	—
0x0B6		GPT2_CMPD	✓	✓	✓	—	—	—
0x0B7		GPT2_CMPE	✓	✓	✓	—	—	—
0x0B8		GPT2_CMPF	✓	✓	✓	—	—	—
0x0B9		GPT2_OVF	✓	✓	✓	—	—	—
0x0BA		GPT2_UDF	✓	✓	✓	—	—	—
0x0BB		GPT2_PC	✓	✓	✓	—	—	—
0x0BC	GPT3	GPT3_CCMPA	✓	✓	✓	—	—	—
0x0BD		GPT3_CCMPB	✓	✓	✓	—	—	—
0x0BE		GPT3_CMPC	✓	✓	✓	—	—	—
0x0BF		GPT3_CMPD	✓	✓	✓	—	—	—
0x0C0		GPT3_CMPE	✓	✓	✓	—	—	—
0x0C1		GPT3_CMPF	✓	✓	✓	—	—	—
0x0C2		GPT3_OVF	✓	✓	✓	—	—	—
0x0C3		GPT3_UDF	✓	✓	✓	—	—	—
0x0C4		GPT3_PC	✓	✓	✓	—	—	—
0x0C5	GPT4	GPT4_CCMPA	✓	✓	✓	—	—	—
0x0C6		GPT4_CCMPB	✓	✓	✓	—	—	—
0x0C7		GPT4_CMPC	✓	✓	✓	—	—	—
0x0C8		GPT4_CMPD	✓	✓	✓	—	—	—
0x0C9		GPT4_CMPE	✓	✓	✓	—	—	—
0x0CA		GPT4_CMPF	✓	✓	✓	—	—	—
0x0CB		GPT4_OVF	✓	✓	✓	—	—	—
0x0CC		GPT4_UDF	✓	✓	✓	—	—	—
0x0CE	GPT5	GPT5_CCMPA	✓	✓	✓	—	—	—
0x0CF		GPT5_CCMPB	✓	✓	✓	—	—	—
0x0D0		GPT5_CMPC	✓	✓	✓	—	—	—
0x0D1		GPT5_CMPD	✓	✓	✓	—	—	—
0x0D2		GPT5_CMPE	✓	✓	✓	—	—	—
0x0D3		GPT5_CMPF	✓	✓	✓	—	—	—
0x0D4		GPT5_OVF	✓	✓	✓	—	—	—
0x0D5		GPT5_UDF	✓	✓	✓	—	—	—

表 13.4 イベントテーブル (5/8)

イベント番号	割り込み要求発生元	名称	IELSRn		DELSRn	CPU ディープスリープモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x0FB	GPT10	GPT10_CCMPA	✓	✓	✓	—	—	—
0x0FC		GPT10_CCMPB	✓	✓	✓	—	—	—
0x0FD		GPT10_CMPC	✓	✓	✓	—	—	—
0x0FE		GPT10_CMPD	✓	✓	✓	—	—	—
0x0FF		GPT10_CMPE	✓	✓	✓	—	—	—
0x100		GPT10_CMPF	✓	✓	✓	—	—	—
0x101		GPT10_OVF	✓	✓	✓	—	—	—
0x102		GPT10_UDF	✓	✓	✓	—	—	—
0x103		GPT10_PC	✓	✓	✓	—	—	—
0x104	GPT11	GPT11_CCMPA	✓	✓	✓	—	—	—
0x105		GPT11_CCMPB	✓	✓	✓	—	—	—
0x106		GPT11_CMPC	✓	✓	✓	—	—	—
0x107		GPT11_CMPD	✓	✓	✓	—	—	—
0x108		GPT11_CMPE	✓	✓	✓	—	—	—
0x109		GPT11_CMPF	✓	✓	✓	—	—	—
0x10A		GPT11_OVF	✓	✓	✓	—	—	—
0x10B		GPT11_UDF	✓	✓	✓	—	—	—
0x10D	GPT12	GPT12_CCMPA	✓	✓	✓	—	—	—
0x10E		GPT12_CCMPB	✓	✓	✓	—	—	—
0x10F		GPT12_CMPC	✓	✓	✓	—	—	—
0x110		GPT12_CMPD	✓	✓	✓	—	—	—
0x111		GPT12_CMPE	✓	✓	✓	—	—	—
0x112		GPT12_CMPF	✓	✓	✓	—	—	—
0x113		GPT12_OVF	✓	✓	✓	—	—	—
0x114		GPT12_UDF	✓	✓	✓	—	—	—
0x116	GPT13	GPT13_CCMPA	✓	✓	✓	—	—	—
0x117		GPT13_CCMPB	✓	✓	✓	—	—	—
0x118		GPT13_CMPC	✓	✓	✓	—	—	—
0x119		GPT13_CMPD	✓	✓	✓	—	—	—
0x11A		GPT13_CMPE	✓	✓	✓	—	—	—
0x11B		GPT13_CMPF	✓	✓	✓	—	—	—
0x11C		GPT13_OVF	✓	✓	✓	—	—	—
0x11D		GPT13_UDF	✓	✓	✓	—	—	—
0x120	Ether	ETHER_EINT0	✓	—	—	—	—	—

表 13.4 イベントテーブル (6/8)

イベント番号	割り込み要求発生元	名称	IELSRn		DELSRn	CPU ディープスリープモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x124	SCI0	SCI0_RXI	✓	✓	✓	—	—	—
0x125		SCI0_TXI	✓	✓	✓	—	—	—
0x126		SCI0_TEI	✓	—	—	—	—	—
0x127		SCI0_ERI	✓	—	—	—	—	—
0x128		SCI0_AED	✓	—	—	—	—	—
0x129		SCI0_BFD	✓	—	—	—	—	—
0x12A		SCI0_AM	✓	—	—	—	—	—
0x12B	SCI1	SCI1_RXI	✓	✓	✓	—	—	—
0x12C		SCI1_TXI	✓	✓	✓	—	—	—
0x12D		SCI1_TEI	✓	—	—	—	—	—
0x12E		SCI1_ERI	✓	—	—	—	—	—
0x12F		SCI1_AED	✓	—	—	—	—	—
0x130		SCI1_BFD	✓	—	—	—	—	—
0x131		SCI1_AM	✓	—	—	—	—	—
0x132	SCI2	SCI2_RXI	✓	✓	✓	—	—	—
0x133		SCI2_TXI	✓	✓	✓	—	—	—
0x134		SCI2_TEI	✓	—	—	—	—	—
0x135		SCI2_ERI	✓	—	—	—	—	—
0x138		SCI2_AM	✓	—	—	—	—	—
0x139	SCI3	SCI3_RXI	✓	✓	✓	—	—	—
0x13A		SCI3_TXI	✓	✓	✓	—	—	—
0x13B		SCI3_TEI	✓	—	—	—	—	—
0x13C		SCI3_ERI	✓	—	—	—	—	—
0x13F		SCI3_AM	✓	—	—	—	—	—
0x140	SCI4	SCI4_RXI	✓	✓	✓	—	—	—
0x141		SCI4_TXI	✓	✓	✓	—	—	—
0x142		SCI4_TEI	✓	—	—	—	—	—
0x143		SCI4_ERI	✓	—	—	—	—	—
0x146		SCI4_AM	✓	—	—	—	—	—
0x163	SCI9	SCI9_RXI	✓	✓	✓	—	—	—
0x164		SCI9_TXI	✓	✓	✓	—	—	—
0x165		SCI9_TEI	✓	—	—	—	—	—
0x166		SCI9_ERI	✓	—	—	—	—	—
0x169		SCI9_AM	✓	—	—	—	—	—
0x178	SPI0	SPI0_SPRI	✓	✓	✓	—	—	—
0x179		SPI0_SPTI	✓	✓	✓	—	—	—
0x17A		SPI0_SPII	✓	—	—	—	—	—
0x17B		SPI0_SPEI	✓	—	—	—	—	—
0x17C		SPI0_SPCEND	✓	—	—	—	—	—

表 13.4 イベントテーブル (7/8)

イベント番号	割り込み要求発生元	名称	IELSRn		DELSRn	CPU ディープスリープモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x17D	SPI1	SPI1_SPRI	✓	✓	✓	—	—	—
0x17E		SPI1_SPTI	✓	✓	✓	—	—	—
0x17F		SPI1_SPII	✓	—	—	—	—	—
0x180		SPI1_SPEI	✓	—	—	—	—	—
0x181		SPI1_SPCEND	✓	—	—	—	—	—
0x182	OSPI0	OSPI0_ERR	✓	—	—	—	—	—
0x183		OSPI0_CMP	✓	—	—	—	—	—
0x185	CANFD	CAN_RXF	✓	—	—	—	—	—
0x186		CAN_GLERR	✓	—	—	—	—	—
0x187		CAN0_RF_DMAREQ0	✓	✓	✓	—	—	—
0x188		CAN0_RF_DMAREQ1	✓	✓	✓	—	—	—
0x18B		CAN1_RF_DMAREQ0	✓	✓	✓	—	—	—
0x18C		CAN1_RF_DMAREQ1	✓	✓	✓	—	—	—
0x18F		CAN0_TX	✓	—	—	—	—	—
0x190		CAN0_CHERR	✓	—	—	—	—	—
0x191		CAN0_COMFRX	✓	—	—	—	—	—
0x192		CAN0_CF_DMAREQ	✓	✓	✓	—	—	—
0x193		CAN0_RXMB	✓	—	—	—	—	—
0x194		CAN1_TX	✓	—	—	—	—	—
0x195		CAN1_CHERR	✓	—	—	—	—	—
0x196		CAN1_COMFRX	✓	—	—	—	—	—
0x197		CAN1_CF_DMAREQ	✓	✓	✓	—	—	—
0x198		CAN1_RXMB	✓	—	—	—	—	—
0x19B		CAN0_MRAM_ERI	✓	—	—	—	—	—
0x19C		CAN1_MRAM_ERI	✓	—	—	—	—	—
0x1AE	ADC120	ADC120_ADI	✓	✓	✓	—	—	—
0x1AF		ADC120_GBADI	✓	✓	✓	—	—	—
0x1B0		ADC120_CMPAI	✓	—	—	—	—	—
0x1B1		ADC120_CMPBI	✓	—	—	—	—	—
0x1B2		ADC120_WCMPM	—	✓	✓	—	—	—
0x1B3		ADC120_WCMPUM	—	✓	✓	—	—	—

表 13.4 イベントテーブル (8/8)

イベント番号	割り込み要求発生元	名称	IELSRn		DELSRn	CPU ディープスリープモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x1B4	ADC121	ADC121_ADI	✓	✓	✓	—	—	—
0x1B5		ADC121_GBADI	✓	✓	✓	—	—	—
0x1B6		ADC121_CMPAI	✓	—	—	—	—	—
0x1B7		ADC121_CMPBI	✓	—	—	—	—	—
0x1B8		ADC121_WCMPM	—	✓	✓	—	—	—
0x1B9		ADC121_WCMPUM	—	✓	✓	—	—	—
0x1BA	DOC	DOC_DOPCI	✓	—	—	—	—	—
0x1BC	RSIP-E51A	RSIP_TADI	✓	—	—	—	—	—
0x1DA	CEU	CEU_CEUI	✓	—	—	—	—	—

注 1. CMPCTL.CSTEN = 1 の場合のみサポートしています。
注 2. 最初のエッジ検出のみが有効です。
注 3. DTC 転送後の割り込みのみサポートしています。
注 4. ディープソフトウェアスタンバイモード 1、2 のみサポートしています。
注 5. ディープソフトウェアスタンバイモード 1 のみサポートしています。

13.4 マスカブル割り込みの動作

ICU は下記の機能を実行します。

- 割り込みの検出
- 割り込みの許可／禁止
- 割り込み要求先の選択（CPU 割り込み、DTC 起動など）

13.4.1 割り込みの検出

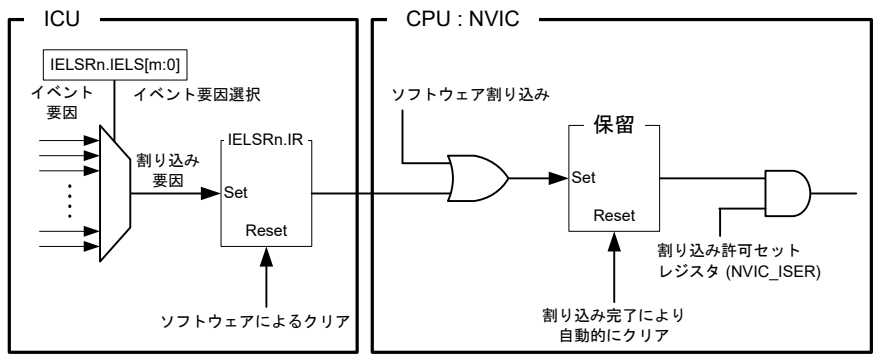
ICU は、IELSRn.IELS[8:0]で周辺機能割り込みまたは外部端子割り込みから入力されるイベント要因を選択します。

受け付けた割り込み要因は、IELSRn.IR フラグを 1 にして、NVIC へ割り込み要求を伝えます。

外部端子割り込み要求は下記のいずれかにより検出されます。

- エッジ（立ち下がりエッジ、立ち上がりエッジ、または立ち上がり／立ち下がりエッジ）
- 割り込み信号のレベル（低レベル）

IRQi 端子用の検出モードを選択するために、IRQCRi.IRQMD[1:0]ビットを設定してください。周辺モジュールに対応する割り込み要因については、表 13.3 および表 13.4 を参照してください。イベントは、割り込みが発生し CPU で受け付けられる前に、NVIC で受け付けられる必要があります。



注. m = 8
注. n = 0～95

図 13.2 ICU および CPU の割り込み経路 (NVIC)

13.5 マスカブル割り込みの設定手順

13.5.1 割り込み中の動作

-割り込みが発生した場合（ソフトウェア割り込み以外）

IELSRn.IR (n = 0～95) フラグと割り込み保留セットレジスタ (NVIC_ISPRn) が設定されます。

-割り込みが発生した場合（ソフトウェア割り込み）

割り込み保留セットレジスタ (NVIC_ISPRn) が設定されます。

-割り込みが完了した場合

ソフトウェアで IELSRn.IR (n = 0～95) フラグをクリアしてください。割り込み保留セットレジスタ (NVIC_ISPRn) が自動的にクリアされます。

注. CPU と ICU の処理速度は異なる場合があります。CPU は IR フラグをクリアする前に、割り込みハンドラを終了させる可能性があります。その後、CPU は再度、割り込みハンドラに偶発的にジャンプするかもしれません。これを回避するために、割り込みハンドラを終了させる前に必ず IELSRn (n = 0～95) レジスタを読み出し、IR フラグがクリアされていることを確認してください。

13.5.2 割り込み要求の許可

割り込み要求を許可するための手順を以下に示します。

1. 割り込み許可セットレジスタ (NVIC_ISER) を設定してください。
2. 割り込み要因として、IELSRn.IELS[8:0]ビットを設定してください。
3. ディープスリープモード／ソフトウェアスタンバイモードの解除（WUPENn レジスタの設定）など、イベント要因に対する動作の設定をしてください。

13.5.3 割り込み要求の禁止

割り込み要求を禁止する手順を以下に示します。

1. ディープスリープモード／ソフトウェアスタンバイモードの解除（WUPENn レジスタの設定）など、イベント要因に対する動作の設定を解除してください。
2. 割り込み要因の設定をクリアしてください (IELSRn.IELS[8:0] = 0x00)。
3. 割り込みステータスフラグをクリアしてください (IELSRn.IR = 0)。
4. 割り込み許可クリアレジスタ (NVIC_ICER) と割り込み保留クリアレジスタ (NVIC_ICPR) をクリアしてください。

13.5.4 割り込みのポーリング

割り込み要求のポーリングをする手順を以下に示します。

1. 割り込み許可クリアレジスタ (NVIC_ICER) を設定してください。
2. 割り込み要因として、IELSRn.IELS[8:0]ビットを設定してください。
3. DMAC の起動（DELSRn.DELS[8:0]ビットの設定）やディープスリープモード／ソフトウェアスタンバイモードの解除（WUPENn レジスタの設定）など、イベント要因に対する動作設定をしてください。
4. 割り込み保留セットレジスタ (NVIC_ISPR) をポーリングしてください。

13.5.5 割り込み要求先の選択

選択可能な要求先は、表 13.3 および表 13.4 に示されているように、割り込みごとに固定されています。

割り込み出力要求先（CPU と DTC）は、割り込み要因ごとに個別に選択できます。

イベントリスト（「13.3.2. イベント番号」参照）に✓印の記載がある割り込み要求先の設定を使用してください。

注. IELSRn レジスタと DELSRn レジスタで、同じ割り込み要因は設定しないでください。

DMAC または DTC が IRQi 端子からの割り込み要求先として選択された場合、その割り込み要求に対して IRQCRi.IRQMD[1:0]ビットをエッジ検出を選択するために設定してください。

13.5.5.1 CPU への割り込み要求

IELSRn.DTCE = 0 のとき、IELSRn レジスタで指定されたイベントが NVIC に出力されます。

13.5.5.2 DTC の起動

IELSRn.DTCE = 1 のとき、IELSRn レジスタで指定されたイベントが DTC に出力されます。以下の手順に従ってください。

1. 対象イベントに対応する IELSRn.IELS[8:0]ビットを設定し、IELSRn.DTCE ビットを 1 に設定してください。
2. DTC モジュール起動ビット (DTCST.DTCST) を 1 に設定してください。

表 13.5 に DTC が割り込み要求先となる場合の動作を示します。

表 13.5 DTC が割り込み要求先となる場合の動作

割り込み要求先	DISEL (注1)	残り転送数	割り込み要求 1 回あたりの動作	IR(注2)	転送後の割り込み要求先
DTC(注3)	1	≠ 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる	DTC
		= 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる	CPU（IELSRn.DTCE ビットは自動的にクリアされる）
	0	≠ 0	DTC 転送	DTC 転送データの読み出し後、DTC データ転送の開始時にクリアされる	DTC
		= 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる	CPU（IELSRn.DTCE ビットは自動的にクリアされる）

注 1. DTC.MRB.DISEL ビットで DTC から CPU への割り込みの発生タイミングを制御します。
注 2. IELSRn.IR フラグが 1 のとき、再度発生した割り込み要求（DTC 起動要求）は無視されます。
注 3. チェーン転送の場合は、最後のチェーン転送が終了するまで DTC 転送が継続します。DISEL ビットの状態と残りの転送数によって、転送後の CPU 割り込み発生の有無、IELSRn.IR フラグクリアのタイミング、および割り込み要求先が決まります。「17. データトランスファコントローラ (DTC)」の表 17.2 を参照してください。

注. DTC 転送中のエラー

DTC 転送中にエラー応答が発生すると、DTC はエラーが発生したことを ICU に通知します。ICU は対象の IELSRn (n = 0～95) のすべてのビットをクリアします。対象外の IELSRn はクリアされません。

13.5.6 デジタルフィルタ

デジタルフィルタ機能は、外部割り込み要求端子 IRQi (i = 0～15) と NMI 端子割り込みのために用意されています。デジタルフィルタ機能は、フィルタ PCLKB サンプリングクロックの入力信号をサンプリングし、3 サンプリングサイクル以下のパルス幅の信号を除去します。

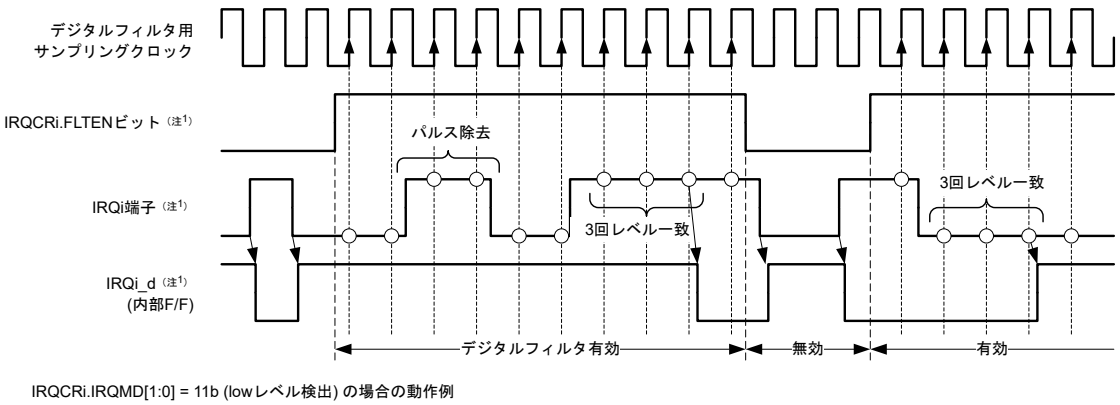
IRQi 端子に対してデジタルフィルタを用いるには、以下のようにしてください。

1. IRQCRi.FCLKSEL[1:0]ビット (i = 0～15) で、サンプリングクロックサイクルを設定してください。設定可能なクロックサイクルは PCLKB、PCLKB/8、PCLKB/32、または PCLKB/64 です。
2. IRQCRi.FLTEN ビット (i = 0～15) を 1（デジタルフィルタ有効）に設定してください。

NMI 端子に対してデジタルフィルタを用いるには、以下のようにしてください。

1. NMICR.NFCLKSEL[1:0]ビットで、サンプリングクロックサイクルを設定してください。設定可能なクロックサイクルは PCLKB、PCLKB/8、PCLKB/32、または PCLKB/64 です。
2. NMICR.NFLTEN ビットを 1（デジタルフィルタ有効）に設定してください。

図 13.3 にデジタルフィルタの動作例を示します。



IRQCRi.IRQMD[1:0] = 11b (lowレベル検出) の場合の動作例

注 1. i = 0～15

図 13.3 デジタルフィルタの動作例

ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードの間は、デジタルフィルタはハードウェアにより強制的に OFF になります。ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードから通常モードに復帰した後は、IRQCRi.FLTEN (i = 0～15) と NMICR.NFLTEN の値に従ってください。デジタルフィルタがいったん無効になると、その時点までサンプリングされたイベント情報は失われます。

13.5.7 外部端子割り込みの設定手順

外部端子割り込みを使用するときの手順を以下に示します。I/O ポートの設定をしてください。

1. IRQCRi.FLTEN ビット (i = 0～15) を 0（デジタルフィルタ無効）にしてください。
2. I/O ポートの設定を指定または確認してください。
3. IRQCRi (i = 0～15) レジスタの IRQMD[1:0]ビット、FCLKSEL[1:0]ビット、および FLTEN ビットを設定してください。
4. IRQ 端子を以下のように選択してください。
   - IRQ 端子を CPU への割り込み要求に使用する場合は、IELSRn.IELS[8:0] (n = 0～95) ビットと IELSRn.DTCE (n = 0～95) ビットを 0 にしてください。
   - IRQ 端子を DTC の起動に使用する場合は、IELSRn.IELS[8:0] (n = 0～95) ビットと IELSRn.DTCE (n = 0～95) ビットを 1 にしてください。

- IRQ 端子を DMAC の起動に使用する場合は、DMAC.DELSRn.DELS[8:0] (n = 0～7) ビットを設定してください。

13.6 ノンマスカブル割り込みの動作

ノンマスカブル割り込みをトリガできるのは、以下の要因です。

- NMI 端子割り込み
- 発振停止検出割り込み
- WDT アンダーフロー／リフレッシュエラー割り込み
- IWDT アンダーフロー／リフレッシュエラー割り込み
- 電圧監視 1 割り込み
- 電圧監視 2 割り込み
- 共通メモリエラー割り込み
- バスエラー割り込み
- CPU ロックアップエラー割り込み

ノンマスカブル割り込みは CPU でのみ使用可能です。DTC の起動には使用できません。ノンマスカブル割り込みは他のすべての割り込みよりも優先します。ノンマスカブル割り込みの状態は、ノンマスカブル割り込みステータスレジスタ (NMISR) で確認できます。NMI ハンドラから復帰する前に、NMISR のビットがすべて 0 であることを確認してください。

CPU と ICU の処理速度は異なる場合があります。CPU は NMISR フラグをクリアする前に、割り込みハンドラを終了させる可能性があります。その後、CPU は再度、NMI ハンドラに偶発的にジャンプするかもしれません。これを回避するために、NMI ハンドラを終了させる前に必ず NMISR を読み出し、NMISR がクリアされていることを確認してください。

ノンマスカブル割り込みは初期設定では禁止になっています。ノンマスカブル割り込みを使用するには、以下の手順で設定してください。

1. NMICR.NFLTEN ビットを 0 にしてください（デジタルフィルタ無効）。
2. NMICR レジスタの NMIMD ビット、NFCLKSEL[1:0]ビット、および NFLTEN ビットを設定してください。
3. NMICLR.NMICLR ビットを 1 にして NMISR.NMIST フラグを 0 にしてください。
4. ノンマスカブル割り込みイネーブルレジスタ (NMIER) の NMIEN ビットを 1 にしてノンマスカブル割り込みを許可にしてください。

NMIER レジスタに 1 が書き込まれた後、NMIER.NMIEN ビットへの書き込みは無視されます。NMI は許可されると、リセットの場合を除き、禁止にすることはできません。

13.6.1 NMI による TrustZone-M との対応関係

NMI セキュリティは AIRCR.BFHFNMINS で設定します。

CPU としては 1 つの NMI しかありませんが、複数の要因を設定可能です。本項では、NMI のセキュアプログラムと非セキュアプログラムを組み合わせて使用する手順を説明します。その際、ICU の NMI 関連レジスタはセキュアに設定する必要があります。

ノンマスカブル割り込みに関連するレジスタは以下です。

- NMISR
- NMIER
- NMICLR
- NMICR

フローを図 13.4 に示します。

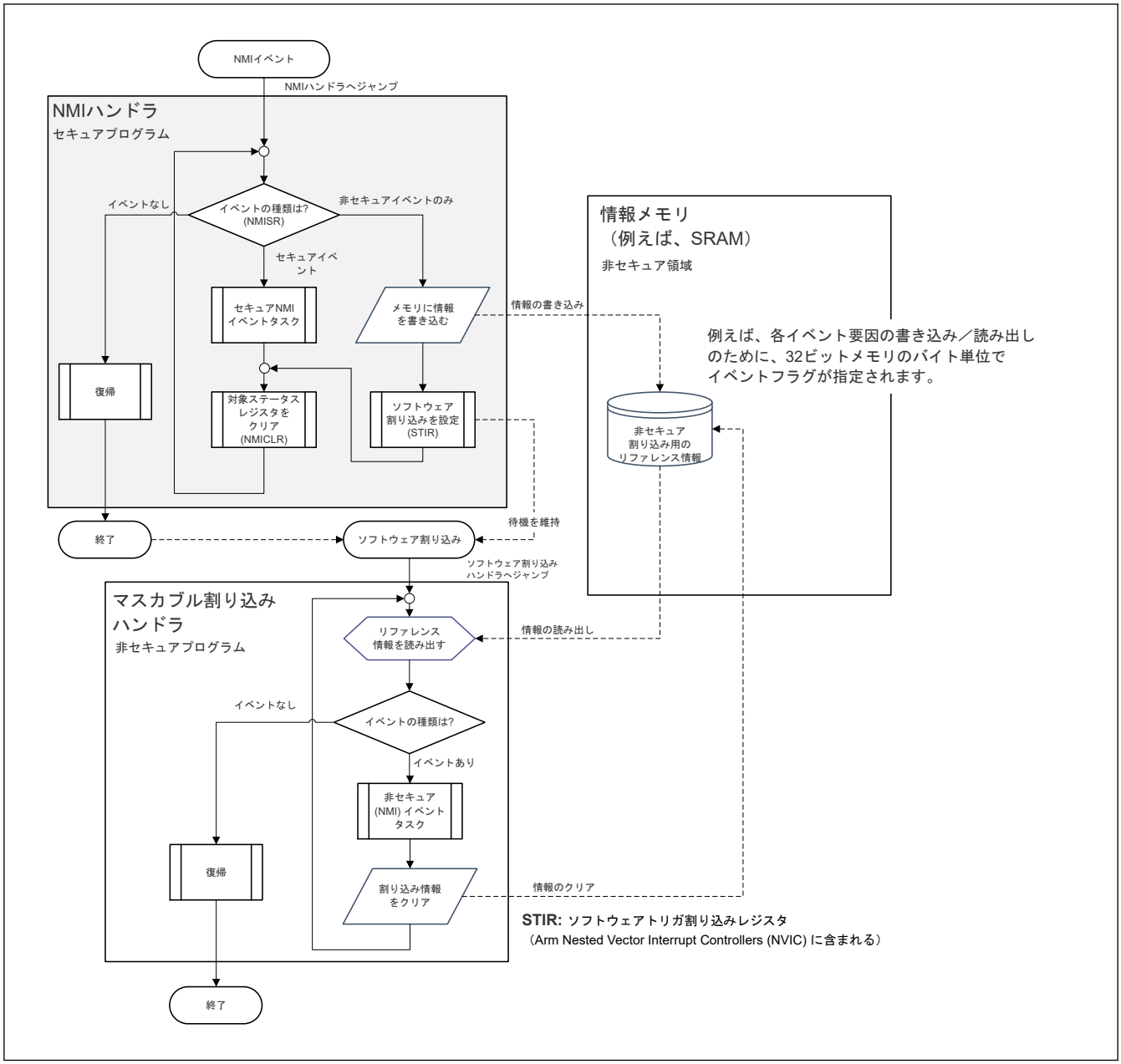


図 13.4　NMI による TrustZone-M との対応関係

13.7　セキュリティ

13.7.1　CPU 割り込み入力関連セキュリティ

ノンマスカブル割り込み

Arm CPU NMI セキュアは AIRCR.BFHFNMINS によって修正され、セキュアを管理するソフトウェア開発者によって管理されます。

以下のレジスタは、AIRCR.BFHFNMINS で設定されたセキュア属性に従わなければなりません。

- ICU.NMISR
- ICU.NMIER
- ICU.NMICLR

したがって、ICUSARB で設定されたセキュア属性は、AIRCR.BFHFNMINS で設定されたセキュア属性と一致しなければなりません。

マスカブル割り込み

マスカブル割り込みのセキュアは、Arm CPU NVIC 内部レジスタ (NVIC_ITNS0～NVIC_ITNS15) で設定されます。

どのマスカブル割り込みがセキュアかは、セキュアを管理するソフトウェア開発者によって制御されます。

以下のレジスタは、NVIC_ITNS0～NVIC_ITNS15 で設定されたセキュア属性に従わなければなりません。

- ICU.IELSRn (n = 0～95)

したがって、ICUSARG, ICUSARH, ICUSARI で設定されたセキュア属性は、NVIC_ITNS0～NVIC_ITNS15 で設定されたセキュア属性と一致しなければなりません。

13.7.2 トラスト割り込み管理

セキュア割り込みは、非セキュア動作に対して可視にしないでください。重要情報がアタッカーに漏洩するリスクがあるので、内蔵割り込みネットワークが、セキュアまたは非セキュアワールドへの任意の割り込みのルートを決めることができます。ただし、セキュアワールドからのみ設定できるように、セキュア割り込みのルートを抑制してください。

TEVTRCR.TEVTE = 1 を設定すると、セキュアプログラムが割り込み要因の選択を管理します。許可のないセキュア割り込み要因の使用と監視から、非セキュアプログラムを保護します。特に、TEVTRCR.TEVTE = 1 の場合、IELSR.IELS[8:0]の書き込み許可はセキュア属性に制限され、非セキュア属性による書き込みは無視されます。TEVTRCR.TEVTE は IELS[8:0]のみ保護します。IR と DTCE のセキュリティ属性は、ICUSARG, ICUSARH, ICUSARI の設定に従います。TEVTRCR.TEVTE = 1 の場合、セキュアプログラムで非セキュア割り込みを含む全 IELS を設定するか、あるいは非セキュアプログラムからの要求に応じて IELS を設定するためのセキュア API を準備する必要があります。

13.7.3 トラスト IELSR の設定手順

13.7.3.1 セキュアプログラムが全 IELSR を設定する場合

すべての設定がセキュア初期シーケンスで実行される場合を以下に示します。

システムリセット解除後の IELSR 初期設定手順

1. セキュアプログラムが TEVTE = 1 を設定します。
2. セキュアプログラムが全割り込みのセキュリティ属性を設定します（NVIC_ITNS、ICU.IELSRn.IELS のセキュリティ属性）。
3. セキュアプログラムが全割り込み要因を選択します (ICU.IELSRn.IELS)。
4. セキュアプログラムがセキュア割り込みを許可します（セキュア割り込み用 NVIC_ISER）。
5. セキュアプログラムが非セキュアプログラムへジャンプします。
6. 非セキュアプログラムが非セキュア割り込みを許可します（非セキュア割り込み用 NVIC_ISER）。

13.7.3.2 セキュア API で非セキュアプログラムが IELSRn を設定する場合

非セキュアプログラムからの要求を受信する設定を以下に示します。

システムリセット解除後の IELSR 初期設定手順

1. セキュアプログラムが TEVTE = 1 を設定します。
2. セキュアプログラムが全割り込みのセキュリティ属性を設定します（NVIC_ITNS、ICU.IELSRn.IELS のセキュリティ属性）。
3. セキュアプログラムがセキュア割り込み要因を選択します (ICU.IELSRn.IELS)。
4. セキュアプログラムがセキュア割り込みを許可します（セキュア割り込み用 NVIC_ISER）。
5. セキュアプログラムが非セキュアプログラムへジャンプします。
6. 非セキュアプログラムがセキュアプログラムを呼び出します（API コール）。
7. セキュアプログラムが非セキュア割り込み要因を選択します (ICU.IELSRn.IELS)。

8. セキュアプログラムが非セキュアプログラムへ復帰します。
9. 非セキュアプログラムが非セキュア割り込みを許可します（非セキュア割り込み用 NVIC_ISER）。

13.7.3.3 TEVTE = 1 の場合の IELSR 解除手順

<セキュアプログラムによるセキュア属性の割り込み設定をクリアする場合>

1. 割り込み要因の設定をクリアしてください (IELSRn.IELS = 0x00)。
2. 割り込みステータスフラグをクリアしてください (ICU.IELSRn.IR = 0)。
3. 割り込み許可クリアレジスタ (NVIC_ICPR) をクリアしてください。

<セキュアプログラムによる非セキュア属性の割り込み設定をクリアする場合>

1. 割り込み要因の設定をクリアしてください (IELSRn.IELS = 0x00)。
2. 非セキュアエイリアスアドレスを使用することにより、割り込みステータスフラグをクリアしてください (IELSRn.IR = 0)。
3. 割り込み許可クリアレジスタ (NVIC_ICPR) をクリアしてください。

セキュアも NVIV_ICPRn_NS を書き換えることができます。

<非セキュアプログラムによるセキュア属性の割り込み設定をクリアする場合>

これは解除できません。

<非セキュアプログラムによる非セキュア属性の割り込み設定をクリアする場合>

1. 非セキュアプログラムがセキュアプログラムを呼び出します（API コール）。
2. 割り込み要因の設定をクリアしてください (IELSRn.IELS = 0x00)。
3. セキュアプログラムから非セキュアプログラムに復帰してください。
4. 割り込みステータスフラグをクリアしてください (IELSRn.IR = 0)。
5. 割り込み許可クリアレジスタ (NVIC_ICPR) をクリアしてください。

13.8 低消費電力モードからの復帰

表 13.4 にスリープモード、ディープスリープモード、ソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモードを終了させるために使用可能な割り込み要因を示します。詳細は、「10. 低消費電力モード」を参照してください。

注. 低消費電力モードからの復帰要因は、CPU が許容可能な優先権を持たなければなりません。

13.8.1 CPU スリープモードからの復帰

割り込みに応じて CPU スリープモードから復帰するためには、以下を実施してください。

ノンマスカブル割り込み

- NMIER レジスタによって該当する割り込み要求を許可してください。

マスカブル割り込み

- 割り込み要求先を CPU にしてください。
- NVIC のレジスタを設定して割り込みを許可してください。

13.8.2 CPU ディープスリープモードからの復帰

ICU は、ノンマスカブル割り込みまたはマスカブル割り込みを使用して CPU ディープスリープモードから復帰します。解除要因のマスカブル割り込みについては、表 13.4 を参照してください。

CPU ディープスリープモードから復帰するためには、以下を実施してください。

ノンマスカブル割り込み

NMIER レジスタによって該当する割り込み要求を許可してください。

マスカブル割り込み

1. CPU ディープスリープモードからの復帰可能な割り込み要因を選択してください。
2. WUPENn レジスタによって該当する割り込み要求を許可してください。
3. 割り込み要求先として CPU を選択してください。
4. NVIC で割り込みを許可してください。

CPU ディープスリープモードでクロックが停止している間、これらの条件を満足しない IRQi (i = 0～15) 端子による割り込み要求は検出されません。同様に、CPU ディープスリープモードでクロックが停止している要求元からのノンマスカブル割り込みの要求は、検出できません。よって、それらのイベントは復帰要因として使用できません。たとえば、以下の NMI イベントが発生しないため、CPU はソフトウェアスタンバイモードから復帰できません。

- CPU ロックアップエラー割り込み

13.8.3 ソフトウェアスタンバイモードからの復帰

MCU は CPU ディープスリープ状態を介してソフトウェアスタンバイモードへ遷移します。

ICU は、ノンマスカブル割り込みまたはマスカブル割り込みによりソフトウェアスタンバイモードから復帰できます。解除要因のマスカブル割り込みについては、「13.3.2. イベント番号」を参照してください。

ソフトウェアスタンバイモードからの復帰は、CPU ディープスリープモードと同じイベントによってトリガされます。ソフトウェアスタンバイモードで停止する機能からは、イベントは発生しません。よって、それらのイベントは復帰要因として使用できません。たとえば、以下の NMI イベントが発生しないため、CPU はソフトウェアスタンバイモードから復帰できません。

- WDT アンダーフロー／リフレッシュエラー
- 共通メモリエラー割り込み
- バスエラー割り込み
- CPU ロックアップエラー割り込み

13.9 ノンマスカブル割り込みとともに WFI 命令を使用する場合

WFI 命令を実行するときは、常に NMISR レジスタのステータスフラグがすべて 0 であることを確認してください。

13.10 参考資料

- Arm Limited., Arm® Cortex®-M85 Processor Technical Reference Manual (101924_0002_05_en)

14. バス

14.1 概要

表 14.1 にバスマスタおよびバススレーブを、図 14.1 にシステムバスの構成図を、表 14.3 にバス種類別アドレス対応表を示します。

表 14.1 バスの仕様

分類	バスマスタ／スレーブ名	同期クロック	内容
バスマスタ	CPUMAXIBI (Arm® Cortex®-M85)	CPUCLK	CPU マスタ AXI (M-AXI) インタフェースに接続
	CPUPAHBI (Arm® Cortex®-M85)	CPUCLK	CPU 周辺 AHB (P-AHB) インタフェースに接続
	DMAC/DTCBI	ICLK	DMAC/DTC インタフェースに接続
	EDMACBI	PCLKA	Ether DMAC インタフェースに接続
	CEUBI	PCLKA	CEU インタフェースに接続
バススレーブ	FHBI	ICLK	コードフラッシュメモリとコンフィグレーション領域を接続
	FLBI	FCLK	データフラッシュメモリおよび FACI に接続
	CPUSAHBI	CPUCLK	CPU S-AHB に接続
	S1BI	ICLK	SRAM1 に接続
	STBYSBI	ICLK	スタンバイ SRAM に接続
	EOBI	PCLKA	OSPI（外部メモリインタフェース）に接続
	PBBI	PCLKB	PCLKB に同期した周辺モジュールに接続
	PABI	PCLKA	PCLKA に同期した周辺モジュールに接続
	PIBI	ICLK	ICLK に同期した周辺モジュールに接続
	ICUBI	ICLK	ICU コントローラに接続
	PSBI	ICLK	周辺システムモジュールに接続 （MPU、SRAM、デバッグコンポーネント、フラッシュコントローラ、バスコントローラ、共通 ICU コントローラ、DMAC/DTC、CPU コントローラ、およびセキュリティ属性コントローラ）
		PCLKB	周辺システムモジュールに接続（システムコントローラ）
		DCLK	周辺システムモジュールに接続（デバッグコントローラ）

注. CPUMAXIBI: CPU M-AXI バスインタフェース
CPUPAHBI: CPU P-AHB バスインタフェース
DMAC/DTCBI: DMAC/DTC バスインタフェース
EDMACBI: EDMAC（イーサ）バスインタフェース
CEUBI: CEU バスインタフェース
FHBI：フラッシュ高速バスインタフェース
FLBI：フラッシュ低速バスインタフェース
CPUSAHBI: CPU S-AHB インタフェース
S1BI: SRAM1 バスインタフェース
STBYSBI：スタンバイ SRAM バスインタフェース
EOBI：外部メモリ OSPI バスインタフェース
PBBI: PCLKB と同期した周辺バスインタフェース
PABI: PCLKA と同期した周辺バスインタフェース
PIBI: ICLK と同期した周辺バスインタフェース
ICUBI: ICU コントローラバスインタフェース
PSBI：周辺システムバスインタフェース

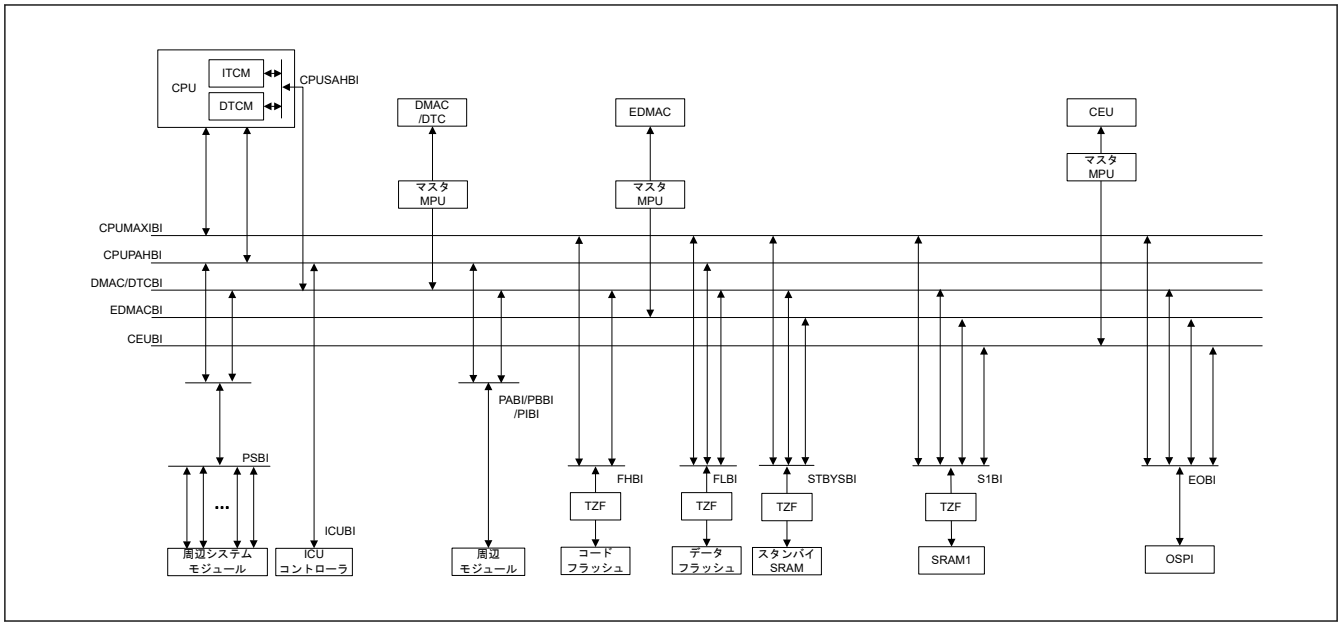


図 14.1　システムバスの接続

表 14.2　システムバスのアクセスパス

		マスタ				
	名称	**CPUMAXIBI**	**CPUPAHBI**	**DMAC/DTCBI**	**EDMACBI**	**CEUBI**
スレーブ	PSBI	F	T	T	F	F
	ICUBI	F	T	F	F	F
	CPUSAHBI	F	F	T	F	F
	PIBI	F	T	T	F	F
	PABI	F	T	T	F	F
	PBBI	F	T	T	F	F
	FHBI	T	F	T	F	F
	FLBI	T	T	T	F	F
	STBYSBI	T	F	T	T	F
	S1BI	T	F	T	T	T
	EOBI	T	F	T	T	T

注.　TZF はメモリリソース用の TrustZone フィルタです。CPUMAXIBI は、FLBI を経由してデータフラッシュメモリおよびコンフィグレーション領域にアクセスします。CPUPAHBI は、FLBI を経由して FACI（周辺領域）にアクセスします。

T：マスタはスレーブにアクセス可能。

F：マスタはスレーブにアクセス不可。

表 14.3　各スレーブに割り当てられたアドレス (1/2)

領域	**アドレス**	**バスインタフェース**	**領域**
コード	0x0000_0000～0x0000_FFFF（非セキュアコーラブルまたはセキュア） 0x1000_0000～0x1000_FFFF（非セキュア）	CPUSAHBI	ITCM
	0x0200_0000～0x0227_FFFF（非セキュアコーラブルまたはセキュア） 0x1200_0000～0x1227_FFFF（非セキュア）	FHBI	コードフラッシュメモリ
	0x0300_8000～0x0300_A2FF（非セキュアコーラブルまたはセキュア） 0x1300_8000～0x1300_A2FF（非セキュア）	FHBI	ファクトリフラッシュおよびオプション設定メモリ

表 14.3 各スレーブに割り当てられたアドレス (2/2)

領域	アドレス	バスインタフェース	領域
データ	0x2000_0000～0x2000_FFFF（非セキュアコーラブルまたはセキュア） 0x3000_0000～0x3000_FFFF（非セキュア）	CPUSAHBI	DTCM
	0x2206_0000～0x220D_FFFF（非セキュアコーラブルまたはセキュア） 0x3206_0000～0x320D_FFFF（非セキュア）	S1BI	SRAM1
	0x2600_0000～0x2600_03FF（非セキュアコーラブルまたはセキュア） 0x3600_0000～0x3600_03FF（非セキュア）	STBYSBI	スタンバイ SRAM
	0x2700_0000～0x2700_2FFF（非セキュアコーラブルまたはセキュア） 0x3700_0000～0x3700_2FFF（非セキュア）	FLBI	データフラッシュメモリ
	0x2703_0050～0x2703_03FF（非セキュアコーラブルまたはセキュア） 0x3703_0050～0x3703_03FF（非セキュア）	FLBI	オプション設定メモリ
周辺	0x4000_0000～0x4000_0FFF（セキュア） 0x5000_0000～0x5000_0FFF（非セキュア）	PSBI	MPU コントローラ
	0x4000_2000～0x4000_2FFF（セキュア） 0x5000_2000～0x5000_2FFF（非セキュア）		SRAM コントローラ
	0x4000_4000～0x4000_4FFF（セキュア） 0x5000_4000～0x5000_4FFF（非セキュア）		バスコントローラ
	0x4000_6000～0x4000_6FFF（セキュア） 0x5000_6000～0x5000_6FFF（非セキュア）		共通 ICU コントローラ
	0x4000_8000～0x4000_8FFF（セキュア） 0x5000_8000～0x5000_8FFF（非セキュア）		セキュリティ属性コントローラ
	0x4000_A000～0x4000_AFFF（セキュア） 0x5000_A000～0x5000_AFFF（非セキュア）		DMAC/DTC
	0x4000_C000～0x4000_CFFF（セキュア） 0x5000_C000～0x5000_CFFF（非セキュア）	ICUBI	ICU コントローラ
	0x4000_F000～0x4000_FFFF（セキュア） 0x5000_F000～0x5000_FFFF（非セキュア）	PSBI	CPU コントローラ
	0x4001_0000～0x4001_AFFF（セキュア） 0x5001_0000～0x5001_AFFF（非セキュア）		デバッグコンポーネント
	0x4001_B000～0x4001_BFFF（セキュア） 0x5001_B000～0x5001_BFFF（非セキュア）		デバッグコントローラ
	0x4001_C000～0x4001_CFFF（セキュア） 0x5001_C000～0x5001_CFFF（非セキュア）		フラッシュコントローラ
	0x4001_E000～0x4001_EFFF（セキュア） 0x5001_E000～0x5001_EFFF（非セキュア）		システムコントローラ
	0x4010_0000～0x401F_FFFF（セキュア） 0x5010_0000～0x501F_FFFF（非セキュア）	FLBI	フラッシュレジスタ
	0x4020_0000～0x402F_FFFF（セキュア） 0x5020_0000～0x502F_FFFF（非セキュア）	PBBI	PCLKB 同期周辺モジュール
	0x4030_0000～0x403F_FFFF（セキュア） 0x5030_0000～0x503F_FFFF（非セキュア）	PABI	PCLKA 同期周辺モジュール
	0x4040_0000～0x404F_FFFF（セキュア） 0x5040_0000～0x504F_FFFF（非セキュア）	PIBI	ICLK 同期周辺モジュール
外部 RAM	0x8000_0000～0x9FFF_FFFF	EOBI	OSPI

14.2 バスの説明

14.2.1 アービトレーション

各スレーブにおけるマスタ間アービトレーションについては、優先順位固定とラウンドロビン方式を選択可能です。詳細は、「14.3.4. BUSSABT0<slave> : バススレーブアービトレーションコントロールレジスタ 0(<slave> = FLBI, STBYSBI, EOBI, PBBI, PABI, PIBI, PSBI)」、および「14.3.5. BUSSABT1<slave> : バススレーブアービトレーションコントロールレジスタ 1 (<slave> = FHBI, S1BI)」を参照してください。

14.2.2 外部バス

バスシステムには OSPI (EOBI) 用の外部空間があります。「35. オクタシリアルペリフェラルインタフェース (OSPI)」を参照してください。

14.2.3 並列動作

それぞれのバスマスタモジュールが異なるスレーブインタフェースへのアクセスを要求している場合、並列に動作可能です。たとえば、CPU がコードフラッシュから命令をフェッチし、SRAM1 からオペランドをフェッチ中に、DMAC は周辺モジュールと外部メモリインタフェース間の転送を同時に行うことができます。

「14.2.3. 並列動作」図 14.2 に並列動作の例を示します。この例では、CPU は CPUMAXIBI を使って FHBI にアクセスします。また、CPU が FHBI と S1BI にアクセスする間、DMAC/DTC または EDMAC は周辺バスに同時にアクセスします。

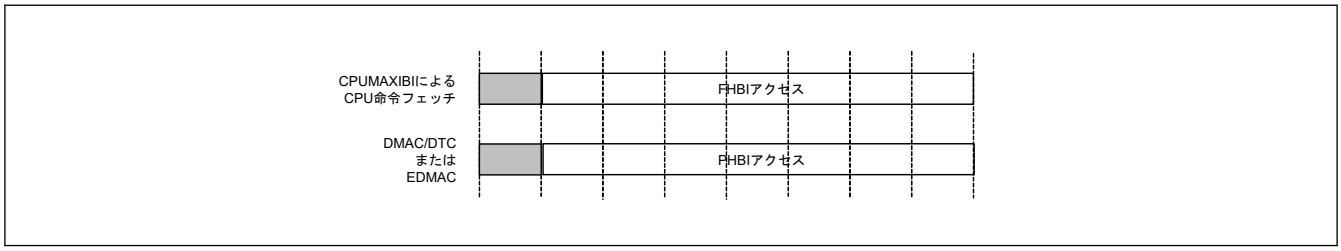


図 14.2 並列動作の例

14.2.4 制約事項

14.2.4.1 エンディアンに関する制限事項

Arm® Cortex®-M85 コアのコードを実行する場合、メモリ空間はリトルエンディアンでなければいけません。

14.2.4.2 バッファラブル書き込み

バッファラブル書き込みによりアクセス違反が発生した場合、バスマスタにエラー応答は返されませんが、BUSOAD レジスタの設定に応じて NMI または RESET 要求が発行されます。詳細は、「14.4.2. バスエラー発生時の動作」を参照してください。

14.2.4.3 FLBI の予約領域へのアクセス

FLBI の予約領域へのアクセスは禁止です。アクセスした場合動作は保証されません。

14.3 レジスタの説明

14.3.1 BUSSARA : バスセキュリティ属性レジスタ A

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x100

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BUSSA0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BUSSA0	バスセキュリティ属性 A0 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1、P-TYPE-1

BUSSA0 ビット（バスセキュリティ属性 A0）

スレーブバスコントロールレジスタ用各レジスタのセキュリティ属性を設定します。対象のレジスタを以下に示します。

- BUSMABT
- BUSSABT0<slave>
  <slave> = FLBI/STBYSBI/EOBI/PBBI/PABI/PIBI/PSBI
- BUSSABT1<slave>
  <slave> = FHBI/S1BI
- BUSDIVBYP

14.3.2 BUSSARB : バスセキュリティ属性レジスタ B

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x104

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BUSSB0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BUSSB0	バスセキュリティ属性 B0 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1、P-TYPE-1

BUSSB0 ビット（バスセキュリティ属性 B0）

バスエラーに関係するレジスタのセキュリティ属性を設定します。対象のレジスタを以下に示します。

- BUSnERRCLR
- MBWERRCLR
- SBWERRCLR
- BUSOAD
- BUSOADPT

14.3.3 BUSDIVBYP : バス分周器バイパスレジスタ

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x1300

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPU0SBPE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EDMABPE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	EDMABPE	EDMACBI 用分周器のバイパス許可 0: 禁止 1: 許可	R/W
15:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	CPU0SBPE	CPUSAHBI 用分周器のバイパス許可 0: 禁止 1: 許可	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2

EDMABPE ビット（EDMACBI 用分周器のバイパス許可）

このビットは、EDMACBI 用に実装された周波数分周器をバイパスして、マスタとスレーブの間のスルー転送を可能にします。PCLKA の 1 サイクルの待ち時間を短縮することができます。ICLK の周波数が PCLKA の周波数と同じである場合にのみ、このビットを 1 に設定することができます。EDMACBI 動作中は、このビットを切り替えることはできません。

CPU0SBPE ビット（CPUSAHBI 用分周器のバイパス許可）

このビットは、CPUSAHBI 用に実装された周波数分周器をバイパスして、マスタとスレーブの間のスルー転送を可能にします。ICLK の 1 サイクルの待ち時間を短縮することができます。CPUCLK の周波数が ICLK の周波数と同じである場合にのみ、このビットを 1 に設定することができます。CPUSAHBI 動作中は、このビットを切り替えることはできません。

14.3.4 BUSSABT0<slave> : バススレーブアービトレーションコントロールレジスタ 0(<slave> = FLBI, STBYSBI, EOBI, PBBI, PABI, PIBI, PSBI)

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x1210 (BUSSABT0FLBI)
0x1248 (BUSSABT0STBYSBI)
0x1258(BUSSABT0EOBI)
0x1260 (BUSSABT0PBBI)
0x1268 (BUSSABT0PABI)
0x1270 (BUSSABT0PIBI)
0x1278 (BUSSABT0PSBI)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ARBS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ARBS	<slave>のアービトレーション選択 0: 優先順位固定 1: ラウンドロビン	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2

<slave>は、スレーブのバスインタフェースユニット名です。

このレジスタは、<slave>バスのアービトレーション方式を指定します。

(<slave> = FLBI/STBYSBI/PBBI/PABI/PIBI/PSBI)

ARBS ビット（<slave>のアービトレーション選択）

ARBS ビットは、<slave>に接続されているバスマスタ間の優先順位を指定します。優先順位固定については、表 14.4 を参照してください。ラウンドロビンについては、表 14.5 を参照してください。

表 14.4 優先順位固定 (ARBS = 0) によるバス優先順位

バススレーブアービトレーションコントロールレジスタ	スレーブインタフェース	優先順位(注1)
BUSSABT0FLBI	FLBI	DMAC/DTC > CPU M-AXI > CPU P-AHB
BUSSABT0STBYSBI	STBYSBI	EDMAC > DMAC/DTC > CPU M-AXI
BUSSABT0EOBI	EOBI	CEU > GLCDC0 > GLCDC1 > GDSSBI > EDMAC > DMAC/DTC > CPU
BUSSABT0PBBI	PBBI	DMAC/DTC > CPU P-AHB
BUSSABT0PABI	PABI	DMAC/DTC > CPU P-AHB
BUSSABT0PIBI	PIBI	DMAC/DTC > CPU P-AHB
BUSSABT0PSBI	PSBI	DMAC/DTC > CPU P-AHB

注 1. 「>」は、左側が優先であることを示します。

表 14.5 ラウンドロビン (ARBS = 1) によるバス優先順位 (1/2)

バススレーブアービトレーションコントロールレジスタ	スレーブインタフェース	優先順位(注1)
BUSSABT0FLBI	FLBI	DMAC/DTC <-> CPU M-AXI <-> CPU P-AHB

表 14.5 ラウンドロビン (ARBS = 1) によるバス優先順位 (2/2)

バススレーブアービトレーションコントロールレジスタ	スレーブインタフェース	優先順位(注1)
BUSSABT0STBYSBI	STBYSBI	EDMAC <-> DMAC/DTC <-> CPU M-AXI
BUSSABT0EOBI	EOBI	CEU <-> GLCDC0 <-> GLCDC1 <-> GDSSBI <-> EDMAC <-> DMAC/DTC <-> CP
BUSSABT0PBBI	PBBI	DMAC/DTC <-> CPU P-AHB
BUSSABT0PABI	PABI	DMAC/DTC <-> CPU P-AHB
BUSSABT0PIBI	PIBI	DMAC/DTC <-> CPU P-AHB
BUSSABT0PSBI	PSBI	DMAC/DTC <-> CPU P-AHB

注 1. 「<->」は、ラウンドロビンを示します。

14.3.5 BUSSABT1<slave> : バススレーブアービトレーションコントロールレジスタ 1 (<slave> = FHBI, S1BI)

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x1200 (BUSSABT1FHBI)
0x1220 (BUSSABT1S1BI)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ARBS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	ARBS[1:0]	<slave>のアービトレーション選択 0 0: 優先順位固定 0 1: 設定禁止 1 0: ラウンドロビンと固定優先順位の組み合わせ 1 1: ラウンドロビン	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2

<slave>は、スレーブのバスインタフェースユニット名です。

本レジスタは、<slave>バスのアービトレーション方式を指定します。

(<slave> = FHBI/S1BI)

ARBS[1:0]ビット（<slave>のアービトレーション選択）

ARBS ビットは、<slave>に接続されているバスマスタ間の優先順位を指定します。各設定の優先順位については、表 14.6、表 14.7 および表 14.8 を参照してください。

表 14.6 優先順位固定 (ARBS[1:0] = 00) によるバス優先順位

バススレーブアービトレーションコントロールレジスタ	スレーブインタフェース	優先順位(注1)
BUSSABT1FHBI	FHBI	DMAC/DTC > CPU M-AXI
BUSSABT1S1BI	S1BI	CEU > EDMAC > DMAC/DTC > CPU M-AXI

注 1. 「>」は、左側が優先であることを示します。

表 14.7　ラウンドロビン型と優先順位固定型を組み合わせたアービトレーション (ARBS[1:0] = 10) によるバス優先順位

バススレーブアービトレーションコントロールレジスタ	スレーブインタフェース	優先順位(注1)
BUSSABT1FHBI	FHBI	DMAC/DTC > CPU M-AXI
BUSSABT1S1BI	S1BI	CEU > EDMAC > DMAC/DTC > CPU M-AXI

注 1. 「<->」は、ラウンドロビンを示します。「>」は、左側が優先であることを示します。

表 14.8　ラウンドロビン (ARBS[1:0] = 11) によるバス優先順位

バススレーブアービトレーションコントロールレジスタ	スレーブインタフェース	優先順位(注1)
BUSSABT1FHBI	FHBI	DMAC/DTC <-> CPU M-AXI
BUSSABT1S1BI	S1BI	CEU <-> EDMAC <-> DMAC/DTC <-> CPU M-AXI

注 1. 「<->」は、ラウンドロビンを示します。

14.3.6　BUSnERRADD : バスエラーアドレスレジスタ (n = 4, 5)

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x1800 + 0x10 × (n-1)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	BERAD[31:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BERAD[31:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	BERAD[31:0]	バスエラーアドレス バスエラーが発生した場合、エラーアドレスを格納	R

注. S-TYPE-5、P-TYPE-2

表 14.9 に、バスの種類に対応したレジスタ番号を示します。

このレジスタは、BUSnERRCLR.ILERRCLR、BUSnERRCLR.MMERRCLR、または BUSnERRCLR.SLERRCLR ビットをセットするか、バスエラーリセットおよび共通メモリエラーリセット以外のリセットでクリアされます。

BERAD[31:0]ビット（バスエラーアドレス）

BERAD[31:0]ビットは、関連するバスでエラーが起こった場合アドレスを示します。バスで発生するエラーの詳細については、「14.3.10. BUSnERRSTAT : BUS エラーステータスレジスタ (n = 1～5, 10)」および「14.4. バスエラー監視部」を参照してください。

バス上でエラーが発生すると、BUSnERRSTAT (n = 1～5, 10) レジスタの ILERRSTAT、MMERRSTAT、SLERRSTAT の対応ビットが 1 になり、同時に、バスエラーアクセスのアドレスが BERAD[31:0]ビットに格納されます。

エラーアドレスはいったん設定されると、BUSnERRCLR レジスタで値がクリアされるまで、更新されません。

BUSnERRSTAT (n = 1～5, 10) レジスタの ILERRSTAT、MMERRSTAT、SLERRSTAT、MSERRSTAT の各ビットが 0 になると BERAD[31:0]ビットは不定値になります。

表 14.9 バス種類とレジスタの対応

バスの種類	バスエラーステータスレジスタ	バスエラークリアスレジスタ	バスエラーアドレスレジスタ	バスエラー RW レジスタ
CPUMAXIBI_R チャネル	BUS1ERRSTAT	BUS1ERRCLR	—	—
CPUMAXIBI_W チャネル	BUS2ERRSTAT	BUS2ERRCLR	—	—
CPUPAHBI	BUS3ERRSTAT	BUS3ERRCLR	—	—
DMAC/DTCBI	BUS4ERRSTAT	BUS4ERRCLR	BUS4ERRADD BMSA4ERRADD	BUS4ERRRW BMSA4ERRRW
EDMACBI	BUS5ERRSTAT	BUS5ERRCLR	BUS5ERRADD BMSA5ERRADD	BUS5ERRRW BMSA5ERRRW
CEUBI_W チャネル	BUS10ERRSTAT	BUS10ERRCLR	—	—

14.3.7 BUSnERRRW : バスエラーリードライト (n = 4, 5)

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x1804 + 0x10 × (n-1)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	RWSTAT
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RWSTAT	エラーアクセスリード／ライト状態 エラー発生時の状態 0: リードアクセス 1: ライトアクセス	R
7:1	—	読むと 0 が読めます。	R

注. S-TYPE-5、P-TYPE-2

このレジスタは、バスエラーリセットおよび共通メモリエラーリセット以外のリセット、および BUSnERRCLR.ILERRCLR、BUSnERRCLR.MMERRCLR、および BUSnERRCLR.SLERRCLR でクリアされます。

表 14.9 に、バスの種類に対応したレジスタ番号を示します。

RWSTAT ビット（エラーアクセスリード／ライト状態）

対応するバスにエラーが発生した場合、RWSTAT ビットは、そのアクセス状態（ライトアクセスまたはリードアクセス）を示します。

バスに発生するエラーの詳細については、「14.3.10. BUSnERRSTAT : BUS エラーステータスレジスタ (n = 1～5, 10)」および「14.4. バスエラー監視部」を参照してください。

バス上でエラーが発生すると、BUSnERRSTAT (n = 1～5, 10) レジスタの ILERRSTAT、MMERRSTAT、SLERRSTAT の対応ビットが 1 になり、同時に、バスエラーアクセスのリードライト状態が RWSTAT ビットに格納されます。

BUSnERRSTAT (n = 1～5, 10) レジスタの ILERRSTAT、MMERRSTAT、SLERRSTAT の各ビットが 0 になると、RWSTAT ビットは不定値になります。

RWSTAT ビットはいったん設定されると、BUSnERRCLR レジスタで値がクリアされるまで、更新されません。

14.3.8 BMSAnERRADD : バスマスタセキュリティ属性ユニットエラーアドレス (n = 4, 5)

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x1900 + 0x10 × (n-1)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MSERAD[31:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MSERAD[31:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	MSERAD[31:0]	バスマスタセキュリティ属性ユニットエラーアドレス マスタセキュリティ属性ユニットエラーが発生した場合、エラーアドレスを格納	R

注. S-TYPE-5、P-TYPE-2
注. このレジスタは、BUSnERRCLR.MSERRCLR ビットをセットするか、バスエラーリセットおよび共通メモリエラーリセット以外のリセットでクリアされます。

表 14.9 に、バスの種類とレジスタの対応を示します。

MSERAD[31:0]ビット（バスマスタセキュリティ属性ユニットエラーアドレス）

対応するバスにエラーが発生した場合、MSERAD[31:0]ビットは、そのアドレスを示します。

バスに発生するエラーの詳細については、「14.3.10. BUSnERRSTAT : BUS エラーステータスレジスタ (n = 1～5, 10)」および「14.4. バスエラー監視部」を参照してください。

バス上でエラーが発生すると、BUSnERRSTAT (n = 1～5, 10) レジスタの MSERRSTAT の対応ビットが 1 になり、同時に、バスエラーアクセスのアドレスが MSERAD[31:0]ビットに格納されます。

エラーアドレスはいったん設定されると、BUSnERRCLR (n = 1～5, 10) で値がクリアされるまで、更新されません。

BUSnERRSTAT (n = 1～5, 10) レジスタの MSERRSTAT ビットが 0 になると、MSERAD[31:0]ビットは不定値になります。

14.3.9 BMSAnERRRW : バスマスタセキュリティ属性ユニットエラーリードライト (n = 4, 5)

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x1904 + 0x10 × (n-1)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MSARWSTAT
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MSARWSTAT	マスタセキュリティ属性ユニットエラーアクセスリード／ライト状態 エラー発生時の状態 0: リードアクセス 1: ライトアクセス	R
7:1	—	読むと 0 が読めます。	R

注. S-TYPE-5、P-TYPE-2

注. このレジスタは、BUSnERRCLR.MSERRCLR ビットをセットするか、バスエラーリセットおよび共通メモリエラーリセット以外のリセットでクリアされます。

表 14.9 に、バスの種類に対応したレジスタ番号を示します。

MSARWSTAT ビット（マスタセキュリティ属性ユニットエラーアクセスリード／ライト状態）

対応するバスにエラーが発生した場合、MSARWSTAT ビットは、そのアクセス状態（ライトアクセスまたはリードアクセス）を示します。

バスに発生するエラーの詳細については、「14.3.10. BUSnERRSTAT : BUS エラーステータスレジスタ (n = 1～5, 10)」および「14.4. バスエラー監視部」を参照してください。

バス上でエラーが発生すると、BUSnERRSTAT (n = 1～5, 10) レジスタの MSERRSTAT の対応ビットが 1 になり、同時に、バスエラーアクセスのリードライト状態が MSARWSTAT ビットに格納されます。

MSARWSTAT ビットはいったん設定されると、BUSnERRCLR (n = 1～5, 10) で値がクリアされるまで、更新されません。

BUSnERRSTAT (n = 1～5, 10) レジスタの MSERRSTAT が 0 になると、MSARWSTAT ビットは不定値になります。

14.3.10 BUSnERRSTAT : BUS エラーステータスレジスタ (n = 1～5, 10)

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x1A00 + 0x10 × (n - 1)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	MSERRSTAT	ILERRSTAT	MMERRSTAT	—	—	SLERRSTAT
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SLERRSTAT	スレーブバスエラー状態 0: エラーなし 1: エラー発生	R
2:1	—	読むと 0 が読めます。	R
3	MMERRSTAT	マスタ MPU エラー状態 0: エラーなし 1: エラー発生	R
4	ILERRSTAT	不正アドレスアクセスエラー状態 0: エラーなし 1: エラー発生	R
5	MSERRSTAT	マスタセキュリティ属性ユニットエラー状態 0: エラーなし 1: エラー発生	R
7:6	—	読むと 0 が読めます。	R

注. S-TYPE-5、P-TYPE-2

このレジスタは、バスエラーリセットおよび共通メモリエラーリセット以外のリセットでクリアされます。

表 14.9 に、バスの種類に対応したレジスタ番号を示します。

バスエラーが同時に複数発生した場合、STAT ビットは以下の優先順位でのみ有効 (1) となります。左側が優先順位が高くなります。

マスタセキュリティ属性ユニット > マスタ MPU エラー > 不正アクセスエラー、スレーブ TrustZone フィルタ、スレーブバスエラー

不正アクセスエラー、スレーブ TrustZone フィルタエラーおよびスレーブバスエラーは同時には発生しません。

いったん MSERRSTAT、ILERRSTAT、MMERRSTAT、SLERRSTAT のいずれかが設定されると、MSERRSTAT、ILERRSTAT、MMERRSTAT、および SLERRSTAT は更新されません。

SLERRSTAT ビット（スレーブバスエラー状態）

バスにスレーブエラーまたは TrustZone フィルタエラーが発生すると、BUSnERRSTAT.SLERRSTAT (n = 1～5, 10) が 1 になります。

クリア条件は以下のとおりです。

- BUSnERRCLR.SLERRCLR を 1 に設定

スレーブエラーとは、タイムアウトのようなスレーブに発生するエラーです。

SLERRSTAT ビットは、デバッガ使用時に違反した場合は設定されません。

バスに発生するスレーブエラーの詳細については、「14.4. バスエラー監視部」を参照してください。

MMERRSTAT ビット（マスタ MPU エラー状態）

バスにマスタ MPU エラーが発生すると、BUSnERRSTAT.MMERRSTAT (n = 1～5, 10) が 1 になります。

クリア条件は以下のとおりです。

- BUSnERRCLR.MMERRCLR を 1 に設定

バスに発生するマスタ MPU エラーの詳細については、「15. メモリプロテクションユニット (MPU)」を参照してください。

ILERRSTAT ビット（不正アドレスアクセスエラー状態）

バスに不正アドレスアクセスエラーが発生し、FHBI にライトアクセスが発生すると、BUSnERRSTAT.ILERRSTAT (n = 1～5, 10) が 1 になります。

クリア条件は以下のとおりです。

- BUSnERRCLR.ILLERRCLR を 1 に設定

ILERRSTAT ビットは、デバッガ使用時に違反した場合は設定されません。

バスに発生する不正アドレスアクセスエラーの詳細については、「14.4. バスエラー監視部」を参照してください。

MSERRSTAT ビット（マスタセキュリティ属性ユニットエラー状態）

バスに MSAU エラーが発生すると、BUSnERRSTAT.MSERRSTAT (n = 1～5, 10) が 1 になります。

クリア条件は以下のとおりです。

- BUSnERRCLR.MSERRCLR を 1 に設定

バスに発生する MSAU エラーの詳細については、「14.4. バスエラー監視部」を参照してください。

14.3.11 BUSnERRCLR : BUS エラークリアレジスタ (n = 1～5, 10)

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x1A08 + 0x10 × (n - 1)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	MSERRCLR	ILERRCLR	MMERRCLR	—	—	SLERRCLR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SLERRCLR	スレーブバスエラークリア 1 を書き込むことにより、BUSnERRSTAT.SLERRSTAT、BUSnERRADD.BERAD および BUSnERRRW.RWSTAT ビットをクリアできます。	R/W(注1)
2:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
3	MMERRCLR	マスタ MPU エラークリア 1 を書き込むことにより、BUSnERRSTAT.MMERRSTAT、BUSnERRADD.BERAD および BUSnERRRW.RWSTAT ビットをクリアできます。	R/W(注1)
4	ILERRCLR	不正アドレスアクセスエラークリア 1 を書き込むことにより、BUSnERRSTAT.ILERRSTAT、BUSnERRADD.BERAD および BUSnERRRW.RWSTAT ビットをクリアできます。	R/W(注1)
5	MSERRCLR	マスタセキュリティ属性ユニットエラークリア 1 を書き込むことにより、BUSnERRSTAT.MSERRSTAT、BUSnERRADD.BERAD および BUSnERRRW.RWSTAT ビットをクリアできます。	R/W(注1)
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注 1. このビットには、1 のみ書き込みできます。読むと 0 が読めます。0 の書き込みは影響しません。

表 14.9 に、バスの種類に対応したレジスタ番号を示します。

BUSnERRCLR (n = 1～5, 10) に 1 を書き込む場合、バスアクセスを停止してください。対応するバスマスタでのエラーの原因になります。

SLERRCLR ビット（スレーブバスエラークリア）

SLERRCLR ビットに 1 を書き込むことにより、BUSnERRSTAT.SLERRSTAT、BMSAnERRADD.MSERAD、および BMSAnERRRW.MSARWSTAT (n = 1～5, 10) ビットをクリアできます。

読むと 0 が読めます。

MMERRCLR ビット（マスタ MPU エラークリア）

MMERRCLR ビットに 1 を書き込むことにより、BUSnERRSTAT.MMERRSTAT、BUSnERRADD.BERAD、および BUSnERRRW.RWSTAT (n = 1～5, 10) ビットをクリアできます。

読むと 0 が読めます。

ILERRCLR ビット（不正アドレスアクセスエラークリア）

MSERRCLR ビットに 1 を書き込むことにより、BUSnERRSTAT.MSERRSTAT、BMSAnERRADD.MSERAD、および BMSAnERRRW.MSARWSTATT (n = 4, 5) ビットをクリアできます。

読むと 0 が読めます。

MSERRCLR ビット（マスタセキュリティ属性ユニットエラークリア）

MSERRCLR ビットに 1 を書き込むことにより、BUSnERRSTAT.MSERRSTAT、BUSnERRADD.BERAD および BUSnERRRW.RWSTAT (n = 1～5, 10) ビットをクリアできます。

読むと 0 が読めます。

14.3.12 BUSOAD : 検出後のバス動作レジスタ

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x1000

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	BWERROAD	SLERROAD	ILERROAD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ILERROAD	不正なアドレスアクセスエラー検出後の動作 CPU 0: エラー応答のみが返されます。 1: リセット その他のマスタ 0: NMI 1: リセット	R/W
1	SLERROAD	スレーブバスエラー検出後の動作 CPU 0: エラー応答のみが返されます。 1: リセット その他のマスタ 0: NMI 1: リセット	R/W
2	BWERROAD	バッファラブル書き込みエラー検出後の動作 すべてのバスマスタ 0: NMI 1: リセット	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. OAD ビットが 1 の状態で CPU により発行された投機的アクセスにおいてエラーが発生したとき、システムリセット要求が発生することがあります。そのような場合、Arm MPU を使用することで回避可能です。詳細は、「14.5. 参考資料」[3]を参照してください。

ILERROAD ビット（不正なアドレスアクセスエラー検出後の動作）

OAD ビットは、不正なアドレスアクセスエラー検出時の動作を指定します。OAD ビットが 0 の場合、バスマスタによって動作が異なります。CPU がアクセス違反を起こした場合は、エラー応答のみを返し、NMI は発生しません。CPU 以外のマスタがアクセス違反を起こした場合、エラー応答を返し、NMI が発生します。

このとき、OAD ビットが 1 になっていると、リセット要求が発生します。

SLERROAD ビット（スレーブバスエラー検出後の動作）

OAD ビットは、スレーブバスエラー検出時の動作を指定します。OAD ビットが 0 の場合、バスマスタによって動作が異なります。CPU がアクセス違反を起こした場合は、エラー応答のみを返し、NMI は発生しません。CPU 以外のマスタがアクセス違反を起こした場合、エラー応答を返し、NMI が発生します。

このとき、OAD ビットが 1 になっていると、リセット要求が発生します。

BWERROAD ビット（バッファラブル書き込みエラー検出後の動作）

OAD ビットは、バッファラブル書き込みエラー検出時の動作を指定します。

OAD ビットが 0 の場合、エラー応答を返し、NMI が発生します。

このとき、OAD ビットが 1 になっていると、リセット要求が発生します。

14.3.13 BUSOADPT : 検出後のバス動作プロテクトレジスタ

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x1004

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: BUSOAD レジスタの書き込みは可能 1: BUSOAD レジスタの書き込みは禁止。読み出しは可能	R/W

ビット	シンボル	機能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

注. S-TYPE-3、P-TYPE-2

PROTECT ビット（レジスタの保護）

PROTECT ビットは、保護する関連レジスタへの書き込みを許可または禁止します。

BUSOADPT.PROTECT ビットは下記のレジスタを制御します。

- BUSOAD

同時に PROTECT ビットを設定する際は、ハーフワードアクセスによって KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを許可または禁止します。同時に PROTECT ビットに書き込む場合は、KEY[7:0]ビットに 0xA5 を書き込んでください。これ以外の値を KEY[7:0]ビットに書き込むと、PROTECT ビットは更新されません。KEY[7:0]ビットは、読むと常に 0x00 が読み出されます。

14.3.14 MBWERRSTAT : マスタバッファラブル書き込みエラーステータスレジスタ

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x1B00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	MBWERR21	—	—	—	—	MBWERR16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MBWERR8	—	—	—	—	—	—	MBWERR1	MBWERR0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MBWERR0	マスタバッファラブル書き込みエラー 0: マスタ#0 にバッファラブル書き込みエラーなし 1: マスタ#0 にバッファラブル書き込みエラー発生	R
1	MBWERR1	マスタバッファラブル書き込みエラー 0: マスタ#1 にバッファラブル書き込みエラーなし 1: マスタ#1 にバッファラブル書き込みエラー発生	R
7:2	—	読むと 0 が読めます。	R
8	MBWERR8	マスタバッファラブル書き込みエラー 0: マスタ#8 にバッファラブル書き込みエラーなし 1: マスタ#8 にバッファラブル書き込みエラー発生	R
15:9	—	読むと 0 が読めます。	R
16	MBWERR16	マスタバッファラブル書き込みエラー 0: マスタ#16 にバッファラブル書き込みエラーなし 1: マスタ#16 にバッファラブル書き込みエラー発生	R
20:17	—	読むと 0 が読めます。	R
21	MBWERR21	マスタバッファラブル書き込みエラー 0: マスタ#21 にバッファラブル書き込みエラーなし 1: マスタ#21 にバッファラブル書き込みエラー発生	R
31:22	—	読むと 0 が読めます。	R

注. S-TYPE-5、P-TYPE-2
注. このレジスタは、バスエラーリセットおよび共通メモリエラーリセット以外のリセットでクリアされます。

MBWERRn ビット（マスタバッファラブル書き込みエラークリア n）

マスタバッファラブル書き込みアクセスエラーが発生した場合、MBWERRSTAT.MBWERRn が 1 になります。クリア条件は以下のとおりです。

- MBWERRCLR.MBWERRCn を 1 にする

表 14.10 に、バスマスタの種類とレジスタの対応を示します。

表 14.10 バスマスタ種類とビットの対応

バスマスタ種類	マスタバッファラブル書き込みエラーステータスビット	マスタバッファラブル書き込みエラークリアビット
CPUMAXIBI_W チャネル	MBWERR0	MBWECLR0
CPUPAHBI	MBWERR1	MBWECLR1
DMAC/DTCBI	MBWERR8	MBWECLR8
EDMACBI	MBWERR16	MBWECLR16
CEUBI_W チャネル	MBWERR21	MBWECLR21

14.3.15 MBWERRCLR : マスタバッファラブル書き込みエラークリアレジスタ

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x1B08

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	MBWECLR21	—	—	—	—	MBWECLR16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MBWECLR8	—	—	—	—	—	—	MBWECLR1	MBWECLR0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MBWECLR0	マスタバッファラブル書き込みエラークリア 1 を書き込むことにより、MBWERRSTAT.MBWERR0 フラグをクリアできます。	R/W(注1)
1	MBWECLR1	マスタバッファラブル書き込みエラークリア 1 を書き込むことにより、MBWERRSTAT.MBWERR1 フラグをクリアできます。	R/W(注1)
7:2	—	読むと 0 が読めます。	R/W(注1)
8	MBWECLR8	マスタバッファラブル書き込みエラークリア 1 を書き込むことにより、MBWERRSTAT.MBWERR8 フラグをクリアできます。	R/W(注1)
15:9	—	読むと 0 が読めます。	R/W(注1)
16	MBWECLR16	マスタバッファラブル書き込みエラークリア 1 を書き込むことにより、MBWERRSTAT.MBWERR16 フラグをクリアできます。	R/W(注1)
20:17	—	読むと 0 が読めます。	R/W(注1)
21	MBWECLR21	マスタバッファラブル書き込みエラークリア 1 を書き込むことにより、MBWERRSTAT.MBWERR21 フラグをクリアできます。	R/W(注1)
31:22	—	読むと 0 が読めます。	R/W(注1)

注. S-TYPE-3, P-TYPE-2
注 1. このビットには、1 のみ書き込みできます。

MBWECLRn ビット（マスタバッファラブル書き込みエラークリア n）

1 を書き込むことにより、MBWERRSTAT.MBWERRn フラグをクリアできます。

読むと 0 が読めます。

14.3.16 SBWERRSTAT : スレーブバッファラブル書き込みエラーステータス レジスタ

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x1B20

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	SBWERR12	SBWERR11	SBWERR10	SBWERR9	SBWERR8	SBWERR7	—	SBWERR5	SBWERR4	—	SBWERR2	SBWERR1	SBWERR0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SBWERR0	スレーブバッファラブル書き込みエラー 0: スレーブ#0 にバッファラブル書き込みエラーなし 1: スレーブ#0 にバッファラブル書き込みエラー発生	R
1	SBWERR1	スレーブバッファラブル書き込みエラー 0: スレーブ#1 にバッファラブル書き込みエラーなし 1: スレーブ#1 にバッファラブル書き込みエラー発生	R
2	SBWERR2	スレーブバッファラブル書き込みエラー 0: スレーブ#2 にバッファラブル書き込みエラーなし 1: スレーブ#2 にバッファラブル書き込みエラー発生	R
3	—	読むと 0 が読めます。	R
4	SBWERR4	スレーブバッファラブル書き込みエラー 0: スレーブ#4 にバッファラブル書き込みエラーなし 1: スレーブ#4 にバッファラブル書き込みエラー発生	R
5	SBWERR5	スレーブバッファラブル書き込みエラー 0: スレーブ#5 にバッファラブル書き込みエラーなし 1: スレーブ#5 にバッファラブル書き込みエラー発生	R
6	—	読むと 0 が読めます。	R
7	SBWERR7	スレーブバッファラブル書き込みエラー 0: スレーブ#7 にバッファラブル書き込みエラーなし 1: スレーブ#7 にバッファラブル書き込みエラー発生	R
8	SBWERR8	スレーブバッファラブル書き込みエラー 0: スレーブ#8 にバッファラブル書き込みエラーなし 1: スレーブ#8 にバッファラブル書き込みエラー発生	R
9	SBWERR9	スレーブバッファラブル書き込みエラー 0: スレーブ#9 にバッファラブル書き込みエラーなし 1: スレーブ#9 にバッファラブル書き込みエラー発生	R
10	SBWERR10	スレーブバッファラブル書き込みエラー 0: スレーブ#10 にバッファラブル書き込みエラーなし 1: スレーブ#10 にバッファラブル書き込みエラー発生	R
11	SBWERR11	スレーブバッファラブル書き込みエラー 0: スレーブ#11 にバッファラブル書き込みエラーなし 1: スレーブ#11 にバッファラブル書き込みエラー発生	R
12	SBWERR12	スレーブバッファラブル書き込みエラー 0: スレーブ#12 にバッファラブル書き込みエラーなし 1: スレーブ#12 にバッファラブル書き込みエラー発生	R

ビット	シンボル	機能	R/W
31:13	—	読むと 0 が読めます。	R

注. S-TYPE-5、P-TYPE-2
注. このレジスタは、バスエラーリセットおよび共通メモリエラーリセット以外のリセットでクリアされます。

SBWERRn ビット（スレーブバッファラブル書き込みエラー n）

バッファラブル書き込みアクセスエラーが発生した場合、SBWERRSTAT.SBWERRn が 1 になります。

クリア条件は以下のとおりです。

- SBWERRCLR.SBWECLRn を 1 に設定

表 14.11 に、バススレーブの種類とレジスタの対応を示します。

表 14.11 バススレーブ種類とビットの対応

バススレーブ種類	スレーブバッファラブル書き込みエラーステータスビット	スレーブバッファラブル書き込みエラークリアビット
FHBI	SBWERR0	SBWECLR0
FLBI	SBWERR1	SBWECLR1
CPUSAHBI	SBWERR2	SBWECLR2
S1BI	SBWERR4	SBWECLR4
STBYSBI	SBWERR5	SBWECLR5
EOBI	SBWERR7	SBWECLR7
PBBI	SBWERR8	SBWECLR8
PABI	SBWERR9	SBWECLR9
PIBI	SBWERR10	SBWECLR10
ICUBI	SBWERR11	SBWECLR11
PSBI	SBWERR12	SBWECLR12

14.3.17 SBWERRCLR : スレーブバッファラブル書き込みエラークリア レジスタ

Base address: BUS = 0x4000_3000
BUS_NS = 0x5000_3000

Offset address: 0x1B28

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	SBWECLR12	SBWECLR11	SBWECLR10	SBWECLR9	SBWECLR8	SBWECLR7	—	SBWECLR5	SBWECLR4	—	SBWECLR2	SBWECLR1	SBWECLR0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SBWECLR0	スレーブバッファラブル書き込みエラークリア 1 を書き込むことにより、SBWERRSTAT.SBWERR0 フラグをクリアできます。	R/W(注1)
1	SBWECLR1	スレーブバッファラブル書き込みエラークリア 1 を書き込むことにより、SBWERRSTAT.SBWERR1 フラグをクリアできます。	R/W(注1)
2	SBWECLR2	スレーブバッファラブル書き込みエラークリア 1 を書き込むことにより、SBWERRSTAT.SBWERR2 フラグをクリアできます。	R/W(注1)
3	—	読むと 0 が読めます。	R/W(注1)

ビット	シンボル	機能	R/W
4	SBWECLR4	スレーブバッファラブル書き込みエラークリア 1 を書き込むことにより、SBWERRSTAT.SBWERR4 フラグをクリアできます。	R/W(注1)
5	SBWECLR5	スレーブバッファラブル書き込みエラークリア 1 を書き込むことにより、SBWERRSTAT.SBWERR5 フラグをクリアできます。	R/W(注1)
6	—	読むと 0 が読めます。	R/W(注1)
7	SBWECLR7	スレーブバッファラブル書き込みエラークリア 1 を書き込むことにより、SBWERRSTAT.SBWERR7 フラグをクリアできます。	R/W(注1)
8	SBWECLR8	スレーブバッファラブル書き込みエラークリア 1 を書き込むことにより、SBWERRSTAT.SBWERR8 フラグをクリアできます。	R/W(注1)
9	SBWECLR9	スレーブバッファラブル書き込みエラークリア 1 を書き込むことにより、SBWERRSTAT.SBWERR9 フラグをクリアできます。	R/W(注1)
10	SBWECLR10	スレーブバッファラブル書き込みエラークリア 1 を書き込むことにより、SBWERRSTAT.SBWERR10 フラグをクリアできます。	R/W(注1)
11	SBWECLR11	スレーブバッファラブル書き込みエラークリア 1 を書き込むことにより、SBWERRSTAT.SBWERR11 フラグをクリアできます。	R/W(注1)
12	SBWECLR12	スレーブバッファラブル書き込みエラークリア 1 を書き込むことにより、SBWERRSTAT.SBWERR12 フラグをクリアできます。	R/W(注1)
31:13	—	読むと 0 が読めます。	R/W(注1)

注. S-TYPE-3、P-TYPE-2
注 1. このビットには、1 のみ書き込みできます。

SBWECLRn ビット（スレーブバッファラブル書き込みエラークリア n）

1 を書き込むことにより、SBWERRSTAT.SBWERRn フラグをクリアできます。

このビットを読むと 0 が読めます。

14.4 バスエラー監視部

この監視システムは、個々の領域を監視して、エラーを検出すると AHB-Lite エラー応答プロトコルを用いてそのエラーを要求マスタに返します。

14.4.1 バスエラーの種類

それぞれのバスでは、下記のエラーが生じる可能性があります。

- マスタセキュリティ属性ユニットエラー
- バスマスタ MPU エラー
- 不正アドレスアクセス
- スレーブ TrustZone フィルタエラー
- 各スレーブモジュールから送信されるバスエラー

表 14.15 に、アクセスによって不正アドレスアクセスエラーが引き起こされるアドレスレンジを示します。スレーブの予約領域は、不正アドレスアクセスエラーを引き起こしません。バスマスタ MPU については、「15. メモリプロテクションユニット (MPU)」を参照してください。

14.4.2 バスエラー発生時の動作

以下のバッファラブル書き込みにおいて、以下の場合は途中からの書き込み応答が可能です。

1. CPU M-AXI が、FLBI、ROMBI、および STBYSBI にアクセス。
2. CPU P-AHB が、アクセスできる領域にアクセス。
3. CPU P-AHB が、不正アドレスにアクセス。
4. DMA が、EOBI、FLBI、PABI、PBBI、S1BI、および PSBI にアクセス。

これらのバッファラブル書き込みによりアクセス違反が発生した場合、バスマスタにエラー応答が返らない場合があります。

エラー応答を返さないバッファラブル書き込みエラーが検出された場合、アクセスがブロックされ、MBWERRSTAT または SBWERRSTAT のエラー発生位置に対応するビットが 1 になります。さらに、BUSOAD.BWERROAD の設定に従って NMI 要求またはリセット要求が発生します。MBWERRSTAT または SBWERRSTAT は、バスエラーリセットおよびメモリエラーリセット以外のリセットまたは MBWERRCLR または SBWERRCLR によりクリアされるまで保持されるので、BusFault ハンドラまたは割り込みハンドラで確認することができます。バッファラブル書き込みでは、エラーアドレス情報およびエラー R/W 情報は残りません。エラー情報が必要な場合は、バスマスタを非バッファラブルアクセスに設定してください。

バッファラブル書き込みエラーは、次のような場合に発生することがあります。この場合、BUSnERRSTAT は設定されず、BUSOAD.ILERROAD または BUSOAD.SLERROAD の設定に従って NMI 要求またはリセット要求は発生しません。

1. CPU M-AXI が FLBI、ROMBI、および STBYSBI にアクセスし、スレーブエラーまたはスレーブ TrustZone フィルタエラーが発生。
2. CPU P-AHB がアクセスできる領域にアクセスし、スレーブエラーまたはスレーブ TrustZone フィルタエラーが発生。
3. CPU P-AHB が不正なアドレスにアクセスし、不正アドレスアクセスエラーが発生。
4. DMA が EOBI、FLBI、PABI、PBBI、S1BI、および PSBI にアクセスし、スレーブエラーまたはスレーブ TrustZone フィルタエラーが発生。

表 14.12　バッファラブル書き込み時のバスエラー通知方法

	DAP	CPU	DMAC/DTC	EDMAC	CEU
BUSOAD.BWERROAD = 0	BUSERR.NMI	BUSERR.NMI	BUSERR.NMI	BUSERR.NMI	BUSERR.NMI
BUSOAD.BWERROAD = 1	リセット	リセット	リセット	リセット	リセット

バッファラブル書き込み以外のアクセスでバスエラーが発生した場合、エラーアクセスをブロックし、OAD 設定とバスマスタで決定したエラー動作を行います。表 14.13 に、各エラーに対応する OAD 設定を示します。表 14.14 に、バスエラー発生時の通知方法を示します。

OAD 設定が NMI の場合

CPU がバスマスタの場合は、バスマスタにエラー応答を返すだけです。CPU はエラー応答を受信すると BusFault が発生します。CPU 以外のマスタがバスマスタの場合、マスタにエラー応答を返し、NMI が発生します。

OAD 設定がリセットの場合

エラー応答がバスマスタに返され、リセット要求が発生します。

表 14.13　各エラーに対応する OAD 設定

エラー種別	OAD ビット
MSAU エラー	MSAOAD.OAD
MPU エラー	MMPUOAD.OAD
不正アクセスエラー	BUSOAD.ILERROAD
スレーブバスエラー	BUSOAD.SLERROAD
スレーブ TrustZone フィルタエラー	BUSOAD.SLERROAD

表 14.14　非バッファラブル書き込み時のバスエラー通知方法

OAD 設定	DAP(注2)	CPU(注1)	DMAC/DTC	EDMAC	CEU
NMI	エラー応答のみ	CPU.BusFault	DMA0_TRANSERR(注1) BUSERR.NMI	ETHER_EINT(注1) BUSERR.NMI	BUSERR.NMI
リセット	エラー応答のみ	リセット	リセット	リセット	リセット

注 1.　DMAC/DTC および EDMAC は、エラー応答を受信したときに割り込みを発行することができます。この NMI は ICU に出力され、ICU から CPU に送信されます。

注 2. バスマスタが DAP の場合のみ、BUSOAD.ILERROAD の設定または BUSOAD.SLERROAD の設定に関わらずエラー応答のみが返され、NMI や RESET 要求は発生しません。

図 14.3 に、リセット後の OAD 設定フローを示します。本レジスタ設定中は、バスマスタを停止してください。

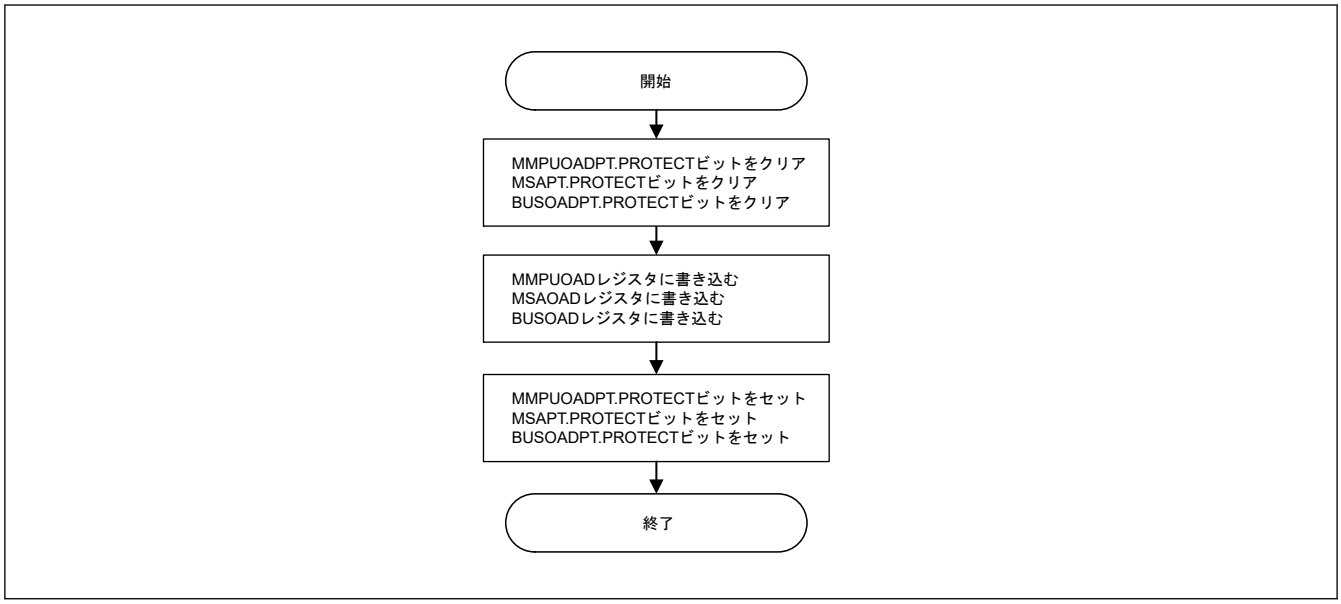


図 14.3 リセット後の OAD 設定フロー

詳細については、「15.3.1.23. MMPUOADPT : MMPU 検出後の動作保護レジスタ」と「15.3.1.22. MMPUOAD : MMPU 検出後の動作レジスタ」を参照してください。

詳細については、「40.8.15. MSAPT : マスタセキュリティ属性保護レジスタ」と「40.8.14. MSAOAD : マスタセキュリティ属性検出後動作レジスタ」を参照してください。

(1) マスタセキュリティ属性ユニットエラー

CPU と DAP 以外のバスマスタは、非セキュアマスタからのセキュアエイリアスアドレスへのアクセスをブロックする MSAU を持っています。CPU には IDAU および SAU があるので、MSAU はありません。MSAU エラーが検出されると、マスタにエラー応答が返されます。同時に、MSAU エラー発生時のアドレスを BMSAnERRADD (n = 4, 5) に格納し、MSAU エラー発生時の RW 情報を BMSAnERRRW (n = 4, 5) に格納し、BUSnERRSTAT (n = 1～5, 10) レジスタの MSERRSTAT ビットを 1 に設定します。さらに、MSAOAD.OAD の設定に従って NMI 要求またはリセット要求が発生します。BMSAnERRADD (n = 4, 5)、BMSAnERRRW (n = 4, 5)、BUSnERRSTAT (n = 1～5, 10) は、バスエラーリセットおよび共通メモリエラーリセット以外のリセットまたは BUSnERRCLR (n = 1～5, 10) でクリアされるまで保持されるので、NMI ハンドラで、またはリセット後、確認することができます。NMI 要求は、リセット後、または BUSnERRCLR (n = 1～5, 10) による BUSnERRSTAT (n = 1～5, 10).MSERRSTAT ビットのクリア後の最初の MSAU エラー時にのみ発生します。

(2) バスマスタ MPU エラー

CPU と DAP 以外のバスマスタには、設定されたアドレス領域のアクセス制御のためにマスタ MPU がありますが、CPU は Arm MPU があるのでマスタ MPU がありません。マスタ MPU エラーが検出されると、マスタにエラー応答が返されます。同時に、マスタ MPU エラー発生時のアドレスを BUSnERRADD (n = 4, 5) に格納し、マスタ MPU エラー発生時の RW 情報を BUSnERRRW (n = 4, 5) に格納し、BUSnERRSTAT (n = 1～5, 10) レジスタの MMERRSTAT ビットを 1 に設定します。さらに、MMPUOAD.OAD の設定に従って NMI 要求またはリセット要求が発生します。BUSnERRADD (n = 4, 5)、BUSnERRRW (n = 4, 5)、BUSnERRSTAT (n = 1～5, 10) は、バスエラーリセットおよび共通メモリエラーリセット以外のリセットまたは BUSnERRCLR (n = 1～5, 10) でクリアされるまで保持されるので、NMI ハンドラで、またはリセット後、確認することができます。NMI 要求は、リセット後、または BUSnERRCLR (n = 1～5, 10) による BUSnERRSTAT (n = 1～5, 10).MMERRSTAT ビットのクリア後の最初のマスタ MPU エラー時にのみ発生します。

(3) 不正アクセスエラー

「14.4.3. 不正アドレスアクセスエラーを引き起こす条件」に従って、不正アクセスエラーが発生します。不正アクセスエラーが検出されると、マスタにエラー応答が返されます。DAP 以外のマスタが不正アドレスアクセスエ

ラーを起こした場合、BUSnERRADD (n = 4, 5) に不正アクセスエラー発生アドレスを格納し、BUSnERRRW (n = 4, 5) に不正アクセスエラー発生 RW 情報を格納して、BUSnERRSTAT (n = 1～5, 10) レジスタの ILERRSTAT ビットを 1 に設定します。さらに、BUSOAD.ILERROAD の設定に従って NMI 要求またはリセット要求が発生します。BUSnERRADD (n = 4, 5)、BUSnERRRW (n = 4, 5)、BUSnERRSTAT (n = 1～5, 10) は、バスエラーリセットおよび共通メモリエラーリセット以外のリセットまたは BUSnERRCLR (n = 1～5, 10) でクリアされるまで保持されるので、BusFault ハンドラまたは NMI ハンドラで確認することができます。NMI 要求は、リセット後、または BUSnERRCLR (n = 1～5, 10) による BUSnERRSTAT (n = 1～5, 10).ILERRSTAT ビットのクリア後の最初の不正エラー時にのみ発生します。

(4) スレーブ TrustZone フィルタエラー

スレーブ TrustZone フィルタエラーが検出されると、マスタにエラー応答が返されます。DAP 以外のマスタがスレーブ TrustZone フィルタエラーを起こした場合、BMSAnERRADD (n = 4, 5) にスレーブ TrustZone フィルタエラー発生アドレスを格納し、BMSAnERRRW (n = 4, 5) にスレーブ TrustZone フィルタエラー発生 RW 情報を格納して、BUSnERRSTAT (n = 1～5, 10) レジスタの SLERRSTAT ビットを 1 に設定します。さらに、BUSOAD.SLERROAD の設定に従って NMI 要求またはリセット要求が発生します。BMSAnERRADD (n = 4, 5)、BMSAnERRRW (n = 4, 5)、BUSnERRSTAT (n = 1～5, 10) は、バスエラーリセットおよび共通メモリエラーリセット以外のリセットまたは BUSnERRCLR (n = 1～5, 10) でクリアされるまで保持されるので、NMI ハンドラで、またはリセット後、確認することができます。NMI 要求は、リセット後、または BUSnERRCLR (n = 1～5, 10) による BUSnERRSTAT (n = 1～5, 10).SLERRSTAT ビットのクリア後の最初のスレーブ TrustZone フィルタエラー時にのみ発生します。

(5) スレーブバスエラー

スレーブバスエラーはスレーブで発生します。スレーブバスエラーが検出されると、マスタにエラー応答が返されます。DAP 以外のマスタがスレーブバスエラーを起こした場合、BUSnERRADD (n = 4, 5) にスレーブバスエラー発生アドレスを格納し、BUSnERRRW (n = 4, 5) にスレーブバスエラー発生 RW 情報を格納して、BUSnERRSTAT (n = 1～5, 10) レジスタの SLERRSTAT ビットを 1 に設定します。さらに、BUSOAD.SLERROAD の設定に従って NMI 要求またはリセット要求が発生します。BUSnERRADD (n = 4, 5)、BUSnERRRW (n = 4, 5)、BUSnERRSTAT (n = 1～5, 10) は、バスエラーリセットおよび共通メモリエラーリセット以外のリセットまたは BUSnERRCLR (n = 1～5, 10) でクリアされるまで保持されるので、BusFault ハンドラまたは NMI ハンドラで確認することができます。NMI 要求は、リセット後、または BUSnERRCLR (n = 1～5, 10) による BUSnERRSTAT (n = 1～5, 10).SLERRSTAT ビットのクリア後の最初のスレーブバスエラー時にのみ発生します。

14.4.3 不正アドレスアクセスエラーを引き起こす条件

バスアクセスによる不正アドレスアクセスエラーは、表 14.15 に示すアドレス空間で発生します。

表 14.15 不正アドレスアクセスエラーを引き起こす条件 (1/3)

アドレス		スレーブバス	マスタバス				
開始	終了		CPU MAXI	CPU PAHB	DMAC/DTC	EDMAC	CEU
0x0000_0000	0x00FF_FFFF	CPU SAHBI	E	N/A	—	E	E
0x0100_0000	0x01FF_FFFF	予約	E	N/A	E	E	E
0x0200_0000	0x03FF_FFFF	FHBI	—	N/A	—	E	E
0x0400_0000	0x0FFF_FFFF	予約	E	N/A	E	E	E
0x1000_0000	0x10FF_FFFF	CPU SAHBI	E	N/A	—	E	E
0x1100_0000	0x11FF_FFFF	予約	E	N/A	E	E	E
0x1200_0000	0x13FF_FFFF	FHBI	—	N/A	—	E	E
0x1400_0000	0x1FFF_FFFF	予約	E	N/A	E	E	E
0x2000_0000	0x20FF_FFFF	CPU SAHBI	E	N/A	—	E	E
0x2100_0000	0x21FF_FFFF	予約	E	N/A	E	E	E
0x2206_0000	0x220D_FFFF	S1BI	—	N/A	—	—	—
0x220E_0000	0x25FF_FFFF	予約	E	N/A	E	E	E
0x2600_0000	0x2600_03FF	STBYSBI	—	N/A	—	—	E

表 14.15　不正アドレスアクセスエラーを引き起こす条件 (2/3)

アドレス		スレーブバス	マスタバス				
開始	終了		CPU MAXI	CPU PAHB	DMAC/DTC	EDMAC	CEU
0x2600_0400	0x26FF_FFFF	予約	E	N/A	E	E	E
0x2700_0000	0x2703_FFFF	FLBI	—	N/A	—	E	E
0x2704_0000	0x2FFF_FFFF	予約	E	N/A	E	E	E
0x3000_0000	0x30FF_FFFF	CPU SAHBI	E	N/A	—	E	E
0x3100_0000	0x31FF_FFFF	予約	E	N/A	E	E	E
0x3206_0000	0x320D_FFFF	S1BI	—	N/A	—	—	—
0x320E_0000	0x35FF_FFFF	予約	E	N/A	E	E	E
0x3600_0000	0x3600_03FF	STBYSBI	—	N/A	—	—	E
0x3600_0400	0x36FF_FFFF	予約	E	N/A	E	E	E
0x3700_0000	0x3703_FFFF	FLBI	—	N/A	—	E	E
0x3704_0000	0x3FFF_FFFF	予約	E	N/A	E	E	E
0x4000_0000	0x4000_0FFF	PSBI	N/A	—	—	E	E
0x4000_1000	0x4000_1FFF	予約	N/A	E(注1)	E	E	E
0x4000_2000	0x4000_4FFF	PSBI	N/A	—	—	E	E
0x4000_5000	0x4000_5FFF	予約	N/A	E(注1)	E	E	E
0x4000_6000	0x4000_6FFF	PSBI	N/A	—	—	E	E
0x4000_7000	0x4000_7FFF	予約	N/A	E(注1)	E	E	E
0x4000_8000	0x4000_8FFF	PSBI	N/A	—	—	E	E
0x4000_9000	0x4000_9FFF	予約	N/A	E(注1)	E	E	E
0x4000_A000	0x4000_AFFF	PSBI	N/A	—	—	E	E
0x4000_B000	0x4000_BFFF	予約	N/A	E(注1)	E	E	E
0x4000_C000	0x4000_CFFF	PSBI	N/A	—	E	E	E
0x4000_D000	0x4000_EFFF	予約	N/A	E(注1)	E	E	E
0x4000_F000	0x4001_CFFF	PSBI	N/A	—	—	E	E
0x4001_D000	0x4001_DFFF	予約	N/A	E(注1)	E	E	E
0x4001_E000	0x4001_EFFF	PSBI	N/A	—	—	E	E
0x4001_F000	0x400F_FFFF	予約	N/A	E(注1)	E	E	E
0x4010_0000	0x4011_FFFF	FLBI	N/A	—	—	E	E
0x4012_0000	0x401F_FFFF	予約	N/A	E(注1)	E	E	E
0x4020_0000	0x402F_FFFF	PBBI	N/A	—	—	E	E
0x4030_0000	0x403F_FFFF	PABI	N/A	—	—	E	E
0x4040_0000	0x404F_FFFF	PIBI	N/A	—	—	E	E
0x4050_0000	0x4FFF_FFFF	予約	N/A	E(注1)	E	E	E
0x5000_0000	0x5000_0FFF	PSBI	N/A	—	—	E	E
0x5000_1000	0x5000_1FFF	予約	N/A	E(注1)	E	E	E
0x5000_2000	0x5000_4FFF	PSBI	N/A	—	—	E	E
0x5000_5000	0x5000_5FFF	予約	N/A	E(注1)	E	E	E
0x5000_6000	0x5000_6FFF	PSBI	N/A	—	—	E	E
0x5000_7000	0x5000_7FFF	予約	N/A	E(注1)	E	E	E
0x5000_8000	0x5000_8FFF	PSBI	N/A	—	—	E	E

表 14.15　不正アドレスアクセスエラーを引き起こす条件 (3/3)

アドレス		スレーブバス	マスタバス				
開始	終了		CPU MAXI	CPU PAHB	DMAC/DTC	EDMAC	CEU
0x5000_9000	0x5000_9FFF	予約	N/A	E(注1)	E	E	E
0x5000_A000	0x5000_AFFF	PSBI	N/A	—	—	E	E
0x5000_B000	0x5000_BFFF	予約	N/A	E(注1)	E	E	E
0x5000_C000	0x5000_CFFF	PSBI	N/A	—	E	E	E
0x5000_D000	0x5000_EFFF	予約	N/A	E(注1)	E	E	E
0x5000_F000	0x5000_FFFF	PSBI	N/A	—	—	E	E
0x5001_0000	0x5001_CFFF	PSBI	N/A	—	—	E	E
0x5001_D000	0x5001_DFFF	予約	N/A	E(注1)	E	E	E
0x5001_E000	0x5001_EFFF	PSBI	N/A	—	—	E	E
0x5001_F000	0x500F_FFFF	予約	N/A	E(注1)	E	E	E
0x5010_0000	0x5011_FFFF	FLBI	N/A	—	—	E	E
0x5012_0000	0x501F_FFFF	予約	N/A	E(注1)	E	E	E
0x5020_0000	0x502F_FFFF	PBBI	N/A	—	—	E	E
0x5030_0000	0x503F_FFFF	PABI	N/A	—	—	E	E
0x5040_0000	0x504F_FFFF	PIBI	N/A	—	—	E	E
0x5050_0000	0x5FFF_FFFF	予約	N/A	E(注1)	E	E	E
0x7000_0000	0x7FFF_FFFF	予約	E	N/A	E	E	E
0x8000_0000	0x9FFF_FFFF	EOBI	—	E	—	—	—
0xA000_0000	0xFFFF_FFFF	予約	E	N/A	E	E	E

注.　E：バスエラー発生あり
N/A：転送発生なし
—：バスエラーの発生なし。予約領域がある場合でも、バスエラーは発生していません。
FLB および S1B の予約領域にはアクセスしないでください。アクセスした場合、スレーブ TZF エラーが発生する可能性があります。

注 1.　CPU がバッファラブル書き込みを発行する場合、不正なアドレスアクセスエラーではなく、バッファラブル書き込みエラーが発生します。

14.4.4　タイムアウト

一部の周辺モジュールでは、モジュールストップ機能によってタイムアウトエラーが発生することがあります。

一定期間スレーブから応答がないと、タイムアウトエラーが検出されます。

タイムアウトエラーは、AHB-Lite プロトコルのエラー応答により要求元マスタに返されます。

14.5　参考資料

1. ARM Limited, *Arm v8-M Architecture Reference Manual*(ARM DDI0553B.g)
2. ARM Limited, *Arm® Cortex®-M85 Processor Integration and Implementation Manual Revision:r0p2* (ARM 101925_0002_05_en)
3. ARM Limited, *Arm® Cortex®-M85 Processor Technical Reference Manual Revision:r0p2* (ARM 101924_0002_05_en)
4. ARM Limited, *Arm® Cortex®-M85 Processor User Guide Reference Material Revision:r0p2* (ARM 101927_0002_05_en)
5. ARM Limited, *ARM AMBA 5 AHB Protocol Specification AHB5, AHB-Lite* (ARM IHI 0033B.b)
6. ARM Limited, *ARM AMBA AXI and ACE Protocol Specification AXI3, AXI4, and AXI4-Lite*, ACE and ACE-Lite (ARM IHI 0022H.c)
7. ARM Limited, *ARM AMBA APB Protocol Specification Version: 2.0* (ARM IHI 0024D)

15. メモリプロテクションユニット (MPU)

15.1 概要

すべてのバスマスタはメモリプロテクションユニット (MPU) を備えています。

表 15.1 に MPU の仕様を示します。また、表 15.2 に各 MPU エラーの検出動作を示します。

表 15.1 MPU の仕様

項目	モジュール／機能	内容
メモリプロテクション	Arm MPU	CPU 用のメモリプロテクション機能： ● CPU：セキュア MPU の 8 領域と非セキュア MPU の 8 領域
	バスマスタ MPU	CPU を除く各バスマスタ用のメモリプロテクション機能： ● DMAC (DMAC/DTC): 8 領域 ● EDMAC (Ether-DMAC)：4 領域 ● CEU: 2 領域

表 15.2 MPU エラー検出動作

MPU の種類	アクセス許可設定	バウンダリアドレス設定の最小単位	MPU のエラー通知に対するエラー応答	エラー検出時のバスアクセス	エラーアクセス情報の保持
Arm MPU	読み出しアクセス 書き込みアクセス 実行	32 バイト	サポートあり(注1)	● 不正書き込みアクセス ● 不正読み出しアクセス	CPU で保持
バスマスタ MPU	読み出しアクセス 書き込みアクセス プリビレッジアクセス （DMAC/DTC 専用）	DMAC：32 バイト EDMAC: 32 バイト CEU: 4 KB	サポートあり	● 書き込みアクセスは無視 ● 読み出しアクセスは 0 が読める	保持

注 1. アンプリビレッジデバッグ拡張メカニズムによりプリビレッジ DAP 要求がアンプリビレッジアクセスに降格し、MPU の確認を受ける必要があります。プリビレッジ要求とアンプリビレッジ要求は、MPU の確認を受ける必要があります。

Arm MPU に対するエラーアクセス情報については、「15.4. 参考資料」を参照してください。他の MPU に対するエラーアクセス情報については、「15.3.1. レジスタの説明」および「14.4. バスエラー監視部」を参照してください。

15.2 Arm MPU

Arm MPU は次の機能を全面的にサポートしています。

- CPU: 8 つのセキュア領域と 8 つの非セキュア領域
- アクセス許可
- メモリ属性のシステムへのエクスポート

Arm MPU の不一致およびアクセス違反によって、プログラマブルプライオリティ MemManage フォールト（ハードフォールト）ハンドラが呼び出されます。詳細は、「15.4. 参考資料」を参照してください。

15.3 バスマスタ MPU

バスマスタ MPU は、全アドレス空間 (0x0000_0000～0xFFFF_FFFF) を対象にバスマスタがアクセスするアドレスを監視しています。アクセス制御情報は、最大で以下の領域まで設定可能です。

- 8 領域 (DMAC/DTC)
- 4 領域 (EDMAC)
- 2 領域 (CEU)

バスマスタ MPU は、本設定に従って各領域へのアクセスを監視します。

アクセスがバスマスタ MPU に設定されたアクセス許可に違反すると、バスマスタ MPU はエラー応答を返します。エラーアクセス情報については、「15.3.1. レジスタの説明」および「14.4.2. バスエラー発生時の動作」を参照してください。

表 15.3 にバスマスタ MPU の仕様を示します。

表 15.3 バスマスタ MPU の仕様

項目	内容
マスタグループ	（グループ名：対応するバスマスタ） ● DMAC：DMAC/DTC ● EDMAC: Ether-DMAC ● CEU: CEU
保護領域	0x0000_0000～0xFFFF_FFFF
領域数	● DMAC：8 領域 ● EDMAC: 4 領域 ● CEU: 2 領域
各領域のアドレス仕様	● 領域の開始アドレスと終了アドレスを設定
各領域のメモリプロテクション有効または無効設定	● 対応する領域に対して有効または無効を設定
各領域のアクセス制御設定	● 読み出しおよび書き込み許可 ● アンプリビレッジアクセス許可
エラー検出時の動作	● リセットまたはエラー応答
レジスタの保護	● 不正書き込みからレジスタを保護可能

15.3.1 レジスタの説明

レジスタの書き込み処理は、対応するマスタグループのバスアクセス停止後に行われます。

各レジスタには SA（セキュリティ属性）が設定されます。SA は、対象レジスタがセキュアレジスタか非セキュアレジスタかを決めるのに使用されます。

15.3.1.1 MMPUSARA：マスタメモリプロテクションユニットセキュリティ属性レジスタ A

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x130

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	MMPUASAn[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	MMPUASAn[7:0]	MMPUA セキュリティ属性 n (n = 0～7) 0: セキュア 1: 非セキュア	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1
P-TYPE-1

MMPUASAn[7:0] ビット（MMPUA セキュリティ属性 n (n = 0～7)）

本ビットは、バスマスタ MPU 領域設定レジスタのセキュリティ属性を指定します。対象レジスタは以下です。

- MMPUSDMACn (n = 0～7)
- MMPUEDMACn (n = 0～7)

- MMPUACDMACn (n = 0～7)

15.3.1.2 MMPUSARB : マスタメモリプロテクションユニットセキュリティ属性レジスタ B

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x134

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MMPUBSA8	—	—	—	—	—	—	—	MMPUBSA0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MMPUBSA0	MMPUB セキュリティ属性 0 0: セキュア 1: 非セキュア	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	MMPUBSA8	MMPUB セキュリティ属性 8 0: セキュア 1: 非セキュア	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1
P-TYPE-1

MMPUBSA0 ビット（MMPUB セキュリティ属性 0）

本ビットは、DMAC MPU 許可設定レジスタのセキュリティ属性を指定します。対象レジスタは以下です。

- MMPUENDMAC
- MMPUENPTDMAC

MMPUBSA8 ビット（MMPUB セキュリティ属性 8）

本ビットは、MPU 検出後の動作設定レジスタのセキュリティ属性を指定します。対象レジスタは以下です。

- MMPUOAD
- MMPUOADPT

15.3.1.3 MMPUSDMACn : DMAC 用 MMPU スタートアドレスレジスタ (n = 0～7)

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0204 + 0x010 × n

Bit position:	31	0
Bit field:		
Value after reset:	x x x x x x x x x x x x x x x x x x x x x x x x x x x x 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	n/a	領域スタートアドレスレジスタ 領域スタートアドレス（領域決定に使用） MPU 領域スタートアドレスは 0x0000_0000～0xFFFF_FFE0 の範囲で設定してください。 ビット 0～ビット 4 への書き込みは無視されます。読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. S-TYPE-3
P-TYPE-2

MMPUSDMACn (n = 0～7) レジスタは、領域開始位置のスタートアドレスを指定します。

本レジスタは、ワードアクセスをする必要があります。バイトアクセスとハーフワードアクセスは禁止されています。バイトアクセスとハーフワードアクセスを実行した場合には、その動作は保証されません。

MMPUSDMACn (n = 0～7)、MMPUEDMACn (n = 0～7)、および MMPUACDMACn (n = 0～7) レジスタで設定される領域を、MMPUSARA レジスタでセキュアアクセスまたは非セキュアアクセスに設定可能です。対応する MMPUSARA.MMPUASAn (n = 0～7) ビットが 1 に設定されると、その領域には非セキュアアクセスのみが許可されます。一方、対応する MMPUSARA.MMPUASAn (n = 0～7) ビットが 0 に設定されると、その領域にはセキュアアクセスのみが許可されます。

15.3.1.4 MMPUSEDMACn : EDMAC 用 MMPU スタートアドレスレジスタ (n = 0～3)

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0604+ 0x010 × n

Bit position:	31																										0
Bit field:																											
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	EDMAC 用領域スタートアドレスレジスタ 領域スタートアドレス（領域決定に使用） MPU 領域スタートアドレスは 0x0000_0000～0xFFFF_FFE0 の範囲で設定してください。 ビット 0～ビット 4 への書き込みは無視されます。読むと 0 が読めます。 書く場合、0 としてください。	R/W

注. S-TYPE-3
P-TYPE-2

MMPUSEDMACn (n = 0～3) レジスタは、領域開始位置のスタートアドレスを指定します。

本レジスタは、ワードアクセスをする必要があります。バイトアクセスとハーフワードアクセスは禁止されています。バイトアクセスとハーフワードアクセスを実行した場合には、その動作は保証されません。

15.3.1.5 MMPUSCEUn : CEU 用 MMPU スタートアドレスレジスタ (n = 0, 1)

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0E04+ 0x010 × n

Bit position:	31																										0
Bit field:																											
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	CEU 用領域スタートアドレスレジスタ 領域スタートアドレス（領域決定に使用） MPU 領域スタートアドレスは 0x0000_0000～0xFFFF_F000 の範囲で設定してください。 ビット 0～ビット 11 への書き込みは無視されます。読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3
P-TYPE-2

MMPUSCEUn (n = 0, 1) レジスタは、領域開始位置のスタートアドレスを指定します。

本レジスタは、ワードアクセスをする必要があります。バイトアクセスとハーフワードアクセスは禁止されています。バイトアクセスとハーフワードアクセスを実行した場合には、その動作は保証されません。

15.3.1.6 MMPUEDMACn : DMAC 用 MMPU エンドアドレスレジスタ (n = 0～7)

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0208+ 0x010 × n

Bit position:	31																								0
Bit field:																									
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	領域エンドアドレスレジスタ 領域エンドアドレス（領域決定に使用） MPU 領域エンドアドレスは 0x0000_001F～0xFFFF_FFFF の範囲で設定してください。 ビット 0～ビット 4 への書き込みは無視されます。読むと 1 が読めます。書く場合、1 としてください。	R/W

注. S-TYPE-3
P-TYPE-2

MMPUEDMACn (n = 0～7) レジスタは、領域終了位置のエンドアドレスを指定します。

本レジスタは、ワードアクセスをする必要があります。バイトアクセスとハーフワードアクセスは禁止されています。バイトアクセスとハーフワードアクセスを実行した場合には、その動作は保証されません。

15.3.1.7 MMPUEEDMACn : EDMAC 用 MMPU エンドアドレスレジスタ (n = 0～3)

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0608+ 0x010 × n

Bit position:	31																								0
Bit field:																									
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	EDMAC 用領域エンドアドレスレジスタ 領域エンドアドレス（領域決定に使用） MPU 領域エンドアドレスは 0x0000_001F～0xFFFF_FFFF の範囲で設定してください。 ビット 0～ビット 4 への書き込みは無視されます。読むと 1 が読めます。書く場合、1 としてください。	R/W

注. S-TYPE-3
P-TYPE-2

MMPUEEDMACn (n = 0～3) レジスタは、領域終了位置のエンドアドレスを指定します。

本レジスタは、ワードアクセスをする必要があります。バイトアクセスとハーフワードアクセスは禁止されています。バイトアクセスとハーフワードアクセスを実行した場合には、その動作は保証されません。

15.3.1.8 MMPUECEUn : CEU 用 MMPU エンドアドレスレジスタ (n = 0, 1)

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0E08+ 0x010 × n

Bit position:	31																												0
Bit field:																													
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	CEU 用領域エンドアドレスレジスタ 領域エンドアドレス（領域決定に使用） MPU 領域エンドアドレスは 0x0000_0FFF～0xFFFF_FFFF の範囲で設定してください。 ビット 0～ビット 11 への書き込みは無視されます。読むと 1 が読めます。書く場合、1 としてください。	R/W

注. S-TYPE-3
P-TYPE-2

MMPUECEUn (n = 0, 1) レジスタは、領域終了位置のエンドアドレスを指定します。

本レジスタは、ワードアクセスをする必要があります。バイトアクセスとハーフワードアクセスは禁止されています。バイトアクセスとハーフワードアクセスを実行した場合には、その動作は保証されません。

15.3.1.9 MMPUACDMACn : DMAC 用 MMPU アクセスコントロールレジスタ (n = 0～7)

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0200+ 0x010 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	PP	WP	RP	ENABLE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ENABLE	領域有効 0: DMAC 領域 n ユニット無効 1: DMAC 領域 n ユニット有効	R/W
1	RP	読み出し保護 0: 読み出し許可 1: 読み出し保護	R/W
2	WP	書き込み保護 0: 書き込み許可 1: 書き込み保護	R/W
3	PP	プリビレッジ保護 0: アンプリビレッジアクセス許可 1: アンプリビレッジアクセス保護	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3
P-TYPE-2

ENABLE ビット（領域有効）

ENABLE ビットは、DMAC 領域 n (n = 0～7) ユニットを有効または無効にします。

ENABLE ビットを 1 に設定すると、MMPUSDMACn (n = 0～7) と MMPUEDMACn (n = 0～7) の範囲へのアクセスの許可または保護に対して、RP ビット、WP ビット、および PP ビットが有効になります。

ENABLE ビットを 0 に設定すると、DMAC 領域 n (n = 0～7) へのアクセスは領域外となります。

RP ビット（読み出し保護）

RP ビットは、DMAC 領域 n (n = 0～7) の読み出し保護を有効または無効にします。

ENABLE ビットを 1 に設定すると、RP ビットは使用可能になります。

WP ビット（書き込み保護）

WP ビットは、DMAC 領域 n (n = 0～7) の書き込み保護を有効または無効にします。

ENABLE ビットを 1 に設定すると、WP ビットは使用可能になります。

PP ビット（プリビレッジ保護）

PP ビットは、DMAC 領域 n (n = 0～7) のアンプリビレッジアクセスを有効または無効にします。

ENABLE ビットを 1 に設定すると、PP ビットは使用可能になります。

15.3.1.10 MMPUACEDMACn : EDMAC 用 MMPU アクセスコントロールレジスタ (n = 0～3)

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0600+ 0x010 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	WP	RP	ENABLE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ENABLE	領域有効 0: EDMAC 領域 n ユニット無効 1: EDMAC 領域 n ユニット有効	R/W
1	RP	読み出し保護 0: 読み出し許可 1: 読み出し保護	R/W
2	WP	書き込み保護 0: 書き込み許可 1: 書き込み保護	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3
P-TYPE-2

ENABLE ビット（領域有効）

ENABLE ビットは、EDMAC 領域 n (n = 0～3) ユニットを有効または無効にします。

ENABLE ビットを 1 に設定すると、MMPUSEDMACn (n = 0～3) と MMPUEEDMACn (n = 0～3) の範囲へのアクセスの許可または保護に対して、RP ビットおよび WP ビットが有効になります。

ENABLE ビットを 0 に設定すると、EDMAC 領域 n (n = 0～3) へのアクセスは領域外となります。

RP ビット（読み出し保護）

RP ビットは、EDMAC 領域 n (n = 0～3) の読み出し保護を有効または無効にします。

ENABLE ビットを 1 に設定すると、RP ビットは使用可能になります。

WP ビット（書き込み保護）

WP ビットは、EDMAC 領域 n (n = 0～3) の書き込み保護を有効または無効にします。

ENABLE ビットを 1 に設定すると、WP ビットは使用可能になります。

15.3.1.11 MMPUACCEUn : CEU 用 MMPU アクセスコントロールレジスタ (n = 0, 1)

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0E00+ 0x010 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	WP	RP	ENABLE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ENABLE	領域有効 0: CEU 領域 n ユニット無効 1: CEU 領域 n ユニット有効	R/W
1	RP	読み出し保護 0: 読み出し許可 1: 読み出し保護	R/W
2	WP	書き込み保護 0: 書き込み許可 1: 書き込み保護	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3
P-TYPE-2

ENABLE ビット（領域有効）

ENABLE ビットは、CEU 領域 n (n = 0, 1) ユニットを有効または無効にします。

ENABLE ビットを 1 に設定すると、MMPUSCEUn (n = 0, 1) と MMPUECEUn (n = 0, 1) に設定された領域へのアクセスの許可または保護に対して、RP ビットおよび WP ビットが有効になります。

ENABLE ビットを 0 に設定すると、CEU 領域 n (n = 0, 1) へのアクセスは領域外となります。

RP ビット（読み出し保護）

RP ビットは、CEU 領域 n (n = 0, 1) の読み出し保護を有効または無効にします。

ENABLE ビットを 1 に設定すると、RP ビットは使用可能になります。

WP ビット（書き込み保護）

WP ビットは、CEU 領域 n (n = 0, 1) の書き込み保護を有効または無効にします。

ENABLE ビットを 1 に設定すると、WP ビットは使用可能になります。

15.3.1.12 MMPUENDMAC : DMAC 用 MMPU イネーブルレジスタ

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0100

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	ENABLE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ENABLE	DMAC のバスマスタ MPU 有効 0: DMAC のバスマスタ MPU 無効 1: DMAC のバスマスタ MPU 有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
15:8	KEY[7:0]	キーコード ENABLE ビットへの書き込みを許可または禁止します。	W

注. S-TYPE-3
P-TYPE-2

注. ハーフワードアクセスで書き込みを行ってください。バイトライトアクセスは禁止です。
バイトライトアクセスを実行した場合、動作は保証されません。

ENABLE ビット（DMAC のバスマスタ MPU 有効）

ENABLE ビットは、DMAC のバスマスタ MPU 機能を有効または無効にします。

ENABLE ビットを 1 に設定すると、MMPUACDMACn (n = 0～7) レジスタは使用可能になります。

ENABLE ビットを 0 に設定すると、MMPUACDMACn (n = 0～7) レジスタはすべての領域に対して使用できなくなります。

各マスタグループのバスマスタ MPU 機能は、ENABLE ビットを設定します。

ENABLE ビットを設定する際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、ENABLE ビットへの書き込みを許可または禁止します。

ENABLE ビットに書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

0xA5 以外の値を KEY[7:0]ビットに書き込むと、ENABLE ビットは更新されません。KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

15.3.1.13 MMPUENEDMAC : EDMAC 用 MMPU イネーブルレジスタ

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0500

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	ENABLE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ENABLE	EDMAC のバスマスタ MPU 有効 0: EDMAC のバスマスタ MPU 無効 1: EDMAC のバスマスタ MPU 有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード ENABLE ビットへの書き込みを許可または禁止します。	W

注. S-TYPE-3
P-TYPE-2

注. ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合、動作は保証されません。

ENABLE ビット（EDMAC のバスマスタ MPU 有効）

ENABLE ビットは、各マスタグループのバスマスタ MPU 機能を有効または無効にします。

ENABLE ビットを 1 に設定すると、MMPUACEDMACn (n = 0～3) レジスタは使用可能になります。

ENABLE ビットを 0 に設定すると、MMPUACEDMACn (n = 0～3) レジスタはすべての領域に対して使用できなくなります。

各マスタグループのバスマスタ MPU 機能は、ENABLE ビットを設定します。

ENABLE ビットを設定する際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、ENABLE ビットへの書き込みを禁止／許可します。

ENABLE ビットに書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

0xA5 以外の値を KEY[7:0]ビットに書き込むと、ENABLE ビットは更新されません。KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

15.3.1.14 MMPUENCEU : CEU 用 MMPU イネーブルレジスタ

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0D00

Bit position:	15							8								0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	ENABLE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ENABLE	CEU のバスマスタ MPU 有効 0: CEU のバスマスタ MPU 無効 1: CEU のバスマスタ MPU 有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード ENABLE ビットへの書き込みを許可または禁止します。	W

注. S-TYPE-3
P-TYPE-2

注. ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合、動作は保証されません。

ENABLE ビット（CEU のバスマスタ MPU 有効）

ENABLE ビットは、各マスタグループのバスマスタ MPU 機能を有効または無効にします。

ENABLE ビットを 1 に設定すると、MMPUACCEUn (n = 0, 1) レジスタは使用可能になります。

ENABLE ビットを 0 に設定すると、MMPUACCEUn (n = 0, 1) レジスタはすべての領域に対して使用できなくなります。

各マスタグループのバスマスタ MPU 機能は、ENABLE ビットを設定します。

ENABLE ビットを設定する際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、ENABLE ビットへの書き込みを禁止／許可します。

ENABLE ビットに書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

0xA5 以外の値を KEY[7:0]ビットに書き込むと、ENABLE ビットは更新されません。KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

15.3.1.15 MMPUENPTDMAC : DMAC 用 MMPU イネーブル保護レジスタ

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0104

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: MMPUENDMAC レジスタの書き込みは可能 1: MMPUENDMAC レジスタの書き込みから保護。読み出しは可能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

注. S-TYPE-3
P-TYPE-2

注. ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合、動作は保証されません。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、MMPUENDMAC レジスタの保護を制御します。

PROTECT ビットを設定する際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを許可または禁止します。

PROTECT ビットに書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

0xA5 以外の値を KEY[7:0]ビットに書き込むと、ENABLE ビットは更新されません。KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

15.3.1.16 MMPUENPTEDMAC : EDMAC 用 MMPU イネーブル保護レジスタ

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0504

Bit position:	15							8								0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: MMPUENEDMAC レジスタの書き込みは可能 1: MMPUENEDMAC レジスタの書き込みから保護。読み出しは可能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

注. S-TYPE-3
P-TYPE-2

注. ハーフワードアクセスで書き込みを行ってください。

バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合、動作は保証されません。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、MMPUENEDMAC レジスタの保護を制御します。

PROTECT ビットを設定する際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを禁止／許可します。

PROTECT ビットに書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

0xA5 以外の値を KEY[7:0]ビットに書き込むと、ENABLE ビットは更新されません。KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

15.3.1.17 MMPUENPTCEU : CEU 用 MMPU イネーブル保護レジスタ

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0D04

Bit position:	15							8								0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: MMPUENCEU レジスタの書き込みは可能 1: MMPUENCEU レジスタの書き込みから保護。読み出しは可能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

注. S-TYPE-3
P-TYPE-2

注. ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合、動作は保証されません。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、MMPUENCEU レジスタの保護を制御します。

PROTECT ビットを設定する際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを禁止／許可します。

PROTECT ビットに書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

0xA5 以外の値を KEY[7:0]ビットに書き込むと、ENABLE ビットは更新されません。KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

15.3.1.18 MMPURPTDMAC : DMAC 非セキュア用 MMPU 領域保護レジスタ

Base address: RMPU_NS = 0x5000_0000

Offset address: 0x0108

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: DMAC 用バスマスタ MPU レジスタの書き込みは可能 1: DMAC 用バスマスタ MPU レジスタの書き込みから保護。読み出しは可能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

注. S-TYPE-7
P-TYPE-2

注. ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合、動作は保証されません。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、保護する関連レジスタへの書き込みを許可または禁止します。

MMPURPTDMAC.PROTECT ビットは以下のレジスタを制御します。

- 非セキュア MMPUSDMACn (n = 0～7) レジスタ
- 非セキュア MMPUEDMACn (n = 0～7) レジスタ
- 非セキュア MMPUACDMACn (n = 0～7) レジスタ

PROTECT ビットに書き込む際は、ハーフワードアクセスを使用して同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットに書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。0xA5 以外の値を KEY[7:0]ビットに書き込むと、PROTECT ビットは更新されません。KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

15.3.1.19 MMPURPTDMAC_SEC : DMAC セキュア用 MMPU 領域保護レジスタ

Base address: RMPU = 0x4000_0000

Offset address: 0x010C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: DMAC セキュア用バスマスタ MPU レジスタの書き込みは可能 1: DMAC セキュア用バスマスタ MPU レジスタの書き込みから保護。読み出しは可能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

注. S-TYPE-6
P-TYPE-2

注. ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合、動作は保証されません。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、保護する関連レジスタへの書き込みを許可または禁止します。

MMPURPTDMAC_SEC.PROTECT ビットは以下のレジスタを制御します。

- セキュア MMPUSDMACn (n = 0～7) レジスタ
- セキュア MMPUEDMACn (n = 0～7) レジスタ
- セキュア MMPUACDMACn (n = 0～7) レジスタ

PROTECT ビットに書き込む際は、ハーフワードアクセスを使用して同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットに書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。0xA5 以外の値を KEY[7:0]ビットに書き込むと、PROTECT ビットは更新されません。KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

15.3.1.20 MMPURPTEDMAC : EDMAC 用 MMPU 領域保護レジスタ

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0508

Bit position:	15								8							0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: EDMAC 用バスマスタ MPU レジスタの書き込みは可能 1: EDMAC 用バスマスタ MPU レジスタの書き込みから保護。読み出しは可能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

注. S-TYPE-3
P-TYPE-2

注. ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合、動作は保証されません。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、保護する関連レジスタへの書き込みを許可または禁止します。

MMPURPTEDMAC.PROTECT ビットは以下のレジスタを制御します。

- MMPUSEDMACn (n = 0～3) レジスタ
- MMPUEEDMACn (n = 0～3) レジスタ
- MMPUACEDMACn (n = 0～3) レジスタ

PROTECT ビットに書き込む際は、ハーフワードアクセスを使用して同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットに書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。0xA5 以外の値を KEY[7:0]ビットに書き込むと、PROTECT ビットは更新されません。KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

15.3.1.21 MMPURPTCEU : CEU 用 MMPU 領域保護レジスタ

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0D08

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: CEU 用バスマスタ MPU レジスタの書き込みは可能 1: CEU 用バスマスタ MPU レジスタの書き込みから保護。読み出しは可能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

注. S-TYPE-3
P-TYPE-2

注. ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合、動作は保証されません。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、保護する関連レジスタへの書き込みを許可または禁止します。

MMPURPTCEU.PROTECT ビットは以下のレジスタを制御します。

- MMPUSCEUn (n = 0, 1) レジスタ
- MMPUECEUn (n = 0, 1) レジスタ
- MMPUACCEUn (n = 0, 1) レジスタ

PROTECT ビットに書き込む際は、ハーフワードアクセスを使用して同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットに書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。0xA5 以外の値を KEY[7:0]ビットに書き込むと、PROTECT ビットは更新されません。KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

15.3.1.22 MMPUOAD : MMPU 検出後の動作レジスタ

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0000

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	OAD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 0: ノンマスカブル割り込み 1: リセット	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード OAD ビットへの書き込みを許可または禁止します。	R/W

注. S-TYPE-3
P-TYPE-2

注. ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合、動作は保証されません。

OAD ビット（検出後の動作）

OAD ビットは、アクセス違反が検出された場合の動作を指定します。

OAD ビットが 0 のとき、エラー応答が返され、ノンマスカブル割り込みが発生します。

OAD ビットが 1 のとき、リセット要求が発生します。

OAD ビットに書き込む際は、ハーフワードアクセスを使用して同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、OAD ビットへの書き込みを許可または禁止します。OAD ビットに書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。他の値を書き込むと、OAD ビットは更新されません。

KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

15.3.1.23 MMPUOADPT : MMPU 検出後の動作保護レジスタ

Base address: RMPU = 0x4000_0000
RMPU_NS = 0x5000_0000

Offset address: 0x0004

Bit position:	15							8								0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: MMPUOAD レジスタの書き込みは可能 1: MMPUOAD レジスタの書き込みから保護。読み出しは可能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

注. S-TYPE-3

P-TYPE-2

注. ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合、動作は保証されません。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、保護する関連レジスタへの書き込みを許可または禁止します。

MMPUOAD.PROTECT ビットは以下のレジスタを制御します。

- MMPUOAD レジスタ

PROTECT ビットに書き込む際は、ハーフワードアクセスを使用して同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットに書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。これ以外の値を KEY[7:0]ビットに書き込むと、PROTECT ビットは更新されません。KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

15.3.2 動作説明

15.3.2.1 メモリプロテクション

バスマスタ MPU は、各アクセス制御領域に設定されたアクセス制御情報を用いてメモリアクセスを監視します。アクセスがバスマスタ MPU に設定されたアクセス許可に違反すると、バスマスタ MPU はメモリプロテクションエラーを発生させます。

バスマスタ MPU には、DMAC、EDMAC、CEU のマスタグループがあります。メモリプロテクション機能は、統合したマスタグループに対してバスのアドレスをチェックし、バスマスタ MPU により保護領域へのマスタグループの不正アクセスをブロックします。

DMAC 用バスマスタ MPU の領域設定レジスタは、MMPUSARA レジスタを使用したセキュアマスタおよび非セキュアマスタに対して設定可能です。MMPUSARA.MMPUASAn = 0 における MPU 領域設定は、セキュアマスタからのアクセスのみに適用されます。MMPUSARA.MMPUASAn = 1 における MPU 領域設定は、非セキュアマスタからのアクセスのみに適用されます。図 15.1 に MPU のセキュア領域と非セキュア領域設定時のセキュアマスタと非セキュアマスタに対するアクセス権限の例を示します。

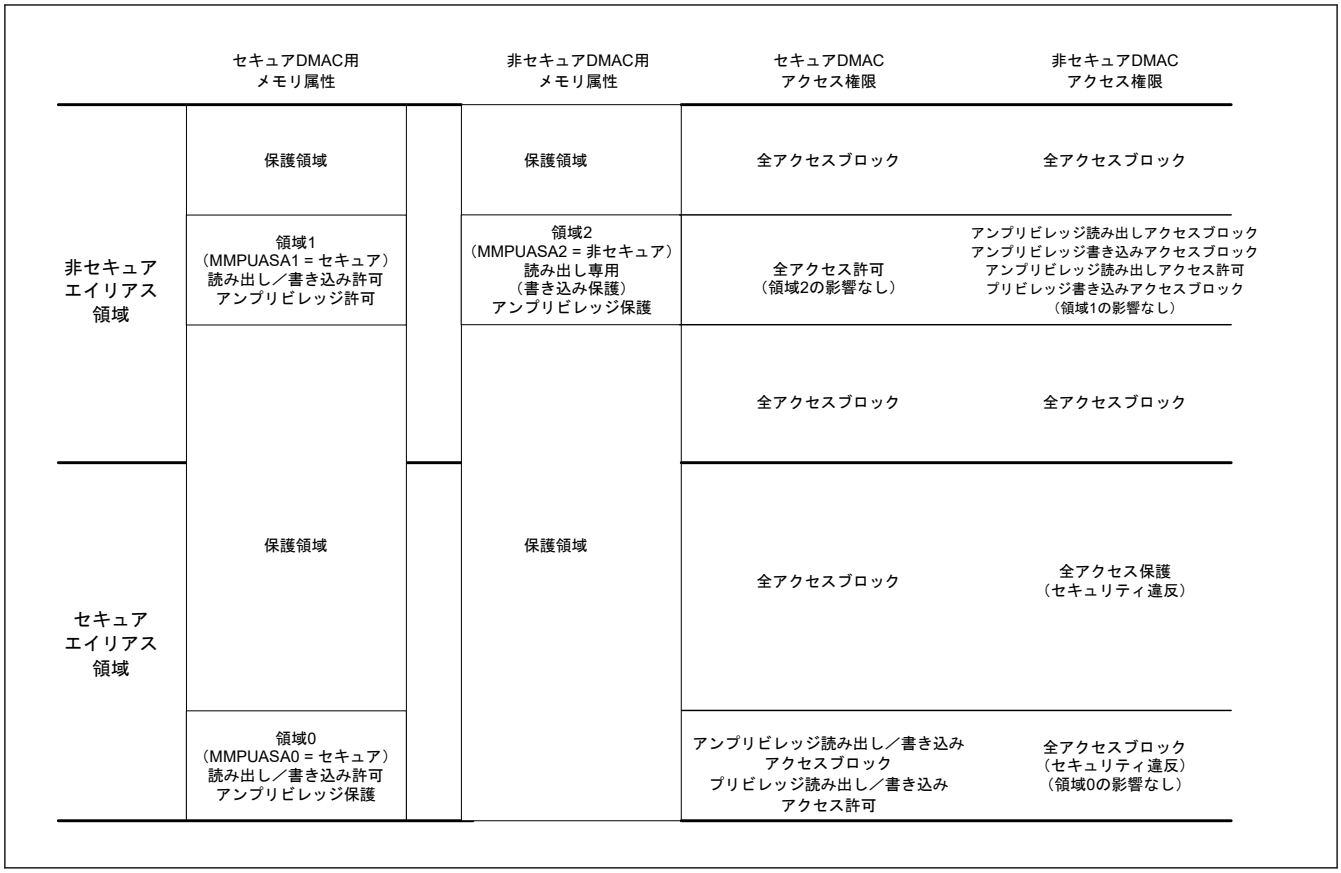


図 15.1　MPU のセキュア領域と非セキュア領域設定時のアクセス権限の例

バスマスタ MPU は、リセット後、全領域が許可領域です。MMPUENXXXX.ENABLE が 1 で、対応するバスマスタに MPU の領域設定がない場合、全領域が保護領域です。(XXXX = マスタグループ名)

図 15.2 にバスマスタ MPU 領域のオーバーラップによるアクセスの許可または保護について示します。

オーバーラップ領域へのアクセス制御は以下のとおりです。

- 1 つ以上の領域の出力が保護領域の場合、領域は保護領域として処理されます。
- 全領域の出力が領域外の場合、領域は保護領域として処理されます。
- 他の場合は許可領域として処理されます。

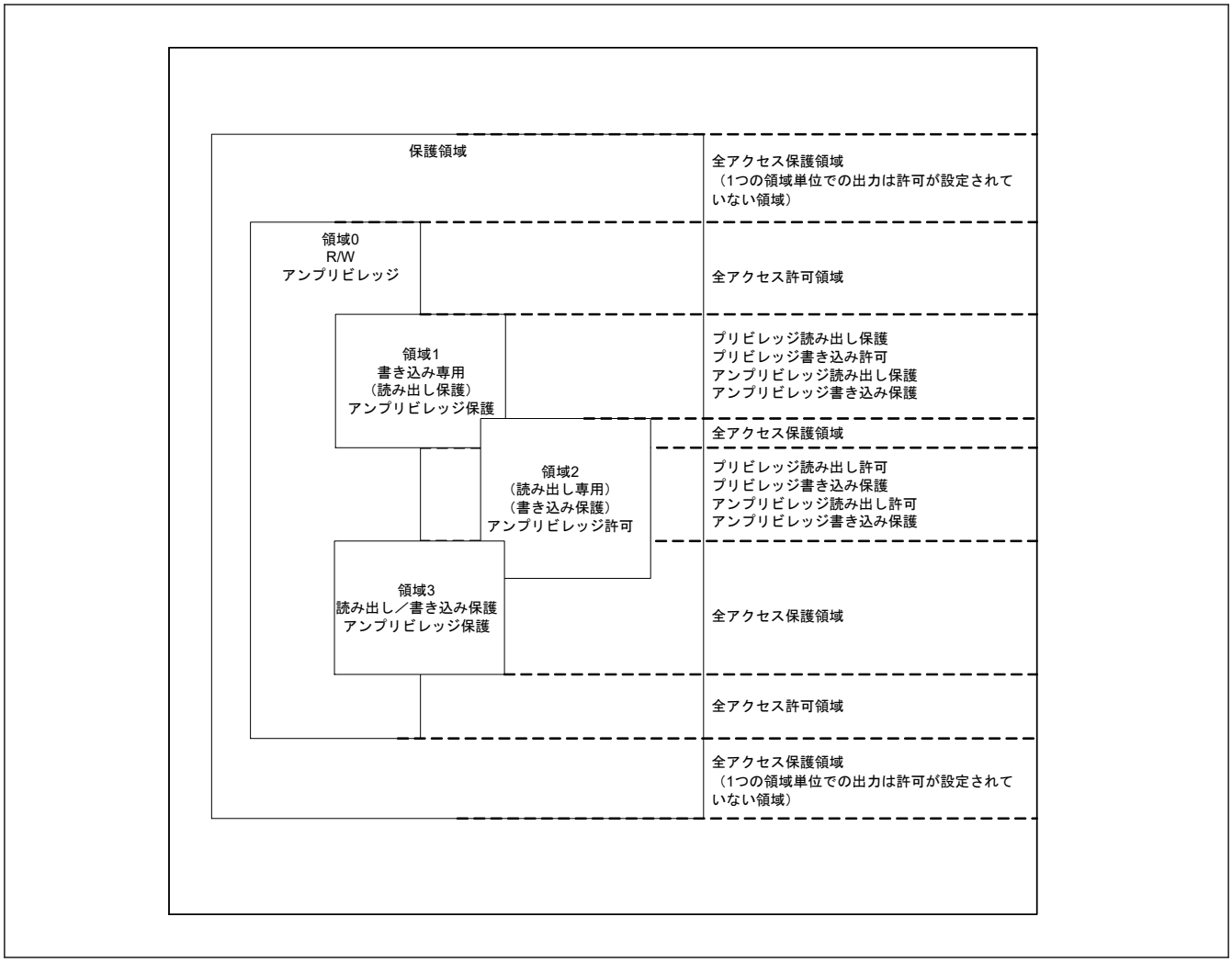


図 15.2　バスマスタ MPU 領域のオーバーラップによるアクセスの許可または保護

図 15.3 にリセット後のレジスタの設定フローを示します。本レジスタ設定中は、CPU 以外のバスマスタを停止してください。

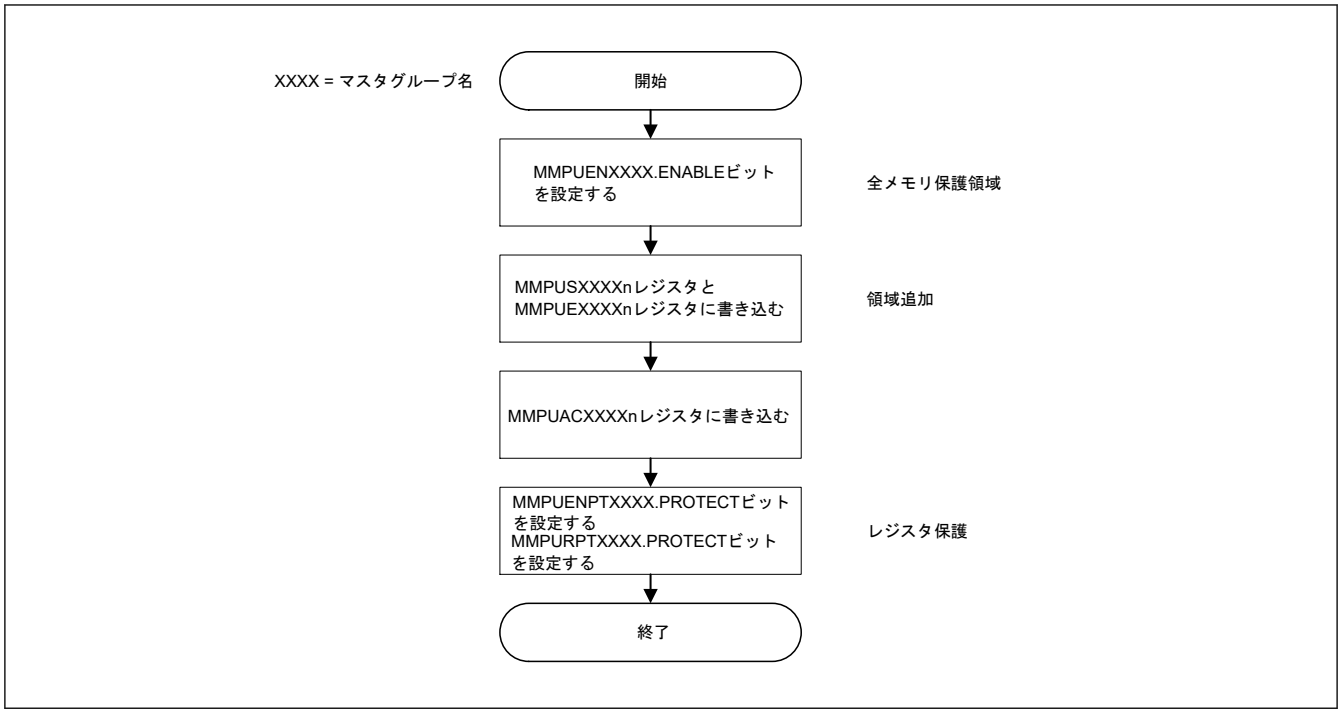


図 15.3　リセット後のレジスタの設定フロー

図 15.4 に領域追加のレジスタの設定フローを示します。本レジスタ設定中は、CPU 以外のマスタを停止してください。

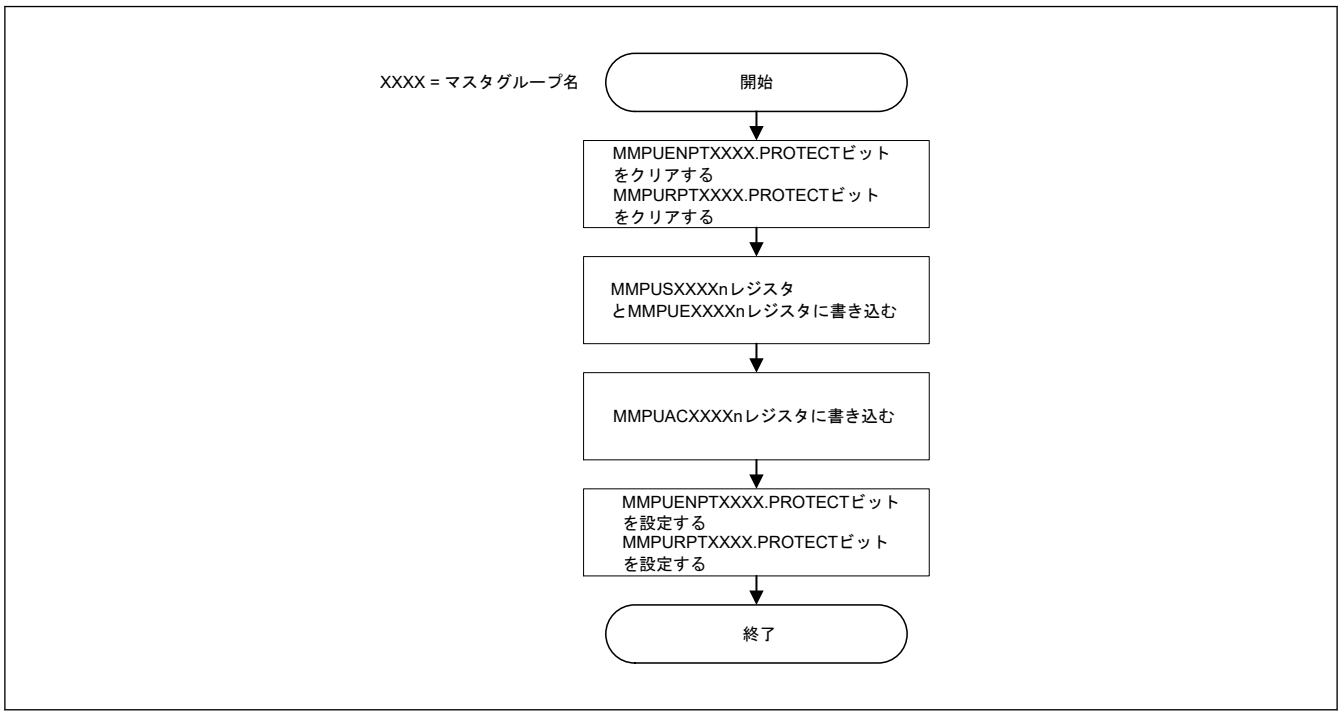


図 15.4　領域追加のレジスタの設定フロー

15.3.2.2　レジスタの保護

バスマスタ MPU 関連のレジスタは、表 15.4 に示した PROTECT ビットで保護できます。

表 15.4 PROTECT ビットと保護対象レジスタ

PROTECT ビット	保護対象レジスタ
MMPUENPTDMAC.PROTECT	MMPUENDMAC
MMPUENPTEDMAC.PROTECT	MMPUENEDMAC
MMPUENPTCEU.PROTECT	MMPUENCEU
MMPURPTDMAC.PROTECT	以下のレジスタは、MMPUSARA.MMPUASAn (n = 0～7) により、非セキュアに設定されます。 MMPUSDMACn (n = 0～7) MMPUEDMACn (n = 0～7) MMPUACDMACn (n = 0～7)
MMPURPTDMAC_SEC.PROTECT	以下のレジスタは、MMPUSARA.MMPUASAn (n = 0～7) により、セキュアに設定されます。 MMPUSDMACn (n = 0～7) MMPUEDMACn (n = 0～7) MMPUACDMACn (n = 0～7)
MMPURPTEDMAC.PROTECT	MMPUSEDMACn (n = 0～3) MMPUEEDMACn (n = 0～3) MMPUACEDMACn (n = 0～3)
MMPURPTCEU.PROTECT	MMPUSCEUn (n = 0～1) MMPUECEUn (n = 0～1) MMPUACCEUn (n = 0～1)
MMPUOADPT.PROTECT	MMPUOAD.OAD

15.3.2.3 メモリプロテクションエラー

保護領域に対するアクセスが検出されると、バスマスタ MPU はエラーを発生させます。メモリプロテクションエラーは、MMPUOAD ビットによってノンマスカブル割り込みまたはリセットのいずれかを選択できます。

バスマスタ MPU エラーの詳細は、「14. バス」を参照してください。

ノンマスカブル割り込みの状態は ICU.NMISR.BUSST フラグに示されます。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。リセットの状態は SYSC.RSTSR1.BUSRF フラグに示されます。詳細は、「5. リセット」を参照してください。

15.4 参考資料

1. *ARM® v8-M Architecture Reference Manual* (ARM DDI0553B.g)
2. *ARM® Cortex®-M85 Processor Technical Reference Manual*, ARM® Cortex®-M33 Processor Technical Reference Manual (ARM 101924_0002_05_en, ARM 100230_0004_00_en)
3. *ARM® Cortex®-M85 Processor User Guide Reference Material, ARM® Cortex®-M33 Processor User Guide Reference Material* (ARM 101927_0002_05_en, ARM 100234_0002_00_en)
4. *ARM® Cortex®-M85 Processor Integration and Implementation Manual, ARM® Cortex®-M33 Processor Integration and Implementation Manual* (ARM 101925_0002_05_en, ARM 100323_0002_00_en)

16. DMA コントローラ (DMAC)

16.1 概要

本 MCU は、8 チャネルのダイレクトメモリアクセスコントローラ (DMAC) を内蔵しており、CPU を介さずにデータ転送が可能です。DMA 転送要求が発生すると、DMAC は転送元アドレスに格納されているデータを転送先アドレスへ転送します。

表 16.1 に DMAC の仕様を、図 16.1 に DMAC のブロック図を示します。

表 16.1 DMAC の仕様

項目		内容
チャネル数		8 チャネル (DMACn (n = 0〜7))
転送空間		4 GB （0x0000_0000〜0xFFFF_FFFF のうち、予約領域を除く領域）
最大転送データ数		64M データ （ブロック転送モードにおける最大転送数：1,024 データ × 65,536 ブロック）
DMAC 起動要因		チャネルごとに個別に選択可能 • ソフトウェアトリガ • 周辺モジュールからの割り込み要求／外部割り込み入力端子からのトリガ(注1)
チャネル優先順位		チャネル 0 > チャネル 1 > チャネル 2 > チャネル 3... > チャネル 7（チャネル 0：最上位）
転送データ	1 データ	ビット長：8 ビット、16 ビット、32 ビット
	ブロックサイズ	データ数：1〜1024
転送モード	ノーマル転送モード	• 1 回の DMA 転送要求で 1 データを転送 • 設定可能なフリーランニング機能（データ転送の全回数の設定の指定なし）
	リピート転送モード	• 1 回の DMA 転送要求で 1 データを転送 • 転送元または転送先に指定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 • 設定可能な最大リピートサイズ：1024 • 選択可能なフリーランニング機能
	リピートブロック転送モード	• 1 回の DMA 転送要求で 1 ブロックを転送 • 設定可能な最大ブロックサイズ：1024 • ブロック転送はリピート可能 • 設定可能な最大リピートサイズ：64K • 選択可能なフリーランニング機能
	ブロック転送モード	• 1 回の DMA 転送要求で 1 ブロックを転送 • 設定可能な最大ブロックサイズ：1024 • 選択可能なフリーランニング機能
選択機能	拡張リピート領域機能	• 転送アドレスレジスタの上位ビット値を固定したまま、特定範囲のアドレス値を繰り返すことでデータ転送が可能 • 拡張リピート領域は 2 バイトから 128 MB まで転送元、転送先別に設定可能
DMA 転送エラーの処理		• DMAC 転送エラー発生時に、エラーを発生させたチャネルの転送を停止 • ICU に対して DMAC エラーチャネルの起動要求用レジスタのクリアを要求
割り込み (DMAC0n_INT)	転送終了割り込み	転送カウンタで設定したデータ数の転送終了時に発生
	転送エスケープ終了割り込み	• リピートサイズ分のデータ転送の終了時に発生 • 拡張リピート領域の転送元アドレスがオーバーフローした時に発生 • 拡張リピート領域の転送先アドレスがオーバーフローした時に発生
割り込み (DMA0_TRANSERR)	エラー応答検出割り込み	• DMAC 転送エラーが生じた時に発生
イベントリンク機能 (DMAC0n_INT)		各データ転送後（ブロックの場合は各ブロック転送後）、イベントリンク要求を発生
モジュールストップ機能		モジュールストップ状態に設定して消費電力を削減
TrustZone フィルタ		各チャネルに対してセキュリティ属性とプリビレッジ属性を設定可能

注. DMAC チャネルのセキュリティ属性レジスタは ICU.ICUSARC で説明されます。
注 1. DMAC の起動要因については、「13. 割り込みコントローラユニット (ICU)」の表 13.4 を参照してください。

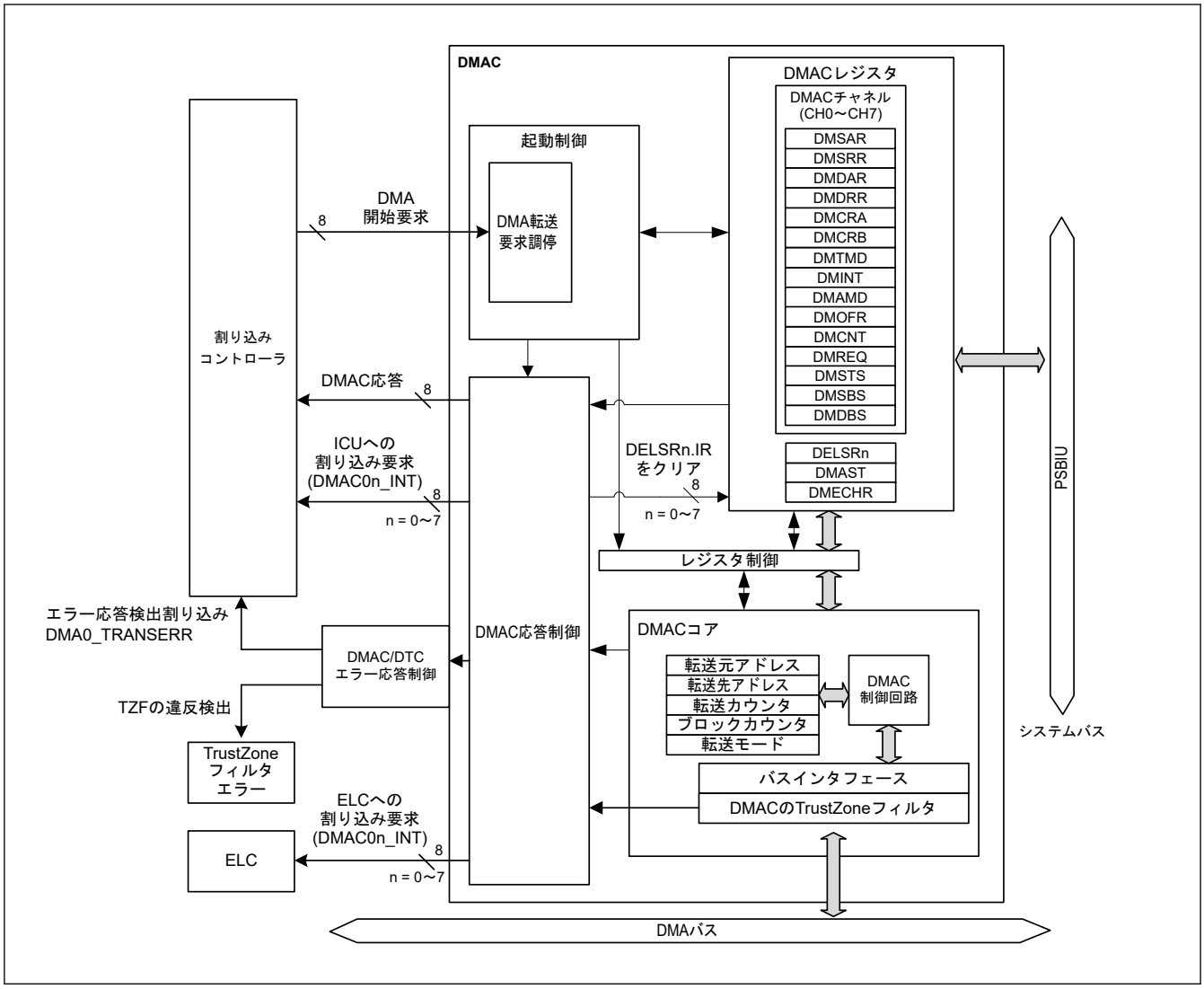


図 16.1　DMAC のブロック図

16.2　レジスタの説明

16.2.1　DMACCHSAR : DMA チャネルセキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x1A0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	SADMAC7	SADMAC6	SADMAC5	SADMAC4	SADMAC3	SADMAC2	SADMAC1	SADMAC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	SADMAC7～SADMAC0	DMAC チャネルの出力とレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1, P-TYPE-1

SADMACn (n = 0～7)

本ビットは DMAC チャネルのレジスタのセキュリティ属性を指定します。

本ビットは各 DMAC チャネルのマスタ出力のセキュリティ属性を決めます。

DMAC レジスタの制御チャネルを以下に示します。

- CPSCU.DMACCHPAR.PADMACn
- DMAC.DELSR チャネル n
- DMAC.DMSAR チャネル n
- DMAC.DMSRR チャネル n
- DMAC.DMDAR チャネル n
- DMAC.DMDRR チャネル n
- DMAC.DMCRA チャネル n
- DMAC.DMCRB チャネル n
- DMAC.DMTMD チャネル n
- DMAC.DMINT チャネル n
- DMAC.DMAMD チャネル n
- DMAC.DMOFR チャネル n
- DMAC.DMCNT チャネル n
- DMAC.DMREQ チャネル n
- DMAC.DMSTS チャネル n
- DMAC.DMSBS チャネル n
- DMAC.DMDBS チャネル n
- DMAC.DMBWR チャネル n

16.2.2 DMACCHPAR : DMA チャネルプリビレッジ属性レジスタ

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x1F0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	PADMAC7	PADMAC6	PADMAC5	PADMAC4	PADMAC3	PADMAC2	PADMAC1	PADMAC0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	PADMAC7～ PADMAC0	DMAC チャネルの出力とレジスタのプリビレッジ属性 0: プリビレッジ 1: アンプリビレッジ	R/W
31:8	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. S-TYPE-2, P-TYPE-1

PADMACn (n = 0～7)

本ビットは DMAC チャネルの出力とレジスタのプリビレッジ属性を指定します。

本ビットは各 DMAC チャネルのマスタ出力のプリビレッジ属性を決めます。本ビットは各チャネルの DMAC レジスタのプリビレッジ属性も決めます。「16.3.14. チャネルプリビレッジ」を参照してください。

DMAC レジスタの制御チャネルを以下に示します。

- DMAC.DMSAR チャネル n
- DMAC.DMSRR チャネル n
- DMAC.DMDAR チャネル n
- DMAC.DMDRR チャネル n
- DMAC.DMCRA チャネル n
- DMAC.DMCRB チャネル n
- DMAC.DMTMD チャネル n
- DMAC.DMINT チャネル n
- DMAC.DMAMD チャネル n
- DMAC.DMOFR チャネル n
- DMAC.DMCNT チャネル n
- DMAC.DMREQ チャネル n
- DMAC.DMSTS チャネル n
- DMAC.DMSBS チャネル n
- DMAC.DMDBS チャネル n
- DMAC.DMBWR チャネル n

16.2.3 DMACSAR : DMAC コントローラセキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x34

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMASTSA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DMASTSA	DMAST セキュリティ属性 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1, P-TYPE-1
注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。
注. このレジスタは PRCR レジスタによって書き込み保護されています。

DMAC ではセキュリティ属性は各チャネルに設定されます。ただし、本レジスタは DMAST レジスタのセキュリティ属性のみを設定します。

DMASTSA ビット（DMAST セキュリティ属性）

DMASTSA ビットは DMAST 用レジスタのセキュリティ属性を指定します。DMA 転送が有効またはバスマスタが DMA レジスタに書き込んでいる間は、DMASTSA ビットに書き込まないでください。

16.2.4 DELSRn : DMAC イベントリンク設定レジスタ n (n = 0～7)

Base address: DMA0 = 0x4000_A800
DMA0_NS = 0x5000_A800

Offset address: 0x080+ 0x04 × n (n = 0～7)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DELS[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	DELS[8:0]	DMAC イベントリンク選択 0x00: 対応する DMAC モジュールへの割り込みは禁止 その他: リンクするイベント信号の番号詳細は、表 13.4 を参照してください。	R/W(注1)
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	IR	DMAC 起動要求ステータスフラグ 0: DMAC 起動要求なし 1: DMAC 起動要求あり	R/W(注2)
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W(注1)

注. P-TYPE-2。セキュリティ属性によるアクセスについては下記を参照してください。
注 1. 本レジスタはハーフワードアクセスまたはワードアクセスをしてください。
注 2. IR フラグに 1 を書き込まないでください。

本レジスタには、トラストイベントルートコントロールレジスタ (TEVTRCR) の設定によって、異なるセキュアアクセス許可があります。

セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。非セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。

セキュリティ属性が非セキュアに設定されていて、トラストイベントルートが禁止されている場合、

- セキュアライトアクセスは無視されます。セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。
- 非セキュアアクセスが許可されています。

セキュリティ属性が非セキュアに設定されていて、トラストイベントルートが許可されている場合、

- DELS ビットへのセキュアアクセスが許可されています。
- DELS ビットへの非セキュアライトアクセスは無視されます。DELS ビットへの非セキュアリードアクセスは許可されています。
- 他のビットへのセキュアライトアクセスは無視されます。他のビットへのセキュアリードアクセスは 0 が読めます。
- 他のビットへの非セキュアアクセスが許可されています。
- TrustZone アクセスエラーは発生しません。

DELS[8:0]ビット（DMAC イベントリンク選択）

DELS[8:0]ビットは対応する DMAC モジュールへのイベント信号にリンクします。すべての DELS[8:0]ビットを同時に書き込んでください。複数の DELSRn レジスタに同じイベント番号を設定しないでください。

[1 になる条件]

- 本ビットに値を書いたとき

[0 になる条件]

- 本ビットに 0 を書いたとき
- アクセスエラーの発生により、DMA 転送が停止したとき「16.5. DMA 転送エラーの処理」を参照してください。

IR フラグ（DMAC 起動要求ステータスフラグ）

本フラグは DMAC 起動要求のステータスフラグです。

本フラグは本レジスタの DELS[8:0]ビットに対応します。

[1 になる条件]

- 対応する周辺モジュールまたは IRQi 端子から DMAC の起動要求が発生したとき

[0 になる条件]

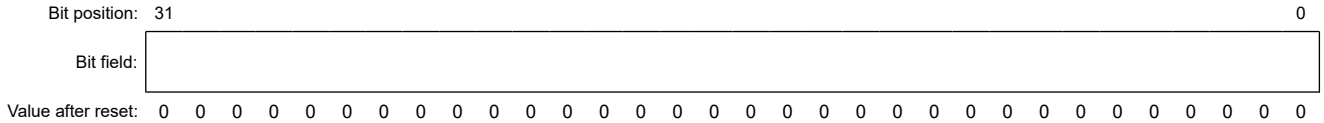
- 本フラグに 0 を書いたとき
- DMAC 起動要求発生後に DMA 転送を開始したとき
- アクセスエラーの発生により DMA 転送が停止したとき「16.5. DMA 転送エラーの処理」を参照してください。

注. IR フラグは DMA 転送終了後に自動的にクリアされますので、アボート発生時などの緊急時以外は 0 を書き込まないでください。DMA 転送中に 0 を書いた場合、DMA 転送動作は保証できません。

16.2.5 DMSAR : DMA 転送元アドレスレジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x00



ビット	シンボル	機能	R/W
31:0	n/a	転送元の開始アドレスを設定 設定範囲：0x00000000～0xFFFFFFFF (4 GB)	R/W

注. S-TYPE-3, P-TYPE-3

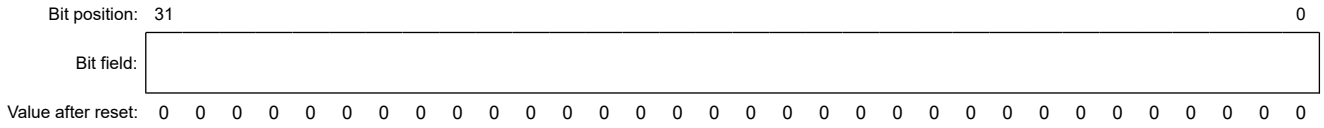
DMSAR レジスタは、DMAC 起動が無効 (DMAST.DMST = 0) または DMA 転送が無効 (DMCNT.DTE = 0) のときに設定してください。

注. このレジスタのアドレスアライメントは、DMTMD.SZ ビットで選択した転送データサイズ値と一致している必要があります。

16.2.6 DMSRR : DMA 転送元リロードアドレスレジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x20



ビット	シンボル	機能	R/W
31:0	n/a	転送元リロードアドレス指定 0x0000 0000～0xFFFF FFFF (4 GB)	R/W

注. S-TYPE-3, P-TYPE-3

DMSRR レジスタは、DMAC 起動が無効 (DMAST.DMST = 0) または対応するチャネルの DMA 転送が無効 (DMCNT.DTE = 0) のときに設定してください。

DMSRR は、リピートブロック転送モードで DMSBS に設定されたバッファサイズの開始アドレスを格納するために使用されます。リピートブロック転送モードにおいて、DMSAR は転送終了後に DMSRR の値をリロードします。

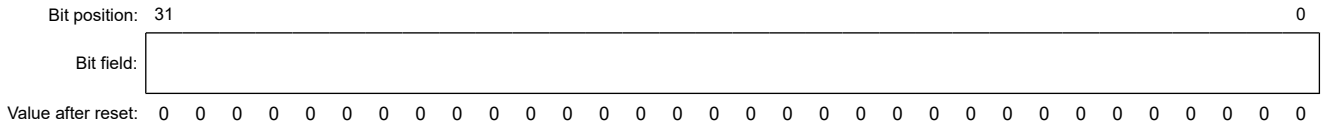
ノーマル転送モード、リピート転送モード、およびブロック転送モードでは、DMSRR は使用されません。その設定は無効です。

注. このレジスタのアドレスアライメントは、DMTMD.SZ ビットで選択した転送データサイズ値と一致している必要があります。

16.2.7 DMDAR : DMA 転送先アドレスレジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x04



ビット	シンボル	機能	R/W
31:0	n/a	転送先の開始アドレスを設定 設定範囲：0x0000_0000～0xFFFF_FFFF (4 GB)	R/W

注. S-TYPE-3, P-TYPE-3

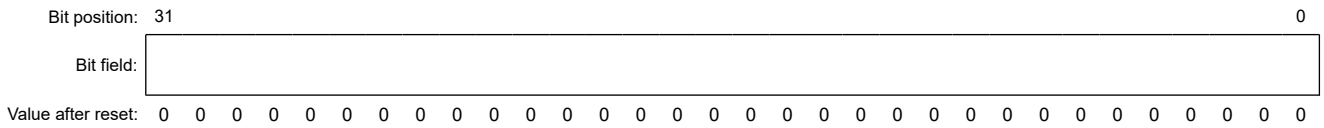
DMDAR レジスタは、DMAC 起動が無効 (DMAST.DMST = 0) または対応するチャネルの DMA 転送が無効 (DMCNT.DTE = 0) のときに設定してください。

注. このレジスタのアドレスアライメントは、DMTMD.SZ ビットで選択した転送データサイズ値と一致している必要があります。

16.2.8 DMDRR : DMA 転送先リロードアドレスレジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x24



ビット	シンボル	機能	R/W
31:0	n/a	転送先リロードアドレス指定 設定範囲：0x0000_0000～0xFFFF_FFFF (4 GB)	R/W

注. S-TYPE-3, P-TYPE-3

DMDRR レジスタは、DMAC 起動が無効 (DMAST.DMST = 0) または対応するチャネルの DMA 転送が無効 (DMCNT.DTE = 0) のときに設定してください。

DMDRR は、リピート／ブロック転送モードで DMDBS に設定されたバッファサイズの開始アドレスを格納するために使用されます。リピート／ブロック転送モードにおいて、DMDAR は転送終了後に DMDRR の値をリロードします。

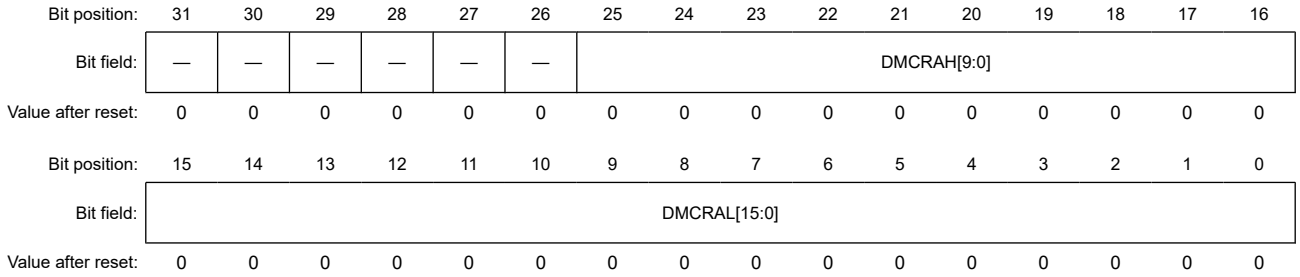
ノーマル転送モード、リピート転送モード、およびブロック転送モードでは、DMDRR は使用されず、その設定は無効です。

注. このレジスタのアドレスアライメントは、DMTMD.SZ ビットで選択した転送データサイズ値と一致している必要があります。

16.2.9 DMCRA : DMA 転送カウントレジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x08



ビット	シンボル	機能	R/W
15:0	DMCRAL[15:0]	転送カウント下位ビット 転送回数を設定	R/W
25:16	DMCRAH[9:0]	転送カウント上位ビット 転送回数を設定	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

リピート転送モード、ブロック転送モードおよびリピートブロック転送モードでは、DMCRAH ビットと DMCRAL ビットに同じ値を設定してください。リピート転送モード、ブロック転送モードおよびリピートブロック転送モードではビット 15～ビット 10 は 0 に固定です。

(1) ノーマル転送モード (DMTMD.MD[1:0] = 00b) の場合

ノーマル転送モードでは、DMCRAL ビットは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が 0x0001 のときは 1 回、0xFFFF のときは 65535 回となります。1 回のデータ転送を行うたびにデクリメント (–1) されます。

設定値が 0x0000 のときは転送回数の指定なしとなり、転送カウンタが停止した状態でデータ転送を行います (フリーランニング機能)。

ノーマル転送モードでは、フリーランニング機能は DMTMD.TKP ビットにより選択されません。

ノーマル転送モードでは、DMCRAH ビットを使用しないでください。DMCRAH ビットへは 0x0000 を書いてください。

(2) リピート転送モード (DMTMD.MD[1:0] = 01b) の場合

リピート転送モードでは、DMCRAH ビットはリピートサイズを指定し、DMCRAL ビットは 10 ビットの転送カウンタとして機能します。

転送回数は、設定値が 0x001 のときは 1 回、0x3FF のときは 1023 回、0x000 のときは 1024 回となります。リピート転送モードでは、0x000～0x3FF（1～1024 回）の範囲の値を DMCRAH ビットと DMCRAL ビットに設定可能です。

DMCRAL[15:10]ビットの設定は無効です。これらのビットには 0 を書いてください。

DMCRAL ビットは 1 回のデータ転送を行うたびにデクリメント (–1) され、0x000 になると DMCRAH ビットの値が DMCRAL ビットにロードされます。

(3) ブロック転送モード (DMTMD.MD[1:0] = 10b) の場合

ブロック転送モードでは、DMCRAH ビットはブロックサイズを指定し、DMCRAL ビットは 10 ビットのブロックサイズカウンタとして機能します。

設定値が 0x001 のときはブロックサイズ 1、0x3FF のときはブロックサイズ 1023、0x000 のときはブロックサイズ 1024 となります。ブロック転送モードでは、0x000～0x3FF の範囲の値を DMCRAH ビットと DMCRAL ビットに設定可能です。

DMCRAL[15:10]ビットの設定は無効です。これらのビットには 0 を書いてください。

DMCRAL ビットは 1 回のデータ転送を行うたびにデクリメント (–1) され、0x000 になると DMCRAH ビットの値が DMCRAL ビットにロードされます。

(4) リピートブロック転送モード (DMTMD.MD[1:0] = 11b) の場合

リピートブロック転送モードでは、DMCRAH ビットはブロックサイズを指定し、DMCRAL ビットは 10 ビットのブロックサイズカウンタとして機能します。

設定値が 0x001 のときはブロックサイズ 1、0x3FF のときはブロックサイズ 1023、0x000 のときはブロックサイズ 1024 となります。このモードでは、DMCRAH ビットと DMCRAL ビットの設定可能範囲は、0x000～0x3FF です。

DMCRAL[15:10]ビットの設定は無効です。これらのビットには 0 を書いてください。

DMCRAL ビットは 1 回のデータ転送を行うたびにデクリメント (–1) され、0x000 になると DMCRAH ビットの値が DMCRAL ビットにロードされます。

16.2.10 DMCRB : DMA ブロック転送カウントレジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x0C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DMCRBH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DMCRBL[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DMCRBL[15:0]	ブロック転送回数、リピート転送回数またはリピートブロック転送回数をカウント 0x0001～0xFFFF (1～65535) 0x0000 (65536)	R/W
31:16	DMCRBH[15:0]	ブロック転送回数、リピート転送回数またはリピートブロック転送回数を設定 0x0001～0xFFFF (1～65535) 0x0000 (65536)	R/W

注. S-TYPE-3, P-TYPE-3

リピート転送モード、ブロック転送モードおよびリピートブロック転送モードでは、DMCRBH ビットと DMCRBL ビットに同じ値を設定してください。

DMCRBH ビットは、ブロック転送モード時、リピート転送モード時、およびリピートブロック転送モード時の転送回数を指定します。また、DMCRBL ビットは、ブロック転送モード時、リピート転送モード時、およびリピートブロック転送モード時に 16 ビットの転送回数カウンタとして機能します。

転送回数は、設定値が 0x0001 のときは 1 回、0xFFFF のときは 65535 回、0x0000 のときは 65536 回となります。

リピート転送モードの場合、1 リピートサイズの最終データ転送時にデクリメント (–1) されます。

ブロック転送モードおよびリピートブロック転送モードの場合、最終ブロックのデータ転送時にデクリメント (–1) されます。

ノーマル転送モードでは、設定は無効ですので、DMCRB レジスタは使用しないでください。

DMTMD.TKP = 1 で 1 リピートサイズまたは 1 ブロックサイズの最終データ転送時に、DMCRBL ビットは自動的に DMCRBH ビットの値をリロードします。

16.2.11 DMTMD : DMA 転送モードレジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x10

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MD[1:0]		DTS[1:0]		—	TKP	SZ[1:0]		—	—	—	—	—	—	DCTG[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	DCTG[1:0]	転送要求元選択 0 0: ソフトウェア 0 1: 周辺モジュールまたは外部割り込み入力端子からの割り込み(注1) 1 0: 設定禁止 1 1: 設定禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
9:8	SZ[1:0]	転送データサイズ選択 0 0: 8 ビット 0 1: 16 ビット 1 0: 32 ビット 1 1: 設定禁止	R/W
10	TKP	転送継続 0: 設定した総転送回数完了により転送が終了する 1: 設定した総転送回数完了により転送が終了しない（フリーランニング）	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:12	DTS[1:0]	リピート領域選択 0 0: 転送先をリピート領域またはブロック領域に設定 0 1: 転送元をリピート領域またはブロック領域に設定 1 0: リピート領域、ブロック領域の設定なし 1 1: 設定禁止	R/W
15:14	MD[1:0]	転送モード選択 0 0: ノーマル転送 0 1: リピート転送 1 0: ブロック転送 1 1: リピートブロック転送	R/W

注. S-TYPE-3, P-TYPE-3
注 1. DMAC の起動要因を選択するには、DELSRn レジスタを使用してください。DMAC の起動要因の詳細については、「13. 割り込みコントローラユニット (ICU)」の表 13.4 を参照してください。

DTS[1:0]ビット（リピート領域選択）

DTS[1:0]ビットは、リピート転送またはブロック転送モードにおいて、リピート領域としての転送元または転送先を選択します。ノーマル転送モードまたはリピートブロック転送モードでは、これらのビットの設定値は無効です。

TKP ビット（転送継続）

TKP ビットは、リピート転送、ブロック転送、またはリピートブロック転送モードにおいて、設定した総転送回数完了により転送が終了するか、継続するかを選択します。ノーマル転送モードでは、このビットの設定値は無効です。

16.2.12 DMINT : DMA 割り込み設定レジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x13

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DARIE	転送先アドレス拡張リピート領域オーバーフロー割り込み許可 0: 転送先アドレス拡張リピート領域オーバーフロー割り込み要求を禁止 1: 転送先アドレス拡張リピート領域オーバーフロー割り込み要求を許可	R/W
1	SARIE	転送元アドレス拡張リピート領域オーバーフロー割り込み許可 0: 転送元アドレス拡張リピート領域オーバーフロー割り込み要求を禁止 1: 転送元アドレス拡張リピート領域オーバーフロー割り込み要求を許可	R/W
2	RPTIE	リピートサイズ終了割り込み許可 0: リピートサイズ終了割り込み要求を禁止 1: リピートサイズ終了割り込み要求を許可	R/W
3	ESIE	転送エスケープ終了割り込み許可 0: 転送エスケープ終了割り込み要求を禁止 1: 転送エスケープ終了割り込み要求を許可	R/W

ビット	シンボル	機能	R/W
4	DTIE	転送終了割り込み許可 0: 転送終了割り込み要求を禁止 1: 転送終了割り込み要求を許可	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

DARIE ビット（転送先アドレス拡張リピート領域オーバーフロー割り込み許可）

DARIE ビットが 1 のときに、転送先アドレスの拡張リピート領域オーバーフローが発生すると、DMCNT.DTE ビットが 0 になります。同時に DMSTS.ESIF フラグが 1 になり、転送先アドレスの拡張リピート領域オーバーフローによって割り込みが要求されることを示します。

拡張リピート領域機能をブロック転送モードと併用する場合は、1 ブロック分のデータ転送終了後に割り込み要求が発生します。転送を終了したチャネルの DMCNT.DTE ビットを 1 にすると、転送終了時の状態から再び転送を開始することができます。

転送先アドレスに拡張リピート領域を設定していない場合、このビットは無視されます。

リピートブロック転送モードへ設定する場合、本ビットを使用しないでください。

SARIE ビット（転送元アドレス拡張リピート領域オーバーフロー割り込み許可）

SARIE ビットが 1 のときに、転送元アドレスの拡張リピート領域オーバーフローが発生すると、DMCNT.DTE ビットが 0 になります。同時に DMSTS.ESIF フラグが 1 になり、転送元アドレスの拡張リピート領域オーバーフローによって割り込みが要求されることを示します。

拡張リピート領域機能をブロック転送モードと併用する場合は、1 ブロック分のデータ転送終了後に割り込み要求が発生します。転送を終了したチャネルの DMCNT.DTE ビットを 1 にすると、転送終了時の状態から再び転送を開始することができます。

転送元アドレスに拡張リピート領域を設定していない場合は、このビットは無視されます。

リピートブロック転送モードへ設定する場合、本ビットを使用しないでください。

RPTIE ビット（リピートサイズ終了割り込み許可）

リピート転送モードにおいて RPTIE ビットを 1 にすると、1 リピートサイズ分のデータ転送終了後に DMCNT.DTE ビットが 0 になります。同時に DMSTS.ESIF フラグが 1 になり、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0]ビットを 10b（リピート領域、ブロック領域の指定なし）にしたときも、リピートサイズ終了割り込み要求を発生させることができます。

このビットをブロック転送モードで 1 にしたときも、リピート転送モードの場合と同様に 1 ブロックのデータ転送終了後に DMCNT.DTE ビットが 0 になります。同時に DMSTS.ESIF フラグが 1 になり、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0]ビットを 10b（リピート領域、ブロック領域の指定なし）にしたときも、リピートサイズ終了割り込み要求を発生させることができます。

リピートブロック転送モードへ設定する場合、本ビットを使用しないでください。

ESIE ビット（転送エスケープ終了割り込み許可）

ESIE ビットは DMA 転送中に発生した転送エスケープ終了割り込み要求（リピートサイズ終了割り込み要求、拡張リピート領域オーバーフロー割り込み要求）を許可します。

このビットが 1 のとき割り込みが発生して、DMSTS.ESIF フラグが 1 になります。転送エスケープ終了割り込みを解除するには、このビットまたは DMSTS.ESIF フラグを 0 にします。

DTIE ビット（転送終了割り込み許可）

DTIE ビットは指定した回数のデータ転送が終了したときに発生する転送終了割り込み要求を許可します。

このビットが 1 のとき、DMSTS.DTIF フラグが 1 になると、転送終了割り込みが発生します。転送終了割り込みを解除するには、このビットまたは DMSTS.DTIF フラグを 0 にします。

16.2.13 DMAMD : DMA アドレスモードレジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x14

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SM[1:0]		SADR	SARA[4:0]					DM[1:0]		DADR	DARA[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	DARA[4:0]	転送先アドレス拡張リピート領域設定 転送先アドレスに拡張リピート領域を設定します。設定についての詳細は、表 16.2 を参照してください。	R/W
5	DADR	リロード後の転送先アドレス更新選択 0: リロードのみ 1: リロード後にインデックス追加	R/W
7:6	DM[1:0]	転送先アドレス更新モード設定 0 0: 転送先アドレス固定 0 1: オフセット加算 1 0: 転送先アドレスインクリメント 1 1: 転送先アドレスデクリメント	R/W
12:8	SARA[4:0]	転送元アドレス拡張リピート領域設定 転送元アドレスに拡張リピート領域を設定します。設定値についての詳細は、表 16.2 を参照してください。	R/W
13	SADR	リロード後の転送元アドレス更新選択 0: リロードのみ 1: リロード後にインデックス追加	R/W
15:14	SM[1:0]	転送元アドレス更新モード設定 0 0: 転送元アドレス固定 0 1: オフセット加算 1 0: 転送元アドレスインクリメント 1 1: 転送元アドレスデクリメント	R/W

注. S-TYPE-3, P-TYPE-3

DARA[4:0]ビット（転送先アドレス拡張リピート領域設定）

DARA[4:0]ビットは転送先アドレスに拡張リピート領域を設定します。拡張リピート領域機能は、指定した下位アドレスビットを更新し、残りの上位アドレスビットを固定することで実現されます。拡張リピート領域のサイズは、2 バイトから 128 MB まで設定可能です。設定間隔は 2 のべき乗バイト単位です。

アドレスのインクリメントにより下位アドレスが拡張リピート領域をオーバーフローすると、拡張リピート領域の開始アドレスが設定されます。同様にアドレスのデクリメントにより下位アドレスが拡張リピート領域をアンダーフローすると、拡張リピート領域の終了アドレスが設定されます。

転送先にリピート領域またはブロック領域を設定している場合、転送先アドレスに拡張リピート領域を設定しないでください。リピート転送またはブロック転送を選択した場合、DMTMD.DTS[1:0] = 00b（転送先にリピート領域またはブロック領域を設定）であれば、DARA[4:0]ビットには 00000b を書いてください。

リピートブロック転送モードでは、DARA[4:0]ビットには 00000b を書いてください。

拡張リピート領域でオーバーフローまたはアンダーフローが発生したとき、割り込みを要求するには、DMINT.DARIE ビットを 1 にしてください。 表 16.2 には、各設定値に対応した拡張リピート領域が示されています。

DADR ビット（リロード後の転送先アドレス更新選択）

リピートブロック転送モードでは、本ビットは DMDRR リロード後の DMDAR の動作を指定します。

本ビットに 1 を設定すると、DMDRR リロード後の DMDAR にインデックス値（(DMDBSH-DMDBSL) × データサイズ）が付加されます。

本ビットに 0 を設定すると、DMDAR は DMDRR はリロードするだけです。本動作を表 16.13 に示します。

通常のリピートブロック転送モードでは、本ビットは無視されます。

DM[1:0]ビット（転送先アドレス更新モード設定）

DM[1:0]ビットは転送先アドレスの更新モードを選択します。

インクリメントを選択し、DMTMD.SZ[1:0]ビットに 00b、01b、または 10b を設定した場合、転送先アドレスはそれぞれ 1、2、または 4 ごとにインクリメントされます。

デクリメントを選択し、DMTMD.SZ[1:0]ビットに 00b、01b、または 10b を設定した場合、転送先アドレスはそれぞれ 1、2、または 4 ごとにデクリメントされます。

オフセット加算を選択した場合、DMOFR レジスタで設定したオフセット値がアドレスに加算されます。

SARA[4:0]ビット（転送元アドレス拡張リピート領域設定）

SARA[4:0]ビットは転送元アドレスに拡張リピート領域を設定します。拡張リピート領域機能は、指定した下位アドレスビットを更新し、残りの上位アドレスビットを固定することで実現されます。拡張リピート領域のサイズは、2 バイトから 128 MB まで設定可能です。設定間隔は 2 のべき乗バイト単位です。

アドレスのインクリメントにより下位アドレスが拡張リピート領域をオーバーフローすると、拡張リピート領域の開始アドレスが設定されます。同様にアドレスのデクリメントにより下位アドレスが拡張リピート領域をアンダーフローすると、拡張リピート領域の終了アドレスが設定されます。

転送元にリピート領域またはブロック領域を設定している場合、転送元アドレスに拡張リピート領域を設定しないでください。リピート転送またはブロック転送を選択した場合、DMTMD.DTS[1:0] = 01b（転送元にリピート領域またはブロック領域を設定）であれば、SARA[4:0]ビットには 00000b を書いてください。

リピートブロック転送モードでは、SARA[4:0]ビットには 00000b を書いてください。

拡張リピート領域でオーバーフローまたはアンダーフローが発生したとき、割り込みを要求するには、DMINT.SARIE ビットを 1 にしてください。 表 16.2 には、各設定値に対応した拡張リピート領域が示されています。

SADR ビット（リロード後の転送元アドレス更新選択）

リピートブロック転送モードでは、本ビットは DMSRR リロード後の DMSAR の動作を指定します。

本ビットに 1 を設定すると、DMSRR リロード後の DMSAR にインデックス値（(DMSBSH-DMSBSL) × データサイズ）が付加されます。

本ビットに 0 を設定すると、DMSAR は DMSRR はリロードするだけです。本動作を表 16.12 に示します。

通常のリピートブロック転送モードでは、本ビットは無視されます。

SM[1:0]ビット（転送元アドレス更新モード設定）

SM[1:0]ビットは転送元アドレスの更新モードを選択します。

インクリメントを選択し、DMTMD.SZ[1:0]ビットに 00b、01b、または 10b を設定した場合、転送元アドレスはそれぞれ 1、2、または 4 ごとにインクリメントされます。

デクリメントを選択し、DMTMD.SZ[1:0]ビットに 00b、01b、または 10b を設定した場合、転送元アドレスはそれぞれ 1、2、または 4 ごとにデクリメントされます。

オフセット加算を選択した場合、DMOFR レジスタで設定したオフセット値がアドレスに加算されます。

表 16.2 SARA[4:0]ビットまたは DARA[4:0]ビットの設定値と対応するリピート領域 (1/2)

SARA[4:0]ビットまたは DARA[4:0]ビットの設定値	拡張リピート領域
00000b	拡張リピート領域を設定しない
00001b	当該アドレスの下位 1 ビット（2 バイト）を拡張リピート領域に設定
00010b	当該アドレスの下位 2 ビット（4 バイト）を拡張リピート領域に設定
00011b	当該アドレスの下位 3 ビット（8 バイト）を拡張リピート領域に設定
00100b	当該アドレスの下位 4 ビット（16 バイト）を拡張リピート領域に設定
00101b	当該アドレスの下位 5 ビット（32 バイト）を拡張リピート領域に設定

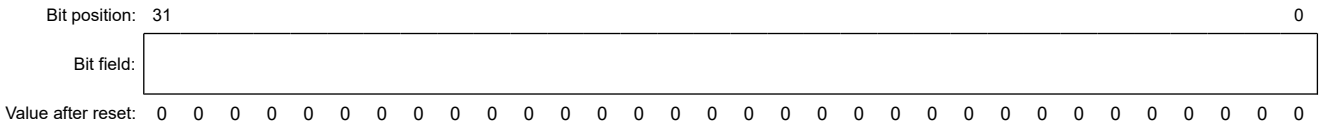
表 16.2 SARA[4:0]ビットまたは DARA[4:0]ビットの設定値と対応するリピート領域 (2/2)

SARA[4:0]ビットまたは DARA[4:0]ビットの設定値	拡張リピート領域
00110b	当該アドレスの下位 6 ビット（64 バイト）を拡張リピート領域に設定
00111b	当該アドレスの下位 7 ビット（128 バイト）を拡張リピート領域に設定
01000b	当該アドレスの下位 8 ビット（256 バイト）を拡張リピート領域に設定
01001b	当該アドレスの下位 9 ビット（512 バイト）を拡張リピート領域に設定
01010b	当該アドレスの下位 10 ビット (1 KB) を拡張リピート領域に設定
01011b	当該アドレスの下位 11 ビット (2 KB) を拡張リピート領域に設定
01100b	当該アドレスの下位 12 ビット (4 KB) を拡張リピート領域に設定
01101b	当該アドレスの下位 13 ビット (8 KB) を拡張リピート領域に設定
01110b	当該アドレスの下位 14 ビット (16 KB) を拡張リピート領域に設定
01111b	当該アドレスの下位 15 ビット (32 KB) を拡張リピート領域に設定
10000b	当該アドレスの下位 16 ビット (64 KB) を拡張リピート領域に設定
10001b	当該アドレスの下位 17 ビット (128 KB) を拡張リピート領域に設定
10010b	当該アドレスの下位 18 ビット (256 KB) を拡張リピート領域に設定
10011b	当該アドレスの下位 19 ビット (512 KB) を拡張リピート領域に設定
10100b	当該アドレスの下位 20 ビット (1 MB) を拡張リピート領域に設定
10101b	当該アドレスの下位 21 ビット (2 MB) を拡張リピート領域に設定
10110b	当該アドレスの下位 22 ビット (4 MB) を拡張リピート領域に設定
10111b	当該アドレスの下位 23 ビット (8 MB) を拡張リピート領域に設定
11000b	当該アドレスの下位 24 ビット (16 MB) を拡張リピート領域に設定
11001b	当該アドレスの下位 25 ビット (32 MB) を拡張リピート領域に設定
11010b	当該アドレスの下位 26 ビット (64 MB) を拡張リピート領域に設定
11011b	当該アドレスの下位 27 ビット (128 MB) を拡張リピート領域に設定
11100b～11111b	設定禁止

16.2.14 DMOFR : DMA オフセットレジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x18



ビット	シンボル	機能	R/W
31:0	n/a	転送元または転送先のアドレス更新モードとしてオフセット加算が選択されている場合、そのオフセット値を設定 0x00000000～0x00FFFFFF（0 バイト～(16M–1) バイト） 0xFF000000～0xFFFFFFFF（–16 MB～–1 バイト）	R/W

注. S-TYPE-3, P-TYPE-3

このレジスタへの書き込みは、データ転送中ではなく、DMAC 動作停止中または DMA 転送が禁止されているときに行ってください。

b31～b25 の設定は無効です。b24 の値が b31～b25 へ拡張されます。DMOFR レジスタを読み出した場合、ビット拡張された値が読み出されます。

リピートブロック転送モードでは、オフセット加算が選択された場合、オフセットは DMOFR レジスタにより指定されません。DMOFR レジスタに 0 を書き込んでください。

16.2.15 DMCNT : DMA 転送イネーブルレジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x1C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DTE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DTE	DMA 転送許可 0: DMA 転送禁止 1: DMA 転送許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

DTE ビット（DMA 転送許可）

DMA 転送は、DMAST.DMST ビットが 1（DMAC 動作許可）のとき、対応するチャネルの DTE ビットを 1 にすることで、開始することができます。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 0 を書いたとき
- 設定された総転送データ数の転送が終了したとき
- リピートサイズ終了割り込みによって DMA 転送が停止したとき
- 拡張リピート領域オーバーフロー割り込みによって DMA 転送が停止したとき
- アクセスエラー発生により、DMA 転送が停止したとき。「16.5. DMA 転送エラーの処理」を参照してください。

DMA 転送中に対応するチャネルの DTE が 0 になった場合、転送終了後に新たな転送要求を受け付けません。

16.2.16 DMREQ : DMA ソフトウェア起動レジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x1D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	CLRS	—	—	—	SWREQ
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SWREQ	DMA ソフトウェア起動 0: DMA 転送を要求しない 1: DMA 転送を要求する	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
4	CLRS	DMA ソフトウェア起動ビット自動クリア選択 0: ソフトウェアによる DMA 転送開始後に SWREQ ビットをクリアする 1: ソフトウェアによる DMA 転送開始後に SWREQ ビットをクリアしない	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

SWREQ ビット（DMA ソフトウェア起動）

SWREQ ビットを 1 にすると DMA 転送要求が発生します。その要求に対して転送が開始されると、CLRS ビットが 0 の場合、SWREQ ビットが 0 になります。CLRS ビットが 1 の場合はクリアされません。DMA 転送要求は、転送終了後に再発行できます。

DMTMD.DCTG[1:0]ビットが 00b（DMAC 起動要因がソフトウェア）になっている場合のみ、このビットの設定が有効となり、ソフトウェアによる DMA 転送が可能となります。

DMTMD.DCTG[1:0]ビットが 00b 以外になっている場合、このビットの設定は無効です。

CLRS ビットが 0 の状態でソフトウェアによる DMA 転送を行う場合、SWREQ ビットが 0 であることを確認してから SWREQ ビットに 1 を書いてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- CLRS ビットが 0（ソフトウェアによる DMA 転送開始後に SWREQ ビットをクリアする）の場合に、ソフトウェアによる DMA 転送要求が受け付けられて DMA 転送が開始したとき
- 0 を書いたとき

アクセスエラー発生により、DMA 転送が停止したとき「16.5. DMA 転送エラーの処理」を参照してください。

CLRS ビット（DMA ソフトウェア起動ビット自動クリア選択）

CLRS ビットは SWREQ ビットを 1 にして転送要求を発生させた場合、その要求に対して DMA 転送が開始した後、SWREQ ビットを 0 にするか否かを設定します。CLRS ビットを 0 にすると、DMA 転送の開始後、SWREQ ビットは 0 になります。1 にすると、SWREQ ビットは 0 にクリアされません。DMA 転送要求は、転送終了後に再発行できます。

16.2.17 DMSTS : DMA ステータスレジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x1E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ACT	—	—	DTIF	—	—	—	ESIF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ESIF	転送エスケープ終了割り込みフラグ 0: 転送エスケープ終了割り込み発生なし 1: 転送エスケープ終了割り込み発生あり	R/W(注1)
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	DTIF	転送終了割り込みフラグ 0: 転送終了割り込み発生なし 1: 転送終了割り込み発生あり	R/W(注1)
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
7	ACT	DMA アクティブフラグ 0: DMAC がアイドル状態 1: DMAC が動作中	R

注. S-TYPE-3, P-TYPE-3
注 1. フラグをクリアするための 0 の書き込みのみ可能です。

ESIF フラグ（転送エスケープ終了割り込みフラグ）

転送エスケープ終了割り込みが発生したことを示します。

[1 になる条件]

- リピート転送モードにおいて、DMINT.RPTIE ビットが 1 の状態で 1 リピートサイズ分のデータ転送が終了したとき
- ブロック転送モードにおいて、DMINT.RPTIE ビットが 1 の状態で 1 ブロック分のデータ転送が終了したとき
- DMINT.SARIE ビットが 1 で、かつ DMAMD.SARA[4:0]ビットが 00000b 以外（転送元アドレスに拡張リピート領域を設定）の状態で、転送元アドレスに拡張リピート領域オーバーフローが発生したとき
- DMINT.DARIE ビットが 1 で、かつ DMAMD.DARA[4:0]ビットが 00000b 以外（転送先アドレスに拡張リピート領域を設定）の状態で、転送先アドレスに拡張リピート領域オーバーフローが発生したとき

[0 になる条件]

- 0 を書いたとき
- DMCNT.DTE ビットに 1 を書いたとき

DTIF フラグ（転送終了割り込みフラグ）

転送終了割り込みが発生したことを示します。

[1 になる条件]

- ノーマル転送モードにおいて、指定した回数のデータ転送が終了したとき（DMCRAL ビットの値が 0 になり転送が終了したとき）
- リピート転送モードにおいて、指定した回数のリピート転送が終了したとき（DMCRBL ビットの値が 0 になり転送が終了したとき (DMTMD.TKP = 0) または DMCRBH をリロードした DMCRBL の値 (DMTMD.TKP = 1)）
- ブロック転送モードおよびリピートブロック転送モードにおいて、指定したブロック数の転送が終了したとき（DMCRBL ビットの値が 0 になり転送が終了したとき (DMTMD.TKP = 0) または DMCRBH をリロードした DMCRBL の値 (DMTMD.TKP = 1)）

[0 になる条件]

- 0 を書いたとき
- DMCNT.DTE ビットに 1 を書いたとき

ACT フラグ（DMA アクティブフラグ）

DMAC が停止状態であるか、または動作中であるかを示します。

[1 になる条件]

- DMAC がデータ転送を開始したとき

[0 になる条件]

- 1 転送要求に対するデータ転送が終了したとき

16.2.18 DMSBS : DMA 転送元バッファサイズレジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x28

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DMSBSH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DMSBSL[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DMSBSL[15:0]	リピートブロック転送モードでのデータ転送カウンタ 利用可能な設定は、表 16.3 を参照してください。	R/W
31:16	DMSBSH[15:0]	リピートブロック転送モードでのリピート領域サイズ指定 利用可能な設定は、表 16.3 を参照してください。	R/W

注. S-TYPE-3, P-TYPE-3

リピートブロック転送モードでは、DMSBSH と DMSBSL に対して、同じ値を設定してください。ノーマル転送モード、リピート転送モード、ブロック転送モードでは、DMSBS に 0x00000000 を書き込んでください。

リピートブロック転送モードでは、DMSBSH はバッファサイズを指定し、DMSBSL は 16 ビットのバッファサイズカウンタとして機能します。リピートブロック転送モードでは、転送元リピート領域を DMSBSH で指定します。

アドレス更新モードがインクリメントアドレスかデクリメントアドレスのいずれかの場合、このレジスタはバッファ全体のデータの数を示します。アドレス更新モードがオフセット加算の場合、このレジスタはそれぞれのバッファのデータの数を示します。オフセット加算の場合、DMSBSH と DMSBSL に 0x0000 を設定することは禁止です。バッファサイズの最終データが転送されたとき、DMSBSL は DMSBSH の値をリロードします。アドレス更新モードがアドレス固定の場合、このレジスタは無視されます。表 16.3 に、転送元アドレス更新モードでの転送データサイズに対応した DMA 転送元バッファサイズレジスタの設定値を示します。

表 16.3 リピートブロック転送モードにおいて DMSBS レジスタで利用可能な設定

転送元アドレス更新モード (DMAMD.SM)	転送データサイズ (DMTMD.SZ)	DMSBSH ビットと DMSBSL ビットで利用可能な設定
転送元アドレス固定 (SM = 00b)	Don't care	0x0000（DMSBS 未使用時）
オフセット加算 (SM = 01b)	8 ビット (SZ = 00b)	0x0001～0xFFFF (1～65535)
	16 ビット (SZ = 01b)	0x0001～0x7FFF (1～32767)
	32 ビット (SZ = 10b)	0x0001～0x3FFF (1～16383)
転送元アドレスがインクリメントアドレスかデクリメントアドレス (SM = 1xb)	Don't care	0x0000（無限） 0x0001～0xFFFF (1～65535)

ノーマル転送モード、リピート転送モード、およびブロック転送モードでは、DMSBS は使用されず、その設定は無効です。

16.2.19 DMDBS : DMA 転送先バッファサイズレジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x2C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DMDBSH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DMDBSL[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DMDBSL[15:0]	リピートブロック転送モードでのデータ転送カウンタ 利用可能な設定は、表 16.4 を参照してください。	R/W
31:16	DMDBSH[15:0]	リピートブロック転送モードでのリピート領域サイズ指定 利用可能な設定は、表 16.4 を参照してください。	R/W

注. S-TYPE-3, P-TYPE-3

リピートブロック転送モードでは、DMDBSH と DMDBSL に対して、同じ値を設定してください。ノーマル転送モード、リピート転送モード、ブロック転送モードでは、DMDBS に 0x00000000 を書き込んでください。

リピートブロック転送モードにおいて、DMDBSH はバッファサイズを指定し、DMDBSL は 16 ビットバッファサイズカウンタとして機能します。リピートブロック転送モードでは、転送先のリピート領域は DMDBSH により指定されます。

アドレス更新モードがインクリメントアドレスかデクリメントアドレスのいずれかの場合、このレジスタはバッファ全体のデータの数を示します。アドレス更新モードがオフセット加算の場合、このレジスタはそれぞれのバッファのデータの数を示します。オフセット加算の場合、DMDBSH と DMDBSL に 0x0000 を設定することは禁止です。バッファサイズの最終データが転送されたとき、DMDBSL は DMDBSH の値をリロードします。アドレス更新モードがアドレス固定の場合、このレジスタは無視されます。表 16.4 に、転送先アドレス更新モードでの転送データサイズに対応した転送先バッファサイズレジスタの設定値を示します。

表 16.4 リピートブロック転送モードにおいて DMDBS レジスタで利用可能な設定

転送先アドレス更新モード (DMAMD.DM)	転送データサイズ (DMTMD.SZ)	DMDBSH ビットと DMDBSL ビットで利用可能な設定
転送先アドレス固定 (DM = 00b)	Don't care	0x0000（DMDBS 未使用時）
オフセット加算 (DM = 01b)	8 ビット (SZ = 00b)	0x0001～0xFFFF (1～65535)
	16 ビット (SZ = 01b)	0x0001～0x7FFF (1～32767)
	32 ビット (SZ = 10b)	0x0001～0x3FFF (1～16383)
転送先アドレスはインクリメントまたはデクリメント (DM = 1xb)	Don't care	0x0000（無限） 0x0001～0xFFFF (1～65535)

ノーマル転送モード、リピート転送モード、およびブロック転送モードでは、DMDBS は使用されず、その設定は無効です。

16.2.20 DMBWR : DMA バッファラブル書き込みイネーブルレジスタ

Base address: DMAC0n = 0x4000_A000 + 0x0040 × n (n = 0～7)
DMAC0n_NS = 0x5000_A000 + 0x0040 × n (n = 0～7)

Offset address: 0x30

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	BWE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BWE	バッファラブル書き込みイネーブル 0: バッファラブル書き込み禁止 1: バッファラブル書き込み許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

BWE ビット（バッファラブル書き込みイネーブル）

BWE ビットはバッファラブル書き込みの許可または禁止を指定します。

このビットが 1 の場合、DMAC としての書き込みアクセスが完了しても、実際のスレーブ書き込みは終了していない可能性があります。

このビットが 1 のとき、スレーブに対して可能であればテンポラリバッファに書き込みデータを書き込むことによって、早期応答を要求します。そのため、DMAC としての書き込みアクセスが完了しても、実際のスレーブ書き込みが終了していない場合があります。対象のスレーブへの書き込みアクセスの最中にエラーが発生した場合、エラーが検出されず転送が自動的に停止しない場合があります。そのような場合、エラー応答検出割り込み (DMA_TRANSERR) は発生しません。

バッファラブル書き込みに対応したスレーブグループとエラー応答検出割り込みを発生できないスレーブグループについては、「14.4.2. バスエラー発生時の動作」を参照してください。

一部の個別のスレーブモジュールはバッファラブル書き込みにも対応するので、それぞれのモジュールの章を参照してください。

[1 になる条件]

- 本ビットに 1 が書き込まれたとき

[0 になる条件]

- 本ビットに 0 が書き込まれたとき

16.2.21 DMAST : DMAC モジュール起動レジスタ

Base address: DMA0 = 0x4000_A800
DMA0_NS = 0x5000_A800

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DMST
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DMST	DMAC 動作許可 0: DMAC 起動禁止 1: DMAC 起動許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE2

DMST ビット（DMAC 動作許可）

DMAST.DMST ビットを 1 にすると、DMAC 全チャネルの起動が許可されます。DMST ビットを 1（DMAC 起動許可）にした場合、複数チャネルの DMCNT.DTE ビットを 1（DMA 転送許可）にすることで、対応する全チャネルが同時に転送要求受け付け可能状態になります。

DMA 転送中に DMST ビットを 0 にすると、実行中の 1 転送要求に対するデータ転送が終了した後、DMA 転送が一時停止します。DMA 転送を再開するには、再度 DMST ビットを 1 にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 0 を書いたとき

16.2.22 DMECHR : DMAC エラーチャネルレジスタ

Base address: DMA0 = 0x4000_A800
DMA0_NS = 0x5000_A800

Offset address: 0x40

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMESTA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DMECHSAM	—	—	—	—	—	DMECH		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	DMECH	DMAC エラーチャネル エラーが発生したチャネル番号を示します。 0 0 0: チャネル 0 でエラー発生 0 0 1: チャネル 1 でエラー発生 0 1 0: チャネル 2 でエラー発生 ⋮ ⋮ 1 1 1: チャネル 7 でエラー発生	R
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R
8	DMECHSAM	DMAC エラーチャネルセキュリティ属性監視 エラーが発生したチャネルのセキュリティ属性を示します。 0: セキュアチャネル 1: 非セキュアチャネル	R
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R
16	DMESTA	DMAC エラーステータス 0: DMA 転送エラー発生なし 1: DMA 転送エラー発生あり	R/W(注1)
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. P-TYPE-2。セキュリティ属性によるアクセスについては下記を参照してください。
注 1. DMESTA への書き込みは DMECHSAM の値に依存します。

本レジスタを読み出す場合、セキュアアクセスと非セキュアアクセスの両方でアクセス可能です。

本レジスタに書き込む場合、DMECHR.DMESA に依存します。

- DMESA = 1 のとき、セキュアアクセスと非セキュアアクセスでアクセス可能です。
- DMESA = 0 のとき、セキュアアクセスでアクセス可能です。書き込みアクセスが非セキュアアクセスで行われると、エラーが発生します。

本レジスタは、転送エラーによって生じるリセットでクリアされます。プログラムをデバッグする場合は、BUS.OADCFG.OAD で割り込み (DMA0_TRANSERR) を選択してください。

DMECH[2:0]ビット（DMAC エラーチャネル）

DMA 転送起因の転送エラーが発生した場合、本ビットは違反した DMAC のチャネルを格納します。

MMPUOAD.OAD と MSAOAD.OAD でリセットが選択されたとき、本レジスタもリセットされます。プログラムをデバッグする場合は、ノンマスカブル割り込みを選択してください。

[1 になる条件]

- DMAC 転送エラーが発生し、かつ DMESTA = 0 の場合

[0 になる条件]

- DMESTA に 1 を書く場合

DMECHSAM ビット（DMAC エラーチャネルセキュリティ属性監視）

DMA 転送起因の転送エラーが発生した場合、本ビットは違反した DMAC チャネルのセキュリティ属性を示します。

MMPUOAD.OAD と MSAOAD.OAD でリセットが選択されたとき、本レジスタもリセットされます。プログラムをデバッグする場合は、ノンマスカブル割り込みを選択してください。

[1 になる条件]

- DMAC 転送エラーが発生し、かつ DMESTA = 0 の場合

[0 になる条件]

- DMESTA に 1 を書く場合

DMESTA ビット（DMAC エラーステータス）

本ビットは DMA 転送エラーの発生の有無を示します。

DMESTA に 1 を書くことにより、DMECH、DMECHSAM、DMESTA はクリアされます。DMESTA への 0 の書き込みは無視されます。

MMPUOAD.OAD と MSAOAD.OAD でリセットが選択されたとき、本レジスタもリセットされます。プログラムをデバッグする場合は、ノンマスカブル割り込みを選択してください。

[1 になる条件]

- DMAC 転送エラーが発生した場合

[0 になる条件]

- DMESTA に 1 を書く場合

注. DMECHSAM = 1 の場合、セキュア状態および非セキュア状態でクリア可能です。DMECHSAM = 0 の場合、非セキュア状態ではクリアできません。

16.3 動作説明

16.3.1 転送モード

16.3.1.1 ノーマル転送モード

ノーマル転送モードでは、1 転送要求に対して 1 データの転送を行います。DMCRAL ビットで転送回数を最大 65535 回まで設定できます。また、これらのビットを 0x0000 にすると、転送回数は指定なしとなり、転送カウンタが停止した状態でデータ転送を行います（フリーランニング機能）。ノーマル転送モードでは、DMCRB レジスタの設定は無効です。フリーランニング機能を除き、指定した転送回数の終了後に転送終了割り込み要求を発生させることができます。

表 16.5 にノーマル転送モードにおけるレジスタ更新動作を、図 16.2 にノーマル転送モードにおける転送動作を示します。

表 16.5　ノーマル転送モードでのレジスタ更新動作

レジスタ	機能	1 転送要求に対する転送終了後の更新動作
DMSAR	転送元アドレス	インクリメント／デクリメント／固定／オフセット加算
DMDAR	転送先アドレス	インクリメント／デクリメント／固定／オフセット加算
DMCRAL	転送カウント	1 減算／更新なし（フリーランニング機能時）
DMCRAH	—	更新なし（ノーマル転送モードでは使用しない）
DMCRB	—	更新なし（ノーマル転送モードでは使用しない）

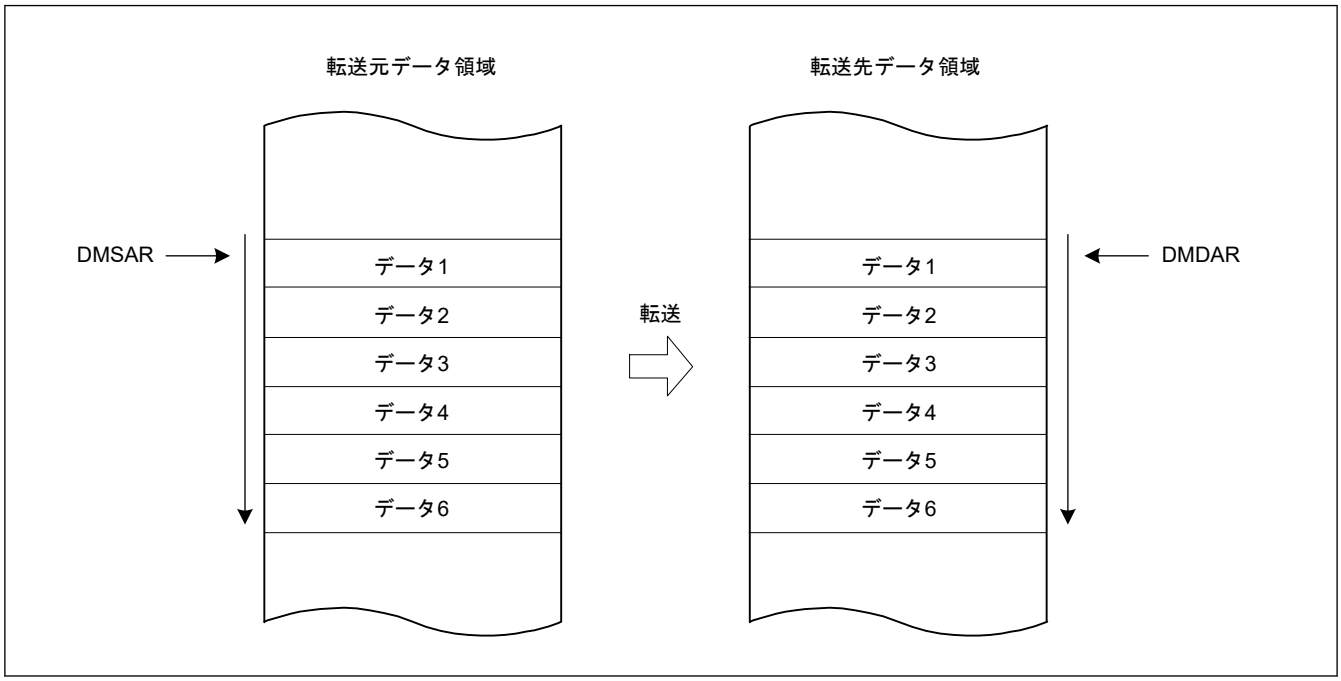


図 16.2　ノーマル転送モードにおける動作

16.3.1.2　リピート転送モード

リピート転送モードは 1 回の転送要求について 1 データの転送を行います。

DMCRA レジスタで最大 1K データのリピート転送サイズを設定できます。

また、DMCRB レジスタで最大 64K 回の指定リピート回数を設定できます。総データ転送数は最大 1K データ×64K リピート回数＝64M データの指定が可能です。

転送元または転送先のいずれか一方をリピート領域に指定することができます。リピート領域に指定された方のアドレスレジスタ（DMSAR または DMDAR）は、リピートサイズ分のデータ転送が終了すると、転送開始時のアドレスに復帰します。リピート転送モードでは、指定されたリピートサイズ分のデータの転送がすべて終了した時に、DMA 転送を停止させ、リピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMCNT.DTE ビットに 1 を書くと DMA 転送を再開することができます。

また、指定したリピート転送回数の終了後に、転送終了割り込み要求を発生させることができます。

リピート転送モードにおけるレジスタ更新動作を表 16.6 に、リピート転送モードにおける転送動作を図 16.3 に示します。

表 16.6　リピート転送モードでのレジスタ更新動作

レジスタ	機能	1 転送要求に対する転送終了後の更新動作	
		DMCRAL ビットが 1 以外のとき	DMCRAL ビットが 1 のとき（リピートサイズの最終データ転送）
DMSAR	転送元アドレス	インクリメント／デクリメント／固定／オフセット加算	• DMTMD.DTS[1:0] = 00b インクリメント／デクリメント／固定／オフセット加算 • DMTMD.DTS[1:0] = 01b DMSAR の初期値 • DMTMD.DTS[1:0] = 10b インクリメント／デクリメント／固定／オフセット加算
DMDAR	転送先アドレス	インクリメント／デクリメント／固定／オフセット加算	• DMTMD.DTS[1:0] = 00b DMDAR の初期値 • DMTMD.DTS[1:0] = 01b インクリメント／デクリメント／固定／オフセット加算 • DMTMD.DTS[1:0] = 10b インクリメント／デクリメント／固定／オフセット加算
DMCRAH	リピートサイズ	更新なし	更新なし
DMCRAL	転送カウント	1 減算	DMCRAH
DMCRBH	リピート転送回数	更新なし	更新なし
DMCRBL	リピート転送回数のカウント	更新なし	1 減算

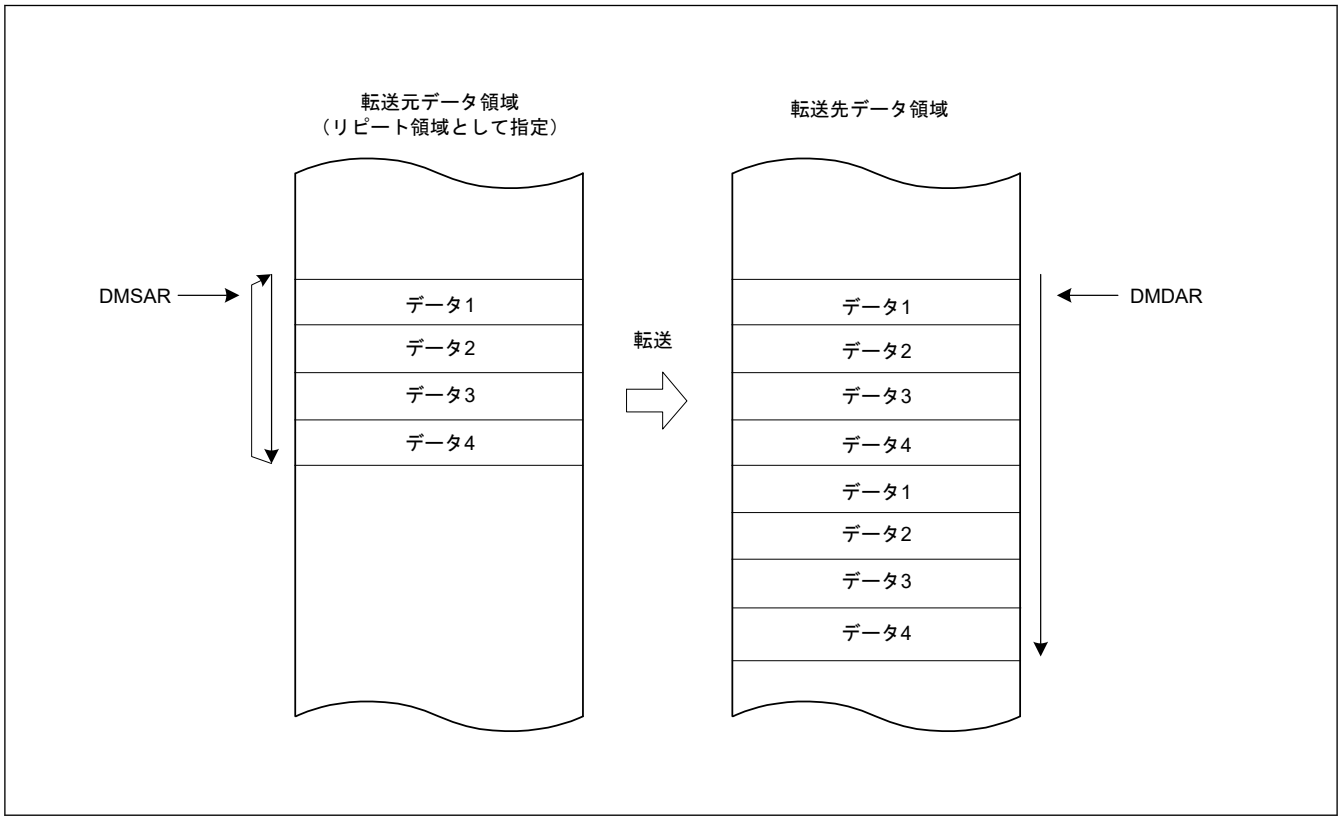


図 16.3　リピート転送モードの動作

16.3.1.3　ブロック転送モード

ブロック転送モードは、1 回の転送要求について 1 ブロックのデータ転送を行います。

DMCRA レジスタで最大 1K データのブロック転送サイズを設定できます。

また、DMCRB レジスタで最大 64K 回の指定ブロック転送回数を設定できます。総データ転送数は最大 1K データ×64K ブロック転送回数 = 64M データの指定が可能です。

転送元または転送先のいずれか一方をブロック領域に指定することができます。ブロック領域に指定された方のアドレスレジスタ（DMSAR または DMDAR）は、1 ブロック分のデータ転送が終了すると、転送開始時のアドレスに復帰します。ブロック転送モードでは、1 ブロックのデータ転送がすべて終了した時に、DMA 転送を停止し、リピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMCNT.DTE ビットに 1 を書くと DMA 転送を再開することができます。

また、指定したブロック転送回数の終了後に、転送終了割り込み要求を発生させることができます。

ブロック転送モードにおけるレジスタ更新動作を表 16.7 に、ブロック転送モードにおける転送動作を図 16.4 に示します。

表 16.7　ブロック転送モードでのレジスタ更新動作

レジスタ	機能	1 転送要求に対する 1 ブロック転送終了後の更新動作
DMSAR	転送元アドレス	• DMTMD.DTS[1:0] = 00b インクリメント／デクリメント／固定／オフセット加算 • DMTMD.DTS[1:0] = 01b DMSAR の初期値 • DMTMD.DTS[1:0] = 10b インクリメント／デクリメント／固定／オフセット加算
DMDAR	転送先アドレス	• DMTMD.DTS[1:0] = 00b DMDAR の初期値 • DMTMD.DTS[1:0] = 01b インクリメント／デクリメント／固定／オフセット加算 • DMTMD.DTS[1:0] = 10b インクリメント／デクリメント／固定／オフセット加算
DMCRAH	ブロックサイズ	更新なし
DMCRAL	転送カウント	DMCRAH
DMCRBH	ブロック転送回数	更新なし
DMCRBL	ブロック転送回数のカウント	1 減算

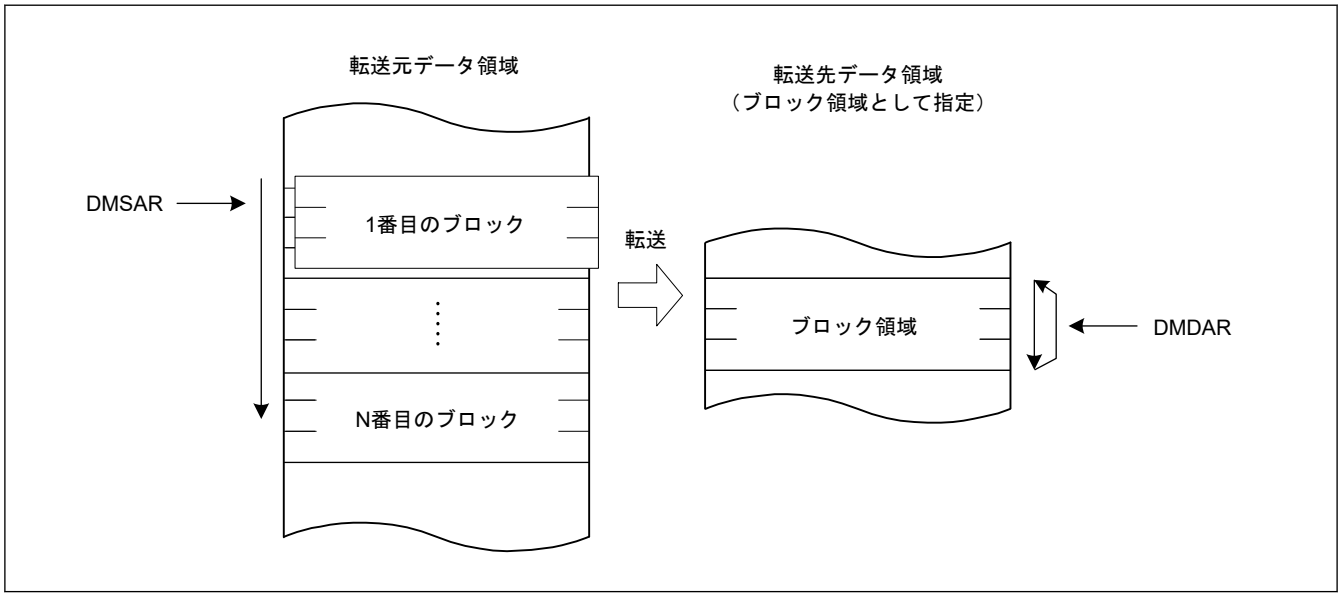


図 16.4　ブロック転送モードの動作

16.3.1.4　リピートブロック転送モード

リピートブロック転送はブロック転送機能に追加された以下の機能をもつ動作モードです。

リピート機能：特定のアドレス領域をリピートする追加機能（リングバッファ）

オフセット機能：オフセットのある複数の領域を 1 ブロック転送内で指定可能

リピート機能とオフセット機能は、リピートブロック転送の転送元と転送先に対して使用可能です。

図 16.5 に転送先へリピート機能を追加する例を示します。

図 16.6 に転送先へオフセット加算するリピートブロック転送の例を示します。

リピートブロック転送モードでは、1 つの転送要求で 1 つのブロックデータが転送されます。

DMACn の DMCRA を使用して、最大 1 K のデータを合計ブロック転送サイズとして設定可能です。

DMACn の DMCRB を使用して、最大 64 K をブロック転送回数として設定可能です。したがって、最大 64 M のデータ（1 K データ × 64 K ブロック転送回数）を合計データ転送サイズとして設定可能です。

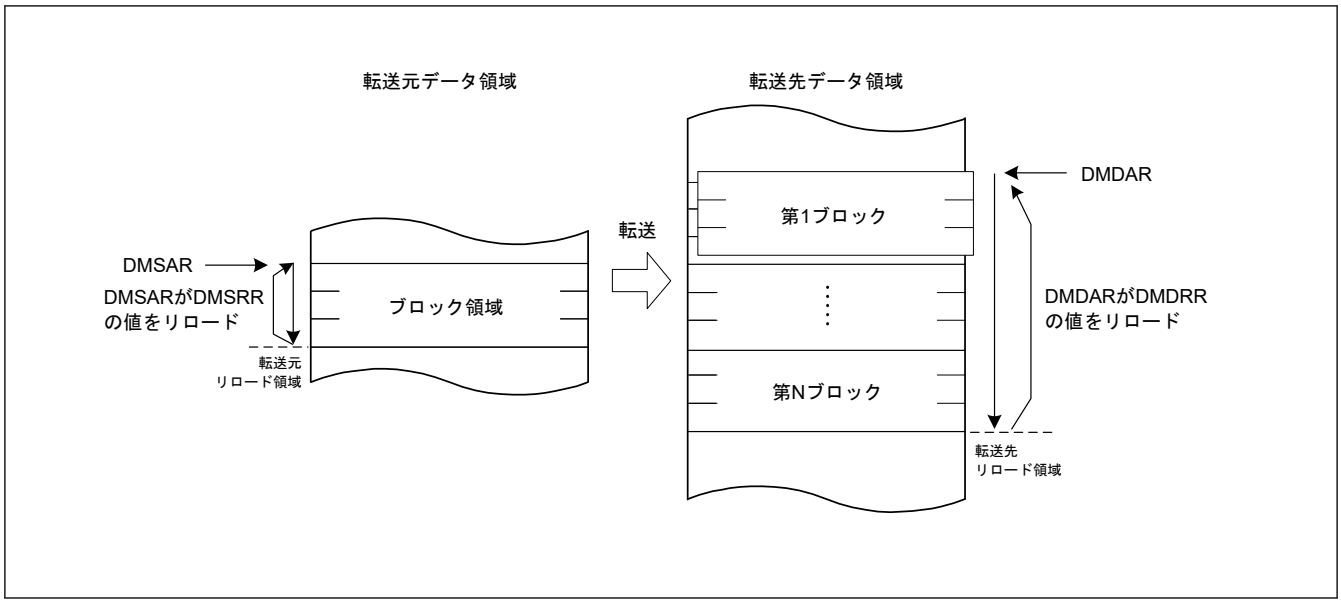


図 16.5　リピートブロック転送モードの動作

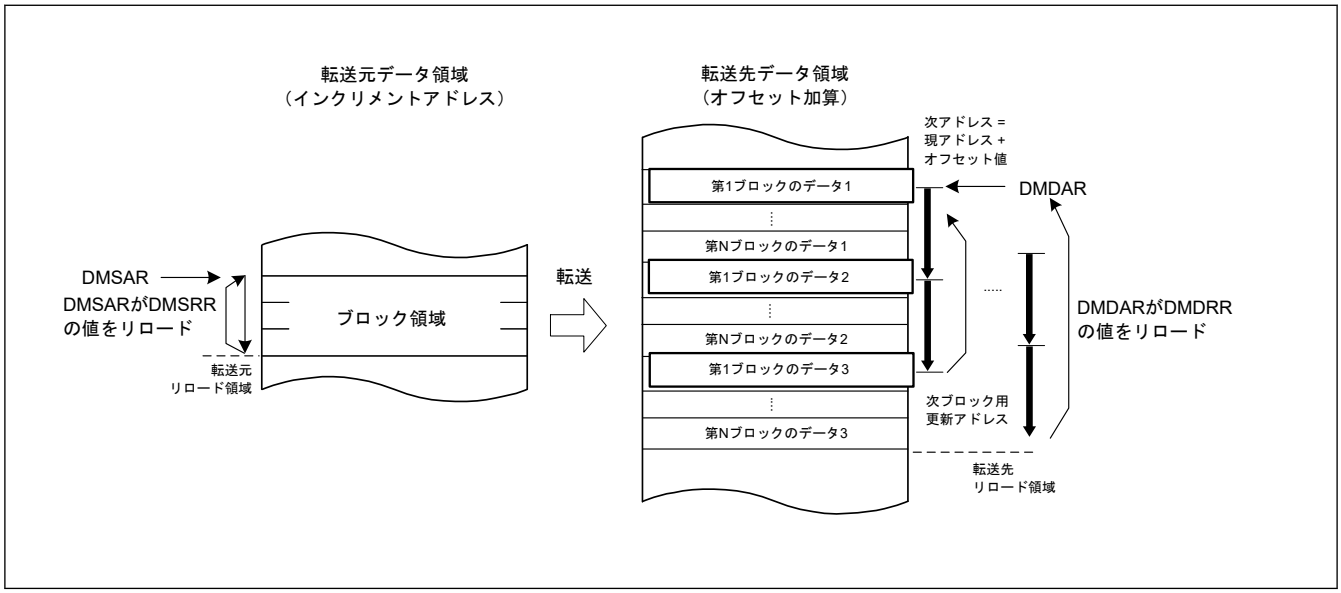


図 16.6　リピートブロック転送モードの動作（オフセット加算）

表 16.8～表 16.13 にリピートブロック転送モードのレジスタ更新動作をまとめます。

リピートブロック転送モードにおけるアドレス更新機能についての詳細は、「16.3.5. リピートブロック転送モードにおけるアドレス更新機能」を参照してください。

表 16.8 リピートブロック転送モードにおける転送元領域に対応するレジスタ更新動作（固定アドレス DMAMD.SM[1:0] = 00b）

レジスタ	機能	シングルデータ転送後の更新動作		
		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMSRR	転送元リロードアドレス	更新なし	更新なし	更新なし
DMSAR	転送元アドレス	更新なし	更新なし	更新なし
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし
DMCRAL[15:0]	ブロックサイズカウント	1 減算	DMCRAH[9:0]	DMCRAH[9:0]
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック転送動作のカウント	更新なし	1 減算	0
	DMTMD.TKP = 1 の場合のブロック転送動作のカウント			DMCRBH[15:0]

表 16.9 リピートブロック転送モードにおける転送先領域に対応するレジスタ更新動作（固定アドレス DMAMD.DM[1:0] = 00b）

レジスタ	機能	シングルデータ転送後の更新動作		
		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMDRR	転送先リロードアドレス	更新なし	更新なし	更新なし
DMDAR	転送先アドレス	更新なし	更新なし	更新なし
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし
DMCRAL[15:0]	ブロックサイズカウント	1 減算	DMCRAH[9:0]	DMCRAH[9:0]
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック転送動作のカウント	更新なし	1 減算	0
	DMTMD.TKP = 1 の場合のブロック転送動作のカウント			DMCRBH[15:0]

表 16.10 リピートブロック転送モードにおける転送元領域に対応するレジスタ更新動作（インクリメントアドレスまたはデクリメントアドレス DMAMD.SM[1:0] = 10b または 11b） (1/2)

レジスタ	機能	シングルデータ転送後の更新動作					
		DMSBSL[15:0]が 1 ではない			DMSBSL[15:0]が 1		
		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1		DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMSRR	転送元リロードアドレス	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし

表 16.10 リピートブロック転送モードにおける転送元領域に対応するレジスタ更新動作（インクリメントアドレスまたはデクリメントアドレス DMAMD.SM[1:0] = 10b または 11b） (2/2)

レジスタ	機能	シングルデータ転送後の更新動作					
		DMSBSL[15:0]が 1 ではない			DMSBSL[15:0]が 1		
		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1		DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMSAR	DMTMD.SM[1:0] = 10b の場合の転送元アドレス	データサイズによるインクリメント			DMSRR		
	DMTMD.SM[1:0] = 11b の場合の転送元アドレス	データサイズによるデクリメント			DMSRR		
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRAL[15:0]	ブロックサイズカウント	1 減算	DMCRAH[9:0]	DMCRAH[9:0]	1 減算	DMCRAH[9:0]	DMCRAH[9:0]
DMSBSH[15:0]	転送元バッファサイズ（リピートサイズ）	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMSBSL[15:0]	転送元バッファの転送データカウント	1 減算	1 減算	1 減算	DMSBSH	DMSBSH	DMSBSH
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック転送動作のカウント	更新なし	1 減算	0	更新なし	1 減算	0
	DMTMD.TKP = 1 の場合のブロック転送動作のカウント			DMCRBH[15:0]			DMCRBH[15:0]

表 16.11 リピートブロック転送モードにおける転送先領域に対応するレジスタ更新動作（インクリメントアドレスまたはデクリメントアドレス DMAMD.DM[1:0] = 10b または 11b） (1/2)

レジスタ	機能	シングルデータ転送後の更新動作					
		DMDBSL[15:0]が 1 ではない			DMDBSL[15:0]が 1		
		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1		DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMDRR	転送先リロードアドレス	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし

表 16.11 リピートブロック転送モードにおける転送先領域に対応するレジスタ更新動作（インクリメントアドレスまたはデクリメントアドレス DMAMD.DM[1:0] = 10b または 11b） (2/2)

レジスタ	機能	シングルデータ転送後の更新動作					
		DMDBSL[15:0]が 1 ではない			DMDBSL[15:0]が 1		
		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1		DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMDAR	DMTMD.DM[1:0] = 10b の場合の転送先アドレス	データサイズによるインクリメント			DMDRR		
	DMTMD.DM[1:0] = 11b の場合の転送先アドレス	データサイズによるデクリメント			DMDRR		
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRAL[15:0]	ブロックサイズカウント	1 減算	DMCRAH[9:0]	DMCRAH[9:0]	1 減算	DMCRAH[9:0]	DMCRAH[9:0]
DMDBSH[15:0]	転送先バッファサイズ（リピートサイズ）	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMDBSL[15:0]	転送先バッファの転送データカウント	1 減算	1 減算	1 減算	DMDBSH	DMDBSH	DMDBSH
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック転送動作のカウント	更新なし	1 減算	0	更新なし	1 減算	0
	DMTMD.TKP = 1 の場合のブロック転送動作のカウント			DMCRBH[15:0]			DMCRBH[15:0]

表 16.12 リピートブロック転送モードにおける転送元領域に対応するレジスタ更新動作（オフセット加算 DMAMD.SM[1:0] = 01b） (1/2)

レジスタ	機能	DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)			
			DMSBSL[15:0]が 1 ではない		DMSBSL[15:0]が 1	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1	DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMSRR	転送元リロードアドレス	更新なし	更新なし	更新なし	更新なし	更新なし
DMSAR	DMAMD.SADR = 0 の場合の転送元アドレス	DMSBSH によるオフセット加算	DMSRR		DMSRR	
	DMAMD.SADR = 1 の場合の転送元アドレス		DMSRR + (DMS-BSH - DMSBSL) × (データサイズ)			
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし	更新なし	更新なし

表 16.12 リピートブロック転送モードにおける転送元領域に対応するレジスタ更新動作（オフセット加算 DMAMD.SM[1:0] = 01b） (2/2)

レジスタ	機能	DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)			
			DMSBSL[15:0]が 1 ではない		DMSBSL[15:0]が 1	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1	DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMCRAL[15:0]	ブロックサイズカウント	1 減算	DMCRAH[9:0]	DMCRAH[9:0]	DMCRAH[9:0]	DMCRAH[9:0]
DMSBSH[15:0]	転送元バッファサイズ（リピートサイズ）	更新なし	更新なし	更新なし	更新なし	更新なし
DMSBSL[15:0]	転送元バッファの転送データカウント	更新なし	1 減算	1 減算	DMSBSH	DMSBSH
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック転送動作のカウント	更新なし	1 減算	0	1 減算	0
	DMTMD.TKP = 1 の場合のブロック転送動作のカウント			DMCRBH[15:0]		DMCRBH[15:0]

表 16.13 リピートブロック転送モードにおける転送先領域に対応するレジスタ更新動作（オフセット加算 DMAMD.DM[1:0] = 01b）

レジスタ	機能	DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)			
			DMDBSL[15:0]が 1 ではない		DMDBSL[15:0]が 1	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1	DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMDRR	転送先リロードアドレス	更新なし	更新なし	更新なし	更新なし	更新なし
DMDAR	DMAMD.DADR = 0 の場合の転送先アドレス	DMDBSH によるオフセット加算	DMDRR		DMDRR	
	DMAMD.DADR = 1 の場合の転送先アドレス		DMDRR + (DMDBSH - DMDBSL) × (データサイズ)			
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRAL[15:0]	ブロックサイズカウント	1 減算	DMCRAH[9:0]	DMCRAH[9:0]	DMCRAH[9:0]	DMCRAH[9:0]
DMDBSH[15:0]	転送先バッファサイズ（リピートサイズ）	更新なし	更新なし	更新なし	更新なし	更新なし
DMDBSL[15:0]	転送先バッファの転送データカウント	更新なし	1 減算	1 減算	DMDBSH	DMDBSH
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック転送動作のカウント	更新なし	1 減算	0	1 減算	0
	DMTMD.TKP = 1 の場合のブロック転送動作のカウント			DMCRBH[15:0]		DMCRBH[15:0]

16.3.2 拡張リピート領域機能

DMAC には、転送元アドレスと転送先アドレスに拡張リピート領域を設定する機能があります。拡張リピート領域を設定すると、アドレスレジスタは拡張リピート領域に指定した範囲のアドレス値を繰り返します。

この機能を設定すると、アドレスレジスタは拡張リピート領域に指定した範囲のアドレス値を繰り返します。

転送元アドレスの拡張リピート領域は、DMAMD.SARA[4:0]ビットで設定します転送先アドレスの拡張リピート領域は、DMAMD.DARA[4:0]ビットで設定します。転送元と転送先に異なるサイズの設定が可能です。

ただし、リピート領域またはブロック領域として設定した転送元または転送先に、拡張リピート領域を設定することはできません。

アドレスレジスタの値が拡張リピート領域の終了アドレスに到達し、拡張リピート領域がオーバーフローすると、DMA 転送を停止させて、拡張リピート領域オーバーフロー割り込み要求を発生させることができます。DMINT.SARIE ビットが 1 のとき、転送元の拡張リピート領域がオーバーフローすると、DMSTS.ESIF フラグが 1 になり、DMCNT.DTE ビットを 0 にして DMA 転送を終了させます。このとき、DMINT.ESIE ビットが 1 になっていると、拡張リピート領域オーバーフロー割り込み要求が発生します。DMINT.DARIE ビットが 1 の場合、この機能は転送先アドレスレジスタが対象になります。DMA 転送を再開させるには、割り込み処理で DMCNT.DTE ビットに 1 を書き込んでください。

図 16.7 に、拡張リピート領域の動作例を示します。

DMSAR の下位 3 ビット（8 バイト）を拡張リピート領域に設定する (DMAMD.SARA[4:0] = 00011b)。データサイズが 8 ビット (DMTMD.SZ[1:0] = 00b) の場合

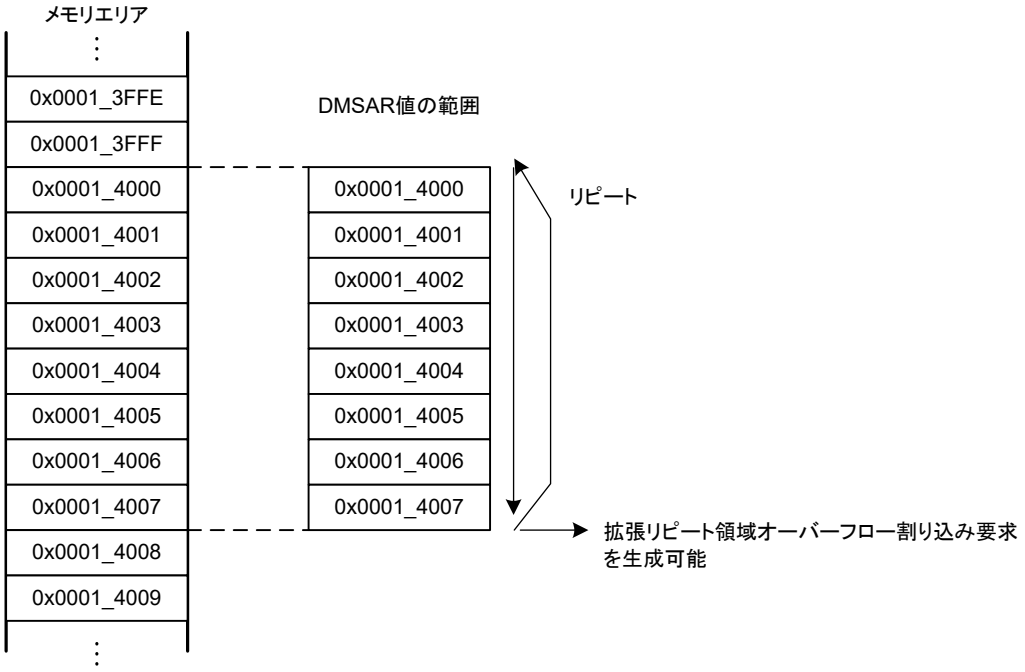


図 16.7 拡張リピート領域の動作例

ブロック転送モードで拡張リピート領域オーバーフロー割り込みを使用する場合は、以下の点に注意してください。

拡張リピート領域オーバーフロー割り込みで転送を終了させる場合、ブロックサイズを 2 のべき乗になるように設定するか、またはブロックサイズの境界と拡張リピート領域の範囲の境界が一致するようにアドレスレジスタの値を設定する必要があります。また、1 ブロックの転送中に拡張リピート領域にオーバーフローが発生した場合、そのブロックの転送が終了するまで拡張リピート領域オーバーフロー割り込みは保留され、転送はオーバーランします。

図 16.8 に、ブロック転送モードにおける拡張リピート領域機能の使用例を示します。

DMSAR の下位 3 ビット（8 バイト）を拡張リピート領域に設定し (DMAMD.SARA[4:0] = 00011b)、ブロック転送モードでブロックサイズを 5 に設定し (DMCRA = 0x00050005)、転送元アドレスをブロック領域に指定しない。データサイズが 8 ビット (DMTMD.SZ[1:0] = 00b) の場合

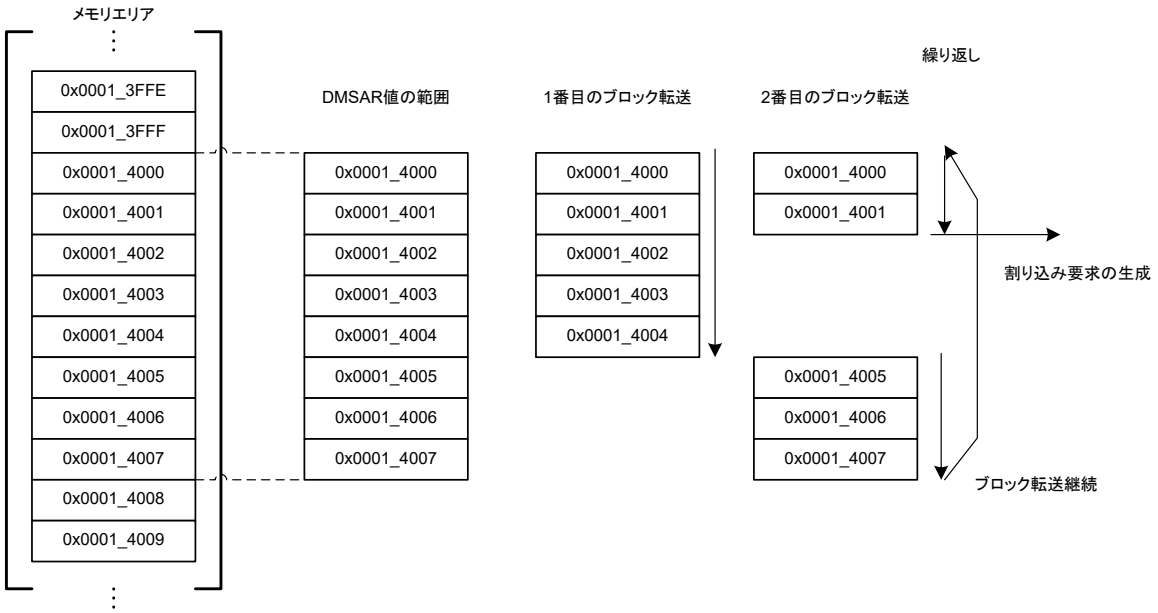


図 16.8　ブロック転送モードにおける拡張リピート領域機能の使用例

16.3.3　フリーランニング機能

DMAC はフリーランニング機能をサポートしています。この機能は割り込みハンドラを再設定することなく、リピート転送を許可します。

16.3.3.1　ノーマル転送モード

ノーマル転送モードで、DMCRA.DMCRAL ビットが 0x0000 の場合、転送動作の回数は設定されません。データ転送は、転送カウンタ停止で実行されます。

詳細については、「16.3.1.1. ノーマル転送モード」を参照してください。

16.3.3.2　他の転送モード

リピート転送モード、ブロック転送モード、およびリピートブロック転送モードでは、DMAC は DMTMD.TKP ビットを使用したフリーランニング機能をサポートしています。DMTMD.TKP ビットが 1 に設定される場合、転送動作の指定された全回数の終了により転送は停止せず、繰り返し DMCRBH をリロードします。

図 16.9 にフリーランニング機能がない場合のブロック転送例を示します。

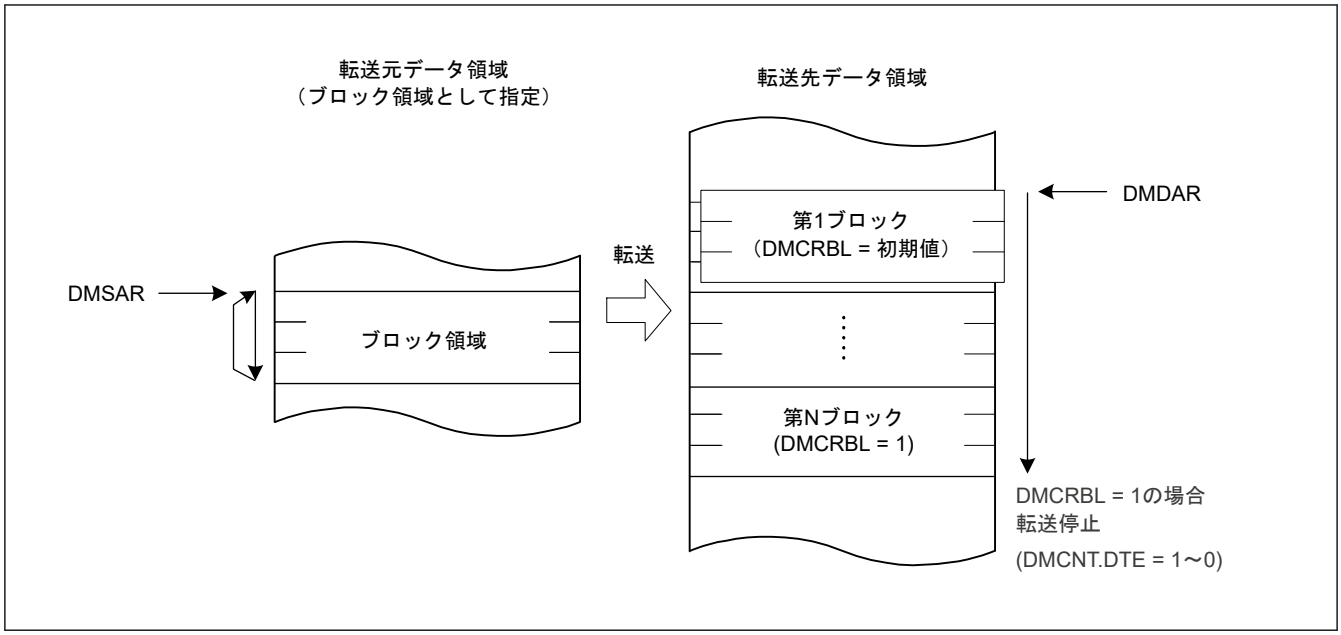


図 16.9　DMTMD.TKP ビットが 0 の場合のブロック転送モードの動作

図 16.10 にフリーランニング機能がある場合のブロック転送例を示します。

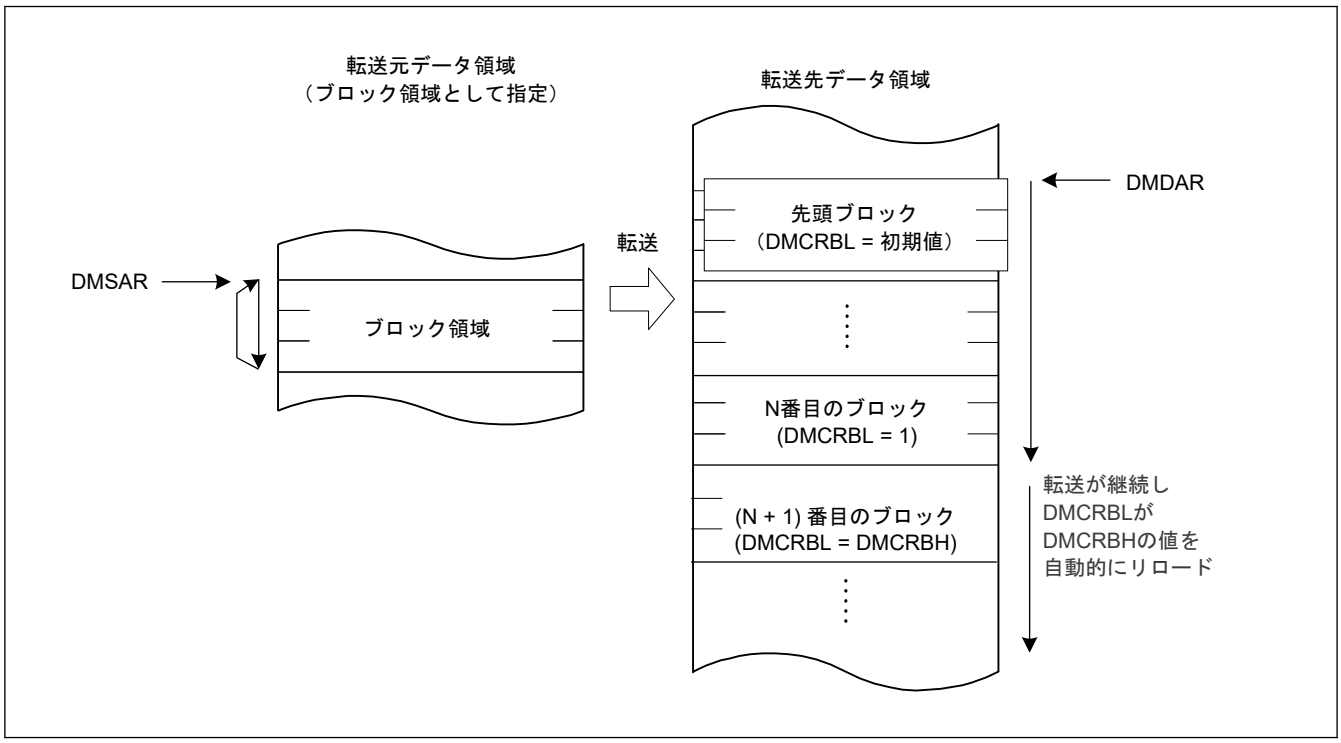


図 16.10　DMTMD.TKP ビットが 1 の場合のブロック転送モードの動作

16.3.4　オフセットを使用したアドレス更新機能

転送元アドレスと転送先アドレスの更新方法には、固定、インクリメント、デクリメントの他にオフセット加算があります。ノーマル、リピート、ブロック転送モードにおいて、オフセット加算では、DMAC が 1 データの転送を実行するたびに、DMA オフセットレジスタ (DMOFR) で設定したオフセット値がアドレスに加算されます。この機能によって、分散した領域にアドレスが割り付けられた状態でデータ転送を実施できます。

また、DMOFR に負の値を設定すると、オフセットによる減算も可能です。負の値は 2 の補数で設定する必要があります。

リピートブロック転送モードでは、DMOFR の代わりに DMSBS または DMDBS が使用されます。詳細については、「16.3.1.4. リピートブロック転送モード」を参照してください。

表 16.14 に各アドレス更新モードにおけるアドレス更新方法を示します。

表 16.14　各アドレス更新モードにおけるアドレス更新方法

アドレス更新モード	アドレス更新モードに対する DMAMD.SM[1:0]および DMAMD.DM[1:0]の設定値	アドレス更新方法（DMTMD.SZ[1:0]設定値別）		
		SZ[1:0] = 00b	SZ[1:0] = 01b	SZ[1:0] = 10b
アドレス固定	00b	固定		
オフセット加算	01b	+DMOFR(注1)		
インクリメント	10b	+1	+2	+4
デクリメント	11b	-1	-2	-4

注 1.　DMA オフセットレジスタに負の値を設定する場合、その値は次式で計算される 2 の補数でなければいけません。
負のオフセット値の 2 の補数表現 = ～（オフセット値）+1（～：ビット反転）

16.3.4.1　オフセット加算を使用した基本的な転送

図 16.11 にオフセット加算によるアドレス更新機能の動作例を示します。

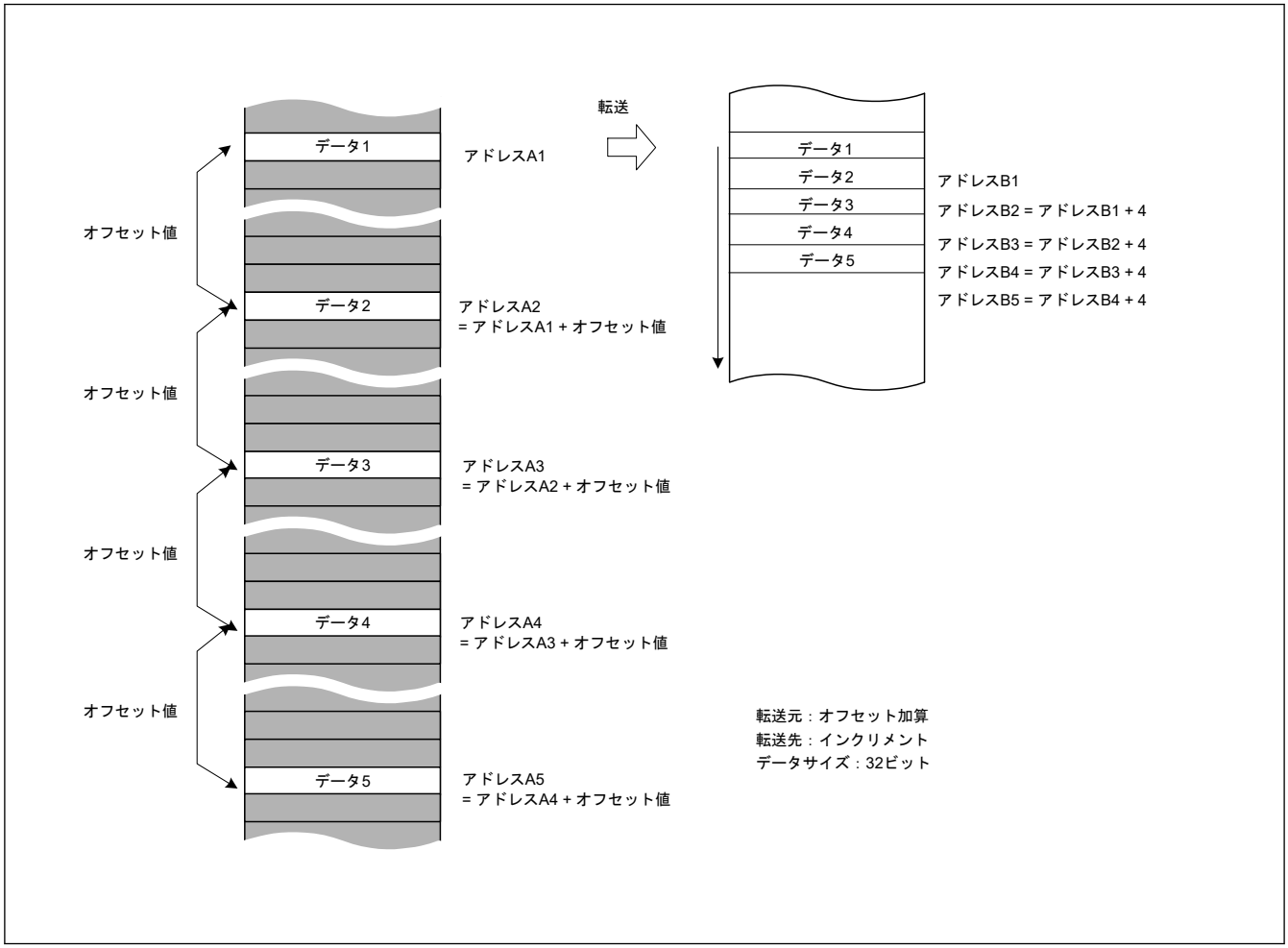


図 16.11　オフセット加算によるアドレス更新機能の動作例

図 16.11 では、以下のように設定しています。

- 転送データサイズは 32 ビット
- 転送元アドレスの更新モードはオフセット加算
- 転送先アドレスの更新モードはインクリメント

2 回目以降のデータは、前回のアドレスにオフセット値を加算することで得られる転送元アドレスから読み出されます。指定された間隔で読み出されたデータは、転送先では連続した領域に書き込まれます。

16.3.4.2 オフセット加算を使用した XY 変換例

図 16.12 に、リピート転送モードとオフセット加算を組み合わせて XY 変換を行うときの動作を示します。

設定方法は以下のとおりです。

- DMAMD.SM — 転送元アドレス更新モード：オフセット加算
- DMAMD.DM — 転送先アドレス更新モード：転送先アドレスがインクリメントされる
- DMTMD.SZ — 転送データサイズ選択：32 ビット
- DMTMD.MD — 転送モード選択：リピート転送
- DMTMD.DTS — リピート領域選択：転送元をリピート領域に設定
- DMOFR — オフセットアドレス：0x10
- DMCRA—リピートサイズ：0x4
- DMINT.RPTIE — リピートサイズ終了割り込みを許可

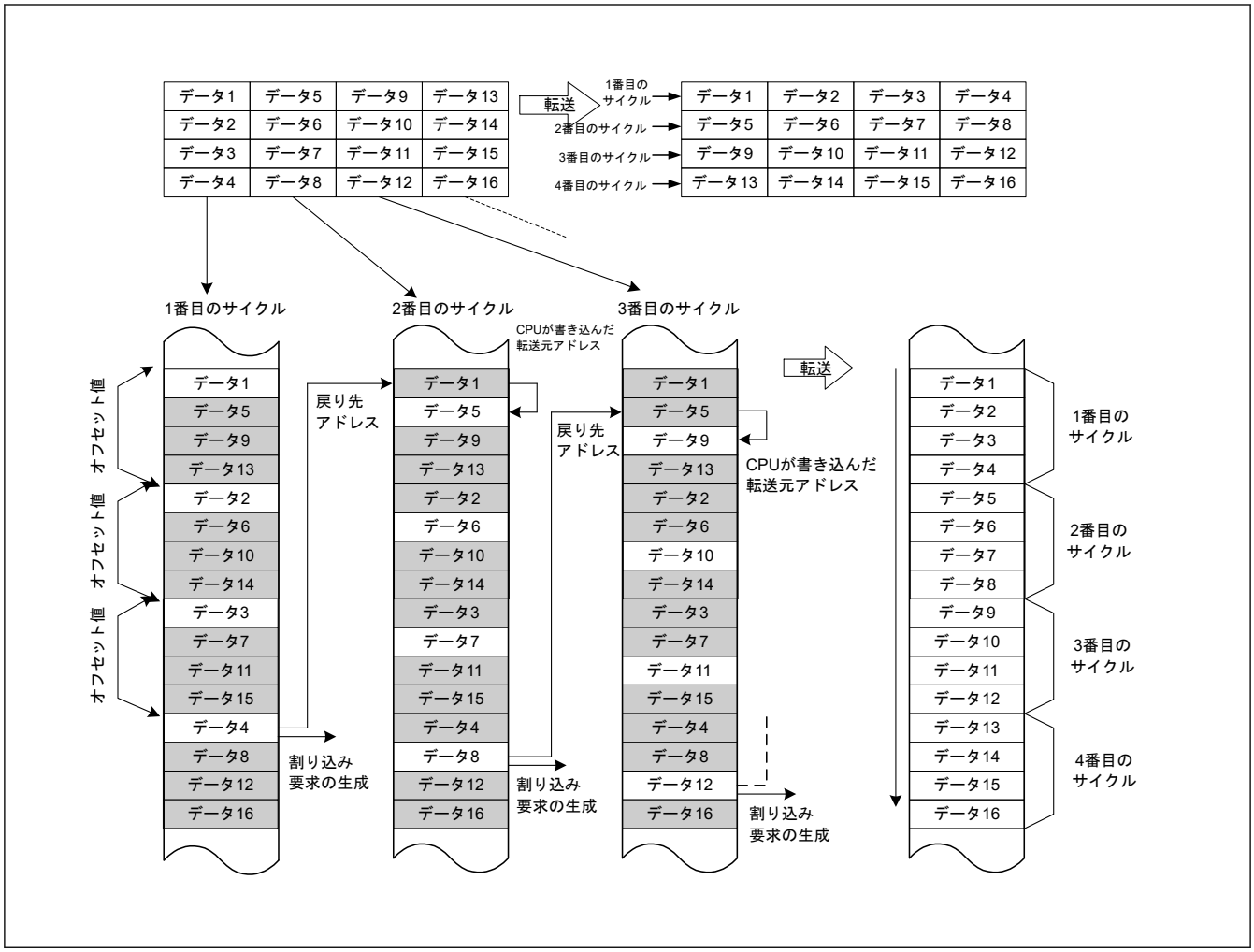


図 16.12 リピート転送モードにおけるオフセット加算による XY 変換動作

転送が開始されると、毎回、転送元アドレスにオフセット値を加算してデータ転送が行われます。転送データは、連続した転送先アドレスに書き込まれます。“データ 4”まで転送されたときの動作は以下のとおりです。

- リピートサイズ分のデータ転送が終了する
- 転送元アドレスは転送開始時のアドレス（転送元の“データ 1”のアドレス）に復帰する

- リピートサイズ終了割り込み要求が発生する

この割り込みによって転送が一時停止している間、以下の処理を行います。

- DMSAR—DMA 転送元アドレスをデータ 5 のアドレスに書き換える
  （この例では“データ 1”のアドレスに 4 を加算）
- DMCNT—DTE ビットを 1 にする

DMA 転送が中断したときの状態から DMA 転送が再開されます。以降、同じ処理を繰り返すと、転送元のデータが転送先で配置を入れ替えられます（XY 変換）。

図 16.13 に XY 変換の処理フローを示します。

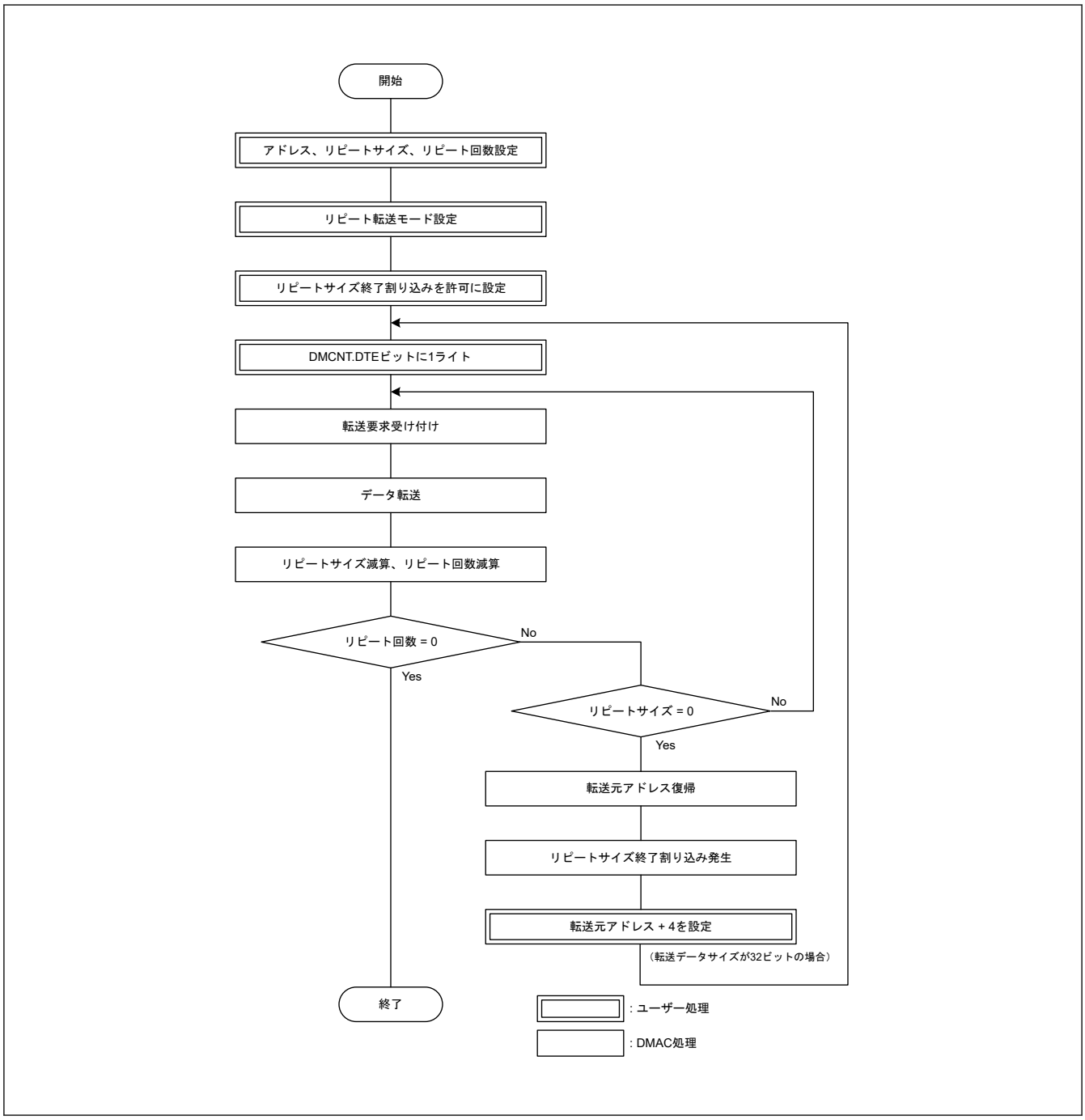


図 16.13　リピート転送モードにおけるオフセット加算による XY 変換フロー

16.3.5 リピートブロック転送モードにおけるアドレス更新機能

リピートブロック転送モードは、リピート転送モードとブロック転送モードの拡張です。ただし、アドレス更新の詳細な動作は、これらの 2 つのモードでは異なります。ここでは、リピートブロック転送モードにおけるアドレス更新機能の詳細を説明します。

16.3.5.1 固定アドレスモード

DMAMD.SM[1:0]ビットが 00b の場合、転送元のアドレス更新モードは固定アドレスモードです。
DMAMD.DM[1:0]ビットが 00b の場合、転送先のアドレス更新モードは固定アドレスモードです。

固定アドレスモードでは、アドレスは DMSAR と DMDAR の初期値から更新されません。ブロックサイズ (DMCRA) が 1 より大きい場合、1 つの要求に対して同じデータが複数回転送されます。

図 16.14 に固定アドレスモードにおけるアドレス更新を示します。

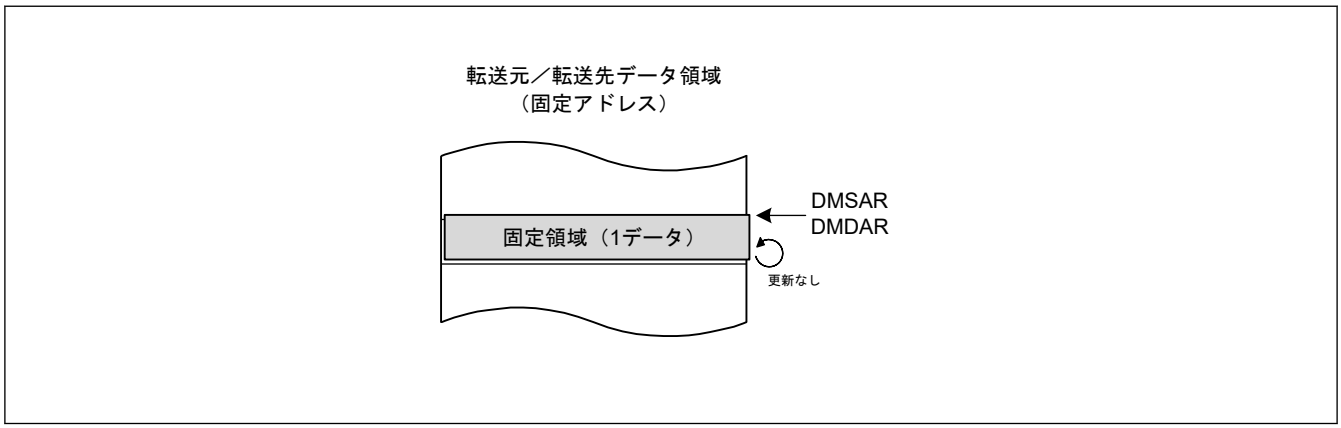


図 16.14 固定アドレスモードにおけるアドレス更新

16.3.5.2 インクリメントアドレスモードとデクリメントアドレスモード

DMAMD.SM[1:0]ビットが 10b の場合、転送元のアドレス更新モードはインクリメントアドレスモードです。
DMAMD.DM[1:0]ビットが 10b の場合、転送先のアドレス更新モードはインクリメントアドレスモードです。
DMAMD.SM[1:0]ビットが 11b の場合、転送元のアドレス更新モードはデクリメントアドレスモードです。
DMAMD.DM[1:0]ビットが 11b の場合、転送先のアドレス更新モードはデクリメントアドレスモードです。

これらの更新モードでは、DMTMD.SZ[1:0]ビットの設定に従って、アドレスはインクリメントまたはデクリメントされます。

これらの更新モードでは、DMSBS と DMDBS はリロード領域を示します。DMSBS と DMDBS の単位はデータ数です。転送開始時に DMSBSL と DMDBSL（DMSBS と DMDBS の下位 16 ビット）はダウンカウンタとして動作し、1 つのデータが転送されるごとにデクリメントします。値が 1 になると、DMSAR と DMDAR は、DMSRR と DMDRR の値をリロードします。

図 16.15 にインクリメントアドレスモードにおけるアドレス更新を示します。

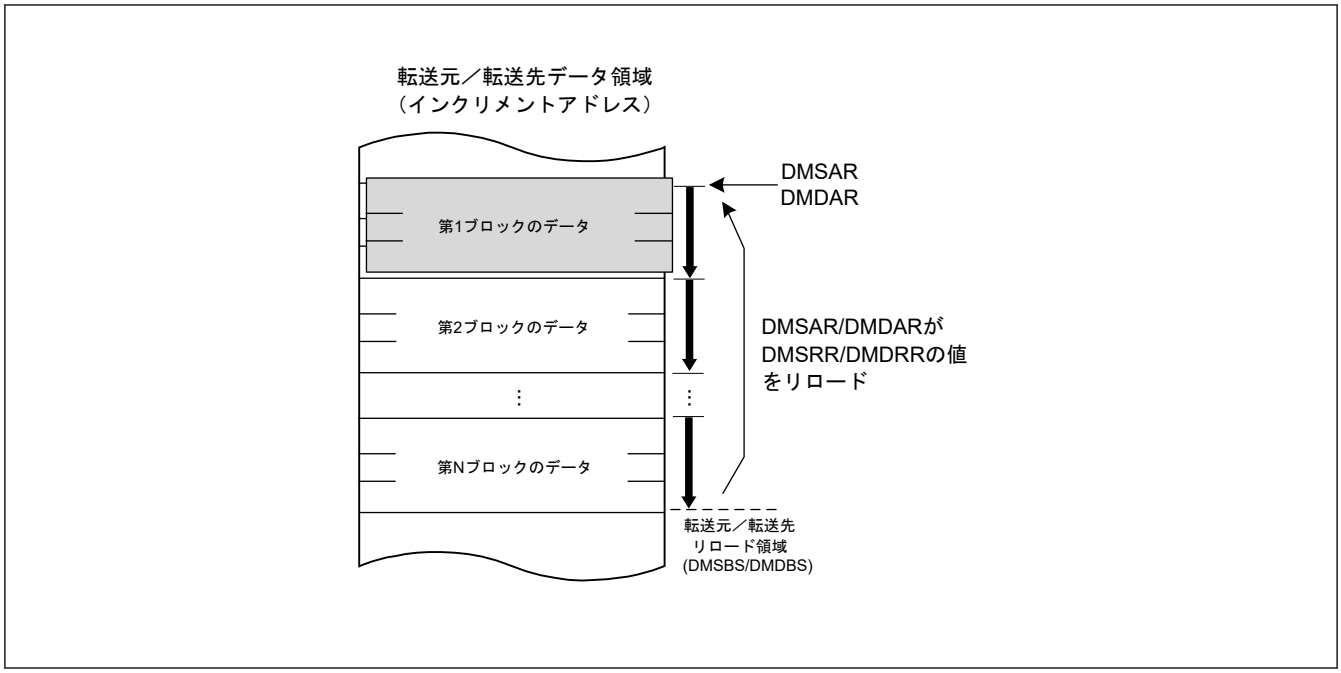


図 16.15　インクリメントアドレスモードにおけるアドレス更新

16.3.5.3　オフセット加算モード

DMAMD.SM[1:0]ビットが 01b の場合、転送元のアドレス更新モードはオフセット加算モードです。
DMAMD.DM[1:0]ビットが 01b の場合、転送先のアドレス更新モードはオフセット加算モードです。

オフセット加算モードでは、DMSBS と DMDBS はリロード領域を示し、アクセスオフセット値としても機能します。他の転送モードとは異なり、DMOFR レジスタはリピートブロック転送モードでは、使用されません。オフセット加算モードでは、DMSBS と DMDBS の単位はブロック数です。転送開始時に DMCRAL はダウンカウンタとして動作し、1 つのブロックが転送されるごとに DMSAR と DMDAR は、DMSRR と DMDRR の値をリロードします。さらに、DMSBSL と DMDBSL（DMSBS と DMDBS の下位 16 ビット）はダウンカウンタとしても動作し、1 つのブロックが転送されるごとにデクリメントします。DMSBS と DMDBS の値が 1 になると、DMSAR と DMDAR は、DMSRR と DMDRR の値をリロードします。

DMAMD.SADR と DMAMD.DADR が 0 の場合、同じ領域のオフセット加算動作が繰り返されます。DMDAR は DMDRR をリロードするだけです。図 16.16 にオフセット加算モードにおけるアドレス更新（DMAMD.SADR = 0 かつ DMAMD.DADR = 0 の場合）を示します。

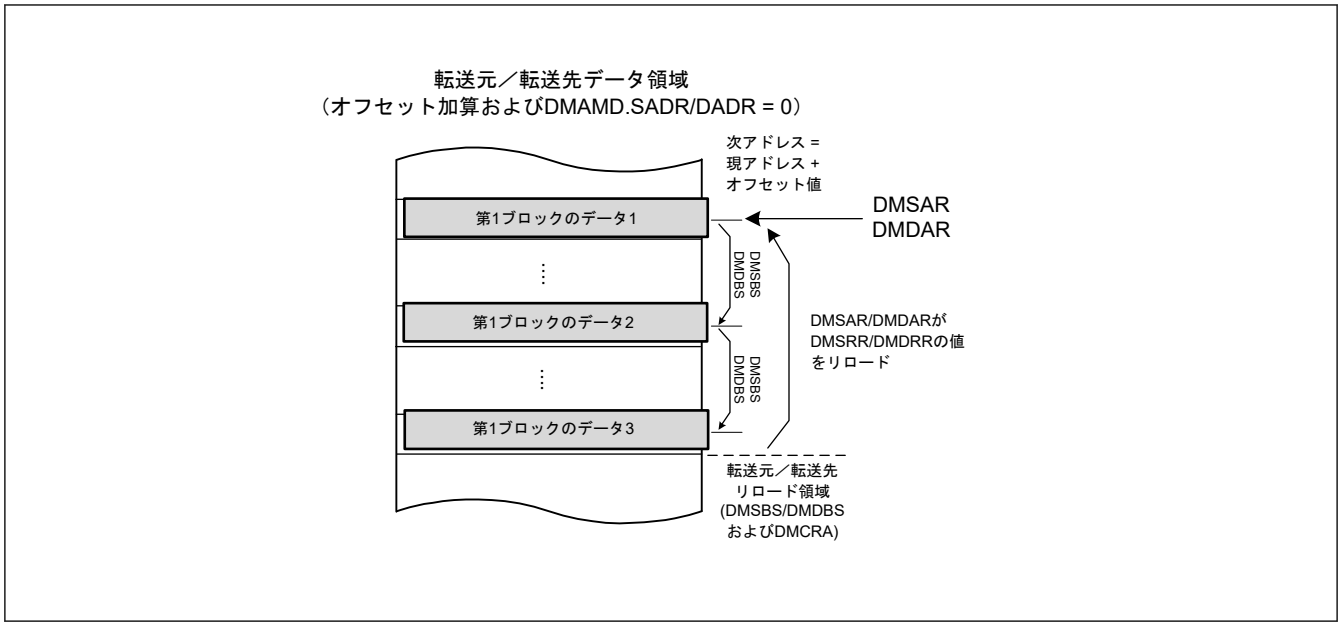


図 16.16　オフセット加算モードにおけるアドレス更新（DMAMD.SADR = 0 かつ DMAMD.DADR = 0 の場合）

DMAMD.SADR ビットと DMAMD.DADR ビットが 1 の場合、DMSRR と DMDRR が DMCRAL = 1 によりリロードされた後に、アドレスは 1 データ単位でインクリメントされます。 言い換えると、DMDRR のリロード後にインデックス値（(DMDBSH-DMDBSL) × データサイズ）が DMDAR に加算されます。この動作はマルチリングバッファを実装するのに使用されます。 図 16.17 にオフセット加算モードにおけるアドレス更新（DMAMD.SADR = 1 かつ DMAMD.DADR = 1 の場合）を示します。

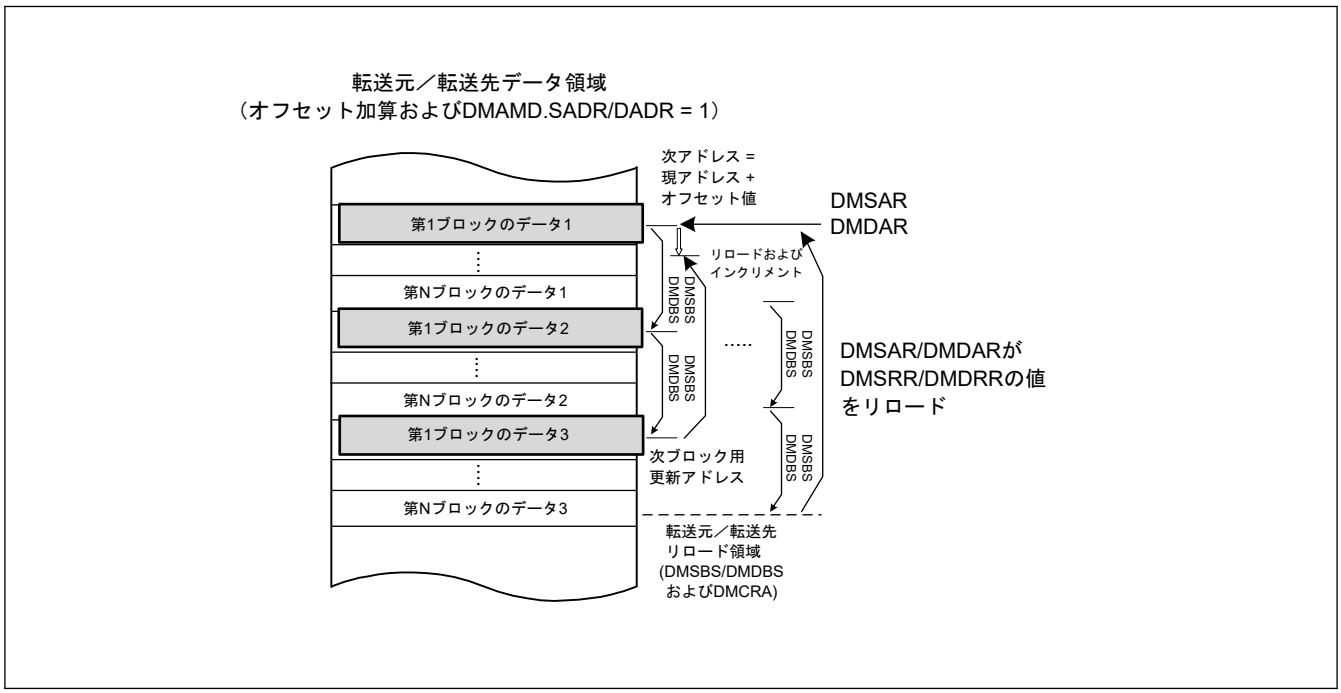


図 16.17　オフセット加算モードにおけるアドレス更新（DMAMD.SADR = 1 かつ DMAMD.DADR = 1 の場合）

16.3.6　リピートブロック転送モードの使用例

リピートブロック転送モードでは、前述のアドレス更新モードを組み合わせることにより、インターバルデータやシングルリングバッファまたはマルチリングバッファへのリピートアクセスが可能です。以下の節では、いくつかの使用例を示します。

16.3.6.1 インターバルアドレスからシングルリングバッファへ

図 16.18 に ADC12 モジュールのインターバル ADDRn レジスタ（データレジスタ）の読み出しおよびシングルリングバッファへの格納の例を示します。1 要求につき、4 ハーフワードごとに 2 データの転送を行います。DMSAR は 1 要求ごとに 1 データ、インクリメントされます。転送要因をオフセット加算および DMAMD.SADR = 1 に、ブロックサイズ (DMCRA) を 2 に、転送元オフセット (DMSBS) を 4 に設定することで、これが可能になります。表 16.15 にこの設定例を示します。

表 16.15 インターバルアドレスからシングルリングバッファへの設定

レジスタ	値	説明
DMSAR, DMSRR	0x4033_2020	初期転送元アドレス
DMDAR, DMDRR	0x2000_0000	初期転送先アドレス
DMTMD.SZ[1:0]	01b	データサイズ：ハーフワード
DMAMD.SADR	1	リロード後のインクリメンタル転送元アドレス
DMAMD.SM[1:0]	01b	転送元の更新モード：オフセット加算
DMAMD.DM[1:0]	10b	転送先の更新モード：インクリメンタルアドレス
DMCRAH, DMCRAL	2	転送ブロックサイズ
DMSBSH, DMSBSL	4	転送元の全バッファサイズ（単位はブロック）および転送元のアクセスオフセット（単位はデータ）
DMDBSH, DMDBSL	N × 2 (DMCRA)	転送先のバッファサイズ（単位はデータ）

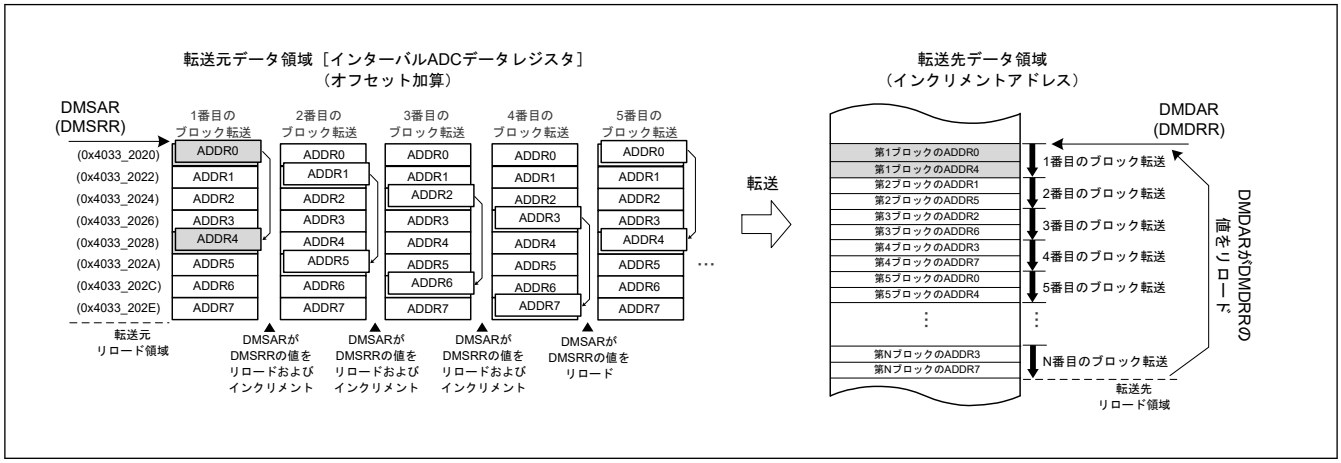


図 16.18 インターバルアドレスからシングルリングバッファへの使用例

16.3.6.2 アラインされていないリングバッファからシングルリングバッファへ

図 16.19 は ADC12 モジュール（変換結果ストレージリングバッファ）の ADBUFn レジスタのインクリメンタルな読み出しおよびシングルリングバッファへの格納の例を示します。この例では、ADBUFn レジスタが 4 番目のスキャンでオーバーフローすることによりラッピングが発生しますが、DMAC の転送元アドレスもそれに応じて更新されます。これは転送元をインクリメンタルアドレスに設定し、DMSBS レジスタのビット長を ADBUFn レジスタと同じ 16 ビットに設定することにより、実現可能です。これにより、割り込みを使用した CPU 処理を実行せずに、転送を継続することが可能です。表 16.16 に設定例を示します。

表 16.16 設定例：アラインされていないリングバッファからシングルリングバッファへ (1/2)

レジスタ	値	内容
DMSAR, DMSRR	0x4033_20B0	初期転送元アドレス
DMDAR, DMDRR	0x2000_0000	初期転送先アドレス
DMTMD.SZ[1:0]	01b	データサイズ：ハーフワード

表 16.16　設定例：アラインされていないリングバッファからシングルリングバッファへ (2/2)

レジスタ	値	内容
DMAMD.SM[1:0]	10b	転送元更新モード：インクリメントアドレス
DMAMD.DM[1:0]	10b	転送先更新モード：インクリメントアドレス
DMCRAH, DMCRAL	5	転送ブロックサイズ
DMSBSH, DMSBSL	16	転送元バッファサイズ（単位は"データ"）
DMDBSH, DMDBSL	N × 5 (DMCRA)	転送先バッファサイズ（単位は"データ"）

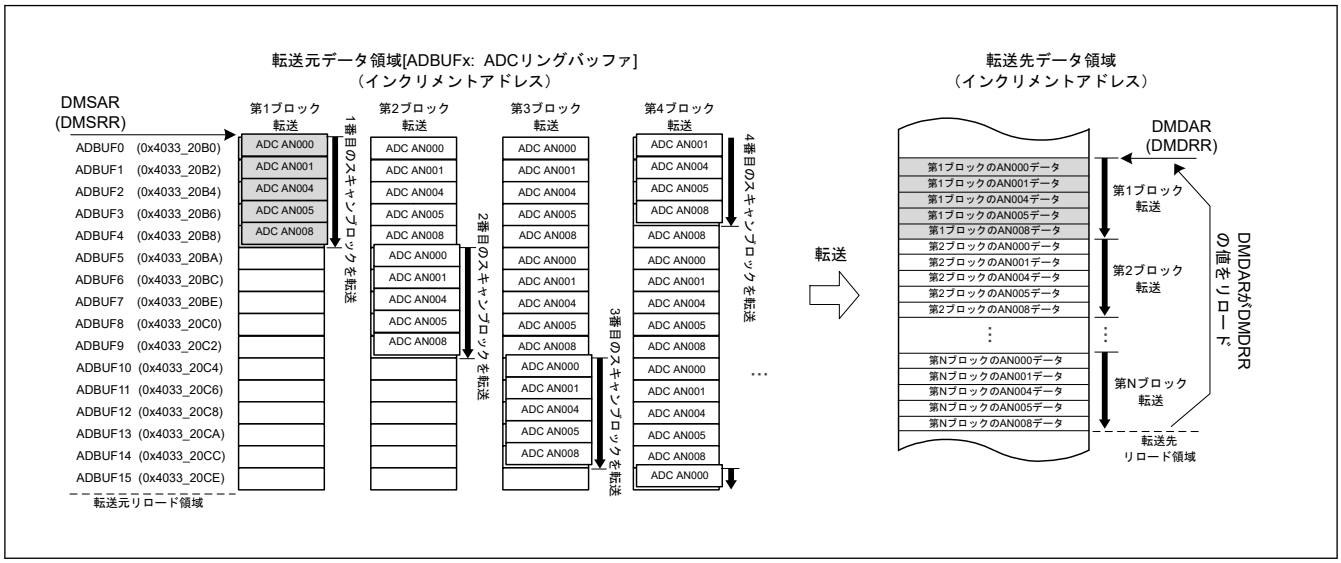


図 16.19　使用例：アラインされていないリングバッファからシングルリングバッファへ

16.3.6.3　シングルブロックからマルチリングバッファへ

図 16.20 に ADC12 モジュールの連続 ADDRn レジスタ（データレジスタ）の値をマルチリングバッファに個々に格納する例を示します。この例では、シングルブロックの最初の要素 (ADDR0) のみが転送順序に従い配置されるリングバッファが転送先で生成されます。また、次の領域では、2 番目の要素 (ADDR1) のみが転送順序に従い配置されるリングバッファが転送先で生成されます。以下の場合では、長さ N のリングバッファが生成され、DMDBS により定義されます。ブロック内のデータ要素数が 3 の場合、DMCRA により定義されます。表 16.17 に設定例を示します。

表 16.17　設定例：シングルブロックからマルチリングバッファへ

レジスタ	値	内容
DMSAR, DMSRR	0x4033_2020	初期転送元アドレス
DMDAR, DMDRR	0x2000_0000	初期転送先アドレス
DMTMD.SZ[1:0]	01b	データサイズ：ハーフワード
DMAMD.DADR	1	リロード後のインクリメント転送先アドレス
DMAMD.SM[1:0]	10b	転送元更新モード：インクリメントアドレス
DMAMD.DM[1:0]	01b	転送先更新モード：インクリメントアドレス
DMCRAH, DMCRAL	3	転送ブロックサイズ
DMSBSH, DMSBSL	3	転送元バッファサイズ（単位は"データ"）
DMDBSH, DMDBSL	N	転送先全バッファサイズ（単位は"ブロック"）および転送先アクセスオフセット（単位は"データ"）

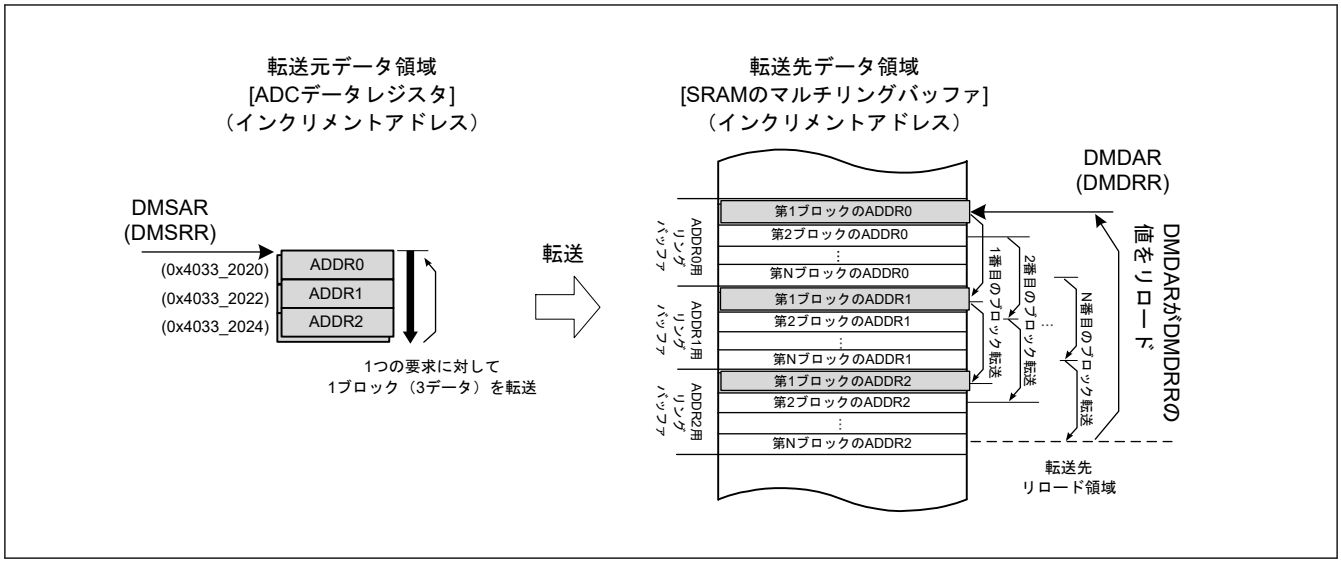


図 16.20　シングルブロックからマルチリングバッファへの使用例

16.3.7　起動要因

ソフトウェア、周辺モジュールからの割り込み要求、および外部割り込み要求は、すべて DMAC 起動要因として指定可能です。起動要因を選択するには、DMTMD.DCTG[1:0]ビットを設定します。

16.3.7.1　ソフトウェアによる DMAC 起動

ソフトウェアによって DMA 転送を開始する場合、以下の手順に従ってください。

1. DMTMD.DCTG[1:0]ビットを 00b にする。
2. DMCNT.DTE ビットを 1（DMA 転送許可）にする。
3. DMAST.DMST ビットを 1（DMAC 起動許可）にする。
4. DMREQ.SWREQ ビットを 1（DMA 転送要求あり）にする。

DMREQ.CLRS ビットが 0 の状態でソフトウェアによる DMAC 起動を行った場合、DMA 転送要求に対する転送が開始されると DMREQ.SWREQ ビットが 0 になります。

DMREQ.CLRS ビットが 1 の状態でソフトウェアによる DMAC 起動を行った場合は、転送を開始しても DMREQ.SWREQ ビットは 0 になりません。要求に対する転送終了後、再び DMA 転送要求が発生します。

16.3.7.2　内蔵周辺モジュール／外部割り込み要求による DMAC 起動

内蔵周辺モジュールからの割り込み要求と外部割り込み要求を、DMAC 起動要因に指定することができます。起動要因は、DELSRn.DELS[8:0]ビット (n = 0～7) でチャネルごとに個別に選択できます。

内蔵周辺モジュールからの割り込み要求または外部割り込み要求によって DMA 転送を開始する場合、以下の手順に従います。

1. DELSR.DELS[8:0]ビットにイベント番号を設定する（DMAC イベントリンクを選択する）。
2. DMTMD.DCTG[1:0]ビットを 01b（周辺モジュールまたは外部割り込み端子からの割り込み）にする。
3. DMCNT.DTE ビットを 1（DMA 転送許可） にする。
4. DMAST.DMST ビットを 1（DMAC 起動許可） にする。

DMAC の起動要因となる割り込み要求については、「13. 割り込みコントローラユニット (ICU)」の表 13.3 を参照してください。

16.3.8　動作タイミング

以下に示すタイミング図は、最小実行サイクル数を示しています。

図 16.21 と図 16.22 に動作タイミングを示します。

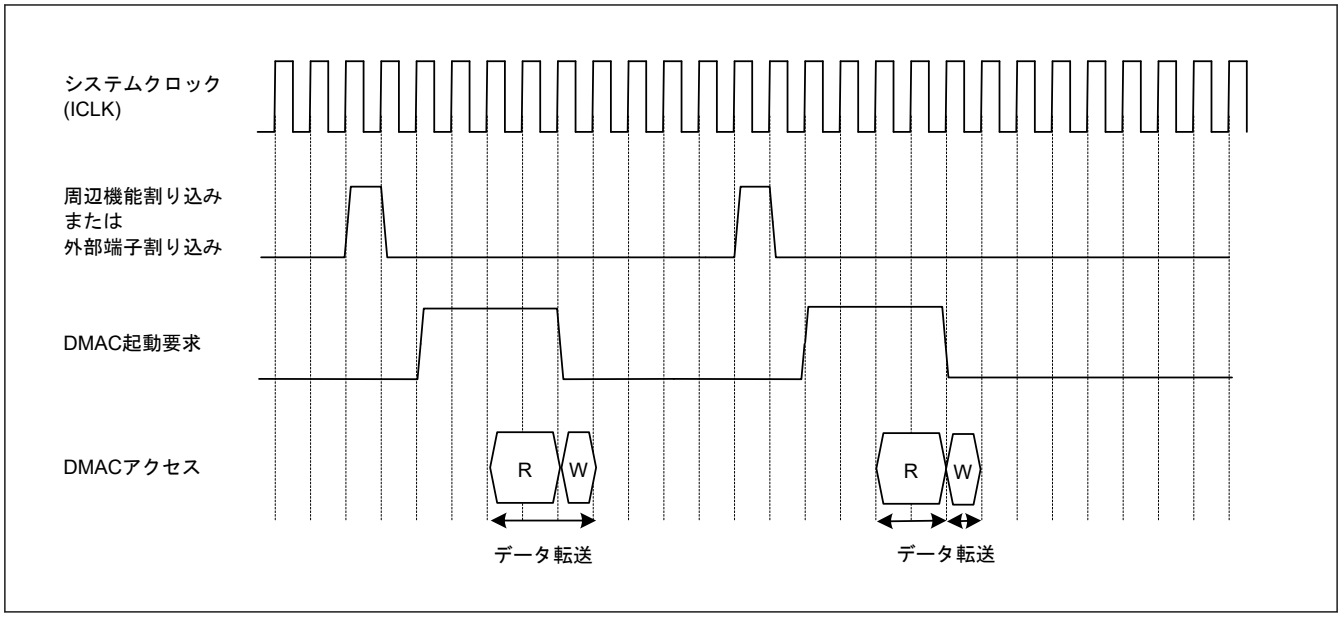


図 16.21 DMAC 動作タイミング例 (1)（周辺モジュール／外部割り込み入力端子からの割り込みによる DMAC 起動、ノーマル転送モード、リピート転送モードの場合）

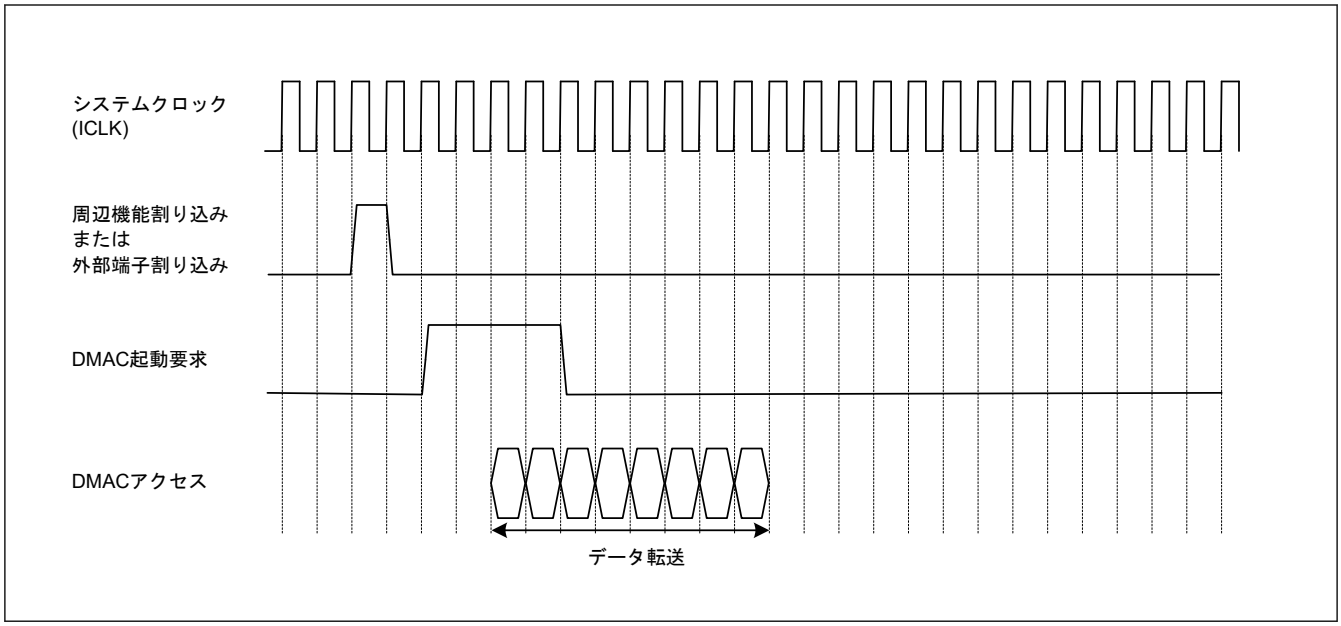


図 16.22 DMAC 動作タイミング例 (2)（周辺モジュール／外部割り込み入力端子からの割り込みによる DMAC 起動、ブロック転送モード、ブロックサイズ = 4 の場合）

16.3.9 DMAC の起動

表 16.18 にノーマルモード、リピートモード、ブロック転送モードにおけるレジスタの設定手順を示します。また、表 16.19 にリピートブロック転送モードにおけるレジスタの設定手順を示します。

表 16.18 ノーマル転送モード、リピート転送モード、ブロック転送モードにおけるレジスタの設定手順 (1/2)

No.	手順名	説明
1	DMAC 要求要因となる周辺機能を禁止に設定する	DMAC 起動要因として周辺機能割り込みを使用する場合 周辺機能のコントロールレジスタを禁止に設定する
2	DMAC 要求要因となる IRQn 端子を禁止に設定する	DMAC 起動要因として外部端子割り込みを使用する場合
3	DELSR.DELS[8:0]ビットを 0x00 に設定する	DMAC 要求を禁止に設定する
4	DMCNT.DTE ビットを 0 にクリアする	DMA 転送を禁止に設定する

表 16.18　ノーマル転送モード、リピート転送モード、ブロック転送モードにおけるレジスタの設定手順 (2/2)

No.	手順名	説明
5	DELSR レジスタに DMAC 要求要因となる割り込み要求を設定する	DMAC 起動要因として周辺モジュール割り込みまたは外部端子割り込みを使用する場合 起動要因の割り込みビットを許可する DMAC の起動要因を設定する
6	DMAC 要求要因となる周辺モジュールを設定する	DMAC 起動要因として周辺モジュール割り込みを使用する場合 周辺機能の制御レジスタを設定するが、開始させない
7	割り込みコントローラユニット (ICU) にて IRQn 端子機能を設定する	DMAC 起動要因として外部端子割り込みを使用する場合 割り込みコントローラユニット (ICU) にて IRQn 端子機能を設定する
8	DMAMD.DM[1:0]ビットを設定する DMAMD.SM[1:0]ビットを設定する DMAMD.DARA[4:0]ビットを設定する DMAMD.SARA[4:0]ビットを設定する	転送先アドレス更新モードビットを設定する 転送元アドレス更新モードビットを設定する 転送先アドレス拡張リピート領域ビットを設定する 転送元アドレス拡張リピート領域ビットを設定する
9	DMTMD.DCTG[1:0]ビットを設定する DMTMD.SZ[1:0]ビットを設定する DMTMD.DTS[1:0]ビットを設定する DMTMD.MD[1:0]ビットを設定する DMTMD.TKP ビットを設定する	転送要求選択ビットを設定する データ転送サイズビットを設定する リピート領域選択ビットを設定する 転送モード選択ビットを設定する 転送保持選択ビットを設定する
10	DMSAR レジスタを設定する DMDAR レジスタを設定する DMCRA レジスタを設定する	転送元の開始アドレスを設定する 転送先の開始アドレスを設定する 転送回数を設定する
11	DMCRB レジスタを設定する	ブロック転送モードまたはリピート転送モードの場合 ブロック転送回数を設定する
12	DMOFR レジスタを設定する	オフセットを使ったアドレス更新機能を使用する場合 オフセット値を設定する
13	DMINT.DTIE ビットを 1 に設定する	DMA 転送終了割り込みを使用する場合 DMAC 転送終了割り込みを許可する
14	DMINT.RPTIE ビットを設定する DMINT.SARIE ビットを設定する DMINT.DARIE ビットを設定する DMINT.ESIE ビットを 1 に設定する	DMA 転送エスケープ割り込みを使用する場合 リピートサイズ終了割り込み許可設定をする 転送元アドレス拡張リピート領域オーバーフロー割り込み許可設定をする 転送先アドレス拡張リピート領域オーバーフロー割り込み許可設定をする DMA 転送エスケープ終了割り込みを許可する
15	DMCNT.DTE ビットを 1 に設定する	DMA 転送を許可する
16	DMAST.DMST ビットを 1 に設定する	DMAC 動作を許可する(注1) DMAC 共通設定
17	DMAC 要求要因となる周辺機能を開始する	DMAC 起動要因として周辺機能割り込みを使用する場合
18	DMAC 要求要因となる IRQn 端子を許可する	DMAC 起動要因として外部端子割り込みを使用する場合
19	初期設定終了	ソフトウェアでの起動 初期設定完了後、DMA ソフトウェア起動ビット (DMREQ.SWREQ) に 1 を書き込むと DMA 転送が開始する

注 1.　DMAST.DMST ビットの設定は、各起動要因に対する必要な設定の後である必要はありません。

表 16.19　リピートブロック転送モードにおけるレジスタの設定手順 (1/2)

No.	手順名	説明
1	DMAC 要求要因となる周辺機能を禁止に設定する	DMAC 起動要因として周辺機能割り込みを使用する場合 周辺機能のコントロールレジスタを禁止に設定する
2	DMAC 要求要因となる IRQ 端子を禁止に設定する	DMAC 起動要因として外部端子割り込みを使用する場合
3	DELSR.DELS[8:0]ビットを 0x00 に設定する	DMAC 要求を禁止に設定する
4	DMCNT.DTE ビットを 0 にクリアする	DMAC 転送を禁止に設定する

表 16.19 リピートブロック転送モードにおけるレジスタの設定手順 (2/2)

No.	手順名	説明
5	DELSR レジスタに DMAC 要求要因となる割り込み要求を設定する	DMAC 起動要因として周辺モジュール割り込みまたは外部端子割り込みを使用する場合 起動要因の割り込みビットを許可する DMAC の起動要因を設定する
6	DMAC 要求要因となる周辺モジュールを設定する	DMAC 起動要因として周辺モジュール割り込みを使用する場合 周辺機能の制御レジスタを設定するが、開始させない
7	割り込みコントローラユニット (ICU) にて IRQn 端子機能を設定する	DMAC 起動要因として外部端子割り込みを使用する場合 割り込みコントローラユニット (ICU) にて IRQn 端子機能を設定する
8	DMAMD.DM[1:0]ビットを設定する DMAMD.SM[1:0]ビットを設定する DMAMD.DADR ビットを設定する DMAMD.SADR ビットを設定する	転送先アドレス更新モードビットを設定する 転送元アドレス更新モードビットを設定する リロード後転送先アドレス更新選択ビットを設定する リロード後転送元アドレス更新選択ビットを設定する
9	DMTMD.DCTG[1:0]ビットを設定する DMTMD.SZ[1:0]ビットを設定する DMTMD.MD[1:0]ビットを設定する DMTMD.TKP ビットを設定する	転送要求選択ビットを設定する データ転送サイズビットを設定する 転送モードをリピートブロック転送モードに設定する 転送保持選択ビットを設定する
10	DMSAR レジスタを設定する DMDAR レジスタを設定する DMSRR レジスタを設定する DMDRR レジスタを設定する DMCRA レジスタを設定する DMCRB レジスタを設定する	転送元の開始アドレスを設定する 転送先の開始アドレスを設定する 転送元の開始アドレスの初期値を設定する 転送先の開始アドレスの初期値を設定する 転送回数を設定する ブロック転送回数を設定する
11	DMSBS レジスタを設定する DMDBS レジスタを設定する	インクリメント、デクリメント、またはオフセットを用いたアドレス更新機能を使用する場合 転送元バッファサイズとアクセスオフセットを設定する 転送先バッファサイズとアクセスオフセットを設定する
12	DMINT.DTIE ビットを 1 に設定する	DMA 転送終了割り込みを使用する場合 DMAC 転送終了割り込みを許可する
13	DMCNT.DTE ビットを 1 に設定する	DMAC 転送を許可する
14	DMAST.DMST ビットを 1 に設定する	DMAC 動作を許可する(注1)
15	DMAC 要求要因となる周辺機能を開始する	DMA 起動要因として周辺機能割り込みを使用する場合
16	DMAC 要求要因となる IRQ 端子を許可する	DMA 起動要因として外部端子割り込みを使用する場合
17	初期設定終了	ソフトウェアでの起動 初期設定完了後、DMA ソフトウェア起動ビット (DMREQ.SWREQ) に 1 を書き込むと DMA 転送が開始する

注 1. DMAST.DMST ビットの設定は、各起動要因に対する必要な設定の後である必要はありません。

16.3.10 DMA 転送の開始

チャネル n の DMA 転送を有効にするには、DMCNT.DTE ビットを 1（DMA 転送許可）にして、DMAST.DMST ビットを 1（DMAC 起動許可）にします。

他の DMAC チャネルや DTC の転送中は、新たな起動要求は受け付けられません。先行する転送が終了した時点で最も優先順位の高いチャネルの DMA 転送要求が選択され、そのチャネルの DMA 転送が開始されます。DMA 転送が始まると、DMSTS.ACT フラグが 1（DMAC 動作中）になります。

16.3.11 DMA 転送中のレジスタ

DMAC のレジスタは、DMA 転送処理によって値が更新されます。更新される値は、各種設定や転送の状態によって異なります。更新されるレジスタは、DMSAR、DMDAR、DMCRA、DMCRB、DMSBS、DMDBS、DMCNT、および DMSTS です。

DMA 転送元アドレスレジスタ (DMSAR)

1 転送要求に対するデータ転送が終了すると、DMSAR レジスタの内容は、次の転送要求でアクセスするアドレスに更新されます。

各転送モードにおけるレジスタの更新動作の詳細については、表 16.5～表 16.13 を参照してください。

DMA 転送先アドレスレジスタ (DMDAR)

1 転送要求に対するデータ転送が終了すると、DMDAR レジスタの内容は、次の転送要求でアクセスするアドレスに更新されます。

各転送モードにおけるレジスタの更新動作の詳細については、表 16.5～表 16.13 を参照してください。

DMA 転送カウントレジスタ (DMCRA)

1 転送要求に対するデータ転送が終了すると、カウント値が更新されます。更新動作は、選択した転送モードによって異なります。

各転送モードにおけるレジスタの更新動作の詳細については、表 16.5～表 16.13 を参照してください。

DMA ブロック転送カウントレジスタ (DMCRB)

1 転送要求に対するデータ転送が終了すると、カウント値が更新されます。更新動作は、選択した転送モードによって異なります。

各転送モードにおけるレジスタの更新動作の詳細については、表 16.5～表 16.13 を参照してください。

DMA 転送元バッファサイズレジスタ (DMSBS)

1 転送要求に対するデータ転送が終了すると、カウント値が更新されます。更新動作は、選択した転送モードによって異なります。

各転送モードにおけるレジスタの更新動作の詳細については、表 16.8～表 16.13 を参照してください。

DMA 転送先バッファサイズレジスタ (DMDBS)

1 転送要求に対するデータ転送が終了すると、カウント値が更新されます。更新動作は、選択した転送モードによって異なります。

各転送モードにおけるレジスタの更新動作の詳細については、表 16.8～表 16.13 を参照してください。

DMA 転送許可ビット (DMCNT.DTE)

DMCNT.DTE ビットは、レジスタを書くことによってデータ転送の許可／禁止を制御します。DMA 転送の状態に応じて自動的に DMAC によって 0 にクリアされます。

DMAC がこのビットをクリアする条件は、以下のとおりです。

- 設定された総転送データ数の転送が終了したとき
- リピートサイズ終了割り込みによって DMA 転送が停止したとき
- 拡張リピート領域オーバーフロー割り込みによって DMA 転送が停止したとき
- DMA 転送エラーが発生したとき

対応する DMCNT.DTE ビットが 1 になっているチャネルのレジスタへは書き込まないでください（DMCNT レジスタを除く）。この場合、このビットを 0 にクリアした後に、書き込んでください。

DMA アクティブフラグ (DMSTS.ACT)

DMSTS.ACT フラグは、DMACn がアイドル状態であるか、または動作中であるかを示します。

このフラグは DMAC がデータ転送を開始すると 1 になり、1 転送要求に対するデータ転送が終了すると 0 になります。

DMA 転送中に DMCNT.DTE ビットに 0 を書いて DMA 転送を停止させた場合でも、このフラグは DMA 転送が終了するまで 1 を保持します。

転送終了割り込みフラグ (DMSTS.DTIF)

総転送サイズ分の DMA 転送が終了すると、DMSTS.DTIF フラグは 1 になります。

このフラグと DMINT.DTIE ビットがともに 1 の場合、転送終了割り込み要求が発生します。

このフラグが 1 になるタイミングは、DMA 転送のバスサイクルが終了し、DMSTS.ACT フラグが 0 になって DMA 転送終了を示したときです。

割り込み処理中に DMCNT.DTE ビットを 1 にした場合、このフラグは自動的に 0 にクリアされます。

転送エスケープ終了割り込みフラグ (DMSTS.ESIF)

リピートサイズ終了割り込み要求、または拡張リピート領域オーバーフロー割り込み要求が発生したとき、DMSTS.ESIF フラグは 1 になります。このフラグと DMINT.ESIE ビットがともに 1 の場合、転送エスケープ終了割り込み要求が発生します。

このフラグが 1 になるタイミングは、割り込み要求を発生させる要因になった DMA 転送のバスサイクルが終了し、DMSTS.ACT フラグが 0 になって DMA 転送終了を示したときです。

割り込み処理中に DMCNT.DTE ビットを 1 にした場合、このフラグは自動的に 0 にクリアされます。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。

詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

16.3.12 チャネル優先順位

DMAC は、複数の DMA 転送要求が発生したとき、DMA 転送要求のあるチャネルの優先順位を判断します。

- チャネル優先順位は、以下の順で固定です。チャネル 0 > チャネル 1 > チャネル 2 > チャネル 3... > チャネル 7（チャネル 0：最上位）

データ転送中に DMA 転送要求が発生した場合は、最終データの転送後にチャネルアービトレーションを行い、最も優先順位の高いチャネルの転送が開始されます。

16.3.13 チャネルセキュリティ

各 DMAC チャネルに CPSCU.DMACCHSAR.SADMACn でセキュア属性を設定できます。

CPSCU.DMACCHSAR.SADMACn ビットが 0 の場合

- 対応するチャネルの転送時、セキュアマスタとして機能
- 対応するチャネルのレジスタはセキュア属性

CPSCU.DMACCHSAR.SADMACn ビットが 1 の場合

- 対応するチャネルの転送時、非セキュアマスタとして機能
- 対応するチャネルのレジスタは非セキュア属性

セキュアマスタと非セキュアマスタにアクセス可能な領域については、セキュリティ機能章とバス章を参照してください。

DMA 転送中に CPSCU.DMACCHSAR に変更しないでください。

16.3.14 チャネルプリビレッジ

各 DMAC チャネル n に CPSCU.DMACCHPAR.DMACCHPARn でプリビレッジ属性を設定できます。

CPSCU.DMACCHPAR.DMACCHPARn ビットが 0 の場合

- 対応するチャネルの転送時、プリビレッジマスタとして機能
- チャネルのレジスタはアンプリビレッジアクセスから保護

CPSCU.DMACCHPAR.DMACCHPARn ビットが 1 の場合

- DMAC チャネルの転送は読み出しと書き込みに対してアンプリビレッジアクセス
- チャネルのレジスタはアンプリビレッジ属性

DMA 転送中に CPSCU.DMACCHPAR を変更しないでください。

16.4 DMA 転送の終了

DMA 転送の終了は、転送終了条件によって動作が異なります。DMA 転送が終了すると、DMCNT.DTE ビットと DMSTS.ACT フラグが 1 から 0 になります。

16.4.1 設定した総転送回数完了による転送終了

(1) ノーマル転送モード (DMTMD.MD[1:0] = 00b) の場合

DMCRAL ビットの値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMCNT.DTE ビットが 0 になり、同時に DMSTS.DTIF フラグが 1 になります。このとき DMINT.DTIE ビットが 1 であると、CPU または DTC へ転送終了割り込み要求が送信されます。

(2) リピート転送モード (DMTMD.MD[1:0] = 01b) の場合

DMCRBL ビットの値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMCNT.DTE ビットが 0 になり、DMSTS.DTIF フラグが 1 になります。このとき DMINT.DTIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

DMTMD.TKP ビットが 1（フリーランニング機能）であると、DMSTS.DTIF ビットは 1 になりますが、DMCNT.DTE ビットは 0 になりません。

(3) ブロック転送モード (DMTMD.MD[1:0] = 10b) の場合

DMCRBL ビットの値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMCNT.DTE ビットが 0 になり、DMSTS.DTIF フラグが 1 になります。このとき DMINT.DTIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。

詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

DMTMD.TKP ビットが 1（フリーランニング機能）であると、DMSTS.DTIF ビットは 1 になりますが、DMCNT.DTE ビットは 0 になりません。

(4) リピートブロック転送モード (DMTMD.MD[1:0] = 11b) の場合

DMCRBL ビットの値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMCNT.DTE ビットが 0 になり、DMSTS.DTIF フラグが 1 になります。このとき DMINT.DTIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

DMTMD.TKP ビットが 1（フリーランニング機能）であると、DMSTS.DTIF ビットは 1 になりますが、DMCNT.DTE ビットは 0 になりません。

16.4.2 リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、DMINT.RPTIE ビットが 1 であれば、1 リピートサイズ分の転送終了時にリピートサイズ終了割り込み要求が発生します。DMA 転送完了の割り込み要求が発生すると、DMTMD.TKP ビットが 1 の場合でも（フリーランニング機能）、DMCNT.DTE ビットが 0 になり、DMSTS.ESIF フラグが 1 になります。このとき DMINT.ESIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。転送を再開させるには、DMCNT.DTE ビットに 1 を書き込んでください。

ブロック転送モードにおいても、リピートサイズ終了割り込み要求を発生させることができます。1 ブロックサイズ分の転送終了時に、リピート転送モードと同様に割り込み要求が発生します。

リピートブロック転送モードにおいては、リピートサイズ終了割り込み要求を発生させることができません。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

16.4.3 拡張リピート領域オーバーフロー割り込みによる転送終了

拡張リピート領域が指定され、かつ DMINT.SARIE ビットまたは DMINT.DARIE ビットが 1 の場合に、DMTMD.TKP ビットが 1 の場合でも（フリーランニング機能）、拡張リピート領域がオーバーフローすると、拡張リピート領域オーバーフロー割り込み要求が発生します。DMA 転送が停止して、DMCNT.DTE ビットが 0 になり、DMSTS.ESIF フラグが 1 になります。このとき DMINT.ESIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

この割り込み要求がリードサイクル中に発生しても、以降のライトサイクルは実行されます。

ブロック転送モードでは、割り込み要求が 1 ブロックの転送中に発生しても、そのブロックの残りのデータが転送されるまで、転送は終了しません。

リピートブロック転送モードでは、拡張リピート領域オーバーフロー割り込み要求はできません。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

16.5 DMA 転送エラーの処理

DMA 転送エラーは、MSAU エラー、スレーブ TrustZone フィルタエラー、マスタ MPU エラー、スレーブバスエラー、または不正アクセスエラーによって発生します。DMA 転送中にアクセスエラーが発生すると、DMAC はエラーの発生したチャネルの転送をただちに停止します。この時、対応するチャネルの ICU 設定もクリアされます。エラーを引き起こしたチャネル以外のチャネルからの要求があれば、そのまま再調停となります。

転送エラー発生時、エラー発生チャネルの DMCNT.DTE は 0 になります。また、エラー応答は対応するチャネルの DELSRn に伝えられます。各レジスタへのライトバックは実行されません。エラー発生チャネルの情報は DMECHR に設定されます。

16.6 割り込み

16.6.1 転送終了割り込み

各 DMAC チャネルは、1 要求分の転送終了後、CPU または DTC へ割り込み要求 (DMAC0n_INT) を出力することができます。

リピートブロック転送モードでは、エスケープ転送終了割り込みを許可しないでください。

表 16.20 に、各割り込み要因とそれらに対応するステータスフラグおよび許可ビットを示します。図 16.23 に、割り込み出力 (DMACn (n = 0～7)) の概略論理図を示します。図 16.24 に、DMAC 割り込み処理ルーチンで DMA 転送を再開／終了する手順を示します。

表 16.20 割り込み要因、割り込みステータスフラグ、割り込み許可ビットの対応関係

割り込み要因		割り込み許可ビット	割り込みステータスフラグ	要求出力許可ビット
転送終了		—	DMSTS.DTIF	DMINT.DTIE
エスケープ転送終了	リピートサイズ終了	DMINT.RPTIE	DMSTS.ESIF	DMINT.ESIE
	転送元アドレス拡張リピート領域オーバーフロー	DMINT.SARIE		
	転送先アドレス拡張リピート領域オーバーフロー	DMINT.DARIE		

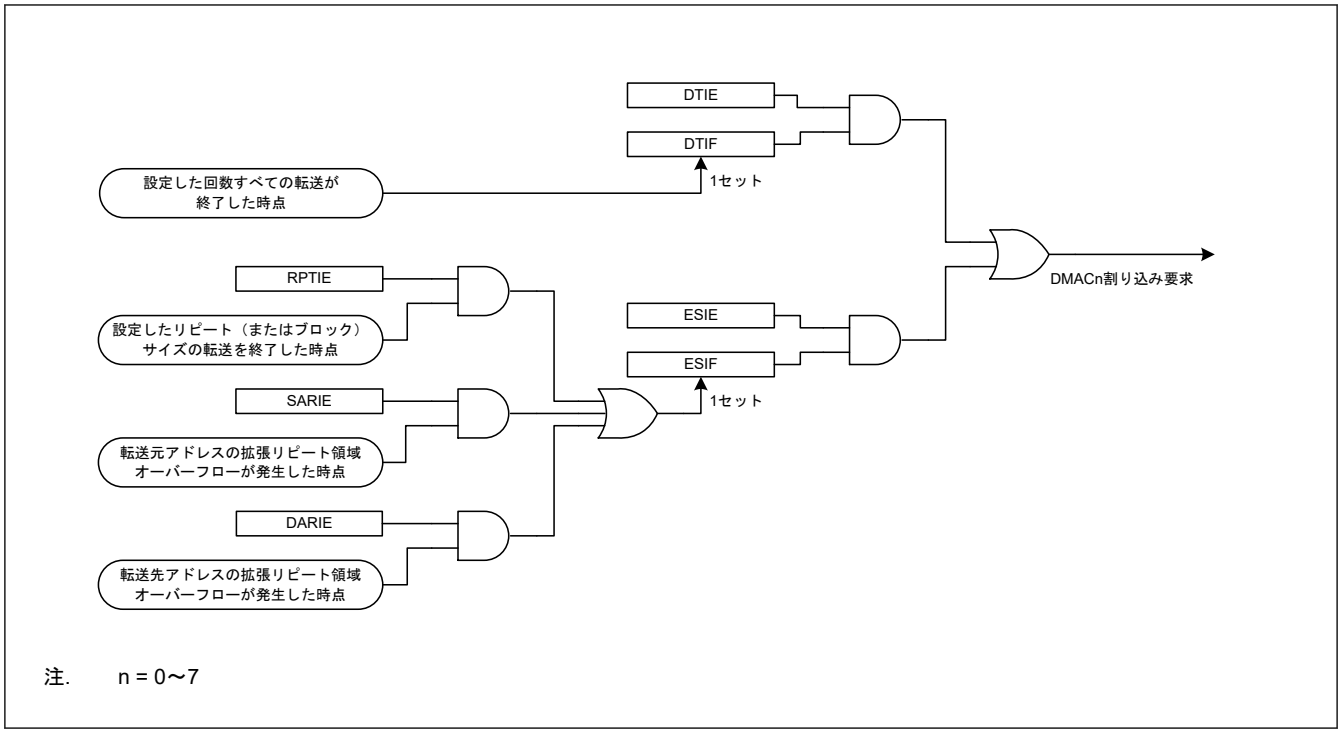


図 16.23 割り込み出力要因 (DMACn) の概略論理図

割り込みを解除して DMA 転送を再開する方法は、以下のケースで異なります。

- DMA 転送を終了した場合
- DMA 転送を継続した場合

16.6.1.1 DMA 転送を中断または終了した場合

転送終了割り込みの場合は、DMSTS.DTIF フラグに 0 を書いてください。また、リピートサイズ割り込みと拡張リピート領域オーバーフロー割り込みの場合は、DMSTS.ESIF フラグに 0 を書いてください。対応する DMACn チャネルは停止状態を保ちます。その後、新たな DMA 転送を開始する場合は、必要なレジスタを設定して、DMCNT.DTE ビットを 1（DMA 転送許可）にしてください。

16.6.1.2 DMA 転送を継続した場合

DMCNT.DTE ビットに 1 を書いてください。自動的に DMSTS.ESIF フラグが 0 にクリア（割り込み要因がクリア）され、DMA 転送が再開します。

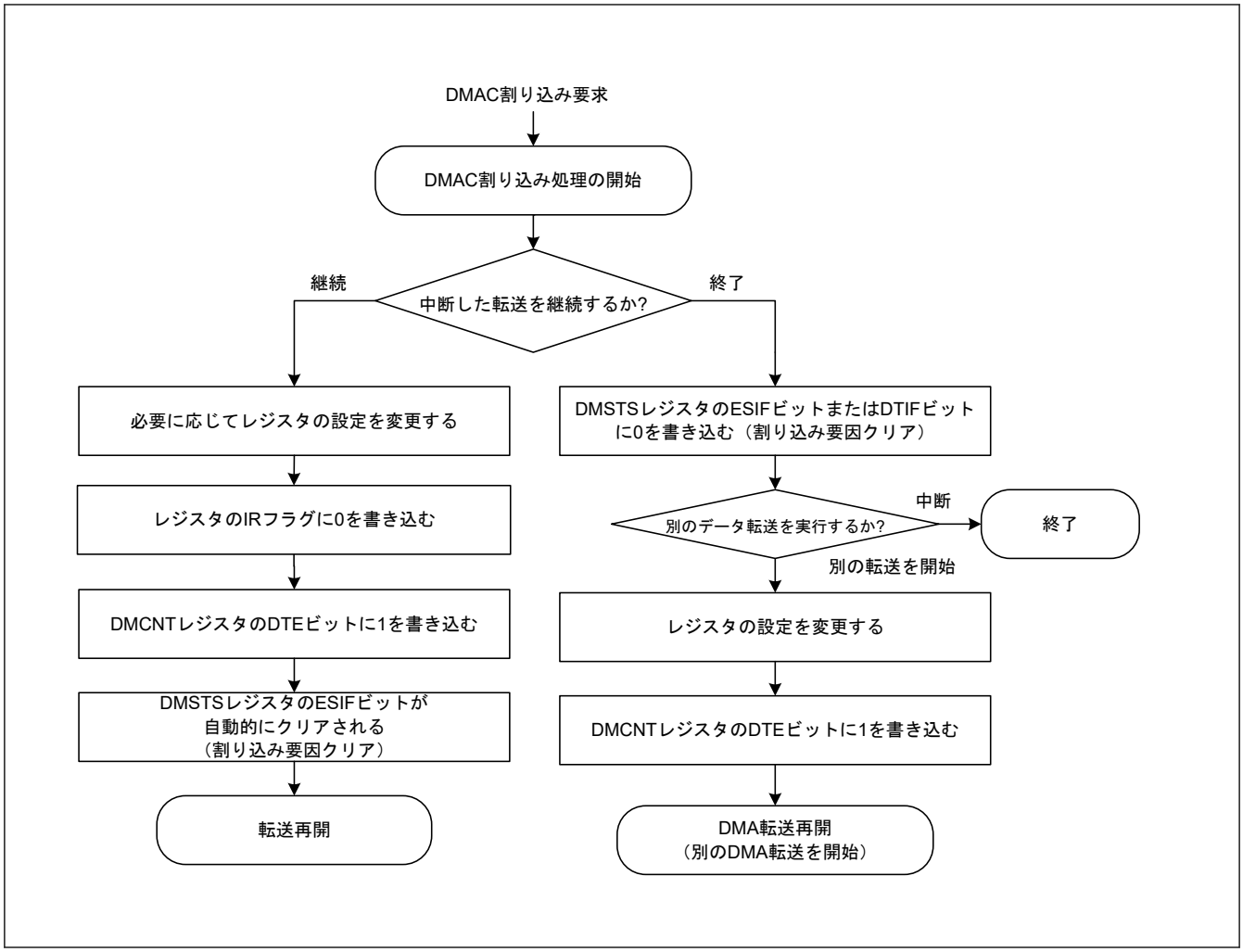


図 16.24 DMAC 割り込み処理ルーチンで DMA 転送を再開／終了する手順

16.6.2 転送エラー割り込み

DMAC 転送中に転送エラーが検出されると、DMAC/DTC からエラー応答検出割り込み要求 (DMA0_TRANSERR) が発生します。

表 16.21 に DMAC 転送エラー発生時に生じる割り込みの種類を示します。表 16.21 には転送エラー発生時に格納されるエラー情報も示されています。

表 16.21 DMAC 転送エラー起因の割り込みとエラー情報 (1/2)

転送エラー要因	NMI/RESET(注1)要求	割り込み要求	バスエラー状態	エラーアドレスエラー R/W	エラーチャネル情報
MSAU エラー	ICU.NMISR.BUSST	DMA0_TRANSERR(注1)	BUS.BUS4ERRSTAT.MSERRSTAT	BUS.BMSA4ERRADD BUS.BMSA4ERRRW	DMAC.DMECHR
マスタ MPU エラー	ICU.NMISR.BUSST	DMA0_TRANSERR(注1)	BUS.BUS4ERRSTAT.MMERRSTAT	BUS.BUS4ERRADD BUS.BUS4ERRRW	DMAC.DMECHR
不正アクセスエラー	ICU.NMISR.BUSST	DMA0_TRANSERR(注1)	BUS.BUS4ERRSTAT.ILERRSTAT	BUS.BUS4ERRADD BUS.BUS4ERRRW	DMAC.DMECHR
スレーブバスエラー	ICU.NMISR.BUSST	DMA0_TRANSERR(注1)	BUS.BUS4ERRSTAT.SLERRSTAT	BUS.BUS4ERRADD BUS.BUS4ERRRW	DMAC.DMECHR

表 16.21 DMAC 転送エラー起因の割り込みとエラー情報 (2/2)

転送エラー要因	NMI/RESET(注1)要求	割り込み要求	バスエラー状態	エラーアドレスエラー R/W	エラーチャネル情報
TrustZone フィルタエラー	ICU.NMISR.BUSST	DMA0_TRANSERR(注1)	BUS.BUS4ERRSTAT.STERRSTAT	BUS.BUS4ERRADD BUS.BUS4ERRRW	DMAC.DMECHR

注 1. ICU.NMIER.BUSEN が ICU.IELSR で設定された DMA0_TRANSERR で許可されると、DMA で生じた転送エラーが原因でノンマスカブル割り込みや割り込みが発生します。ICU.IELSR に DMA_TRANSERR を設定しないことにより、NMI のみを発生させることができます。

16.7 イベントリンク

各 DMAC チャネルは、1 回のデータ転送（ブロック転送モードの場合は 1 ブロックの転送）が終了するたびに、イベントリンク要求信号 (DMAC0n_INT) を出力します。

詳細は、「18. イベントリンクコントローラ (ELC)」を参照してください。

16.8 低消費電力機能

モジュールストップ状態、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する前に、最初に DMAST.DMST ビットを 0（DMAC モジュールサスペンド）にして、以下の項のように設定してください。

(1) モジュールストップ機能

MSTPCRA.MSTPA22 ビットに 1 を書くことによって、DMAC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA22 ビットに 1 を書いたとき、DMA 転送が動作中の場合は、DMA 転送終了後にモジュールストップ状態へ遷移します。MSTPCRA.MSTPA22 ビットが 1 のとき、DMAC のレジスタにはアクセスしないでください。MSTPCRA.MSTPA22 ビットに 0 を書くことで、DMAC のモジュールストップ状態は解除されます。

(2) ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード

「10.6.3.1. ソフトウェアスタンバイモードへの遷移」または「10.6.4.1. ディープソフトウェアスタンバイモードへの遷移」の手順に従って設定してください。

WFI 命令実行時に DMA 転送が動作中の場合、DMA 転送が完了してからソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移します。

(3) 低消費電力機能に関する注意事項

WFI 命令とレジスタの設定については、「10.7.7. WFI 命令のタイミング」を参照してください。

低消費電力モードから復帰後、DMA 転送を行うには、再度 DMAST.DMST ビットを 1 にしてください。ソフトウェアスタンバイモード時に発生した要求を、DMAC 起動要求ではなく CPU への割り込み要求として使用する場合は、「13.5.5. 割り込み要求先の選択」に示すように、割り込み要求先を CPU に切り替えてから WFI 命令を実行してください。

16.9 使用上の注意事項

16.9.1 DMA 転送中のレジスタアクセスについて

同じチャネルの DMSTS.ACT フラグが 1（DMAC 動作中）、または同じチャネルの DMCNT.DTE ビットが 1（DMA 転送許可）の状態で、下記のレジスタに書き込まないでください。

- DELSR
- DMSAR
- DMDAR
- DMCRA
- DMCRB
- DMTMD
- DMINT

- DMAMD
- DMOFR
- DMSBS
- DMDBS
- DMSRR
- DMDRR
- DMBWR
- ICUSARC
- DMACSAR

16.9.2 予約領域への DMA 転送について

予約領域への DMA 転送は行わないでください。予約領域へアクセスが発生した場合の転送結果は保証されません。予約領域の詳細は、「4. アドレス空間」を参照してください。

16.9.3 割り込みコントローラユニットの DMAC イベントリンク設定レジスタ (DELSRn) の設定

DMA 転送許可ビット (DMCNT.DTE) が 0（DMA 転送禁止）にクリアされている間に、DMAC イベントリンク設定レジスタ (DELSRn) を設定してください。さらに、DELSRn レジスタにより設定されている同じイベント番号に対応する DTC 起動許可レジスタ (ICU.IELSRn.DTCE (n = 0～95)) は 1 にしないでください。ICU.IELSRn.DTCE の詳細については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

16.9.4 DMAC 起動の保留／再開に関する注意事項

DMAC 起動要求を一時停止するために、DMAC イベントリンク選択ビット (DELSRn.DELS[8:0]) に 0x00 を書き込んでください。DMA 転送を再開するには、「16.3.9. DMAC の起動」に記載された設定に従い、DELSRn.DELS[8:0]ビットにイベント番号を書き込んでください。

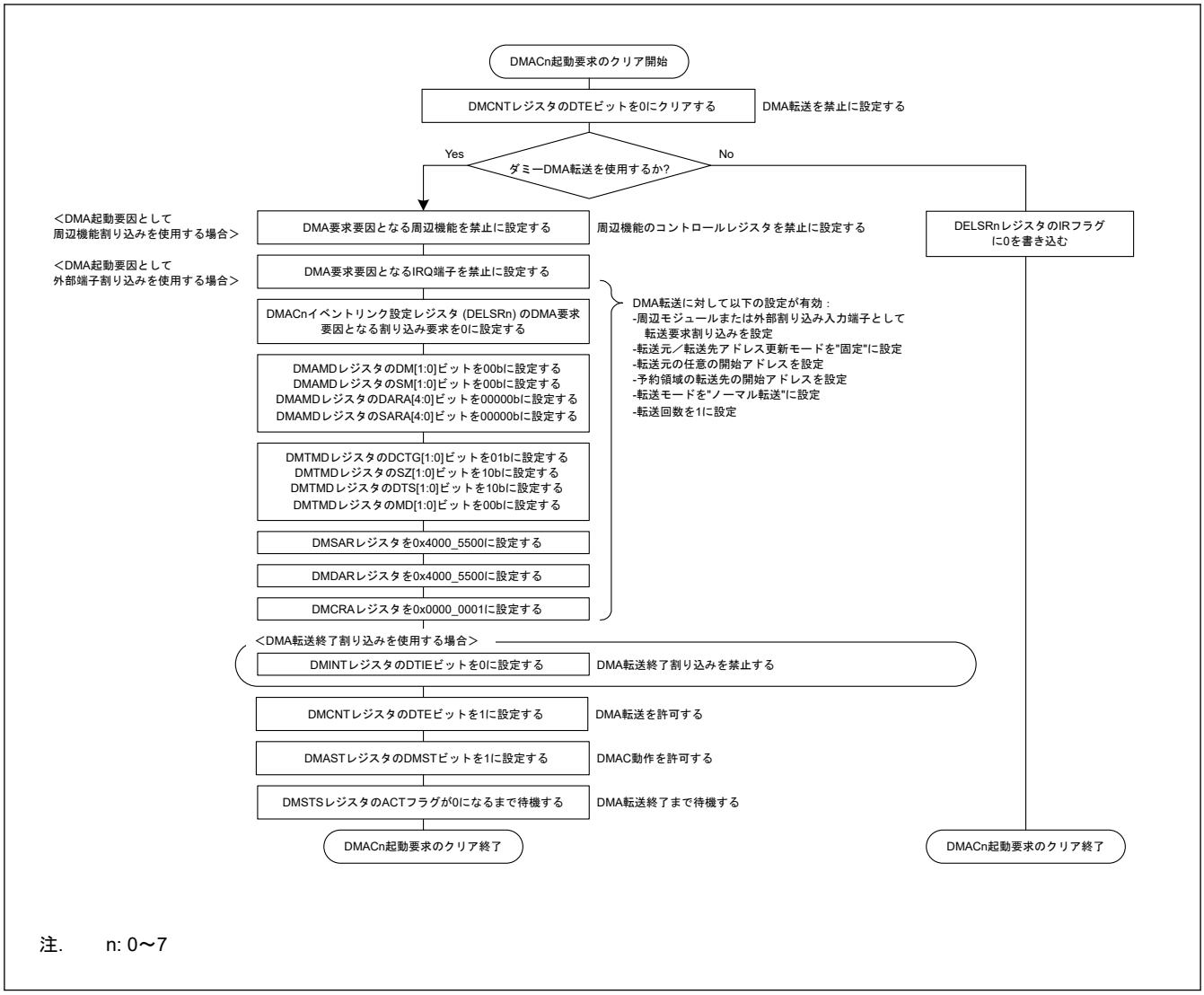
16.9.5 DMA 転送再開時の注意事項

DMA 転送終了後、次の要求時に DMAC 起動要求が発生する場合があります。このような状況が生じた場合、DMA 転送が開始され、DMAC 起動要求は DMAC 内に保持されます。これを避けるには、DELSRn.DELS[8:0]ビットを 0 にして、DMAC 起動要求を停止してください。

最後の DMA 転送後に DMAC 起動要求が発生した場合は、以下のいずれかの方法で DMAC 起動要求をクリアしてください。

- ダミーの DMA 転送を用いて DMAC 起動要求をクリアする。
- DMCNT.DTE ビットを 0 に設定した後、DELSRn.IR フラグを 0 にしてください。

図 16.25 を参照してください。



注. n: 0～7

図 16.25 DMAC 起動割り込みをクリアするためのレジスタ設定手順例

16.9.6 OSPI の制限事項

OSPI の使用には制限があります。「35.4.5. 8D-8D-8D プロファイル 1.0 フォーマットの制限事項」を参照してください。

17. データトランスファコントローラ (DTC)

17.1 概要

データトランスファコントローラ (DTC) は、割り込み要求によって起動するとデータ転送を行います。

表 17.1 に DTC の仕様を、図 17.1 に DTC のブロック図を示します。

表 17.1 DTC の仕様

項目	内容
転送モード	• ノーマル転送モード 1 回の起動で 1 データを転送 • リピート転送モード 1 回の起動で 1 データを転送 リピートサイズ分のデータを転送すると転送開始時のアドレスに復帰 リピート回数は最大 256 回設定可能で、最大 256 × 32 ビット（1024 バイト）転送可能 • ブロック転送モード 1 回の起動で 1 ブロックを転送 ブロックサイズは、最大 256 × 32 ビット = 1024 バイト設定可能
転送チャネル	• 割り込み要因に対応するチャネルの転送が可能（ICU からの DTC 起動要求で転送） • 1 つの起動要因に対して複数データの転送が可能（チェーン転送） • チェーン転送は「カウンタが 0 のとき実施」または「毎回実施」のいずれかを選択可能
転送空間	• 0x0000_0000～0xFFFF_FFFF のうち予約領域を除く 4 GB の領域
データ転送単位	• 1 データ：1 バイト（8 ビット）、1 ハーフワード（16 ビット）、1 ワード（32 ビット） • 1 ブロックサイズ：1～256 データ
CPU 割り込み要因	• DTC を起動した割り込み、または DTC_COMPLETE で CPU への割り込み要求を発生可能 • 1 回のデータ転送後に CPU への割り込み要求を発生可能 • 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能
DTC 転送エラーの処理	• DTC 転送エラーが発生すると、エラーを引き起こした転送が停止 • DTC エラー番号の起動要求についてレジスタをクリアするよう ICU に要求
エラー応答検出割り込み	DTC 転送エラーが生じると発生
イベントリンク機能	1 回のデータ転送後（ブロックの場合は 1 ブロック転送後）、イベントリンク要求を発生
リードスキップ	転送情報のリードスキップを実行可能
ライトバックスキップ	転送元アドレスまたは転送先アドレスが固定の場合、ライトバックスキップを実行可能
モジュールストップ機能	モジュールストップ状態の設定が可能
TrustZone フィルタ	起動要因ごとにセキュリティ属性とプリビレッジ属性の設定が可能

注. DTC のセキュリティ属性レジスタは、ICU.ICUSARG、ICU.ICUSARH、および ICU.ICUSARI で説明します。

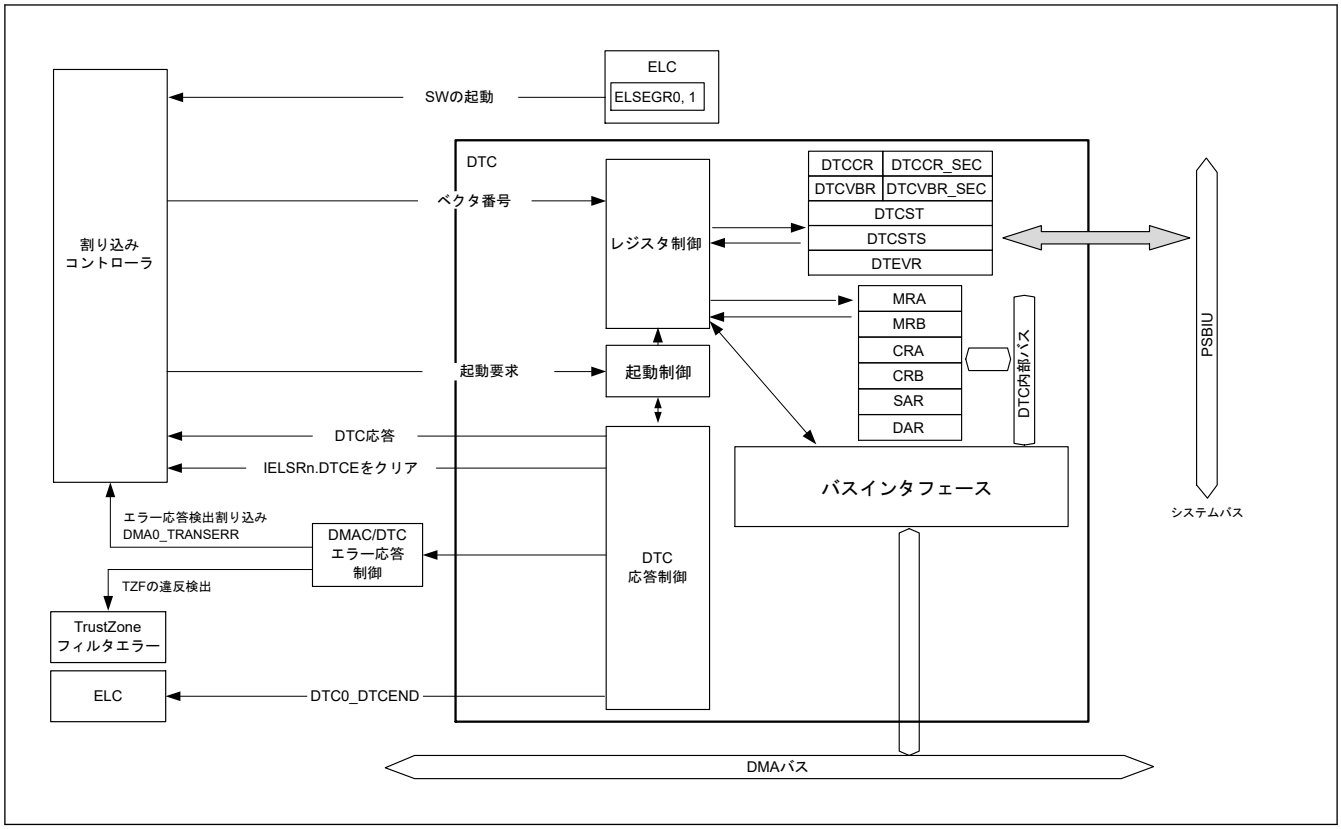


図 17.1　DTC のブロック図

CPU 内での DTC と NVIC の接続関係については、「13. 割り込みコントローラユニット (ICU)」の「13.1. 概要」を参照してください。

17.2　レジスタの説明

MRA、MRB、SAR、DAR、CRA、CRB は、すべて DTC の内部レジスタであり、CPU から直接アクセスすることはできません。これら DTC 内部レジスタの設定値は、SRAM 領域に転送情報として配置されます。起動要求が発生すると、DTC は SRAM 領域から転送情報を読み出して、それを DTC の内部レジスタに設定します。データ転送の終了後、内部レジスタの内容は転送情報として SRAM 領域にライトバックされます。

17.2.1　DTCSAR : DTC コントローラセキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x30

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DTCSTSA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DTCSTSA	DTC セキュリティ属性 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1, P-TYPE-1

本レジスタは DTCST セキュリティ属性のみを設定します。

DTCSTSA ビット（DTC セキュリティ属性）

本ビットは、DTCST レジスタと DTCSTS レジスタのセキュリティ属性を指定します。

DTC 転送が有効またはバスマスタが DTC レジスタに書き込み中は、DTCSTSA ビットに書き込まないでください。

17.2.2 MRA : DTC モードレジスタ A

Base address: DTCVBR_SEC
DTCVBR

Offset address: 0x03 + 0x4 × ベクタ番号
（CPU から直接アクセス不可。「17.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MD[1:0]		SZ[1:0]		SM[1:0]		—	—
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
1:0	—	読み出し値は不定です。書く場合、0 としてください。リセット後の値は不定値です。	—
3:2	SM[1:0]	転送元アドレスアドレッシングモード 0 0: SAR レジスタはアドレス固定（SAR レジスタへのライトバックをスキップ） 0 1: SAR レジスタはアドレス固定（SAR レジスタへのライトバックをスキップ） 1 0: 転送後 SAR レジスタをインクリメント： SZ[1:0]ビットが 00b のとき+1 SZ[1:0]ビットが 01b のとき+2 SZ[1:0]ビットが 10b のとき+4 1 1: 転送後 SAR レジスタをデクリメント： SZ[1:0]ビットが 00b のとき-1 SZ[1:0]ビットが 01b のとき-2 SZ[1:0]ビットが 10b のとき-4	—
5:4	SZ[1:0]	DTC データトランスファサイズ 0 0: バイト（8 ビット）転送 0 1: ハーフワード（16 ビット）転送 1 0: ワード（32 ビット）転送 1 1: 設定禁止	—
7:6	MD[1:0]	DTC 転送モード選択 0 0: ノーマル転送モード 0 1: リピート転送モード 1 0: ブロック転送モード 1 1: 設定禁止	—

MRA レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x03）に MRA レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x03）から、MRA レジスタへ設定値を転送します。「17.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

17.2.3 MRB : DTC モードレジスタ B

Base address: DTCVBR_SEC
DTCVBR

Offset address: 0x02 + 0x4 × ベクタ番号
（CPU から直接アクセス不可。「17.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CHNE	CHNS	DISEL	DTS	DM[1:0]		—	—
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
1:0	—	読み出し値は不定です。書く場合、0 としてください。リセット後の値は不定値です。	—
3:2	DM[1:0]	転送先アドレスアドレッシングモード 0 0: DAR レジスタはアドレス固定（DAR レジスタへのライトバックをスキップ） 0 1: DAR レジスタはアドレス固定（DAR レジスタへのライトバックをスキップ） 1 0: 転送後 DAR レジスタをインクリメント： MRA.SZ[1:0]ビットが 00b のとき+1 MRA.SZ[1:0]ビットが 10b のとき+4MRA.SZ[1:0]ビットが 01b のとき+2 1 1: 転送後 DAR レジスタをデクリメント： MRA.SZ[1:0]ビットが 00b のとき-1 MRA.SZ[1:0]ビットが 01b のとき-2 MRA.SZ[1:0]ビットが 10b のとき-4	—
4	DTS	DTC 転送モード選択 0: 転送先にリピート領域またはブロック領域を選択 1: 転送元にリピート領域またはブロック領域を選択	—
5	DISEL	DTC 割り込み選択 0: 指定されたデータ転送の終了時、CPU への割り込み要求が発生 1: DTC データ転送のたびに、CPU への割り込み要求が発生	—
6	CHNS	DTC チェーン転送選択 0: 連続してチェーン転送を行う 1: 転送カウンタが 1→0、または 1→CRAH となったときにのみチェーン転送を行う	—
7	CHNE	DTC チェーン転送許可 0: チェーン転送禁止 1: チェーン転送許可	—

MRB レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x02）に MRB レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x02）から、MRB レジスタへ設定値を転送します。「17.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

DM[1:0]ビット（転送先アドレスアドレッシングモード）

DM[1:0]ビットは DAR レジスタのアドレスを固定または転送後の DAR レジスタのインクリメント/デクリメントを指定します。

DTS ビット（DTC 転送モード選択）

DTS ビットはリピート転送モードあるいはブロック転送モードにおいて、転送元または転送先をリピート領域またはブロック領域に指定します。

DISEL ビット（DTC 割り込み選択）

DISEL ビットは CPU への割り込み要求を発生する条件を指定します。

CHNS ビット（DTC チェーン転送選択）

CHNS ビットはチェーン転送の条件を選択します。CHNE ビットが 0 のとき、CHNS ビットの設定は無視されます。チェーン転送の条件については、表 17.3 を参照してください。

次の転送がチェーン転送の場合、指定した転送回数の終了判定も、起動要因フラグのクリアも行われず、CPU への割り込み要求は発生しません。

CHNE ビット（DTC チェーン転送許可）

CHNE ビットはチェーン転送を許可します。チェーン転送条件は、CHNS ビットで選択されます。チェーン転送の詳細については、「17.4.6. チェーン転送」を参照してください。チェーン転送の設定が CHNE = 1 かつ CHNS = 0 であるとき、転送設定に基づく転送回数は、各転送要求に対して-1 になります。そのため、各転送情報に対する転送回数は一致する必要があります。

17.2.4 SAR : DTC 転送元レジスタ

Base address: DTCVBR_SEC
DTCVBR

Offset address: 0x04 + 0x4 × ベクタ番号
（CPU から直接アクセス不可。「17.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	31																												0
Bit field:																													
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

SAR レジスタは、転送元の開始アドレスを設定するレジスタです。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x04）に SAR レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x04）から、SAR レジスタへ設定値を転送します。「17.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

DTC 転送では、アドレスの不整合は禁止です。MRA.SZ[1:0] = 01b の場合、ビット 0 は 0 を設定してください。また、MRA.SZ[1:0] = 10b の場合、ビット 1 およびビット 0 はともに 0 を設定してください。

17.2.5 DAR : DTC 転送先レジスタ

Base address: DTCVBR_SEC
DTCVBR

Offset address: 0x08 + 0x4 × ベクタ番号
（CPU から直接アクセス不可。「17.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	31																												0
Bit field:																													
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

DAR レジスタは、転送先の開始アドレスを設定するレジスタです。CPU は SRAM 領域（転送情報 (n) の開始アドレス 0x08）に DAR レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス 0x08）から、DAR レジスタへ設定値を転送します。「17.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

DTC 転送では、アドレスの不整合は禁止です。MRA.SZ[1:0] = 01b の場合、ビット[0]を 0 に設定する必要があります。また、MRA.SZ[1:0] = 10b の場合、ビット[1]およびビット[0]をともに 0 に設定する必要があります。

17.2.6 CRA : DTC 転送カウントレジスタ A

Base address: DTCVBR_SEC
DTCVBR

Offset address: 0x0E + 0x4 × ベクタ番号
（CPU から直接アクセス不可。「17.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
7:0	CRAL	転送カウンタ A 下位 転送回数を設定	—
15:8	CRAH	転送カウンタ A 上位 転送回数を設定	—

注. 転送モードによって機能が異なります。
注. リピート転送モードとブロック転送モードでは、CRAH および CRAL レジスタには同じ値を設定してください。

CRA レジスタは 16 ビットです。CRAL は下位 8 ビット、CRAH は上位 8 ビットです。CRA はノーマル転送モードで使用されます。

CRAL と CRAH はリピート転送モードとブロック転送モードで使用されます。

CRA レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x0E）に CRA レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x0E）から、CRA レジスタへ設定値を転送します。「17.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

(1) ノーマル転送モード (MRA.MD[1:0] = 00b) の場合

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。転送回数は、設定値が 0x0001 のときは 1 回、0xFFFF のときは 65535 回、0x0000 のときは 65536 回となります。CRA レジスタの値は、データ転送を 1 回行うたびにデクリメント (–1) されます。

(2) リピート転送モード (MRA.MD[1:0] = 01b) の場合

リピート転送モードでは、CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。転送回数は、設定値が 0x01 のときは 1 回、0xFF のときは 255 回、0x00 のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (–1) されます。0x00 に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

(3) ブロック転送モード (MRA.MD[1:0] = 10b) の場合

ブロック転送モードでは、CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。転送回数は、設定値が 0x01 のときは 1 回、0xFF のときは 255 回、0x00 のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (–1) されます。0x00 に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

17.2.7 CRB : DTC 転送カウントレジスタ B

Base address: DTCVBR_SEC
DTCVBR

Offset address: 0x0C + 0x4 × ベクタ番号
（CPU から直接アクセス不可。「17.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

CRB レジスタは、ブロック転送モードのブロック転送回数を指定するレジスタです。転送回数は、設定値が 0x0001 のときは 1 回、0xFFFF のときは 65535 回、0x0000 のときは 65536 回となります。CRB レジスタの値は、1 ブロックサイズの最終データ転送時にデクリメント (–1) されます。ノーマル転送モードまたはリピート転送モードを選択した場合、本レジスタは使用されず、設定値は無視されます。

CRB レジスタは CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x0C）に CRB レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x0C）から、CRB レジスタへ設定値を転送します。「17.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

17.2.8 DTCCR : DTC コントロールレジスタ

Base address: DTC0_NS = 0x5000_AC00

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	RRS	—	—	—	—
Value after reset:	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
4	RRS	DTC 転送情報リードスキップ許可（非セキュア領域） 0: 転送情報のリードスキップを行わない 1: ベクタ番号が一致したとき、転送情報のリードスキップを行う	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE7, P-TYPE2

RRS ビット（DTC 転送情報リードスキップ許可（非セキュア領域））

RRS ビットはベクタ番号が一致したとき、転送情報のリードスキップを許可します。DTC ベクタ番号は、前回起動時のベクタ番号と比較されます。ベクタ番号が一致し、かつ RRS ビットが 1 になっていると、転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送のときは、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

前回の転送がノーマル転送で転送カウンタ（CRA レジスタ）が 0 になっている場合と、ブロック転送で転送カウンタ（CRB レジスタ）が 0 になっている場合も、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

17.2.9 DTCCR_SEC : DTC コントロールレジスタ（セキュア領域）

Base address: DTC0 = 0x4000_AC00

Offset address: 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	RRSS	—	—	—	—
Value after reset:	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
4	RRSS	DTC 転送情報リードスキップ許可（セキュア領域） 0: 転送情報のリードスキップを行わない 1: ベクタ番号が一致したとき、転送情報のリードスキップを行う	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE6, P-TYPE2

RRSS ビット（DTC 転送情報リードスキップ許可（セキュア領域））

RRSS ビットはベクタ番号が一致したとき、転送情報のリードスキップを許可します。DTC ベクタ番号は、前回起動時のベクタ番号と比較されます。これらのベクタ番号が一致し、かつ RRSS ビットが 1 になっていると、転送情報を読み出さずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送のときは、RRSS ビットの値にかかわらず転送情報が読み出されます。

前回のノーマル転送中に転送カウンタ（CRA レジスタ）が 0 になっている場合と、前回のブロック転送中に転送カウンタ（CRB レジスタ）が 0 になっている場合は、RRSS ビットの値にかかわらず転送情報が読み出されます。

17.2.10 DTCVBR : DTC ベクタベースアドレス

Base address: DTC0_NS = 0x5000_AC00

Offset address: 0x04

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	DTC ベクタベースアドレス（非セキュア領域） DTC ベクタベースアドレスを設定（下位 10 ビットは 0 にしてください）	R/W

注. S-TYPE7, P-TYPE2

DTCVBR レジスタは、DTC ベクタテーブルのアドレス計算に用いられるベースアドレスを設定します。0x0000_0000～0xFFFF_FFFF (4 GB) の範囲内で 1 KB 単位の設定が可能です。

17.2.11 DTCVBR_SEC : DTC ベクタベースレジスタ（セキュア領域）

Base address: DTC0 = 0x4000_AC00

Offset address: 0x14

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	DTC ベクタベースアドレス（セキュア領域） DTC ベクタベースアドレス（セキュア領域）を設定（下位 10 ビットは 0 にしてください）	R/W

注. S-TYPE6, P-TYPE2

DTCVBR_SEC レジスタは、DTC ベクタテーブルのアドレス計算に用いられるベースアドレスを設定します。0x0000_0000～0xFFFF_FFFF (4 GB) の範囲内で 1 KB 単位の設定が可能です。

17.2.12 DTCST : DTC モジュール起動レジスタ

Base address: DTC0 = 0x4000_AC00
DTC0_NS = 0x5000_AC00

Offset address: 0x0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DTCST
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DTCST	DTC モジュール起動 0: DTC モジュール停止 1: DTC モジュール起動	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE2

DTCST ビット（DTC モジュール起動）

DTC が転送要求を受け付けられるようにするには、DTCST ビットを 1 にしてください。DTCST ビットを 0 にすると、新たな転送要求を受け付けません。データ転送中に 0 に書き換えた場合、受け付け済みの転送要求は処理が終了するまで有効です。

下記の状態へ遷移する際は、事前に DTCST ビットを 0 にする必要があります。

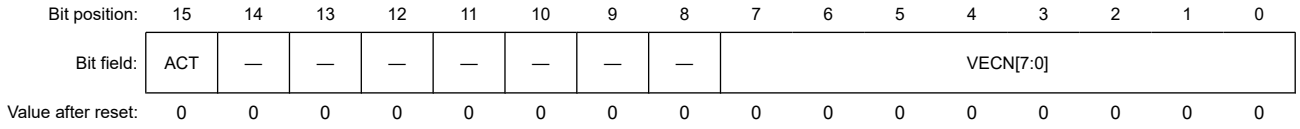
- モジュールストップ状態
- ソフトウェアスタンバイモード
- ディープソフトウェアスタンバイモード

これらの遷移については、「17.10. 低消費電力機能」と「10. 低消費電力モード」を参照してください。

17.2.13 DTCSTS : DTC ステータスレジスタ

Base address: DTC0 = 0x4000_AC00
DTC0_NS = 0x5000_AC00

Offset address: 0x0E



ビット	シンボル	機能	R/W
7:0	VECN[7:0]	DTC アクティブベクタ番号モニタ DTC 転送動作中にその起動要因をベクタ番号で示します。 この値は、DTC 転送動作中（ACT フラグが 1 の場合）にのみ有効です。	R
14:8	—	読むと 0 が読めます。	R
15	ACT	DTC アクティブフラグ 0: DTC 転送動作なし 1: DTC 転送動作中	R

注. S-TYPE3, P-TYPE2

VECN[7:0]ビット（DTC アクティブベクタ番号モニタ）

VECN[7:0]ビットは DTC 転送動作中に、その転送の起動要因をベクタ番号で示します。ACT フラグが 1（DTC 転送動作中）であれば、読み出された VECN[7:0]ビットの値は有効であり、ACT フラグが 0（DTC 転送動作なし）であれば、読み出された VECN[7:0]ビットの値は無効です。

ACT フラグ（DTC アクティブフラグ）

ACT フラグは DTC の転送動作状態を示します。

[1 になる条件]

- 転送要求によって DTC が起動したとき

[0 になる条件]

- 転送要求に対する DTC の転送が完了したとき

17.2.14 DTEVR : DTC エラーベクタレジスタ

Base address: DTC0 = 0x4000_AC00
DTC0_NS = 0x5000_AC00

Offset address: 0x20

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DTESTA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DTEVSAM	DTEV[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	DTEV[7:0]	DTC エラーベクタ番号 DTC のエラーベクタを表します。	R
8	DTEVSAM	DTC エラーベクタ番号 SA モニタ エラーを引き起こすベクタ番号の SA を示します。 0: セキュアベクタ番号 1: 非セキュアベクタ番号	R
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R
16	DTESTA	DTC エラーステータスフラグ 0: DTC 転送エラー発生なし 1: DTC 転送エラー発生あり	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. P-TYPE2。セキュリティ属性によるアクセスについては下記を参照してください。
注. DTESTA への書き込みは DTEVSAM の値に依存します。

本レジスタを読み出すとき、セキュアアクセスと非セキュアアクセスの両方でアクセス可能です。

本レジスタに書き込むとき、DTEVR.DTESTA に依存します。

- DMESA = 1 のとき、セキュアアクセスと非セキュアアクセスでアクセス可能です。
- DMESA = 0 のとき、セキュアアクセスでアクセス可能です。書き込みアクセスが非セキュアアクセスで行われると、エラーが発生します。

本レジスタは、転送エラーで生じたリセットによりクリアされます。プログラムをデバッグする場合は、BUS.OADCFG.OAD で割り込み (DMA0_TRANSERR) を選択してください。

DTEV[7:0]ビット（DTC エラーベクタ番号）

DTC 転送起因の転送エラーが発生した場合、本ビットは違反した DTC のチャネルを格納します。

MMPUOAD.OAD と MSAOAD.OAD でリセットが選択されたとき、本レジスタもリセットされます。プログラムをデバッグする場合は、ノンマスカブル割り込みを選択してください。

[1 になる条件]

- DTC 転送エラーが発生し、DTESTA = 0 の場合

[0 になる条件]

- DTEVR.DTESTA に 1 を書き込む場合

DTEVSAM ビット（DTC エラーベクタ番号 SA モニタ）

DTC 転送起因の転送エラーが発生した場合、本ビットは違反した DTC ベクタ番号の SA を示します。

MMPUOAD.OAD と MSAOAD.OAD でリセットが選択されたとき、本レジスタもリセットされます。プログラムをデバッグする場合は、ノンマスカブル割り込みを選択してください。

[1 になる条件]

- DTC 転送エラーが発生し、DTESTA = 0 の場合

[0 になる条件]

- DTEVR.DTESTA に 1 を書き込む場合

DTESTA ビット（DTC エラーステータスフラグ）

本ビットは DTC 転送エラーの発生の有無を示します。

DTEV、DTEVSAM、DTESTA は DTESTA に 1 を書き込むことによりクリアされます。

DTESTA への 0 の書き込みは無視されます。

MMPUOAD.OAD と MSAOAD.OAD でリセットが選択されたとき、本レジスタもリセットされます。プログラムをデバッグする場合は、ノンマスカブル割り込みを選択してください。

[1 になる条件]

- DTC 転送エラーが発生した場合

[0 になる条件]

- DTEVR.DTESTA に 1 を書き込む場合

注. DTEVSAM = 1 の場合、セキュア状態と非セキュア状態で本ビットをクリアできます。DTEVSAM = 0 の場合、非セキュア状態では本ビットをクリアできません。

17.3 起動要因

DTC は割り込み要求によって起動します。ICU.IELSRn.DTCE ビットを 1 にすると、対応する割り込みによる DTC の起動が許可されます。ICU.IELSRn で設定されたセレクタ出力番号 *n* (n = 0～95) は、割り込みベクタ番号として定義されます。許可された割り込みに対して、各割り込みベクタ番号 *n* に対応した特定の DTC 割り込み要因が、ICU.IELSRn.IELS[8:0] (n = 0～95) ビットによって選択されます。このビットの設定方法については、「13. 割り込みコントローラユニット (ICU)」の「13.3.2. イベント番号」を参照してください。ソフトウェアによる起動については、「18.2.2. ELSEGRn : イベントリンクソフトウェアイベント発生レジスタ n(n = 0, 1)」を参照してください。

割り込みベクタ番号は DTC ベクタテーブル番号と同等です。DTC が起動要求を受け付けると、その要求に対する転送が終了するまで、新たな起動要求は優先順位にかかわらず受け付けません。DTC 転送中に複数の起動要求が発生した場合、転送の終了時点で最も優先順位の高い要求が受け付けられます。DTC モジュール起動ビット (DTCST.DTCST) が 0 の状態で、複数の起動要求が発生した場合、DTC は、その後このビットが 1 になったときに最も優先順位の高い要求を受け付けます。割り込みベクタ番号が小さいほど優先順位は高くなります。

1 回のデータ転送開始時（チェーン転送の場合、連続した最後の転送時）、DTC は以下のように動作します。

- 指定された回数のデータ転送が終了すると、ICU.IELSRn.DTCE ビットが 0 になり、CPU に割り込み要求が送信される
- MRB.DISEL ビットが 1 の場合、データ転送完了時に CPU に対して割り込み要求が発生する
- 上記のいずれでもない場合、起動要因となった ICU.IELSRn.IR フラグはデータ転送開始時に 0 になる

17.3.1 転送情報の配置と DTC ベクタテーブル

DTC は、起動要因ごとにベクタテーブルから転送情報の開始アドレスを読み出して、このアドレスから始まる転送情報を読み出します。

DTC には、非セキュア側とセキュア側の 2 つのベクタテーブルがあります。それは、DTC に対するトリガとして働く割り込みベクタ番号が非セキュア側とセキュア側に分割されるためです。SA = 1 である割り込みベクタ番号のベクタテーブルを非セキュア側の DTCVBR に配置してください。SA = 0 である割り込みベクタ番号のベクタテーブルをセキュア側の DTCVBR_SEC に配置してください。

ベクタテーブルのベースアドレス（開始アドレス）は、下位 10 ビットが 0 になるように配置する必要があります。DTC ベクタベースレジスタ (DTCVBR) を用いて、DTC ベクタテーブルのベースアドレスを設定してください。転送情報は SRAM 領域に配置します。SRAM 領域では、ベクタ番号 *n* を持つ転送情報 *n* の開始アドレスは、ベクタテーブルのベースアドレス+4n 番地でなければいけません。

プリビレッジアクセスまたは非プリビレッジアクセスの DTC 転送属性の設定をする場合、以下のようにベクタテーブルと転送情報を配置してください。ベクタテーブルはプリビレッジ領域に配置してください。プリビレッジ属性の転送情報は、プリビレッジ領域に配置されます。非プリビレッジ属性の転送情報は、非プリビレッジ領域に配置されます。プリビレッジ領域は MMPU で設定されます（「15. メモリプロテクションユニット (MPU)」を参照）。プリビレッジアクセスと非プリビレッジアクセスの設定は、ベクタテーブルの各ベクタ番号に対応するアドレスのビット 0 に位置しています。

図 17.2 に DTC ベクタテーブルと転送情報の対応関係を示します。

図 17.3 にベクタテーブルのビット配置を示します。

図 17.4 に SRAM 領域上の転送情報の配置を示します。

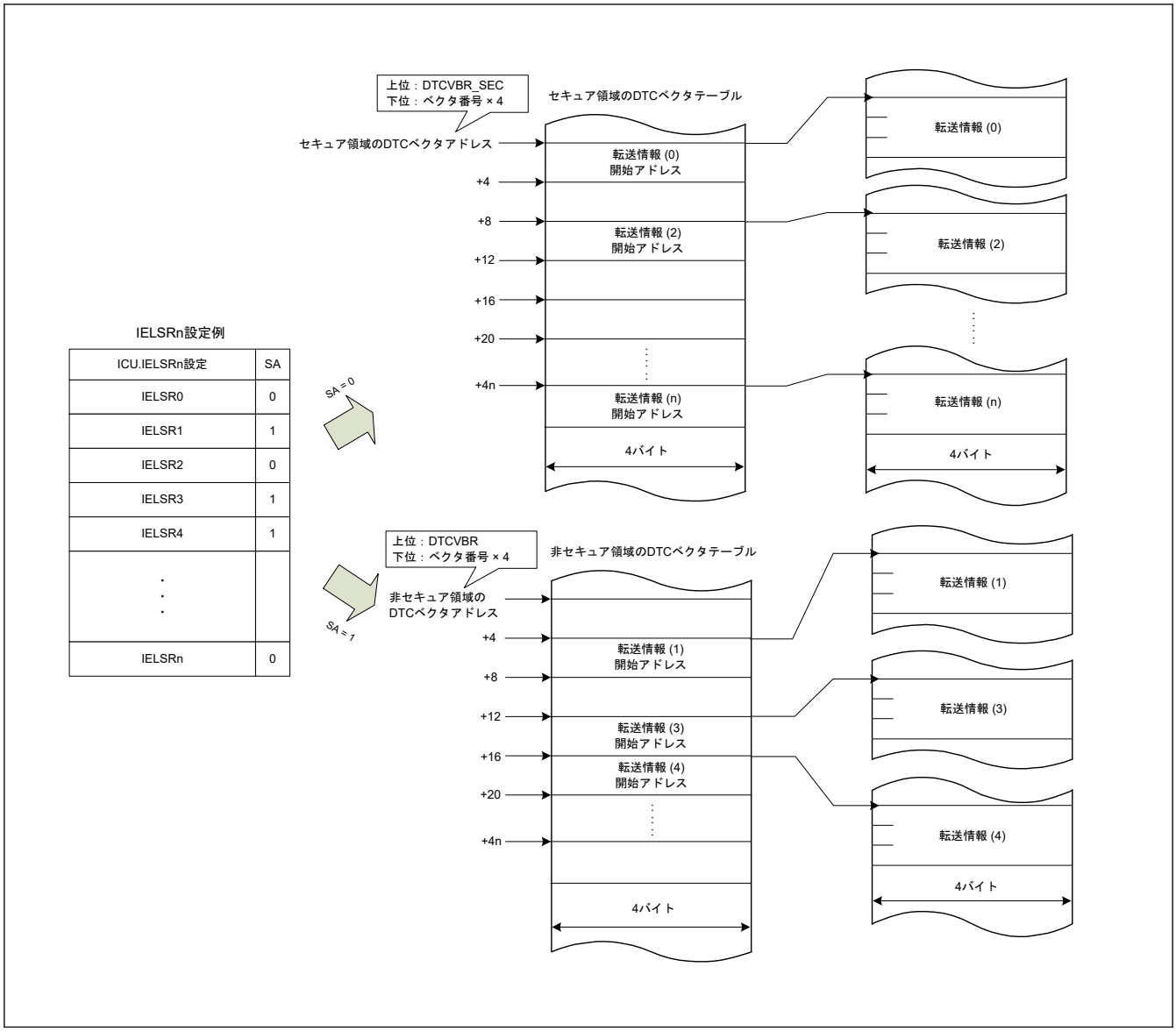


図 17.2　DTC ベクタテーブルと転送情報の対応関係

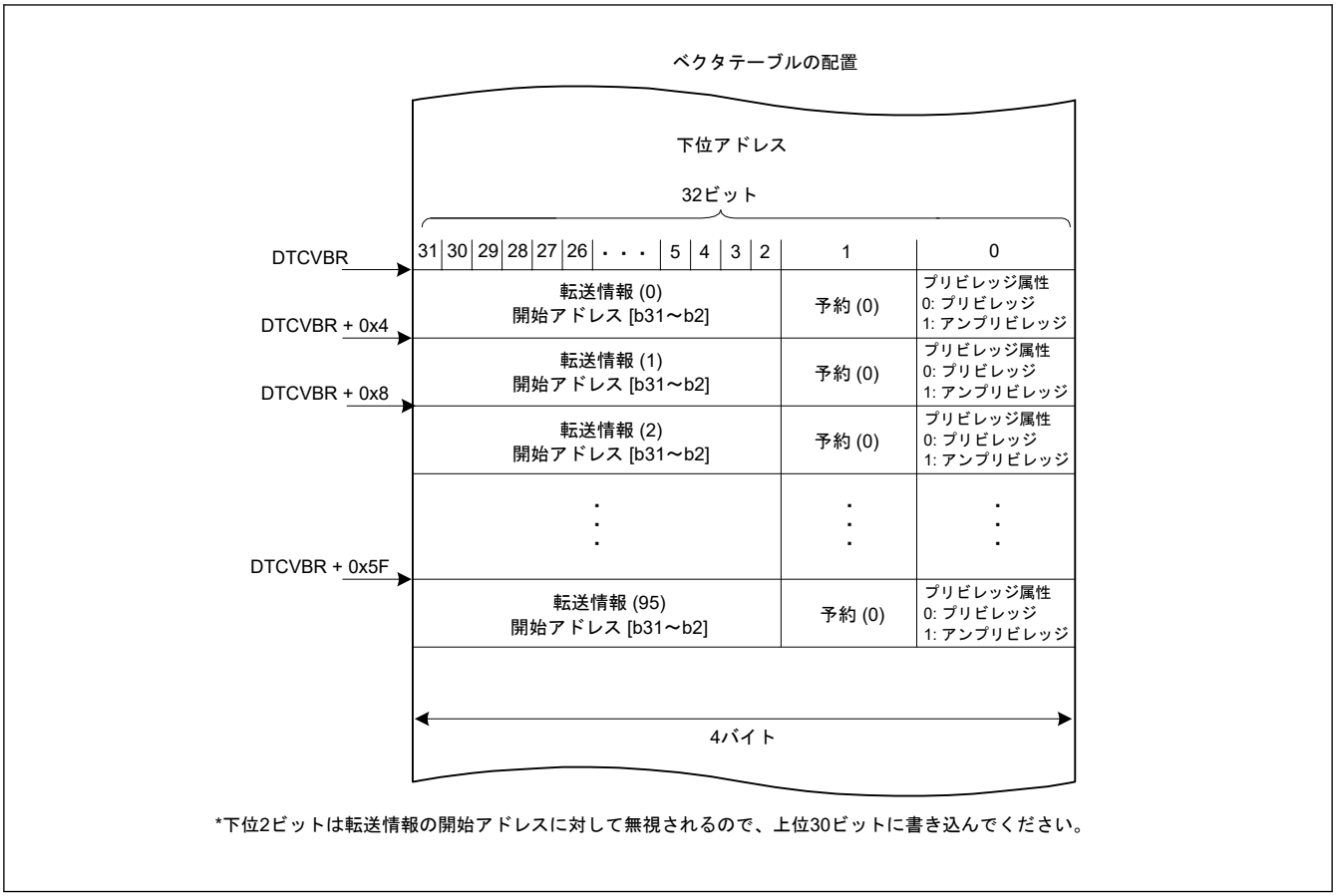


図 17.3　ベクタテーブルのビット配置

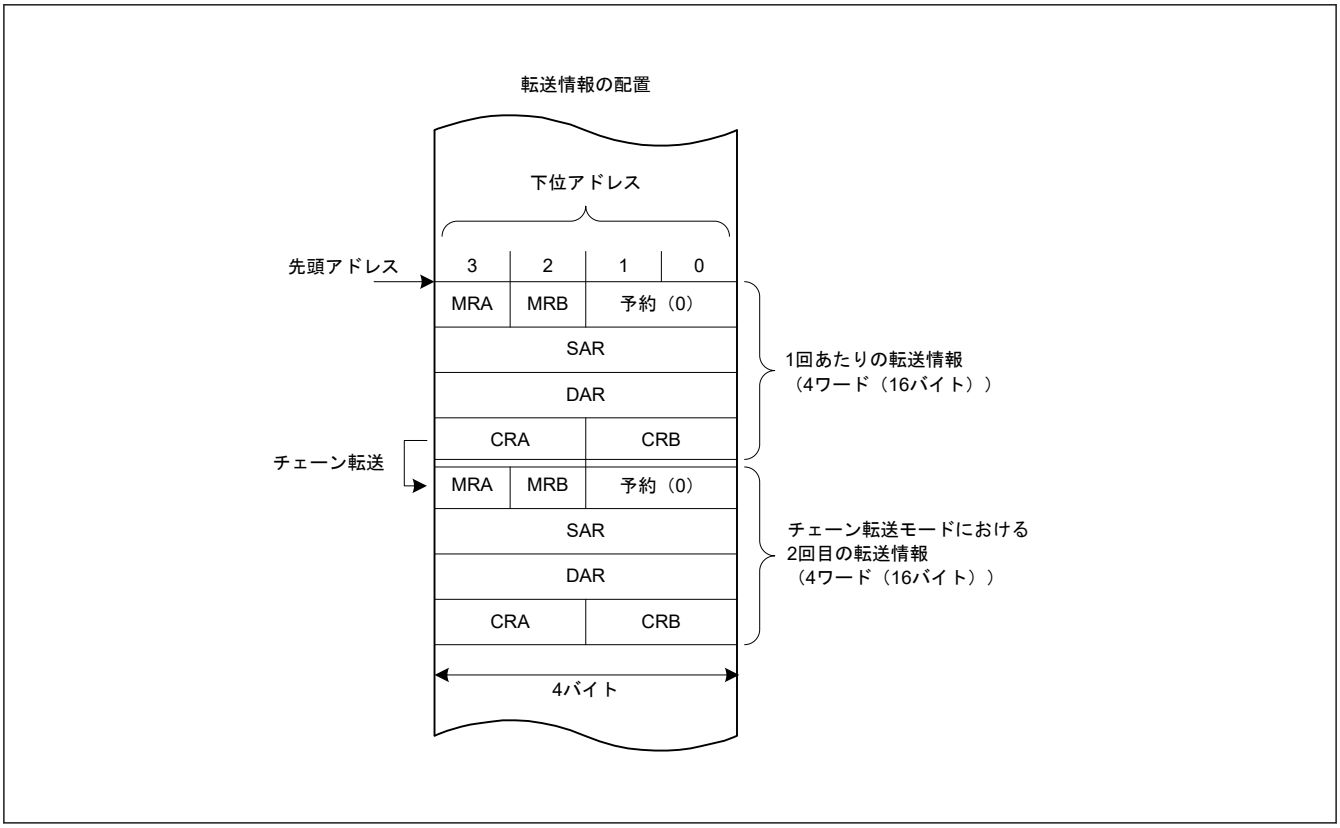


図 17.4　SRAM 領域上の転送情報の配置

17.4 動作説明

DTC は、転送情報に従ってデータを転送します。DTC を動作させるには、あらかじめ転送情報を SRAM 領域に格納しておく必要があります。DTC が起動すると、DTC はベクタ番号に対応する DTC ベクタを読み出します。次に DTC は、DTC ベクタが示す転送情報格納アドレスから転送情報を読み出して、データ転送を行います。データ転送後に、DTC は転送情報のライトバックを行います。転送情報を SRAM 領域に格納することで、任意のチャネル数のデータ転送が可能になります。

転送モードには、下記の 3 種類があります。

- ノーマル転送モード
- リピート転送モード
- ブロック転送モード

DTC は転送元アドレスを SAR レジスタ、転送先アドレスを DAR レジスタで指定します。これらのレジスタ値は、データの転送後、それぞれ個別にインクリメント、デクリメント、あるいはアドレス固定されます。

表 17.2 に DTC の転送モードを示します。

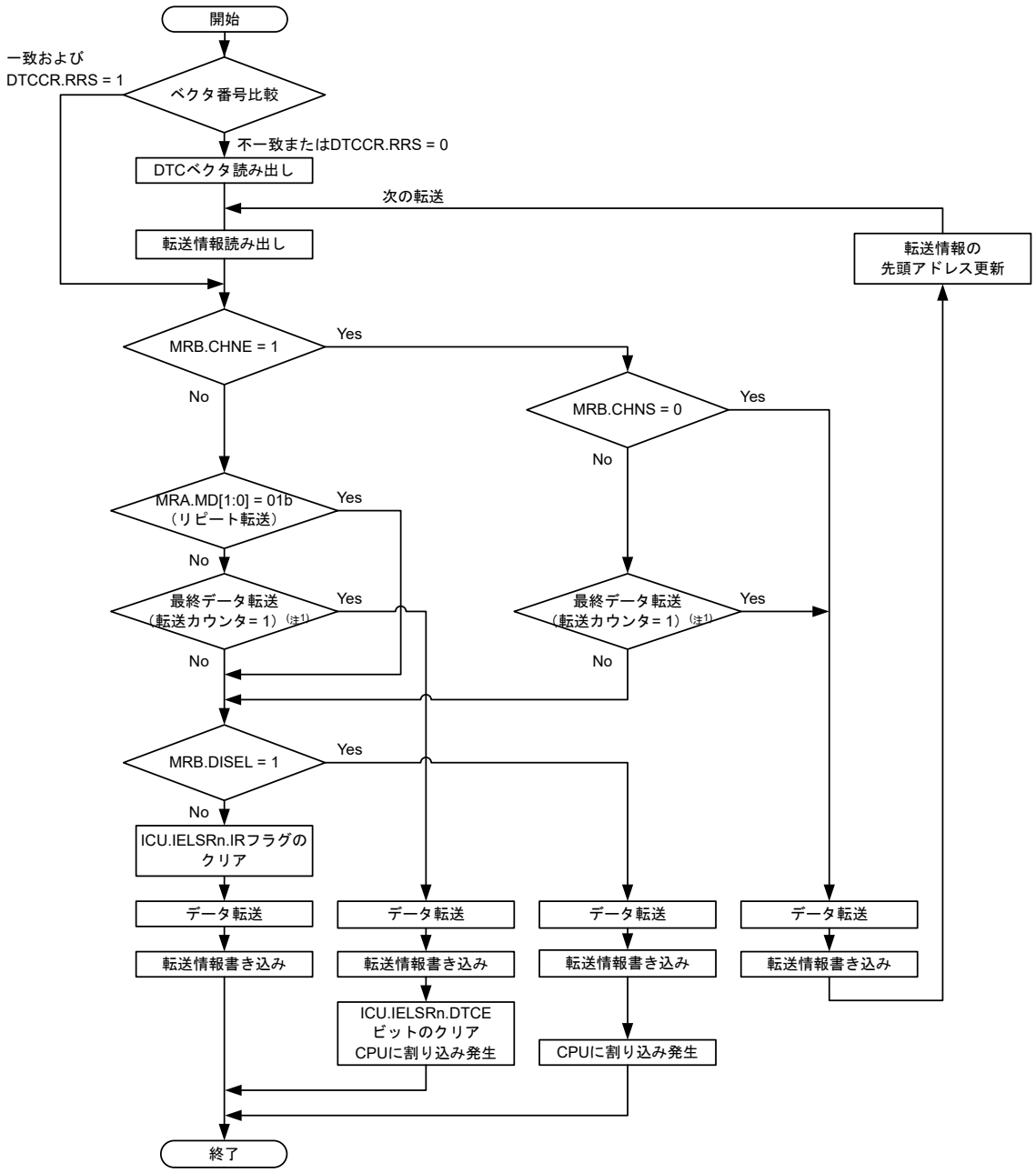
表 17.2 DTC の転送モード

転送モード	1 回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1 バイト（8 ビット）／1 ハーフワード（16 ビット）／1 ワード（32 ビット）	1、2、4 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～65536 回
リピート転送モード (注1)	1 バイト（8 ビット）／1 ハーフワード（16 ビット）／1 ワード（32 ビット）	1、2、4 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～256 回(注3)
ブロック転送モード (注2)	CRAH レジスタで指定したブロックサイズ（1～256 バイト／1～256 ハーフワード（2～512 バイト）／1～256 ワード（4～1024 バイト））	1、2、4 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～65536 回

注 1. 転送元または転送先のいずれかをリピート領域に設定します。
注 2. 転送元または転送先のいずれかをブロック領域に設定します。
注 3. 指定回数の転送終了後は、初期状態に戻り、動作を再開します。

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数転送またはチェーン転送が可能です。指定されたデータ転送終了時にチェーン転送を行う設定も可能です。

図 17.5 に DTC の動作フローチャートを示します。表 17.3 にチェーン転送の条件を示します。この表では、2 番目以降の転送に対する制御情報の組み合わせは省略されています。



注 1. データ転送開始前のカウンタ値

図 17.5 DTC 動作フローチャート

表 17.3 チェーン転送の条件 (1/2)

第 1 転送				第 2 転送(注3)				
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ(注1)(注2)	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ(注1)(注2)	DTC 転送
0	—	0	(1→0) 以外	—	—	—	—	第 1 転送で終了
0	—	0	(1→0)	—	—	—	—	第 1 転送で終了し CPU へ割り込み要求
0	—	1	—	—	—	—	—	

表 17.3 チェーン転送の条件 (2/2)

第 1 転送				第 2 転送(注3)				
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ(注1)(注2)	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ(注1)(注2)	DTC 転送
1	0	—	—	0	—	0	(1→0) 以外	第 2 転送で終了
				0	—	0	(1→0)	第 2 転送で終了し CPU へ割り込み要求
				0	—	1	—	
1	1	0	(1→*) 以外	—	—	—	—	第 1 転送で終了
1	1	—	(1→*)	0	—	0	(1→0) 以外	第 2 転送で終了
				0	—	0	(1→0)	第 2 転送で終了し CPU へ割り込み要求
				0	—	1	—	
1	1	1	(1→*) 以外	—	—	—	—	第 1 転送で終了し CPU へ割り込み要求

注 1. 使用する転送カウンタは、以下のように、各転送モードで異なります。
ノーマル転送モード : CRA レジスタ
リピート転送モード : CRAL レジスタ
ブロック転送モード : CRB レジスタ

注 2. 転送終了時のカウンタ動作は以下の通りです。
ノーマル転送モードとブロック転送モードでは (1→0)
リピート転送モードでは (1→CRAH)
表中の (1→*) は、これら両方の動作を表します。

注 3. 2 番目以降の転送に対してチェーン転送の選択が可能です。第 2 転送と CHNE ビットが 1 の組み合わせに対する条件は省略しています。

17.4.1 転送情報のリードスキップ機能

DTCCR.RRS ビットを設定することにより、ベクタアドレスと転送情報の読み出しをスキップできます。DTC 起動要求発生時に、今回の DTC ベクタ番号と前回起動時の DTC ベクタ番号が比較されます。ベクタ番号が一致し、かつ DTCCR.RRS ビットが 1 になっているときは、ベクタアドレスと転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送の場合は、ベクタアドレスと転送情報が読み出されます。さらに、前回のノーマル転送中に転送カウンタ（CRA レジスタ）が 0 になっている場合と、前回のブロック転送中に転送カウンタ（CRB レジスタ）が 0 になっている場合も、DTCCR.RRS ビットの値にかかわらず転送情報の読み出しが行われます。図 17.13 に転送情報の読み出しがスキップされる場合の例を示します。

DTC ベクタテーブルと転送情報を更新する場合は、DTCCR.RRS ビットを 0 にして、DTC ベクタテーブルと転送情報を更新した後、DTCCR.RRS ビットを 1 に戻してください。DTCCR.RRS ビットを一度 0 にすることによって、格納されていたベクタ番号が破棄されます。次回の起動時には、更新された DTC ベクタテーブルと転送情報が読み出されます。

17.4.2 転送情報のライトバックスキップ機能

MRA.SM[1:0]ビットまたは MRB.DM[1:0]ビットを「アドレス固定」に設定すると、転送情報の一部はライトバックされません。 表 17.4 に転送情報のライトバックスキップ条件と対応するレジスタを示します。CRA レジスタと CRB レジスタはライトバックされますが、MRA レジスタと MRB レジスタのライトバックはスキップされます。

表 17.4 転送情報ライトバックスキップ条件とライトバックスキップされるレジスタ (1/2)

MRA.SM[1:0]ビット		MRB.DM[1:0]ビット		SAR レジスタ	DAR レジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		

表 17.4 転送情報ライトバックスキップ条件とライトバックスキップされるレジスタ (2/2)

MRA.SM[1:0]ビット		MRB.DM[1:0]ビット		SAR レジスタ	DAR レジスタ
b3	b2	b3	b2		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

17.4.3 ノーマル転送モード

ノーマル転送モードでは、1 つの起動要因で、1 バイト（8 ビット）、1 ハーフワード（16 ビット）、1 ワード（32 ビット）のデータ転送が可能です。転送回数は 1～65536 回まで設定できます。転送元アドレスと転送先アドレスは、それぞれ個別に、インクリメント、デクリメント、または固定に設定できます。このモードでは指定回数の転送が終了すると、CPU への割り込み要求を発生させることができます。

表 17.5 にノーマル転送モードのレジスタ機能を、図 17.6 にノーマル転送モードのメモリマップを示します。

表 17.5 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	インクリメント／デクリメント／固定(注1)
DAR	転送先アドレス	インクリメント／デクリメント／固定(注1)
CRA	転送カウンタ A	CRA - 1
CRB	転送カウンタ B	更新なし

注 1. アドレス固定のとき、ライトバックはスキップされます。

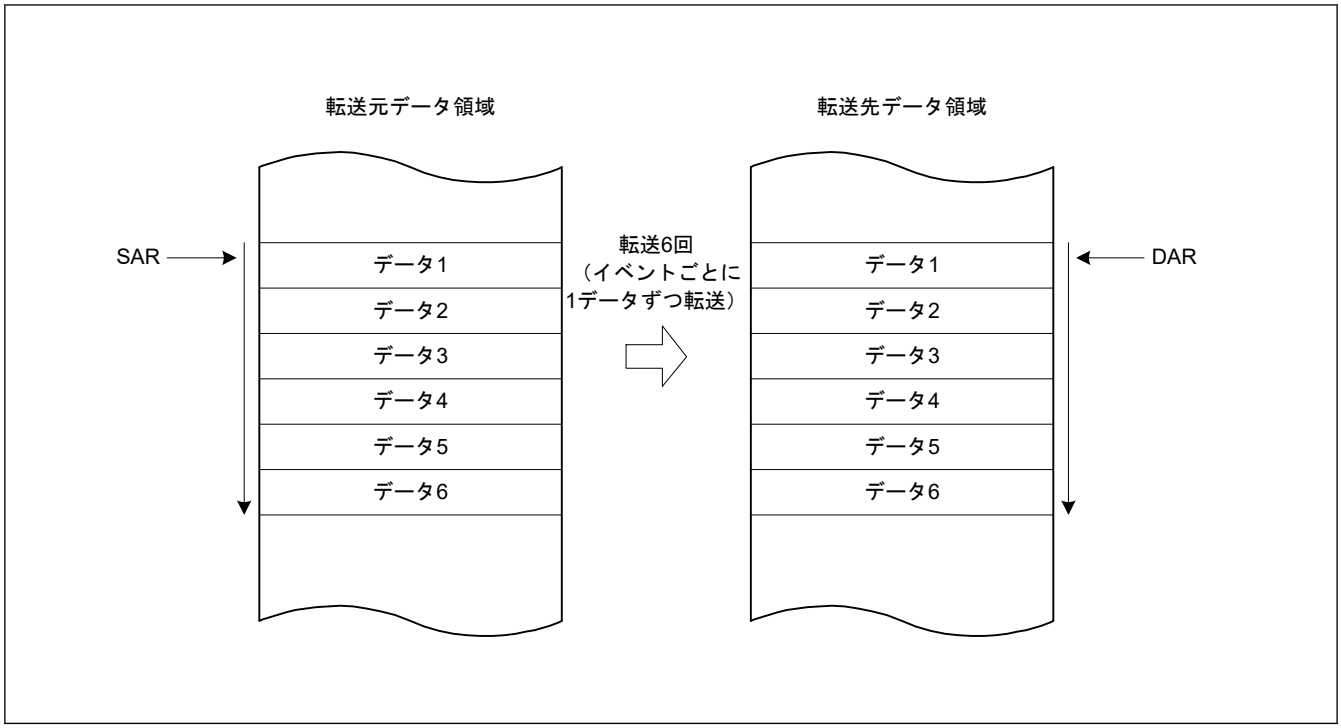


図 17.6　ノーマル転送モードのメモリマップ (MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRA = 0x0006)

17.4.4　リピート転送モード

このモードでは、1 つの起動要因で、1 バイト（8 ビット）、1 ハーフワード（16 ビット）、または 1 ワード（32 ビット）のデータ転送が可能です。MRB.DTS ビットで、転送元と転送先のいずれかをリピート領域に指定する必要があります。転送回数は 1～256 回まで設定できます。指定回数の転送が終了すると、リピート領域に設定された方のアドレスレジスタは初期値に戻り、転送カウンタも初期値に戻ります。そして転送が繰り返されます。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ（CRAL レジスタ）が 0x00 になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタが 0x00 にならないので、MRB.DISEL ビットが 0 になっていると、CPU への割り込み要求は発生しません。指定されたデータ転送が終了したとき、CPU への割り込みが発生します。

表 17.6 にリピート転送モードのレジスタ機能を、図 17.7 にリピート転送モードのメモリマップを示します。

表 17.6　リピート転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値	
		CRAL が 1 以外のとき	CRAL が 1 のとき
SAR	転送元アドレス	インクリメント／デクリメント／固定(注1)	• （MRB.DTS = 0 のとき） インクリメント／デクリメント／固定(注1) • （MRB.DTS = 1 のとき） SAR レジスタの初期値
DAR	転送先アドレス	インクリメント／デクリメント／固定(注1)	• （MRB.DTS = 0 のとき） DAR レジスタの初期値 • （MRB.DTS = 1 のとき） インクリメント／デクリメント／固定(注1)
CRAH	転送カウンタ保持	CRAH	CRAH
CRAL	転送カウンタ A	CRAL - 1	CRAH
CRB	転送カウンタ B	更新なし	更新なし

注 1.　アドレス固定のとき、ライトバックはスキップされます。

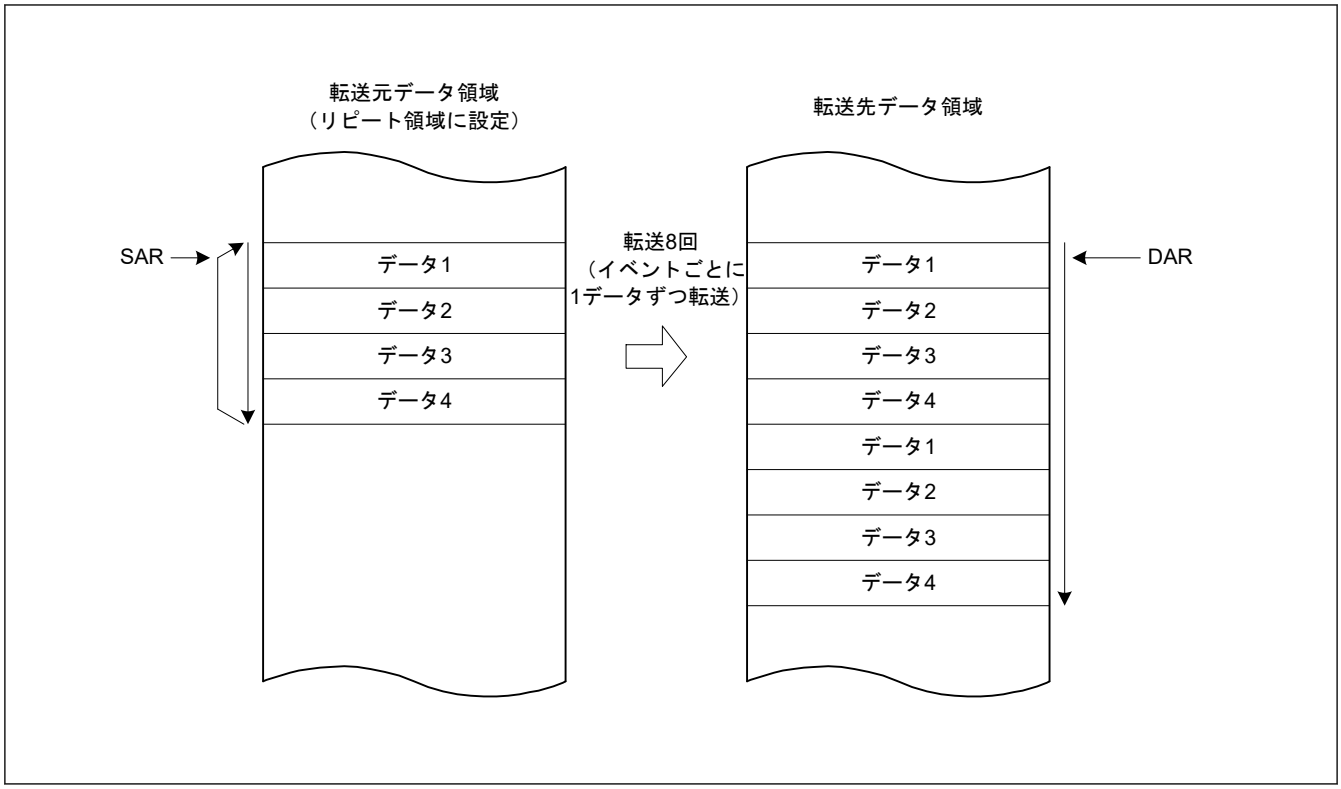


図 17.7　リピート転送モードのメモリマップ（転送元をリピート領域に設定した場合）(MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRAH = 0x04)

17.4.5　ブロック転送モード

このモードでは、1 つの起動要因で 1 ブロックのデータ転送が可能です。MRB.DTS ビットで、転送元と転送先のいずれかをブロック領域に指定する必要があります。ブロックサイズは、1～256 バイト、1～256 ハーフワード（2～512 バイト）、または 1～256 ワード（4～1024 バイト）に設定できます。指定された 1 ブロックの転送が終了すると、ブロックサイズカウンタ（CRAL レジスタ）と、ブロック領域に指定したアドレスレジスタ（MRB.DTS ビットが 1 のときは SAR レジスタ、MRB.DTS ビットが 0 のときは DAR レジスタ）は初期値に戻ります。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

転送回数（ブロック数）は、1～65536 まで指定可能です。指定回数のブロック転送が終了すると、CPU への割り込み要求を発生させることができます。

表 17.7 にブロック転送モードのレジスタ機能を、図 17.8 にブロック転送モードのメモリマップを示します。

表 17.7　ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	• （MRB.DTS = 0 のとき） インクリメント／デクリメント／固定(注1) • （MRB.DTS = 1 のとき） SAR レジスタの初期値
DAR	転送先アドレス	• （MRB.DTS = 0 のとき） DAR レジスタの初期値 • （MRB.DTS = 1 のとき） インクリメント／デクリメント／固定(注1)
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB - 1

注 1.　アドレス固定のとき、ライトバックはスキップされます。

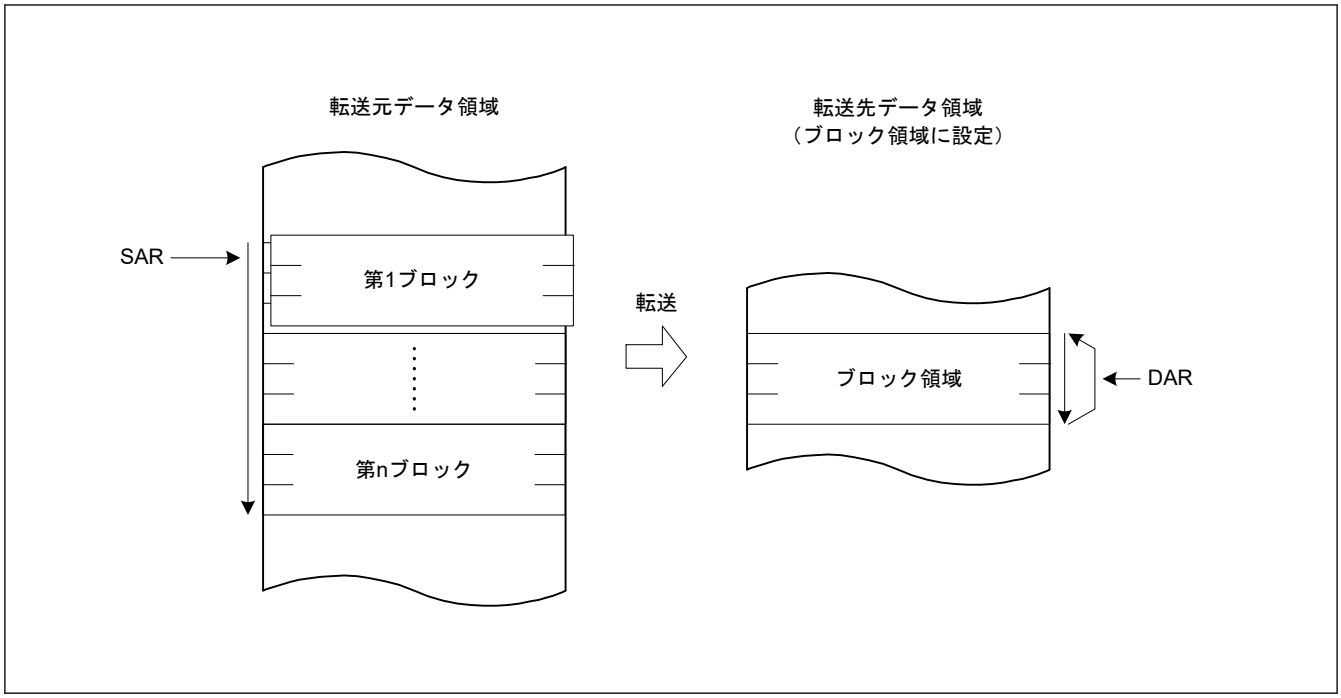


図 17.8　ブロック転送モードのメモリマップ

17.4.6　チェーン転送

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数のデータ転送を連続して行うチェーン転送が可能になります。MRB.CHNE ビットを 1 にして、MRB.CHNS ビットを 0 にした場合は、指定した転送回数の終了による CPU への割り込み要求も、MRB.DISEL = 1 による CPU への割り込み要求も発生しません。割り込み要求は、DTC データ転送のたびに CPU に送信されます。データ転送が、起動要因の ICU.IELSRn.IR フラグに影響を与えることはありません。

データ転送を定義するための SAR、DAR、CRA、CRB、MRA、および MRB レジスタは、それぞれ個別に設定可能です。図 17.9 にチェーン転送の動作を示します。

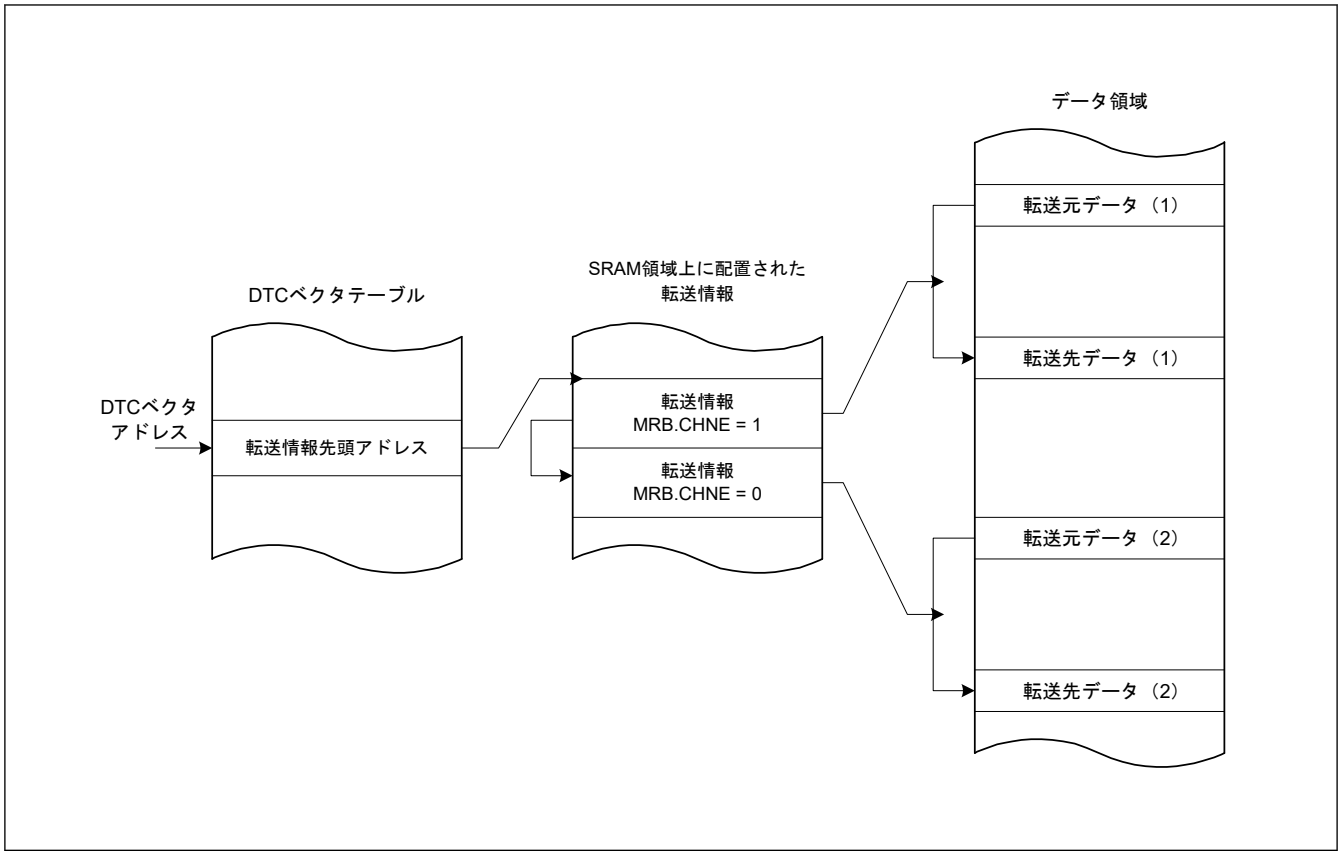


図 17.9　チェーン転送の動作

MRB.CHNE ビットと MRB.CHNS ビットを 1 にした場合、指定されたデータ転送終了時にのみチェーン転送を行います。リピート転送モードでも、指定されたデータ転送の終了時にチェーン転送が実行されます。チェーン転送の条件については、表 17.3 を参照してください。

17.4.7　動作タイミング

図 17.10～図 17.13 に示すタイミング図は、最小実行サイクル数を示しています。

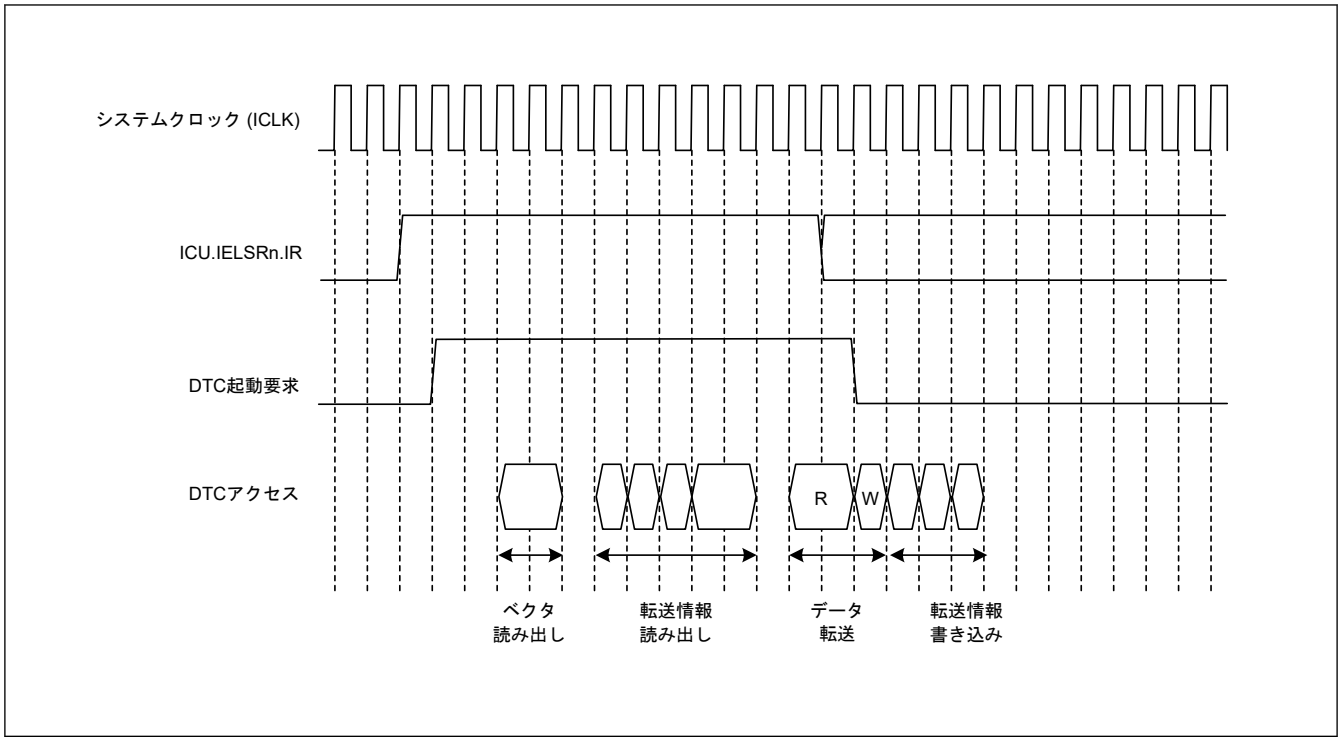


図 17.10　動作タイミング例 (1)（ノーマル転送モード、リピート転送モードの場合）

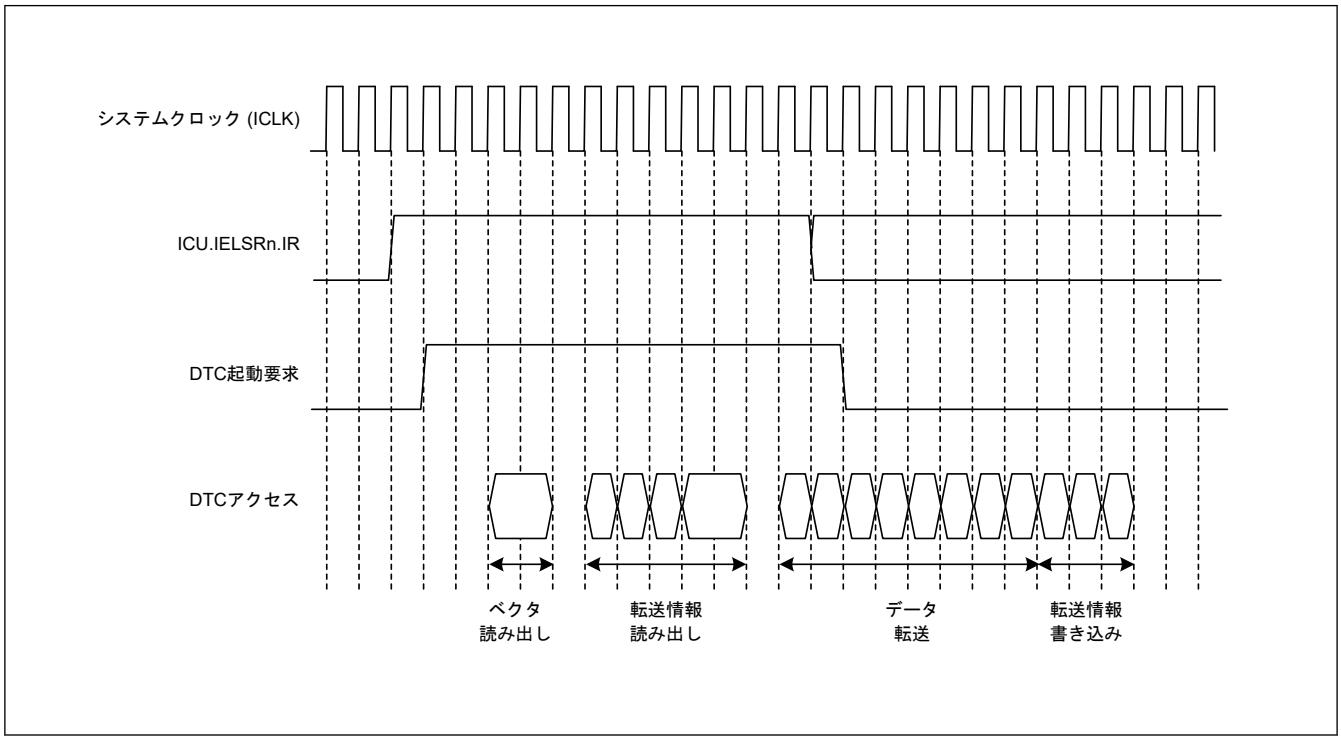
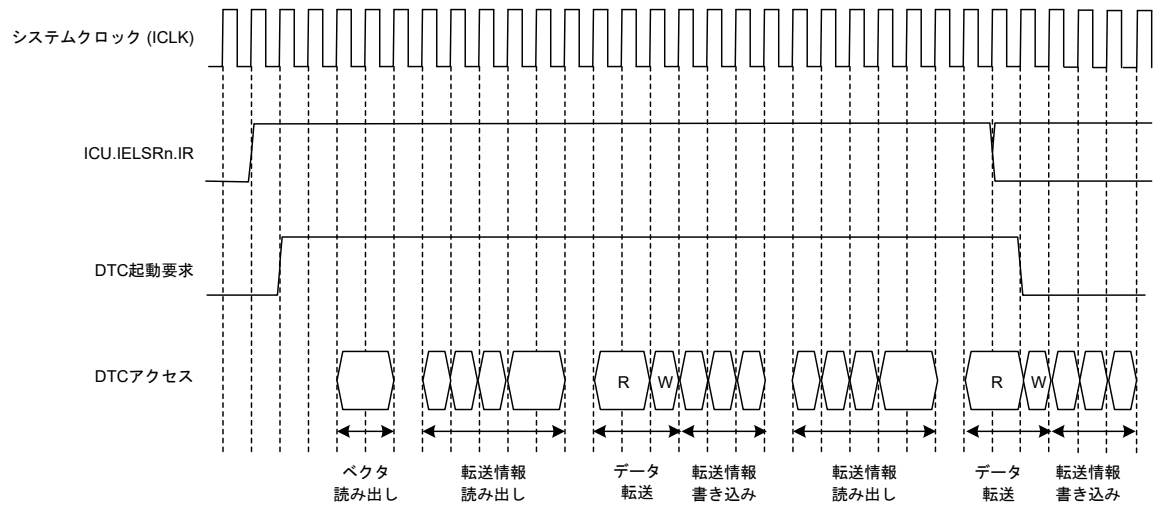
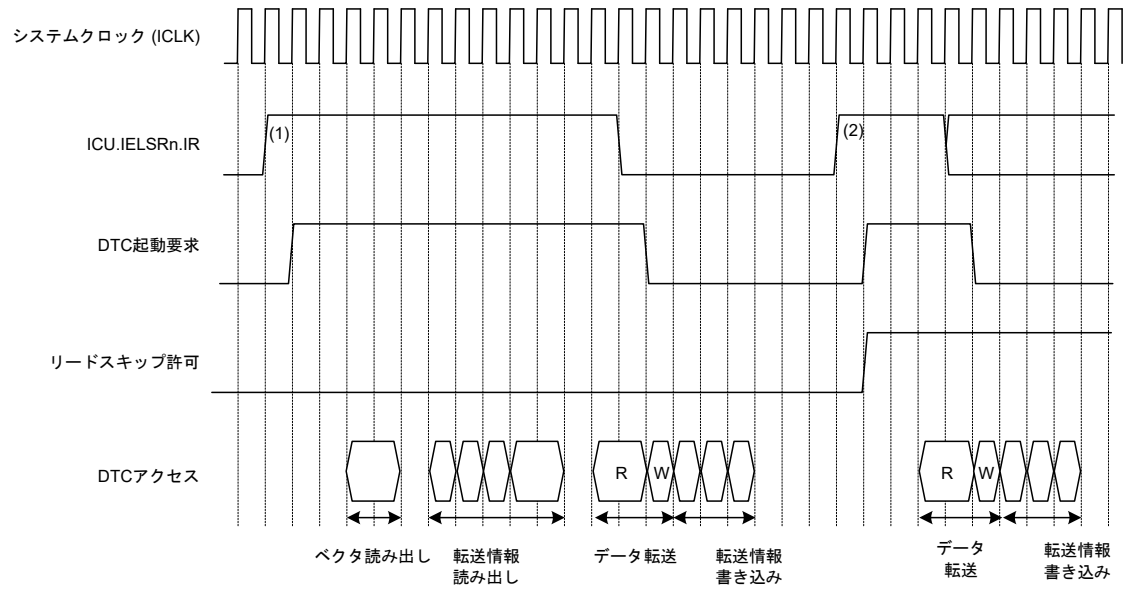


図 17.11　動作タイミング例 (2)（ブロック転送モード、ブロックサイズ = 4 の場合）



注. n = ベクタ番号

図 17.12 動作タイミング例 (3)（チェーン転送の場合）



注. n = ベクタ番号
注. (1) と (2) で起動要因（ベクタ番号）が同一で、RRS = 1 のとき、(2) の要求に対して転送情報読み出しスキップを行う。

図 17.13 転送情報リードスキップ実行時の動作例（ベクタ、転送情報、転送先データが SRAM にあり、転送元データが周辺モジュールにある場合）

17.4.8 ベクタセキュリティ

DTC ベクタ n の転送アクセスのセキュリティ属性と ICU の IELSRn (n = 0～95) レジスタへのアクセスのセキュリティ属性は、CPSCU の ICUSARx (x = G, H, I) レジスタの SAIELSRn ビットで制御されます。CPSCU.ICUSARx レジスタの詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

CPSCU.ICUSARx.IELSRnSA ビットが 0 の場合

- IELSRn レジスタには、セキュリティ属性があります。
- IELS に設定された割り込み要求により起動した DTC のベクタ番号は、セキュアマスタとしてふるまいます。

CPSCU.ICUSARx.IELSRnSA ビットが 1 の場合

- IELSRn レジスタには、非セキュリティ属性があります。
- IELS に設定された割り込み要求により起動した DTC のベクタ番号は、非セキュアマスタとしてふるまいます。

セキュアマスタまたは非セキュアマスタにアクセス可能な領域については、「14. バス」と「40. セキュリティ機能」 を参照してください。

17.4.9 ベクタプリビレッジ

DTC ベクタ n の転送アクセスのプリビレッジ属性は、ベクタテーブルのビット 0 で制御されます。

ベクタテーブルの各ベクタ番号に対応するビット 0 が 0 に設定された場合、DTC 転送はプリビレッジアクセスです。

ビット 0 が 1 に設定された場合、DTC 転送はアンプリビレッジアクセスです。

ベクタテーブルと転送情報の対応関係については、以下を参照してください。(ベクタテーブルと転送情報の対応関係へのリンクを追加予定)

17.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ (DTCVBR) を設定してください。ICU.IELSRn.IELS[8:0]ビットを 0 にして NVIC での割り込みを禁止し、表 17.8 の手順に従って DTC を設定してください。

表 17.8 DTC の設定手順

No.	手順	内容
1	DTCCR(注1).RRS ビットを 0 にします。	DTCCR(注1).RRS ビットを 0 にして、転送情報読み出しスキップフラグをリセットします。その後、DTC を起動したとき、転送情報読み出しはスキップされません。転送情報を更新したときは、この設定を行ってください。
2	転送情報 (MRA, MRB, SAR, DAR, CRA, CRB) を設定します。	転送情報 (MRA, MRB, SAR, DAR, CRA, CRB) を SRAM 領域に配置してください。転送情報の設定は、「17.2. レジスタの説明」を参照してください。転送情報の配置方法は、「17.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。
3	転送情報の先頭アドレスを DTC ベクタテーブルに設定します。	転送情報の先頭アドレスを DTC ベクタテーブルに設定してください。DTC ベクタテーブルの設定方法は、「17.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。
4	DTCCR(注1).RRS ビットを 1 にします。	DTCCR(注1).RRS ビットを 1 にすることで、同一の割り込み要因による連続した DTC 起動を行う場合の 2 回目以降の転送情報読み出しサイクルをスキップできます。RRS ビットは 1 に設定できますが、DTC 転送中の設定は、次回の転送から有効になります。
5	ICU.IELSRn.DTCE ビットを 1 にします。 ICU.IELSRn.IELS[8:0]を割り込み要因として設定します。この割り込みは NVIC で許可に設定する必要があります。	ICU.IELSRn.DTCE ビットを 1 にしてください。また、DTC をトリガする割り込み要因として ICU.IELSRn.IELS[8:0]を設定してください。この割り込みは NVIC で許可に設定する必要があります。「13. 割り込みコントローラユニット (ICU)」の「13.3.2. イベント番号」を参照してください。
6	起動要因となる割り込みの許可ビットを 1 に設定します。	起動要因となる割り込みの許可ビットを 1 に設定してください。要因となる割り込みが発生すると、DTC が起動されます。割り込み要因許可ビットの設定については、起動要因となるモジュールの設定方法を参照してください。
7	DTCST.DTCST ビットを 1 に設定します。	DTC モジュール起動ビット (DTCST.DTCST) を 1 に設定してください。

注. DTCST.DTCST ビットの設定は、各起動要因の設定の後でなくても構いません。
注. DTCSAR.DTCSTSA = 0 に設定するとき、非セキュア状態で DTC を使用するために、セキュア状態で DTCST.DTCST = 1 を設定してください。
注 1. セキュア状態で使用する場合、DTCCR ではなく DTCCR_SEC にアクセスしてください。

17.6 DTC の使用例

17.6.1 ノーマル転送

ここでは、DTC の使用例として、SCI から 128 バイトのデータ受信を行う場合を示します。

(1) 転送情報の設定

MRA レジスタに、転送元アドレス固定 (MRA.SM[1:0] = 00b)、ノーマル転送モード (MRA.MD[1:0] = 00b)、およびバイト転送 (MRA.SZ[1:0] = 00b) を設定します。MRB レジスタには、転送先アドレスのインクリメント (MRB.DM[1:0] = 10b) と、1 回の割り込みで 1 回のデータ転送（MRB.CHNE = 0 および MRB.DISEL = 0）を設定します。MRB.DTS ビットは任意の値を設定できます。SAR レジスタには SCI の RDR レジスタのアドレス、DAR レジスタにはデータを格納する SRAM 領域の開始アドレス、CRA レジスタには 128 回 (0x0080) を設定します。CRB レジスタは任意の値を設定できます。

(2) DTC ベクタテーブルの設定

RXI 割り込み用の転送情報の開始アドレスを、DTC のベクタテーブルに設定します。

(3) ICU の設定と DTC モジュールの起動

ICU.IELSRn.DTCE ビットを 1 にします。また、SCI 割り込みとして ICU.IELSRn.IELS[8:0]ビットを設定します。この割り込みは NVIC で許可に設定する必要があります。DTCST.DTCST ビットを 1 にします。

(4) SCI の設定

SCI の SCR.RIE ビットを 1 にして SCIn_RXI (n = 0～4, 9) 割り込みを許可します。SCI の受信動作中に受信エラーが発生すると、受信が停止します。これに対処するため、CPU が受信エラー割り込みを受け付けられるような設定を使用してください。

(5) DTC 転送

SCI が 1 バイトのデータ受信を完了するごとに、SCIn_RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCI の RDR レジスタから SRAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントが行われます。

(6) 割り込み処理

128 回のデータ転送が完了し、CRA レジスタの値が 0 になると、CPU への SCIn_RXI 割り込み要求が発生します。割り込み処理ルーチンで終了処理を行ってください。

17.6.2 チェーン転送

ここでは、DTC のチェーン転送の例として、汎用 PWM タイマ (GPT) によってパルスを出力する場合を示します。チェーン転送を利用して、PWM タイマのコンペア値を転送し、GPT 用 PWM タイマの周期を変更することができます。

チェーン転送の最初の転送には、GPT32n.GTCCRC レジスタ (n = 0～5) または GPT16m.GTCCRC レジスタ (m = 10～13) への転送用にノーマル転送モードを指定します。チェーン転送の 2 番目の転送には、GPT32n.GTCCRE レジスタ (n = 0～5) または GPT16m.GTCCRE レジスタ (m = 10～13) への転送用にノーマル転送モードを指定します。チェーン転送の 3 番目の転送には、GPT32n.GTPBR レジスタ (n = 0～5) または GPT16m.GTPBR レジスタ (m = 10～13) への転送用にノーマル転送モードを指定します。これは、起動要因のクリアや指定回数の転送終了時の割り込み発生が、チェーン転送の 3 番目の転送、すなわち MRB.CHNE = 0 のときの転送にのみ行われるからです。

以下の例では、DTC の起動要因として、GPT320.GTPR レジスタによるカウンタオーバーフロー割り込みの使用方法を説明します。

(1) 第 1 転送情報の設定

GPT320.GTCCRC レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] = 00b) と、ワード転送 (MRA.SZ[1:0] = 10b) を設定します。

3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] = 00b) を選択し、チェーン転送 (MRB.CHNE = 1, MRB.CHNS = 0) を設定します。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT320.GTCCRC レジスタのアドレスを設定します。
6. CRAH および CRAL レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(2) 第 2 転送情報の設定

GPT320.GTCCRE レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] = 00b) と、ワード転送 (MRA.SZ[1:0] = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] = 00b) を選択し、チェーン転送 (MRB.CHNE = 1, MRB.CHNS = 0) を設定します。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT320.GTCCRE レジスタのアドレスを設定します。
6. CRAH および CRAL レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(3) 第 3 転送情報の設定

GPT320.GTPBR レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] = 00b) と、ワード転送 (MRA.SZ[1:0] = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] = 00b) を選択し、1 回の割り込みで 1 回のデータ転送 (MRB.CHNE = 0, MRB.DISEL = 0) を設定します。MRB.DTS ビットは任意の値を設定できます。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT320.GTPBR レジスタのアドレスを設定します。
6. CRA レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(4) 転送情報の配置

GPT320.GTPBR レジスタへの転送で使用する転送情報は、GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタで使用する転送制御情報のすぐ後に配置します。

(5) DTC ベクタテーブルの設定

DTC ベクタテーブルで、GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタへの転送で使用する転送制御情報の開始アドレスを設定します。

(6) ICU の設定と DTC モジュールの起動

1. GPT320 カウンタオーバーフロー割り込みに対応する ICU.IELSRn.DTCE ビットを設定します。
2. ICU.IELSRn.IELS[8:0]ビットを設定し、GPT320 カウンタオーバーフローを指定します。
3. DTCST.DTCST ビットを 1 にします。

(7) GPT の設定

1. GTCCRA レジスタと GTCCRB レジスタがアウトプットコンペアレジスタとして動作できるように、GPT320.GTIOR レジスタを設定します。
2. GPT320.GTCCRA レジスタと GPT320.GTCCRB レジスタには、デフォルトの PWM タイマコンペア値を設定し、GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタには、次の PWM タイマコンペア値を設定します。

3. GPT320.GTPR レジスタには、デフォルトの PWM タイマ周期値を設定し、GPT320.GTPBR レジスタには、次の PWM タイマ周期値を設定します。
4. PmnPFS.PDR ビットを 1 にして、PmnPFS.PSEL[4:0]ビットを 00011b にします。

(8) GPT の起動

GPT320.GTSTR.CSTRT ビットを 1 にして、GPT320.GTCNT カウンタを開始します。

(9) DTC 転送

GPT320.GTPR レジスタで GPT320 カウンタオーバーフローが発生するたびに、次の PWM タイマコンペア値が GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタへ転送されます。また、次の PWM タイマ周期の設定値が GPT320.GTPBR レジスタへ転送されます。

(10) 割り込み処理

指定した回数の転送終了後（たとえば、GPT 転送用 CRA レジスタの値が 0 になると）、CPU に対して GPT320 カウンタオーバーフロー割り込み要求が発行されます。割り込み処理ルーチンで終了処理を行ってください。

17.6.3 転送カウンタ = 0 のときのチェーン転送

第 2 転送は第 1 転送の転送カウンタが 0 になったときにだけ実行されます。第 1 転送情報は第 2 転送が実行されるたびに繰り返し変更されます。チェーン転送によって、256 回以上のリピート転送が可能になります。

以下に、1 KB の入力バッファを構成する例を示します。入力バッファは下位アドレスが 0x00 から始まるように設定されています。図 17.14 に転送カウンタ = 0 のときのチェーン転送を示します。

1. 第 1 転送のデータ入力用にノーマル転送モードを設定します。以下のように設定してください。
   (a) 転送元アドレス = 固定
   (b) CRA = 0x0200（512 回）
   (c) MRB.CHNE = 1（チェーン転送許可）
   (d) MRB.CHNS = 1（転送カウンタが 0 の場合のみチェーン転送を行う）
   (e) MRB.DISEL = 0（指定されたデータ転送の終了時、CPU への割り込み要求が発生）
2. 第 1 転送の転送先アドレスの 512 回ごとに、開始アドレスの上位 8 ビットアドレスを別の領域（コードフラッシュメモリなど）に用意してください。たとえば、入力バッファを 0x8000～0x83FF にする場合は、0x82 と 0x80 を用意します。
3. 第 2 転送は以下のように設定してください。
   (a) 第 1 転送の転送カウンタをリセットするため、リピート転送モード（転送元および転送先アドレスは固定）に設定
   (b) 転送先として、第 1 転送情報領域の CAR レジスタを指定
   (c) MRB.CHNE = 1（チェーン転送許可）
   (d) MRB.CHNS = 0（連続チェーン転送を選択）
   (e) MRB.DISEL = 0（指定されたデータ転送の終了時、CPU への割り込み要求が発生）
   (f) CRA = 0x0101（転送回数は 1 回）
4. 第 3 転送は以下のように設定してください。
   (a) 第 1 転送の転送先アドレスをリセットするため、リピート転送モード（転送元をリピート領域）に設定
   (b) 転送先として、第 1 転送情報領域の DAR レジスタの上位 8 ビットを指定
   (c) MRB.CHNE = 0（チェーン転送禁止）
   (d) MRB.DISEL = 0（指定されたデータ転送の終了時、CPU への割り込み要求が発生）
   (e) 入力バッファを 0x8000～0x83FF にした場合は、転送カウンタ = 2
5. 1 回の割り込みで、第 1 転送が 512 回実行されます。第 1 転送の転送カウンタが 0 になると、第 2 転送がスタートします。第 1 転送の転送カウンタを 0x0200 にしてください。第 1 転送の転送先アドレスの下位 8 ビット（転送カウンタ）は 0x0200 になっています。

6. 1 回の割り込みで、第 2 転送が 1 回実行されます。第 1 転送の転送カウンタが 0 になると、第 3 転送がスタートします。第 1 転送の転送先アドレスの上位 8 ビットを 0x82 にしてください。転送先アドレスの下位 8 ビットは 0x00、第 1 転送の転送カウンタは 0x0200 になっています。
7. 引き続き 1 回の割り込みで、第 1 転送用に指定された 512 回だけ、第 1 転送が実行されます。第 1 転送の転送カウンタが 0 になると、第 2 転送がスタートします。第 1 転送の転送カウンタを 0x0200 にしてください。第 1 転送の転送先アドレスの下位 8 ビット（転送カウンタ）は 0x0200 になっています。
8. 1 回の割り込みで、第 2 転送が 1 回実行されます。第 1 転送の転送カウンタが 0 になると、第 3 転送がスタートします。第 1 転送の転送先アドレスの上位 8 ビットを 0x80 にしてください。転送先アドレスの下位 8 ビットは 0x00、第 1 転送の転送カウンタは 0x0200 になっています。
9. 手順 5 と 8 が無限に繰り返されます。第 2 転送はリピート転送モードのため、CPU への割り込み要求は発生しません。

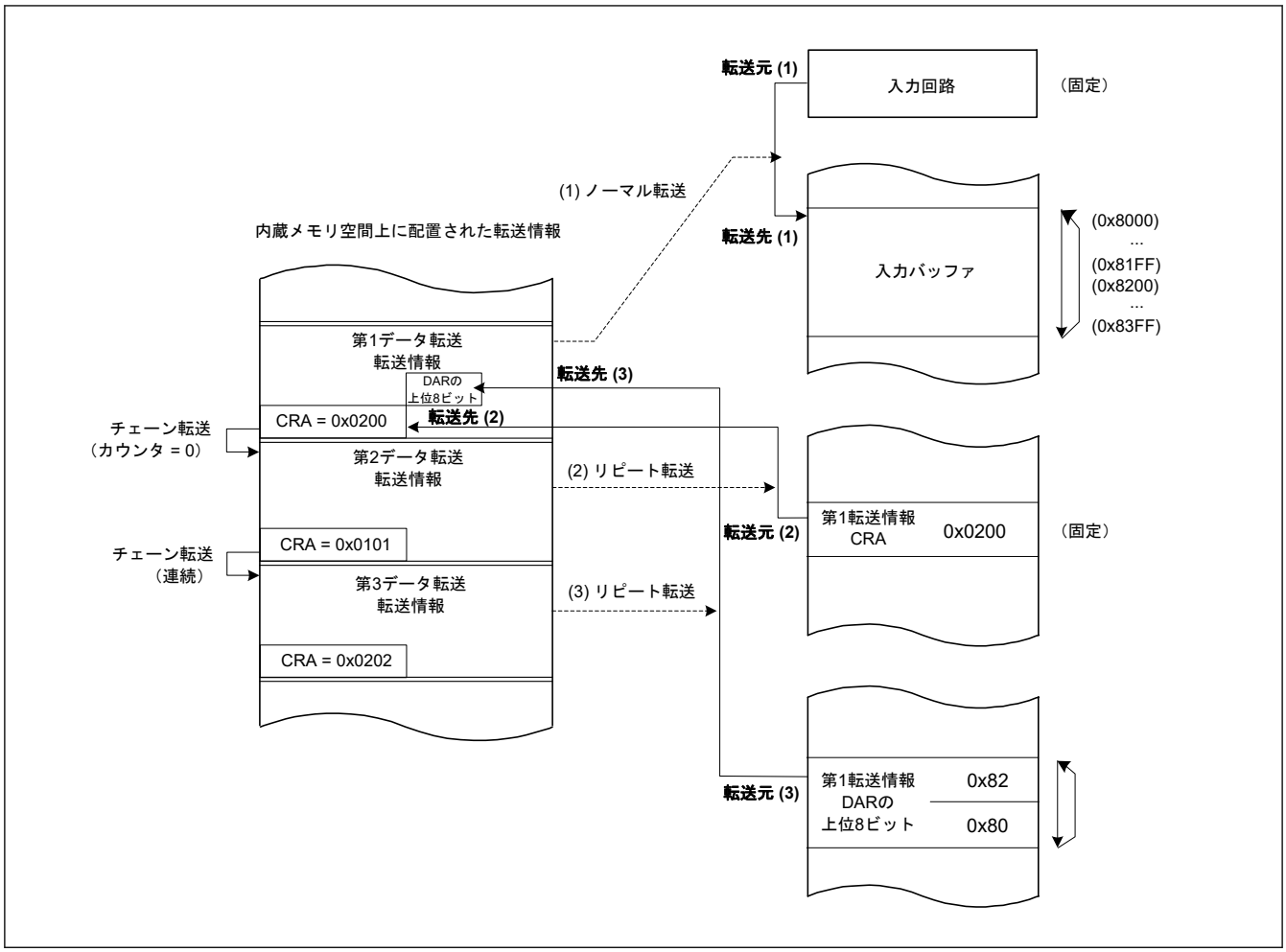


図 17.14　転送カウンタ = 0 のときのチェーン転送

17.7　DTC 転送エラーにおける処理

DTC 転送中にアクセスエラーが発生すると、DTC は即座にアクセスを停止します。DTC はエラーを引き起こしたベクタ番号のみを停止させます。よって、ICU にエラーを引き起こしたベクタ番号を伝え、対応する ICU の設定 (IELSR) をクリアしてください。その後、エラーを引き起こしたベクタ番号以外の要求があれば、そのまま再調停となります。

転送エラーが発生すると、エラー応答が ICU に伝わります。ICU は、転送エラーを引き起こした対応するベクタ番号の ICU.IELSRn をクリアします。SRAM への書き込みは実行されません。

17.8 割り込み

17.8.1 転送終了割り込み要求

DTC が指定された回数のデータ転送を完了したとき、または MRB.DISEL ビットが 1 の状態でデータ転送が完了したとき、DTC の起動要因によって CPU に対する割り込みが発生します。DTC の起動に起因する割り込み（チャネルごと）と、イベント信号 DTC0_COMPLETE に起因する割り込み（全チャネル共通）の 2 種類の割り込みが使用可能です。CPU への割り込みは、NVIC および ICU.IELSRn.IELS[8:0]ビットの設定に従って制御されます。「13. 割り込みコントローラユニット (ICU)」を参照してください。DTC により決定される起動要因の優先順位は、割り込みベクタ番号が小さいほど高くなります。CPU への割り込みの優先順位は、NVIC の優先順位で決定されます。

転送先が外部バスのとき、実際の転送先ではない、ライトバッファへのデータ書き込み終了時に割り込み要求が発生します。

17.8.2 転送エラーの割り込み要求

DTC 転送中に転送エラーが検出されると、エラー応答検出割り込み要求 (DMA0_TRANSERR) が DMAC または DTC から発生します。

表 17.9 に DTC 転送エラー発生時の割り込みの種類を示します。表 17.9 には転送エラー発生時に格納されるエラー情報も示されています。

表 17.9 DTC 転送エラーに起因する割り込みとエラー情報

転送エラー要因	NMI/RESET 要求 (注1)	割り込み要求	バスエラー状態	エラーアドレスエラー R/W	エラーチャネル情報
MSAU エラー	ICU.NMISR.BUSST	DMA0_TRANSERR(注1)	BUS.BUS4ERRSTAT. MSERRSTAT	BUS.BMSA4ERRADD BUS.BMSA4ERRRW	DTC.DTEVR
マスタ MPU エラー	ICU.NMISR.BUSST	DMA0_TRANSERR(注1)	BUS.BUS4ERRSTAT.MMERRSTAT	BUS.BUS4ERRADD BUS.BUS4ERRRW	DTC.DTEVR
不正アクセスエラー	ICU.NMISR.BUSST	DMA0_TRANSERR(注1)	BUS.BUS4ERRSTAT.ILERRSTAT	BUS.BUS4ERRADD BUS.BUS4ERRRW	DTC.DTEVR
スレーブバスエラー	ICU.NMISR.BUSST	DMA0_TRANSERR(注1)	BUS.BUS4ERRSTAT.SLERRSTAT	BUS.BUS4ERRADD BUS.BUS4ERRRW	DTC.DTEVR
TrustZone フィルタエラー	ICU.NMISR.BUSST	DMA0_TRANSERR(注1)	BUS.BUS4ERRSTAT.STERRSTAT	BUS.BUS4ERRADD BUS.BUS4ERRRW	DTC.DTEVR

注 1. ICU.NMIER.BUSEN が ICU.IELSR で設定された DMA0_TRANSERR で許可されると、DMA で生じた転送エラーが原因でノンマスカブル割り込みや割り込みが発生します。DMA0_TRANSERR を ICU.IELSR に設定しないことにより、ノンマスカブル割り込みのみを発生させることができます。

17.9 イベントリンク

1 転送要求分の転送完了時に、DTC はイベントリンク要求を出力できます。

17.10 低消費電力機能

モジュールストップ状態、ソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモードへ遷移する前に、DTCST.DTCST ビットを 0 にしてください。その後、本節に示す動作を実行してください。

(1) モジュールストップ機能

MSTPCRA.MSTPA22 ビットに 1 を書き込むと、DTC のモジュールストップ機能が有効になります。
MSTPCRA.MSTPA22 ビットに 1 を書き込むと、DTC 転送が動作中の場合は DTC 転送終了後にモジュールストップ状態へ遷移します。MSTPCRA.MSTPA22 ビットが 1 のときは、DTC のレジスタにアクセスしないでください。
MSTPCRA.MSTPA22 ビットに 0 を書き込むと、DTC のモジュールストップ状態が解除されます。

(2) ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード

「10.6.3.1. ソフトウェアスタンバイモードへの遷移」または「10.6.4.1. ディープソフトウェアスタンバイモードへの遷移」に記載された設定を使用してください。

WFI 命令実行時点で DTC 転送が動作中の場合、DTC 転送が終了してからソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移します。

(3) 低消費電力機能に関する注意事項

WFI 命令とレジスタの設定手順については、「10. 低消費電力モード」を参照してください。

低消費電力モードから復帰後、DTC 転送を行ってください。

ソフトウェアスタンバイモード時に発生した要求を、DTC 起動要求ではなく CPU への割り込み要求として使用する場合は、「13.5.5. 割り込み要求先の選択」に示すように、割り込み要求先を CPU に切り替えてから WFI 命令を実行してください。

17.11 使用上の注意

17.11.1 転送情報の開始アドレス

ベクタテーブルに指定する転送情報の開始アドレスは 4n 番地でなければいけません。4n 番地以外を指定すると、アドレスの最下位 2 ビットは 00b としてアクセスされます。

17.11.2 OSPI の制約事項

OSPI の使用に関して、制約事項があります。「35.4.5. 8D-8D-8D プロファイル 1.0 フォーマットの制限事項」を参照してください。

18. イベントリンクコントローラ (ELC)

18.1 概要

イベントリンクコントローラ (ELC) は、各周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。

表 18.1 に ELC の仕様を、図 18.1 にブロック図を示します。

表 18.1 ELC の仕様

項目	内容
イベントリンク機能	196 種類のイベント信号を、直接モジュールに接続可能。ELC イベント信号と、DTC 起動用のイベントの発生
モジュールストップ機能	モジュールストップ状態に設定して消費電力の削減が可能
TrustZone フィルタ	レジスタごとにセキュリティ属性とプリビレッジ属性の設定が可能

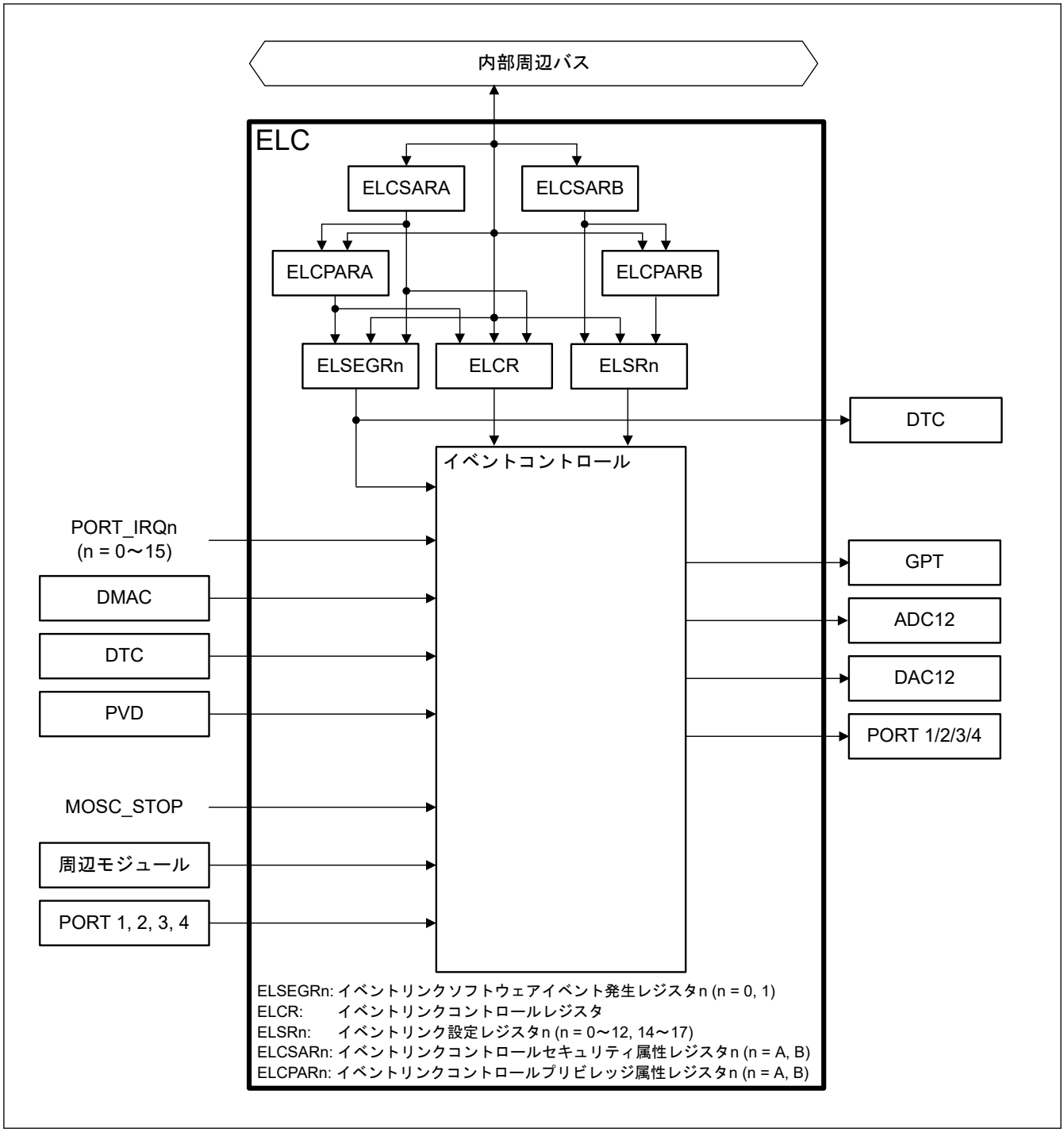


図 18.1 ELC のブロック図

18.2 レジスタの説明

18.2.1 ELCR : イベントリンクコントローラレジスタ

Base address: ELC = 0x4020_1000
ELC_NS = 0x5020_1000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ELCON	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	ELCON	全イベントリンク許可 0: ELC 機能は無効 1: ELC 機能は有効	R/W

注. S-TYPE-3, P-TYPE-3

ELCR レジスタは、ELC の動作を制御するレジスタです。

18.2.2 ELSEGRn : イベントリンクソフトウェアイベント発生レジスタ n(n = 0, 1)

Base address: ELC = 0x4020_1000
ELC_NS = 0x5020_1000

Offset address: 0x04 + 0x04 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	WI	WE	—	—	—	—	—	SEG
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SEG	ソフトウェアイベント発生 0: 通常動作 1: ソフトウェアイベント発生	W
5:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	WE	SEG ビット書き込み許可 0: SEG ビットへの書き込み禁止 1: SEG ビットへの書き込み許可	R/W
7	WI	ELSEGR レジスタ書き込み禁止 0: ELSEGR レジスタへの書き込み許可 1: ELSEGR レジスタへの書き込み禁止	W

注. S-TYPE-3, P-TYPE-3

SEG ビット（ソフトウェアイベント発生）

WE ビットが 1 の状態で、SEG ビットに 1 を書くとソフトウェアイベントが発生します。読むと 0 が読めます。1 を書いてもデータは格納されません。WE ビットを 1 にしてから、本ビットを書く必要があります。

ソフトウェアイベントは、DTC に対してイベントリンクをトリガすることができます。

WE ビット（SEG ビット書き込み許可）

WE ビットが 1 の場合にのみ、SEG ビットへの書き込みが可能になります。WI ビットを 0 にクリアしてから、本ビットを書く必要があります。

[1 になる条件]

- WI ビットが 0 の状態で、1 を書いたとき

[0 になる条件]

- WI ビットが 0 の状態で、0 を書いたとき

WI ビット（ELSEGR レジスタ書き込み禁止）

WI ビットへの書き込み値が 0 の場合にのみ、ELSEGR レジスタに対する書き込みが可能になります。読むと 1 が読めます。WI ビットを 0 にしてから、WE または SEG ビットを設定する必要があります。

18.2.3 ELSRn : イベントリンク設定レジスタ n (n = 0～12, 14～17)

Base address: ELC = 0x4020_1000
ELC_NS = 0x5020_1000

Offset address: 0x20 + 0x04 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ELS[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	ELS[8:0]	イベントリンク選択 0x000: 対応する周辺モジュールへのイベント出力は禁止 0x001: リンクするイベント信号の番号を設定 ⋮ 0x1BA: リンクするイベント信号の番号を設定 その他: 設定禁止	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. P-TYPE-3

注. 本レジスタには、トラストイベントルートコントロールレジスタ (TEVTRCR) の設定によって、異なるセキュアアクセス許可があります。

セキュリティ属性がセキュアに設定されている場合

- セキュアアクセスが許可されます。
- 非セキュアライトアクセスは無視されます。非セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。

セキュリティ属性が非セキュアに設定されていて、トラストイベントルートが禁止されている場合

- セキュアライトアクセスは無視されます。セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。
- 非セキュアアクセスが許可されます。

セキュリティ属性が非セキュアに設定されていて、トラストイベントルートが許可されている場合

- セキュアアクセスが許可されます。
- 非セキュアライトアクセスは無視されます。非セキュアリードアクセスは許可されます。
- TrustZone アクセスエラーは発生しません。

レジスタは、周辺モジュールごとに、リンクするイベント信号を指定します。表 18.2 に、レジスタと周辺モジュールの対応を示します。表 18.3 に、レジスタに設定するイベント信号名と信号番号の対応関係を示します。

表 18.2 レジスタと周辺機能の対応 (1/2)

レジスタ名	周辺機能（モジュール）	イベント名
ELSR0	GPT (A)	ELC_GPTA
ELSR1	GPT (B)	ELC_GPTB
ELSR2	GPT (C)	ELC_GPTC
ELSR3	GPT (D)	ELC_GPTD
ELSR4	GPT (E)	ELC_GPTE
ELSR5	GPT (F)	ELC_GPTF
ELSR6	GPT (G)	ELC_GPTG

表 18.2 レジスタと周辺機能の対応 (2/2)

レジスタ名	周辺機能（モジュール）	イベント名
ELSR7	GPT (H)	ELC_GPTH
ELSR8	ADC12A0	ELC_AD00
ELSR9	ADC12B0	ELC_AD01
ELSR10	ADC12A1	ELC_AD10
ELSR11	ADC12B1	ELC_AD11
ELSR12	DAC12 チャネル 0	ELC_DA0
ELSR14	PORT1	ELC_PORT1
ELSR15	PORT2	ELC_PORT2
ELSR16	PORT3	ELC_PORT3
ELSR17	PORT4	ELC_PORT4

表 18.3 .ELS[8:0]ビットに設定するイベント信号名と信号番号の対応 (1/6)

イベント番号	割り込み要求の発生元	名称	内容
0x001	ポート	PORT_IRQ0(注1)	外部端子割り込み 0
0x002		PORT_IRQ1(注1)	外部端子割り込み 1
0x003		PORT_IRQ2(注1)	外部端子割り込み 2
0x004		PORT_IRQ3(注1)	外部端子割り込み 3
0x005		PORT_IRQ4(注1)	外部端子割り込み 4
0x006		PORT_IRQ5(注1)	外部端子割り込み 5
0x007		PORT_IRQ6(注1)	外部端子割り込み 6
0x008		PORT_IRQ7(注1)	外部端子割り込み 7
0x009		PORT_IRQ8(注1)	外部端子割り込み 8
0x00A		PORT_IRQ9(注1)	外部端子割り込み 9
0x00B		PORT_IRQ10(注1)	外部端子割り込み 10
0x00C		PORT_IRQ11(注1)	外部端子割り込み 11
0x00D		PORT_IRQ12(注1)	外部端子割り込み 12
0x00E		PORT_IRQ13(注1)	外部端子割り込み 13
0x00F		PORT_IRQ14(注1)	外部端子割り込み 14
0x010		PORT_IRQ15(注1)	外部端子割り込み 15
0x011	DMAC0	DMAC00_INT	DMAC0 転送終了 0
0x012		DMAC01_INT	DMAC0 転送終了 1
0x013		DMAC02_INT	DMAC0 転送終了 2
0x014		DMAC03_INT	DMAC0 転送終了 3
0x015		DMAC04_INT	DMAC0 転送終了 4
0x016		DMAC05_INT	DMAC0 転送終了 5
0x017		DMAC06_INT	DMAC0 転送終了 6
0x018		DMAC07_INT	DMAC0 転送終了 7
0x021	DTC0	DTC0_DTCEND	DTC0 転送終了
0x038	PVD	PVD_PVD1	電圧監視 1 割り込み
0x039		PVD_PVD2	電圧監視 2 割り込み
0x03E	MOSC	MOSC_STOP	メインクロック発振停止

表 18.3 .ELS[8:0]ビットに設定するイベント信号名と信号番号の対応 (2/6)

イベント番号	割り込み要求の発生元	名称	内容
0x040	ULPT0	ULPT0_ULPTI	アンダーフロー
0x041		ULPT0_ULPTCMAI	コンペアマッチ A
0x042		ULPT0_ULPTCMBI	コンペアマッチ B
0x043	ULPT1	ULPT1_ULPTI	アンダーフロー
0x044		ULPT1_ULPTCMAI	コンペアマッチ A
0x045		ULPT1_ULPTCMBI	コンペアマッチ B
0x046	AGT0	AGT0_AGTI	AGT 割り込み
0x047		AGT0_AGTCMAI	コンペアマッチ A
0x048		AGT0_AGTCMBI	コンペアマッチ B
0x049	AGT1	AGT1_AGTI	AGT 割り込み
0x04A		AGT1_AGTCMAI	コンペアマッチ A
0x04B		AGT1_AGTCMBI	コンペアマッチ B
0x052	IWDT	IWDT_NMIUNDF	IWDT アンダーフロー
0x053	WDT	WDT0_NMIUNDF	WDT アンダーフロー
0x056	RTC	RTC_PRD	周期割り込み
0x05C	IIC0	IIC0_RXI	受信データフル
0x05D		IIC0_TXI	送信データエンプティ
0x05E		IIC0_TEI	送信終了
0x05F		IIC0_EEI	転送エラー
0x061	IIC1	IIC1_RXI	受信データフル
0x062		IIC1_TXI	送信データエンプティ
0x063		IIC1_TEI	送信終了
0x064		IIC1_EEI	転送エラー
0x07B	ACMPHS	ACMP_HS0(注1)	コンパレータ割り込み 0
0x07C		ACMP_HS1(注1)	コンパレータ割り込み 1
0x083	ELC	ELC_SWEVT0	ソフトウェアイベント 0
0x084		ELC_SWEVT1	ソフトウェアイベント 1
0x088	I/O ポート	IOPORT_GROUP1	ポート 1 イベント
0x089		IOPORT_GROUP2	ポート 2 イベント
0x08A		IOPORT_GROUP3	ポート 3 イベント
0x08B		IOPORT_GROUP4	ポート 4 イベント
0x0A1	GPT0	GPT0_CCMPA	コンペアマッチ A
0x0A2		GPT0_CCMPB	コンペアマッチ B
0x0A3		GPT0_CMPC	コンペアマッチ C
0x0A4		GPT0_CMPD	コンペアマッチ D
0x0A5		GPT0_CMPE	コンペアマッチ E
0x0A6		GPT0_CMPF	コンペアマッチ F
0x0A7		GPT0_OVF	オーバーフロー
0x0A8		GPT0_UDF	アンダーフロー
0x0A9		GPT0_PC	周期計数機能終了

表 18.3 .ELS[8:0]ビットに設定するイベント信号名と信号番号の対応 (3/6)

イベント番号	割り込み要求の発生元	名称	内容
0x0AA	GPT1	GPT1_CCMPA	コンペアマッチ A
0x0AB		GPT1_CCMPB	コンペアマッチ B
0x0AC		GPT1_CMPC	コンペアマッチ C
0x0AD		GPT1_CMPD	コンペアマッチ D
0x0AE		GPT1_CMPE	コンペアマッチ E
0x0AF		GPT1_CMPF	コンペアマッチ F
0x0B0		GPT1_OVF	オーバーフロー
0x0B1		GPT1_UDF	アンダーフロー
0x0B2		GPT1_PC	周期計数機能終了
0x0B3	GPT2	GPT2_CCMPA	コンペアマッチ A
0x0B4		GPT2_CCMPB	コンペアマッチ B
0x0B5		GPT2_CMPC	コンペアマッチ C
0x0B6		GPT2_CMPD	コンペアマッチ D
0x0B7		GPT2_CMPE	コンペアマッチ E
0x0B8		GPT2_CMPF	コンペアマッチ F
0x0B9		GPT2_OVF	オーバーフロー
0x0BA		GPT2_UDF	アンダーフロー
0x0BB		GPT2_PC	周期計数機能終了
0x0BC	GPT3	GPT3_CCMPA	コンペアマッチ A
0x0BD		GPT3_CCMPB	コンペアマッチ B
0x0BE		GPT3_CMPC	コンペアマッチ C
0x0BF		GPT3_CMPD	コンペアマッチ D
0x0C0		GPT3_CMPE	コンペアマッチ E
0x0C1		GPT3_CMPF	コンペアマッチ F
0x0C2		GPT3_OVF	オーバーフロー
0x0C3		GPT3_UDF	アンダーフロー
0x0C4		GPT3_PC	周期計数機能終了
0x0C5	GPT4	GPT4_CCMPA	コンペアマッチ A
0x0C6		GPT4_CCMPB	コンペアマッチ B
0x0C7		GPT4_CMPC	コンペアマッチ C
0x0C8		GPT4_CMPD	コンペアマッチ D
0x0C9		GPT4_CMPE	コンペアマッチ E
0x0CA		GPT4_CMPF	コンペアマッチ F
0x0CB		GPT4_OVF	オーバーフロー
0x0CC		GPT4_UDF	アンダーフロー

表 18.3 .ELS[8:0]ビットに設定するイベント信号名と信号番号の対応 (4/6)

イベント番号	割り込み要求の発生元	名称	内容
0x0CE	GPT5	GPT5_CCMPA	コンペアマッチ A
0x0CF		GPT5_CCMPB	コンペアマッチ B
0x0D0		GPT5_CMPC	コンペアマッチ C
0x0D1		GPT5_CMPD	コンペアマッチ D
0x0D2		GPT5_CMPE	コンペアマッチ E
0x0D3		GPT5_CMPF	コンペアマッチ F
0x0D4		GPT5_OVF	オーバーフロー
0x0D5		GPT5_UDF	アンダーフロー
0x0FB	GPT10	GPT10_CCMPA	コンペアマッチ A
0x0FC		GPT10_CCMPB	コンペアマッチ B
0x0FD		GPT10_CMPC	コンペアマッチ C
0x0FE		GPT10_CMPD	コンペアマッチ D
0x0FF		GPT10_CMPE	コンペアマッチ E
0x100		GPT10_CMPF	コンペアマッチ F
0x101		GPT10_OVF	オーバーフロー
0x102		GPT10_UDF	アンダーフロー
0x103		GPT10_PC	周期計数機能終了
0x104	GPT11	GPT11_CCMPA	コンペアマッチ A
0x105		GPT11_CCMPB	コンペアマッチ B
0x106		GPT11_CMPC	コンペアマッチ C
0x107		GPT11_CMPD	コンペアマッチ D
0x108		GPT11_CMPE	コンペアマッチ E
0x109		GPT11_CMPF	コンペアマッチ F
0x10A		GPT11_OVF	オーバーフロー
0x10B		GPT11_UDF	アンダーフロー
0x10D	GPT12	GPT12_CCMPA	コンペアマッチ A
0x10E		GPT12_CCMPB	コンペアマッチ B
0x10F		GPT12_CMPC	コンペアマッチ C
0x110		GPT12_CMPD	コンペアマッチ D
0x111		GPT12_CMPE	コンペアマッチ E
0x112		GPT12_CMPF	コンペアマッチ F
0x113		GPT12_OVF	オーバーフロー
0x114		GPT12_UDF	アンダーフロー
0x116	GPT13	GPT13_CCMPA	コンペアマッチ A
0x117		GPT13_CCMPB	コンペアマッチ B
0x118		GPT13_CMPC	コンペアマッチ C
0x119		GPT13_CMPD	コンペアマッチ D
0x11A		GPT13_CMPE	コンペアマッチ E
0x11B		GPT13_CMPF	コンペアマッチ F
0x11C		GPT13_OVF	オーバーフロー
0x11D		GPT13_UDF	アンダーフロー

表 18.3 .ELS[8:0]ビットに設定するイベント信号名と信号番号の対応 (5/6)

イベント番号	割り込み要求の発生元	名称	内容
0x124	SCI0	SCI0_RXI(注2)	受信データフル
0x125		SCI0_TXI(注2)	送信データエンプティ
0x126		SCI0_TEI(注2)	送信終了
0x127		SCI0_ERI	受信エラー
0x128		SCI0_AED	有効エッジ検出
0x12A		SCI0_AM	アドレス一致イベント
0x12B	SCI1	SCI1_RXI(注2)	受信データフル
0x12C		SCI1_TXI(注2)	送信データエンプティ
0x12D		SCI1_TEI(注2)	送信終了
0x12E		SCI1_ERI	受信エラー
0x12F		SCI1_AED	有効エッジ検出
0x131		SCI1_AM	アドレス一致イベント
0x132	SCI2	SCI2_RXI(注2)	受信データフル
0x133		SCI2_TXI(注2)	送信データエンプティ
0x134		SCI2_TEI(注2)	送信終了
0x135		SCI2_ERI	受信エラー
0x138		SCI2_AM	アドレス一致イベント
0x139	SCI3	SCI3_RXI(注2)	受信データフル
0x13A		SCI3_TXI(注2)	送信データエンプティ
0x13B		SCI3_TEI(注2)	送信終了
0x13C		SCI3_ERI	受信エラー
0x13F		SCI3_AM	アドレス一致イベント
0x140	SCI4	SCI4_RXI(注2)	受信データフル
0x141		SCI4_TXI(注2)	送信データエンプティ
0x142		SCI4_TEI(注2)	送信終了
0x143		SCI4_ERI	受信エラー
0x146		SCI4_AM	アドレス一致イベント
0x163	SCI9	SCI9_RXI(注2)	受信データフル
0x164		SCI9_TXI(注2)	送信データエンプティ
0x165		SCI9_TEI(注2)	送信終了
0x166		SCI9_ERI	受信エラー
0x169		SCI9_AM	アドレス一致イベント
0x178	SPI0	SPI0_SPRI	受信バッファフル
0x179		SPI0_SPTI	送信バッファエンプティ
0x17A		SPI0_SPII	アイドル
0x17B		SPI0_SPEI	エラー
0x17C		SPI0_SPCEND	通信完了イベント

表 18.3 .ELS[8:0]ビットに設定するイベント信号名と信号番号の対応 (6/6)

イベント番号	割り込み要求の発生元	名称	内容
0x17D	SPI1	SPI1_SPRI	受信バッファフル
0x17E		SPI1_SPTI	送信バッファエンプティ
0x17F		SPI1_SPII	アイドル
0x180		SPI1_SPEI	エラー
0x181		SPI1_SPCEND	送信完了イベント
0x1AE	ADC12	ADC120_ADI	A/D スキャン終了割り込み
0x1AF		ADC120_GBADI	グループ B の A/D スキャン終了割り込み
0x1B2		ADC120_WCMPM	コンペアマッチ
0x1B3		ADC120_WCMPUM	コンペア不一致
0x1B4		ADC121_ADI	A/D スキャン終了割り込み
0x1B5		ADC121_GBADI	グループ B の A/D スキャン終了割り込み
0x1B8		ADC121_WCMPM	コンペアマッチ
0x1B9		ADC121_WCMPUM	コンペア不一致
0x1BA	DOC	DOC_DOPCI	データ演算回路割り込み

注 1. パルス（エッジ検出）のみがサポートされています。
注 2. このイベントは FIFO モードではサポートされていません。

18.2.4 ELCSARA : イベントリンクコントローラセキュリティ属性レジスタ A

Base address: ELC = 0x4020_1000
ELC_NS = 0x5020_1000

Offset address: 0xE0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	ELSEGR1	ELSEGR0	ELCR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ELCR	イベントリンクコントローラレジスタセキュリティ属性 対象レジスタ: ELCR 0: セキュア 1: 非セキュア	R/W
1	ELSEGR0	イベントリンクソフトウェアイベント発生レジスタ 0 セキュリティ属性 0: セキュア 1: 非セキュア	R/W
2	ELSEGR1	イベントリンクソフトウェアイベント発生レジスタ 1 セキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1, P-TYPE-1
注. 本レジスタは、PRCR_S レジスタによって書き込み保護されています。

本レジスタは、ELCR、ELSEGR0、ELSEGR1 レジスタのセキュリティ属性を指定します。

18.2.5 ELCSARB : イベントリンクコントローラセキュリティ属性レジスタ B

Base address: ELC = 0x4020_1000
ELC_NS = 0x5020_1000

Offset address: 0xE4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ELSR[17:16]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ELSR[15:14]		—	ELSR[12:0]												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
12:0	ELSR[12:0]	イベントリンク設定レジスタ n セキュリティ属性 対象レジスタ：ELSRn (n = 0～12) 0: セキュア 1: 非セキュア	R/W
13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:14	ELSR[17:14]	イベントリンク設定レジスタ n セキュリティ属性 対象レジスタ：ELSRn (n = 14～17) 0: セキュア 1: 非セキュア	R/W
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1、P-TYPE-1
注. 本レジスタは、PRCR_S レジスタによって書き込み保護されています。

本レジスタは、ELSRn (n = 0～12, 14～17) レジスタのセキュリティ属性を指定します。

18.2.6 ELCPARA : イベントリンクコントローラプリビレッジ属性レジスタ A

Base address: ELC = 0x4020_1000
ELC_NS = 0x5020_1000

Offset address: 0xF0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	ELSEGR1	ELSEGR0	ELCR
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	ELCR	イベントリンクコントローラレジスタプリビレッジ属性 対象レジスタ: ELCR 0: プリビレッジ 1: アンプリビレッジ	R/W
1	ELSEGR0	イベントリンクソフトウェアイベント発生レジスタ 0 プリビレッジ属性 対象レジスタ: ELSEGR0 0: プリビレッジ 1: アンプリビレッジ	R/W

ビット	シンボル	機能	R/W
2	ELSEGR1	イベントリンクソフトウェアイベント発生レジスタ 1 プリビレッジ属性 対象レジスタ: ELSEGR1 0: プリビレッジ 1: アンプリビレッジ	R/W
31:3	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. S-TYPE-2, P-TYPE-1
注. 本レジスタは、PRCR_S レジスタと PRCR_NS レジスタによって書き込み保護されています。

本レジスタは、ELCR、ELSEGR0、ELSEGR1 レジスタのプリビレッジ属性を指定します。

18.2.7 ELCPARB : イベントリンクコントローラプリビレッジ属性レジスタ B

Base address: ELC = 0x4020_1000
ELC_NS = 0x5020_1000

Offset address: 0xF4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ELSR[17:16]	
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ELSR[15:14]		—	ELSR[12:0]												
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
12:0	ELSR[12:0]	イベントリンク設定レジスタ n 特権属性 対象レジスタ：ELSRn (n = 0～12) 0: プリビレッジ 1: アンプリビレッジ	R/W
13	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
17:14	ELSR[17:14]	イベントリンク設定レジスタ n 特権属性 対象レジスタ：ELSRn (n = 14～17) 0: プリビレッジ 1: アンプリビレッジ	R/W
31:18	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. S-TYPE-2, P-TYPE-1
注. 本レジスタは、PRCR_S レジスタと PRCR_NS レジスタによって書き込み保護されています。

本レジスタは、ELSRn (n = 0～12, 14～17) レジスタのプリビレッジ属性を指定します。

18.3 動作説明

18.3.1 割り込み処理とイベントリンクの関係

イベントリンクのイベント番号は、対応する割り込み要因のイベント番号と同一です。イベント信号の発生方法については、各イベント出力元モジュールの章を参照してください。

18.3.2 イベントのリンク

イベントリンク設定レジスタ (ELSRn) に設定しておいたイベントが発生すると、対応するモジュールが起動します。起動するモジュールの動作設定は、前もって完了しておく必要があります。表 18.4 に、イベントが発生したときのモジュール別動作一覧を示します。

表 18.4 イベント発生時のモジュール動作

モジュール	イベント入力時の動作
GPT	• カウント開始 • カウント停止 • カウントクリア • アップカウント • ダウンカウント • インプットキャプチャ
DAC12	D/A 変換開始
I/O ポート	• EORR（リセット）または EOSR（セット）に基づく端子出力の変化 • 端子状態を EIDR にラッチ • ELC で使用可能なポート PORT 1 PORT 2 PORT 3 PORT 4
ADC12	A/D 変換開始
DTC	DTC データ転送開始

18.3.3 イベントリンクの手順例

イベントリンクの手順は以下の通りです。

1. イベントをリンクするモジュールの動作を設定してください。
2. イベントをリンクするモジュールに対して、必要な ELSRn.ELS[8:0]ビットを設定します。
3. ELCR.ELCON ビットを 1 にして、すべてのイベントリンクを有効にしてください。
4. イベント出力元モジュールの設定を行い、モジュールを起動させてください。これにより、2 つのモジュール間のリンクがアクティブになります。
5. モジュール単位でイベントリンク動作を停止させるには、そのモジュールに対応する ELSRn.ELS[8:0]ビットを 0 にします。全イベントのリンク動作を停止させるためには、ELCR.ELCON ビットを 0 にします。

RTC のイベントリンク出力機能を使用する場合は、RTC の設定（初期化、時刻設定など）を行った後、ELC を設定してください。ELC 設定後に RTC の設定を行うと、意図しないイベントが出力することがあります。

PVD のイベントリンク出力機能を使用する場合は、PVD の設定を行った後、ELC を設定してください。PVD を無効にするには、対応する ELSRn レジスタを 0x00 にしてから ELC を設定してください。

18.4 使用上の注意事項

18.4.1 DMAC/DTC 転送終了のイベントリンク使用時の注意事項

DMAC/DTC 転送終了のイベントリンクを使用する場合、その DMAC/DTC 転送先とイベントリンク起動先を同一周辺モジュールに設定しないでください。設定されていると、周辺モジュールへの DMAC/DTC 転送が完了する前に周辺モジュールが起動することがあります。

18.4.2 クロックの設定

イベントリンクを使用するには、ELC と関連モジュールが動作可能な状態でなければなりません。関連モジュールがモジュールストップ状態にあるか、または対象モジュールが停止される低消費電力モード（CPU ディープスリープモード、ソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモード）にある場合、そのモジュールは動作できません。詳細は、表 18.3 と「10. 低消費電力モード」を参照してください。

18.4.3 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) によって、ELC の動作を禁止または許可することが可能です。リセット後の初期状態では、ELC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップコントロールレジスタを用いて ELC の動作を禁止する場合は、事前に ELCON ビットを 0 にする必要があります。詳細については、 表 18.3 および「10. 低消費電力モード」を参照してください。

18.4.4 ELC 遅延時間

図 18.2 に示すように、モジュール A は ELC を介してモジュール B にアクセスします。モジュール A とモジュール B の間には、ELC モジュールでの遅延時間が存在します。表 18.5 に ELC 遅延時間を示します。

表 18.6 に各モジュール A のクロックドメインを示します。表 18.7 に各モジュール B のクロックドメインを示します。

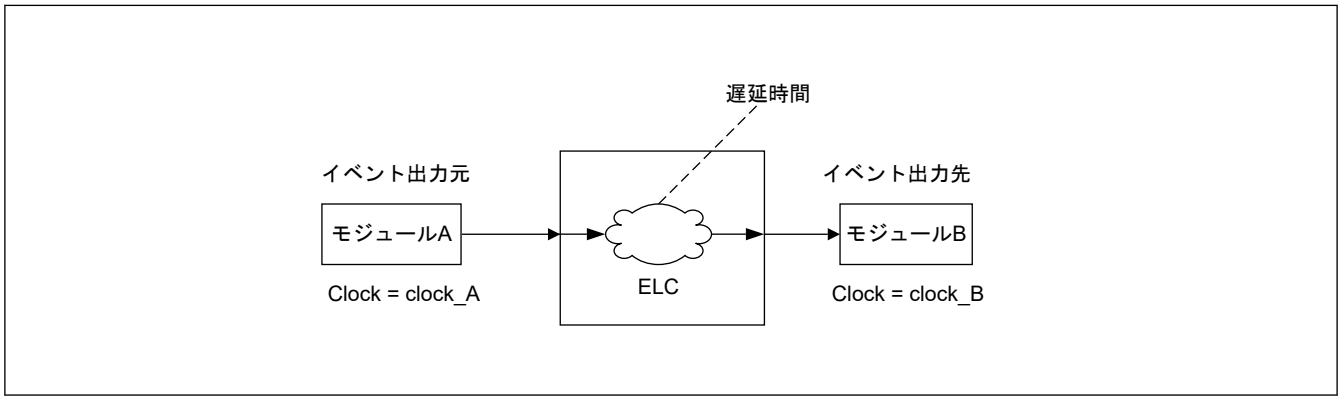


図 18.2 ELC 遅延時間

表 18.5 ELC 遅延時間

クロックドメイン(注1)	クロック周波数	ELC 遅延時間
clock_A = clock_B	clock_A = clock_B	0 サイクル
clock_A ≠ clock_B	clock_A = clock_B	1～2 サイクル
	clock_A > clock_B	clock_B 1～2 サイクル
	clock_A < clock_B	clock_A 1～2 サイクル

注 1. イベント要因モジュールとして、PORT_IRQ、PVD、MOSC、DMAC、DTC、I/O ポートが選択されると、ELC 遅延時間は PCLKB の 2～4 サイクルになります。

表 18.6 各モジュール A のクロックドメイン

モジュール A	clock_A のクロックドメイン
PORT_IRQ、PVD、MOSC	ASYNC
DMAC、DTC、I/O ポート	ICLK
ULPT、AGT、IWDT、CWDT、IIC、ACMPHS、ELC、RTC	PCLKB
GPT	PCLKD
SCI、SPI、ADC12、DOC	PCLKA

表 18.7 各モジュール B のクロックドメイン

モジュール B	clock_B のクロックドメイン
ADC12、DAC12	PCLKA
DTC、I/O ポート	ICLK
GPT	PCLKD

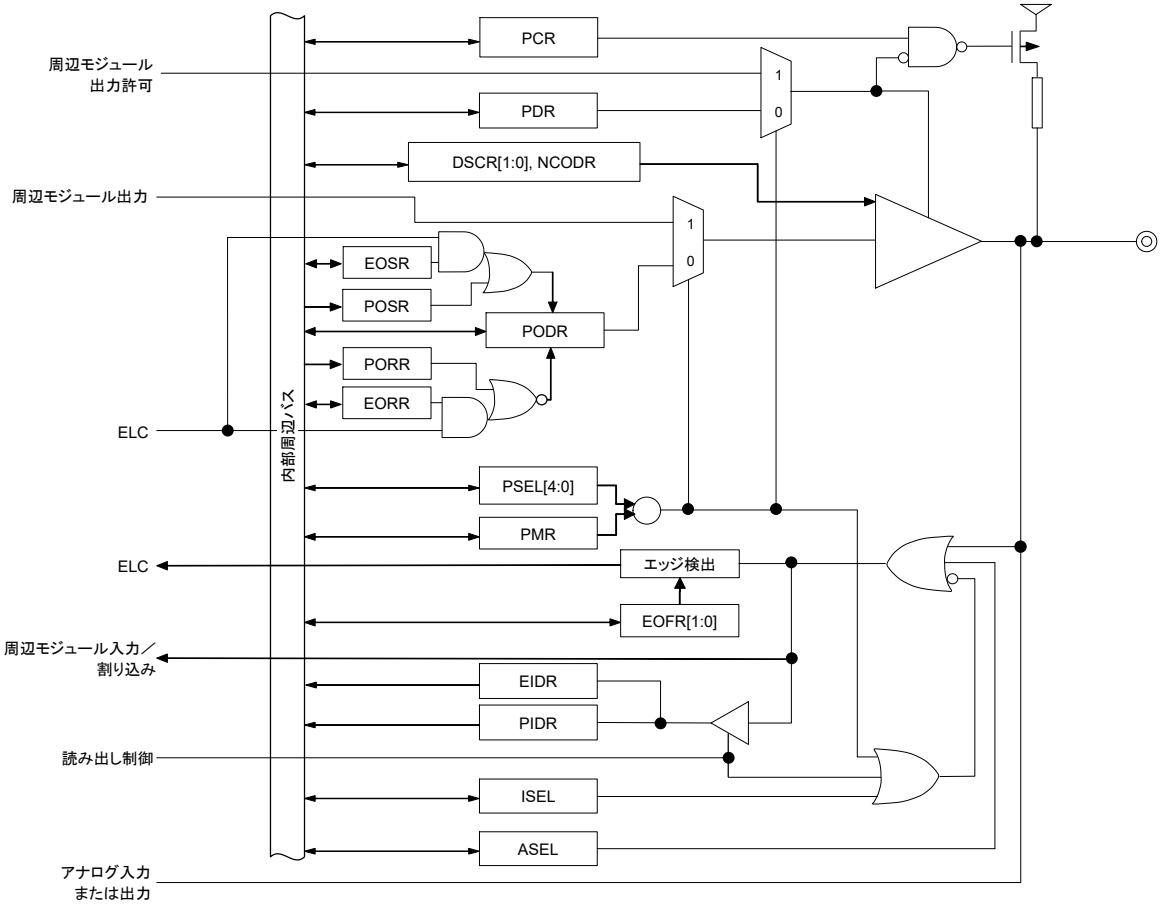
19. I/O ポート

19.1 概要

I/O ポート端子は、汎用入出力ポート端子、周辺モジュールの入出力端子、割り込み入力端子、アナログ入出力、ELC のポートグループ機能、またはバス制御端子として動作します。

（JTAG ポートの TDO としての）P209 を除くすべての端子は、リセット直後に入力端子として動作しますが、レジスタの設定によって端子機能を切り替えることができます。各端子の I/O ポートと周辺モジュールは、対応するレジスタで指定されます。

図 19.1 に I/O ポートレジスタの接続図を示します。パッケージによって、I/O ポートの構成は異なります。表 19.1 にパッケージ別の I/O ポートの仕様を、表 19.2 に I/O ポートの機能を示します。



注. この図はポートの基本構成を示しています。ポートによって構成は異なります。

図 19.1 I/O ポートレジスタの接続図

表 19.1 I/O ポートの仕様 (1/2)

ポート	パッケージ		パッケージ	
	144 ピン	本数	100 ピン	本数
PORT0	P000～P010, P014, P015	13	P000～P010, P014, P015	11
PORT1	P100～P107, P112～P115	12	P100～P107, P112～P115	12
PORT2	P200～P213	13	P200, P201, P205, P206, P208～P213	10

表 19.1 I/O ポートの仕様 (2/2)

ポート	パッケージ		パッケージ	
	144 ピン	本数	100 ピン	本数
PORT3	P300～P313	16	P300～P308	9
PORT4	P400～P415	16	P400～P415	16
PORT5	P511～P513	3	—	0
PORT6	P600～P605, P609～P614	12	P600, P609, P610	3
PORT7	P700～P705, P708～P713	12	P708	1
PORT8	P800～P806, P808, P809, P814, P815	11	P808, P809, P814, P815	9
PORT9	P905	1	—	0

表 19.2 I/O ポートの機能

ポート	ポート名	入力プルアップ	オープンドレイン出力	駆動能力切り替え	5 V トレラント	入出力	電源
PORT0	P000～P010, P014, P015	✓	✓	低	—	入出力	AVCC0
PORT1	P100～P103	✓	✓	低、中、高、高速高駆動	—	入出力	VCC2
	P104～P107	✓	✓	低、中、高	—	入出力	VCC2
	P112～P115	✓	✓	低、中、高	—	入出力	VCC
PORT2	P200	✓	—	—	—	入力	VCC
	P201	✓	✓	低	—	入出力	VCC
	P202～P204, P207～P213	✓	✓	低、中、高	—	入出力	VCC
	P205, P206	✓	✓	低、中、高	✓	入出力	VCC
PORT3	P300～P303, P309～P313	✓	✓	低、中、高	—	入出力	VCC
	P304～P308	✓	✓	低、中、高、高速高駆動	—	入出力	VCC
PORT4	P400, P401, P405	✓	✓	低、中、高	—	入出力	VCC
	P402～P404, P406～P415	✓	✓	低、中、高	✓	入出力	VCC
PORT5	P513	✓	✓	低、中、高	—	入出力	VCC
	P511, P512	✓	✓	低、中、高	✓	入出力	VCC
PORT6	P600	✓	✓	低、中、高	—	入出力	VCC2
	P601～P605, P609～P614	✓	✓	低、中、高	—	入出力	VCC
PORT7	P700～P705, P708	✓	✓	低、中、高	—	入出力	VCC
	P709～P713	✓	✓	低、中、高	✓	入出力	VCC
PORT8	P800～P804, P808, P809	✓	✓	低、中、高、高速高駆動	—	入出力	VCC2
	P805, P806, P814, P815	✓	✓	低、中、高	—	入出力	VCC
PORT9	P905	✓	✓	低、中、高	—	入出力	VCC

注. ✓：利用可能
—：設定禁止

19.2 レジスタの説明

19.2.1 PCNTR1/PODR/PDR : ポートコントロールレジスタ 1

Base address: PORTm = 0x4040_0000 + 0x0020 × m (m = 0〜9)
PORTm_NS = 0x5040_0000 + 0x0020 × m (m = 0〜9)

Offset address: 0x000 (PCNTR1/PDR)
0x002 (PODR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PODR15	PODR14	PODR13	PODR12	PODR11	PODR10	PODR09	PODR08	PODR07	PODR06	PODR05	PODR04	PODR03	PODR02	PODR01	PODR00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PDR15	PDR14	PDR13	PDR12	PDR11	PDR10	PDR09	PDR08	PDR07	PDR06	PDR05	PDR04	PDR03	PDR02	PDR01	PDR00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	PDR15〜PDR00	Pmn 方向 0: 入力（入力端子として機能） 1: 出力（出力端子として機能）	R/W
31:16	PODR15〜PODR00	Pmn 出力データ 0: Low 出力 1: High 出力	R/W

注. S-TYPE-4、P-TYPE-5
注. m = 0〜9、n = 00〜15

ポートコントロールレジスタ 1 (PCNTR1/PODR/PDR) は、32 ビットまたは 16 ビットの読み出し／書き込みレジスタで、ポート方向およびポート出力データを制御します。PCNTR1 はポート方向とポート出力データを指定し、32 ビット単位でアクセスされます。PDRn（PCNTR1 のビット[15:0]）および PODRn（PCNTR1 のビット[31:16]）はそれぞれ 16 ビット単位でアクセスされます。

PDRn ビット（Pmn 方向）

PDRn ビットは、汎用入出力端子として設定されている個々のポート端子の入力／出力方向を選択します。ポート m の各端子はそれぞれ PORTm.PCNTR1.PDRn ビットに対応しています。入出力方向は 1 ビット単位で指定できます。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。入力専用のポートでは、PODRn ビットは予約ビットになります。「19.1. 概要」を参照してください。PORTm.PCNTR1 レジスタの PDRn ビットは、PFS.PmnPFS レジスタの PDR ビットと同じ機能を提供します。

PODRn ビット（Pmn 出力データ）

PODRn ビットは、汎用入出力端子から出力されるデータを格納します。存在しないポート m のビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。入力専用のポートでは、PODRn ビットは予約ビットになります。「19.1. 概要」を参照してください。PORTm.PCNTR1 レジスタの PODRn ビットは、PFS.PmnPFS レジスタの PODR ビットと同じ機能を提供します。

19.2.2 PCNTR2/EIDR/PIDR : ポートコントロールレジスタ 2

Base address: PORTm = 0x4040_0000 + 0x0020 × m (m = 0〜9)
PORTm_NS = 0x5040_0000 + 0x0020 × m (m = 0〜9)

Offset address: 0x004 (PCNTR2/PIDR)
0x006 (EIDR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	EIDR15	EIDR14	EIDR13	EIDR12	EIDR11	EIDR10	EIDR09	EIDR08	EIDR07	EIDR06	EIDR05	EIDR04	EIDR03	EIDR02	EIDR01	EIDR00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PIDR15	PIDR14	PIDR13	PIDR12	PIDR11	PIDR10	PIDR09	PIDR08	PIDR07	PIDR06	PIDR05	PIDR04	PIDR03	PIDR02	PIDR01	PIDR00
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
15:0	PIDR15〜PIDR00	Pmn 状態 0: Low レベル 1: High レベル	R
31:16	EIDR15〜EIDR00(注2)	ポートイベント入力データ(注1) ELC_PORTx 信号の発生時 0: Low 入力 1: High 入力	R

注. S-TYPE-4、P-TYPE-5
注. m = 0〜9、n = 00〜15
注 1. x = 1、2、3、または 4、EIDR のみ
注 2. ポート 1、2、3、または 4 でサポート

ポートコントロールレジスタ 2 (PCNTR2/EIDR/PIDR) は、32 ビットまたは 16 ビット単位での、Pmn 状態およびポートイベント入力データへのリードアクセスを可能にします。

PCNTR2 は Pmn 状態とポートイベント入力データを表し、32 ビット単位でアクセスされます。

PIDRn（PCNTR2 のビット[15:0]）および EIDRn（PCNTR2 のビット[31:16]）はそれぞれ 16 ビット単位でアクセスされます。存在しない端子に対応するビットは予約ビットです。予約ビットは、読むと不定値が読めます。

PIDRn ビット（Pmn 状態）

PIDRn ビットは、PmnPFS.PMR ビットと PORTm.PCNTR1.PDRn ビットの設定値にかかわらず、個々のポートの端子状態を反映します。PORTm.PCNTR2 レジスタの PIDRn ビットは、PFS.PmnPFS レジスタの PIDR ビットと同じ機能です。

次の機能のいずれかが有効の場合、端子状態は PIDRn に反映できません。

- RTC 時間キャプチャ入力および改ざん検出 (RTCIC)
- アナログ機能 (ASEL = 1)
- トレースインタフェース (TCLK, TDATAn (n = 0〜3), SWO)

EIDRn ビット（ポートイベント入力データ）

EIDRn ビットは、ELC_PORTx 信号の発生時に端子状態をラッチします。PmnPFS.PMR = 0 かつ PORTm.PCNTR1.PDRn = 0 の場合にのみ、EIDRn ビットに端子状態を入力できます。PmnPFS.ASEL ビットを 1 にすると、関連する端子状態は EIDRn に反映されません。

19.2.3 PCNTR3/PORR/POSR : ポートコントロールレジスタ 3

Base address: PORTm = 0x4040_0000 + 0x0020 × m (m = 0～9)
PORTm_NS = 0x5040_0000 + 0x0020 × m (m = 0～9)

Offset address: 0x008 (PCNTR3/POSR)
0x00A (PORR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PORR15	PORR14	PORR13	PORR12	PORR11	PORR10	PORR09	PORR08	PORR07	PORR06	PORR05	PORR04	PORR03	PORR02	PORR01	PORR00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	POSR15	POSR14	POSR13	POSR12	POSR11	POSR10	POSR09	POSR08	POSR07	POSR06	POSR05	POSR04	POSR03	POSR02	POSR01	POSR00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	POSR15～POSR00	Pmn 出力設定 0: 出力に影響なし 1: High 出力	W
31:16	PORR15～PORR00	Pmn 出力リセット 0: 出力に影響なし 1: Low 出力	W

注. S-TYPE-4、P-TYPE-5
注. m = 0～9、n = 00～15

ポートコントロールレジスタ 3 (PCNTR3/PORR/POSR) は、32 ビットまたは 16 ビットの書き込みレジスタで、ポート出力データのセットまたはリセットを制御します。

PCNTR3 はポート出力データのセットまたはリセットを制御し、32 ビット単位でアクセスされます。

POSRn（PCNTR3 のビット[15:0]）および PORRn（PCNTR3 のビット[31:16]）はそれぞれ 16 ビット単位でアクセスされます。

POSRn ビット（Pmn 出力設定）

POSR がソフトウェア書き込みによって設定されると、PODR が変更されます。たとえば P100 端子の場合、PORT1.PCNTR3.POSR00 = 1 であると、PORT1.PCNTR1.PODR00 は 1 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。入力専用のポートでは、POSRn ビットは予約ビットになります。「19.1. 概要」を参照してください。

PORRn ビット（Pmn 出力リセット）

PORR がソフトウェア書き込みによってリセットされると、PODR が変更されます。たとえば P100 端子の場合、PORT1.PCNTR3.PORR00 = 1 であると、PORT1.PCNTR1.PODR00 は 0 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。入力専用のポートでは、PORRn ビットは予約ビットになります。「19.1. 概要」を参照してください。

注. EORRn または EOSRn を設定した場合、PODRn、PORRn、および POSRn への書き込みは禁止されます。
注. PORRn ビットと POSRn ビットは、どちらか一方のみ設定してください。

19.2.4 PCNTR4/EORR/EOSR : ポートコントロールレジスタ 4

Base address: PORTm = 0x4040_0000 + 0x0020 × m (m = 1～4)
PORTm_NS = 0x5040_0000 + 0x0020 × m (m = 1～4)

Offset address: 0x00C (PCNTR4/EOSR)
0x00E (EORR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	EORR 15	EORR 14	EORR 13	EORR 12	EORR 11	EORR 10	EORR 09	EORR 08	EORR 07	EORR 06	EORR 05	EORR 04	EORR 03	EORR 02	EORR 01	EORR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	EOSR 15	EOSR 14	EOSR 13	EOSR 12	EOSR 11	EOSR 10	EOSR 09	EOSR 08	EOSR 07	EOSR 06	EOSR 05	EOSR 04	EOSR 03	EOSR 02	EOSR 01	EOSR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	EOSR15～EOSR00	Pmn イベント出力設定 ELC_PORTx 信号の発生時 0: 出力に影響なし 1: High 出力	R/W
31:16	EORR15～EORR00	Pmn イベント出力リセット ELC_PORTx 信号の発生時 0: 出力に影響なし 1: Low 出力	R/W

注. S-TYPE-4, P-TYPE-5
注. m = 1～4, n = 00～15, x = 1～4

ポートコントロールレジスタ 4 (PCNTR4/EORR/EOSR) は、32 ビットおよび 16 ビットの読み出し／書き込みレジスタで、ELC からのイベント入力によりポート出力データの設定またはリセットを制御します。

PCNTR4 は、ELC からのイベント入力によりポート出力データの設定またはリセットを制御し、32 ビット単位でアクセスされます。

EOSRn（PCNTR4 のビット[15:0]）および EORRn（PCNTR4 のビット[31:16]）はそれぞれ 16 ビット単位でアクセスされます。

EOSRn ビット（Pmn イベント出力設定）

EOSR が ELC_PORTx 信号の発生によって設定されると、PODR が変更されます。たとえば P100 端子の場合、ELC_PORTx の発生時に PORT1.PCNTR4.EOSR00 が 1 になると、PORT1.PCNTR1.PODR00 は 1 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。入力専用のポートでは、EOSRn ビットは予約ビットになります。「19.1. 概要」を参照してください。

EORRn ビット（Pmn イベント出力リセット）

EORR が ELC_PORTx 信号の発生によってリセットされると、PODR が変更されます。たとえば P100 端子の場合、ELC_PORTx の発生時に PORT1.PCNTR4.EORR00 が 1 になると、PORT1.PCNTR1.PODR00 は 0 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。入力専用のポートでは、EORRn ビットは予約ビットになります。「19.1. 概要」を参照してください。

注. EORRn または EOSRn を設定した場合、PODRn、PORRn、および POSRn への書き込みは禁止されます。

注. EORRn ビットと EOSRn ビットは、どちらか一方のみ設定してください。

19.2.5 PmnPFS/PmnPFS_HA/PmnPFS_BY : ポート mn 端子機能選択レジスタ (m = 0～9, n = 00～15)

Base address: PFS = 0x4040_0800
PFS_NS = 0x5040_0800

Offset address: 0x000 + 0x040 × m + 0x004 × n (PmnPFS/PmnPFS_HA/PmnPFS_BY)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	PSEL[4:0]					—	—	—	—	—	—	—	PMR
Value after reset:	0	0	0	0(注1)	0	0	0(注1)	0(注1)	0	0	0	0	0	0	0	0(注1)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ASEL	ISEL	EOFR[1:0]		DSCR[1:0]		—	—	—	NCODR	—	PCR	—	PDR	PIDR	PODR
Value after reset:	0	0	0	0	0	0(注1)	0	0	0	0	0	0(注1)	0	0	x	0

ビット	シンボル	機能	R/W
0	PODR	ポート出力データ 0: Low 出力 1: High 出力	R/W
1	PIDR	Pmn 状態 0: Low レベル 1: High レベル	R
2	PDR	ポート方向 0: 入力（入力端子として機能） 1: 出力（出力端子として機能）	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	PCR	プルアップ制御 0: 入力プルアップ無効 1: 入力プルアップ有効	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	NCODR	N チャネルオープンドレイン制御 0: CMOS 出力 1: NMOS オープンドレイン出力	R/W
9:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11:10	DSCR[1:0]	ポート駆動能力 0 0: 低駆動 0 1: 中駆動 1 0: 高速高駆動 1 1: 高駆動	R/W
13:12	EOFR[1:0]	立ち下がり時イベント／立ち上がり時イベント(注2) 0 0: Don't care 0 1: 立ち上がりエッジを検出 1 0: 立ち下がりエッジを検出 1 1: 両エッジを検出	R/W
14	ISEL	IRQ 入力許可 0: IRQn 入力端子として使用しない 1: IRQn 入力端子として使用する	R/W
15	ASEL	アナログ入力許可 0: アナログ端子として使用しない 1: アナログ端子として使用する	R/W
16	PMR	ポートモード制御 0: 汎用入出力端子として使用する 1: 周辺機能用の入出力ポートとして使用する	R/W
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
28:24	PSEL[4:0]	周辺機能選択 周辺機能を選択します。各端子の機能については、この章の関連する表を参照してください。	R/W
31:29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2
注 1. P201、P208、P209、P210、P211、P814、および P815 の初期値は 0x0000_0000 ではありません。P201 は 0x0000_0010、P208 は 0x0001_0010、P209 は 0x0001_0400、P210 は 0x0001_0410、P211 は 0x0001_0010、P814 は 0x1301_0000、P815 は 0x1301_0000 です。
注 2. PORTn (n = 1～4) でサポートされています。

ポート mn 端子機能選択レジスタ (PmnPFS/PmnPFS_HA/PmnPFS_BY) は、ポート mn 端子機能を選択する 32 ビット、16 ビット、または 8 ビットの読み出し／書き込みコントロールレジスタです。PmnPFS は 32 ビット単位でアクセスされます。PmnPFS_HA（PmnPFS の[15:0]ビット）は 16 ビット単位でアクセスされます。PmnPFS_BY（PmnPFS の[7:0]ビット）は 8 ビット単位でアクセスされます。

使用可能なポート mn 端子は製品により異なります。詳細は、表 19.1 を参照してください。

PODR ビット（ポート出力データ）、PIDR ビット（ポート状態）、PDR ビット（ポート方向）

PDR ビット、PIDR ビット、PODR ビットは、PCNTR レジスタと同じ機能を果たします。これらのビットを読むと、PCNTR レジスタ値が読めます。

PCR ビット（プルアップ制御）

PCR ビットは、ポートの各端子に対して入力プルアップ抵抗を有効または無効にします。端子が入力状態にあって、PmnPFS.PCR の対応するビットが 1 になっている場合、その端子に接続されたプルアップ抵抗が有効になります。汎用ポート出力端子、または周辺機能出力端子に設定されている場合は、PCR 設定値にかかわらず、プルアップ抵抗は無効になります。リセット状態でもプルアップ抵抗は無効になります。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください

NCODR ビット（N チャネルオープンドレイン制御）

NCODR ビットは、ポート端子の出力タイプを設定します。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください

DSCR[1:0]ビット（ポート駆動能力）

DSCR[1:0]ビットは、ポートの能力を切り替えます。端子の能力が固定されている場合、対応するビットは読み出し／書き込み可能ですが、能力は変更できません。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

EOFR[1:0]ビット（立ち下がり時イベント／立ち上がり時イベント）

EOFR[1:0]ビットは、ポートグループ入力信号のエッジ検出方法を選択します。立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を選択できます。EOFR[1:0]ビットを 01b、10b、または 11b にすると、入出力セルの入力許可がアサートされます。それに続いて、外部端子からイベントパルスが入力され、GPIO が ELC にイベントパルスを出力します。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください

ISEL ビット（IRQ 入力許可）

ISEL ビットは、IRQ 入力端子を指定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn（外部端子割り込み）を 2 つ以上の端子で許可することは禁止です。未指定の IRQn に対する ISEL ビットは予約ビットです。

ASEL ビット（アナログ入力許可）

ASEL ビットは、アナログ端子を設定します。本ビットで、端子をアナログ端子として設定する場合、以下のように指定します。

1. ポートモード制御ビット (PmnPFS.PMR) で、その端子を汎用入出力ポートに指定します。
2. プルアップ制御ビット (PmnPFS.PCR) で、プルアップ抵抗を無効にします。

3. ポート方向ビット (PmnPFS.PDR) で、入力を指定します。このとき、端子状態を読むことはできません。PmnPFS レジスタは、非セキュア用ライトプロテクトレジスタ (PWPR_NS) によって保護されています。書き込み禁止を解除してから、レジスタを書き換えてください。

未指定のアナログ入出力端子に対する ASEL ビットは予約ビットです。

PMR ビット（ポートモード制御）

PMR ビットは、ポートの端子機能を設定します。存在しない端子に対応するビットは予約ビットです。書く場合、0 としてください

PSEL[4:0]ビット（周辺機能選択）

PSEL[4:0]ビットは、周辺機能を割り当てます。

19.2.6 PWPR_NS : 非セキュア用ライトプロテクトレジスタ

Base address: PFS_NS = 0x5040_0800

Offset address: 0x50C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	B0WI	PFSWE	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	PFSWE	PmnPFS レジスタ書き込み許可 0: PmnPFS レジスタへの書き込みを禁止 1: PmnPFS レジスタへの書き込みを許可	R/W
7	B0WI	PFSWE ビット書き込み禁止 0: PFSWE ビットへの書き込みを許可 1: PFSWE ビットへの書き込みを禁止	R/W

注. S-TYPE-7, P-TYPE-2
注. 本レジスタへのアクセスは、いずれのセキュリティ属性レジスタによっても制御されません。

PFSWE ビット（PmnPFS レジスタ書き込み許可）

PFSWE ビットを 1 にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。最初に B0WI ビットに 0 を書いてから、PFSWE ビットを 1 にする必要があります。

B0WI ビット（PFSWE ビット書き込み禁止）

B0WI ビットを 0 にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

19.2.7 PFENET : イーサネットコントロールレジスタ

Base address: PFS = 0x4040_0800
PFS_NS = 0x5040_0800

Offset address: 0x500

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	PHYMODE0	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
4	PHYMODE0	イーサネットモード設定チャネル 0 0: RMII モード（ETHERC チャネル 0） 1: MII モード（ETHERC チャネル 0）	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注. PHYMODE0 ビットへのアクセスは、PSARB.PSARB15 ビットと PPARB.PPARB15 ビットにより制御されます。

PHYMODE0 ビット（イーサネットモード設定チャネル 0）

PHYMODE0 ビットは、ETHERC チャネル 0 の PHY モードを設定します。端子機能選択ビット (PmnPFS.PSEL[4:0]) で設定したモードと同じモードに設定してください。PmnPFS.PSEL[4:0]ビットで RMII モードの信号を指定した場合、PHYMODE ビットを 0（RMII モード）にしてください。PmnPFS.PSEL[4:0]ビットで MII モードの信号を指定した場合、PHYMODE ビットを 1（MII モード）にしてください。

19.2.8 PWPR_S : セキュア用ライトプロテクトレジスタ

Base address: PFS = 0x4040_0800

Offset address: 0x514

Bit position:	7	6	5	4	3	2	1	0
Bit field:	B0WI	PFSWE	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	PFSWE	PmnPFS レジスタ書き込み許可 0: PmnPFS レジスタへの書き込みを禁止 1: PmnPFS レジスタへの書き込みを許可	R/W
7	B0WI	PFSWE ビット書き込み禁止 0: PFSWE ビットへの書き込みを許可 1: PFSWE ビットへの書き込みを禁止	R/W

注. S-TYPE-6, P-TYPE-2

PFSWE ビット（PmnPFS レジスタ書き込み許可）

PFSWE ビットを 1 にしたときのみ、PmSAR レジスタによって「セキュア」に設定された I/O ポート端子の PmnPFS レジスタに対する書き込みが許可されます。最初に B0WI ビットに 0 を書いてから、PFSWE ビットを 1 にする必要があります。

B0WI ビット（PFSWE ビット書き込み禁止）

B0WI ビットを 0 にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

19.2.9 PmSAR : ポートセキュリティ属性レジスタ (m = 0～9)

Base address: PFS = 0x4040_0800
PFS_NS = 0x5040_0800

Offset address: 0x530 + 0x004 × m

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PMNSA[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	PMNSA[15:0]	Pmn のセキュリティ属性 対象の I/O ポート端子：Pmn 0: セキュア 1: 非セキュア	R/W

注. S-TYPE-1, P-TYPE-1
注. このレジスタは PRCR レジスタによって書き込み保護されています。
注. m = 0～9, n = 00～15

ポートセキュリティ属性レジスタは各ポートのセキュリティ属性を設定する 16 ビットレジスタで、16 ビット単位でのみアクセスします。

PMNSA[15:0]ビット（Pmn のセキュリティ属性）

PmnSA ビットは Pmn のセキュリティ属性を指定します。

19.2.10 LVOCR : 低電圧動作コントロールレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xAB0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	LVO1E	LVO0E
Value after reset:	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
0	LVO0E	低電圧動作 0 許可 0: 禁止 1: 許可	R/W
1	LVO1E	低電圧動作 1 許可 0: 禁止 1: 許可	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-2

低電圧動作コントロールレジスタは、VCC/VCC2 が 2.7 V より低い場合の入出力を制御します。

LVO0E ビット（低電圧動作 0 許可）

VCC が 2.7 V より低い場合、LVO0E ビットを 1 にしてください。

LVO1E ビット（低電圧動作 1 許可）

VCC2 が 2.7 V より低い場合、LVO1E ビットを 1 にしてください。

19.3 動作

19.3.1 汎用入出力ポート

P208、P211、P814、P815 以外のすべての端子は、リセット後は汎用入出力ポートとして動作します。汎用入出力ポートは各ポート 16 ビットで構成され、ポートコントロールレジスタ (PCNTRn: n = 1～4) によるポート単位のアクセス、またはポート mn 端子機能選択レジスタによる端子単位のアクセスが可能です。これらのレジスタの詳細は、「19.2. レジスタの説明」を参照してください。

各ポートには以下のビットがあります。

- ポートセキュリティ属性レジスタ (PmSAR) (m = 0～9) はセキュリティ属性を示します。
- ポート方向ビット (PDRn)：入力／出力の方向を選択する
- ポート出力データビット (PODRn)：出力用データを格納する

- ポート入力データビット (PIDRn)：端子状態を示す
- イベント入力データビット (EIDRn)：ELC_PORTn（n = 1、2、3、または 4）信号発生時の端子状態を示す
- ポート出力設定ビット (POSRn)：ソフトウェア書き込み発生時の出力値を示す
- ポート出力リセットビット (PORRn)：ソフトウェア書き込み発生時の出力値を示す
- イベント出力設定ビット (EOSRn)：ELC_PORTn（n = 1、2、3、または 4）信号発生時の出力値を示す
- イベント出力リセットビット (EORRn)：ELC_PORTn（n = 1、2、3、または 4）信号発生時の出力値を示す

19.3.2 ポート機能選択

各端子の設定時、以下のポート機能を利用できます。

- セキュリティ機能：各端子のセキュリティ属性
- 入出力設定：CMOS 出力または NMOS オープンドレイン出力、プルアップ制御、および駆動能力制御
- 汎用入出力ポート：ポート方向、出力データ設定、および読み出し入力データ
- 代替機能：端子への機能の割り当て

各端子は、ポート mn 端子機能選択レジスタ (PmnPFS) に関連付けられます。このレジスタには対応するビット PODR、PIDR、および PDR があります。さらに、PmnPFS レジスタには以下のビットがあります。

- PCR：入力プルアップ MOS のオン／オフを切り替えるためのプルアップ抵抗制御ビット
- NCODR：各端子の出力タイプを選択するための N チャネルオープンドレイン制御ビット
- DSCR[1:0]：駆動能力を選択するための駆動能力制御ビット
- EOFR[1:0]：ポートグループから入力されるイベントのエッジを選択
- ISEL：IRQ 入力端子を設定するための IRQ 入力許可ビット
- ASEL：アナログ端子を設定するためのアナログ入力許可ビット
- PMR：各ポートの端子機能を設定するためのポートモードビット
- PSEL[4:0]：対応する周辺機能を選択するためのポート機能選択ビット

これらは、ポート mn 端子機能選択レジスタへのシングルレジスタアクセスで設定することができます。詳細は「19.2.5. PmnPFS/PmnPFS_HA/PmnPFS_BY : ポート mn 端子機能選択レジスタ (m = 0〜9, n = 00〜15)」を参照してください。

19.3.3 ELC のポートグループ機能

本 MCU では、ポート 1 が ELC ポートグループ機能に割り当てられています。

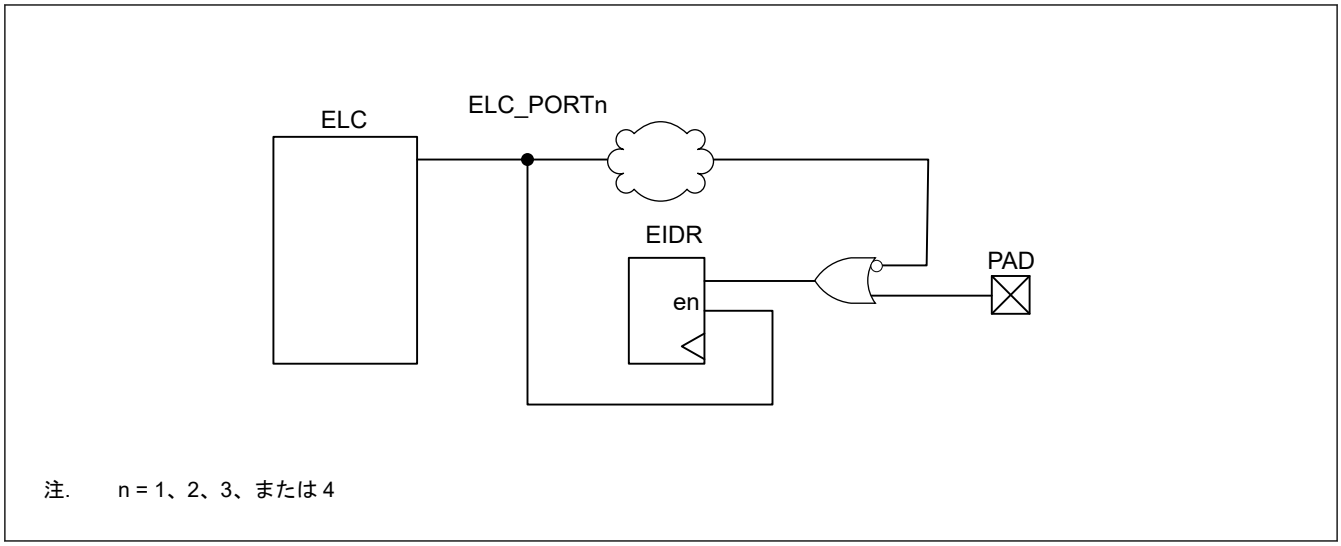
19.3.3.1 ELC から ELC_PORTn（n = 1、2、3、または 4）が入力された場合の動作

ELC から ELC_PORTn（n = 1、2、3、または 4）信号が入力されたとき、本 MCU は、以下に示す 2 つの機能をサポートしています。

(1) EIDR への入力

GPI 機能（PmnPFS レジスタの PDR = 0 および PMR = 0）では、ELC から ELC_PORTn（n = 1、2、3、または 4）信号が入力されると、入出力セルの入力許可がアサートされ、外部端子からのデータが EIDR ビットに読み出されます。図 19.2 を参照してください。

GPO 機能 (PDR = 1) または周辺モード (PMR = 1) では、外部端子から EIDR ビットに 0 が入力されます。



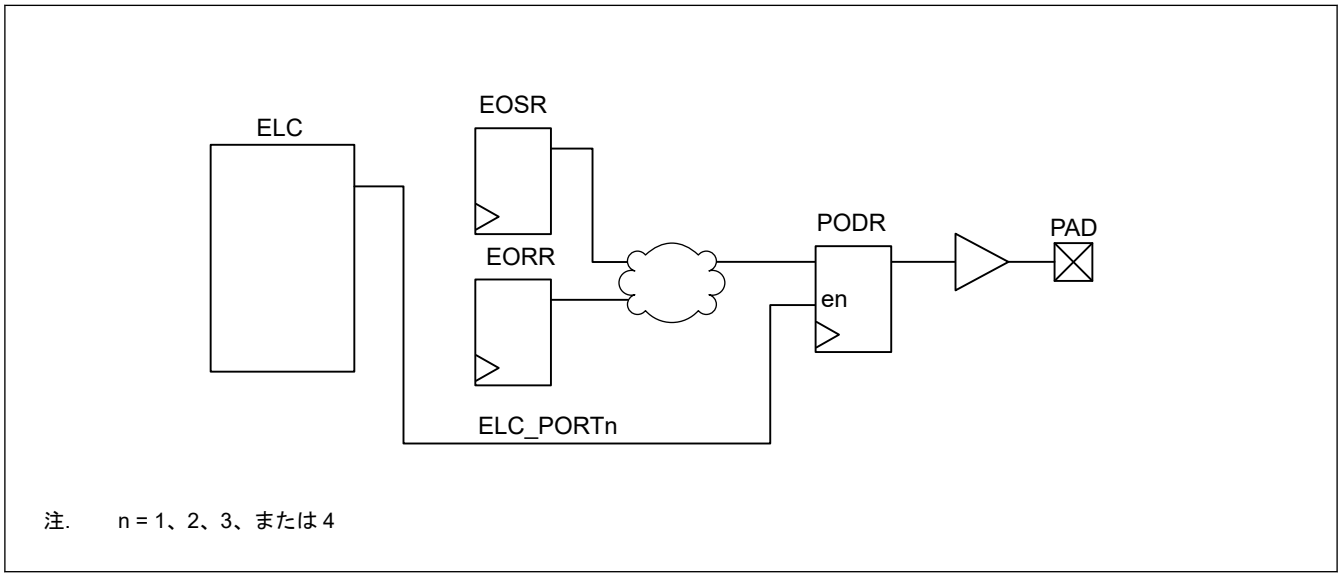
注. n = 1、2、3、または 4

図 19.2 イベントポート入力データ

(2) EOSR および EORR による PODR からの出力

ELC_PORTn（n = 1、2、3、または 4）信号の発生時に、EOSR および EORR レジスタの設定値に基づいて、PODR から外部端子へデータが出力されます。

- EOSR を 1 にすると、ELC_PORTn（n = 1、2、3、または 4）信号発生時に PODR レジスタは外部端子へ 1 を出力します。EOSR = 0 の場合、PODR の値が保持されます。
- EORR を 1 にすると、ELC_PORTn（n = 1、2、3、または 4）信号発生時に PODR レジスタは外部端子へ 0 を出力します。EORR = 0 の場合、PODR の値が保持されます。



注. n = 1、2、3、または 4

図 19.3 イベントポート出力データ

19.3.3.2 イベントパルスが ELC に出力された場合の動作

外部端子から ELC にイベントパルスを出力するには、PmnPFS レジスタの EOFR[1:0]ビットを設定します。詳細は、「19.2.5. PmnPFS/PmnPFS_HA/PmnPFS_BY : ポート mn 端子機能選択レジスタ (m = 0～9, n = 00～15)」を参照してください。EOFR[1:0]ビットを設定すると、入出力セルの入力許可がアサートされます。

外部端子からのデータが入力となります。たとえばポート 1 に対して、P100 から P115 へデータが入力されると、これら 16 端子のデータは OR 論理で構成されます。このデータは、ワンショットパルスとして形成され、ELC に入力されます。ポート n (n = 2～4) の動作もポート 1 と同様です。図 19.4 を参照してください。

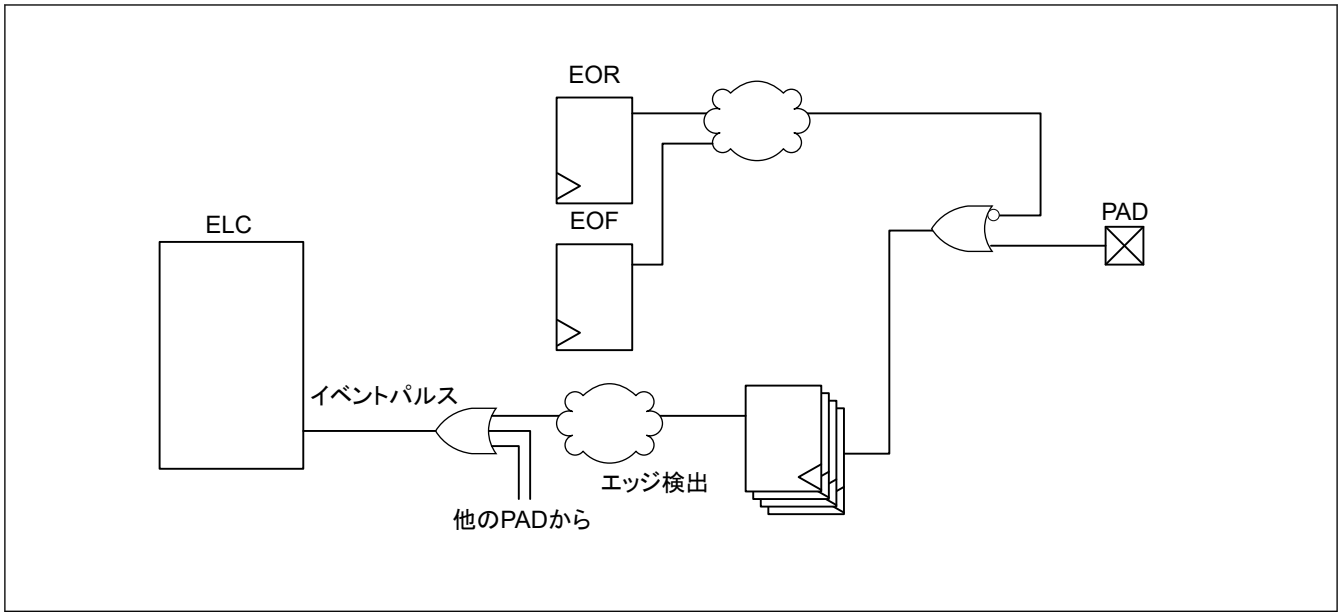


図 19.4 イベントパルスの発生

19.4 未使用端子の処理

表 19.3 に、未使用端子の処理方法を示します。

表 19.3 未使用端子の処理

端子名	未使用時の処理
MD	モード選択端子として使用
RES	抵抗を介して VCC に接続
USB_DP、USB_DM	P814PFS.PMR ビットと P815PFS.PMR ビットが両方とも 1 の場合、これらの端子を開放してください。 P814PFS.PMR ビットまたは P815PFS.PMR ビットが 0 の場合、他のポートと同様に設定してください。
P200/NMI	抵抗を介して VCC に接続
EXTAL	メインクロック発振器を使用しない場合、MOSCCR.MOSTP ビットを 1（汎用ポート P212）に設定してください。この端子をポート P212 として使用しない場合、ポート 1～B と同様に設定してください。
XTAL	メインクロック発振器を使用しない場合、MOSCCR.MOSTP ビットを 1（汎用ポート P213）に設定してください。外部クロックが EXTAL 端子に入力される場合、XTAL 端子は P213 として機能します。この端子をポート P213 として使用しない場合、ポート 1～B と同様に設定してください。
XCIN	抵抗を介して VSS に接続
XCOUT	端子を開放
P000～P010、P014、P015	• 方向を入力 (PCNTR1.PDRn = 0) に設定した場合、対応する端子を抵抗を介して AVCC0 に接続、または抵抗を介して AVSS0 に接続してください。(注1) • 方向を出力 (PCNTR1.PDRn = 1) に設定した場合、端子を開放してください。(注1)
P100～P107、P600、P800～P804、P808、P809	• 方向を入力 (PCNTR1.PDRn = 0) に設定した場合、対応する端子を抵抗を介して VCC2 に接続、または抵抗を介して VSS に接続してください。(注1) • 方向を出力 (PCNTR1.PDRn = 1) に設定した場合、端子を開放してください。(注1)
その他のポート	• 方向を入力 (PCNTR1.PDRn = 0) に設定した場合、対応する端子を抵抗を介して VCC に接続、または抵抗を介して VSS に接続してください。(注1)(注2) • 方向を出力 (PCNTR1.PDRn = 1) に設定した場合、端子を開放してください。(注1)(注3)
VREFH0、VREFH	AVCC0 に接続
VREFL0、VREFL	AVSS0 に接続
VLO	端子を開放(注4)
VBATT	VCC に接続

注 1. PmnPFS.PMR ビット、PmnPFS.ISEL ビット、PmnPFS.PCR ビット、および PmnPFS.ASEL ビットを 0 にクリアしてください。
注 2. P208、P210、および P211 は初期値 (PmnPFS.PCR = 1) から入力プルアップが有効なので、抵抗を介しての VCC プルアップが推奨されます。

注 3. P209 は初期値から出力なので、方向を出力 (PCNTR1.PDRn = 1) に設定することを推奨します。
注 4. 詳細は、「51. 内部電圧レギュレータ」を参照してください。

19.5 使用上の注意

19.5.1 端子機能の設定手順

入出力端子機能を設定するには、下記の手順に従ってください。

1. PWPR_NS.B0WI ビットをクリアします。PWPR_NS.PFSWE ビットへの書き込みが許可されます。(注1)
2. PWPR_NS.PFSWE ビットを 1 にします。PmnPFS レジスタへの書き込みが許可されます。(注1)
3. 当該端子の PMR のポートモード制御ビットを 0 にして、汎用入出力ポートに設定します。
4. PmnPFS.PSEL[4:0]ビットによって、この端子の入出力機能を設定します。
5. 必要に応じて PMR ビットを 1 にして、選択した入出力機能に切り替えます。
6. PWPR_NS.PFSWE ビットをクリアします。PmnPFS レジスタへの書き込みが禁止されます。(注1)
7. PWPR_NS.B0WI ビットを 1 にします。PWPR_NS.PFSWE ビットへの書き込みが禁止されます。(注1)

注 1. Pmn のセキュリティ属性が 0 のとき、PmnPFS レジスタへの書き込みをするには PWPR_S レジスタを設定する必要があります。

19.5.2 ポートグループ入力の使用手順

ポートグループ入力（ポート n (n = 1～4)）を使用するには、下記の手順に従ってください。

1. ELSRx.ELS[8:0]ビットをすべて 0 にして、意図しないパルスを無視します。詳細は、「18. イベントリンクコントローラ (ELC)」を参照してください。
2. PmnPFS レジスタの EOFR[1:0]ビットを設定して、立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を指定します。
3. ダミーリードを実行するか、少しの間（たとえば 100 ns）待ちます。意図しないパルスを無視するかどうかは、外部端子の初期値によって異なります。
4. ELSRx.ELS[8:0]ビットを設定して、イベント信号を許可します。

19.5.3 ポート出力データレジスタ (PODR) の概要

本レジスタは下記のようにデータを出力します。

1. ELC_PORTn（n = 1、2、3、または 4）信号発生時に PCNTR4.EORR ビットを 1 にすると、0 を出力する。
2. ELC_PORTn（n = 1、2、3、または 4）信号発生時に PCNTR4.EOSR ビットを 1 にすると、1 を出力する。
3. PCNTR3.PORR が 1 になると、0 を出力する。
4. PCNTR3.POSR が 1 になると、1 を出力する。
5. PCNTR1.PODRn が設定されると、0 または 1 を出力する。
6. PmnPFS.PODRn が設定されると、0 または 1 を出力する。

上記の番号は、PODRn への書き込み優先順位に相当しています。たとえば、上記の 1.と 3.が同時に発生した場合、優先順位の高い 1.が実行されます。

19.5.4 アナログ機能使用時の注意事項

アナログ機能を使用するには、ポートモード制御ビット (PMR) とポート方向ビット (PDRn) を両方とも 0 にして、端子が汎用入力ポートとして動作できるようにしてください。その後、ポート mn 端子機能選択レジスタ (PmnPFS.ASEL) のアナログ入力許可ビット (ASEL) を 1 にしてください。

19.5.5 入出力バッファの仕様

P402、P403、および P404 は、RTC 入力、改ざん検出、およびその他の周辺機能として使用できます。表 19.4 に P402、P403、P404 の仕様を示します。

表 19.4 P402、P403、P404 の仕様

I/O ポート	RTC と改ざん検出			その他の周辺機能	
	RTC と改ざん検出入力イネーブルレジスタ	RTC	改ざん検出	その他の周辺機能イネーブルレジスタ	CAC、CEU、GPT、CAN、SCI、SSIE、ETHERC (MII)、ETHERC (RMII)、割り込み
P402	VBTICTLR.VCH0INEN	RTCIC0	RTCIC0	P402PFS.PSEL および PMR	詳細は「19.6. 製品ごとの周辺選択設定」を参照してください。
P403	VBTICTLR.VCH1INEN	RTCIC1	RTCIC1	P403PFS.PSEL および PMR	
P404	VBTICTLR.VCH2INEN	RTCIC2	RTCIC2	P404PFS.PSEL および PMR	

これらの RTC 入力と改ざん検出は、VBTICTLR レジスタによって制御されます。また、このレジスタは、機能選択において最優先されます。

RTC 入力と改ざん検出が選択されているかどうかに関わらず、P402、P403、および P404 は IRQn-DS (n = 4, 14, 15) として使用できます。これらの割り込みを使用する場合、VBTICTLR レジスタを設定した後に、割り込み手順を設定してください。「11.2.8. VBTICTLR : VBATT 入力コントロールレジスタ」を参照してください。

図 19.5 を参照してください。

VBTICTLR レジスタは、VBATT_POR リセットによってのみ初期化されます。そのため、RTC 入力と改ざん検出を使用しない場合、VBTICTLR レジスタの対応するビットは、VBATT_POR リセット以外のリセット後に 0 にする必要があります。

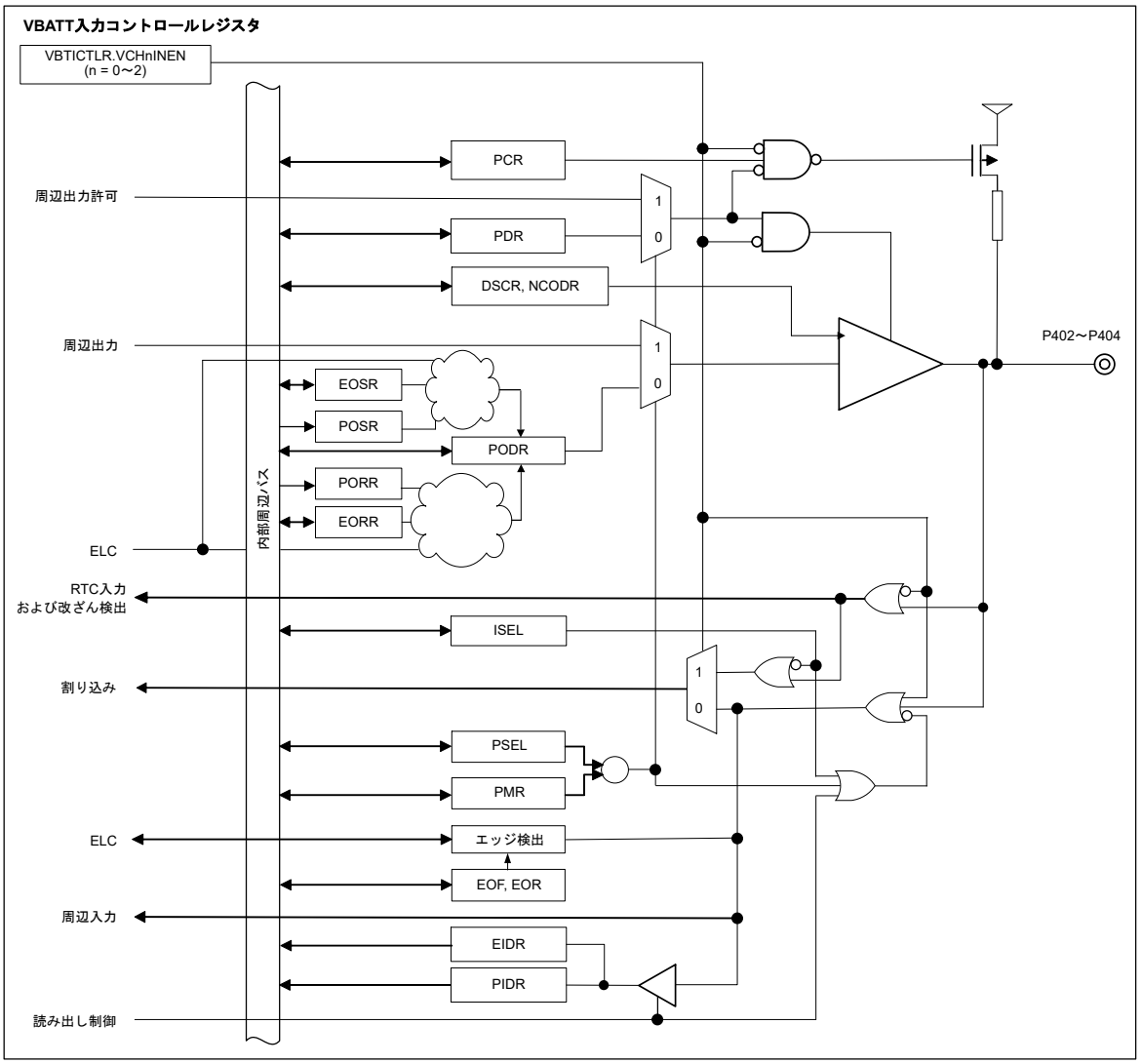


図 19.5　P402、P403、P404 の接続図

19.5.6　USB_DP 端子と USB_DM 端子の選択

USB_DP 端子と USB_DM 端子はそれぞれ P814 端子と P815 端子で共有されます。USB_DP 端子と P814 端子は、PFS.P814PFS.PMR ビットで設定できます。USB_DM 端子と P815 端子は、PFS.P815PFS.PMR ビットで設定できます。表 19.5 に、各選択端子における PFS.P814PFS.PMR ビットと PFS.P815PFS.PMR ビットの設定値を示します。

表 19.5　USB/PORT 端子の選択

PMR ビットの設定		端子選択	
P814PFS.PMR ビット	P815PFS.PMR ビット	P814/USB_DP 端子	P815/USB_DM 端子
0	0	P814	P815
0	1	P814	P815
1	0	P814	P815
1	1	USB_DP	USB_DM

注.　P814/USB_DP 端子と P815/USB_DM 端子を GPIO 端子 (P814, P815) として使用する場合、USB 関連レジスタを初期値で使用してください。

注. P814/USB_DP 端子と P815/USB_DM 端子を USB 端子 (USB_DP, USB_DM) として使用する場合、P814 と P815 の GPIO 関連レジスタを初期値で使用してください。
注. P814/USB_DP 端子と P815/USB_DM 端子を GPIO 端子または USB 端子として使用する場合、リセット後にこれらの端子を 1 回だけ設定してください。

19.5.7 USBFS/GPIO 機能における P814 と P815 のプルアップ／プルダウン設定

P814 と P815 の GPIO 機能を使用する場合、USBFS レジスタのプルアップ／プルダウン機能が P814 と P815 に影響を及ぼします。したがって、GPIO 機能を使用する前に、USBFS のプルアップ／プルダウン制御は禁止する必要があります。コントロールレジスタは、SYSCFG.DPRPU ビットと SYSCFG.DRPD ビットです。

19.6 製品ごとの周辺選択設定

本項では、PmnPFS レジスタを用いた端子機能選択設定について説明します。いくつかの端子名には、_A、_B、または_C という接尾語が付加されています。IIC、SPI、SSIE、および ETHERC 機能を割り当てる場合、同じ接尾語の機能端子を選択してください。その他の端子は、接尾語に関係なく選択可能です。ただし、同じ機能を 2 つ以上の端子に同時に割り当てることはしないでください。

1. Pmn 端子機能選択レジスタ (PmnPFS) では、対象端子の PMR ビットが 0 のときに、PSEL ビットを設定する必要があります。PMR ビットが 1 のときに PSEL ビットを設定すると、入力機能の場合は意図しないエッジが入力され、出力機能の場合は意図しないパルスが外部端子に出力される場合があります。
2. PmnPFS レジスタの PSEL ビットでは、許可された値（機能）以外に設定しないでください。このレジスタに許可されていない値を設定した場合、正しい動作は保証されません。
3. PmnPFS レジスタでは、1 つの機能を複数の端子に割り付けないでください。GPT1、GPT5、SCI3、IIC0、SPI0 がセキュアに設定され、かつ PmSAR レジスタによってセキュリティ属性が「セキュア」に設定されている端子にこれらの端子機能が割り付けられているとき、セキュリティ属性が「非セキュア」に設定されている他の端子にセキュアな端子に割り付けられているのと同じ機能を設定するための PSEL ビットへの書き込みは無視されます。たとえば、PSARE.PSARE30 ビットが 0（GPT1 がセキュア）、P209PFS.PSEL ビットが 00011b（端子機能は GTIOC1A）で P2SAR.109SA ビットが 0（P209 はセキュア）の場合、P4SAR.405SA ビットが 1（P405 は非セキュア）のときの P405PFS.PSEL ビットへの 00011b の書き込みは無視されます。
4. PORT0、PORT5、および PORT8 は、A/D コンバータなどのアナログ機能を持っています。これらの端子をアナログ機能として使用する場合、分解能の低下を防止するため、PMR ビットと PDR ビットは 0 にしてください。その後、ASEL ビットを 1 にしてください。

表 19.6 入出力端子機能のレジスタ設定 (PORT0)

PSEL[4:0]設定値	機能	端子												
		P000	P001	P002	P003	P004	P005	P006	P007	P008	P009	P010	P014	P015
00000b（リセット後の値）	Hi-Z/ JTAG/SWD	Hi-Z												
ASEL ビット		AN100/ IVCMP2	AN101/ IVREF0	AN102/ IVCMP3	AN104/ IVREF1	AN000/ IVCMP2	AN001	AN002/ IVCMP3	AN004	AN008	AN006	AN005/ IVCMP0	AN007/D A0	AN105
ISEL ビット		IRQ6-DS	IRQ7-DS	IRQ8-DS	—	IRQ9-DS	IRQ10-DS	IRQ11-DS	—	IRQ12-DS	IRQ13-DS	IRQ14	—	IRQ13
DSCR[1:0]ビット	駆動能力制御 (注1)	L	L	L	L	L	L	L	L	L	L	L	L	L
NCODR ビット	N チャネルオープンドレイン	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
144 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
100 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	—	—	✓	✓

✓：利用可能
—：設定禁止
注 1. このポートの駆動強度は、PmnPFS.DSCR[1:0]ビットで制御することはできません。

表 19.7 入出力端子機能のレジスタ設定 (PORT1) (1/2)

PSEL[4:0]設定値	機能	端子											
		P100	P101	P102	P103	P104	P105	P106	P107	P112	P113	P114	P115
00000b（リセット後の値）	Hi-Z/ JTAG/SWD	Hi-Z											
00001b	AGT	AGTIO0	AGTEE0	AGTO0	—	—	—	AGTOB0	AGTOA0	—	—	—	—

表 19.7 入出力端子機能のレジスタ設定 (PORT1) (2/2)

PSEL[4:0]設定値	機能	端子											
		P100	P101	P102	P103	P104	P105	P106	P107	P112	P113	P114	P115
00010b	GPT(注2)	GTETRGA	GTETRGB	—	—	GTETRGB	—	—	—	—	—	—	—
00011b	GPT(注2)	—	—	GTIOC2B	GTIOC2A	GTIOC1B	GTIOC1A	—	—	GTIOC3B	GTIOC2A	GTIOC2B	GTIOC5A
00100b	SCI(注1)	—	—	—	—	—	—	—	—	TXD0_A/ MOSI0_A/ SDA0_A	RXD0_A/ MISO0_A/ SCL0_A	CTS0_RTS0_A/ SS0_A	CTS0_A
00101b	SCI(注1)	SCK9_A	RXD9_A/ MISO9_A/ SCL9_A/	TXD9_A/ MOSI9_A/ SDA9_A/	CTS9_RTS9_A/ SS9_A	CTS9_A	—	—	—	—	—	—	—
00110b	SPI(注1)	MISOB_A	MOSIB_A	RSPCKB_A	SSLB0_A	SSLB1_A	SSLB2_A	SSLB3_A	—	SSLA2_B	SSLA1_B	SSLA0_B	MOSIA_B
01010b	CAC/ADC12	—	—	ADTRG 0	—	—	—	—	—	—	—	—	—
01101b	SCI	—	—	—	—	—	—	—	—	—	—	DE0	—
01110b	SCI	DE9	—	—	DE9	—	—	—	—	—	—	—	—
10000b	CANFD	—	—	CRX0	CTX0	—	—	—	—	—	—	—	—
10010b	SSIE(注1)	—	—	—	—	—	—	—	—	SSIBCK0_B	SSILRCK0/SSIFS0_B	SSIRXD0_B	SSITXD0_B
10110b	ETHERC (MII)	—	—	—	—	—	—	—	—	ET0_CRS	ET0_EXOUT	ET0_LINKSTA	ET0_WOL
10111b	ETHERC (RMII)	—	—	—	—	—	—	—	—	RMII0_CRS_DV_A	ET0_EXOUT	ET0_LINKSTA	ET0_WOL
11100b	OSPI	OM_SIO0	OM_SIO3	OM_SIO4	OM_SIO2	OM_CS1	OM_ECSINT1	OM_RESET	OM_CS0	—	—	—	—
11110b	ULPT	—	—	—	—	—	ULPTO1-DS	ULPTEE1-DS	—	ULPTOB0-DS	ULPTOA0-DS	—	—
ASEL ビット		—	—	—	—	—	—	—	—	—	—	—	—
ISEL ビット		IRQ2	IRQ1	—	—	IRQ1	IRQ0	—	—	—	—	—	—
DSCR[1:0]ビット	駆動能力制御	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H
NCODR ビット	N チャネルオープンドレイン	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
144 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
100 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓

✓：利用可能
—：設定禁止

注 1. 弊社は、所属グループを示すため、端子名の末尾に“_A”や“_B”などの文字を付加しています。弊社では同一グループ端子の使用を推奨します。電気的特性の AC タイミングは各グループで測定しています。

注 2. 中駆動と高駆動の 2 種類の出力バッファが利用可能です。出力スキューの仕様 (t_{GTISK}) に合わせて、同じ駆動バッファの使用を推奨します。

表 19.8 入出力端子機能のレジスタ設定 (PORT2) (1/2)

PSEL[4:0]設定値	機能	端子											
		P200(注4)	P201	P202	P203	P204	P205	P206	P208	P209	P210	P211	P212	P213
00000b（リセット後の値）	Hi-Z/ JTAG/SWD	Hi-Z							TDI	TDO	TMS/ SWDIO	TCK/ SWCLK	Hi-z	
00001b	AGT	—	—	—	—	AGTIO1	AGTO1	—	—	—	—	—	AGTEE 1	—
00010b	GPT(注2)	—	—	—	—	—	—	—	—	—	—	—	GTETRGD	GTETRGC
00011b	GPT(注2)	—	—	GTIOC5B	GTIOC5A	GTIOC4B	GTIOC4A	—	GTIOC1B	GTIOC1A	GTIOC0B	GTIOC0A	GTIOC0B	GTIOC0A
00100b	SCI(注1)	—	—	—	—	SCK4_A	TXD4_A/ MOSI4_A /SDA4_A	RXD4_A/ MISO4_A /SCL4_A	—	—	—	—	—	—
00101b	SCI(注1)	—	—	—	—	—	—	—	RXD9_B/ MISO9_B /SCL9_B	TXD9_B/ MOSI9_B /SDA9_B	CTS9_RTS9_B/ SS9_B	SCK9_B	RXD1_C/ MISO1_C /SCL1_C	TXD1_C/ MOSI1_C /SDA1_C
00110b	SPI(注1)	—	—	MOSIA_A	RSPCKA_A	SSLA0_A	SSLA1_A	SSLA2_A	—	—	—	—	—	—
00111b	IIC(注1)	—	—	—	—	—	SCL1_B	SDA1_B	—	—	—	—	—	—

表 19.8　入出力端子機能のレジスタ設定 (PORT2) (2/2)

PSEL[4:0]設定値	機能	端子												
		P200(注4)	P201	P202	P203	P204	P205	P206	P208	P209	P210	P211	P212	P213
01001b	CLKOUT/ ACMPHS/RTC	—	—	—	—	—	CLKOUT	—	VCOUT	CLKOUT	—	—	—	—
01010b	CAC/ADC12	—	—	—	—	CACREF	—	—	—	—	—	—	—	ADTRG 1
01101b	SCI	—	—	—	—	DE4	—	—	—	—	—	—	—	—
01110b	SCI	—	—	—	—	—	—	—	—	—	DE9	DE9	—	—
10000b	CANFD	—	—	CRX0	CTX0	—	—	—	CRX1	CTX1	—	—	—	—
10010b	SSIE(注1)	—	—	—	—	SSIBCK1_A	SSILRCK1/ SSIFS1_A	SSIDATA1_A	—	—	—	—	—	—
10011b	USBFS	—	—	—	—	USB_OVRCURB	USB_OVRCURA	USB_VBUSEN	—	—	—	—	—	—
11110b	ULPT	—	—	ULPTOB1	ULPTOA1	—	—	—	—	—	—	—	—	ULPTEE0
Don't care	トレース（デバッグ）／クロック	—	—	—	—	—	—	—	—	SWO	—	—	EXTAL	XTAL
ASEL ビット		—	—	—	—	—	—	—	—	—	—	—	—	—
ISEL ビット		—	—	IRQ3-DS	IRQ2-DS	—	IRQ1-DS	IRQ0-DS	IRQ3	—	—	—	IRQ3	IRQ2
DSCR[1:0]ビット	駆動能力制御	—	L(注3)	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H
NCODR ビット	N チャネルオープンドレイン	—	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
144 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
100 ピン製品		✓	✓	—	—	—	✓	✓	✓	✓	✓	✓	✓	✓

✓：利用可能
—：設定禁止

注 1.　弊社は、所属グループを示すため、端子名の末尾に“_A”や“_B”などの文字を付加しています。弊社では同一グループ端子の使用を推奨します。電気的特性の AC タイミングは各グループで測定しています。
注 2.　中駆動と高駆動の 2 種類の出力バッファが利用可能です。出力スキューの仕様 (t_{GTISK}) に合わせて、同じ駆動バッファの使用を推奨します。
注 3.　このポートの駆動強度は、PmnPFS.DSCR[1:0]ビットで制御することはできません。
注 4.　NMI 端子割り込みを使用する場合、ポートに関連するレジスタの設定は不要です。

表 19.9　入出力端子機能のレジスタ設定 (PORT3) (1/2)

PSEL[4:0]設定値	機能	端子												
		P300	P301	P302	P303	P304	P305	P306	P307	P308	P309	P310	P311	P312	P313
00000b（リセット後の値）	Hi-Z/ JTAG/SWD	Hi-z													
00001b	AGT	—	AGTIO0	—	—	—	—	—	—	—	—	AGTEE1	AGTOB1	AGTOA1	—
00010b	GPT(注2)	—	—	—	—	—	—	—	—	—	—	—	GTADSM1	GTADSM0	—
00011b	GPT(注2)	GTIOC3A	GTIOC4B	GTIOC4A	—	—	—	—	—	—	—	—	—	—	—
00100b	SCI(注1)	SCK0_A	—	—	—	—	—	—	—	—	—	—	—	—	—
00101b	SCI(注1)	—	—	—	—	—	—	—	—	CTS9_B	RXD3_B/ MISO3_B/ SCL3_B	TXD3_B/ MOSI3_B/ SDA3_B	SCK3_B	CTS3_RTS3_B/ SS3_B	CTS3_C
00110b	SPI(注1)	SSLA3_B	—	—	—	—	—	—	—	—	—	—	—	—	MISOA_A
01010b	CAC/ADC12	—	—	—	—	—	—	—	—	—	—	—	—	—	—
01101b	SCI	DE0	—	—	—	—	—	—	—	—	—	—	—	—	—
01110b	SCI	—	—	—	—	—	—	—	—	—	—	—	DE3	DE3	—
10000b	CANFD	—	—	—	—	—	—	—	—	—	—	—	CRX0	CTX0	—
10110b	ETHERC (MII)	ET0_RX_CLK	ET0_ERXD0	ET0_ERXD1	ET0_ETXD0	ET0_ETXD1	ET0_RX_ER	ET0_TX_EN	ET0_MDIO	ET0_MDC	ET0_ETXD3	ET0_ETXD2	ET0_TX_ER	ET0_TX_CLK	—

表 19.9 入出力端子機能のレジスタ設定 (PORT3) (2/2)

PSEL[4:0]設定値	機能	端子													
		P300	P301	P302	P303	P304	P305	P306	P307	P308	P309	P310	P311	P312	P313
10111b	ETHERC (RMII)	RMII0_RX_ER_A	RMII0_RXD1_A	RMII0_RXD0_A	REF50CK0_A	RMII0_TXD0_A	RMII0_TXD1_A	RMII0_TXD_EN_A	ET0_MDIO	ET0_MDC	—	—	—	—	—
11110b	ULPT	ULPTEVI0-DS	ULPTEE0-DS	ULPTO0-DS	—	ULPTO1	ULPTEE1	ULPTEVI1	ULPTOA1	ULPTOB1	—	—	—	—	—
Don't care	トレース（デバッグ）	—	—	—	—	TDATA3	TDATA2	TDATA1	TDATA0	TCLK	—	—	—	—	—
ASEL ビット		—	—	—	—	—	—	—	—	—	—	—	—	—	—
ISEL ビット		IRQ4	IRQ6	IRQ5	—	IRQ9	IRQ8	—	—	—	—	—	—	—	—
DSCR[1:0]ビット	駆動能力制御	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H
NCODR ビット	N チャネルオープンドレイン	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
144 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
100 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	—	—	—	—	—

✓：利用可能
—：設定禁止

注 1. 弊社は、所属グループを示すため、端子名の末尾に“_A”や“_B”などの文字を付加しています。弊社では同一グループ端子の使用を推奨します。電気的特性の AC タイミングは各グループで測定しています。

注 2. 中駆動と高駆動の 2 種類の出力バッファが利用可能です。出力スキューの仕様 (t_{GTISK}) に合わせて、同じ駆動バッファの使用を推奨します。

表 19.10 入出力端子機能のレジスタ設定 (PORT4) (1/2)

PSEL[4:0]設定値	機能	端子															
		P400	P401	P402	P403	P404	P405	P406	P407	P408	P409	P410	P411	P412	P413	P414	P415
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z															
00001b	AGT	AGTIO1	—	—	—	—	AGTIO1	—	AGTIO0	—	—	AGTOB1	AGTOA1	AGTEE1	—	—	—
00010b	GPT(注3)	—	GTETRGA	—	—	—	—	—	—	—	—	—	—	—	—	GTADSM1	GTADSM0
00011b	GPT(注3)	—	—	—	GTIOC3A	GTIOC3B	GTIOC1A	GTIOC1B	GTIOC10B	GTIOC10A	—	—	—	—	—	GTIOC0B	GTIOC0A
00100b	SCI(注2)	—	—	—	—	—	SCK2_B	TXD2_B/MOSI2_B/SDA2_B	CTS4_RTS4_A/SS4_A	CTS4_A	—	—	—	—	—	RXD4_B/MISO4_B/SCL4_B	TXD4_B/MOSI4_B/SDA4_B
00101b	SCI(注2)	TXD1_A MOSI1_A/SDA1_A	RXD1_A/MISO1_A/SCL1_A	SCK1_A	CTS1_RTS1_A/SS4_A	CTS1_A	—	—	—	RXD3_A/MISO3_A/SCL3_A	TXD3_A/MOSI3_A/SDA3_A	SCK3_A	CTS3_RTS3_A/SS3_A	CTS3_A	—	—	—
00110b	SPI(注2)	—	—	—	—	—	—	SSLA3_C	SSLA3_A	—	—	MISOB_B	MOSIB_B	RSPCKB_B	SSLB0_B	SSLB1_B	SSLB2_B
00111b	IIC(注2)	—	—	—	—	—	—	—	SDA0_B	SCL0_B	SDA0_A	SCL0_A	—	—	—	—	—
01001b	CLKOUT/ACMPHS/RTC	—	—	—	—	—	—	—	RTCOUT	—	—	—	—	—	—	—	—
01010b	CAC/ADC12	ADTRG1	—	CACREF	—	—	—	—	ADTRG0	—	—	—	—	—	—	—	—
01101b	SCI	—	—	—	—	—	DE2	—	DE4	—	—	—	—	—	—	—	—
01110b	SCI	—	—	DE1	DE1	—	—	—	—	—	—	DE3	DE3	—	—	—	—
01111b	CEU	VIO_D0	VIO_D1	—	—	VIO_D3	VIO_D2	VIO_D3	—	—	—	—	—	—	—	—	—
10000b	CANFD	—	CTX0	CRX0	—	—	—	—	—	—	—	—	—	—	—	CRX1	CTX1
10010b	SSIE(注2)	AUDIO_CLK	—	AUDIO_CLK	SSIBCK0_A	SSILRCK0/SSIFS0_A	SSITXD0_A	SSIRXD0_A	—	—	—	—	—	—	—	—	—

表 19.10　入出力端子機能のレジスタ設定 (PORT4) (2/2)

PSEL[4:0] 設定値	機能	端子															
		P400	P401	P402	P403	P404	P405	P406	P407	P408	P409	P410	P411	P412	P413	P414	P415
10011b	USBFS	—	—	—	—	—	—	—	USB_VBUS	USB_VBUSEN	USB_OVRCURA-DS	USB_OVRCURB-DS	USB_ID	USB_EXICEN	—	—	—
10110b	ETHERC (MII)	ET0_WOL	ET0_MDC	ET0_MDIO	ET0_LINKSTA	ET0_EXOUT	ET0_TX_EN	ET0_RX_ER	—	—	—	—	—	—	—	—	—
10111b	ETHERC (RMII)	ET0_WOL	ET0_MDC	ET0_MDIO	ET0_LINKSTA	ET0_EXOUT	RMII0_TXD_EN_B	RMII0_TXD1_B	—	—	—	—	—	—	—	—	—
11110b	ULPT	—	—	—	—	—	—	—	—	ULPTOB0	ULPTOA0	—	—	—	ULPTEE1	—	—
Don't care	RTC／クロック	—	—	RTCIC0 (注1)	RTCIC1 (注1)	RTCIC2 (注1)	—	EXCIN	—	—	—	—	—	—	—	—	—
ASEL ビット		—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ISEL ビット		IRQ0	IRQ5-DS	IRQ4-DS	IRQ14-DS	IRQ15-DS	—	—	—	IRQ7	IRQ6	IRQ5	IRQ4	—	—	IRQ9	IRQ8
DSCR[1:0] ビット	駆動能力制御	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H
NCODR ビット	N チャネルオープンドレイン	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
144 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
100 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓

✓：利用可能
—：設定禁止

注 1.　この端子機能を使用する場合は、該当端子を汎用入力（PmnPFS.PDR ビットと PmnPFS.PMR ビットを 0）に設定してください。
注 2.　弊社は、所属グループを示すため、端子名の末尾に“_A”や“_B”などの文字を付加しています。弊社では同一グループ端子の使用を推奨します。電気的特性の AC タイミングは各グループで測定しています。
注 3.　中駆動と高駆動の 2 種類の出力バッファが利用可能です。出力スキューの仕様 (t_{GTISK}) に合わせて、同じ駆動バッファの使用を推奨します。

表 19.11　入出力端子機能のレジスタ設定 (PORT5)

PSEL[4:0]設定値	機能	端子		
		P511	P512	P513
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z		
00011b	GPT(注2)	GTIOC0B	GTIOC0A	—
00111b	IIC	SDA1_A	SCL1_A	—
01010b	CAC/ADC12	—	—	—
01111b	CEU	—	—	VIO_FLD
10000b	CANFD	CRX1	CTX1	—
10011b	USBFS	—	—	—
11110b	ULPT	—	—	—
ASEL ビット		—	—	IVCMP0
ISEL ビット		IRQ15	IRQ14	—
DSCR[1:0]ビット	駆動能力制御	L/M/H	L/M/H	L/M/H
NCODR ビット	N チャネルオープンドレイン	✓	✓	✓
PCR ビット	プルアップ	✓	✓	✓
144 ピン製品		✓	✓	✓
100 ピン製品		—	—	—

✓：利用可能
—：設定禁止

注 1.　弊社は、所属グループを示すため、端子名の末尾に“_A”や“_B”などの文字を付加しています。弊社では同一グループ端子の使用を推奨します。電気的特性の AC タイミングは各グループで測定しています。
注 2.　中駆動と高駆動の 2 種類の出力バッファが利用可能です。出力スキューの仕様 (t_{GTISK}) に合わせて、同じ駆動バッファの使用を推奨します。

表 19.12 入出力端子機能のレジスタ設定 (PORT6)

PSEL[4:0]設定値	機能	端子											
		P600	P601	P602	P603	P604	P605	P609	P610	P611	P612	P613	P614
00000b（リセット後の値）	Hi-Z/ JTAG/SWD	Hi-Z											
00001b	AGT	—	—	—	—	—	—	—	—	—	—	AGTO1	AGTO0
00010b	GPT(注2)	—	—	—	—	—	—	—	—	—	—	GTETRGA	GTETRGB
00011b	GPT(注2)	—	—	—	—	—	—	GTIOC5B	GTIOC4A	GTIOC4B	—	—	—
00100b	SCI(注1)	—	SCK0_B	RXD0_B/ MISO0_B/ SCL0_B	TXD0_B/ MOSI0_B/ SDA0_B	CTS0_RTS0_B/ SS0_B	CTS0_B	TXD0_C/ MOSI0_C/ SDA0_C	RXD0_C/ MISO0_C/ SCL0_C	SCK0_C	CTS0_RTS0_C/ SS0_C	CTS0_C	—
00110b	SPI(注1)	—	—	—	—	—	—	MISOA_B	RSPCKA_B	MOSIA_B	SSLA0_B	—	—
01001b	CLKOUT/ ACMPHS/RTC	—	RTCOUT	—	—	—	—	—	—	CLKOUT	—	—	—
01010b	CAC/ADC12	CACREF	—	—	—	—	—	—	—	CACREF	—	—	—
01101b	SCI	—	DE0	—	—	DE0	—	—	—	DE0	DE0	—	—
10000b	CANFD	—	—	—	—	—	—	CTX1	CRX1	—	—	—	—
10011b	USBFS	—	—	—	—	—	—	—	—	—	—	—	—
10110b	ETHERC (MII)	—	—	—	—	—	—	ET0_RX_DV	ET0_COL	ET0_ERXD2	ET0_ERXD3	—	—
11100b	OSPI	OM_RSTO1	OM_WP1	—	—	—	—	—	—	—	—	—	—
11110b	ULPT	ULPTEVI1-DS	ULPTEVI0	ULPTEE0	ULPTO0	—	—	ULPTOA1-DS	ULPTOB1-DS	—	—	—	—
ASEL ビット		—	—	—	—	—	—	—	—	—	—	—	—
ISEL ビット		—	—	—	—	—	—	—	—	—	—	—	—
DSCR[1:0]ビット	駆動能力制御	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H
NCODR ビット	N チャネルオープンドレイン	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
144 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
100 ピン製品		✓	—	—	—	—	—	✓	✓	—	—	—	—

✓：利用可能
—：設定禁止

注 1. 弊社は、所属グループを示すため、端子名の末尾に“_A”や“_B”などの文字を付加しています。弊社では同一グループ端子の使用を推奨します。電気的特性の AC タイミングは各グループで測定しています。

注 2. 中駆動と高駆動の 2 種類の出力バッファが利用可能です。出力スキューの仕様 (t_{GTISK}) に合わせて、同じ駆動バッファの使用を推奨します。

表 19.13 入出力端子機能のレジスタ設定 (PORT7) (1/2)

PSEL[4:0]設定値	機能	端子											
		P700	P701	P702	P703	P704	P705	P708	P709	P710	P711	P712	P713
00000b（リセット後の値）	Hi-Z/ JTAG/SWD	Hi-Z											
00001b	AGT	—	—	—	AGTO1	AGTO0	AGTIO0	—	—	—	AGTEE0	AGTOB0	AGTOA0
00010b	GPT(注2)	—	—	—	—	GTADSM0	GTADSM1	—	—	—	—	—	—
00011b	GPT(注2)	GTIOC5A	GTIOC5B	—	—	—	—	—	—	—	—	GTIOC2B	GTIOC2A
00100b	SCI(注1)	RXD2_B MISO2_B/ SCL2_B	CTS2_RTS2_B/ SS2_B	CTS2_B	—	—	—	SCK4_B	CTS4_RTS4_B/ SS4_B	CTS4_B	—	—	—
00101b	SCI(注1)	—	—	—	—	—	CTS1_B	—	—	—	—	—	—
00110b	SPI(注1)	MISOA_C	MOSIA_C	RSPCKA_C	SSLA0_C	SSLA1_C	SSLA2_C	SSLB3_B	—	—	—	—	—
01001b	CLKOUT/ ACMPHS/RTC	—	—	—	VCOUT	—	—	—	—	—	—	—	—
01010b	CAC/ADC12	—	—	—	—	—	—	CACREF	—	—	—	—	—
01101b	SCI	—	DE2	—	—	—	—	DE4	DE4	—	—	—	—
01111b	CEU	VIO_D4	VIO_D5	VIO_D6	VIO_D7	—	—	VIO_CLK	VIO_HD	VIO_VD	—	—	—
10000b	CANFD	—	—	—	—	CTX0	CRX0	—	—	—	—	—	—

表 19.13 入出力端子機能のレジスタ設定 (PORT7) (2/2)

PSEL[4:0]設定値	機能	端子											
		P700	P701	P702	P703	P704	P705	P708	P709	P710	P711	P712	P713
10010b	SSIE(注1)	SSIDATA1_B	SSILRCK1/SSIFS1_A	SSIBCK1_B	—	—	—	AUDIO_CLK	—	—	—	—	—
10110b	ETHERC (MII)	ET0_ETXD1	ET0_ETXD0	ET0_ERXD1	ET0_ERXD0	ET0_RX_CLK	ET0_CRS	—	—	—	—	—	—
10111b	ETHERC (RMII)	RMII0_TXD0_B	REF50CK0_B	RMII0_RXD0_B	RMII0_RXD1_B	RMII0_RX_ER_B	RMII0_CRS_DV_B	—	—	—	—	—	—
11110b	ULPT	—	ULPTO1	ULPTO0	—	—	—	—	—	—	—	—	—
ASEL ビット		—	—	—	—	—	—	—	—	—	—	—	—
ISEL ビット		—	—	—	—	—	—	IRQ11	IRQ10	—	—	—	—
DSCR[1:0]ビット	駆動能力制御	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H
NCODR ビット	N チャネルオープンドレイン	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
144 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
100 ピン製品		—	—	—	—	—	—	✓	—	—	—	—	—

✓：利用可能
—：設定禁止

注 1. 弊社は、所属グループを示すため、端子名の末尾に“_A”や“_B”などの文字を付加しています。弊社では同一グループ端子の使用を推奨します。電気的特性の AC タイミングは各グループで測定しています。

注 2. 中駆動と高駆動の 2 種類の出力バッファが利用可能です。出力スキューの仕様 (t_{GTISK}) に合わせて、同じ駆動バッファの使用を推奨します。

表 19.14 入出力端子機能のレジスタ設定 (PORT8)

PSEL[4:0]設定値	機能	端子										
		P800	P801	P802	P803	P804	P805	P806	P808	P809	P814	P815
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z										
00001b	AGT	AGTOA0	AGTOB0	—	—	—	—	—	—	—	—	—
00010b	GPT(注2)	—	—	—	GTETRGC	GTETRGD	—	—	—	—	—	—
00011b	GPT(注2)	GTIOC11A	GTIOC11B	GTIOC12A	GTIOC12B	GTIOC13A	—	—	GTIOC13B	—	—	—
00100b	SCI(注1)	CTS2_A	TXD2_A/MOSI2_A/SDA2_A	RXD2_A/MISO2_A/SCL2_A	SCK2_A	CTS2_RTS2_A/SS2_A	—	—	—	—	—	—
01101b	SCI	—	—	—	DE2	DE2	—	—	—	—	—	—
01111b	CEU	—	—	—	—	—	—	—	—	—	—	—
10000b	CANFD	—	—	—	—	—	—	—	—	—	CRX0	CTX0
10011b	USBFS	—	—	—	—	—	—	—	—	—	—	—
11100b	OSPI	OM_SIO5	OM_DQS	OM_SIO6	OM_SIO1	OM_SIO7	—	—	OM_SCLK	OM_SCLKN	—	—
11110b	ULPT	—	—	—	—	—	—	—	—	—	—	—
Don't care	USBFS	—	—	—	—	—	—	—	—	—	UBS_DP	UBS_DM
ASEL ビット		—	—	—	—	—	—	—	—	—	—	—
ISEL ビット		IRQ11	IRQ12	—	—	IRQ14	—	IRQ0	IRQ15	—	—	—
DSCR[1:0]ビット	駆動能力制御	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H/HH	L/M/H	L/M/H	L/M/H/HH	L/M/H/HH	L/M/H	L/M/H
NCODR ビット	N チャネルオープンドレイン	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
144 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
100 ピン製品		✓	✓	✓	✓	✓	—	—	✓	✓	✓	✓

✓：利用可能
—：設定禁止

注 1. 弊社は、所属グループを示すため、端子名の末尾に“_A”や“_B”などの文字を付加しています。弊社では同一グループ端子の使用を推奨します。電気的特性の AC タイミングは各グループで測定しています。

注 2. 中駆動と高駆動の 2 種類の出力バッファが利用可能です。出力スキューの仕様 (t_{GTISK}) に合わせて、同じ駆動バッファの使用を推奨します。

表 19.15　入出力端子機能のレジスタ設定 (PORT9)

PSEL[4:0]設定値	機能	端子
		P905
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z
00001b	AGT	—
00011b	GPT(注2)	—
00101b	SCI(注1)	CTS3_B
01001b	CLKOUT/ACMPHS/RTC	—
10011b	USBFS	—
ASEL ビット		—
ISEL ビット		IRQ8
DSCR[1:0]ビット	駆動能力制御	L/M/H
NCODR ビット	N チャネルオープンドレイン	✓
PCR ビット	プルアップ	✓
144 ピン製品		✓
100 ピン製品		—

✓：利用可能
—：設定禁止

注 1.　弊社は、所属グループを示すため、端子名の末尾に“_A”や“_B”などの文字を付加しています。弊社では同一グループ端子の使用を推奨します。電気的特性の AC タイミングは各グループで測定しています。

注 2.　中駆動と高駆動の 2 種類の出力バッファが利用可能です。出力スキューの仕様 (t_{GTISK}) に合わせて、同じ駆動バッファの使用を推奨します。

20. GPT 用のポートアウトプットイネーブル (POEG)

20.1 概要

ポートアウトプットイネーブル (POEG) は、以下の方法のいずれかにより、汎用 PWM タイマ (GPT) の出力端子を出力禁止状態にすることが可能です。

- GTETRGn 端子 (n = A～D) の入力レベル検出
- GPT からの出力禁止要求
- コンパレータ割り込み要求検出
- クロック発生回路の発振停止検出
- レジスタ設定値

GTETRGn 端子 (n = A～D) は、GPT への外部トリガ入力端子として利用可能です。

表 20.1 に POEG の仕様を、図 20.1 にブロック図を、表 20.2 に入力端子を示します。

表 20.1 POEG の仕様

項目	内容
入力レベル検出による出力禁止制御	極性とフィルタの選択後、GTETRGn 端子の立ち上がりエッジまたは High レベルをサンプリングした場合に、GPT 出力端子を出力禁止に設定可能
GPT からの出力禁止要求	GTIOCxA 端子と GTIOCxB 端子が同時にアクティブレベルとなる場合、GPT は POEG に対して出力禁止要求を発生させる。POEG は、これらの出力禁止要求を受信して、GTIOCxA および GTIOCxB 端子を出力禁止にするか否かの制御が可能
コンパレータ (ACMPHS) 割り込み要求検出による出力禁止制御	割り込み要求がどのコンパレータ出力結果の変化によって発生した場合でも、GPT 出力端子を出力禁止に設定可能
発振停止検出による出力禁止制御	クロック発生回路の発振が停止した場合に、GPT 出力端子を出力禁止に設定可能
ソフトウェア（レジスタ）による出力禁止制御	レジスタの設定値を書き換えることにより、GPT 出力端子を出力禁止に設定可能
割り込み	外部トリガ入力端子（GTETRGn 端子）の入力レベル検出により、割り込みを発生させることが可能 すべての GPT 出力端子または ACMPHS 出力端子の出力レベルが同時にアクティブレベルとなる場合に、割り込みを発生させることが可能
GPT に対する外部トリガ出力機能	極性とフィルタの選択後、GTETRGn 信号を GPT へ出力可能 （カウント開始／カウント停止／カウントクリア／アップカウント／ダウンカウント／インプットキャプチャ機能）
ノイズフィルタリング	GTETRGn 端子からの入力に対して、ノイズフィルタクロックを、PCLKB/1, PCLKB/8, PCLKB/32, PCLKB/128 クロックからそれぞれ選択可能（選択クロックを用いて、入力信号を 3 回サンプリングすることでフィルタリング） どの GTETRGn 端子からの入力に対しても、正極性、負極性をそれぞれ選択可能 極性およびフィルタ選択後の信号状態のモニタが可能
モジュールストップ機能	グループごとにモジュールストップ状態に設定して消費電力の削減が可能
TrustZone フィルタ	グループごとにセキュリティ属性とプリビレッジ属性の設定が可能

注. n = A～D、x = 0～5、10～13

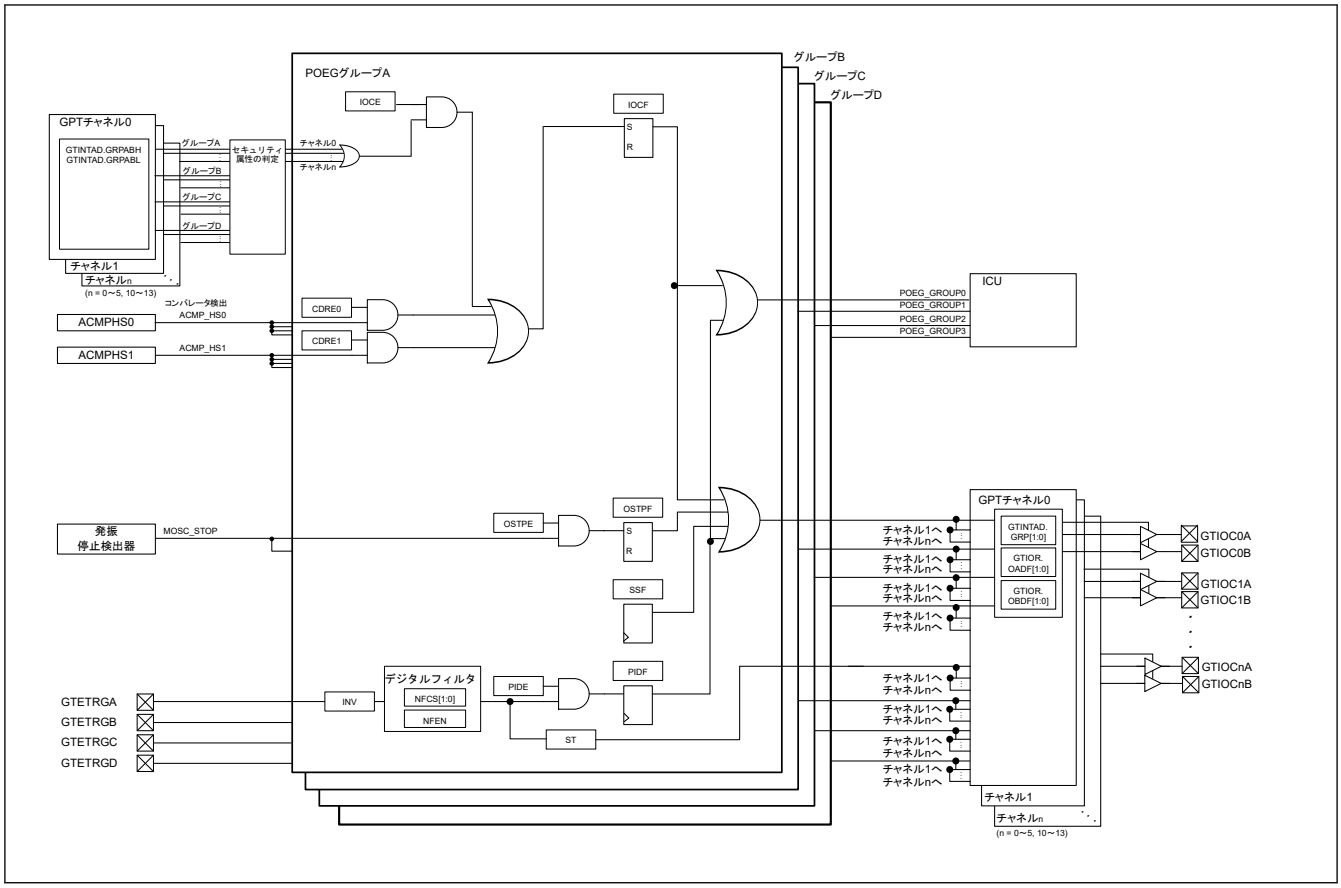


図 20.1　POEG ブロック図

表 20.2　POEG の入力端子

端子名称	入出力	機能
GTETRGA	入力	GPT 出力端子の出力禁止要求信号および GPT 外部トリガ入力端子 A
GTETRGB	入力	GPT 出力端子の出力禁止要求信号および GPT 外部トリガ入力端子 B
GTETRGC	入力	GPT 出力端子の出力禁止要求信号および GPT 外部トリガ入力端子 C
GTETRGD	入力	GPT 出力端子の出力禁止要求信号および GPT 外部トリガ入力端子 D

20.2　レジスタの説明

20.2.1　POEGGn : POEG グループ n 設定レジスタ (n = A～D)

Base address: POEG = 0x4021_2000
POEG_NS = 0x5021_2000

Offset address: 0x000 (POEGGA)
0x100 (POEGGB)
0x200 (POEGGC)
0x300 (POEGGD)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	NFCS[1:0]		NFEN	INV	—	—	—	—	—	—	—	—	—	—	—	ST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CDRE1	CDRE0	—	OSTPE	IOCE	PIDE	SSF	OSTPF	IOCF	PIDF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PIDF	ポート入力検出フラグ 0: GTETRGn 端子からの出力禁止要求なし 1: GTETRGn 端子からの出力禁止要求あり	R/W(注1)
1	IOCF	GPT/ACMPHS 出力禁止要求検出フラグ 0: GPT またはコンパレータ割り込みからの出力禁止要求なし 1: GPT またはコンパレータ割り込みからの出力禁止要求あり	R/W(注1)
2	OSTPF	発振停止検出フラグ 0: 発振停止検出による出力禁止要求なし 1: 発振停止検出による出力禁止要求あり	R/W(注1)
3	SSF	ソフトウェア停止フラグ 0: ソフトウェアからの出力禁止要求なし 1: ソフトウェアからの出力禁止要求あり	R/W
4	PIDE	ポート入力検出許可 0: GTETRGn 端子からの出力禁止要求を禁止 1: GTETRGn 端子からの出力禁止要求を許可	R/W(注2)
5	IOCE	GPT 出力禁止要求許可 0: GPT による出力禁止要求を禁止 1: GPT による出力禁止要求を許可	R/W(注2)
6	OSTPE	発振停止検出許可 0: 発振停止検出による出力禁止要求を禁止 1: 発振停止検出による出力禁止要求を許可	R/W(注2)
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	CDRE0	ACMP_HS0 許可 0: ACMPHS0 からの出力禁止要求を禁止 1: ACMPHS0 からの出力禁止要求を許可	R/W(注2)
9	CDRE1	ACMP_HS1 許可 0: ACMPHS1 からの出力禁止要求を禁止 1: ACMPHS1 からの出力禁止要求を許可	R/W(注2)
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	ST	GTETRGn 入力ステータスフラグ 0: フィルタリング後の GTETRGn 入力は 0 1: フィルタリング後の GTETRGn 入力は 1	R
27:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	INV	GTETRGn 入力反転 0: GTETRGn をそのまま入力 1: GTETRGn を反転して入力	R/W
29	NFEN	ノイズフィルタ有効 0: ノイズフィルタリングを禁止 1: ノイズフィルタリングを許可	R/W
31:30	NFCS[1:0]	ノイズフィルタクロック選択 0 0: GTETRGn 端子の入力レベルを PCLKB クロックごとに 3 回サンプリング 0 1: GTETRGn 端子の入力レベルを PCLKB/8 クロックごとに 3 回サンプリング 1 0: GTETRGn 端子の入力レベルを PCLKB/32 クロックごとに 3 回サンプリング 1 1: GTETRGn 端子の入力レベルを PCLKB/128 クロックごとに 3 回サンプリング	R/W

注. S-TYPE3, P-TYPE3
注 1. フラグをクリアするための 0 の書き込みのみ可能です。
注 2. リセット後、1 回のみ書き込み可能です。

POEGGn (n = A～D) レジスタは、GPT 端子の出力禁止状態、割り込み、および GPT への外部トリガ入力を制御します。

以下の説明で POEGGn とは、POEGGn (n = A～D) レジスタを表しています。

20.3 出力禁止制御の動作

以下のいずれかの条件が成立したとき、GTIOCxA、GTIOCxB、および BLDC モーター制御用 3 相 PWM 出力端子を出力禁止に設定できます。

- GTETRGn 端子の入力レベルまたはエッジ検出
  POEGGn.PIDE ビットが 1 の状態で、POEGGn.PIDF フラグが 1 になったとき
- GPT からの出力禁止要求
  POEGGn.IOCE ビットが 1 の場合、GTINTAD レジスタで禁止要求が許可されていると、POEGGn.IOCF フラグが 1 になります。GTINTAD.GRPABH ビットおよび GTINTAD.GRPABL ビットの設定値が、GPT レジスタの GTINTAD.GRP[1:0]ビットまたは OPSCR.GRP[1:0]ビットで選択されたグループに適用されます。

  注.　GPT と POEG のセキュリティ属性が同じ場合のみ禁止要求は有効です。POEG のセキュリティ属性と異なるセキュリティ属性を持つ GPT からの禁止要求は、セキュリティ属性の判定により無効になります。
- コンパレータ (ACMPHS) 割り込み要求検出
  コンパレータ割り込みの検出は、POEGGn.CDREi (i = 0, 1) のいずれかが 1 の場合に有効になります。対応するコンパレータ割り込みが発生すると、GPT 出力端子は出力禁止状態になります。POEGGn.IOCF フラグが検出状態を示します。
- クロック発生回路の発振停止検出
  POEGGn.OSTPE ビットが 1 の状態で、メインクロック発振器の停止が検出され、POEGGn.OSTPF フラグが 1 になったとき
- SSF ビットの設定
  POEGGn.SSF を 1 に設定すると、GPT と PWM の出力が無効になります。

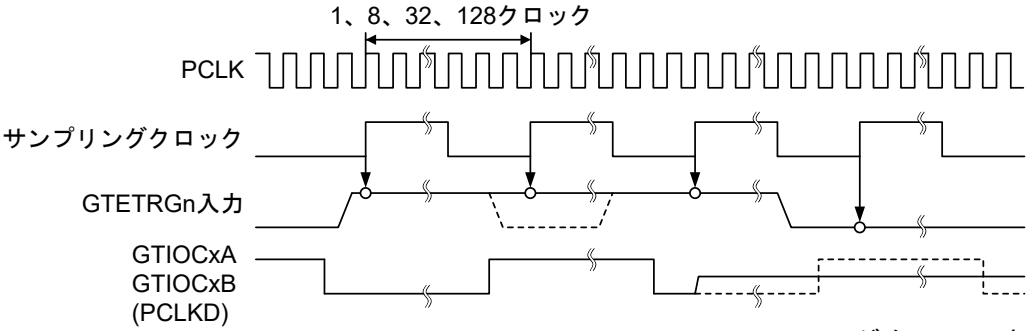
出力禁止の状態は、GPT モジュールで制御します。GTIOCxA 端子と GTIOCxB 端子の出力禁止は、GPTx の GTINTAD.GRP[1:0]ビット、GTIOR.OADF[1:0]ビット、および GTIOR.OBDF[1:0]ビットで設定されます。BLDC モーター制御用 3 相 PWM 出力端子の出力禁止は、GPT_OPS の OPSCR.GRP[1:0]ビットおよび OPSCR.GODF ビットで設定されます。

20.3.1　端子入力レベル検出時の動作

POEGGn.PIDE ビット、POEGGn.NFCS[1:0]ビット、POEGGn.NFEN ビット、および POEGGn.INV ビットに設定された入力条件が、GTETRGn 端子で発生すると、GPT 出力端子は出力禁止状態になります。

20.3.1.1　デジタルフィルタ

図 20.2 に、デジタルフィルタによる High 検出時の動作を示します。POEGGn.INV ビットの極性の設定に対応した High 状態が、POEGGn.NFCS[1:0]ビットと POEGGn.NFEN ビットで選択したサンプリングクロックにおいて 3 回連続して検出されたとき、High 検出とみなされて、GPT 出力端子は出力禁止状態になります。このとき、一度でも Low を検出した場合は High 検出とみなされません。さらに、サンプリングクロックが出力されていない期間は、GTETRGn 端子のレベル変化が無視されます。



注.　PCLK = PCLKB
注.　各チャネルの出力は、GPT で設定できます。Low サンプリングは、POEGGn.INV で設定できます。

図 20.2　デジタルフィルタの動作例

20.3.2 GPT からの出力禁止要求

動作の詳細については、「21. 汎用 PWM タイマ (GPT)」の GTIOC 端子出力の出力禁止制御の説明を参照してください。

20.3.3 コンパレータ割り込みの検出

POEGGn.CDREi (i = 0, 1) ビットが 1 の場合、対応するコンパレータ割り込み要求が発生すると、GPT 出力端子はグループごとに出力禁止状態になります。ステータスフラグは POEGGn.IOCF であり、これは GPT の出力禁止検出と共通です。

20.3.4 発振停止検出による出力禁止制御

POEGGn.OSTPE ビットが 1 の場合、クロック発生回路の発振停止検出機能が発振停止を検出すると、GPT 出力端子はグループごとに出力禁止になります。

20.3.5 レジスタによる出力禁止制御

GPT 出力端子は、ソフトウェア停止フラグ (POEGGn.SSF) に 1 を書き込むことで直接制御が可能です。

20.3.6 出力禁止状態の解除

出力禁止状態になっている GPT 出力端子を解放するには、リセットによって初期状態に復帰させるか、または下記のフラグをすべてクリアします。

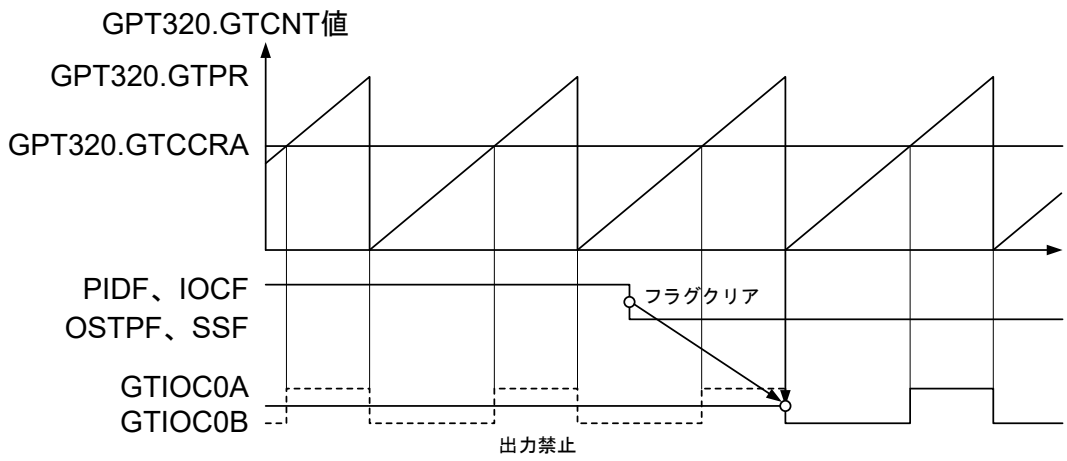
- POEGGn.PIDF
- POEGGn.IOCF
- POEGGn.OSTPF
- POEGGn.SSF

外部入力端子 GTETRGn が無効ではなく、かつ POEGGn.ST ビットが 0 になっていなければ、POEGGn.PIDF フラグに 0 を書いても無視されます（フラグはクリアされません）。

GPT の GTST.OABHF フラグおよび GTST.OABLF フラグがすべて 0 になっている場合にのみ、POEGGn.IOCF フラグに 0 を書くこと（フラグをクリアすること）ができます。

クロック発生回路の OSTDSR.OSTDF フラグが 0 になっていない場合、POEGGn.OSTPF フラグに 0 を書いても無視されます（フラグはクリアされません）。また、フラグのセットとクリアが同時に発生した場合、セットが優先されます。

図 20.3 に、出力禁止状態の解除タイミングを示します。フラグがクリアされた後、次の GPT カウント周期の開始時に、出力禁止状態が解除されます。



注. レジスタのベースアドレスは同じです。

図 20.3 GPT 端子出力の出力禁止状態の解除タイミング

20.4 割り込み要因

POEG は、以下の要因に対して割り込み要求を発生させます。

- 入力レベル検出による出力禁止制御
- GPT またはコンパレータ (ACMPHS) 割り込み要求検出からの出力禁止要求

表 20.3 に、割り込み要求の条件を示します。

表 20.3 POE の入力端子

割り込み要因	シンボル	対応するフラグ	トリガ条件
POEG グループ A 割り込み	POEG_GROUPA	POEGGA.IOCF	GPT 禁止要求からの出力禁止要求の発生
			ACMPHS 割り込みからの出力禁止要求の発生
		POEGGA.PIDF	GTETRGA 端子からの出力禁止要求の発生
POEG グループ B 割り込み	POEG_GROUPB	POEGGB.IOCF	GPT 禁止要求からの出力禁止要求の発生
			ACMPHS 割り込みからの出力禁止要求の発生
		POEGGB.PIDF	GTETRGB 端子からの出力禁止要求の発生
POEG グループ C 割り込み	POEG_GROUPC	POEGGC.IOCF	GPT 禁止要求からの出力禁止要求の発生
			ACMPHS 割り込みからの出力禁止要求の発生
		POEGGC.PIDF	GTETRGC 端子からの出力禁止要求の発生
POEG グループ D 割り込み	POEG_GROUPD	POEGGD.IOCF	GPT 禁止要求からの出力禁止要求の発生
			ACMPHS 割り込みからの出力禁止要求の発生
		POEGGD.PIDF	GTETRGD 端子からの出力禁止要求の発生

20.5 GPT に対する外部トリガ出力

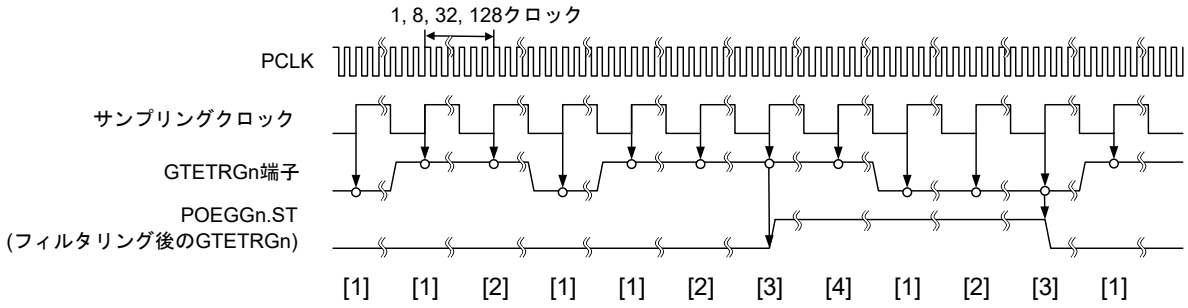
POEG は、下記の GPT 動作のトリガ信号として、GTETRGn 端子入力をフィルタリング、レベル検出して、出力します。

- カウント開始
- カウント停止

- カウントクリア
- アップカウント
- ダウンカウント
- インプットキャプチャ

POEGGn.INV ビットで設定した極性信号に対し、POEGGn.NFCS[1:0]ビットと POEGGn.NFEN ビットで選択したサンプリングクロックで同じレベルが 3 回連続して入力されたとき、その値が出力されます。「20.3.1. 端子入力レベル検出時の動作」の入力レベル検出動作と同様にコントロールレジスタを設定してください。フィルタリング後の状態は POEGGn.ST フラグでモニタできます。

図 20.4 に、GPT に対する外部トリガ出力のタイミングを示します。



注. PCLK = PCLKB
注. 各チャネルの出力は、GPT で設定可能です。極性は POEGGn.INV ビットで反転できます。

図 20.4 GPT に対する外部トリガ出力のタイミング

20.6 使用上の注意

20.6.1 ソフトウェアスタンバイモードへの遷移

POEG を使用する場合は、ソフトウェアスタンバイモードへ遷移させないでください。このモードでは POEG が停止するため、端子の出力禁止を制御することができません。

20.6.2 GPT 対応端子の指定

POEG は、PmnPFS.PMR ビットと PmnPFS.PSEL ビットの設定によって、GPT 対応端子として指定された場合にのみ出力禁止制御を行います。端子が汎用入出力端子として指定されている場合、POEG は出力禁止制御を行いません。

21. 汎用 PWM タイマ (GPT)

21.1 概要

汎用 PWM タイマ (GPT) は、GPT32 × 6 チャネルの 32 ビットタイマおよび GPT16 × 4 チャネルの 16 ビットタイマにより構成されます。PWM 波形はアップカウンタ、ダウンカウンタ、またはその両方を制御することにより生成が可能です。本 GPT は A/D 変換開始要求機能を提供します。GPT は、汎用タイマとしても使用できます。

表 21.1 に GPT の仕様を、表 21.2 に GPT の機能一覧を示します。また、図 21.1 に GPT のブロック図を示します。

表 21.1 GPT の仕様

項目	内容
機能	• 32 ビット × 6 チャネル (GPT32n (n = 0～5)) • 16 ビット × 4 チャネル (GPT16m (m = 10～13)) • 各カウンタは、アップカウントもしくはダウンカウント（のこぎり波）、またはアップダウンカウント（三角波）を選択可能 • チャネルごとに独立したクロックソースを選択可能 • チャネルごとに 2 本の入出力端子 • チャネルごとにアウトプットコンペア／インプットキャプチャ用レジスタが 2 本 • 各チャネル 2 本のアウトプットコンペア／インプットキャプチャレジスタに対し、4 本のバッファレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 • アウトプットコンペア動作時に山／谷それぞれバッファ動作可能で左右非対称な PWM 波形を生成 • チャネルごとにフレーム周期設定用レジスタを搭載（オーバーフロー／アンダーフローで割り込み可能） • PWM 動作の際にデッドタイム生成が可能 • 任意チャネルのカウンタの同期スタート／ストップ／クリア可能 • 最大 8 つの ELC イベントによるカウントスタート／ストップ／クリア／アップカウント／ダウンカウント／インプットキャプチャ動作が可能 • 2 本の入力端子の状態を検出し、カウントスタート／ストップ／クリア／アップカウント／ダウンカウント／インプットキャプチャ動作が可能 • 最大 4 本の外部トリガによるカウントスタート／ストップ／クリア／アップカウント／ダウンカウント／インプットキャプチャ動作が可能 • POEG からの出力禁止要求を制御 • A/D 変換開始要求生成機能 • コンペアマッチ A～F のイベントとオーバーフロー／アンダーフローのイベントを ELC に出力可能 • インプットキャプチャ用のノイズフィルタが有効 • 周期計数機能 • チャネル出力間の論理演算 • バスクロック：PCLKA、コアクロック：PCLKD • 周波数比：PCLKA:PCLKD = 1:N (N = 1/2/4/8/16/32/64)

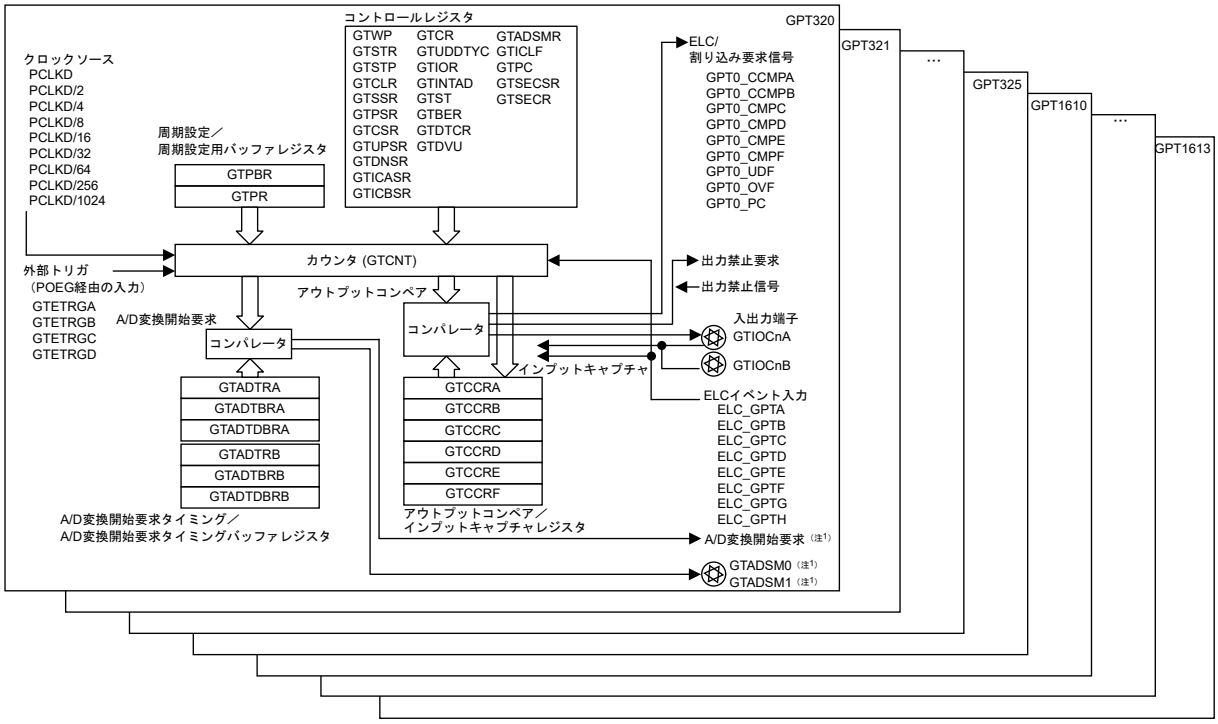
表 21.2 GPT の機能一覧 (1/2)

項目	内容
カウントクロック	PCLKD PCLKD/2 PCLKD/4 PCLKD/8 PCLKD/16 PCLKD/32 PCLKD/64 PCLKD/256 PCLKD/1024 GTETRGA, GTETRGB, GTETRGC, GTETRGD
アウトプットコンペア／インプットキャプチャレジスタ (GTCCR)	GTCCRA GTCCRB
コンペア／バッファレジスタ	GTCCRC GTCCRD GTCCRE GTCCRF
周期設定バッファレジスタ	GTPBR

表 21.2 GPT の機能一覧 (2/2)

項目		内容
入出力端子		GTIOCnA GTIOCnB (n = 0～5, 10～13)
外部トリガ入力端子(注1)		GTETRGA GTETRGB GTETRGC GTETRGD
カウンタクリア要因		GTPR レジスタコンペアマッチ インプットキャプチャ 入力端子の状態 ELC イベント入力 GTETRGn (n = A～D) 端子入力
周期計数機能		使用可能 (GPT32n (n = 0～3), GPT16m (m = 10))
コンペアマッチ出力	Low 出力	使用可能
	High 出力	使用可能
	トグル出力	使用可能
インプットキャプチャ機能		使用可能
デッドタイム自動付加機能		使用可能 （デッドタイムバッファなし）
PWM モード		使用可能
位相計数機能		使用可能
バッファ動作		複数チャネルへの同時動作無効制御
ワンショット動作		使用可能
DMAC/DTC の起動		すべての割り込み要因
A/D 変換開始要求		GTADTRA レジスタまたは GTADTRB レジスタのコンペアマッチ
割り込み要因		9 要因 ● GTCCRA コンペアマッチ／インプットキャプチャ (GPTn_CCMPA) ● GTCCRB コンペアマッチ／インプットキャプチャ (GPTn_CCMPB) ● GTCCRC コンペアマッチ (GPTn_CMPC) ● GTCCRD コンペアマッチ (GPTn_CMPD) ● GTCCRE コンペアマッチ (GPTn_CMPE) ● GTCCRF コンペアマッチ (GPTn_CMPF) ● GTCNT オーバーフロー（GTPR コンペアマッチ）(GPTn_OVF) ● GTCNT アンダーフロー (GPTn_UDF) ● GTPC カウント停止 (GPTx_PC) (x = 0～3, 10)
イベントリンク (ELC) 機能		使用可能(注2)
ノイズフィルタ機能		使用可能
チャネル出力間の論理演算		使用可能
モジュールストップ機能		各チャネルに対してモジュールストップ状態を設定して消費電力の削減が可能
TrustZone フィルタ		チャネルごとにセキュリティ属性とプリビレッジ属性の設定が可能

注 1. GTETRGn は、POEG モジュールを経由して GPT に接続します。そのため、GPT 機能を使用するには、MSTPCRD.MSTPDn (n = 11～14)ビットをクリアして POEG にクロックを供給する必要があります。
注 2. 「21.6. ELC によるリンク動作」を参照してください。



注 1. 本機能は GPT32n (n = 0～5) でのみ使用可能です。

図 21.1 GPT のブロック図（のこぎり波 PWM モード、のこぎり波ワンショットパルスモード、三角波 PWM モード 1、2、3）

図 21.2 にチャネルとモジュール名の関係を示します。

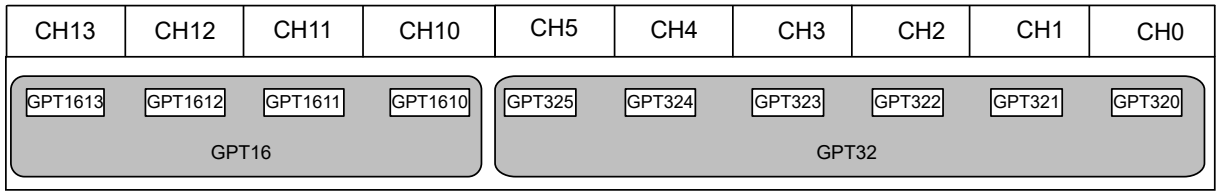


図 21.2 GPT チャネルとモジュール名の関係

表 21.3 に入出力端子の一覧を示します。

表 21.3 GPT の入出力端子 (1/2)

チャネル	端子名	入出力	機能
共通	GTETRGx	入力	外部トリガ入力端子 x（POEG 経由の入力）
	GTADSM0	出力	A/D 変換開始要求監視 0 出力端子
	GTADSM1	出力	A/D 変換開始要求監視 1 出力端子
GPT32n	GTIOCnA	入出力	GTCCRA レジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM 出力端子
	GTIOCnB	入出力	GTCCRB レジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM 出力端子

表 21.3 GPT の入出力端子 (2/2)

チャネル	端子名	入出力	機能
GPT16m	GTIOCmA	入出力	GTCCRA レジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM 出力端子
	GTIOCmB	入出力	GTCCRB レジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM 出力端子

注. x: A～D
n: 0～5
m: 10～13

21.2 レジスタの説明

21.2.1 GTWP : 汎用 PWM タイマ書き込み保護レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～5)
GPT16m = 0x4032_2000 + 0x0100 × m (m = 10～13)
GPT16m_NS = 0x5032_2000 + 0x0100 × m (m = 10～13)

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PRKEY[7:0]								—	—	—	CMNWP	CLRWP	STPWP	STRWP	WP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	WP	レジスタ書き込み禁止 0: レジスタへの書き込みを許可 1: レジスタへの書き込みを禁止	R/W
1	STRWP	GTSTR.CSTRT ビット書き込み禁止 0: ビットへの書き込みを許可 1: ビットへの書き込みを禁止	R/W
2	STPWP	GTSTP.CSTOP ビット書き込み禁止 0: ビットへの書き込みを許可 1: ビットへの書き込みを禁止	R/W
3	CLRWP	GTCLR.CCLR ビット書き込み禁止 0: ビットへの書き込みを許可 1: ビットへの書き込みを禁止	R/W
4	CMNWP	共通レジスタ書き込み禁止 0: レジスタへの書き込みを許可 1: レジスタへの書き込みを禁止	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	PRKEY[7:0]	GTWP キーコード これらのビットに 0xA5 を書き込むと、WP、STRWP、STPWP、CLRWP、および CMNWP ビットへの書き込みが許可されます。読むと 0 が読めます。	W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

GTWP レジスタは、誤書き込み防止のためレジスタへの書き込みを許可または禁止します。GTWP レジスタによる保護は、CPU による書き込み動作のみを対象としています。CPU 書き込みに連動して発生するレジスタの更新は、保護の対象外です。

WP ビット（レジスタ書き込み禁止）

書き込みが許可または禁止されるレジスタは以下のとおりです。

GTSSR, GTPSR, GTCSR, GTUPSR, GTDNSR, GTICASR, GTICBSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTADTRA, GTADTBRA, GTADTDBRA, GTADTRB, GTADTBRB, GTADTDBRB, GTDTCR, GTDVU, GTADSMR, GTICLF, GTPC

STRWP ビット（GTSTR.CSTRT ビット書き込み禁止）

STRWP ビットは、GTSTR レジスタのチャネル番号に対応する CSTRTn ビット (n = 0〜5, 10〜13) に書き込むことによるカウンタ値の更新開始を許可または禁止します。

GTSTR レジスタの各 CSTRTn ビットは、ビット位置をチャネル番号として各チャネルに割り当てられており、任意のチャネルの GTSTR レジスタへの書き込みは全チャネルのレジスタへの書き込みとなります。各チャネルの STRWP ビットは書き込みを制御するのではなく、すべてのチャネルで同時に行われる書き込みに対して、そのチャネルに対応する CSTRT ビットの更新のみを制御します。

したがって、STRWP ビットが 1（書き込み禁止）に設定されたチャネルの CSTRT ビットへの書き込みの場合、そのチャネルの CSTRT ビットは更新されませんが、STRWP ビットが 0（書き込み許可）に設定されているチャネルに対応する CSTRT ビットは更新されます。たとえば、GPT320.GTWP.STRWP ビットが 0（書き込み許可）である場合、GPT321.GTSTR.CSTRT0 ビットが 0 であるときこれに 1 を書き込むと、値が更新され、GPT320.GTCNT カウンタがカウントを開始します。GPT320.GTWP.STRWP ビットが 1（書き込み禁止）である場合、GPT321.GTSTR.CSTRT0 ビットが 0 であるときこれに 1 を書き込んでも、この値は 0 のままとなり、GPT320.GTCNT カウンタは動作しません。

GTSTR レジスタの全ビットの更新を保護したい場合は、全チャネルの STRWP ビットを 1 に設定してください。

STPWP ビット（GTSTP.CSTOP ビット書き込み禁止）

STPWP ビットは、GTSTP レジスタのチャネル番号に対応する CSTOPn ビット (n = 0〜5, 10〜13) に書き込むことによるカウンタ値の更新開始を許可または禁止します。

GTSTP レジスタの各 CSTOPn ビットは、ビット位置をチャネル番号として各チャネルに割り当てられており、任意のチャネルの GTSTP レジスタへの書き込みは全チャネルのレジスタへの書き込みとなります。各チャネルの STPWP ビットは書き込みを制御するのではなく、すべてのチャネルで同時に行われる書き込みに対して、そのチャネルに対応する CSTOP ビットの更新のみを制御します。

したがって、STPWP ビットが 1（書き込み禁止）に設定されたチャネルの CSTOP ビットへの書き込みの場合、そのチャネルの CSTOP ビットは更新されませんが、STPWP ビットが 0（書き込み許可）に設定されているチャネルに対応する CSTOP ビットは更新されます。たとえば、GPT320.GTWP.STPWP ビットが 0（書き込み許可）である場合、GPT321.GTSTP.CSTOP0 ビットが 0 であるときこれに 1 を書き込むと、値が更新され、GPT320.GTCNT カウンタが停止します。GPT320.GTWP.STPWP ビットが 1（書き込み禁止）である場合、GPT321.GTSTP.CSTOP0 ビットが 0 であるときこれに 1 を書き込んでも、この値は 0 のままとなり、GPT320.GTCNT カウンタは停止しません。

GTSTP レジスタの全ビットの更新を保護したい場合は、全チャネルの STPWP ビットを 1 に設定してください。

CLRWP ビット（GTCLR.CCLR ビット書き込み禁止）

CLRWP ビットは、GTCLR レジスタのチャネル番号に対応する CCLRn ビット (n = 0〜5, 10〜13) に書き込むことによるカウンタ値の更新開始を許可または禁止します。

GTCLR レジスタの各 CCLRn ビットは、ビット位置をチャネル番号として各チャネルに割り当てられており、任意のチャネルの GTCLR レジスタへの書き込みは全チャネルのレジスタへの書き込みとなります。各チャネルの CLRWP ビットは書き込みを制御するのではなく、すべてのチャネルで同時に行われる書き込みに対して、そのチャネルに対応する CCLR ビットの更新のみを制御します。

したがって、CLRWP ビットが 1（書き込み禁止）に設定されたチャネルの CCLR ビットへの書き込みの場合、そのチャネルの CCLR ビットは更新されませんが、CLRWP ビットが 0（書き込み許可）に設定されているチャネルに対応する CCLR ビットは更新されます。たとえば、GPT320.GTWP.CLRWP ビットが 0（書き込み許可）である場合、GPT321.GTCLR.CCLR0 ビットが 0 であるときこれに 1 を書き込むと、値が更新され、GPT320.GTCNT カウンタがクリアされます。GPT320.GTWP.CLRWP ビットが 1（書き込み禁止）である場合、GPT321.GTCLR.CCLR0 ビットが 0 であるときこれに 1 を書き込んでも、この値は 0 のままとなり、GPT320.GTCNT カウンタはクリアされません。

GTCLR レジスタの全ビットの更新を保護したい場合は、全チャネルの CLRWP ビットを 1 に設定してください。

CMNWP ビット（共通レジスタ書き込み禁止）

CMNWP ビットは、GTSECSR レジスタまたは GTSECR レジスタのチャネル番号に対応する SECSELn ビット (n = 0～5, 10～13) に書き込むことによるカウンタ値の更新開始を許可または禁止します。

GTSECSR レジスタの各 SECSEL ビットは、ビット位置をチャネル番号として各チャネルに割り当てられており、任意のチャネルの GTSECSR レジスタへの書き込みは全チャネルのレジスタへの書き込みとなります。任意のチャネルの GTSECR レジスタへの書き込みは全チャネルのレジスタへの書き込みとなります。各チャネルの CMNWP ビットは書き込みを制御するのではなく、すべてのチャネルで同時に行われる書き込みに対して、そのチャネルに対応する SECSEL ビットおよび GTSECR レジスタ値の更新のみを制御します。

このように、CMNWP ビットが 1（書き込み禁止）に設定されたチャネルの SECSEL ビットと GTSECR レジスタ値への書込みの場合、そのチャネルの SECSEL ビットと GTSECR レジスタ値は更新されませんが、CMNWP ビットが 0（書き込み許可）に設定されているチャネルに対応する SECSEL ビットと GTSECR レジスタ値は更新されます。

たとえば、GPT320.GTWP.CMNWP ビットが 0（書き込み許可）であるとき、GPT321.GTSECSR.SECSEL0 ビットに値を書き込むと、GPT320.GTSECSR.SECSEL0 ビットの値が更新されます。同様に、GPT321.GTSECR レジスタへの書き込みをすると、GPT320.GTSECR レジスタの値を更新します。GPT320.GTWP.CMNWP ビットが 1（書き込み禁止）であるとき、GPT321.GTSECSR.SECSEL0 ビットに値を書き込んでも、GPT320.GTSECSR.SECSEL0 ビットの値は更新されません。同様に、GPT321.GTSECR レジスタに値を書き込んでも、GPT320.GTSECR レジスタの値は更新されません。

GTSECSR レジスタと GTSECR レジスタの全ビットの更新を保護したい場合は、全チャネルの CMNWP ビットを 1 に設定してください。

PRKEY[7:0]ビット（GTWP キーコード）

このビットは WP、STRWP、STPWP、CLRWP、および CMNWP ビットへの書き込みを制御します。

21.2.2 GTSTR : 汎用 PWM タイマソフトウェアスタートレジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～5)
GPT16m = 0x4032_2000 + 0x0100 × m (m = 10～13)
GPT16m_NS = 0x5032_2000 + 0x0100 × m (m = 10～13)

Offset address: 0x04

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	CSTRT13	CSTRT12	CSTRT11	CSTRT10	—	—	—	—	CSTRT5	CSTRT4	CSTRT3	CSTRT2	CSTRT1	CSTRT0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	CSTRT0～CSTRT5	チャネル n GTCNT カウントスタート（n：ビット位置の値と同一） 0: GTCNT カウンタ動作を開始しない 1: GTCNT カウンタ動作を開始する	R/W
9:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:10	CSTRT10～CSTRT13	チャネル n GTCNT カウントスタート（n：ビット位置の値と同一） 0: GTCNT カウンタ動作を開始しない 1: GTCNT カウンタ動作を開始する	R/W
31:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTSTR レジスタは、各チャネル n (n = 0～5, 10～13) の GTCNT カウンタ動作を開始します。

GTSTR レジスタのビット番号はチャネル番号に相当します。GTSTR レジスタは各チャネル共通です。1 が書き込まれた GTSTR レジスタのビット番号に対応するチャネルの GTCNT カウンタが動作を開始します。 0 を書き込んでも、GTCNT カウンタの状態と GTSTR レジスタの値には影響しません。

モジュール名とチャネル番号の関係については、図 21.2 を参照してください。

書き込みまたは読み出しアクセスの属性に反して、各チャネルに設定したセキュリティとプリビレッジ属性にセキュリティ違反またはプリビレッジ違反があった場合、セキュリティに違反したチャネル番号のビットは読み書き不可となり、当該ビットの読み出し値は 0 です。

CSTRTn ビット（チャネル n GTCNT カウントスタート (n = 0〜5, 10〜13)）

CSTRTn ビットはチャネル n の GTCNT カウンタ動作を開始します。GTSSR.CSTRT ビットを 1 にしない限り、GTSTR.CSTRTn ビット (n = 0〜5, 10〜13) への書き込みは無効です。

リードデータは各チャネルのカウンタ状態（GTCR.CST ビット値）を示します。0 はカウンタ停止中を、1 はカウンタ動作中を意味します。

21.2.3 GTSTP : 汎用 PWM タイマソフトウェアストップレジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0〜5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0〜5)
GPT16m = 0x4032_2000 + 0x0100 × m (m = 10〜13)
GPT16m_NS = 0x5032_2000 + 0x0100 × m (m = 10〜13)

Offset address: 0x08

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	CSTOP13	CSTOP12	CSTOP11	CSTOP10	—	—	—	—	CSTOP5	CSTOP4	CSTOP3	CSTOP2	CSTOP1	CSTOP0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
5:0	CSTOP0〜CSTOP5	チャネル n GTCNT カウントストップ（n：ビット位置の値と同一） 0: GTCNT カウンタ動作を停止しない 1: GTCNT カウンタ動作を停止する	R/W
9:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:10	CSTOP10〜CSTOP13	チャネル n GTCNT カウントストップ（n：ビット位置の値と同一） 0: GTCNT カウンタ動作を停止しない 1: GTCNT カウンタ動作を停止する	R/W
31:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTSTP レジスタは、各チャネル n (n = 0〜5, 10〜13) の GTCNT カウンタ動作を停止します。

GTSTP レジスタのビット番号はチャネル番号に相当します。GTSTP レジスタは各チャネル共通です。 1 が書き込まれた GTSTP レジスタのビット番号に対応するチャネルの GTCNT カウンタが停止します。0 を書き込んでも、GTCNT カウンタの状態と GTSTP レジスタの値には影響しません。

モジュール名とチャネル番号の関係については、図 21.2 を参照してください。

書き込みまたは読み出しアクセスの属性に反して、各チャネルに設定したセキュリティとプリビレッジ属性にセキュリティ違反またはプリビレッジ違反があった場合、セキュリティに違反したチャネル番号のビットは読み書き不可となり、当該ビットの読み出し値は 0 です。

CSTOPn ビット（チャネル n GTCNT カウントストップ (n = 0〜5, 10〜13)）

CSTOPn ビットはチャネル n の GTCNT カウンタ動作を停止します。GTPSR.CSTOP ビットを 1 にしない限り、GTSTP.CSTOPn ビット (n = 0〜5, 10〜13) への書き込みは無効です。リードデータは各チャネルのカウンタ状態（GTCR.CST ビットの反転値）を示します。0 はカウンタ動作中を、1 はカウンタ停止中を意味します。

21.2.4 GTCLR : 汎用 PWM タイマソフトウェアクリアレジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～5)
GPT16m = 0x4032_2000 + 0x0100 × m (m = 10～13)
GPT16m_NS = 0x5032_2000 + 0x0100 × m (m = 10～13)

Offset address: 0x0C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	CCLR13	CCLR12	CCLR11	CCLR10	—	—	—	—	CCLR5	CCLR4	CCLR3	CCLR2	CCLR1	CCLR0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	CCLR0～CCLR5	チャネル n GTCNT カウントクリア（n：ビット位置の値と同一） 0: GTCNT カウンタ値がクリアされない 1: GTCNT カウンタ値がクリアされる	W
9:6	—	読むと 0 が読めます。書く場合、0 としてください。	W
13:10	CCLR10～CCLR13	チャネル n GTCNT カウントクリア（n：ビット位置の値と同一） 0: GTCNT カウンタ値がクリアされない 1: GTCNT カウンタ値がクリアされる	W
31:14	—	読むと 0 が読めます。書く場合、0 としてください。	W

GTCLR レジスタは書き込み専用レジスタで、各チャネル n (n = 0～5, 10～13) の GTCNT カウンタをクリアします。

GTCLR レジスタのビット番号はチャネル番号に相当します。GTCLR レジスタは各チャネル共通です。1 が書き込まれた GTCLR レジスタのビット番号に対応するチャネルの GTCNT カウンタがクリアされます。 0 を書き込んでも GTCNT カウンタ値の状態には影響しません。

モジュール名とチャネル番号の関係については、図 21.2 を参照してください。

書き込みまたは読み出しアクセスの属性に反して、各チャネルに設定したセキュリティとプリビレッジ属性にセキュリティ違反またはプリビレッジ違反があった場合、セキュリティに違反したチャネル番号のビットは読み書き不可となり、当該ビットの読み出し値は 0 です。

CCLRn ビット（チャネル n GTCNT カウントクリア (n = 0～5, 10～13)）

GTCR.MD[2:0]ビットで選択されたのこぎり波モードでカウント方向フラグがデクリメント (GTST.TUCF = 0) に設定される場合、GTCNT カウンタ値は CCLRn ビットへの 1 書き込みに対応する GTPR レジスタの値になります。カウンタ値は他の設定で 0x00000000 になります。読むと 0 が読めます。

21.2.5 GTSSR : 汎用 PWM タイマスタート要因選択レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～5)
GPT16m = 0x4032_2000 + 0x0100 × m (m = 10～13)
GPT16m_NS = 0x5032_2000 + 0x0100 × m (m = 10～13)

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CSTRT	—	—	—	—	—	—	—	SSELCH	SSELCG	SSELCF	SSELCE	SSELCD	SSELCC	SSELCB	SSELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SSCBFAH	SSCBFAL	SSCBRAH	SSCBRAL	SSCAFBH	SSCAFBL	SSCARBH	SSCARBL	SSGTRGDF	SSGTRGDR	SSGTRGCF	SSGTRGCR	SSGTRGBF	SSGTRGBR	SSGTRGAF	SSGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SSGTRGAR	GTETRGA 立ち上がり要因カウントスタート許可 0: GTETRGA 入力の立ち上がりによるカウントスタートを禁止 1: GTETRGA 入力の立ち上がりによるカウントスタートを許可	R/W
1	SSGTRGAF	GTETRGA 立ち下がり要因カウントスタート許可 0: GTETRGA 入力の立ち下がりによるカウントスタートを禁止 1: GTETRGA 入力の立ち下がりによるカウントスタートを許可	R/W
2	SSGTRGBR	GTETRGB 立ち上がり要因カウントスタート許可 0: GTETRGB 入力の立ち上がりによるカウントスタートを禁止 1: GTETRGB 入力の立ち上がりによるカウントスタートを許可	R/W
3	SSGTRGBF	GTETRGB 立ち下がり要因カウントスタート許可 0: GTETRGB 入力の立ち下がりによるカウントスタートを禁止 1: GTETRGB 入力の立ち下がりによるカウントスタートを許可	R/W
4	SSGTRGCR	GTETRGC 立ち上がり要因カウントスタート許可 0: GTETRGC 入力の立ち上がりによるカウントスタートを禁止 1: GTETRGC 入力の立ち上がりによるカウントスタートを許可	R/W
5	SSGTRGCF	GTETRGC 立ち下がり要因カウントスタート許可 0: GTETRGC 入力の立ち下がりによるカウントスタートを禁止 1: GTETRGC 入力の立ち下がりによるカウントスタートを許可	R/W
6	SSGTRGDR	GTETRGD 立ち上がり要因カウントスタート許可 0: GTETRGD 入力の立ち上がりによるカウントスタートを禁止 1: GTETRGD 入力の立ち上がりによるカウントスタートを許可	R/W
7	SSGTRGDF	GTETRGD 立ち下がり要因カウントスタート許可 0: GTETRGD 入力の立ち下がりによるカウントスタートを禁止 1: GTETRGD 入力の立ち下がりによるカウントスタートを許可	R/W
8	SSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウントスタート許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウントスタートを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウントスタートを許可	R/W
9	SSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウントスタート許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウントスタートを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウントスタートを許可	R/W
10	SSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウントスタート許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウントスタートを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウントスタートを許可	R/W

ビット	シンボル	機能	R/W
11	SSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウントスタート許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウントスタートを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウントスタートを許可	R/W
12	SSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウントスタート許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウントスタートを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウントスタートを許可	R/W
13	SSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウントスタート許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウントスタートを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウントスタートを許可	R/W
14	SSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウントスタート許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウントスタートを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウントスタートを許可	R/W
15	SSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウントスタート許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウントスタートを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウントスタートを許可	R/W
16	SSELCA	ELC_GPTA イベント要因カウントスタート許可 0: ELC_GPTA イベント入力によるカウントスタートを禁止 1: ELC_GPTA イベント入力によるカウントスタートを許可	R/W
17	SSELCB	ELC_GPTB イベント要因カウントスタート許可 0: ELC_GPTB イベント入力によるカウントスタートを禁止 1: ELC_GPTB イベント入力によるカウントスタートを許可	R/W
18	SSELCC	ELC_GPTC イベント要因カウントスタート許可 0: ELC_GPTC イベント入力によるカウントスタートを禁止 1: ELC_GPTC イベント入力によるカウントスタートを許可	R/W
19	SSELCD	ELC_GPTD イベント要因カウントスタート許可 0: ELC_GPTD イベント入力によるカウントスタートを禁止 1: ELC_GPTD イベント入力によるカウントスタートを許可	R/W
20	SSELCE	ELC_GPTE イベント要因カウントスタート許可 0: ELC_GPTE イベント入力によるカウントスタートを禁止 1: ELC_GPTE イベント入力によるカウントスタートを許可	R/W
21	SSELCF	ELC_GPTF イベント要因カウントスタート許可 0: ELC_GPTF イベント入力によるカウントスタートを禁止 1: ELC_GPTF イベント入力によるカウントスタートを許可	R/W
22	SSELCG	ELC_GPTG イベント要因カウントスタート許可 0: ELC_GPTG イベント入力によるカウントスタートを禁止 1: ELC_GPTG イベント入力によるカウントスタートを許可	R/W
23	SSELCH	ELC_GPTH イベント要因カウントスタート許可 0: ELC_GPTH イベント入力によるカウントスタートを禁止 1: ELC_GPTH イベント入力によるカウントスタートを許可	R/W
30:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	CSTRT	ソフトウェア要因カウントスタート許可 0: GTSTR レジスタによるカウントスタートを禁止 1: GTSTR レジスタによるカウントスタートを許可	R/W

注. n = 0～5、10～13

GTSSR レジスタは、GTCNT カウンタのカウントスタートの要因を設定するレジスタです。

GTETRGn (n = A～D) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

SSGTRGAR ビット（GTETRGA 立ち上がり要因カウントスタート許可）

SSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGAF ビット（GTETRGA 立ち下がり要因カウントスタート許可）

SSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGBR ビット（GTETRGB 立ち上がり要因カウントスタート許可）

SSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGBF ビット（GTETRGB 立ち下がり要因カウントスタート許可）

SSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGCR ビット（GTETRGC 立ち上がり要因カウントスタート許可）

SSGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGCF ビット（GTETRGC 立ち下がり要因カウントスタート許可）

SSGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGDR ビット（GTETRGD 立ち上がり要因カウントスタート許可）

SSGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGDF ビット（GTETRGD 立ち下がり要因カウントスタート許可）

SSGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウントスタート許可）

SSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウントスタート許可）

SSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウントスタート許可）

SSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウントスタート許可）

SSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウントスタート許可）

SSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウントスタート許可）

SSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウントスタート許可）

SSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウントスタート許可）

SSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSELCm ビット（ELC_GPTm イベント要因カウントスタート許可）(m = A～H)

SSELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのカウントスタートの許可／禁止を選択します。

CSTRT ビット（ソフトウェア要因カウントスタート許可）

CSTRT ビットは GTSTR レジスタによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

21.2.6 GTPSR : 汎用 PWM タイマストップ要因選択レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～5)
GPT16m = 0x4032_2000 + 0x0100 × m (m = 10～13)
GPT16m_NS = 0x5032_2000 + 0x0100 × m (m = 10～13)

Offset address: 0x14

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CSTOP	—	—	—	—	—	—	—	PSELCH	PSELCG	PSELCF	PSELCE	PSELCD	PSELCC	PSELCB	PSELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PSCBFAH	PSCBFAL	PSCBRAH	PSCBRAL	PSCAFBH	PSCAFBL	PSCARBH	PSCARBL	PSGTRGDF	PSGTRGDR	PSGTRGCF	PSGTRGCR	PSGTRGBF	PSGTRGBR	PSGTRGAF	PSGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PSGTRGAR	GTETRGA 立ち上がり要因カウントストップ許可 0: GTETRGA 入力の立ち上がりによるカウントストップを禁止 1: GTETRGA 入力の立ち上がりによるカウントストップを許可	R/W
1	PSGTRGAF	GTETRGA 立ち下がり要因カウントストップ許可 0: GTETRGA 入力の立ち下がりによるカウントストップを禁止 1: GTETRGA 入力の立ち下がりによるカウントストップを許可	R/W
2	PSGTRGBR	GTETRGB 立ち上がり要因カウントストップ許可 0: GTETRGB 入力の立ち上がりによるカウントストップを禁止 1: GTETRGB 入力の立ち上がりによるカウントストップを許可	R/W
3	PSGTRGBF	GTETRGB 立ち下がり要因カウントストップ許可 0: GTETRGB 入力の立ち下がりによるカウントストップを禁止 1: GTETRGB 入力の立ち下がりによるカウントストップを許可	R/W
4	PSGTRGCR	GTETRGC 立ち上がり要因カウントストップ許可 0: GTETRGC 入力の立ち上がりによるカウントストップを禁止 1: GTETRGC 入力の立ち上がりによるカウントストップを許可	R/W
5	PSGTRGCF	GTETRGC 立ち下がり要因カウントストップ許可 0: GTETRGC 入力の立ち下がりによるカウントストップを禁止 1: GTETRGC 入力の立ち下がりによるカウントストップを許可	R/W
6	PSGTRGDR	GTETRGD 立ち上がり要因カウントストップ許可 0: GTETRGD 入力の立ち上がりによるカウントストップを禁止 1: GTETRGD 入力の立ち上がりによるカウントストップを許可	R/W

ビット	シンボル	機能	R/W
7	PSGTRGDF	GTETRGD 立ち下がり要因カウントストップ許可 0: GTETRGD 入力の立ち下がりによるカウントストップを禁止 1: GTETRGD 入力の立ち下がりによるカウントストップを許可	R/W
8	PSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウントストップ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウントストップを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウントストップを許可	R/W
9	PSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウントストップ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウントストップを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウントストップを許可	R/W
10	PSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウントストップ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウントストップを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウントストップを許可	R/W
11	PSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウントストップ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウントストップを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウントストップを許可	R/W
12	PSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウントストップ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウントストップを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウントストップを許可	R/W
13	PSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウントストップ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウントストップを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウントストップを許可	R/W
14	PSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウントストップ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウントストップを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウントストップを許可	R/W
15	PSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウントストップ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウントストップを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウントストップを許可	R/W
16	PSELCA	ELC_GPTA イベント要因カウントストップ許可 0: ELC_GPTA イベント入力によるカウントストップを禁止 1: ELC_GPTA イベント入力によるカウントストップを許可	R/W
17	PSELCB	ELC_GPTB イベント要因カウントストップ許可 0: ELC_GPTB イベント入力によるカウントストップを禁止 1: ELC_GPTB イベント入力によるカウントストップを許可	R/W
18	PSELCC	ELC_GPTC イベント要因カウントストップ許可 0: ELC_GPTC イベント入力によるカウントストップを禁止 1: ELC_GPTC イベント入力によるカウントストップを許可	R/W
19	PSELCD	ELC_GPTD イベント要因カウントストップ許可 0: ELC_GPTD イベント入力によるカウントストップを禁止 1: ELC_GPTD イベント入力によるカウントストップを許可	R/W
20	PSELCE	ELC_GPTE イベント要因カウントストップ許可 0: ELC_GPTE イベント入力によるカウントストップを禁止 1: ELC_GPTE イベント入力によるカウントストップを許可	R/W

ビット	シンボル	機能	R/W
21	PSELCF	ELC_GPTF イベント要因カウントストップ許可 0: ELC_GPTF イベント入力によるカウントストップを禁止 1: ELC_GPTF イベント入力によるカウントストップを許可	R/W
22	PSELCG	ELC_GPTG イベント要因カウントストップ許可 0: ELC_GPTG イベント入力によるカウントストップを禁止 1: ELC_GPTG イベント入力によるカウントストップを許可	R/W
23	PSELCH	ELC_GPTH イベント要因カウントストップ許可 0: ELC_GPTH イベント入力によるカウントストップを禁止 1: ELC_GPTH イベント入力によるカウントストップを許可	R/W
30:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	CSTOP	ソフトウェア要因カウントストップ許可 0: GTSTP レジスタによるカウントストップを禁止 1: GTSTP レジスタによるカウントストップを許可	R/W

注. n = 0～5、10～13

GTPSR レジスタは、GTCNT カウンタのカウントストップの要因を設定するレジスタです。

GTETRGn (n = A～D) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

PSGTRGAR ビット（GTETRGA 立ち上がり要因カウントストップ許可）

PSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGAF ビット（GTETRGA 立ち下がり要因カウントストップ許可）

PSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGBR ビット（GTETRGB 立ち上がり要因カウントストップ許可）

PSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGBF ビット（GTETRGB 立ち下がり要因カウントストップ許可）

PSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGCR ビット（GTETRGC 立ち上がり要因カウントストップ許可）

PSGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGCF ビット（GTETRGC 立ち下がり要因カウントストップ許可）

PSGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGDR ビット（GTETRGD 立ち上がり要因カウントストップ許可）

PSGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGDF ビット（GTETRGD 立ち下がり要因カウントストップ許可）

PSGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウントストップ許可）

PSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウントストップ許可）

PSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウントストップ許可）

PSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウントストップ許可）

PSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウントストップ許可）

PSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウントストップ許可）

PSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウントストップ許可）

PSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウントストップ許可）

PSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSELCm ビット（ELCm イベント要因カウンタストップ許可）(m = A～H)

PSELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのカウントストップの許可／禁止を選択します。

CSTOP ビット（ソフトウェア要因カウントストップ許可）

CSTOP ビットは GTSTP レジスタによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

21.2.7 GTCSR : 汎用 PWM タイマクリア要因選択レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～5)
GPT16m = 0x4032_2000 + 0x0100 × m (m = 10～13)
GPT16m_NS = 0x5032_2000 + 0x0100 × m (m = 10～13)

Offset address: 0x18

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CCLR	—	—	—	—	—	—	—	CSELCH	CSELCG	CSELCF	CSELCE	CSELCD	CSELCC	CSELCB	CSELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CSCBFAH	CSCBFAL	CSCBRAH	CSCBRAL	CSCAFBH	CSCAFBL	CSCARBH	CSCARBL	CSGTRGDF	CSGTRGDR	CSGTRGCF	CSGTRGCR	CSGTRGBF	CSGTRGBR	CSGTRGAF	CSGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CSGTRGAR	GTETRGA 立ち上がり要因カウンタクリア許可 0: GTETRGA 入力の立ち上がりによるカウンタクリアを禁止 1: GTETRGA 入力の立ち上がりによるカウンタクリアを許可	R/W

ビット	シンボル	機能	R/W
1	CSGTRGAF	GTETRGA 立ち下がり要因カウンタクリア許可 0: GTETRGA 入力の立ち下がりによるカウンタクリアを禁止 1: GTETRGA 入力の立ち下がりによるカウンタクリアを許可	R/W
2	CSGTRGBR	GTETRGB 立ち上がり要因カウンタクリア許可 0: GTETRGB 入力の立ち上がりによるカウンタクリアを禁止 1: GTETRGB 入力の立ち上がりによるカウンタクリアを許可	R/W
3	CSGTRGBF	GTETRGB 立ち下がり要因カウンタクリア許可 0: GTETRGB 入力の立ち下がりによるカウンタクリアを禁止 1: GTETRGB 入力の立ち下がりによるカウンタクリアを許可	R/W
4	CSGTRGCR	GTETRGC 立ち上がり要因カウンタクリア許可 0: GTETRGC 入力の立ち上がりによるカウンタクリアを禁止 1: GTETRGC 入力の立ち上がりによるカウンタクリアを許可	R/W
5	CSGTRGCF	GTETRGC 立ち下がり要因カウンタクリア許可 0: GTETRGC 入力の立ち下がりによるカウンタクリアを禁止 1: GTETRGC 入力の立ち下がりによるカウンタクリアを許可	R/W
6	CSGTRGDR	GTETRGD 立ち上がり要因カウンタクリア許可 0: GTETRGD 入力の立ち上がりによるカウンタクリアを禁止 1: GTETRGD 入力の立ち上がりによるカウンタクリアを許可	R/W
7	CSGTRGDF	GTETRGD 立ち下がり要因カウンタクリア許可 0: GTETRGD 入力の立ち下がりによるカウンタクリアを禁止 1: GTETRGD 入力の立ち下がりによるカウンタクリアを許可	R/W
8	CSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウンタクリア許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを許可	R/W
9	CSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウンタクリア許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを許可	R/W
10	CSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウンタクリア許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウンタクリアを許可	R/W
11	CSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウンタクリア許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウンタクリアを許可	R/W
12	CSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウンタクリア許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウンタクリアを許可	R/W
13	CSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウンタクリア許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウンタクリアを許可	R/W
14	CSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウンタクリア許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウンタクリアを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウンタクリアを許可	R/W

ビット	シンボル	機能	R/W
15	CSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウンタクリア許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウンタクリアを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウンタクリアを許可	R/W
16	CSELCA	ELC_GPTA イベント要因カウンタクリア許可 0: ELC_GPTA イベント入力によるカウンタクリアを禁止 1: ELC_GPTA イベント入力によるカウンタクリアを許可	R/W
17	CSELCB	ELC_GPTB イベント要因カウンタクリア許可 0: ELC_GPTB イベント入力によるカウンタクリアを禁止 1: ELC_GPTB イベント入力によるカウンタクリアを許可	R/W
18	CSELCC	ELC_GPTC イベント要因カウンタクリア許可 0: ELC_GPTC イベント入力によるカウンタクリアを禁止 1: ELC_GPTC イベント入力によるカウンタクリアを許可	R/W
19	CSELCD	ELC_GPTD イベント要因カウンタクリア許可 0: ELC_GPTD イベント入力によるカウンタクリアを禁止 1: ELC_GPTD イベント入力によるカウンタクリアを許可	R/W
20	CSELCE	ELC_GPTE イベント要因カウンタクリア許可 0: ELC_GPTE イベント入力によるカウンタクリアを禁止 1: ELC_GPTE イベント入力によるカウンタクリアを許可	R/W
21	CSELCF	ELC_GPTF イベント要因カウンタクリア許可 0: ELC_GPTF イベント入力によるカウンタクリアを禁止 1: ELC_GPTF イベント入力によるカウンタクリアを許可	R/W
22	CSELCG	ELC_GPTG イベント要因カウンタクリア許可 0: ELC_GPTG イベント入力によるカウンタクリアを禁止 1: ELC_GPTG イベント入力によるカウンタクリアを許可	R/W
23	CSELCH	ELC_GPTH イベント要因カウンタクリア許可 0: ELC_GPTH イベント入力によるカウンタクリアを禁止 1: ELC_GPTH イベント入力によるカウンタクリアを許可	R/W
30:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	CCLR	ソフトウェア要因カウンタクリア許可 0: GTCLR レジスタによるカウンタクリアを禁止 1: GTCLR レジスタによるカウンタクリアを許可	R/W

注. n = 0～5、10～13

GTCSR レジスタは、GTCNT カウンタのカウンタクリアの要因を設定するレジスタです。

カウンタクリアは、カウンタが動作中 (GTCR.CST = 1) の場合、または停止 (GTCR.CST = 0) の場合に実行することが可能です。

GTETRGn (n = A～D) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

CSGTRGAR ビット（GTETRGA 立ち上がり要因カウンタクリア許可）

CSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGAF ビット（GTETRGA 立ち下がり要因カウンタクリア許可）

CSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGBR ビット（GTETRGB 立ち上がり要因カウンタクリア許可）

CSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGBF ビット（GTETRGB 立ち下がり要因カウンタクリア許可）

CSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGCR ビット（GTETRGC 立ち上がり要因カウンタクリア許可）

CSGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGCF ビット（GTETRGC 立ち下がり要因カウンタクリア許可）

CSGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGDR ビット（GTETRGD 立ち上がり要因カウンタクリア許可）

CSGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGDF ビット（GTETRGD 立ち下がり要因カウンタクリア許可）

CSGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウンタクリア許可）

CSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウンタクリア許可）

CSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウンタクリア許可）

CSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウンタクリア許可）

CSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウンタクリア許可）

CSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウンタクリア許可）

CSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウンタクリア許可）

CSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウンタクリア許可）

CSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSELCm ビット（ELCm イベント要因カウンタクリア許可）(m = A～H)

CSELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CCLR ビット（ソフトウェア要因カウンタクリア許可）

CCLR ビットは GTCLR レジスタによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

21.2.8 GTUPSR : 汎用 PWM タイマアップカウント要因選択レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～5)
GPT16m = 0x4032_2000 + 0x0100 × m (m = 10～13)
GPT16m_NS = 0x5032_2000 + 0x0100 × m (m = 10～13)

Offset address: 0x1C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	USELCH	USELCG	USELCF	USELCE	USELCD	USELCC	USELCB	USELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	USCBFAH	USCBFAL	USCBRAH	USCBRAL	USCAFBH	USCAFBL	USCARBH	USCARBL	USGTRGDF	USGTRGDR	USGTRGCF	USGTRGCR	USGTRGBF	USGTRGBR	USGTRGAF	USGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	USGTRGAR	GTETRGA 立ち上がり要因アップカウント許可 0: GTETRGA 入力の立ち上がりによるアップカウントを禁止 1: GTETRGA 入力の立ち上がりによるアップカウントを許可	R/W
1	USGTRGAF	GTETRGA 立ち下がり要因アップカウント許可 0: GTETRGA 入力の立ち下がりによるアップカウントを禁止 1: GTETRGA 入力の立ち下がりによるアップカウントを許可	R/W
2	USGTRGBR	GTETRGB 立ち上がり要因アップカウント許可 0: GTETRGB 入力の立ち上がりによるアップカウントを禁止 1: GTETRGB 入力の立ち上がりによるアップカウントを許可	R/W
3	USGTRGBF	GTETRGB 立ち下がり要因アップカウント許可 0: GTETRGB 入力の立ち下がりによるアップカウントを禁止 1: GTETRGB 入力の立ち下がりによるアップカウントを許可	R/W
4	USGTRGCR	GTETRGC 立ち上がり要因アップカウント許可 0: GTETRGC 入力の立ち上がりによるアップカウントを禁止 1: GTETRGC 入力の立ち上がりによるアップカウントを許可	R/W
5	USGTRGCF	GTETRGC 立ち下がり要因アップカウント許可 0: GTETRGC 入力の立ち下がりによるアップカウントを禁止 1: GTETRGC 入力の立ち下がりによるアップカウントを許可	R/W
6	USGTRGDR	GTETRGD 立ち上がり要因アップカウント許可 0: GTETRGD 入力の立ち上がりによるアップカウントを禁止 1: GTETRGD 入力の立ち上がりによるアップカウントを許可	R/W
7	USGTRGDF	GTETRGD 立ち下がり要因アップカウント許可 0: GTETRGD 入力の立ち下がりによるアップカウントを禁止 1: GTETRGD 入力の立ち下がりによるアップカウントを許可	R/W
8	USCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因アップカウント許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるアップカウントを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるアップカウントを許可	R/W
9	USCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因アップカウント許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるアップカウントを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるアップカウントを許可	R/W
10	USCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因アップカウント許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるアップカウントを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるアップカウントを許可	R/W

ビット	シンボル	機能	R/W
11	USCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因アップカウント許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるアップカウントを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるアップカウントを許可	R/W
12	USCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因アップカウント許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるアップカウントを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるアップカウントを許可	R/W
13	USCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因アップカウント許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるアップカウントを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるアップカウントを許可	R/W
14	USCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因アップカウント許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるアップカウントを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるアップカウントを許可	R/W
15	USCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因アップカウント許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるアップカウントを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるアップカウントを許可	R/W
16	USELCA	ELC_GPTA イベント要因アップカウント許可 0: ELC_GPTA イベント入力によるアップカウントを禁止 1: ELC_GPTA イベント入力によるアップカウントを許可	R/W
17	USELCB	ELC_GPTB イベント要因アップカウント許可 0: ELC_GPTB イベント入力によるアップカウントを禁止 1: ELC_GPTB イベント入力によるアップカウントを許可	R/W
18	USELCC	ELC_GPTC イベント要因アップカウント許可 0: ELC_GPTC イベント入力によるアップカウントを禁止 1: ELC_GPTC イベント入力によるアップカウントを許可	R/W
19	USELCD	ELC_GPTD イベント要因アップカウント許可 0: ELC_GPTD イベント入力によるアップカウントを禁止 1: ELC_GPTD イベント入力によるアップカウントを許可	R/W
20	USELCE	ELC_GPTE イベント要因アップカウント許可 0: ELC_GPTE イベント入力によるアップカウントを禁止 1: ELC_GPTE イベント入力によるアップカウントを許可	R/W
21	USELCF	ELC_GPTF イベント要因アップカウント許可 0: ELC_GPTF イベント入力によるアップカウントを禁止 1: ELC_GPTF イベント入力によるアップカウントを許可	R/W
22	USELCG	ELC_GPTG イベント要因アップカウント許可 0: ELC_GPTG イベント入力によるアップカウントを禁止 1: ELC_GPTG イベント入力によるアップカウントを許可	R/W
23	USELCH	ELC_GPTH イベント要因アップカウント許可 0: ELC_GPTH イベント入力によるアップカウントを禁止 1: ELC_GPTH イベント入力によるアップカウントを許可	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. n = 0〜5、10〜13

GTUPSR レジスタは、GTCNT カウンタのアップカウントの要因を設定するレジスタです。

GTUPSR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合、GTCR.TPCS ビットによって設定されたカウントクロックによる GTCNT カウンタのカウントは無効となり、GTUPSR で 1 に設定した要因によるアップカウントを行います。

複数の要因が同時に発生した場合でも、カウント時のインクリメント数は 1 です。

GTETRGn (n = A～D) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

USGTRGAR ビット（GTETRGA 立ち上がり要因アップカウント許可）

USGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGAF ビット（GTETRGA 立ち下がり要因アップカウント許可）

USGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGBR ビット（GTETRGB 立ち上がり要因アップカウント許可）

USGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGBF ビット（GTETRGB 立ち下がり要因アップカウント許可）

USGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGCR ビット（GTETRGC 立ち上がり要因アップカウント許可）

USGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGCF ビット（GTETRGC 立ち下がり要因アップカウント許可）

USGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGDR ビット（GTETRGD 立ち上がり要因アップカウント許可）

USGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGDF ビット（GTETRGD 立ち下がり要因アップカウント許可）

USGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因アップカウント許可）

USCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因アップカウント許可）

USCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因アップカウント許可）

USCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因アップカウント許可）

USCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因アップカウント許可）

USCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因アップカウント許可）

USCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因アップカウント許可）

USCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因アップカウント許可）

USCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USELCm ビット（ELC_GPTm イベント要因アップカウント許可）(m = A～H)

USELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのアップカウントの許可／禁止を選択します。

21.2.9 GTDNSR : 汎用 PWM タイマダウンカウント要因選択レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～5)
GPT16m = 0x4032_2000 + 0x0100 × m (m = 10～13)
GPT16m_NS = 0x5032_2000 + 0x0100 × m (m = 10～13)

Offset address: 0x20

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	DSELCH	DSELCG	DSELCF	DSELCE	DSELCD	DSELCC	DSELCB	DSELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DSCBFAH	DSCBFAL	DSCBRAH	DSCBRAL	DSCAFBH	DSCAFBL	DSCARBH	DSCARBL	DSGTRGDF	DSGTRGDR	DSGTRGCF	DSGTRGCR	DSGTRGBF	DSGTRGBR	DSGTRGAF	DSGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DSGTRGAR	GTETRGA 立ち上がり要因ダウンカウント許可 0: GTETRGA 入力の立ち上がりによるダウンカウントを禁止 1: GTETRGA 入力の立ち上がりによるダウンカウントを許可	R/W
1	DSGTRGAF	GTETRGA 立ち下がり要因ダウンカウント許可 0: GTETRGA 入力の立ち下がりによるダウンカウントを禁止 1: GTETRGA 入力の立ち下がりによるダウンカウントを許可	R/W
2	DSGTRGBR	GTETRGB 立ち上がり要因ダウンカウント許可 0: GTETRGB 入力の立ち上がりによるダウンカウントを禁止 1: GTETRGB 入力の立ち上がりによるダウンカウントを許可	R/W
3	DSGTRGBF	GTETRGB 立ち下がり要因ダウンカウント許可 0: GTETRGB 入力の立ち下がりによるダウンカウントを禁止 1: GTETRGB 入力の立ち下がりによるダウンカウントを許可	R/W
4	DSGTRGCR	GTETRGC 立ち上がり要因ダウンカウント許可 0: GTETRGC 入力の立ち上がりによるダウンカウントを禁止 1: GTETRGC 入力の立ち上がりによるダウンカウントを許可	R/W
5	DSGTRGCF	GTETRGC 立ち下がり要因ダウンカウント許可 0: GTETRGC 入力の立ち下がりによるダウンカウントを禁止 1: GTETRGC 入力の立ち下がりによるダウンカウントを許可	R/W
6	DSGTRGDR	GTETRGD 立ち上がり要因ダウンカウント許可 0: GTETRGD 入力の立ち上がりによるダウンカウントを禁止 1: GTETRGD 入力の立ち上がりによるダウンカウントを許可	R/W

ビット	シンボル	機能	R/W
7	DSGTRGDF	GTETRGD 立ち下がり要因ダウンカウント許可 0: GTETRGD 入力の立ち下がりによるダウンカウントを禁止 1: GTETRGD 入力の立ち下がりによるダウンカウントを許可	R/W
8	DSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因ダウンカウント許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるダウンカウントを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるダウンカウントを許可	R/W
9	DSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因ダウンカウント許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるダウンカウントを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるダウンカウントを許可	R/W
10	DSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因ダウンカウント許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるダウンカウントを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるダウンカウントを許可	R/W
11	DSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因ダウンカウント許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるダウンカウントを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるダウンカウントを許可	R/W
12	DSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因ダウンカウント許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるダウンカウントを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるダウンカウントを許可	R/W
13	DSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因ダウンカウント許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるダウンカウントを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるダウンカウントを許可	R/W
14	DSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因ダウンカウント許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるダウンカウントを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるダウンカウントを許可	R/W
15	DSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因ダウンカウント許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるダウンカウントを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるダウンカウントを許可	R/W
16	DSELCA	ELC_GPTA イベント要因ダウンカウント許可 0: ELC_GPTA イベント入力によるダウンカウントを禁止 1: ELC_GPTA イベント入力によるダウンカウントを許可	R/W
17	DSELCB	ELC_GPTB イベント要因ダウンカウント許可 0: ELC_GPTB イベント入力によるダウンカウントを禁止 1: ELC_GPTB イベント入力によるダウンカウントを許可	R/W
18	DSELCC	ELC_GPTC イベント要因ダウンカウント許可 0: ELC_GPTC イベント入力によるダウンカウントを禁止 1: ELC_GPTC イベント入力によるダウンカウントを許可	R/W
19	DSELCD	ELC_GPTD イベント要因ダウンカウント許可 0: ELC_GPTD イベント入力によるダウンカウントを禁止 1: ELC_GPTD イベント入力によるダウンカウントを許可	R/W
20	DSELCE	ELC_GPTE イベント要因ダウンカウント許可 0: ELC_GPTE イベント入力によるダウンカウントを禁止 1: ELC_GPTE イベント入力によるダウンカウントを許可	R/W

ビット	シンボル	機能	R/W
21	DSELCF	ELC_GPTF イベント要因ダウンカウント許可 0: ELC_GPTF イベント入力によるダウンカウントを禁止 1: ELC_GPTF イベント入力によるダウンカウントを許可	R/W
22	DSELCG	ELC_GPTG イベント要因ダウンカウント許可 0: ELC_GPTG イベント入力によるダウンカウントを禁止 1: ELC_GPTG イベント入力によるダウンカウントを許可	R/W
23	DSELCH	ELC_GPTF イベント要因ダウンカウント許可 0: ELC_GPTF イベント入力によるダウンカウントを禁止 1: ELC_GPTF イベント入力によるダウンカウントを許可	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. n = 0～5、10～13

GTDNSR レジスタは、GTCNT カウンタのダウンカウントの要因を設定するレジスタです。

GTDNSR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合、GTCR.TPCS ビットによって設定されたカウントクロックによる GTCNT カウンタのカウントは無効となり、GTDNSR で 1 に設定した要因によるダウンカウントを行います。

複数の要因が同時に発生した場合でも、カウント時のデクリメント数は 1 です。

GTETRGn (n = A～D) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

DSGTRGAR ビット（GTETRGA 立ち上がり要因ダウンカウント許可）

DSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGAF ビット（GTETRGA 立ち下がり要因ダウンカウント許可）

DSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGBR ビット（GTETRGB 立ち上がり要因ダウンカウント許可）

DSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGBF ビット（GTETRGB 立ち下がり要因ダウンカウント許可）

DSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGCR ビット（GTETRGC 立ち上がり要因ダウンカウント許可）

DSGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGCF ビット（GTETRGC 立ち下がり要因ダウンカウント許可）

DSGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGDR ビット（GTETRGD 立ち上がり要因ダウンカウント許可）

DSGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGDF ビット（GTETRGD 立ち下がり要因ダウンカウント許可）

DSGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因ダウンカウント許可）

DSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因ダウンカウント許可）

DSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因ダウンカウント許可）

DSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因ダウンカウント許可）

DSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因ダウンカウント許可）

DSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因ダウンカウント許可）

DSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因ダウンカウント許可）

DSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因ダウンカウント許可）

DSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSELCm ビット（ELC_GPTm イベント要因ダウンカウント許可）(m = A～H)

DSELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのダウンカウントの許可／禁止を選択します。

21.2.10 GTICASR : 汎用 PWM タイマインプットキャプチャ要因選択レジスタ A

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～5)
GPT16m = 0x4032_2000 + 0x0100 × m (m = 10～13)
GPT16m_NS = 0x5032_2000 + 0x0100 × m (m = 10～13)

Offset address: 0x24

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	ASELCH	ASELCG	ASELCF	ASELCE	ASELCD	ASELCC	ASELCB	ASELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ASCBFAH	ASCBFAL	ASCBRAH	ASCBRAL	ASCAFBH	ASCAFBL	ASCARBH	ASCARBL	ASGTRGDF	ASGTRGDR	ASGTRGCF	ASGTRGCR	ASGTRGBF	ASGTRGBR	ASGTRGAF	ASGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ASGTRGAR	GTETRGA 立ち上がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGA 入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGA 入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
1	ASGTRGAF	GTETRGA 立ち下がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGA 入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGA 入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W

ビット	シンボル	機能	R/W
2	ASGTRGBR	GTETRGB 立ち上がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGB 入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGB 入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
3	ASGTRGBF	GTETRGB 立ち下がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGB 入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGB 入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
4	ASGTRGCR	GTETRGC 立ち上がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGC 入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGC 入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
5	ASGTRGCF	GTETRGC 立ち下がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGC 入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGC 入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
6	ASGTRGDR	GTETRGD 立ち上がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGD 入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGD 入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
7	ASGTRGDF	GTETRGD 立ち下がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGD 入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGD 入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
8	ASCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
9	ASCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
10	ASCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
11	ASCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
12	ASCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
13	ASCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
14	ASCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W

ビット	シンボル	機能	R/W
15	ASCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
16	ASELCA	ELC_GPTA イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTA イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTA イベント入力による GTCCRA インプットキャプチャを許可	R/W
17	ASELCB	ELC_GPTB イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTB イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTB イベント入力による GTCCRA インプットキャプチャを許可	R/W
18	ASELCC	ELC_GPTC イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTC イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTC イベント入力による GTCCRA インプットキャプチャを許可	R/W
19	ASELCD	ELC_GPTD イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTD イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTD イベント入力による GTCCRA インプットキャプチャを許可	R/W
20	ASELCE	ELC_GPTE イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTE イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTE イベント入力による GTCCRA インプットキャプチャを許可	R/W
21	ASELCF	ELC_GPTF イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTF イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTF イベント入力による GTCCRA インプットキャプチャを許可	R/W
22	ASELCG	ELC_GPTG イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTG イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTG イベント入力による GTCCRA インプットキャプチャを許可	R/W
23	ASELCH	ELC_GPTH イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTH イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTH イベント入力による GTCCRA インプットキャプチャを許可	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. n = 0～5、10～13

GTICASR レジスタは、GTCCRA レジスタへのインプットキャプチャ要因を設定するレジスタです。

GTICASR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合、GTCCRA レジスタをインプットキャプチャレジスタとするインプットキャプチャ動作を行います。

GTETRGn (n = A～D) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

ASGTRGAR ビット（GTETRGA 立ち上がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGAF ビット（GTETRGA 立ち下がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGBR ビット（GTETRGB 立ち上がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGBF ビット（GTETRGB 立ち下がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGCR ビット（GTETRGC 立ち上がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGCF ビット（GTETRGC 立ち下がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGDR ビット（GTETRGD 立ち上がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGDF ビット（GTETRGD 立ち下がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

ASCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

ASCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

ASCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

ASCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

ASCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

ASCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

ASCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

ASCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASELCm ビット（ELC_GPTm イベント要因 GTCCRA インプットキャプチャ許可）(m = A～H)

ASELCm ビットは ELC_GPTm からのイベント入力による GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

21.2.11 GTICBSR : 汎用 PWM タイマインプットキャプチャ要因選択レジスタ B

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～5)
GPT16m = 0x4032_2000 + 0x0100 × m (m = 10～13)
GPT16m_NS = 0x5032_2000 + 0x0100 × m (m = 10～13)

Offset address: 0x28

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	BSELCH	BSELCG	BSELCF	BSELCE	BSELCD	BSELCC	BSELCB	BSELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BSCBFAH	BSCBFAL	BSCBRAH	BSCBRAL	BSCAFBH	BSCAFBL	BSCARBH	BSCARBL	BSGTRGDF	BSGTRGDR	BSGTRGCF	BSGTRGCR	BSGTRGBF	BSGTRGBR	BSGTRGAF	BSGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BSGTRGAR	GTETRGA 立ち上がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGA 入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGA 入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
1	BSGTRGAF	GTETRGA 立ち下がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGA 入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGA 入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
2	BSGTRGBR	GTETRGB 立ち上がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGB 入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGB 入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
3	BSGTRGBF	GTETRGB 立ち下がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGB 入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGB 入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
4	BSGTRGCR	GTETRGC 立ち上がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGC 入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGC 入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
5	BSGTRGCF	GTETRGC 立ち下がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGC 入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGC 入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
6	BSGTRGDR	GTETRGD 立ち上がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGD 入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGD 入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
7	BSGTRGDF	GTETRGD 立ち下がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGD 入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGD 入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
8	BSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
9	BSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W

ビット	シンボル	機能	R/W
10	BSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
11	BSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
12	BSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
13	BSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
14	BSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
15	BSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
16	BSELCA	ELC_GPTA イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTA イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTA イベント入力による GTCCRB インプットキャプチャを許可	R/W
17	BSELCB	ELC_GPTB イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTB イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTB イベント入力による GTCCRB インプットキャプチャを許可	R/W
18	BSELCC	ELC_GPTC イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTC イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTC イベント入力による GTCCRB インプットキャプチャを許可	R/W
19	BSELCD	ELC_GPTD イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTD イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTD イベント入力による GTCCRB インプットキャプチャを許可	R/W
20	BSELCE	ELC_GPTE イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTE イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTE イベント入力による GTCCRB インプットキャプチャを許可	R/W
21	BSELCF	ELC_GPTF イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTF イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTF イベント入力による GTCCRB インプットキャプチャを許可	R/W
22	BSELCG	ELC_GPTG イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTG イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTG イベント入力による GTCCRB インプットキャプチャを許可	R/W

ビット	シンボル	機能	R/W
23	BSELCH	ELC_GPTH イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTH イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTH イベント入力による GTCCRB インプットキャプチャを許可	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. n = 0～5、10～13

GTICBSR レジスタは、GTCCRB レジスタへのインプットキャプチャ要因を設定するレジスタです。

GTICBSR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合、GTCCRB レジスタをインプットキャプチャレジスタとするインプットキャプチャ動作を行います。

GTETRGn (n = A～D) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

BSGTRGAR ビット（GTETRGA 立ち上がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGAF ビット（GTETRGA 立ち下がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGBR ビット（GTETRGB 立ち上がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGBF ビット（GTETRGB 立ち下がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGCR ビット（GTETRGC 立ち上がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGCF ビット（GTETRGC 立ち下がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGDR ビット（GTETRGD 立ち上がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGDF ビット（GTETRGD 立ち下がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

BSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

BSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

BSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

BSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

BSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

BSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

BSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

BSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSELCm ビット（ELC_GPTm イベント要因 GTCCRB インプットキャプチャ許可）(m = A～H)

BSELCm ビットは ELC_GPTm からのイベント入力による GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

21.2.12 GTCR : 汎用 PWM タイマコントロールレジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～5)
GPT16m = 0x4032_2000 + 0x0100 × m (m = 10～13)
GPT16m_NS = 0x5032_2000 + 0x0100 × m (m = 10～13)

Offset address: 0x2C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	TPCS[3:0]				—	—	—	—	MD[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CST	カウントスタート 0: カウント動作を停止 1: カウント動作を実行	R/W

ビット	シンボル	機能	R/W
15:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	MD[2:0]	モード選択 0 0 0: のこぎり波 PWM モード（シングル／ダブルバッファ可） 0 0 1: のこぎり波ワンショットパルスモード（バッファ動作固定） 0 1 0: 設定禁止 0 1 1: 設定禁止 1 0 0: 三角波 PWM モード 1（谷 32 ビット転送）（シングル／ダブルバッファ可） 1 0 1: 三角波 PWM モード 2（山／谷 32 ビット転送）（シングル／ダブルバッファ可） 1 1 0: 三角波 PWM モード 3（谷 64 ビット転送）（バッファ動作固定） 1 1 1: 設定禁止	R/W
22:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26:23	TPCS[3:0]	タイマプリスケーラ選択 0 0 0 0: PCLKD/1 0 0 0 1: PCLKD/2 0 0 1 0: PCLKD/4 0 0 1 1: PCLKD/8 0 1 0 0: PCLKD/16 0 1 0 1: PCLKD/32 0 1 1 0: PCLKD/64 0 1 1 1: 設定禁止 1 0 0 0: PCLKD/256 1 0 0 1: 設定禁止 1 0 1 0: PCLKD/1024 1 0 1 1: 設定禁止 1 1 0 0: GTETRGA（POEG 経由） 1 1 0 1: GTETRGB（POEG 経由） 1 1 1 0: GTETRGC（POEG 経由） 1 1 1 1: GTETRGD（POEG 経由）	R/W
31:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTCR レジスタは、GTCNT カウンタを制御するレジスタです。

CST ビット（カウントスタート）

CST ビットは GTCNT カウンタのスタート／ストップを制御します。

[1 になる条件]

- GTSSR.CSTRT ビットが 1 の状態で、GTSTR レジスタの値（チャネル番号はビット番号に対応）を 1 にしたとき
- GTSSR レジスタでカウントスタート要因として許可された、ELC イベント入力、外部トリガ、または GTIOCnA 入力/GTIOCnB 入力が発生したとき (n = 0～5, 10～13)
- ソフトウェアで直接 1 を書き込んだとき

[0 になる条件]

- GTPSR.CSTOP ビットが 1 の状態で、GTSTP レジスタの値（チャネル番号はビット番号に対応）を 1 にしたとき
- GTPSR レジスタでカウントストップ要因として許可された、ELC イベント入力、外部トリガ、または GTIOCnA 入力/GTIOCnB 入力が発生したとき (n = 0～5, 10～13)
- ソフトウェアで直接 0 を書き込んだとき
- GTPC.ASTP ビットが 1 の間に周期計数機能が終了する場合

MD[2:0]ビット（モード選択）

MD[2:0]ビットは GPT の動作モードを選択します。

インプットキャプチャ時は、MD[2]ビットのみが有効です。のこぎり波モードのカウントは MD[2]ビットが 0 の状態で行い、三角波モードのカウントは MD[2]ビットが 1 の状態で行います。MD[2:0]ビットの設定は、GTCNT カウンタの動作が停止しているときに行ってください。イベントカウント動作中（GTUPSR レジスタと GTDNSR

レジスタのビットのうち 1 つ以上のビットが 1 に設定されている場合）は、MD[2:0]ビットに初期値 (000b) を設定します。

TPCS[3:0]ビット（タイマプリスケーラ選択）

TPCS[3:0]ビットは GTCNT カウンタのクロックを選択します。チャネルごとに個別にクロックプリスケーラの選択が可能です。TPCS[3:0]ビットの設定は、GTCNT カウンタの動作が停止しているときに行ってください。GTETRGA、GTETRGB、GTETRGC、または GTETRGD が選択された場合、エッジ立ち上がり時の POEG への出力はクロックソースになります。これらの信号の極性を POEG で設定してください。

21.2.13 GTUDDTYC : 汎用 PWM タイマカウント方向、デューティー設定レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～5)
GPT16m = 0x4032_2000 + 0x0100 × m (m = 10～13)
GPT16m_NS = 0x5032_2000 + 0x0100 × m (m = 10～13)

Offset address: 0x30

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	OBDTYR	OBDTYF	OBDTY[1:0]		—	—	—	—	OADTYR	OADTYF	OADTY[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UDF	UD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	UD	カウント方向設定 0: GTCNT カウンタはダウンカウント 1: GTCNT カウンタはアップカウント	R/W
1	UDF	カウント方向強制設定 0: 強制設定しない 1: 強制設定する	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	OADTY[1:0]	GTIOCnA 出力デューティー設定 0 0: GTIOCnA 端子のデューティーはコンペアマッチに依存 0 1: GTIOCnA 端子のデューティーはコンペアマッチに依存 1 0: GTIOCnA 端子のデューティーは 0% 1 1: GTIOCnA 端子のデューティーは 100%	R/W
18	OADTYF	GTIOCnA 出力デューティー強制設定 0: 強制設定しない 1: 強制設定する	R/W
19	OADTYR	0%/100%デューティー設定解除後の GTIOCnA 出力値選択 0: 0%/100%デューティー比設定解除後にデューティー比が設定された場合、GTIOA[3:2]ビットで選択された機能が出力値に適用 1: 0%または 100%デューティー比設定解除後に GTIOA[3:2]ビットで選択された機能が、マスクされたコンペアマッチ出力値に適用されます。	R/W
23:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	OBDTY[1:0]	GTIOCnB 出力デューティー設定 0 0: GTIOCnB 端子のデューティーはコンペアマッチに依存 0 1: GTIOCnB 端子のデューティーはコンペアマッチに依存 1 0: GTIOCnB 端子のデューティーは 0% 1 1: GTIOCnB 端子のデューティーは 100%	R/W
26	OBDTYF	GTIOCnB 出力デューティー強制設定 0: 強制設定しない 1: 強制設定する	R/W

ビット	シンボル	機能	R/W
27	OBDTYR	0%/100%デューティー設定解除後の GTIOCnB 出力値選択 0: 0%/100%デューティー比設定解除後にデューティー比が設定された場合、GTIOB[3:2]ビットで選択された機能が出力値に適用 1: 0%/100%デューティー比設定解除後に GTIOB[3:2]ビットで選択された機能がマスクされたコンペアマッチ出力値に適用	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. n = 0～5、10～13

GTUDDTYC レジスタは、GTCNT カウンタのカウント方向（アップ／ダウン）および GTIOCnA/GTIOCnB 端子出力のデューティーを設定するレジスタです。

イベントカウント動作中は、本設定は無効です。

【カウント方向】

- のこぎり波モードの場合
  アップカウント中に UD 値を 0 にした場合、オーバーフロー時に（GTCNT カウンタ値が GTPR 値になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。ダウンカウント中に UD 値を 1 にした場合、アンダーフロー時に（GTCNT カウンタ値が 0 になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。
  カウント停止中に UDF ビットが 0 の状態で UD 値を 1 から 0 に変更した場合、カウント動作はアップカウントとなり、オーバーフロー時に（GTCNT カウンタ値が GTPR 値になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。カウント停止中に UDF ビットが 0 の状態で UD 値を 0 から 1 に変更した場合、カウント動作はダウンカウントとなり、アンダーフロー時に（GTCNT カウンタ値が 0 になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。
  カウント停止中に UDF ビットを 1 にすると、UD ビット値がカウントスタート時のカウント方向に反映されます。
- 三角波モードの場合
  カウント中に UD 値を変更しても、カウント方向は切り替わりません。カウントストップ中に UDF ビットが 0 の状態で UD 値を変更しても、カウントスタート時のカウント方向には反映されません。
  カウント停止中に UDF ビットを 1 にすると、そのときの UD 値がカウントスタート時のカウント方向に反映されます。

UD ビット（カウント方向設定）

UD ビットは GTCNT カウンタのカウント方向（アップ／ダウン）を設定します。

UDF ビット（カウント方向強制設定）

UDF ビットは GTCNT カウンタスタート時のカウント方向を強制的に UD 値に設定します。カウンタが動作している間は、このビットに 0 以外を書き込まないでください。カウントストップ中に 1 を書いた場合、カウントがスタートする前に 0 に戻してください。

【出力デューティー】

- のこぎり波モードの場合
  アップカウント中に OADTY/OBDTY 値を変更すると、オーバーフロー時 (GTCNT = GTPR) にデューティーが反映されます。ダウンカウント中に OADTY/OBDTY 値を変更すると、アンダーフロー時 (GTCNT = 0) にデューティーが反映されます。
  カウント停止中に、OADTYF/OBDTYF ビットが 0 の状態で OADTY/OBDTY 値を変更すると、カウンタ動作スタート時に出力デューティーは反映されません。カウント方向がアップカウントの場合、オーバーフロー時 (GTCNT = GTPR) に出力デューティーが反映されます。カウント方向がダウンカウントの場合、アンダーフロー時 (GTCNT = 0) に出力デューティーが反映されます。
  カウント停止中に、OADTYF/OBDTYF ビットが 1 の状態で OADTY/OBDTY 値を変更すると、カウンタ動作スタート時に出力デューティーが反映されます。
- 三角波モードの場合
  カウント中に OADTY/OBDTY 値を変更すると、アンダーフロー時にデューティーが反映されます。
  カウント停止中に、OADTYF/OBDTYF ビットが 0 の状態で OADTY/OBDTY 値を変更すると、カウンタ動作スタート時に出力デューティーは反映されません。ただし、アンダーフロー時に出力デューティーが反映されます。

カウント停止中に、OADTYF/OBDTYF ビットが 1 の状態で OADTY/OBDTY 値を変更すると、カウンタ動作スタート時に出力デューティーが反映されます。

のこぎり波モードと三角波モードで、OADTYF/OBDTYF ビットが 0 に戻った場合、および OADTYF/OBDTYF ビットを 1 にして、カウント動作停止中に最初の周期のデューティーに対して OADTY[1:0]/OBDTY[1:0]ビットを設定した後に OADTY[1:0]/OBDTY[1:0]ビットを設定した場合、カウント動作停止中に設定されたこれらのデューティー周期は、カウント動作開始後の最初の周期と 2 番目の周期に反映されます。

OmDTY[1:0]ビット（GTIOCnm 出力デューティー設定）（m = A、B）

OmDTY[1:0]ビットは GTIOCnm 端子の出力デューティー（0%、100%、またはコンペアマッチ制御）を設定します。

OmDTYF ビット（GTIOCnm 出力デューティー強制設定）（m = A、B）

OmDTYF ビットは出力デューティー比を OmDTY の設定値に強制的に設定します。カウンタの動作中は、このビットを 0 にしてください。

OmDTYR ビット（0%/100%デューティー設定解除後の GTIOCnm 出力値選択）（m = A、B）

制御が 0%/100%デューティー設定から GTIOCnm 端子のコンペアマッチに変更され、かつ GTIOR.GTIOm[3:2]ビットが 00b（周期の終わりで出力保持）または 11b（周期の終わりでトグル出力）に設定された場合、OmDTYR ビットは周期の終わりで出力保持／トグル出力の対象となる値を選択します。

デューティー比 0%/100%動作中に、GPT は内部でコンペアマッチ動作を継続します。OmDTYR ビットを 1 にすると、周期の終わりでのコンペアマッチの値が GTIOm[3:2]ビットに適用されます。

21.2.14 GTIOR : 汎用 PWM タイマ I/O コントロールレジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～5)
GPT16m = 0x4032_2000 + 0x0100 × m (m = 10～13)
GPT16m_NS = 0x5032_2000 + 0x0100 × m (m = 10～13)

Offset address: 0x34

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	NFCSB[1:0]		NFBEN	—	—	OBDF[1:0]		OBE	OBHLD	OBDFLT	—	GTIOB[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	NFCSA[1:0]		NFAEN	—	—	OADF[1:0]		OAE	OAHLD	OADFLT	—	GTIOA[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	GTIOA[4:0]	GTIOCnA 端子機能選択 表 21.4 を参照してください。	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	OADFLT	カウントストップ時の GTIOCnA 端子出力値設定 0: カウントストップ時に GTIOCnA 端子は Low を出力 1: カウントストップ時に GTIOCnA 端子は High を出力	R/W
7	OAHLD	カウントスタート／ストップ時の GTIOCnA 端子出力設定 0: カウントスタート／ストップ時の GTIOCnA 端子出力レベルはレジスタ設定値に従う 1: カウントスタート／ストップ時の GTIOCnA 端子出力レベルは保持される	R/W
8	OAE	GTIOCnA 端子出力許可 0: 出力を禁止 1: 出力を許可	R/W

ビット	シンボル	機能	R/W
10:9	OADF[1:0]	GTIOCnA 端子禁止値設定 0 0: 以下のいずれも設定しない 0 1: 出力ネゲート制御に対応して GTIOCnA 端子は Hi-Z に設定される 1 0: 出力ネゲート制御に対応して GTIOCnA 端子は 0 に設定される 1 1: 出力ネゲート制御に対応して GTIOCnA 端子は 1 に設定される	R/W
12:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13	NFAEN	GTIOCnA 端子入力ノイズフィルタ有効 0: GTIOCnA 端子のノイズフィルタは無効 1: GTIOCnA 端子のノイズフィルタは有効	R/W
15:14	NFCSA[1:0]	GTIOCnA 端子入力ノイズフィルタサンプリングクロック選択 0 0: PCLKD/1 0 1: PCLKD/4 1 0: PCLKD/16 1 1: PCLKD/64	R/W
20:16	GTIOB[4:0]	GTIOCnB 端子機能選択 表 21.4 を参照してください。	R/W
21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22	OBDFLT	カウントストップ時の GTIOCnB 端子出力値設定 0: カウントストップ時に GTIOCnB 端子は Low を出力 1: カウントストップ時に GTIOCnB 端子は High を出力	R/W
23	OBHLD	カウントスタート／ストップ時の GTIOCnB 端子出力設定 0: カウントスタート／ストップ時の GTIOCnB 端子出力レベルはレジスタ設定値に従う 1: カウントスタート／ストップ時の GTIOCnB 端子出力レベルは保持される	R/W
24	OBE	GTIOCnB 端子出力許可 0: 出力を禁止 1: 出力を許可	R/W
26:25	OBDF[1:0]	GTIOCnB 端子禁止値設定 0 0: 以下のいずれも設定しない 0 1: 出力ネゲート制御に対応して GTIOCnB 端子は Hi-Z に設定される 1 0: 出力ネゲート制御に対応して GTIOCnB 端子は 0 に設定される 1 1: 出力ネゲート制御に対応して GTIOCnB 端子は 1 に設定される	R/W
28:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29	NFBEN	ノイズフィルタ B 有効 0: GTIOCnB 端子のノイズフィルタは無効 1: GTIOCnB 端子のノイズフィルタは有効	R/W
31:30	NFCSB[1:0]	ノイズフィルタ B サンプリングクロック選択 0 0: PCLKD/1 0 1: PCLKD/4 1 0: PCLKD/16 1 1: PCLKD/64	R/W

注. n = 0～5、10～13

GTIOR レジスタは GTIOCnA 端子と GTIOCnB 端子の機能を設定するレジスタです。(n = 0～5, 10～13)

GTIOA[4:0]ビット（GTIOCnA 端子機能選択）

GTIOA[4:0]ビットは GTIOCnA 端子の機能を選択します。詳細は、表 21.4 を参照してください。

OADFLT ビット（カウントストップ時の GTIOCnA 端子出力値設定）

OADFLT ビットはカウントストップ時に、GTIOCnA 端子が High または Low のいずれを出力するかを設定します。

OAHLD ビット（カウントスタート／ストップ時の GTIOCnA 端子出力設定）

OAHLD ビットはカウントスタート／ストップ時に、GTIOCnA 端子の出力レベルが保持されるか、レジスタ設定値に従うかを指定します。

［OAHLD ビットを 0 にした場合］

- カウントスタート時に、GTIOA[4]ビットで指定した値を出力
- カウントストップ時に、OADFLT ビットで指定した値を出力
- カウントストップ中に、OADFLT ビットを書き換えた場合、ただちに出力に反映される

[OAHLD ビットを 1 にした場合]

- カウントスタート／ストップ時に出力が保持される

OAE ビット（GTIOCnA 端子出力許可）

OAE ビットは GTIOCnA 端子出力する/しないを選択します。

GTCCRA レジスタをインプットキャプチャレジスタとして使用する場合（GTICASR レジスタの少なくともひとつのビットが 1 の状態の場合 ） は、OAE ビットの設定にかかわらず GTIOCnA 端子出力を行いません。

OADF[1:0]ビット（GTIOCnA 端子禁止値設定）

OADF[1:0]ビットは POEG からの出力禁止要求に対応して GTIOCnA 端子の出力値を選択します。

NFAEN ビット（GTIOCnA 端子入力ノイズフィルタ有効）

NFAEN ビットは GTIOCnA 端子からの入力に対してノイズフィルタを有効または無効にします。このビット値を変更すると予想外のエッジが内部で発生する恐れがあるため、GTIOR レジスタの該当端子に対しアウトプットコンペア機能を選択してから、このビットを変更してください。

NFCSA[1:0]ビット（GTIOCnA 端子入力ノイズフィルタサンプリングクロック選択）

NFCSA[1:0]ビットは GTIOCnA 端子のノイズフィルタのサンプリング周期を設定します。これらのビットを設定する場合、選択したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能を設定してください。

GTIOB[4:0]ビット（GTIOCnB 端子機能選択）

GTIOB[4:0]ビットは GTIOCnB 端子の機能を選択します。詳細は、表 21.4 を参照してください。

OBDFLT ビット（カウントストップ時の GTIOCnB 端子出力値設定）

OBDFLT ビットはカウントストップ時に、GTIOCnB 端子が High または Low のいずれを出力するかを設定します。

OBHLD ビット（カウントスタート／ストップ時の GTIOCnB 端子出力設定）

OBHLD ビットはカウントスタート／ストップ時に、GTIOCnB 端子の出力レベルが保持されるか、レジスタ設定値に従うか指定します。

[OBHLD ビットを 0 にした場合]

- カウントスタート時に、GTIOB[4]ビットで指定した値を出力
- カウントストップ時に、OBDFLT ビットで指定した値を出力
- カウントストップ中に、OBDFLT ビットを書き換えた場合、ただちに出力に反映される

[OBHLD ビットを 1 にした場合]

- カウントスタート／ストップ時に出力が保持される

OBE ビット（GTIOCnB 端子出力許可）

OBE ビットは GTIOCnB 端子出力する/しないを選択します。

GTCCRB レジスタをインプットキャプチャレジスタとして使用する場合（GTICBSR レジスタの少なくともひとつのビットが 1 の状態の場合 ） は、OBE ビットの設定にかかわらず GTIOCnB 端子出力を行いません。

OBDF[1:0]ビット（GTIOCnB 端子禁止値設定）

OBDF[1:0]ビットは POEG からの出力禁止要求に対応して GTIOCnB 端子の出力値を選択します。

NFBEN ビット（ノイズフィルタ B 有効）

NFBEN ビットは GTIOCnB 端子からの入力に対してノイズフィルタを有効または無効にします。このビット値を変更すると予想外のエッジが内部で発生する恐れがあるため、GTIOR レジスタの該当端子に対しアウトプットコンペア機能を選択してから、このビットを変更してください。

NFCSB[1:0]ビット（ノイズフィルタ B サンプリングクロック選択）

NFCSB[1:0]ビットは GTIOCnB 端子のノイズフィルタのサンプリング周期を設定します。これらのビットを設定する場合、選択したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能を設定してください。

表 21.4 GTIOA[4:0]ビットと GTIOB[4:0]ビットの設定値

GTIOA/GTIOB[4:0]ビット					機能		
b4	b3	b2	b1	b0	b4	b3、b2(注1) (注2) (注3)	b1, b0(注2)
0	0	0	0	0	初期出力は Low	周期の終わりで出力保持	GTCCRA/GTCCRB コンペアマッチで出力保持
0	0	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
0	0	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
0	0	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	0	1	0	0		周期の終わりで Low 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	0	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
0	0	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
0	0	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	1	0	0	0		周期の終わりで High 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	1	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
0	1	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
0	1	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	1	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
0	1	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
0	1	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	0	0	0	0	初期出力は High	周期の終わりで出力保持	GTCCRA/GTCCRB コンペアマッチで出力保持
1	0	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	0	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	0	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	0	1	0	0		周期の終わりで Low 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	0	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	0	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	0	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	1	0	0	0		周期の終わりで High 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	1	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	1	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	1	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	1	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	1	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	1	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力

注 1. 周期の終わりとは、のこぎり波モードのときはオーバーフロー（アップカウント動作時に GTCNT が GTPR から 0 になる）、アンダーフロー（ダウンカウント動作時に GTCNT が 0 から GTPR になる）、カウンタクリア、三角波モードのときは谷（GTCNT が 0 から 1 になる）を示します。
注 2. コンペアマッチ動作時に、周期の終わりと GTCCRA/GTCCRB コンペアマッチのタイミングが一致した場合、のこぎり波 PWM モードでは b3 と b2 の設定値が優先され、それ以外のモードでは b1 と b0 の設定値が優先されます。
注 3. イベントカウント動作時（GTUPSR レジスタまたは GTDNSR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合）、b3 と b2 の設定は無効です。

21.2.15 GTINTAD : 汎用 PWM タイマ割り込み出力設定レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～5)
GPT16m = 0x4032_2000 + 0x0100 × m (m = 10～13)
GPT16m_NS = 0x5032_2000 + 0x0100 × m (m = 10～13)

Offset address: 0x38

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	GRPABL	GRPABH	—	—	—	GRP[1:0]		—	—	—	—	ADTRBDEN	ADTRBUEN	ADTRADEN	ADTRAUEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	ADTRAUEN	GTADTRA レジスタコンペアマッチ（アップカウント）A/D 変換開始要求許可 0: A/D 変換開始要求を禁止 1: A/D 変換開始要求を許可	R/W
17	ADTRADEN	GTADTRA レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求許可 0: A/D 変換開始要求を禁止 1: A/D 変換開始要求を許可	R/W
18	ADTRBUEN	GTADTRB レジスタコンペアマッチ（アップカウント）A/D 変換開始要求許可 0: A/D 変換開始要求を禁止 1: A/D 変換開始要求を許可	R/W
19	ADTRBDEN	GTADTRB レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求許可 0: A/D 変換開始要求を禁止 1: A/D 変換開始要求を許可	R/W
23:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	GRP[1:0]	出力禁止要因選択 0 0: グループ A 出力禁止要因を選択 0 1: グループ B 出力禁止要因を選択 1 0: グループ C 出力禁止要因を選択 1 1: グループ D 出力禁止要因を選択	R/W
28:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29	GRPABH	同時出力レベル High 禁止要求許可 0: 同時出力レベル High 禁止要求を禁止 1: 同時出力レベル High 禁止要求を許可	R/W
30	GRPABL	同時出力レベル Low 禁止要求許可 0: 同時出力レベル Low 禁止要求を禁止 1: 同時出力レベル Low 禁止要求を許可	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTINTAD レジスタは、割り込み要求、A/D 変換開始要求、および出力禁止要求を許可または禁止します。

ADTRAUEN ビット（GTADTRA レジスタコンペアマッチ（アップカウント）A/D 変換開始要求許可）

GTCNT カウンタがアップカウント時の GTADTRA レジスタとのコンレジスタペアマッチによる A/D 変換開始要求を許可／禁止します。

イベントカウント動作中、および A/D 変換開始要求が発生していない場合、本設定は無効です。

ADTRADEN ビット（GTADTRA レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求許可）

GTCNT カウンタがダウンカウント時の GTADTRA レジスタとのコンレジスタペアマッチによる A/D 変換開始要求を許可／禁止します。

イベントカウント動作中、および A/D 変換開始要求が発生していない場合、本設定は無効です。

ADTRBUEN ビット（GTADTRB レジスタコンペアマッチ（アップカウント）A/D 変換開始要求許可）

GTCNT カウンタがアップカウント時の GTADTRB レジスタとのコンレジスタペアマッチによる A/D 変換開始要求を許可／禁止します。

イベントカウント動作中、および A/D 変換開始要求が発生していない場合、本設定は無効です。

ADTRBDEN ビット（GTADTRB レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求許可）

GTCNT カウンタがダウンカウント時の GTADTRB レジスタとのコンレジスタペアマッチによる A/D 変換開始要求を許可／禁止します。

イベントカウント動作中、および A/D 変換開始要求が発生していない場合、本設定は無効です。

GRP[1:0]ビット（出力禁止要因選択）

GPT から POEG への出力禁止要求のグループと、POEG から GPT への GTIOCnA 端子と GTIOCnB 端子の出力禁止のグループを選択します。

POEG への出力禁止要求は、それぞれの禁止要求許可ビットに続くデッドタイムエラー、同時 High 出力、同時 Low 出力要因とともに、GRP[1:0]ビットで選択されたグループへ出力されます。

GTST.ODF は GRP[1:0]ビットで選択した出力禁止要因グループの要求を示します。GTIOR.OAE ビットと GTIOR.OBE ビットがともに 0 の場合に GRP[1:0]ビットを設定してください。

GPT に接続されたグループ以外の POEG を GRP[1:0]ビットで選択した場合、ODF フラグは常に 0 となり、ステータスが出力禁止状態に変わることはありません。

GRPABH ビット（同時出力レベル High 禁止要求許可）

GRPABH ビットは GTIOCnA 端子と GTIOCnB 端子が同時に 1 を出力する場合に、出力禁止要求を許可または禁止します。

GRPABL ビット（同時出力レベル Low 禁止要求許可）

GRPABL ビットは GTIOCnA 端子と GTIOCnB 端子が同時に 0 を出力する場合に、出力禁止要求を許可または禁止します。

21.2.16 GTST : 汎用 PWM タイマステータスレジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～5)
GPT16m = 0x4032_2000 + 0x0100 × m (m = 10～13)
GPT16m_NS = 0x5032_2000 + 0x0100 × m (m = 10～13)

Offset address: 0x3C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PCF	OABLF	OABHF	—	—	—	—	ODF	—	—	—	—	ADTRBDF	ADTRBUF	ADTRADF	ADTRAUF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TUCF	—	—	—	—	—	—	—	TCFPU	TCFPO	TCFF	TCFE	TCFD	TCFC	TCFB	TCFA
Value after reset:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TCFA	インプットキャプチャ／コンペアマッチフラグ A 0: GTCCRA インプットキャプチャ／コンペアマッチの発生なし 1: GTCCRA インプットキャプチャ／コンペアマッチの発生あり	R/W(注1)
1	TCFB	インプットキャプチャ／コンペアマッチフラグ B 0: GTCCRB インプットキャプチャ／コンペアマッチの発生なし 1: GTCCRB インプットキャプチャ／コンペアマッチの発生あり	R/W(注1)
2	TCFC	インプットコンペアマッチフラグ C 0: GTCCRC コンペアマッチの発生なし 1: GTCCRC コンペアマッチの発生あり	R/W(注1)
3	TCFD	インプットコンペアマッチフラグ D 0: GTCCRD コンペアマッチの発生なし 1: GTCCRD コンペアマッチの発生あり	R/W(注1)
4	TCFE	インプットコンペアマッチフラグ E 0: GTCCRE コンペアマッチの発生なし 1: GTCCRE コンペアマッチの発生あり	R/W(注1)
5	TCFF	インプットコンペアマッチフラグ F 0: GTCCRF コンペアマッチの発生なし 1: GTCCRF コンペアマッチの発生あり	R/W(注1)
6	TCFPO	オーバーフローフラグ 0: オーバーフロー（山）の発生なし 1: オーバーフロー（山）の発生あり	R/W(注1)
7	TCFPU	アンダーフローフラグ 0: アンダーフロー（谷）の発生なし 1: アンダーフロー（谷）の発生あり	R/W(注1)
14:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	TUCF	カウント方向フラグ 0: GTCNT カウンタはダウンカウント 1: GTCNT カウンタはアップカウント	R
16	ADTRAUF	GTADTRA レジスタコンペアマッチ（アップカウント）A/D 変換開始要求フラグ 0: アップカウント中、GTADTRA レジスタコンペアマッチの発生なし 1: アップカウント中、GTADTRA レジスタコンペアマッチの発生あり	R/W(注1)
17	ADTRADF	GTADTRA レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求フラグ 0: ダウンカウント中、GTADTRA レジスタコンペアマッチの発生なし 1: ダウンカウント中、GTADTRA レジスタコンペアマッチの発生あり	R/W(注1)
18	ADTRBUF	GTADTRB レジスタコンペアマッチ（アップカウント）A/D 変換開始要求フラグ 0: アップカウント中、GTADTRB レジスタコンペアマッチの発生なし 1: アップカウント中、GTADTRB レジスタコンペアマッチの発生あり	R/W(注1)
19	ADTRBDF	GTADTRB レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求フラグ 0: ダウンカウント中、GTADTRB レジスタコンペアマッチの発生なし 1: ダウンカウント中、GTADTRB レジスタコンペアマッチの発生あり	R/W(注1)
23:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	ODF	出力禁止フラグ 0: 出力禁止要求の発生なし 1: 出力禁止要求の発生あり	R
28:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29	OABHF	同時出力レベル High フラグ 0: GTIOCA 端子と GTIOCB 端子の両方で 1 出力の同時発生なし 1: GTIOCA 端子と GTIOCB 端子の両方で 1 出力の同時発生あり	R
30	OABLF	同時出力レベル Low フラグ 0: GTIOCA 端子と GTIOCB 端子の両方で 0 出力の同時発生なし 1: GTIOCA 端子と GTIOCB 端子の両方で 0 出力の同時発生あり	R
31	PCF(注2)	周期計数機能終了フラグ 0: 周期計数機能が終了していない 1: 周期計数機能が終了した	R/W(注1)

注 1. このビットは 0 のみ書けます。1 を書かないでください。
ADTRAUF、ADTRADF、ADTRBUF、または ADTRBDF フラグをクリアする場合は、クリアしたいフラグにのみ 0 を、クリアしたくないフラグには 1 を書き込んでください。
注 2. このビットは GPT320～GPT323、GPT1610 でのみ使用可能です。GPT324、GPT325、GPT1611～GPT1613 では、このビットは 0 が読めます。書く場合、0 としてください。

GTST レジスタは、GPT の状態を示します。

TCFA フラグ（インプットキャプチャ／コンペアマッチフラグ A）

TCFA フラグは GTCCRA のインプットキャプチャまたはコンペアマッチのステータスを示します。

[1 になる条件]

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 = GTCCRA レジスタ値になったとき
- GTCCRA レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRA レジスタに転送されたとき

[0 になる条件]

- このフラグに 0 を書いたとき

TCFB フラグ（インプットキャプチャ／コンペアマッチフラグ B）

TCFB フラグは GTCCRB のインプットキャプチャまたはコンペアマッチのステータスを示します。

[1 になる条件]

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 = GTCCRB レジスタ値になったとき
- GTCCRB レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタの値が GTCCRB レジスタに転送されたとき

[0 になる条件]

- このフラグに 0 を書いたとき

TCFC フラグ（インプットコンペアマッチフラグ C）

TCFC フラグは GTCCRC のコンペアマッチのステータスを示します。

GTCCRC がバッファ動作を実行するとき、GTCCRC はコンペアマッチを実行しません。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRC レジスタ値になったとき

[0 になる条件]

- このフラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] = 110b（三角波 PWM モード 3）
- GTBER.CCRA[1:0] = 01b、10b、11b（GTCCRC レジスタがバッファ動作）

TCFD フラグ（インプットコンペアマッチフラグ D）

TCFD フラグは GTCCRD のコンペアマッチのステータスを示します。

GTCCRD がバッファ動作を実行するとき、GTCCRD はコンペアマッチを実行しません。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRD レジスタ値になったとき

[0 になる条件]

- このフラグに 0 を書いたとき

［比較を行わない条件］

- GTCR.MD[2:0] = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] = 110b（三角波 PWM モード 3）
- GTBER.CCRA[1:0] = 10b、11b（GTCCRD レジスタがバッファ動作）

TCFE フラグ（インプットコンペアマッチフラグ E）

TCFE フラグは GTCCRE のコンペアマッチのステータスを示します。

GTCCRE がバッファ動作を実行するとき、GTCCRE はコンペアマッチを実行しません。

［1 になる条件］

- GTCNT カウンタ値 = GTCCRE レジスタ値になったとき

［0 になる条件］

- このフラグに 0 を書いたとき

［比較を行わない条件］

- GTCR.MD[2:0] = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] = 110b（三角波 PWM モード 3）
- GTBER.CCRB[1:0] = 01b、10b、11b（GTCCRE レジスタがバッファ動作）

TCFF フラグ（インプットコンペアマッチフラグ F）

TCFF フラグは GTCCRF のコンペアマッチのステータスを示します。

GTCCRF がバッファ動作を実行するとき、GTCCRF はコンペアマッチを実行しません。

［1 になる条件］

- GTCNT カウンタ値 = GTCCRF レジスタ値になったとき

［0 になる条件］

- このフラグに 0 を書いたとき

［比較を行わない条件］

- GTCR.MD[2:0] = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] = 110b（三角波 PWM モード 3）
- GTBER.CCRB[1:0] = 10b、11b（GTCCRF レジスタがバッファ動作）

TCFPO フラグ（オーバーフローフラグ）

TCFPO フラグはオーバーフローまたは山が発生したことを示します。

［1 になる条件］

- のこぎり波モードにおいて、オーバーフロー（アップカウント時に GTCNT カウンタが GTPR 値から 0 に変化）が発生したとき
- 三角波モードにおいて、山（GTCNT カウンタが GTPR 値から GTPR 値-1 に変化）が発生したとき
- ハードウェア要因によるカウントで、オーバーフロー（アップカウント時に GTCNT カウンタ値が GTPR 値から 0 に変化）が発生したとき

［0 になる条件］

- このフラグに 0 を書いたとき

TCFPU フラグ（アンダーフローフラグ）

TCFPU フラグはアンダーフローまたは谷が発生したことを示します。

［1 になる条件］

- のこぎり波モードにおいて、アンダーフロー（ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化）が発生したとき
- 三角波モードにおいて、谷（GTCNT カウンタが 0 から 1 に変化）が発生したとき
- ハードウェア要因によるカウントで、アンダーフロー（ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化）が発生したとき

[0 になる条件]

- このビットに 0 を書いたとき

TUCF フラグ（カウント方向フラグ）

TUCF フラグは GTCNT カウンタのカウント方向を示します。イベントカウント動作で、このフラグはアップカウント時に 1、ダウンカウント時に 0 になります。

ADTRAUF フラグ（GTADTRA レジスタコンペアマッチ（アップカウント）A/D 変換開始要求フラグ）

本ステータスフラグは、アップカウント時の GTADTRA レジスタコンペアマッチの発生を示します。

[1 になる条件]

- アップカウントで GTCNT カウンタ値が GTADTRA レジスタ値と一致したとき

[0 になる条件]

- ADTRAUF フラグに 0 を書いたとき

ADTRADF フラグ（GTADTRA レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求フラグ）

本ステータスフラグは、ダウンカウント時の GTADTRA レジスタコンペアマッチの発生を示します。

[1 になる条件]

- ダウンカウントで GTCNT カウンタ値が GTADTRA レジスタ値と一致したとき

[0 になる条件]

- ADTRADF フラグに 0 を書いたとき

ADTRBUF フラグ（GTADTRB レジスタコンペアマッチ（アップカウント）A/D 変換開始要求フラグ）

本ステータスフラグは、アップカウント時の GTADTRB レジスタコンペアマッチの発生を示します。

[1 になる条件]

- アップカウントで GTCNT カウンタ値が GTADTRB レジスタ値と一致したとき

[0 になる条件]

- ADTRBUF フラグに 0 を書いたとき

ADTRBDF フラグ（GTADTRB レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求フラグ）

本ステータスフラグは、ダウンカウント時の GTADTRB レジスタコンペアマッチの発生を示します。

[1 になる条件]

- ダウンカウントで GTCNT カウンタ値が GTADTRB レジスタ値と一致したとき

[0 になる条件]

- ADTRBDF フラグに 0 を書いたとき

ODF フラグ（出力禁止フラグ）

ODF フラグは GRP[1:0]ビットで選択する出力禁止要因グループの要求を示します。

出力が禁止された場合、出力禁止要求がネゲートされる周期内では、出力禁止制御は解除されません。次の周期に解除されます。

OABHF フラグ（同時出力レベル High フラグ）

OABHF フラグは GTIOCnA 端子と GTIOCnB 端子が同時に 1 を出力したことを示します。

GTIOCnA 端子または GTIOCnB 端子が 0 を出力した場合、このフラグは 0 に戻ります。このフラグは読み出し専用です。このフラグをクリアするための 0 の書き込みはしないでください。

OABHF フラグによる出力禁止要求が許可 (GTINTAD.GRPABH = 1) されている場合、OABHF フラグが出力禁止要求として POEG に出力されます。GPT には出力が同時に High に駆動されていることを示す割り込みがありません。割り込みが必要な場合、POEG の割り込み機能を使用します。

[1 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子が同時に 1 を出力したとき

[0 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子の出力値が異なるとき
- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子が同時に 0 を出力したとき
- OAE ビットと OBE ビットのどちらかが 0 になったとき

OABLF フラグ（同時出力レベル Low フラグ）

OABLF フラグは GTIOCnA 端子と GTIOCnB 端子が同時に 0 を出力したことを示します。

GTIOCnA 端子または GTIOCnB 端子が 1 を出力した場合、このフラグは 0 に戻ります。このフラグは読み出し専用です。このフラグをクリアするための 0 の書き込みはしないでください。

OABLF フラグによる出力禁止要求が許可 (GTINTAD.GRPABL = 1) されている場合、OABLF フラグが出力禁止要求として POEG に出力されます。GPT には出力が同時に Low に駆動されていることを示す割り込みがありません。割り込みが必要な場合、POEG の割り込み機能を使用します。

[1 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子が同時に 0 を出力したとき

[0 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子の出力値が異なるとき
- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子が同時に 1 を出力したとき
- OAE ビットと OBE ビットのどちらかが 0 になったとき

OABHF/OABLF フラグを生成する比較対象信号は、出力禁止機能でマスクされる前のコンペアマッチ出力（PWM 出力）信号です。出力禁止条件下においても、内部ではコンペアマッチ動作が継続します。OABHF フラグまたは OABLF フラグが動作結果に基づいて更新されます。

PCF フラグ（周期計数機能終了フラグ）

周期計数機能終了のステータスフラグです。

[1 になる条件]

- 周期の終わりで GTPC.PCEN ビットが 1、GTPC.PCNT カウンタが 1 のとき
- カウントクロックで GTPC.PCEN ビットが 1、GTPC.PCNT カウンタが 0 のとき

[0 になる条件]

- このフラグに 0 を書いたとき

21.2.17 GTBER : 汎用 PWM タイマバッファイネーブルレジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～5)
GPT16m = 0x4032_2000 + 0x0100 × m (m = 10～13)
GPT16m_NS = 0x5032_2000 + 0x0100 × m (m = 10～13)

Offset address: 0x40

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	ADTDB	ADTTB[1:0]		—	ADTDA	ADTTA[1:0]		—	CCRSWT	PR[1:0]		CCRB[1:0]		CCRA[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	BD2	BD1	BD0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BD0	GTCCR バッファ動作禁止 0: バッファ動作を許可 1: バッファ動作を禁止	R/W
1	BD1	GTPR バッファ動作禁止 0: バッファ動作を許可 1: バッファ動作を禁止	R/W
2	BD2	GTADTRA/GTADTRB レジスタバッファ動作禁止 0: バッファ動作を許可 1: バッファ動作を禁止	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	CCRA[1:0]	GTCCRA バッファ動作 0 0: バッファ動作しない 0 1: シングルバッファ動作 (GTCCRA ↔GTCCRC) その他: ダブルバッファ動作 (GTCCRA ↔ GTCCRC ↔ GTCCRD)	R/W
19:18	CCRB[1:0]	GTCCRB バッファ動作 0 0: バッファ動作しない 0 1: シングルバッファ動作 (GTCCRB ↔ GTCCRE) その他: ダブルバッファ動作 (GTCCRB ↔ GTCCRE ↔ GTCCRF)	R/W
21:20	PR[1:0]	GTPR バッファ動作 0 0: バッファ動作しない 0 1: シングルバッファ動作 (GTPBR → GTPR) その他: 設定禁止	R/W
22	CCRSWT	GTCCRA・GTCCRB 強制バッファ動作 1 を書くと GTCCRA および GTCCRB レジスタのバッファ転送を強制的に行います。このビットは 1 を書いた後、自動的に 0 に戻ります。読むと 0 が読めます。	W
23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	ADTTA[1:0]	GTADTRA レジスタバッファ転送タイミング選択 0 0: 三角波モードの場合、転送なし のこぎり波モードの場合、転送なし 0 1: 三角波モードの場合、山で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時）、オーバーフロー（アップカウント時）、またはカウンタクリアで転送 1 0: 三角波モードの場合、谷で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時）、オーバーフロー（アップカウント時）、またはカウンタクリアで転送 1 1: 三角波モードの場合、山と谷の両方で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時）、オーバーフロー（アップカウント時）、またはカウンタクリアで転送	R/W

ビット	シンボル	機能	R/W
26	ADTDA	GTADTRA レジスタダブルバッファ動作 0: シングルバッファ動作 (GTADTBRA →GTADTRA) 1: ダブルバッファ動作 (GTADTDBRA → GTADTBRA → GTADTRA)	R/W
27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29:28	ADTTB[1:0]	GTADTRB レジスタバッファ転送タイミング選択 0 0: 三角波モードの場合、転送なし のこぎり波モードの場合、転送なし 0 1: 三角波モードの場合、山で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時）、オーバーフロー（アップカウント時）、またはカウンタクリアで転送 1 0: 三角波モードの場合、谷で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時）、オーバーフロー（アップカウント時）、またはカウンタクリアで転送 1 1: 三角波モードの場合、山と谷の両方で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時）、オーバーフロー（アップカウント時）、またはカウンタクリアで転送	R/W
30	ADTDB	GTADTRB レジスタダブルバッファ動作 0: シングルバッファ動作 (GTADTBRB → GTADTRB) 1: ダブルバッファ動作 (GTADTDBRB → GTADTBRB → GTADTRB)	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTBER レジスタは、バッファ動作を設定します。GTBER レジスタは、GTCNT カウンタが停止しているときに設定してください。

BD0 ビット（GTCCR バッファ動作禁止）

BD0 ビットは GTCCRA、GTCCRB、GTCCRC、GTCCRD、GTCCRE、および GTCCRF レジスタを組み合わせたバッファ動作を禁止します。

GTDTCR.TDE ビットが 1 のとき、BD0 ビットを 0 にしても、GTCCRB レジスタはバッファ動作を行いません。GTCCRB レジスタは、デッドタイム付き逆相波形のコンペアマッチ値に自動的に設定されます。

GTSECSR レジスタにより 1 を書き込まれたビットの配置に対応するチャネルの BD0 ビット値は、GTSECR.SBDCE または GTSECR.SBDCD に 1 が書き込まれた場合に設定可能です。

BD1 ビット（GTPR バッファ動作禁止）

BD1 ビットは GTPR レジスタおよび GTPBR レジスタを組み合わせたバッファ動作を禁止します。

GTSECSR レジスタにより 1 を書き込まれたビットの配置に対応するチャネルの BD1 ビット値は、GTSECR.SBDPE または GTSECR.SBDPD に 1 が書き込まれた場合に設定可能です。

BD2 ビット（GTADTRA/GTADTRB レジスタバッファ動作禁止）

本ビットは GTADTRA、GTADTBRA、GTADTDBRA レジスタを共に使用したバッファ動作、および GTADTRB、GTADTBRB、GTADTDBRB レジスタを共に使用したバッファ動作を禁止します。

本設定はイベントカウント動作中は無効であり、GTADTRA、GTADTRB レジスタを使用したバッファ動作は実行されません。

GTSECSR レジスタにより 1 を書き込まれたビットの位置に関連するチャネルの BD2 ビット値は、GTSECR レジスタの SBDAE または SBDAD ビットに 1 が書き込まれたときに設定可能です。

CCRA[1:0]ビット（GTCCRA バッファ動作）

CCRA[1:0]ビットは GTCCRA、GTCCRC、および GTCCRD レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCR レジスタの設定が優先されます。

のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3（谷での 64 ビット転送）では、バッファ動作モードは固定されます。

CCRB[1:0]ビット（GTCCRB バッファ動作）

CCRB[1:0]ビットは GTCCRB、GTCCRE、および GTCCRF レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCR レジスタの設定が優先されます。

のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3（谷での 64 ビット転送）では、バッファ動作モードは固定されます。

PR[1:0]ビット（GTPR バッファ動作）

PR[1:0]ビットは GTPR レジスタおよび GTPBR レジスタを組み合わせたバッファ動作を設定します。

CCRSWT ビット（GTCCRA・GTCCRB 強制バッファ動作）

CCRSWT ビットに 1 を書くと GTCCRA および GTCCRB レジスタのバッファ転送を強制的に行います。このビットは 1 を書いた後、自動的に 0 に戻ります。本ビットは 0 が読み出され、カウントストップ時にコンペマッチ動作が設定されている場合にのみ有効です。

ADTTA[1:0]ビット（GTADTRA レジスタバッファ転送タイミング選択）

本ビットは GTADTRA、GTADTBRA、GTADTDBRA レジスタのバッファ動作の転送タイミングを設定します。

イベントカウント動作中は、本設定は無効です。

ADTDA ビット（GTADTRA レジスタダブルバッファ動作）

本ビットは GTADTRA、GTADTBRA、GTADTDBRA レジスタを組み合わせたバッファ動作を設定します。

イベントカウント動作中は、本設定は無効です。

ADTTB[1:0]ビット（GTADTRB レジスタバッファ転送タイミング選択）

本ビットは GTADTRB、GTADTBRB、GTADTDBRB レジスタのバッファ動作の転送タイミングを設定します。

イベントカウント動作中は、本設定は無効です。

ADTDB ビット（GTADTRB レジスタダブルバッファ動作）

本ビットは GTADTRB、GTADTBRB、GTADTDBRB レジスタを組み合わせたバッファ動作を設定します。

イベントカウント動作中は、本設定は無効です。

21.2.18 GTCNT : 汎用 PWM タイマカウンタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～5)
GPT16m = 0x4032_2000 + 0x0100 × m (m = 10～13)
GPT16m_NS = 0x5032_2000 + 0x0100 × m (m = 10～13)

Offset address: 0x48

Bit position:	31																													0
Bit field:																														
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	GTCNT は GPT32n (n = 0～5) 用の 32 ビットの読み出し／書き込みカウンタです。 GPT16m (m = 10～13) の場合、GTCNT は 16 ビットレジスタになります。GTCNT はカウント停止後に書き込みのみ可能です。 GPT16m (m = 10～13) の場合、32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0x0000 が読み出され、書き込みは無視されます。 GTCNT は、0 ≦ GTCNT ≦ GTPR の範囲内に設定してください。	R/W

21.2.19 GTCCRk : 汎用 PWM タイマコンペアキャプチャレジスタ k (k = A～F)

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～5)
GPT16m = 0x4032_2000 + 0x0100 × m (m = 10～13)
GPT16m_NS = 0x5032_2000 + 0x0100 × m (m = 10～13)

Offset address: 0x4C (GTCCRA)
0x50 (GTCCRB)
0x54 (GTCCRC)
0x58 (GTCCRE)
0x5C (GTCCRD)
0x60 (GTCCRF)

Bit position:	31																												0
Bit field:																													
Value after reset: (注1)	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	GTCCRk レジスタは読み出し／書き込みレジスタです。GTCCRk レジスタの有効ビット幅は、GTCNT カウンタの有効ビット幅と同じ（16 ビットまたは 32 ビット）です。GTCCRk レジスタの有効ビット幅が 16 ビットの場合、32 ビット単位アクセスしたときの上位 16 ビットは、常に 0x0000 が読み出され、書き込みは無視されます。 GTCCRA レジスタと GTCCRB レジスタは、アウトプットコンペア／インプットキャプチャ兼用のレジスタです。GTCCRC レジスタと GTCCRE レジスタはコンペアマッチレジスタであり、GTCCRA レジスタと GTCCRB レジスタ用のバッファレジスタとしても機能します。 GTCCRD レジスタと GTCCRF レジスタはコンペアマッチレジスタであり、GTCCRC レジスタと GTCCRE レジスタ用のバッファレジスタ（GTCCRA レジスタと GTCCRB レジスタ用のダブルバッファレジスタ）としても機能します。	R/W

注 1. GPT16m (m = 10～13) の場合、上位 16 ビット部分のリセット後の値は 0x0000 です。

21.2.20 GTPR : 汎用 PWM タイマ周期設定レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～5)
GPT16m = 0x4032_2000 + 0x0100 × m (m = 10～13)
GPT16m_NS = 0x5032_2000 + 0x0100 × m (m = 10～13)

Offset address: 0x64

Bit position:	31																												0
Bit field:																													
Value after reset: (注1)	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	GTPR レジスタは、読み出し／書き込みレジスタで、GTCNT カウンタのカウント最大値を設定します。GTPR レジスタの有効ビット幅は、GTCNT カウンタの有効ビット幅と同じ（16 ビットまたは 32 ビット）です。GTPR レジスタの有効ビット幅が 16 ビットの場合、32 ビット単位アクセスしたときの上位 16 ビットは、常に 0x0000 が読み出され、書き込みは無視されます。 のこぎり波の場合は、(GTPR+1) の値が周期になります。三角波の場合は、(GTPR×2) の値が周期になります。	R/W

注 1. GPT16m (m = 10～13) の場合、上位 16 ビット部分のリセット後の値は 0x0000 です。

21.2.21 GTPBR : 汎用 PWM タイマ周期設定バッファレジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～5)
GPT16m = 0x4032_2000 + 0x0100 × m (m = 10～13)
GPT16m_NS = 0x5032_2000 + 0x0100 × m (m = 10～13)

Offset address: 0x68

Bit position:	31																												0
Bit field:																													
Value after reset: (注1)	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	GTPBR レジスタは、読み出し／書き込みレジスタで、GTPR レジスタ用のバッファレジスタとして機能します。GTPBR レジスタの有効ビット幅は、GTCNT カウンタの有効ビット幅と同じ（16 ビットまたは 32 ビット）です。GTPBR レジスタの有効ビット幅が 16 ビットの場合、32 ビット単位アクセスしたときの上位 16 ビットは、常に 0x0000 が読み出され、書き込みは無視されます。	R/W

注 1. GPT16m (m = 10～13) の場合、上位 16 ビット部分のリセット後の値は 0x0000 です。

21.2.22 GTADTRk : A/D 変換開始要求タイミングレジスタ k (k = A, B)

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～5)

Offset address: 0x70 (GTADTRA)
0x7C (GTADTRB)

Bit position:	31																												0
Bit field:																													
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	A/D 変換開始要求発生のタイミングを設定 GTADTRk レジスタへの 8 ビットまたは 16 ビットアクセスは禁止されています。32 ビットアクセスをしてください。 GTADTRk レジスタの値が GTCNT カウンタ値と一致したとき、A/D 変換開始要求が発生します。	R/W

21.2.23 GTADTBRk : A/D 変換開始要求タイミングバッファレジスタ k (k = A, B)

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～5)

Offset address: 0x74 (GTADTBRA)
0x80 (GTADTBRB)

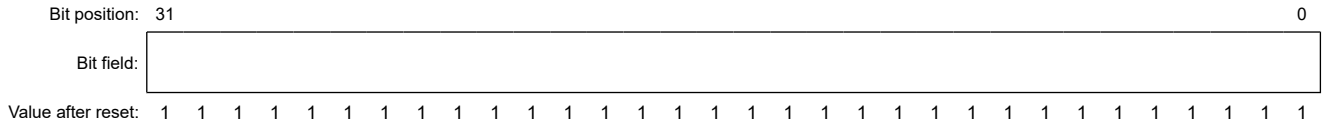
Bit position:	31																												0
Bit field:																													
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	GTADTRk レジスタ用のバッファレジスタ GTADTBRk レジスタへの 8 ビットまたは 16 ビットアクセスは禁止されています。32 ビットアクセスをしてください。	R/W

21.2.24 GTADTDBRk : A/D 変換開始要求タイミングダブルバッファレジスタ k (k = A, B)

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～5)

Offset address: 0x78 (GTADTDBRA)
0x84 (GTADTDBRB)

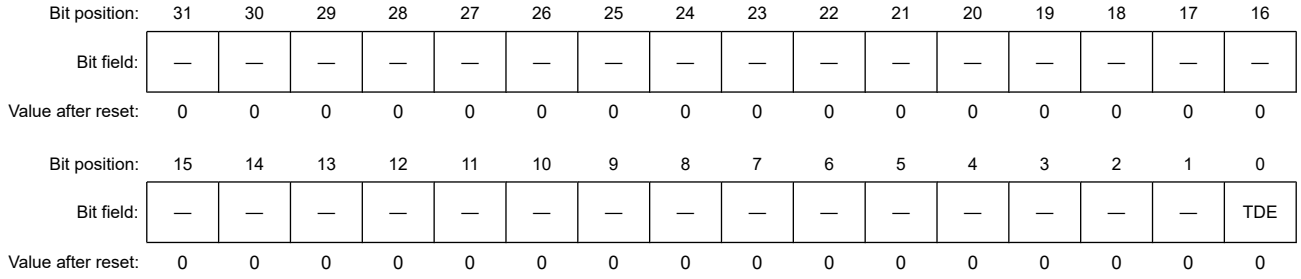


ビット	シンボル	機能	R/W
31:0	n/a	GTADTBRk レジスタ用のバッファレジスタ（すなわち、GTADTRk レジスタ用のダブルバッファレジスタ） GTADTDBRk レジスタへの 8 ビットまたは 16 ビットアクセスは禁止されています。32 ビットアクセスをしてください。	R/W

21.2.25 GTDTCR : 汎用 PWM タイマデッドタイムコントロールレジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～5)
GPT16m = 0x4032_2000 + 0x0100 × m (m = 10～13)
GPT16m_NS = 0x5032_2000 + 0x0100 × m (m = 10～13)

Offset address: 0x88



ビット	シンボル	機能	R/W
0	TDE	逆相波形設定 0: GTDVU レジスタを使用しないで、GTCCRB レジスタを設定する 1: GTDVU レジスタを使用して、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定する	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTDTCR レジスタは、デッドタイム付き逆相波形のコンペアマッチ値の自動設定を許可します。

イベントカウント動作中は、本設定は無効です。

TDE ビット（逆相波形設定）

TDE ビットは GTDVU レジスタを使用するか否かを指定します。GTDVU レジスタを使用する場合、正相波形のコンペアマッチ値（GTCCRA 値）とデッドタイム値（GTDVU 値）から算出されたデッドタイム付き逆相波形のコンペアマッチ値が、GTCCRB レジスタに自動設定されます。

TDE ビットの設定値は、のこぎり波 PWM モードでは無視され、GTCCRB レジスタで自動設定は行われません。

GTCCRB レジスタ値が自動設定されるとき、以下のような上限値と下限値があります。算出された GTCCRB 値がこの上限値と下限値の範囲内に収まらない場合、GTCCRB レジスタには以下の制限値が設定されます。

- 三角波の場合
  上限値：GTPR 値 − 1
  下限値：アップカウント時は 1、ダウンカウント時は 0
- のこぎり波ワンショットパルスモードの場合

上限値：GTPR 値
下限値：0

21.2.26 GTDVU : 汎用 PWM タイマデッドタイム値レジスタ U

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～5)
GPT16m = 0x4032_2000 + 0x0100 × m (m = 10～13)
GPT16m_NS = 0x5032_2000 + 0x0100 × m (m = 10～13)

Offset address: 0x8C

Bit position:	31																												0
Bit field:																													
Value after reset: (注1)	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	GTDVU レジスタは、読み出し／書き込みレジスタで、デッドタイム付き PWM 波形を生成するためのデッドタイム値を設定します。GTDVU レジスタの有効ビット幅は、GTCNT カウンタの有効ビット幅と同じ（16 ビットまたは 32 ビット）です。GTDVU レジスタの有効ビット幅が 16 ビットの場合、32 ビット単位アクセスしたときの上位 16 ビットは、常に 0x0000 が読み出され、書き込みは無視されます。 GTPR 以上の GTDVU 値は設定しないでください。デッドタイム自動設定機能を使用する場合、波形の変化点がカウント周期を超えるような値を設定しないでください。GTCCRB レジスタを読み出すと、自動計算される逆相波形の変化点を取得できます。GTDVU レジスタを使用する場合、GTCCRB レジスタへの書き込みはしないでください。このレジスタ値を 0 にすると、デッドタイムなしの波形が出力されます。	R/W

注 1. GPT16m (m = 10～13) の場合、上位 16 ビット部分のリセット後の値は 0x0000 です。

21.2.27 GTADSMR : 汎用 PWM タイマ A/D 変換開始要求信号監視レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～5)
GPT16m = 0x4032_2000 + 0x0100 × m (m = 10～13)
GPT16m_NS = 0x5032_2000 + 0x0100 × m (m = 10～13)

Offset address: 0xA4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	ADSMEN1	—	—	—	—	—	—	ADSMS1[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ADSMEN0	—	—	—	—	—	—	ADSMS0[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	ADSMS0[1:0]	A/D 変換開始要求信号監視 0 の選択 0 0: アップカウント時の、GTADTRA レジスタによる A/D 変換開始要求信号発生 0 1: ダウンカウント時の、GTADTRA レジスタによる A/D 変換開始要求信号発生 1 0: アップカウント時の、GTADTRB レジスタによる A/D 変換開始要求信号発生 1 1: ダウンカウント時の、GTADTRB レジスタによる A/D 変換開始要求信号発生	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	ADSMEN0	A/D 変換開始要求信号監視 0 の出力許可 0: A/D 変換開始要求信号監視 0 の出力を禁止 1: A/D 変換開始要求信号監視 0 の出力を許可	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
17:16	ADSMS1[1:0]	A/D 変換開始要求信号監視 1 の選択 0 0: アップカウント時に GTADTRA レジスタによる A/D 変換開始要求信号発生 0 1: ダウンカウント時に GTADTRA レジスタによる A/D 変換開始要求信号発生 1 0: アップカウント時に GTADTRB レジスタによる A/D 変換開始要求信号発生 1 1: ダウンカウント時に GTADTRB レジスタによる A/D 変換開始要求信号発生	R/W
23:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	ADSMEN1	A/D 変換開始要求信号監視 1 の出力許可 0: A/D 変換開始要求信号監視 1 の出力を禁止 1: A/D 変換開始要求信号監視 1 の出力を許可	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTADSMR レジスタは、フレーム期間と同期した A/D 変換開始要求信号の監視を制御するために使用します。

ADSMSk[1:0] ビット（A/D 変換開始要求信号監視 k の選択）(k = 0, 1)

GTASMk 端子で監視するフレーム期間と同期した A/D 変換開始要求信号を選択するビットです。

三角波 PWM モードでは、次の設定は禁止されています。

- GTADTRA = 0 のときに ADSMSk[1:0] ビットを 00b（アップカウント時の A/D 変換開始要求）に設定
- GTADTRB = 0 のときに ADSMSk[1:0] ビットを 10b（アップカウント時の A/D 変換開始要求）に設定
- GTADTRA = GTPR のときに ADSMSk[1:0] ビットを 01b（ダウンカウント時の A/D 変換開始要求）に設定
- GTADTRB = GTPR のときに ADSMSk[1:0] ビットを 11b（ダウンカウント時の A/D 変換開始要求）に設定

ADSMENk ビット（A/D 変換開始要求信号監視 k の出力許可）(k = 0, 1)

GTADSMk 端子への監視出力許可／禁止を選択します。

出力を禁止すると、GTADSMk 端子が Low になります。

このビットが 1 の場合、GTADSMk 端子の信号は、ADSMSk[1:0] ビットで選択した A/D 変換開始要求信号のアサート時に High になり、A/D 変換開始を要求する任意の信号を発生させるチャネルの現在のタイマ周期の終わりに Low に戻ります。カウンタが停止すると、カウンタ停止時の値が出力用に保持されます。ADSMENk ビットを 0 にして Low レベルを出力してください。

A/D 変換開始要求信号がタイマ周期の終わりに発生した場合、出力監視に関してはこの信号の発生が優先され、出力は次の周期の終わりまで High のままです。

複数チャネルに対して同じ A/D 変換開始要求信号監視の出力を許可した場合、信号の論理和が GPT から出力されます。

21.2.28 GTICLF : 汎用 PWM タイマチャネル間論理演算機能設定レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～5)
GPT16m = 0x4032_2000 + 0x0100 × m (m = 10～13)
GPT16m_NS = 0x5032_2000 + 0x0100 × m (m = 10～13)

Offset address: 0xB8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	ICLFSELD[5:0]						—	ICLFB[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	ICLFSELC[5:0]						—	ICLFA[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	ICLFA[2:0]	GTIOCnA 出力論理演算機能選択 0 0 0: A（遅延なし） 0 0 1: NOT A（遅延なし） 0 1 0: C（1 PCLKD サイクル遅延） 0 1 1: NOT C（1 PCLKD サイクル遅延） 1 0 0: A AND C（1 PCLKD サイクル遅延）(注2) 1 0 1: A OR C（1 PCLKD サイクル遅延）(注2) 1 1 0: A EXOR C（1 PCLKD サイクル遅延）(注2) 1 1 1: A NOR C（1 PCLKD サイクル遅延）(注2)	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:4	ICLFSELC[5:0]	チャネル間信号 C 選択(注1)(注2) 0x00: GTIOC0A 0x01: GTIOC0B 0x02: GTIOC1A 0x03: GTIOC1B ⋮ ⋮ 0x0A: GTIOC5A 0x0B: GTIOC5B 0x14: GTIOC10A 0x15: GTIOC10B ⋮ ⋮ 0x1A: GTIOC13A 0x1B: GTIOC13B その他: 設定禁止	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	ICLFB[2:0]	GTIOCnB 出力論理演算機能選択 0 0 0: B（遅延なし） 0 0 1: NOT B（遅延なし） 0 1 0: D（1 PCLKD サイクル遅延） 0 1 1: NOT D（1 PCLKD サイクル遅延） 1 0 0: B AND D（1PCLKD サイクル遅延）(注3) 1 0 1: B OR D（1PCLKD サイクル遅延）(注3) 1 1 0: B EXOR D（1 PCLKD サイクル遅延）(注3) 1 1 1: B NOR D（1PCLKD サイクル遅延）(注3)	R/W
19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:20	ICLFSELD[5:0]	チャネル間信号 D 選択(注1)(注3) 0x00: GTIOC0A 0x01: GTIOC0B 0x02: GTIOC1A 0x03: GTIOC1B ⋮ ⋮ 0x0A: GTIOC5A 0x0B: GTIOC5B 0x14: GTIOC10A 0x15: GTIOC10B ⋮ ⋮ 0x1A: GTIOC13A 0x1B: GTIOC13B その他: 設定禁止	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. n = 0～5、10～13
注 1. 出力禁止制御を実行する前に、信号が選択されます。
注 2. チャネル自身の GTIOCnA が選択されると、C は 1 として扱われます。
注 3. チャネル自身の GTIOCnB が選択されると、D は 1 として扱われます。

GTICLF レジスタはコンペアマッチ出力間の論理演算機能を設定します。コンペアマッチ制御後にデューティー 0%/100%処理を行った信号に対して、論理演算が実行されます。（出力禁止制御は論理演算後の信号に対して実行されます。）

GTICLF への 8 ビット単位でのアクセスはしないでください。

ICLFm[2:0]ビット（GTIOCnm 出力論理演算機能選択）(m = A, B)

これらのビットにより、GTIOCnm の出力禁止制御をする前の信号間の論理演算式を選択します。GPT 出力の障害を防ぐため、論理演算後の信号は、PCLKD でデータが取り込まれます。データが取り込まれたら、出力禁止制御を実行します。PCLKD 1 サイクルの遅延を生じる論理演算式を選択したとき、出力許可信号も同様に PCLKD 1 サイクル遅延して出力禁止制御に入力されます。

論理演算機能 AND、OR、EXOR、および NOR に対して同じ信号が選択されると、1 つの信号は 1 として扱われます。

ICLFSELk[5:0]ビット（チャネル間信号 k 選択）（k = C, D）

本ビットは、GTIOCnm に対する出力禁止制御を実行する前に、論理演算が実行される信号 k を選択します。

21.2.29 GTPC : 汎用 PWM タイマ周期カウントレジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～3)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～3)
GPT16m = 0x4032_2000 + 0x0100 × m (m = 10)
GPT16m_NS = 0x5032_2000 + 0x0100 × m (m = 10)

Offset address: 0xBC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	PCNT[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ASTP	—	—	—	—	—	—	—	PCEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PCEN	周期計数機能許可 0: 周期計数機能は禁止 1: 周期計数機能は許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	ASTP	自動停止機能許可 0: 自動停止機能は禁止 1: 自動停止機能は許可	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
27:16	PCNT[11:0]	周期カウンタ 周期計数のカウンタ	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTPC レジスタは周期回数をカウントします。

PCEN ビット（周期計数機能許可）

周期計数機能を許可／禁止します。

計数が進行中、停止中いずれにおいても書き込み可能です。

GTSECR.SPCE ビットまたは GTSECR.SPCD ビットのどちらかに 1 が書き込まれたとき、GTSECSR レジスタにより 1 が設定されたチャネルの PCEN ビットに値が同時に設定されます。

ASTP ビット（自動停止機能許可）

周期計数終了後の GTCNT カウンタ自動停止を許可／禁止します。

PCEN ビットが 0 のとき、書き込み可能です。

PCEN ビットが 1 のとき、書き込み禁止です。

PCEN ビットが 1 のとき、ASTP ビットが 1 でありかつ PCNT カウンタが PCNT = 0 で停止すると、GTCNT カウンタも停止します。ASTP ビットが 0 のときは、GTCNT はカウント動作を継続します。

PCNT[11:0]ビット（周期カウンタ）

周期回数をカウントするカウンタです。

PCEN ビットが 0 のとき、周期回数を書き込み可能です。

PCEN ビットが 1 のとき、書き込みは無効であり、周期の終わりでダウンカウントが実行されます。のこぎり波モードの場合、周期の終わりがオーバーフロー、アンダーフロー、またはカウンタクリアを表します。三角波モードの場合は、それは谷を表します。

周期の終わりに PCNT カウンタが 1 であるとき、カウンタは 0 になり、計数を停止します。

周期計数機能が許可された状態で、GTCNT カウンタが停止したとき、PCNT カウンタはその値を保持します。GTCNT カウンタがカウントを再開して PCEN ビットが 1 のとき、PCNT カウンタは保持していた値からダウンカウントを再開します。

PCNT カウンタが 0 かつ ASTP ビットが 1 の間に PCEN ビットが 0 から 1 に変化するとき、GTCNT カウンタがその直後にカウントクロックで停止します。

21.2.30 GTSECSR : 汎用 PWM タイマ動作許可ビット同時制御チャネル選択レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～5)
GPT16m = 0x4032_2000 + 0x0100 × m (m = 10～13)
GPT16m_NS = 0x5032_2000 + 0x0100 × m (m = 10～13)

Offset address: 0xD0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	SECSEL13	SECSEL12	SECSEL11	SECSEL10	—	—	—	—	SECSEL5	SECSEL4	SECSEL3	SECSEL2	SECSEL1	SECSEL0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SECSEL0	チャネル 0 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
1	SECSEL1	チャネル 1 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
2	SECSEL2	チャネル 2 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
3	SECSEL3	チャネル 3 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
4	SECSEL4	チャネル 4 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
5	SECSEL5	チャネル 5 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
9:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
10	SECSEL10	チャネル 10 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
11	SECSEL11	チャネル 11 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
12	SECSEL12	チャネル 12 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
13	SECSEL13	チャネル 13 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
31:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTSECR レジスタにより動作許可ビットを更新するチャネル n (n = 0～5, 10～13) を、GTSECSR レジスタで選択します。GTSECSR レジスタのビット位置はチャネル番号を示します。各チャネルの GTSECSR レジスタは共通レジスタであり、任意のチャネルの GTSECSR レジスタのビットに 1 を書き込んで更新すると、GTSECSR レジスタにより 1 が書き込まれたビット位置に対応するチャネルが、GTSECR レジスタによる動作許可ビットで同時制御できるように変更されます。

書き込みまたは読み出しアクセスの属性に反して、各チャネルに設定したセキュリティとプリビレッジ属性にセキュリティ違反またはプリビレッジ違反があった場合、セキュリティに違反したチャネル番号のビットは読み書き不可となり、当該ビットの読み出し値は 0 です。

GTSECSR のビット番号とチャネル番号の関係については、図 21.2 を参照してください。

GTSECSR へ 8 ビット単位、16 ビット単位でのアクセスはしないでください。32 ビット単位でアクセスしてください。

SECSELn ビット（動作許可ビット同時コントロールチャネル選択）（n = 0～5, 10～13）

本ビットはチャネル n の動作許可の同時制御を許可または禁止します。

本ビットを 1 にすると、同時制御が許可されます。本ビットを 0 にすると、同時制御が禁止されます。

21.2.31 GTSECR : 汎用 PWM タイマ動作許可ビット同時制御レジスタ

Base address: GPT32n = 0x4032_2000 + 0x0100 × n (n = 0～5)
GPT32n_NS = 0x5032_2000 + 0x0100 × n (n = 0～5)
GPT16m = 0x4032_2000 + 0x0100 × m (m = 10～13)
GPT16m_NS = 0x5032_2000 + 0x0100 × m (m = 10～13)

Offset address: 0xD4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	SPCD	—	—	—	—	—	—	—	SPCE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SBDAD	SBDPD	SBDCD	—	—	—	—	—	SBDAE	SBDPE	SBDCE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SBDCE	GTCCR レジスタバッファ動作同時許可 0: GTCCR レジスタバッファ動作を同時許可しない 1: GTCCR レジスタバッファ動作を同時許可する	R/W
1	SBDPE	GTPR レジスタバッファ動作同時許可 0: GTPR レジスタバッファ動作を同時許可しない 1: GTPR レジスタバッファ動作を同時許可する	R/W

ビット	シンボル	機能	R/W
2	SBDAE	GTADTR レジスタバッファ動作同時許可 0: GTADTR レジスタバッファ動作を同時許可しない 1: GTADTR レジスタバッファ動作を同時許可する	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	SBDCD	GTCCR レジスタバッファ動作同時禁止 0: GTCCR レジスタバッファ動作を同時禁止しない 1: GTCCR レジスタバッファ動作を同時禁止する	R/W
9	SBDPD	GTPR レジスタバッファ動作同時禁止 0: GTPR レジスタバッファ動作を同時禁止しない 1: GTPR レジスタバッファ動作を同時禁止する	R/W
10	SBDAD	GTADTR レジスタバッファ動作同時禁止 0: GTADTR レジスタバッファ動作を同時禁止しない 1: GTADTR レジスタバッファ動作を同時禁止する	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	SPCE	周期計数機能の同時許可(注1) 0: 周期計数機能を同時許可しない 1: 周期計数機能を同時許可する	R/W
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	SPCD	周期計数機能の同時禁止(注1) 0: 周期計数機能を同時禁止しない 1: 周期計数機能を同時禁止する	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このビットは GPT320～GPT323、GPT1610 でのみ使用可能です。
GPT324、GPT325、GPT1611～GPT1613 では、このビットは 0 が読めます。書く場合、0 としてください。

GTSECR レジスタは、GTSECSR レジスタで設定されたチャネルの動作許可ビットの値を同時に更新します。

任意のチャネルの GTSECR レジスタのビットに 1 を書き込み更新すると、全ての GTSECSR レジスタで 1 が書かれたビット位置に関連する全チャネルの動作許可ビットが更新されます。

GTSECR レジスタの同じ動作許可ビットの許可／禁止ビットを 1 に設定することは禁止です。

書き込みまたは読み出しアクセスの属性に反して、各チャネルに設定したセキュリティとプリビレッジ属性にセキュリティ違反またはプリビレッジ違反があった場合、セキュリティに違反したチャネル番号のビットは読み書き不可となり、当該ビットの読み出し値は 0 です。

1 を書き込んだビットは自動的にクリアされます。GTSECR は読むと 0 が読めます。

GTSECR レジスタは、8 ビットまたは 16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

SBDCE ビット（GTCCR レジスタバッファ動作同時許可）

本ビットに 1 を書いたとき、GTSECSR レジスタで 1 が設定されたチャネルの GTBER.BD[0]ビットに同時に 0 が設定され、GTCCRA、GTCCRC、GTCCRD レジスタと GTCCRB、GTCCRE、GTCCRF レジスタを使ったバッファ動作が許可されます。

SBDCE ビットと SBDCD ビットを同時に 1 に設定することは禁止です。

SBDPE ビット (GTPR レジスタバッファ動作同時許可)

本ビットに 1 を書いたとき、GTSECSR レジスタで 1 が設定されたチャネルの GTBER.BD[1]ビットに同時に 0 が設定され、GTPR と GTPBR レジスタを使ったバッファ動作が許可されます。

SBDPE ビットと SBDPD ビットを同時に 1 に設定することは禁止です。

SBDAE ビット (GTADTR レジスタバッファ動作同時許可)

本ビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTBER.BD[2]ビットに同時に 0 が設定され、GTADTRA、GTADTBRA、GTADTDBRA レジスタおよび GTADTRB、GTADTBRB、GTADTDBRB レジスタによるバッファ動作が許可されます。

SBDAE ビットと SBDAD ビットを同時に 1 に設定しないでください。

SBDCD ビット（GTCCR レジスタバッファ動作同時禁止）

本ビットに 1 を書いたとき、GTSECSR レジスタで 1 が設定されたチャネルの GTBER.BD[0]ビットに同時に 1 が設定され、GTCCRA、GTCCRC、GTCCRD レジスタと GTCCRB、GTCCRE、GTCCRF レジスタを使ったバッファ動作が禁止されます。

SBDCE ビットと SBDCD ビットを同時に 1 に設定することは禁止です。

SBDPD ビット (GTPR レジスタバッファ動作同時禁止)

本ビットに 1 を書いたとき、GTSECSR レジスタで 1 が設定されたチャネルの GTBER.BD[1]ビットに同時に 1 が設定され、GTPR と GTPBR レジスタを使ったバッファ動作が禁止されます。

SBDPE ビットと SBDPD ビットを同時に 1 に設定することは禁止です。

SBDAD ビット (GTADTR レジスタバッファ動作同時禁止)

本ビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTBER.BD[2]ビットに同時に 1 が設定され、GTADTRA、GTADTBRA、GTADTDBRA レジスタおよび GTADTRB、GTADTBRB、GTADTDBRB レジスタによるバッファ動作が禁止されます。

SBDAE ビットと SBDAD ビットを同時に 1 に設定しないでください。

SPCE ビット（周期計数機能の同時許可）

本ビットに 1 を書いたとき、GTSECSR レジスタで 1 が設定されたチャネルの GTPC.PCEN ビットに同時に 1 が設定され、周期計数機能が許可されます。

SPCE ビットと SPCD ビットを同時に 1 に設定することは禁止です。

SPCD ビット（周期計数機能の同時禁止）

本ビットに 1 を書いたとき、GTSECSR レジスタで 1 が設定されたチャネルの GTPC.PCEN ビットに同時に 0 が設定され、周期計数機能が禁止されます。

SPCE ビットと SPCD ビットを同時に 1 に設定することは禁止です。

21.3 動作説明

21.3.1 基本動作

各チャネルには 32 ビットおよび 16 ビットタイマがあり、各タイマは、カウントクロックとハードウェア要因を用いて周期的なカウント動作を実行します。カウント機能にはアップカウントとダウンカウントの両方があります。GTPR レジスタがカウント周期を制御します。

GTCNT カウンタ値が GTCCRA レジスタまたは GTCCRB レジスタの値に一致すると、対応する GTIOCnA 端子または GTIOCnB 端子からの出力を変更できます (n = 0～5, 10～13)。GTCCRA レジスタまたは GTCCRB レジスタは、ハードウェア要因によるインプットキャプチャレジスタとして使用できます。

GTCCRC および GTCCRD レジスタは、 GTCCRA レジスタ用のバッファレジスタとしても機能します。また、GTCCRE および GTCCRF レジスタは、 GTCCRB レジスタ用のバッファレジスタとしても機能します。

21.3.1.1 カウンタの動作

(1) カウンタスタート／ストップ

各チャネルのカウンタは、GTCR.CST ビットを 1 にするとカウント動作を開始し、GTCR.CST ビットを 0 にするとカウント動作を停止します。GTCR.CST ビット値は以下の要因によって変化します。

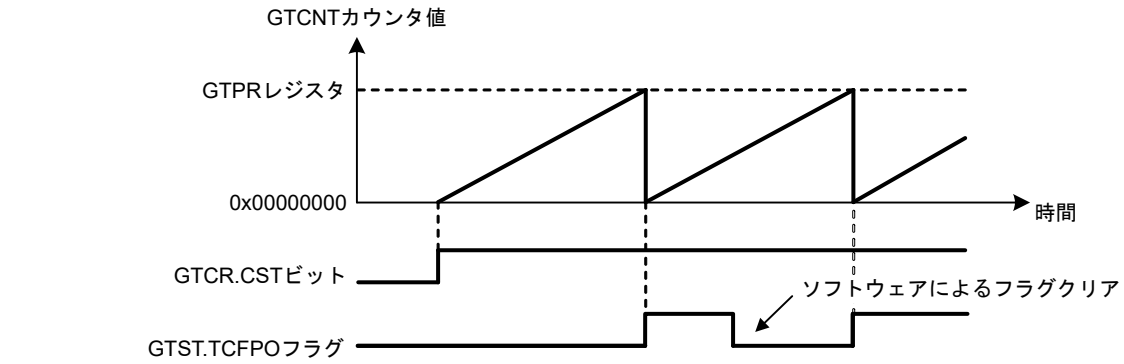
- GTCR レジスタへの書き込み
- GTSSR.CSTRT ビットが 1 になっている場合、GTSTR レジスタの GPT チャネル番号に対応したビットへの 1 の書き込み
- GTPSR.CSTOP ビットが 1 になっている場合、GTSTP レジスタの GPT チャネル番号に対応したビットへの 1 の書き込み
- GTSSR レジスタで選択したハードウェア要因
- GTPSR レジスタで選択したハードウェア要因

- GTPC.ASTP ビットが 1 の状態での周期計数機能の終了

(2) カウントクロックによるアップカウント時の周期カウント動作

各チャネルの GTCNT カウンタは、GTUPSR レジスタおよび GTDNSR レジスタを 0x00000000 にした状態で、対応する GTCR.CST ビットを 1 にすると、アップカウントを開始します。GTCNT カウンタ値が GTPR 値から 0 に変化（オーバーフロー）すると、GTST.TCFPO フラグが 1 になり、オーバーフロー割り込み (GPTn_OVF) も発生します。GTCNT カウンタはオーバーフロー後、0x00000000 からアップカウントを再開します。

図 21.3 にカウントクロックによるアップカウント時の周期カウント動作例を示します。



注. レジスタのベースアドレスは同じです。

図 21.3 カウントクロックによるアップカウント時の周期カウント動作例

表 21.5 にカウントクロックによるアップカウント時の周期カウント動作の設定例を示します。

表 21.5 カウントクロックによるアップカウント時の周期カウント動作の設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 21.3 では 000b（のこぎり波 PWM モード）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 21.3 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。図 21.3 では、0x00000000 を設定します。
6	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

(3) カウントクロックによるダウンカウント時の周期カウント動作

各チャネルの GTCNT カウンタは、GTUPSR および GTDNSR レジスタを 0x00000000 にした状態で、GTUDDTYC.UD ビットを設定することにより、ダウンカウントを実行できます。GTCNT カウンタ値が 0 から GTPR 値に変化（アンダーフロー）すると、GTST.TCFPU フラグが 1 になり、アンダーフロー割り込み (GPTn_UDF) も発生します。GTCNT カウンタはアンダーフロー後、GTPR 値からダウンカウントを再開します。

図 21.4 にカウントクロックによるダウンカウント時の周期カウント動作例を示します。

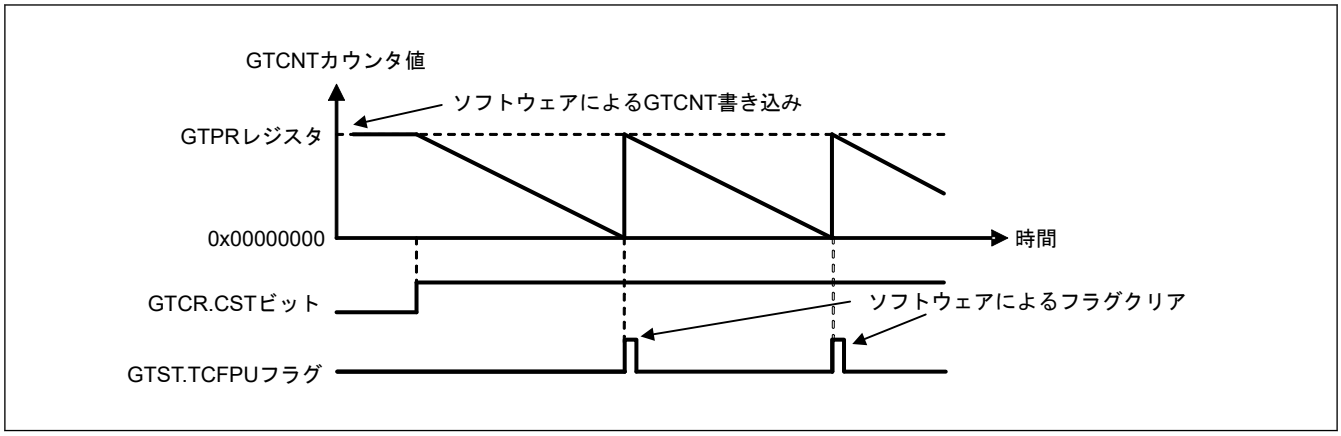


図 21.4　カウントクロックによるダウンカウント時の周期カウント動作例

表 21.6 にカウントクロックによるダウンカウント時の周期カウント動作の設定例を示します。

表 21.6　カウントクロックによるダウンカウント時の周期カウント動作の設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 21.4 では 000b（のこぎり波 PWM モード）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向を設定します。 図 21.4 では GTUDDTYC[1:0]ビットに 10b を設定してから GTUDDTYC[1:0]ビットに 00b を設定します。（ダウンカウント）
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 21.4 では GTPR 値を設定します。
6	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。 図 21.4 では、CST ビットに 1 を設定します。

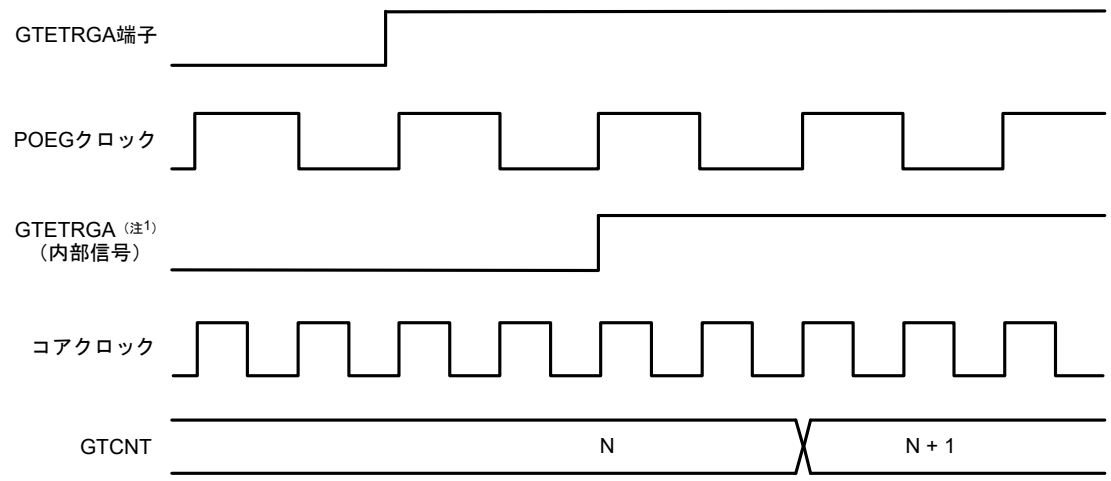
(4)　ハードウェア要因によるアップカウント時のイベントカウント動作

各チャネルの GTCNT カウンタは、GTUPSR レジスタで設定したハードウェア要因を使用して、アップカウントを行うことができます。

GTUPSR レジスタが設定されている場合、GTCR.TPCS[3:0]ビットで選択したカウントクロック、および GTUDDTYC.UD ビットで選択したカウント方向は無効です。ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。ハードウェア要因によるアップカウント時のオーバーフロー動作は、カウントクロックによるアップカウント動作と同じです。

アップカウントにハードウェア要因を使用している場合は、GTCR.CST ビットを 1 にしてカウント動作を有効にしてください。カウント動作は GTCR.TPCS[3:0]ビットで選択されたカウントクロックに同期しているため、GTCR.CST ビットを 1 にした後、GTCR.TPCS[3:0]ビットで指定された 1 クロックサイクルの間、カウンタはアップカウント動作を行うことができません。GTCR.CST ビットを 1 にした 1 PCLKD 後からアップカウントを行うためには、GTCR.TPCS[3:0]ビットを 000b にしてください。

図 21.5 にハードウェア要因（GTETRGA 端子入力の立ち上がりエッジ）によるアップカウント時のイベントカウント動作例を示します。



注. POEG クロック：PCLKB、コアクロック：PCLKD
注 1. POEG の GTETRGA 端子用デジタルノイズフィルタが使用されていないとき、GTETRGA 内部信号は GPT に入力されている信号を反映します。

図 21.5 ハードウェア要因によるアップカウント時のイベントカウント動作例

表 21.7 にハードウェア要因によるアップカウント時のイベントカウント動作の設定例を示します。

表 21.7 ハードウェア要因によるアップカウント時のイベントカウント動作の設定例

No.	手順名	説明
1	カウント要因設定	GTUPSR レジスタでアップカウントのハードウェア要因を選択します。
2	周期設定	GTPR レジスタに周期を設定します。
3	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
4	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

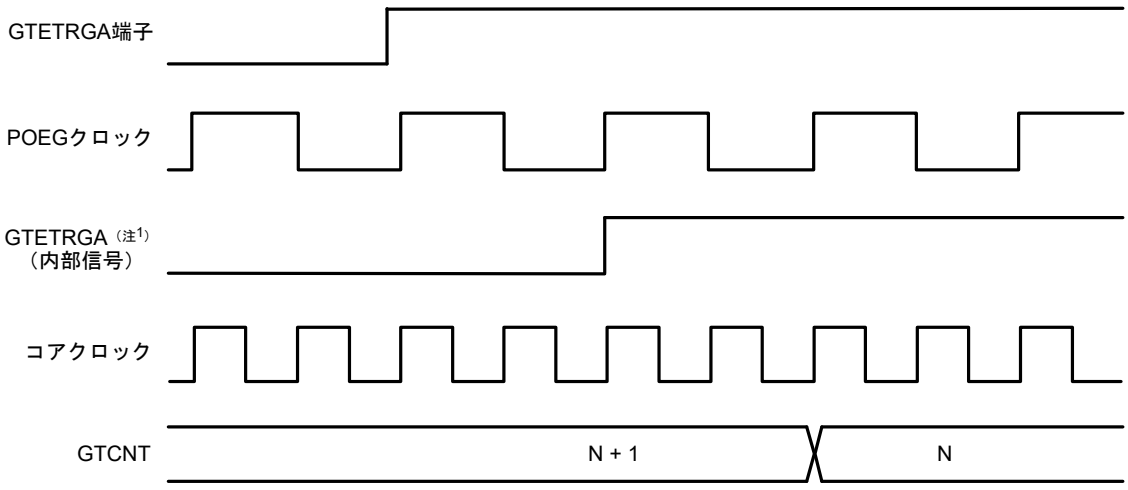
(5) ハードウェア要因によるダウンカウント時のイベントカウント動作

各チャネルの GTCNT カウンタは、GTDNSR レジスタで設定したハードウェア要因を使用して、ダウンカウントを行うことができます。

GTDNSR レジスタが設定されている場合、GTCR.TPCS[3:0]ビットで選択したカウントクロック、および GTUDDTYC.UD ビットで選択したカウント方向は無効です。ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。ハードウェア要因によるダウンカウント時のアンダーフロー動作は、カウントクロックによるダウンカウント時のアンダーフロー動作と同じです。

ダウンカウントにハードウェア要因を使用している場合は、GTCR.CST ビットを 1 にしてカウント動作を有効にしてください。カウント動作は GTCR.TPCS[3:0]ビットで選択されたカウントクロックに同期しているため、GTCR.CST ビットを 1 にした後、GTCR.TPCS[3:0]ビットで指定された 1 クロックサイクルの間、カウンタはダウンカウント動作を行うことができません。GTCR.CST ビットを 1 にした 1 PCLKD 後からダウンカウントを行うためには、GTCR.TPCS[3:0]ビットを 000b にしてください。

図 21.6 にハードウェア要因（GTETRGA の立ち上がりエッジ）によるダウンカウント時のイベントカウント動作例を示します。



注. POEG クロック：PCLKB、コアクロック：PCLKD
注 1. POEG の GTETRGA 端子用デジタルノイズフィルタが使用されていないとき、GTETRGA 内部信号は GPT に入力されている信号を反映します。

図 21.6 ハードウェア要因によるダウンカウント時のイベントカウント動作例

表 21.8 にハードウェア要因によるダウンカウント時のイベントカウント動作の設定例を示します。

表 21.8 ハードウェア要因によるダウンカウント時のイベントカウント動作の設定例

No.	手順名	説明
1	カウント要因設定	GTDNSR レジスタでダウンカウントのハードウェア要因を選択します。
2	周期設定	GTPR レジスタに周期を設定します。
3	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
4	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

(6) カウンタクリア動作

各チャネルのカウンタは、下記の要因でクリアすることが可能です。

- GTCNT レジスタへの 0 の書き込み
- GTCSR.CCLR ビットが 1 の状態での GTCLR レジスタのチャネル番号に対応するビットへの 1 書き込み
- GTCSR レジスタで選択したハードウェア要因

カウント動作中は、GTCNT レジスタに書き込むことはできません。GTCLR レジスタへの 1 の書き込みおよびハードウェア要因によるクリア要求により、GTCNT カウンタが動作中 (GTCR.CST = 1) の場合でも、停止中 (GTCR.CST = 0) の場合でも GTCNT カウンタをクリアすることができます。

GTCR.MD[2:0]ビットで選択されたのこぎり波モードで、カウント方向フラグがデクリメント (GTST.TUCF = 0) の場合、GTCLR レジスタへ 1 を書き込み、かつハードウェア要因によりクリアするとき、GTCNT レジスタは GTPR レジスタの値になります。

のこぎり波モードやダウンカウントではない場合、GTCLR レジスタへ 1 を書き込み、かつハードウェア要因によりクリアするとき、GTCNT レジスタは 0 になります。

GTUPSR レジスタまたは GTDNSR レジスタの 1 つ以上のビットが 1 になっている場合のイベントカウント動作では、クリア要因の発生後、GTCLR レジスタへの書き込みとハードウェア要因によるクリアの両方がただちに

実行され、PCLKD と同期が取られます。その他の設定を使用すると、GTCR.TPCS[3:0]ビットで選択されたカウンタクロックと同期してクリアが実行されます。

21.3.1.2 コンペアマッチによる波形出力機能

コンペアマッチとは、GTCNT カウンタ値が GTCCRA レジスタ値または GTCCRB レジスタ値と一致することを意味します。コンペアマッチが発生すると、イベントカウントを含むカウントクロックと同期して、コンペアマッチフラグが発生します。同時に、GPT は対応する GTIOCnA 出力端子または GTIOCnB 出力端子から Low 出力、High 出力、またはトグル出力を行うことができます (n = 0～5, 10～13)。さらに、GTPR レジスタで決定される周期の終わりにおいても、GTIOCnA 端子出力または GTIOCnB 端子出力を Low 出力、High 出力、またはトグル出力にすることができます。

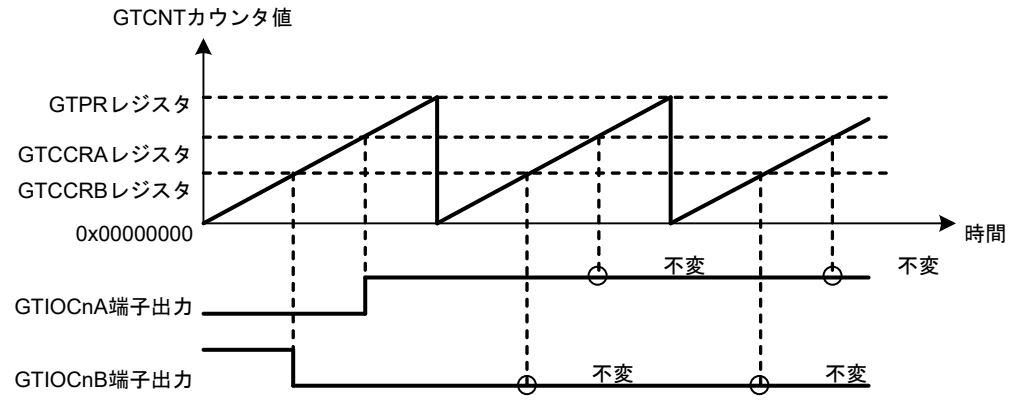
“周期の終わり”とは、以下の場合です。

- アップカウント時ののこぎり波の場合：GTCNT カウンタが GTPR 値から 0 に変化したとき（オーバーフロー）
- ダウンカウント時ののこぎり波の場合：GTCNT カウンタが 0 から GTPR 値に変化したとき（アンダーフロー）
- のこぎり波の場合：GTCNT カウンタがクリアされたとき
- 三角波の場合：GTCNT カウンタが 0 から 1 に変化したとき（谷）

(1) Low 出力／High 出力

図 21.7 に GTCCRA および GTCCRB レジスタのコンペアマッチによる Low 出力／High 出力の動作例を示します。

この例では、GTCNT カウンタがアップカウント動作を行い、GTCCRA レジスタのコンペアマッチによって GTIOCnA 端子から High が出力され、GTCCRB レジスタのコンペアマッチによって GTIOCnB 端子から Low が出力されるように設定しています。設定したレベルと端子レベルが一致した場合は、端子レベルは変化しません。



注. レジスタのベースアドレスは同じです。

図 21.7 Low 出力／High 出力動作例

表 21.9 に Low 出力／High 出力動作の設定例を示します。

表 21.9 Low 出力／High 出力動作の設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 21.7 では 000b（のこぎり波 PWM モード）を設定します。

表 21.9 Low 出力／High 出力動作の設定例 (2/2)

No.	手順名	説明
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 21.7 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 21.7 では、GTIOA[4:0] = 00010b、GTIOB[4:0] = 10001b
7	GTIOCnm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	コンペアマッチ値設定	GTCCRA レジスタ、GTCCRB レジスタにコンペアマッチ値を設定します。
9	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

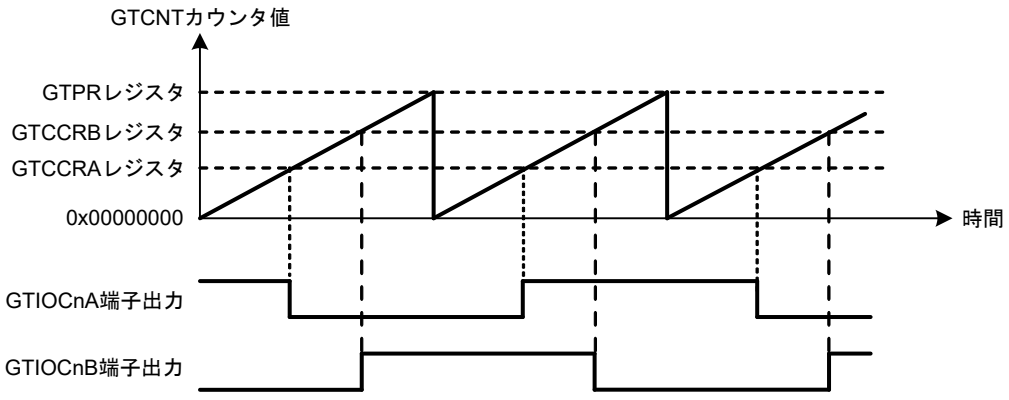
注. n: 0～5、10～13
m: A, B

(2) トグル出力

図 21.8 および図 21.9 に GTCCRA および GTCCRB レジスタのコンペアマッチによるトグル出力動作例を示します。

図 21.8 は、GTCNT カウンタがアップカウント動作を行い、GTCCRA レジスタのコンペアマッチと、GTCCRB レジスタのコンペアマッチによって、それぞれ GTIOCnA 端子と GTIOCnB 端子がトグル出力となるように設定した例です。

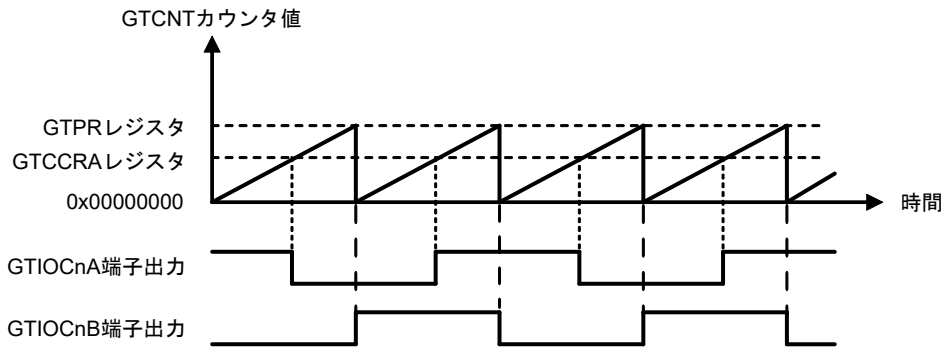
図 21.9 は、GTCNT カウンタがアップカウント動作を行い、GTCCRA レジスタのコンペアマッチによって GTIOCnA 端子がトグル出力となり、周期の終わりで GTIOCnB 端子がトグル出力となるように設定した例です。



［設定例］
GTIOR.GTIOA[4:0]ビットの設定：初期出力はHigh出力、コンペアマッチでトグル出力、周期の終わりで出力保持
GTIOR.GTIOB[4:0]ビットの設定：初期出力はLow出力、コンペアマッチでトグル出力、周期の終わりで出力保持

注. レジスタのベースアドレスは同じです。

図 21.8 トグル出力動作例 (1)



［設定例］
GTIOR.GTIOA[4:0]ビットの設定：初期出力はHigh出力、コンペアマッチでトグル出力、周期の終わりで出力保持
GTIOR.GTIOB[4:0]ビットの設定：初期出力はLow出力、コンペアマッチで出力保持、周期の終わりでトグル出力

注. レジスタのベースアドレスは同じです。

図 21.9 トグル出力動作例 (2)

表 21.10 にトグル出力動作の設定例を示します。

表 21.10 トグル出力動作の設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 21.8 と図 21.9 では 000b（のこぎり波 PWM モード）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。図 21.8 と図 21.9 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 21.8 では GTIOA[4:0] = 10011b、GTIOB[4:0] = 00011b、図 21.9 では GTIOA[4:0] = 10011b、GTIOB[4:0] = 01100b
7	GTIOCnm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	コンペアマッチ値設定	GTCCRA レジスタ、GTCCRB レジスタにコンペアマッチ値を設定します。
9	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

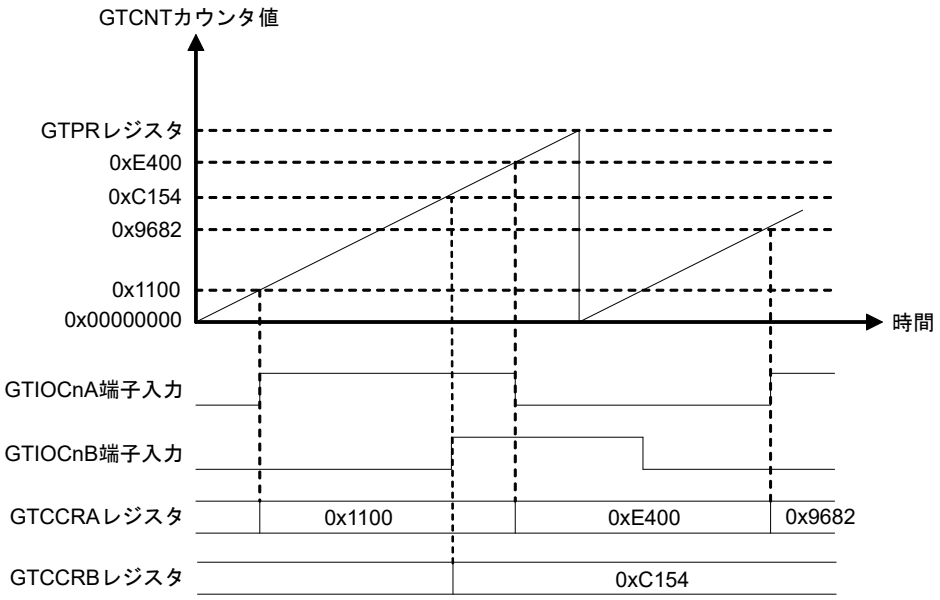
注. n: 0～5、10～13
m: A, B

21.3.1.3 インプットキャプチャ機能

GTICASR レジスタおよび GTICBSR レジスタに設定されたハードウェア要因の検出時に、GTCCRA レジスタまたは GTCCRB レジスタのいずれか一方に GTCNT カウンタ値を転送できます。

インプットキャプチャ機能の動作例を図 21.10 に示します。

この例では、カウントクロックで GTCNT カウンタがアップカウント動作を行い、GTIOCnA 入力端子の両エッジで GTCCRA レジスタにインプットキャプチャを実行し、GTIOCnB 入力端子の立ち上がりエッジで GTCCRB レジスタにインプットキャプチャを実行するように設定しています。



注. レジスタのベースアドレスは同じです。
注. [設定例]
GTICASR 設定：両エッジでインプットキャプチャ
GTICBSR 設定：立ち上がりエッジでインプットキャプチャ

図 21.10 インプットキャプチャ動作例

カウントクロックによるカウント動作でのインプットキャプチャ動作の設定例を表 21.11 と表 21.14 に示します。

表 21.11 インプットキャプチャ動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 21.10 では 000b（のこぎり波 PWM モード）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 21.10 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	インプットキャプチャ要因の選択	GTICASR レジスタおよび GTICBSR レジスタでインプットキャプチャ要因を選択します。 図 21.10 では、GTICASR = 0x00000F00、GTICBSR = 0x00003000
7	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

21.3.2 バッファ動作

GTBER レジスタによって、以下のバッファ動作の設定が可能です。

- GTPR レジスタ、GTPBR レジスタ
- GTCCRA レジスタ、GTCCRC レジスタ、GTCCRD レジスタ
- GTCCRB レジスタ、GTCCRE レジスタ、GTCCRF レジスタ
- GTADTRA レジスタ、GTADTBRA レジスタ、GTADTDBRA レジスタ
- GTADTRB レジスタ、GTADTBRB レジスタ、GTADTDBRB レジスタ

21.3.2.1 GTPR レジスタのバッファ動作

GTPBR レジスタは、GTPR レジスタ用のバッファレジスタとして機能します。

バッファ転送は、のこぎり波モードまたはイベントカウントでは、オーバーフロー時（アップカウント中）またはアンダーフロー時（ダウンカウント中）に実行されます。また、三角波モードでは谷で実行されます。

のこぎり波モードまたはイベントカウントでは、カウント中に以下のカウンタクリア動作が発生すると、バッファ転送が実行されます。

- ハードウェア要因によるクリア（クリア要因は GTCSR レジスタで選択）
- ソフトウェアによるクリア（GTCSR.CCLR ビットが 1、GTCLR.CCLRn ビットが 1、n = 0〜5、10〜13）

GTPR レジスタをバッファとして機能するように設定する場合は、GTBER.PR ビットを 1 にしてください。GTPR レジスタをバッファとして機能しないように設定する場合は、GTBER.PR ビットを 0 にしてください。

図 21.11 と図 21.12 に GTPR レジスタのバッファ動作例を、表 21.12 に GTPR レジスタのバッファ動作の設定例を示します。

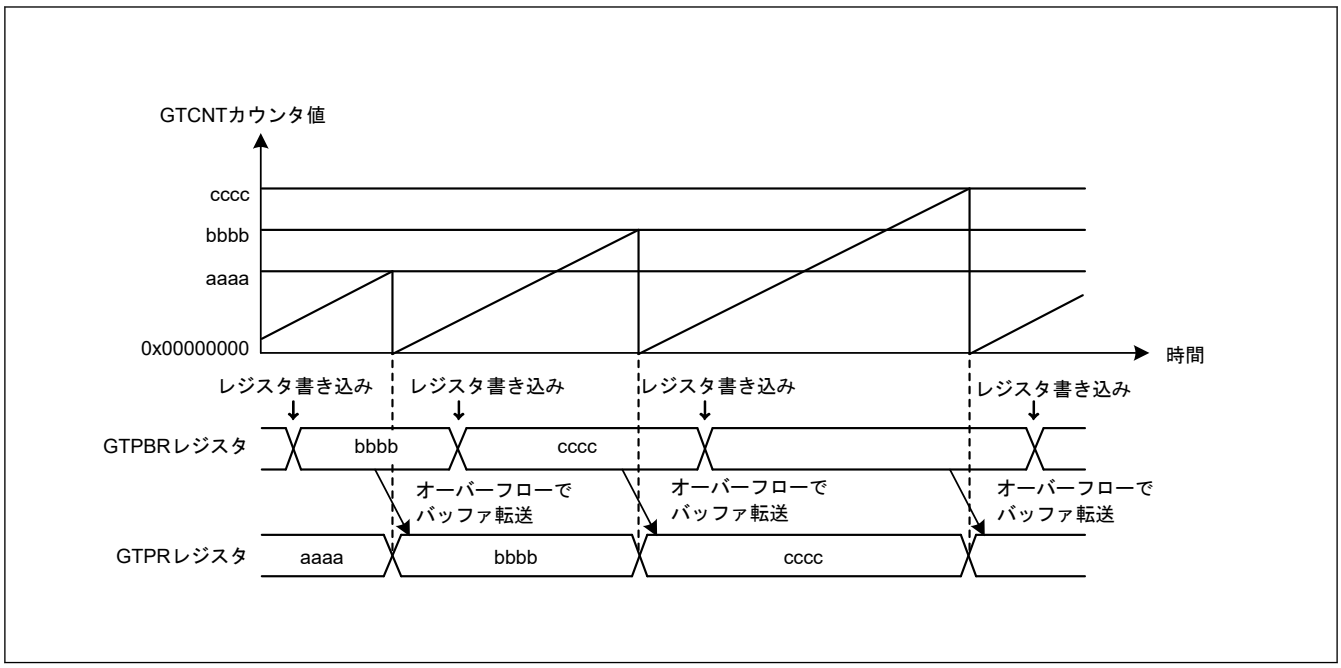


図 21.11 GTPR レジスタのバッファ動作例（のこぎり波でアップカウントの場合）

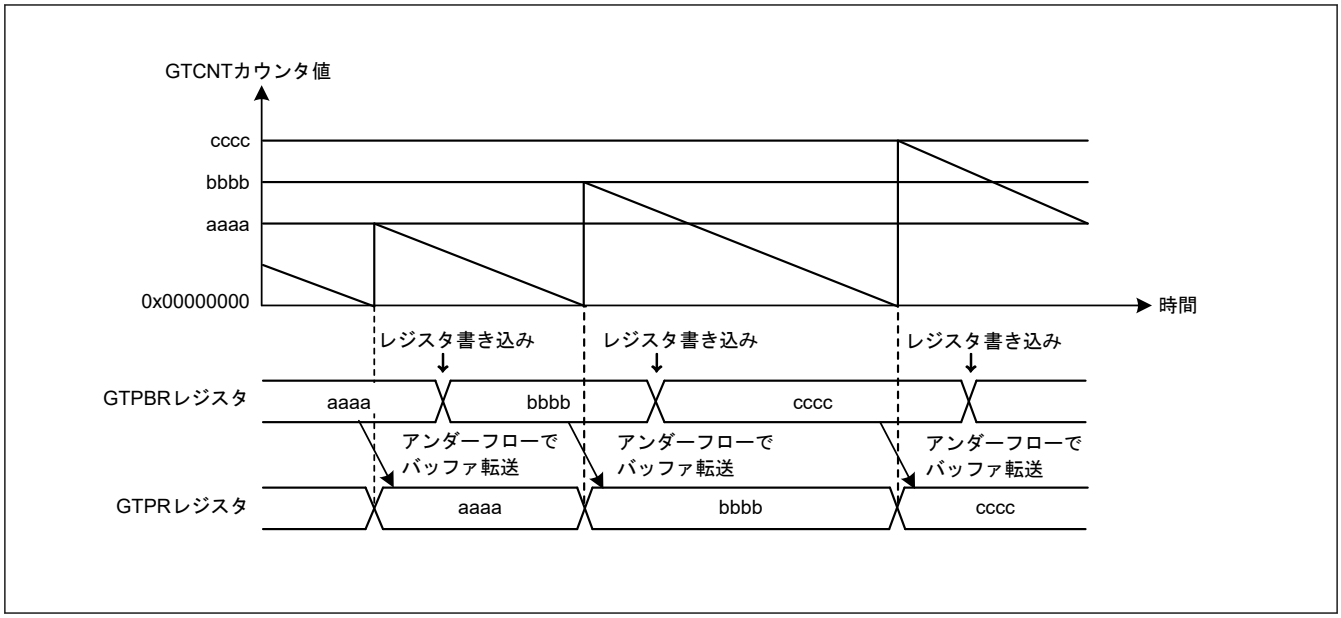


図 21.12　GTPR レジスタのバッファ動作例（のこぎり波でダウンカウントの場合）

表 21.12　GTPR レジスタのバッファ動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 21.11 と図 21.12 では 000b（のこぎり波 PWM モード）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップまたはダウン）を設定します。 図 21.11 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。図 21.12 では GTUDDTYC[1:0]ビットに 10b を設定してから GTUDDTYC[1:0]ビットに 00b を設定します（ダウンカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	バッファ動作の設定	GTBER.PR[1:0]ビットでバッファ動作を設定します。図 21.11 と図 21.12 では、PR[1:0] = 01b です。
7	バッファ値設定	バッファ動作時は、現在の周期から 1 周期後の値を GTPBR レジスタに設定します。
8	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
9	周期ごとのバッファ値設定	バッファ動作時は、現在の周期から 1 周期後の値を GTPBR レジスタに設定します。

21.3.2.2　GTCCRA、GTCCRB レジスタのバッファ動作

GTCCRC レジスタは GTCCRA レジスタ用のバッファレジスタとして、GTCCRD レジスタは GTCCRC レジスタ用のバッファレジスタ（すなわち、GTCCRA レジスタ用のダブルバッファレジスタ）として機能します。同様に、GTCCRE レジスタは GTCCRB レジスタ用のバッファレジスタとして、GTCCRF レジスタは GTCCRE レジスタ用のバッファレジスタ（すなわち、GTCCRB レジスタ用のダブルバッファレジスタ）として機能します。

GTCCRA または GTCCRB レジスタをダブルバッファ動作させるには、GTBER.CCRA[1:0]または GTBER.CCRB[1:0]ビットを 10b または 11b に設定します。シングルバッファ動作の場合は、01b とします。GTCCRA または GTCCRB レジスタをバッファ動作させない場合は、00b にしてください。

のこぎり波ワンショットパルスモード、三角波 PWM モード 3 では、各 PWM 出力動作モードに固有のバッファ動作は、GTBER.CCRA[1:0]ビットと GTBER.CCRB[1:0]ビットの設定値に関係なく実行されます。

(1)　GTCCRA または GTCCRB レジスタがアウトプットコンペアレジスタとして機能する場合

のこぎり波ワンショットパルスモード、三角波 PWM モード 3 では、各 PWM 出力動作モードに固有のバッファ動作は、GTBER.CCRA[1:0]ビットと GTBER.CCRB[1:0]ビットの設定値に関係なく実行されます。詳細は「21.3.3. PWM 出力動作モード」を参照してください。指定された PWM 出力動作モード以外では、バッファ転送は次の場合に実行されます。

バッファ転送は次の場合に発生します。

- オーバーフロー／アンダーフローによるバッファ転送
  のこぎり波モードまたはイベントカウント動作では、オーバーフロー時（アップカウント中）またはアンダーフロー時（ダウンカウント中）に、バッファ転送が実行されます。三角波モードでは、谷（三角波 PWM モード 1）または山および谷（三角波 PWM モード 2）で、バッファ転送が実行されます。
- カウンタクリアによるバッファ転送
  のこぎり波モードまたはイベントカウント動作では、カウント中に「21.3.2.1. GTPR レジスタのバッファ動作」に示される場合と類似したカウンタクリア要因によって、バッファ転送が（同じく、アップカウント中のオーバーフロー時またはダウンカウント中のアンダーフロー時に）実行されます。
  三角波モードでは、カウンタクリアによるバッファ転送は実行されません。
- バッファ強制転送
  のこぎり波でも三角波でもイベントカウント動作でも、カウント停止中に GTBER.CCRSWT ビットに 1 を書くと、GTCCRA レジスタ、GTCCRB レジスタのバッファ転送を強制的に行います。
  さらに、のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 では、GTCCRD レジスタからテンポラリレジスタ A へのバッファ転送、および GTCCRF レジスタからテンポラリレジスタ B へのバッファ転送が実行されます。

図 21.13～図 21.15 に GTCCRA および GTCCRB レジスタのバッファ動作例を、表 21.13 に GTCCRA および GTCCRB レジスタのバッファ動作の設定例を示します。

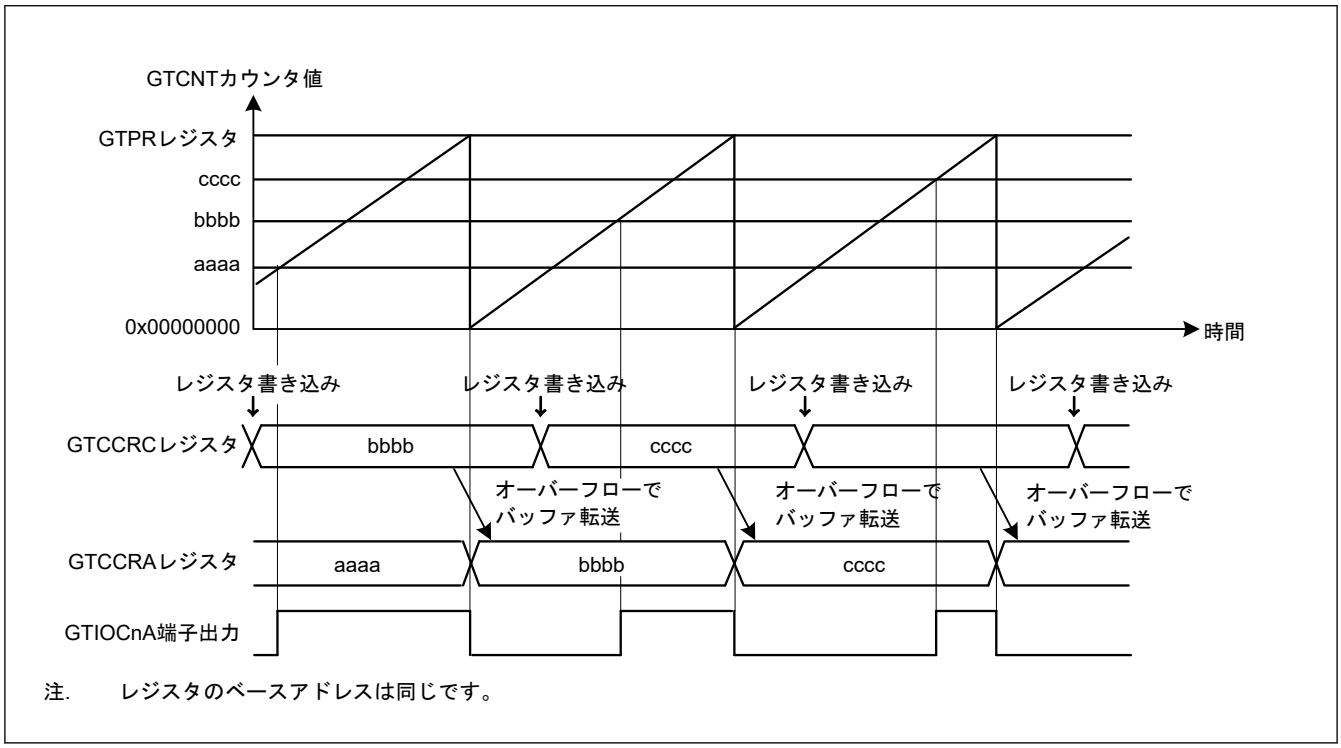
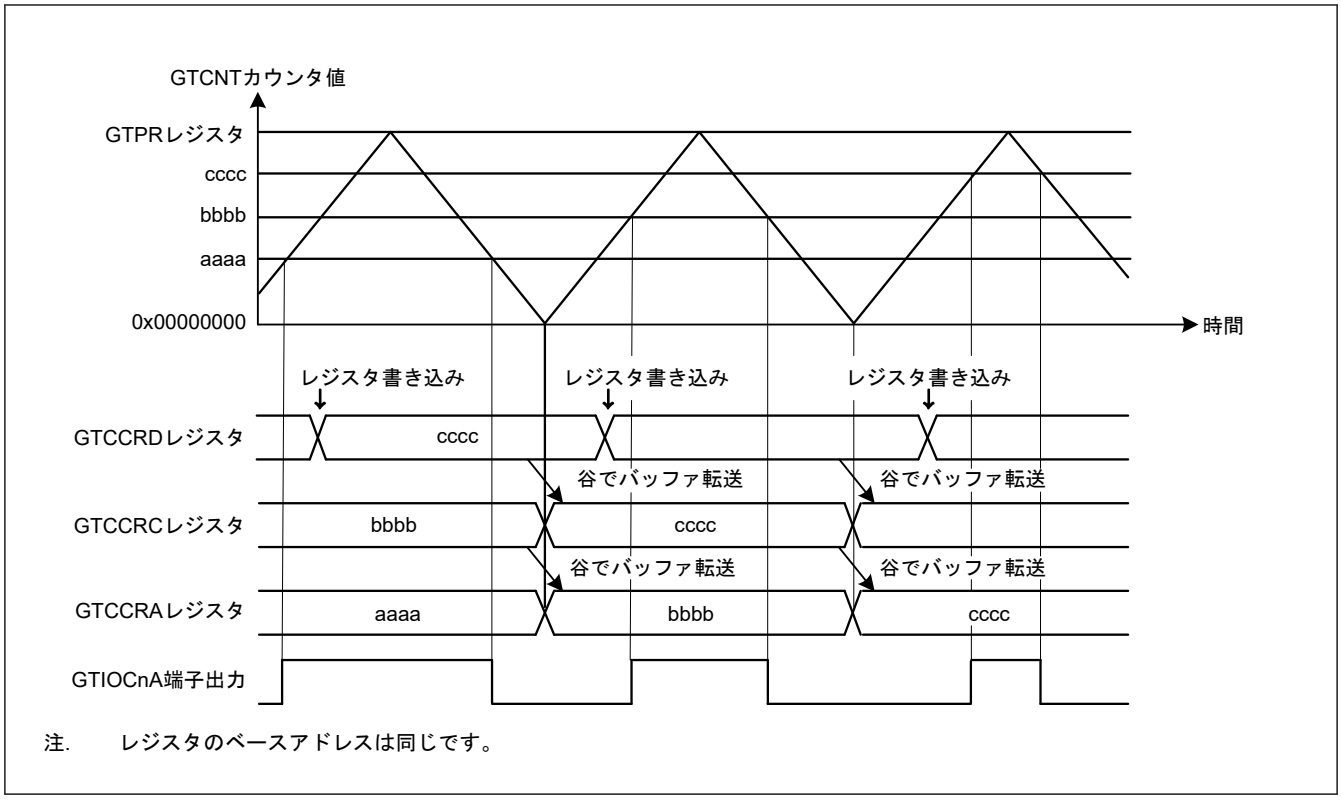
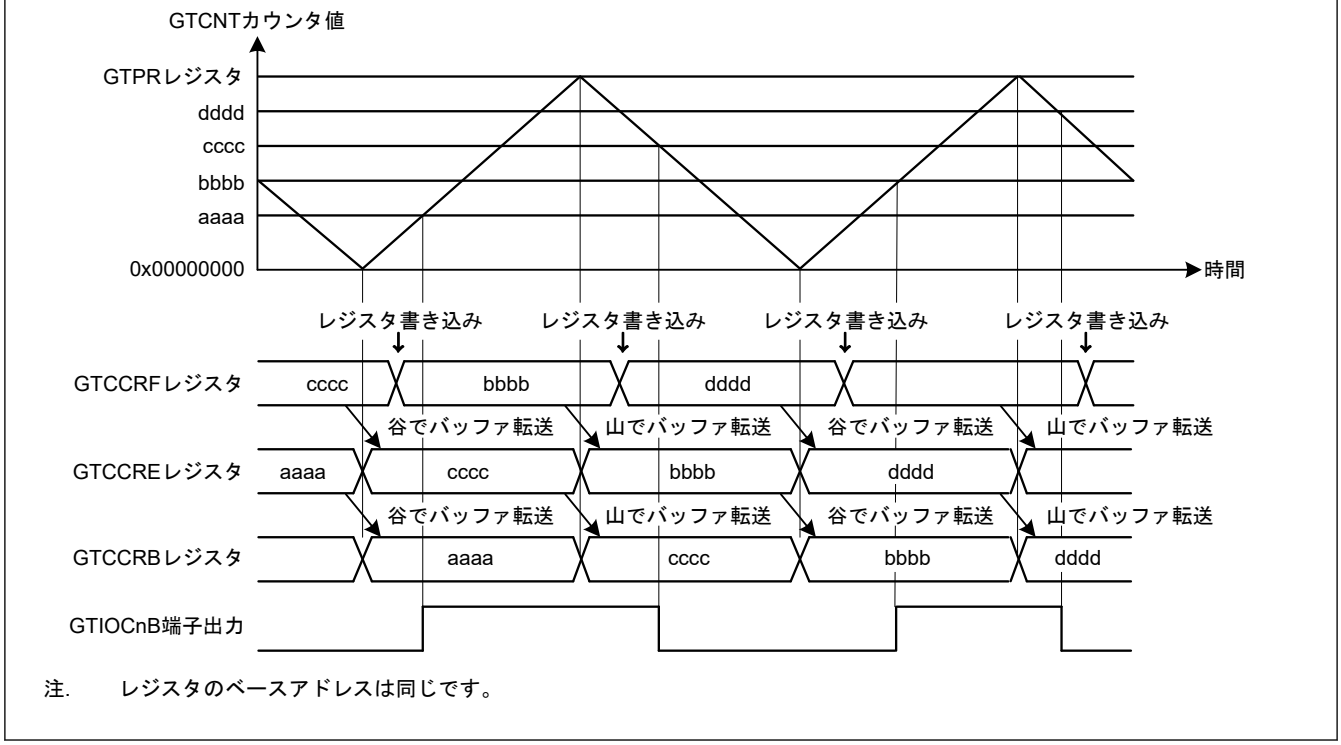


図 21.13 GTCCRA レジスタのバッファ動作例（アウトプットコンペア、アップカウント時ののこぎり波、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合）



注. レジスタのベースアドレスは同じです。

図 21.14 GTCCRA レジスタのダブルバッファ動作例（アウトプットコンペア、三角波、谷でバッファ動作、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合）



注. レジスタのベースアドレスは同じです。

図 21.15 GTCCRB レジスタのダブルバッファ動作例（アウトプットコンペア、三角波、山と谷でバッファ動作、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合）

表 21.13 GTCCRA、GTCCRB レジスタのバッファ動作設定例（アウトプットコンペア時）

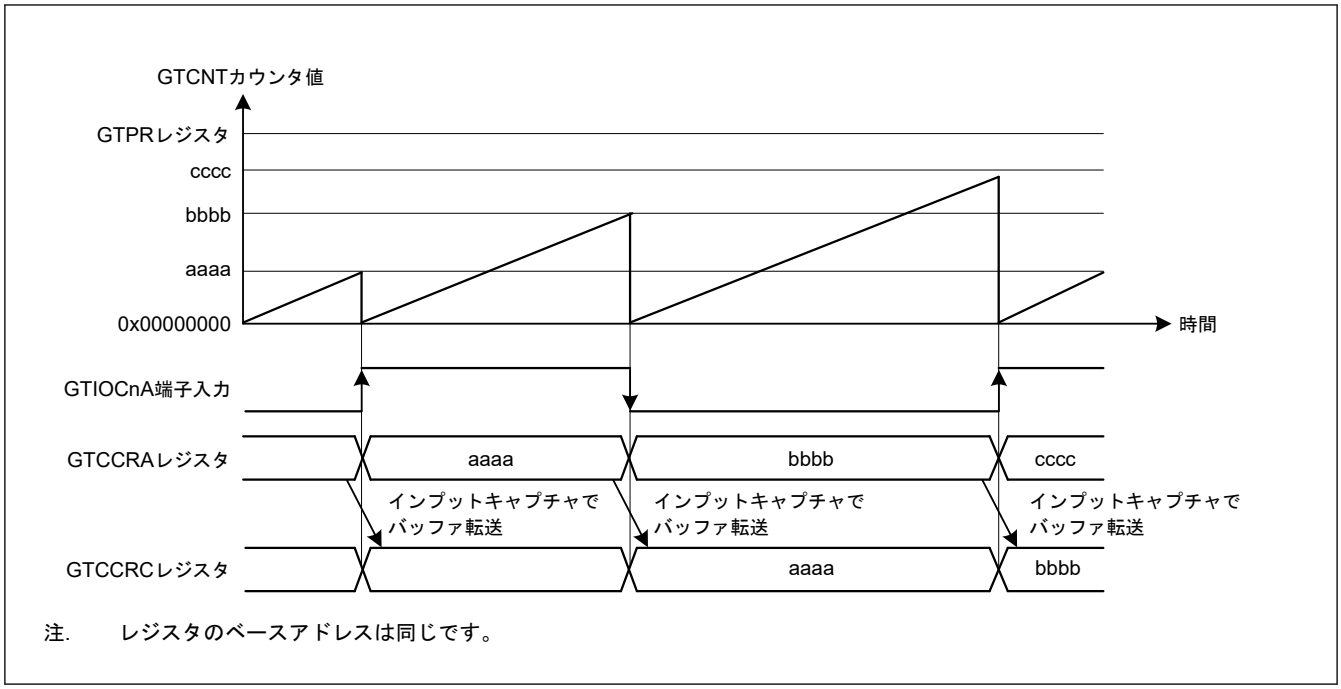
No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 21.13 では 000b（のこぎり波 PWM モード）、図 21.14 では 100b（三角波 PWM モード 1）、図 21.15 では 101b（三角波 PWM モード 2）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 21.13 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 21.13 では GTIOA[4:0] = 00110b、図 21.14 では GTIOA[4:0] = 00011b、図 21.15 では GTIOB[4:0] = 00011b
7	GTIOCnm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	バッファ動作の設定	GTBER レジスタの CCRA[1:0]ビット、CCRB[1:0]ビットで、バッファ動作を設定します。 図 21.13 では CCRA[1:0] = 01b、図 21.14 では CCRA[1:0] = 1xb、図 21.15 では CCRB[1:0] = 1xb
9	コンペアマッチ値設定	GTIOCnA 端子の切り替わりポイントを GTCCRA レジスタに設定します。GTIOCnB 端子の切り替わりポイントを GTCCRB レジスタに設定します。
10	バッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合）もしくは半周期後（三角波モードで谷と山の両方でバッファ転送の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、2 周期後（のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合）もしくは 1 周期後（三角波モードで谷と山の両方でバッファ転送の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。
11	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
12	周期ごとのバッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合）もしくは半周期後（三角波モードで谷と山の両方でバッファ転送の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、2 周期後（のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合）もしくは 1 周期後（三角波モードで谷と山の両方でバッファ転送の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。
11	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
12	周期ごとのバッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合）もしくは半周期後（三角波モードで谷と山の両方でバッファ転送の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、2 周期後（のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合）もしくは 1 周期後（三角波モードで谷と山の両方でバッファ転送の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。

注. n: 0～5, 10～13
m: A, B

(2) GTCCRA または GTCCRB レジスタがインプットキャプチャレジスタとして機能する場合

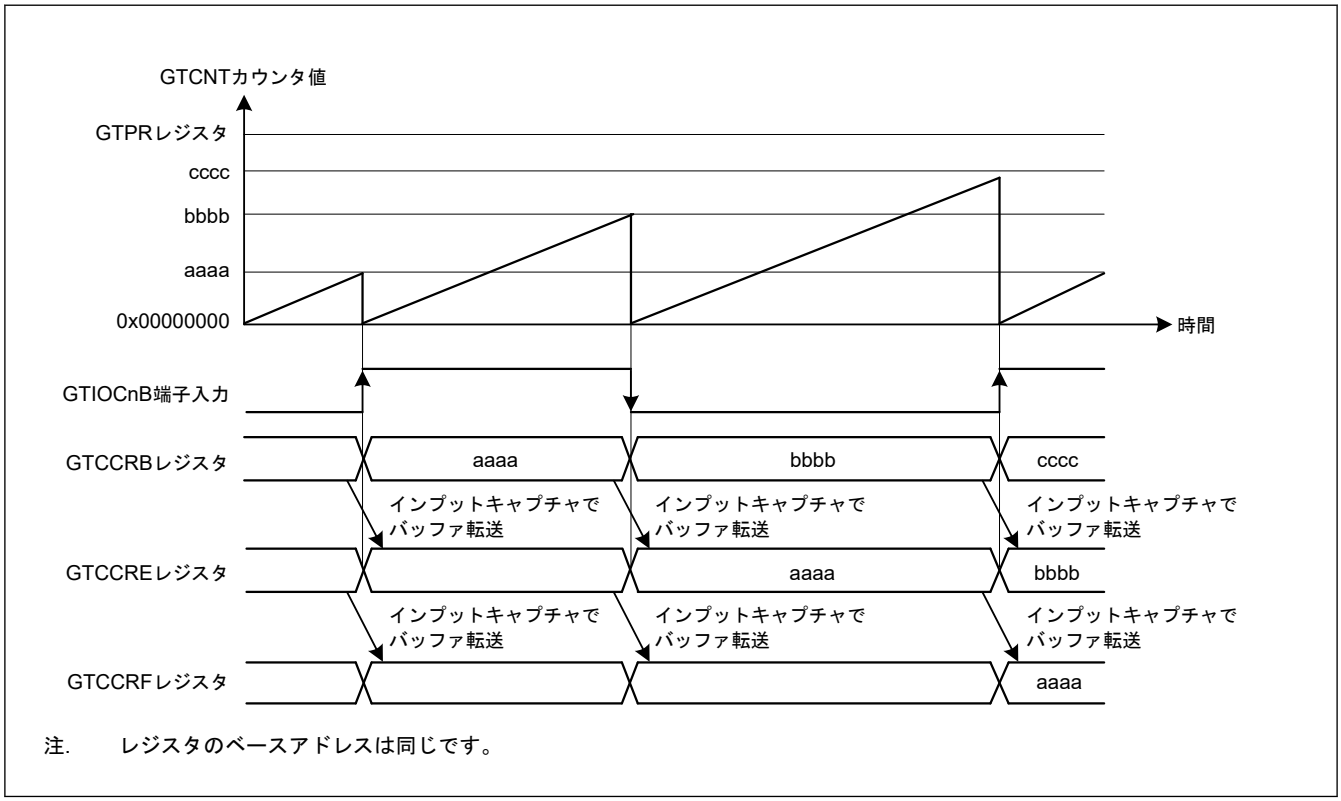
インプットキャプチャが発生すると、GTCNT カウンタ値が GTCCRA および GTCCRB レジスタに転送されると同時に、それまで格納されていた GTCCRA および GTCCRB レジスタ値がバッファレジスタに転送されます。インプットキャプチャ動作では、カウンタクリアによるバッファ転送は実行されません。

図 21.16 と図 21.17 に GTCCRA および GTCCRB レジスタのバッファ動作例を、表 21.14 に GTCCRA および GTCCRB レジスタのバッファ動作の設定例を示します。



注. レジスタのベースアドレスは同じです。

図 21.16 GTCCRA レジスタのバッファ動作例（GTIOCnA 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOCnA 端子入力の両エッジで GTCNT カウンタクリアの場合）



注. レジスタのベースアドレスは同じです。

図 21.17 GTCCRB レジスタのダブルバッファ動作例（GTIOCnB 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOCnB 端子入力の両エッジで GTCNT カウンタクリアの場合）

表 21.14 GTCCRA、GTCCRB レジスタのバッファ動作設定例（インプットキャプチャ時）

No.	手順名	説明
1	動作モードとカウンタクリア要因の設定	GTCR.MD[2:0]ビットで動作モードを設定し、GTCSR レジスタでカウントクリア要因を設定します。 図 21.16 では MD[2:0] = 000b（のこぎり波 PWM モード）および GTCSR = 0x00000F00、図 21.17 では MD[2:0] = 000b（のこぎり波 PWM モード）および GTCSR = 0x0000F000
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 21.16 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	インプットキャプチャ要因の選択	GTICASR レジスタおよび GTICBSR レジスタでインプットキャプチャ要因を選択します。 図 21.16 では GTICASR = 0x00000F00、図 21.17 では GTICBSR = 0x0000F000
7	バッファ動作の設定	GTBER レジスタの CCRA ビット、CCRB ビットで、バッファ動作を設定します。 図 21.16 では CCRA[1:0] = 01b、図 21.17 では CCRB[1:0] = 1xb
8	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

21.3.2.3 GTADTRA、GTADTRB レジスタのバッファ動作

GTADTBRA レジスタは GTADTRA レジスタのバッファレジスタ、GTADTDBRA レジスタは GTADTBRA レジスタのバッファレジスタ（GTADTRA レジスタのダブルバッファレジスタ）として動作します。同様に、GTADTBRB レジスタは GTADTRB レジスタのバッファレジスタ、GTADTDBRB レジスタは GTADTBRB レジスタのバッファレジスタ（GTADTRB レジスタのダブルバッファレジスタ）として動作します。

GTADTRA または GTADTRB レジスタをダブルバッファ動作させるには、GTBER.ADTDA または ADTDB ビットを 1 にします。シングルバッファ動作の場合は、0 にします。GTADTRA と GTADTRB レジスタをバッファ動作させない場合には、それぞれ GTBER.ADTTA[1:0] または ADTTB[1:0] ビットを 00b にします。

バッファ転送タイミングは、のこぎり波モードでは ADTTA[1:0]ビットと ADTTB[1:0]ビットを使用してオーバーフロー（アップカウントの場合）またはアンダーフロー（ダウンカウントの場合）に設定でき、三角波モードでは ADTTA[1:0]ビットと ADTTB[1:0]ビットを 01b にすると山、10b にすると谷、11b にすると山／谷両方に設定できます。

のこぎり波モードでは、ADTTA[1:0] ビットと ADTTB[1:0] ビットを 00b 以外の値に設定したカウント動作時、「21.3.2.1. GTPR レジスタのバッファ動作」と同様のカウンタクリア要因により、オーバーフロー時（アップカウント時）またはアンダーフロー時（ダウンカウント時）と同じ方法でバッファ転送が実行されます。

図 21.18～「21.3.2.3. GTADTRA、GTADTRB レジスタのバッファ動作」に GTADTRA レジスタと GTADTRB レジスタのバッファ動作例を、表 21.15 に GTADTRA レジスタと GTADTRB レジスタのバッファ動作設定例を示します。

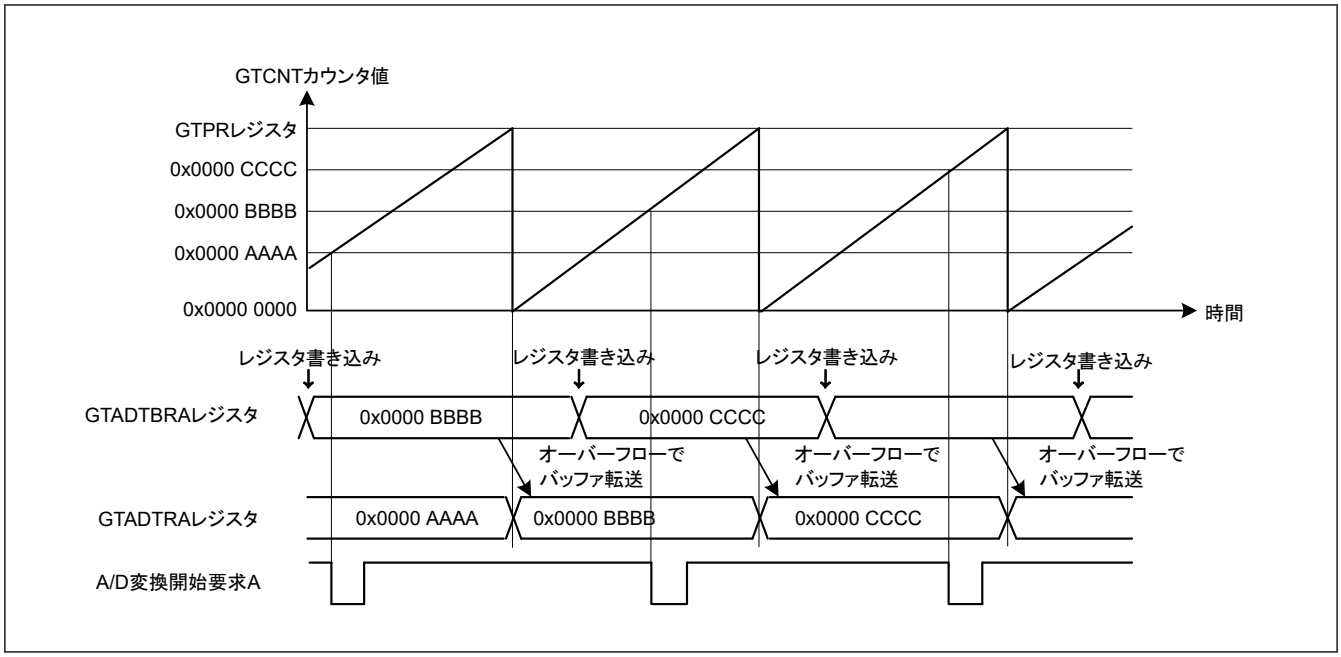


図 21.18　GTADTRA レジスタのバッファ動作例（のこぎり波でアップカウント、アップカウントで A/D 変換開始要求発生の場合）

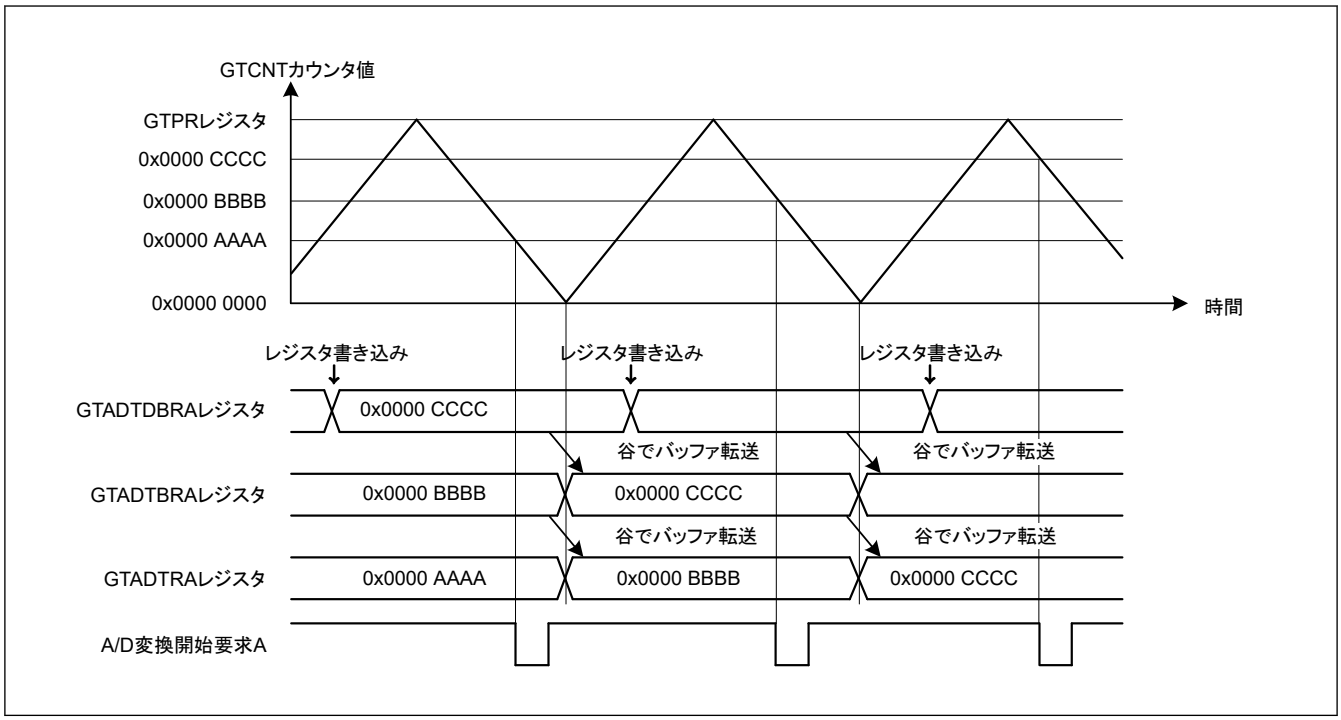


図 21.19　GTADTRA レジスタのダブルバッファ動作例（三角波、谷でバッファ転送、ダウンカウントで A/D 変換開始要求発生の場合）

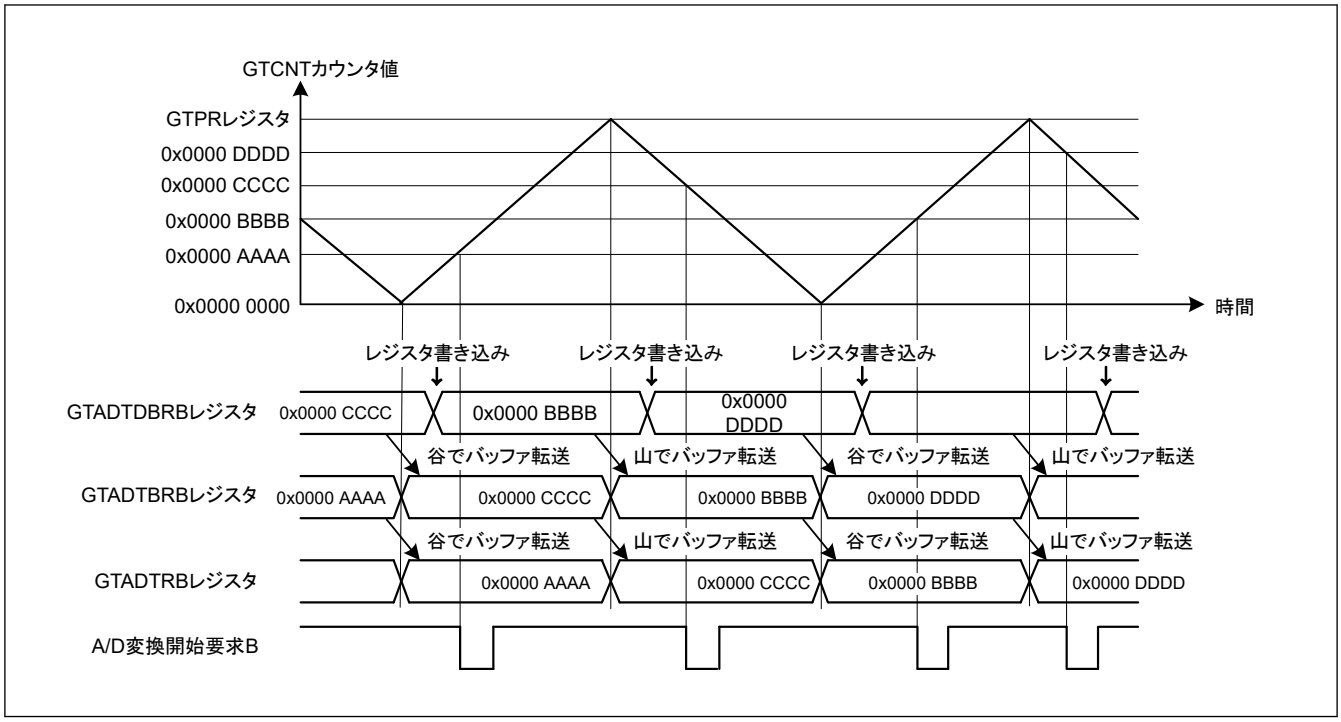


図 21.20 GTADTRB レジスタのダブルバッファ動作例（三角波、谷と山の両方でバッファ転送、アップカウントとダウンカウントの両方で A/D 変換開始要求発生の場合）

表 21.15 GTADTRA および GTADTRB レジスタのバッファ動作設定例 (1/2)

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 （図 21.18 では、000b（のこぎり波 PWM モード）を設定し、図 21.19 および図 21.20 では、100b、101b、110b（三角波 PWM モード）を設定します。）
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 （図 21.18 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。）
3	カウントクロックの選択	GTCR.TPCS[3:0] ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	バッファ動作の設定	GTBER レジスタの ADTTA[1:0]、ADTTB[1:0]、ADTDA、ADTDB ビットでバッファ動作を設定します。 （図 21.18 では、ADTTA[1:0]ビット = 01b、10b、または 11b で、ADTDA ビット = 0 です。図 21.19 では、ADTTA[1:0]ビット = 10b で、ADTDA ビット = 1 です。図 21.20 では、ADTTB[1:0]ビット = 11b で、ADTDB ビット = 1 です。）
7	コンペアマッチ値設定	A/D 変換開始要求ポイントを GTADTRA、GTADTRB レジスタに設定します。
8	バッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードまたは三角波モードで谷または山でバッファ転送の場合）もしくは半周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTBRA レジスタと GTADTBRB レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後（のこぎり波モードまたは三角波モードで谷または山でバッファ転送の場合）もしくは 1 周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTDBRA レジスタと GTADTDBRB レジスタに設定します。
9	A/D 変換開始要求を許可	GTINTAD レジスタの ADTRAUEN、ADTRADEN、ADTRBUEN、ADTRBDEN ビットで A/D 変換開始要求の許可を設定します。 （図 21.18 では ADTRAUEN ビット = 1 で、図 21.19 では ADTRADEN ビット = 1 で、図 21.20 では ADTRBUEN ビット = 1 かつ ADTRBDEN ビット = 1 です。）
10	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

表 21.15 GTADTRA および GTADTRB レジスタのバッファ動作設定例 (2/2)

No.	ステップ名	説明
11	周期ごとのバッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードまたは三角波モードで谷または山でバッファ転送の場合）もしくは半周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTBRA レジスタと GTADTBRB レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後（のこぎり波モード、または三角波モードで谷または山でバッファ転送の場合）もしくは 1 周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTDBRA レジスタと GTADTDBRB レジスタに設定します。

21.3.3 PWM 出力動作モード

GPT は、GTCNT カウンタと GTCCRA レジスタまたは GTCCRB レジスタとのコンペアマッチに基づいて、GTIOCnA 端子または GTIOCnB 端子 (n = 0〜5, 10〜13) へ PWM 波形を出力することができます。

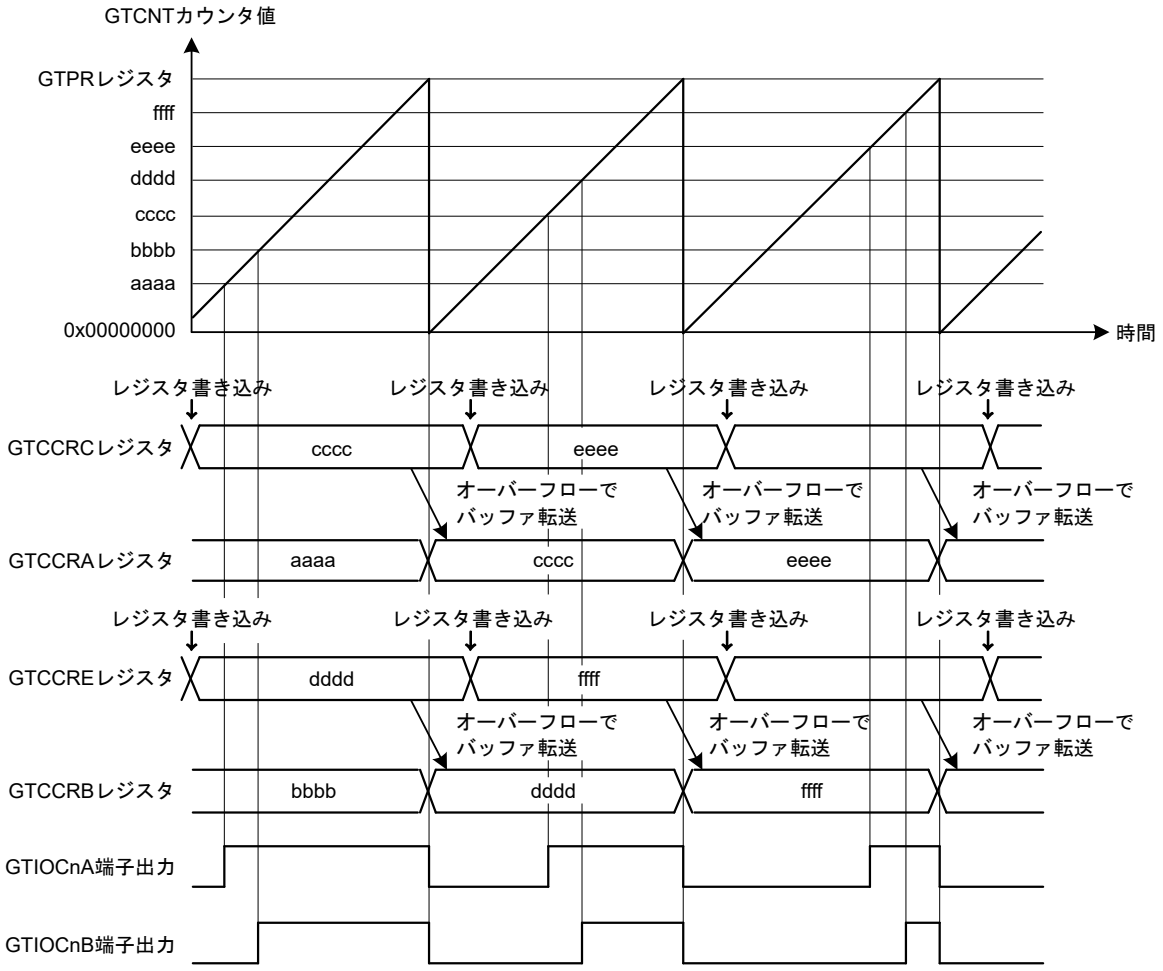
GTDTCR レジスタおよび GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

21.3.3.1 のこぎり波 PWM モード

のこぎり波 PWM モードでは、GTPR レジスタに周期を設定することにより、GTCNT カウンタにのこぎり波（半波）動作を実行させ、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチ発生時に、GTIOCnA 端子または GTIOCnB 端子 (n = 0〜5, 10〜13) に PWM 波形を出力させます。端子の出力値は GTIOR レジスタの設定により、コンペアマッチおよび周期の終わりで、Low 出力、High 出力、トグル出力を選択することができます。

周期の終わりと GTCCRk レジスタのコンペアマッチのタイミングが同じ場合、出力端子は GTIOR.GTIOx[3:2]ビット (x = A, B) で設定された周期の終わりに対する PWM 出力設定に従います。

図 21.21 にのこぎり波 PWM モードの動作例を、表 21.16 にのこぎり波 PWM モードの設定例を示します。



注. レジスタのベースアドレスは同じです。

図 21.21 のこぎり波 PWM モードの動作例（アップカウント、バッファ動作、GTCCRA/GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合）

表 21.16 のこぎり波 PWM モードの設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。（図 21.21 の例では 000b（のこぎり波 PWM モード）を設定）
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 21.21 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 21.21 では GTIOA[4:0] = 00110b、GTIOB[4:0] = 00110b
7	GTIOCnm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	バッファ動作設定	GTBER レジスタの CCRA[1:0]ビット、CCRB[1:0]ビットで、バッファ動作を設定します。図 21.21 では、CCRA[1:0] = 01b、CCRB[1:0] = 01b
9	コンペアマッチ値設定	GTIOCnA 端子の切り替わりポイントを GTCCRA レジスタに設定します。 GTIOCnB 端子の切り替わりポイントを GTCCRB レジスタに設定します。

表 21.16 のこぎり波 PWM モードの設定例 (2/2)

No.	手順名	説明
10	バッファ値設定	バッファ動作時は、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。
11	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
12	周期ごとのバッファ値設定	バッファ動作時は、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。

注. n: 0～5、10～13
m: A, B

21.3.3.2 のこぎり波ワンショットパルスモード

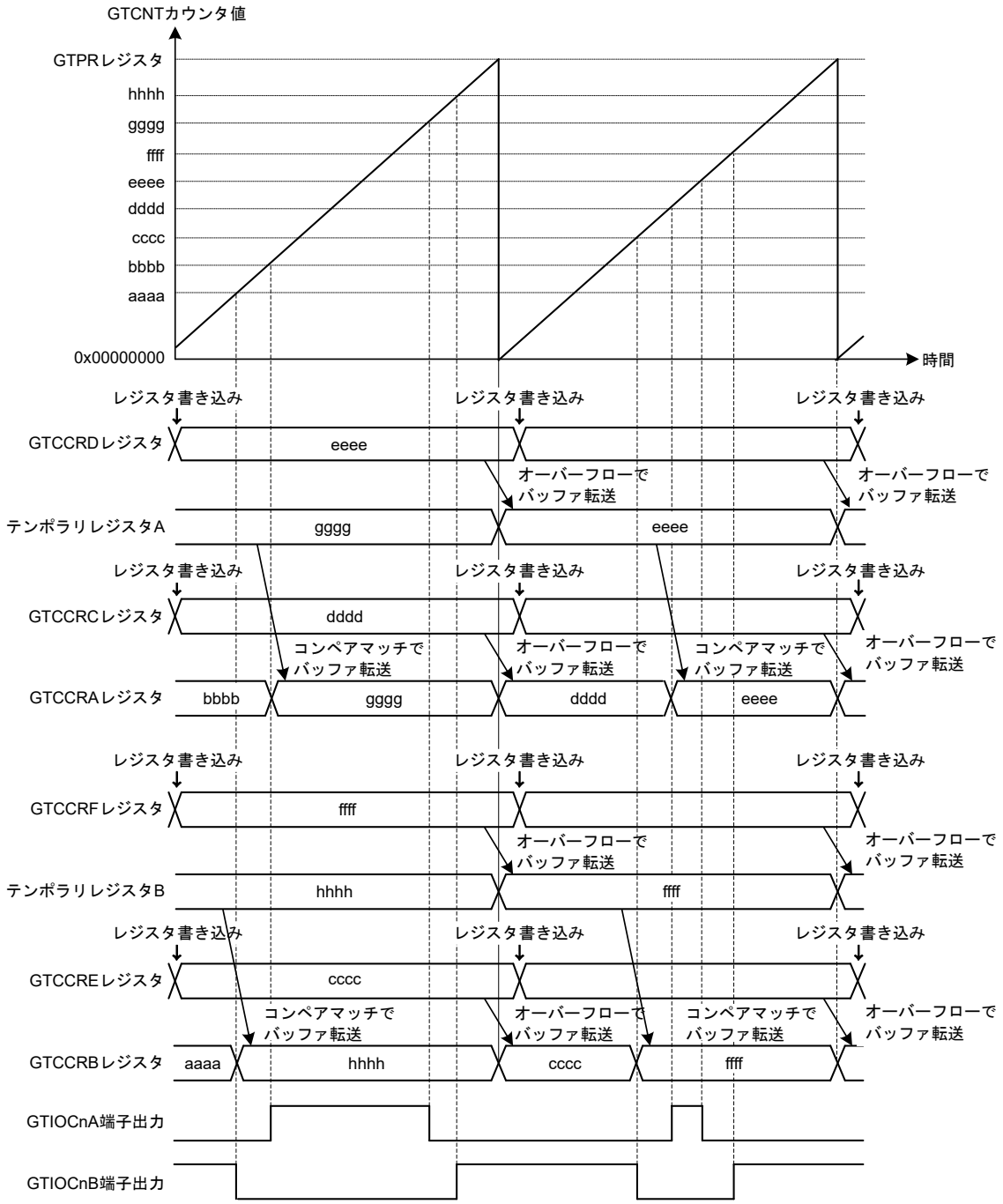
のこぎり波ワンショットパルスモードは、GTPR レジスタに周期を設定して GTCNT カウンタをのこぎり波（半波）動作させ、バッファ動作固定で、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチにより、GTIOCnA 端子または GTIOCnB 端子 (n = 0～5, 10～13) に PWM 波形を出力するモードです。

のこぎり波ワンショットパルスモードのバッファ動作は通常のバッファ動作と異なります。バッファ転送は、下記のとおりです。

- 周期の終わりで、GTCCRC レジスタから GTCCRA レジスタ
- 周期の終わりで、GTCCRE レジスタから GTCCRB レジスタ
- 周期の終わりで、GTCCRD レジスタからテンポラリレジスタ A
- 周期の終わりで、GTCCRF レジスタからテンポラリレジスタ B
- GTCCRA レジスタのコンペアマッチで、テンポラリレジスタ A から GTCCRA レジスタ
- GTCCRB レジスタのコンペアマッチで、テンポラリレジスタ B から GTCCRB レジスタ

端子の出力値は GTIOR レジスタの設定により、コンペアマッチおよび周期の終わりで、Low 出力、High 出力、トグル出力を選択することができます。カウントストップ中に GTBER.CCRSWT ビットを 1 にすると、GTCCRD レジスタから一時レジスタ A へ、および GTCCRF レジスタから一時レジスタ B へ、バッファ転送が強制的に実行されます。また、GTDTCR レジスタおよび GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することができます。

図 21.22 に、のこぎり波ワンショットパルスモードの動作例を、表 21.17 に、のこぎり波ワンショットパルスモードの設定例を示します。



注. レジスタのベースアドレスは同じです。

図 21.22 のこぎり波ワンショットパルスモードの動作例（アップカウント、カウントスタート時に GTIOCnA 端子 = Low 出力／GTIOCnB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合）

表 21.17 のこぎり波ワンショットパルスモード設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 21.22 では 001b（のこぎり波ワンショットパルスモード）を設定します。

表 21.17 のこぎり波ワンショットパルスモード設定例 (2/2)

No.	手順名	説明
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 21.22 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 21.22 では GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
7	GTIOCnm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	コンペアマッチ値設定	カウント開始直後の周期の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。
9	バッファ強制転送設定	GTBER.CCRSWT ビットを 1 にし、バッファレジスタの強制転送を行います。
10	バッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。
11	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
12	周期ごとのバッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。

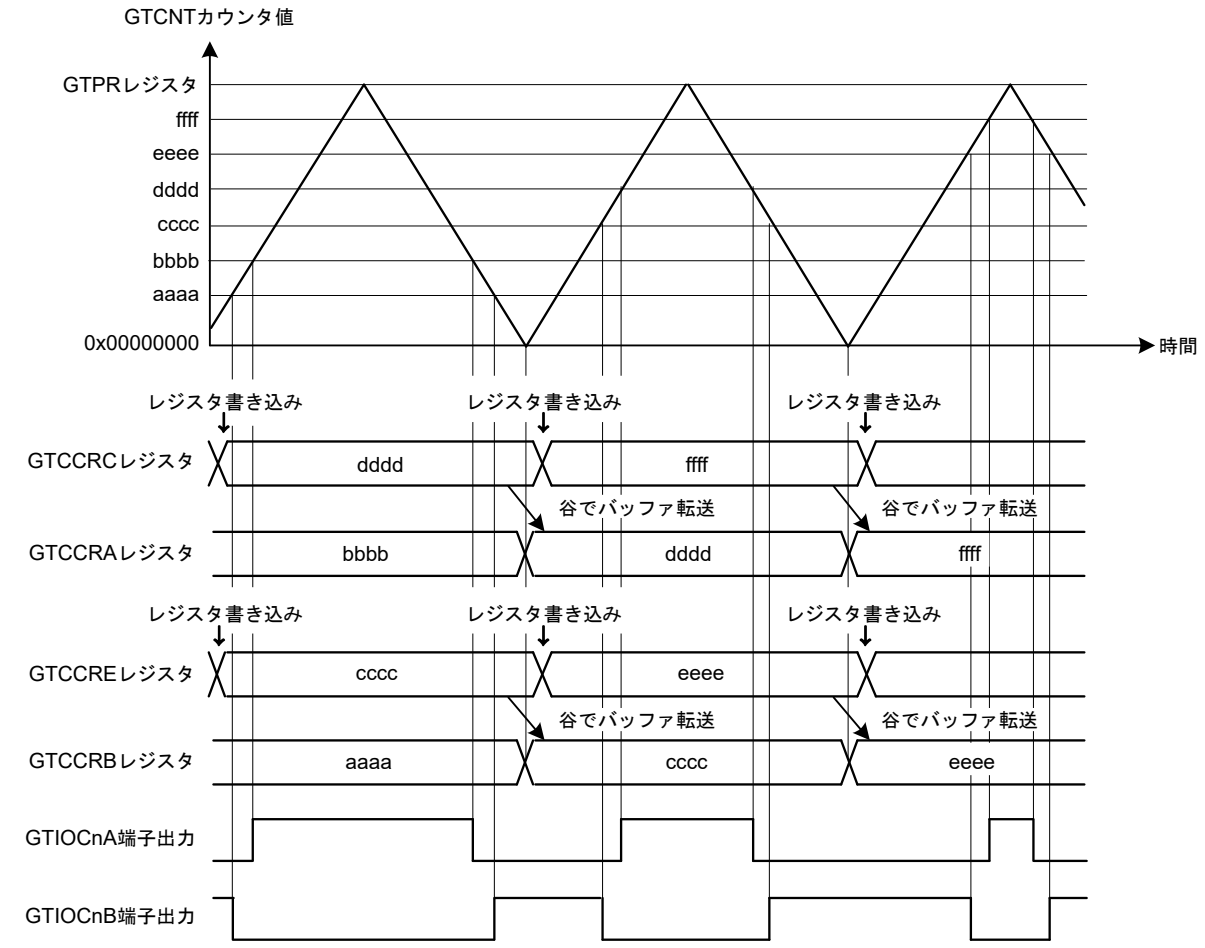
注. n: 0～5、10～13
m: A, B

21.3.3.3 三角波 PWM モード 1（谷 32 ビット転送）

三角波 PWM モード 1 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタに三角波（全波）動作を実行させ、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチ発生時に GTIOCnA 端子または GTIOCnB 端子 (n = 0～5, 10～13) に PWM 波形を出力させます。バッファ転送は谷で行われます。端子の出力値は GTIOR レジスタの設定により、コンペアマッチおよび周期の終わりで、Low 出力、High 出力、トグル出力を選択することができます。

GTDTCR レジスタおよび GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 21.23 に三角波 PWM モード 1 の動作例を、表 21.18 に三角波 PWM モード 1 の設定例を示します。



注. レジスタのベースアドレスは同じです。

図 21.23 三角波 PWM モード 1 の動作例（バッファ動作、カウントスタート時に GTIOCnA 端子= Low 出力／GTIOCnB 端子= High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合）

表 21.18 三角波 PWM モード 1 設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 21.23 では、100b（三角波 PWM モード 1）を設定します。
2	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
5	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 21.23 では、GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
6	GTIOCnm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
7	バッファ動作の設定	GTBER レジスタの CCRA[1:0]ビット、CCRB[1:0]ビットで、バッファ動作を設定します。 図 21.23 では、CCRA[1:0] = 01b、CCRB[1:0] = 01b
8	コンペアマッチ値設定	GTIOCnA 端子の切り替わりポイントを GTCCRA レジスタに設定します。GTIOCnB 端子の切り替わりポイントを GTCCRB レジスタに設定します。
9	バッファ値設定	バッファ動作時は、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。

表 21.18 三角波 PWM モード 1 設定例 (2/2)

No.	手順名	説明
10	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
11	周期ごとのバッファ値設定	バッファ動作時は、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。

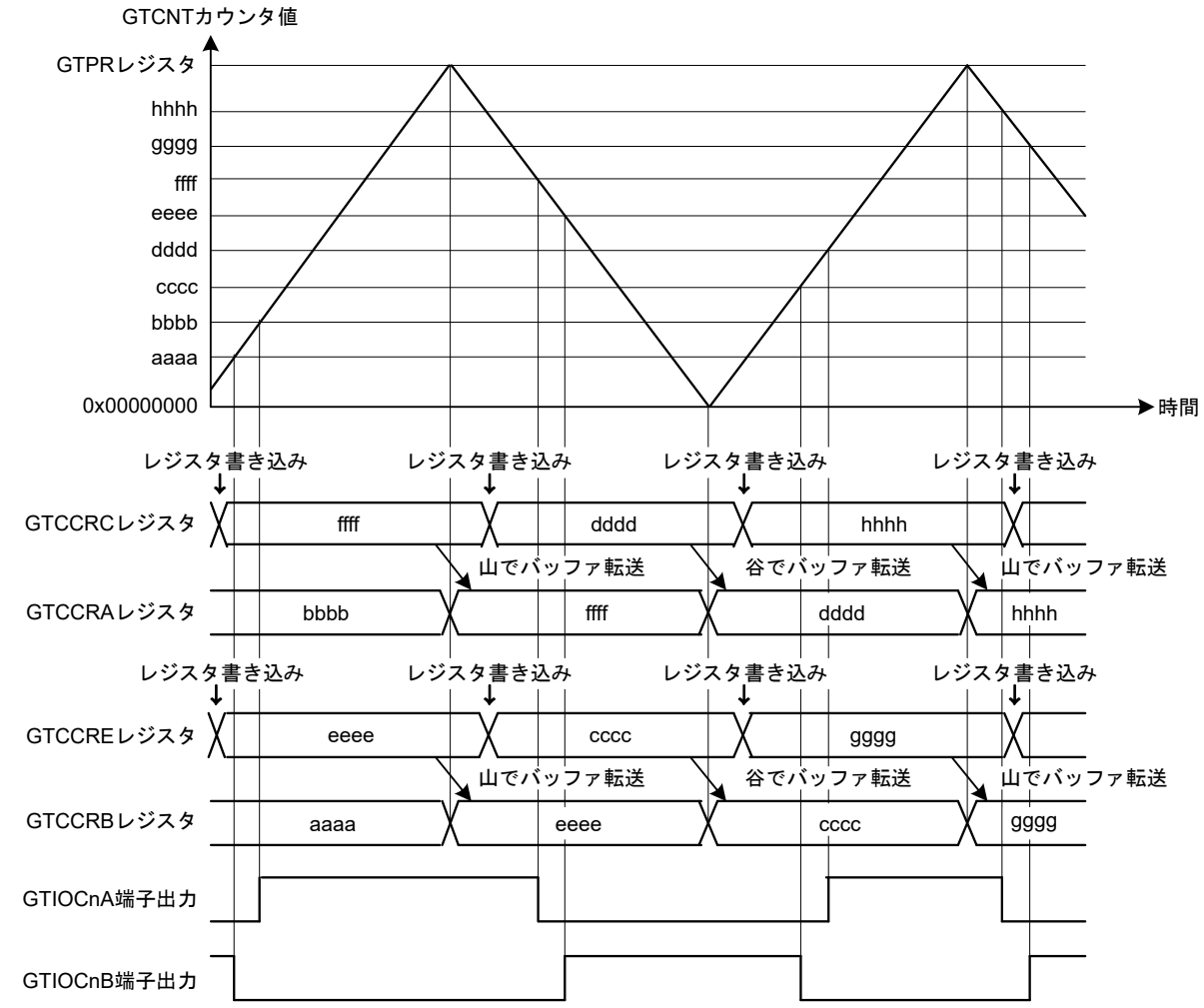
注. n: 0～5、10～13
m: A、B

21.3.3.4 三角波 PWM モード 2（山／谷 32 ビット転送）

三角波 PWM モード 1 と同様に、三角波 PWM モード 2 でも GTPR レジスタに周期を設定します。GTCNT カウンタに三角波（全波）動作を実行させ、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチ発生時に GTIOCnA 端子または GTIOCnB 端子 (n = 0～5, 10～13) に PWM 波形を出力させます。山および谷の両方でバッファ転送が行われます。端子の出力値は GTIOR レジスタの設定により、コンペアマッチおよび周期の終わりで、Low 出力、High 出力、トグル出力を選択することができます。

GTDTCR レジスタおよび GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 21.24 に三角波 PWM モード 2 の動作例を、表 21.19 に三角波 PWM モード 2 の設定例を示します。



注. レジスタのベースアドレスは同じです。

図 21.24 三角波 PWM モード 2 の動作例（バッファ動作、カウントスタート時に GTIOCnA 端子= Low 出力／GTIOCnB 端子= High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合）

表 21.19 三角波 PWM モード 2 設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 21.24 では、101b（三角波 PWM モード 2）を設定します。
2	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
5	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 21.24 では、GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
6	GTIOCnm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
7	バッファ動作の設定	GTBER レジスタの CCRA[1:0]ビット、CCRB[1:0]ビットで、バッファ動作を設定します。 図 21.24 では、CCRA[1:0] = 01b、CCRB[1:0] = 01b
8	コンペアマッチ値設定	GTIOCnA 端子の切り替わりポイントを GTCCRA レジスタに設定します。GTIOCnB 端子の切り替わりポイントを GTCCRB レジスタに設定します。

表 21.19 三角波 PWM モード 2 設定例 (2/2)

No.	手順名	説明
9	バッファ値設定	バッファ動作時は、半周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。
10	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
11	半周期ごとのバッファ値設定	バッファ動作時は、半周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。

注. n: 0～5、10～13
m: A、B

21.3.3.5 三角波 PWM モード 3（谷 64 ビット転送）

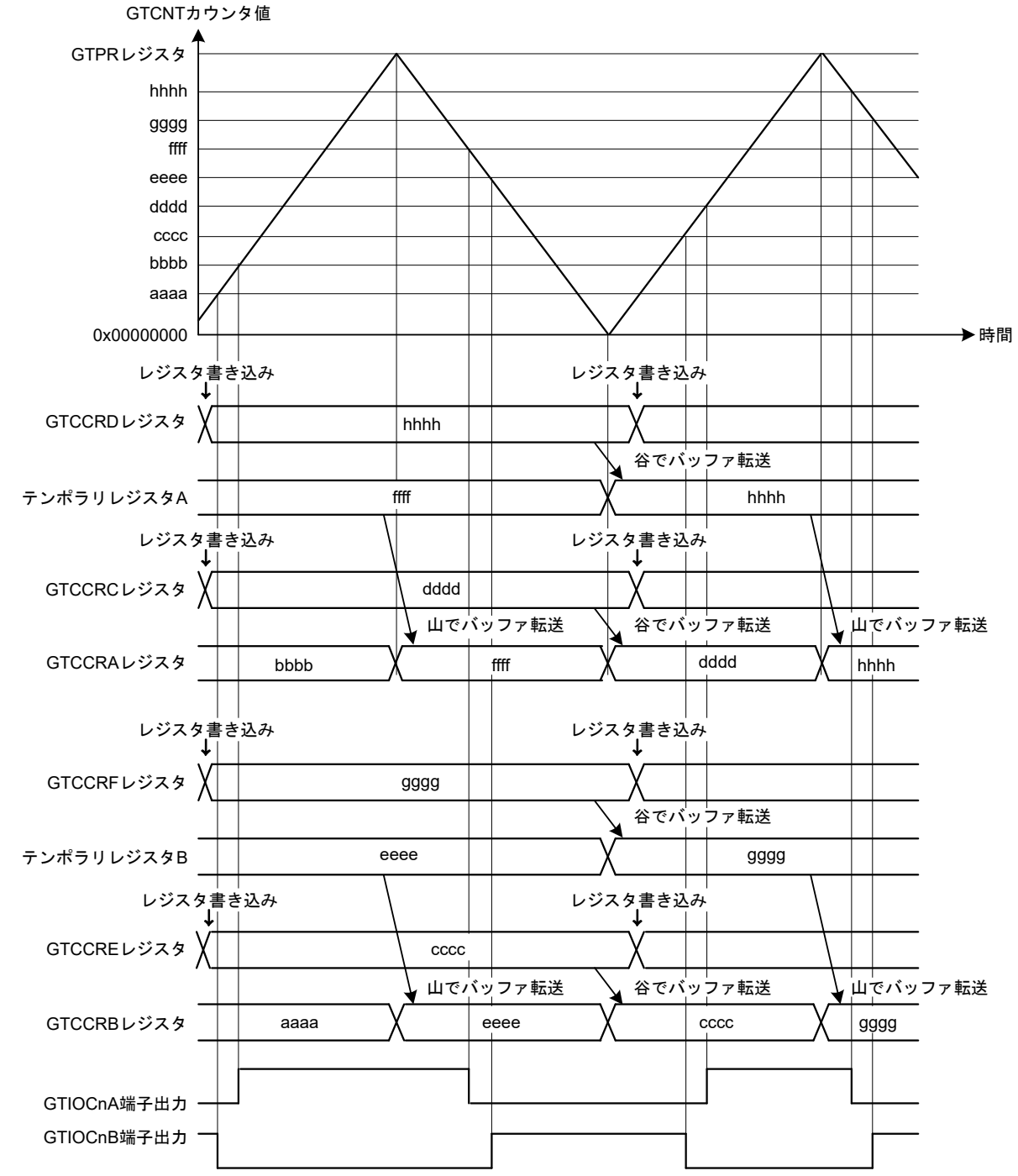
三角波 PWM モード 3 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタに三角波（全波）動作を実行させ、バッファ動作固定で、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチにより、GTIOCnA 端子または GTIOCnB 端子 (n = 0～5, 10～13) に PWM 波形を出力させます。三角波 PWM モード 3 のバッファ動作は通常のバッファ動作と異なります。バッファ転送は、下記のとおりです。

- 谷で、GTCCRC レジスタから GTCCRA レジスタ
- 谷で、GTCCRE レジスタから GTCCRB レジスタ
- 谷で、GTCCRD レジスタからテンポラリレジスタ A
- 谷で、GTCCRF レジスタからテンポラリレジスタ B
- 山で、テンポラリレジスタ A から GTCCRA レジスタ
- 山で、テンポラリレジスタ B から GTCCRB レジスタ

端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力／High 出力／トグル出力、周期の終わりで Low 出力／High 出力／トグル出力、を設定することができます。

GTDTCR レジスタおよび GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 21.25 に三角波 PWM モード 3 の動作例を、表 21.20 に三角波 PWM モード 3 の設定例を示します。



注. レジスタのベースアドレスは同じです。

図 21.25 三角波 PWM モード 3 の動作例（カウントスタート時に GTIOCnA 端子 = Low 出力／GTIOCnB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合）

表 21.20 三角波 PWM モード 3 設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 21.25 では 110b（三角波 PWM モード 3）を設定します。
2	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。

表 21.20 三角波 PWM モード 3 設定例 (2/2)

No.	手順名	説明
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
5	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。図 21.25 では GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
6	GTIOCnm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
7	コンペアマッチ値設定	カウント開始直後の周期の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。
8	バッファ強制転送設定	GTBER.CCRSWT ビットを 1 にし、バッファレジスタの強制転送を行います。
9	バッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。
10	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
11	周期ごとのバッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。

注. n: 0～5、10～13
m: A, B

21.3.4 デッドタイム自動設定機能

GTDTCR レジスタの設定により、正相波形用のコンペアマッチ値（GTCCRA レジスタ値）とデッドタイム値（GTDVU レジスタ値）からデッドタイム付き逆相波形用のコンペアマッチ値を生成し、GTCCRB レジスタに自動設定することができます。

デッドタイム自動設定機能は、のこぎり波ワンショットパルスモードとすべての三角波 PWM モードで使用できます。

逆相波形の変化点のデッドタイムは GTDVU レジスタに設定します。

GTCCRB レジスタを読み出すと、自動計算される逆相波形の変化点を取得できます。デッドタイム自動設定機能を使用する時は、GTCCRB レジスタへの書き込みは禁止です。

波形の変化点がカウント周期を超過するようなデッドタイムを設定してはなりません。デッドタイムエラーが発生するデッドタイム設定が行われたときは、正相および逆相波形の変化点を調整して、表 21.21 に示すようにデッドタイムが確保された波形を生成するようにしてください。調整後の逆相波形の変化点は、GTCCRB レジスタに自動的に設定されます。内部信号は正相波形の変化点の判定のために使用されるため、GTCCRA レジスタの値は調整された値によって更新されることはありません。

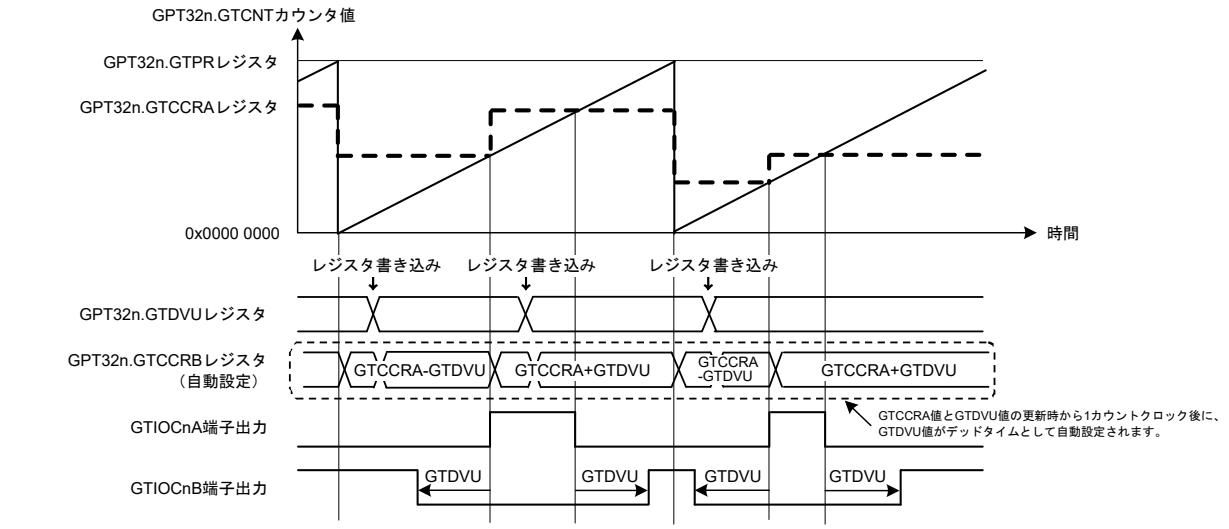
のこぎり波ワンショットパルスモードにおいて、デッドタイムエラーが発生して波形の変化点を調整したことによって変化点の順序に不整合が生じた場合や、調整後も変化点がカウント周期を超過している場合、正相と逆相間の相補関係は保証されません。

GTCCRB レジスタへのデッドタイム値の自動設定は、自動設定値計算用レジスタ値が更新された後、次のカウントクロックで行われます。三角波モードでは、現在の山の次のカウントクロックで行うこともできます。

表 21.21 デッドタイムエラー発生時の波形変化点の調整

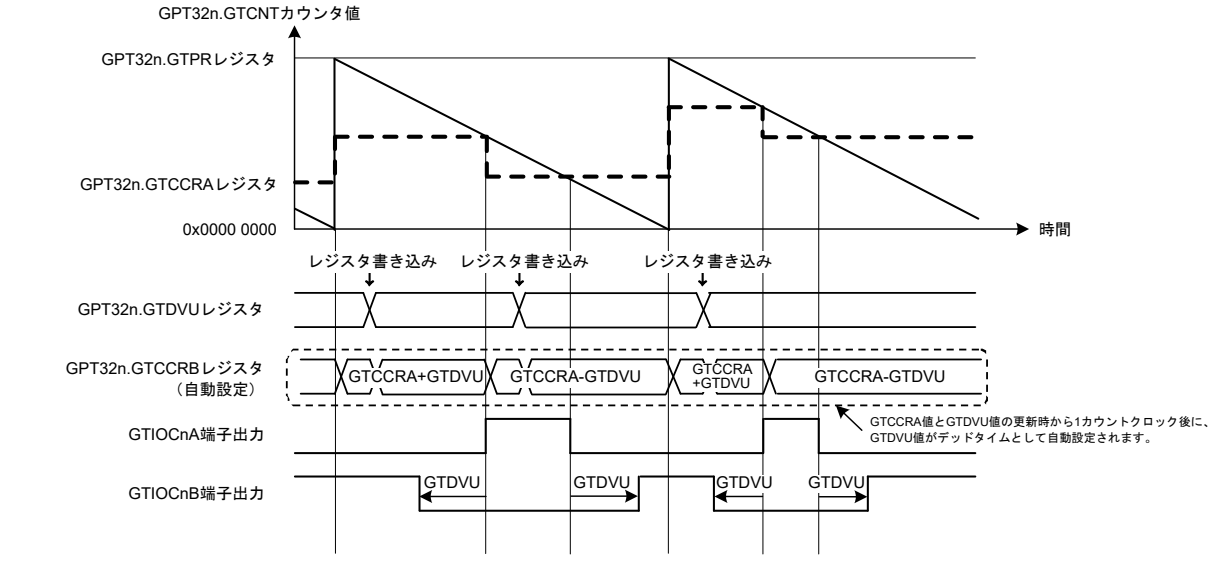
モード	カウント方向	期間	デッドタイムエラー条件	調整後の正相波形の変化点	調整後の逆相波形の変化点
のこぎり波ワンショットパルスモード	アップカウント	前半	GTCCRA - GTDVU < 0	GTDVU	0
		後半	GTCCRA + GTDVU > GTPR	GTPR - GTDVU	GTPR
	ダウンカウント	前半	GTCCRA + GTDVU > GTPR	GTPR - GTDVU	GTPR
		後半	GTCCRA - GTDVU < 0	GTDVU	0
三角波 PWM モード 1/2/3	アップカウント	（前半）	GTCCRA - GTDVU ≦ 0	GTDVU + 1	1
	ダウンカウント	（後半）	GTCCRA - GTDVU < 0	GTDVU	0

図 21.26～図 21.29 にデッドタイム自動設定機能の動作例を示します。表 21.22 および表 21.23 に設定例を示します。



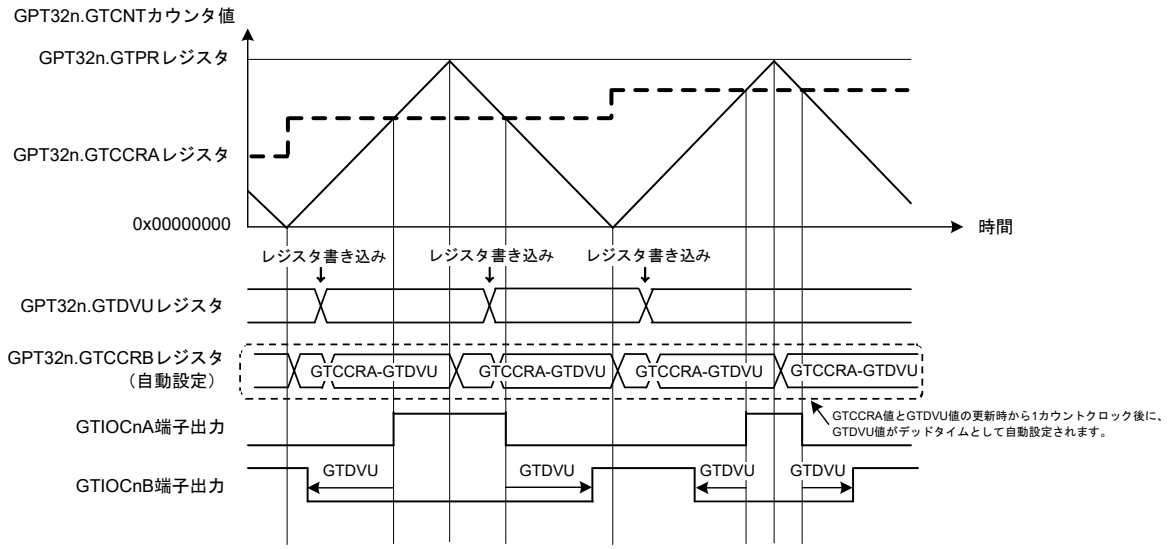
注. レジスタのベースアドレスは同じです。

図 21.26 デッドタイム自動設定機能の動作例（のこぎり波ワンショットパルスモード、アップカウント、アクティブ High の場合）



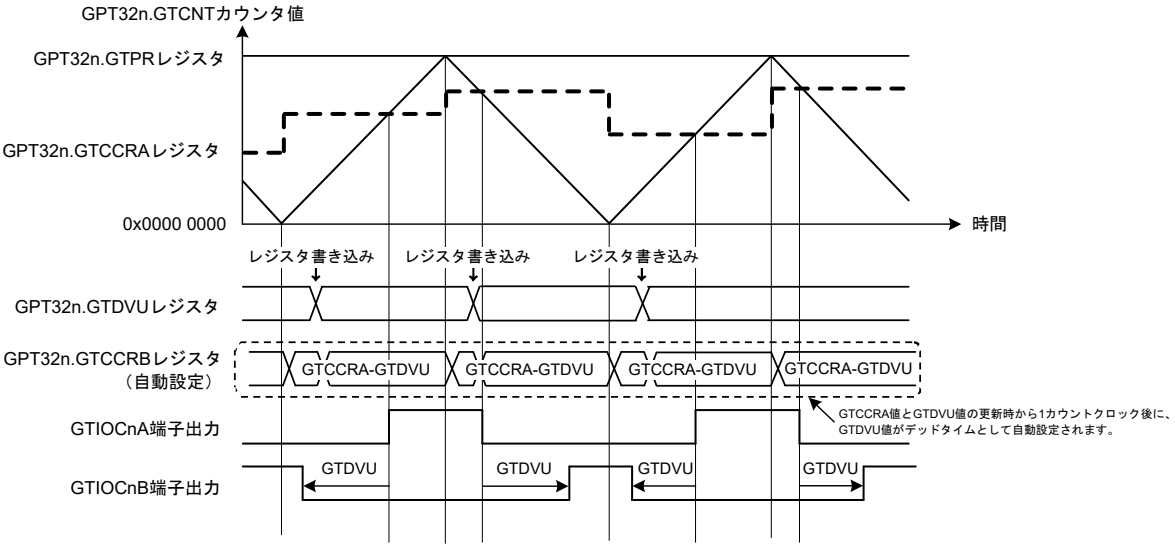
注. レジスタのベースアドレスは同じです。

図 21.27 デッドタイム自動設定機能の動作例（のこぎり波ワンショットパルスモード、ダウンカウント、アクティブ High の場合）



注. レジスタのベースアドレスは同じです。

図 21.28 デッドタイム付きコンペアマッチ値の自動設定機能の動作例（三角波 PWM モード 1、アクティブ High の場合）



注. レジスタのベースアドレスは同じです。

図 21.29 デッドタイム付きコンペアマッチ値の自動設定機能の動作例（三角波 PWM モード 2 または 3、アクティブ High の場合）

表 21.22 デッドタイム自動設定機能の設定例（のこぎり波ワンショットパルスモード、三角波 PWM モード 3 の場合）(1/2)

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。図 21.26 および図 21.27 では、001b（のこぎり波ワンショットパルスモード）を設定します。図 21.29 では、110b（三角波 PWM モード 3）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップまたはダウン）を設定します。 図 21.26 では、GTUDDTYC[1:0]ビットに 11b を設定してから 01b を設定します（アップカウント）。図 21.27 では、GTUDDTYC[1:0]ビットに 10b を設定してから 00b を設定します（ダウンカウント）。

表 21.22 デッドタイム自動設定機能の設定例（のこぎり波ワンショットパルスモード、三角波 PWM モード 3 の場合）(2/2)

No.	ステップ名	説明
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビットと GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。図 21.26、図 21.27、および図 21.29 の例では GTIOA[4:0] = 00011b、および GTIOB[4:0] = 10011b）
7	GTIOCnm 端子出力許可設定	GTIOR レジスタの OAE ビットと OBE ビットで GTIOCnm 端子出力の許可を設定します。
8	コンペアマッチ用バッファ値設定	カウント開始直後の周期の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに設定します。
9	コンペアマッチ用バッファ強制転送	GTBER.CCRSWT ビットを 1 にし、バッファレジスタデータを GTCCRA レジスタへ強制転送します。
10	コンペアマッチ用バッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに設定します。
11	デッドタイム自動設定機能の設定	GTDTCR.TDE ビットを 1 にして、デッドタイム自動設定機能を有効にします。
12	デッドタイム値設定	前半部のデッドタイム値を GTDVU レジスタに設定します。
13	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
14	周期ごとのバッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに設定します。

注. n: 0～5、10～13
m: A, B

表 21.23 デッドタイム自動設定機能の設定例（三角波 PWM モード 1 または 2 の場合）

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。図 21.28 では、100b（三角波 PWM モード 1）を設定します。図 21.29 では、101b（三角波 PWM モード 2）を設定します。
2	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
5	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビットと GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。（図 21.28 と図 21.29 の例では GTIOA[4:0] = 00011b、および GTIOB[4:0] = 10011b）
6	GTIOCnm 端子出力許可設定	GTIOR レジスタの OAE ビットと OBE ビットで GTIOCnm 端子出力の許可を設定します。
7	コンペアマッチ用バッファ動作設定	GTBER レジスタの CCRA[1:0]ビットで、バッファ動作を設定します。
8	コンペアマッチ値設定	GTIOCnA 端子の切り替わりポイントを GTCCRA レジスタに設定します。
9	コンペアマッチ用バッファ値設定	バッファ動作時は、現在の周期から 1 周期後（三角波 PWM モード 1 の場合）、あるいは現在の周期から半周期後（三角波 PWM モード 2 の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに設定します。ダブルバッファ動作時は、さらに、2 周期後（三角波 PWM モード 1 時）もしくは 1 周期（三角波 PWM モード 2 時）の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに設定します。
10	デッドタイム自動設定機能の設定	GTDTCR.TDE ビットを 1 にして、デッドタイム自動設定機能を有効にします。
11	デッドタイム値設定	前半部のデッドタイム値を GTDVU レジスタに設定します。
12	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
13	周期ごとのバッファ値設定	コンペアマッチレジスタをバッファ動作に使用するときは、現在の周期から 1 周期後（三角波 PWM モード 1 の場合）、あるいは現在の周期から半周期後（三角波 PWM モード 2 の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに設定します。 コンペアマッチレジスタをダブルバッファ動作に使用するときは、現在の周期の 2 周期後（三角波 PWM モード 1）、あるいは現在の周期の 1 周期後（三角波 PWM モード 2）の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに設定します。

注. n: 0～5、10～13
m: A, B

21.3.5 カウント方向切り替え機能

GTUDDTYC.UD ビットの値を書き換えることにより、GTCNT カウンタのカウント方向を切り替えることが可能です。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更すると、オーバーフロー（アップカウント中に変更した場合）またはアンダーフロー（ダウンカウント中に変更した場合）発生時に、カウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その変更値はカウントスタート時に反映されず、オーバーフローまたはアンダーフロー発生時にカウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

三角波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更しても、カウント方向は切り替わりません。同様に、カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その値はカウント動作に反映されません。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

のこぎり波のカウント動作中にカウント方向を変更すると、アップカウント中はアップカウントスタート後の GTPR 値がカウント周期に反映され、ダウンカウント中はダウンカウントスタート後の GTPR 値がカウント周期に反映されます。

図 21.30 にカウント方向切り替え機能の動作例を示します。

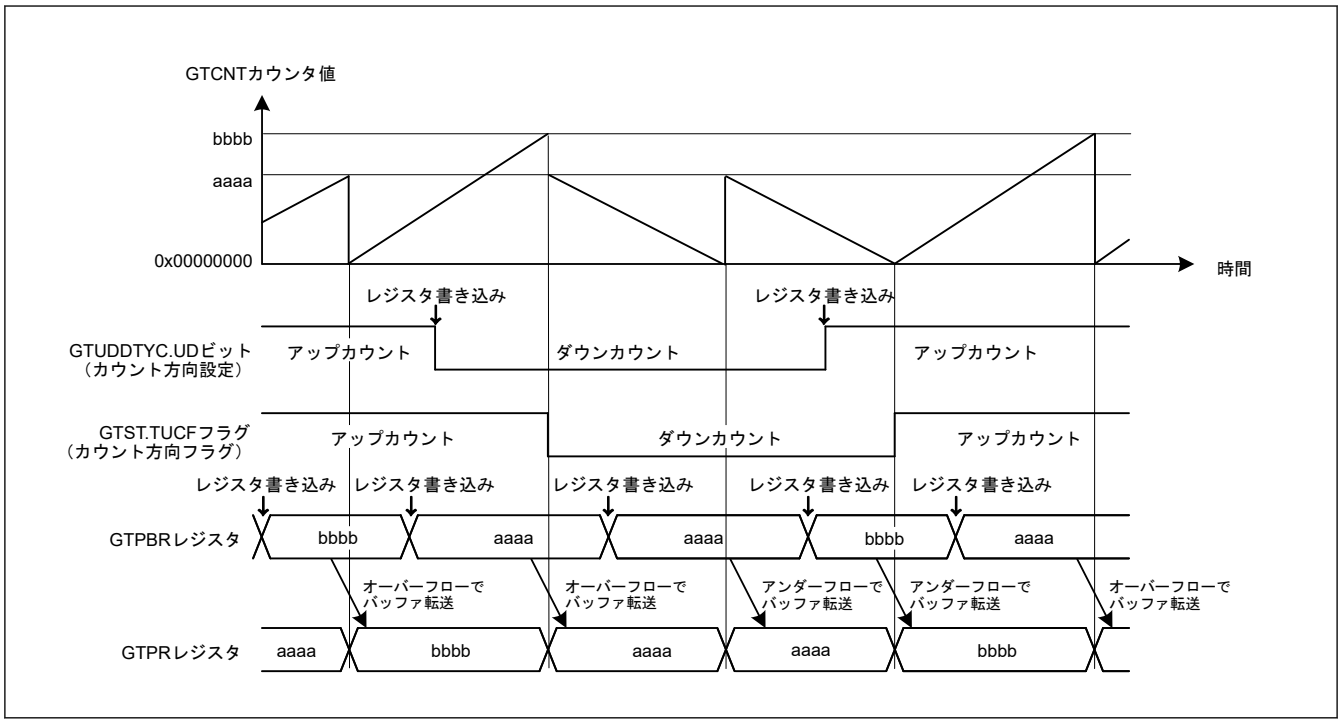


図 21.30 カウント方向切り替え機能の動作例（バッファ動作時）

21.3.6 出力デューティー 0%および出力デューティー 100%機能

GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更することにより、GTIOCnA 端子と GTIOCnB 端子 (n = 0～5, 10～13) の出力デューティーが 0%または 100%に設定されます。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、オーバーフロー（アップカウント中に変更した場合）またはアンダーフロー（ダウンカウント中に変更した場合）発生時に、出力デューティーの設定値が反映されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティーの変更値はカウントスタート時に反映されません。出力デューティーはオーバーフローまたはアンダーフロー発生時に変更されます。カウントストップ中

に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 1 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、その時の GTUDDTYC.OADTY ビット値または GTUDDTYC.OBDTY ビット値はカウントスタート時に反映されます。

三角波モードの場合、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、アンダーフロー発生時に出力デューティーの設定値が反映されます。

カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティーの変更値はカウントスタート時に反映されません。アンダーフロー時に出力デューティーが変更されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 1 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、出力デューティーの変更値はカウントスタート時に反映されます。

0%または 100%デューティー動作の実行時、GPT は内部で以下の動作を継続します。

- コンペアマッチ動作の実行
- コンペアマッチフラグの設定
- 割り込み出力
- バッファ動作の実行

0%または 100%デューティー設定からコンペアマッチに制御が変更されると、周期の終わりでの GTIOCnA 端子の出力値は、GTIOR.GTIOA[3:2]ビットと GTUDDTYC.OADTYR ビットで決定されます。周期の終わりでの GTIOCnB 端子の出力値は、GTIOR.GTIOB[3:2]ビットと GTUDDTYC.OBDTYR ビットで決定されます。

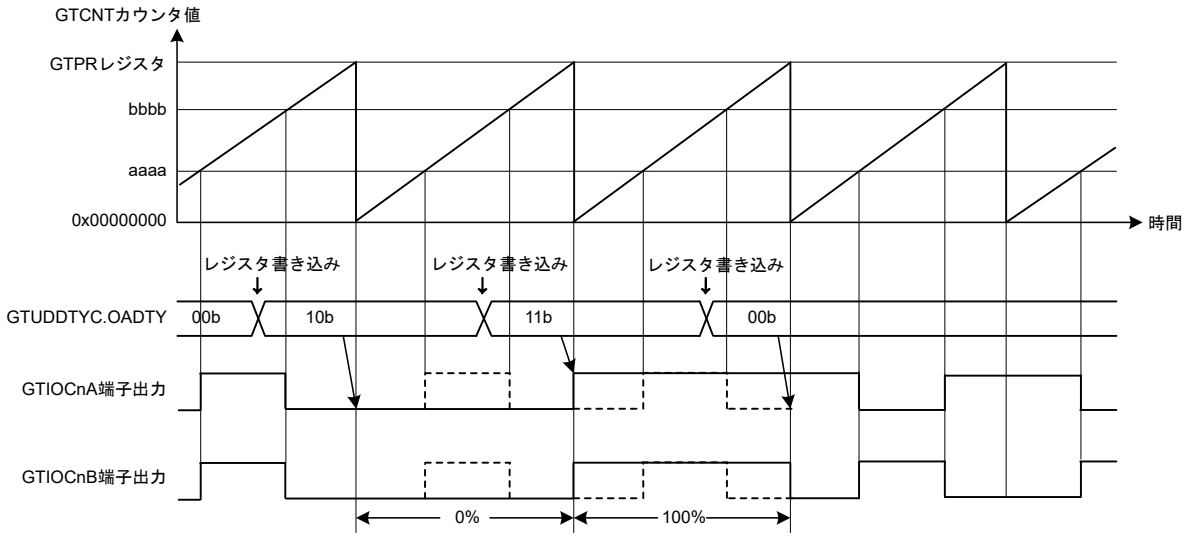
GTIOR.GTIOA[3:2]ビットと GTIOR.GTIOB[3:2]ビットを 01b にすると、出力端子は周期の終わりで Low 出力となります。GTIOR.GTIOA[3:2]ビットと GTIOR.GTIOB[3:2]ビットを 10b にすると、出力端子は周期の終わりで High 出力となります。

GTIOR.GTIOm[3:2]ビットが 00b（周期の終わりで出力保持）または 11b（周期の終わりでトグル出力）になっている場合、GTUDDTYC.OADTYR ビットでは、周期の終わりで出力保持／トグル出力の対象となる値を選択します。 表 21.24 に周期の終わりでの GTIOCnA/GTIOCnB 端子の出力値を示します。

表 21.24　0%または 100%デューティー設定解除後の出力値 (m = A、B)

GTIOR.GTIOm[3:2]	0%/100%デューティー設定でマスクされた周期の終わりでのコンペアマッチ値	GTUDDTYC.OADTYR（デューティー 0%設定時）		GTUDDTYC.OADTYR（デューティー 100%設定時）	
		0	1	0	1
00 （周期の終わりで出力保持）	0	0	0	1	0
	1	0	1	1	1
01 （周期の終わりで Low 出力）	—	0	0	0	0
10 （周期の終わりで High 出力）	—	1	1	1	1
11 （周期の終わりでトグル出力）	0	1	1	0	1
	1	1	0	0	0

図 21.31 に出力デューティー 0%、100%機能の動作例を示します。



注. レジスタのベースアドレスは同じです。

注. ［設定例］

GTIOR.GTIOA[4:0]ビット：	00011b 初期は Low 出力、コンペアマッチでトグル出力、周期の終わりで出力保持
GTUDDTYC.OADTYR ビット：	0b 0%/100%デューティー比設定解除後にデューティー比が設定された場合、 GTIOA [3:2]ビットで選択された機能が出力値に適用されます。
GTIOR.GTIOB[4:0]ビット：	00011b 初期は Low 出力、コンペアマッチでトグル出力、周期の終わりで出力保持
GTUDDTYC.OBDTYR ビット：	1 GTIOB[3:2]ビットの機能が 0%/100%デューティー設定解除後にマスクされたコンペアマッチ出力値に適用されます。

図 21.31 出力デューティー 0%、100%機能動作例

21.3.7 ハードウェアカウントスタート／カウントストップ、カウントクリア動作

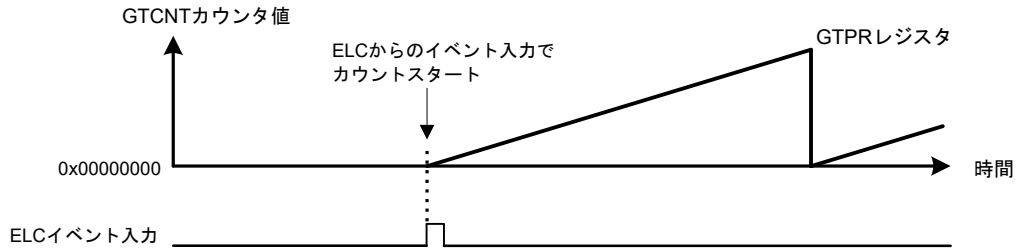
下記のハードウェア要因によって、GTCNT カウンタのカウントスタート、カウントストップ、またはカウントクリアが可能です。

- 外部トリガ入力
- ELC イベント入力
- GTIOCnA/GTIOCnB 端子入力 (n = 0～5, 10～13)

21.3.7.1 ハードウェアスタート動作

GTSSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントスタートが可能です。

図 21.32 にハードウェア要因によるカウントスタートの動作例を示します。表 21.25 に設定例を示します。



注. ELC イベント入力：ELCA イベント入力

図 21.32 ハードウェア要因によるカウントスタート動作例（ELCA イベントからの信号入力時のスタート）

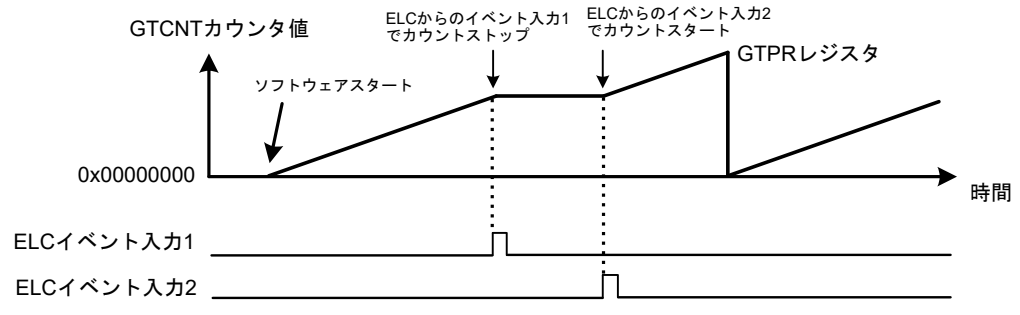
表 21.25 ハードウェア要因によるカウントスタート動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 21.32 では 000b（のこぎり波 PWM モード）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 21.32 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 21.32 では 0x00000000 を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択します。 図 21.32 では GTSSR.SSELCA = 1
7	ハードウェア要因の動作設定	GTSSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタートさせます。 図 21.32 では ELCA イベント入力動作を設定します。

21.3.7.2 ハードウェアストップ動作

GTPSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントストップが可能です。

図 21.33 にハードウェア要因によるカウントストップの動作例を示します。表 21.26 に設定例を示します。この例では、カウント動作が ELCA イベント入力でストップし、ELCB イベント入力で再スタートしています。



注. ELC イベント入力 1：ELCA イベント入力
ELC イベント入力 2：ELCB イベント入力

図 21.33 ハードウェア要因によるカウントストップ動作例（ソフトウェアによるスタート、ELCA 入力でのストップ、ELCB 入力での再スタートの場合）

表 21.26 ハードウェア要因によるカウントストップ動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 21.33 では 000b（のこぎり波 PWM モード）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 21.33 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 21.33 では 0x00000000 を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。図 21.33 では GTSSR.SSELCB = 1
7	ハードウェアカウントストップ設定	GTPSR レジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。図 21.33 では GTPSR.PSELCA = 1
8	ハードウェア要因の動作設定	GTSSR レジスタまたは GTPSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタートまたはストップさせます。図 21.33 では ELCA 入力と ELCB 入力の動作を設定します。

図 21.34 にハードウェア要因によるカウントスタート／ストップ動作例を示します。表 21.27 に設定例を示します。この例では、外部トリガ入力 GTETRGA 端子が High の期間に、カウンタが動作しています。

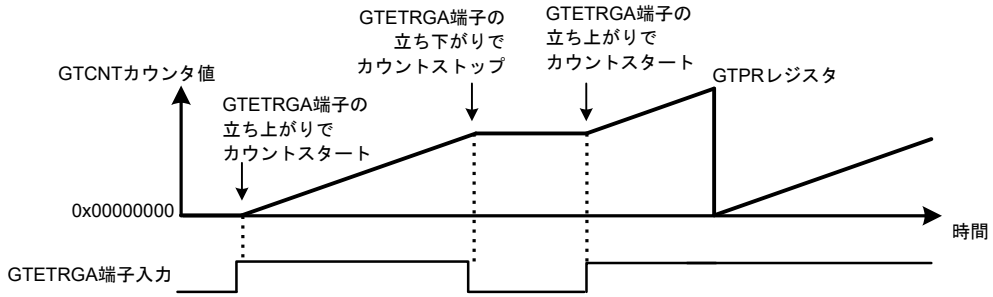


図 21.34 ハードウェア要因によるカウントスタート／ストップ動作例（GTETRGA 端子入力の立ち上がりエッジでスタート、GTETRGA 端子入力の立ち下がりエッジでストップの場合）

表 21.27 ハードウェア要因によるカウントスタート／ストップ動作設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 21.34 では 000b（のこぎり波 PWM モード）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 21.34 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 21.34 では 0x00000000 を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。 図 21.34 では GTSSR.SSGTRGAR = 1
7	ハードウェアカウントストップ設定	GTPSR レジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。 図 21.34 では GTPSR.PSGTRGAF = 1

表 21.27 ハードウェア要因によるカウントスタート／ストップ動作設定例 (2/2)

No.	手順名	説明
8	ハードウェア要因の動作設定	GTSSR レジスタ、GTPSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタート／ストップさせます。 図 21.34 では GTETRGA 端子の動作を設定します。

21.3.7.3 ハードウェアクリア動作

GTCSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントクリアができます。ハードウェア要因またはソフトウェアによって GTCNT カウンタがクリアされても、GPTn_OVF/GPTn_UDF (n = 0～5, 10～13) 割り込み（オーバーフロー／アンダーフロー割り込み）は発生しません。

図 21.35 と図 21.36 にハードウェア要因による GTCNT カウンタのクリア動作例を示します。表 21.28 に設定例を示します。この例では、GTCNT カウンタは ELCA 入力でスタートし、ELCB 入力でストップおよびクリアされています。

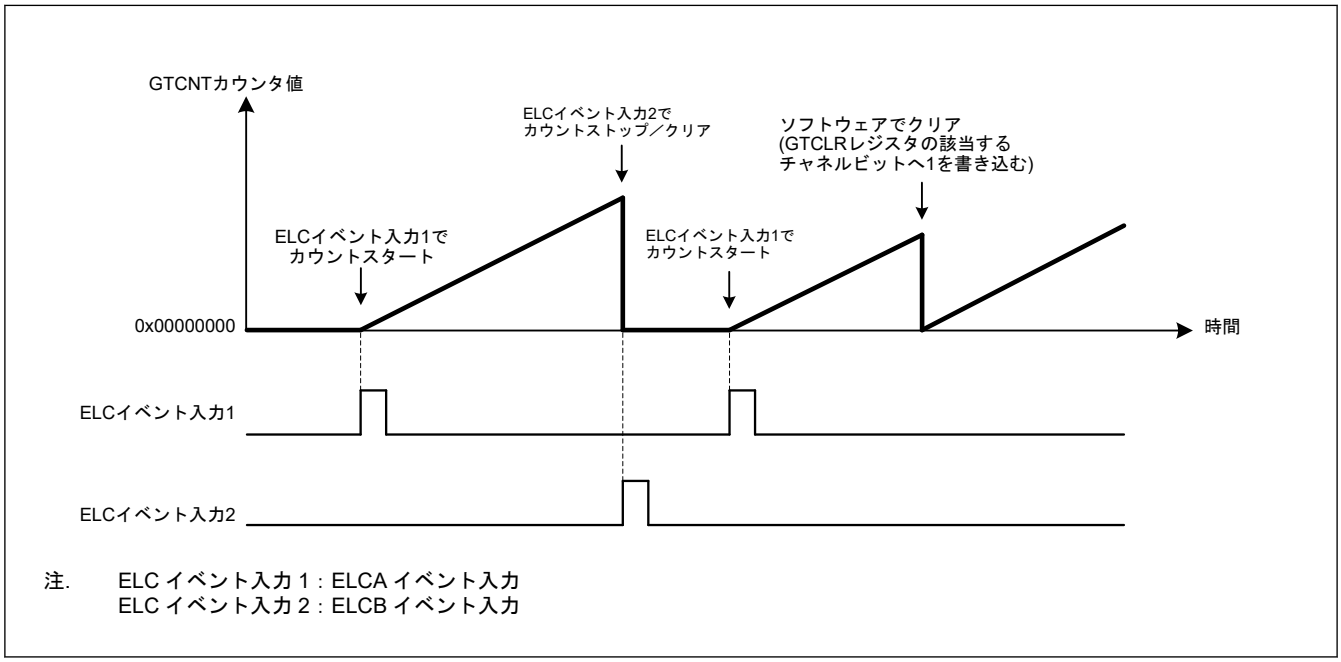
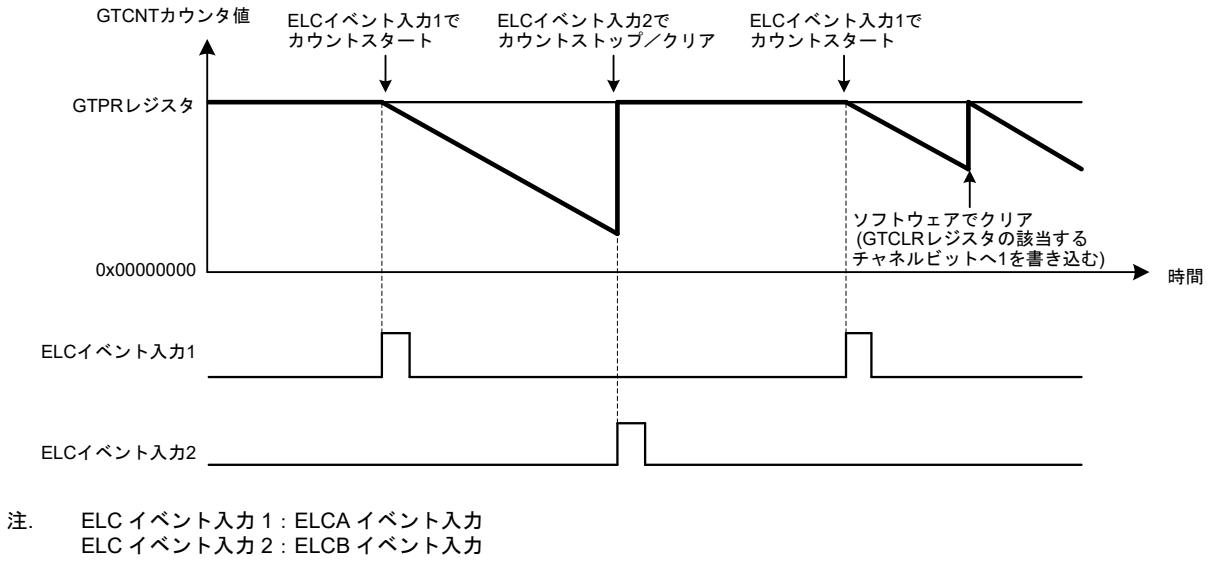


図 21.35 ハードウェア要因によるカウントクリア動作例（のこぎり波アップカウント、ELCA 入力でスタート、ELCB 入力でストップ／クリアの場合）



注. ELC イベント入力 1 : ELCA イベント入力
ELC イベント入力 2 : ELCB イベント入力

図 21.36 ハードウェア要因によるカウントクリア動作例（のこぎり波ダウンカウント、ELCA 入力でスタート、ELCB 入力でストップ／クリアの場合）

表 21.28 ハードウェア要因によるカウントクリア動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 21.35 と図 21.36 では 000b（のこぎり波 PWM モード）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 21.35 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。 図 21.36 では GTUDDTYC[1:0]ビットに 10b を設定してから GTUDDTYC[1:0]ビットに 00b を設定します（ダウンカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 21.35 では 0x00000000 を設定します。図 21.36 では GTPR 値を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。図 21.35、図 21.36 では GTSSR.SSELCA = 1
7	ハードウェアカウントストップ設定	GTPSR レジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。図 21.35、図 21.36 では GTPSR.PSELCB = 1
8	ハードウェアカウントクリア設定	GTCSR レジスタでカウントをクリアさせるハードウェア要因を選択し、ハードウェア要因によるカウンタクリア待ち状態にします。図 21.35、図 21.36 では GTCSR.CSELCB = 1
9	ハードウェア要因の動作設定	GTSSR レジスタ、GTPSR レジスタ、GTCSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタート／ストップ／クリアさせます。 図 21.35 と図 21.36 では ELCA 入力と ELCB 入力を設定します。

ハードウェア要因またはソフトウェアによってカウンタがクリアされても、GPTn_OVF/GPTn_UDF (n = 0～5, 10～13) 割り込み（オーバーフロー／アンダーフロー割り込み）は発生しません。

図 21.37 にハードウェア要因によるカウンタクリアと GPTn_OVF (n = 0～5, 10～13) 割り込みの関係を示します。

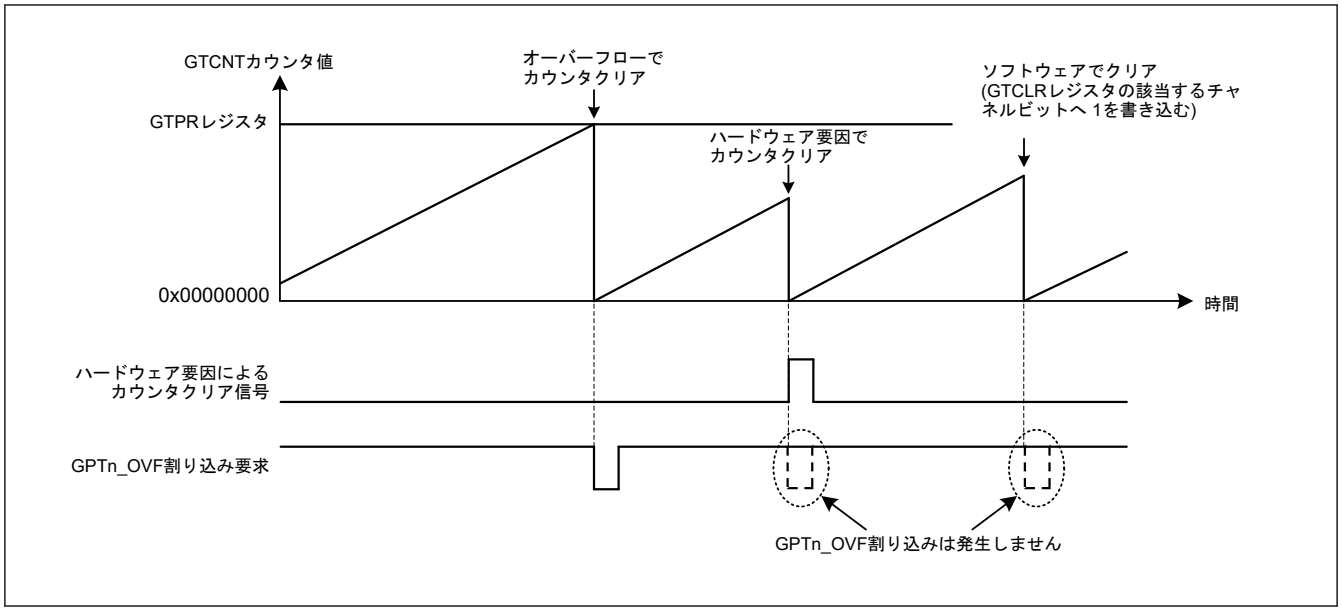


図 21.37 ハードウェア要因によるカウンタクリアと GPTn_OVF (n = 0～5, 10～13) 割り込みの関係

21.3.8 同期動作

同期スタート／ストップ／クリア動作など、チャネル間の同期動作を実行できます。

21.3.8.1 ソフトウェアによる同期動作

GTCNT カウンタは、対応する GTSTR ビット、GTSTP ビット、または GTCLR ビットを同時に 1 にすることにより、複数のチャネル上でスタート／ストップ／クリアできます。

また、GTCNT カウンタの初期値を設定し、対応する GTSTR ビットを同時に 1 にすることにより、位相の異なるカウントスタートが可能です。

カウント動作のクロックが各チャネルの GTCR.TPCS[3:0]ビットにより選択されるので、同期動作（カウントスタート／ストップ／クリア）を実行する各チャネルのクロック周期が他と異なる場合、チャネルごとの同期動作タイミングは全く同一ではありません。

図 21.38 にソフトウェアによる同時スタート／ストップ／クリアの動作例を示します。図 21.39 にソフトウェアによる位相スタートの動作例を示します。図 21.40、図 21.41、図 21.42 に異なるカウント周期の同時スタート／ストップ／クリアの動作例を示します。

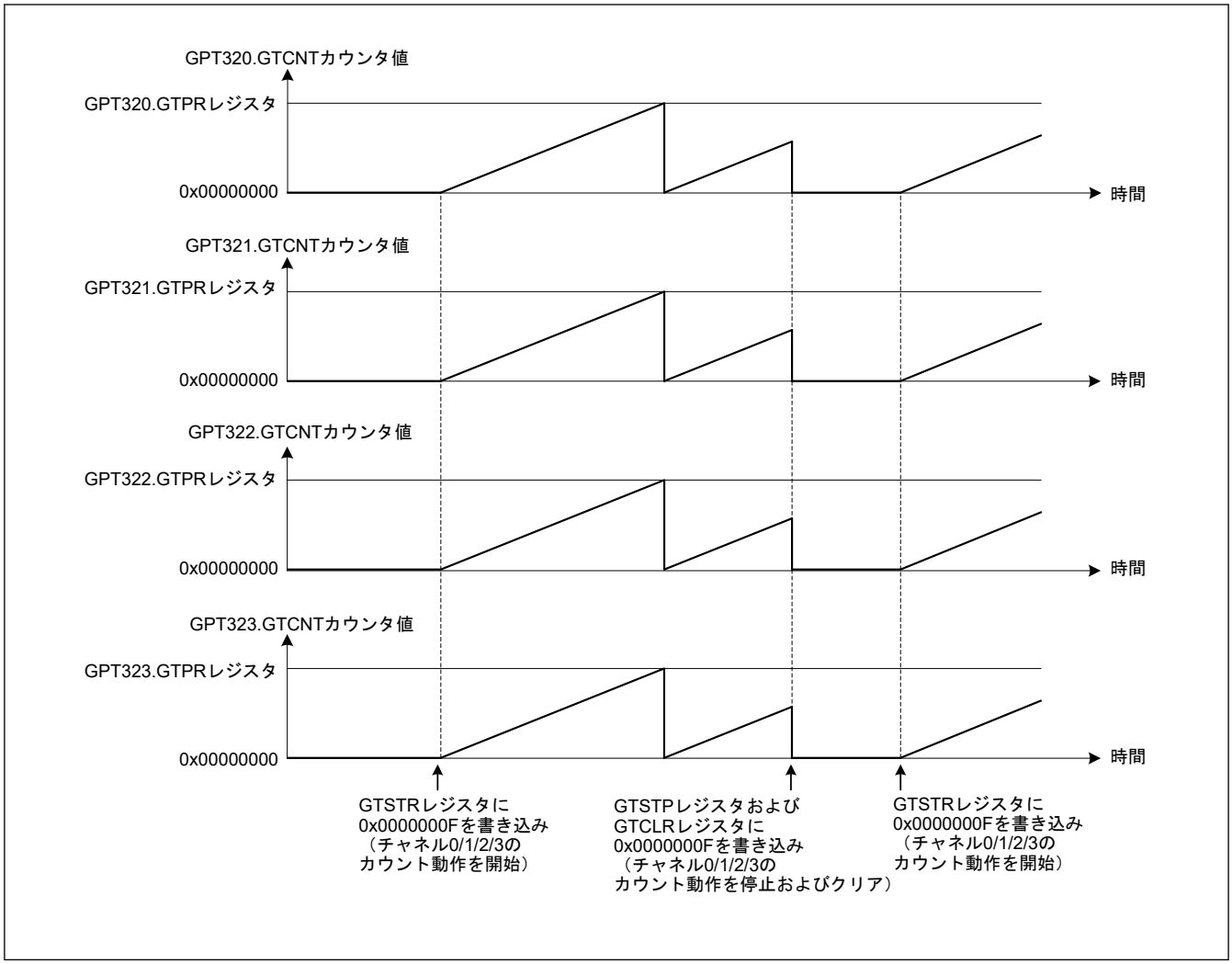


図 21.38　ソフトウェアによる同時スタート／ストップ／クリアの動作例（カウント周期（GTPR レジスタ値）が同一のとき）

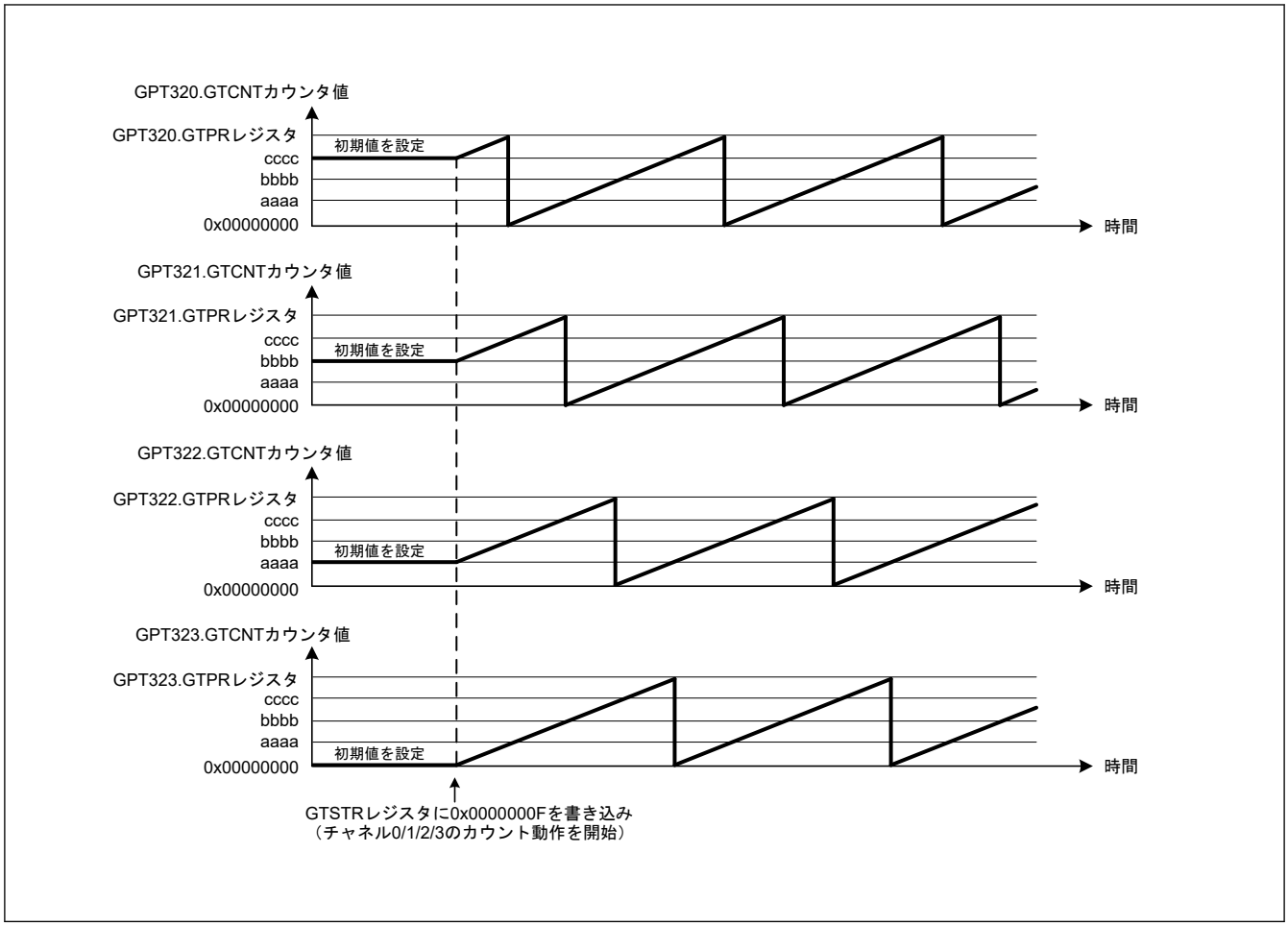


図 21.39　ソフトウェアによる位相スタート動作例（カウント周期（GTPR レジスタ値）が同一のとき）

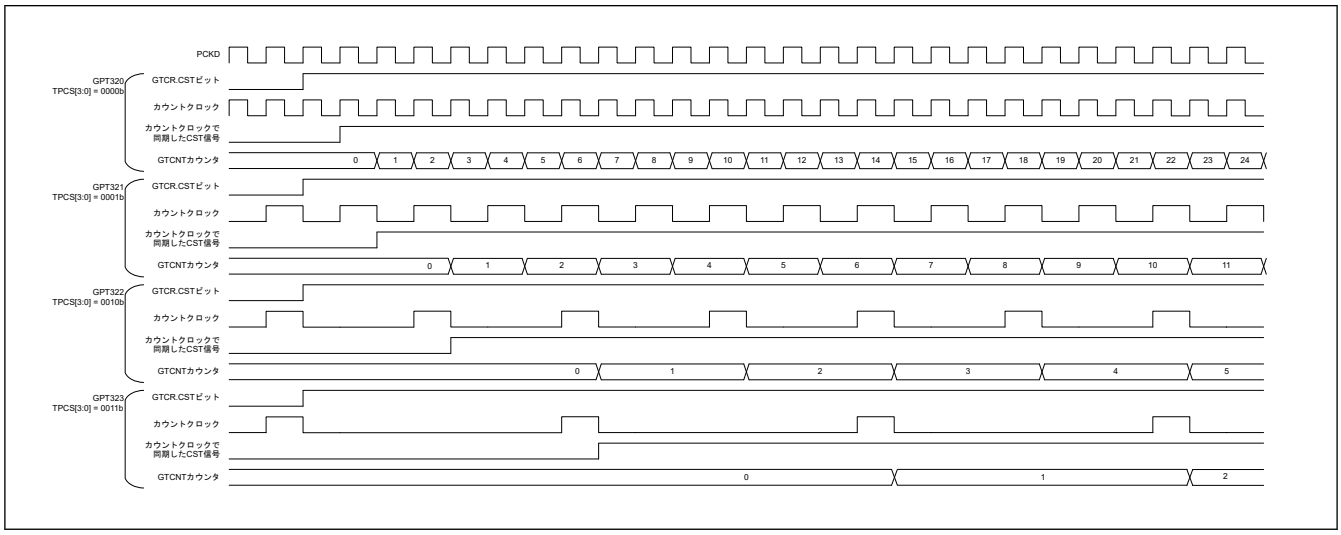


図 21.40　ソフトウェアによる同時スタートの動作例（異なるカウント周期）

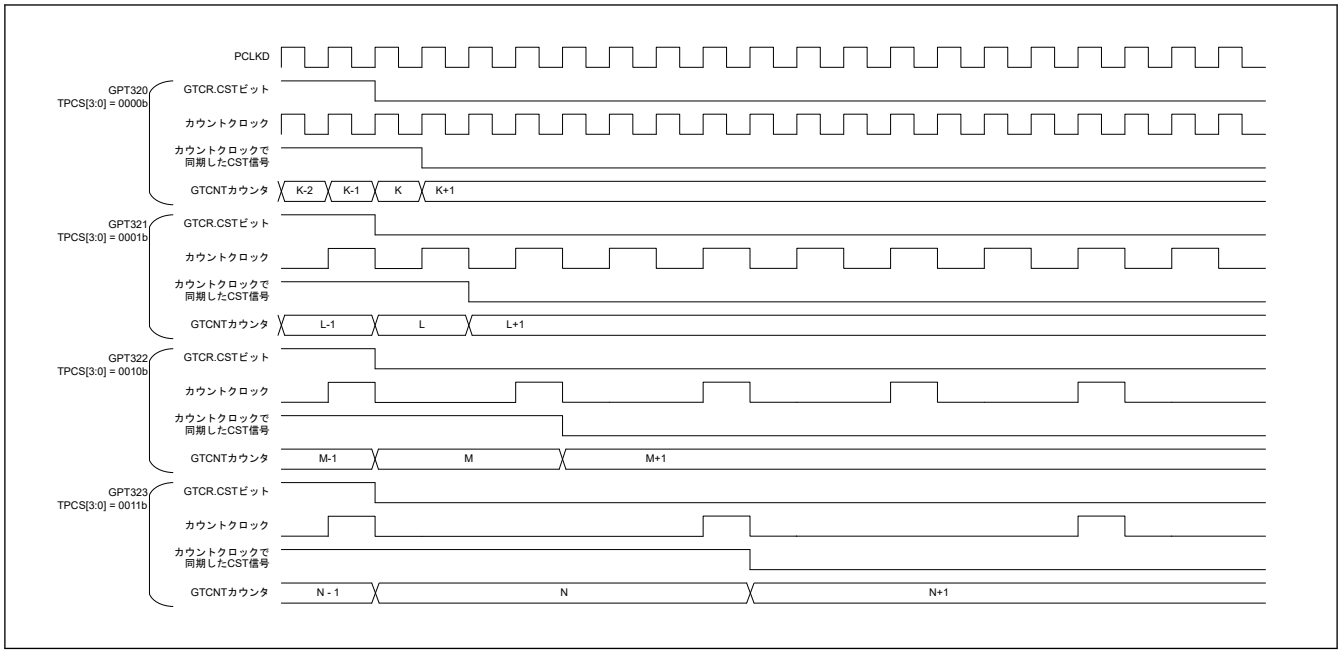


図 21.41　ソフトウェアによる同時ストップの動作例（異なるカウント周期）

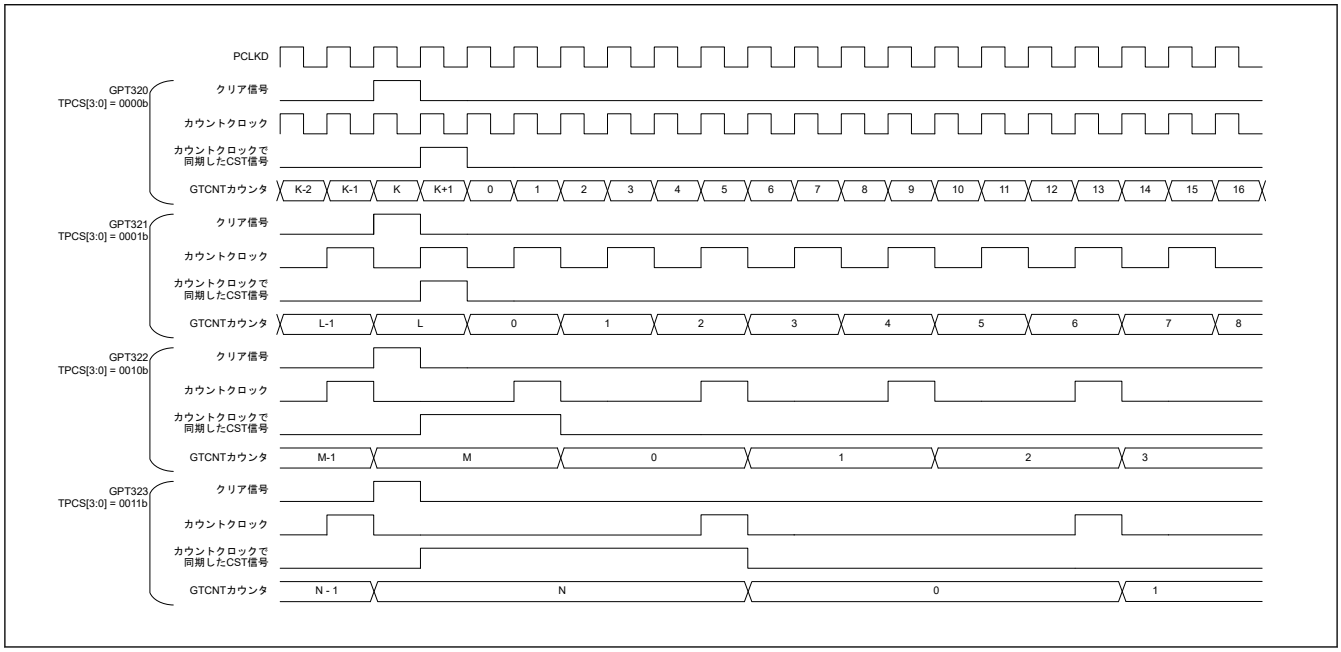
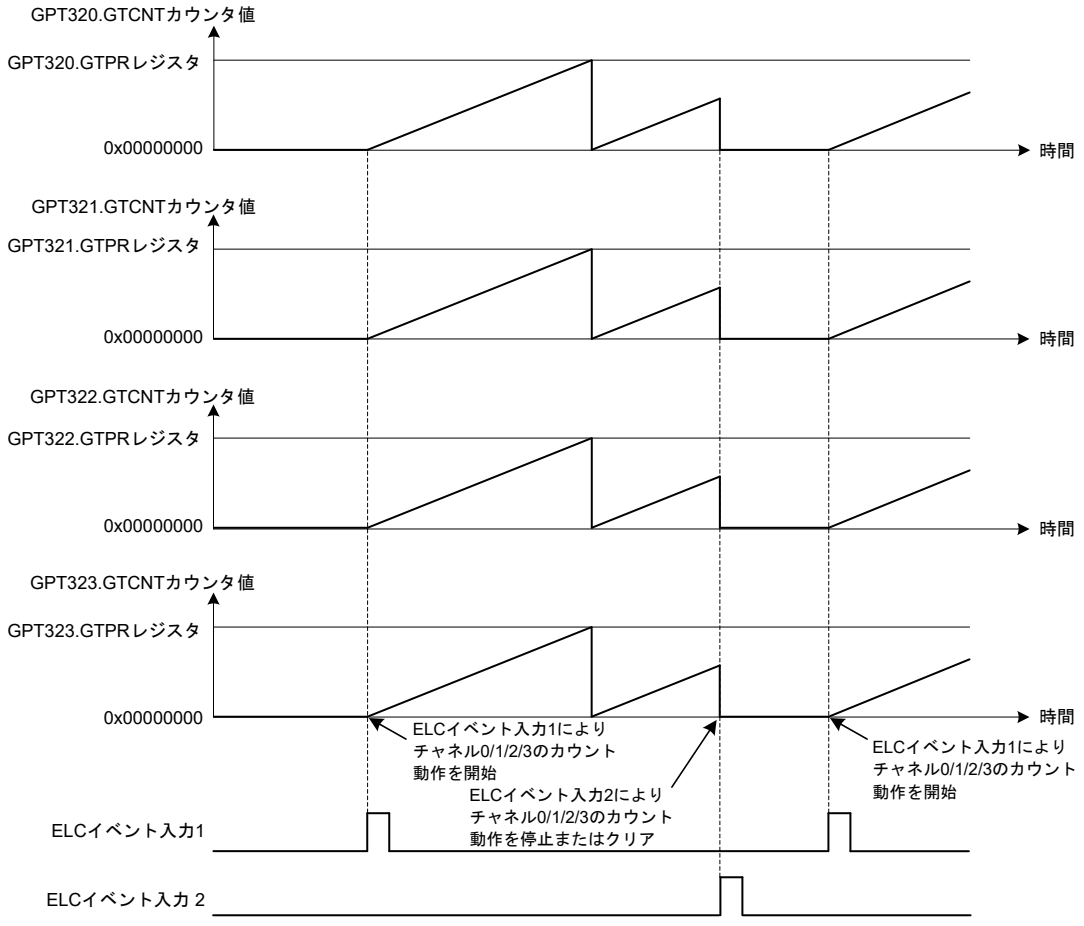


図 21.42　ソフトウェアによる同時クリアの動作例（異なるカウント周期）

21.3.8.2　ハードウェアによる同期動作

ELC イベント入力により、複数のチャネルのカウンタを同時にスタート、ストップ、クリアすることができます。

図 21.43 にハードウェア要因による同時スタート／ストップ／クリアの動作例を示します。表 21.29 に設定例を示します。



注. ELC イベント入力 1 : ELCA イベント入力
ELC イベント入力 2 : ELCB イベント入力

図 21.43 ハードウェア要因による同時スタート／ストップ／クリア動作例（カウント周期（GTPR レジスタ値）が同一のとき）

表 21.29 ハードウェア要因による同時スタート設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 21.43 では 000b（のこぎり波 PWM モード）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 21.43 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 21.43 では 0x00000000 を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。 図 21.43 では GTSSR.SSELCA = 1
7	ハードウェアカウントストップ設定	GTPSR レジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。 図 21.43 では GTPSR.PSELCB = 1

表 21.29 ハードウェア要因による同時スタート設定例 (2/2)

No.	手順名	説明
8	ハードウェアカウンタクリア設定	GTCSR レジスタでカウントをクリアさせるハードウェア要因を選択し、ハードウェア要因によるカウンタクリア待ち状態にします。 図 21.43 では GTCSR.CSELCB = 1
9	ハードウェア要因の動作設定	GTSSR レジスタ、GTPSR レジスタ、GTCSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタート／ストップ／クリアさせます。 図 21.43 では ELCA 入力と ELCB 入力を設定します。

21.3.9 PWM 出力動作例

(1) 同期 PWM 出力

GPT は、最大 10 チャネルの 10 × 2 相の連動した PWM 波形を出力します。

図 21.44 に、4 チャネルをのこぎり波 PWM モードで同期動作させて、8 相の PWM 波形を出力させる例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。GTIOCnB 端子は、初期値として Low 出力、GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。

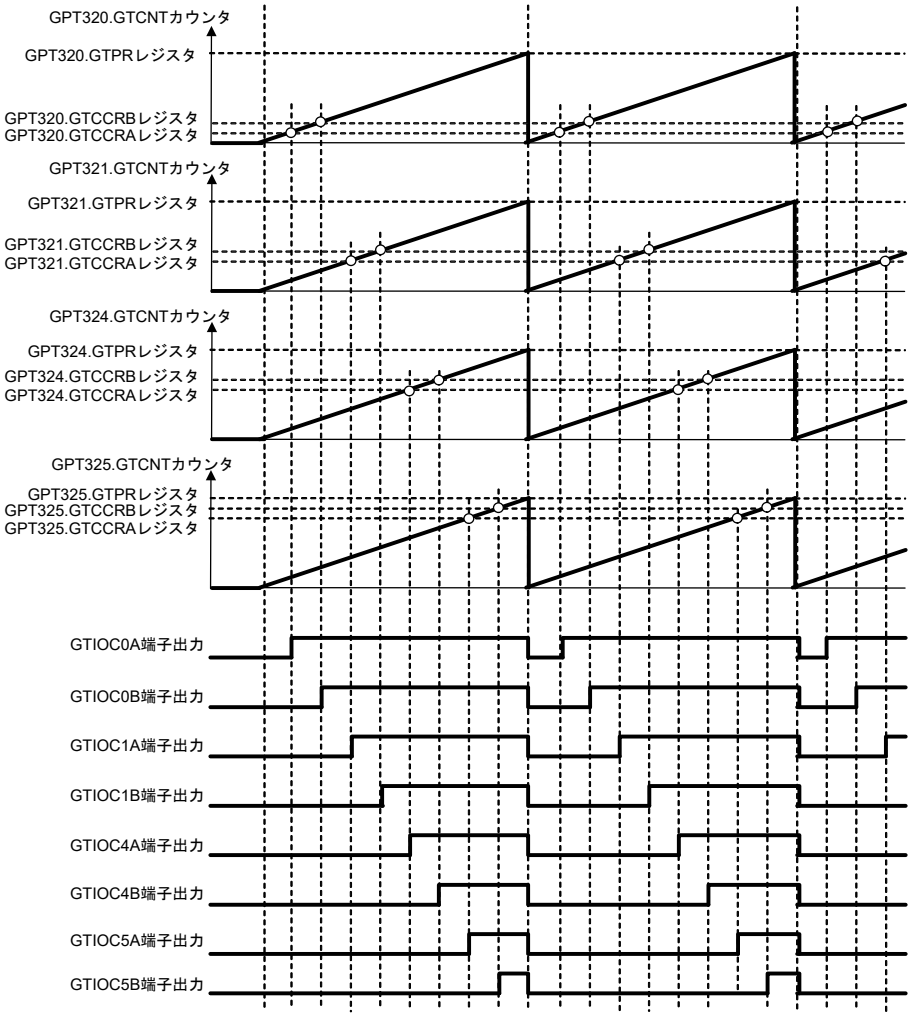


図 21.44 同期 PWM 出力例

(2) のこぎり波 3 相相補 PWM 出力

図 21.45 に、3 チャネルをのこぎり波 PWM モードで同期動作させて、三相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチで Low 出力、周期の終わりで High 出力するように設定されています。

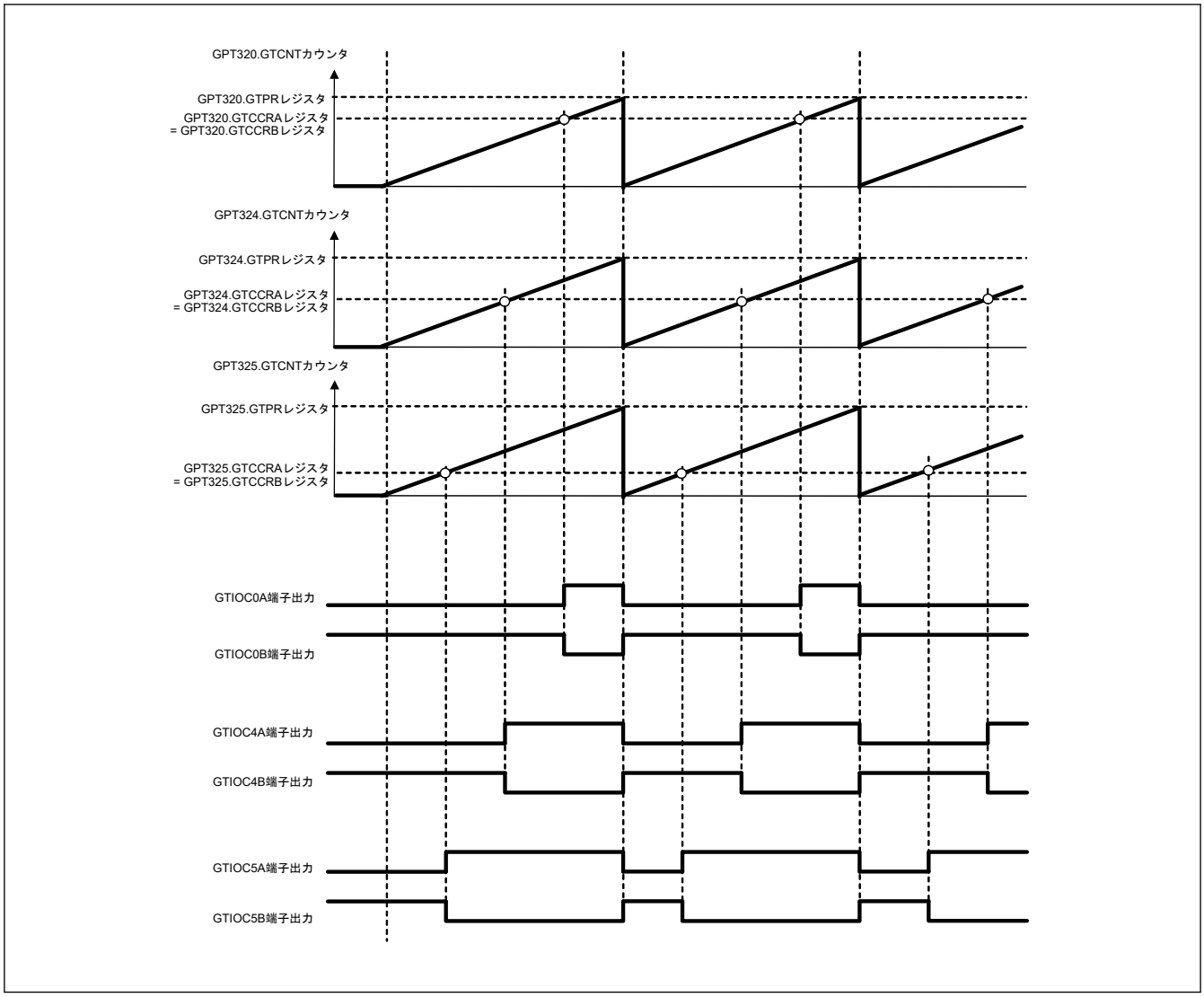


図 21.45 のこぎり波 3 相相補 PWM 出力例

(3) のこぎり波 3 相相補 PWM 出力（デッドタイム自動設定）

図 21.46 に、デッドタイム自動設定機能を使用して、3 チャネルをのこぎり波ワンショットパルスモードで同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

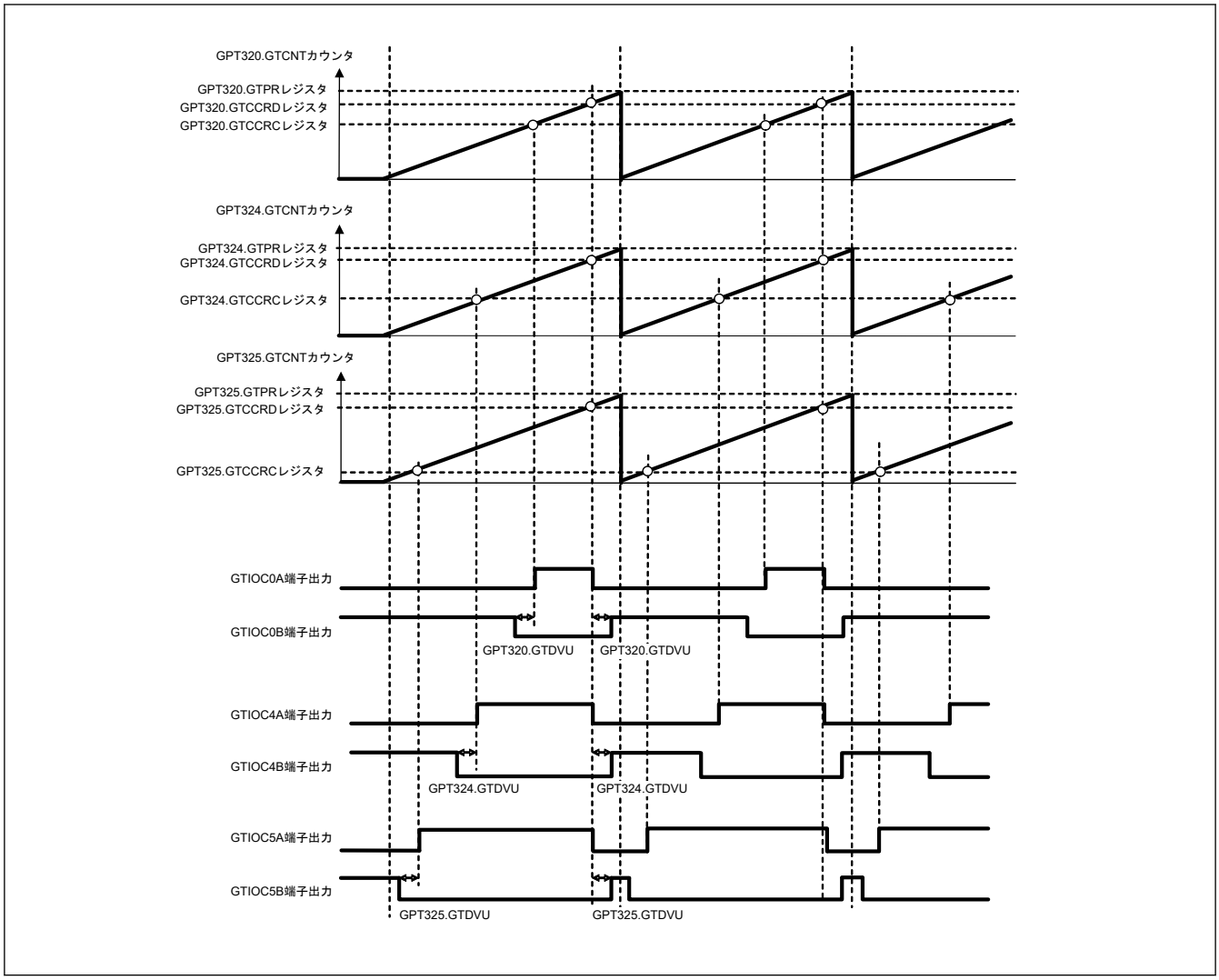


図 21.46　のこぎり波 3 相相補 PWM 出力例（デッドタイム自動設定）

(4)　三角波 3 相相補 PWM 出力

図 21.47 に、3 チャネルを三角波 PWM モード 1 で同期動作させて、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

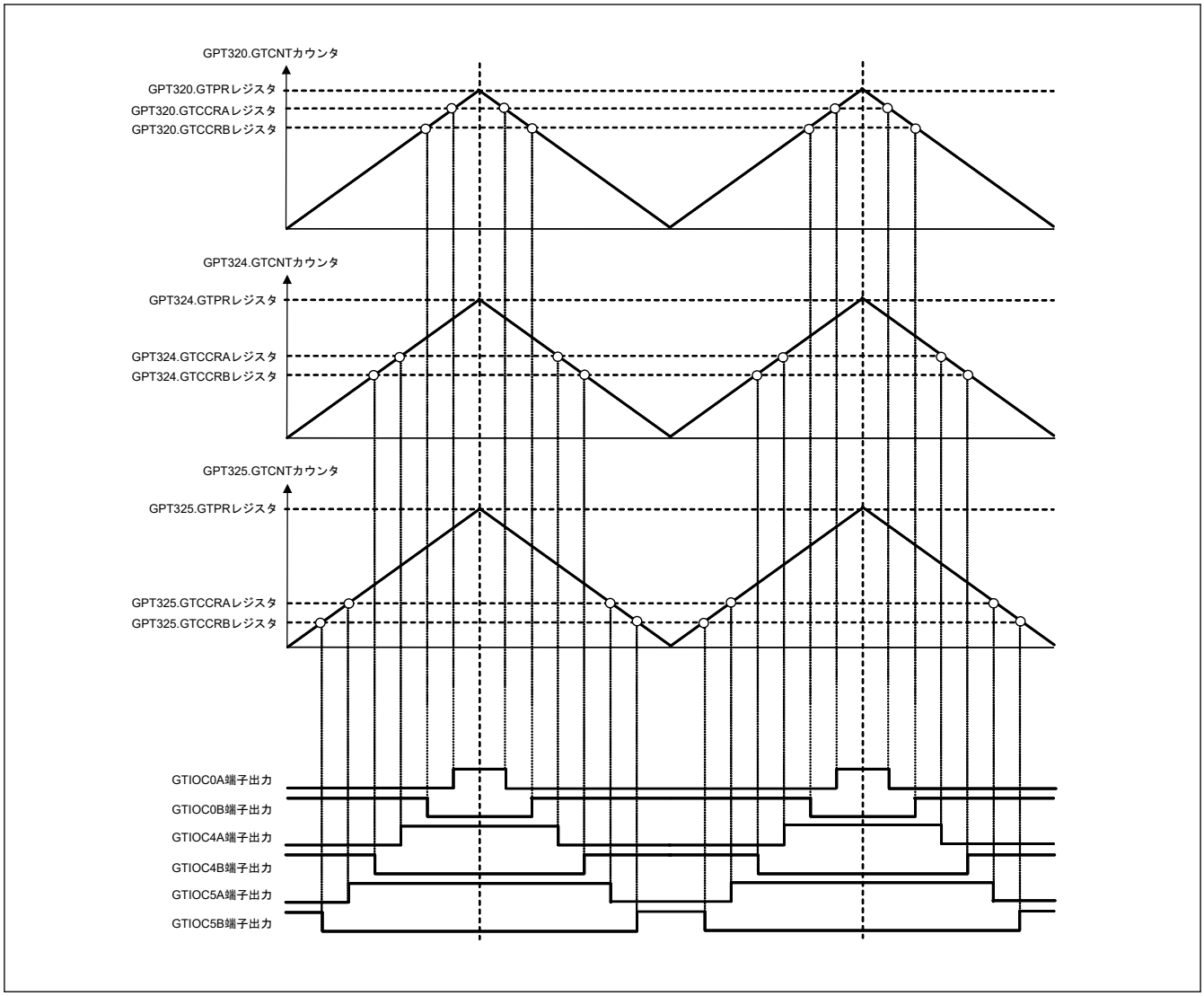


図 21.47　三角波 3 相相補 PWM 出力例

(5)　三角波 3 相相補 PWM 出力（デッドタイム自動設定）

図 21.48 に、デッドタイム自動設定機能を使用して、3 チャネルを三角波 PWM モード 1 で同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

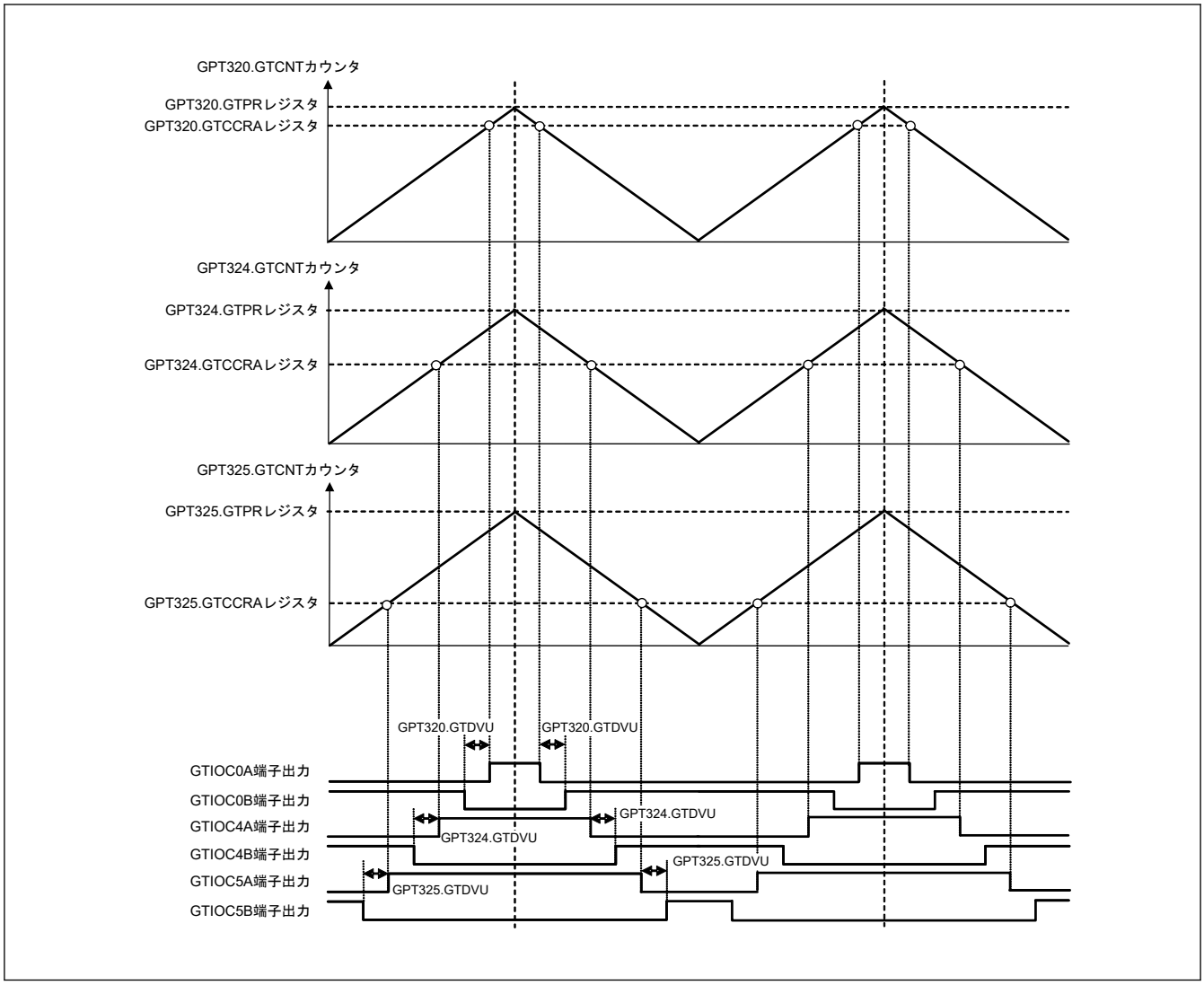


図 21.48　三角波 3 相相補 PWM 出力例（デッドタイム自動設定）

(6)　非対称三角波 3 相相補 PWM 出力（デッドタイム自動設定）

図 21.49 に、デッドタイム自動設定機能を使用して、3 チャネルを三角波 PWM モード 3 で同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

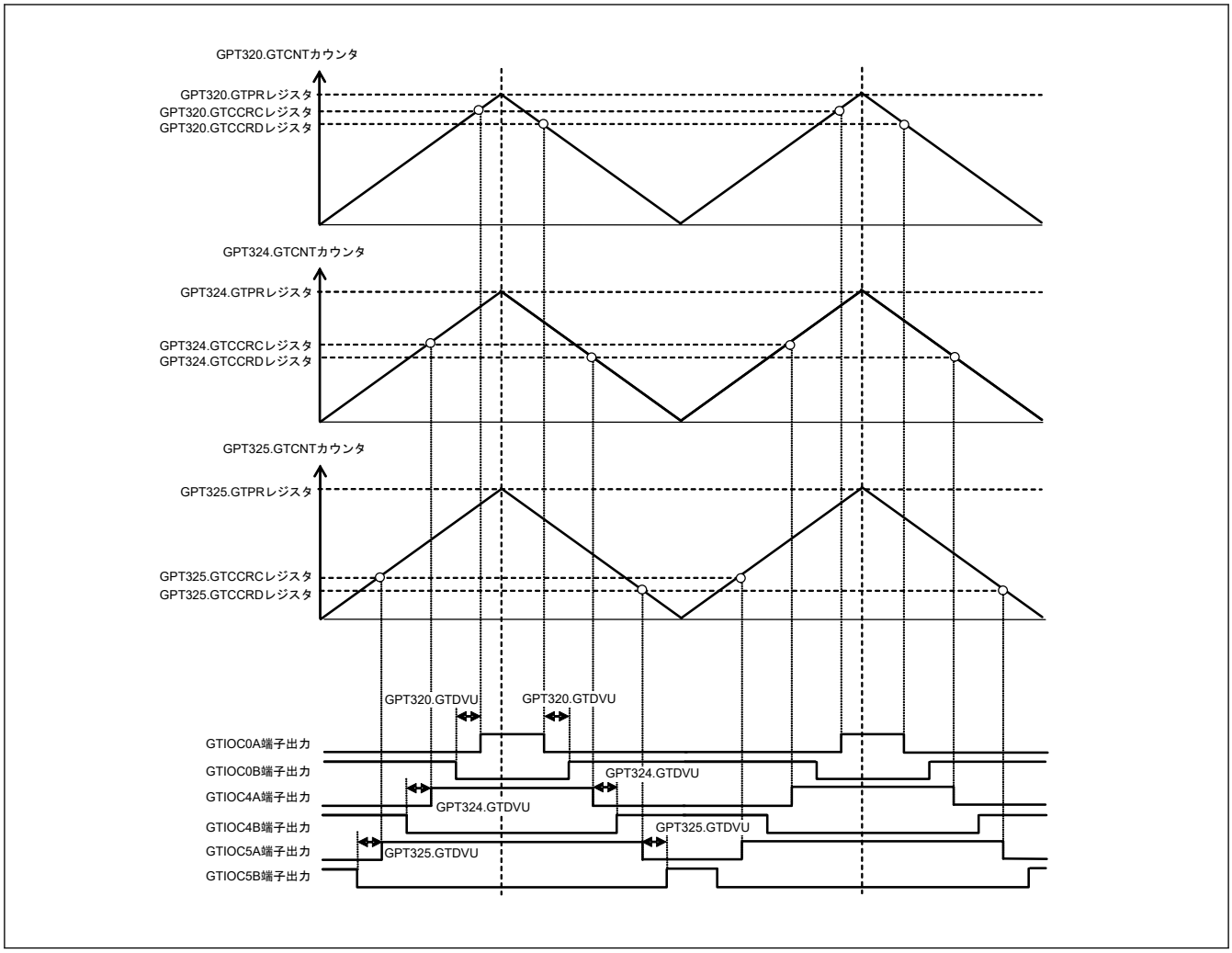


図 21.49　非対称三角波 3 相相補 PWM 出力例（デッドタイム自動設定）

21.3.10　周期計数機能

GTPC レジスタを設定すると、周期の終了を計数できます。

GTPC.PCEN ビットが 0 の場合、計数する周期の数は GTPC.PCNT カウンタに設定します。PCEN ビットが 1 のとき、PCNT カウンタを読み出せますが、書き込みはできません。PCEN ビットが 1 のとき、周期の終わりでダウンカウントが実行されます。周期の終わりに PCNT カウンタが 1 であるとき、カウンタは 0 になり、計数を停止し周期計数機能を終了します。その時点で GTST.PCF フラグが設定され、周期計数機能終了割り込み要求 GPTn_PC が発生します。GTPC.ASTP ビットが 1 の場合、周期計数機能が終了したときに GTCNT カウンタも同時に停止します。

周期計数機能が許可された状態で、GTCNT カウンタが停止したとき、PCNT カウンタはその値を保持します。GTCNT カウンタがカウントを再開して PCEN ビットが 1 のとき、PCNT カウンタは保持していた値からダウンカウントを再開します。

PCNT カウンタが 0 で ASTP ビットが 1 の状態で PCEN ビットを 0 から 1 に変更した場合、GTCNT カウンタはその直後にカウントクロックで停止します。

GTSECR.SPCE ビットまたは GTSECR.SPCD ビットいずれかが 1 に設定されたとき、GTSECSR レジスタによって 1 に設定されたチャネルの PCEN ビットが、複数のチャネルの周期計数機能を許可／禁止する値に同時に設定されます。

PWM 周期計数機能の例を図 21.50 と図 21.51 に示します。

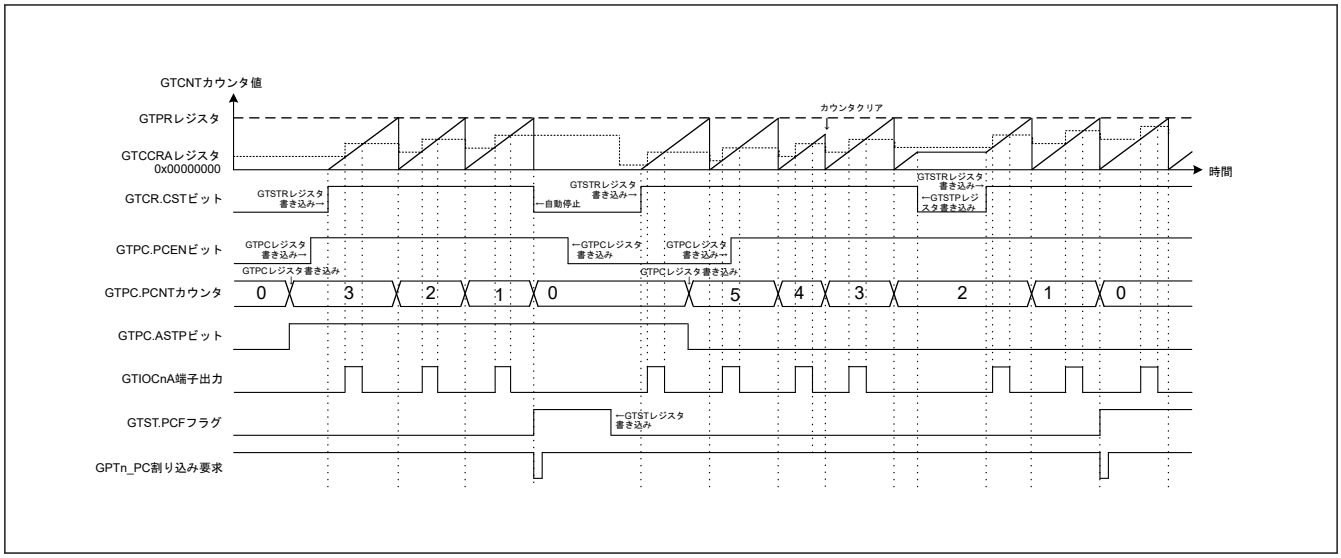
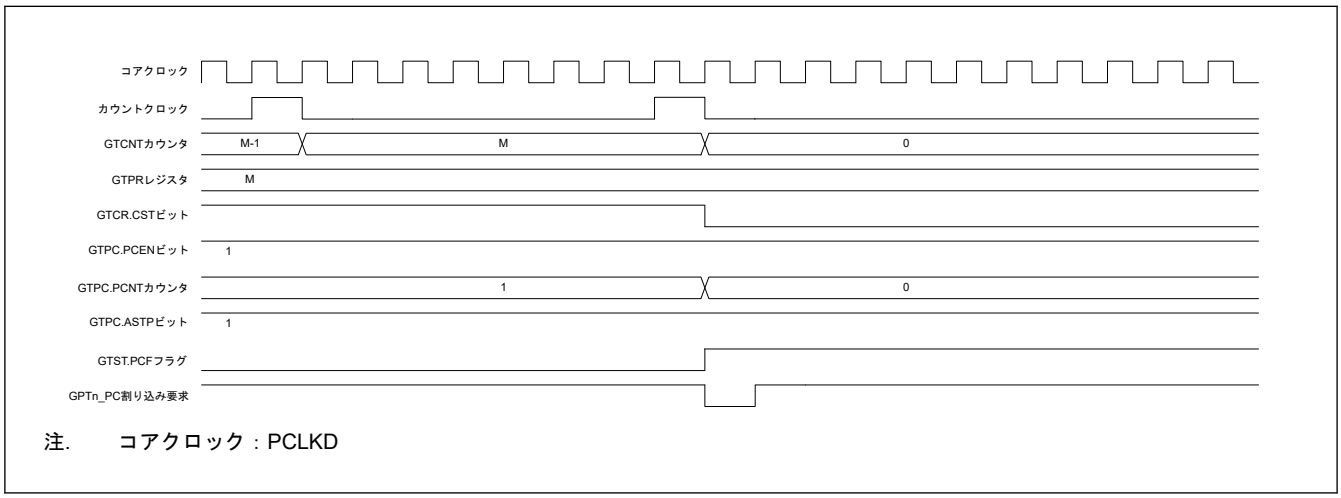


図 21.50　PWM 周期計数機能の例（のこぎり波ワンショットパルスモード）



注.　コアクロック：PCLKD

図 21.51　PWM 周期計数機能の動作タイミング例（のこぎり波ワンショットパルスモード、アップカウント）

21.3.11　位相計数機能

GTIOCnA 端子入力と GTIOCnB 端子入力 (n = 0～5, 10～13) の間で位相差が検出されると、対応する GTCNT カウンタがアップカウントまたはダウンカウントを実行します。GTUPSR レジスタおよび GTDNSR レジスタに設定されている GTIOCnA 端子入力と GTIOCnB 端子入力のレベルとエッジの関係が、どのような組み合わせであっても位相差を検出できます。カウント動作の詳細については、「21.3.1.1. カウンタの動作」を参照してください。

図 21.52～図 21.61 に GTIOCnA 端子、GTIOCnB 端子を使用する場合の位相計数モード 1～5 の動作例を示します。表 21.30～表 21.39 にアップカウント／ダウンカウントの条件を、図 21.52～図 21.61 に対応する GTUPSR レジスタおよび GTDNSR レジスタの設定値を示します。

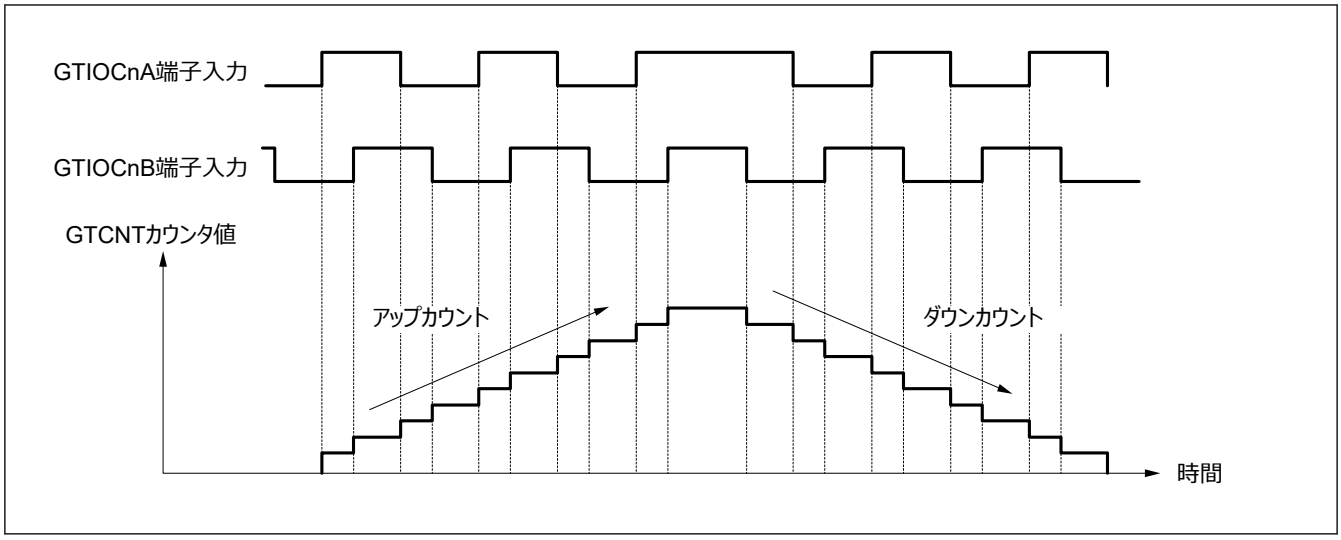


図 21.52　位相計数モード 1 の動作例

表 21.30　位相計数モード 1 でのアップカウント／ダウンカウントの条件

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High	↑	アップカウント	GTUPSR = 0x00006900 GTDNSR = 0x00009600
Low	↓		
↑	Low		
↓	High		
High	↓	ダウンカウント	
Low	↑		
↑	High		
↓	Low		

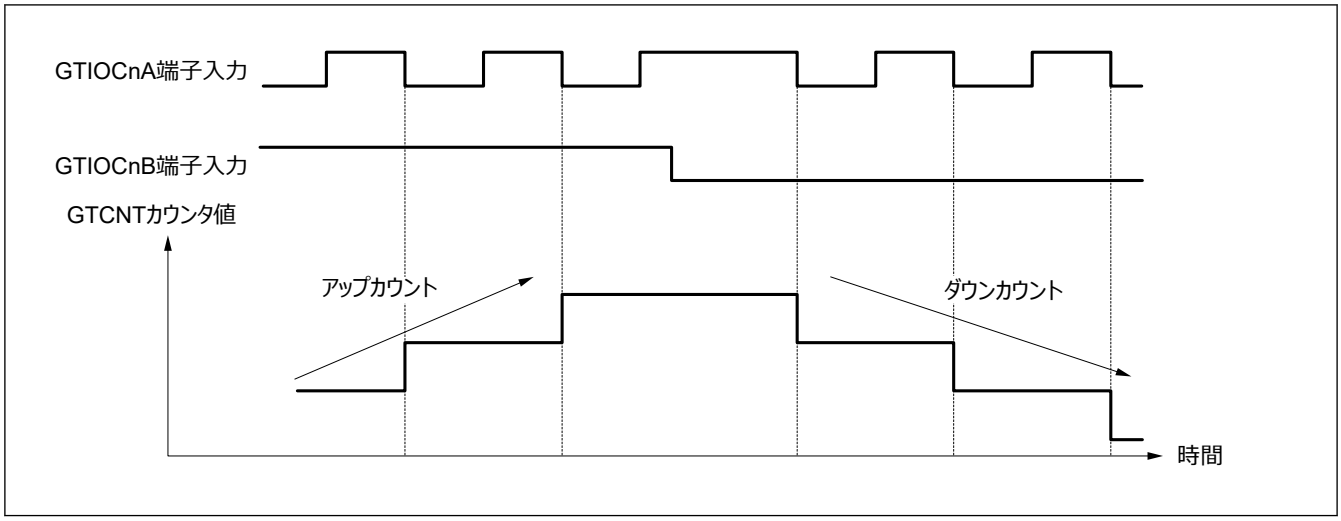


図 21.53　位相計数モード 2 の動作例 (A)

表 21.31 位相計数モード 2 でのアップカウント／ダウンカウントの条件 (A)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x00000800 GTDNSR = 0x00000400
Low			
	Low		
	High	アップカウント	
High		カウントしない	
Low			
	High		
	Low	ダウンカウント	

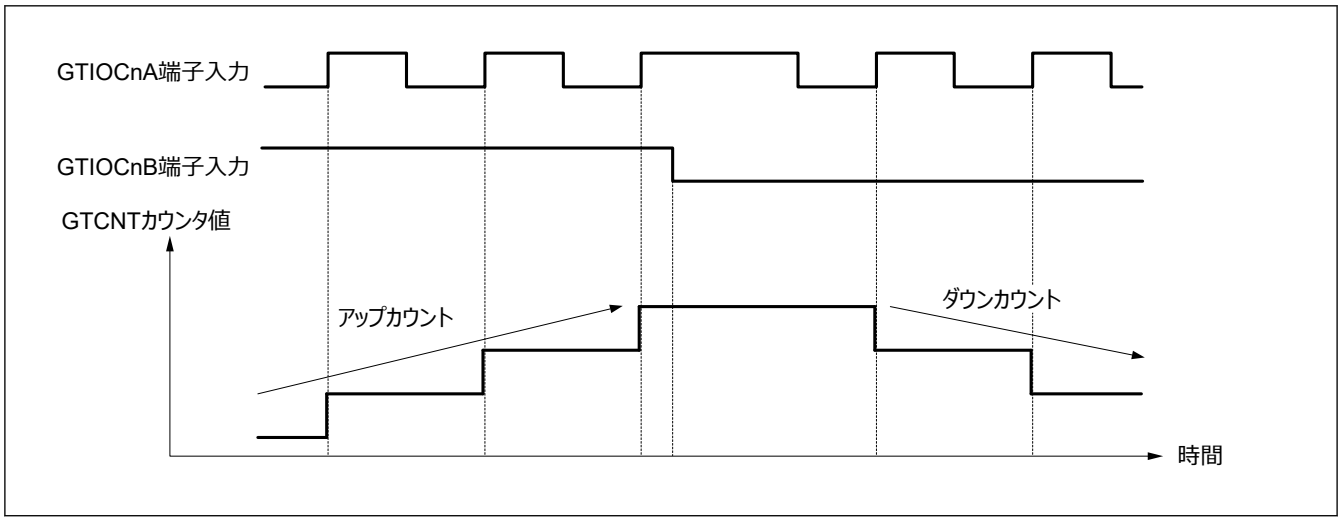


図 21.54 位相計数モード 2 の動作例 (B)

表 21.32 位相計数モード 2 でのアップカウント／ダウンカウントの条件 (B)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x00000200 GTDNSR = 0x00000100
Low			
	Low	ダウンカウント	
	High	カウントしない	
High			
Low			
	High	アップカウント	
	Low	カウントしない	

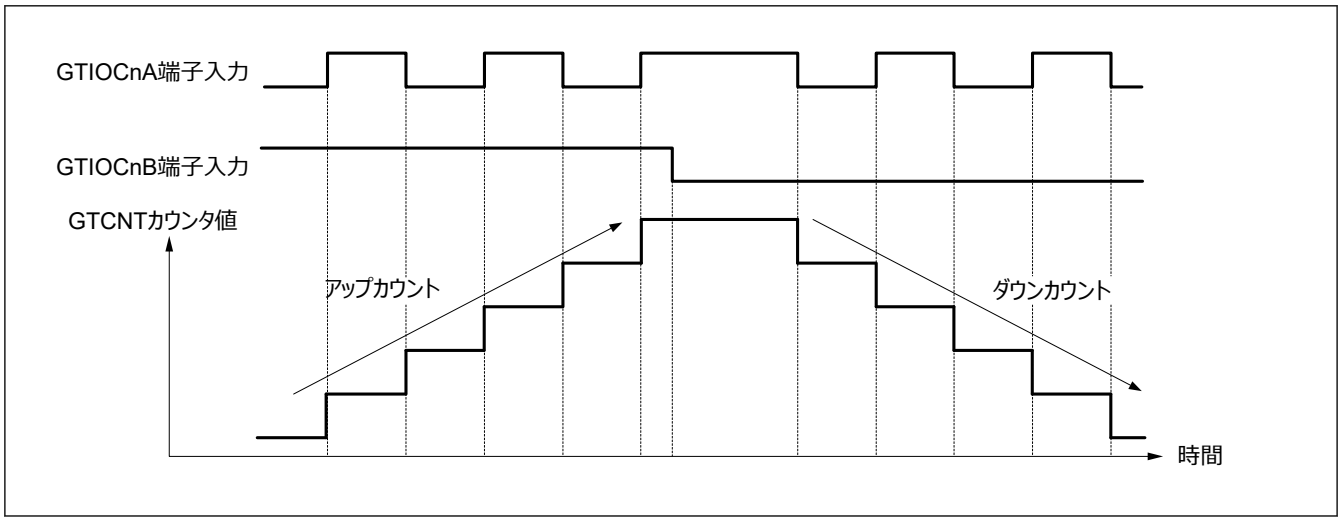


図 21.55 位相計数モード 2 の動作例 (C)

表 21.33　位相計数モード 2 でのアップカウント／ダウンカウントの条件 (C)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x00000A00 GTDNSR = 0x00000500
Low			
	Low	ダウンカウント	
	High	アップカウント	
High		カウントしない	
Low			
	High	アップカウント	
	Low	ダウンカウント	

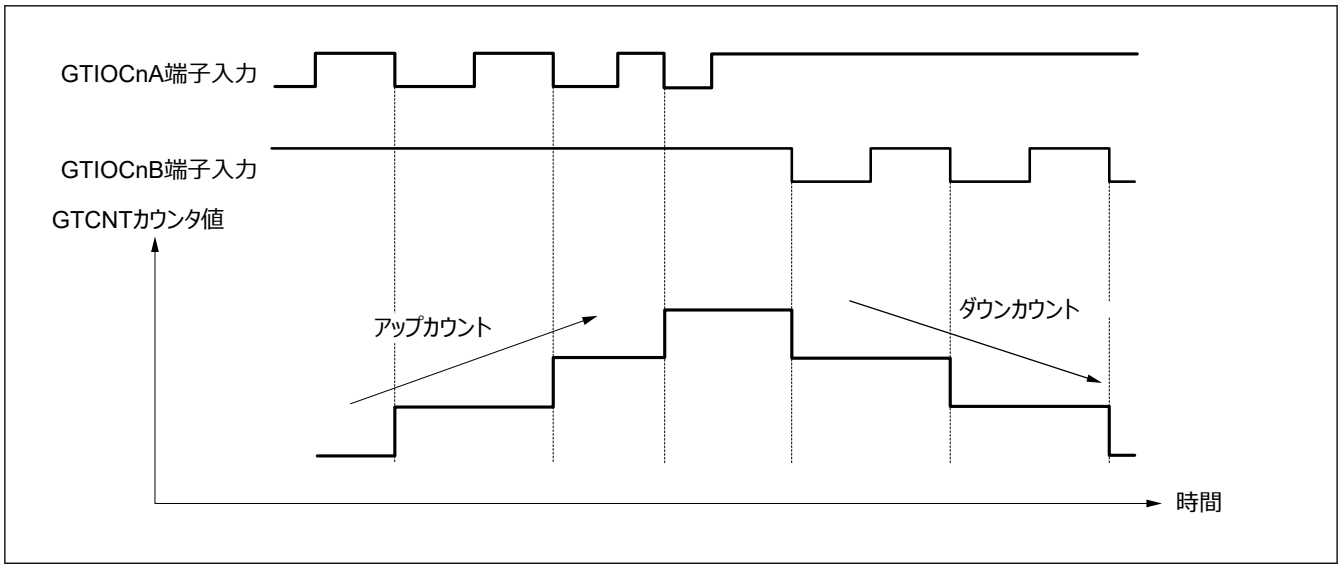


図 21.56　位相計数モード 3 の動作例 (A)

表 21.34　位相計数モード 3 でのアップカウント／ダウンカウントの条件 (A)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x00000800 GTDNSR = 0x00008000
Low			
	Low		
	High	アップカウント	
High		ダウンカウント	
Low		カウントしない	
	High		
	Low		

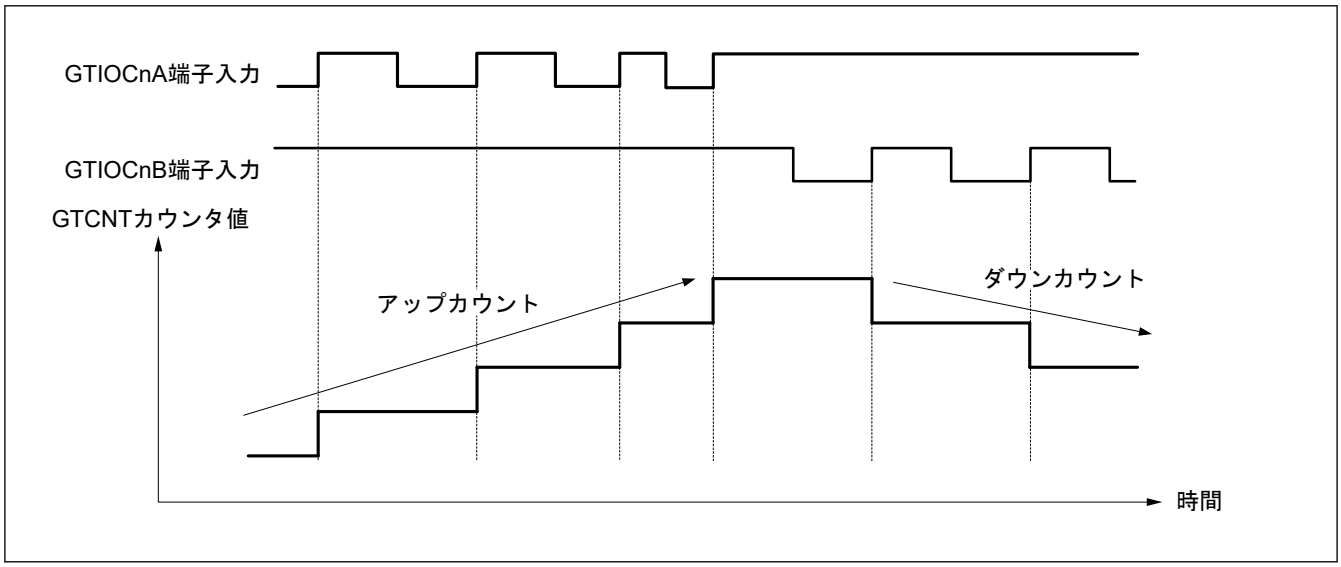


図 21.57　位相計数モード 3 の動作例 (B)

表 21.35 位相計数モード 3 でのアップカウント／ダウンカウントの条件 (B)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High	↑	ダウンカウント	GTUPSR = 0x00000200 GTDNSR = 0x00002000
Low	↓	カウントしない	
↑	Low		
↓	High		
High	↓		
Low	↑		
↑	High	アップカウント	
↓	Low	カウントしない	

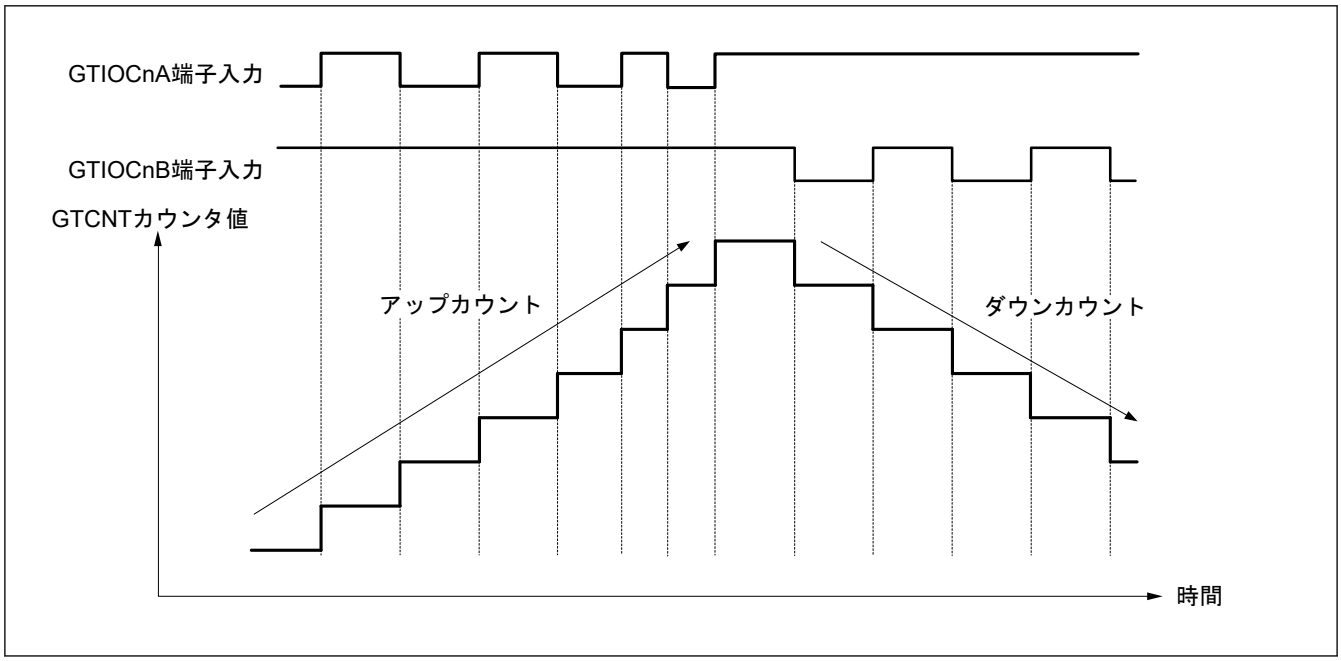


図 21.58 位相計数モード 3 の動作例 (C)

表 21.36　位相計数モード 3 でのアップカウント／ダウンカウントの条件 (C)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		ダウンカウント	GTUPSR = 0x00000A00 GTDNSR = 0x0000A000
Low		カウントしない	
	Low		
	High	アップカウント	
High		ダウンカウント	
Low		カウントしない	
	High	アップカウント	
	Low	カウントしない	

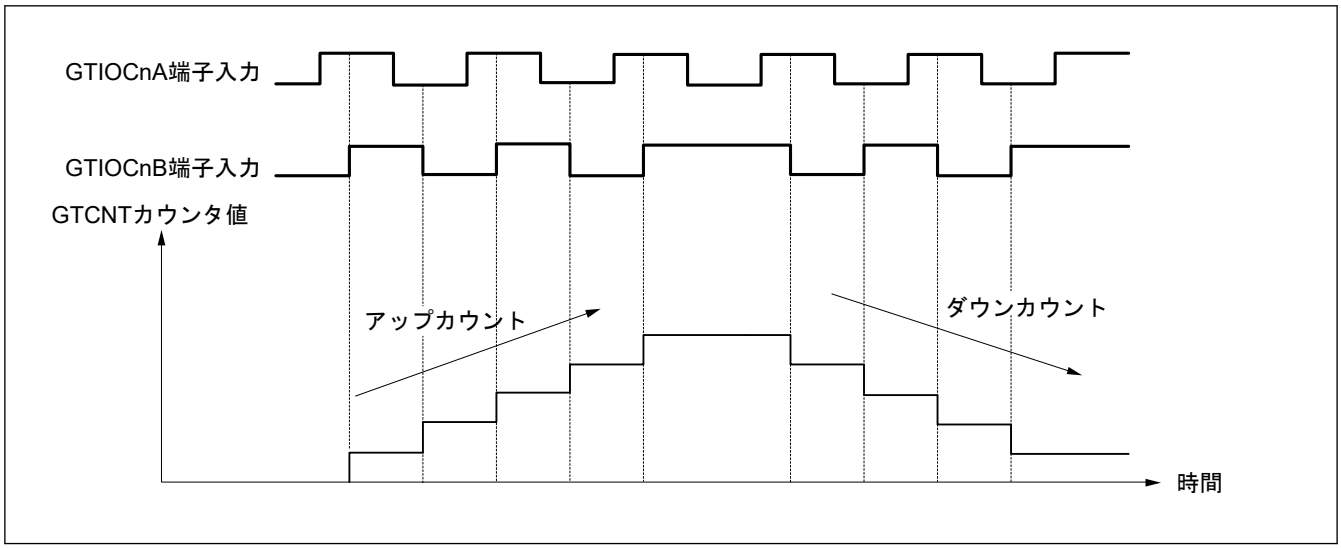


図 21.59　位相計数モード 4 の動作例

表 21.37　位相計数モード 4 でのアップカウント／ダウンカウントの条件

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		アップカウント	GTUPSR = 0x00006000 GTDNSR = 0x00009000
Low			
	Low	カウントしない	
	High		
High		ダウンカウント	
Low			
	High	カウントしない	
	Low		

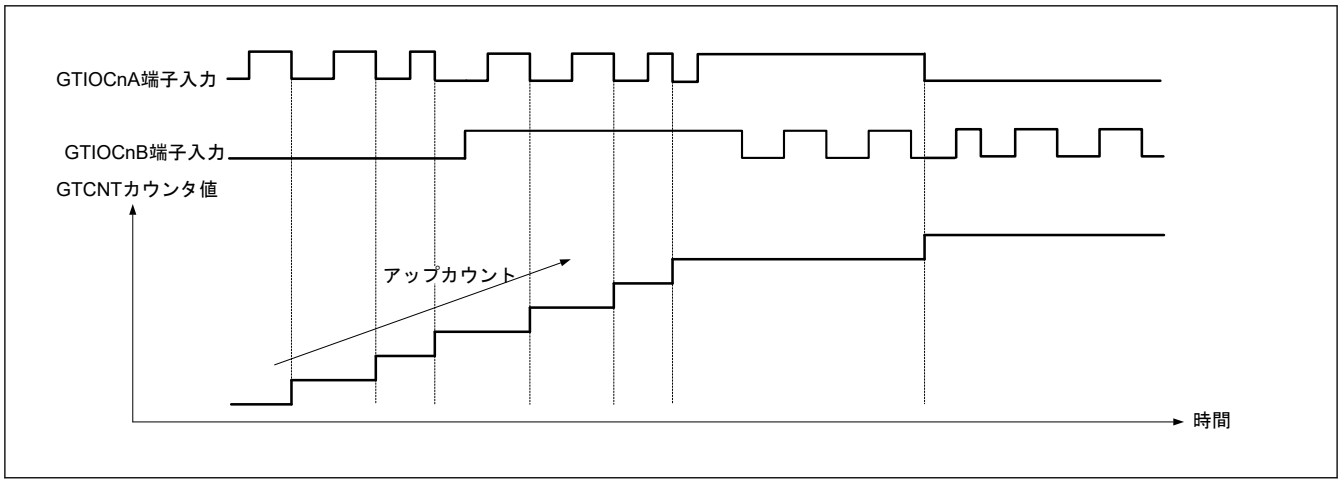


図 21.60　位相計数モード 5 の動作例 (A)

表 21.38　位相計数モード 5 でのアップカウント／ダウンカウントの条件 (A)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x00000C00 GTDNSR = 0x00000000
Low			
	Low		
	High	アップカウント	
High		カウントしない	
Low			
	High		
	Low	アップカウント	

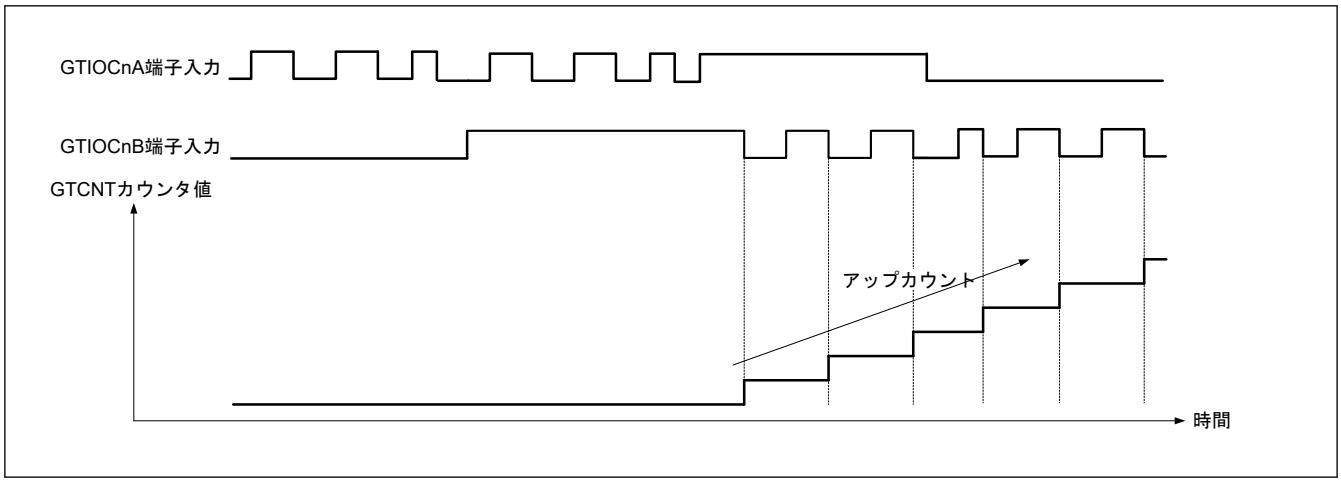


図 21.61　位相計数モード 5 の動作例 (B)

表 21.39 位相計数モード 5 でのアップカウント／ダウンカウントの条件 (B)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x0000C000 GTDNSR = 0x00000000
Low		アップカウント	
	Low	カウントしない	
	High		
High		アップカウント	
Low		カウントしない	
	High		
	Low		

21.3.12 チャネル間論理演算機能

コンペアマッチ出力間の論理演算機能が可能です。

図 21.62 に、チャネル間論理演算のブロック図を示します。

GPT 出力の障害を防ぐため、論理演算後の信号は、PCLKD でデータが取り込まれます。データが取り込まれたら、出力禁止制御を実行します。

PCLKD 1 サイクルの遅延を生じる論理演算式を選択したとき、出力許可信号も同様に PCLKD 1 サイクル遅延して出力禁止制御に入力されます。

論理演算機能 AND、OR、EXOR、NOR に対して同じ信号（C = A または D = B）が選択される場合、C または D は 1 として扱われます。GTIOCnA 端子出力の場合に、同一チャネルの A が C に選ばれたとき、AND の結果は A、OR の結果は 1、EXOR の結果は NOT A、NOR の結果は 0 です。

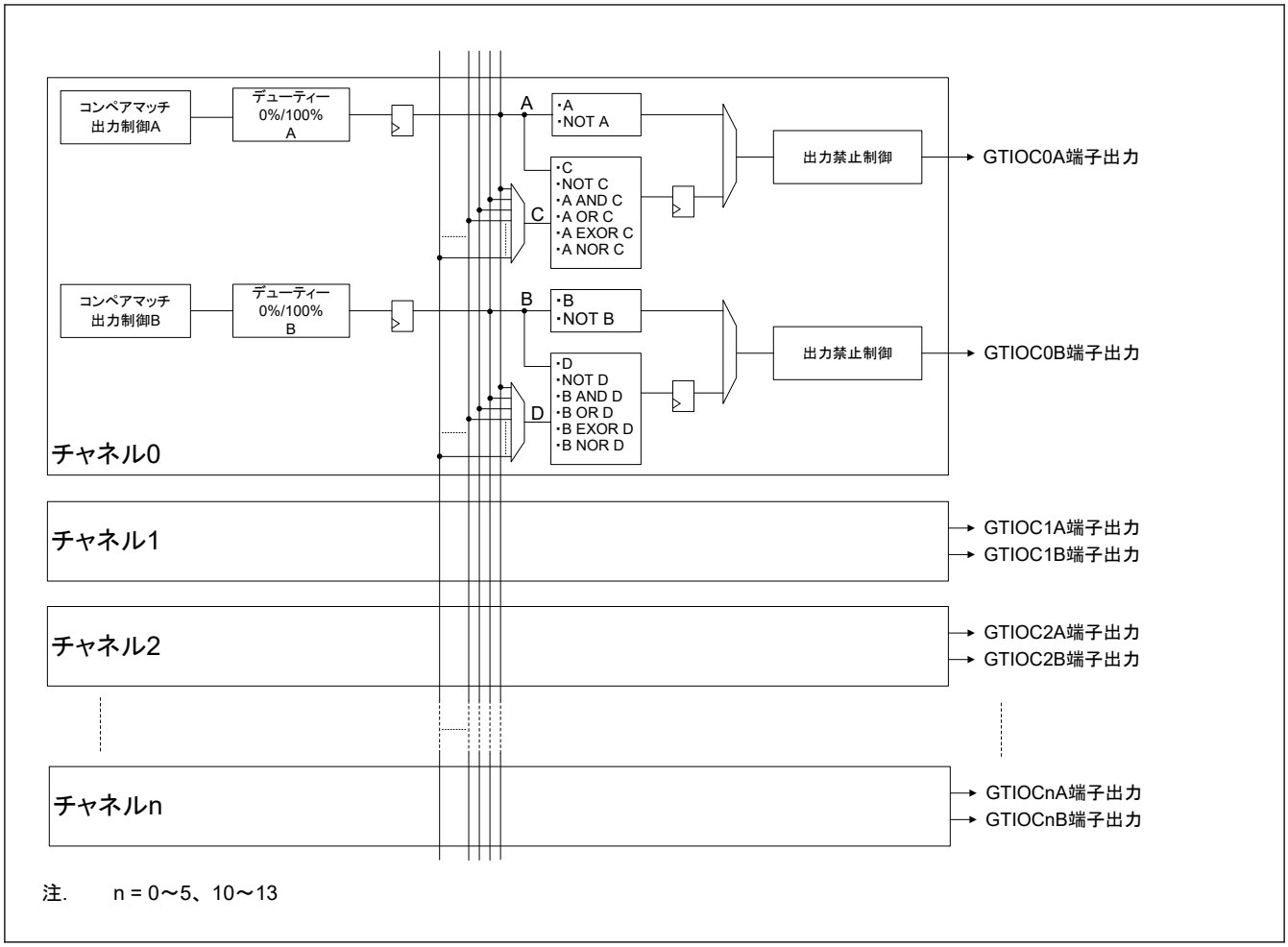


図 21.62 チャネル間論理演算のブロック図

図 21.63 に、チャネル間論理演算の例を示します。

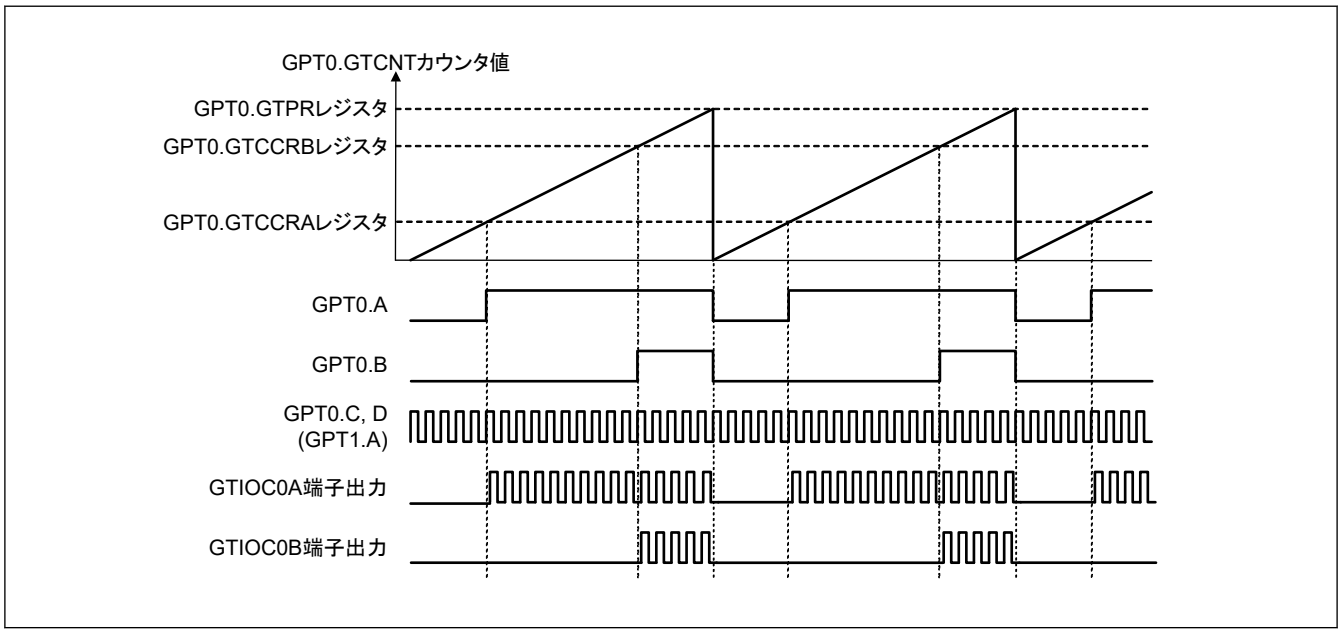


図 21.63 チャネル間論理演算の例

21.4 割り込み要因

21.4.1 割り込み要因と優先順位

GPT には以下の割り込み要因があります。

- GTCCR のインプットキャプチャ／コンペアマッチ
- GTCNT カウンタのオーバーフロー（GTPR のコンペアマッチ）／アンダーフロー
- 周期計数機能終了

各割り込み要因には、それぞれ専用のステータスフラグがあります。割り込み要因信号が発生すると、GTST レジスタの対応するステータスフラグが 1 になります。そして、割り込み要求が発生します。GTST レジスタの対応するステータスフラグは、0 を書き込むことでクリアできます。フラグのセットとクリアが同時に発生した場合、フラグのクリアが優先されます。これらのフラグは、内部状態により自動更新されます。割り込みコントローラユニットでは、チャネル間の優先順位を変更できます。ただし、1 つのチャネル内での優先順位は固定されています。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

表 21.40 は、GPT の割り込み要因の一覧です。

表 21.40 割り込み要因

チャネル	名称	割り込み要因	割り込みフラグ	DTC の起動
n = 0～5	GPTn_CCMPA	GPT32n.GTCCRA のインプットキャプチャ／コンペアマッチ	GTST[0] (TCFA)	可能
	GPTn_CCMPB	GPT32n.GTCCRB のインプットキャプチャ／コンペアマッチ	GTST[1] (TCFB)	可能
	GPTn_CMPC	GPT32n.GTCCRC のコンペアマッチ	GTST[2] (TCFC)	可能
	GPTn_CMPD	GPT32n.GTCCRD のコンペアマッチ	GTST[3] (TCFD)	可能
	GPTn_CMPE	GPT32n.GTCCRE のコンペアマッチ	GTST[4] (TCFE)	可能
	GPTn_CMPF	GPT32n.GTCCRF のコンペアマッチ	GTST[5] (TCFF)	可能
	GPTn_OVF	GPT32n.GTCNT のオーバーフロー（GPT32n.GTPR のコンペアマッチ）	GTST[6] (TCFPO)	可能
	GPTn_UDF	GPT32n.GTCNT のアンダーフロー	GTST[7] (TCFPU)	可能
	GPTn_PC	周期計数機能終了 (n = 0～3)	GTST[31] (PCF)	可能
n = 10～13	GPTn_CCMPA	GPT16n.GTCCRA のインプットキャプチャ／コンペアマッチ	GTST[0] (TCFA)	可能
	GPTn_CCMPB	GPT16n.GTCCRB のインプットキャプチャ／コンペアマッチ	GTST[1] (TCFB)	可能
	GPTn_CMPC	GPT16n.GTCCRC のコンペアマッチ	GTST[2] (TCFC)	可能
	GPTn_CMPD	GPT16n.GTCCRD のコンペアマッチ	GTST[3] (TCFD)	可能
	GPTn_CMPE	GPT16n.GTCCRE のコンペアマッチ	GTST[4] (TCFE)	可能
	GPTn_CMPF	GPT16n.GTCCRF のコンペアマッチ	GTST[5] (TCFF)	可能
	GPTn_OVF	GPT16n.GTCNT カウンタのオーバーフロー（GPT32n.GTPR レジスタのコンペアマッチ）	GTST[6] (TCFPO)	可能
	GPTn_UDF	GPT16n.GTCNT のアンダーフロー	GTST[7] (TCFPU)	可能
	GPTn_PC	周期計数機能終了 (n = 10)	GTST[31] (PCF)	可能

(1) GPTn_CCMPA 割り込み (n = 0～5, 10～13)

割り込み要求は以下の条件で発生します。

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値が GTCCRA レジスタ値と一致したとき
- GTCCRA レジスタがインプットキャプチャレジスタとして機能している場合に、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRA レジスタに転送されたとき

(2) GPTn_CCMPB 割り込み (n = 0～5, 10～13)

割り込み要求は以下の条件で発生します。

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値が GTCCRB レジスタ値と一致したとき
- GTCCRB レジスタがインプットキャプチャレジスタとして機能している場合に、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRB レジスタに転送されたとき

(3) GPTn_CMPC 割り込み (n = 0～5, 10～13)

割り込み要求は以下の条件で発生します。

- GTCCRC レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値が GTCCRC レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] = 110b（三角波 PWM モード 3）
- GTBER.CCRA[1:0] = 01b, 10b, 11b（GTCCRC レジスタがバッファ動作）

(4) GPTn_CMPD 割り込み (n = 0～5, 10～13)

割り込み要求は以下の条件で発生します。

- GTCCRD レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値が GTCCRD レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] = 110b（三角波 PWM モード 3）
- GTBER.CCRA[1:0] = 10b, 11b（GTCCRD レジスタがバッファ動作）

(5) GPTn_CMPE 割り込み (n = 0～5, 10～13)

割り込み要求は以下の条件で発生します。

- GTCCRE レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値が GTCCRE レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] = 110b（三角波 PWM モード 3）
- GTBER.CCRB[1:0] = 01b, 10b, 11b（GTCCRE レジスタがバッファ動作）

(6) GPTn_CMPF 割り込み (n = 0～5, 10～13)

割り込み要求は以下の条件で発生します。

- GTCCRF レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値が GTCCRF レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] = 110b（三角波 PWM モード 3）
- GTBER.CCRB[1:0] = 10b, 11b（GTCCRF レジスタがバッファ動作）

(7) GPTn_OVF 割り込み (n = 0～5, 10～13)

割り込み要求は以下の条件で発生します。

- のこぎり波モードの場合に、オーバーフロー（アップカウント動作中に GTCNT カウンタ値が GTPR から 0 に変化する）で割り込み要求が許可されたとき
- 三角波の場合、山（GTCNT が GTPR から GTPR-1 になる）が発生したとき
- ハードウェア要因によるカウント動作の場合に、オーバーフロー（アップカウント動作時に GTCNT カウンタ値が GTPR から 0 に変化する）が発生したとき

(8) GPTn_UDF 割り込み (n = 0～5, 10～13)

割り込み要求は以下の条件で発生します。

- のこぎり波モードの場合に、アンダーフロー（ダウンカウント動作中に GTCNT カウンタ値が 0 から GTPR に変化する）で割り込み要求が許可されたとき
- 三角波の場合、谷（GTCNT が 0 から 1 になる）が発生したとき
- ハードウェア要因によるカウント動作の場合に、アンダーフロー（ダウンカウント動作時に GTCNT カウンタ値が 0 から GTPR に変化する）が発生したとき

割り込み信号と割り込みステータスフラグについては、「21.2.16. GTST : 汎用 PWM タイマステータスレジスタ」を参照してください。

(9) GPTn_PC 割り込み (n = 0～3, 10)

GTPC.PCEN ビットが 1 かつ GTPC.PCNT カウンタが 1 の場合、周期の終わりに割り込み要求が発生します。

21.4.2 DMAC/DTC の起動

各チャネルの割り込みによって、DMAC および DTC を起動することができます。詳細については、「13. 割り込みコントローラユニット (ICU)」、「16. DMA コントローラ (DMAC)」、および「17. データトランスファコントローラ (DTC)」を参照してください。

21.5 A/D 変換開始要求

A/D 変換開始要求は GTCNT カウンタと GTADTRA レジスタまたは GTADTRB レジスタとのコンペアマッチで発行できます。また GTINTAD レジスタの設定で、アップカウント時のみ、ダウンカウント時のみ、またはアップカウントとダウンカウントの両方が指定できます。

イベントカウント動作時は、A/D 変換開始要求は発生できません。

A/D 変換開始要求は、ADC12 に直接出力されます。

GTADTRA レジスタおよび GTADTRB レジスタは、それぞれ 2 つのバッファレジスタを持ちます。GTADTRA レジスタを GTADTBRA レジスタや GTADTDBRA レジスタと一緒に使用してバッファ動作を実行したり、GTADTRB レジスタを GTADTBRB レジスタや GTADTDBRB レジスタと一緒に使用してバッファ動作を実行したりできます。

A/D 変換開始要求の発生タイミングを外部端子で監視できます。監視対象の A/D 変換開始要求信号を GTADSMR.ADSMSk ビット (k = 0, 1) で選択し、ADSMENk ビットで出力を許可すると、A/D 変換開始要求信号の発生に使用されたタイマのサイクルフレームに同期した信号が出力されます。この出力は、GTADSMk 端子による A/D 変換開始要求信号発生時、または出力が Low の周期の終わりに High になります。A/D 変換開始要求信号が周期の終わりに発生した場合、この信号の発生がモニタ出力として優先され、次の周期の終わりまで出力は High のままとなります。A/D 変換開始要求信号の発生元であるレジスタ（GTADTRA および GTADTRB）と、そのカウント方向は、GTST レジスタの A/D 変換開始要求フラグ (ADTRAUF, ADTRADF, ADTRBUF, ADTRBDF) で確認できます。複数のチャネルに対して同一の A/D 変換開始要求信号監視出力の出力を許可している場合、それらの論理和を取った信号が GPT32 から出力されます。

図 21.64 に A/D 変換開始要求動作の例、表 21.41 に A/D 変換開始要求動作の設定例を示します。

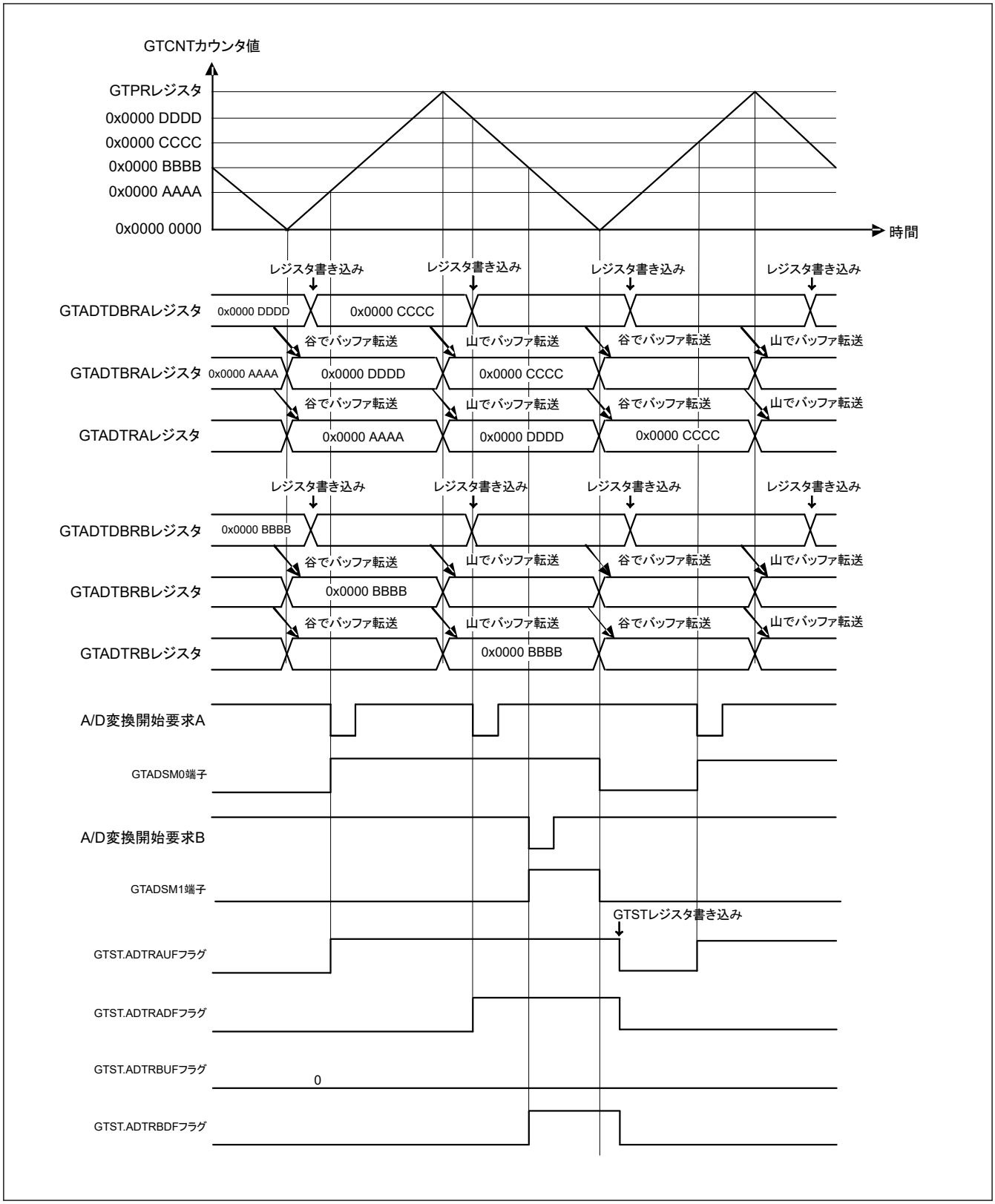


図 21.64 A/D 変換開始要求動作例（三角波、ダブルバッファ動作、谷と山の両方でバッファ転送、GTADTRA レジスタによるアップカウントとダウンカウントの両方での A/D 変換開始要求、GTADTRB レジスタによるダウンカウントでの A/D 変換開始要求の場合）

表 21.41 A/D 変換開始要求タイミング動作設定例

No.	手順名	内容
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 21.64 では、100b、101b、または 110b（三角波 PWM モード）を設定します。
2	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
5	バッファ動作の設定	GTBER レジスタの ADTTA[1:0]、ADTTB[1:0]、ADTDA、および ADTDB ビットで、バッファ動作を設定します。 図 21.64 では、ADTTA[1:0] = 11b、ADTTB[1:0] = 11b、ADTDA = 1、ADTDB = 1 です。
6	コンペアマッチ値設定	A/D 変換開始要求ポイントを GTADTRA および GTADTRB レジスタに設定します。
7	バッファ値設定	バッファ動作時は、現在の周期の 1 周期後（のこぎり波の場合、および三角波で山または谷でバッファ転送の場合）または現在の周期の半周期後（三角波で谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTBRA と GTADTBRB レジスタに設定します。 ダブルバッファ動作時は、さらに、現在の周期の 2 周期後（のこぎり波の場合、および三角波で山または谷でバッファ転送の場合）または現在の周期の 1 周期後（三角波で谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTDBRA と GTADTDBRB レジスタに設定します。
8	A/D 変換開始要求の許可	GTINTAD レジスタの ADTRAUEN、ADTRADEN、ADTRBUEN、および ADTRBDEN ビットで A/D 変換開始要求の許可を設定します。 図 21.64 では、ADTRAUEN = 1、ADTRADEN = 1、ADTRBUEN = 0、ADTRBDEN = 1 です。
9	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
10	周期ごとのバッファ値設定	バッファ動作時は、現在の周期の 1 周期後（のこぎり波の場合、および三角波で山または谷でバッファ転送の場合）または現在の周期の半周期後（三角波で谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTBRA と GTADTBRB レジスタに設定します。 ダブルバッファ動作時は、さらに、現在の周期の 2 周期後（のこぎり波の場合、および三角波で山または谷でバッファ転送の場合）または現在の周期の 1 周期後（三角波で谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTDBRA と GTADTDBRB レジスタに設定します。

図 21.65 に、A/D 変換開始要求タイミング動作の例を示します。

これは、A/D コンバータの A/D 変換開始要求 A の出力例を示します。A/D 変換開始要求 A 信号は、GTADTRA レジスタとのコンペアマッチ成立により出力されます。

GPT が PCLKD で動作しており、ADC が PCLKA で動作している場合、A/D 変換開始要求 A は PCLKA の次の立ち上がりエッジでシンクロナイザーに渡されます。

A/D 変換開始要求 A は同期され、ADC に渡されます。

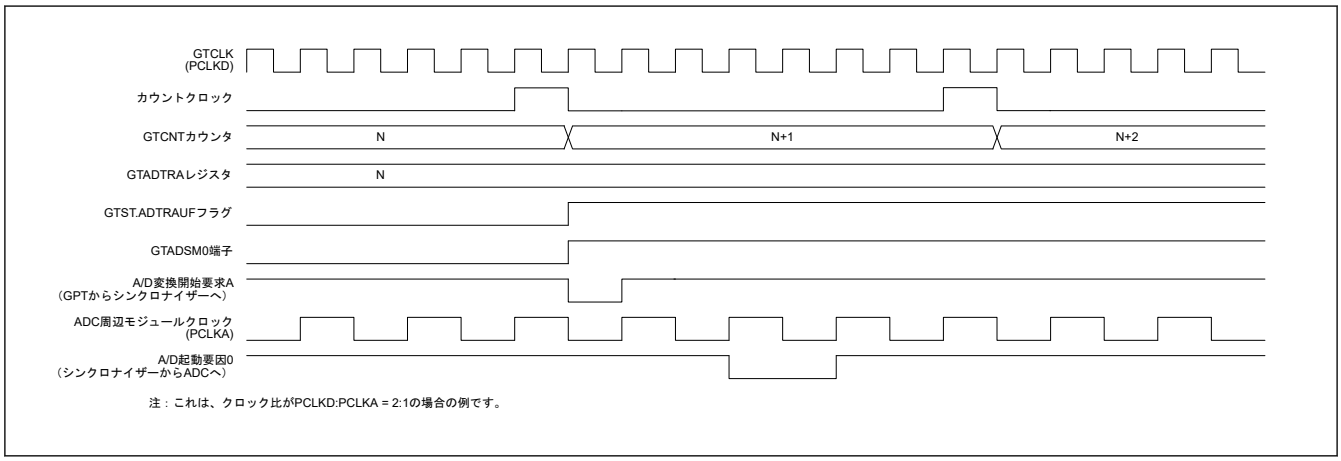


図 21.65 A/D 変換開始要求タイミング動作例

21.6 ELC によるリンク動作

21.6.1 ELC へのイベント信号出力

GPT では、その割り込み要求信号がイベントリンクコントローラ (ELC) でイベント信号として使用された場合、あらかじめ設定しておいたモジュールとのリンク動作が可能です。

アップカウント／ダウンカウント中の A/D 変換開始要求は、ELC へイベントを出力するために、A/D 変換開始要求許可ビットで個別に許可または禁止することができます。

GPT には以下の ELC イベント信号があります。

- コンペアマッチ A 割り込み発生 (GPTn_CCMPA)
- コンペアマッチ B 割り込み発生 (GPTn_CCMPB)
- コンペアマッチ C 割り込み発生 (GPTn_CMPC)
- コンペアマッチ D 割り込み発生 (GPTn_CMPD)
- コンペアマッチ E 割り込み発生 (GPTn_CMPE)
- コンペアマッチ F 割り込み発生 (GPTn_CMPF)
- オーバーフロー割り込み発生 (GPTn_OVF)
- アンダーフロー割り込み発生 (GPTn_UDF)
- 周期計数機能の終了 (GPTm_PC)

注. n = 0～5、10～13
m = 0～3、10

21.6.2 ELC からのイベント信号入力

GPT は、ELC からの最大 8 個のイベントに対して、以下の動作を実行することができます。

- カウントスタート／ストップ／クリア
- アップカウント／ダウンカウント
- インプットキャプチャ

ELC とイベント信号入力の接続関係は、「18. イベントリンクコントローラ (ELC)」を参照してください。

21.7 ノイズフィルタ機能

GPT のインプットキャプチャ入力端子とホールセンサ入力端子には、ノイズフィルタが装備されています。ノイズフィルタは、入力信号をサンプリングクロックでサンプリングし、3 サンプリング周期に満たない長さのパルスを除去します。

ノイズフィルタ機能では、端子ごとにノイズフィルタ機能を有効／無効にすることや、チャネルごとにサンプリングクロックを設定することが可能です。

図 21.66 にノイズフィルタのタイミングを示します。

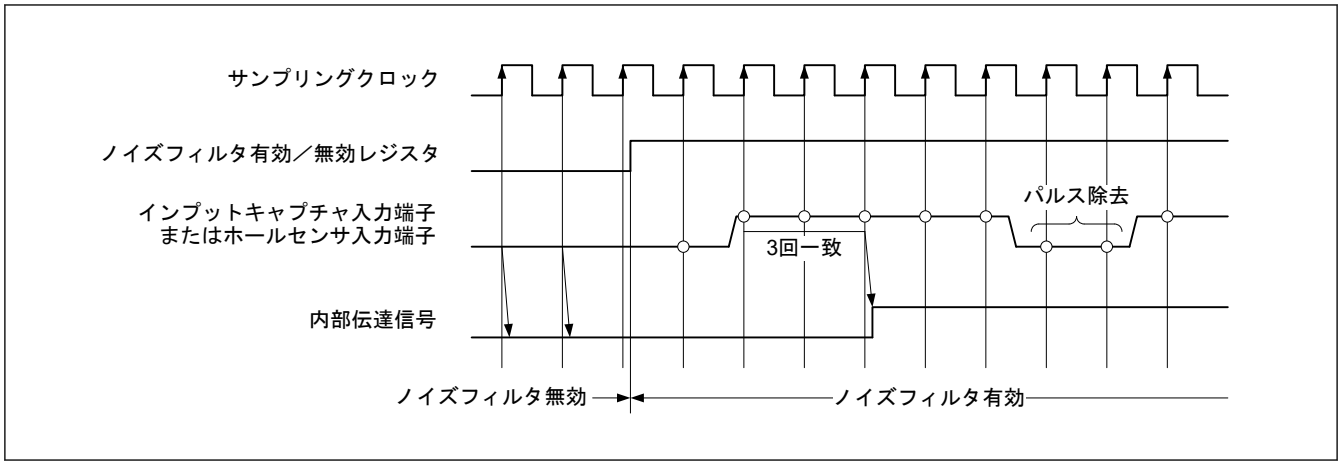


図 21.66 ノイズフィルタのタイミング

ノイズフィルタ機能を有効にすると、（サンプリング周期 × 2 + PCLKD）の最短の遅延の後、ノイズフィルタ対象信号のエッジでインプットキャプチャ動作またはホールセンサ入力動作が実行されます。この遅延は、インプットキャプチャ入力またはホールセンサ入力に対するノイズフィルタリングに起因するものです。

21.8 保護機能

21.8.1 レジスタの書き込み保護

レジスタへの誤書き込みを防止するため、GTWP.WP ビットを設定することで、チャネル単位でレジスタへの書き込みを禁止できます。下記のレジスタに対して、書き込み保護の設定が可能です。

GTSSR, GTPSR, GTCSR, GTUPSR, GTDNSR, GTICASR, GTICBSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTADTRA, GTADTBRA, GTADTDBRA, GTADTRB, GTADTBRB, GTADTDBRB, GTDTCR, GTDVU, GTADSMR, GTICLF, GTPC

GTSTR、GTSTP、および GTCLR レジスタ（他のチャネルの対応するレジスタを更新することができ、反対に他のチャネルの対応するレジスタによって更新されることができる）のすべてのビットは、チャネルごとにそれぞれ GTWP の STRWP、STPWP、および CLRWP ビットを設定することによって保護できます。

同様に、GTSECSR レジスタや GTSECR レジスタ（既定のチャネルの GTSECSR レジスタや GTSECR レジスタへの書き込みにより、全チャネルを制御可能）への書き込みは、GTWP.CMNWP ビットの設定により、許可または禁止することができます。

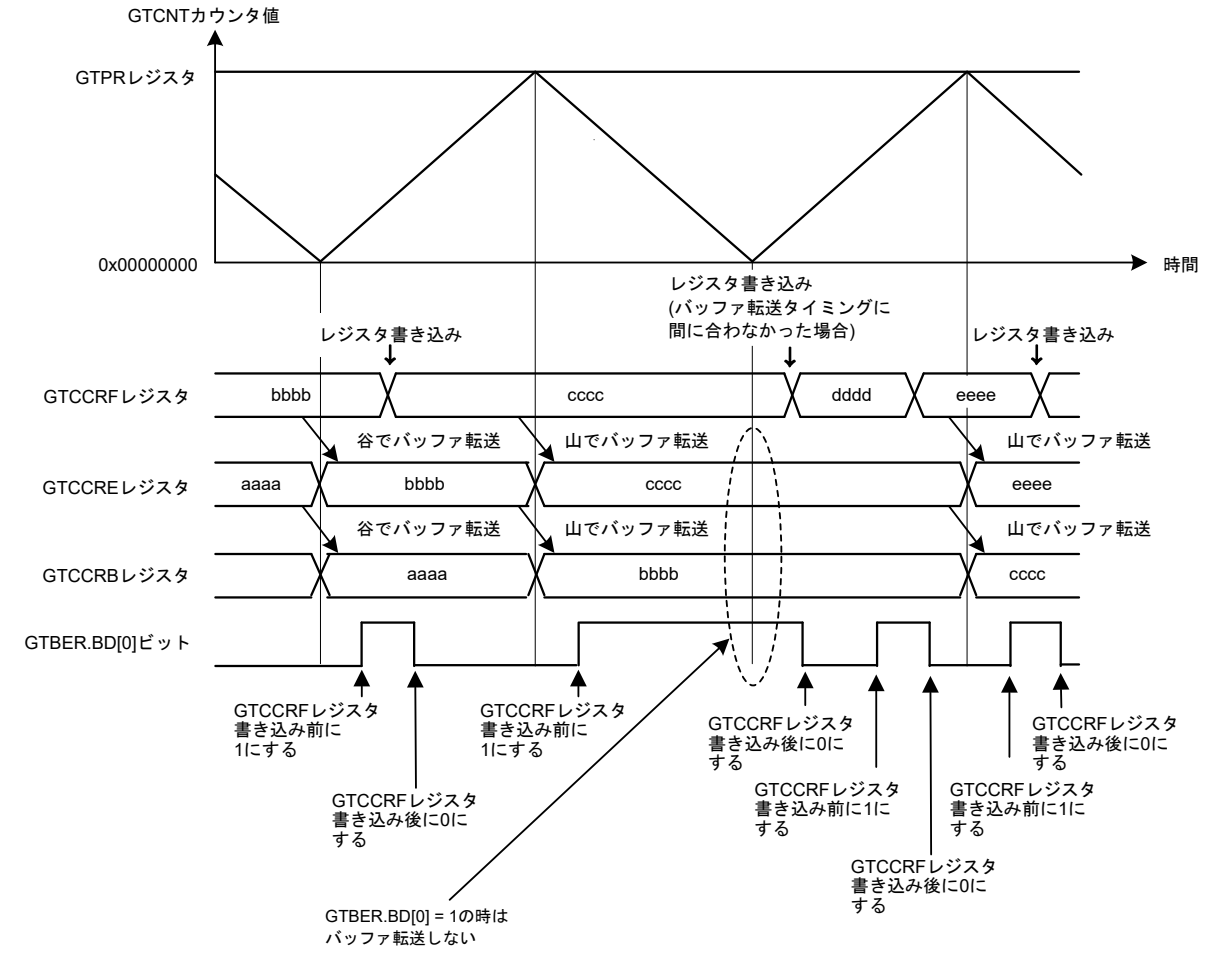
GTWP レジスタによる保護は、CPU による書き込み動作のみを対象としています。CPU 書き込みに連動して発生するレジスタの更新は、保護の対象外です。

21.8.2 バッファ動作の禁止

バッファレジスタへの書き込みのタイミングがバッファ転送より遅延している場合、GTBER.BD[2], BD[1], BD[0] ビットの設定でバッファ動作の中断が可能です。具体的には、バッファレジスタへの書き込み前に BD[2], BD[1], BD[0]ビットを 1（バッファ動作禁止）にしておき、すべてのバッファレジスタへの書き込み終了後に 0（バッファ動作許可）にすることによって、バッファレジスタへの書き込み中にバッファ転送条件が発生しても、バッファ転送を一時的に禁止することが可能です。

BD[2], BD[1], BD[0]ビットは、GTBER レジスタに直接書き込むことでチャネル毎に設定できます。あるいは、GTSECSR によって事前に設定された複数のチャネルに対して GTSECR レジスタを設定することで同時に 0 にすることもできます。

GTBER レジスタに書き込むことによってバッファ動作を禁止にする動作の例を図 21.67 に示します。



注. レジスタのベースアドレスは同じです。

図 21.67 バッファ動作禁止の動作例（三角波、ダブルバッファ動作、谷および山の両方でバッファ転送の場合）

21.8.2.1 複数チャネルのバッファ動作の同時制御

GTBER.BD ビットは、チャネル毎の GTBER レジスタに直接書き込むか、GTSECSR にすでに設定された複数チャネルの GTSECR レジスタ内に設定を作成することにより設定できます。

複数チャネルの GTBER.BD ビットを同時に設定するには、以下の手順に従ってください。

1. GTSECSR レジスタによる同時設定用チャネルを選択してください。
   同時設定する GTBER.BD ビットのチャネルに対応するビット位置の値が 1 になるように、GTSECSR レジスタを設定してください。いずれかのチャネルの GTSECSR レジスタに書き込むと、全ての GTSECSR レジスタを更新できます。
2. GTSECR レジスタを更新することで、同時に GTBER.BD ビットを設定します。
   同時に設定される GTBER.BD ビットの動作（バッファ動作を許可／禁止）を、GTSECR レジスタで設定します。いずれかのチャネルの GTSECR レジスタに書き込むと、GTSECR レジスタの値に応じて GTSECSR レジスタに 1 が設定されているビットに対応する全てのチャネルの GTBER.BD ビットを更新します。

図 21.68 に、複数チャネルに対するバッファ動作を許可または禁止に同時に制御する例を示します。

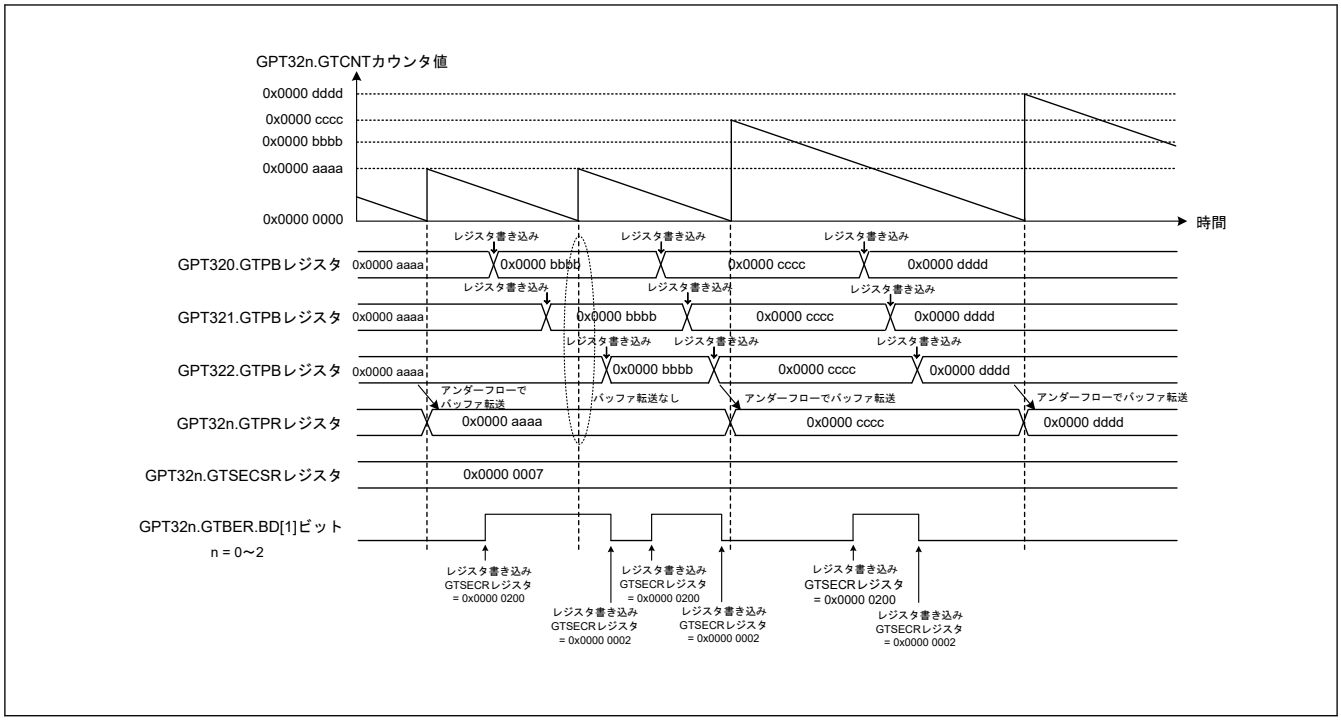


図 21.68　バッファ動作禁止の複数チャネルの動作例（のこぎり波、シングルバッファ動作）

21.8.3　GTIOCnm 端子出力の出力禁止制御 (n = 0～5, 10～13, m = A, B)

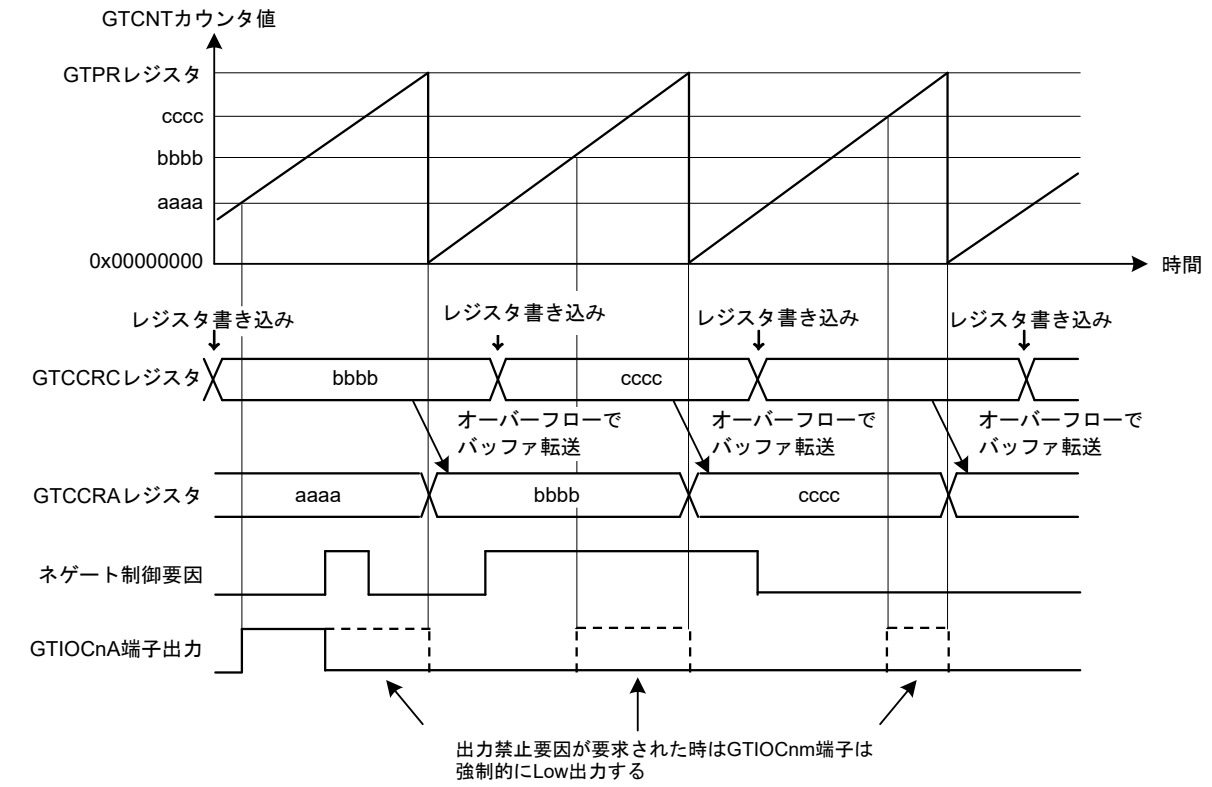
システム異常時の保護のため、POEG からの出力禁止要求によって、GTIOCnm 端子出力値を強制的に変更する出力禁止制御を、GTIOCnm 端子出力に対して行うことができます。同じ出力レベルが GTIOCnA 端子と GTIOCnB 端子に検出されるとき、出力保護が要求されます。GTINTAD.GRPABH、GTINTAD.GRPABL などの出力禁止要求許可ビットの設定に従って、GPT はこの条件を検出し、POEG に出力禁止要求を発生させます。POEG が各チャネルからの出力禁止要求と外部入力からの出力禁止要求の論理和をとった後で、POEG は GPT に対して出力禁止要求を発生させます。

GTINTAD.GRP[1:0]ビットを設定することで、GTIOCnA 端子と GTIOCnB 端子共通の出力禁止要求信号として、POEG から入力される 4 本の出力禁止要求から 1 本を選択することができます。選択された出力禁止要求は、GTST.ODF フラグを読むことにより確認することができます。出力禁止時の出力レベルは、GTIOCnA 端子は GTIOR.OADF[1:0]ビット、GTIOCnB 端子は GTIOR.OBDF[1:0]ビットで設定することができます。

出力禁止状態への変更は、POEG から出力禁止要求を発生させることで非同期に実行されます。出力禁止状態の解除は、出力禁止要求を停止させることで周期の終わりに実行されます。出力禁止要求の条件が満たされなくなり、出力禁止要求が解除されるのは、最短で 3PCLKD 目以降です。出力禁止を確実に制御するには、4 サイクルの PCLKD を経過して出力禁止要求の条件が満たされなくなってから、出力を禁止するための POEG のフラグをクリアしてください。

イベントカウント動作時、または周期の終わりを待たずにすぐに出力禁止状態を解除したい場合は、GTIOCnA 端子は GTIOR.OADF[1:0]ビットを 00b に、GTIOCnB 端子は GTIOR.OBDF[1:0]ビットを 00b にしてください。

図 21.69 に GTIOCnm 端子出力禁止制御の動作例を示します (n = 0～5, 10～13, m = A, B)。



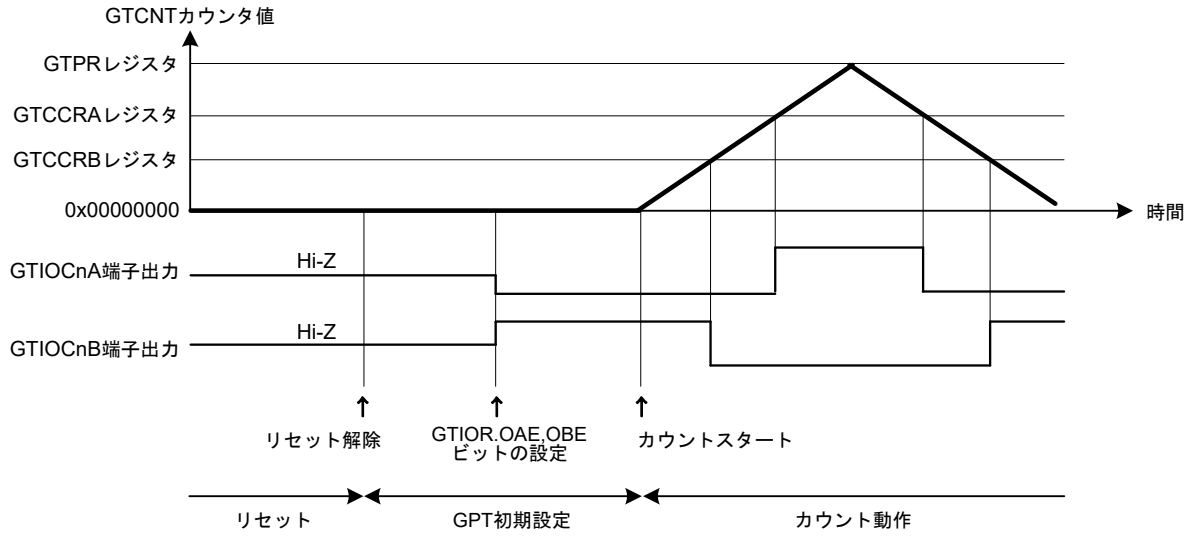
注. レジスタのベースアドレスは同じです。

図 21.69 GTIOCnm 端子出力禁止制御の動作例（のこぎり波でアップカウント、バッファ動作、アクティブレベル 1、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力、出力禁止で Low 出力の場合）(n = 0〜5, 10〜13, m = A, B)

21.9 出力端子の初期化方法

21.9.1 リセット後の端子設定

GPT のレジスタはリセット時に初期化されます。ポートのモード選択設定、GTIOR.OAE ビット、 GTIOR.OBE ビットの設定を行い、GPT 機能を外部端子出力にした後、カウント動作を開始してください。



[設定例]
GTIOR.GTIOA[4:0]ビットの設定: 初期出力はLow出力、周期の終わりで出力保持、コンペアマッチでトグル出力
GTIOR.GTIOB[4:0]ビットの設定: 初期出力はHigh出力、周期の終わりで出力保持、コンペアマッチでトグル出力

注. レジスタのベースアドレスは同じです。

図 21.70 リセット後の端子設定例

21.9.2 動作中の異常による端子の初期化

GPT の動作中に異常が発生した場合、端子を初期化する前に、下記の 4 種類の端子コントロールを実行できます。

- GTIOR レジスタの OAHLD および OBHLD ビットを 1 にして、カウントストップ時の出力を保持する
- GTIOR レジスタの OAHLD および OBHLD ビットを 0 にするとともに、GTIOR レジスタの OADFLT および OBDFLT ビットに任意の出力値を設定して、カウントストップ時に任意の値を出力させる
- あらかじめ I/O ポートの PDR、PODR、PMR ビットを設定することにより、端子が汎用出力ポートとして任意の値を出力するように設定する。GTIOR レジスタの OAE および OBE ビットを 0 にするとともに、端子に対応した PMR ビットの制御ビットを 0 にして、エラー発生時に、汎用出力ポートとして設定した端子から任意の値が出力されるように設定する
- POEG 機能を使用して、出力をハイインピーダンス状態にする

デッドタイムの自動設定を行ったときは、カウントストップ後に GTDTCR.TDE ビットを 0 にしてください。カウントストップ時は、GPT の外部要因によって変更されたレジスタ値のみが変化します。カウントが再開すると、停止していた状態から動作が継続します。カウントを停止させた場合は、各レジスタを初期化してからカウントを開始してください。

21.10 使用上の注意事項

21.10.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、GPT の動作禁止／許可を設定することができます。リセット後の値では、GPT の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

21.10.2 コンペアマッチ動作時の GTCCRn レジスタの設定 (n = A～F)

(1) 三角波 PWM モードでデッドタイムの自動設定を行う場合

GTCCRA レジスタは次のすべての条件を満たす必要があります。

- GTDVU < GTCCRA
- 0 < GTCCRA < GTPR

(2) 三角波 PWM モードでデッドタイムの自動設定を行わない場合

GTCCRA レジスタは、0 < GTCCRA < GTPR の範囲内に設定してください。GTCCRA = 0 もしくは GTCCRA = GTPR が設定されると、周期内で発生するコンペアマッチは、GTCCRA = 0 もしくは GTCCRA = GTPR が成立したときのみとなります。また、GTCCRA > GTPR が設定されると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタは、0 < GTCCRB < GTPR の範囲内に設定してください。GTCCRB = 0 もしくは GTCCRB = GTPR が設定されると、周期内で発生するコンペアマッチは、GTCCRB = 0 もしくは GTCCRB = GTPR が成立したときのみとなります。また、GTCCRB > GTPR が設定されると、コンペアマッチは発生しません。

(3) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行う場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、デッドタイムを確保した正常な出力波形が得られない場合があります。

- アップカウント時： GTCCRC < GTCCRD, GTCCRC > GTDVU, GTCCRD < GTPR - GTDVU
- ダウンカウント時： GTCCRC > GTCCRD, GTCCRC < GTPR - GTDVU, GTCCRD > GTDVU

(4) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行わない場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時：0 < GTCCRC < GTCCRD < GTPR
- ダウンカウント時：GTPR > GTCCRC > GTCCRD > 0

同様に、GTCCRE および GTCCRF レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時：0 < GTCCRE < GTCCRF < GTPR
- ダウンカウント時：GTPR > GTCCRE > GTCCRF > 0

(5) のこぎり波 PWM モードの場合

GTCCRA レジスタは、0 < GTCCRA < GTPR の範囲に収まるように設定してください。GTCCRA = 0 または GTCCRA = GTPR に設定すると、GTCCRA = 0 または GTCCRA = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRA > GTPR に設定すると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタは、0 < GTCCRB < GTPR の範囲に収まるように設定してください。GTCCRB = 0 または GTCCRB = GTPR に設定すると、GTCCRB = 0 または GTCCRB = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRB > GTPR に設定すると、コンペアマッチは発生しません。

21.10.3 GTCNT カウンタの範囲設定

GTCNT カウンタレジスタは、0 ≦ GTCNT ≦ GTPR の範囲に収まるように設定してください。

21.10.4 GTCNT カウンタのスタート／ストップ

GTCR.CST ビットによる GTCNT カウンタのスタート／ストップ制御タイミングは、GTCR.TPCS[3:0]ビットで選択したカウントクロックと同期しています。GTCR.CST ビットを更新すると、GTCR.TPCS[3:0]ビットで選択したカウントクロックに従って、GTCNT カウンタがスタート／ストップします。このため、GTCNT カウンタが実際にスタートする前に発生したイベントは無視され、結果として GTCR.CST ビットが 0 になってからイベントが受け付けられたり、割り込みが発生したりします。

21.10.5 イベントごとの優先順位

(1) GTCNT レジスタ

表 21.42 に、GTCNT レジスタを更新するイベントの優先順位を示します。

表 21.42 GTCNT を更新する要因の優先順位

GTCNT を更新する要因	優先順位
CPU による書き込み（GTCNT/GTCLR レジスタへの書き込み）	高
GTCSR レジスタで設定したハードウェア要因によるクリア	↑
GTUPSR/GTDNSR レジスタで設定したハードウェア要因によるアップ／ダウンカウント	↑
カウント動作	低

ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。GTCNT レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(2) GTCR.CST ビット

GTSSR/GTPSR レジスタで設定したハードウェア要因によるスタート／ストップと CPU による書き込み（GTCR/GTSTR/GTSTP レジスタへの書き込み）の間で競合があると、CPU による書き込みが優先されます。

周期計数機能によるストップと CPU 書き込み（GTCR/GTSTR レジスタへの書き込み）によるスタートが競合した場合、周期計数機能は GTST.PCF フラグをセットして動作を終了します。CST ビットの状態は変わらず、カウントを継続します。

GTSSR レジスタで設定したハードウェア要因によるスタートと GTPSR レジスタに設定したハードウェア要因によるストップの間で競合があると、GTCR.CST ビット値は変化しません。GTCR.CST ビットの更新と CPU による読み出し（GTCR/GTSTR/GTSTP レジスタからの読み出し）の間で競合があると、更新前のデータが読み出されます。

(3) GTCCRm レジスタ (m = A～F)

インプットキャプチャ／バッファ転送動作と GTCCRm レジスタへの書き込みの間で競合があると、GTCCRm レジスタへの書き込みが優先されます。インプットキャプチャと CPU によるカウンタレジスタへの書き込みおよびハードウェア要因によるカウンタレジスタの更新の間で競合があると、更新前のカウンタ値がキャプチャされます。GTCCRm レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(4) GTPR レジスタ

バッファ転送動作と GTPR レジスタへの書き込みの間で競合があると、GTPR レジスタへの書き込みが優先されます。GTPR レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(5) GTADTRm レジスタ (m = A, B)

バッファ転送動作と GTADTRm レジスタへの書き込みの間で競合があると、GTADTRm レジスタへの書き込みが優先されます。

GTADTRm レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(6) GTDVU レジスタ

バッファ転送動作と GTDVU レジスタへの書き込みの間で競合があると、GTDVU レジスタへの書き込みが優先されます。

GTDVU レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(7) GTIOR.GTIOm レジスタ (m = A, B)

バッファ転送動作と GTIOR.GTIOm レジスタへの書き込みの間で競合があると、GTIOR.GTIOm レジスタへの書き込みが優先されます。

GTIOR.GTIOm レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

21.10.6 無効なレジスタ設定の禁止

「本設定はイベントカウント動作中は無効」などの無効と指示されたレジスタ設定は保証されません。このような設定は禁止されています。

22. 低消費電力非同期汎用タイマ (AGT)

22.1 概要

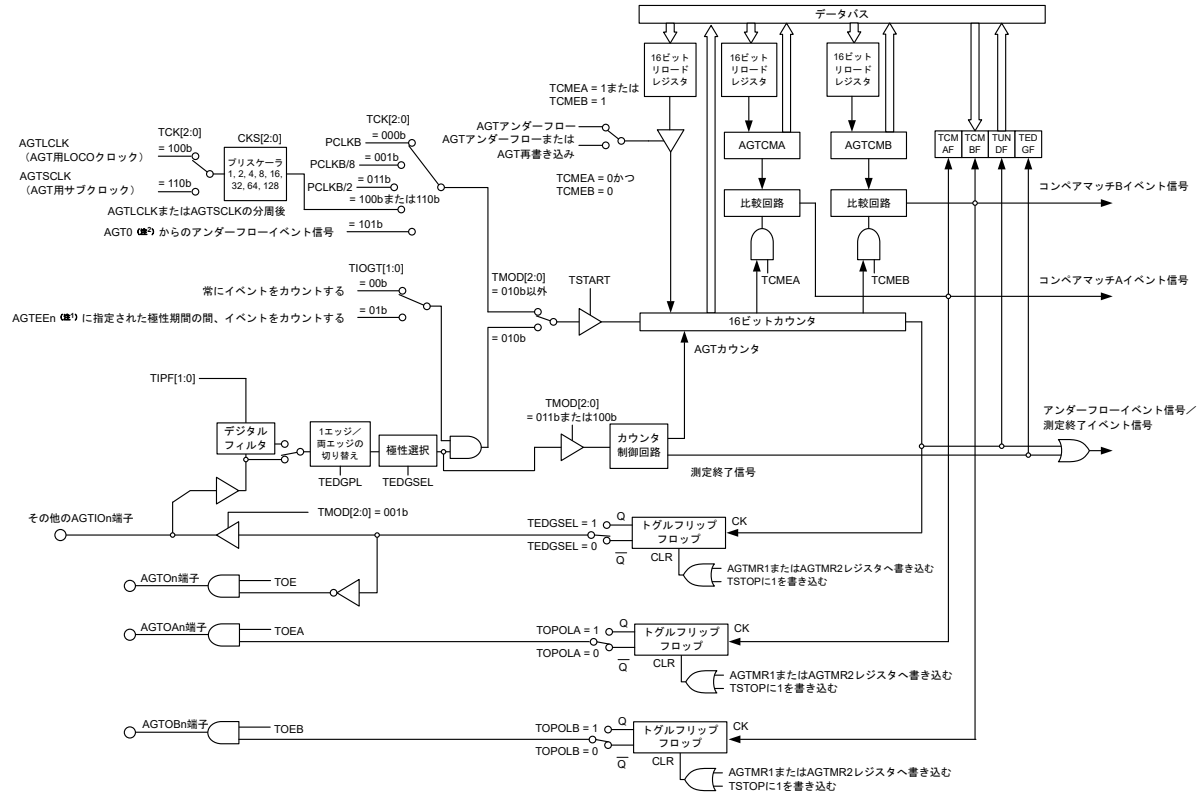
低消費電力非同期汎用タイマ (AGT) は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウントに利用可能な 16 ビットのタイマです。このタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGT レジスタでアクセス可能です。

表 22.1 に AGT の仕様、図 22.1 にブロック図、表 22.2 に入出力端子を示します。

表 22.1 AGT の仕様

項目		内容
動作モード	タイマモード	カウントソースをカウント
	パルス出力モード	カウントソースをカウントし、アンダーフローするごとに出力を反転
	イベントカウントモード	外部イベントをカウント
	パルス幅測定モード	外部パルス幅を測定
	パルス周期測定モード	外部パルス周期を測定
構成		16 ビット × 2 チャネル (AGTn (n = 0, 1))
カウントソース（動作クロック）(注2)	タイマモード	PCLKB、PCLKB/2、PCLKB/8、AGTLCLK/d、AGTSCLK/d (d = 1, 2, 4, 8, 16, 32, 64, 128)、または AGT0 のアンダーフロー信号を選択可能(注1)
	パルス出力モード	
	パルス幅測定モード	
	パルス周期測定モード	
	イベントカウントモード	外部イベント入力
割り込みとイベントリンク機能		• アンダーフローイベント信号または測定完了イベント信号 – カウンタがアンダーフローしたとき – パルス幅測定モードで外部入力端子（AGTIOn 端子）のアクティブ幅の測定が完了したとき – パルス周期測定モードで外部入力端子（AGTIOn 端子）の設定エッジが入力されたとき • コンペアマッチ A イベント信号 – AGT レジスタと AGTCMA レジスタの値が一致したとき（コンペアマッチ A 機能が有効） • コンペアマッチ B イベント信号 – AGT レジスタと AGTCMB レジスタの値が一致したとき（コンペアマッチ B 機能が有効） • AGT1_AGTI、AGT1_AGTCMAI、または AGT1_AGTCMBI でソフトウェアスタンバイモードからの復帰を実行可能(注3)
選択可能な機能		• コンペアマッチ機能 コンペアマッチ A レジスタとコンペアマッチ B レジスタの両方または一方を選択可能
モジュールストップ機能		各チャネルに対してモジュールストップ状態に設定して消費電力の削減が可能
TrustZone フィルタ		各チャネルに対してセキュリティ属性とプリビレッジ属性の設定が可能

注 1. AGT0 ではアンダーフロー信号を使用できません。AGT1 は、AGT0 タイマからのアンダーフローイベント信号に直接接続します。
注 2. 周辺モジュールクロック (PCLKB) 周波数 ≧ カウントソースクロックの周波数を満たすように設定してください。ただし、AGTLCLK/d または AGTSCLK/d をカウントソースクロックとして選択している場合、PCLKB の周波数はそのカウントソースクロックの周波数の 2 倍以上である必要があります。
注 3. 詳細は「10. 低消費電力モード」を参照してください。



注 1. AGTISR レジスタの EEPS ビットで極性を選択できます。
注 2. AGT0 では AGT0 のアンダーフローイベントは使用できません。AGT1 が AGT0 のアンダーフローを使用します。

図 22.1 AGT のブロック図

表 22.2 AGT の入出力端子

端子名	入出力	機能
AGTEEn	入力	AGT の外部イベント入力許可
AGTIOn	入出力	AGT の外部イベント入力およびパルス出力
AGTOn	出力	AGT のパルス出力
AGTOAn	出力	AGT のコンペアマッチ A 出力
AGTOBn	出力	AGT のコンペアマッチ B 出力

注. チャネル番号：n = 0, 1

22.2 レジスタの説明

22.2.1 AGT : AGT カウンタレジスタ

Base address: AGTn = 0x4022_1000 + 0x0100 × n (n = 0, 1)
AGTn_NS = 0x5022_1000 + 0x0100 × n (n = 0, 1)

Offset address: 0x00

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
15:0	n/a	16 ビットカウンタおよびリロードレジスタ 設定範囲：0x0000～0xFFFF	R/W

注. S-TYPE-3, P-TYPE-3

AGTn.AGT は 16 ビットのレジスタです。 書き込み値はリロードレジスタに書き込まれ、読み出し値はカウンタから読み出されます。

リロードレジスタとカウンタの状態は、AGTCR レジスタの TSTART ビットと AGTCMSR レジスタの TCMEA/TCMEB ビットに応じて変化します。詳細は「22.3.1. リロードレジスタおよびカウンタの書き換え動作」を参照してください。

AGTCR レジスタの TSTOP ビットに 1 を書くと、AGT カウンタは強制停止され、0xFFFF になります。

AGTMR1 レジスタの TCK[2:0]ビットの設定が 001b (PCLKB/8) または 011b (PCLKB/2) 以外の場合、AGT レジスタが 0x0000 になると、ICU、DTC、DMAC、および ELC への要求信号がカウント開始直後に一度発生します。AGTOn 端子、AGTIOn 端子はトグル出力となります。

イベントカウントモードで AGT レジスタが 0x0000 になると、TCK[2:0]ビットの値にかかわらず、ICU、DTC、DMAC、および ELC への要求信号がカウント開始直後に一度発生します。

また、指定したカウント期間以外の期間も AGTOn 端子出力はトグル出力となります。AGT レジスタが 0x0001 以上になると、AGT がアンダーフローするたびに要求信号が発生します。

22.2.2 AGTCMA : AGT コンペアマッチ A レジスタ

Base address: AGTn = 0x4022_1000 + 0x0100 × n (n = 0, 1)
AGTn_NS = 0x5022_1000 + 0x0100 × n (n = 0, 1)

Offset address: 0x02

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
15:0	n/a	16 ビットのコンペアマッチ A データを格納。(注1) 設定範囲：0x0000～0xFFFF	R/W

注. S-TYPE-3, P-TYPE-3
注 1. コンペアマッチ A を使用しない場合、AGTCMA レジスタは 0xFFFF にしてください。

AGTCMA レジスタは、AGT カウンタとのコンペアマッチ値を設定するための、読み出し／書き込みレジスタです。リロードレジスタとコンペアレジスタ A の状態は、AGTCR レジスタの TSTART ビットに応じて変化します。詳細は「22.3.2. リロードレジスタおよび AGT コンペアマッチ A/B レジスタの書き換え動作」を参照してください。

22.2.3 AGTCMB : AGT コンペアマッチ B レジスタ

Base address: AGTn = 0x4022_1000 + 0x0100 × n (n = 0, 1)
AGTn_NS = 0x5022_1000 + 0x0100 × n (n = 0, 1)

Offset address: 0x04

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
15:0	n/a	16 ビットのコンペアマッチ B データを格納。(注1) 設定範囲：0x0000～0xFFFF	R/W

注. S-TYPE-3, P-TYPE-3

注 1. コンペアマッチ B を使用しない場合、AGTCMB レジスタは 0xFFFF にしてください。

AGTCMB レジスタは、AGT カウンタとのコンペアマッチ値を設定するための、読み出し／書き込みレジスタです。リロードレジスタとコンペアレジスタ B の状態は、AGTCR レジスタの TSTART ビットに応じて変化します。詳細は「22.3.2. リロードレジスタおよび AGT コンペアマッチ A/B レジスタの書き換え動作」を参照してください。

22.2.4 AGTCR : AGT コントロールレジスタ

Base address: AGTn = 0x4022_1000 + 0x0100 × n (n = 0, 1)
AGTn_NS = 0x5022_1000 + 0x0100 × n (n = 0, 1)

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TCMBF	TCMAF	TUNDF	TEDGF	—	TSTOP	TCSTF	TSTART
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TSTART	AGT カウント開始(注2) 0: カウント停止 1: カウント開始	R/W
1	TCSTF	AGT カウント状態フラグ(注2) 0: カウント停止 1: カウント中	R
2	TSTOP	AGT カウント強制停止(注1) 0: 書き込みは無効 1: 強制的にカウント停止	W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TEDGF	アクティブエッジ判定フラグ 0: アクティブエッジ未受信 1: アクティブエッジ受信	R/(W)(注3)
5	TUNDF	アンダーフローフラグ 0: アンダーフローなし 1: アンダーフローあり	R/(W)(注3)
6	TCMAF	コンペアマッチ A フラグ 0: 不一致 1: 一致	R/(W)(注3)
7	TCMBF	コンペアマッチ B フラグ 0: 不一致 1: 一致	R/(W)(注3)

注. S-TYPE-3, P-TYPE-3
注 1. TSTOP ビットに 1（強制的にカウント停止）を書き込むと、TSTART ビットおよび TCSTF フラグが同時に初期化されます。パルス出力レベルも初期化されます。読むと 0 が読めます。
注 2. TSTART ビットおよび TCSTF フラグの使用方法については、「22.4.1. カウント動作の開始および停止制御」を参照してください。
注 3. フラグをクリアするための 0 の書き込みのみ可能です。

TSTART ビット（AGT カウント開始）

TSTART ビットに 1 を書き込むとカウント動作が開始し、0 を書き込むとカウント動作が停止します。TSTART ビットを 1 にすると、カウントソースと同期して、TCSTF フラグが 1（カウント実行中）になります。また、TSTART ビットに 0 を書き込むと、カウントソースと同期して、TCSTF フラグが 0（カウント停止）になります。詳細は「22.4.1. カウント動作の開始および停止制御」を参照してください。

TCSTF フラグ（AGT カウント状態フラグ）

TCSTF フラグは AGT のカウント状態を示します。

[1 になる条件]

- TSTART ビットに 1 を書いたとき（カウントソースと同期して、TCSTF フラグが 1 になる）

[0 になる条件]

- TSTART ビットに 0 を書いたとき（カウントソースと同期して、TCSTF フラグが 0 になる）
- TSTOP ビットに 1 を書いたとき

TSTOP ビット（AGT カウント強制停止）

TSTOP ビットに 1 を書くと、強制的にカウントが停止します。読むと 0 が読めます。

TEDGF フラグ（アクティブエッジ判定フラグ）

TEDGF フラグはアクティブエッジが検出されたことを示します。

[1 になる条件]

- パルス幅測定モードで外部入力端子（AGTIOn 端子）のアクティブ幅の測定が終了したとき
- パルス周期測定モードで外部入力端子（AGTIOn 端子）の設定エッジが入力されたとき

[0 になる条件]

- 本ビットに 0 を書いたとき

TUNDF フラグ（アンダーフローフラグ）

TUNDF フラグはカウンタがアンダーフローしたことを示します。

[1 になる条件]

- カウンタがアンダーフローしたとき

[0 になる条件]

- 本ビットに 0 を書いたとき

TCMAF フラグ（コンペアマッチ A フラグ）

TCMAF フラグはコンペアマッチ A が検出されたことを示します。

[1 になる条件]

- AGT レジスタ値が AGTCMA レジスタ値と一致したとき

[0 になる条件]

- 本ビットに 0 を書いたとき

TCMBF フラグ（コンペアマッチ B フラグ）

TCMBF フラグはコンペアマッチ B が検出されたことを示します。

[1 になる条件]

- AGT レジスタ値が AGTCMB レジスタ値と一致したとき

[0 になる条件]

- 本ビットに 0 を書いたとき

22.2.5 AGTMR1 : AGT モードレジスタ 1

Base address: AGTn = 0x4022_1000 + 0x0100 × n (n = 0, 1)
AGTn_NS = 0x5022_1000 + 0x0100 × n (n = 0, 1)

Offset address: 0x09

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	TCK[2:0]			TEDGPL	TMOD[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	TMOD[2:0]	動作モード(注3) 0 0 0: タイマモード 0 0 1: パルス出力モード 0 1 0: イベントカウントモード 0 1 1: パルス幅測定モード 1 0 0: パルス周期測定モード その他: 設定禁止	R/W
3	TEDGPL	エッジ極性(注4) 0: 片エッジ 1: 両エッジ	R/W
6:4	TCK[2:0]	カウントソース(注1) (注2) (注5) (注7) 0 0 0: PCLKB 0 0 1: PCLKB/8 0 1 1: PCLKB/2 1 0 0: AGTMR2 レジスタの CKS[2:0]ビットで設定した分周クロック (AGTLCLK) 1 0 1: AGT0(注6)からのアンダーフローイベント信号 1 1 0: AGTMR2 レジスタの CKS[2:0]ビットで設定した分周クロック AGTSCLK その他: 設定禁止	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注. AGTMR1 レジスタに書き込みを行うと、AGTOn、AGTIOn、AGTOAn、および AGTOBn 端子からの出力が初期化されます。初期化時の出力レベルの詳細は、「22.2.7. AGTIOC : AGT I/O コントロールレジスタ」を参照してください。
注 1. イベントカウンタモードを選択した場合、TCK[2:0]ビットの設定にかかわらず、カウントソースとして外部入力端子 (AGTIOn) が選択されます。
注 2. カウント動作中は、カウントソースを切り替えないでください。カウントソースは、AGTCR レジスタの TSTART ビットおよび TCSTF フラグが、どちらも 0（カウント停止）の場合にのみ切り替えてください。
注 3. AGTCR レジスタの TSTART ビットおよび TCSTF フラグが、どちらも 0（カウント停止）の状態で、カウントが停止している場合にのみ、動作モードを変更できます。カウント動作中は、動作モードを変更しないでください。
注 4. TEDGPL ビットは、イベントカウントモード時に限り有効です。
注 5. ソフトウェアスタンバイモードで AGT を動作させるには、AGTLCLK または AGTSCLK (TCK[2:0] = 100b, 110b) を選択してください。
注 6. AGT0 では AGT0 のアンダーフローは使用できません（設定禁止）。AGT1 が AGT0 のアンダーフローを使用します。
注 7. AGTMR2 レジスタの CKS[2:0]ビットが 000b 以外の場合は、TCK[2:0]ビットを切り替えないでください。AGTMR2 レジスタの CKS[2:0]ビットを 000b にした後、TCK[2:0]ビットを切り替えて、カウントソースの 1 サイクル分待機してください。

22.2.6 AGTMR2 : AGT モードレジスタ 2

Base address: AGTn = 0x4022_1000 + 0x0100 × n (n = 0, 1)
AGTn_NS = 0x5022_1000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LPM	—	—	—	—	CKS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CKS[2:0]	AGTLCLK/AGTSCLK カウントソースクロック分周比(注1) (注2) (注3) 0 0 0: 1/1 0 0 1: 1/2 0 1 0: 1/4 0 1 1: 1/8 1 0 0: 1/16 1 0 1: 1/32 1 1 0: 1/64 1 1 1: 1/128	R/W
6:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	LPM	低消費電力モード 0: 通常モード 1: 低消費電力モード	R/W

注. S-TYPE-3, P-TYPE-3
注 1. カウント動作中は、CKS[2:0]ビットを書き換えないでください。AGTCR レジスタの TSTART ビットと TCSTF フラグがどちらも 0（カウント停止）の場合にのみ、CKS[2:0]ビットを書き換えてください。
注 2. カウントソースが AGTLCLK または AGTSCLK の場合、CKS[2:0]ビットの切り替えが有効となります。
注 3. CKS[2:0]ビットが 000b 以外の場合は、AGTMR1 レジスタの TCK[2:0]ビットを切り替えないでください。CKS[2:0]ビットを 000b にした後、AGTMR1 レジスタの TCK[2:0]ビットを切り替えて、カウントソースの 1 サイクル分待機してください。

CKS[2:0]ビット（AGTLCLK/AGTSCLK カウントソースクロック分周比）

CKS[2:0]ビットは AGTLCLK/AGTSCLK カウントソースクロック分周比を選択します。

LPM ビット（低消費電力モード）

LPM ビットは低消費電力動作を設定します。これによって、特定の AGT レジスタへのアクセスに影響があります。低消費電力で動作させるには本ビットを 1 にしてください。

本ビットが 1 の場合、下記のレジスタへはアクセスしないでください。

- AGT/AGTCMA/AGTCMB/AGTCR

本ビットを 1 から 0 に切り替えた後は、最初のレジスタアクセスが以下のように制限されます。

- AGT レジスタから読み出す場合、AGT レジスタを 2 回読み出します。2 回目の読み出しデータのみが有効です。
- AGT、AGTCMA、AGTCMB、および AGTCR レジスタに書き込む場合、カウントソースクロックで 2 サイクル以上の余裕が必要です。
- AGT、AGTCMA、AGTCMB、および AGTCR レジスタに書き込まれた値を確認するとき
  - カウント動作が停止したとき、データ書き込み後、次のサイクルで読み出しが可能です。
  - カウント動作の実行中には、データ書き込み後、カウントソースクロックの 4 サイクル後に読み出しが可能です。

図 22.2 に、LPM ビットに書き込む方法のフローチャートを示します。

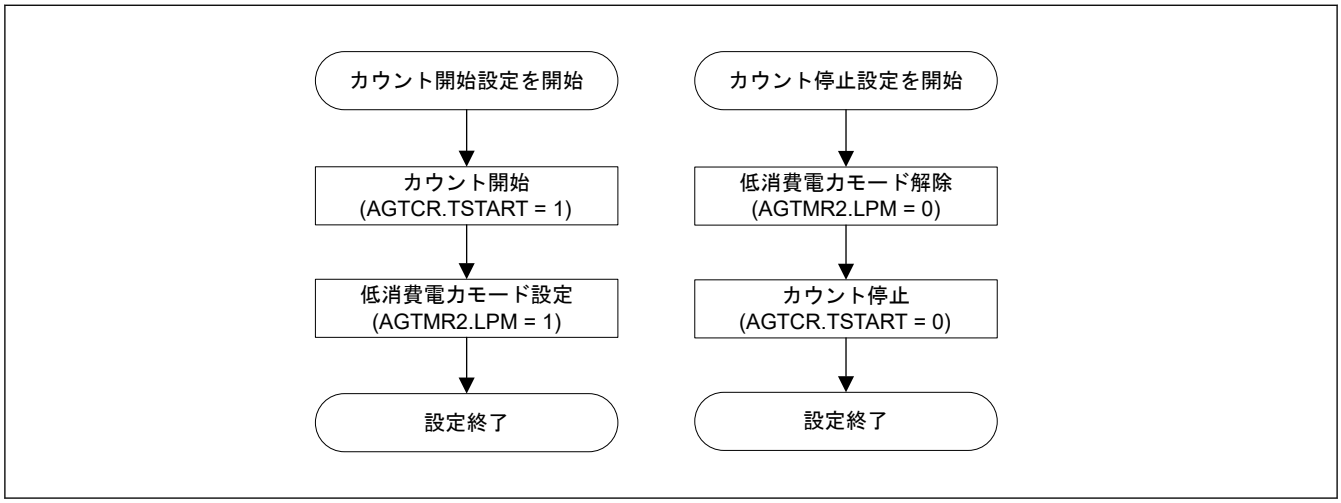


図 22.2 LPM ビットに書き込む方法のフローチャート

22.2.7 AGTIOC : AGT I/O コントロールレジスタ

Base address: AGTn = 0x4022_1000 + 0x0100 × n (n = 0, 1)
AGTn_NS = 0x5022_1000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TIOGT[1:0]		TIPF[1:0]		—	TOE	—	TEDG SEL
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TEDGSEL	I/O 極性切り替え 動作モードによって機能が異なります。表 22.3 と表 22.4 を参照してください。	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	TOE	AGTOn 端子出力許可 0: AGTOn 端子出力を禁止 1: AGTOn 端子出力を許可	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	TIPF[1:0]	入力フィルタ(注3) これらのビットは、AGTIOn 端子入力用フィルタのサンプリング周波数を指定します。AGTIOn 端子への入力がサンプリングされ、3 回連続して値が一致すると、その値が入力値とみなされます。 0 0: フィルタなし 0 1: PCLKB でのフィルタサンプリング 1 0: PCLKB/8 でのフィルタサンプリング 1 1: PCLKB/32 でのフィルタサンプリング	R/W
7:6	TIOGT[1:0]	カウント制御(注1) (注2) 0 0: 常にイベントをカウントする 0 1: AGTEEn 端子に指定された極性の期間に、イベントをカウントする その他: 設定禁止	R/W

注. S-TYPE-3, P-TYPE-3
注 1. AGTEEn 端子を使用する場合、イベントをカウントするための極性は AGTISR レジスタの EEPS ビットで選択できます。
注 2. TIOGT[1:0]ビットは、イベントカウントモード時に限り有効です。
注 3. ソフトウェアスタンバイモード中にイベントカウントモード動作が実行される場合、デジタルフィルタ機能は使用できません。

TEDGSEL ビット（I/O 極性切り替え）

TEDGSEL ビットは AGTOn 端子の出力極性および AGTIOn 端子の入出力エッジと極性を切り替えます。

パルス出力モードでは、AGTOn 端子の出力極性と AGTIOn 端子の出力極性のみが制御されます。AGTOn 端子出力と AGTIOn 端子出力は、AGTMR1 レジスタに書き込みを行ったとき、または AGTCR レジスタの TSTOP ビットに 1 を書いたときに初期化されます。

TOE ビット（AGTOn 端子出力許可）

TOE ビットは AGTOn 端子出力の禁止または許可を選択します。

TIPF[1:0]ビット（入力フィルタ）

TIPF[1:0]ビットは AGTIOn 端子入力用フィルタのサンプリング周波数を指定します。AGTIOn 端子への入力がサンプリングされ、3 回連続して値が一致すると、その値が入力値とみなされます。

TIOGT[1:0]ビット（カウント制御）

TIOGT[1:0]ビットはイベントカウントを制御します。

表 22.3 AGTIOn 端子の入出力エッジおよび極性切り替え

動作モード	機能
タイマモード	使用しない
パルス出力モード	0: High で出力開始（初期レベル：High）：反転出力 1: Low で出力開始（初期レベル：Low）：通常出力
イベントカウントモード	0: 立ち上がりエッジでカウント 1: 立ち下がりエッジでカウント
パルス幅測定モード	0: Low レベル幅を測定 1: High レベル幅を測定
パルス周期測定モード	0: ある立ち上がりエッジから次の立ち上がりエッジまで測定 1: ある立ち下がりエッジから次の立ち下がりエッジまで測定

表 22.4 AGTOn 端子の出力極性切り替え

動作モード	機能
全モード	0: Low で出力開始（初期レベル：Low）：通常出力 1: High で出力開始（初期レベル：High）：反転出力

22.2.8 AGTISR : AGT イベント端子選択レジスタ

Base address: AGTn = 0x4022_1000 + 0x0100 × n (n = 0, 1)
AGTn_NS = 0x5022_1000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	EEPS	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	EEPS	AGTEEn 極性選択 0: Low の期間、イベントをカウントする 1: High の期間、イベントをカウントする	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

EEPS ビット（AGTEEn 極性選択）

EEPS ビットはカウントされるイベントの極性を選択します。

22.2.9 AGTCMSR : AGT コンペアマッチ機能選択レジスタ

Base address: AGTn = 0x4022_1000 + 0x0100 × n (n = 0, 1)
AGTn_NS = 0x5022_1000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	TOPOLB	TOEB	TCMEB	—	TOPOLA	TOEA	TCMEA
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TCMEA	AGT コンペアマッチ A レジスタ有効(注1) (注2) 0: AGT コンペアマッチ A レジスタを無効 1: AGT コンペアマッチ A レジスタを有効	R/W
1	TOEA	AGTOAn 端子出力許可(注1) (注2) 0: AGTOAn 端子出力を禁止 1: AGTOAn 端子出力を許可	R/W
2	TOPOLA	AGTOAn 端子極性選択(注1) (注2) 0: AGTOAn 端子出力を Low で開始：通常出力 1: AGTOAn 端子出力を High で開始：反転出力	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TCMEB	AGT コンペアマッチ B レジスタ有効(注1) (注2) 0: AGT コンペアマッチ B レジスタを無効 1: AGT コンペアマッチ B レジスタを有効	R/W
5	TOEB	AGTOBn 端子出力許可(注1) (注2) 0: AGTOBn 端子出力を禁止 1: AGTOBn 端子出力を許可	R/W

ビット	シンボル	機能	R/W
6	TOPOLB	AGTOBn 端子極性選択(注1) (注2) 0: AGTOBn 端子出力を Low で開始：通常出力 1: AGTOBn 端子出力を High で開始：反転出力	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. カウント動作中は、AGTCMSR レジスタを書き換えないでください。AGTCMSR レジスタは、AGTCR レジスタの TSTART ビットおよび TCSTF フラグが、どちらも 0（カウント停止）の場合にのみ書き換えてください。
注 2. パルス幅測定モードまたはパルス周期測定モード中は、1 にしないでください。

22.2.10 AGTIOSEL : AGT 端子選択レジスタ

Base address: AGTn = 0x4022_1000 + 0x0100 × n (n = 0, 1)
AGTn_NS = 0x5022_1000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0F

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TIES	—	—	—	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TIES	AGTIOn 端子入力許可 0: ソフトウェアスタンバイモード中、外部イベント入力を禁止 1: ソフトウェアスタンバイモード中、外部イベント入力を許可	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

AGTIOSEL レジスタは、AGTIOn 端子をソフトウェアスタンバイモードで使用する場合に、AGTIOn 端子を設定します。

TIES ビット（AGTIOn 端子入力許可）

TIES ビットは外部イベント入力を許可または禁止します。

22.3 動作説明

22.3.1 リロードレジスタおよびカウンタの書き換え動作

動作モードにかかわらず、リロードレジスタとカウンタへの書き換え動作のタイミングは、AGTCR レジスタの TSTART ビット値、および AGTCMSR レジスタの TCMEA または TCMEB ビット値によって異なります。
TSTART ビットが 0（カウント停止）の場合、カウント値がリロードレジスタとカウンタに直接書き込まれます。
TSTART ビットが 1（カウント開始）で、かつ TCMEA および TCMEB ビットが 0（AGT コンペアマッチ A/B レジスタが無効）の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、次のカウントソースと同期してカウンタに書き込まれます。TSTART ビットが 1（カウント開始）で、かつ TCMEA または TCMEB ビットが 1（AGT コンペアマッチ A/B レジスタが有効）の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、カウンタのアンダーフローと同期してカウンタに書き込まれます。

TSTART ビット値および TCMEA/TCMEB ビット値による書き換え動作のタイミングを図 22.3 および図 22.4 に示します。

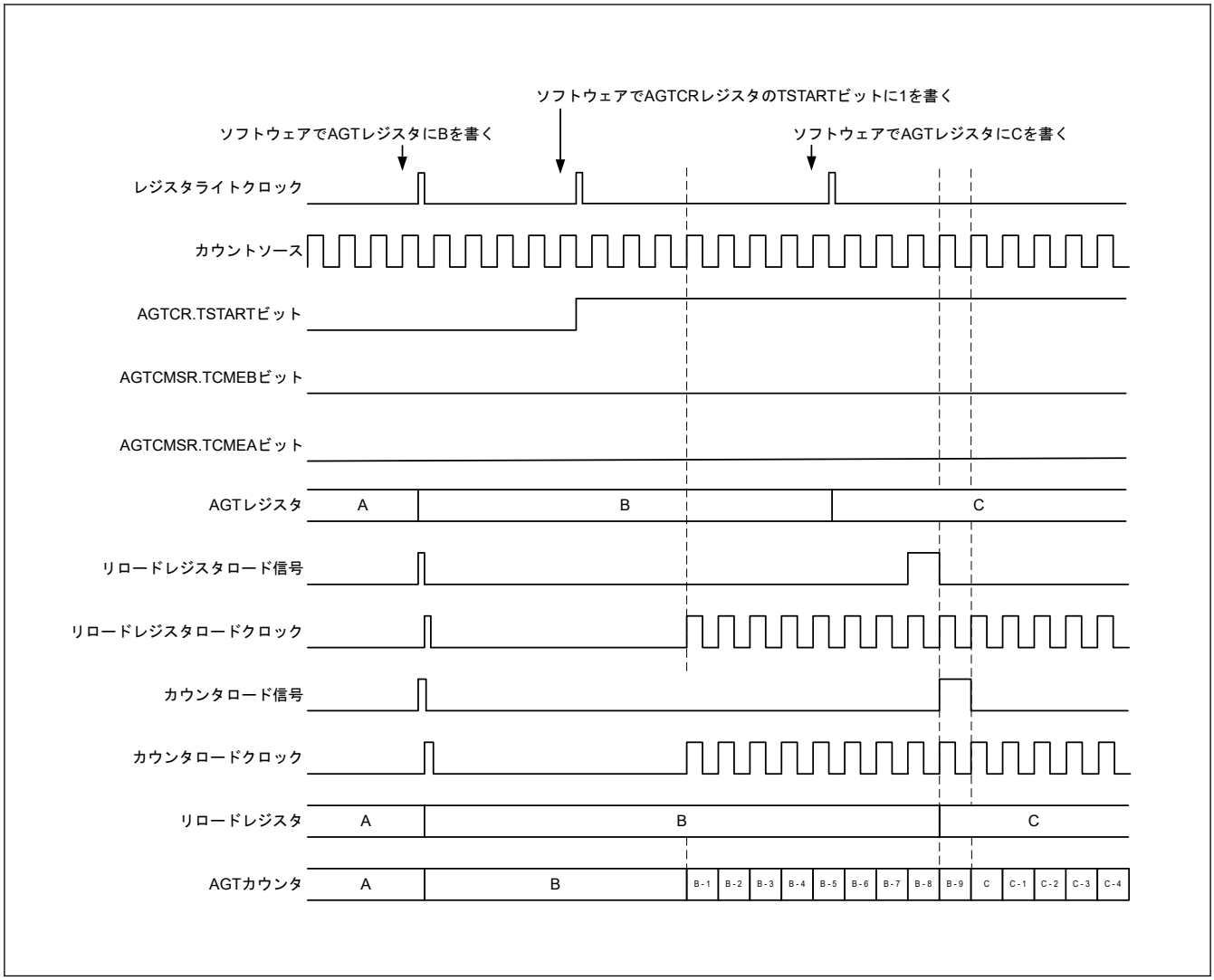


図 22.3 TSTART、TCMEA、TCMEB ビット値による書き換え動作のタイミング（AGT コンペアマッチ A レジスタと AGT コンペアマッチ B レジスタが無効の場合）

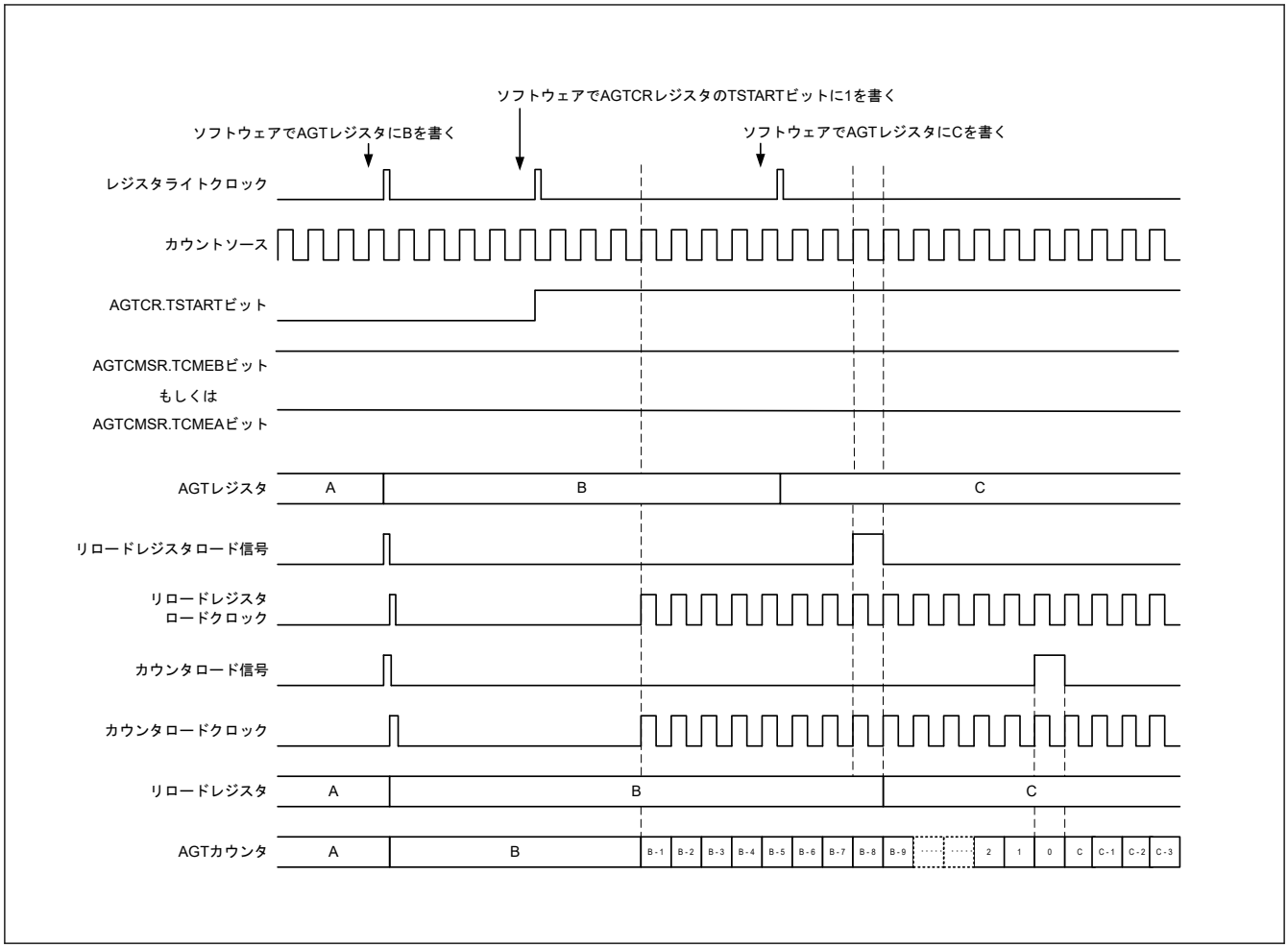


図 22.4 TSTART ビット値と TCMEA または TCMEB ビット値による書き換え動作のタイミング（AGT コンペアマッチ A レジスタまたは AGT コンペアマッチ B レジスタが有効の場合）

22.3.2 リロードレジスタおよび AGT コンペアマッチ A/B レジスタの書き換え動作

動作モードにかかわらず、リロードレジスタと AGT コンペアレジスタ A/B への書き換え動作のタイミングは、AGTCR レジスタの TSTART ビットの値によって異なります。TSTART ビットが 0（カウント停止）の場合、カウント値がリロードレジスタと AGT コンペアレジスタ A/B に直接書き込まれます。TSTART ビットが 1（カウント開始）の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、カウンタのアンダーフローと同期してコンペアレジスタに書き込まれます。

TSTART ビット値によるコンペアレジスタ A への書き換え動作のタイミングを図 22.5 に示します。AGT コンペアレジスタ B の場合も AGT コンペアレジスタ A と同じです。

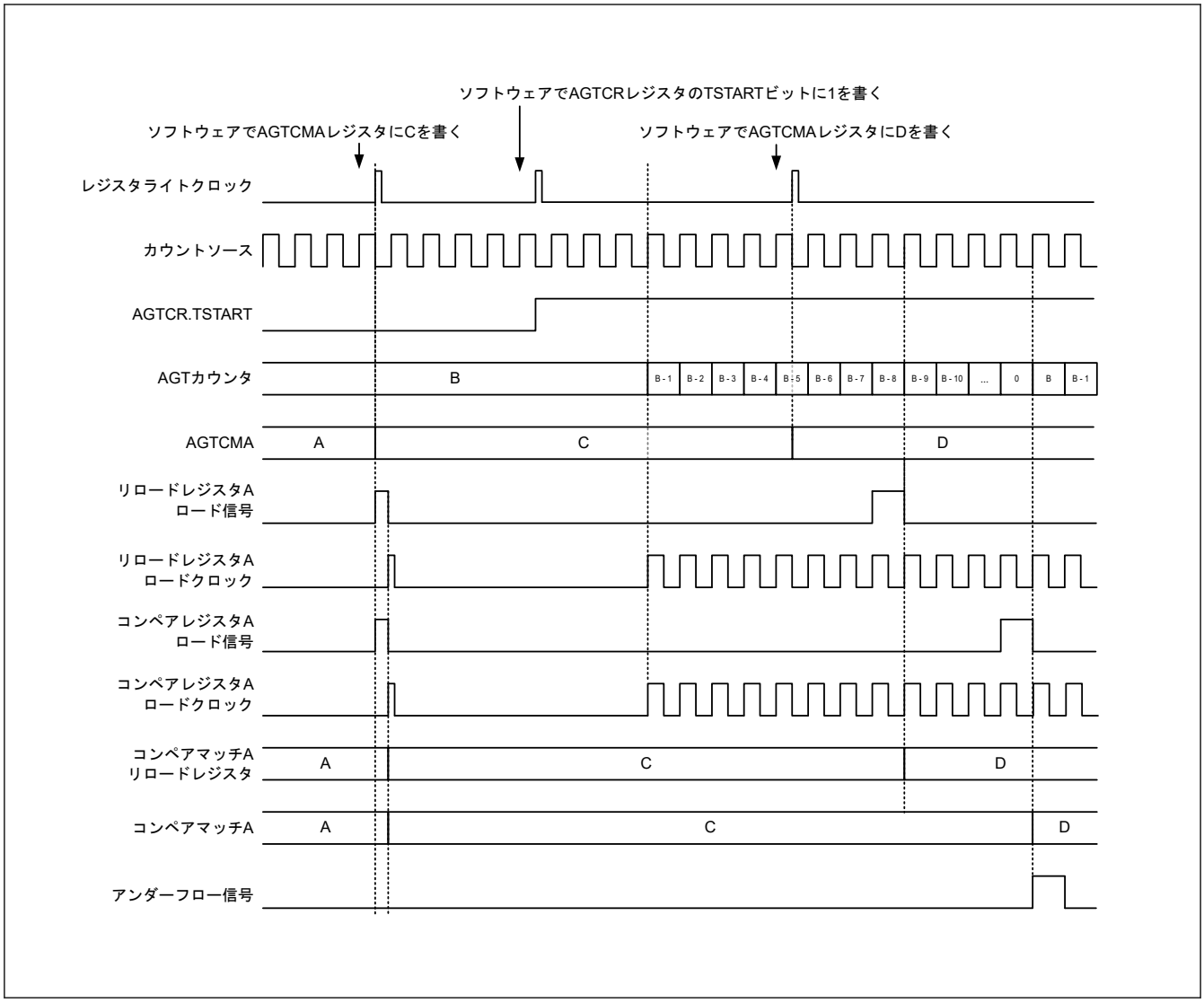


図 22.5 AGT コンペアレジスタ A の TSTART ビット値による書き換え動作のタイミング

22.3.3 タイマモード

このモードでは、AGT カウンタは AGTMR1 レジスタの TCK[2:0]ビットで選択したカウントソースによってデクリメントします。タイマモードでは、カウント値がカウントソースの立ち上がりエッジごとに 1 ずつデクリメントします。カウント値が 0x0000 に達して、次のカウントソースが入力されると、アンダーフローが発生して割り込み要求が生成されます。

図 22.6 にタイマモードでの動作例を示します。

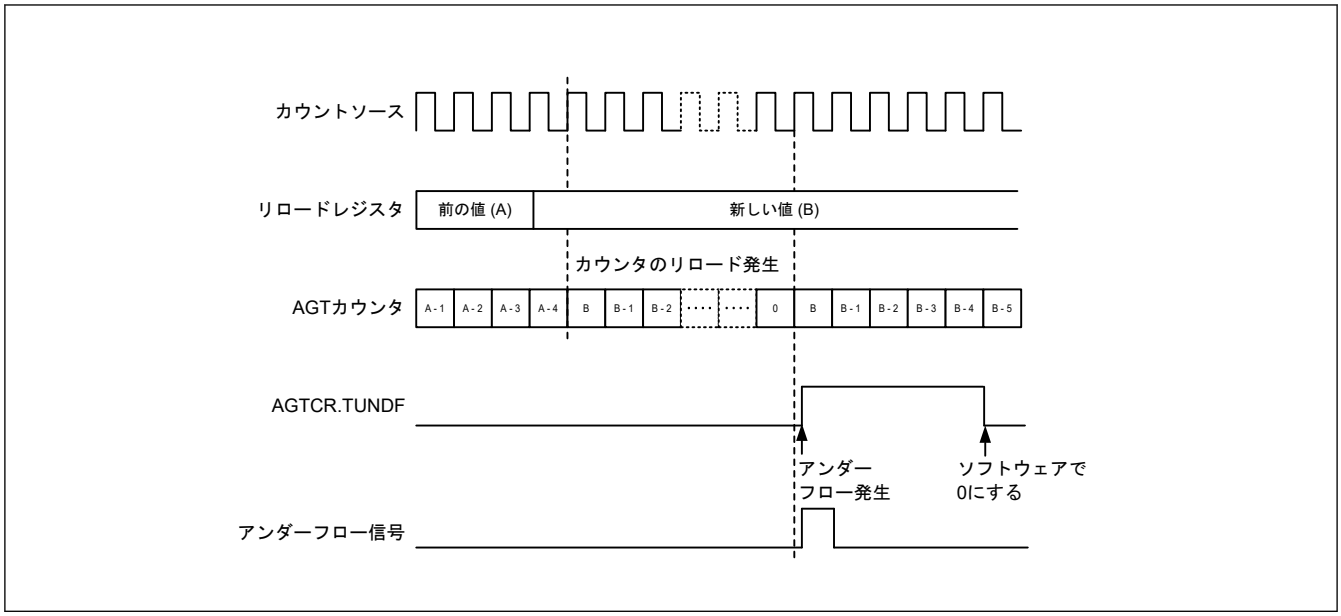


図 22.6　タイマモードでの動作例

22.3.4　パルス出力モード

パルス出力モードでは、カウンタは AGTMR1 レジスタの TCK[2:0]ビットで選択したカウントソースによってデクリメントし、アンダーフローが発生するたびに AGTIOn 端子と AGTOn 端子の出力レベルは反転します。

パルス出力モードでは、カウント値がカウントソースの立ち上がりエッジごとに 1 ずつデクリメントします。カウント値が 0x0000 に達して、次のカウントソースが入力されると、アンダーフローが発生して割り込み要求が生成されます。さらに、AGTIOn 端子と AGTOn 端子からパルスを出力できます。その出力レベルは、アンダーフローが発生するたびに反転します。AGTOn 端子からのパルス出力は、AGTIOC レジスタの TOE ビットで停止できます。出力レベルは、AGTIOC レジスタの TEDGSEL ビットで選択できます。

パルス出力モードでの動作例を図 22.7 に示します。

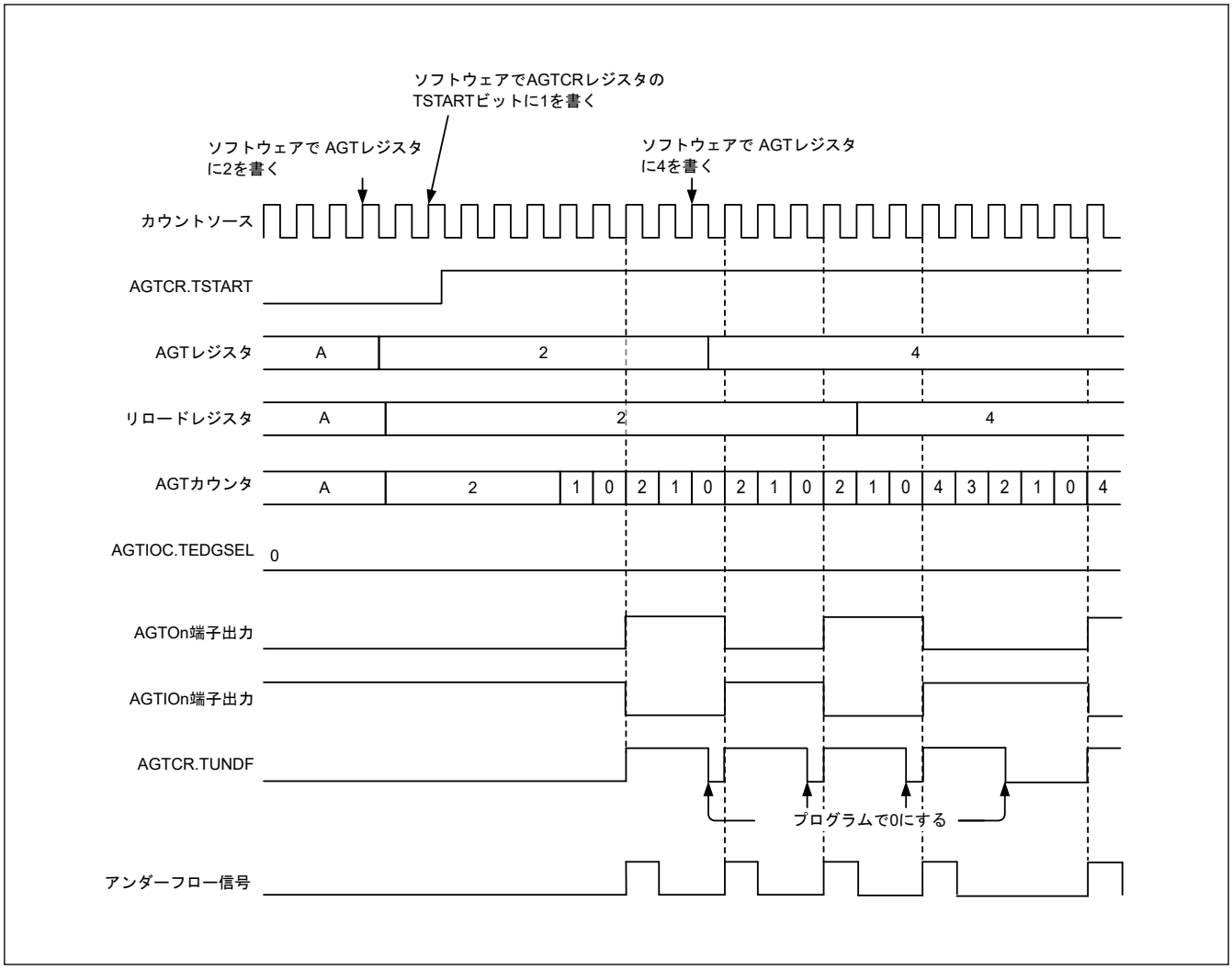


図 22.7　パルス出力モードでの動作例

22.3.5　イベントカウンタモード

イベントカウンタモードでは、カウンタは AGTIOn 端子への外部イベント信号（カウントソース）入力によってデクリメントします。イベントをカウントする期間は、AGTIOC レジスタの TIOGT[1:0]ビットと AGTISR レジスタによってさまざまな設定が可能です。さらに、AGTIOC レジスタの TIPF[1:0]ビットによって、AGTIOn 端子入力用のフィルタ機能を指定できます。イベントカウンタモードでも、AGTOn 端子からトグル出力が可能です。

イベントカウンタモードでの動作例を図 22.8 に示します。

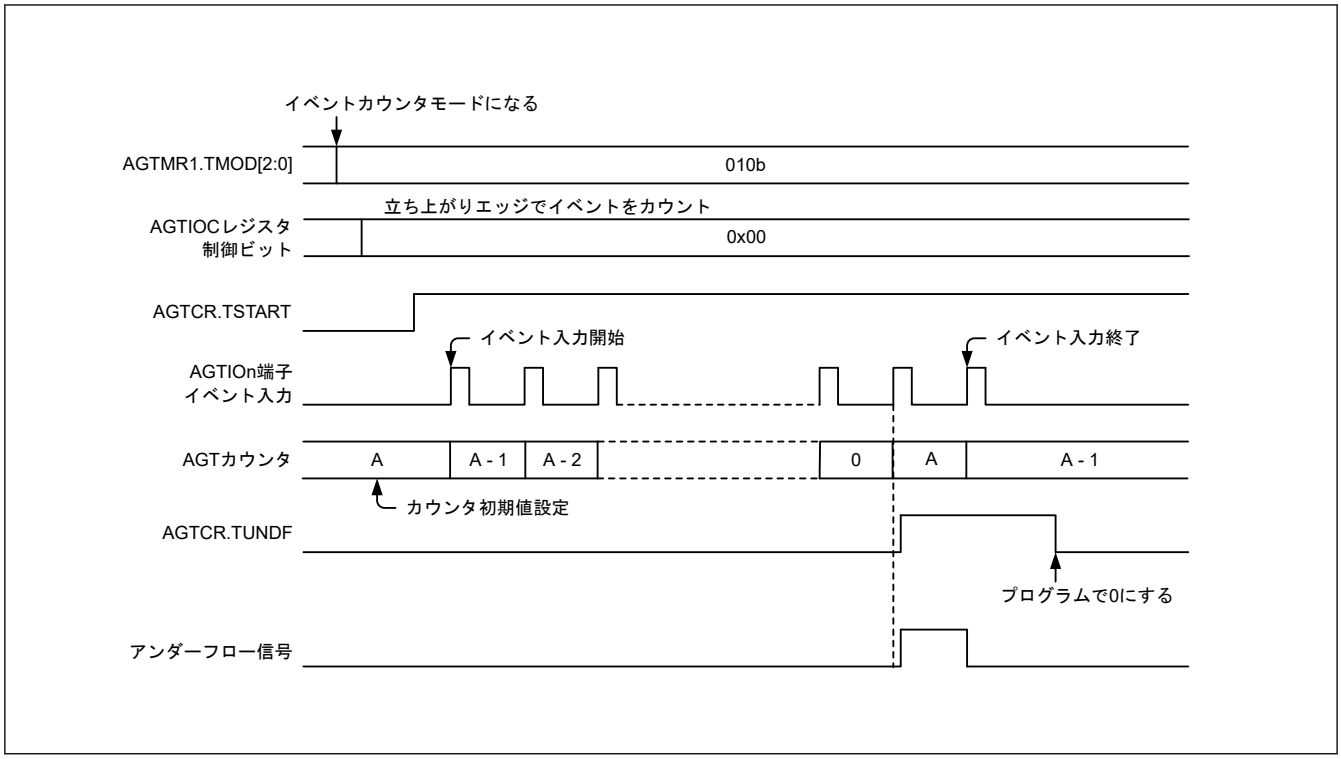
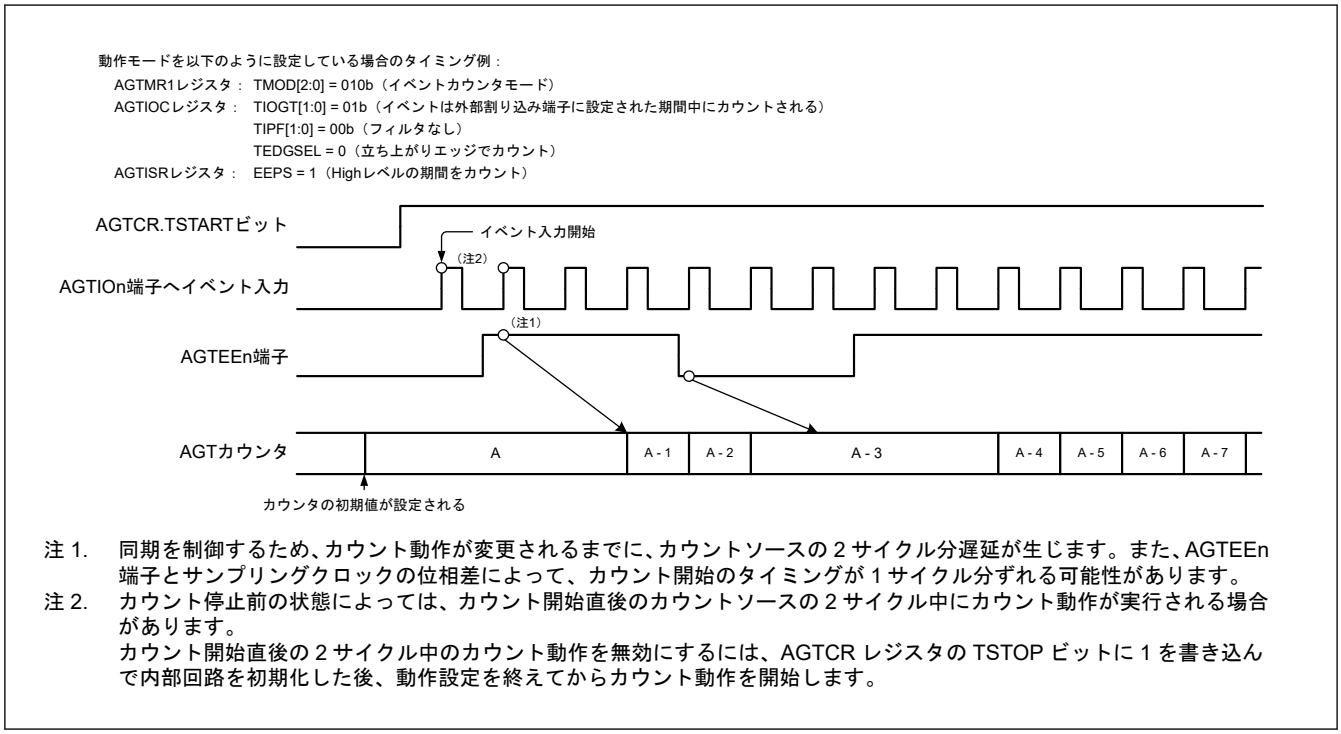


図 22.8　イベントカウンタモードでの動作例 1

イベントカウンタモード時に、指定された期間にイベントがカウントされるように（AGTIOC レジスタの TIOGT[1:0]ビットを 01b に設定）した場合の動作例を図 22.9 に示します。



注 1.　同期を制御するため、カウント動作が変更されるまでに、カウントソースの 2 サイクル分遅延が生じます。また、AGTEEn 端子とサンプリングクロックの位相差によって、カウント開始のタイミングが 1 サイクル分ずれる可能性があります。

注 2.　カウント停止前の状態によっては、カウント開始直後のカウントソースの 2 サイクル中にカウント動作が実行される場合があります。
カウント開始直後の 2 サイクル中のカウント動作を無効にするには、AGTCR レジスタの TSTOP ビットに 1 を書き込んで内部回路を初期化した後、動作設定を終えてからカウント動作を開始します。

図 22.9　イベントカウンタモードでの動作例 2

22.3.6　パルス幅測定モード

パルス幅測定モードでは、AGTIOn 端子に入力される外部信号のパルス幅を測定します。AGTIOC レジスタの TEDGSEL ビットで指定したレベルが AGTIOn 端子に入力されると、カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。指定した AGTIOn 端子レベルが終了すると、カ

ウンタは停止して、AGTCR レジスタの TEDGF フラグが 1（アクティブエッジ受信）になり、割り込み要求が発生します。カウンタの停止中にカウント値を読み出すことで、パルス幅データが測定されます。また、測定中にカウンタがアンダーフローすると、AGTCR レジスタの TUNDF フラグが 1 になり、割り込み要求が発生します。

図 22.10 にパルス幅測定モードでの動作例を示します。

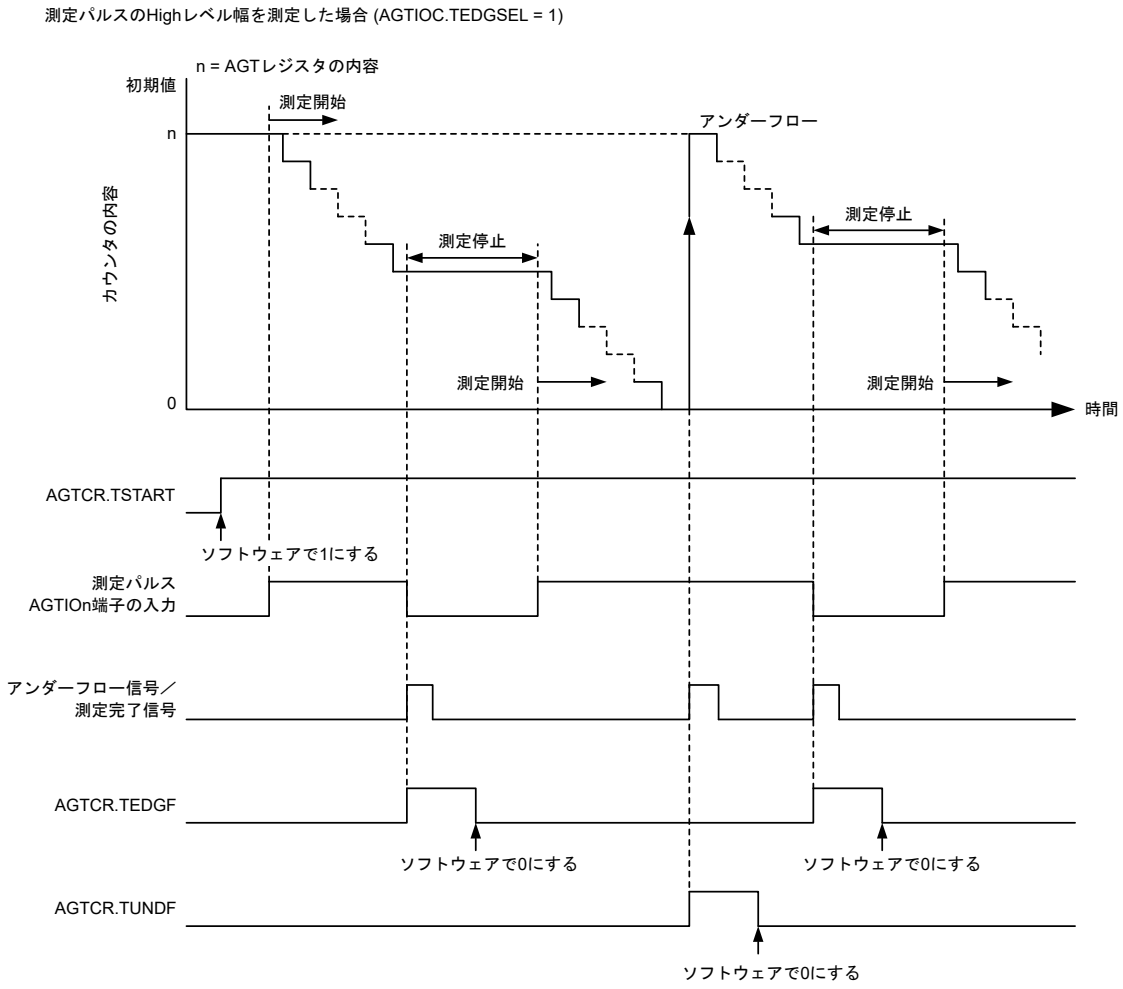


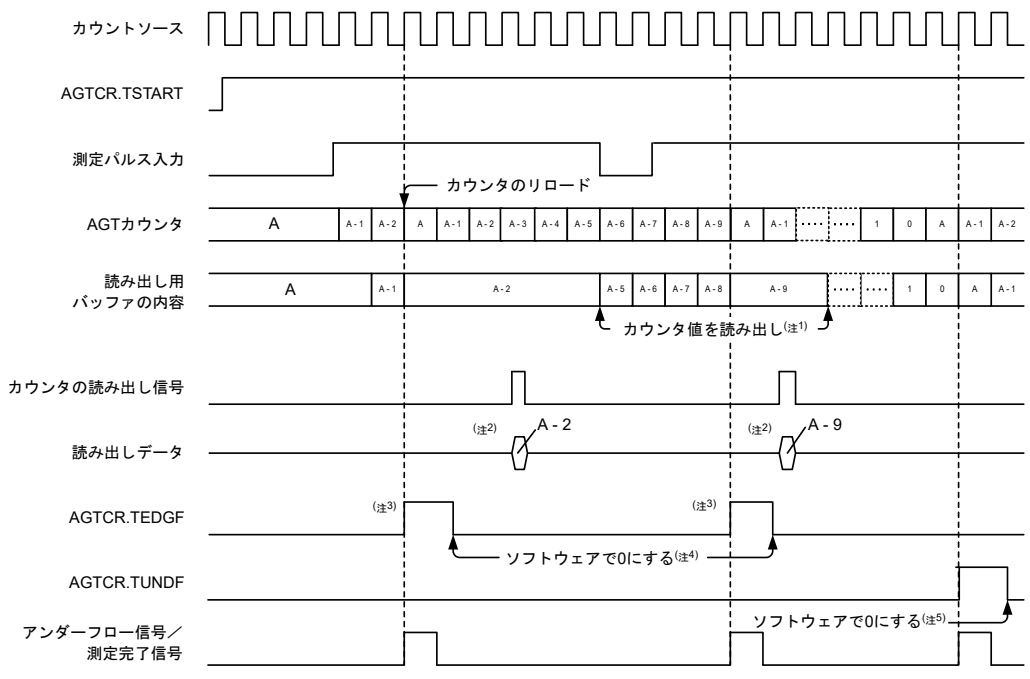
図 22.10　パルス幅測定モードでの動作例

22.3.7　パルス周期測定モード

パルス周期測定モードでは、AGTIOn 端子に入力される外部信号のパルス周期を測定します。カウンタは AGTMR1 レジスタの TCK[2:0]ビットで選択したカウントソースによってデクリメントします。AGTIOC レジスタの TEDGSEL ビットで指定した周期のパルスが AGTIOn 端子に入力されると、カウントソースの立ち上がりエッジでカウント値が読み出しバッファに転送されます。リロードレジスタの値は、次の立ち上がりエッジでカウンタにロードされます。同時に、AGTCR レジスタの TEDGF フラグが 1（アクティブエッジ受信）になり、割り込み要求が発生します。この時点で読み出しバッファ（AGT レジスタ）が読み出され、リロード値（「22.4.6. イベント番号、パルス幅およびパルス周期の計算方法」を参照）との差が入力パルスの周期データとなります。この周期データは、読み出しバッファが読み出されるまで保持されます。カウンタがアンダーフローすると、AGTCR レジスタの TUNDF フラグが 1（アンダーフロー）になり、割り込み要求が発生します。

パルス周期測定モードでの動作例を図 22.11 に示します。

カウントソース周期の 2 倍よりも長い周期を持つ入力パルスのみが測定されます。また、Low 幅と High 幅は、両方ともカウントソースの周期より長くなければいけません。これらの条件よりも短いパルス周期が入力されると、その入力は無視される場合があります。



この例は、AGTレジスタの初期値がA、AGTIOCレジスタのTEDGSELビットが0に設定され、
測定パルスの1つの立ち上がりエッジから次のエッジまでの期間が測定される場合に適用されます。

注 1. AGT レジスタからの読み出しは、TEDGF フラグが 1（アクティブエッジ受信）になってから、次のアクティブエッジが入力されるまでの期間に行う必要があります。読み出しバッファの内容は、AGT レジスタが読み出されるまで保持されます。アクティブエッジが入力される前に読み出さないと、前の周期の測定結果が保持されます
注 2. パルス周期測定モードで AGT レジスタを読み出すと、読み出しバッファの内容が読み出されます。
注 3. 測定パルスのアクティブエッジが入力された後に、外部パルスの設定エッジが入力された場合、AGTCR レジスタの TEDGF フラグが 1（アクティブエッジ受信）になります。
注 4. ソフトウェアで 0 にするときは、8 ビットメモリ操作命令を用いて AGTCR レジスタの TEDGF ビットに 0 を書いてください。
注 5. ソフトウェアで 0 にするときは、8 ビットメモリ操作命令を用いて AGTCR レジスタの TUNDF ビットに 0 を書いてください。

図 22.11 パルス周期測定モードでの動作例

22.3.8 コンペアマッチ機能

コンペアマッチ機能は、AGTCMA/AGTCMB レジスタの内容と AGT レジスタの内容の一致（コンペアマッチ）を検出します。この機能は、AGTCMSR レジスタの TCMEA または TCMEB ビットが 1（コンペアマッチ A/B レジスタが有効）の場合に有効となります。カウンタは AGTMR1 レジスタの TCK[2:0]ビットで選択したカウントソースによってデクリメントします。AGT の値と AGTCMA/AGTCMB の値が一致した場合、AGTCR レジスタの TCMAF/TCMBF フラグが 1（一致）になり、割り込み要求が発生します。

コンペアマッチ機能が有効の場合、リロードレジスタとカウンタでは、書き換え動作のタイミングが異なります。詳細は「22.3.1. リロードレジスタおよびカウンタの書き換え動作」を参照してください。また、AGTOAn 端子、AGTOBn 端子の出力レベルは、一致およびアンダーフローによって反転します。出力レベルは、AGTCMSR レジスタの TOPOLA ビットまたは TOPOLB ビットで選択できます。

図 22.12 にコンペアマッチ機能の動作例を示します。

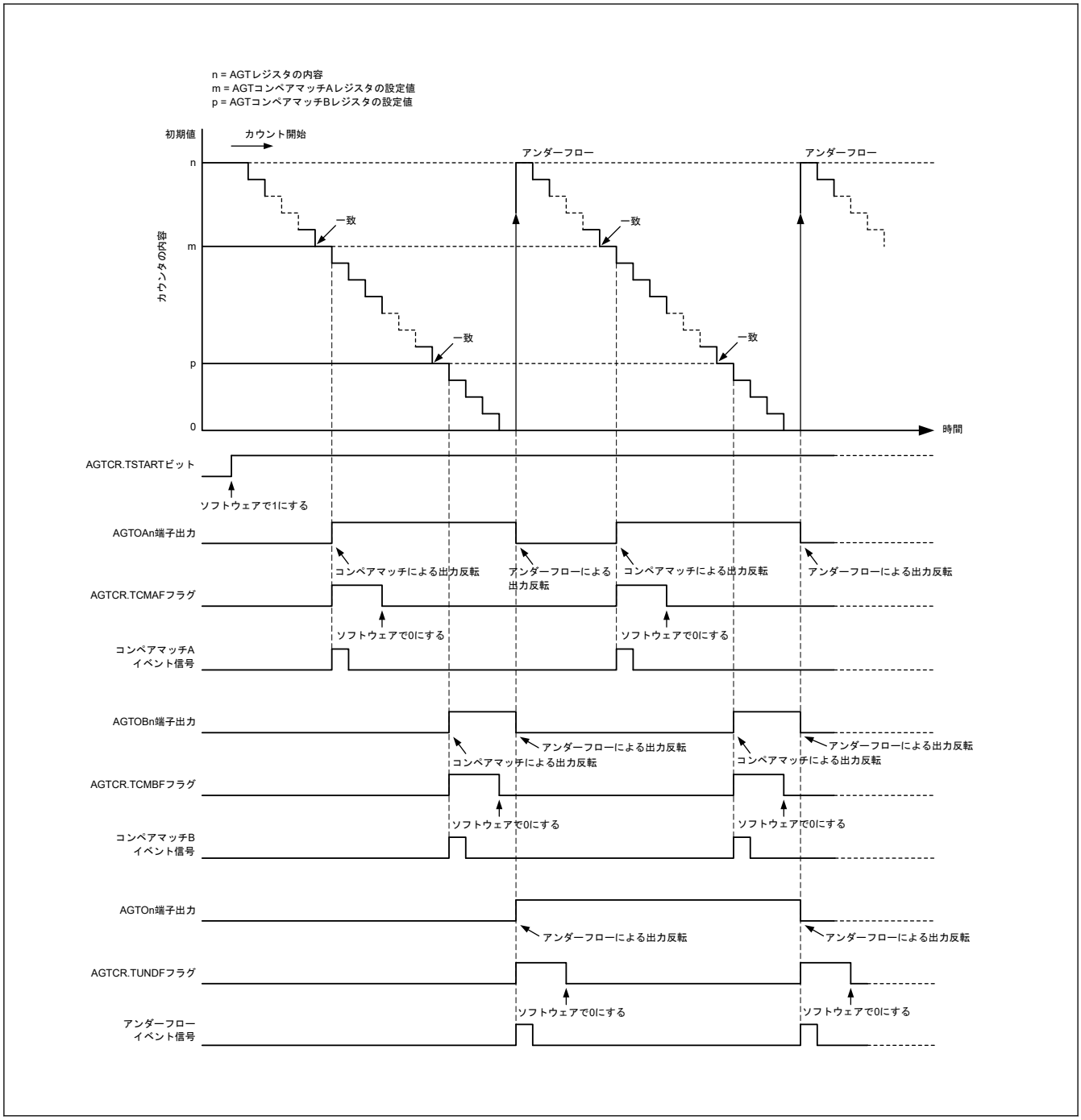


図 22.12　コンペアマッチ機能の動作例 (TOPOLA = 0, TOPOLB = 0)

22.3.9　各モードの出力設定

表 22.5～表 22.8 に各モードでの AGTOn、AGTIOn、AGTOAn、および AGTOBn 端子の状態を示します。

表 22.5　AGTOn 端子の設定

動作モード	AGTIOC レジスタ		AGTOn 端子出力
	TOE ビット	TEDGSEL ビット	
全モード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止

表 22.6 AGTIOn 端子の設定

動作モード	AGTIOC レジスタ TEDGSEL ビット	AGTIOn 端子入出力
タイマモード	0 または 1	入力（使用しない）
パルス出力モード	1	通常出力
	0	反転出力
イベントカウントモード	0 または 1	入力
パルス幅測定モード		
パルス周期測定モード		

表 22.7 AGTOAn 端子の設定

動作モード	AGTCMSR レジスタ TOEA ビット	AGTCMSR レジスタ TOPOLA ビット	AGTOAn 端子出力
タイマモード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
パルス出力モード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
イベントカウントモード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
パルス幅測定モード	0	0	禁止
パルス周期測定モード			

表 22.8 AGTOBn 端子の設定

動作モード	AGTCMSR レジスタ TOEB ビット	AGTCMSR レジスタ TOPOLB ビット	AGTOBn 端子出力
タイマモード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
パルス出力モード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
イベントカウントモード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
パルス幅測定モード	0	0	禁止
パルス周期測定モード			

22.3.10 スタンバイモード

AGT はソフトウェアスタンバイモードで動作可能です。カウント動作開始 (TSTART = 1, TCSTF = 1) の状態で、ソフトウェアスタンバイモードに設定してください。

表 22.9 と表 22.10 にソフトウェアスタンバイモードで使用可能な設定を示します。

表 22.9 ソフトウェアスタンバイモードで使用可能な設定 (AGT0)

動作モード	AGTMR1.TCK[2:0]	動作クロック	CPU 復帰要因
タイマモード	100b または 110b	AGTLCLK または AGTSCLK	—
パルス出力モード	100b または 110b	AGTLCLK または AGTSCLK	—
イベントカウンタモード(注2)(注3)(注4)	–	AGTIO0(注1)	—
パルス幅測定モード	100b または 110b	AGTLCLK または AGTSCLK	—
パルス周期測定モード	100b または 110b	AGTLCLK または AGTSCLK	—

注. —（無効）
注 1. ソフトウェアスタンバイモードで AGTIO0 端子を外部イベント入力として使用する場合は、AGTIOSEL.TIES = 1 に設定してください。
注 2. AGTEE 端子はソフトウェアスタンバイモード時には使用できません。外部イベントは常に有効です。
注 3. AGTIOSEL.TIES = 0 で、かつソフトウェアスタンバイモードにおいて外部イベント入力信号を無効にしている場合、ソフトウェアスタンバイモードに遷移する前にカウント動作を停止してください。ソフトウェアスタンバイモードから復帰した後に、必要に応じてカウント動作を再開してください。
注 4. 外部イベント入力がソフトウェアスタンバイモード中に禁止されている場合 (AGTIOSEL.TIES = 0)、MCU がソフトウェアスタンバイモードに遷移する前にカウント動作を停止します。MCU がソフトウェアスタンバイモードから復帰した後に、カウント動作を再開します。

表 22.10 ソフトウェアスタンバイモードで使用可能な設定 (AGT1)

動作モード	AGTMR1.TCK[2:0]	動作クロック	CPU 復帰要因
タイマモード	100b、110b、または 101b(注1)	AGTLCLK、AGTSCLK、または AGT0 アンダーフロー	• アンダーフロー • コンペアマッチ A/B
パルス出力モード	100b、110b、または 101b(注1)	AGTLCLK、AGTSCLK、または AGT0 アンダーフロー	• アンダーフロー • コンペアマッチ A/B
イベントカウンタモード(注3)(注4)(注5)	–	AGTIO1(注2)	• アンダーフロー • コンペアマッチ A/B
パルス幅測定モード	100b、110b、または 101b(注1)	AGTLCLK、AGTSCLK、または AGT0 アンダーフロー	• アンダーフロー • アクティブエッジ
パルス周期測定モード	100b、110b、または 101b(注1)	AGTLCLK、AGTSCLK、または AGT0 アンダーフロー	• アンダーフロー • アクティブエッジ

注. —（無効）
注. ソフトウェアスタンバイモードの解除ができるのは AGT1 のみです。
注. コンペアマッチ A/B はソフトウェアスタンバイモードからの CPU 復帰要因です。
注 1. AGT0 が表 22.9 の状態で動作している場合のみです。
注 2. ソフトウェアスタンバイモードで AGTIO1 端子を外部イベント入力として使用する場合は、AGTIOSEL.TIES = 1 に設定してください。
注 3. AGTEE 端子はソフトウェアスタンバイモード時には使用できません。外部イベントは常に有効です。
注 4. AGTIOSEL.TIES = 0 で、かつソフトウェアスタンバイモードにおいて外部イベント入力信号を無効にしている場合、ソフトウェアスタンバイモードに遷移する前にカウント動作を停止してください。ソフトウェアスタンバイモードから復帰した後に、必要に応じてカウント動作を再開してください。
注 5. 外部イベント入力がソフトウェアスタンバイモード中に禁止されている場合 (AGTIOSEL.TIES = 0)、MCU がソフトウェアスタンバイモードに遷移する前にカウント動作を停止します。MCU がソフトウェアスタンバイモードから復帰した後に、カウント動作を再開します。

22.3.11 割り込み要因

AGTn には、表 22.11 に示すように、3 種類の割り込み要因があります。

表 22.11 AGT 割り込み要因

名称	割り込み要因	DMAC/DTC の起動
AGTn_AGTI	• カウンタがアンダーフローしたとき • パルス幅測定モードで外部入力端子 (AGTIOn) のアクティブ幅の測定が完了したとき • パルス周期測定モードで外部入力端子 (AGTIOn) の設定エッジが入力されたとき	可能
AGTn_AGTCMAI	• AGT レジスタと AGTCMA レジスタの値が一致したとき	可能
AGTn_AGTCMBI	• AGT レジスタと AGTCMB レジスタの値が一致したとき	可能

注. チャネル番号 (n = 0, 1)

22.3.12 イベントリンクコントローラ (ELC) へのイベント信号出力

AGT は ELC（イベントリンクコントローラ）により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。AGT は、コンペアマッチ A、コンペアマッチ B、およびアンダーフロー／測定完了信号をイベント信号として出力します。詳細は、「18. イベントリンクコントローラ (ELC)」を参照してください。

22.4 使用上の注意事項

22.4.1 カウント動作の開始および停止制御

- 動作モード（表 22.1 を参照）がイベントカウントモードまたはカウントソースが AGTn アンダーフローイベント信号 (TCK[2:0] = 101b) 以外に設定されている場合
  - カウント停止中に AGTCR レジスタの TSTART ビットに 1（カウント開始）を書き込んでも、AGTCR レジスタの TCSTF フラグは、カウントソースの 3 サイクル間、0（カウント停止）のままです。TCSTF フラグが 1（カウント動作中）になるまで、TCSTF フラグ以外の AGT 関連レジスタにはアクセスしないでください。
  - カウント動作中に TSTART ビットに 0（カウント停止）を書き込んでも、カウントソースの 3 サイクル中は、TCSTF フラグは 1 のままです。TCSTF フラグが 0 になったとき、カウントが停止します。TCSTF フラグが 0 になるまで、TCSTF フラグ以外の AGT 関連レジスタにはアクセスしないでください。

- 動作モード（表 22.1 を参照）がイベントカウントモードまたはカウントソースが AGT1 アンダーフローイベント信号 (TCK[2:0] = 101b) に設定されている場合
  - カウント停止中に AGTCR レジスタの TSTART ビットに 1（カウント開始）を書き込んでも、AGTCR レジスタの TCSTF フラグは、PCLKB の 2 サイクル中は、0（カウント停止）のままです。TCSTF フラグが 1（カウント動作中）になるまで、TCSTF フラグ以外の AGT 関連レジスタにはアクセスしないでください。
  - カウント動作中に TSTART ビットに 0（カウント停止）を書き込んでも、PCLKB の 2 サイクル中は、TCSTF フラグは 1 のままです。TCSTF フラグが 0 になったとき、カウントが停止します。TCSTF フラグが 0 になるまで、TCSTF フラグ以外の AGT 関連レジスタにはアクセスしないでください。

22.4.2 カウンタレジスタへのアクセス

AGTCR レジスタの TSTART ビットおよび TCSTF フラグがともに 1（カウント動作中）のときに、AGT レジスタへ連続してライトアクセスする場合には、カウントソースクロックの 3 サイクル以上待ってください。

22.4.3 モード変更時

AGT の動作モードに関連するレジスタ（AGTMR1、AGTMR2、AGTIOC、AGTISR、および AGTCMSR）は、TSTART ビットおよび TCSTF フラグがともに 0（カウント停止）になって、カウントが停止した場合にのみ変更可能です。カウント動作中は、これらのレジスタを変更しないでください。

AGT の動作モードに関連するレジスタが変更されると、TEDGF、TUNDF、TCMAF、および TCMBF フラグの値は不定となります。カウントを開始する前に、以下のフラグに 0 を書き込んでください。

- TEDGF（アクティブエッジ未受信）
- TUNDF（アンダーフローなし）
- TCMAF（不一致）
- TCMBF（不一致）

22.4.4 出力端子の設定

AGTOn、AGTIOn、AGTOAn、または AGTOBn を出力端子として使用する場合、動作を設定し、初期出力値を決定してください。それから、PmnPFS.PMR ビットを 1 に設定してください。

パルス幅測定モードまたはパルス周期幅測定モードで AGTIOn 端子を入力端子として使用する場合には、動作を設定し、カウント動作を開始してください。それから、AGTIOn 端子から外部イベントの入力を開始してください。また、最初の測定は無効とし、2 回目以降の測定完了処理を有効としてください。

22.4.5 デジタルフィルタ

デジタルフィルタの使用時に、TIPF[1:0]ビットを設定した後、および AGTIOC レジスタの TEDGSEL ビットを変更した場合は、デジタルフィルタクロックの 5 サイクル内はタイマ動作を開始しないでください。

22.4.6 イベント番号、パルス幅およびパルス周期の計算方法

- イベントカウントモードでは、イベント番号が以下の式で求められます。
  イベント番号＝カウンタ[AGT レジスタ]の初期値－アクティブイベント終了のカウンタ値
- パルス幅測定モードでは、パルス幅が以下の式で求められます。
  パルス幅＝測定停止のカウンタ値－次の測定停止のカウンタ値
- パルス周期測定モードでは、入力パルス周期が以下の式で求められます。
  入力パルス周期＝（カウンタ[AGT レジスタ]の初期値－読み出しバッファの読み出し値）＋1

22.4.7 TSTOP ビットで強制的にカウントを停止した場合

AGTCR レジスタの TSTOP ビットでカウンタを強制的に停止した後、カウントソースの 1 サイクル間、下記のレジスタにアクセスしないでください。

- AGT
- AGTCMA
- AGTCMB
- AGTCR
- AGTMR1
- AGTMR2

22.4.8 カウントソースとして AGT0 のアンダーフローイベント信号を選択した場合

カウントソースにアンダーフローイベント信号を選択する場合、以下の手順に従って動作させてください。

(1) 動作開始手順

1. AGT を設定します。
2. AGT1 のカウント動作を開始します。
3. AGT0 のカウント動作を開始します。

(2) 動作停止手順

1. AGT0 のカウント動作を停止します。
2. AGT1 のカウント動作を停止します。
3. AGT1 のクロック供給を停止します（AGTMR1.TCK[2:0]ビットに 000b を書き込む）。

22.4.9 モジュールストップ機能

モジュールストップコントロールレジスタ D (MSTPCRD) により、AGT の動作を無効または有効にすることが可能です。リセット後の初期状態では、AGT モジュールの動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「10. 低消費電力モード」を参照してください。

22.4.10 ソースクロックの切り替え時

SCKSCR.CKSEL[2:0]ビットを変更してクロックソースを切り替えるとき、セレクタからのクロック出力は切り替えたクロック 4 サイクル分停止します。そのため、AGTIOn、AGTEEn の一方または両方の入力を外部イベント入力として使う際は、クロックソースを切り替えないでください。外部イベント入力を使いながらクロックソースを切り替えるときは、入力パルス幅を切り替え後のクロックで 4 サイクル分延長してください。

23. 超低消費電力タイマ (ULPT)

23.1 概要

この超低消費電力タイマ (ULPT) は、パルスの出力や外部イベントのカウントが可能な 32 ビットタイマです。

この 32 ビットタイマはリロードレジスタ群と一つのダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、ULPTCNT レジスタでアクセス可能です。

ULPT の仕様を表 23.1 に示します。

表 23.1 ULPT の仕様

項目		説明
動作モード	タイマモード	内部クロックをカウント
	イベントカウンタモード	外部イベントをカウント
チャネル数		32 ビット×2 チャネル (ULPTn (n = 0, 1))
カウントソース（動作クロック）(注1)		以下の信号が選択可能 ● 内部クロック：ULPTLCLK/d または ULPTSCLK/d (d = 1, 2, 4, 8, 16, 32, 64, 128) ● 外部イベント：ULPTEVIn 端子
カウント動作		以下の機能が選択可能 ● 連続モードとワンショットモードの選択 ● カウント許可モード、カウント開始モード、カウント再開モードの選択
割り込み／イベントリンク機能（出力）		● アンダーフロー信号 – カウンタがアンダーフローしたとき ● コンペアマッチ A 信号 – ULPTCNT 値が ULPTCMA に一致したとき（コンペアマッチ A 機能が有効。） ● コンペアマッチ B 信号 – ULPTCNT 値が ULPTCMB に一致したとき（コンペアマッチ B 機能が有効。）
選択可能な機能		● パルス出力機能 – カウンタのアンダーフローが発生するたびに出力を反転 ● コンペアマッチ機能 – コンペアマッチ A レジスタとコンペアマッチ B レジスタのいずれかまたは両方が選択可能 ● ULPTn_ULPTI、ULPTn_ULPTCMAI、または ULPTn_ULPTCMBI (n = 0, 1) でソフトウェアスタンバイモードからの復帰を実行可能(注2) ● ULPTn_ULPTI (n = 0, 1) でディープソフトウェアスタンバイモード 1 からの復帰を実行可能(注2)
モジュールストップ機能		各チャネルに対してモジュールストップ状態を設定して消費電力の削減が可能
TrustZone フィルタ		各チャネルに対してセキュリティ属性とプリビレッジ属性の設定が可能

注 1. 周辺モジュールクロック (PCLKB) の周波数がカウントソースクロック（AGTLCLK/d または AGTSCLK/d）の周波数の 2 倍以上であることを確認してください。
注 2. 詳細は、「10. 低消費電力モード」を参照してください。

23.2 設定

図 23.1 に ULPT のブロック図を示します。表 23.2 に ULPT の入出力端子の一覧を示します。

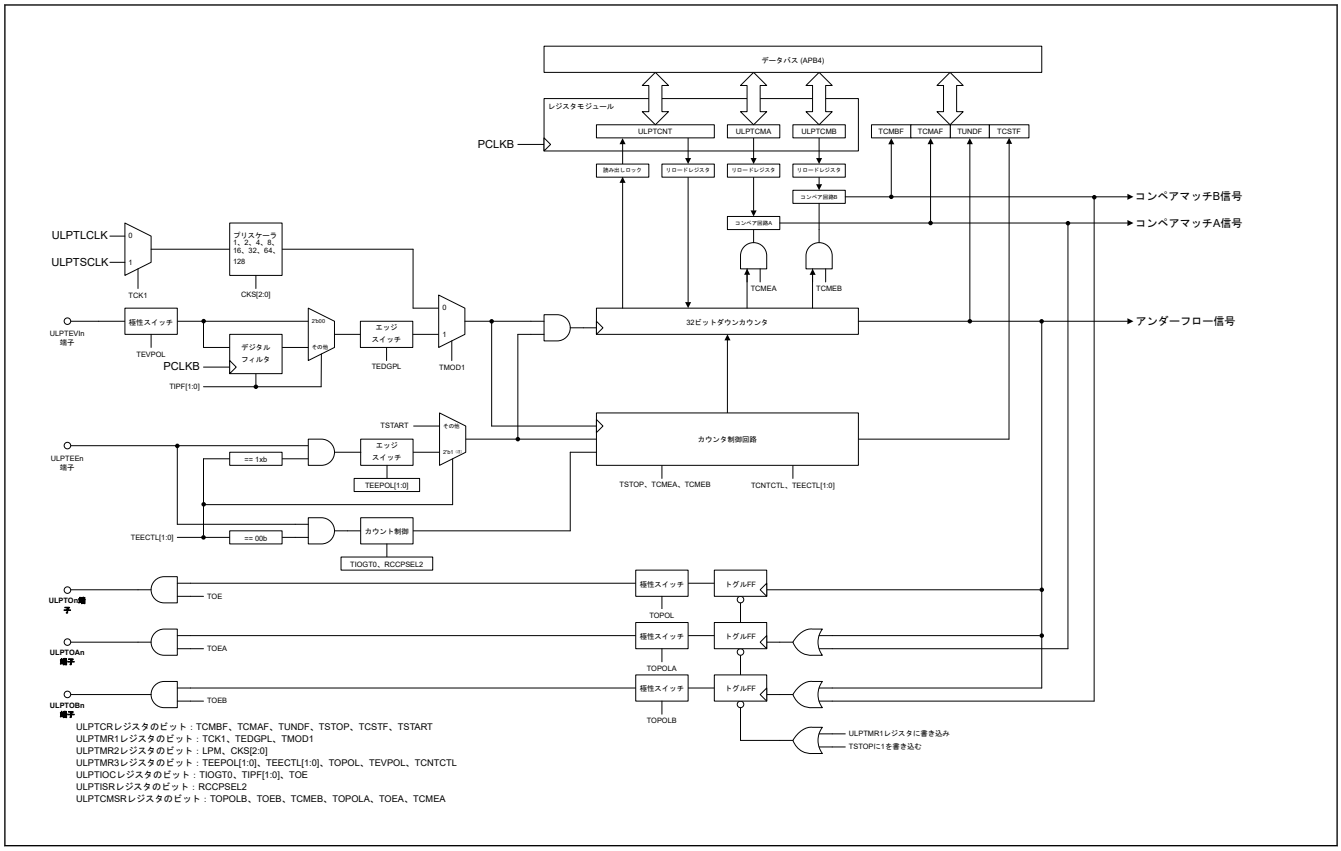


図 23.1　ULPT のブロック図

表 23.2　ULPT の入出力端子

端子名	入出力	機能
ULPTEEn(注2)	入力	外部カウント制御入力(注1)
ULPTEVIn(注2)	入力	外部イベント入力
ULPTOn(注2)	出力	パルス出力
ULPTOAn(注2)	出力	出力コンペアマッチ A 出力
ULPTOBn(注2)	出力	出力コンペアマッチ B 出力

注.　チャネル番号：n = 0、1
注 1.　ULPTEEn 端子の機能は、ULPTMR3.TEECTL[1:0]ビットで選択可能です。詳細は、「23.3.7. ULPTMR3 : ULPT モードレジスタ 3」を参照してください。
注 2.　ディープソフトウェアスタンバイモード 1 では、「-DS」と記されている端子のみ使用できます。

23.3　レジスタの説明

23.3.1　ULPTCNT : ULPT カウンタレジスタ

Base address: ULPTn = 0x4022_0000 + 0x0100 × n (n = 0, 1)
ULPTn_NS = 0x5022_0000 + 0x0100 × n (n = 0, 1)

Offset address: 0x00

Bit position:	31																													0
Bit field:	ULPTCNT																													
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	ULPTCNT	32 ビットカウンタおよびリロードレジスタ(注1)(注2) 設定範囲：0x00000000～0xFFFFFFFF	R/W

注. S-TYPE-3、P-TYPE-3
注 1. ULPTCR.TSTOP ビットに 1 を書くと、カウンタは強制停止され、0xFFFFFFFF になります。リロードレジスタは 0xFFFFFFFF になります。
注 2. ULPTCNT レジスタに 0x00000000 を設定すると、カウント動作の開始直後に ICU、DTC、ELC への要求信号が 1 回だけ発生します (ULPTCR.TSTART ビットが 1 の場合)。ただし、ULPTOn 端子のパルス出力のトグルは継続します。
ULPTOn 端子からのパルス出力は ULPTIOC.TOE ビットで許可または禁止できます。
ULPTCNT レジスタ値が 0x00000001 以上になると、カウンタがアンダーフローするたびに要求信号が発生します。

ULPTCNT は 32 ビットのレジスタです。レジスタ値はリロードレジスタに書き込まれ、カウンタから読み出されます。

カウンタとリロードレジスタの状態は、ULPTCR レジスタの TSTART/TCSTF ビットと ULPTCMSR レジスタの TCMEA/TCMEB ビットに応じて変化します。詳細は「23.4.2. カウンタとリロードレジスタの書き換え」を参照してください。

ULPTCNT レジスタは 32 ビットの読み出し／書き込みアクセスでのみ使用可能です。

23.3.2 ULPTCMA : ULPT コンペアマッチ A レジスタ

Base address: ULPTn = 0x4022_0000 + 0x0100 × n (n = 0, 1)
ULPTn_NS = 0x5022_0000 + 0x0100 × n (n = 0, 1)

Offset address: 0x04

Bit position:	31																												0
Bit field:	ULPTCMA																												
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	ULPTCMA	32 ビットのコンペアマッチ A データ(注1)(注2) 設定範囲: 0x00000000～0xFFFFFFFF	R/W

注. S-TYPE-3、P-TYPE-3
注 1. ULPTCR.TSTOP ビットに 1 を書くと、ULPTCMA レジスタに 0xFFFFFFFF が設定されます。
注 2. コンペアマッチ A を使用しない場合（ULPTCMSR.TCMEA ビット = 0)、ULPTCMA レジスタは 0xFFFFFFFF にしてください。

ULPTCMA レジスタは、カウンタとのコンペアマッチ値を設定するための、読み出し／書き込み可能なレジスタです。

コンペア回路 A とリロードレジスタの状態は、ULPTCR レジスタの TSTART ビットと TCSTF ビットに応じて変化します。詳細は「23.4.3. コンペアマッチ A/B のコンペア回路とリロードレジスタの書き換え」を参照してください。

ULPTCMA レジスタは 32 ビットの読み出し／書き込みアクセスでのみ使用可能です。

23.3.3 ULPTCMB : ULPT コンペアマッチ B レジスタ

Base address: ULPTn = 0x4022_0000 + 0x0100 × n (n = 0, 1)
ULPTn_NS = 0x5022_0000 + 0x0100 × n (n = 0, 1)

Offset address: 0x08

Bit position:	31																												0
Bit field:	ULPTCMB																												
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	ULPTCMB	32 ビットのコンペアマッチ B データ(注1)(注2) 設定範囲: 0x00000000～0xFFFFFFFF	R/W

注. S-TYPE-3、P-TYPE-3
注 1. ULPTCR.TSTOP ビットに 1 を書くと、ULPTCMB レジスタに 0xFFFFFFFF が設定されます。
注 2. コンペアマッチ B を使用しない場合（ULPTCMSR.TCMEB ビット = 0）、ULPTCMB レジスタは 0xFFFFFFFF にしてください。

ULPTCMB レジスタは、カウンタとのコンペアマッチ値を設定するための、読み出し／書き込み可能なレジスタです。

コンペア回路 B とリロードレジスタの状態は、ULPTCR レジスタの TSTART ビットと TCSTF ビットに応じて変化します。詳細は「23.4.3. コンペアマッチ A/B のコンペア回路とリロードレジスタの書き換え」を参照してください。

ULPTCMB レジスタは 32 ビットの読み出し／書き込みアクセスでのみ使用可能です。

23.3.4 ULPTCR : ULPT コントロールレジスタ

Base address: ULPTn = 0x4022_0000 + 0x0100 × n (n = 0, 1)
ULPTn_NS = 0x5022_0000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TCMBF	TCMAF	TUNDF	—	—	TSTOP	TCSTF	TSTART
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TSTART	カウンタ開始 0: カウンタを停止 1: カウンタを開始	R/W
1	TCSTF	カウンタ状態フラグ(注2) 0: カウンタ停止中 1: カウンタ動作中	R
2	TSTOP	カウンタ強制停止(注1) 0: 書き込みは無効 1: カウンタを強制停止	W
4:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	TUNDF	アンダーフローフラグ 0: アンダーフロー発生なし（カウンタ ≠ 0x00000000） 1: アンダーフロー発生あり（カウンタ = 0x00000000）	R/W(注3)
6	TCMAF	コンペアマッチ A フラグ 0: 不一致（カウンタ ≠ ULPTCMA[31:0]） 1: 一致（カウンタ = ULPTCMA[31:0]）	R/W(注3)
7	TCMBF	コンペアマッチ B フラグ 0: 不一致（カウンタ ≠ ULPTCMB[31:0]） 1: 一致（カウンタ = ULPTCMB[31:0]）	R/W(注3)

注. S-TYPE-3、P-TYPE-3
注 1. TSTOP ビットに 1（カウンタ強制停止）を書くと、TSTOP ビット、TSTART ビット、および TCSTF ビットが初期化されます。パルス出力、コンペアマッチ A 出力、およびコンペアマッチ B 出力も初期化されます。このビットを読むと 0 が読めます。
注 2. TCSTF ビットを使用する際の注意事項については、「23.5.1. カウンタ制御の開始と停止」を参照してください。
注 3. フラグをクリアするための 0 の書き込みのみ可能です。

ULPTCR レジスタはカウンタの開始と停止を制御し、ULPT の状態を表示します。

ULPTCR レジスタは 8 ビットの読み出し／書き込みアクセスでのみ使用可能です。

TSTART ビットまたは TSTOP ビットの変更時は、誤って TUNDF、TCMAF、TCMBF ビットをクリアしないように、TUNDF、TCMAF、および TCMBF ビットを 1 にすることをお勧めします。このとき、TUNDF、TCMAF、および TCMBF ビットを 1 にしても無視されます。

TSTART ビット（カウンタ開始）

いつどのようにカウンタを開始するかは ULPTMR3.TEECTL[1:0]ビットの設定で決まります。

カウンタの停止方法はどのモードでも同じです。

詳細は「23.4.1. カウント動作」を参照してください。

[カウンタの開始]

- カウント許可モード（ULPTMR3.TEECTL[1:0]ビット = 00）の場合
  TSTART ビットに 1 を書いたとき
- カウント開始モードまたはカウント再開モード（ULPTMR3.TEECTL[1:0]ビット = 10 または 11）の場合
  TSTART ビットに 1 を書いてから、ULPTEEn 端子でエッジが入力されたとき

[カウンタの停止]

- TSTART ビットに 0 を書いたとき
- TSTOP ビットに 1 を書いたとき

TCSTF ビット（カウンタ状態フラグ）

このビットの動作は ULPTMR3 レジスタの TCNTCTL ビットと TEECTL[1:0]ビットの設定に依存します。

詳細は「23.4.1. カウント動作」を参照してください。

[1 になる条件]

- タイマモード（ULPTMR1.TMOD1 = 0）および
  カウント許可モード（ULPTMR3.TEECTL[1:0]ビット = 00）の場合
  TSTART ビットに 1 を書いたとき（TCSTF ビットはカウントソースと同期して 1）
- イベントカウンタモード（ULPTMR1.TMOD1 = 1）および
  カウント許可モード（ULPTMR3.TEECTL[1:0]ビット = 00）の場合
  TSTART ビットに 1 を書いたとき（TCSTF ビットはカウントソースと同期して 1）
- カウント開始モードまたはカウント再開モード（ULPTMR3.TEECTL[1:0]ビット = 10 または 11）の場合
  TSTART ビットに 1 を書いてから、ULPTEEn 端子でエッジが入力されたとき
  （TCSTF ビットはカウントソースと同期して 1）

[0 になる条件]

- TSTART ビットに 0 を書いたとき（TCSTF ビットはカウントソースと同期して 0）
- TSTOP ビットに 1 を書いたとき
- ワンショットモード（ULPTMR3.TCNTCTL = 1）でカウンタがアンダーフローしたとき
  この条件下でのみ、TSTART ビットは 1 から変わりません。

TSTOP ビット（カウンタ強制停止）

このビットに 1 を書くと、強制的にカウンタが停止します。このビットを読むと 0 が読めます。

TUNDF ビット（アンダーフローフラグ）

[1 になる条件]

- カウンタがアンダーフローしたとき（カウンタ = 0x00000000）

[0 になる条件]

- 0 を書いたとき

TCMAF ビット（コンペアマッチ A フラグ）

[1 になる条件]

- ULPTCNT レジスタ値が ULPTCMA レジスタ値に一致するとき（カウンタ = ULPTCMA[31:0]）

[0 になる条件]

- 0 を書いたとき

TCMBF ビット（コンペアマッチ B フラグ）

[1 になる条件]

- ULPTCNT レジスタ値が ULPTCMB レジスタ値に一致するとき（カウンタ = ULPTCMB[31:0]）

[0 になる条件]

- 0 を書いたとき

23.3.5 ULPTMR1 : ULPT モードレジスタ 1

Base address: ULPTn = 0x4022_0000 + 0x0100 × n (n = 0, 1)
ULPTn_NS = 0x5022_0000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	TCK1	—	TEDGPL	—	TMOD1	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	TMOD1	動作モード(注1) 0: タイマモード 1: イベントカウンタモード	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	TEDGPL	ULPTEVIn エッジ極性 0: 片方のエッジ（立ち上がり） 1: 両エッジ このビットはイベントカウンタモード (TMOD1 = 1) でのみ有効です。	R/W
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	TCK1	カウントソース(注2) 0: ULPTMR2.CKS[2:0]ビットで指定した分周クロック (ULPTLCLK) 1: ULPTMR2.CKS[2:0]ビットで指定した分周クロック (ULPTSCLK) このビットはタイマモード (TMOD1 = 0) でのみ有効です。	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3
注. カウンタが動作中のときはこのレジスタを書き換えないでください。このレジスタは、カウンタが停止中（ULPTCR レジスタの TSTART ビットと TCSTF ビットが両方とも 0）の場合のみ書き換えてください。
注. このレジスタへの書き込みアクセスで、ULPTOn 端子、ULPTOAn 端子、および ULPTOBn 端子からの出力が初期化されます。初期化時の出力レベルの詳細は、「23.3.7. ULPTMR3 : ULPT モードレジスタ 3」と「23.3.8. ULPTIOC : ULPT I/O コントロールレジスタ」を参照してください。
注 1. タイマモード : 内部クロック（ULPTLCLK または ULPTSCLK）をカウントソースとして使用します。カウントソースの立ち上がりエッジごとにカウンタが 1 ずつデクリメントします。
イベントカウンタモード : 外部イベント入力（ULPTEVIn 端子）をカウントソースとして使用します。カウントソースのエッジごとにカウンタがデクリメントします。エッジ極性は TEDGPL ビットと ULPTMR3.TEVPOL ビットで選択できます。
詳細は「23.4.1. カウント動作」を参照してください。
注 2. TCK1 ビットは、ULPTMR2.CKS[2:0]ビットが 000 の場合のみ変更可能です。それ以外の場合は、このビットを変更しないでください。ULPTMR2.CKS[2:0]ビットを 000 にしてから、カウントソースの 1 サイクル後に TCK1 ビットを変更してください。

ULPTMR1 レジスタは ULPT の動作モードを設定します。

ULPTMR1 レジスタは 8 ビットの読み出し／書き込みアクセスでのみ使用可能です。

23.3.6 ULPTMR2 : ULPT モードレジスタ 2

Base address: ULPTn = 0x4022_0000 + 0x0100 × n (n = 0, 1)
ULPTn_NS = 0x5022_0000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LPM	—	—	—	—	CKS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CKS[2:0]	ULPTLCLK/ULPTSCLK カウントソースのクロック分周比(注1)(注2) 0 0 0: 1/1 0 0 1: 1/2 0 1 0: 1/4 0 1 1: 1/8 1 0 0: 1/16 1 0 1: 1/32 1 1 0: 1/64 1 1 1: 1/128 このビットはタイマモード (ULPTMR1.TMOD1 = 0) でのみ有効です。	R/W
6:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	LPM	低消費電力モード 0: 通常モード 1: 低消費電力モード	R/W

注. S-TYPE-3、P-TYPE-3
注. カウンタが動作中のときはこのレジスタを書き換えないでください。このレジスタは、カウンタが停止中（ULPTCR レジスタの TSTART ビットと TCSTF ビットが両方とも 0）の場合のみ書き換えてください。
注 1. CKS[2:0]ビットはタイマモード (ULPTMR1.TMOD1 = 0) でのみ変更可能です。
イベントカウンタモード (ULPTMR1.TMOD1 = 1) では CKS[2:0]ビットを 000 にしてください。
注 2. ULPTMR1.TCK1 ビットは、CKS[2:0]ビットが 000 の場合のみ変更可能です。CKS[2:0]ビットを 000 にしてから、カウントソースの 1 サイクル後に ULPTMR1.TCK1 ビットを変更してください。

ULPTMR2 レジスタは、ULPT の動作モードを設定します。

ULPTMR2 レジスタは 8 ビットの読み出し／書き込みアクセスでのみ使用可能です。

LPM ビット（低消費電力モード）

このビットは、レジスタアクセスを制限することにより低消費電力を実現します。このビットを 1 にすると、低消費電力モードで動作します。

このビットが 1 の場合、下記のレジスタへはアクセスしないでください。

- ULPTCNT、ULPTCMA、ULPTCMB、および ULPTCR

このビットを 1 から 0 に切り替えた後は、アクセス禁止レジスタへの最初のアクセスが以下のように制限されます。

- ULPTCNT：レジスタを 2 回読み出す必要があります。2 回目の読み出しデータのみが有効です。
- ULPTCNT、ULPTCMA、ULPTCMB、ULPTCR：書き込みアクセスでは、カウントソースの 2 サイクル空けてください。

23.3.7 ULPTMR3 : ULPT モードレジスタ 3

Base address: ULPTn = 0x4022_0000 + 0x0100 × n (n = 0, 1)
ULPTn_NS = 0x5022_0000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0F

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TEEPOL[1:0]		TEECTL[1:0]		—	TOPOL	TEVPOL	TCNTCTL
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TCNTCTL	カウント機能選択(注1)(注2) 0: 連続モード 1: ワンショットモード	R/W
1	TEVPOL	ULPTEVIn 極性切り替え 0: 外部イベント入力（ULPTEVIn 端子） 1: 外部イベント入力（ULPTEVIn 端子）反転 このビットはイベントカウンタモード (ULPTMR1.TMOD1 = 1) でのみ有効です。	R/W
2	TOPOL	ULPTOn 極性選択(注3) 0: Low レベルで ULPTOn 出力を開始 1: High レベルで ULPTOn 出力を開始	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	TEECTL[1:0]	ULPTEEn 機能選択(注1) 0 0: カウント許可モード 1 0: カウント開始モード 1 1: カウント再開モード 上記以外の設定は禁止されています。 カウント許可モードはイベントカウンタモード (ULPTMR1.TMOD1 = 1) でのみ有効です。	R/W
7:6	TEEPOL[1:0]	ULPTEEn エッジ極性選択 0 0: 立ち上がりエッジ 0 1: 立ち下がりエッジ 1 0: 両エッジ 上記以外の設定は禁止されています。 このビットはカウント開始モードまたはカウント再開モードでのみ有効です。（TEECTL[1:0] = 10 または 11）	R/W

注. S-TYPE-3、P-TYPE-3
注. カウンタが動作中のときはこのレジスタを書き換えないでください。このレジスタは、カウンタが停止中（ULPTCR レジスタの TSTART ビットと TCSTF ビットが両方とも 0）の場合のみ書き換えてください。
注 1. 詳細は「23.4.1. カウント動作」を参照してください。
注 2. 連続モード：カウント開始後、カウンタはカウンタが停止するまでダウンカウント（アンダーフロー時に値をリロード）を繰り返し続けます。
ワンショットモード：カウント開始後、カウンタは 1 回だけダウンカウント（アンダーフロー時に値をリロード）を実行します。
注 3. ULPTMR1 レジスタにデータを設定するか、あるいは ULPTCR.TSTOP ビットを 1 にすると、ULPTOn 出力が初期化されます。

ULPTMR3 レジスタは、ULPT の動作モードを設定します。

ULPTMR3 レジスタは 8 ビットの読み出し／書き込みアクセスでのみ使用可能です。

TEECTL[1:0]ビット（ULPTEEn 機能選択）

ULPTEEn 端子の機能はモードにより異なります。詳細は「23.4.1. カウント動作」を参照してください。

カウント許可モードでは、外部イベントは ULPTEE 端子が有効な間にカウントされます。（この期間は ULPTIOC.TIOGT0 ビットで選択でき、極性は ULPTISR.RCCPSEL2 ビットで選択できます。）

カウント開始モードでは、カウンタは ULPTEEn 端子のエッジトリガでカウントを開始します。ULPTEEn 端子の動作は ULPTCR レジスタの TSTART ビットと TCSTF ビットにより異なります。

カウント再開モードでは、カウンタは ULPTEEn 端子の最初のエッジトリガでカウントを開始し、2 番目以降のエッジトリガでカウントをリセットします。ULPTEEn 端子の動作は ULPTCR レジスタの TSTART ビットと TCSTF ビットにより異なります。

カウント開始モードまたはカウント再開モードでの ULPTEEn 端子の動作を表 23.3 に示します。

表 23.3 カウント開始モードまたはカウント再開モードでの ULPTEEn 端子の動作

TEECTL[1:0]	ULPTCR.TSTART	ULPTCR.TCSTF	ULPTEEn 端子の機能とカウンタ動作
10（カウント開始モード）	0（カウンタを停止）	—	ULPTEEn 端子でのエッジ入力は無効。カウンタは停止したままです。
	1（カウンタを開始）	0（カウンタ停止中）	カウンタは、ULPTEEn 端子のエッジ入力のリロード値からカウント開始します。
	1（カウンタを開始）	1（カウンタ動作中）	ULPTEEn 端子でのエッジ入力は無効。カウンタはカウントを継続します。
11（カウント再開モード）	0（カウンタを停止）	—	ULPTEEn 端子でのエッジ入力は無効。カウンタは停止したままです。
	1（カウンタを開始）	0（カウンタ停止中）	カウンタは、ULPTEEn 端子のエッジ入力のリロード値からカウント開始します。
	1（カウンタを開始）	1（カウンタ動作中）	カウンタは ULPTEEn 端子のエッジ入力でリセットされ、リロード値からカウントを再開します。

注. ULPTEEn 端子のエッジ極性は、TEEPOL[1:0]ビットで選択可能です。

23.3.8 ULPTIOC : ULPT I/O コントロールレジスタ

Base address: ULPTn = 0x4022_0000 + 0x0100 × n (n = 0, 1)
ULPTn_NS = 0x5022_0000 + 0x0100 × n (n = 0, 1)

Offset address: 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	TIOGT 0	TIPF[1:0]		—	TOE	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	TOE	ULPTOn 出力許可 0: ULPTOn 出力を禁止 1: ULPTOn 出力を許可	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	TIPF[1:0]	ULPTEVIn 入力フィルタ(注2) 0 0: フィルタなし 0 1: PCLKB でのフィルタサンプリング 1 0: PCLKB/8 でのフィルタサンプリング 1 1: PCLKB/32 でのフィルタサンプリング このビットはイベントカウンタモード (ULPTMR1.TMOD1 = 1) でのみ有効です。	R/W
6	TIOGT0	ULPTEVIn カウント制御 I(注1) 0: 常に外部イベントをカウント 1: ULPTEVIn 端子が有効な間に外部イベントをカウント このビットはイベントカウンタモード (ULPTMR1.TMOD1 = 1) およびカウント許可モード (ULPTMR3.TEECTL[1:0] = 00) でのみ有効です。	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3
注. カウンタが動作中のときはこのレジスタを書き換えないでください。このレジスタは、カウンタが停止中（ULPTCR レジスタの TSTART ビットと TCSTF ビットが両方とも 0）の場合のみ書き換えてください。
注 1. 外部イベントカウント用の極性は、ULPTISR.RCCPSEL2 ビットで選択できます。
注 2. ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード 1 へ遷移する前に、TIPF[1:0]ビットを 00 にしてください。

ULPTIOC レジスタは、ULPT の入出力を制御します。

ULPTIOC レジスタは 8 ビットの読み出し／書き込みアクセスでのみ使用可能です。

TIPF[1:0]ビット（ULPTEVIn 入力フィルタ）

本ビットは、ULPTEVIn 入力フィルタのサンプリング周波数を指定するのに使用されます。ULPTEVIn 端子への入力がサンプリングされます。値が 3 回連続で一致すると、その値は入力値とみなされます。

23.3.9 ULPTISR : ULPT イベント端子選択レジスタ

Base address: ULPTn = 0x4022_0000 + 0x0100 × n (n = 0, 1)
ULPTn_NS = 0x5022_0000 + 0x0100 × n (n = 0, 1)

Offset address: 0x11

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	RCCPSEL2	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	RCCPSEL2	ULPTEEn 極性選択 0: Low レベルのときに外部イベントをカウント 1: High レベルのときに外部イベントをカウント このビットはイベントカウンタモード (ULPTMR1.TMOD1 = 1)、カウント許可モード (ULPTMR3.TEECTL[1:0] = 00)、および ULPTIOC.TIOGT0 = 1 の場合のみ有効です。	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3
注. カウンタが動作中のときはこのレジスタを書き換えないでください。このレジスタは、カウンタが停止中（ULPTCR レジスタの TSTART ビットと TCSTF ビットが両方とも 0）の場合のみ書き換えてください。

ULPTISR レジスタは、ULPTEEn 端子の極性を設定します。

ULPTISR レジスタは 8 ビットの読み出し／書き込みアクセスでのみ使用可能です。

23.3.10 ULPTCMSR : ULPT コンペアマッチ機能選択レジスタ

Base address: ULPTn = 0x4022_0000 + 0x0100 × n (n = 0, 1)
ULPTn_NS = 0x5022_0000 + 0x0100 × n (n = 0, 1)

Offset address: 0x12

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	TOPOLB	TOEB	TCMEB	—	TOPOLA	TOEA	TCMEA
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TCMEA	コンペアマッチ A レジスタ有効(注1) 0: コンペアマッチ A レジスタは無効 1: コンペアマッチ A レジスタは有効	R/W
1	TOEA	ULPTOAn 出力許可 0: ULPTOAn 出力を禁止 1: ULPTOAn 出力を許可	R/W
2	TOPOLA	ULPTOAn 極性選択(注2) 0: Low レベルで ULPTOAn 出力を開始 1: High レベルで ULPTOAn 出力を開始	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TCMEB	コンペアマッチ B レジスタ有効(注1) 0: コンペアマッチ B レジスタは無効 1: コンペアマッチ B レジスタは有効	R/W

ビット	シンボル	機能	R/W
5	TOEB	ULPTOBn 出力許可 0: ULPTOBn 出力を禁止 1: ULPTOBn 出力を許可	R/W
6	TOPOLB	ULPTOBn 極性選択(注2) 0: Low レベルで ULPTOBn 出力を開始 1: High レベルで ULPTOBn 出力を開始	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3
注. カウンタが動作中のときはこのレジスタを書き換えないでください。このレジスタは、カウンタが停止中（ULPTCR レジスタの TSTART ビットと TCSTF ビットが両方とも 0）の場合のみ書き換えてください。
注 1. ULPTCR.TSTOP ビットを 1（カウンタ強制停止）にすると、TCMEA ビットと TCMEB ビットが 0 になります。
注 2. ULPTMR1 レジスタにデータを設定するか、あるいは ULPTCR.TSTOP ビットを 1 にすると、ULPTOAn および ULPTOBn 出力が初期化されます。

ULPTCMSR レジスタは、コンペアマッチ A とコンペアマッチ B の割り込み要求信号と入出力を制御します。

ULPTCMSR レジスタは 8 ビットの読み出し／書き込みアクセスでのみ使用可能です。

23.4 動作

23.4.1 カウント動作

カウントソースのエッジごとにカウンタが 1 ずつデクリメントします。カウント値が 0x00000000 に達して、カウントソースの次のエッジが入力されると、アンダーフローの割り込み要求が発生します。カウント動作は ULPTMR1 レジスタと ULPTMR3 レジスタで設定します。表 23.4 にカウント動作の一覧を示します。

表 23.4 カウント動作

セクション番号	カウント動作			カウントソース	ULPTMR1 レジスタ		ULPTMR3 レジスタ	
	モード 1	モード 2	モード 3		TMOD1	TCK1	TCNTCTL	TEECTL[1:0]
「23.4.1.1. タイマ&連続モード」	タイマ	連続	—	ULPTLCLK/ ULPTSCLK	0	0: ULPTLCLK 1: ULPTSCLK	0	00
「23.4.1.5. 共通&連続&カウント開始モード」			カウント開始					10
「23.4.1.6. 共通&連続&カウント再開モード」			カウント再開					11
「23.4.1.2. タイマ&ワンショットモード」		ワンショット	—				1	00
「23.4.1.7. 共通&ワンショット&カウント開始モード」			カウント開始					10
「23.4.1.8. 共通&ワンショット&カウント再開モード」			カウント再開					11
「23.4.1.3. イベントカウンタ&連続&カウント許可モード」	イベントカウンタ	連続	カウント許可	ULPTEVIn 端子	1	Don't care	0	00
「23.4.1.5. 共通&連続&カウント開始モード」			カウント開始					10
「23.4.1.6. 共通&連続&カウント再開モード」			カウント再開					11
「23.4.1.4. イベントカウンタ&ワンショット&カウント許可モード」		ワンショット	カウント許可				1	00
「23.4.1.7. 共通&ワンショット&カウント開始モード」			カウント開始					10
「23.4.1.8. 共通&ワンショット&カウント再開モード」			カウント再開					11

注. レジスタ設定の詳細については、「23.3.5. ULPTMR1 : ULPT モードレジスタ 1」と「23.3.7. ULPTMR3 : ULPT モードレジスタ 3」を参照してください。

[モード 1]

カウントソースとして使用するクロックは ULPTMR1 レジスタの TMOD1 ビットと TCK1 ビットで選択します。

タイマモード：内部クロック（ULPTLCLK または ULPTSCLK）をカウントソースとして使用します。

カウントソースの立ち上がりエッジごとにカウンタがデクリメントします。

イベントカウンタモード：外部イベント入力（ULPTEVIn 端子）をカウントソースとして使用します。

カウントソースのエッジごとにカウンタがデクリメントします。

エッジ極性は ULPTMR1.TEDGPL ビットと ULPTMR3.TEVPOL ビットで選択できます。

[モード 2]

カウンタ動作は ULPTMR3 レジスタの TCNTCTL ビットで選択します。

連続モード：カウント開始後、カウンタはカウンタが停止するまでダウンカウント（アンダーフロー時に値をリロード）を繰り返し続けます。

ワンショットモード：カウント開始後、カウンタは 1 回だけダウンカウント（アンダーフロー時に値をリロード）を実行します。

[モード 3]

ULPTEEn 端子の機能は ULPTMR3 レジスタの TEECTL[1:0]ビットで選択します。

カウント許可モード：外部イベントは ULPTEEn 端子が有効な間にカウントされます。

（このビットはイベントカウンタモードでのみ有効です。）

注. ULPTEEn 端子はカウントソースと同期しているので、外部イベントはカウントソースの 3 サイクル後にカウントされます。

カウント開始モード：カウンタは ULPTEEn 端子のエッジトリガでカウントを開始します。

ULPTEEn 端子のエッジ極性は、ULPTMR3.TEEPOL[1:0]ビットで選択可能です。

注. ULPTEEn 端子はカウントソースと同期して固定されているので、外部イベントはカウントソースの 4 サイクル後にカウントされます。

カウント再開モード：カウンタは ULPTEEn 端子の最初のエッジトリガでカウントを開始します。

カウンタはエッジトリガの 2 番目以降のエッジトリガでカウントをリセットします。

ULPTEEn 端子のエッジ極性は、ULPTMR3.TEEPOL[1:0]ビットで選択可能です。

注. ULPTEEn 端子はカウントソースと同期して固定されているので、外部イベントはカウントソースの 4 サイクル後にカウントされます。

23.4.1.1 タイマ&連続モード

このモードはタイマモードでのみ動作します。

カウンタはカウントソースと同期して、ダウンカウント（アンダーフロー時に値をリロード）を繰り返し続けます。

ULPTCR.TSTART ビットを 1 にすると、カウンタが開始されます（ULPTCR.TCSTF ビットは 1）。

アンダーフローが発生すると、カウンタはリロード値から再度ダウンカウントします。

ULPTCR.TSTART ビットを 0 にすると、カウンタが停止します（ULPTCR.TCSTF ビットは 0）。

図 23.2 に動作例を示します。

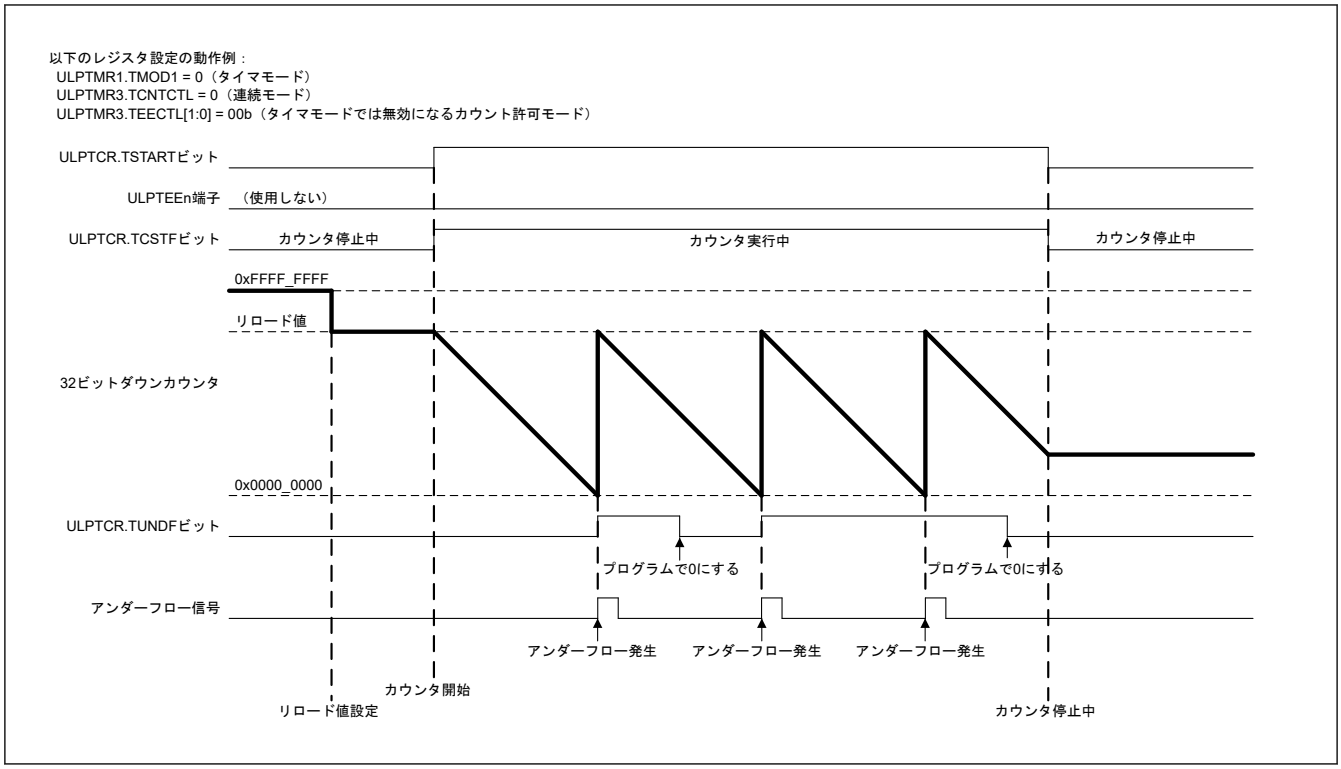


図 23.2　タイマ&連続モードでの動作例

23.4.1.2　タイマ&ワンショットモード

このモードはタイマモードでのみ動作します。

カウンタはカウントソースと同期して 1 回ダウンカウント（アンダーフロー時に値をリロード）を実行します。

ULPTCR.TSTART ビットを 1 にすると、カウンタが開始されます（ULPTCR.TCSTF ビットは 1）。

アンダーフローが発生すると、カウンタは停止します（ULPTCR.TSTART ビットは 1、かつ ULPTCR.TCSTF ビットは 0）。

カウンタ停止後にカウンタを再開する場合は、以下の手順で行います。

1. ULPTCR.TUNDF ビットを読み出して、1（アンダーフロー発生）であることを確認します。
   これは、ダウンカウントが完了していることを確認するためです。
2. ULPTCR.TSTART ビットに 0 を書き、カウンタを停止します。
3. ULPTCR.TSTART ビットに 1 を書き、カウンタを開始します。

ULPTCR.TSTART ビットを 0 にすると、カウンタが停止します（ULPTCR.TCSTF ビットが 0 の場合）。

図 23.3 に動作例を示します。

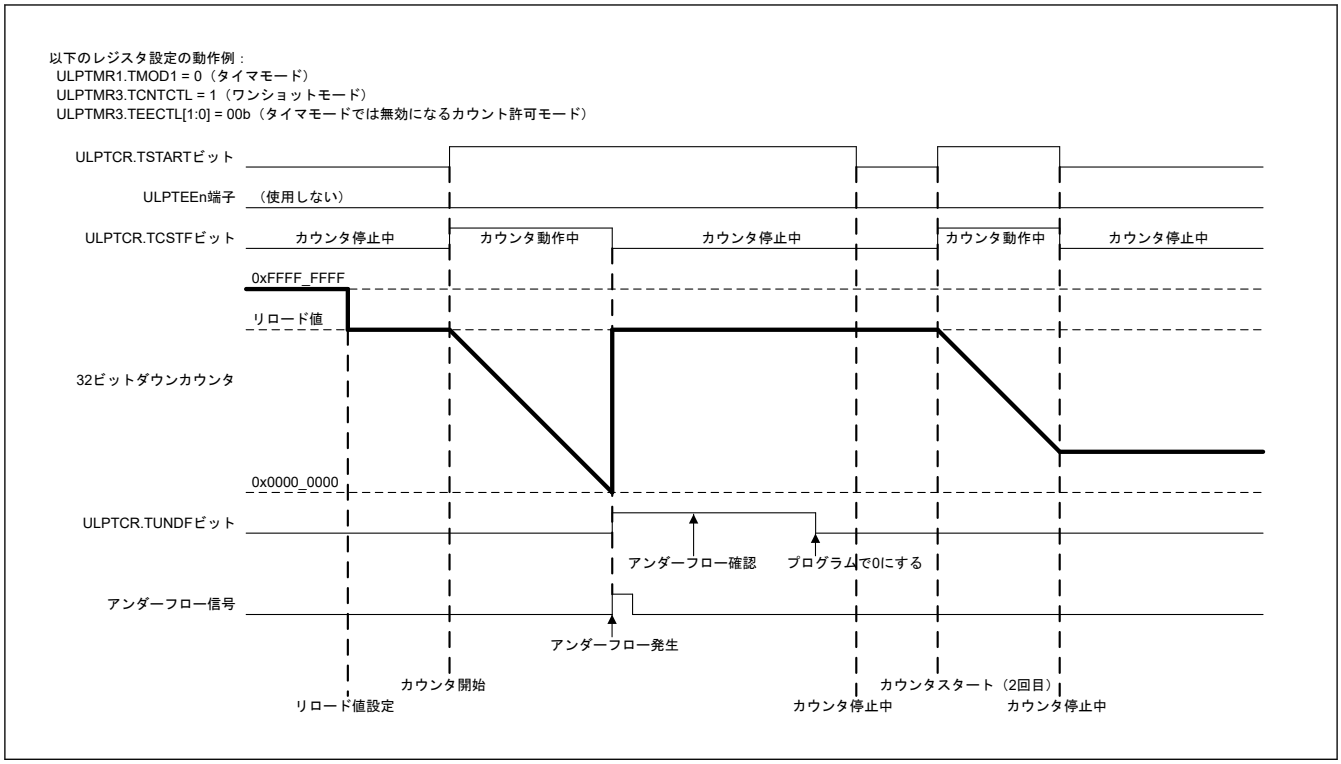


図 23.3　タイマ&ワンショットモードでの動作例

23.4.1.3　イベントカウンタ&連続&カウント許可モード

このモードはイベントカウンタモードでのみ動作します。

カウンタはカウントソースと同期して、ダウンカウント（アンダーフロー時に値をリロード）を繰り返し続けます。カウントソースをカウントする期間は ULPTIOC.TIOGT0 ビットと ULPTISR.RCCPSEL2 ビットで指定できます。

ULPTCR.TSTART ビットを 1 にすると、カウンタが開始されます（ULPTCR.TCSTF ビットは 1）。

アンダーフローが発生すると、カウンタはリロード値から再度ダウンカウントします。

ULPTCR.TSTART ビットを 0 にすると、カウンタが停止します（ULPTCR.TCSTF ビットは 0）。

ULPTIOC.TIOGT0 ビットが 0 のときの動作例を図 23.4 に、ULPTIOC.TIOGT0 ビットが 1 のときの動作例を図 23.5 と図 23.6 に示します。

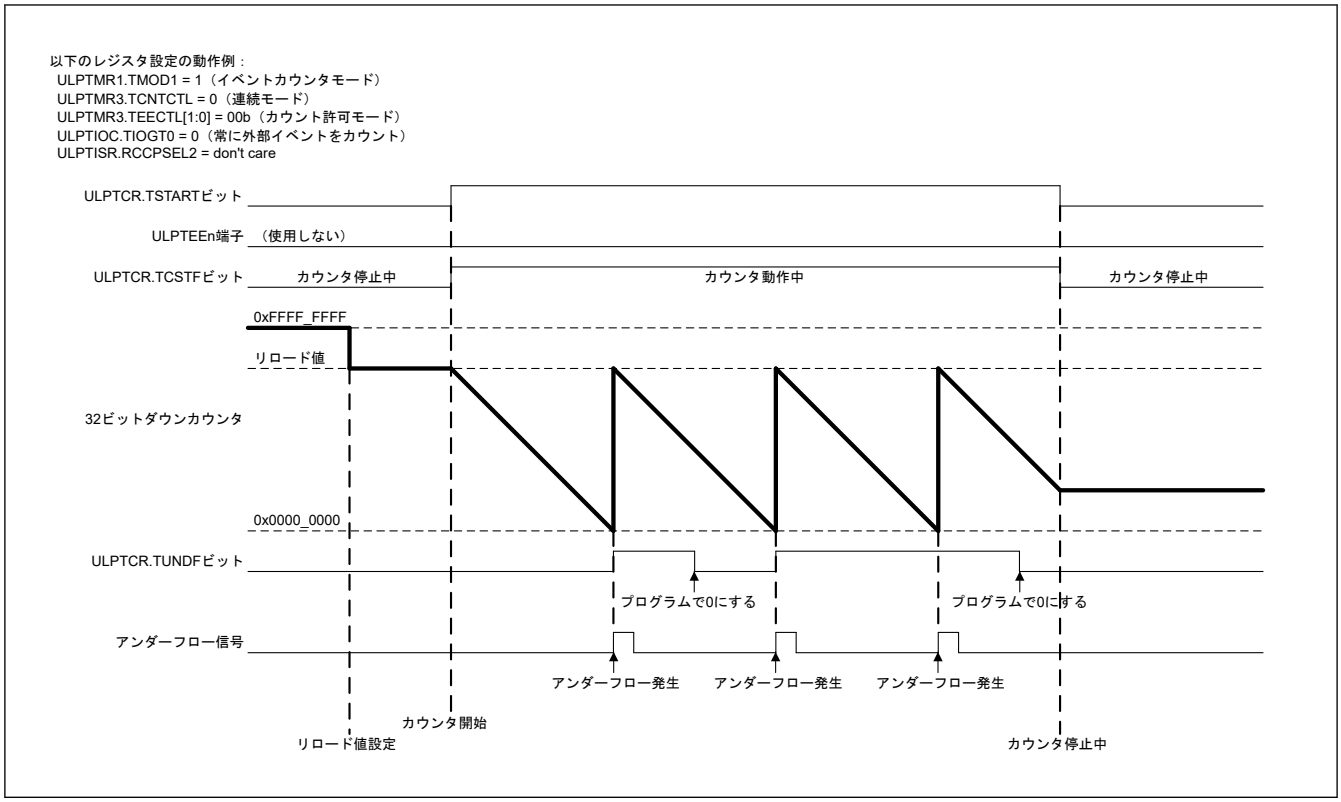


図 23.4　イベントカウンタ&連続&カウント許可モードの動作例（ULPTIOC.TIOGT0 ビットが 0 の場合）

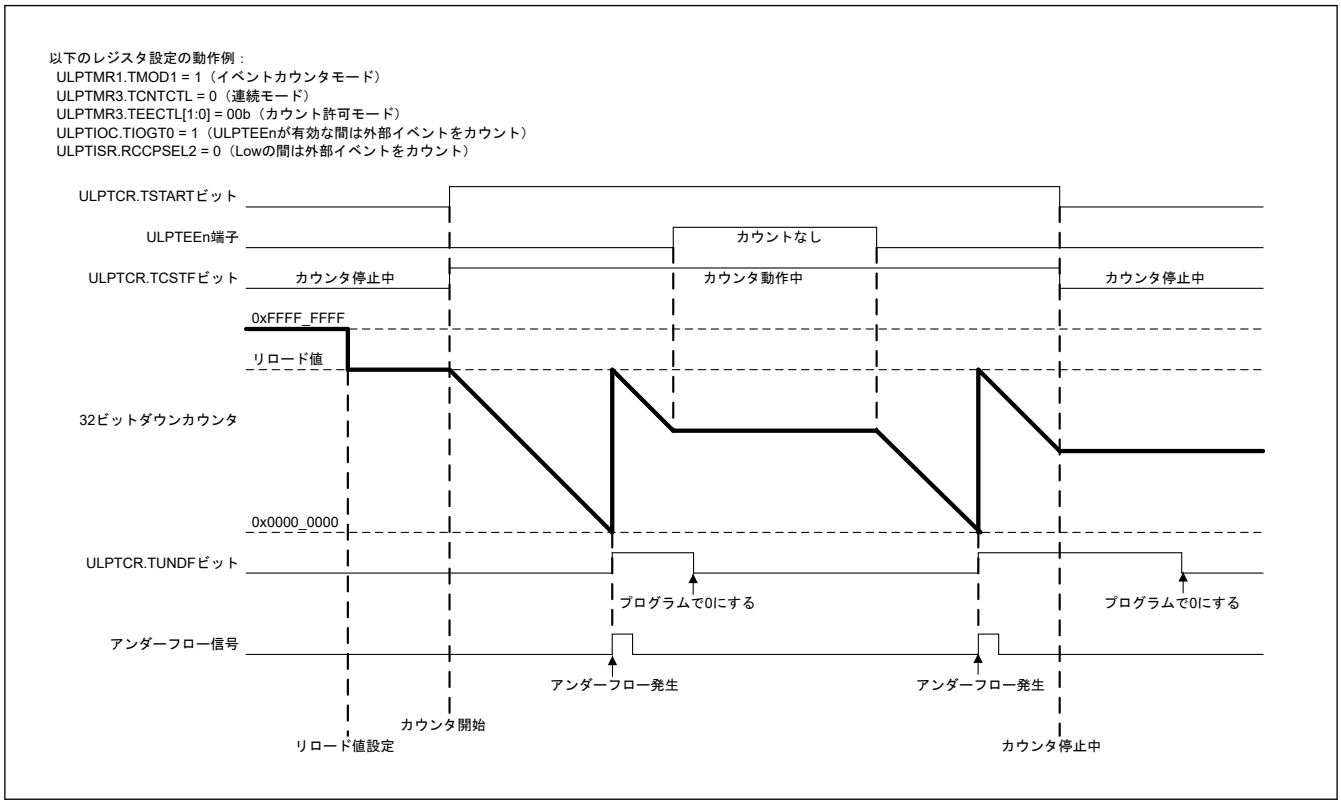
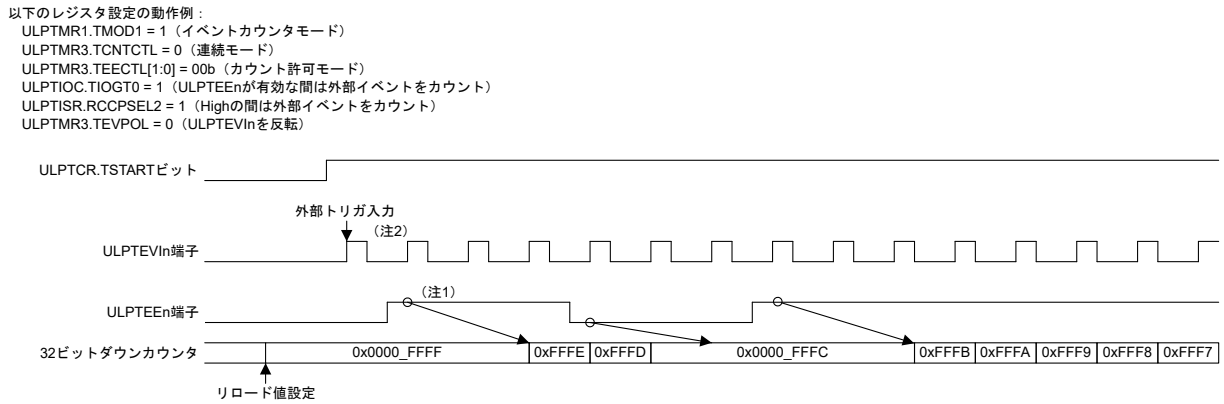


図 23.5　イベントカウンタ&連続&カウント許可モードの動作例 1（ULPTIOC.TIOGT0 ビットが 1 の場合）



注 1. 同期を制御している場合、外部イベントを実際にカウントするまでにカウントソースで 2 サイクル分の遅延があります。また、ULPTEEn 端子とサンプリングクロックの位相差によって、カウント開始のタイミングが 1 サイクル分ずれることがあります。

注 2. カウンタ停止前の状態によっては、カウンタ開始直後のカウントソースの 2 サイクル中にカウントが実行される場合があります。
カウンタ開始直後のカウントソースの 2 サイクル中のカウント動作を禁止するには、ULPTCR.TSTOP ビットを 1 にして内部回路を初期化してから、カウンタ開始前に動作設定を完了してください。

図 23.6 イベントカウンタ&連続&カウント許可モードの動作例 2（ULPTIOC.TIOGT0 ビットが 1 の場合）

23.4.1.4 イベントカウンタ&ワンショット&カウント許可モード

このモードはイベントカウンタモードでのみ動作します。

カウンタはカウントソースと同期して 1 回ダウンカウント（アンダーフロー時に値をリロード）を実行します。カウントソースをカウントする期間は ULPTIOC.TIOGT0 ビットと ULPTISR.RCCPSEL2 ビットで指定できます。

ULPTCR.TSTART ビットを 1 にすると、カウンタが開始されます（ULPTCR.TCSTF ビットは 1）。

アンダーフローが発生すると、カウンタは停止します（ULPTCR.TSTART ビットは 1、かつ ULPTCR.TCSTF ビットは 0）。

カウンタ停止後にカウンタを再開する場合は、以下の手順で行います。

1. ULPTCR.TUNDF ビットを読み出して、1（アンダーフロー発生）であることを確認します。
   これは、ダウンカウントが完了していることを確認するためです。
2. ULPTCR.TSTART ビットに 0 を書き、カウンタを停止します。
3. ULPTCR.TSTART ビットに 1 を書き、カウンタを開始します。

ULPTCR.TSTART ビットを 0 にすると、カウンタが停止します（ULPTCR.TCSTF ビットが 0 の場合）。

ULPTIOC.TIOGT0 ビットが 00 のときの動作例を図 23.7 に、ULPTIOC.TIOGT0 ビットが 01 のときの動作例を図 23.8 に示します。

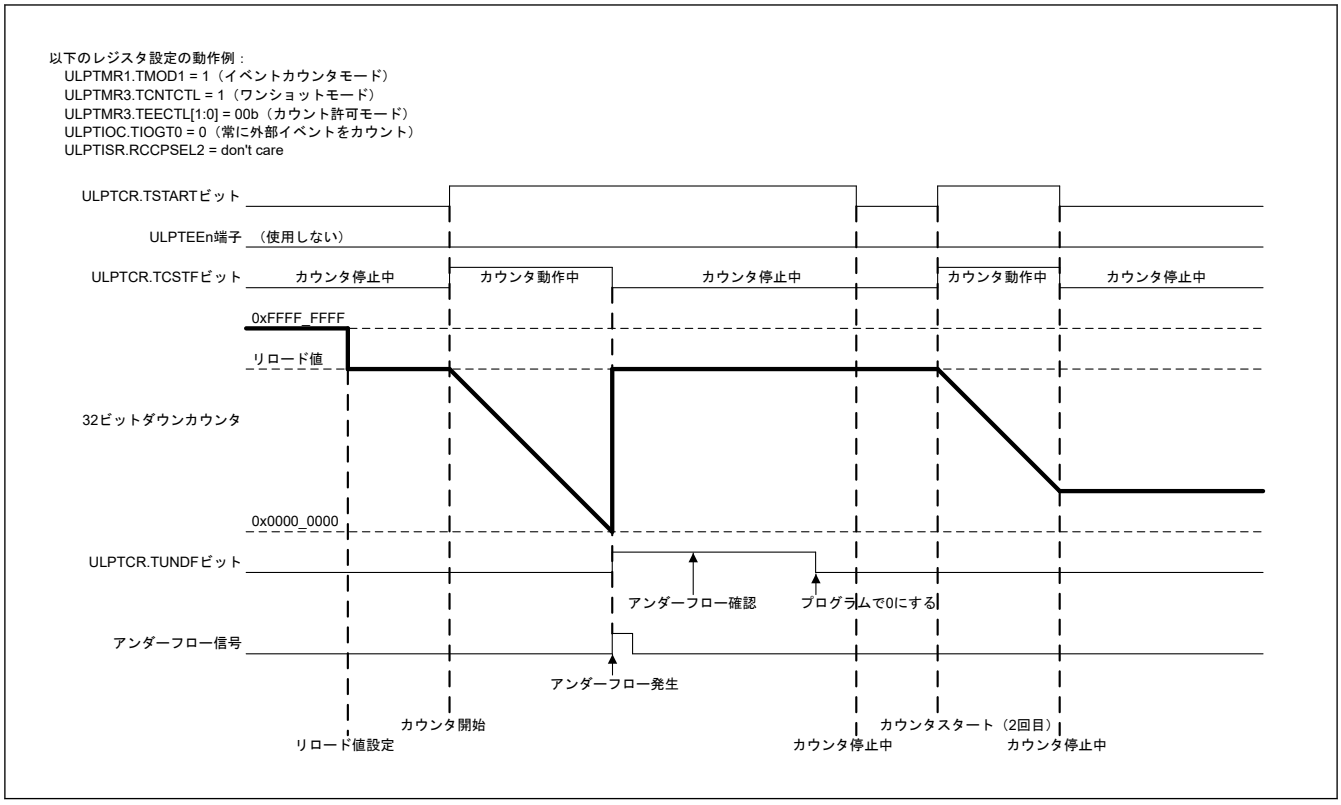


図 23.7　イベントカウンタ&ワンショット&カウント許可モードの動作例（ULPTIOC.TIOGT0 ビットが 0 の場合）

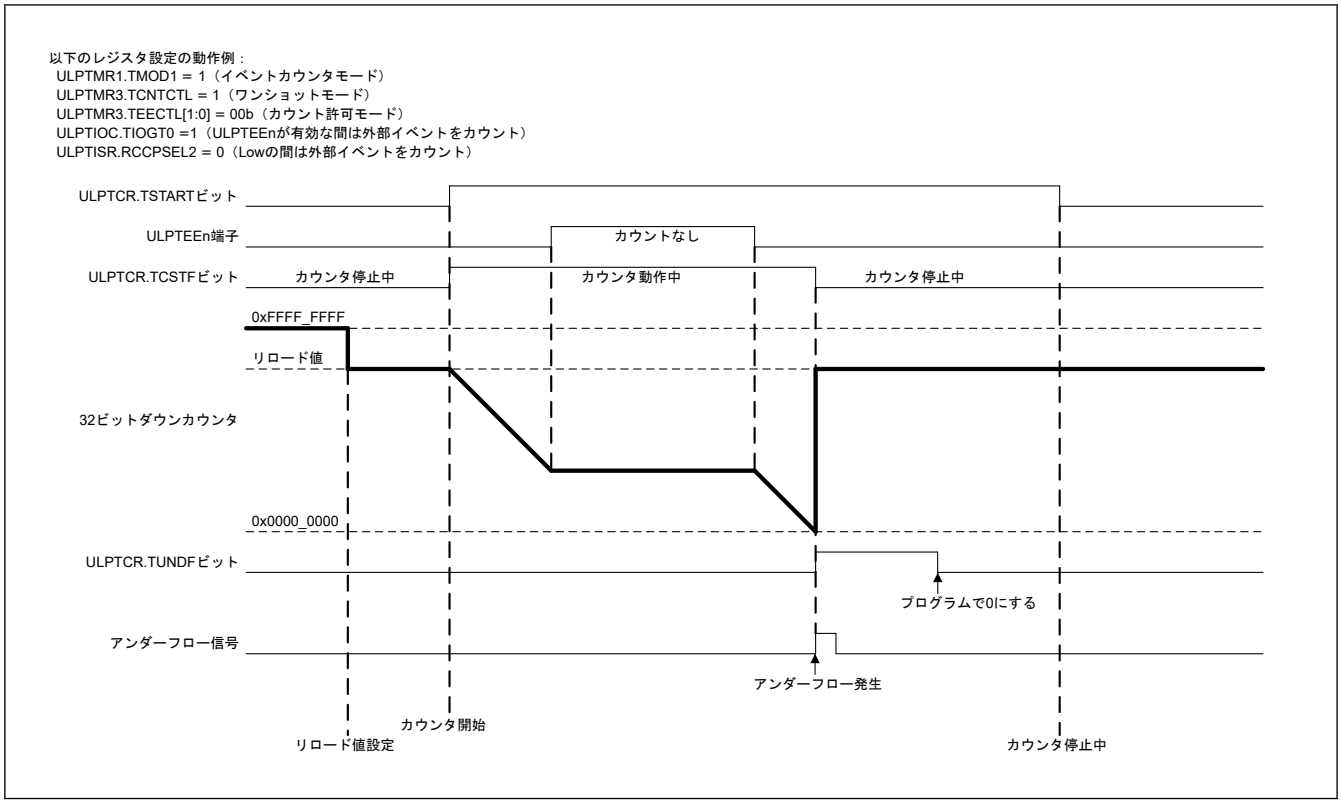


図 23.8　イベントカウンタ&ワンショット&カウント許可モードの動作例（ULPTIOC.TIOGT0 ビットが 1 の場合）

23.4.1.5　共通&連続&カウント開始モード

このモードはタイマモードとイベントカウンタモードの両方で動作します。

カウンタはカウントソースと同期して、ダウンカウント（アンダーフロー時に値をリロード）を繰り返し続けます。

ULPTCR.TSTART ビットを 1 にした後、ULPTEEn 端子のエッジトリガでカウンタが開始されます（ULPTCR.TCSTF ビットは 1）。

アンダーフローが発生すると、カウンタはリロード値から再度ダウンカウントします。

ULPTCR.TSTART ビットを 0 にすると、カウンタが停止します（ULPTCR.TCSTF ビットは 0）。

図 23.9 に動作例を示します。

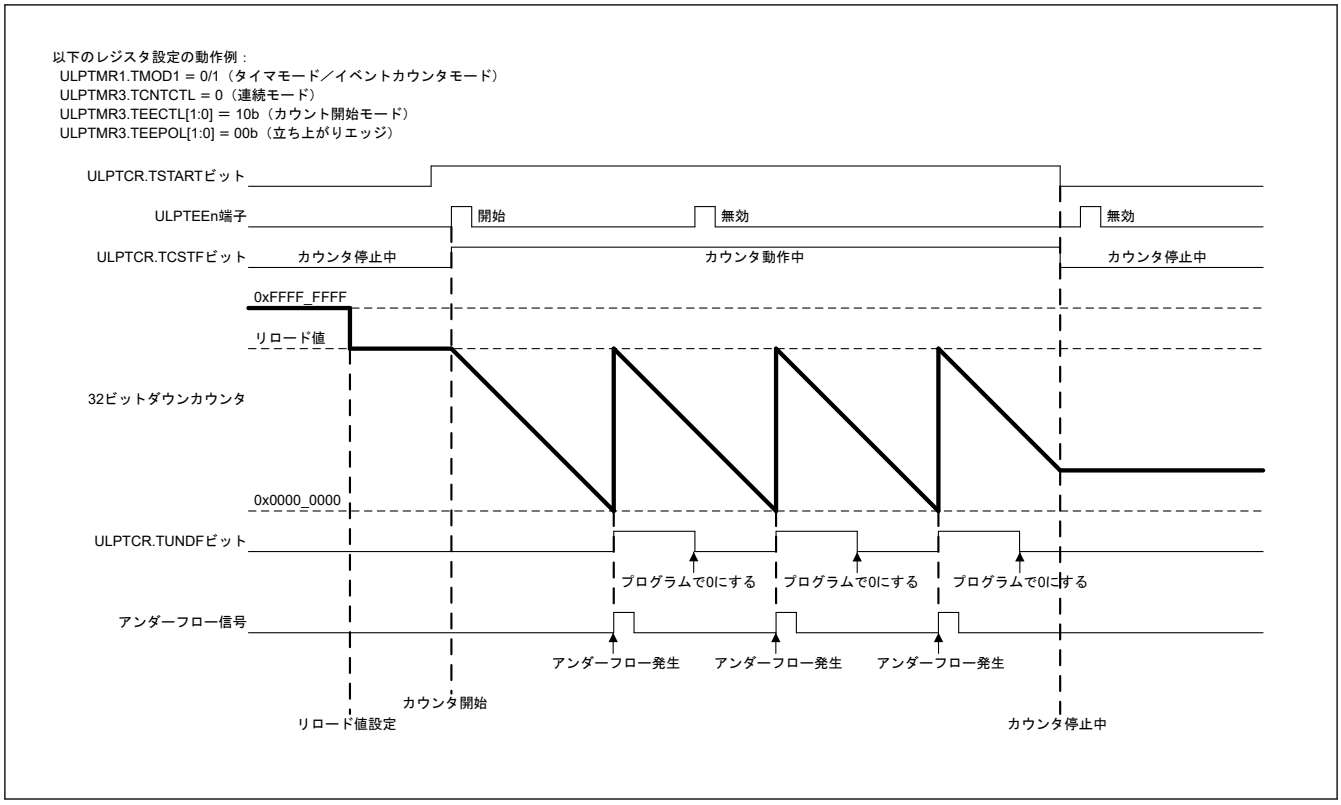


図 23.9　共通&連続&カウント開始モードでの動作例

23.4.1.6　共通&連続&カウント再開モード

このモードはタイマモードどイベントカウンタモードの両方で動作します。

カウンタはカウントソースと同期して、ダウンカウント（アンダーフロー時に値をリロード）を繰り返し続けます。

ULPTCR.TSTART ビットを 1 にした後、ULPTEEn 端子のエッジトリガでカウンタが開始されます（ULPTCR.TCSTF ビットは 1）。

カウンタが動作中（ULPTCR.TCSTF ビットが 1）の場合、カウンタは ULPTEEn 端子のエッジトリガ入力でリセットされ、リロード値からカウントを再開します。

ULPTEEn 端子からのエッジトリガ入力がなく、オーバーフローが発生すると、カウンタはリロード値からカウントを再開します。

ULPTCR.TSTART ビットを 0 にすると、カウンタが停止します（ULPTCR.TCSTF ビットは 0）。

図 23.10 に動作例を示します。

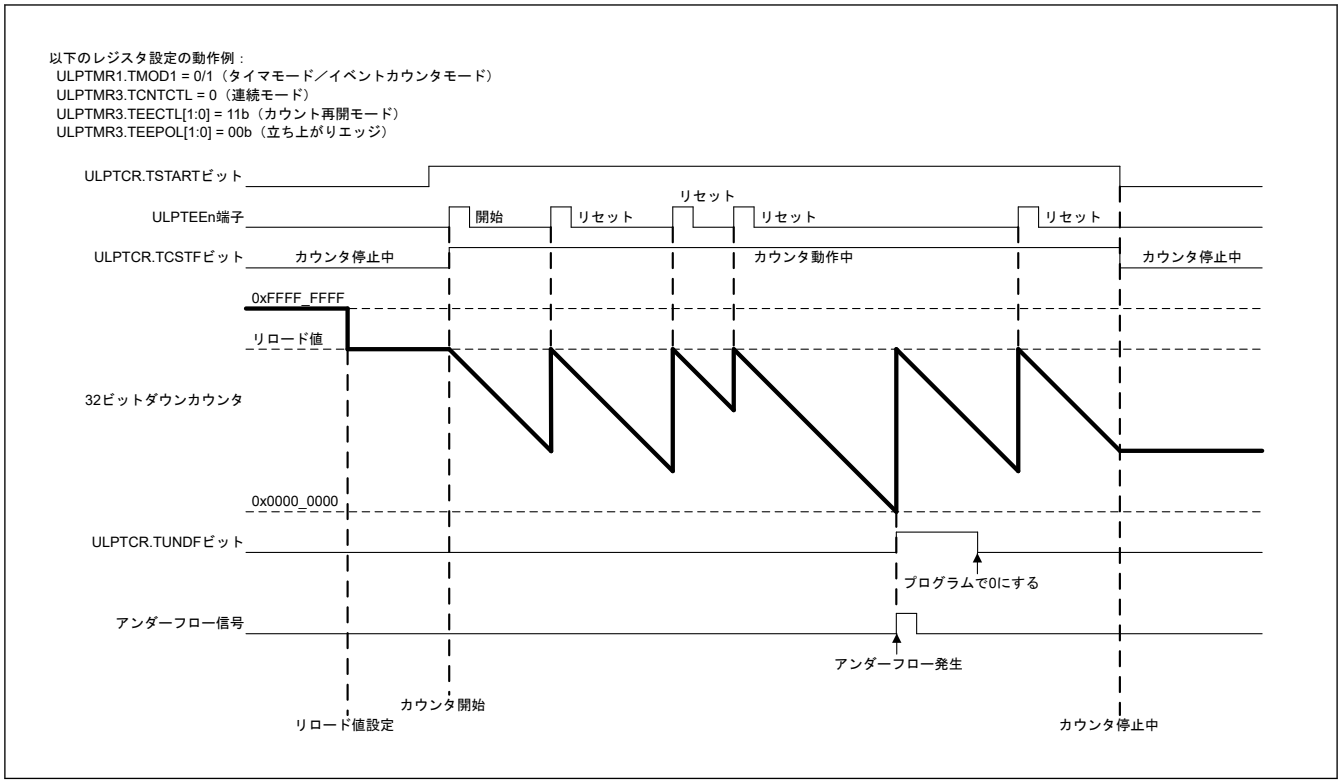


図 23.10　共通&連続&カウント再開モードの動作例

23.4.1.7　共通&ワンショット&カウント開始モード

このモードはタイマモードどイベントカウンタモードの両方で動作します。

カウンタはカウントソースと同期して 1 回ダウンカウント（アンダーフロー時に値をリロード）を実行します。

ULPTCR.TSTART ビットを 1 にした後、ULPTEEn 端子のエッジトリガでカウンタが開始されます（ULPTCR.TCSTF ビットは 1）。

アンダーフローが発生すると、カウンタは停止します（ULPTCR.TSTART ビットは 1、かつ ULPTCR.TCSTF ビットは 0）。

カウンタが動作中（ULPTCR.TSTART ビットが 1、かつ ULPTCR.TCSTF ビットが 0）の場合、ULPTEEn 端子のエッジトリガ入力で、カウンタはリロード値からダウンカウントを再開します。

ULPTCR.TSTART ビットを 0 にすると、カウンタが停止します（ULPTCR.TCSTF ビットは 0）。

図 23.11 に動作例を示します。

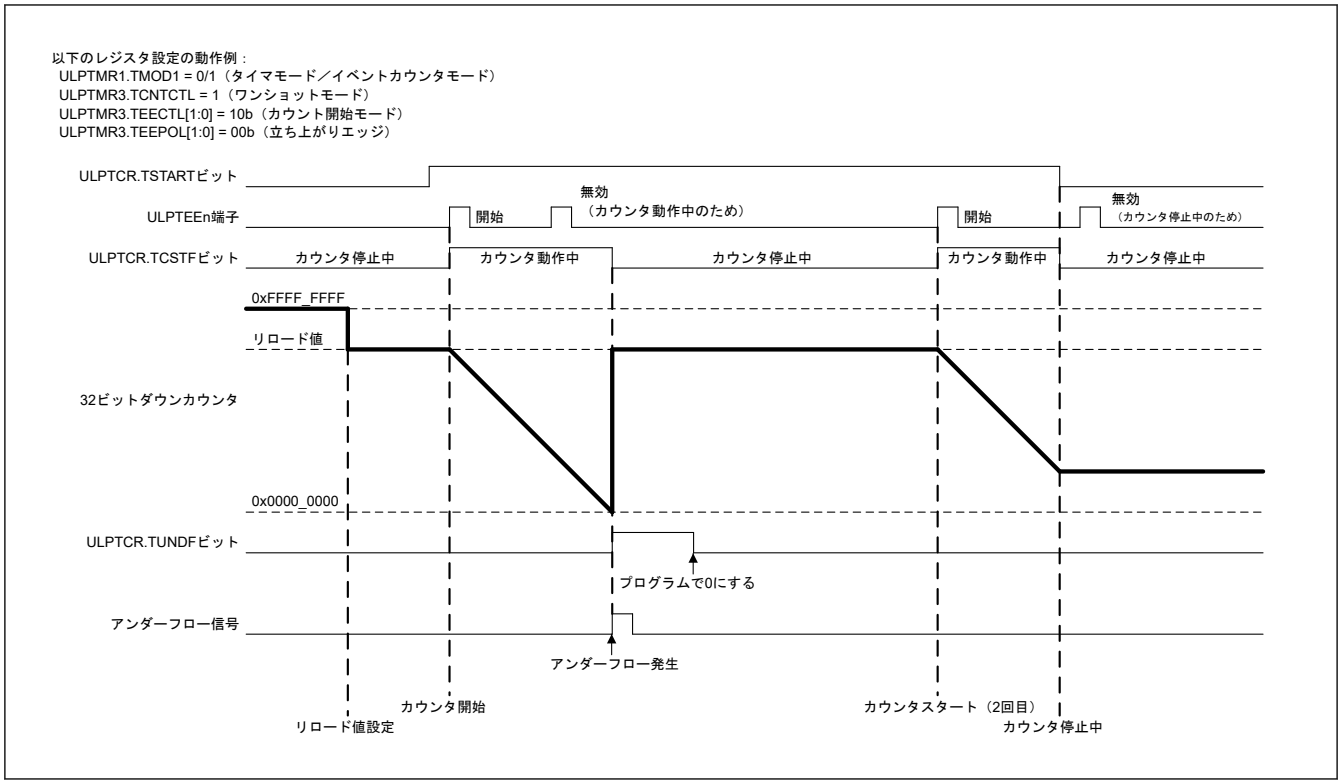


図 23.11　共通&ワンショット&カウント開始モードでの動作例

23.4.1.8　共通&ワンショット&カウント再開モード

このモードはタイマモードどイベントカウンタモードの両方で動作します。

カウンタはカウントソースと同期して 1 回ダウンカウント（アンダーフロー時に値をリロード）を実行します。

ULPTCR.TSTART ビットを 1 にした後、ULPTEEn 端子のエッジトリガでカウンタが開始されます（ULPTCR.TCSTF ビットは 1）。

カウンタが動作中（ULPTCR.TCSTF ビットが 1）の場合、カウンタは ULPTEEn 端子のエッジトリガ入力でリセットされ、リロード値からカウントを再開します。

ULPTEEn 端子でエッジトリガの入力がなく、アンダーフローが発生すると、カウンタは停止します（ULPTCR.TSTART ビットは 1、かつ ULPTCR.TCSTF ビットは 0）。

カウンタが動作中（ULPTCR.TSTART ビットが 1、かつ ULPTCR.TCSTF ビットが 0）の場合、ULPTEEn 端子のエッジトリガ入力で、カウンタはリロード値からダウンカウントを再開します。

ULPTCR.TSTART ビットを 0 にすると、カウンタが停止します（ULPTCR.TCSTF ビットは 0）。

図 23.12 に動作例を示します。

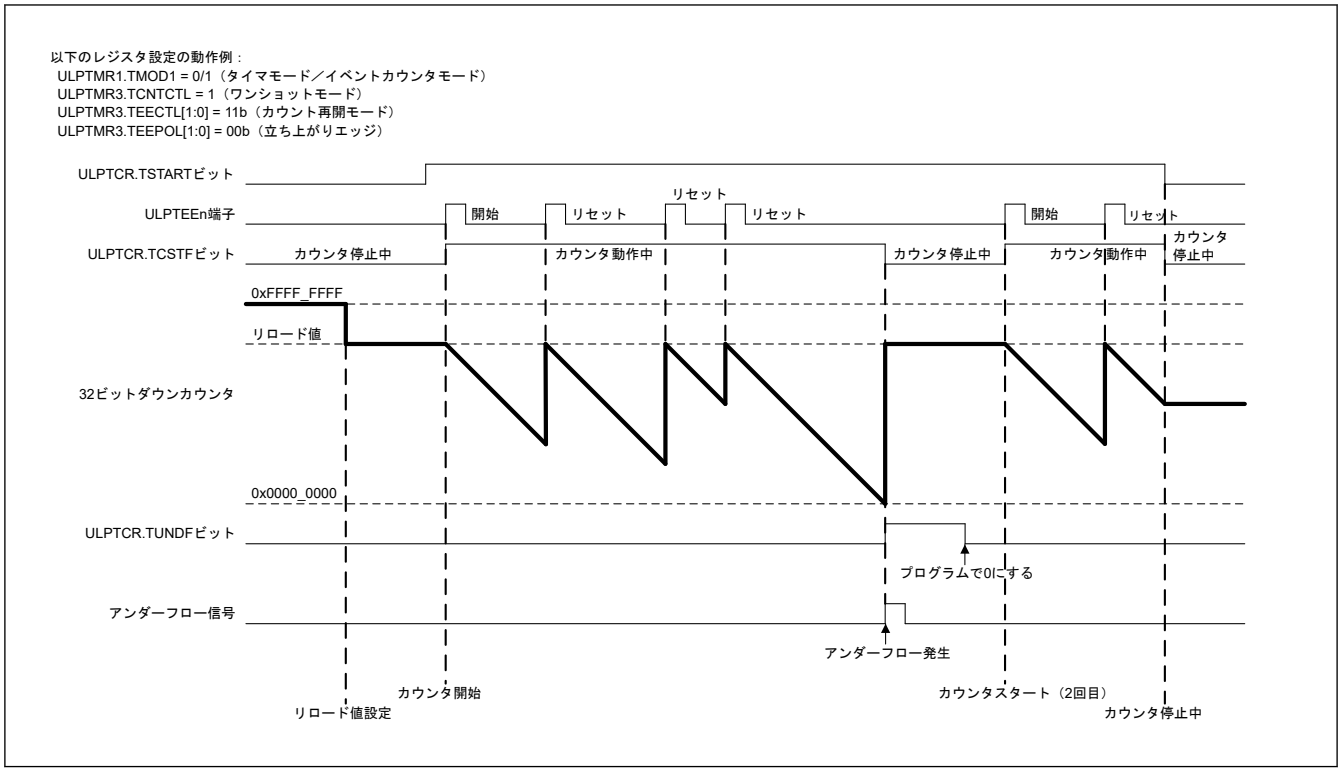


図 23.12　共通&ワンショット&カウント再開モードでの動作例

23.4.2　カウンタとリロードレジスタの書き換え

動作モードにかかわらず、カウンタとリロードレジスタの書き換えタイミングは ULPTCR レジスタの TSTART ビットと TCSTF ビット、ULPTCMSR レジスタの TCMEA ビットと TCMEB ビット、および ULPTMR3 レジスタの TEECTL[1:0]ビットによって変わります。

条件 A：カウンタが停止中（ULPTCR レジスタの TSTART ビットと TCSTF ビットが両方とも 0）の場合

リロード値はカウンタとリロードレジスタに直接書き込まれます。

条件 B：カウンタが動作中（ULPTCR.TCSTF ビットが 1）でコンペアマッチ A/B レジスタが無効（ULPTCR レジスタの TCMEA ビットと TCMEB ビットが両方とも 0）の場合

リロード値が ULPTCNT レジスタに書き込まれた後、そのリロード値はカウントソースと同期して最初にリロードレジスタに設定され、次にカウンタに設定されます。

条件 C：カウンタが動作中（ULPTCR.TCSTF ビットが 1）でコンペアマッチ A/B レジスタが有効（ULPTCR レジスタの TCMEA ビットと TCMEB ビットのいずれかが 1）の場合

リロード値が ULPTCNT レジスタに書き込まれた後、そのリロード値はカウントソースと同期してリロードレジスタに書き込まれます。次に、リロード値はアンダーフローと同期してカウンタに設定されます。

条件 D：カウンタが動作中（ULPTCR.TCSTF ビットが 1）でカウント再開モードが有効（ULPTMR3.TEECTL[1:0]ビットが 11）の場合

ULPTEEn 端子からのエッジトリガ入力後、リロードレジスタに設定したリロード値がカウントソースと同期してカウンタに設定されます。この条件では、リロードレジスタの書き換えは行いません。

図 23.13～図 23.15 にカウンタとレジスタの書き換えタイミングを示します。

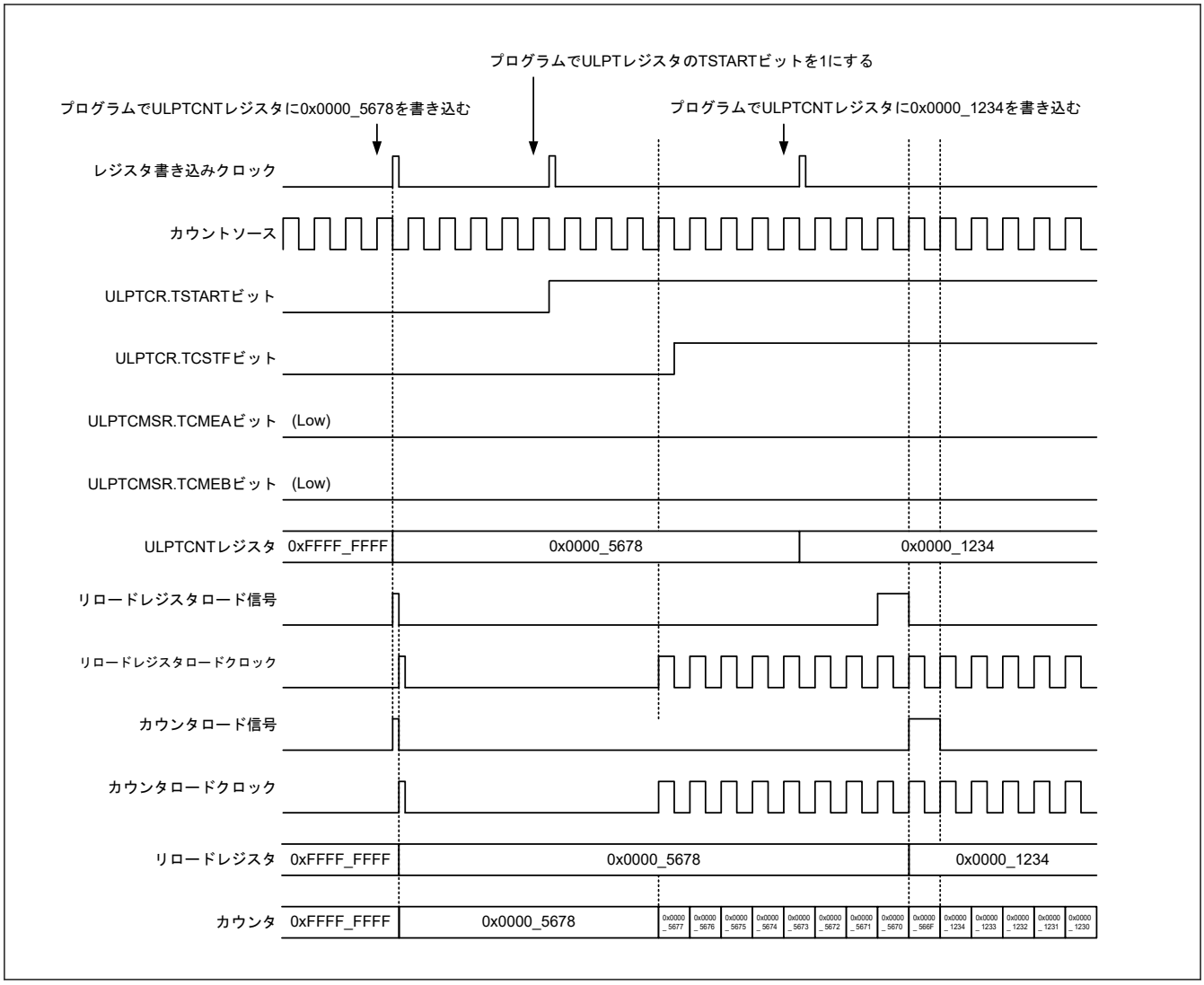


図 23.13　カウンタとリロードの書き換えタイミング（条件 A または B の場合）

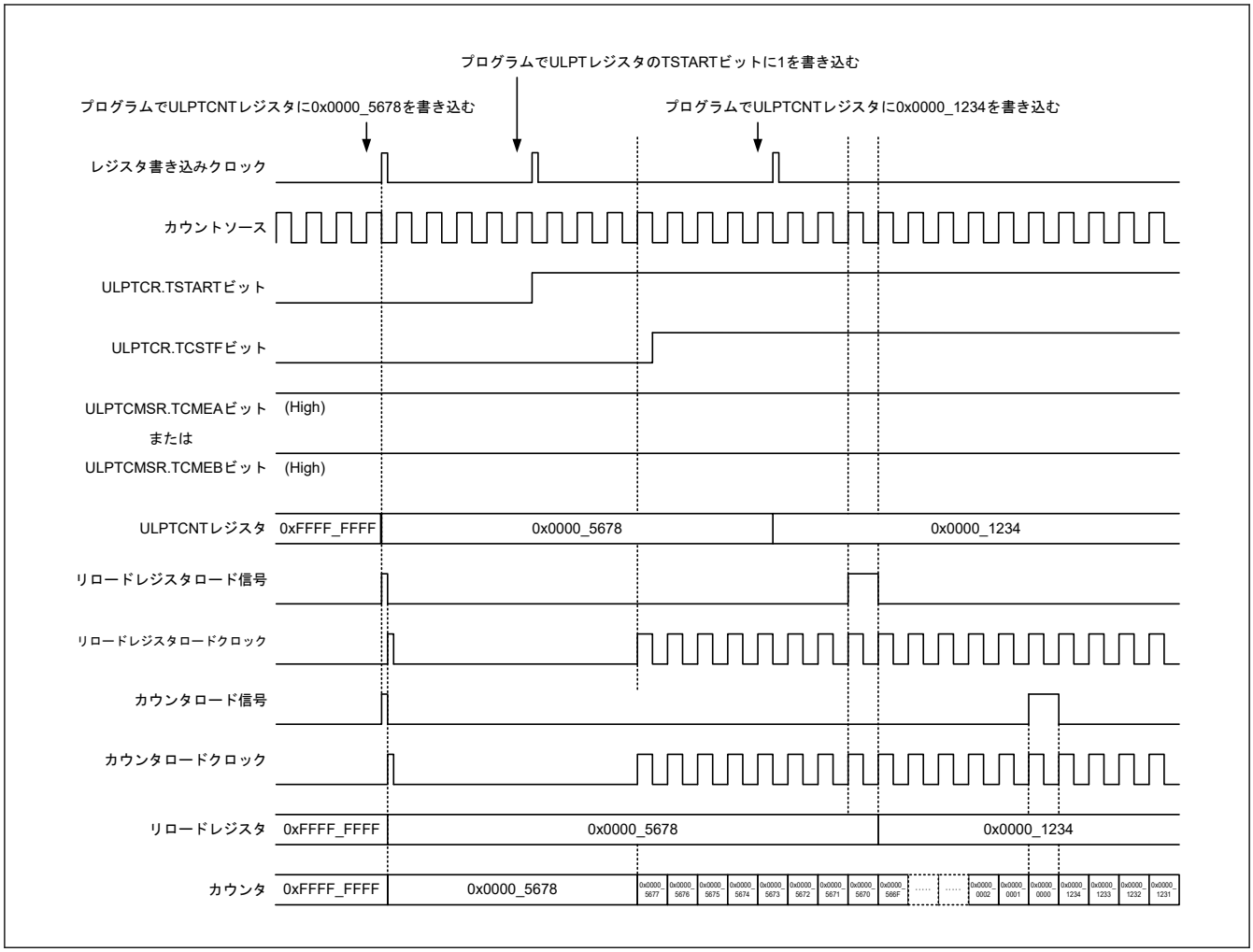


図 23.14　カウンタとリロードの書き換えタイミング（条件 A または C の場合）

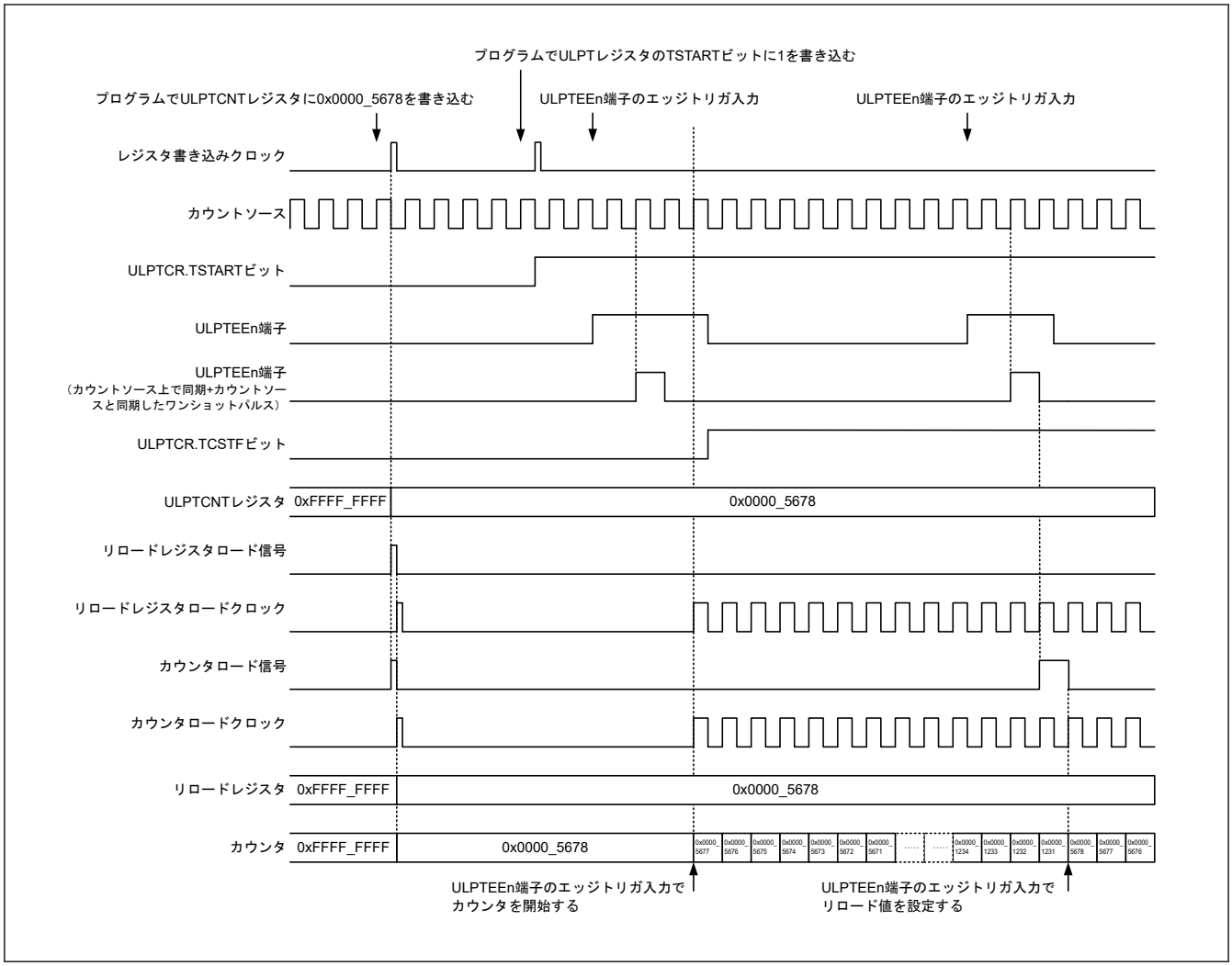


図 23.15　カウンタとリロードの書き換えタイミング（条件 D の場合）

23.4.3　コンペアマッチ A/B のコンペア回路とリロードレジスタの書き換え

動作モードにかかわらず、コンペアマッチ A/B のコンペア回路とリロードレジスタの書き換えタイミングは ULPTCR レジスタの TSTART ビットと TCSTF ビットによって変わります。

条件 A：カウンタが停止中（ULPTCR レジスタの TSTART ビットと TCSTF ビットが両方とも 0）の場合

コンペアマッチ A/B 値はコンペア回路とリロードレジスタに直接書き込まれます。

条件 B：カウンタが動作中（ULPTCR.TCSTF ビットが 1）の場合

コンペアマッチ A/B 値が ULPTCMA レジスタと ULPTCMB レジスタに書き込まれた後、そのコンペアマッチ A/B 値はカウントソースと同期してリロードレジスタに書き込まれます。次に、コンペアマッチ A/B 値はアンダーフローと同期してコンペア回路に書き込まれます。

図 23.16 にコンペアマッチ A のコンペア回路とリロードレジスタの書き換えタイミングを示します。

コンペアマッチ B のタイミングはコンペアマッチ A のタイミングと同様です。

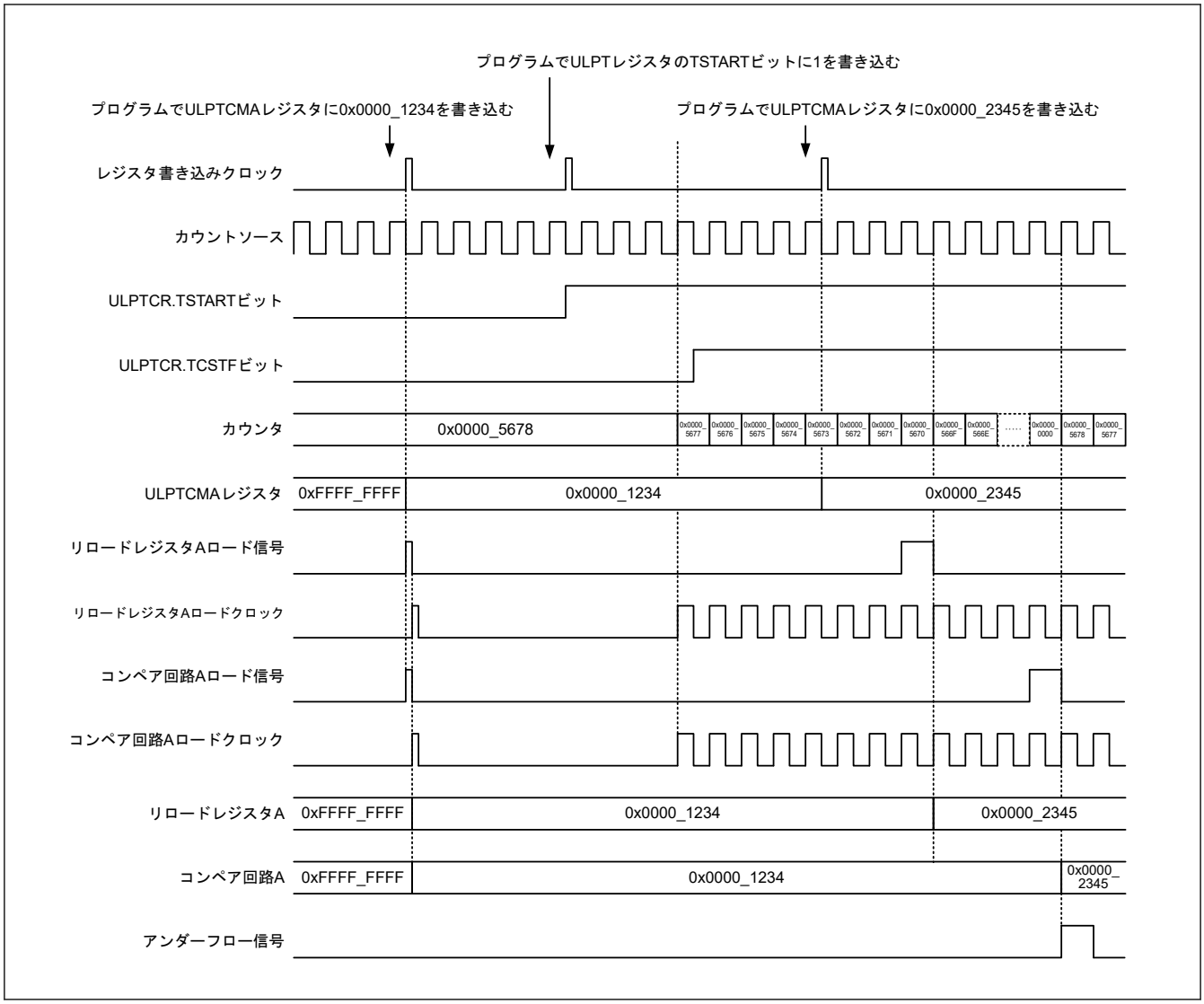


図 23.16　コンペアマッチ A のコンペア回路とリロードレジスタの書き換えタイミング

23.4.4　パルス出力

ULPTOn 端子は動作モードに関係なくパルスを出力できます。その出力レベルは、カウンタがアンダーフローするたびに反転します。ULPTOn 端子からのパルス出力は ULPTIOC.TOE ビットで停止できます。出力レベルの初期値は ULPTMR3.TOPOL ビットで選択できます。

図 23.17 にパルス出力の動作例を示します。

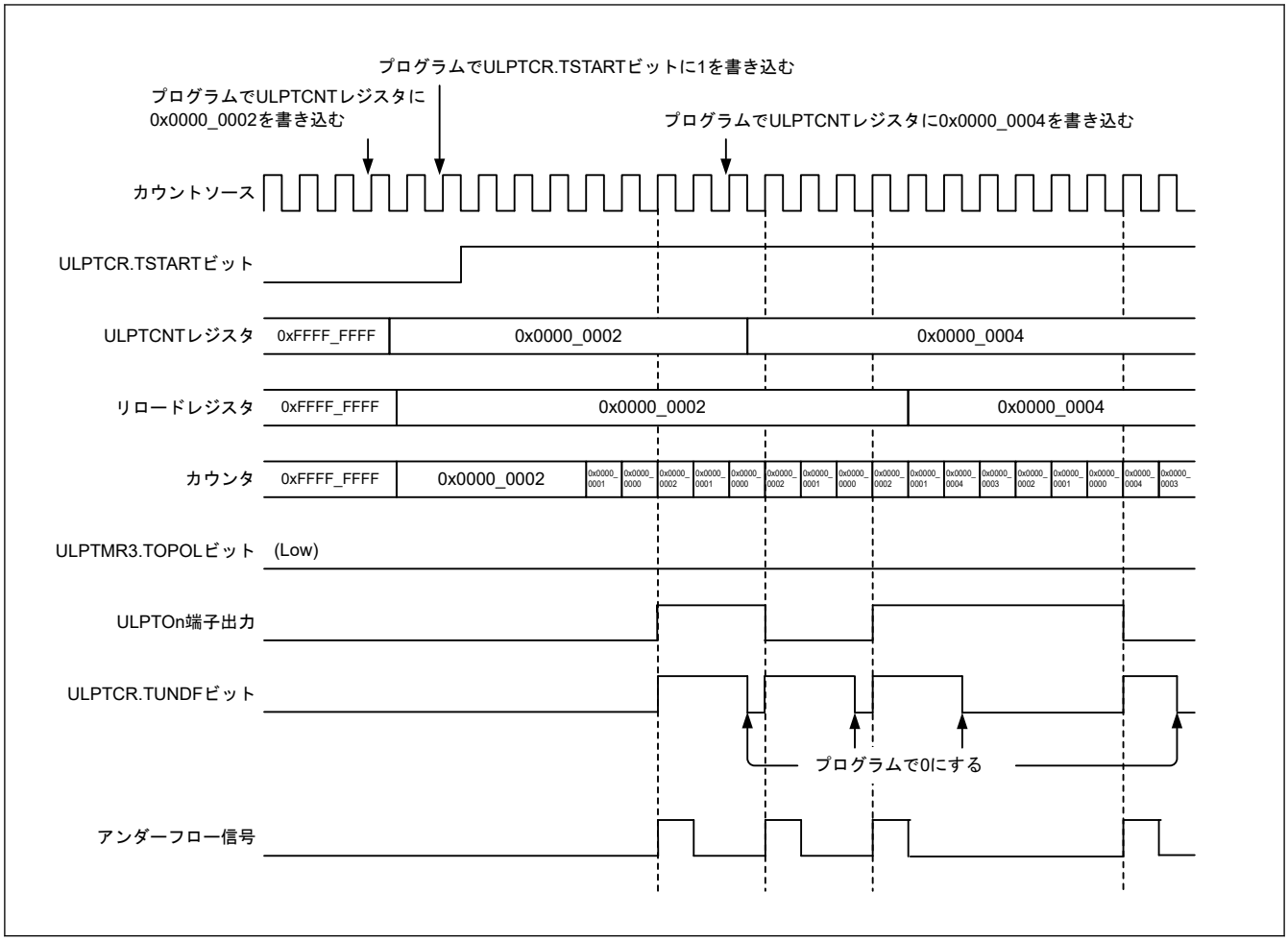


図 23.17　パルス出力の動作例

23.4.5　コンペアマッチ機能

この機能は ULPTCMA/ULPTCMB レジスタの内容と ULPTCNT レジスタの内容との一致（コンペアマッチ）を検出します。この機能は、ULPTCMSR レジスタの TCMEA または TCMEB ビットが 1（コンペアマッチ A/B レジスタが有効）の場合に有効となります。

カウンタは ULPTMR1 レジスタの TMOD1/TCK1 ビットで選択したカウントソースと同期してデクリメントします。ULPTCNT レジスタ値が ULPTCMA または ULPTCMB レジスタ値と一致した場合、ULPTCR レジスタの TCMAF または TCMBF ビットが 1 になり、割り込み要求が発生します。

カウンタとリロードレジスタの書き換えタイミングはコンペアマッチ機能が有効かどうかによって異なります。詳細は「23.4.2. カウンタとリロードレジスタの書き換え」を参照してください。

ULPTOAn/ULPTOBn 端子の出力レベルは一致またはアンダーフロー時に反転します。出力レベルは、ULPTCMSR レジスタの ULPTOAn/ULPTOBn ビットで選択できます。

コンペアマッチ機能の動作例を図 23.18 に示します。

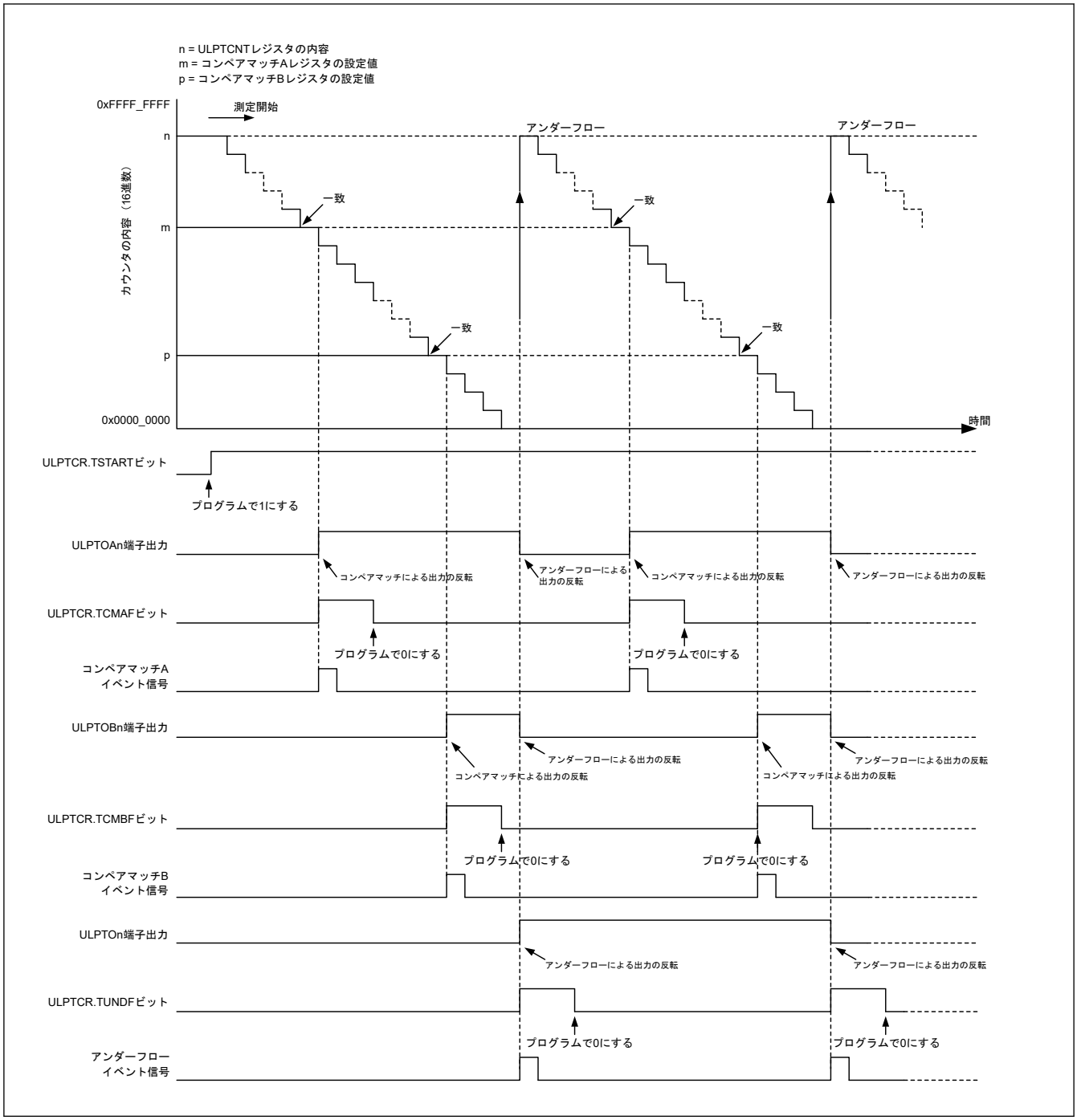


図 23.18　コンペアマッチ機能の動作例（ULPTCMSR レジスタの TOPOLA ビットと TOPOLB ビットが両方とも 0 の場合）

23.4.6　各モードの入出力設定

表 23.5～表 23.9 に各モードでの入力端子（ULPTEEn および ULPTEVIn）および出力端子（ULPTOn、ULPTOAn、および ULPTOBn）の状態を示します。

表 23.5 ULPTEEn 端子の設定

動作モード		ULPTMR1 レジスタ TMOD1 ビット	ULPTMR3 レジスタ TEECTL[1:0]ビット	ULPTEEn 端子入力
タイマモード	-	0	00	入力禁止
	カウント開始		10	通常入力
	カウント再開		11	
イベントカウンタモード	カウント許可	1	00	
	カウント開始		10	
	カウント再開		11	

表 23.6 ULPTEVIn 端子の設定

動作モード	ULPTMR1 レジスタ TMOD1 ビット	ULPTMR3 レジスタ TEVPOL ビット	ULPTEVIn 端子入力
タイマモード	0	0 または 1	入力禁止
イベントカウンタモード	1	0	通常入力
		1	反転入力

表 23.7 ULPTOn 端子の設定

動作モード	ULPTIOC レジスタ TOE ビット	ULPTMR3 レジスタ TOPOL ビット	ULPTOn 端子出力
全モード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止

表 23.8 ULPTOAn 端子の設定

動作モード	ULPTCMSR レジスタ		
	TOEA ビット	TOPOLA ビット	ULPTOAn 端子出力
全モード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止

表 23.9 ULPTOBn 端子の設定

動作モード	ULPTCMSR レジスタ		
	TOEB ビット	TOPOLB ビット	ULPTOBn 端子出力
全モード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止

23.4.7 スタンバイモード

ULPT はソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード 1 で動作可能です。カウント動作開始 (ULPTCR.TSTART = 1, ULPTCR.TCSTF = 1) の状態で ULPT を各スタンバイモードに設定してください。

表 23.10 にソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード 1 で使用可能な設定の一覧を示します。

表 23.10 ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード 1 で使用可能な設定

セクション番号	カウント動作			カウントソース	CPU 復帰要因
	モード 1	モード 2	モード 3		
「23.4.1.1. タイマ&連続モード」	タイマ	連続	—	ULPTLCLK、ULPTSCLK	• アンダーフロー • コンペアマッチ A/B
「23.4.1.5. 共通&連続&カウント開始モード」			カウント開始		
「23.4.1.6. 共通&連続&カウント再開モード」			カウント再開		
「23.4.1.2. タイマ&ワンショットモード」		ワンショット	—		
「23.4.1.7. 共通&ワンショット&カウント開始モード」			カウント開始		
「23.4.1.8. 共通&ワンショット&カウント再開モード」			カウント再開		
「23.4.1.3. イベントカウンタ&連続&カウント許可モード」	イベントカウンタ	連続	カウント許可	ULPTEVIn 端子 (注1)	• アンダーフロー • コンペアマッチ A/B
「23.4.1.5. 共通&連続&カウント開始モード」			カウント開始		
「23.4.1.6. 共通&連続&カウント再開モード」			カウント再開		
「23.4.1.4. イベントカウンタ&ワンショット&カウント許可モード」		ワンショット	カウント許可		
「23.4.1.7. 共通&ワンショット&カウント開始モード」			カウント開始		
「23.4.1.8. 共通&ワンショット&カウント再開モード」			カウント再開		

注. ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード 1 の場合でも、ULPT は全モードで動作可能です。カウント動作とレジスタ設定の詳細については、「23.4.1. カウント動作」を参照してください。
注 1. ディープソフトウェアスタンバイモード 1 では、ULPTEVIn 端子のみ使用できます。

イベントカウンタモード (ULPTMR1.TMOD1 = 1) の場合のみ、スタンバイモードへ遷移する前に ULPTIOC.TIPF[1:0]ビットを 00（フィルタなし）にしてください。

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモード 1 では、デジタルフィルタクロック (PCLKB) は停止します（デジタルフィルタは機能しません）。

各スタンバイモードの設定直前は、ULPTCNT レジスタ、ULPTCMA レジスタ、ULPTCMB レジスタの書き換えは禁止です。

カウンタの実行中に ULPTCNT レジスタ、ULPTCMA レジスタ、および ULPTCMB レジスタを書き換えた場合、カウントソースの 4 サイクル以上後に各スタンバイモードを設定してください。

23.4.8 割り込み要因

ULPT の割り込み要因には、次の 3 種類があります。ULPTI、ULPTCMAI、および ULPTCMBI

表 23.11 に、割り込み要因の一覧を示します。

表 23.11 ULPT 割り込み要因

名称	割り込み要因	DMAC/DTC の起動
ULPTn_ULPTI	カウンタがアンダーフローしたとき	可能
ULPTn_ULPTCMAI	ULPTCNT 値が ULPTCMA に一致したとき	可能
ULPTn_ULPTCMBI	ULPTCNT 値が ULPTCMB に一致したとき	可能

23.4.9 ELC へのイベント出力

ULPT は割り込み要求信号をイベント信号として使用して、指定したモジュールに対してイベントリンクコントローラ (ELC) によるリンク動作を行うことができます。

ULPT はコンペアマッチ A、コンペアマッチ B、またはアンダーフローの発生時にイベント信号を出力します。詳細は、「18. イベントリンクコントローラ (ELC)」を参照してください。

23.5 使用上の注意事項

23.5.1 カウンタ制御の開始と停止

条件 A：タイマモード（ULPTMR1.TMOD1 = 0）、連続モード（ULPTMR3.TCNTCTL = 0）、およびカウント許可モード（ULPTMR3.TEECTL[1:0] = 00）の場合

カウンタが停止中（ULPTCR レジスタの TCSTF ビットが 0）の場合、ULPTCR レジスタの TSTART ビットを 1（カウンタを開始）にしても、TCSTF ビットはカウントソースの 5 サイクルの間、0（カウンタ停止中）のままです。

TCSTF ビットが 1（カウンタ動作中）になるまで、TCSTF ビット以外の ULPT 関連レジスタ(注1)にはアクセスしないでください。

カウンタが動作中（TCSTF ビットが 1）の場合、TSTART ビットを 0（カウンタを停止）にしても、TCSTF ビットはカウントソースの 5 サイクルの間、1（カウンタ動作中）のままです。

TCSTF ビットが 0（カウンタ停止中）になるまで、TCSTF ビット以外の ULPT 関連レジスタ(注1)にアクセスしないでください。

TSTART ビットを 0 から 1 に変更する前に、割り込みレジスタをクリアしてください。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

注 1. ULPT 関連レジスタ：ULPTCNT、ULPTCMA、ULPTCMB、ULPTCR、ULPTMR1、ULPTMR2、ULPTMR3、ULPTIOC、ULPTISR、および ULPTCMSR

条件 B：イベントカウンタモード（ULPTMR1.TMOD1 = 1）、連続モード（ULPTMR3.TCNTCTL = 0）、およびカウント許可モード（ULPTMR3.TEECTL[1:0] = 00）の場合

カウンタが停止中（ULPTCR レジスタの TCSTF ビットが 0）の場合、ULPTCR レジスタの TSTART ビットを 1（カウンタを開始）にしても、TCSTF ビットはカウントソースの 2 サイクルの間、0（カウンタ停止中）のままです。

TCSTF ビットが 1（カウンタ動作中）になるまで、TCSTF ビット以外の ULPT 関連レジスタ(注1)にはアクセスしないでください。

カウンタが動作中（TCSTF ビットが 1）の場合、TSTART ビットを 0（カウンタを停止）にしても、TCSTF ビットはカウントソースの 2 サイクルの間、1（カウンタ動作中）のままです。

TCSTF ビットが 0（カウンタ停止中）になるまで、TCSTF ビット以外の ULPT 関連レジスタ(注1)にアクセスしないでください。

TSTART ビットを 0 から 1 に変更する前に、割り込みレジスタをクリアしてください。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

注 1. ULPT 関連レジスタ：ULPTCNT、ULPTCMA、ULPTCMB、ULPTCR、ULPTMR1、ULPTMR2、ULPTMR3、ULPTIOC、ULPTISR、および ULPTCMSR

条件 C：カウント開始モードまたはカウント再開モード（ULPTMR3.TEECTL[1:0]ビット = 10 または 11）の場合

カウンタが停止中（ULPTCR レジスタの TCSTF ビットが 0）の場合、ULPTCR レジスタの TSTART ビットを 1 にしてから ULPTEEn 端子のエッジトリガでカウンタを開始しても、TCSTF ビットはカウントソースの 5 サイクルの間、0（カウンタ停止中）のままです。

TCSTF ビットが 1（カウンタ動作中）になるまで、TCSTF ビット以外の ULPT 関連レジスタ(注1)にはアクセスしないでください。

カウンタが動作中（TCSTF ビットが 1）の場合、TSTART ビットを 0（カウンタを停止）にしても、TCSTF ビットはカウントソースの 5 サイクルの間、1（カウンタ動作中）のままです。

TCSTF ビットが 0（カウンタ停止中）になるまで、TCSTF ビット以外の ULPT 関連レジスタ(注1)にアクセスしないでください。

TSTART ビットを 0 から 1 に変更する前に、割り込みレジスタをクリアしてください。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

注 1. ULPT 関連レジスタ：ULPTCNT、ULPTCMA、ULPTCMB、ULPTCR、ULPTMR1、ULPTMR2、ULPTMR3、ULPTIOC、ULPTISR、および ULPTCMSR

23.5.2 フラグへのアクセス（ULPTCR レジスタの TUNDF ビット、TCMAF ビット、および TCMBF ビット）

TSTART ビットまたは TSTOP ビットの変更時は、誤って TUNDF、TCMAF、TCMBF ビットをクリアしないように、TUNDF、TCMAF、および TCMBF ビットを 1 にすることをお勧めします。このとき、TUNDF、TCMAF、および TCMBF ビットを 1 にしても無視されます。

23.5.3 ULPTCNT レジスタ、ULPTCMA レジスタ、ULPTCMB レジスタへのアクセス

カウンタが動作中（ULPTCR.TCSTF ビットが 1）の時に同じレジスタに連続して設定を行う場合、書き込み間はカウントソースで 3 サイクル以上あけてください。以下のレジスタが対象です。

- ULPTCNT
- ULPTCMA
- ULPTCMB

23.5.4 モード変更

ULPT の動作モードに関連するレジスタ（ULPTMR1、ULPTMR2、ULPTMR3、ULPTIOC、ULPTISR、および ULPTCMSR）はカウンタ停止中（ULPTCR レジスタの TSTART ビットと TCSTF ビットが両方とも 0）の場合のみ変更できます。カウンタが動作中のときはこれらのレジスタを変更しないでください。

ULPT の動作モードに関連するレジスタを変更すると、ULPTCR レジスタの TUNDF ビット、TCMAF ビット、および TCMBF ビットの値は不定となります。カウンタ開始前に、TUNDF ビット、TCMAF ビット、および TCMBF ビットに 0 を書き込んでください。

- TUNDF（アンダーフローなし）
- TCMAF（コンペアマッチ A 不一致）
- TCMBF（コンペアマッチ B 不一致）

23.5.5 ULPTOn 端子、ULPTOAn 端子、および ULPTOBn 端子の設定

ULPTOn 端子、ULPTOAn 端子、ULPTOBn 端子を出力端子として使用するには、ULPT をセットアップしてから、初期出力値の決定後に PmnPFS.PMR ビットを 1 に設定します。

23.5.6 イベント数の計算

イベントカウンタモードでは、イベント数は下記の式を用いて計算されます。

イベント数 = カウンタ初期値（ULPTCNT レジスタの書き込み値） - 有効イベント後のカウンタ値

23.5.7 TSTOP ビットでカウンタを強制停止した場合

ULPTCR.TSTOP ビットでカウンタを強制停止してからカウントソースの 1 サイクルの間は、ULPTCNT、ULPTCMA、ULPTCMB、ULPTCR、ULPTMR1、ULPTMR2、または ULPTMR3 レジスタにアクセスしないでください。

23.5.8 デジタルフィルタ

デジタルフィルタを使用する場合は、ULPTIOC.TIPF[1:0]ビットを設定後、デジタルフィルタクロックの 5 サイクル内はタイマを開始しないでください。

また、デジタルフィルタの使用中に ULPTMR3.TEVPOL ビットを変更した場合は、ビットを設定後、デジタルフィルタクロックの 5 サイクル内はタイマを開始しないでください。

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモード 1 では、デジタルフィルタクロック (PCLKB) は停止し、デジタルフィルタは機能しません。ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード 1 へ遷移する前に、ULPTIOC.TIPF[1:0]ビットを 00（フィルタなし）にしてください。

23.5.9 ディープソフトウェアスタンバイモード 1 中のイベントカウントに関する制限

ディープソフトウェアスタンバイモード 1 中に外部イベントを継続してカウントする場合、ディープソフトウェアスタンバイモード 1 へ遷移する間に、ULPTEEn-DS 端子と ULPTEVIn-DS 端子を Low に保持する必要があります。

外部イベントを生成するデバイスに対して、汎用入出力ポートを使用してディープソフトウェアスタンバイモード 1 への遷移を通知する必要があります。

手順の例を以下に示します。(フローの例)

(a) MCU における手順

1. 初期設定において、外部デバイスへの通知用のポートを汎用出力ポートに設定し、Low を出力してください。
2. ディープソフトウェアスタンバイモード 1 に遷移する前に、上記ポートの PODR ビットを 1 に設定してください。
3. PODR ビットを読み出し、1 に設定されていることを確認してください。
4. 10 µs 経過した後、WFI 命令を実行してください。

(b) 外部デバイスにおける手順

1. 上記ポートが High になったとき、ULPTEEn-DS 端子と ULPTEVIn-DS 端子を 10 µs 以内に Low に保持してください。その時間が 10 µs を超過した場合、上記 4 の時間に超過時間を加えてください。その時間が 10 µs より短い場合、減った分の時間を差し引いてください。
2. 1 ms 以上経過した後、イベント出力を再開してください。

23.5.10 モジュールストップ機能

モジュールストップコントロールレジスタ E (MSTPCRE) により、ULPT の動作を無効または有効に設定することができます。リセット後の初期状態で、ULPT モジュールは停止しています。モジュールストップ状態を解除すると、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

23.5.11 ULPTEEn 端子と ULPTEVIn 端子の設定

ULPTEEn 端子と ULPTEVIn 端子を入力端子として使用するには、ULPT をセットアップしてから、PmnPFS.PMR ビットを 1 に設定します。

24. リアルタイムクロック (RTC)

24.1 概要

リアルタイムクロック (RTC) には、カレンダーカウントモードとバイナリカウントモードの 2 つのカウントモードがあります。それらのモードはレジスタ設定を切り替えて使用します。カレンダーカウントモードは、2000 年から 2099 年の 100 年間のカレンダーを保持し、うるう年の日付を自動補正します。バイナリカウントモードでは、秒をカウントし、その情報をシリアル値として保持します。バイナリカウントモードは、西暦以外のカレンダーに使用可能です。

時計カウンタのカウントソースとしてサブクロック発振器または LOCO を選択できます。RTC は、カウントソースをプリスケーラで分周して得られた 128 Hz クロックを使用します年、月、日、曜日、午前／午後（12 時間モード時）、時、分、秒、または 32 ビットバイナリを 1/128 秒単位でカウントします。

表 24.1 に RTC の仕様を、図 24.1 に RTC のブロック図を、表 24.2 に RTC の入出力端子を示します。

表 24.1 RTC の仕様

項目	内容
カウントモード	カレンダーカウントモード／バイナリカウントモード
カウントソース(注1)	サブクロック (XCIN)、外部クロック入力 (EXCIN)、または LOCO
時計／カレンダ機能	• カレンダーカウントモード – 年、月、日、曜日、時、分、秒をカウント、BCD 表示 – 12 時間／24 時間モード切り替え機能 – 30 秒調整機能（30 秒未満は 00 秒に切り捨て、30 秒以降は 1 分に桁上げ） – うるう年の自動補正機能 • バイナリカウントモード – 秒を 32 ビットでカウント、バイナリ表示 • 両モード共通 – スタート／ストップ機能 – 秒以下の桁のバイナリ表示（1 Hz、2 Hz、4 Hz、8 Hz、16 Hz、32 Hz、または 64 Hz） – クロック誤差補正機能 – クロック (1 Hz/64 Hz) 出力
割り込み	• アラーム割り込み (RTC_ALM) – アラーム割り込み条件として、比較対象を下記から選択可能 • カレンダーカウントモード：年、月、日、曜日、時、分、秒 • バイナリカウントモード：32 ビットバイナリカウンタの各ビット • 周期割り込み (RTC_PRD) – 割り込み周期として、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒から選択可能 • 桁上げ割り込み (RTC_CUP) – 次のいずれかの条件で割り込み発生 • 64 Hz カウンタから秒カウンタへ桁上げが生じたとき • 64 Hz カウンタの変化と R64CNT レジスタの読み出しタイミングが重なったとき （32 kHz カウントモードは、64 Hz カウンタ読み出しのためのみに使用します） • アラーム割り込みまたは周期割り込みによる、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードからの復帰が可能
時間キャプチャ機能	• 時間キャプチャイベント入力端子のエッジ検出時に、時間のキャプチャが可能 イベント入力ごとに、月、日、時、分、および秒をキャプチャ、または 32 ビットバイナリカウンタ値をキャプチャ • 時間キャプチャイベント入力端子のエッジ検出時に、割り込みを発生可能。時間キャプチャイベント入力端子と IRQ は共有
イベントリンク機能	周期イベント出力 (RTC_PRD)
TrustZone フィルタ	セキュリティ属性とプリビレッジ属性を設定可能

注 1. 周辺モジュールクロック (PCLKB) 周波数 ≧ カウントソースクロック周波数となるように設定してください。

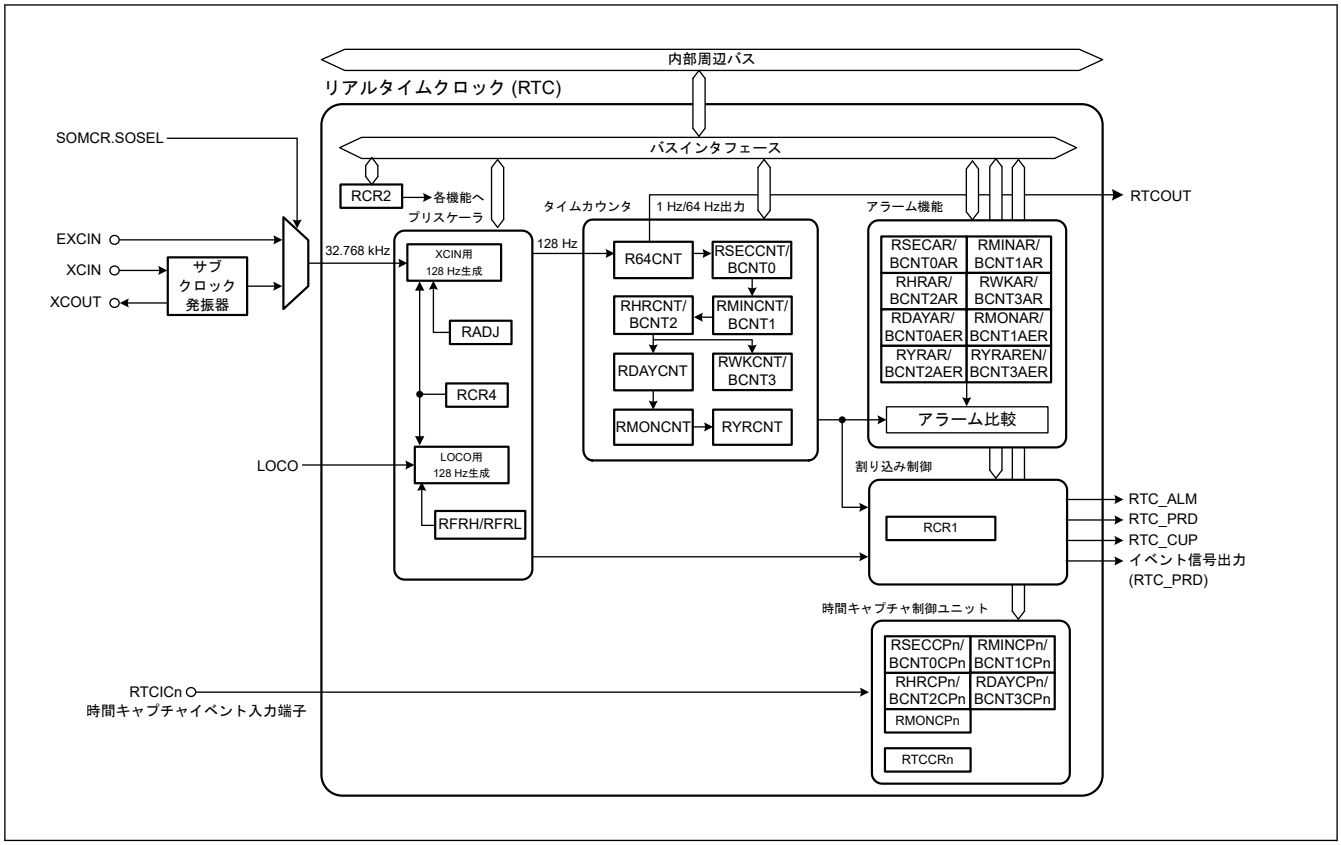


図 24.1　RTC のブロック図

表 24.2　RTC の入出力端子

端子名	入出力	機能
XCIN	入力	32.768 kHz の水晶振動子を接続します。
XCOUT	出力	
EXCIN	入力	外部サブクロック入力です。
RTCOUT	出力	この端子は 1 Hz/64 Hz 波形出力に使用されます。ただし、ディープソフトウェアスタンバイモードでは使用されません。
RTCICn (n = 0～2)	入力	時間キャプチャイベント入力端子です。 RTCICn は VBTICTLR レジスタで制御できます。詳細は、「11. バッテリバックアップ機能」と「19. I/O ポート」を参照してください。

24.2　レジスタの説明

RTC レジスタの書き込み／読み出しは、「24.6.5. レジスタの書き込み／読み出し時の注意事項」に従って行ってください。

RTC レジスタのビット一覧で、リセット後の値が x（不定）になっているビットは、リセットで初期化されません。カウント動作時（たとえば RCR2.START ビットが 1 のとき）に、RTC がリセット状態または低消費電力状態へ遷移した場合、年／月／曜日／日／時／分／秒／64 Hz カウンタは動作を継続します。

注.　レジスタへの書き込み中にリセットが発生すると、レジスタ値が破壊されることがあります。さらに、どのレジスタに対しても、その設定直後は、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、またはバッテリバックアップ状態へ遷移しないでください。詳細は「24.6.4. レジスタ設定後の低消費電力モードへの遷移について」を参照してください。

24.2.1 R64CNT : 64 Hz カウンタ

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	F1HZ	F2HZ	F4HZ	F8HZ	F16HZ	F32HZ	F64HZ
Value after reset:	0	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
0	F64HZ	64 Hz フラグ 秒以下の桁の 64 Hz の状態を示します。	R
1	F32HZ	32 Hz フラグ 秒以下の桁の 32 Hz の状態を示します。	R
2	F16HZ	16 Hz フラグ 秒以下の桁の 16 Hz の状態を示します。	R
3	F8HZ	8 Hz フラグ 秒以下の桁の 8 Hz の状態を示します。	R
4	F4HZ	4 Hz フラグ 秒以下の桁の 4 Hz の状態を示します。	R
5	F2HZ	2 Hz フラグ 秒以下の桁の 2 Hz の状態を示します。	R
6	F1HZ	1 Hz フラグ 秒以下の桁の 1 Hz の状態を示します。	R
7	—	読むと 0 が読めます。	R

注. S-TYPE3, P-TYPE3

R64CNT カウンタは、カレンダーカウントモードとバイナリカウントモード共通で使用します。64 Hz カウンタ (R64CNT) は 128 Hz クロックでアップカウントすることにより、秒周期を生成します。このカウンタを読み出すことで、秒以下の状態を確認できます。

このカウンタは、RTC ソフトウェアリセットまたは 30 秒調整によって 0x00 にクリアされます。このカウンタを読み出す際は、「24.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。

24.2.2 RSECCNT : 秒カウンタ（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	SEC10[2:0]			SEC1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	SEC1[3:0]	1 秒カウント 1 秒ごとに 0 から 9 までカウントします。桁上げが生じると、十の位が+1 されます。	R/W
6:4	SEC10[2:0]	10 秒カウント 0 から 5 までカウントして、60 秒カウントを行います。	R/W
7	—	読み出し値は不定です。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

RSECCNT カウンタは、BCD コード化された秒の値を設定およびカウントします。64 Hz カウンタでの 1 秒ごとの桁上げによってカウントします。

設定可能範囲は 10 進 (BCD) で 00～59 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。

このカウンタを読み出す際は、「24.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。

24.2.3 RMINCNT : 分カウンタ（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	MIN10[2:0]			MIN1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	MIN1[3:0]	1 分カウント 1 分ごとに 0 から 9 までカウントします。桁上げが生じると、十の位が+1 されます。	R/W
6:4	MIN10[2:0]	10 分カウント 0 から 5 までカウントして、60 分カウントを行います。	R/W
7	—	読み出し値は不定です。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

RMINCNT カウンタは、BCD コード化された分の値を設定およびカウントします。秒カウンタでの 1 分ごとの桁上げによってカウントします。

設定可能範囲は 10 進 (BCD) で 00～59 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、「24.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。

24.2.4 RHRCNT : 時カウンタ（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x06

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	PM	HR10[1:0]		HR1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	HR1[3:0]	1 時間カウント 1 時間ごとに 0 から 9 までカウントします。桁上げが生じると、十の位が+1 されます。	R/W
5:4	HR10[1:0]	10 時間カウント 一の位からの桁上げごとに 1 回、0 から 2 までカウントします。	R/W
6	PM	時計カウンタの AM/PM の設定 0: 午前 1: 午後	R/W
7	—	読み出し値は不定です。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

RHRCNT カウンタは、BCD コード化された時間の値を設定およびカウントします。分カウンタでの 1 時間ごとの桁上げによってカウントします。設定可能範囲は、時間モードビット (RCR2.HR24) の設定値に応じて以下のように異なります。

- RCR2.HR24 ビットが 0 の場合、00～11 (BCD)
- RCR2.HR24 ビットが 1 の場合、00～23 (BCD)

この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。PM ビットは、RCR2.HR24 ビットが 0 の場合にのみ有効です。

それ以外では、PM ビットの設定値は無効です。このカウンタを読み出す際は、「24.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。

24.2.5 RWKCNT : 曜日カウンタ（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	DAYW[2:0]		
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
2:0	DAYW[2:0]	曜日カウント 0 0 0: 日 0 0 1: 月 0 1 0: 火 0 1 1: 水 1 0 0: 木 1 0 1: 金 1 1 0: 土 1 1 1: 設定禁止	R/W
7:3	—	読み出し値は不定です。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

RWKCNT カウンタは、コード化された曜日の値を設定およびカウントします。時カウンタでの 1 日ごとの桁上げによってカウントします。設定可能範囲は 10 進 (BCD) で 0～6 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、「24.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。

24.2.6 BCNTn : バイナリカウンタ n (n = 0～3)（バイナリカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x02+0x02× n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	BCNT[7:0]							
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
7:0	BCNT[7:0]	バイナリカウンタ	R/W

注. S-TYPE3, P-TYPE3

BCNTn レジスタは、32 ビットバイナリカウンタの BCNT[31:0]にアクセスする書き込み／読み出し可能な 8 ビットレジスタです。BCNT3 は BCNT[31:24]ビットに、BCNT2 は BCNT[23:16]ビットに、BCNT1 は BCNT[15:8]ビットに、BCNT0 は BCNT[7:0]ビットに指定されます。32 ビットバイナリカウンタは、64 Hz カウンタでの 1 秒ごとの桁上げによってカウント動作を行います。このレジスタへ書き込む際は、事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、「24.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。

24.2.7 RDAYCNT : 日カウンタ

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x0A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	DATE10[1:0]		DATE1[3:0]			
Value after reset:	0	0	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	DATE1[3:0]	1 日カウント 1 日ごとに 0 から 9 までカウントします。桁上げが生じると、十の位が+1 されます。	R/W
5:4	DATE10[1:0]	10 日カウント 一の位からの桁上げごとに 1 回、0 から 3 までカウントします。	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

RDAYCNT カウンタは、カレンダカウントモード時に使用され、BCD コード化された日の値を設定およびカウントします。時カウンタでの 1 日ごとの桁上げによってカウントします。カウント動作は、月によっても、うるう年か否かによっても異なります。うるう年は、年カウンタ (RYRCNT) の値が 400、100 および 4 で割り切れるか否かで判定されます。

設定可能範囲は 10 進 (BCD) で 01～31 です。この範囲にない値が設定されると、RTC は正常に動作しません。値を設定する際は、指定可能な日数範囲が月によっても、うるう年か否かによっても異なるので注意してください。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、「24.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。

24.2.8 RMONCNT : 月カウンタ

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	MON10	MON1[3:0]			
Value after reset:	0	0	0	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	MON1[3:0]	1 月カウント 1 月ごとに 0 から 9 までカウントします。桁上げが生じると、十の位が+1 されます。	R/W
4	MON10	10 月カウント 一の位からの桁上げごとに 1 回、0 から 1 までカウントします。	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

RMONCNT カウンタは、カレンダカウントモード時に使用され、BCD コード化された月の値を設定およびカウントします。日カウンタでの 1 月ごとの桁上げによってカウントします。

設定可能範囲は 10 進 (BCD) で 01～12 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、「24.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。

24.2.9 RYRCNT : 年カウンタ

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x0E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	YR10[3:0]				YR1[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	YR1[3:0]	1 年カウント 1 年ごとに 0 から 9 までカウントします。桁上げが生じると、十の位が+1 されます。	R/W
7:4	YR10[3:0]	10 年カウント 一の位からの桁上げごとに 1 回、0 から 9 までカウントします。	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

RYRCNT カウンタは、カレンダカウントモード時に使用され、BCD コード化された年の値を設定およびカウントします。月カウンタでの 1 年ごとの桁上げによってカウントします。

設定可能範囲は、10 進 (BCD) で 00～99 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、「24.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。

24.2.10 RSECAR : 秒アラームレジスタ（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB	SEC10[2:0]			SEC1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	SEC1[3:0]	1 秒 一秒の位の設定値	R/W
6:4	SEC10[2:0]	10 秒 十秒の位の設定値	R/W
7	ENB	ENB 0: このレジスタ値と RSECCNT カウンタ値との比較を行わない 1: このレジスタ値と RSECCNT カウンタ値との比較を行う	R/W

注. S-TYPE3, P-TYPE3

RSECAR レジスタは、BCD コード化された秒カウンタ (RSECCNT) に対応するアラームレジスタです。ENB ビットが 1 のとき、RSECAR レジスタ値が RSECCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR

- RYRAREN

すべての各値が一致する場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。RSECAR レジスタの設定可能範囲は、10 進 (BCD) で 00～59 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

24.2.11 RMINAR : 分アラームレジスタ（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x12

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB	MIN10[2:0]			MIN1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	MIN1[3:0]	1 分 一分の位の設定値	R/W
6:4	MIN10[2:0]	10 分 十分の位の設定値	R/W
7	ENB	ENB 0: このレジスタ値と RMINCNT カウンタ値との比較を行わない 1: このレジスタ値と RMINCNT カウンタ値との比較を行う	R/W

注. S-TYPE3, P-TYPE3

RMINAR レジスタは、BCD コード化された分カウンタ (RMINCNT) に対応するアラームレジスタです。ENB ビットが 1 のとき、RMINAR レジスタ値が RMINCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

すべての各値が一致する場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。RMINAR レジスタの設定可能範囲は、10 進 (BCD) で 00～59 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

24.2.12 RHRAR : 時アラームレジスタ（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x14

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB	PM	HR10[1:0]		HR1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	HR1[3:0]	1 時間 一時間の位の設定値	R/W
5:4	HR10[1:0]	10 時間 十時間の位の設定値	R/W
6	PM	時計アラームの AM/PM の設定 0: 午前 1: 午後	R/W
7	ENB	ENB 0: このレジスタ値と RHRCNT カウンタ値との比較を行わない 1: このレジスタ値と RHRCNT カウンタ値との比較を行う	R/W

注. S-TYPE3, P-TYPE3

RHRAR レジスタは、BCD コード化された時カウンタ (RHRCNT) に対応するアラームレジスタです。ENB ビットが 1 のとき、RHRAR レジスタ値が RHRCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

すべての各値が一致する場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。RHRAR レジスタの設定可能範囲は、時間モードビット (RCR2.HR24) の設定値に応じて以下のように異なります。

- RCR2.HR24 ビットが 0 の場合、00～11 (BCD)
- RCR2.HR24 ビットが 1 の場合、00～23 (BCD)

この範囲にない値が設定されると、RTC は正常に動作しません。RCR2.HR24 ビットが 0 の場合、必ず PM ビットを設定してください。RCR2.HR24 ビットが 1 の場合、PM ビットの設定値は無効です。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

24.2.13 RWKAR : 曜日アラームレジスタ（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x16

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB	—	—	—	—	DAYW[2:0]		
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
2:0	DAYW[2:0]	曜日 0 0 0: 日 0 0 1: 月 0 1 0: 火 0 1 1: 水 1 0 0: 木 1 0 1: 金 1 1 0: 土 1 1 1: 設定禁止	R/W

ビット	シンボル	機能	R/W
6:3	—	読み出し値は不定です。 書く場合、0 としてください。	R/W
7	ENB	ENB 0: このレジスタ値と RWKCNT カウンタ値との比較を行わない 1: このレジスタ値と RWKCNT カウンタ値との比較を行う	R/W

注. S-TYPE3, P-TYPE3

RWKAR レジスタは、コード化された曜日カウンタ (RWKCNT) に対応するアラームレジスタです。ENB ビットが 1 のとき、RWKAR レジスタ値が RWKCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

すべての各値が一致する場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。RWKAR レジスタの設定可能範囲は、10 進 (BCD) で 0～6 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

24.2.14 BCNTnAR : バイナリカウンタ n アラームレジスタ (n = 0～3)（バイナリカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x10 + 0x02 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	BCNTAR							
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
7:0	BCNTAR	32 ビットバイナリカウンタに対応するアラームレジスタ	R/W

注. S-TYPE3, P-TYPE3

BCNTnAR レジスタは、32 ビットバイナリカウンタに対応する読み出し／書き込み可能なアラームレジスタです。BCNT3AR は BCNTAR[31:24]ビットに、BCNT2AR は BCNTAR[23:16]ビットに、BCNT1AR は BCNTAR[15:8]ビットに、BCNT0AR は BCNTAR[7:0]に指定されます。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

24.2.15 RDAYAR : 日アラームレジスタ（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x18

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB	—	DATE10[1:0]		DATE1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	DATE1[3:0]	1 日 一日の位の設定値	R/W
5:4	DATE10[1:0]	10 日 十日の位の設定値	R/W
6	—	読み出し値は不定です。 書く場合、0 としてください。	R/W
7	ENB	ENB 0: このレジスタ値と RDAYCNT カウンタ値との比較を行わない 1: このレジスタ値と RDAYCNT カウンタ値との比較を行う	R/W

注. S-TYPE3, P-TYPE3

RDAYAR レジスタは、BCD コード化された日カウンタ (RDAYCNT) に対応するアラームレジスタです。ENB ビットが 1 のとき、RDAYAR レジスタ値が RDAYCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

すべての各値が一致する場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。RDAYAR レジスタの設定可能範囲は、10 進 (BCD) で 01～31 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

24.2.16 RMONAR : 月アラームレジスタ（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x1A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB	—	—	MON10	MON1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	MON1[3:0]	1 月 一月の位の設定値	R/W
4	MON10	10 月 十月の位の設定値	R/W
6:5	—	読み出し値は不定です。 書く場合、0 としてください。	R/W
7	ENB	ENB 0: このレジスタ値と RMONCNT カウンタ値との比較を行わない 1: このレジスタ値と RMONCNT カウンタ値との比較を行う	R/W

注. S-TYPE3, P-TYPE3

RMONAR レジスタは、BCD コード化された月カウンタ (RMONCNT) に対応するアラームレジスタです。ENB ビットが 1 のとき、RMONAR レジスタ値が RMONCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR

- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

すべての各値が一致する場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。RMONAR レジスタの設定可能範囲は、10 進 (BCD) で 01～12 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

24.2.17 RYRAR : 年アラームレジスタ（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x1C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	YR10[3:0]				YR1[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	YR1[3:0]	1 年 一年の位の設定値	R/W
7:4	YR10[3:0]	10 年 十年の位の設定値	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

RYRAR レジスタは、BCD コード化された年カウンタ (RYRCNT) に対応するアラームレジスタです。RYRAR レジスタの設定可能範囲は、10 進 (BCD) で 00～99 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 0x0000 になります。

24.2.18 RYRAREN : 年アラームイネーブルレジスタ（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x1E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB	—	—	—	—	—	—	—
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
6:0	—	読み出し値は不定です。 書く場合、0 としてください。	R/W
7	ENB	ENB 0: このレジスタ値と RYRCNT カウンタ値との比較を行わない 1: このレジスタ値と RYRCNT カウンタ値との比較を行う	R/W

注. S-TYPE3, P-TYPE3

RYRAREN レジスタの ENB ビットが 1 のとき、RYRAR レジスタ値が RYRCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR

- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

すべての各値が一致する場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

24.2.19 BCNTnAER : バイナリカウンタ n アラームイネーブルレジスタ (n = 0～3)（バイナリカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x18 + 0x02 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB[7:0]							
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
7:0	ENB[7:0]	32 ビットバイナリカウンタに対応するアラーム許可設定	R/W

注. S-TYPE3, P-TYPE3

BCNTnAER レジスタは、32 ビットバイナリカウンタに対応するアラーム許可 (BCNTAER) 設定用の読み出し／書き込み可能なレジスタです。BCNT3AER は BCNTAER.ENB[31:24]ビットに、BCNT2AER は BCNTAER.ENB[23:16]ビットに、BCNT1AER は BCNTAER.ENB[15:8]ビットに、BCNT0AER は BCNTAER.ENB[7:0]ビットに割り当てられます。BCNTAER.ENB[31:0]ビットのうち、1 になっているビットに対応するバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ (BCNTAR) と比較されて、すべてが一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

24.2.20 RCR1 : RTC コントロールレジスタ 1

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x22

Bit position:	7	6	5	4	3	2	1	0
Bit field:	PES[3:0]				RTCOS	PIE	CIE	AIE
Value after reset:	x	x	x	x	0	x	0	x

ビット	シンボル	機能	R/W
0	AIE	アラーム割り込み許可 0: アラーム割り込み要求を禁止 1: アラーム割り込み要求を許可	R/W
1	CIE	桁上げ割り込み許可 0: 桁上げ割り込み要求を禁止 1: 桁上げ割り込み要求を許可	R/W
2	PIE	周期割り込み許可 0: 周期割り込み要求を禁止 1: 周期割り込み要求を許可	R/W

ビット	シンボル	機能	R/W
3	RTCOS	RTCOUT 出力選択 0: RTCOUT は 1 Hz を出力 1: RTCOUT は 64 Hz を出力	R/W
7:4	PES[3:0]	周期割り込み選択 0x6: 1/256 秒ごとに周期割り込みが発生(注1) 0x7: 1/128 秒ごとに周期割り込みが発生 0x8: 1/64 秒ごとに周期割り込みが発生 0x9: 1/32 秒ごとに周期割り込みが発生 0xA: 1/16 秒ごとに周期割り込みが発生 0xB: 1/8 秒ごとに周期割り込みが発生 0xC: 1/4 秒ごとに周期割り込みが発生 0xD: 1/2 秒ごとに周期割り込みが発生 0xE: 1 秒ごとに周期割り込みが発生 0xF: 2 秒ごとに周期割り込みが発生 その他: 上記以外は、周期割り込みを発生しない	R/W

注. S-TYPE3, P-TYPE3
注 1. PES[3:0] = 0x6 のときに LOCO が選択されると (RCR4.RCKSEL = 1)、1/128 秒ごとに周期割り込みが発生します。

RCR1 レジスタは、カレンダーカウントモードとバイナリカウントモード共通で使用します。AIE、PIE、および PES[3:0]ビットは、カウントソースに同期して更新されます。RCR1 レジスタを書き換えた場合は、全ビットが更新されたことを確認してから次の処理を実行してください。

AIE ビット（アラーム割り込み許可）

AIE ビットはアラーム割り込み要求を許可または禁止します。

ディープソフトウェアスタンバイモード時にカウンタとアラームの設定時刻が一致した場合、AIE ビット値とは無関係に、MCU はディープソフトウェアスタンバイモードから復帰します。

CIE ビット（桁上げ割り込み許可）

CIE ビットは RSECCNT/BCNT0 カウンタへの桁上げが生じたとき、または 64 Hz カウンタ (R64CNT) の読み出し中に 64 Hz カウンタへの桁上げが生じたときの割り込み要求を許可または禁止します。

PIE ビット（周期割り込み許可）

PIE ビットは周期割り込み要求を許可または禁止します。

ディープソフトウェアスタンバイモード時にカウンタと PES[3:0]の設定周期が一致した場合、PIE ビット値とは無関係に、MCU はディープソフトウェアスタンバイモードから復帰します。

RTCOS ビット（RTCOUT 出力選択）

RTCOS ビットは RTCOUT の出力周期を選択します。RTCOS ビットは、カウント動作停止 (RCR2.START = 0)、かつ RTCOUT 出力禁止 (RCR2.RTCOE = 0) のときに書き換えてください。RTCOUT を外部端子に出力する場合は、RCR2.RTCOE ビットで出力を許可にする必要があります。

PES[3:0]ビット（周期割り込み選択）

PES[3:0]ビットは周期割り込みの周期を設定します。本ビットで設定した周期に応じて周期割り込みが発生します。

24.2.21 RCR2 : RTC コントロールレジスタ 2（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x24

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CNTMD	HR24	AADJP	AADJE	RTCOE	ADJ30	RESET	START
Value after reset:	x	x	x	x	0	0	0	x

ビット	シンボル	機能	R/W
0	START	開始 0: プリスケーラと時計カウンタは停止 1: プリスケーラと時計カウンタは通常動作	R/W
1	RESET	RTC ソフトウェアリセット 0: ［書き込み時］書き込みは無効 ［読み出し時］通常の時計動作中または RTC ソフトウェアリセット完了 1: 書き込み時：RTC ソフトウェアリセットに対してプリスケーラと対象レジスタを初期化(注1) ［読み出し時］RTC ソフトウェアリセット処理中	R/W
2	ADJ30	30 秒調整 0: 書き込み時：無効（0 の書き込みは影響なし） 読み出し時：通常の時計動作中または 30 秒調整が完了 1: 書き込み時：30 秒調整を実行 読み出し時：30 秒調整処理中	R/W
3	RTCOE	RTCOUT 出力許可 0: RTCOUT 出力禁止 1: RTCOUT 出力を許可	R/W
4	AADJE	自動補正有効(注2)(注3) 0: 自動補正は無効 1: 自動補正は有効	R/W
5	AADJP	自動補正周期選択(注2)(注3) 0: 1 分ごとにプリスケーラのカウント値に対して RADJ.ADJ[5:0]ビットの設定値を調整 1: 10 秒ごとにプリスケーラのカウント値に対して RADJ.ADJ[5:0]ビットの設定値を調整	R/W
6	HR24	時間モード(注3) 0: RTC は 12 時間モードで動作 1: RTC は 24 時間モードで動作	R/W
7	CNTMD	カウントモード選択(注4) 0: カレンダーカウントモード 1: バイナリカウントモード	R/W

注. S-TYPE3, P-TYPE3
注 1. R64CNT, RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAR, RYRAREN, RADJ, RTCCRn, RSECCPn, RMINCPn, RHRCPn, RDAYCPn, RMONCPn, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP
注 2. LOCO が選択される場合、このビットの設定は無効です。
注 3. このビットを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み／読み出しの注意事項については「24.6.5. レジスタの書き込み／読み出し時の注意事項」を参照してください。
注 4. このビットを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。

RCR2 レジスタは、時間モード、自動補正機能、RTCOUT 出力許可、30 秒調整、RTC ソフトウェアリセット、およびカウント動作の制御に関するレジスタです。

START ビット（開始）

START ビットはプリスケーラおよびカウンタ（時計）の停止または動作を制御します。このビットはカウントソースの次のサイクルに同期して更新されます。START ビットを書き換えた場合は、このビットが更新されたことを確認してから次の処理を実行してください。

RESET ビット（RTC ソフトウェアリセット）

RESET ビットはプリスケーラと RTC ソフトウェアリセット対象レジスタを初期化します。このビットに 1 を書くと、カウントソースに同期して初期化が始まります。初期化が完了すると、RESET ビットは自動的に 0 になります。このビットが 0 になったことを確認してから次の処理を実行してください。

ADJ30 ビット（30 秒調整）

ADJ30 ビットは 30 秒調整を行います。

ADJ30 ビットに 1 を書くと、RSECCNT カウンタ値が 30 秒未満の場合は 00 秒に切り捨てられ、30 秒以上の場合は 1 分に切り上げられます。

30 秒調整は、カウントソースに同期して行われます。ADJ30 ビットに 1 を書いた場合、30 秒調整が完了するとこのビットは自動的に 0 になります。ADJ30 ビットに 1 を書いた場合は、このビットが 0 になったことを確認し

てから次の処理を実行してください。30 秒調整を実行すると、プリスケーラと R64CNT カウンタもリセットされます。ADJ30 ビットは、RTC ソフトウェアリセットによって 0 になります。

RTCOE ビット（RTCOUT 出力許可）

RTCOE ビットは RTCOUT 端子からの 1 Hz/64 Hz クロック信号出力を許可します。

RTCOE ビット値を変更する前に、START ビットでカウント動作を停止させてください。カウント動作の停止（START ビットへの 0 の書き込み）と RTCOE ビット値の変更は、同時に行わないでください。

RTCOUT を外部端子から出力する場合は、RTCOE ビットで出力を許可にするとともに、ポート制御を有効にしてください。

AADJE ビット（自動補正有効）

AADJE ビットは自動補正機能の有効または無効を制御します。

AADJE ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b（補正を行わない）にしてください。

AADJE ビットは、RTC ソフトウェアリセットによって 0 になります。

AADJP ビット（自動補正周期選択）

AADJP ビットは自動補正の周期を選択します。

AADJP ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b（補正を行わない）にしてください。

AADJP ビットは、RTC ソフトウェアリセットによって 0 になります。

HR24 ビット（時間モード）

HR24 ビットは RTC を 12 時間モードと 24 時間モードのどちらで動作させるかを指定します。

HR24 ビット値を変更する前に、START ビットでカウント動作を停止させてください。カウント動作の停止（START ビットへの 0 の書き込み）と HR24 ビット値の変更は、同時に行わないでください。

CNTMD ビット（カウントモード選択）

CNTMD ビットは、RTC をカレンダーカウントモードで動作させるか、バイナリカウントモードで動作させるかを指定します。

カウントモードを設定した場合は、RTC ソフトウェアリセットを実行し、初期設定からやり直してください。このビットは、カウントソースに同期して更新されます。ただし、カウントモードが切り替わるのは、RTC ソフトウェアリセット後のみになります。（ビットは RTC リセット前に切り替わりますが、モードは RTC リセット後に切り替わります。）

初期設定の詳細は、「24.3.1. 電源投入後のレジスタ初期設定の概要」を参照してください。

24.2.22 RCR2 : RTC コントロールレジスタ 2（バイナリカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x24

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CNTMD	—	AADJP	AADJE	RTCOE	—	RESET	START
Value after reset:	x	x	x	x	0	0	0	x

ビット	シンボル	機能	R/W
0	START	スタート 0: 32 ビットバイナリカウンタ、64 Hz カウンタ、およびプリスケーラは停止 1: 32 ビットバイナリカウンタ、64 Hz カウンタ、およびプリスケーラは動作	R/W

ビット	シンボル	機能	R/W
1	RESET	RTC ソフトウェアリセット 0: ［書き込み時］書き込みは無効 ［読み出し時］通常の時計動作中または RTC ソフトウェアリセット完了 1: ［書き込み時］プリスケーラおよび RTC ソフトウェアリセット対象レジスタ(注1)を初期化 ［読み出し時］RTC ソフトウェアリセット処理中	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	RTCOE	RTCOUT 出力許可 0: RTCOUT 出力を禁止 1: RTCOUT 出力を許可	R/W
4	AADJE	自動補正有効(注2)(注3) 0: 自動補正は無効 1: 自動補正は有効	R/W
5	AADJP	自動補正周期選択(注2)(注3) 0: 32 秒ごとにプリスケーラのカウント値に対して RADJ.ADJ[5:0]ビット値を加減算 1: 8 秒ごとにプリスケーラのカウント値に対して RADJ.ADJ[5:0]ビット値を加減算	R/W
6	—	読み出し値は不定です。書く場合、0 としてください。	R/W
7	CNTMD	カウントモード選択(注4) 0: カレンダカウントモード 1: バイナリカウントモード	R/W

注. S-TYPE3, P-TYPE3
注 1. R64CNT, BCNTnAR, BCNTnAER, RADJ, RTCCRn, BCNTnCPm, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP
注 2. LOCO が選択される場合、このビットの設定は無効です。
注 3. このビットを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「24.6.5. レジスタの書き込み／読み出し時の注意事項」を参照してください。
注 4. このビットを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。

バイナリカウントモードにおける RCR2 レジスタは、自動補正機能、RTCOUT 出力許可、RTC ソフトウェアリセット、およびカウントモード制御に関連するレジスタです。

START ビット（スタート）

START ビットはプリスケーラおよびカウンタ（時計）の停止または動作を制御します。START ビットは、カウントソースに同期して更新されます。START ビットを書き換えた場合は、このビットが更新されたことを確認してから次の処理を実行してください。

RESET ビット（RTC ソフトウェアリセット）

RESET ビットはプリスケーラと RTC ソフトウェアリセット対象レジスタを初期化します。RESET ビットに 1 を書くと、カウントソースに同期して初期化が始まります。初期化が完了すると、RESET ビットは自動的に 0 になります。RESET ビットに 1 を書いた場合は、このビットが 0 になったことを確認してから次の処理を実行してください。

RTCOE ビット（RTCOUT 出力許可）

RTCOE ビットは RTCOUT 端子からの 1 Hz/64 Hz クロック信号出力を許可します。

RTCOE ビット値を変更する前に、START ビットでカウント動作を停止させてください。カウント動作の停止（START ビットへの 0 の書き込み）と、RTCOE ビット値の変更は、同時に行わないでください。RTCOUT 信号を外部端子から出力する場合は、このビットを許可にするとともに、ポート制御を有効にしてください。

AADJE ビット（自動補正有効）

AADJE ビットは自動補正機能の有効／無効を制御します。

AADJE ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b（補正を行わない）にしてください。AADJE ビットは、RTC ソフトウェアリセットによって 0 になります。

AADJP ビット（自動補正周期選択）

AADJP ビットは自動補正の周期を選択します。

バイナリカウントモードでは、32 秒ごとまたは 8 秒ごとの補正周期を選択できます。

AADJP ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b（補正を行わない）にしてください。AADJP ビットは、RTC ソフトウェアリセットによって 0 になります。

CNTMD ビット（カウントモード選択）

CNTMD ビットは、RTC をカレンダーカウントモードで動作させるか、バイナリカウントモードで動作させるかを指定します。

カウントモードを設定した場合は、RTC ソフトウェアリセットを実行し、初期設定からやり直してください。本ビットは、カウントソースに同期して更新されます。ただし、カウントモードが切り替わるのは、RTC ソフトウェアリセット後のみになります。（ビットは RTC リセット前に切り替わりますが、モードは RTC リセット後に切り替わります。）

初期設定の詳細は、「24.3.1. 電源投入後のレジスタ初期設定の概要」を参照してください。

24.2.23 RCR4 : RTC コントロールレジスタ 4

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x28

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	RCKSEL
Value after reset:	0	0	0	0	0	0	0	x

ビット	シンボル	機能	R/W
0	RCKSEL	カウントソース選択 0: SOSC クロックを選択 1: LOCO クロックを選択	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

RCR4 レジスタは、カレンダーカウントモードとバイナリカウントモード共通で使用します。

RCKSEL ビット（カウントソース選択）

RCKSEL ビットは、カウントソースをサブクロック発振器と LOCO から選択します。

RCKSEL ビットは通常動作モードでのみ使用されます。RCKSEL ビットを 0 に設定すると、サブクロック発振器でカウントされます。RCKSEL ビットを 1 に設定すると、LOCO でカウントされます。

カウントソースの設定の詳細は、「24.3.1. 電源投入後のレジスタ初期設定の概要」と「24.3.2. クロックおよびカウントモードの設定手順」を参照してください。カウントソースは、電源投入時、RTC レジスタの初期設定前に一度だけ選択してください。

24.2.24 RFRL : 周波数レジスタ L

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x2C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RFC[15:0]															
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
15:0	RFC[15:0]	周波数比較値 LOCO 使用時は、このレジスタに 0x00FF を書いてください。	R/W

注. S-TYPE3, P-TYPE3

RFRL レジスタは、LOCO 選択時のプリスケーラを制御するレジスタです。

RTC の時計カウンタは、128 Hz クロック信号を基本クロックとして動作します。そのため、LOCO を選択した場合、プリスケーラで LOCO が分周されて 128 Hz クロック信号が生成されます。RFC[15:0]ビットには、LOCO 周波数から 128 Hz クロックを生成するための周波数比較値を設定します。コールドスタート後、RFC[15:0]へ書き込む前に、RFRH に 0x0000 を書き込んでください。

周波数比較値の設定可能範囲は、0x0007～0x01FF です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前に RCR2.START ビットでカウント動作を停止させてください。周辺モジュールクロックと LOCO の動作周波数は、「周辺モジュールクロック ≧ LOCO」となるようにしてください。

周波数比較値の計算方法:

RFC[15:0] = (LOCO クロック周波数) / 128 - 1

LOCO 周波数が 32.768 kHz の時、RFRL レジスタの値は 0x00FF になります。

24.2.25 RFRH : 周波数レジスタ H

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x2A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RFC16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x

ビット	シンボル	機能	R/W
0	RFC16	コールドスタート後、RFRL レジスタに書き込む前に 0 を書いてください	R/W
15:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

コールドスタート後、RFC[15:0]へ書き込む前に、RFRH に 0x0000 を書き込んでください。

24.2.26 RADJ : 時間誤差補正レジスタ

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x2E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	PMADJ[1:0]		ADJ[5:0]					
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
5:0	ADJ[5:0]	補正値 プリスケーラの補正値を設定する	R/W
7:6	PMADJ[1:0]	プラスマイナス 0 0: 補正しない 0 1: プリスケーラに対して値を加算して補正する 1 0: プリスケーラに対して値を減算して補正する 1 1: 設定禁止	R/W

注. S-TYPE3, P-TYPE3

RADJ レジスタは、カレンダーカウントモードとバイナリカウントモード共通で使用します。プリスケーラまたは 64 Hz カウンタに対して、値を加算または減算することによって補正されます。自動補正有効ビット (RCR2.AADJE) が 0 の場合、RADJ レジスタへの書き込み時に補正が行われます。RCR2.AADJE ビットが 1 の場合、自動補正周期選択ビット (RCR2.AADJP) で設定した間隔で補正が行われます。

ソフトウェア設定による補正（自動補正が無効）では、レジスタの設定後、カウントソースの 320 サイクル中に次の補正値を設定すると、現在の補正値の設定が無効となる場合があります。連続して補正を行う場合は、レジスタの設定後、カウントソースで 320 サイクル以上待ってから次の補正値を設定してください。

RADJ は、カウントソースに同期して更新されます。RADJ レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。サブクロック発振器を選択した場合にのみ、本レジスタの設定が有効になります。LOCO を選択した場合、補正は行われません。

ADJ[5:0]ビット（補正値）

ADJ[5:0]ビットはプリスケーラに対する補正値（サブクロックのサイクル数）を設定します。

PMADJ[1:0]ビット（プラスマイナス）

ADJ[5:0]ビットで設定した誤差補正値に従って、PMADJ[1:0]ビットは時計を進めるか、遅らせるかを選択します。

24.2.27 RTCCRn : 時間キャプチャコントロールレジスタ n (n = 0～2)

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x40 + 0x02 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TCEN	—	TCNF[1:0]		—	TCST	TCCT[1:0]	
Value after reset:	x	0	x	x	0	x	x	x

ビット	シンボル	機能	R/W
1:0	TCCT[1:0]	時間キャプチャ制御 0 0: イベントを検出しない 0 1: 立ち上がりエッジを検出 1 0: 立ち下がりエッジを検出 1 1: 両エッジを検出	R/W
2	TCST	時間キャプチャステータス 0: イベント検出なし 1: イベント検出あり(注1)	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	TCNF[1:0]	時間キャプチャノイズフィルタ制御 0 0: ノイズフィルタ停止 0 1: 設定禁止 1 0: ノイズフィルタ開始（カウントソース） 1 1: ノイズフィルタ開始（カウントソースの 32 分周）	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	TCEN	時間キャプチャイベント入力端子許可 0: RTCICn 端子が時間キャプチャイベント入力端子として無効 1: RTCICn 端子が時間キャプチャイベント入力端子として有効	R/W

注. S-TYPE3, P-TYPE3
注 1. イベントが検出されたことを示します。1 の書き込みは無効になります。0 を書き込むと 0 になります。

RTCCRn レジスタは、カレンダーカウントモードとバイナリカウントモード共通で使用します。RTCCR0 レジスタが RTCIC0 端子、RTCCR1 レジスタが RTCIC1 端子、RTCCR2 レジスタが RTCIC2 端子をそれぞれ制御します。

RTCCRn は、カウントソースに同期して更新されます。RTCCRn レジスタを書き換えた場合は、TCST ビット以外の全ビットが更新されたことを確認してから次の処理を実行してください。このレジスタは、RTC ソフトウェアリセットによって 0x00 にクリアされます。RTCICm を時間キャプチャ端子として使う場合、VBTICTLR.VCHnIEN (n = 0～2) を 1 に設定する必要があります。

TCCT[1:0]ビット（時間キャプチャ制御）

TCCT[1:0]ビットは時間キャプチャイベント入力端子 RTCIC0、RTCIC1、RTCIC2 のエッジ検出を制御します。検出するエッジの選択が可能です。TCCT[1:0]ビットは、VBTICTLR.VCHnIEN ビットが 1 のときに設定してください。

TCST ビット（時間キャプチャステータス）

TCST ビットは、時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) のイベントが検出されたことを示します。TCST ビットが 0 の場合、イベントは検出されていません。TCST ビットが 1 の場合、対応する端子のイベントが検出されたこと、およびキャプチャレジスタが有効であることを示します。複数回イベントが検出された場合は、最初のイベントのキャプチャ時刻が保持されます。

イベントは、カウント動作中 (RCR2.START = 1) にのみ検出されます。キャプチャレジスタの読み出しは、本ビットが 1 になったことを確認してから行ってください。

TCST ビットの設定は、TCCT[1:0]ビットが 00b（イベント検出なし）の状態で行ってください。TCST ビットは、カウントソースに同期して 0 になります。TCST ビットを 0 にした場合、このビットが更新されたことを確認してから次の処理を実行してください。

TCNF[1:0]ビット（時間キャプチャノイズフィルタ制御）

TCNF[1:0]ビットは、時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) のノイズフィルタを制御します。

ノイズフィルタが開始の場合、カウントソースの 1 分周または 32 分周を選択できます。このとき、時間キャプチャイベント入力端子の入力レベルが設定したサンプリング周期で 3 回連続して一致すると、その入力レベルが確定されます。

TCNF[1:0]ビットの設定は、TCCT[1:0]ビットが 00b（イベント検出なし）の状態で行ってください。ノイズフィルタを使用する場合は、TCNF[1:0]ビットの設定後、設定したサンプリング周期の 3 周期分待った後、TCCT[1:0]ビットの設定を行ってください。TCNF[1:0]ビットは、VBTICTLR.VCHnIEN ビットが 1 のときに設定してください。

TCEN ビット（時間キャプチャイベント入力端子許可）

TCEN ビットは、時間キャプチャイベント入力端子 RTCIC0、RTCIC1、および RTCIC2 を有効または無効にします。時間キャプチャイベント入力端子に複数の機能を割り当てる場合は、最初に VBTICTLR レジスタの設定をしてください。TCEN ビットを 0 にする場合、TCCT[1:0]ビットも 00b にしてください。

本ビットに 1 を設定する前に、カウントソース設定ビット (RCR4.RCKSEL)、RTC 時間キャプチャイベントイネーブルビット (RCPE.RTCEN)、ポートコントロール設定ビット（PmnPFS.PDR、および PmnPFS.PMR）を必ず設定してください。ポートコントロール設定ビット（PmnPFS.PDR および PmnPFS.PMR）については「19. I/O ポート」を参照してください。

24.2.28 RSECCPn : 秒キャプチャレジスタ n (n = 0～2)（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x52+ 0x10 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	SEC10[2:0]			SEC1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	SEC1[3:0]	1 秒キャプチャ 一秒の位のキャプチャ値を示します。	R
6:4	SEC10[2:0]	10 秒キャプチャ 十秒の位のキャプチャ値を示します。	R
7	—	読み出し値は不定です。	R

注. S-TYPE3, P-TYPE3

RSECCPn レジスタは、時間キャプチャイベント検出時に RSECCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RSECCP0 レジスタに、RTCIC1 端子によるイベント検出時は RSECCP1 レジスタに、そして RTCIC2 端子によるイベント検出時は RSECCP2 レジスタに、それぞれイベント検出時刻を格納します。このレジスタは、RTC ソフトウェアリセットによって 0x00 にクリアされます。読み出しは、RTCCRn.TCCT[1:0]ビットで時間キャプチャイベント検出を停止させてから行ってください。

24.2.29 RMINCPn : 分キャプチャレジスタ n (n = 0～2)（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x54+ 0x10 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	MIN10[2:0]			MIN1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	MIN1[3:0]	1 分キャプチャ 一分の位のキャプチャ値を示します。	R
6:4	MIN10[2:0]	10 分キャプチャ 十分の位のキャプチャ値を示します。	R
7	—	読み出し値は不定です。	R

注. S-TYPE3, P-TYPE3

RMINCPn レジスタは、時間キャプチャイベント検出時に RMINCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RMINCP0 レジスタに、RTCIC1 端子によるイベント検出時は RMINCP1 レジスタに、そして RTCIC2 端子によるイベント検出時は RMINCP2 レジスタに、それぞれイベント検出時刻を格納します。

このレジスタは、RTC ソフトウェアリセットによって 0x00 にクリアされます。読み出しは、RTCCRn.TCCT[1:0]ビットで時間キャプチャイベント検出を停止させてから行ってください。

24.2.30 RHRCPn : 時キャプチャレジスタ n (n = 0～2)（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x56+ 0x10 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	PM	HR10[1:0]		HR1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	HR1[3:0]	1 時間キャプチャ 一時間の位のキャプチャ値を示します。	R
5:4	HR10[1:0]	10 時間キャプチャ 十時間の位のキャプチャ値を示します。	R
6	PM	PM 0: 午前 1: 午後	R
7	—	読み出し値は不定です。	R

注. S-TYPE3, P-TYPE3

RHRCPn レジスタは、時間キャプチャイベント検出時に RHRCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RHRCP0 レジスタに、RTCIC1 端子によるイベント検出時は RHRCP1 レジスタに、そして RTCIC2 端子によるイベント検出時は RHRCP2 レジスタに、それぞれイベント検出時刻を格納します。

RCR2.HR24 ビットが 0（12 時間モード）の場合にのみ、PM ビットが有効になります。

このレジスタは、RTC ソフトウェアリセットによって 0x00 にクリアされます。読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

24.2.31 RDAYCPn : 日キャプチャレジスタ n (n = 0～2)（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x5A+ 0x10 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	DATE10[1:0]		DATE1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	DATE1[3:0]	1 日キャプチャ 一日の位のキャプチャ値を示します。	R
5:4	DATE10[1:0]	10 日キャプチャ 十日の位のキャプチャ値を示します。	R
7:6	—	読み出し値は不定です。	R

注. S-TYPE3, P-TYPE3

RDAYCPn レジスタは、時間キャプチャイベント検出時に RDAYCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RDAYCP0 レジスタに、RTCIC1 端子によるイベント検出時は RDAYCP1 レジスタに、そして RTCIC2 端子によるイベント検出時は RDAYCP2 レジスタに、それぞれイベント検出時刻を格納します。

このレジスタは、RTC ソフトウェアリセットによって 0x00 にクリアされます。読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

24.2.32 RMONCPn : 月キャプチャレジスタ n (n = 0～2)（カレンダーカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x5C+ 0x10 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	MON10	MON1[3:0]			
Value after reset:	0	0	0	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	MON1[3:0]	1 月キャプチャ 一月の位のキャプチャ値を示します。	R
4	MON10	10 月キャプチャ 十月の位のキャプチャ値を示します。	R
7:5	—	読むと 0 が読めます。	R

注. S-TYPE3, P-TYPE3

RMONCPn レジスタは、カレンダカウントモード時に使用され、時間キャプチャイベント検出時に RMONCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RMONCP0 レジスタに、RTCIC1 端子によるイベント検出時は RMONCP1 レジスタに、そして RTCIC2 端子によるイベント検出時は RMONCP2 レジスタに、それぞれイベント検出時刻を格納します。

このレジスタは、RTC ソフトウェアリセットによって 0x00 にクリアされます。読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

24.2.33 BCNTnCPm : BCNTn キャプチャレジスタ m (n = 0～3, m = 0～2)（バイナリカウントモード時）

Base address: RTC = 0x4020_2000
RTC_NS = 0x5020_2000

Offset address: 0x52 + 0x10 × m (BCNT0CPm)
0x54 + 0x10 × m (BCNT1CPm)
0x56 + 0x10 × m (BCNT2CPm)
0x5A + 0x10 × m (BCNT3CPm)

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	x	x	x	x	x	x	x	x

BCNTnCPm レジスタは、時間キャプチャイベント検出時に BCNTn 値をキャプチャする読み出し専用のレジスタです。BCNT3CPm は BCNTCPm[31:24]ビットに、BCNT2CPm は BCNTCPm[23:16]ビットに、BCNT1CPm は BCNTCPm[15:8]ビットに、BCNT0CPm は BCNTCPm[7:0]ビットに割り当てられます。RTCIC0 端子によるイベント検出時は BCNTnCP0 レジスタに、RTCIC1 端子によるイベント検出時は BCNTnCP1 レジスタに、そして RTCIC2 端子によるイベント検出時は BCNTnCP2 レジスタに、それぞれイベント検出時刻を格納します。

このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。読み出しは、RTCCRn.TCCT[1:0]ビットで時間キャプチャイベント検出を停止させてから行ってください。

24.3 動作説明

24.3.1 電源投入後のレジスタ初期設定の概要

電源投入後は、クロック設定、カウントモード設定、時間誤差補正、時刻設定、アラーム、割り込みおよび時間キャプチャに対して、初期設定を行ってください。

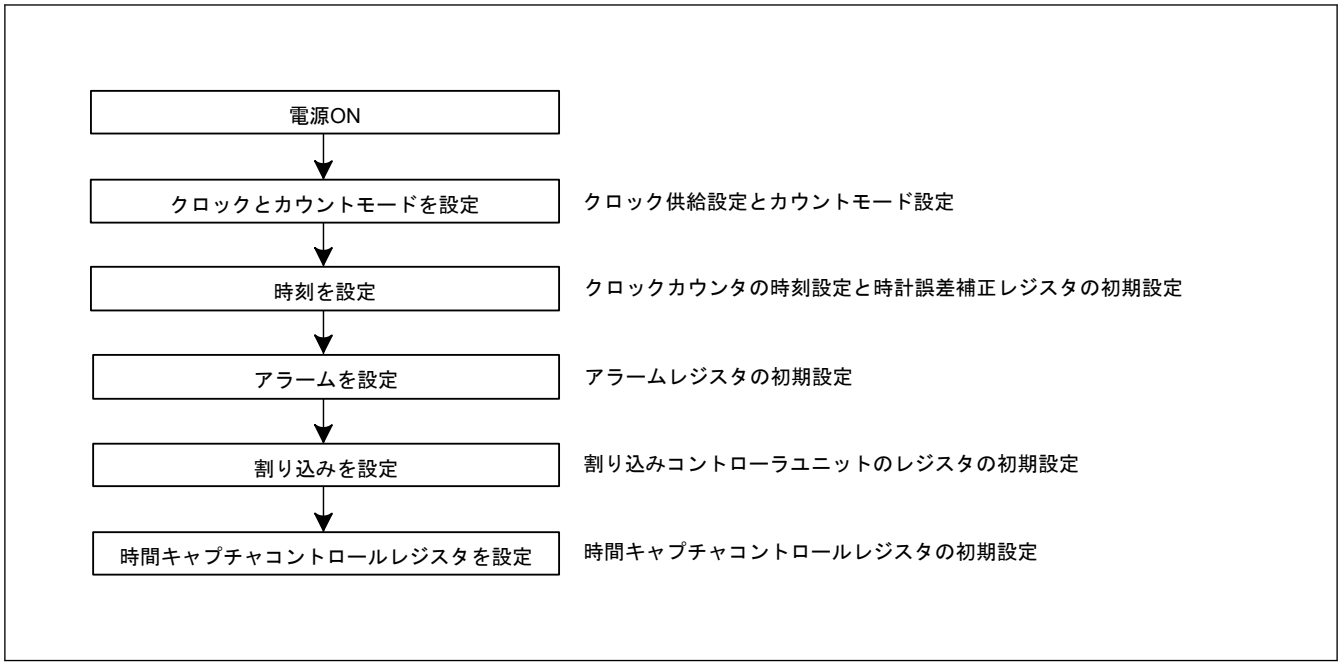
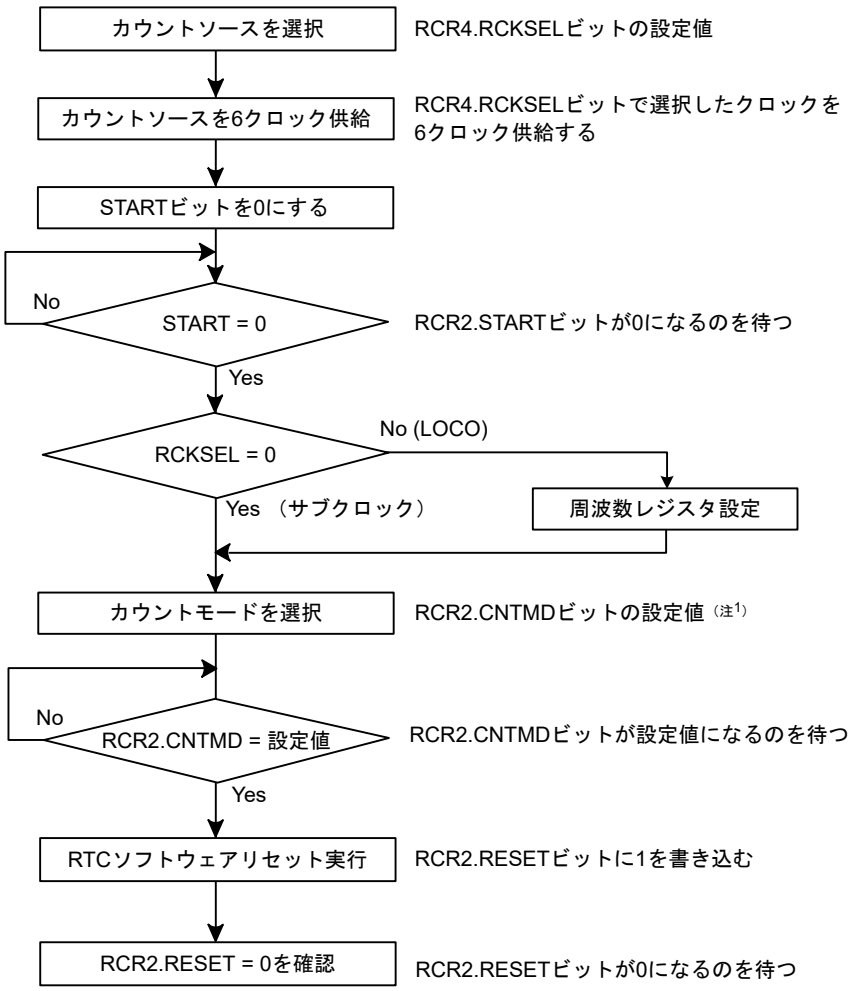


図 24.2　電源投入後の初期設定の概要

24.3.2　クロックおよびカウントモードの設定手順

図 24.3 にクロックおよびカウントモードの設定手順を示します。

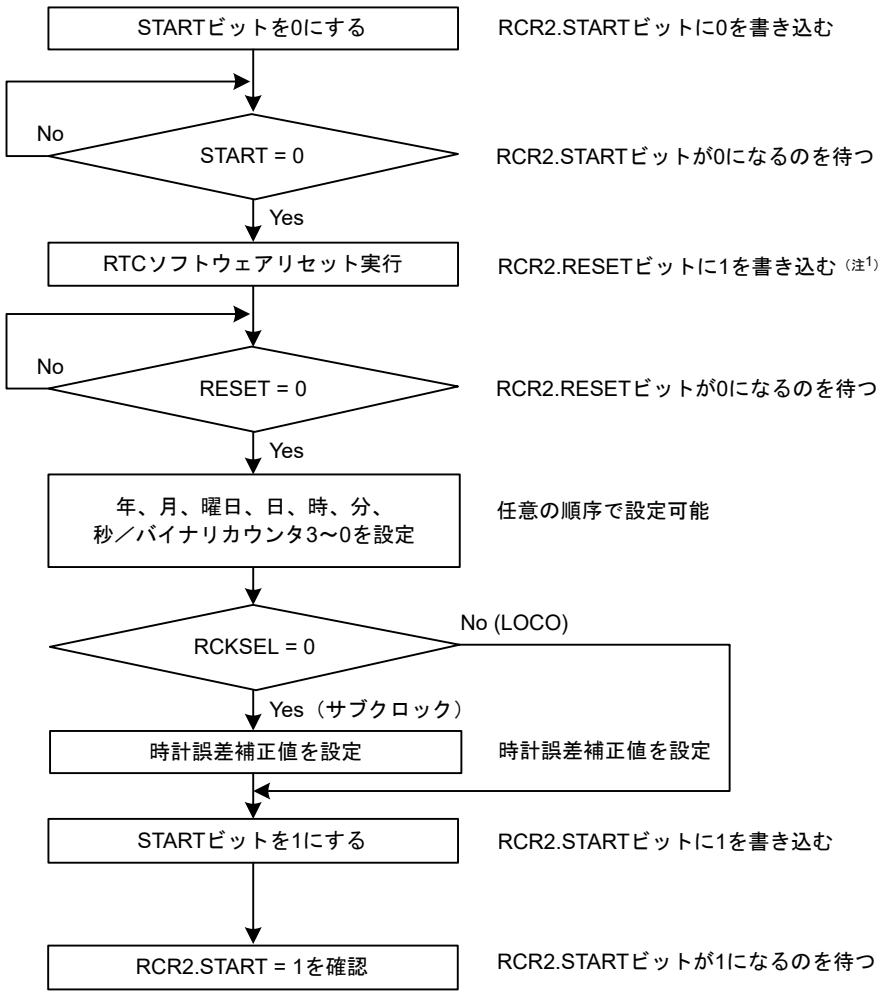


注 1. START ビットを 0 にすると同時にカウントモードを設定する場合、本手順を省略できます。RCR2.CNTMD ビットには、カウントモード設定に対応する値を書き込んでください。

図 24.3 クロックおよびカウントモードの設定手順

24.3.3 時刻の設定

図 24.4 に時刻の設定手順を示します。



注 1. 電源投入時の初期設定で行うクロック設定手順で RTC ソフトウェアリセットを実行するため、電源投入後の初期設定ではこの手順を省略することができます。
注 2. 任意の順序で設定してください。

図 24.4 時刻の設定

24.3.4 30 秒調整

図 24.5 に 30 秒調整の実行手順を示します。

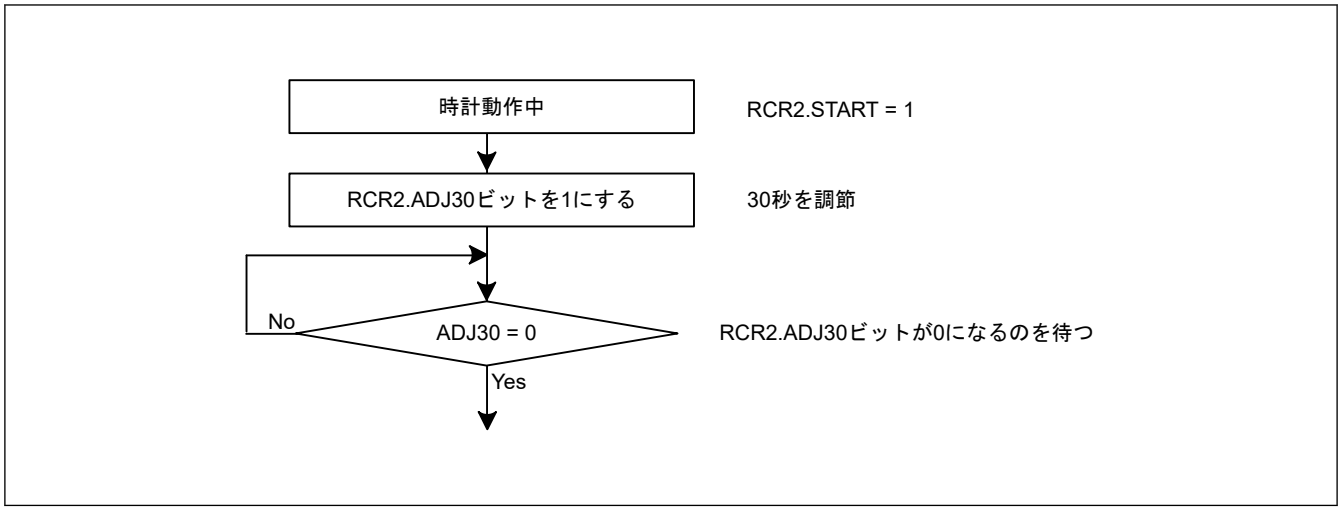
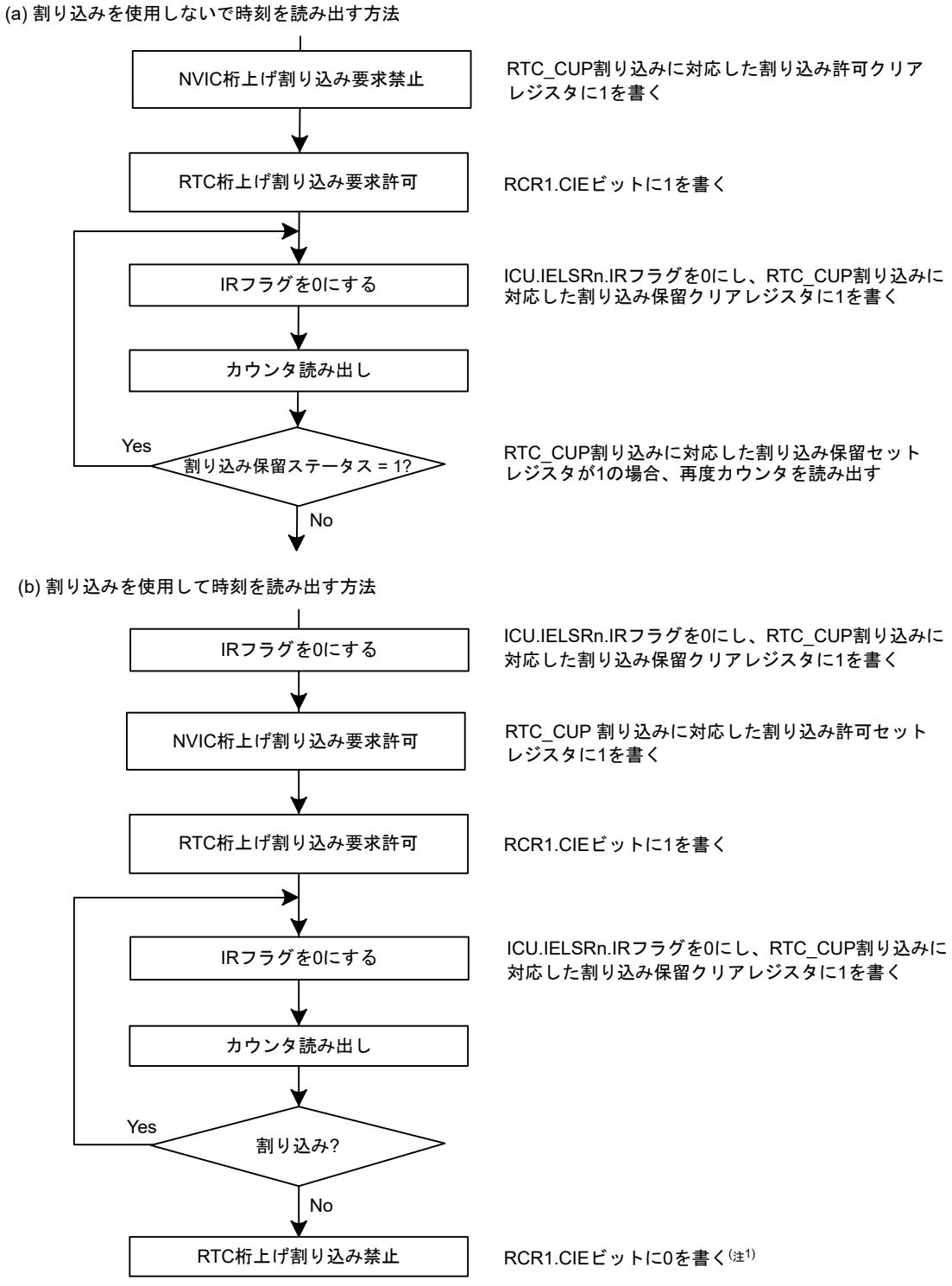


図 24.5　30 秒調整の実行

24.3.5　64 Hz カウンタと時刻の読み出し

図 24.6 に 64 Hz カウンタと時刻の読み出し手順を示します。



注 1. 必要に応じて割り込みを禁止してください。

図 24.6 64 Hz カウンタと時刻の読み出し手順

64 Hz カウンタと時刻の読み出し中に桁上げが生じると、正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しないで時刻を読み出す場合の手順を図 24.6 の (a) に、桁上げ割り込みを使用する場合の手順を (b) に示します。通常は、プログラムを簡潔にするため、割り込みを使用しない方法 (a) を推奨します。

24.3.6 アラーム機能

図 24.7 にアラーム機能の使用手順を示します。

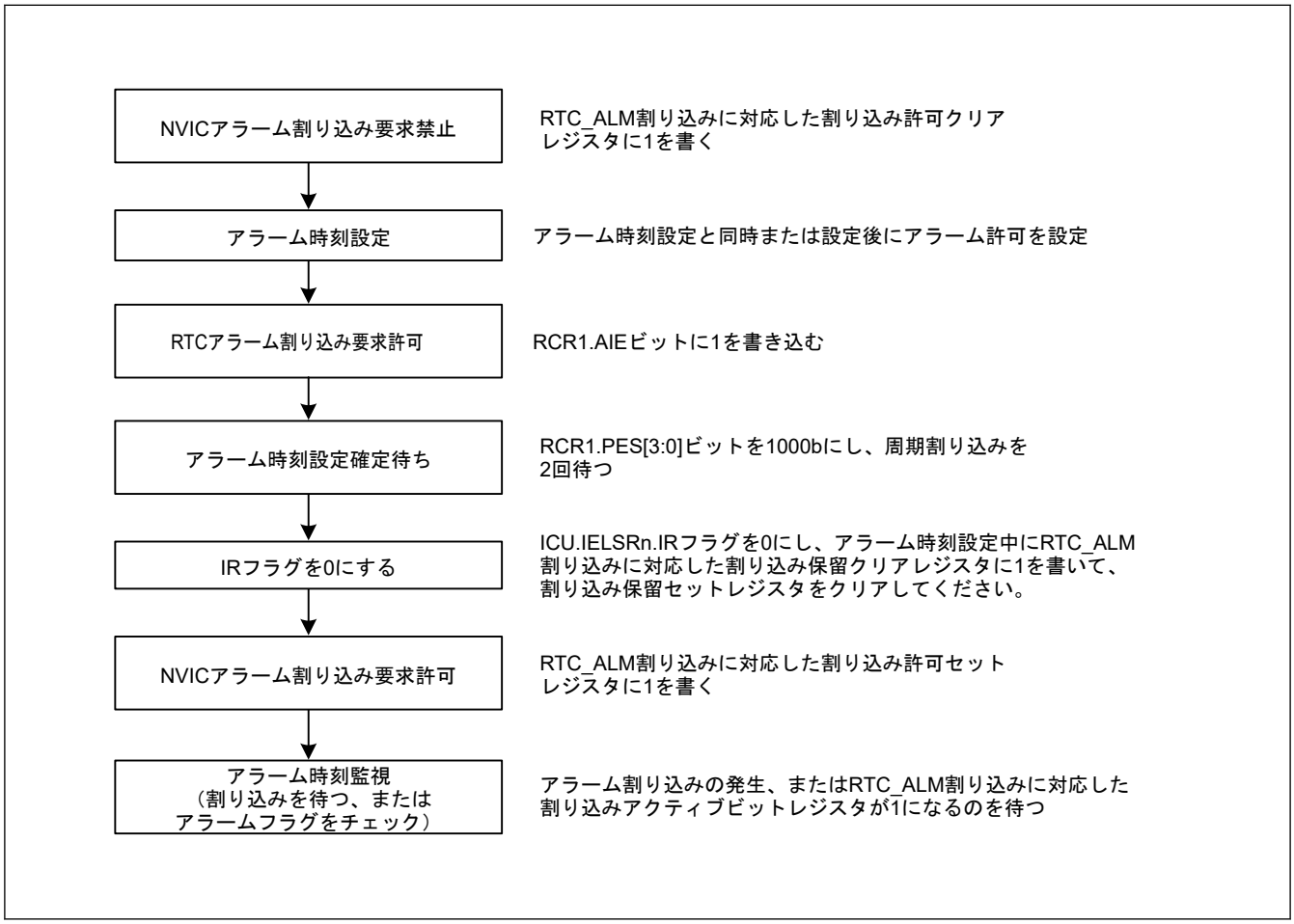


図 24.7 アラーム機能の使用手順

カレンダカウントモードでは、年、月、日、曜日、時、分、秒のいずれか 1 つ、またはこれらの任意の組み合わせで、アラームを発生させることができます。アラーム設定をする各アラームレジスタの ENB ビットに 1 を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは ENB ビットに 0 を書き込みます。

バイナリカウントモードでは、32 ビットの任意ビットの組み合わせでアラームを発生させることができます。アラームの対象とするビットに対応するアラームイネーブルレジスタの ENB ビットに 1 を書き込み、アラームレジスタにアラーム時刻を設定します。アラームの対象外とするビットに対しては、アラームイネーブルレジスタ(注1)の ENB ビットに 0 を書き込みます。

ENB[31:0]ビットのうち、1 になっているビットに対応するバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ(注1)と比較されて、すべてが一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になり、割り込み保留セット／割り込み保留クリアレジスタが 1 になります。アラームの検出は、RTC_ALM 割り込みに対応した割り込み保留セットレジスタを読み出すことで確認できますが、通常は割り込みで行うことを推奨します。RTC_ALM 割り込みに対応した割り込み許可セットレジスタが 1 になっている場合、アラームイベント発生時にアラーム割り込みが発生し、アラームの検出が可能になります。

RTC_ALM 割り込みに対応した IELSRn.IR フラグは、0 を書き込むと 0 になります。割り込みを許可した場合、割り込みハンドラの終了後、RTC_ALM 割り込みに対応した割り込み保留セット／割り込み保留クリアレジスタが自動的にクリアされます。割り込みを禁止した場合は、RTC_ALM 割り込みに対応した割り込み保留クリアレジスタに 1 を書き込むと、レジスタはクリアされます。

低消費電力状態のときにカウンタとアラーム時刻が一致すると、MCU は低消費電力状態から復帰します。

注 1. ENB ビットのうち 1 になっている各ビットに対し、以下のレジスタのうちアラームレジスタの対応する位置の値とカウンタレジスタのカウント値の対応する各ビットが比較されます。

カウンタレジスタ： RSECCNT, RMINCNT, RHRCNT, RWKCNT, RDAYCNT, RMONCNT, RYRCNT
アラームレジスタ： RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN

24.3.7 アラーム割り込み禁止手順

図 24.8 に、許可状態のアラーム割り込み要求を禁止する手順を示します。

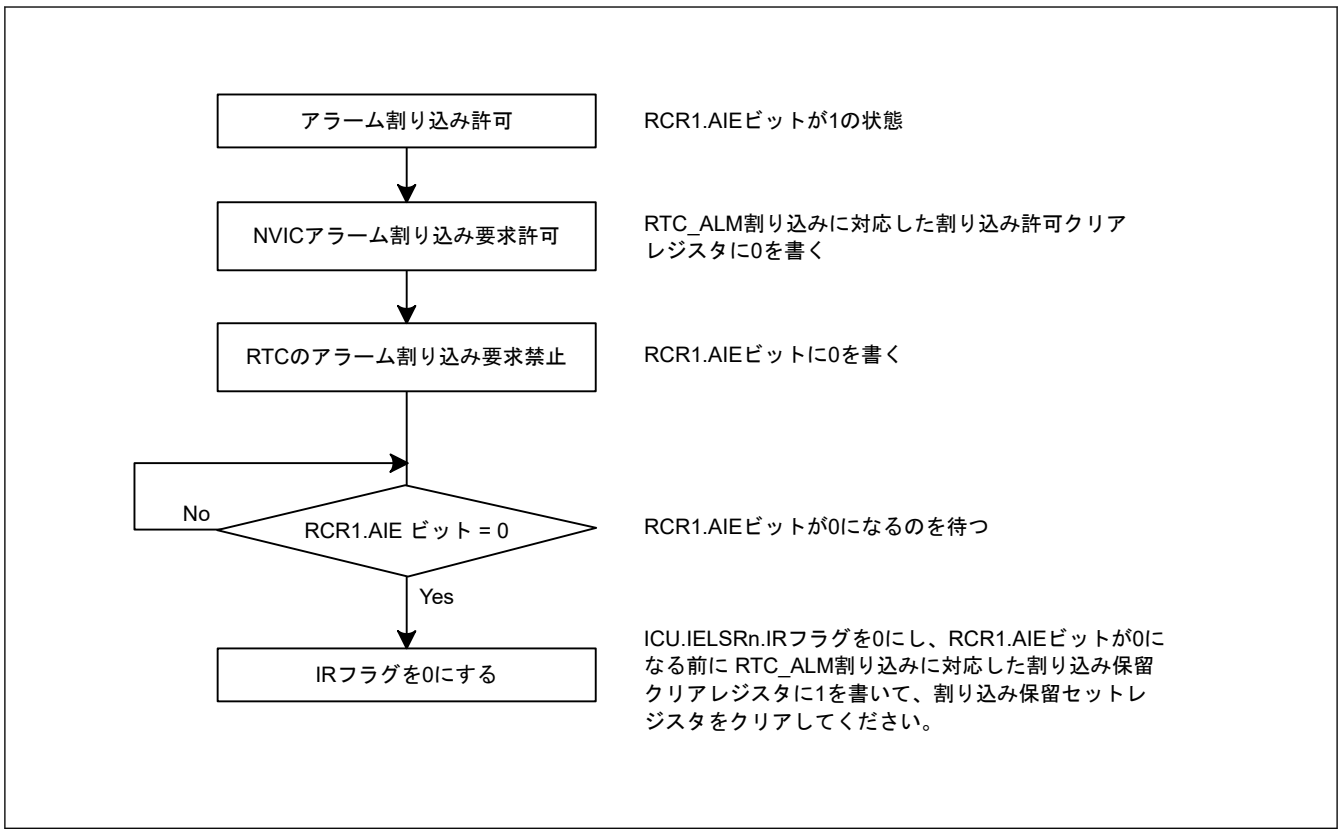


図 24.8 アラーム割り込み要求の禁止手順

24.3.8 時間誤差補正機能

時間誤差補正機能は、サブクロック発振器による発振精度の変動に起因した、時計の誤差（進みまたは遅れ）を補正するために使用されます。サブクロック発振器を選択した場合、サブクロック発振器の 32768 サイクルが 1 秒の動作に相当するため、サブクロック発振器の周波数が高いと時計が進み、低いと時計が遅れます。

時間誤差補正機能には以下の種類があります。

- 自動補正
- ソフトウェアによる補正

自動補正またはソフトウェアによる補正は、RCR2.AADJE ビットで選択してください。

24.3.8.1 自動補正

RCR2.AADJE ビットを 1 にすると、自動補正が有効になります。

自動補正では、RCR2.AADJP ビットで選択した補正周期ごとに、プリスケーラでカウントした値に対して RADJ レジスタ値を加算または減算します。

(1) 例 1：サブクロック発振器が 32.769 kHz で動作している場合

補正方法

サブクロック発振器が 32.769 kHz で動作している場合、32769 クロックサイクルごとに 1 秒経過します。RTC は、32768 クロックサイクルを 1 秒として動作するため、1 秒ごとに 1 クロックサイクル分時計が進みます。時

計は、1 分当たり 60 クロックサイクルのペースで早くなるため、1 分ごとに 60 クロックサイクルだけ遅らせる方法で補正が可能です。

レジスタ設定値：（RCR2.CNTMD = 0 の場合）

- RCR2.AADJP = 0（1 分ごとに補正）
- RADJ.PMADJ[1:0] = 10b（プリスケーラに対して値を減算して補正）
- RADJ.ADJ[5:0] = 60 (0x3C)

(2) 例 2：サブクロック発振器が 32.766 kHz で動作している場合

補正方法

サブクロック発振器が 32.766 kHz で動作している場合、32766 クロックサイクルごとに 1 秒経過します。RTC は、32768 クロックサイクルを 1 秒として動作するため、1 秒ごとに 2 クロックサイクル分時計が遅れます。時計は、10 秒当たり 20 クロックサイクルのペースで遅くなるため、10 秒ごとに 20 クロックサイクル分時計を進める方法で補正が可能です。

レジスタ設定値：（RCR2.CNTMD = 0 の場合）

- RCR2.AADJP = 1（10 秒ごとに補正）
- RADJ.PMADJ[1:0] = 01b（プリスケーラに対して値を加算して補正）
- RADJ.ADJ[5:0] = 20 (0x14)

(3) 例 3：サブクロック発振器が 32.764 kHz で動作している場合

補正方法

サブクロック発振器が 32.764 kHz で動作している場合、32764 クロックサイクルで 1 秒経過します。RTC は、32768 クロックサイクルを 1 秒として動作するため、時計は 1 秒間に 4 クロックサイクル分遅れます。8 秒間では 32 クロックサイクル分遅れるため、8 秒ごとに 32 クロックサイクル分時計を進めることで補正が可能です

レジスタ設定値：（RCR2.CNTMD = 1 の場合）

- RCR2.AADJP = 1（8 秒ごとに補正）
- RADJ.PMADJ[1:0] = 01b（プリスケーラに対して値を加算して補正）
- RADJ.ADJ[5:0] = 32 (0x20)

24.3.8.2 ソフトウェアによる補正

RCR2.AADJE ビットを 0 にすると、ソフトウェアによる補正が有効になります。ソフトウェアによる補正では、RADJ レジスタへの書き込み命令を実行したタイミングで、プリスケーラでカウントした値に対し RADJ レジスタ値を加算または減算します。

(1) 例 1：サブクロック発振器が 32.769 kHz で動作している場合

補正方法

サブクロック発振器が 32.769 kHz で動作している場合、32769 クロックサイクルごとに 1 秒経過します。RTC は、32768 クロックサイクルを 1 秒として動作するため、1 秒ごとに 1 クロックサイクル分時計が進みます。時計は、1 秒当たり 1 クロックサイクルのペースで早くなるため、1 秒ごとに 1 クロックサイクル分、時計を遅らせる方法で補正が可能です。

レジスタ設定値：（RCR2.CNTMD = 0 の場合）

- RADJ.PMADJ[1:0] = 10b（プリスケーラに対して値を減算して補正）
- RADJ.ADJ[5:0] = 1 (0x01)
  この値を、1 秒の割り込みにつき 1 回、RADJ レジスタに書き込みます。

24.3.8.3 補正方法の変更手順

補正方法を変更する場合は、RADJ.PMADJ[1:0]ビットを 00b（補正を行わない）にした後、RCR2.AADJE ビットの値を変更してください。

ソフトウェアによる補正から自動補正へ切り替える場合

1. RADJ.PMADJ[1:0]ビットを 00b（補正を行わない）にします。
2. RCR2.AADJE ビットを 1（自動補正有効）にします。
3. RCR2.AADJP ビットで自動補正周期を選択します。
4. RADJ.PMADJ[1:0]ビットに加算または減算を設定し、RADJ.ADJ[5:0]ビットに時間誤差補正値を設定します。

自動補正からソフトウェアによる補正へ切り替える場合

1. RADJ.PMADJ[1:0]ビットを 00b（補正を行わない）にします。
2. RCR2.AADJE ビットを 0（ソフトウェアによる補正を有効）にします。
3. 任意のタイミングで、RADJ.PMADJ[1:0]ビットに加算または減算を設定し、RADJ.ADJ[5:0]ビットに時間誤差補正値を設定することにより、補正を開始します。以降、RADJ レジスタに値を書き込むごとに時間補正が行われます。

24.3.8.4 補正の停止手順

補正機能を停止するには、RADJ.PMADJ[1:0]ビットを 00b（補正しない）にします。

24.3.9 時間キャプチャ機能

RTC は、カレンダーカウントモード時またはバイナリカウントモード時に、時間キャプチャイベント入力端子の信号のエッジ検出によって、月、日、時、分、秒、およびバイナリカウンタ 3～0 の値を格納することができます。

また、時間キャプチャイベント入力端子には、ノイズフィルタを使用できます。ノイズフィルタを有効にした場合、端子の入力レベルが 3 回一致すると TCST ビットが 1 になります。

時間キャプチャイベント入力端子は、端子ごとにノイズフィルタの開始または停止を設定できます。RTCICn 入力を許可するために、VBTICTLR.VCHnIEN (n = 0～2) を 1 に設定してください。ノイズフィルタ停止の場合の時間キャプチャ動作タイミングを図 24.9 に、ノイズフィルタ開始の場合の時間キャプチャ動作タイミングを図 24.10 に示します。

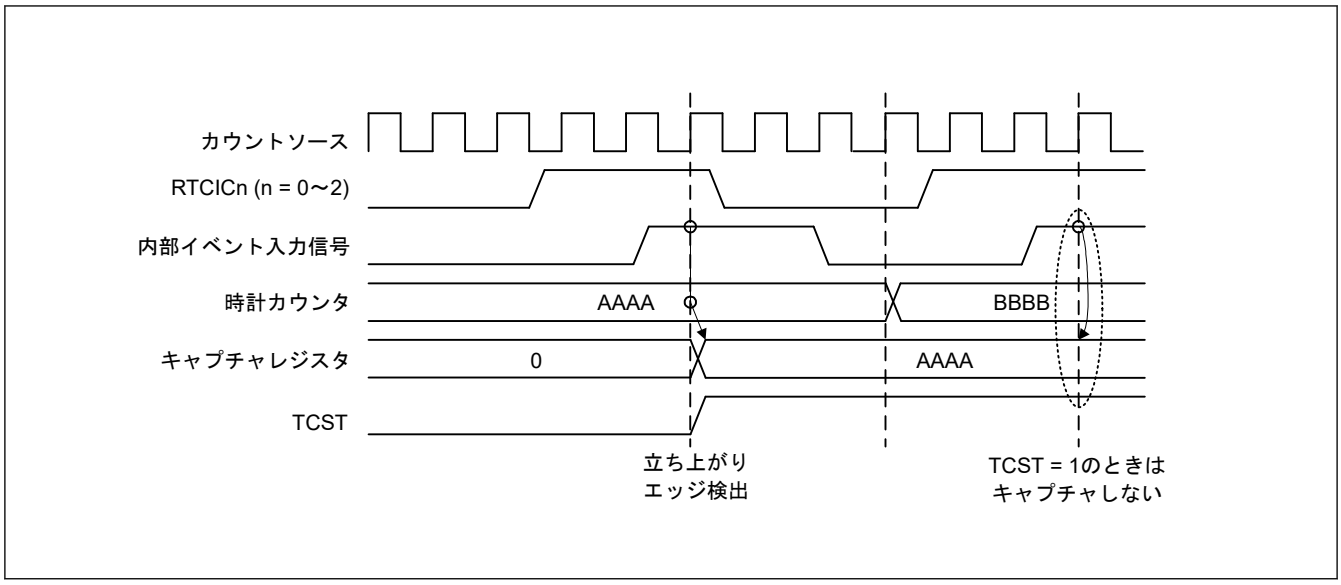


図 24.9 時間キャプチャ動作タイミング（ノイズフィルタオフ）

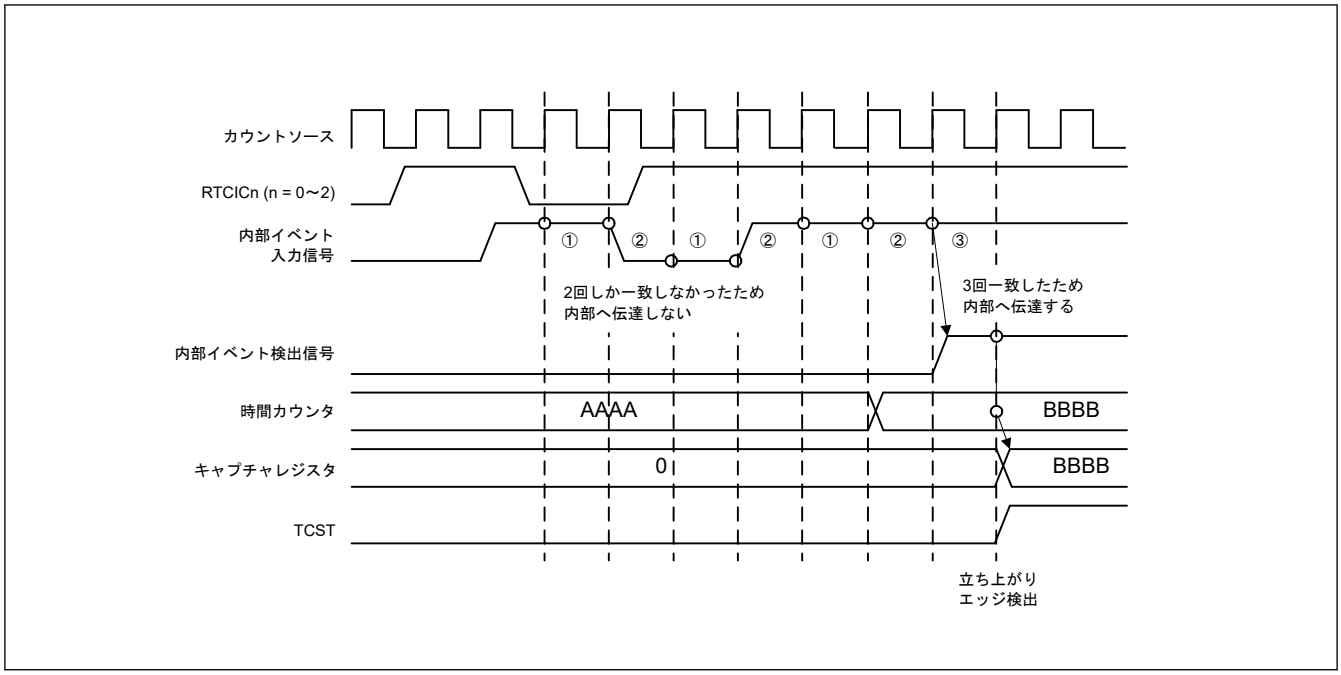


図 24.10　時間キャプチャ動作タイミング（ノイズフィルタオン）

24.4　割り込み要因

RTC には、表 24.3 に示すように、3 種類の割り込み要因があります。

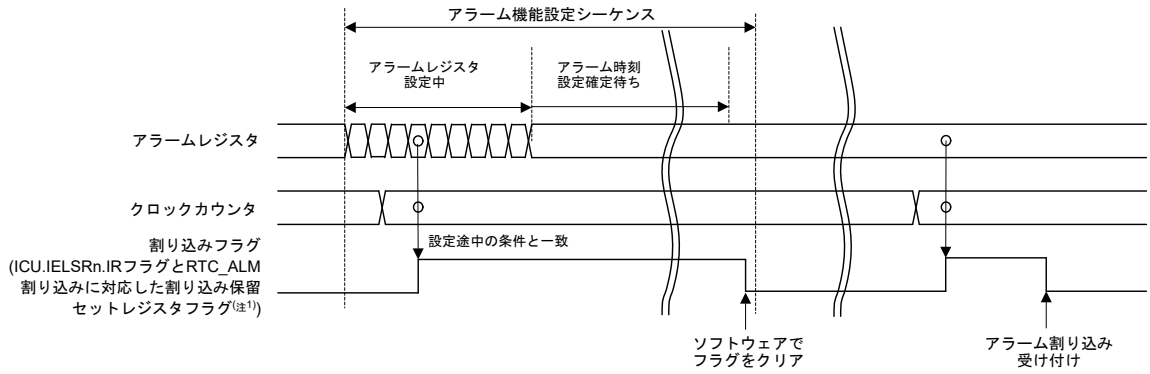
表 24.3　RTC 割り込み要因

名称	割り込み要因
RTC_ALM	アラーム割り込み
RTC_PRD	周期割り込み
RTC_CUP	桁上げ割り込み

(1)　アラーム割り込み (RTC_ALM)

この割り込みは、アラームレジスタと RTC カウンタの比較結果に基づいて発生します。詳細は、「24.3.6. アラーム機能」を参照してください。

アラームレジスタの設定値が時計カウンタと一致したとき、割り込みフラグが 1 になる可能性があるため、アラームレジスタの値を変更した後は、アラーム時刻の設定が確定されるまで待機して、IELSRn.IR フラグと、RTC_ALM 割り込みに対応する割り込み保留セットレジスタを再び 0 にクリアしてください。アラーム割り込みの割り込みフラグが 1 になった後、アラームレジスタと時計カウンタを不一致状態に戻すと、再び一致するかアラームレジスタの値の再設定を行うまでフラグは再び 1 になりません。



注 1. 関連する割り込みベクタ番号の詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

図 24.11 アラーム割り込み (RTC_ALM) のタイミング図

(2) 周期割り込み (RTC_PRD)

この割り込みは、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、または 1/256 秒周期で発生します。RCR1.PES[3:0] ビットによって割り込み周期の選択が可能です。

(3) 桁上げ割り込み (RTC_CUP)

この割り込みは、秒カウンタ／バイナリカウンタ 0 への桁上げが生じたとき、または 64 Hz カウンタの読み出し中に R64CNT カウンタへの桁上げが生じたときに発生します。

図 24.12 に桁上げ割り込み (RTC_CUP) のタイミング図を示します。

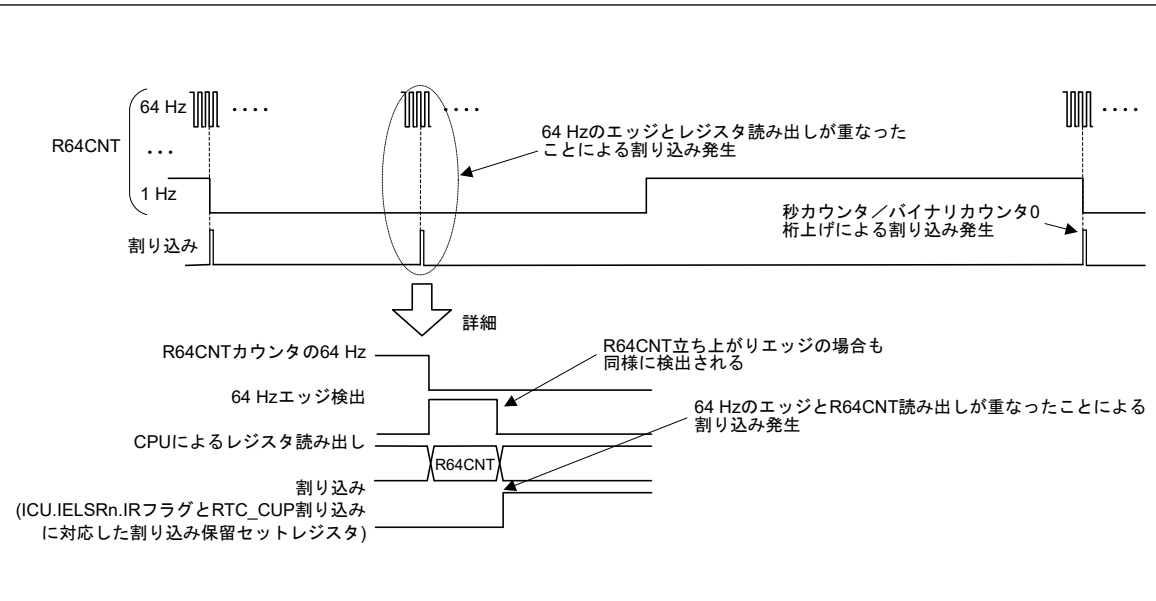


図 24.12 桁上げ割り込み (RTC_CUP) のタイミング図

24.5 イベントリンク出力機能

RTC は、ELC 用の周期イベント出力 (RTC_PRD) のイベント信号を発生させることで、あらかじめ選択しておいた他のモジュールを動作させることが可能です。

RCR1.PES[3:0]ビットの設定により、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒から選択した周期でイベントを出力します。

イベント発生を選択した直後のイベント発生周期は保証されません。

注. RTC からのイベントリンク機能を使用する場合は、必ず RTC の設定（初期化、時刻設定など）を行った後、ELC を設定してください。ELC の設定後に RTC を設定すると、意図しないイベント信号を出力する場合があります。

24.5.1 割り込み処理とイベントリンクの関係

RTC には、周期割り込みを許可または禁止するビットがあります。割り込み要因が発生すると、対応する割り込み許可ビットが許可の場合に、CPU に対して割り込み要求信号を出力します。

これに対して、イベントリンク出力信号は、対応する割り込み許可ビットの設定とは無関係に、割り込み要因が発生すると、ELC を介して他のモジュールにイベント信号として出力します。

注. ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード中も、アラーム割り込みと周期割り込みの出力は可能ですが、ELC 用の周期イベント信号は出力しません。

24.6 使用上の注意事項

24.6.1 カウント動作時のレジスタ書き込みについて

カウント動作時（RCR2.START ビットが 1 のとき）は、以下のレジスタに書き込みを行わないでください。

- RSECCNT/BCNT0
- RMINCNT/BCNT1
- RHRCNT/BCNT2
- RDAYCNT
- RWKCNT/BCNT3
- RMONCNT
- RYRCNT
- RCR1.RTCOS
- RCR2.RTCOE
- RCR2.HR24
- RFRL

上記のレジスタのいずれかに書き込みを行う場合、カウントを停止してから書き込んでください。

24.6.2 周期割り込みの使用について

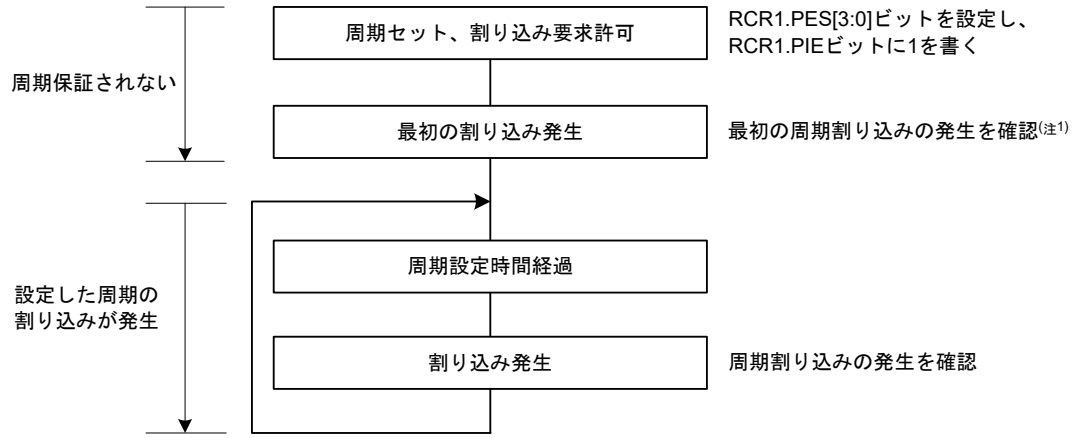
図 24.13 に周期割り込みの使用方法を示します。

周期割り込みの発生とその周期は、RCR1.PES[3:0]ビットの設定で変更できます。ただし、割り込みの生成にはプリスケーラ 、R64CNT と RSECCNT/BCNT0 カウンタが使用されるため、RCR1.PES[3:0]ビットの設定直後は、割り込み発生周期が保証されません。

また、RCR2 レジスタ値を変更して、以下の動作を行うと、割り込み発生周期に影響を与えます。

- カウント動作の停止／動作／リセット
- RTC ソフトウェアリセット
- 30 秒調整

時間誤差補正機能を使用した場合、補正後の割り込み発生周期は、補正値に従って加算または減算されます。



注 1. 周期割り込みを使用中に割り込み発生周期を変更した場合は、設定完了時に割り込みが発生する場合があります。設定直後に割り込みが発生している場合は、設定直後の割り込みを含めて 2 回目の割り込みまで周期が保証されません。

図 24.13 周期割り込み機能の使用方法

24.6.3 RTCOUT (1 Hz/64 Hz) クロック出力について

RCR2 レジスタ値を変更して、カウント動作の停止／動作／リセット、RTC ソフトウェアリセットおよび 30 秒調整を行うと、RTCOUT (1 Hz/64 Hz) 出力周期に影響を与えます。時間誤差補正機能を使用した場合、補正後の RTCOUT (1 Hz/64 Hz) 出力周期は、補正値に従って加算または減算されます。

24.6.4 レジスタ設定後の低消費電力モードへの遷移について

RTC のレジスタへの書き込み中に低消費電力状態（ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、またはバッテリバックアップ状態）へ遷移すると、レジスタ値が破壊することがあります。レジスタの設定後は、設定が確定されたことを確認してから低消費電力モードへ遷移してください。

24.6.5 レジスタの書き込み／読み出し時の注意事項

- カウンタレジスタ（秒カウンタなど）へ書き込んだ後、そのカウンタレジスタを読み出す際は、「24.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。
- カウントレジスタ、アラームレジスタ、年アラームイネーブルレジスタ、RCR2.AADJE、AADJP、HR24 ビット、RCR4 レジスタに書いた値は、書き込み後、4 回目の読み出しから反映されます。
- RCR1.CIE ビット、RCR1.RTCOS ビット、および RCR2.RTCOE ビットは、書き込み直後に書いた値を読み出すことができます。
- リセットあるいはソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、またはバッテリバックアップ状態から復帰した後、タイマカウンタの値を読み出す際は、時計が動作中（RCR2.START ビットが 1）の状態で 1/128 秒間待ってから読み出しを行ってください。
- リセット発生後、カウントソースクロックが 6 サイクル経過してから、RTC レジスタへ書き込んでください。

24.6.6 カウントモードの変更について

カウントモード（カレンダーカウントモード／バイナリカウントモード）を変更する場合は、RCR2.START ビットを 0 にしてカウント動作を停止させた後、初期設定からやり直してください。初期設定の詳細は、「24.3.1. 電源投入後のレジスタ初期設定の概要」を参照してください。

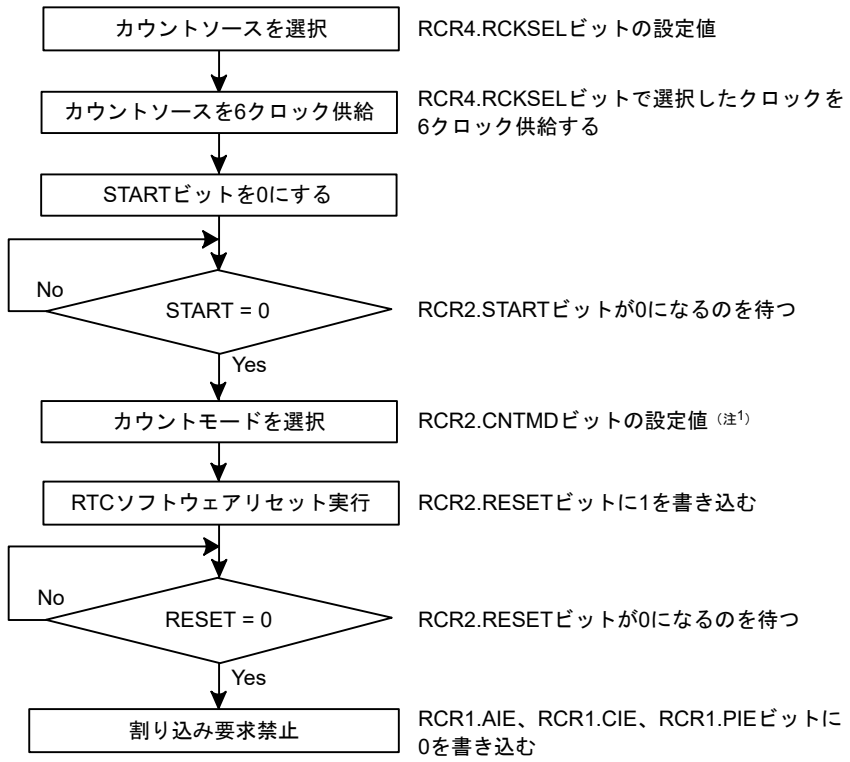
24.6.7 RTC を使用しない場合の初期化手順

RTC 内のレジスタは、リセットによって初期化されません。初期状態によっては、意図しない割り込み要求の発生やカウンタの動作によって、電力消費が多くなります。

RTC を使用しない場合、図 24.14 に示す初期化手順に従って、レジスタを初期化してください。

他の方法として、サブクロック発振器をシステムクロックソース、リアルタイムクロック、各周辺モジュールまたは HOCO の FLL 機能の動作クロックとして使用しない場合は、RCR4.RCKSEL ビットを 0（サブクロック発振器を選択）にした後、サブクロック発振器を停止させることでカウンタを停止できます。サブクロック発振器を停止するには、SOSCCR.SOSTP ビットに 1 を書き込んでください。

SOSCCR.SOSTP ビットの設定については、「8. クロック発生回路」を参照してください。



注 1. START ビットに 0 を書くのと同時にカウントモードを設定している場合、本手順を省略できます。

図 24.14 RTC を使用しない場合の初期化手順

24.6.8 ソースクロック切り替え時

SCKSCR.CKSEL[2:0]ビットを変更してソースクロックを切り替えるとき、セレクタからのクロック出力は切り替えたクロック 4 サイクル分停止します。このとき、RTC 周期割り込みか RTC 周期イベント出力を生成したら、その割り込みやイベントは無効です。

24.6.9 RTC レジスタへ書き込む場合

MCU の VCC 電圧が 1.8 V より低く、かつ RTC レジスタへの書き込みアクセスが行われる場合は、書き込みアクセスが 1 回行われた後に少なくとも 1 回は読み出しアクセスを行ってください。また、書き込みアクセスが連続して行われる場合は、各アクセス間に 167 ns の間隔を空けてください。

25. ウォッチドッグタイマ (WDT)

25.1 概要

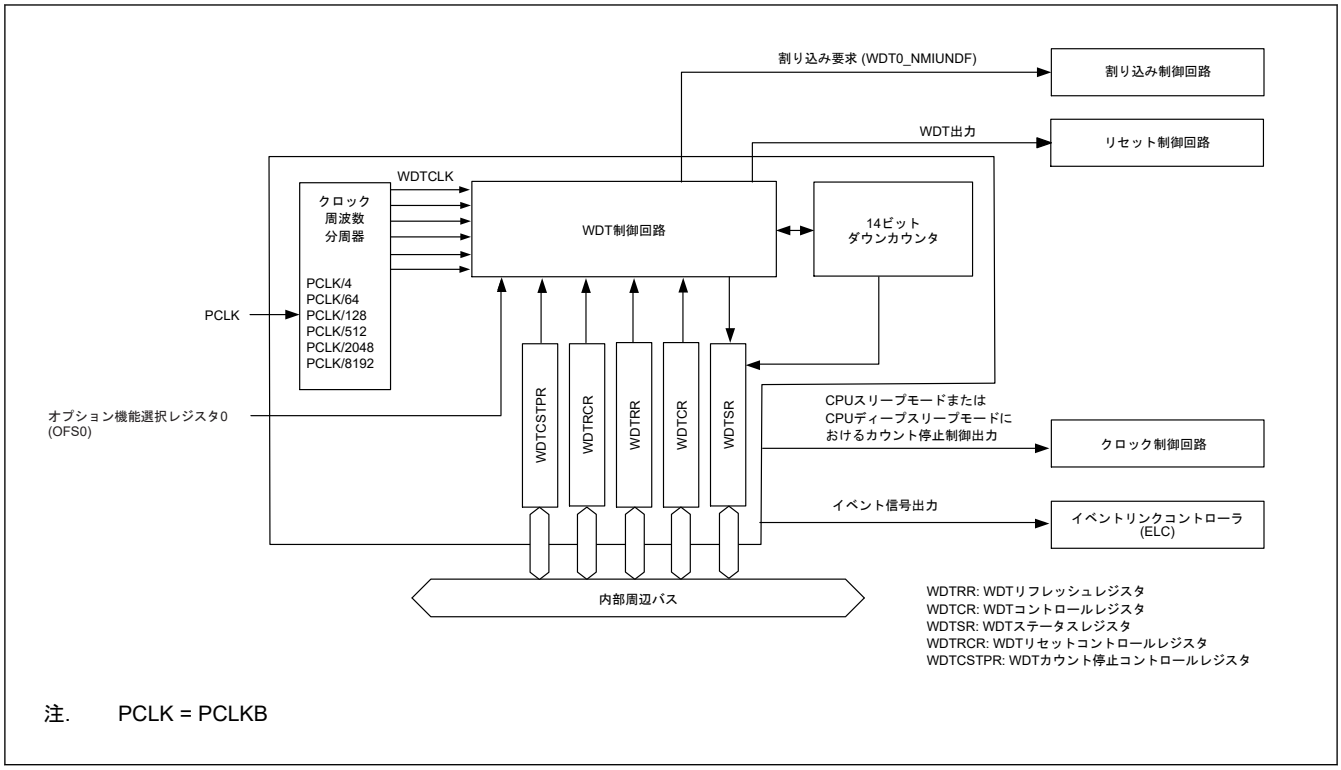
ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走すると WDT をリフレッシュできなくなるため、カウンタがアンダーフローした際に MCU をリセットするのに使用できます。さらに、WDT はノンマスカブル割り込みまたはアンダーフロー割り込みを発生させるのに使用できます。

表 25.1 に WDT の仕様を、図 25.1 に WDT のブロック図を示します。

表 25.1 WDT の仕様

項目	内容
カウントソース(注1)	周辺クロック (PCLKB)
クロック分周比	4 分周／64 分周／128 分周／512 分周／2048 分周／8192 分周
カウンタ動作	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	• オートスタートモード : リセット後、またはアンダーフロー／リフレッシュエラー発生後に自動的にカウント開始 • レジスタスタートモード : WDTRR レジスタへの書き込みによるリフレッシュ動作でカウント開始 • セキュアデベロッパーのみがオートスタートモードまたはレジスタスタートモードを選択可能
カウント停止条件	• リセット（ダウンカウンタおよび他のレジスタが初期値に戻る） • カウンタのアンダーフローまたはリフレッシュエラー発生時
ウィンドウ機能	ウィンドウ開始／終了位置を設定可能（リフレッシュ許可／禁止期間）
ウォッチドッグタイマリセット要因	• ダウンカウンタのアンダーフロー • リフレッシュ許可期間外でのリフレッシュ動作（リフレッシュエラー）
ノンマスカブル割り込み／割り込み要因	• ダウンカウンタのアンダーフロー • リフレッシュ許可期間外でのリフレッシュ動作（リフレッシュエラー）
カウンタ値の読み出し	WDTSR レジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能（出力）	• ダウンカウンタアンダーフローイベント出力 • リフレッシュエラーイベント出力
出力信号（内部信号）	• リセット出力 • 割り込み要求出力 • CPU スリープモードまたは CPU ディープスリープモードカウント停止制御出力
TrustZone フィルタ	セキュリティ属性とプリビレッジ属性を設定可能

注 1. 周辺モジュールクロック (PCLKB) 周波数 ≧ 4 ×（カウントクロックソースの分周後周波数）となるように設定してください。



注. PCLK = PCLKB

図 25.1 WDT のブロック図

25.2 レジスタの説明

25.2.1 WDTRR : WDT リフレッシュレジスタ

Base address: WDT0 = 0x4020_2600
WDT0_NS = 0x5020_2600

Offset address: 0x00

Bit position:	7							0
Bit field:								
Value after reset:	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	n/a	このレジスタに対して、0x00 の書き込み後、0xFF の書き込みでダウンカウンタがリフレッシュ	R/W

注. S-TYPE-3, P-TYPE-3

WDTRR レジスタは、WDT のダウンカウンタをリフレッシュするためのレジスタです。

リフレッシュ許可期間内に、WDTRR レジスタに 0x00 を書き込んだ後、0xFF を書き込むこと（リフレッシュ動作）により、WDT のダウンカウンタがリフレッシュされます。

オートスタートモードでは WDT タイムアウト期間選択ビット (OFS0.WDTTOPS[1:0]) で設定した値からダウンカウントがスタートします。レジスタスタートモードでは、WDT コントロールレジスタのタイムアウト期間選択ビット (WDTCR.TOPS[1:0]) で設定した値からダウンカウントがスタートします。

読み出し値は、0x00 を書き込んだ場合は 0x00 であり、0x00 以外の値を書き込んだ場合は 0xFF となります。リフレッシュ動作の詳細は、「25.3.3. リフレッシュ動作」を参照してください。

25.2.2 WDTCR : WDT コントロールレジスタ

Base address: WDT0 = 0x4020_2600
WDT0_NS = 0x5020_2600

Offset address: 0x02

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	RPSS[1:0]		—	—	RPES[1:0]		CKS[3:0]				—	—	TOPS[1:0]	
Value after reset:	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	機能	R/W
1:0	TOPS[1:0]	タイムアウト期間選択 0 0: 1024 サイクル (0x03FF) 0 1: 4096 サイクル (0x0FFF) 1 0: 8192 サイクル (0x1FFF) 1 1: 16384 サイクル (0x3FFF)	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:4	CKS[3:0]	クロック分周比選択 0 0 0 1: PCLKB/4 0 1 0 0: PCLKB/64 1 1 1 1: PCLKB/128 0 1 1 0: PCLKB/512 0 1 1 1: PCLKB/2048 1 0 0 0: PCLKB/8192 その他: 設定禁止	R/W
9:8	RPES[1:0]	ウィンドウ終了位置選択 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0%（ウィンドウ終了位置の設定なし）	R/W
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:12	RPSS[1:0]	ウィンドウ開始位置選択 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100%（ウィンドウ開始位置の設定なし）	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

WDTCR レジスタは、レジスタスタートモード時のダウンカウンタがアンダーフローするまでのタイムアウト期間、クロック分周比、リフレッシュのウィンドウ開始／終了位置を設定するレジスタです。

WDTCR レジスタへの書き込みには、いくつかの制限があります。詳細は、「25.3.2. WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御」を参照してください。

オートスタートモードの場合、WDTCR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。OFS0 レジスタの設定は、WDTCR レジスタと同様の設定が可能です。詳細は、「25.3.8. オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係」を参照してください。

TOPS[1:0]ビット（タイムアウト期間選択）

TOPS[1:0]ビットはタイムアウト期間（ダウンカウンタがアンダーフローするまでの期間）を、CKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル／4096 サイクル／8192 サイクル／16384 サイクルから選択します。ダウンカウンタのリフレッシュ後、アンダーフローするまでの時間（PCLKB サイクル数）は、CKS[3:0]ビットと TOPS[1:0]ビットの組み合わせで決定されます。

表 25.2 に、CKS[3:0]ビットと TOPS[1:0]ビットの設定値、タイムアウト期間、および PCLKB サイクル数の関係を示します。

表 25.2 タイムアウト期間の設定

CKS[3:0]ビット	TOPS[1:0]ビット	クロック分周比	タイムアウト期間（サイクル数）	PCLKB クロックサイクル数
0x1	00b	PCLKB/4	1024	4096
	01b		4096	16384
	10b		8192	32768
	11b		16384	65536
0x4	00b	PCLKB/64	1024	65536
	01b		4096	262144
	10b		8192	524288
	11b		16384	1048576
0xF	00b	PCLKB/128	1024	131072
	01b		4096	524288
	10b		8192	1048576
	11b		16384	2097152
0x6	00b	PCLKB/512	1024	524288
	01b		4096	2097152
	10b		8192	4194304
	11b		16384	8388608
0x7	00b	PCLKB/2048	1024	2097152
	01b		4096	8388608
	10b		8192	16777216
	11b		16384	33554432
0x8	00b	PCLKB/8192	1024	8388608
	01b		4096	33554432
	10b		8192	67108864
	11b		16384	134217728

CKS[3:0]ビット（クロック分周比選択）

CKS[3:0]ビットはダウンカウンタで使用するクロックの分周比を設定します。分周比は、PCLKB クロックの 4 分周／64 分周／128 分周／512 分周／2048 分周／8192 分周から選択できます。TOPS[1:0]ビットの設定と組み合わせて、WDT のカウント期間を PCLKB クロックの 4096～134217728 サイクルから選択できます。

RPES[1:0]ビット（ウィンドウ終了位置選択）

RPES[1:0]ビットはリフレッシュ許可期間を示すウィンドウ終了位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 75%、50%、25%、0%から選択できます。ウィンドウ終了位置には、ウィンドウ開始位置より小さい値を設定してください（ウィンドウ開始位置 > ウィンドウ終了位置）。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効であり、ウィンドウ終了位置は 0%になります。

RPSS[1:0]ビット（ウィンドウ開始位置選択）

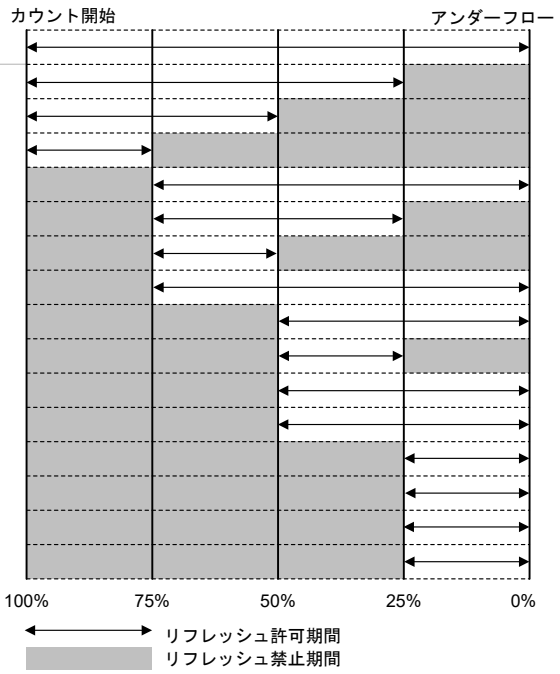
RPSS[1:0]ビットはリフレッシュ許可期間を示すウィンドウ開始位置を設定します。ウィンドウ開始位置は、タイムアウト期間の 100%、75%、50%、25%から選択できます。ウィンドウ開始位置には、ウィンドウ終了位置より大きい値を設定してください。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効であり、ウィンドウ終了位置は 0%になります。

表 25.3 にウィンドウ開始、終了位置のカウンタ値を、図 25.2 に RPSS[1:0]、RPES[1:0]、TOPS[1:0]ビットで設定されるリフレッシュ許可期間を示します。

表 25.3　タイムアウト期間とウィンドウ開始／終了カウンタ値の対応表

TOPS[1:0] ビット	タイムアウト期間		ウィンドウ開始／終了カウンタ値			
	サイクル数	カウンタ値	100%	75%	50%	25%
00b	1024	0x03FF	0x03FF	0x02FF	0x01FF	0x00FF
01b	4096	0x0FFF	0x0FFF	0x0BFF	0x07FF	0x03FF
10b	8192	0x1FFF	0x1FFF	0x17FF	0x0FFF	0x07FF
11b	16384	0x3FFF	0x3FFF	0x2FFF	0x1FFF	0x0FFF

RPSS[1:0]ビット		RPES[1:0]ビット		ウィンドウ	
b13	b12	b9	b8	開始 (%)	終了 (%)
1	1	1	1	100	0
		1	0		25
		0	1		50
		0	0		75
1	0	1	1	75	0
		1	0		25
		0	1		50
		0	0		75
0	1	1	1	50	0
		1	0		25
		0	1		50
		0	0		75
0	0	1	1	25	0
		1	0		25
		0	1		50
		0	0		75



注.　ウィンドウ終了位置設定 ≧ ウィンドウ開始位置設定の場合、ウィンドウ終了位置設定は 0%になります。

図 25.2　RPSS[1:0]および RPES[1:0]ビットとリフレッシュ許可期間

25.2.3　WDTSR : WDT ステータスレジスタ

Base address: WDT0 = 0x4020_2600
WDT0_NS = 0x5020_2600

Offset address: 0x04

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	REFEF	UNDF	CNTVAL[13:0]													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
13:0	CNTVAL[13:0]	ダウンカウンタ値 ダウンカウンタのカウンタ値	R

ビット	シンボル	機能	R/W
14	UNDFF	アンダーフローフラグ 0: アンダーフローなし 1: アンダーフロー発生	R/W(注1)
15	REFEF	リフレッシュエラーフラグ 0: リフレッシュエラーなし 1: リフレッシュエラー発生	R/W(注1)

注. S-TYPE-3, P-TYPE-3
注 1. フラグをクリアするための 0 書き込みのみ可能です。

WDTSR レジスタは、ダウンカウンタのカウンタ値表示、およびアンダーフロー、リフレッシュエラーの発生状態を表示するレジスタです。

CNTVAL[13:0]ビット（ダウンカウンタ値）

CNTVAL[13:0]ビットを読み出すことにより、ダウンカウンタの値を確認できます。読み出し値は、実際のカウント値から 1 カウントずれる場合があります。

UNDFF フラグ（アンダーフローフラグ）

UNDFF フラグを読み出すことにより、ダウンカウンタのアンダーフロー発生状態を確認できます。読み出し値が 1 のとき、ダウンカウンタがアンダーフローしたことを示します。値を 0 にするには 0 を書き込んでください。1 の書き込みは無効です。

UNDFF フラグのクリアには、PCLKB クロックの (N + 1) サイクルを要します。さらに、アンダーフローの発生から (N + 1) PCLKB サイクルの間は、このフラグをクリアしても無視されます。N は以下のように、WDTCR.CKS[3:0]ビットで指定されます。

- WDTCR.CKS[3:0] = 0x1 のとき、N = 4
- WDTCR.CKS[3:0] = 0x4 のとき、N = 64
- WDTCR.CKS[3:0] = 0xF のとき、N = 128
- WDTCR.CKS[3:0] = 0x6 のとき、N = 512
- WDTCR.CKS[3:0] = 0x7 のとき、N = 2048
- WDTCR.CKS[3:0] = 0x8 のとき、N = 8192

REFEF フラグ（リフレッシュエラーフラグ）

REFEF フラグを読み出すことにより、リフレッシュエラー発生状態を確認できます。本フラグは禁止期間中にリフレッシュ動作が実行されたことを示します。読み出し値が 1 のとき、リフレッシュエラーが発生したことを示します。値を 0 にするには、0 を書き込んでください。1 の書き込みは無効です。

REFEF フラグのクリアには、PCLKB クロックの (N + 1) サイクルを要します。さらに、リフレッシュエラーの発生から (N + 1) PCLKB サイクルの間は、このフラグをクリアしても無視されます。N は以下のように、WDTCR.CKS[3:0]ビットで指定されます。

- WDTCR.CKS[3:0] = 0x1 のとき、N = 4
- WDTCR.CKS[3:0] = 0x4 のとき、N = 64
- WDTCR.CKS[3:0] = 0xF のとき、N = 128
- WDTCR.CKS[3:0] = 0x6 のとき、N = 512
- WDTCR.CKS[3:0] = 0x7 のとき、N = 2048
- WDTCR.CKS[3:0] = 0x8 のとき、N = 8192

25.2.4 WDTRCR : WDT リセットコントロールレジスタ

Base address: WDT0 = 0x4020_2600
WDT0_NS = 0x5020_2600

Offset address: 0x06

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RSTIRQS	—	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	RSTIRQS	WDT 動作選択 0: 割り込み 1: リセット	R/W

注. S-TYPE-3, P-TYPE-3

WDTRCR レジスタは、WDT のダウンカウンタのアンダーフローによるリセット出力、または割り込み要求出力の制御を行うレジスタです。

WDTRCR レジスタへの書き込みには、いくつかの制限があります。詳細は、「25.3.2. WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御」を参照してください。

オートスタートモードの場合、WDTRCR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。OFS0 レジスタの設定は、WDTRCR レジスタと同様の設定が可能です。詳細は、「25.3.8. オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係」を参照してください。

25.2.5 WDTCSTPR : WDT カウント停止コントロールレジスタ

Base address: WDT0 = 0x4020_2600
WDT0_NS = 0x5020_2600

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SLCSTP	—	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	SLCSTP	CPU スリープモードカウント停止コントロールレジスタ 0: カウント停止を禁止 1: CPU スリープモードまたは CPU ディープスリープモードへ遷移時にカウント停止	R/W

注. S-TYPE-3, P-TYPE-3

WDTCSTPR レジスタは、CPU スリープモードまたは CPU ディープスリープモードで WDT カウンタを停止させるかどうかを制御します。WDTCSTPR レジスタへの書き込みには、いくつかの制限があります。詳細は、「25.3.2. WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御」を参照してください。

オートスタートモードの場合、WDTCSTPR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。OFS0 レジスタの設定は、WDTCSTPR レジスタと同様の設定が可能です。詳細は、「25.3.8. オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係」を参照してください。

SLCSTP ビット（CPU スリープモードカウント停止コントロールレジスタ）

SLCSTP ビットは、CPU スリープモードまたは CPU ディープスリープモードへ遷移時にカウントを停止させるかどうかを選択します。

25.2.6 オプション機能選択レジスタ 0 (OFS0)

OFS0 レジスタの詳細は、「25.3.8. オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係」を参照してください。

25.3 動作説明

25.3.1 スタートモード別のカウント動作

WDT には、次の 2 つのスタートモードがあります。

- オートスタートモード：リセット状態の解除後、自動的にカウント開始
- レジスタスタートモード：レジスタへの書き込みによるリフレッシュでカウント開始

オートスタートモードでは、リセット状態の解除後、フラッシュメモリ内のオプション機能選択レジスタ 0 (OFS0) の設定に従って自動的にカウントを開始します。

レジスタスタートモードでは、リセット状態の解除後、各レジスタを設定してから WDTRR レジスタへの書き込みによるリフレッシュを行うと、カウントを開始します。

オートスタートモードまたはレジスタスタートモードの選択は、OFS0 レジスタの WDT スタートモード選択ビット (OFS0.WDTSTRT) で行います。

オートスタートモードを選択した場合、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSTPR) の設定値は無効となり、OFS0 レジスタの設定値が有効となります。

レジスタスタートモードを選択した場合、OFS0 レジスタの設定値は無効となり、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSTPR) の設定値が有効となります。

25.3.1.1 レジスタスタートモード

WDT スタートモード選択ビット (OFS0.WDTSTRT) が 1 の場合、レジスタスタートモードが選択されて、OFS0 レジスタが無効となり、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSTPR) が有効となります。

リセット状態の解除後、以下の設定をしてください。

- WDTCR レジスタのクロック分周比
- WDTCR レジスタのウィンドウ開始／終了位置
- WDTCR レジスタのタイムアウト期間
- WDTRCR レジスタのリセット出力または割り込み要求出力
- WDTCSTPR レジスタで CPU スリープモードまたは CPU ディープスリープモードへ遷移時のカウンタ停止制御

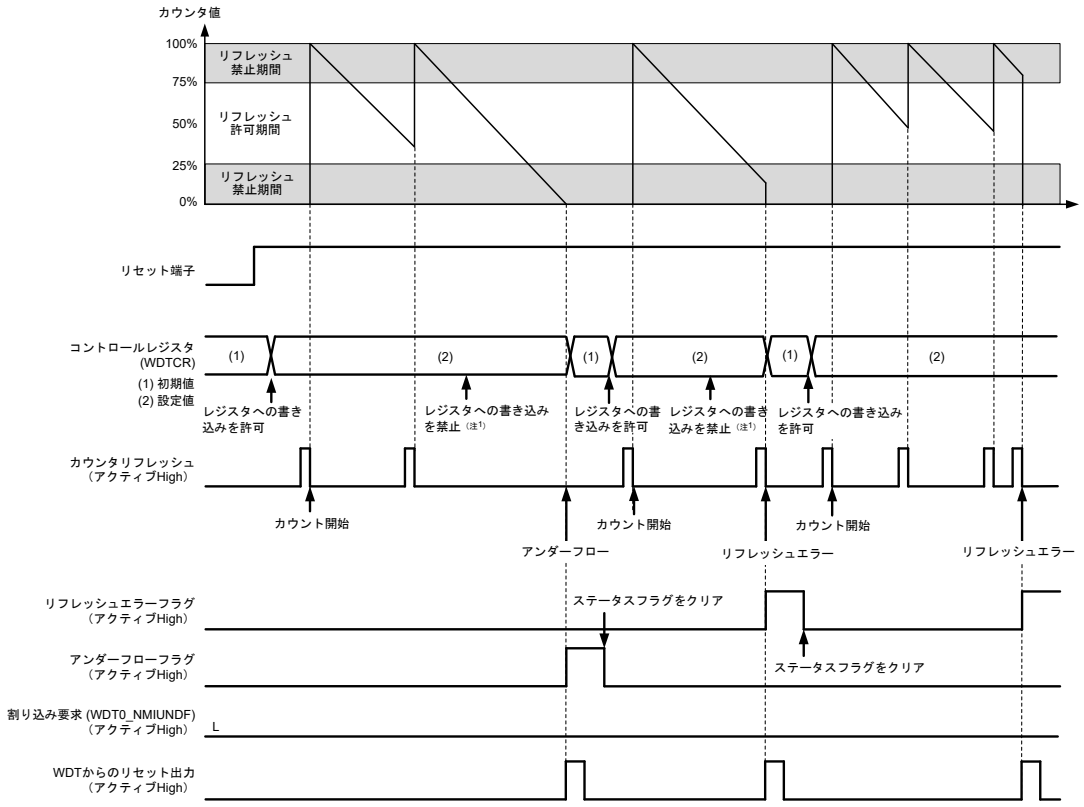
WDT リフレッシュレジスタ (WDTRR) がダウンカウンタをリフレッシュします。結果として、タイムアウト期間選択ビット (WDTCR.TOPS[1:0]) で設定した値からダウンカウントを開始します。

以降、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、リフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウントが継続する間、WDT はリセット信号またはノンマスカブル割り込み要求／割り込み要求を出力しません。ただし、プログラムの暴走によってダウンカウンタのリフレッシュが不可能になったか、あるいはリフレッシュ許可期間外のリフレッシュによってリフレッシュエラーが発生したため、ダウンカウンタがアンダーフローした場合は、WDT はリセット信号またはノンマスカブル割り込み要求／割り込み要求 (WDT0_NMIUNDF) を出力します。リセット出力または割り込み要求出力の選択は、WDT リセット割り込み要求選択ビット (WDTRCR.RSTIRQS) で行います。NMI を動作させるために許可された割り込みは、WDT アンダーフロー／リフレッシュエラー割り込み許可ビット (NMIER.WDTEN) で選択できます。

図 25.3 に、下記の条件下での動作例を示します。

- レジスタスタートモード (OFS0.WDTSTRT = 1)
- WDT リセット割り込み要求選択 (WDTRCR.RSTIRQS = 1)

- ウィンドウ開始位置 75% (WDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (WDTCR.RPES[1:0] = 10b)



注. カウンタをリフレッシュするには、リフレッシュ要求からリフレッシュ実行まで最大 4 カウント信号サイクルを必要とします。

注 1. 「25.3.2. WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御」を参照してください。
リセット端子 = RES

図 25.3 レジスタスタートモードでの動作例

25.3.1.2 オートスタートモード

WDT スタートモード選択ビット (OFS0.WDTSTRT) が 0 の場合、オートスタートモードが選択されます。WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSTPR) の設定値は無効となり、OFS0 レジスタの設定値が有効となります。

リセット状態の間に、オプション機能選択レジスタ 0 (OFS0) の下記の設定値が WDT のレジスタに設定されます。

- クロック分周比
- ウィンドウ開始／終了位置
- タイムアウト期間
- リセット出力または割り込み要求
- CPU スリープモードまたは CPU ディープスリープモードへ遷移時のカウンタ停止制御

リセット状態が解除されると、WDT タイムアウト期間選択ビット (OFS0.WDTTOPS[1:0]) で設定された値からダウンカウンタが自動でダウンカウントを開始します。

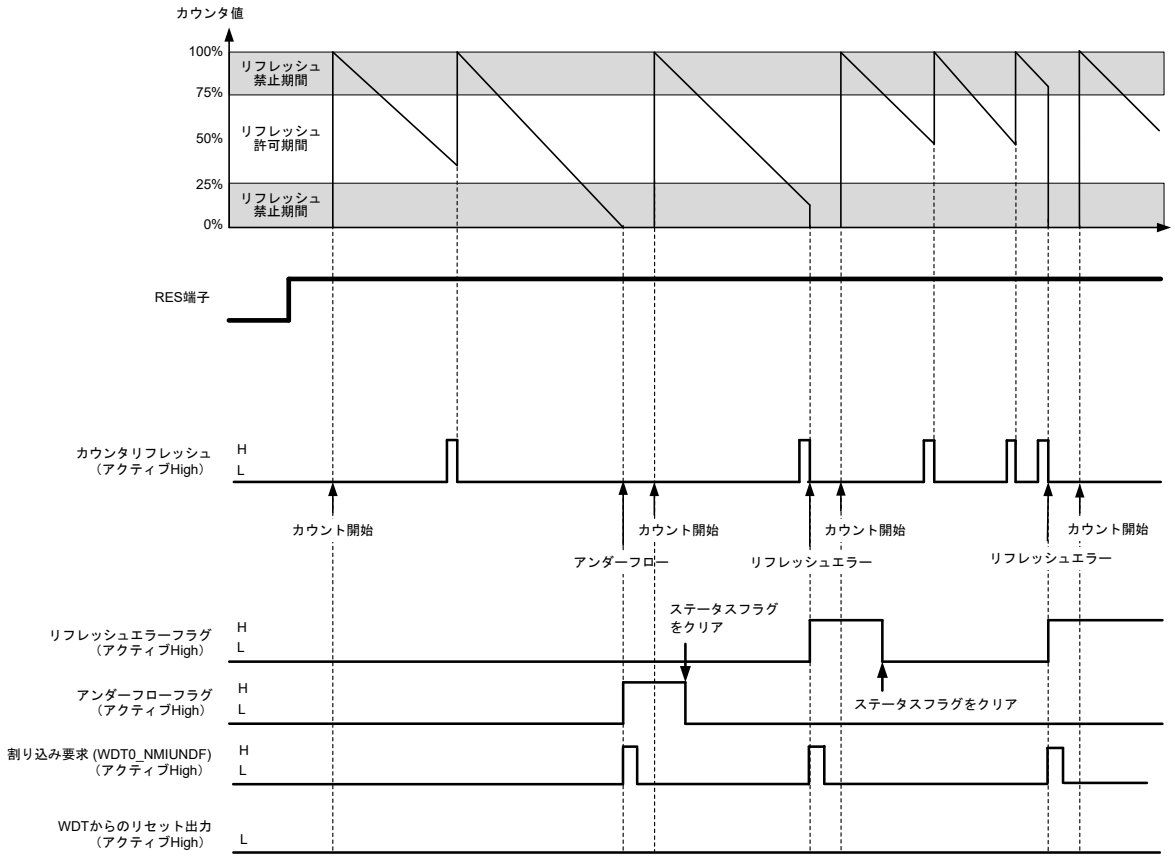
以降、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、リフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウントが継続する間、WDT はリセット信号またはノンマスカブル割り込み要求／割り込み要求 (WDT0_NMIUNDF) を出力しません。ただし、プログラムの暴走によってダウンカウンタのリフレッシュが不可能になったか、あるいはリフレッシュ許可期間外のリフレッシュによってリフレッシュエラーが発生したため、ダウンカウンタがアンダーフローした場合は、WDT はリセット信号またはノンマスカブル割り込み要求／割り込み要求 (WDT0_NMIUNDF) を出力します。

リセット信号またはノンマスカブル割り込み要求／割り込み要求が発生してから 1 サイクルカウント後に、カウンタはタイムアウト期間をリロードします。ダウンカウンタにタイムアウト期間の値が設定され、カウントが再開します。

リセット出力または割り込み要求出力は、WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を設定することにより選択できます。ノンマスカブル割り込み要求または割り込み要求は、WDT アンダーフロー／リフレッシュエラー割り込み許可ビット (NMIER.WDTEN) で選択できます。

図 25.4 に、下記の条件下での動作（ノンマスカブル割り込み）例を示します。

- オートスタートモード (OFS0.WDTSTRT = 0)
- WDT 動作選択：割り込み (OFS0.WDTRSTIRQS = 0)
- ノンマスカブル割り込み：WDT アンダーフロー／リフレッシュエラー割り込み許可 (NMIER.WDTEN = 1)
- ウィンドウ開始位置 75% (OFS0.WDTRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.WDTRPES[1:0] = 10b)



注. カウンタをリフレッシュするには、リフレッシュ要求からリフレッシュ実行まで最大 4 カウント信号サイクルを必要とします。
注. リセット端子 = RES

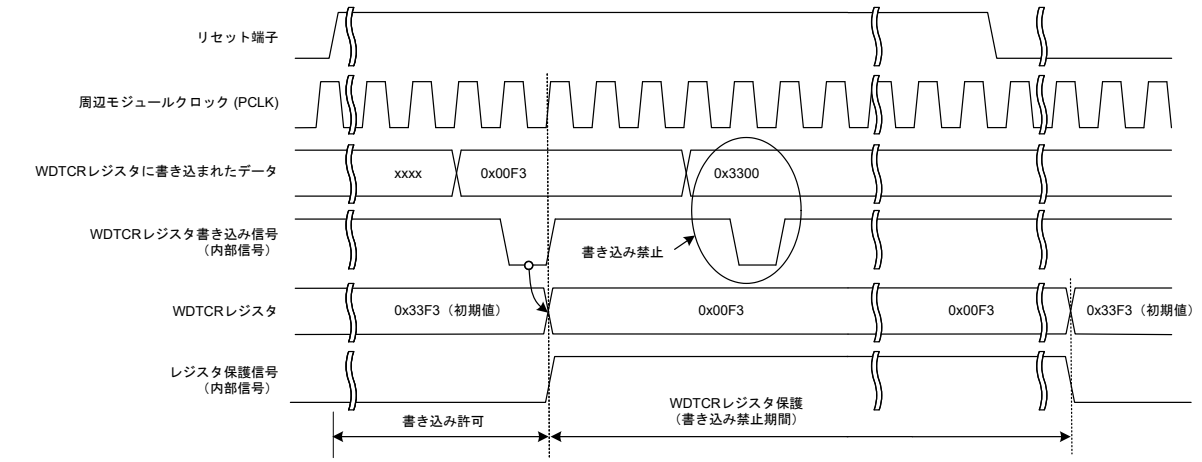
図 25.4 オートスタートモードでの動作例

25.3.2 WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御

WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSTPR) への書き込みは、リセット状態の解除から最初のリフレッシュ動作までの間に 1 回可能です。

リフレッシュ（カウントスタート）後、あるいは WDTCR、WDTRCR、または WDTCSTPR レジスタへ書き込み後に、WDT 内部のプロテクト信号が 1 となり、以後 WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込みを保護します。この保護動作は、WDT のリセット要因によって解除されます。それ以外のリセット要因では解除されません。

図 25.5 に、WDTCR レジスタへの書き込みに対して生成される制御波形を示します。



注. PCLK = PCLKB
リセット端子 = RES

図 25.5 WDTCR レジスタへの書き込みに対して生成される制御波形

25.3.3 リフレッシュ動作

ダウンカウンタをリフレッシュしてカウント動作を開始するには、WDT リフレッシュレジスタ (WDTRR) へ 0x00 の書き込みに続けて 0xFF の書き込みを行います。

0x00 の後に 0xFF 以外の値を書き込むと、ダウンカウンタはリフレッシュされません。

無効な値を書き込んだ場合は、WDTRR レジスタへ 0x00 と 0xFF を書き込むと、正常なリフレッシュが再開します。

WDTRR レジスタへの 0x00 書き込みと 0xFF 書き込みの間に、WDTRR のレジスタ以外へのアクセス、または WDTRR レジスタの読み出しを行った場合も正常なリフレッシュを行います。カウンタをリフレッシュするための書き込みは、リフレッシュ許可期間中に行う必要があり、この判定は 0xFF の書き込み時に行われます。そのため、0x00 の書き込みがリフレッシュ許可期間外であっても、リフレッシュは正常に行われます。

【カウンタのリフレッシュに有効な書き込み順序の例】

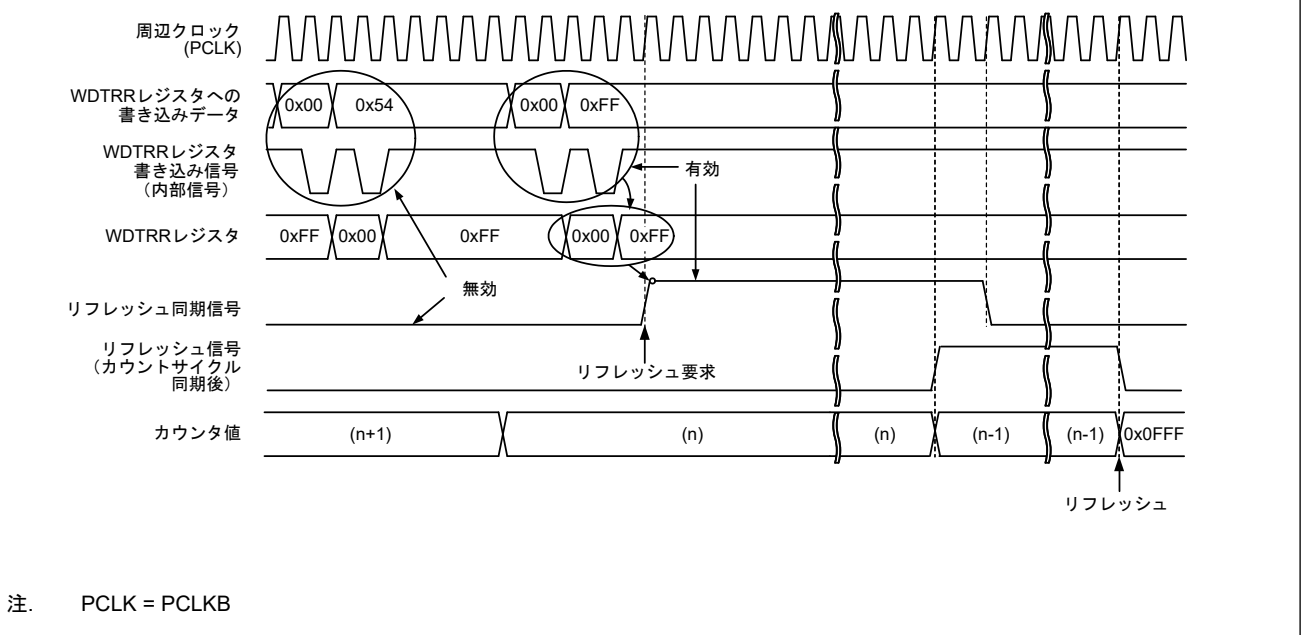
- 0x00 → 0xFF
- 0x00（n-1 回目）→ 0x00（n 回目）→ 0xFF
- 0x00 →別レジスタへのアクセスまたは WDTRR レジスタの読み出し→ 0xFF

【カウンタのリフレッシュに無効な書き込み順序の例】

- 0x23（0x00 以外の値）→ 0xFF
- 0x00 → 0x54（0xFF 以外の値）
- 0x00 → 0xAA（0x00 および 0xFF 以外の値）→ 0xFF

ダウンカウンタのリフレッシュには、WDT リフレッシュレジスタ (WDTRR) に 0xFF を書き込んでから、カウント信号のサイクル数で最大 4 サイクルを要します。この要件を満たすには、ダウンカウンタのアンダーフローが発生する 4 カウントサイクル前までに、WDTRR レジスタへの 0xFF の書き込みを完了する必要があります。

図 25.6 に、クロック分周比が PCLKB/64 である場合の WDT リフレッシュ動作波形を示します。



注. PCLK = PCLKB

図 25.6 WDT リフレッシュ動作波形（WDTCR.CKS[3:0] = 0x4、WDTCR.TOPS[1:0] = 01b の場合）

注. リフレッシュ時間を設定する際は、PCLKB と WDTCLK のクロックソースの発振精度を考慮してください。発振精度による誤差の範囲で周期が変動してもリフレッシュできる値を設定してください。

25.3.4 ステータスフラグ

リフレッシュエラーフラグ (WDTSR.REFEF) とアンダーフローフラグ (WDTSR.UNDFF) は、WDT の割り込み要求が発生した場合の割り込み要因を保持します。割り込み要求の発生後に、WDTSR.REFEF フラグと WDTSR.UNDFF フラグを読み出すことで、割り込み要因の発生状態を確認できます。各フラグは、0 を書くことによってクリアされます。1 の書き込みは無効です。ステータスフラグをそのままにしておいても、動作に影響を与えません。次に WDT が割り込み要求を出力したとき、フラグがクリアされていなければ、古い割り込み要因はクリアされて、新しい割り込み要因が書き込まれます。なお、各フラグに 0 を書いてから、その値が反映されるまでの時間は、「25.2.3. WDTSR : WDT ステータスレジスタ」を参照してください。

25.3.5 リセット出力

レジスタスタートモードでリセット割り込み要求選択ビット (WDTRCR.RSTIRQS) を 1 にした場合、またはオートスタートモードでオプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を 1 にした場合、ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号を 1 サイクル間出力します。

レジスタスタートモードでは、リセット信号の出力後、ダウンカウンタが初期化され（全ビットが 0 になり）、その状態のまま停止します。リセット状態が解除されて、プログラムが再起動した後は、リフレッシュ動作によってカウンタが設定され、ダウンカウントを再開します。オートスタートモードでは、リセット状態の解除後、自動的にダウンカウントを開始します。

25.3.6 割り込み要因

レジスタスタートモードでリセット割り込み要求選択ビット (WDTRCR.RSTIRQS) を 0 にした場合、またはオートスタートモードでオプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット

(OFS0.WDTRSTIRQS) を 0 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、割り込み信号 (WDT0_NMIUNDF) が発生します。この割り込みは、ノンマスカブル割り込みと割り込みの両方に対応しています。詳細は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

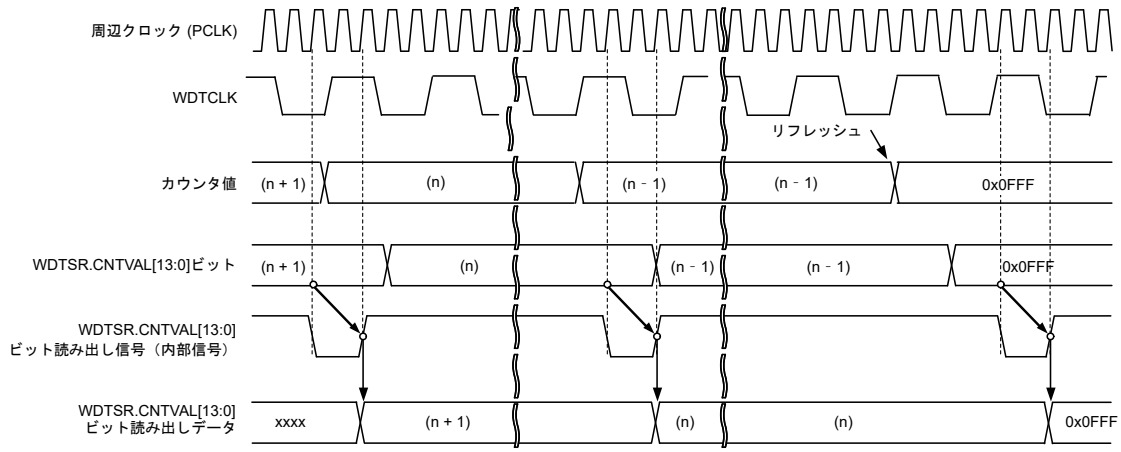
表 25.4 WDT の割り込み要因

名称	割り込み要因	CPU への割り込み	DMAC/DTC の起動
WDT0_NMIUNDF	• ダウンカウンタのアンダーフロー • リフレッシュエラー	可能	不可能

25.3.7 ダウンカウンタ値の読み出し

WDT は、カウンタ値を WDT ステータスレジスタのダウンカウンタ値ビット (WDTSR.CNTVAL[13:0]) に格納します。これらのビットを確認して、カウンタ値を取得してください。ダウンカウンタの読み出し値は、実際のカウントから 1 カウントずれる場合があります。

図 25.7 に、クロック分周比が PCLKB/64 である場合の WDT ダウンカウンタ値の読み出し処理を示します。



注. PCLK = PCLKB

図 25.7 WDT ダウンカウンタ値の読み出し処理（WDTCR.CKS[3:0] = 0x4、WDTCR.TOPS[1:0] = 01b の場合）

25.3.8 オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係

表 25.5 に、オートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) と、レジスタスタートモードで使用するレジスタの対応関係を示します。オプション機能選択レジスタ 0 (OFS0) の詳細については、「6.2.1. OFS0 : オプション機能選択レジスタ 0」を参照してください。

表 25.5 オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係 (1/2)

制御対象	機能	OFS0 レジスタ（オートスタートモードで有効）OFS0.WDTSTRT = 0	WDT のレジスタ（レジスタスタートモードで有効）OFS0.WDTSTRT = 1
ダウンカウンタ	タイムアウト期間選択	OFS0.WDTTOPS[1:0]	WDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.WDTCKS[3:0]	WDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.WDTRPSS[1:0]	WDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.WDTRPES[1:0]	WDTCR.RPES[1:0]
リセット出力／割り込み要求出力	リセット割り込み要求を選択	OFS0.WDTRSTIRQS	WDTRCR.RSTIRQS

表 25.5 オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係 (2/2)

制御対象	機能	OFS0 レジスタ（オートスタートモードで有効）OFS0.WDTSTRT = 0	WDT のレジスタ（レジスタスタートモードで有効）OFS0.WDTSTRT = 1
カウント停止	CPU スリープモードまたは CPU ディープスリープモードカウント停止制御	OFS0.WDTSTPCTL	WDTCSTPR.SLCSTP

25.4 イベントリンクコントローラ (ELC) への出力

ELC が割り込み要求信号をイベント信号として使用する場合、WDT は設定したモジュールに対してリンク動作が可能です。イベント信号はカウンタのアンダーフローまたはリフレッシュエラーによって出力されます。イベント信号は、レジスタスタートモードでは WDTRCR.RSTIRQS ビットの設定とは無関係に、オートスタートモードでは OFS0.WDTRSTIRQS ビットの設定とは無関係に出力されます。リフレッシュエラーフラグ (WDTSR.REFEF) またはアンダーフローフラグ (WDTSR.UNDFF) が 1 の状態で次の割り込み要因が発生した場合も、イベント信号の出力が可能です。詳細は、「18. イベントリンクコントローラ (ELC)」を参照してください。

25.5 使用上の注意事項

25.5.1 ICU イベントリンク設定レジスタ n (IELSRn) の設定に関する制限

WDT リセット割り込み要求選択ビットをリセット（OFS0.WDTRSTIRQS = 0 または WDTRCR.RSTIRQS = 0）した場合、またはイベントリンク動作を許可 (ELSRn.ELS[8:0] = 0x53) にした場合、ICU イベントリンク設定レジスタ n (ICU.IELSRn) に 0x53 を設定することは禁止されています。

26. 独立ウォッチドッグタイマ (IWDT)

26.1 概要

独立ウォッチドッグタイマ (IWDT) は 14 ビットのダウンカウンタで、カウンタのアンダーフローを防ぐために定期的に点検する必要があります。IWDT は、MCU をリセットする機能やノンマスカブル割り込みまたはアンダーフロー割り込みを発生させる機能を備えています。タイマは CPU クロック (CPUCLK) やシステムクロック (ICLK) とは独立したクロックで動作するので、システムの暴走時に、MCU をフェイルセーフメカニズムで既知の状態に復帰させる際に特に有用です。IWDT は、リセット、アンダーフロー、リフレッシュエラー、またはレジスタのカウント値のリフレッシュによって、自動的にトリガ可能です。

IWDT の機能は、WDT の機能とは以下の点で異なります。

カウントソースとして IWDT クロック (IWDTCLK) を分周したものを使用（PCLKB の影響を受けない）

表 26.1 に IWDT の仕様を示します。

表 26.1 IWDT の仕様

項目	内容
カウントソース(注1)	IWDT クロック (IWDTCLK)
クロック分周比	1 分周／16 分周／32 分周／64 分周／128 分周／256 分周
カウンタ動作	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	• オートスタートモード : リセット後またはアンダーフロー／リフレッシュエラー発生後に、自動的にカウント開始 • レジスタスタートモード : IWDTRR レジスタへの書き込みによるリフレッシュ動作でカウント開始 • セキュアデベロッパーのみがオートスタートモードまたはレジスタスタートモードを選択可能
カウント停止条件	• リセット（ダウンカウンタと他のレジスタが初期値に戻る） • カウンタのアンダーフローまたはリフレッシュエラー発生時
ウィンドウ機能	ウィンドウ開始位置と終了位置を設定可能（リフレッシュ許可期間と禁止期間）
独立ウォッチドッグタイマリセット要因	• ダウンカウンタのアンダーフロー • リフレッシュ許可期間外でのリフレッシュ動作（リフレッシュエラー）
ノンマスカブル割り込み／割り込み要因	• ダウンカウンタのアンダーフロー • リフレッシュ許可期間外でのリフレッシュ動作（リフレッシュエラー）
カウンタ値の読み出し	IWDTSR レジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能（出力）	• ダウンカウンタアンダーフローイベント出力 • リフレッシュエラーイベント出力
出力信号（内部信号）	• リセット出力 • 割り込み要求出力 • CPU スリープモード、CPU ディープスリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードカウント停止制御出力
TrustZone フィルタ	セキュリティ属性とプリビレッジ属性を設定可能

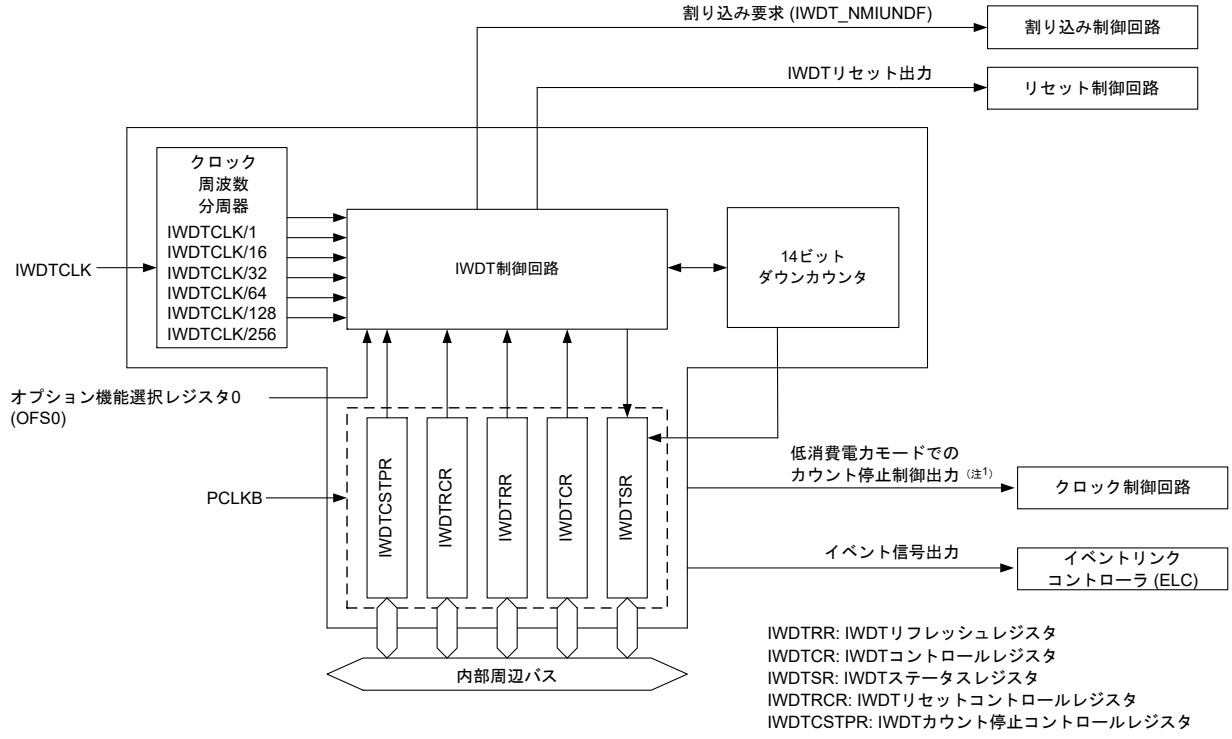
注 1. 周辺モジュールクロック (PCLKB) 周波数 ≧ 4 ×（カウントクロックソースの分周後の周波数）となるように設定してください。
バスインタフェース部とレジスタ部は PCLKB で動作し、14 ビットカウンタと制御回路は IWDTCLK で動作します。

26.1.1 ブロック図

周辺クロック (PCLKB) に加えて、周辺クロック (PCLKB) が停止する低消費電力モードでも MCU が動作するように、低消費電力モードでも停止しない IWDT クロック (IWDTCLK) を MCU は必要とします。バスインタフェース部とレジスタ部は周辺クロック (PCLKB) で動作し、14 ビットのダウンカウンタと制御回路は IWDT クロック (IWDTCLK) で動作します。

信号は同期回路を経由して、周辺クロック (PCLKB) のブロック動作と IWDT クロック (IWDTCLK) のブロック動作の間で接続されます。

図 26.1 に IWDT のブロック図を示します。



注 1. 低消費電力モードとは、CPU スリープモード、CPU ディープスリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード 1 を示しています。

図 26.1 IWDT のブロック図

26.2 レジスタの説明

26.2.1 IWDTRR : IWDT リフレッシュレジスタ

Base address: IWDT = 0x4020_2200
IWDT_NS = 0x5020_2200

Offset address: 0x0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	REFRESH[7:0]							
Value after reset:	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	REFRESH[7:0]	リフレッシュレジスタ このレジスタに対して、0x00 の書き込み後、0xFF の書き込みでカウンタがリフレッシュ	R/W

注. S-TYPE-3, P-TYPE-3

IWDTRR レジスタは、IWDT のダウンカウンタをリフレッシュするためのレジスタです。

REFRESH[7:0]ビット（リフレッシュレジスタ）

リフレッシュ許可期間内に、IWDTRR レジスタに 0x00 を書き込んだ後、0xFF を書き込むこと（リフレッシュ動作）により、IWDT のダウンカウンタがリフレッシュされます。ダウンカウンタのリフレッシュ後、オートスタートモードでは IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で選択した値からダウンカウントが開始します。

レジスタスタートモードでは、IWDT コントロールレジスタ (IWDTCR) の TOPS[1:0]ビットで設定した値からダウンカウントが開始します。

また、レジスタスタートモードでは、リセット状態の解除後に最初のリフレッシュ動作により、IWDTCR.TOPS[1:0]ビットで設定した値からダウンカウントが開始します。

0x00 を書き込んだ場合は、読み出し値は常に 0x00 です。0x00 以外の値を書き込んだ場合は、読み出し値は常に 0xFF です。

リフレッシュ動作の詳細については、「26.3.3. リフレッシュ動作」を参照してください。

26.2.2 IWDTCR : IWDT コントロールレジスタ

Base address: IWDT = 0x4020_2200
IWDT_NS = 0x5020_2200

Offset address: 0x2

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	RPSS[1:0]		—	—	RPES[1:0]		CKS[3:0]				—	—	TOPS[1:0]	
Value after reset:	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	機能	R/W
1:0	TOPS[1:0]	タイムアウト期間選択 0 0: 128 サイクル (0x007F) 0 1: 512 サイクル (0x01FF) 1 0: 1024 サイクル (0x03FF) 1 1: 2048 サイクル (0x07FF) 括弧内の各値はダウンカウントの開始値を示します。	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:4	CKS[3:0]	クロック分周比選択 0 0 0 0: IWDTCLK 0 0 1 0: IWDTCLK/16 0 0 1 1: IWDTCLK/32 0 1 0 0: IWDTCLK/64 1 1 1 1: IWDTCLK/128 0 1 0 1: IWDTCLK/256 上記以外の設定は禁止です。	R/W
9:8	RPES[1:0]	ウィンドウ終了位置の選択 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0%（ウィンドウの終了位置設定なし）	R/W
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:12	RPSS[1:0]	ウィンドウ開始位置の選択 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100%（ウィンドウの開始位置設定なし）	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

IWDTCR レジスタは、タイムアウト期間（レジスタスタートモードでダウンカウンタがアンダーフローするまでの期間）、クロック分周比、およびリフレッシュ許可期間のウィンドウ開始位置と終了位置を指定するのに使用されます。本レジスタへの書き込みには、いくつかの制限があります。詳細は、「26.3.2. IWDTCR、IWDTRCR、IWDTCSTPR レジスタへの書き込み制御」を参照してください。

オートスタートモードの場合、本レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。本レジスタのビットと同じ設定をオプション機能選択レジスタ 0 (OFS0) に行うことができます。詳細は、「26.3.8. オプション機能選択レジスタ 0 (OFS0) と IWDT のレジスタの対応関係」を参照してください。

TOPS[1:0]ビット（タイムアウト期間選択）

TOPS[1:0]ビットはタイムアウト期間（ダウンカウンタがアンダーフローするまでの期間）を、CKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、128 サイクル／512 サイクル／1024 サイクル／2048 サイクルから選択します。

ダウンカウンタのリフレッシュ後、カウンタがアンダーフローするまでの時間（IWDT クロック (IWDTCLK) のサイクル数）は、CKS[3:0]ビットと TOPS[1:0]ビットの組み合わせで決定されます。

「26.2.2. IWDTCR : IWDT コントロールレジスタ」に CKS[3:0]ビットと TOPS[1:0]ビットの設定値、タイムアウト期間、および IWDT クロック (IWDTCLK) のサイクル数の関係を示します。

表 26.2　IWDT タイムアウト期間の設定

CKS[3:0]				TOPS[1:0]		クロック分周比	タイムアウト期間（サイクル数）	IWDT クロック (IWDTCLK) サイクル数
0	0	0	0	0	0	IWDTCLK	128	128
				0	1		512	512
				1	0		1024	1024
				1	1		2048	2048
0	0	1	0	0	0	IWDTCLK/16	128	2048
				0	1		512	8192
				1	0		1024	16384
				1	1		2048	32768
0	0	1	1	0	0	IWDTCLK/32	128	4096
				0	1		512	16384
				1	0		1024	32768
				1	1		2048	65536
0	1	0	0	0	0	IWDTCLK/64	128	8192
				0	1		512	32768
				1	0		1024	65536
				1	1		2048	131072
1	1	1	1	0	0	IWDTCLK/128	128	16384
				0	1		512	65536
				1	0		1024	131072
				1	1		2048	262144
0	1	0	1	0	0	IWDTCLK/256	128	32768
				0	1		512	131072
				1	0		1024	262144
				1	1		2048	524288

CKS[3:0]ビット（クロック分周比選択）

本ビットは IWDT クロック (IWDTCLK) の分周比を 1、16、32、64、128、256 から選択します。

TOPS[1:0]ビットの設定と組み合わせて、IWDT のカウント期間を IWDT クロック (IWDTCLK) の 128～524288 サイクルから選択できます。

注.　ダウンカウンタ値を正常に読み出すために、周辺クロック (PCLKB) 周波数とカウントクロック (IWDTCLK) 周波数の関係を適切に設定してください。 設定については、表 26.1 の注 1 を参照してください。

RPES[1:0]ビット（ウィンドウ終了位置の選択）

本ビットは、ダウンカウンタのウィンドウ終了位置のカウント期間を、75%、50%、25%または 0%から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値にしてください（ウィンドウ開始位置 >

ウィンドウ終了位置)。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効になり、ウィンドウ終了位置は 0%になります。

RPES[1:0]ビットと RPSS[1:0]ビットの設定で選択したウィンドウ開始位置と終了位置のカウンタ値は、TOPS[1:0]ビットの設定によって変化します。

表 26.3 に TOPS[1:0]ビット値に対応したウィンドウ開始位置と終了位置のカウンタ値を示します。

表 26.3　タイムアウト期間とウィンドウ開始および終了カウンタ値の対応

TOPS[1:0]		タイムアウト期間		ウィンドウ開始および終了カウンタ値			
		サイクル数	カウンタ値	100%	75%	50%	25%
0	0	128	0x007F	0x007F	0x005F	0x003F	0x001F
0	1	512	0x01FF	0x01FF	0x017F	0x00FF	0x007F
1	0	1024	0x03FF	0x03FF	0x02FF	0x01FF	0x00FF
1	1	2048	0x07FF	0x07FF	0x05FF	0x03FF	0x01FF

RPSS[1:0]ビット（ウィンドウ開始位置の選択）

本ビットはカウンタのウィンドウ開始位置をカウント期間の 100%、75%、50%または 25%から選択します（カウント開始時は 100%、カウンタアンダーフロー時は 0%)。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間であり、それ以外の期間はリフレッシュ禁止期間です。

図 26.2 に RPSS[1:0]ビットおよび RPES[1:0]ビットの設定とリフレッシュ許可期間およびリフレッシュ禁止期間の関係を示します。

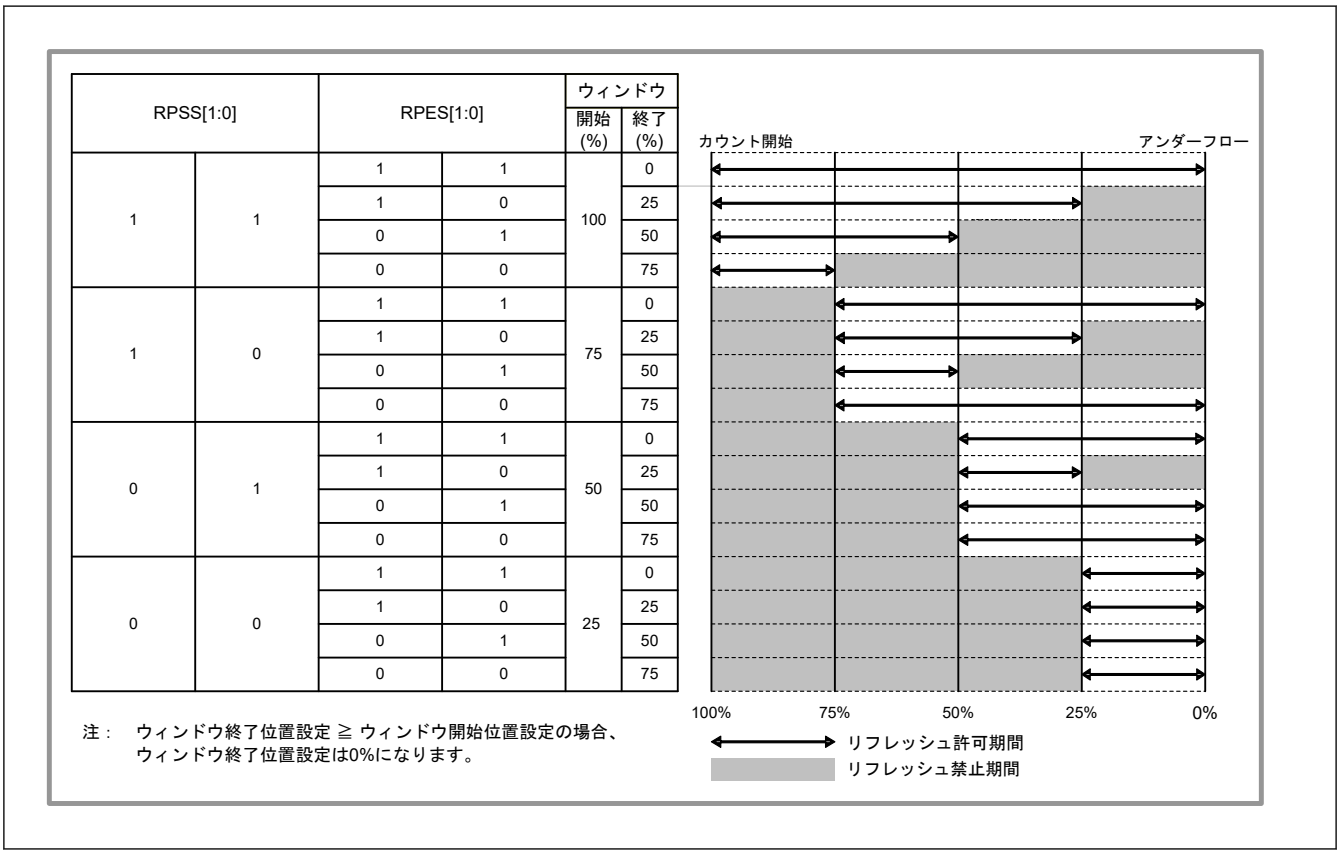


図 26.2　RPSS[1:0]ビットおよび RPES[1:0]ビットの設定とリフレッシュ許可期間およびリフレッシュ禁止期間

26.2.3 IWDTSR : IWDT ステータスレジスタ

Base address: IWDT = 0x4020_2200
IWDT_NS = 0x5020_2200

Offset address: 0x4

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	REFEF	UNDFF	CNTVAL[13:0]													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
13:0	CNTVAL[13:0]	ダウンカウンタ値 ダウンカウンタのカウンタ値	R
14	UNDFF	アンダーフローフラグ 0: アンダーフロー発生なし 1: アンダーフロー発生あり	R/W
15	REFEF	リフレッシュエラーフラグ 0: リフレッシュエラー発生なし 1: リフレッシュエラー発生あり	R/W

注. S-TYPE-3, P-TYPE-3

IWDTSR レジスタは、ダウンカウンタのカウンタ値、およびアンダーフローまたはリフレッシュエラーの発生有無を示します。

IWDTSR レジスタは IWDT のリセット要因によって初期化されます。IWDTSR レジスタは他のリセット要因では初期化されません。

CNTVAL[13:0]ビット（ダウンカウンタ値）

本ビットを読み出すことにより、ダウンカウンタのカウンタ値を確認できます。

注. 読み出し値は、実際のカウント値から 1 カウントずれる場合があります。

UNDFF フラグ（アンダーフローフラグ）

UNDFF フラグを読み出すことにより、ダウンカウンタのアンダーフローの発生有無を確認できます。

読み出し値が 1 のとき、ダウンカウンタがアンダーフローしたことを示します。読み出し値が 0 のとき、ダウンカウンタがアンダーフローしていないことを示します。

値をクリアするには、UNDFF フラグに 0 を書き込んでください。1 の書き込みは無効です。

REFEF フラグ（リフレッシュエラーフラグ）

REFEF フラグを読み出すことにより、リフレッシュエラー（リフレッシュ禁止期間中にリフレッシュ動作が実行された場合）の発生有無を確認できます。

読み出し値が 1 のとき、リフレッシュエラーが発生したことを示します。読み出し値が 0 のとき、リフレッシュエラーは発生していないことを示します。

値をクリアするには、REFEF フラグに 0 を書き込んでください。1 の書き込みは無効です。

26.2.4 IWDTRCR : IWDT リセットコントロールレジスタ

Base address: IWDT = 0x4020_2200
IWDT_NS = 0x5020_2200

Offset address: 0x6

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RSTIRQS	—	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	RSTIRQS	リセット割り込み要求選択 0: ノンマスカブル割り込み要求または割り込み要求の出力を許可 1: リセット出力を許可	R/W

注. S-TYPE-3, P-TYPE-3

IWDTRCR レジスタは、IWDT のダウンカウンタのアンダーフロー時、リセット出力または割り込み要求出力を制御します。本レジスタへの書き込みには、いくつかの制限があります。詳細は、「26.3.2. IWDTCR、IWDTRCR、IWDTCSTPR レジスタへの書き込み制御」を参照してください。

オートスタートモードの場合、本レジスタの設定値は無効となり、入力ポート (OFS0) の設定値が有効となります。本レジスタのビットと同じ設定を入力ポート (OFS0) に行うことができます。詳細は、「26.3.8. オプション機能選択レジスタ 0 (OFS0) と IWDT のレジスタの対応関係」を参照してください。

RSTIRQS ビット（リセット割り込み要求選択）

RSTIRQS ビットは、ダウンカウンタがアンダーフローする場合、またはリフレッシュエラーが発生する場合、リセット出力または割り込み要求出力を選択します。

26.2.5 IWDTCSTPR : IWDT カウント停止コントロールレジスタ

Base address: IWDT = 0x4020_2200
IWDT_NS = 0x5020_2200

Offset address: 0x8

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SLCSTP	—	—	—	—	—	—	—
Value after reset:	1	1	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
7	SLCSTP	CPU スリープモードカウント停止選択 0: カウント停止を禁止 1: CPU スリープモード、CPU ディープスリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード 1 へ CPU 遷移時にカウント停止	R/W

注. S-TYPE-3, P-TYPE-3

IWDTCSTPR レジスタは、CPU が低消費電力モードに遷移する場合に、IWDT のダウンカウンタを停止させるのに使用されます。本レジスタへの書き込みには、いくつかの制限があります。詳細は、「26.3.2. IWDTCR、IWDTRCR、IWDTCSTPR レジスタへの書き込み制御」を参照してください。

オートスタートモードの場合、本レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。本レジスタのビットと同じ設定をオプション機能選択レジスタ 0 (OFS0) に行うことができます。詳細は、「26.3.8. オプション機能選択レジスタ 0 (OFS0) と IWDT のレジスタの対応関係」を参照してください。

SLCSTP ビット（CPU スリープモードカウント停止選択）

SLCSTP ビットは、CPU スリープモード、CPU ディープスリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード 1 へ CPU 遷移時にカウントを停止するか否かを選択します。

26.3 動作説明

26.3.1 各スタートモードにおけるカウント動作

リセット中に IWDT スタートモード選択ビット (OFS0.IWDTSTRT) の設定により、IWDT のスタートモードが選択されます。

IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が 1 の場合（レジスタスタートモード）、IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、IWDT カウント停止コントロールレジスタ (IWDTCSTPR) が有効です。また、カウンタをリフレッシュするために、IWDT リフレッシュレジスタ (IWDTRR) に書き込むことにより、カウントが開始されます。IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が 0 の場合（オートスタートモード）、オプション機能選択レジスタ 0 (OFS0) の設定が有効であり、リセット後にカウントが自動的に開始されます。

(1) レジスタスタートモード

リセット中に IWDT スタートモード選択ビット (OFS0.IWDTSTRT) を 1 にすることにより、レジスタスタートモードを選択した場合、IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、IWDT カウント停止コントロールレジスタ (IWDTCSTPR) は有効です。

リセット状態の解除後、IWDTCR レジスタにクロック分周比、ウィンドウ開始位置と終了位置、およびタイムアウト期間を設定してください。また、IWDTRCR レジスタにリセット出力または割り込み要求出力、IWDTCSTPR レジスタに低消費電力モードへ遷移時の IWDT ダウンカウンタの停止制御を設定してください。その後、ダウンカウンタをリフレッシュして、カウンタに IWDTCR.TOPS[1:0]ビットで指定した値を設定すると、ダウンカウントを開始します。

以降、プログラムが正常に動作し続けて、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、カウンタのリフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウント継続中は、IWDT はリセット信号を出力しません。

ただし、プログラムの暴走によってダウンカウンタのリフレッシュができないためダウンカウンタがアンダーフローした場合、あるいはリフレッシュ許可期間外にカウンタがリフレッシュされたためリフレッシュエラーが発生した場合は、IWDT はリセット信号またはノンマスカブル割り込み要求 (IWDT_NMIUNDF) を出力します。

リセット出力または割り込み要求出力は、IWDTRCR.RSTIRQS ビットの設定によって選択されます。

図 26.3 に下記の条件下での動作例を示します。

- レジスタスタートモード (OFS0.IWDTSTRT = 1)
- リセット出力を許可 (IWDTRCR.RSTIRQS = 1)
- ウィンドウ開始位置 75% (IWDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (IWDTCR.RPES[1:0] = 10b)

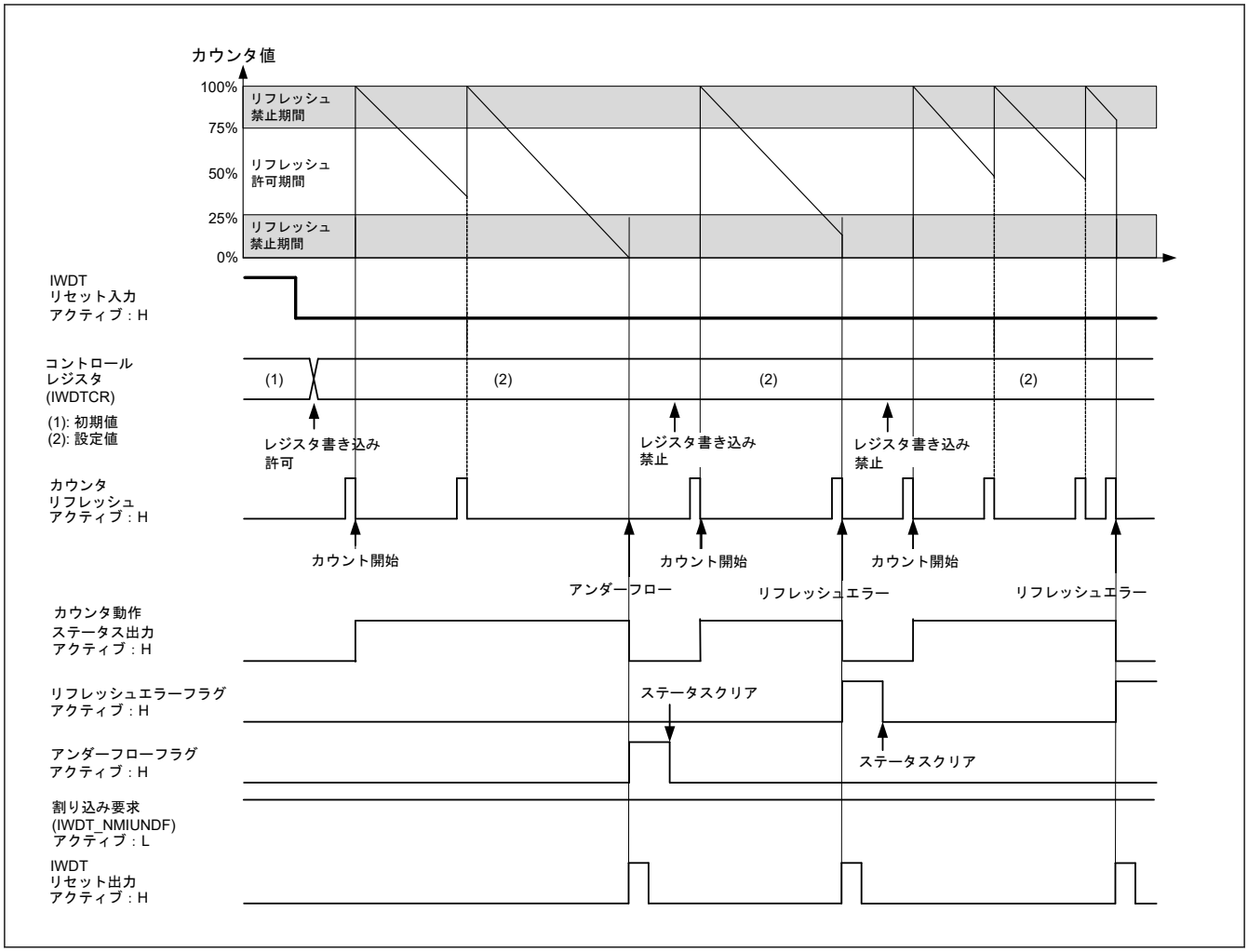


図 26.3　レジスタスタートモードでの動作例

(2)　オートスタートモード

リセット中に IWDT スタートモード選択ビット (OFS0.IWDTSTRT) を 0 にすることにより、オートスタートモードを選択した場合、IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、IWDT カウント停止コントロールレジスタ (IWDTCSTPR) は無効です。

リセット中、クロック分周比、ウィンドウ開始位置と終了位置、タイムアウト期間、リセット出力または割り込み要求出力、および低消費電力モードへ遷移時のカウンタの停止制御をオプション機能選択レジスタ 0 (OFS0) で設定してください。その後、リセット状態が解除されると、オプション機能選択レジスタ 0 (OFS0) で設定されたタイムアウト期間がダウンカウンタに設定されます。そして、ダウンカウンタは自動的にダウンカウントを開始します。

以降、プログラムが正常に動作し続けて、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、カウンタのリフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウント継続中は、IWDT はリセット信号を出力しません。

ただし、プログラムの暴走によってダウンカウンタのリフレッシュができないためダウンカウンタがアンダーフローした場合、あるいはリフレッシュ許可期間外にカウンタがリフレッシュされたためリフレッシュエラーが発生した場合は、IWDT はリセット信号またはノンマスカブル割り込み要求 (IWDT_NMIUNDF) を出力します。

リセット出力または割り込み要求出力は、IWDT リセット割り込み要求選択ビット (OFS0.IWDTRSTIRQS) の設定によって選択されます。

図 26.4 に下記の条件下での動作例を示します。

- オートスタートモード (OFS0.IWDTSTRT = 0)
- ノンマスカブル割り込み要求出力を許可 (OFS0.IWDTRSTIRQS = 0)

- ウィンドウ開始位置 75% (OFS0.IWDTRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.IWDTRPES[1:0] = 10b)

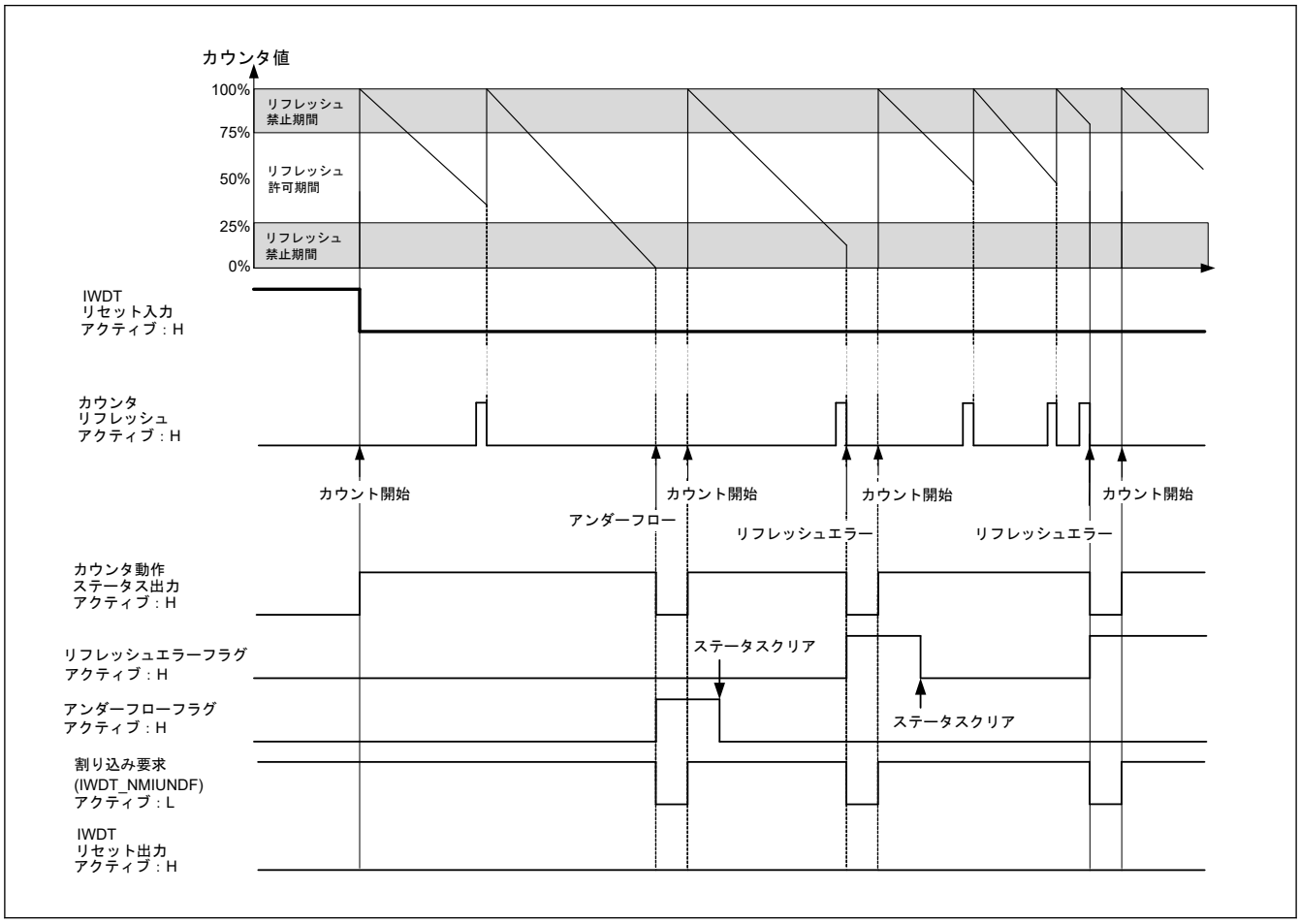


図 26.4　オートスタートモードでの動作例

26.3.2　IWDTCR、IWDTRCR、IWDTCSTPR レジスタへの書き込み制御

IWDT コントロールレジスタ (IWDTCR) への書き込みは、リセット解除後から最初のリフレッシュ動作までの間に 1 回のみ可能です。

リフレッシュ動作（カウント開始）後、または IWDTCR レジスタへ書き込みを行うと、IWDT 内部のプロテクト信号が 1 となり、以後 IWDTCR レジスタへの書き込みを保護します。

IWDT リセットコントロールレジスタ (IWDTRCR) と IWDT カウント停止コントロールレジスタ (IWDTCSTPR) も同様に制御されます。

この保護は、IWDT のリセット要因によって解除されます。それ以外のリセット要因では、保護は解除されません。

図 26.5 に IWDTCR レジスタへの書き込みに対して生成される制御波形を示します。

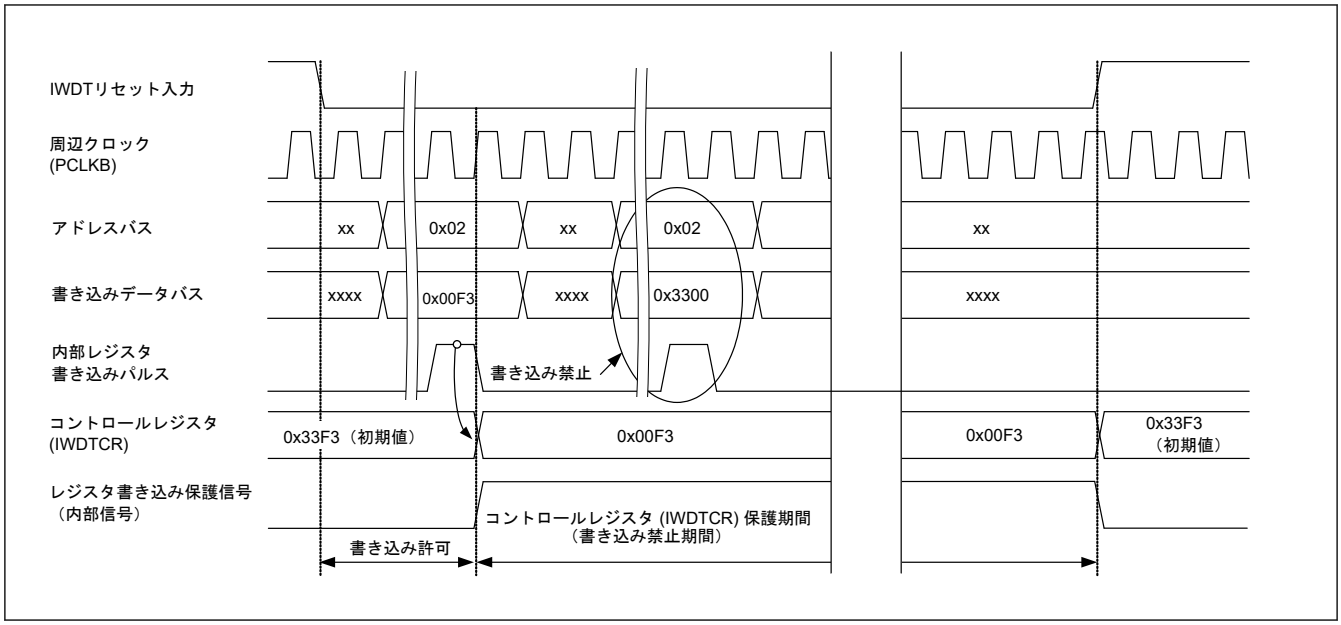


図 26.5　IWDTCR レジスタへの書き込みに対して生成される制御波形

26.3.3　リフレッシュ動作

IWDT リフレッシュレジスタ (IWDTRR) へ 0x00 の書き込みに続けて 0xFF を書き込むことによって、ダウンカウンタはリフレッシュされて、カウント動作を開始します（リフレッシュによりカウント開始）。0x00 の書き込み後に 0xFF 以外の値を書き込むと、ダウンカウンタはリフレッシュされません。そのような無効な書き込みの後は、IWDT リフレッシュレジスタ (IWDTRR) へ再度 0x00 の書き込みに続けて 0xFF を書き込むことにより、正常なリフレッシュが行われます。

0x00（1 回目）→ 0x00（2 回目）の順で書き込みが行われ、その後、0xFF が書き込まれると、書き込みの順序は 0x00 → 0xFF を満たしています。すなわち、0x00（(n–1) 回目）→ 0x00（n 回目）→ 0xFF という書き込みは有効であり、正常なリフレッシュが行われます。0x00 より前に書き込まれた最初の値が 0x00 以外であっても、動作に 0x00 → 0xFF という書き込みの順序が含まれている限り、正常なリフレッシュが行われます。IWDTRR レジスタへの 0x00 の書き込みと 0xFF の書き込みの間に、IWDTRR レジスタ以外のレジスタにアクセスするか、または IWDTRR レジスタを読み出しても、正常なリフレッシュが行われます。

[カウンタのリフレッシュに有効な書き込み順序の例]

- 0x00 → 0xFF
- 0x00（n-1 回目）→ 0x00（n 回目）→ 0xFF
- 0x00 → 別のレジスタへのアクセスまたは IWDTRR レジスタの読み出し → 0xFF

[カウンタのリフレッシュに無効な書き込み順序の例]

- 0x23（0x00 以外の値）→ 0xFF
- 0x00 → 0x54（0xFF 以外の値）
- 0x00 → 0xAA（0x00、および 0xFF 以外の値）→ 0xFF

リフレッシュ許可期間外に IWDTRR レジスタに 0x00 が書き込まれても、リフレッシュ許可期間に IWDTRR レジスタに 0xFF が書き込まれると、書き込みの順序は有効であり、リフレッシュが行われます。

カウンタのリフレッシュには、IWDTRR レジスタに 0xFF を書き込んでから、カウント信号のサイクル数で最大 4 サイクルを要します（カウント 1 サイクルの IWDT クロック (IWDTCLK) 数は、クロック分周比選択ビット (IWDTCR.CKS[3:0]) の設定値により異なります）。

よって、リフレッシュ許可期間の終了位置またはダウンカウンタのアンダーフローが発生する 4 カウントサイクル前までには、IWDTRR レジスタへの 0xFF の書き込みを完了してください。ダウンカウンタの値はダウンカウンタ値ビット (IWDTSR.CNTVAL[13:0]) で確認できます。

[リフレッシュ動作のタイミング例]

- ウィンドウ開始位置を 0x03FF（0x07FF の 50%）とした場合、IWDTRR レジスタへの 0x00 の書き込みが 0x03FF より前（たとえば 0x0402）であっても、IWDTSR.CNTVAL[13:0]ビット値が 0x03FF になってから IWDTRR レジスタへ 0xFF を書き込めば、リフレッシュが発生します。
- ウィンドウ終了位置を 0x01FF（0x07FF の 25%）とした場合、IWDTRR レジスタへ 0x00 → 0xFF を書き込んだ直後に IWDTSR.CNTVAL[13:0]ビットから読み出した値が 0x0203（0x01FF の 4 カウントサイクル前）以上であれば、リフレッシュが行われます。
- リフレッシュ許可期間がカウント 0x0000 まで続く場合、アンダーフローの直前でリフレッシュが可能です。この場合、IWDTRR レジスタへ 0x00 → 0xFF を書き込んだ直後に IWDTSR.CNTVAL[13:0]ビットから読み出した値が 0x0003（アンダーフローの 4 カウントサイクル前）以上であれば、アンダーフローは発生せずに、リフレッシュが行われます。

図 26.6 に周辺クロック (PCLKB) > IWDT クロック (IWDTCLK) のとき、クロック分周比が IWDTCLK/1 である場合の IWDT リフレッシュ動作波形を示します。図 26.7 に周辺クロック (PCLKB) < IWDT クロック (IWDTCLK) のとき、クロック分周比が IWDTCLK/16 である場合の IWDT リフレッシュ動作波形を示します。

ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード 1 へ遷移する場合、遷移前にリフレッシュ手順を完了してください（IWDTRR レジスタに 0x00 を書き込んだ後に 0xFF を書き込む）。

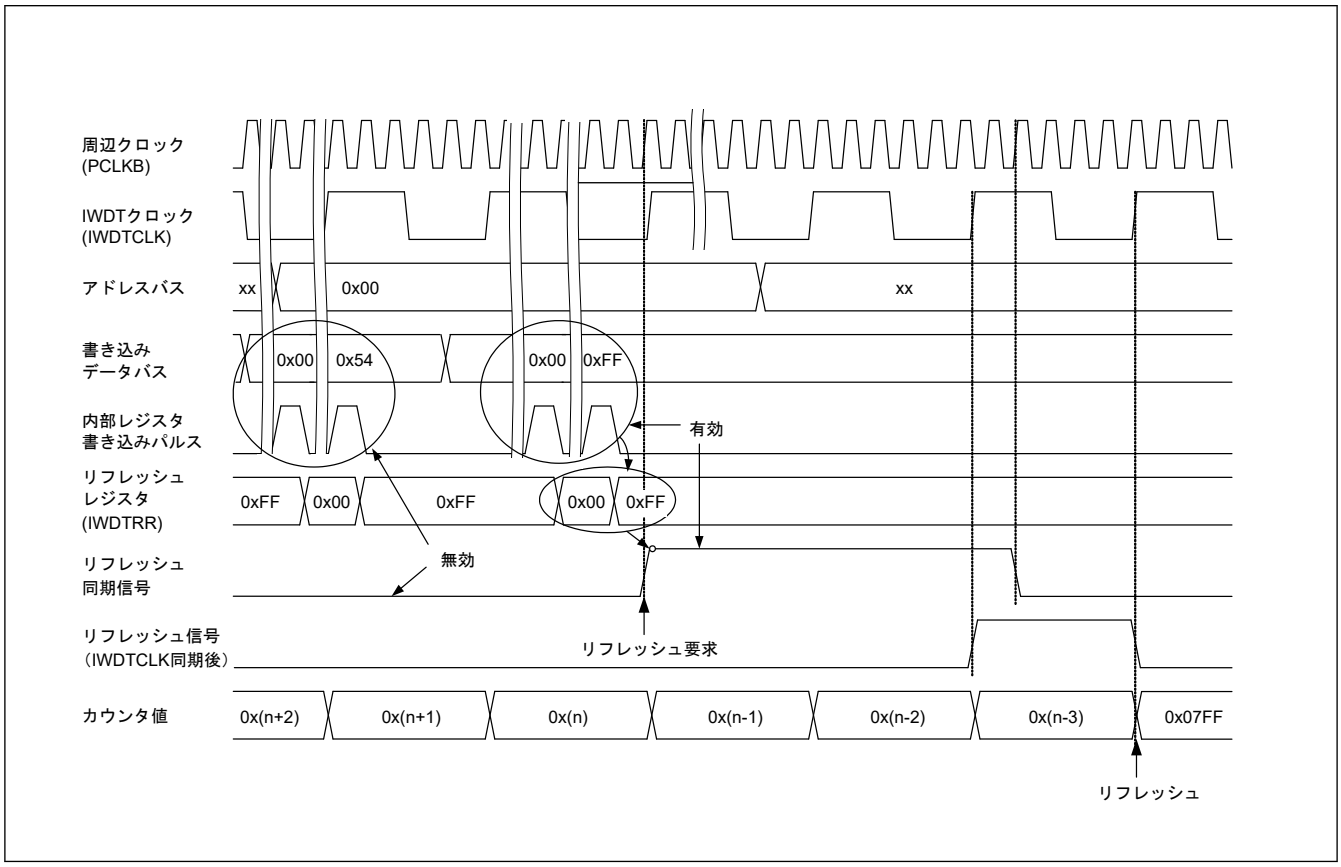


図 26.6 IWDT リフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0000b, IWDTCR.TOPS[1:0] = 11b)

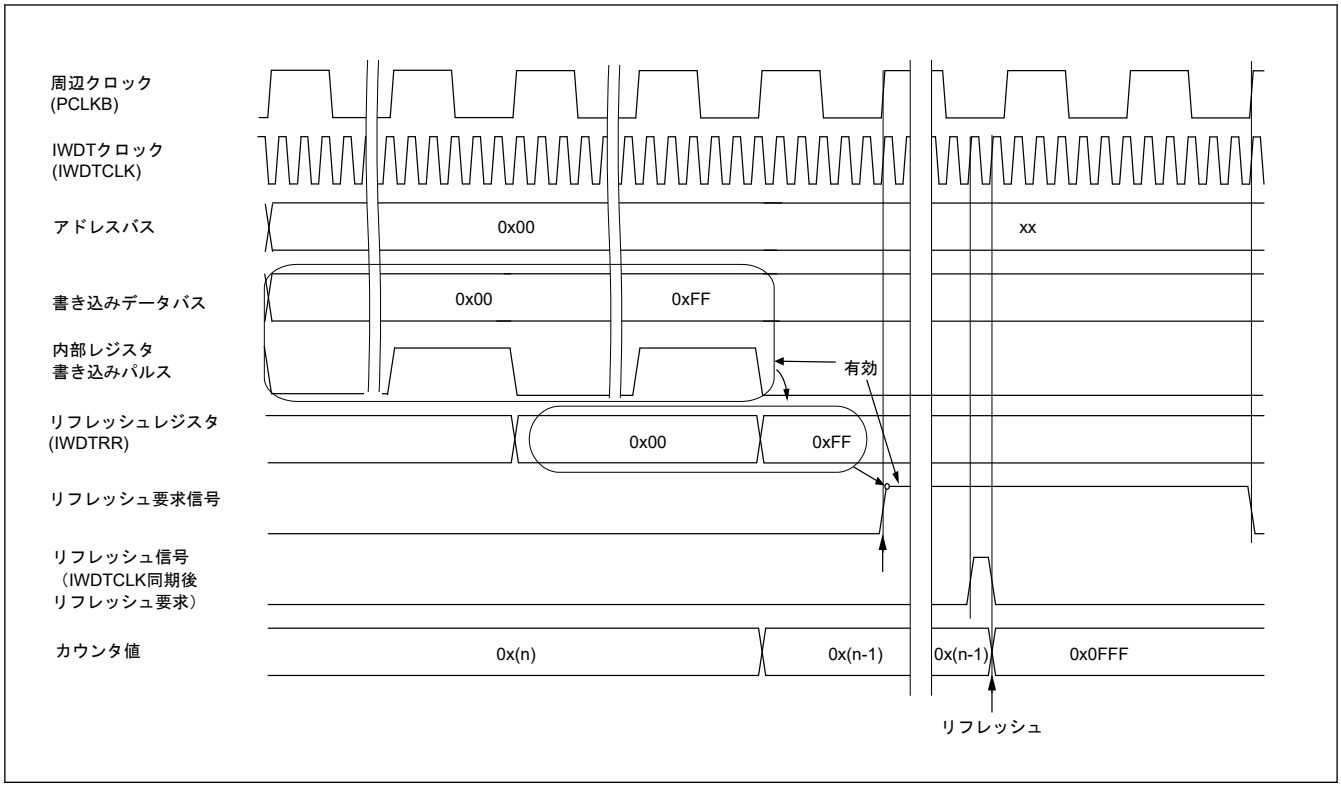


図 26.7 IWDT リフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0010b, IWDTCR.TOPS[1:0] = 01b)

26.3.4 ステータスフラグ

リフレッシュエラーフラグ (IWDTSR.REFEF) とアンダーフローフラグ (IWDTSR.UNDFF) は、IWDT のリセット出力要因または IWDT の割り込み要求要因を保持します。

リセット状態の解除後または割り込み要求の発生後に、IWDTSR.REFEF フラグと IWDTSR.UNDFF フラグを読み出すことで、リセットまたは割り込み要因を確認できます。

各フラグは、0 を書くことによってクリアされます。1 の書き込みは無効です。

各フラグをそのままにしておいても、動作に影響を与えません。フラグがクリアされなければ、IWDT が次のリセット信号を出力したときに、最初のリセットまたは割り込み要因がクリアされ、次のリセットまたは割り込み要因が書き込まれます。

26.3.5 リセット出力

レジスタスタートモードでリセット割り込み選択ビット (IWDTRCR.RSTIRQS) を 1 にした場合、またはオートスタートモードで IWDT リセット割り込み要求選択ビット (OFS0.IWDTRSTIRQS) を 1 にした場合、ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号を 1 カウントサイクル間出力します。レジスタスタートモードでは、リセット信号のアサート後、ダウンカウンタが初期化され（全ビットが 0 になり）、その状態のまま維持されます。リセットが解除されて、プログラムが再起動した後は、リフレッシュ動作によってカウンタが再設定され、ダウンカウントを開始します。オートスタートモードでは、リセット出力後、自動的にダウンカウントを開始します。

26.3.6 割り込み要因

レジスタスタートモードでリセット割り込み選択ビット (IWDTRCR.RSTIRQS) を 0 にした場合、またはオートスタートモードで IWDT リセット割り込み要求選択ビット (OFS0.IWDTRSTIRQS) を 0 にした場合、ダウンカウンタのオーバーフローまたはリフレッシュエラー発生時に、ノンマスカブル割り込み (IWDT_NMIUNDF) が 1 カウントサイクル間発生します。

26.3.7 ダウンカウンタ値の読み出し

IWDT のダウンカウンタは IWDT クロック (IWDTCLK) で動作しているため、カウンタ値を直接読み出すことはできません。

IWDT はカウンタ値を周辺クロック (PCLKB) に同期させて、IWDT ステータスレジスタ (IWDTSR) のダウンカウンタ値ビット (CNTVAL[13:0]) へ格納します。カウンタ値は、IWDTSR.CNTVAL[13:0]ビットに格納された値を読み出すことにより、間接的に確認できます。

カウンタ値の読み出しには周辺クロック PCLKB で数クロックサイクル（最大 4 クロックサイクル）を要するため、読み出されるカウント値は、実際のカウンタ値から 1 カウントずれる場合があります。

図 26.8 に周辺クロック (PCLKB) > IWDT クロック (IWDTCLK) のとき、クロック分周比が IWDTCLK/1 である場合の IWDT カウンタ値の読み出し処理を示します。図 26.9 に周辺クロック (PCLKB) < IWDT クロック (IWDTCLK) のとき、クロック分周比が IWDTCLK/16 である場合の IWDT カウンタ値の読み出し処理を示します。

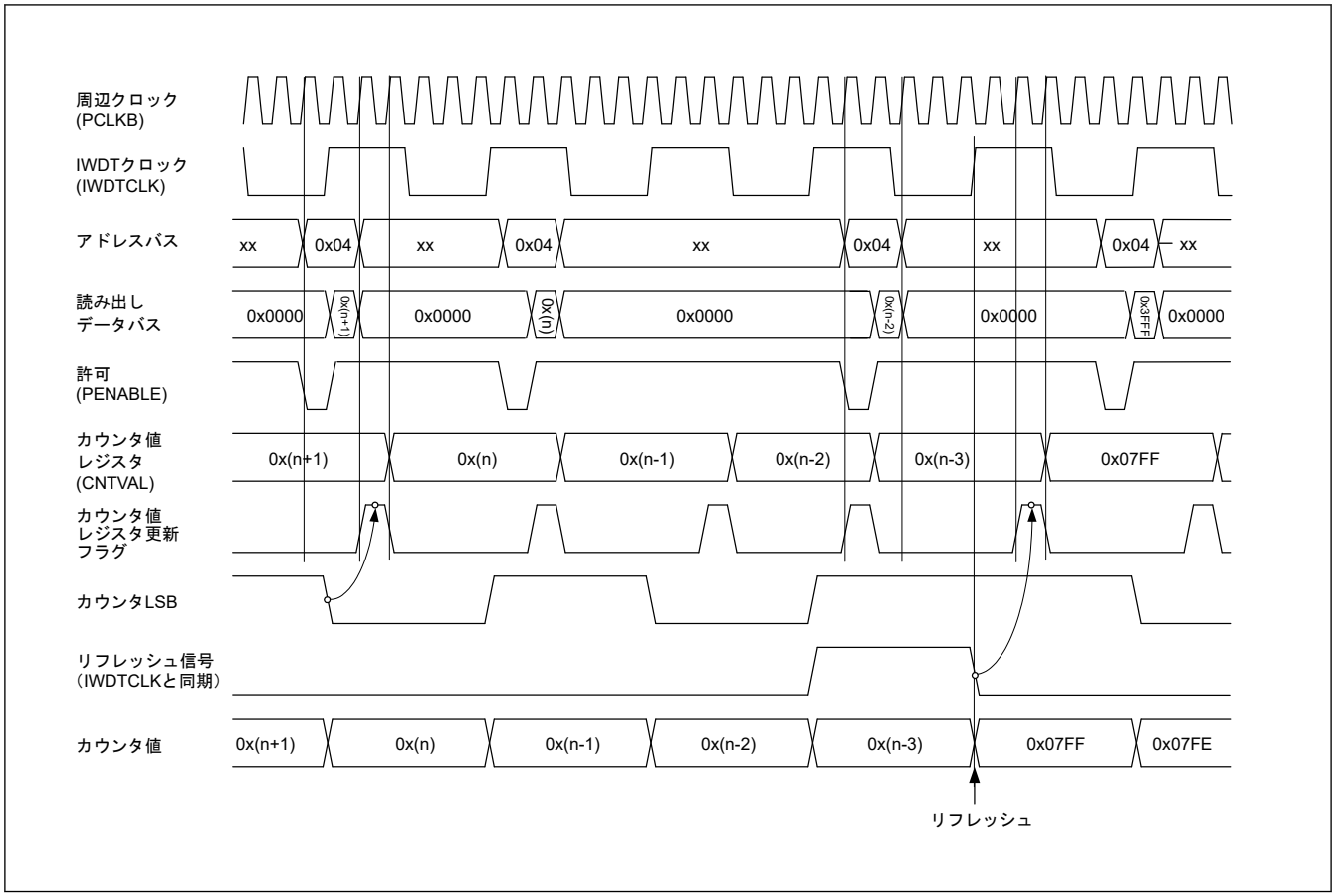


図 26.8　IWDT カウンタ値の読み出し処理（IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b の場合）

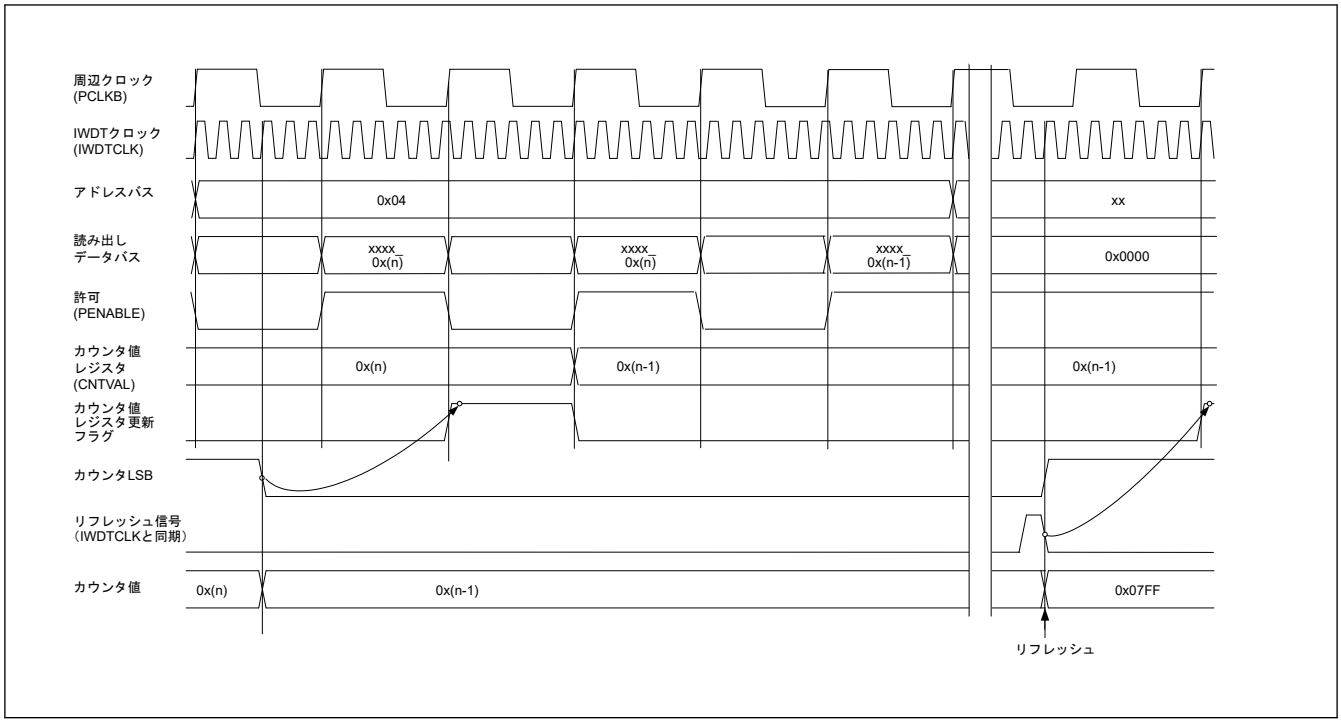


図 26.9　IWDT カウンタ値の読み出し処理（IWDTCR.CKS[3:0] = 0010b、IWDTCR.TOPS[1:0] = 11b の場合）

26.3.8　オプション機能選択レジスタ 0 (OFS0) と IWDT のレジスタの対応関係

表 26.4 に、ダウンカウンタ、リセット／割り込み要求出力、カウント停止機能の制御に関して、オプション機能選択レジスタ 0 (OFS0) と IWDT のレジスタ（IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、IWDT カウント停止コントロールレジスタ (IWDTCSTPR)）の対応関係を示します。

IWDT スタートモード選択ビット (OFS0.IWDTSTRT) の設定により、オプション機能選択レジスタ 0 (OFS0) と IWDT のレジスタ (IWDTCR, IWDTRCR, IWDTCSTPR) の制御を切り替えることができます。

オプション機能選択レジスタ 0 (OFS0) の設定は、IWDT の動作中、変更されずに維持されることに注意してください。

表 26.4　オプション機能選択レジスタ 0 (OFS0) と IWDT のレジスタの対応関係

制御対象	機能	OFS0 レジスタ（オートスタートモードで有効） OFS0.IWDTSTRT = 0	IWDT のレジスタ（レジスタスタートモードで有効） OFS0.IWDTSTRT = 1
ダウンカウンタ	タイムアウト期間選択	OFS0.IWDTTOPS[1:0]	IWDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.IWDTCKS[3:0]	IWDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.IWDTRPSS[1:0]	IWDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.IWDTRPES[1:0]	IWDTCR.RPES[1:0]
リセット出力／ 割り込み要求出力	リセット出力／ 割り込み要求出力選択	OFS0.IWDTRSTIRQS	IWDTRCR.RSTIRQS
カウンタ停止	CPU スリープモードカウント停止選択	OFS0.IWDTSLCSTP	IWDTCSTPR.SLCSTP

26.4　イベントリンク機能によるリンク動作

割り込み要求信号がイベント信号として使用される場合、IWDT は設定したモジュールに対してリンク動作が可能です。IWDT は、ダウンカウンタのアンダーフロー時またはリフレッシュエラーの発生時のイベント信号を出力します。

レジスタスタートモードでのリセット割り込み要求選択ビット (IWDTRCR.RSTIRQS) またはオートスタートモードでの IWDT リセット割り込み要求選択ビット (OFS0.IWDTRSTIRQS) の設定にかかわらず、IWDT はイベント信号を出力します。また、リフレッシュエラーフラグ (IWDTSR.REFEF) またはアンダーフローフラグ

(IWDTSR.UNDFF) が保持されている状態で、次の割り込み要因が発生した場合も、イベント信号の出力が可能です。

27. イーサネット MAC コントローラ (ETHERC)

27.1 概要

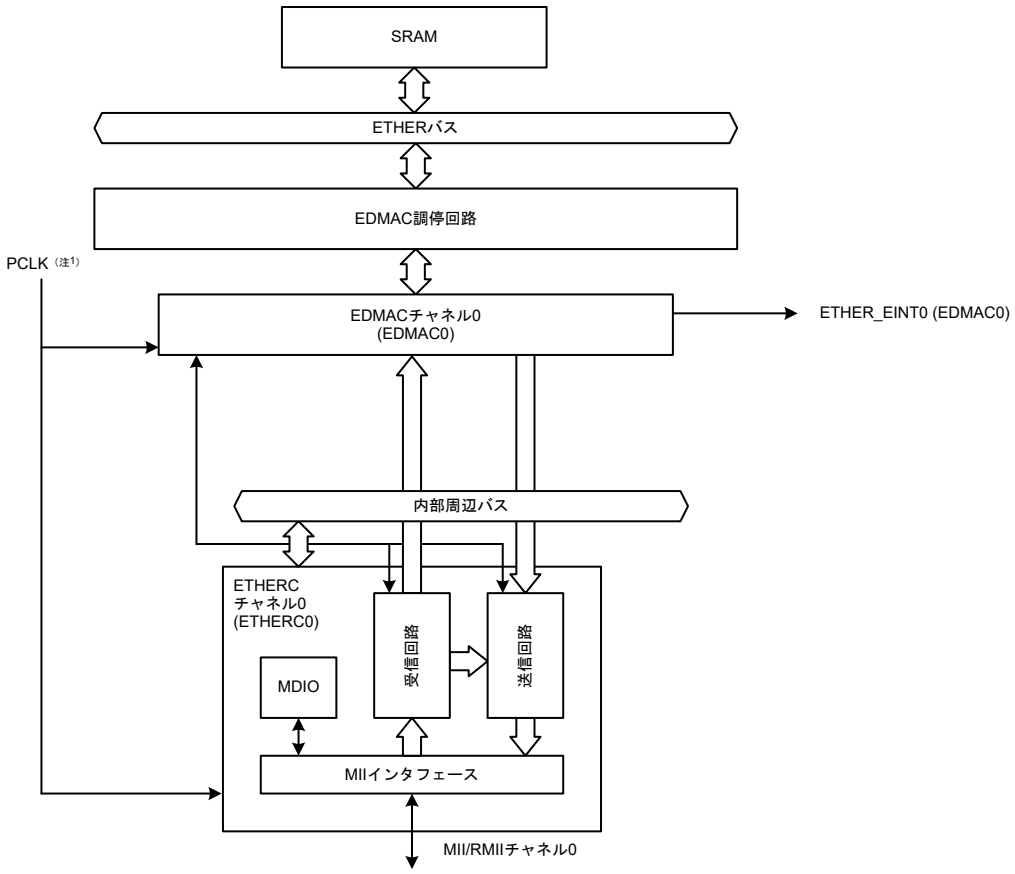
本 MCU は、イーサネットあるいは IEEE802.3 の Media Access Control (MAC) 層規格に準拠したイーサネットコントローラ (ETHERC) を 1 チャネル内蔵しています。ETHERC チャネルには、1 チャネルの MAC 層インタフェースがあります。物理層の LSI (PHY-LSI) と接続することにより、イーサネット／IEEE802.3 に準拠したフレームの送受信を行うことができます。また、ETHERC はイーサネット DMA コントローラ (EDMAC) に接続されているので、CPU を介することなくデータ転送を行うことができます。

表 27.1 に ETHERC の仕様を、図 27.1 に ETHERC の構成を、表 27.2 に入出力端子を示します。

また、図 27.2 と図 27.3 に MCU の外部 PHY-LSI との接続例を示します。

表 27.1 ETHERC の仕様

項目	仕様
チャネル数	1 チャネル
プロトコル	IEEE802.3x に準拠したフロー制御
データ送受信	イーサネット／IEEE802.3 規格に準拠したフレームを送受信
ビットレート	10Mbps および 100Mbps に対応
動作モード	全二重モードおよび半二重モードに対応
インタフェース	IEEE802.3u 規格に準拠した Media Independent Interface (MII), Reduced Media Independent Interface (RMII) に対応
機能	• Magic Packet™の検出 • Wake-on-LAN (WOL) 信号の出力
モジュールストップ機能	モジュールストップ状態に設定して消費電力の削減が可能
TrustZone フィルタ	セキュリティ属性とプリビレッジ属性を設定可能



注 1. PCLK: PCLKA
ETHERC を使用する場合、12.5 MHz ≦ PCLK ≦ 120 MHz

図 27.1 ETHERC 構成

表 27.2 ETHERC 入出力端子 (1/2)

動作モード	端子名称	入出力	説明
MII	ET0_TX_CLK (注1)	入力	送信クロック ET0_TX_EN、ET0_ETXD3～ET0_ETXD0、ET0_TX_ER 信号出力時のタイミング基準信号
	ET0_RX_CLK (注1)	入力	受信クロック ET0_RX_DV、ET0_ERXD3～ET0_ERXD0、ET0_RX_ER 信号入力時のタイミング基準信号
	ET0_TX_EN (注1)	出力	送信データ有効 ET0_ETXD3～ET0_ETXD0 上に有効な送信データが出力されたことを示す信号
	ET0_ETXD3～ET0_ETXD0 (注1)	出力	4 ビットの送信データ
	ET0_TX_ER (注1)	出力	送信エラー 送信中のエラーを PHY-LSI に通知するための信号
	ET0_RX_DV (注1)	入力	受信データ有効 ET0_ERXD3～ET0_ERXD0 上に有効な受信データがあることを示す信号
	ET0_ERXD3～ET0_ERXD0 (注1)	入力	4 ビットの受信データ
	ET0_RX_ER (注1)	入力	受信エラー PHY-LSI から ETHERC へ転送中のフレームにエラーがあることを示す信号
	ET0_CRS (注1)	入力	キャリア感知
	ET0_COL (注1)	入力	衝突検出信号
	ET0_MDC (注1)	出力	マネジメントデータクロック ET0_MDIO 端子上の情報を転送するための基準クロック信号
	ET0_MDIO (注1)	入出力	管理データ入出力 PHY-LSI との間でマネジメントデータを交換するための双方向データ信号
	ET0_LINKSTA	入力	PHY-LSI からのリンクステータス入力
	ET0_EXOUT	出力	汎用出力端子
	ET0_WOL	出力	Wake-on-LAN。Magic Packet が受信されたことを示す信号

表 27.2　ETHERC 入出力端子 (2/2)

動作モード	端子名称	入出力	説明
RMII	REF50CK0 (注2)	入力	基準クロック RMII0_TXD_EN、RMII0_TXD1～RMII0_TXD0、RMII0_CRS_DV、RMII0_RXD1～RMII0_RXD0、RMII0_RX_ER 端子のタイミング基準信号
	RMII0_TXD_EN (注2)	出力	送信データ有効 有効な送信データが RMII0_TXD1 および RMII0_TXD0 端子に出力されていることを示す信号
	RMII0_TXD1～RMII0_TXD0 (注2)	出力	2 ビットの送信データ
	RMII0_CRS_DV (注2)	入力	キャリア感知／受信データ有効 有効な受信データが RMII0_RXD1 および RMII0_RXD0 端子上にあることを示す信号
	RMII0_RXD1～ RMII0_RXD0 (注2)	入力	2 ビットの受信データ
	RMII0_RX_ER (注2)	入力	受信エラー PHY-LSI から ETHERC へ転送中のフレームにエラーがあることを示す信号。 「27.5.2. RMII 選択時の RMII0_RX_ER 端子への入力」の注記を参照してください。
	ET0_MDC (注2)	出力	マネジメントデータクロック ET0_MDIO 端子上の情報を送信するための基準クロック信号
	ET0_MDIO (注2)	入出力	マネジメントデータ入出力 PHY-LSI との間でマネジメントデータを交換するための双方向データ信号
	ET0_LINKSTA	入力	PHY-LSI からのリンクステータス入力
	ET0_EXOUT	出力	汎用出力端子
	ET0_WOL	出力	Wake-on-LAN。Magic Packet が受信されたことを示す信号

注 1.　IEEE802.3u 準拠の MII 信号
注 2.　IEEE802.3u 準拠の RMII 信号

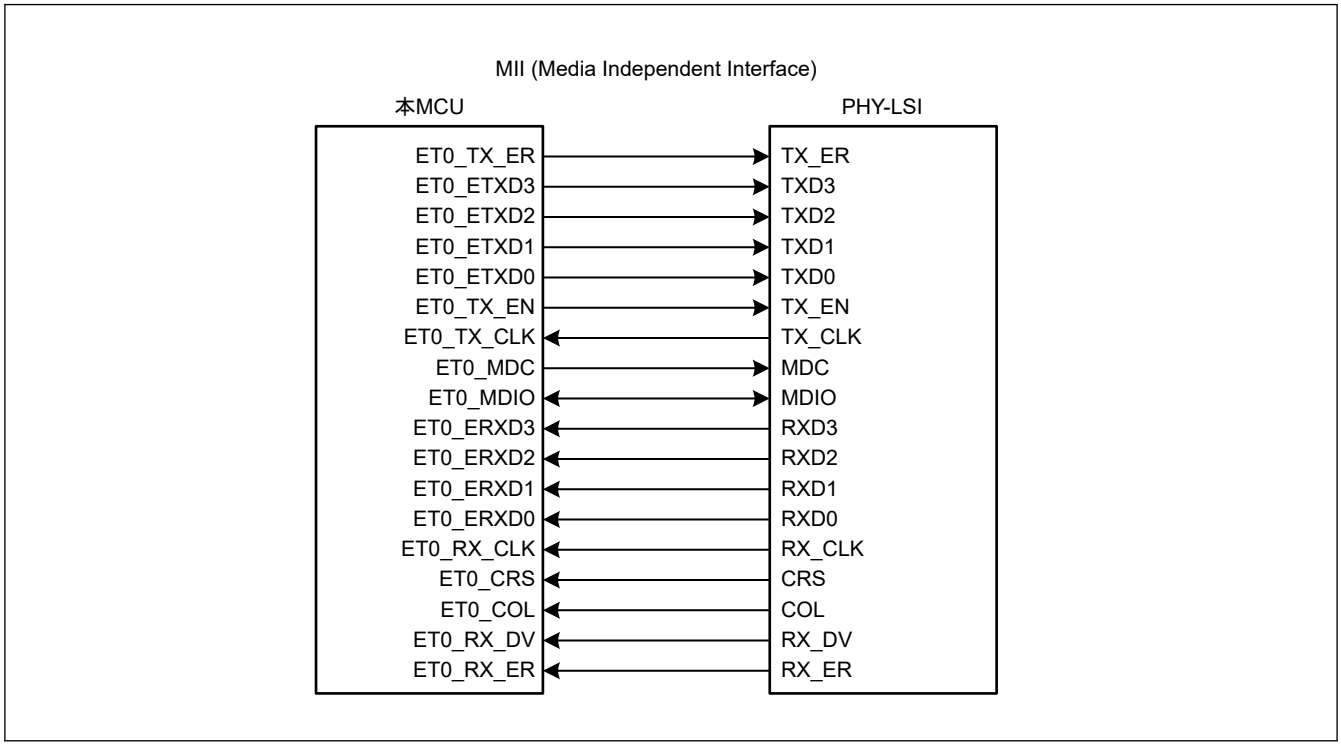


図 27.2　PHY-LSI との接続例 (MII)

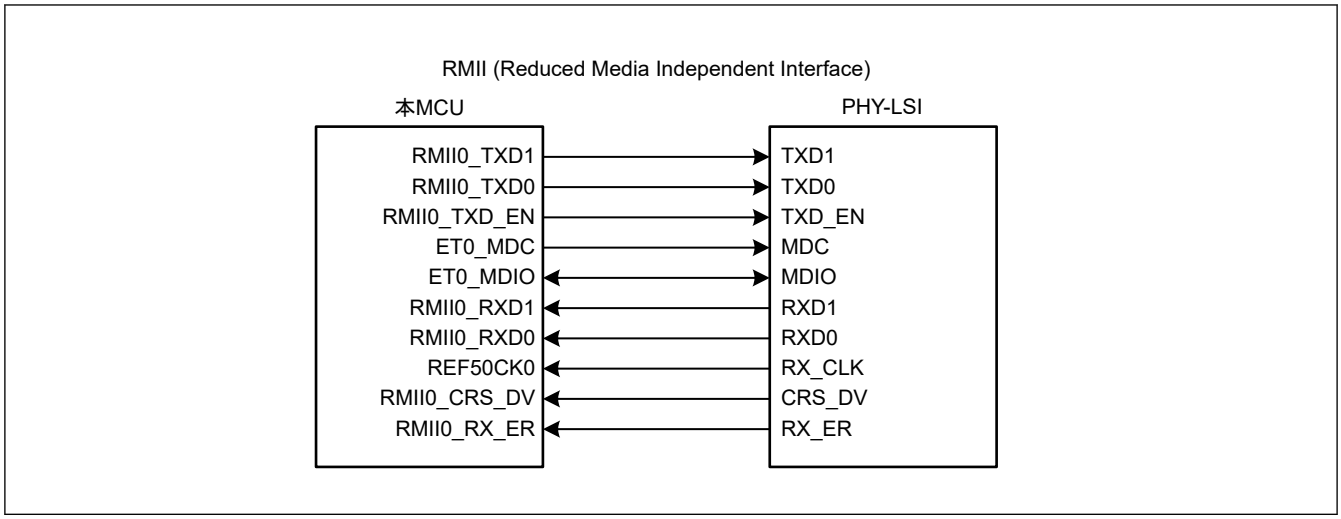


図 27.3 PHY-LSI との接続例 (RMII)

27.2 レジスタの説明

27.2.1 ECMR : ETHERC モードレジスタ

Base address: ETHERC0 = 0x4035_4100
ETHERC0_NS = 0x5035_4100

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	TPC	ZPF	PFR	RXF	TXF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	PRCEF	—	—	MPDE	—	—	RE	TE	—	ILB	RTM	DM	PRM
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PRM	プロミスキャスモード 0: プロミスキャスモード禁止 1: プロミスキャスモード許可	R/W
1	DM	二重モード 0: 半二重モード 1: 全二重モード	R/W
2	RTM	ビットレート 0: 10 Mbps 1: 100 Mbps	R/W
3	ILB	内部ループバックモード 0: 通常のデータ送受信を行う 1: 全二重モードが選択されたときに ETHERC 内部でループバックを行う	R/W
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	TE	送信許可 0: 送信機能許可 1: 送信機能禁止	R/W
6	RE	受信許可 0: 受信機能許可 1: 受信機能禁止	R/W
8:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
9	MPDE	Magic Packet 検出許可 0: Magic Packet 検出禁止 1: Magic Packet 検出許可	R/W
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	PRCEF	CRC エラーフレーム受信モード 0: EDMAC に CRC エラーを通知する 1: EDMAC に CRC エラーを通知しない	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	TXF	送信フロー制御動作モード 0: PAUSE フレームの自動送信禁止 （PAUSE フレームは自動では送信されない） 1: PAUSE フレームの自動送信許可 （PAUSE フレームは必要に応じて自動的に送信される）	R/W
17	RXF	受信フロー制御動作モード 0: PAUSE フレームの検出禁止 1: PAUSE フレームの検出許可	R/W
18	PFR	PAUSE フレーム受信モード 0: EDMAC に PAUSE フレームを転送しない 1: EDMAC に PAUSE フレームを転送する	R/W
19	ZPF	0 Time PAUSE フレーム許可 0: 0 の pause_time パラメータを含む PAUSE フレームを使用しない 1: 0 の pause_time パラメータを含む PAUSE フレームを使用する	R/W
20	TPC	PAUSE フレーム送信 0: PAUSE 期間中でも PAUSE フレームを送信する 1: PAUSE 期間中は PAUSE フレームを送信しない	R/W
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

ECMR レジスタは ETHERC の動作を制御します。TE および RE ビットを除き、このレジスタへのビットの設定はリセット後の初期化中に行ってください。 それ以外のときに書き換える場合は、EDMAC0.EDMR.SWR ビットを 1 にして、EDMAC と ETHERC を初期状態に戻してからこのレジスタを再設定してください。

PRM ビット（プロミスキャスモード）

PRM ビットが 1 のとき、ETHERC はプロミスキャスモードで動作し、すべてのイーサネットフレームを受信します。プロミスキャスモードでは、宛先アドレスやブロードキャストアドレスが一致するかどうか、あるいはマルチキャストビットの設定にかかわらず、ETHERC は受信可能なすべてのフレームを受信します。

RTM ビット（ビットレート）

RTM ビットは RMII 選択時の送受信のビットレートを指定します。

ILB ビット（内部ループバックモード）

ILB ビットが 1 のとき、MCU 内部で送信フレームをループバックさせることができます。ループバックテストを行うときは DM ビットも 1（全二重モード）にしてください。

TE ビット（送信許可）

TE ビットが 1 のとき、ETHERC の送信機能が有効になります。TE ビットが 0 のとき、処理中のフレームの送信を完了してから送信機能が無効になります。

RE ビット（受信許可）

RE ビットが 1 のとき、ETHERC の受信機能が有効になります。RE ビットが 0 のとき、処理中のフレームの受信を完了してから受信機能が無効になります。

PRCEF ビット（CRC エラーフレーム受信モード）

PRCEF ビットが 1 のとき、受信フレームでエラーを検出したとしても EDMAC に CRC エラーの発生が通知されません。したがって、EDMAC0.EESR.CERF フラグおよび受信ディスクリプタ 0（RD0）の RFS0 ビットは 1 にはなりません。

ZPF ビット（0 Time PAUSE フレーム許可）

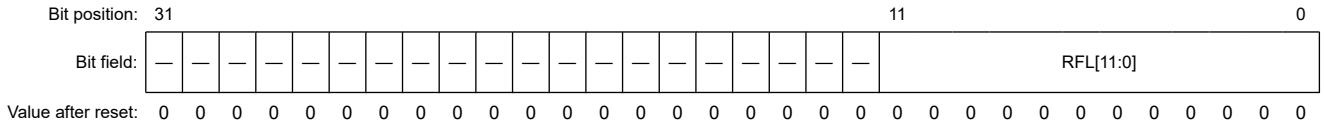
ZPF ビットが 1 のとき、前回送信した PAUSE フレームの PAUSE 時間が経過する前に PAUSE フレーム送信要求が取り消されると、pause_time パラメータが 0 の PAUSE フレームが送信されます。また、pause_time パラメータが 0 の PAUSE フレームを受信すると、ETHERC は送信可能な状態になります。

ZPF ビットが 0 の場合、受信 FIFO からの PAUSE フレーム送信要求が取り消されても、前回送信した PAUSE フレームの PAUSE 時間が経過するまでは、次の PAUSE フレームは送信されません。また、pause_time パラメータが 0 の PAUSE フレームを受信した場合、その PAUSE フレームは破棄されます。

27.2.2 RFLR : 受信フレーム長上限レジスタ

Base address: ETHERC0 = 0x4035_4100
ETHERC0_NS = 0x5035_4100

Offset address: 0x08



ビット	シンボル	機能	R/W
11:0	RFL[11:0]	受信フレーム長上限 設定した値がそのままフレーム長の上限として使用されます。最小許容値は 1,518 バイト、最大許容値は 2,048 バイトです。1,518 バイトより小さい値は 1,518 バイトとして、2,048 バイトより大きい値は 2,048 バイトとして扱われます。	R/W
31:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

RFLR レジスタは、MCU が受信できる最大フレーム長を指定します。バイト単位で設定してください。
ECMR.RE ビットが 1（受信機能有効）のときは、このレジスタを書き換えないでください。

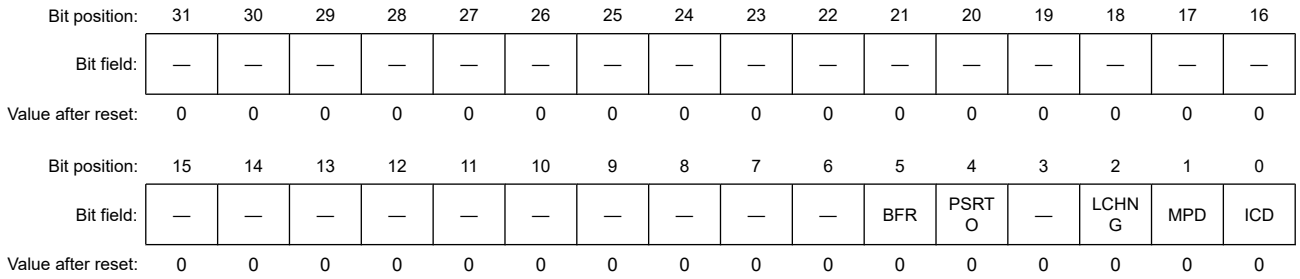
RFL[11:0]ビット（受信フレーム長上限）

RFL[11:0]ビットにはチェックするフレーム値を設定します。フレーム長は受信フレームの宛先アドレス部からフレームチェックシーケンス（FCS）部までのバイト数です。この長さが RFL[11:0]ビット値を超えたとき、EDMAC は「フレーム長超過」エラーの通知を受け、超えた分のデータは破棄されます。

27.2.3 ECSR : ETHERC ステータスレジスタ

Base address: ETHERC0 = 0x4035_4100
ETHERC0_NS = 0x5035_4100

Offset address: 0x10



ビット	シンボル	機能	R/W
0	ICD	不正キャリア検出フラグ 0: PHY-LSI は、回線上で不正キャリアを検出していない 1: PHY-LSI は、回線上で不正キャリアを検出した	R/W(注1)

ビット	シンボル	機能	R/W
1	MPD	Magic Packet 検出フラグ 0: Magic Packet を検出していない 1: Magic Packet を検出した	R/W(注1)
2	LCHNG	リンク信号変化フラグ 0: ET0_LINKSTA 信号の変化を検出していない 1: ET0_LINKSTA 信号の変化（High から Low、または Low から High）を検出した	R/W(注1)
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	PSRTO	PAUSE フレーム再送オーバーフラグ 0: PAUSE フレーム再送回数が上限値に達していない 1: PAUSE フレーム再送回数が上限値に達した	R/W(注1)
5	BFR	ブロードキャストフレーム連続受信フラグ 0: ブロードキャストフレームの連続受信を検出していない 1: ブロードキャストフレームの連続受信を検出した	R/W(注1)
31:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注 1. フラグをクリアするには 1 を書き込みます。

ECSR レジスタは、ETHERC のステータスを表示するレジスタです。ECSR レジスタのいずれかのビットが 1 になり、ECSIPR レジスタの対応するビットが 1（割り込み許可）の場合、EDMAC.EESR.ECI フラグは 1 になります。

ICD フラグ（不正キャリア検出フラグ）

ICD フラグは、回線上で PHY-LSI が不正なキャリアを検出したことを表します。PHY-LSI から図 27.11 に示すような受信エラー信号を受け取った場合、このフラグは 1 になります。PHY-LSI から入力される信号の変化が、プログラムが認識するよりも早い場合は、正しい情報が得られないことがあります。PHY-LSI のタイミングを確認してください。

LCHNG フラグ（リンク信号変化フラグ）

LCHNG フラグは、PHY-LSI から入力される ET0_LINKSTA 信号が High から Low、または Low から High に変化したことを表します。現在のリンク状態を確認するには、PSR.LMON フラグを参照してください。詳細については「27.5.1. LCHNG フラグの 1 への誤設定の防止」を参照してください。

PSRTO フラグ（PAUSE フレーム再送オーバーフラグ）

PSRTO フラグは、PAUSE フレームの自動送信を許可したときの PAUSE フレームの再送時、再送信の回数が TPAUSER レジスタに設定された値に到達したことを示します。

27.2.4 ECSIPR : ETHERC 割り込みイネーブルレジスタ

Base address: ETHERC0 = 0x4035_4100
ETHERC0_NS = 0x5035_4100

Offset address: 0x18

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	BFSIPR	PSRTOIP	—	LCHNGIP	MPDIP	ICDIP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ICDIP	不正キャリア検出割り込み許可 0: 割り込み通知を禁止 1: 割り込み通知を許可	R/W

ビット	シンボル	機能	R/W
1	MPDIP	Magic Packet 検出割り込み許可 0: 割り込み通知を禁止 1: 割り込み通知を許可	R/W
2	LCHNGIP	リンク信号変化割り込み許可 0: 割り込み通知を禁止 1: 割り込み通知を許可	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	PSRTOIP	PAUSE フレーム再送信オーバー割り込み許可 0: 割り込み通知を禁止 1: 割り込み通知を許可	R/W
5	BFSIPR	ブロードキャストフレーム連続受信割り込み許可 0: 割り込み通知を禁止 1: 割り込み通知を許可	R/W
31:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

ECSIPR レジスタは、ECSR レジスタに表示されるステータスを EDMAC に通知するかどうかを選択します。各ビットは、ECSR レジスタの同じビット番号のフラグに対応しています。

27.2.5 PIR : PHY インタフェースレジスタ

Base address: ETHERC0 = 0x4035_4100
ETHERC0_NS = 0x5035_4100

Offset address: 0x20

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	MDI	MDO	MMD	MDC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	x	0	0	0

ビット	シンボル	機能	R/W
0	MDC	MII/RMII マネジメントデータクロック この値を ET0_MDC 端子から出力し、MII または RMII へのマネジメントデータクロックを供給します。	R/W
1	MMD	MII/RMII マネジメントモード 0: 読み出し 1: 書き込み	R/W
2	MDO	MII/RMII マネジメントデータアウト MMD ビットが 1（書き込み）のとき、この値を ET0_MDIO 端子から出力し、MMD ビットが 0（読み出し）のときは出力しません。	R/W
3	MDI	MII/RMII マネジメントデータイン ET0_MDIO 端子のレベルを表します。書く場合、0 としてください。	R
31:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

PIR レジスタは、MII または RMII を経由して PHY-LSI 内部のレジスタにアクセスするために使用します。マネジメントクロックおよびマネジメントデータはプログラムで制御します。MII および RMII レジスタへのアクセス方法については、「27.3.4. MII および RMII レジスタのアクセス方法」を参照してください。

27.2.6 PSR : PHY ステータスレジスタ

Base address: ETHERC0 = 0x4035_4100
ETHERC0_NS = 0x5035_4100

Offset address: 0x28

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LMON
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x

ビット	シンボル	機能	R/W
0	LMON	ET0_LINKSTA 端子ステータスフラグ ET0_LINKSTA 端子に PHY-LSI から出力されるリンク信号を接続することによって、リンク状態を読むことができます。極性の詳細については、接続する PHY-LSI の仕様を参照してください。	R
31:1	—	読むと 0 が読めます。	R

注. S-TYPE3, P-TYPE3

PSR レジスタは、PHY-LSI からのインタフェース信号を監視します。

27.2.7 RDMLR : 乱数生成カウンタ上限設定レジスタ

Base address: ETHERC0 = 0x4035_4100
ETHERC0_NS = 0x5035_4100

Offset address: 0x40

Bit position:	31											19																	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	RMD[19:0]																	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x

注. S-TYPE3, P-TYPE3

ビット	シンボル	機能	R/W
19:0	RMD[19:0]	乱数生成カウンタ 0x00000: 正常動作 0x00001～0xFFFFF: 設定禁止	R/W
31:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RDMLR レジスタは、乱数生成部で使用しているカウンタの上限値を設定します。ECMR.TE ビットが 1（送信機能有効）または ECMR.RE ビットが 1（受信機能有効）の間は、このレジスタを書き換えないでください。

27.2.8 IPGR : Interpacket Gap レジスタ

Base address: ETHERC0 = 0x4035_4100
ETHERC0_NS = 0x5035_4100

Offset address: 0x50

Bit position:	31																										4		0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IPG[4:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0

ビット	シンボル	機能	R/W
4:0	IPG[4:0]	Interpacket Gap 0x00: 16 ビットタイム 0x01: 20 ビットタイム ⋮ 0x14: 96 ビットタイム（初期値） ⋮ 0x1F: 140 ビットタイム	R/W
31:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

IPGR レジスタは、Interpacket Gap（IPG）の値を設定します。ECMR.TE ビットが 1（送信機能有効）または ECMR.RE ビットが 1（受信機能有効）の間は、このレジスタを書き換えないでください。IPG の詳細については「27.3.6. IPG の変更による伝送効率の調整」を参照してください。

27.2.9 APR : 自動 PAUSE フレームレジスタ

Base address: ETHERC0 = 0x4035_4100
ETHERC0_NS = 0x5035_4100

Offset address: 0x54

Bit position:	31															15														0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AP[15:0]														
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	AP[15:0]	自動 PAUSE 時間設定 自動送信する PAUSE フレームの pause_time パラメータ値を設定します。設定値の 512 倍のビットタイムが経過するまで送信は行われません。	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

APR レジスタは、自動送信する PAUSE フレームの PAUSE 時間を設定します。APR レジスタに設定した値が PAUSE フレームの pause_time パラメータとして使用されます。ECMR.TE ビットが 1（送信機能有効）または ECMR.RE ビットが 1（受信機能有効）の間は、このレジスタを書き換えないでください。

27.2.10 MPR : 手動 PAUSE フレームレジスタ

Base address: ETHERC0 = 0x4035_4100
ETHERC0_NS = 0x5035_4100

Offset address: 0x58

Bit position:	31															15														0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MP[15:0]														
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
15:0	MP[15:0]	手動 PAUSE 時間設定 手動送信する PAUSE フレームの pause_time パラメータ値を設定します。設定値の 512 倍のビットタイムが経過するまで送信は行われません。 読み出し値は不定です。	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

MPR レジスタは、手動送信する PAUSE フレームの PAUSE 時間を設定します。MPR レジスタに設定した値が PAUSE フレームの pause_time パラメータとして使用されます。このレジスタに値を設定すると、PAUSE フレー

ムが送信されます。このレジスタへの書き換えは、ECMR.RE ビットが 1（受信機能有効）のときに行ってください。

27.2.11 RFCF : PAUSE フレーム受信カウンタ

Base address: ETHERC0 = 0x4035_4100
ETHERC0_NS = 0x5035_4100

Offset address: 0x60

Bit position:	31																						7							0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RPAUSE[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	RPAUSE[7:0]	PAUSE フレーム受信数 PAUSE フレームの受信回数	R
31:8	—	読むと 0 が読めます。	R

注. S-TYPE3, P-TYPE3

RFCF レジスタは、PAUSE フレームの受信回数を示すカウンタです。レジスタが読み出されると、カウンタはリセットされます。

27.2.12 TPAUSER : PAUSE フレーム再送回数設定レジスタ

Base address: ETHERC0 = 0x4035_4100
ETHERC0_NS = 0x5035_4100

Offset address: 0x64

Bit position:	31																15													0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TPAUSE[15:0]													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	TPAUSE[15:0]	自動 PAUSE フレーム再送設定 0x0000 再送回数は無制限 0: 0x0000 再送回数の上限値は 1 1: ⋮ ⋮ 0xFFFF 再送回数の上限値は 65,535 F:	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

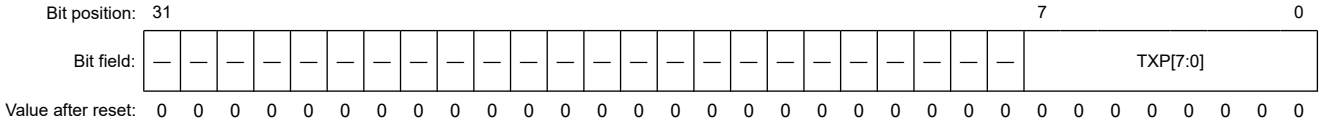
注. S-TYPE3, P-TYPE3

TPAUSECR レジスタは、PAUSE フレームの自動再送回数の上限値を選択します。ECMR.TE ビットが 1（送信機能有効）のときは、このレジスタを書き換えないでください。

27.2.13 TPAUSECR : PAUSE フレーム再送カウンタ

Base address: ETHERC0 = 0x4035_4100
ETHERC0_NS = 0x5035_4100

Offset address: 0x68



ビット	シンボル	機能	R/W
7:0	TXP[7:0]	PAUSE フレーム再送回数 PAUSE フレームが再送された回数	R
31:8	—	読むと 0 が読めます。	R

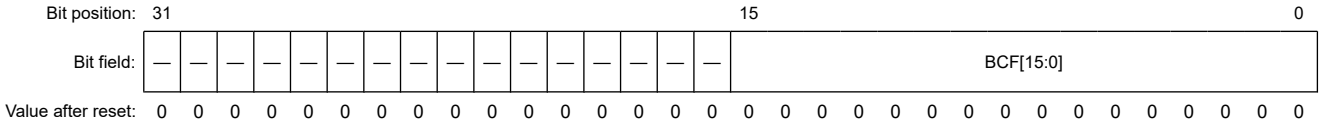
注. S-TYPE3, P-TYPE3

TPAUSECR レジスタは、PAUSE フレームが自動再送された回数を示すカウンタです。レジスタが読み出されると、カウンタはリセットされます。

27.2.14 BCFRR : ブロードキャストフレーム受信回数設定レジスタ

Base address: ETHERC0 = 0x4035_4100
ETHERC0_NS = 0x5035_4100

Offset address: 0x6C



ビット	シンボル	機能	R/W
15:0	BCF[15:0]	ブロードキャストフレーム連続受信回数設定 0x0000 受信回数は無制限 : 0x0001 受信フレーム数は 1 : 0xFFFF 受信フレーム数は 65,535 :	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

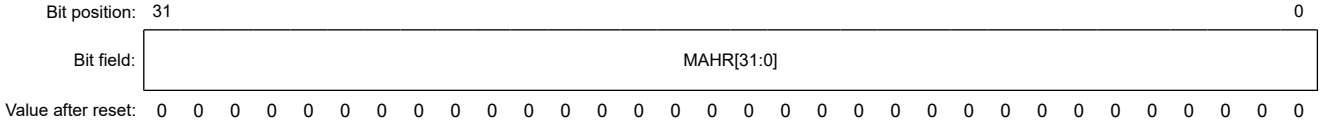
注. S-TYPE3, P-TYPE3

BCFRR レジスタは、ブロードキャストフレームを連続で受信できる回数を設定します。BCF[15:0]ビット値で設定した受信フレーム数を超えた場合、以降のブロードキャストフレームは破棄されます。EMCR.RE ビットが 1（受信機能有効）のときは、このレジスタを書き換えないでください。

27.2.15 MAHR : MAC アドレス上位ビットレジスタ

Base address: ETHERC0 = 0x4035_4100
ETHERC0_NS = 0x5035_4100

Offset address: 0xC0



ビット	シンボル	機能	R/W
31:0	MAHR[31:0]	MAC アドレス上位ビット 以下を参照してください。	R/W

注. S-TYPE3, P-TYPE3

MAHR レジスタは、48 ビットの MAC アドレスの上位 32 ビット ([47:16]) を設定します。たとえば MAC アドレスが 01-23-45-67-89-AB である場合は、レジスタを 0x01234567 に設定します。

MAHR レジスタの設定は、リセット後の初期設定時に行ってください。ECMR.TE ビットが 1（送信機能有効）または ECMR.RE ビットが 1（受信機能有効）の間は、このレジスタを書き換えないでください。書き換える場合は、EDMAC0.EDMR.SWR ビットを 1 にして、EDMAC と ETHERC を初期状態に戻してからこのレジスタを再設定してください。

27.2.16 MALR : MAC アドレス下位ビットレジスタ

Base address: ETHERC0 = 0x4035_4100
ETHERC0_NS = 0x5035_4100

Offset address: 0xC8

Bit position:	31															15														0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MALR[15:0]														
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	MALR[15:0]	MAC アドレス下位ビット MAC アドレスの下位 16 ビットを設定します。	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

MALR レジスタは、48 ビットの MAC アドレスの下位 16 ビットを設定します。たとえば MAC アドレスが 01-23-45-67-89-AB である場合は、レジスタを 0x000089AB に設定します。

MALR レジスタの設定は、リセット後の初期設定時に行ってください。ECMR.TE ビットが 1（送信機能有効）または ECMR.RE ビットが 1（受信機能有効）の間は、このレジスタを書き換えないでください。書き換える場合は、EDMAC0.EDMR.SWR ビットを 1 にして、EDMAC と ETHERC を初期状態に戻してからこのレジスタを再設定してください。

27.2.17 TROCR : 送信リトライオーバーカウンタレジスタ

Base address: ETHERC0 = 0x4035_4100
ETHERC0_NS = 0x5035_4100

Offset address: 0xD0

Bit position:	31																													0
Bit field:	TROCR[31:0]																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	TROCR[31:0]	送信リトライオーバーカウンタ 以下を参照してください。	R/W

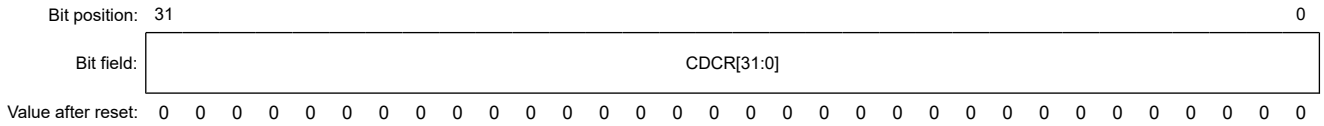
注. S-TYPE3, P-TYPE3

TROCR レジスタは、送信リトライに失敗したフレーム数を示すカウンタです。フレームの再送が 15 回失敗するたびにレジスタ値が 1 インクリメントされます。レジスタ値が 0xFFFF_FFFF になると、カウンタが停止します。TROCR レジスタに任意の値を書き込むと、カウンタ値は 0 になります。

27.2.18 CDCR : 遅延衝突検出カウンタレジスタ

Base address: ETHERC0 = 0x4035_4100
ETHERC0_NS = 0x5035_4100

Offset address: 0xD4



ビット	シンボル	機能	R/W
31:0	CDCR[31:0]	遅延衝突検出カウンタ 以下を参照してください。	R/W

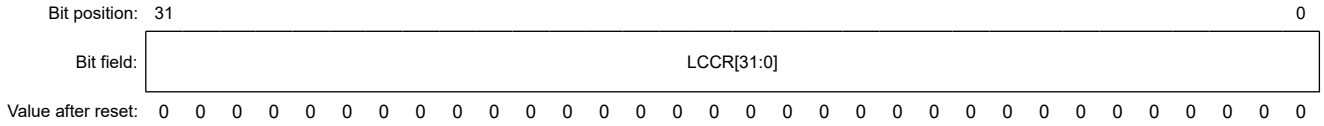
注. S-TYPE3, P-TYPE3

CDCR レジスタは、送信開始以降に検出した遅延衝突の回数を示すカウンタです。レジスタ値が 0xFFFF_FFFF になると、カウンタが停止します。CDCR レジスタに任意の値を書き込むと、カウンタ値は 0 になります。

27.2.19 LCCR : キャリア消失カウンタレジスタ

Base address: ETHERC0 = 0x4035_4100
ETHERC0_NS = 0x5035_4100

Offset address: 0xD8



ビット	シンボル	機能	R/W
31:0	LCCR[31:0]	キャリア消失カウンタ 以下を参照してください。	R/W

注. S-TYPE3, P-TYPE3

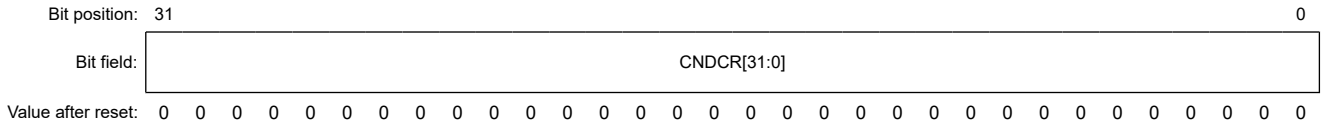
LCCR レジスタは、フレーム送信中に検出したキャリア消失回数を示すカウンタです。

レジスタ値が 0xFFFF FFFF になると、カウンタが停止します。LCCR レジスタに任意の値を書き込むと、カウンタ値は 0 になります。

27.2.20 CNDCR : キャリア未検出カウンタレジスタ

Base address: ETHERC0 = 0x4035_4100
ETHERC0_NS = 0x5035_4100

Offset address: 0xDC



ビット	シンボル	機能	R/W
31:0	CNDCR[31:0]	キャリア未検出カウンタ 以下を参照してください。	R/W

注. S-TYPE3, P-TYPE3

CNDCR レジスタは、プリアンブル送信中にキャリアを検出できなかった回数を示すカウンタです。レジスタ値が 0xFFFF_FFFF になると、カウンタが停止します。CNDCR レジスタに任意の値を書き込むと、カウンタ値は 0 になります。

27.2.21 CEFCR : CRC エラーフレーム受信カウンタレジスタ

Base address: ETHERC0 = 0x4035_4100
ETHERC0_NS = 0x5035_4100

Offset address: 0xE4

Bit position:	31																												0
Bit field:	CEFCR[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CEFCR[31:0]	CRC エラーフレーム受信カウンタ 以下を参照してください。	R/W

注. S-TYPE3, P-TYPE3

CEFCR レジスタは、CRC エラーを検出した受信フレームの回数を示すカウンタです。レジスタ値が 0xFFFF_FFFF になると、カウンタが停止します。CEFCR レジスタに任意の値を書き込むと、カウンタ値は 0 になります。

27.2.22 FRECR : フレーム受信エラーカウンタレジスタ

Base address: ETHERC0 = 0x4035_4100
ETHERC0_NS = 0x5035_4100

Offset address: 0xE8

Bit position:	31																												0
Bit field:	FRECR[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	FRECR[31:0]	フレーム受信エラーカウンタ 以下を参照してください。	R/W

注. S-TYPE3, P-TYPE3

FRECR レジスタは、フレーム受信エラーの回数を示すカウンタです。PHY-LSI は、ET0_RX_ER 端子を使用してフレーム受信エラーを ETHERC に通知します。FRECR レジスタは、ET0_RX_ER 端子が High になるたびにインクリメントします。レジスタ値が 0xFFFF_FFFF になると、カウンタが停止します。FRECR レジスタに任意の値を書き込むと、カウンタ値は 0 になります。

27.2.23 TSFRCR : ショートフレーム受信カウンタレジスタ

Base address: ETHERC0 = 0x4035_4100
ETHERC0_NS = 0x5035_4100

Offset address: 0xEC

Bit position:	31																												0
Bit field:	TSFRCR[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	TSFRCR[31:0]	ショートフレーム受信カウンタ 以下を参照してください。	R/W

注. S-TYPE3, P-TYPE3

TSFRCR レジスタは、64 バイトより短いショートフレームの受信回数を示すカウンタです。レジスタ値が 0xFFFF_FFFF になると、カウンタが停止します。TSFRCR レジスタに任意の値を書き込むと、カウンタ値は 0 になります。

27.2.24 TLFRCR : ロングフレーム受信カウンタレジスタ

Base address: ETHERC0 = 0x4035_4100
ETHERC0_NS = 0x5035_4100

Offset address: 0xF0

Bit position:	31																												0
Bit field:	TLFRCR[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	TLFRCR[31:0]	ロングフレーム受信カウンタ 以下を参照してください。	R/W

注. S-TYPE3, P-TYPE3
注. TLFRCR レジスタは、アライメントエラーのあるフレームを受信したときにはインクリメントしません。この場合、RFCR レジスタがインクリメントします。

TLFRCR ジスタは、RFLR レジスタ値より長いロングフレームの受信回数を示すカウンタです。レジスタ値が 0xFFFF_FFFF になると、カウンタが停止します。TLFRCR レジスタに任意の値を書き込むと、カウンタ値は 0 になります。

27.2.25 RFCR : 端数ビットフレーム受信カウンタレジスタ

Base address: ETHERC0 = 0x4035_4100
ETHERC0_NS = 0x5035_4100

Offset address: 0xF4

Bit position:	31																												0
Bit field:	RFCR[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	RFCR[31:0]	端数ビットフレーム受信カウンタ 以下を参照してください。	R/W

注. S-TYPE3, P-TYPE3

RFCR レジスタは、端数ビットフレーム（8 ビットに満たない端数ビットデータを含むフレーム）が受信された回数を示すカウンタです。レジスタ値が 0xFFFF_FFFF になると、カウンタが停止します。RFCR レジスタに任意の値を書き込むと、カウンタ値は 0 になります。

27.2.26 MAFCR : マルチキャストアドレスフレーム受信カウンタレジスタ

Base address: ETHERC0 = 0x4035_4100
ETHERC0_NS = 0x5035_4100

Offset address: 0xF8

Bit position:	31																												0
Bit field:	MAFCR[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	MAFCR[31:0]	マルチキャストアドレスフレーム受信カウンタ 以下を参照してください。	R/W

注. S-TYPE3, P-TYPE3

MAFCR レジスタは、マルチキャストアドレスが設定されたフレームの受信回数を示すカウンタです。レジスタ値が 0xFFFF_FFFF になると、カウンタが停止します。MAFCR レジスタに任意の値を書き込むと、カウンタ値は 0 になります。

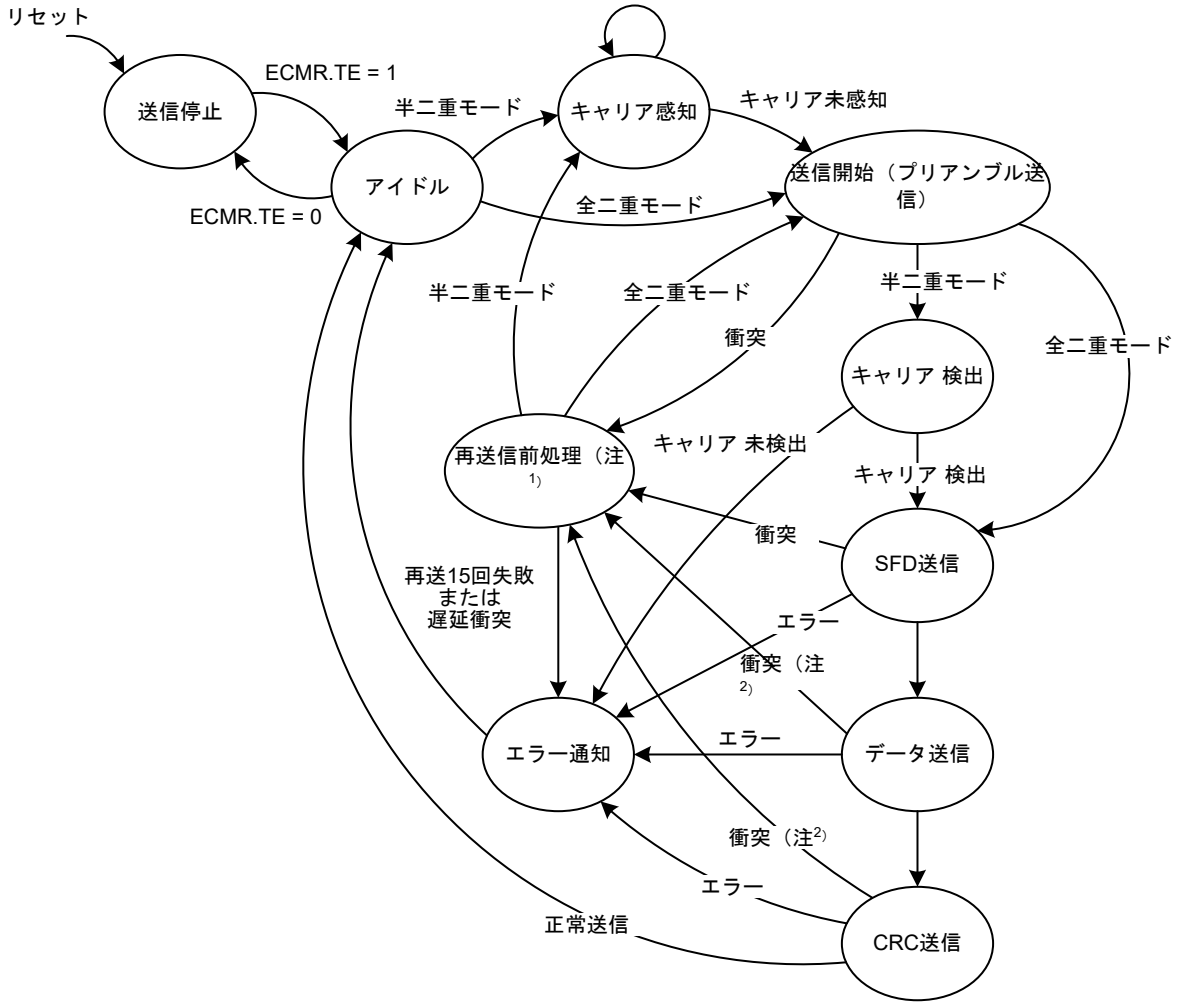
27.3 動作説明

ETHERC の動作概要を以下に示します。ETHERC は、IEEE802.3x に準拠したフロー制御に対応しており、PAUSE フレームの送受信が可能です。

27.3.1 送信

ETHERC 送信部は、EDMAC から送信要求を受信すると送信データをフレームに組み立てて、MII または RMII に出力します。MII または RMII を介して送信されるフレームは、PHY-LSI によって回線上に送信されます。

図 27.4 に、ETHERC 送信部の状態遷移を示します。



注 1. 衝突が検出されたあとの再送信の前処理には、ジャム信号の送信と、バックオフアルゴリズムによる送信時間間隔の調整が含まれます。

注 2. プリアンブル送信の開始後 512 ビットタイム内に衝突が検出された場合にのみ、再送信の前処理が実行されます。512 ビットタイム後に衝突が検出されると、ジャム信号のみが送信され、バックオフアルゴリズムによる処理は実行されません。

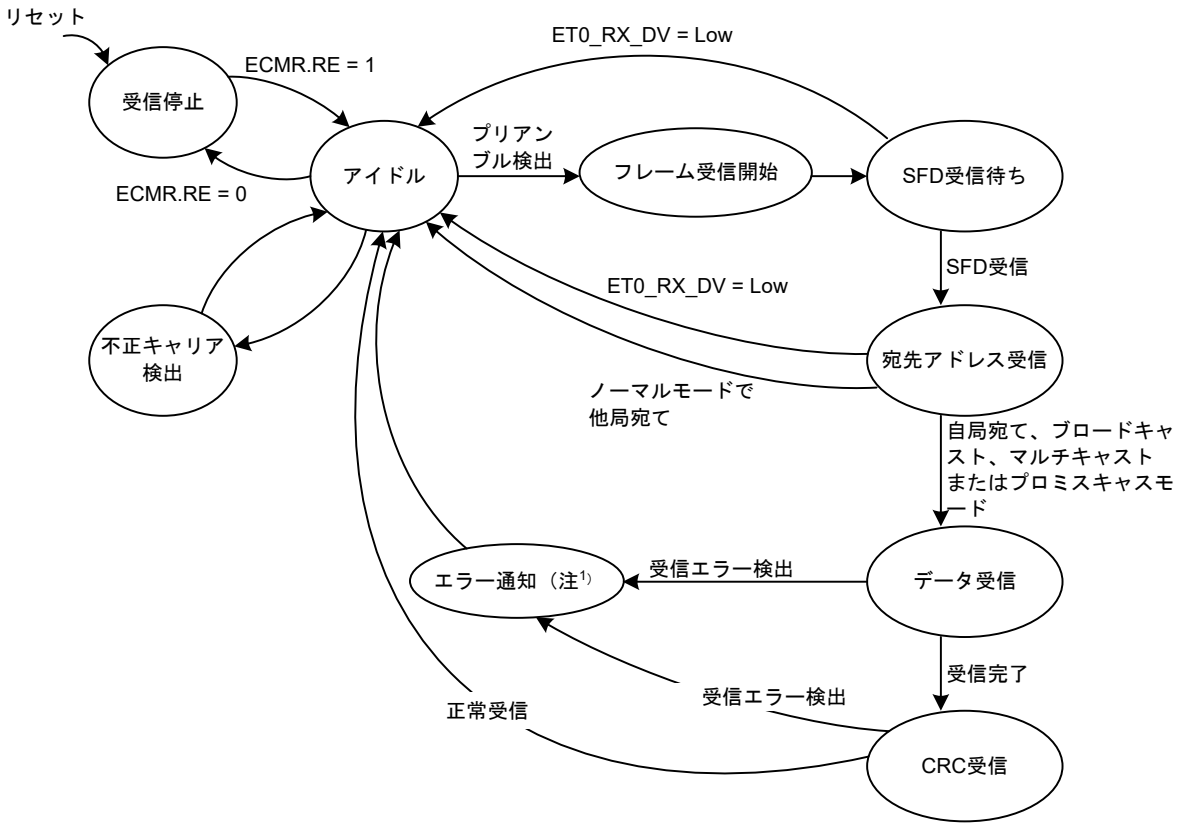
図 27.4 ETHERC 送信部の状態遷移

ETHERC 送信部の状態遷移は以下のとおりです。

1. ECMR.TE ビットが 1 に設定されると、ETHERC は送信アイドル状態に移行する。
2. EDMAC から送信要求があると、ETHERC はキャリア感知状態に遷移します。ETHERC は、Interpacket Gap 時間を待ってからプリアンブルを MII または RMII に送出します。キャリア感知を必要としない全二重通信モードを選択しているときには、EDMAC から送信要求があると即座にプリアンブルを送出します。
3. ETHERC は、スタートフレームデリミタ（SFD）、送信データ、CRC を順次送信する。送信が正常に完了すると、ETHERC は EDMAC に正常に完了したことを通知し、EDMAC は EDMAC0.EESR.TC フラグを 1 に設定する。データ送信中に遅延衝突またはキャリア消失が検出されると、ETHERC は送信を停止し、EDMAC にエラーを通知する。
4. Interpacket Gap として指定した時間が経過すると、ETHERC はアイドル状態になり、送信データが残っている場合は送信を続行する。

27.3.2　受信

ETHERC 受信部は、MII または RMII からのフレーム入力をプリアンブル、SFD、受信データ、および CRC に分解し、受信データ（宛先アドレス、送信元アドレス、タイプ／長さ、データ／LLC）のみを送信します。ETHERC 受信部の状態遷移を図 27.5 に示します。



注 1.　エラーフレーム内のデータも受信バッファに転送されます。

図 27.5　ETHERC 送信部の状態遷移

ETHERC 受信部の状態遷移は以下のとおりです。

1. ECMR.RE ビットが 1 に設定されると、ETHERC は受信アイドル状態に移行する。
2. 受信パケットのプリアンブルに続く SFD が検出されると、ETHERC は受信を開始する。受信した SFD が無効な場合、ETHERC はフレームを破棄する。
3. ノーマルモードの場合、受信フレームの宛先アドレスが MCU のアドレスであるか、受信フレームがブロードキャストフレームまたはマルチキャストフレームである場合、ETHERC はデータ受信を開始する。プロミスキャスモードの場合、ETHERC は受信フレームタイプにかかわらずデータ受信を開始する。
4. MII または RMII からのデータ受信後、ETHERC は CRC チェックを実行する。ETHERC は CRC チェックの結果を EDMAC に通知する。受信バッファに受信データが転送された後、CRC チェックの結果は受信ディスクリプタ内にステータスとしてライトバックされる。また、EDMAC0.EESR.CERF フラグにも反映される。
5. 1 つのフレームの受信完了後、ECMR.RE ビットが 1 の場合、ETHERC は次のフレームの受信に備える。

27.3.3 フレームタイミング

27.3.3.1 MII フレームタイミング

図 27.6 から図 27.11 に、MII フレームタイミングを示します。

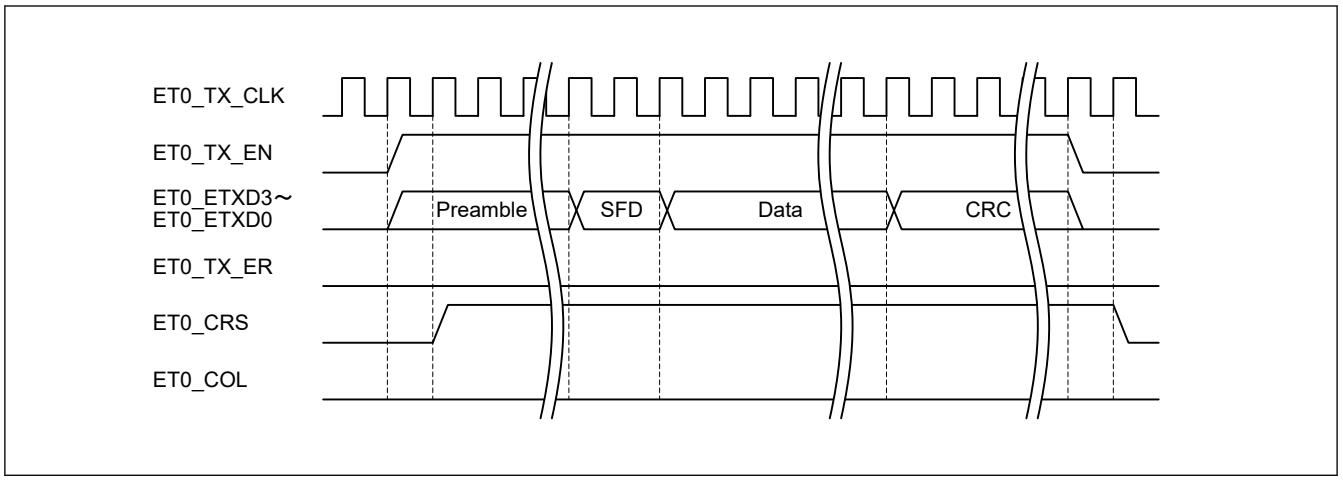


図 27.6 MII フレーム送信タイミング（正常送信時）

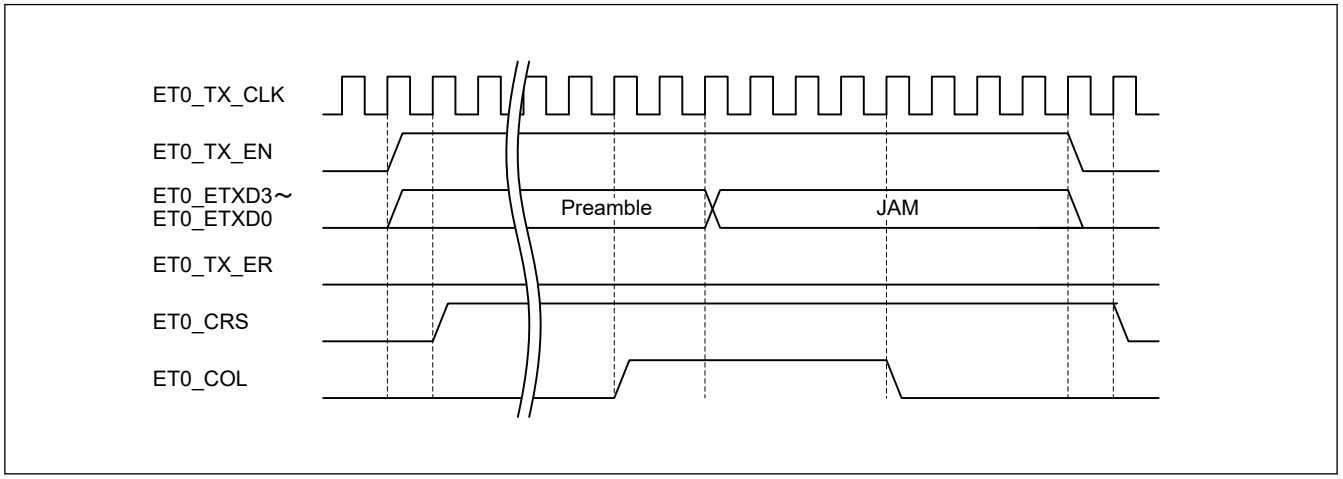


図 27.7 MII フレーム送信タイミング（衝突発生時）

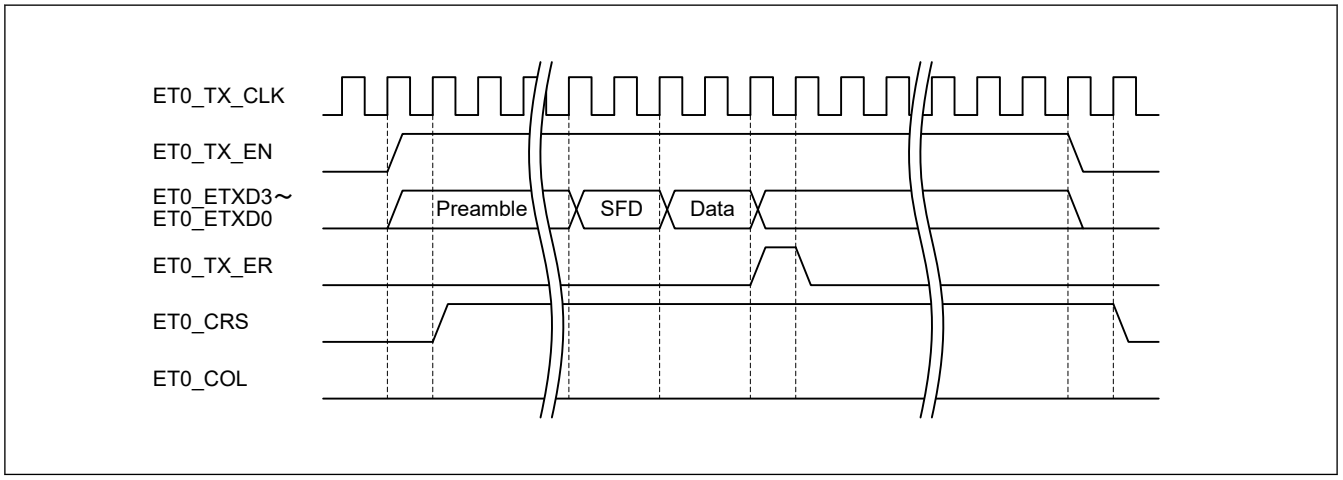


図 27.8 MII フレーム送信タイミング（送信エラー発生時）

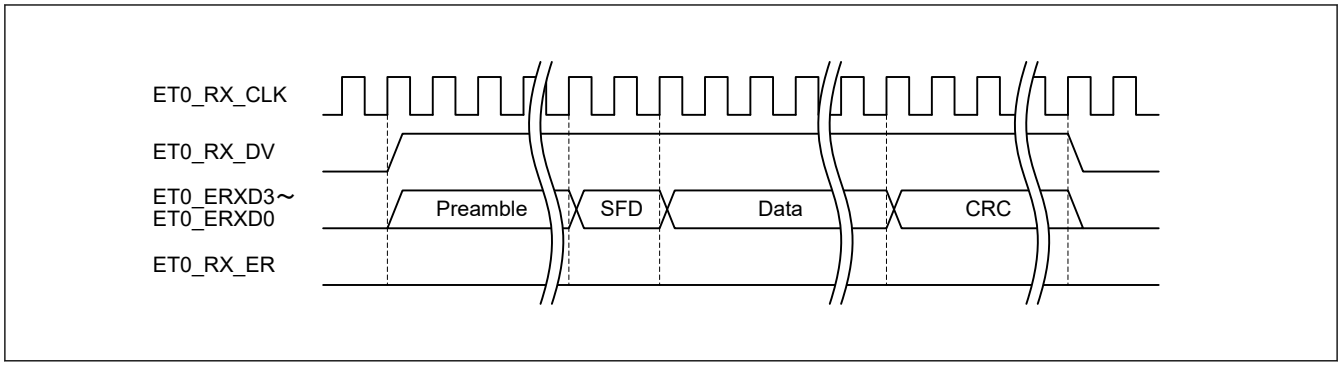


図 27.9　MII フレーム受信タイミング（正常受信時）

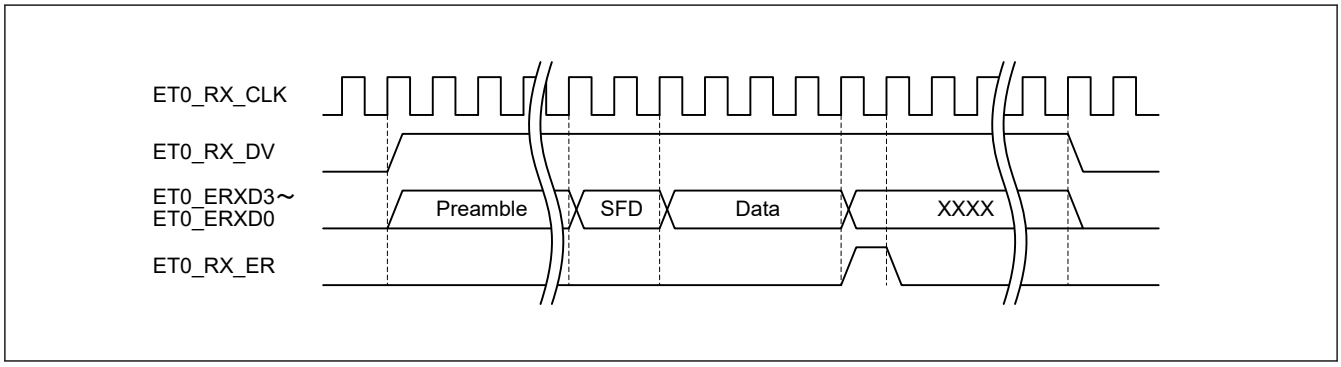


図 27.10　MII フレーム受信タイミング（受信エラー通知時）

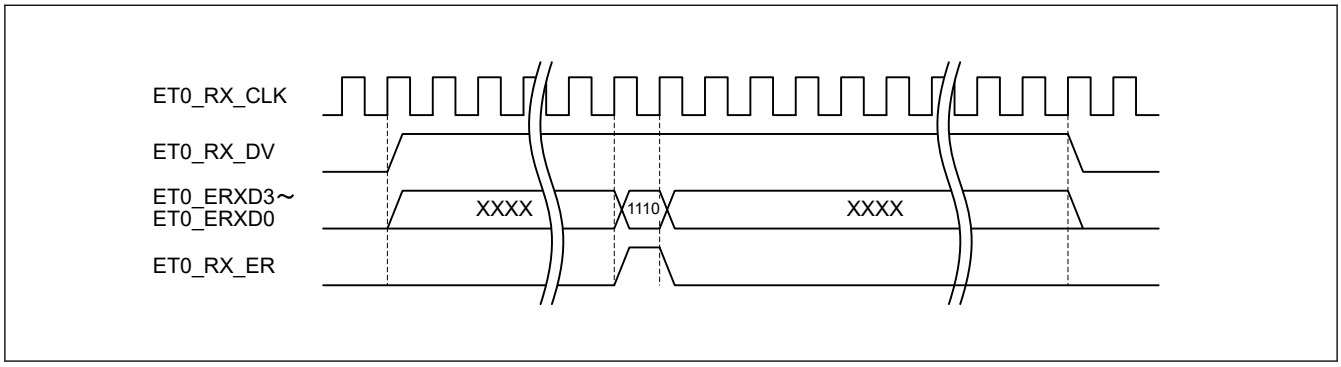


図 27.11　MII フレーム受信タイミング（不正キャリア通知時）

27.3.3.2　RMII フレームタイミング

図 27.12 から図 27.14 に、RMII フレームタイミングを示します。

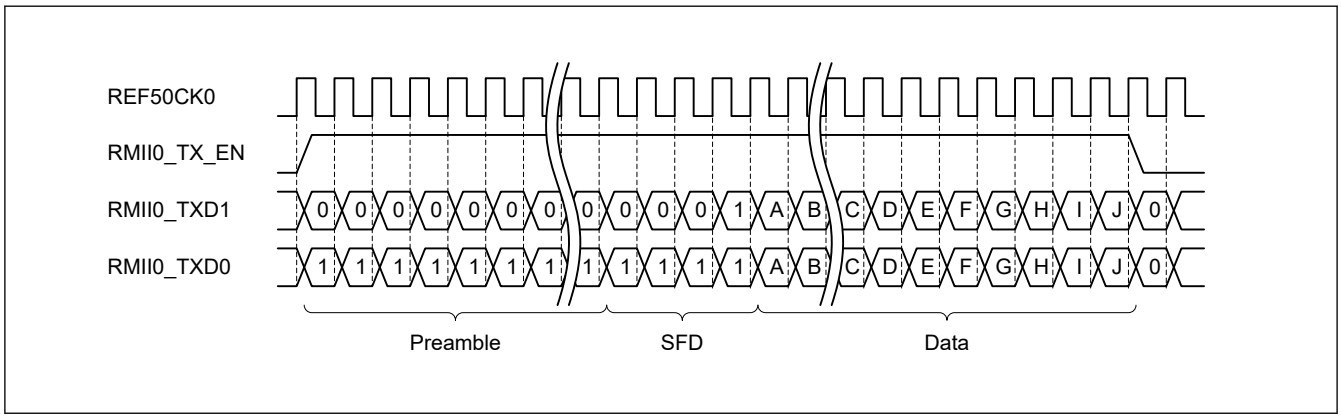


図 27.12　RMII フレーム送信タイミング（正常送信時）

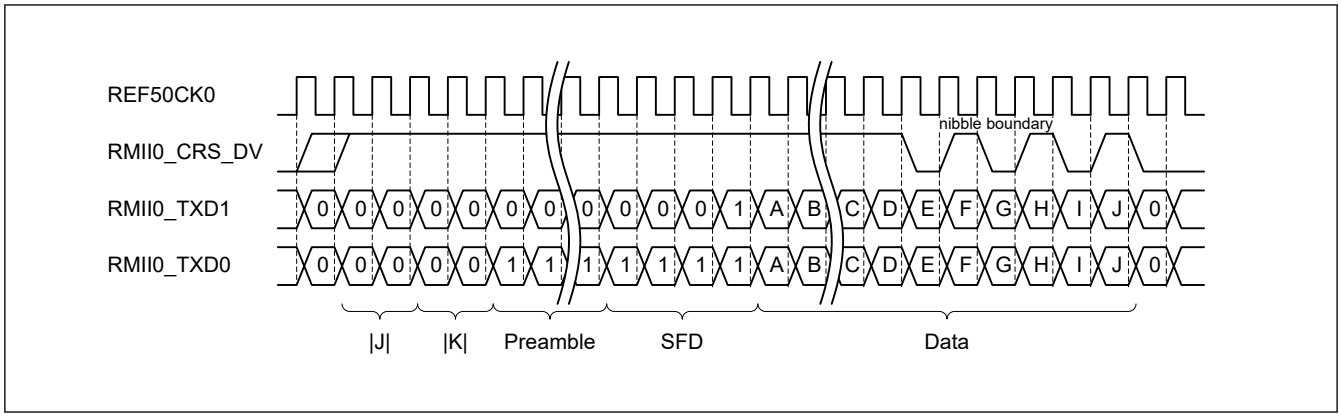


図 27.13　RMII フレーム受信タイミング（正常受信時）

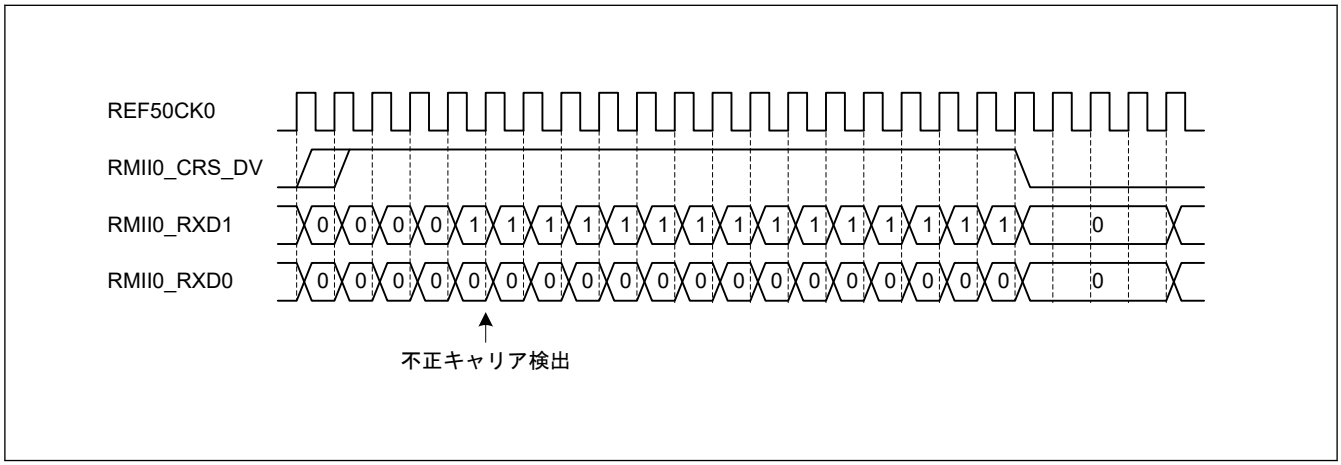


図 27.14　RMII フレーム受信タイミング（不正キャリア検出時）

27.3.4　MII および RMII レジスタのアクセス方法

PHY-LSI 内の MII および RMII レジスタにアクセスするには、PIR レジスタを使用します。プログラムで制御することにより、MII および RMII マネジメントフレームフォーマットのシリアルデータを、ET0_MDC および ET0_MDIO 端子を介して送受信します。

27.3.4.1　MII および RMII マネジメントフレームのフォーマット

MII および RMII マネジメントフレームのフォーマットを表 27.3 に示します。

表 27.3　MII および RMII マネジメントフレームのフォーマット

	アクセスの種類	MII および RMII マネジメントフレーム							
	項目	PRE	ST	OP	PHYAD	REGAD	TA	DATA	IDLE
	ビット数	32	2	2	5	5	2	16	1
読み出し		1…1	01	10	00001	RRRRR	Z0	DDDDDDDD DDDDDDDD	Z
書き込み		1…1	01	01	00001	RRRRR	10	DDDDDDDD DDDDDDDD	Z

注.　PRE (Preamble)：32 個の連続する 1 を送信
ST (Stat of Frame)：01b を送信
OP (Operation code)：読み出し時は 10b、書き込み時は 01b を送信
PHYAD (PHY Address)：1 つの MAC に最大 32 個の PHY-LSI を接続可能この 5 ビットで PHY-LSI を選択 PHY-LSI のアドレスが 1 番の場合、0x01 を送信
REGAD (Register Address)：PHY-LSI にある最大 32 個のレジスタから 1 つを選択レジスタアドレスが 1 番の場合、0x01 を送信
TA (Turnaround)：読み出し動作時にレジスタアドレスとデータが衝突しないようにするため 2 ビット分の切り替え時間を使用。書き込み動作時は 10b を送信読み出し動作時は、1 ビット分のバス解放（Z 出力）を行う

（PHY-LSI からは次のクロックで 0 が出力されるため Z0 と表記）
DATA（データ）：16 ビットデータ MSB 側から順次送信あるいは受信
IDLE (Idle Condition)：次の MII または RMII マネジメントフォーマット入力までの待機時間。書き込み時は、バス解放（Z 出力）を行う。読み出し時は、バス解放済みであり制御不要。

27.3.4.2 MII および RMII レジスタアクセス手順

MII および RMII レジスタへのアクセスは、1 ビット単位のデータの書き込み、1 ビット単位のデータの読み出し、およびバス解放を組み合わせて行います。図 27.15 から図 27.18 に、MII および RMII レジスタアクセスタイミングの例を示します。アクセスタイミングは、PHY-LSI の種類によって異なります。

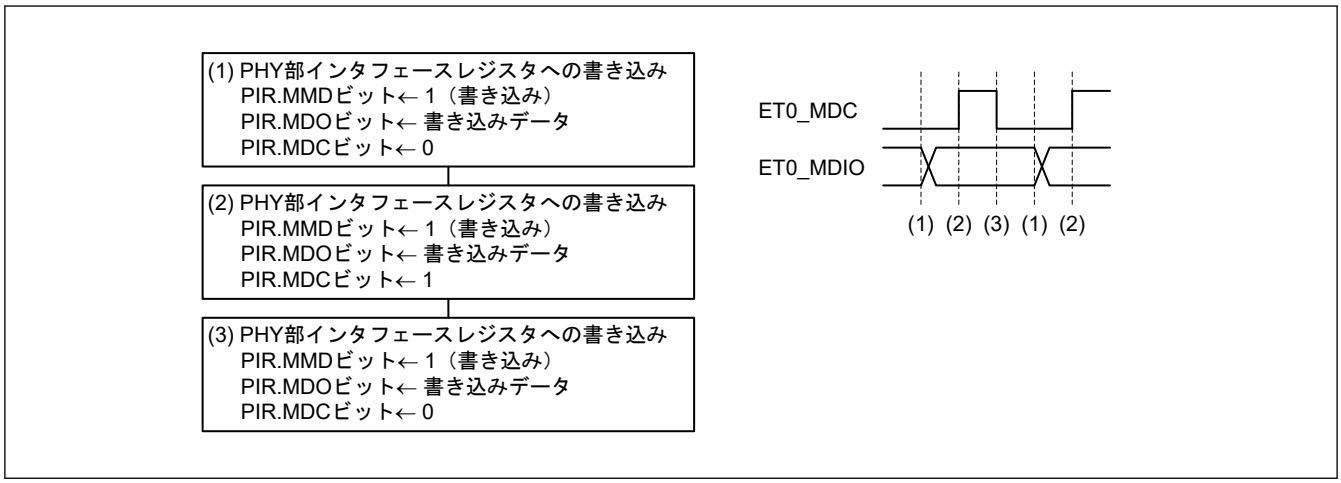


図 27.15 1 ビットデータの書き込みフロー

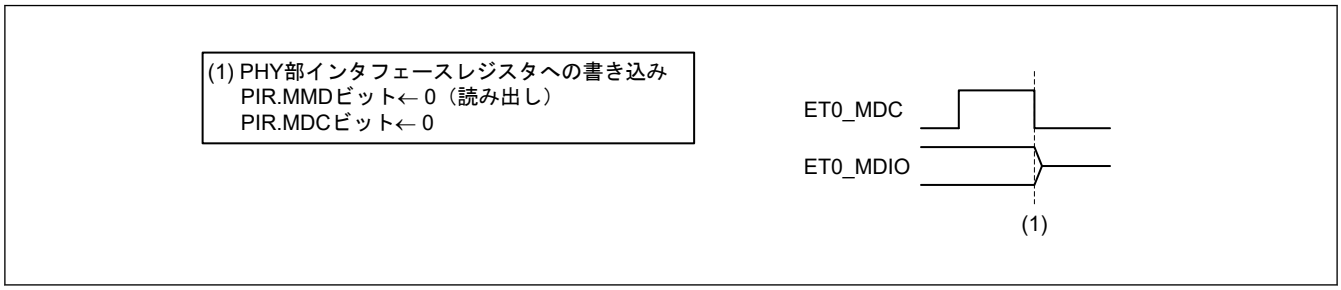


図 27.16 バス解放フロー（表 27.3 の読み出し動作時の TA）

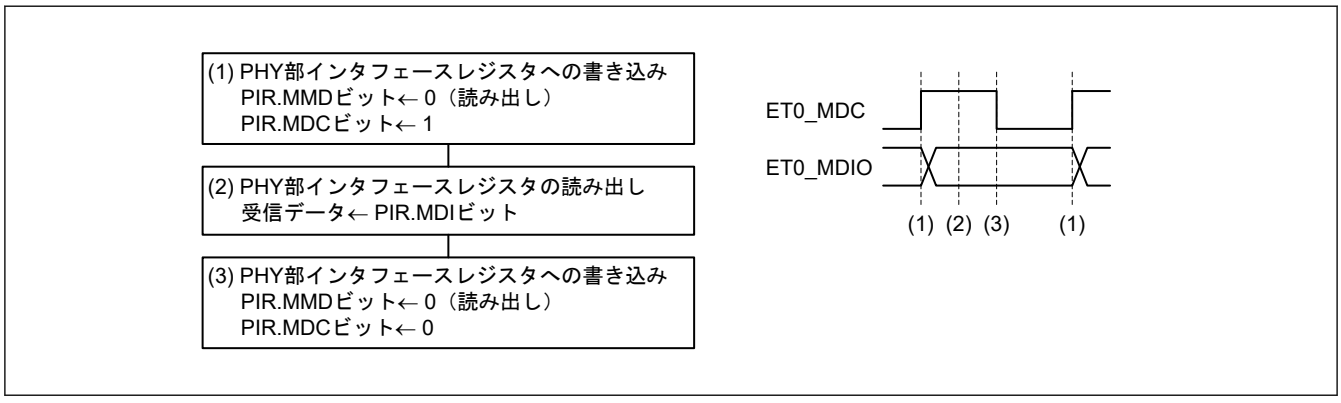


図 27.17 1 ビットデータの読み出しフロー

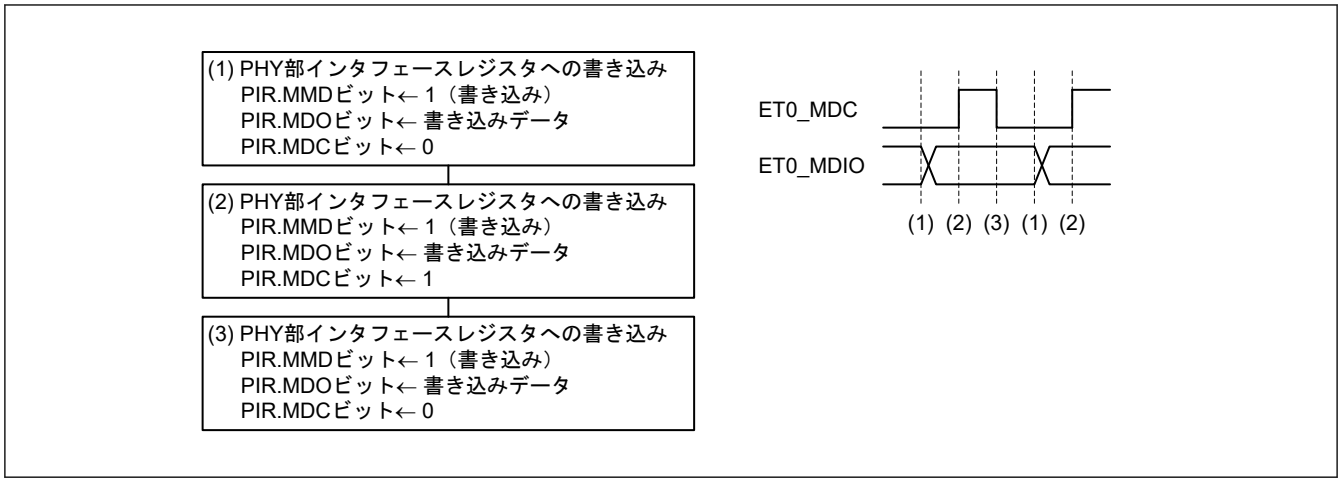


図 27.18 バス解放フロー（表 27.3 の書き込み動作時の IDLE）

27.3.5 Magic Packet の検出

ETHERC は Wake-on-LAN (WOL) に対応しています。WOL は、ホストデバイスなどから送信された Magic Packet を検出し、スリープなどの低消費電力モードから MCU を復帰する機能です。ETHERC が Magic Packet を検出すると、ET0_WOL 端子から High を出力します。ET0_WOL 端子を Low にするには、EDMAC0.EDMR.SWR ビットに 1 を書き込みます。

Magic Packet はブロードキャストモードで送信されるため、フォーマットで選択した宛先 MAC アドレスにかかわらず受信されます。ETHERC は、宛先 MAC アドレスが自身の MAC アドレスと一致する場合にのみ、ET0_WOL 端子から High を出力します。Magic Packet の詳細については、AMD 社の技術資料を参照してください。

MCU で WOL を使用する場合の手順例を以下に示します。

1. ICU を設定して、ETHER_EINT0 割り込み要求を禁止する。
2. ECMR.MPDE ビットを 1 に設定して Magic Packet 検出を許可し、ECMR.RE ビットを 1 に設定して受信を許可する。
3. ECSIPR.MPDIP ビットを 1 に設定して、Magic Packet 検出割り込みの通知を許可する。
4. EDMAC0.EESIPR.ECIIP ビットを 1 に設定して、ETHERC ステータスレジスタ要因割り込みを許可する。
5. ICU を設定して、ETHER_EINT0 割り込み要求を許可する。
6. 要求通り、CPU の動作モードを CPU スリープモードに変更するか、または未使用のペリフェラルをモジュールストップ状態にする。
7. Magic Packet が検出されると、CPU に割り込み要求が送信される。ET0_WOL 端子から High が出力され、Magic Packet が検出されたことを周辺機器に通知する。

27.3.5.1 Magic Packet 検出時の制限事項

ETHERC は、Magic Packet の受信を待っているときも、ブロードキャストパケットを含むパケットを受信します。つまり、Magic Packet が検出されたときに、EDMAC の受信 FIFO に受信データがすでに格納されている場合があります。また、ECSR および EDMAC0.EESR レジスタのフラグも変化している可能性があります。Magic Packet を検出して通常の動作に戻る場合は、EDMAC0.EDMR.SWR ビットを 1 に設定して ETHERC と EDMAC を初期状態に戻してください。

27.3.6 IPG の変更による伝送効率の調整

IPG は、送信フレーム間の非送信期間です。ETHERC は IPG の値を変更することができ、設定された IPGR レジスタの値に従って伝送効率を増減します。一般的な値は、IEEE802.3 規格で指定されています。設定を変更するときは、同じネットワーク内のすべてのデバイスが正常に動作することを確認してください。

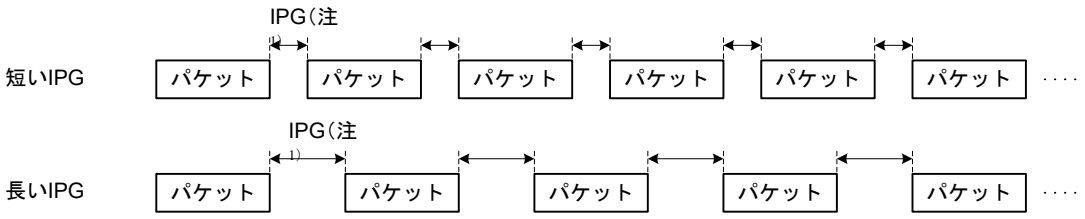


図 27.19　IPG の変化による伝送効率の違い

27.3.7　フロー制御

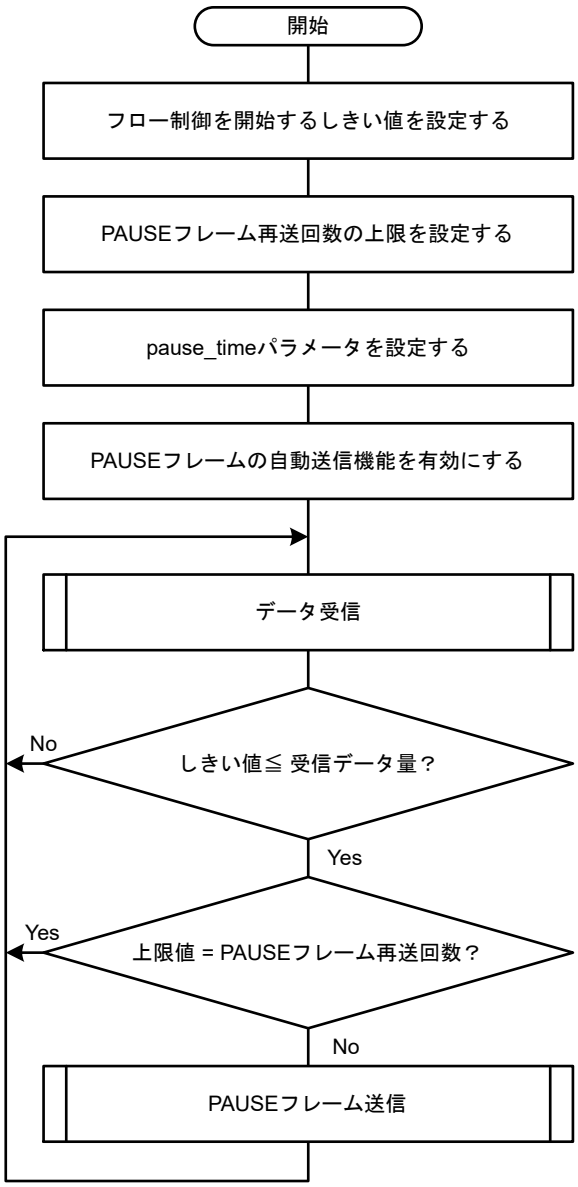
全二重モードの場合、ETHERC は IEEE802.3x に準拠したフロー制御を実行でき、受信側と送信側を個別に設定することができます。PAUSE フレームは自動または手動で送信できます。

27.3.7.1　PAUSE フレームの自動送信

ECMR.TXF ビットを 1 に設定すると、PAUSE フレームの自動送信が有効になります。PAUSE フレームは、EDMAC からの PAUSE フレーム送信要求によって自動的に送信されます。PAUSE フレームの pause_time パラメータには、APR.AP[15:0]ビット値が使用されます。

PAUSE フレームの送信後、PAUSE 時間の経過後も EDMAC が PAUSE フレームの送信を要求している場合、PAUSE フレームが再送信されます。PAUSE フレームの再送回数の上限は、TPAUSER.TPAUSE[15:0]ビットで設定することができます。再送回数が最大値に達すると、以降の PAUSE フレームは送信されません。

図 27.20 に、PAUSE フレーム自動送信を設定する手順を示します。



1. EDMAC0.FCFTR.RFDO[2:0]ビットまたは EDMAC0.FCFTR.RFFO[2:0]ビットでしきい値を設定する。
2. TPAUSER.TPAUSE[15:0]ビットで PAUSE フレーム自動再送回数の上限を設定する。
3. APR.AP[15:0]ビットで PAUSE フレーム自動送信の pause_time パラメータを設定する。
4. ECMR.TXF ビットを 1 に設定する。
5. ECMR.RE ビットを 1 に設定する。
6. 受信 FIFO データの量または受信フレームの数がしきい値に達したかどうかを確認する。
7. PAUSE フレームの自動再送回数がしきい値に達したかどうかを確認する。

図 27.20 PAUSE フレーム自動送信の設定手順例

27.3.7.2 PAUSE フレームの手動送信

PAUSE フレームはいつでも手動で送信することができます。プログラムで PAUSE フレームの pause_time パラメータを MPR.MP[15:0]ビットに書き込むと、ETHERC は PAUSE フレームを 1 回送信します。PAUSE フレームを複数回送信するには、送信ごとに MPR.MP[15:0]ビットへの書き込みを実行してください。

27.3.7.3 PAUSE フレーム受信

ECMR.RXF ビットを 1 に設定すると、PAUSE フレームの検出が有効になります。PAUSE フレームを受信すると、ETHERC は現在のフレームの送信を完了し、受信した PAUSE フレームの PAUSE 時間が経過するまで次のフレームを送信しません。ETHERC はまた、RFCF.RPAUSE[7:0]ビット値をインクリメントします。

ただし、ECMR.ZPF ビットが 1 の場合、PAUSE 時間の経過を待っている間に 0 の pause_time パラメータを含む PAUSE フレームを受信すると、ETHERC はただちに送信可能になります。

27.4 割り込み

ECSR レジスタのいずれかのフラグが 1 になり、ECSIPR レジスタの対応するビットが 1 の場合、ETHERC は EDMAC に割り込み要因ステータスを通知します。通知を受信すると、EDMAC は EDMAC0.EESR.ECI フラグを 1 に設定します。EDMAC0.EESIPR.ECIIP ビットが 1 の場合、EDMAC は ETHER_EINT0 割り込み要求を CPU に送ります。

詳細は、「28. イーサネット DMA コントローラ (EDMAC)」を参照してください。

27.5 使用上の注意事項

27.5.1 LCHNG フラグの 1 への誤設定の防止

ET0_LINKSTA 端子の入力レベルに変化がない場合でも、ECSR.LCHNG フラグが 1 に設定される場合があります。このような場合、PFS.PmnPFS レジスタを設定して ET0_LINKSTA 信号をポートに割り当てるときや、EDMAC0.EDMR.SWR ビットを使用して ETHERC および EDMAC ソフトウェアリセットを解除するときに、ET0_LINKSTA 端子には High が入力されます。MPC が ET0_LINKSTA 信号を割り当てない場合、または ETHERC および EDMAC のソフトウェアリセット中、外部端子への入力レベルにかかわらず ECSR の ET0_LINKSTA 信号が Low に固定されるため、ECSR.LCHNG フラグは 1 に設定されます。

リンク信号変更割り込みを誤って生成しないようにするには、ECSR.LCHNG フラグをクリアしてから、ECSIPR.LCHNGIP ビットを 1 に設定してください。

27.5.2 RMII 選択時の RMII0_RX_ER 端子への入力

RMII を選択した状態で、PHY-LSI から受信した受信エラー信号の幅が REF50CK0 クロックの 1 サイクル分（50 MHz）のみの場合、その信号はエラー信号として認識されません。

27.5.3 半二重モードでの衝突発生

半二重モードでは、受信から 21 クロックサイクル（50 MHz）以内に送信が開始され、通信が衝突する場合があります。

28. イーサネット DMA コントローラ (EDMAC)

28.1 概要

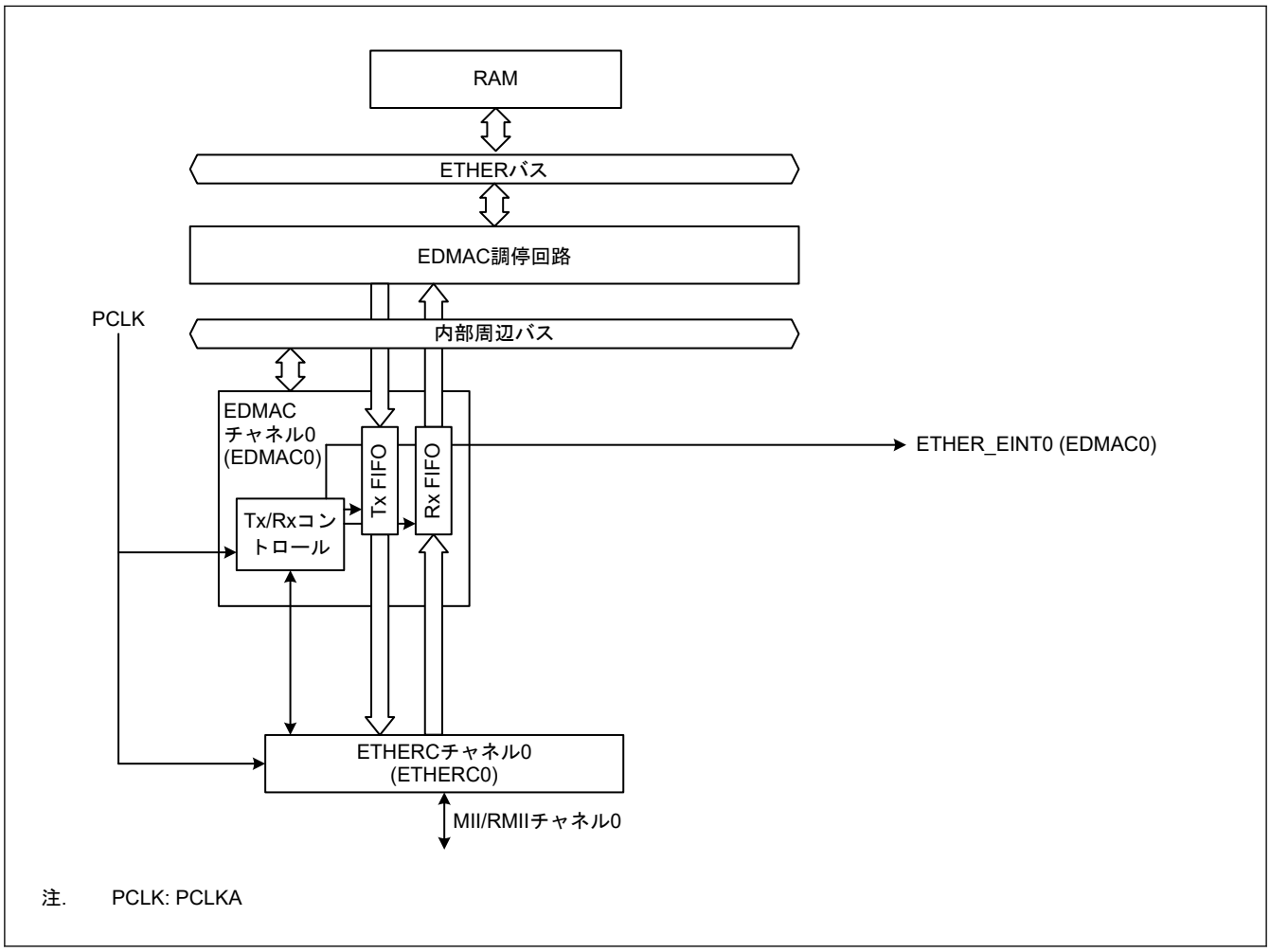
MCU は、イーサネットコントローラ (ETHERC) 向けのイーサネット DMA コントローラ (EDMAC)を 1 チャネル内蔵しています。

EDMAC は、通信の送信と受信バッファ管理の大半を制御します。これにより、CPU の負荷を削減し、効率的なデータ送受信が可能になります。データ転送は、メモリ内のディスクリプタと呼ばれる情報に従って制御されます。EDMAC0 は、ETHERC0 のデータ送受信を制御します。

表 28.1 に EDMAC の仕様を、図 28.1 にその構成を示します。図 28.2 に、メモリ内のディスクリプタおよび送受信バッファの構成を示します。

表 28.1 EDMAC の仕様

項目	内容
データの送受信	• ディスクリプタによる送受信制御 • 1 バッファ／フレーム（シングルバッファフレーム送受信）、複数バッファ／フレーム（マルチバッファフレーム送受信）の転送方式に対応
機能	• ブロック転送（32 バイト単位）によるシステムバス占有時間を最短化 • 送信または受信フレームステータスのディスクリプタへのライトバック • 受信データへのパディング挿入
モジュールストップ機能	モジュールストップ状態に設定して消費電力を低減
TrustZone フィルタ	セキュリティ属性とプリビレッジ属性を設定可能



注. PCLK: PCLKA

図 28.1 EDMAC の構成

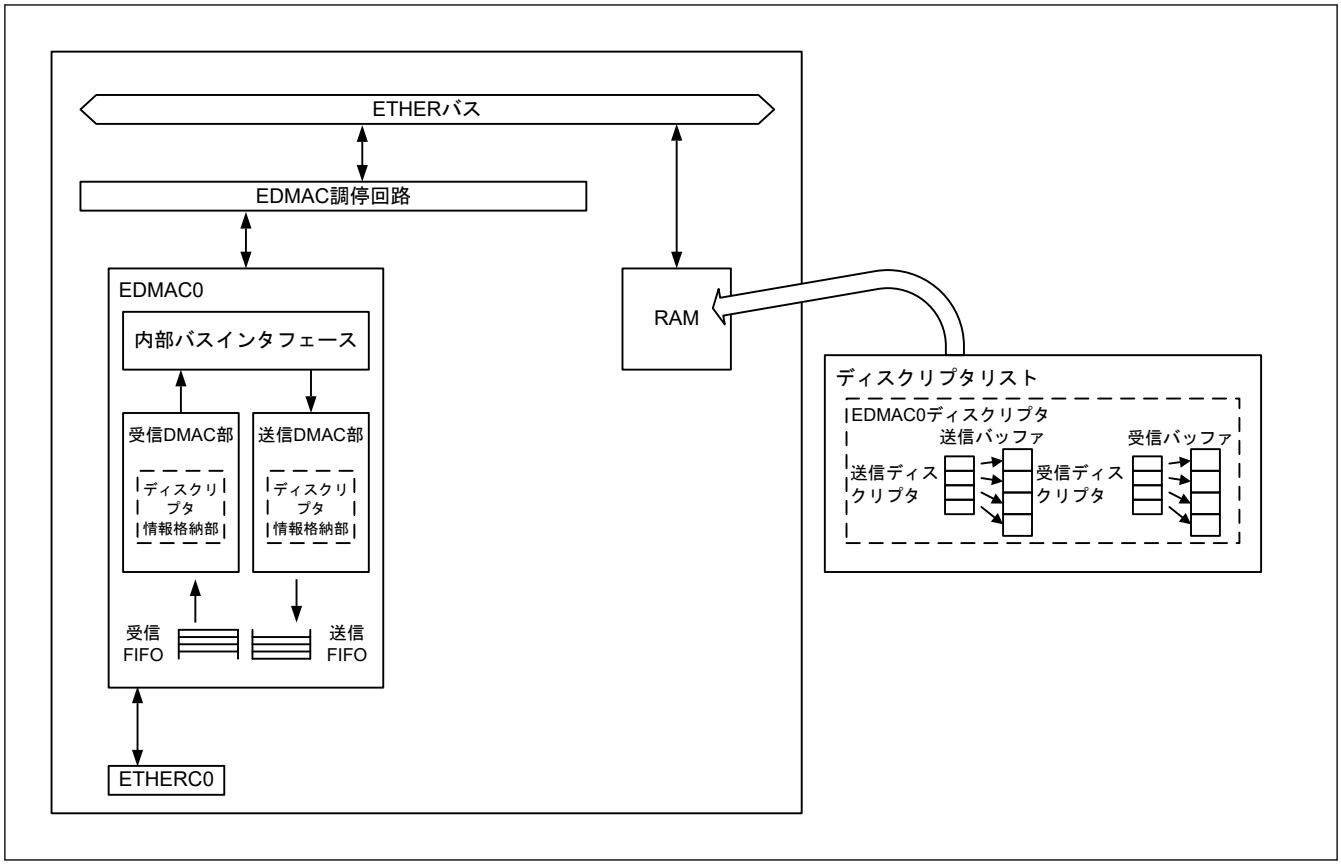


図 28.2　メモリ内のディスクリプタおよび送受信バッファの構成

28.2　レジスタの説明

28.2.1　EDMR : EDMAC モードレジスタ

Base address: EDMAC0 = 0x4035_4000
EDMAC0_NS = 0x5035_4000

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	DE	DL[1:0]		—	—	—	SWR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SWR	ソフトウェアリセット 1 が書き込まれると、EDMAC および ETHERC の関連チャネルがリセットされます。TDLAR、RDLAR、RMFCR、TFUCR、RFOCR レジスタは、このビットではリセットされません。読むと 0 が読めます。	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	DL[1:0]	送信／受信ディスクリプタ長指定 0 0: 16 バイト 0 1: 32 バイト 1 0: 64 バイト 1 1: 16 バイト	R/W

ビット	シンボル	機能	R/W
6	DE	ビッグエンディアンモード／リトルエンディアンモード(注1) 0: ビッグエンディアンモード 1: リトルエンディアンモード	R/W
31:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注 1. この設定は、送受信バッファ用のデータに適用されます。送受信ディスクリプタおよびレジスタには適用されません。

EDMR レジスタは、EDMAC の動作を制御します。EDMR レジスタの設定は、リセット後の初期化プロセス中に実行してください。初期化プロセス以外にこのレジスタを書き換える場合、SWR ビットを 1 に設定して EDMAC および ETHERC をリセットしてから、このレジスタを再設定してください。データ送受信中に ETHERC および EDMAC がリセットされると、異常なデータが回線上に送信される可能性があります。ETHERC の送受信機能が有効のときは、このレジスタを書き換えないでください。ETHERC および EDMAC を初期化するには、周辺モジュールクロック (PCLKA) 64 サイクル分の時間がかかります。ETHERC および EDMAC のレジスタにアクセスする前に、初期化を完了してください。

28.2.2 EDTRR : EDMAC 送信要求レジスタ

Base address: EDMAC0 = 0x4035_4000
EDMAC0_NS = 0x5035_4000

Offset address: 0x08

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TR	送信要求 1 が書き込まれると、EDMAC は関連するディスクリプタを読み出し、TD0.TACT ビットが 1 のフレームを送信します。TR ビットは、すべての有効フレームが送信されてから 0 にクリアされます。0 の書き込みは無効です。	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

EDTRR レジスタは、EDMAC の送信を制御します。EDMAC は、1 つのフレームを送信すると次のディスクリプタを読み出します。ディスクリプタ内の TD0.TACT ビットが 1 のとき、EDMAC は送信を継続します。
TD0.TACT ビットが 0 のとき、EDMAC は TR ビットに 0 を設定し、送信を停止します。

28.2.3 EDRRR : EDMAC 受信要求レジスタ

Base address: EDMAC0 = 0x4035_4000
EDMAC0_NS = 0x5035_4000

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RR	受信要求 0: 受信機能を無効にする(注1) 1: 受信ディスクリプタを読み出し、受信機能を有効にする	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注 1. フレームの受信中に受信機能が無効になっていると、受信ディスクリプタのライトバックは正常に行われません。以降、受信ディスクリプタを読み出すためのポインタが異常となり、EDMAC は正常に動作することができません。この場合、EDMAC の受信機能を再度有効にするには、EDMR.SWR ビットを 1 に設定することで、ソフトウェアリセットを実行します。EDMAC をリセットせずに EDMAC の受信機能を無効にするには、ETHERC0.ECMR.RE ビットを 0 に設定します。EDMAC の受信が完了し、受信ディスクリプタのライトバックが確認できた後、RR ビットを 0 にしてください。

EDRRR レジスタは、EDMAC の受信を制御します。RR ビットが 1 に設定されているとき、EDMAC は受信ディスクリプタを読み出します。

RD0.RACT ビットが 1 であれば、ETHERC からの受信要求を待ちます。受信バッファサイズのデータを受信すると、EDMAC は次のディスクリプタを読み出し、フレームの受信を待ちます。RD0.RACT ビットが 0 のとき、EDMAC は RR ビットに 0 を設定し、受信を停止します。

28.2.4 TDLAR : 送信ディスクリプタリスト開始アドレスレジスタ

Base address: EDMAC0 = 0x4035_4000
EDMAC0_NS = 0x5035_4000

Offset address: 0x18

Bit position:	31	0
Bit field:		
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	—	これらのビットは、送信ディスクリプタリストの開始アドレスを指定します。EDMR.DL[1:0]ビットで選択したディスクリプタ長に合わせて開始アドレスを設定してください。 ● 16 バイトバウンダリ：下位 4 ビット = 0000b ● 32 バイトバウンダリ：下位 5 ビット = 00000b ● 64 バイトバウンダリ：下位 6 ビット = 000000b	R/W

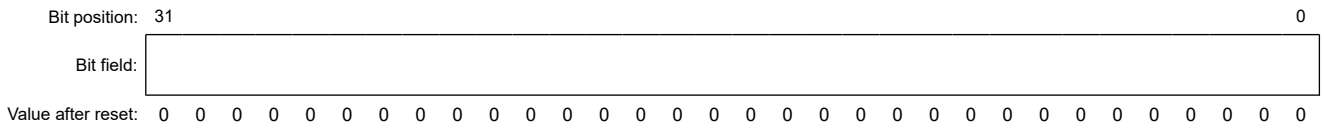
注. S-TYPE3, P-TYPE3

TDLAR レジスタは、送信ディスクリプタリストの開始アドレスを指定します。EDMR.DL[1:0]ビットで選択されたディスクリプタ長に従って、各ディスクリプタを、対応する境界に配置します。送信中は、TDLAR レジスタを書き換えないでください。TDLAR の書き換えは、EDTRR.TR ビットが 0 の間に行います。

28.2.5 RDLAR : 受信ディスクリプタリスト開始アドレスレジスタ

Base address: EDMAC0 = 0x4035_4000
EDMAC0_NS = 0x5035_4000

Offset address: 0x20



ビット	シンボル	機能	R/W
31:0	—	受信ディスクリプタリストの開始アドレスを設定します。EDMR.DL[1:0]ビットで選択されたディスクリプタ長に従って、開始アドレスを設定します。 ● 16 バイト境界：下位 4 ビット=0000b ● 32 バイト境界：下位 5 ビット=00000b ● 64 バイト境界：下位 6 ビット=000000b	R/W

注. S-TYPE3, P-TYPE3

RDLAR レジスタは、受信ディスクリプタリストの開始アドレスを指定します。EDMR.DL[1:0]ビットで選択されたディスクリプタ長に従って、各ディスクリプタを、対応する境界に配置します。受信中は、RDLAR レジスタを書き換えないでください。RDLAR の書き換えは、EDRRR.RR ビットが 0 の間に行います。

28.2.6 EESR : ETHERC/EDMAC ステータスレジスタ

Base address: EDMAC0 = 0x4035_4000
EDMAC0_NS = 0x5035_4000

Offset address: 0x28

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	TWB	—	—	—	TABT	RABT	RFCOF	ADE	ECI	TC	TDE	TFUF	FR	RDE	RFOF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	CND	DLC	CD	TRO	RMAF	—	—	RRF	RTLF	RTSF	PRE	CERF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CERF	CRC エラーフラグ 0: CRC エラーの発生なし 1: CRC エラー検出	R/W
1	PRE	PHY-LSI 受信エラーフラグ 0: PHY-LSI 受信エラー未検出 1: PHY-LSI 受信エラー検出	R/W
2	RTSF	ショートフレーム受信エラーフラグ 0: ショートフレーム受信エラー未検出 1: ショートフレーム受信エラー検出	R/W
3	RTLF	ロングフレーム受信エラーフラグ 0: ロングフレーム受信エラー未検出 1: ロングフレーム受信エラー検出	R/W
4	RRF	端数ビットフレーム受信フラグ 0: 端数ビットフレーム受信エラー未検出 1: 端数ビットフレーム受信エラー検出	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
7	RMAF	マルチキャストアドレスフレーム受信フラグ 0: マルチキャストアドレスフレーム未受信 1: マルチキャストアドレスフレーム受信	R/W
8	TRO	送信リトライオーバーフラグ 0: 送信リトライオーバー未検出 1: 送信リトライオーバー検出	R/W
9	CD	遅延衝突検出フラグ 0: 遅延衝突未検出 1: フレーム送信中に遅延衝突を検出	R/W
10	DLC	キャリア消失検出フラグ 0: キャリア消失未検出 1: フレーム送信中にキャリア消失を検出	R/W
11	CND	キャリア未検出フラグ 0: 送信開始時にキャリア検出 1: プリアンブル送信中にキャリア未検出	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	RFOF	受信 FIFO オーバーフローフラグ 0: オーバーフロー発生なし 1: オーバーフロー発生	R/W
17	RDE	受信ディスクリプタ枯渇フラグ 0: 受信ディスクリプタ有効ビット RD0.RACT = 1 を検出 1: 受信ディスクリプタ有効ビット RD0.RACT = 0 を検出	R/W
18	FR	フレーム受信フラグ 0: フレーム未受信 1: フレーム受信と受信ディスクリプタ更新完了	R/W
19	TFUF	送信 FIFO アンダーフローフラグ 0: アンダーフロー発生なし 1: アンダーフロー発生	R/W
20	TDE	送信ディスクリプタ枯渇フラグ 0: 送信ディスクリプタ有効ビット TD0.TACT = 1 を検出 1: 送信ディスクリプタ有効ビット TD0.TACT = 0 を検出	R/W
21	TC	フレーム転送完了フラグ 0: 転送未完了または転送要求なし 1: 送信ディスクリプタで指示された全フレームの送信 FIFO への転送が完了した	R/W
22	ECI	ETHERC ステータスレジスタ要因フラグ 0: ETHERC ステータス割り込み要因未検出 1: ETHERC ステータス割り込み要因検出	R(注1)
23	ADE	アドレスエラーフラグ 0: 不正なメモリアドレスは検出していない（正常動作） 1: 不正なメモリアドレスを検出した(注2)	R/W
24	RFCOF	受信フレームカウンタオーバーフローフラグ 0: 受信フレームカウンタのオーバーフローなし 1: 受信フレームカウンタのオーバーフロー発生	R/W
25	RABT	受信中断検出フラグ 0: フレーム受信中断未発生または受信未指示 1: フレーム受信中断	R/W
26	TABT	送信中断検出フラグ 0: フレーム送信中断未発生または送信未指示 1: フレーム送信中断	R/W
29:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
30	TWB	ライトバック完了フラグ 0: ライトバック未完了または送信要求なし 1: 送信ディスクリプタのライトバック完了	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

注 1. ECI フラグは読み出し専用です。ECSR レジスタ内のエラー要因がクリアされると、ECI フラグもクリアされます。
注 2. アドレスエラーを検出すると、EDMAC は処理を停止します。動作を再開するには、EDMR.SWR ビットを 1（EDMAC および ETHERC のリセット）に設定してから、EDMAC および ETHERC を再設定してください。

EESR レジスタは、ETHERC および EDMAC の通信ステータスを示すレジスタです。EESR レジスタ内の各フラグは、EDMAC からの割り込み要求信号（ETHER_EINT0）として出力することが可能です。1 を書き込むと、ECI 以外の全フラグを 0 にクリアします。0 を書いてもフラグの値は変化しません。割り込み要因を有効にするには、EESIPR レジスタの関連するビットを設定します。

CERF フラグ（CRC エラーフラグ）

受信フレームのフレームチェックシーケンス（FCS）フィールドのチェック中にエラーが検出されると、CERF フラグが 1 に設定されます。

PRE フラグ（PHY-LSI 受信エラーフラグ）

PRE フラグは、PHY-LSI からの RX_ER 信号出力がハイであることを示します。

RTSF フラグ（ショートフレーム受信エラーフラグ）

RTSF フラグは、受信したフレームが 64 バイト未満であることを示します。

RTLF フラグ（ロングフレーム受信エラーフラグ）

RTLF フラグは、受信したフレームが ETHERC0.RFLR レジスタで設定されている受信フレーム長の上限を超えていることを示します。余剰データは破棄されます。

RRF フラグ（端数ビットフレーム受信フラグ）

RRF フラグは、フレームが 8 ビットの倍数でないことを示します。8 ビットの倍数でない最後のワードは送信されません。

RMAF フラグ（マルチキャストアドレスフレーム受信フラグ）

RMAF フラグは、マルチキャストフレームが受信されたことを意味します。

TRO フラグ（送信リトライオーバーフラグ）

TRO フラグはフレーム送信の 15 回目のリトライ中に、再度衝突が発生したことを示します。

CD フラグ（遅延衝突検出フラグ）

CD フラグは、フレーム送信中に遅延衝突が検出されたことを示します。

DLC フラグ（キャリア消失検出フラグ）

DLC フラグは、フレーム送信中にキャリア消失が検出されたことを示します。

CND フラグ（キャリア未検出フラグ）

CND フラグは、プリアンブル送信中にキャリアが検出されない場合に 1 に設定されます。

RFOF フラグ（受信 FIFO オーバーフローフラグ）

RFOF フラグは、フレーム受信中に受信 FIFO オーバーフローが発生したことを示します。

RDE フラグ（受信ディスクリプタ枯渇フラグ）

RDE フラグは、読み出した受信ディスクリプタが無効であることを示します。このフラグが 1 に設定されたときに受信を再開するには、受信ディスクリプタの RD0.RACT ビットを 1 に、かつ EDRRR.RR ビットを 1 に設定します。

FR フラグ（フレーム受信フラグ）

FR フラグは、フレームが受信され、受信ディスクリプタがアップデートされたことを示します。FR フラグは、フレームを受信するたびに 1 に設定されます。

TFUF フラグ（送信 FIFO アンダーフローフラグ）

TFUF フラグは、フレーム送信中に送信 FIFO 内にデータが残っていないことを示します。回線には不完全なデータが送信されます。

TDE フラグ（送信ディスクリプタ枯渇フラグ）

TDE フラグは、マルチバッファフレーム送信において、前の送信ディスクリプタがフレーム未完了（TD0.TFP[1:0] ビットが 10b または 00b）で、今回の送信ディスクリプタの TD0.TACT ビットが 0 であることを示します。その結果、不完全なフレームが送信される可能性があります。

このフラグが 1 に設定されたときに送信を再開するには、ソフトウェアリセットを実施してから、EDTRR.TR ビットを 1 に設定します。送信は、TDLAR レジスタに格納されているアドレスから始まります。

TC フラグ（フレーム転送完了フラグ）

TC フラグは、送信ディスクリプタで指定した全データが ETHERC から送信済みであることを示します。シングルバッファフレーム送信では 1 つのフレームが送信されたとき、マルチバッファフレーム送信ではフレームの最後のデータが送信され、次の送信ディスクリプタの TD0.TACT ビットが 0 のとき、このフラグが 1 に設定されます。フレーム送信完了後、EDMAC は転送ステータスを当該ディスクリプタにライトバックします。

ECI フラグ（ETHERC ステータスレジスタ要因フラグ）

ECI フラグは、ECSR レジスタによって割り込み要求が発生すると、1 に設定されます。

ADE フラグ（アドレスエラーフラグ）

ADE フラグは、EDMAC が転送に使おうとしたメモリアドレスが無効であることを示します。

RFCOF フラグ（受信フレームカウンタオーバーフローフラグ）

RFCOF フラグは、受信 FIFO 内に格納されたフレーム数が上限（16 フレーム）に達しているときに次のフレーム受信が開始したことを示します。RFCOF フラグが 1 の間に受信したフレームは破棄されます。

RABT フラグ（受信中断検出フラグ）

RABT フラグは、CRC エラー、PHY-LSI 受信エラー、ショートフレームエラー、ロングフレームエラー、またはその他のエラーにより、ETHERC がフレーム受信を中断したことを示します。

TABT フラグ（送信中断検出フラグ）

TABT フラグはフレーム送信時、送信リトライオーバー、キャリア消失、キャリア未検出などによって ETHERC がフレーム送信を中断したことを示します。

TWB フラグ（ライトバック完了フラグ）

TWB フラグはフレーム送信完了後の EDMAC による当該ディスクリプタへのライトバックが完了したことを示します。このフラグは、TRIMD.TIM ビットが 0 のとき、各フレーム送信後に 1 に設定されます。TRIMD.TIS ビットが 1 のときのみ、このフラグは 1 になります。

28.2.7 EESIPR : ETHERC/EDMAC ステータス割り込みイネーブルレジスタ

Base address: EDMAC0 = 0x4035_4000
EDMAC0_NS = 0x5035_4000

Offset address: 0x30

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	TWBIP	—	—	—	TABTIP	RABTIP	RFCOFIP	ADEIP	ECIIP	TCIP	TDEIP	TFUFIP	FRIP	RDEIP	RFOFIP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	CNDIP	DLCIP	CDIP	TROIP	RMAFIP	—	—	RRFIP	RTLFIP	RTSFIP	PREIP	CERFIP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CERFIP	CRC エラー割り込み要求許可 0: CRC エラー割り込み要求禁止 1: CRC エラー割り込み要求許可	R/W

ビット	シンボル	機能	R/W
1	PREIP	PHY-LSI 受信エラー割り込み要求許可 0: PHY-LSI 受信エラー割り込み要求禁止 1: PHY-LSI 受信エラー割り込み要求許可	R/W
2	RTSFIP	ショートフレームエラー割り込み要求許可 0: ショートフレームエラー割り込み要求禁止 1: ショートフレームエラー割り込み要求許可	R/W
3	RTLFIP	ロングフレームエラー割り込み要求許可 0: ロングフレームエラー割り込み要求禁止 1: ロングフレームエラー割り込み要求許可	R/W
4	RRFIP	端数ビットフレーム受信割り込み要求許可 0: 端数ビットフレーム受信割り込み要求禁止 1: 端数ビットフレーム受信割り込み要求許可	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	RMAFIP	マルチキャストアドレスフレーム受信割り込み要求許可 0: マルチキャストアドレスフレーム受信割り込み要求禁止 1: マルチキャストアドレスフレーム受信割り込み要求許可	R/W
8	TROIP	送信リトライオーバー割り込み要求許可 0: 送信リトライオーバー割り込み要求禁止 1: 送信リトライオーバー割り込み要求許可	R/W
9	CDIP	遅延衝突検出割り込み要求許可 0: 遅延衝突検出割り込み要求禁止 1: 遅延衝突検出割り込み要求許可	R/W
10	DLCIP	キャリア消失検出割り込み要求許可 0: キャリア消失検出割り込み要求禁止 1: キャリア消失検出割り込み要求許可	R/W
11	CNDIP	キャリア未検出割り込み要求許可 0: キャリア未検出割り込み要求禁止 1: キャリア未検出割り込み要求許可	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	RFOFIP	受信 FIFO オーバーフロー割り込み要求許可 0: オーバーフロー割り込み要求禁止 1: オーバーフロー割り込み要求許可	R/W
17	RDEIP	受信ディスクリプタ枯渇割り込み要求許可 0: 受信ディスクリプタ枯渇割り込み要求禁止 1: 受信ディスクリプタ枯渇割り込み要求許可	R/W
18	FRIP	フレーム受信割り込み要求許可 0: フレーム受信割り込み要求禁止 1: フレーム受信割り込み要求許可	R/W
19	TFUFIP	送信 FIFO アンダーフロー割り込み要求許可 0: アンダーフロー割り込み要求禁止 1: アンダーフロー割り込み要求許可	R/W
20	TDEIP	送信ディスクリプタ枯渇割り込み要求許可 0: 送信ディスクリプタ枯渇割り込み要求禁止 1: 送信ディスクリプタ枯渇割り込み要求許可	R/W
21	TCIP	フレーム転送完了割り込み要求許可 0: フレーム転送完了割り込み要求禁止 1: フレーム転送完了割り込み要求許可	R/W
22	ECIIP	ETHERC ステータスレジスタ要因割り込み要求許可 0: ETHERC ステータス割り込み要求禁止 1: ETHERC ステータス割り込み要求許可	R/W
23	ADEIP	アドレスエラー割り込み要求許可 0: アドレスエラー割り込み要求禁止 1: アドレスエラー割り込み要求許可	R/W

ビット	シンボル	機能	R/W
24	RFCOFIP	受信フレームカウンタオーバーフロー割り込み要求許可 0: 受信フレームカウンタオーバーフロー割り込み要求禁止 1: 受信フレームカウンタオーバーフロー割り込み要求許可	R/W
25	RABTIP	受信中断検出割り込み要求許可 0: 受信中断検出割り込み要求禁止 1: 受信中断検出割り込み要求許可	R/W
26	TABTIP	送信中断検出割り込み要求許可 0: 送信中断検出割り込み要求禁止 1: 送信中断検出割り込み要求許可	R/W
29:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
30	TWBIP	ライトバック完了割り込み要求許可 0: ライトバック完了割り込み要求禁止 1: ライトバック完了割り込み要求許可	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

EESIPR レジスタは、EESR レジスタ内のビットに関連する割り込み要求を許可します。このレジスタのビットが 1 のとき、関連する割り込み要求が許可されます。

28.2.8 TRSCER : ETHERC/EDMAC 送受信ステータスコピーイネーブルレジスタ

Base address: EDMAC0 = 0x4035_4000
EDMAC0_NS = 0x5035_4000

Offset address: 0x38

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	RMAFCE	—	—	RRFCE	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	RRFCE	RRF フラグコピー許可 0: 受信ディスクリプタの RD0.RFE ビットに EESR.RRF フラグステータスを反映する 1: 受信ディスクリプタの RD0.RFE ビットに EESR.RRF フラグステータスを反映しない	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	RMAFCE	RMAF フラグコピー許可 0: 受信ディスクリプタの RD0.RFE ビットに EESR.RMAF フラグステータスを反映する 1: 受信ディスクリプタの RD0.RFE ビットに EESR.RMAF フラグステータスを反映しない	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

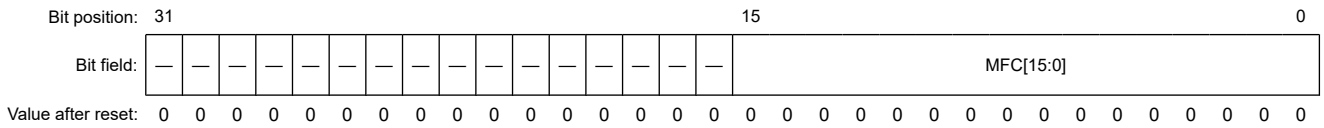
注. S-TYPE3, P-TYPE3

TRSCER レジスタは、EESR.RMAF および RRF フラグで示された受信ステータスを、受信ディスクリプタの RFE ビットにサマリとして反映させるかどうかを選択します。このレジスタのビットは、EESR レジスタの同じ番号を持つビットに対応しています。RMAFCE または RRFCE ビットが 0 に設定されているとき、対応する受信ステータスが RFE ビットに反映されます。RMAFCE または RRFCE ビットが 1 に設定されているとき、対応する受信ステータスは反映されません。

28.2.9 RMFCR : 紛失フレームカウンタ レジスタ

Base address: EDMAC0 = 0x4035_4000
EDMAC0_NS = 0x5035_4000

Offset address: 0x40



ビット	シンボル	機能	R/W
15:0	MFC[15:0]	紛失フレームカウンタ これらのビットは、受信中に受信バッファに転送されずに破棄されたフレームの数を示します。	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

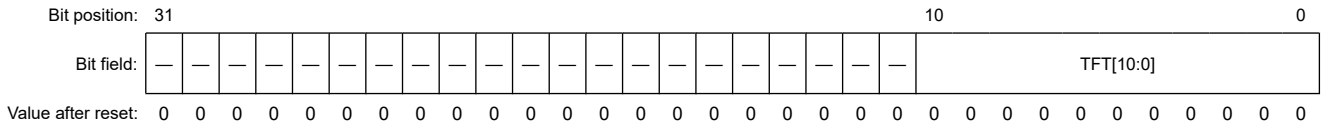
RMFCR レジスタは、受信中に受信 FIFO に格納できずに破棄されたフレームの数を示します。受信 FIFO がオーバーフローになると、データ受信を停止し、フレームの残りは破棄されます。同時に、RMFCR レジスタの値をインクリメントします。RMFCR レジスタの値が 0xFFFF に達すると、カウントアップが中止されます。RMFCR レジスタに任意の値を書き込むと、カウンタ値が 0 にクリアされます。

受信が完了しなかったフレームについては、受信 FIFO 内のデータが受信バッファに転送されたあと、受信ディスクリプタ 0（RD0）内の RACT ビットが 0 にクリアされ（ディスクリプタ無効）、RFS9 ビットが 1 に（受信 FIFO オーバーフロー発生）、EESR.RFOF フラグが 1 に（オーバーフロー検出）設定されます。

28.2.10 TFTR : 送信 FIFO しきい値レジスタ

Base address: EDMAC0 = 0x4035_4000
EDMAC0_NS = 0x5035_4000

Offset address: 0x48



ビット	シンボル	機能	R/W
10:0	TFT[10:0]	送信 FIFO しきい値 0x000: ストアアンドフォワードモード 0x001～0x00C: 設定禁止 0x00D～0x200: 設定した値の 4 倍の値がしきい値になります 0x201～0x7FF: 設定禁止 例： TFT[10:0] = 0x00D: 52 バイト TFT[10:0] = 0x040: 256 バイト TFT[10:0] = 0x100: 1024 バイト TFT[10:0] = 0x200: 2048 バイト	R/W
31:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注. 1 フレームのデータ書き込み完了前に送信を開始する場合、アンダーフローを発生させないよう注意してください。送信アンダーフローを防止するため、初期値（ストアアンドフォワードモード）の使用を推奨します。

TFTR レジスタは、最初の送信を開始するまでの送信 FIFO しきい値を指定します。実際のしきい値は、設定した値の 4 倍となります。

ETHERC は、送信 FIFO 内のデータ量がこのレジスタで設定されるバイト数を超えたときか、送信 FIFO がフルのとき、または 1 フレームのデータ書き込みが完了したときに送信を開始します。TFTR レジスタの設定は、EDTRR.TR ビットが 0 の間に行ってください。

28.2.11 FDR : FIFO 容量レジスタ

Base address: EDMAC0 = 0x4035_4000
EDMAC0_NS = 0x5035_4000

Offset address: 0x50

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TFD[4:0]					—	—	—	RFD[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	RFD[4:0]	受信 FIFO 容量 0x0F: 4096 バイト その他: 設定禁止	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12:8	TFD[4:0]	送信 FIFO 容量 0x07: 2048 バイト その他: 設定禁止	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

FDR レジスタは、送信および受信 FIFO の容量を指定します。送受信開始前に、このレジスタを 0x0000_070F に設定してください。

28.2.12 RMCR : 受信手法コントロールレジスタ

Base address: EDMAC0 = 0x4035_4000
EDMAC0_NS = 0x5035_4000

Offset address: 0x58

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RNR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RNR	受信要求リセット 0: EDRRR.RR ビット（受信要求ビット）は、1 フレーム受信時に 0 にクリアされます。 1: EDRRR.RR ビット（受信要求ビット）は、1 フレーム受信時に 0 にクリアされません。	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

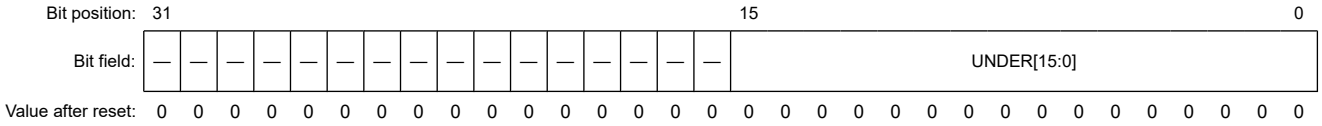
RMCR レジスタは、フレーム受信時に EDRRR.RR ビットを制御する方法を指定します。RNR ビットが 0 のとき、EDRRR.RR ビットは 1 フレーム受信時に 0 にクリアされます。つまり、その後のフレームを受信するには、ソフトウェアによって RNR ビットが 1 に設定されていなければなりません。RNR ビットが 1 のとき、EDRRR.RR ビ

ットは 1 フレーム受信時に 0 にクリアされず、EDMAC は次の受信ディスクリプタを読み出し、フレーム受信を継続します。データを継続受信するときは、RNR ビットを 1 に設定しておくことを推奨します。RMCR レジスタの設定は、EDRRR.RR ビットが 0 の間に行ってください。

28.2.13 TFUCR : 送信 FIFO アンダーフローカウンタ

Base address: EDMAC0 = 0x4035_4000
EDMAC0_NS = 0x5035_4000

Offset address: 0x64



ビット	シンボル	機能	R/W
15:0	UNDER[15:0]	送信 FIFO アンダーフローカウント これらのビットは、送信 FIFO アンダーフローの回数を示します。カウンタの値が 0xFFFF に達すると、カウンタは停止します。	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

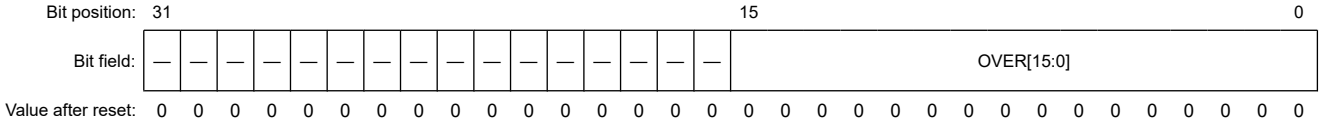
注. S-TYPE3, P-TYPE3

TFUCR レジスタは、送信 FIFO アンダーフローの回数を示します。TFUCR レジスタに任意の値を書き込むと、カウンタ値が 0 にクリアされます。

28.2.14 RFOCR : 受信 FIFO オーバーフローカウンタ

Base address: EDMAC0 = 0x4035_4000
EDMAC0_NS = 0x5035_4000

Offset address: 0x68



ビット	シンボル	機能	R/W
15:0	OVER[15:0]	受信 FIFO オーバーフローカウント これらのビットは、受信 FIFO オーバーフローの回数を示します。 カウンタの値が 0xFFFF に達すると、カウンタは停止します。	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

RFOCR レジスタは、受信 FIFO オーバーフローの回数を示します。RFOCR レジスタに任意の値を書き込むと、カウンタ値が 0 にクリアされます。

28.2.15 IOSR : 独立出力信号設定レジスタ

Base address: EDMAC0 = 0x4035_4000
EDMAC0_NS = 0x5035_4000

Offset address: 0x6C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ELB
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ELB	外部ループバックモード 0: ET0_EXOUT 端子にローを出力 1: ET0_EXOUT 端子にハイを出力	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

IOSR レジスタは、外部ループバックモード時の ETHERC 外部出力端子（ET0_EXOUT）の出力レベルを選択します。ELB ビットの値は ET0_EXOUT 端子に出力され、PHY-LSI のループバックモードの設定に使用します。

このレジスタを経由して PHY-LSI のループバック機能を使用するには、PHY-LSI を ET0_EXOUT 端子に接続しなければなりません。

28.2.16 FCFTR : フローコントロール開始 FIFO しきい値設定レジスタ

Base address: EDMAC0 = 0x4035_4000
EDMAC0_NS = 0x5035_4000

Offset address: 0x70

Bit position:	31	18	16	2	0
Bit field:	—	RFFO[2:0]	—	RFDO[2:0]	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0	1 1 1	0 0 0 0 0 0 0 0 0 0 0 0 0	1 1 1	

ビット	シンボル	機能	R/W
2:0	RFDO[2:0]	受信 FIFO データ PAUSE 出力しきい値 0 0 0: 受信 FIFO に 224（256～32）バイトのデータ格納時 0 0 1: 受信 FIFO に 480（512～32）バイトのデータ格納時 ⋮ 1 1 0: 受信 FIFO に 1760（1792～32）バイトのデータ格納時 1 1 1: 受信 FIFO に 2016（2048～32）バイトのデータ格納時	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	RFFO[2:0]	受信 FIFO フレーム PAUSE 出力しきい値 0 0 0: 受信 FIFO に受信フレームを 2 フレーム格納時 0 0 1: 受信 FIFO に受信フレームを 4 フレーム格納時 0 1 0: 受信 FIFO に受信フレームを 6 フレーム格納時 ⋮ 1 1 0: 受信 FIFO に受信フレームを 14 フレーム格納時 1 1 1: 受信 FIFO に受信フレームを 16 フレーム格納時	R/W
31:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

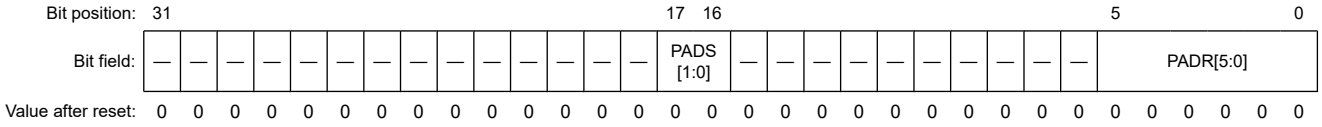
FCFTR レジスタは、ETHERC のフローコントロールを指定します。自動的に PAUSE フレームを送信するようにしきい値を設定します。

しきい値は、受信 FIFO に格納されたデータサイズ（RFDO[2:0]ビット）およびフレーム数（RFFO[2:0]ビット）を用いて設定することができます。格納されたデータサイズまたは保存済みフレーム数がしきい値に達すると、フローコントロールを開始します。

28.2.17 RPADIR : 受信データパディング挿入レジスタ

Base address: EDMAC0 = 0x4035_4000
EDMAC0_NS = 0x5035_4000

Offset address: 0x78



ビット	シンボル	機能	R/W
5:0	PADR[5:0]	パディングスロット 0x00: 受信データの頭にパディングを挿入 0x01: 受信データの 1 バイト目と 2 バイト目の間にパディングを挿入 ⋮ 0x3E: 受信データの 62 バイト目と 63 バイト目の間にパディングを挿入 0x3F: 受信データの 63 バイト目と 64 バイト目の間にパディングを挿入	R/W
15:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	PADS[1:0]	パディングサイズ 0 0: パディング挿入なし 0 1: 1 バイト挿入 1 0: 2 バイト挿入 1 1: 3 バイト挿入	R/W
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

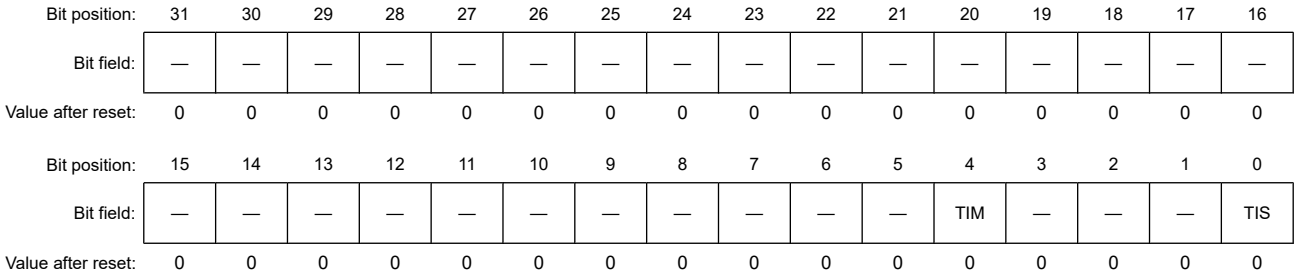
注. S-TYPE3, P-TYPE3

RPADIR レジスタは、受信データに関するパディングの挿入を指定します。パディング値は 0x00 です。PRADIR レジスタを書き換える前に、EDMR.SWR ビットを 1 に設定してリセットしてください。

28.2.18 TRIMD : 送信割り込み設定レジスタ

Base address: EDMAC0 = 0x4035_4000
EDMAC0_NS = 0x5035_4000

Offset address: 0x7C



ビット	シンボル	機能	R/W
0	TIS	送信割り込み許可 0: 送信割り込み禁止 1: 送信割り込み許可 割り込みを報告するには、TIM ビットで選択したモードで EESR.TWB フラグを 1 に設定します。	R/W

ビット	シンボル	機能	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TIM	送信割り込みモード 0: 送信完了割り込みモードを選択します。このモードでは、フレームが送信されたときに割り込みが発生します。 1: ライトバック完了割り込みモードを選択します。TWBI ビットが 1 になっている送信ディスクリプタへのライトバックが完了したときに、割り込みが発生します。	R/W
31:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

TRIMD レジスタは、送信割り込みモードを指定し、送信割り込みを許可または禁止します。このレジスタで選択した条件を満たすと、ESSR.TWB フラグが 1 に設定され、EESIPR.TWBIP ビットが 1 のときに割り込み要求が出力されます。

28.2.19 RBWAR : 受信バッファ書き込みアドレスレジスタ

Base address: EDMAC0 = 0x4035_4000
EDMAC0_NS = 0x5035_4000

Offset address: 0xC8

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	該当なし	RBWAR レジスタは、受信バッファへの書き込み中に EDMAC がデータを書き込んだ最後のアドレスを示します。	R

注. S-TYPE3, P-TYPE3

RBWAR レジスタは、受信バッファへの書き込み中に EDMAC がデータを書き込んだ最後のアドレスを示します。EDMAC がデータを書き込んでいる受信バッファ内のアドレスを特定するには、このレジスタの中身を確認してください。EDMAC が受信バッファに出力しているアドレスは、データ受信中の RBWAR レジスタの読み値と一致しない可能性があります。RBWAR レジスタは読み出し専用です。このレジスタに書き込まないでください。

28.2.20 RDFAR : 受信ディスクリプタ取り出しアドレスレジスタ

Base address: EDMAC0 = 0x4035_4000
EDMAC0_NS = 0x5035_4000

Offset address: 0xCC

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	該当なし	RDFAR レジスタは、EDMAC が受信ディスクリプタからディスクリプタ情報を取り出しているときに最後に取り出した受信ディスクリプタの開始アドレスを示します。	R

注. S-TYPE3, P-TYPE3

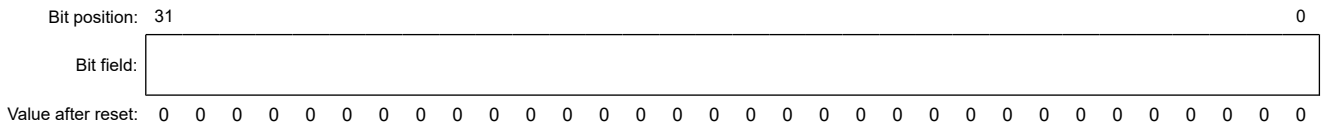
RDFAR レジスタは、EDMAC が受信ディスクリプタからディスクリプタ情報を取り出しているときに最後に取り出した受信ディスクリプタの開始アドレスを示します。EDMAC がアクティブ処理のために使用している受信ディスクリプタ情報を特定するには、このレジスタの中身を確認してください。EDMAC が取り出している受信ディスクリプタのアドレスは、データ受信中の RDFAR レジスタの読み値と一致しない可能性があります。RDFAR レジスタは読み出し専用です。

このレジスタに書き込まないでください。

28.2.21 TBRAR : 送信バッファ読み出しアドレスレジスタ

Base address: EDMAC0 = 0x4035_4000
EDMAC0_NS = 0x5035_4000

Offset address: 0xD4



ビット	シンボル	機能	R/W
31:0	該当なし	TBRAR レジスタは、送信バッファからデータを読み出す際に、EDMAC がデータを読み出した最後のアドレスを示します。	R

注. S-TYPE3, P-TYPE3

TBRAR レジスタは、送信バッファからデータを読み込む際に、EDMAC がデータを読み込んだ最後のアドレスを示します。EDMAC がデータを読み出している送信バッファ内のアドレスを特定するには、このレジスタの中身を確認してください。

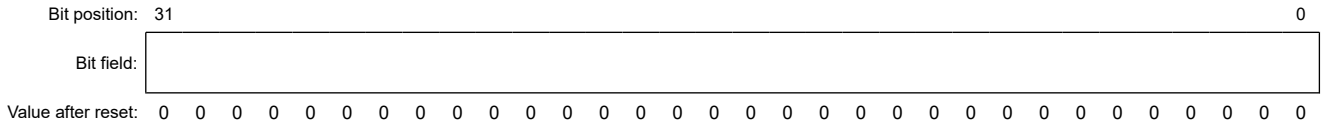
EDMAC が送信バッファに出力しているアドレスは、TBRAR レジスタの読み値と一致しない可能性があります。

TBRAR レジスタは読み出し専用です。このレジスタに書き込まないでください。

28.2.22 TDFAR : 送信ディスクリプタ取り出しアドレスレジスタ

Base address: EDMAC0 = 0x4035_4000
EDMAC0_NS = 0x5035_4000

Offset address: 0xD8



ビット	シンボル	機能	R/W
31:0	該当なし	TDFAR レジスタは、EDMAC が送信ディスクリプタからディスクリプタ情報を取り出しているときに最後に取り出した送信ディスクリプタの開始アドレスを示します。	R

注. S-TYPE3, P-TYPE3

TDFAR レジスタは、EDMAC が送信ディスクリプタからディスクリプタ情報を取り出しているときに最後に取り出した送信ディスクリプタの開始アドレスを示します。EDMAC がアクティブ処理のために使用している送信ディスクリプタ情報を特定するには、このレジスタの中身を確認してください。EDMAC が取り出す送信ディスクリプタのアドレスは、TDFAR レジスタの読み値と一致しない可能性があります。TDFAR は読み出し専用です。このレジスタに書き込まないでください。

28.3 動作説明

EDMAC は、ディスクリプタに書き込まれた情報に従ってデータを転送します。送信と受信の、2 つのディスクリプタが用意されています。ディスクリプタには、バッファサイズ、アドレス、送信または受信ステータスが含まれます。EDMAC は連続して配置されたディスクリプタを使うことで、データを継続的に送信または受信します。

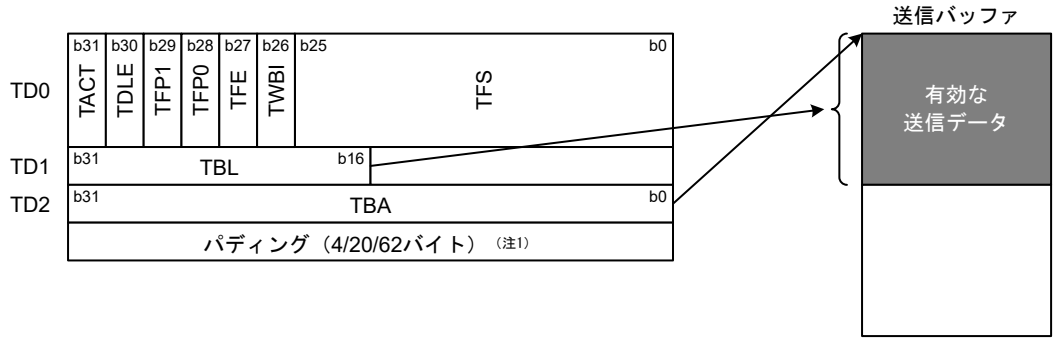
28.3.1 ディスクリプタリストおよびデータバッファ

EDMAC を使用してデータを転送するには、メモリ内に送信および受信のディスクリプタリストを作成し、送信ディスクリプタの開始アドレスを TDLAR レジスタに設定し、受信ディスクリプタリストの開始アドレスを RDLAR レジスタに設定します。さらに、各ディスクリプタに対応する送信および受信バッファが必要となります。

ディスクリプタリストを、EDMR.DL[1:0]ビットで設定されたディスクリプタ長に従って適切なアドレス境界に配置します。送信バッファは、ワード境界、ハーフワード境界、バイト境界のいずれに配置しても構いません。ただし、送信バッファの有効バイト長が 16 バイト以下になる場合は、32 バイト境界に配置してください。送信バッファの有効バイト長が 16 バイトより大きい場合は、送信バッファを 32 バイト境界以外に配置してください。ただし、EDMAC0 は 32 バイト境界に配置された送信バッファを読み出す可能性があります。よって、送信バッファが設定される 32 バイト境界の始まりで送信バッファ領域を初期化してください。また、受信バッファを 32 バイト境界に配置してください。EDMAC0 の送信および受信のディスクリプタおよびバッファには、異なるアドレスを設定してください。

28.3.1.1 送信ディスクリプタ

図 28.3 に、送信ディスクリプタと送信バッファの関係を示します。送信ディスクリプタは、TD0～TD2 で構成されます。送信フレームおよび送信バッファの構成は、送信ディスクリプタを設定することで、1 フレームあたり 1 バッファ（シングルバッファフレーム送信）または 1 フレームあたり複数バッファ（マルチバッファフレーム送信）として指定可能です。



注 1. パディング：ディスクリプタ長（16/32/64 バイト）に合わせるための冗長エリア。

図 28.3 送信ディスクリプタと送信バッファの関係

(1) 送信ディスクリプタ 0 (TD0)

注. ライトバックされるビットを下線で示しています。

ビット	シンボル	機能	R/W
25:0	TFS	送信フレームステータス ディスクリプタ作成時は全ビットを 0 にしてください。ライトバックされた後の各ビットの意味は以下のとおりです。 TFS25～TFS9: 予約済み TFS8: 送信中断を検出（EESR.TABT フラグに相当） TFS7～TFS4: 予約済み TFS3: キャリア未検出（EESR.CND フラグに相当） TFS2: キャリア未検出（EESR.DLC フラグに相当） TFS1: 送信中に遅延衝突を検出（EESR.CD フラグに相当） TFS0: 送信リトライオーバー（EESR.TRO フラグに相当） ビットが 1 に設定されているときは、フレーム送信中に該当するエラーが発生したことを意味します。TFS ビットのいずれかが 1 に設定されているときは、TFE ビットも 1 に設定されます。TFS3 から TFS0 のいずれかのビットが 1 に設定されているときは、TFS8 も 1 に設定されます。	R/W
26	TWBI	ライトバック完了割り込み許可 0: このディスクリプタへのライトバック完了時に割り込みを発生させない 1: このディスクリプタへのライトバック完了時に割り込みを発生させる	R/W
27	TFE	送信フレームエラー 0: フレーム送信は正常に完了 1: フレーム送信中にエラー発生（送信中断）	R/W

注. ライトバックされるビットを下線で示しています。

ビット	シンボル	機能	R/W
29:28	TFP[1:0]	送信フレームポジション 0 0: このディスクリプタが示す送信バッファは送信フレームの中間部分（フレームを完結しない） 0 1: このディスクリプタが示す送信バッファは送信フレームの最終部分（フレームを完結する） 1 0: このディスクリプタが示す送信バッファは送信フレームの先頭部分（フレームを完結しない） 1 1: このディスクリプタが示す送信バッファは、送信フレームのすべて（1 バッファ／フレーム）	R/W
30	TDLE	送信ディスクリプタリスト最終 ビットが 1 であると、当該ディスクリプタが送信ディスクリプタリストの最終であることを示します。	R/W
31	TACT	送信ディスクリプタ有効 当該ディスクリプタが有効であることを示します。	R/W

TD0 は送信フレームの設定を指定し、送信後のステータスを示します。

TFE ビット（送信フレームエラー）

TFE ビットが 1 のとき、TFS ビットのいずれかが 1 であることを示します。

TFP[1:0]ビット（送信フレームポジション）

TFP[1:0]ビットは送信バッファと送信フレームの関連付けを行います。

前後のディスクリプタにおいて、TFP[1:0]ビットおよび TD1.TBL ビットの設定は、論理的に矛盾しない関係を維持してください。

TACT ビット（送信ディスクリプタ有効）

TACT ビットは、このディスクリプタが有効であることを示します。TACT ビットは、ソフトウェアによって 1 に設定されます。このビットが 0 になるのは、

送信フレームが転送されたとき、または送信が中断されたときです。

(2) 送信ディスクリプタ 1 (TD1)

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:16	TBL	送信バッファ長 関連する送信バッファの有効バイト長を指定します。1 以上の値を設定してください。	R/W

TD1 は、送信バッファの有効バイト長を指定します。

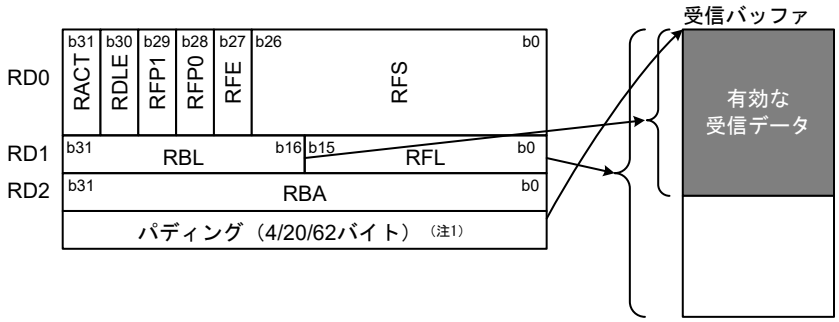
(3) 送信ディスクリプタ 2 (TD2)

ビット	シンボル	機能	R/W
31:0	TBA	送信バッファアドレス 送信バッファの開始アドレスを指定します。TD1.TBL ビットの値が 1～16 バイトの場合は、32 バイト境界に配置してください。	R/W

TD2 は、送信バッファの開始アドレスを指定します。

28.3.1.2 受信ディスクリプタ

図 28.4 に、受信ディスクリプタと受信バッファの関係を示します。受信フレームおよび受信バッファの構成は、受信ディスクリプタを設定することで、1 フレームあたり 1 バッファ（シングルバッファフレーム送信）または 1 フレームあたり複数バッファ（マルチバッファフレーム送信）として指定可能です。受信バッファ長 (RBL) が 0 に設定された場合、ディスクリプタに示された動作は保証されません。



注 1. パディング：ディスクリプタ長（16/32/64 バイト）に合わせるための冗長エリア。

図 28.4 受信ディスクリプタと受信バッファの関係

(1) 受信ディスクリプタ 0 (RD0)

注. ライトバックされるビットを下線で示しています。

ビット	シンボル	機能	R/W
26:0	RFS	受信フレームステータス ディスクリプタ作成時は全ビットを 0 にしてください。ライトバックされた後の各ビットの意味は以下のとおりです。 RFS26～RFS10: 予約済み RFS9: 受信 FIFO オーバーフロー（EESR.RFOF フラグに相当） RFS8: 受信中断を検出（EESR.RABT フラグに相当） RFS7: マルチキャストアドレスフレームを受信（EESR.RMAF フラグに相当） RFS6、RFS5: 予約済み RFS4: 端数ビットフレーム受信エラー（EESR.RRF フラグに相当） RFS3: ロングフレームエラー（EESR.RTLF フラグに相当） RFS2: フショートフレームエラー（EESR.RTSF フラグに相当） RFS1: PHY-LSI 受信エラー（EESR.PRE フラグに相当） RFS0: CRC エラー（EESR.CERF フラグに相当） ビットが 1 に設定されているときは、フレーム受信中に関連するエラーが発生したことを意味します。RFS ビットのいずれかが 1 に設定されているときは、RFE ビットも 1 に設定されます。RFS7 および RFS4 が RFE ビットに反映されるかどうかを選択するには、TRSCER レジスタを設定します。RFS3 から RFS0 のいずれかのビットが 1 に設定されているときは、RFS8 も 1 に設定されます。	R/W
27	RFE	受信フレームエラー 0: 受信フレームでエラー発生なし 1: 受信フレームでエラー発生	R/W
29:28	RFP[1:0]	受信フレームポジション 0 0: このディスクリプタが示す受信バッファは、受信フレームの中間部分（フレームを完結しない） 0 1: このディスクリプタが示す受信バッファは、受信フレームの最終部分（フレームを完結する） 1 0: このディスクリプタが示す受信バッファは、受信フレームの先頭部分（フレームを完結しない） 1 1: このディスクリプタが示す受信バッファは、受信フレームのすべて（1 バッファ／フレーム）	R/W
30	RDLE	受信ディスクリプタリスト最終 ビットが 1 であると、当該ディスクリプタが受信ディスクリプタリストの最終であることを示します。	R/W
31	RACT	受信ディスクリプタ有効 当該ディスクリプタが有効であることを示します。	R/W

RD0 は、受信フレームの状態を示します。

RFE ビット（受信フレームエラー）

RFE ビットが 1 のとき、RFS ビットのいずれかが 1 であることを示します。EDMAC0 の RFS7 ビットおよび RFS4 ビットが RFE ビットに反映されるかどうかを選択するには、TRSCER レジスタを設定します。

RFP[1:0]ビット（受信フレームポジション）

RFP[1:0]ビットは、受信フレームのどの部分がこの記述子で示される受信バッファに対応するのかを示します。

RACT ビット（受信ディスクリプタ有効）

RACT ビットは、このディスクリプタが有効であることを示します。RACT ビットは、ソフトウェアによって 1 に設定されます。このビットは、RD2 で示された受信バッファに全データが転送されたとき、または受信バッファがフルになったときに 0 にクリアされます。

(2) 受信記述子 1 (RD1)

ビット	シンボル	機能	R/W
15:0	RFL	受信フレーム長 バッファに保存される受信フレームの長さ（バイト数）を指定します。これには、RPAIDR レジスタで設定されるパディングのためのバイト数を含みません。これらのビットは、フレームの終わり部分に関連するディスクリプタに書き戻されます。	R/W
31:16	RBL	受信バッファ長 関連する受信バッファの有効バイト長を指定します。バッファ長には 32 の倍数を設定します。	R/W

注. ライトバックされるビットを下線で示しています。

RD1 は受信バッファ長を指定します。受信が完了すると、受信フレーム長が書き戻されます。

(3) 受信ディスクリプタ 2 (RD2)

ビット	シンボル	機能	R/W
31:0	RBA	受信バッファアドレス 受信バッファの開始アドレスを指定します。32 バイト境界にバッファアドレスを配置してください。	R/W

RD2 は、受信バッファの開始アドレスを指定します。

28.3.2 送信

ETHERC0.ECMR.TE ビットが 1 のとき、EDTRR.TR ビットを 1 にすると、EDMAC は送信ディスクリプタリストから前回使用したディスクリプタの次のディスクリプタ (リセット後は TDLAR レジスタが示すディスクリプタ) を読み出します。送信ディスクリプタ (TD0) で TACT ビットが 1 の場合、EDMAC は送信ディスクリプタ 2 (TD2) で指定される送信バッファ開始アドレスから順次送信データを読み出して、送信 FIFO 経由で ETHERC に転送します。ETHERC は送信フレームを作成し、MII または RMII への送信を開始します。TD1.TBL ビットで指定されたすべてのデータの転送が終わると、TD0.TFP[1:0]ビットの設定に基づいて以下のようにライトバックを実行します。

- TD0.TFP[1:0]ビットが 00b または 10b（フレームが不完全）のときは、TD0.TACT ビットが書き戻されます。
- TD0.TFP[1:0]ビットが 01b または 11b（フレームが完全）のときは、TD0.TACT、TD0.TFS、TD0.TFE ビットが書き戻されます。

読み込んだディスクリプタ内の TD0.TACT ビットが 1 のとき、EDMAC はディスクリプタおよび送信フレームの読み出しを継続します。読み出したディスクリプタの TD0.TACT ビットが 0 のとき、EDMAC は EDTRR.TR ビットに 0 を設定し、送信を停止します。

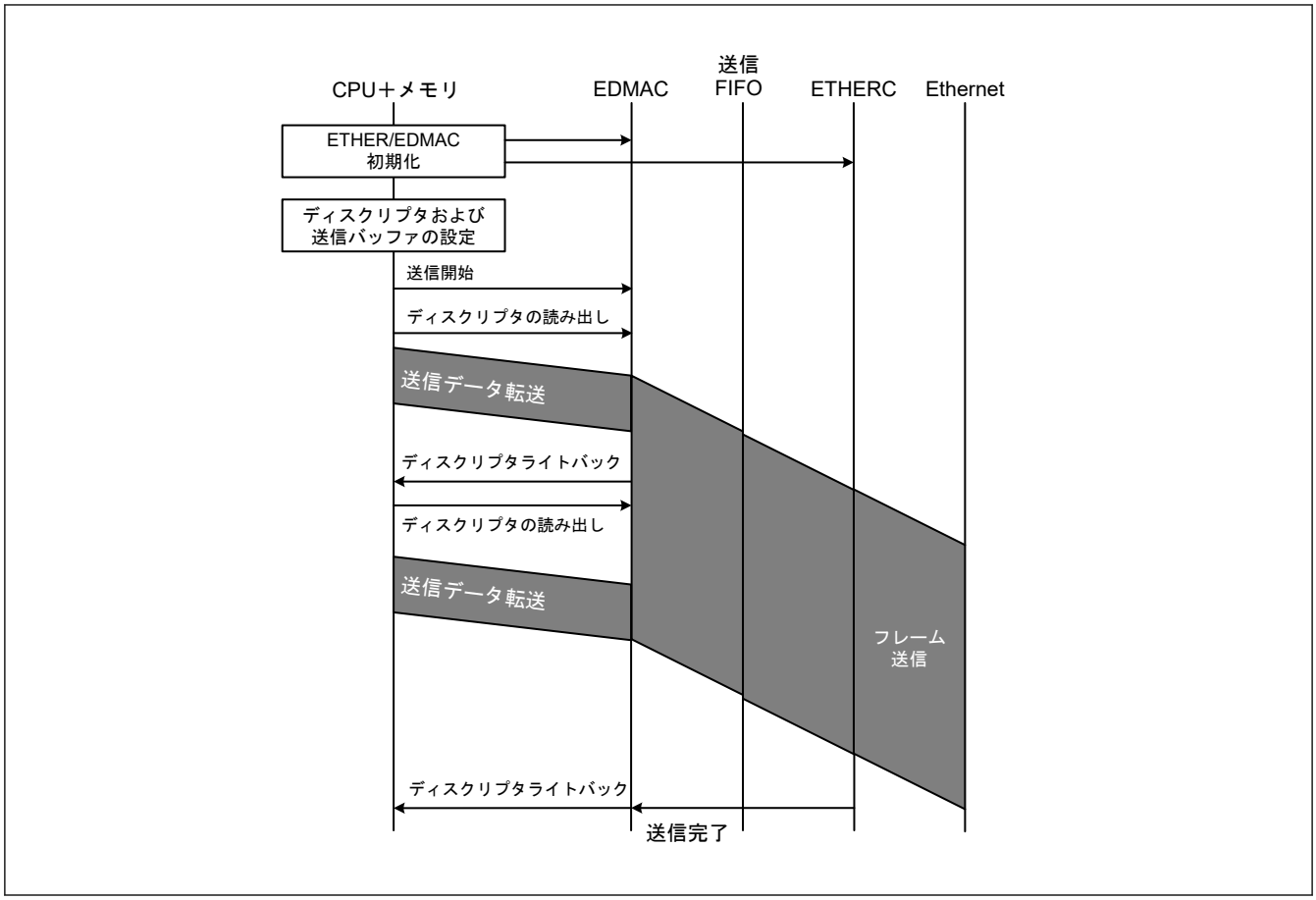


図 28.5　送信フローの例

28.3.3　受信

ETHERC0.ECMR.RE ビットが 1 の間に EDRRR.RR ビットが 1 に設定されると、EDMAC は前回使用したディスクリプタの次の受信ディスクリプタ（リセット後は RDLAR レジスタで示されたディスクリプタ）を読み出し、受信を待ちます。RD0.RACT ビットが 1 のとき、受信 FIFO に格納されたデータが 32 バイト以上になると、または、フレームの最終バイトが受信バッファに保存されると、EDMAC は受信 FIFO から受信ディスクリプタ 2（RD2）で示された受信バッファへとデータを転送します。

受信したフレームのデータ長が受信ディスクリプタ 1（RD1）の RBL ビットで設定されたバッファ長より長い場合、受信バッファがフルになった時点で、EDMAC は RD0.RFP[1:0]に 10b または 00b を、RD0.RACT ビットに 0 をライトバックしたあと、次のデータを読み出します。その後 EDMAC は、他の受信バッファにデータを転送します。

フレーム受信が完了したとき、またはフレーム受信がエラーで中断されたとき、EDMAC は RD0.RFP[1:0]ビットに 11b または 01b を、RD0.RACT ビットに 0 を、RD1.RFL ビットに受信フレーム長をライトバックします。RMCR.RNR ビットが 1 のとき、EDMAC は次のディスクリプタを読み出し、受信を待ちます。RNR ビットが 0 のとき、EDMAC は EDRRR.RR ビットに 0 を設定し、受信を停止します。

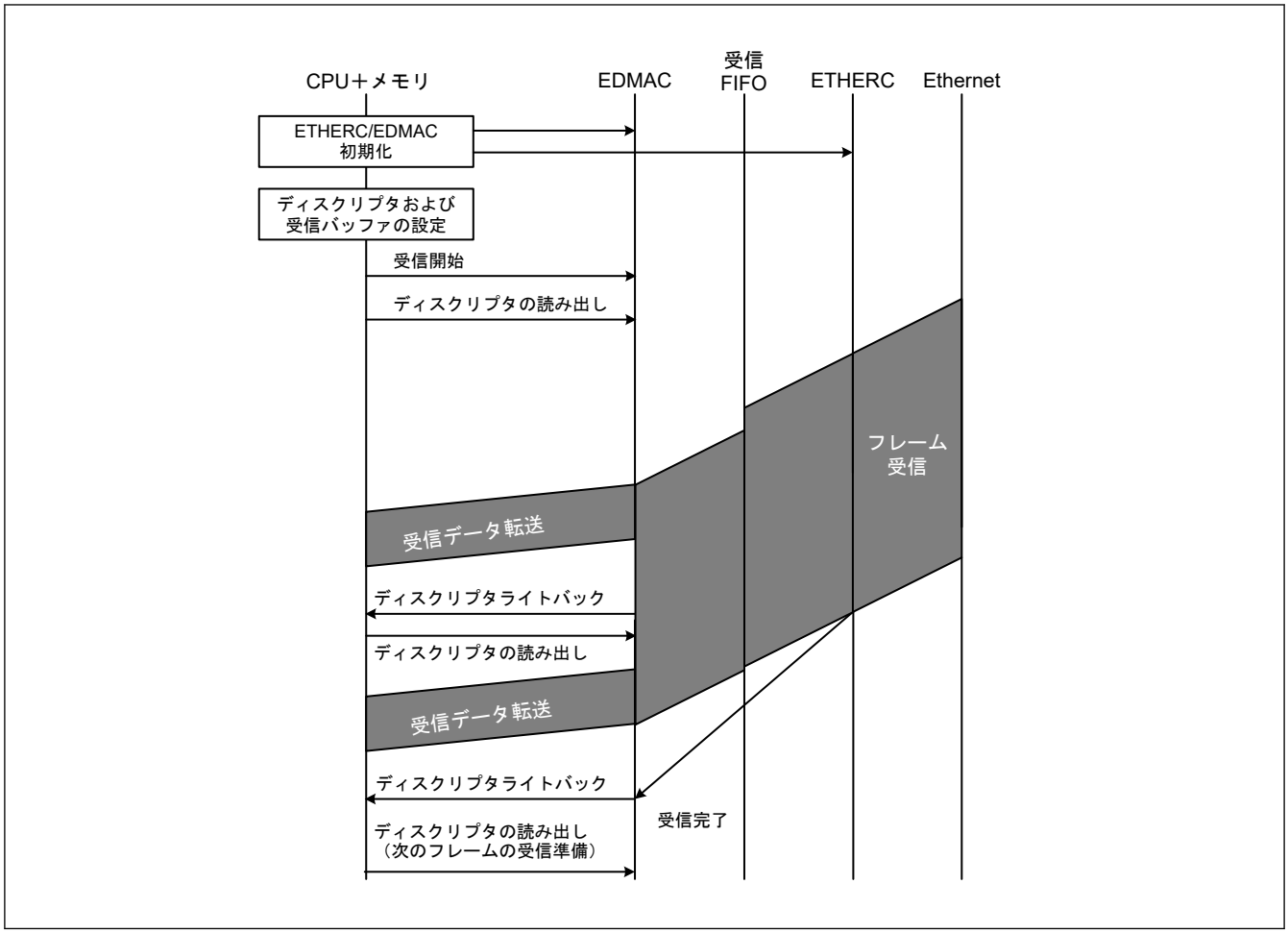


図 28.6　受信フローの例

28.3.4　マルチバッファフレーム送信

28.3.4.1　マルチバッファフレーム送信中のエラー処理

マルチバッファフレーム送信中にエラーが発生した場合、EDMAC は図 28.7 に示す処理を行います。この図において、送信ディスクリプタ 0（TD0）の TACT ビットが 0 のとき、このディスクリプタはバッファ内の全データが正常に送信されたことを示します。TACT ビットが 1 のとき、このディスクリプタはバッファ内のデータがまだ送信されていないことを示します。TD0.TACT ビットが 1 の間にフレーム送信エラー(注1)がフレームの頭または中間で発生した場合、EDMAC は送信 FIFO からのデータ送信および EDMAC データ転送を中止し、TD0.TACT ビットに 0 を設定します。

その後 EDMAC は、このディスクリプタがフレームの中間（TD0.TFP[1:0]ビットが 00b）を示しているのかフレームの終わり（TD0.TFP[1:0]ビットが 01b）を示しているのかを知るために、次のディスクリプタを読み出します。ディスクリプタがフレームの中間を示している場合、EDMAC は TD0.TACT ビットを 0 に設定し、次のディスクリプタを読み出します。ディスクリプタがフレームの終わりを示している場合、EDMAC は TD0.TACT ビットを 0 に設定するだけでなく、TD0.TFE および TD0.TFS ビットへのライトバックも行います。

エラー発生後、フレーム最後のディスクリプタへのライトバックまで、バッファ内のデータは送信されません。EESIPR レジスタで関連する送信エラー割り込みが許可されている場合、フレームの終わりのディスクリプタへのライトバック後、ただちに割り込み要求が生成されます。

注 1.　送信リトライオーバー、遅延衝突、キャリア消失検出、またはキャリア未検出。

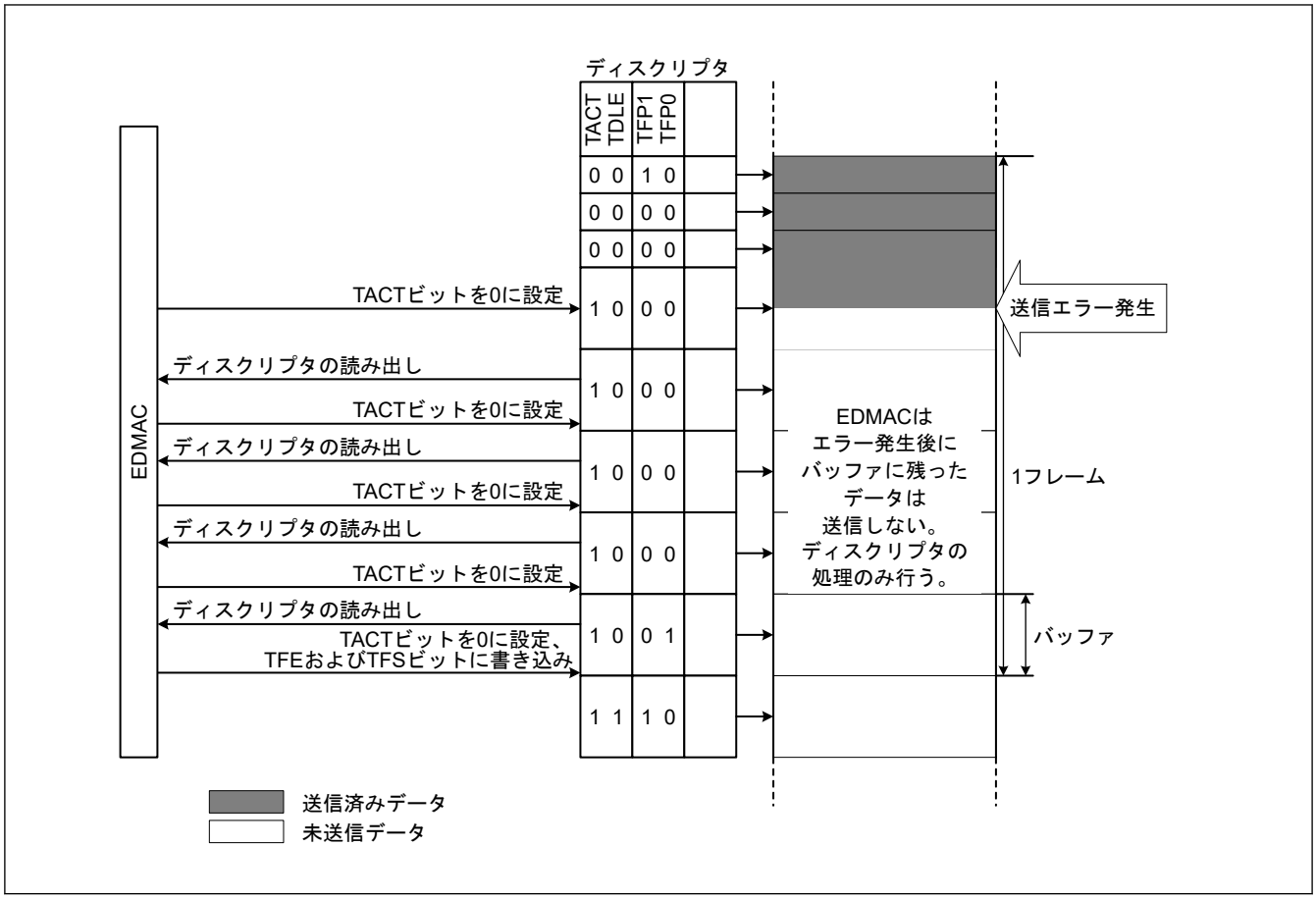


図 28.7　送信エラー発生後の EDMAC 動作

28.3.4.2　マルチバッファフレーム受信中のエラー処理

マルチバッファフレーム受信中にエラーが発生した場合、EDMAC は図図 28.8 に示す処理を行います。この図において、受信ディスクリプタ 0（RD0）の RACT ビットが 0 のとき、このディスクリプタはデータが正常にバッファに受信されたことを示します。RACT ビットが 1 のとき、このディスクリプタはデータがまだバッファに受信されていないことを示します。フレーム受信エラー(注1)が発生すると EDMAC は新しいデータの受信を中断しますが、すでに受信 FIFO に格納されたデータは受信バッファに転送されます。

転送中に受信バッファがフルになると、EDMAC は RACT ビットを 0 に、RFP[1:0]ビットを 10b または 00b に設定し、次のディスクリプタを読み出します。受信 FIFO の全データが転送されると、EDMAC はステータスをディスクリプタにライトバックします。

EESIPR レジスタで関連する受信エラー割り込みが許可されている場合、ディスクリプタへのライトバック後、ただちに割り込み要求が生成されます。新しいフレームの受信要求がある場合、EDMAC はエラーが発生したディスクリプタの次のディスクリプタを用いて受信を継続します。

注 1.　CCRC エラー、PHY-LSI 受信エラー、ショートフレーム受信エラー、ロングフレーム受信エラー、または端数ビットフレーム受信を検出。

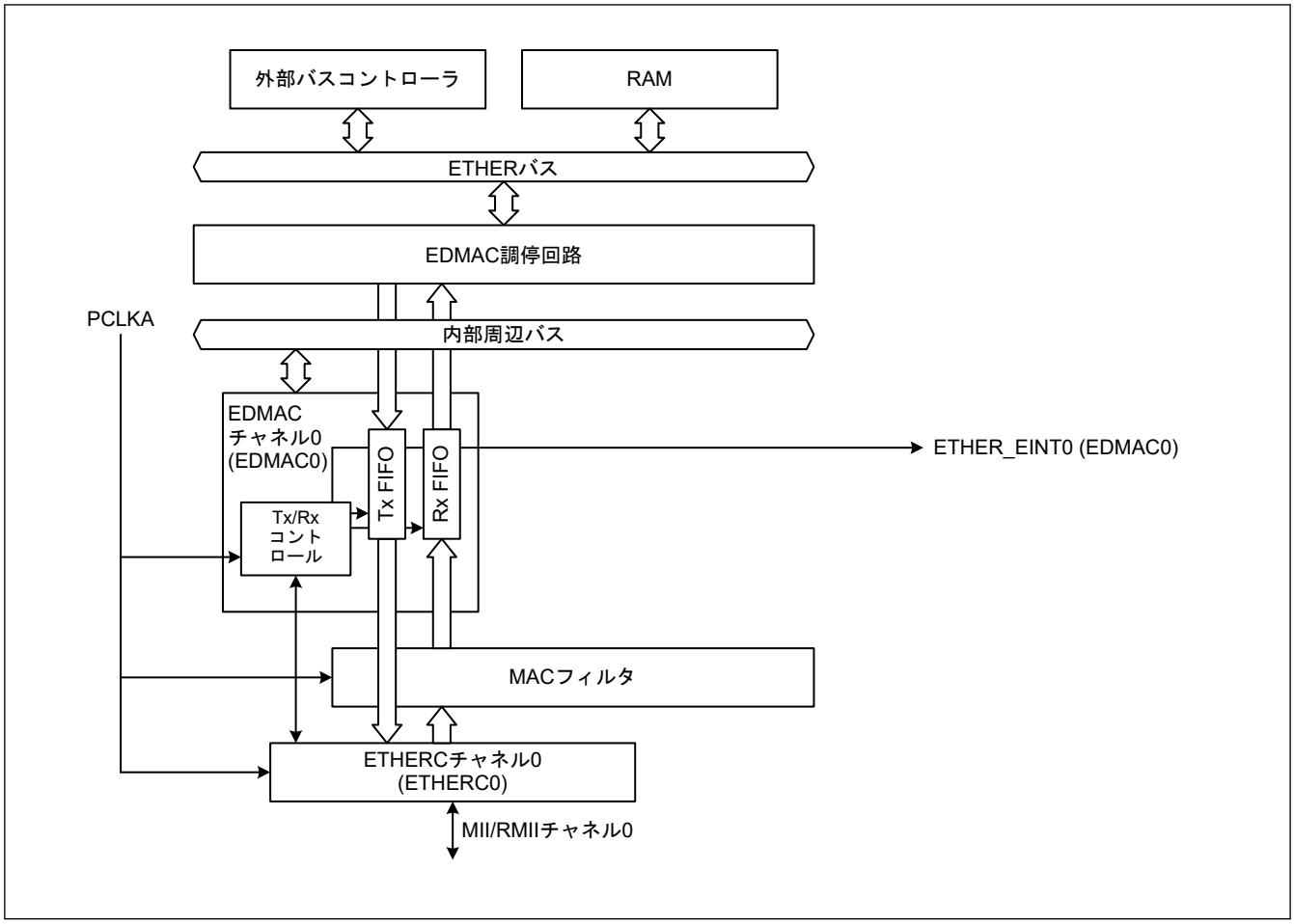


図 28.8　受信エラー発生後の EDMAC 動作

28.3.5　バス転送エラー

バス転送エラーは、スレーブ TrustZone フィルタエラー、マスタ MPU エラー、スレーブバスエラーまたは不正アドレスアクセスエラーと同時に発生します。バス転送エラーが検出されると、EDMAC は処理を中断し、EESR.ADE ビットは 1 に設定されます。

バス転送エラーは、割り込み要求信号 (ETHER_EINT0) として出力可能です。スレーブ TrustZone エラーおよびマスタ MPU エラーは、NMI として出力可能です。ETHER_EINT0 および NMI が生成されると、必ず NMI が最初に応答します。図 28.9 および図 28.10 は、NMI ハンドラおよび ETHER_EINT0 ハンドラにおけるバスエラーの処理を示しています。

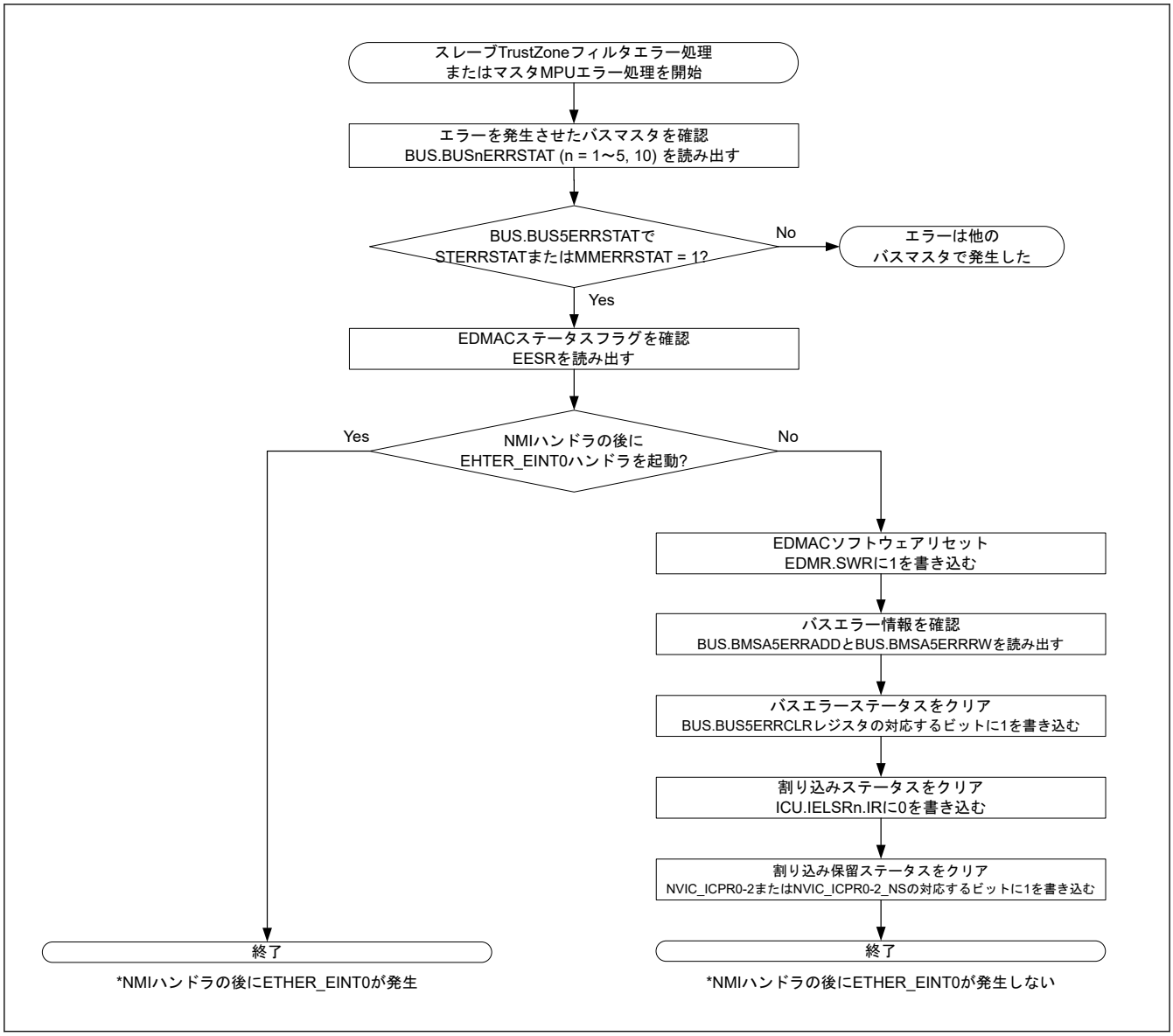


図 28.9　NMI ハンドラにおけるバス転送エラーの処理

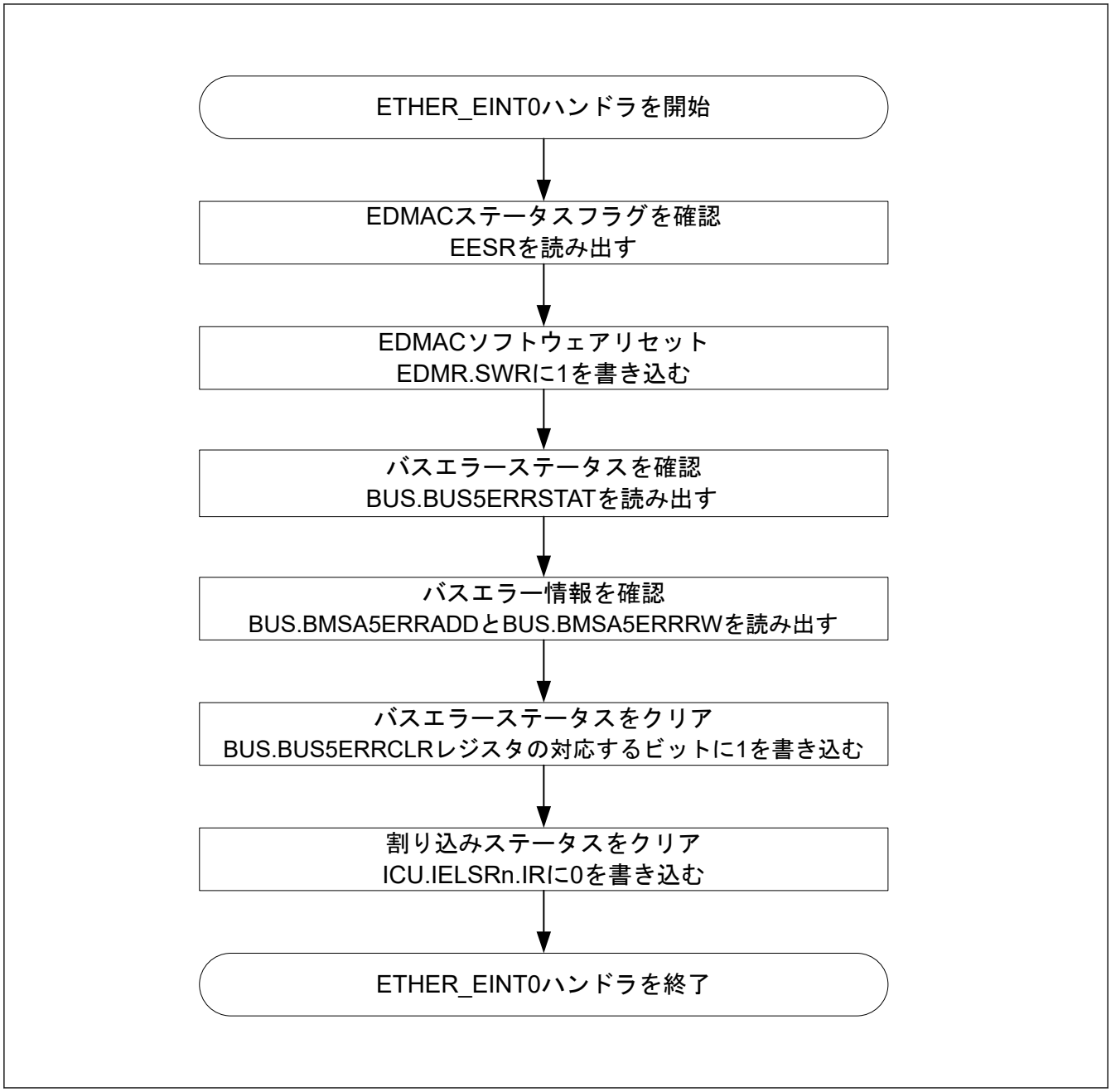


図 28.10 EHTER_EINT0 ハンドラにおけるバス転送エラーの処理

28.4 割り込み

EESR レジスタ内のいずれかのステータスフラグが 1 に設定され、EESIPR レジスタ内の関連する割り込み要求許可ビットが 1 の場合、EDMAC0 は ETHER_EINT0 割り込み要求を発行します。

28.5 使用上の注意事項

28.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B（MSTPCRB）の以下のビットは、EDMAC モジュールの動作を許可または禁止します。

- MSTPCRB.MSTPB15 ビットは、ETHERC0 および EDMAC0 の動作を許可または禁止します

リセット後のモジュールは、初期状態では停止しています。モジュールストップ状態を解除すると、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

28.5.2 動作中の EDMAC 停止

EDMAC 動作中に、ソフトウェアスタンバイモード、またはモジュールストップ機能により動作を停止する場合、EDTRR.TR ビットが 0、EDRRR.RR ビットが 0 であることを確認してください。EDTRR.TR ビットが 1、または EDRRR.RR ビットが 1 のときに EDMAC を停止した場合、送信中または受信中のフレームのデータは不完全である可能性があり、ソフトウェアスタンバイモードまたはモジュールストップ状態から復帰後の EDMAC の動作は保証されません。

29. USB2.0 フルスピードモジュール (USBFS)

29.1 概要

USB 2.0 フルスピードモジュール (USBFS) は、USB (Universal Serial Bus) 2.0 規格に準拠したホストコントローラまたはデバイスコントローラとして動作します。ホストコントローラは USB 2.0 フルスピード転送とロースピード転送に対応し、デバイスコントローラは USB 2.0 フルスピード転送に対応しています。また、USBFS は USB トランシーバを内蔵し、USB 2.0 規格で定義されている全転送タイプに対応しています。

USBFS はデータ転送用に FIFO バッファを内蔵し、最大 10 本のパイプを使用できます。パイプ 1～9 に対しては、周辺デバイスやユーザーシステムの通信要件に合わせた任意のエンドポイント番号の割り付けが可能です。

表 29.1 に USBFS の仕様を、図 29.1 にそのブロック図を、表 29.2 に入出力端子を示します。

表 29.1 USBFS の仕様

パラメータ	仕様
機能	• ホストコントローラ、デバイスコントローラ、OTG (On-The-Go) 機能に対応した USB デバイスコントローラ (UDC) および USB2.0 トランシーバ • ホストコントローラとデバイスコントローラはソフトウェアで切り替え可能 • セルフパワーモードとバスパワーモードを使用可能
	ホストコントローラの特長 : • フルスピード転送 (12 Mbps) およびロースピード転送 (1.5 Mbps) • SOF およびパケット送信のスケジュールを自動化 • アイソクロナス転送およびインタラプト転送の転送インターバル設定機能 • 1 段のハブを経由して、複数の周辺デバイスと接続した通信が可能
	デバイスコントローラの特長 • フルスピード転送 (12 Mbps) (注1) • コントロール転送ステージ管理機能 • デバイスステート管理機能 • SET_ADDRESS リクエストに対する自動応答機能 • SOF 補完
対応する転送タイプ	• コントロール転送 • バルク転送 • インタラプト転送 • アイソクロナス転送
パイプコンフィグレーション	• USB 通信用の FIFO バッファ • 最大 10 本のパイプを選択可能（デフォルトコントロールパイプ (DCP) を含む） • パイプ 1～9 は任意のエンドポイント番号を割り付け可能
	パイプごとに指定可能な転送条件 • パイプ 0: 64 バイトシングルバッファによるコントロール転送 • パイプ 1 と 2: 64 バイトダブルバッファのバルク転送または 256 バイトダブルバッファのアイソクロナス転送から選択可能 • パイプ 3～5: 64 バイトダブルバッファによるバルク転送 • パイプ 6～9: 64 バイトシングルバッファによるインタラプト転送
その他の機能	• トランザクションカウントによる受信終了機能 • BRDY 割り込みイベント通知タイミング変更機能 (BFRE) • DnFIFO ポート (n = 0, 1) で指定したパイプのデータを読み出した後に自動で FIFO バッファをクリアする機能 (DCLRM) • 転送終了による応答 PID の NAK 設定機能 (SHTNAK) • D+/D-ラインのプルアップ抵抗、プルダウン抵抗をチップに内蔵
モジュールストップ機能	モジュールストップ状態に設定して消費電力の削減が可能
TrustZone フィルタ	セキュリティ属性とプリビレッジ属性を設定可能

注 1. ロースピード転送 (1.5 Mbps) は未対応です。

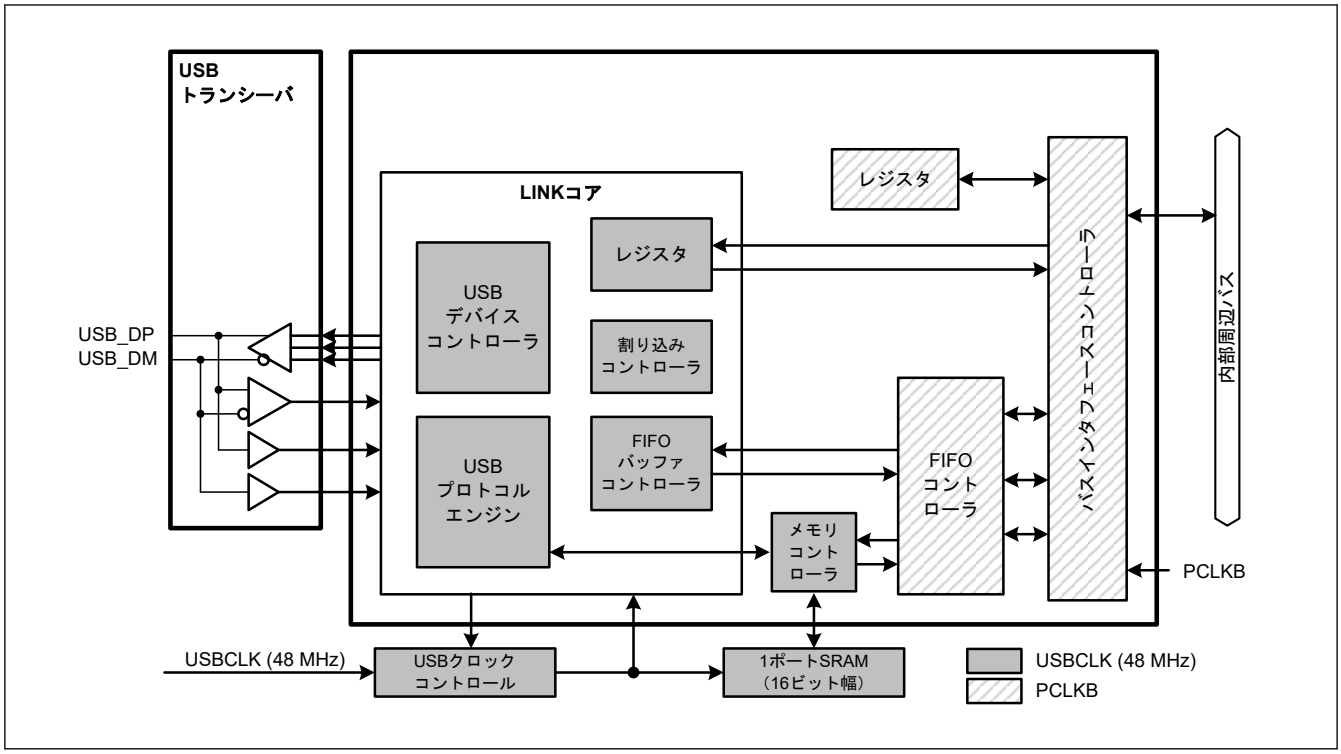


図 29.1　USBFS のブロック図

表 29.2　USBFS の端子構成

機能	端子名	入出力	機能
USBFS	USB_DP	入出力	USB 内蔵トランシーバ D+入出力端子。この端子は USB バスの D+端子に接続してください。
	USB_DM	入出力	USB 内蔵トランシーバ D-入出力端子。この端子は USB バスの D-端子に接続してください。
	USB_VBUS	入力	USB ケーブル接続モニタ端子。USB バスの VBUS に接続してください。ファンクションコントローラ機能選択時の VBUS の接続／切断を検出することができます。
	USB_EXICEN	出力	外部電源 (OTG) チップ用のローパワー制御信号
	USB_VBUSEN	出力	外部電源チップへの VBUS (5 V) 供給許可信号
	USB_OVRCURA, USB_OVRCURB USB_OVRCURA-DS, USB_OVRCURB-DS	入力	これらの端子に外部過電流検出信号を接続してください。OTG 電源チップとの接続時には VBUS コンパレータ信号を接続してください。 USB_OVRCURA 端子または USB_OVRCURB 端子は、ソフトウェアスタンバイモードまたは通常モードで使用可能です。USB_OVRCURA-DS 端子と USB_OVRCURB-DS 端子は、ディープソフトウェアスタンバイモード 1 の解除と同様に、ソフトウェアスタンバイモードまたは通常モードで割り込み発生可能な専用端子です。
	USB_ID	入力	OTG モードでの動作中、MicroAB コネクタ ID 入力信号は、この端子に接続されなければなりません。
	VCC_USB	入力	電源端子
	VSS_USB	入力	グランド端子

29.2 レジスタの説明

29.2.1 SYSCFG : システムコンフィグレーションコントロールレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x000

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SCKE	—	—	—	DCFM	DRPD	DPRPU	—	—	—	USBE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	USBE	USBFS 動作許可 0: 禁止 1: 許可	R/W
2:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	DPRPU	D+ライン抵抗制御 0: ラインのプルアップは禁止 1: ラインのプルアップは許可	R/W
5	DRPD	D+/D-ライン抵抗制御 0: ラインのプルダウンは禁止 1: ラインのプルダウンは許可	R/W
6	DCFM	コントローラ機能選択 0: デバイスコントローラを選択 1: ホストコントローラを選択	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	SCKE	USB クロック許可 0: USBFS へのクロック供給を停止 1: USBFS へのクロック供給を許可	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注. SCKE ビットに 1 を書き込んだ後、このビットを読み出して 1 になっていることを確認してください。

USBE ビット（USBFS 動作許可）

USBE ビットは USBFS の動作を許可または禁止します。

USBE ビットを 1 から 0 に変更したときに初期化されるビットを表 29.3 に示します。本ビットは、SCKE ビットが 1 のときにのみ変更してください。ホストコントローラモード時は、DRPD ビットを 1 にした後、SYSSTS0.LNST[1:0]フラグのチャタリング除去を行い、USB バスステートが安定したことを確認した後で、本ビットを 1 にしてください。

表 29.3 SYSCFG.USBE ビットへの 0 の書き込みにより初期化されるレジスタ

選択した機能	レジスタ	ビット	備考
デバイスコントローラ	SYSSTS0	LNST[1:0]	ホストコントローラモード時、値を保持
	DVSTCTR0	RHST[2:0]	—
	INTSTS0	DVSQ[2:0]	ホストコントローラモード時、値を保持
	USBADDR	USBADDR[6:0]	ホストコントローラモード時、値を保持
	USBREQ	BREQUEST[7:0]、BMREQUESTTYPE[7:0]	ホストコントローラモード時、値を保持
	USBVAL	WVALUE[15:0]	ホストコントローラモード時、値を保持
	USBINDX	WINDEX[15:0]	ホストコントローラモード時、値を保持
	USBLENG	WLENTUH[15:0]	ホストコントローラモード時、値を保持
ホストコントローラ	DVSTCTR0	RHST[2:0]	—
	FRMNUM	FRNM[10:0]	デバイスコントローラモード時、値を保持

DPRPU ビット（D+ライン抵抗制御）

DPRPU ビットはデバイスコントローラモードで、D+ラインのプルアップを許可または禁止します。

デバイスコントローラモードで、DPRPU ビットを 1 にすると、USBFS は D+ラインをプルアップし、USB ホストに対してアタッチされたことを通知します。DPRPU ビットを 1 から 0 に変更するとプルアップが解除され、USB ホストに対してデタッチされたことを通知します。

本ビットは、デバイスコントローラモードでは 1、ホストコントローラモードでは 0 にしてください。

DRPD ビット（D+/D-ライン抵抗制御）

DRPD ビットはホストコントローラモードで、D+/D-ラインのプルダウンを許可または禁止します。

本ビットは、ホストコントローラモードでは 1、デバイスコントローラモードでは 0 にしてください。

DCFM ビット（コントローラ機能選択）

DCFM ビットは USBFS の機能をホスト機能にするかデバイス機能にするかを選択します。

本ビットは、 DPRPU ビットおよび DRPD ビットの両方が 0 のときにのみ変更してください。

SCKE ビット（USB クロック許可）

SCKE ビットは USBFS への 48MHz クロック供給の停止／許可を指定します。

本ビットが 0 の場合、SYSCFG のみ読み出し／書き込みが可能です。他の USB 関連レジスタの読み出し／書き込みはしないでください。

29.2.2 SYSSTS0 : システムコンフィグレーションステータスレジスタ 0

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x004

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	OVCMON[1:0]		—	—	—	—	—	—	—	HTACT	SOFEA	—	—	IDMON	LNST[1:0]	
Value after reset:	x	x	0	0	0	0	0	0	0	0	0	0	0	x	0	0

ビット	シンボル	機能	R/W
1:0	LNST[1:0]	USB データラインステータスモニタ USB データラインのステータスを示します。表 29.4 を参照してください。	R
2	IDMON	外部 ID0 入力端子モニタ 0: USB_ID 端子が Low 1: USB_ID 端子が High	R

ビット	シンボル	機能	R/W
4:3	—	読むと 0 が読めます。	R
5	SOFEA	ホストコントローラモード選択時のアクティブモニタ 0: SOF 出力停止 1: SOF 出力動作	R
6	HTACT	USB ホストシーケンサステータスモニタ 0: ホストシーケンサが完全に停止している 1: ホストシーケンサが完全に停止していない	R
13:7	—	読むと 0 が読めます。	R
15:14	OVCMON[1:0]	外部 USB_OVRCURA、USB_OVRCURA-DS、USB_OVRCURB、USB_OVRCURB-DS 入力端子モニタ OVCMON[1]は、USB_OVRCURA 端子または USB_OVRCURA-DS 端子のステータスを示します。 OVCMON[0]は、USB_OVRCURB 端子または USB_OVRCURB-DS 端子のステータスを示します。	R

注. S-TYPE-3, P-TYPE-3
注. OVCMON[1:0]ビットおよび IDMON ビットの値は、USB_OVRCURA 端子、USB_OVRCURA-DS 端子、USB_OVRCURB 端子、USB_OVRCURB-DS 端子、および USB_ID 端子のステータスに依存します。

LNST[1:0]ビット（USB データラインステータスモニタ）

LNST[1:0]ビットは USB データライン（D+および D-）のステータスを示します。詳細は、表 29.4 を参照してください。

デバイスコントローラモード時は、接続処理 (SYSCFG.DPRPU = 1) 以降に LNST[1:0]ビットを読み出してください。ホストコントローラモード時は、ラインのプルダウンの許可 (SYSCFG.DRPD = 1) 以降に本ビットを読み出してください。

表 29.4 USB データバスライン（D+および D-）のステータス

LNST[1:0]ビット	フルスピード動作時	ロースピード動作時
00b	SE0	SE0
01b	J-State	K-State
10b	K-State	J-State
11b	SE1	SE1

SOFEA ビット（ホストコントローラモード選択時のアクティブモニタ）

SOFEA ビットはホストコントローラモードで、DVSTCTR0.UACT ビットが 0 のために USBFS がサスペンド状態になった場合、最後の SOF 出力が完了したかどうかを確認するために使用します。

ホストコントローラモードで、SYSCFG.USBE ビットを 0 にして USBFS を停止する場合、または SYSCFG.SCKE ビットを 0 にして通信時のクロック信号供給を停止する場合は、事前に HTACT ビットと SOFEA ビットがどちらも 0 であることを確認してください。

HTACT ビット（USB ホストシーケンサステータスモニタ）

USBFS のホストシーケンサが完全に停止しているとき、HTACT ビットは 0 になります。

ホストコントローラモードで、DVSTCTR0.UACT ビットを 0 にして USBFS をサスペンド状態にする場合、または SYSCFG.SCKE ビットを 0 にして通信時のクロック信号供給を停止する場合は、事前に HTACT ビットが 0 であることを確認してください。

OVCMON[1:0]ビット（外部 USB_OVRCURA、USB_OVRCURA-DS、USB_OVRCURB、USB_OVRCURB-DS 入力端子モニタ）

OVCMON[1:0]ビットは外部電源 IC からのオーバーカレント信号のステータスを示します。

29.2.3 DVSTCTR0 : デバイスステートコントロールレジスタ 0

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x008

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	HNPBTOA	EXICEN	VBUSEN	WKUP	RWUPE	USBRST	RESUME	UACT	—	RHST[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	RHST[2:0]	USB バスリセットステータス 000: ホストコントローラモード時：通信速度は不確定（パワードステート時または非接続時） デバイスコントローラモード時：通信速度は不確定 001: ホストコントローラモード時：ロースピード接続時 デバイスコントローラモード時：USB バスリセット処理中 010: ホストコントローラモード時：フルスピード接続時 デバイスコントローラモード時：USB バスリセット処理中またはフルスピード接続時 011: 設定禁止 その他: ホストコントローラモード時：USB バスリセット処理中 デバイスコントローラモード時：設定禁止	R
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	UACT	USB バス許可 0: ダウンストリームポート禁止（SOF 送出禁止） 1: ダウンストリームポート許可（SOF 送出許可）	R/W
5	RESUME	レジューム出力 0: レジューム信号を出力しない 1: レジューム信号を出力する	R/W
6	USBRST	USB バスリセット出力 0: USB バスリセット信号を出力しない 1: USB バスリセット信号を出力する	R/W
7	RWUPE	ウェイクアップ検出許可 0: ダウンストリームポートリモートウェイクアップ禁止 1: ダウンストリームポートリモートウェイクアップ許可	R/W
8	WKUP	ウェイクアップ出力 0: リモートウェイクアップ信号を出力しない 1: リモートウェイクアップ信号を出力する	R/W
9	VBUSEN	USB_VBUSEN 出力端子制御 0: 外部 USB_VBUSEN 端子は Low を出力 1: 外部 USB_VBUSEN 端子は High を出力	R/W
10	EXICEN	USB_EXICEN 出力端子制御 0: 外部 USB_EXICEN 端子は Low を出力 1: 外部 USB_EXICEN 端子は High を出力	R/W
11	HNPBTOA	ホストネゴシエーションプロトコル (HNP) 制御 OTG モードで、デバイス B からデバイス A に切り替えるときに使用します。HNPBTOA ビットが 1 であれば、内部機能制御は SYSCFG.DPRPU = 0 または SYSCFG.DCFM = 1 にしても、HNP 処理が終了するまでサスペンド状態を保ちます。	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

デバイスコントローラモード時、USBFS コントローラはロースピード接続に対応しません。この値を読み出したときは、上位のアプリケーションソフトウェアで異常接続処理を実行する必要があります。

RHST[2:0]ビット（USB バスリセットステータス）

RHST[2:0]ビットは USB バスリセットのステータスを示します。

ホストコントローラモードでは、USBRST ビットを 1 にすると RHST[2:0]ビットが 100b になります。USBRST ビットを 0 にして USBFS が SE0 ステートを終了すると、RHST[2:0]ビットが新しい値に更新されます。

デバイスコントローラモードでは、USBFS が USB バスリセットを検出すると、DPRPU ビットが 1 の場合に RHST[2:0]ビットが 010b を表示し、DVST 割り込みが発生します。

UACT ビット（USB バス許可）

ホストコントローラモードで本ビットを 1 にすると、UACT ビットは USB バスへの SOF パケットの送信（データと受信を含む）を制御することで、USB バス動作を許可します。UACT ビットを 1 にすると、USBFS は 1 フレーム周期内に SOF パケット出力を開始します。UACT ビットを 0 にすると、USBFS は SOF パケット出力後にアイドル状態に遷移します。

以下のいずれかの場合に、USBFS は UACT ビットを 0 にします。

- 通信中（UACT = 1 のとき）に DTCH 割り込みを検出したとき
- 通信中（UACT = 1 のとき）に EOFERR 割り込みを検出したとき

UACT ビットへの 1 の書き込みは、必ず、USB バスリセット処理終了時（USBRST ビットへの 0 書き込み）、またはサスペンド状態からのレジューム処理終了時（RESUME ビットへの 0 書き込み）のいずれかのタイミングで行ってください。

デバイスコントローラモード時は、常に本ビットを 0 にしてください。

RESUME ビット（レジューム出力）

RESUME ビットはホストコントローラモードで、レジューム信号の出力制御を行います。

本ビットを 1 にすると、USBFS は USB ポートを K-State にし、レジューム信号を出力します。RWUPE ビットが 1 で USB がサスペンド状態のとき、USBFS がリモートウェイクアップ信号を検出すると、本ビットを 1 にします。

RESUME ビットが 1 のとき、ソフトウェアが RESUME ビットをクリアして 0 にするまで、USBFS は K-State 出力を継続します。RESUME ビットを 1 にする場合、USB2.0 規格で定められた期間、1（レジューム期間）にする必要があります。インタフェースがサスペンド状態のときにのみ、RESUME ビットを 1 にしてください。レジューム処理の終了（RESUME ビットへの 0 書き込み）と同時に UACT ビットに 1 を書き込んでください。

デバイスコントローラモード時は、常に本ビットを 0 にしてください。

USBRST ビット（USB バスリセット出力）

USBRST ビットはホストコントローラモード時に、USB バス信号の出力制御を行います。本ビットを 1 にすると、USBFS は USB ポートを SE0 ステートにして USB バスをリセットします。USBFS は USBRST ビットが 1 の状態の間は、本ビットがソフトウェアにより 0 にクリアされるまで、SE0 出力を継続します。USBRST ビットを 1 にする場合、USB2.0 規格で定められた期間、1 (USB バスリセット期間) にする必要があります。通信中 (UACT = 1) またはレジューム処理中 (RESUME = 1) に、USBRST ビットに 1 を書き込むと、UACT ビットと RESUME ビットの両方が 0 になるまで、USBFS は USB バスリセット処理を開始できません。USB バスリセット処理の終了（USBRST ビットへの 0 書き込み）と同時に UACT ビットに 1 を書き込んでください。

デバイスコントローラモード時は、常に本ビットを 0 にしてください。

RWUPE ビット（ウェイクアップ検出許可）

RWUPE ビットはホストコントローラモードで、下流の周辺デバイスからのリモートウェイクアップ信号（レジューム信号）の受け付けを許可または禁止します。本ビットを 1 にすると、USBFS は下流の周辺デバイスからのリモートウェイクアップ信号（2.5 µs 間の K-State）を検出し、レジューム処理を実行して K-State にします。RWUPE ビットを 0 にした場合、USBFS は、USB ポートに接続された周辺デバイスからのリモートウェイクアップ信号 (K-State) を無視します。

RWUPE ビットが 1 のときは、サスペンド状態であっても内部クロックを停止しないでください（SYSCFG.SCKE ビットは 1 にしてください）。

デバイスコントローラモード時は、常に本ビットを 0 にしてください。

WKUP ビット（ウェイクアップ出力）

WKUP ビットはデバイスコントローラモードで、USB バスへのリモートウェイクアップ信号（レジューム信号）の出力を許可または禁止します。

USBFS は、リモートウェイクアップ信号の出力タイミングを制御します。WKUP ビットを 1 にすると、USBFS は 10 ms 間 K-State を出力した後、WKUP ビットをクリアして 0 にします。USB2.0 規格では、リモートウェイクアップ信号の送信までに、5 ms 以上 USB バスアイドル状態を保持する必要があります。そのため、USBFS は、サスペンド状態を検出した直後に WKUP ビットに 1 を書き込んだ場合、2 ms 後に K-State を出力します。

WKUP ビットへの 1 の書き込みは、デバイスがサスペンド状態 (INTSTS0.DVSQ[2:0] = 1xxb) であり、かつ USB ホストがリモートウェイクアップ信号を許可している場合のみ行ってください。本ビットが 1 のときは、サスペンド状態であっても､内部クロックを停止しないでください(SYSCFG.SCKE ビットは 1 にする必要があります)。

ホストコントローラモード時は、常に本ビットを 0 にしてください。

HNPBTOA ビット（ホストネゴシエーションプロトコル (HNP) 制御）

HNPBTOA ビットは OTG モードにおいて、デバイス B からデバイス A に切り替えるときに使用します。

HNPBTOA ビットが 1 の場合、SYSCFG.DPRPU ビットを 0 または SYSCFG.DCFM ビットを 1 にしても、内部機能制御は HNP 処理が終了するまでサスペンド状態を維持します。D+の立ち下がりエッジを検出しても、レジューム割り込み (RESM) は発生しません。

本ビットを 1 にした後、発信側のプルアップによりホストアタッチイベントを検出するか、または HNP 処理のタイムアウトによりソフトウェアが HNPBTOA ビットを 0 にすると、HNP 処理は終了します。

29.2.4 CFIFO/CFIFOL : CFIFO ポートレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x014

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FIFOPORT[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FIFOPORT[15:0](注1)	FIFO ポート これらのビットにアクセスして、FIFO バッファから受信データを読み出すか、または FIFO バッファへ送信データを書き込みます。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. 有効ビットは、関連するポート選択レジスタにおける MBW の設定値（CFIFOSEL.MBW）および BIGEND の設定値（CFIFOSEL.BIGEND）により異なります。表 29.5 および表 29.6 を参照してください。

3 つの FIFO ポートが有効です。

- CFIFO
- D0FIFO
- D1FIFO

各 FIFO ポートは下記のレジスタで構成されます。

- FIFO バッファからのデータリードと、FIFO バッファへのデータライトを処理するポートレジスタ（CFIFO、D0FIFO、または D1FIFO）
- FIFO ポートに割り当てられたパイプを選択するためのポート選択レジスタ（CFIFOSEL、D0FIFOSEL、または D1FIFOSEL）
- ポートコントロールレジスタ（CFIFOCTR、D0FIFOCTR、または D1FIFOCTR）

各 FIFO ポートには、下記の制限事項があります。

- DCP コントロール転送用 FIFO バッファへのアクセスは CFIFO ポートを通して行います。
- DMA/DTC 転送用 FIFO バッファへのアクセスは D0FIFO または D1FIFO ポートを通して行います。
- CPU による D0FIFO および D1FIFO ポートアクセスも可能です。

- DMA/DTC 転送機能などの FIFO ポート固有の機能を使用している場合、ポート選択レジスタの CURPIPE[3:0]ビットで選択したパイプ番号は変更できません。
- FIFO ポートを設定するレジスタ群が他の FIFO ポートに影響を与えることはありません。
- 同一パイプを複数の FIFO ポートに割り当てないでください。
- FIFO バッファの状態には、アクセス権が CPU にある場合と Serial Interface Engine (SIE) にある場合の 2 種類があります。SIE にアクセス権がある場合は、CPU から FIFO バッファにアクセスできません。

FIFOPORT[15:0]ビット（FIFO ポート）

FIFOPORT[15:0]ビットへのアクセス時に、USBFS は FIFO バッファから受信データを読み出すか、または FIFO バッファへ送信データを書き込みます。FIFO ポートレジスタへのアクセスは、関連するポートコントロールレジスタ（CFIFOCTR、D0FIFOCTR、または D1FIFOCTR）の FRDY ビットが 1 のときに限り可能です。

FIFO ポートレジスタの有効ビットは、ポート選択レジスタ（CFIFOSEL、D0FIFOSEL、または D1FIFOSEL）の MBW ビットおよび BIGEND ビットの設定値により異なります。表 29.5 と表 29.6 を参照してください。

表 29.5　16 ビットアクセス時のエンディアン動作

CFIFOSEL.BIGEND ビット	ビット[15:8]	ビット[7:0]
0	N + 1 データ	N + 0 データ
1	N + 0 データ	N + 1 データ

表 29.6　8 ビットアクセス時のエンディアン動作

CFIFOSEL.BIGEND ビット	ビット[15:8]	ビット[7:0]
0	アクセス禁止(注1)	N + 0 データ
1	アクセス禁止(注1)	N + 0 データ

注 1.　アクセス禁止領域に対する書き込みや読み出しはしないでください。

29.2.5　DnFIFO/DnFIFOL : D0FIFO ポートレジスタ (n = 0, 1)

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x018 + 0x4 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FIFOPORT[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FIFOPORT[15:0](注1)	FIFO ポート これらのビットにアクセスして、FIFO バッファから受信データを読み出すか、または FIFO バッファへ送信データを書き込みます。	R/W

注.　S-TYPE-3, P-TYPE-3
注 1.　有効ビットは、関連するポート選択レジスタにおける MBW の設定値（CFIFOSEL.MBW、D0FIFOSEL.MBW、および D1FIFOSEL.MBW）および BIGEND の設定値（CFIFOSEL.BIGEND、D0FIFOSEL.BIGEND、および D1FIFOSEL.BIGEND）により異なります。表 29.7 および表 29.8 を参照してください。

3 つの FIFO ポートが有効です。

- CFIFO
- D0FIFO
- D1FIFO

各 FIFO ポートは下記のレジスタで構成されます。

- FIFO バッファからのデータリードと、FIFO バッファへのデータライトを処理するポートレジスタ（CFIFO、D0FIFO、または D1FIFO）

- FIFO ポートに割り当てられたパイプを選択するためのポート選択レジスタ（CFIFOSEL、D0FIFOSEL、または D1FIFOSEL）
- ポートコントロールレジスタ（CFIFOCTR、D0FIFOCTR、または D1FIFOCTR）

各 FIFO ポートには、下記の制限事項があります。

- DCP コントロール転送用 FIFO バッファへのアクセスは CFIFO ポートを通して行います
- DMA/DTC 転送用 FIFO バッファへのアクセスは D0FIFO または D1FIFO ポートを通して行う。
- CPU による D0FIFO あるいは D1FIFO ポートアクセスも可能。
- DMA/DTC 転送機能などの FIFO ポート固有の機能を使用している場合、ポート選択レジスタの CURPIPE[3:0]ビットで選択したパイプ番号は変更できない。
- FIFO ポートを設定するレジスタ群が他の FIFO ポートに影響を与えることはない。
- 同一パイプを複数の FIFO ポートに割り当てない。
- FIFO バッファの状態には、アクセス権が CPU にある場合と Serial Interface Engine (SIE) にある場合の 2 種類がある。SIE にアクセス権がある場合は、CPU から FIFO バッファにアクセスできない。

FIFOPORT[15:0]ビット（FIFO ポート）

FIFOPORT ビットへのアクセス時に、USBFS は FIFO バッファから受信データを読み出すか、または FIFO バッファへ送信データを書き込みます。FIFO ポートレジスタへのアクセスは、関連するポートコントロールレジスタ（CFIFOCTR、D0FIFOCTR、または D1FIFOCTR）の FRDY ビットが 1 のときに限り可能です。

FIFO ポートレジスタの有効ビットは、ポート選択レジスタ（CFIFOSEL、D0FIFOSEL、または D1FIFOSEL）の MBW ビットおよび BIGEND ビットの設定値により異なります。表 29.7 および表 29.8 を参照してください。

表 29.7　16 ビットアクセス時のエンディアン動作

CFIFOSEL.BIGEND ビット D0FIFOSEL.BIGEND ビット D1FIFOSEL.BIGEND ビット	ビット[15:8]	ビット[7:0]
0	N+1 データ	N+0 データ
1	N+0 データ	N+1 データ

表 29.8　8 ビットアクセス時のエンディアン動作

CFIFOSEL.BIGEND ビット D0FIFOSEL.BIGEND ビット D1FIFOSEL.BIGEND ビット	ビット[15:8]	ビット[7:0]
0	アクセス禁止(注1)	N+0 データ
1	アクセス禁止(注1)	N+0 データ

注 1.　アクセス禁止領域に対する書き込みや読み出しはしないでください。

29.2.6　CFIFOSEL : CFIFO ポート選択レジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x020

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RCNT	REW	—	—	—	MBW	—	BIGEND	—	—	ISEL	—	CURPIPE[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CURPIPE[3:0]	CFIFO ポートアクセスパイプ指定 0x0: デフォルトコントロールパイプ 0x1: パイプ 1 0x2: パイプ 2 0x3: パイプ 3 0x4: パイプ 4 0x5: パイプ 5 0x6: パイプ 6 0x7: パイプ 7 0x8: パイプ 8 0x9: パイプ 9 その他: 設定禁止	R/W
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	ISEL	DCP 選択時 CFIFO ポートアクセス方向 0: FIFO バッファ読み出し選択 1: FIFO バッファ書き込み選択	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	BIGEND	CFIFO ポートエンディアン制御 0: リトルエンディアン 1: ビッグエンディアン	R/W
9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	MBW	CFIFO ポートアクセスビット幅 0: 8 ビット幅 1: 16 ビット幅	R/W
13:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	REW	バッファポインタリワインド 0: バッファポインタのリワインドをしない 1: バッファポインタのリワインドをする	W(注1)
15	RCNT	リードカウントモード 0: CFIFO からすべての受信データを読み出したときに、DTLN[8:0]ビット (CFIFOCTR.DTLN[8:0], D0FIFOCTR.DTLN[8:0], D1FIFOCTR.DTLN[8:0]) をクリア。ダブルバッファモードの場合、一面のみ読み出し終了時に DTLN[8:0]の値をクリア。 1: CFIFO から受信データを読み出すごとに DTLN[8:0]ビットをダウンカウント。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. 読むと 0 が読み出されます。

CFIFOSEL、D0FIFOSEL、および D1FIFOSEL レジスタの CURPIPE[3:0]ビットに同じパイプ番号を設定しないでください。D0FIFOSEL レジスタおよび D1FIFOSEL レジスタの CURPIPE[3:0]ビットの設定が 0000b の場合には、パイプ指定なしとなります。

なお、DMA または DTC 転送が許可されている状態でパイプ番号の変更は行わないでください。

CURPIPE[3:0]ビット（CFIFO ポートアクセスパイプ指定）

CURPIPE[3:0]ビットは CFIFO ポート経由のデータの読み出し／書き込みに使用するパイプ番号を指定します。これらのビットに書き込む際は、書き込み後に読み出して、書き込み値と読み出し値が一致していることを確認してから、次の処理に進んでください。CFIFOSEL、D0FIFOSEL、および D1FIFOSEL レジスタの CURPIPE[3:0]ビットに同じパイプ番号を設定しないでください。

FIFO バッファへのアクセス中は、ソフトウェアが CURPIPE[3:0]ビットの設定値を変更しようとしても、アクセスが完了するまで現在のアクセス設定が維持されます。

ISEL ビット（DCP 選択時 CFIFO ポートアクセス方向）

選択パイプが DCP のときに ISEL ビットへの新しい値の書き込みを行ったときは、その後に ISEL ビットの読み出しを行い、書き込み値と読み出し値が一致することを確認してから次の処理に進んでください。ISEL ビットと CURPIPE[3:0]ビットの設定は同時に行ってください。

MBW ビット（CFIFO ポートアクセスビット幅）

MBW ビットは CFIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、CURPIPE[3:0]ビットと MBW ビットを同時に設定してください。これらのビットへの書き込みで FIFO バッファからのデータ読み出しが開始したら、すべてのデータが読み出されるまで MBW ビットの変更を行わないでください。

選択パイプが送信方向の場合、FIFO バッファへのデータ書き込み実行中に 8 ビットから 16 ビットへのビット幅の変更はできません。

16 ビット幅が選択されていても、バイトアクセス制御により、奇数バイトの書き込みも可能です。

REW ビット（バッファポインタリワインド）

REW ビットはバッファポインタのリワインドを行うか否かを指定します。

選択パイプが受信方向の場合、FIFO バッファの読み出し中に本ビットを 1 にすると、FIFO バッファの最初のデータから再読み出しが可能になります。ダブルバッファの場合は、この設定により現在読み出し中の FIFO バッファの面の最初のデータから再読み出しすることが可能になります。

REW ビットを 1 にするとき、CURPIPE[3:0]ビットの設定変更を同時に行わないでください。REW ビットを 1 にする前に、必ず FRDY ビットが 1 であることを確認してください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

29.2.7 DnFIFOSEL : D0FIFO ポート選択レジスタ (n = 0, 1)

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x028 + 0x4 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RCNT	REW	DCLRM	DREQE	—	MBW	—	BIGEND	—	—	—	—	CURPIPE[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CURPIPE[3:0]	FIFO ポートアクセスパイプ指定 0x0: デフォルトコントロールパイプ 0x1: パイプ 1 0x2: パイプ 2 0x3: パイプ 3 0x4: パイプ 4 0x5: パイプ 5 0x6: パイプ 6 0x7: パイプ 7 0x8: パイプ 8 0x9: パイプ 9 その他: 設定禁止	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	BIGEND	FIFO ポートエンディアン制御 0: リトルエンディアン 1: ビッグエンディアン	R/W
9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	MBW	FIFO ポートアクセスビット幅 0: 8 ビット幅 1: 16 ビット幅	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	DREQE	DMA/DTC 転送要求許可 0: DMA/DTC 転送要求禁止 1: DMA/DTC 転送要求許可	R/W
13	DCLRM	指定パイプデータ読み出し後自動バッファメモリクリアモードアクセス 0: 自動バッファクリアモード禁止 1: 自動バッファクリアモード許可	R/W

ビット	シンボル	機能	R/W
14	REW	バッファポインタリワインド 0: バッファポインタのリワインドをしない 1: バッファポインタのリワインドをする	W
15	RCNT	リードカウントモード 0: DnFIFO の全受信データ読み出し終了時（ダブルバッファモードの場合は一面のみ読み出し終了後）に DTLN[8:0]ビット（CFIFOCTR.DTLN[8:0]、D0FIFOCTR.DTLN[8:0]、D1FIFOCTR.DTLN[8:0]）をクリア 1: DnFIFO から受信データ読み出しごとに DTLN[8:0]ビットをダウンカウント	R/W

注. S-TYPE-3, P-TYPE-3

CFIFOSEL、D0FIFOSEL、および D1FIFOSEL レジスタの CURPIPE[3:0]ビットで同一のパイプを指定しないでください。D0FIFOSEL、および D1FIFOSEL レジスタの CURPIPE[3:0]ビットの設定が 0000b の場合には、パイプ指定なしとなります。DMA または DTC 転送が許可されている状態でパイプ番号の変更は行わないでください。

CURPIPE[3:0]ビット（FIFO ポートアクセスパイプ指定）

CURPIPE[3:0]ビットは DnFIFO ポート経由のデータの読み出しまたは書き込みに使用するパイプ番号を指定します。これらのビットに書き込む際は、書き込み後に読み出して、書き込み値と読み出し値が一致していることを確認してから、次の処理に進んでください。CFIFOSEL、D0FIFOSEL、および D1FIFOSEL レジスタの CURPIPE[3:0]ビットに同じパイプ番号を設定しないでください。

FIFO バッファへのアクセス中は、ソフトウェアが CURPIPE[3:0]ビットの設定値を変更しようとしても、アクセスが完了するまで現在のアクセス設定が維持されます。

MBW ビット（FIFO ポートアクセスビット幅）

MBW ビットは DnFIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、これらのビットへの書き込みで FIFO バッファからのデータ読み出しが開始したら、すべてのデータが読み出されるまで MBW ビットの変更を行わないでください。CURPIPE[3:0]ビットと MBW ビットの設定は同時に行ってください。

選択パイプが送信方向の場合、FIFO バッファへのデータ書き込み実行中に 8 ビットから 16 ビットへのビット幅の変更はできません。

16 ビット幅が選択されていても、バイトアクセス制御により、奇数バイトの書き込みも可能です。

DREQE ビット（DMA/DTC 転送要求許可）

DREQE ビットは DMA または DTC 転送要求発行の許可／禁止を指定します。DMA または DTC 転送要求を許可する場合、CURPIPE[3:0]ビットを設定後に DREQE ビットを 1 にしてください。CURPIPE[3:0]ビットを書き換える場合、まず DREQE ビットを 0 にしてから書き換えてください。

DCLRM ビット（指定パイプデータ読み出し後自動バッファメモリクリアモードアクセス）

DCLRM ビットは選択パイプのデータを読み出した後の自動 FIFO バッファクリアを許可または禁止します。

本ビットを 1 にすると、指定パイプに割り当てられた FIFO バッファが空のときに Zero-Length パケットを受信した場合、または PIPECFG.BFRE ビットが 1 で受信したショートパケットの読み出しが完了した場合、USBFS は FIFO ポートコントロールレジスタの BCLR ビットを 1 にします。

SOFCFG.BRDYM ビットを 1 にして USBFS を使用する場合、本ビットを 0 にしてください。

REW ビット（バッファポインタリワインド）

REW ビットはバッファポインタのリワインドを行うか否かを指定します。

選択パイプが受信方向の場合、FIFO バッファの読み出し中に本ビットを 1 にすると、FIFO バッファの最初のデータから再読み出しが可能になります。ダブルバッファの場合は、この設定により現在読み出し中の FIFO バッファの面の最初のデータから再読み出しすることが可能になります。

REW ビットを 1 にするとき、CURPIPE[3:0]ビットの設定変更を同時に行わないでください。本ビットを 1 にする前に、必ず FRDY ビットが 1 であることを確認してください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

RCNT ビット（リードカウントモード）

RCNT ビットは、D0FIFOCTL.DTLN ビットおよび D1FIFOCTL.DTLN ビットの読み出しモードを指定します。PIPECFG.BFRE ビットを 1 にして DnFIFO にアクセスを行う場合は、RCNT ビットを 0 にしてください。

29.2.8 CFIFOCTR : CFIFO ポートコントロールレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x022

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BVAL	BCLR	FRDY	—	—	—	—	DTLN[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	DTLN[8:0]	受信データ長 受信データ長を示します。 ポート選択レジスタの RCNT ビットの設定により、表示される内容が異なります。詳細は、DTLN[8:0]ビットの説明を参照してください。	R
12:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13	FRDY	FIFO ポートレディ 0: FIFO ポートアクセス不可能 1: FIFO ポートアクセス許可	R
14	BCLR	CPU バッファクリア 0: 動作なし 1: CPU 側 FIFO バッファクリア	W
15	BVAL	バッファメモリ有効フラグ 0: 無効（0 の書き込みは影響なし） 1: 書き込み終了	R/W

注. S-TYPE-3, P-TYPE-3

CFIFOCTR レジスタ、D0FIFOCTR レジスタ、および D1FIFOCTR レジスタは、それぞれ CFIFO、D0FIFO、および D1FIFO バッファに対応しています。

DTLN[8:0]ビット（受信データ長）

DTLN[8:0]ビットは受信データ長を示します。

FIFO バッファ読み出し中の DTLN[8:0]ビットの値は、DnFIFOSEL.RCNT ビット (n = 0, 1) により、以下のように異なります。

- RCNT = 0 のとき

  CPU または DMA/DTC が FIFO バッファ 1 面分の全受信データの読み出しを完了するまで、USBFS は DTLN[8:0]ビットを設定して、受信データ長を示します。

  PIPECFG.BFRE ビットが 1 の場合、全データの読み出しが完了しても、BCLR ビットが 1 になるまで USBFS は受信データ長を保持します。

- RCNT = 1 のとき

  FIFO バッファからデータを読み出すごとに、USBFS は DTLN[8:0]ビットの示す値をデクリメントします。MBW = 0 のときは-1 ずつ、MBW = 1 のときは-2 ずつ値がデクリメントされます。

  FIFO バッファ 1 面分の全データの読み出し完了時に、USBFS は本ビットを 0 にします。ダブルバッファモード時、かつ FIFO バッファ 1 面分の全データの読み出しを完了する前にもう 1 面分の FIFO バッファにデータを受信した場合、USBFS は本ビットを設定して、後の 1 面分の全データの読み出し完了時に先の 1 面分の受信データ長を示します。

FRDY ビット（FIFO ポートレディ）

FRDY ビットは CPU または DMA/DTC から FIFO ポートにアクセス可能かどうかを示します。

以下の場合、USBFS は FRDY ビットを 1 にしますが、読み出すべきデータがないため、FIFO ポート経由のデータ読み出しはできません。

- 選択パイプに割り当てられている FIFO バッファが空の状態で Zero-Length パケットを受信した場合
- PIPECFG.BFRE ビットが 1 のときに、ショートパケットを受信し、データ読み出しを完了した場合

これらの場合では、BCLR ビットを 1 にして FIFO バッファのクリアを行い、次のデータ送受信を許可してください。

BCLR ビット（CPU バッファクリア）

選択パイプの CPU 側の FIFO バッファをクリアする場合は BCLR ビットを 1 にします。

選択パイプに割り当てられている FIFO バッファにダブルバッファモードが設定されている場合、FIFO バッファの両面ともに読み出し可能な場合でも、USBFS は片面の FIFO バッファのみをクリアします。

選択パイプが DCP のときに BCLR ビットを 1 にすると、FIFO バッファへのアクセス権を持つのが CPU 側か SIE 側かにかかわらず、USBFS は FIFO バッファをクリアします。SIE 側にアクセス権があるときに FIFO バッファをクリアする場合、DCPCTR.PID[1:0]ビットを 00b（NAK 応答）にしてから BCLR ビットを 1 にしてください。

選択パイプが送信方向の場合、同時に BVAL フラグと BCLR ビットの両方に 1 を書き込むと、USBFS はすでに書き込まれたデータをクリアし、Zero-Length パケットの送信を可能にします。

選択パイプが DCP 以外の場合、BCLR ビットへの 1 の書き込みは、FIFO ポートコントロールレジスタの FRDY ビットの（USBFS による）設定値が 1 のときにのみ行ってください。

BVAL フラグ（バッファメモリ有効フラグ）

CURPIPE[3:0]ビットで選択したパイプの CPU 側の FIFO バッファの書き込み終了時に BVAL フラグを 1 にします。

選択パイプが送信方向のとき、以下の場合に BVAL フラグを 1 にしてください。

- ショートパケットを送信する場合は、データ書き込み後に本フラグを 1 にする
- Zero-Length パケットの送信を行いたいとき、FIFO バッファへデータを書き込む前に本フラグを 1 にする

これを行うと、USBFS は CPU の FIFO バッファを SIE に切り替え、送信可能状態にします。

連続転送モード時にパイプに対して最大パケットサイズ分のデータを書き込むと、USBFS は BVAL フラグを 1 にし、FIFO バッファを CPU から SIE に切り替え、送信可能状態にします。

BVAL フラグへの 1 の書き込みは、USBFS が FRDY ビットを 1 にしているときにのみ行ってください。選択パイプが受信方向の場合、BVAL フラグは 1 にしないでください。

29.2.9 DnFIFOCTR : D0FIFO ポートコントロールレジスタ (n = 0, 1)

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x02A + 0x4 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BVAL	BCLR	FRDY	—	—	—	—	DTLN[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	DTLN[8:0]	受信データ長 受信データ長を示します。 ポート選択レジスタの RCNT ビットの設定により、表示される内容が異なります。詳細は、DTLN[8:0]ビットの説明を参照してください。	R
12:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13	FRDY	FIFO ポートレディ 0: FIFO ポートアクセス不可能 1: FIFO ポートアクセス許可	R

ビット	シンボル	機能	R/W
14	BCLR	CPU バッファクリア 0: 動作なし 1: CPU 側 FIFO バッファクリア	R/W(注1)
15	BVAL	バッファメモリ有効フラグ 0: 無効（0 の書き込みは影響なし） 1: 書き込み終了	R/W

注. S-TYPE-3, P-TYPE-3
注 1. 読むと 0 が読み出されます。

CFIFOCTR レジスタ、D0FIFOCTR レジスタ、および D1FIFOCTR レジスタは、それぞれ CFIFO、D0FIFO、および D1FIFO バッファに対応しています。

DTLN[8:0]ビット（受信データ長）

DTLN[8:0]ビットは受信データ長を示します。

FIFO バッファ読み出し中の DTLN[8:0]ビットの値は、DnFIFOSEL.RCNT ビット (n = 0, 1) により、以下のように異なります。

- RCNT ビットが 0 のとき

  CPU または DMA/DTC が FIFO バッファ 1 面分の全受信データの読み出しを完了するまで、USBFS は受信データ長を DTLN[8:0]ビットに表示します。

  PIPECFG.BFRE ビットが 1 の場合、読み出しが完了しても、BCLR ビットが 1 になるまで USBFS は受信データ長を保持します。

- RCNT ビットが 1 のとき

  FIFO バッファからデータを読み出すごとに、USBFS は DTLN[8:0]ビットの表示値をダウンカウントします。MBW = 0 のときは -1 ずつ、MBW = 1 のときは -2 ずつ値がダウンカウントされます。

  1 面分の FIFO バッファ読み出し完了時に、USBFS は DTLN[8:0]ビットを 0 にします。ダブルバッファモード時、かつ FIFO バッファ 1 面分の受信データの読み出しを完了する前にもう 1 面分の FIFO バッファにデータを受信した場合、USBFS は先の 1 面分の読み出し完了時に後の 1 面の受信データ長を DTLN[8:0]ビットに表示します。

FRDY ビット（FIFO ポートレディ）

FRDY ビットは CPU または DMA/DTC から FIFO ポートにアクセス可能かどうかが表示されます。

以下の場合、USBFS は FRDY ビットを 1 にしますが、読み出すべきデータがないため FIFO ポート経由のデータ読み出しはできません。

- 選択パイプに割り当てられている FIFO バッファが空の状態で Zero-Length パケットを受信した場合
- PIPECFG.BFRE ビットが 1 のときに、ショートパケットを受信し、データ読み出しを完了した場合

これらのケースでは、BCLR ビットを 1 にして FIFO バッファのクリアを行い、次のデータ送受信を行える状態にしてください。

BCLR ビット（CPU バッファクリア）

選択パイプの CPU 側の FIFO バッファをクリアする場合は BCLR ビットを 1 にします。

選択パイプに割り当てられている FIFO バッファにダブルバッファモードが設定されている場合、FIFO バッファの両面ともに読み出し可能な場合でも、USBFS は片面の FIFO バッファのみをクリアします。

選択パイプが DCP のときに BCLR ビットを 1 にすると、FIFO バッファへのアクセス権を持つのが CPU 側か SIE 側かにかかわらず、USBFS は FIFO バッファをクリアします。SIE 側にアクセス権があるときに FIFO バッファをクリアする場合、DCPCTR.PID[1:0]ビットを 00b（NAK 応答）にしてから BCLR ビットを 1 にしてください。

選択パイプが送信方向の場合、同時に BVAL フラグと BCLR ビットの両方に 1 を書き込むと、USBFS はすでに書き込まれたデータをクリアし、Zero-Length パケットの送信を可能にします。

選択パイプが DCP 以外の場合、BCLR ビットへの 1 の書き込みは、FIFO ポートコントロールレジスタの FRDY ビットの（USBFS による）設定値が 1 のときにのみ行ってください。

BVAL フラグ（バッファメモリ有効フラグ）

CURPIPE[3:0]ビットで選択したパイプの CPU 側の FIFO バッファの書き込み終了時に BVAL フラグを 1 にします。

選択パイプが送信方向のとき、以下の場合に BVAL フラグを 1 にしてください。

- ショートパケットを送信する場合は、データ書き込み後に本フラグを 1 にする
- Zero-Length パケットの送信を行いたいとき、FIFO バッファへデータを書き込む前に本フラグを 1 にする

これを行うと、USBFS は CPU の FIFO バッファを SIE に切り替え、送信可能状態にします。

連続転送モード時にパイプに対して最大パケットサイズ分のデータを書き込むと、USBFS は BVAL フラグを 1 にし、FIFO バッファを CPU から SIE に切り替え、送信可能状態にします。

BVAL フラグへの 1 の書き込みは、USBFS が FRDY ビットを 1 にしているときにのみ行ってください。選択パイプが受信方向の場合、BVAL フラグは 1 にしないでください。

29.2.10 INTENB0 : 割り込みイネーブルレジスタ 0

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x030

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	BRDYE	バッファレディ割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
9	NRDYE	バッファノットレディ応答割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
10	BEMPE	バッファエンプティ割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
11	CTRE	コントロール転送ステージ遷移割り込み許可(注1) 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
12	DVSE	デバイスステート遷移割り込み許可(注1) 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
13	SOFE	フレーム番号更新割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
14	RSME	レジューム割り込み許可(注1) 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
15	VBSE	VBUS 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W

注. S-TYPE-3, P-TYPE-3
注 1. RSME、DVSE、および CTRE ビットは、デバイスコントローラモード時にのみ 1 にできます。ホストコントローラモードでは、これらのビットを 1 にしないでください。

INTSTS0 レジスタのステータスフラグが 1 で、INTENB0 レジスタの関連する割り込み要求許可ビットが 1 の場合、USBFS は USBFS 割り込み要求を発行します。

INTENB0 レジスタの設定値にかかわらず、関連する条件を満たすステート切り替えに応じて、INTSTS0 レジスタのステータスフラグは 1 となります。

INTENB0 レジスタの関連するステータスフラグが 1 の場合に、INTENB0 レジスタの割り込み要求許可ビットが 0 から 1 に切り替えられると、USBFS 割り込み要求が発行されます。

29.2.11 INTENB1 : 割り込みイネーブルレジスタ 1

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x032

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	OVRCRE	BCHGE	—	DTCHE	ATTCHE	—	—	—	—	EOFERRE	SIGNE	SACKE	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SACKE	SETUP トランザクション正常応答割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
5	SIGNE	SETUP トランザクションエラー割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
6	EOFERRE	EOF エラー検出割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
10:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	ATTCHE	接続検出割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
12	DTCHE	切断検出割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	BCHGE	USB バス変化割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
15	OVRCRE	オーバーカレント入力変化割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W

注. S-TYPE-3, P-TYPE-3
注. INTENB1 のビットは、ホストコントローラモード時にのみ 1 にできます。デバイスコントローラモードでは、これらのビットを 1 にしないでください。

INTENB1 は、ホストコントローラモードおよび SETUP トランザクションでの割り込みマスクを指定します。

INTSTS1 レジスタのステータスフラグが 1 で、INTENB1 レジスタの関連する割り込み要求許可ビットが 1 の場合、USBFS は USBFS 割り込み要求を発行します。

INTENB1 レジスタの設定値にかかわらず、関連する条件を満たすステート切り替えに応じて、INTSTS1 レジスタのステータスフラグは 1 となります。

INTSTS1 レジスタの関連するステータスフラグが 1 の場合に、INTENB1 レジスタの割り込み要求許可ビットが 0 から 1 に切り替えられると、USBFS 割り込み要求が発行されます。

デバイスコントローラモードでは、割り込みを許可しないでください。

29.2.12 BRDYENB : BRDY 割り込みイネーブルレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x036

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	PIPE9BRDYE	PIPE8BRDYE	PIPE7BRDYE	PIPE6BRDYE	PIPE5BRDYE	PIPE4BRDYE	PIPE3BRDYE	PIPE2BRDYE	PIPE1BRDYE	PIPE0BRDYE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PIPE0BRDYE	パイプ 0 の BRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
1	PIPE1BRDYE	パイプ 1 の BRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
2	PIPE2BRDYE	パイプ 2 の BRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
3	PIPE3BRDYE	パイプ 3 の BRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
4	PIPE4BRDYE	パイプ 4 の BRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
5	PIPE5BRDYE	パイプ 5 の BRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
6	PIPE6BRDYE	パイプ 6 の BRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
7	PIPE7BRDYE	パイプ 7 の BRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
8	PIPE8BRDYE	パイプ 8 の BRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
9	PIPE9BRDYE	パイプ 9 の BRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

BRDYENB レジスタは、各パイプの BRDY 割り込み検出時に、INTSTS0.BRDY ビットへの 1 の書き込みの許可／禁止を指定します。

BRDYSTS レジスタのステータスフラグが 1 で、BRDYENB レジスタの関連する PIPEnBRDYE ビット (n = 0～9) が 1 の場合、INTSTS0.BRDY フラグは 1 になります。この場合、INTENB0 レジスタの BRDYE ビットが 1 であれば、USBFS は BRDY 割り込み要求を発生させます。少なくとも 1 つの PIPEnBRDY ビットが 1 の状態で、ソフトウェアで BRDYENB レジスタの関連する割り込み要求許可ビットが 0 から 1 に変更されると、USB は BRDY 割り込み要求を発生させます。

29.2.13 NRDYENB : NRDY 割り込みイネーブルレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x038

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	PIPE9NRDYE	PIPE8NRDYE	PIPE7NRDYE	PIPE6NRDYE	PIPE5NRDYE	PIPE4NRDYE	PIPE3NRDYE	PIPE2NRDYE	PIPE1NRDYE	PIPE0NRDYE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PIPE0NRDYE	パイプ 0 の NRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
1	PIPE1NRDYE	パイプ 1 の NRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
2	PIPE2NRDYE	パイプ 2 の NRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
3	PIPE3NRDYE	パイプ 3 の NRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
4	PIPE4NRDYE	パイプ 4 の NRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
5	PIPE5NRDYE	パイプ 5 の NRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
6	PIPE6NRDYE	パイプ 6 の NRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
7	PIPE7NRDYE	パイプ 7 の NRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
8	PIPE8NRDYE	パイプ 8 の NRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
9	PIPE9NRDYE	パイプ 9 の NRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

NRDYENB レジスタは、各パイプの NRDY 割り込み検出時に、INTSTS0.NRDY ビットへの 1 の書き込みの許可／禁止を指定します。

NRDYSTS レジスタのステータスフラグが 1 で、NRDYENB レジスタの関連する PIPEnNRDYE ビット (n = 0～9) が 1 の場合、INTSTS0.NRDY フラグは 1 になります。この場合、INTENB0 レジスタの NRDYE ビットが 1 であれば、USBFS は NRDY 割り込み要求を発生させます。少なくとも 1 つの PIPEnNRDY ビットが 1 の状態で、ソフトウェアで NRDYENB レジスタの関連する割り込み要求許可ビットが 0 から 1 に変更されると、USBFS は NRDY 割り込み要求を発生させます。

29.2.14 BEMPENB : BEMP 割り込みイネーブルレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x03A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	PIPE9BEMPE	PIPE8BEMPE	PIPE7BEMPE	PIPE6BEMPE	PIPE5BEMPE	PIPE4BEMPE	PIPE3BEMPE	PIPE2BEMPE	PIPE1BEMPE	PIPE0BEMPE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PIPE0BEMPE	パイプ 0 の BEMP 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
1	PIPE1BEMPE	パイプ 1 の BEMP 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
2	PIPE2BEMPE	パイプ 2 の BEMP 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
3	PIPE3BEMPE	パイプ 3 の BEMP 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
4	PIPE4BEMPE	パイプ 4 の BEMP 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
5	PIPE5BEMPE	パイプ 5 の BEMP 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
6	PIPE6BEMPE	パイプ 6 の BEMP 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
7	PIPE7BEMPE	パイプ 7 の BEMP 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
8	PIPE8BEMPE	パイプ 8 の BEMP 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
9	PIPE9BEMPE	パイプ 9 の BEMP 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

BEMPENB レジスタは、各パイプの BEMP 割り込み検出時に、INTSTS0.BEMP ビットへの 1 の書き込みの許可／禁止を指定します。

BEMPSTS レジスタのステータスフラグが 1 で、BEMPENB レジスタの関連する PIPEnBEMPE (n = 0～9) ビットが 1 の場合、INTSTS0.BEMP フラグは 1 になります。この場合、INTENB0 レジスタの BEMPE ビットが 1 であれば、USBFS は BEMP 割り込み要求を発生させます。少なくとも 1 つの PIPEnBEMP ビットが 1 の状態で、ソフトウェアで BEMPENB レジスタの関連する割り込み要求許可ビットが 0 から 1 に変更されると、USBFS は BEMP 割り込み要求を発生させます。

29.2.15 SOFCFG : SOF 出力コンフィグレーションレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x03C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TRNENSEL	—	BRDYM	—	EDGESTS	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	EDGESTS	エッジ割り込み出力ステータスモニタ(注1) エッジ割り込み出力信号のエッジ処理中は 1 となります。	R
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	BRDYM	BRDY 割り込みステータスクリアタイミング 0: ソフトウェアによる BRDY フラグのクリア 1: FIFO バッファからのデータ読み出しまたは FIFO バッファへのデータ書き込みにより USBFS が BRDY フラグをクリア	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	TRNENSEL	トランザクション有効期間選択(注1) 0: ロースピード通信非対応 1: ロースピード通信対応	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. USBFS へのクロック供給を停止するときは、事前に EDGESTS フラグが 0 であることを確認してください。

EDGESTS ビット（エッジ割り込み出力ステータスモニタ）

EDGESTS ビットはエッジ割り込み出力信号のエッジ処理中は 1 となります。USBFS へのクロック供給を停止するときは、事前に本ビットが 0 であることを確認してください。

BRDYM ビット（BRDY 割り込みステータスクリアタイミング）

BRDYM ビットはパイプの BRDY 割り込みステータスフラグのクリア方法を指定します。

TRNENSEL ビット（トランザクション有効期間選択）

TRNENSEL ビットは、USB ポートでフルスピードまたはロースピード通信を行う場合に、1 フレーム中に USBFS がトークン発行を行うタイミング（トランザクション有効期間）を指定します。

ロースピードデバイスが接続されたときは、本ビットを 1 にしてください。本ビットはホストコントローラモードでのみ有効です。デバイスコントローラモード時は、本ビットを 0 にしてください。

29.2.16 INTSTS0 : 割り込みステータスレジスタ 0

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x040

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]			VALID	CTSQ[2:0]		
Value after reset:	0	0	0	x	0	0	0	0	x	0	0	x	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CTSQ[2:0]	コントロール転送ステージ 0 0 0: アイドルまたはセットアップステージ 0 0 1: コントロールリードデータステージ 0 1 0: コントロールリードステータスステージ 0 1 1: コントロールライトデータステージ 1 0 0: コントロールライトステータスステージ 1 0 1: コントロールライト（ノーデータ）ステータスステージ 1 1 0: コントロール転送シーケンスエラー	R
3	VALID	USB リクエスト受信 0: Setup パケットを受信していない 1: Setup パケットを受信した	R/W
6:4	DVSQ[2:0]	デバイスステート デバイスステートを示します。 0 0 0: Powered ステート 0 0 1: Default ステート 0 1 0: Address ステート 0 1 1: Configured ステート その他: Suspended ステート	R
7	VBSTS	VBUS 入力ステータス 0: USB_VBUS 端子が Low 1: USB_VBUS 端子が High	R
8	BRDY	バッファレディ割り込みステータス 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R
9	NRDY	バッファノットレディ割り込みステータス 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R
10	BEMP	バッファエンプティ割り込みステータス 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R
11	CTRT	コントロール転送ステージ遷移割り込みステータス(注2) 0: コントロール転送ステージ遷移割り込み発生なし 1: コントロール転送ステージ遷移割り込み発生あり	R/W(注1)
12	DVST	デバイスステート遷移割り込みステータス(注2) 0: デバイスステート遷移割り込み発生なし 1: デバイスステート遷移割り込み発生あり	R/W(注1)
13	SOFR	フレーム番号更新割り込みステータス 0: SOF 割り込み発生なし 1: SOF 割り込み発生あり	R/W(注1)
14	RESM	レジューム割り込みステータス(注2)(注3) 0: レジューム割り込み発生なし 1: レジューム割り込み発生あり	R/W(注1)
15	VBINT	VBUS 割り込みステータス(注3) 0: VBUS 割り込み発生なし 1: VBUS 割り込み発生あり	R/W(注1)

注. S-TYPE-3, P-TYPE-3
注. DVST ビットは MCU がリセットされると 0、USB バスリセットのときは 1 になります。
注. VBSTS ビットは USB_VBUS 端子が High のときは 1、Low のときは 0 になります。
注. DVSQ[2:0]ビットは MCU がリセットされると 000b、USB バスリセットのときは 001b になります。
注 1. VBINT ビット、RESM ビット、SOFR ビット、DVST ビット、CTRT ビット、または VALID ビットをクリアする場合は、クリアしたいビットにのみ 0 を書き込んでください。その他のビットには 1 を書き込んでください。0 を示しているステータスビットへの 0 書き込みを行わないでください。
注 2. RESM、DVST、および CTRT ビットのステータスは、デバイスコントローラモードでのみ変化します。ホストコントローラモードでは、関連する割り込み許可ビットを 0（禁止）にしてください。
注 3. USBFS は、VBINT ビットおよび RESM ビットが示すステータス変化をクロック供給停止中 (SYSCFG.SCKE = 0) でも検出し、対応する割り込み要求ビットが 1 であれば割り込みを要求します。ステータスをソフトウェアでクリアする前に、クロック供給を許可してください。

CTSQ[2:0]ビット（コントロール転送ステージ）

ホストコントローラモード時、CTSQ[2:0]ビットの読み出し値は無効です。

VALID ビット（USB リクエスト受信）

ホストコントローラモード時、VALID ビットの読み出し値は無効です。

DVSQ[2:0]ビット（デバイスステート）

USB バスリセットで DVSQ[2:0]ビットは初期化されます。ホストコントローラモード時、読み出し値は無効です。

BRDY フラグ（バッファレディ割り込みステータス）

BRDY フラグは BRDY 割り込みステータスを示します。

USBFS は、BRDY 割り込みが許可された (BRDYENB.PIPEnBRDYE = 1) パイプのうち少なくとも 1 つに対して BRDY 割り込みステータス（PIPEnBRDY = 1、n = 0～9）を検出したときに、BRDY ビットを 1 にします。

PIPEnBRDY ステータスがアサートされる条件については、「29.3.3.1. BRDY 割り込み」を参照してください。

1 に設定されている PIPEnBRDYE ビットに関連する PIPEnBRDY ビットのすべてにソフトウェアで 0 を書きこむと、USBFS は BRDY ビットを 0 にします。ソフトウェアで BRDY フラグに 0 を書き込んだ場合でも、本フラグはクリアされません。

NRDY フラグ（バッファノットレディ割り込みステータス）

NRDY フラグは NRDY 割り込みステータスを示します。

USBFS は、NRDY 割り込みが許可された (NRDYENB.PIPEnNRDYE = 1) パイプのうち少なくとも 1 つに対して NRDY 割り込みステータス (PIPEnNRDY = 1, n = 0～9) を検出したときに、NRDY ビットを 1 にします。

PIPEnNRDY ステータスがアサートされる条件については、「29.3.3.2. NRDY 割り込み」を参照してください。

1 に設定されている PIPEnNRDYE ビットに対応する PIPEnNRDY ビットのすべてにソフトウェアで 0 を書き込むと、USBFS は NRDY ビットを 0 にします。ソフトウェアで NRDY フラグに 0 を書き込んだ場合でも、本フラグはクリアされません。

BEMP フラグ（バッファエンプティ割り込みステータス）

BEMP フラグは BEMP 割り込みステータスを示します。

USBFS は、BEMP 割り込みが許可された (BEMPENB.PIPEnBEMPE = 1) パイプのうち少なくとも 1 つに対して BEMP 割り込みステータス (PIPEnBEMP = 1, n = 0～9) を検出したときに、BEMP ビットを 1 にします。

PIPEnBEMP ステータスがアサートされる条件については、「29.3.3.3. BEMP 割り込み」を参照してください。

1 に設定されている PIPEnBEMPE ビットに対応する PIPEnBEMP ビットのすべてにソフトウェアで 0 を書き込むと、USBFS は BEMP ビットを 0 にします。ソフトウェアで BEMP フラグに 0 を書き込んだ場合でも、本フラグはクリアされません。

CTRT フラグ（コントロール転送ステージ遷移割り込みステータス）

デバイスコントローラモード時、USBFS がコントロール転送のステージ遷移を検出すると、USBFS は CTSQ[2:0] ビットの値を更新し、CTRT フラグを 1 にします。コントロール転送ステージ遷移割り込みが発生した場合、USBFS が次のコントロール転送のステージ遷移を検出するまでに CTRT フラグをクリアしてください。

ホストコントローラモード時に CTRT フラグから読み出した値は無効です。

DVST フラグ（デバイスステート遷移割り込みステータス）

デバイスコントローラモード時、USBFS がデバイスステートの変化を検出すると、USBFS は DVSQ[2:0]ビットの値を更新し、DVST フラグを 1 にします。デバイスステート遷移割り込みが発生した場合、USBFS が次のデバイスステート遷移を検出するまでに DVST フラグをクリアしてください。

ホストコントローラモード時に DVST フラグから読み出した値は無効です。

SOFR フラグ（フレーム番号更新割り込みステータス）

ホストコントローラモード時に、ソフトウェアで DVSTCTR0.UACT ビットを 1 にしている場合、USBFS はフレーム番号を更新するときに SOFR フラグを 1 にします。SOFR 割り込みの検出間隔は 1 ms です。

デバイスコントローラモード時に、USBFS はフレーム番号を更新するときに SOFR フラグを 1 にします。フレーム番号更新割り込みは、1 ms ごとに検出されます。

USB ホストから受信した SOF パケットが破損していても、内部補完機能により、USBFS は SOFR 割り込みを検出できます。

RESM フラグ（レジューム割り込みステータス）

デバイスコントローラモード時、USBFS は Suspended ステート (DVSQ[2:0] = 1xxb) であり、かつ USB_DP 端子で信号の立ち下がりエッジを検出したときに、RESM フラグを 1 にします。ホストコントローラモード時に RESM フラグから読み出した値は無効です。

VBINT フラグ（VBUS 割り込みステータス）

USBFS は、USB_VBUS 端子入力値のレベル変化（High から Low、または Low から High）を検出すると、VBINT フラグを 1 にします。USBFS は USB_VBUS 端子の入力値を VBSTS フラグに表示します。VBUS 割り込みが発生した場合は、ソフトウェアで VBSTS フラグを 3 回以上読み出し、値が一致することを確認してトランジェント除去を行ってください。

29.2.17 INTSTS1 : 割り込みステータスレジスタ 1

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x042

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	OVRCR	BCHG	—	DTCH	ATTCH	—	—	—	—	EOFERR	SIGN	SACK	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SACK	SETUP トランザクション正常応答割り込みステータス 0: SACK 割り込み発生なし 1: SACK 割り込み発生あり	R/W(注1)
5	SIGN	SETUP トランザクションエラー割り込みステータス 0: SIGN 割り込み発生なし 1: SIGN 割り込み発生あり	R/W(注1)
6	EOFERR	EOF エラー検出割り込みステータス 0: EOFERR 割り込み発生なし 1: EOFERR 割り込み発生あり	R/W(注1)
10:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	ATTCH	ATTCH 割り込みステータス 0: ATTCH 割り込み発生なし 1: ATTCH 割り込み発生あり	R/W(注1)
12	DTCH	USB 切断検出割り込みステータス 0: DTCH 割り込み発生なし 1: DTCH 割り込み発生あり	R/W(注1)
13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	BCHG	USB バス変化割り込みステータス(注2) 0: BCHG 割り込み発生なし 1: BCHG 割り込み発生あり	R/W(注1)
15	OVRCR	オーバーカレント入力変化割り込みステータス(注2) 0: OVRCR 割り込み発生なし 1: OVRCR 割り込み発生あり	R/W(注1)

注. S-TYPE-3, P-TYPE-3
注 1. INTSTS1 レジスタの各ビットを 0 にする場合は、クリアしたいビットにのみ 0 を書き込んでください。その他のビットには 1 を書き込んでください。

注 2. USBFS は OVRCR ビットまたは BCHG ビットのステータス変化をクロック停止中 (SYSCFG.SCKE = 0) でも検出し、関連する割り込み要求ビットが 1 であれば割り込みを要求します。ステータスをソフトウェアでクリア (SYSCFG.SCKE = 1) する場合は、クロック供給を許可してから行ってください。その他の割り込みは、クロック停止中（SYSCFG.SCKE ビット = 0）は検出しません。

INTSTS1 レジスタは、ホストコントローラモードでの各割り込みのステータスを確認するレジスタです。
INTSTS1 レジスタの各ビットが示すステータス変化による割り込みは、ホストコントローラモードでのみ許可してください。

SACK フラグ（SETUP トランザクション正常応答割り込みステータス）

SACK フラグはホストコントローラモード時、SETUP トランザクション正常応答割り込みステータスを示します。

USBFS が発行した SETUP トランザクションにおいて周辺デバイスから ACK 応答が返されると、USBFS は SACK 割り込みを検出し、本フラグを 1 にします。ソフトウェアで関連する割り込み許可ビットを 1 にしていれば、USBFS は割り込みを発生させます。

デバイスコントローラモード時に SACK フラグから読み出した値は無効です。

SIGN フラグ（SETUP トランザクションエラー割り込みステータス）

SIGN フラグは、ホストコントローラモード時、SETUP トランザクションエラー割り込みステータスを示します。

USBFS が発行した SETUP トランザクションにおいて、周辺デバイスが ACK 応答を行わない事態が連続 3 回発生すると、USBFS は SIGN 割り込みを検出し、本フラグを 1 にします。ソフトウェアで関連する割り込み許可ビットを 1 にしていれば、USBFS は割り込みを発生させます。

USBFS の SIGN 割り込みは、3 回の連続した SETUP トランザクションに対して、以下のいずれかの応答条件が発生したときに検出されます。

- 周辺デバイスが何も応答しない状態で USBFS がタイムアウトを検出したとき
- 破損した ACK パケットを受信したとき
- ACK 以外のハンドシェイク（NAK、NYET、または STALL）を受信したとき

デバイスコントローラモード時に SIGN フラグから読み出した値は無効です。

EOFERR フラグ（EOF エラー検出割り込みステータス）

EOFERR フラグはホストコントローラモード時、EOF エラー検出割り込みステータスを示します。

USBFS は、USB2.0 規格で定められている EOF2 タイミングで通信が終了しないことを検出すると、EOFERR 割り込みを検出して本フラグを 1 にします。ソフトウェアで関連する割り込み許可ビットを 1 にしていれば、USBFS は割り込みを発生させます。

USBFS は、EOFERR 割り込みを検出後、関連する割り込み許可ビットの設定値にかかわらず、以下のハードウェア制御を行います。

- EOFERR 割り込みを検出したポートの DVSTCTR0.UACT ビットを 0 にする
- EOFERR 割り込みが発生したポートをアイドル状態に遷移させる

ソフトウェアで、通信を行っているすべてのパイプを終了させ、USB ポートへの再エニュメレーションを行ってください。

デバイスコントローラモード時に EOFERR フラグから読み出した値は無効です。

ATTCH フラグ（ATTCH 割り込みステータス）

ATTCH フラグはホストコントローラモード時、USB アタッチ検出割り込みステータスを示します。

USBFS は、フルスピード信号レベルまたはロースピード信号レベルの J-State または K-State を 2.5 µs 検出すると、ATTCH 割り込みを検出して本フラグを 1 にします。ソフトウェアで関連する割り込み許可ビットを 1 にしていれば、USBFS は割り込みを発生させます。

USBFS の ATTCH 割り込み検出条件は以下のいずれかです。

- K-State、SE0、または SE1 から J-State に変化し、J-State のまま 2.5 µs 間継続したとき
- J-State、SE0、または SE1 から K-State に変化し、K-State のまま 2.5 µs 間継続したとき

デバイスコントローラモード時に ATTCH フラグから読み出した値は無効です。

DTCH フラグ（USB 切断検出割り込みステータス）

DTCH フラグはホストコントローラモード時、USB 切断検出割り込みステータスを示します。

USBFS は、USB バスデタッチイベントを検出すると、DTCH 割り込みを検出して本フラグを 1 にします。ソフトウェアで対応する割り込み許可ビットを 1 にしている場合、USBFS は割り込みを発生させます。

USBFS は、USB2.0 規格に準じてバスデタッチイベントを検出します。

USBFS は、DTCH 割り込みを検出後、対応する割り込み許可ビットの設定値にかかわらず、以下のハードウェア制御を行います。

- DTCH 割り込みを検出したポートの DVSTCTR0.UACT ビットを 0 にする
- DTCH 割り込みが発生したポートをアイドル状態に遷移させる

ソフトウェアで、通信を行っているすべてのパイプを終了させ、USB ポートへの接続待機状態（ATTCH 割り込み発生待機状態）に遷移させてください。

デバイスコントローラモード時に DTCH フラグから読み出した値は無効です。

BCHG フラグ（USB バス変化割り込みステータス）

BCHG フラグはホストコントローラモード時、USB バス変化割り込みステータスを示します。

USBFS は、USB ポートでフルスピード信号レベルまたはロースピード信号レベルの変化が起こると、BCHG 割り込みを検出して本フラグを 1 にします。対象とする変化は、J-State、K-State、SE0 のいずれかから J-State、K-State、SE0 のいずれかへの変化すべてを含みます。ソフトウェアで関連する割り込み許可ビットを 1 にしていれば、USBFS は割り込みを発生させます。

USBFS は USB ポートの入力状態を、LNST[1:0]ビットに表示します。BCHG 割り込みが発生した場合は、ソフトウェアで LNST[1:0]ビットの読み出しを同じ値が 3 回以上得られるまで繰り返し、トランジェント除去を行ってください。

USB バスステートの変化は、内部クロック停止状態でも検出します。

デバイスコントローラモード時に BCHG フラグから読み出した値は無効です。

OVRCR フラグ（オーバーカレント入力変化割り込みステータス）

OVRCR フラグは、USB_OVRCURA、USB_OVRCURA-DS、USB_OVRCURB、または USB_OVRCURB-DS 入力端子の変化割り込みステータスを示します。

USB_OVRCURA、USB_OVRCURA-DS、USB_OVRCURB、または USB_OVRCURB-DS 端子の入力値の少なくともどちらか一方が変化（High から Low への変化あるいは Low から High への変化）すると、USBFS は OVRCR 割り込みを検出して本フラグを 1 にします。ソフトウェアで対応する割り込み許可ビットを 1 にしている場合、USBFS は割り込みを発生させます。

29.2.18 BRDYSTS : BRDY 割り込みステータスレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x046

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	PIPE9 BRDY	PIPE8 BRDY	PIPE7 BRDY	PIPE6 BRDY	PIPE5 BRDY	PIPE4 BRDY	PIPE3 BRDY	PIPE2 BRDY	PIPE1 BRDY	PIPE0 BRDY
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PIPE0BRDY	パイプ 0 の BRDY 割り込みステータス (注2) 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R/W(注1)
1	PIPE1BRDY	パイプ 1 の BRDY 割り込みステータス(注2) 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R/W(注1)

ビット	シンボル	機能	R/W
2	PIPE2BRDY	パイプ 2 の BRDY 割り込みステータス(注2) 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R/W(注1)
3	PIPE3BRDY	パイプ 3 の BRDY 割り込みステータス(注2) 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R/W(注1)
4	PIPE4BRDY	パイプ 4 の BRDY 割り込みステータス (注2) 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R/W(注1)
5	PIPE5BRDY	パイプ 5 の BRDY 割り込みステータス (注2) 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R/W(注1)
6	PIPE6BRDY	パイプ 6 の BRDY 割り込みステータス(注2) 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R/W(注1)
7	PIPE7BRDY	パイプ 7 の BRDY 割り込みステータス (注2) 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R/W(注1)
8	PIPE8BRDY	パイプ 8 の BRDY 割り込みステータス(注2) 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R/W(注1)
9	PIPE9BRDY	パイプ 9 の BRDY 割り込みステータス(注2) 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R/W(注1)
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. SOFCFG.BRDYM ビットが 0 の場合、BRDYSTS レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ 0 を書き込んでください。その他のビットには 1 を書き込んでください。
注 2. SOFCFG.BRDYM ビットが 0 の場合、BRDY 割り込みのクリアは、FIFO にアクセスする前に行ってください。

29.2.19 NRDYSTS : NRDY 割り込みステータスレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x048

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	PIPE9 NRDY	PIPE8 NRDY	PIPE7 NRDY	PIPE6 NRDY	PIPE5 NRDY	PIPE4 NRDY	PIPE3 NRDY	PIPE2 NRDY	PIPE1 NRDY	PIPE0 NRDY
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PIPE0NRDY	パイプ 0 の NRDY 割り込みステータス 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R/W(注1)
1	PIPE1NRDY	パイプ 1 の NRDY 割り込みステータス 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R/W(注1)
2	PIPE2NRDY	パイプ 2 の NRDY 割り込みステータス 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R/W(注1)
3	PIPE3NRDY	パイプ 3 の NRDY 割り込みステータス 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R/W(注1)

ビット	シンボル	機能	R/W
4	PIPE4NRDY	パイプ 4 の NRDY 割り込みステータス 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R/W(注1)
5	PIPE5NRDY	パイプ 5 の NRDY 割り込みステータス 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R/W(注1)
6	PIPE6NRDY	パイプ 6 の NRDY 割り込みステータス 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R/W(注1)
7	PIPE7NRDY	パイプ 7 の NRDY 割り込みステータス 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R/W(注1)
8	PIPE8NRDY	パイプ 8 の NRDY 割り込みステータス 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R/W(注1)
9	PIPE9NRDY	パイプ 9 の NRDY 割り込みステータス 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R/W(注1)
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. NRDYSTS レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ 0 を書き込んでください。その他のビットには 1 を書き込んでください。

29.2.20 BEMPSTS : BEMP 割り込みステータスレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x04A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	PIPE9 BEMP	PIPE8 BEMP	PIPE7 BEMP	PIPE6 BEMP	PIPE5 BEMP	PIPE4 BEMP	PIPE3 BEMP	PIPE2 BEMP	PIPE1 BEMP	PIPE0 BEMP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PIPE0BEMP	パイプ 0 の BEMP 割り込みステータス 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R/W(注1)
1	PIPE1BEMP	パイプ 1 の BEMP 割り込みステータス 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R/W(注1)
2	PIPE2BEMP	パイプ 2 の BEMP 割り込みステータス 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R/W(注1)
3	PIPE3BEMP	パイプ 3 の BEMP 割り込みステータス 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R/W(注1)
4	PIPE4BEMP	パイプ 4 の BEMP 割り込みステータス 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R/W(注1)
5	PIPE5BEMP	パイプ 5 の BEMP 割り込みステータス 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R/W(注1)
6	PIPE6BEMP	パイプ 6 の BEMP 割り込みステータス 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R/W(注1)

ビット	シンボル	機能	R/W
7	PIPE7BEMP	パイプ 7 の BEMP 割り込みステータス 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R/W(注1)
8	PIPE8BEMP	パイプ 8 の BEMP 割り込みステータス 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R/W(注1)
9	PIPE9BEMP	パイプ 9 の BEMP 割り込みステータス 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R/W(注1)
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. BEMPSTS レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ 0 を書き込んでください。その他のビットには 1 を書き込んでください。

29.2.21 FRMNUM : フレームナンバレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x04C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	OVRN	CRCE	—	—	—	FRNM[10:0]										
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
10:0	FRNM[10:0]	フレーム番号 最新のフレーム番号	R
13:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	CRCE	受信データエラー 0: エラー発生なし 1: エラー発生あり	R/W(注1)
15	OVRN	オーバーラン／アンダーラン検出ステータス 0: エラー発生なし 1: エラー発生あり	R/W(注1)

注. S-TYPE-3, P-TYPE-3
注 1. ステータスをクリアする場合は、クリアしたいビットにのみ 0 を書き込んでください。その他のビットには 1 を書き込んでください。

FRNM[10:0]フラグ（フレーム番号）

SOF パケットの発行時または受信時に、FRNM[10:0]フラグは最新のフレーム番号（1ms ごとに更新）を示します。

CRCE フラグ（受信データエラー）

アイソクロナス転送中に CRC エラーやビットスタッフィングエラーが発生した場合、CRCE フラグは 1 になります。ホストコントローラモードで CRC エラーを検出時、USBFS は内部 NRDY 割り込みを発生させます。

CRCE フラグをクリアする場合は、FRMNUM レジスタの他のビットに 1 を書き込んでいる間に、本フラグに 0 を書き込んでください。

OVRN フラグ（オーバーラン／アンダーラン検出ステータス）

アイソクロナス転送中にオーバーランエラーまたはアンダーランエラーが発生した場合、OVRN フラグは 1 になります。本フラグをクリアする場合は、FRMNUM レジスタの他のビットに 1 を書き込んでいる間に、本フラグに 0 を書き込んでください。

ホストコントローラモード時、以下のいずれかの条件で、OVRN フラグは 1 になります。

- 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファへのすべての送信データの書き込みが完了する前に、OUT トークン発行タイミングに達したとき
- 転送タイプがアイソクロナスの受信方向パイプにおいて、FIFO バッファのすべての面で空きがない状態で、IN トークン発行タイミングに達したとき

デバイスコントローラモード時、以下のいずれかの条件で、OVRN フラグは 1 になります。

- 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファへのすべての送信データの書き込みが完了する前に、IN トークンを受信したとき
- 転送タイプがアイソクロナスの受信方向パイプにおいて、FIFO バッファのすべての面で空きがない状態で、OUT トークンを受信したとき

29.2.22 DVCHGR : デバイスステート切り替えレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x04E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DVCHG	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
14:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	DVCHG	デバイスステート切り替え 0: USBADDR.STSRECOV[3:0]ビットおよび USBADDR.USBADDR[6:0]ビットへの書き込み無効 1: USBADDR.STSRECOV[3:0]ビットおよび USBADDR.USBADDR[6:0]ビットへの書き込み有効	R/W

注. S-TYPE-3, P-TYPE-3

詳細については、「29.3.1.5. USB のサスペンド／レジューム割り込みによるディープソフトウェアスタンバイモード 1 の解除」を参照してください。

29.2.23 USBADDR : USB アドレスレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x050

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	STSRECOV[3:0]				—	USBADDR[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	USBADDR[6:0]	USB アドレス デバイスコントローラモード時、USBFS が SET_ADDRESS 要求を正常に処理したときに、ホストから割り付けられた USB アドレスを示します。	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
11:8	STSRECOV[3:0]	ステータスリカバリ 0x4: デバイスコントローラモード時の復帰：設定禁止 ホストコントローラモード時の復帰： ロースピード状態に復帰 (DVSTCTR0.RHST[2:0] = 001b) 0x8: デバイスコントローラモード時の復帰：設定禁止 ホストコントローラモード時の復帰： フルスピード状態に復帰 (DVSTCTR0.RHST[2:0] = 010b) 0x9: デバイスコントローラモード時の復帰： フルスピード状態に復帰（DVSTCTR0.RHST[2:0]ビット = 010b）、INTSTS0.DVSQ[2:0]ビット = 001b（Default ステート） ホストコントローラモード時の復帰：設定禁止 0xA: デバイスコントローラモード時の復帰： フルスピード状態に復帰（DVSTCTR0.RHST[2:0]ビット = 010b）、INTSTS0.DVSQ[2:0]ビット = 010b（address ステート） ホストコントローラモード時の復帰：設定禁止 0xB: デバイスコントローラモード時の復帰： フルスピード状態に復帰（DVSTCTR0.RHST[2:0]ビット = 010b）、INTSTS0.DVSQ[2:0]ビット = 011b（configured ステート） ホストコントローラモード時の復帰：設定禁止 その他: 設定禁止	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

USBADDR[6:0]ビット（USB アドレス）

デバイスコントローラモード時、USBFS が SetAddress 要求を正常に処理すると、USBADDR[6:0]フラグは受信した USB アドレスを示します。USBFS は USB バスリセットを検出すると USBADDR[6:0]ビットを 0x00 にします。

DVCHGR.DVCHG ビットが 1 に設定されているときに、本ビットに書き込み可能となります。USB 電源遮断からの復帰時に、ソフトウェアによる遮断の前に設定されていた USB アドレスから動作を再開することができます。

ホストコントローラモード時、USBADDR[6:0]ビットは無効です。

STSRECOV[3:0]ビット（ステータスリカバリ）

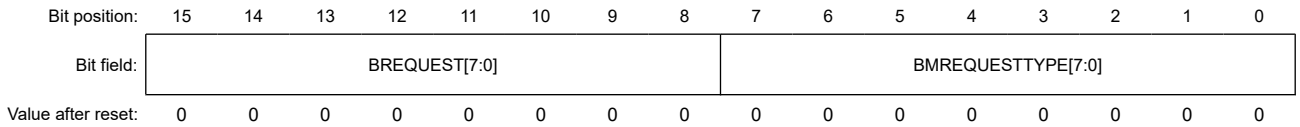
STSRECOV[3:0]ビットは USB 電源遮断から復帰するときに、内部シーケンサの状態を遮断前の状態に復帰させるときに使用します。詳細については、「29.3.1.5. USB のサスペンド／レジューム割り込みによるディープソフトウェアスタンバイモード 1 の解除」を参照してください。

DVCHGR.DVCHG ビットが 1 に設定されているときに STSRECOV[3:0]ビットに書き込み可能となります。

29.2.24 USBREQ : USB リクエストタイプレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x054



ビット	シンボル	機能	R/W
7:0	BMREQUESTTYPE[7:0]	リクエストタイプ USB リクエスト bmRequestType の値	R/W(注1)
15:8	BREQUEST[7:0]	リクエスト USB リクエスト bRequest の値	R/W(注1)

注. S-TYPE-3, P-TYPE-3
注 1. デバイスコントローラモードでは、読み出しのみ可能で書き込みは無効です。ホストコントローラモードでは、これらは読み出し、書き込み両方のビットとなります。

USBREQ レジスタは、コントロール転送のセットアップリクエストを格納します。

デバイスコントローラモード時には、USBREQ レジスタは受信した bRequest および bmRequestType の値を格納します。ホストコントローラモード時には、送信する bRequest および bmRequestType の値を設定します。

USBREQ レジスタは、USB バスリセットで初期化されます。

BMREQUESTTYPE[7:0]ビット（リクエストタイプ）

BMREQUESTTYPE[7:0]ビットは USB リクエスト bmRequestType の値を保持します。

- ホストコントローラモード時：

  本ビットに送信する SETUP トランザクションの USB リクエストデータの値を設定してください。
  DCPCTR.SUREQ ビットが 1 のときは、本ビットの値を変更しないでください。

- デバイスコントローラモード時：

  本ビットは SETUP トランザクションで受信した USB リクエストデータの値を示します。本ビットへの書き込みは無効です。

BREQUEST[7:0]ビット（リクエスト）

BREQUEST[7:0]ビットは USB リクエスト bRequest の値を格納します。

- ホストコントローラモード時：

  本ビットに送信する SETUP トランザクションの USB リクエストデータの値を設定してください。
  DCPCTR.SUREQ ビットが 1 のときは、本ビットの値を変更しないでください。

- デバイスコントローラモード時：

  本ビットは SETUP トランザクションで受信した USB リクエストデータの値を示します。本ビットへの書き込みは無効です。

29.2.25 USBVAL : USB リクエストバリューレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x056

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	WVALUE[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	WVALUE[15:0]	バリュー USB リクエスト wValue の値	R/W(注1)

注. S-TYPE-3, P-TYPE-3
注 1. デバイスコントローラモードでは、読み出しのみ可能で書き込みは無効です。ホストコントローラモードでは、これらは読み出し、書き込み両方のビットとなります。

デバイスコントローラモードでは、USBVAL レジスタは受信した wValue の値を格納します。ホストコントローラモードでは、送信する wValue の値を設定します。

USBVAL レジスタは、USB バスリセットで初期化されます。

WVALUE[15:0]ビット（バリュー）

WVALUE[15:0]ビットは USB リクエスト wValue の値を格納します。

- ホストコントローラモード時：

  本ビットに送信する SETUP トランザクションの USB リクエスト wValue の値を設定してください。
  DCPCTR.SUREQ ビットが 1 のときは、本ビットの値を変更しないでください。

- デバイスコントローラモード時：

本ビットは SETUP トランザクションで受信した USB リクエスト wValue の値を示します。本ビットへの書き込みは無効です。

29.2.26 USBINDX : USB リクエストインデックスレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x058

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	WINDEX[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	WINDEX[15:0]	インデックス USB リクエスト wIndex の値	R/W(注1)

注. S-TYPE-3, P-TYPE-3
注 1. デバイスコントローラモードでは、読み出しのみ可能で書き込みは無効です。ホストコントローラモードでは、これらは読み出し、書き込み両方のビットとなります。

USBINDX レジスタは、コントロール転送のセットアップリクエストを格納します。

デバイスコントローラモードでは、USBINDX レジスタは受信した wIndex の値を格納します。ホストコントローラモードでは、送信する wIndex の値を設定します。

USBINDX レジスタは、USB バスリセットで初期化されます。

WINDEX[15:0]ビット（インデックス）

WINDEX[15:0]ビットは USB リクエスト wIndex の値を保持します。

- ホストコントローラモード時：

  本ビットに送信する SETUP トランザクションの USB リクエスト wIndex の値を設定してください。DCPCTR.SUREQ ビットが 1 のときは、本ビットの値を変更しないでください。

- デバイスコントローラモード時：

  本ビットは SETUP トランザクションで受信した USB リクエスト wIndex の値を示します。本ビットへの書き込みは無効です。

29.2.27 USBLENG : USB リクエストレングスレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x05A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	WLENTUH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	WLENTUH[15:0]	レングス USB リクエスト wLength の値	R/W(注1)

注. S-TYPE-3, P-TYPE-3
注 1. デバイスコントローラモードでは、読み出しのみ可能で書き込みは無効です。ホストコントローラモードでは、これらは読み出し、書き込み両方のビットとなります。

USBLENG レジスタは、コントロール転送のセットアップリクエストを格納します。

デバイスコントローラモードでは、受信した wLength の値を格納します。ホストコントローラモードでは、送信する wLength の値を設定します。

USBLENG レジスタは、USB バスリセットで初期化されます。

WLENTUH[15:0]ビット（レングス）

WLENTUH[15:0]ビットは USB リクエスト wLength の値を保持します。

- ホストコントローラモード時：

  本ビットに送信する SETUP トランザクションの USB リクエスト wLength の値を設定してください。DCPCTR.SUREQ ビットが 1 のときは、本ビットの値を変更しないでください。

- デバイスコントローラモード時：

  本ビットは SETUP トランザクションで受信した USB リクエスト wLength の値を示します。本ビットへの書き込みは無効です。

29.2.28 DCPCFG : DCP コンフィグレーションレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x05C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	SHTNAK	—	—	DIR	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	DIR	転送方向(注1) 0: データ受信方向 1: データ送信方向	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	SHTNAK	転送終了時のパイプ禁止(注1) 0: 転送終了後パイプがオープンの状態を維持 1: 転送終了後にパイプを禁止	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. このビットの設定は、PID = NAK の状態のときにのみ実施してください。このビットを設定する場合には、DCPCTR.PBUSY ビットが 0 であることを確認し、DCP の DCPCTR.PID[1:0]ビットを BUF から NAK へ変更してから実施してください。USBFS が PID[1:0]ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

DIR ビット（転送方向）

ホストコントローラモードでは、DIR ビットは、コントロール転送のデータステージおよびステータスステージの転送方向を設定します。デバイスコントローラモードでは、DIR ビットは 0 にしてください。

SHTNAK ビット（転送終了時のパイプ禁止）

SHTNAK ビットは選択パイプが受信方向の場合に、転送終了時に PID を NAK に変更するかどうかを指定します。SHTNAK ビットは、選択パイプが受信方向の場合のみ有効なビットです。

SHTNAK ビットが 1 の場合、USBFS は、転送の終了を判定したときに DCP の DCPCTR.PID[1:0]ビットを NAK に変更します。USBFS は、以下の条件が満たされると転送終了を判定します。

- ショートパケット（Zero-Length パケットを含む）を正常に受信したとき。

29.2.29 DCPMAXP : DCP マックスパケットサイズレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x05E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DEVSEL[3:0]				—	—	—	—	—	MXPS[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	MXPS[6:0]	最大パケットサイズ(注1) DCP の最大データペイロード（最大パケットサイズ）を指定します。	R/W
11:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:12	DEVSEL[3:0]	デバイス選択(注2) 0x0: アドレス 0000b 0x1: アドレス 0001b 0x2: アドレス 0010b 0x3: アドレス 0011b 0x4: アドレス 0100b 0x5: アドレス 0101b その他: 設定禁止	R/W

注. S-TYPE-3, P-TYPE-3
注 1. MXPS[6:0]ビットの設定は、PID = NAK の状態のときにのみ実施してください。これらのビットを設定する場合には、DCPCTR.PBUSY ビットが 0 であることを確認し、DCP の DCPCTR.PID[1:0]ビットを BUF から NAK へ変更してから実施してください。USBFS が PID[1:0]ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。
MXPS[6:0]ビットを設定し、ポート選択レジスタの CURPIPE[3:0]ビットに DCP を設定した後に、ポートコントロールレジスタの BCLR ビットを 1 にしてバッファをクリアしてください。
注 2. DEVSEL[3:0]ビットの設定は、PID = NAK の状態および DCPCTR.SUREQ ビットが 0 の期間にのみ実施してください。これらのビットを設定する場合には、DCPCTR.PBUSY ビットが 0 であることを確認し、DCP の DCPCTR.PID[1:0]ビットを BUF から NAK へ変更してから実施してください。USBFS が PID[1:0]ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

MXPS[6:0]ビット（最大パケットサイズ）

MXPS[6:0]ビットは、DCP の最大データペイロード（最大パケットサイズ）を指定します。初期値は 0x40（64 バイト）です。このビットには USB2.0 規格に準じた値を設定してください。MXPS[6:0]ビットが 0 の状態で FIFO バッファへの書き込み、あるいは PID = BUF の設定を行わないでください。

DEVSEL[3:0] ビット（デバイス選択）

ホストコントローラモードでは、DEVSEL[3:0]ビットは、コントロール転送の対象の周辺デバイスのアドレスを指定します。対応する DEVADDn (n = 0～5) レジスタで設定した後で、本ビットを対応する値に設定してください。たとえば、DEVSEL[3:0]ビットを 0010b にするには、まず、DEVADD2 レジスタを設定してください。

デバイスコントローラモードでは、本ビットを 0000b にしてください。

29.2.30 DCPCTR : DCP コントロールレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x060

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BSTS	SUREQ	—	—	SUREQCLR	—	—	SQCLR	SQSET	SQMON	PBUSY	—	—	CCPL	PID[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	PID[1:0]	応答 PID 0 0: NAK 応答 0 1: BUF 応答（バッファ状態に従う） 1 0: STALL 応答 1 1: STALL 応答	R/W
2	CCPL	コントロール転送終了許可 0: コントロール転送終了を許可しない 1: コントロール転送終了を許可する	R/W
4:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	PBUSY	パイプビジー 0: DCP を USB バスにて未使用 1: DCP を USB バスにて使用中	R
6	SQMON	シーケンストグルビットモニタ 0: DATA0 1: DATA1	R
7	SQSET	シーケンストグルビットセット(注2) DCP 転送においてシーケンストグルビットを設定します。 0: 無効（0 の書き込みは影響なし） 1: 次回トランザクションの期待値を DATA1 にする	R/W(注1)
8	SQCLR	シーケンストグルビットクリア(注2) DCP 転送におけるシーケンストグルビットをクリアします。 0: 無効（0 の書き込みは影響なし） 1: 次回トランザクションの期待値を DATA0 にクリアします。	R/W(注1)
10:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	SUREQCLR	SUREQ ビットクリア ホストコントローラモード時に SUREQ ビットをクリアします。 0: 無効（0 の書き込みは影響なし） 1: SUREQ を 0 にクリアする	R/W(注1)
13:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	SUREQ	SETUP トークン送出 ホストコントローラモード時のトークン送出を設定します。 0: 無効（0 の書き込みは影響なし） 1: Setup パケット送出	R/W
15	BSTS	バッファステータス 0: バッファアクセス不可能 1: バッファアクセス可能	R

注. S-TYPE-3、P-TYPE-3
注 1. 読むと 0 が読めます。
注 2. SQSET ビットおよび SQCLR ビットの設定は、PID が NAK の状態のときにのみ実施してください。これらのビットを設定する場合には、PBUSY ビットが 0 であることを確認し、DCP の PID[1:0]ビットを BUF から NAK へ変更してから実施してください。USBFS が PID[1:0]ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

PID[1:0]ビット（応答 PID）

PID[1:0]ビットは、コントロール転送における USB 応答の種類を制御します。

ホストコントローラモードでは、以下のように PID[1:0]ビットの設定を NAK から BUF に変更します。

- 送信方向設定時：
  a. DVSTCTR0.UACT ビットが 1 かつ PID が NAK の状態で、FIFO バッファにすべての送信データを書き込む。
  b. PID[1:0]ビットを 01b (BUF) にする。
     これにより、USBFS が OUT トランザクションを実行する。
- 受信方向設定時：
  a. DVSTCTR0.UACT ビットが 1 かつ PID が NAK の状態で、FIFO バッファが空の状態であることを確認する（または空の状態にする）。

b. PID[1:0]ビットを 01b (BUF) にする。
これにより、USBFS が IN トランザクションを実行する。

USBFS は PID[1:0]の設定値変更を以下のように行います。

- ソフトウェアが PID[1:0]ビットを BUF (01b) にし、USBFS が MaxPacketSize を超えるデータを受信すると、USBFS は PID[1:0]を STALL (11b) にする。
- CRC エラーなどの受信エラーを 3 回連続で検出した場合、USBFS は PID[1:0]ビットを NAK (00b) にする。
- STALL ハンドシェイクを受信すると、USBFS は PID[1:0]を STALL (11b) にする。

デバイスコントローラモードでは、USBFS は PID[1:0]の設定値変更を以下のように行います。

- Setup パケットを受信すると、USBFS は PID[1:0]ビットを NAK (00b) にする。このとき、USBFS は INTSTS0.VALID フラグを 1 にし、ソフトウェアで VALID フラグが 0 にクリアされるまで、PID[1:0]の設定値変更は不可となる。
- ソフトウェアが PID[1:0]ビットを BUF (01b) にし、USBFS が MaxPacketSize を超えるデータを受信すると、USBFS は PID[1:0]を STALL (11b) にする。
- コントロール転送シーケンスエラーを検出すると、USBFS は PID[1:0]を STALL (1xb) にする。
- USB バスリセットを検出したとき、USBFS は PID[1:0]を NAK にする。

SET_ADDRESS リクエスト処理時には、USBFS は PID[1:0]の設定値を確認しません。

USB バスリセットで PID[1:0]ビットは初期化されます。

CCPL ビット（コントロール転送終了許可）

デバイスコントローラモードでは、CCPL ビットを 1 にすることによりコントロール転送のステータスステージの終了を許可します。対応する PID[1:0]ビットが BUF のとき、ソフトウェアで CCPL ビットを 1 にすると、USBFS はコントロール転送のステータスステージを完了させます。

コントロールリード転送では、USBFS は USB ホストからの OUT トランザクションに対して、ACK ハンドシェイクを送信します。コントロールライト転送またはノーデータコントロール転送では、USBFS は USB ホストからの IN トランザクションに対して、Zero-Length パケットを送信します。SET_ADDRESS リクエスト検出時は、CCPL ビットの設定値に関係なく、USBFS はセットアップステージからステータスステージ完了まで自動応答モードで動作します。

新しい Setup パケットを受信したときに、USBFS は CCPL ビットを 1 から 0 に変更します。INTSTS0.VALID ビットが 1 のとき、ソフトウェアは CCPL ビットを 1 にできません。CCPL ビットは USB バスリセットで初期化されます。

ホストコントローラモードでは、常に CCPL ビットを 0 にしてください。

PBUSY ビット（パイプビジー）

PBUSY ビットは USBFS が PID[1:0]ビットを BUF から NAK に変更した場合に、DCP がトランザクションに使用されるかどうかを示します。USBFS は、選択パイプに対する USB トランザクションの開始時に、PBUSY ビットを 0 から 1 へ変更します。1 つのトランザクションの完了時に、USBFS は PBUSY ビットを 1 から 0 に変更します。

ソフトウェアが PID を NAK にすると、PBUSY ビットの値はパイプ設定の変更が可能かどうかを示します。

詳細については、「29.3.4.1. パイプコントロールレジスタの切り替え手順」を参照してください。

SQMON ビット（シーケンストグルビットモニタ）

SQMON ビットは DCP 転送において、次のトランザクションのシーケンストグルビットの期待値を示します。

トランザクションが正常に終了すると、USBFS は SQMON ビットをトグルします。ただし、受信方向転送時に DATA-PID 不一致が発生すると、USBFS は SQMON ビットをトグルしません。

デバイスコントローラモードでは、Setup パケット正常受信時に、USBFS は SQMON ビットを 1（期待値を DATA1 に設定）にします。

デバイスコントローラモード時、USBFS はステータスステージの IN または OUT トランザクションでは SQMON ビットを参照しません。また、正常に終了しても SQMON ビットをトグルしません。

SQSET ビット（シーケンストグルビットセット）

SQSET ビットは DCP 転送において、次のトランザクションのシーケンストグルビットの期待値を DATA1 に指定します。

SQCLR ビットと SQSET ビットを同時に 1 にしないでください。

SQCLR ビット（シーケンストグルビットクリア）

SQCLR ビットは DCP 転送において、次のトランザクションのシーケンストグルビットの期待値を DATA0 に指定します。読むと 0 が読めます。

SQCLR ビットと SQSET ビットを同時に 1 にしないでください。

SUREQCLR ビット（SUREQ ビットクリア）

ホストコントローラモードでは、SUREQCLR ビットを 1 にすると SUREQ ビットが 0 になります。読むと 0 が読めます。

SETUP トランザクションにおいて SUREQ ビットが 1 のときに転送が停止した場合、ソフトウェアで SUREQCLR ビットを 1 にしてください。正常な SETUP トランザクションでは、その終了時に USBFS が自動的に SUREQ ビットを 0 にするため、ソフトウェアによるクリア処理は必要ありません。

SUREQCLR ビットによる SUREQ ビットの制御は、DVSTCTR0.UACT ビットが 0 のときにのみ行ってください。UACT が 0 のときは、通信が停止しているか、バス切断検出により転送が行われていない状態となっています。

デバイスコントローラモードでは、常に本ビットを 0 にしてください。

SUREQ ビット（SETUP トークン送出）

ホストコントローラモードでは、SUREQ ビットを 1 にすると、USBFS による Setup パケット送信がトリガされます。SETUP トランザクション処理終了後、USBFS は SACK 割り込み、または SIGN 割り込みのどちらかを発生させ、SUREQ ビットを 0 にします。また、SUREQCLR ビットをソフトウェアで 1 にすると、USBFS は SUREQ ビットも 0 にします。

DCPMAXP.DEVSEL[3:0]ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタおよび USBLENG レジスタに SETUP トランザクションで送信したい USB リクエストを設定した後で、SUREQ ビットを 1 にしてください。また、DCP の PID[1:0]ビットを NAK にしていることを確認してください。SUREQ ビットを 1 にした後、SETUP トランザクションが終了するまで (SUREQ = 1) の期間は DCPMAXP.DEVSEL[3:0]ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、または USBLENG レジスタの値を変更しないでください。SETUP トークンを送信するときのみ SUREQ ビットを 1 にしてください。それ以外の場合は 0 にしてください。

デバイスコントローラモードでは、常に本ビットを 0 にしてください。

BSTS フラグ（バッファステータス）

BSTS フラグは DCP FIFO バッファへのアクセスステータスを示します。本フラグが示す内容は、CFIFOSEL.ISEL ビットの設定に応じて以下のように異なります。

- ISEL ビットが 0 のとき、本ビットはバッファから受信データの読み出しが可能かどうかを示す。
- ISEL ビットが 1 のとき、本ビットはバッファから送信データの書き込みが可能かどうかを示す。

29.2.31 PIPESEL : パイプウィンドウ選択レジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x064

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	PIPESEL[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	PIPESEL[3:0]	パイプウィンドウ選択 0x0: パイプ選択なし 0x1: パイプ 1 0x2: パイプ 2 0x3: パイプ 3 0x4: パイプ 4 0x5: パイプ 5 0x6: パイプ 6 0x7: パイプ 7 0x8: パイプ 8 0x9: パイプ 9 その他: 設定禁止	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

PIPESEL レジスタ、PIPECFG レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタ、PIPEnCTR レジスタ、PIPEmTRE レジスタ、および PIPEmTRN レジスタ (n = 1～9, m = 1～5) を使用して、パイプと機能を設定します。

パイプは PIPESEL によって選択されます。

PIPESEL レジスタでパイプを選択した後、対応する PIPECFG、PIPEMAXP、および PIPEPERI レジスタでパイプ機能設定を行います。PIPEnCTR、PIPEnTRE、および PIPEnTRN レジスタは、PIPESEL レジスタにおけるパイプ選択とは無関係に設定可能です。

PIPESEL[3:0]ビット（パイプウィンドウ選択）

PIPESEL[3:0]ビットは、書き込みおよび読み出しに使用する PIPECFG、PIPEMAXP、および PIPEPERI レジスタに対応するパイプ番号を選択します。PIPESEL[3:0]ビットでパイプ番号を選択することで、選択したパイプ番号に対応する PIPECFG、PIPEMAXP、および PIPEPERI レジスタへの書き込みおよび各レジスタからの読み出しができます。

PIPESEL[3:0] = 0000b のときは、PIPECFG、PIPEMAXP、および PIPEPERI レジスタのすべてのビットから 0 が読めます。これらのビットへの書き込みは影響しません。

29.2.32 PIPECFG : パイプコンフィグレーションレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x068

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TYPE[1:0]		—	—	—	BFRE	DBLB	—	SHTNAK	—	—	DIR	EPNUM[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	EPNUM[3:0]	エンドポイント番号(注1) 選択したパイプのエンドポイント番号を指定します。0000b の設定は、未使用パイプを意味します。	R/W
4	DIR	転送方向(注2) (注3) 0: 受信方向 1: 送信方向	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	SHTNAK	転送終了時のパイプ禁止(注1) 0: 転送終了後にパイプ動作を継続 1: 転送終了後にパイプを禁止	R/W
8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
9	DBLB	ダブルバッファモード(注2) (注3) 0: シングルバッファ 1: ダブルバッファ	R/W
10	BFRE	BRDY 割り込み動作指定(注2) (注3) 0: データ送受信で BRDY 割り込み生成 1: データ読み出し完了時に BRDY 割り込み生成	R/W
13:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:14	TYPE[1:0]	転送タイプ(注1) 0 0: パイプ不使用 0 1: パイプ 1 と 2：バルク転送 パイプ 3～5：バルク転送 パイプ 6～9：設定禁止 1 0: パイプ 1 と 2：設定禁止 パイプ 3～5：設定禁止 パイプ 6～9：インタラプト転送 1 1: パイプ 1 と 2：アイソクロナス転送 パイプ 3～5：設定禁止 パイプ 6～9：設定禁止	R/W

注. S-TYPE-3, P-TYPE-3

注 1. TYPE[1:0]ビット、SHTNAK ビットおよび EPNUM[3:0]ビットの設定は、PID が NAK の状態のときにのみ実施してください。これらのビットを設定する場合には、PIPEnCTR.PBUSY ビットが 0 であることを確認し、PIPEnCTR.PID[1:0]ビットを 01b (BUF) から 00b (NAK) へ変更してから実施してください。USBFS が PID[1:0]ビットを 00 (NAK) に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

注 2. BFRE ビット、DBLB ビット、および DIR ビットの設定は、PID が NAK かつポート選択レジスタの CURPIPE[3:0]ビットにパイプ未設定の状態のときにのみ実施してください。これらのビットを設定する場合には、PIPEnCTR.PBUSY ビットが 0 であることを確認し、PIPEnCTR.PID[1:0]ビットを 01b (BUF) から 00b (NAK) へ変更してから実施してください。USBFS が PID[1:0]ビットを 00 (NAK) に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

注 3. 選択したパイプを使用した USB 通信の終了後に BFRE ビット、DBLB ビットまたは DIR ビットを変更する場合には、注 2 記載の制限事項に加え、ソフトウェアで PIPEnCTR.ACLRM ビットに 1 と 0 を連続して書き込み、選択したパイプに割り当てられた FIFO バッファのクリアを実行してください。

PIPECFG レジスタは、パイプ 1～9 に対して、各パイプの転送タイプ、FIFO バッファのアクセス方向、およびエンドポイント番号を指定します。また、本レジスタはシングルバッファモードまたはダブルバッファモードを選択し、さらに転送終了時のパイプ動作を継続するか、禁止するかの選択をします。

EPNUM[3:0]ビット（エンドポイント番号）

EPNUM[3:0]ビットは選択したパイプのエンドポイント番号を指定します。0000b の設定は、未使用パイプを意味します。

DIR ビットと EPNUM[3:0]ビットの設定の組み合わせが、他のパイプの設定と重複しないように EPNUM[3:0]ビットを設定してください。すべてのパイプに対して EPNUM[3:0]ビットの設定を 0000b とすることは可能です。

DIR ビット（転送方向）

DIR ビットは選択したパイプの転送方向を指定します。

ソフトウェアで DIR ビットを 0 にすると、USBFS は選択したパイプを受信方向に使用します。ソフトウェアで DIR ビットを 1 にすると、USBFS は選択したパイプを送信方向に使用します。

SHTNAK ビット（転送終了時のパイプ禁止）

SHTNAK ビットは選択したパイプの転送方向が受信の場合、転送終了時に PIPEnCTR.PID[1:0]ビットを 00b (NAK) に変更するかどうかを指定します。SHTNAK ビットは、受信方向のパイプ 1～5 の場合に有効なビットです。

受信方向パイプに対してソフトウェアで SHTNAK ビットを 1 にすると、USBFS は転送終了を判定したときに、対応する PIPEnCTR.PID[1:0]ビットを 00b (NAK) に変更します。USBFS は、以下の条件が満たされると転送終了を判定します。

- ショートパケットデータ（Zero-Length パケットを含む）を正常に受信したとき
- トランザクションカウンタを使用し、トランザクションカウンタ分のパケットを正常受信したとき

DBLB ビット（ダブルバッファモード）

DBLB ビットは、選択したパイプが使用する FIFO バッファがシングルバッファモードかダブルバッファモードかを選択します。本ビットはパイプ 1～5 の場合に有効です。

BFRE ビット（BRDY 割り込み動作指定）

BFRE ビットは USBFS から CPU への選択したパイプに関する BRDY 割り込みの発行タイミングを指定します。

ソフトウェアで BFRE ビットを 1 にし、かつ選択したパイプを受信方向で使用している場合、USBFS は転送終了を検出し、パケットの読み出し時に BRDY 割り込みを発行します。

この設定で BRDY 割り込みが発生した場合、ソフトウェアによりポートコントロールレジスタの BCLR ビットに 1 を書き込む必要があります。BCLR ビットに 1 を書き込むまでは選択したパイプに割り付けられた FIFO バッファは受信可能状態になりません。

ソフトウェアで BFRE ビットを 1 にし、かつ選択したパイプを送信方向で使用している場合、USBFS は BRDY 割り込みを発生させません。詳細については、「29.3.3.1. BRDY 割り込み」を参照してください。

TYPE[1:0]ビット（転送タイプ）

TYPE[1:0]ビットは PIPESEL.PIPESEL[3:0]ビットに指定したパイプの転送タイプを指定します。PID を BUF にして選択したパイプで USB 通信を開始する前に、TYPE[1:0]ビットを 00b 以外の値にしてください。

29.2.33 PIPEMAXP : パイプマックスパケットサイズレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x06C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DEVSEL[3:0]				—	—	—	MXPS[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	MXPS[8:0]	最大パケットサイズ(注1) ● パイプ 1～2 1 バイト (0x001)～256 バイト (0x100) （ビット[9]はサポートされていません。） ● パイプ 3～5 8 バイト (0x008)、16 バイト (0x010)、32 バイト (0x020)、64 バイト (0x040) （ビット[9:7]および[2:0]はサポートされていません。） ● パイプ 6～9 1 バイト (0x001) ～64 バイト (0x040) （ビット[9:7]はサポートされていません。）	R/W
11:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:12	DEVSEL[3:0]	デバイス選択(注2) 0x0: アドレス 0000b 0x1: アドレス 0001b 0x2: アドレス 0010b 0x3: アドレス 0011b 0x4: アドレス 0100b 0x5: アドレス 0101b その他: 設定禁止	R/W

注. S-TYPE-3, P-TYPE-3
注. MXPS[8:0]ビットの値は、PIPESEL.PIPESEL[3:0]ビットでパイプを選択していないときは 0x000、選択しているときは 0x040 です。
注 1. MXPS[8:0]ビットの設定は、PID が NAK かつポート選択レジスタの CURPIPE[3:0]ビットでパイプ未設定の状態のときにのみ実施してください。これらのビットを設定する場合には、PIPEnCTR.PBUSY ビットが 0 であることを確認し、PIPEnCTR.PID[1:0]ビットを 01b (BUF) から 00b (NAK) へ変更してから実施してください。USBFS が PID[1:0]ビットを 00 (NAK) に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。
注 2. DEVSEL[3:0]ビットの設定は、PID が NAK の状態のときにのみ実施してください。これらのビットを設定する場合には、PIPEnCTR.PBUSY ビットが 0 であることを確認し、PIPEnCTR.PID[1:0]ビットを 01b (BUF) から 00b (NAK) へ変更してから実施してください。USBFS が PID[1:0]ビットを 00b (NAK) に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

PIPEMAXP レジスタは、パイプ 1～9 に対して、最大パケットサイズを指定します。

MXPS[8:0]ビット（最大パケットサイズ）

MXPS[8:0]ビットは選択したパイプの最大データペイロード（最大パケットサイズ）を指定します。

MXPS[8:0]ビットの設定は、転送タイプごとに USB2.0 規格に準拠した値を設定してください。MXPS[8:0]ビット = 0 のとき、FIFO バッファへの書き込み、または PID ＝ BUF の設定は行わないでください。これらの書き込みは無効です。

DEVSEL[3:0]ビット（デバイス選択）

ホストコントローラモードでは、DEVSEL[3:0]ビットは USB 通信対象デバイスのアドレスを指定します。対応する DEVADDn (n = 0～5) レジスタで設定した後で、本ビットを対応する値に設定してください。たとえば、DEVSEL[3:0]ビットを 0x2 にするには、まず、DEVADD2 レジスタを設定してください。

デバイスコントローラモードでは、本ビットを 0x0 にしてください。

29.2.34 PIPEPERI : パイプ周期コントロールレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x06E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	IFIS	—	—	—	—	—	—	—	—	—	IITV[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	IITV[2:0](注1)	インターバルエラー検出間隔 選択したパイプのインターバルエラー検出タイミングを、フレームタイミングの 2 の n 乗で指定してください。	R/W
11:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	IFIS	アイソクロナス IN バッファフラッシュ 0: バッファフラッシュしない 1: バッファフラッシュする	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3
注 1. IITV[2:0]ビットの設定は、PID が NAK の状態のときにのみ実施してください。これらのビットを設定する場合には、PBUSY ビットが 0 であることを確認し、PID[1:0]ビットを 01b (BUF) から 00b (NAK) へ変更してから実施してください。USBFS が PID[1:0]ビットを 00 (NAK) に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

PIPEPERI レジスタは、パイプ 1～9 に対して、アイソクロナス IN 転送時にインターバルエラーが発生した場合にバッファフラッシュ機能を動作させるかどうかの選択、およびインターバルエラーの検出間隔の設定をするレジスタです。

IITV[2:0]ビット（インターバルエラー検出間隔）

IITV[2:0]ビットを設定し、USB 通信を行った後で IITV[2:0]ビットを別の値に変更する場合は、PIPEnCTR.PID[1:0]ビットを 00b (NAK) にしてから PIPEnCTR.ACLRM ビットを 1 にして、インターバルタイマの初期化を行ってください。

パイプ 3～5 に対しては、IITV[2:0]ビットは存在しません。パイプ 3～5 に関連する IITV[2:0]ビットの位置には、000b を書き込んでください。

IFIS ビット（アイソクロナス IN バッファフラッシュ）

IFIS ビットは PIPESEL.PIPESEL[3:0]ビットで選択したパイプがアイソクロナス IN 転送で使用される場合に、バッファフラッシュの有無を指定します。

デバイスコントローラモード時に、選択パイプの転送タイプがアイソクロナス、かつ転送方向が IN 転送の場合において、IITV[2:0]ビットに設定したインターバルごとのフレーム中に USBFS が USB ホストから IN トークンを受信しなかった場合は、USBFS が自動的に FIFO バッファをクリアします。

ダブルバッファ設定時（PIPECFG.DBLB ビット = 1）は、USBFS は前回使用した 1 面分のデータのみクリアします。

USBFS が FIFO バッファをクリアするタイミングは、USBFS が IN トークンを受信するはずのフレーム直後の SOF パケット受信時です。SOF パケットが破損した場合でも、内部補完機能により SOF パケットの受信が見込まれるタイミングで FIFO バッファをクリアします。

ホストコントローラ機能を選択する場合はこのビットを 0 にします。

選択パイプの転送タイプがアイソクロナス以外の場合は、このビットを 0 にしてください。

29.2.35 PIPEnCTR : PIPEn コントロールレジスタ (n = 1～5)

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x070 + 0x2 × (n - 1)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	PID[1:0]	応答 PID 0 0: NAK 応答 0 1: BUF 応答（バッファ状態に従う） 1 0: STALL 応答 1 1: STALL 応答	R/W
4:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	PBUSY	パイプビジー 0: パイプ n をトランザクションで未使用 1: パイプ n をトランザクションで使用中	R
6	SQMON	シーケンストグルビット確認 0: DATA0 1: DATA1	R
7	SQSET	シーケンストグルビットセット(注2) パイプ n にシーケンストグルビットを設定します。 0: 無効（0 の書き込みは影響なし） 1: 次回トランザクションの期待値を DATA1 にする	R/W(注1)
8	SQCLR	シーケンストグルビットクリア(注2) パイプ n のシーケンストグルビットをクリアします。 0: 無効（0 の書き込みは影響なし） 1: 次回トランザクションの期待値を DATA0 にクリアする	R/W(注1)
9	ACLRM	自動バッファクリアモード(注3) 0: 無効 1: 許可（全バッファ初期化）	R/W
10	ATREPM	自動応答モード(注2) 0: 自動応答モード禁止 1: 自動応答モード許可	R/W
13:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	INBUFM	送信バッファモニタ 0: FIFO バッファに送信可能データなし 1: FIFO バッファに送信可能データあり	R
15	BSTS	バッファステータス 0: CPU からのバッファアクセス不可能 1: CPU からのバッファアクセス可能	R

注. S-TYPE-3, P-TYPE-3
注 1. 読むと 0 が読めます。
注 2. ATREPM ビットの設定および SQCLR ビットまたは SQSET ビットへの 1 の書き込みは、PID が NAK の状態のときにのみ実施してください。これらのビットを設定する場合には、PBUSY ビットが 0 であることを確認し、PID[1:0]ビットを 01b (BUF) から 00b (NAK) へ変更してから実施してください。USBFS が PID[1:0]ビットを 00 (NAK) に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

注 3. ACLRM ビットの設定は、PID が NAK かつポート選択レジスタの CURPIPE[3:0]ビットにパイプ未設定の状態のときにのみ実施してください。このビットを設定する場合には、PBUSY ビットが 0 であることを確認し、PID[1:0]ビットを 01b (BUF) から 00b (NAK) へ変更してから実施してください。USBFS が PID[1:0]ビットを 00 (NAK) に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

PIPEnCTR レジスタは、PIPESEL レジスタで選択されたどのパイプに対しても設定可能です。

PID[1:0]ビット（応答 PID）

PID[1:0]ビットは選択したパイプの次回のトランザクションにおける応答の種類を指定します。

PID[1:0]ビットの初期値は NAK です。対応するパイプで USB 転送を行う場合には、PID[1:0]ビットの設定値を BUF に変更してください。PID[1:0]ビットの設定値に基づく USBFS の基本動作（通信パケットにエラーがない場合）を、表 29.9 と表 29.10 に示します。

選択したパイプが USB 通信中であるときにソフトウェアで PID[1:0]の設定を BUF から NAK に変更した場合は、実際にそのパイプの USB 転送が NAK 状態に遷移したかを確認するために、PBUSY ビットが 1 であることを確認してください。USBFS が PID[1:0]ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

以下の場合には、USBFS が PIPEnCTR.PID[1:0]設定値を変更します。

- 選択したパイプが受信方向で、かつソフトウェアで選択したパイプの PIPECFG.SHTNAK ビットを 1 にしている場合、USBFS は転送終了を認識したときに PID を NAK にする
- 選択したパイプに対し、最大パケットサイズを超えるペイロードのデータパケットを受信した場合、USBFS は PID を STALL (11b) にする
- デバイスコントローラモード時に USB バスリセットを検出した場合、USBFS は PID を NAK にする
- ホストコントローラモード時に CRC エラーなどの受信エラーを 3 回連続で検出した場合、USBFS は PID を NAK にする
- ホストコントローラモード時に STALL ハンドシェイクを受信した場合、USBFS は PID を STALL (11b) にする

応答の種類を指定するための PID[1:0]ビットの設定は以下の手順で行ってください。

- NAK (00b) 状態から STALL 状態にする場合には、10b を設定
- BUF (01b) 状態から STALL 状態にする場合には、11b を設定
- STALL (11b) 状態から NAK 状態にする場合には、一度 10b を設定してから 00b を設定
- STALL 状態から BUF 状態にする場合には、一度 00b (NAK) を設定してから 01b (BUF) を設定

表 29.9 PID[1:0]の設定値に基づく USBFS の動作（ホストコントローラモード時）

PID[1:0]値	転送タイプ	転送方向（DIR ビット）	USBFS 動作
00b (NAK)	設定値に依存しない	設定値に依存しない	トークンを発行しません。
01b (BUF)	バルクまたは割り込み	設定値に依存しない	DVSTCTR0.UACT ビットが 1、かつ選択したパイプに対応する FIFO バッファが送受信可能な状態にある場合、トークンを発行します。DVSTCTR0.UACT ビットが 0、または選択したパイプに対応する FIFO バッファが送受信可能な状態にない場合、トークンを発行しません。
	アイソクロナス	設定値に依存しない	選択したパイプに対応する FIFO バッファの状態にかかわらずトークンを発行します。
10b (STALL) または 11b (STALL)	設定値に依存しない	設定値に依存しない	トークンを発行しません。

表 29.10 PID[1:0]の設定値に基づく USBFS の動作（デバイスコントローラモード時） (1/2)

PID[1:0]値	転送タイプ	転送方向（DIR ビット）	USBFS 動作
00b (NAK)	バルクまたは割り込み	設定値に依存しない	USB ホストからのトークンに NAK 応答を行います。
	アイソクロナス	設定値に依存しない	USB ホストからのトークンに応答を行いません。

表 29.10 PID[1:0]の設定値に基づく USBFS の動作（デバイスコントローラモード時） (2/2)

PID[1:0]値	転送タイプ	転送方向（DIR ビット）	USBFS 動作
01b (BUF)	バルク	受信方向 (DIR = 0)	USB ホストからの OUT トークンに対し、選択したパイプに対応する FIFO バッファが受信可能な状態であればデータを受信し、ACK 応答を行います。
	割り込み	受信方向 (DIR = 0)	USB ホストからの OUT トークンに対し、選択したパイプに対応する FIFO バッファが受信可能な状態であればデータを受信し、ACK 応答を行います。
	バルクまたは割り込み	送信方向 (DIR = 1)	USB ホストからのトークンに対して、選択したパイプに対応する FIFO バッファが送信可能な状態であれば、データを送信します。送信可能な状態でなければ、NAK 応答を行います。
	アイソクロナス	受信方向 (DIR = 0)	USB ホストからの OUT トークンに対し、選択したパイプに対応する FIFO バッファが受信可能な状態であれば、データを受信します。受信可能な状態でなければ、データを破棄します。
	アイソクロナス	送信方向 (DIR = 1)	USB ホストからのトークンに対して、対応する FIFO バッファが送信可能な状態であれば、データを送信します。送信可能な状態でなければ、Zero-Length パケットを送信します。
10b (STALL) または 11b (STALL)	バルクまたは割り込み	設定値に依存しない	USB ホストからのトークンに STALL 応答を行います。
	アイソクロナス	設定値に依存しない	USB ホストからのトークンに応答を行いません。

PBUSY ビット（パイプビジー）

PBUSY ビットは選択したパイプを現在のトランザクションで使用中かどうかを示します。

USBFS は、選択したパイプの USB トランザクション開始時に PBUSY ビットを 0 から 1 に変更し、1 つのトランザクションが終了すると PBUSY ビットを 1 から 0 に変更します。

PID を NAK に設定した後、ソフトウェアで PBUSY ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することが可能です。詳細については、「29.3.4.1. パイプコントロールレジスタの切り替え手順」を参照してください。

SQMON ビット（シーケンストグルビット確認）

SQMON ビットは選択したパイプの次回のトランザクションにおけるシーケンストグルビットの期待値を示します。

選択したパイプの転送タイプがアイソクロナス以外の場合、トランザクションが正常に終了すると、USBFS は SQMON フラグをトグルします。ただし、受信方向転送時に DATA-PID 不一致が発生すると、USBFS は SQMON フラグをトグルしません。

SQSET ビット（シーケンストグルビットセット）

ソフトウェアで SQSET ビットを 1 にすると、USBFS は選択したパイプにおける次回トランザクションのシーケンストグルビットの期待値を DATA1 に設定します。USBF は、SQSET ビットを 0 にクリアします。

SQCLR ビット（シーケンストグルビットクリア）

ソフトウェアで SQCLR ビットを 1 にすると、USBFS は選択したパイプにおける次回トランザクションのシーケンストグルビットの期待値を DATA0 に設定します。USBF は、SQCLR ビットを 0 にクリアします。

ACLRM ビット（自動バッファクリアモード）

ACLRM ビットは選択したパイプの自動バッファクリアモードの許可または禁止を指定します。選択したパイプに割り当てられた FIFO バッファのデータを完全にクリアする場合、ACLRM ビットに 1 と 0 を連続して書き込んでください。

ACLRM ビットに 1 と 0 を連続して書き込んだ場合にクリアされるデータと、この処理が必要な状況を表 29.11 に示しています。

表 29.11 ACLRM = 1 のときに USBFS がクリアするデータ (1/2)

番号	ACLRM ビットの設定によりクリアされるデータ	データのクリアが必要な状況
1	選択したパイプに割り当てられた FIFO バッファの全データ（ダブルバッファモードでは 2 つの FIFO バッファ）	選択したパイプを初期化する場合

表 29.11 ACLRM = 1 のときに USBFS がクリアするデータ (2/2)

番号	ACLRM ビットの設定によりクリアされるデータ	データのクリアが必要な状況
2	選択したパイプがアイソクロナス転送タイプの場合はインターバルカウント値	インターバルカウント値をリセットする場合
3	PIPECFG.BFRE ビットに関する内部フラグ	PIPECFG.BFRE ビットの設定値を変更する場合
4	FIFO バッファトグル制御	PIPECFG.DBLB ビットの設定値を変更する場合
5	トランザクションカウントに関する内部フラグ	トランザクションカウント機能を強制終了する場合

ATREPM ビット（自動応答モード）

ATREPM ビットは選択したパイプの自動応答モードを許可または禁止します。

デバイスコントローラモードで、選択したパイプの転送タイプがバルク転送のとき、本ビットを 1 にすることができます。本ビットを 1 にした場合、USBFS は USB ホストからのトークンに対し以下のように応答します。

- 選択したパイプの設定がバルク IN 転送（PIPECFG.TYPE[1:0] = 01b かつ PIPECFG.DIR = 1）のとき：
  a. ATREPM = 1 かつ PID = BUF の状態の場合、IN トークンに対して USBFS は Zero-Length パケットを送信する。
  b. USB は、USB ホストから ACK を受信するごとに、シーケンストグルビット (DATA-PID) を更新する。1 トランザクションでは、IN トークン受信、Zero-Length パケット送信、ACK 受信の順序で発生する。USBFS は BRDY 割り込みや BEMP 割り込みを発生させない。

- 選択したパイプの設定がバルク OUT 転送（PIPECFG.TYPE[1:0] = 01b かつ PIPECFG.DIR = 0）のとき：
  ATREPM = 1 かつ PID = BUF の状態の場合、OUT トークンに対して USBFS は NAK 応答を行い、NRDY 割り込みを発生させる。

自動応答モードで USB 通信を行う場合、FIFO バッファが空の状態で ATREPM ビットを 1 にしてください。自動応答モードで USB 通信を行っている期間は、FIFO バッファへの書き込みを行わないでください。選択したパイプの転送タイプがアイソクロナス転送の場合は、常に本ビットを 0 にしてください。

ホストコントローラモードでは、ATREPM ビットを常に 0 にしてください。

INBUFM ビット（送信バッファモニタ）

INBUFM ビットは選択したパイプが送信方向の場合に、選択したパイプの FIFO バッファステータスを示します。

選択したパイプを送信方向（PIPECFG.DIR ビットが 1）に設定している場合、CPU または DMA/DTC が少なくとも 1 面分のデータを FIFO バッファに書き込みを完了したときに、USBFS は本ビットを 1 にします。

書き込みが完了している面の FIFO バッファ上のデータを USBFS がすべて送信完了したときに、USBFS は本ビットを 0 にします。ダブルバッファモード時 (PIPECFG.DBLB = 1) には、USBFS が FIFO バッファの 2 面分のデータを送信完了し、かつ CPU または DMA/DTC が FIFO バッファの 1 面分のデータ書き込みを完了していないときに、USBFS は INBUFM ビットを 0 にします。

選択したパイプを受信方向 (PIPECFG.DIR = 0) に設定している場合には、INBUFM ビットは BSTS ビットと同じ値を示します。

BSTS ビット（バッファステータス）

BSTS ビットは選択したパイプの FIFO バッファステータスを示します。

BSTS ビットの機能は、PIPECFG.DIR ビット、PIPECFG.BFRE ビット、および DnFIFOSEL.DCLRM ビットの設定値により、表 29.12 に示すように異なります。

表 29.12 BSTS ビットの動作

DIR 値	BFRE 値	DCLRM 値	BSTS ビットの機能
0	0	0	FIFO バッファからの受信データの読み出しが可能な場合は 1、データ読み出し完了時には 0
		1	設定禁止
	1	0	FIFO バッファからの受信データの読み出しが可能な場合は 1、データ読み出し完了後にソフトウェアがポートコントロールレジスタの BCLR ビットを 1 にする場合は 0
		1	FIFO バッファからの受信データの読み出しが可能な場合は 1、データ読み出し完了時には 0
1	0	0	FIFO バッファへの送信データの書き込みが可能な場合は 1、データ書き込み完了時には 0
		1	設定禁止
	1	0	設定禁止
		1	設定禁止

29.2.36 PIPEnCTR : PIPEn コントロールレジスタ (n = 6～9)

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x07A + 0x2 × (n - 6)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BSTS	—	—	—	—	—	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	PID[1:0]	応答 PID 0 0: NAK 応答 0 1: BUF 応答（バッファ状態に従う） 1 0: STALL 応答 1 1: STALL 応答	R/W
4:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	PBUSY	パイプビジー 0: パイプ n をトランザクションで未使用 1: パイプ n をトランザクションで使用中	R
6	SQMON	シーケンストグルビット確認 0: DATA0 1: DATA1	R
7	SQSET	シーケンストグルビットセット(注1) パイプ n にシーケンストグルビットを設定します。 0: 無効（0 の書き込みは影響なし） 1: 次回トランザクションの期待値を DATA0 にする	W
8	SQCLR	シーケンストグルビットクリア(注1) パイプ n のシーケンストグルビットをクリアします。 0: 無効（0 の書き込みは影響なし） 1: 次回トランザクションの期待値を DATA0 にクリアします。	W
9	ACLRM	自動バッファクリアモード(注2) 0: 無効 1: 許可（全バッファ初期化）	R/W
14:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	BSTS	バッファステータス 0: バッファアクセス不可能 1: バッファアクセス可能	R

注. S-TYPE-3, P-TYPE-3
注 1. SQCLR ビットまたは SQSET ビットへの 1 の書き込みは、PID が NAK の状態のときにのみ実施してください。これらのビットを設定する場合には、PBUSY ビットが 0 であることを確認し、PID[1:0]ビットを 01b (BUF) から 00b (NAK) へ変更してから実施してください。USBFS が PID[1:0]ビットを 00b (NAK) に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。
注 2. ACLRM ビットの設定は、PID が NAK かつポート選択レジスタの CURPIPE[3:0]ビットにパイプ未設定の状態のときにのみ実施してください。本ビットを設定する場合は、PIPEnCTR.PBUSY ビットが 0 であることを確認し、PIPEnCTR.PID[1:0]ビットを 01b (BUF) から 00b (NAK) へ変更してから実施してください。USBFS が PID[1:0]ビットを 00b (NAK) に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

PID[1:0]ビット（応答 PID）

PID[1:0]ビットは選択したパイプの次回のトランザクションにおける応答の種類を指定します。

PID[1:0]ビットの初期値は NAK です。対応するパイプで USB 転送を行う場合には、PID[1:0]ビットの設定値を BUF に変更してください。PID[1:0]ビット設定値ごとの USBFS の基本動作（送受信パケットにエラーがない場合）は、表 29.9 および表 29.10 のとおりです。

選択したパイプが USB 通信中であるときにソフトウェアで PID[1:0]の設定を BUF から NAK に変更した場合は、実際にその選択したパイプの USB 転送が NAK 状態に遷移したかを確認するために、PBUSY ビットが 1 であることを確認してください。USBFS が PID[1:0]ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

以下の場合には、USBFS が PIPEnCTR.PID[1:0]設定値を変更します。

- 選択したパイプに対し、最大パケットサイズを超えるペイロードのデータパケットを受信した場合、USBFS は PID を STALL (11b) にする
- デバイスコントローラモード時に USB バスリセットを検出した場合、USBFS は PID を NAK にする
- ホストコントローラモード時に CRC エラーなどの受信エラーを 3 回連続で検出した場合、USBFS は PID を NAK にする
- ホストコントローラモード時に STALL ハンドシェイクを受信した場合、USBFS は PID を STALL (11b) にする

各応答の種類を指定するための PID[1:0]ビットの設定は以下の手順で行ってください。

- NAK (00b) 状態から STALL 状態にする場合には、10b を設定
- BUF (01b) 状態から STALL 状態にする場合には、11b を設定
- STALL (11b) 状態から NAK 状態にする場合には、一度 10b を設定してから 00b を設定
- STALL 状態から BUF 状態にする場合には、一度 00b (NAK) を設定してから 01b (BUF) を設定

PBUSY ビット（パイプビジー）

PBUSY ビットは選択したパイプを現在のトランザクションで使用中かどうかが表示されます。

USBFS は、選択したパイプの USB トランザクション開始時に PBUSY ビットを 0 から 1 に変更し、1 つのトランザクションが終了すると PBUSY ビットを 1 から 0 に変更します。

PID を NAK にした後、ソフトウェアで PBUSY ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することが可能です。

SQMON ビット（シーケンストグルビット確認）

SQMON ビットは選択したパイプの次回トランザクションにおけるシーケンストグルビットの期待値を示します。

トランザクションが正常終了すると、USBFS は SQMON ビットをトグルします。ただし、受信方向転送時に DATA-PID 不一致が発生すると、USBFS は SQMON ビットをトグルしません。

SQSET ビット（シーケンストグルビットセット）

ソフトウェアで SQSET ビットを 1 にすると、USBFS は選択したパイプにおける次回トランザクションのシーケンストグルビットの期待値を DATA1 に設定します。USBF は、SQSET ビットを 0 にします。

SQCLR ビット（シーケンストグルビットクリア）

ソフトウェアで SQCLR ビットを 1 にすると、USBFS は選択したパイプにおける次回トランザクションのシーケンストグルビットの期待値を DATA0 に設定します。USBF は、SQCLR ビットを 0 にします。

ACLRM ビット（自動バッファクリアモード）

ACLRM ビットは選択したパイプの自動バッファクリアモードの許可または禁止を指定します。選択したパイプに割り当てられた FIFO バッファのデータを完全にクリアする場合、ACLRM ビットに 1 と 0 を連続して書き込んでください。

表 29.13 は、ACLRM ビットに 1 と 0 を連続して書き込んだ場合にクリアされるデータと、この処理が必要な状況を示しています。

表 29.13　ACLRM = 1 のときに USBFS がクリアするデータ

番号	ACLRM ビットの設定によりクリアされるデータ	データのクリアが必要な状況
1	選択したパイプに割り当てられた FIFO バッファの全データ	選択したパイプを初期化する場合
2	選択したパイプがアイソクロナス転送タイプの場合はインターバルカウント値	インターバルカウント値をリセットする場合
3	PIPECFG.BFRE ビットに関する内部フラグ	PIPECFG.BFRE ビットの設定値を変更する場合
4	トランザクションカウントに関する内部フラグ	トランザクションカウント機能を強制終了する場合

BSTS ビット（バッファステータス）

BSTS ビットは選択したパイプの FIFO バッファステータスを示します。

BSTS ビットの機能は、PIPECFG.DIR ビット、PIPECFG.BFRE ビット、および DnFIFOSEL.DCLRM ビットの設定値により、表 29.12 に示すように異なります。

29.2.37　PIPEnTRE : PIPEn トランザクションカウンタ許可レジスタ (n = 1～5)

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x090 + 0x4 × (n - 1)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	TRCLR	トランザクションカウンタクリア 0: 無効（0 の書き込みは影響なし） 1: カウンタ値をクリア	R/W
9	TRENB	トランザクションカウンタ許可 0: トランザクションカウンタ禁止 1: トランザクションカウンタ許可	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　S-TYPE-3, P-TYPE-3
注.　PIPEnTRE レジスタの各ビットの設定は、PID が NAK の状態のときに実施してください。選択したパイプの PIPEnCTR.PID[1:0]ビットを BUF から NAK へ変更した後で各ビットを設定する場合には、PIPEnCTR.PBUSY ビットが 0 であることを確認してください。ただし、USBFS が PID[1:0]ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

TRCLR ビット（トランザクションカウンタクリア）

TRCLR ビットが 1 の場合、USBFS は選択したパイプに関連付けられているトランザクションカウンタの値をクリアし、その後 TRCLR ビットを 0 にします。

TRENB ビット（トランザクションカウンタ許可）

TRENB ビットは、トランザクションカウンタの許可または禁止を指定します。

受信パイプに対して、ソフトウェアで PIPEnTRN.TRNCNT[15:0]ビットに総受信パケット数を設定した後で TRENB ビットを 1 にすると、USBFS は TRNCNT[15:0]ビットの設定値と同数のパケット受信を終了したときに以下のハードウェア制御を行います。

- PIPECFG.SHTNAK ビットが 1 のとき、TRNCNT[15:0]ビットの設定値と同数のパケットの受信を終了した時点で USBFS は関連するパイプの PID ビットを NAK に変更する
- PIPECFG.BFRE ビットが 1 のとき、TRNCNT[15:0]ビットの設定値と同数のパケットを受信しその最後の受信データを読み出し終えたときに、USBFS は BRDY 割り込みをアサートする

送信パイプについては、TRENB ビットを 0 にしてください。

トランザクションカウンタを使用しない場合は、本ビットを 0 にしてください。トランザクションカウンタを使用する場合、TRENB ビットを 1 にする前に TRNCNT[15:0]ビットの設定を行ってください。トランザクションカウンタのカウント対象となる最初のパケットを受信する前に、本ビットを 1 にしてください。

29.2.38 PIPEnTRN : PIPEn トランザクションカウンタレジスタ (n = 1～5)

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x092 + 0x4 × (n - 1)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TRNCNT[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	TRNCNT[15:0]	トランザクションカウンタ レジスタ書き込み時、選択したパイプが受信すべき総パケット数（トランザクション回数）を指定します。 レジスタ読み出し時、PIPEnTRE.TRENB ビットが 0 の場合は、指定したトランザクション回数を示します。 PIPEnTRE.TRENB ビットが 1 の場合は、現在のトランザクションカウントを示します。	R/W

注. S-TYPE-3, P-TYPE-3

PIPEnTRN レジスタは、USB バスリセット時もその設定値を保持します。

TRNCNT[15:0]ビット（トランザクションカウンタ）

USBFS は、パケット受信時の状態が以下の条件をすべて満たしたときに、TRNCNT[15:0]ビットの値を 1 増加させます。

- PIPEnTRE.TRENB = 1
- パケット受信時に「TRNCNT[15:0]設定値 ≠ 現在のカウンタ値+1」である
- 受信したパケットのペイロードが PIPEMAXP.MXPS[9:0]ビットの設定値と一致する

USBFS は、以下のいずれかの条件を満たしたとき、TRNCNT[15:0]ビットの値を 0 にします。

以下の条件がすべて満たされたとき：

- PIPEnTRE.TRENB = 1
- パケット受信時に「TRNCNT[15:0]設定値 = 現在のカウンタ値+1」である
- 受信したパケットのペイロードが PIPEMAXP.MXPS[9:0]ビットの設定値と一致する

以下条件がどちらも満たされたとき：

- PIPEnTRE.TRENB = 1
- USBFS がショートパケットを受信した

以下条件がどちらも満たされたとき：

- PIPEnTRE.TRENB = 1
- PIPEnTRE.TRCLR ビットがソフトウェアによって 1 にされた

送信パイプについては、TRNCNT[15:0]ビットを 0 にしてください。トランザクションカウンタを使用しない場合は、TRNCNT[15:0]ビットを 0 にしてください。

TRNCNT[15:0]ビットに転送されるトランザクション数の設定は、PIPEnTRE.TRENB ビットが 0 のときのみ可能です。転送されるトランザクション数を設定するには、PIPEnTRE.TRENB ビットを 1 にする前に、TRCLR ビットを 1 にして現在のカウンタ値をクリアしてください。

29.2.39 DEVADDn : デバイスアドレス n コンフィグレーションレジスタ (n = 0～5)

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x0D0 + 0x2 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	USBSPD[1:0]		—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:6	USBSPD[1:0]	通信対象デバイス転送速度 0 0: DEVADDn レジスタ未使用 0 1: ロースピード 1 0: フルスピード 1 1: 設定禁止	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

DEVADDn レジスタは、パイプ 0～9 に対して、通信対象の周辺デバイスの転送速度を指定するレジスタです。

ホストコントローラモードでは、パイプへの通信を開始する前に、DEVADDn レジスタのビットをすべて設定してください。DEVADDn レジスタの各ビットの変更は、各ビットの設定を使用している有効なパイプが存在しないときにのみ行ってください。有効なパイプとは、以下の両方の条件を満たしているパイプです。

- DEVADDn レジスタの対象デバイスが DEVSEL[3:0]ビットで選択されている
- 選択パイプの PID[1:0]ビットに BUF を設定しているか、または選択パイプが DCP であり DCPCTR.SUREQ ビットが 1 になっている

デバイスコントローラモードでは、本レジスタのビットはすべて 0 にしてください。

USBSPD[1:0]ビット（通信対象デバイス転送速度）

USBSPD[1:0]ビットは対象の周辺デバイスの USB 転送速度を設定します。HUB 経由でフルスピードデバイスが接続されたときには、USBSPD[1:0]ビットを 10b にしてください。ホストコントローラモード時、USBFS は USBSPD[1:0]の設定に応じてパケットを生成します。デバイスコントローラモードでは、USBSPD[1:0]ビットを 00b にしてください。

29.2.40 DPUSR0R : ディープソフトウェアスタンバイ USB トランシーバコントロール／端子モニタレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x400

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	DVBSTS0	—	DOVCB0	DOVCA0	—	—	DM0	DP0
Value after reset:	0	0	0	0	0	0	0	0	x	0	x	x	0	0	x	x

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	FIXPHY0	DRPD0	—	RPUE0	SRPC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SRPC0(注1)	USB シングルエンドレシーバ制御 0: DP/DM の入力を禁止 1: DP/DM の入力を許可	R/W
1	RPUE0(注1)	DP プルアップ抵抗制御 0: DP プルアップ抵抗を無効 1: DP プルアップ抵抗を有効	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	DRPD0(注1)	D+/D–プルダウン抵抗制御 0: DP/DP プルダウン抵抗を無効 1: DP/DP プルダウン抵抗を有効	R/W
4	FIXPHY0	USB トランシーバ出力固定 0: 通常モード時およびディープソフトウェアスタンバイモード 1 からの復帰時に出力を固定 1: ディープソフトウェアスタンバイモード 1 への遷移時に出力固定	R/W
15:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	DP0	USB D+入力 USBFS 側の D+入力信号を示します。	R
17	DM0	USB D–入力 USBFS 側の D–入力信号を示します。	R
19:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	DOVCA0	USB OVRCURA-DS 入力(注2) USBFS 側の OVRCURA-DS 入力信号を示します。	R
21	DOVCB0	USB OVRCURB-DS 入力(注2) USBFS 側の OVRCURB-DS 入力信号を示します。	R
22	—	読み出し値は不定です。書く場合、0 としてください。	R/W
23	DVBSTS0	USB VBUS 入力 USBFS 側の VBUS 入力信号を示します。	R
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注. 本レジスタは、ディープソフトウェアスタンバイモード 1 で消費電流低減のために、PCLKB/64 のクロックによりアクセスされます。
注 1. 本ビットは、ディープソフトウェアスタンバイモード 1 での動作時に使用してください。詳細は、「29.3.1.5. USB のサスペンド／レジューム割り込みによるディープソフトウェアスタンバイモード 1 の解除」を参照してください。
注 2. OVRCURA または OVRCURB は使用できません。ディープソフトウェアスタンバイモード 1 では、OVRCURA-DS または OVRCURB-DS のみ使用できます。

SRPC0 ビット（USB シングルエンドレシーバ制御）

SRPC0 ビットは、USB トランシーバの D+/D–入力制御を行います。ホストコントローラモードでは、本ビットを 1 にしてください。デバイスコントローラモードで、切断状態では本ビットを 0 に、サスペンド状態では 1 に設定してください。FIXPHY0 ビットが 1 のときのみ、本ビットは有効です。

FIXPHY0 ビット（USB トランシーバ出力固定）

FIXPHY0 ビットは、USB トランシーバの出力を不可に固定します。

29.2.41 DPUSR1R : ディープソフトウェアスタンバイ USB サスペンド／レジューム割り込みレジスタ

Base address: USBFS = 0x4025_0000
USBFS_NS = 0x5025_0000

Offset address: 0x404

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	DVBINT0	—	DOVRCRB0	DOVRCRA0	—	—	DMINT0	DPINT0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	DVBSE0	—	DOVRCRBE0	DOVRCRAE0	—	—	DMINTE0	DPINTE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DPINTE0	USB DP 割り込み許可／クリア 0: DP 入力によるディープソフトウェアスタンバイモード 1 からの復帰を禁止 1: DP 入力によるディープソフトウェアスタンバイモード 1 からの復帰を許可	R/W
1	DMINTE0	USB DM 割り込み許可／クリア 0: DM 入力によるディープソフトウェアスタンバイモード 1 からの復帰を禁止 1: DM 入力によるディープソフトウェアスタンバイモードからの復帰を許可	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	DOVRCRAE0	USB OVRCURA-DS 割り込み許可／クリア(注1) 0: OVRCURA-DS 入力によるディープソフトウェアスタンバイモード 1 からの復帰を禁止 1: OVRCURA-DS 入力によるディープソフトウェアスタンバイモード 1 からの復帰を許可	R/W
5	DOVRCRBE0	USB OVRCURB-DS 割り込み許可／クリア(注1) 0: OVRCURB-DS 入力によるディープソフトウェアスタンバイモード 1 からの復帰を禁止 1: OVRCURB-DS 入力によるディープソフトウェアスタンバイモード 1 からの復帰を許可	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	DVBSE0	USB VBUS 割り込み許可／クリア 0: VBUS 入力によるディープソフトウェアスタンバイモード 1 からの復帰を禁止 1: VBUS 入力によるディープソフトウェアスタンバイモード 1 からの復帰を許可	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。.	R/W
16	DPINT0	USB DP 割り込み要因による復帰 0: ディープソフトウェアスタンバイモード 1 からの復帰なし 1: DP 入力によるディープソフトウェアスタンバイモード 1 からの復帰あり	R
17	DMINT0	USB DM 割り込み要因による復帰 0: ディープソフトウェアスタンバイモード 1 からの復帰なし 1: DM 入力によるディープソフトウェアスタンバイモード 1 からの復帰あり	R
19:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
20	DOVRCRA0	USB OVRCURA-DS 割り込み要因による復帰(注1) 0: ディープソフトウェアスタンバイモード 1 からの復帰なし 1: OVRCURA-DS 入力によるディープソフトウェアスタンバイモード 1 からの復帰あり	R
21	DOVRCRB0	USB OVRCURB-DS 割り込み要因による復帰(注1) 0: ディープソフトウェアスタンバイモード 1 からの復帰なし 1: OVRCURB-DS 入力によるディープソフトウェアスタンバイモード 1 からの復帰あり	R
22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23	DVBINT0	USB VBUS 割り込み要因による復帰 0: ディープソフトウェアスタンバイモード 1 からの復帰なし 1: VBUS 入力によるディープソフトウェアスタンバイモード 1 からの復帰あり	R
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注. 本レジスタは、ディープソフトウェアスタンバイモード 1 で消費電流低減のために、PCLKB/64 のクロックによりアクセスされます。
注 1. OVRCURA または OVRCURB は使用できません。ディープソフトウェアスタンバイモード 1 では、OVRCURA-DS または OVRCURB-DS のみ使用できます。

DPINTE0 ビット（USB DP 割り込み許可／クリア）

DPINTE0 ビットは USBFS の DP 入力によるディープソフトウェアスタンバイモード 1 からの復帰を許可または禁止します。DPINT0 ビットが 1 のときに本ビットに 0 を書き込むことにより、DPINT0 ビットが 0 になります。

DMINTE0 ビット（USB DM 割り込み許可／クリア）

DMINTE0 ビットは USBFS の DM 入力によるディープソフトウェアスタンバイモード 1 からの復帰を許可または禁止します。DMINT0 ビットが 1 のときに本ビットに 0 を書くことにより、DMINT0 ビットが 0 にクリアされます。

DOVRCRAE0 ビット（USB OVRCURA-DS 割り込み許可／クリア）

DOVRCRAE0 ビットは USBFS の OVRCURA-DS 入力によるディープソフトウェアスタンバイモード 1 からの復帰を許可または禁止します。DOVRCRA0 ビットが 1 のときに本ビットに 0 を書くことにより、DOVRCRA0 ビットが 0 にクリアされます。

DOVRCRBE0 ビット（USB OVRCURB-DS 割り込み許可／クリア）

DOVRCRBE0 ビットは USBFS の OVRCURB-DS 入力によるディープソフトウェアスタンバイモード 1 からの復帰を許可または禁止します。DOVRCRB0 ビットが 1 のときに本ビットに 0 を書くことにより、DOVRCRB0 ビットが 0 にクリアされます。

DVBSE0 ビット（USB VBUS 割り込み許可／クリア）

DVBSE0 ビットは USBFS の VBUS 入力によるディープソフトウェアスタンバイモード 1 からの復帰を許可または禁止します。DVBINT0 ビットが 1 のときに本ビットに 0 を書くことにより、DVBINT0 ビットが 0 にクリアされます。

DPINT0 ビット（USB DP 割り込み要因による復帰）

DPINT0 ビットは、USBFS の DP 入力が要因でディープソフトウェアスタンバイモード 1 から復帰したことを示します。この復帰は、DPINTE0 ビットが 1 のときのみ許可されます。本ビットが 1 のときに DPINTE0 ビットに 0 を書くことにより、本ビットは 0 にクリアされます。

DMINT0 ビット（USB DM 割り込み要因による復帰）

DMINT0 ビットは、USBFS の DM 入力が要因でディープソフトウェアスタンバイモード 1 から復帰したことを示します。この復帰は、DMINTE0 ビットが 1 のときのみ許可されます。本ビットが 1 のときに DMINTE0 ビットに 0 を書くことにより、本ビットは 0 にクリアされます。

DOVRCRA0 ビット（USB OVRCURA-DS 割り込み要因による復帰）

DOVRCRA0 ビットは、USBFS の OVRCURA-DS 入力が要因でディープソフトウェアスタンバイモード 1 から復帰したことを示します。この復帰は、DOVRCRAE0 ビットが 1 のときのみ許可されます。本ビットが 1 のときに DOVRCRAE0 ビットに 0 を書くことにより、本ビットは 0 にクリアされます。

DOVRCRB0 ビット（USB OVRCURB-DS 割り込み要因による復帰）

DOVRCRB0 ビットは、USBFS の OVRCURB-DS 入力が要因でディープソフトウェアスタンバイモード 1 から復帰したことを示します。この復帰は、DOVRCRBE0 ビットが 1 のときのみ許可されます。本ビットが 1 のときに DOVRCRBE0 ビットに 0 を書くことにより、本ビットは 0 にクリアされます。

DVBINT0 ビット（USB VBUS 割り込み要因による復帰）

DVBINT0 ビットは、USBFS の VBUS 入力が要因でディープソフトウェアスタンバイモード 1 から復帰したことを示します。この復帰は、DVBSE0 ビットが 1 のときのみ許可されます。本ビットが 1 のときに DVBSE0 ビットに 0 を書くことにより、本ビットは 0 にクリアされます。

29.3 動作説明

29.3.1 システムコントロール

USBFS の初期化および消費電力の制御に必要なレジスタの設定について説明します。

29.3.1.1 USBFS レジスタのデータ設定

クロック供給が開始された状態 (SYSCFG.SCKE = 1) で、SYSCFG.USBE ビットを 1 にすることにより、USBFS は動作が許可され、動作を開始します。

29.3.1.2 コントローラ機能の選択

USBFS の動作は、ホストコントローラとデバイスコントローラの 2 種類の機能から選択できます。

どちらの機能にするかは、SYSCFG.DCFM ビットで選択できます。DCFM ビットの変更は、リセット直後の初期設定時、または D+プルアップ禁止 (SYSCFG.DPRPU = 0) かつ D+/D-プルダウン禁止 (SYSCFG.DRPD = 0) のときに行ってください。

29.3.1.3 抵抗による USB データバス制御

USBFS は、D+/D-ラインのプルアップ抵抗およびプルダウン抵抗を内蔵しています。SYSCFG.DPRPU ビットおよび SYSCFG.DRPD ビットの設定により、ラインのプルアップ、プルダウンを設定してください。

デバイスコントローラモードでは、USB ホストへの接続を確認した後で、SYSCFG.DPRPU ビットを 1 にし、D+ライン（フルスピード通信時）をプルアップしてください。

PC と通信中に SYSCFG.DPRPU ビットに 0 を設定した場合は、USBFS は USB データラインのプルアップ抵抗を無効にするので、USB ホストにデバイス切断を通知することが可能です。

ホストコントローラモード時は、SYSCFG.DRPD ビットを 1 に設定し、D+/D-ラインをプルダウンしてください。

表 29.14 USB データバス抵抗制御

SYSCFG レジスタ設定		USB データバス制御		
DRPD ビット	DPRPU ビット	D–	D+	機能
0	0	オープン	オープン	抵抗未使用時
0	1	オープン	プルアップ	デバイスコントローラとしてフルスピードで動作させる場合
1	0	プルダウン	プルダウン	ホストコントローラとして動作させる場合
1	1	—	—	設定禁止

29.3.1.4 外部接続回路例

図 29.2 にセルフパワードシステムでの OTG 接続例を示します。USBFS は、D+ラインのプルアップ抵抗と、D+および D–ラインのプルダウン抵抗を制御します。SYSCFG.DPRPU ビットと SYSCFG.DRPD ビットで、ライ

ンのプルアップとプルダウンを選択してください。デバイスコントローラモードでは、USB ホストとの通信中に SYSCFG.DPRPU ビットを 0 にすると、USB データラインのプルアップ抵抗が無効になります。USBFS はこれを利用して、USB ホストに対してデバイスの切断を知らせることができます。

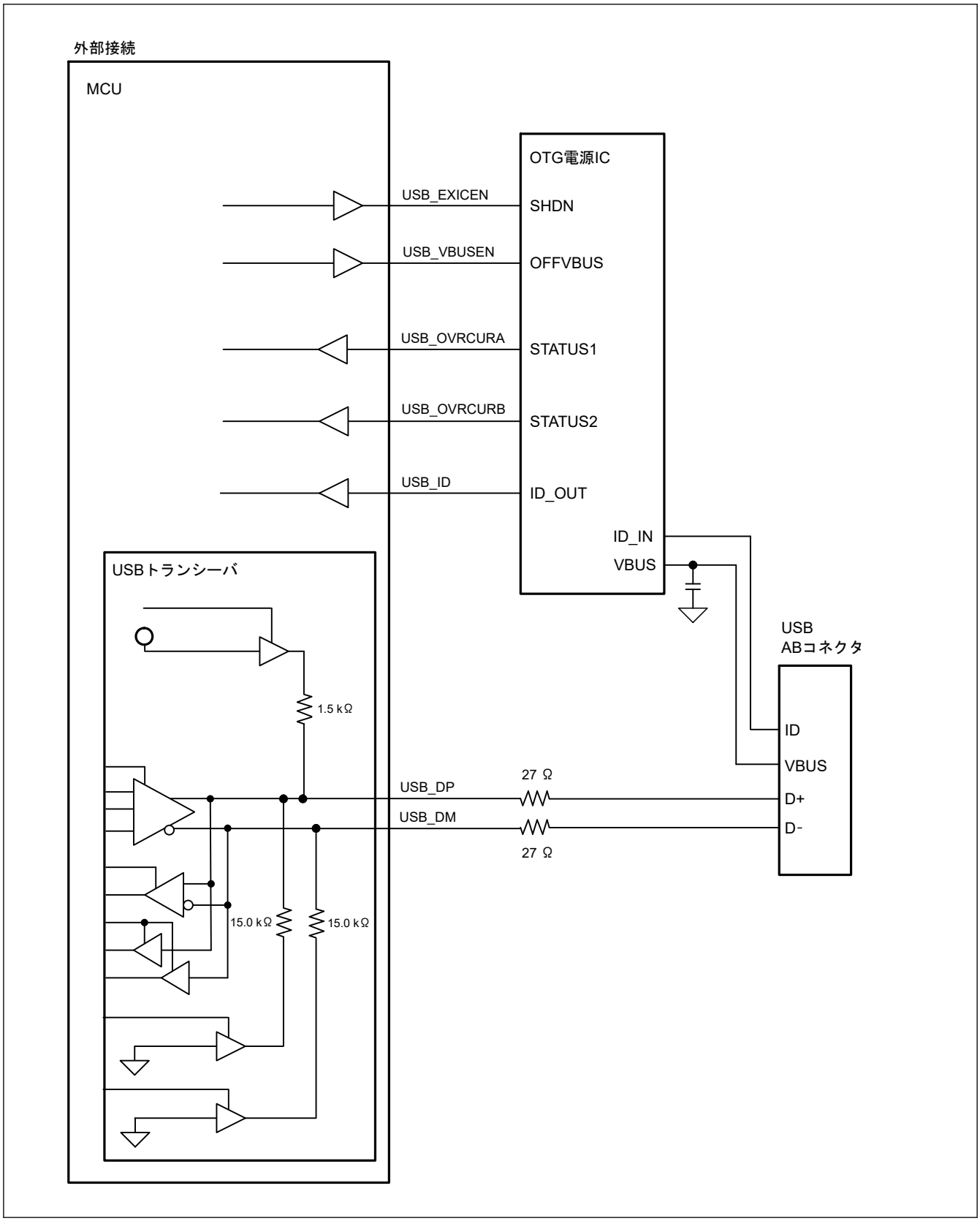


図 29.2　セルフパワードシステムでの OTG 接続例

図 29.3 にセルフパワードシステムでのデバイス接続例を示します。

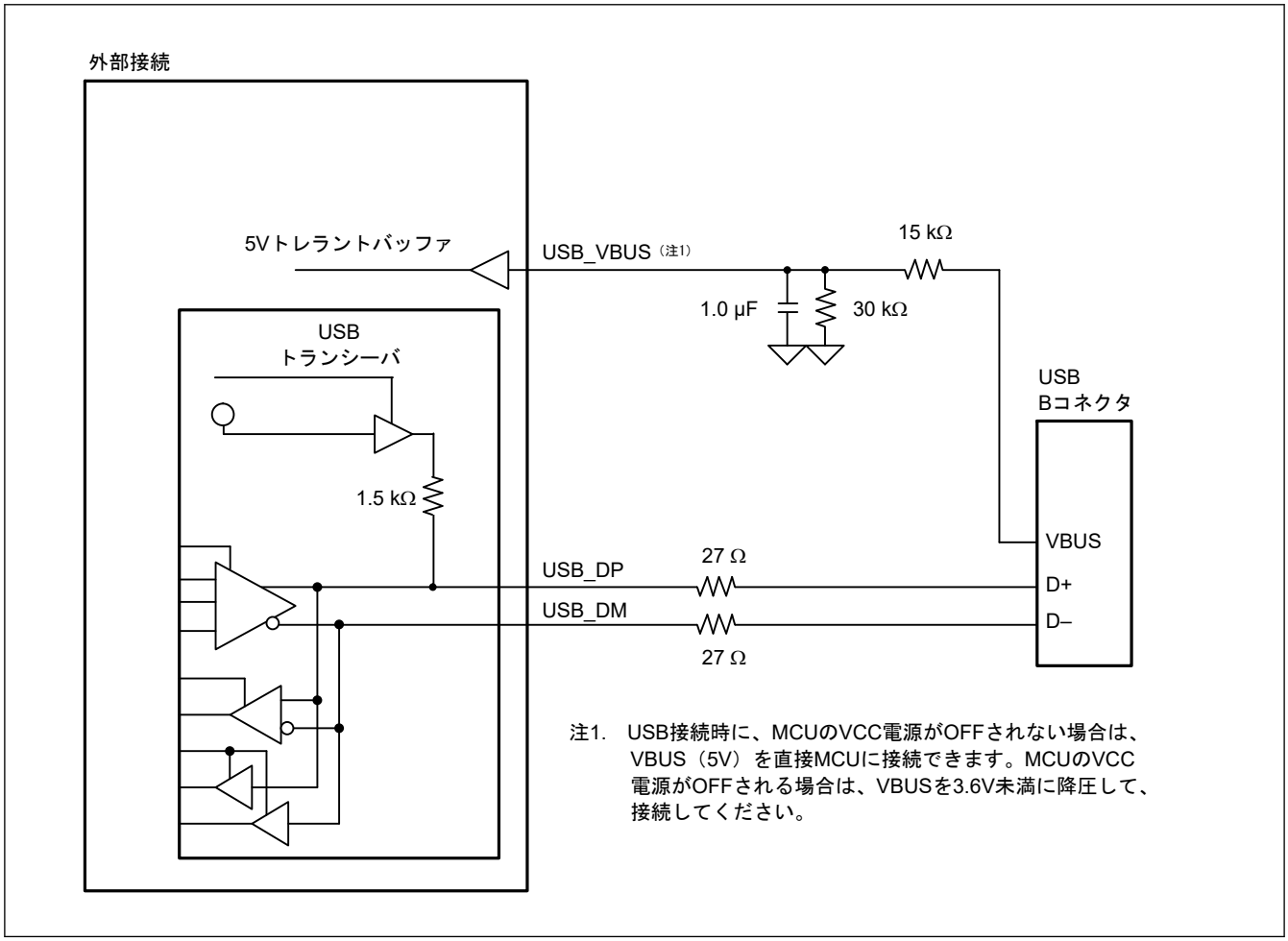


図 29.3 セルフパワードシステムでのデバイス接続例

図 29.4 にホスト接続例を示します。

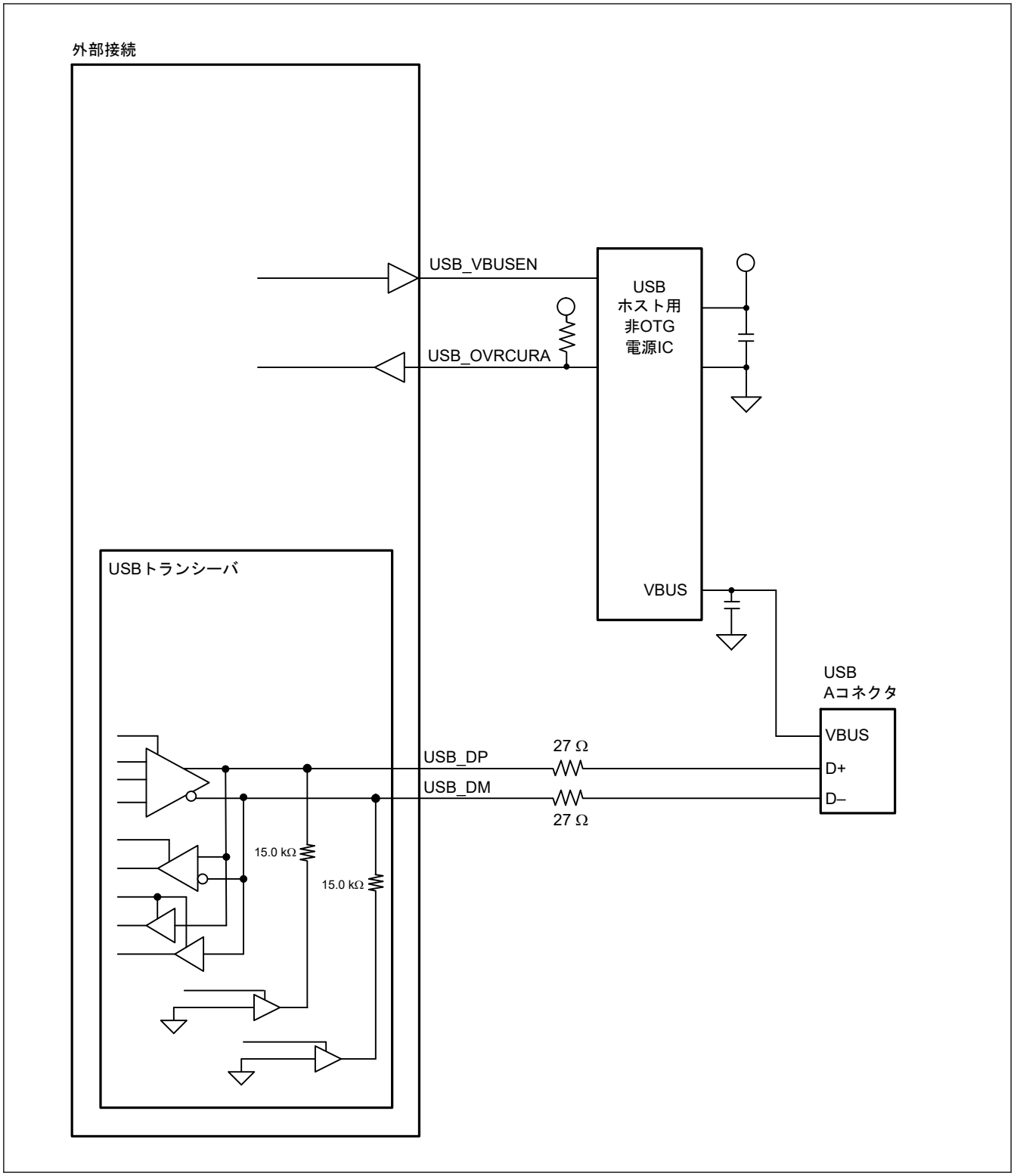


図 29.4　ホスト接続例

図 29.5 にバスパワードシステムでのデバイス接続例を示します。

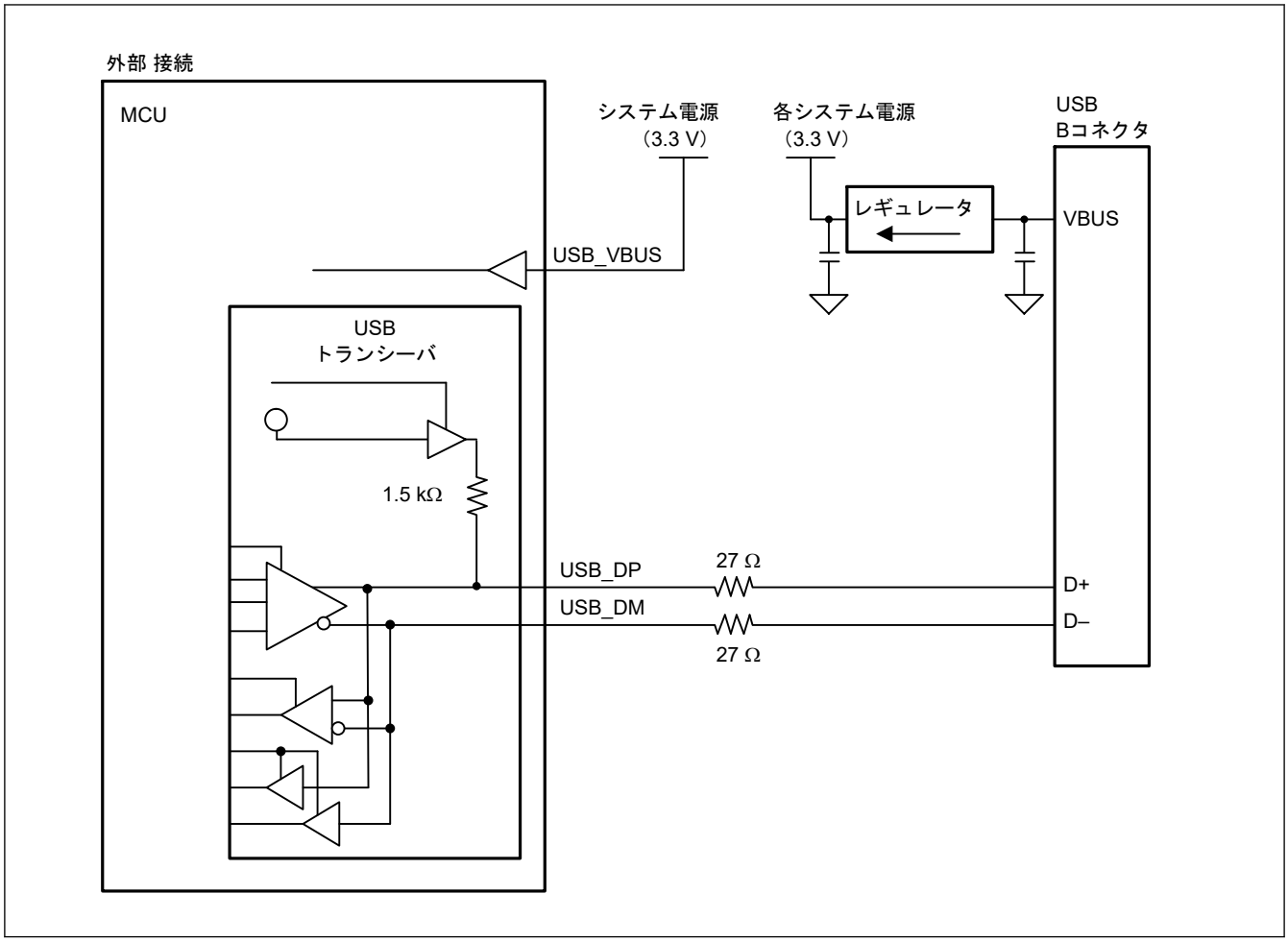


図 29.5　バスパワードシステムでのデバイス接続例

本項に記載した各外部回路例は概略回路であり、すべてのシステムにおいて動作保証するものではありません。

29.3.1.5　USB のサスペンド／レジューム割り込みによるディープソフトウェアスタンバイモード 1 の解除

USB のサスペンド／レジューム割り込みによって、ディープソフトウェアスタンバイモード 1 は解除できます。USB のサスペンド／レジューム割り込みの検出は、USB レジューム検出部が行います。USB レジューム検出部は、USB 用の入出力端子の制御およびモニタを行い、割り込みを検出します。

図 29.6 に、USB レジューム検出部と USB 用の入出力端子の接続回路図を示します。

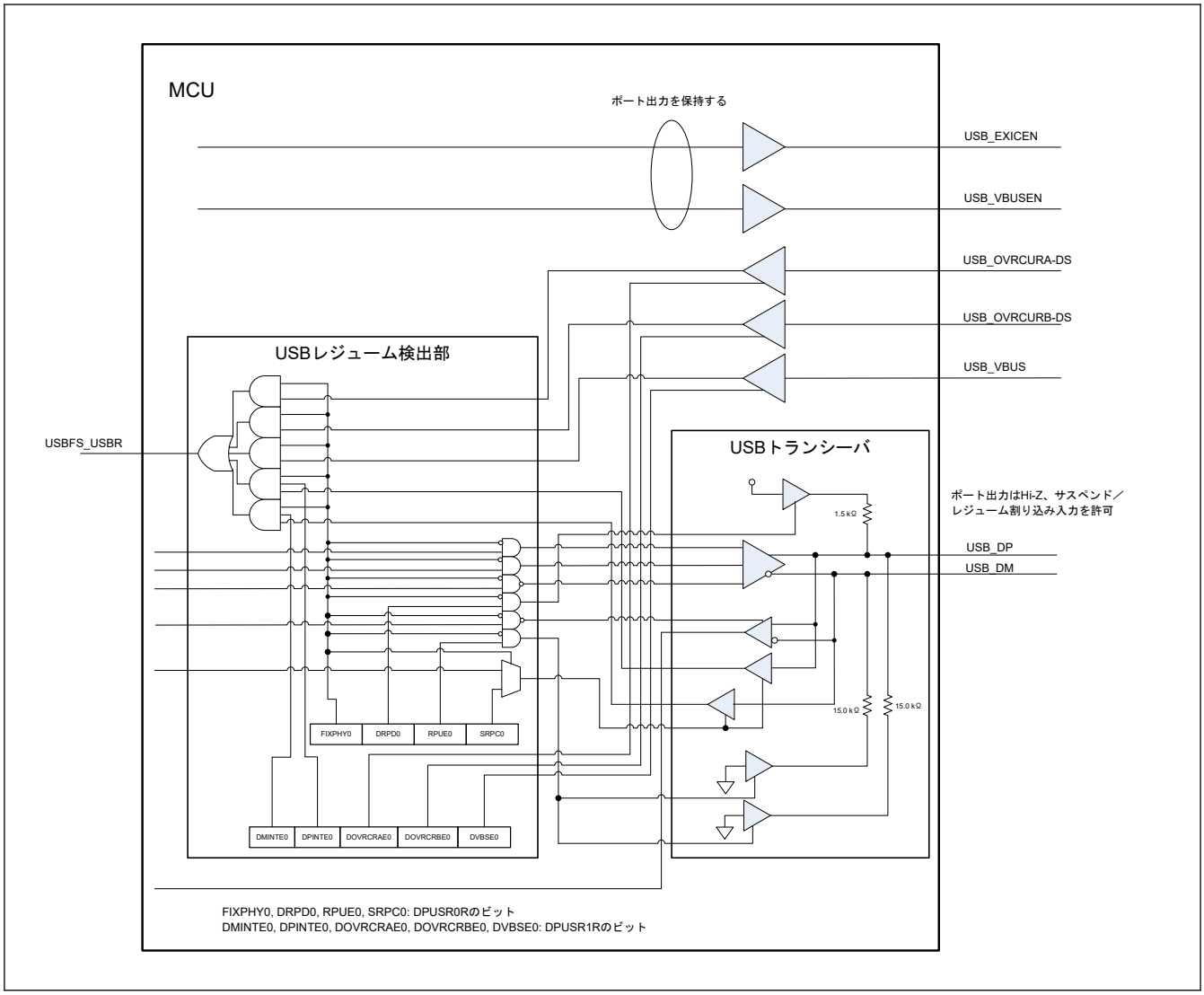


図 29.6　USB レジューム検出部と USB 用の入出力端子の接続

表 29.15 に、USB のサスペンド／レジューム割り込みの要因およびそれらに関連する入出力端子を示します。

表 29.15　USB のサスペンド／レジューム割り込みの要因およびそれらに関連する入出力端子

USB 動作モード	要因	端子名
デバイス、OTG	レジューム	USB_DP
ホスト、OTG	アタッチまたはデタッチ	USB_DP、USB_DM
デバイス	アタッチまたはデタッチ	USB_VBUS
ホスト	過電流検出	USB_OVRCURA-DS
OTG	過電流検出	USB_OVRCURA-DS、USB_OVRCURB-DS

図 29.7 に、ホストコントローラモードまたはデバイスコントローラモードからディープソフトウェアスタンバイモード 1 に遷移するときの USBFS 設定フローを示します。図 29.8 に、ホストコントローラモードからディープソフトウェアスタンバイモード 1 を解除するときの USBFS 設定フローを示します。図 29.9 に、デバイスコントローラモードからディープソフトウェアスタンバイモード 1 を解除するときの USBFS 設定フローを示します。

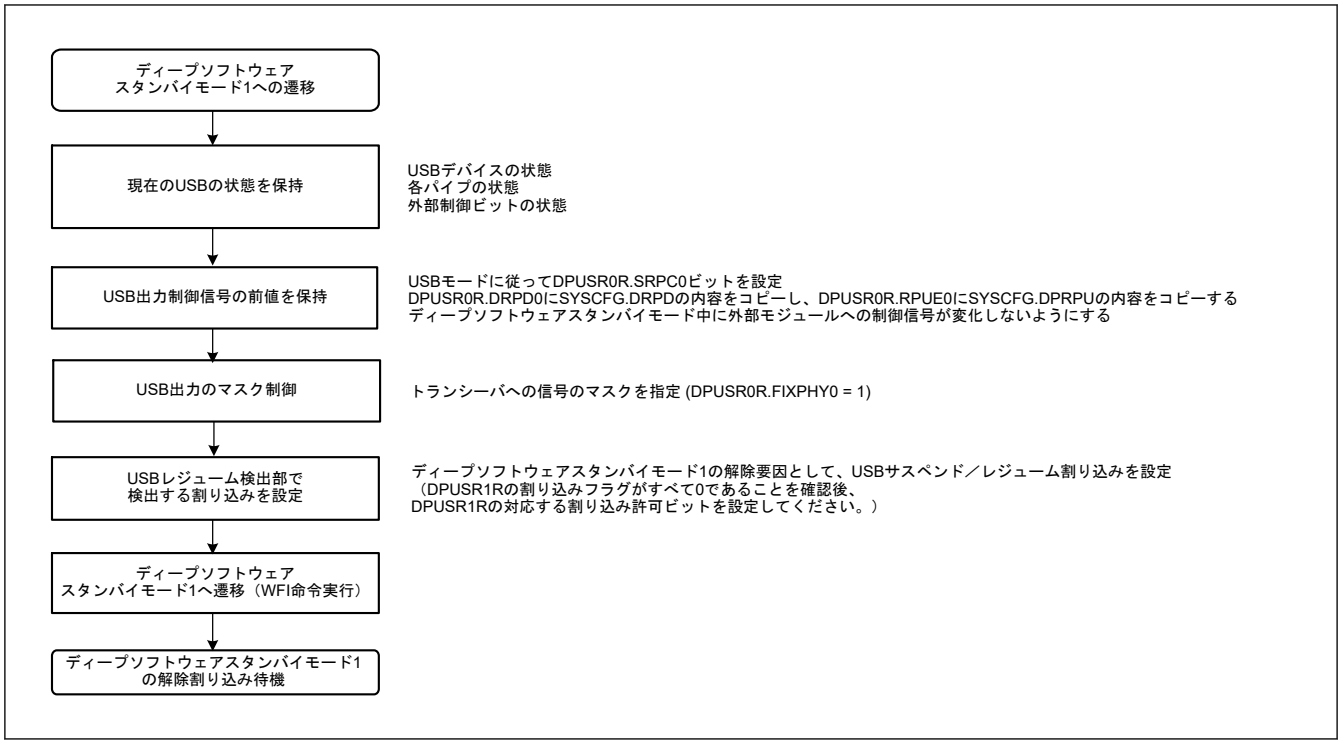


図 29.7　ホストコントローラ機能またはデバイスコントローラ機能選択時におけるディープソフトウェアスタンバイモード 1 遷移時の USBFS 設定フロー

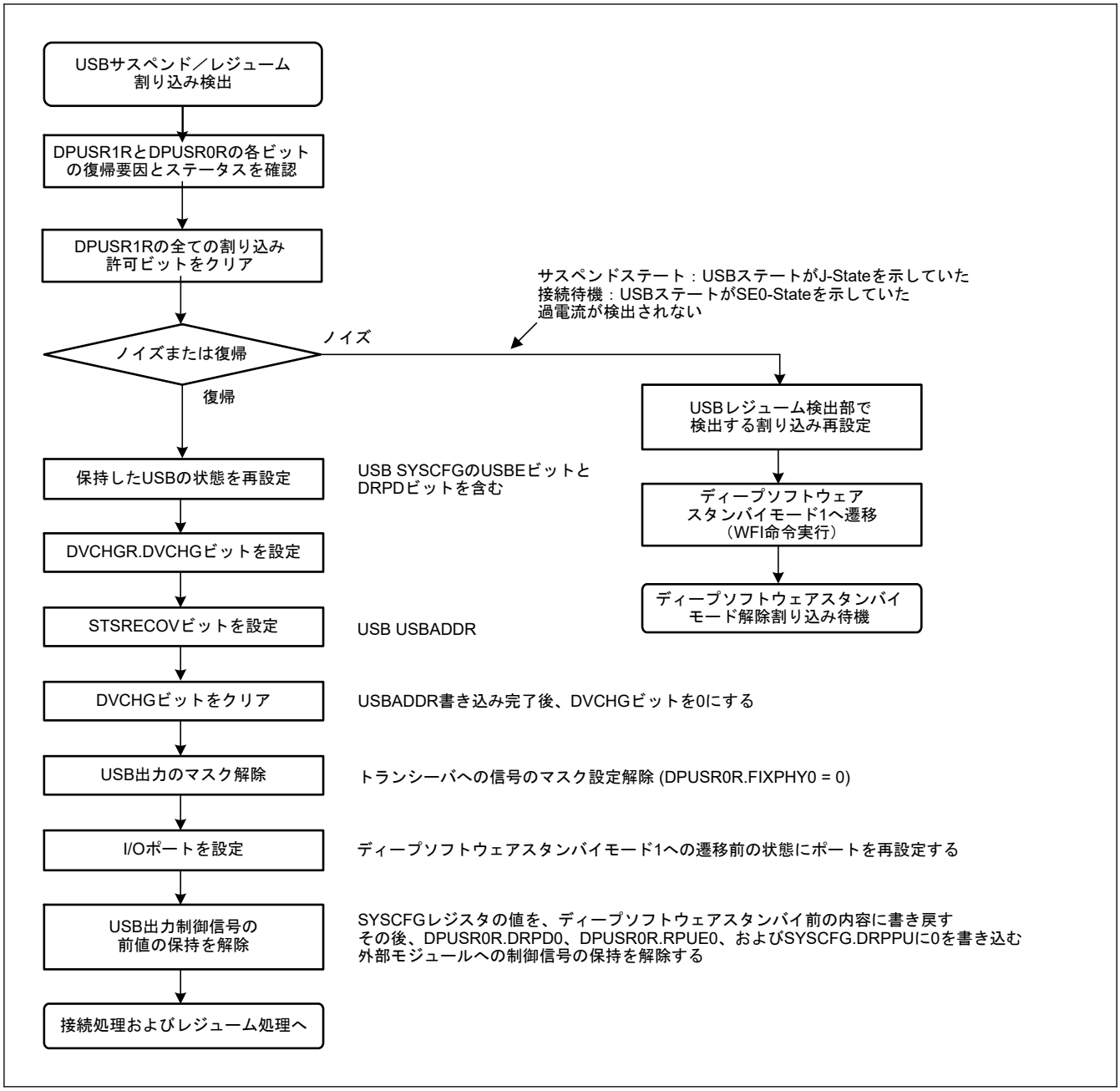


図 29.8　ホストコントローラ機能選択時におけるディープソフトウェアスタンバイモード 1 解除時の USBFS 設定フロー

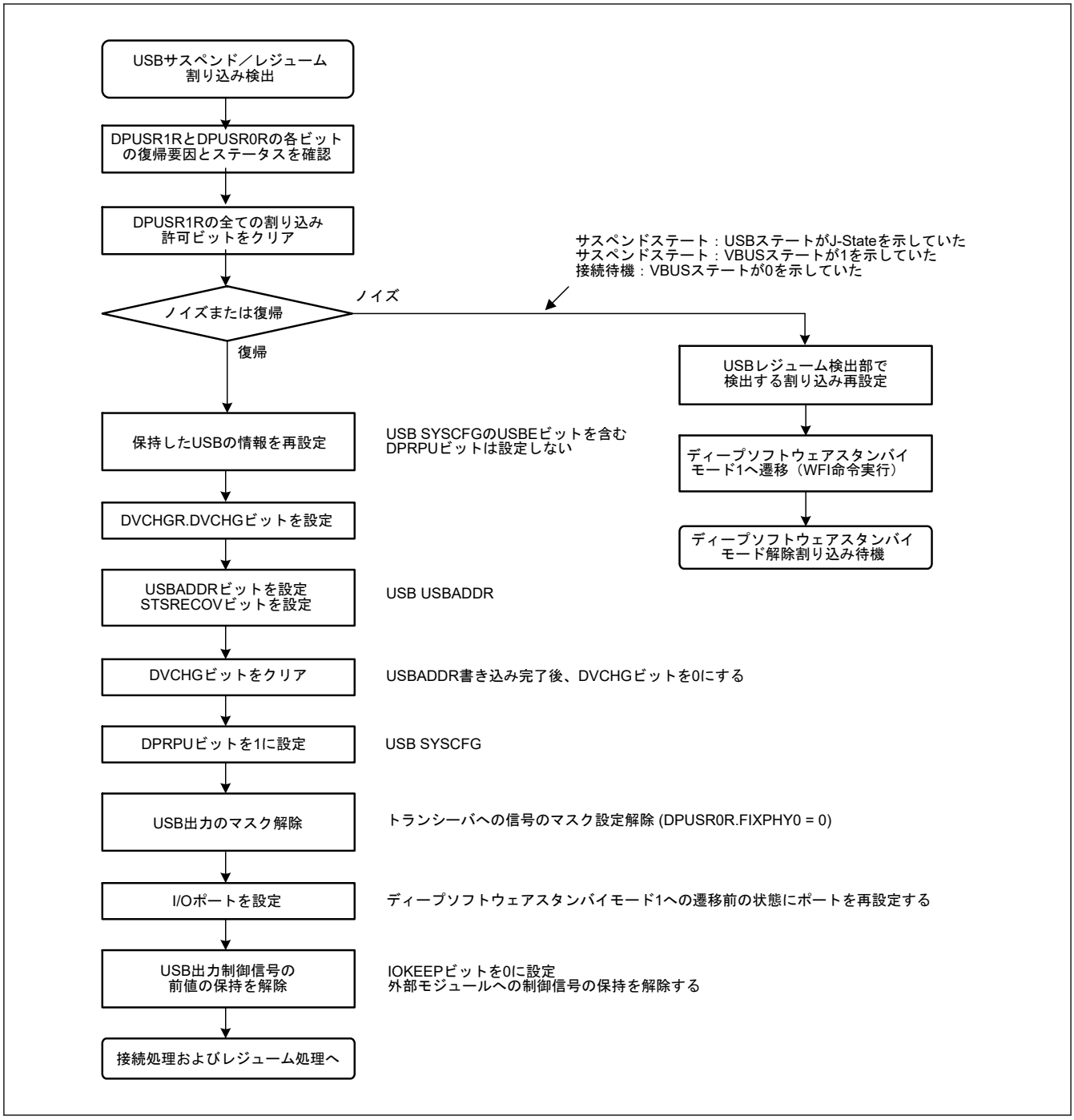


図 29.9　デバイスコントローラ機能選択時におけるディープソフトウェアスタンバイモード 1 解除時の USBFS 設定フロー

29.3.2　割り込み

表 29.16 に、USBFS の割り込み要因一覧を示します。これらの割り込み発生条件が成立し、関連する割り込み許可レジスタにて割り込み出力許可に設定されているとき、USBFS は割り込みコントローラユニット (ICU) に対して USBFS 割り込み要求を発行し、USBFS 割り込みが発生します。

表 29.16 割り込み要因 (1/2)

1 にするビット	名称	割り込み要因	対象となるコントローラ機能	ステータスフラグ
VBINT	VBUS 割り込み	● USB_VBUS 入力端子の状態変化を検出したとき（Low から High、または High から Low）	ホストまたはデバイス(注1)	INTSTS0.VBSTS
RESM	レジューム割り込み	● Suspended ステートにおいて USB バスの状態変化を検出したとき（J-State から K-State または J-State から SE0）	デバイス	—
SOFR	フレーム番号更新割り込み	ホストコントローラモード時： ● フレーム番号の異なる SOF パケットを送信したとき デバイスコントローラモード時： ● フレーム番号の異なる SOF パケットを受信したとき	ホストまたはデバイス	—
DVST	デバイスステート遷移割り込み	● 以下のいずれかのデバイスステート遷移を検出したとき： – USB バスリセットを検出 – Suspended ステートを検出 – SET_ADDRESS リクエストを受信 – SET_CONFIGURATION リクエストを受信	デバイス	INTSTS0.DVSQ[2:0]
CTRT	コントロール転送ステージ遷移割り込み	● コントロール転送ステージ遷移を、以下のいずれかの状態の発生により検出したとき： – セットアップステージの完了 – コントロールライト転送ステータスステージ遷移発生 – コントロールリード転送ステータスステージ遷移発生 – コントロール転送終了 – コントロール転送シーケンスエラー発生	デバイス	INTSTS0.CTSQ[2:0]
BEMP	バッファエンプティ割り込み	● FIFO バッファ中の全データを送信しバッファが空になったとき ● 最大パケットサイズを超えたパケットを受信したとき	ホストまたはデバイス	BEMPSTS.PIPEnBEMP
NRDY	バッファノットレディ割り込み	ホストコントローラモード時 ● 発行したトークンに対して周辺デバイス側からの STALL 応答を受信したとき ● 発行したトークンに対して、周辺デバイス側から応答が正しく受信できなかったとき（無応答が 3 回連続、またはパケット受信エラーが 3 回連続） ● アイソクロナス転送時にオーバーランエラーまたはアンダーランエラーが発生したとき デバイスコントローラモード時 ● PID[1:0]ビットが 01b (BUF) のときに、IN トークンまたは OUT トークンに対して NAK を応答したとき ● アイソクロナス転送でデータ受信時に CRC エラーまたはビットスタッフィングエラーが発生したとき ● アイソクロナス転送でデータ受信時にオーバーランまたはアンダーランが発生したとき	ホストまたはデバイス	NRDYSTS.PIPEnNRDY
BRDY	バッファレディ割り込み	● バッファがレディ（読み出しもしくは書き込み可能状態）になったとき	ホストまたはデバイス	BRDYSTS.PIPEnBRDY
OVRCR	過電流入力変化割り込み	● USB_OVRCURA、USB_OVRCURA-DS、USB_OVRCURB、または USB_OVRCURB-DS 入力端子の状態変化（Low→High または High→Low）を検出したとき	ホスト	INTSTS1.OVRCR
BCHG	バス変化割り込み	● USB バスステートの変化を検出したとき	ホストまたはデバイス	SYSSTS0.LNST[1:0]
DTCH	フルスピード動作時切断検出	フルスピード動作時に周辺デバイスの切断を検出したとき	ホスト	DVSTCTR0.RHST[2:0]
ATTCH	デバイス接続検出割り込み	● USB バスで J-State または K-State を 2.5 µs 間、継続的に検出したとき この割り込みを使って、周辺デバイスが接続されているかどうかを確認できる。	ホスト	—

表 29.16　割り込み要因 (2/2)

1 にするビット	名称	割り込み要因	対象となるコントローラ機能	ステータスフラグ
EOFERR	EOF エラー検出割り込み	• 周辺デバイスの EOF エラーを検出したとき	ホスト	—
SACK	SETUP 正常割り込み	• SETUP トランザクションの正常応答 (ACK) を受信したとき	ホスト	—
SIGN	SETUP エラー割り込み	• SETUP トランザクションのエラー（無応答または ACK パケット破損）を 3 回連続で検出したとき	ホスト	—

注 1.　この割り込みは、ホストコントローラモードでも発生しますが、通常はホストコントローラモードでは使用しません。

図 29.10 に、USBFS 割り込みに関連する回路を示します。

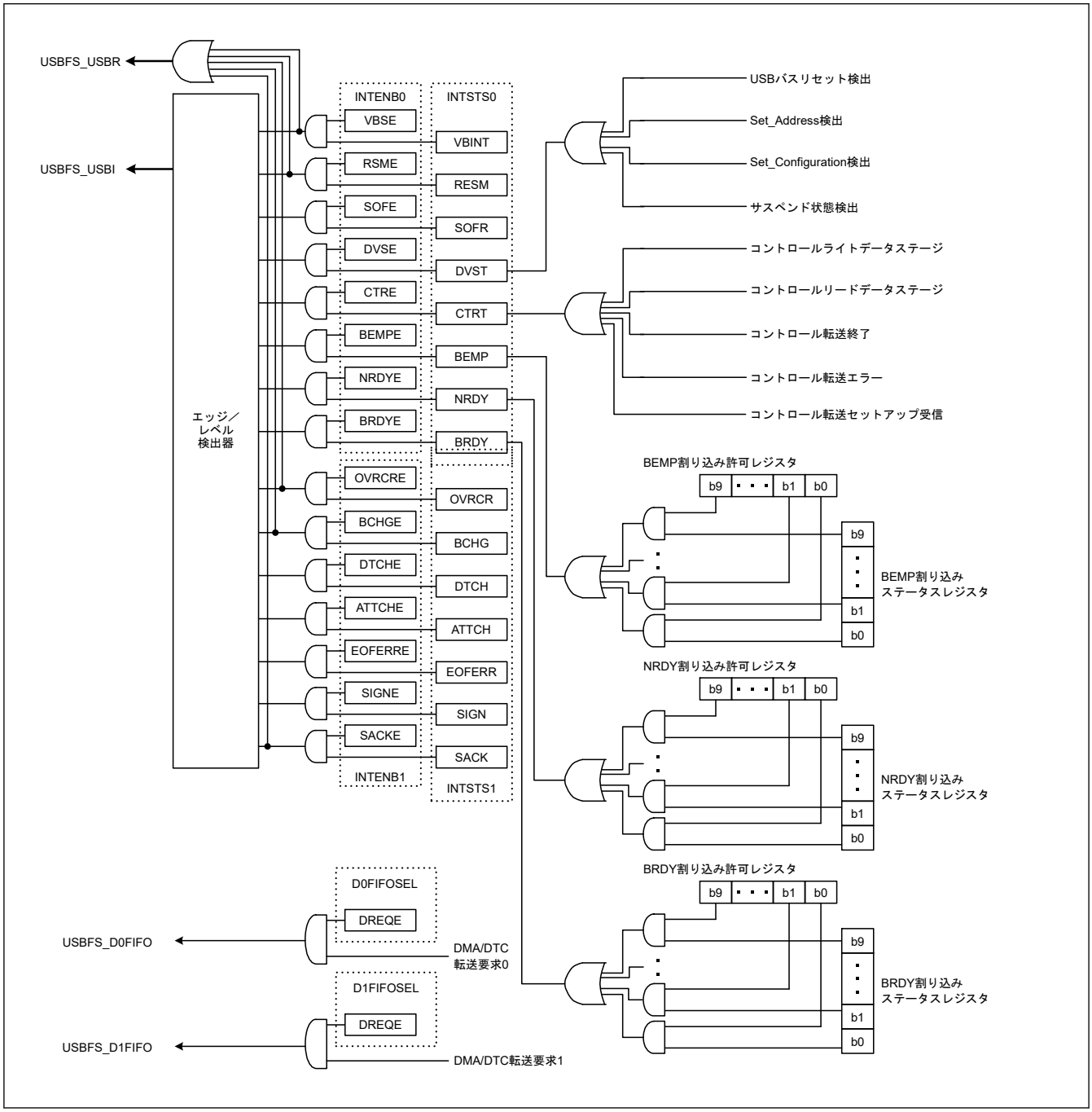


図 29.10　USBFS 割り込みに関連する回路

表 29.17 に、USBFS が発生させる割り込みの一覧を示します。

表 29.17 USBFS の割り込み

割り込み名	割り込みステータスフラグ	DTC の起動	DMAC の起動	優先度
USBFS_D0FIFO	DMA 転送要求 0	可能	可能	高
USBFS_D1FIFO	DMA 転送要求 1	可能	可能	↑
USBFS_USBI	VBUS 割り込み、レジューム割り込み、フレーム番号更新割り込み、デバイスステート遷移割り込み、コントロール転送ステージ遷移割り込み、バッファエンプティ割り込み、バッファノットレディ割り込み、バッファレディ割り込み、オーバーカレント入力変化割り込み、バス変化割り込み、フルスピード動作時切断検出割り込み、デバイス接続検出割り込み、EOF エラー検出割り込み、SETUP 正常動作割り込み、SETUP エラー割り込み	不可能	不可能	低
USBFS_USBR (注1)	VBUS 割り込み、レジューム割り込み、オーバーカレント入力変化割り込み、SETUP エラー割り込み	不可能	不可能	—

注 1. ソフトウェアスタンバイモードを解除可能。ディープソフトウェアスタンバイモード 1 も解除可能。ただし、専用端子 (OVRCURA-DS, OVRCURB-DS) のみオーバーカレント端子用に使用可能。

29.3.3 割り込みの説明

29.3.3.1 BRDY 割り込み

BRDY 割り込みは、ホストコントローラモードとデバイスコントローラモードのどちらを選択しても発生します。ここでは、USBFS が BRDYSTS の関連するビットを 1 にする条件について説明します。これらの条件の下では、ソフトウェアが、該当するパイプに関連付けられている BRDYENB レジスタのビットを 1 にし、かつ、INTENB0.BRDYE ビットを 1 にしていれば、USBFS は BRDY 割り込みを発生させます。

BRDY 割り込みは、各パイプの SOFCFG.BRDYM ビットおよび PIPECFG.BFRE ビットの設定により、発生条件およびクリア条件が異なります。

(1) SOFCFG.BRDYM ビット = 0 かつ PIPECFG.BFRE ビット = 0 のとき

この設定の場合、BRDY 割り込みは FIFO ポートにアクセス可能になったことを示す割り込みになります。

USBFS は、以下のいずれかの条件のときに、内部 BRDY 割り込み要求トリガを発生させ、選択パイプに関連付けられている BRDYSTS.PIPEnBRDY ビットを 1 にします。

送信パイプの場合

- ソフトウェアで DIR ビットを 0 から 1 に変更したとき
- パイプに割り付けた FIFO バッファへの CPU からの書き込みが不可能な状態のとき（BSTS ビットの読み出し値が 0 のとき）に、パイプのパケット送信が完了したとき
- FIFO バッファをダブルバッファモードに設定しているときで、片方の FIFO バッファ書き込み完了時にもう一方の FIFO バッファが空であったとき
- FIFO バッファへの書き込み中にもう一方の FIFO バッファへの送信が完了しても、現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません。
- 転送タイプがアイソクロナスのパイプにおいて、ハードウェアによるバッファフラッシュが発生したとき
- PIPEnCTR.ACLRM ビットに 1 を書き込むことより、FIFO バッファが書き込み不可能な状態から書き込み可能な状態になったとき

DCP に対しては（すなわち、コントロール転送でのデータ送信においては）要求トリガは発生しません。

受信パイプの場合

- 該当するパイプに割り付けた FIFO バッファへの CPU からの読み出しが不可能な状態のとき（BSTS ビットの読み出し値が 0 のとき）に、パケット受信が正常に完了し、FIFO バッファが読み出し可能状態になったとき。DATA-PID 不一致のトランザクションに対し、要求トリガは発生しない。

- FIFO バッファをダブルバッファモードに設定しているときで、片方の FIFO バッファ読み出し完了時にもう一方の FIFO バッファも読み出し可能であったとき。FIFO バッファへの読み出し中にもう一方の FIFO バッファへの受信が完了しても、現在読み出し中の面が読み出し完了になるまでは要求トリガは発生しない。

デバイスコントローラモードでは、コントロール転送のステータスステージでは BRDY 割り込みは発生しません。選択パイプの PIPEBRDY 割り込みステータスは、関連する PIPEnBRDY ビットにソフトウェアで 0 を書き込むことにより 0 にすることが可能です。この場合、他の PIPEBRDY ビットは 1 にしてください。

BRDY ステータスのクリアは、FIFO バッファへのアクセスを行う前に実施してください。

(2) SOFCFG.BRDYM ビット = 0 かつ PIPECFG.BFRE ビット = 1 のとき

この設定の場合、USBFS は、受信パイプにおいて 1 転送分の全データ読み出し完了時に BRDY 割り込みを発生させ、BRDYSTS レジスタの該当するパイプに関連付けられているビットを 1 にします。

下記条件のいずれかに該当する場合、USBFS は 1 転送分の最後のデータが受信されたと判定します。

- ショートパケット（Zero-Length パケットを含む）を受信したとき
- パイプ n トランザクションカウンタレジスタ (PIPEnTRN) を使用し、PIPEnTRN.TRNCNT[15:0]ビットで設定したパケット数をすべて受信したとき

上記判定条件を満たした後、そのデータの読み出しが完了したときに、USBFS は 1 転送分の全データ読み出し完了と判断します。

FIFO バッファが空の状態で Zero-Length パケットを受信した場合は、FIFO ポートコントロールレジスタの FRDY ビットが 1、DTLN[8:0]ビットが 0 の状態になった時点で、USBFS は 1 転送分の全データ読み出し完了と判断します。この場合、次の転送を開始するためには、関連するポートコントロールレジスタの BCLR ビットにソフトウェアで 1 を書き込んでください。この設定の場合には、USBFS は送信パイプに対して BRDY 割り込みを検出しません。

パイプの PIPEBRDY 割り込みステータスは、関連する BRDYSTS.PIPEnBRDY ビットにソフトウェアで 0 を書き込むことにより 0 にすることが可能です。この場合、他の PIPEBRDY ビットは 1 にしてください。

このモードを使用するときには、1 転送分のすべてのデータの処理を終了するまで PIPECFG.BFRE ビットの設定値を変更しないでください。途中で PIPECFG.BFRE ビットを変更する必要がある場合には、PIPEnCTR.ACLRM ビットによりパイプの FIFO バッファをすべてクリアしてください。

(3) SOFCFG.BRDYM ビット = 1 かつ PIPECFG.BFRE ビット = 0 のとき

この設定の場合、BRDYSTS.PIPEnBRDY ビットの値は各パイプの BSTS ビット設定値に連動します。すなわち、USB は FIFO バッファステータスに基づいて BRDY 割り込みステータスビット (PIPEBRDY) を 1 または 0 にします。

送信パイプの場合

BRDY 割り込みステータスビットは、FIFO バッファにデータが書き込み可能な状態であれば 1 になり、書き込み不可能な状態になれば 0 になります。送信方向の DCP が書き込み可能であっても、BRDY 割り込みは発生しません。

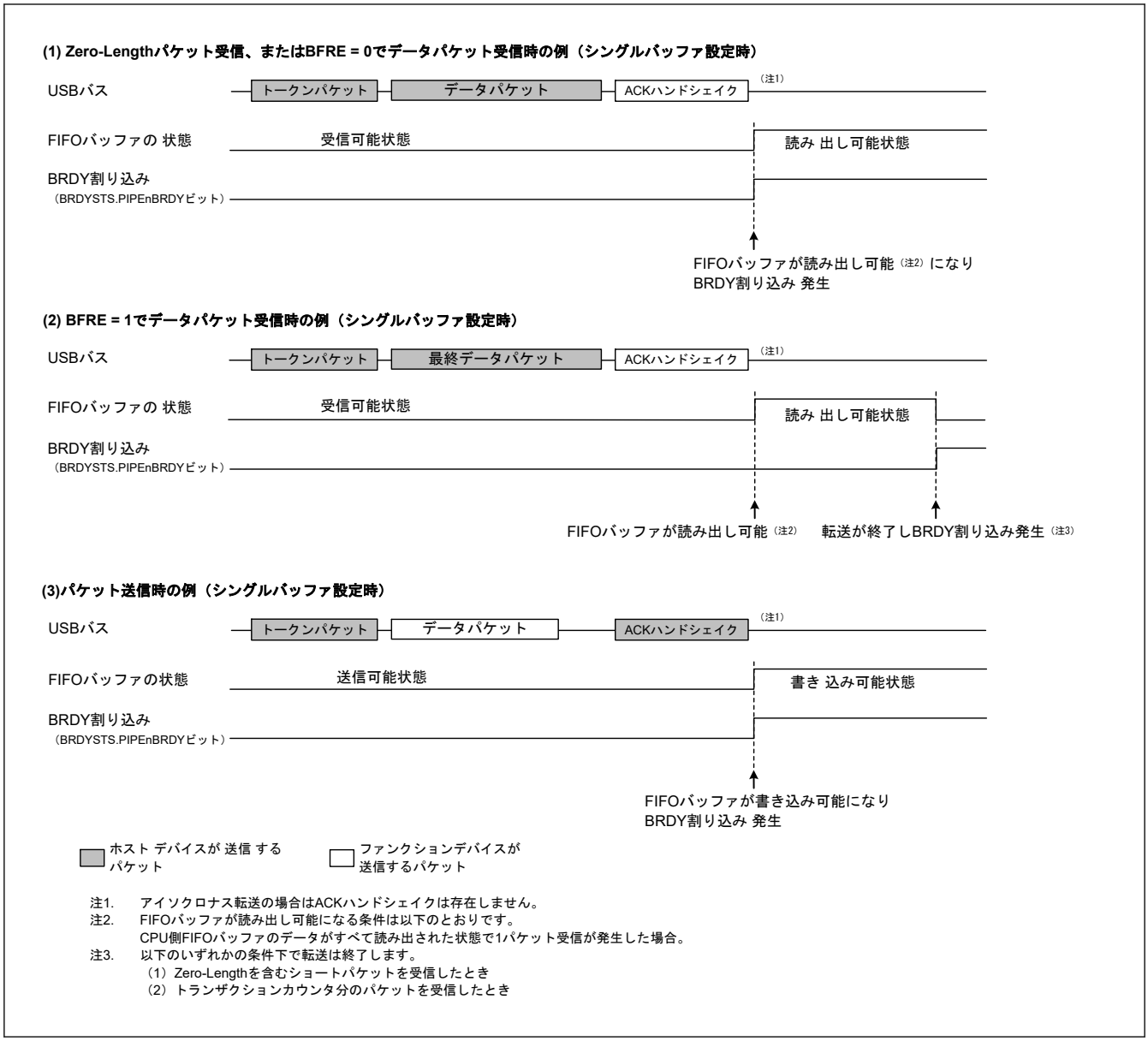
受信パイプの場合

BRDY 割り込みステータスビットは、FIFO バッファからデータが読み出し可能であれば 1 になり、すべてのデータを読み出したら（読み出しが不可能になったら）0 になります。

FIFO バッファが空の状態で Zero-Length パケットを受信した場合、ソフトウェアで BCLR に 1 を書き込むまで、関連するビットには 1 が表示され BRDY 割り込みは発生し続けます。この設定の場合、ソフトウェアで PIPEnBRDY ビットを 0 にすることはできません。

SOFCFG.BRDYM ビットが 1 のときは、全パイプの PIPECFG.BFRE ビットは 0 にしてください。

図 29.11 に、BRDY 割り込み発生タイミングを示します。



注1. アイソクロナス転送の場合はACKハンドシェイクは存在しません。
注2. FIFOバッファが読み出し可能になる条件は以下のとおりです。
CPU側FIFOバッファのデータがすべて読み出された状態で1パケット受信が発生した場合。
注3. 以下のいずれかの条件下で転送は終了します。
（1）Zero-Lengthを含むショートパケットを受信したとき
（2）トランザクションカウンタ分のパケットを受信したとき

図 29.11 BRDY 割り込み発生タイミング

INTSTS0.BRDY ビットがクリアされる条件は、表 29.18 に示すように、SOFCFG.BRDYM ビットの設定値によって異なります。

表 29.18 BRDY ビットクリア条件

BRDYM ビット	BRDY ビットのクリア条件
0	ソフトウェアで BRDYSTS レジスタの全ビットを 0 にすると、USBFS は BRDY ビットを 0 にクリアします。
1	全パイプの BSTS ビットが 0 になったとき、USBFS は BRDY ビットを 0 にクリアします。

29.3.3.2 NRDY 割り込み

ソフトウェアで PID を BUF に設定したパイプに対して、USBFS が内部 NRDY 割り込み要求を発生させた場合に、USBFS は関連する NRDYSTS.PIPEnNRDY ビットを 1 にします。ソフトウェアによって NRDYENB レジスタの関連するビットを 1 にしている場合、USBFS は INTSTS0.NRDY ビットを 1 にし、USBFS 割り込みを発生させます。

ここでは、USBFS が、あるパイプに対して内部 NRDY 割り込み要求を発生させる条件を説明します。

ホストコントローラモードでの SETUP トランザクション実行時は、内部 NRDY 割り込み要求を発生させません。ホストコントローラモード時の SETUP トランザクションでは、SACK 割り込みまたは SIGN 割り込みを検出します。

デバイスコントローラモードでのコントロール転送ステータスステージ実行時は、内部 NRDY 割り込み要求を発生させません。

(1) ホストコントローラモード時

送信パイプの場合

USBFS は、以下のいずれかの条件を満たした場合に、NRDY 割り込みを検出します。

- 転送タイプがアイソクロナスのパイプにおいて、FIFO バッファに送信データがない状態で OUT トークン発行タイミングに達したとき。このとき USBFS は、OUT トークンに続けて Zero-Length パケットを送信し、関連する NRDYSTS.PIPEnNRDY ビットおよび FRMNUM.OVRN ビットを 1 にする。
- 転送タイプがアイソクロナス以外のパイプ、かつ SETUP トランザクション以外の通信において、以下の 2 つのケースが任意の組み合わせで 3 回連続で発生したとき。
  - 周辺デバイスからの応答がないとき（周辺デバイスからのハンドシェイクパケットを検出する前にタイムアウトが検出されるとき）。
  - 周辺デバイスからのパケットにエラーが検出されるとき。このとき USBFS は、関連する PIPEnNRDY ビットを 1 にし、該当するパイプの関連する PID[1:0]ビットの設定値を NAK に変更する。
- SETUP トランザクション以外の通信において、周辺デバイスから STALL ハンドシェイクを受信したとき。このとき USBFS は、関連する PIPEnNRDY ビットを 1 にし、関連するパイプの PID[1:0]ビットの設定値を STALL（11b）に変更する。

受信パイプの場合

- 転送タイプがアイソクロナスのパイプにおいて、IN トークン発行タイミングに達したが、FIFO バッファに空きがないとき。このとき USBFS は、IN トークンに対する受信データを破棄し、該当するパイプの関連する PIPEnNRDY ビットおよび OVRN ビットを 1 にする。さらに、IN トークンに対する受信データにパケットエラーを検出した場合には、USBFS は FRMNUM.CRCE ビットも 1 にします。
- 転送タイプがアイソクロナス以外のパイプにおいて、以下の 2 つのケースが任意の組み合わせで 3 回連続で発生したとき。
  - USBFS が発行した IN トークンに対して周辺デバイスから応答がないとき（周辺デバイスからの DATA パケットを検出する前にタイムアウトが検出されるとき）。
  - 周辺デバイスからのパケットにエラーが検出されたとき。このとき USBFS は、関連する PIPEnNRDY ビットを 1 にし、該当するパイプの関連する PID[1:0]ビットの設定値を NAK に変更する。
- 転送タイプがアイソクロナスのパイプにおいて、IN トークンに対して周辺デバイスから応答がない（周辺デバイスからの DATA パケットを検出する前にタイムアウトが検出されるとき）、または周辺デバイスからのパケットにエラーが検出されるとき。このとき USBFS は、該当するパイプの関連する PIPEnNRDY ビットを 1 にする。該当するパイプの PID[1:0]ビットの設定値変更は行わない。
- 転送タイプがアイソクロナスのパイプにおいて、受信したデータパケットに CRC エラーまたはビットスタッフィングエラーが検出されるとき。このとき USBFS は、該当するパイプの関連する PIPEnNRDY ビットおよび CRCE ビットを 1 にする。
- STALL ハンドシェイクを受信したとき。このとき USBFS は、該当するパイプに関連する PIPEnNRDY ビットを 1 にし、関連するパイプの PID[1:0]ビットの設定値を STALL に変更する。

(2) デバイスコントローラモード時

送信パイプの場合

- FIFO バッファに送信データがない状態で IN トークンを受信したとき。このとき USBFS は、IN トークン受信時に NRDY 割り込み要求を発生させ、NRDYSTS.PIPEnNRDY ビットを 1 にする。割り込み発生パイプの転送タイプがアイソクロナスの場合、USBFS は Zero-Length パケットを送信し、FRMNUM.OVRN ビットを 1 にする。

受信パイプの場合

- OUT トークンを受信したが、FIFO バッファに空きがないとき。割り込み発生パイプの転送タイプがアイソクロナスの場合、OUT トークン受信時に USBFS は NRDY 割り込み要求を発生させ、PIPEnNRDY ビットを 1 にし、OVRN ビットを 1 にする。割り込み発生パイプの転送タイプがアイソクロナス以外の場合、OUT トークンに続くデータ受信後 NAK ハンドシェイクが送信されるときに、USBFS は NRDY 割り込み要求を発生させ、PIPEnNRDY ビットを 1 にする。DATA-PID 不一致の発生による再送時には、NRDY 割り込み要求を発生させない。また、DATA パケットにエラーがある場合にも、NRDY 割り込み要求を発生させない。
- 転送タイプがアイソクロナスのパイプにおいて、インターバルフレーム内にトークンが正常受信されなかったとき。このとき USBFS は、SOF 受信のタイミングで NRDY 割り込み要求を発生させ、PIPEnNRDY ビットを 1 にする。

図 29.12 に、デバイスコントローラモード時の NRDY 割り込み発生タイミングを示します。

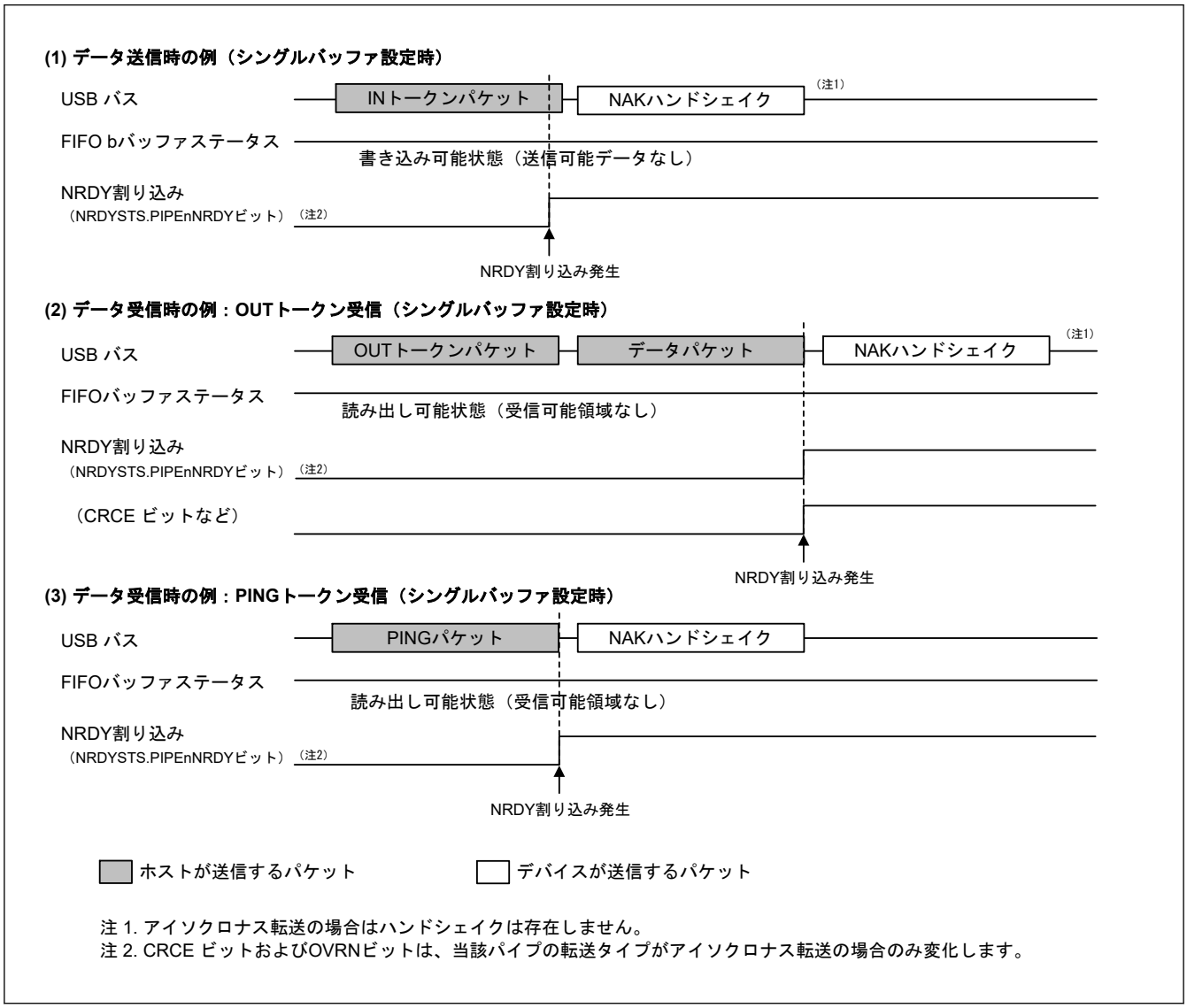


図 29.12 デバイスコントローラモード時の NRDY 割り込み発生タイミング

29.3.3.3 BEMP 割り込み

ソフトウェアで PID を BUF に設定したパイプに対して BEMP 割り込みを検出すると、USBFS は関連する BEMPSTS.PIPEnBEMP ビットを 1 にします。ソフトウェアによって BEMPENB レジスタの関連するビットを 1 にしている場合、USBFS は INTSTS0.BEMP ビットを 1 にし、USBFS 割り込みを発生させます。ここでは、USBFS が内部 BEMP 割り込み要求を発生させる条件を説明します。

(1) 送信パイプの場合

送信完了時（Zero-Length パケットの送信時を含む）に関連するパイプの FIFO バッファが空のとき、およびシングルバッファモード時は、DCP 以外のパイプに対しての BRDY 割り込みと同時に内部 BEMP 割り込み要求を発生させます。以下のいずれかの条件では、内部 BEMP 割り込み要求は発生しません。

- ダブルバッファモードで、片方の FIFO バッファからのデータ送信完了時に、CPU または DMA/DTC が CPU 側の FIFO バッファに対する書き込みを開始しているとき
- PIPEnCTR.ACLRM ビットまたはポートコントロールレジスタの BCLR ビットを 1 にしてバッファをクリア（空に）したとき
- デバイスコントローラモードでのコントロール転送ステータスステージの IN 転送（Zero-Length パケット送信）を実行したとき

(2) 受信パイプの場合

正常受信したデータパケットサイズが指定された最大パケットサイズを超えたとき。このとき、USBFS は、BEMP 割り込み要求を発生させ、関連する BEMPSTS.PIPEnBEMP ビットを 1 にし、受信データを破棄し、該当するパイプの関連する PID[1:0]ビットの設定を STALL (11b) に変更します。USBFS は、ホストコントローラモードでは応答を返さず、デバイスコントローラモードでは STALL 応答を行います。

以下のいずれかの条件では、内部 BEMP 割り込み要求は発生しません。

- 受信したデータパケットに CRC エラーまたはビットスタッフィングエラーが検出されるとき。
- SETUP トランザクションが実行時
  - BEMPSTS.PIPEnBEMP ビットに 0 を書き込むことにより、ステータスをクリアすることが可能。
  - BEMPSTS.PIPEnBEMP ビットに 1 を書き込んでも、動作に影響はない。

図 29.13 に、デバイスコントローラモード時の BEMP 割り込み発生タイミングを示します。

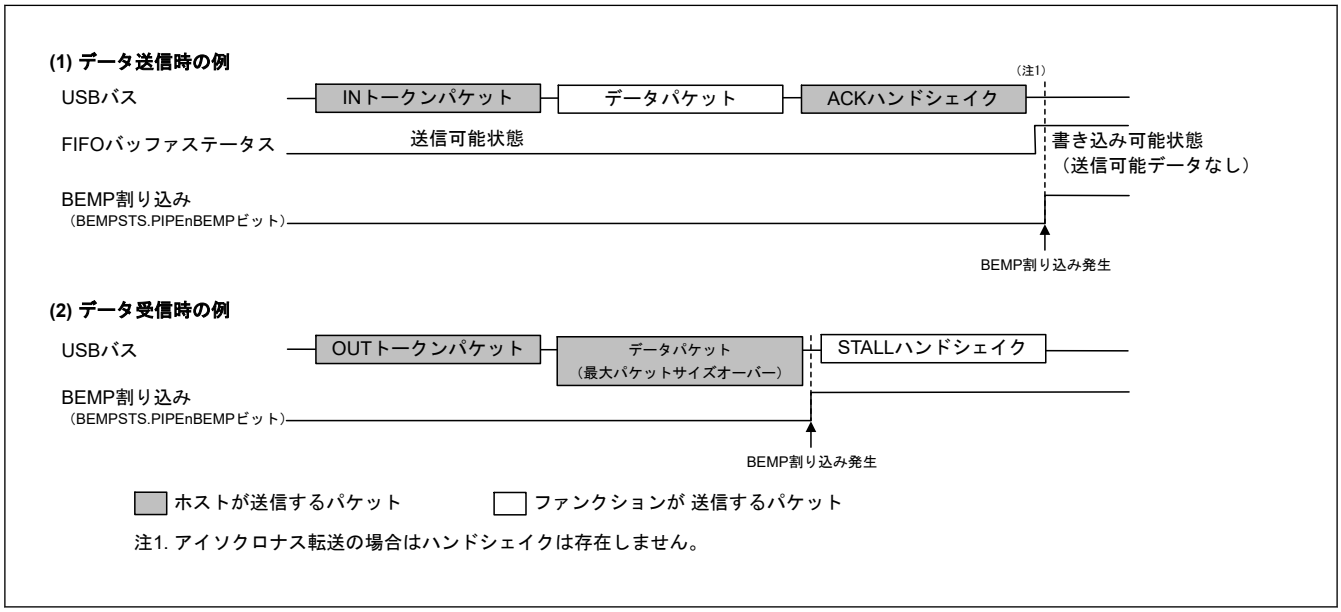


図 29.13 デバイスコントローラモード時の BEMP 割り込み発生タイミング

29.3.3.4 デバイスステート遷移割り込み（デバイスコントローラモード時）

図 29.14 に、USBFS のデバイスステート遷移図を示します。USBFS はデバイスステートを制御し、デバイスステート遷移割り込みを発生させます。ただし、Suspended ステートからの復帰（レジューム信号検出）は、レジューム割り込みで検出します。デバイスステート遷移割り込みの許可／禁止は、INTENB0 レジスタで個別に指定できます。状態が変化したデバイスは、INTSTS0.DVSQ[2:0]ビットで確認できます。

Default ステートに遷移する場合には、USB バスリセット検出後に、デバイスステート遷移割り込みが発生します。

デバイスステートは USBFS が制御し、デバイスステート遷移割り込みはデバイスコントローラモードでのみ発生させることが可能です。

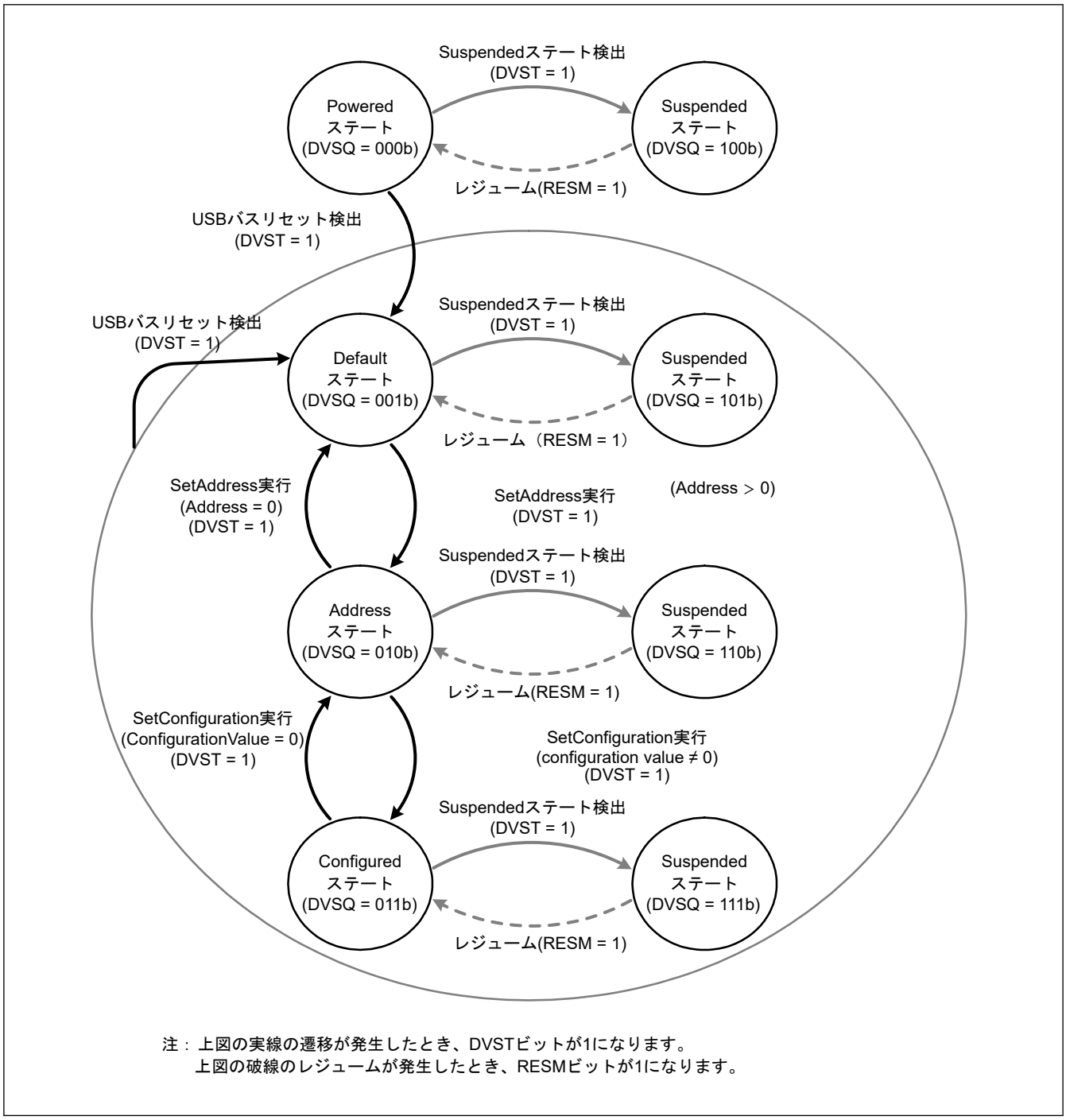


図 29.14　デバイスステートの遷移

29.3.3.5　コントロール転送ステージ遷移割り込み（デバイスコントローラモード時）

図 29.15 に、USBFS のコントロール転送ステージ遷移図を示します。USBFS はコントロール転送のシーケンスを制御し、コントロール転送ステージ遷移割り込みを発生させます。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタで個別に許可または禁止できます。遷移が発生した転送ステージは、INTSTS0.CTSQ[2:0]ビットで確認できます。

コントロール転送ステージ遷移割り込みは、デバイスコントローラモードでのみ発生します。ここではコントロール転送のシーケンスエラーについて説明します。エラーが発生した場合は、DCPCTR.PID[1:0]ビットが 1xb（STALL 応答）になります。

(1) コントロールリード転送エラー

- データステージの IN トークンに対して一度もデータ転送していない状態で OUT トークンを受信
- ステータスステージで IN トークンを受信
- ステータスステージで DATAPID = DATA0 のデータパケットを受信

(2) コントロールライト転送エラー

- データステージの OUT トークンに対して一度も ACK 応答していない状態で IN トークンを受信
- データステージで最初のデータパケットとして DATAPID = DATA0 のデータパケットを受信
- ステータスステージで OUT トークンを受信

(3) コントロールライトノーデータ転送エラー

- ステータスステージで OUT トークンを受信

コントロールライト転送データステージで、受信データ長が USB リクエストの wLength 値を超えた場合は、コントロール転送シーケンスエラーと認識されません。コントロールリード転送ステータスステージで、Zero-Length パケット以外のパケット受信には、ACK 応答を行い転送は正常終了します。

シーケンスエラーによる CTRT 割り込み発生時 (INTSTS0.CTRT = 1) は、CTRT ビットを 0 にして割り込みステータスクリアが行われるまで、CTSQ[2:0] = 110b の値が保持されます。CTSQ[2:0] = 110b が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません。セットアップステージ完了ステータスは USBFS が保持しており、ソフトウェアによる割り込みステータスクリア後に、USBFS が CTRT 割り込みを発生させます。

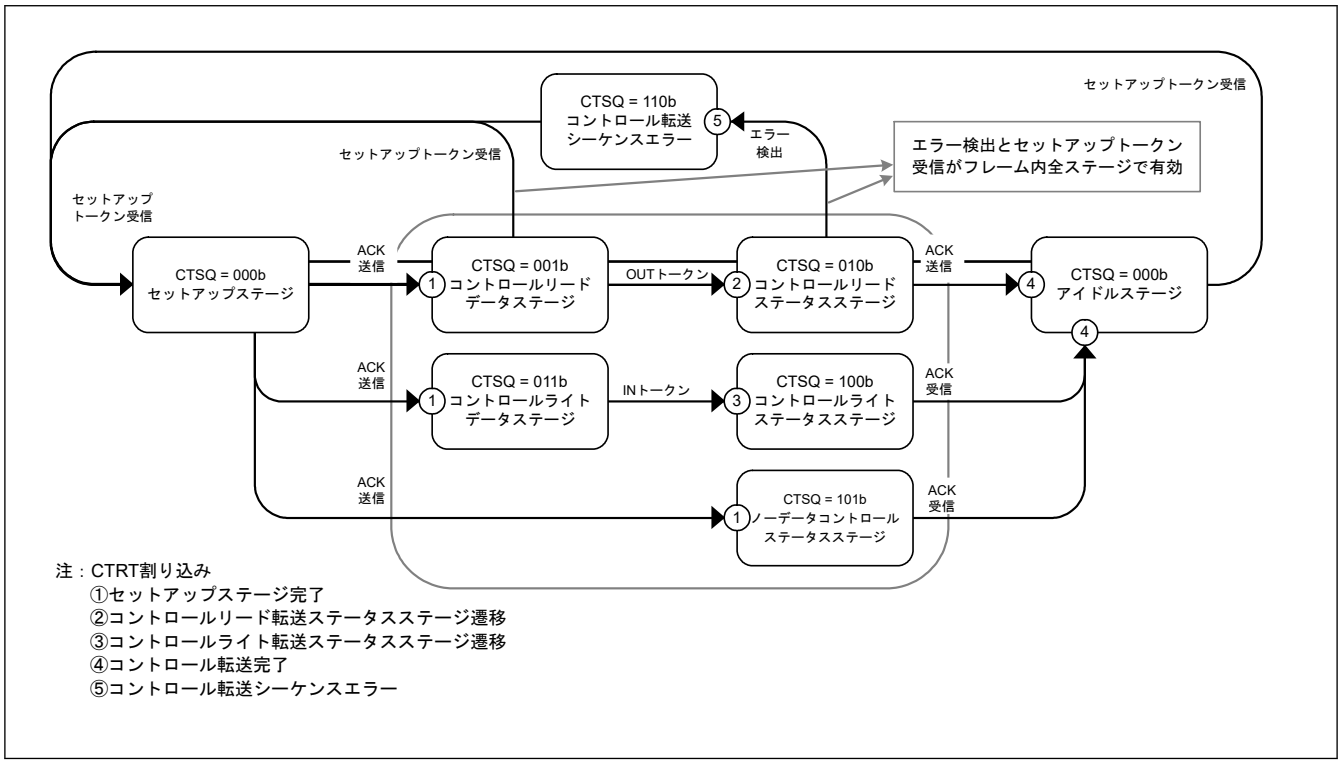


図 29.15 コントロール転送ステージの遷移

29.3.3.6 フレーム番号更新割り込み

ホストコントローラモードでは、フレーム番号が更新されると割り込みが発生します。

デバイスコントローラモードでは、フレーム番号が更新されると SOFR 割り込みが発生します。USBFS は、フルスピード動作中に新しい SOF パケットを検出すると、フレーム番号を更新して SOFR 割り込みを発生させます。

29.3.3.7 VBUS 割り込み

USB_VBUS 端子レベルに変化があった場合に VBUS 割り込みが発生します。INTSTS0.VBSTS ビットで USB_VBUS 端子のレベルを確認できます。VBUS 割り込みによって、ホストコントローラの接続および切断の確認ができます。ホストコントローラが接続された状態でシステムが起動された場合は、USB_VBUS 端子レベルが変化しないため、最初の VBUS 割り込みは発生しません。

29.3.3.8 レジューム割り込み

デバイスコントローラモードでは、デバイスステートが Suspended ステートで、USB バスステートが変化（J-State から K-State、または J-State から SE0）したときにレジューム割り込みが発生します。レジューム割り込みによって Suspended ステートからの復帰を検出します。

ホストコントローラモードでは、レジューム割り込みは発生しません。USB バスステートの変化は BCHG 割り込みを用いて検出してください。

29.3.3.9 OVRCR 割り込み

USB_OVRCURA 端子、USB_OVRCURA-DS 端子、USB_OVRCURB 端子または USB_OVRCURB-DS 端子レベルに変化があった場合に、OVRCR 割り込みが発生します。SYSSTS0.OVCMON[1:0]フラグで、USB_OVRCURA 端子、USB_OVRCURA-DS 端子、USB_OVRCURB 端子および USB_OVRCURB-DS 端子のレベルを確認できます。OVRCR 割り込みによって、外部電源 IC からオーバーカレント検出の確認ができます。

OTG 接続時には、OVRCR 割り込みで VBUS コンパレータ変化検出の確認ができます。

29.3.3.10 BCHG 割り込み

USB バスステートに変化があった場合に、BCHG 割り込みが発生します。BCHG 割り込みは、ホストコントローラモードでの周辺デバイスの接続、およびリモートウェイクアップの検出に使用します。ホストコントローラモードとデバイスコントローラモードの両方で発生します。

29.3.3.11 DTCH 割り込み

ホストコントローラモード時に USB バス切断を検出した場合、DTCH 割り込みが発生します。USBFS は、USB2.0 規格に準じてバス切断を検出します。

割り込みが検出されたら、該当するポートに対して通信を行っているパイプをすべてソフトウェアで終了させてください。通信を終了したパイプは、該当するポートへのバス接続（ATTCH 割り込み発生）待ちの状態に遷移します。関連する割り込み許可ビットの設定値にかかわらず、USBFS ハードウェアは以下の処理を行います。

- DTCH 割り込みを検出したポートの DVSTCTR0.UACT ビットを 0 にする
- DTCH 割り込みが発生したポートをアイドル状態に遷移させる

29.3.3.12 SACK 割り込み

ホストコントローラモード時に、送信した Setup パケットに対して周辺デバイスから ACK 応答を受信した場合に、SACK 割り込みが発生します。SACK 割り込みにより、SETUP トランザクションが正常に終了したことを確認できます。

29.3.3.13 SIGN 割り込み

ホストコントローラモード時に、送信した Setup パケットに対して周辺デバイスからの ACK 応答を 3 回連続で正常に受信できなかった場合、SIGN 割り込みが発生します。SIGN 割り込みを使用して、周辺デバイスが ACK 応答を送信しなかったことや、ACK パケットの破損を検出することが可能です。

29.3.3.14 ATTCH 割り込み

ホストコントローラモード時、USB ポートにフルスピード信号レベルの J-State または K-State を 2.5 µs 間検出した場合、ATTCH 割り込みが発生します。ATTCH 割り込み検出条件は、具体的には以下のとおりです。

- K-State、SE0、または SE1 から J-State に変化し、J-State のまま 2.5 µs 間継続したとき
- J-State、SE0、または SE1 から K-State に変化し、K-State のまま 2.5 µs 間継続したとき

29.3.3.15 EOFERR 割り込み

USB2.0 規格で定められている EOF2 タイミング時点で通信が終了しないことを USBFS が検出した場合、EOFERR 割り込みが発生します。

割り込み検出時には、該当するポートに対して通信を行っているパイプをすべてソフトウェアで終了させ、該当するポートへの再エニュメレーションを行ってください。関連する割り込み許可ビットの設定値にかかわらず、USBFS ハードウェアは以下の処理を行います。

- EOFERR 割り込みを検出したポートの DVSTCTR0.UACT ビットを 0 にする
- EOFERR 割り込みが発生したポートをアイドル状態に遷移させる

29.3.4 パイプコントロール

表 29.19 に、USBFS のパイプ設定項目一覧を示します。USB データ転送は、ソフトウェアがエンドポイントと関連付けた論理パイプにて行います。USBFS にはデータ転送用に 10 本のパイプがあります。各パイプは、ユーザシステムの仕様に合わせて設定を行ってください。

表 29.19 パイプ設定項目

レジスタ名	ビット名	設定内容	備考
DCPCFG PIPECFG	TYPE	転送タイプ	パイプ 1～9：設定可能
	BFRE	BRDY 割り込みモード	パイプ 1～5：設定可能
	DBLB	ダブルバッファ選択	パイプ 1～5：設定可能
	DIR	転送方向選択	IN または OUT 設定可能
	EPNUM	エンドポイント番号	パイプ 1～9：設定可能 パイプ使用時は 0000b 以外に設定
	SHTNAK	転送終了時のパイプ選択禁止	パイプ 1～2：バルク転送時のみ設定可能 パイプ 3～5：設定可能
DCPMAXP PIPEMAXP	DEVSEL	デバイス選択	ホストコントローラモード時のみ参照
	MXPS	最大パケットサイズ	USB2.0 規格準拠
PIPEPERI	IFIS	バッファフラッシュ	パイプ 1～2：アイソクロナス転送時のみ設定可能 パイプ 3～9：設定不可能
	IITV	インターバルカウンタ	パイプ 1～2：アイソクロナス転送時のみ設定可能 パイプ 3～5：設定不可能 パイプ 6～9：ホストコントローラモード時のみ設定可能
DCPCTR PIPEnCTR	BSTS	バッファステータス	DCP は ISEL ビットにより受信／送信バッファ状態を切り替え
	INBUFM	IN バッファモニタ	パイプ 1～5 のみ搭載
	SUREQ	SETUP リクエスト	DCP のみ設定可能、ホストコントローラモード時のみ制御
	SUREQCLR	SUREQ クリア	DCP のみ設定可能、ホストコントローラモード時のみ制御
	ATREPM	自動応答モード	パイプ 1～5：デバイスコントローラモード時のみ設定可能
	ACLRM	自動バッファクリア	パイプ 1～9：設定可能
	SQCLR	シーケンスクリア	データトグルビットのクリア
	SQSET	シーケンスセット	データトグルビットの設定
	SQMON	シーケンスモニタ	データトグルビットの監視
	PBUSY	パイプビジーステータス	—
	PID	応答 PID	「29.3.4.6. 応答 PID」を参照してください。
PIPEnTRE	TRENB	トランザクションカウンタ許可	パイプ 1～5：設定可能
	TRCLR	トランザクションカウンタのクリア	パイプ 1～5：設定可能
PIPEnTRN	TRNCNT	トランザクションカウンタ	パイプ 1～5：設定可能

29.3.4.1 パイプコントロールレジスタの切り替え手順

パイプコントロールレジスタの以下のビットは、USB 通信が禁止 (PID = NAK) されているときのみ書き換えが可能になります。

USB 通信が許可 (PID = BUF) されている状態で、以下のレジスタおよびビットを変更しないでください。

- DCPCFG レジスタ、および DCPMAXP レジスタの各ビット
- DCPCTR.SQCLR、および SQSET ビット
- PIPECFG レジスタ、PIPEMAXP レジスタ、および PIPEPERI レジスタの各ビット
- PIPEnCTR.ATREPM、ACLRM、SQCLR、および SQSET ビット
- PIPEnTRE レジスタ、および PIPEnTRN レジスタの各ビット

USB 通信が許可 (PID = BUF) されている状態で、上記の各ビットを設定する場合は、以下の手順で行ってください。

1. パイプコントロールレジスタのビット変更要求が発生する。
2. 関連するパイプの PID[1:0]ビットを NAK にする。
3. 関連するパイプの PBUSY ビットが 0 になるまで待つ。
4. パイプコントロールレジスタのビット設定を開始する。

パイプコントロールレジスタの以下のビットは、CFIFOSEL、D0FIFOSEL、および D1FIFOSEL レジスタの CURPIPE[3:0]ビットに選択パイプ情報が設定されていない場合のみ書き換えが可能です。

CURPIPE[3:0]ビット設定中には以下のレジスタを設定しないでください。

- DCPCFG レジスタ、および DCPMAXP レジスタの各ビット
- PIPECFG レジスタ、PIPEMAXP レジスタ、および PIPEPERI レジスタの各ビット

パイプ情報を変更する場合には、ポート選択レジスタの CURPIPE[3:0]ビットの設定を変更パイプ以外に指定してください。DCP についてはパイプ情報修正後、ポートコントロールレジスタの BCLR ビットにてバッファのクリア処理をしてください。

29.3.4.2 転送タイプ

PIPECFG.TYPE[1:0]ビットで各パイプに以下の転送タイプを設定します。

- DCP：設定不要（コントロール転送固定）
- パイプ 1～2：バルク転送またはアイソクロナス転送を設定
- パイプ 3～5：バルク転送を設定
- パイプ 6～9：インタラプト転送を設定

29.3.4.3 エンドポイント番号

PIPECFG.EPNUM[3:0]ビットにて、各パイプのエンドポイント番号を設定します。DCP は、エンドポイント 0 に固定されています。他のパイプは、エンドポイント 1 からエンドポイント 15 までの設定が可能です。

- DCP：設定不要（エンドポイント 0 固定）
- パイプ 1～9：PIPECFG.DIR ビットと EPNUM[3:0]ビットの組み合わせが重複しないように、エンドポイント番号 1 から 15 までを選択して設定します。

29.3.4.4 最大パケットサイズ設定

DCPMAXP.MXPS[6:0]ビットおよび PIPEMAXP.MXPS[9:0]ビットにて各パイプの最大パケットサイズを設定します。DCP およびパイプ 1～5 は USB2.0 規格で定義されているすべての最大パイプサイズに設定が可能です。パイプ 6～9 では、64 バイトが最大パケットサイズです。最大パケットサイズは、転送を開始 (PID = BUF) する前に、以下のように設定してください。

- DCP：8、16、32、または 64 から選択して設定

- パイプ 1～5：バルク転送時は 8、16、32、または 64 から選択して設定
- パイプ 1～2：アイソクロナス転送時は 1 から 256 の値を設定
- パイプ 6～9：1 から 64 の値を設定

29.3.4.5 トランザクションカウンタ（受信方向パイプ 1～5）

USBFS は、データパケット受信方向で、指定回数のトランザクションが終了した場合に、転送終了と認識します。トランザクションカウンタには、実行トランザクション回数を指定する PIPEnTRN レジスタと、実行されたトランザクションを内部でカウントするカレントカウンタがあります。PIPECFG.SHTNAK ビットが 1 の状態でカレントカウンタの値がトランザクションの指定回数と一致すると、関連する PIPEnCTR.PID[1:0]ビットが NAK に設定され、次の転送を禁止状態にします。PIPEnTRE.TRCLR ビットにて、トランザクションカウンタ機能のカレントカウンタを初期化し、トランザクションを最初からカウントし直すことができます。PIPEnTRE.TRENB ビットの設定により、PIPEnTRN レジスタ読み出し時のデータは以下のように異なります。

- TRENB ビットが 0：トランザクションカウンタの設定値を読み出し可能
- TRENB ビットが 1：内部でカウントした実行済みトランザクション数を示すカレントカウンタ値を読み出し可能

TRCLR ビットの操作には、以下の制限事項があります。

- トランザクションカウント中かつ PID＝BUF の場合、カレントカウンタはクリア不可
- バッファ内にデータが残っている場合、カレントカウンタはクリア不可

29.3.4.6 応答 PID

DCPCTR レジスタおよび PIPEnCTR レジスタの PID[1:0]ビットで、各パイプの応答 PID を設定します。ここでは、各応答 PID 設定における USBFS の動作について説明します。

(1) ソフトウェアの応答 PID 設定（ホストコントローラモード時）

応答 PID を選択して、以下のようにトランザクションの実行について指定します。

- NAK 設定：パイプ使用禁止状態かつトランザクション実行なし
- BUF 設定：FIFO バッファの状態に応じて下記のトランザクションを実行
  - OUT 方向の場合：FIFO バッファに送信データがある場合、OUT トークンを発行
  - IN 方向の場合：FIFO バッファに空きがあり受信可能な場合に、IN トークンを発行
- STALL 設定：パイプ使用禁止状態かつトランザクション実行なし

注. DCP の SETUP トランザクションを実行するには、DCPCTR.SUREQ ビットを使用してください。

(2) ソフトウェアの応答 PID 設定（デバイスコントローラモード時）

応答 PID を選択して、以下のようにホストからのトランザクションに応答します。

- NAK 設定：発生したすべてのトランザクションに対して NAK 応答を返答
- BUF 設定：FIFO バッファの状態に応じてトランザクションに応答
- STALL 設定：発生したすべてのトランザクションに対して STALL 応答を返答

注. SETUP トランザクションに対しては、PID[1:0]ビットの設定にかかわらず、常に ACK 応答し、レジスタに USB リクエストを格納します。

以下の(3)および(4)では、特定のトランザクションの結果に従って USBFS が PID[1:0]ビットに書き込みを行う状況について説明します。

(3) ハードウェアの応答 PID 設定（ホストコントローラモード時）

- NAK 設定：以下の場合に PID＝NAK となり、トークンの発行が自動的に停止
  - アイソクロナス以外の転送で、NRDY 割り込みが発生したとき
    （詳細については、「29.3.3.2. NRDY 割り込み」を参照してください。）

  - バルク転送において PIPECFG.SHTNAK ビットが 1 の場合に、ショートパケットを受信したとき
  - バルク転送で SHTNAK ビットが 1 の場合にトランザクションカウンタが終了したとき
- BUF 設定：USBFS によるこの設定の書き込みはなし
- STALL 設定：以下の場合に PID = STALL となり、トークンの発行が自動的に停止
  - 送信したトークンに対して STALL を受信したとき
  - 最大パケットサイズより大きなデータパケットを受信したとき

(4) ハードウェアの応答 PID 設定（デバイスコントローラモード時）

- NAK 設定：以下の場合に PID = NAK となり、トランザクションに対して NAK 応答を返す
  - SETUP トークンを正常に受信したとき（DCP のみ）
  - バルク転送で PIPECFG.SHTNAK ビットが 1 の場合に、トランザクションカウンタが終了したとき、またはショートパケットを受信したとき
- BUF 設定：USBFS による BUF 書き込みはなし
- STALL 設定：以下の場合に PID = STALL となり、トランザクションに対して STALL 応答を返す
  - 受信したデータのパケットサイズが、最大パケットサイズを超えたとき
  - コントロール転送シーケンスエラーを検出したとき（DCP のみ）

29.3.4.7 データ PID シーケンスビット

コントロール転送のデータステージ、バルク転送、およびインタラプト転送において正常なデータ転送が行われると、USBFS がデータ PID のシーケンスビットを自動的にトグルします。次に送出されるデータ PID のシーケンスビットは、DCPCTR レジスタおよび PIPEnCTR レジスタの SQMON ビットにて確認できます。データ送信時は、ACK ハンドシェイク受信のタイミングでシーケンスビットが切り替わります。データ受信時は、ACK ハンドシェイク送信のタイミングでシーケンスビットが切り替わります。DCPCTR レジスタの SQCLR ビット、および PIPEnCTR レジスタの SQSET ビットによって、データ PID シーケンスビットの変更が可能です。

デバイスコントローラモードでのコントロール転送では、ステージ遷移時に USBFS が自動的にシーケンスビットを設定します。セットアップステージ終了時は DATA1 が返されます。ステータスステージではシーケンスビットは参照せず、PID = DATA1 が返されます。このため、ソフトウェアによる設定は必要ありません。ただし、ホストコントローラモードでのコントロール転送では、ステージ遷移時にシーケンスビットをソフトウェアで設定する必要があります。

ホストコントローラモードとデバイスコントローラモードのどちらの場合でも、ClearFeature リクエストの送信または受信時には、ソフトウェアでデータ PID シーケンスビットを設定する必要があります。

29.3.4.8 応答 PID = NAK 機能

USBFS には、トランザクションの最後のデータパケットの受信タイミングで、パイプ動作を禁止（PID 応答 = NAK）する機能があります。USBFS は、ショートパケット受信またはトランザクションカウンタでトランザクションの終了を自動識別します。PIPECFG.SHTNAK ビットが 1 の場合、この機能が有効です。

この機能を使用することで、FIFO バッファをダブルバッファモードで使用している場合に、転送単位でのデータパケットの受信が可能です。パイプ動作が禁止された場合は、ソフトウェアで再度パイプを許可（PID 応答 = BUF）する必要があります。

応答 PID = NAK 機能はバルク転送時のみ動作することが可能です。

29.3.4.9 自動応答モード

バルク転送のパイプ（1～5）において、PIPEnCTR.ATREPM ビットを 1 にすると、自動応答モードとなります。OUT 転送時（PIPECFG.DIR ビット = 0）には OUT-NAK モードとなり、IN 転送時（DIR ビット = 1）には Null 自動応答モードとなります。

29.3.4.10 OUT-NAK モード

バルク OUT 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを 1 にすると、OUT トークンに対して NAK 応答し、NRDY 割り込みを出力します。ノーマルモードから OUT-NAK モードへ遷移させる場合には、パイプ動作禁止状態（PID[1:0]ビット = 00b（NAK 応答））で、OUT-NAK モードを指定してください。次に、パイプ動作を許可（PID[1:0]ビット = 01b（BUF 応答））します。これにより、OUT-NAK モードが有効になります。パイプ動作禁止にする直前で OUT トークンを受信した場合は、その OUT トークンのデータは正常に受信され、ホストへ ACK 応答されます。

OUT-NAK モードからノーマルモードへ遷移させる場合には、パイプ動作禁止状態 (NAK) で、OUT-NAK モードを解除してください。次に、パイプ動作を許可 (BUF) します。ノーマルモードでは、OUT データ受信が可能となります。

29.3.4.11 Null 自動応答モード

バルク IN 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを 1 にすると、Zero-Length パケットを送信し続けます。

ノーマルモードから Null 自動応答モードへ遷移させるためには、パイプ動作禁止状態（応答 PID = NAK）で、Null 自動応答モードを指定してください。次に、パイプ動作を許可（応答 PID = BUF）します。Null 自動応答モードが有効になります。Null 自動応答モードを設定する場合は、バッファ内は空である必要があるため、PIPEnCTR.INBUFM ビットが 0 であることを確認してください。INBUFM ビットが 1 の場合には、PIPEnCTR.ACLRM ビットによりバッファを空にしてください。Null 自動応答モードへの遷移中は、FIFO ポートからのデータ書き込みは行わないでください。

Null 自動応答モードからノーマルモードへ遷移させる場合には、Zero-Length パケット送信の期間（約 10 µs）をパイプ動作禁止状態（応答 PID = NAK）にした後、Null 自動応答モードを解除してください。ノーマルモードでは、FIFO ポートからの書き込みが可能となり、パイプ動作許可（応答 PID = BUF）を行うことにより、ホストへのパケット送信が可能となります。

29.3.5 FIFO バッファ

USBFS はデータ転送用の FIFO バッファを備えており、これによって各パイプに使用されるメモリ領域を管理します。FIFO バッファの状態には、アクセス権がシステム（CPU 側）にある場合と USBFS（SIE 側）にある場合があります。

(1) バッファステータス

表 29.20 および表 29.21 に、USBFS のバッファステータスを示します。FIFO バッファステータスは、DCPCTR.BSTS ビットおよび PIPEnCTR.INBUFM ビットを使用して確認できます。FIFO バッファの転送方向は、PIPECFG.DIR ビットまたは CFIFOSEL.ISEL ビット（DCP 選択時）で指定します。

INBUFM ビットは送信方向のパイプ 1～5 で有効です。

送信側の転送パイプがダブルバッファモードを使用している場合、ソフトウェアは BSTS ビットを読み出して CPU 側の FIFO バッファステータスを監視し、INBUFM ビットを読み出して SIE 側の FIFO バッファステータスを監視します。CPU または DMA/DTC による FIFO ポートへの書き込みが遅く、BEMP 割り込みではバッファの空き状態が判別できない場合に、ソフトウェアは INBUFM ビットで送信完了を確認できます。

表 29.20 BSTS ビットが示すバッファステータス

ISEL または DIR	BSTS	FIFO バッファステータス
0（受信方向）	0	受信データなし、または受信中。 FIFO ポートからの読み出し不可能。
0（受信方向）	1	受信データあり、または Zero-Length パケット受信。 FIFO ポートからの読み出し可能。 zero-Length パケット受信時は読み出し不可能のためバッファクリアが必要。
1（送信方向）	0	送信未完了。 FIFO ポートへの書き込み不可能。
1（送信方向）	1	送信完了。 CPU は書き込み可能。

表 29.21 INBUFM ビットが示すバッファステータス

DIR	INBUFM	FIFO バッファステータス
0（受信方向）	無効	無効。
1（送信方向）	0	送信完了。 送信可能データなし。
1（送信方向）	1	データが FIFO ポートからバッファへ書き込まれた。 送信可能データあり。

29.3.6 FIFO バッファクリア

表 29.22 に、FIFO バッファのクリア方式一覧を示します。FIFO バッファは、ポートコントロールレジスタの BCLR ビット、DnFIFOSEL.DCLRM ビット、または PIPEnCTR.ACLRM ビットでクリアできます。

パイプ 1～5 は、PIPECFG.DBLB ビットにてシングルバッファまたはダブルバッファを選択できます。

表 29.22 バッファクリア方式一覧

FIFO バッファクリアモード	CPU 側 FIFO バッファクリア	指定パイプのデータ読み出し後に FIFO バッファを自動でクリアするモード	受信パケットをすべて破棄するための自動バッファクリアモード
使用するレジスタ	CFIFOCTR DnFIFOCTR	DnFIFOSEL	PIPEnCTR
使用するビット	BCLR	DCLRM	ACLRM
0 になる条件	1 書き込みでクリア	1: モード有効 0: モード無効	1: モード有効 0: モード無効

(1) 自動バッファクリアモード機能

PIPEnCTR.ACLRM ビットが 1 の場合、USBFS は受信したすべてのデータパケットを破棄します。正常なデータパケットを受信した場合は、ホストコントローラに対して ACK 応答を行います。自動バッファクリアモード機能は、FIFO バッファ読み出し方向にのみ設定可能です。

ACLRM ビットを 1 にし、続けて 0 にすると、アクセス方向に関係なく、選択パイプの FIFO バッファがクリアされます。ハードウェアの内部シーケンス実行時間として、ACLRM ビットへの 1 書き込みと 0 書き込みの間隔は 100ns 以上あけてください。

29.3.7 FIFO ポートの機能

表 29.23 に、FIFO ポート機能設定を示します。データ書き込み時は、最大パケットサイズまで書き込みを行うと、自動的にデータが送信可能状態となります。最大パケットサイズ未満のデータを送信可能状態にするには、ポートコントロールレジスタの BVAL フラグを書き込み終了に設定してください。Zero-Length パケットを送信するには、BCLR ビットでバッファをクリアし、BVAL フラグを書き込み終了に設定してください。

読み出し時は、すべてのデータを読み出すと、自動的に新しいパケットを受信可能な状態になります。Zero-Length パケット受信時（DTLN[8:0]ビット = 0）は、データは読み出せませんので、BCLR ビットによるバッファクリアが必要です。受信データ長は、ポートコントロールレジスタの DTLN[8:0]ビットにて確認します。

表 29.23 FIFO ポート機能設定 (1/2)

レジスタ名	ビット名	説明
CFIFOSEL、DnFIFOSEL (n = 0, 1)	RCNT	DTLN[11:0]読み出しモード選択
	REW	FIFO バッファリワインド（再読み出し、再書き込み）
	DCLRM	指定パイプの受信データ読み出し後、受信データの自動クリア（DnFIFO 専用）
	DREQE	DMA/DTC 転送許可（DnFIFO 専用）
	MBW	FIFO ポートアクセスビット幅
	BIGEND	FIFO ポートエンディアン選択
	ISEL	FIFO ポートアクセス方向（DCP 専用）
	CURPIPE	カレントパイプ選択

表 29.23 FIFO ポート機能設定 (2/2)

レジスタ名	ビット名	説明
CFIFOCTR、DnFIFOCTR (n = 0, 1)	BVAL	FIFO バッファ書き込み終了
	BCLR	CPU 側 FIFO バッファクリア
	DTLN	受信データ長確認

(1) FIFO ポート選択

表 29.24 に、各 FIFO ポートで選択可能なパイプを示します。ポート選択レジスタの CURPIPE[3:0]ビットにて、アクセスするパイプを選択します。パイプ選択後、書き込んだ CURPIPE[3:0]ビット値が正しく読み出せたかどうかをソフトウェアで確認する必要があります。前回のパイプ番号が読み出された場合には、USBFS がパイプ変更処理中であることを示します。次に、ポートコントロールレジスタの FRDY ビットが 1 であることをソフトウェアで確認します。

また、ポート選択レジスタの MBW ビットでアクセスするバス幅をソフトウェアで指定する必要があります。FIFO バッファアクセス方向は、PIPECFG.DIR ビットの設定値に従います。DCP のみ、ポート選択レジスタの ISEL ビットにより方向を決定します。

表 29.24 パイプ別 FIFO ポートアクセス

パイプ	アクセス方法	使用可能なポート
DCP	CPU アクセス	CFIFO ポートレジスタ
パイプ 1～9	CPU アクセス	• CFIFO ポートレジスタ • D0FIFO/D1FIFO ポートレジスタ
	DMA/DTC アクセス	D0FIFO/D1FIFO ポートレジスタ

(2) REW ビット

実行中のパイプアクセスを一時的に中断し、別のパイプに対するアクセスを行ってから、再度最初のパイプの処理を続行することが可能です。このような処理には、ポート選択レジスタの REW ビットを使用します。

ポート選択レジスタの CURPIPE[3:0]ビットでパイプ選択を行うのと同時に REW ビットを 1 にすると、FIFO バッファからの読み出しまたは FIFO バッファへの書き込みポインタをリセットし、最初のバイトから読み出しまたは書き込みを行うことができます。REW ビットを 0 にしてパイプ選択を行うと、バッファの読み出しまたは書き込みポインタをリセットせずに、前回選択時の続きから継続してデータの読み出しおよび書き込みができます。

FIFO ポートにアクセスするには、パイプ選択後、ポートコントロールレジスタの FRDY ビットが 1 であることをソフトウェアで確認する必要があります。

29.3.8 DMA 転送（D0FIFO/D1FIFO ポート）

(1) DMA 転送概要

パイプ 1～9 に対して、DMAC による FIFO ポートアクセスが可能です。DMA 転送用のパイプのバッファがアクセス可能になったとき、DMA 転送要求を出力します。

DnFIFOSEL.MBW ビットにて FIFO ポートへの転送単位を、DnFIFOSEL.CURPIPE[3:0]ビットにて DMA 転送するパイプを選択してください。なお、DMA 転送中は選択しているパイプを変更しないでください。

(2) DnFIFO 自動クリアモード（D0FIFO/D1FIFO ポート読み出し方向）

USBFS は、DnFIFOSEL.DCLRM ビットを 1 にすることで、FIFO バッファからのデータ読み出しを完了したとき、選択パイプの FIFO バッファを自動的にクリアします。

表 29.25 に、各設定での、パケット受信とソフトウェアによる FIFO バッファクリア処理を示します。表に示すように、PIPECFG.BFRE ビットの設定値によりバッファクリア条件が異なります。バッファクリアが必要などのような状態においても、DnFIFOSEL.DCLRM ビットを使用することでソフトウェアによるバッファクリアが不要になります。これにより、ソフトウェアを介在させない DMA 転送が可能となります。

DnFIFO 自動クリアモードは、FIFO バッファ読み出し方向のみ設定できます。

表 29.25 パケット受信とソフトウェアによる FIFO バッファクリア処理

パケット受信時のバッファステータス	レジスタ設定			
	DCLRM = 0		DCLRM = 1	
	BFRE = 0	BFRE = 1	BFRE = 0	BFRE = 1
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Length パケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

29.3.9 DCP を使用したコントロール転送

コントロール転送データステージのデータ転送には、DCP を使用します。DCP の FIFO バッファは、コントロールリードおよびコントロールライト共用の固定領域を持つ 64 バイトシングルバッファです。FIFO バッファへのアクセスは、CFIFO ポートのみ可能です。

29.3.9.1 ホストコントローラモードでのコントロール転送

(1) セットアップステージ

USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタは、SETUP トランザクションの USB リクエスト送信用のレジスタです。Setup パケットのデータをレジスタに書き込み、DCPCTR.SUREQ ビットに 1 を書き込むことで、設定されているデータが SETUP トランザクションとして送出されます。SUREQ ビットは、トランザクションが終了すると 0 にクリアされます。SUREQ ビットが 1 のとき、上記 USB リクエストレジスタを変更しないでください。

アタッチされたファンクションデバイスが検出された場合、ソフトウェアで DCPMAXP.DEVSEL[3:0]ビットを 0 にクリアし、DEVADD0.USBSPD[1:0]ビットを適切に設定し、前述のシーケンスに従って、該当するデバイスの最初の SETUP トランザクションを発行してください。

アタッチされたファンクションデバイスが Address ステートに遷移したとき、ソフトウェアによって、DEVSEL[3:0]ビットに割り付けた USB アドレス値を設定し、指定 USB アドレスに対応する DEVADDn レジスタの各ビットを適切に設定し、前述のシーケンスに従って SETUP トランザクションを発行してください。たとえば、PIPEMAXP.DEVSEL[3:0] = 0010b のときは、DEVADD2 レジスタを適切に設定してください。また、PIPEMAXP.DEVSEL[3:0] = 0101b のときは、DEVADD5 レジスタを適切に設定してください。

SETUP トランザクションデータを送信すると、周辺デバイスからの応答（INTSTS1 レジスタの SIGN ビットまたは SACK ビット）に基づき割り込み要求が発生します。この割り込み要求によりソフトウェアで SETUP トランザクション結果を確認できます。

SETUP トランザクションの DATA0 データパケット（USB リクエスト）は、DCPCTR.SQMON ビットのステータスにかかわらず常に送信されます。

(2) データステージ

DCP の FIFO バッファを使用してデータの転送を行うためにデータステージを使用します。

DCP の FIFO バッファにアクセスする前に、CFIFOSEL.ISEL ビットでアクセス方向を指定してください。DCPCFG.DIR ビットで転送方向を指定してください。

データステージの第 1 データパケットは、データ PID を DATA1 として転送する必要があります。DCPCTR.SQSET ビットでデータ PIDs = DATA1 に設定し、PID ビット=BUF に設定します。データ転送の完了は、BRDY 割り込みまたは BEMP 割り込みによって検出します。

コントロールライト転送の場合、送信データバイト数が最大パケットサイズの整数倍の場合は、ソフトウェアで最後に Zero-Length パケットを送出してください。

(3) ステータスステージ

データステージと逆方向の Zero-Length パケットのデータ転送を行うためにステータスステージを使用します。データステージと同様に、DCP の FIFO バッファを使用してデータを転送します。データステージと同様の手順でトランザクションを実行します。

ステータスステージのデータパケットは、DCPCTR.SQSET ビットを使用してデータ PID を DATA1 として送受信する必要があります。

Zero-Length パケットを受信した場合、BRDY 割り込み発生後に CFIFOCTR.DTLN[8:0]ビットで受信データ長を確認してから、BCLR ビットで FIFO バッファをクリアしてください。

29.3.9.2 デバイスコントローラモードでのコントロール転送

(1) セットアップステージ

USBFS は、USBFS に対する正常な Setup パケットに対して ACK 応答します。セットアップステージの USBFS 動作を以下に示します。

新しい Setup パケットを受信すると、USBFS は以下のビットを設定します。

- INTSTS0.VALID ビットを 1 にする
- DCPCTR.PID[1:0]ビットを NAK にする
- DCPCTR.CCPL ビットを 0 にする

Setup パケットの後にデータパケットを受信すると、USBFS は、USB リクエストのパラメータを、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタに格納します。

コントロール転送に対する応答処理は、VALID フラグを 0 にしてから実行してください。VALID ビットが 1 の状態では PID = BUF 設定が行えず、データステージを終了することができません。

VALID ビットの機能により、USBFS は、コントロール転送中に新しい USB リクエストを受信すると、実行中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、USBFS は、受信した USB リクエストの方向ビット（bmRequestType のビット 8）と、リクエストデータ長 (wLength) を自動検出します。USBFS は他にも、コントロールリード転送、コントロールライト転送、およびノーデータコントロール転送を判別し、ステージ遷移を管理します。誤ったシーケンスに対しては、コントロール転送ステージ遷移割り込み中にシーケンスエラーが発生し、ソフトウェアに割り込みが報告されます。USBFS のステージ管理を示す図については、 図 29.15 を参照してください。

(2) データステージ

受信した USB リクエストに対応したデータ転送を DCP にて行ってください。DCP の FIFO バッファにアクセスする前に、CFIFOSEL.ISEL ビットでアクセス方向を指定してください。

転送データが DCP の FIFO バッファのサイズより大きい場合には、コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してデータ転送を行ってください。

(3) ステータスステージ

DCPCTR.PID[1:0]ビットが BUF に設定された状態で、DCPCTR.CCPL ビットを 1 にすることによりコントロール転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、USBFS が自動的にステータスステージを実行します。手順は以下のとおりです。

- コントロールリード転送の場合

  USBFS は、USB ホストから Zero-Length パケットを受信し、ACK 応答を送信します。
- コントロールライト転送、ノーデータコントロール転送の場合

  USBFS は、Zero-Length パケットを送信し、USB ホストから ACK 応答を受信します。

(4) コントロール転送自動応答機能

USBFS は、正常な SET_ADDRESS リクエストに自動応答します。SET_ADDRESS リクエストに下記のエラーのいずれかが発生した場合は、ソフトウェアによる応答が必要です。

- bmRequestType が 0x00 でない場合：コントロールライト転送以外
- wIndex が 0x00 でない場合：リクエストエラー
- wLength が 0x00 でない場合：ノーデータコントロール転送以外

- wValue が 0x7F より大きい場合：リクエストエラー
- INTSTS0.DVSQ[2:0]ビットが 011b（Configured ステート）の場合：デバイスステートエラーのコントロール転送

SET_ADDRESS リクエスト以外のすべてのリクエストには、対応するソフトウェアによる応答が必要です。

29.3.10 バルク転送（パイプ 1～5）

バルク転送は、FIFO バッファ使用方法（シングル／ダブルバッファ設定）の設定ができます。USBFS は、バルク転送専用として下記の機能を備えています。

- BRDY 割り込み機能（PIPECFG.BFRE ビット）：「29.3.3.1. BRDY 割り込み」参照
- トランザクションカウント機能（PIPEnTRE.TRENB ビット、TRCLR ビット、PIPEnTRN.TRNCNT[15:0]ビット）：「29.3.4.5. トランザクションカウンタ（受信方向パイプ 1～5）」参照
- 応答 PID＝NAK 機能（PIPECFG.SHTNAK ビット）：「29.3.4.8. 応答 PID＝NAK 機能」参照
- 自動応答モード（PIPEnCTR.ATREPM ビット）：「29.3.4.9. 自動応答モード」参照

29.3.11 インタラプト転送（パイプ 6～9）

デバイスコントローラモード時、USBFS は、ホストコントローラが指示しているタイミングに基づいてインタラプト転送を行います。

ホストコントローラモード時、インターバルカウンタを使用してソフトウェアでトークン発行タイミングを設定できます。

29.3.11.1 ホストコントローラモードでのインタラプト転送時のインターバルカウンタ

インタラプト転送を行う場合、PIPEPERI.IITV[2:0]ビットにトランザクションのインターバルを指定します。USBFS は、指定されたインターバルに従ってインタラプト転送のトークンを発行します。

(1) カウンタの初期化

USBFS は、以下の条件でインターバルカウンタを初期化します。

- パワーオンリセット

  IITV[2:0]ビットが初期化されます。
- PIPEnCTR.ACLRM ビットを使用した FIFO バッファの初期化

  IITV[2:0]ビットは初期化されませんが、カウント値は初期化されます。PIPEnCTR.ACLRM ビットを 0 にすると、IITV[2:0]ビット設定値からカウントが開始します。

なお、下記の場合にはインターバルカウンタは初期化されません。

- USB バスリセット、または USB Suspended ステート

  IITV[2:0]ビットは初期化されません。DVSTCTR0.UACT ビットを 1 にすることにより、USB バスリセット状態または USB サスペンド状態となる前に保存された値からカウントが開始します。

(2) トークン発生タイミングであってもトークンの送受信ができない場合の動作

以下の場合、トークンの発生タイミングであってもトークンは発生しません。このような場合、USBFS は次のインターバルにトランザクションの実行を試みます。

- PID を NAK または STALL に設定した場合
- 受信 (IN) 方向の転送でトークンの送信タイミングに FIFO バッファに空き領域がない場合
- 送信 (OUT) 方向の転送でトークンの送信タイミングに FIFO バッファに送信データがない場合

29.3.12 アイソクロナス転送（パイプ 1～2）

USBFS は、アイソクロナス転送専用として下記の機能を備えています。

- アイソクロナス転送のエラー通知

- PIPEPERI.IITV[2:0]ビットで指定されたインターバルカウンタ
- アイソクロナス IN 転送データセットアップコントロール（IDLY 機能）
- PIPEPERI.IFIS ビットで指定されたアイソクロナス IN 転送バッファフラッシュ機能

29.3.12.1 アイソクロナス転送のエラー検出

USBFS は、アイソクロナス転送時に発生したエラーをソフトウェアで管理できるようにするために、下記のエラー検出機能を備えています。表 29.26 および表 29.27 に、USBFS によるエラー検出の優先順位、および関連する割り込みを示します。

PID エラー

- 受信パケットの PID 値が不正な場合

CRC エラー、ビットスタッフィングエラー

- 受信パケットに CRC エラーがあった場合、またはビットスタッフィングが不正な場合

最大パケットサイズオーバー

- 受信パケットのデータサイズが、最大パケットサイズの設定値を越える場合

オーバーラン、アンダーランエラー

ホストコントローラモード時：

- IN（受信）方向の転送時にトークンの送信タイミングに FIFO バッファに空き領域がない場合
- OUT（送信）方向の転送時にトークンの送信タイミングに FIFO バッファに送信データがない場合

デバイスコントローラモード時：

- IN（送信）方向の転送時にトークンの受信タイミングに FIFO バッファに送信データがない場合
- OUT（受信）方向の転送時にトークンの受信タイミングに FIFO バッファに空き領域がない場合

インターバルエラー

デバイスコントローラモード時は、以下の場合にインターバルエラーとして処理されます。

- アイソクロナス IN 転送時に、インターバルフレーム内に IN トークンを受信できなかった場合
- アイソクロナス OUT 転送時に、インターバルフレーム内に OUT トークンを受信できなかった場合

表 29.26 トークン送受信エラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PID エラー	ホストコントローラモードとデバイスコントローラモードのどちらの場合でも割り込みを発生させません（破損パケットとして無視）。
2	CRC エラー、ビットスタッフィングエラー	ホストコントローラモードとデバイスコントローラモードのどちらの場合でも割り込みを発生させません（破損パケットとして無視）。
3	オーバーランエラー、アンダーランエラー	ホストコントローラモードとデバイスコントローラモードのどちらの場合でも、NRDY 割り込みを発生させ、FRMNUM.OVRN ビットを 1 にします。 デバイスコントローラモード時は、IN トークンに対して、Zero-Length パケットを送信します。 OUT トークンに対してはデータパケットを受信しません。
4	インターバルエラー	デバイスコントローラモード時は NRDY 割り込みを発生させます。ホストコントローラモード時は割り込みを発生させません。

表 29.27 データパケット受信エラー検出 (1/2)

検出の優先順位	エラー	発生する割り込みとステータス
1	PID エラー	割り込みを発生させません（破損パケットとして無視）。

表 29.27 データパケット受信エラー検出 (2/2)

検出の優先順位	エラー	発生する割り込みとステータス
2	CRC エラー、ビットスタッフィングエラー	ホストコントローラモードとデバイスコントローラモードのどちらの場合でも、NRDY 割り込みを発生させ、FRMNUM.CRCE ビットを 1 にします。
3	最大パケットサイズオーバーエラー	ホストコントローラモードとデバイスコントローラモードのどちらの場合でも、BEMP 割り込みを発生させ、PID[1:0]ビットを STALL にします。

29.3.12.2 DATA-PID

デバイスコントローラモード時、受信 PID に対する USBFS の対応を以下に示します。

(1) IN 方向の場合

- DATA0：データパケットの PID として送信
- DATA1：送信しない
- DATA2：送信しない
- mDATA：送信しない

(2) OUT 方向の場合

- DATA0：データパケットの PID として正常受信
- DATA1：データパケットの PID として正常受信
- DATA2：パケットを無視
- mDATA：パケットを無視

29.3.12.3 インターバルカウンタ

アイソクロナス転送のインターバルは、PIPEPERI.IITV[2:0]ビットで設定できます。デバイスコントローラモードでは、インターバルカウンタにより、表 29.28 に示す機能を可能にします。ホストコントローラモードでは、USBFS はトークン発行タイミングを生成し、インターバルカウンタはインタラプト転送と同じように動作します。

表 29.28 デバイスコントローラモード時のインターバルカウンタ機能

転送方向	機能	検出条件
IN	送信バッファフラッシュ	アイソクロナス IN 転送でインターバルフレーム内に IN トークンを正常受信できない。
OUT	トークン未受信の通知	アイソクロナス OUT 転送でインターバルフレーム内に OUT トークンを正常受信できない。

インターバルのカウントは、SOF の受信時または補完された SOF で行うので、SOF が破損しても等時性を保つことができます。設定できるフレーム間隔は 2^{IITV} フレームです。

(1) デバイスコントローラモード時のカウンタの初期化

USBFS は、以下の条件でインターバルカウンタを初期化します。

- パワーオンリセット

  PIPEPERI.IITV[2:0]ビットが初期化されます。
- ACLRM ビットを使用した FIFO バッファの初期化

  IITV[2:0]ビットは初期化されませんが、カウント値は初期化されます。

インターバルカウンタが初期化されると、パケットを正常転送したときに、以下のいずれかの条件でインターバルのカウントを開始します。

- PID = BUF のときに IN トークンに対してデータを送信後 SOF を受信
- PID = BUF のときに OUT トークンに対してデータを受信後 SOF を受信

下記の条件ではインターバルカウンタは初期化されません。

- PID[1:0]ビットを NAK または STALL に設定した場合
  インターバルタイマは停止しません。USBFS は次のインターバルにトランザクションの実行を試みます。
- USB バスリセット状態または USBFS が Suspended ステートの場合
  IITV[2:0]ビットは初期化されません。SOF を受信すると、SOF 受信前に設定された値からインターバルカウンタのカウントを開始します。

(2) ホストコントローラモード時のインターバルカウントと転送制御

USBFS は、PIPEPERI.IITV[2:0]ビットの設定値に従い、トークン発行間隔を制御します。具体的には、USBFS は 2^{IITV} 回のフレームに 1 回の間隔で、選択パイプに対するトークンを発行します。

USBFS は、ソフトウェアで PID[1:0]ビットを BUF に設定したフレームの次のフレームからトークン発行間隔のカウントを開始します。

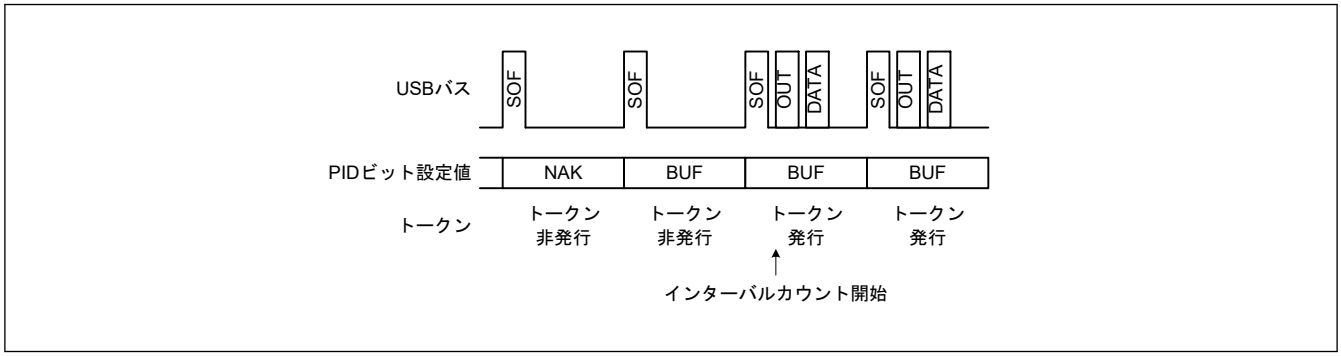


図 29.16 IITV = 0 の場合のトークン発行の有無

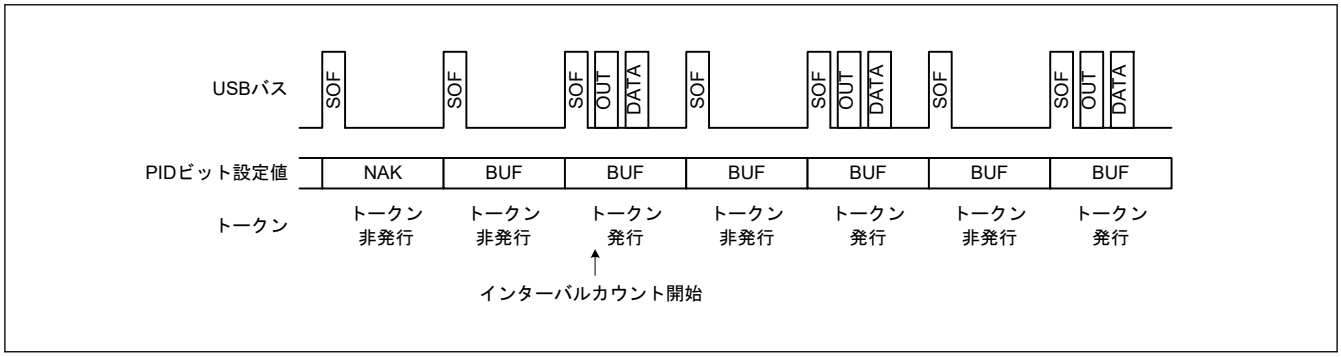


図 29.17 IITV = 1 の場合のトークン発行の有無

選択パイプの転送タイプがアイソクロナスの場合、USBFS はトークン発行間隔の制御に付随して以下の動作を行います。NRDY 割り込み発生条件を満たした場合でも、USBFS はトークンを発行します。

選択パイプがアイソクロナス IN 転送パイプの場合

USBFS は、IN トークンを発行しても周辺デバイスからパケットを正常受信しなかった場合（無応答やパケットエラーの場合）、NRDY 割り込みを発生させます。

CPU または DMAC/DTC が FIFO バッファからデータを読み出すのが遅いなどの原因で FIFO バッファがフルのために、USBFS がデータを受信できない状態で IN トークン発行タイミングになった場合、USBFS は FRMNUM.OVRN ビットを 1 にし、NRDY 割り込みを発生させます。

選択パイプがアイソクロナス OUT 転送パイプの場合

CPU または DMAC/DTC が FIFO バッファにデータを書き込むのが遅いなどの原因で、送信可能なデータが FIFO バッファにない状態で OUT トークン発行タイミングに至ったとき、USBFS は OVRN ビットを 1 にし、NRDY 割り込みを発生させ、Zero-Length パケットを送信します。

以下の条件を満たす場合、トークン発行間隔はリセットされます。

- USBFS がリセット端子でリセットされた場合

  IITV[2:0]ビットが初期化されます。
- ソフトウェアが PIPEnCTR.ACLRM ビットを 1 にした場合

(3) デバイスコントローラモード時のインターバルカウントと転送制御

選択パイプがアイソクロナス OUT 転送パイプの場合

PIPEPERI.IITV[2:0]ビットに設定したインターバル中にデータパケットを受信しなかったとき、USBFS は NRDY 割り込みを発生させます。

データパケットに CRC エラーなどのエラーが発生したため、または FIFO バッファがフルのために USBFS がデータを受信できなかったときにも USBFS は NRDY 割り込みを発生させます。

NRDY 割り込みの発生のタイミングは、SOF パケット受信時です。SOF パケットが破損した場合でも内部補完機能により SOF パケットを受信したタイミングに割り込みを発生させます。ただし、IITV ビットが 0 以外のときには、インターバルカウント開始後のインターバルごとに、USBFS は SOF パケット受信のタイミングで NRDY 割り込みを発生させます。

インターバルタイマ起動後、ソフトウェアで PID[1:0]ビットに NAK を設定した場合、USBFS は SOF パケットを受信しても NRDY 割り込みを発生させません。

インターバルのカウント開始タイミングは、IITV[2:0]ビットの設定値により下記のように異なります。

- IITV[2:0]ビットが 0 の場合

  ソフトウェアが選択パイプの PID[1:0]ビットを BUF に変更したフレームの次のフレームで、インターバルのカウントを開始します。
- IITV[2:0]ビットが 0 ではない場合

  選択パイプの PID[1:0]ビットを BUF に変更した後、最初のデータパケットの正常受信完了時にインターバルのカウントを開始します。

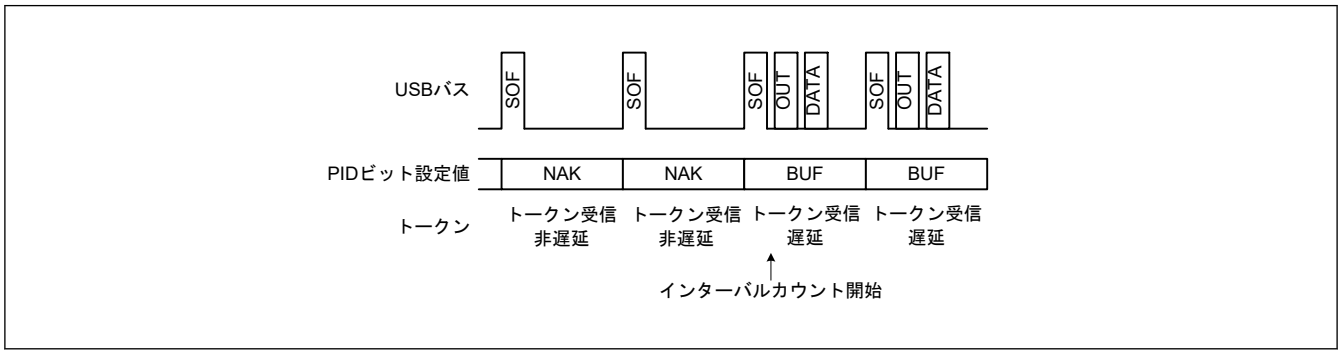


図 29.18 IITV[2:0] = 0 の場合のフレームとトークン受信期待の関係

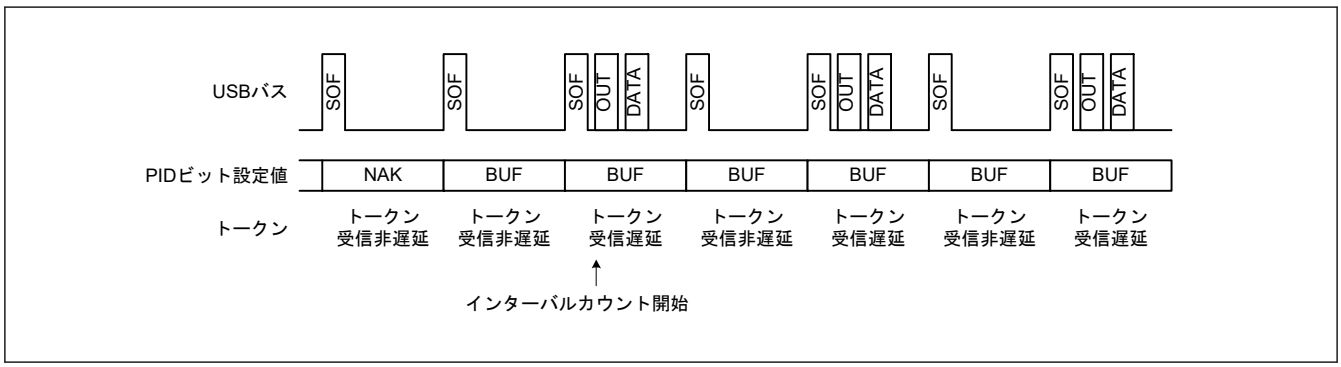


図 29.19 IITV[2:0] ≠ 0 の場合のフレームとトークン受信期待の関係

選択パイプがアイソクロナス IN 転送パイプの場合

この場合、PIPEPERI.IFIS ビットを 1 にする必要があります。IFIS ビットが 0 の場合、PIPEPERI.IITV[2:0]ビットの設定に関係なく、USBFS は IN トークン受信時にデータパケットを送信します。

IFIS ビットが 1 で、FIFO バッファに送信可能なデータがある場合、IITV[2:0]ビットに設定したインターバルごとのフレーム中に IN トークンを受信できなければ、USBFS は FIFO バッファをクリアします。

USBFS は、IN トークンに CRC エラーなどのバスエラーが発生したために正常受信できなかった場合も、FIFO バッファをクリアします。

FIFO バッファクリアのタイミングは、SOF パケット受信時です。SOF パケットが破損した場合でも、内部補完機能により、SOF パケットを受信したタイミングで FIFO バッファをクリアします。

インターバルのカウント開始タイミングは、OUT 転送と同様に、IITV[2:0]ビットの設定値により異なります。

デバイスコントローラモード時は、以下のいずれかの条件でインターバルカウントを行います。

- USBFS がハードウェアリセットされた場合（IITV[2:0]ビットの設定値も 000b になります）
- ソフトウェアが PIPEnCTR.ACLRM ビットを 1 にした場合
- USBFS が USB バスリセットを検出した場合

(4) デバイスコントローラモード時のアイソクロナス転送用送信データセットアップ

デバイスコントローラモードでの USBFS アイソクロナスデータ送信では、FIFO バッファへのデータ書き込み後、SOF パケットを検出した後の最初のフレームでデータパケットの送出が可能になります。このアイソクロナス転送送信データセットアップ機能により、送信を開始したフレームを特定することが可能です。

バッファをダブルバッファモードで使用している場合で、両方のバッファの書き込みが終了している場合でも、送信可能状態になるバッファは先に書き込みを終了した 1 面だけとなります。このため、複数の IN トークンを受信しても、送出される FIFO バッファデータは 1 パケット分のみとなります。

IN トークン受信時に FIFO バッファがデータ送信可能であれば、データを転送し正常応答が返されます。ただし、FIFO バッファがデータ送信不能であれば、Zero-Length パケットを送出しアンダーランエラーとなります。

図 29.20 に、IITV = 0（毎フレーム）にした場合のアイソクロナス転送送信データセットアップ機能による送信例を示します。

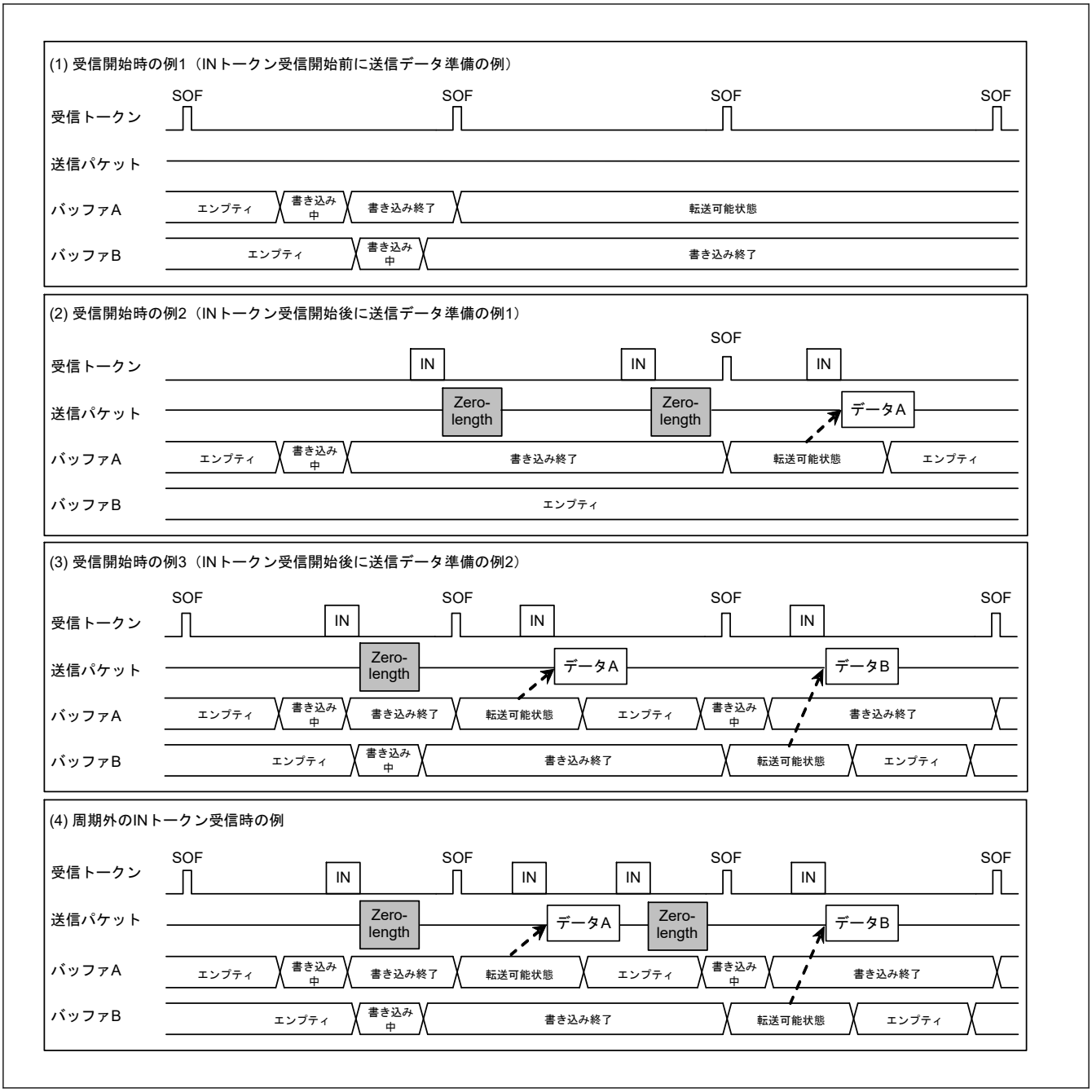


図 29.20　データセットアップ動作例

(5)　デバイスコントローラモード時のアイソクロナス転送用送信バッファフラッシュ

デバイスコントローラモードでのアイソクロナスデータ転送時に、USBFS がインターバルフレーム内に IN トークンを受信しないまま、次フレームの SOF パケットを受信した場合は、USBFS はそれを IN トークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能状態とします。

このときにバッファをダブルバッファモードで使用しており、両方のバッファの書き込みが終了している場合は、クリアされた FIFO バッファ内のデータが上記の同インターバルフレーム内に送信されたものとみなされ、SOF パケット受信でクリアされていない FIFO バッファを送信可能状態とします。

バッファフラッシュ機能は、以下のように PIPEPERI.IITV[2:0]ビットの設定値により動作開始タイミングが異なります。

- IITV = 0 の場合：

  パイプが有効となった後の最初のフレームからバッファフラッシュ動作を開始します。
- IITV ≠ 0 の場合：

最初の正常なトランザクション以降にバッファフラッシュ動作を開始します。

図 29.21 に、バッファフラッシュの例を示します。インターバルフレーム前に予期しないトークンを受信した場合、データセットアップ状態に応じ、USBFS は書き込みデータを送出またはアンダーランエラーとして Zero-Length パケットを送出します。

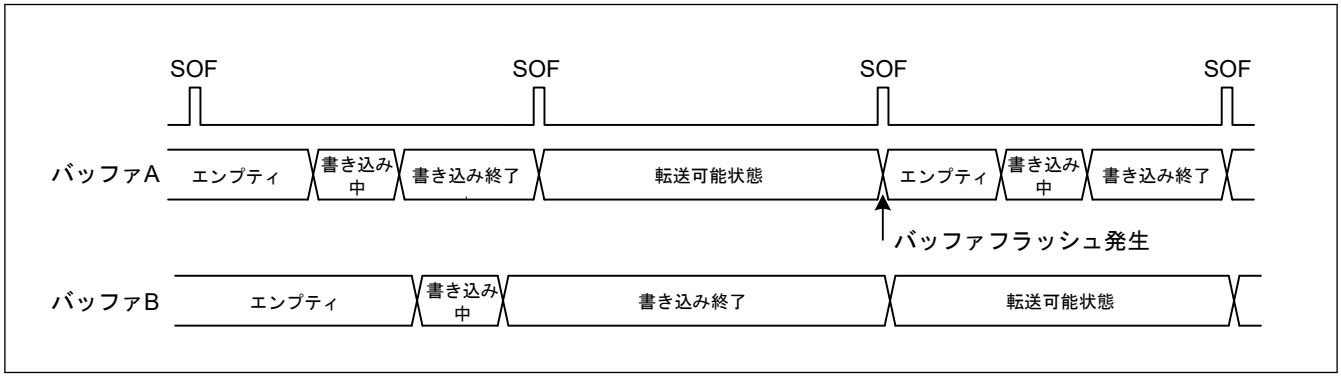


図 29.21　バッファフラッシュ動作例

図 29.22 に、インターバルエラー発生例を示します。図に示すとおり、インターバルエラーは 5 種類あります。図中の（A）のタイミングでインターバルエラーが発生し、バッファフラッシュ機能が動作します。

IN 転送時にインターバルエラーが発生した場合は、バッファフラッシュ機能が動作します。OUT 転送時にインターバルエラーが発生した場合は、NRDY 割り込みが発生します。この NRDY 割り込みと受信パケットエラーおよびオーバーランエラーによる NRDY 割り込みとの区別は、FRMNUM.OVRN ビットで判定してください。

図中に網掛けで示したトークンに対しては、FIFO バッファの状態に応じて応答が返されます。

- IN 方向の場合：
  - バッファがデータを転送できる状態であれば、データが転送されて正常応答が返される
  - バッファがデータ転送不能であれば、Zero-Length パケットを送信してアンダーランエラー
- OUT 方向の場合：
  - バッファがデータを受信できる状態であれば、データが受信されて正常応答が返される
  - バッファがデータ受信不能であれば、受信データを破棄してオーバーランエラー

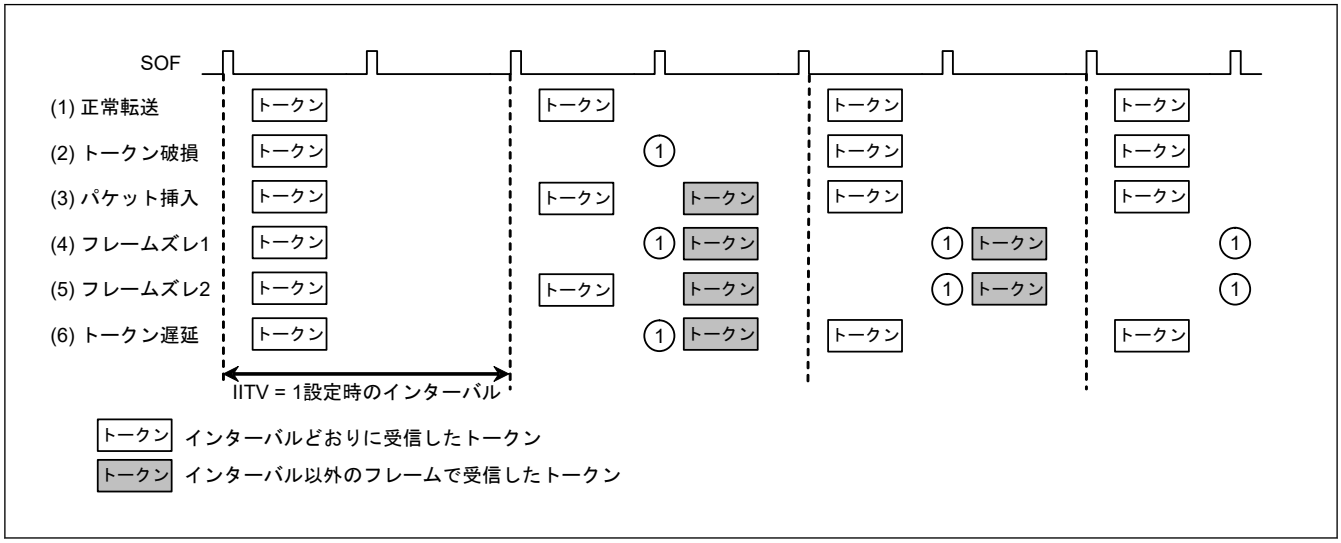


図 29.22　IITV = 1 のときのインターバルエラー発生例

29.3.13 SOF 補完機能

デバイスコントローラモードでは、SOF パケットの破損または欠落のために、1 ms 間隔でパケットを受信できなかった場合に、USBFS は SOF を補完します。SOF 補完の開始は、SYSCFG.USBE ビットと SYSCFG.SCKE ビットがともに 1 であること、および SOF パケットの受信が条件となります。

下記の条件で補完機能が初期化されます。

- MCU のリセット
- USB バスリセット
- Suspended ステート検出

SOF 補完は次の仕様で動作します。

- SOF パケット受信までは補完機能は動作しない
- 最初の SOF パケットを受信すると、48 MHz の内部クロックで 1 ms をカウントし補完する
- 2 回目以降の SOF パケットを受信したときは前回の受信間隔を用いて補完する
- Suspended ステート時および USB バスリセット受信時は補完しない

USBFS は、SOF パケットの受信で制御される下記の機能を動作させます。SOF パケットが欠落した場合は、これらの機能により SOF 補完を行うため、正常動作を継続させることができます。

- フレーム番号の更新
- SOFR 割り込みタイミング
- アイソクロナス転送インターバルカウント

フルスピード動作時に SOF パケットが欠落した場合には、FRMNUM.FRNM[10:0]ビットは更新されません。

29.3.14 パイプスケジュール

29.3.14.1 トランザクション発行条件

ホストコントローラモード時、DVSTCTR0.UACT ビットを 1 にすると、USBFS は表 29.29 に示す条件でトランザクションを発行します。

表 29.29 トランザクション発行条件

トランザクション	発行条件				
	DIR	PID	IITV0	バッファステート	SUREQ
SETUP	—(注1)	—(注1)	—(注1)	—(注1)	1 設定
コントロール転送のデータステージ、ステータスステージ、バルク転送	IN	BUF	無効	受信領域あり	—(注1)
	OUT	BUF	無効	送信データあり	—(注1)
インタラプト転送	IN	BUF	有効	受信領域あり	—(注1)
	OUT	BUF	有効	送信データあり	—(注1)
アイソクロナス転送	IN	BUF	有効	(注2)	—(注1)
	OUT	BUF	有効	(注3)	—(注1)

注 1. 表中の「—」は、トークンの発行に関係のない条件であることを示します。「有効」はインタラプト転送とアイソクロナス転送において、インターバルカウンタによる転送フレームでのみトランザクションが発行されることを示します。「無効」はインターバルカウンタにかかわらずトランザクションが発行されることを示します。
注 2. 受信領域の有無にかかわらずトランザクションを発行します。ただし受信領域がなかった場合は、受信データを破棄します。
注 3. 送信データの有無にかかわらずトランザクションを発行します。ただし送信データがなかった場合は、Zero-Length パケットを送信します。

29.3.14.2 転送スケジュール

USBFS のフレーム内の転送スケジューリング方法について説明します。USBFS は、SOF を送信後、以下の順番で転送を行います。

1. 周期的転送の実行：

   パイプ 1→パイプ 2→パイプ 6→パイプ 7→パイプ 8→パイプ 9 の順にパイプを検索し、アイソクロナス転送またはインタラプト転送のトランザクションの発行が可能なパイプがあれば、トランザクションを発行します。

2. コントロール転送の SETUP トランザクション：

   DCP を確認して、SETUP トランザクションが可能であれば送信します。

3. バルク転送、コントロール転送データステージ、およびコントロール転送ステータスステージの実行：

   DCP→パイプ 1→パイプ 2→パイプ 3→パイプ 4→パイプ 5 の順にパイプを検索し、バルク転送、コントロール転送データステージ、コントロール転送ステータスステージのトランザクションの発行が可能なパイプがあれば、トランザクションを発行します。

   トランザクションを発行したとき、周辺デバイスからの応答が ACK であっても NAK であっても、処理は次のパイプのトランザクションに移ります。また、フレーム内に転送を行う時間があれば、ステップ 3 を繰り返します。

29.3.14.3 USB 通信許可

DVSTCTR0.UACT ビットを 1 にすると、SOF の送信が開始され、トランザクションの発行が可能となります。UACT ビットを 0 にすると、SOF の送信を停止し Suspended ステートとなります。UACT ビットを 1 から 0 にする場合、次の SOF を送信してから処理を停止します。

29.4 使用上の注意事項

29.4.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、USBFS の動作を禁止／許可することが可能です。USBFS は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除すると、レジスタへのアクセスが可能になります。詳細については、「10. 低消費電力モード」を参照してください。

29.4.2 ソフトウェアスタンバイモード解除時の割り込みステータスレジスタのクリア

ソフトウェアスタンバイモードでは入力バッファが常に有効となるため、下記条件下では、予期せぬ割り込みが発生する場合があります。

- 通常モードで割り込みを許可する場合
- ソフトウェアスタンバイモードで割り込みを禁止する場合
- ソフトウェアスタンバイモードを解除する端子の入力レベルがソフトウェアスタンバイモードで変更されている場合

これらの条件を満たすと、割り込みステータスレジスタの関連する割り込みフラグが予期せず設定されることがあります。MCU がソフトウェアスタンバイモードを解除した後に、予期せぬ割り込みが割り込みコントローラに送信される場合があります。この問題を避けるために、解除シーケンスで INTSTS0 および INTSTS1 レジスタを常にクリアしてください。

29.4.3 ポート機能設定後の割り込みステータスレジスタのクリア

入力バッファは PmnPFS.PSEL および PmnPFS.PMR ポートを設定する前は無効であるため、内部信号はハイまたはローに固定されます。入力バッファはポート設定後に有効にされるので、外部端子の状態が MCU に伝播します。このとき、予期せぬ割り込みが発生する場合があり、INTSTS0 と INTSTS1 レジスタの VBINT と OVRCR ビット、またはその他の割り込みステータスフラグが 1 になります。誤作動を避けるために、ポート設定後は INTSTS0 および INTSTS1 レジスタを必ずクリアしてください。

29.4.4 USB 機能設定前のポート機能の設定

USB_DP 端子、USB_DM 端子は、I/O ポートの P814、P815 と互換性があります。よって、USBFS 機能を有効にする USBFS レジスタを設定する前に、P814PFS.PMR ビットと P815PFS.PMR ビットを 1 にしてください。

30. シリアルコミュニケーションインタフェース (SCI)

SCI モジュールの SCI_B バージョンです。

この章では、SCI_B を SCI と表記します。

30.1 概要

シリアルコミュニケーションインタフェース (SCI) × 6 チャネルには、調歩同期式および同期式のシリアルインタフェースがあります。

- 調歩同期式インタフェース（UART および調歩同期式通信インタフェースアダプタ (ACIA)）
- 8 ビットクロック同期式インタフェース
- 簡易 IIC（マスタのみ）
- 簡易 SPI
- 簡易 LIN
- スマートカードインタフェース
- マンチェスタインタフェース

スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。SCIn (n = 0～4, 9) は FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データ転送速度の個別設定が可能です。

本章に記載している PCLK とは PCLKA を指します。

SCI の仕様を表 30.1 に示します。各 SCI チャネルの機能を表 30.2 に示します。SCI のブロック図を図 30.1 に示します。クロックソースセレクタのブロック図を図 30.2 に示します。入出力端子を表 30.3 に示します。

表 30.1 SCI の仕様 (1/3)

項目		内容
モジュール数		6 (SCIn (n = 0～4, 9))
シリアル通信方式		• 調歩同期式 • クロック同期式 • 簡易 IIC • 簡易 SPI • 簡易 LIN (SCIn (n = 0, 1)) • スマートカードインタフェース • マンチェスタインタフェース (SCIn (n = 0))
動作クロック　(TCLK)		同期クロック (PCLK) と独立クロック (SCICLK) のどちらかを選択できます。
転送速度		内蔵のボーレートジェネレータにより任意のビットレートを設定可能
全二重通信		• 送信部：ダブルバッファによる連続送信が可能 • 受信部：ダブルバッファによる連続受信が可能
半二重通信		TXDn 端子のみを使用した半二重通信が可能です。
データ転送		LSB ファースト／MSB ファーストの選択が可能
通信端子 (RXDn, TXDn) のためのインバータ		各端子 (RXDn, TXDn) に選択できるインバータ
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー、受信データレディ、アドレス一致 Break Field 検出／出力機能あり、バス衝突検出機能あり、アクティブエッジ検出機能あり(SCIn (n = 0, 1))。 開始条件、再開始条件、停止条件の生成完了（簡易 IIC モード用）
ループバック機能		SCI 内部の送受信による通信機能の自己診断が可能
同期回路バイパス機能		バスクロック (PCLK) と動作クロック (TCLK) の間の同期回路のバイパスが可能
モジュールストップ機能		チャネルごとにモジュールストップ状態に設定して消費電力の削減が可能
ソフトウェアスタンバイモードでの受信		SCI0 のみ対応
クロック同期式モード	データ長	8 ビット

表 30.1 SCI の仕様 (2/3)

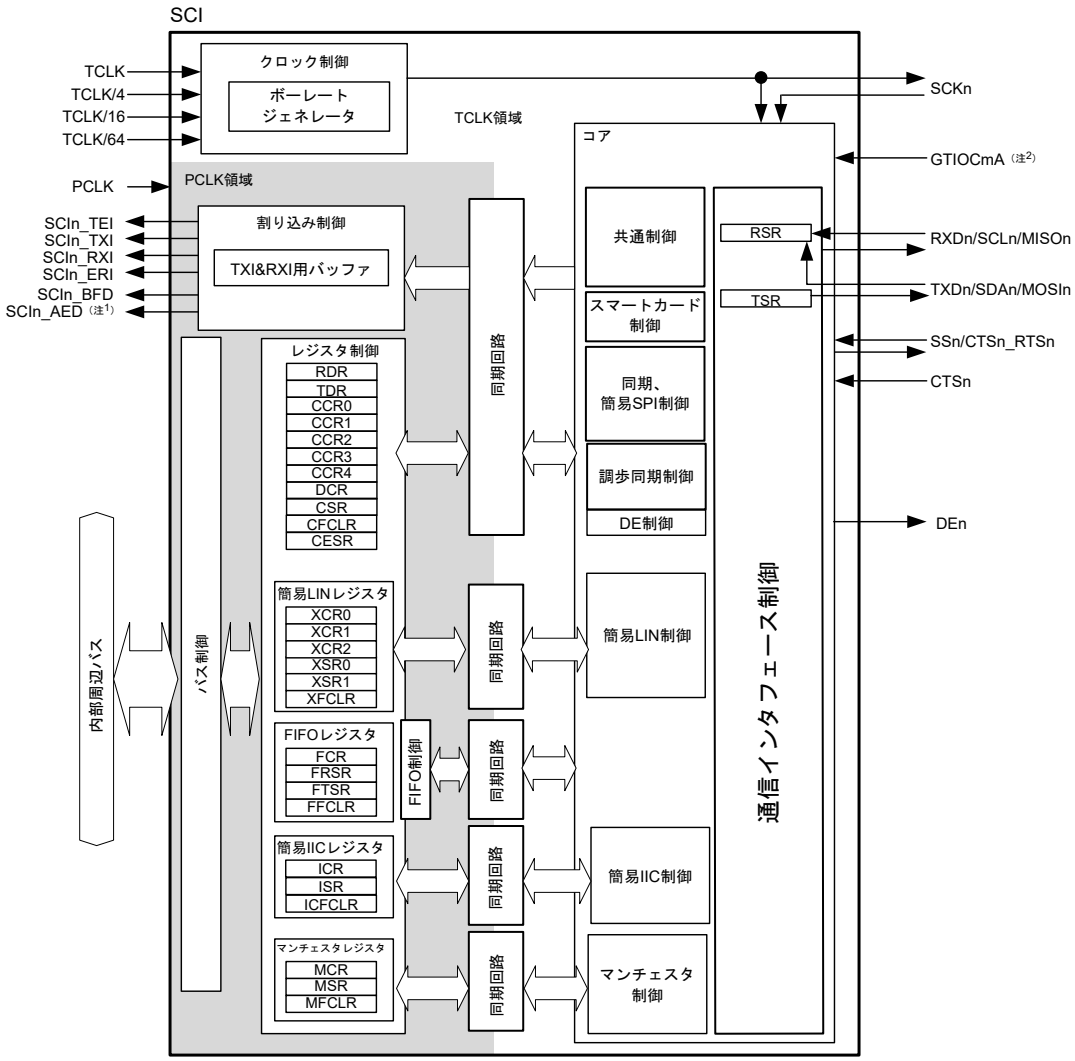
項目		内容
	受信サンプリングタイミングの調整	内部クロック使用時のみ、マスタモードで受信サンプリングのタイミングをデフォルトのタイミングの後方向に調整可能
	受信エラー検出機能	オーバーランエラー
	クロックソース	内部クロック（マスタモード）または外部クロック（スレーブモード）の選択が可能
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	ハードウェアフロー制御	CTSn_RTSn 端子を用いた送受信制御が可能
	送信／受信	1 段レジスタまたは 16 段 FIFO の選択が可能
調歩同期式モード	データ長	7 ビット／8 ビット／9 ビット
	送信ストップビット	1 または 2 ビット
	受信サンプリングタイミングの調節	デフォルトタイミングから前または後に調節可能な受信サンプリングタイミング
	送信タイミングの調節	レジスタの設定値によって制御される送信波形の調節可能エッジタイミング
	パリティ	偶数パリティ／奇数パリティ／パリティなし
	受信エラー検出機能	• パリティエラー • オーバーランエラー • フレーミングエラー
	ハードウェアフロー制御	CTSn_RTSn 端子と CTSn 端子を用いた送受信制御が可能
	送信／受信	1 段レジスタまたは 16 段 FIFO の選択が可能
	アドレス一致	受信データとコンペアマッチレジスタの値が一致したとき、割り込み要求／イベント出力の発行が可能
	スタートビットの検出	Low 検出／立ち下がりエッジ検出を選択可能
	ブレークの検出	CSR レジスタを読み出すことで、フレーミングエラーからのブレークの検出が可能
	クロックソース	内部クロックまたは外部クロックの選択が可能 GPT からの転送レートクロック入力が可能(SCI1)
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数プロセッサ間でシリアル通信が可能
	RS-485 ドライバコントロール機能	外部トランシーバ送信モードを有効にする出力 DEn 信号
	ノイズ除去	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
スマートカードインタフェースモード	エラー処理	受信中にパリティエラーを検出するとエラーシグナルを自動送出
		送信中にエラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション／インバースコンベンションをサポート
マンチェスタモード	通信フォーマット	プレフィスとスタートビットが付加されたマンチェスタコード
	データ長	7 ビット／8 ビット／9 ビット
	送信ストップビット	1 または 2 ビット
	パリティ機能	偶数パリティ／奇数パリティ／パリティなし
	受信エラー検出機能	パリティエラー、オーバーランエラー、フレーミングエラー、マンチェスタエラー
	ハードウェアフロー制御	CTSn_RTSn 端子と CTSn 端子を用いた送受信制御が可能
	クロックソース	内部クロックのみが使用可能
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数プロセッサ間のシリアル通信機能

表 30.1 SCI の仕様 (3/3)

項目		内容
	マンチェスタエンコード／デコード機能	送受信データのマンチェスタエンコード／デコードを行い、マンチェスタコードで通信する機能
	ノイズ除去	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
	プレフィスを設定/検出する機能	設定されたプレフィスパターンを出力し検出する
	スタートビットを設定/検出する機能	設定されたスタートビットパターンを出力し検出する
	受信再タイミング機能	受信信号の各ビットに対してタイミングを補正
簡易 IIC モード	通信フォーマット	I^2C バスフォーマット（MSB ファーストのみ）
	動作モード	マスタ（シングルマスタ動作のみ）
	転送速度	0～400 kbps
	ノイズ除去	SCLn 端子と SDAn 端子の入力経路にデジタルノイズフィルタを内蔵し、ノイズ除去幅の調整が可能
簡易 SPI モード	データ長	8 ビット
	エラー検出	オーバーランエラー
	クロックソース	内部クロック（マスタモード）または外部クロック（スレーブモード）の選択が可能
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	送受信	1 段レジスタまたは 16 段 FIFO の選択が可能
	受信サンプリングタイミングの調整	内部クロック使用時のみ、マスタモードで受信サンプリングのタイミングをデフォルトのタイミングの後方向に調整可能
	SSn 入力端子機能	SSn 端子を High にすることで、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を 4 種類から選択可能
簡易 LIN モード	Start Frame 送信	• Break Field の出力が可能／Break Field 出力完了割り込み出力が可能 • バス衝突検出が可能、バス衝突検出割り込み出力が可能
	Start Frame 受信	• Break Field の検出が可能／Break Field 検出割り込み出力が可能 • Control Field 0/1 データ比較機能あり • Control Field 1 にはプライマリ／セカンダリの 2 種類の比較データを設定可能 • Control Field 1 にプライオリティインタラプトビットを設定可能 • Break Field がない Start Frame にも対応可能 • Control Field 0 がない Start Frame にも対応可能 • ビットレート測定機能あり
	入出力制御機能	• TXDn 信号と RXDn 信号の極性選択が可能 • RXDn 信号にデジタルフィルタ機能選択が可能 • 同じ端子で RXDn 信号と TXDn 信号を兼用した半二重通信が可能 • RXDn 端子受信データサンプリングタイミング選択可能
ビットレート変調機能		内蔵ボーレートジェネレータの出力補正により誤差の低減が可能
イベントリンク機能		受信エラーまたはエラー信号検出におけるエラーイベント出力 (SCIn_ERI) (n = 0～4, 9)
		受信データフルイベント出力 (SCIn_RXI) (n = 0～4, 9)
		送信データエンプティイベント出力 (SCIn_TXI) (n = 0～4, 9)
		アドレス一致イベント出力 (SCIn_AM) (n = 0～4, 9)
		アクティブエッジ検出イベント出力 (SCIn_AED) (n = 0, 1)
		送信終了イベント出力 (SCIn_TEI) (n = 0～4, 9)
TrustZone フィルタ		各レジスタに対してセキュリティ属性とプリビレッジ属性の設定が可能

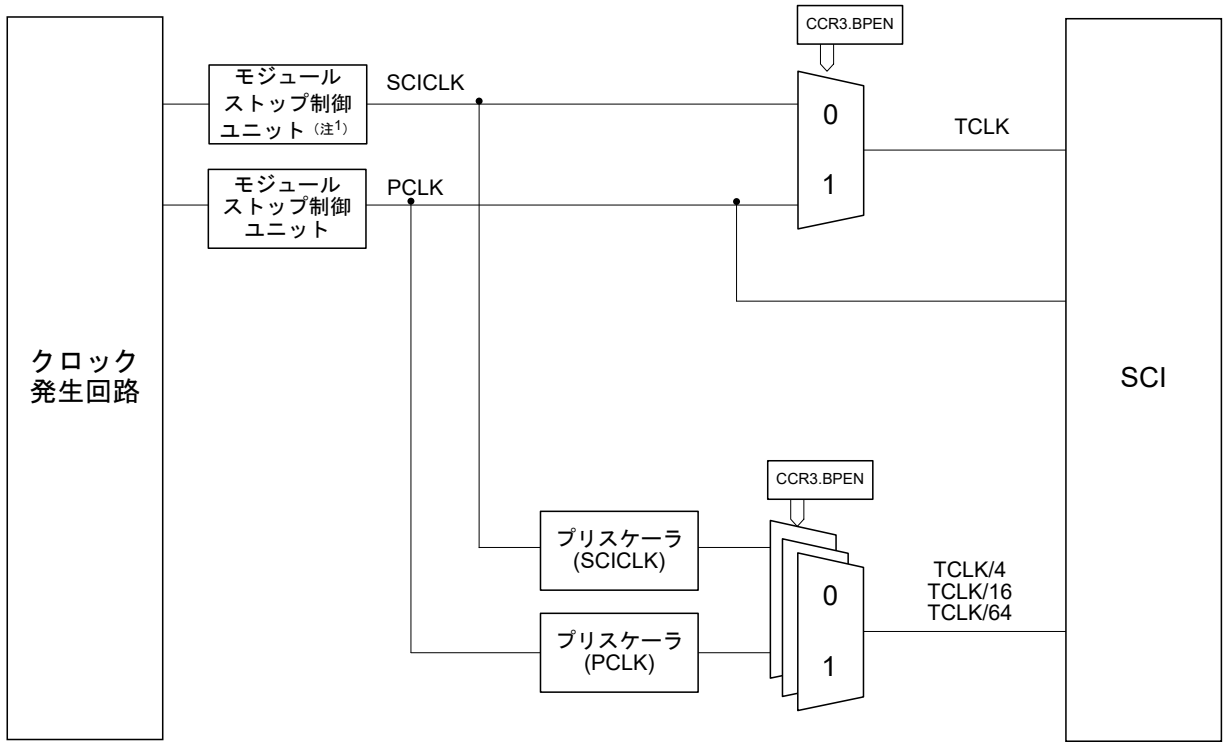
表 30.2　各 SCI チャネルの機能

項目	SCI0	SCI1	SCI2	SCI3	SCI4	SCI9
調歩同期式モード	使用可能					
クロック同期式モード	使用可能					
スマートカードインタフェースモード	使用可能					
簡易 IIC モード	使用可能					
簡易 SPI モード	使用可能					
FIFO モード	使用可能（16 段）					
アドレス一致	使用可能					
マンチェスタモード	使用可能	使用不可能	使用不可能	使用不可能	使用不可能	使用不可能
簡易 LIN モード	使用可能	使用可能	使用不可能	使用不可能	使用不可能	使用不可能
GPT クロック入力	使用不可能	GTIOC3A GTIOC4A	使用不可能	使用不可能	使用不可能	使用不可能



注. n = 0～4、9
注. 簡易 LIN に対応するのは SCI0 と SCI1 のみで、マンチェスタに対応するのは SCI0 のみです。
注 1. n = 0、1
注 2. m = 3、4

図 30.1 SCI のブロック図



注 1. いずれかの SCI チャネルのモジュールストップ状態が解除されると SCICLK が供給されます。

図 30.2 クロックソースセレクタのブロック図

表 30.3 SCI の入出力端子

機能	端子名	入出力	説明
SCIn (n = 0～4, 9)	RXDn/SCLn/MISOn	入出力	SCIn の受信データ入力 SCIn の I^2C クロック入出力 SCIn のスレーブ送信データ入出力
	TXDn/SDAn/MOSIn	入出力	SCIn の送信データ出力 SCIn の I^2C データ入出力 SCIn のマスタ送信データ入出力
	SSn/CTSn_RTSn	入出力	SCIn のチップセレクト入力、アクティブ Low SCIn の送受信開始制御用入出力、アクティブ Low
	CTSn	入力	SCIn の送受信開始制御用入力、アクティブ Low
	DEn	出力	ドライバイネーブル信号出力
	SCKn	入出力	SCIn のクロック入出力

30.2 レジスタの説明

30.2.1 RSR : 受信シフトレジスタ

RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR レジスタに転送されます。CPU から RSR レジスタに直接アクセスすることはできません。

30.2.2 RDR/RDR_BY : 受信データレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～4, 9)
SCIn_B_NS = 0x5035_8000 + 0x0100 × n (n = 0～4, 9)

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	FER	PER	—	—	ORER	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	FFER	FPER	DR	MPB	RDAT[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	RDAT[8:0]	シリアル受信データ RDAT レジスタは、受信データを格納するための 9 ビットのレジスタです。 受信データは、7 ビットデータを選択した場合は[6:0] に、8 ビットデータを選択した場合は[7:0] に、9 ビットデータを選択した場合は[8:0] に格納されます。0 は未使用ビットに格納されます。 RDR[7:0]へのアクセスには、RDR_BY を使用します。	R
9	MPB	マルチプロセッサフラグ 0: データ送信サイクル 1: ID 送信サイクル	R
10	DR	受信データレディフラグ FRSR.DR の読み出しが可能です。	R
11	FPER	FIFO パリティエラーフラグ 調歩同期式モードでのみ有効 0: 受信 FIFO からの読み出しデータにパリティエラーが存在しません。 1: 受信 FIFO からの読み出しデータにパリティエラーが存在します。	R
12	FFER	FIFO フレーミングエラーフラグ 調歩同期式モードでのみ有効 0: 受信 FIFO からの読み出しデータにフレーミングエラーが存在しません。 1: 受信 FIFO からの読み出しデータにフレーミングエラーが存在します。	R
23:13	—	読むと 0 が読めます。	R
24	ORER	オーバーランエラーフラグ CSR.ORER の読み出しが可能です。	R
26:25	—	読むと 0 が読めます。	R
27	PER	パリティエラーフラグ CSR.PER の読み出しが可能です。	R
28	FER	フレーミングエラーフラグ CSR.FER の読み出しが可能です。	R
31:29	—	読むと 0 が読めます。	R

注. S-TYPE-3、P-TYPE-3

FIFO モード (CCR3.FM = 1) では、RDR/RDR_BY は 16 段 FIFO バッファ構成になります。

FIFO モードを使用する場合は、32 ビットアクセスに RDR を使用します。

RDAT[8:0]ビット（シリアル受信データ）

1 フレーム分のデータを受信すると、受信データは RSR レジスタからこのレジスタへ転送されるため、RSR レジスタは次のデータを受信できるようになります。

RSR レジスタと RDR レジスタはダブルバッファとして機能するため、連続受信動作が可能になります。

非 FIFO モードでは、RDR の読み出しは、受信データフル割り込み (SCIn_RXI) 要求が発生した場合に 1 回だけ行ってください。RDR から受信データの読み出しを行わずに、次の 1 フレームを受信すると、オーバーランエラーが発生します。

FIFO モードでは、16 段が格納されるまで連続受信が実行されます。受信 FIFO (RDR) に受信データが存在しない場合、データを読み出すと、その値は不定となります。受信 FIFO (RDR) が受信データでいっぱいになると、それ以降のシリアル受信データは失われます。

CPU から RDR に書き込むことはできません。

調歩同期式モードおよびマンチェスタモードの 7 ビット通信時または 8 ビット通信時に受信されないビット位置 (RDR.bit8 または RDR.bit7) に、0 が格納されます。

MPB ビット（マルチプロセッサフラグ）

調歩同期式モードおよびマンチェスタモードで、マルチプロセッサ通信 (CCR3.MP = 1) 中に、受信データ (RDAT[8:0]) に対応するマルチプロセッサビットの値を読み出すことができます。

FPER ビット（FIFO パリティエラーフラグ）

受信 FIFO からの読み出しデータにパリティエラーが存在するかどうかを示します。

0 は非 FIFO モードの場合に格納されます。

FFER ビット（FIFO フレーミングエラーフラグ）

受信 FIFO からの読み出しデータにフレーミングエラーが存在するかどうかを示します。

0 は非 FIFO モードの場合に格納されます。

30.2.3 TDR/TDRLL/TDRLH : 送信データレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～4, 9)
SCIn_B_NS = 0x5035_8000 + 0x0100 × n (n = 0～4, 9)

Offset address: 0x04(TDR/TDRLL)
0x05(TDRLH)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TSYNC	—	—	MPBT	TDAT[8:0]								
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
8:0	TDAT[8:0]	シリアル送信データ TDAT レジスタは、送信データを設定するための 9 ビットのレジスタです。 送信データは、7 ビットデータを選択した場合は[6:0] に、8 ビットデータを選択した場合は[7:0] に、9 ビットデータを選択した場合は[8:0] に設定されます。 バイトアクセス時は、TDR[15:8]レジスタ、TDR[7:0]レジスタの順に書き込みます。 TDR[7:0]へのバイトアクセスには TDRLL を使用し、TDR[15:8]へのバイトアクセスには TDRLH を使用します。	R/W
9	MPBT	マルチプロセッサ送信ビットフラグ 送信フレーム内のマルチプロセッサビットの値このビットは調歩同期式モードおよびマンチェスタモードで使用されます。このビットが使用されていない場合に書き込むときは、初期値を書き込みます。 0: データ送信サイクル 1: ID 送信サイクル	R/W
11:10	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
12	TSYNC	送信 SYNC データ マンチェスタモードで MCR.SBSEL = 1 かつ MCR.SYNSEL = 1 であるときに有効です。このビットが使用されていない場合は、初期値を書き込みます。 0: スタートビットは DATA SYNC として送信されます。 1: スタートビットは COMMAND SYNC として送信されます。	R/W
31:13	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

FIFO モード (CCR3.FM = 1) では、TDR/TDRLL/TDRLH は 16 段 FIFO バッファ構成になります。

FIFO モードを使用する場合は、32 ビットアクセスに TDR を使用します。

TDAT[8:0]ビット（シリアル送信データ）

レジスタは、送信データを格納するための 9 ビットのレジスタです。

TSR レジスタに空きが検出されると、TDR/TDRLL/TDRLH レジスタに格納されている送信データが TSR レジスタに転送されて、送信が開始されます。

TSR レジスタと TDR/TDRLL/TDRLH レジスタはダブルバッファ構造となっているため、連続送信動作を実現します。1 フレーム分のデータの送信完了後、TDR/TDRLL/TDRLH レジスタに次の送信データが格納されている場合は、TSR レジスタに転送されて、送信動作が継続します。

SCI は、送信シフトレジスタ (TSR) に空きを検出すると、送信 FIFO (TDR/TDRLL/TDRLH) 内のデータを TSR レジスタに送信し、シリアル送信を開始します。送信 FIFO (TDR/TDRLL/TDRLH) に送信データが残っていない状態になるまで、連続シリアル送信が実行されます。

非 FIFO モードでは、送信データエンプティ割り込み (SCIn_TXI) 要求が発生しており、かつ CCR0.TE が 1 の場合、送信データを TDR に 1 回だけ書き込みます。

FIFO モードでは、送信 FIFO が送信データの 16 フレームでいっぱいになると、次のデータを書き込むことはできません。新たに書き込みを試みても、そのデータは無視されます。

TDR/TDRLL/TDRLH レジスタは常に CPU からの読み出し／書き込みが可能です。またバイトアクセス時は、TDR/TDRLL/TDRLH[15:8]レジスタ、TDR/TDRLL/TDRLH[7:0]レジスタの順に書き込みます。

MPBT ビット（マルチプロセッサ送信ビットフラグ）

送信フレームのマルチプロセッサビットを選択します。

TSYNC ビット（送信 SYNC データ）

マンチェスタモードで、MCR.SBSEL = 1 かつ MCR.SYNSEL = 1 のとき、TSYNC ビットに従って選択した SYNC のタイプが、送信フレームのスタートビットになります。

30.2.4 TSR : 送信シフトレジスタ

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。シリアルデータ送信を行う場合、SCI は最初、TDR レジスタから TSR レジスタに送信データを自動転送し、その後、そのデータを TXDn 端子に送出します。CPU から TSR レジスタに直接アクセスすることはできません。

30.2.5 CCR0 : 共通コントロールレジスタ 0

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～4, 9)
SCIn_B_NS = 0x5035_8000 + 0x0100 × n (n = 0～4, 9)

Offset address: 0x08

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	SSE	—	—	TEIE	TIE	—	—	—	RIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	IDSEL	DCME	MPIE	—	—	—	TE	—	—	—	RE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RE	受信許可 0: シリアル受信を禁止 1: シリアル受信を許可	R/W(注1) (注3)
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
4	TE	送信許可 0: シリアル送信を禁止 1: シリアル送信を許可	R/W(注1)
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	MPIE	マルチプロセッサ割り込み許可 CCR3.MP が 1 のときに、調歩同期式モードおよびマンチェスタモードで有効です。 スマートカードインタフェースモードでは、このビットを 0 にしてください。 0: 非マルチプロセッサ受信 1: マルチプロセッサ受信 マルチプロセッサビットが 0 のデータを受信すると、そのデータは読み出されず、本ステータスフラグを 1 にすることはできません。マルチプロセッサビットが 1 のデータを受信すると、MPIE ビットが自動的に 0 にクリアされ、非マルチプロセッサの受信動作が再開されます。マルチプロセッサ機能を使用して受信動作を継続したい場合は、次の受信フレームの STOP ビットを受信するよりも十分に早く、このビットを 1 にしてください（同期遅延時間を考慮してください）。	R/W(注2)
9	DCME	データコンペアマッチ有効 調歩同期式モードでのみ有効 0: アドレスマッチ機能は無効 1: アドレスマッチ機能は有効	R/W(注2)
10	IDSEL	ID フレーム選択 マルチプロセッサを使用する調歩同期式モードでのみ有効 0: MPB ビットの値に関係なくデータ比較を行う 1: MPB ビットが 1（ID フレーム）のときのみデータ比較を行う	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	RIE	受信割り込み許可 0: SCIn_RXI 割り込み要求と SCIn_ERI 割り込み要求を禁止 1: SCIn_RXI 割り込み要求と SCIn_ERI 割り込み要求を許可	R/W
19:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	TIE	送信割り込み許可 0: SCIn_TXI 割り込み要求を禁止 1: SCIn_TXI 割り込み要求を許可	R/W
21	TEIE	送信終了割り込み許可 スマートカードインタフェースモードでは、このビットを 0 にしてください。 0: SCIn_TEI 割り込み要求を禁止 1: SCIn_TEI 割り込み要求を許可	R/W
23:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	SSE	SSn 端子機能有効 簡易 SPI モードで有効 スレーブモード（CCR3.CKE[1:0] は 1x）では、このビットを 1 にしてください。 0: SSn 端子機能が無効 1: SSn 端子機能が有効	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

注 1. クロック同期式モード (CCR3.MOD[2:0] = 010b)、簡易 SPI モード (CCR3.MOD[2:0] = 011b)、および簡易 IIC モード (CCR3.MOD[2:0] = 100b) では、TE = 0 かつ RE = 0 のときのみ 1 を書き込むことができます。TE または RE を 1 にした後、TE と RE に 0 のみ書き込み可能です。他のモードでは、どの条件でも書き込みが許可されます。

注 2. このビットは、ハードウェアによってクリアされるビットです。ビット操作命令を使用してこのビット以外のビットに書き込むと、リードモディファイライト命令によってこのビットが意図せず 1 になる可能性があります。

注 3. クロック同期式モードまたは簡易 SPI モードでは、内部クロック（マスタモード）において受信専用設定（TE = 0 かつ RE = 1 の設定）は禁止されています。

RE ビット（受信許可）

シリアル受信動作を有効または無効にします。

RE ビットが 1 のとき、調歩同期式モードでは同期遅延時間の経過後、クロック同期式モードでは同期クロック入力の検出後、スマートカードインタフェースモードではスタートビットの検出後に、マンチェスタモードでは RXDn のネガティブエッジの検出後に、シリアル受信動作が可能になります。

受信フォーマットを指定するには、RE ビットを 1 にする前に CCR3 を設定する必要があります。

スマートカードインタフェースモード以外では、RE ビットを 0 にして受信動作を停止しても、CSR.RDRF、CSR.FER、CSR.PER、CSR.ORER、MSR.MER、MSR.SBER、MSR.SYER、MSR.PFER、FRSR.DR の各フラグは影響を受けず、前回の値が保持されます。スマートカードインタフェースモードでは、RE ビットを 0 にして受信動作を停止しても、CSR.FER、CSR.PER、CSR.ORER の各フラグは影響を受けず、前回の値が保持されます。また、受信動作を停止する場合は、RE ビットを 0 にしてから受信動作が停止するまでの同期遅延時間が必要になります。

TE ビット（送信許可）

シリアル送信を有効または無能にします。

TE ビットを 1 にすると、同期遅延時間の経過後にシリアル送信動作が可能になります。同期遅延時間の経過後、送信データを TDR レジスタに書き込むことにより、送信が開始されます。なお、TE ビットを 1 にする前に CCR3 レジスタの設定を行い、送信フォーマットを決定してください。また、TE ビットを 0 にした後は、送信制御回路が停止するまでの同期遅延時間が必要です。

MPIE ビット（マルチプロセッサ割り込み許可）

MPIE ビットを 1 にすると、マルチプロセッサビットが 0 のデータを受信した場合、そのデータは読み出されず、各ステータスフラグ (CSR.RDRF, CSR.ORER, CSR.FER, CSR.FRSR, CSR.DR, MSR.MER, MSR.SYER, MSR.PFER, MSR.SBER) を 1 にすることはできません。

マルチプロセッサビットが 1 のデータを受信すると、MPIE ビットは自動的に 0 にクリアされ、通常の受信動作に戻ります。詳細は、「30.4. マルチプロセッサ通信機能」を参照してください。マルチプロセッサ機能を使用して受信動作を継続したい場合は、次の受信フレームの STOP ビットを受信するよりも十分に早く、このビットを 1 にしてください。

受信データに 0 の MPB ビットが含まれている場合、RSR から RDR へ受信データは転送されず、受信エラーも検出されません。また、ORER、FER、MER、SYER、PFER、および SBER の各フラグを 1 にすることはできません。

受信データに含まれている MPB ビットが 1 の場合、MPIE ビットが自動的に 0 にクリアされ、SCIn_RXI 割り込み要求と SCIn_ERI 割り込み要求が許可されます（CCR0.RIE ビットが 1 の場合）。さらに、ORER、FER、MER、SYER、PFER、SBER の各フラグを 1 に設定することも可能になります。

マルチプロセッサ通信機能を使用しない場合は、MPIE を 0 にしてください。

DCME ビット（データコンペアマッチ有効）

DCME ビットはアドレス一致検出機能（データコンペアマッチ機能）を許可するか否かを選択します。

DCME ビットが 1 のとき、SCI によって受信データと比較データ (CCR4.CMPD) の一致が検出された場合、DCME ビットは自動的にクリアされ、その後、SCI の動作モードはデータコンペアマッチ機能のない受信モードになります。

「30.3.6. アドレス一致（受信データ一致）検出機能」を参照してください。

調歩同期式モード以外では、書き込み値は 0 にしてください。

IDSEL ビット（ID フレーム選択）

IDSEL ビットは、アドレス一致検出機能が有効な場合、MPB ビットの値とは無関係に比較を行うか、または MPB ビットが 1（ID フレーム）の場合にのみ比較を行うかを選択します。DCME と同時に設定してください。

RIE ビット（受信割り込み許可）

SCIn_RXI 割り込み要求および SCIn_ERI 割り込み要求を許可または禁止します。

RIE ビットを 0 にすると、SCIn_RXI 割り込み要求および SCIn_ERI 割り込み要求が禁止されます。

SCIn_ERI 割り込み要求を解除するには、CSR.ORER、FER、または PER から 1 を読み出してからフラグを 0 にするか、RIE ビットを 0 にします。

マンチェスタモードでは、MER、SYER、PFER、SBER の各フラグも SCIn_ERI の要因になるため、同様の処理が必要です。これらのフラグの詳細については、「30.2.12. MCR : マンチェスタコントロールレジスタ」と「30.2.21. MSR : マンチェスタステータスレジスタ」を参照してください。

TIE ビット（送信割り込み許可）

SCIn_TXI 割り込み要求を許可または禁止します。

TIE ビットを 0 にすると、SCIn_TXI 割り込み要求が禁止されます。送信開始時に、CCR0.TE ビットと CCR0.TIE ビットを同時に 1 に設定してください。その後、SCIn_TXI 割り込み要求が発生します。

TEIE ビット（送信終了割り込み許可）

SCIn_TEI 割り込み要求を許可または禁止します。TEIE ビットを 0 にすると、SCIn_TEI 割り込み要求が禁止されます。

簡易 IIC モードでは、開始／再開始／停止条件の発行完了時の割り込み（STIn 割り込み）に SCIn_TEI が割り当てられます。この場合、TEIE ビットによって STIn 割り込み要求を許可または禁止することが可能です。

SSE ビット（SSn 端子機能有効）

SSn 端子を用いて送受信制御を行う場合（簡易 SPI モード）、SSE ビットを 1 にしてください。

それ以外の通信モードでは SSE ビットを 0 にしてください。SSE ビットと CTSE ビットの両方を有効にしないでください（設定した場合、両ビットともに 0 にしたときと同じ動作となります）。

スレーブモード（CCR3.CKE[1:0] が 10 または 11）では、SSE を 1 にしてください。

マスターモード（CCR3.CKE[1:0] が 00 または 01）およびシングルマスタでは、マスタ側の SSn 端子は送受信の制御に不要なため、SSE を 0 にしてください。

30.2.6 CCR1：共通コントロールレジスタ 1

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0〜4, 9)
SCIn_B_NS = 0x5035_8000 + 0x0100 × n (n = 0〜4, 9)

Offset address: 0x0C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	NFM	NFEN	—	NFCS[2:0]			—	—	—	SHARPS	—	—	—	SPLP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	RINV	TINV	—	—	PM	PE	—	—	SPB2IO	SPB2DT	—	—	CTSPEN	CTSE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	機能	R/W
0	CTSE	CTS 有効 0: CTS 機能は無効（RTS 出力機能は有効） 1: CTS 機能は有効	R/W
1	CTSPEN	CTS 外部端子許可 0: 1 つの端子で CTS 機能と RTS 機能を使い分けるための設定 1: CTS 機能および RTS 機能をそれぞれ別の端子で専用に使用するための設定	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SPB2DT	シリアルポートブレークデータ選択 CCR0.TE = 0 かつ SPB2IO = 1 のときに、TXDn 端子の出力レベルを選択します。(注1) 0: TINV が 0 のとき、TXDn 端子は Low を出力する TINV が 1 のとき、TXDn 端子は High を出力する 1: TINV が 0 のとき、TXDn 端子は High を出力する TINV が 1 のとき、TXDn 端子は Low を出力する	R/W
5	SPB2IO	シリアルポートブレーク入出力 このビットは、CCR0.TE = 0 のときに、TXDn 端子が SPB2DT の値を出力するかどうかを選択します。(注1) 0: TXDn 端子は SPB2DT ビットの値を出力しない 1: TXDn 端子は SPB2DT ビットの値を出力する	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
8	PE	パリティ許可 調歩同期式モードおよびマンチェスタモードでのみ有効です。スマートカードインタフェースモードでは、このビットを 1 にしてください。 0: 送信時: パリティビットを付加しない 受信時: パリティビットをチェックしない 1: 送信時: パリティビットを付加する 受信時: パリティビットをチェックする	R/W
9	PM	パリティモード PE ビット = 1 の場合にのみ有効です。 0: 偶数パリティを選択する 1: 奇数パリティを選択する	R/W
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	TINV	TXD 反転 0: 送信データを反転せずに TXDn 端子に出力する(注2) 1: 送信データを反転し TXDn 端子に出力する	R/W
13	RINV	RXD 反転 0: RXDn 端子からの受信データを反転せずに入力する(注2) 1: RXDn 端子からの受信データを反転して入力する	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	SPLP	ループバックコントロール このビットは、調歩同期式モードの内部クロック動作、マンチェスタモードの内部クロック動作、およびクロック同期式モードの内部クロック動作に使用できます。 0: ノーマルモード 1: ループバックモード	R/W
19:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	SHARPS	半二重通信選択 簡易 IIC モード、スマートカードインタフェースモード、または簡易 SPI モードでは、このビットを 0 に設定してください。 0: TXDn 端子、RXDn 端子は独立 1: TXDn 端子と RXDn 端子を兼用 （TXDn 端子による半二重通信）	R/W
23:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26:24	NFCS[2:0]	ノイズフィルタクロック選択 調歩同期式モード、マンチェスタモード、簡易 LIN モード、および簡易 IIC モードで有効 簡易 IIC モードでは、000 の設定はしないでください。 内蔵ボーレートジェネレータソースクロックは、CCR2.CKS [1:0] で選択されるクロックのことです。 ノイズフィルタのクロックソースは次の設定により選択します。 0 0 0: 基本クロック信号の 1 分周 0 0 1: 内蔵ボーレートジェネレータソースクロックの 1 分周 0 1 0: 内蔵ボーレートジェネレータソースクロックの 2 分周 0 1 1: 内蔵ボーレートジェネレータソースクロックの 4 分周 1 0 0: 内蔵ボーレートジェネレータソースクロックの 8 分周 その他: 設定禁止	R/W
27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	NFEN	デジタルノイズフィルタ機能有効 調歩同期式モード、マンチェスタモード、簡易 LIN モード、および簡易 IIC モードで有効です。 0: 調歩同期式モード、マンチェスタモード、簡易 LIN モードの場合 RXDn 入力信号のノイズ除去機能は無効 簡易 IIC モードの場合: SCLn 入力信号および SDAn 入力信号のノイズ除去機能は無効 1: 調歩同期式モード、マンチェスタモード、簡易 LIN モードの場合 RXDn 入力信号のノイズ除去機能は有効 簡易 IIC モードの場合: SCLn 入力信号および SDAn 入力信号のノイズ除去機能は有効	R/W
29	NFM	ノイズフィルタモード 調歩同期式モードで ABCSE2 = 1 のとき有効です。 0: 3 点マッチングモード 1: 多数決モード	R/W

ビット	シンボル	機能	R/W
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3
注 1. このビットを調歩同期式モードおよびマンチェスタモードでのみ使用してください。他のモードでの動作は保証されません。
注 2. スマートカードインタフェースモードおよび簡易 IIC モードでは、RINV/TINV を 0 に設定してください。

CTSE ビット（CTS 有効）

SSn 端子を CTSn 制御信号入力として用いて送受信制御を行う場合は CTSE ビットを 1 に設定します。このビットを 0 にした場合は RTSn 信号が出力されます。スマートカードインタフェースモード、簡易 SPI モード、簡易 LIN モード、および簡易 IIC モードでは、このビットを 0 にしてください。CTSE ビットと SSE ビットの両方を有効にしないでください（設定した場合、両ビットともに 0 にしたときと同じ動作となります）。

CTSPEN ビット（CTS 外部端子許可）

CTSE が 1 の場合に、このビットは CTS 機能と RTS 機能に対する端子の割り当てを選択します。2 つの端子に CTS 機能と RTS 機能を適用して、同時に使用する場合は、このビットを 1 にしてください。調歩同期式モードおよびマンチェスタモード以外では、このビットを 0 にしてください。

CTSE ビットと CTSPEN ビットの設定と、CTSn_RTSn 端子機能と CTSn 端子機能の関係を表 30.4 に示します。

表 30.4 CTSE ビットおよび CTSPEN ビットの設定および端子の機能

CTSE ビット	CTSPEN ビット	CTSn_RTSn 端子	CTSn 端子
0	0	RTSn 信号出力	使用しない
1	0	CTSn 信号入力	使用しない
1	1	RTSn 信号出力	CTSn 信号入力
0	1	禁止	禁止

SPB2DT ビット（シリアルポートブレークデータ選択）、SPB2IO ビット（シリアルポートブレーク入出力）

CCR0.TE ビット、CCR1.SPB2IO ビット、および CCR1.SPB2DT ビットの組み合わせで決定される TXDn 端子状態を表 30.5 に示します。

表 30.5 TXDn 端子の状態

CCR0.TE の値	CCR1.SPB2IO の値	CCR1.SPB2DT の値	TXDn 端子の状態 （TINV が 0 のとき）
0	0	—	Hi-Z（初期値）
0	1	0	Low を出力
0	1	1	High を出力
1	—	—	シリアル送信データを出力

注. —: Don't care

PE ビット（パリティ許可）

PE ビットが 1 のとき、送信時にパリティビットを付加し、受信時にパリティチェックを行います。

マルチプロセッサフォーマットでは、PE ビットの設定にかかわらず、パリティビットの付加もパリティチェックも行いません。

PM ビット（パリティモード）

PM ビットは、送受信時のパリティモード（偶数パリティ／奇数パリティ）を選択します。マルチプロセッサモードでは、PM ビットは無効です。

スマートカードインタフェースモードにおけるこのビットの使用方法の詳細については、「30.7.2. データフォーマット（ブロック転送モード時を除く）」を参照してください。

TINV ビット（TXD 反転）、RINV ビット（RXD 反転）

RDR のデータは RINV と CCR3.SINV によって制御されます。また、TXDn 端子からのデータは TINV と CCR3.SINV によって制御されます。RINV/TINV による制御は通信端子 (RXDn/TXDn) に対して実施されます。

したがって、データビットだけでなく他のビット（スタートビット、ストップビット、パリティビット）も制御可能です。詳細は、図 30.3 を参照してください。

簡易 SPI モードで半二重通信およびスレーブ動作の間は、受信に TXDn 端子を使用し、TINV ビットで受信データの反転制御の設定をしてください。

注.　TINV = 0 かつ RINV = 0 のとき（TINV の値と RINV の値が指定されていないとき）の SCI 動作の説明とタイミングチャートを示します。

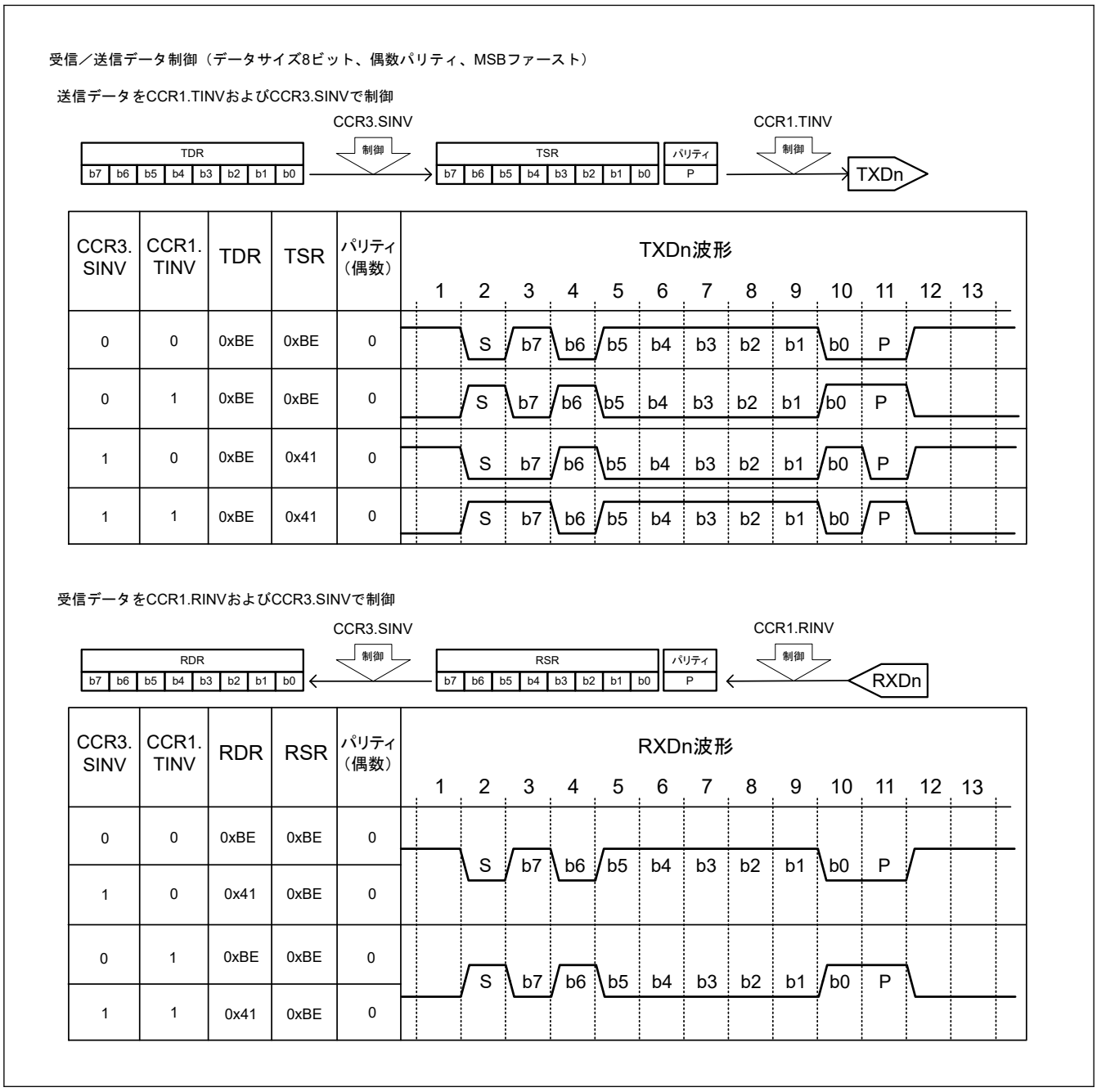


図 30.3　受信／送信データ制御の例

SPLP ビット（ループバックコントロール）

SPLP ビットが 1 のとき、SCI は RXDn からの入力経路を遮断し、TXDn への出力経路を受信データレジスタに接続します。

TINV ビットと組み合わせると、送信データを反転して受信することが可能です。

スレーブとして動作するクロック同期式モード、外部クロックを使用する調歩同期式モード、および簡易 LIN モードでは、このビットを 0 にします。

SHARPS ビット（半二重通信選択）

SHARPS ビットを 1 にすると、TXDn 端子を使用した半二重通信が許可されます。ただし、SHARPS ビットは、簡易 SPI モード、簡易 IIC モード、およびスマートカードインタフェースモードでは使用できません。

SHARPS ビットを 1 にして CCR0.TE = 1 かつ CCR0.RE = 0 を設定すると、TXDn 端子は通信出力端子となります。このビットを 1 にして CCR0.TE = 0 かつ CCR0.RE = 1 を設定すると、TXDn 端子は通信入力端子となります。詳細は、「30.17. 半二重通信機能」を参照してください。

NFCS[2:0]ビット（ノイズフィルタクロック選択）

NFCS[2:0]ビットは、デジタルノイズフィルタのサンプリングクロックを選択します。

調歩同期式モード、マンチェスタモード、および簡易 LIN モードでノイズフィルタを使用する場合、NFCS[2:0]ビットを 000b～100b の範囲で設定してください。簡易 IIC モードでは、これらのビットを 001b～100b の範囲で設定してください。特に調歩同期式モードで ABCSE ビットまたは ABCSE2 ビットを 1 にするときは、000b か 001b に設定してください。

NFEN ビット（デジタルノイズフィルタ機能有効）

NFEN ビットは、デジタルノイズフィルタ機能を有効または無効にします。デジタルノイズフィルタ機能を有効にすると、調歩同期式モード、マンチェスタモード、簡易 LIN モードの場合は RXDn 入力信号のノイズを除去し、簡易 IIC モードの場合は SDAn および SCLn 入力信号のノイズを除去します。上記以外のモードでは NFEN ビットを 0 にし、デジタルノイズフィルタ機能を無効にしてください。デジタルノイズフィルタ機能を無効にすると、入力信号がそのまま内部信号として転送されます。

NFM ビット（ノイズフィルタモード）

NFM ビットはデジタルノイズフィルタ機能の動作モードを選択します。詳細は、「30.14. ノイズ除去機能」を参照してください。

30.2.7 CCR2 : 共通コントロールレジスタ 2

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～4, 9)
SCIn_B_NS = 0x5035_8000 + 0x0100 × n (n = 0～4, 9)

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MDDR[7:0]								—	—	CKS[1:0]		—	—	—	BRME
Value after reset:	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BRR[7:0]								ABCSE2	ABCSE	ABCS	BGDM	—	BCP[2:0]		
Value after reset:	1	1	1	1	1	1	1	1	0	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
2:0	BCP[2:0]	基本クロックパルス スマートカードインタフェースモードにおける基本クロックサイクル数を選択します。 0 0 0: 93 クロックサイクル (S = 93)(注1) 0 0 1: 128 クロックサイクル (S = 128)(注1) 0 1 0: 186 クロックサイクル (S = 186)(注1) 0 1 1: 512 クロックサイクル (S = 512)(注1) 1 0 0: 32 クロックサイクル (S = 32)(注1)（初期値） 1 0 1: 64 クロックサイクル (S = 64)(注1) 1 1 0: 372 クロックサイクル (S = 372)(注1) 1 1 1: 256 クロックサイクル (S = 256)(注1)	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
4	BGDM	ボーレートジェネレータ倍速モード選択 調歩同期式／マンチェスタ／クロック同期式／簡易 SPI モードにおいて、CCR3.CKE[1]ビット = 0 の場合に有効です。 0: ボーレートジェネレータから 1 倍の周波数のクロックを出力 1: ボーレートジェネレータから 2 倍の周波数のクロックを出力	R/W
5	ABCS	調歩同期基本クロック選択 調歩同期式モード、マンチェスタモード、および簡易 LIN モードでのみ有効です。 0: 1 ビット期間に対して基本クロックの 16 サイクルを選択 1: 1 ビット期間に対して基本クロックの 8 サイクルを選択	R/W
6	ABCSE	調歩同期拡張基本クロック選択 調歩同期式モードにおいて、CCR3.CKE[1]ビット = 0 の場合にのみ有効です。 0: 1 ビット期間のクロック周期は CCR2.BGDM ビットと CCR2.ABCS ビットの組み合わせにより決定 1: ボーレートは 1 ビット期間に対して基本クロックの 6 サイクルであり、ボーレートジェネレータから 2 倍の周波数のクロックを出力	R/W
7	ABCSE2	調歩同期拡張基本クロック選択 2 調歩同期式モードにおいて、CCR3.CKE[1]ビット = 0 の場合にのみ有効です。 0: 1 ビット期間のクロックサイクル数は CCR2.BGDM ビットと CCR2.ABCS ビットの組み合わせにより決定 1: 1 ビット期間の基本クロックサイクル数は 4 で、ボーレートジェネレータから 2 倍の周波数のクロックを出力	R/W
15:8	BRR[7:0]	ビットレート設定 BRR は、ビットレートを調整する 8 ビットのレジスタです。	R/W
16	BRME	ビットレート変調有効 0: ビットレート変調機能が無効 1: ビットレート変調機能が有効	R/W
19:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
21:20	CKS[1:0]	クロック選択 0 0: TCLK クロック (n = 0)(注2) 0 1: TCLK/4 クロック (n = 1)(注2) 1 0: TCLK/16 クロック (n = 2)(注2) 1 1: TCLK/64 クロック (n = 3)(注2)	R/W
23:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:24	MDDR[7:0]	変調デューティ設定 MDDR は、BRR[7:0]ビットで調節されたビットレートを補正します。	R/W

注. S-TYPE-3、P-TYPE-3
注 1. S は、BRR[7:0]ビットの説明に記載されている S の値のことです。
注 2. n は、BRR[7:0]ビットの説明に記載されている n の値の 10 進表記のことです。

BCP[2:0]ビット（基本クロックパルス）

BCP[2:0]ビットは、スマートカードインタフェースモードにおける、1 ビット転送時間中の基本クロックのサイクル数を選択します。

詳細は、「30.7.4. 受信データサンプリングタイミングと受信マージン」を参照してください。

BGDM ビット（ボーレートジェネレータ倍速モード選択）

BGDM ビットは、調歩同期式モード、マンチェスタモード、クロック同期式モード、簡易 SPI モードにおいて、クロックソースにボーレートジェネレータ（CCR3.CKE[1]ビット = 0）を選択したときに有効です。外部クロックの選択時（CCR3.CKE[1]ビット = 1）は、0 にしてください。ボーレートジェネレータから 1 倍の周波数のクロックを出力するか、2 倍の周波数のクロックを出力するかを選択できます。ボーレートジェネレータから出力されるクロックは基本クロックの生成に使用されます。BGDM ビットを 1 にすると、基本クロックの周期が 1/2 倍になり、ビットレートが 2 倍になります。

調歩同期式モード、マンチェスタモード、クロック同期式モード、簡易 SPI モード以外では 0 にしてください。

ABCS ビット（調歩同期基本クロック選択）

1 ビット期間に対してクロックサイクルを選択します。

調歩同期式モード、マンチェスタモード、簡易 LIN モード以外では ABCS ビットを 0 にしてください。

ABCSE ビット（調歩同期拡張基本クロック選択）

1 ビット期間での基本クロックのパルス数は 6 であり、ボーレートジェネレータから 2 倍の周波数のクロックが出力されます。バスクロック周波数を分周してビットレートを 6 にする場合にのみ、このビットを使用して CCR2.CKS[1:0] = 00b および BRR[7:0] = 0x00 に設定できます。

このビットは、調歩同期式モード以外では 0 にしてください。調歩同期式モードにおいても、外部クロックを使っている場合はこのビットを 0 にしてください。

ABCSE2 ビット（調歩同期拡張基本クロック選択 2）

1 ビット期間における基本クロックのパルス数は 4 であり、ボーレートジェネレータから 2 倍の周波数のクロックが出力されます。バスクロック周波数を分周してビットレートを 4 にする場合にのみ、このビットを使用し、かつ CCR2.CKS[1:0] = 00 および BRR[7:0] = 0 に設定してください。

このビットは、調歩同期式モード以外では 0 にしてください。調歩同期式モードにおいても、外部クロックを使っている場合はこのビットを 0 にしてください。

表 30.6　1 ビットごとの基本クロックサイクル数

ABCSE2	ABCSE	ABCS	BGDM	1 ビットごとの基本クロックサイクル数	ボーレートジェネレータの周波数
0	0	0	0	16	×1
0	0	0	1	16	×2
0	0	1	0	8	×1
0	0	1	1	8	×2
0	1	— (Don't care)	— (Don't care)	6	2 倍
1	0	— (Don't care)	— (Don't care)	4	2 倍

BRR[7:0]ビット（ビットレート設定）

BRR は、ビットレートを調整する 8 ビットのレジスタです。

SCI はボーレートジェネレータが独立しているため、それぞれ異なるビットレートの設定が可能です。調歩同期式モード、マルチプロセッサ転送、マンチェスタモード、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モード、および簡易 IIC モードにおける、BRR レジスタの設定値 N とビットレート B の関係を表 30.7 に示します。

表 30.7　BRR の設定値 N とビットレート B の関係 (1/2)

モード	CCR2 の設定				BRR[7:0]の設定	誤差(注4)
	BGDM ビット	ABCS ビット	ABCSE ビット	ABCSE 2 ビット		
調歩同期式、マルチプロセッサ、マンチェスタ(注2)、簡易 LIN(注3)	0	0	0	0	$N = \frac{TCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	$誤差\ (\%) = \left\{\frac{TCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1\right\} \times 100$
	1	0	0	0	$N = \frac{TCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	$誤差\ (\%) = \left\{\frac{TCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1\right\} \times 100$
	0	1	0	0		
	1	1	0	0	$N = \frac{TCLK \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	$誤差\ (\%) = \left\{\frac{TCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (N+1)} - 1\right\} \times 100$
	Don't care	Don't care	1	0	$N = \frac{TCLK \times 10^6}{12 \times 2^{2n-1} \times B} - 1$	$誤差\ (\%) = \left\{\frac{TCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times (N+1)} - 1\right\} \times 100$
	Don't care	Don't care	0	1	$N = \frac{TCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	$誤差\ (\%) = \left\{\frac{TCLK \times 10^6}{B \times 8 \times 2^{2n-1} \times (N+1)} - 1\right\} \times 100$

表 30.7　BRR の設定値 N とビットレート B の関係 (2/2)

モード	CCR2 の設定 BGDM ビット	ABCS ビット	ABCSE ビット	ABCSE 2 ビット	BRR[7:0]の設定	誤差(注4)
クロック同期式、簡易 SPI	0	0（初期値）	0（初期値）	0（初期値）	$N = \frac{TCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	—
	1	0（初期値）	0（初期値）	0（初期値）	$N = \frac{TCLK \times 10^6}{4 \times 2^{2n-1} \times B} - 1$	—
スマートカードインタフェース					$N = \frac{TCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 (%) $= \left\{\frac{TCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1\right\} \times 100$
簡易 IIC(注1)					$N = \frac{TCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	—

注.　B：ビットレート (bps)
N：内蔵ボーレートジェネレータの BRR 設定値 (0 ≦ N ≦ 255)
TCLK：動作周波数 (MHz)
n および S：表 30.9 と表 30.10 に示される CCR2 レジスタの設定により決定スマートカードインタフェースモードでは $2^{(2n+1)}$が使用され、他のモードでは $2^{(2n-1)}$が使用されることに注意してください。
注 1.　簡易 IIC モードでは、SCL 出力の High/Low 幅が IIC 規格を満たすように、ビットレートを調整してください。
注 2.　マンチェスタモードでは、ABCSE = 0 および ABCSE2 = 0 のみ選択可能です。
注 3.　簡易 LIN モードでは、BGDM = 0、ABCSE = 0、および ABCSE2 = 0 のみ選択可能です。
注 4.　上記計算式より得られる N 値が設定するボーレート値 B の整数と異なる場合、BRR には近似値の整数値が設定されますが、このときボーレート値と B との間に誤差が生じます。ここでの誤差とはこれを意味します。

表 30.8　SCL の High/Low 幅の算出式

モード	SCLn	算出式（結果は秒単位）
IIC	High 幅（最小値）	$(N+1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{TCLK \times 10^6}$
	Low 幅（最小値）	$(N+1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{TCLK \times 10^6}$

表 30.9　クロックソースの設定

CCR2 の設定 CKS[1:0]ビット	クロックソース	n
00	TCLK クロック	0
01	TCLK/4 クロック	1
10	TCLK/16 クロック	2
11	TCLK/64 クロック	3

表 30.10　スマートカードインタフェースモード時の基本クロックの設定

CCR2 の設定 BCP[2:0]の設定	1 ビット期間中の基本クロックサイクル	S
0 0 0	93 クロックサイクル	93
0 0 1	128 クロックサイクル	128
0 1 0	186 クロックサイクル	186
0 1 1	512 クロックサイクル	512
1 0 0	32 クロックサイクル	32
1 0 1	64 クロックサイクル	64
1 1 0	372 クロックサイクル	372
1 1 1	256 クロックサイクル	256

調歩同期式モードとマンチェスタモードにおける BRR レジスタの設定値 N の設定例を表 30.11 と表 30.12 に示します。各動作周波数において設定可能な最大ビットレートを表 30.13 に示します。クロック同期式モードと簡易 SPI モードにおける、BRR レジスタ値 N の設定例を表 30.16 に示します。また、スマートカードインタフェースモードにおける、BRR レジスタ値 N の設定例を表 30.18 に示します。簡易 IIC モードにおける、BRR レジスタ値 N の設定例を表 30.20 に示します。スマートカードインタフェースモードでは、1 ビットデータ転送時間における基本クロックのサイクル数 S を選択できます。詳細は、「30.7.4. 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 30.14 と表 30.17 に、外部クロック入力時の最大ビットレートを示します。表 30.15 に GPT クロック入力時の最大ビットレートを示します。

調歩同期式モードおよびマンチェスタモードにおいて、調歩同期基本クロック選択ビット (ABCS) またはボーレートジェネレータ倍速モード選択ビット (BGDM) のいずれか一方を 1 にした場合、ビットレートは表 30.11 および表 30.12 に記載された値の 2 倍になります。両ビットとも 1 にした場合、ビットレートは記載値の 4 倍になります。

表 30.11 各ビットレートに対する BRR の設定例（調歩同期式モードおよびマンチェスタモード） (1) (1/2)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0	2	129	0.16	2	155	0.16	2	159	0
300	1	207	0.16	1	255	0	2	64	0.16	2	77	0.16	2	79	0
600	1	103	0.16	1	127	0	1	129	0.16	1	155	0.16	1	159	0
1200	0	207	0.16	0	255	0	1	64	0.16	1	77	0.16	1	79	0
2400	0	103	0.16	0	127	0	0	129	0.16	0	155	0.16	0	159	0
4800	0	51	0.16	0	63	0	0	64	0.16	0	77	0.16	0	79	0
9600	0	25	0.16	0	31	0	0	32	-1.36	0	38	0.16	0	39	0
19200	0	12	0.16	0	15	0	0	15	1.73	0	19	-2.34	0	19	0
31250	0	7	0	0	9	-1.7	0	9	0	0	11	0	0	11	2.4
38400	—	—	—	0	7	0	0	7	1.73	0	9	-2.34	0	9	0

表 30.11 各ビットレートに対する BRR の設定例（調歩同期式モードおよびマンチェスタモード） (1) (2/2)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	70	0.03	3	75	0.48	3	79	-0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0	2	233	0.16	2	255	0
300	2	90	0.16	2	103	0.16	2	111	0	2	116	0.16	2	127	0
600	1	181	0.16	1	207	0.16	1	223	0	1	233	0.16	1	255	0
1200	1	90	0.16	1	103	0.16	1	111	0	1	116	0.16	1	127	0
2400	0	181	0.16	0	207	0.16	0	223	0	0	233	0.16	0	255	0
4800	0	90	0.16	0	103	0.16	0	111	0	0	116	0.16	0	127	0
9600	0	45	-0.93	0	51	0.16	0	55	0	0	58	-0.69	0	63	0
19200	0	22	-0.93	0	25	0.16	0	27	0	0	28	1.02	0	31	0
31250	0	13	0	0	15	0	0	16	1.2	0	17	0	0	19	-1.7
38400	—	—	—	0	12	0.16	0	13	0	0	14	-2.34	0	15	0

注. これは、CCR2.ABCS が 0、CCR2.BGDM が 0、かつ CCR2.ABCSE が 0 の場合の例です。
ABCS ビットまたは BGDM ビットのいずれか一方を 1 にした場合は、ビットレートが 2 倍になります。
ABCS を 1 かつ BGDM1 にした場合は、ビットレートが 4 倍になります。

表 30.12　各ビットレートに対する BRR の設定例（調歩同期式モードおよびマンチェスタモード） (2) (1/2)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	20			25			30			33			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	88	-0.25	3	110	-0.02	3	132	0.13	3	145	0.33	3	177	-0.25
150	3	64	0.16	3	80	0.47	3	97	-0.35	3	106	0.39	3	129	0.16
300	2	129	0.16	2	162	-0.15	2	194	0.16	2	214	-0.07	3	64	0.16
600	2	64	0.16	2	80	0.47	2	97	-0.35	2	106	0.39	2	129	0.16
1200	1	129	0.16	1	162	-0.15	1	194	0.16	1	214	-0.07	2	64	0.16
2400	1	64	0.16	1	80	0.47	1	97	-0.35	1	106	0.39	1	129	0.16
4800	0	129	0.16	0	162	-0.15	0	194	0.16	0	214	-0.07	1	64	0.16
9600	0	64	0.16	0	80	0.47	0	97	-0.35	0	106	0.39	0	129	0.16
19200	0	32	-1.36	0	40	-0.76	0	48	-0.35	0	53	-0.54	0	64	0.16
31250	0	19	0	0	24	0	0	29	0	0	32	0	0	39	0
38400	0	15	1.73	0	19	1.73	0	23	1.73	0	26	-0.54	0	32	-1.36

表 30.12　各ビットレートに対する BRR の設定例（調歩同期式モードおよびマンチェスタモード） (2) (2/2)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	50			60			100			120		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	221	-0.02	—	—	—	—	—	—	—	—	—
150	3	162	-0.15	3	194	0.16	—	—	—	—	—	—
300	3	80	0.47	3	97	-0.35	3	162	-0.15	3	194	0.16
600	2	162	-0.15	2	194	0.16	3	80	0.47	3	97	-0.35
1200	2	80	0.47	2	97	-0.35	2	162	-0.15	2	194	0.16
2400	1	162	-0.15	1	194	0.16	2	80	0.47	2	97	-0.35
4800	1	80	0.47	1	97	-0.35	1	162	-0.15	1	194	0.16
9600	0	162	-0.15	0	194	0.16	1	80	0.47	1	97	-0.35
19200	0	80	0.47	0	97	-0.35	0	162	-0.15	0	194	0.16
31250	0	49	0	0	59	0	1	24	0	0	119	0
38400	0	40	-0.76	0	48	-0.35	0	80	0.47	0	97	-0.35

注.　これは、CCR2.ABCS = 0、CCR2.BGDM = 0、CCR2.ABCSE = 0、および CCR2.ABCSE2 = 0 のときの例です。
ABCS ビットまたは BGDM ビットのいずれか一方を 1 にした場合は、ビットレートが 2 倍になります。
ABCS を 1 かつ BGDM1 にした場合は、ビットレートが 4 倍になります。

表 30.13　動作周波数ごとの最大ビットレート（調歩同期式モードおよびマンチェスタモード） (1/3)

TCLK (MHz)	CCR2 の設定				最大ビットレート (bps)	TCLK (MHz)	CCR2 の設定				最大ビットレート (bps)
	BGDM	ABCS	ABCSE	ABCSE2			BGDM	ABCS	ABCSE	ABCSE2	
8	0	0	0	0	250000	16	0	0	0	0	500000
		1	0	0	500000			1	0	0	1000000
	1	0	0	0			1	0	0	0	
		1	0	0	1000000			1	0	0	2000000
	Don't care	Don't care	1	0	1333333		Don't care	Don't care	1	0	2666666
	Don’t care	Don’t care	0	1	2000000		Don’t care	Don’t care	0	1	4000000

表 30.13 動作周波数ごとの最大ビットレート（調歩同期式モードおよびマンチェスタモード） (2/3)

TCLK (MHz)	CCR2 の設定				最大ビットレート (bps)	TCLK (MHz)	CCR2 の設定				最大ビットレート (bps)
	BGDM	ABCS	ABCSE	ABCSE2			BGDM	ABCS	ABCSE	ABCSE2	
9.8304	0	0	0	0	307200	17.2032	0	0	0	0	537600
		1	0	0	614400			1	0	0	1075200
	1	0	0	0			1	0	0	0	
		1	0	0	1228800			1	0	0	2150400
	Don't care	Don't care	1	0	1638400		Don't care	Don't care	1	0	2867200
	Don’t care	Don’t care	0	1	2457600		Don’t care	Don’t care	0	1	4300800
10	0	0	0	0	312500	18	0	0	0	0	562500
		1	0	0	625000			1	0	0	1125000
	1	0	0	0			1	0	0	0	
		1	0	0	1250000			1	0	0	2250000
	Don't care	Don't care	1	0	1666666		Don't care	Don't care	1	0	3000000
	Don’t care	Don’t care	0	1	2500000		Don’t care	Don’t care	0	1	4500000
12	0	0	0	0	375000	19.6608	0	0	0	0	614400
		1	0	0	750000			1	0	0	1228800
	1	0	0	0			1	0	0	0	
		1	0	0	1500000			1	0	0	2457600
	Don't care	Don't care	1	0	2000000		Don't care	Don't care	1	0	3276800
	Don’t care	Don’t care	0	1	3000000		Don’t care	Don’t care	0	1	4915200
12.288	0	0	0	0	384000	20	0	0	0	0	625000
		1	0	0	768000			1	0	0	1250000
	1	0	0	0			1	0	0	0	
		1	0	0	1536000			1	0	0	2500000
	Don't care	Don't care	1	0	2048000		Don't care	Don't care	1	0	3333333
	Don’t care	Don’t care	0	1	3072000		Don’t care	Don’t care	0	1	5000000
14	0	0	0	0	437500	25	0	0	0	0	781250
		1	0	0	875000			1	0	0	1562500
	1	0	0	0			1	0	0	0	
		1	0	0	1750000			1	0	0	3125000
	Don't care	Don't care	1	0	2333333		Don't care	Don't care	1	0	4166666
	Don’t care	Don’t care	0	1	3500000		Don’t care	Don’t care	0	1	6250000

表 30.13 動作周波数ごとの最大ビットレート（調歩同期式モードおよびマンチェスタモード） (3/3)

TCLK (MHz)	CCR2 の設定				最大ビットレート (bps)	TCLK (MHz)	CCR2 の設定				最大ビットレート (bps)
	BGDM	ABCS	ABCSE	ABCSE2			BGDM	ABCS	ABCSE	ABCSE2	
30	0	0	0	0	937500	50	0	0	0	0	1562500
		1	0	0	1875000			1	0	0	3125000
	1	0	0	0			1	0	0	0	
		1	0	0	3750000			1	0	0	6250000
	Don't care	Don't care	1	0	5000000		Don't care	Don't care	1	0	8333333
	Don't care	Don't care	0	1	7500000		Don't care	Don't care	0	1	12500000
33	0	0	0	0	1031250	60	0	0	0	0	1875000
		1	0	0	2062500			1	0	0	3750000
	1	0	0	0			1	0	0	0	
		1	0	0	4125000			1	0	0	7500000
	Don't care	Don't care	1	0	5500000		Don't care	Don't care	1	0	10000000
	Don't care	Don't care	0	1	8250000		Don't care	Don't care	0	1	15000000
40	0	0	0	0	1250000	120	0	0	0	0	3750000
		1	0	0	2500000			1	0	0	7500000
	1	0	0	0			1	0	0	0	
		1	0	0	5000000			1	0	0	15000000
	Don't care	Don't care	1	0	6666666		Don't care	Don't care	1	0	20000000
	Don't care	Don't care	0	1	10000000		Don't care	Don't care	0	1	30000000

注. 最大ビットレートを得るには、CKS レジスタと BRR レジスタの値をそれぞれ n = 0、N = 0 とする必要があります。マンチェスタモードでは、ABCSE = ABCSE2 = 0 を使用してください。

表 30.14 外部クロック入力時の最大ビットレート（調歩同期式モード）

TCLK (MHz)	外部クロック (MHz)	最大ビットレート (bps)		TCLK (MHz)	外部クロック (MHz)	最大ビットレート (bps)	
		CCR2.ABCS = 0	CCR2.ABCS = 1			CCR2.ABCS = 0	CCR2.ABCS = 1
8	2	125000	250000	25	6.25	390625	781250
9.8304	2.4576	153600	307200	30	7.5	468750	937500
10	2.5	156250	312500	33	8.25	515625	1031250
12	3	187500	375000	40	10	625000	1250000
12.288	3.072	192000	384000	50	12.5	781250	1562500
14	3.5	218750	437500	60	15	937500	1875000
16	4	250000	500000	120	30	1875000	3750000
17.2032	4.3008	268800	537600				
18	4.5	281250	562500				
19.6608	4.9152	307200	614400				
20	5	312500	625000				

表 30.15 GPT クロック入力時の最大ビットレート（調歩同期式モード）

TCLK (MHz)	GPT クロック (MHz)	最大ビットレート (bps)		TCLK (MHz)	GPT クロック (MHz)	最大ビットレート (bps)	
		CCR2.ABCS ビット= 0	CCR2.ABCS ビット= 1			CCR2.ABCS ビット= 0	CCR2.ABCS ビット= 1
8	4	250000	500000	25	12.5	781250	1562500
9.8304	4.9152	307200	614400	30	15	937500	1875000
10	5.0	312500	625000	33	16.5	1031250	2062500
12	6	375000	750000	40	20	1250000	2500000
12.288	6.144	384000	768000	50	25	1562500	3125000
14	7.0	437500	875000	60	30	1875000	3750000
16	8	500000	1000000	120	60	3750000	7500000
17.2032	8.6016	537600	1075200				
18	9.0	562500	1125000				
19.6608	9.8304	614400	1228800				
20	10	625000	1250000				

表 30.16 各ビットレートに対する BRR の設定（クロック同期式モード、簡易 SPI モード）

ビットレート (bps)	動作周波数 TCLK (MHz)														
	8			10			30			60			120		
	BGDM	n	N	BGDM	n	N	BGDM	n	N	BGDM	n	N	BGDM	n	N
250	0	3	124	0	3	155	—	—	—	—	—	—	—	—	—
500	0	2	249	0	3	77	0	3	233	—	—	—	—	—	—
1k	0	2	124	0	3	38	0	3	116	0	3	233	—	—	—
2.5k	0	2	49	0	1	249	0	3	46	0	3	93	0	3	187
5k	0	2	24	0	1	124	0	2	93	0	3	46	0	3	93
10k	0	1	49	0	0	249	0	2	46	0	2	93	0	3	46
25k	0	2	4	0	1	24	0	1	74	0	1	149	0	2	74
50k	0	1	9	0	0	49	0	0	149	0	1	74	0	1	149
100k	0	1	4	0	0	24	0	0	74	0	0	149	0	1	74
250k	0	1	1	0	0	9	0	0	29	0	1	14	0	1	29
500k	0	1	0	0	0	4	0	0	14	0	0	29	0	1	14
1M	0	0	1	1	0	4	1	0	14	0	0	14	0	0	29
2.5M	—	—	—	0	0	0	0	0	2	0	0	5	0	1	2
5M	—	—	—	1	0	0	1	0	2	0	0	2	0	0	5
7.5M	—	—	—	—	—	—	0	0	0	0	0	1	0	1	0
60M	—	—	—	—	—	—	—	—	—	—	—	—	1	0	0

注. —: 設定可能ですが、10%を超える誤差が生じます。

表 30.17 外部クロック入力時の最大ビットレート（クロック同期式モード、簡易 SPI モード） (1/2)

TCLK (MHz)	外部クロック (MHz)	最大ビットレート (Mbps)	TCLK (MHz)	外部クロック (MHz)	最大ビットレート (Mbps)
8	4	4	25	12.5	12.5
10	5	5	30	15	15
12	6	6	33	16.5	16.5
14	7	7	40	20	20

表 30.17 外部クロック入力時の最大ビットレート（クロック同期式モード、簡易 SPI モード） (2/2)

TCLK (MHz)	外部クロック (MHz)	最大ビットレート (Mbps)	TCLK (MHz)	外部クロック (MHz)	最大ビットレート (Mbps)
16	8	8	50	25	25
18	9	9	60	30	30
20	10	10	120	60	60

表 30.18 各ビットレートに対する BRR の設定例（スマートカードインタフェースモード、n = 0、S = 372 の場合） (1/4)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	7.1424			10.00			10.7136			13.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	0	0.00	0	1	-30	0	1	-25	0	1	-8.99

表 30.18 各ビットレートに対する BRR の設定例（スマートカードインタフェースモード、n = 0、S = 372 の場合） (2/4)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	14.2848			16.00			18.00			20.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	1	0.00	0	1	12.01	0	2	-15.99	0	2	-6.66

表 30.18 各ビットレートに対する BRR の設定例（スマートカードインタフェースモード、n = 0、S = 372 の場合） (3/4)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	25.00			30.00			33.00			40.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	3	-12.49	0	3	5.01	0	4	-7.59	0	5	-6.66

表 30.18 各ビットレートに対する BRR の設定例（スマートカードインタフェースモード、n = 0、S = 372 の場合） (4/4)

ビットレート (bps)	動作周波数 TCLK (MHz)								
	50.00			60.00			120.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	6	0.01	0	7	5.01	0	16	-1.17

表 30.19 各動作周波数における最大ビットレート（スマートカードインタフェースモード、S = 32 の場合）

TCLK (MHz)	最大ビットレート (bps)	n	N	TCLK (MHz)	最大ビットレート (bps)	n	N
10	156250	0	0	30	468750	0	0
10.7136	167400	0	0	33	515625	0	0
13	203125	0	0	40	625000	0	0
16	250000	0	0	50	781250	0	0
18	281250	0	0	60	937500	0	0
20	312500	0	0	120	1875000	0	0
25	390625	0	0				

表 30.20 各ビットレートに対する BRR の設定例（簡易 IIC モードの場合） (1/3)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	8			10			16			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	0	0	30	0.8	0	49	0	0	62	-0.8
25k	0	9	0	0	12	-3.8	1	4	0	0	24	0
50k	0	4	0	0	5	4.2	0	9	0	0	12	-3.8
100k	0	2	-16.7	0	2	4.2	0	4	0	0	5	4.2
250k	0	0	0	0	0	25	0	1	0	0	2	-16.7
350k										0	1	-10.7
400k										0	1	-21.9

表 30.20 各ビットレートに対する BRR の設定例（簡易 IIC モードの場合） (2/3)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	25			30			33			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	77	0.2	0	93	-0.3	0	102	0.1	0	124	0
25k	0	30	0.8	0	37	-1.3	0	40	0.6	0	49	0
50k	2	0	-2.3	0	18	-1.3	0	20	-1.8	0	24	0
100k	1	1	-2.3	0	8	4.2	0	9	3.1	0	12	-3.8
250k	0	2	4.2	1	0	-6.3	1	0	3.1	0	4	0
350k	0	2	-25.6	0	2	-10.7	0	2	-1.8	1	0	-10.7
400k	0	2	-34.9	0	2	-21.9	0	2	-14.1	1	0	-21.9

表 30.20 各ビットレートに対する BRR の設定例（簡易 IIC モードの場合） (3/3)

ビットレート (bps)	動作周波数 TCLK (MHz)								
	50			60			120		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	1	38	-0.2	1	46	-0.3	1	93	-0.3
25k	0	62	-0.8	0	74	0	0	149	0
50k	0	30	0.8	0	37	-1.3	0	74	0
100k	2	0	-2.3	0	18	-1.3	0	37	-1.3
250k	0	5	4.2	1	1	-6.3	0	14	0
350k	0	4	-10.7	0	4	7.1	0	10	-2.6
400k	0	4	-21.9	0	4	-6.3	0	9	-6.3

表 30.21 各ビットレートでの SCL High/Low 幅最小値（簡易 IIC モードの場合） (1/4)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	8			10			16			20		
	n	N	High/Low レベルの最小幅 (μs)	n	N	High/Low レベルの最小幅 (μs)	n	N	High/Low レベルの最小幅 (μs)	n	N	High/Low レベルの最小幅 (μs)
10k	0	24	43.75/50.00	0	30	43.40/49.60	0	49	43.75/50.00	0	62	44.10/50.40
25k	0	9	17.50/20.00	0	12	18.20/20.80	1	4	17.50/20.00	0	24	17.50/20.00
50k	0	4	8.75/10.00	0	5	8.40/9.60	0	9	8.75/10.00	0	12	9.10/10.40
100k	0	2	5.25/6.00	0	2	4.20/4.80	0	4	4.37/5.00	0	5	4.20/4.80

表 30.21 各ビットレートでの SCL High/Low 幅最小値（簡易 IIC モードの場合） (2/4)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	8			10			16			20		
	n	N	High/Low レベルの最小幅 (µs)	n	N	High/Low レベルの最小幅 (µs)	n	N	High/Low レベルの最小幅 (µs)	n	N	High/Low レベルの最小幅 (µs)
250k	0	0	1.75/2.00	0	1	1.40/1.60	0	1	1.75/2.00	0	2	2.10/2.40
350k										0	1	1.40/1.60
400k										0	1	1.40/1.60

表 30.21 各ビットレートでの SCL High/Low 幅最小値（簡易 IIC モードの場合） (3/4)

ビットレート (bps)	動作周波数 TCLK (MHz)											
	25			30			33			40		
	n	N	High/Low レベルの最小幅 (µs)	n	N	High/Low レベルの最小幅 (µs)	n	N	High/Low レベルの最小幅 (µs)	n	N	High/Low レベルの最小幅 (µs)
10k	0	77	43.68/49.92	0	93	43.87/50.13	0	102	43.70/49.94	0	124	43.75/50.00
25k	0	30	17.36/19.84	0	37	17.73/20.27	0	40	17.39/19.88	0	49	17.50/20.00
50k	2	0	8.96/10.24	1	4	8.87/10.13	0	20	8.91/10.18	0	24	8.75/10.00
100k	1	1	4.48/5.12	0	8	4.20/4.80	0	9	4.24/4.85	0	12	4.55/5.20
250k	0	2	1.68/1.92	1	0	1.87/2.13	1	0	1.70/1.94	0	4	1.75/2.00
350k	0	2	1.68/1.92	0	2	1.40/1.60	0	2	1.27/1.45	1	0	1.40/1.60
400k	0	2	1.68/1.92	0	2	1.40/1.60	0	2	1.27/1.45	1	0	1.40/1.60

表 30.21 各ビットレートでの SCL High/Low 幅最小値（簡易 IIC モードの場合） (4/4)

ビットレート (bps)	動作周波数 TCLK (MHz)								
	50			60			120		
	n	N	High/Low レベルの最小幅 (µs)	n	N	High/Low レベルの最小幅 (µs)	n	N	High/Low レベルの最小幅 (µs)
10k	1	38	43.68/49.92	1	46	43.87/50.03	1	93	43.87/50.13
25k	0	62	17.64/20.16	0	74	17.50/20.00	0	149	17.50/20.00
50k	0	30	8.68/9.92	0	37	8.87/10.13	0	74	8.75/10.00
100k	2	0	4.48/5.12	0	18	4.43/5.07	0	37	4.43/5.07
250k	0	5	1.68/1.92	1	1	1.87/2.13	0	14	1.75/2.00
350k	0	4	1.40/1.60	0	4	1.17/1.33	0	10	1.28/1.47
400k	0	4	1.40/1.60	0	4	1.17/1.33	0	9	1.17/1.33

BRME ビット（ビットレート変調有効）

ビットレート変調機能を有効または無効にします。有効にすると、内蔵ボーレートジェネレータにより生成されるビットレートが均一に補正されます。

クロック同期式モード、簡易 SPI モード、スマートカードインタフェースモード、マンチェスタモードおよび簡易 LIN モードでは、0 にしてください。

調歩同期式モードにおいても、ABCSE2 = 1 のときはこのビットを 0 にしてください。

CKS[1:0]ビット（クロック選択）

CKS[1:0]ビットは内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0]ビットの設定値とボーレートの関係については、BRR[7:0]ビットの説明を参照してください。

MDDR[7:0]ビット（変調デューティ設定）

BRME ビットが 1 のとき、内蔵ボーレートジェネレータにより生成されるビットレートは、MDDR の設定値 (M/256) に応じて均一に補正されます。MDDR の設定値 M とビットレート B の関係を表 30.22 に示します。

MDDR の初期値は FFh です。CCR2 のビット 7 は 1 に固定されています。

表 30.22　ビットレート変調機能使用時の MDDR の設定値 M とビットレート B の関係

モード(注1)	CCR2 の設定			BRR 設定値	誤差
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式マルチプロセッサ転送	0	0	0	$N = \frac{TCLK \times 10^6}{64 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{\frac{TCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1\right\} \times 100$
	1	0	0	$N = \frac{TCLK \times 10^6}{32 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{\frac{TCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1\right\} \times 100$
	0	1	0		
	1	1	0	$N = \frac{TCLK \times 10^6}{16 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{\frac{TCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1\right\} \times 100$
	x（任意）	x（任意）	1 (注2)	$N = \frac{TCLK \times 10^6}{12 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{\frac{TCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1\right\} \times 100$
簡易 IIC(注2)	$N = \frac{TCLK \times 10^6}{64 \times 2^{2n-1} \times (256/M) \times B} - 1$				

注.　B：ビットレート (bps)
M: MDDR の設定値 (128 ≦ M ≦ 255)
N：ボーレートジェネレータの BRR の設定値 (0 ≦ N ≦ 255)
TCLK：動作周波数 (MHz)
n：表 30.9 に記載されているように、CKS[1:0]の設定値によって決定。

注 1.　クロック同期式モード、簡易 SPI モード、スマートカードインタフェースモード、マンチェスタモード、および簡易 LIN モードでは、この機能を使用しないでください。

注 2.　簡易 IIC モードでは、SCL 出力の High/Low 幅が I2C 規格を満たすように、ビットレートを調整してください。

表 30.23 および表 30.24 に、調歩同期式モードにおける BRR の N と MDDR の M の設定例を示します。

表 30.23　各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード） (1) (1/4)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	8					9.8304					10				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	5	236	0	0.03	0	7	(256) (注1)	0	0	0	10	173	1	-0.01
57600	0	3	236	0	0.03	0	4	240	0	0	0	4	236	0	0.03
115200	0	1	236	0	0.03	0	1	192	0	0	0	4	236	1	0.03
230400	0	0	236	0	0.03	0	0	192	0	0	0	1	189	1	0.14
460800	0	0	236	1	0.03	0	0	192	1	0	0	0	189	1	0.14

表 30.23　各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード） (1) (2/4)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	12					12.288					14				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	8	236	0	0.03	0	9	(256) (注1)	0	0	0	16	191	1	0

表 30.23 各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード） (1) (3/4)

ビットレート (bps)	動作周波数 TCLK (MHz)													
	12					12.288					14				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
57600	0	5	236	0	0.03	0	4	192	0	0	0	13	236	1	0.03
115200	0	2	236	0	0.03	0	4	192	1	0	0	6	236	1	0.03
230400	0	2	236	1	0.03	0	2	230	1	-0.17	0	2	202	1	-0.11
460800	0	0	157	1	-0.18	0	0	154	1	0.26	0	0	135	1	0.14

表 30.23 各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード） (1) (4/4)

ビットレート (bps)	動作周波数 TCLK (MHz)													
	16					17.2032					18				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	11	236	0	0.03	0	13	(256) (注1)	0	0	0	18	166	1	-0.01
57600	0	7	236	0	0.03	0	6	192	0	0	0	18	249	1	-0.01
115200	0	3	236	0	0.03	0	6	192	1	0	0	8	236	1	0.03
230400	0	1	236	0	0.03	0	3	219	1	-0.2	0	1	210	0	0.14
460800	0	1	236	1	0.03	0	1	219	1	-0.2	0	0	210	0	0.14

注. これは、CCR2.ABCS が 0、かつ CCR2.ABCSE が 0 の場合の例です。
注 1. ビットレート変調機能は無効です。(CCR2.BRME = 0, M = 256)

表 30.24 各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード） (2) (1/4)

ビットレート (bps)	動作周波数 TCLK (MHz)													
	19.6608					20					25				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	15	(256) (注1)	0	0	0	10	173	0	-0.01	0	11	151	0	0
57600	0	9	240	0	0	0	9	236	0	0.03	0	7	151	0	0
115200	0	4	240	0	0	0	4	236	0	0.03	0	3	151	0	0
230400	0	1	192	0	0	0	4	236	1	0.03	0	1	151	0	0
460800	0	0	192	0	0	0	0	189	0	0.14	0	0	151	0	0

表 30.24 各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード） (2) (2/4)

ビットレート (bps)	動作周波数 TCLK (MHz)													
	30					33					40				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	36	194	1	0.01	0	14	143	0	0.01	0	21	173	0	-0.01
57600	0	10	173	0	-0.01	0	9	143	0	0.01	0	38	230	1	-0.01
115200	0	10	173	1	-0.01	0	4	143	0	0.01	0	9	236	0	0.03
230400	0	6	220	1	-0.09	0	4	143	1	0.01	0	4	236	0	0.03

表 30.24 各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード） (2) (3/4)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	30					33					40				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
460800	0	3	252	1	0.14	0	1	229	0	0.1	0	4	236	1	0.03

表 30.24 各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード） (2) (4/4)

ビットレート (bps)	動作周波数 TCLK (MHz)														
	50					60					120				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	23	151	0	0	0	36	194	0	0.01	0	73	194	0	0.01
57600	0	15	151	0	0	0	21	173	0	-0.01	0	58	232	0	0
115200	0	7	151	0	0	0	10	173	0	-0.01	0	21	173	0	-0.01
230400	0	3	151	0	0	0	10	173	1	-0.01	0	10	173	0	-0.01
460800	0	1	151	0	0	0	6	220	1	-0.09	0	10	173	1	-0.01

注. これは、CCR2.ABCS が 0、かつ CCR2.ABCSE が 0 の場合の例です。
注 1. ビットレート変調機能は無効です。(CCR2.BRME = 0, M = 256)

30.2.8 CCR3 : 共通コントロールレジスタ 3

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～4, 9)
SCIn_B_NS = 0x5035_8000 + 0x0100 × n (n = 0～4, 9)

Offset address: 0x14

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	BLK	GM	—	ACS0	CKE[1:0]		—	—	DEN	FM	MP	MOD[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RXDESEL	STP	SINV	LSBF	—	—	CHR[1:0]		BPEN	—	—	—	—	—	CPOL	CPHA
Value after reset:	0	0	0	1	0	0	1	0	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
0	CPHA	クロック位相選択 クロック同期式モードと簡易 SPI モードで有効です。CCR0 レジスタの TE ビットと RE ビットがどちらも 0 のときにだけこのビットを設定してください。 0: データが奇数エッジでサンプリングされ、偶数エッジで変更される（クロック遅れあり） 1: データが奇数エッジで変更され、偶数エッジでサンプリングされる（クロック遅れなし）	R/W
1	CPOL	クロック極性選択 クロック同期式モードと簡易 SPI モードで有効です。CCR0 レジスタの TE ビットと RE ビットがどちらも 0 のときにだけこのビットを設定してください。 0: アイドル状態の SCKn が 0 1: アイドル状態の SCKn が 1	R/W
6:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
7	BPEN	同期回路バイパス許可 このビットは、バスクロックと動作クロックの間でシンクロナイザー回路をバイパスするかどうかを制御します。 0: 同期回路をバイパスしない 1: 同期回路をバイパスする	R/W
9:8	CHR[1:0]	キャラクタ長 調歩同期式モードおよびマンチェスタモードで有効です。(注1) 送受信用のデータ長を選択します。 0 0: データ長 9 ビットで送受信 0 1: データ長 9 ビットで送受信 1 0: データ長 8 ビットで送受信（初期値） 1 1: データ長 7 ビットで送受信(注2)	R/W
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	LSBF	LSB ファースト選択 簡易 IIC モードでは、このビットを 0 にしてください。 簡易 LIN モードでは、このビットを 1 にしてください。 0: MSB ファースト 1: LSB ファースト	R/W
13	SINV	送受信データ反転 簡易 IIC モードでは、本ビットを 0 にしてください。 通信端子 (RXDn/TXDn) のレベルは、本ビットと CCR1.TINV/RINV ビットの組み合わせにより制御されます。詳細は、図 30.3 を参照してください。 0: TDR レジスタの内容をそのまま TSR レジスタに送信 RSR レジスタの内容をそのまま RDR レジスタに格納 1: TSR レジスタへの送信前に TDR レジスタの内容を反転。 RSR レジスタの内容を反転して RDR レジスタに格納。	R/W
14	STP	ストップビット長 調歩同期式モード、マンチェスタモード、および簡易 LIN モードで有効です。 0: ストップビット長／ブレークデリミタ長は 1 ビットです。 1: ストップビット長／ブレークデリミタ長は 2 ビットです。	R/W
15	RXDESEL	調歩同期化スタートビットエッジ検出選択 調歩同期式モードでのみ有効です。 簡易 LIN モードでは、このビットを 1 にしてください。 0: RXDn 端子入力の Low レベルでスタートビットを検出 1: RXDn 端子入力の立ち下がりエッジでスタートビットを検出	R/W
18:16	MOD[2:0]	通信モード選択 SCI 通信モードの設定を選択します。 0 0 0: 調歩同期式モード（マルチプロセッサモード） 0 0 1: スマートカードインタフェースモード 0 1 0: クロック同期式モード 0 1 1: 簡易 SPI モード 1 0 0: 簡易 IIC モード 1 0 1: マンチェスタモード 1 1 0: 簡易 LIN モード 1 1 1: 設定禁止	R/W
19	MP	マルチプロセッサモード 調歩同期式モードとマンチェスタモードで有効です。 0: マルチプロセッサ通信機能が無効 1: マルチプロセッサ通信機能が有効	R/W
20	FM	FIFO モード選択 調歩同期式モード（マルチプロセッサモードを含む）、クロック同期式モード、および簡易 SPI モードで有効です。 0: TDR レジスタと RDR レジスタを非 FIFO バッファ構成とする 1: TDR レジスタと RDR レジスタを FIFO バッファ構成とする	R/W
21	DEN	ドライバイネーブル 0: RS-485 ドライバコントロール機能は無効 1: RS-485 ドライバコントロール機能は有効	R/W
23:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	CKE[1:0]	クロック許可 詳細は表 30.26 を参照してください。	R/W

ビット	シンボル	機能	R/W
26	ACS0	調歩同期クロックソース選択 調歩同期式モードでのみ有効です。 SCI1 以外の SCI チャネルでは、これらのビットは予約ビットです。 0: 外部クロック入力 1: 内部 GPT からのコンペアマッチ出力の論理積	R/W
27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	GM	GSM モード スマートカードインタフェースモードでのみ有効です。 0: 非 GSM モードで動作 1: GSM モードで動作	R/W
29	BLK	ブロック転送モード スマートカードインタフェースモードでのみ有効です。 0: 非ブロック転送モードで動作 1: ブロック転送モードで動作	R/W
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3
注 1. 調歩同期式モードおよびマンチェスタモード以外では、このビットの設定に関わらずデータ長は 8 ビットになります。簡易 LIN モードでは 8 ビットのデータ長しか利用できないため、8 ビットが初期値となっています。
注 2. LSB ファースト固定となり、送信時に TDR の MSB（ビット 7）は送信されません。
注 3. SCI1 では、GPT クロックを選択することができます。

CPHA ビット（クロック位相選択）

CPHA ビットは、SCKn 端子からのクロック信号出力の位相を選択します。詳細は、図 30.99 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では 1 としてください。

CPOL ビット（クロック極性選択）

CPOL ビットは、SCKn 端子からのクロック信号出力の極性を選択します。詳細は、図 30.99 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では 1 としてください。

BPEN ビット（同期回路バイパス許可）

BPEN ビットは、同期回路バイパス機能を有効にするかどうかを選択します。バスクロック (PCLK) を動作クロック (TCLK) としても使用する場合はこのビットを 1 にしてください。詳細は、図 30.2 および「30.18. シンクロナイザーバイパス機能」を参照してください。

注. このビット設定の詳細については、「30.19.17. CCR3.BPEN ビットの設定に関する注意事項」を参照してください。

CHR[1:0]ビット（キャラクタ長）

送受信用のデータ長を選択します。

調歩同期式モードとマンチェスタモード以外では、データ長は 8 ビット固定です。

LSBF ビット（LSB ファースト選択）

MSB ファーストと LSB ファーストのどちらでデータの送受信を行うかを選択します。

SINV ビット（送受信データ反転）

SINV ビットでは、TDR レジスタから TSR レジスタへの送信データビットの反転、および RSR レジスタから RDR レジスタへの受信データの反転が可能です。SINV ビットは、パリティビットのロジックレベルには影響を与えません。パリティビットを反転させる場合は、CCR1.PM ビットを反転してください。

STP ビット（ストップビット長）

送信のストップビット長を選択します。

受信時には、STP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみがチェックされます。2 ビット目が 0 の場合は、次の送信フレームのスタートビットと見なされます。

また、スタートフレームを簡易 LIN モードで送出するときは、これをブレークデリミタ長として使用します。

RXDESEL ビット（調歩同期化スタートビットエッジ検出選択）

調歩同期式モードで受信する場合のスタートビットの検出方法を選択します。RXDESEL ビットの設定により、ブレーク時のデータ受信動作が異なります。ブレーク中に受信動作を停止させたい場合、またはブレーク終了後に RXDn 端子入力を 1 フレーム期間以上 High レベルに保持せずに受信を開始したい場合、このビットを 1 にしてください。

簡易 LIN モードでは、このビットを 1 にしてください。調歩同期式モードと簡易 LIN モード以外では、このビットを 0 にしてください。

MOD[2:0]ビット（通信モード選択）

SCI 通信モードを選択します。

表 30.25　通信モード選択ビット (MOD[2:0]) と他の動作モード設定ビットの関係

通信モード	調歩同期式								スマートカードインタフェース	クロック同期式	簡易 SPI				簡易 IIC	マンチェスタ		簡易 LIN
CCR3.MOD[2:0]	000b								001b	010b	011b				100b	101b		110b
CCR3.MP	0				1				—	—	—				—	0	1	—
CCR3.FM	0		1		0		1		—	0	1	0		1	—	—		—
CCR3.DEN	0	1	0	1	0	1	0	1	—	—	—				—	—		—
CCR0.SSE	—								—		0	1	0	1	—	—		—

注.　「—」は設定禁止を示します。

MP ビット（マルチプロセッサモード）

マルチプロセッサ通信機能の有効／無効を設定します。マルチプロセッサモードでは、PE ビットと PM ビットの設定は無効です。

FM ビット（FIFO モード選択）

FM ビットを 1 にすると、TDR レジスタ／RDR レジスタは FIFO 構成となり、送信 FIFO（TDR レジスタ）／受信 FIFO（RDR レジスタ）をシリアル送信／受信に使用できるようになります。

DEN ビット（ドライバイネーブル）

RS-485 ドライバコントロール機能の有効／無効を選択します。

CKE[1:0]ビット（クロック許可）

表 30.26　クロック許可ビット (CKE[1:0]) と動作モードの関係 (1/2)

CKE[1:0]	機能
00b	調歩同期式モードの場合 　内蔵ボーレートジェネレータ 　I/O ポートの設定に従って、SCKn 端子は入出力ポートとして使用できます。 マンチェスタモードと簡易 LIN モードの場合 　内蔵ボーレートジェネレータ 　SCKn 端子は入出力ポートとして使用できます。 クロック同期式モードと簡易 SPI モードの場合 　内部クロック（マスタ動作） 　SCKn 端子はクロック出力端子となります。 スマートカードインタフェースモードの場合（CCR3.GM が 0 のとき） 　出力禁止（I/O ポートの設定に従って、SCKn 端子は入出力ポートとして使用できます。） スマートカードインタフェースモードの場合（CCR3.GM が 1 のとき） 　Low 出力固定

表 30.26　クロック許可ビット (CKE[1:0]) と動作モードの関係 (2/2)

CKE[1:0]	機能
01b	調歩同期式モードの場合 内蔵ボーレートジェネレータ SCKn 端子からビットレートと同じ周波数のクロックを出力します。 マンチェスタモードと簡易 LIN モードの場合 禁止 クロック同期式モードと簡易 SPI モードの場合 内部クロック（マスタ動作） SCKn 端子はクロック出力端子となります。 スマートカードインタフェースモードの場合（CCR3.GM が 0 のとき） クロック出力 スマートカードインタフェースモードの場合（CCR3.GM が 1 のとき） クロック出力
10b	調歩同期式モードの場合 外部クロックまたは GPT クロック ● 外部クロックを使用する場合 CCR2.ABCS ビットが 0 のとき、SCKn 端子からビットレートの 16 倍の周波数のクロックを入力してください。CCR2.ABCS ビットが 1 のとき、ビットレートの 8 倍の周波数のクロックを入力してください。 ● GPT クロックを使用する場合(注3) GPT クロック使用時は、I/O ポートの設定に従って、SCKn 端子を入出力ポートとして使用できます。 マンチェスタモードと簡易 LIN モードの場合 禁止 クロック同期式モードと簡易 SPI モードの場合 外部クロック（スレーブ動作） SCKn 端子はクロック入力端子となります。 スマートカードインタフェースモードの場合（CCR3.GM が 0 のとき） 禁止 スマートカードインタフェースモードの場合（CCR3.GM が 1 のとき） High 出力固定
11b	調歩同期式モードの場合 外部クロックまたは GPT クロック ● 外部クロックを使用する場合 CCR2.ABCS ビットが 0 のとき、SCKn 端子からビットレートの 16 倍の周波数のクロックを入力してください。CCR2.ABCS ビットが 1 のとき、ビットレートの 8 倍の周波数のクロックを入力してください。 ● GPT クロックを使用する場合(注3) GPT クロック使用時は、I/O ポートの設定に従って、SCKn 端子を入出力ポートとして使用できます。 マンチェスタモードと簡易 LIN モードの場合 禁止 クロック同期式モードと簡易 SPI モードの場合 外部クロック（スレーブ動作） SCKn 端子はクロック入力端子となります。 スマートカードインタフェースモードの場合（CCR3.GM が 0 のとき） 禁止 スマートカードインタフェースモードの場合（CCR3.GM が 1 のとき） クロック出力

CKE[1:0]ビットは、クロックソースと SCKn 端子機能を選択します。

これらのビットと CCR3.ACS0 ビットの設定の組み合わせによって内部 GPT クロックを設定します。

スマートカードインタフェースモードでは、SCKn 端子からのクロック出力を制御します。

GSM モードでは、クロック出力を動的に切り替えることが可能です。詳細は、「30.7.8. クロック出力制御」を参照してください。

GM ビット（GSM モード）

GM ビットを 1 にすると、GSM モードで動作します。

GSM モードでは、CSR.TEND フラグのセットタイミングが、先頭から 11.0 etu（etu：elementary time unit = 1 ビット転送時間）に繰り上げられ、クロック出力制御機能が追加されます。詳細は、「30.7.6. シリアルデータの送信（ブロック転送モードを除く）」、「30.7.8. クロック出力制御」を参照してください。

ACS0 ビット（調歩同期クロックソース選択）

調歩同期式モードにおける、クロックソースを選択します。

ACS0 ビットは、調歩同期式モード (CCR3.MOD[2:0] = 000b) で、外部クロック入力（CCR3.CKE[1:0] = 10b または 11b）のときに有効です。このビットは、外部クロック入力か、内部 GPT からのコンペアマッチ出力の論理積を選択するのに使用します。

調歩同期式モード以外では、ACS0 ビットを 0 にしてください。

SCI1 では、GPT の GTIOCmA 出力 (m = 3, 4) をシリアル転送基本クロックにできます。詳細は表 30.27 を参照してください。

SCI1 と SCI2 を除く SCI チャネルでは、これらのビットは予約ビットです。SCI1、SCI2 以外のビットでは書き込みは 0 にしてください。

表 30.27　SCI チャネルとコンペアマッチ出力の関係

SCI	GPT	コンペアマッチ出力
SCI1	GPT3	GTIOC3A
	GPT4	GTIOC4A

GTIOC3A および GTIOC4A が出力に選択されている場合の設定例を図 30.4 および図 30.5 に示します。この図は、GPT クロックが SCI1 に入力される場合の例を示します。

PCLKD = 32 MHz で GPT 平均転送レートが 187.5 kbps の場合：

1. 基本クロックとして GTIOC3A を使って 4 MHz の周波数を生成する。
2. 基本クロックの 3/4 クロックイネーブルを生成し、GTIOC4A を使って 3 MHz/16 = 187.5 kbps の平均転送レートを設定する。

GPT および SCI の設定例

- GPT3.GTSSR = 0x80000000、GPT4.GTSSR = 0x80000000（ソフトウェアカウンタ開始許可）
- GPT3.GTPR = 0x00000007、GPT4.GTPR = 0x0000001F（GTCNT の最大カウント値)
- GPT3.GTCCRA = 0x00000003、GPT4.GTCCRA = 0x00000007（コンペアマッチ値）
- GPT3.GTCR = 0x00000000、GPT4.GTCR = 0x00000000（のこぎり波 PWM モード、タイマプリスケーラは PCLKD）
- GPT3.GTIOR = 0x00000306、GPT4.GTIOR = 0x00000306
  （初期出力 Low、GTCCRA コンペアマッチで High 出力、周期の終わりで Low 出力）
- CCR3.CKE[1:0] = 10b（外部クロック入力または GPT クロック入力を選択）
- CCR3.ACS0 = 1、CCR2.ABCSE = 1、CCR2.ABCS = 0（1 ビット期間中の基本クロックパルス数で GPT クロック入力を選択）
- GPT3.GTSTR = 0x00000018（ソフトウェア起動 GTCNT カウンタ）

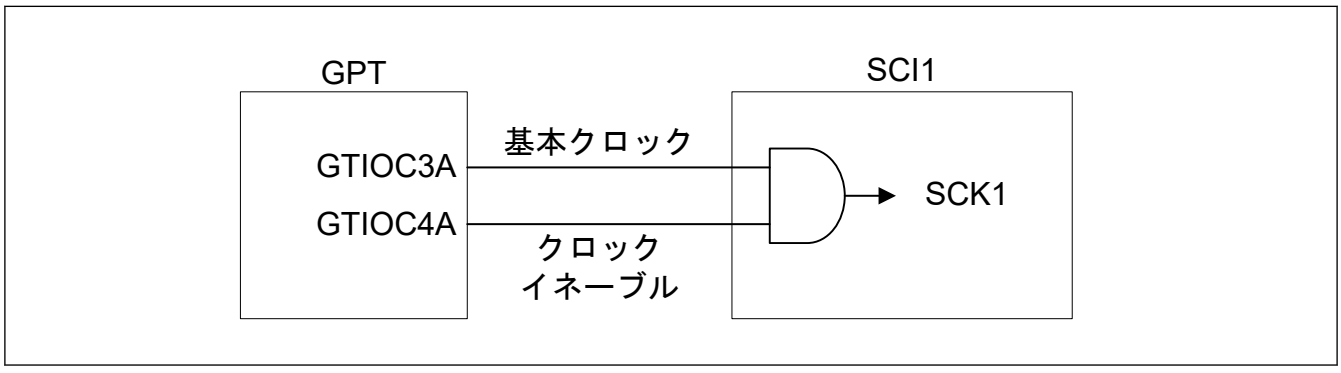


図 30.4　GPT と SCI の接続例

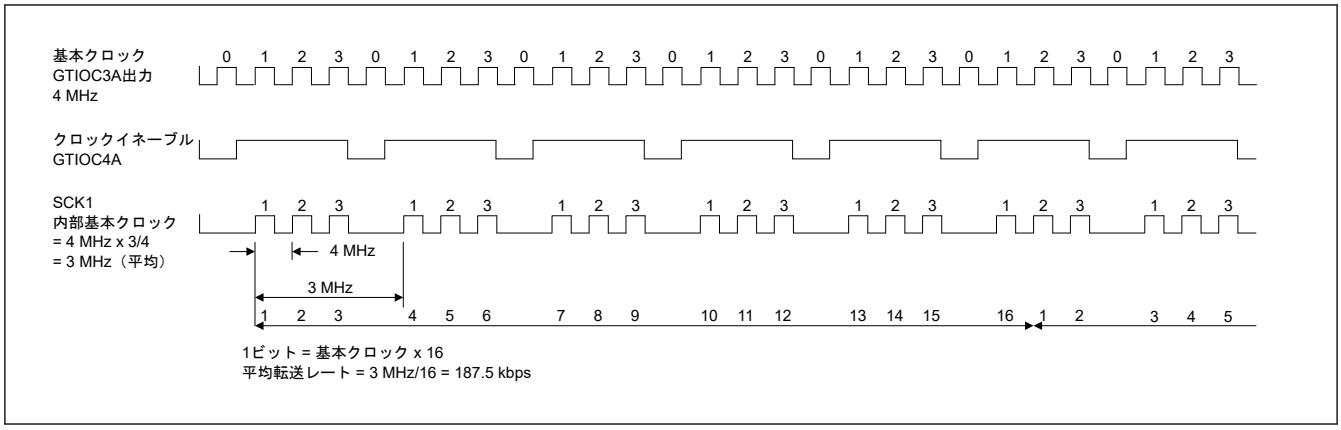


図 30.5　GPT クロック入力時の平均転送レート設定例

BLK ビット（ブロック転送モード）

BLK ビットを 1 にすると、ブロック転送モードで動作します。

詳細は、「30.7.3. ブロック転送モード」を参照してください。

30.2.9　CCR4 : 共通コントロールレジスタ 4

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～4, 9)
SCIn_B_NS = 0x5035_8000 + 0x0100 × n (n = 0～4, 9)

Offset address: 0x18

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	AET	ATT[2:0]			AJD	AST[2:0]			—	—	—	—	SCKSEL	—	ATEN	ASEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CMPD[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	CMPD[8:0]	コンペアマッチデータ 調歩同期式モードでのみ有効です。	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	ASEN	受信サンプリングタイミング調整有効 内部クロックを使用した調歩同期式モード、内部クロックを使用した簡易 LIN モード、マスタとして動作するクロック同期式モード、マスタとして動作する簡易 SPI モードで有効です。 0: サンプリングタイミング調整無効 1: サンプリングタイミング調整有効	R/W
17	ATEN	送信タイミング調整有効 内部クロックを使用した調歩同期式モードでのみ有効です。 0: 送信タイミング調整無効 1: 送信タイミング調整有効	R/W
18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
19	SCKSEL	マスタ受信クロック選択 クロック同期式モードと簡易 SPI モードでのみ有効です。 0: マスタ受信クロック無効 1: マスタ受信クロック有効	R/W
23:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
26:24	AST[2:0]	受信サンプリングタイミングの調整値 このビットは ASEN = 1 の場合にのみ有効です。 内部クロックを使用した調歩同期式モードと簡易 LIN モードの場合 RXDn 端子のサンプリングタイミングは、次の式によってビットの中間から調整されます。 調整サンプリングタイミング = 基本クロック × AST[2:0]の設定値 内部クロックを使用したクロック同期式モードと簡易 SPI モードの場合 1～4 TCLK 遅延させることにより、RXDn サンプリングタイミングを調整できます。 0 0 0: TCLK 1 サイクルの遅延 0 0 1: TCLK 2 サイクルの遅延 0 1 0: TCLK 3 サイクルの遅延 0 1 1: TCLK 4 サイクルの遅延 その他: 設定禁止	R/W
27	AJD	受信サンプリングタイミングの調整方向 内部クロックを使用した調歩同期式モードと内部クロックを使用した簡易 LIN モードで有効です。 このビットは ASEN = 1 の場合にのみ有効です。 RXDn の受信サンプリングタイミングの調整方向はこのビットで決まります。詳細は、「30.3.10. 受信サンプリングタイミング調整機能（調歩同期式モード）」を参照してください。 0: サンプリングタイミングはビットの中間に向かって後ろ方向に調整される 1: サンプリングタイミングはビットの中間に向って前方向に調整される	R/W
30:28	ATT[2:0]	送信タイミングの調整値 内部クロックを使用した調歩同期式モードと内部クロックを使用した簡易 LIN モードで有効です。 このビットは ATEN = 1 の場合にのみ有効です。 TXDn のエッジ選択タイミングは次の式によって調整されます。 調整エッジタイミング = 基本クロック × ATT[2:0]の設定値 この設定タイミングは基本クロックサイクルの設定によって制限されます。詳細は、「30.3.11. 送信タイミング調整機能（調歩同期式モード）」を参照してください。	R/W
31	AET	送信タイミングの調整エッジ 内部クロックを使用した調歩同期式モードと内部クロックを使用した簡易 LIN モードで有効です。 調整可能エッジはこのビットによって設定されます。ATEN = 1 のときのみ、本ビットは有効です。詳細は、「30.3.11. 送信タイミング調整機能（調歩同期式モード）」を参照してください。 0: CCR1.TINV が 0 のとき、立ち上がりエッジタイミングを調整 CCR1.TINV が 1 のとき、立ち下がりエッジタイミングを調整 1: CCR1.TINV が 0 のとき、立ち下がりエッジタイミングを調整 CCR1.TINV が 1 のとき、立ち上がりエッジタイミングを調整	R/W

注. S-TYPE-3、P-TYPE-3

CMPD[8:0]ビット（コンペアマッチデータ）

アドレス一致検出機能が有効（CCR0.DCME ビット = 1）のとき、受信データ用の比較データを設定します。CCR4.CMPD[8:0]は、CCR0.DCME ビットが 0 のときに書き込んでください。

比較データでは、3 種類のビット長（7 ビット長の CMPD[6:0]、8 ビット長の CMPD[7:0]、および 9 ビット長の CMPD[8:0]）から選択できます。

注. 本書の説明とタイミングチャートで ASEN/ATEN の設定値が示されていない場合は、受信サンプリング調整機能／送信タイミング調整機能がオフ（CCR4.ASEN = 0、CCR4.ATEN = 0）になっていることを意味します。

ASEN ビット（受信サンプリングタイミング調整有効）

ASEN ビットが 1 のときは、受信サンプリングタイミング調整機能が有効になっています。その制御は、調歩同期式モード、簡易 LIN モード、クロック同期式モード、簡易 SPI モードで異なります。

内部クロックを使用する調歩同期式モードの詳細は、「30.6.7. 内部クロックを使用したクロック同期式モードでの受信サンプリングタイミング調整機能」を参照してください。簡易 LIN モードで内部クロックを選択した場合の動作は、調歩同期式モードで内部クロックを選択した場合の動作と同じです。

マスタとして動作するクロック同期式モードおよびマスタとして動作する簡易 SPI モードの詳細は、「30.6.6. シリアルデータの同時送受信（クロック同期式モード）」を参照してください。このビットで制御できるのは、マスタモードの受信サンプリングクロックのデジタル遅延のみです。

ATEN ビット（送信タイミング調整有効）

ATEN ビットが 1 のとき、送信タイミング調整機能が有効になります。送信タイミング調整機能で、TXDn 端子からの波形出力のエッジタイミングを調整できます。詳細は、「30.3.11. 送信タイミング調整機能（調歩同期式モード）」を参照してください。

SCKSEL ビット（マスタ受信クロック選択）

クロック同期式モードまたは簡易 SPI モードにおいて、SCKSEL ビットはマスタ受信の内部クロックの有効または無効を選択します。

AST[2:0]ビット（受信サンプリングタイミングの調整値）

ASEN ビットが 1 のとき、このビット設定値に従って受信サンプリングタイミングを調整できます。

内部クロックを使用した調歩同期式モードおよび簡易 LIN モードの場合

RXDn 端子のサンプリングタイミングは、次の式によってビットの中間から調整されます。この設定値は基本クロックサイクルの設定によって制限されます。詳細は、「30.3.10. 受信サンプリングタイミング調整機能（調歩同期式モード）」を参照してください。

調整サンプリングタイミング = 基本クロック × AST[2:0]の設定値

クロック同期式モードおよび内部クロックを使用した簡易 SPI モードの場合

RXDn 端子のサンプリングタイミングは、1 TCLK～4 TCLK の範囲の遅延で調整できます。詳細は、「30.6.7. 内部クロックを使用したクロック同期式モードでの受信サンプリングタイミング調整機能」を参照してください。

000: TCLK 1 サイクルの遅延

001: TCLK 2 サイクルの遅延

010: TCLK 3 サイクルの遅延

011: TCLK 4 サイクルの遅延

1xx: 設定禁止

注. クロック同期式モードと簡易 SPI モードにおいて、SCK クロックサイクルの半周期以内で遅延時間を設定することが推奨されます。

AJD ビット（受信サンプリングタイミングの調整方向）

RXDn 端子サンプリングタイミングの調整方向をビット中間から後ろ方向または前方向に設定します。詳細は、「30.3.10. 受信サンプリングタイミング調整機能（調歩同期式モード）」を参照してください。

ATT[2:0]ビット（送信タイミングの調整値）

AET ビットで指定される TXDn 端子のエッジタイミングは、基本クロック × ATT[2:0]の設定値で調整されます。設定可能な調整時間の上限は、基本クロックサイクルの数によって制限されます。詳細は、「30.3.11. 送信タイミング調整機能（調歩同期式モード）」を参照してください。

AET ビット（送信タイミングの調整エッジ）

タイミング調整用の TXDn 端子エッジを設定します。詳細は、「30.3.11. 送信タイミング調整機能（調歩同期式モード）」を参照してください。

30.2.10 ICR : 簡易 IIC コントロールレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～4, 9)
SCIn_B_NS = 0x5035_8000 + 0x0100 × n (n = 0～4, 9)

Offset address: 0x20

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	IICSCLS[1:0]		IICSDAS[1:0]		—	IICSTPREQ	IICRSTAREQ	IICSTAREQ
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	IICACKT	—	—	—	IICCSC	IICINTM	—	—	—	IICDL[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	IICDL[4:0]	SDA 遅延出力選択 以下のサイクル数は、内蔵ボーレートジェネレータからのクロック信号のサイクル数です。 0x00: 出力遅延なし 0x01: 0～1 サイクル 0x02: 1～2 サイクル 0x03: 2～3 サイクル 0x04: 3～4 サイクル 0x05: 4～5 サイクル ⋮ 0x1E: 29～30 サイクル 0x1F: 30～31 サイクル	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	IICINTM	IIC 割り込みモード選択 0: ACK 割り込み、NACK 割り込みを使用 1: 受信割り込みおよび送信割り込みを使用	R/W
9	IICCSC	クロック同期化 0: クロック信号と同期しない 1: クロック信号と同期する	R/W
12:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13	IICACKT	ACK 送信データ 0: ACK 送信 1: NACK 送信または ACK/NACK 受信	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	IICSTAREQ	開始条件生成 0: スタートコンディションを生成しない 1: スタートコンディションを生成する(注1) (注3) (注4) (注5)	R/W
17	IICRSTAREQ	再開始条件生成 0: リスタートコンディションを生成しない 1: リスタートコンディションを生成する(注2) (注3) (注4) (注5)	R/W
18	IICSTPREQ	停止条件生成 0: ストップコンディションを生成しない。 1: ストップコンディションを生成する(注2)(注3)(注4) (注5)	R/W
19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
21:20	IICSDAS[1:0]	SDA 出力選択 0 0: シリアルデータ出力 0 1: スタートコンディション、リスタートコンディション、またはストップコンディションの生成 1 0: SDAn 端子は Low を出力 1 1: SDAn 端子はハイインピーダンス状態	R/W

ビット	シンボル	機能	R/W
23:22	IICSCLS[1:0]	SCL 出力選択 0 0: シリアルクロック出力 0 1: スタートコンディション、リスタートコンディション、またはストップコンディションの生成 1 0: SCLn 端子は Low を出力 1 1: SCLn 端子はハイインピーダンス状態	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3
注 1. バスフリー状態で、スタートコンディションの生成を行ってください。
注 2. バスフリー状態で、図 30.86 と図 30.87 に記載されているアクノリッジ後の SCLn 端子が Low のときにリスタートコンディションまたはストップコンディションの生成を行ってください。
注 3. IICSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットは、2 つ以上を 1 にしないでください。
注 4. IICSTIF フラグの値を 0 にしてから、条件生成を行ってください。
注 5. このビットが 1 の状態にあるとき、0 を書き込まないでください。このビットが 1 の状態にあるときに 0 を書き込むと、条件生成が中断します。

IICDL[4:0]ビット（SDA 遅延出力選択）

IICDL[4:0]ビットは、SCLn 端子出力の立ち下がりエッジに対する SDAn 端子出力の遅延を設定するために使用します。内蔵ボーレートジェネレータからのクロック信号を基準として、「遅延なし」から 31 サイクルまでの範囲で設定が可能です。CCR2.CKS[1:0]ビットの設定によって分周された TCLK クロックが、内蔵ボーレートジェネレータからのクロック信号として供給されます。

簡易 IIC モード以外では、これらのビットを 00000b にしてください。簡易 IIC モードでは、これらのビットを 00001b～11111b の範囲で設定してください。

IICINTM ビット（IIC 割り込みモード選択）

IICINTM ビットは、簡易 IIC モードにおいて、割り込み要求の要因を選択します。

IICCSC ビット（クロック同期化）

他のデバイスがウェイトを挿入するなどの目的で SCLn 端子を Low にしたときや、内部で生成する SCLn クロック信号を同期化するときは、IICCSC ビットを 1 にします。

IICCSC ビットを 0 にすると、SCLn クロック信号の同期化は行われません。SCLn 端子の入力レベルにかかわらず、BRR レジスタで選択したビットレートに従って SCLn クロック信号が生成されます。

デバッグ時を除いて、IICCSC ビットは 1 にしてください。

IICACKT ビット（ACK 送信データ）

送信データは ACK ビットを含みます。ACK ビットおよび NACK ビット受信時は、このビットを 1 にしてください。

IICSTAREQ ビット（開始条件生成）

開始条件の生成を行うときは、IICSTAREQ ビットを 1 にするとともに、IICSDAS[1:0]ビットと IICSCLS[1:0]ビットをそれぞれ 01b にしてください。

ストップコンディションの生成後にスタートコンディションを生成する場合は、ストップコンディション生成割り込み (STI) 要求出力からのビットレートの半周期でスタートコンディションの生成を開始してください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 開始条件の生成終了

IICRSTAREQ ビット（再開始条件生成）

再開始条件の生成を行うときは、IICRSTAREQ ビットを 1 にするとともに、IICSDAS[1:0]ビットと IICSCLS[1:0]ビットをそれぞれ 01b にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 再開始条件の生成終了

IICSTPREQ ビット（停止条件生成）

停止条件の生成を行うときは、IICSTPREQ ビットを 1 にするとともに、IICSDAS[1:0]ビットと IICSCLS[1:0]ビットをそれぞれ 01b にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 停止条件の生成終了

IICSDAS[1:0]ビット（SDA 出力選択）

IICSDAS[1:0]ビットは、SDAn 端子からの出力を制御します。

IICSCLS[1:0]ビット（SCL 出力選択）

IICSCLS[1:0]ビットは、SCLn 端子からの出力を制御します。

30.2.11 FCR : FIFO コントロールレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～4, 9)
SCIn_B_NS = 0x5035_8000 + 0x0100 × n (n = 0～4, 9)

Offset address: 0x24

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	RSTRG[4:0]					RFRST	—	—	RTRG[4:0]				
Value after reset:	0	0	0	1	1	1	1	1	0	0	0	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TFRST	—	—	TTRG[4:0]					—	—	—	—	—	—	—	DRES
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DRES	受信データレディエラー選択ビット 調歩同期式モードで有効です。 このビットは受信データレディエラー検出用の割り込み要求を選択します。 0: 受信データフル割り込み (SCIn_RXI) 1: 受信エラー割り込み (SCIn_ERI)	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12:8	TTRG[4:0]	送信 FIFO データトリガ数 調歩同期式モード（マルチプロセッサモードを含む）、クロック同期式モード、および簡易 SPI モードで有効です。 トリガ数は 15 以下にする必要があります。 0x00: トリガ数 0 ⋮ 0x1F: トリガ数 31	R/W
14:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	TFRST	送信 FIFO データレジスタリセット このビットは CCR3.FM が 1 の場合にのみ有効です。 読むと常に 0 が読めます。 0: このビットは無効になるが動作に影響はない 1: 送信 FIFO（TDR レジスタ）に格納されたデータの数を 0 にする	W

ビット	シンボル	機能	R/W
20:16	RTRG[4:0]	受信 FIFO データトリガ数 調歩同期式モード（マルチプロセッサモードを含む）、クロック同期式モード、および簡易 SPI モードで有効です。 トリガ数は 15 以下にする必要があります。 0x00: トリガ数 0 ⋮ 0x1F: トリガ数 31	R/W
22:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23	RFRST	受信 FIFO データレジスタリセット このビットは CCR3.FM が 1 の場合にのみ有効です。 読むと常に 0 が読めます。 0: このビットは無効になるが動作に影響はない 1: 受信 FIFO（RDR レジスタ）に格納されたデータの数を 0 にする	W
28:24	RSTRG[4:0]	RTS 出力アクティブトリガ数選択 調歩同期式モード（マルチプロセッサモードを含む）およびクロック同期式モードで有効です。 このビットは、CCR3.FM = 1、CCR1.CTSE = 0、CCR0.SSE = 0 の場合にのみ有効です。 トリガ数は 15 以下にする必要があります。 0x00: トリガ数 0 ⋮ 0x1F: トリガ数 31	R/W
31:29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

DRES ビット（受信データレディエラー選択ビット）

受信データレディ (FRSR.DR flag = 1) の検出により、SCIn_RXI 割り込み要求が発生するのか SCIn_ERI 要求が発生するのかを選択します。

TTRG[4:0]ビット（送信 FIFO データトリガ数）

送信 FIFO（TDR レジスタ）内の送信データの数が指定された送信トリガ数以下であると、TDRE フラグが 1 になります。CCR0.TIE = 1 の場合は、SCIn_TXI 割り込み要求が発生します。

注. トリガ数は 15 にする必要があります。トリガ数を 16 以上にした場合は、予期しない SCIn_TXI 割り込みが発生します。

TFRST ビット（送信 FIFO データレジスタリセット）

TFRST ビットを 1 にすると、送信 FIFO（TDR レジスタ）に格納された送信データの数が 0 になります。

RTRG[4:0]ビット（受信 FIFO データトリガ数）

受信 FIFO（RDR レジスタ）内の受信データの数が指定された受信トリガ数以上になると、CSR.RDRF フラグが 1 になります。CCR0.RIE = 1 の場合は、SCIn_RXI 割り込み要求が発生します。FCR.RTRG ビットを 0 にした場合は、受信 FIFO 内のデータの数が 1 以上になると、RDRF フラグが 1 になります。

注. トリガ数は 15 にする必要があります。トリガ数を 16 以上にした場合は、予期しない SCIn_RXI 割り込みが発生します。

RFRST ビット（受信 FIFO データレジスタリセット）

RFRST ビットを 1 にすると、受信 FIFO（RDR レジスタ）に格納された受信データの数が 0 になります。

RSTRG[4:0]ビット（RTS 出力アクティブトリガ数選択）

受信 FIFO（RDR レジスタ）に格納された受信データの数がこの数値以上になると、RTSn 信号が High 状態になります。FCR.RSTRG ビットを 0 にした場合は、受信 FIFO 内のデータの数が 1 以上になると、RTSn が High 状態になります。

注. トリガ数は 15 にする必要があります。トリガ数を 16 以上にした場合は、予期しないタイミングで RTSn が High 状態になります。

30.2.12 MCR : マンチェスタコントールレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0)
SCIn_B_NS = 0x5035_8000 + 0x0100 × n (n = 0)

Offset address: 0x2C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	SBERE N	SYERE N	PFERE N	—	—	RPPAT[1:0]		RPLEN[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	TPPAT[1:0]		TPLEN[3:0]				—	SBSEL	SYNSEL	SYNVAL	—	ERTEN	TMPOL	RMPOL
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RMPOL	受信マンチェスタコードの極性 受信マンチェスタコードの極性を設定します。 0: 論理 0 をマンチェスタコードの 0 から 1 への遷移によってコード化 論理 1 をマンチェスタコードの 1 から 0 への遷移によってコード化 1: 論理 0 をマンチェスタコードの 1 から 0 への遷移によってコード化 論理 1 をマンチェスタコードの 0 から 1 への遷移によってコード化	R/W
1	TMPOL	送信マンチェスタコードの極性 送信マンチェスタコードの極性を設定します 0: 論理 0 をマンチェスタコードの 0 から 1 への遷移によってコード化 論理 1 をマンチェスタコードの 1 から 0 への遷移によってコード化 1: 論理 0 をマンチェスタコードの 1 から 0 への遷移によってコード化 論理 1 をマンチェスタコードの 0 から 1 への遷移によってコード化	R/W
2	ERTEN	マンチェスタエッジ再タイミング許可 受信再タイミング機能を設定します。 0: 受信再タイミング機能が無効 1: 受信再タイミング機能が有効	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SYNVAL	SYNC 値設定 マンチェスタコードのスタートビットの SYNC タイプを設定します。 スタートビット領域が 1 ビットの場合 (SBSEL = 0) ● 送信時 0: 0 から 1 への遷移するスタートビットが追加されます。 1: 1 から 0 への遷移するスタートビットが追加されます。 ● 受信時 0: スタートビットが 0 から 1 に遷移した場合のみにデータが受信されます。他のケースはエラーと判定されます。 1: スタートビットが 1 から 0 に遷移した場合のみにデータが受信されます。他のケースはエラーと判定されます。 スタートビット領域が 3 ビットの場合 (SBSEL = 1) ● 送信時 0: 0 から 1 への遷移するスタートビットが追加されます (DATA SYNC)。 1: 1 から 0 への遷移するようにスタートビットがコーディングされます (COMMAND SYNC)。 ● 受信時 スタートビット領域が 3 ビットで構成される場合、このビットとは関係なしにデータが受信されます。	R/W
5	SYNSEL	SYNC 選択 0: スタートビットパターンを SYNVAL ビットで設定 1: スタートビットパターンが TSYNC ビットで設定されます。	R/W
6	SBSEL	スタートビット選択 0: スタートビット領域が 1 ビットで構成されます。 1: スタートビット領域を 3 ビットで構成 （COMMAND SYNC または DATA SYNC）	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
11:8	TPLEN[3:0]	送信プレフィス長 マンチェスタモードの送信データのプレフィス長を設定します。 0x0: 送信プレフィスの生成が無効 その他: 送信プレフィス長（ビット長）	R/W
13:12	TPPAT[1:0]	送信プレフィスパターン 送信データのプレフィスパターンを設定します。 0 0: すべて 0 0 1: 0 と 1 1 0: 1 と 0 1 1: すべて 1	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
19:16	RPLEN[3:0]	受信プレフィス長 マンチェスタモードが有効時に、プレフィス長を設定します。 0x0: 受信プレフィスの生成は無効 その他: 受信プレフィス長（ビット長）	R/W
21:20	RPPAT[1:0]	受信プレフィスパターン 受信フレームのプレフィスパターンを設定します 0 0: すべて 0 0 1: 0 と 1 1 0: 1 と 0 1 1: すべて 1	R/W
23:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	PFEREN	プレフィスエラー許可 プレフィスエラーを割り込み要因として扱うかどうかを指定します。 0: プレフィスエラーを割り込み要因として扱わない 1: プレフィスエラーを割り込み要因として扱う	R/W
25	SYEREN	受信 SYNC エラー許可 受信 SYNC エラーを割り込み要因として扱うかどうかを指定します。 0: 受信 SYNC エラーを割り込み要因として扱わない 1: 受信 SYNC エラーを割り込み要因として扱う	R/W
26	SBEREN	スタートビットエラー許可 スタートビットエラーを割り込み要因として扱うかどうかを指定します。 0: スタートビットエラーを割り込み要因として扱わない 1: スタートビットエラーを割り込み要因として扱う	R/W
31:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

RMPOL ビット（受信マンチェスタコードの極性）

RMPOL ビットは受信マンチェスタコードの極性を設定します。詳細は、「30.5.7. シリアルデータの受信（マンチェスタモード）」を参照してください。

TMPOL ビット（送信マンチェスタコードの極性）

TMPOL ビットは送信マンチェスタコードの極性を設定します。詳細は、「30.5.6. シリアルデータの送信（マンチェスタモード）」を参照してください。

ERTEN ビット（マンチェスタエッジ再タイミング許可）

ERTEN ビットはマンチェスタコードの受信再タイミング機能を設定します。

受信再タイミング機能については、「30.5.9. 受信再タイミング」を参照してください。

SYNVAL ビット（SYNC 値設定）

SYNVAL ビットは、MCR レジスタの SYNSEL ビットが 0 に設定されている場合に有効です。

SYNC タイプは、このビットと SBSEL ビットを組み合わせることによって設定できます。

このビットと SBSEL ビットを組み合わせることによって決まるスタートビット領域については、図 30.54 と図 30.55 を参照してください。

SYNSEL ビット（SYNC 選択）

SYNSEL ビットは、MCR レジスタの SBSEL ビットが 1 に設定されている場合に有効です。このビットは、マンチェスタフレームに追加されるスタートビット領域の SYNC タイプを設定する際の、参照先を指定します。

このビットが 0 のとき、MCR レジスタの SYNVAL ビットが参照されます。

このビットが 1 のとき、TDR レジスタの TSYNC ビットが参照されます。

SBSEL ビット（スタートビット選択）

SBSEL ビットはマンチェスタフレームのスタートビット領域を設定します。

このビットが 1 のときは、各フレームに追加されるスタートビット領域は 3 ビットで構成され、このレジスタの SYNSEL ビットと SYNVAL ビットが有効です。

このビットが 0 のときは、各フレームに追加されるスタートビット領域は 1 ビットで構成されます。

TPLEN[3:0]ビット（送信プレフィス長）

TPLEN[3:0]ビットは、マンチェスタモードにおける送信データのプレフィスビット長を設定します。

設定範囲は 0x0～0xF（0d～15d）です。0x0 を設定した場合、送信プレフィスが無効になり、付加されなくなります。

TPPAT[1:0]ビット（送信プレフィスパターン）

TPPAT[1:0]ビットはマンチェスタモードの 4 つのプレフィスパターンのうちのいずれかに設定されます。
TPPAT[1:0]ビットが設定されている場合の送信データについては、図 30.53 を参照してください。

これらビットが 00b に設定されている場合、プレフィス領域はすべて 0 に設定されます。

これらビットが 01b のとき、プレフィス領域は 0-1-0-1 のパターンに設定されます。

これらビットが 10b のとき、プレフィス領域は 1-0-1-0 のパターンに設定されます。

これらビットが 11b に設定されている場合、プレフィス領域はすべて 1 に設定されます。

RPLEN[3:0]ビット（受信プレフィス長）

RPLEN[3:0]ビットは、マンチェスタモードにおける受信フレームのプレフィスビット長を設定します。

設定範囲は 0x0～0xF（0d～15d）です。0x0 を設定した場合、受信プレフィスが無効になり、付加されなくなります。0x1～0xF が設定された場合は、設定値が受信プレフィスビット長として扱われます。

RPPAT[1:0]ビット（受信プレフィスパターン）

RPPAT[1:0]ビットはマンチェスタモードの 4 つのプレフィスパターンのうちのいずれかに設定されます。
RPPAT[1:0]ビットが設定されている場合の送信データと受信データについては、図 30.53 を参照してください。

これらビットが 00b に設定されている場合は、プレフィス領域はすべて 0 として扱われます。

これらビットが 01b のとき、プレフィス領域は 0-1-0-1 のパターンとして扱われます。

これらビットが 10b のとき、プレフィス領域は 1-0-1-0 のパターンとして扱われます。

これらビットが 11b に設定されている場合は、プレフィス領域はすべて 1 として扱われます。

PFEREN ビット（プレフィスエラー許可）

PFEREN ビットはプレフィスエラーを割り込み要因として扱うかどうかを指定します。

0 にすると、プレフィスエラーが割り込み要因として扱われません。1 にすると、プレフィスエラーが割り込み要因として扱われます。

SYEREN ビット（受信 SYNC エラー許可）

SYEREN ビットは受信 SYNC エラーを割り込み要因として扱うかどうかを指定します。

0 にすると、受信 SYNC エラーが割り込み要因として扱われません。1 にすると、受信 SYNC エラーが割り込み要因として扱われます。

SBEREN ビット（スタートビットエラー許可）

SBEREN ビットはスタートビットエラーを割り込み要因として扱うかどうかを指定します。

0 にすると、スタートビットエラーが割り込み要因として扱われません。1 にすると、スタートビットエラーが割り込み要因として扱われます。

30.2.13 DCR : ドライバコントロールレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～4, 9)
SCIn_B_NS = 0x5035_8000 + 0x0100 × n (n = 0～4, 9)

Offset address: 0x30

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	DENGT[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	DEAST[4:0]					—	—	—	—	—	—	—	DEPOL
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DEPOL	ドライバの有効極性選択 調歩同期式モードでのみ有効です。 0: DEn 信号がアクティブ High 1: DEn 信号がアクティブ Low	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12:8	DEAST[4:0]	ドライバアサート時間 調歩同期式モードでのみ有効です。 ドライバアサート時間を設定します。DEN = 1 のとき、通常の送信待機時間に加えてドライバアサート時間が挿入されます。 ビット DEAST[4:0] = 0x00 の設定は禁止です。	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20:16	DENGT[4:0]	ドライバネゲート時間 調歩同期式モードでのみ有効です。 ドライバネゲート時間を設定します。DEN = 1 のとき、ストップビット送信終了の後にドライバネゲート時間が挿入されます。 ビット DENGT[4:0] = 0x00 の設定は禁止です。	R/W
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

DEPOL ビット（ドライバの有効極性選択）

DEn 信号のアクティブレベルを選択します。

DEAST[4:0]ビット（ドライバアサート時間）

ドライバアサート時間（DEn（ドライバ有効）信号の起動からスタートビットの開始までの時間）を設定します。これは、基本クロック期間で表されます。

ドライバアサート時間

= DEAST[4:0] 設定値 × 基本クロック期間 + 送信待機時間

DENGT[4:0]ビット（ドライバネゲート時間）

ドライバネゲート時間（送信メッセージの最後のストップビットの終了から DEn（ドライバ有効）信号が無効になるまでの時間）を設定します。これは、基本クロック期間で表されます。

ドライバネゲート時間

= DENGT[4:0] 設定値 × 基本クロック期間

ドライバネゲート時間中に送信データが書き込まれた場合は、書き込みのタイミングによって送信開始動作が変わります。DEn 信号は有効なまま、送信待機時間の経過後、スタートビットの送信が開始されることがありま

す。また、DEn 信号は 1 回無効になる可能性があり、スタートビットの送信はドライバアサート時間が経過した後で開始される可能性があります。

30.2.14 XCR0 : 簡易 LIN コントロールレジスタ 0

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0, 1)
SCIn_B_NS = 0x5035_8000 + 0x0100 × n (n = 0, 1)

Offset address: 0x34

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	BCCS[1:0]		—	AEDIE	COFIE	BFDIE	—	—	BCDIE	BFOIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PIBS[2:0]			PIBE	CF1DS[1:0]		CF0RE	BFE	—	—	—	—	—	—	TCSS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	TCSS[1:0]	タイマカウントクロックソース選択 簡易 LIN モードで有効です。 簡易 LIN モジュールにおけるタイマのクロックソースを選択します。 0 1: TCLK/4 1 0: TCLK/16 1 1: TCLK/64	R/W(注1)
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	BFE	ブレークフィールド許可 スタートフレームの Break Field の有無を設定します。 0: Break Field なし 1: Break Field あり	R/W(注3)
9	CF0RE	コントロールフィールド 0 許可 スタートフレームの Control Field 0 の有無を設定します。 0: Control Field 0 なし 1: Control Field 0 あり	R/W(注3)
11:10	CF1DS[1:0]	コントロールフィールド 1 コンペアデータ選択 コントロールフィールド 1 のコンペアデータを選択します。 0 0: XCR1.PCF1D[7:0] を比較データとして選択 0 1: XCR1.SCF1D[7:0] を比較データとして選択 1 0: XCR1.PCF1D[7:0] と XCR1.SCF1D[7:0] の両方を比較データとして選択 1 1: 設定禁止	R/W(注3)
12	PIBE	優先割り込みビット許可 0: 優先割り込みビットは無効 1: 優先割り込みビットは有効	R/W(注3)
15:13	PIBS[2:0]	優先割り込みビット選択 Control Field 1 のビット 1～7 のいずれかを優先割り込みビットとして指定します。 0 0 0: コントロールフィールド 1 のビット 0 0 0 1: コントロールフィールド 1 のビット 1 0 1 0: コントロールフィールド 1 のビット 2 0 1 1: コントロールフィールド 1 のビット 3 1 0 0: コントロールフィールド 1 のビット 4 1 0 1: コントロールフィールド 1 のビット 5 1 1 0: コントロールフィールド 1 のビット 6 1 1 1: コントロールフィールド 1 のビット 7	R/W(注3)
16	BFOIE	ブレークフィールド出力完了割り込み許可 Break Field 出力完了を SCIn_TXI 割り込み要因として含めるかどうかを選択します。 0: Break Field 出力完了は、SCIn_TXI 割り込み要因には含まれていません。 1: Break field 出力完了を SCIn_TXI 割り込み要因に含める	R/W

ビット	シンボル	機能	R/W
17	BCDIE	バス衝突検出割り込み許可 バス衝突が検出されたとき、SCIn_ERI 割り込みを出力するかどうかを選択します。 0: バス競合検出を SCIn_ERI 割り込み要因に含めない 1: バス競合検出を SCIn_ERI 割り込み要因に含める	R/W
19:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	BFDIE	ブレークフィールド検出割り込み許可 Break Field が検出されたとき、SCIn_BFD 割り込みを出力するかどうかを選択します。 0: ブレークフィールド検出割り込みは無効 1: ブレークフィールド検出割り込みは有効	R/W
21	COFIE	カウンタオーバーフロー割り込み許可 カウントオーバーフローを SCIn_ERI 割り込み要因として含めるかどうかを選択します。 0: カウンタオーバーフローを SCIn_ERI 割り込み要因に含めない 1: カウンタオーバーフローを SCIn_ERI 割り込み要因に含める	R/W
22	AEDIE	有効エッジ検出割り込み許可 有効エッジが検出されたときに SCIn_AED 割り込みを出力するかどうかを選択します。 0: 有効エッジ検出割り込みは無効 1: 有効エッジ検出割り込みは有効	R/W
23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	BCCS[1:0]	バス衝突検出クロック選択 バス競合検出回路のサンプリングクロックを選択します。 CCR2.ABCS = 1 のとき、BCCS[1] = 1 の設定は禁止です。 0 0: 基本クロック(注2) 0 1: 基本クロック/2 1 0: 基本クロック/4 1 1: 設定禁止	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3
注 1. TCSS[1:0]を書き換えできるのは、タイマが停止している場合（TCST = 0、SDST = 0、および BMEN = 0）だけです。
注 2. 基本クロック：CCR2.ABCS が 0 のとき、1 ビットの 1/16 の期間。CCR2.ABCS が 1 のとき、1 ビットの 1/8 の期間。
注 3. このビットは、スタートフレーム受信動作に必要な設定ビットです。このビットの書き換えは、スタートフレームの受信も送信も実行中ではない時（XCR1.SDST = 0 および XCR1.TCST = 0）に行います。

TCSS[1:0]ビット（タイマカウントクロックソース選択）

簡易 LIN モードのタイマのクロックソースを選択します。

BFE ビット（ブレークフィールド許可）

スタートフレームの Break Field の有無を設定します。

CF0RE ビット（コントロールフィールド 0 許可）

スタートフレームの Break Field 0 の有無を設定します。

CF1DS[1:0]ビット（コントロールフィールド 1 コンペアデータ選択）

Control Field 1 の比較データを選択します。

PIBE ビット（優先割り込みビット許可）

コントロールフィールド 1 の優先割り込みビット比較を許可するかどうかを選択します。PIBE ビットが 1 のときは、XCR1.CF1CE[7:0]の設定値に関係なく、PIBS[2:0]に指定したビットがコントロールフィールド 1 の一次比較データ (XCR1.PCF1D[7:0]) と比較されます。

PIBS[2:0]ビット（優先割り込みビット選択）

Control Field 1 の N ビット（N = 0～7）を優先割り込みビットとして指定します。

BFOIE ビット（ブレークフィールド出力完了割り込み許可）

Break Field 出力完了を SCIn_TXI 割り込み要因として含めるかどうかを選択します。CCR0.TIE を 1 に、CCR3.MOD [1: 0] を 110b にすると、Break Field 出力の完了時に SCIn_TXI を出力します。

BCDIE ビット（バス衝突検出割り込み許可）

バス衝突が検出されたとき、SCIn_ERI 割り込みを出力するかどうかを選択します。簡易 LIN モード (CCR3.MOD[1:0] = 110b) では、BCDIE ビットで SCIn_ERI 出力制御が行われます。CCR3.MOD[1:0] = 110b かつ BCDIE = 1 の場合は、CCR0.RIE = 0 であっても、バス衝突が検出されると SCIn_ERI 割り込みが発行されます。

COFIE ビット（カウンタオーバーフロー割り込み許可）

カウントオーバーフローを SCIn_ERI 割り込み要因として含めるかどうかを選択します。カウンタオーバーフローが発生したら SCIn_ERI を出力するには、CCR0.RIE を 1 かつ CCR3.MOD [1:0] を 110b にする必要があります。

AEDIE ビット（有効エッジ検出割り込み許可）

有効エッジが検出されたときに SCIn_AED 割り込みを出力するかどうかを選択します。有効エッジが検出されたら SCIn_AED を出力するには、XCR1.BMEN を 1 かつ CCR3.MOD [1:0] を 110b にする必要があります。

BCCS[1:0]ビット（バス衝突検出クロック選択）

バス競合検出回路のサンプリングクロックを選択します。

30.2.15 XCR1 : 簡易 LIN コントロールレジスタ 1

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0, 1)
SCIn_B_NS = 0x5035_8000 + 0x0100 × n (n = 0, 1)

Offset address: 0x38

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CF1CE[7:0]								SCF1D[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PCF1D[7:0]								—	—	BMEN	SDST	—	—	—	TCST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TCST	ブレークフィールド出力タイマカウント開始トリガ 0: Break Field 出力タイマカウントが停止 1: Break Field 出力タイマカウントが開始	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SDST	スタートフレーム検出許可 0: スタートフレーム／Break Field 検出が無効 1: スタートフレーム／Break Field 検出が有効 このビットと TCST ビットを同時に 1 に設定しないでください。	R/W
5	BMEN	ビットレート測定許可 このビットと SDST ビットを同時に 1 にします。このビットはいつでも 0 にすることができます。 0: ビットレート測定が無効 1: ビットレート測定が有効	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	PCF1D[7:0]	コントロールフィールド 1 の優先コンペアデータ コントロールフィールド 1 の優先コンペアデータ	R/W
23:16	SCF1D[7:0]	コントロールフィールド 1 の二次コンペアデータ コントロールフィールド 1 の二次コンペアデータ	R/W
31:24	CF1CE[7:0]	コントロールフィールド 1 コンペアビット許可 Control Field 1 の N ビットを比較するかどうかを選択します。（N = 0～7） 0: Control Field 1 N ビットの比較が無効 1: Control Field 1 N ビットの比較が有効	R/W

注. S-TYPE-3、P-TYPE-3

TCST ビット（ブレークフィールド出力タイマカウント開始トリガ）

[0 になる条件]

- TCST に 0 を書き込んだとき。Break Field 出力タイマカウントが停止し、TXDn 出力がアイドルレベルになります。
- XCR2.BFLW [15: 0] に設定された期間の Break Field 出力が完了したとき。

[1 になる条件]

- TCST に 1 を書き込んだとき。TXDn から Break Field 出力を開始します。Break Field 出力時に 1 を保持します。

SDST ビット（スタートフレーム検出許可）

SDST ビットに 1 を書き込むとスタートフレーム検出が開始します。XCR0.BFE = 1 を設定すると、スタートフレームの検出中と検出後にブレークフィールドの検出が可能です。XCR0.BFE = 0 を設定すると、ブレークフィールドを検出できません。

SDST ビットに 0 を書き込むと、スタートフレームの検出とブレークフィールドの検出は停止します。ただし、停止時に XSR0.RXDSF = 0 であると、SCI コアはこのビットによってデータ受信を停止することはできません。受信完了後に、受信動作の停止または受信完了処理の実行（CSR の RDRF をクリアまたは RDR を読み出し）を行うには、CCR0.RE に 0 を書き込みます。

BMEN ビット（ビットレート測定許可）

このビットと SDST ビットを同時に 1 にします。BMEN ビットを 1 にすると、コントロールフィールド 0 とコントロールフィールド 1 の有効エッジ間隔が測定されます。

PCF1D[7:0]ビット（コントロールフィールド 1 の優先コンペアデータ）

Control Field 1 の優先比較データを設定します。

SCF1D[7:0]ビット（コントロールフィールド 1 の二次コンペアデータ）

Control Field 1 の二次比較データを設定します。

CF1CE[7:0]ビット（コントロールフィールド 1 コンペアビット許可）

Control Field 1 の N ビットを比較するかどうかを選択します。（N = 0～7）

CF1CE[7:0]の各ビットがすべて 0 の場合 (CF1CE[7:0] = 0x00)、受信が完了して XSR0.CF1MF が設定されたときは常にコントロールフィールド 0 が一致したと判定されます。このビットは、PCF1D[7:0]ビットまたは SCF1D[7:0]ビットとともに使用する、比較許可ビットです。優先割り込みビット比較許可ビットではありません。

30.2.16 XCR2 : 簡易 LIN コントロールレジスタ 2

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0, 1)
SCIn_B_NS = 0x5035_8000 + 0x0100 × n (n = 0, 1)

Offset address: 0x3C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	BFLW[15:0]															
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CF0CE[7:0]								CF0D[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	CF0D[7:0]	コントロールフィールド 0 コンペアデータ コントロールフィールド 0 のコンペアデータ	R/W

ビット	シンボル	機能	R/W
15:8	CF0CE[7:0]	コントロールフィールド 0 コンペアビット許可 Control Field 0 の N ビットを比較するかどうかを選択します。(N = 0～7) 0: Control Field 0 N ビットの比較が無効 1: Control Field 0 N ビットの比較が有効	R/W
31:16	BFLW[15:0]	ブレークフィールド長設定 このレジスタは Break Field 長を設定します。 Break Field 長は、(BFLW [15:0]設定値 + 1) * タイマのクロック このレジスタ設定の上限は 0xFFFE です。 0xFFFF に設定することは禁止されています。	R/W

注. S-TYPE-3、P-TYPE-3

CF0D[7:0]ビット（コントロールフィールド 0 コンペアデータ）

Control Field 0 の比較データ。

CF0CE[7:0]ビット（コントロールフィールド 0 コンペアビット許可）

Control Field 0 の N ビットを比較するかどうかを選択します。(N = 0～7)

CF0CE[7:0]の各ビットがすべて 0 の場合 (CF0CE[7:0] = 0x00)、受信が完了して XSR0.CF0MF が設定されたときは常にコントロールフィールド 0 が一致したと判定されます。

BFLW[15:0]ビット（ブレークフィールド長設定）

BFLW[15:0]は 16 ビットの Break Field 長設定ビットであり、初期値は 0xFFFE です。

Break Field 長を 1 フレーム以上に設定します。LIN 規格は、Break Field 長を 13 ビット以上と規定しています。

ブレークフィールド送信時、TCST に 1 を書き込むと、SCI は TXDn にブレークフィールドを出力します。XCR0.TCSS[1:0]で選択したタイマのクロックで、カウントアップを実施します。カウント値がこのレジスタに設定した値と一致したとき、カウントアップが停止し、TXDn からの Break Field 出力もまた停止します。

ブレークフィールド受信時、SDST に 1 を書き込むと、スタートフレーム検出が有効になります。SCI は RXDn のネガティブエッジからカウントを開始します。タイマのクロックは XCR0.TCSS[1:0]で選択します。

カウンタの値が XCR2 に設定した値と一致した時は、ブレークフィールドが検出されています。カウントアップは、次の有効なエッジまたはカウンタのオーバーフローまで続きます。

30.2.17 CSR : 共通ステータスレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～4, 9)
SCIn_B_NS = 0x5035_8000 + 0x0100 × n (n = 0～4, 9)

Offset address: 0x48

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	RDRF	TEND	TDRE	FER	PER	MFF	—	ORER	—	—	—	—	—	DFER	DPER	DCMF
Value after reset:	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RXDMON	—	—	—	—	—	—	—	—	—	—	ERS	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。	R
4	ERS	エラーシグナルステータスフラグ スマートカードインタフェースモードでのみ有効です。 0: エラー信号 Low の応答なし 1: エラー信号 Low の応答あり	R
14:5	—	読むと 0 が読めます。	R

ビット	シンボル	機能	R/W
15	RXDMON	シリアル入力データモニタビット バスクロックによる同期化なしの RXDn 端子の状態が表示されます。 0: RINV が 0 のとき、RXDn 端子は Low になる RINV が 1 のとき、RXDn 端子は High になる 1: RINV が 0 のとき、RXDn 端子は High になる RINV が 1 のとき、RXDn 端子は Low になる	R
16	DCMF	データコンペアマッチフラグ 調歩同期式モードでのみ有効です。 0: 不一致 1: 一致	R
17	DPER	データコンペアマッチパリティエラーフラグ 調歩同期式モードでのみ有効です。 0: アドレス一致検出時にパリティエラーの発生なし 1: アドレス一致検出時にパリティエラーの発生あり	R
18	DFER	データコンペアマッチフレーミングエラーフラグ 調歩同期式モードでのみ有効です。 0: アドレス一致検出時にフレーミングエラーの発生なし 1: アドレス一致検出時にフレーミングエラーの発生あり	R
23:19	—	読むと 0 が読めます。	R
24	ORER	オーバーランエラーフラグ 0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R
25	—	読むと 0 が読めます。	R
26	MFF	モードフォルトエラーフラグ 簡易 SPI モードでのみ有効 0: モードフォルトエラーなし 1: モードフォルトエラーあり	R
27	PER	パリティエラーフラグ 0: 非 FIFO 選択時 (CCR3.FM = 0): パリティエラーの発生なし FIFO 選択時 (CCR3.FM = 1): 受信 FIFO 内のすべての受信データにパリティエラーなし 1: 非 FIFO 選択時 (CCR3.FM = 0): パリティエラーの発生あり FIFO 選択時 (CCR3.FM = 1): 受信 FIFO 内の受信データに 1 つまたは複数のパリティエラーの発生あり	R
28	FER	フレーミングエラーフラグ 0: 非 FIFO 選択時 (CCR3.FM = 0): フレーミングエラーの発生なし FIFO 選択時 (CCR3.FM = 1): 受信 FIFO 内のすべての受信データにフレーミングエラーなし 1: 非 FIFO 選択時 (CCR3.FM = 0): フレーミングエラーの発生あり FIFO 選択時 (CCR3.FM = 1): 受信 FIFO 内の受信データに 1 つまたは複数のフレーミングエラーの発生あり	R
29	TDRE	送信データエンプティフラグ 0: 非 FIFO 選択時 (CCR3.FM = 0): TDR レジスタに送信データあり FIFO 選択時 (CCR3.FM = 1): 送信 FIFO に書き込まれた送信データの数が、指定された送信トリガ数を超えている 1: 非 FIFO 選択時 (CCR3.FM = 0): TDR レジスタに送信データなし FIFO 選択時 (CCR3.FM = 1): 送信 FIFO に書き込まれた送信データの数が、指定された送信トリガ数以下である	R
30	TEND	送信終了フラグ 0: キャラクタが送信中または送信スタンバイ中 1: キャラクタの送信が完了、または Break Field を送信中	R
31	RDRF	受信データフルフラグ 0: 非 FIFO 選択時 (CCR3.FM = 0): RDR レジスタに受信データなし FIFO 選択時 (CCR3.FM = 1): 受信 FIFO に書き込まれた受信データの数が、指定された受信トリガ数より少ない 1: 非 FIFO 選択時 (CCR3.FM = 0): RDR レジスタに受信データあり FIFO 選択時 (CCR3.FM = 1): 受信 FIFO に書き込まれた受信データの数が、指定された受信トリガ数以上である	R

注. S-TYPE-3、P-TYPE-3

ERS ビット（エラーシグナルステータスフラグ）

[1 になる条件]

- エラー信号 Low がサンプリングされたとき

[0 になる条件]

- CFCLR.ERSC に 1 を書き込んだとき

DCMF ビット（データコンペアマッチフラグ）

DCMF ビットは、SCI が比較データ (CCR4.CMPD) と受信データの一致を検出することを示します。

CCR0.RE ビットを 0 にしても、DCMF フラグは影響を受けず、以前の値を保持します。

[1 になる条件]

- CCR0.DCME = 1 の状態で比較データ (CCR4.CMPD) と受信データが一致

[0 になる条件]

- CFCLR.DCMFC に 1 を書き込んだとき

DPER ビット（データコンペアマッチパリティエラーフラグ）

DPER ビットは、アドレス一致検出（受信データの一致検出）時に、パリティエラーが発生したことを示します。

CCR0.RE ビットを 0 にしても、DPER フラグは影響を受けず、以前の値を保持します。

[1 になる条件]

- アドレス一致が検出されたフレームでパリティエラーが検出されたとき

[0 になる条件]

- CFCLR.DPERC ビットに 1 を書き込んだとき

DFER ビット（データコンペアマッチフレーミングエラーフラグ）

DFER ビットは、アドレス一致検出（受信データの一致検出）時に、フレーミングエラーが発生したことを示します。

CCR0.RE ビットを 0 にしても、DFER フラグは影響を受けず、以前の値を保持します。

[1 になる条件]

- アドレス一致が検出されたフレームのストップビットが 0 のとき
  2 ストップビットモードの場合、ストップビットの 1 ビット目のみが 1 であるか判定され、ストップビットの 2 ビット目はチェックされません。

[0 になる条件]

- CFCLR.DFERC ビットに 1 を書き込んだとき

ORER ビット（オーバーランエラーフラグ）

ORER ビットは、受信時にオーバーランエラーが発生して受信が異常終了したことを示します。

CCR0.RE ビットを 0 にしても、ORER フラグは影響を受けず、以前の状態を保持します。簡易 IIC モードでは、ORER ビットは使用されません。

[非 FIFO モード (CCR3.FM = 0) 時の 1 になる条件]

- RDR に格納されたエラーなしの受信データを RDR から読み出す前に、次のデータを受信した場合。
  RDR レジスタは、オーバーランエラーが発生する前の受信データを保持しますが、後から受信したデータは失われます。ORER フラグが 1 の状態では、受信データは RDR レジスタに転送されません。

  注. クロック同期式モードと簡易 SPI モードでは、シリアル受信は停止します。

[FIFO モード (CCR3.FM = 1) のときの 1 になる条件]

- 受信 FIFO が 16 個の受信データでフルになった状態で、次のシリアル受信が完了したとき

[0 になる条件]

- CFCLR.ORERC に 1 を書き込んだとき

MFF ビット（モードフォルトエラーフラグ）

MFF ビットは、モードフォルトエラーが発生したことを示します。マルチマスタ構成では、MFF フラグを読み出すとモードフォルトエラーの発生を判別できます。

[1 になる条件]

- 簡易 SPI モードでのマスタ動作（CCR3.CKE[1:0]ビット = 00 または 01）時に、SSn 端子入力が Low になったとき

[0 になる条件]

- CFCLR.MFFC ビットに 1 を書き込んだとき

PER ビット（パリティエラーフラグ）

PER ビットは、受信時にパリティエラーが発生して受信が異常終了したことを示します。

CCR0.RE ビットを 0 にしても、PER フラグは影響を受けず、以前の値を保持します。

クロック同期式モード、簡易 SPI モード、および簡易 IIC モードでは、PER ビットは使用されません。

[1 になる条件]

- 受信中にパリティエラーが検出されたとき。FIFO 選択モードでは、受信 FIFO データに 1 つ以上のパリティエラーが検出されたとき。
  非 FIFO モードでは、パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、SCIn_RXI 割り込み要求は発生しません。なお、PER フラグを 1 にすると、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- CFCLR.PERC ビットに 1 を書き込んだとき

FER ビット（フレーミングエラーフラグ）

FER ビットは、受信時にフレーミングエラーが発生して受信が異常終了したことを示します。

CCR0.RE ビットを 0 にしても、FER フラグは影響を受けず、以前の値を保持します。

クロック同期式モード、簡易 SPI モード、および簡易 IIC モードでは、FER ビットは使用されません。

[1 になる条件]

- 受信中にストップビットとして 0 がサンプリングされたとき FIFO 選択モードでは、受信 FIFO データにフレーミングエラーが 1 つ以上検出されたときマンチェスタモードでは、二つのサンプリング結果（1/4 と 3/4 のサンプリングポイント）に関して 1 ストップビットがともに 1 ではないとき簡易 LIN モードでは、XCR1.SDST = 1 のとき、このビットが 1 に変わる条件が発生しても、それがブレークフィールドである可能性があるため、（最長でブレークフィールド評価タイミングまで）FER の設定タイミングに遅れが生じます。ブレークフィールド評価タイミングの前に RXDn 信号でエッジが検出された場合は、FER が検出されます。ブレークフィールド評価タイミングの前に RXDn 信号でエッジが検出されない場合は、ブレークフィールドが検出されます。
  2 ストップビットモードでは、ストップビットの 1 ビット目のみが 1 であるかチェックされ、2 ビット目はチェックされません。非 FIFO モードでは、フレーミングエラーが発生したときの受信データは RDR へ転送されますが、SCIn_RXI 割り込み要求は発生しません。さらに、FER フラグが 1 の状態では、以降の受信データは RDR へ転送されません。

[0 になる条件]

- CFCLR.FERC ビットに 1 を書き込んだとき

TDRE ビット（送信データエンプティフラグ）

[非 FIFO 選択時 (CCR3.FM = 0)]

TDRE ビットは TDR レジスタ内の送信データの有無を示します。

条件 CCR0.TE = 0 は条件 0 よりも優先されます。

その他の 1 になる条件と 0 になる条件が同時に満たされた場合、TDRE フラグは 0 になります。

[1 になる条件]

- CCR0.TE が 0 のとき
- TDR レジスタから TSR レジスタへデータが転送されたとき

[0 になる条件]

- CFCLR.TDREC ビットに 1 を書き込んだとき
- CCR0.TE が 1 の状態で、TDR レジスタに送信データを書き込んだとき

[FIFO 選択時 (CCR3.FM = 1)]

TDRE ビットは、データが送信 FIFO (TDR) から送信シフトレジスタ (TSR) へ転送されており、送信 FIFO 内のデータの数が指定された送信トリガ数以下であることを示します。

1 になる条件と 0 になる条件が同時に成立したとき、TDRE フラグは 0 になります。その後、送信 FIFO に格納されたデータ数が評価され、TTRG ビット値以下であると、PCLK 1 サイクル後にフラグは 1 になります。

[1 になる条件]

- 送信 FIFO に書き込まれた送信データの数が、指定された送信トリガ数以下である(注1)

注 1. 送信 FIFO は 16 段の FIFO レジスタであり、TDRE フラグが 1 のときに書き込み可能な最大データ数は「0x10 - FTSR.T[5:0]」になります。さらにデータを書き込んでも、そのデータは破棄されます。

[0 になる条件]

- CFCLR.TDREC ビットに 1 を書き込んだとき
- DTC または DMAC によって送信データが送信 FIFO に書き込まれたとき（ブロック転送の最終ブロックの転送）

TEND ビット（送信終了フラグ）

[非 FIFO 選択時 (CCR3.FM = 0)、かつ非スマートカードインタフェースモード (CCR3.MOD[2:0]≠001)]

TEND ビットは、送信が終了したことを示します。

[1 になる条件]

- CCR0.TE が 0 のとき
- CCR0.TE ビットを 0 から 1 に変更しても、TEND フラグは影響を受けず、値 1 を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき
- DE 制御機能が有効 (CCR3.DEN = 1) な状態で、DE ネゲート時間の終了時に TDR レジスタが更新されていないとき
- Break Field が送信されるとき

[0 になる条件]

- CCR0.TE = 1 の状態で送信データが TDR レジスタに書き込まれた後で、同期遅延時間が経過したとき
- CCR0.TE ビット = 1 の状態で、CFCLR.TDREC ビットに 1 を書き込んだとき

[非 FIFO 選択時 (CCR3.FM = 0)、スマートカードインタフェースモード (CCR3.MOD [2:0] = 001) の場合]

受信側からのエラー信号がなく、さらなる送信データが TDR レジスタに転送可能となったとき、このビットが 1 になります。

[1 になる条件]

- CCR0.TE が 0 のとき
- CCR0.TE ビットを 0 から 1 に変更しても、TEND フラグは影響を受けず、値 1 を保持します。

- 1 バイトのデータを送信してから指定した期間が経過した後、ERS フラグが 0 で、TDR レジスタが更新されないとき。1 になるタイミングは、以下のようにレジスタの設定値によって決まります。
  GM = 0、BLK = 0 のとき、送信開始から 12.5ETU 経過後
  GM = 0、BLK = 1 のとき、送信開始から 11.5ETU 経過後
  GM = 1、BLK = 0 のとき、送信開始から 11.0ETU 経過後
  GM = 1、BLK = 1 のとき、送信開始から 11.0ETU 経過後

[0 になる条件]

- CCR0.TE = 1 の状態で送信データが TDR レジスタに書き込まれた後で、同期遅延時間が経過したとき
- CCR0.TE ビット = 1 の状態で、CFCLR.TDREC ビットに 1 を書き込んだとき

[FIFO 選択時 (CCR3.FM = 1)]

TEND ビットは、シリアルキャラクタの最後尾ビットの送信時に、送信 FIFO に有効なデータがなく、送信が停止したことを示します。

[1 になる条件]

- 1 バイトのシリアルキャラクタの最後尾ビット送信時に、送信 FIFO に送信データがないときに、TEND は 1 になる
- DE 制御機能が有効 (CCR3.DEN = 1) な状態で、DE ネゲート時間の終了時に TDR レジスタが更新されていないとき

[0 になる条件]

- CCR0.TE = 1 の状態で送信データが TDR レジスタに書き込まれた後で、同期遅延時間が経過したとき

RDRF ビット（受信データフルフラグ）

[非 FIFO 選択時 (CCR3.FM = 0)]

RDRF ビットは、RDR レジスタ内の受信データの有無を示します。

[1 になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[0 になる条件]

- CFCLR.RDRFC ビットに 1 を書き込んだとき
- RDR レジスタからデータが読み出されたとき

[FIFO 選択時 (CCR3.FM = 1)]

RDRF ビットは、受信データが FIFO データレジスタ (RDR) へ転送されて、受信 FIFO 内のデータの数が指定された受信トリガ数以上であることを示します。FCR.RTRG が 1 であり、受信 FIFO 内のデータの数が 1 以上のときに、RDRF が設定されます。

[1 になる条件]

- 受信 FIFO 内の受信データの数が、指定された受信トリガ数以上である場合、RDRF は 1 になる(注1)

注 1. 受信 FIFO は 16 段の FIFO レジスタであるため、RDRF が 1 のときに読み出し可能な最大のデータ数は、指定された受信データカウント数 (FDR.R[5:0) と同等です。受信 FIFO 内のデータをすべて読み出した後に、さらに読み出しを実行すると、不定値が読み出されます。

[0 になる条件]

- CFCLR.RDRFC ビットに 1 を書き込んだとき
- DTC または DMAC によって受信データが受信 FIFO から読み出されたとき（ブロック転送の最終ブロックの転送）

1 になる条件と 0 になる条件が同時に成立したとき、RDRF フラグは 0 になります。その後、受信 FIFO に格納されたデータ数が評価され、RTRG ビット値以上であると、PCLK 1 サイクル後に RDRF フラグは 1 になります。

注. 割り込み通信時以外で非 FIFO が選択された場合、RDRF と TDRE を CFCLR レジスタでクリアしないでください。

30.2.18 ISR : 簡易 IIC ステータスレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～4, 9)
SCIn_B_NS = 0x5035_8000 + 0x0100 × n (n = 0～4, 9)

Offset address: 0x4C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	IICSTIF	—	—	IICACKR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IICACKR	ACK 受信データフラグ 0: ACK 受信 1: NACK 受信	R
1	—	読むと 0 が読めます。	R
2	—	読み出し値は不定です。	R
3	IICSTIF	開始/再開始/停止条件生成完了フラグ 0: 各条件の生成要求がない状態、または条件が生成中の状態 1: 開始条件、再開始条件、または停止条件の生成が完了した状態	R
5:4	—	読み出し値は不定です。	R
31:6	—	読むと 0 が読めます。	R

注. S-TYPE-3、P-TYPE-3

IICACKR ビット（ACK 受信データフラグ）

受信した ACK ビットおよび NACK ビットを、このビットから読み出すことができます。

IICACKR フラグは、ACK/NACK ビット受信時の SCLn クロックの立ち上がりのタイミングで更新されます。

IICSTIF ビット（開始/再開始/停止条件生成完了フラグ）

このビットは、各条件の生成後に、生成が完了したことを示します。IICSTAREQ ビット、IICRSTAREQ ビット、または IICSTPREQ ビットを用いて各条件の生成を行うときは、IICSTIF フラグを 0 にしてから生成を実行してください。

CCR0.TEIE ビットで割り込み要求が許可されているとき、IICSTIF フラグが 1 の場合に STIn 要求が出力されます。

[1 になる条件]

- 開始条件、再開始条件、または停止条件の生成完了（ただし、1 になる条件が、以下に示す 0 になるフラグ条件と競合した場合は、0 になる条件が優先となります）。

[0 になる条件]

- ICFCLR.IICSTIFC ビットに 1 を書き込んだとき
- 簡易 IIC モードの動作ではないとき
- CCR0.TE ビットに 0 を書いたとき

30.2.19 FRSR : FIFO 受信ステータスレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～4, 9)
SCIn_B_NS = 0x5035_8000 + 0x0100 × n (n = 0～4, 9)

Offset address: 0x50

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	FNUM[5:0]						—	—	PNUM[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	R[5:0]						—	—	—	—	—	—	—	DR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0

ビット	シンボル	機能	R/W
0	DR	受信データレディフラグ 0: 受信中であるか、または正常受信後の FIFO に受信データが残っていない（受信 FIFO が空である） 1: しきい値以下のデータを受信 FIFO に格納後、一定期間次の受信データが受信されない	R
1	—	読み出し値は不定です。	R
7:2	—	読むと 0 が読めます。	R
13:8	R[5:0]	受信 FIFO データ数 CCR3.FM ビットが 1 のときに、調歩同期式モード（マルチプロセッサモードを含む）、クロック同期式モード、および簡易 SPI モードで有効です。 受信 FIFO に格納された受信データの数を示します。	R
15:14	—	読むと 0 が読めます。	R
21:16	PNUM[5:0]	パリティエラー数 調歩同期式モードでのみ有効 受信 FIFO データレジスタに格納された受信データのうち、パリティエラーのあるデータの数量を示します。	R
23:22	—	読むと 0 が読めます。	R
29:24	FNUM[5:0]	フレーミングエラー数 調歩同期式モードでのみ有効です。 受信 FIFO データレジスタに格納された受信データのうち、フレーミングエラーのあるデータの数量を示します。	R
31:30	—	読むと 0 が読めます。	R

注. S-TYPE-3、P-TYPE-3

DR ビット（受信データレディフラグ）

DR ビットは、受信 FIFO データレジスタに格納されたデータの数が指定された受信トリガ数を下回っていることと、調歩同期式モードにおいて最後のストップビットから 15 ETU 経過しても次のデータが受信されていないことを示します。このビットは、調歩同期式モード（マルチプロセッサモードを含む）において、FIFO 選択時にのみ有効です。他のモードでは、このビットは 1 になりません。

[1 になる条件]

- 以下の条件が満たされたときに、DR ビットが 1 になります。
  - 指定された受信トリガ数より少ないデータが受信 FIFO データレジスタ (RDR) に受信された後、最後のストップビットから 15 ETU(注1)経過しても次のデータが受信されないとき
  - CSR.FER フラグと CSR.PER フラグが 0 のとき

注 1. これは、8 ビットフォーマットで 1 ストップビットが選択されている場合の 1.5 フレーム分に相当します (ETU: Elementary Time Unit)。

[0 になる条件]

- 受信 FIFO データレジスタ（RDR レジスタ）内の受信データをすべて読み出し、FFCLR.DRC ビットに 1 を書き込んだとき
- CCR3.FM ビットが 0 の場合。

R[5:0]ビット（受信 FIFO データ数）

R[5:0]ビットは、受信 FIFO データレジスタに格納された受信データの数量を示します。

0x00 は受信データがないことを意味します。0x10 は受信 FIFO がいっぱいであることを意味します。

PNUM[5:0]ビット（パリティエラー数）

この値は、受信 FIFO データレジスタに格納されたデータのうち、パリティエラーのあるものの数量を示します。

FNUM[5:0]ビット（フレーミングエラー数）

この値は、受信 FIFO データレジスタに格納されたデータのうち、フレーミングエラーのあるものの数量を示します。

30.2.20 FTSR : FIFO 送信ステータスレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～4, 9)
SCIn_B_NS = 0x5035_8000 + 0x0100 × n (n = 0～4, 9)

Offset address: 0x54

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	T[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	T[5:0]	送信 FIFO データ数 CCR3.FM ビットが 1 のときに、調歩同期式モード（マルチプロセッサモードを含む）、クロック同期式モード、および簡易 SPI モードで有効です。 送信 FIFO に格納された未送信データの数を示します。	R
31:6	—	読むと 0 が読めます。	R

注. S-TYPE-3、P-TYPE-3

T[5:0]ビット（送信 FIFO データ数）

T[5:0]ビットは、送信 FIFO に格納された未送信データの数を示します。

0x00 は、非送信データがないことを意味します。0x10 は、送信 FIFO がフルであることを意味します。

30.2.21 MSR : マンチェスタステータスレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0)
SCIn_B_NS = 0x5035_8000 + 0x0100 × n (n = 0)

Offset address: 0x58

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	RSYNC	—	MER	—	SBER	SYER	PFER
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PFER	プレフィスエラーフラグ このビットはプレフィスエラー（パターン不一致）が検出されたときに設定されます。 0: プレフィスエラーの検出なし 1: プレフィスエラーの検出あり	R
1	SYER	SYNC エラーフラグ このビットは受信再タイミング時の調節可能範囲でエッジが検出されなかったときに設定されます。 0: 受信 SYNC エラーの検出なし 1: 受信 SYNC エラーの検出あり	R
2	SBER	スタートビットエラーフラグ このビットはスタートビット領域でパターン不一致が検出されたときに設定されます。 0: スタートビットエラーの検出なし 1: スタートビットエラーの検出あり	R
3	—	読むと 0 が読めます。	R
4	MER	マンチェスタエラーフラグ マンチェスタモードでのみ有効 0: マンチェスタエラーの発生なし 1: マンチェスタエラーの発生あり	R
5	—	読むと 0 が読めます。	R
6	RSYNC	受信 SYNC データビット マンチェスタモードで MCR.SBSEL = 1 であるときに有効です。それ以外の場合 0 が読み出されます。 0: 受信したスタートビットは DATA SYNC です。 1: 受信したスタートビットは COMMAND SYNC です。	R
31:7	—	読むと 0 が読めます。	R

注.　S-TYPE-3、P-TYPE-3

PFER ビット（プレフィスエラーフラグ）

PFER ビットはマンチェスタモードでのフレーム受信時にプレフィスエラーを検出したことを示します。

CCR0 の RE ビットを 0（シリアル受信動作を禁止）にしても、PFER フラグは影響を受けず、以前の値を保持します。

[1 になる条件]

- マンチェスタモードでのフレーム受信時にプレフィスエラーが検出されたとき
  プレフィスエラーが発生したときに以下の動作が行われます。
  - MCR.PFEREN = 1 の場合
    受信データは RDR レジスタに転送されず、SCIn_RXI 割り込み要求も発生しません。代わりに SCIn_ERI 割り込み要求が発生します。なお、PFER フラグを 1 にすると、以降の受信データは RDR レジスタへ転送されません。
  - MCR.PFEREN = 0 の場合

受信データが RDR レジスタに転送され、SCIn_RXI 割り込み要求が発生します。SCIn_ERI 割り込み要求は発生しません。PFER フラグが 1 になっていても以降の受信動作には影響しません。

[0 になる条件]

- MFCLR.PFERC に 1 を書き込む。

SYER ビット（SYNC エラーフラグ）

SYER ビットはマンチェスタモードで MCR.ERTEN = 1（マンチェスタエッジ再タイミング許可）の場合のフレーム受信時に受信 SYNC エラーを検出したことを示します。

CCR0 の RE ビットを 0（シリアル受信動作を禁止）にしても、SYER フラグは影響を受けず、以前の値を保持します。

[1 になる条件]

- マンチェスタモードでのフレーム受信時に受信 SYNC エラーが検出されたとき
  受信 SYNC エラーが発生したときに以下の動作が行われます。
  - MCR.SYEREN = 1 の場合
    受信データが RDR レジスタに転送されますが、SCIn_RXI 割り込み要求は発生しません。代わりに SCIn_ERI 割り込み要求が発生します。なお、SYER フラグを 1 にすると、以降の受信データは RDR レジスタへ転送されません。
  - MCR.SYEREN = 0 の場合
    受信データが RDR レジスタに転送され、SCIn_RXI 割り込み要求が発生します。SCIn_ERI 割り込み要求は発生しません。SYER フラグが 1 になっていても以降の受信動作には影響しません。

[0 になる条件]

- MFCLR.SYERC に 1 を書き込む。

SBER ビット（スタートビットエラーフラグ）

SBER ビットはマンチェスタモードでのフレーム受信時にスタートビットエラーを検出したことを示します。

CCR0 の RE ビットを 0（シリアル受信動作を禁止）にしても、SBER フラグは影響を受けず、以前の値を保持します。

[1 になる条件]

- マンチェスタモードでのフレーム受信時にスタートビットエラーが検出されたとき
  スタートビットエラーが発生したときに以下の動作が行われます。
  - MCR.SBEREN = 1 の場合
    受信データは RDR レジスタに転送されず、SCIn_RXI 割り込み要求も発生しません。代わりに SCIn_ERI 割り込み要求が発生します。なお、SBER フラグを 1 にすると、以降の受信データは RDR レジスタへ転送されません。
  - MCR.SBEREN = 0 の場合
    受信データが RDR レジスタに転送され、SCIn_RXI 割り込み要求が発生します。SCIn_ERI 割り込み要求は発生しません。SBER フラグが 1 になっていても以降の受信動作には影響しません。

[0 になる条件]

- MFCLR.SBERC に 1 を書き込む。

MER ビット（マンチェスタエラーフラグ）

マンチェスタモードでデータを受信すると、マンチェスタエラーが検出され表示されます。CCR0 の RE ビットを 0（シリアル受信動作を禁止）にしても、MER フラグは影響を受けず、以前の値を保持します。

[1 になる条件]

- マンチェスタモードでの受信中に、受信フレームのデータ領域でマンチェスタコードエラーを検出したとき。
  エラー発生時は受信データが RDR レジスタに転送されますが、SCIn_RXI 割り込み要求は発生せず、SCIn_ERI 割り込み要求が発生します。
  マンチェスタエラーフラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。
  マンチェスタエラーの詳細については、「30.5.11. マンチェスタモードにおけるエラー」を参照してください。

[0 になる条件]

- MFCLR.MERC に 1 を書き込む。

RSYNC ビット（受信 SYNC データビット）

このビットは、マンチェスターモード (CCR3.MOD[2:0] = 101b) で MCR.SBSEL = 1 であるとき、受信したスタートビットの SYNC のタイプを示します。そのほかの設定では、0 に固定されています。

30.2.22 XSR0 : 簡易 LIN ステータスレジスタ 0

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0, 1)
SCIn_B_NS = 0x5035_8000 + 0x0100 × n (n = 0, 1)

Offset address: 0x5C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CF1RD[7:0]								CF0RD[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	AEDF	COF	PIBDF	CF1MF	CF0MF	BFDF	BCDF	BFOF	—	—	—	—	—	—	RXDSF	SFSF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SFSF	スタートフレームステータスフラグ 0: スタートフレーム検出が無効またはスタートフレーム検出が完了 1: スタートフレーム検出前またはスタートフレーム検出中	R(注1)
1	RXDSF	RXDn 入力ステータスフラグ 0: SCI への RXDn 入力は有効 1: SCI への RXDn 入力は無効	R(注1)
7:2	—	読むと 0 が読めます。	R
8	BFOF	ブレークフィールド出力完了フラグ 0: ブレークフィールドは出力中であるか出力中ではない 1: ブレークフィールドの出力が完了している	R
9	BCDF	バス衝突検出フラグ 0: バス衝突が検出されなかった 1: バス衝突が検出された	R
10	BFDF	ブレークフィールド検出フラグ 0: ブレークフィールドが検出されなかった 1: ブレークフィールドが検出された	R
11	CF0MF	コントロールフィールド 0 コンペアマッチフラグ 0: コントロールフィールド 0 の受信データが設定データと不一致 1: コントロールフィールド 0 の受信データが設定データと一致	R
12	CF1MF	コントロールフィールド 1 コンペアマッチフラグ 0: コントロールフィールド 1 の受信データが設定データと不一致 1: コントロールフィールド 1 の受信データが設定データと一致	R
13	PIBDF	優先割り込みビット検出フラグ 0: 優先割り込みビットが検出されなかった 1: 優先割り込みビットが検出された	R
14	COF	カウンタオーバーフローフラグ 0: ブレークフィールド検出カウンタがオーバーフローしていない 1: ブレークフィールド検出カウンタがオーバーフローした	R
15	AEDF	有効エッジ検出フラグ 0: 有効エッジが検出されなかった 1: 有効エッジが検出された	R

ビット	シンボル	機能	R/W
23:16	CF0RD[7:0]	Control Field 0 受信データ Control Field 0 の受信データ。	R
31:24	CF1RD[7:0]	Control Field 1 受信データ Control Field 1 の受信データ。	R

注. S-TYPE-3、P-TYPE-3
注 1. PCLK が TCLK より速い場合、フラグが 1 になるタイミングは受信データフル割り込み (SCIn_RXI) 出力から遅延します。この条件下でこのフラグを参照するには、受信データフル割り込み (SCIn_RXI) 後に TCLK を 1 サイクル以上待ってから、このレジスタを読み出してください。

SFSF ビット（スタートフレームステータスフラグ）

スタートフレームを検出するかどうかを示します。

[1 になる条件]

- XCR1.SDST レジスタに 1 が書き込まれたとき
- コントロールフィールド 0／コントロールフィールド 1／インフォメーションフィールドのフェーズでブレークフィールドが検出され、コントロールフィールド 0 またはコントロールフィールド 1 の受信状態への遷移が発生したとき

[0 になる条件]

- XCR1.SDST が 0 のとき
- スタートフレーム検出が完了したとき

RXDSF ビット（RXDn 入力ステータスフラグ）

SCI コアへの RXDn 入力状態を示します。RXDSF ビットが 1 の場合、簡易 LIN モジュールのみが RXDn 入力を受信し、ブレークフィールドが検出され、SCI コアへ入力されません。

BFOF ビット（ブレークフィールド出力完了フラグ）

Break Field 出力の完了を示します。

XFCLR.BFOC に 1 を書き込むことで BFOF ビットを 0 にクリアすることができます。

BCDF ビット（バス衝突検出フラグ）

簡易 LIN 送信動作におけるバス競合の検出を示します。

XFCLR.BCDC に 1 を書き込むことで BCDF ビットを 0 にクリアすることができます。

BFDF ビット（ブレークフィールド検出フラグ）

Break Field 検出を示します。

XFCLR.BFDC に 1 を書き込むことで BFDF ビットを 0 にクリアすることができます。

CF0MF ビット（コントロールフィールド 0 コンペアマッチフラグ）

Control Field 0 と比較データのコンペアマッチを示します。

XFCLR.CF0MC に 1 を書き込むことで CF0MF ビットを 0 にクリアすることができます。

CF1MF ビット（コントロールフィールド 1 コンペアマッチフラグ）

Control Field 1 と比較データのコンペアマッチ検出を示します。

XFCLR.CF1MC に 1 を書き込むことで CF1MF ビットを 0 にクリアすることができます。

PIBDF ビット（優先割り込みビット検出フラグ）

Control Field 1 と優先割り込みビットのコンペアマッチ検出を示します。

XFCLR.PIBDC に 1 を書き込むことで PIBDF ビットを 0 にクリアすることができます。

COF ビット（カウンタオーバーフローフラグ）

簡易 LIN モードで 16 ビットカウンタがオーバーフローしたことを示します。

XFCLR.COFC に 1 を書き込むことで COF ビットを 0 にクリアすることができます。

AEDF ビット（有効エッジ検出フラグ）

アクティブエッジ検出を示します。

XFCLR.AEDC に 1 を書き込むことで AEDF ビットを 0 にクリアすることができます。また、XSR1.TCNT[15:0]を読み出したときにも 0 にクリアすることができます。

CF0RD[7:0]ビット（Control Field 0 受信データ）

Control Field 0 一致が検出された受信データを格納します。

CF1RD[7:0]ビット（Control Field 1 受信データ）

Control Field 1 一致が検出された受信データを格納します。

30.2.23 XSR1 : 簡易 LIN ステータスレジスタ 1

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0, 1)
SCIn_B_NS = 0x5035_8000 + 0x0100 × n (n = 0, 1)

Offset address: 0x60

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TCNT[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	TCNT[15:0]	タイマカウントキャプチャ値 16 ビットカウンタのキャプチャ値を格納します。初期値は 0000 です。	R
31:16	—	読むと 0 が読めます。	R

注. S-TYPE-3、P-TYPE-3

TCNT[15:0]ビット（タイマカウントキャプチャ値）

簡易 LIN モジュールの 16 ビットカウンタのキャプチャ値を格納します。

- スタートフレーム送信時
  XSR1 は前回の値を保持します。
- ビットレート測定機能を無効にしてスタートフレームを受信する場合
  Break Field 検出状態（図 30.81 を参照）で Break Field が検出された場合、Break Field 長がキャプチャされ保持されます。（カウンタ値は RXDn の立ち上がりエッジでキャプチャされます。）Break Field が Break Field 検出状態以外の状態で検出された場合は、前の値を保持します。
  カウンタがオーバーフローした場合はキャプチャされません。
- ビットレート測定機能を有効にしてスタートフレームを受信する場合
  カウント値はキャプチャされ、有効エッジ（RXDn の両エッジ）で保持されます。ただし、ブレークフィールド検出状態では、有効エッジが発生してもカウント値はキャプチャされません。保持されたカウンタキャプチャ値は、XSR1 を読み出した時に解放されます。読み出し前に有効エッジが発生しても、カウント値はキャプチャされません。

30.2.24 CFCLR : 共通フラグクリアレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～4, 9)
SCIn_B_NS = 0x5035_8000 + 0x0100 × n (n = 0～4, 9)

Offset address: 0x68

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	RDRFC	—	TDREC	FERC	PERC	MFFC	—	ORERC	—	—	—	—	—	DFERC	DPERC	DCMFC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	ERSC	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	書く場合、0 としてください。	W
4	ERSC	ERS クリアビット このビットを 1 にすると CSR.ERS ビットをクリアします。読むと常に 0 が読めます。	W
15:5	—	書く場合、0 としてください。	W
16	DCMFC	DCMF クリアビット このビットを 1 にすると CSR.DCMF ビットをクリアします。読むと常に 0 が読めます。	W
17	DPERC	DPER クリアビット このビットを 1 にすると CSR.DPER ビットをクリアします。読むと常に 0 が読めます。	W
18	DFERC	DFER クリアビット このビットを 1 にすると CSR.DFER ビットをクリアします。読むと常に 0 が読めます。	W
23:19	—	書く場合、0 としてください。	W
24	ORERC	ORER クリアビット このビットを 1 にすると CSR.ORER ビットをクリアします。読むと常に 0 が読めます。	W
25	—	書く場合、0 としてください。	W
26	MFFC	MFF クリアビット このビットを 1 にすると CSR.MFF ビットをクリアします。読むと常に 0 が読めます。	W
27	PERC	PER クリアビット このビットを 1 にすると CSR.PER ビットをクリアします。読むと常に 0 が読めます。	W
28	FERC	FER クリアビット 本ビットを 1 にすると CSR.FER ビットをクリアします。読むと常に	W
29	TDREC	TDRE クリアビット このビットを 1 にすると CSR.TDRE ビットをクリアします。読むと常に 0 が読めます。	W
30	—	書く場合、0 としてください。	W
31	RDRFC	RDRF クリアビット このビットを 1 にすると CSR.RDRF ビットをクリアします。読むと常に 0 が読めます。	W

注. S-TYPE-3、P-TYPE-3

30.2.25 ICFCLR : 簡易 IIC フラグクリアレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～4, 9)
SCIn_B_NS = 0x5035_8000 + 0x0100 × n (n = 0～4, 9)

Offset address: 0x6C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	IICSTIFC	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	—	書く場合、0 としてください。	W
3	IICSTIFC	IICSTIF クリアビット IICSTIF クリアビットを 1 にすると ISR.IICSTIF ビットをクリアします。読むと常に 0 が読めます。	W
31:4	—	書く場合、0 としてください。	W

注. S-TYPE-3、P-TYPE-3

30.2.26 FFCLR : FIFO フラグクリアレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0～4, 9)
SCIn_B_NS = 0x5035_8000 + 0x0100 × n (n = 0～4, 9)

Offset address: 0x70

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DRC	DR クリアビット このビットを 1 にすると FRSR.DR ビットをクリアします。読むと常に 0 が読めます。	W
31:1	—	書く場合、0 としてください。	W

注. S-TYPE-3、P-TYPE-3

30.2.27 MFCLR : マンチェスタフラグクリアレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0)
SCIn_B_NS = 0x5035_8000 + 0x0100 × n (n = 0)

Offset address: 0x74

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	MERC	—	SBERC	SYERC	PFERC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PFERC	PFER クリアビット このビットを 1 にすると MSR.PFER ビットをクリアします。読むと常に 0 が読めます。	W
1	SYERC	SYER クリアビット このビットを 1 にすると MSR.SYER ビットをクリアします。読むと常に 0 が読めます。	W
2	SBERC	SBER クリアビット このビットを 1 にすると MSR.SBER ビットをクリアします。読むと常に 0 が読めます。	W
3	—	書く場合、0 としてください。	W
4	MERC	MER クリアビット このビットを 1 にすると MSR.MER ビットをクリアします。読むと常に 0 が読めます。	W
31:5	—	書く場合、0 としてください。	W

注. S-TYPE-3、P-TYPE-3

30.2.28 XFCLR : 簡易 LIN フラグクリアレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0, 1)
SCIn_B_NS = 0x5035_8000 + 0x0100 × n (n = 0, 1)

Offset address: 0x78

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	AEDC	COFC	PIBDC	CF1MC	CF0MC	BFDC	BCDC	BFOC	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	書く場合、0 としてください。	W
8	BFOC	BFOF クリアビット このビットを 1 にすると XSR0.BFOF ビットをクリアします。読むと常に 0 が読めます。	W
9	BCDC	BCDF クリアビット 本ビットを 1 にすると XSR0.BCDF ビットをクリアします。読むと常に 0 が読めます。	W
10	BFDC	BFDF クリアビット 本ビットを 1 にすると XSR0.BFDF ビットをクリアします。読むと常に 0 が読めます。	W
11	CF0MC	CF0MF クリアビット このビットを 1 にすると XSR0.CF0MF ビットをクリアします。読むと常に 0 が読めます。	W

ビット	シンボル	機能	R/W
12	CF1MC	CF1MF クリアビット このビットを 1 にすると XSR0.CF1MF ビットをクリアします。読むと常に 0 が読めます。	W
13	PIBDC	PIBDF クリアビット 本ビットを 1 にすると XSR0.PIBDF ビットをクリアします。読むと常に 0 が読めます。	W
14	COFC	COFF クリアビット 本ビットを 1 にすると XSR0.COF ビットをクリアします。読むと常に 0 が読めます。	W
15	AEDC	AEDF クリアビット このビットを 1 にすると XSR0.AEDF ビットをクリアし、XSR1 レジスタの保持を解除します。読むと常に 0 が読めます。	W
31:16	—	書く場合、0 としてください。	W

注. S-TYPE-3、P-TYPE-3

30.2.29 CESR : 通信許可ステータスレジスタ

Base address: SCIn_B = 0x4035_8000 + 0x0100 × n (n = 0〜4, 9)
SCIn_B_NS = 0x5035_8000 + 0x0100 × n (n = 0〜4, 9)

Offset address: 0x1C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TIST	—	—	—	RIST
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RIST	RE 内部ステータス 0: RE 信号内部ステート値 0 1: RE 信号内部ステート値 1	R
3:1	—	読むと 0 が読めます。	R
4	TIST	TE 内部ステータス 0: TE 信号内部ステート値 0 1: TE 信号内部ステート値 1	R
7:5	—	読むと 0 が読めます。	R

注. S-TYPE-3、P-TYPE-3

通信モジュールの動作クロックとコントロールレジスタの動作クロックは非同期で使うことができます。これらが非同期であっても、いくつかのコントロールレジスタ値が正常動作のために同期回路を通じて内部的に送信されるので、コントロールレジスタへの書き込み後にステートが内部的に反映されるまでにはある程度時間を要します。

通信は本レジスタに対応させるために CCR0 レジスタの TE ビットと RE ビットを許可します。次の通信のための制御ビットを書き換えるためにこれらの制御ビットが 1 から 0 に変わる時、TE ビットと RE ビットの信号は、内部ステートが 0 になった後に、次の制御ビットが書き換えられることを必要とします。通信モジュールのクロックが非常に遅い場合、TE ビットと RE ビットのステートは内部的に反映されません。この場合は、本レジスタを使用して内部ステートを確認することができます。

30.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを図 30.6 に示します。1 フレームは、スタートビット (Low) で始まり、送受信データ、パリティビット、ストップビット (High) の順に構成されます。調歩同期式シリアル通信では、通信回線は通常、マーク状態 (High) に保たれています。

SCI は通信回線を監視しています。スタートビットを検出すると、SCI は通信を開始します。スタートビットの検出条件は、CCR3.RXDESEL ビットの設定に従います。CCR3.RXDESEL ビットが 0 であるとき、SCI はスペース（Low レベル）をスタートビットとみなします。RXDESEL ビットが 1 であるとき、SCI は立ち下がりエッジをスタートビットとみなします。

SCI 内部では送信部と受信部は独立しており、全二重通信が可能です。また、送信部と受信部はどちらも FIFO モードに加えてダブルバッファ構成になっているため、送受信中でもデータの読み出し／書き込みが可能であり、連続送受信動作が実現されます。

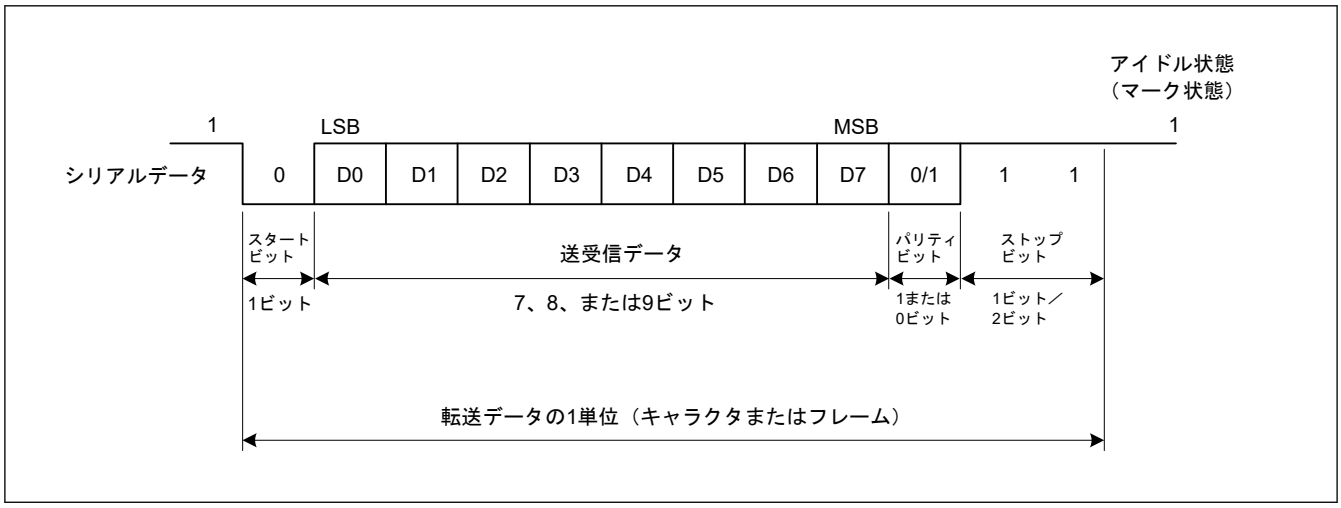


図 30.6　調歩同期式シリアル通信のデータフォーマット（8 ビットデータ／パリティあり／2 ストップビットの場合）

30.3.1　シリアル転送フォーマット

表 30.28 に、調歩同期式モードで設定できるシリアル転送フォーマットを示します。フォーマットは 18 種類あり、CCR1 レジスタおよび CCR3 レジスタの設定により選択できます。マルチプロセッサ機能の詳細については「30.4. マルチプロセッサ通信機能」を参照してください。

表 30.28　シリアル転送フォーマット（調歩同期式モード） (1/2)

CCR3		CCR1		CCR3	シリアル転送のフォーマットとフレーム長
CHR[1:0]		PE	MP	STP	1 2 3 4 5 6 7 8 9 10 11 12 13
0	0	0	0	0	ST 9 ビットデータ SP
0	0	0	0	1	ST 9 ビットデータ SP SP
0	0	1	0	0	ST 9 ビットデータ P SP
0	0	1	0	1	ST 9 ビットデータ P SP SP
1	0	0	0	0	ST 8 ビットデータ SP
1	0	0	0	1	ST 8 ビットデータ SP SP
1	0	1	0	0	ST 8 ビットデータ P SP
1	0	1	0	1	ST 8 ビットデータ P SP SP
1	1	0	0	0	ST 7 ビットデータ SP
1	1	0	0	1	ST 7 ビットデータ SP SP

表 30.28　シリアル転送フォーマット（調歩同期式モード） (2/2)

CCR3		CCR1		CCR3	シリアル転送のフォーマットとフレーム長
CHR[1:0]		PE	MP	STP	1 2 3 4 5 6 7 8 9 10 11 12 13
1	1	1	0	0	ST | 7 ビットデータ | P | SP
1	1	1	0	1	ST | 7 ビットデータ | P | SP | SP
0	0	—	1	0	ST | 9 ビットデータ | MPB | SP
0	0	—	1	1	ST | 9 ビットデータ | MPB | SP | SP
1	0	—	1	0	ST | 8 ビットデータ | MPB | SP
1	0	—	1	1	ST | 8 ビットデータ | MPB | SP | SP
1	1	—	1	0	ST | 7 ビットデータ | MPB | SP
1	1	—	1	1	ST | 7 ビットデータ | MPB | SP | SP

ST: スタートビット
SP: ストップビット
P: パリティビット
MPB: マルチプロセッサビット

30.3.2　調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍(注1)の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がりエッジを基本クロックでサンプリングして内部を同期化します。(注2)

また、図 30.7 に示すように、受信データは基本クロックの 8 パルス目(注1)の立ち上がりエッジでサンプリングされるため、各ビット（サンプリング時間を調整しない場合（CCR4.ASEN = 0 または CCR4.ASEN = 1 かつ CCR4.AST[2:0] = 000b)）の中間でデータが取り込まれます。調歩同期式モードでの受信マージンは以下の式 (1) によって決定されます。

$$M = \left|\left(0.5 - \frac{1}{2N}\right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F)\right| \times 100\ [\%] \quad \ldots \quad \text{式 (1)}$$

注.　M: 受信マージン
N: クロックに対するビットレートの比
基本クロックに対するビットレートの比率については、表 30.6 を参照してください。
D: クロックのデューティーサイクル (D = 0.5～1.0)
L: フレーム長 (L = 9～13)
F: クロック周波数の偏差の絶対値

式（1）で、F = 0、D = 0.5 とすると、受信マージンは下記の式で算出されます。
$M = \{0.5 - 1/(2 \times 16)\} \times 100\ (\%) = 46.875\ \%$

これは計算上の値を表しています。システム設計の際には 20～30%の余裕を持たせることが推奨されます。

注 1.　これは、CCR2 レジスタの ABCS ビット、ABCSE ビット、および ABCSE2 ビットがいずれも 0 の場合の例です。CCR2 レジスタの ABCS ビットが 1 で ABCSE ビットと ABCSE2 ビットが 0 の場合は、ビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロックの 4 パルス目の立ち上がりエッジでサンプリングされます。CCR2 レジスタの ABCSE ビットが 1 で ABCSE2 ビットが 0 の場合は、ビットレートの 6 倍の周波数が基本クロックとなり、受信データは基本クロックの 3 パルス目の立ち上がりエッジでサンプリングされます。CCR2 レジスタの ABCSE ビットが 0 で ABCSE2 ビットが 1 の場合は、ビットレートの 4 倍の周波数が基本クロックとなり、受信データは基本クロックの 2 パルス目の立ち上がりエッジでサンプリングされます。

注 2. スタートビットの決定条件は以下の通りです。

サンプリングタイミング調整機能がオフ (ASEN = 0) :

スタートビットの決定条件は、Low 状態がビットの中間点より後ろまで続くことです。サンプリングタイミングと同様です。図 30.7 では、スタートビットを検出するためには Low 状態が 8 サイクルより長く続く必要があります。Low 状態が 8 サイクルより長く続かなかった場合は、SCI はこれをノイズと判断します。したがって SCI は受信を開始せず、スタートビットを待ちます。

サンプリングタイミング調整機能がオン (ASEN = 1) :

スタートビットの決定条件は、Low 状態がサンプリングタイミングまで継続することです。サンプリングタイミングを前に調整 (AJD = 1) すると、ノイズをスタートビットと誤って判断する可能性が増します。

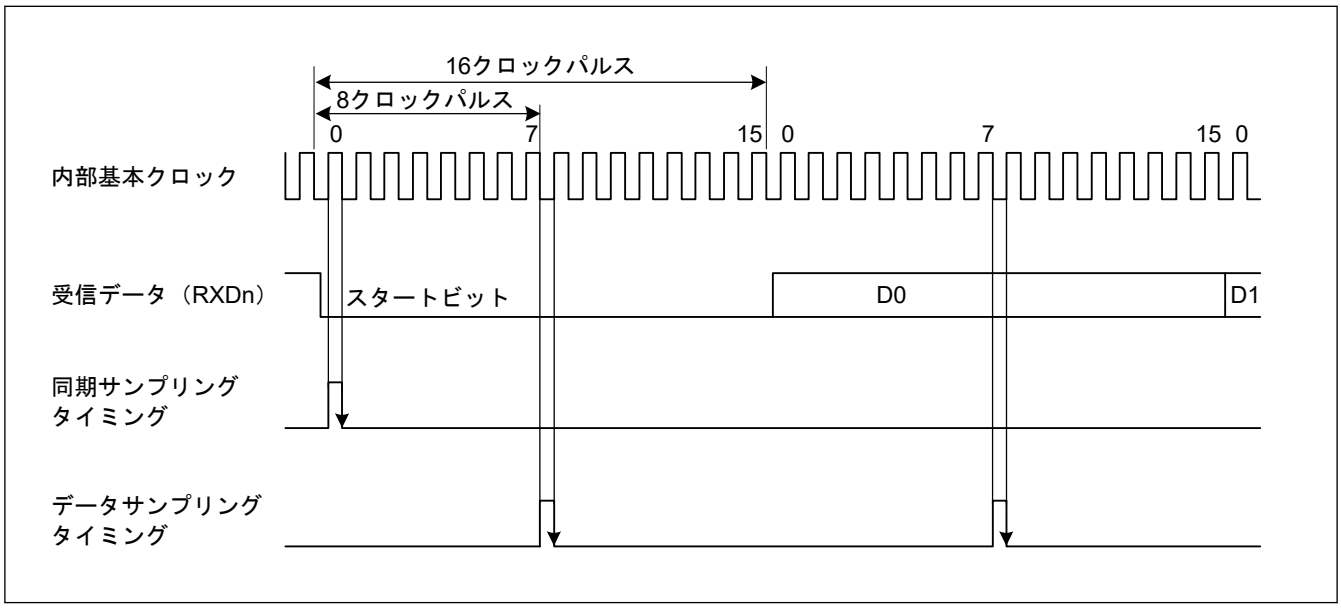


図 30.7 調歩同期式モードでの受信データサンプリングタイミング

30.3.3 クロック

SCI の送受信クロックは、CCR3.CKE[1:0]ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子に入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn 端子にビットレートの 16 倍（CCR2.ABCS ビット = 0 のとき）、または 8 倍（CCR2.ABCS ビット = 1 のとき）の周波数のクロックを入力する必要があります。

また、外部クロックを指定したときは、GPTn (n = 3, 4) の基本クロックを CCR2.ACS0 で選択することができます。

内部クロックで動作させるときは、SCKn 端子からクロックを出力させることができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 30.8 に示すように、送信データの中間にクロックの立ち上がりエッジが来るように設定されます。

内部クロックが選択される場合、CCR0.TE ビットまたは CCR0.RE ビットを 1 に設定後に SCKn 端子が出力されます。

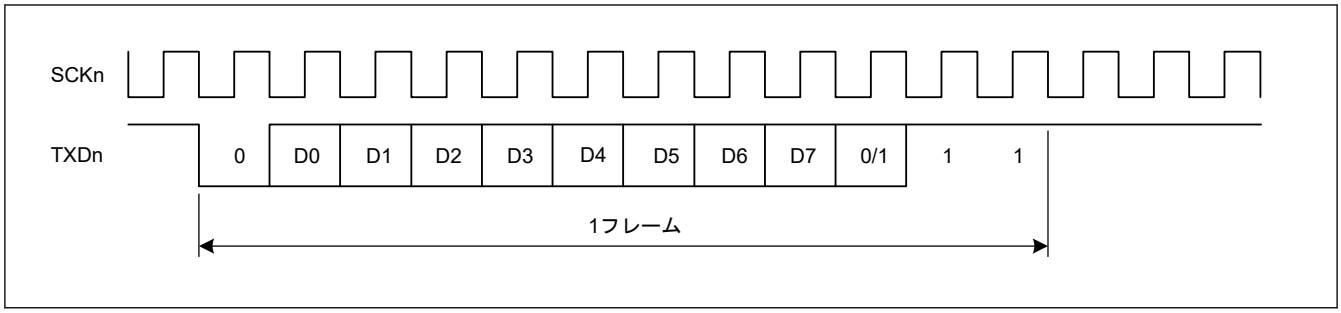


図 30.8 調歩同期式モードにおける出力クロックと送信データの位相関係（CCR1.PE = 1、CCR3.CHR[1:0] = 10b、MP = 0、および STP = 1）

30.3.4 倍速動作とビットレートの 6 倍または 4 倍の周波数

CCR2.ABCS ビットが 1 になっていると、SCI のビットレートは ABCS ビットが 0 の場合の 2 倍になります。CCR2.BGDM ビットが 1 になっていると、基本クロックの周期は 1/2 倍になり、ビットレートは BGDM ビットが 0 の場合の 2 倍になります。CCR3.CKE[1]ビットを 0 にして、内蔵ボーレートジェネレータを選択した場合、ABCS ビットと BGDM ビットを 1 にすることにより、ABCS ビットと BGDM ビットが 0 の場合に比べて、SCI は 4 倍のビットレートで動作できるようになります。

CCR2 の ABCSE ビットを 1 にして ABCSE2 ビットを 0 にすると、基本クロックのパルス数は 1 ビット期間中 6、基本クロックの周波数は半分になります。このとき、CCR2.ABCS ビット = 0、CCR2.BGDM ビット = 0、CCR2.ABCSE ビット = 0、および CCR2.ABCSE2 ビット = 0 の場合に比べて、RSCI は 16/3 倍のビットレートで動作します。

CCR2 の ABCSE ビットを 1 にして ABCSE2 ビットを 1 にすると、基本クロックのパルス数は 1 ビット期間中 4、基本クロックの周波数は半分になります。このとき、CCR2.ABCS ビット = 0、CCR2.BGDM ビット = 0、CCR2.ABCSE ビット = 0、および CCR2.ABCSE2 ビット = 0 の場合に比べて、RSCI は 8 倍のビットレートで動作します。

「30.3.2. 調歩同期式モードの受信データサンプリングタイミングと受信マージン」の式 (1) に示す通り、CCR2 の ABCS ビット、ABCSE ビット、または ABCSE2 ビットが 1 の場合、受信マージンは減少します。そのため、目的のビットレートを達成できる場合は、CCR2 の ABCS ビット、ABCSE ビット、および ABCSE2 ビットを 1 にして RSCI を使用することを推奨します。

30.3.5 CTS、RTS 機能

CTS 機能は CTSn 端子入力を使用して送信を制御します。CCR1.CTSE ビットを 1 にすると、CTS 機能が有効になります。CTS および RTS 機能に対して、CTSn_RTSn 端子を兼用端子として設定することで、1 端子で両方の機能を使用する設定または 2 端子（CTSn 信号に対しては CTSn 端子、RTSn 信号に対しては CTSn_RTSn 端子）で各機能を個別に使用する専用設定を選択できます。これは、CCR1.CTSPEN ビットにより設定されます。

CTS 機能が有効な場合、CTSn_RTSn 端子入力が Low になると送信が開始されます。

FIFO が使用され、送信前に CTSn_RTSn 信号が High で保持されていても、送信は開始されません。よって、TDR レジスタへの書き込み回数とデータ格納回数は同じです（クロック同期式 FIFO を使用する場合は異なります）。

送信中に CTSn_RTSn 端子入力を High にしても、送信中のフレームは影響を受けません。

RTS 機能は、CTSn_RTSn 端子出力を使用して、受信可能な状態になると Low を出力します。Low および High を出力する条件は以下のとおりです。

[Low になる条件]

下記条件をすべて満たす場合

非 FIFO 選択時

- CCR0.RE ビットの値が 1
- 次の受信が可能な場合
  - 読み出し前の受信データがなく、受信しない
  - CSR.ORER、FER、PER フラグがすべて 0

FIFO 選択時

- CCR0.RE ビットの値が 1
- 次の受信が可能な場合
  - 受信 FIFO (RDR) に書き込まれた受信データ数が FCR.RSTRG[4:0]の設定値より少ない
  - CSR.ORER (RDR.ORER) フラグが 0

[High になる条件]

- Low になる条件を満たさない場合

30.3.6 アドレス一致（受信データ一致）検出機能

アドレス一致検出機能は、調歩同期式モードでのみ使用可能です。

CCR0.DCME ビットを 1 にした場合(注2)、1 フレーム分のデータを受信すると、SCI は受信データと CCR4.CMPD ビットの値を比較します。SCI によって受信データと比較データ (CCR4.CMPD(注1)) の一致が検出された場合、SCIn_RXI 割り込み要求を発生させることができます。

CCR3.MP ビットが 0 の場合は、受信フォーマットの有効データのみが比較対象になります。マルチプロセッサモード（CCR3.MP ビット = 1）では、CCR0.IDSEL ビットが 1 の場合、MPB ビット = 1 の受信データがアドレス一致の比較対象となり、MPB ビット = 0 の受信データは、常に不一致として処理されます。

CCR0.IDSEL ビットが 0 の場合、受信データの MPB ビットの値にかかわらず、SCI はアドレス一致検出を実行します。

受信データと比較データ (CCR4.CMPD(注1)) の一致が検出されるまで、受信データが読み飛ばされる（廃棄される）ので、SCI はパリティエラーもフレーミングエラーも検出することができません。

SCI が一致を検出すると、CCR0.DCME ビットは自動的にクリアされ、CSR.DCMF フラグは 1 になります。CCR0.IDSEL ビットが 1 であれば、CCR0.MPIE ビットが自動的にクリアされます。また、CCR0.IDSEL ビットが 0 であれば、CCR0.MPIE ビットの値が保持されます。CCR0.RIE ビットを 1 にすると、SCI は SCIn_RXI 割り込み要求を発行します。

一致が検出された受信データで SCI がフレーミングエラーを検出すると、CSR.DFER フラグが 1 になります。また、そのフレームにパリティエラーを検出すると、CSR.DPER フラグが 1 になります。比較された受信データおよび MPB ビットは RDR レジスタに格納されません。また、CSR.RDRF フラグは 0 を保持します。

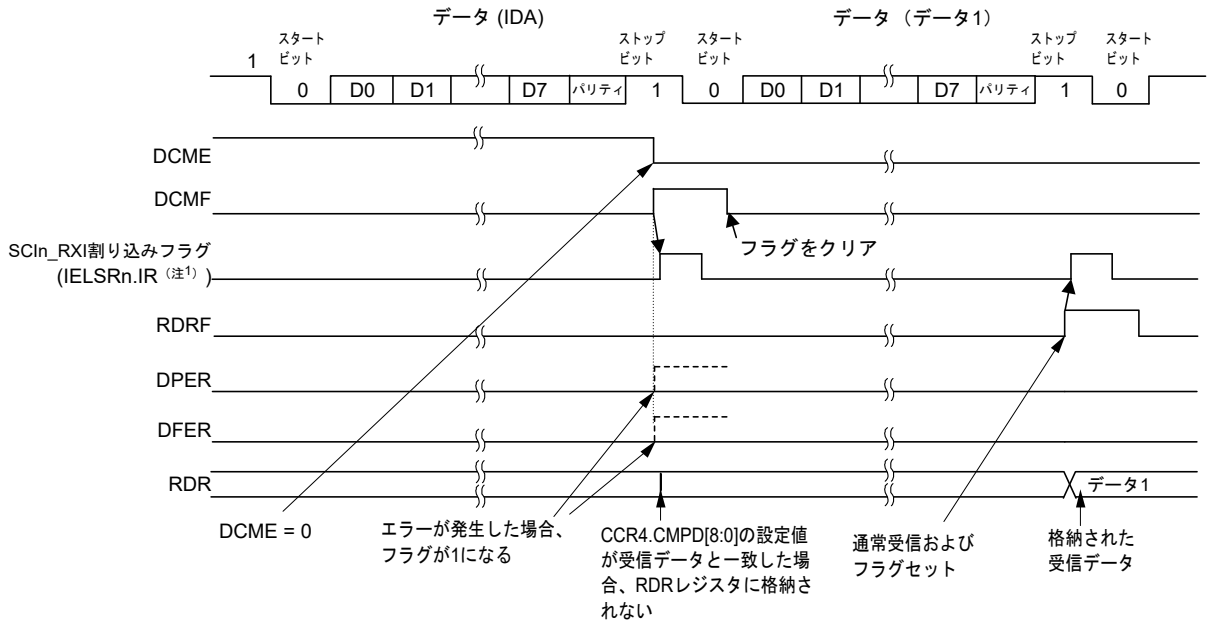
SCI が一致を検出すると、CCR0.DCME ビットは自動的にクリアされ、SCI は現在のレジスタ設定に基づいて次のデータを連続して受信します。

CSR.DFER フラグまたは CSR.DPER フラグが 1 の状態では、アドレス一致検出は実行されません。アドレス一致検出機能を有効にする場合は、事前に CSR.DFER フラグと CSR.DPER フラグを 0 にしてください。

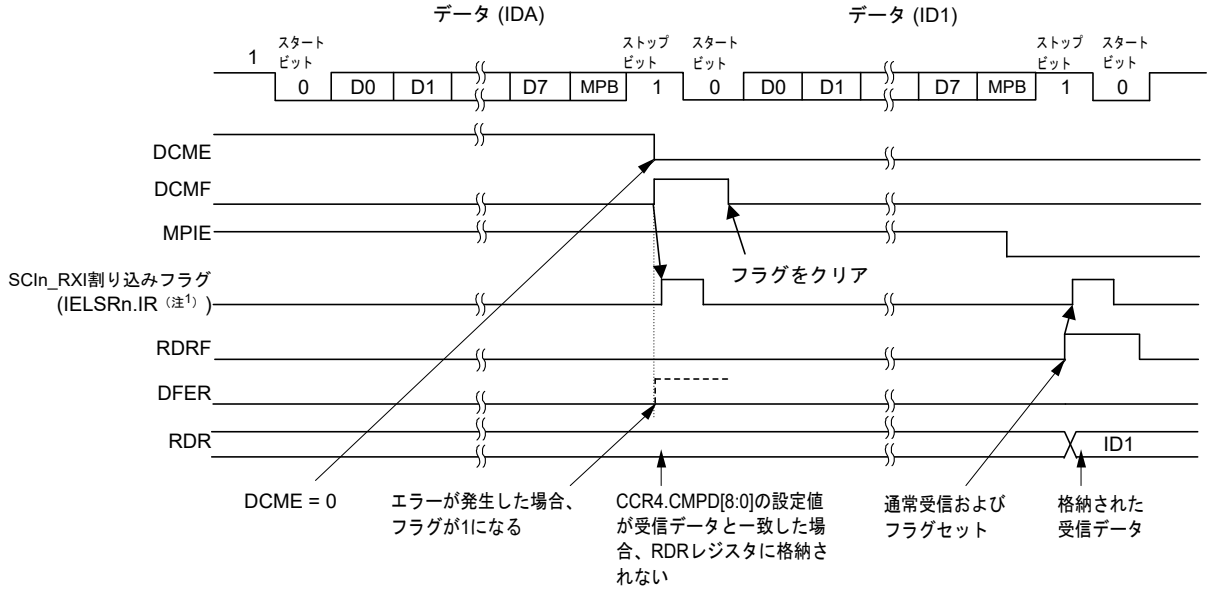
アドレス一致検出機能の例を図 30.9 と図 30.10 に示します。

注 1. 比較対象は、以下の 3 種類のビット長から選択できます。7 ビット長の CMPD[6:0]、8 ビット長の CMPD[7:0]、および 9 ビット長の CMPD[8:0]

注 2. アドレス一致検出を実行する受信フレームのスタートビットを受信する前に、CCR0.DCME ビットを 1 にしてください。



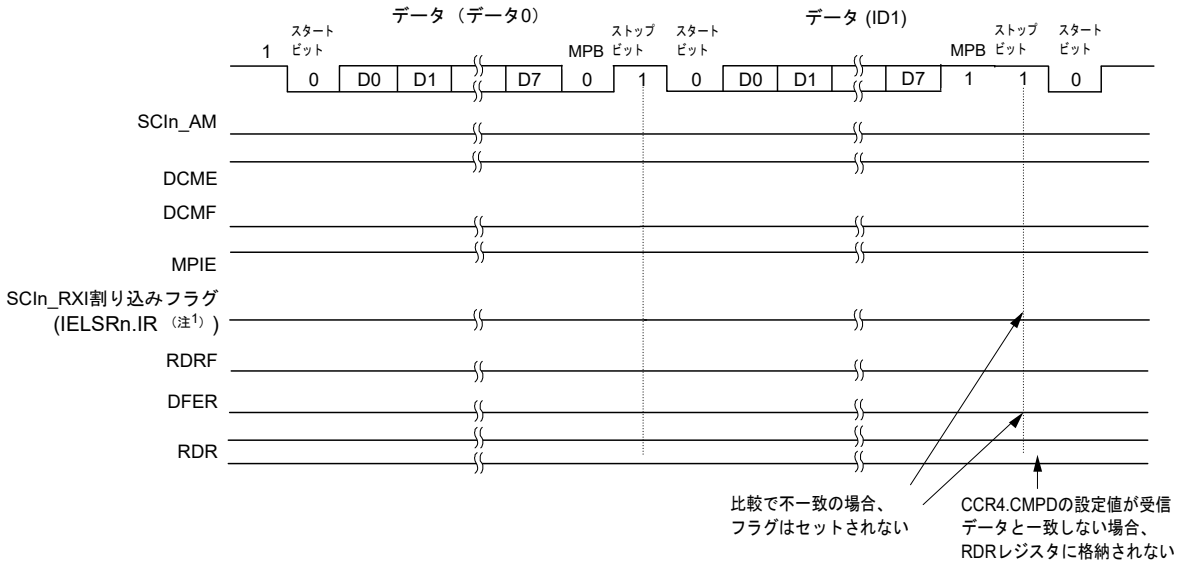
(a) 受信データとCCR4.CMPD[8:0]の比較結果が一致した場合の例（8ビット長／パリティ／通常モード）



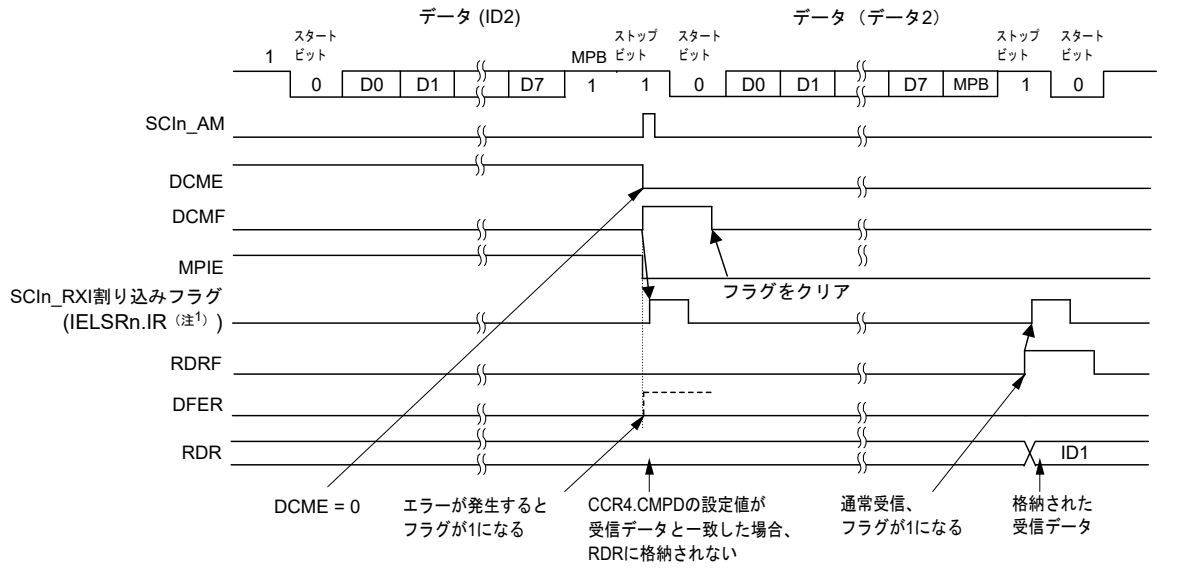
(b) 受信データとCCR4.CMPD[8:0]の比較結果が一致した場合の例（8ビット長／マルチプロセッサモード）

注 1. 対応する割り込みイベント番号については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

図 30.9 アドレス一致検出の例 (1)（通常モードとマルチプロセッサモード）



(a) 受信データとCCR4.CMPDの比較結果が不一致の場合の例（8ビット長／IDSEL = 1／マルチプロセッサモード）



(b) 受信データとCCR4.CMPDの比較結果が一致した場合の例（8ビット長／IDSEL = 1／マルチプロセッサモード）

注 1.　対応する割り込みイベント番号については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

図 30.10　アドレス一致検出の例 (2)（マルチプロセッサモード）

30.3.7　SCI の初期化（調歩同期式モード）

データを送受信する前に、最初に初期値 0 を CCR0.TE ビットと CCR0.RE ビット（または CCR0 レジスタ）に書き込み、次に SCI の初期設定（非 FIFO 選択時または FIFO 選択時）を表 30.29 と表 30.30 のフローチャートに従って続けてください。動作モードまたは通信フォーマットを変更する場合も、CCR0.TE ビットと CCR0.RE ビットを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

注.　CCR0.RE ビットを 0 にしても、CSR レジスタの ORER、FER、RDRF、RDAT、PER、DR の各フラグ、および RDR レジスタは初期化されません。FIFO 選択時に TE ビットが 0 の場合、選択した FIFO バッファに対する TEND フラグは初期化されません。

動作モードの変更時も注意してください。

注.　CCR0.TIE ビットが 1 の状態で、CCR0.TE ビットの値を 0 から 1 に変更すると、SCIn_TXI 割り込み要求が発生します。

表 30.29　調歩同期式モードにおける SCI の初期化フローチャート例（非 FIFO 選択時）

No.	ステップ名	説明
1	初期化を開始	—
2	CCR0 を設定	CCR0.TEIE、TIE、RIE、TE、RE の各ビットを 0 に設定。初期設定から変更していない場合は、この手順を省略できます。
3	CCR3 を設定	以下の機能と通信モードを設定します。 RS-485 のドライバ制御機能、FIFO 未使用、マルチプロセッサモード、通信モード (MOD[2:0] = 000b) 送信／受信フォーマット クロック許可（クロック出力時の初期値を残します） 未使用ビットを初期値のままにします。
4	CCR2 を設定	ビットレート変調機能の設定(注1)(注2)、クロック選択、ビットレート設定(注2)を行います。
5	CCR1 を設定	ノイズフィルタ機能、ループバック機能、通信端子ステータス、パリティチェック機能、CTSn_RTSn 機能を設定します。
6	CCR4 を設定	サンプリングタイミング調整機能と送信タイミング調整機能の設定をします。
7	I/O ポート機能を設定	I/O ポートを設定して、TXDn、RXDn、および SCKn 端子に必要な入出力機能を有効にします。
8	CCR3 を設定	クロックの出力時に、この段階でクロックイネーブルビット (CKE[1:0]) を設定します。このレジスタ設定の後、ただちにクロック端子が出力状態になります。
9	CFCLR を設定	以下のビットに 1 を書き込むことにより、対応するフラグを 0 にクリアします。CFCLR.RDRFC、FERC、PERC、MFFC、ORERC、DFERC、DPERC、DCMFC、ERSC リセット後の初期化のフローで行う場合は、この段階を省略できます。
10	CCR0 を設定	TE ビットまたは RE ビットを 1 にします。割り込みを有効にするためには、TE ビット、TIE ビット、RE ビット、RIE ビットを 1 つの命令で同時に 1 にします。TE ビットおよび RE ビットを設定することで、TXDn 端子および RXDn 端子が使用可能となります。
11	初期化を完了	—

注 1.　ビットレート変調機能を使用しない場合、この設定は不要です。
注 2.　外部クロックを使用する場合、この設定は不要です。

表 30.30　調歩同期式モードにおける SCI の初期化フローチャート例（FIFO 選択時） (1/2)

No.	ステップ名	説明
1	初期化を開始	—
2	CCR0 を設定	CCR0.TEIE、TIE、RIE、TE、RE の各ビットを 0 に設定。初期設定から変更していない場合は、この手順を省略できます。
3	CCR3 を設定	以下の機能と通信モードを設定します。 RS-485 のドライバ制御機能、FIFO 使用、マルチプロセッサモード、通信モード (MOD[2:0] = 000b) 送信／受信フォーマット クロック許可（クロック出力時の初期値を残します） 未使用ビットを初期値のままにします。
4	CCR2 を設定	ビットレート変調機能の設定(注1)(注2)、クロック選択、ビットレート設定(注2)を行います。
5	CCR1 を設定	ノイズフィルタ機能、ループバック機能、通信端子ステータス、パリティチェック機能、CTSn_RTSn 機能を設定します。
6	CCR4 を設定	サンプリングタイミング調整機能と送信タイミング調整機能の設定をします。
7	FCR を設定	TFRST ビットおよび RFRST ビットを 1 にして、FIFO をエンプティにします。DRES ビット、TTRG[4:0]ビット、RTRG[4:0]ビット、および RSTRG[4:0]ビットを設定します。
8	I/O ポート機能を設定	I/O ポートを設定して、TXDn、RXDn、および SCKn 端子に必要な入出力機能を有効にします。

表 30.30　調歩同期式モードにおける SCI の初期化フローチャート例（FIFO 選択時） (2/2)

No.	ステップ名	説明
9	CCR3 を設定	調歩同期式モードでクロック出力を選択する場合、CKE[1:0]ビットを設定してください。このレジスタ設定の後、ただちにクロック端子が出力状態になります。ただし、クロックは TE ビットまたは RE ビットを 1 にした後に動作します。
10	CFCLR を設定	以下のビットに 1 を書き込むことにより、対応するフラグを 0 にクリアします。CFCLR.RDRFC、FERC、PERC、MFFC、ORERC、DFERC、DPERC、DCMFC、ERSC リセット後の初期化のフローで行う場合は、この段階を省略できます。
11	FFCLR を設定	FFCLR.BRKC ビットと DRC ビットに 1 を書き込むことにより、対応するフラグを 0 にクリアします。リセットの後の初期化のフローで行う場合は、この段階を省略できます。
12	CCR0 を設定	TE ビットまたは RE ビットを 1 にします。割り込みを有効にするためには、TE ビット、TIE ビット、RE ビット、および RIE ビットを 1 つの命令で同時に 1 にします。TE ビットおよび RE ビットを設定することで、TXDn 端子および RXDn 端子が使用可能となります。
13	初期化を完了	—

注 1.　ビットレート変調機能を使用しない場合、この設定は不要です。
注 2.　外部クロックを使用する場合、この設定は不要です。

図 30.11 に、リセット解除後にデータを転送し、表 30.29 または表 30.30 に従って SCI を調歩同期式モードに設定する際のタイミング例を示します。図に示す通り、TXDn 端子に端子機能を設定したとき、CCR0.TE ビットが 0 なので、端子はハイインピーダンスとなります。CCR0.TE を 1 に設定した後、送信データを書き込むと、データ送信を開始されます。TDR 書き込みからデータ送信開始までの送信ウェイト時間があります。調歩同期モードでは、この間 TXDn は High となります。

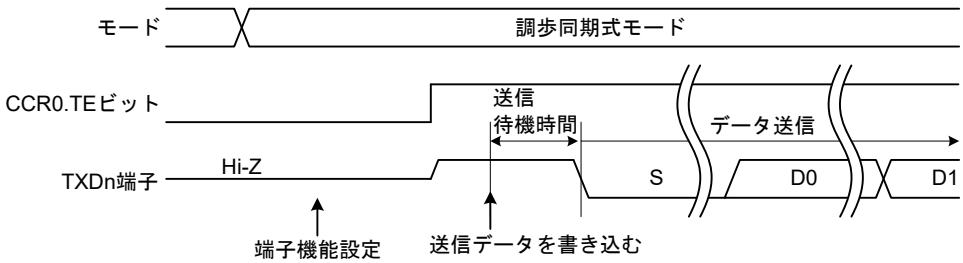


図 30.11　調歩同期モードでのデータ送信タイミング例

30.3.8　シリアルデータの送信（調歩同期式モード）

(1) 非 FIFO 選択時

図 30.12、図 30.13、図 30.14、および図 30.15 に、調歩同期式モードにおけるシリアル送信の動作例を示します。

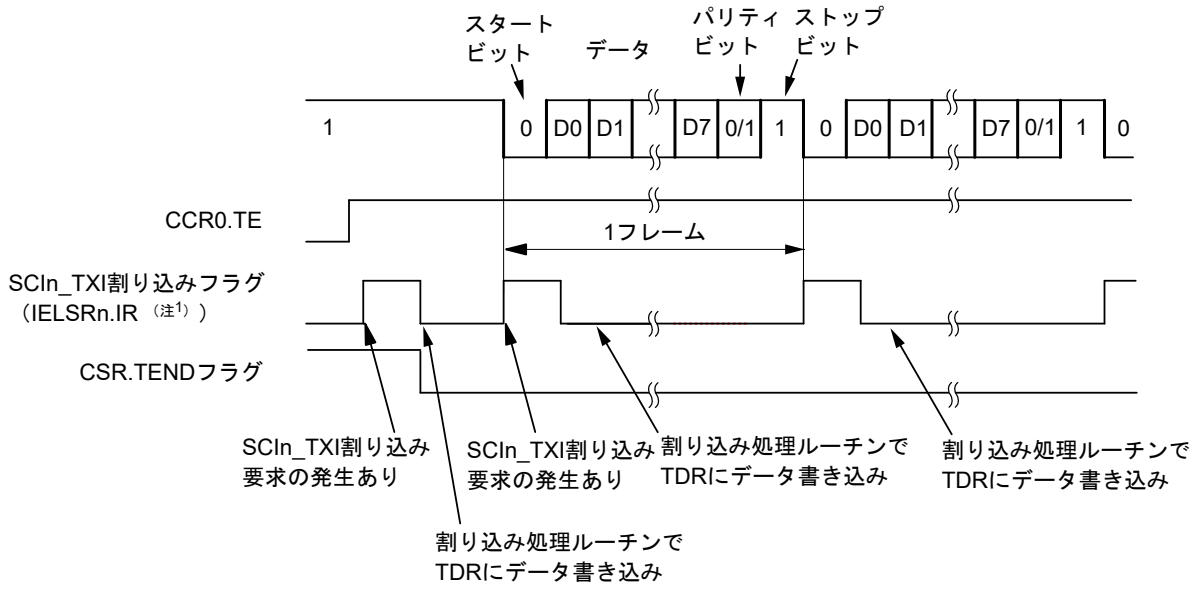
本項では、シリアル送信時の SCI の動作について説明します。

1. SCIn_TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、SCI は TDR レジスタから TSR レジスタへデータを転送します。
   なお、送信開始時の SCIn_TXI 割り込み要求は、CCR0.TE ビットと CCR0.TIE ビットを 1 命令で同時に 1 にすることで発生します。
2. CCR1.CTSE ビットが 0（CTS 機能は無効）であるか、または CTSn_RTSn 端子の入力が Low であると、TDR レジスタから TSR レジスタへデータが転送され、送信が開始されます。CCR0.TIE ビットが 1 であれば、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が完了する前に、TDR レジスタに次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合、SCIn_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを TDR レジスタに書き込んだ後、CCR0.TIE ビットを 0（SCIn_TXI 割り込み要求を禁止）にして、CCR0.TEIE ビットを 1（SCIn_TEI 割り込み要求を許可）にします。
3. データは、以下の順に TXDn 端子から送り出されます。
   - スタートビット
   - 送信データ

- パリティビットまたはマルチプロセッサビット（フォーマットによっては、ない場合もある）
- ストップビット

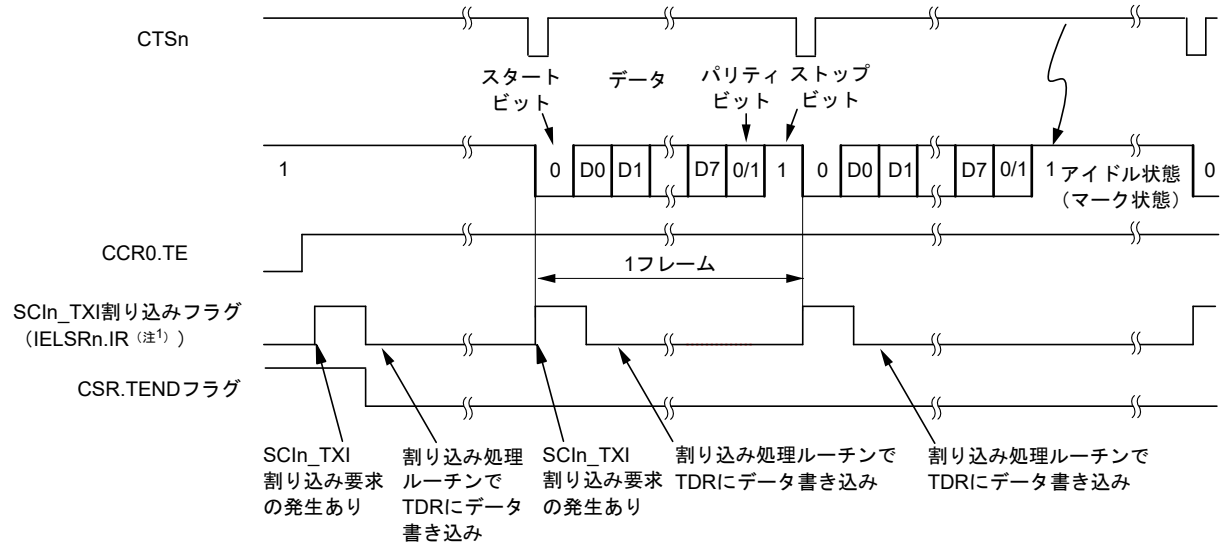
4. ストップビットを送り出すタイミングで、SCI は TDR レジスタの更新をチェックします。
5. TDR レジスタが更新されていると、CCR1.CTSE ビットが 0（CTS 機能は無効）、または CTSn_RTSn 端子の入力が Low に設定されていれば、次の送信データが TDR レジスタから TSR レジスタへ転送され、ストップビット送出後、次のフレームのシリアル送信が開始されます。
6. TDR レジスタが更新されていない場合は、CSR.TEND フラグが 1 になり、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき、CCR0.TEIE ビットが 1 になっていると、CSR.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。

図 30.12、図 30.13、図 30.14、および図 30.15 に、調歩同期式モードにおけるシリアル送信の動作例を示します。



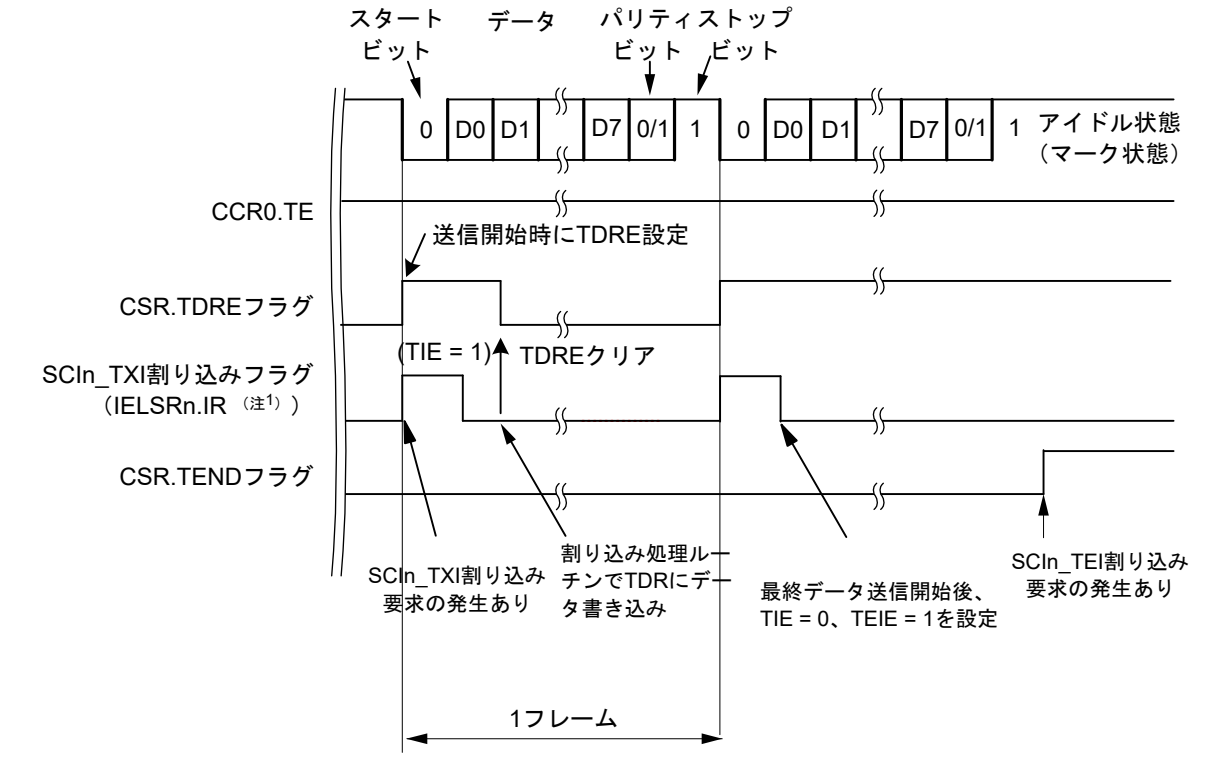
注 1.　対応する割り込みイベント番号については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

図 30.12　調歩同期式モードにおけるシリアル送信の動作例 (1)（8 ビットデータ／パリティあり／1 ストップビット／CTS 機能不使用／送信開始時）



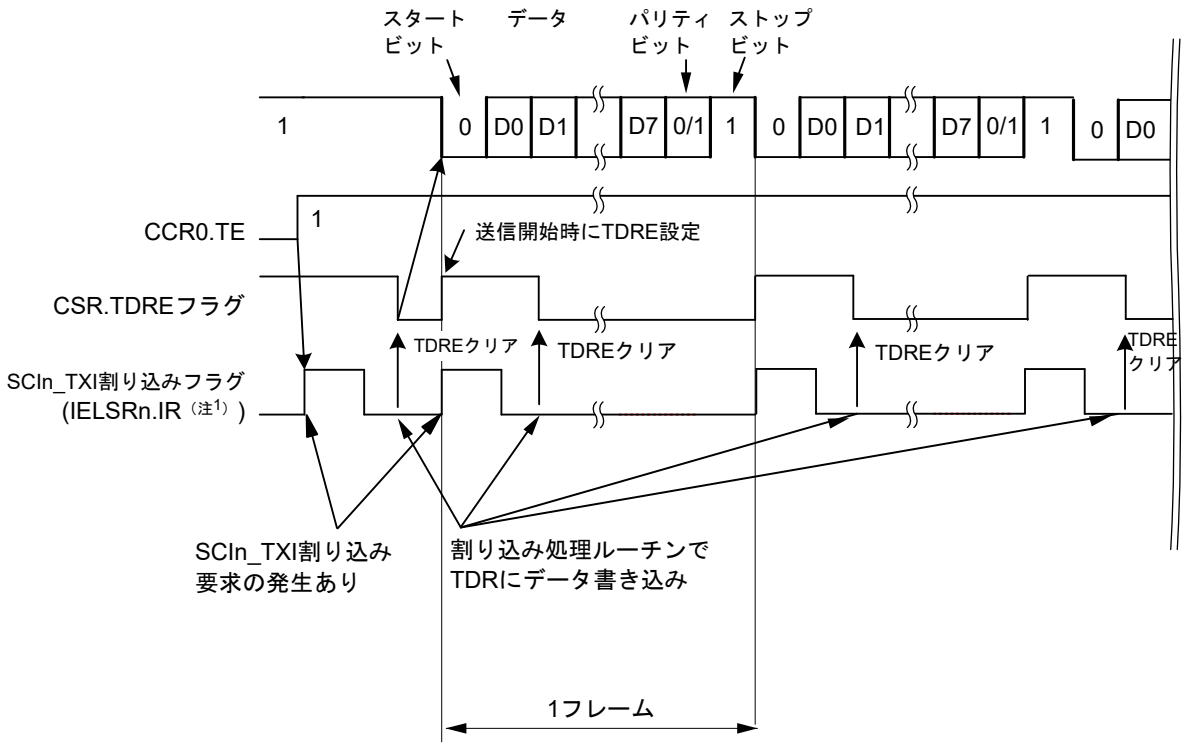
注 1.　対応する割り込みイベント番号については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

図 30.13　調歩同期式モードにおけるシリアル送信の動作例 (2)（8 ビットデータ／パリティあり／1 ストップビット／CTS 機能使用／送信開始時）



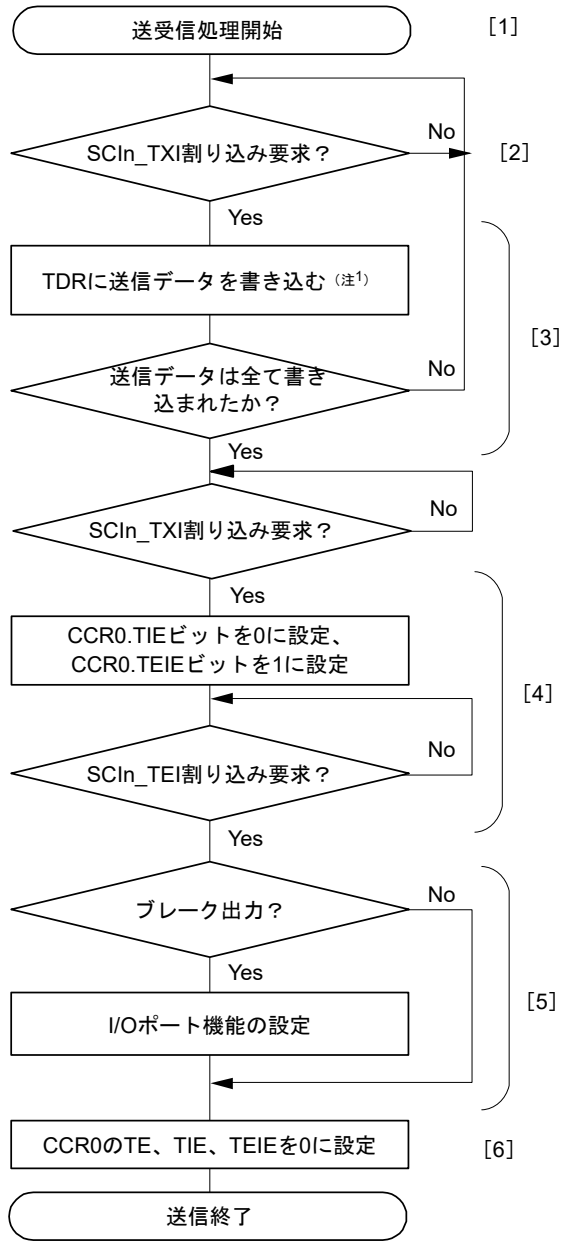
注 1.　対応する割り込みイベント番号については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

図 30.14　調歩同期式モードにおけるシリアル送信の動作例 (3)（8 ビットデータ／パリティあり／1 ストップビット／CTS 機能不使用／送信途中～送信完了時）



注 1.　対応する割り込みイベント番号については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

図 30.15　調歩同期式モードにおけるシリアル送信の動作例 (4)
（8 ビットデータ／パリティあり／1 ストップビット／CTS 機能使用しない／送信途中～送信完了時）



[1]　送信処理開始

[2]　SCIn_TXI割り込み要求：
送信データエンプティ割り込み (SCIn_TXI) が発生するのは、次の条件が成立したときです。
TEとTIEが同時に0になる。
TDRからTSRへ送信データが転送される。

[3]　シリアル送信の継続手順：
シリアル送信を継続するときには、SCIn_TXIを使用して送信データをTDR (注1) に1回書き込みます。
送信データは、DMACまたはDTCを起動することでも書き込むことができます。

[4]　TEIを使用する場合は、最後の送信データがTDR (注1) に書き込まれて送信が開始した後に、TIEに0を、TEIEに1を設定します。

[5]　シリアル送信終了時のブレーク出力：
ブレークを出力するには、TEが0のときに、出力状態設定にSPB2IOとSPB2DTを設定する必要があります。
（これらのビットを初期化時に設定する場合はこのステップを省略できます。）

[6]　CCR0のTE、TIE、TEIEを0に設定

注 1.　データ長 9 ビットでのバイトアクセス時、書き込み送信データは TDR[15:8]ビット、TDR[7:0]ビットの順になります。

図 30.16　調歩同期式モードにおけるシリアル送信のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

図 30.17 に、調歩同期式モード（FIFO 選択時）において TDR レジスタに書き込まれるデータフォーマットの例を示します。

データ長に対応したデータが TDR[8:0]に設定されます。使用しないビットには 0 を書いてください。TDR[15:8]→TDR[7:0]の順に書いてください。

データ長	レジスタ設定		TDR[15:0]内の送信データ															
	CCR3.CHR[1:0]		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	1	–	–	–	–	–	–	MPBT	–	–	TDAT[6:0]						
8ビット	1	0	–	–	–	–	–	–	MPBT	–	TDAT[7:0]							
9ビット	0	Don’t care	–	–	–	–	–	–	MPBT	TDAT[8:0]								

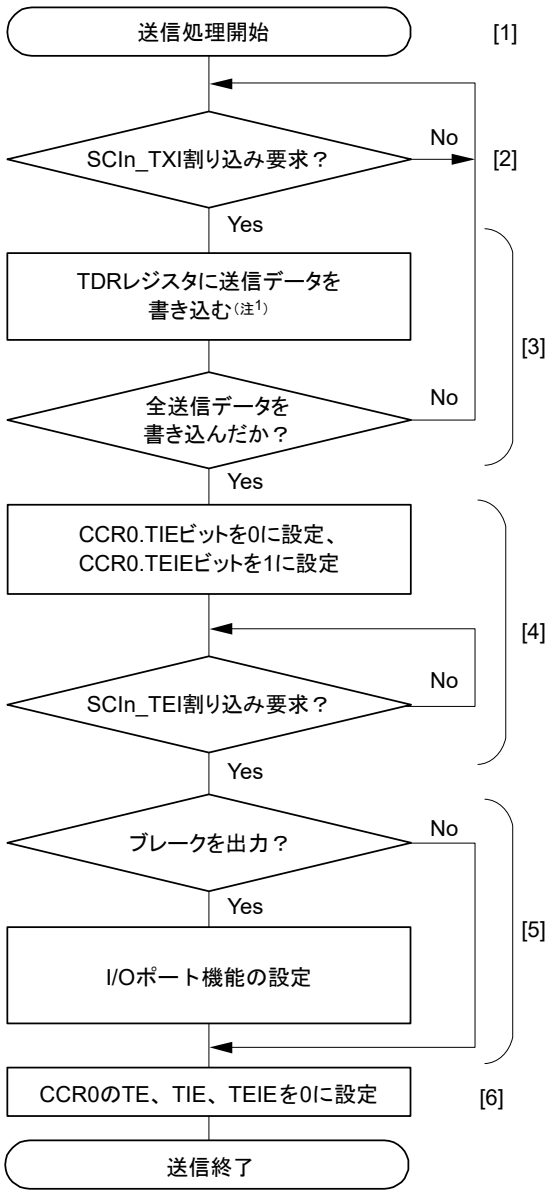
注.　—：無効。書く場合、0 としてください。

図 30.17　送信 FIFO (TDR) に書き込まれるデータフォーマット（FIFO 選択時）

本項では、シリアル送信時の SCI の動作について説明します。

1. SCIn_TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、SCI は TDR レジスタから TSR レジスタへデータを転送します。TDR レジスタに書き込み可能なデータのバイト数は"16 - FTSR.T[5:0]"です。なお、送信開始時の SCIn_TXI 割り込み要求は、CCR0.TE ビットと CCR0.TIE ビットを 1 命令で同時に 1 にすることで発生します。
2. CCR1.CTSE ビットが 0（CTS 機能は無効）であるか、または CTSn_RTSn 端子の入力が Low であると、TDR レジスタから TSR レジスタへデータが転送され、送信が開始されます。TDR レジスタに書き込まれた送信データ数が、指定された送信トリガ数以下のとき、CSR.TDRE ビットが 1 になります。CCR0.TIE ビットが 1 であれば、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が完了する前に、TDR レジスタに次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合、SCIn_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを TDR レジスタに書き込んだ後、CCR0.TIE ビットを 0（SCIn_TXI 割り込み要求を禁止）にして、CCR0.TEIE ビットを 1（SCIn_TEI 割り込み要求を許可）にします。
3. データは、以下の順に TXDn 端子から送り出されます。
   - スタートビット
   - 送信データ
   - パリティビットまたはマルチプロセッサビット（フォーマットによっては、ない場合もある）
   - ストップビット
4. ストップビットを送り出すタイミングで、SCI は TDR レジスタに未送信データが残っていないかチェックします。
5. 送信 FIFO (TDR) レジスタにデータがある場合、CCR1.CTSE ビットが 0（CTS 機能は無効）であるか、または CTSn_RTSn 端子の入力が Low であると、次の送信データが TDR レジスタから TSR レジスタへ転送され、ストップビット送出後、次のフレームのシリアル送信が開始されます。
6. 送信 FIFO (TDR) レジスタにデータがない場合、CSR レジスタの TEND フラグが 1 になり、ストップビットを送り出した後、1 を出力するマーク状態になります。CCR0.TEIE ビットが 1 であれば、SCIn_TEI 割り込み要求が発生します。

図 30.18 に、調歩同期式モードにおける FIFO 選択時のシリアル送信のフローチャート例を示します。



[1] 送信処理開始

[2] SCIn_TXI割り込み要求:
送信データエンプティ割り込み (SCIn_TXI) が発生するのは、送信データが送信FIFO (TDR) からTSRに転送される際に、送信FIFOに書き込まれる送信データの数が送信FIFOのしきい値以下の場合です。

[3] シリアル送信の継続手順:
シリアル送信を継続するときには、SCIn_TXI割り込みを使用して全ての送信データを送信FIFO (TDR) に書き込み、TDREフラグを0にクリアします。(送信データは、DMACまたはDTCを起動することでも送信FIFO (TDR) に書き込むことができます。この場合、TDREフラグは自動的にクリアされるので、TDREフラグを操作しないでください。)
書き込み可能な送信データの数は、格納されている送信FIFOデータの数を16から引いた数です。

[4] SCIn_TEIを使用する場合は、最後の送信データがTDRに書き込まれた後に、TIEに0を、TEIEに1を設定します。(注1)

[5] シリアル送信終了時のブレーク出力:
ブレークを出力するには、TEが0のときに、出力状態の設定に合わせてSPB2IOとSPB2DTを設定する必要があります。
(これらのビットを初期化時に設定する場合はこのステップを省略できます。)

[6] CCR0のTE、TIE、TEIEを0に設定

注 1. データ長 9 ビットでのバイトアクセス時、書き込み送信データは TDR[15:8]ビット、TDR[7:0]ビットの順になります。

図 30.18 調歩同期式モードにおけるシリアル送信のフローチャート例（FIFO 選択時）

30.3.9 シリアルデータの受信（調歩同期式モード）

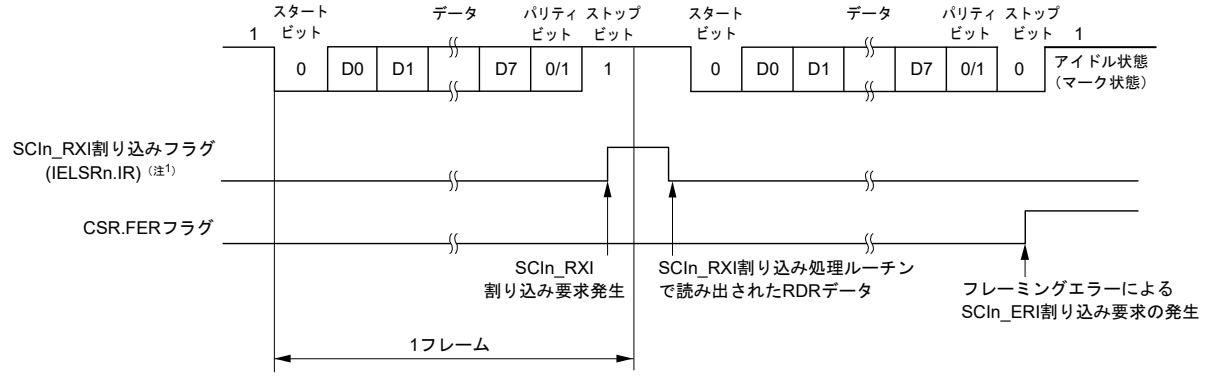
(1) 非 FIFO 選択時

図 30.19 と図 30.20 に、調歩同期式モードにおけるシリアルデータ受信の動作例を示します。

シリアルデータの受信時、SCI は以下のように動作します。

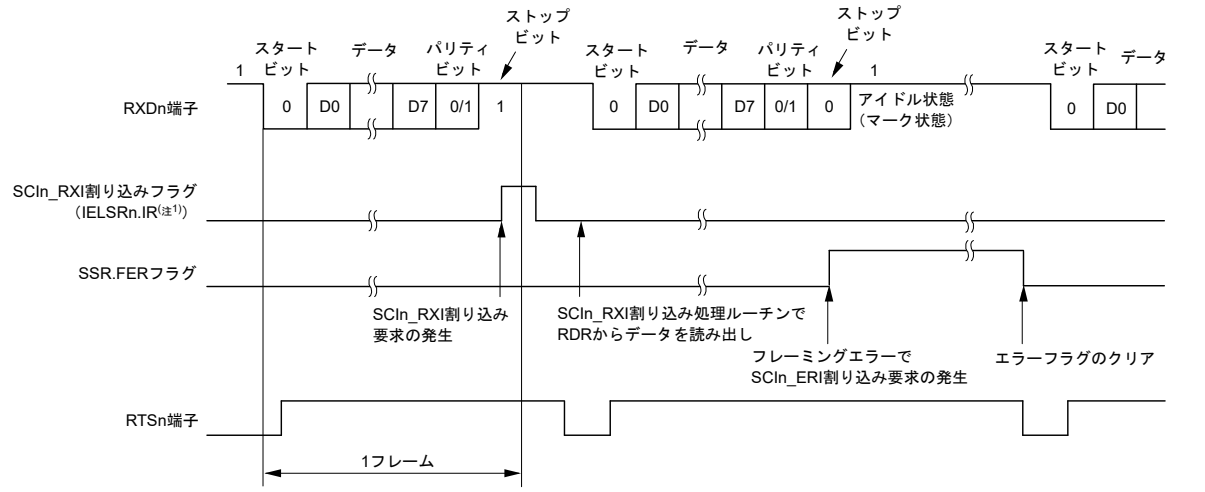
1. CCR0.RE ビットが 1 になると、CTSn_RTSn 端子出力が Low になります。
2. SCI が通信回線を監視し、スタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバーランエラーが発生すると、CSR.ORER フラグが 1 になります。CCR0.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。受信データは RDR レジスタへ転送されません。
4. パリティエラーが検出された場合は、CSR.PER フラグが 1 になり、受信データが RDR レジスタへ転送されます。SCR.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。

5. フレーミングエラーが検出された場合は、CSR.FER フラグが 1 になり、受信データが RDR レジスタへ転送されます。CCR0.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。
6. 正常に受信したときは、受信データが RDR レジスタへ転送されます。CCR0.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。この SCIn_RXI 割り込み処理ルーチンにおいて、次のデータ受信が終了する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。
RDR レジスタへ転送された受信データが読み出されると、CTSn_RTSn 端子出力が Low になります。



注 1.　対応する割り込みイベント番号については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

図 30.19　調歩同期式モードにおけるシリアル受信の動作例 (1)（RTS 機能を使用しない場合）（8 ビットデータ／パリティあり／1 ストップビットの場合）



注 1.　対応する割り込みイベント番号については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

図 30.20　調歩同期式モードにおけるシリアル受信の動作例 (2)（RTS 機能を使用する場合）（8 ビットデータ／パリティあり／1 ストップビットの場合）

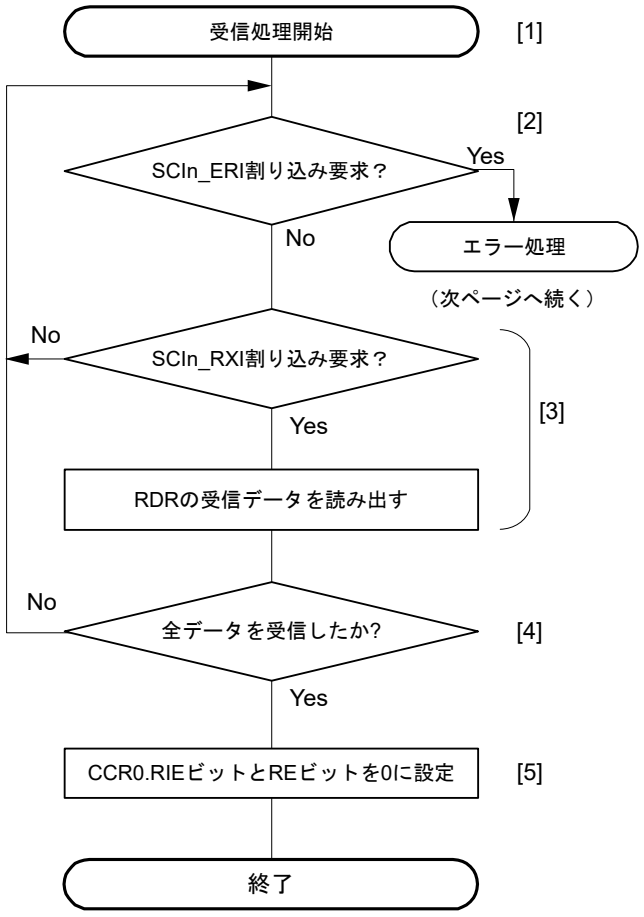
表 30.31 に、受信エラーが検出された場合の CSR ステータスレジスタの各フラグの状態と受信データの処理を示します。

受信エラーが検出されると、SCIn_ERI 割り込み要求は発生しますが、SCIn_RXI 割り込み要求は発生しません。受信エラーフラグが 1 の状態では受信動作を再開できません。したがって、ORER、FER、および PER フラグを 0 にしてから受信を再開してください。さらに、オーバーランエラー処理では、必ず RDR レジスタを読み出してください。受信動作中に CCR0.RE ビットを 0 にして受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

図 30.21 と図 30.22 に、シリアル受信のフローチャート例を示します。

表 30.31　CSR ステータスレジスタのフラグの状態と受信データの処理

CSR ステータスレジスタのフラグ			受信データ	受信エラーの種類
ORER	FER	PER		
1	0	0	消失	オーバーランエラー
0	1	0	RDR へ転送	フレーミングエラー
0	0	1	RDR へ転送	パリティエラー
1	1	0	消失	オーバーランエラー＋フレーミングエラー
1	0	1	消失	オーバーランエラー＋パリティエラー
0	1	1	RDR へ転送	フレーミングエラー＋パリティエラー
1	1	1	消失	オーバーランエラー＋フレーミングエラー＋パリティエラー



[1] 受信処理開始

[2] 受信エラー処理とブレークの検出：
受信エラーが発生した場合、SCIn_ERI割り込みが発生します。所定のエラー処理を行った後、必ずORER、PER、FERフラグをすべて0にしてください。これらのフラグが一つでも1の場合、受信を再開できません。また、フレーミングエラー時にRXDn端子に対応する入力ポートの値を読み出すことでブレークの検出が可能です。

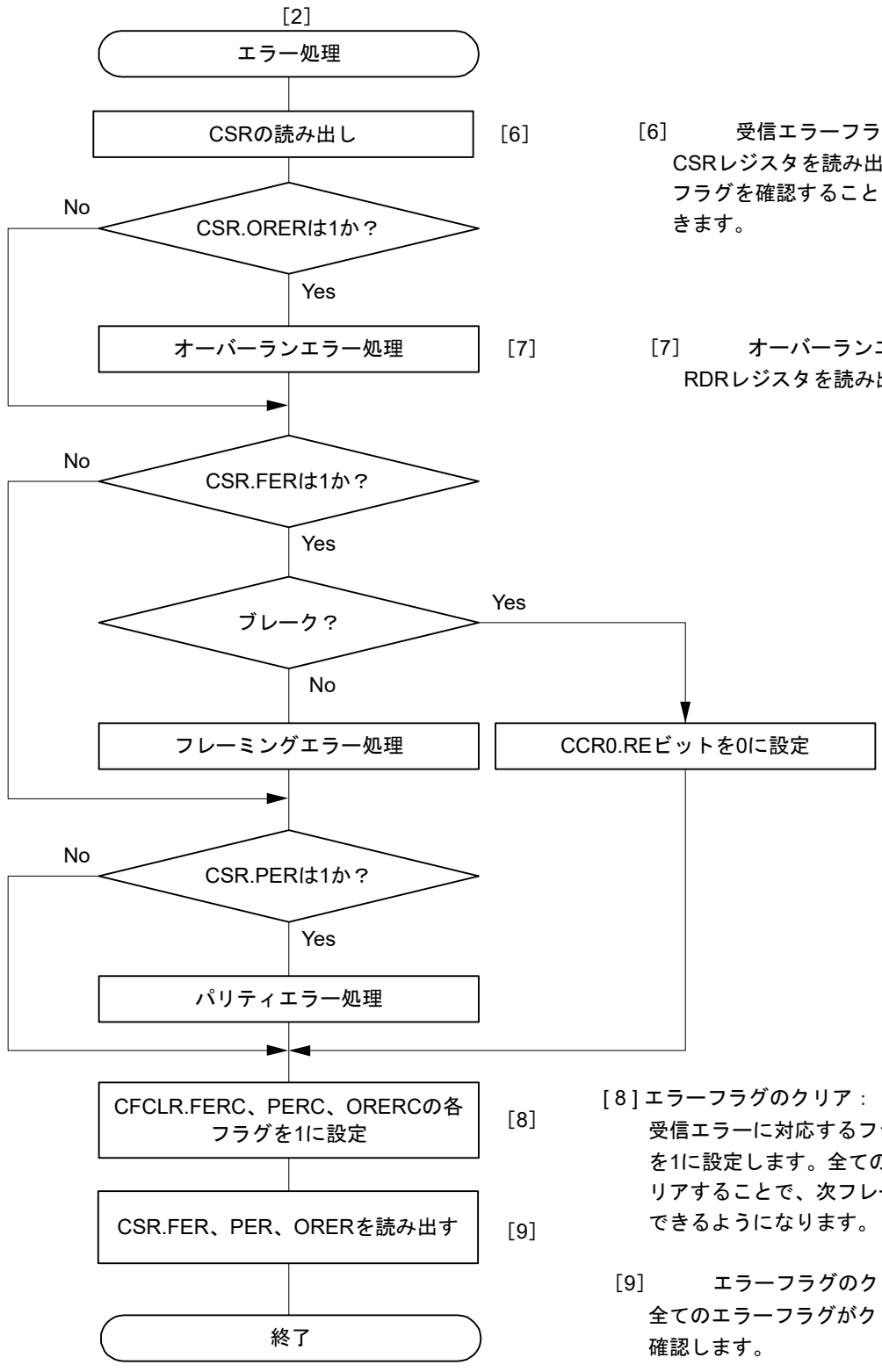
[3] SCIn_RXI割り込み処理ルーチンで、RDRレジスタ（注1）の受信データを1回読み出します。

[4] シリアル受信の継続手順：
シリアル受信を継続するときには、現在のフレームのストップビットを受信する前に、SCIn_RXI割り込み処理ルーチン内でRDRからデータを読み出します。RDRのデータは、DMACまたはDTCを起動することでも読み出すことができます。

[5] CCR0のRIEおよびREに0を設定します。

注 1.　RDR レジスタを読み出す前に、RE ビットを 0 にしないでください。

図 30.21　調歩同期式モードにおけるシリアル受信のフローチャート例（非 FIFO 選択、アドレス一致検出無効時）(1)



注.　データ長 9 ビット選択時は、RDR レジスタは RDRHL レジスタになります。

図 30.22　調歩同期式モードにおけるシリアル受信のフローチャート例（非 FIFO 選択、アドレス一致検出無効時）(2)

(2) FIFO 選択時

図 30.23 に、調歩同期式モードにおいて受信 FIFO (RDR) レジスタに書き込まれるデータフォーマットの例を示します。

調歩同期式モードでは、RDR レジスタの MPB ビットに 0 が書き込まれます。データ長に対応したデータが RDR レジスタに書き込まれます。使用されないビットには、0 が書き込まれます。ソフトウェアが RDR レジスタを読み出すと、SCI は FER、PER、および RDR レジスタの受信データ (RDAT[8:0]) を次のデータで更新します。RDR レジスタの ORER および DR フラグは、常に CSR レジスタの対応するフラグを反映しています。

データ長	レジスタ設定		RDR[31:0]、MPB、RDAT[8:0]の受信フラグ															
	CCR3.CHR[1:0]		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	1	-	-	-	FFER	FPER	DR	MPB	0	0	RDAT[6:0]						
8ビット	1	0	-	-	-	FFER	FPER	DR	MPB	0	RDAT[7:0]							
9ビット	0	Don't care	-	-	-	FFER	FPER	DR	MPB	RDAT[8:0]								
	CCR3.CHR[1:0]		b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
7ビット	1	1	-	-	-	FER	PER	-	-	ORER	-	-	-	-	-	-	-	-
8ビット	1	0	-	-	-	FER	PER	-	-	ORER	-	-	-	-	-	-	-	-
9ビット	0	Don't care	-	-	-	FER	PER	-	-	ORER	-	-	-	-	-	-	-	-

注.　MPB フラグ (RDR[9]) では常に 0 が読み出されます。
データ長 7 ビット選択時、RDAT[8:7]ビットから 0 が読み出されます。
データ長 8 ビット選択時、RDAT[8]ビットから 0 が読み出されます。

図 30.23　受信 FIFO (RDR) に格納されるデータフォーマット（FIFO 選択時）

FIFO 選択時、受信エラーを検出した場合の CSR レジスタの各ステータスフラグの状態と受信データの処理を表 30.32 に示します。図 30.24 と図 30.25 に、FIFO 選択時のシリアル受信のフローチャートの例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. CCR0.RE ビットが 1 になると、CTSn_RTSn 端子出力が Low になります。
2. SCI が通信回線を監視し、スタートビットを検出すると、SCI は内部を同期化して受信データを RSR レジスタに取り込みます。
3. 通常の通信でオーバーランエラーが発生した場合、CSR.ORER フラグが 1 になります。CCR0.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。受信データは RDR レジスタへ転送されません。
4. パリティエラーが検出された場合は、PER フラグと受信データが RDR レジスタへ転送されます。このとき、CCR0.RIE ビットが 1 になっていると、SCIn_ERI 割り込み要求が発生します。
5. フレーミングエラーが検出された場合は、FER フラグと受信データが RDR レジスタへ転送されます。このとき、CCR0.RIE ビットが 1 になっていると、SCIn_ERI 割り込み要求が発生します。
6. フレーミングエラーが検出された後、SCI によって連続受信データが 1 フレーム分 0 であることが検出された場合、受信動作が停止します。
7. RDR レジスタに格納されたデータ数が、指定された受信トリガ数より少なく、かつ、調歩同期式モードにおいて最後のストップビットから 15 ETU 経過しても次のデータが受信されていない場合は、FRSR.DR フラグが 1 になります。CCR0.RIE ビットが 1 で、FCR.DRES ビットが 0 の場合、SCI は SCIn_RXI 割り込み要求を発生させます。FCR.DRES ビットが 1 の場合、SCI は SCIn_ERI 割り込み要求を発生させます。
8. 正常に受信したときは、受信データが RDR レジスタへ転送されます。RDR に書き込まれた受信データ数が、指定された受信トリガ数以上であると、RDRF ビットが 1 になります。CCR0.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。この SCIn_RXI 割り込み処理ルーチンにおいて、オーバーランエラーが発生する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。RDR レジスタへ転送された受信データ数が RTS トリガ数未満であると、CTSn_RTSn 端子出力が Low になります。

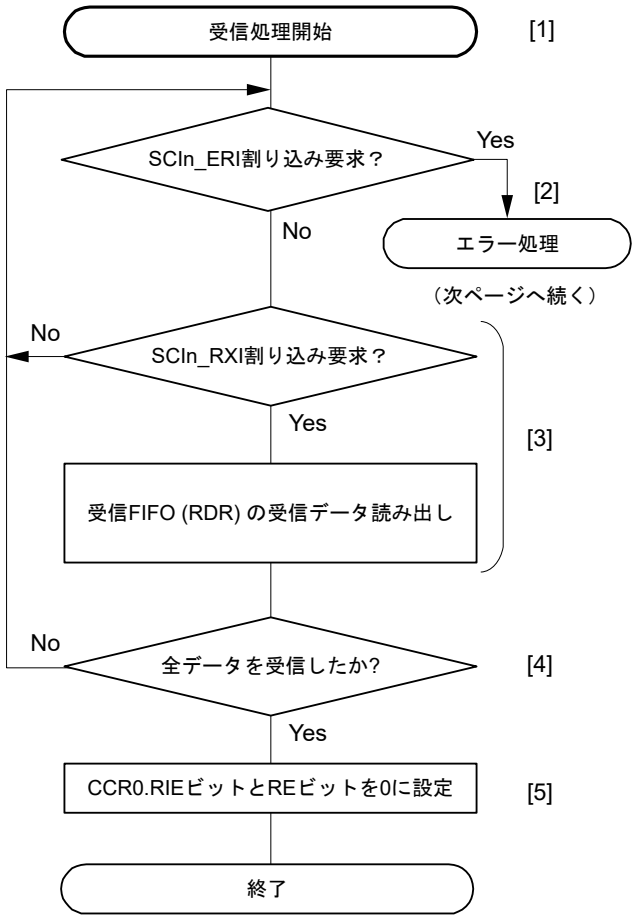
表 30.32　CSR ステータスレジスタのフラグの状態と受信データの処理（FIFO 選択時）(1/2)

CSR 値			受信 FIFO (RDR)	受信エラーの種類
ORER	FER(注1)	PER(注1)	RDAT[8:0]	
1	0	0	消失	オーバーランエラー

表 30.32　CSR ステータスレジスタのフラグの状態と受信データの処理（FIFO 選択時） (2/2)

CSR 値			受信 FIFO (RDR)	受信エラーの種類
ORER	FER(注1)	PER(注1)	RDAT[8:0]	
0	1	0	RDR レジスタへ転送	フレーミングエラー
0	0	1	RDR レジスタへ転送	パリティエラー
1	1	0	消失	オーバーランエラー＋フレーミングエラー
1	0	1	消失	オーバーランエラー＋パリティエラー
0	1	1	RDR レジスタへ転送	フレーミングエラー＋パリティエラー
1	1	1	消失	オーバーランエラー＋フレーミングエラー＋パリティエラー

注 1.　本フラグは、受信完了時に受信データのエラー有無を示します。



[1]　受信処理開始

[2]　受信エラー処理とブレークの検出：
受信エラーが発生した場合、SCIn_ERI割り込みが発生します。所定のエラー処理を行った後、必ずORERフラグ（注1）を0にしてください。ORERフラグが1の状態では受信を再開できません。PER、FER、またはDRフラグ（注1）が1であっても、受信動作は継続します。

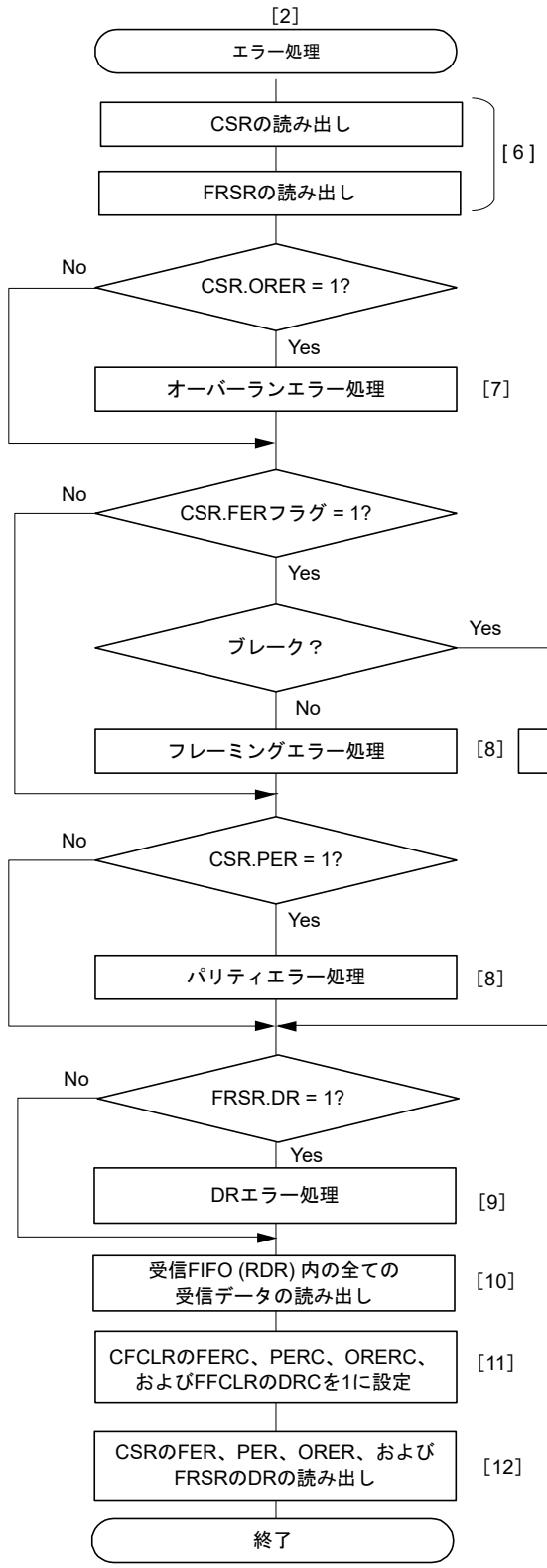
[3]　SCIn_RXI割り込み処理ルーチンで、受信FIFO (RDR) の受信データを読み出します。受信FIFO (RDR) に格納された受信データは、格納データ数がFCR.RTRGの値未満になるまで読み出されます。FRSR.R[5:0]でFIFO内の受信データ数を確認できます。

[4]　シリアル受信の継続手順：
シリアル受信を継続する場合は、オーバーランエラーが発生する前に、SCIn_RXI割り込み処理ルーチンで受信FIFO (RDR) からデータを読み出して、CSR.RDRFフラグとFRSR.DRフラグを0にクリアします。DMAまたはDTCを起動することでも、受信FIFOのデータを読み出すことが可能です。この場合、RDRFフラグは自動的にクリアされるため、RDRFフラグには書き込まないでください。

[5]　CCR0.RIEビットとREビットを0に設定します。

注 1.　RDR.ORER、RDR.PER、RDR.FER、RDR.DR の各フラグによって読み出し可能です。

図 30.24　調歩同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択、アドレス一致検出有効時）(1)



[6]　受信エラーフラグの確認：
CSRとFRSRの読み出し
フラグを確認することでエラーを特定できます。

[7]　オーバーランエラー処理：
受信FIFO (RDR) を読み出し、受信FIFO (RDR) にスペースをつくります。

[8]　ブレーク処理：
CCR3.RXDESELが0のとき、受信FIFO (RDR) 内の受信データのうちで最新のものは、フレーミングエラーが発生し全てのデータビットが0のブレークデータです。このため、最新の受信データを破棄します。

[8]　フレーミングエラー処理／パリティエラー処理：
受信FIFO (RDR) に格納されたエラー発生データを全て読み出します。（あるいは、FCR.RFRSTビットに1を書き込んで受信FIFO (RDR) を空にします。）

[9]　DRエラー処理（FCR.DRESが1の場合）：
システムが必要とするエラー処理を実行します（たとえば、データ数管理用カウンタの設定など）。

[10]　受信FIFO (RDR) の全ての受信データを読み出します。

[11]　エラーフラグのクリア：
FER、PER、ORER、DRをクリアします。

[12]　エラーフラグのクリア確認：
FER、PER、ORER、DRがクリアされていることを確認します。

図 30.25　調歩同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択、アドレス一致検出無効時）(2)

30.3.10　受信サンプリングタイミング調整機能（調歩同期式モード）

フォトカプラ通過後の波形で立ち上がり転送時間と立ち下がり転送時間の差がある場合、ビットの中間部分での受信サンプリングタイミングが受信マージンに影響します。この場合、この機能を利用することで受信サンプリングタイミングをビットの中間部分から最適なタイミングに調整できます。

受信サンプリングタイミングは、下記の式によりビットの中間部分から調整します。また、調整方向は CCR4.AJD ビットで設定されます。後方向に調整（CCR4.AJD ビット = 0）の場合は AJD = +1 とし、前方向に調整（CCR4.AJD ビット = 1）の場合は AJD = -1 とします。

調整後のサンプリングタイミング = ビットの中央 + AJD ×（基本クロック × CCR4.AST[2:0]ビットの設定値）

設定タイミングは、1 ビットごとの基本クロックサイクル数により制限されます。詳細は、表 30.33 を参照してください。

この機能を使用した場合の、フォトカプラを通過する通信の受信動作の概要を図 30.26、図 30.27 と図 30.28 に、本機能の動作の説明を図 30.29 に示します。

立ち上がり転送時間と立ち下がり転送時間に差がない場合はこの機能を使用しないでください。受信マージンに悪影響を及ぼす可能性があります。

表 30.33　設定に関するレジスタの許容値（内部クロックを使用した調歩同期式モード）

CCR2.ABCSE2	CCR2.ABCSE	CCR2.ABCS	1 ビットごとの基本クロックサイクル数	許容値	
				CCR4.AJD	CCR4.AST(注1)
1	0	x	4	0	000～011
				1	（注 1）
0	1	x	6	0	000～010
				1	（注 1）
0	0	1	8	0	000～011
				1	（注 1）
0	0	0	16	0	000～111
				1	

注.　x: Don't care
注 1.　CCR4.AST ビットの値が許容値を超えている場合、サンプリングはデフォルトのタイミングで行われます。（サンプリングの調整は行われません。）

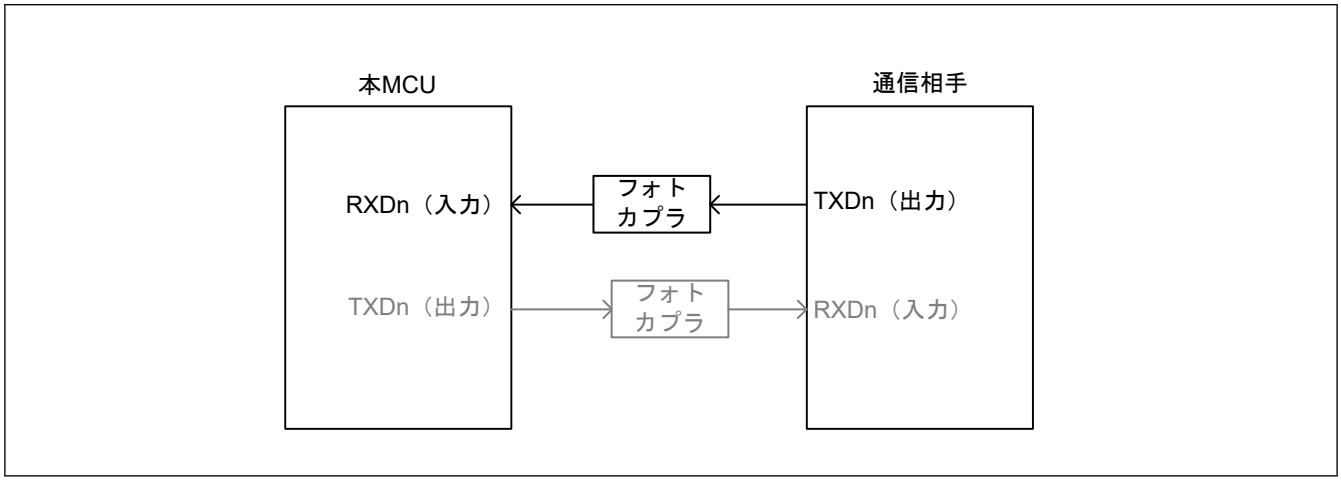
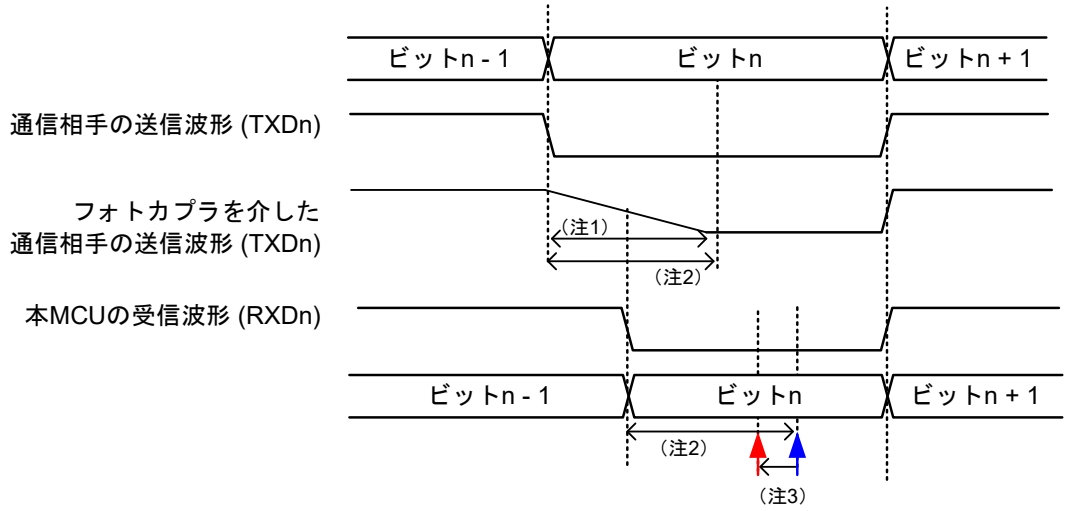


図 30.26　フォトカプラを通過する受信のブロック図イメージ

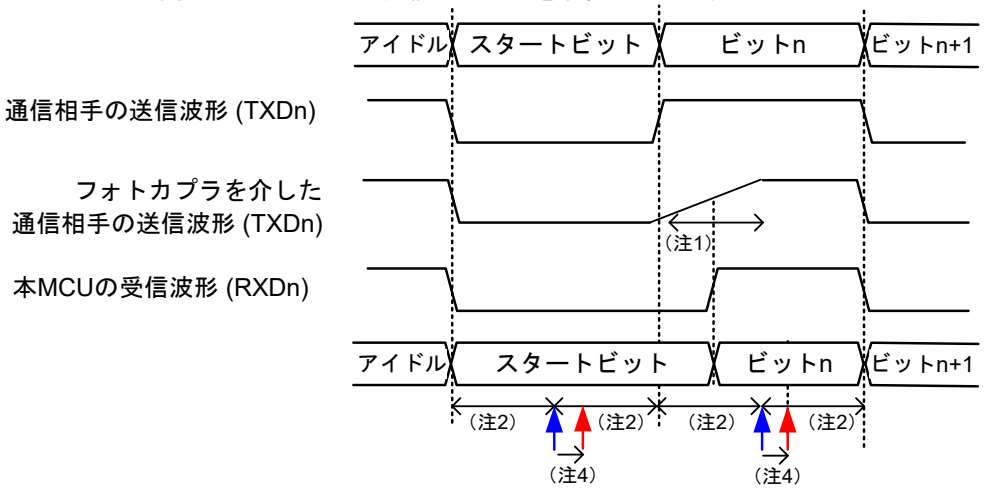
(a) 「立ち下がり転送時間 >> 立ち上がり転送時間」の場合

受信波形の立ち下がりエッジは下図に示すように鈍くなります。この場合、受信サンプリングタイミングを前方向に調整すると (AJD = 1)、ビットの中間でサンプリング可能です。



(b) 「立ち下がり転送時間 << 立ち上がり転送時間」の場合

受信波形の立ち上がりエッジは下図に示すように鈍くなります。
したがって、受信相手の受信マージンは悪化します。この場合、受信サンプリングタイミングを後方向に調整することにより受信マージンを改善できます。



未調整時の受信サンプリングタイミング
（ビットの中間部分）

調整後の受信サンプリングタイミング

注.　この波形は受信サンプリングタイミング調整の動作イメージを示します。
注 1.　フォトカプラの不感時間設定
注 2.　通信レートでのビット中央タイミング
注 3.　CCR4.AJD が 1 の場合、受信サンプリングタイミングを、CCR4.AST[2:0]ビットの設定値により前方向にシフトします。
注 4.　CCR4.AJD が 0 の場合、受信サンプリングタイミングを、ACTR.AST[2:0]ビットの設定値により後ろ方向にシフトします。

図 30.27　フォトカプラを通過する通信の受信動作の概要

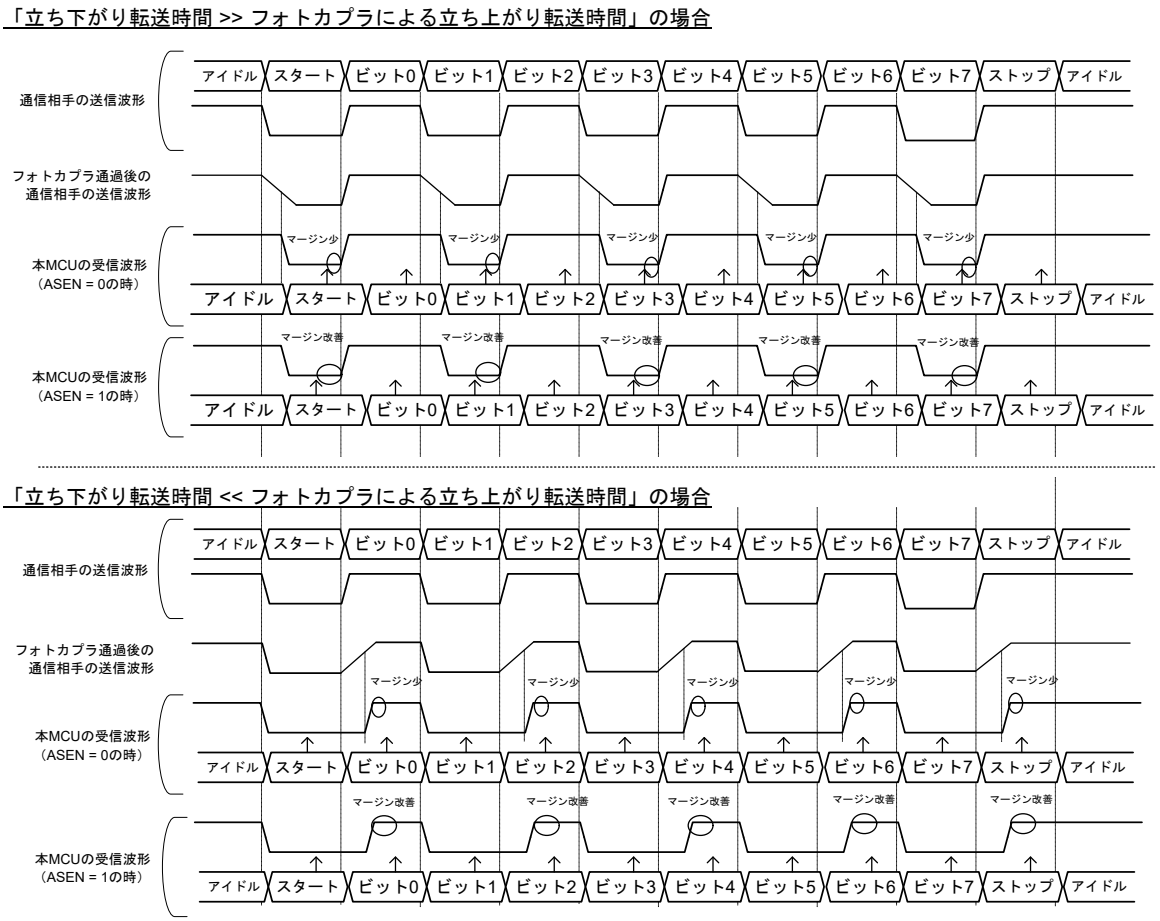


図 30.28　受信サンプリングタイミング調整機能による受信マージン向上の例

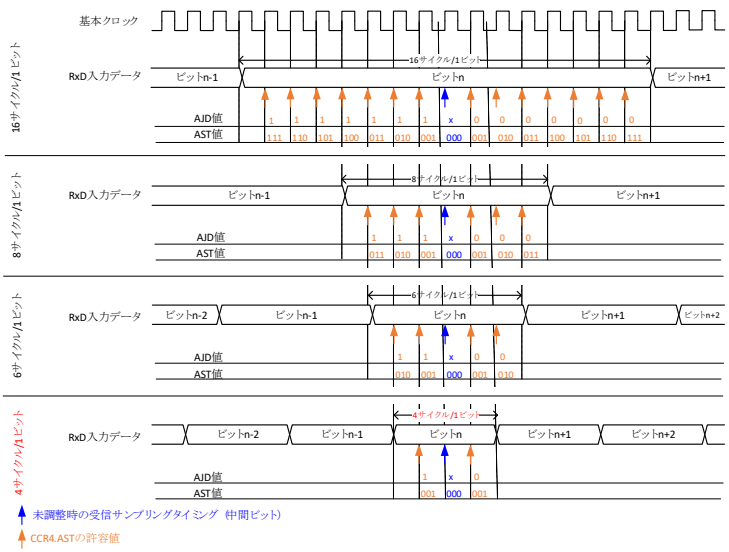


図 30.29　受信サンプリングタイミングの調整動作の概要（内部クロックを使用した調歩同期式モード）

30.3.11　送信タイミング調整機能（調歩同期式モード）

フォトカプラなどを経由した通信では、TXDn 出力信号の立ち上がりまたは立ち下がりの遷移時間が長い場合に、通信先で受信する波形が鈍くなります。この場合、受信マージンに影響する可能性があります。

このような場合は、通信先で送信タイミング調節機能を使用してビットの中間部分でサンプリングするようにします。

CCR4.ATEN ビットが 1 の場合にこの機能により、CCR4.AET ビットで設定されたエッジに対してエッジタイミングを次の式で算出されるタイミングに調整できます。

調整エッジタイミング = 基本クロック × CCR4.ATT[2:0]

さらに、調節エッジタイミングの上限は基本クロックの設定によって制限されます。詳細は、表 30.34 を参照してください。

この機能を使用した場合の、フォトカプラを通過する通信の送信動作イメージ図を図 30.30、図 30.31 と図 30.32 に、本機能の動作の概要を図 30.33 と図 30.34 に示します。

立ち上がり転送時間と立ち下がり転送時間に差がない場合はこの機能を使用しないでください。通信相手の受信マージンに悪影響を及ぼす可能性があります。

表 30.34　CCR4.AET と CCR4.ATT の許容値（内部クロックを使用した調歩同期式モード）

ABCSE2	ABCSE	ABCS	1 ビットごとの基本クロックサイクル数	許容値	
				AET	ATT[2:0]
1	0	x	4	0	000～011
				1	
0	1	x	6	0	000～101
				1	
0	0	1	8	0	000～111
				1	
0	0	0	16	0	000～111
				1	

注.　x: Don't care
注.　ACTR.AET または ATT の値が許容範囲内にない場合、この SCI モジュールは送信タイミングの調節を行いません。

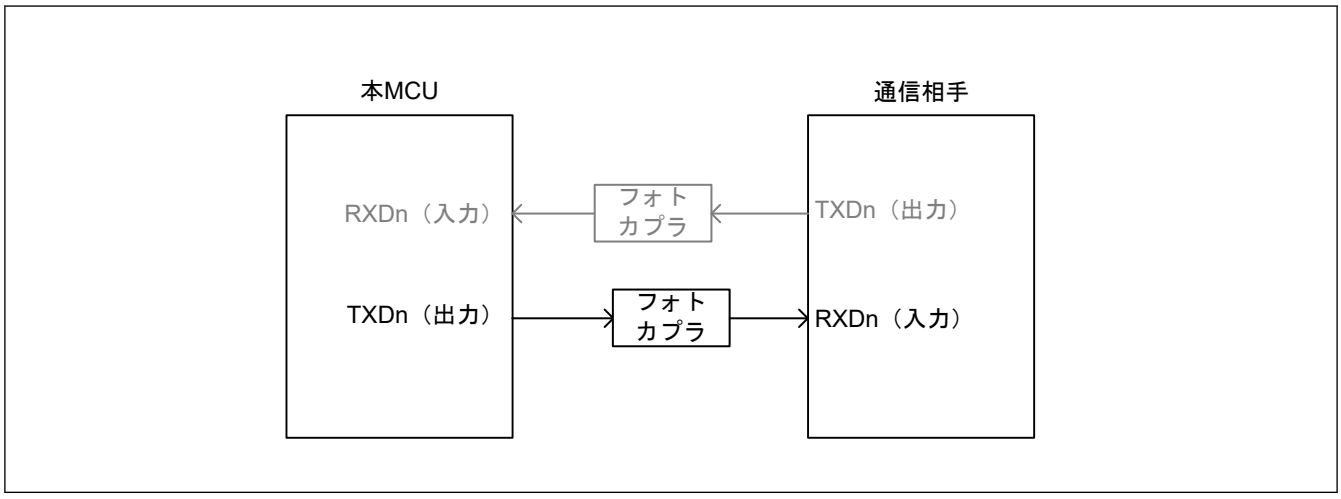
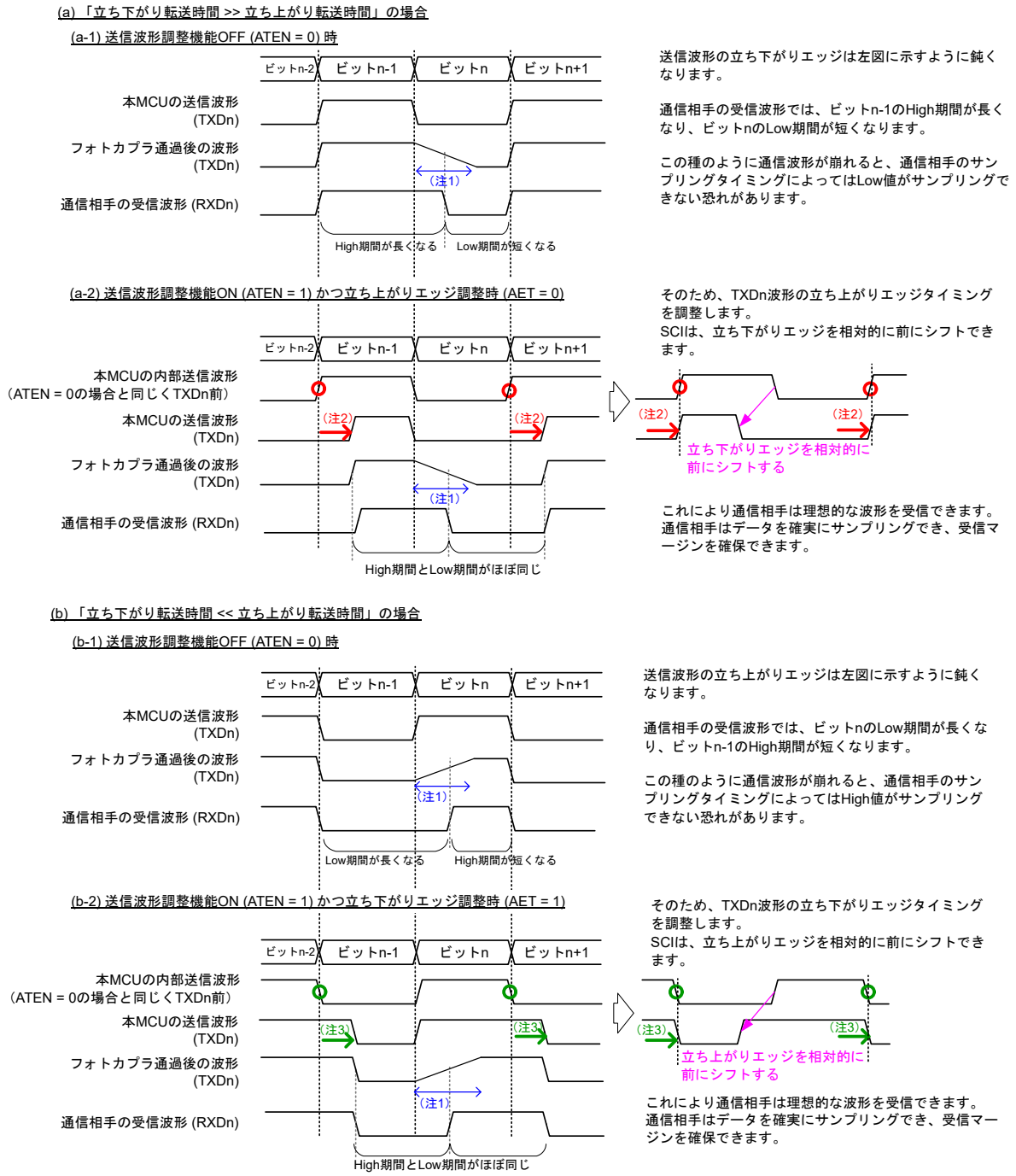


図 30.30　フォトカプラを通過する送信のブロック図イメージ



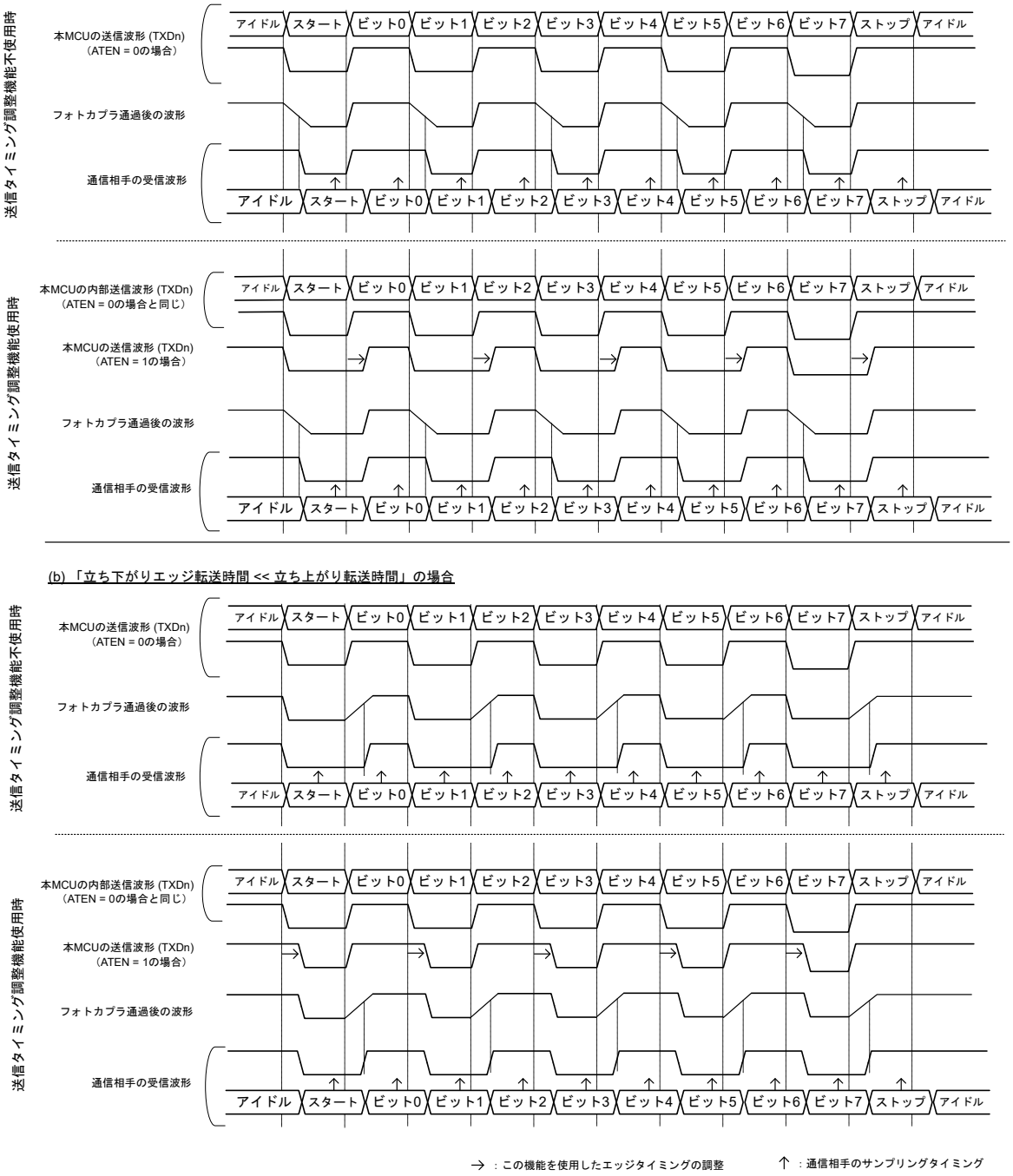
注.　この波形は送信タイミング調節の動作イメージを示します。
注 1.　フォトカプラの不感時間
注 2.　CCR4.AET が 0 の場合、送信波形タイミングの立ち上がりエッジが、CCR4.ATT[2:0]ビットの設定値により後ろにシフトされます。この MCU 送信波形は、立ち下がりエッジを相対的に前にシフトします。
注 3.　CCR4.AET が 1 の場合、送信波形タイミングの立ち下がりエッジが、CCR4.ATT[2:0]ビットの設定値により後ろにシフトされます。この MCU 送信波形は、立ち上がりエッジを相対的に前にシフトします。

図 30.31　フォトカプラを通過する通信の送信動作の概要

送信タイミング調整機能使用時のフォトカプラを経由した通信の送信波形の説明

送信タイミング調整機能の使用時は、送信波形のエッジタイミングを調整し、通信相手の受信波形を補正してください。
次の例は、8ビット長のデータの場合です。

(a) 「立ち下がりエッジ転送時間 >> 立ち上がり転送時間」の場合



(b) 「立ち下がりエッジ転送時間 << 立ち上がり転送時間」の場合

→ ：この機能を使用したエッジタイミングの調整　　↑ ：通信相手のサンプリングタイミング

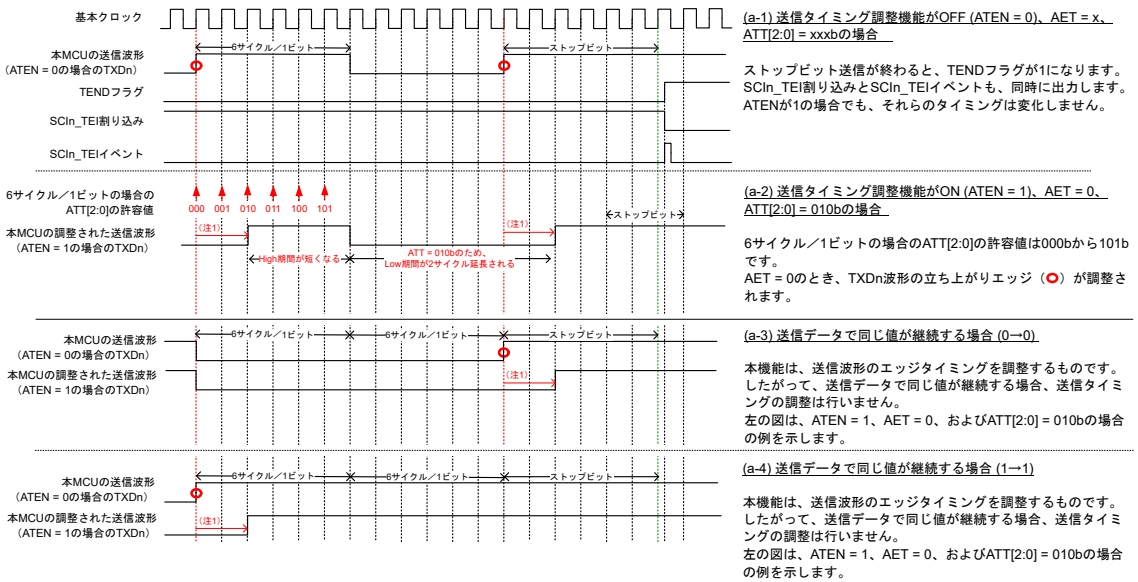
図 30.32　フォトカプラを経由する送信波形の説明

送信タイミング調整動作の説明

(a)「立ち下がり転送時間 >> 立ち上がり転送時間」の場合

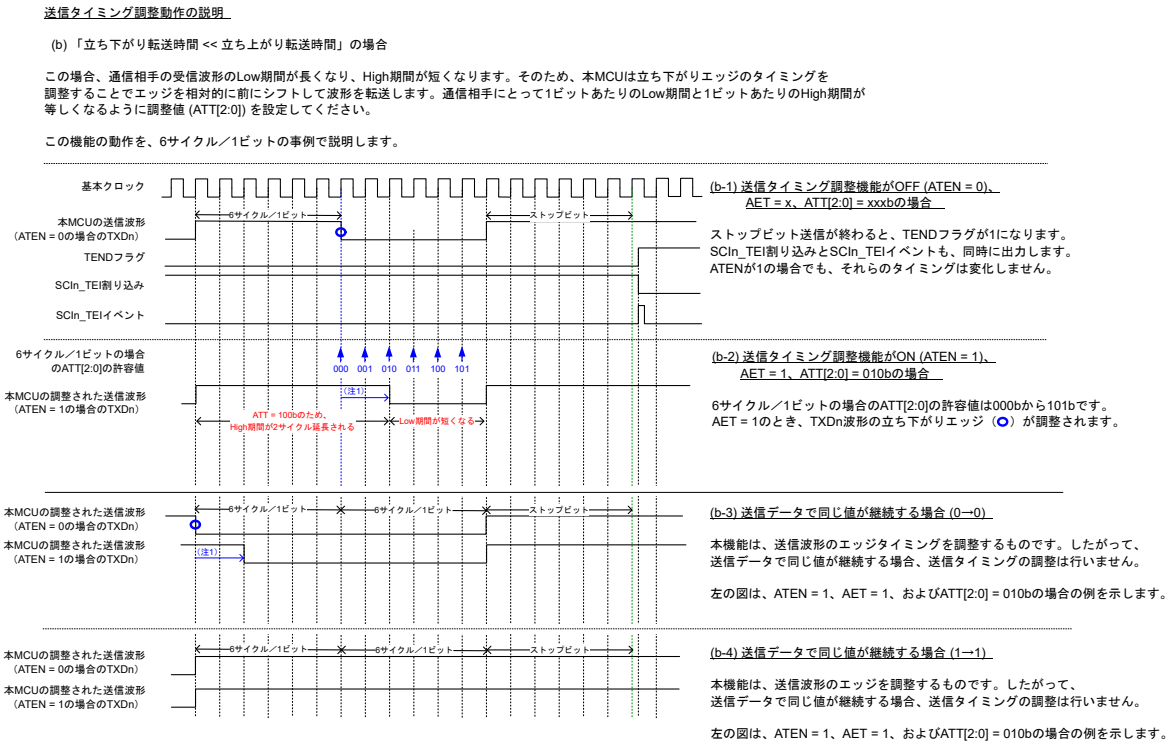
この場合、通信相手の受信波形のHigh期間が長くなり、Low期間が短くなります。そのため、本MCUは立ち下がりエッジのタイミングを調整することでエッジを相対的に前にシフトして波形を転送します。通信相手にとって1ビットあたりのLow期間と1ビットあたりのHigh期間が等しくなるように調整値 (ATT[2:0]) を設定してください。

この機能の動作を、6サイクル／1ビットの事例で説明します。



注 1.　送信タイミング立ち上がりエッジが、CCR4.ATT[2:0]ビットの設定値により後ろにシフトします。

図 30.33　AET が 0 の場合の送信タイミング調整動作の説明



注 1. 送信タイミングの立ち下がりエッジが、CCR4.ATT[2:0]ビットの設定値により後ろにシフトします。

図 30.34 AET が 1 の場合の送信タイミング調整動作の説明

30.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信の回線を共有することにより、複数のプロセッサ間でデータの送受信が可能になります。マルチプロセッサ通信では、各受信局にそれぞれ固有の ID コードが割り付けられます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと、指定された受信局にデータを送信するためのデータ送信サイクルで構成されます。

ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。

- マルチプロセッサビットが 1 のとき、送信サイクルは ID 送信サイクル
- マルチプロセッサビットが 0 のとき、送信サイクルはデータ送信サイクル

図 30.35 に、マルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードに 1 を設定したマルチプロセッサビットを付加した通信データを送信します。続いて、送信データに 0 を設定したマルチプロセッサビットを付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると、受信した ID を自局の ID と比較します。2 つが一致した場合、受信局は、続いて送信される通信データを受信します。一致しなかった場合、マルチプロセッサビットが 1 の通信データを受信するまで、受信局は通信データを読み飛ばします。

1 対多通信に対応する機能であるため、RTS 制御はマルチプロセッサ通信機能では使用できません。

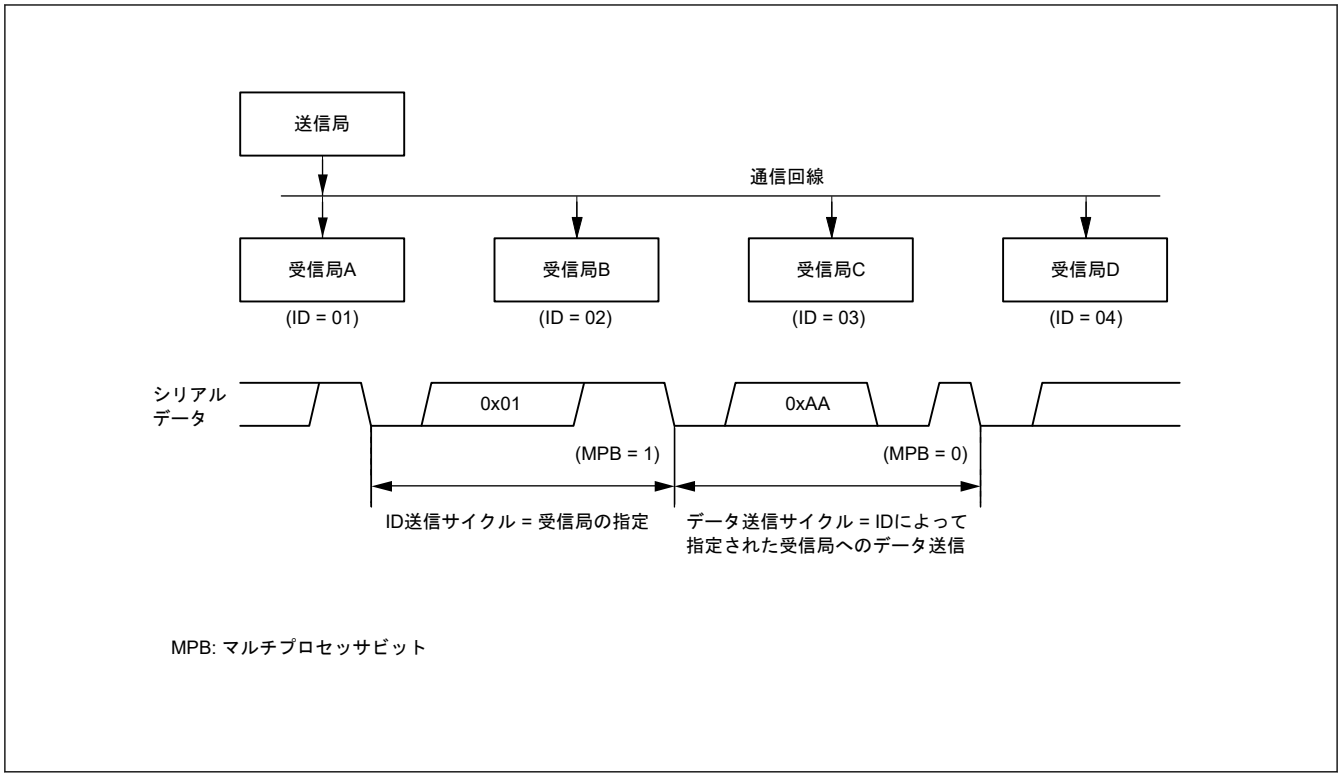


図 30.35　マルチプロセッサフォーマットを使用した通信例（データ 0xAA を受信局 A に送信する場合）

(1) 非 FIFO 選択時

SCI はこの機能をサポートするため、CCR0.MPIE ビットを設けています。MPIE ビットを 1 にすると、マルチプロセッサビットが 1 のデータを受信するまで、下記の動作が禁止されます。

- RSR レジスタから RDR レジスタへの受信データの転送
- 受信エラーの検出
- CSR レジスタの RDRF、ORER、FER の各ステータスフラグの設定

マルチプロセッサビットが 1 のキャラクタを SCI が受信すると、RDR.MPB ビットが 1 になるとともに、CCR0.MPIE ビットが自動的にクリアされ、SCI は非マルチプロセッサ受信動作に戻ります。CCR0.RIE ビットが 1 であれば、SCIn_RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビット機能は無効です。それ以外は、非マルチプロセッサの調歩同期式モードの動作と変わりません。マルチプロセッサ通信に使用されるクロックは、非マルチプロセッサの調歩同期式モードで使用するクロックと同一です。

(2) FIFO 選択時

データ送信では、ソフトウェアにおいて、TDR.TDAT 内の送信データに対応する TDR.MPBT（マルチプロセッサビット転送）ビットにデータを書き込む必要があります。データ受信では、受信データの一部であるマルチプロセッサビットが RDR.MPB ビットに書き込まれ、受信データは RDR.RDAT レジスタに書き込まれます。

MPIE ビットを 1 にすると、マルチプロセッサビットが 1 のデータを受信するまで、下記の動作が禁止されます。

- RSR レジスタから RDR.RDAT レジスタへの受信データの転送
- 受信エラーの検出
- DR の検出
- CSR レジスタの RDRF、ORER、FER の各ステータスフラグの設定

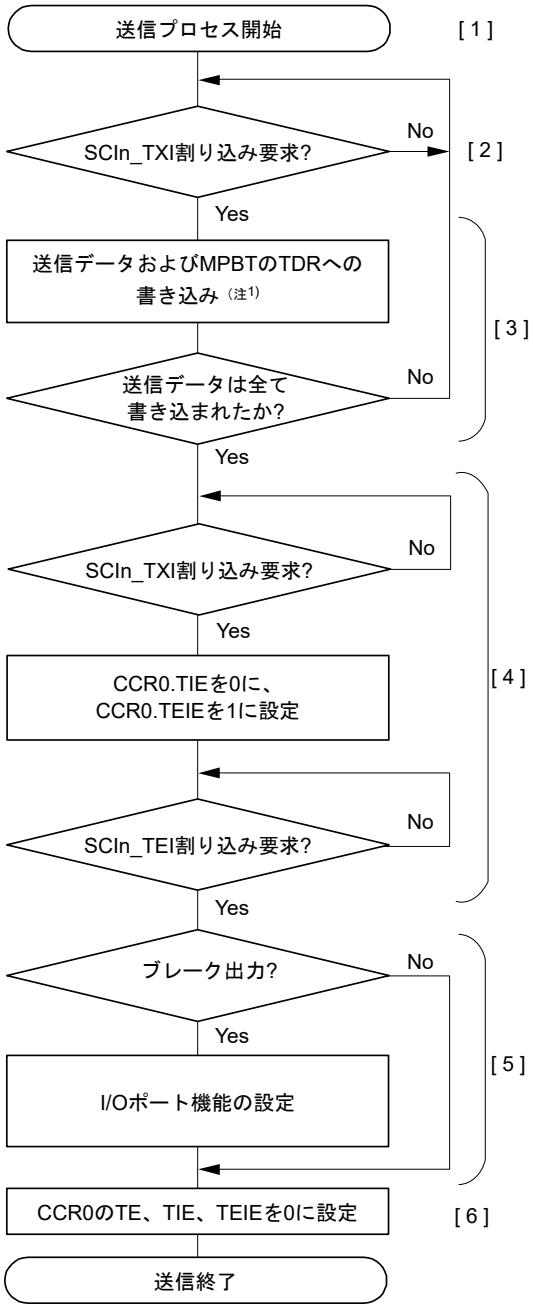
マルチプロセッサビットが 1 のキャラクタを SCI が受信すると、RDR.MPB ビットが 1 になるとともに、受信データが受信 FIFO (RDR.RDAT) に書き込まれます。CCR0.MPIE ビットが自動的にクリアされ、SCI は通常の受信動作に戻ります。CCR0.RIE ビットが 1 であれば、SCIn_RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビット機能は無効です。それ以外は通常の調歩同期式モードの FIFO 選択時と変わりません。

30.4.1　マルチプロセッサシリアルデータ送信

(1) 非 FIFO 選択時

図 30.36 に、マルチプロセッサデータ送信のフローチャート例を示します。ID 送信サイクルでは、TDR.MPBT ビットを 1 にして ID を送信してください。データ送信サイクルでは、MPBT ビットを 0 にしてデータを送信してください。その他の動作は、調歩同期式モードの動作と同じです。



[1]　送信プロセス開始

[2]　SCIn_TXI 割り込み要求:
送信データエンプティ割り込み (SCIn_TXI) が発生するのは、次の条件が成立したときです。
CCR0のTEとTIEが同時に0になる。
TDRからTSRへ送信データが転送される。

[3]　シリアル送信の継続手順:
シリアル送信を継続するときには、SCIn_TXIを使用して送信データとMPBT設定値を1回TDR（注1）に書き込みます。
送信データとMPBT設定値は、DMACまたはDTCを起動することでも書き込むことができます。

[4]　SCIn_TEIを使用する場合は、最後の送信データがTDR (注1) に書き込まれて送信が開始した後に、TIEに0を、TEIEに1を設定します。

[5]　シリアル送信終了時のブレーク出力:
ブレークを出力するには、TEが0のときに、出力状態設定にSPB2IOとSPB2DTを設定する必要があります。
（これらのビットを初期化時に設定する場合はこのステップを省略できます。）

[6]　CCR0のTE、TIE、TEIEを0に設定

注 1.　データ長 9 ビットまたは MPBT ビットへの書き込みでのバイトアクセス時、書き込み送信データは TDR[15:8]ビット、TDR[7:0]ビットの順になります。

図 30.36　マルチプロセッサシリアル送信のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

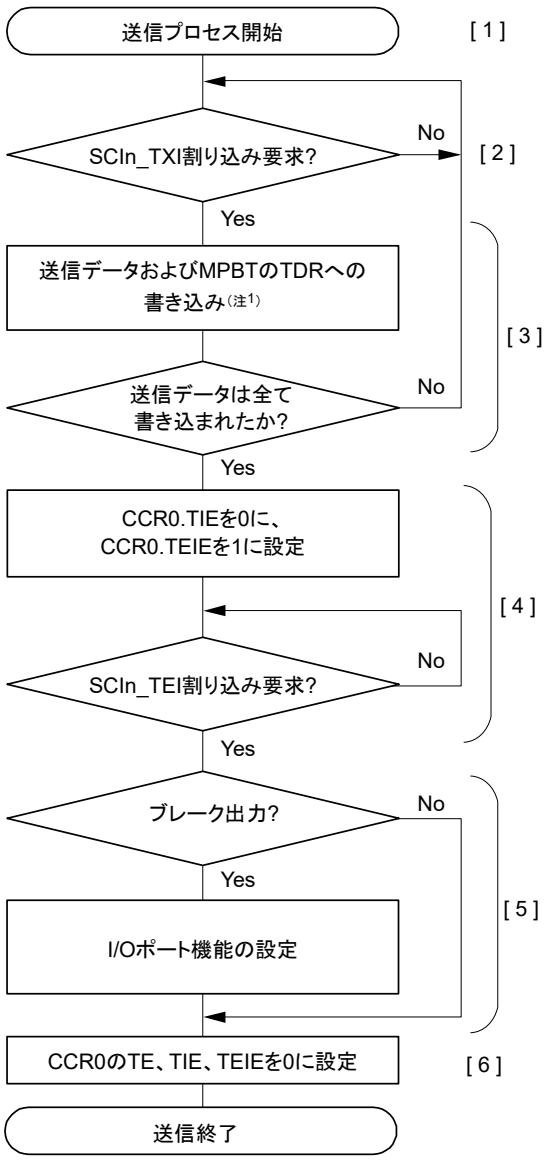
図 30.37 に、マルチプロセッサモードにおいて送信 FIFO (TDR) に書き込まれるデータフォーマットの例を示します。TDR.MPBT ビットは 1 になります。適切なデータ長のデータが送信 FIFO (TDR) レジスタに書き込まれます。使用しないビットには 0 を書いてください。

データ長	レジスタ設定		TDR[15:0]内の送信データ															
	CCR3.CHR[1:0]		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	1	–	–	–	–	–	–	MPBT	–	–	TDAT[6:0]						
8ビット	1	0	–	–	–	–	–	–	MPBT	–	TDAT[7:0]							
9ビット	0	Don't Care	–	–	–	–	–	–	MPBT	TDAT[8:0]								

注. —：無効。書く場合、0 としてください。

図 30.37 マルチプロセッサモードにおいて送信 FIFO (TDR) レジスタに書き込まれるデータフォーマット（FIFO 選択時）

図 30.38 に、FIFO 選択時のマルチプロセッサシリアル送信のフローチャート例を示します。ID 送信サイクルでは、TDR.MPBT ビットを 1 にして ID を送信してください。データ送信サイクルでは、MPBT ビットを 0 にしてデータを送信してください。その他の動作は、調歩同期式モードにおける FIFO 選択時の動作と同じです。



[1] 送信プロセス開始
送信開始時のSCIn_TXI割り込みを有効にするため、1回の命令でCCR0のTEとTIEを同時に1にします。
また、CCR3のFMとMPを1にします。

[2] SCIn_TXI割り込み要求:
送信データエンプティ割り込み (SCIn_TXI) が発生するのは、送信データが送信FIFO (TDR) からTSRへ転送される際に、送信FIFOに書き込まれる送信データ数が送信FIFOのしきい値以下の場合です。

[3] シリアル送信の継続手順:
シリアル送信を継続するときには、SCIn_TXI割り込みを使用して全ての送信データとMPBT設定値を送信FIFO (TDR) に書き込みます。送信データとMPBT設定値は、DMACまたはDTCを起動することでも送信FIFO (TDR) に書き込むことができます。

[4] SCIn_TEIを使用する場合は、最後の送信データがTDR(注1)に書き込まれた後に、TIE = 0とTEIE = 1を設定します。

[5] シリアル送信終了時のブレーク出力:
ブレークを出力するには、TEが0のときに、出力状態設定にSPB2IOとSPB2DTを設定する必要があります。
(これらのビットを初期化時に設定する場合はこのステップを省略できます。)

[6] CCR0のTE、TIE、TEIEを0に設定

注 1. データ長 9 ビットまたは MPBT ビットへの書き込みでのバイトアクセス時、書き込み送信データは TDR[15:8]ビット、TDR[7:0]ビットの順になります。

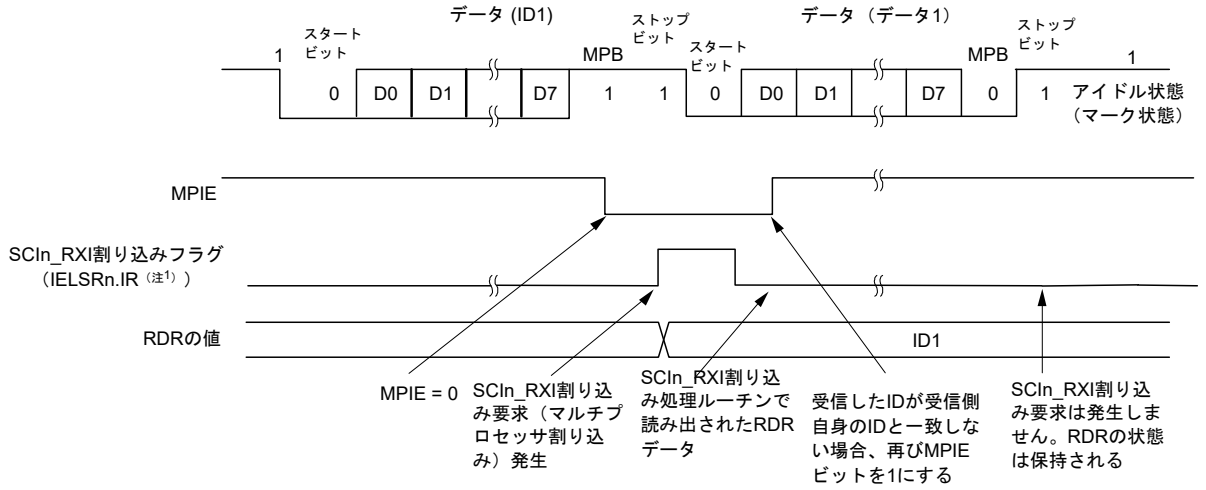
図 30.38 マルチプロセッサモードにおけるシリアル送信のフローチャート例（FIFO 選択時）

30.4.2 マルチプロセッサシリアルデータ受信

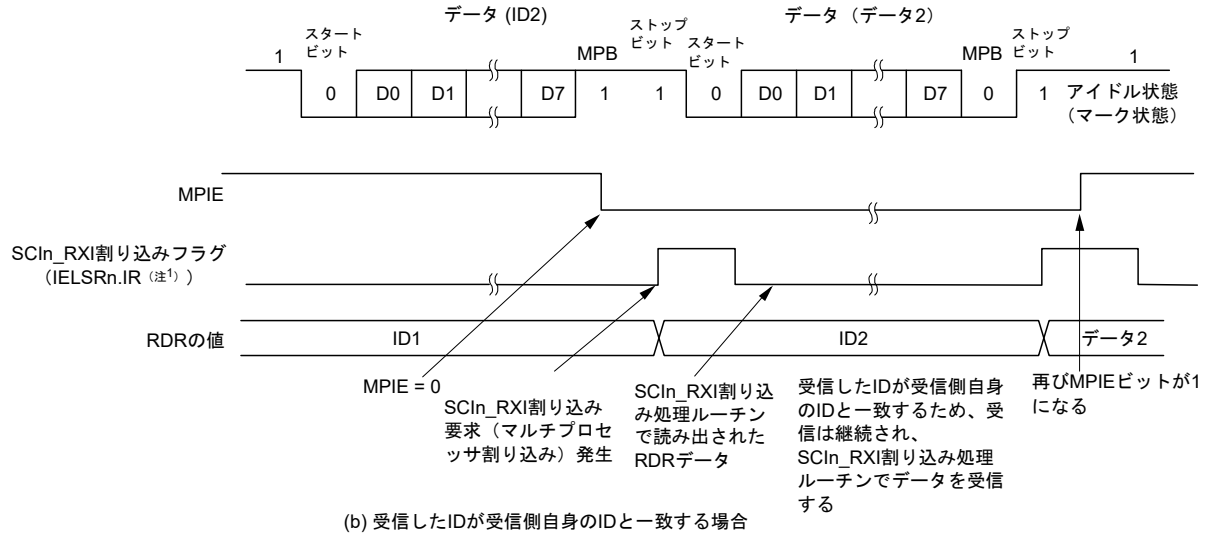
(1) 非 FIFO 選択時

図 30.40 と図 30.41 に、マルチプロセッサシリアル受信のフローチャート例を示します。CCR0.MPIE ビットを 1 にすると、マルチプロセッサビットが 1 の通信データを受信するまで、通信データは読み飛ばされます。マルチプロセッサビットが 1 の通信データを受信すると、その受信データは RDR レジスタへ転送され、SCIn_RXI 割り込み要求が発生します。その他の動作は、調歩同期式モードの動作と同じです。

図 30.39 に、データ受信時の動作例を示します。



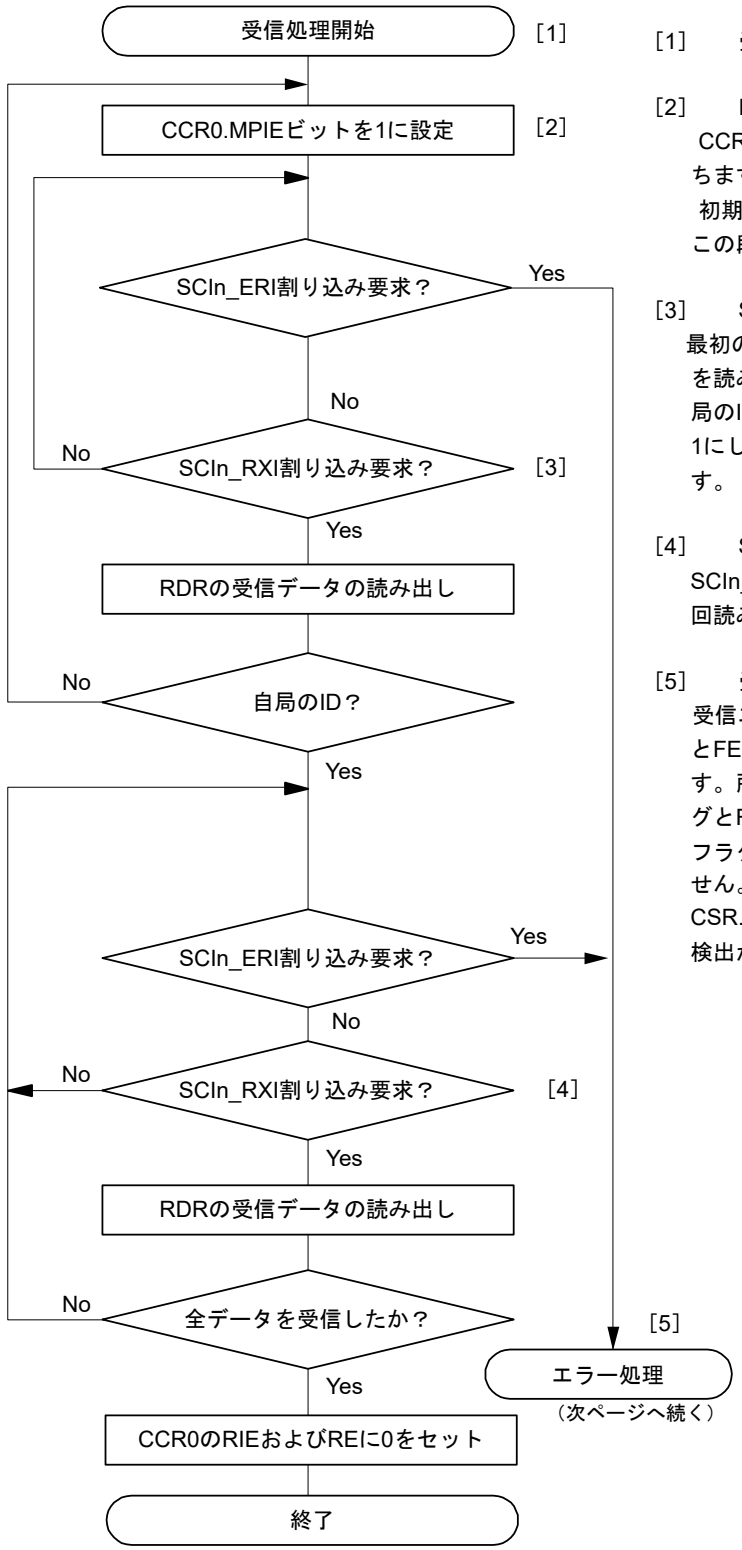
(a) 受信したIDが受信側自身のIDと一致しない場合



(b) 受信したIDが受信側自身のIDと一致する場合

注 1.　対応する割り込みイベント番号については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

図 30.39　SCI の受信時の動作例（8 ビットデータ／マルチプロセッサビットあり／1 ストップビットの場合）



[1]　受信処理開始

[2]　ID受信サイクル：
CCR0.MPIEビットを1に設定して、IDの受信を待ちます。
初期化［1］の時にこのビットを設定する場合は、この段階を省略できます。

[3]　SCIステータス確認およびIDの受信と比較：
最初のSCIn_RXI割り込みでRDRレジスタのデータを読み出して、それを自局のIDと比較します。自局のIDと一致しなかった場合、再びMPIEビットを1にして、次のSCIn_RXI割り込み要求を待ちます。

[4]　SCIn_RXI割り込みでのデータ受信：
SCIn_RXI割り込みルーチンで、RDRのデータを1回読み出します。

[5]　受信エラー処理とブレークの検出：
受信エラーが発生した場合、CSRのORERフラグとFERフラグを読み出すことでエラーを判定します。所定のエラー処理を行った後、必ずORERフラグとFERフラグをクリアしてください。これらのフラグのいずれかが1の状態では受信を再開できません。フレーミングエラーの発生時、CSR.RXDMONビットを読み出すことでブレークの検出が可能です。

図 30.40　マルチプロセッサシリアル受信のフローチャート例（非 FIFO 選択時）(1)

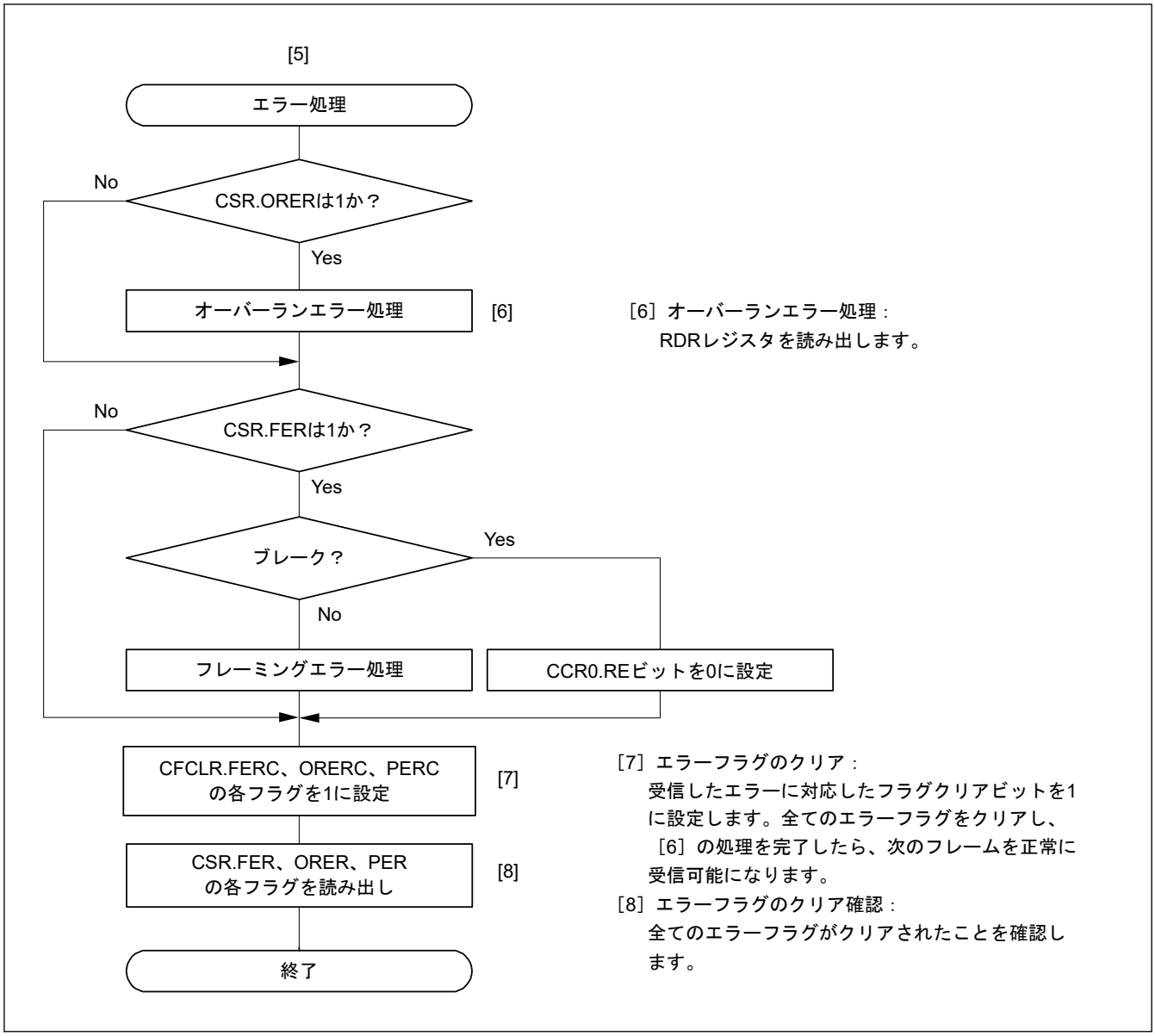


図 30.41　マルチプロセッサシリアル受信のフローチャート例（非 FIFO 選択時）(2)

(2) FIFO 選択時

図 30.42 に、マルチプロセッサモードにおいて受信 FIFO (RDR) に書き込まれるデータフォーマットの例を示します。

マルチプロセッサモードでは、受信データの一部である MPB の値が RDR.MPB ビットに書き込まれます。RDR.FPER フラグおよび PER フラグに 0 が書き込まれます。適切なデータ長のデータが受信 FIFO (RDR) レジスタに書き込まれます。使用されないビットには、0 が書き込まれます。ソフトウェアが受信 FIFO (RDR) レジスタを読み出すと、SCI は RDR.FFER、FPER、MPB の各フラグ、および受信 FIFO (RDR) レジスタの受信データ (RDAT[8:0]) を次のデータで更新します。受信 FIFO (RDR) レジスタ内の FER、PER、ORER の各フラグは、常に CSR レジスタと FRSR レジスタ内の対応するフラグを反映しています。

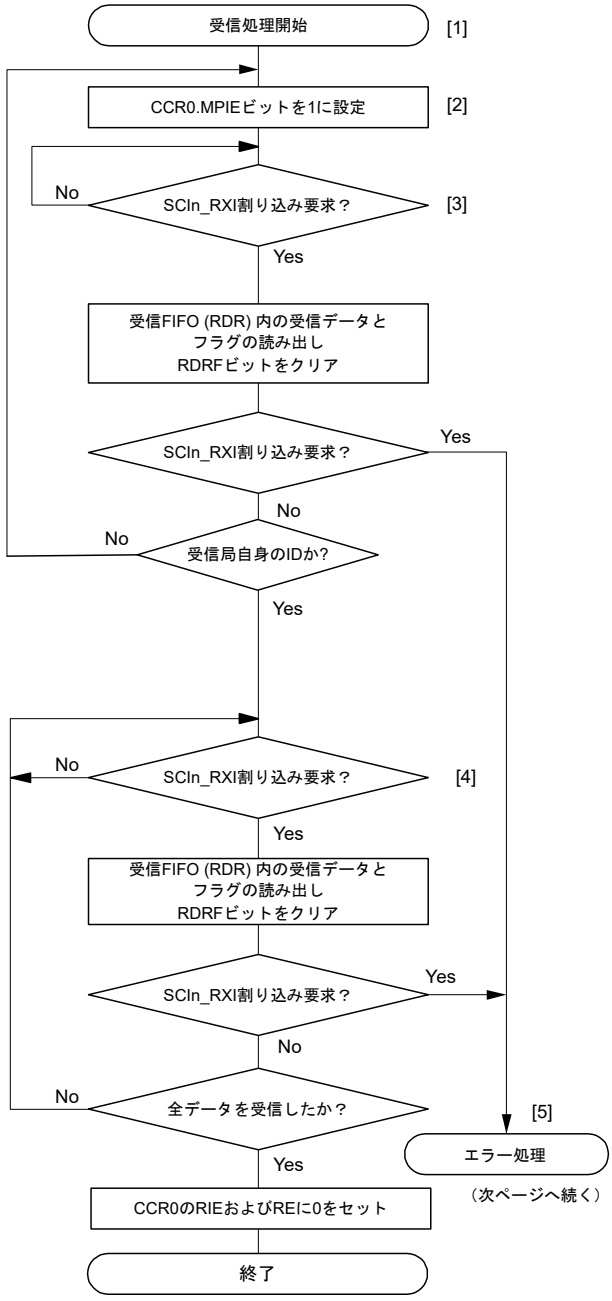
データ長	レジスタ設定 CCR3.CHR[1:0]		RDR[31:0]内の受信データ b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	1	0	0	0	FFER	FPER	DR	MPB	0	0	RDAT[6:0]						
8ビット	1	0	0	0	0	FFER	FPER	DR	MPB	0	RDAT[7:0]							
9ビット	0	Don't Care	0	0	0	FFER	FPER	DR	MPB	RDAT[8:0]								
データ長	CCR3.CHR[1:0]		b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
7ビット	1	1	0	0	0	FER	PER	0	0	ORER	0	0	0	0	0	0	0	0
8ビット	1	0	0	0	0	FER	PER	0	0	ORER	0	0	0	0	0	0	0	0
9ビット	0	Don't Care	0	0	0	FER	PER	0	0	ORER	0	0	0	0	0	0	0	0

注.　データ長が 7 ビットの場合、RDAT[8:7]は常に 0 が読み出されます。
データ長が 8 ビットの場合、RDAT[8]は常に 0 が読み出されます。

図 30.42　マルチプロセッサモードにおいて受信 FIFO (RDR) に格納されるデータフォーマット（FIFO 選択時）

図 30.43 に、FIFO 選択時のマルチプロセッサデータ受信のフローチャート例を示します。CCR0.MPIE ビットを 1 にすると、マルチプロセッサビットが 1 の通信データを受信するまで、通信データは読み飛ばされます。マルチプロセッサビットが 1 の通信データを受信すると、その受信データ、MPB、および関連のエラーが受信 FIFO (RDR) レジスタへ転送されます。CCR0.MPIE ビットは自動的にクリアされ、通常の受信動作が継続します。

フレーミングエラーが発生して CSR.FER フラグが 1 になると、SCI はデータ受信を継続します。その他の動作は、調歩同期式モードにおける FIFO 選択時の動作と同じです。



[1]　受信処理開始
MPの検出でSCIn_RXI割り込み要求を発生させるには、FCR.RTRGビットに1を、FCR.DRESビットに0を設定してください。

[2]　ID受信サイクル：
CCR0.MPIEビットを1にして、IDの受信を待ちます。このビット設定を初期化［1］時に行う場合、このステップは省略できます。

[3]　SCIステータス確認およびIDの受信と比較：
MPBビットが1の通信データを受信するまで、通信データを読み飛ばします。このとき、MPBビットが1のデータを受信すると、SCIn_XRI割り込み要求が発生します。SCIn_RXI割り込み要求を受信したとき、受信したFIFO（RDRレジスタ）のデータを読み出し、自局IDと比較します。それが自局IDでない場合、再びMPIEビットを1にして、次のSCIn_RXI割り込み要求を待ちます。自局IDであれば、受信FIFOしきい値を必要な値に設定します。

[4]　SCIn_RXI割り込みでのデータ受信：
FIFOのしきい値を超える数の受信データが受信FIFO（RDRレジスタ）に格納されると、CSR.RDRFビットが1になり、SCIn_RXI割り込み要求が発生します。また、受信FIFO（RDRレジスタ）に格納された受信データの数が1以上でありかつFIFOのしきい値より小さい場合、15 etu経過後にFRSR.DRビットが1になり、SCIn_RXI割り込み要求が発生します。SCIn_RXI割り込みルーチンが、受信FIFO（RDRレジスタ）からデータを読み出します。

[5]　受信エラー処理とブレークの検出：
受信エラーが発生した場合、CSRのORERフラグとFERフラグを読み出すことでエラーを判定します。所定のエラー処理を行った後、必ずORERフラグとFERフラグをクリアしてください。 フレーミングエラーの場合、RXDn端子の値を読み出すことでブレークを検出できます。

図 30.43　マルチプロセッサモードにおけるシリアル受信のフローチャート例（FIFO 選択時）

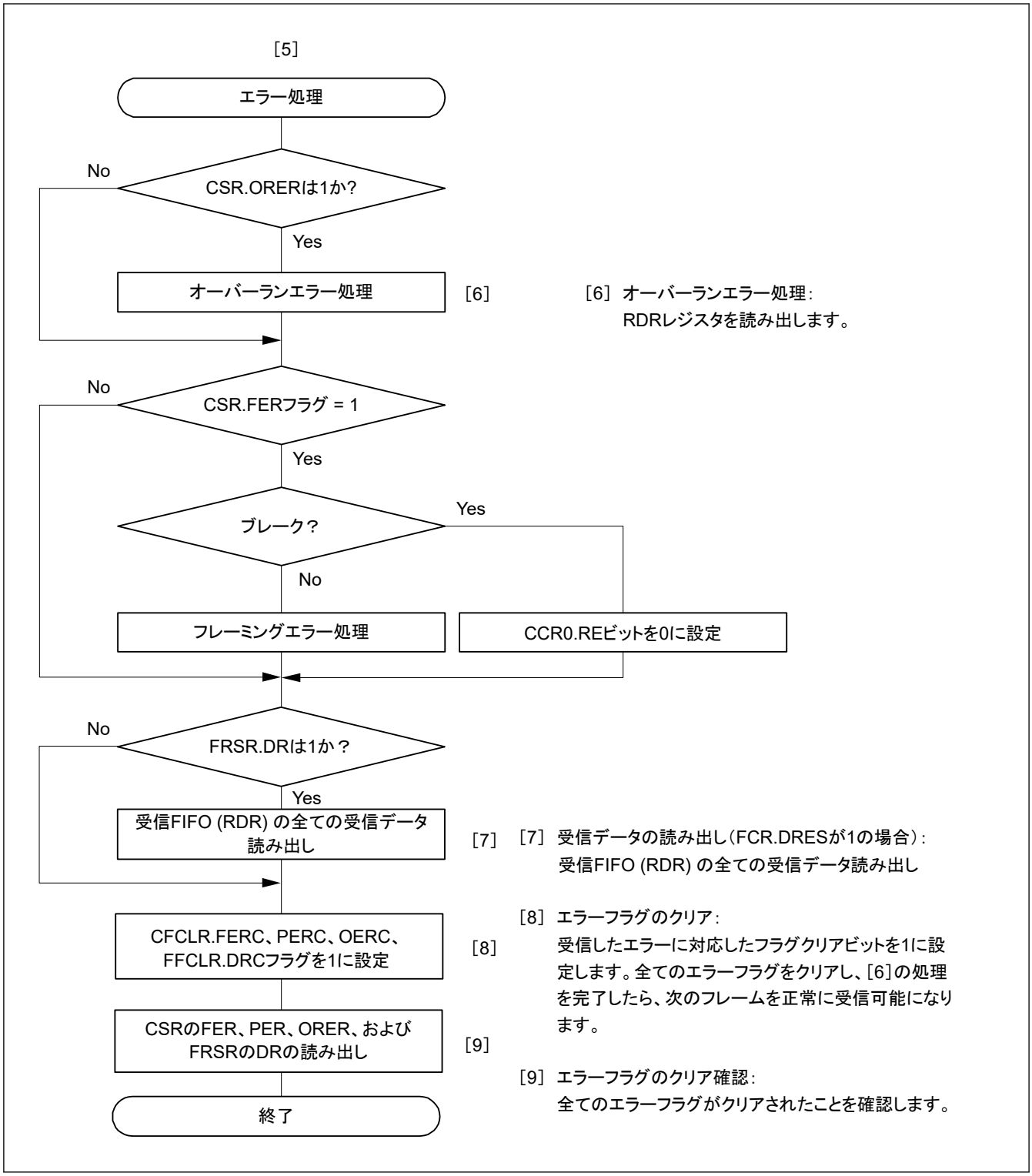


図 30.44 マルチプロセッサモードにおけるシリアル受信のフローチャート例 (2)（FIFO 選択時）

30.5 マンチェスタモードの動作

マンチェスタモードにおいては、受信または送信されるシリアルデータはマンチェスタエンコードによってコード化されます。

図 30.45 にマンチェスタエンコードのイメージを示します。

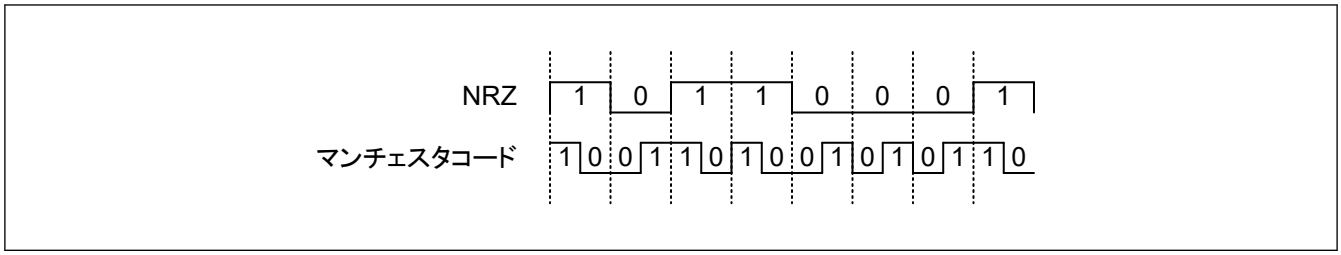


図 30.45　マンチェスタエンコードの例

マンチェスタモードでは、プレフィスとスタートビット領域がレジスタ内の送信データに追加され、送信フレームが構成されます。送信時に、データはマンチェスタエンコードでコード化されます。データが受信される時に、送信フレームと同じフォーマットのフレームが検出され、マンチェスタデコードが行われます。

フレームフォーマットの詳細については、「30.5.1. フレームフォーマット」を参照してください。

30.5.1　フレームフォーマット

図 30.46 にマンチェスタモードでのフレームフォーマットを示します。

図の上半分に関係する設定レジスタを示します。

プレフィス領域とデータ領域はマンチェスタエンコーディングでコーディングされます。

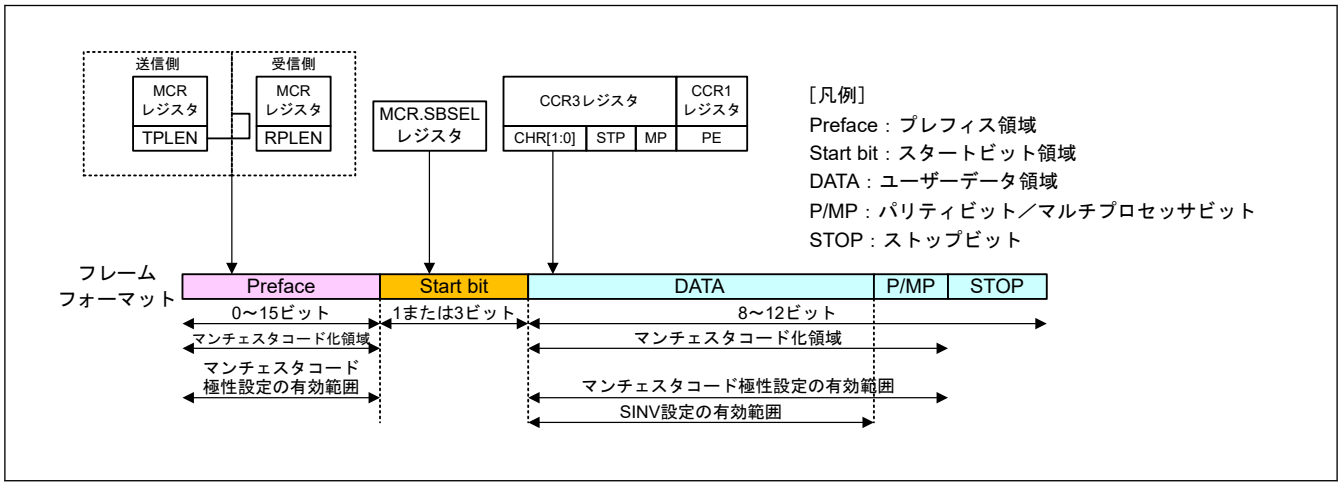


図 30.46　マンチェスタモードでのフレームフォーマット

(1)　プレフィス領域

この領域は固定パターンであり、各フレームの先頭に位置しています。

プレフィス領域の送信と受信の設定のためにいくつかのレジスタが使用されます。送信時のプレフィス長は MCR.TPLEN[3:0]の設定で決まります。受信については MCR.RPLEN[3:0]の設定で決まります。

0 に設定されると、送信プレフィスは無効になり付加されません。

1d～15d に設定されると、この設定で決まる長さのプレフィスが付加されます。

（例えば 1d に設定されると 1 ビット長のプレフィスが付加されます。15d に設定されると 15 ビット長のプレフィスが付加されます。）

送信時と受信時のプレフィスパターンは、それぞれ MCR.TPPAT[1:0]と MCR.RPPAT[1:0]により 4 パターンから選択されます。

図 30.47 にプレフィスがどのように設定されるかを示します。プレフィス領域とスタートビット領域が各通信フレームに付加されます。

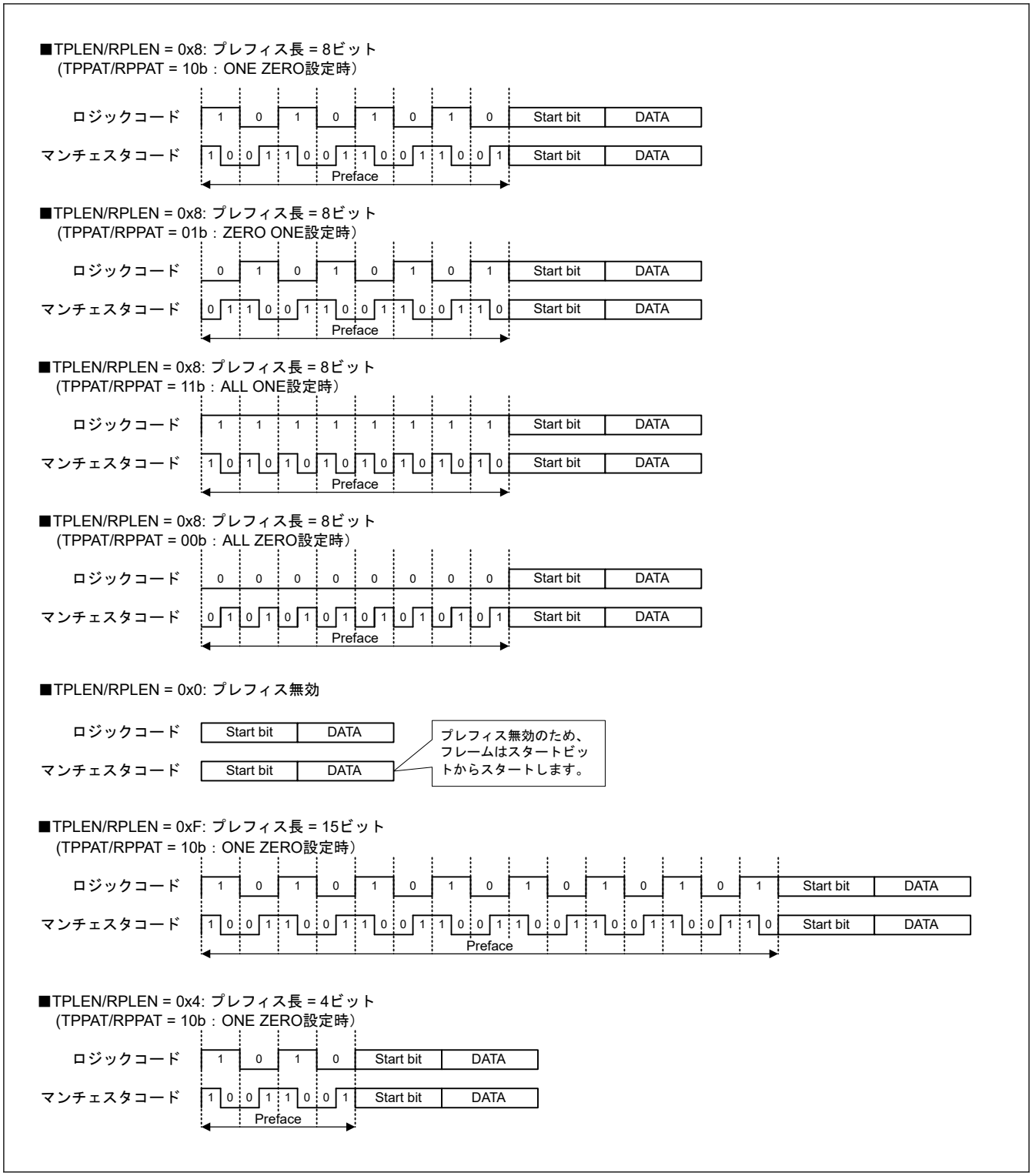


図 30.47　プレフィスパターンの設定例

(2)　スタートビット領域

フレーム内の有効データの開始を示します。この領域はプレフィス領域の後に追加されます。

スタートビット長は MCR.SBSEL の設定によって決まります。MCR.SBSEL = 0 の場合は、スタートビット長が 1 ビットです。

MCR.SBSEL = 1 の場合は、スタートビット長が 3 ビットです。

MCR.SBSEL = 1 の場合は、SYNC タイプをコマンド SYNC とデータ SYNC から選択できます。

コマンド SYNC は 3 ビットが 1 から 0 への遷移として付加されることを意味します。

データ SYNC は 3 ビットが 0 から 1 への遷移として付加されることを意味します。

SYNC タイプは MCR.SYNSEL、MCR.SYNVAL、および TDR.TSYNC の設定によって決まります。

（受信時は、MSR.RSYNC に受信結果が適用されます。）

MCR.SBSEL = 0 の場合は、スタートビットが 0 から 1 または 1 から 0 への遷移として付加されます。

どちらにするかは MCR.SYNVAL の設定によって決まります。

MCR.SYNSEL ビットは送信設定時の参照先を示します。

MCR.SYNSEL ビットが 1 のとき、MCR.SYNVAL の設定が参照されます。MCR.SYNSEL ビットが 0 のとき、TDR.TSYNC の設定が参照されます。

図 30.48 に MCR.SYNSEL レジスタ、MCR.SYNVAL レジスタ、および TDR.TSYNC レジスタの設定によって決まる送信時のスタートビット領域の状態を示します。図 30.49 に受信の場合を示します。

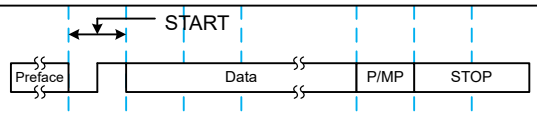
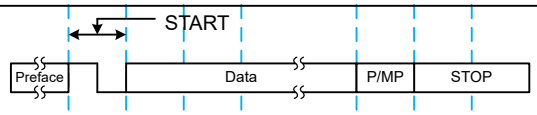
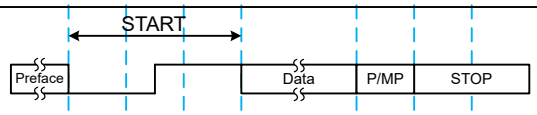
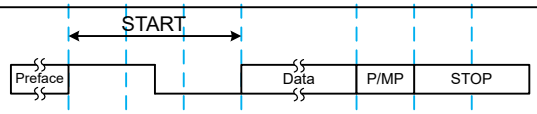
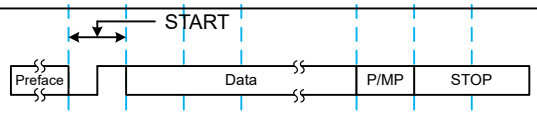
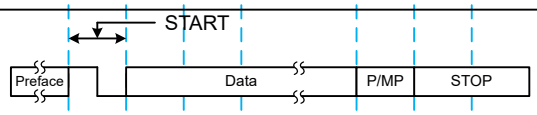
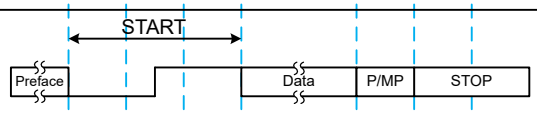
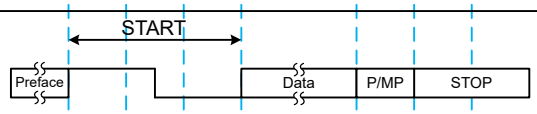
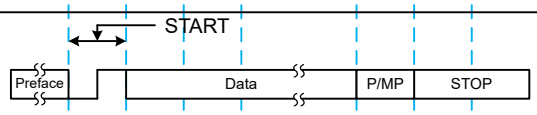
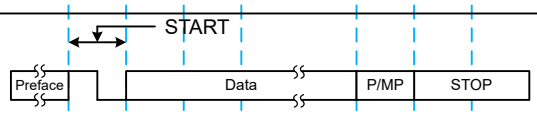
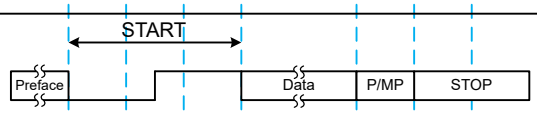
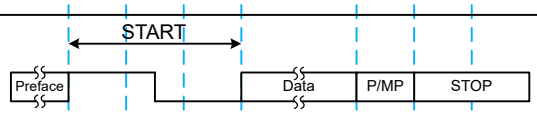
スタートビットは MCR.TMPOL または MCR.RMPOL の設定の影響を受けません。

*d.c.= don't care、Preface = プレフィス領域、START = スタートビット領域、Data = ユーザーデータ領域、
P = パリティビット、MP = マルチプロセッサビット、STOP = ストップビット

レジスタ設定				出力信号	出力スタートビット
MCR			TDR	TXDn出力波形	
SBSEL	SYNSEL	SYNVAL	TSYNC		
0	d.c.	0	d.c.	START, Preface, Data, P/MP, STOP	1ビット 0→1遷移
0	d.c.	1	d.c.	START, Preface, Data, P/MP, STOP	1ビット 1→0遷移
1	0	0	d.c.	START, Preface, Data, P/MP, STOP	3ビット 0→1遷移 （データ同期）
1	0	1	d.c.	START, Preface, Data, P/MP, STOP	3ビット 1→0遷移 （コマンド同期）
1	1	d.c.	0	START, Preface, Data, P/MP, STOP	3ビット 0→1遷移 （データ同期）
1	1	d.c.	1	START, Preface, Data, P/MP, STOP	3ビット 1→0遷移 （コマンド同期）

図 30.48　送信時のスタートビット領域に関する設定とフォーマット

d.c. = don't care、Preface = プレフィス領域、START = スタートビット領域、Data = データ領域
P = パリティビット、MP = マルチプロセッサビット、STOP = ストップビット

レジスタ設定				入力信号	スタートビット検出結果 (注1)	レジスタ表示
MCR			TDR	RXDn入力波形		
SBSEL	SYNSEL	SYNVAL	TSYNC			MSR.RSYNC
0	d.c.	0	d.c.		スタートビット正常（1ビット：0→1遷移）	0
					スタートビットエラー	0
					スタートビットエラー	0
					スタートビットエラー	0
0	d.c.	1	d.c.		スタートビットエラー	0
					スタートビット正常（1ビット：1→0遷移）	0
					スタートビットエラー	0
					スタートビットエラー	0
1	d.c.	d.c.	d.c.		スタートビットエラー	0
					スタートビットエラー	0
					データ同期	0
					コマンド同期	1

注 1.　スタートビット以外のデータは正常であると仮定します。

図 30.49　受信時のスタートビット領域に関する設定と判定

(3)　DATA

データ領域のフォーマットについては、調歩同期式モードと同様ですので「30.3.1. シリアル転送フォーマット」を参照してください。

図 30.45 マンチェスタモードでのフレームフォーマットに示される通り、ストップビットはマンチェスタエンコーディングの範囲に含まれません。

30.5.2 クロック

CCR2.CKS[1:0]ビットを設定することによって、マンチェスタモードでの送受信クロックとして内蔵ボーレートジェネレータから生成されるクロックが使用されます。

また、CCR2.ABCS ビットによってオーバーサンプリング（1 ビット時間の転送速度）を設定することも可能です。

CCR2.ABCS ビットが 0 に設定されると、1 ビット時間を基本クロックの 16 サイクルとして、オーバーサンプリング x16 が選択されます。CCR2.ABCS ビットが 1 に設定されると、1 ビット時間を基本クロックの 8 サイクルとして、オーバーサンプリング x8 が選択されます。

30.5.3 マンチェスタモードにおける SCI の初期化

データの送受信前に、CCR0.TE ビットと CCR0.RE ビットに 0 を書き込み（または CCR0 レジスタに初期値を書き込み）、図 30.50 のフローチャート例に従って、SCI を初期化してください。

動作モードまたは通信フォーマットを変更する場合も、CCR0 レジスタを初期値にしてから変更してください。

CCR0.RE ビットを 0 にしても、ORER、FER、PER、MER、RDRF、SYER、PFER、および SBER の各フラグ、および RDR レジスタは初期化されないことに注意してください。

また、CCR0.TIE が 1 のときに CCR0.TE の値を 0 から 1 に変化させると、SCIn_TXI 割り込み要求が生成されることにも注意してください。

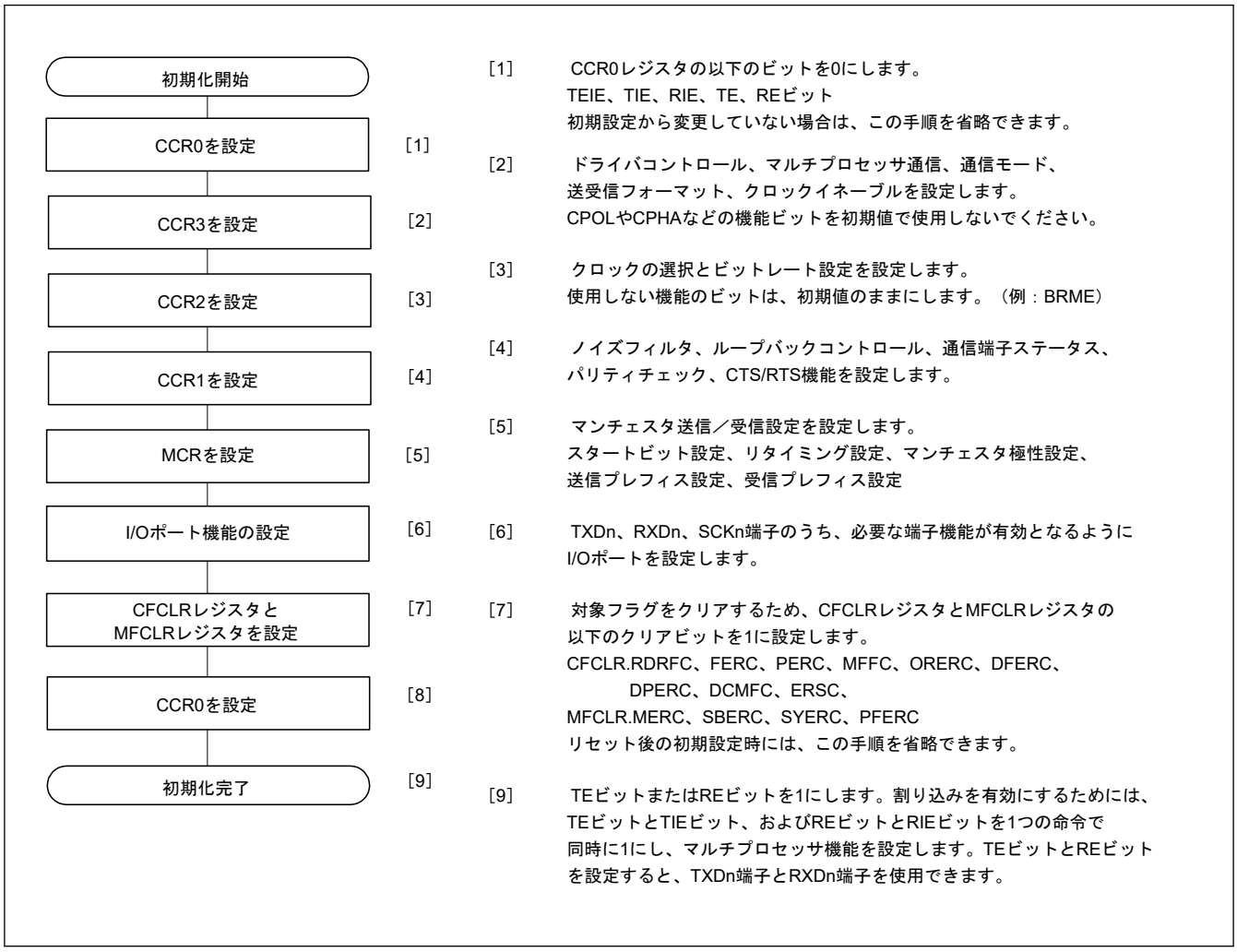


図 30.50　SCI の初期化フロー（マンチェスタモード）

30.5.4 倍速動作

CCR2.ABCS ビットを 1 にして、1 ビット期間として基本クロックの 8 パルスを選択した場合、ABCS ビットが 0 の場合に比べて、SCI は 2 倍のビットレートで動作します。

CCR2.BGDM ビットを 1 にすると、基本クロックの周期は 1/2 倍に減少し、SCI のビットレートは ABCS ビットが 0 の場合の 2 倍になります。

CCR2 レジスタの ABCS、BGDM ビットが 1 に設定されているときは、CCR2 レジスタの ABCS、BGDM ビットが 0 に設定されているときと比べて、SCI は 4 倍のビットレートで動作します。

30.5.5 CTS、RTS 機能

CTS 機能は、CTSn 端子入力を使用して送信制御を行う機能です。CCR1.CTSE ビットを 1 にすると、CTS 機能が有効になります。CTSn_RTSn 端子は、1 つの端子が CTS または RTS いずれの機能にも使用できる兼用端子としても設定できますし、各端子を CTSn 端子は CTS 機能に、CTSn_RTSn 端子は RTS 機能に対応する専用端子としても設定できます。この設定を行うには、CCR1.CTSPEN ビットを使ってください。

CTS 機能有効時、CTSn 端子が Low の場合のみ受信開始します。

送信開始後に CTSn 端子入力を High にしても、送信中のフレームは影響を受けず、送信を継続します。

RTS 機能は、CTSn_RTSn 端子出力を使用して送信要求を行います。SCI は受信可能になると、CTSn_RTSn 端子に Low を出力します。Low および High を出力する条件は以下のとおりです。

[Low になる条件]

以下の条件がすべて満たされる場合：

- CCR0.RE ビットの値が 1
- SCI が次の受信が可能である
  - 読み出す受信データがまだなく、受信もしていない
  - 以下のすべてのフラグが 0 になっている：CSR レジスタの ORER、FER、PER フラグ、MSR レジスタの MER、SYER フラグ（SYEREN = 1 の場合）、PFER フラグ（PFEREN = 1 の場合）、SBER フラグ（SBEREN = 1 の場合）

[High になる条件]

- Low になる条件を満たさない場合

30.5.6 シリアルデータの送信（マンチェスタモード）

SCI はマンチェスタエンコーディングによりデータをコード化し、その結果をマンチェスタモードで送信します。

極性設定 (MCR.TMPOL) が 0 の場合、論理 0 はマンチェスタコードで 0 から 1 への遷移、論理 1 はマンチェスタコードで 1 から 0 への遷移としてエンコーディングされます。

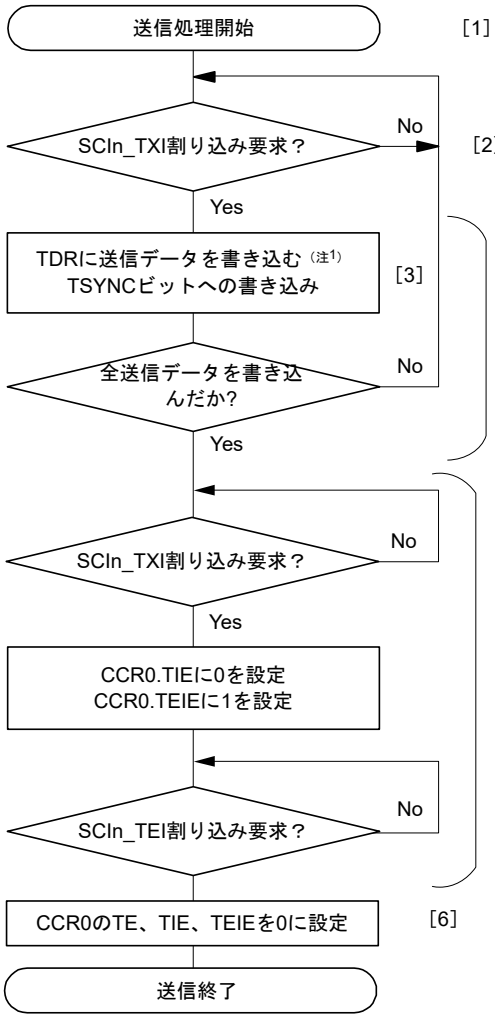
極性設定 (MCR.TMPOL) が 1 の場合、論理 0 はマンチェスタコードで 1 から 0 への遷移、論理 1 はマンチェスタコードで 0 から 1 への遷移としてエンコーディングされます。

そのため、マンチェスタエンコードされたデータのレベル遷移が各論理データの中間で発生します。（図 30.45 を参照してください。）

送信部はデータにプレフィスを付加し極性設定に従ってスタートビットを設定したうえで、特定のフォーマットで送信フレームを作成します。そして作成されたシリアルデータを送信します。

フレームフォーマットの詳細については、「30.5.1. フレームフォーマット」を参照してください。

図 30.51 に送信のフローチャートを示します。送信開始時に 1 命令で同時に CCR0.TIE ビットおよび CCR0.TE ビットを 1 にしてください。その後、SCIn_TXI 割り込み要求が発生します。図 30.52、図 30.53、および図 30.54 にマンチェスタモードのシリアル送信の動作例を示します。



[1]　送信処理開始

[2]　SCIn_TXI割り込み：
CCR0.TIE = 1かつTE = 0→1であるときに送信データがTDRからTSRに転送されると、送信データエンプティ割り込み (SCIn_TXI) 要求が発生します。

[3]　TDR設定：
送信データをTDRに書き込みます。
TSYNC使用時は、TDR.TSYNCも設定します。

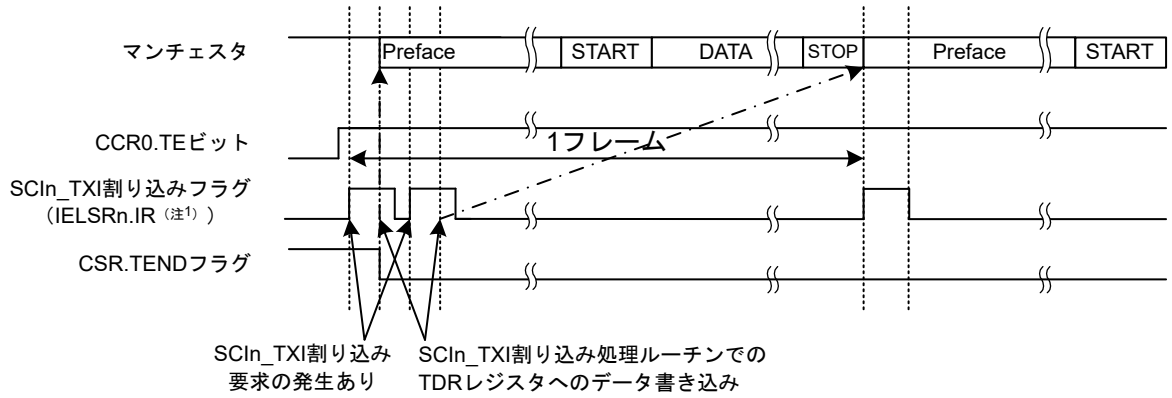
[4]　シリアル送信の継続手順：
シリアル送信を継続するときには、SCIn_TXI割り込みを使用して送信データをTDRに1回書き込みます。（注1）
送信データは、SCIn_TXI割り込み要求でDMACまたはDTCを起動することでもTDRに書き込むことができます。（注1）

[5]　SCIn_TEI割り込み要求を使用する場合は、最後の送信データがTDRに書き込まれて送信を開始した後に、CCR0.TIEビットを0、CCR0.TEIEビットを1にします。

[6]　CCR0.TE、TIE、TEIEビットを0に設定します。

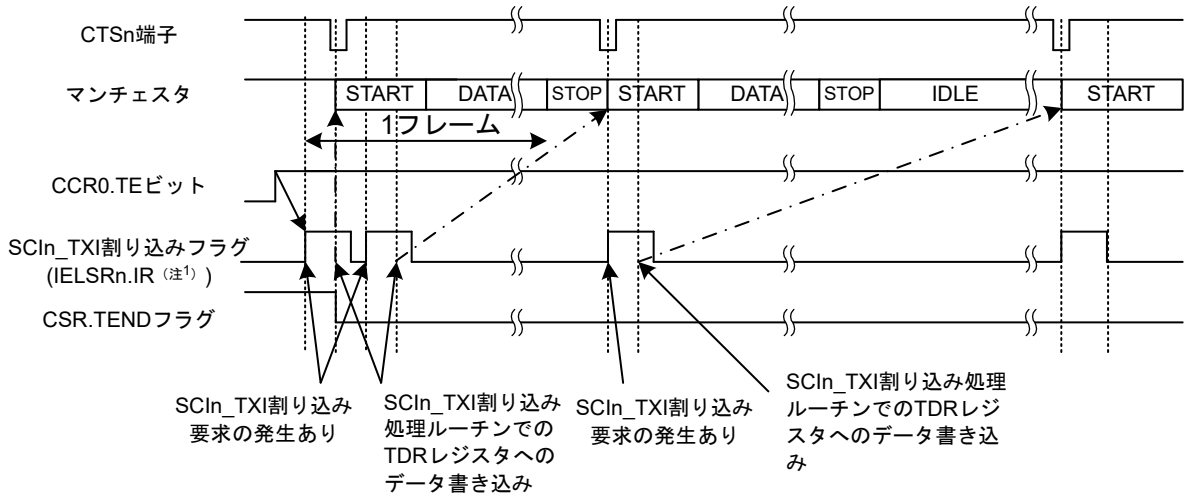
注 1.　TDR[15:8]ビットがデータ書き込みを要求し、バイトアクセスが要求される場合、送信データを TDR[15:8]ビット、TDR[7:0]ビットの順に書き込んでください。

図 30.51　マンチェスタモードのシリアル送信のフローチャート例



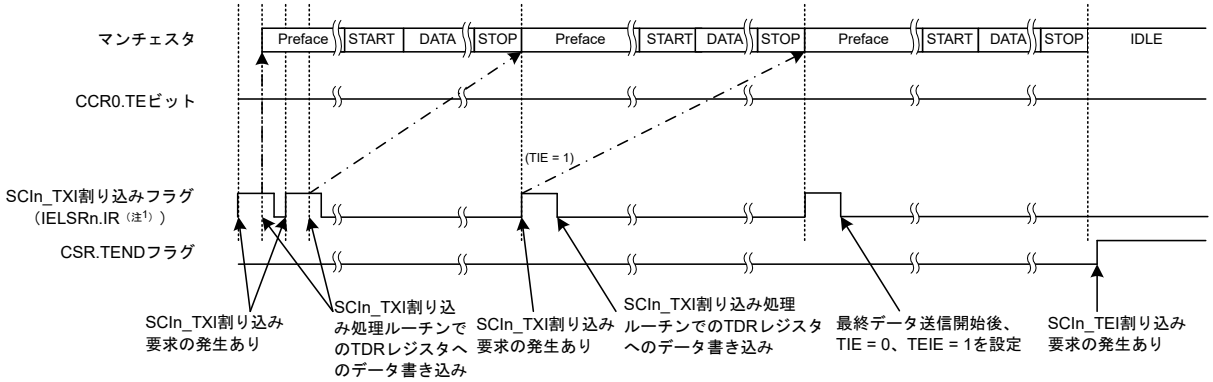
注 1.　対応する割り込み番号については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

図 30.52　マンチェスタモードにおけるシリアル送信の送信開始動作の例（プレフィスあり、CTS 機能なし）



注 1.　対応する割り込み番号については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

図 30.53　マンチェスタモードにおけるシリアル送信の送信開始動作の例（プレフィスなし、CTS 機能あり）



注 1.　対応する割り込み番号については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

図 30.54　マンチェスタモードにおけるシリアル送信の終了動作の例（プレフィスあり、CTS 機能なし）

30.5.7　シリアルデータの受信（マンチェスタモード）

マンチェスタモードでは、SCI はビットレートの 16 倍(注1)の周波数の基本クロックで動作します。受信は、基本クロックでの受信データの立ち下がりエッジのサンプリングによって開始します。図 30.55 に示す通り、受信は受信データの立ち下がりエッジで開始し、受信データが 1/4 ビットの間 Low 状態を維持すると受信が継続します。受信データが 1/4 ビットの間で High になると、SCI はエラーと判断し、次の立ち下がりエッジを待機します。

受信データの前半において High レベルであることが予想されると、SCI は 1 基本クロックサイクルの Low レベルをエラーと判断し、Low レベルへの変化を無視します。

注 1.　これは CCR2.ABCS = 0 の場合です。CCR2.ABCS = 1 の場合、SCI はビットレートの 8 倍の周波数の基本クロックで動作します。

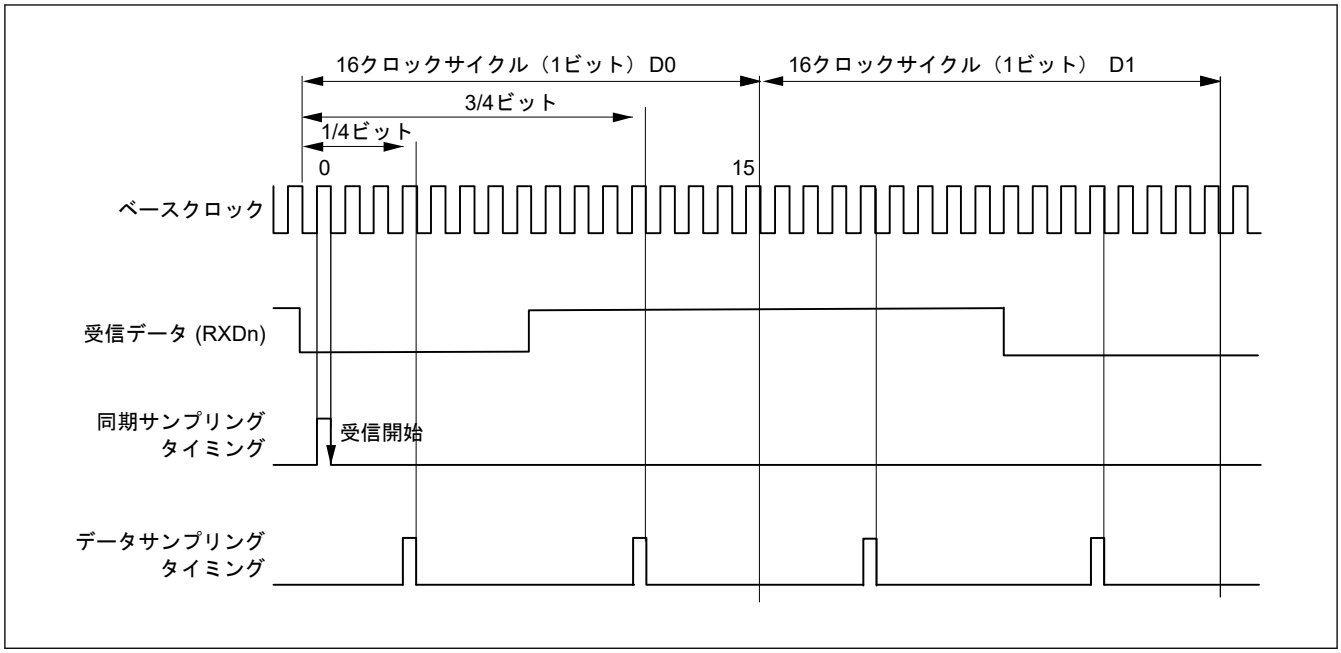


図 30.55 マンチェスタモードでのデータ受信サンプリングタイミング

マンチェスタモードでは、データ受信はプレフィスとスタートビット領域の検出で開始します。

SCI は RXDn 端子からの入力をチェックし、MCR.RPLEN の値に基づいてプレフィスが追加されているかどうかを判断します。

プレフィスが無効の場合 (MCR.RPLEN = 0)、プレフィス検出は行わずスタートビット領域の検出動作に移ります。

プレフィスが有効の場合、MCR.RPPAT の設定値に基づいてプレフィスパターン設定を特定し、これと RXDn 入力とのパターンマッチングによってプレフィスパターンを検出します。

プレフィスパターンの一致を検出すると、それを正常プレフィスと判断し、スタートビット領域の検出動作に移ります。

プレフィス領域においてプレフィスパターンの不一致またはマンチェスタコードエラーを検出すると、プレフィスエラーと判断してプレフィスエラー (PFER) をアサートします。

スタートビットの検出のために、SCI はレジスタ設定（MCR.SBSEL と SYNVAL）に基づいて期待値を選択し、これと RXDn 入力とのパターンマッチングによってスタートビット領域を検出します。スタートビットのパターン一致を検出すると、これを正常なスタートビット領域と判断してデータ処理動作に移行します。

プレフィスとスタートビット領域を正常に検出した場合のみ、データ受信の次のフェーズに移行します。

スタートビットのパターン不一致を検出すると、スタートビットエラーフラグ (SBER) をアサートします。

データ処理において、SCI はレジスタ設定 (CCR3.CHR[1:0]) に基づいて、RSR レジスタによって期待受信データ長だけデータをシフトします。受信データの 1 ビット内の 2 つのサンプル点が一致すると、SCI はこれをマンチェスタコードエラーと判断します。

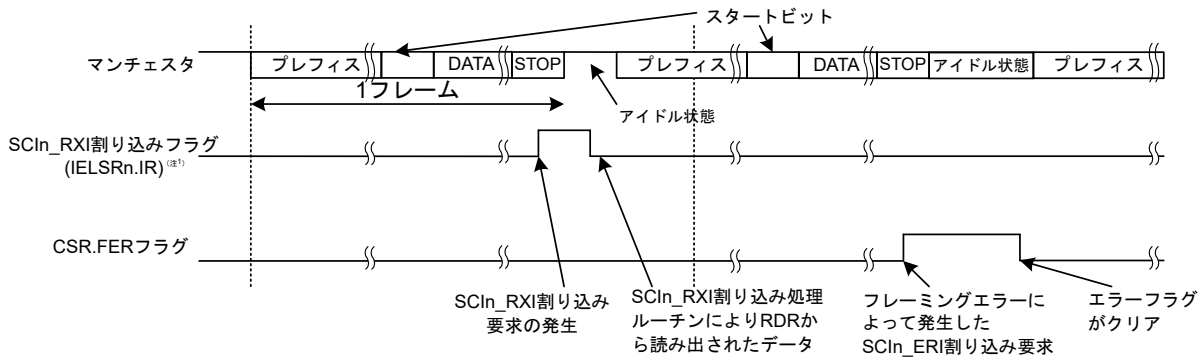
詳細については、「30.5.11. マンチェスタモードにおけるエラー」 (4) を参照してください。

パリティ機能が無効の場合 (CCR1.PE = 0) は、SCI はストップビット検出の次のフェーズに移行します。パリティ機能が有効の場合 (CCR1.PE = 1) は、SCI はパリティチェックを行います。パリティエラーを検出すると、パリティエラーフラグ (PER) をアサートしてストップビット検出動作に移行します。

ストップビットの検出においては、SCI は受信フレームのストップビット領域内で以下をチェックします。

ビット内に 2 つのサンプリング点があります。両方のサンプリング点が High レベルの場合、そのビットは正常なストップビットとみなされ、データが RDR レジスタに保存されます。Low レベル点が少なくとも 1 つあると異常ストップビットと判断され、フレームエラーフラグ (FER) が設定されます。エラーが検出された場合でも、受信データは異常データとして RDR レジスタに保存されます。

図 30.56 にマンチェスタモードにおけるシリアル受信の動作例を示します。



注 1. 対応する割り込み番号については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

図 30.56 マンチェスタモードにおけるシリアルデータ受信の動作例（プレフィスあり）

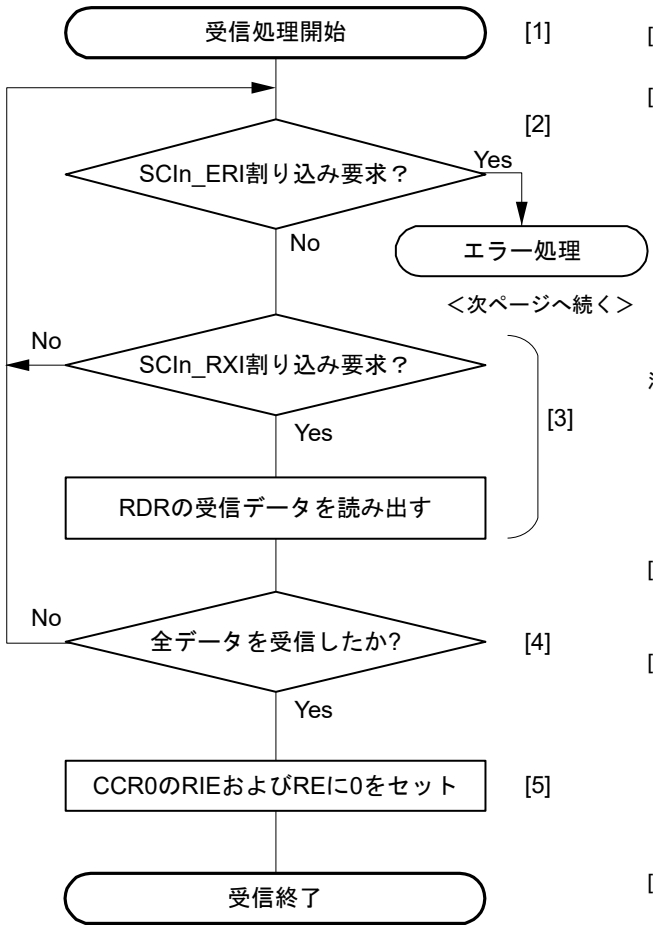
受信エラーが検出された場合の CCR0 レジスタの各ステータスフラグの状態と RXDn 入力処理については、「30.5.11. マンチェスタモードにおけるエラー」を参照してください。

受信エラーが検出されると、SCIn_ERI 割り込み要求は発生しますが、SCIn_RXI 割り込み要求は発生しません。

受信エラーフラグが 1 の状態では受信動作を再開できません。したがって、ORER、FER、PER、MER、SYER(注1)、PFER(注1)、および SBER(注1)フラグを 0 にしてから受信を再開してください。また、オーバーランエラー処理では、必ず RDR レジスタを読み出してください。受信動作中に CCR0.RE ビットを 0 にして受信動作を強制終了させた場合、RDR レジスタ内に読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

図 30.57 と図 30.58 に、マンチェスタモードにおけるシリアルデータ受信フローチャートの例を示します。

注 1. 対応するビットが有効のときに有効になります。



[1] 受信処理開始

[2] 受信エラー処理：
受信エラー発生時はSCIがSCIn_ERI割り込みを発生させます。エラーは、CSRのORER、PER、FER、およびMSRのMER、SBER、SYER、PFERを読みだすことで特定されます。所定のエラー処理を行った後に、必ずORER、PER、FER、MER、SBER、SYER、PFERの各フラグを0にします。これらのフラグが一つでも1の場合、受信を再開できません。

注. MSRのPFER、SYER、SBERの各ビットにはそれぞれ許可ビットがあります（MECRのPFEREN、SYEREN、SBEREN）。対応する許可ビットを0（禁止）にすると、該当のフラグ値は通信に反映されません。必要に応じてエラー処理を行ってください。

[3] SCIn_RXI割り込み処理ルーチンで、RDR内の受信データを1回読み出します。

[4] シリアル受信の継続手順：
シリアル受信を継続するときには、フレームのストップビットを受信する前に、SCIn_RXI割り込み処理ルーチン内でRDRからデータを読み出します。RDRのデータは、DMACまたはDTCを起動することでも読み出すことができます。

[5] CCR0.RIEおよびREに0を書き込みます。

図 30.57 マンチェスタモードにおけるシリアルデータ受信フローチャートの例（正常受信）

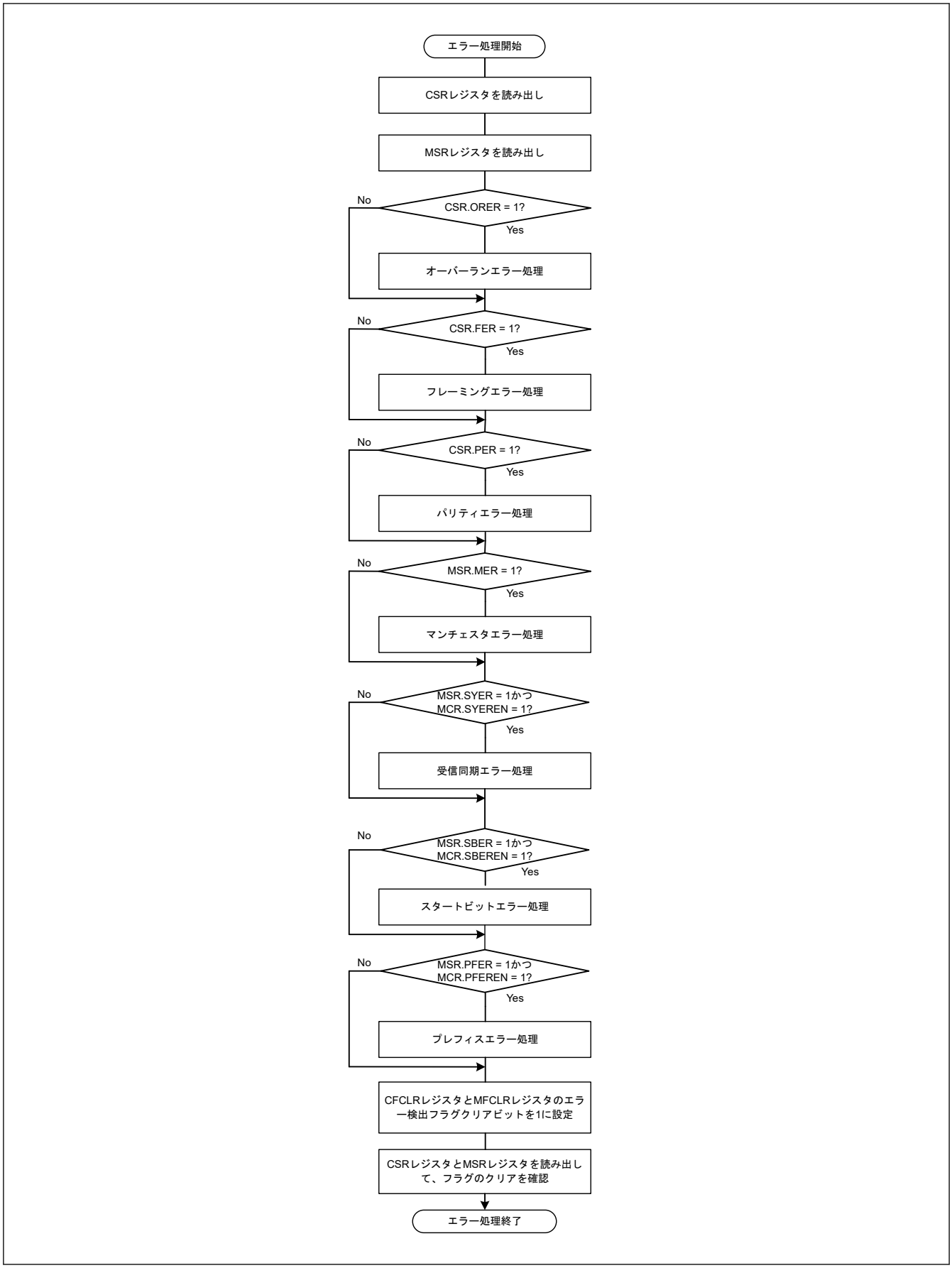


図 30.58　マンチェスタモードにおけるシリアル受信フローチャートの例（エラー処理）

30.5.8 マルチプロセッサが使用されている場合の動作

マルチプロセッサが使用されている場合のマンチェスタモードにおける動作については、「30.4. マルチプロセッサ通信機能」(1) の場合と同じなのでこれを参照してください。

マンチェスタモードではフレームフォーマットにプレフィスとスタートビット領域が追加されます。受信フローチャートのマンチェスタモードにおけるエラー処理については、図 30.58 を参照してください（図 30.41）。各種エラーを検出した際の動作状態については、表 30.37 を参照してください。

30.5.9 受信再タイミング

この機能は、マンチェスタコードにおいてビットのエッジが中央にあることを利用して、各ビットの中央エッジのタイミングを補正します。

受信再タイミング機能は MCR レジスタの ERTEN ビットの設定によってオンまたはオフにできます。

受信再タイミング機能がオフのとき (MCR.ERTEN = 0) は再タイミングが実施されません。その結果内部クロックと RxDn 入力のずれが蓄積し受信マージンが減少します。

受信再タイミング機能がオンのとき (MCR.ERTEN = 1) は、再タイミングがプレフィス領域、スタートビット領域(注1)、およびデータ領域（ストップビットを除く）に対して実施されます。

注 1. プレフィス長が 0 でスタートビット長が 3 のときは、スタートビット領域の再タイミングが実施されません。

例として、オーバーサンプリング x16 が選択されているときの受信再タイミングを以下に示します。

RXDn 入力エッジを期待位置よりも 2～4 サイクル前で検出したときは、1 サンプリング CLK サイクルだけ受信処理が短くなります。

RXDn 入力エッジを期待位置よりも 2～3 サイクル後ろで検出したときは、1 サンプリング CLK サイクルだけ受信処理が長くなります。

（クロックとデータのずれが 2 サイクルより大きくても、各ビットで 1 サイクルだけ補正されます。）

図 30.59 に受信再タイミング範囲の概念図を示します。

エッジを図の許容領域で検出したときは、補正なしでデータをそのまま受信します。

エッジを図の SyncJump 領域で検出したときは、補正してデータを受信します。

エッジを図の SyncError 領域で検出したときは、補正を行わず異常データとして受信します。

マンチェスタコードエラー（1/4 相と 3/4 相のサンプリングポイントでデータが一致したとき）に対しては、SCI がコードエラーを報告します。

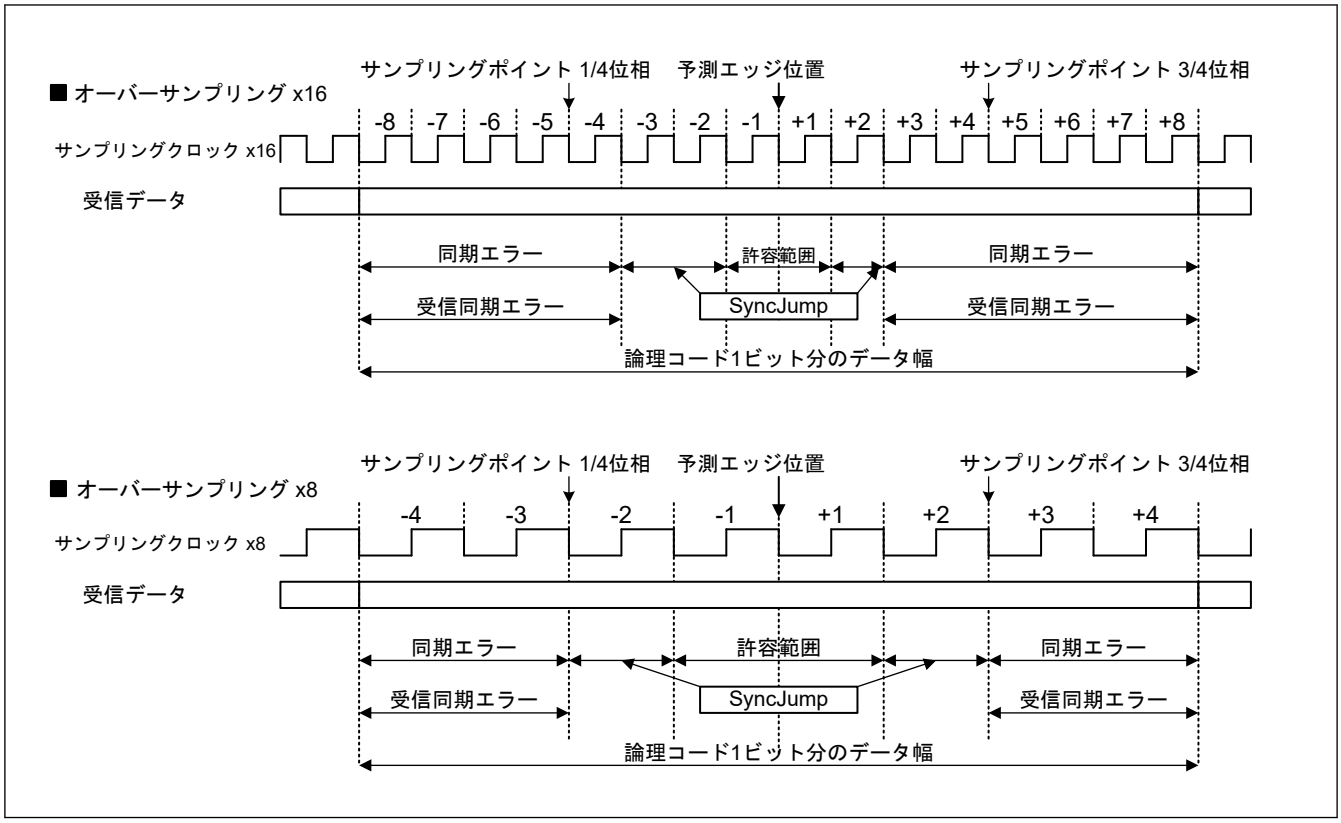


図 30.59　受信再タイミング範囲の概念図

30.5.10　マンチェスタコードの極性設定

マンチェスタコードの極性はマンチェスタコントロールレジスタ (MCR) で設定できます。

極性は送信と受信に対して個別に設定できます。送信の極性は MCR.TMPOL ビット、受信の極性は MCR.RMPOL ビットを使用して設定します。

マンチェスタコードの極性設定は、プレフィス領域、データ領域、およびパリティまたはマルチプロセッサ領域で有効です。

マンチェスタコードの極性に初期設定値 (TMPOL/RMPOL = 0) が使用される場合、論理 0 はマンチェスタコード内での 0 から 1 への遷移、論理 1 はマンチェスタコード内での 1 から 0 への遷移としてエンコーディングされます。設定が TMPOL/RMPOL = 1 に変更されると、論理 0 はマンチェスタコード内での 1 から 0 への遷移、論理 1 はマンチェスタコード内での 0 から 1 への遷移としてエンコーディングされます。図 30.60 に設定と動作の概念図を示します。

上記の機能とは別に、データ領域内の送信データと受信データは受信／送信データ反転機能 (CCR3.SINV) によって反転できます。マンチェスタコードの極性 (MCR.TMPOL/RMPOL) は送信／受信データ反転機能 (CCR3.SINV) とは別に設定できるので、これら両方を反転に設定すると (MCR.TMPOL/RMPOL = 1 かつ CCR3.SINV = 1)、送信データと受信データが初期状態（反転＋反転＝正常）になります。

スタートビット領域の極性は上記のレジスタとは別のレジスタにより設定されます。

別のレジスタが使用されるので、スタートビット領域の極性は上記のマンチェスタコード極性設定の影響を受けません。

スタートビット領域の設定については、「30.5.1. フレームフォーマット」の (2) を参照してください。

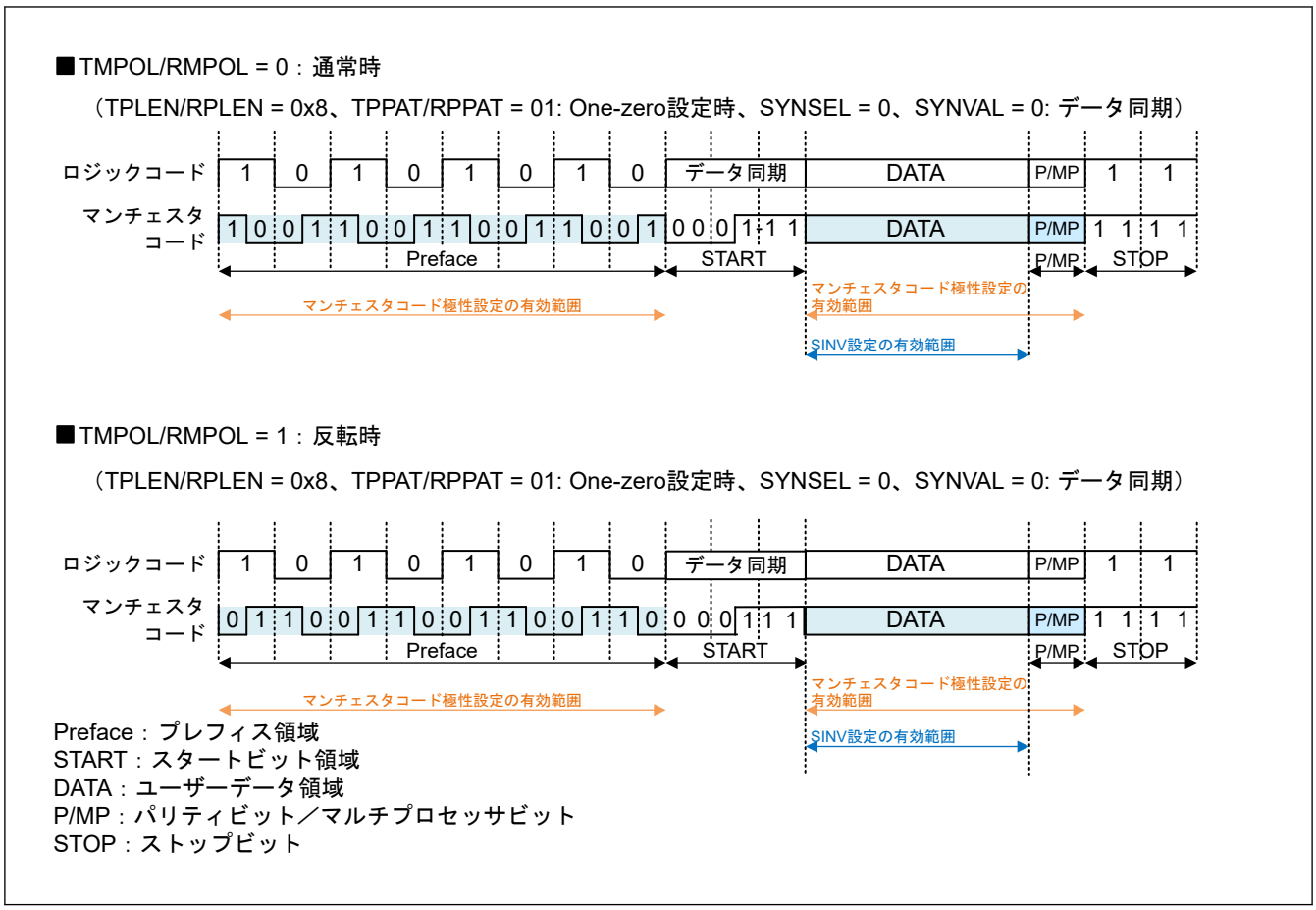


図 30.60　マンチェスタコード極性設定の有効範囲

30.5.11　マンチェスタモードにおけるエラー

マンチェスタモードには以下のエラーがあります。

1. パリティエラー
2. オーバーランエラー
3. フレーミングエラー
4. マンチェスタエラー
5. プレフィスエラー
6. スタートビットエラー
7. 受信 SYNC エラー

項番 1～3 のエラーについては調歩同期式モードと同様ですので「30.3.9. シリアルデータの受信（調歩同期式モード)」の (1) を参照してください。

各エラーは個別の領域で判定されますが、フラグと動作への反映はストップビット領域の 3/4 ビットサンプリングのタイミングで実施されます。プレフィスエラーまたはスタートビットエラーが検出されると、後続データは受信されません。したがって他のエラーは検出されず、エラーフラグは前の情報を保持します。

表 30.35 にエラーを検出した時のシリアルステータスレジスタの状態と RDR へのデータ保存の判断について示します。

表 30.36 にマンチェスタフレームの各領域で検出される可能性のあるエラーを示します。

プレフィスエラーまたはスタートビットエラーが検出されると、後続データは受信されません。したがって他のエラーは検出されず、エラーフラグは前のフレームを受信した結果を保持します。また、前のフレームでエラーが検出されると、データ受信は行われませんがプレフィス領域とスタートビット領域のエラーによるフラグの更新は行われます。 表 30.37 にそれぞれの場合におけるフラグと動作について示します。

(4) マンチェスタエラー

マンチェスタエラーはマンチェスタコードにエラーが検出されたときに生成されます。

マンチェスタコードでは、ビットの中心にエッジ（遷移）が存在する必要があります。

受信フレームのデータ領域（パリティ/マルチプロセッサコードを含む）において、1/4-ビットと 3/4-ビットのサンプリングポイント値が各受信ビットでチェックされ、これら 2 つの値が一致するとマンチェスタコードエラーと判定されます。

マンチェスタコードエラーが検出されると、マンチェスタエラーフラグ (MSR.MER) がアサートされます。

マンチェスタエラーが発生すると、割り込み要因およびイベント要因として扱われます。マンチェスタエラーが検出されると、対応するエラーフラグがクリアされるまで次の受信処理は実施されません。

(5) プレフィスエラー

プレフィスエラーは、プレフィスパターンと一致しない場合またはプレフィス領域でマンチェスタコードエラーが検出された場合に生成されます。プレフィスエラーが検出されると、プレフィスエラーフラグ (MSR.PFER) がアサートされます。

MCR レジスタの設定によって、このエラーフラグを割り込み要因として使用するかどうかを指定できます。

MCR.PFEREN = 1 の場合は、プレフィスエラーが割り込み要因またはイベント要因として扱われます。プレフィスエラーが検出されると、対応するエラーフラグがクリアされるまで次の受信処理は実施されません。

MCR.PFEREN = 0 の場合はプレフィスエラーが割り込み要因またはイベント要因として扱われず、受信処理が継続します。ただし、プレフィスエラーは MSR.PFER に通知されます。

(6) スタートビットエラー

スタートビットエラーは、受信フレームのスタートビット領域が事前設定されたスタートビットパターンに一致しない場合に生成されます。スタートビットエラーが検出されると、スタートビットエラーフラグ (MSR.SBER) がアサートされます。

MCR レジスタの設定によって、スタートビットエラーを割り込み要因として使用するかどうかを指定できます。

MCR.SBEREN = 1 の場合は、スタートビットエラーが割り込み要因またはイベント要因として扱われます。スタートビットエラーが検出されると、対応するエラーフラグがクリアされるまで次の受信処理は実施されません。

MCR.SBEREN = 0 の場合はスタートビットエラーが割り込み要因またはイベント要因として扱われず、受信処理が継続します。ただし、スタートビットエラーは MSR.SBER に通知されます。

(7) 受信 SYNC エラー

「30.5.9. 受信再タイミング」で説明されている受信再タイミング機能が有効化されている場合に、受信再タイミング動作が実行されます。

受信タイミング動作中に受信再タイミング範囲（図 30.59 の SyncError 領域）でエッジが検出されない場合に、受信 SYNC エラーが生成されます。受信 SYNC エラーが検出されると、受信 SYNC エラーフラグ (MSR.SYER) がアサートされます。再タイミングの対象でない領域については、受信 SYNC エラーが検出されません。

受信再タイミング動作が実行されるプレフィス領域(注1)、スタートビット領域(注1)、(注2)、およびデータ領域（ストップビットを除く）がチェックされます。

MCR レジスタの設定によって、受信 SYNC エラーを割り込み要因として使用するかどうかを指定できます。

MCR.SYEREN = 1 の場合は、受信 SYNC エラーが割り込み要因またはイベント要因として扱われます。受信 SYNC エラーが検出されると、対応するエラーフラグがクリアされるまで次の受信処理は実施されません。

MCR.SYEREN = 0 の場合は受信 SYNC エラーが割り込み要因またはイベント要因として扱われず、受信処理が継続します。ただし、受信 SYNC エラーは MSR.SYER に通知されます。

注 1. 最初のビットが High であると期待されるパターンで開始するフレームの場合は再タイミングの対象外です。
注 2. スタートビット領域にプレフィス長と 3 ビットのスタートビットが存在しない場合は再タイミングの対象外です。
また、3 ビットのスタートビットが設定されている場合は、第 1 ビットと第 2 ビットは再タイミングの対象外です。

表 30.35　マンチェスタモードにおける CSR レジスタのフラグと受信データ処理

CSR レジスタのフラグ			MRS レジスタのフラグ				受信データ	受信エラーの状態（SCIn_ERI 割り込み/イベントの生成）
ORER	FER	PER	MER	SBER(注1)	PFER(注1)	SYER		
0	0	0	0	0	0	0	RDR へ転送	エラーなし
0	1	0	0	0	0	0	RDR へ転送	フレーミングエラー
0	0	1	0	0	0	0	RDR へ転送	パリティエラー
0	1	1	0	0	0	0	RDR へ転送	フレーミングエラー＋パリティエラー
0	0	0	1	0	0	0	RDR へ転送	マンチェスタエラー
0	1	0	1	0	0	0	RDR へ転送	フレーミングエラー＋マンチェスタエラー
0	0	1	1	0	0	0	RDR へ転送	パリティエラー＋マンチェスタエラー
0	1	1	1	0	0	0	RDR へ転送	フレーミングエラー＋パリティエラー＋マンチェスタエラー
1	0	0	0	0	0	0	消失	オーバーランエラー
1	1	0	0	0	0	0	消失	オーバーランエラー＋フレーミングエラー
1	0	1	0	0	0	0	消失	オーバーランエラー＋パリティエラー
1	1	1	0	0	0	0	消失	オーバーランエラー＋フレーミングエラー＋パリティエラー
1	0	0	1	0	0	0	消失	オーバーランエラー＋マンチェスタエラー
1	1	0	1	0	0	0	消失	オーバーランエラー＋フレーミングエラー＋マンチェスタエラー
1	0	1	1	0	0	0	消失	オーバーランエラー＋パリティエラー＋マンチェスタエラー
1	1	1	1	0	0	0	消失	オーバーランエラー＋フレーミングエラー＋パリティエラー＋マンチェスタエラー
0	上記の組み合わせ			0	0	1	RDR へ転送	上記のエラー＋受信 SYNC エラー(注2)
1				0	0	1	消失	上記のエラー＋受信 SYNC エラー(注2)
保持	保持	保持	保持	0	1	0	消失	プレフィスエラー(注3)
保持	保持	保持	保持	1	0	0	消失	スタートビットエラー(注3)
保持	保持	保持	保持	0	1	1	消失	プレフィスエラー(注3)＋受信 SYNC エラー(注2)
保持	保持	保持	保持	1	0	1	消失	スタートビットエラー(注3)＋受信 SYNC エラー(注2)

注 1.　スタートビットエラーとプレフィスエラーが同時に 1 になることはありません。
注 2.　MCR.SYEREN = 1 の場合、SCIn_ERI 割り込み／イベントが SYER ファクタによって生成されます。
注 3.　MCR.PFEREN = 1 または MCR.SBEREN = 1 の場合、対応するフラグが設定されているときに SCIn_ERI 割り込み／イベントが生成されます。

表 30.36　各領域で検出されるエラー

	プレフィスエラー (PFER)	スタートビットエラー (SBER)	マンチェスタエラー (MER)	受信 SYNC エラー (SYER)	パリティエラー (PER)	フレーミングエラー (FER)
プレフィス領域	✓	—	—(注1)	✓(注2)	—	—
スタートビット領域	—	✓	—	✓(注2)	—	—
データ領域	—	—	✓	✓	—	—
パリティ領域	—	—	✓	✓	✓	—
マルチプロセッサ領域	—	—	✓	✓	—	—
ストップビット領域	—	—	—	—	—	✓

注.　✓：検出、—：検出せず

注 1.　プレフィス領域でマンチェスタコードエラーが発生すると、プレフィスエラーとして扱われます。
注 2.　受信 SYNC エラーの検出対象ではありません。詳細については「30.5.11. マンチェスタモードにおけるエラー」（7）の説明を参照してください。

表 30.37　前のフレームのエラーの有無による動作状態およびマルチプロセッサモードにおける動作状態のリスト (1/2)

前のフレーム	フレームの各領域					PFEREN	SBEREN	SYEREN	受信データ	エラーフラグ	割り込み要求	イベント信号
	プレフィス	スタートビット	データ	パリティ	ストップ							
エラーなし	PFER SYER なし(注1)	エラーなし	Don't care	Don't care	Don't care	0	Don't care	Don't care	消失	PFER を設定(注1)	出力なし	出力なし
						1					出力	出力
	エラーなし	SBER SYER なし(注1)	Don't care	Don't care	Don't care	Don't care	0	Don't care	消失	SBER を設定(注1)	出力なし	出力なし
							1				出力	出力
	SYER PFER なし	エラーなし	Don't care	Don't care	Don't care	Don't care	Don't care	0	RDR へ転送	SYER を設定	出力なし	出力なし
								1	消失		出力	出力
	エラーなし	SYER SBER なし	Don't care	Don't care	Don't care	Don't care	Don't care	0	RDR へ転送	SYER を設定	出力なし	出力なし
								1	消失		出力	出力
	エラーなし	エラーなし	SYER		エラーなし	Don't care	Don't care	0	RDR へ転送	SYER を設定	出力なし	出力なし
								1			出力	出力
	エラーなし	エラーなし	MER		エラーなし	Don't care	Don't care	Don't care	RDR へ転送	MER を設定	出力	出力
	エラーなし	エラーなし	Don't care	PER	エラーなし	Don't care	Don't care	Don't care	RDR へ転送	PER を設定	出力	出力
	エラーなし	エラーなし	Don't care	Don't care	FER	Don't care	Don't care	Don't care	RDR へ転送	FER を設定	出力	出力
	エラーあり ORER					Don't care	Don't care	Don't care	消失	フラグを設定(注2)	出力	出力
	エラーなし	エラーなし	エラーなし	エラーなし	エラーなし ORER	Don't care	Don't care	Don't care	消失	ORER を設定	出力	出力

表 30.37　前のフレームのエラーの有無による動作状態およびマルチプロセッサモードにおける動作状態のリスト (2/2)

前のフレーム	フレームの各領域					PFEREN	SBEREN	SYEREN	受信データ	エラーフラグ	割り込み要求	イベント信号
	プレフィス	スタートビット	データ	パリティ	ストップ							
エラーあり(注3) (注6)	PFER SYER なし(注1)	エラーなし	Don't care	Don't care	Don't care	0	Don't care	Don't care	消失	PFER を設定(注1)	出力(注4)	出力なし(注5)
						1						
	エラーなし	SBER SYER なし(注1)	Don't care	Don't care	Don't care	Don't care	0	Don't care		SBER を設定(注1)		
							1					
	SYER PFER なし	エラーなし	Don't care	Don't care	Don't care	Don't care	Don't care	0		SYER を設定		
								1				
	エラーなし	SYER SBER なし	Don't care	Don't care	Don't care	Don't care	Don't care	0		SYER を設定		
								1				
	エラーなし	エラーなし	SYER		エラーなし	Don't care	Don't care	0		フラグを設定しない		
								1				
	エラーなし	エラーなし	MER		エラーなし	Don't care	Don't care	Don't care				
	エラーなし	エラーなし	Don't care	PER	エラーなし	Don't care	Don't care	Don't care				
	エラーなし	エラーなし	Don't care	Don't care	FER	Don't care	Don't care	Don't care				
	エラーあり ORER					Don't care	Don't care	Don't care				
	エラーなし	エラーなし	エラーなし	エラーなし	エラーなし ORER	Don't care	Don't care	Don't care				

注 1.　SYER が検出されると SYER フラグも設定されます。他の動作についてはこの表に示す通りです。
注 2.　検出された他のエラーフラグ（ORER など）も設定されます。
注 3.　ストップビット判定の前にすべてのエラーフラグがクリアされると、この表に示される、前のフレームにエラーがなかった場合の動作と同様になります。
注 4.　SCIn_ERI 割り込み要求はレベル出力であるため、対象フレームにおけるエラーの有無にかかわらず前のフレームのエラーによってアクティブの状態が継続します。
注 5.　エラー要因の検出は継続的に実施されるため、対象フレームにおけるエラーの有無にかかわらず、SCIn_ERI イベントが新たに出力されることはありません。
注 6.　PFER、SBER、および SYER は、それぞれの許可ビットが禁止に設定されているとエラーなしとして扱われます。

表 30.38　マルチプロセッサモード (MPIE = 0) で MPIE = 1 の場合の動作

MPB (注1)	フレームの各領域					PFEREN	SBEREN	SYEREN	受信データ	エラーフラグ	割り込み要求	イベント信号
	プレフィス	スタートビット	データ	パリティ	ストップ							
1	エラーなし	エラーなし	Don't care	Don't care	Don't care	Don't care	Don't care	Don't care	RDR へ転送	フラグを設定	出力(注2)	出力(注2)
	PFER なし	SBER なし	Don't care	Don't care	Don't care	Don't care	Don't care	0				
	SYER (注3)	SYER (注3)						1	消失	フラグを設定しない	出力なし	出力なし
	PFER	エラーなし	Don't care	Don't care	Don't care	Don't care	Don't care	Don't care				
	エラーなし	SBER	Don't care	Don't care	Don't care	Don't care	Don't care					

注 1.　受信 MPB ビットが 0 の場合はフレームを受信しておらず、動作はこの表における受信データの消失の場合と同様になります。

注 2.　エラーが検出されない場合は SCIn_RXI の割り込み要求またはイベントが出力されます。それが検出されると、SCIn_ERI の割り込み要求またはイベントが出力されます。
注 3.　プレフィス領域またはスタートビット領域で SYER が検出された場合は、エラーとしての処理の動作は SYEREN ビットの変化に依存します。

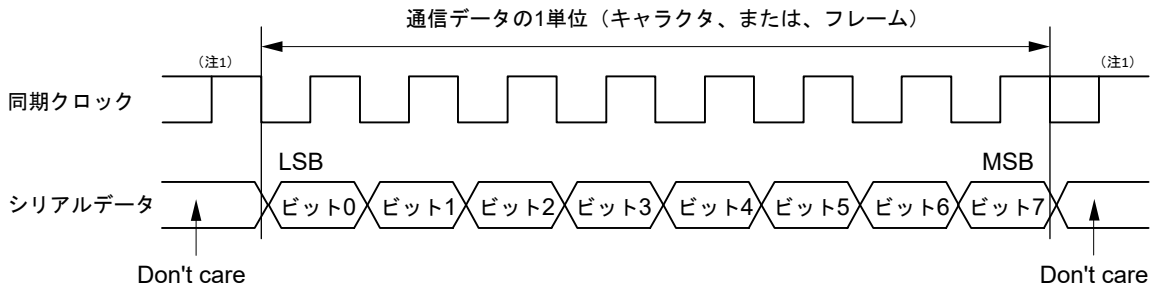
30.6　クロック同期式モードの動作

図 30.61 にクロック同期式シリアル通信のデータフォーマットを示します。

クロック同期式モードでは、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCI は、CPHA = 1 および CPOL = 1 でのデータ送信時に同期クロックの立ち下がりエッジから次の立ち下がりエッジまでデータ出力します。データ受信時は、同期クロックの立ち上がりエッジに同期して SCI はデータを受信します。8 ビット出力後の送信ラインは最終ビット出力状態を保ちます。スレーブモードにおいて CPHA ビットが 0 の場合、送信ラインは第 1 ビットの出力状態を保ちます。

SCI 内部では送信部と受信部は独立しており、送信部と受信部の通信クロックを共有することで全二重通信が可能です。さらに、送信部と受信部はどちらもダブルバッファ構成になっているため、送信中に次の送信データの書き込み、受信中に前の受信データの読み出しが可能であり、連続データ転送動作を実現できます。



注 1.　連続送受信動作時以外に High レベルを保持します。

図 30.61　クロック同期式シリアル通信のデータフォーマット（LSB ファーストの並び順の場合）

30.6.1　クロック

クロック同期式モードおよび簡易 SPI モードで、SCK の最大スピードを 1/2 TCLK にしている場合、PCLK を TCLK のスピードの半分未満にしないでください。PCLK が TCLK のスピードの半分未満になると、誤動作が発生する可能性があります。

1. 内部クロックが選択されている場合
   SCI が内部クロックで動作する（CCR3.CKE[1:0] ビットを 00b または 01b（マスタモード）にしている）場合、SCKn 端子から同期クロックが出力されます。1 キャラクタの送受信で 8 パルスの同期クロックが出力されます。データの送受信を行わないとき、クロックは High に固定されます。(注1)送信のみまたは送受信のときは、送信データが準備されている場合を除き、同期クロックは出力されません。
   内部クロックが選択されている場合、SCKn 信号からの遅延のあるクロックが、マスタ受信サンプリングクロックに使用されます。これにより、高速通信でのデータセットアップ時間とデータ保持時間が確保されます。

   注 1.　（CCR3.CPHA = 0 かつ CCR3.CPOL = 1）または（CCR3.CPHA = 1 かつ CCR3.CPOL = 1）の状態にあるとき、信号は High に固定されます。（CCR3.CPHA = 0 かつ CCR3.CPOL = 0）または（CCR3.CPHA = 1 かつ CCR3.CPOL = 0）の状態にあるとき、信号は Low に固定されます。

2. 外部クロックが選択されている場合
   CCR3.CKE[1:0] ビットを 10b または 11b（スレーブモード）にしている場合、SCKn 端子から入力された外部クロックを使用してデータ送受信が行われます。

30.6.2　CTS、RTS 機能

CTS 機能では、クロックソースが内部クロックの場合に、CTSn_RTSn 端子入力を使用してデータ送受信の開始制御を行います。CCR1.CTSE ビットを 1 にすると、CTS 機能が有効になります。クロック同期式モードの通信では、内部クロックに CTS 機能を使用でき、外部クロックに RTS 機能を使用できます。このため、CTS 機能と

RTS 機能を同時に使用することはできません。CTS 機能が有効な場合、CTSn_RTSn 端子入力が Low になると、データの送受信が開始されます。

データ送信またはデータ受信の実行中に CTSn_RTSn 端子入力を High にしても、処理中のフレームの送受信は影響を受けません。

RTS 機能では、クロックソースが外部同期クロックの場合に、CTSn_RTSn 端子出力を使用してデータ送受信の開始要求を行います。シリアル通信が可能な状態になると、CTSn_RTSn 出力が Low になります。CTSn_RTSn が Low を出力する条件と High を出力する条件は以下のとおりです。

[Low になる条件]

以下の条件がすべて満たされる場合：

非 FIFO 選択時に、以下の条件がすべて満たされた場合

- CCR0.RE ビットまたは CCR0.TE ビットの値が 1
- 次のシリアル通信が許可されている
  - 読み出し前の受信データがなく、受信しない（CCR0.RE ビットが 1 のとき）
  - TDR レジスタに書き込まれた送信データが送信レディの場合(注1)（CCR0.TE ビットが 1 のとき）
- CSR.ORER フラグ = 0

注 1.　送信開始後に CTSn_RTSn 端子が High になります。

FIFO 選択時に、下記条件がすべて満たされたとき

- CCR0.RE ビットまたは CCR0.TE ビットの値が 1
- 次のシリアル通信が許可されている
  - 受信 FIFO（RDR レジスタ）に格納された受信データ数が、FCR.RSTRG[4:0]の設定値より少ない（CCR0.RE = 1 のとき）
  - 送信 FIFO（TDR レジスタ）に書き込まれた送信データが送信レディの場合(注1)（CCR0.TE ビットが 1 のとき）
- CSR.ORER フラグ = 0

注 1.　最終データの送信開始後に CTSn_RTSn 端子が High になります。

[High になる条件]

- Low になる条件を満たさない場合

30.6.3　SCI の初期化（クロック同期式モード）

データを送受信する前に、最初に CCR0 レジスタに初期値 0x00 を書き込み、次に「30.6.2. CTS、RTS 機能」の非 FIFO と FIFO の選択を説明した項目に従って SCI の初期設定を続けてください。動作モードまたは通信フォーマットを変更する場合も必ず、CCR0.TE ビットと CCR0.RE ビットに 0 を書き込んでから変更してください。

注.　CCR0.RE ビットを 0 にしても、CSR レジスタの ORER、FER、PER、RDRF の各フラグ、および RDR レジスタは初期化されません。TE ビットが 0 の場合、選択した FIFO バッファに対する TEND フラグは初期化されません。

注.　CCR0.TIE ビットが 1 の状態で、CCR0.TE ビットを 1 から 0 に変更すると、SCIn_TXI 割り込み要求が発生します。

表 30.39　クロック同期式モードにおける SCI の初期化フローチャート例（非 FIFO 選択時） (1/2)

No.	ステップ名	説明
1	初期化を開始	—
2	CCR0 を設定	CCR0.TEIE、TIE、RIE、TE、RE の各ビットを 0 に設定します(注1)。 初期設定から変更していない場合は、この手順を省略できます。
3	FCR を設定	TFRST ビットおよび RFRST ビットを 1 にして、FIFO をエンプティにします。 TTRG[4:0]ビット、RTRG[4:0]ビット、および RSTRG[4:0]ビットを設定します。

表 30.39　クロック同期式モードにおける SCI の初期化フローチャート例（非 FIFO 選択時） (2/2)

No.	ステップ名	説明
4	CCR3 を設定（MOD[2:0]を除く）	CCR3 を設定します（通信モードを除く）。 ● FIFO の使用／不使用 ● 送信／受信フォーマット ● クロックの設定 ● 使用しないビット (CHR[1:0], STP, RXDSEL, MP, DE, ACS0, GM, BLK) は初期値のままにします。
5	CCR3.MOD[2:0]を設定	通信モードを設定します (MOD[2:0] = 010b)(注2)。
6	CCR2 を設定	クロック選択、ビットレート設定を行います(注3)。 使用しないビット (BCP[2:0], ABCS, ABCSE, BRME, MDDR[7:0]) は初期値のままにします。
7	CCR1 を設定	ループバック機能、通信端子ステータス、および CTS/RTS 機能を設定します。
8	CCR4 を設定	サンプリングタイミング調整機能の設定を行います。使用しないビット (CMPD[8:0]) は初期値のままにします。
9	I/O ポート機能を設定	I/O ポートを設定して、TXDn、RXDn、および SCKn 端子に必要な入出力機能を有効にします。
10	CFCLR、FFCLR を設定	以下のビットに 1 を書き込むことにより、対応するフラグを 0 にクリアします。 CFCLR の RDRFC、FERC、PERC、MFFC、ORERC、DFERC、DPERC、DCMFC、ERSC FFCLR の BRKC、DRC
11	CCR0 を設定	TE ビットまたは RE ビットを 1 にします。(注1)(注4)割り込みを有効にするためには、TE ビット、TIE ビット、RE ビット、RIE ビットを 1 つの命令で同時に 1 にします。 TE ビットおよび RE ビットを設定することで、TXDn および RXDn が使用可能となります。
12	初期化を完了	—

注 1.　同時送受信動作では、CCR0 の TE ビットと RE ビットの両方を同時に 0 または 1 にしてください。
注 2.　通信モードを設定する前に、CPOL と CPHA の設定を行ってください。
注 3.　外部クロックを使用する場合、この設定は不要です。
注 4.　内部クロック（マスタ）を使用する場合、受信のみの設定は禁止されています。

30.6.4　シリアルデータの送信（クロック同期式モード）

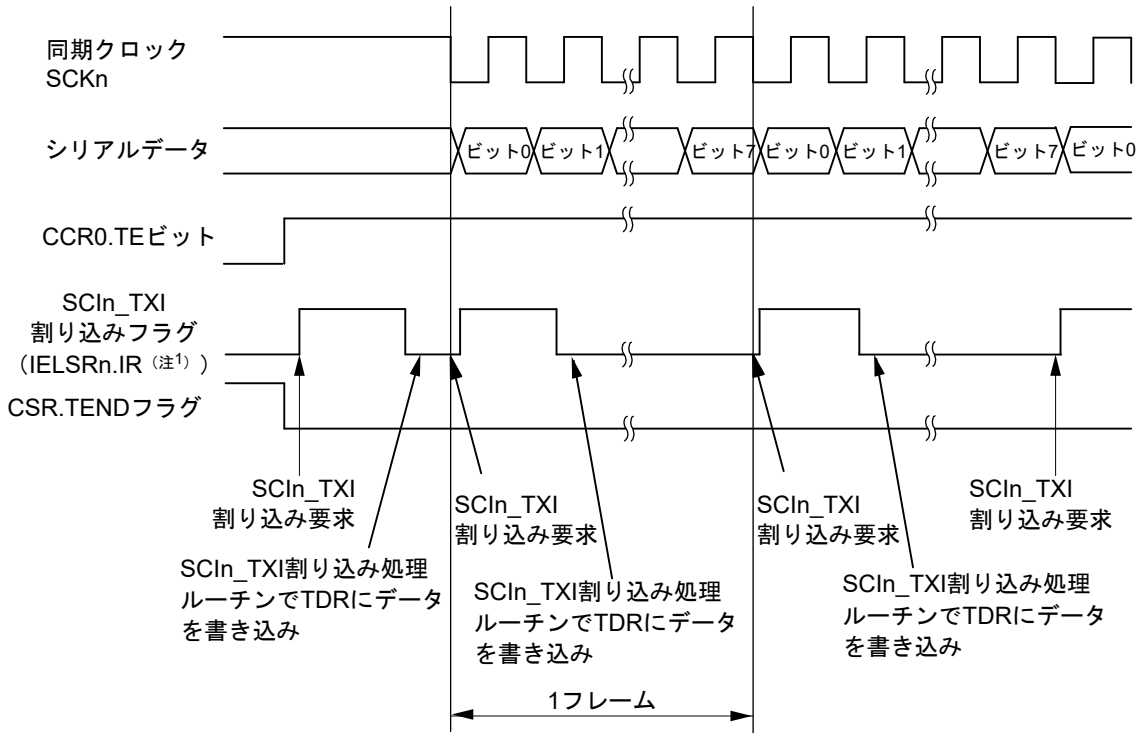
(1) 非 FIFO 選択時

図 30.62、図 30.63、および図 30.64 に、クロック同期式モードにおけるシリアル送信の動作例を示します。

シリアルデータの送信時、SCI は以下のように動作します。

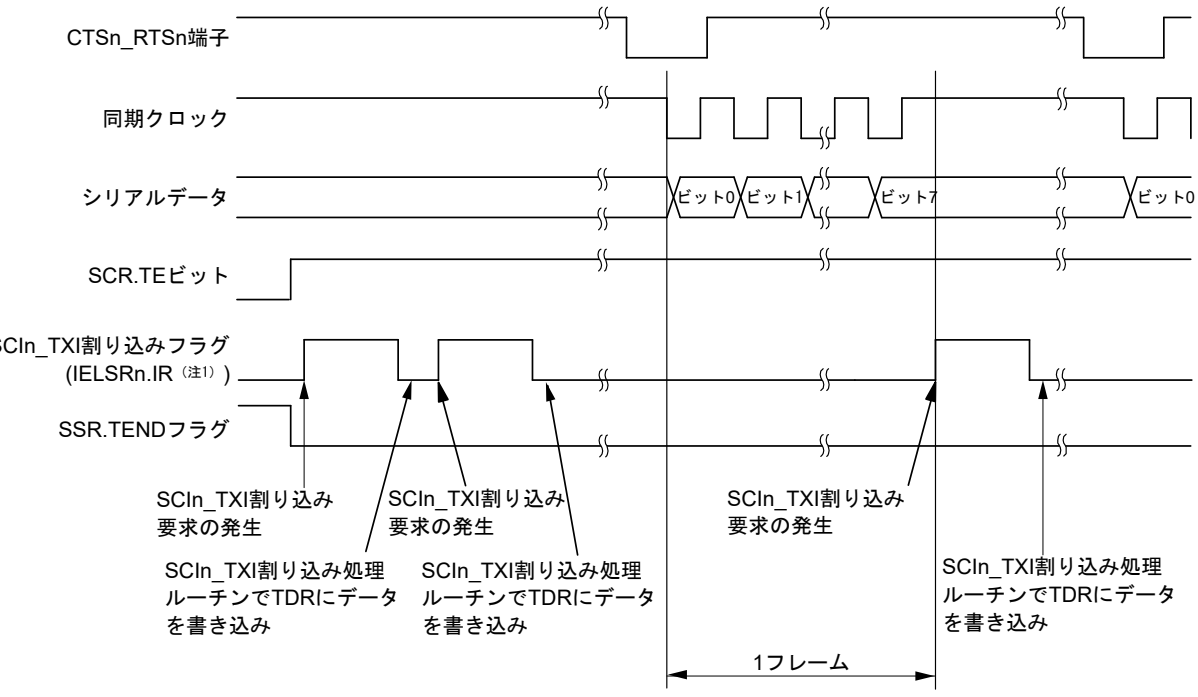
1. SCIn_TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、SCI は TDR レジスタから TSR レジスタへデータを転送します。データ送信開始時に、CCR0.TIE ビットと CCR0.TE ビットを 1 命令で同時に 1 にしてください。その後、SCIn_TXI 割り込み要求が発生します。
2. SCI は、TDR レジスタから TSR レジスタへデータを転送した後、送信を開始します。CCR0.TIE ビットが 1 であれば、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、TDR レジスタに次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合、SCIn_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを TDR レジスタに書き込んだ後、CCR0.TIE ビットを 0 にして、CCR0.TEIE ビットを 1 にします。
3. クロック出力モードを指定したときは出力クロックに同期して、外部クロックを指定したときは入力クロックに同期して、TXDn 端子から 8 ビットのデータが送信されます。クロック信号出力は、CCR1.CTSE ビットが 1（CTS 機能が有効）のとき、CTS 信号入力が Low になるまで待機します。
4. 最終ビットを送り出すタイミングで、SCI は TDR レジスタの更新をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタに次の送信データを転送し、次のフレームのシリアル送信を開始します。
6. TDR レジスタが更新されていなければ、CSR.TEND フラグを 1 にします。TXDn 端子は最終ビットの出力状態を保持します。このとき、CCR0.TEIE ビットが 1 になっていると、SCIn_TEI 割り込み要求が発生し、SCKn 端子は High に固定されます。

図 30.62、図 30.63、および図 30.64 に、シリアルデータ送信の例を示します。



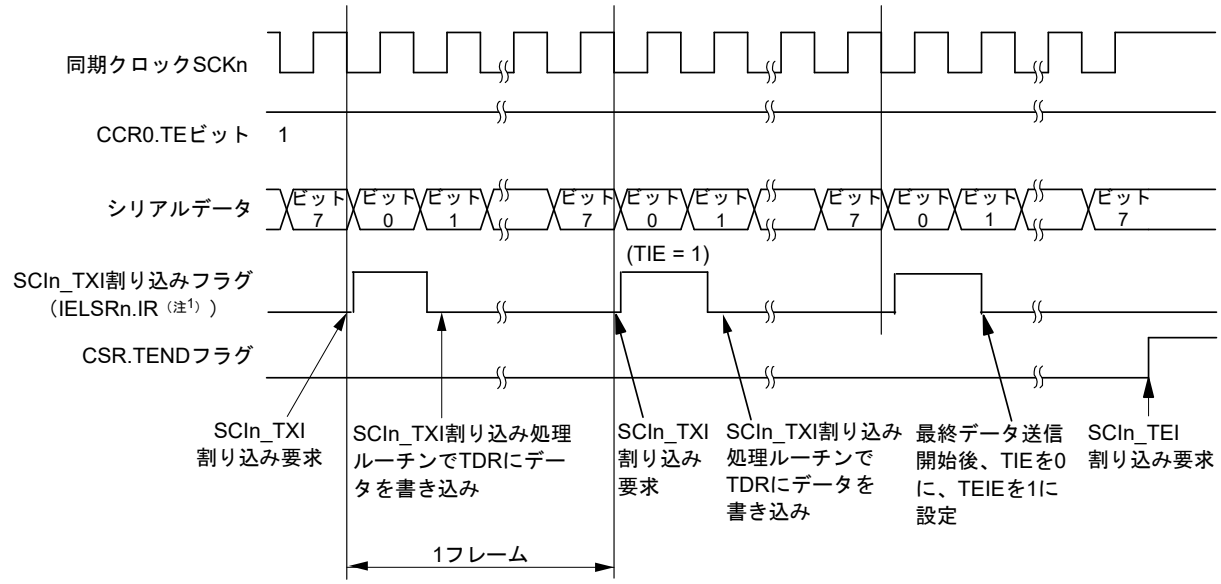
注 1.　対応する割り込みイベント番号については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

図 30.62　クロック同期式モードにおけるシリアル送信の動作例（送信開始時に CTS 機能を使用しない場合）



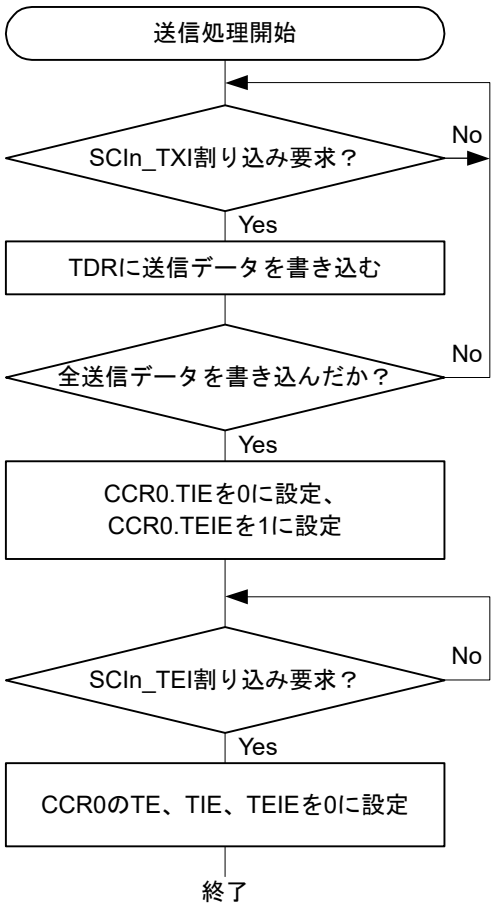
注 1.　対応する割り込みイベント番号については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

図 30.63　クロック同期式モードにおけるシリアル送信の動作例（送信開始時に CTS 機能を使用する場合）



注 1. 対応する割り込みイベント番号については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

図 30.64 クロック同期式モードにおけるシリアル送信の動作例（送信中～送信終了時）



[1]

[2]

[3]

[1] 送信処理開始

[2] SCIn_TXIによる送信データのTDRレジスタへの書き込み：
送信データがTDRからTSRに転送されると、送信データエンプティ割り込み (SCIn_TXI) を生成します。SCIn_TXIにより送信データをTDRレジスタに1回書き込みます。

[3] シリアル送信の継続手順：
シリアル送信継続のため、SCIn_TXIにより送信データをTDRに書き込んでください。
また、DMACまたはDTCを起動することによっても、送信データを書き込むことが可能です。
SCIn_TEIを使う場合は、最終送信データをTDRに書き込んだ後で、CCR0.TIEを0に、CCR0.TEIEを1にしてください。

注. 外部クロックを使用する（CCR3.CKE[1:0]ビット = 10b または 11b）場合、最終ビットの SCK 端子立ち上がりで CSR.TEND フラグが 1 になります。この直後に TE ビットを 0 にすると、受信デバイス側の受信データホールド時間が不足する場合があります。

図 30.65 クロック同期式モードにおけるシリアル送信のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

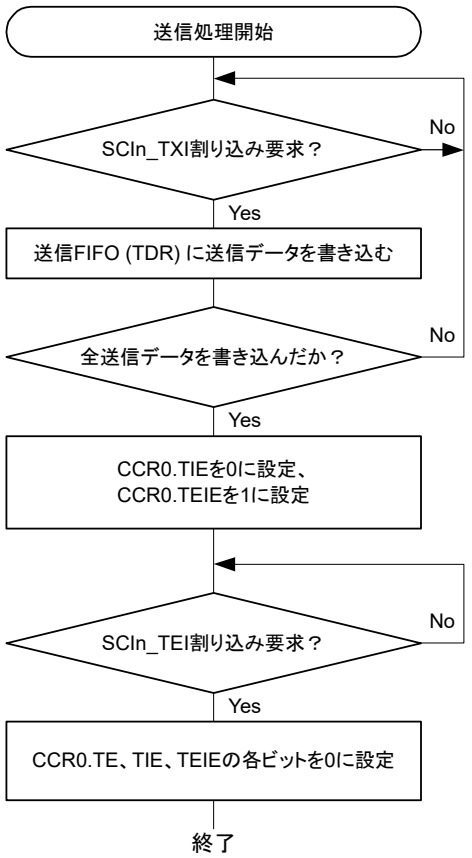
図 30.66 に、クロック同期式モードにおける FIFO 選択時のシリアル送信のフローチャート例を示します。

シリアルデータの送信時、SCI は以下のように動作します。

1. SCIn_TXI 割り込み処理ルーチンで送信 FIFO（TDR レジスタ）にデータが書き込まれると、SCI は送信 FIFO（TDR レジスタ）から TSR レジスタへデータを転送します。送信 FIFO（TDR レジスタ）に書き込み可能なデータのバイト数は 16 - FTSR.T[5:0]です。さらに、データ送信開始時に、CCR0.TIE ビットと CCR0.TE ビットを 1 命令で同時に 1 にしてください。その後、SCIn_TXI 割り込み要求が発生します。
2. SCI は、送信 FIFO（TDR レジスタ）から TSR レジスタへデータを転送した後、送信を開始します。送信 FIFO（TDR レジスタ）に書き込まれた送信データ数が、指定された送信トリガ数以下のとき、CSR.TDRE ビットが 1 になります。CCR0.TIE ビットが 1 であれば、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、送信 FIFO（TDR レジスタ）に次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合、SCIn_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを送信 FIFO（TDR レジスタ）に書き込んだ後、CCR0.TIE ビットを 0 にして、CCR0.TEIE ビットを 1 にします。
3. クロック出力モードを指定したときは出力クロックに同期して、外部クロックを指定したときは入力クロックに同期して、TXDn 端子から 8 ビットのデータが送信されます。クロック信号出力は、CCR1.CTSE ビットが 1（CTS 機能が有効）のとき、CTS 信号入力が Low になるまで待機します。
4. ストップビットの出力タイミングで、SCI は送信 FIFO（TDR レジスタ）(注1)に未送信データが残っていないかをチェックします。

5. 送信 FIFO（TDR レジスタ）にデータが残っている場合は、送信 FIFO（TDR レジスタ）から TSR レジスタにデータを転送し、次のフレームのシリアル送信を開始します。
6. 送信 FIFO（TDR レジスタ）にデータが残っていない場合は、CSR.TEND フラグが 1 になります。TXDn 端子は最終ビットの出力状態を保持します。このとき、CCR0.TEIE ビットが 1 になっていると、SCIn_TEI 割り込み要求が発生し、SCKn 端子は High に固定されます。

注 1.　送信 FIFO（TDR レジスタ）に格納された未送信の送信データ数は、FTSR.T[5:0]ビットを読むことで確認できます。



[1]　[1]　送信処理開始

[2]　[2]　SCIn_TXIにより送信FIFO (TDR) に送信データを書き込む送信データが送信FIFO (TDR) からTSRに転送され、送信FIFOに書き込まれた送信データ数が送信FIFO閾値以下の場合、送信データエンプティ割り込み (SCIn_TXI) が発生します。

[3]　[3]　シリアル送信の継続手順：
シリアル送信を継続する場合は、SCIn_TXI割り込みを使用して送信データを送信FIFO (TDR) に書き込み、CSR.TDREフラグを0にクリアします。また、DMACまたはDTCを起動することによっても、送信データを送信FIFO (TDR) に書き込むことが可能です。この場合、TDREフラグは自動的にクリアされるので、TDREフラグを操作しないでください。SCIn_TEIを使う場合は、最終送信データをTDRに書き込んだ後で、CCR0.TIEを0に、CCR0.TEIEを1にしてください。

注.　外部クロックを使用する（CCR3.CKE[1:0]ビット = 10b または 11b）場合、最終ビットの SCK 端子立ち上がりで CSR.TEND フラグが 1 になります。この直後に CCR0.TE ビットを 0 にすると、受信デバイス側の受信データホールド時間が不足する場合があります。

図 30.66　クロック同期式モードにおけるシリアル送信のフローチャート例（FIFO 選択時）

30.6.5　シリアルデータの受信（クロック同期式モード）

(1) 非 FIFO 選択時

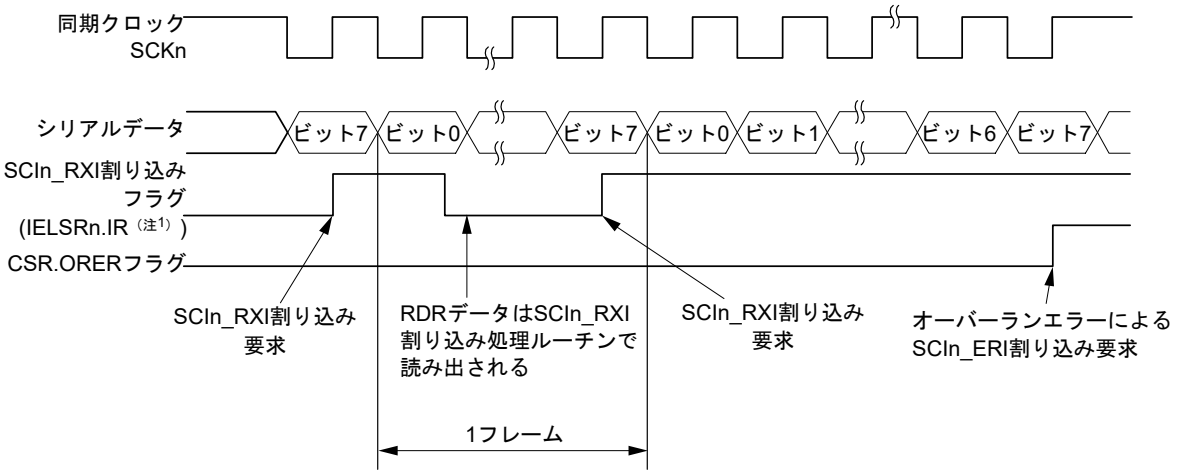
図 30.67 と図 30.68 に、クロック同期式モードにおけるシリアル受信の SCI 動作例を示します。

シリアルデータの受信時、SCI は以下のように動作します。スレーブモード時のみ受信専用動作が可能です。（マスタモード時では、受信専用動作は禁止されています。）

1. CCR0.RE ビットが 1 になると、CTSn_RTSn 端子出力が Low になります（RTS 機能使用時）。
2. SCI は内部を初期化し、同期クロックの入力または出力に同期して受信を開始して、受信データを RSR レジスタに取り込みます。
3. オーバーランエラーが発生すると、CSR.ORER フラグが 1 になります。CCR0.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。受信データは RDR レジスタへ転送されません。
4. 正常に受信したときは、受信データが RDR レジスタへ転送されます。CCR0.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。この SCIn_RXI 割り込み処理ルーチンにおいて、次のデータ受信が終

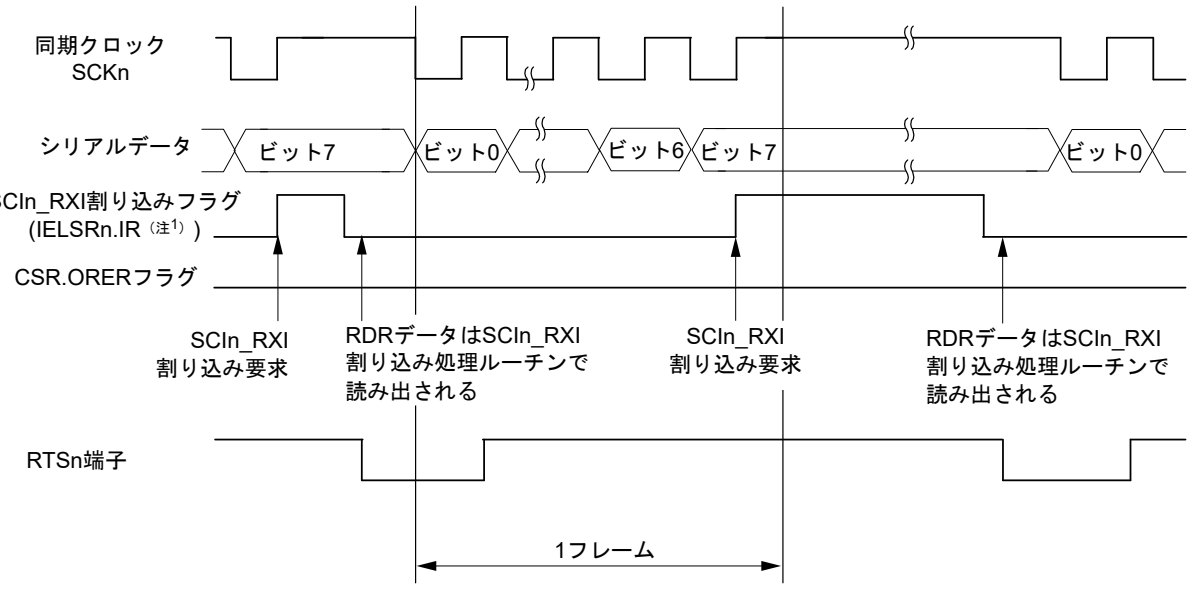
了する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。RDR レジスタに転送された受信データが読み出されると、CTSn_RTSn 端子出力が Low になります（RTS 機能使用時）。

最終データ受信後に、CTSn_RTSn 端子から Low を出力させないためには、CCR0.RE ビットを 0 に設定してから RDR レジスタを読み出してください。



注 1.　対応する割り込みイベント番号は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

図 30.67　クロック同期式モードにおけるシリアル受信の動作例（1）（RTS 機能を使用しない場合）

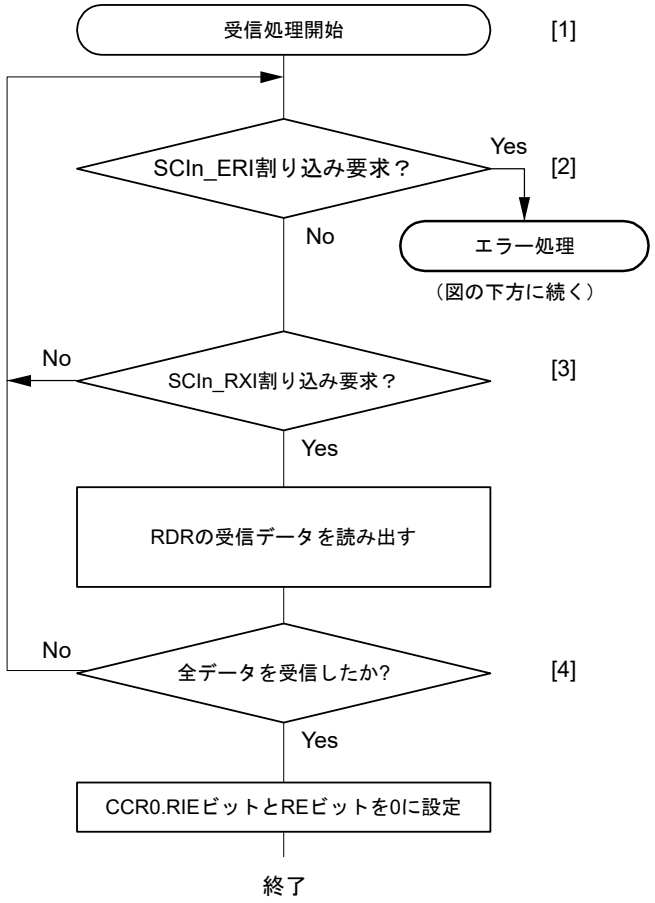


注 1.　対応する割り込みイベント番号は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

図 30.68　クロック同期式モードにおけるシリアル受信の動作例（2）（RTS 機能を使用する場合）

受信エラーフラグが 1 の状態では、送受信動作を再開できません。したがって、CSR レジスタの ORER、FER、および PER フラグを 0 にしてから受信を再開してください。また、オーバーランエラー処理では、必ず RDR レジスタを読み出してください。受信動作中に CCR0.RE ビットに 0 を書いてデータ受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

図 30.69 に、シリアル受信のフローチャート例を示します。

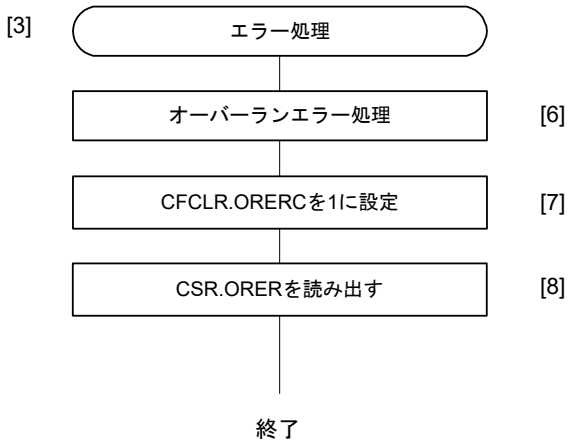


[1]　受信処理開始

[2]　受信エラー処理：
受信エラーが発生したときは、所定のエラー処理を行った後、必ずCSR.ORERフラグを0にしてください。ORERフラグが1の状態では受信動作を再開できません。

[3]　SCIn_RXI割り込み処理ルーチンで、RDR内の受信データを1回読み出します。

[4]　シリアル受信の継続手順：
シリアル受信を継続する場合は、現在のフレームのMSBビット（ビット7）を受信する前に、SCIn_RXI割り込み処理ルーチンでRDRレジスタの値を読み出します。RDRのデータは、DMACまたはDTCを起動することでも読み出すことができます。



[6]　オーバーランエラー処理：
RDRを読み出します。

[7]　エラーフラグのクリア：
受信したエラーに対応したフラグクリアビットを1に設定します。このステップと[6]が済むと、次のフレームを正常に受信できます。

[8]　エラーフラグのクリア確認：
全てのエラーフラグがクリアされたことを確認します。

図 30.69　クロック同期式モードにおけるシリアル受信のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

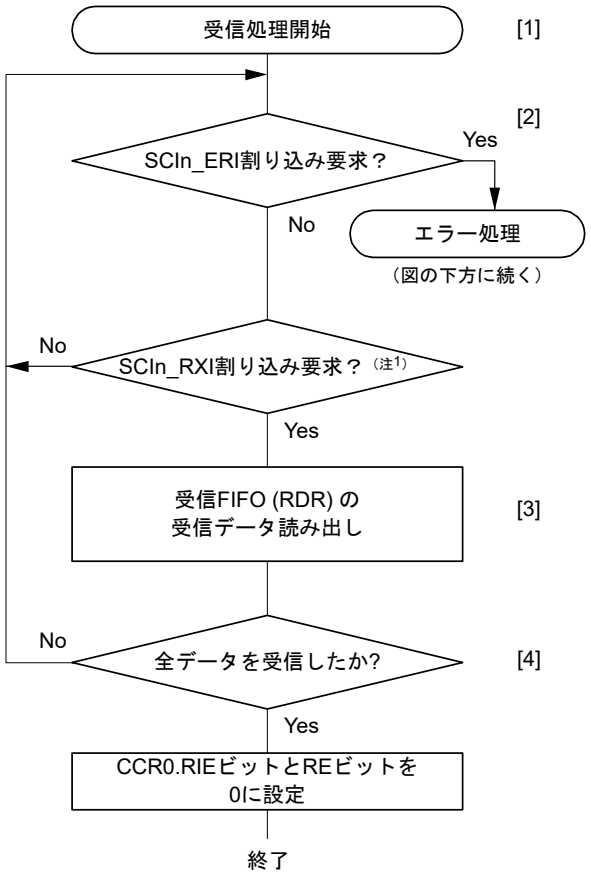
図 30.70 に、クロック同期式モードにおける FIFO 選択時のシリアル受信のフローチャート例を示します。

シリアルデータの受信時、SCI は以下のように動作します。スレーブモード時のみ受信専用動作が可能です。（マスタモード時では、受信専用動作は禁止されています。）

1. CCR0.RE ビットが 1 になると、CTSn_RTSn 端子出力が Low になります（RTS 機能使用時）。
2. SCI は内部を初期化し、同期クロックの入力または出力に同期してデータ受信を開始して、受信データを受信 FIFO（RDR レジスタ）に転送します。

3. オーバーランエラーが発生すると、CSR.ORER フラグが 1 になります。CCR0.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。受信データは受信 FIFO（RDR レジスタ）へ転送されません(注1)。
4. 正常に受信したときは、受信データが受信 FIFO（RDR レジスタ）へ転送されます(注1)。受信 FIFO（RDR レジスタ）に格納された受信データ数が、指定された受信トリガ数以上であると、CSR.RDRF フラグが 1 になります。CCR0.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。この SCIn_RXI 割り込み処理ルーチンにおいて、オーバーランエラーが発生する前に、受信 FIFO（RDR レジスタ）(注1)へ転送された受信データを読み出すことで連続受信が可能になります。受信 FIFO（RDR レジスタ）へ転送された受信データ数が指定の受信トリガ数未満であると、CTSn_RTSn 端子出力が Low になります（RTS 機能使用時）。

注 1.　クロック同期式モードでは、RDR.RDAT[8]レジスタを使用しません。





[1]　受信処理開始

[2]　受信エラー処理：
受信エラーが発生したときには、所定のエラー処理を行った後、必ずCSR.ORERを0にしてください。ORERが1の間はデータ受信を再開できません。

[3]　SCIn_RXI割り込み処理ルーチンで、受信FIFO (RDR) の受信データを読み出します。受信FIFO (RDR) に格納された受信データは、格納データ数がFCR.RTRGの値未満になるまで読み出されます。FRSR.R[5:0]でFIFO内の受信データ数を確認できます。

[4] シリアル受信の継続手順：
シリアル受信を継続する場合は、オーバーランエラーが発生する前に、RDR内の受信データの読み出しを行います。DMACまたはDTCを起動することでも、RDRレジスタの値を読み出すことが可能です。

（注1）
全受信データ数は、受信FIFOしきい値の整数倍にしてください。整数倍ではない場合、ステップ[2]に戻り、無限ループになりますので、別途タイマなどを使用してタイムアウト時間を設定してください。

[6]　オーバーランエラー処理：
RDRを読み出します。

[7]　エラーフラグのクリア：
受信したエラーに対応したフラグクリアビットを1に設定します。このステップとステップ[6]が済むと、次のフレームを正常に受信できます。

[8]　エラーフラグのクリア確認：
全てのエラーフラグがクリアされたことを確認します。

図 30.70　クロック同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択時）

30.6.6 シリアルデータの同時送受信（クロック同期式モード）

(1) 非 FIFO 選択時

図 30.71 に、クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例を示します。シリアル同時送受信動作は、SCI の初期化後、以下の手順に従ってください。

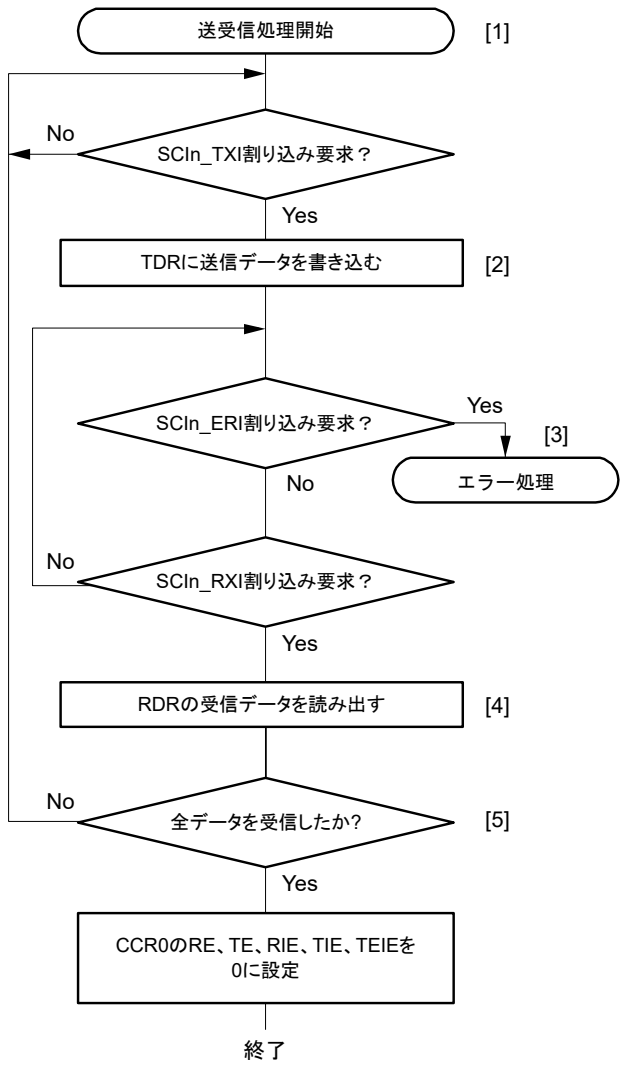
送信モードから同時送受信モードへ切り替えるとき、

1. SCI が送信完了状態であることを CSR.TEND フラグが 1 になっていることで確認してください。
2. CCR0 レジスタを初期化してから、CCR0 レジスタの TIE、RIE、TE、および RE の各ビットを 1 命令で同時に 1 にしてください。

受信モードから同時送受信モードへ切り替えるとき、

1. SCI がデータ受信完了状態であることを確認してください。
2. CCR0.TE ビットと RE ビットを 0 にした後、CSR レジスタの受信エラーフラグ（ORER、FER、および PER）が 0 になっていることを確認します。
3. その後、CCR0 レジスタの TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。

RTS 機能を同時送受信動作で使用する場合、最終データ受信後の受信動作において、CTSn_RTSn 端子から Low を出力させないためには、CCR0.RE ビットと TE ビットを同時に 0 に設定してから RDR レジスタを読み出してください。



[1]　送受信処理開始

[2]　送信データの書き込み：
SCIn_TXI割り込み要求処理ルーチンでTDRに送信データを書き込みます。

[3]　受信エラー処理：
受信エラーが発生したときには、所定のエラー処理を行った後、必ずCSR.ORERを0にしてください。ORERが1の間はデータ受信を再開できません。

[4]　受信データの読み出し：
SCIn_RXI割り込み要求処理ルーチンでRDRレジスタに1回格納された受信データを読み出します。

[5]　シリアル送受信の継続手順：
シリアル受信を継続する場合は、現在のフレームのMSBビット（ビット7）を受信する前に、SCIn_RXI割り込み処理ルーチンでRDRレジスタのデータを読み出します。また、現在のMSBビット（ビット7）を送信する前に、SCIn_TXI割り込み処理でTDRに送信データを書き込みます。送信データは、DMACまたはDTCを起動することでも書き込むことができます。また、RDRのデータは、DMACまたはDTCを起動することでも読み出すことができます。

図 30.71　クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

図 30.72 に、クロック同期式モードにおける FIFO 選択時のシリアル同時送受信動作のフローチャート例を示します。

SCI の初期化後、シリアルデータ同時送受信動作は以下の手順に従ってください。

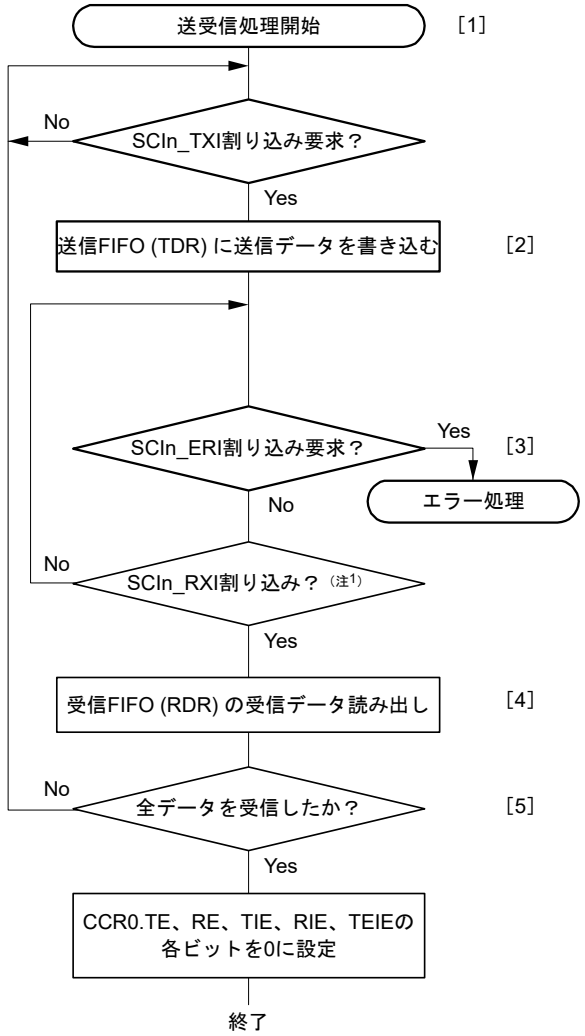
送信モードから同時送受信モードへ切り替えるとき、

1. SCI が送信完了状態であることを CSR.TEND フラグが 1 になっていることで確認してください。
2. その後、CCR0 レジスタを初期化してから、CCR0 レジスタの TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。

受信モードから同時送受信モードへ切り替えるとき、

1. SCI が受信完了状態であることを確認してください。
2. CCR0.TE ビットと RE ビットを 0 にしてください。
3. CSR レジスタの受信エラーフラグ（ORER、FER、および PER）が 0 になっていることを確認した後、CCR0 レジスタの TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。

クロック同期式通信では送信と受信を同時に行うため、送信データ数と受信データ数を必ず同じ数にしてください。



[1]　送受信処理開始

[2]　送信データ書き込み：
SCIn_TXI割り込み要求処理ルーチンで送信FIFO (TDR) に送信データを書き込みます。
送信データ数はFCR.RTRGビットの値と合わせます。

[3]　受信エラー処理：
受信エラーが発生したときには、所定のエラー処理（通信の停止、全受信データの読み出し、CSR.RDRFフラグのクリアなどの初期化）を行った後、必ずORERフラグを0にしてください。ORERフラグが1の状態では受信動作を再開できません。

[4]　受信データの読み出し：
受信FIFO (RDR) に格納された受信データを、FCR.RTRGの数だけSCIn_RXI割り込み処理ルーチンで読み出します。

[5]　シリアル送受信の継続手順：
シリアル受信を継続する場合は、オーバーランエラーが発生する前に、RDR内の受信データの読み出しを行い、CSR.RDRFフラグを0にクリアします。
シリアル送信を継続する場合は、SCIn_TXI割り込み要求により送信データを送信FIFO (TDR) に書き込み、TDREフラグを0にクリアします。
また、DMACまたはDTCを起動することによっても、送信データを送信FIFO (TDR) に書き込むことが可能です。また、DMACまたはDTCを起動することで、RDRレジスタの値も読み出すことが可能です。 この場合、TDREおよびRDRFフラグは自動的にクリアされます。そのため、TDREおよびRDRFフラグには書き込まないでください。

注 1.　全受信データ数は、受信 FIFO しきい値の整数倍にしてください。整数倍でない場合、ステップ［2］に戻り、無限ループに入ります。そのため、タイマなどを使用してタイムアウト時間を別に設定してください。

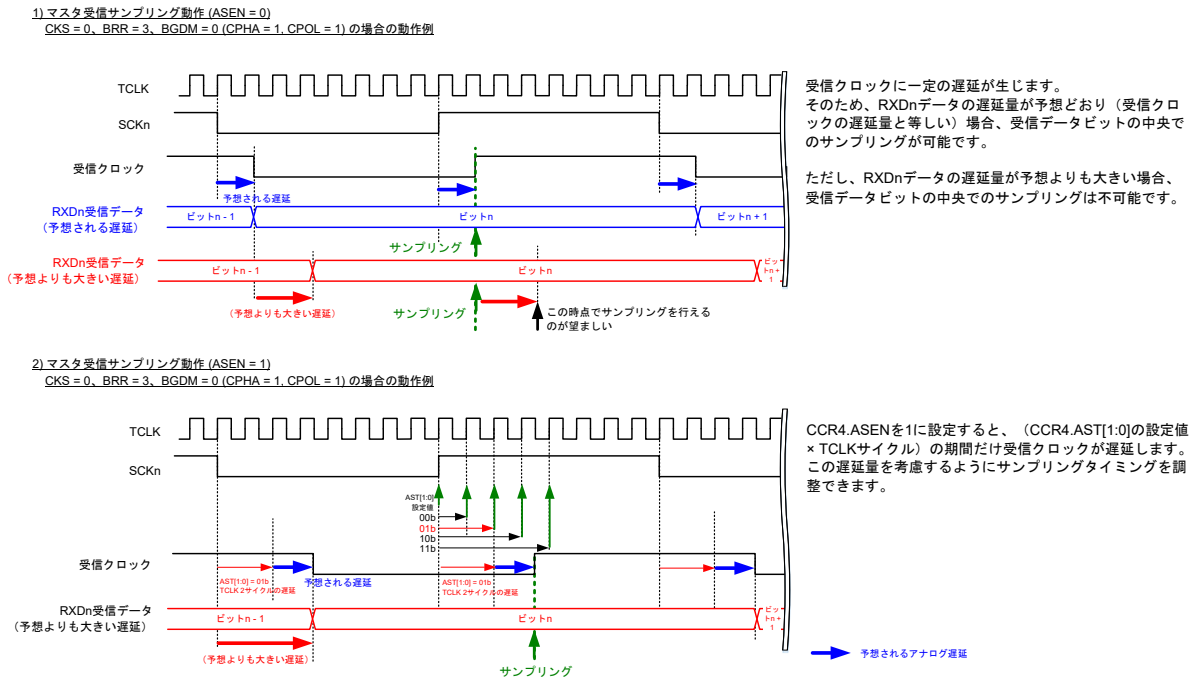
図 30.72　クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例（FIFO 選択時）

30.6.7　内部クロックを使用したクロック同期式モードでの受信サンプリングタイミング調整機能

クロック同期式の内部クロックを使用する場合（マスタモード）、CCR4.SCKSEL ビットに許可されたクロックが受信サンプリングクロックとして使用されます。

この機能では、クロックを 1～4TCLK サイクル遅延させ、デジタル遅延を追加して、受信サンプリングタイミングを調整します。

CCR4.ASEN ビットを 1 にすると、この機能が有効になります。遅延値は CCR4.AST[1:0] に設定されます。



注. このタイミングチャートに、受信サンプリングタイミング調整機能の説明を示します。

図 30.73 クロック同期式モード（マスタ）での受信サンプリングタイミング調整動作

30.7 スマートカードインタフェースモードの動作

SCI は拡張機能として、ISO/IEC 7816-3（Identification Card 規格）に対応したスマートカード（IC カード）インタフェースをサポートしています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

30.7.1 接続例

図 30.74 に、スマートカード（IC カード）と本 MCU の接続例を示します。図 30.74 に示すように、MCU と IC カードは 1 本のデータ伝送線で通信を行うため、TXDn 端子と RXDn 端子を結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で CCR0.TE ビットと CCR0.RE ビットを 1 にすると、閉ループの送受信が実現され、自己診断が可能になります。SCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には、MCU の出力ポートを使用できます。

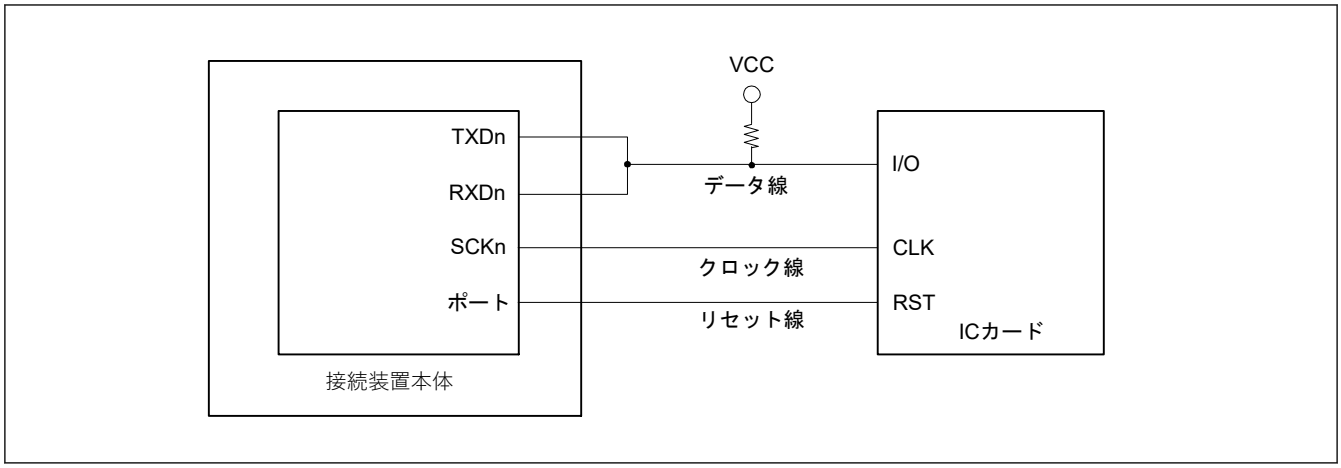


図 30.74　スマートカード（IC カード）との接続例

30.7.2　データフォーマット（ブロック転送モード時を除く）

図 30.75 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式モードでは、1 フレームは 8 ビットデータとパリティビットで構成
- 送信中は、パリティビットの終了から次のフレーム開始まで、2 etu（Elementary Time Unit = 1 ビット転送時間）以上のガードタイムが必要
- 受信中にパリティエラーを検出した場合、スタートビットから 10.5 etu 経過後、エラー信号 (Low) を 1 etu 期間出力
- 送信時にエラー信号をサンプリングすると、2 etu 以上経過後、自動的に同じデータを再送信

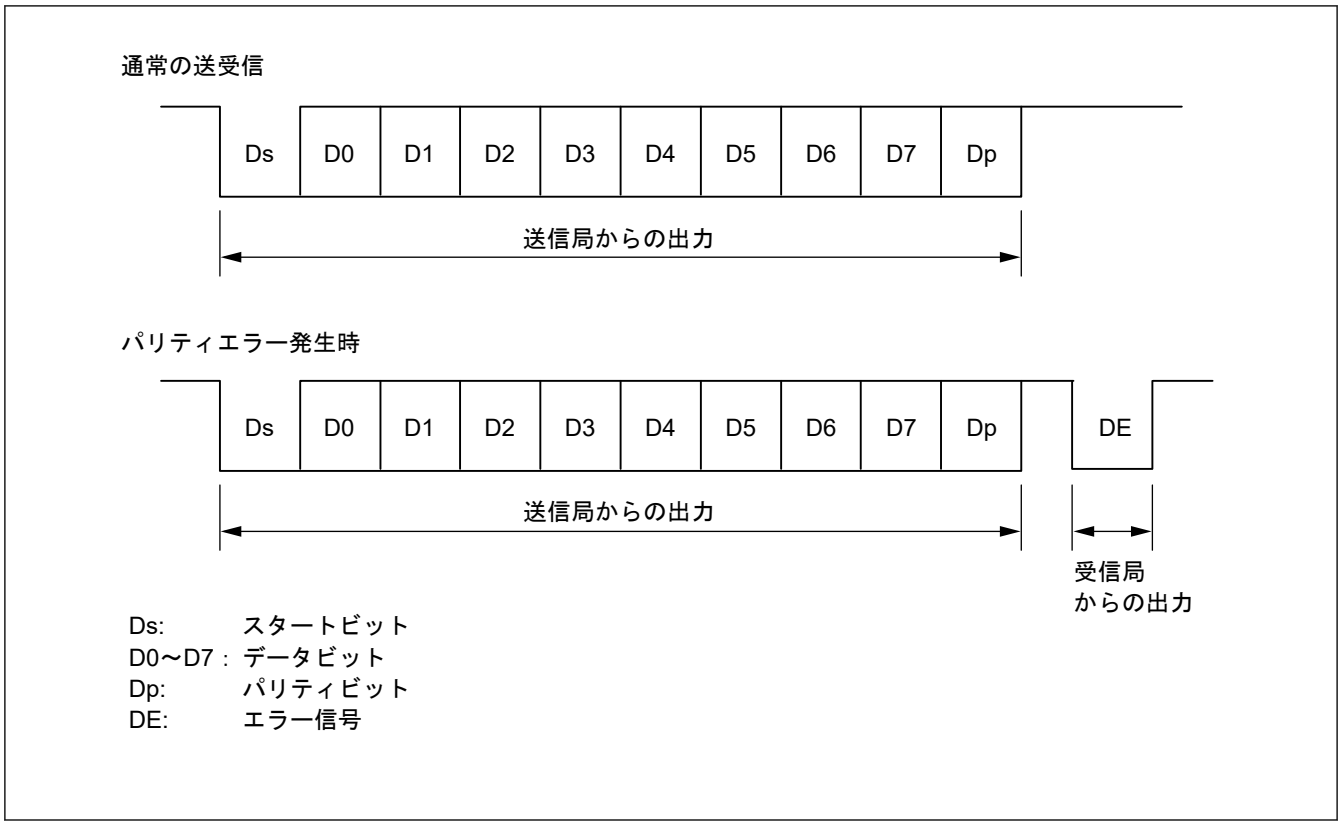


図 30.75　スマートカードインタフェースモードにおけるデータフォーマット

本節では、ダイレクトコンベンションタイプと、インバースコンベンションタイプの 2 種類の IC カードと送受信する場合について説明します。

(1)　ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプでは、図 30.76 に示すように、ロジックレベル 1 は状態 Z を、ロジックレベル 0 は状態 A をそれぞれ表し、開始キャラクタに対して LSB ファーストでデータが転送されます。したがって、この図の開始キャラクタでは、データは 0x3B となります。

ダイレクトコンベンションタイプを使用する場合、CCR3.LSBF ビットに 1 を、CCR3.SINV ビットに 0 を書き込んでください。また、スマートカードの規格により、偶数パリティとなるように CCR1.PM ビットは 0 にしてください。

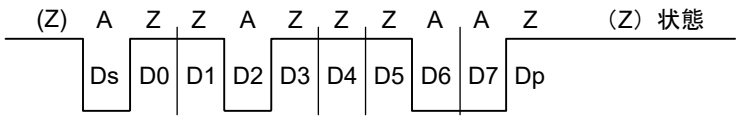


図 30.76　ダイレクトコンベンション (CCR3.LSBF = 1, CCR3.SINV = 0, CCR1.PM = 0)

(2)　インバースコンベンションタイプ

インバースコンベンションタイプでは、図 30.77 に示すように、ロジックレベル 1 は状態 A を、ロジックレベル 0 は状態 Z をそれぞれ表し、開始キャラクタに対して MSB ファーストでデータが転送されます。したがって、この図の開始キャラクタでは、データは 0x3F となります。

インバースコンベンションタイプを使用する場合、CCR3.LSBF ビットに 0 を、CCR3.SINV ビットに 1 を書き込んでください。また、スマートカードの規格に従って偶数パリティとするために、パリティビットは状態 Z に対応するロジックレベル 0 になります。本 MCU では、SINV ビットはデータビット D7～D0 のみを反転させます。そのため、送信時と受信時の両方において、CCR1.PM ビットに 1 を書いてパリティビットを反転させてください。

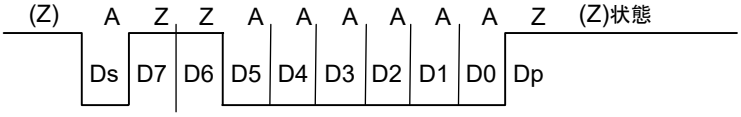


図 30.77　インバースコンベンション (CCR3.LSBF = 0, CCR3.SINV = 1, CCR1.PM = 1)

30.7.3　ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースモードと比較して以下の点が異なります。

- 受信中にパリティエラーが検出されても、エラーシグナルは出力されません。エラー検出時に CSR.PER フラグがセットされるので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信中は、パリティビットの終了から次のフレーム開始までのガードタイムとして 1 etu 以上が必要です。
- 同じデータの再送信を行わないため、送信開始から 11.5 ETU 経過後に、CSR レジスタの TEND フラグがセットされます。
- ブロック転送モードでは、CSR レジスタの ERS フラグは通常のスマートカードインタフェースモードと同じエラー信号状態を示します。ただし、エラー信号が転送されないため、このフラグの読み出し値は 0 となります。

30.7.4　受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータが生成する内部クロックのみです。

このモードでは、SCI は CCR2.BCP[2:0]ビットの設定により、ビットレートの 32、64、372、256、93、128、186、または 512 倍の周波数の基本クロックで動作します。通常の調歩同期式モードでは、周波数はビットレートの 16 倍に固定されています。

受信時は、スタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。

また、図 30.78 に示すように、受信データは基本クロックのそれぞれ 16 番目、32 番目、186 番目、128 番目、46 番目、64 番目、93 番目、256 番目の立ち上がりエッジでサンプリングされるため、各ビットの中間でデータが取り込まれます。受信マージンは次式で表すことができます。

$$M = \left|\left(0.5 - \frac{1}{2N}\right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F)\right| \times 100\ [\%]$$

M：受信マージン (%)

N：クロックに対するビットレートの比 $(N = 32, 64, 372, 256)$

D：クロックのデューティー $(D = 0 \sim 1.0)$

L：フレーム長 $(L = 10)$

F：クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次式のようになります。

$M = \{0.5 - 1/(2 \times 372)\} \times 100\ [\%] = 49.866\ \%$

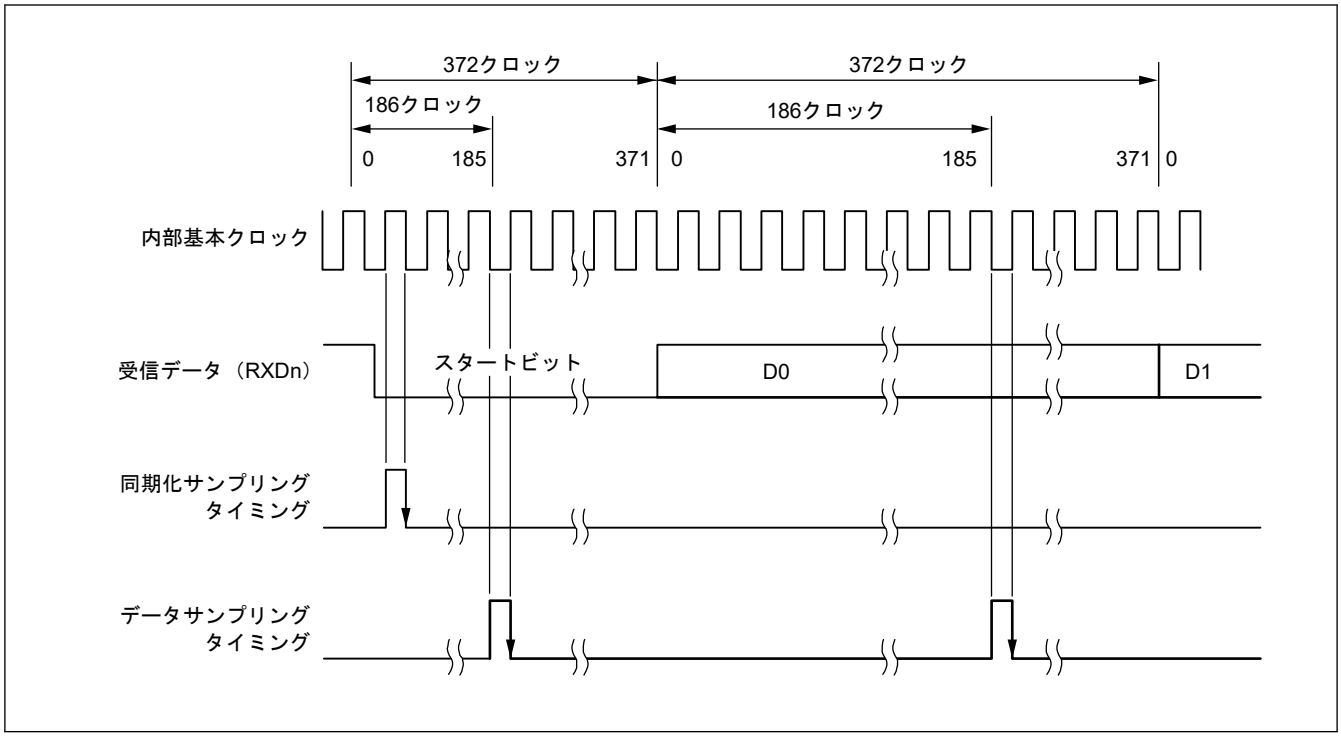


図 30.78　スマートカードインタフェースモードにおける受信データのサンプリングタイミング（ビットレートの 372 倍のクロック周波数の場合）

30.7.5　SCI の初期化（スマートカードインタフェースモード）

データの送受信前に、CCR0 レジスタに初期値 0x00 を書き込み、表 30.40 に示すフローチャートの例に従って、SCI を初期化してください。

送信モードから受信モードへ（またはその逆へ）切り替える場合、必ず事前に CCR0 レジスタの TIE、RIE、TE、RE、および TEIE ビットに初期値を設定してください。なお、CCR0.RE ビットを 0 にしても RDR レジスタは初期化されません。

送信モードでは、CCR0.TE ビットと CCR0.TIE ビットを同時に 1 にすると、SCIn_TXI 割り込み要求が発生します。

受信モードから送信モードへ切り替える場合、受信動作が完了していることを確認してから、SCI を初期化してください。初期化の最後では、CCR0.TE ビット = 1、CCR0.RE ビット = 0 にしてください。受信動作の完了は、SCIn_RXI 割り込み要求、CSR レジスタの ORER フラグ、あるいは PER フラグを読み出して確認できます。

送信モードから受信モードへ切り替える場合、送信動作が完了していることを確認してから、SCI を初期化してください。初期化の最後では、CCR0.TE ビット = 0、CCR0.RE ビット = 1 にしてください。送信動作の完了は CSR.TEND フラグを読み出して確認できます。

表 30.40　スマートカードインタフェースモードにおける SCI 初期化の手順例

番号	ステップ名	説明
1	初期化を開始	—
2	CCR0 を設定	CCR0.TEIE、TIE、RIE、TE、RE の各ビットを 0 に設定。初期設定から変更していない場合は、この手順を省略できます。
3	CCR3 を設定	通信モード (MOD[2:0] = 001b)、BLK、GM、および SINV を設定します。他のビットは、初期値のままにします。
4	CCR2 を設定	クロック選択とビットレートを設定します。BRME を 0 に設定します。
5	CCR1 を設定	ノイズフィルタ機能、通信ターミナルステータスを設定します。NFEN ビット、PE ビットおよび CTSE ビットを 0 にしてから、PE ビットを 1 にします。
6	I/O ポート機能を設定	I/O ポートを設定して、TXDn、RXDn、および SCKn 端子に必要な入出力機能を有効にします。
7	CCR3 を設定	CKE[1:0]を設定 GM ビットの設定値により、CKE[0]ビットを 1 にした場合は、SCKn 端子からクロックが出力されます。
8	CFCLR を設定	以下のビットに 1 を書き込むことにより、対応するフラグを 0 にクリアします。CFCLR の RDRFC、FERC、PERC、MFFC、ORERC、DFERC、DPERC、DCMFC、ERSC
9	CCR0 を設定	TE ビットまたは RE ビットを 1 にします。次に TIE ビットおよび RIE ビットを設定します。自己診断以外は TE ビットと RE ビットを同時に 1 にしないでください。
10	初期化を完了	—

図 30.79 に上記のフローに従ってスマートカードインタフェースモードに遷移することでデータ送信が行われるときのタイミングチャートを示します。この図は、CCR3.GM ビットが 0 の場合を示しています。図に示す通り、SCKn 端子に端子機能を設定したとき、CCR3.CKE[0]ビットが 0 なので SCKn 端子はハイインピーダンスとなります。TXDn 端子を設定したとき、CCR0.TE ビットが 0 なので TXDn 端子はハイインピーダンスとなります。クロック出力設定の CCR3.CKE[0]ビットを 1 にすることによって SCKn 端子へのクロック出力を開始します。そして、CCR0.TE ビットを 1 にした後、送信データを書き込むことでデータ送信を開始します。

スマートカードインタフェースモードでは、クロック出力設定を使用すると、CCR0.TE = 0 および CCR0.RE = 0 で通信しなくても、クロック出力は継続されます。

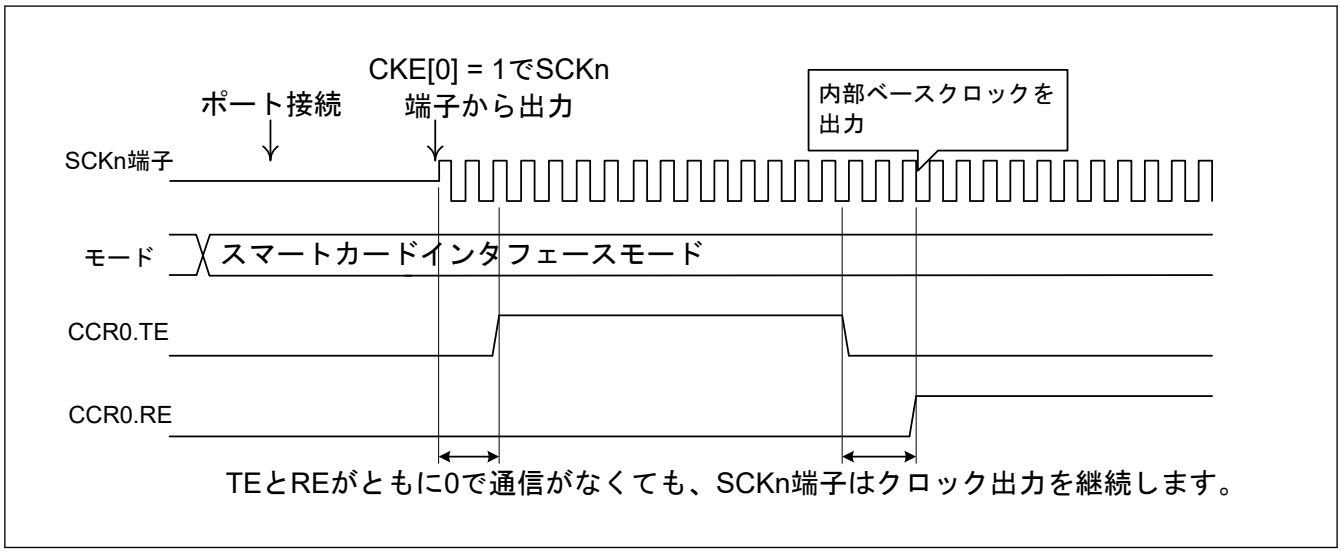


図 30.79　スマートカードインタフェースモードにおけるデータ送信のタイミング図の例

30.7.6　シリアルデータの送信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル送信（ブロック転送モード時を除く）では、エラー信号のサンプリングと再送信処理があるため、非スマートカードインタフェースモードと動作が異なります。送信中の再転送動作を図 30.80 に示します。

1. 1 フレーム分の送信を完了した後、受信側からのエラーシグナルがサンプリングされると、CSR.ERS フラグが 1 になります。CCR0.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。次のパリティビットがサンプリングされる前に、ERS フラグを 0 にクリアしてください。
2. エラーシグナルを受信したフレームでは、CSR.TEND フラグはセットされません。TDR レジスタから TSR レジスタへ再度データが転送され、自動的に再送信が行われます。
3. 受信側からエラー信号が返ってこない場合、ERS フラグは 1 になりません。
4. この場合、SCI は再転送を含む 1 フレーム分の送信が完了したと判断し、TEND フラグがセットされます。CCR0.TIE ビットが 1 であれば、SCIn_TXI 割り込み要求が発生します。送信データを TDR レジスタに書き込むことにより次のデータが送信されます。

図 30.82 に、シリアル送信のフローチャート例を示します。これら一連の処理は、SCIn_TXI 割り込み要求で DTC または DMAC を起動することによって、自動的に行うことができます。

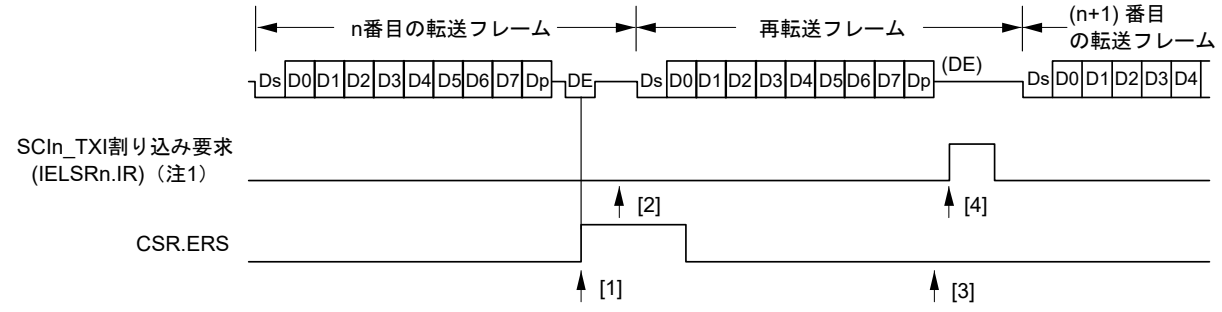
送信動作では、CSR.TEND フラグが 1 になっていると、CCR0.TIE ビットが 1 の場合、SCIn_TXI 割り込み要求が発生します。

あらかじめ DTC または DMAC の起動要因として SCIn_TXI 割り込み要求を設定しておけば、SCIn_TXI 割り込み要求によって DTC または DMAC が起動され、送信データの転送が可能になります。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に 0 になります。

エラーが発生した場合は、SCI が自動的に同じデータを再送信します。再送信中、TEND フラグは 0 のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が、指定されたバイト数を自動的に送信します。ただし、ERS フラグは自動的にはクリアされないため、RIE ビットを 1 にしておくことで、エラー発生時に SCIn_ERI 割り込み要求を発生させて、ERS フラグをクリアしてください。

なお、DTC または DMAC を使用して送受信を行う場合は、必ず DTC または DMAC を有効にしてから SCI の設定を行ってください。

DTC または DMAC の設定方法については、「17. データトランスファコントローラ (DTC)」、「16. DMA コントローラ (DMAC)」を参照してください。



注 1.　対応する割り込みイベント番号については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

図 30.80　スマートカードインタフェース送信モードでのデータ再送信動作

CCR3.GM ビットの設定によって、CSR.TEND フラグが 1 になるタイミングが異なります。図 30.81 に、TEND フラグの発生タイミングを示します。



図 30.81 送信中の CSR.TEND フラグの発生タイミング

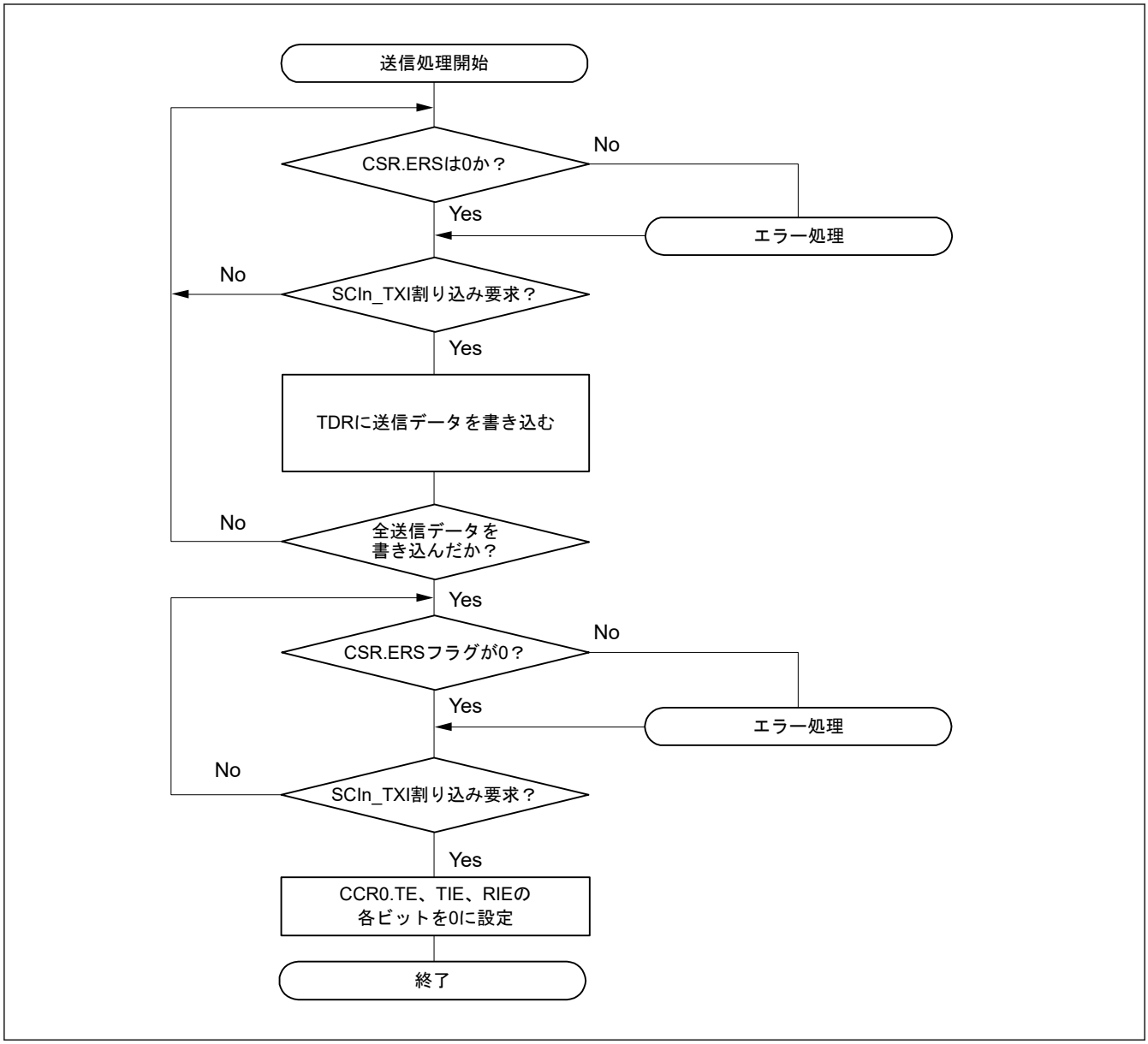


図 30.82　スマートカードインタフェース送信のフローチャート例

30.7.7　シリアルデータの受信（ブロック転送モード時を除く）

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードでの再転送動作を図 30.83 に示します。

1. 受信データにパリティエラーが検出されると、CSR.PER フラグが 1 になります。CCR0.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。次のパリティビットがサンプリングされる前に、PER フラグを 0 にクリアしてください。
2. パリティエラーが検出されたフレームに対しては、SCIn_RXI 割り込みは発生しません。
3. パリティエラーが検出されない場合、CSR.PER フラグは 1 になりません。
4. この場合、正常に受信が完了したと判断されます。CCR0.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。

図 30.84 に、シリアル受信のフローチャート例を示します。これら一連の処理は、SCIn_RXI 割り込み要求で DTC または DMAC を起動することによって、自動的に行うことができます。

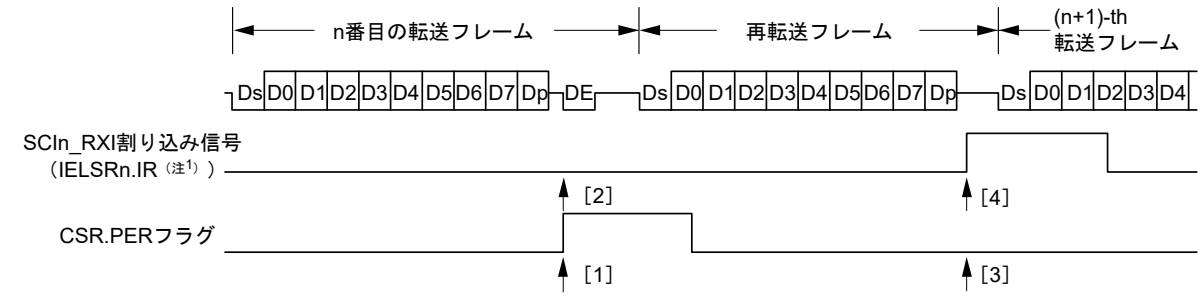
受信動作では、RIE ビットを 1 にしておくと、SCIn_RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DTC または DMAC が起動され、受信データの転送が可能になります。

また、受信時にエラーが発生して CSR レジスタの ORER フラグまたは PER フラグのいずれかが 1 になると、受信エラー割り込み (SCIn_ERI) 要求が発生します。エラー発生後に、エラーフラグをクリアしてください。エラーが発生した場合、DTC または DMAC は起動されず、受信データはスキップされます。そのため、DTC または DMAC に指定されたバイト数だけ受信データが転送されます。

なお、受信中にパリティエラーが発生して PER フラグが 1 になった場合でも、受信したデータは RDR レジスタへ転送されるので、このデータを読み出すことは可能です。

また、受信動作中に CCR0.RE ビットを 0 にして受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

注.　ブロック転送モードの場合は、「30.3.9. シリアルデータの受信（調歩同期式モード）」を参照してください。



注 1.　対応する割り込みイベント番号については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

図 30.83　スマートカードインタフェース受信モードでの再転送動作

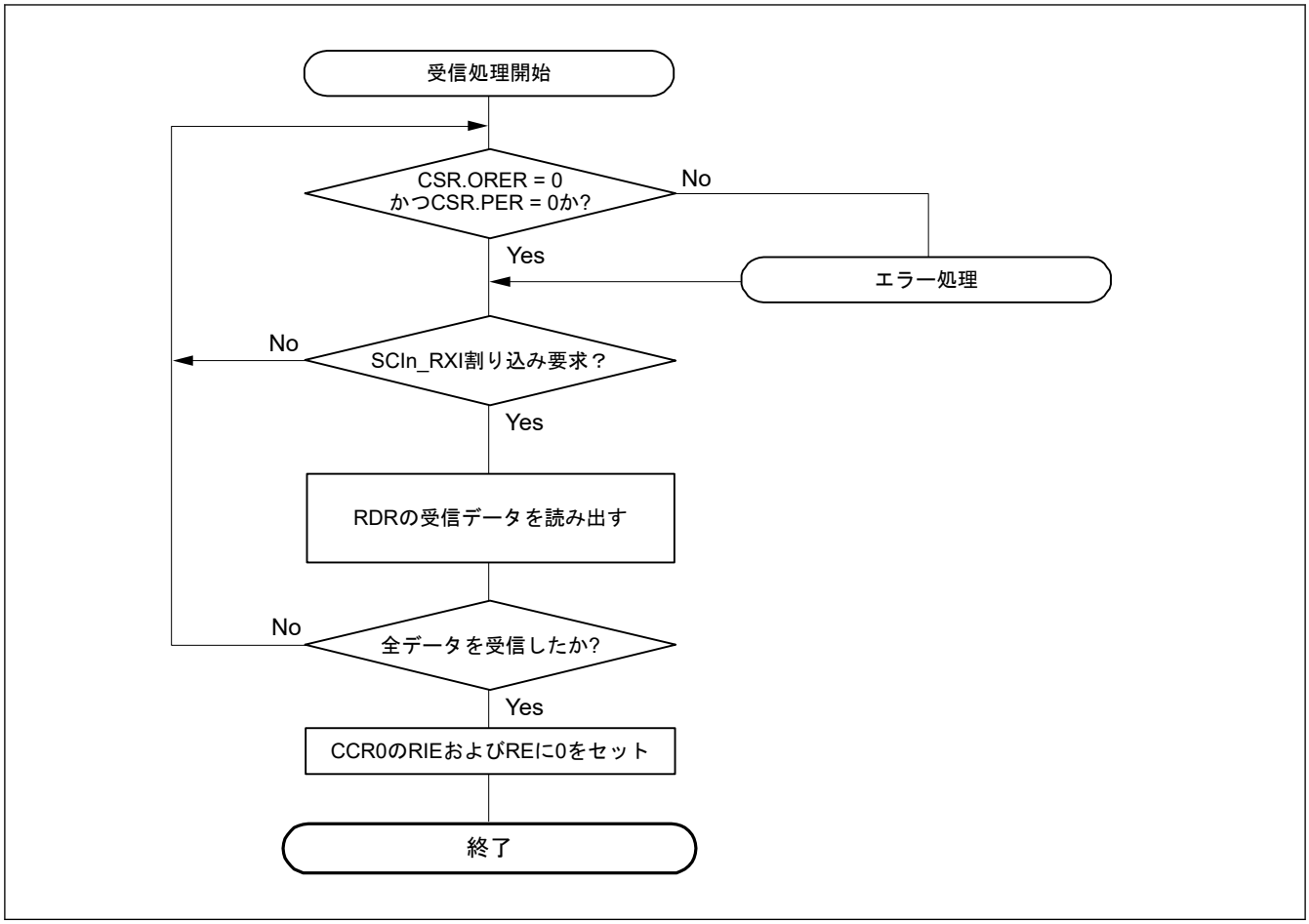


図 30.84　スマートカードインタフェース受信のフローチャート例

30.7.8　クロック出力制御

CCR3.GM ビットを 1 にすると、CCR3.CKE[1:0]ビットでクロック出力の制御が行えます。CKE[1:0]ビットの詳細については、「30.2.8. CCR3 : 共通コントロールレジスタ 3」を参照してください。クロック出力を設定すると、「30.7.4. 受信データサンプリングタイミングと受信マージン」で説明されている基本クロックになり、ビットレートは CCR2.CKS、CCR2.BCP[2:0]ビット、および BRR[7:0]ビットで設定されます。

図 30.85 に、CCR3 レジスタの CKE[1]ビットを 0 にして CCR3 レジスタの CKE[0]ビットを制御する場合のクロック出力制御のタイミング例を示します。

CCR3 レジスタの GM ビットが 0 の場合、CCR3 レジスタの CKE[0]ビットで制御される出力は、SCKn 端子にただちに反映されます。したがって、意図しない幅のパルスが SCKn 端子から出力される可能性があります。

CCR3 レジスタの GM ビットが 1 のとき、CCR3.CKE[0]の出力パルス制御により、基本クロックの状態に従って、パルス幅が制御されます。

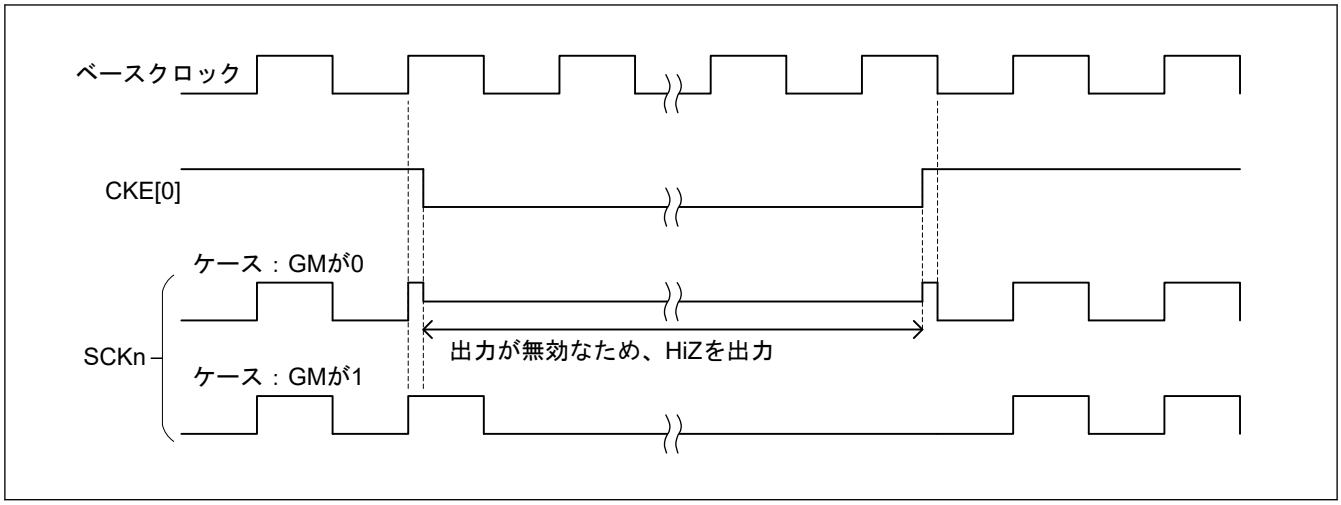


図 30.85　クロック出力タイミング

30.8　簡易 IIC モードの動作

簡易 IIC モードフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開始条件に続くフレームはスレーブアドレスのフレームであり、マスタデバイスは、通信先であるスレーブデバイスを指定するために使用します。指定されたスレーブデバイスは、新たにスレーブデバイスが指定されるか、または停止条件が満たされるまで有効です。各フレーム内の 8 ビットのデータは、MSB から順に送信されます。

図 30.86 に、I²C バスフォーマットを、図 30.87 に、I²C バスタイミングを示します。

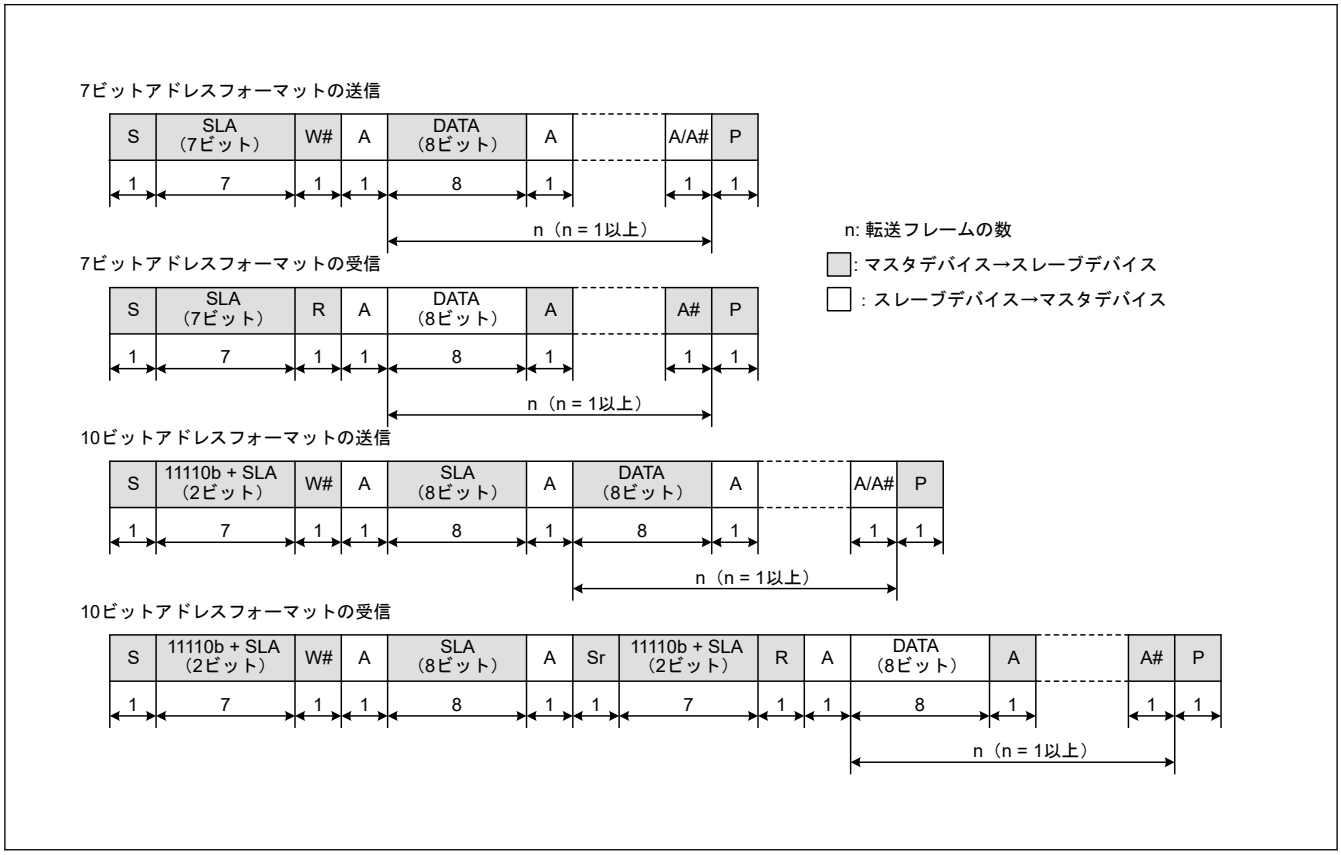


図 30.86　I²C バスフォーマット

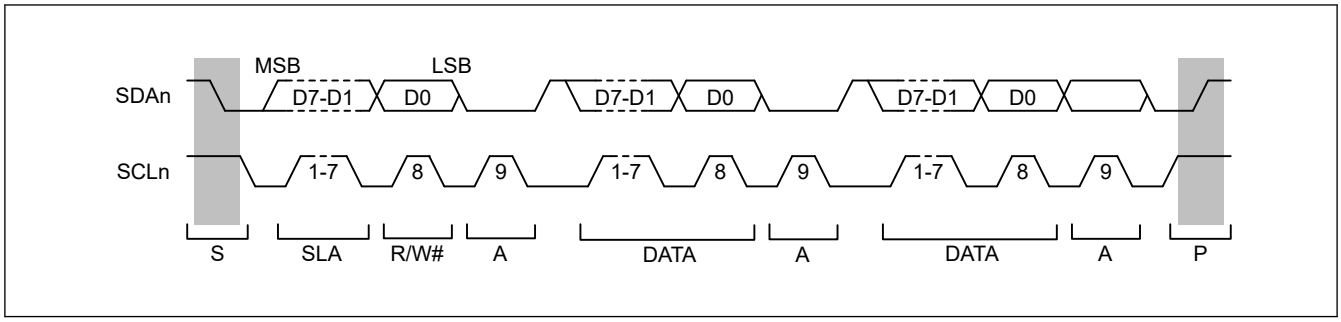


図 30.87 I^2C バスタイミング（SLA = 7 ビットの場合）

- S：開始条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、SDAn ラインのレベルを High から Low へ変化させます。
- SLA：スレーブアドレスを示します。これによってマスタデバイスがスレーブデバイスを選択します。
- R/W#: 転送方向（送信／受信）を示します。値 1 のときはスレーブデバイスからマスタデバイスへ、値 0 のときはマスタデバイスからスレーブデバイスへデータを送信します。
- A/A#：アクノリッジを示します。マスタ送信モードでは、スレーブデバイスがアクノリッジを返します。マスタ受信モードでは、マスタデバイスがアクノリッジを返します。Low を返すことで ACK を、High を返すことで NACK を示します。
- Sr：再開始条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、セットアップ時間経過後に SDAn ラインのレベルを High から Low へ変化させます。
- DATA：送受信データを示します。
- P：停止条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、SDAn ラインのレベルを Low から High へ変化させます。

30.8.1 開始条件、再開始条件、停止条件の生成

ICR.IICSTAREQ ビットに 1 を書き込むことにより、スタートコンディションの生成を行います。スタートコンディションの生成では、以下の動作が行われます。

- SDAn ラインを立ち下げ（High から Low へ変化）、SCLn ラインは解放状態を保持
- CCR2.BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、スタートコンディションのホールド時間に設定
- SCLn ラインを立ち下げ（High から Low へ変化）、ICR.IICSTAREQ ビットを 0 にして、スタートコンディション生成割り込み要求を出力

ICR.IICRSTAREQ ビットに 1 を書き込むことにより、リスタートコンディションの生成を行います。リスタートコンディションの生成では、以下の動作が行われます。

- SDAn ラインを解放、SCLn ラインは Low を保持
- CCR2.BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、SCLn ラインの Low 期間に設定
- SCLn ラインを解放（Low から High へ変化）
- SCLn ラインの High を検出後、CCR2.BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、リスタートコンディションのセットアップ時間に設定
- SDAn ラインを立ち下げ（High から Low へ変化）
- CCR2.BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、リスタートコンディションのホールド時間に設定
- SCLn ラインを立ち下げ（High から Low へ変化）、ICR.IICRSTAREQ ビットを 0 にして、リスタートコンディション生成割り込み要求を出力

ICR.IICSTPREQ ビットに 1 を書き込むことにより、ストップコンディションの生成を行います。ストップコンディションの生成では、以下の動作が行われます。

- SDAn ラインを立ち下げ（High から Low へ変化）、SCLn ラインは Low を保持

- CCR2.BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、SCLn ラインの Low 期間に設定
- SCLn ラインを解放（Low から High へ変化）
- SCLn ラインの High を検出後、CCR2.BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、ストップコンディションのセットアップ時間に設定
- SDAn ラインを解放し（Low から High へ変化）、ICR.IICSTPREQ ビットを 0 にして、ストップコンディション生成割り込み要求を出力

図 30.88 に開始条件、再開始条件、停止条件生成の動作タイミングを示します。

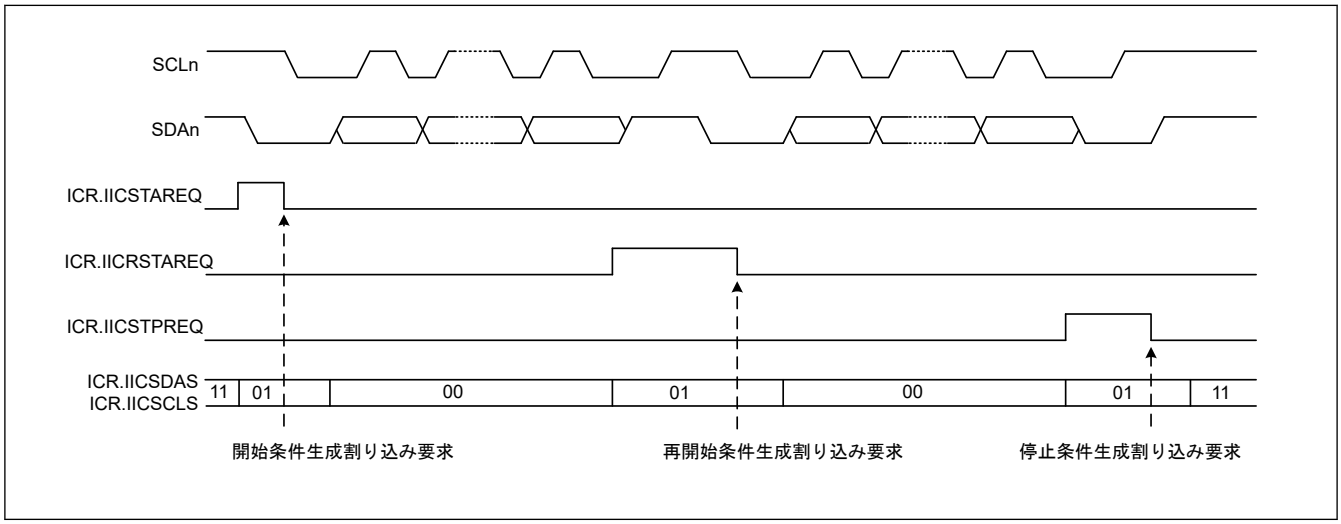


図 30.88　開始条件、再開始条件、停止条件生成の動作タイミング

30.8.2　クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で、SCLn ラインを Low にする場合があります。ICR.IICCSC ビットを 1 に設定すると、内部 SCLn クロック信号と SCLn 端子入力のレベルが異なる場合に、同期を取るための制御が行われます。

ICR.IICCSC ビットを 1 にすると、内部 SCLn クロック信号のレベルが Low から High へ変化します。SCLn 端子入力が Low の間は High 期間のカウントを停止し、SCLn 端子入力が High へ変化すると、High 期間のカウントを開始します。

このとき、SCLn 端子が High へ変化して High 期間のカウントを開始するまでの間隔は、SCLn 端子入力遅延、SCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで 2～3 サイクル）、内部処理遅延（PCLK で 1～2 サイクル）の合計になります。この間、他のデバイスが SCLn ラインを Low にしていなくても、内部 SCLn クロックの High 期間が延長されます。

ICR.IICCSC ビットが 1 の場合、データの送受信は、SCLn 端子入力と内部 SCLn クロックの論理積に同期して行われます。ICR.IICCSC ビットが 0 の場合、データの送受信は、内部 SCLn クロックに同期して行われます。

開始条件、再開始条件、または停止条件の生成要求発行後、内部 SCLn クロック信号が Low から High へ変化するまでの間にスレーブデバイスからウェイトが挿入された場合、その期間分、生成までの時間が延長されます。

内部 SCLn クロック信号が Low から High へ変化した後、スレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。

図 30.89 に、クロック同期化の動作例を示します。

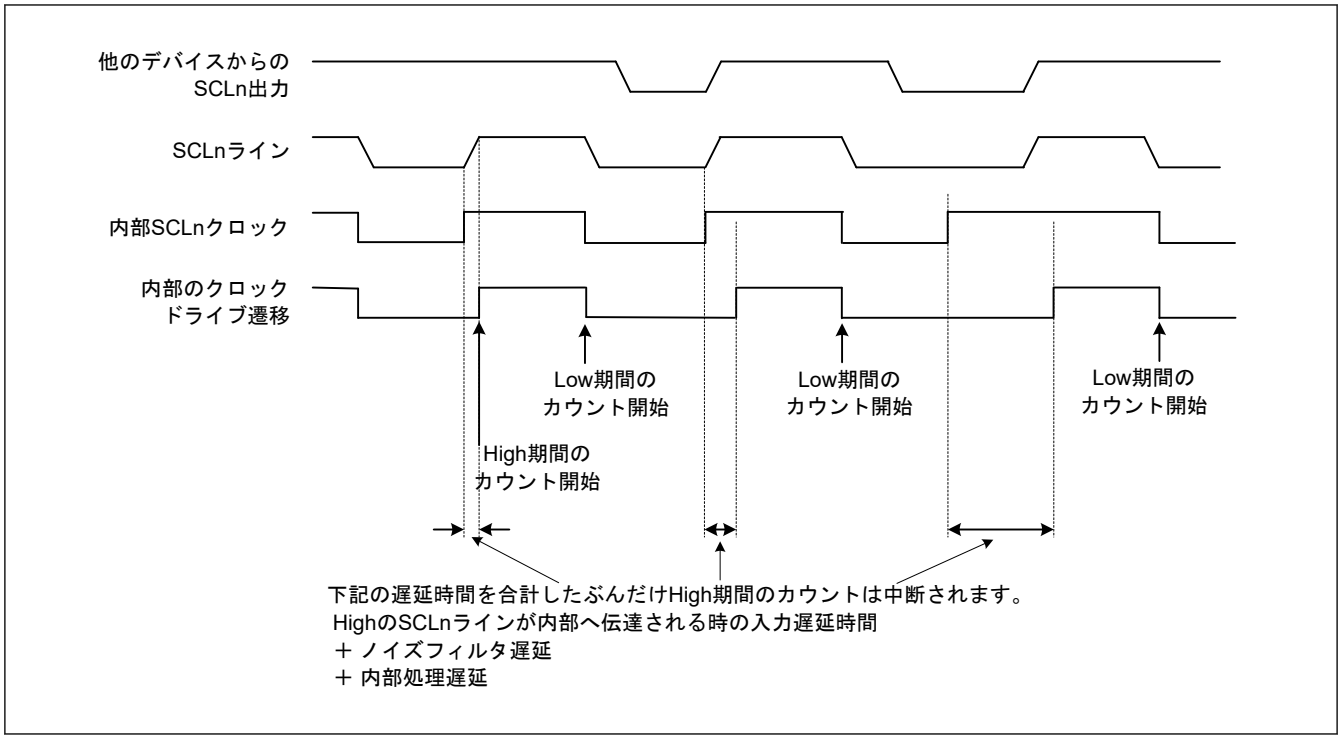


図 30.89　クロック同期化の動作例

30.8.3　SDAn 出力遅延

ICR.IICDL[4:0]ビットを用いて、SCLn 端子出力の立ち下がりエッジに対し、SDAn 端子出力の遅延を設定できます。遅延時間は 0～31 サイクルから選択できます。これは、対応する内蔵ボーレートジェネレータからのクロック信号のサイクル数を表します（CCR2.CKS[1:0]ビットで選択した分周ベースクロック (TCLK) を基準とします）。SDAn 端子出力の遅延は、スタートコンディション／リスタートコンディション／ストップコンディションの各信号、8 ビットの送信データ、およびアクノリッジビットに適用されます。

SDAn 端子出力遅延が SCLn 端子出力の立ち下がり時間より短い場合、SCLn 端子出力の立ち下がり中に SDAn 端子出力が変化を開始して、スレーブデバイスが誤動作する可能性があります。SDAn 端子出力遅延は、SCLn 端子出力の立ち下がり時間（IIC の標準モードとファストモードでは 300 ns）より大きくなるように設定してください。

図 30.90 に SDAn 出力遅延のタイミングを示します。

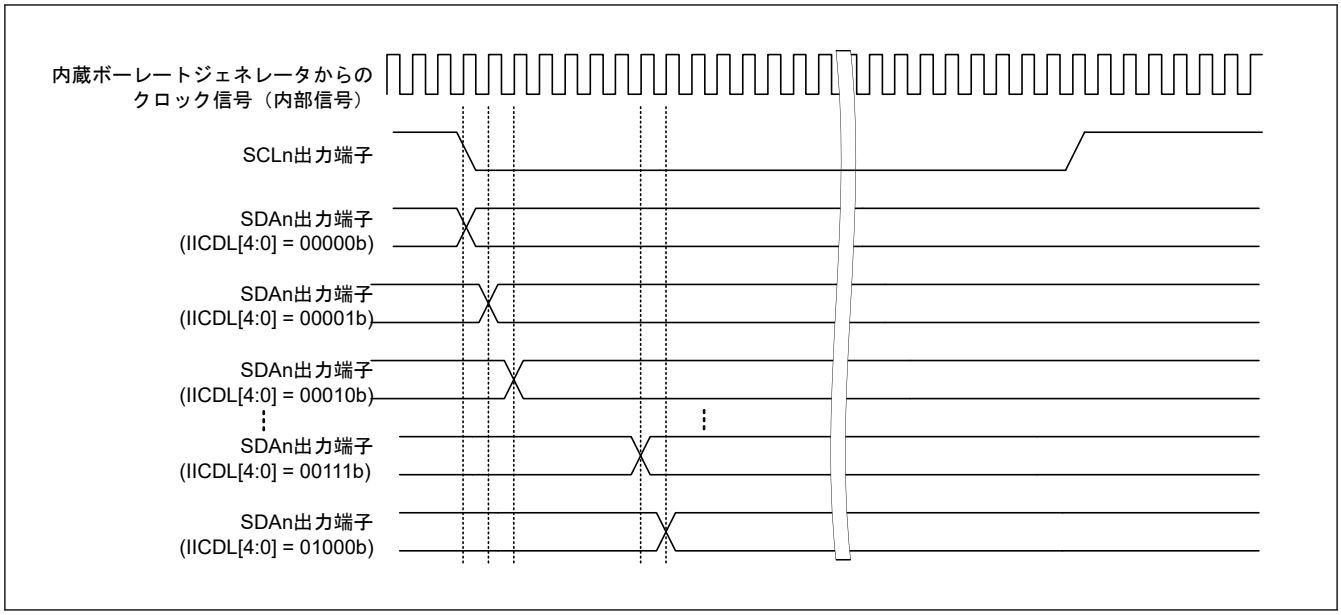


図 30.90　SDAn 出力遅延のタイミング

30.8.4　SCI の初期化（簡易 IIC モード）

データの送受信前に、CCR0 レジスタに初期値 0x00 を書き込み、表 30.41 のフローチャート例に従って、インタフェースを初期化してください。

動作モードまたは通信フォーマットを変更する前に、必ず CCR0 レジスタを初期値にしてください。また、簡易 IIC モード時の通信ポートのオープンドレイン設定は、ポート側で行ってください。

表 30.41　簡易 IIC モードにおける SCI 初期化の手順例

No.	ステップ名	説明
1	初期化を開始	—
2	CCR0 を設定	CCR0.TEIE、TIE、RIE、TE、RE の各ビットを 0 に設定。初期設定から変更していない場合は、この手順を省略できます。
3	ICR を設定	IICSDAS[1:0]ビットと IICSCLS[1:0]ビットを 11b にします。必要に応じて IICDL[4:0]ビットと IICINTM ビットを設定します。IICACKT ビットと IICCSC ビットを 1 にします。
4	CCR3 を設定	通信モードとして送受信フォーマット (MOD[2:0]=100b)、CKE [1:0] = 00b を設定します。
5	CCR2 を設定	ビットレート変調機能(注1)、クロック選択、ビットレートを設定します。
6	CCR1 を設定	ノイズフィルタ、通信端子ステータス、パリティチェック、および CTSn/RTSn 機能を設定します。
7	I/O ポート機能の設定	SCLn および SDAn 端子機能が（NMOS オープンドレイン出力端子および Hi-Z で）使用可能となるように I/O ポートを設定します。
8	CFCLR と ICFCLR を設定	以下のビットに 1 を書き込むことにより、対応するフラグを 0 にクリアします。CFCLR.RDRFC、FERC、PERC、MFFC、ORERC、DFERC、DPERC、DCMFC、ERSC、ICFCLR.IICSTIFC
9	CCR0 (TE, RE, TIE, RIE) を設定	TE ビットと RE ビットを 1 にしてください。割り込みを許可するために、1 回の指示で同時に TE、TIE、RE、および RIE ビットを 1 に設定します（送信用で IICINTM ビットが 1 の状態の場合は、RIE ビットをクリアします）。TE ビットと RE ビットを 1 にすることで、SCLn 端子および SDAn 端子の機能が有効となります。
10	初期化の完了	—

注.　CCR0.TE ビットと RE ビットは、同時に設定してください。
注 1.　ビットレート変調機能を使用しない場合、この設定は不要です。

30.8.5　マスタ送信動作（簡易 IIC モード）

図 30.91 と図 30.92 にマスタ送信の動作例を、図 30.93 にデータ送信のフローチャート例を示します。

図 30.91 に、ICR.IICINTM ビットが 1（受信割り込み、送信割り込みを使用）の場合の動作例を示します。この場合、SCIn_TXI 割り込みにより DMAC または DTC を起動できます。ただし、DMAC または DTC を使用する場

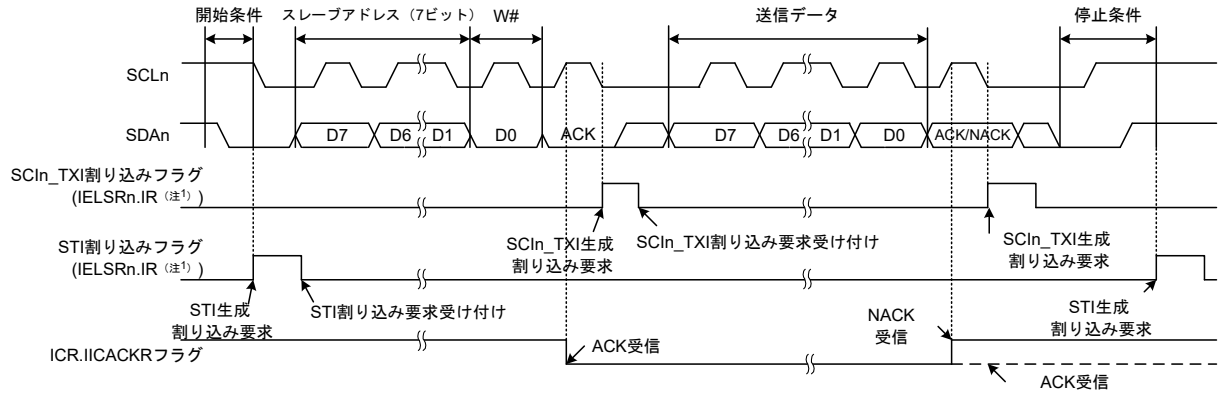
合、ACK/NACK は確認できません。ACK/NACK を確認したい場合は、CPU により送信データを準備してください。

簡易 IIC モードでの SCIn_TXI 割り込みは、1 フレームの通信を完了した時点で発生します。マスタ送信では SCIn_RXI 割り込みは使用されないので、CCR0.RIE は 0 です。

STI 割り込みについては、表 30.46 を参照してください。

図 30.93 に、ICR.IICINTM ビットが 1 のときの、CPU によるアドレス送信と DTC または DMAC によるデータ送信のフローチャートを示します。10 ビットスレーブアドレスの使用時は、[3]と[4]の手順を 2 回繰り返します。

簡易 IIC モードでの送信データエンプティ割り込み (SCIn_TXI) は、クロック同期式送信時の SCIn_TXI 割り込み要求発生のタイミングとは異なり、1 フレームの通信を完了した時点で発生します。



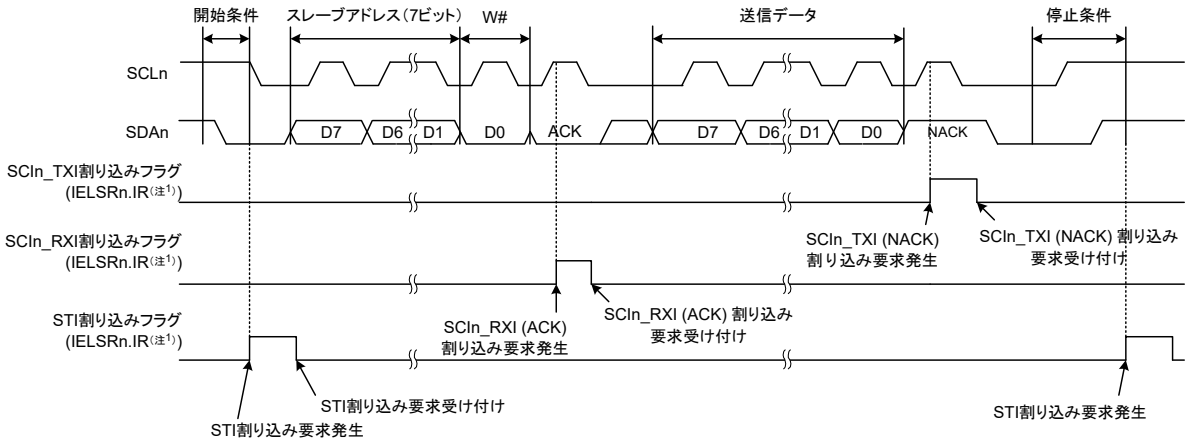
注 1. 対応する割り込みイベント番号は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

図 30.91 簡易 IIC モードにおけるマスタ送信の動作例 1（7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時） (ICR.IICINTM = 1)

マスタ送信で、ICR.IICINTM ビットを 0（ACK 割り込み、NACK 割り込みを使用）にした場合、ACK 割り込みをトリガにして DTC または DMAC を起動し、データを必要バイト数送信します。NACK を受信した場合は、NACK 割り込みをトリガにして、送信中止や再送信などのエラー処理を行います。

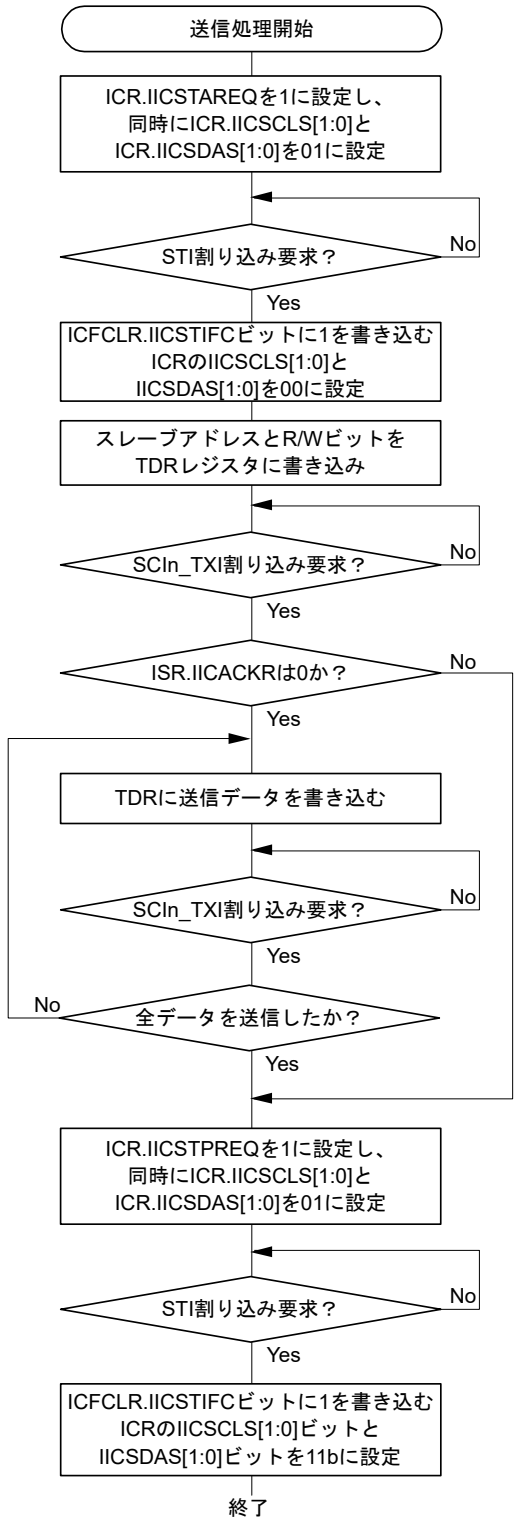
TDR にデータを書き込んだ後に、なんらかの理由で通信をリスタートさせたい場合は以下の手順に従ってください。

1. CCR0 レジスタの TE、RE ビットを 0 にして通信停止させてください。
2. ICR.IICSCLS[1:0]ビットと ICR.IICSDAS[1:0]ビットに 11b を設定し、I^2C バスを解放し、各条件生成をクリアしてください。
3. CSR レジスタの RDRF フラグが 1 に設定されている場合、RDR レジスタをダミーで読み出し、RDRF ビットを 0 に設定してください。
4. CCR0 レジスタの TE、RE ビットに 1 を設定し、次の通信を開始してください。



注 1. 対応する割り込みイベント番号は、「13. 割り込みコントローラユニット (ICU)」を参照してください。

図 30.92 簡易 IIC モードにおけるマスタ送信の動作例 2（7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時） (ICR.IICINTM = 0)



[1] 送信処理開始
送信の場合、CCR0.RIEを0にします。
（SCIn_RXI割り込み要求とSCIn_ERI割り込み要求は無効になります。）

[2] 開始条件生成

[3] TDRへの書き込み：
スレーブアドレスとR/Wビット値をTDRレジスタに書き込んでください。

[4] スレーブデバイスからのACK応答の確認：
ISR.IICACKRビットを確認します。値が0の場合、スレーブデバイスがACKを返したため、動作は継続されます。値が1の場合、スレーブデバイスからの応答がないことを示します。そのため、次の処理はストップコンディションの生成になります。

[5] シリアル送信継続の手順：
送信を継続する場合、次の送信データをTDRに書き込みます。最初の送信データを除き、SCIn_TXI割り込み要求でDMACまたはDTCを起動し、TDRにデータを書き込むことができます。
ただし、この場合、ACKとNACKのどちらの状態かを確認することはできません。

[6] ストップコンディションを生成します。

[3]〜[4]：10ビットスレーブアドレス使用時は、[3]と[4]の手順を2回繰り返します。

注.　簡易 IIC モードでは、通信を完了した時点で SCIn_TXI 割り込み要求が発生します。

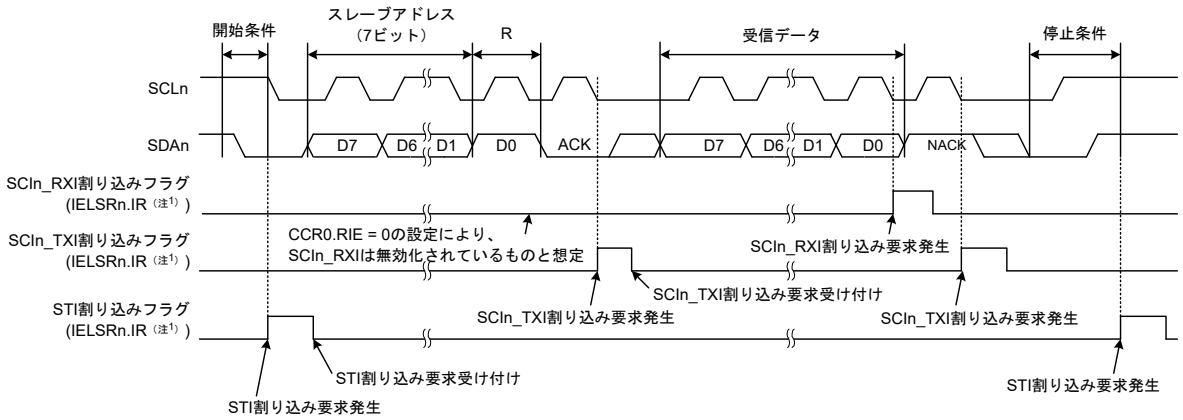
図 30.93　簡易 IIC モードにおけるマスタ送信のフローチャート例（送信割り込み、受信割り込み使用時）

30.8.6　マスタ受信動作（簡易 IIC モード）

図 30.94 に簡易 IIC モードにおけるマスタ受信の動作例を、図 30.96 にマスタ受信のフローチャート例を示します。

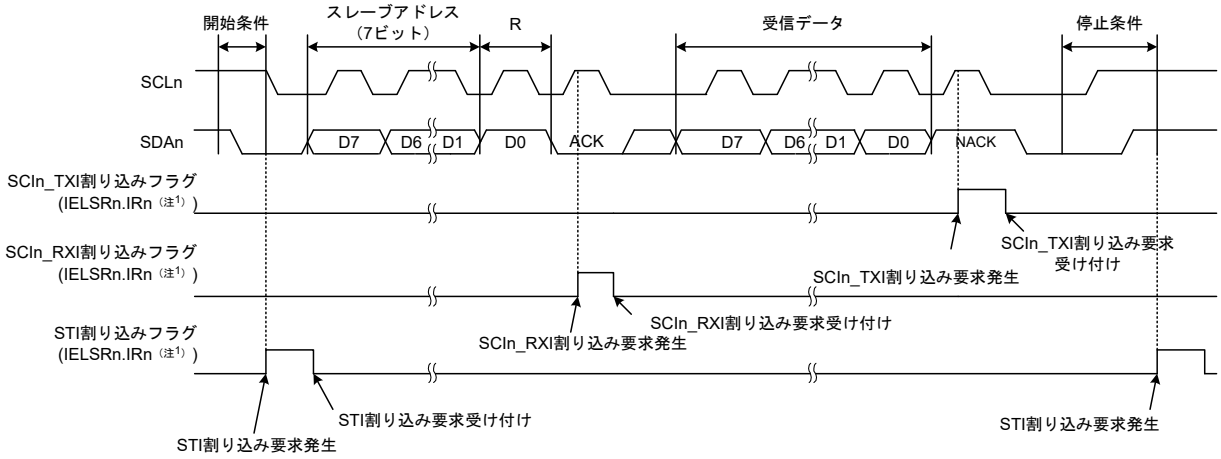
ICR.IICINTM ビットの値が 1（受信割り込み、送信割り込みを使用）と 0（ACK 割り込み、NACK 割り込みを使用）の場合を想定しています。

簡易 IIC モードでの送信データエンプティ割り込み (SCIn_TXI) は、クロック同期式送信時の SCIn_TXI 割り込み要求発生のタイミングとは異なり、1 フレームの通信を完了した時点で発生します。



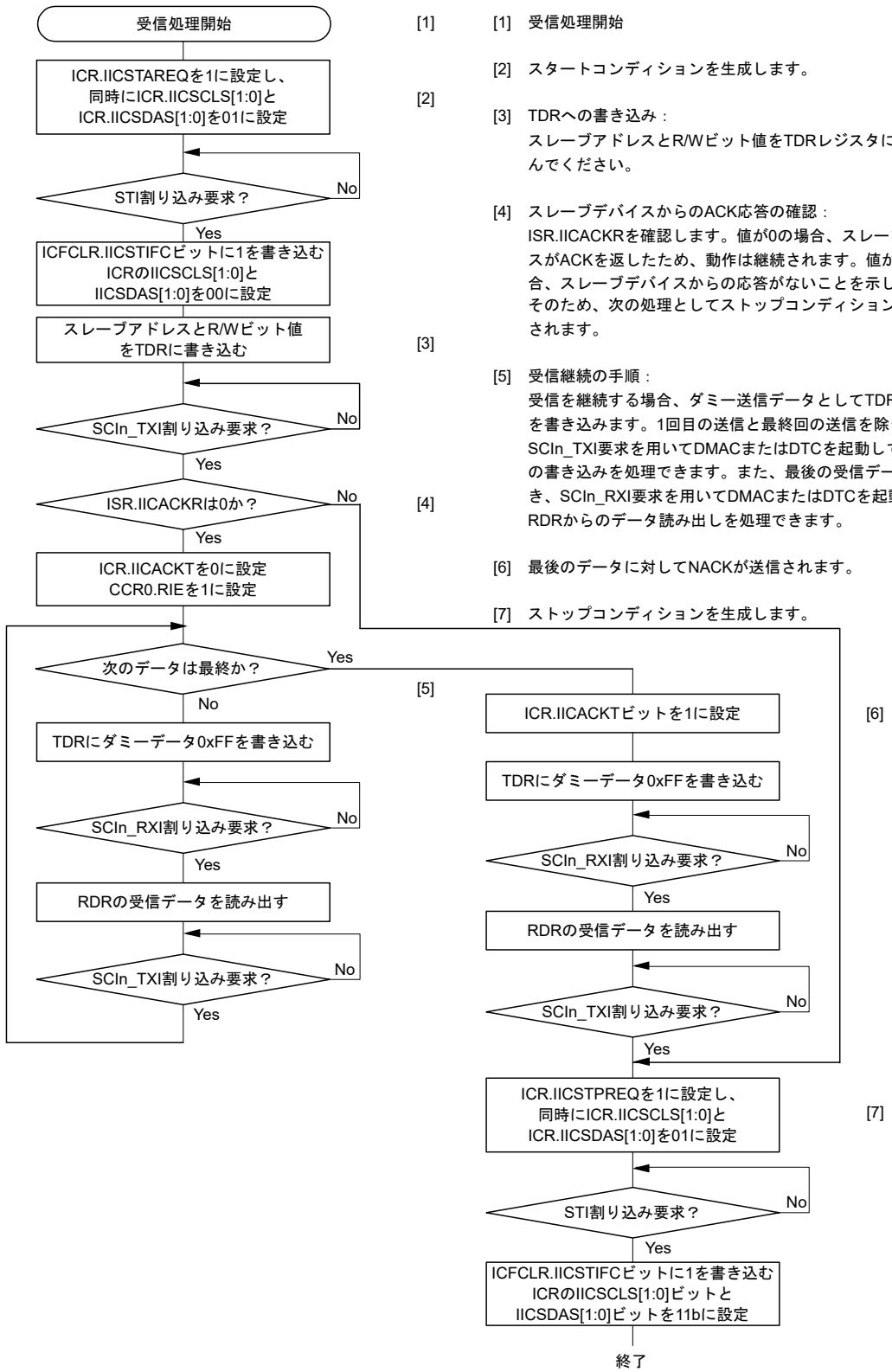
注 1.　対応する割り込みイベント番号については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

図 30.94　簡易 IIC モードにおけるマスタ受信の動作例（7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時） (ICR.IICINTM = 1)



注 1.　対応する割り込みイベント番号については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

図 30.95　簡易 IIC モードにおけるマスタ受信の動作例（7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時 (ICR.IICINTM = 0)）



[1] 受信処理開始

[2] スタートコンディションを生成します。

[3] TDRへの書き込み：
スレーブアドレスとR/Wビット値をTDRレジスタに書き込んでください。

[4] スレーブデバイスからのACK応答の確認：
ISR.IICACKRを確認します。値が0の場合、スレーブデバイスがACKを返したため、動作は継続されます。値が1の場合、スレーブデバイスからの応答がないことを示します。そのため、次の処理としてストップコンディションが生成されます。

[5] 受信継続の手順：
受信を継続する場合、ダミー送信データとしてTDRに0xFFを書き込みます。1回目の送信と最終回の送信を除き、SCIn_TXI要求を用いてDMACまたはDTCを起動してTDRへの書き込みを処理できます。また、最後の受信データを除き、SCIn_RXI要求を用いてDMACまたはDTCを起動し、RDRからのデータ読み出しを処理できます。

[6] 最後のデータに対してNACKが送信されます。

[7] ストップコンディションを生成します。

注.　簡易 IIC モードでは、通信を完了した時点で SCIn_TXI 割り込み要求が発生します。

図 30.96　簡易 IIC モードにおけるマスタ受信のフロー例（送信割り込み、受信割り込み使用時 (ICR.IICINTM = 1)）

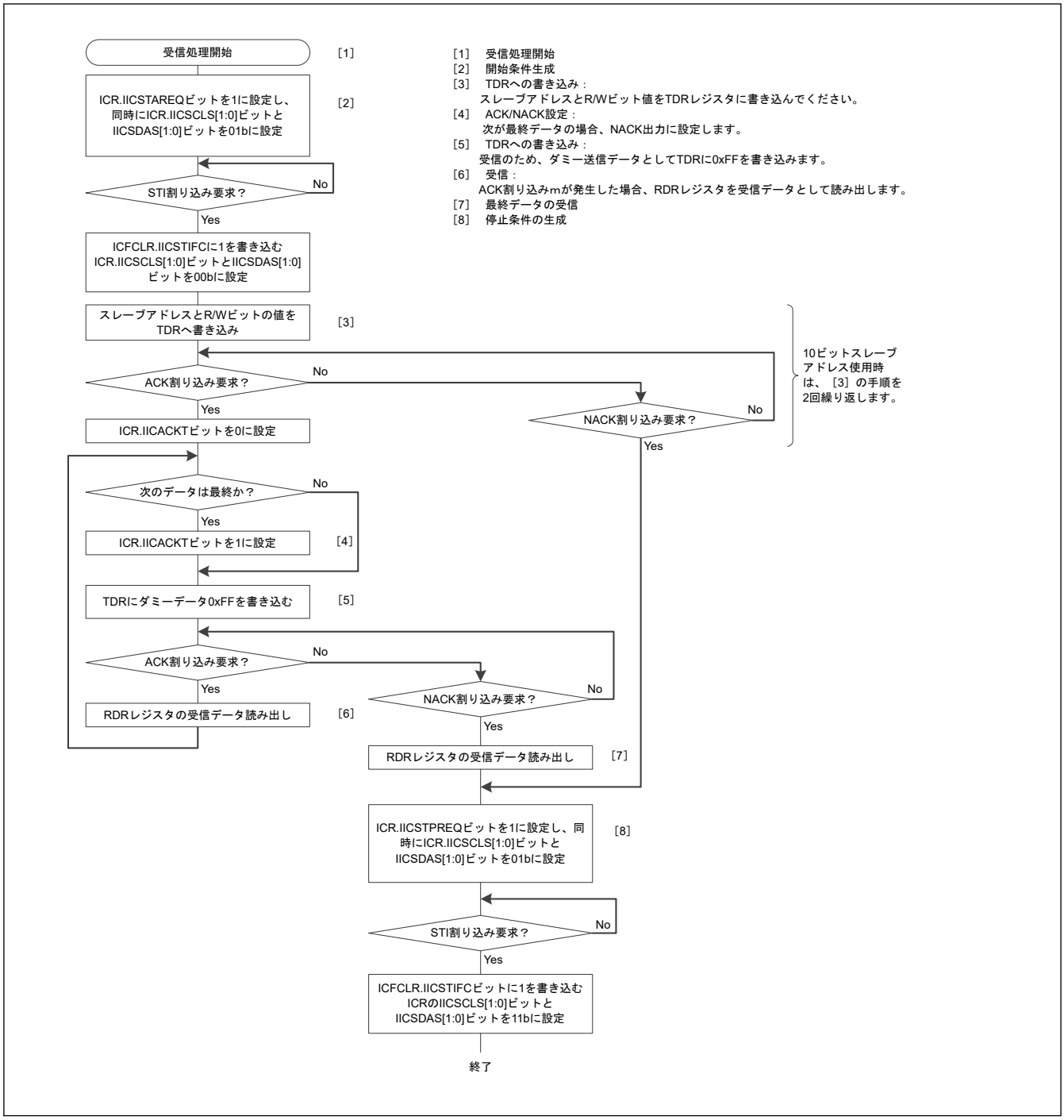


図 30.97　簡易 IIC モードにおけるマスタ受信のフロー例（ACK 割り込み、NACK 割り込み使用時 (ICR.IICINTM = 0)）

30.9　簡易 SPI モードの動作

SCI は拡張機能として、1 つまたは複数のマスタと複数のスレーブとの間で通信が可能な、簡易 SPI モードをサポートしています。

簡易 SPI モードの設定（CCR3.MOD[2:0]ビット = 011b）を使用するとともに、CCR0.SSE ビットを 1 にすることによって、SCI は簡易 SPI モードになります。なお、構成がシングルマスタのみの場合は、簡易 SPI モードでマスタとして使用されるデバイスの接続に、マスタ側の SSn 端子機能は不要です。したがって、そのような場合は、CCR0.SSE ビットを 0 にしてください。

図 30.98 に、簡易 SPI モードの接続例を示します。マスタからの SSn 信号出力については、汎用ポートで制御してください。

簡易 SPI モードでは、クロック同期式モードと同様に、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。CCR3.SINV ビットを 1 にすることで、送受信データを反転できます。

SCI 内部では送信部と受信部は独立しており、クロックを共有することで全二重通信が可能です。また、送信部と受信部はどちらもバッファ構成になっているため、送信中に次の送信データを書き込むことや、受信中に前の受信データを読み込むことが可能です。これにより、連続転送が可能となります。

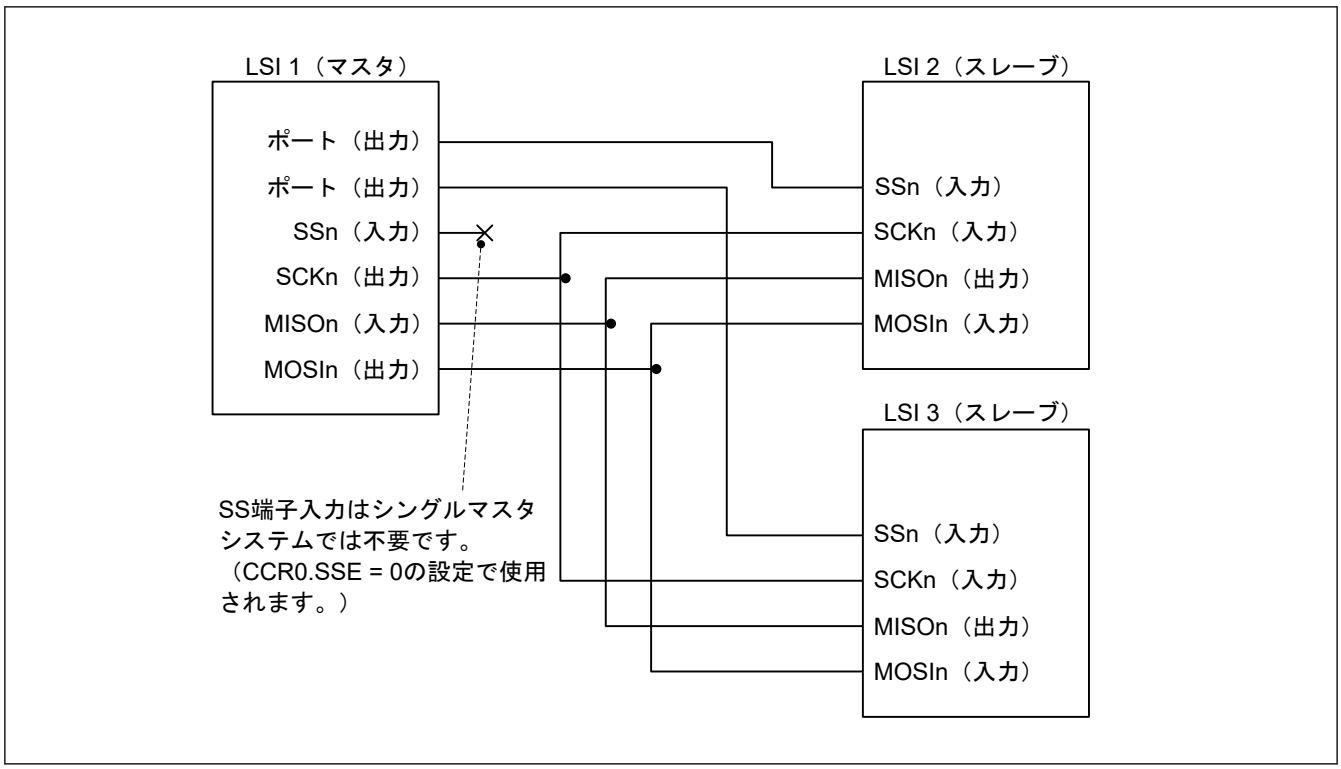


図 30.98　簡易 SPI モードでの接続例（シングルマスタ時、CCR0.SSE ビット = 0）

30.9.1　マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード（CCR3.CKE[1:0] = 00b または 01b）と、スレーブモード（CCR3.CKE[1:0] = 10b または 11b）で、各端子の入出力方向が異なります。

表 30.42 に、端子状態、モード、および SSn 端子入力レベルの間の関係を示します。

表 30.42　モードおよび SSn 端子入力と各端子状態の関係

モード	SSn 端子入力	MOSIn 端子状態	MISOn 端子状態	SCKn 端子状態
マスタモード(注1)	High（通信可能）	送信データ出力(注2)	受信データ入力	クロック出力(注3)
	Low（通信不可）	ハイインピーダンス	受信データ入力（無効）	ハイインピーダンス
スレーブモード	High レベル（通信不可）	受信データ入力（無効）	ハイインピーダンス	クロック入力（無効）
	Low レベル（通信可能）	受信データ入力	送信データ出力	クロック入力

注 1.　シングルマスタ構成 (CCR0.SSE = 0) のみの場合、SSn 端子の入力レベルにかかわらず、転送可能となります。これは、SSn 端子入力が High のときと同等です。SSn 端子は使用されず、他の用途に使用できます。
注 2.　シリアル送信禁止（CCR0.TE ビット = 0）の場合、MOSIn 端子出力はハイインピーダンスです。
注 3.　マルチマスタ構成 (CCR0.SSE ビット = 1) では、シリアル送受信禁止（CCR0.TE ビット = 0 および CCR0.RE ビット = 0）の場合、SCKn 端子出力はハイインピーダンスです。

30.9.2　マスタモード時の SS 機能

CCR3.CKE[1:0]ビットを 00b または 01b にすると、マスタモードが有効になります。シングルマスタ構成 (CCR0.SSE = 0) では SSn 端子が使用されないため、SSn 端子の値にかかわらず送受信動作が可能です。

マルチマスタ構成 (CCR0.SSE = 1) において SSn 端子入力が High の場合、他にマスタが存在しないこと、あるいは別のマスタが送受信動作を行っていることを示すために、マスタデバイスは SCKn 端子からクロックを出力した後、送受信動作を開始します。

マルチマスタ構成 (CCR0.SSE = 1) において SSn 端子入力が Low の場合は、別のマスタが存在し、送受信動作中です。MOSIn 端子出力と SCKn 端子出力はハイインピーダンスになり、送受信動作を開始することができません。また、モードフォルトエラーとして CSR.MFF ビットが 1 になります。マルチマスタ構成では、CSR.MFF フラグを読むことでエラー処理を開始してください。なお、送受信動作中にモードフォルトが発生しても、送受信動作は停止しませんが、送受信動作完了後の MOSIn 出力と SCKn 出力はハイインピーダンス状態です。SSn 端子入力が High のとき、SCKn 端子はクロック信号を出力し、MOSIn 端子はデータを出力します。SCKn 端子と MOSIn 端子がハイインピーダンス状態であっても、内部の送受信動作は継続しますが、1 キャラクタの送信または受信が完了すると停止します。この場合、SCIn_TXI、SCIn_RXI、SCIn_TEI 割り込みのいずれかが発生します。

汎用ポート端子を使用して、マスタからの SS 出力信号を生成してください。

30.9.3 スレーブモード時の SS 機能

CCR3.CKE[1:0]ビットを 10b または 11b にすると、スレーブ動作が選択されます。SSn 端子入力が High のとき、MISOn 出力端子の状態はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送信または受信動作が可能になります。

送信または受信動作中に SSn 端子入力が Low から High に変化した場合、MISOn 出力端子の状態をハイインピーダンスにします。送受信動作はただちに停止します。送信動作中の場合は、CSR.TEND フラグが設定されず、送信終了割り込みが出力されず、異常停止状態が発生します。そのため、スレーブ送信／受信の間は SSn#端子をネゲートしないでください。異常停止が発生した場合は、CCR0.RE ビットと CCR0.TE ビットを 0 に設定して、送信／受信を停止してください。送信／受信を再開するためには、TCLK × 3 サイクル + PCLK × 3 サイクル以上経過した後に CCR0.RE ビットと CCR0.TE ビットを 1 に設定します。

30.9.4 クロックと送受信データの関係

CCR3 レジスタの CPOL ビットと CPHA ビットを用いて、送受信に用いるクロックを 4 種類から選択できます。クロック信号と送受信データの関係を図 30.99 に示します。マスタモードとスレーブモードの両方で、クロックと送受信データの関係は同一です。これは、SSn 端子入力が High のときと同様です。

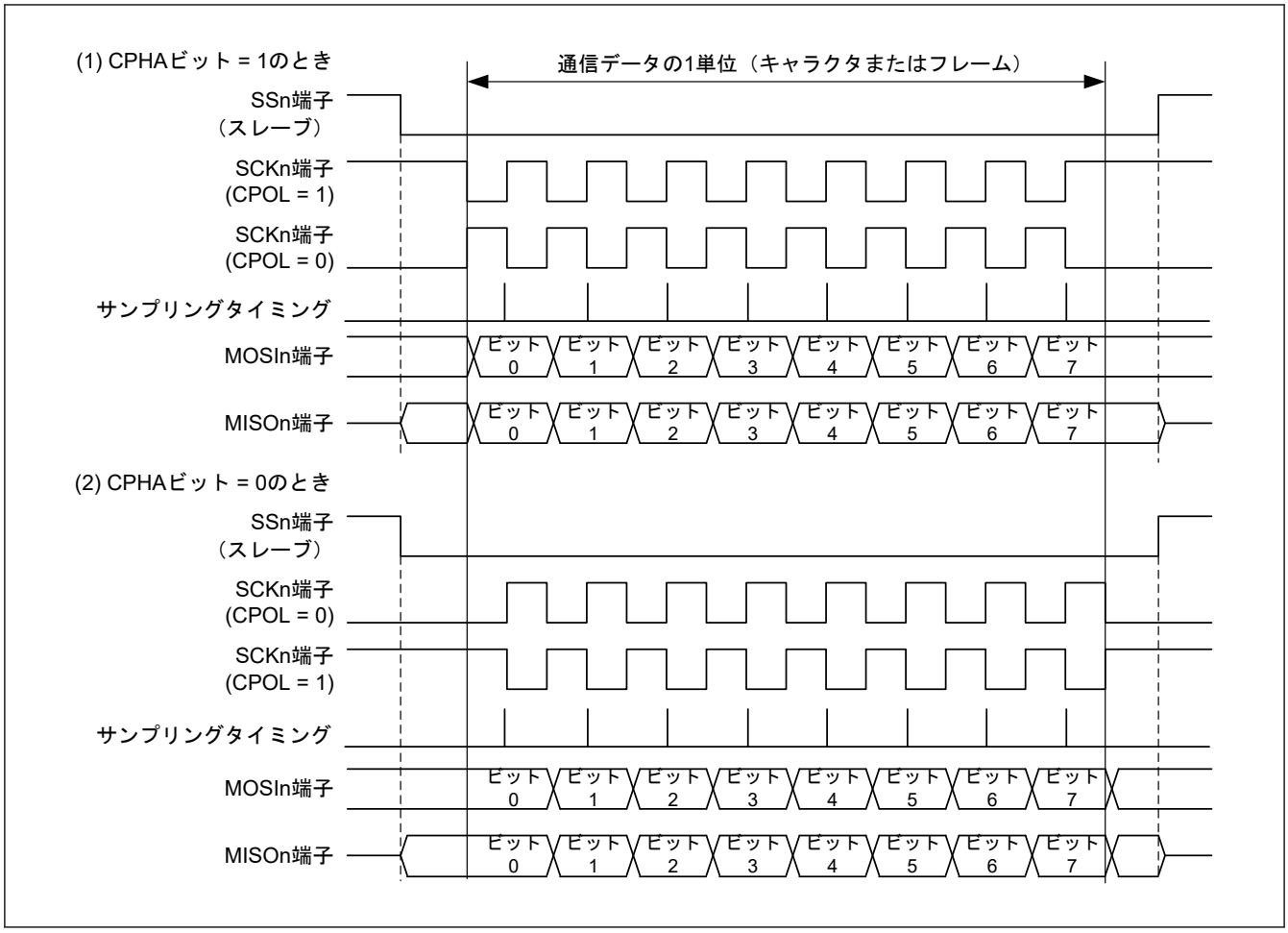


図 30.99　簡易 SPI モードにおけるクロックと送受信データの関係

30.9.5　SCI の初期化（簡易 SPI モード）

簡易 SPI モードでの初期化は、クロック同期式モードの場合と同じです。初期化フローの例は、「30.6.3. SCI の初期化（クロック同期式モード）」を参照してください。CCR3 レジスタの CPOL ビットと CPHA ビットは、マスタデバイスとスレーブデバイスの両方に適切なクロック信号となるように設定する必要があります。

動作モードや転送フォーマットに変更を加える場合は、必ず CCR0 レジスタを初期化してから行ってください。

注.　0 になるのは RE ビットのみです。CSR.ORER、FER、PER、RDR の各フラグは初期化されません。

CCR0 レジスタの TIE ビットが 1 のときに、TE ビットの値を 1 から 0、または 0 から 1 に変更すると、送信データエンプティ割り込み (SCIn_TXI) が発生します。

30.9.6　シリアルデータの送受信（簡易 SPI モード）

マスタモードでは、送受信先のスレーブデバイスの SSn 端子を、送受信開始前に Low にして、送受信終了後に High にしてください。マルチマスタ動作で CCR0.SSE ビットが 1 の状態では、マスタモードであっても SSn 端子が Low になるとモードフォルトエラーが発生します。そのため、送受信の開始前にモードフォルトエラーが発生していないことを確認してから送受信を開始し、送受信の終了後においてもモードフォルトエラーが発生していないことを確認してください。モードフォルトエラーが発生すると、送受信が不完全となることがあり、再送などの対応が必要となります。それ以外の手順はクロック同期式モードと同様です。

スレーブモードでは、SSn 端子の入力に従って動作します。それ以外の手順はクロック同期式モードと同様です。

30.9.7　内部クロックを使用した簡易 SPI モードでの受信サンプリングタイミング調整機能

簡易 SPI モードでの受信サンプリングタイミング調整機能は、クロック同期式モードでの受信サンプリングタイミング調整機能と同じです。動作説明については、「30.6.7. 内部クロックを使用したクロック同期式モードでの受信サンプリングタイミング調整機能」を参照してください。

30.10 ビットレート変調機能

ビットレート変調機能では、CCR2 レジスタの CKS[1:0]ビットで選択された内部クロックの 256 クロックサイクルの間で、MDDR レジスタで指定した数を用いて、ビットレートを均等に補正することが可能です。

調歩同期式モードにおいて、PCLK が CCR2 レジスタの CKS[1:0]ビットで選択されたとき、BRR と MDDR がそれぞれ 0 と 160 の場合の例を図 30.100 に示します。この例では、基本クロックの周期が均等に 256/160 に補正され、同時にビットレートも 160/256 に補正されています。

注. 内部クロックを有効にするとバイアスが発生し、内部基本クロックのパルス幅に伸縮が生じます。

クロック同期式モード、簡易 SPI モード、スマートカードインタフェースモード、マンチェスタモード、および簡易 LIN モードでは、この機能を使用しないでください。

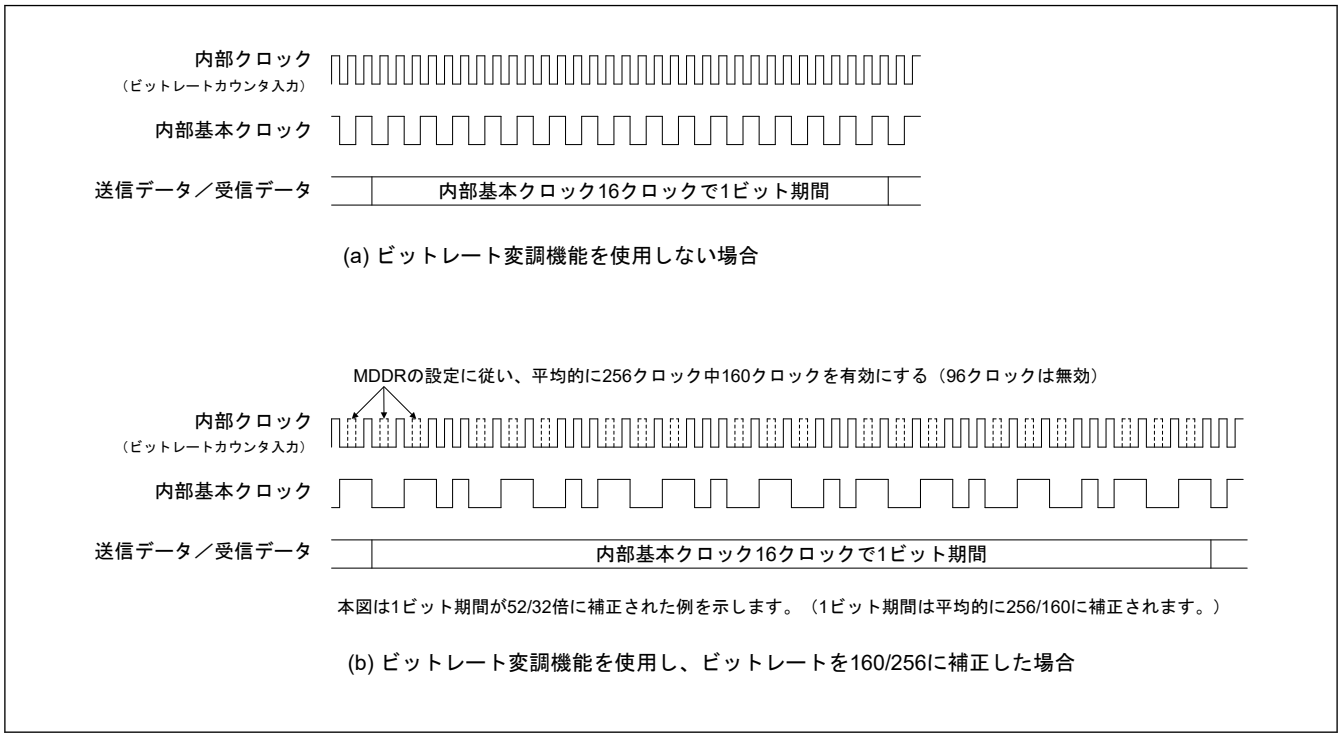


図 30.100 ビットレート変調機能使用時の内部基本クロックの例

30.11 簡易 LIN モード

SCI は拡張機能として簡易 LIN モードをサポートします。これは、スタートフレームとインフォメーションフレームで構成されるシリアル通信プロトコルです（図 30.101）。簡易 LIN モードは CCR3.MOD[2:0]ビットを 110b に設定すると有効になります。簡易 LIN モードはブレークフィールド以外の送受信制御に調歩同期式モードと同じ回路を使用します。このため、調歩同期式モードに必要な基本通信設定は簡易 LIN モードにも必要です。

（簡易 LIN を使用する場合の設定値については、「30.2. レジスタの説明」の説明を参照してください。特に、CCR3.RXDESEL を初期値から変更して 1 にする必要があります。）

スタートフレームは Break Field、Control Field 0、および Control Field 1 で構成されます。情報フレームは Data Field と Checksum Field で構成できます。

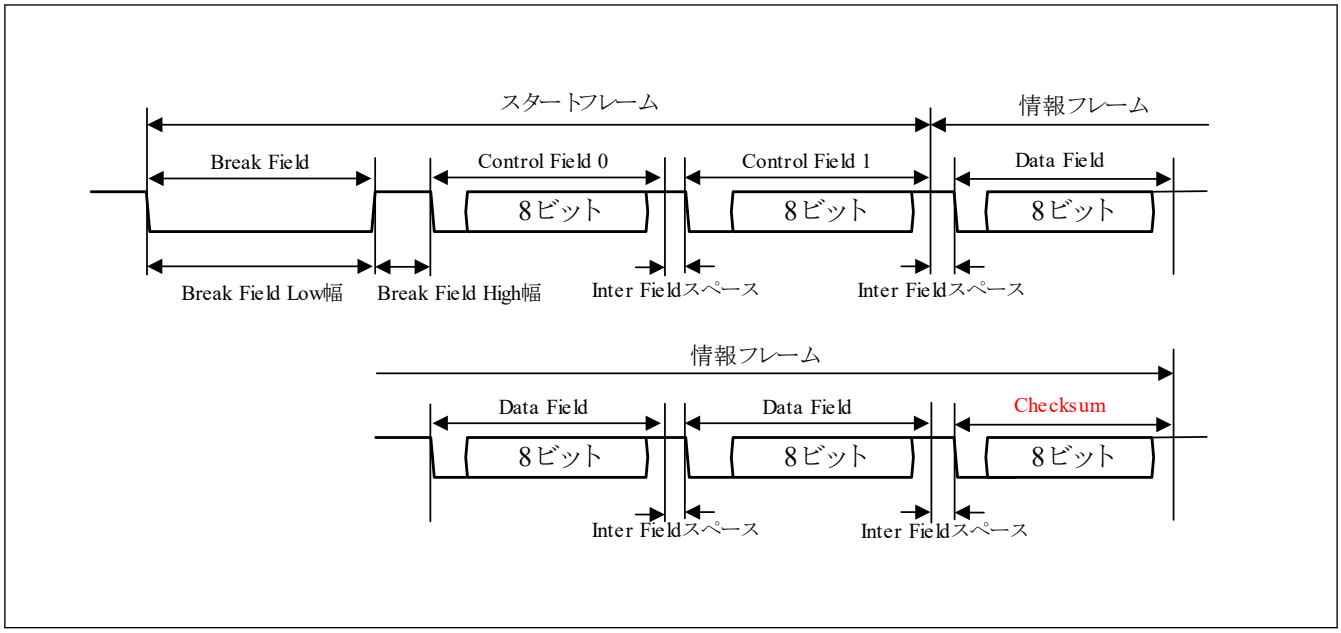


図 30.101　簡易 LIN プロトコル例

以下に、簡易 LIN を使用する場合の動作について説明します。ここでは、以下の条件で動作を説明しています。

通信端子 (RXDn / TXDn) レベル反転機能：OFF (RINV = TINV = 0)

通信端子 (RXDn / TXDn) レベル反転機能を有効にした状態で簡易 LIN を使用する場合は、RXDn 信号レベルと TXDn 信号レベルをそれぞれ反転したレベルに置き換えてください。

30.11.1　簡易 LIN スタートフレーム送信

図 30.102 に、Break Field、Control Field 0、および Control Filed 1 で構成されたスタートフレームの送信例を示します。（スタートフレームの構成に応じて、Break Field および Control Field 0 を省略します。）

図 30.103 に、スタートフレーム送信のフローチャートを示します。

スタートフレーム送信中、SCI は以下のように動作します。

1. SCI 初期化フロー（図 30.68）に従って、調歩同期式モードで SCI の初期設定を行います。簡易 LIN モードでは、ブレークフィールドの前に SCIn_TXI が出力されないよう、CCR0 の TE と TIE を同時に 1 に設定しません。このため、以下の 2 ステップを順に実行して、SCI 初期化フロー(調歩同期式モード)の手順[9]を設定します。
   - CCR0 レジスタの TIE 以外のビットを設定します。(CCR0.TIE = 0, CCR0.TE = 1, CCR0.RE = 0)
   - CCR0.TIE を 1 に設定します。
2. TCST に 1 を書き込むと、Break Field 出力タイマがカウントを開始し、XCR2.BFLW[15:0] に設定された期間、TXDn 端子から Low (Break Field) を出力します。タイマカウントクロックソースを XCR0.TCSS[1:0] で選択できます。
   XCR1.TCST に 0 を書き込むと、Break Field の出力が中断します。中断後、CCR0.TE を 0 にし、送信をオフにします。
3. 簡易 LIN モジュールのタイマカウント値が XCR2.BFLW[15:0] の設定値と一致すると、タイマがカウントを停止し、TXDn 端子の出力レベルを反転させて、XSR0.BFOF フラグが 1 になります。(注1)また、このときに XCR0.BFOIE が 1 になっている場合、SCIn_TXI 割り込みが生成されます。
4. SCIn_TXI 割り込みが生成されて XSR0.BFOF が 1 であることを確認したら、送信データを書き込みます。その後、SCI を用いて Control Field 0 データが送信されます。(注2)
5. Control Field 0 データが送信された後で、TDR に Control Field 1 を書き込みます。その後、送信が実行されます。
6. Control Field 1 データが送信された後で、インフォメーションフレームデータが送信されます。

注 1. XSR0.BFOF を 1 にした後で、クリアせずに XCR1.TCST に 1 を書き込むと、Break Field の送信終了時に SCIn_TXI 割り込みは出力されません。XCR1.TCST に 1 を書き込む前に、XSR0.BFOF をクリアしてください。

注 2. LIN 通信では、次のデータの送信が始まるまで、ブレークフィールドの出力後に 1 ビット以上のブレークデリミタ（アイドル期間）が必要です。このため、ブレークフィールド出力完了時にブレークデリミタ長がカウントされます。ブレークデリミタ長がカウントされている間に送信データが書き込まれると、ブレークデリミタ長のカウントが完了するまで送信は開始しません。ブレークデリミタ長がカウントされた後に送信データが書き込まれると、通常のデータ送信と同じタイミングで送信が開始します。

Break Field 出力後の Break デリミタ長カウント時間：

1 ビット～2 ビット長 (CCR3.STP = 0)

2 ビット～3 ビット長 (CCR3.STP = 1)

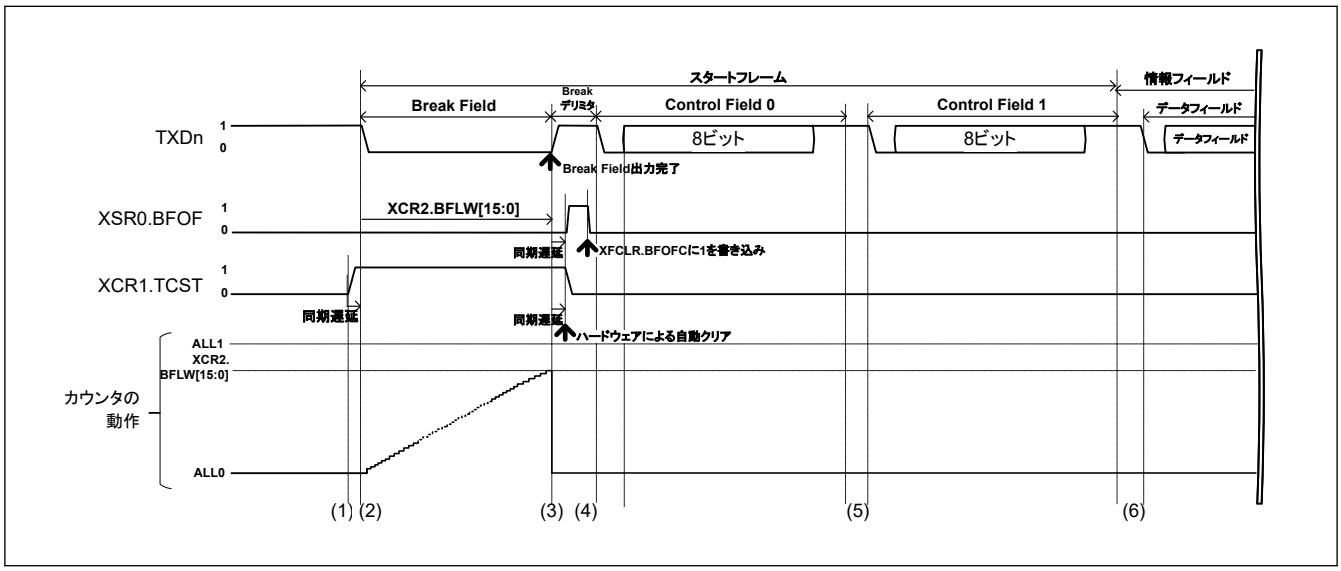


図 30.102　スタートフレーム送信例

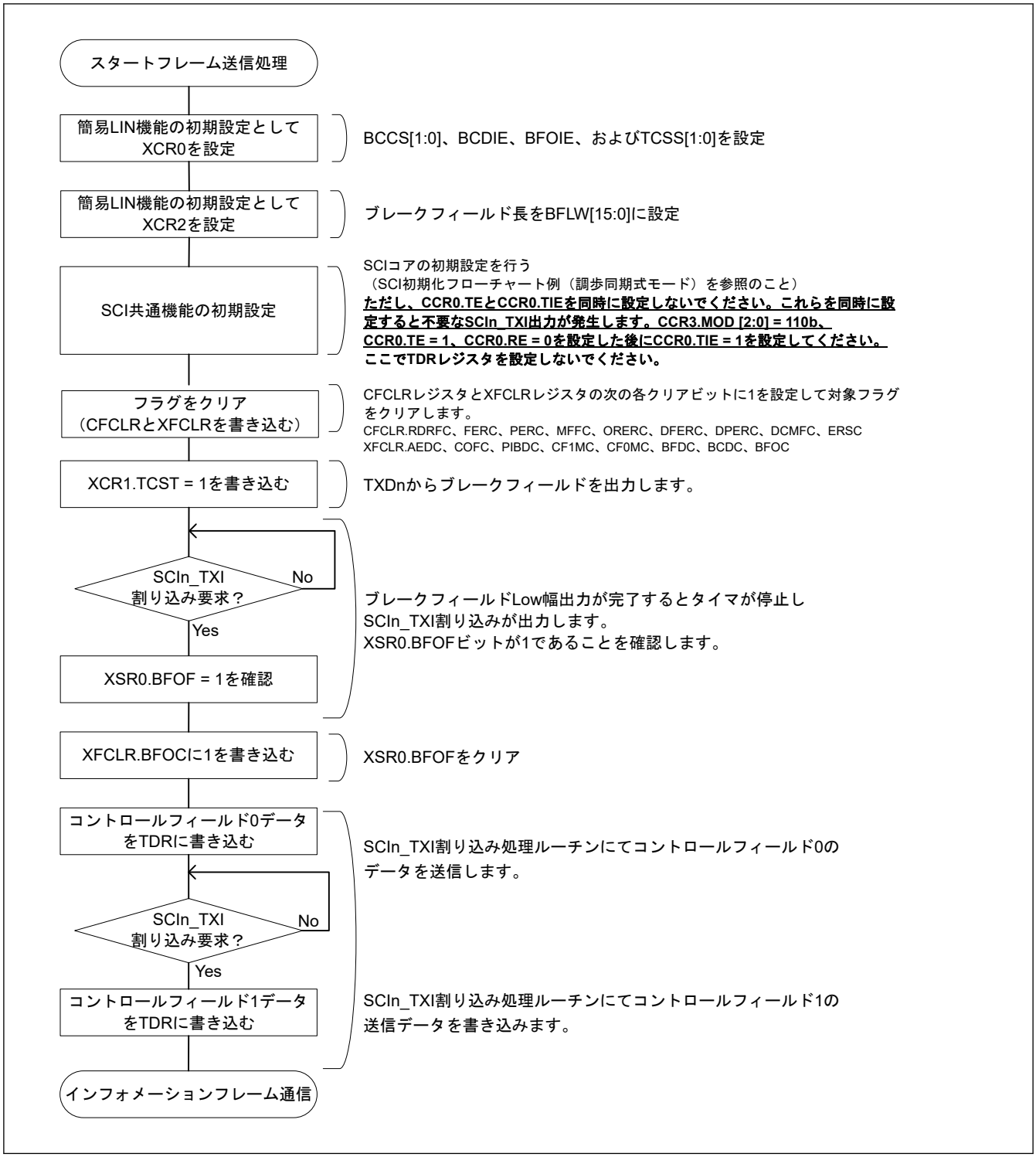


図 30.103　スタートフレーム送信のフローチャート例

30.11.2　簡易 LIN スタートフレーム受信

SCI は、図 30.104 に示すようにスタートフレーム構成を検出できます。

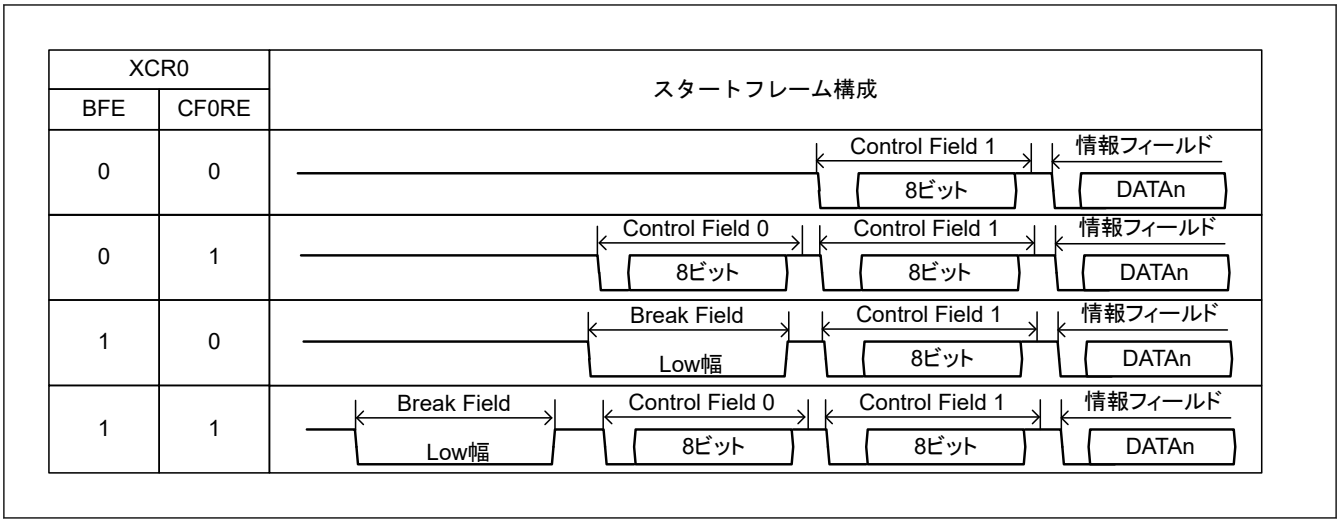


図 30.104　スタートフレーム構成

(1)　簡易 LIN でのスタートフレーム通常受信（PIB は未使用）

図 30.105 に、Break Field、Control Field 0、および Control Field 1 で構成されたスタートフレームの通常受信例を示します。図 30.106 に、Control Field 1 の場合に Break Field を検出する受信例を示します。図 30.107 にスタートフレームの受信フローチャートを、図 30.108 に状態遷移図を示します。

スタートフレームの受信時、SCI は以下のように動作します。スタートフレームの構成に応じて、Break Field および Control Field 0 の処理を省略します。

1. XCR1.SDST に 1 を書き込むと、スタートフレームの検出が可能になります。XCR0.BFE = 1 の場合、Break Field が検出されるまで、SCI コアへの RXDn 入力が無効になります（XSR0.RXDSF が 1 になっているため）。Break Field が検出されると、SCI コアで RXDn 入力を受信できるようになります (XSR0.RXDSF = 0)。
2. RXDn 端子から Low が入力されると、Break Field 検出カウントが開始します。タイマカウントクロックソースを XCR0.TCSS[1:0] で選択できます。
3. XCR2.BFLW[15:0] に設定されている期間以上の Low が RXDn 端子から入力されると、Break Field として判断されます。このとき、XSR0.BFDF が 1 になります。このときに XCR0.BFDIE が 1 になっている場合、SCIn_BFD 割り込みが生成されます。
   タイマは、RXDn 立ち上がりエッジまたはカウンタオーバーフローまでカウントを継続します。
4. Break Field が検出された後で RXDn 端子からの入力レベルが High になった場合、BMEN = 0 のときには、カウント値が XSR1.TCNT[15:0] にキャプチャされます。このとき、XSR0.RXDSF が 0 にクリアされて、SCI コアが RXDn 入力の受信を開始します。
5. SCI コアが Control Field 0 の受信を開始します。簡易 LIN はエッジインターバルを継続してカウントするため、簡易 LIN は XCR2.BFLW[15:0] に設定されている期間以上の Low を Break Field の検出として判断します。Break Field が Control Field 0 フェーズで検出されると、SCI コアは Control Field 0 を再度受信するまで待機します(図 30.106)。
6. Control Field 0 を受信すると、SCIn_RXI 割り込みが発生して Control Field 0 データが XSR0.CF0RD[7:0] に格納されます。設定されている XCR2.CF0D[7:0] 値と受信データが一致する場合、XSR0.CF0MF が 1 になります。設定されている XCR2.CF0D[7:0] 値と受信データが異なる場合、SCI は Break Field 検出前の状態に遷移します。
7. SCI コアが Control Field 1 の受信を開始します。BFE = 1 の場合は、Control Field 0 の場合と同様に、SDST = 1 の間は Break Field 検出機能が継続して有効になります。Break Field が Control Field 1 フェーズで検出されると、SCI コアは Control Field 0 を再度受信するまで待機します。
8. Control Field 1 を受信すると、SCIn_RXI 割り込みが発生して Control Field 1 データが XSR0.CF1RD[7:0] に格納されます。設定されている XCR1.PCF1D[7:0] 値または設定されている XCR1.SCF1D[7:0] 値と受信データが一致する場合、XSR0.CF1MF が 1 になります。設定されている XCR1.PCF1D[7:0] 値とも設定されている XCR1.SCF1D[7:0] とも受信の Control Field 1 データが一致しない場合、SCI は Break Field 検出前の状態に遷移します。
9. SCI コアがインフォメーションフレームの通信を実行します。

10. 通信が完了すると、XCR1.SDST に 0 を、CCR0.RE に 0 を書き込んで受信を停止します。

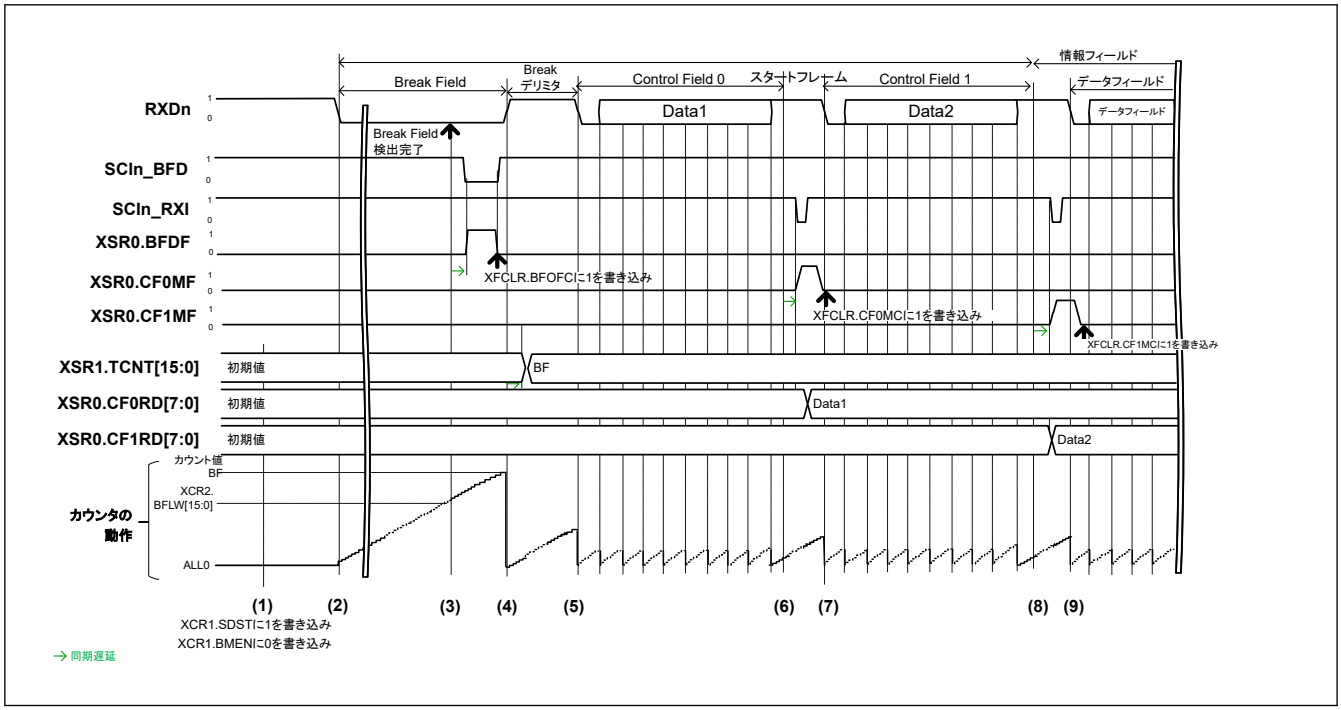


図 30.105　スタートフレームの通常受信例（PIB は未使用）

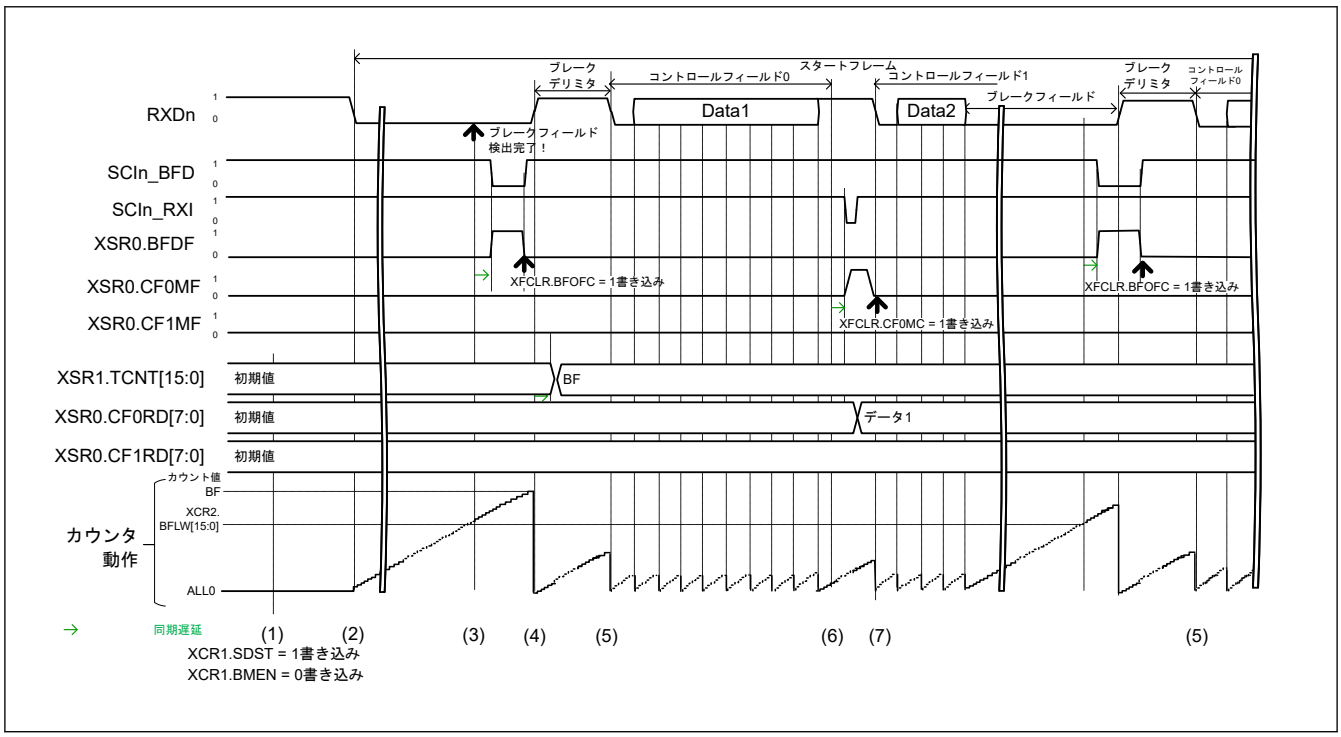


図 30.106　Control Field 1 の場合に Break Field を検出するスタートフレーム受信例（PIB は未使用）

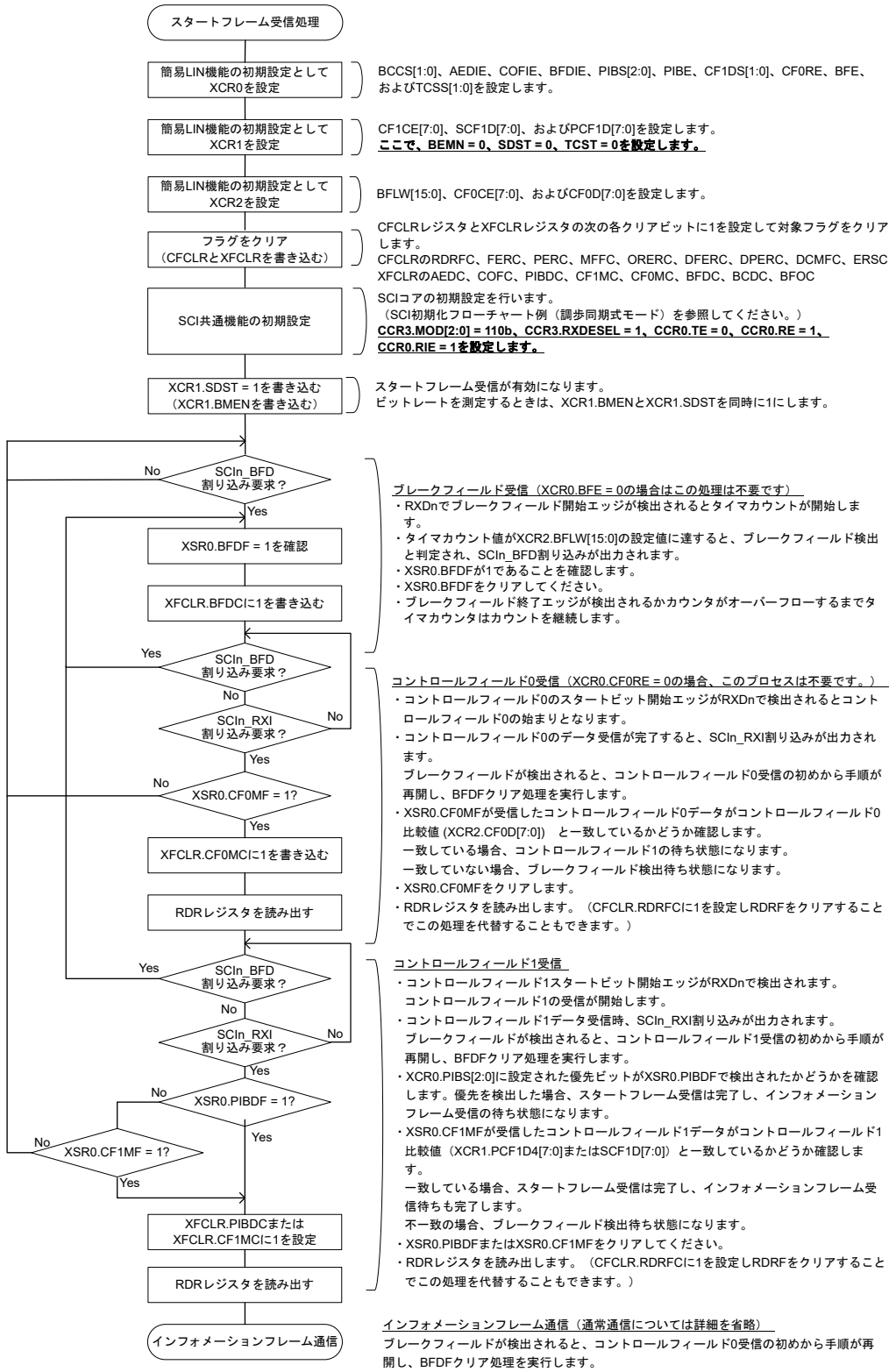


図 30.107　スタートフレーム受信フローチャート例

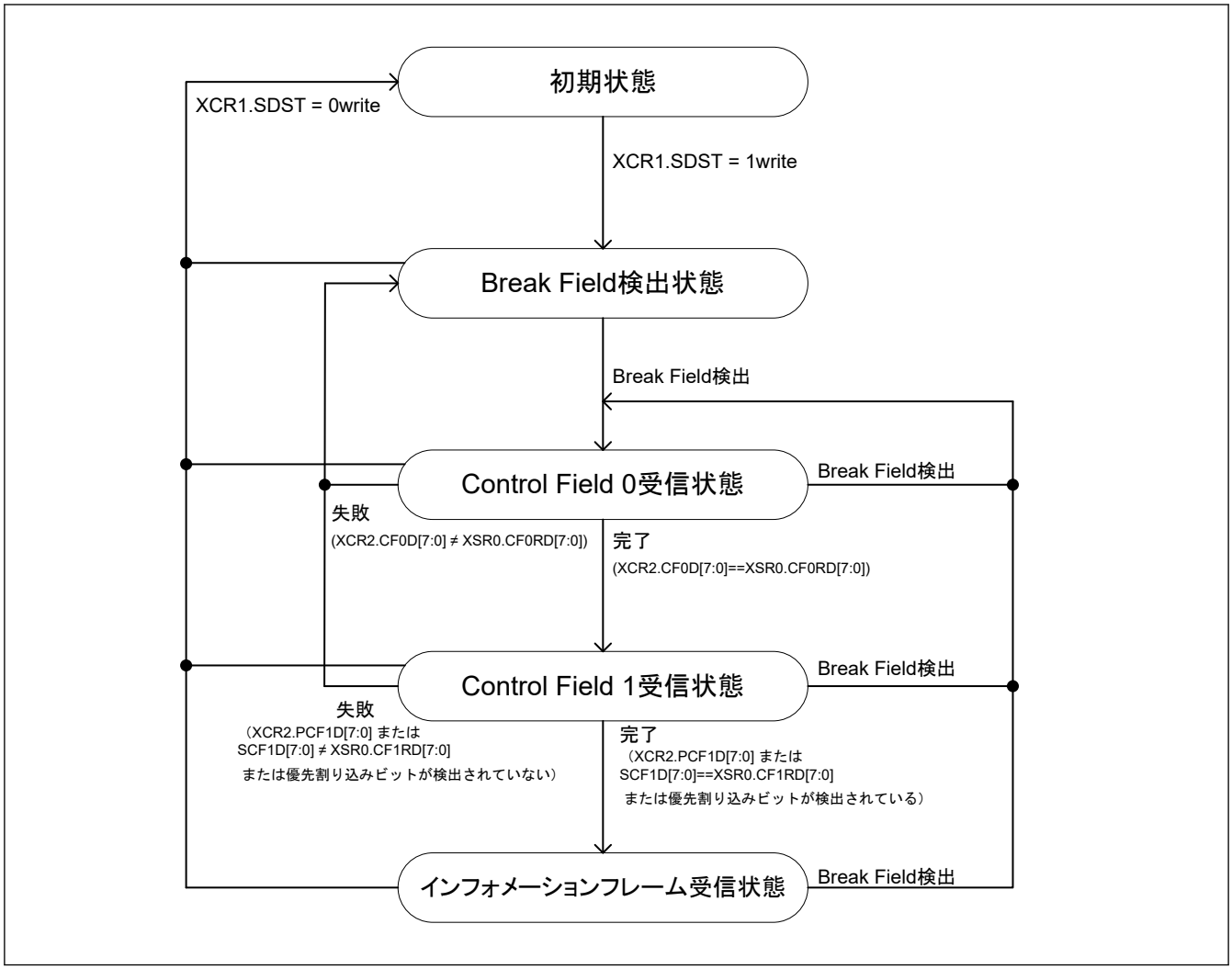


図 30.108　スタートフレーム受信の状態遷移図

(2)　簡易 LIN スタートフレーム受信（優先割り込みビットを使用）

図 30.109 に、優先割り込みビットを使用したスタートフレーム受信例を示します。優先割り込みビットは、XCR0.PIBE を 1 にすると有効になります。

SCI は、優先割り込みビットを使用してスタートフレーム受信時に以下のように動作します。

(1)～(7) は、図 30.105 のスタートフレーム受信例の (1)～(7) と同じです。

(8) XCR0.PIBS[2:0] ビットに指定されている値が、設定されている XCR1.PCF1D[7:0] 値と一致する場合、XSR0.PIBDF は 1 になり、SCI がインフォメーションフレームの通信を実行します。もし設定されている XCR1.PCF1D[7:0] 値とも設定されている XCR1.SCF1D[7:0]値 とも受信の Control Field 1 データが一致せず、かつ優先割り込みビットが検出されない場合、SCI は Break Field 検出前の状態に遷移します。

(9) SCI がインフォメーションフレームの通信を行います。

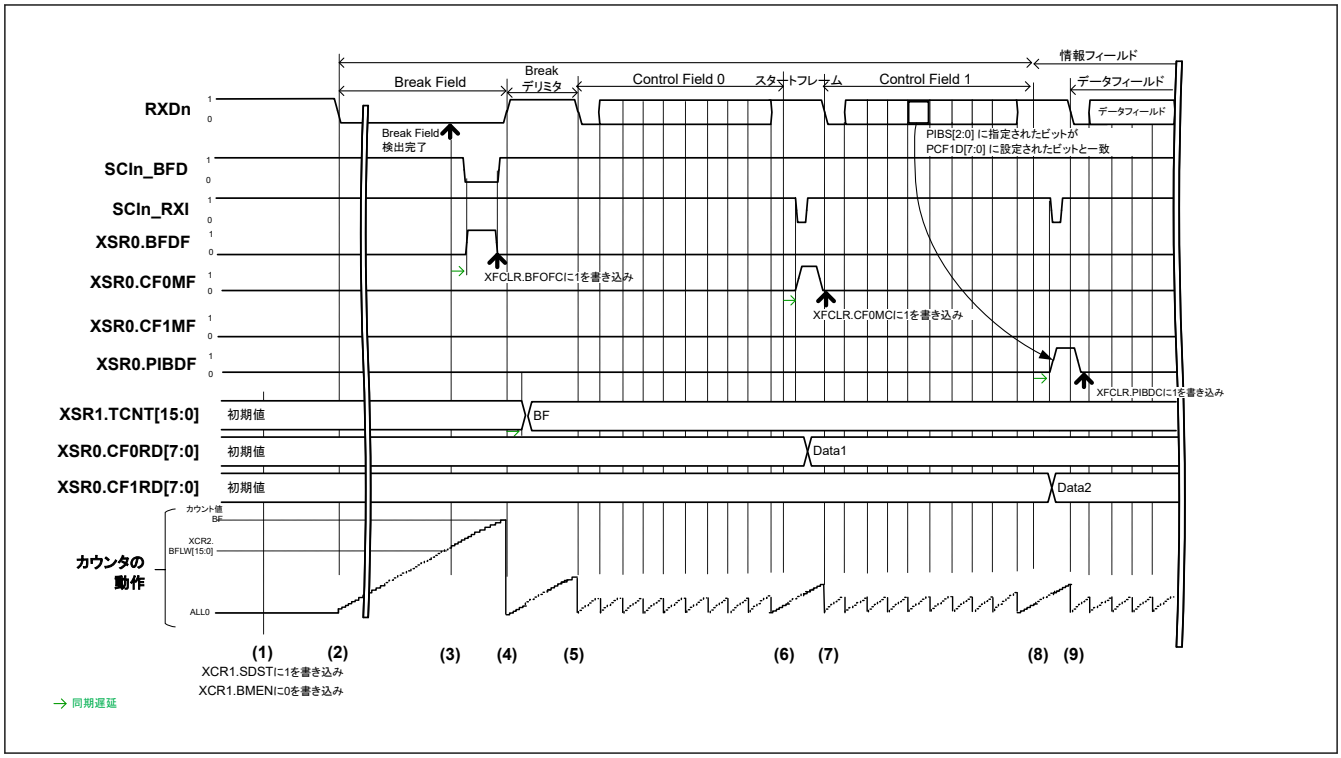


図 30.109　スタートフレーム受信例（優先割り込みビットを使用）

30.11.3　簡易 LIN バス競合検出機能

簡易 LIN モード (CCR3MOD[2:0] = 110) では、TE = 1 の場合、Break Field 出力時およびデータ送信時にバス競合検出機能が動作します。

図 30.110 は、バス競合検出機能の動作例を示しています。TXDn 端子出力および RXDn 端子入力が、XCR0.BCCS[1:0] に設定されたバス競合検出クロックによってサンプリングされます。3 回連続で不一致が発生すると、XSR0.BCDF が 1 になり、このとき XCR0.BCDIE が 1 になっていると、SCIn_ERI 割り込みが発生します。

SCIn_ERI 割り込みが発生すると、図 30.111 に従って送信を停止します。バス状態を確認して、送信を再開するかどうかを判断してください。

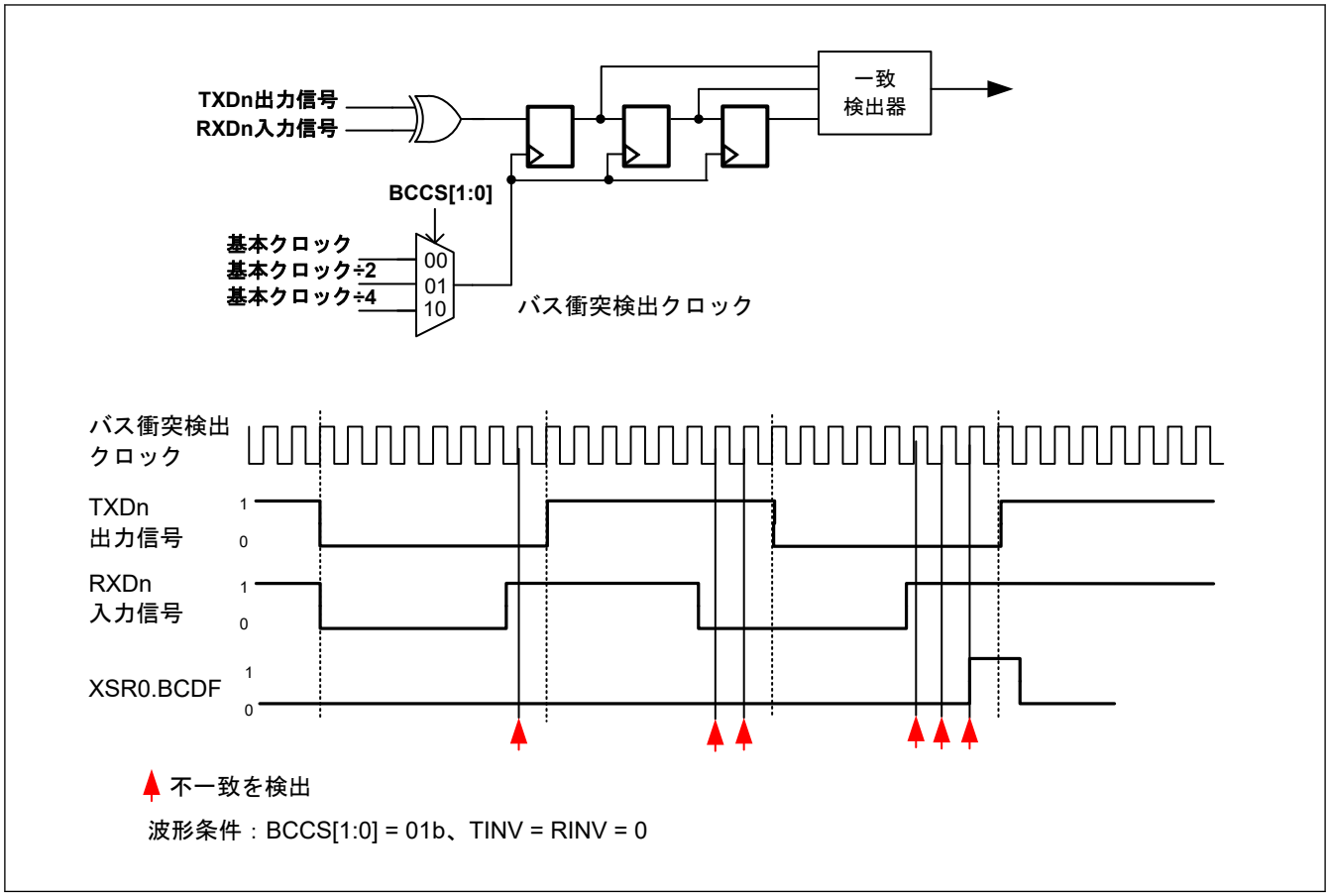


図 30.110　バス競合検出機能の動作例

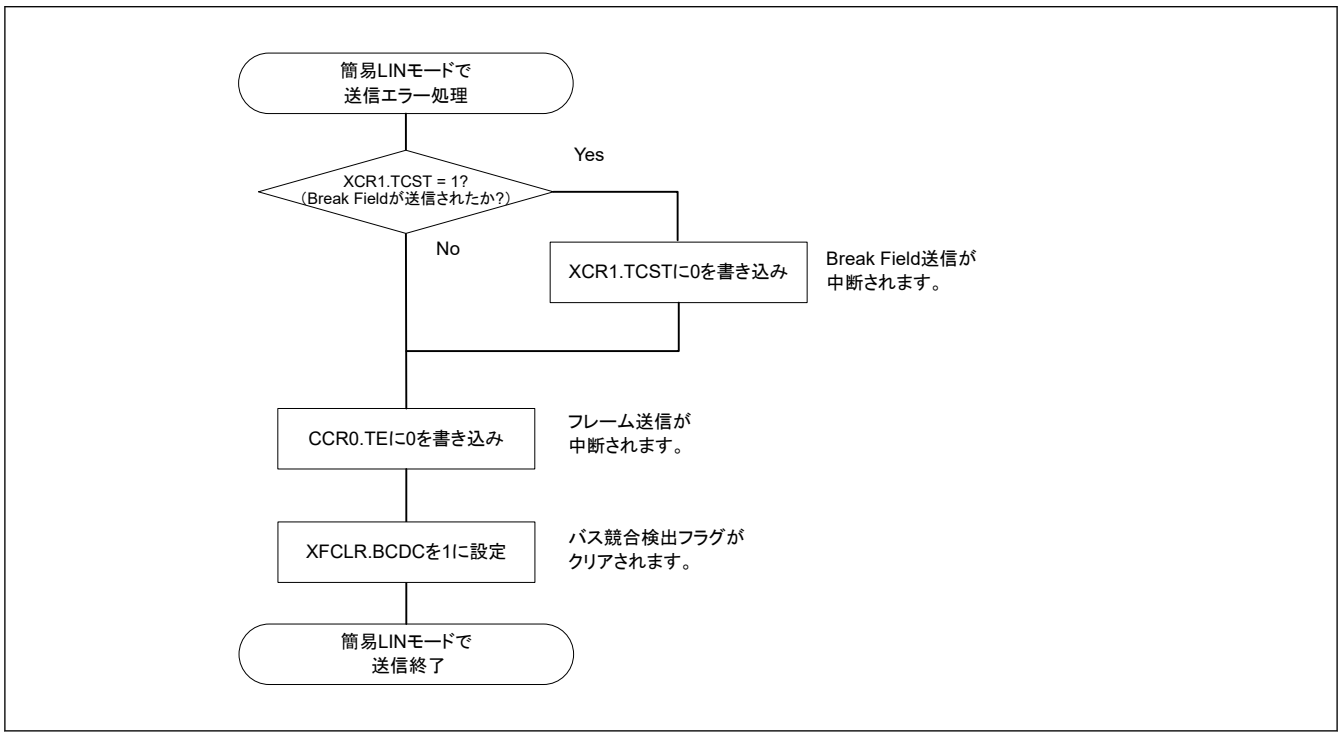


図 30.111　簡易 LIN モードでの送信時の SCIn_ERI 割り込み処理フロー

30.11.4　簡易 LIN ビットレート測定機能

この機能は、RXDn 端子からの入力信号の有効エッジ間のビットレートを測定します。図 30.112 は、ビットレート測定機能の動作例を示しています。

1. XCR1.SDST および XCR1.BMEN に 1 を書き込むと、ビットレート測定が有効になります。このビットを 1 にすると、Control Field 0 データと Control Field 1 データの有効エッジインターバルが測定されます。ただし、Break Field と Break デリミタの間のビットレートは測定されません。ビットレートを測定する場合だけ、XCR1.BMEN と XCR1.SDST を同時に 1 にします。
2. ビットレートは Break Field では測定されないため、Break Field 終了時の立ち上がりエッジでは有効エッジ検出フラグは 1 にならず、カウンタキャプチャ値は XSR1.TCNT[15:0] に格納されません。
3. カウンタが Control Field 0 のスタートビットの立ち下がりエッジからカウントを開始します。Break デリミタのカウント値は XSR1.TCNT[15:0] にキャプチャされません。
4. スタートビットの立ち上がりエッジが有効エッジとして検出され、その後、XSR0.AEDF フラグが 1 になります。このときに XCR0.AEDIE が 1 になっている場合、SCIn_AED 割り込みが出力されます。スタートビットカウント値が XSR1.TCNT[15:0] に格納されます。XSR1.TCNT[15:0] 値は、有効なキャプチャ値が読み出されるまで保持されます。
5. 有効エッジが RXDn 入力端子から入力された場合でも、XRS1.TCNT[15:0] 値は読み出されておらず、保持は解除されていないため、この有効エッジタイミングのカウント値はキャプチャされません。この場合、SCIn_AED 割り込みは出力されません。
6. XSR1.TCNT[15:0] 値が読み出されます。次に、XSR1.TCNT[15:0] の保持が解除されて、ハードウェアによって XSR0.AEDF フラグがクリアされます。
7. XSR1.TCNT[15:0] の保持が解除されたため、有効エッジでカウント値がキャプチャされて保持されます。それと同時に、XSR0.AEDF フラグが 1 になります。XCR0.AEDIE が 1 になっている場合は、SCIn_AED 割り込みが出力されます。ソフトウェアによって有効エッジ間のカウント値からビットレートを計算し、SCI 設定を変更することにより、ビットレートを調整できます。
8. ビットレート測定を無効にするには、XCR1.BMEN に 0 を書き込みます。
9. ビットレート測定機能が無効になったため、有効エッジタイミングでの XSR0.AEDF 値および XSR1.TCNT[15:0] 値は変化しません。

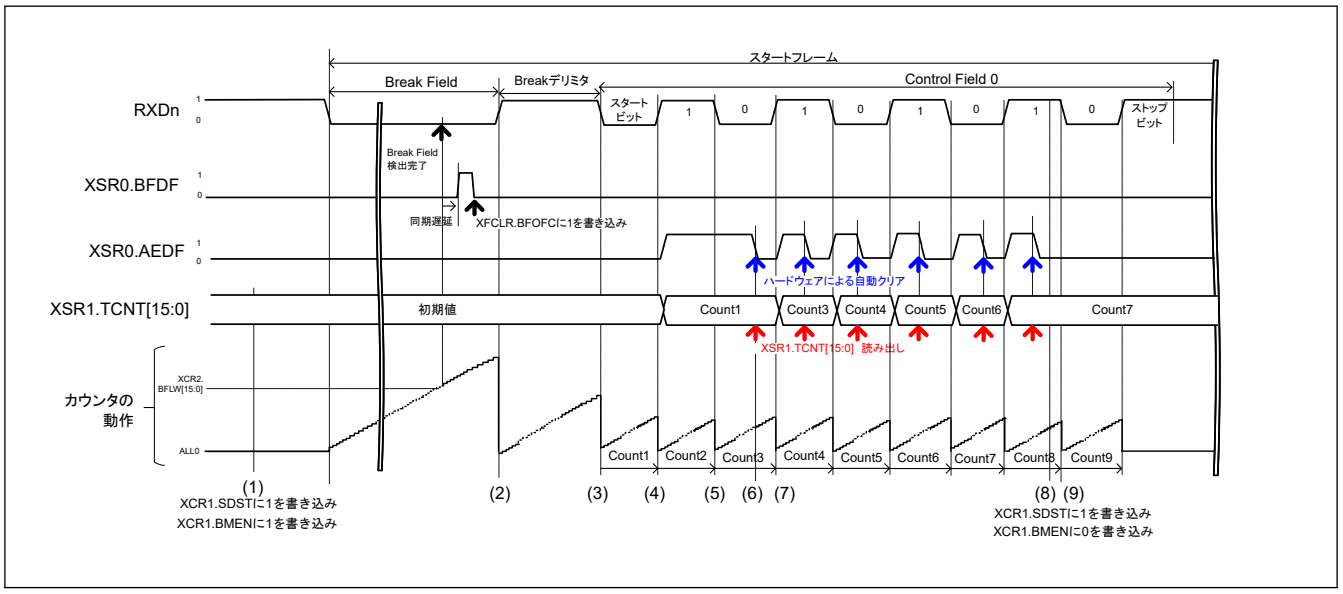


図 30.112 ビットレート測定機能の動作例

30.12 割り込み要因

30.12.1 SCIn_TXI および SCIn_RXI 割り込みのバッファ動作

ICU の割り込みステータスフラグが 1 のときは、SCIn_TXI 割り込みと SCIn_RXI 割り込みの発生条件が成立していても、ICU は割り込み要求を出力せず、内部で保存します（内部で保存できる容量は、1 要因ごとに 1 要求までです）。

30.12.2 調歩同期式モード、マンチェスタモード、クロック同期式モード、および簡易 SPI モードにおける割り込み

(1) 非 FIFO 選択時

表 30.43 に調歩同期式モード、マンチェスタモード、クロック同期式モードおよび簡易 SPI モードにおける割り込み要因を示します。

各割り込み要因には、異なる割り込みベクタの割り当てが可能です。CCR0 レジスタの許可ビットによって、割り込み要因を個別に許可または禁止することができます。

CCR0.TIE ビットが 1 のとき、送信データが TDR レジスタから TSR レジスタへ転送されると、SCIn_TXI 割り込み要求が発生します。また、SCIn_TXI 割り込み要求は、CCR0.TE ビットと CCR0.TIE ビットを 1 命令で同時に 1 にすることでも発生します。SCIn_TXI 割り込み要求を用いて DTC または DMAC を起動し、データ転送を行うことができます。

SCIn_TXI 割り込み要求は、CCR0.TIE ビットが 0 の状態で CCR0.TE ビットを 1 にした場合、または CCR0.TE ビットが 1 の状態で CCR0.TIE ビットを 1 にした場合には発生しません。(注1)

CCR0.TEIE ビットが 1 のとき、送信データの最終ビットを送信するタイミングまでに次のデータが書き込まれていないと、CSR.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。また、CCR0.TE ビットを 1 にしてから TDR レジスタに送信データを書き込むまでの間は、CSR.TEND フラグは 1 を保持しており、CCR0.TEIE ビットを 1 にすると SCIn_TEI 割り込み要求が発生します。

TDR レジスタにデータを書き込むと、CSR.TEND フラグがクリアされて SCIn_TEI 割り込み要求は取り消されますが、取り消されるまである程度時間がかかります。

CCR0.RIE ビットが 1 のとき、受信データが RDR レジスタに格納されると、SCIn_RXI 割り込み要求が発生します。SCIn_RXI 割り込み要求を用いて DTC または DMAC を起動し、データ転送を行うことができます。

CCR0.RIE ビットが 1 のとき、CSR レジスタの ORER、FER、PER、または MSR レジスタの MER(注2)、SYER(注2)、PFER(注2)、SBER(注2)のいずれかのフラグが 1 になると、SCIn_ERI 割り込み要求が発生します。

このとき、SCIn_RXI 割り込み要求は発生しません。これらすべてのフラグ（ORER、FER、PER、MER(注2)、SYER(注2)、PFER(注2)、SBER(注2)）のすべてをクリアすることによって、SCIn_ERI 割り込み要求を取り消すことができます。

注 1. 最終データの送信時に SCIn_TXI 割り込みを一時的に禁止して、送信終了割り込みによる処理を行った後、新たにデータ送信を開始したい場合は、CCR0.TIE ビットではなく、ICU の割り込み要求許可ビットを用いて、割り込みの発行を制御してください。この方法によって、新しいデータの送信時に、SCIn_TXI 割り込み要求の発生が抑止されるのを防ぐことができます。

注 2. MER、SYER、PFER、および SBER は、マンチェスタモードにおいてのみ SCIn_ERI 割り込み要因になります。SYER、PFER、および SBER はまた、その許可ビット（MECR の SYEREN、PFEREN、SBEREN）が 1 の場合のみ機能します。

(2) FIFO 選択時

表 30.44 に、FIFO モード選択時の割り込み要因を示します。

CCR0.TIE ビットが 1 のとき、送信 FIFO (TDR) レジスタに格納されたデータ量が FCR.TTRG で示されたしきい値以下になると、SCIn_TXI 割り込み要求が発生します。また、SCIn_TXI 割り込み要求は、CCR0.TIE ビットと CCR0.TE ビットを 1 命令で同時に 1 にする、または CCR0.TE が 1 のときに CCR0.TIE を 1 にすることでも発生します。

SCIn_TXI 割り込み要求は、CCR0.TIE ビットが 0 の状態で CCR0.TE ビットを 1 にした場合、または CCR0.TE ビットが 1 の状態で CCR0.TIE ビットを 1 にした場合には発生しません。

CCR0.TEIE ビットが 1 のとき、送信データの最終ビットを送信するタイミングまでに次のデータが送信 FIFO (TDR) レジスタに書き込まれていないと、CSR.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。

CCR0.RIE ビットが 1 のとき、送信 FIFO (TDR) レジスタに格納されたデータ数が FCR.RTRG で指示されたしきい値以上になると、SCIn_RXI 割り込み要求が発生します。RTRG が 0 の場合は、受信 FIFO 内のデータ数が 0 であっても、SCIn_RXI 割り込み要求は発生しません。

CCR0.RIE ビットが 1 のとき、CSR.ORER フラグが 1 になるか、あるいは、フレーミングエラーまたはパリティエラーのあるデータが送信 FIFO (TDR) レジスタに格納されると、SCIn_ERI 割り込み要求が発生します。送信 FIFO (TDR) レジスタに格納されたデータ数がしきい値以上であると、同時に SCIn_RXI 割り込み要求も発生しま

す。CSR の ORER、FER、PER フラグをすべてクリアすることで、SCIn_ERI 割り込み要求を取り消すことができます。

表 30.43 SCI の割り込み要因（非 FIFO 選択時）

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC または DMAC の起動
SCIn_ERI (n = 0～4, 9)	受信エラー	CSR.ORER、CSR.FER、CSR.PER、CSR.DFER、CSR.DPER、(MSR.MER、MSR.SYER、MSR.PFER、MSR.SBER) (注1)	CCR0.RIE	不可
SCIn_RXI (n = 0～4, 9)	受信データフル	CSR.RDRF	CCR0.RIE	可能
	アドレス一致	CSR.DCMF	CCR0.RIE	可能
SCIn_TXI (n = 0～4, 9)	送信データエンプティ	CSR.TDRE	CCR0.TIE	可能
	TE の「0->1」の変更を検出			
SCIn_TEI (n = 0～4, 9)	送信終了	CSR.TEND	CCR0.TEIE	不可

注. マンチェスタモードに対応するのは SCI0 のみです。
注 1. MER、SYER、PFER、および SBER は、マンチェスタモードにおいてのみ SCIn_ERI 割り込み要因になります。SYER、PFER、および SBER はまた、その許可ビット（MCR の SYEREN, PFEREN, SBEREN）が 1 の場合のみ機能します。

表 30.44 SCI の割り込み要因（FIFO 選択時）

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC または DMAC の起動
SCIn_ERI (n = 0～4, 9)	受信エラー	CSR.ORER、CSR.FER、CSR.PER、CSR.DFER、CSR.DPER	CCR0.RIE	不可
		FRSR.DR（FCR.DRES = 1 の場合）	CCR0.RIE	不可
SCIn_RXI (n = 0～4, 9)	受信データフル	CSR.RDRF	CCR0.RIE	可能
	受信データレディ	FRSR.DR（FCR.DRES = 0 の場合）	CCR0.RIE	可能
	アドレス一致	CSR.DCMF	CCR0.RIE	可能
SCIn_TXI (n = 0～4, 9)	送信データエンプティ	CSR.TDRE	CCR0.TIE	可能
	TE の「0->1」の変更を検出			
SCIn_TEI (n = 0～4, 9)	送信終了	CSR.TEND	CCR0.TEIE	不可

注. マンチェスタモードに対応するのは SCI0 のみです。

30.12.3 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 30.45 の割り込み要因があります。このモードでは、送信終了割り込み (SCIn_TEI) 要求とアドレス一致 (SCIn_AM) 要求は使用できません。

表 30.45 スマートカードインタフェースモードにおける SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC または DMAC の起動
SCIn_ERI（n = 0～4、9）	受信エラー、エラーシグナル検出	CSR.ORER、CSR.PER、CSR.ERS	CCR0.RIE	不可
SCIn_RXI（n = 0～4, 9）	受信データフル	CSR.RDRF	CCR0.RIE	可能
SCIn_TXI（n = 0～4、9）	送信データエンプティ	CSR.TEND	CCR0.TIE	可能
	TE = 0→1 設定時			

スマートカードインタフェースモードの場合も、通常の SCI モードと同様に、DTC または DMAC を使用した送受信が可能です。送信時に CCR0.TEND フラグが 1 であれば、SCIn_TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因として SCIn_TXI 割り込み要求を設定しておけば、SCIn_TXI 割り込み要求によっ

て DTC または DMAC が起動され、送信データの転送が可能になります。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に 0 になります。

エラーが発生した場合は、SCI が自動的に同じデータを再送信します。再送信中は、TEND フラグが 0 のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生後の再送信を含め、SCI と DTC または DMAC が、指定されたバイト数を自動的に送信します。ただし、エラー発生時に CSR.ERS フラグは自動的に 0 になりません。そのため、あらかじめ CCR0.RIE ビットを 1 にしておき、エラー発生時に SCIn_ERI 割り込み要求を発生させることで、ERS フラグをクリアしてください。

なお、DTC または DMAC を使用して送受信を行う場合は、必ず DTC または DMAC を有効にしてから SCI の設定を行ってください。DTC または DMAC の設定方法については、「17. データトランスファコントローラ (DTC)」、「16. DMA コントローラ (DMAC)」を参照してください。

受信動作では、受信データが RDR レジスタに格納されると、SCIn_RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DTC または DMAC が起動され、受信データの転送が可能になります。エラーが発生した場合は、エラーフラグがセットされます。そのため、DTC または DMAC は起動せず、代わりに CPU に対して SCIn_ERI 割り込み要求が発行されます。エラーフラグをクリアしてください。

30.12.4　簡易 IIC モードにおける割り込み

表 30.46 に、簡易 IIC モードにおける割り込み要因を示します。STI 割り込みは、送信終了割り込み (SCIn_TEI) 要求に割り当てられます。受信エラー割り込み (SCIn_ERI) 要求とアドレス一致 (SCIn_AM) 要求は使用できません。

簡易 IIC モードにおいても、DTC または DMAC を使用した送受信が可能です。

ICR.IICINTM ビットが 1 のとき

- SCLn 信号の 8 ビット目の立ち下がりエッジで、SCIn_RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DTC または DMAC が起動され、受信データの転送が可能になります。
- また、SCLn 信号の 9 ビット目（アクノリッジビット）の立ち下がりエッジで、SCIn_TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因として SCIn_TXI 割り込み要求を設定しておけば、SCIn_TXI 割り込み要求によって DTC または DMAC が起動され、送信データの転送が可能になります。

ICR.IICINTM ビットが 0 のとき

- SCLn 信号の 9 ビット目（アクノリッジビット）の立ち上がりエッジで、SDAn 端子入力が Low であると、SCIn_RXI 割り込み要求（ACK 検出）が発生します。
- SCLn 信号の 9 ビット目（アクノリッジビット）の立ち上がりエッジで、SDAn 端子入力が High であると、SCIn_TXI 割り込み要求（NACK 検出）が発生します。
- あらかじめ DTC または DMAC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DTC または DMAC が起動され、受信データの転送が可能になります。

なお、DTC または DMAC を使用して送受信を行う場合は、必ず DTC または DMAC を有効にしてから SCI の設定を行ってください。

ICR レジスタの IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いてスタートコンディション、リスタートコンディション、またはストップコンディションを生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 30.46　簡易 IIC モードにおける SCI の割り込み要因 (1/2)

名称	割り込み要因		割り込みフラグ	割り込み許可	DTC または DMAC の起動
	ICR.IICINTM = 1	ICR.IICINTM = 0			
SCIn_RXI (n = 0 ～4, 9)	受信終了	—	—	CCR0.RIE	可能(注1)
	—	ACK 検出	—		可能
SCIn_TXI (n = 0 ～4, 9)	送信終了		—	CCR0.TIE	可能(注1)
	—	NACK 検出	—		可能

表 30.46　簡易 IIC モードにおける SCI の割り込み要因 (2/2)

名称	割り込み要因		割り込みフラグ	割り込み許可	DTC または DMAC の起動
	ICR.IICINTM = 1	ICR.IICINTM = 0			
SCIn_TEI (STIn) (n = 0～4, 9)	開始条件、再開始条件、または停止条件の生成完了		ICR.IICSTIF	CCR0.TEIE	不可

注 1.　DMAC または DTC を使用すると、ACK または NACK を確認することはできません。

30.12.5　簡易 LIN モードにおける割り込み

表 30.47 に、簡易 LIN モードにおける割り込み要因を示します。

表 30.47　簡易 LIN モードにおける SCI の割り込み要因

名称	割り込み要因	割り込みフラグ	確認が必要なフラグ	割り込み許可	DTC/DMAC の起動
SCIn_ERI (n = 0, 1)	受信エラー	CSR.ORER、CSR.FER、CSR.PER	—	CCR0.RIE	不可能
		XSR0.BCDF		XCR0.BCDIE	
		XSR0.COF		CCR0.RIE、XCR0.COFIE	
SCIn_RXI (n = 0, 1)	受信データフルフラグ	CSR.RDRF	XSR0.CF0MF XSR0.CF1MF XSR0.PIBDF	CCR0.RIE	XSR0.SFSF = 0：可能 XSR0.SFSF = 1：不可能
SCIn_AED (n = 0, 1)	アクティブエッジ検出	XSR0.AEDF	—	XCR0.AEDIE	可能
SCIn_TXI (n = 0, 1)	送信データエンプティ割り込み	CSR.TDRE	—	CCR0.TIE	可能
	TE = 0→1 設定時				
	Break Field 出力完了	XSR0.BFOF		CCR0.TIE、XCR0.BFOIE	
SCIn_TEI (n = 0, 1)	送信終了	CSR.TEND	—	CCR0.TEIE	不可能
SCIn_BFD (n = 0, 1)	Break Field 検出	XSR0.BFDF	—	XCR0.BFDIE	不可能（不要）

簡易 LIN モードでは、送信中にバス競合が検出された場合や簡易 LIN モジュールのカウンタオーバーフローが発生した場合、受信エラー (ORER, FER, PER) に加えて SCIn_ERI 割り込み要求が出力されます。このとき、SCIn_RXI 割り込み要求は出力されません。すべてのフラグをクリアすると、SCIn_ERI 割り込み要求を解除できます。

スタートフレームを送信するときに CCR0.TIE = 1 かつ XCR0.BFOIE = 1 の場合は、Break Field の送信が完了すると、SCIn_TXI 割り込み要求が出力されます。Control Field 0 データが TDR レジスタに書き込まれると、データ送信が開始されます。そのため、DTC または DMAC を使用した送信が可能です。

最後の送信データが TDR レジスタに書き込まれた後で、CCR0.TEIE = 1 を設定すると、送信が開始されます。

スタートフレーム受信 (XSR0.SFSF = 1) 中は、SCIn_RXI 割り込みによる DTC または DMAC を使用した受信は不可能です。CSR レジスタおよび XSR0 レジスタを確認し、受信状態を確認（図 30.83 を参照）してから、フラグをクリアしてください。また、RDR レジスタの読み出しを行います（受信データの値を確認する必要がない場合は、RDR レジスタの読み出しを行わずに RDRF フラグをクリアしてください）。Control Field 1 の受信が完了すると (XSR0.CF1MF = 1)、スタートフレーム検出が無効になり (XSR0.SFSF = 0)、DTC または DMAC を使用した受信が可能になります。必ず RDR レジスタの読み出しを行ってください。

スタートフレーム／Break Field 検出が有効な場合 (XCR1.SDST = 1)、XCR2.BFLW [15:0] に設定されている期間よりも長い Break Field を受信すると、BFDF フラグが設定されて SCIn_BFD 割り込み要求が出力されます。その後、SCI がスタートフレーム受信状態になります。BFDF フラグをクリアします。

スタートフレーム／Break Field 検出が有効であり (XCR1.SDST = 1)、ビットレート測定機能が有効な場合 (XCR1.BMEN = 1)、アクティブエッジが検出されると、SCIn_AED 割り込み要因が出力されます。タイマカウントキャプチャ値 (XSR1.TCNT [15:0]) の読み出しを行います。

30.13 イベントリンク機能

SCIn は、各割り込み要因をイベントとしてイベントリンクコントローラ (ELC) へ出力し、あらかじめ設定しておいたモジュールを動作させることが可能です。

イベントは、対応する割り込みの割り込み要求許可ビットの設定に関係なく出力させることが可能です。

(1) エラーイベント出力（受信エラーまたはエラーシグナル検出時） (SCIn_ERI, n = 0〜4, 9)

- 調歩同期式モードで、受信中にパリティエラーが発生して異常終了したことを示します。
- 調歩同期式モードで、受信中にフレーミングエラーが発生して異常終了したことを示します。
- 受信中にオーバーランエラーが発生して異常終了したことを示します。
- 受信時にマンチェスタエラーが発生して異常終了したことを示します。（マンチェスタモードのみ）
- 受信時にプレフィスエラーが発生して異常終了したことを示します。（マンチェスタモードで MCR.PFEREN = 1 の場合のみ）
- 受信時にスタートビットエラーが発生して異常終了したことを示します。（マンチェスタモードで MCR.SBEREN = 1 の場合のみ）
- 受信時に受信 SYNC エラーが発生して異常終了したことを示します。（マンチェスタモードで MCR.SYEREN = 1 の場合のみ）
- スマートカードインタフェースモードで、送信時にエラー信号が検出されたことを示します。
- FIFO 選択時かつ FCR.DRES ビットが 1 の場合、CSR レジスタの FER フラグと PER フラグが 0 であり、受信 FIFO データトリガ数より少ない受信データが受信 FIFO バッファに格納され、15 ETU 経過したことを示します。
- 簡易 LIN モードで、簡易 LIN モジュールの 16 ビットカウンタがオーバーフローしたことを示します。
- 簡易 LIN モードで、送信時にバス衝突が検出されたことを示します。 (CCR0.TE = 1)

(2) 受信データフルイベント出力 (SCIn_RXI, n = 0〜4, 9)

- 簡易 IIC モードで、ICR.IICINTM ビットが 0 のとき、ACK が検出されたことを示します。
- 簡易 IIC モードで、ICR.IICINTM ビットが 1 のとき、SCLn 信号の 8 ビット目の立ち下がりエッジが検出されたことを示します。
- 簡易 IIC モードでのマスタ送信時に、ICR.IICINTM ビットが 1 のときは、受信データフルイベントを使用しないようにイベントリンクコントローラ (ELC) を設定してください。

非 FIFO 選択時

- 受信データが受信データレジスタ (RDR) に格納されたことを示します。

FIFO 選択時

- このイベント出力は使用しないでください。

(3) 送信データエンプティイベント出力 (SCIn_TXI, n = 0〜4, 9)

- CCR0.TE ビットが 0 から 1 に変化したことを示します。
- スマートカードインタフェースモードで、送信が完了したことを示します。
- 簡易 IIC モードで、ICR.IICINTM ビットが 0 のとき、NACK が検出されたことを示します。
- 簡易 IIC モードで、ICR.IICINTM ビットが 1 のとき、SCLn 信号の 9 ビット目の立ち下がりエッジが検出されたことを示します。
- 簡易 LIN モードで、ブレークフィールド出力が完了したことを示します。

非 FIFO 選択時

- 送信データが送信データレジスタ (TDR) から送信シフトレジスタ (TSR) へ転送されたことを示します。

FIFO 選択時

- このイベント出力は使用しないでください。

(4) 送信終了イベント出力 (SCIn_TEI, n = 0〜4, 9)

- 送信が完了したことを示します。
- 簡易 IIC モードで、開始条件、再開始条件、停止条件の生成が完了したことを示します。
- スマートカードモードにおいて、送信終了イベントは出力されません。

注. FIFO が選択されている場合、このイベント出力は使用しないでください。

(5) アドレス一致イベント出力 (SCIn_AM, n = 0〜4, 9)

- 調歩同期式モード（マルチプロセッサモードを含む）において、CCR0.DCME ビットが 1 の場合、比較データ (CCR4.CMPD) と受信データの 1 フレームが一致したことを示します。

(6) アクティブエッジ検出イベント出力 (SCIn_AED, n= 0, 1)

- 簡易 LIN モードで、CCR1.BMEN ビットが 1 のとき、RXD 入力信号の有効エッジが検出されたことを示します。

30.14 ノイズ除去機能

図 30.113 に、ノイズ除去機能に用いるノイズフィルタの構成を示します。ノイズフィルタは 2 段のフリップフロップ回路と一致検出回路で構成されます。ノイズフィルタの入力信号と、2 段のフリップフロップ回路の出力信号が完全に一致したとき、一致したレベルが内部信号として伝えられます。一致しない場合は前の値が保持されます。ノイズフィルタのサンプリングクロックで、同じレベルが 3 サイクル以上保持された場合、有効な受信信号とみなされます。3 サイクルに達する前にパルスが変化した場合、それは受信信号ではなく、ノイズとみなされます。（CCR1.NFM = 0 の場合）

調歩同期式モードで CCR2.ABCSE2 = 1 の場合は、1 ビットに基本クロックが 4 つしかないため上記のノイズ除去機能は使用できません。したがって、この場合は、ノイズ除去モードを設定し、3 つのサンプリング値の多数決により、多いほうの値を内部的に送信します（3 連続一致方式は使用しません）。(CCR1.NFM = 1)

調歩同期式モード、マンチェスタモード、および簡易 LIN モードでは、RXDn 端子に入力される受信信号にノイズ除去機能を使用できます。ノイズフィルタのサンプリング周期は、CCR1.NFCS[2:0]ビットにより、基本クロックの周期およびボーレートジェネレータのクロックソースの分周クロックから選択可能です。

- CCR1.NFCS[2:0] = 000b、CCR2.ABCS = 0、かつ CCR2.ABCSE = 0 の場合、周期は 1 ビット期間の 1/16 となります。
- CCR1.NFCS[2:0] = 000b、CCR2.ABCS = 1、かつ CCR2.ABCSE = 0 の場合、周期は 1 ビット期間の 1/8 となります。
- CCR1.NFCS[2:0] = 000b、CCR2.ABCSE = 1 の場合、周期は 1 ビット期間の 1/6 となります。
- CCR1.NFCS[2:0] = 000b、CCR2.ABCSE2 = 1 の場合、周期は 1 ビット転送期間の 1/4 となります。
- ABCSE = 1 または ABCSE2 = 1 の場合、CCR1.NFCS の値については、“000b”または“001b”を選択します。最低限、ノイズフィルタのサンプリング期間は、CCR2.BRR の設定値による基本クロック以下にしてください。

簡易 IIC モードでは、SDAn 端子と SCLn 端子の各入力信号に、この機能を使用できます。サンプリングクロックは、ボーレートジェネレータの分周クロックの設定から CCR1.NFCS[2:0]で選択されます。

ノイズフィルタが有効な状態で基本クロックをいったん停止させ、その後、基本クロック入力を再開させた場合、ノイズフィルタは、クロック停止時の状態から動作を再開します。基本クロックの入力中に CCR0.TE ビットと CCR0.RE ビットを 0 にすると、ノイズフィルタのフリップフロップ値はすべて 1 に初期化されます。したがって、受信再開時の入力データが 1 の場合は、レベル一致が検出されたと判断され、その結果が内部信号として伝えられます。入力データが 0 の場合、サンプリングした 3 つの端子レベルが 3 つとも一致する（CCR1.NFM = 0）か、2 つ以上一致する（CCR1.NFM = 1）までノイズフィルタ出力は初期値を保持します。

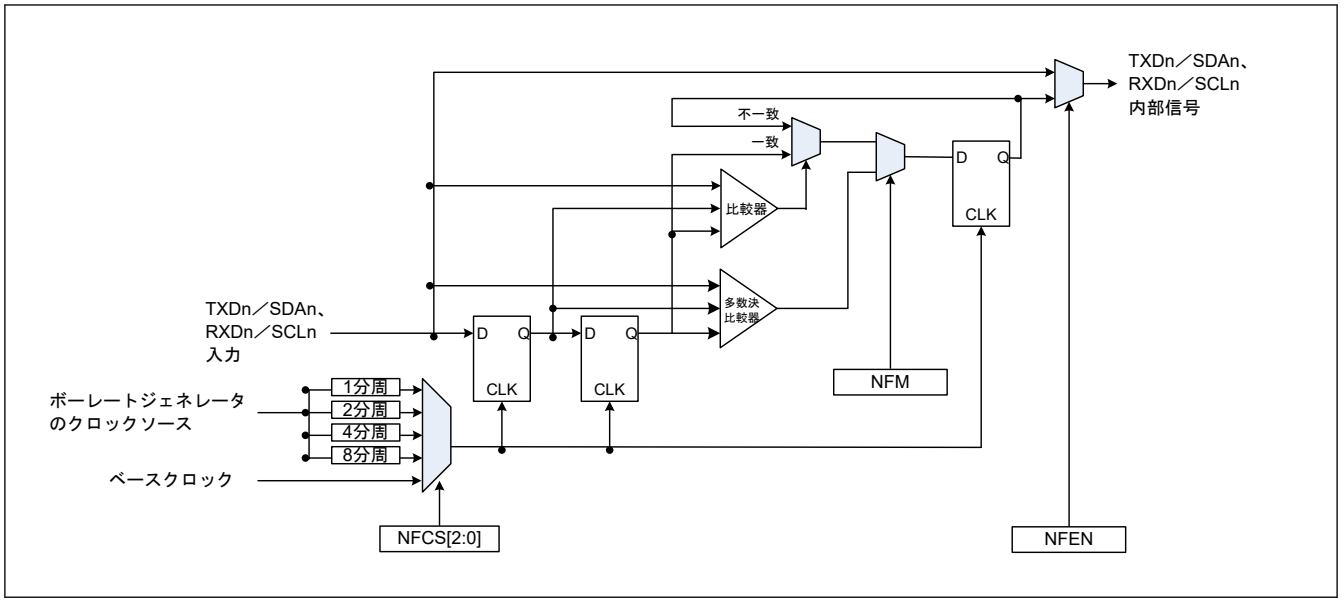


図 30.113　デジタルノイズフィルタ回路のブロック図

30.15　RS-485 ドライバコントロール機能

SCI 共通コントロールレジスタ 3 (CCR3) の DEN ビットを 1 にすると、RS-485 ドライバコントロール機能が有効になり、外部トランシーバ送信モードを有効にする DEn（ドライバイネーブル）信号が生成されます。DEn 信号は、データ送信の前と後にドライバアサート時間とドライバネゲート時間を追加した期間において、有効なレベルを出力します。DEn 信号の有効なレベルは、ドライバコントロールレジスタ (DCR) の DEPOL ビットで設定されます。

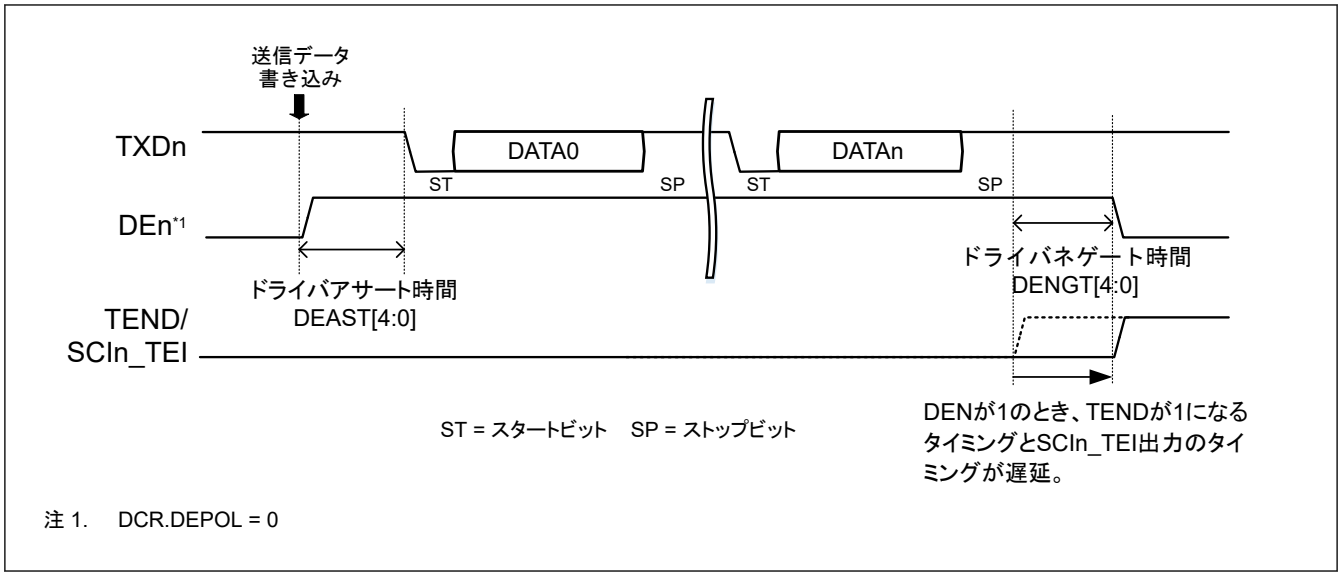
ドライバアサート時間は、DEn 信号が有効になってからスタートビットが開始されるまでの時間です。ドライバコントロールレジスタ (DCR) の DEAST [4:0] で設定されます。

ドライバネゲート時間は、送信メッセージの最後のストップビットの終了から DEn 信号が無効になるまでの時間です。ドライバコントロールレジスタ (DCR) の DENGT [4:0] で設定されます。

DEAST および DENGT は基本クロック期間で表されます（1/4 ビット期間、1/6 ビット期間、1/8 ビット期間、または 1/16 ビット期間。詳細は、表 30.6 を参照してください）。詳細は、「30.2.13. DCR : ドライバコントロールレジスタ」を参照してください。

この機能を使用する場合 (CCR3.DEN = 1)、CSR.TEND が 1 になるタイミングと SCIn_TEI 割り込み出力のタイミングは、ドライバネゲート時間の終了時になります。

送信が完了し、DEn 信号のネゲート前に次の送信データが書き込まれない場合は、いったん DEn 信号はネゲートされます。次の送信データを書き込むのが間に合わない場合は、DEn 信号を再ネゲート後にアサートし、ドライバのアサート時間を挿入してから、次のデータを送信してください。DEn 信号のアサートにより次の送信を実行したい場合は、レジスタの同期遅延時間を考慮して、十分迅速に TDR に次の送信データを書き込んでください。



注 1.　DCR.DEPOL = 0

図 30.114　RS-485 ドライバコントロールの DE 信号出力のイメージ波形

30.16　ループバック機能

ループバック機能は、内部クロックを使用した調歩同期式モード、内部クロックを使用したマンチェスタモード、および内部クロックを使用したクロック同期式モードで使用できます。

CCR1 レジスタの SPLP ビットに 1 を書き込むときに、SCI は外部入力 (RXDn) パスをブロックし、送信データレジスタの出力パスと受信データレジスタの入力パスを接続します。

この機能を TINV ビット = 1 で使用する場合、送信データの反転が受信データになります。ただし、この機能を TINV = 1 で使用できるのは、クロック同期式モード内部クロックで動作している場合だけです。

表 30.48 に、TINV および SPLP のビット設定と受信データの関係を示します。

表 30.48　TINV および SPLP のビット設定と受信データ

CCR1.TINV	CCR1.SPLP	受信データ	通信モード		
			調歩同期式	マンチェスタ	クロック同期式
			内部クロック	内部クロック	内部クロック
—	0	RXDn 端子からの受信データ	可能	可能	可能
0	1	送信データ	可能	可能	可能
1	1	送信データの反転	不可能	不可能	可能

注.　—: 関係なし

図 30.115 に、ループバックモードでのシフトレジスタの入出力パスの構成を示します。

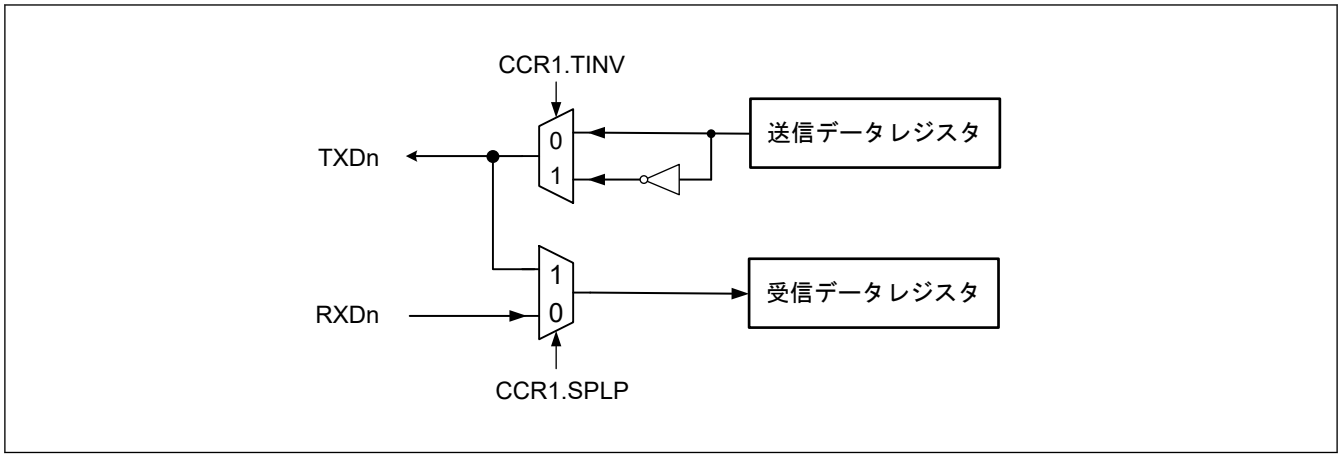


図 30.115　ループバックモードでのシフトレジスタの入出力構成イメージ

30.17　半二重通信機能

簡易 IIC モード、簡易 SPI モード、およびスマートカードインタフェースモードでは、半二重通信機能を使用しないでください。

その他の通信モードでは、CCR1.SHARPS ビットが 1 のときは、TXDn 端子を使用した半二重通信が可能です。半二重通信を使用する場合、送受信を排他的に実行する必要があります。送受信設定（CCR0.TE = 1 および CCR0.RE = 1）は禁止されています。

ただし、クロック同期式モードで半二重通信がマスタ受信として実行される場合は、送信と受信の設定（CCR0.TE ビット = 1 かつ CCR0.RE ビット = 1）をして、ダミー送信を行います。ダミー送信（任意の送信データが TDR レジスタに書き込まれる）によって、SCKn が出力され、受信が可能になります。ダミー送信のデータは、SCI 内で破棄され、実際に送信されることはありません。

半二重通信中は、TXDn 端子のみが通信端子として使用されます。CCR0.TE = 1 の場合は出力、CCR0.TE = 0 の場合は入力

30.18　シンクロナイザーバイパス機能

SCI にはバスクロック (PCLK) と動作クロック (TCLK) があります。そして、それぞれのクロックに動作回路があります。そのため、異なるクロック間での信号転送には同期回路が用いられ、異なるクロック間の信号伝播には同期遅延時間が必要です。

ただし、バスクロックと動作クロックに同じクロックが入力されている場合にのみ、CCR3.BPEN ビットで同期回路をバイパスできます。この場合、同期遅延時間がなくなり、応答が向上します。図 30.116 にバイパス機能のイメージ波形を示します。

SCI には、通信クロック (SCKn) と動作クロック (TCLK) の間にも同期回路がありますが、この同期回路をバイパスすることはできません。

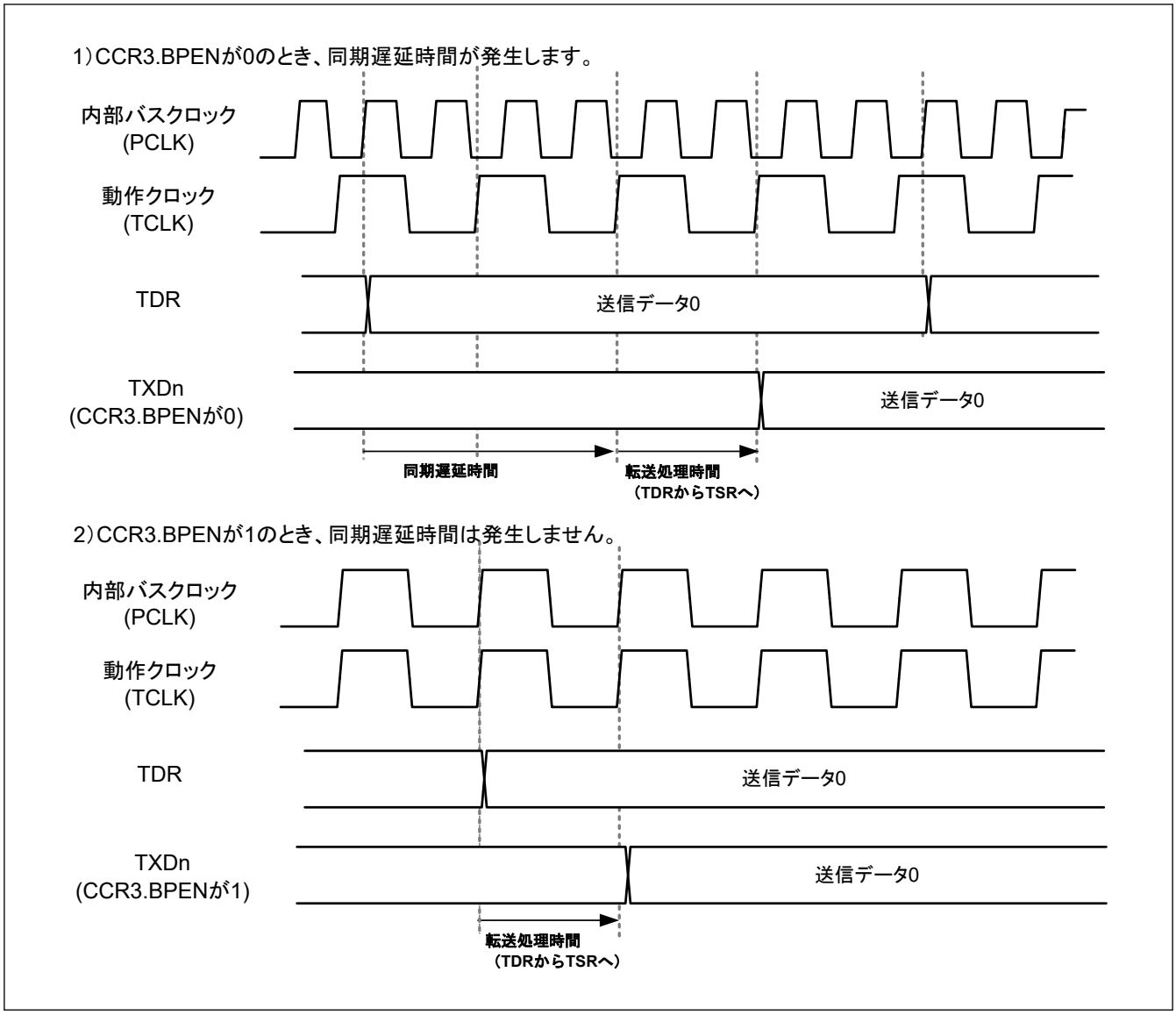


図 30.116　シンクロナイザーバイパス機能のイメージ波形

30.19　使用上の注意

30.19.1　モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SCI の動作禁止／許可を設定できます。SCI は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

30.19.2　低消費電力状態での SCI の動作

(1)　送信

消費電力低減機能を使用して SCI の消費電力を低減する前に、以下を行って送信終了 (CSR.TEND = 1) を確認してください。

- CCR1.SPB2DT、SPB2IO で送信動作を停止した後、出力端子状態を設定する
- 送信を停止します (CCR0.TIE = 0, CCR0.TE = 0, CCR0.TEIE = 0)。

送信中に低消費電力状態に遷移すると、送信中のデータは不定になります。

低消費電力状態の解除後に同じ動作モードで送信する場合は、TE ビットを 1 にして、CSR レジスタの読み出しと、TDR レジスタへの書き込みを順に行うことで送信を開始できます。異なる動作モードで送信する場合は、SCI の初期化からやり直してください。

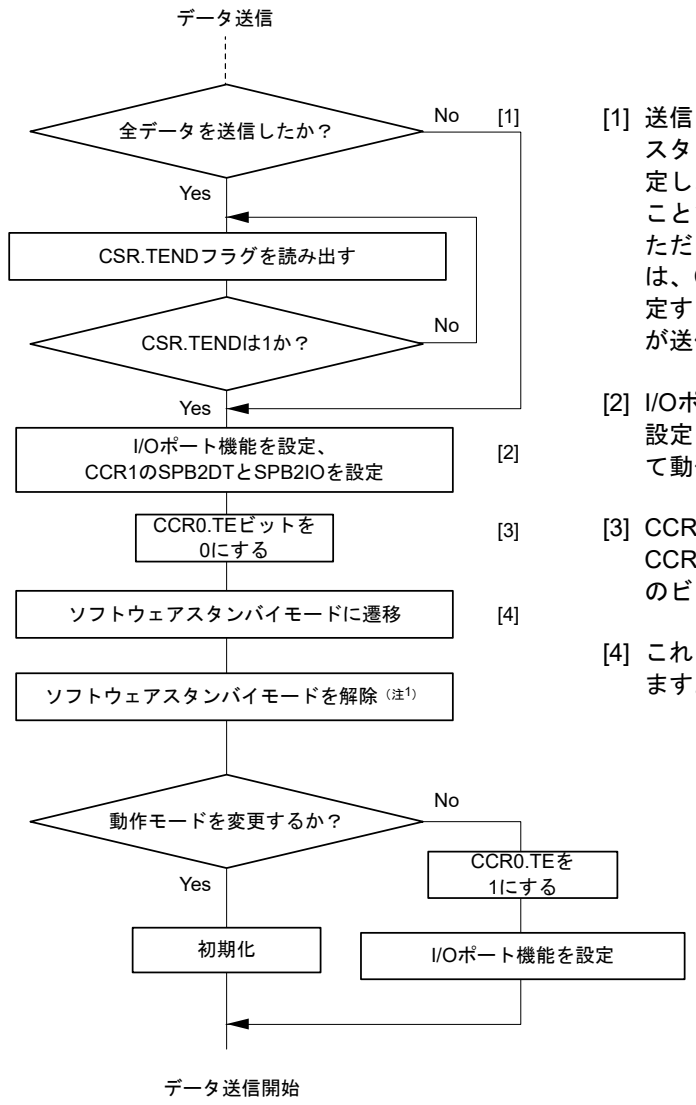
ソフトウェアスタンバイモードの解除後に DMAC または DTC による送信を開始する場合は、CCR0 レジスタの TE ビットと TIE ビットを同時に 1 にしてください。すると SCIn_TXI 割り込みフラグが生成されますが、それによって DMAC または DTC は送信データの書き込みを行います。これにより送信が開始されます。

図 30.117 に、送信時にソフトウェアスタンバイモードに遷移する場合のフローチャート例を示します。図 30.118 と図 30.119 に、ソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

(2)　受信

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードに遷移する場合は、事前に受信動作の停止 (CCR0.RE ビット = 0) を行ってください。受信中に遷移すると、受信中のデータは無効になります。

図 30.120 に、受信時にソフトウェアスタンバイモードに遷移する場合のフローチャート例を示します。



[1] 送信中のデータは途中で失われます。ソフトウェアスタンバイモードの解除後、CCR0.TEを“1”に設定し、CSRを読み出し、TDRにデータを書き込むことで、通常のCPU送信が可能です。
ただし、DMACまたはDTCを起動させていた場合は、CCR0のTEビットとTIEビットの両方を1に設定すると、DMACまたはDTC上にある残りのデータが送信されます。

[2] I/Oポート機能およびCCR1のSPB2DTとSPB2IOの設定を行って、TXDn端子を汎用入出力ポートとして動作するように切り替えます。

[3] CCR0.TEビットを“0”に設定します。さらに、CCR0.TIEとCCR0.TEIEも0に設定します（これらのビットを1にしていた場合）。

[4] これには、モジュールストップ状態の設定も含まれます。

注 1.　SCI0 以外のチャネルのレジスタはソフトウェアスタンバイモードで初期化されます。そのため、再度設定し直す必要があります。

図 30.117　送信時にソフトウェアスタンバイモードに遷移する場合のフローチャート例

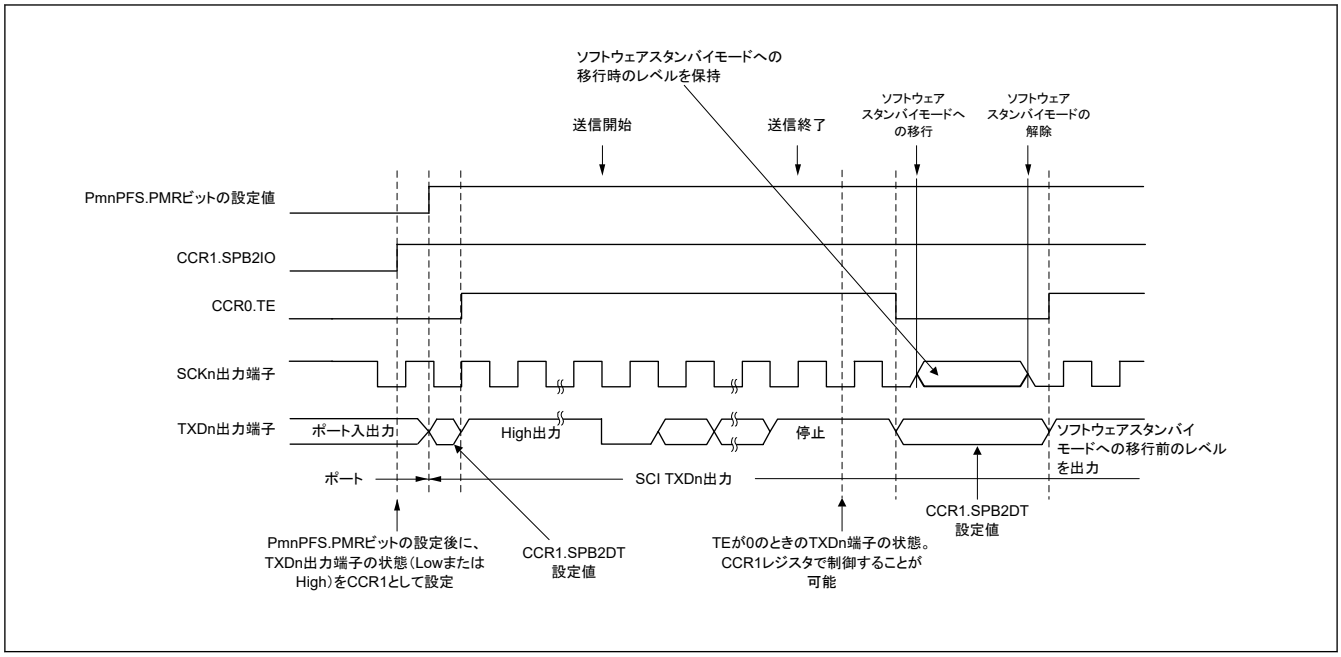


図 30.118　ソフトウェアスタンバイモード遷移時のポートの端子状態（内部クロック、調歩同期送信）

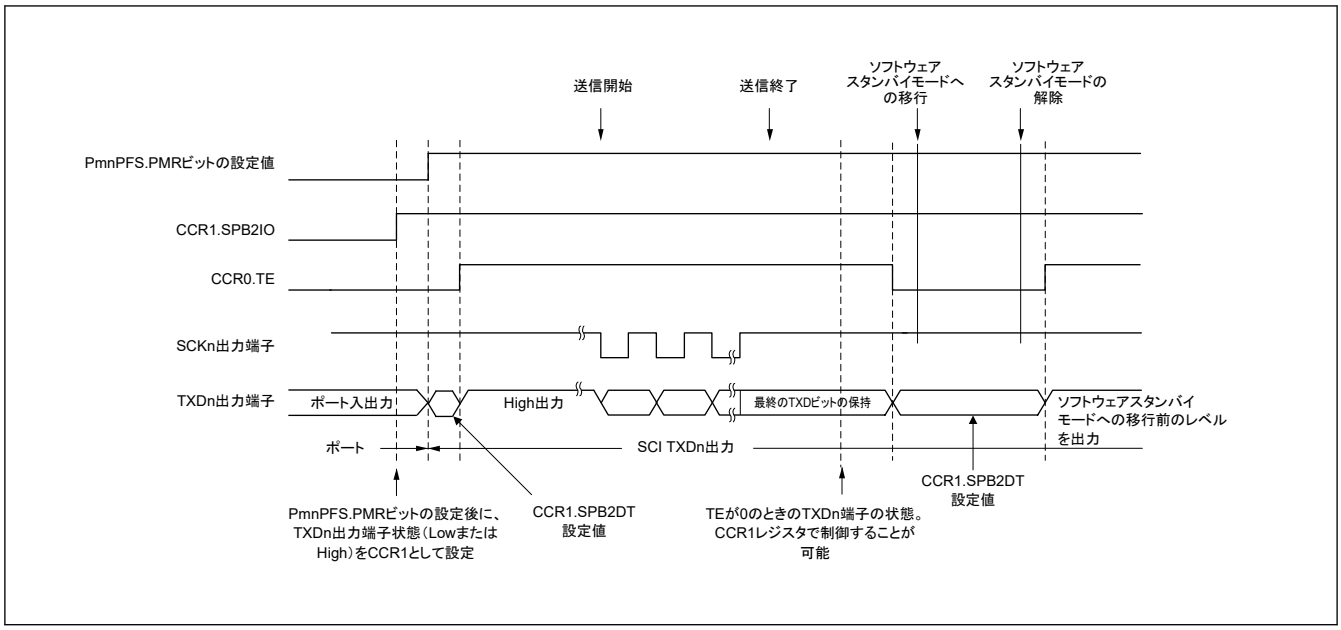
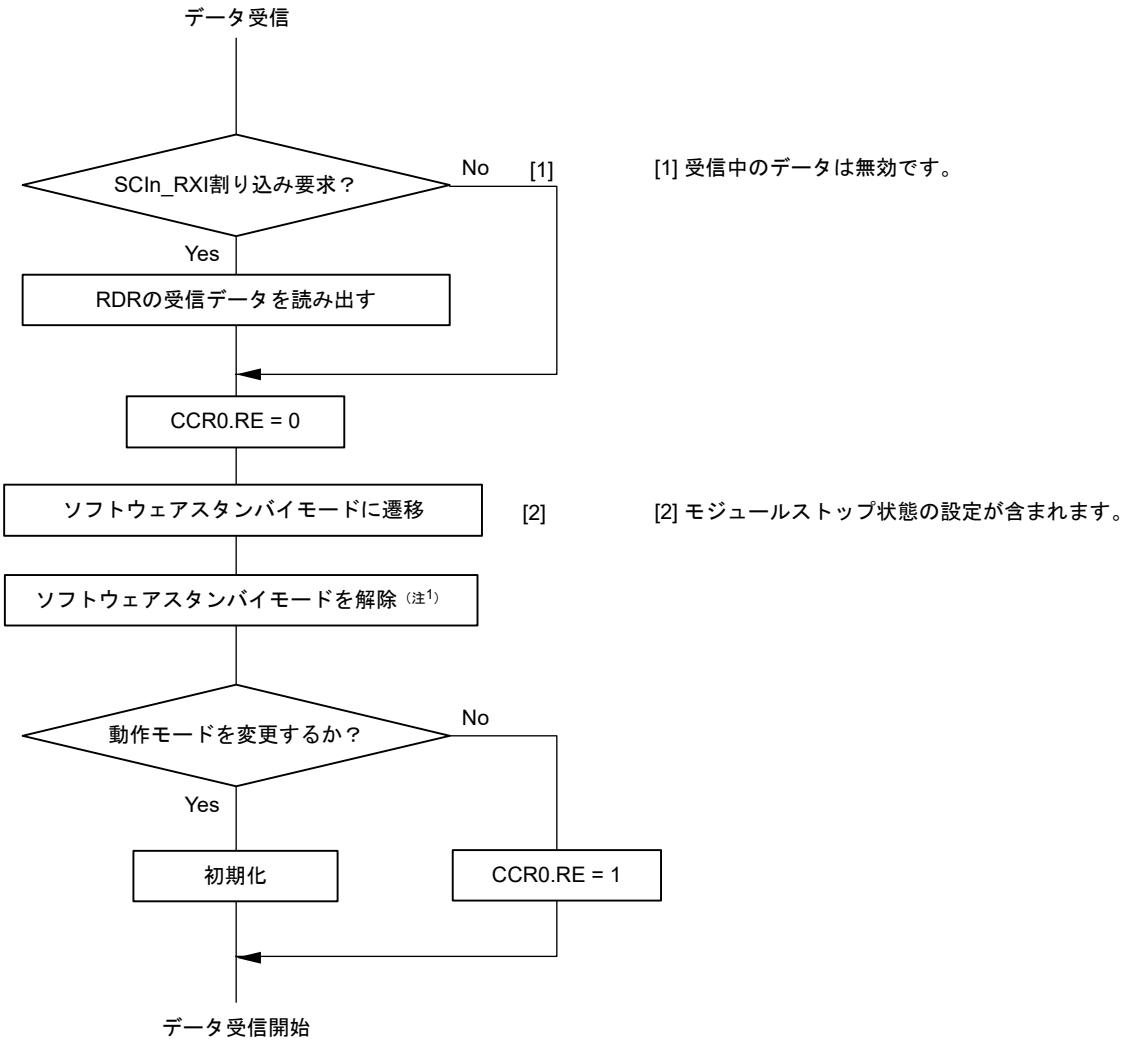


図 30.119　ソフトウェアスタンバイモード遷移時のポートの端子状態（内部クロック、クロック同期送信）



注 1. SCI0 以外のチャネルのレジスタはソフトウェアスタンバイモードで初期化されます。そのため、再度設定し直す必要があります。

図 30.120 受信時にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

30.19.3 ブレークの検出と処理について

(1) 非 FIFO 選択時

フレーミングエラーの検出時に、CSR.RXDMON ビットの値を読み出すことでブレークを検出できます。ブレークでは、RXDn 端子からの入力がすべて 0 になるため、CSR.FER フラグが 1（フレーミングエラーの発生あり）になり、さらに CSR.PER フラグも 1（パリティエラーの発生あり）になる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって、FER フラグを 0（フレーミングエラーの発生なし）にしても、再び FER フラグが 1 になります。CCR3.RXDESEL ビットが 1 のとき、SCI は、CSR.FER フラグを 1 にし、次のデータフレームのスタートビットが検出されるまで受信動作を停止します。このとき、CSR.FER フラグを 0 にすれば、ブレーク中は CSR.FER フラグは 0 を保持します。

RXDn 端子が 1 になってブレークが終了した後、最初の RXDn 端子の立ち下がりエッジでスタートビットの先頭を検出すれば、受信動作を開始させることが可能です。

(2) FIFO 選択時

フレーミングエラーが検出された後、SCI によって 1 フレーム分の連続する受信データが 0 であることが検出された場合、受信動作が停止します。フレーミングエラーの検出時に、CSR.RXDMON フラグの値を読み出すこと

でブレークを検出できます。RXDn 信号が High になってブレークが終了した後、受信 FIFO (RDR) レジスタへのデータ受信が再開されます。

30.19.4 マーク状態とブレークの送出

CCR0.TE ビットが 0（シリアル送信動作を禁止）のとき、CCR1.SPB2IO ビットと CCR1.SPB2DT ビットを用いて TXDn 端子状態の設定が可能です。この方法により、TXDn 端子をマーク状態にしてブレークを送出できます。

CCR0.TE ビットを 1（シリアル送信動作を許可）にする前に、SPB2IO ビットと SPB2DT ビットによって通信回線をマーク状態（1 の状態）に設定し、I/O ポート機能を用いて TXDn 端子を変更してください。データ送信時にブレークを出力したいときは、SPB2IO ビットと SPB2DT ビットによって TXDn 端子を 0 出力に設定した後、I/O ポート機能を用いて TXDn 端子を変更し、CCR0.TE ビットを 0 にしてください。CCR0.TE ビットを 0 にすると、現在の送信状態にかかわらず送信部が初期化されます。

30.19.5 受信エラーフラグと送信動作（クロック同期式モードおよび簡易 SPI モード）

CSR.ORER が 1 の場合でも、送信データを TDR に書き込むと、送信を開始できます。ただし、受信は開始できません。また、CCR0.RE が 0（シリアル受信が無効）の場合でも、受信エラーフラグを 0 にすることはできません。

30.19.6 TDR へのデータ書き込み

(1) 非 FIFO 選択時

CCR0.TE が 1 のときは、いつでもデータを TDR に書き込むことができます。ただし、TDR に送信データが残っている状態で、TDR に新しいデータを書き込むと、TDR に残っているデータは、TSR へまだ転送されていないため失われます。DTC または DMAC を使用する場合、TDR への送信データの書き込みは、必ず SCIn_TXI 割り込み要求の処理ルーチンで行ってください。

(2) FIFO 選択時

CCR0.TE が 1 のとき、データを送信 FIFO (TDR) に書き込むことができます。FDR.T[5:0] ビットで、書き込み可能なデータ数を確認してください。

30.19.7 クロック同期式送信に関する制限事項（クロック同期式モードおよび簡易 SPI モード）

同期クロックに外部クロックソースを使用する場合、以下の制限事項があります。

(1) 送信開始時

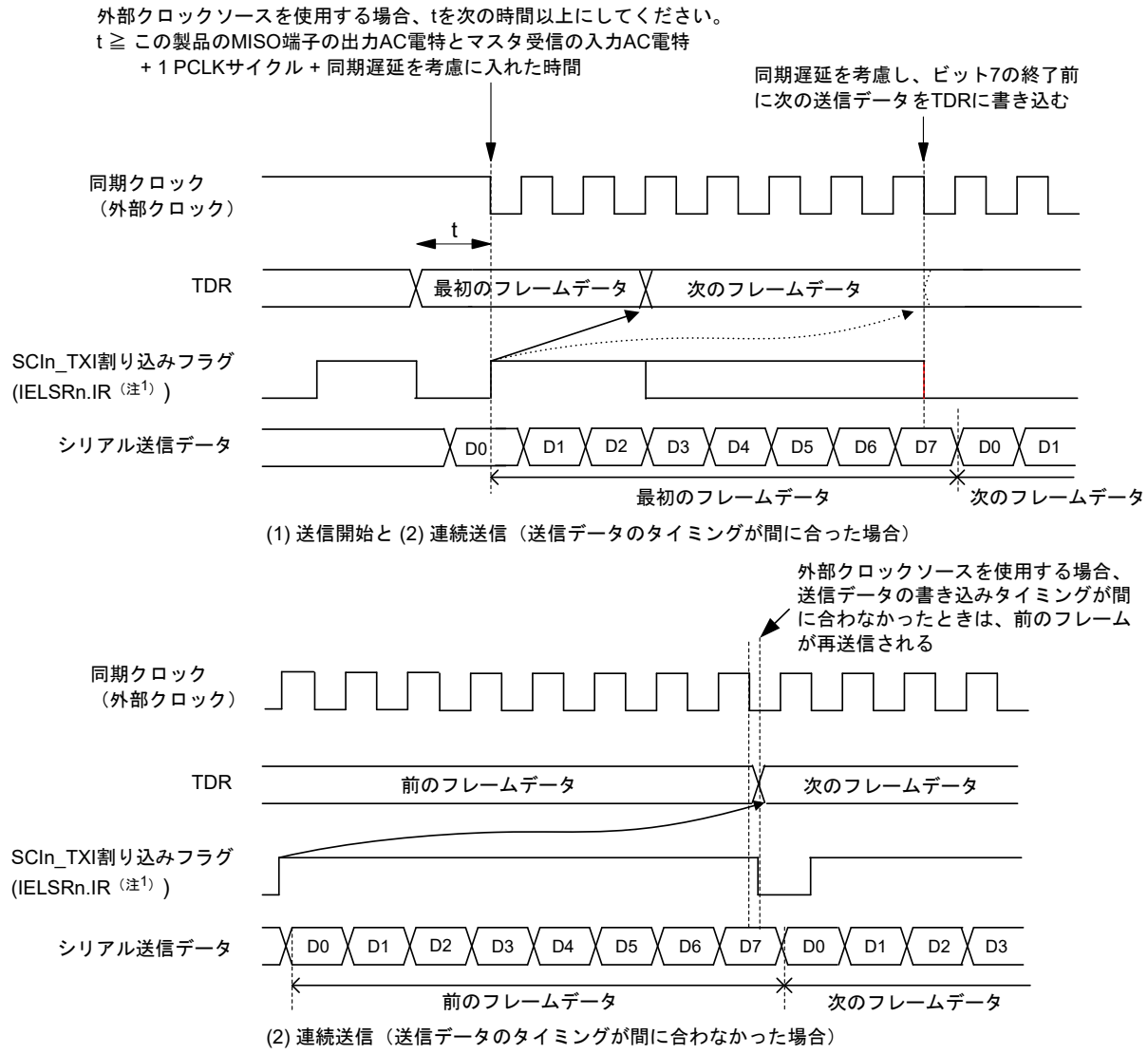
TDR を CPU、DMAC、または DTC で更新し、外部クロック入力の開始まで下記に示す以上の待機時間を確保してください。（図 30.121 を参照してください。）

本製品の MISO 端子の出力 AC 電特とマスタ受信の入力 AC 電特 + 1 PCLK サイクル + 同期遅延の時間を考慮に入れてください。

(2) 連続送信時

送信クロックのビット 7 の立ち下がりエッジ(注1)以前に、TDR に次の送信データを書き込んでください。同期遅延を考慮し、TDR に送信データを書き込んでください。送信データを時間内に書き込むことができない場合は、前のフレームデータが再送信されます。（図 30.121 を参照してください。）

注 1. CCR3.CPOL = 1 かつ CCR3.CPHA = 0、または CCR3.CPOL = 0 かつ CCR3.CPHA = 1 の場合。CCR3.CPOL = 0 かつ CCR3.CPHA = 0、または CCR3.CPOL = 1 かつ CCR3.CPHA = 1 の場合は、立ち上がりエッジです。



注 1.　対応する割り込みイベント番号については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

図 30.121　クロック同期式送信時の外部クロック使用に関する制約事項

30.19.8　DMAC または DTC 使用時の制限

DMAC または DTC を用いて RDR を読み出すときは、対応する SCI の起動要因として、必ず受信データフル割り込み (SCIn_RXI) を設定してください。

DMAC または DTC を使用した送受信動作中に、DMAC または DTC の転送情報を設定しないでください。

30.19.9　通信の開始に関する注意事項

通信開始時点で ICU の割り込みステータスフラグ（IELSRn.IR フラグ）が 1 のときは、動作許可（CCR0.TE ビットまたは CCR0.RE ビットを 1）にする前に、以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

1. 通信が停止していること（CCR0.TE ビットまたは CCR0.RE ビットが 0 であること）を確認します。
2. 対応する割り込み許可ビット（CCR0.TIE ビットまたは CCR0.RIE ビット）を 0 にします。
3. 対応する割り込み許可ビット（CCR0.TIE ビットまたは CCR0.RIE ビット）を読み出して、実際に 0 になっていることを確認します。
4. ICU の割り込みステータスフラグ（IELSRn.IR フラグ）を 0 にします。

30.19.10　簡易 SPI モードに関する制限事項

(1)　マスタモード

- CCR0.SSE ビット = 1 の場合、CCR3.CPHA ビットと CCR3.CPOL ビットで設定した送受信クロックの初期値に合わせて、クロック線を抵抗でプルアップまたはプルダウンしてください。

  これによって、CCR0.TE ビットを 0 にしたときにクロック線がハイインピーダンス状態になったり、CCR0.TE ビットを 0 から 1 に変更したときにクロック線に意図しないエッジが発生したりするのを防止できます。シングルマスタモードで CCR0.SSE ビットが 0 の場合は、SCR.TE ビットを 0 にしてもクロック線はハイインピーダンスにならないので、プルアップまたはプルダウンは不要です。
- クロック遅れあり（CCR3.CPHA ビット = 0）では、図 30.122 に示すように、SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み (SCIn_RXI) が発生します。CCR0 レジスタの TE ビットと RE ビットを SCKn 端子の最終クロックエッジより前に 0 にすると、SCKn 端子出力がハイインピーダンスとなり、送受信クロックの最後のクロックパルス幅が短くなります。また、SCIn_RXI 割り込みの発生によって、SCKn 端子の最終クロックエッジより前に接続先スレーブの SSn 端子入力信号が High になった場合、スレーブが誤動作する可能性があります。
- マルチマスタ構成では、キャラクタ転送中にモードフォルトエラーが発生すると、SSn 端子入力が Low の間に、SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

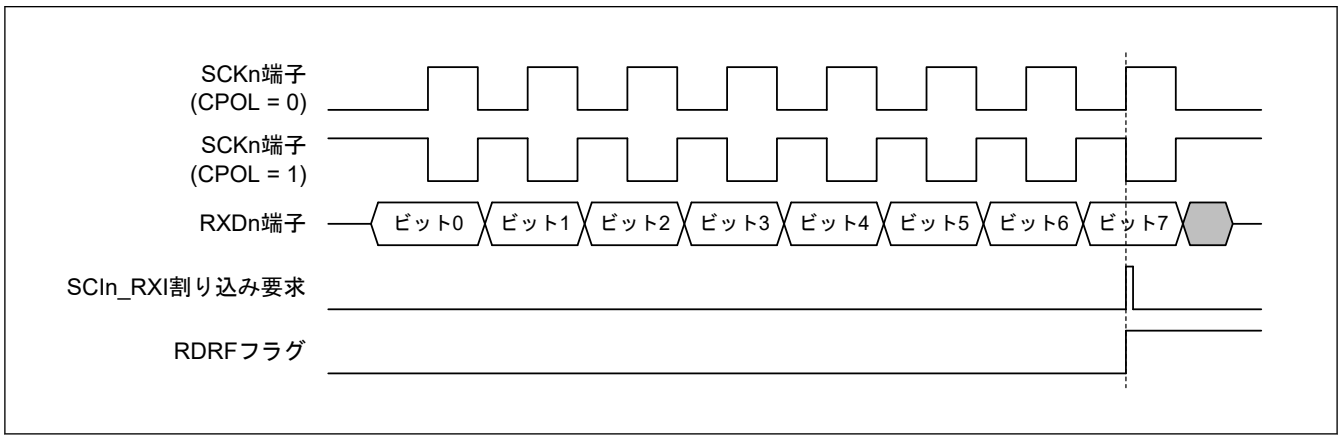


図 30.122　簡易 SPI モードにおける SCIn_RXI 割り込みの発生タイミング（クロック遅れあり）

(2)　スレーブモード

- TDR レジスタへの送受信データの書き込みから RXDn 端子へのデータ出力まで、以下の時間を要します。1PCLK + 同期遅延時間 + データ出力遅延時間（AC スペック）外部クロックの入力を開始するときは、これらを考慮してください。
- マスタからの外部クロックの供給は、転送データ長に合わせてください。
- SSn の Low 入力から外部クロック入力を開始するまで、SSn 入力セットアップ時間（AC スペック）を確保してください。
- SSn 端子入力は、データ転送開始前と完了後に制御してください。
- キャラクタの転送中に SSn 端子への入力レベルが Low から High に変化した場合は、CCR0 レジスタの TE ビットと RE ビットを 0 にして、設定を回復後に 1 バイト目から転送をやり直してください。

30.19.11　送信許可ビット (CCR0.TE) に関する注意事項

CCR0.TE ビットが 0 のとき、初期レジスタ値において、TXDn 端子の状態がハイインピーダンスになります。以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

1. プルアップ抵抗またはプルダウン抵抗を TXDn ラインに接続する。
2. TE が 0 である間に CCR1 を設定し TXDn 端子レベルを判定する

30.19.12　簡易 LIN モードに関する注意事項

簡易 LIN モード (CCR3.MOD[2:0] = 110) では、以下の機能は使用できません。

- マルチプロセッサ通信機能
- ビットレートモジュレーション機能
- ループバック機能
- FIFO バッファ

30.19.13 RS-485 ドライバ制御機能に関する注意事項

RS-485 ドライバ制御機能は、調歩同期式モードでのみ有効になります。

RS-485 ドライバコントロール機能が有効な場合 (CCR3.DEN = 1)、CSR.TEND 設定タイミング／SCIn_TEI 出力タイミングは次のように変化します。SCIn_TEI 割り込みを待って、SCI の CCR0.TE ビットを 0 にします。

RS-485 ドライバ制御機能が無効な場合：STOP ビット出力の完了時。

RS-485 ドライバ制御機能が有効な場合：DEn ネゲート時間の終了時。

30.19.14 ループバック機能に関する注意事項

ループバック機能は、内部クロックを使用した調歩同期式モード、内部クロックを使用したマンチェスタモード、および内部クロックを使用したクロック同期式モードで有効です。

30.19.15 動作クロック (TCLK) がバスクロック (PCLK) より長い場合のレジスタアクセスに関する注意事項

動作クロック (TCLK) がバスクロック (PCLK) より遅い場合、CCR0.TE レジスタと CCR0.RE レジスタに書き込んだ後この情報が内部で送信されるまでの時間は、バスアクセス時間より遅くなります。特に、0 を書き込んで通信を中断した後に設定レジスタを変更しようとする場合、SCI 内部の信号が通信停止状態になる前に設定レジスタを変更してはなりません。これを防止するために、CCR0.TE レジスタと CCR0.RE レジスタを 0 に設定した後、CESR.TIST ビットと CESR.RIST ビットが 0 であることを確認してから次のレジスタを設定してください。

30.19.16 動作の割り込みに関する注意事項

データ受信中に CCR0.RE に 0 が書き込まれて受信動作に割り込みが発生した場合、無効な状態になっている可能性があるため、受信データ（RDR レジスタ格納値）や各ステータスレジスタのフラグ値を使用しないでください。受信動作に割り込むためには、割り込みまたはイベントリンクの受信側を停止してから、CCR0.RE ビットに 0 を書き込んでください。

30.19.17 CCR3.BPEN ビットの設定に関する注意事項

SCI の初期化フローで CCR3 レジスタを設定するときに、BPEN ビットを 1 回だけ設定します。

初期化後に、このビットを変更することはできません。

このビットの設定を変更する場合は、SCI の初期化フローからもう一度始めてください。

31. I²C バスインタフェース (IIC)

31.1 概要

I²C バスインタフェース (IIC) には 2 チャネルあります。IIC は、NXP 社の I²C (Inter-Integrated Circuit) バスインタフェース方式に準拠しており、そのサブセット機能を備えています。

表 31.1 に IIC の仕様を、図 31.1 に IIC のブロック図を、図 31.2 に入出力端子の外部回路接続例（I²C バス構成例）を示します。表 31.2 に IIC の入出力端子を示します。

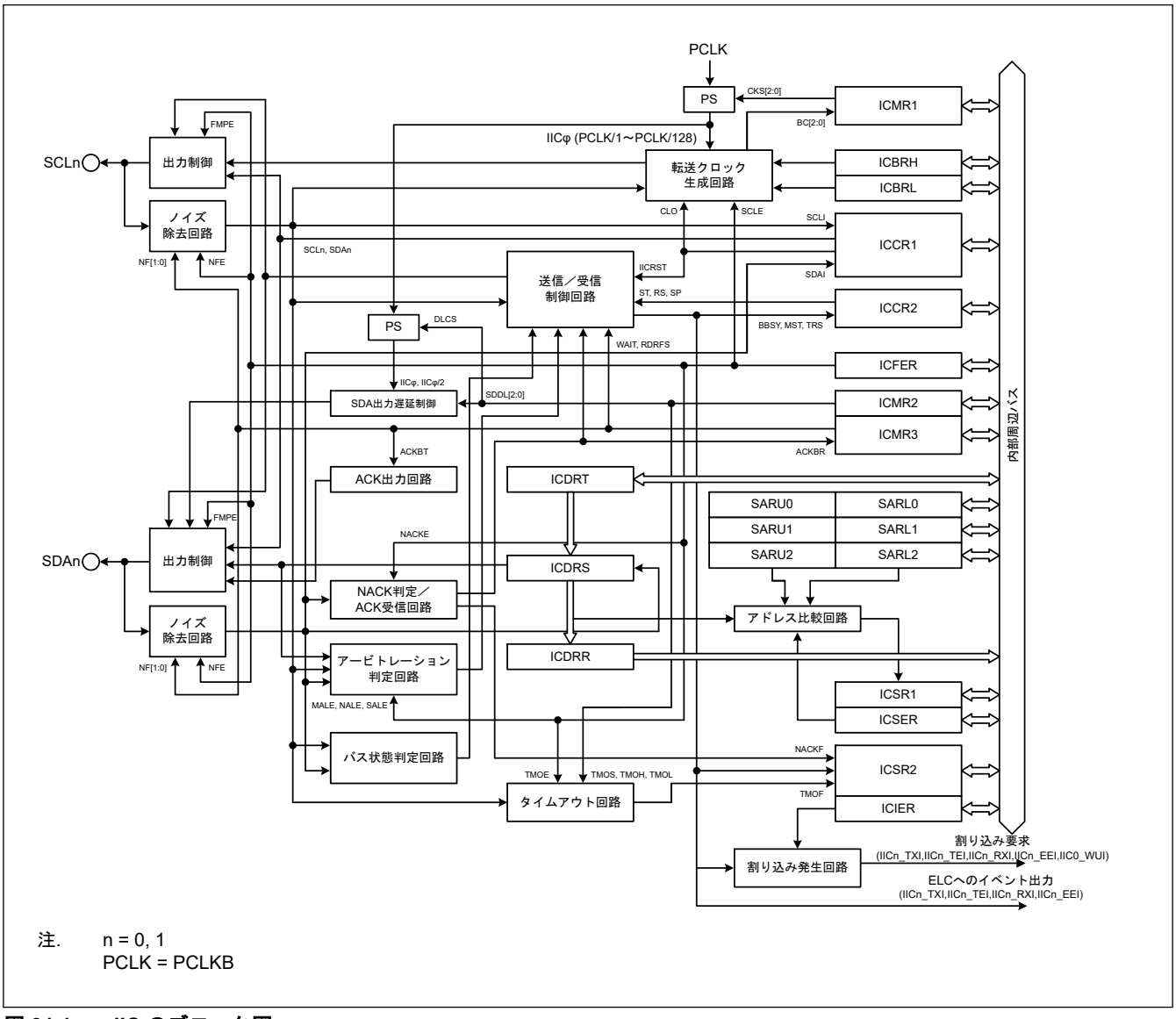
表 31.1 IIC の仕様 (1/2)

項目	内容
通信フォーマット	• I²C バスフォーマットまたは SMBus フォーマット • マスタ／スレーブモードを選択可能 • 転送速度に応じたセットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	• ファストモードプラス対応 (～1 Mbps)
SCL クロック	マスタ動作時、SCL クロックのデューティー比を 4%～96%の範囲で設定可能
コンディション発行・コンディション検出	• スタートコンディション／リスタートコンディション／ストップコンディションの自動生成 • スタートコンディション（リスタートコンディション含む）／ストップコンディションの検出が可能
スレーブアドレス	• 異なるスレーブアドレスを 3 種類まで設定可能 • 7 ビット／10 ビットアドレスフォーマット対応（混在可能） • ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能
アクノリッジ応答	• 送信時、アクノリッジビットの自動ロード ノットアクノリッジビット検出時に次送信データ転送の自動中断が可能 • 受信時、アクノリッジビットの自動送出 8 クロック目と 9 クロック目の間にウェイトありを選択すると、受信値に応じたアクノリッジビット値のソフトウェア制御が可能
ウェイト機能	受信時、SCL クロックの Low ホールドによる下記期間のウェイトが可能： • 8 クロック目と 9 クロック目の間をウェイト • 9 クロック目と次転送の 1 クロック目の間をウェイト
SDA 出力遅延機能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能
アービトレーション	• マルチマスタ対応 – 他のマスタとの SCL クロック衝突時、SCL クロックの同期が可能 – スタートコンディション発行がバスで競合した場合、SDA 内部信号と SDA ラインの状態の不一致によるアービトレーションロストを検出可能 – マスタ動作時、SDA 内部信号と SDA ラインの状態の不一致によるアービトレーションロストを検出可能 • バスビジー中のスタートコンディション発生によるアービトレーションロストを検出可能（スタートコンディションの二重発行防止） • ノットアクノリッジビット送信時、SDA 内部信号と SDA ラインの状態の不一致によるアービトレーションロストを検出可能 • スレーブ送信時、データの SDA 内部信号と SDA ラインの状態の不一致によるアービトレーションロストを検出可能
タイムアウト検出機能	SCL クロックの長時間停止を内部で検出
ノイズ除去	• SCL および SDA 信号用のデジタルノイズフィルタ • フィルタによるノイズ除去幅をプログラマブルに調整可能
割り込み要因	• 通信エラーまたはイベント発生：アービトレーションロスト検出、NACK、タイムアウト、スタート／リスタートコンディション、またはストップコンディション • 受信データフル（スレーブアドレス一致時含む） • 送信データエンプティ（スレーブアドレス一致時含む） • 送信終了
モジュールストップ機能	各チャネルに対してモジュールストップ状態に設定して消費電力の削減が可能
IIC の動作モード	• マスタ送信 • マスタ受信 • スレーブ送信 • スレーブ受信

表 31.1 IIC の仕様 (2/2)

項目	内容
イベントリンク機能（出力）	● 通信エラーまたはイベント発生：アービトレーションロスト検出、NACK、タイムアウト、スタート／リスタートコンディション、またはストップコンディション ● 受信データフル（スレーブアドレス一致時含む） ● 送信データエンプティ（スレーブアドレス一致時含む） ● 送信終了
ウェイクアップ機能(注1)	CPU はウェイクアップイベントを使用して、ソフトウェアスタンバイモードから復帰可能
TrustZone フィルタ	各チャネルに対してセキュリティ属性とプリビレッジ属性の設定が可能

注 1. この機能は、IIC0 のみ使用可能です。IIC1 はサポートしていません。



注. n = 0, 1
PCLK = PCLKB

図 31.1 IIC のブロック図

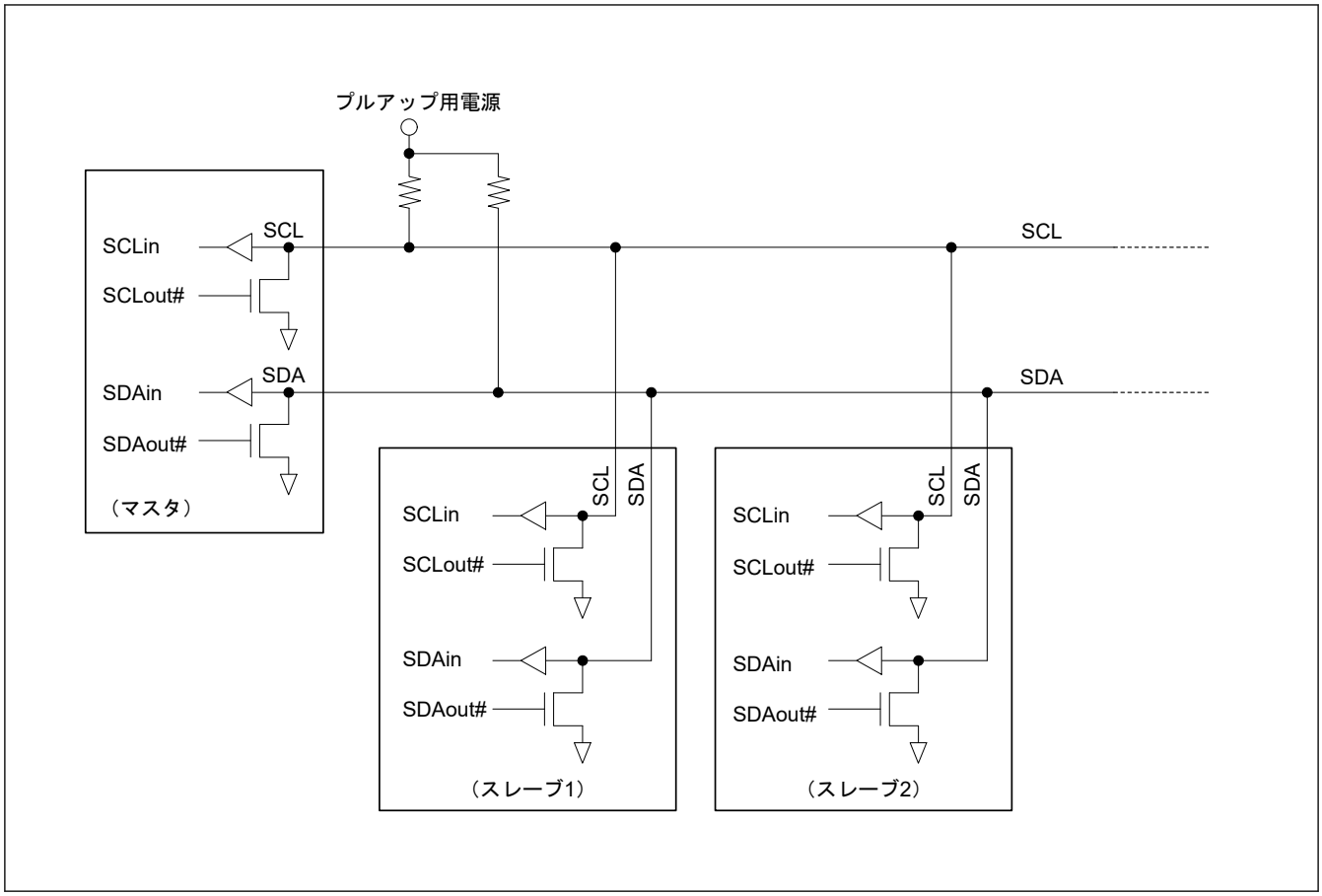


図 31.2　入出力端子の外部回路接続例（I²C バス構成例）

IIC の各信号の入力レベルは、I²C バス選択時 (ICMR3.SMBS = 0) は CMOS レベルであり、SMBus 選択時 (ICMR3.SMBS = 1) は TTL レベルです。

表 31.2　IIC の入出力端子

チャネル	端子名	入出力	機能
IICn	SCLn	入出力	IICn シリアルクロック入出力端子
	SDAn	入出力	IICn シリアルデータ入出力端子

注.　n = 0, 1

31.2　レジスタの説明

31.2.1　ICCR1 : I²C バスコントロールレジスタ 1

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0, 1)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0, 1)

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
Value after reset:	0	0	0	1	1	1	1	1

ビット	シンボル	機能	R/W
0	SDAI	SDAn ラインモニタフラグ 0: SDAn ラインは Low 1: SDAn ラインは High	R

ビット	シンボル	機能	R/W
1	SCLI	SCLn ラインモニタフラグ 0: SCLn ラインは Low 1: SCLn ラインは High	R
2	SDAO	SDA 出力制御／モニタ 0: 読み出し時：IIC は SDAn 端子を Low にする 書き込み時：IIC は SDAn 端子を Low にする 1: 読み出し時：IIC は SDAn 端子を解放する 書き込み時：IIC は SDAn 端子を解放する	R/W
3	SCLO	SCL 出力制御／モニタ 外部プルアップ抵抗を使用して信号を High にしてください。 0: 読み出し時：IIC は SCLn 端子を Low にする 書き込み時：IIC は SCLn 端子を Low にする 1: 読み出し時：IIC は SCLn 端子を解放する 書き込み時：IIC は SCLn 端子を解放する	R/W
4	SOWP	SCLO/SDAO ライトプロテクト 読むと 1 が読めます。 0: SCLO ビットおよび SDAO ビットの書き込みを許可 1: SCLO ビットおよび SDAO ビットの書き込みを禁止	W
5	CLO	SCL クロック追加出力 1 クロック出力後、自動的に 0 になります。 0: SCL クロックを追加で出力しない 1: SCL クロックを追加で出力する	R/W
6	IICRST	I2C インタフェース内部リセット これにより、ビットカウンタをクリアし、SCLn/SDAn 出力ラッチを解除します。 0: IIC リセットまたは内部リセットを解除する 1: IIC リセットまたは内部リセットを行う	R/W
7	ICE	I2C インタフェース許可 IICRST ビットとの組み合わせで、IIC リセットまたは内部リセットを選択します。 0: 禁止（SCLn 端子と SDAn 端子は非アクティブ状態） 1: 許可（SCLn 端子と SDAn 端子はアクティブ状態）	R/W

注. S-TYPE3、P-TYPE3

SDAO ビット（SDA 出力制御／モニタ）、SCLO ビット（SCL 出力制御／モニタ）

SDAO ビットおよび SCLO ビットは、IIC から出力される SDAn 信号と SCLn 信号を直接操作します。これらのビットに書き込む場合は、SOWP ビットにも 0 を書いてください。これらのビットを設定すると、入力バッファを介して IIC に入力されます。スレーブモードに設定していると、ビットの設定によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディションの期間中、または送受信中に、これらのビットを書き換えないでください。これらの期間に書き換えた場合の動作は保証されません。これらのビットを読んだ場合は、そのとき IIC が出力している信号の状態が読めます。

CLO ビット（SCL クロック追加出力）

CLO ビットは、SCL クロックを 1 クロック単位で追加出力できるようにするもので、デバッグ時またはエラー処理時に使用します。通常は 0 にしてください。通常の通信状態でこのビットを 1 にすると、通信エラーの原因になります。この機能の詳細については、「31.12.2. SCL クロック追加出力機能」を参照してください。

IICRST ビット（I2C インタフェース内部リセット）

IICRST ビットは、IIC の内部状態をリセットします。このビットを 1 にすると、IIC リセットまたは内部リセットを起動できます。IIC リセットまたは内部リセットのどちらが起動するかは、ICE ビットとの組み合わせにより決定されます。表 31.3 に IIC のリセットの種類を示します。

IIC リセットでは、IIC の ICCR1.ICE ビットと ICCR1.IICRST ビットを除く全レジスタと内部状態が初期化されます。内部リセットでは、IIC の内部状態に加えて、以下を初期化します。

- ビットカウンタ（ICMR1.BC[2:0]ビット）
- I2C バスシフトレジスタ (ICDRS)
- I2C バスステータスレジスタ（ICSR1、ICSR2）

- SDAO、SCLO 出力制御／モニタ（ICCR1.SDAO ビット、ICCR1.SCLO ビット）
- I²C バスコントロールレジスタ 2（ICCR2.BBSY ビットを除く）

各レジスタのリセット条件については、「31.15. 各コンディション発行時のリセット、レジスタ、機能の状態」を参照してください。

動作中に（ICE = 1 の状態で）IICRST ビットを 1 にして内部リセットを行うと、ポートの設定と IIC のコントロールレジスタや設定レジスタを初期化することなく、IIC の内部状態がリセットされます。また、IIC が Low を出力したままハングアップした場合、内部状態をリセットすることで、Low 出力状態が解除され、SCLn 端子と SDAn 端子がハイインピーダンスの状態でバスが解放されます。

注. スレーブモード時に、マスタデバイスとの通信中に生じたバスのハングアップに対して IICRST ビットで内部リセットを行うと、ビットカウンタ情報の差異が原因で、スレーブデバイスとマスタデバイスが異なる状態になることがあります。そのため、スレーブモード時には内部リセットは行わないでください。復帰処理はマスタデバイスから行うようにしてください。スレーブモード時に SCLn ラインが Low 出力状態のまま IIC がハングアップしたため、内部リセットが必要になった場合は、内部リセット後にマスタデバイスからリスタートコンディションを発行するか、またはストップコンディションを発行して、スタートコンディションから通信をやり直してください。スレーブデバイスでのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディションの発行がないまま通信が再開されると、マスタデバイスとスレーブデバイスが非同期で動作するため、同期ずれが発生します。

表 31.3 IIC のリセットの種類

IICRST	ICE	状態	内容
1	0	IIC リセット	IIC の ICCR1.IICRST ビットと ICCR1.ICE ビットを除く全レジスタと内部状態をリセット
	1	内部リセット	以下をリセット • ICMR1.BC[2:0]ビット • ICSR1, ICSR2, ICDRS レジスタ • SDAO、SCLO 出力制御／モニタ（ICCR1.SDAO ビット、ICCR1.SCLO ビット） • I²C バスコントロールレジスタ 2（ICCR2.BBSY ビットを除く） • IIC の内部状態

ICE ビット（I²C インタフェース許可）

ICE ビットは、SCLn および SDAn 端子のアクティブ状態または非アクティブ状態を選択します。また、IICRST ビットと組み合わせて、2 種類のリセットを起動することもできます。リセットの説明については、表 31.3 を参照してください。

IIC を使用するときは、ICE ビットを 1 にしてください。ICE ビットを 1 にすると、SCLn および SDAn 端子はアクティブ状態になります。IIC を使用しないときは、ICE ビットを 0 にしてください。ICE ビットを 0 にすると、SCLn および SDAn 端子は非アクティブ状態になります。端子機能制御を設定するときに、SCLn または SDAn 端子を IIC に割り当てないでください。これらの端子が IIC に割り当てられると、スレーブアドレス比較が行われます。

31.2.2 ICCR2 : I²C バスコントロールレジスタ 2

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0, 1)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0, 1)

Offset address: 0x01

Bit position:	7	6	5	4	3	2	1	0
Bit field:	BBSY	MST	TRS	—	SP	RS	ST	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
1	ST	スタートコンディション発行要求 0: スタートコンディション要求を発行しない 1: スタートコンディション要求を発行する	R/W
2	RS	リスタートコンディション発行要求 0: リスタートコンディション要求を発行しない 1: リスタートコンディション要求を発行する	R/W
3	SP	ストップコンディション発行要求 0: ストップコンディション要求を発行しない 1: ストップコンディション要求を発行する	R/W
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	TRS	送信／受信モード 0: 受信モード 1: 送信モード	R/W(注1)
6	MST	マスタ／スレーブモード 0: スレーブモード 1: マスタモード	R/W(注1)
7	BBSY	バスビジー検出フラグ 0: I2C バスは解放状態（バスフリー状態） 1: I2C バスは占有状態（バスビジー状態）	R

注. S-TYPE3、P-TYPE3
注 1. ICMR1.MTWP ビットが 1 のとき、MST および TRS ビットへの書き込みが可能です。

ST ビット（スタートコンディション発行要求）

ST ビットは、マスタモードへの遷移を要求し、スタートコンディションを発行します。このビットを 1 にすると、BBSY フラグが 0（バスフリー状態）のときに、スタートコンディションが発行されます。この機能の詳細については、「31.11. スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

[1 になる条件]

- ST ビットに 1 を書いたとき

[0 になる条件]

- ST ビットに 0 を書いたとき
- スタートコンディションが発行されたとき（スタートコンディションが検出されたとき）
- ICSR2.AL（アービトレーションロスト）フラグが 1 になったとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. BBSY フラグが 0（バスフリー状態）のときに、ST ビットを 1（スタートコンディション発行要求）にしてください。BBSY フラグが 1（バスビジー状態）のときに、ST ビットを 1（スタートコンディション要求）にすると、アービトレーションロストが発生する場合があります。

RS ビット（リスタートコンディション発行要求）

RS ビットは、マスタモード時にリスタートコンディションの発行を要求します。このビットを 1 にしてリスタートコンディションを要求すると、BBSY フラグが 1（バスビジー状態）かつ MST ビットが 1（マスタモード）のときに、リスタートコンディションが発行されます。この機能の詳細については、「31.11. スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

[1 になる条件]

- ICCR2.BBSY フラグが 1 の状態で、RS ビットに 1 を書いたとき

[0 になる条件]

- RS ビットに 0 を書いたとき
- リスタートコンディションが発行されたとき（スタートコンディションが検出されたとき）
- ICSR2.AL（アービトレーションロスト）フラグが 1 になったとき

- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. ストップコンディション発行中に RS ビットを 1 にしないでください。
注. スレーブモードで RS ビットを 1（リスタートコンディション要求）にすると、リスタートコンディションは発行されず、RS ビットは 1 のままになります。RS ビットがクリアされていない状態で動作モードをマスタモードに変更すると、リスタートコンディションが発行される場合があります。

SP ビット（ストップコンディション発行要求）

SP ビットは、マスタモード時にストップコンディションの発行を要求します。このビットを 1 にすると、BBSY フラグが 1（バスビジー状態）かつ MST ビットが 1（マスタモード）のときに、ストップコンディションが発行されます。この機能の詳細については、「31.11. スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

[1 になる条件]

- ICCR2.BBSY フラグと ICCR2.MST ビットが両方とも 1 の状態で、SP ビットに 1 を書いたとき

[0 になる条件]

- SP ビットに 0 を書いたとき
- ストップコンディションが発行されたとき（ストップコンディションが検出されたとき）
- ICSR2.AL（アービトレーションロスト）フラグが 1 になったとき
- スタートコンディションおよびリスタートコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. BBSY フラグが 0（バスフリー状態）のとき、SP ビットへの書き込みはできません。
注. リスタートコンディション発行中に SP ビットを 1 にしないでください。

TRS ビット（送信／受信モード）

TRS ビットは、送信モードであるか、受信モードであるかを示します。IIC は、TRS ビットが 0 のときは受信モード、1 のときは送信モードになります。このビットと MST ビットの組み合わせで IIC の動作モードを示します。

スタートコンディションの発行または検出時、および R/W#ビットの設定時に、TRS ビット値は自動的に 1（送信モード）または 0（受信モード）に変化します。ICMR1.MTWP ビットが 1 のとき、TRS ビットへ書き込むことは可能ですが、通常の使用時は、書き込む必要はありません。

[1 になる条件]

- スタートコンディション要求によってスタートコンディションが正常に発行されたとき（ST ビットが 1 の状態で、スタートコンディションが検出されたとき）
- リスタートコンディション要求によってリスタートコンディションが正常に発行されたとき（RS ビットが 1 の状態で、リスタートコンディションが検出されたとき）
- マスタモード時、スレーブアドレスに付加した R/W#ビットが 0 になったとき
- スレーブモードで受信したアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W#ビットが 1 になったとき
- ICMR1.MTWP ビットが 1 の状態で、TRS ビットに 1 を書いたとき

[0 になる条件]

- ストップコンディションが検出されたとき
- ICSR2.AL（アービトレーションロスト）フラグが 1 になったとき
- マスタモード時、スレーブアドレスに付加した R/W#ビットが 1 になったとき
- スレーブモード時、受信したアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ受信した R/W#ビットの値が 0 のとき（ジェネラルコールアドレスを受信した場合を含む）
- スレーブモード時、リスタートコンディションが検出されたとき （ICCR2.BBSY = 1、ICCR2.MST = 0 の状態でスタートコンディションが検出されたとき）

- ICMR1.MTWP ビットが 1 の状態で、TRS ビットに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

MST ビット（マスタ／スレーブモード）

MST ビットは、マスタモードであるか、スレーブモードであるかを示します。IIC は、MST ビットが 0 のときはスレーブモード、1 のときはマスタモードになります。MST ビットと TRS ビットの組み合わせで IIC の動作モードを示します。

スタートコンディションの発行時、あるいはストップコンディションの発行または検出時、MST ビットの値は自動的に 1（マスタモード）または 0（スレーブモード）に変化します。ICMR1.MTWP ビットが 1 のとき、MST ビットへ書き込むことは可能ですが、通常の使用時は、書き込む必要はありません。

[1 になる条件]

- スタートコンディション要求によってスタートコンディションが正常に発行されたとき（ST ビットが 1 の状態で、スタートコンディションが検出されたとき）
- ICMR1.MTWP ビットが 1 の状態で、MST ビットに 1 を書いたとき

[0 になる条件]

- ストップコンディションが検出されたとき
- ICSR2.AL（アービトレーションロスト）フラグが 1 になったとき
- ICMR1.MTWP ビットが 1 の状態で、MST ビットに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

BBSY フラグ（バスビジー検出フラグ）

BBSY フラグは、I^2C バスが占有されているか（バスビジー状態）、解放されているか（バスフリー状態）を示します。SCLn ラインが High のときに SDAn ラインが High から Low に変化すると、スタートコンディションが発行されたとみなされて、このフラグは 1 になります。バスフリー時間（ICBRL レジスタの設定）スタートコンディションが検出されないと、ストップコンディションが発行されたとみなされて、このフラグは 0 になります。

[1 になる条件]

- スタートコンディションが検出されたとき

[0 になる条件]

- ストップコンディション検出後、バスフリー時間（ICBRL レジスタの設定）スタートコンディションが検出されないとき
- ICCR1.ICE ビットが 0 の状態で、ICCR1.IICRST ビットに 1 を書いたとき（IIC リセット）

31.2.3 ICMR1 : I^2C バスモードレジスタ 1

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0, 1)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0, 1)

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MTWP	CKS[2:0]			BCWP	BC[2:0]		
Value after reset:	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
2:0	BC[2:0]	ビットカウンタ 0 0 0: 9 ビット 0 0 1: 2 ビット 0 1 0: 3 ビット 0 1 1: 4 ビット 1 0 0: 5 ビット 1 0 1: 6 ビット 1 1 0: 7 ビット 1 1 1: 8 ビット	R/W(注1)
3	BCWP	BC ライトプロテクト 読むと 1 が読めます。 0: BC[2:0]ビットの書き込み許可 1: BC[2:0]ビットの書き込み禁止	W(注1)
6:4	CKS[2:0]	内部基準クロック選択 IIC の内部基準クロックソース (IICφ) を選択します。 IICφ = (PCLKB/$2^{CKS[2:0]}$) クロック	R/W
7	MTWP	MST/TRS ライトプロテクト 0: ICCR2.MST、TRS ビットの書き込み禁止 1: ICCR2.MST、TRS ビットの書き込み許可	R/W

注. S-TYPE3、P-TYPE3
注 1. BC[2:0]ビットを書き換える場合は、同時に BCWP ビットを 0 にしてください。

BC[2:0]ビット（ビットカウンタ）

BC[2:0]ビットは、SCLn ラインの立ち上がりエッジの検出時に、残りの転送ビット数を示すカウンタです。BC[2:0]ビットは読み出しおよび書き込みは可能ですが、通常はこれらのビットへのアクセスは不要です。

なお、これらのビットへ書き込む場合は、SCLn ラインが Low の状態で、転送するデータのビット数 + 1（追加のアクノリッジビット分）を転送フレーム間で指定してください。BC[2:0]ビットの値は、アクノリッジビットを含むデータ転送の終了時、あるいはスタートコンディションまたはリスタートコンディションの検出時に 000b に戻ります。

31.2.4 ICMR2 : I2C バスモードレジスタ 2

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0, 1)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0, 1)

Offset address: 0x03

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DLCS	SDDL[2:0]			—	TMOH	TMOL	TMOS
Value after reset:	0	0	0	0	0	1	1	0

ビット	シンボル	機能	R/W
0	TMOS	タイムアウト検出時間選択 0: ロングモードを選択 1: ショートモードを選択	R/W
1	TMOL	タイムアウト L カウント制御 0: SCLn ラインが Low の間カウントを禁止 1: SCLn ラインが Low の間カウントを許可	R/W
2	TMOH	タイムアウト H カウント制御 0: SCLn ラインが High の間カウントを禁止 1: SCLn ラインが High の間カウントを許可	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
6:4	SDDL[2:0]	SDA 出力遅延カウンタ 0 0 0: 出力遅延なし 0 0 1: 1IICφ サイクル（ICMR2.DLCS = 0 (IICφ) のとき） 1 または 2IICφ サイクル（ICMR2.DLCS = 1 (IICφ/2) のとき） 0 1 0: 2IICφ サイクル（ICMR2.DLCS = 0 (IICφ) のとき） 3 または 4IICφ サイクル（ICMR2.DLCS = 1 (IICφ/2) のとき） 0 1 1: 3IICφ サイクル（ICMR2.DLCS = 0 (IICφ) のとき） 5 または 6IICφ サイクル（ICMR2.DLCS = 1 (IICφ/2) のとき） 1 0 0: 4IICφ サイクル（ICMR2.DLCS = 0 (IICφ) のとき） 7 または 8IICφ サイクル（ICMR2.DLCS = 1 (IICφ/2) のとき） 1 0 1: 5IICφ サイクル（ICMR2.DLCS = 0 (IICφ) のとき） 9 または 10IICφ サイクル（ICMR2.DLCS = 1 (IICφ/2) のとき） 1 1 0: 6IICφ サイクル（ICMR2.DLCS = 0 (IICφ) のとき） 11 または 12IICφ サイクル（ICMR2.DLCS = 1 (IICφ/2) のとき） 1 1 1: 7IICφ サイクル（ICMR2.DLCS = 0 (IICφ) のとき） 13 または 14 IICφ サイクル（ICMR2.DLCS = 1 (IICφ/2) のとき）	R/W
7	DLCS	SDA 出力遅延クロックソース選択 0: SDA 出力遅延カウンタのクロックソースに内部基準クロック (IICφ) を選択 1: SDA 出力遅延カウンタのクロックソースに内部基準クロックの 2 分周 (IICφ/2) を選択(注1)	R/W

注. S-TYPE3、P-TYPE3
注 1. DLCS= 1 (IICφ/2) の設定は、SCL が Low のときのみ有効です。SCL が High のとき、DLCS= 1 の設定は無効となり、クロックソースは内部基準クロック (IICφ) となります。

TMOS ビット（タイムアウト検出時間選択）

TMOS ビットは、タイムアウト機能が有効 (ICFER.TMOE = 1) の場合に、タイムアウト検出時間としてロングモードまたはショートモードを選択します。本ビットを 0 にすると、ロングモードが選択されます。本ビットを 1 にすると、ショートモードが選択されます。ロングモードでは、タイムアウト検出用の内部カウンタが 16 ビットカウンタとして機能します。ショートモードでは、このカウンタが 14 ビットカウンタとして機能します。SCLn ラインが、このカウンタを TMOH ビットと TMOL ビットの指定通り動作させる状態にあるとき、このカウンタは内部基準クロック (IICφ) をカウントソースとして同期してアップカウントを行います。この機能の詳細については、「31.12.1. タイムアウト検出機能」を参照してください。

TMOL ビット（タイムアウト L カウント制御）

TMOL ビットは、SCLn ラインが Low ホールドであり、かつタイムアウト機能が有効 (ICFER.TMOE = 1) のときに、タイムアウト機能の内部カウンタによるアップカウントを許可または禁止します。

TMOH ビット（タイムアウト H カウント制御）

TMOH ビットは、SCLn ラインが High ホールドであり、かつタイムアウト機能が有効 (ICFER.TMOE = 1) のときに、タイムアウト機能の内部カウンタによるアップカウントを許可または禁止します。

SDDL[2:0]ビット（SDA 出力遅延カウンタ）

SDDL[2:0]ビットを使用して、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースで動作します。この機能の設定値は、アクノリッジビット送出を含むすべての種類の SDA 出力に適用されます。

SDA 出力遅延時間は、データ有効時間／アクノリッジ有効時間(注1)に対する I^2C バス規格、または SMBus 規格を満たすように、「データホールド時間（300 ns 以上+SCL クロックの Low 幅）－データセットアップ時間 (250 ns)」の範囲内で設定してください。規格外に設定すると、デバイス間の通信に誤動作を引き起こすか、バスの状態によってはスタートコンディションまたはストップコンディションを誤って表示することがあります。

この機能の詳細については、「31.5. SDA 出力遅延機能」を参照してください。

注 1. データ有効時間／アクノリッジ有効時間
3,450 ns (～100 kbps)：スタンダードモード (Sm)
900 ns (～400 kbps)：ファストモード (Fm)
450 ns (～1 Mbps)：ファストモードプラス (Fm+)

31.2.5 ICMR3 : I²C バスモードレジスタ 3

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0, 1)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0, 1)

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	NF[1:0]	ノイズフィルタ段数選択 0 0: 1 IICφ サイクル以下のノイズを除去（フィルタは 1 段） 0 1: 2 IICφ サイクル以下のノイズを除去（フィルタは 2 段） 1 0: 3 IICφ サイクル以下のノイズを除去（フィルタは 3 段） 1 1: 4 IICφ サイクル以下のノイズを除去（フィルタは 4 段）	R/W
2	ACKBR	受信アクノリッジ 0: アクノリッジビットに 0 を受信（ACK 受信） 1: アクノリッジビットに 1 を受信（NACK 受信）	R
3	ACKBT	送信アクノリッジ 0: アクノリッジビットに 0 を送出（ACK 送信） 1: アクノリッジビットに 1 を送出（NACK 送信）	R/W(注1)
4	ACKWP	ACKBT ライトプロテクト 0: ACKBT ビットの書き込み禁止 1: ACKBT ビットの書き込み許可	R/W
5	RDRFS	RDRF フラグセットタイミング選択 Low ホールドは ACKBT ビットへの書き込みで解除されます。 0: SCL クロックの 9 クロック目の立ち上がりで RDRF フラグをセット、8 クロック目の立ち下がりで SCLn ラインの Low ホールドを行わない 1: SCL クロックの 8 クロック目の立ち上がりで RDRF フラグをセット、8 クロック目の立ち下がりで SCLn ラインの Low ホールドを行う	R/W(注2)
6	WAIT	Low ホールドは ICDRR レジスタの読み出しで解除されます。 0: ウェイトなし（9 クロック目と 1 クロック目の間で SCLn の Low ホールドを行わない） 1: ウェイトあり（9 クロック目と 1 クロック目の間で SCLn の Low ホールドを行う）	R/W(注2)
7	SMBS	SMBus/I²C バス選択 0: I²C バスを選択 1: SMBus を選択	R/W

注. S-TYPE3、P-TYPE3
注 1. ACKBT ビットに書き込む場合は、ACKWP ビットが 1 の状態であるときにのみ行ってください。ACKWP ビットと ACKBT ビットに同時に 1 を書き込んでも、ACKBT ビットは 1 になりません。
注 2. WAIT ビットと RDRFS ビットは、受信モードでのみ有効（送信モードでは無効）です。

NF[1:0]ビット（ノイズフィルタ段数選択）

NF[1:0]ビットは、デジタルノイズフィルタの段数を選択します。デジタルノイズフィルタ機能の詳細については、「31.6. デジタルノイズフィルタ回路」を参照してください。

注. ノイズフィルタで除去するノイズ幅は、SCLn ラインの High 幅または Low 幅よりも狭くなるように設定してください。ノイズ幅の設定が［SCL クロックの幅：High 幅または Low 幅のいずれか短い方］-［1.5 内部基準クロック (IICΦ) サイクル + アナログノイズフィルタ：120 ns（参考値）］の値以上の場合、SCL クロックはノイズとみなされ、IIC が正常に動作しない可能性があります。

ACKBR ビット（受信アクノリッジ）

ACKBR ビットは、送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

［1 になる条件］

- ICCR2.TRS ビットが 1 の状態で、アクノリッジビットに 1 を受信したとき

[0 になる条件]

- ICCR2.TRS ビットが 1 の状態で、アクノリッジビットに 0 を受信したとき
- ICCR1.ICE ビットが 0 の状態で、ICCR1.IICRST ビットに 1 を書いたとき（IIC リセット）

ACKBT ビット（送信アクノリッジ）

ACKBT ビットは、受信モード時に送出されるアクノリッジビットを設定します。

[1 になる条件]

- ACKWP ビットが 1 の状態で、このビットに 1 を書いたとき

[0 になる条件]

- ACKWP ビットが 1 の状態で、このビットに 0 を書いたとき
- ストップコンディションの発行が検出されたとき（ICCR2.SP ビットが 1 の状態で、ストップコンディションが検出されたとき）
- ICCR1.ICE ビットが 0 の状態で、ICCR1.IICRST ビットに 1 を書いたとき（IIC リセット）

ACKWP ビット（ACKBT ライトプロテクト）

ACKWP ビットは、ACKBT ビットの書き込みを制御します。

RDRFS ビット（RDRF フラグセットタイミング選択）

RDRFS ビットは、受信モード時の RDRF フラグのセットタイミングと、SCL クロックの 8 クロック目の立ち下がりで SCLn ラインを Low にホールドするかどうかを選択します。

RDRFS ビットが 0 のとき、SCL クロックの 8 クロック目の立ち下がりで SCLn ラインの Low ホールドは行わず、SCL クロックの 9 クロック目の立ち上がりで RDRF フラグを 1 にします。

RDRFS ビットが 1 のとき、SCL クロックの 8 クロック目の立ち上がりで RDRF フラグを 1 にし、SCL クロックの 8 クロック目の立ち下がりで SCLn ラインの Low ホールドを行います。この SCLn ラインの Low ホールドは、ACKBT ビットへの書き込みによって解除されます。

この設定でデータを受信した後、アクノリッジビット送出前に、SCLn ラインは自動的に Low ホールドされます。これによって、受信データの内容に応じた ACK (ACKBT = 0) または NACK (ACKBT = 1) の送出処理が可能となります。

WAIT ビット（WAIT）

WAIT ビットは、受信モードにおいて 1 バイト受信ごとに、I^2C バス受信データレジスタ (ICDRR) の読み出しが完了するまで、SCL クロックの 9 クロック目と 1 クロック目の間を強制的に Low ホールドするかどうかを制御します。

WAIT ビットが 0 のとき、SCL クロックの 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに 0 のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが 1 のとき、1 バイト受信ごとに、9 クロック目の立ち下がり以降、ICDRR レジスタ値が読み出されるまでの間、SCLn ラインを Low にホールドします。これによって、1 バイトごとの受信動作が可能になります。

注. WAIT ビットの値を読み出す場合は、最初に ICDRR レジスタを読み出してください。

SMBS ビット（SMBus/I^2C バス選択）

SMBS ビットを 1 にすると、SMBus が選択されて、ICSER.HOAE ビットが有効になります。

31.2.6 ICFER : I²C バスファンクションイネーブルレジスタ

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0, 1)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0, 1)

Offset address: 0x05

Bit position:	7	6	5	4	3	2	1	0
Bit field:	FMPE	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
Value after reset:	0	1	1	1	0	0	1	0

ビット	シンボル	機能	R/W
0	TMOE	タイムアウト検出機能有効 0: 無効 1: 有効	R/W
1	MALE	マスタアービトレーションロスト検出有効 0: アービトレーションロスト検出機能を無効にして、アービトレーションロスト発生による ICCR2.MST および TRS ビットの自動クリアを禁止します。 1: アービトレーションロスト検出機能を有効にして、アービトレーションロスト発生による ICCR2.MST および TRS ビットの自動クリアを許可します。	R/W
2	NALE	NACK 送信アービトレーションロスト検出有効 0: 無効 1: 有効	R/W
3	SALE	スレーブアービトレーションロスト検出有効 0: 無効 1: 有効	R/W
4	NACKE	NACK 受信転送中断許可 0: NACK 受信時、転送を中断しない（転送中断禁止） 1: NACK 受信時、転送を中断する（転送中断許可）	R/W
5	NFE	デジタルノイズフィルタ回路有効 0: デジタルノイズフィルタ回路を使用しない 1: デジタルノイズフィルタ回路を使用する	R/W
6	SCLE	SCL 同期回路有効 0: SCL 同期回路を使用しない 1: SCL 同期回路を使用する	R/W
7	FMPE(注1)	ファストモードプラス有効 0: SCLn 端子と SDAn 端子に Fm+のスロープ制御回路を使用しない 1: SCLn 端子と SDAn 端子に Fm+のスロープ制御回路を使用する	R/W

注. S-TYPE3、P-TYPE3
注 1. ファストモードプラス有効ビット (FMPE) は IIC0 (SCL0_A, SDA0_A) および IIC1 (SCL1_A, SDA1_A) に対応しています。ビット [7]はサポートしていないチャネルの予約ビットです。

TMOE ビット（タイムアウト検出機能有効）

TMOE ビットは、タイムアウト検出機能を有効または無効にします。タイムアウト検出機能の詳細については、「31.12.1. タイムアウト検出機能」を参照してください。

MALE ビット（マスタアービトレーションロスト検出有効）

MALE ビットは、マスタモード時にアービトレーションロスト検出機能を使用するかどうかを指定します。通常の動作では、このビットを 1 にしてください。

NALE ビット（NACK 送信アービトレーションロスト検出有効）

NALE ビットは、受信モード時で NACK 送出中に ACK が検出された場合（同じアドレスのスレーブがバス上に存在した場合や、2 つ以上のマスタが同時に同一のスレーブデバイスを選択し、それぞれ受信バイト数が異なる場合など）に、アービトレーションロストを発生させるかどうかを選択します。

SALE ビット（スレーブアービトレーションロスト検出有効）

SALE ビットは、スレーブ送信モード時に、送出中の値と異なる値がバス上で検出された場合（同じアドレスのスレーブがバス上に存在した場合や、ノイズが原因で送信データとの不一致が生じた場合など）、アービトレーションロストを発生させるかどうかを選択します。

NACKE ビット（NACK 受信転送中断許可）

NACKE ビットは、送信モード時に NACK を受信した場合、転送動作を継続するか中断するかを選択します。通常は、このビットを 1 にしてください。

NACKE ビットが 1 の状態で NACK を受信した場合、次の転送動作が中断されます。NACKE ビットが 0 の場合は、受信したアクノリッジの内容にかかわらず、次の転送動作が継続されます。

NACK 受信転送中断機能の詳細については、「31.9.2. NACK 受信転送中断機能」を参照してください。

SCLE ビット（SCL 同期回路有効）

SCLE ビットは、SCL クロックを SCL 入力クロックと同期させるか否かを選択します。通常は、このビットを 1 にしてください。

SCLE ビットを 0（SCL 同期回路を使用しない）にすると、IIC は SCL クロックを SCL 入力クロックと同期させません。この設定の場合、SCLn ラインの状態にかかわらず、IIC は、ICBRH レジスタと ICBRL レジスタで設定した転送速度の SCL クロックを出力します。そのため、I2C バスラインのバス負荷が規格値よりも大幅に大きい場合や、マルチマスタにおいて SCL クロック出力が重なった場合に、規格外の短い SCL クロックが出力される場合があります。また、SCL 同期回路を使用しないと、スタートコンディション、リスタートコンディション、ストップコンディションの発行、および追加の SCL クロックサイクルの連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合を除き、0 にしないでください。

FMPE ビット（ファストモードプラス有効）

FMPE ビットは、ファストモードプラス (Fm+) 用のスロープ制御回路を使用するか否かを指定します。

本ビットを 1 にすると、I2C バスのファストモードプラス (Fm+) 規格 (tof) に準拠したスロープ制御回路が選択されます。本ビットを 0 にすると、I2C バスのスタンダードモード (Sm) およびファストモード (Fm) 規格 (tof) に準拠したスロープ制御回路が選択されます。

通信速度を～1 Mbps（ファストモードプラス (Fm+) 規格）で使用する場合、本ビットを 1 にしてください。それ以外の通信速度 (～100 kbps (Sm), ～400 kbps (Fm)) または SMBus (10 kbps～100 kbps) で使用する場合は、本ビットを 0 にしてください。

31.2.7 ICSER : I2C バスステータスイネーブルレジスタ

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0, 1)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0, 1)

Offset address: 0x06

Bit position:	7	6	5	4	3	2	1	0
Bit field:	HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E
Value after reset:	0	0	0	0	1	0	0	1

ビット	シンボル	機能	R/W
0	SAR0E	スレーブアドレスレジスタ 0 有効 0: SARL0 および SARU0 のスレーブアドレスは無効 1: SARL0 および SARU0 のスレーブアドレスは有効	R/W
1	SAR1E	スレーブアドレスレジスタ 1 有効 0: SARL1 および SARU1 のスレーブアドレスは無効 1: SARL1 および SARU1 のスレーブアドレスは有効	R/W
2	SAR2E	スレーブアドレスレジスタ 2 有効 0: SARL2 および SARU2 のスレーブアドレスは無効 1: SARL2 および SARU2 のスレーブアドレスは有効	R/W

ビット	シンボル	機能	R/W
3	GCAE	ジェネラルコールアドレス有効 0: ジェネラルコールアドレス検出は無効 1: ジェネラルコールアドレス検出は有効	R/W
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	DIDE	デバイス ID アドレス検出有効 0: デバイス ID アドレス検出は無効 1: デバイス ID アドレス検出は有効	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	HOAE	ホストアドレス有効 0: ホストアドレス検出は無効 1: ホストアドレス検出は有効	R/W

注. S-TYPE3、P-TYPE3

SARnE ビット（スレーブアドレスレジスタ n 有効）(n = 0～2)

SARnE ビットは、受信したスレーブアドレスと、SARLn および SARUn レジスタで設定したスレーブアドレスを有効または無効にします。

このビットを 1 にすると、SARLn および SARUn レジスタで設定したスレーブアドレスが有効になり、受信したスレーブアドレスと比較されます。SARnE ビットを 0 にすると、SARLn および SARUn レジスタで設定したスレーブアドレスが無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE ビット（ジェネラルコールアドレス有効）

GCAE ビットは、ジェネラルコールアドレス（0000 000b + 0[W] : すべて 0）を受信した場合、それを無視するかどうかを選択します。

このビットを 1 にした場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、IIC は、SARLn および SARUn レジスタ (n = 0～2) で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをジェネラルコールアドレスと認識し、データ受信動作を行います。このビットを 0 にした場合、受信したスレーブアドレスは、ジェネラルコールアドレスと一致しても無視されます。

DIDE ビット（デバイス ID アドレス検出有効）

DIDE ビットは、スタートコンディションまたはリスタートコンディション検出後の第 1 フレームでデバイス ID (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが 1 のときに、受信した第 1 フレームがデバイス ID と一致すると、IIC はデバイス ID アドレスを受信したと認識します。続く R/W#ビットが 0[W]の場合、IIC は第 2 フレーム以降をスレーブアドレスとみなして、受信動作を継続します。DIDE ビットが 0 の場合、IIC は受信した第 1 フレームがデバイス ID アドレスと一致してもそれを無視し、第 1 フレームを通常のスレーブアドレスと認識します。

この機能の詳細については、「31.7.3. デバイス ID アドレス検出機能」を参照してください。

HOAE ビット（ホストアドレス有効）

HOAE ビットは、ICMR3.SMBS ビットが 1 の場合、受信したホストアドレス (0001 000b) を無視するかどうかを選択します。

このビットが 1 で、かつ ICMR3.SMBS ビットも 1 の場合、受信したスレーブアドレスがホストアドレスと一致すると、IIC は SARLn および SARUn レジスタ (n = 0～2) で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをホストアドレスとして認識し、受信動作を行います。

ICMR3.SMBS ビットまたは HOAE ビットが 0 の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

31.2.8 ICIER : I²C バス割り込みイネーブルレジスタ

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0, 1)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0, 1)

Offset address: 0x07

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TMOIE	タイムアウト割り込み要求許可 0: タイムアウト割り込み (TMOI) 要求を禁止 1: タイムアウト割り込み (TMOI) 要求を許可	R/W
1	ALIE	アービトレーションロスト割り込み要求許可 0: アービトレーションロスト割り込み (ALI) 要求を禁止 1: アービトレーションロスト割り込み (ALI) 要求を許可	R/W
2	STIE	スタートコンディション検出割り込み要求許可 0: スタートコンディション検出割り込み (STI) 要求を禁止 1: スタートコンディション検出割り込み (STI) 要求を許可	R/W
3	SPIE	ストップコンディション検出割り込み要求許可 0: ストップコンディション検出割り込み (SPI) 要求を禁止 1: ストップコンディション検出割り込み (SPI) 要求を許可	R/W
4	NAKIE	NACK 受信割り込み要求許可 0: NACK 受信割り込み (NAKI) 要求を禁止 1: NACK 受信割り込み (NAKI) 要求を許可	R/W
5	RIE	受信データフル割り込み要求許可 0: 受信データフル割り込み (IICn_RXI) 要求を禁止 1: 受信データフル割り込み (IICn_RXI) 要求を許可	R/W
6	TEIE	送信終了割り込み要求許可 0: 送信終了割り込み (IICn_TEI) 要求を禁止 1: 送信終了割り込み (IICn_TEI) 要求を許可	R/W
7	TIE	送信データエンプティ割り込み要求許可 0: 送信データエンプティ割り込み (IICn_TXI) 要求を禁止 1: 送信データエンプティ割り込み (IICn_TXI) 要求を許可	R/W

注. S-TYPE3、P-TYPE3

TMOIE ビット（タイムアウト割り込み要求許可）

TMOIE ビットは、ICSR2.TMOF フラグが 1 のとき、タイムアウト割り込み (TMOI) 要求を許可または禁止します。TMOI 割り込み要求を解除するには、TMOF フラグまたは TMOIE ビットを 0 にします。

ALIE ビット（アービトレーションロスト割り込み要求許可）

ALIE ビットは、ICSR2.AL フラグが 1 のとき、アービトレーションロスト割り込み (ALI) 要求を許可または禁止します。ALI 割り込み要求を解除するには、AL フラグまたは ALIE ビットを 0 にします。

STIE ビット（スタートコンディション検出割り込み要求許可）

STIE ビットは、ICSR2.START フラグが 1 のとき、スタートコンディション検出割り込み (STI) 要求を許可または禁止します。STI 割り込み要求を解除するには、START フラグまたは STIE ビットを 0 にします。

SPIE ビット（ストップコンディション検出割り込み要求許可）

SPIE ビットは、ICSR2.STOP フラグが 1 のとき、ストップコンディション検出割り込み (SPI) 要求を許可または禁止します。SPI 割り込み要求を解除するには、STOP フラグまたは SPIE ビットを 0 にします。

NAKIE ビット（NACK 受信割り込み要求許可）

NAKIE ビットは、ICSR2.NACKF フラグが 1 のとき、NACK 受信割り込み (NAKI) 要求を許可または禁止します。NAKI 割り込み要求を解除するには、NACKF フラグまたは NAKIE ビットを 0 にします。

RIE ビット（受信データフル割り込み要求許可）

RIE ビットは、ICSR2.RDRF フラグが 1 のとき、受信データフル割り込み (IICn_RXI) 要求を許可または禁止します。

TEIE ビット（送信終了割り込み要求許可）

TEIE ビットは、ICSR2.TEND フラグが 1 のとき、送信終了割り込み (IICn_TEI) 要求を許可または禁止します。IICn_TEI 割り込み要求を解除するには、TEND フラグまたは TEIE ビットを 0 にします。

TIE ビット（送信データエンプティ割り込み要求許可）

TIE ビットは、ICSR2.TDRE フラグが 1 のとき、送信データエンプティ割り込み (IICn_TXI) 要求を許可または禁止します。

31.2.9 ICSR1 : I2C バスステータスレジスタ 1

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0, 1)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0, 1)

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	HOA	—	DID	—	GCA	AAS2	AAS1	AAS0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	AAS0	スレーブアドレス 0 検出フラグ 0: スレーブアドレス 0 未検出 1: スレーブアドレス 0 検出	R/(W) (注1)
1	AAS1	スレーブアドレス 1 検出フラグ 0: スレーブアドレス 1 未検出 1: スレーブアドレス 1 検出	R/(W) (注1)
2	AAS2	スレーブアドレス 2 検出フラグ 0: スレーブアドレス 2 未検出 1: スレーブアドレス 2 検出	R/(W) (注1)
3	GCA	ジェネラルコールアドレス検出フラグ 0: ジェネラルコールアドレス未検出 1: ジェネラルコールアドレス検出	R/(W) (注1)
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	DID	デバイス ID アドレス検出フラグ スタートコンディション検出直後に受信した第 1 フレームが、[デバイス ID (1111 100b) + 0 [W]]の値と一致した場合、1 になります。 0: デバイス ID コマンド未検出 1: デバイス ID コマンド検出	R/(W) (注1)
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	HOA	ホストアドレス検出フラグ 受信したスレーブアドレスが、ホストアドレス (0001 000b) と一致した場合、1 になります。 0: ホストアドレス未検出 1: ホストアドレス検出	R/(W) (注1)

注. S-TYPE3、P-TYPE3
注 1. フラグをクリアするための 0 書き込みのみ可能です。

AASn フラグ（スレーブアドレス n 検出フラグ）(n = 0～2)

AASn フラグは、スレーブアドレス n が検出されたかどうかを示します。

[1 になる条件]

【7 ビットアドレスフォーマット選択時 (SARUn.FS = 0)】

- ICSER.SARnE ビットが 1（スレーブアドレス n 検出有効）の状態で、受信したスレーブアドレスが SARLn.SVA[6:0]ビット値と一致したとき。
  AASn フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になります。

【10 ビットアドレスフォーマット選択時 (SARUn.FS = 1)】

- ICSER.SARnE ビットが 1（スレーブアドレス n 検出有効）の状態で、受信したスレーブアドレスが (11110b + SARUn.SVA[1:0]) の値と一致し、かつ、それに続くアドレスが SARLn レジスタの値と一致したとき
  AASn フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になります。

[0 になる条件]

- AASn = 1 を読んだ後、AASn フラグに 0 を書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

【7 ビットアドレスフォーマット選択時 (SARUn.FS = 0)】

- ICSER.SARnE ビットが 1（スレーブアドレス n 検出有効）の状態で、受信したスレーブアドレスが SARLn.SVA[6:0]ビット値と不一致のとき
  AASn フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。

【10 ビットアドレスフォーマット選択時 (SARUn.FS = 1)】

- ICSER.SARnE ビットが 1（スレーブアドレス n 検出有効）の状態で、受信したスレーブアドレスが (11110b + SARUn.SVA[1:0]) の値と不一致のとき
  AASn フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
- ICSER.SARnE ビットが 1（スレーブアドレス n 検出有効）の状態で、受信したスレーブアドレスが (11110b + SARUn.SVA[1:0]) の値と一致し、かつ、それに続くアドレスが SARLn レジスタの値と不一致のとき
  AASn フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。

GCA フラグ（ジェネラルコールアドレス検出フラグ）

GCA フラグは、ジェネラルコールアドレスが検出されたかどうかを示します。

[1 になる条件]

- ICSER.GCAE ビットが 1（ジェネラルコールアドレス検出有効）の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と一致したとき
  GCA フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になります。

[0 になる条件]

- GCA= 1 を読んだ後、GCA フラグに 0 を書いたとき
- ストップコンディションが検出されたとき
- ICSER.GCAE ビットが 1（ジェネラルコールアドレス検出有効）の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と不一致のとき
  GCA フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

DID フラグ（デバイス ID アドレス検出フラグ）

DID フラグは、デバイス ID アドレスが検出されたかどうかを示します。

[1 になる条件]

- ICSER.DIDE ビットが 1（デバイス ID アドレス検出有効）の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームが（デバイス ID (1111 100b) + 0[W]）の値と一致したとき
  DID フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になります。

[0 になる条件]

- DID= 1 を読んだ後、DID フラグに 0 を書いたとき

- ストップコンディションが検出されたとき
- ICSER.DIDE ビットが 1（デバイス ID アドレス検出有効）の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームがデバイス ID (1111 100b) と不一致のとき
  DID フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
- ICSER.DIDE ビットが 1（デバイス ID アドレス検出有効）の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームが（デバイス ID (1111 100b) + 0[W]）の値と一致し、かつ、第 2 フレームがスレーブアドレス 0～2 のすべてと不一致のとき
  DID フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

HOA フラグ（ホストアドレス検出フラグ）

HOA フラグは、ホストアドレスが検出されたかどうかを示します。

[1 になる条件]

- ICSER.HOAE ビットが 1（ホストアドレス検出有効）の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と一致したとき
  HOA フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になります。

[0 になる条件]

- HOA= 1 を読んだ後、HOA フラグに 0 を書いたとき
- ストップコンディションが検出されたとき
- ICSER.HOAE ビットが 1（ホストアドレス検出有効）の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と不一致のとき
  HOA フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

31.2.10 ICSR2 : I2C バスステータスレジスタ 2

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0, 1)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0, 1)

Offset address: 0x09

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TMOF	タイムアウト検出フラグ 0: タイムアウト未検出 1: タイムアウト検出	R/(W) (注1)
1	AL	アービトレーションロストフラグ 0: アービトレーションロスト未発生 1: アービトレーションロスト発生	R/(W) (注1)
2	START	スタートコンディション検出フラグ 0: スタートコンディション未検出 1: スタートコンディション検出	R/(W) (注1)
3	STOP	ストップコンディション検出フラグ 0: ストップコンディション未検出 1: ストップコンディション検出	R/(W) (注1)
4	NACKF	NACK 検出フラグ 0: NACK 未検出 1: NACK 検出	R/(W) (注1)

ビット	シンボル	機能	R/W
5	RDRF	受信データフルフラグ 0: ICDRR レジスタに受信データなし 1: ICDRR レジスタに受信データあり	R/(W) (注1)
6	TEND	送信終了フラグ 0: データ送信中 1: データ送信完了	R/(W) (注1)
7	TDRE	送信データエンプティフラグ 0: ICDRT レジスタに送信データあり 1: ICDRT レジスタに送信データなし	R

注. S-TYPE3、P-TYPE3
注 1. フラグをクリアするための 0 の書き込みのみ可能です。

TMOF フラグ（タイムアウト検出フラグ）

TMOF フラグは、SCLn ラインの状態が一定期間変化しないために IIC がタイムアウトを検出すると、1 になります。

[1 になる条件]

- マスタモードまたはスレーブモード時に、ICFER.TMOE ビットが 1（タイムアウト機能有効）かつ受信したスレーブアドレスが一致した状態で、ICMR2.TMOH、TMOL、および TMOS ビットで指定した期間 SCLn ライン状態が変化しなかったとき

[0 になる条件]

- TMOF = 1 を読んだ後、TMOF フラグに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

AL フラグ（アービトレーションロストフラグ）

AL フラグは、スタートコンディション発行時やアドレスおよびデータ送信時に、バス競合などが原因で、バス占有権がアービトレーションロストしたことを示します。IIC は、送信中に SDAn ラインのレベルを監視し、そのラインのレベルと出力中のビット値が一致していないと、AL フラグを 1 にすることで、バスが他のデバイスによって占有されていることを示します。

さらに、IIC では設定により、AL フラグをセットすることで、NACK 送信中やデータ送信中に、アービトレーションロストを検出することも可能です。

[1 になる条件]

【マスタアービトレーションロスト検出有効時 (ICFER.MALE = 1)】

- マスタ送信モード時のデータ送信中の ACK 期間を除き、SCL クロックの立ち上がりで出力した SDA 信号と SDAn ライン上の信号の状態が一致しなかったとき
- ICCR2.ST ビットが 1（スタートコンディション要求）の状態でスタートコンディションが検出されたとき、または出力した SDA 信号と SDAn ライン上の信号の状態が一致しなかったとき
- ICCR2.BBSY フラグが 1 の状態で、ICCR2.ST ビットを 1（スタートコンディション要求）にしたとき

【NACK アービトレーションロスト検出有効時 (ICFER.NALE = 1)】

- 受信モードでの NACK 送信中に、ACK 期間において、内部の SDA 出力状態が SCL クロックの立ち上がりで SDAn ラインレベルと不一致のとき

【スレーブアービトレーションロスト検出有効時 (ICFER.SALE = 1)】

- スレーブ送信モード時のデータ送信中の ACK 期間を除き、内部の SDA 出力状態が SCL クロックの立ち上がりで SDAn ラインレベルと不一致のとき

[0 になる条件]

- AL = 1 を読んだ後、AL フラグに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

表 31.4 アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

ICFER			ICSR2		
MALE	NALE	SALE	AL	エラー内容	アービトレーションロスト発生要因
1	x	x	1	スタートコンディション発行エラー	ICCR2.ST が 1 の状態で、スタートコンディション検出時に、出力した SDA 信号と SDAn ライン上の信号の状態が不一致のとき
					ICCR2.BBSY が 1 の状態で、ICCR2.ST を 1 にしたとき
			1	送信データ不一致	マスタ送信モード時に、送信データ（スレーブアドレス含む）とバス状態が不一致のとき
x	1	x	1	NACK 送信不一致	マスタまたはスレーブ受信モード時に、NACK 送信中に ACK を検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モード時に、送信データとバス状態が不一致のとき

x: Don’t care

START フラグ（スタートコンディション検出フラグ）

START フラグは、スタートコンディションが検出されたことを示します。

[1 になる条件]

- スタートコンディション（またはリスタートコンディション）が検出されたとき

[0 になる条件]

- START = 1 を読んだ後、START フラグに 0 を書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

STOP フラグ（ストップコンディション検出フラグ）

STOP フラグは、ストップコンディションが検出されたことを示します。

[1 になる条件]

- ストップコンディションが検出されたとき

[0 になる条件]

- STOP = 1 を読んだ後、STOP フラグに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

NACKF フラグ（NACK 検出フラグ）

NACKF フラグは、NACK が検出されたことを示します。

[1 になる条件]

- ICFER.NACKE ビットが 1（転送中断許可）の状態で、送信モード時に受信デバイスからアクノリッジを受信しなかった（NACK を受信した）とき

[0 になる条件]

- NACKF = 1 を読んだ後、NACKF フラグに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. NACKF フラグが 1 になると、IIC はデータ送受信動作を中断します。NACKF フラグが 1 の状態では、送信モード時に ICDRT レジスタへ書き込みや、受信モード時に ICDRR レジスタから読み出しを行っても、データ送受信動作は許可されません。データ送受信動作を再開するには、NACKF フラグを 0 にしてください。

RDRF フラグ（受信データフルフラグ）

RDRF フラグは、ICDRR レジスタに受信データがあることを示します。

[1 になる条件]

- ICDRS レジスタから ICDRR レジスタへ受信データが転送されたとき
  RDRF フラグは、SCL クロックの 8 クロック目または 9 クロック目（ICMR3 レジスタの RDRFS ビットで選択）の立ち上がりで 1 になる
- ICCR2.TRS ビットが 0 の状態で、スタートコンディションまたはリスタートコンディション検出後、受信したスレーブアドレスが一致したとき

[0 になる条件]

- RDRF = 1 を読んだ後、RDRF フラグに 0 を書いたとき
- ICDRR レジスタからデータを読んだとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

TEND フラグ（送信終了フラグ）

TEND フラグは送信が終了したことを示します。

[1 になる条件]

- TDRE フラグが 1 の状態での SCL クロックの 9 クロック目の立ち上がり時

[0 になる条件]

- TEND = 1 を読んだ後、TEND フラグに 0 を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

TDRE フラグ（送信データエンプティフラグ）

TDRE フラグは、ICDRT レジスタに送信データがないことを示します。

[1 になる条件]

- ICDRT レジスタから ICDRS レジスタへデータが転送され、ICDRT レジスタが空になったとき
- ICCR2.TRS ビットが 1 になったとき
- TRS ビットが 1 の状態で、受信したスレーブアドレスが一致したとき

[0 になる条件]

- ICDRT レジスタへデータを書いたとき
- ICCR2.TRS ビットが 0 になったとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. ICFER.NACKE ビットが 1 のとき、NACKF フラグが 1 になると、IIC はデータ送受信動作を中断します。このとき、TDRE フラグが 0（次の送信データがすでに書き込まれている状態）であれば、9 クロック目の立ち上がりで ICDRS レジスタへデータが転送され、ICDRT レジスタが空になりますが、TDRE フラグは 1 になりません。

31.2.11 ICWUR : I2C バスウェイクアップユニットレジスタ

Base address: IIC0WU = 0x4025_E014
IIC0WU_NS = 0x5025_E014

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	WUE	WUIE	WUF	WUACK	—	—	—	WUAFA
Value after reset:	0	0	0	1	0	0	0	0

ビット	シンボル	機能	R/W
0	WUAFA	ウェイクアップアナログフィルタ追加選択 0: ウェイクアップアナログフィルタを追加しない 1: ウェイクアップアナログフィルタを追加する	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	WUACK	ウェイクアップモード用 ACK ICCR1.IICRST ビットと WUACK ビットの組み合わせで、4 つの応答モードから選択します。表 31.5 を参照してください。	R/W
5	WUF	ウェイクアップイベント発生フラグ 0: ウェイクアップ時にスレーブアドレス不一致 1: ウェイクアップ時にスレーブアドレス一致	R/W
6	WUIE	ウェイクアップ割り込み要求許可 0: ウェイクアップ割り込み要求 (IIC0_WUI) を禁止 1: ウェイクアップ割り込み要求 (IIC0_WUI) を許可	R/W
7	WUE	ウェイクアップ機能有効 0: ウェイクアップ機能無効 1: ウェイクアップ機能有効	R/W

注. S-TYPE3, P-TYPE3

表 31.5 ウェイクアップモード

IICRST	WUACK	動作モード	機能
0	0	ノーマルウェイクアップモード 1	SCL クロックの 9 クロック目で ACK 応答を行い、9 クロック目の後で SCL の Low ホールドを行う。
0	1	ノーマルウェイクアップモード 2	即時 ACK 応答せず、SCL クロックの 8 クロック目と 9 クロック目の間で SCL の Low ホールドを行う。SCL クロックの 9 クロック目で SCL の Low ホールドを解除し、ACK 応答を行う。
1	0	コマンドリカバリモード	SCL クロックの 9 クロック目で ACK 応答を行い、SCL の Low ホールドは行わない。
1	1	EEP 応答モード	SCL クロックの 9 クロック目で NACK 応答を行い、SCL の Low ホールドは行わない。

WUF フラグ（ウェイクアップイベント発生フラグ）

WUF フラグは、ウェイクアップ時にスレーブアドレスが一致しているかどうかを示します。

[1 になる条件]

- I2C バスのスレーブアドレスと ICSER（デバイス ID アドレス以外）の許可ビットが 1（許可）に設定されたアドレスが一致した後、PCLKB が供給されたとき

[0 になる条件]

- WUF = 1 を読んだ後、WUF フラグに 0 を書いたとき（WUSYF フラグを 1 に設定）
- ICCR1.ICE = 0 かつ IICRST = 1 のとき

31.2.12 ICWUR2 : I2C バスウェイクアップユニットレジスタ 2

Base address: IIC0WU = 0x4025_E014
IIC0WU_NS = 0x5025_E014

Offset address: 0x03

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	WUSYF	WUASYF	WUSEN
Value after reset:	1	1	1	1	1	1	0	1

ビット	シンボル	機能	R/W
0	WUSEN	ウェイクアップ機能同期有効 0: IIC 非同期回路有効 1: IIC 同期回路有効	R/W
1	WUASYF	ウェイクアップ機能非同期動作ステータスフラグ 0: IIC 同期回路有効条件 1: IIC 非同期回路有効条件	R
2	WUSYF	ウェイクアップ機能同期動作ステータスフラグ 0: IIC 非同期回路有効条件 1: IIC 同期回路有効条件	R
7:3	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. S-TYPE3, P-TYPE3

WUSEN ビット（ウェイクアップ機能同期有効）

WUSEN ビットは、ウェイクアップ機能が有効な場合 (ICWUR.WUE = 1) に PCLKB の同期動作と非同期動作を切り替えるために、WUASYF フラグ（または WUSYF フラグ）との組み合わせで使用されます。

PCLKB の動作は、以下の場合に同期動作から非同期動作に切り替わります。

ICCR2.BBSY フラグが 0 のとき、WUASYF フラグが 0 の間に WUSEN ビットに 0 を書いた場合、ウェイクアップイベント検出時に PCLKB が非同期動作に切り替わった後、PCLKB の動作（PCLKB 停止）とは関係なく受信が発生します。

PCLKB の動作は、以下の場合に非同期動作から同期動作に切り替わります。

- ウェイクアップイベント検出時に、WUASYF フラグが 1 の状態で WUSEN ビットに 1 を書いた場合。1 を書いた直後に、WUASYF フラグは 0 になります。
- ウェイクアップイベント未検出時に、停止条件が検出された場合

[1 になる条件]

- WUSEN ビットに 1 を書いた場合
- ICCR1.ICE = 0 かつ IICRST = 1（IIC リセット）
- ICWUR.WUE = 0

[0 になる条件]

- WUSEN ビットに 0 を書いた場合

WUASYF フラグ（ウェイクアップ機能非同期動作ステータスフラグ）

WUASYF フラグは、ウェイクアップ機能が有効な場合 (ICWUR.WUE = 1) に IIC を PCLKB の非同期動作にすることができます。

[1 になる条件]

- ICCR2.BBSY フラグが 0 のとき、ICWUR.WUE ビットが 1 の状態で WUSEN ビットに 0 を設定した場合

[0 になる条件]

- ICWUR.WUE ビットが 1 の状態でウェイクアップイベント検出後に、WUSEN ビットに 1 を書いた場合
- WUASY フラグと ICWUR.WUE ビットが 1 の状態でウェイクアップイベント検出前に、WUSEN ビットが 1 の状態でストップコンディションが検出された場合
- WUASYF フラグが 1 でウェイクアップイベントが ICWUR.WUE = 1 の状態で、WUSEN ビットに 1 を書いた場合
- ICCR1.ICE = 0 かつ ICCRST = 1（ICC リセット）
- ICWUR.WUE = 0

WUSYF フラグ（ウェイクアップ機能同期動作ステータスフラグ）

WUSYF フラグは、ウェイクアップ機能が有効な場合 (ICWUR.WUE = 1) に IIC を PCLKB の同期動作にすることができます。本フラグは WUASYF フラグが常に予約となるような値になります。

[1 になる条件]

- WUSYF フラグが 0 で ICWUR.WUE ビットが 1 の状態でウェイクアップイベント検出後に、WUSEN ビットに 1 を書いた場合
- WUSYF フラグが 0 でと ICWUR.WUE ビットが 1 の状態でウェイクアップイベント検出前に、WUSEN ビットが 1 の状態で停止条件が検出された場合
- ICCR1.ICE = 0 かつ ICCRST = 1（ICC リセット）
- ICWUR.WUE = 0

[0 になる条件]

- WUSEN ビットに 0 を書いた後に ICWUR.WUE ビットが 1 の状態で、ICCR2.BBSY フラグが 0 の場合

31.2.13 SARLn : スレーブアドレスレジスタ Ln (n = 0〜2)

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0, 1)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0A+0x02× n (n = 0〜2)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SVA[6:0]							SVA0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SVA0	10 ビットアドレス最下位 スレーブアドレス設定	R/W
7:1	SVA[6:0]	7 ビットアドレス／10 ビットアドレス下位 スレーブアドレス設定	R/W

注. S-TYPE3、P-TYPE3

SVA0 ビット（10 ビットアドレス最下位）

10 ビットアドレスフォーマット選択時 (SARUn.FS = 1)、SVA0 ビットは 10 ビットアドレスの最下位ビットとして機能します。また、SVA[6:0]ビットと組み合わせて 10 ビットアドレスの下位 8 ビットを形成します。

このビットは、ICSER.SARnE ビットが 1（SARLn および SARUn レジスタ有効）で、かつ SARUn.FS ビットが 1 の場合に有効です。SARUn.FS ビットまたは SARnE ビットが 0 の場合、このビットの設定値は無視されます。

SVA[6:0]ビット（7 ビットアドレス／10 ビットアドレス下位）

7 ビットアドレスフォーマット選択時 (SARUn.FS = 0)、SVA[6:0]ビットは 7 ビットアドレスとして機能します。10 ビットアドレスフォーマット選択時 (SARUn.FS = 1)、これらのビットは、SVA0 ビットと組み合わせて 10 ビットアドレスの下位 8 ビットを形成します。

ICSER.SARnE ビットが 0 の場合、これらのビットの設定値は無視されます。

31.2.14 SARUn : スレーブアドレスレジスタ Un (n = 0～2)

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0, 1)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0B+0x02× n (n = 0～2)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SVA[1:0]		FS
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FS	7 ビット／10 ビットアドレスフォーマット選択 0: 7 ビットアドレスフォーマットを選択 1: 10 ビットアドレスフォーマットを選択	R/W
2:1	SVA[1:0]	10 ビットアドレス上位 スレーブアドレス設定	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3、P-TYPE3

FS ビット（7 ビット／10 ビットアドレスフォーマット選択）

FS ビットは、スレーブアドレス n（SARLn および SARUn レジスタ）に対して、7 ビットアドレスまたは 10 ビットアドレスを選択します。

ICSER.SARnE ビットが 1（SARLn および SARUn レジスタ有効）で、かつ SARUn.FS ビットが 0 の場合、スレーブアドレス n には 7 ビットアドレスフォーマットが選択され、SARLn.SVA[6:0]ビットの設定値が有効になり、SVA[1:0]ビットと SARLn.SVA0 ビットの設定値は無視されます。

ICSER.SARnE ビットが 1（SARLn および SARUn レジスタ有効）で、かつ SARUn.FS ビットが 1 の場合、スレーブアドレス n には 10 ビットアドレスフォーマットが選択され、SVA[1:0]ビットおよび SARLn レジスタの設定値が有効になります。

ICSER.SARnE ビットが 0（SARLn および SARUn レジスタ無効）の場合、SARUn.FS ビットの設定値は無効です。

SVA[1:0]ビット（10 ビットアドレス上位）

10 ビットアドレスフォーマット選択時 (FS= 1)、SVA[1:0]ビットは 10 ビットアドレスの上位 2 ビットとして機能します。

これらのビットは、ICSER.SARnE ビットが 1（SARLn および SARUn レジスタ有効）で、かつ SARUn.FS ビットが 1 の場合に有効です。SARUn.FS ビットまたは SARnE ビットが 0 の場合、これらのビットの設定値は無視されます。

31.2.15 ICBRL : I2C バスビットレート Low レジスタ

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0, 1)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0, 1)

Offset address: 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	BRL[4:0]				
Value after reset:	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
4:0	BRL[4:0]	ビットレート Low 幅設定 SCL クロックの Low 幅	R/W
7:5	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. S-TYPE3、P-TYPE3

BRL[4:0]ビット（ビットレート Low 幅設定）

BRL[4:0]ビットは、SCL クロックの Low 幅を設定するビットです。ICBRL は、ICMR1.CKS[2:0]ビットで指定した内部基準クロックソース (IICφ) で Low 幅をカウントします。ICBRL レジスタは、SCL 自動 Low ホールド機能（「31.9. SCL の自動 Low ホールド機能」を参照）のデータセットアップ時間を生成します。IIC をスレーブモードのみで使用する場合、BRL[4:0]ビットはデータセットアップ時間（(注1)）以上の値を設定してください。

デジタルノイズフィルタ回路を有効 (ICFER.NFE = 1) にした場合、BRL[4:0]ビットにはノイズフィルタの段数＋1 以上の値を設定してください。この段数の詳細は、「31.2.5. ICMR3 : I2C バスモードレジスタ 3」の NF[1:0]ビットの説明を参照してください。

注 1. データセットアップ時間 (t_{SU}: DAT)

250 ns (～100 kbps) : スタンダードモード (Sm)

100 ns (～400 kbps) : ファストモード (Fm)

50 ns (～1 Mbps) : ファストモードプラス (Fm+)

31.2.16 ICBRH : I2C バスビットレート High レジスタ

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0, 1)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0, 1)

Offset address: 0x11

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	BRH[4:0]				
Value after reset:	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
4:0	BRH[4:0]	ビットレート High 幅設定 SCL クロックの High 幅	R/W
7:5	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. S-TYPE3, P-TYPE3

BRH[4:0]ビット（ビットレート High 幅設定）

BRH[4:0]ビットは、SCL クロックの High 幅を設定するビットです。BRH[4:0]ビットはマスタモードで有効になります。IIC をスレーブモードのみで使用する場合、BRH[4:0]ビットの設定は不要です。

ICBRH レジスタは、ICMR1.CKS[2:0]ビットで指定した内部基準クロックソース (IICφ) で High 幅をカウントします。

デジタルノイズフィルタ回路を有効 (ICFER.NFE = 1) にした場合、これらのビットにはノイズフィルタの段数＋1 以上の値を設定してください。ノイズフィルタの段数については、「31.2.5. ICMR3 : I2C バスモードレジスタ 3」の NF[1:0]ビットの説明を参照してください。

IIC 転送速度と SCL クロックのデューティー比は、次式で計算されます。

1. ICFER.SCLE = 0 の場合
   転送速度 = 1/[{(BRH + 1) + (BRL + 1)}/IICφ(注1)+ tr(注2)+ tf(注2)]
   デューティー比 = [tr + {(BRH + 1)/IICφ}]/[tr + tf + {(BRH + 1) + (BRL + 1)}/IICφ]
2. ICFER.SCLE = 1、ICFER.NFE = 0、CKS[2:0] = 000b (IICφ = PCLKB) の場合
   転送速度 = 1/[{(BRH + 3) + (BRL+ 3)}/IICφ + tr + tf]
   デューティー比 = [tr + {(BRH + 3)/IICφ}]/[tr + tf + {(BRH + 3) + (BRL + 3)}/IICφ]
3. ICFER.SCLE = 1、ICFER.NFE = 1、CKS[2:0] = 000b (IICφ = PCLKB) の場合
   転送速度 = 1/[{(BRH + 3 + nf(注3)) + (BRL + 3 + nf)}/IICφ + tr + tf]
   デューティー比 = [tr + {(BRH + 3 + nf)/IICφ}]/[tr + tf + {(BRH + 3 + nf) + (BRL + 3 + nf)}/IICφ]
4. ICFER.SCLE = 1、ICFER.NFE = 0、CKS[2:0] ≠ 000b の場合
   転送速度 = 1/[{(BRH + 2) + (BRL + 2)}/IICφ + tr + tf]

デューティー比 = [tr + {(BRH + 2)/IICφ}]/[tr + tf + {(BRH + 2) + (BRL + 2)}/IICφ]

5. ICFER.SCLE = 1、ICFER.NFE = 1、CKS[2:0] ≠ 000b の場合
転送速度 = 1/[{(BRH + 2 + nf) + (BRL + 2 + nf)}/IICφ + tr + tf]
デューティー比 = [tr + {(BRH + 2 + nf)/IICφ}]/[tr + tf + {(BRH + 2 + nf) + (BRL + 2 + nf)}/IICφ]

注 1. IICφ = PCLKB × 分周比
注 2. SCLn ライン立ち上がり時間[tr]および SCLn ライン立ち下がり時間[tf]は、バスライン総容量[Cb]とプルアップ抵抗[Rp]に依存します。詳細については、NXP 社の I2C バス規格書を参照してください。
注 3. nf = ICMR3.NF ビットで選択したデジタルノイズフィルタの段数

表 31.6 SCLE = 0 の場合の転送速度に対する ICBRH/ICBRL レジスタの設定例

転送速度 (kbps)	CKS[2:0] (ICMR1)	BRH[4:0] (ICBRH)	BRL[4:0] (ICBRL)	PCLKB (MHz)	NF[1:0]	計算式
100	100b	14 (0xEE)	17 (0xF1)	60	—	(1)
400	010b	8 (0xE8)	19 (0xF3)	60	—	(1)
1000	000b	15 (0xEF)	29 (0xFD)	60	—	(1)

表 31.7 SCLE = 1 かつ NFE = 0 の場合の転送速度に対する ICBRH/ICBRL レジスタの設定例

転送速度 (kbps)	CKS[2:0] (ICMR1)	BRH[4:0] (ICBRH)	BRL[4:0] (ICBRL)	PCLKB (MHz)	NF[1:0]	計算式
100	100b	13 (0xED)	16 (0xF0)	60	—	(4)
400	010b	7 (0xE7)	18 (0xF2)	60	—	(4)
1000	000b	13 (0xED)	27 (0xFB)	60	—	(2)

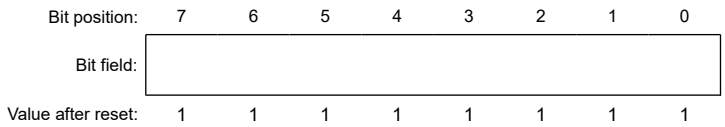
表 31.8 SCLE = 1 かつ NFE = 1 の場合の転送速度に対する ICBRH/ICBRL レジスタの設定例

転送速度 (kbps)	CKS[2:0] (ICMR1)	BRH[4:0] (ICBRH)	BRL[4:0] (ICBRL)	PCLKB (MHz)	NF[1:0]	計算式
100	100b	11 (0xEB)	14 (0xEE)	60	01b	(5)
400	010b	5 (0xE5)	16 (0xF0)	60	01b	(5)
1000	000b	11 (0xEB)	25 (0xF9)	60	01b	(3)

31.2.17 ICDRT : I2C バス送信データレジスタ

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0, 1)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0, 1)

Offset address: 0x12



ICDRT レジスタは、I2C バスシフトレジスタ (ICDRS) の空きを検出すると、ICDRT レジスタに書き込まれた送信データを ICDRS レジスタへ転送し、送信モードでデータ送信を開始します。ICDRT レジスタと ICDRS レジスタはダブルバッファ構成になっているため、ICDRS レジスタのデータ送信中に、次に送信するデータを ICDRT レジスタに書けば、連続送信動作が可能になります。

ICDRT レジスタは常に読み出しと書き込みが可能です。ICDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み (IICn_TXI) 要求が発生したときに 1 回だけ行ってください。

31.2.18 ICDRR : I²C バス受信データレジスタ

Base address: IICn = 0x4025_E000 + 0x0100 × n (n = 0, 1)
IICn_NS = 0x5025_E000 + 0x0100 × n (n = 0, 1)

Offset address: 0x13

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	0	0	0	0	0	0	0	0

1 バイトのデータを受信すると、受信したデータは I²C バスシフトレジスタ (ICDRS) から ICDRR レジスタへ転送され、次のデータを受信可能にします。ICDRS レジスタと ICDRR レジスタはダブルバッファ構成になっているため、ICDRS レジスタのデータ受信中に、すでに受信したデータを ICDRR レジスタから読み出せば、連続受信動作が可能になります。ICDRR レジスタに書き込むことはできません。ICDRR レジスタからの読み出しは、受信データフル割り込み (IICn_RXI) 要求が発生したときに 1 回だけ行ってください。

現在のデータを ICDRR レジスタから読み出す前に（ICSR2.RDRF フラグが 1 の場合に）、ICDRR レジスタが次の受信データを受け取ると、RDRF フラグが次に 1 になるタイミングの 1 つ手前の SCL クロックで、IIC は自動的に Low ホールドを行います。

31.2.19 ICDRS : I²C バスシフトレジスタ

Base address: n/a

Offset address: n/a

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	—	—	—	—	—	—	—	—

ICDRS レジスタは、データを送受信するための 8 ビットのシフトレジスタです。送信時は、送信データが ICDRT レジスタから ICDRS レジスタへ転送されて、SDAn 端子からデータが送信されます。受信時は、1 バイトのデータ受信後に、データが ICDRS レジスタから ICDRR レジスタへ転送されます。ICDRS レジスタは、直接アクセスすることはできません。

31.3 動作説明

31.3.1 通信データフォーマット

I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションまたはリスタートコンディションに続くフレームは、マスタデバイスの通信先であるスレーブデバイスを指定するアドレスフレームです。指定されたスレーブは、新たにスレーブが指定されるか、またはストップコンディションが発行されるまで有効です。

図 31.3 に I²C バスフォーマットを、図 31.4 に I²C バスタイミングを示します。

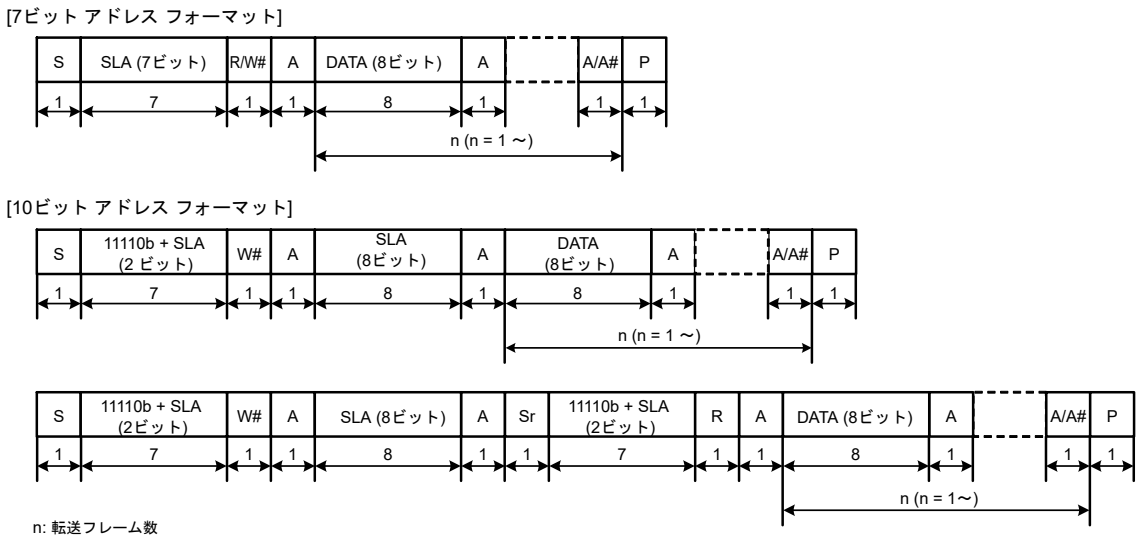
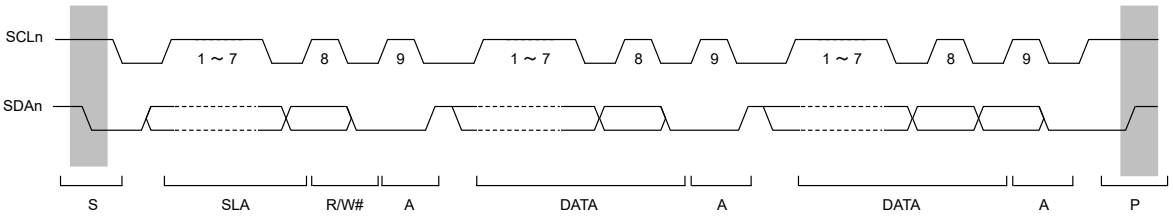


図 31.3 I²C バスフォーマット



注. n = 0, 1

図 31.4 I²C バスタイミング（SLA = 7 ビットの場合）

S:	スタートコンディションを表します。SCLn ラインが High のとき、マスタデバイスが SDAn ラインを High から Low に変化させます。
SLA:	スレーブアドレスを表します。これによって、マスタデバイスがスレーブデバイスを選択します。
R/W#:	データ転送の方向を表します。1 のとき、スレーブデバイスからマスタデバイスの方向、0 のとき、マスタデバイスからスレーブデバイスの方向になります。
A:	アクノリッジを表します。受信デバイスが SDAn ラインを Low にします。マスタ送信モードでは、スレーブデバイスがアクノリッジを返します。マスタ受信モードでは、マスタデバイスがアクノリッジを返します。
A#:	ノットアクノリッジを表します。受信デバイスが SDAn ラインを High にします。
Sr:	リスタートコンディションを表します。SCLn ラインが High のときに、セットアップ時間が経過した後、マスタデバイスが SDAn ラインを High から Low に変化させます。
DATA:	送信データまたは受信データを表します。
P:	ストップコンディションを表します。SCLn ラインが High のときに、マスタデバイスが SDAn ラインを Low から High に変化させます。

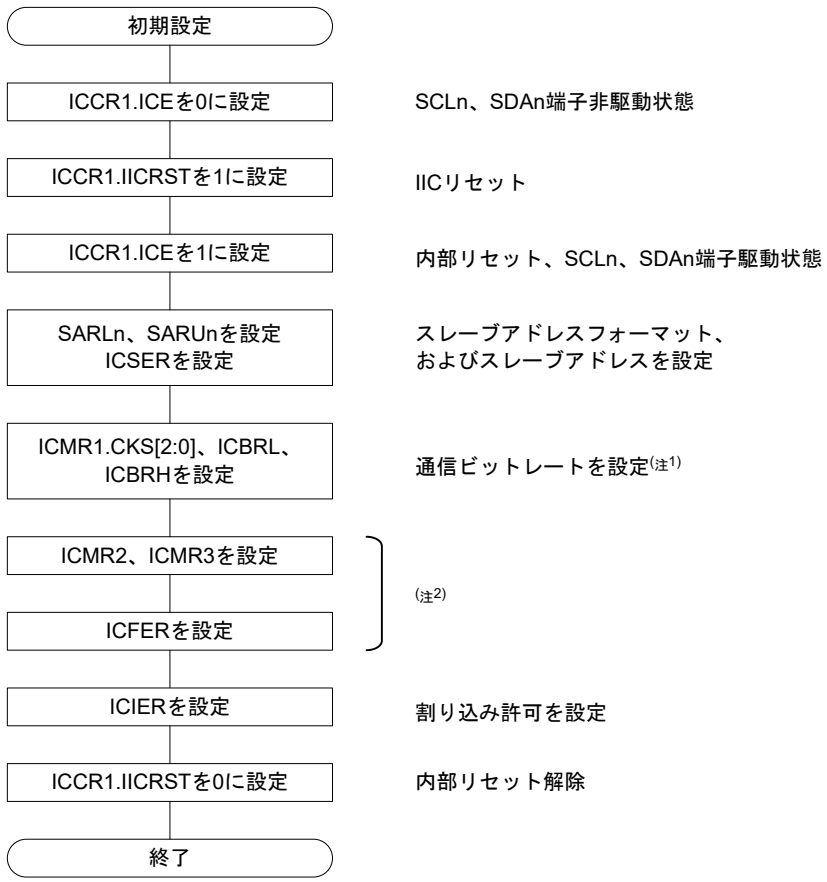
31.3.2 初期設定

データの送受信を開始する前に、図 31.5 に示す手順に従って IIC を初期化してください。

1. ICCR1.ICE ビットを 0 に設定して、SCLn および SDAn 端子を非アクティブ状態に設定します。

2. ICCR1.IICRST ビットを 1 に設定して、IIC リセットします。
3. ICCR1.ICE ビットを 1 に設定して、内部リセットを開始します。
4. SARLy、SARUy、ICSER、ICMR1、ICBRH、および ICBRL レジスタ (y = 0～2) を設定し、必要に応じてその他のレジスタを設定します。IIC の初期設定については、図 31.5 を参照してください。
5. 必要なレジスタ設定が完了したら、ICCR1.IICRST ビットを 0 に設定して IIC リセットを解除します。

すでに IIC の初期化が完了している場合、この手順は不要です。



注. n = 0, 1, y = 0～2
注 1. スレーブのみで動作させる場合、ICBRL レジスタにデータセットアップ時間以上の値を設定してください。
注 2. 必要に応じて設定してください。

図 31.5 IIC の初期化フローチャート例

31.3.3 マスタ送信動作

マスタ送信動作では、マスタデバイスである IIC が SCL クロックと送信データ信号を出力し、スレーブデバイスがアクノリッジを返します。 図 31.6 にマスタ送信の例を、図 31.7～図 31.9 にマスタ送信の動作タイミングを示します。

マスタ送信の設定および実行は以下の手順で行います。

1. 初期設定を行います。詳細は、「31.3.2. 初期設定」を参照してください。
2. ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットを 1（スタートコンディション要求）にします。IIC はスタートコンディション要求を受け付けると、スタートコンディションを発行します。同時に、ICCR2.BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ST ビットが自動的に

0 になります。このとき、ST ビットが 1 の状態でスタートコンディションが検出され、かつ、SDA 出力状態の内部レベルと SDAn ラインのレベルが一致していれば、IIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST、TRS ビットが自動的に 1 になり、IIC はマスタ送信モードになります。ICSR2.TDRE フラグは、TRS ビットが 1 になることにより自動的に 1 になります。

3. ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ（スレーブアドレスと R/W# ビット）を書いてください。ICDRT レジスタに送信データが書き込まれると、TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタへデータが転送されて、再び TDRE フラグが 1 になります。スレーブアドレスと R/W#ビットを含むバイトの送信後、送信された R/W#ビットの値に応じて TRS ビットの値が自動的に更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W#ビットの値が 0 であったなら、IIC はマスタ送信モードの状態を継続します。
このとき ICSR2.NACKF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。
データを 10 ビットフォーマットのアドレスで送信する場合は、最初に、1 回目のアドレス送信処理で ICDRT レジスタに 11110b + スレーブアドレスの上位 2 ビットと W を書きます。次に、2 回目のアドレス送信処理では、ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
4. ICSR2.TDRE フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションが発行されるまで、IIC は自動的に SCLn ラインを Low にホールドします。
5. 送信データの全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが 1 に戻るまで待ってから、ICCR2.SP ビットを 1（ストップコンディション要求）にしてください。IIC は、ストップコンディション要求を受け付けると、ストップコンディションを発行します。ストップコンディション発行の詳細については、「31.11.3. ストップコンディション発行動作」を参照してください。
6. IIC はストップコンディションを検出すると、ICCR2.MST ビットと ICCR2.TRS ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。さらに IIC は、TDRE フラグと TEND フラグを自動的に 0 にして、ICSR2.STOP フラグを 1 にします。
7. ICSR2.STOP フラグが 1 であることを確認した後、次の転送動作のために、ICSR2.NACKF フラグと ICSR2.STOP フラグを 0 にしてください。

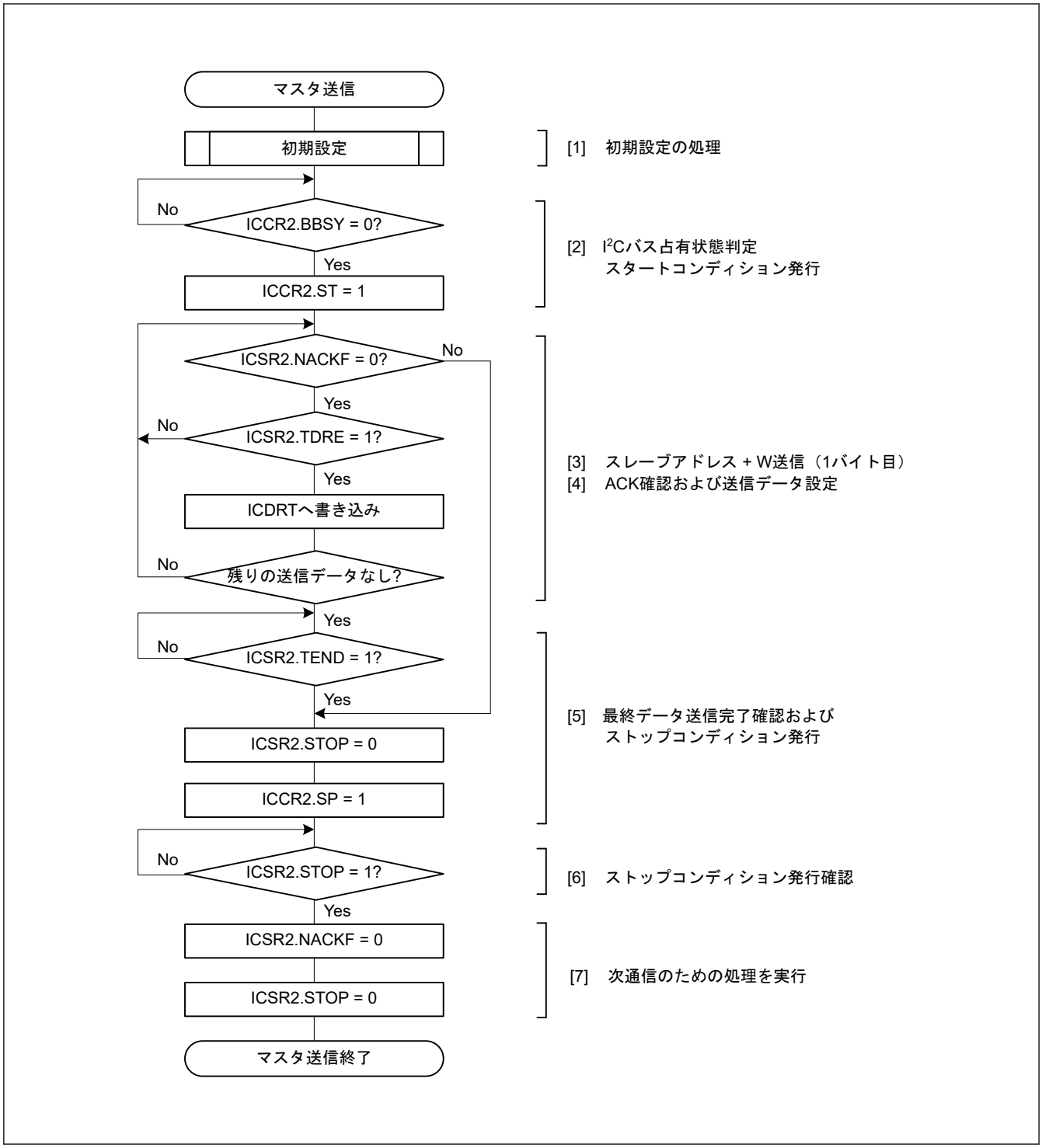
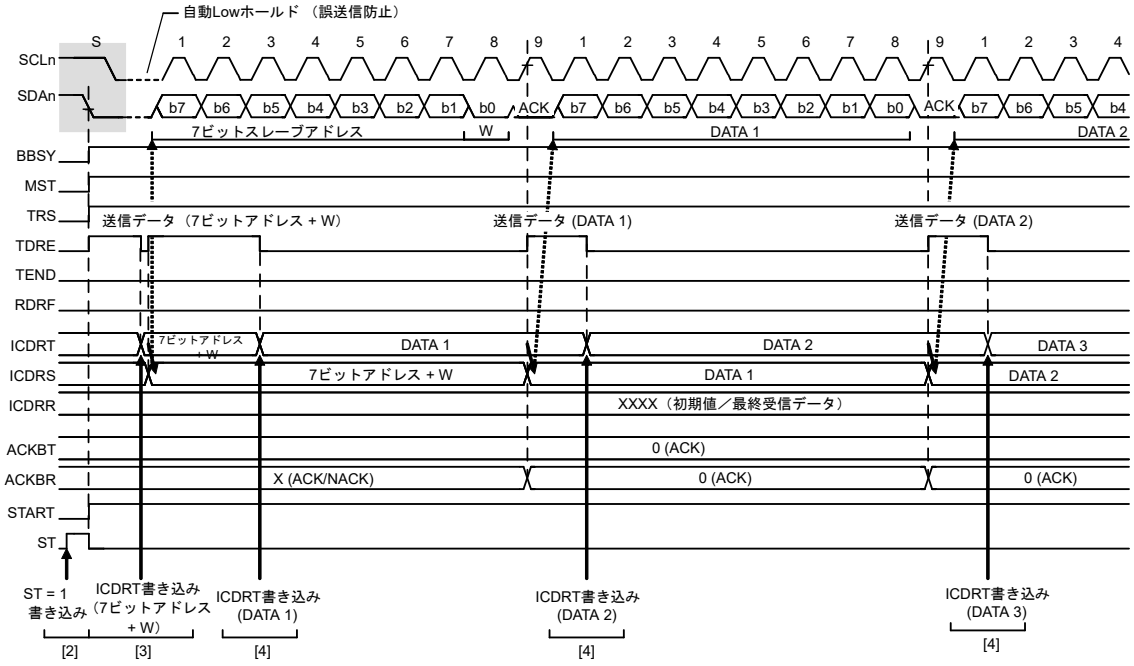
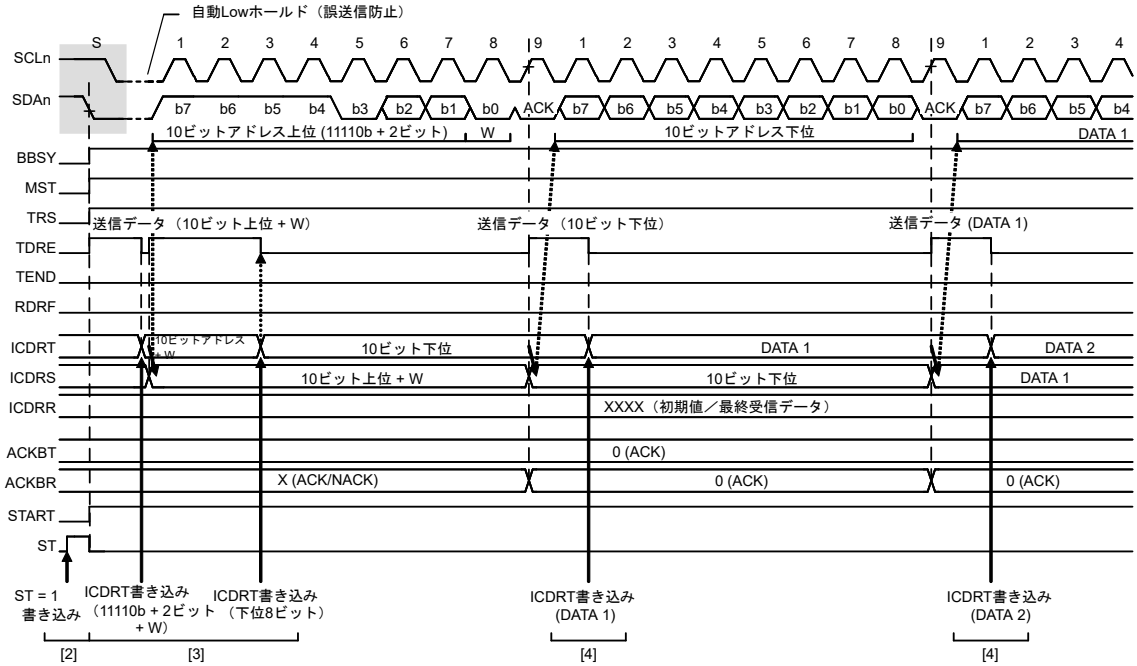


図 31.6　マスタ送信のフローチャート例



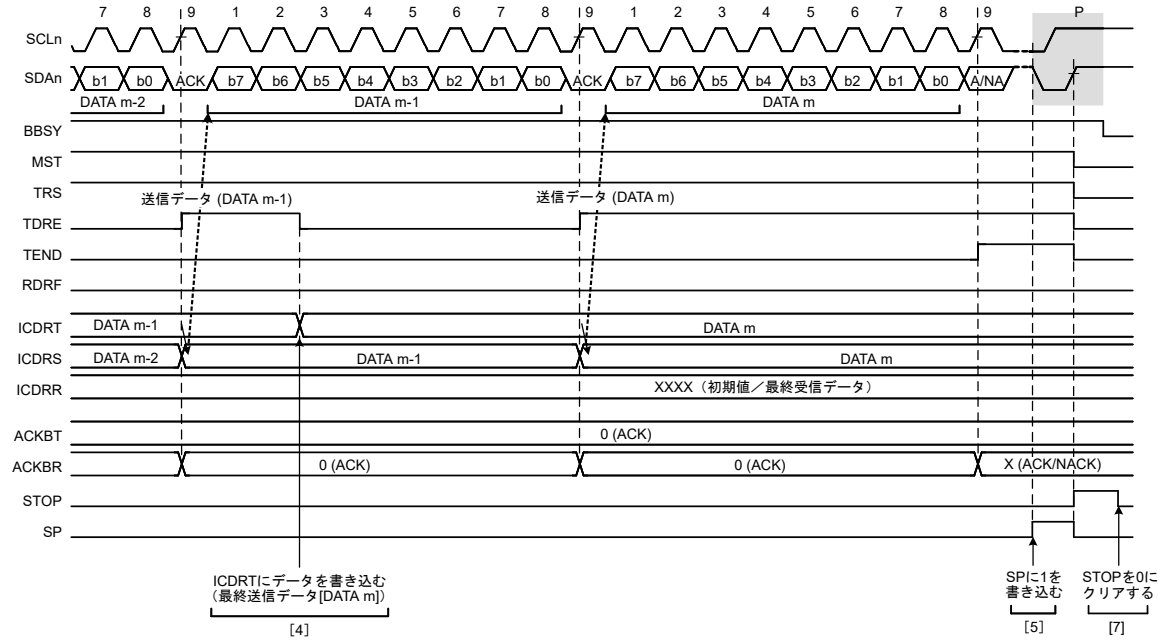
注. n = 0, 1

図 31.7 マスタ送信の動作タイミング (1)（7 ビットアドレスフォーマット）



注. n = 0, 1

図 31.8 マスタ送信の動作タイミング (2)（10 ビットアドレスフォーマット）



注. n = 0, 1

図 31.9 マスタ送信の動作タイミング (3)

31.3.4 マスタ受信動作

マスタ受信動作では、マスタデバイスである IIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初に、対応するスレーブデバイスにスレーブアドレスを送信する必要があるため、手順のこの部分ではマスタ送信モードで実行し、その後の手順ではマスタ受信モードで実行します。

図 31.10 と図 31.11 にマスタ受信の例（7 ビットアドレスフォーマットの場合）を、図 31.12～図 31.14 にマスタ受信の動作タイミングを示します。

マスタ受信の設定および実行は以下の手順で行います。

1. 初期設定を行います。詳細は、「31.3.2. 初期設定」を参照してください。
2. ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットを 1（スタートコンディション要求）にします。IIC はスタートコンディション要求を受け付けると、スタートコンディションを発行します。IIC がスタートコンディションを検出すると、ICCR2.BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ST ビットが自動的に 0 になります。このとき、ST ビットが 1 の状態でスタートコンディションが検出され、かつ SDA 出力のレベルと SDAn ラインのレベルが一致したならば、IIC は ST ビットで要求したスタートコンディション発行が正しく完了したと認識し、ICCR2.MST ビットと ICCR2.TRS ビットが自動的に 1 になって、IIC はマスタ送信モードになります。ICSR2.TDRE フラグは、TRS ビットが 1 になることにより自動的に 1 になります。
3. ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ（1 バイト目はスレーブアドレスと R/W#ビットの値を示す）を書いてください。ICDRT レジスタに送信データが書き込まれると、TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタへデータが転送されて、再び TDRE フラグが 1 になります。スレーブアドレスと R/W#ビットを含むバイトが送信されると、送信された R/W#ビットの値に応じて ICCR2.TRS ビットの値が自動的に更新され、送信モードまたは受信モードが選択されます。R/W#ビットの値が 1 の場合、SCL クロックの 9 クロック目の立ち上がりで TRS ビットが 0 になり、IIC はマスタ受信モードになります。このとき、TDRE フラグが 0 になり、ICSR2.RDRF フラグが自動的に 1 になります。このとき ICSR2.NACKF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。

なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、11110b+スレーブアドレスの上位 2 ビットと R ビットを送信することで、IIC はマスタ受信モードになります。

4. ICSR2.RDRF フラグが 1 であることを確認した後、ICDRR レジスタをダミーリードします。これにより、IIC は SCL クロックの出力とデータ受信動作を開始します。
5. 1 バイトのデータの受信後、ICMR3.RDRFS ビットで設定した SCL クロックの 8 クロック目または 9 クロック目の立ち上がりで、ICSR2.RDRF フラグが 1 になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に 0 になります。また、SCL クロックの 9 クロック目のアクノリッジビットには、ICMR3.ACKBT ビットに設定した値が返信されます。次に受信するバイトが最後から 2 番目のバイトの場合、そのデータ（最後から 2 番目のバイト）を含む ICDRR レジスタを読む前に、ICMR3.WAIT ビットを 1（WAIT あり）にしてください。これにより、手順 (6) の ICMR3.ACKBT ビットを 1 (NACK) にする処理が割り込みなどの他の処理によって遅れた場合でも、NACK 出力が可能になるとともに、最終バイトの受信時に 9 クロック目の立ち上がりで SCLn ラインを Low に固定して、ストップコンディションの発行が可能になります。
6. ICMR3.RDRFS ビットが 0 で、かつスレーブデバイスに対して、次および最終バイトの転送でデータ受信が終了することを通知する必要がある場合は、ICMR3.ACKBT ビットを 1 (NACK) にしてください。
7. 最後から 2 番目のバイトを ICDRR レジスタから読み出した後、ICSR2.RDRF フラグが 1 であれば、ICCR2.SP ビットを 1（ストップコンディション要求）にした後、ICDRR レジスタの最終バイトを読み出してください。ICDRR レジスタの読み出し時、IIC は WAIT 状態から解除され、9 クロック目の Low 出力終了後または SCLn ラインの Low ホールド解除後に、ストップコンディションを発行します。
8. IIC はストップコンディションを検出すると、ICCR2.MST ビットと ICCR2.TRS ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。また、ストップコンディションの検出によって、ICSR2.STOP フラグが 1 になります。
9. ICSR2.STOP フラグが 1 であることを確認した後、次の転送動作のために、ICSR2.NACKF フラグと ICSR2.STOP フラグを 0 にしてください。

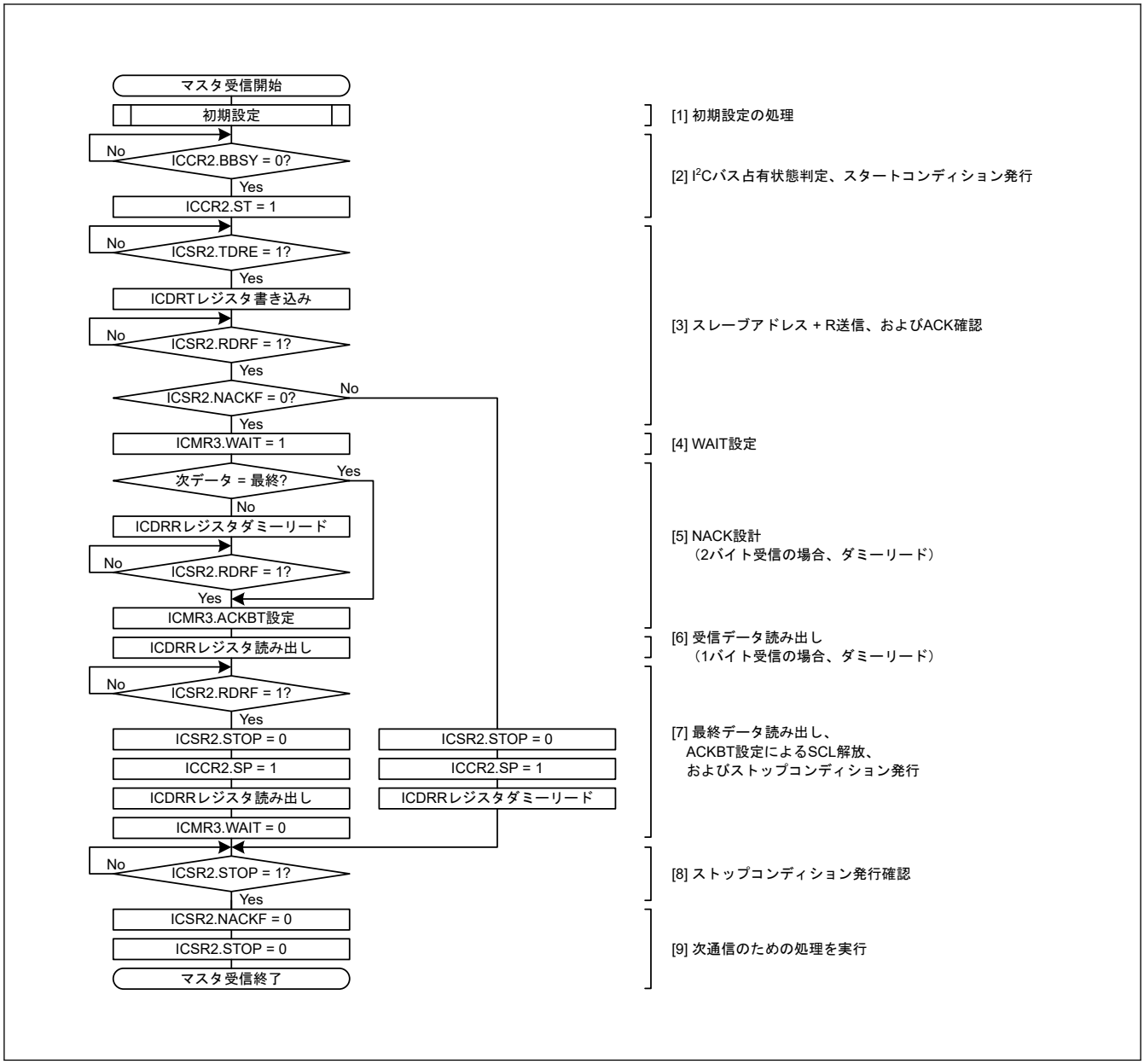


図 31.10　マスタ受信の例（7 ビットアドレスフォーマットで 1 または 2 バイト受信の場合）

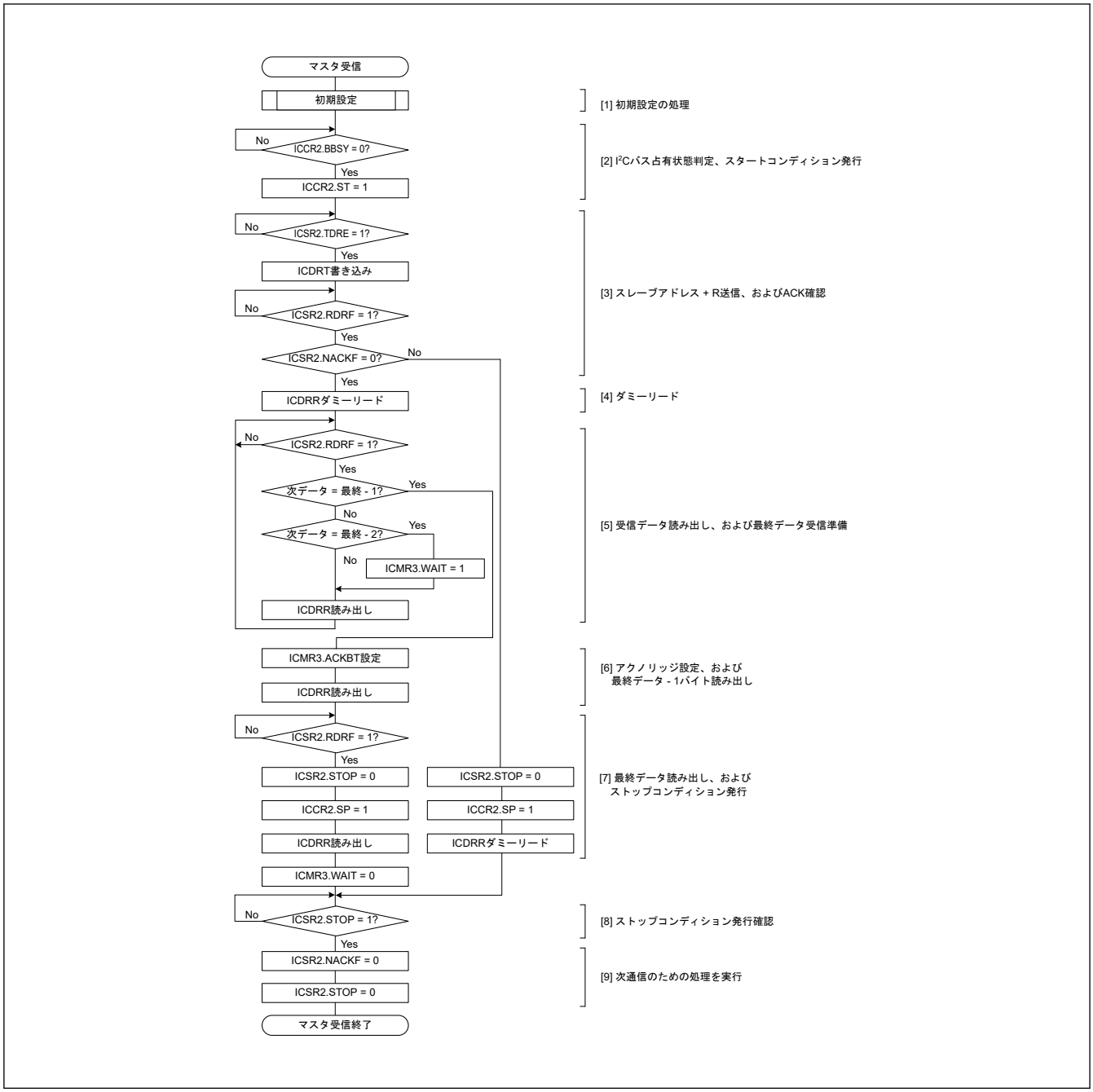
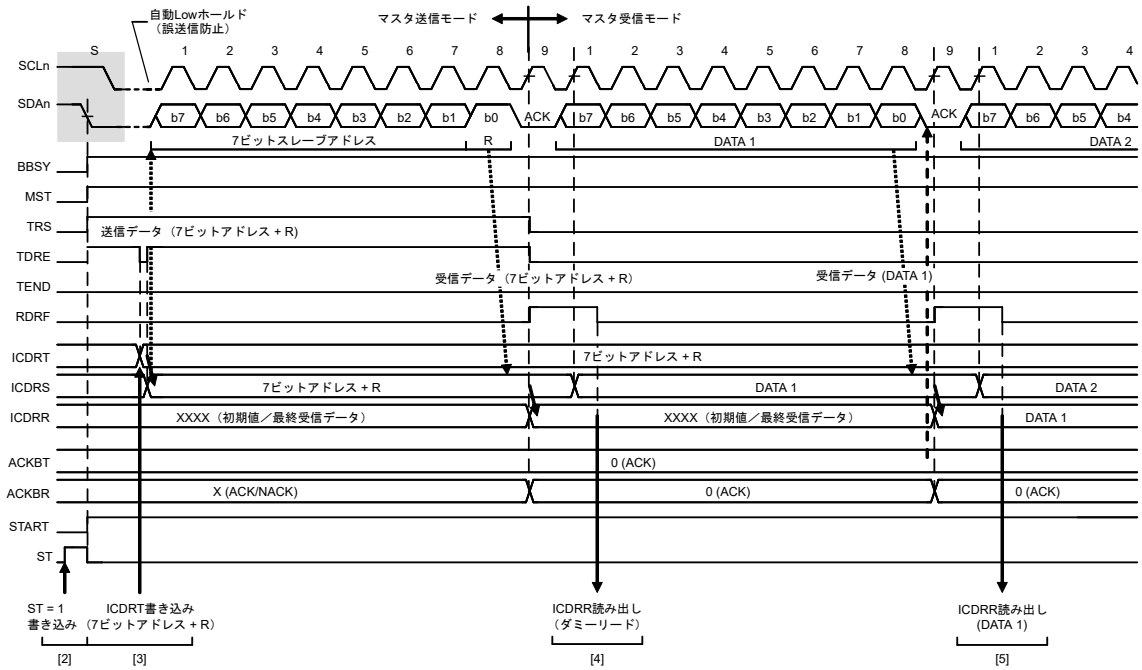
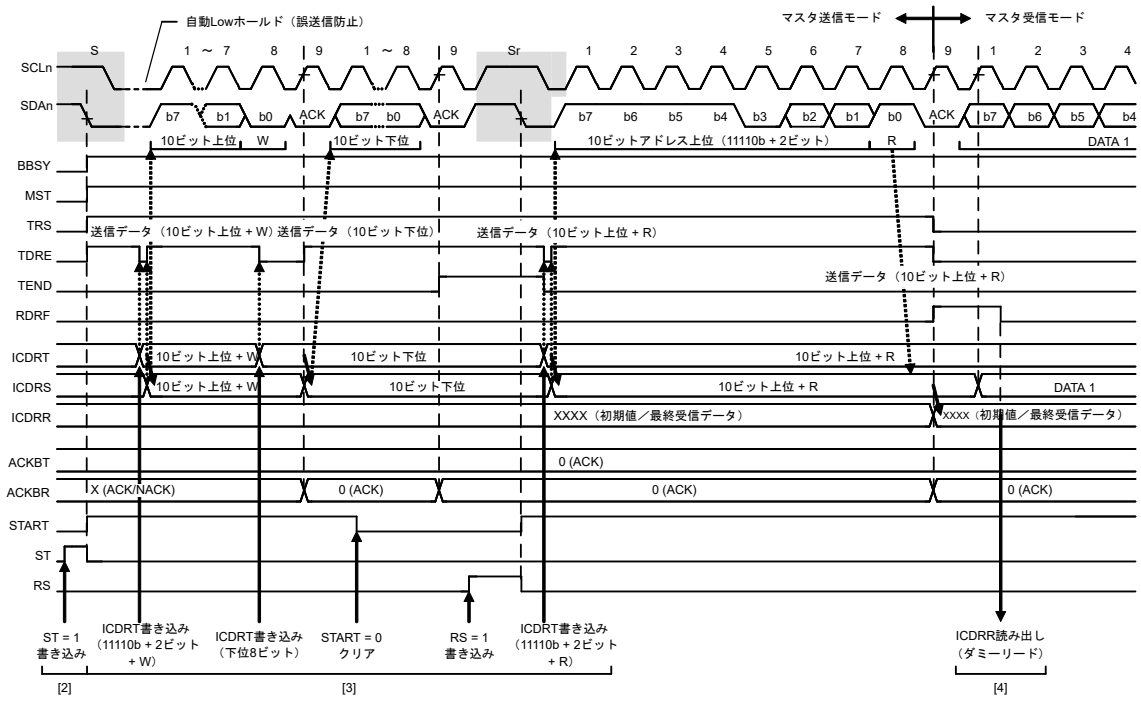


図 31.11　マスタ受信の例（7 ビットアドレスフォーマットで 3 バイト以上受信の場合）



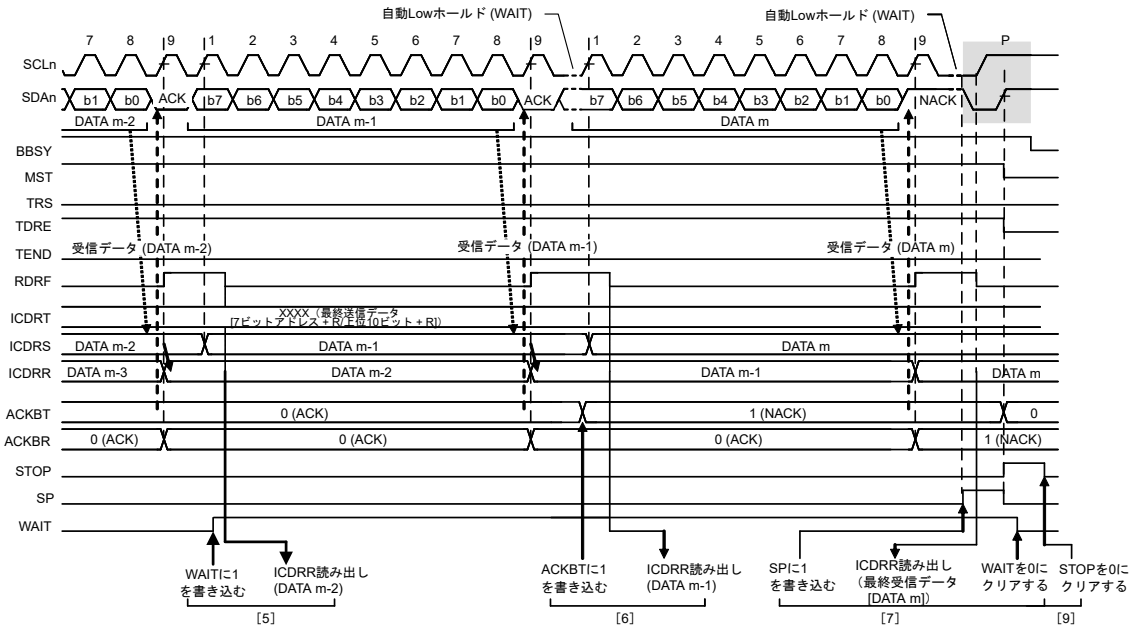
注. n = 0, 1

図 31.12 マスタ受信の動作タイミング (1)（7 ビットアドレスフォーマットで RDRFS = 0 の場合）



注. n = 0, 1

図 31.13 マスタ受信の動作タイミング (2)（10 ビットアドレスフォーマットで RDRFS = 0 の場合）



注. n = 0, 1

図 31.14 マスタ受信の動作タイミング (3)（RDRFS = 0 の場合）

31.3.5 スレーブ送信動作

スレーブ送信動作では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである IIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 31.15 にスレーブ送信の例を、図 31.16～図 31.17 にスレーブ送信の動作タイミングを示します。

スレーブ送信の設定および実行は以下の手順で行います。

1. 初期設定を行います。詳細は、「31.3.2. 初期設定」を参照してください。
   初期設定完了後、IIC は受信したスレーブアドレスが一致するまで待機状態となります。
2. スレーブアドレスが一致した後、IIC は対応する ICSR1.HOA、GCA、AASn フラグ (n = 0～2) のいずれかを SCL クロックの 9 クロック目の立ち上がりで 1 にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットの設定値を出力します。このとき、同時に受信した R/W# ビットの値が 1 であれば、IIC は ICCR2.TRS ビットと ICSR2.TDRE フラグの両方を 1 にすることで、自動的にスレーブ送信モードに切り替わります。
3. ICSR2.TDRE フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書いてください。このとき、ICFER.NACKE ビットが 1 の状態でマスタデバイスからアクノリッジを受信しなかった（NACK を受信した）場合、IIC は次の転送動作を中断します。
4. ICSR2.NACKF フラグが 1 になるか、または最終送信バイトを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが 1 の状態で、ICSR2.TEND フラグが 1 になるまで待ってください。ICSR2.NACKF フラグが 1 または TEND フラグが 1 の場合、IIC は SCL クロックの 9 クロック目の立ち下がりで SCLn ラインを Low にします。
5. ICSR2.NACKF フラグが 1 または ICSR2.TEND フラグが 1 の場合、終了処理のため ICDRR レジスタをダミーリードしてください。これによって SCLn ラインが解放されます。
6. IIC はストップコンディションを検出すると、ICSR1.HOA、GCA、AASn フラグ (n = 0～2)、ICSR2.TDRE、TEND フラグ、および ICCR2.TRS ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。
7. ICSR2.STOP フラグが 1 であることを確認した後、次の転送動作のために、ICSR2.NACKF フラグと ICSR2.STOP フラグを 0 にしてください。

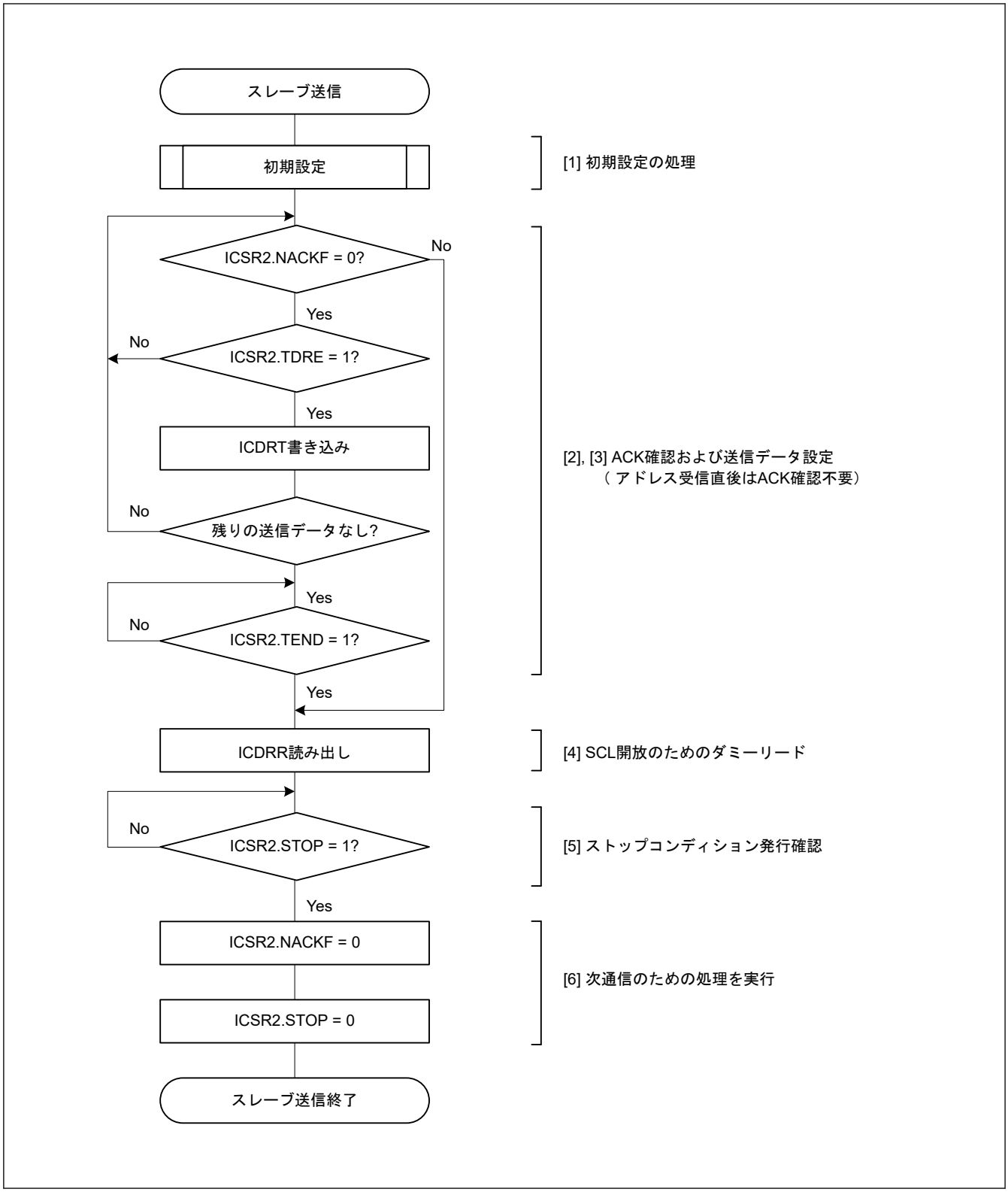
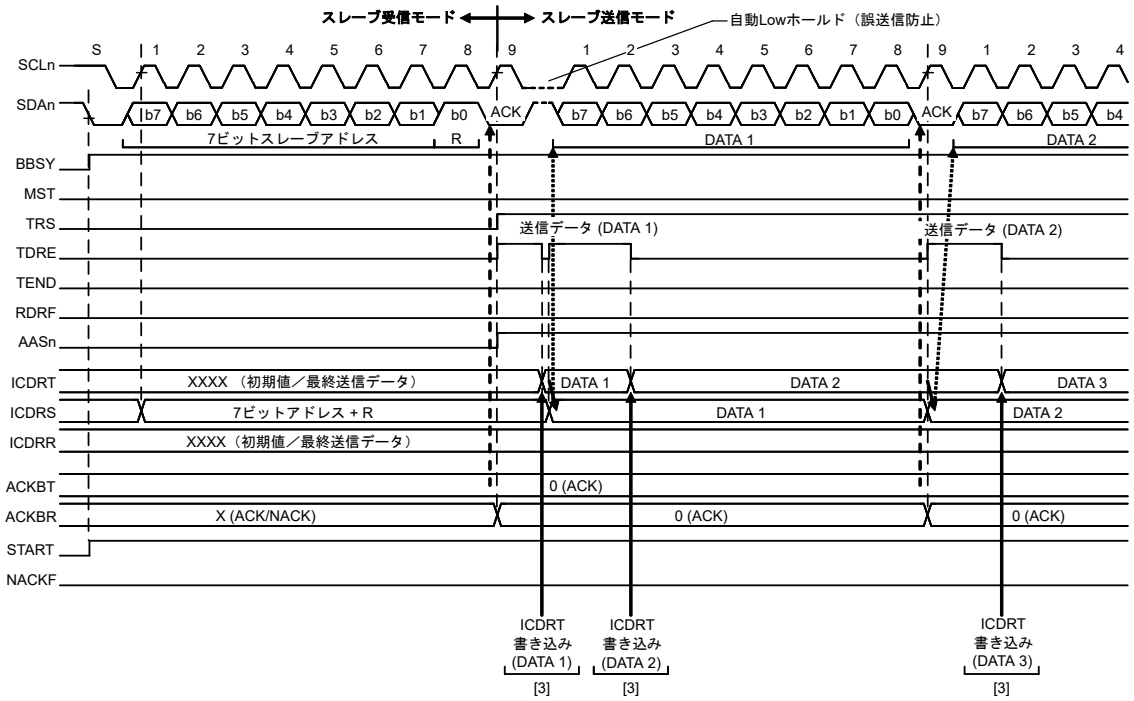
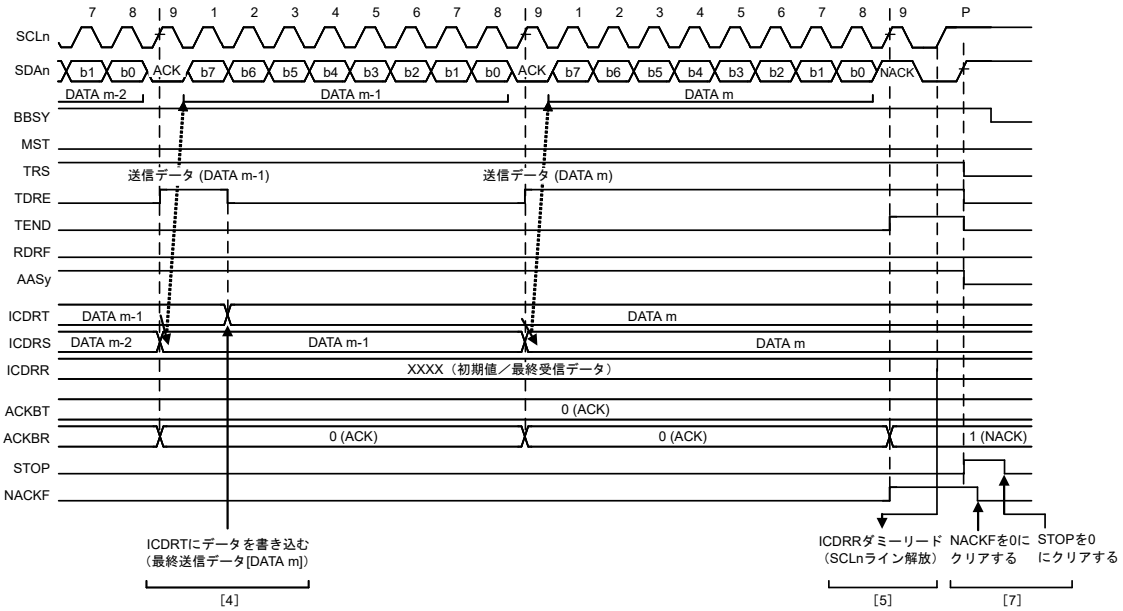


図 31.15　スレーブ送信のフローチャート例



注. n = 0, 1, y = 0～2

図 31.16 スレーブ送信の動作タイミング (1)（7 ビットアドレスフォーマット）



注. n = 0, 1, y = 0～2

図 31.17 スレーブ送信の動作タイミング (2)

31.3.6 スレーブ受信動作

スレーブ受信動作では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである IIC がアクノリッジを返します。

図 31.18 にスレーブ受信の例を、図 31.19 と図 31.20 にスレーブ受信の動作タイミングを示します。

スレーブ受信の設定および実行は以下の手順で行います。

1. 初期設定を行います。詳細は、「31.3.2. 初期設定」を参照してください。
   初期設定完了後、IIC は受信したスレーブアドレスが一致するまで待機状態となります。
2. スレーブアドレスが一致した後、IIC は対応する ICSR1.HOA、GCA、および AASy フラグ (y = 0〜2) のいずれかを SCL クロックの 9 クロック目の立ち上がりで 1 にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットの設定値を出力します。R/W#ビットの値が 0 であれば、IIC はスレーブ受信モードを継続し、ICSR2.RDRF フラグを 1 にします。
3. ICSR2.STOP フラグが 0 であることと、ICSR2.RDRF フラグが 1 であることを確認し、ICDRR レジスタをダミーで読んでください。ダミーリードした値は、7 ビットアドレスフォーマット選択時はスレーブアドレス + R/W#ビット、10 ビットアドレスフォーマット選択時は下位 8 ビットアドレスです。
4. ICDRR レジスタが読み出されると、IIC は ICSR2.RDRF フラグを自動的に 0 にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが 1 になった状態で次のバイトを受信すると、IIC は RDRF フラグが設定されるポイントの 1 つ手前の SCL クロックで SCLn ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され、IIC は SCLn ラインを解放します。
   ICSR2.STOP フラグが 1 で、かつ ICSR2.RDRF フラグが 1 の場合、全データの受信が完了するまで ICDRR レジスタを読み出してください。
5. IIC はストップコンディションを検出すと、ICSR1.HOA、GCA、AASn フラグ (n = 0〜2) を自動的に 0 にします。
6. ICSR2.STOP フラグが 1 であることを確認した後、次の転送動作のために ICSR2.STOP フラグを 0 にしてください。

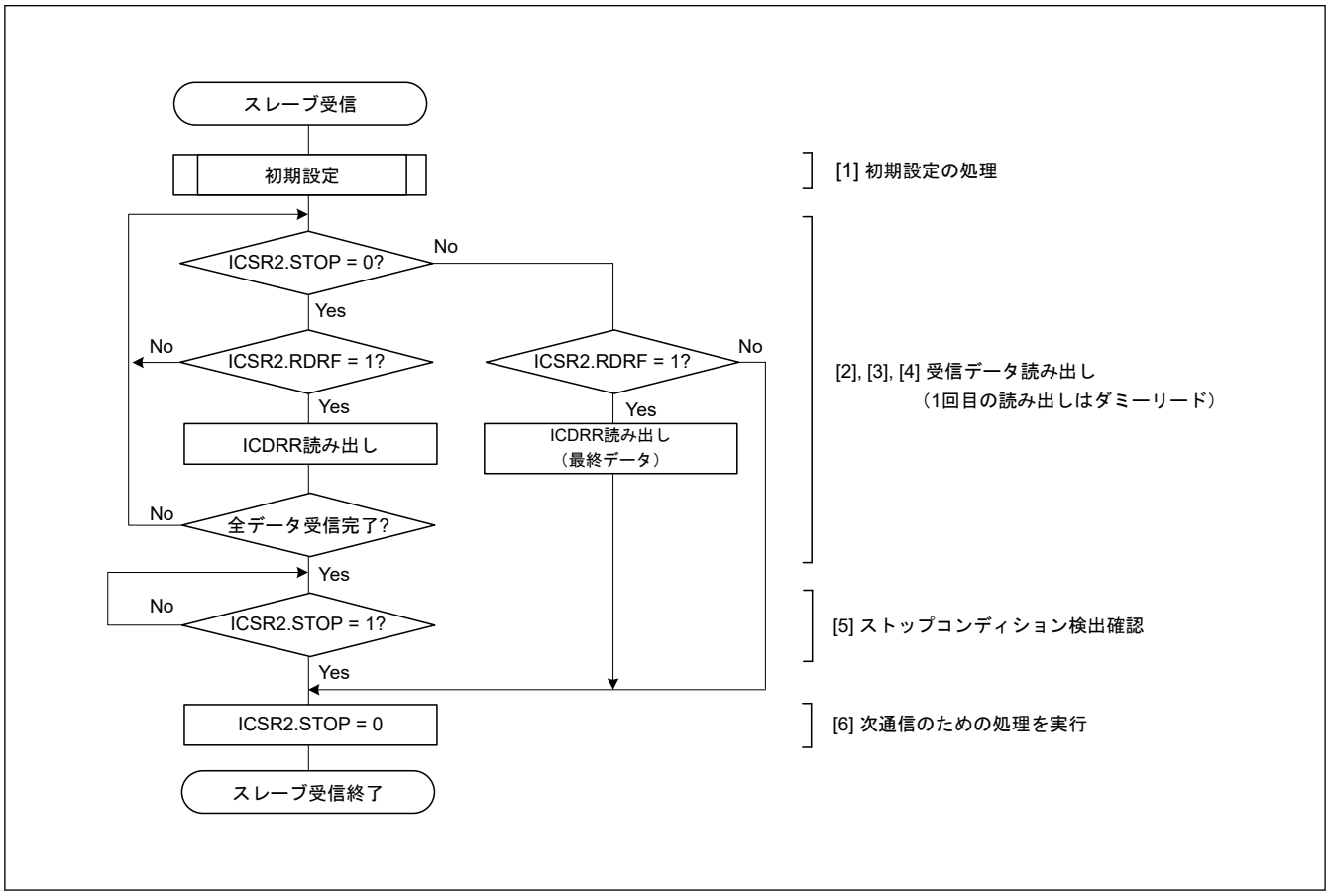
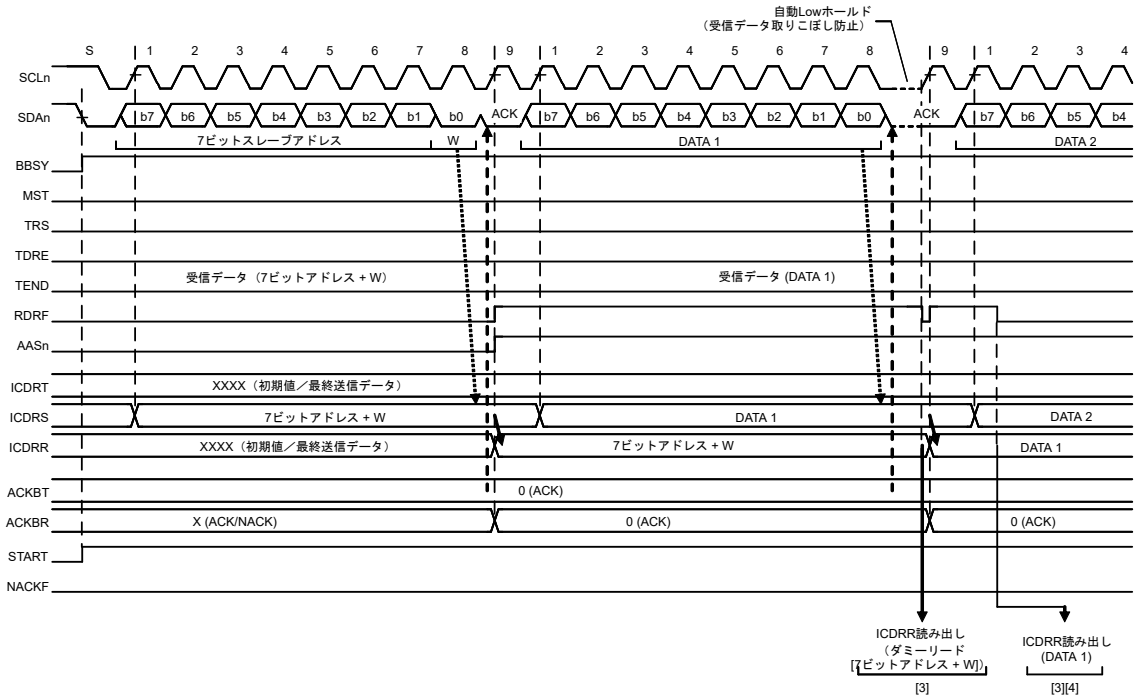
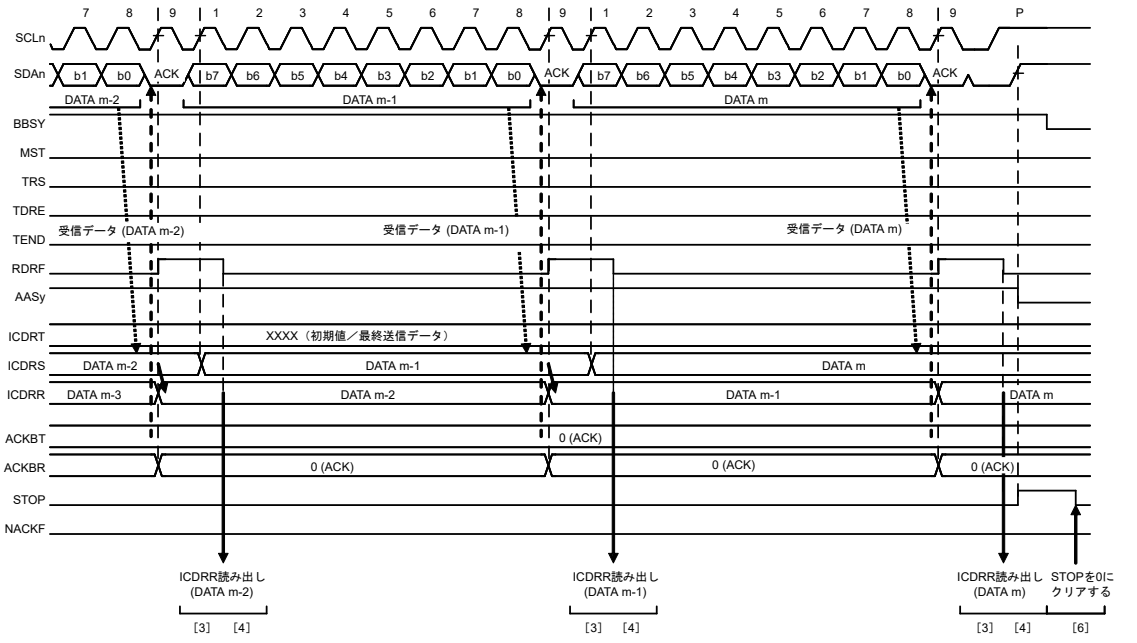


図 31.18 スレーブ受信のフローチャート例



注. n = 0, 1, y = 0～2

図 31.19 スレーブ受信の動作タイミング (1)（7 ビットアドレスフォーマットで RDRFS = 0 の場合）



注. n = 0, 1, y = 0～2

図 31.20 スレーブ受信の動作タイミング (2)（RDRFS = 0 の場合）

31.4 SCL 同期回路

SCL クロック生成では、IIC が SCLn ラインの立ち上がりを検出すると、ICBRH レジスタで設定した High 幅のカウントを開始し、カウントが終了すると SCLn ラインを Low にします。また、IIC が SCLn ラインの立ち下がりを検出すると、ICBRL レジスタで設定した Low 幅のカウントを開始し、カウントが終了すると SCLn ラインを解放します。IIC はこのプロセスを繰り返すことによって、SCL クロックを生成します。

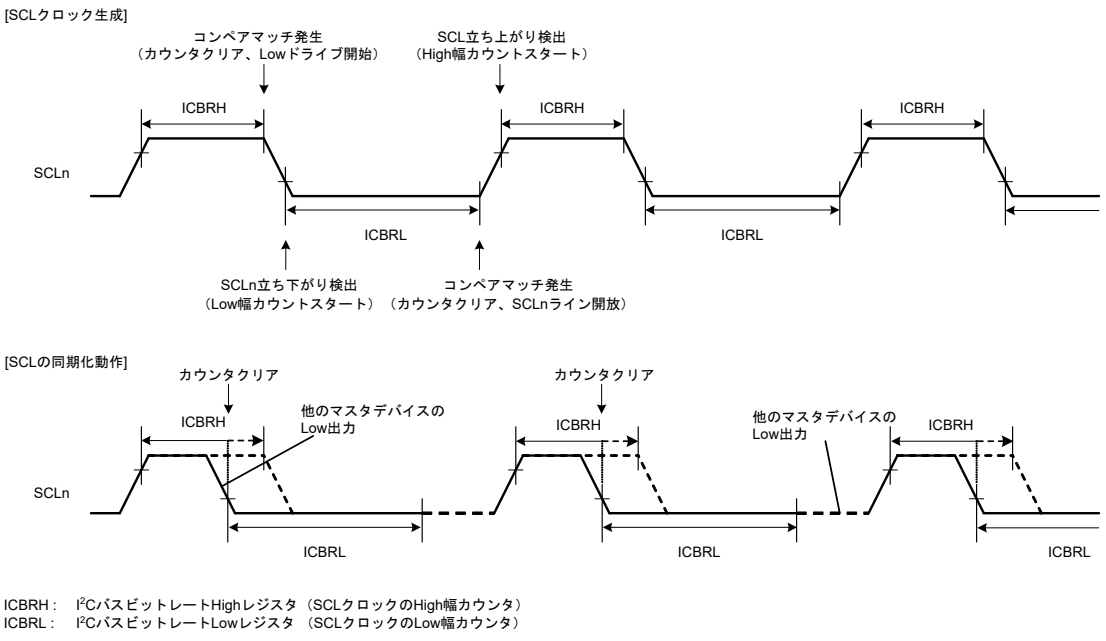
I^2C バスをマルチマスタで使用する場合、他のマスタデバイスとの競合により SCL 信号同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL 信号の同期化を行う必要があります。この SCL 信号の同期はビットごとに行う必要があるため、IIC はマスタモード時に SCLn ラインを監視することで、ビットごとに SCL クロック信号の同期を取る SCL 同期回路を備えています。

IIC が SCLn ラインの立ち上がりを検出して、ICBRH レジスタで設定した High 幅のカウントを開始したとき、他のマスタデバイスが生成している SCL 信号によって SCLn ラインが Low にされた場合、IIC は以下のように動作します。

1. IIC は SCLn ラインの立ち下がりを検出すると、High 幅のカウント動作を中断します。
2. SCLn ラインを Low にします。
3. ICBRL レジスタで設定した Low 幅のカウントを開始します。

Low 幅のカウントが終了すると、IIC は SCLn ラインを解放します。このとき、他のマスタデバイスからの SCL クロック信号の Low 幅が、IIC 側で設定した Low 幅よりも長いと、SCL クロックの Low 幅が延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCLn ラインの解放によって SCL クロックが立ち上がります。

IIC が SCL クロックの Low 幅の出力を終了すると、SCLn ラインが解放され、SCL クロックが立ち上がります。すなわち、マルチマスタによる SCL 信号衝突時の SCL 信号の High 幅は、High 幅の短いクロックに同期化され、SCL 信号の Low 幅は、Low 幅の長いクロックに同期化されます。この SCL 同期は、ICFER.SCLE ビットが 1 のときのみ有効です。



注. n = 0, 1

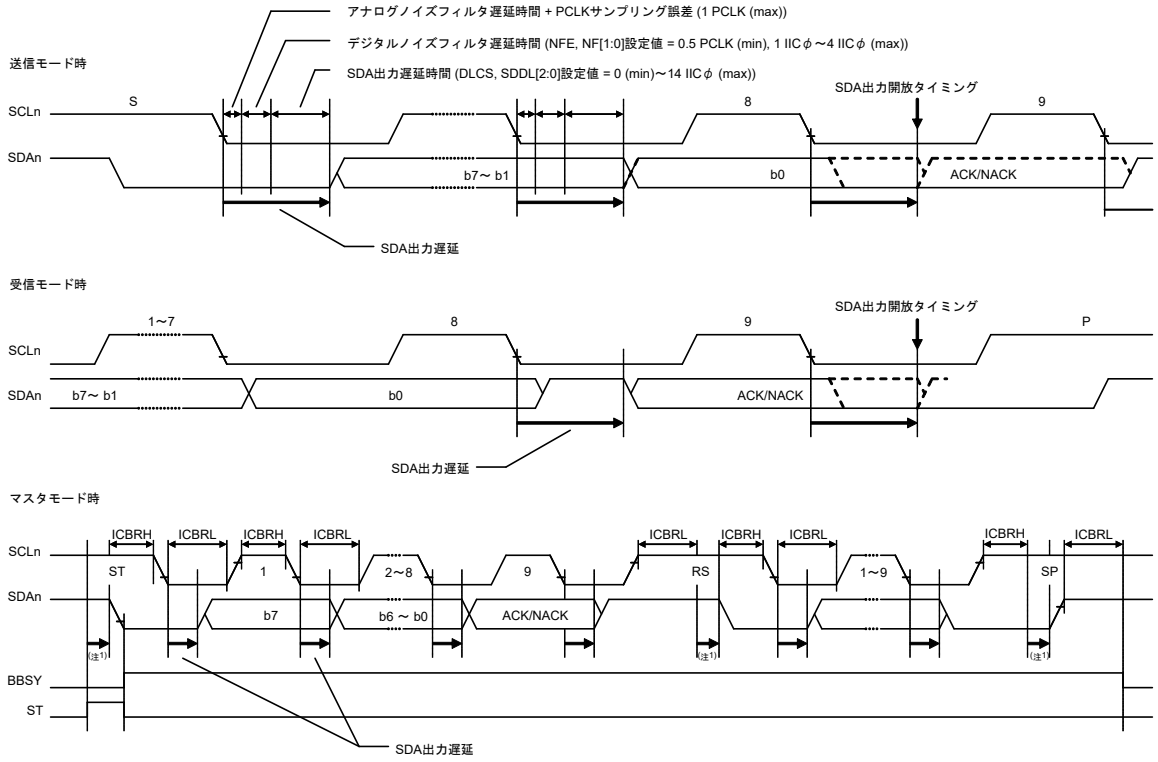
図 31.21 IIC の SCL クロック生成および SCL 同期化動作

31.5 SDA 出力遅延機能

IIC は SDA 出力遅延機能を備えています。SDA 出力遅延機能は、すべての SDA 出力タイミング（スタート／リスタート／ストップコンディションの発行、データ出力、ACK/NACK 出力）を遅延させることができます。

この機能は、SCL 信号の立ち下がり検出から SDA 出力を遅延させ、SCL クロックが Low である期間中に確実に SDA 信号が出力されるようにします。この方法により、SMBus 仕様の最小データホールド時間 (300 ns) の要件を満たして、通信デバイスの誤動作を防止できるようになります。この SDA 出力遅延機能は、ICMR2.SDDL[2:0]ビットが 000b 以外のとき有効で、SDDL[2:0]ビットが 000b のとき無効です。

SDA 出力遅延機能が有効（ICMR2.SDDL[2:0] ビットが 000b 以外）になっているとき、ICMR2.DLCS ビットでは、SDA 出力遅延カウンタが使用するクロックソースを、内部基準クロック (IICφ) またはその 2 分周クロック (IICφ/2) として選択します。カウンタは、ICMR2.SDDL[2:0]ビットに設定されたサイクル数をカウントします。遅延サイクルのカウント終了後、IIC は SDA ライン上で必要な出力（スタート／リスタート／ストップコンディション、データ、ACK/NACK 信号）を行います。



注. PCLK = PCLKB
注. n = 0, 1
注 1. スタートコンディション (ST)、リスタートコンディション (RS)、ストップコンディション (SP) 発行時は DLCS、SDDL[2:0] 設定値分の遅延

図 31.22 SDA 出力遅延機能

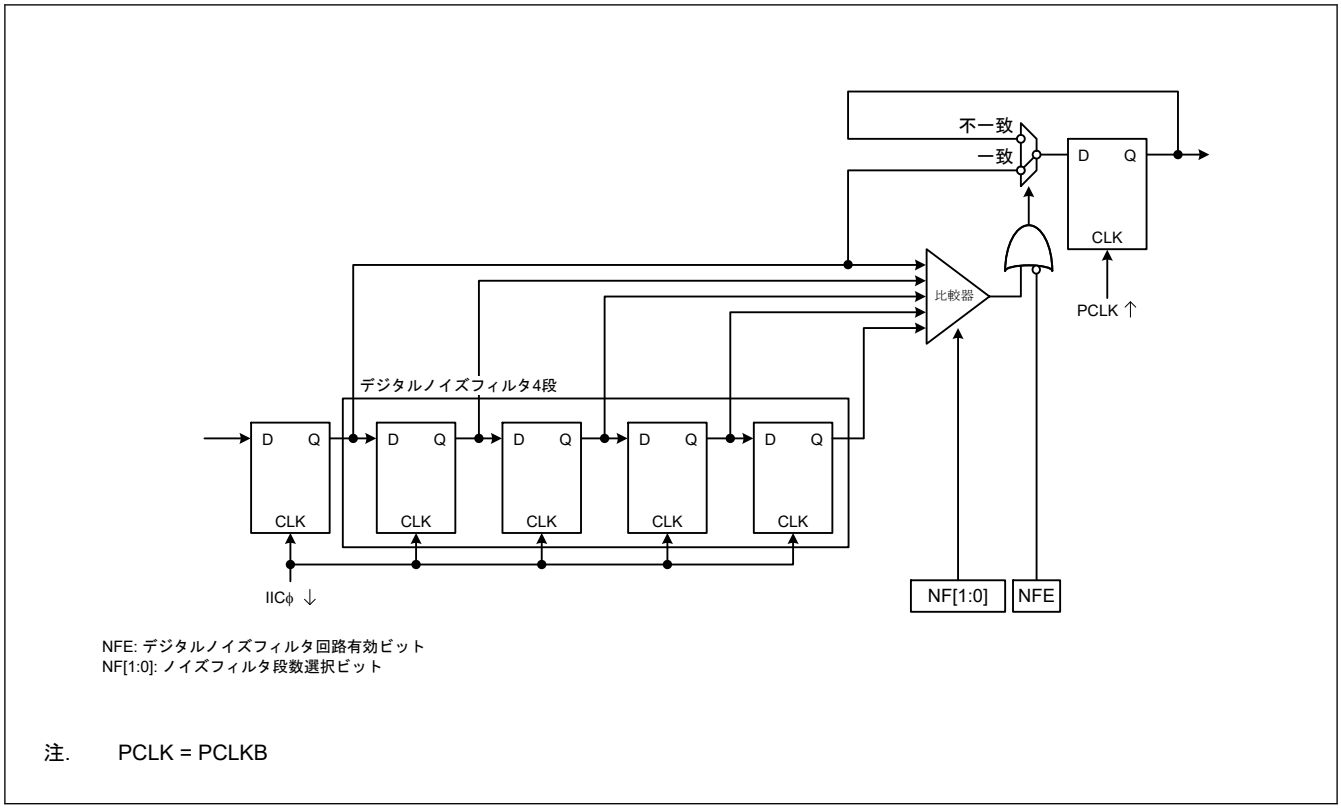
31.6 デジタルノイズフィルタ回路

SCLn 端子および SDAn 端子の状態は、アナログノイズフィルタ回路とデジタルノイズフィルタ回路を経由して内部に取り込まれます。図 31.23 にデジタルノイズフィルタ回路のブロック図を示します。

IIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。デジタルノイズフィルタの有効段数は ICMR3.NF[1:0]ビットで選択します。ノイズ除去能力は、選択した有効段数に応じて 1IICφ～4IICφ サイクル分となります。

SCLn 端子（または SDAn 端子）への入力信号は、IICφ 信号の立ち下がりエッジでサンプリングされます。入力信号レベルが、ICMR3.NF[1:0]ビットで選択した有効なフリップフロップ回路段数の出力レベルと一致したとき、その信号レベルが後続の段数に伝えられます。信号レベルが一致しない場合は、前の値が保持されます。

たとえば、PCLKB = 4 MHz 時の 400 kbps データ転送のように、内部動作クロック (PCLKB) と転送速度の周波数の比が小さい場合、デジタルノイズフィルタは要求信号をノイズとして除去する可能性があります。そのような場合は、ICFER.NFE ビットを 0 にすることでデジタルノイズフィルタ回路を無効にし、アナログノイズフィルタ回路のみを使用することができます。



注. PCLK = PCLKB

図 31.23 デジタルノイズフィルタ回路のブロック図

31.7 アドレス一致検出機能

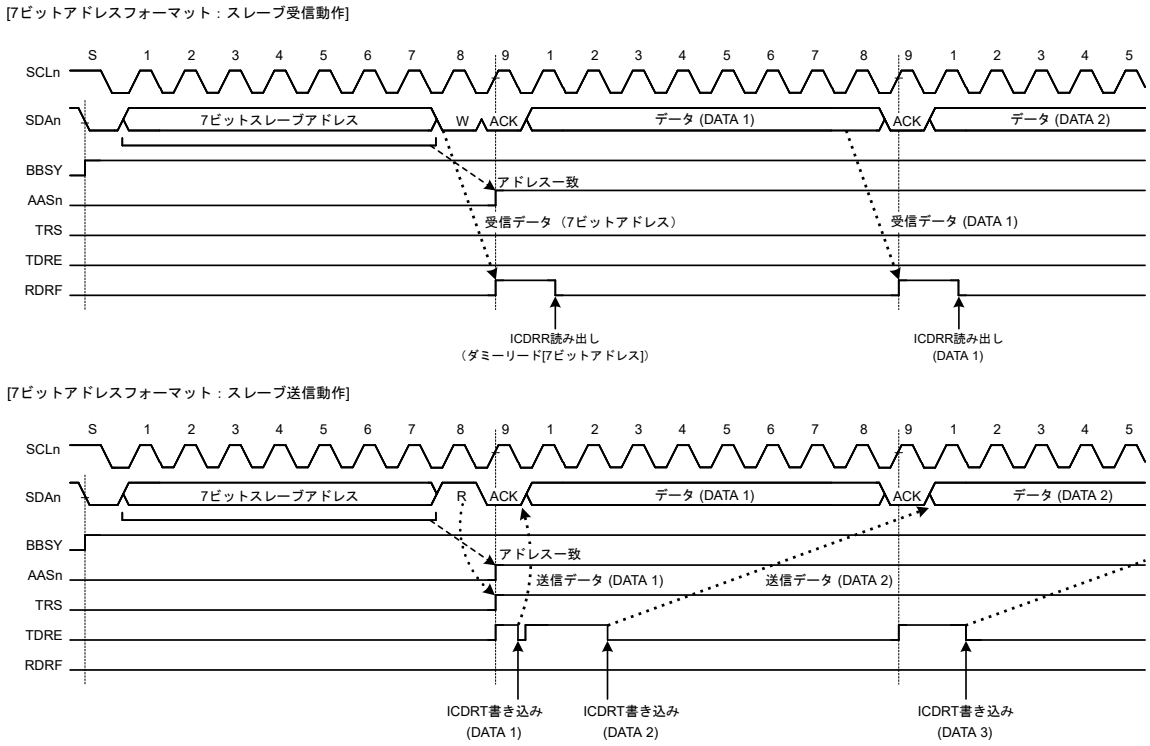
IIC は、ジェネラルコールアドレス、ホストアドレスの他に 3 種類の固有のスレーブアドレスの設定が可能です。またスレーブアドレスには、7 ビットアドレスまたは 10 ビットアドレスを設定できます。

31.7.1 スレーブアドレス一致検出機能

IIC は 3 種類の固有のスレーブアドレスの設定が可能であり、それぞれに対してスレーブアドレス検出機能を備えています。ICSER.SARnE ビット (n = 0～2) が 1 のとき、SARUn および SARLn レジスタ (n = 0～2) に設定されたスレーブアドレスを検出できます。

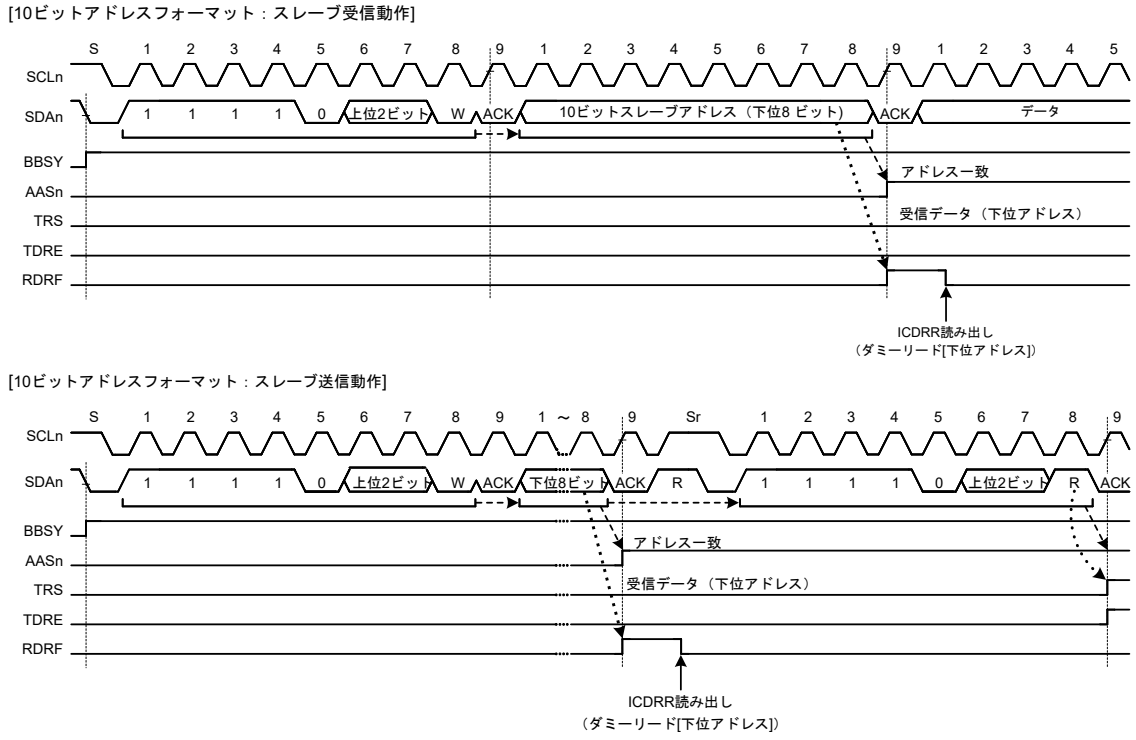
IIC が設定されたスレーブアドレス一致を検出すると、対応する ICSR1.AASn フラグ (n = 0～2) が SCL クロックの 9 クロック目の立ち上がりで 1 になり、続く R/W#ビットにより ICSR2.RDRF フラグまたは ICSR2.TDRE フラグが 1 になります。これによって、受信データフル割り込み (IICn_RXI) または送信データエンプティ割り込み (IICn_TXI) を発生させることができます。どのスレーブアドレスが指定されたかは AASn フラグで識別できます。

図 31.24 ～図 31.26 に AASn フラグが 1 になるタイミングを 3 つのケースで示します。



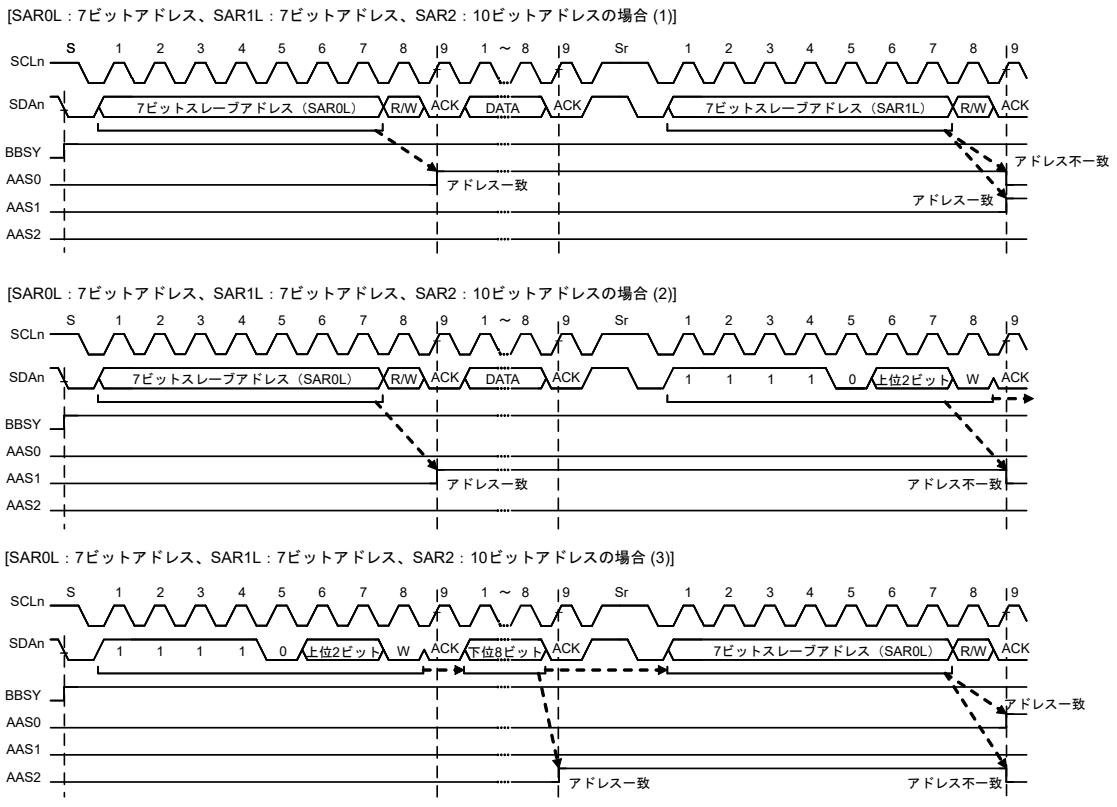
注. n = 0, 1, y = 0〜2

図 31.24 AASn フラグが 1 になるタイミング（7 ビットアドレスフォーマット選択時）



注. n = 0, 1, y = 0～2

図 31.25 AASn フラグが 1 になるタイミング（10 ビットアドレスフォーマット選択時）



注. n = 0, 1

図 31.26 AASn フラグが 1 または 0 になるタイミング（7 ビット／10 ビットアドレスフォーマット混在）

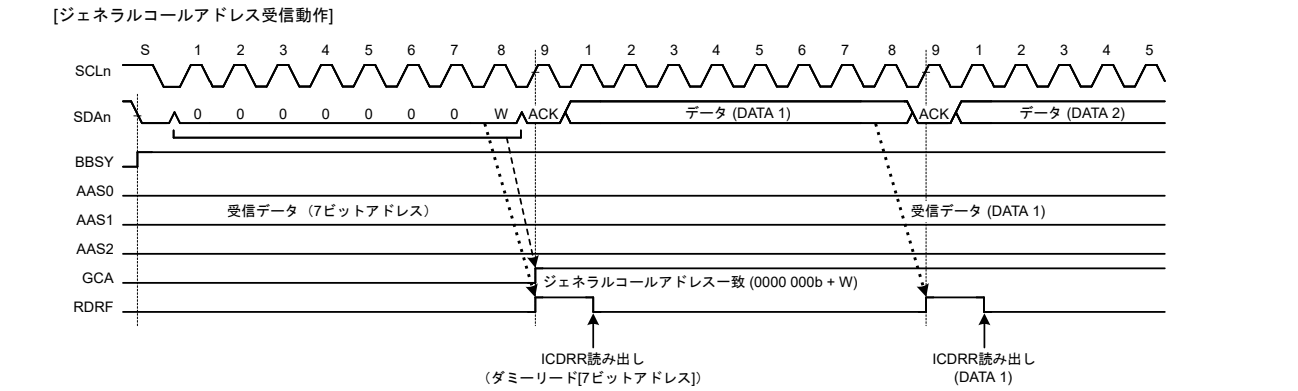
31.7.2 ジェネラルコールアドレス検出機能

IIC は、ジェネラルコールアドレス (0000 000b ＋ 0[W]) の検出機能を備えています。この機能は、ICSER.GCAE ビットを 1 にすることで有効になります。

スタートコンディションまたはリスタートコンディション発行後に受信したアドレスが 0000 000b ＋ 1[R]（開始バイト）の場合は、IIC はスレーブアドレスの内容はすべて 0 であるとみなし、ジェネラルコールアドレスは認識しません。

IIC がジェネラルコールアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりで ICSR1.GCA フラグと ICSR2.RDRF フラグが 1 になります。これによって、受信データフル割り込み (IICn_RXI) が発生します。GCA フラグを確認することで、ジェネラルコールアドレスが送信されたことを確認できます。

なお、ジェネラルコールアドレス検出後の動作は、通常のスレーブ受信動作と同じです。



注. n = 0, 1

図 31.27 ジェネラルコールアドレス受信時に GCA フラグが 1 になるタイミング

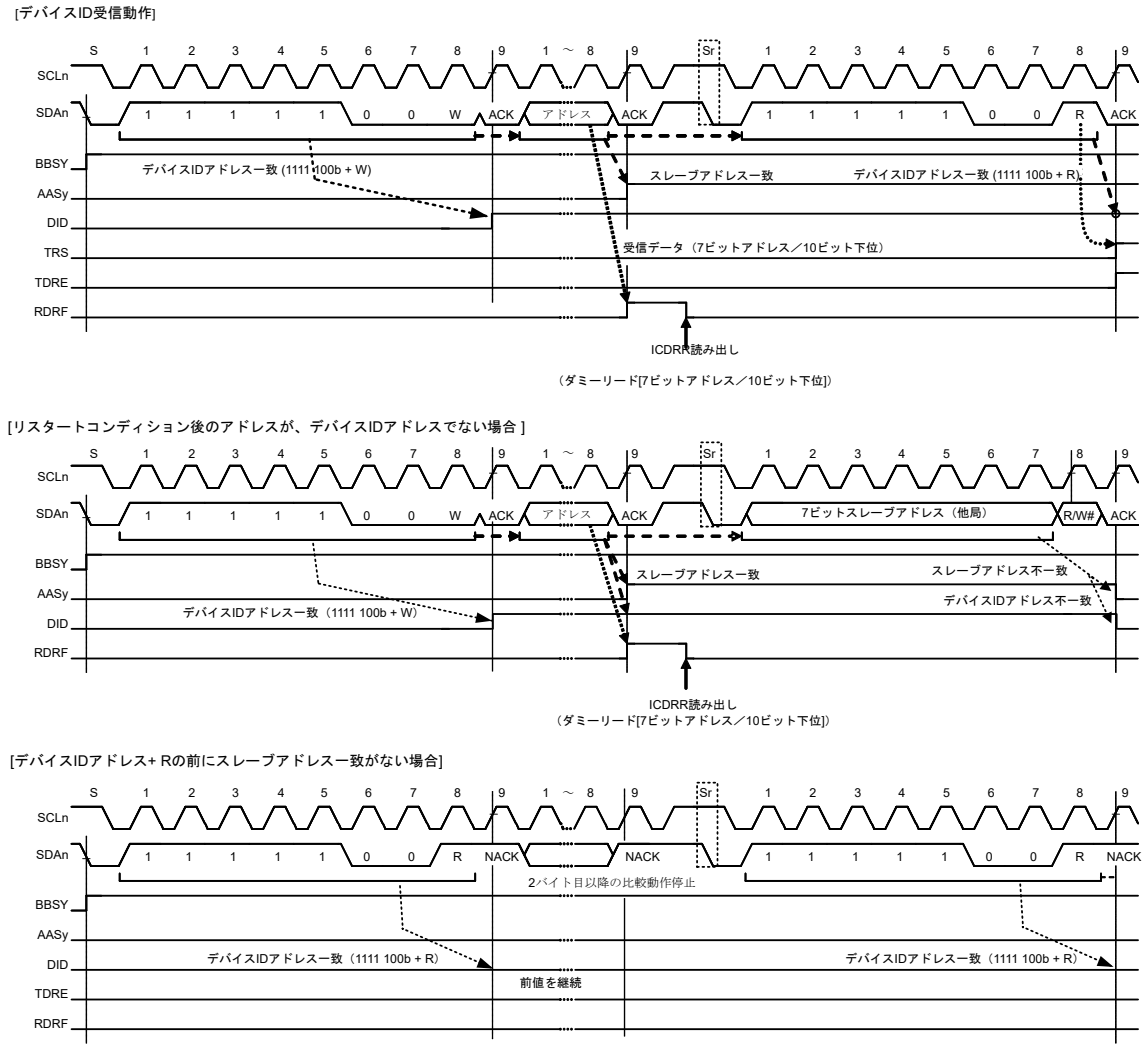
31.7.3 デバイス ID アドレス検出機能

IIC は、I2C バス仕様（リビジョン 03）に準拠したデバイス ID アドレスの検出機能を備えています。ICSER.DIDE ビットを 1 にした状態で、スタートコンディションまたはリスタートコンディション発行後の 1 バイト目に 1111 100b を受信すると、IIC はこのアドレスをデバイス ID アドレスと認識し、続く R/W#ビットが 0 のとき、SCL クロックの 9 クロック目の立ち上がりで ICSR1.DID フラグを 1 にした後、2 バイト目以降と自スレーブアドレスとの比較動作を行います。この 2 バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、IIC は対応する ICSR1.AASn フラグ (n = 0～2) を 1 にします。

その後、スタートコンディションまたはリスタートコンディション発行後の 1 バイト目が再びデバイス ID アドレス (1111 100b) と一致し、続く R/W#ビットが 1 のとき、IIC は続く 2 バイト目以降はアドレス比較を行わず、ICSR2.TDRE フラグを 1 にします。

デバイス ID アドレス検出機能では、IIC スレーブアドレスと一致しなかった場合、あるいは IIC スレーブアドレスが一致し、リスタートコンディションの検出後のアドレスがデバイス ID アドレスと一致しなかった場合、IIC は DID フラグを 0 にします。スタートコンディションまたはリスタートコンディション検出後の 1 バイト目がデバイス ID アドレス (1111 100b) と一致し、かつ R/W#ビットが 0 の場合は、IIC は DID フラグを 1 にして、続く 2 バイト目以降を IIC のスレーブアドレスと比較します。R/W#ビットが 1 の場合、DID フラグは前値の状態を継続し、IIC は 2 バイト目以降の比較を行いません。このようにして、TDRE = 1 の確認後、DID フラグを読むことで、デバイス ID アドレスを受信したことを確認することができます。

なお、一連のデバイス ID フィールド受信後にホストに送信するデバイス ID フィールドとして必要な情報（3 バイトデータ：メーカ情報[12 ビット]＋部品識別[9 ビット]＋リビジョン[3 ビット]）を、通常の送信データとして準備しておいてください。デバイス ID フィールドに含める必要のある情報については、NXP 社にお問い合わせください。



注. n = 0, 1, y = 0～2

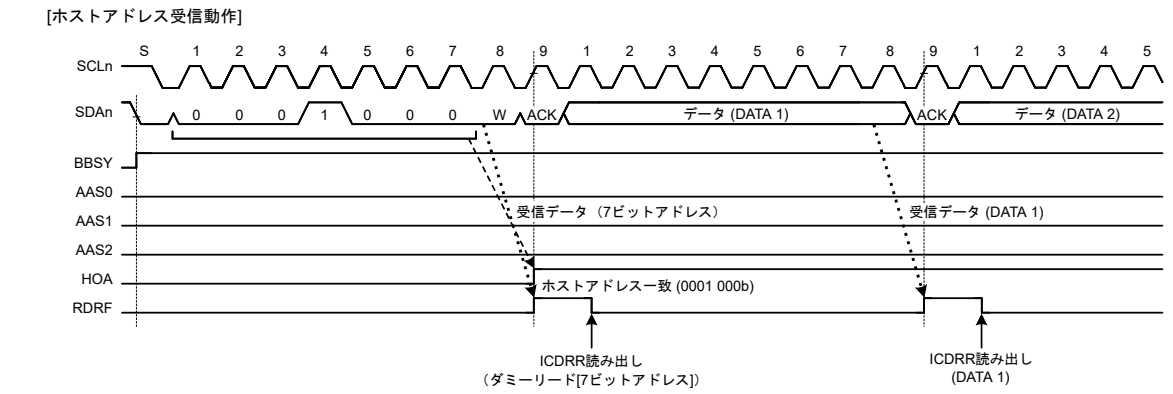
図 31.28 デバイス ID 受信時の AASn、DID フラグのセット／クリアタイミング

31.7.4 ホストアドレス検出機能

IIC は、SMBus 動作時のホストアドレス検出機能を備えています。ICMR3.SMBS ビットが 1 のとき ICSER.HOAE ビットを 1 にすると、スレーブ受信モード (ICCR2.MST, TRS = 00b) 時に、ホストアドレス (0001 000b) の検出が可能です。

IIC がホストアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりで ICSR1.HOA フラグが 1 になり、R/W# ビットが 0（Wr ビット）のとき、ICSR2.RDRF フラグが 1 になります。これによって、受信データフル割り込み (IICn_RXI) が発生します。HOA フラグは、他のデバイスからホストアドレスが送信されたことを示します。

なお、ホストアドレス (0001 000b) に続くビットが Rd ビット (R/W# = 1) の場合にも、ホストアドレスの検出が可能です。ホストアドレス検出後の動作は、通常のスレーブ動作と同じです。



注. n = 0, 1

図 31.29 ホストアドレス受信時に HOA フラグが 1 になるタイミング

31.8 ウェイクアップ機能

IIC は、MCU をソフトウェアスタンバイモードから通常動作に遷移させるウェイクアップ機能を備えています。ウェイクアップ機能は、周辺モジュールクロック (PCLKB) 停止時にデータの受信を許可し、受信データのスレーブアドレスが一致した場合にウェイクアップ割り込み信号を生成します。このウェイクアップ割り込み信号が、通常動作への復帰をトリガします。ウェイクアップ割り込み発生後、通信が継続できるように IIC を PCLKB 同期動作に切り替えてください。

ウェイクアップ機能には、以下の 4 つの動作モードがあります。

- ノーマルウェイクアップモード 1
- ノーマルウェイクアップモード 2
- コマンドリカバリモード
- EEP 応答モード

表 31.9 に各モードの動作を示します。

表 31.9 ウェイクアップ動作モード

動作モード	ACK 応答タイミング	PCLKB 同期動作に対するウェイクアップ前の ACK 応答	PCLKB 同期動作に対するウェイクアップ時の SCL 状態
ノーマルウェイクアップモード 1	PCLKB 同期動作に対してウェイクアップ前(注1)	ACK	Low に固定
ノーマルウェイクアップモード 2	PCLKB 同期動作に対してウェイクアップ後(注2)	ウェイクアップ前 : 応答なし（NACK レベル保持） ウェイクアップ後 : ACK 応答	Low に固定
コマンドリカバリモード	PCLKB 同期動作に対してウェイクアップ前(注1)	ACK	オープン
EEP 応答モード	PCLKB 同期動作に対してリカバリ前(注1)	NACK	オープン

注 1. PCLKB 非同期動作から PCLKB 同期動作へのタイミング切り替えは、9 番目の SCL クロックの立ち下がりエッジで発生します。
注 2. PCLKB 非同期動作から PCLKB 同期動作へのタイミング切り替えは、8 番目の SCL クロックの立ち下がりエッジで発生します。

ウェイクアップ割り込み要因として以下の要因が選択可能です。

- ホストアドレス検出（ICSER.HOAE = 1 の場合に有効）
- ジェネラルコールアドレス検出（ICSER.GCAE = 1 の場合に有効）
- スレーブアドレス 0(注1)検出（ICSER.SAR0E = 1 の場合に有効）

- スレーブアドレス 1(注1)検出（ICSER.SAR1E = 1 の場合に有効）
- スレーブアドレス 2(注1)検出（ICSER.SAR2E = 1 の場合に有効）

注 1. 7 ビットアドレスのみ設定可能 SARUy (y = 0～2) レジスタの FS ビットに 0 を設定してください。

ウェイクアップ機能使用時の注意事項

- ICWUR2 レジスタの WUASYF フラグが 1（PCLKB 非同期動作時）の間は、ICIER レジスタと ICWUR2 レジスタの WUSEN ビットを除き、IIC レジスタの内容を変更しないでください。
- PCLKB 非同期モードに切り替える前に、ICWUR.WUE ビットと ICWUR.WUIE ビットを 1 に、ICCR2.MST ビットと ICCR2.TRS ビットを 0（スレーブ受信モード）にしてください。
- デバイス ID および 10 ビットスレーブアドレスはウェイクアップ割り込み要因に選択できません。ICSER レジスタの DIDE ビットおよび SARUy (y = 0～2) レジスタの FS ビットを 0 に設定してください。
- PCLKB 非同期動作 (ICWUR2.WUASYF = 1) に切り替えた後に、ICIER レジスタのビット（TIE、TEIE、RIE、NAKIE、SPIE、STIE、ALIE、TMOIE）を 0（割り込み禁止）にしてください。
- ウェイクアップ機能を有効にする場合、タイムアウト機能を使用しないでください (ICWUR.WUE = 1)。
- PCLKB 非同期動作時（ICWUR2.WUASYF = 1 の場合）にウェイクアップ割り込みが発生した場合でも、スレーブアドレスが PCLKB 同期モード (ICWUR2.WUASYF = 0) であれば、ウェイクアップ割り込みは発生せず、WUF フラグは設定されません。
- ICWUR2.WUSEN ビットに 0 を書き込むタイミングと開始条件を検出するタイミングが競合する場合、IIC は PCLKB 同期動作モードで次の受信を開始する可能性があります。この場合、データ通信完了時に ICWUR2.WUASYF フラグは 1 になり（PCLKB 非同期モードへ切り替え）、停止条件が検出され、ウェイクアップイベントの検出を開始します。
- アドレス一致の検出なしに PCLKB 非同期動作から PCLKB 同期動作に切り替えたい場合は、ストップコンディションの検出で切り替わります。バスフリー状態で ICWUR2.WUSEN ビットを 1 にすると、PCLKB 非同期動作（受信動作：通信フレームの待機）を継続します。IIC が次の通信フレームのストップコンディションを検出したとき、ICWUR2.WUSYF フラグは 1 になります。そして IIC は、PCLKB 同期動作に切り替わります。
- ICWUR2.WUSEN ビットに 0 を書き込んだ後、モードが PCLKB 同期動作から PCLKB 非同期動作に切り替わるまで（ICWUR2.WUASYF フラグが 1 の間）、IIC 動作モード設定に関連するレジスタ（ICMR3、ICSER、および SARLy レジスタ）を変更しないでください。割り込み処理または他の要因により、この周期の間にレジスタ値が変化する場合、非同期動作へ切り替える前に IIC が誤作動する可能性があります。
- PCLKB 非同期動作中に (ICWUR2.WUSYF = 0 (または WUASYF = 1))、ICSR1、ICSR2 レジスタの各フラグおよび ICCR2.BBSY フラグを参照しないでください。

31.8.1 ノーマルウェイクアップモード 1

以下では、ノーマルウェイクアップモード 1 の動作、タイミング、および動作例について説明します。

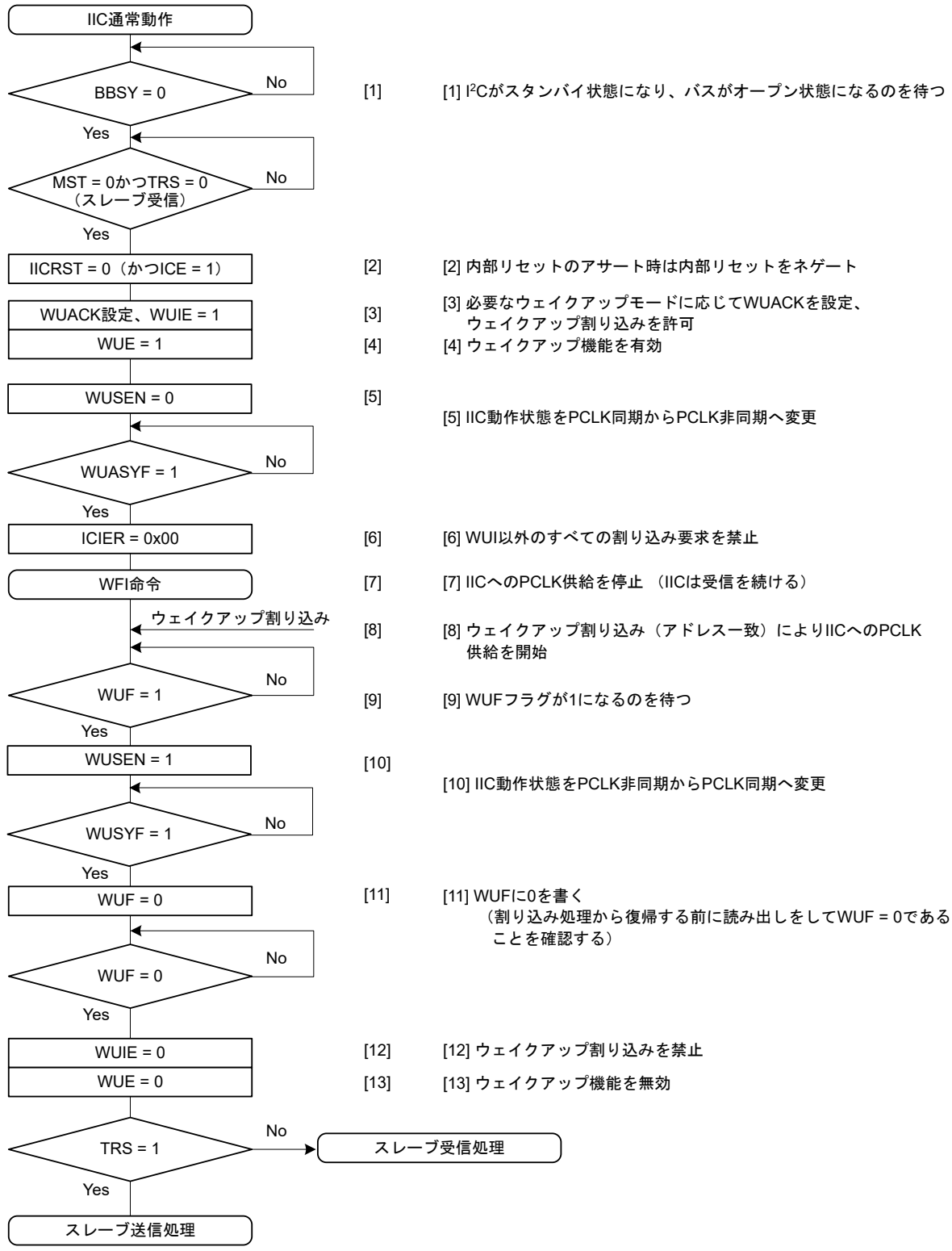
スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。

ウェイクアップ前：	IIC の自スレーブアドレスとともに受信したデータに対して ACK を送信する。
ウェイクアップ中：	SCL の 9 クロック目で ACK 応答を行ってから、SCL の Low ホールドを行う(注1)。
ウェイクアップ後：	通常動作が継続する。

注 1. ウェイクアップ中の 9 クロック目と 1 クロック目の間では、ICMR1.WAIT = 1 は無効です。

スレーブアドレスが不一致の場合、SCL の 9 クロック目の立ち下がり後に SCL ラインの Low ホールドは行われず、スレーブ動作が継続します。図 31.30 に動作例を、図 31.32 に詳細なタイミングを示します。

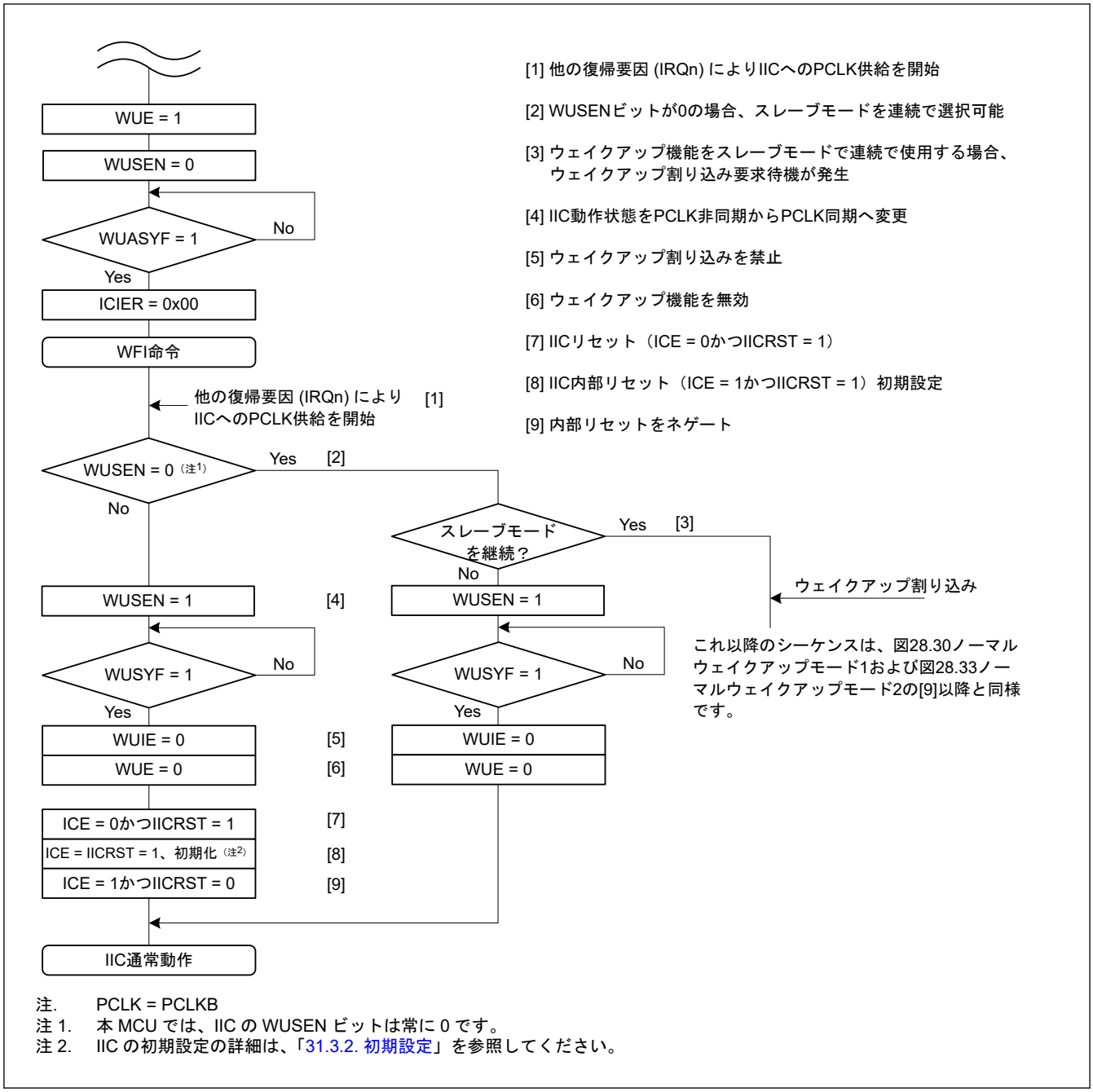
ウェイクアップ割り込み以外の割り込み（IRQn など）で、ソフトウェアスタンバイモードからの遷移がトリガされると、WUF フラグは 1 に設定されません。図 31.31 に動作例を示します。



注. PCLK = PCLKB

図 31.30 ノーマルウェイクアップモード 1 の動作例（スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合）

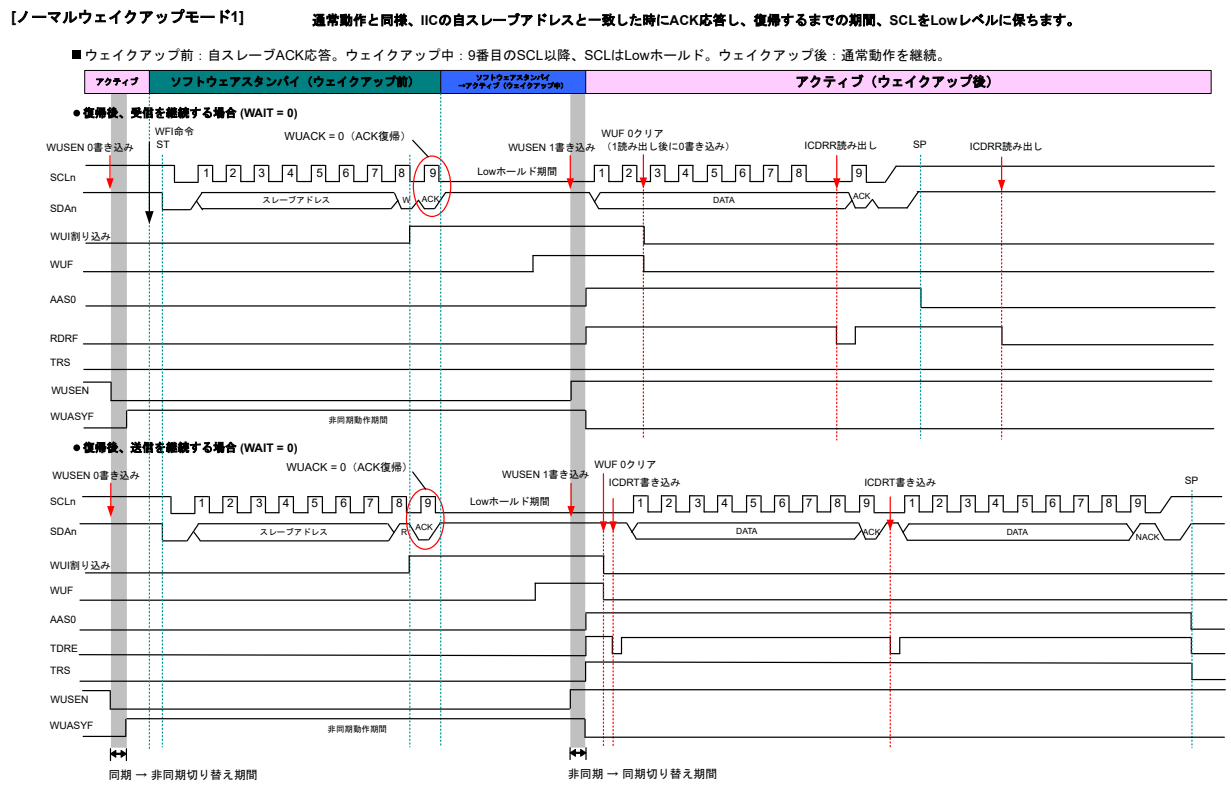
注. ウェイクアップ機能使用時の注意事項を参照してください。



注. PCLK = PCLKB
注 1. 本 MCU では、IIC の WUSEN ビットは常に 0 です。
注 2. IIC の初期設定の詳細は、「31.3.2. 初期設定」を参照してください。

図 31.31 ノーマルウェイクアップモード 1 および 2 の動作例（IIC ウェイクアップ割り込み以外の割り込み（たとえば IRQn）によるウェイクアップの場合）

注. IIC 初期設定の詳細は、「31.3.2. 初期設定」を参照してください。



注. n = 0

図 31.32 ノーマルウェイクアップモード 1 のタイミング

31.8.2 ノーマルウェイクアップモード 2

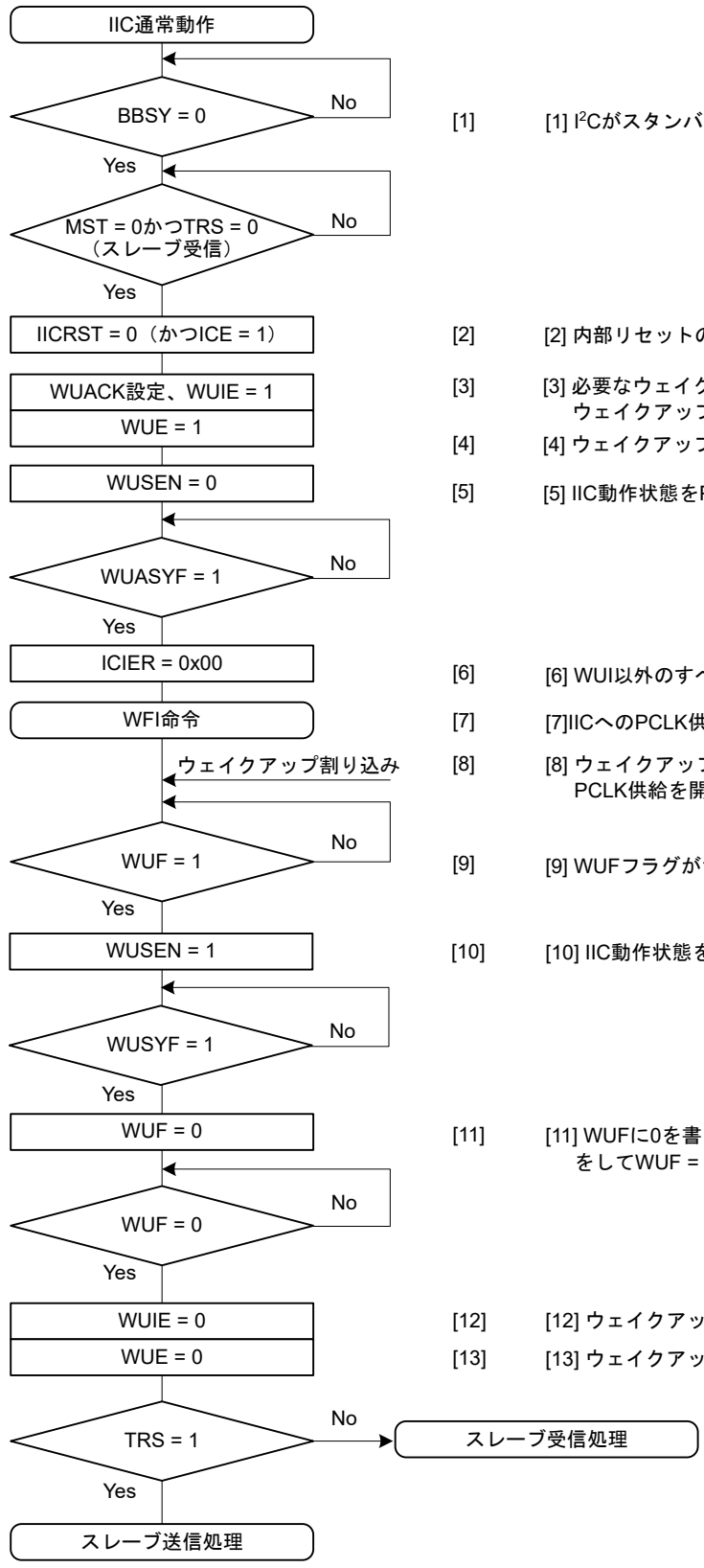
以下では、ノーマルウェイクアップモード 2 の動作、タイミング、および動作例について説明します。

スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。

ウェイクアップ前：	SCL8 クロック目の終わりまでは、自スレーブアドレスで受信したデータへの応答はありません。
ウェイクアップ中：	SCL ラインは 8 クロック目と 9 クロック目の間で Low を保持します。
ウェイクアップ後：	SCL9 クロック目で ACK を返し、通常動作が継続します。

スレーブアドレスが一致しない場合、SCL ラインは SCL8 クロック目の後で Low を保持せずに、スレーブ動作が継続します。図 31.33 に動作例を、図 31.34 にタイミングの詳細を示します。

ウェイクアップ割り込み以外の割り込み（IRQn など）で、ソフトウェアスタンバイモードからの遷移がトリガされると、WUF フラグは 1 に設定されません。図 31.31 に動作例を示します。



[1] [1] I²Cがスタンバイ状態になり、バスフリー状態になるのを待つ

[2] [2] 内部リセットのアサート時は内部リセットをネゲート

[3] [3] 必要なウェイクアップモードに応じてWUACKを設定、ウェイクアップ割り込みを許可

[4] [4] ウェイクアップ機能を有効

[5] [5] IIC動作状態をPCLK同期からPCLK非同期へ変更

[6] [6] WUI以外のすべての割り込み要求を禁止

[7] [7]IICへのPCLK供給を停止（IICは受信を続ける）

[8] [8] ウェイクアップ割り込み（アドレス一致）によりIICへのPCLK供給を開始

[9] [9] WUFフラグが1になるのを待つ

[10] [10] IIC動作状態をPCLK非同期からPCLK同期へ変更

[11] [11] WUFに0を書く（割り込み処理から復帰する前に読み出しをしてWUF = 0であることを確認する）

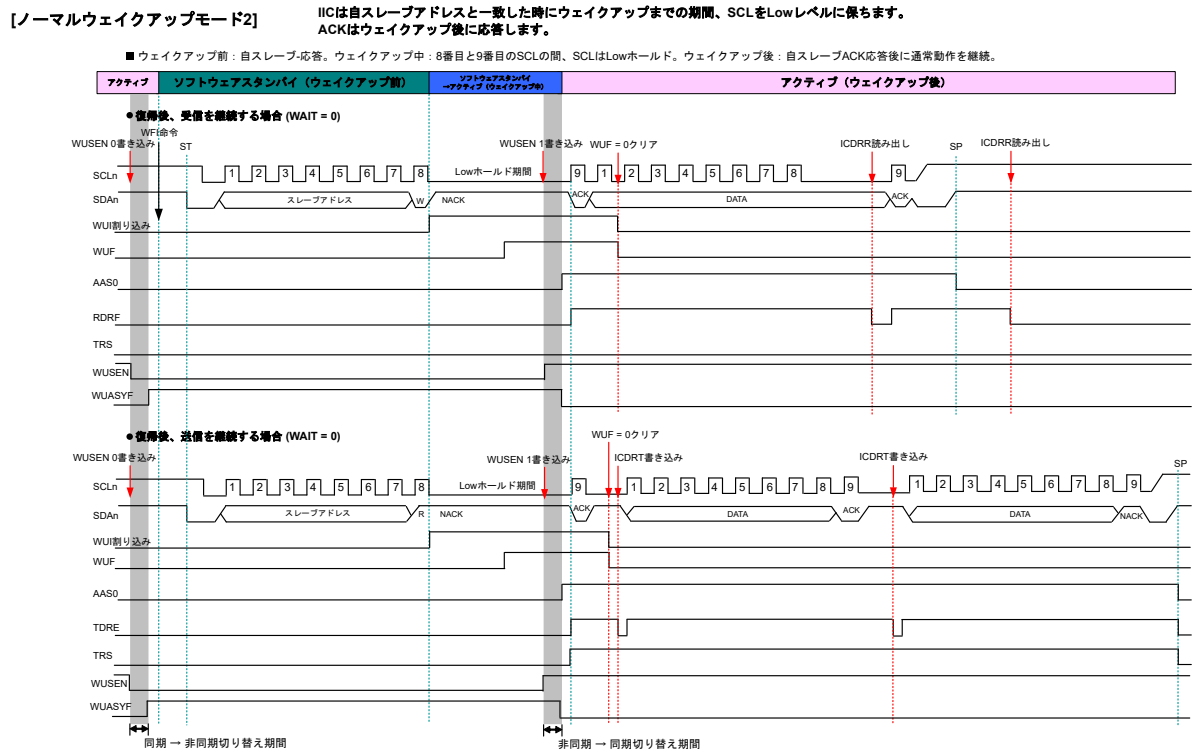
[12] [12] ウェイクアップ割り込みを禁止

[13] [13] ウェイクアップ機能を無効

注. PCLK = PCLKB

図 31.33 ノーマルウェイクアップモード 2 の動作例（スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合）

注. ウェイクアップ機能使用時の注意事項を参照してください。



注. n = 0

図 31.34 ノーマルウェイクアップモード 2 のタイミング

31.8.3 コマンドリカバリモードと EEP 応答モード（特殊ウェイクアップモード）

以下では、コマンドリカバリモードと EEP 応答モードの動作、タイミング、および動作例について説明します。

コマンドリカバリモードと EEP 応答モードでは、ウェイクアップ期間中（SCL の 9 クロック目の立ち上がり後）に SCL ラインの Low ホールドを行いません。よって、他の IIC デバイスはこの期間に I^2C バスを利用できます。

スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。

ウェイクアップ前：	自スレーブアドレスとともに受信したデータに対して、IIC は ACK（コマンドリカバリモードの場合）または NACK（EEP 応答モードの場合）を返す。
ウェイクアップ中：	SCL ラインの Low ホールドを行わない。
ウェイクアップ後：	IIC の初期化後、通常動作が継続する。

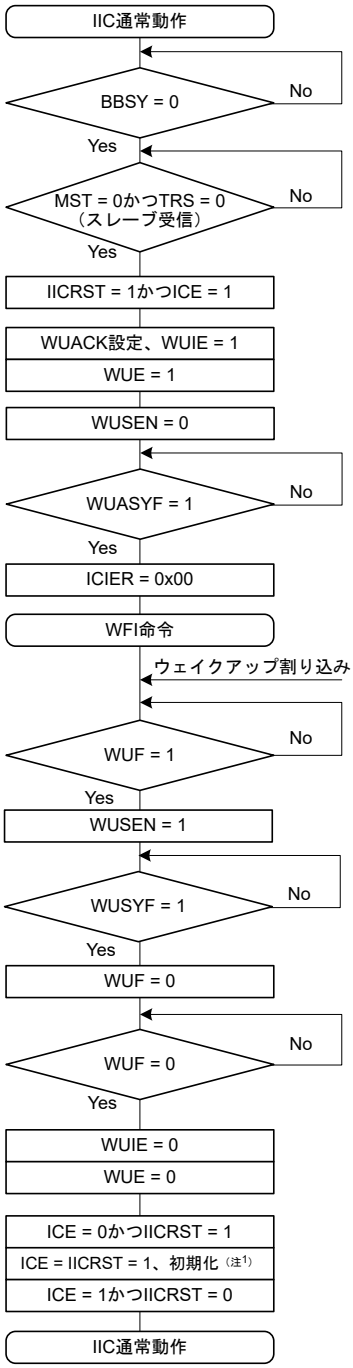
スレーブアドレスが不一致の場合、スレーブ動作が継続します。

注. ウェイクアップ中に SCL ラインの Low ホールドは行われないので、スレーブアドレスの後続データは送受信できません。

注. コマンドリカバリモードと EEP 応答モードは、内部リセット状態 (ICE = IICRST = 1) です。したがって、スレーブアドレスが一致しても、ICSR1 レジスタのフラグ（HOA、GCA、ASS0、ASS1、ASS2）は設定されません。

図 31.35 にコマンドリカバリモードと EEP 応答モードの動作例を示します。図 31.37 に詳細なタイミングを示します。

ウェイクアップ割り込み以外の割り込み（IRQn など）で、ソフトウェアスタンバイモードからの遷移がトリガされると、WUF フラグは 1 に設定されません。図 31.36 に示す処理に従ってください。



[1] [1] I²Cがスタンバイ状態になり、バスがオープン状態になるのを待つ

[2] [2] 内部リセットのアサート

[3] [3] 必要なウェイクアップモードに応じてWUACKを設定、ウェイクアップ割り込みを許可

[4] [4] ウェイクアップ機能を有効

[5] [5] IIC動作状態をPCLK同期からPCLK非同期へ変更

[6] [6] WUI以外のすべての割り込み要求を禁止

[7] [7] IICへのPCLK供給を停止 （IICは受信を続ける）

[8] [8] ウェイクアップ割り込み（アドレス一致）によりIICへのPCLK供給を開始

[9] [9] WUFフラグが1になるのを待つ

[10] [10] IIC動作状態をPCLK非同期からPCLK同期へ変更

[11] [11] WUFに0を書く
（割り込み処理から復帰する前に読み出しをしてWUF = 0であることを確認する）

[12] [12] ウェイクアップ割り込みを禁止

[13] [13] ウェイクアップ機能を無効

[14] [14] IICリセット（ICE = 0かつIICRST = 1）

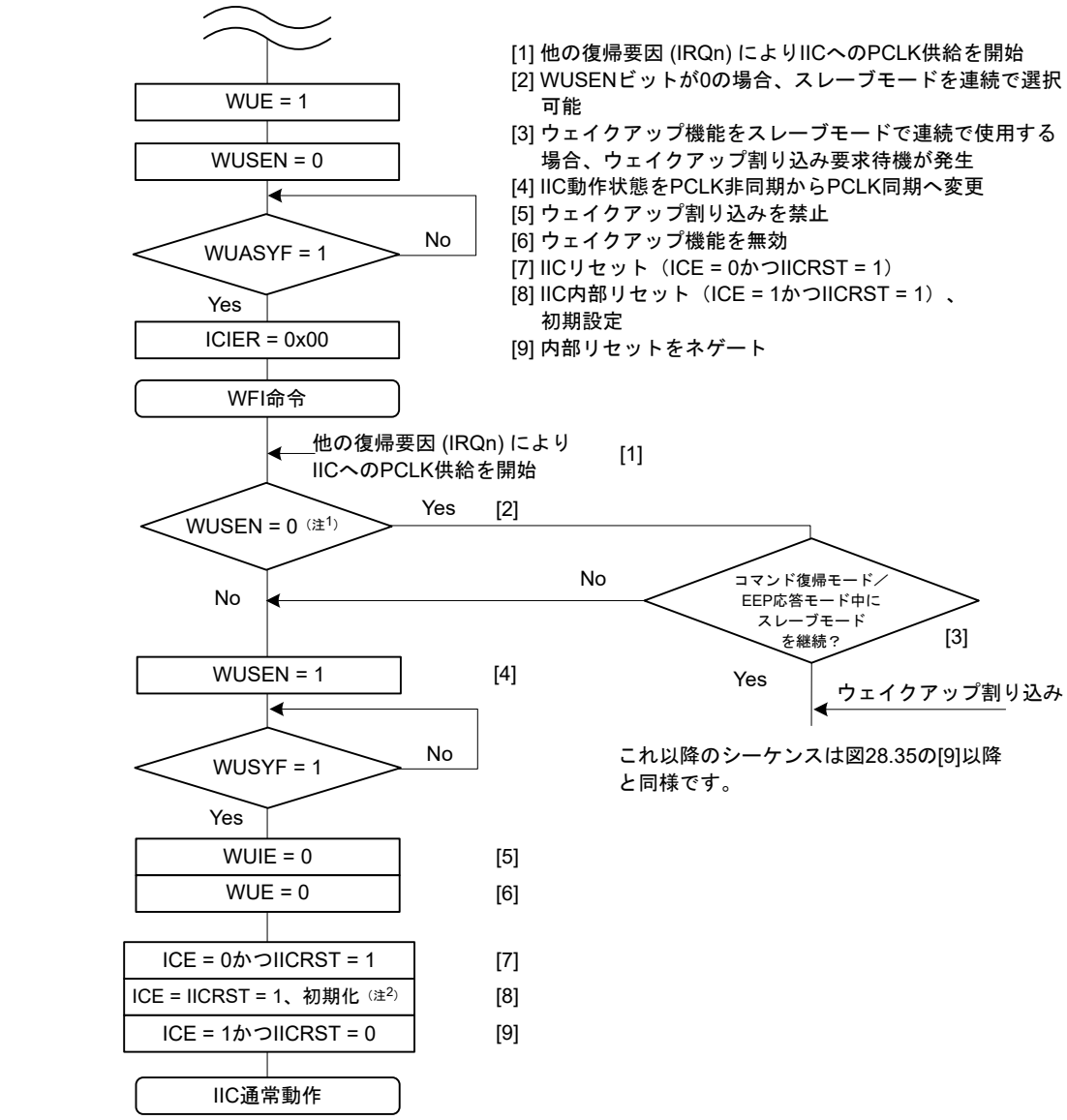
[15] [15] IIC内部リセット（ICE = 1かつIICRST = 1）、初期設定

[16] [16] 内部リセットをネゲート

注. PCLK = PCLKB
注 1. IIC の初期化の詳細は、「31.3.2. 初期設定」を参照してください。

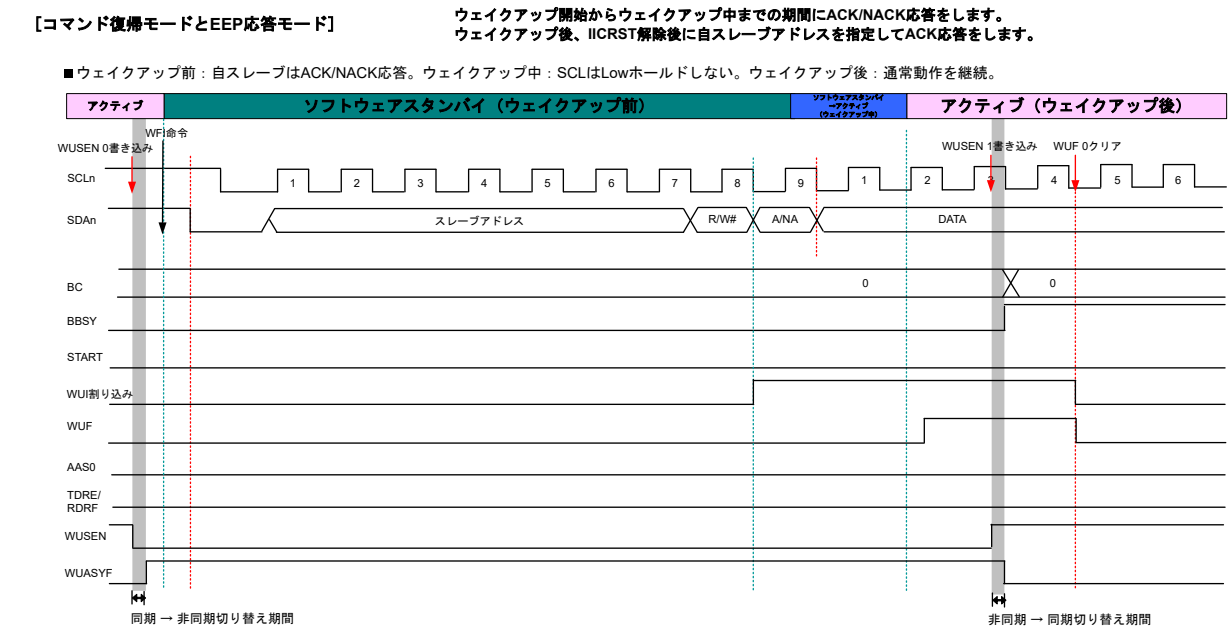
図 31.35 コマンドリカバリモードと EEP 応答モードの動作例（スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合）

注. ウェイクアップ機能使用時の注意事項を参照してください。



注. PCLK = PCLKB
注 1. MCU では、IIC の WUSEN ビットは常に 0 です。
注 2. IIC 初期設定の詳細は、「31.3.2. 初期設定」を参照してください。

図 31.36 コマンドリカバリモードと EEP 応答モードの動作例（IIC ウェイクアップ割り込み以外の割り込み（たとえば IRQn）によるウェイクアップの場合）



注. n = 0

図 31.37 コマンドリカバリモードと EEP 応答モードのタイミング

31.9 SCL の自動 Low ホールド機能

31.9.1 送信データの誤送信防止機能

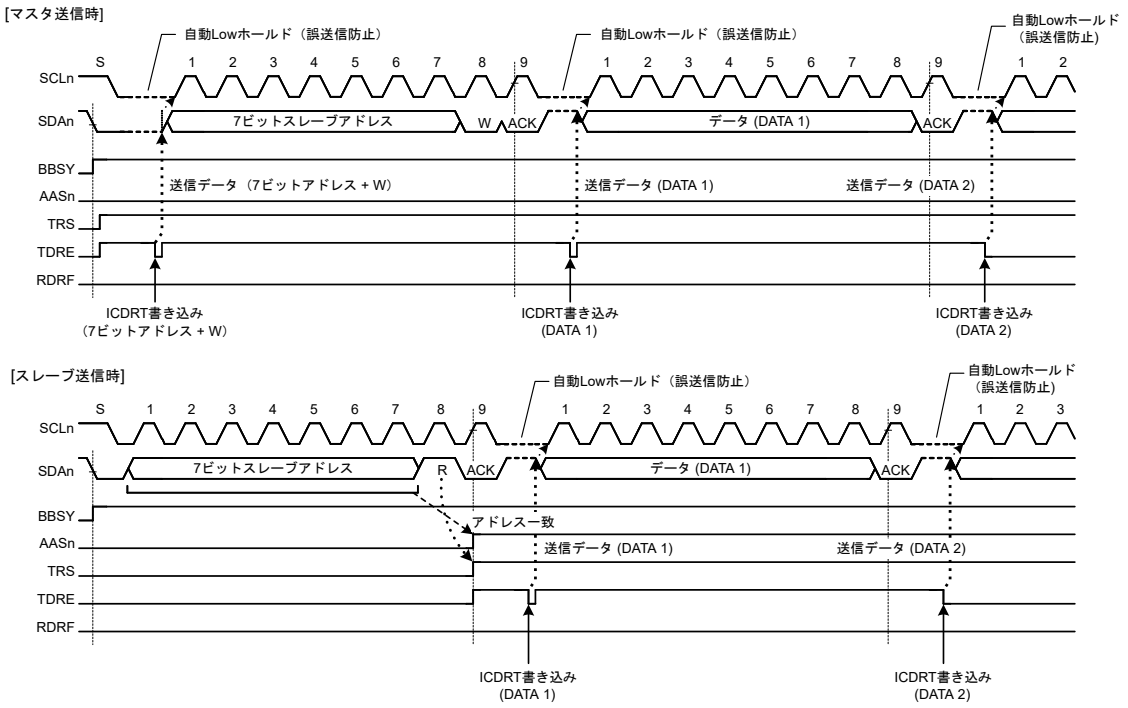
IIC が送信モード (ICCR2.TRS = 1) のとき、I²C バスシフトレジスタ (ICDRS) が空の状態で、かつ I²C バス送信データレジスタ (ICDRT) にデータが書かれていないと、以下に示す区間、自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは、送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。

マスタ送信モード

- スタートコンディション／リスタートコンディション発行後の Low 区間
- 9 クロック目と 1 クロック目の間の Low 区間

スレーブ送信モード

- 9 クロック目と 1 クロック目の間の Low 区間



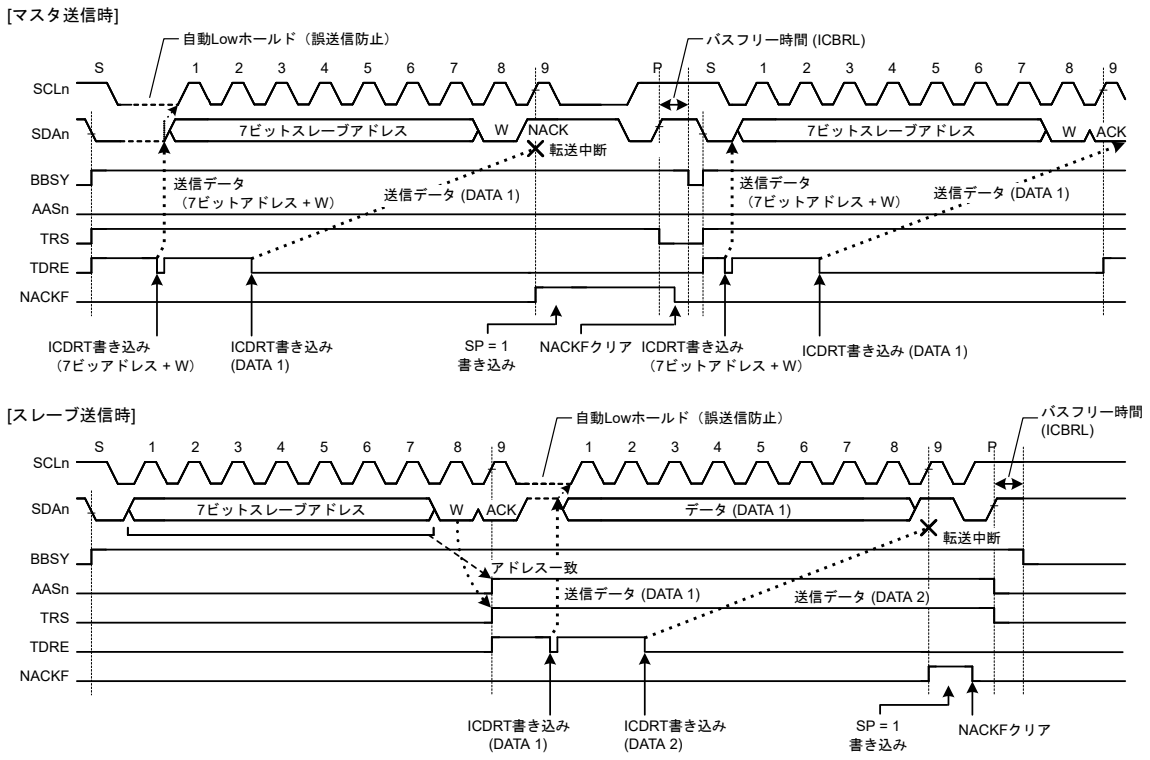
注. n = 0, 1, y = 0～2

図 31.38 送信モード時の自動 Low ホールド動作

31.9.2 NACK 受信転送中断機能

この機能は、送信モード時 (ICCR2.TRS = 1)、NACK を受信した場合に転送動作を中断します。この機能は、ICFER.NACKE ビットが 1 のとき有効になります。NACK 受信時にすでに次の送信データが書き込まれていた場合 (ICSR2.TDRE = 0)、SCL クロックの 9 クロック目の立ち下がりで、次のデータ送信を自動的に中断します。これによって、次送信データの MSB が 0 の場合、SDAn ライン Low 出力固定を防止することができます。

この機能によって転送動作が中断された場合 (ICSR2.NACKF = 1)、以後の送受信動作は行われません。送受信動作を再開するには、リスタートコンディション発行後に NACKF フラグを 0 にし、再試行する必要があります。あるいは、ストップコンディション発行後に NACKF フラグを 0 にしてから、スタートコンディションの発行により送受信動作を再開してください。



注. n = 0, 1, y = 0～2

図 31.39 NACK 受信時のデータ転送中断動作（NACKE = 1 の場合）

31.9.3 受信データ取りこぼし防止機能

受信モード時 (ICCR2.TRS = 0) に、受信データフル (ICSR2.RDRF = 1) の状態で受信データ（ICDRR レジスタ）の読み出しが 1 転送フレーム以上遅れるなどの応答処理遅延が発生した場合、IIC は次のデータ受信の直前で自動的に SCLn ラインの Low ホールドを行い、受信データの取りこぼしを防止します。

この機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディションが発行され、IIC スレーブアドレスが指定された場合でも有効です。ストップコンディション発行後に自スレーブアドレスとの不一致が発生した場合は、IIC は SCLn ラインの Low ホールドを行わないため、本機能によって他の通信を妨げることはありません。

また、ICMR3 レジスタの WAIT ビットと RDRFS ビットの組み合わせにより、SCLn ラインが Low ホールドされる期間を選択できます。

(1) WAIT ビットによる 1 バイト受信動作／自動 Low ホールド機能

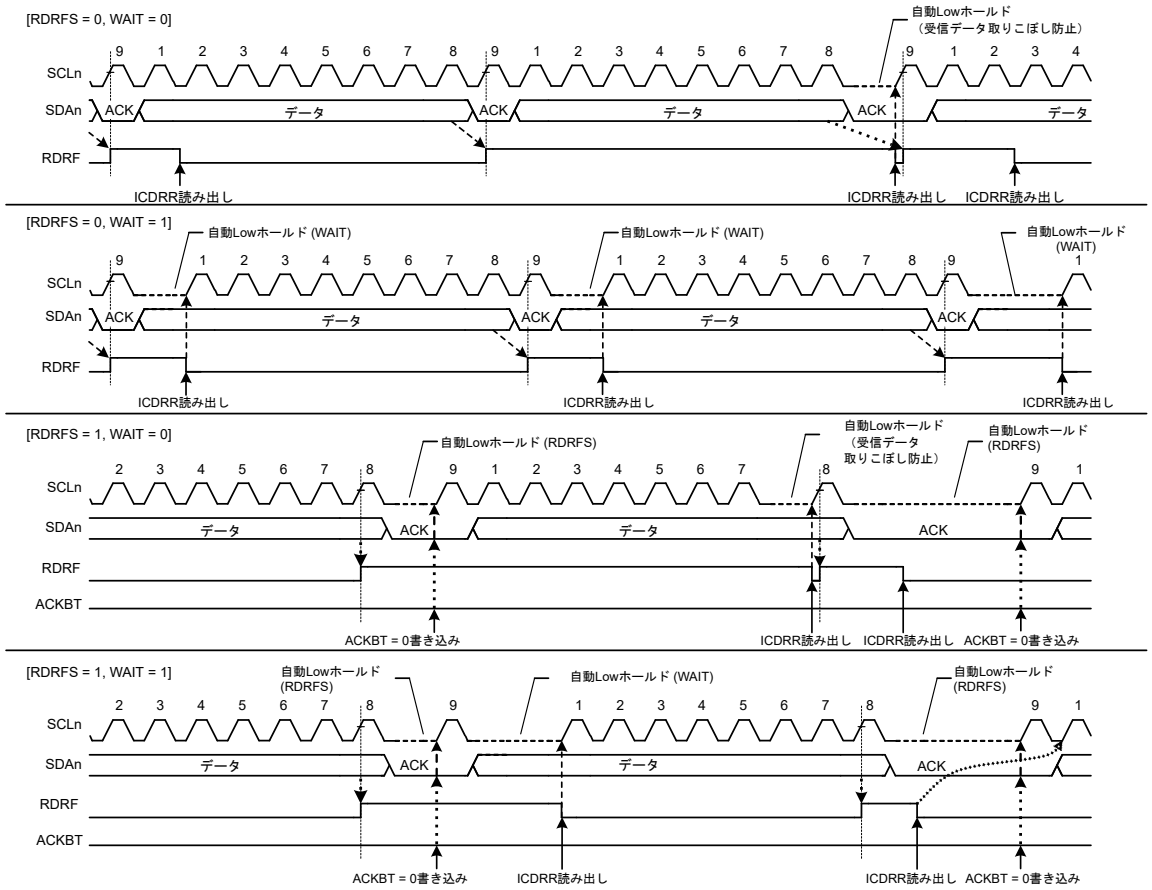
ICMR3.WAIT ビットを 1 にすると、IIC は WAIT ビット機能を用いた 1 バイト受信動作を行います。また、ICMR3.RDRFS ビットが 0 の場合、SCL クロックの 8 クロック目の立ち下がりから 9 クロック目の立ち下がりまでの期間、IIC はアクノリッジビットに対し自動的に ICMR3.ACKBT ビットの内容を送出し、9 クロック目の立ち下がりを検出すると、WAIT ビット機能を用いて自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは、ICDRR レジスタからデータを読み出すことで解除されます。そのため 1 バイトごとの受信動作が可能となります。

なお WAIT ビット機能は、マスタ受信モードまたはスレーブ受信モード時に、ジェネラルコールアドレスとホストアドレスを含む IIC スレーブアドレスとの一致があった以降の受信フレームから有効になります。

(2) RDRFS ビットによる 1 バイト受信動作（ACK/NACK 送出制御）／自動 Low ホールド機能

ICMR3.RDRFS ビットを 1 にすると、IIC は RDRFS ビット機能を用いた 1 バイト受信動作を行います。RDRFS ビットを 1 にすると、SCL の 8 クロック目の立ち上がりで ICSR2.RDRF フラグが 1（受信データフル）になり、8 クロック目の立ち下がりで自動的に SCLn ラインの Low ホールドが行われます。この Low ホールドは、ICMR3.ACKBT ビットに値を書き込むことで解除されますが、ICDRR レジスタからデータを読み出しても解除されません。そのため、1 バイトごとに受信したデータの内容に応じて ACK/NACK の送信を制御することにより、受信動作が可能となります。

なお RDRFS ビット機能は、マスタ受信モードまたはスレーブ受信モード時に、ジェネラルコールアドレスとホストアドレスを含む IIC スレーブアドレスとの一致があった以降の受信フレームから有効になります。



注. n = 0, 1

図 31.40 受信モード時の自動 Low ホールド動作（RDRFS および WAIT ビットを使用）

31.10 アービトレーションロスト検出機能

IIC は、I2C バス規格で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止機能、NACK 送信時のアービトレーションロスト検出機能、およびスレーブ送信モード時のアービトレーションロスト検出機能を備えています。

31.10.1 マスタアービトレーションロスト検出機能（MALE ビット）

IIC はスタートコンディション発行の際、SDAn ラインを Low にします。ただし、これよりも早く他のマスタデバイスがスタートコンディションを発行して SDAn ラインを Low にした場合、IIC は自身のスタートコンディションをエラーと判断し、これをアービトレーションロストとみなします。他のマスタデバイスによる転送の方が

優先されます。同様に、バスビジー (ICCR2.BBSY = 1) の状態で ICCR2.ST ビットを 1 にすることでスタートコンディション発行を要求すると、IIC はこれをスタートコンディションの二重発行エラーと判断し、自身がアービトレーションロストを発生させたとみなします。この機能は、転送中のスタートコンディション発行による転送の失敗を防止します。

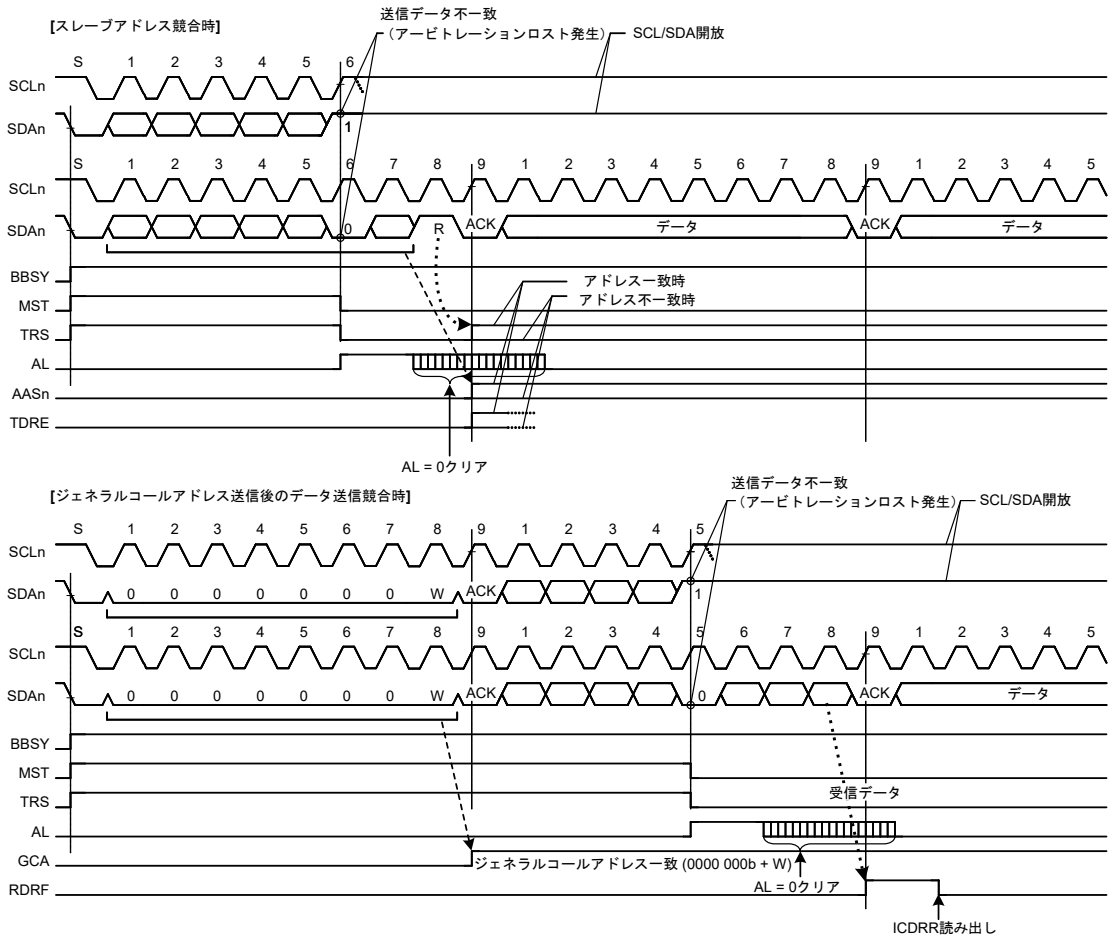
スタートコンディション発行が正常に行われた場合、アドレスビットを含む送信データ（内部の SDA 出力レベル）と SDAn ラインのレベルが不一致の場合（内部 SDA 出力として High 出力、すなわち SDAn 端子がハイインピーダンス状態で、SDAn ラインに Low が検出されたとき）、IIC はアービトレーションロストを発生させます。

マスタアービトレーションロストが発生した後、IIC はただちにスレーブ受信モードへ遷移します。このとき、ジェネラルコールアドレスを含むスレーブアドレスが自身のアドレスと一致していれば、IIC はスレーブ動作を継続します。

なお、マスタアービトレーションロストは、ICFER.MALE ビットが 1（マスタアービトレーションロスト検出有効）の状態で、以下に示す条件が成立したとき検出されます。

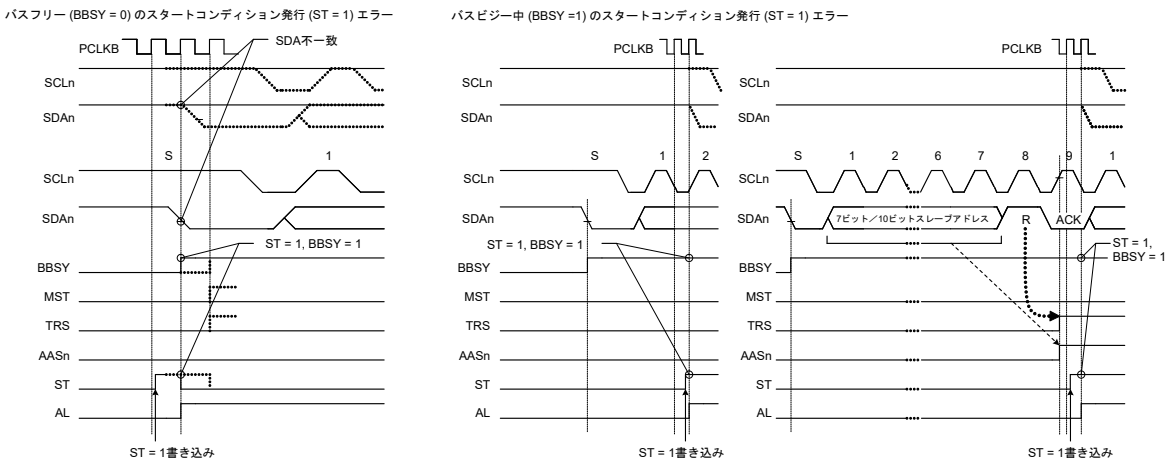
[マスタアービトレーションロスト条件]

- ICCR2.BBSY フラグが 0 の状態で ICCR2.ST ビットを 1 にしてスタートコンディションを発行した後、SDA の内部出力レベルと SDAn ラインのレベルが不一致のとき（スタートコンディション発行エラー）
- ICCR2.BBSY フラグが 1 の状態で ICCR2.ST ビットを 1 にしたとき（スタートコンディション二重発行エラー）
- マスタ送信モード時 (ICCR2.MST, TRS = 11b)、アクノリッジを除く送信データ（内部の SDA 出力レベル）と SDAn ラインのレベルが不一致のとき



注. n = 0, 1

図 31.41 マスタアービトレーションロスト検出動作例（MALE = 1 の場合）

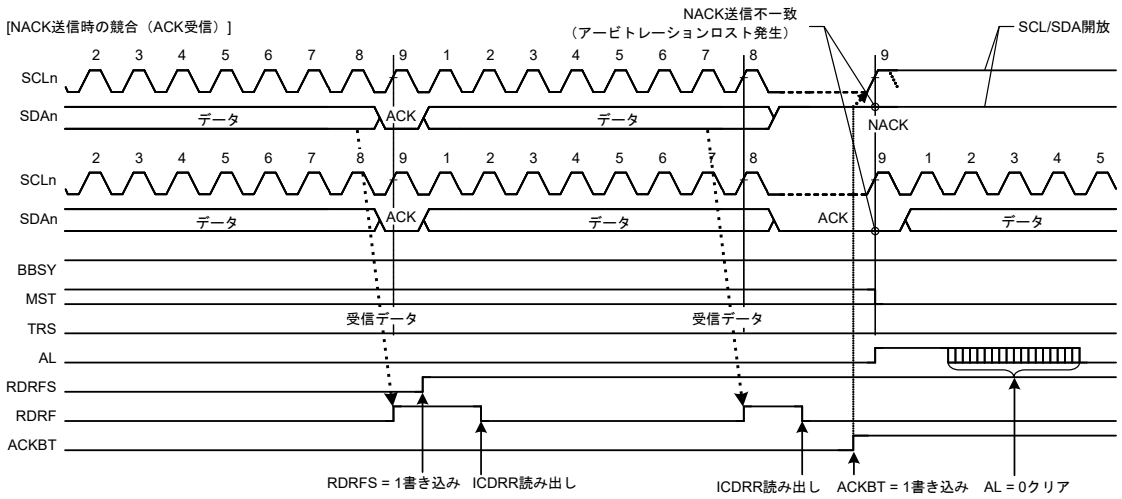


注. PCLK = PCLKB
注. n = 0, 1, y = 0～2

図 31.42 スタートコンディション発行時のアービトレーションロスト（MALE = 1 の場合）

31.10.2 NACK 送信中のアービトレーションロスト検出機能（NALE ビット）

この機能は、受信モードで NACK 送信時に、内部の SDA 出力レベルと SDAn ラインのレベルが不一致（内部 SDA 出力が High 出力、すなわち SDAn 端子がハイインピーダンス状態）であれば、SDAn ラインに Low が検出されたとき、アービトレーションロストを発生させます。マルチマスタのシステムにおいて、2 つ以上のマスタデバイスが同じスレーブデバイスから同時にデータを受信するとき、NACK 送信と ACK 送信の衝突が原因で、アービトレーションロストが発生します。このような衝突は、複数のマスタデバイスが 1 つのスレーブデバイスに対して同じ情報を送受信する際に生じます。 図 31.43 に、NACK 送信中のアービトレーションロスト検出の動作例を示します。



注. n = 0, 1

図 31.43 NACK 送信中のアービトレーションロスト検出の動作例（NALE = 1 の場合）

以下では、2 つのマスタデバイス（マスタ A、B）と 1 つのスレーブデバイスがバス上に接続されている場合を例に挙げてアービトレーションロストを説明します。マスタ A はスレーブデバイスから 2 バイト受信、マスタ B はスレーブデバイスから 4 バイト分のデータ受信を行うものとします。

マスタ A とマスタ B が同時にスレーブデバイスにアクセスした場合、スレーブアドレスが同じであるため、スレーブデバイスアクセス中にマスタ A にも B にもアービトレーションロストは発生しません。マスタ A とマスタ B は、どちらもバス権を取得したものと認識して動作します。ここでマスタ A は、スレーブデバイスから最終バイトである 2 バイト分の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスからの受信データが必要な 4 バイト受信に満たないため ACK 送信を行います。このときマスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。一般的に、このような衝突が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できずにストップコンディションを発行します。このストップコンディションの発行は、マスタ B の SCL クロック出力と競合し、通信を中断させます。

IIC は、NACK 送信時に ACK を受信した場合、他のマスタデバイスと競合負けが発生したことを検知し、アービトレーションロストを発生させることができます。NACK 送信時にアービトレーションロストが発生すると、IIC はただちにスレーブ一致状態を解除して、スレーブ受信モードへ遷移します。この機能は、ストップコンディション発行を未然に防ぎ、バスの通信エラーを防止します。

同様に、SMBus の ARP コマンド処理においても、NACK 送信中のアービトレーションロスト検出機能を用いて、割り付けられたアドレスコマンド後の Get UDID 汎用処理で割り付けられたアドレスの UDID（ユニークデバイス ID）が不一致の場合に、0xFF 送信処理などの追加クロック処理を省くことができます。

ICFER.NALE ビットが 1（NACK 送信中アービトレーションロスト検出有効）の状態で、以下に示す条件が成立したとき、IIC は NACK 送信中のアービトレーションロストを検出します。

[NACK 送信中アービトレーションロスト条件]

- NACK 送信時 (ICMR3.ACKBT = 1)、内部の SDA 出力レベルと SDAn ラインの状態（ACK 受信）が不一致のとき

31.10.3 スレーブアービトレーションロスト検出機能（SALE ビット）

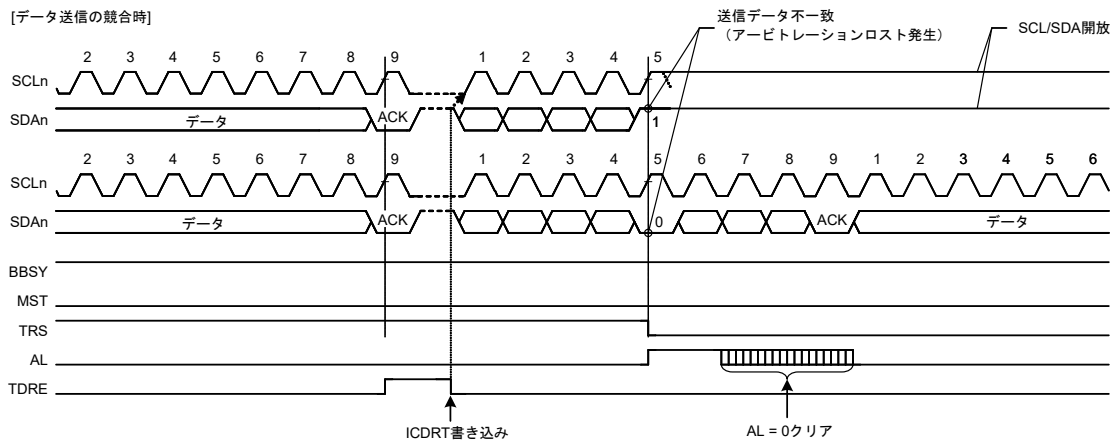
この機能は、スレーブ送信モード時に、送信データ（内部の SDA 出力レベル）と SDAn ラインのレベルが不一致（内部 SDA 出力が High 出力、すなわち SDAn 端子がハイインピーダンス状態）であれば、SDAn ラインに Low が検出されたとき、アービトレーションロストを発生させます。このアービトレーションロスト検出機能は、主に SMBus での UDID（ユニークデバイス ID）送信時に使用します。

スレーブアービトレーションロストが発生した場合、IIC はただちにスレーブ一致状態を解除してスレーブ受信モードへ遷移します。この機能によって、SMBus での UDID 送信時のデータ衝突を検出し、以降の余剰な 0xFF 送信処理を省くことができます。

ICFER.SALE ビットが 1（スレーブアービトレーションロスト検出有効）の状態で、以下に示す条件が成立したとき、IIC はスレーブアービトレーションロストを検出します。

[スレーブアービトレーションロスト条件]

- スレーブ送信モード時 (ICCR2.MST, TRS = 01b)、アクノリッジを除く送信データ（内部 SDA 出力レベル）と SDAn ラインが不一致のとき



注. n = 0, 1

図 31.44 スレーブアービトレーションロスト検出動作例（SALE = 1 の場合）

31.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

31.11.1 スタートコンディション発行動作

IIC は、ICCR2.ST ビットが 1 のときにスタートコンディションを発行します。ST ビットを 1 にすると、スタートコンディション要求が行われ、ICCR2.BBSY フラグが 0（バスフリー状態）の場合、IIC はスタートコンディションを発行します。スタートコンディションが正常に発行された場合、IIC は自動的にマスタ送信モードへ遷移します。

スタートコンディションの発行方法：

1. SDAn ラインを立ち下げる（High から Low に遷移）。
2. ICBRH レジスタで設定した時間とスタートコンディションのホールド時間が経過したことを確認する。
3. SCLn ラインを立ち下げる（High から Low に遷移）。
4. SCLn ラインの Low を検出後、ICBRL レジスタで設定した SCLn ラインの Low 幅が経過したことを確認する。

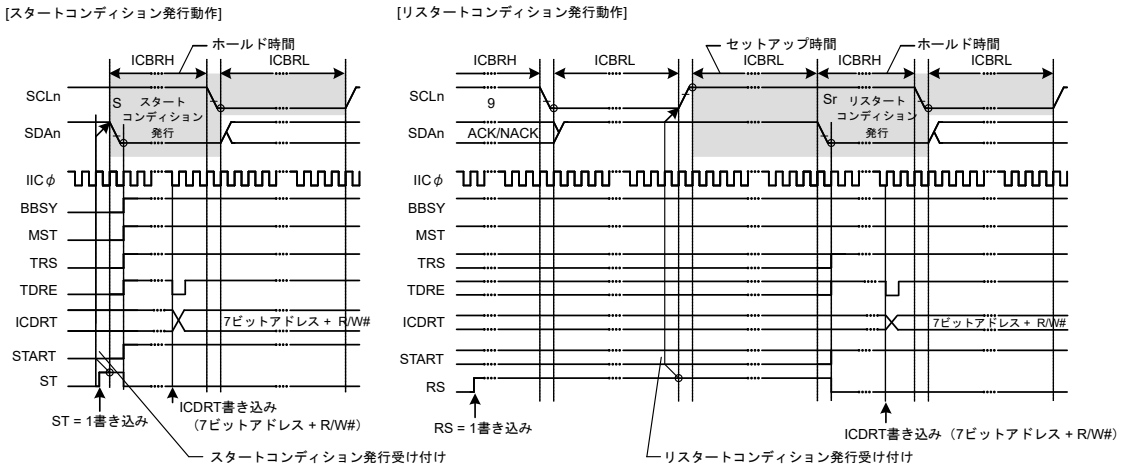
31.11.2 リスタートコンディション発行動作

IIC は、ICCR2.RS ビットが 1 のときリスタートコンディションを発行します。RS ビットを 1 にすると、リスタートコンディション要求が行われ、ICCR2.BBSY フラグが 1（バスビジー状態）で、かつ ICCR2.MST ビットが 1（マスタモード）の場合、IIC はリスタートコンディションを発行します。

リスタートコンディションの発行方法：

1. SDAn ラインを解放する。
2. ICBRL レジスタで設定した SCLn ラインの Low 幅が経過したことを確認する。
3. SCLn ラインを解放する（Low から High に遷移）。
4. SCLn ラインの High を検出後、ICBRL レジスタで設定した時間とリスタートコンディションのセットアップ時間が経過したことを確認する。
5. SDAn ラインを立ち下げる（High から Low に遷移）。
6. ICBRH レジスタで設定した時間とリスタートコンディションのホールド時間が経過したことを確認する。
7. SCLn ラインを立ち下げる（High から Low に遷移）。
8. SCLn ラインの Low を検出後、ICBRL レジスタで設定した SCLn ラインの Low 幅が経過したことを確認する。

注. リスタートコンディション要求の発行時、ICCR2.RS が 0 であることを確認してから、ICDRT レジスタにスレーブアドレスを書いてください。ICCR2.RS が 1 のときに書き込まれたデータは、以前の再送条件と判断されるため、転送されません。



注. n = 0, 1

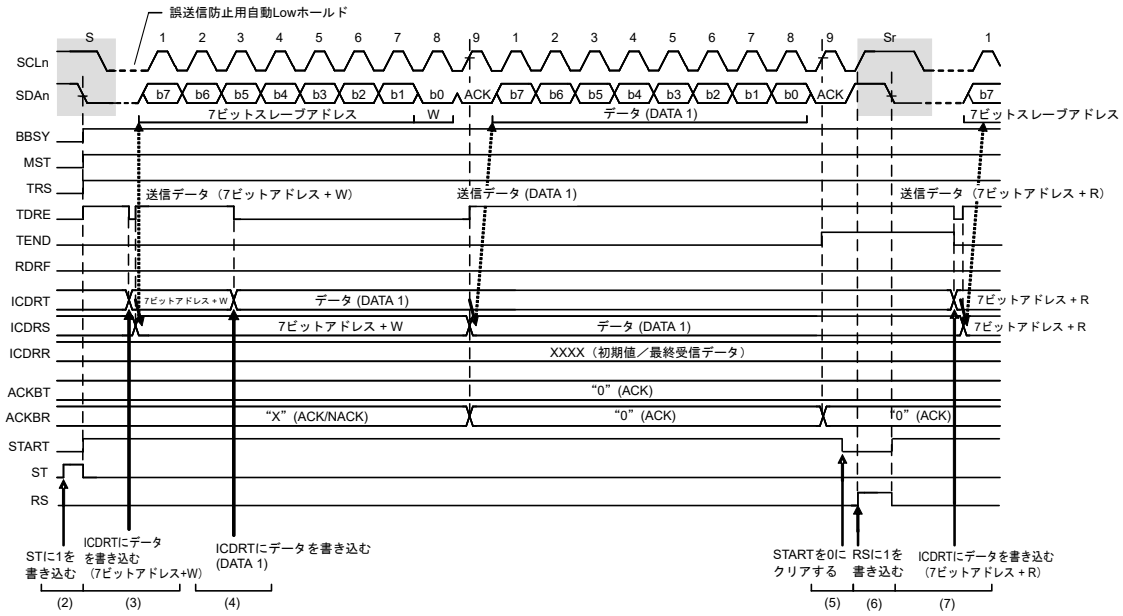
図 31.45 スタートコンディション／リスタートコンディション発行動作タイミング（ST、RS ビット）

図 31.46 に、マスタ送信後にリスタートコンディションが発行されたときの動作タイミングを示します。

[マスタ送信後のリスタートコンディション発行動作]

1. 初期設定を行います。詳細は、「31.3.2. 初期設定」を参照してください。
2. ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットを 1（スタートコンディション要求）にします。IIC はスタートコンディション要求を受け付けると、スタートコンディションを発行します。同時に、ICCR2.BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ST ビットが自動的に 0 になります。このとき、ST ビットが 1 の状態でスタートコンディションが検出され、かつ、内部の SDA 出力レベルと SDAn ラインのレベルが一致していれば、IIC は ST ビットによるスタートコンディション発行が正常に行われたと認識し、ICCR2.MST、TRS ビットが自動的に 1 になり、IIC はマスタ送信モードになります。TRS ビットが 1 になるのに応じて、ICSR2.TDRE フラグも自動的に 1 になります。
3. ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ（スレーブアドレスと R/W# ビット）を書いてください。ICDRT レジスタに送信データが書き込まれると、TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタへデータが転送されて、再び TDRE フラグが 1 になります。スレーブアドレスと R/W#ビットを含むバイトの送信が完了すると、送信された R/W#ビットの値に応じて自動的に TRS ビットの値が更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W#ビットの値が 0 であったなら、IIC はマスタ送信モードの状態を継続します。このとき ICSR2.NACKF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。データを 10 ビットフォーマットのアドレスで送信する場合は、最初に、1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b + スレーブアドレスの上位 2 ビットと W を書きます。次に、2 回目のアドレス送信処理では、ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
4. ICSR2.TDRE フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、あるいは、リスタートコンディションまたはストップコンディションが発行されるまでの間、IIC は自動的に SCLn ラインを Low にホールドします。
5. 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが 1 に戻るのを待ってから、ICSR2.START フラグが 1 であることを確認した後、ICSR2.START フラグを 0 にしてください。
6. ICCR2.RS ビットを 1（リスタートコンディション要求）にします。IIC はこの要求を受け付けると、リスタートコンディションを発行します。

7. ICSR2.START フラグが 1 であることを確認した後、ICDRT レジスタに送信データ（スレーブアドレスと R/W# ビット）を書いてください。



注. n = 0, 1

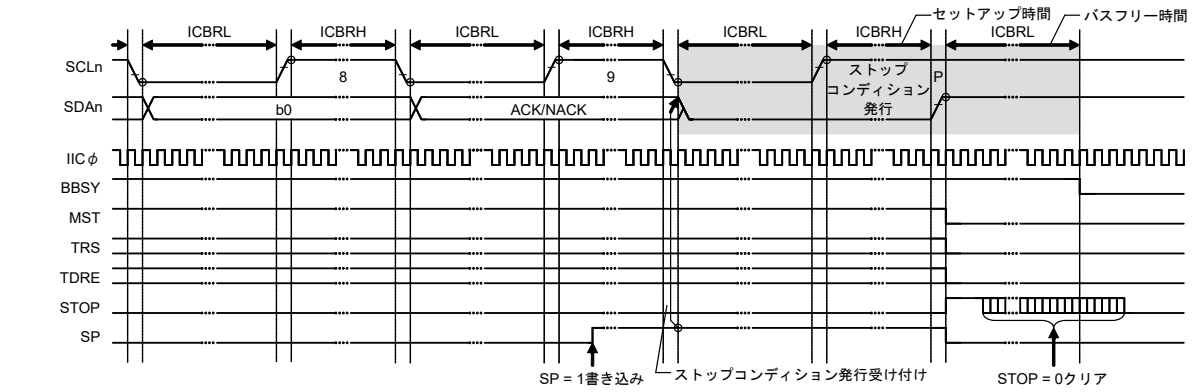
図 31.46 マスタ送信後のリスタートコンディション発行タイミング

31.11.3 ストップコンディション発行動作

IIC は、ICCR2.SP ビットが 1 のときストップコンディションを発行します。SP ビットを 1 にすると、ストップコンディション要求が行われ、ICCR2.BBSY フラグが 1（バスビジー状態）で、かつ ICCR2.MST ビットが 1（マスタモード）の場合、IIC はストップコンディションを発行します。

ストップコンディションの発行方法：

1. SDAn ラインを立ち下げる（High から Low に遷移）。
2. ICBRL レジスタで設定した SCLn ラインの Low 幅が経過したことを確認する。
3. SCLn ラインを解放する（Low から High に遷移）。
4. SCLn ラインの High 検出後、ICBRH レジスタで設定した時間とストップコンディションのセットアップ時間が経過したことを確認する。
5. SDAn ラインを解放する（Low から High に遷移）。
6. ICBRL レジスタで設定した時間とバスフリー時間が経過したことを確認する。
7. BBSY フラグをクリアしてバス権を解放する。



注. n = 0, 1

図 31.47 ストップコンディション発行タイミング（SP ビットの使用）

31.12 バスハングアップ

I2C バスではノイズなどの影響によりマスタデバイスとスレーブデバイス間で同期ズレが発生すると、SCLn ラインや SDAn ライン上のレベルが固定されたままバスハングアップを起こす場合があります。

バスハングアップを管理するため、IIC は SCLn ラインを監視してハングアップを検出するためのタイムアウト検出機能と、以下のようなバス状態を解除するための SCL クロック追加出力機能を備えています。

- 同期ズレによるバスハングアップ状態
- IIC リセット機能
- 内部リセット機能

ICCR1.SCLO、SDAO、SCLI、SDAI の各ビットをチェックすることで、IIC 自身と通信相手のどちらが SCLn ラインまたは SDAn ラインを Low にしているのか確認することが可能です。

31.12.1 タイムアウト検出機能

タイムアウト検出機能では、SCLn ラインに一定時間以上変化が見られない状態を検出できます。IIC は、SCLn ラインが Low または High に固定されたまま一定時間以上経過したことを監視して、バスの異常状態を検出することができます。

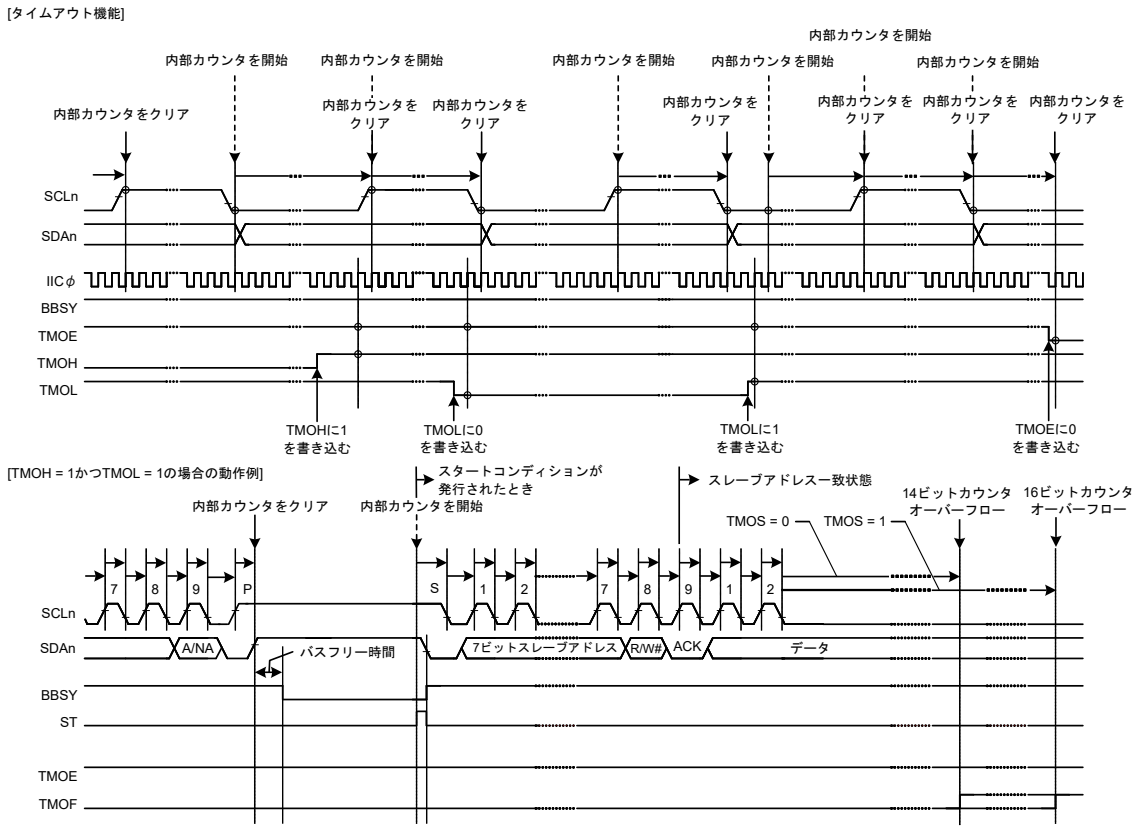
タイムアウト検出機能は SCLn ラインの状態を監視し、Low または High の時間を内部カウンタでカウントします。タイムアウト検出機能は、SCLn ラインの変化（立ち上がり／立ち下がり）があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCLn ラインに変化がないために内部カウンタがオーバーフローすると、IIC はタイムアウトを検出してバスハングアップ状態を報告します。

タイムアウト検出機能は、ICFER.TMOE ビットが 1 のときのみ有効です。以下の条件で SCLn ラインが Low 固定または High 固定の場合にバスハングアップを検出します。

- マスタモード (ICCR2.MST = 1) で、バスビジー (ICCR2.BBSY = 1)
- スレーブモード (ICCR2.MST = 0) で、IIC スレーブアドレス検出 (ICSR1 ≠ 0x00) かつバスビジー (ICCR2.BBSY = 1)
- スタートコンディション要求中 (ICCR2.ST = 1) で、バスフリー (ICCR2.BBSY = 0)

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0]ビットで設定された内部基準クロック (IICφ) をカウントソースとして使用します。このカウンタは、ロングモード選択時 (ICMR2.TMOS = 0) は 16 ビットカウンタ、ショートモード選択時 (ICMR2.TMOS = 1) は 14 ビットカウンタとして機能します。

また、内部カウンタのカウント動作は、SCLn ラインが Low のときカウントさせるか、High のときカウントさせるか、あるいはその両方をカウントさせるかを ICMR2.TMOH、TMOL ビットで選択することが可能です。TMOL ビットと TMOH ビットの両方を 0 にした場合、内部カウンタは動作しません。



注. n = 0, 1

図 31.48 タイムアウト検出機能（TMOE、TMOS、TMOH、TMOL ビットの使用）

31.12.2 SCL クロック追加出力機能

マスタモード時、この機能は SCL クロックを追加出力して、スレーブデバイスとの同期ズレによるスレーブデバイスの SDAn ライン Low 固定状態を解放します。この機能は主にマスタモードで使用され、SCL クロックを IIC から追加出力することによって、スレーブデバイスの SDAn ラインを Low 固定から解放します。この機能は、スレーブデバイスが SDAn ラインを Low 固定しているため、IIC がストップコンディションを発行できない状態のバスエラー発生時に、SCL クロックを 1 クロック単位で使用します。通常はこの機能を使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

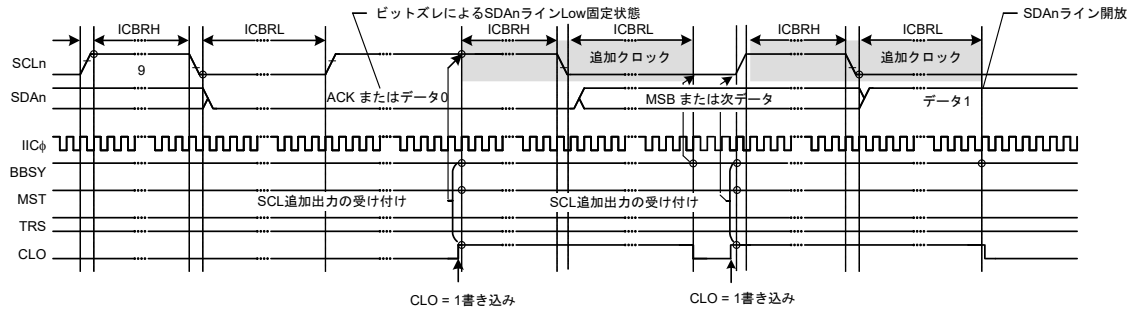
マスタモードで ICCR1.CLO ビットを 1 にすると、ICMR1.CKS[2:0]ビットおよび ICBRH、ICBRL レジスタで設定した周波数で、SCL クロックが 1 クロック分追加クロックとして出力されます。1 クロック分の追加クロック出力が終了すると CLO ビットは自動的に 0 になります。このとき、ICCR2.BBSY = 1 の場合、SCL 端子は Low を出力し、ICCR2.BBSY = 0 の場合、SCL 端子は High になります。また、ソフトウェアで CLO ビットが 0 であることを確認した後、CLO ビットに 1 を書くことにより、追加クロックを連続的に出力することができます。

IIC がマスタモードであるとき、ノイズなどによるスレーブデバイスとの同期ズレが原因で、スレーブデバイスが SDAn ラインを Low に固定したままであると、ストップコンディションを出力できません。この機能を使用して SCL 追加クロックを 1 クロックずつ出力することで、スレーブデバイスの SDAn ラインの Low 固定状態を解放させ、バスを使用できない状態から回復させることができます。スレーブデバイスによる SDAn ラインの解放は、ICCR1.SDAI フラグを読みだすことで確認できます。スレーブデバイスによる SDAn ラインの解放を確認した後、通信を終了させるため再度ストップコンディション発行してください。

[ICCR1.CLO ビット使用時の出力条件]

- バスフリー状態 (ICCR2.BBSY = 0) またはマスタモード (ICCR2.MST = 1、BBSY = 1) のとき
- 通信デバイスが SCLn ラインを Low ホールドにしていない状態のとき

図 31.49 に SCL クロック追加出力機能（CLO ビット）の動作タイミングを示します。



注. n = 0, 1

図 31.49 SCL クロック追加出力機能（CLO ビット）

31.12.3 IIC リセット、内部リセット

IIC は自身をリセットする機能を備えています。IIC では 2 種類のリセットが用いられます。

- ICCR2.BBSY フラグを含めた全レジスタの初期化を行う IIC リセット
- 各種設定値を保持したまま IIC をスレーブアドレス一致状態から解放し内部カウンタの初期化を行う内部リセット

リセット後は、ICCR1.IICRST ビットを 0 にしてください。いずれのリセットも、SCLn 端子／ SDAn 端子の出力状態を解除してハイインピーダンスに戻すため、バスハングアップ状態の解除に有効です。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ズレを引き起こす原因になるので、使用は極力避けてください。また、IIC リセット (ICCR1.ICE, IICRST = 01b) 中は、スタートコンディションの有無など、バス状態の監視はできません。

IIC リセットと内部リセットの詳細については、「31.15. 各コンディション発行時のリセット、レジスタ、機能の状態」を参照してください。

31.13 SMBus 動作

IIC は、SMBus 仕様 (Ver.2.0) に準拠した通信動作が可能です。SMBus 通信を行うには、ICMR3.SMBS ビットを 1 にしてください。転送速度が SMBus 規格の 10 kbps～100 kbps の範囲に収まるように、ICMR1.CKS[2:0]ビットと ICBRH および ICBRL レジスタを設定してください。また、データホールド時間の規定値 300 ns 以上を満たすように、ICMR2.DLCS ビットおよび ICMR2.SDDL[2:0]ビットの値を指定してください。IIC をスレーブデバイスとしてのみ使用する場合は、転送速度の設定は不要ですが、ICBRL レジスタにはデータセットアップ時間 (250 ns) 以上の値を設定してください。

なお、SMBus デバイスデフォルトアドレス (1100 001b) には、スレーブアドレスレジスタ L0～L2（SARL0、SARL1、SARL2）のいずれか 1 本を使用し、対応する SARUy.FS ビット (y = 0～2)（7 ビットまたは 10 ビットアドレスフォーマット選択ビット）を 0（7 ビットアドレスフォーマット）にしてください。

また、UDID（ユニークデバイス ID）送信時には、ICFER.SALE ビットを 1 にして、スレーブアービトレーションロスト検出機能を有効にしてください。

31.13.1 SMBus タイムアウト測定

(1) スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは下記に示す区間（タイムアウト間隔：$T_{LOW:SEXT}$）を計測する必要があります。

- スタートコンディションからストップコンディションまで

スレーブデバイスでタイムアウト測定を行うには、IIC スタートコンディション検出割り込み (STIn) とストップコンディション検出割り込み (SPIn)を利用して、スタートコンディション検出からストップコンディション検出までの期間を GPT を使用して計測してください。測定したタイムアウト時間は、SMBus 規格のクロック Low 累積時間（スレーブデバイス）$T_{LOW:SEXT}$: 25 ms (max) 以内でなければいけません。

GPT で計測した時間が、SMBus 規格のクロック Low 検出のタイムアウト $T_{TIMEOUT}$: 25 ms (min) を超えた場合、スレーブデバイスは ICCR1.IICRST ビットに 1 を書き込み IIC の内部リセットを発行してバス解放動作を行う必要があります。内部リセットを行うと IIC は SCLn 端子と SDAn 端子のバス駆動を中止し、両端子の出力をハイインピーダンスにすることができます。これによりバス解放を行うことができます。

(2) マスタデバイスのタイムアウト測定

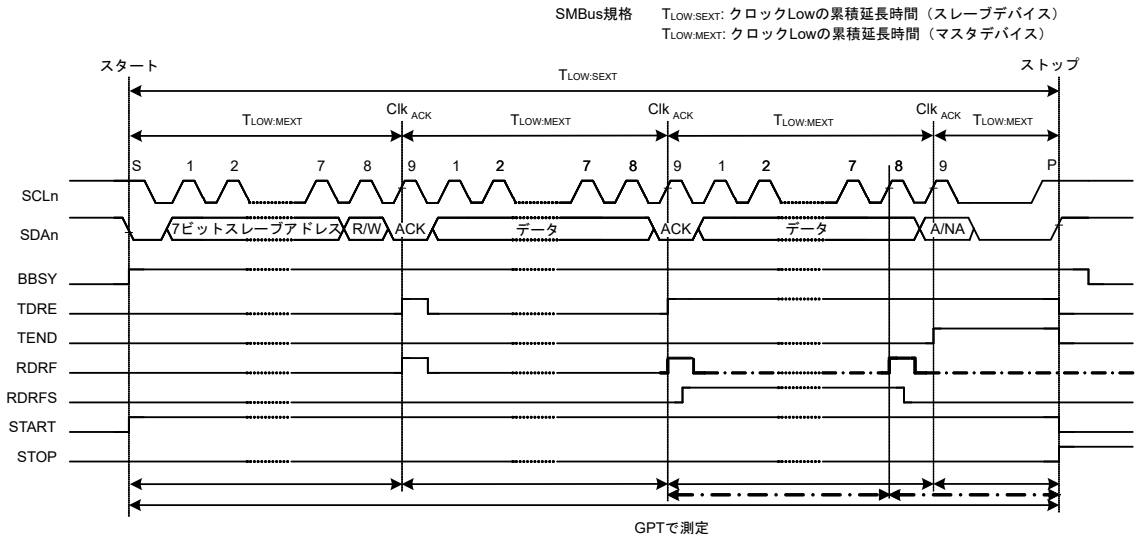
SMBus 通信では、マスタデバイスは下記に示す区間（タイムアウト間隔：$T_{LOW:MEXT}$）を計測する必要があります。

- スタートコンディションからアクノリッジビットまで
- アクノリッジビットから次のアクノリッジビットまで
- アクノリッジビットからストップコンディションまで

マスタデバイスでタイムアウト測定を行うには、IIC スタートコンディション検出割り込み (STIn)、ストップコンディション検出割り込み (SPIn)、送信終了割り込み (IICn_TEI)、または受信データフル割り込み (IICn_RXI) を利用して、GPT を使用して計測してください。測定したタイムアウト時間は、SMBus 規格のクロック Low 累積延長時間（マスタデバイス）$T_{LOW:MEXT}$: 10 ms (max) 以内であり、かつスタートコンディションからストップコンディションまでのすべての $T_{LOW:MEXT}$ の値の合計が $T_{LOW:SEXT}$: 25 ms (max) 以内でなければいけません。

ACK 受信タイミング（SCL クロックの 9 クロック目の立ち上がり）は、マスタ送信モード時（マスタトランスミッタ）は ICSR2.TEND フラグ、マスタ受信モード時（マスタレシーバ）は ICSR2.RDRF フラグで監視します。マスタ送信モード時は 1 バイト送信動作を行い、マスタ受信モード時は最終バイト受信の直前まで ICMR3.RDRFS ビットを 0 に保持してください。RDRFS ビットが 0 のとき、RDRF フラグは SCL クロックの 9 クロック目の立ち上がりで 1 になります。

GPT で計測した時間が、SMBus 規格のクロック Low 累積延長時間（マスタデバイス）$T_{LOW:MEXT}$: 10 ms (max) を超えた場合、または各計測時間の合計が、SMBus 規格のクロック Low 検出のタイムアウト $T_{TIMEOUT}$: 25 ms (min) を超えた場合は、マスタデバイスはストップコンディションを発行してトランザクションを中止する必要があります。マスタ送信モード時には即座に送信動作（ICDRT レジスタへの書き込み）を中止してください。



注. n = 0, 1

図 31.50 SMBus タイムアウト測定

31.13.2 パケットエラーコード (PEC)

本 MCU は CRC 演算器を内蔵しており、この CRC 演算器を利用して、パケットエラーコード (PEC) の送信や IIC の SMBus データ通信時の受信データチェックを行うことができます。CRC 演算器の生成多項式については「38. 巡回冗長検査 (CRC)」を参照してください。

マスタ送信モード時の PEC データは、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで生成することができます。

マスタ受信モード時の PEC データは、全受信データを CRC 演算器の CRCDIR レジスタに書き、取得した CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することでチェックできます。

PEC コードチェックの結果として最終バイトを受信したとき、結果（一致／不一致）に応じて ACK/NACK 送出を行う場合は、最終バイト受信時の SCL の 8 クロック目の立ち上がりまでに ICMR3.RDRFS ビットを 1 にし、8 クロック目の立ち下がりで SCLn ラインを Low にホールドしてください。

31.13.3 SMBus ホスト通知プロトコル（Notify ARP Master コマンド）

SMBus 通信では、スレーブデバイスが一時的にマスタデバイスとなり、SMBus ホスト（または ARP マスタ）に対して自スレーブアドレスを通知したり、SMBus ホストに対して自スレーブアドレスを要求したりできます。

本 MCU を使用する製品を SMBus ホストまたは ARP マスタとして動作させる場合、スレーブデバイスからのホストアドレス (0001 000b) 送信をスレーブアドレスとして検出する必要があるため、IIC はホストアドレス検出機能を備えています。ホストアドレスをスレーブアドレスとして検出するには、ICMR3.SMBS ビットを 1、ICSER.HOAE ビットを 1 にしてください。ホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

31.14 割り込み要因

IIC が発行する割り込み要求には、以下の 5 種類があります。

- 通信エラー／イベント発生（アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出）
- 受信データフル
- 送信データエンプティ
- 送信終了

- ウェイクアップ機能中のアドレス一致

表 31.10 に割り込み要因の詳細を示します。受信データフル割り込みおよび送信データエンプティ割り込みにより、DTC または DMAC を起動してデータ転送を行うことができます。

表 31.10 割り込み要因

シンボル	割り込み要因	割り込みフラグ	DTC または DMAC の起動	割り込み発生条件
IICn_EEI(注5)	通信エラー／イベント発生	ICSR2.AL	不可能	AL = 1, ALIE = 1
		ICSR2.NACKF		NACKF = 1, NAKIE = 1
		ICSR2.TMOF		TMOF = 1, TMOIE = 1
		ICSR2.START		START = 1, STIE = 1
		ICSR2.STOP		STOP = 1, SPIE = 1
IICn_RXI(注2)(注5)	受信データフル	ICSR2.RDRF	可能	RDRF = 1, RIE = 1
IICn_TXI(注1)(注5)	送信データエンプティ	ICSR2.RDRF	可能	TDRE = 1, TIE = 1
IICn_TEI(注3)(注5)	送信終了	ICSR2.TEND	不可能	TEND = 1, TEIE = 1
IIC0_WUI(注4)	ウェイクアップ機能中のスレーブアドレス一致	ICSR2.WUF	不可能	スレーブアドレス一致 スレーブ受信完了 RWAK 動作 ASY0 = 1 WUIE = 1

注. CPU による周辺モジュールへの書き込み命令の実行と、実際にモジュールに書き込まれるタイミングとの間には、遅延があります。割り込みフラグをクリアまたはマスクした場合は、関連するフラグを再度読み出し、クリアまたはマスク処理の完了を確認した後、割り込み処理から復帰させてください。そうしないと、同じ割り込み処理が繰り返されることがあります。
注 1. IICn_TXI 割り込みはエッジ検出割り込みであるため、クリアの必要はありません。また IICn_TXI 割り込みの条件となる ICSR2.TDRE フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出 (ICSR2.STOP = 1) で自動的に 0 になります。
注 2. IICn_RXI 割り込みはエッジ検出割り込みであるため、クリアの必要はありません。また IICn_RXI 割り込みの条件となる ICSR2.RDRF フラグは、ICDRR レジスタの読み出しで自動的に 0 になります。
注 3. IICn_TEI 割り込みを使用する場合、IICn_TEI 割り込み処理で ICSR2.TEND フラグをクリアしてください。ICSR2.TEND フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出 (ICSR2.STOP = 1) で自動的に 0 になります。
注 4. チャネル 0 のみウェイクアップ機能があり、IIC0_WUI はチャネル 0 のみです。
注 5. チャネル番号 (n = 0, 1)

割り込み処理の中でそれぞれのフラグをクリアまたはマスクしてください。

31.14.1 IICn_TXI 割り込みおよび IICn_RXI 割り込みのバッファ動作

対応する ICU.IELSRn.IR フラグが 1 のときに、IICn_TXI 割り込みまたは IICn_RXI 割り込みの発生条件が成立した場合、割り込み要求は ICU へ出力されず、内部に保存されます。1 要因あたり 1 要求を内部に保持できます。

ICU.IELSRn.IR フラグが 0 になると、ICU に保存されていた割り込み要求が出力されます。通常の状態では、内部的に保存されていた割り込み要求が自動的にクリアされます。これらは、対応する周辺モジュール側の割り込み許可ビットを 0 にすることでもクリアが可能です。

31.15 各コンディション発行時のリセット、レジスタ、機能の状態

IIC は、リセット、IIC リセット、および内部リセットの機能を備えています。表 31.11 に、各コンディション発行時のリセット、レジスタ、機能の状態間の関係を示します。

表 31.11 各コンディション発行時のリセット、レジスタ、機能の状態 (1/2)

レジスタ		リセット	IIC のリセット (ICE = 0, IICRST = 1)	内部リセット (ICE = 1, IICRST = 1)	スタートコンディションまたはリスタートコンディション検出	ストップコンディション検出
ICCR1	ICE, IICRST	リセット	保持	保持	保持	保持
	SCLO, SDAO		リセット	リセット		
	その他			保持		

表 31.11 各コンディション発行時のリセット、レジスタ、機能の状態 (2/2)

レジスタ		リセット	IIC のリセット (ICE = 0, IICRST = 1)	内部リセット (ICE = 1, IICRST = 1)	スタートコンディションまたはリスタートコンディション検出	ストップコンディション検出
ICCR2	BBSY	リセット	リセット	保持	セット	リセット
	ST, RS			リセット	リセット	保持
	SP					リセット
	TRS				セットまたは保持	
	MST					
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	保持
	その他			保持	保持	
ICMR2		リセット	リセット	保持	保持	保持
ICMR3	ACKBT	リセット	リセット	保持	保持	リセット
	その他					保持
ICFER		リセット	リセット	保持	保持	保持
ICSER		リセット	リセット	保持	保持	保持
ICIER		リセット	リセット	保持	保持	保持
ICSR1		リセット	リセット	リセット	保持	リセット
ICSR2	TEND	リセット	リセット	リセット	保持	リセット
	TDRE				セットまたは保持	
	START				セット	
	STOP				保持	セット
	その他				保持	保持
ICWUR		リセット	リセット	保持	保持	保持
SARL0, SARL1, SARL2 SARU0, SARU1, SARU2		リセット	リセット	保持	保持	保持
ICBRH, ICBRL		リセット	リセット	保持	保持	保持
ICDRT		リセット	リセット	保持	保持	保持
ICDRR		リセット	リセット	保持	保持	保持
ICDRS		リセット	リセット	リセット	保持	保持
タイムアウト検出機能		リセット	リセット	リセット	動作	動作
バスフリー時間計測		リセット	リセット	動作	動作	動作
ICWUR2	WUSEN	リセット	リセット	保持	保持	保持
	その他					保持または動作またはリセット

31.16 イベントリンク出力機能

IIC0 モジュールは、ELC に対して以下の要因によってイベント出力を行います。

(1) 通信エラーイベント

通信エラーイベントが発生すると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(2) 受信データフル

受信データレジスタが受信データフルになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(3) 送信データエンプティ

送信データレジスタが送信データエンプティになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(4) 送信終了

転送が終了すると、対応するイベント信号を ELC によって他のモジュールに出力できます。

31.16.1 割り込み処理とイベントリンクの関係

IIC の各割り込み（表 31.10 参照）には、対応する割り込み信号の許可または禁止を制御する許可ビットがあります。対応する割り込み許可ビットがセットされている場合に割り込み要因の条件が成立すると、CPU に対して割り込み要求信号が出力されます。

割り込み要因が発生すると、割り込み許可ビットの設定にかかわらず、対応するイベントリンク出力信号が ELC によって他のモジュールにイベント信号として出力されます。各割り込み要因については、表 31.10 を参照してください。

31.17 使用上の注意事項

31.17.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、IIC の動作禁止／許可を設定することが可能です。リセット後の値では、IIC の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

31.17.2 転送開始に関する注意事項

転送開始 (ICCR1.ICE = 1) 時点で IIC の割り込みに対応した ICU.IELSRn.IR フラグが 1 であれば、動作を許可する前に下記の手順で割り込み要求をクリアしてください。ICCR1.ICE ビットが 1 の状態で ICU.IELSRn.IR フラグを 1 にして転送を開始すると、転送開始後、割り込み要求が内部で保持されるため、ICU.IELSRn.IR フラグが予期しない動作となることがあります。

転送開始前に割り込みをクリアする方法：

1. ICCR1.ICE ビットが 0 であることを確認する。
2. 周辺機能で対応する割り込み許可ビット（ICIER.TIE など）を 0 にする。
3. 周辺機能で対応する割り込み許可ビット（ICIER.TIE など）を読み出して、それらの値が 0 であることを確認する。
4. ICU.IELSRn.IR フラグを 0 にする。

32. CAN フレキシブルデータレート (CANFD)

32.1 概要

フレキシブルデータレート付き CAN (CANFD) は以下の機能をサポートします。

- CAN フレキシブルデータレート(注1)

注 1. この機能は、クラシカル CAN 機能では使用できません。

CANFD モジュールは、各種アプリケーションの要件を満たすフレキシブルなメッセージバッファおよび FIFO 構造を持っています。本モジュールは、モジュールの高試験性能を実現する各種テストモードも提供し、パワーオンテストに使用可能です。

本仕様書は、CANFD モジュールについて説明します。

CANFD モードは CANFD をサポートする製品に限り利用可能です。

32.1.1 CANFD モジュール

表 32.1 CANFD モジュールの仕様 (1/2)

項目		仕様
通信		CANFD ISO 11898-1 (2015) に準拠した CAN 機能
プロトコルエンジンのバージョン		RS-CANFD_PE V3.0
データ転送レート	CANFD(注1) (注2)	CAN チャネルごとにアービトレーションフェーズに最大 1 Mbps、データフェーズに最大 8 Mbps
	クラシカル CAN	最大 1 Mbps
周辺モジュールクロックの動作周波数		120 MHz (PCLKA) RAM クロック：240 MHz (PCLKE)
データリンクレイヤ (DLL) クロック		8 MHz～80 MHz 以下のクロックを選択可能 ● CANMCLK：外部発振器クロック ● CANFDCLK：CANFD コアクロック
入出力端子		CRXn/CTXn (n = 0, 1)
CAN チャネル		2 チャネル
選択可能な ID タイプ		11 ビットの標準 ID
		11 ビットの標準 ID + 18 ビットの拡張 ID
選択可能なフレームタイプ		データフレーム (RTR = 0)（CAN フレームと CANFD フレーム）
		リモートフレーム (RTR = 1)（CAN フレームのみ）
データフレームの可変データバイト数		DLC 範囲：0～F
メッセージバッファ		最大 16 個の受信メッセージバッファ
		チャネルあたり 4 個の送信メッセージバッファ
		チャネルあたり 1 個の送信キュー 送信キューへの自動メッセージ転送をサポート
FIFO 番号		2 個の受信 FIFO バッファ 1 個の COMMON FIFO を個々に下記のように設定可能 ● 受信 FIFO ● 送信 FIFO
送信用自動遅延インターバルタイマ		遅延タイマは下記に適用可能 ● 送信 FIFO

表 32.1 CANFD モジュールの仕様 (2/2)

項目	仕様
拡張受信フィルタ	11 ビットおよび 29 ビットの CAN ID をサポート
	各エントリに、プログラム可能 29 ビット CAN ID アクセプタンスフィルタマスク
	各 FIFO および受信メッセージバッファに、プログラム可能ルーティング機能（最大 2 つのルーティング先）
	RTR および IDE マスキング
	データ長コード (DLC) フィルタ
	メッセージバッファペイロードのオーバーロード保護
	ペイロードフィルタ
	通信中のアクセプタンスフィルタリスト (AFL) エントリ更新
一般ソフトウェアサポート	受信メッセージに自動ラベル情報付加（上位ソフトウェアレイヤサポート用）
タイマ	TX および RX タイムスタンプ機能
パワーダウン機能	各 CAN ノードにモジュールスタートストップ機能（チャネルモードおよびグローバルスリープモード）
RAM	RAM ECC 保護（2 ビットエラー検出および 1 ビットエラー訂正）
モジュールストップ機能	各チャネルをモジュールストップ状態に設定して消費電力の削減が可能
TrustZone フィルタ	各チャネルに対してセキュリティ属性とプリビレッジ属性の設定が可能

注 1. CANFD モードは CANFD をサポートする製品に限り利用可能です。
注 2. 通信用ビットレートは、ボードの設計や外部環境によって変わるため、十分な評価の上、決定してください。

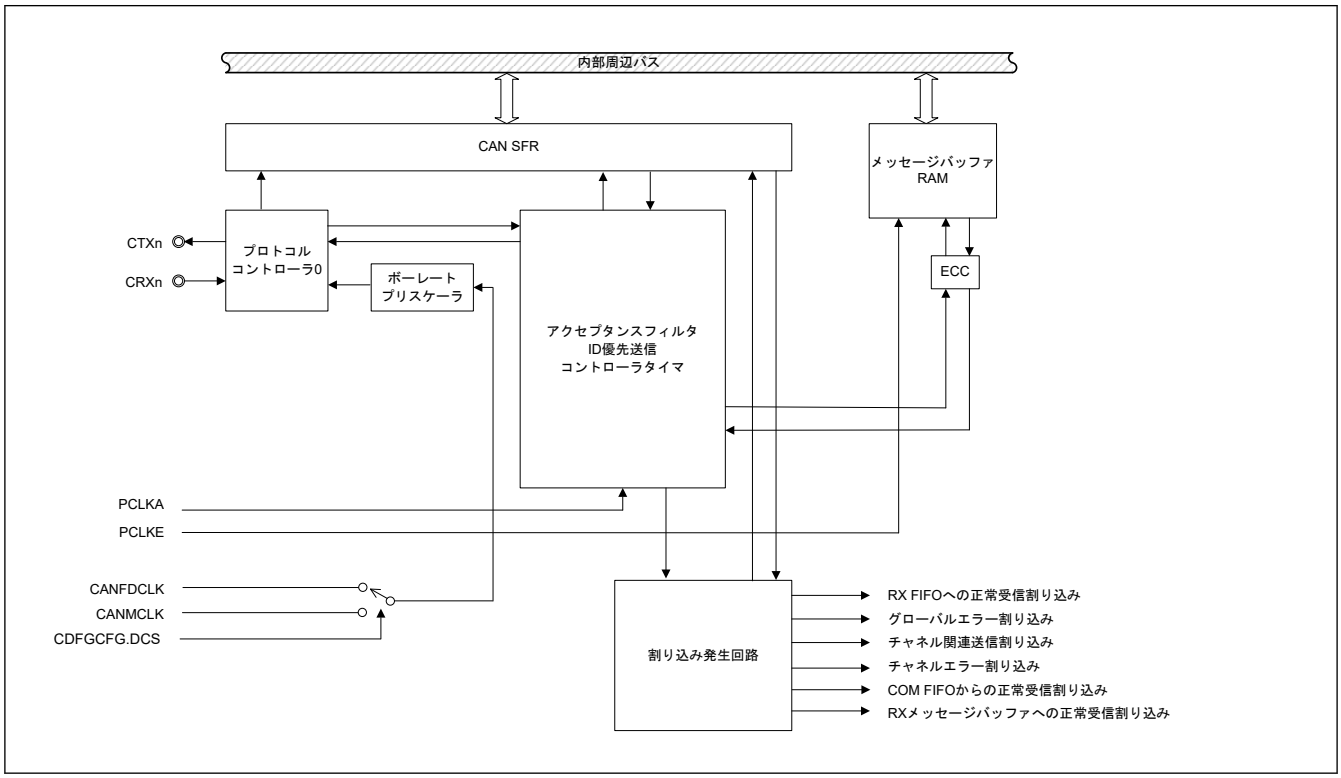


図 32.1 CANFD モジュールの概要

- CRXn/CTXn：
  CANFD モジュールの入出力端子
- プロトコルコントローラ：

バスアービトレーションや送受信時のビットタイミング、スタッフ処理、エラー処理などの CAN プロトコル処理を行います。

- メッセージバッファ RAM (MBRAM) :
  本 RAM は、受信後のメッセージを格納するため、および通常のメッセージバッファまたは FIFO を使って送信するために使用されます。各メッセージエントリは、上位レイヤアプリケーション用およびタイムスタンプ用に個別の ID、データ長コード、データフィールド、メッセージポインタを持っています。
  本 RAM は、メッセージアクセプタンスフィルタエントリを格納するのに使用されます。各アクセプタンスフィルタエントリは、上位レイヤアプリケーション用およびメッセージ方向ポインタ用に個別の ID、データ長コード、データフィールド、メッセージポインタを持っています。
- アクセプタンスフィルタリスト RAM (AFLRAM) :
  受信メッセージのフィルタ処理を行います。アクセプタンスフィルタリスト RAM のエントリは、フィルタ処理に使用されます。
- 2 つのタイマ :
  - 受信タイムスタンプ機能
  - FIFO バッファ用送信セパレーション時間
- 割り込み発生回路 :
  各種グローバル割り込みおよびチャネル割り込みを発生します。
- CAN 特殊機能レジスタ (SFR) :
  CAN 関連レジスタ :「32.2. レジスタの説明」を参照してください。

32.1.2 クロックの制限事項

CAN 通信において、以下のクロックの制限事項を満たす必要があります。

- PCLKE/2 = PCLKA ≧ CANFDCLK
- PCLKE/2 = PCLKA ≧ CANMCLK

イベントの消失を避けるため、CAN エンジンのクロック（CANFDCLK または CANMCLK）の周波数は PCLKA クロック周波数より低くしなければなりません。

CAN メッセージの損失を避けるため、PCLKA は CAN 通信ボーレートに従った周波数のクロックに設定する必要があります。このボーレートと PCLKA クロックの間の制限を、表 32.2 に示します。

表 32.2 クロックの制限事項

	ボーレート	PCLKA
CANFD	1 Mbps（公称） 8 Mbps（データ）(注1)	PCLKA ≧ 40 MHz
	500 Kbps（公称） 5 Mbps（データ）	PCLKA ≧ 32 MHz
クラシカル CAN	1 Mbps（データ）	PCLKA ≧ 32 MHz

注 1. 通信用ビットレートは、ボードの設計や外部環境によって変わるため、十分な評価の上、決定してください。

CANFDCLK と CANMCLK の周波数は、必要なボーレートに依存します。ボーレートの設定方法については、「32.4.1.3. ボーレート」を参照してください。

32.2 レジスタの説明

32.2.1 レジスタ表

RAM 領域 (CFDGAFLIDr, CFDGAFLMr, CFDGAFLP0r, CFDGAFLP1r, CFDRMBCPb, CFDRFMBCPb, CFDCFMBCP0, CFDTMBCPb, CFDTHLACC0, CFDTHLACC1, CFDRPGACCk) について示されるリセット値は、ハードウェアリセットの初期化後有効です。初期化処理の詳細は、「32.4.2. ハードウェアリセット後の CAN モジュールの構成」を参照してください。

8 ビットまたは 16 ビットサイズで RAM 領域に書き込みを行うと、RAM は ECC モジュールを介した 32 ビットアクセスが必要なため、CANFD モジュールはその RAM 位置にリードモディファイライトを実行します。

1 ビットエラーの場合は、正しいデータがライトバックされます。複数ビットエラーの場合は、不定データがライトバックされます。

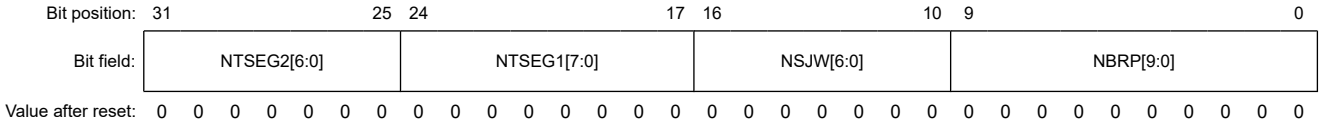
レジスタが割り当てられていないアドレス空間のアクセスは禁止です。

レジスタが割り当てられていないアドレス空間からの読み出しデータは不定です。

32.2.2 CFDC0NCFG : ノミナルビットレートコンフィグレーションレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0000



ビット	シンボル	機能	R/W
9:0	NBRP[9:0]	チャネル公称ボーレートプリスケーラ 公称ボーレートプリスケーラ分周比	R/W
16:10	NSJW[6:0]	再同期ジャンプ幅 0x00: 1 Tq 0x01: 2 Tq ⋮ 0x7E: 127 Tq 0x7F: 128 Tq	R/W
24:17	NTSEG1[7:0]	タイミングセグメント 1 0x00: 予約 0x01: 2 Tq 0x02: 3 Tq 0x03: 4 Tq ⋮ 0xFE: 255 Tq 0xFF: 256 Tq	R/W
31:25	NTSEG2[6:0]	タイミングセグメント 2 0x00: 予約 0x01: 2 Tq ⋮ 0x7E: 127 Tq 0x7F: 128 Tq	R/W

注. S-TYPE-3, P-TYPE-3
注. Tq はタイムクォンタム (time quantum) を表します。

本レジスタは、チャネルの送受信公称ボーレートパラメータを設定します。

NBRP[9:0]ビット（チャネル公称ボーレートプリスケーラ）

NBRP[9:0]ビットは、Tq (Time Quantum) に含まれる周辺バスクロック期間を定義するのに使用されます。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

NSJW[6:0]ビット（再同期ジャンプ幅）

NSJW[6:0]ビットは同期ジャンプ幅を指定します。1～128Tq の値が設定可能です。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

NTSEG1[7:0]ビット（タイミングセグメント 1）

NTSEG1[7:0]ビットは、正相エラーが起きた CAN バス上でエッジを補償するためにセグメント TSEG1 を設定します。これらのビットには、伝播時間セグメントが含まれます。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

また、Tq 値は 2～256（2 と 256 を含む）の範囲で設定してください。詳細は、「32.4.1.2. CAN のビットタイミング」を参照してください。

NTSEG2[6:0]ビット（タイミングセグメント 2）

NTSEG2[6:0]ビットは、逆相エラーが起きた CAN バス上でエッジを補償するためにセグメント TSEG2 を設定します。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

また、Tq 値は 2～128（2 と 128 を含む）の範囲で設定してください。

32.2.3 CFDC0CTR : コントロールレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ROM	BFT	—	—	—	CTMS[1:0]		CTME	ERRD	BOM[1:0]		—	TDCVFIE	SOCOIE	EOCOIE	TAIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE	—	—	—	—	RTBO	CSLPR	CHMDC[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	機能	R/W
1:0	CHMDC[1:0]	チャネルモード制御 0 0: チャネルオペレーションモード要求 0 1: チャネルリセット要求 1 0: チャネル halt 要求 1 1: 現在値を維持	R/W
2	CSLPR	チャネルスリープ要求 0: チャネルスリープ要求禁止 1: チャネルスリープ要求許可	R/W
3	RTBO	バスオフからの復帰 0: チャネルはバスオフからの復帰を強制されていない 1: チャネルはバスオフからの復帰を強制されている	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	BEIE	バスエラー割り込み許可 0: バスエラー割り込み禁止 1: バスエラー割り込み許可	R/W
9	EWIE	エラーワーニング割り込み許可 0: エラーワーニング割り込み禁止 1: エラーワーニング割り込み許可	R/W
10	EPIE	エラーパッシブ割り込み許可 0: エラーパッシブ割り込み禁止 1: エラーパッシブ割り込み許可	R/W

ビット	シンボル	機能	R/W
11	BOEIE	バスオフ開始割り込み許可 0: バスオフ開始割り込み禁止 1: バスオフ開始割り込み許可	R/W
12	BORIE	バスオフ復帰割り込み許可 0: バスオフ復帰割り込み禁止 1: バスオフ復帰割り込み許可	R/W
13	OLIE	オーバーロード割り込み許可 0: オーバーロード割り込み禁止 1: オーバーロード割り込み許可	R/W
14	BLIE	バスロック割り込み許可 0: バスロック割り込み禁止 1: バスロック割り込み許可	R/W
15	ALIE	アービトレーションロスト割り込み許可 0: アービトレーションロスト割り込み禁止 1: アービトレーションロスト割り込み許可	R/W
16	TAIE	送信アボート割り込み許可 0: TX アボート割り込み禁止 1: TX アボート割り込み許可	R/W
17	EOCOIE	エラー発生カウンタオーバーフロー割り込み許可 0: エラー発生カウンタオーバーフロー割り込み禁止 1: エラー発生カウンタオーバーフロー割り込み許可	R/W
18	SOCOIE	成功発生カウンタオーバーフロー割り込み許可 0: 成功発生カウンタオーバーフロー割り込み禁止 1: 成功発生カウンタオーバーフロー割り込み許可	R/W
19	TDCVFIE(注1)	トランシーバ遅延補償違反割り込み許可 0: トランシーバ遅延補償違反割り込み禁止 1: トランシーバ遅延補償違反割り込み許可	R/W
20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22:21	BOM[1:0]	チャネルバスオフモード 0 0: 通常モード（ISO 11898-1 に準拠） 0 1: バスオフ開始で自動的に halt モードへ遷移 1 0: バスオフ終了で自動的に halt モードへ遷移 1 1: ソフトウェア要求により（バスオフ復帰期間中に）halt モードへ遷移	R/W
23	ERRD	チャネルエラー表示 0: エラーコードの最初のセットのみ表示 1: 蓄積したエラーコードを表示	R/W
24	CTME	チャネルテストモード許可 0: チャネルテストモード禁止 1: チャネルテストモード許可	R/W
26:25	CTMS[1:0]	チャネルテストモード選択 0 0: 基本テストモード 0 1: リッスンオンリーモード 1 0: セルフテストモード 0（外部ループバックモード） 1 1: セルフテストモード 1（内部ループバックモード）	R/W
29:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
30	BFT	ビットフリップテスト 0: 受信ストリームの最初のデータビットを反転しない 1: 受信ストリームの最初のデータビットを反転する	R/W
31	ROM(注1)	制限付きオペレーションモード 0: 制限オペレーションモード禁止 1: 制限オペレーションモード許可	R/W

注. S-TYPE-3, P-TYPE-3
注 1. これらのビットは、クラシカル CAN 機能では使用できません。

チャネルコントロールレジスタは、関連するチャネルのモードを制御します。本チャネルに接続された CAN バスでエラーが発生した場合、割り込みの発生を許可するのに使用されます。チャネルをテストモードに設定するのにも使用されます。

CHMDC[1:0]ビット（チャネルモード制御）

CHMDC[1:0]ビットを使用して、CAN チャネルのモードを設定することができます。

CAN モードの遷移については「32.3.3. チャネルモード」に詳述しています。

CHMDC[1:0]ビットの 11b への設定は無効です。CANFD モジュールが GL_HALT モードの場合、これらのビットは 10b か 01b にしか設定できません。これらのビットは CH_SLEEP モードでは設定できません。

これらのビットは、CFDC0CTR.BOM を設定することにより halt モードに遷移すると自動的に変更されます。

（CFDC0CTR.BOM = 01b でバスオフの開始時または CFDC0CTR.BOM = 10b でバスオフの終了時）CAN チャネルが halt モードに入ったと同時に CPU が CFDC0CTR.CHMDC に書き込みを行うと、CPU の書き込みが最優先されます。

CFDC0CTR.CHMDC 値が 00b（オペレーションモード）の場合のみ、CAN チャネルは、指定されたケースでチャネルコントロールレジスタの CFDC0CTR.CHMDC の値を変更します。

CSLPR ビット（チャネルスリープ要求）

CSLPR ビットが 1 のとき、対応する CAN チャネルに対してスリープモード要求が発生します。

本ビットが 0 のとき、関連する CANFD チャネルに対してスリープモードからの復帰要求が発生します。

関連する CANFD チャネルが CH_RESET モードまたは CH_SLEEP モードの場合のみ本ビットへの書き込みを行ってください。

RTBO ビット（バスオフからの復帰）

CAN チャネルのプロトコルコントローラがバスオフ状態になると、チャネルコントロールレジスタの RTBO ビットを 1 にすることによりバスオフ状態からの復帰を強制できます。

最大 1 CAN ビット時間を統合するために、バスオフ状態からエラー状態に変わります。

RTBO ビットが 1 のとき、REC レジスタおよび TEC レジスタは初期化され、バスオフステータスビット（チャネルバスオフ状態、CFDC0STS.BOSTS）が 0 になります。

REC レジスタおよび TEC レジスタ以外のレジスタは、本コマンドにより初期化されません。CFDC0CTR.BORIE が 1 の場合でも、このバスオフ状態からの復帰によって、バスオフ復帰割り込み要求は発生しません。

RTBO ビットは CH_SLEEP モードでは設定できません。バスオフ状態以外の状態で本ビットを 1 にしても無効で、ビットはただちにクリアされます。読むと常に 0 が読めます。

バスオフ復帰コマンドは、CFDC0CTR.BOM が 00b に設定されている場合のみ使用してください。

関連する CANFD チャネルが CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。本ビットは、ソフトウェアにより自動的にクリアされます。

BEIE ビット（バスエラー割り込み許可）

BEIE ビットも CFDC0ERFL.BEF ビットも両方とも 1 の場合、エラー割り込み要求が発生します。

このビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

EWIE ビット（エラーワーニング割り込み許可）

EWIE ビットも CFDC0ERFL.EWF ビットも両方とも 1 の場合、エラー割り込み要求が発生します。

EWIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

EPIE ビット（エラーパッシブ割り込み許可）

EPIE ビットも CFDC0ERFL.EPF ビットも両方とも 1 の場合、エラー割り込み要求が発生します。

EPIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

BOEIE ビット（バスオフ開始割り込み許可）

BOEIE ビットも CFDC0ERFL.BOEF ビットも両方とも 1 の場合、エラー割り込み要求が発生します。

BOEIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

BORIE ビット（バスオフ復帰割り込み許可）

BORIE ビットも CFDC0ERFL.BORF ビットも両方とも 1 の場合、エラー割り込み要求が発生します。

BORIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

OLIE ビット（オーバーロード割り込み許可）

OLIE ビットも CFDC0ERFL.OVLF ビットも両方とも 1 の場合、エラー割り込み要求が発生します。

CH_SLEEP モードのとき、本ビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

BLIE ビット（バスロック割り込み許可）

BLIE ビットも CFDC0ERFL.BLF ビットも両方とも 1 の場合、エラー割り込み要求が発生します。

CH_SLEEP モードのとき、本ビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

ALIE ビット（アービトレーションロスト割り込み許可）

ALIE ビットも CFDC0ERFL.ALF ビットも両方とも 1 の場合、エラー割り込み要求が発生します。

CH_SLEEP モードのとき、本ビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

TAIE ビット（送信アボート割り込み許可）

TAIE ビットが 1 で、対応する CAN チャネルに属する TX MB からの送信アボートに成功した場合、割り込み要求が発生します。

CH_SLEEP モードのとき、本ビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

EOCOIE ビット（エラー発生カウンタオーバーフロー割り込み許可）

EOCOIE ビットが 1 で、対応する CAN チャネルに属する CFDC0FDSTS.EOCO ビットが 1 の場合、エラー割り込み要求が発生します。

EOCOIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

SOCOIE ビット（成功発生カウンタオーバーフロー割り込み許可）

SOCOIE ビットが 1 で、対応する CAN チャネルに属する CFDC0FDSTS.SOCO ビットが 1 の場合、エラー割り込み要求が発生します。

SOCOIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

TDCVFIE ビット（トランシーバ遅延補償違反割り込み許可）

TDCVFIE ビットが 1 で、対応する CAN チャネルに属する CFDC0FDSTS.TDCVF ビットが 1 の場合、エラー割り込み要求が発生します。

TDCVFIE ビットは CH_SLEEP モードでは設定できません。

関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。クラシカル CAN モードのとき本ビットを設定しないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

BOM[1:0]ビット（チャネルバスオフモード）

BOM[1:0]ビットは、CANFD チャネルのバスオフモードからの復帰のタイミングを制御します。

CH_SLEEP モードのとき、これらのビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

関連する CANFD チャネルが CH_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

ERRD ビット（チャネルエラー表示）

ERRD ビットは、チャネルエラーフラグレジスタ (CFDC0ERFL) のエラーフラグビット[14:8]の表示モードを制御します。

ERRD ビットが 0 で、同時に 2 つ以上のエラーが起きると、エラーフラグビットが、同時に発生したエラーすべてに対して設定されます。CFDC0ERFL[14:8]がクリアされるまでこれ以上エラーフラグは立ちません。

CH_SLEEP モードのとき、ERRD ビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

CTME ビット（チャネルテストモード許可）

CTME ビットは、チャネルテストモードを有効にします。

CH_SLEEP モードのとき、本ビットに書き込まないでください。関連する CANFD チャネルが CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

CTMS[1:0]ビット（チャネルテストモード選択）

CTMS[1:0]ビットは、必要なテストモードを選択するのに使用されます。

CH_SLEEP モードまたは CH_RESET モードのとき、これらのビットに書き込まないでください。関連する CANFD チャネルが CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

これらのビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

BFT ビット（ビットフリップテスト）

BFT ビットは、プロトコルコントローラの内部 CRC 生成器ロジックをチェックします。

受信中の CAN メッセージデータストリームの第 1 ビット（ID ビット）を反転するので、内部で生成した CRC 結果がフレームの受信した CRC 値と一致しなくなります。本機能を使用する場合、(反転のため) CRC エラーではなくスタッフエラーを受信する可能性があるため、ビットスタッフィングルールを参照してください。

内部で生成した CRC 値は、常に下記のレジスタで確認できます。

- CFDC0ERFL.CRCREG（クラシカル CAN フレーム）
- CFDC0FDCRC.CRCREG（CANFD フレーム）(注1)

注 1. この機能は、クラシカル CAN 機能では使用できません。

本ビット使用する上ではいくつかの制限があります。

他の CAN ノードが基準メッセージを送信し、受信ノードは着信ビットストリームの 1 つのビットを反転可能です。

注. 送信部と受信部のモードでは同じ CRC 生成器が共有されるため、テストするときにモードを別々に検討する必要はありません。

BFT ビット（ビットストリームの第 1 ビットを反転する新規の制御信号）および CTME ビットが 1 でありかつ CFDC0CTR.CTMS が 0x00 のとき、ビットフリップテストモードが有効です。

この機能を送信ノードで使用すると、ビットエラーまたはアービトレーションロストが発生します。

CH_SLEEP モードのとき、BFT ビットに書き込まないでください。セルフテストモード 1（内部ループバックモード）のときは、この機能を使わないでください。関連する CANFD チャネルが CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

ROM ビット（制限付きオペレーションモード）

ROM ビットおよび CTME ビットが両方とも 1 の場合、制限付きのオペレーションモードが有効になります。本モードは、基本テストモード (CFDC0CTR.CTMS[1:0] = 00b) でのみ使用してください。

ROM ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。クラシカル CAN モードのとき本ビットを設定しないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

32.2.4 CFDC0STS : ステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0008

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	TEC[7:0]								REC[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ESIF	COMSTS	RECSTS	TRMSTS	BOSTS	EPSTS	CSLPSTS	CHLTSTS	CRSTSTS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	機能	R/W
0	CRSTSTS	チャネルリセットステータス 0: チャネルはリセットモード中ではない 1: チャネルはリセットモード中	R
1	CHLTSTS	チャネル halt ステータス 0: チャネルは halt モード中ではない 1: チャネルは halt モード中	R
2	CSLPSTS	チャネルスリープステータス 0: チャネルはスリープモード中ではない 1: チャネルはスリープモード中	R
3	EPSTS	チャネルエラーパッシブステータス 0: チャネルはエラーパッシブ状態ではない 1: チャネルはエラーパッシブ状態	R
4	BOSTS	チャネルバスオフステータス 0: チャネルはバスオフ状態ではない 1: チャネルはバスオフ状態	R
5	TRMSTS	チャネル送信ステータス 0: チャネルは送信中ではない 1: チャネルは送信中	R
6	RECSTS	チャネル受信ステータス 0: チャネルは受信中ではない 1: チャネルは受信中	R
7	COMSTS	チャネル通信ステータス 0: チャネルは通信可状態ではない 1: チャネルは通信可状態	R
8	ESIF(注1)	エラー状態表示フラグ 0: ESI フラグが設定されているときに CANFD メッセージは 1 つも受信されていない 1: ESI フラグが設定されているときに少なくとも 1 つの CANFD メッセージが受信された	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	REC[7:0]	受信エラー数 これらのビットは、受信中の CAN チャネルのエラー状態によってカウンタ値を増減させます。	R

ビット	シンボル	機能	R/W
31:24	TEC[7:0]	送信エラー数 これらのビットは、送信中の CAN チャネルのエラー状態によってカウンタ値を増減させます。	R

注. S-TYPE-3, P-TYPE-3
注 1. このビットは、クラシカル CAN 機能では使用できません。

チャネルステータスレジスタは、関連するチャネルのモード、エラー状態および送受信状態を、送受信エラー数の値とともに示します。

CRSTSTS ビット（チャネルリセットステータス）

CRSTSTS ビットは、関連する CAN チャネルがリセットモードかどうかを示します。

本ビットは、関連する CAN チャネルがチャネルリセットモードになると自動的に 1 になります。モードがリセットモードからスリープモードに遷移しても、CRSTSTS ビットは 1 のままです。

本ビットは、スリープモードへの遷移の場合を除いて、関連する CAN チャネルがチャネルリセットモードを抜けると自動的にクリアされます

CHLTSTS ビット（チャネル halt ステータス）

CRSTSTS ビットは、関連する CAN チャネルが halt モードかどうかを示します。

本ビットは、関連する CAN モジュールが halt モードになると自動的に 1 になり、halt モードを抜けると自動的にクリアされます。

CSLPSTS ビット（チャネルスリープステータス）

CSLPSTS ビットは、関連する CAN チャネルがスリープモードかどうかを示します。

本ビットは、関連する CANFD チャネルがスリープモードになると自動的に 1 になり、スリープモードを抜けると自動的にクリアされます。

EPSTS ビット（チャネルエラーパッシブステータス）

EPSTS ビットは、関連する CANFD チャネルがエラーパッシブ状態になったかどうかを示します。

本ビットは、CAN 送受信カウンタレジスタの値が 0x7F を超えた場合自動的に 1 になります。

本ビットは、関連する CANFD チャネルがエラーパッシブ状態を抜けるかリセットモードになると自動的にクリアされます

BOSTS ビット（チャネルバスオフステータス）

BOSTS ビットは、関連する CANFD チャネルがエラーバスオフ状態になったかどうかを示します。

本ビットは、関連する CAN 送信エラー数レジスタの値が 0xFF を超え、関連する CANFD チャネルがバスオフ状態になる（CAN 送信エラー数レジスタ > 0xFF）と自動的に 1 になります。

本ビットは、関連する CANFD チャネルがバスオフ状態を抜けると自動的にクリアされます。

TRMSTS ビット（チャネル送信ステータス）

TRMSTS ビットは、関連する CANFD チャネルがメッセージを送信中かどうかを示します。

本ビットは、関連する CANFD チャネルが送信ノードとして動作するかバスオフ状態になると自動的に 1 になります。

本ビットは、関連する CANFD チャネルがバスアイドル状態になるか受信ノードとして動作開始すると自動的にクリアされます。

RECSTS ビット（チャネル受信ステータス）

RECSTS ビットは、関連する CANFD チャネルがメッセージを受信中かどうかを示します。

本ビットは、関連する CANFD チャネルが受信ノードとして動作中の場合、自動的に 1 になります。

本ビットは、関連する CANFD チャネルがバスアイドル状態になるか送信ノードとして動作開始すると自動的にクリアされます。

COMSTS ビット（チャネル通信ステータス）

COMSTS ビットは、関連する CANFD チャネルが通信可能状態かどうかを示します。

本ビットは、リセットモードか halt モードを抜けて、11 個の連続レセシブビットの検出後、関連する CANFD チャネルが通信可能状態であると、自動的に 1 になります。

本ビットは、関連する CANFD チャネルが CH_RESET モードまたは CD_HALT になると自動的にクリアされます。

注. 本ビットはバスオフ状態中 1 です。

ESIF ビット（エラー状態表示フラグ）

ESIF ビットは、ESI ビットがエラーのない受信 CAN メッセージに対してレセシブとしてサンプリングされると 1 になります。ループバックモードまたはミラーモード時、自分で送信したメッセージが受信メッセージと見なされます。

CANFD チャネルからの設定と書き込みによるクリアが同時に起きた場合は、ビットは 1 になります。

また、0 を書くことによってクリアされます。本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

注. このビットは、クラシカル CAN 機能では使用できません。

REC[7:0]ビット（受信エラー数）

REC[7:0]ビットは、受信中の CANFD チャネルのエラー状態によってカウンタ値を増減させ、REC エラーカウンタの値を表示します。

バスオフ状態時の値は不定になります。

これらのビットは、CANFD モジュールが GL_RESET モードになるか、CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

TEC[7:0]ビット（送信エラー数）

TEC[7:0]ビットは、送信中の CANFD チャネルのエラー状態によってカウンタ値を増減させ、TEC エラーカウンタの値を表示します。

テストモード時でかつ CANFD チャネルが CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

これらのビットは、CANFD モジュールが GL_RESET モードになるか、CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

32.2.5 CFDC0ERFL : エラーフラグレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x000C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	CRCREG[14:0]														
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	ADERR	B0ERR	B1ERR	CERR	AERR	FERR	SERR	ALF	BLF	OVLF	BORF	BOEF	EPF	EWF	BEF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BEF	バスエラーフラグ 0: チャネルバスエラー未検出 1: チャネルバスエラー検出	R/W
1	EWF	エラーワーニングフラグ 0: チャネルエラーワーニング未検出 1: チャネルエラーワーニング検出	R/W
2	EPF	エラーパッシブフラグ 0: チャネルエラーパッシブ未検出 1: チャネルエラーパッシブ検出	R/W
3	BOEF	バスオフ開始フラグ 0: チャネルバスオフ開始未検出 1: チャネルバスオフ開始検出	R/W
4	BORF	バスオフ復帰フラグ 0: チャネルバスオフ復帰未検出 1: チャネルバスオフ復帰検出	R/W
5	OVLF	オーバーロードフラグ 0: チャネルオーバーロード未検出 1: チャネルオーバーロード検出	R/W
6	BLF	バスロックフラグ 0: チャネルバスロック未検出 1: チャネルバスロック検出	R/W
7	ALF	アービトレーションロストフラグ 0: チャネルアービトレーションロスト未検出 1: チャネルアービトレーションロスト検出	R/W
8	SERR	スタッフエラー 0: チャネルスタッフエラー未検出 1: チャネルスタッフエラー検出	R/W
9	FERR	フォームエラー 0: チャネルフォームエラー未検出 1: チャネルフォームエラー検出	R/W
10	AERR	ACK エラー 0: チャネル ACK エラー未検出 1: チャネル ACK エラー検出	R/W
11	CERR	CRC エラー 0: チャネル CRC エラー未検出 1: チャネル CRC エラー検出	R/W
12	B1ERR	ビット 1 エラー 0: チャネルビット 1 エラー未検出 1: チャネルビット 1 エラー検出	R/W
13	B0ERR	ビット 0 エラー 0: チャネルビット 0 エラー未検出 1: チャネルビット 0 エラー検出	R/W
14	ADERR	ACK デリミタエラー 0: チャネル ACK デリミタエラー未検出 1: チャネル ACK デリミタエラー検出	R/W
15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
30:16	CRCREG[14:0]	CRC レジスタ値 これらのビットは、CAN2.0 CAN フレームに対して計算された CRC 値を示します。	R
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

チャネルエラーフラグレジスタは、関連する CAN チャネルエラー割り込み許可レジスタの設定にかかわらず検出可能な各種エラー条件の状態を示します。それらのレジスタは、CAN チャネルにより検出可能な各種バスエラーの状態も示します。各エラー条件がいつ発生するかを確認するには CAN 仕様 (ISO 11898-1) を参照してください。

本レジスタについては、ソフトウェアによりクリア可能なのは 1 ビットのみです。ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

アセンブリ言語で CFDC0ERFL.BEF ビットをクリアする例：

```
mov.b #0x0FE, CFDC0ERFL ;
```

BEF ビット（バスエラーフラグ）

BEF ビットは、本レジスタのビット[14:8]により示される CAN チャネルバスエラー状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットは、バスエラー検出時自動的に設定され、また関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

CAN チャネルからの設定と書き込みによるクリアが同時に起きた場合は、ビットは 1 に設定されます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

EWF ビット（エラーワーニングフラグ）

EWF ビットは、CAN チャネルに対してエラーワーニング条件が検出されたかどうかを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットは、TEC または REC が 0x5F を超えると自動的に 1 になります。

本ビットが 1 になるのは、TEC または REC が初めて 0x5F を超えた場合のみです。したがって、TEC または REC が＞ 0x5F のままで EWF ビットがソフトウェアによりクリアされた場合、TEC と REC の両方が 0x60 以下になるか、または TEC または REC が再び 0x5F から＞ 0x5F になるまで、本ビットは再び 1 になりません。

1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

EPF ビット（エラーパッシブフラグ）

EPF ビットは、CAN チャネルのエラーパッシブ状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットは、CAN エラー状態がパッシブ状態になると自動的に 1 になります。

本ビットが 1 になるのは、TEC または REC が初めて 0x7F を超えた場合のみです。したがって、TEC または REC が＞ 0x7F のままで本ビットがソフトウェアによりクリアされた場合、TEC と REC の両方が 0x80 以下になるか、または TEC または REC が再び≦ 0x7F から＞ 0x7F になるまで、本ビットは再び 1 になりません。

1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

BOEF ビット（バスオフ開始フラグ）

BOEF ビットは、CAN チャネルのバスオフ開始状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットは、CAN エラー状態がバスオフ状態になると自動的に 1 になります。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

BORF ビット（バスオフ復帰フラグ）

BORF ビットは、CAN チャネルのバスオフ復帰状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

CAN チャネルが、下記の条件下で、バスオフ状態から復帰した場合、本ビットは自動的に 1 になります。

- CFDC0CTR.BOM が 00b で、通常復帰（11 個の連続レセシブビット x128 回検出）が発生したとき
- CFDC0CTR.BOM が 10b で、通常復帰（11 個の連続レセシブビット x128 回検出）が発生したとき
- CFDC0CTR.BOM が 11b で、通常復帰（11 個の連続レセシブビット x128 回検出）が発生したとき

CAN チャネルが、下記の条件下で、バスオフ状態から復帰した場合、本ビットは 1 になりません。

- CAN リセットモードが要求されたとき
- CFDC0CTR.RTBO が 1 に設定されたとき（CAN チャネルはエラーアクティブに戻る）
- CFDC0CTR.BOM が 01b のとき
- CFDC0CTR.BOM が 11b で、CAN チャネルがバスオフ状態終了に達する前に Halt 要求がアサートされたとき

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。1 になる条件と 0 になる条件が同時に発生した場合、フラグは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

OVLF ビット（オーバーロードフラグ）

OVLF ビットは、CAN チャネルのオーバーロード状態が検出されたことを示します。

OVLF ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットは、オーバーロード状態が検出されると自動的に 1 になります。1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ、本ビットへの書き込みを行ってください。

BLF ビット（バスロックフラグ）

BLF ビットは、CAN チャネルのバスロック状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

CAN チャネルがオペレーションモードのとき、CAN バス上に 32 個の連続するドミナントビットが検出されると、本ビットは自動的に 1 になります。

1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

ALF ビット（アービトレーションロストフラグ）

ALF ビットは、CAN チャネルのバスアービトレーションロスト状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

CAN チャネルがオペレーションモードのとき、CAN バス上にアービトレーションロスト状態が検出されると、本ビットは自動的に 1 になります。

1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

SERR ビット（スタッフエラー）

SERR ビットは、CAN スタッフエラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていなければ、ステップ 1 に戻る

本ビットは、スタッフエラーが検出されると自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、本ビットは 1 に設定されます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。CFDC0CTR.ERRD が 0 で、本ビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8]のうち一つでもビットがすでに 1 の場合本ビットはクリアされます。CFDC0ERFL[14:8]が 0000000b の場合は、本ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

FERR ビット（フォームエラー）

FERR ビットは、CAN フォームエラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていなければ、ステップ 1 に戻る

フォームエラーを検出すると、本ビットは自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、本ビットは 1 に設定されます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。CFDC0CTR.ERRD が 0 で、本ビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8]のうち一つでもビットがすでに 1 の場合本ビットはクリアされます。CFDC0ERFL[14:8]が 0000000b の場合は、本ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

AERR ビット（ACK エラー）

AERR ビットは、CAN ACK エラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す

3. クリアされている場合、継続する。クリアされていなければ、ステップ 1 に戻る

ACK エラーを検出すると、本ビットは 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、本ビットは 1 に設定されます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。
CFDC0CTR.ERRD が 0 で、本ビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8]のうち一つでもビットがすでに 1 の場合本ビットはクリアされます。CFDC0ERFL[14:8]が 0000000b の場合は、本ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

CERR ビット（CRC エラー）

CERR ビットは、CAN CRC エラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていなければ、ステップ 1 に戻る

CRC エラーを検出すると、本ビットは自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、本ビットは 1 に設定されます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。
CFDC0CTR.ERRD が 0 で、本ビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8]のうち一つでもビットがすでに 1 の場合本ビットはクリアされます。CFDC0ERFL[14:8]が 0000000b の場合は、本ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

B1ERR ビット（ビット 1 エラー）

B1ERR ビットは、レセシブビットエラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていなければ、ステップ 1 に戻る

本ビットは、レセシブビットエラー（期待されたレセシブビットがドミナントビットとしてサンプリングされた）が検出されると自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、本ビットは 1 に設定されます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。
CFDC0CTR.ERRD が 0 で、本ビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8]のうち一つでもビットがすでに 1 の場合本ビットはクリアされます。CFDC0ERFL[14:8]が 0000000b の場合は、本ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

B0ERR ビット（ビット 0 エラー）

B0ERR ビットは、ドミナントビットエラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていなければ、ステップ 1 に戻る

本ビットは、ドミナントビットエラー（期待されたドミナントビットがレセシブビットとしてサンプリングされた）が検出されると自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、本ビットは 1 に設定されます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。
CFDC0CTR.ERRD が 0 で、本ビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8]のうち一つでもビットがすでに 1 の場合本ビットはクリアされます。CFDC0ERFL[14:8]が 0000000b の場合は、本ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

ADERR ビット（ACK デリミタエラー）

ADERR ビットは、ACK デリミタビットエラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていなければ、ステップ 1 に戻る

フレーム送信の ACK デリミタ状態中にフォームエラーを検出すると、本ビットは自動的に 1 になります。
CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、本ビットは 1 に設定されます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。
CFDC0CTR.ERRD が 0 で、本ビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8]のうち一つでもビットがすでに 1 の場合本ビットはクリアされます。CFDC0ERFL[14:8]が 0000000b の場合は、本ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

CRCREG[14:0]ビット（CRC レジスタ値）

CRCREG[14:0]ビットは、該当チャネルに対して CFDC0CTR.CTME ビットが 1 のとき、計算された CRC 値を読み出します。

CFDC0CTR.CTME ビットが 0 の場合、これらのビットは読むと常に 0 が読み出されます。

これらのビットは、CTME ビットが有効のとき、CANFD チャネルロジックにより計算された CAN2.0 CRC 値を示します。

CFDC0ERFL.CRCREG 値は、CAN フレーム（送受信）の CRC フィールドの第一ビットにおいて更新されます。

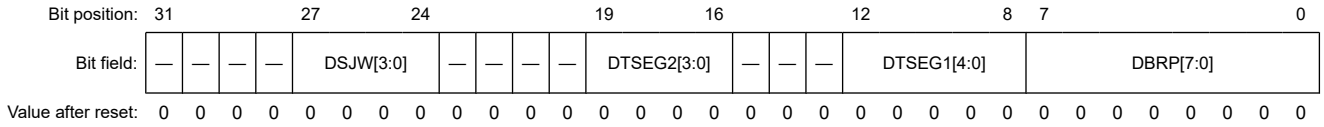
これらのビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

32.2.6 CFDC0DCFG : データビットレートコンフィグレーションレジスタ

このレジスタは、クラシカル CAN 機能では使用できません。

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0100



ビット	シンボル	機能	R/W
7:0	DBRP[7:0]	チャネルデータボーレートプリスケーラ データボーレートプリスケーラ分周比	R/W
12:8	DTSEG1[4:0]	タイミングセグメント 1 0x00: 予約 0x01: 2Tq 0x02: 3Tq 0x03: 4Tq ⋮ 0x1E: 31Tq 0x1F: 32Tq	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
19:16	DTSEG2[3:0]	タイミングセグメント 2 0x0: 予約 0x1: 2Tq ⋮ 0xE: 15Tq 0xF: 16Tq	R/W
23:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
27:24	DSJW[3:0]	再同期ジャンプ幅 0x0: 1Tq 0x1: 2Tq ⋮ 0xF: 16Tq	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注. Tq はタイムクォンタム (time quantum) を表します。

データビットレートコンフィグレーションレジスタは、そのチャネルの送受信データのボーレートパラメータを設定します。

クラシカル CAN モードのチャネルは、本レジスタの設定を行いません。

DBRP[7:0]ビット（チャネルデータボーレートプリスケーラ）

DBRP[7:0]ビットは、Tq (Time Quantum) に含まれる周辺バスクロック期間を定義します。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

DTSEG1[4:0]ビット（タイミングセグメント 1）

DTSEG1[4:0]ビットは、正相エラーが起きた CAN バス上でエッジを補償するためにセグメント TSEG1 を設定します。2～32Tq の値が設定可能です。

DTSEG1[4:0]ビットは、伝播時間セグメントを設定するのにも使用されます。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。これらのビットに上記以外の値を書き込まないでください。詳細は、「32.4.1.2. CAN のビットタイミング」を参照してください。

DTSEG2[3:0]ビット（タイミングセグメント 2）

DTSEG2[3:0]ビットは、逆相エラーが起きた CAN バス上でエッジを補償するためにセグメント TSEG2 を設定します。2～16Tq の値が設定可能です。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。これらのビットに上記以外の値を書き込まないでください。

DSJW[3:0]ビット（再同期ジャンプ幅）

DSJW[3:0]ビットは、同期ジャンプ幅を設定します。1～16Tq の値が設定可能です。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

32.2.7 CFDC0FDCFG : CANFD コンフィグレーションレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0104

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	CLOE	REFE	FDOE	—	—	—	—	TDCO[7:0]							
Value after reset:	0	0/1 (注1)	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	ESIC	TDCE	TDCOC	—	—	—	—	—	EOCCFG[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	EOCCFG[2:0]	エラー発生カウンタ構成 0 0 0: すべての送受信 CAN フレーム 0 0 1: すべての送信 CAN フレーム 0 1 0: すべての受信 CAN フレーム 0 1 1: 予約 1 0 0: 送受信 CANFD データ相（ファストビット） のみ 1 0 1: 送信 CANFD データ相（ファストビット）のみ 1 1 0: 受信 CANFD データ相（ファストビット）のみ 1 1 1: 予約	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	TDCOC(注2)	トランシーバ遅延補償オフセット構成 0: 測定値 + オフセット 1: オフセットのみ	R/W
9	TDCE(注2)	トランシーバ遅延補償許可 0: トランシーバ遅延補償禁止 1: トランシーバ遅延補償許可	R/W
10	ESIC(注2)	エラー状態表示構成 0: フレーム内に ESI ビットがあると、ノード自体がエラー状態であることを示します。 1: フレーム内に ESI ビットがあると、ノード自体がエラーパッシブ状態である場合、メッセージバッファがエラー状態であることを示します。ノードがエラーパッシブ状態であると、ESI ビットはノード自体により駆動されます。	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	TDCO[7:0](注2)	トランシーバ遅延補償オフセット	R/W

ビット	シンボル	機能	R/W
27:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	FDOE(注2)	FD only 許可 0: FD only モード禁止 1: FD only モード許可	R/W
29	REFE	RX エッジフィルタ有効 0: RX エッジフィルタ無効 1: RX エッジフィルタ有効	R/W
30	CLOE(注2) (注3)	クラシカル CAN 許可 0: クラシカル CAN モード禁止 1: クラシカル CAN モード許可	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. リセット後の値は CAN-FD プロトコル対応製品では 0、クラシカル CAN プロトコルにのみ対応している製品では 1 です。
注 2. これらのビットは、クラシカル CAN 機能では使用できません。
注 3. このビットは CAN-FD プロトコル対応製品のみ書き込み可能なビットです。クラシカル CAN プロトコルにのみ対応している製品の場合、このビットは 1 に固定された予約ビットです。

CANFD コンフィグレーションレジスタは、どの通信方向（送信／受信）のエラーがカウントされるかを設定します。

EOCCFG[2:0]ビット（エラー発生カウンタ構成）

EOCCFG[2:0]ビットは、プロトコルエラーを含めて、どの種類の CAN フレーム設定と方向をカウントするかを選択します。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

TDCOC ビット（トランシーバ遅延補償オフセット構成）(注1)

TDCOC ビットは、CANFD チャネルの第二サンプルポイント (SSP) の位置を定義する場合にどのオフセットを使用するかを選択します。本ビットが 0 に設定されると、SSP の位置は測定されたトランシーバ遅延+固定オフセットです。本ビットが 1 に設定されている場合、SSP の位置はオフセットのみで決まります。

CH_OPERATION モードまたは CH_SLEEP モードのとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。クラシカル CAN モードのとき本ビットを設定しないでください。

TDCE ビット（トランシーバ遅延補償許可）(注1)

TDCE ビットは、CANFD チャネルのトランシーバ遅延補償を有効にします。

CH_OPERATION モードまたは CH_SLEEP モードのとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。クラシカル CAN モードのとき本ビットを設定しないでください。

ESIC ビット（エラー状態表示構成）(注1)

ESIC ビットは、ESI フラグ情報または ESI フラグ情報のメッセージ（CFDCFFDCSTS.CFESI ないし CFDTMFDCTRb.TMESI）のどちらを送信するかを選択します。

CH_OPERATION モードまたは CH_SLEEP モードのとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。クラシカル CAN モードのとき本ビットを設定しないでください。

TDCO[7:0]ビット（トランシーバ遅延補償オフセット）(注1)

TDCO[7:0]ビットは、二次サンプルポイントのオフセットを設定します。この値がどのように使用されるかは CFDC0FDCFG.TDCOC の設定によります。

CFDC0FDCFG.TDCOC = 0 の場合、トランシーバ遅延補償結果は、Trv_Delay（測定された遅延） + CFDC0FDCFG.TDCO の値（Tq の最も近い整数に切り捨て）です。CFDC0FDCFG.TDCOC = 0 でない場合、結果

は CFDC0FDCFG.TDCO の値と等しくなります。CFDC0FDCFG.TDCO がどのように使用されるかは、「32.4.1.5. トランスミッタ遅延補償」を参照してください。

実際のオフセット値は、TDCO + 1 と判断されます。たとえば、TDCO に 4 が設定されている場合、オフセットは 5 クロックサイクルです。クロックサイクルは、CAN チャネル DLL クロックの 1 サイクルです。

CH_OPERATION モードまたは CH_SLEEP モードのとき、TDCO[7:0]ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。クラシカル CAN モードのとき本ビットを設定しないでください。

FDOE ビット（FD only 許可）(注1)

FDOE ビットは、CANFD only フレームの送受信を有効にします。有効時、クラシカル CAN フレームフォーマットでの通信はできません。メッセージバッファの FDF ビットが Don't care ビット (CFDCFFDCSTS.CFFDF/ CFDTMFDCTRb.TMFDF) なので、クラシカル CAN フレームは送信できません。

クラシカル CAN フレームフォーマットのメッセージを受信した場合、プロトコルコントローラは、このようなメッセージを無効フレームとして取り扱い、エラーフレームで応答します。クラシカル CAN フレームが送信に設定されている場合、FDF ビットはレセシブとして送信され、その結果 FD フレームが送信されます。データ長コード (DLC) が 9 バイト以上に設定されている場合、残りのデータバイトは 0xCC でパディングされます。

FDOE ビットは CH_OPERATION モード、CH_HALT モードまたは CH_SLEEP モードでは書き込みできません。

CFDC0FDCFG.FDOE と CFDC0FDCFG.CLOE を同時に 1 にしないでください。

REFE ビット（RX エッジフィルタ有効）

REFE ビットは、IDLE 検出（バス統合）中、RX エッジフィルタを有効にします。ビット有効時、同期エッジを検出するには、ドミナント Tq が 2 つ連続することが必要です。

REFE ビットは CH_OPERATION モード、CH_HALT モードおよび CH_SLEEP モードでは書き込みできません。クラシカル CAN モードのとき本ビットを設定しないでください。

CLOE ビット（クラシカル CAN 許可）(注1)

CLOE ビットは、クラシカル CAN モードを許可にします。本ビットが 1 のとき、プロトコルコントローラは、クラシカルフレームのみを送信可能で、FD フレームのフォームエラーまたは CRC エラーで応答します。

CFDC0FDCFG.CLOE と CFDC0FDCFG.FDOE を同時に 1 にしないでください。

CFDC0FDCFG.CLOE	CFDC0FDCFG.FDOE	チャネルモード
0	0	CANFD モード
0	1	FD only モード
1	0	クラシカル CAN モード
1	1	予約

CANFD モードは CANFD をサポートする製品に限り利用可能です。

CH_OPERATION モード、CH_HALT モードまたは CH_SLEEP モードのとき、本ビットに書き込まないでください。

CANFD チャネルが CH_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

注 1. これらのビットは、クラシカル CAN 機能では使用できません。

32.2.8 CFDC0FDCTR : CANFD コントロールレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0108

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOCCLR	EOCCLR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	EOCCLR	エラー発生カウンタクリア 0: エラー発生カウンタをクリアしない 1: エラー発生カウンタをクリア	R/W
1	SOCCLR	成功発生カウンタクリア 0: 成功発生カウンタをクリアしない 1: 成功発生カウンタをクリア	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

CANFD コントロールレジスタは、エラー発生と成功発生のカウンタを制御します。

EOCCLR ビット（エラー発生カウンタクリア）

EOCCLR ビットは、エラー発生カウンタのクリアに使用されます。

CH_SLEEP モードまたは CH_RESET モードのとき、本ビットに書き込まないでください。読むと常に 0 が読めます。

本ビットは、CANFD モジュールロジックによって、かつ関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

SOCCLR ビット（成功発生カウンタクリア）

SOCCLR ビットは、成功発生カウンタのクリアに使用されます。

CH_SLEEP モードまたは CH_RESET モードのとき、本ビットに書き込まないでください。読むと常に 0 が読めます。

本ビットは、CANFD モジュールロジックによって、かつ関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

32.2.9 CFDC0FDSTS : CANFD ステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x010C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SOC[7:0]								EOC[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TDCVF	—	—	—	—	—	SOCO	EOCO	TDCR[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TDCR[7:0](注1)	トランシーバ遅延補償結果	R
8	EOCO	エラー発生カウンタオーバーフロー 0: エラー発生カウンタがオーバーフローしていない 1: エラー発生カウンタがオーバーフローした	R/W
9	SOCO	成功発生カウンタオーバーフロー 0: 成功発生カウンタがオーバーフローしていない 1: 成功発生カウンタがオーバーフローした	R/W
14:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	TDCVF(注1)	トランシーバ遅延補償違反フラグ 0: トランシーバ遅延補償違反は発生していない 1: トランシーバ遅延補償違反が発生した	R/W
23:16	EOC[7:0]	エラー発生カウンタ これらのビットは、エラー発生カウンタ値を示します。	R
31:24	SOC[7:0]	成功発生カウンタ これらのビットは、成功発生カウンタ値を示します。	R

注. S-TYPE-3, P-TYPE-3
注 1. これらのビットは、クラシカル CAN 機能では使用できません。

CANFD ステータスレジスタは、トランシーバ遅延補償結果および関連する FIFO メッセージロストステータスを示します。

TDCR[7:0]ビット（トランシーバ遅延補償結果）

TDCR[7:0]ビットは、トランシーバ遅延の測定が完了したときに設定されます。

測定された遅延は、CAN チャネル DLL クロックの倍数です。結果は CFDC0FDCFG.TDCOC の設定と CFDC0FDCFG.TDCO のオフセット値によって異なります。この値がどのように導出されるかについては、「32.4.1.5. トランスミッタ遅延補償」を参照してください。

TDCR[7:0]ビットは、CFDC0FDCFG.TDCOC = 0 でトランシーバ遅延補償が許可されているとき (CFDC0FDCFG.TDCE = 1)、FDF ビットと RES ビット間の立ち下がりエッジで更新されます。

これらのビットは関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

注. これらのビットは、クラシカル CAN 機能では使用できません。

EOCO ビット（エラー発生カウンタオーバーフロー）

EOCO ビットは、関連する CAN チャネルのエラー発生カウンタがオーバーフローしたかどうかを示します。このビットは 0 を書き込むことによってクリアされます。1 の書き込みは無効です。

本ビットは、CFDC0FDSTS.EOC が 0xFF の状態で、CFDC0FDCFG.EOCCFG で定義されている設定に基づき CAN バスエラーが検出されると自動的に 1 になります。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

SOCO ビット（成功発生カウンタオーバーフロー）

SOCO ビットは、関連する CAN チャネルの成功発生カウンタがオーバーフローしたかどうかを示します。このビットは 0 を書き込むことによってクリアされます。1 の書き込みは無効です。

本ビットは、CFDC0FDSTS.SOC が 0xFF で、メッセージ受信成功またはメッセージ送信成功が発生すると自動的に 1 になります。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

TDCVF ビット（トランシーバ遅延補償違反フラグ）

CANFD モジュールは、送信データをビット単位で内部でキャプチャします。本データは次に、トランシーバループ遅延分だけ遅延している受信 CAN バスレベルと比較されます。

トランシーバ遅延は、温度のような物理パラメータにより多少変動します。結果ビット CFDC0FDSTS.TDCR は、各メッセージによって更新されます。しかしながら、一時的な最大遅延違反は見逃される場合があります。したがって、TDCVF ビットは本違反をキャプチャします。

このビットは 0 を書き込むことによってクリアされます。1 の書き込みは無効です。

本ビットは、トランシーバ遅延補償が最大遅延補償より大きく（6 データビット時間 - 2 clk_dlc）、内部ビットがオーバーランした場合に自動的に 1 になります。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

注. このビットは、クラシカル CAN 機能では使用できません。

EOC[7:0]ビット（エラー発生カウンタ）

EOC[7:0]ビットは、SOC[7:0]ビットと一緒に使用され、縮小ペイロードビット長を利用するメッセージが他のメッセージと比べてエラー率が著しく高くなっている場合、ホスト制御により、アービトレーションビットレートと等しいペイロードビットレートまでフォールバックするオプションをサポートします。

高くなったエラー率は、CFDC0FDCFG.EOCCFG ビットの設定により検出可能です。

EOC[7:0]ビットは、CANFD モジュールロジックによってのみ設定されます。これらのビットは、CFDC0FDCTR.EOCCLR に 1 を書くことによってクリアされます。他の値の書き込みは無効です。

これらのビットは、CFDC0FDCFG.EOCCFG ビットの設定により、エラー発生時に更新されます。カウンタ値が 0xFF に達すると、更新は停止します。

これらのビットは関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

SOC[7:0]ビット（成功発生カウンタ）

SOC[7:0]ビットは、EOC[7:0]ビットと一緒に使用され、縮小ペイロードビット長を利用するメッセージが他のメッセージと比べてエラー率が著しく高くなっている場合、ホスト制御により、アービトレーションビットレートと等しいペイロードビットレートまでフォールバックするオプションをサポートします。

SOC[7:0]ビットは、CANFD モジュールロジックによってのみ設定されます。他の値の書き込みは無効です。

これらのビットは、送受信においてバス上にエラーのないメッセージの発生が検出されると更新されます。カウンタ値が 0xFF に達すると、更新は停止します。

注. ループバックモードでは、カウンタは 2 回インクリメントされます。

これらのビットは、CFDC0FDCTR.SOCCLR に 1 を書き込むことによってクリアされます。

これらのビットは関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

32.2.10 CFDC0FDCRC : CANFD CRC レジスタ

このレジスタは、クラシカル CAN 機能では使用できません。

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0110

Bit position:	31				27			24			20																				0
Bit field:	—	—	—	—	SCNT[3:0]				—	—	—	CRCREG[20:0]																			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
20:0	CRCREG[20:0]	CRC レジスタ値 これらのビットは、CANFD フレームに対して計算された CRC 値を示します。	R
23:21	—	読むと 0 が読めます。	R
27:24	SCNT[3:0]	スタッフビット数 これらのビットは、CANFD フレームのスタッフビット数 (mod 8) を示します。	R
31:28	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

CANFD CRC レジスタは、CANFD フレームについて計算された CRC 値を保持します。

CRCREG[20:0]ビット（CRC レジスタ値）

CRCREG[20:0]ビットは、CFDC0CTR.CTME ビットが有効のとき、CANFD チャネルロジックにより計算された CRC 値を示します。

CFDC0FDCRC.CRCREG 値は、CANFD フレーム（送受信）の CRC フィールドの第 1 ビットにおいて更新されます。

CFDC0CTR.CTME ビットが 0 の場合、CRCREG[20:0]ビットは読むと常に 0 が読み出されます。

CRC フィールドの 17 番目のビットが使用されると、CRCREG[20:17]ビットは読むと常に 0 が読み出されます。

これらのビットは関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

SCNT[3:0]ビット（スタッフビット数）

SCNT[3:0]ビットは、CANFD フレームのスタッフカウント値を示します。これらのビットは、CFDC0FDCRC.SCNT[3:1]において CFDC0CTR.CTME ビットが有効になっていると、CANFD フレームの挿入されたスタッフビット数（モジュロ 8、グレイコード化）を示します。SCNT[0]はパリティビットです。

CFDC0CTR.CTME ビットが 0 の場合、SCNT[3:0]ビットは読むと常に 0 が読み出されます。

SCNT 値は、CANFD フレーム（送受信）の CRC フィールドの第 1 ビットにおいて更新されます。

これらのビットは関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

32.2.11 CFDGCFG : グローバルコンフィグレーションレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0014

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ITRCP[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TSSS	TSP[3:0]				—	—	CMPOC	DCS	MME	DRE	DCE	TPRI
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TPRI	送信優先順位 0: ID 優先 1: メッセージバッファ番号優先	R/W
1	DCE	DLC チェック有効 0: DLC チェック無効 1: DLC チェック有効	R/W
2	DRE	DLC 置換有効 0: DLC 置換無効 1: DLC 置換有効	R/W
3	MME	ミラーモード有効 0: ミラーモード無効 1: ミラーモード有効	R/W
4	DCS	データリンクコントローラクロック選択 0: CANFD コアクロック (CANFDCLK) 1: 外部発振器クロック (CANMCLK)	R/W
5	CMPOC(注1)	CANFD メッセージペイロードオーバーフロー設定 0: メッセージを拒否 1: メッセージペイロードを設定メッセージサイズにカット	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11:8	TSP[3:0]	タイムスタンププリスケーラ 0x0: タイムスタンププリスケーラ = 1 0x1: タイムスタンププリスケーラ = 2 0x2: タイムスタンププリスケーラ = 4 0x3 : タイムスタンププリスケーラ = 8 ⋮ 0xD: タイムスタンププリスケーラ = 8192 0xE: タイムスタンププリスケーラ = 16384 0xF: タイムスタンププリスケーラ = 32768	R/W
12	TSSS	タイムスタンプソース選択 0: タイムスタンプカウンタのソースクロックは周辺クロック 1: タイムスタンプカウンタのソースクロックはビットタイムクロック	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:16	ITRCP[15:0]	インターバルタイマ基準クロックプリスケーラ FIFO インターバルタイマプリスケーラ値	R/W

注. S-TYPE-3, P-TYPE-3
注 1. このビットは、クラシカル CAN 機能では使用できません。

グローバルコンフィグレーションレジスタは、全 TX メッセージバッファで使用される送信優先および CAN チャネルの CAN プロトコルエンジンのクロックソースを選択するのに使用されます。CFDGCFG レジスタは、タイムスタンプクロックのソースを選択したり、タイムスタンプクロックおよびインターバルタイマ基準クロックの周波数を設定するのにも使用されます。

TPRI ビット（送信優先順位）

TPRI ビットは、CAN チャネルの送信優先を選択します。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

メッセージバッファ番号優先は、TX キュー送信と一緒に使用しないでください。

DCE ビット（DLC チェック有効）

DCE ビットは、CAN チャネルのデータ長コード (DLC) チェックを有効にします。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

DRE ビット（DLC 置換有効）

DRE ビットも DCE ビットも 1 のとき、CANFD は、DLC チェックにパスした場合、DLC の設定値 (CFDGAFLP0r.GAFLDLC) を RX メッセージの宛先バッファまたは FIFO バッファに格納します。その他の場合は、RX メッセージの宛先バッファまたは FIFO バッファの DLC 値は変化しません。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

MME ビット（ミラーモード有効）

MME ビットは、CAN チャネルのミラーモードを有効にします。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

DCS ビット（データリンクコントローラクロック選択）

DCS ビットは、CAN 通信のクロックソースとして CANFDCLK または CANMCLK を選択します。

GL_SLEEP モードまたは GL_OPERATION モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

CMPOC ビット（CANFD メッセージペイロードオーバーフロー設定）

CMPOC ビットは、受信したペイロードがメッセージバッファペイロードサイズ (CFDRMNB.RMPLS, CFDRFCCa.RFPLS, CFDCFCC.CFPLS) より大きい場合、メッセージペイロードアクセプタンスメカニズムを制御します。受信したメッセージのペイロードは、常にメッセージバッファの使用可能なメッセージペイロードサイズと比較されます。

GL_SLEEP モードまたは GL_OPERATION モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

本ビットが 1 のときにペイロードオーバーフローが起こると、DLC 値は変更されずに RX メッセージバッファまたは FIFO バッファに格納されます。

注. このビットは、クラシカル CAN 機能では使用できません。

TSP[3:0]ビット（タイムスタンププリスケーラ）

TSP[3:0]ビットに設定された値は、タイムスタンプカウンタで使用されるクロックソースの期間を定義します。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

TSSS ビット（タイムスタンプソース選択）

TSSS ビットでは、タイムスタンプカウンタのクロックソースを選択できます。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。さらに、CANFD 通信使用中は本ビットを 1 にしないでください。(注1)

注. ビットタイムクロックは、公称およびデータレートビット設定に応じて変わります。

注 1. この機能は、クラシカル CAN 機能では使用できません。

ITRCP[15:0]ビット（インターバルタイマ基準クロックプリスケーラ）

ITRCP[15:0]ビットでは、FIFO インターバルタイマソースクロックの基準クロックを定義できます。

これらのビットが 0x0000 のとき、タイマは無効です。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

32.2.12 CFDGCTR : グローバルコントロールレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0018

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSRST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	CMPOFIE	THLEIE	MEIE	DEIE	—	—	—	—	—	GSLPR	GMDC[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	機能	R/W
1:0	GMDC[1:0]	グローバルモード制御 0 0: グローバルオペレーションモード要求 0 1: グローバルリセットモード要求 1 0: グローバル halt モード要求 1 1: 現在値を維持	R/W
2	GSLPR	グローバルスリープ要求 0: グローバルスリープ要求禁止 1: グローバルスリープ要求許可	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	DEIE	DLC チェック割り込み許可 0: DLC チェック割り込み禁止 1: DLC チェック割り込み許可	R/W
9	MEIE	メッセージロストエラー割り込み許可 0: メッセージロストエラー割り込み禁止 1: メッセージロストエラー割り込み許可	R/W
10	THLEIE	TX 履歴リストエントリロスト割り込み許可 0: TX 履歴リストエントリロスト割り込み禁止 1: TX 履歴リストエントリロスト割り込み許可	R/W
11	CMPOFIE(注1)	CANFD メッセージペイロードオーバーフローフラグ割り込み許可 0: CANFD メッセージペイロードオーバーフローフラグ割り込み禁止 1: CANFD メッセージペイロードオーバーフローフラグ割り込み許可	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	TSRST	タイムスタンプリセット 0: タイムスタンプはリセットされない 1: タイムスタンプはリセットされる	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. このビットは、クラシカル CAN 機能では使用できません。

グローバルコントロールレジスタは、CANFD モジュールのグローバルモードおよびタイムスタンプ機能を制御します。本レジスタは、グローバルエラー割り込みの許可および禁止も行います。

GMDC ビット（グローバルモード制御）

GMDC ビットを使用して、CANFD モジュールのモードを設定することができます。さらに、CANFD モジュールがリセットモードのとき CFDGCTR.GSLPR ビットが 1 であれば、CANFD モジュールはグローバルスリープモードに遷移します。

GMDC ビットの 11b への設定は無効です。モードの遷移については「32.3.2. グローバルモード」に詳述しています。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

GSLPR ビット（グローバルスリープ要求）

GSLPR ビットは、CAN チャネルを含めて、CANFD モジュールへのスリープ要求をグローバルに選択します。チャネルスリープ要求は自動でチャネルに設定されます。

CANFD モジュールが GL_RESET モードまたは GL_SLEEP モードの場合のみ本ビットへの書き込みを行ってください。

DEIE ビット（DLC チェック割り込み許可）

DEIE ビットが 1 のとき、受信フレームに DLC エラーが検出された場合割り込みが発生します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

MEIE ビット（メッセージロストエラー割り込み許可）

MEIE ビットが 1 のとき、メッセージロスト状態が起きると割り込みが発生します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

THLEIE ビット（TX 履歴リストエントリロスト割り込み許可）

THLEIE ビットが 1 のとき、TX 履歴リストエントリロスト状態が起きると割り込みが発生します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

CMPOFIE ビット（CANFD メッセージペイロードオーバーフローフラグ割り込み許可）

CMPOFIE ビットが 1 のとき、CANFD メッセージペイロードオーバーフロー状態が起きると割り込みが発生します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

TSRST ビット（タイムスタンプリセット）

TSRST ビットが 1 のとき、グローバルタイムスタンプレジスタは 0x0000 にリセットされます。

CANFD モジュールが GL_SLEEP モードまたは GL_RESET モードの場合は本ビットへの書き込みは行わないでください。

読むと常に 0 が読めます。

本ビットは、CANFD モジュールロジックにより自動的にクリアされます。

32.2.13 CFDGSTS : グローバルステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x001C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	GRAM INIT	GSLP STS	GHLT STS	GRST STS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1

ビット	シンボル	機能	R/W
0	GRSTSTS	グローバルリセットステータス 0: リセットモードではない 1: リセットモードである	R
1	GHLTSTS	グローバル halt ステータス 0: halt モードではない 1: halt モードである	R
2	GSLPSTS	グローバルスリープステータス 0: スリープモードではない 1: スリープモードである	R
3	GRAMINIT	グローバル RAM 初期化 0: RAM 初期化完了 1: RAM 初期化実行中	R
31:4	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

グローバルステータスレジスタは CANFD モジュールのグローバルステータスを表示するレジスタです。

GRSTSTS ビット（グローバルリセットステータス）

GRSTSTS ビットは、グローバル CANFD モジュールリセットモードの状態を表示します。

本ビットは、CANFD モジュールが GL_RESET モードになると自動的に 1 になります。モードが GL_RESET から GL_SLEEP に遷移しても、本ビットは 1 のままです。

本ビットは、CANFD モジュールが GL_RESET モードから抜けると自動的にクリアされます。

GHLTSTS ビット（グローバル halt ステータス）

GHLTSTS ビットは、グローバル CANFD モジュール halt モードの状態を表示します。

本ビットは、CANFD モジュールが GL_HALT モードになると自動的に 1 になります。

本ビットは、CANFD モジュールが GL_HALT モードから抜けると自動的にクリアされます。

GSLPSTS ビット（グローバルスリープステータス）

GSLPSTS ビットは、グローバル CANFD モジュールスリープモードの状態を表示します。

本ビットは、CANFD モジュールが GL_SLEEP モードになると自動的に 1 になります。

本ビットは、CANFD モジュールが GL_SLEEP モードから抜けると自動的にクリアされます。

GRAMINIT ビット（グローバル RAM 初期化）

GRAMINIT ビットは、グローバル CANFD モジュール RAM 初期化の状態を表示します。

本ビットは、CANFD モジュールがハードウェアリセット後 GL_SLEEP モードになると自動的に 1 になります。

本ビットは、CANFD モジュールが RAM 初期化を完了すると自動的にクリアされます。

本ビットは、test_mode 入力ポートが 1 に設定されるとクリアされます。

32.2.14 CFDGERFL : グローバルエラーフラグレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—		EEF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	CMPOF	THLES	MES	DEF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DEF	DLC エラーフラグ 0: DLC エラー未検出 1: DLC エラー検出	R/W
1	MES	メッセージロストエラーステータス 0: メッセージロストエラー未検出 1: メッセージロストエラー検出	R
2	THLES	TX 履歴リストエントリロストエラーステータス 0: TX 履歴リストエントリロストエラー未検出 1: TX 履歴リストエントリロストエラー検出	R
3	CMPOF(注1)	CANFD メッセージペイロードオーバーフローフラグ 0: CANFD メッセージペイロードオーバーフロー未検出 1: CANFD メッセージペイロードオーバーフロー検出	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	EEF0	ECC エラーフラグ 0: TX-SCAN 中 ECC エラー未検出 1: TX-SCAN 中 ECC エラー検出	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. このビットは、クラシカル CAN 機能では使用できません。

グローバルエラーフラグレジスタは、グローバルエラーが検出されたことを示します。

DEF ビット（DLC エラーフラグ）

DEF ビットは、DLC のエラー状態を示します。

CANFD モジュールが GL_SLEEP モードまたは GL_RESET モードの場合は本ビットへの書き込みは行わないでください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

受信フレームに DLC エラーを検出すると、本ビットは自動的に 1 になります。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合、本ビットは 1 が設定されます。

また、0 を書くことによって 0 になります。

このビットは GL_RESET モードで自動的にクリアされます。

MES ビット（メッセージロストエラーステータス）

MES ビットは、メッセージロストエラーの状態を示します。

FIFO メッセージロストエラーを検出すると、本ビットは自動的に 1 になります。

本ビットは以下の場合自動的にクリアされます。

- FIFO メッセージロストフラグがすべてクリアされたとき
- CANFD モジュールが GL_RESET モードであるとき

THLES ビット（TX 履歴リストエントリロストエラーステータス）

THLES ビットは、TX 履歴リストエントリロストエラーの状態を示します。

TX 履歴リストエントリロストエラーを検出すると、本ビットは自動的に 1 になります。

本ビットは以下の場合自動的にクリアされます。

- TX 履歴リストエントリロストフラグがすべてクリアされたとき
- CANFD モジュールが GL_RESET モードであるとき

CMPOF ビット（CANFD メッセージペイロードオーバーフローフラグ）

CMPOF ビットは、少なくとも 1 つのチャネルで CANFD メッセージペイロードオーバーフローが検出されると自動的に 1 になります。

CANFD モジュールが GL_SLEEP モードまたは GL_RESET モードの場合は本ビットへの書き込みは行わないでください。

また、0 を書くことによって 0 になります。1 の書き込みは無効です。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合、本ビットは 1 が設定されます。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

このビットは GL_RESET モードで自動的にクリアされます。

注. このビットは、クラシカル CAN 機能では使用できません。

EEF0 ビット（ECC エラーフラグ）

EEF0 ビットは、ECC エラーが発生したかどうかを指定します。

CANFD モジュールが GL_SLEEP モードまたは GL_RESET モードの場合は本ビットへの書き込みは行わないでください。1 の書き込みは無効です。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合、本ビットは 1 が設定されます。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

また、0 を書くことによって 0 になります。このビットは GL_RESET モードで自動的にクリアされます。

32.2.15 CFDGTINTSTS : グローバル TX 割り込みステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x00A4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	THIF0	CFTIF0	TQIF0	TAI0	TSIF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TSIF0	TX 成功割り込みフラグ 0: チャネル n の TX 成功割り込みフラグ未設定 1: チャネル n の TX 成功割り込みフラグ設定	R
1	TAI0	TX アボート割り込みフラグ 0: チャネル n の TX アボート割り込みフラグ未設定 1: チャネル n の TX アボート割り込みフラグ設定	R
2	TQIF0	TX キュー割り込みフラグ 0: チャネル n の TX キュー割り込みフラグ未設定 1: チャネル n の TX キュー割り込みフラグ設定	R
3	CFTIF0	COM FIFO TX モード割り込みフラグ 0: チャネル n の COM FIFO TX モード割り込みフラグ未設定 1: チャネル n の COM FIFO TX モード割り込みフラグ設定	R
4	THIF0	TX 履歴リスト割り込み 0: チャネル n の TX 履歴リスト割り込みフラグ未設定 1: チャネル n の TX 履歴リスト割り込みフラグ設定	R
31:5	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

グローバル TX 割り込みステータスレジスタは、送信固有の割り込みの検出を示します。

TSIF0 ビット（TX 成功割り込みフラグ）

TSIF0 ビットは、(割り込みが許可されているとき）関連するチャネルの TX 成功割り込みフラグが設定されると 1 になります。
本ビットは以下の場合に自動的にクリアされます。

- (割り込み許可が無効な場合）関連する TX MB 結果ステータスビットがクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

TAI0 ビット（TX アボート割り込みフラグ）

TAIF0 ビットは、(割り込みが許可されているとき）関連するチャネルの TX アボート割り込みフラグが設定されると 1 になります。

本ビットは以下の場合に自動的にクリアされます。

- (割り込み許可が無効な場合）関連する TX MB 結果ステータスビットがクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

TQIF0 ビット（TX キュー割り込みフラグ）

TQIF0 ビットは、(割り込みが許可されているとき）関連するチャネルの TX キュー割り込みフラグが設定されると 1 になります。
本ビットは以下の場合に自動的にクリアされます。

- (割り込み許可が無効な場合）関連する TX キュー割り込みフラグがクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

CFTIF0 ビット（COM FIFO TX モード割り込みフラグ）

CFTIFn ビットは、(割り込みが許可されているとき）関連する COM TX FIFO モード割り込みフラグ (CFDCFSTS.CFTXIF) が設定されると 1 になります。

本ビットは以下の場合に自動的にクリアされます。

- (割り込み許可が無効な場合）関連する COM TX FIFO モード割り込みフラグ (CFDCFSTS.CFTXIF) がクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

THIF0 ビット（TX 履歴リスト割り込み）

THIF0 ビットは、（割り込みが許可されているとき）関連する TX 履歴リスト割り込みフラグ (CFDTHLSTS.THLIF) が設定されると 1 になります。

本ビットは以下の場合に自動的にクリアされます。

- （割り込み許可が無効な場合）関連する TX 履歴リスト割り込みフラグ (CFDTHLSTS.THLIF) がクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

32.2.16 CFDGTSC : グローバルタイムスタンプカウンタレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0024

Bit position:	31																15														0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TS[15:0]														
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	TS[15:0]	タイムスタンプ値	R
31:16	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

グローバルタイムスタンプカウンタレジスタは、選択された設定に基づきタイムスタンプを格納します。

TS[15:0]ビット（タイムスタンプ値）

タイムスタンプ値は、TSSS、TSBTCS および TSP の設定に基づきグローバルタイムスタンプカウンタレジスタに格納されます。halt 状態に遷移中はタイムスタンプカウンタの精度は保証されません。

タイムスタンプ値は、TSSS、TSBTCS および TSP の設定に基づき本レジスタに格納されます。

CANFD モジュールが GL_RESET モードまたは GL_SLEEP モードの場合は TS[15:0]ビットへの書き込みは行わないでください。

TS[15:0]ビットは、GL_RESET モードのとき自動的にクリアされます。

32.2.17 CFDGAFLECTR : グローバルアクセプタンスフィルタリストエントリコントロールレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0028

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	AFLDAE	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
8	AFLDAE	アクセプタンスフィルタリストデータアクセス許可 0: アクセプタンスフィルタリストデータアクセス禁止 1: アクセプタンスフィルタリストデータアクセス許可	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

グローバルアクセプタンスフィルタリストエントリコントロールレジスタは、グローバルアクセプタンスフィルタリストからエントリを読み出したり書き込んだりするグローバルアクセプタンスフィルタリストページを選択するのに使用されます。

AFLDAE ビット（アクセプタンスフィルタリストデータアクセス許可）

AFLDAE ビットは、アクセプタンスフィルタリストの設定後クリアされた場合、アクセプタンスフィルタリストへの書き込みを防止します。

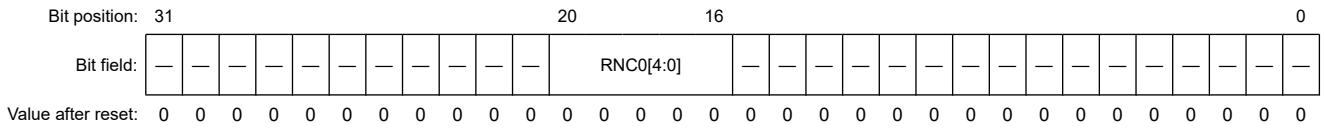
本ビットの状態に関係なくアクセプタンスフィルタリストからデータを読み出し可能です。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。アクセプタンスフィルタリストへの書き込みを許可するには本ビットを 1 にしてください。

32.2.18 CFDGAFLCFG: グローバルアクセプタンスフィルタリストコンフィグレーションレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x002C



ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20:16	RNC0[4:0]	ルール番号 専用ルールの数	R/W
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

グローバルアクセプタンスフィルタリストコンフィグレーションレジスタは、アクセプタンスフィルタリスト内のエントリ用ルール数を定義するのに使用されます。

アクセプタンスフィルタリスト内で使用可能なエントリの総数は 16 です。

RNC0[4:0]ビット（ルール番号）

RNC0[4:0]ビットは、アクセプタンスフィルタリスト内のルール数を定義します。

CANFD モジュールが GL_RESET モードの場合のみ、これらのビットへの書き込みを行ってください。16 ルールの場合、これらのビットは 5 ビットに設定できます。

32.2.19 CFDGAFLIDr : グローバルアクセプタンスフィルタリスト ID レジスタ（r = 1～16）

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0120 + 0x0010 × (r - 1)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	GAFLIDE	GAFLRTR	GAFLLB	GAFLID[28:16]												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	GAFLID[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
28:0	GAFLID[28:0]	グローバルアクセプタンスフィルタリストエントリ ID フィールド グローバルアクセプタンスフィルタリストエントリの ID 部分	R/W
29	GAFLLB	グローバルアクセプタンスフィルタリストエントリループバック設定 0: 属性 RX によるアクセプタンスフィルタ処理用グローバルアクセプタンスフィルタリストエントリ ID 1: 属性 TX によるアクセプタンスフィルタ処理用グローバルアクセプタンスフィルタリストエントリ ID	R/W
30	GAFLRTR	グローバルアクセプタンスフィルタリストエントリ RTR フィールド 0: データフレーム 1: リモートフレーム	R/W
31	GAFLIDE	グローバルアクセプタンスフィルタリストエントリ IDE フィールド 0: ルールエントリ ID の標準 ID がアクセプタンスフィルタ処理に有効 1: ルールエントリ ID の拡張 ID がアクセプタンスフィルタ処理に有効	R/W

注. S-TYPE-3, P-TYPE-3

グローバルアクセプタンスフィルタリスト ID レジスタは、グローバルアクセプタンスフィルタリストにおけるエントリルール用 ID フィールドを設定するのに使用されます。

GAFLID[28:0]ビット（グローバルアクセプタンスフィルタリストエントリ ID フィールド）

GAFLID[28:0]ビットは、グローバルアクセプタンスフィルタリスト内の各エントリの CAN ID フィールドを表します。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

GAFLLB ビット（グローバルアクセプタンスフィルタリストエントリループバック設定）

GAFLLB ビットは、グローバルアクセプタンスフィルタリスト内のエントリの属性が RX なのか TX なのかを選択します。

本属性は、ミラーモード、ループバックモード、および標準（非ループバック）受信の際、エントリが有効かどうかを決定します。送受信、ループバックモードのタイプ、および RX/TX 属性別の、グローバルアクセプタンスフィルタリストエントリの有効性についての詳しい説明は「32.5.5. ループバックモード」を参照してください。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、このビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

GAFLRTR ビット（グローバルアクセプタンスフィルタリストエントリ RTR フィールド）

GAFLRTR ビットにより、グローバルアクセプタンスフィルタリストの各エントリについて、指定されたフレームフォーマット（データフレームまたはリモートフレーム）が設定できます。CAN チャネルの各ルールエントリについて、アクセプタンスフィルタ処理は、受信した CAN メッセージの RTR ビットと本ビットを比較します。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、このビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

GAFLIDE ビット（グローバルアクセプタンスフィルタリストエントリ IDE フィールド）

GAFLIDE ビットにより、グローバルアクセプタンスフィルタリストの各エントリについて、ID フォーマット（標準 ID または拡張 ID）が設定できます。CAN チャネルの各ルールエントリについて、アクセプタンスフィルタ処理は、受信した CAN メッセージの IDE ビットと本ビットを比較します。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、このビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

32.2.20 CFDGAFLMr : グローバルアクセプタンスフィルタリストマスクレジスタ (r = 1 ～16)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0124 + 0x0010 × (r - 1)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	GAFLIDEM	GAFLRTRM	GAFLIFL1	GAFLIDM[28:16]												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	GAFLIDM[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
28:0	GAFLIDM[28:0]	グローバルアクセプタンスフィルタリスト ID マスクフィールド ID フィールド用グローバルアクセプタンスフィルタリストマスクフィールドビット	R/W
29	GAFLIFL1	グローバルアクセプタンスフィルタリスト情報ラベル 1 グローバルアクセプタンスフィルタリスト情報ラベルビット 1	R/W
30	GAFLRTRM	グローバルアクセプタンスフィルタリストエントリ RTR マスク 0: RTR ビットは ID 一致に使用されない 1: RTR ビットは ID 一致に使用される	R/W
31	GAFLIDEM	グローバルアクセプタンスフィルタリスト IDE マスク 0: IDE ビットは ID 一致に使用されない 1: IDE ビットは ID 一致に使用される	R/W

注. S-TYPE-3, P-TYPE-3

グローバルアクセプタンスフィルタリストマスクレジスタは、グローバルアクセプタンスフィルタリストにおける各エントリルールのマスクフィールドを設定するのに使用されます。

GAFLIDM[28:0]ビット（グローバルアクセプタンスフィルタリスト ID マスクフィールド）

GAFLIDM[28:0]ビットは、各グローバルアクセプタンスフィルタリストエントリの CAN ID フィールド内の関連ビットのフィルタマスクビットです。

0	対応する STD-ID/EXT-ID ビットは ID 一致に使用されない
1	対応する STD-ID/EXT-ID ビットは ID 一致に使用される

CFDGAFLECTR.AFLDAE ビットが 0 のとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

GAFLIFL1 ビット（グローバルアクセプタンスフィルタリスト情報ラベル 1）

GAFLIFL1 ビットにより、グローバルアクセプタンスフィルタリスト内の関連エントリにより受け付けられた受信メッセージに付けられる 2 ビットの情報ラベルが設定できます。本ビットは、情報ラベルの MSB ビットです。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

本ビットは、着信メッセージの格納位置の情報ラベルフィールド[1]（CFDRMFDSTSb.RMIFL [1]、CFDRFFDSTSb.RFIFL [1]、CFDCFFDCSTS.CFIFL [1]）に格納されます。

GAFLRTRM ビット（グローバルアクセプタンスフィルタリストエントリ RTR マスク）

GAFLRTRM ビットにより、グローバルアクセプタンスフィルタリストの各エントリについて、RTR マスクビットが設定できます。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

GAFLIDEM ビット（グローバルアクセプタンスフィルタリスト IDE マスク）

GAFLIDEM ビットにより、グローバルアクセプタンスフィルタリストの各エントリについて、IDE マスクビットが設定できます。

IDE マスクビットが 0 のとき、ID 比較は受信した IDE ビットによります。

受信した IDE ビットが 0 の場合、STD-ID 比較が行われます。

受信した IDE ビットが 1 の場合、EXT-ID 比較が行われます。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

32.2.21 CFDGAFLP0r : グローバルアクセプタンスフィルタリストポインタ 0 レジスタ（r = 1～16）

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0128 + 0x0010 × (r - 1)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	GAFLPTR[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	GAFL RMV	—	—	GAFLRMDP[4:0]					GAFLI FL0	—	—	—	GAFLDLC[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	GAFLDLC[3:0]	グローバルアクセプタンスフィルタリスト DLC フィールド 受け付けに必要なデータフレーム内の最小データバイト数	R/W
6:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	GAFLIFL0	グローバルアクセプタンスフィルタリスト情報ラベル 0	R/W

ビット	シンボル	機能	R/W
12:8	GAFLRMDP[4:0]	グローバルアクセプタンスフィルタリスト RX メッセージバッファ方向ポインタ 受信メッセージ格納用 RX メッセージバッファ番号	R/W
14:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	GAFLRMV	グローバルアクセプタンスフィルタリスト RX メッセージバッファ有効 0: 単一のメッセージバッファ方向ポインタは無効 1: 単一のメッセージバッファ方向ポインタは有効	R/W
31:16	GAFLPTR[15:0]	グローバルアクセプタンスフィルタリストポインタ	R/W

注. S-TYPE-3, P-TYPE-3

グローバルアクセプタンスフィルタリストポインタ 0 レジスタは、グローバルアクセプタンスフィルタリスト内の各ルールエントリについて、データ長コード (DLC)、ソフトウェアポインタ、単一メッセージバッファ選択、およびメッセージバッファ方向ポインタを設定するのに使用されます。

GAFLDLC[3:0]ビット（グローバルアクセプタンスフィルタリスト DLC フィールド）

GAFLDLC[3:0]ビットにより、グローバルアクセプタンスフィルタリスト（自動 DLC フィルタ機能）内の関連エントリにより受け付けられるメッセージについて、最小データ長コード (DLC) 値が設定できます。

グローバルアクセプタンスフィルタリスト内のエントリにより受け付けられたメッセージの DLC 値が、本関連グローバルアクセプタンスフィルタリストエントリに設定された DLC 値以上の場合のみ、DLC フィルタ処理は合格となります。本フィールドが 0 の場合、対応するルールエントリについて自動 DLC フィルタ機能は無効です。

表 32.3 に、設定可能な DLC 値を示します。

表 32.3 DLC 値の設定

フォーマット	DLC[3]	DLC[2]	DLC[1]	DLC[0]	説明
CAN および CANFD	0	0	0	0	受信メッセージの DLC = 0 以上（DLC フィルタチェックは無効）
CAN および CANFD	0	0	0	1	受信メッセージの DLC = 1 以上
CAN および CANFD	0	0	1	0	受信メッセージの DLC = 2 以上
CAN および CANFD	0	0	1	1	受信メッセージの DLC = 3 以上
CAN および CANFD	0	1	0	0	受信メッセージの DLC = 4 以上
CAN および CANFD	0	1	0	1	受信メッセージの DLC = 5 以上
CAN および CANFD	0	1	1	0	受信メッセージの DLC = 6 以上
CAN および CANFD	0	1	1	1	受信メッセージの DLC = 7 以上
CAN	1	x	x	x	受信メッセージの DLC = 8 以上
CANFD	1	0	0	0	受信メッセージの DLC = 8 以上(注1)
CANFD	1	0	0	1	受信メッセージの DLC = 12 以上(注1)
CANFD	1	0	1	0	受信メッセージの DLC = 16 以上(注1)
CANFD	1	0	1	1	受信メッセージの DLC = 20 以上(注1)
CANFD	1	1	0	0	受信メッセージの DLC = 24 以上(注1)
CANFD	1	1	0	1	受信メッセージの DLC = 32 以上(注1)
CANFD	1	1	1	0	受信メッセージの DLC = 48 以上(注1)
CANFD	1	1	1	1	受信メッセージの DLC = 64(注1)

注 1. この設定は、クラシカル CAN 機能では使用できません。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

GAFLIFL0 ビット（グローバルアクセプタンスフィルタリスト情報ラベル 0）

GAFLIFL0 ビットにより、関連するグローバルアクセプタンスフィルタリストエントリにより受け付けられた受信メッセージに付けられる 2 ビットの情報ラベルが設定できます。本ビットは、情報ラベルの LSB ビットです。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットへは書き込みできません。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこのビットへの書き込みを行ってください。

本ビットは、着信メッセージの格納位置の情報ラベルフィールド[0] (CFDRMFDSTSb.RMIFL[0], CFDRFFDSTSb.RFIFL[0], CFDCFFDCSTS.CFIFL[0]) に格納されます。

GAFLRMDP[4:0]ビット（グローバルアクセプタンスフィルタリスト RX メッセージバッファ方向ポインタ）

GAFLRMDP[4:0]ビットにより、関連するグローバルアクセプタンスフィルタリストエントリのアクセプタンスチェックを合格した受信メッセージに対して、単一の受信メッセージバッファを宛先に設定できます。入力される値は、単一の宛先メッセージバッファ番号です。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

CFDRMNB.NRXMB[4:0]は、RX メッセージバッファ数を設定するために RX メッセージバッファ数レジスタで入力された値です。CFDGAFLP0r.GAFLRMDP[4:0]ビットで入力できる値は、0x00 と CFDMNB.NMB[4:0]～1 間の値のみです。

CFDRMNB.NRXMB[4:0] = 0x00 の場合、GAFLRMV ビットは 0 に設定してください。

GAFLRMV ビット（グローバルアクセプタンスフィルタリスト RX メッセージバッファ有効）

GAFLRMV ビットにより、関連するグローバルアクセプタンスフィルタリストエントリのアクセプタンスチェックを合格した受信メッセージに対して、宛先としての単一の受信メッセージバッファを有効または無効にできます。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

GAFLPTR[15:0]ビット（グローバルアクセプタンスフィルタリストポインタ）

GAFLPTR[15:0]ビットにより、関連するグローバルアクセプタンスフィルタリストエントリにより受け付けられた受信メッセージに付けられる 16 ビットのポインタが設定できます。ポインタは、メッセージバッファ領域へのメッセージ格納中に追加され、アプリケーションによりサポート機能として使用可能です。ポインタ情報は、たとえば、AUTOSAR システムにおける受信メッセージの PDU ID 割り当てをサポートするのに使用可能です。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

32.2.22 CFDGAFLP1r : グローバルアクセプタンスフィルタリストポインタ 1 レジスタ（r = 1～16）

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x012C + 0x0010 × (r - 1)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	GAFL FDP8	—	—	—	—	—	—	GAFL FDP1	GAFL FDP0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	GAFLFDP0	グローバルアクセプタンスフィルタリスト FIFO 方向ポインタ 受信メッセージ格納用の FIFO 方向ポインタビット 0: RX FIFO 0 を受信宛先として無効にする 1: RX FIFO 0 を受信宛先として有効にする	R/W
1	GAFLFDP1	グローバルアクセプタンスフィルタリスト FIFO 方向ポインタ 受信メッセージ格納用の FIFO 方向ポインタビット 0: RX FIFO 1 を受信宛先として無効にする 1: RX FIFO 1 を受信宛先として有効にする	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	GAFLFDP8	グローバルアクセプタンスフィルタリスト FIFO 方向ポインタ 受信メッセージ格納用の FIFO 方向ポインタビット 0: 共通 FIFO を受信宛先として無効にする 1: 共通 FIFO を受信宛先として有効にする	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

グローバルアクセプタンスフィルタリストポインタ 1 レジスタは、グローバルアクセプタンスフィルタリストにおける各ルールエントリの FIFO 方向ポインタフィールドを設定するのに使用されます。

GAFLFDP8、GAFLFDP1、GAFLFDP0 ビット（グローバルアクセプタンスフィルタリスト FIFO 方向ポインタ）

これらのビットにより、関連するグローバルアクセプタンスフィルタリストエントリのアクセプタンスチェックを合格した受信メッセージに対して、FIFO バッファを宛先に設定できます。GAFLFDP8、GAFLFDP1、GAFLFDP0 の各ビットは、専用 FIFO として設定されます。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、これらのビットに書き込みできません。

共通 FIFO での格納については、受信先は、RX FIFO として設定された共通 FIFO バッファのみが可能です。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

最大 2 個の宛先 FIFO バッファ、または 1 個の宛先 FIFO バッファ+RX メッセージバッファ 1 個のみ構成する必要があります。

32.2.23 CFDRMNB : RX メッセージバッファ数レジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0030

Bit position:	31																				10	8		4	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RMPLS[2:0]	—	—	—	NRXMB[4:0]
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	NRXMB[4:0]	RX メッセージバッファ数	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	RMPLS[2:0]	受信メッセージバッファペイロードデータサイズ 0 0 0: 8 バイト 0 0 1: 12 バイト 0 1 0: 16 バイト 0 1 1: 20 バイト 1 0 0: 24 バイト 1 0 1: 32 バイト 1 1 0: 48 バイト 1 1 1: 64 バイト	R/W
31:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

RX メッセージバッファ数レジスタは、チャネルに割り当てられた RX メッセージバッファの総数を設定するのに使用されます。

NRXMB[4:0]ビット（RX メッセージバッファ数）

NRXMB[4:0]ビットは、RX メッセージバッファ数を設定するのに使用されます。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

0～16（0 と 16 を含む）の範囲でのみ値を設定してください。ここで、0x00 は、RX メッセージバッファは割り当てられないことを示します。

RMPLS[2:0]ビット（受信メッセージバッファペイロードデータサイズ）

RMPLS[2:0]ビットは、メッセージバッファペイロードデータサイズを設定するのに使用されます。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

32.2.24 CFDRMND : RX メッセージバッファ新規データレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0034

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RMNS[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	RMNS[15:0]	RX メッセージバッファ新規データステータス 0: 新規データは対応する RX メッセージバッファに格納されない 1: 新規データは対応する RX メッセージバッファに格納される	R/W

注. S-TYPE-3, P-TYPE-3

RX メッセージバッファ新規データステータスレジスタは、RX メッセージバッファの新規データ格納状態を指定します。

RMNS[15:0]ビット（RX メッセージバッファ新規データステータス）

RMNS[15:0]ビットは、対応する RX メッセージバッファの新規データの状態を示します。RMNS ビット[0]は、RX メッセージバッファ[0]に対応し、順次同様に対応します。

CFDRMND のビット位置は、RXMB のバッファ番号に対応します。

CANFD モジュールが GL_RESET モードまたは GL_SLEEP モードの場合は、これらのビットへの書き込みは行わないでください。1 の書き込みは無効です。

これらのビットは、対応する RX メッセージバッファへのメッセージ格納が実行中の場合はクリアできません。これらのビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

これらのビットは、新規メッセージの格納が対応する RX メッセージバッファに行われる場合に自動的に 1 になります。これらのビットは、0 を書くことによってクリアされます。これらのビットは、CANFD モジュールが GL_RESET モードのとき自動的にクリアされます。

CFDRMNB.RMPLS = 000b（最大 8 バイトのペイロード）の場合、メッセージ格納期間は PCLKA で 6 サイクルです。

CFDRMNB.RMPLS > 000b の場合、メッセージ格納期間は、PCLKA で 6 サイクル + 4 バイトごとに 1（64 バイトの場合、PCLKA で最大 20 サイクル）

注. この機能は、クラシカル CAN 機能では使用できません。

32.2.25 CFDRFCCa : RX FIFO コンフィグレーション／コントロールレジスタ a (a = 0, 1)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x003C + 0x04 × a

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RFIGCV[2:0]			RFIM	—	RFDC[2:0]			—	RFPLS[2:0]			—	—	RFIE	RFE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RFE	RX FIFO 許可 0: FIFO 禁止 1: FIFO 許可	R/W
1	RFIE	RX FIFO 割り込み許可 0: FIFO 割り込み発生禁止 1: FIFO 割り込み発生許可	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
6:4	RFPLS[2:0](注1)	Rx FIFO ペイロードデータサイズコンフィグレーション 0 0 0: 8 バイト 0 0 1: 12 バイト 0 1 0: 16 バイト 0 1 1: 20 バイト 1 0 0: 24 バイト 1 0 1: 32 バイト 1 1 0: 48 バイト 1 1 1: 64 バイト	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	RFDC[2:0]	RX FIFO 容量設定 0 0 0: FIFO 容量 = 0 メッセージ 0 0 1: FIFO 容量 = 4 メッセージ 0 1 0: FIFO 容量 = 8 メッセージ 0 1 1: FIFO 容量 = 16 メッセージ 1 0 0: FIFO 容量 = 32 メッセージ 1 0 1: FIFO 容量 = 48 メッセージ 1 1 0: 予約 1 1 1: 予約	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	RFIM	RX FIFO 割り込みモード 0: RX FIFO カウンタが、RFIGCV より小さい値から RFIGCV に達したとき割り込み発生 1: 各受信メッセージの格納終了時に割り込み発生	R/W
15:13	RFIGCV[2:0]	RX FIFO 割り込み発生カウンタ値 0 0 0: FIFO が 1/8 フルになると割り込み発生 0 0 1: FIFO が 1/4 フルになると割り込み発生 0 1 0: FIFO が 3/8 フルになると割り込み発生 0 1 1: FIFO が 1/2 フルになると割り込み発生 1 0 0: FIFO が 5/8 フルになると割り込み発生 1 0 1: FIFO が 3/4 フルになると割り込み発生 1 1 0: FIFO が 7/8 フルになると割り込み発生 1 1 1: FIFO がフルになると割り込み発生	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. 本ビットは、クラシカル CAN 機能では使用できません。

RX FIFO コンフィグレーション／コントロールレジスタは、2 つの RX FIFO を設定および制御するのに使用されます。

RFE ビット（RX FIFO 許可）

RFE ビットは、FIFO を許可します。本ビットを 0 にすると、RX FIFO がクリアされエンプティになります。

CANFD モジュールが GL_HALT モードまたは GL_OPERATION の場合のみ、本ビットへの書き込みを行ってください。

本ビットは、設定された FIFO の容量が 0x000 より大きい (CFDRFCCa.RFDC > 0x000)、かつ 0x110 より小さい場合のみ 1 に設定できます。

RFE ビットは、CFDRFCCa レジスタの他のビットが全部 1 に設定された後、CFDRFCCa レジスタに個別に書き込んで 1 に設定してください。

本ビットは、CANFD モジュールが GL_RESET モードのときに自動的にクリアされます。

RFIE ビット（RX FIFO 割り込み許可）

RFIE ビットは、FIFO 割り込みの発生を許可します。

CANFD モジュールが GL_SLEEP モードの場合は、本ビットへの書き込みは行わないでください。

RFPLS[2:0]ビット（Rx FIFO ペイロードデータサイズコンフィグレーション）

RFPLS[2:0]ビットは、RAM 内のメッセージデータペイロード割り当てを定義します。

これは、本 FIFO が受信できる最大バイト数です。

CANFD モジュールが GL_RESET モードの場合のみ、本ビットへの書き込みを行ってください。

注. 本ビットは、クラシカル CAN 機能では使用できません。

RFDC[2:0]ビット（RX FIFO 容量設定）

RFDC[2:0]ビットは、FIFO 容量をメッセージ数で選択します。FIFO 容量が 0 メッセージに設定されている場合、FIFO は使用できません。

CANFD モジュールが GL_RESET モードの場合のみ、本ビットへの書き込みを行ってください。

RFIM ビット（RX FIFO 割り込みモード）

RFIM ビットは、FIFO の割り込み発生条件を選択します。

CANFD モジュールが GL_SLEEP モードの場合は、本ビットへの書き込みは行わないでください。

CANFD モジュールが GL_RESET モードの場合のみ、本ビットへの書き込みを行ってください。

RFIGCV[2:0]ビット（RX FIFO 割り込み発生カウンタ値）

RFIGCV[2:0]ビットは、FIFO 割り込みを発生させる FIFO のカウンタ値を選択します。これらの値は、割り込みが発生する FIFO 容量の分数を表します。

CANFD モジュールが GL_SLEEP モードの場合は、本ビットへの書き込みは行わないでください。

RFIGCV[2:0]ビットの設定は、RFDC[2:0]ビットと同期している必要があります。

CANFD モジュールが GL_RESET モードの場合のみ、本ビットへの書き込みを行ってください。

32.2.26 CFDRFSTSa : RX FIFO ステータスレジスタ a（a = 0, 1）

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0044 + 0x04 × a

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	RFMC[5:0]						—	—	—	—	RFIF	RFMLT	RFFLL	RFEMP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	RFEMP	RX FIFO エンプティ 0: FIFO はエンプティではない 1: FIFO はエンプティ	R
1	RFFLL	RX FIFO フル 0: FIFO はフルではない 1: FIFO はフル	R
2	RFMLT	RX FIFO メッセージロスト 0: FIFO メッセージロスト発生なし 1: FIFO メッセージロスト発生あり	R/W
3	RFIF	RX FIFO 割り込みフラグ 0: FIFO 割り込み条件は成立していない 1: FIFO 割り込み条件は成立している	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:8	RFMC[5:0]	RX FIFO メッセージ数 FIFO に格納されているメッセージ数	R

ビット	シンボル	機能	R/W
31:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

RX FIFO ステータスレジスタは、対応する FIFO バッファに格納されているメッセージの状態を示します。

RFEMP ビット（RX FIFO エンプティ）

RFEMP ビットは、以下の場合自動的に 1 になります。

- RFMC ビットが 0 のとき
- CFDRFCCa.RFE ビットを 0 に設定することにより RX FIFO が禁止されたとき
- CANFD モジュールが GL_RESET モードであるとき

RFEMP ビットは、最初のメッセージが RX FIFO バッファに格納されると自動的にクリアされます。

RFFLL ビット（RX FIFO フル）

RFFLL ビットは、FIFO バッファに格納されている CAN メッセージ数が設定されている FIFO 容量と一致すると自動的に 1 になります。

RFFLL ビットは以下の場合自動的にクリアされます。

- FIFO バッファに格納されている CAN メッセージ数が設定されている FIFO 容量以下になったとき
- CFDRFCCa.RFE ビットを 0 に設定することにより RX FIFO が禁止されたとき
- CANFD モジュールが GL_RESET モードであるとき

RFMLT ビット（RX FIFO メッセージロスト）

CANFD モジュールが GL_HALT モードまたは GL_OPERATION の場合のみ RFMLT ビットへの書き込みを行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

本ビットは、FIFO がすでに満杯のときに格納しようとしたことにより、メッセージが失われた場合、自動的に 1 になります。CAN チャネルからの設定と書き込みによるクリアが同時に起きた場合は、ビットは 1 に設定されます。

本ビットは以下の場合クリアされます。

- 0 を書いたとき
- CANFD モジュールが GL_RESET モードであるとき

RFIF ビット（RX FIFO 割り込みフラグ）

RFIF ビットは、設定されている割り込み条件が成立すると自動的に 1 になります。本ビットは、RX FIFO バッファが禁止されると自動的にクリアされます。

CANFD モジュールが GL_HALT モードまたは GL_OPERATION の場合のみ本ビットへの書き込みを行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

CAN チャネルからの設定と書き込みによるクリアが同時に起きた場合は、本ビットは 1 に設定されます。

本ビットは、0 を書き込むことによってクリアされます。本ビットは、CANFD モジュールが GL_RESET モードのときも自動的にクリアされます。

RFMC[5:0]ビット（RX FIFO メッセージ数）

RFMC[5:0]ビットは、CPU が読み出し可能な RX FIFO バッファに格納されている CAN メッセージ数を示します。

これらのビットは、FIFO が禁止され、CANFD モジュールが GL_RESET モードのとき自動的にクリアされます。

32.2.27 CFDRFPCTRa : RX FIFO ポインタコントロールレジスタ a（a = 0、1）

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x004C + 0x04 × a

Bit position:	31																						7							0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RFPC[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	RFPC[7:0]	RX FIFO ポインタ制御 対応する RX FIFO バッファの読み出しポインタをインクリメントします。	W
31:8	—	書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

RX FIFO ポインタコントロールレジスタ使って、対応する RX FIFO バッファの読み出しポインタをインクリメントできます。

RFPC ビット（RX FIFO ポインタ制御）

値 0xFF が RFPC ビットに書き込まれると、対応する RX FIFO バッファのポインタが次の FIFO エントリに移されます。対応する RX FIFO バッファが許可されておりエンプティでない場合のみ、これらのレジスタには 0xFF を書き込んでください。

読み取り値は常に 0x00 です。

CANFD モジュールが GL_HALT モードまたは GL_OPERATION モードの場合のみこれらのビットへの書き込みを行ってください。

DMA 有効時、RX FIFO ポインタコントロールレジスタに書き込まないでください。

32.2.28 CFDCFCC : 共通 FIFO コンフィグレーション／コントロールレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0054

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CFITT[7:0]								CFDC[2:0]			—	—	—	CFTML[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CFIGCV[2:0]			CFIM	CFITR	CFITSS	—	CFM	—	CFPLS[2:0]			—	CFTXIE	CFRXIE	CFE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CFE	共通 FIFO 許可 0: FIFO 禁止 1: FIFO 許可	R/W
1	CFRXIE	共通 FIFO RX 割り込み許可 0: フレーム RX に対して FIFO 割り込み発生を禁止 1: フレーム RX に対して FIFO 割り込み発生を許可	R/W
2	CFTXIE	共通 FIFO TX 割り込み許可 0: フレーム TX に対して FIFO 割り込み発生を禁止 1: フレーム TX に対して FIFO 割り込み発生を許可	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
6:4	CFPLS[2:0](注1)	共通 FIFO ペイロードデータサイズコンフィグレーション 0 0 0: 8 バイト 0 0 1: 12 バイト 0 1 0: 16 バイト 0 1 1: 20 バイト 1 0 0: 24 バイト 1 0 1: 32 バイト 1 1 0: 48 バイト 1 1 1: 64 バイト	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	CFM	共通 FIFO モード 0: RX FIFO モード 1: TX FIFO モード	R/W
9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	CFITSS	共通 FIFO インターバルタイマソース選択 0: 基準クロック（× 1 / × 10 期間） 1: 関連チャネルのビットタイムクロック（FIFO は固定チャネルにリンク付け）	R/W
11	CFITR	共通 FIFO インターバルタイマ分解能 0: 基準クロック期間 × 1 1: 基準クロック期間 × 10	R/W
12	CFIM	共通 FIFO 割り込みモード 0: RX FIFO モード：共通 FIFO カウンタが下位の値から CFIGCV 値に達したときに RX 割り込み発生 TX FIFO モード：共通 FIFO が最後のメッセージ送信に成功したとき TX 割り込み発生 1: RX FIFO モード：各受信メッセージの格納終了時に RX 割り込み発生 TX FIFO モード：メッセージ送信成功ごとに割り込み発生	R/W
15:13	CFIGCV[2:0]	共通 FIFO 割り込み発生カウンタ値 0 0 0: FIFO が 1/8 フルになると割り込み発生 0 0 1: FIFO が 1/4 フルになると割り込み発生 0 1 0: FIFO が 3/8 フルになると割り込み発生 0 1 1: FIFO が 1/2 フルになると割り込み発生 1 0 0: FIFO が 5/8 フルになると割り込み発生 1 0 1: FIFO が 3/4 フルになると割り込み発生 1 1 0: FIFO が 7/8 フルになると割り込み発生 1 1 1: FIFO がフルになると割り込み発生	R/W
17:16	CFTML[1:0]	共通 FIFO TX メッセージバッファリンク 対応するチャネルの送信スキャンリンク位置	R/W
20:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:21	CFDC[2:0]	共通 FIFO 容量構成 0 0 0: FIFO 容量 = 0 メッセージ 0 0 1: FIFO 容量 = 4 メッセージ 0 1 0: FIFO 容量 = 8 メッセージ 0 1 1: FIFO 容量 = 16 メッセージ 1 0 0: FIFO 容量 = 32 メッセージ 1 0 1: FIFO 容量 = 48 メッセージ 1 1 0: FIFO 容量 = 予約 1 1 1: FIFO 容量 = 予約	R/W
31:24	CFITT[7:0]	共通 FIFO インターバル送信時間 TX モードに設定時 FIFO からの送信開始を遅らせます。遅延は、基本インターバルタイマクロックソース単位の倍数です。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. これらのビットは、クラシカル CAN 機能では使用できません。

CFE ビット（共通 FIFO 許可）

CFE ビットを 1 にすると、FIFO が許可されます。CFE ビットを 0 にクリアすると、FIFO が禁止されます。

本ビットを 0 にクリアすることにより、TX モードに設定時共通 FIFO からの送信をアボートしたり、RX モードに設定時共通 FIFO への受信を停止するのにも使用されます。

本ビットへの書き込みは、CANFD モジュールが GL_HALT モードか GL_OPERATION モードで、かつ関連する CANFD チャネルが TX FIFO として設定されている FIFO に対して CH_RESET モードでない場合のみ行ってください。

本ビットは、設定された FIFO 容量が 0x000 より大きい (CFDCFCC.CFDC > 0x000)、かつ 0x110 より小さい (0x110 > CFDCFCC.CFDC > 0x000) 場合のみ 1 に設定できます。

CFE ビットは、本レジスタの他のビットが全部 1 に設定された後、CFDCFCC レジスタに個別に書き込んで 1 に設定してください。

本ビットは、CANFD モジュールが GL_RESET モードのとき自動的にクリアされます。

本ビットは、FIFO が TX モードに設定されている場合、関連するチャネルが CH_RESET モードのときも自動的にクリアされます。

CFRXIE ビット（共通 FIFO RX 割り込み許可）

CFRXIE ビットは、対応する FIFO バッファでフレームを受信後に割り込みフラグが設定されると FIFO 割り込み発生を許可します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

CFTXIE ビット（共通 FIFO TX 割り込み許可）

CFTXIE ビットは、対応する FIFO バッファからフレームを送信後に割り込みフラグが設定されると共通 FIFO 割り込み発生を許可します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

CFPLS[2:0]ビット（共通 FIFO ペイロードデータサイズコンフィグレーション）

CFPLS[2:0]ビットは、RAM 内のメッセージデータペイロード割り当てを定義します。これは、FIFO バッファが送受信できる最大バイト数です。

詳細は、「32.6. FIFO バッファと通常のメッセージバッファの構成」を参照してください。

CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

注. これらのビットは、クラシカル CAN 機能では使用できません。

CFM ビット（共通 FIFO モード）

CFM ビットは、FIFO のモードを選択します。ハードウェアリセットが適用されると、共通 FIFO バッファはすべて RX FIFO モードに設定されます。

GL_OPERATION モードまたは GL_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

CFITSS ビット（共通 FIFO インターバルタイマソース選択）

CFITSS ビットは、インターバル送信タイマの基本クロックソースを選択します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。また、CFE ビットが 1 の場合も本ビットに書き込まないでください。

CANFD 通信使用時に本ビットに 1 を書き込まないでください。(注1)

注. ビットタイムクロックは、公称およびデータレートビット設定に応じて変わります。

注 1. この機能は、クラシカル CAN 機能では使用できません。

CFITR ビット（共通 FIFO インターバルタイマ分解能）

CFITR ビットは、インターバル送信タイマの基準クロックの分解能を選択します（周辺クロックが基準クロックのソースです）。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。また、CFE ビットが 1 の場合も本ビットに書き込まないでください。

CFIM ビット（共通 FIFO 割り込みモード）

CFIM ビットは、FIFO バッファの割り込み発生条件を選択します。

GL_SLEEP モードのとき、本ビットに書き込まないでください。

CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

CFIGCV[2:0]ビット（共通 FIFO 割り込み発生カウンタ値）

CFIGCV[2:0]ビットは、FIFO 割り込み発生のメッセージカウンタ値を選択します。これらの値は、割り込み発生対象の FIFO 容量の分数を表します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

これらのビットの設定は、CFDC[2:0]ビットと同期している必要があります。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

CFTML[1:0]ビット（共通 FIFO TX メッセージバッファリンク）

CFTML[1:0]ビットは、送信スキャン用に、TX FIFO のリンク先である通常の送信メッセージバッファ位置を選択します。

GL_OPERATION モードまたは GL_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

CFDC[2:0]ビット（共通 FIFO 容量構成）

CFDC[2:0]ビットは、共通 FIFO の容量をメッセージ数で選択します。FIFO 容量が 0 メッセージに設定されている場合、FIFO は使用できません。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

CFITT[7:0]ビット（共通 FIFO インターバル送信時間）

CFITT[7:0]ビットは、TX モードに設定時、本 FIFO バッファから送信される全メッセージの送信開始遅延を選択します。遅延は、基本インターバルタイマクロックソース期間の倍数です（基準クロック × 1、基準クロック × 10、または関連 CAN チャネルのビットタイムクロック）。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

CFE ビットが 1 のとき、これらのビットに書き込まないでください。

CFDGCFG.ITRCP[15:0] = 0x0000 のとき、CFITT[7:0]ビットは 0x0000 に設定してください。

32.2.29 CFDCFSTS : 共通 FIFO ステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0058

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	CFMC[5:0]						—	—	—	CFTXIF	CFRXIF	CFMLT	CFFLL	CFEMP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	CFEMP	共通 FIFO エンプティ 0: FIFO はエンプティではない 1: FIFO はエンプティ	R
1	CFFLL	共通 FIFO フル 0: FIFO はフルではない 1: FIFO はフル	R

ビット	シンボル	機能	R/W
2	CFMLT	共通 FIFO メッセージロスト 0: FIFO で失われたメッセージ数 1: FIFO メッセージロスト発生あり	R/W
3	CFRXIF	共通 RX FIFO 割り込みフラグ 0: フレーム受信後 FIFO 割り込み条件が不成立 1: フレーム受信後 FIFO 割り込み条件が成立	R/W
4	CFTXIF	共通 TX FIFO 割り込みフラグ 0: フレーム送信後 FIFO 割り込み条件が不成立 1: フレーム送信後 FIFO 割り込み条件が成立	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:8	CFMC[5:0]	共通 FIFO メッセージ数 FIFO に格納されているメッセージ数	R
31:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

CFEMP ビット（共通 FIFO エンプティ）

CFEMP ビットは、以下の場合自動的に 1 になります。

- CPU が RX モードに設定されている FIFO からのメッセージをすべて読み出したとき
- すべてのメッセージが TX モードに設定されている FIFO から送信されたとき
- CFE ビットを 0 に設定することにより FIFO が禁止されているとき
- CANFD モジュールが GL_RESET モードであるとき
- FIFO が TX モードに設定されているときに、関連する CANFD チャネルが CH_RESET モードであるとき

CFEMP ビットは、以下の場合自動的にクリアされます。

- RX モードに設定時最初の受信メッセージが FIFO バッファに格納されたとき
- TX モードに設定時最初の送信メッセージが FIFO バッファに格納されたとき

CFFLL ビット（共通 FIFO フル）

CFFLL ビットは、FIFO に格納されている CAN メッセージ数が設定されている FIFO 容量と一致すると自動的に 1 になります。

CFFLL ビットは、以下の場合自動的にクリアされます。

- FIFO に格納されている CAN メッセージ数が設定されている FIFO 容量以下になったとき
- CFE ビットを 0 に設定することにより FIFO が禁止されているとき
- CANFD モジュールが GL_RESET モードであるとき
- FIFO バッファが TX モードに設定されているときに、関連する CANFD チャネルが CH_RESET モードであるとき

CFMLT ビット（共通 FIFO メッセージロスト）

CFMLT ビットは、RX モードで FIFO がすでに満杯のときに新しいメッセージを格納しようとしたことにより、メッセージが失われた場合、自動的に 1 になります。

CAN チャネルからの設定と書き込みによるクリアが同時に起きた場合は、本ビットは 1 に設定されます。

本ビットへの書き込みは、CANFD モジュールが GL_HALT モードか GL_OPERATION モードで、かつ関連する CANFD チャネルが TX FIFO として設定されている FIFO に対して CH_RESET モードでない場合のみ行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

CFMLT ビットは以下の場合クリアされます。

- 0 を書いたとき

- CANFD モジュールが GL_RESET モードであるとき
- FIFO バッファが TX モードに設定されている場合に、関連する CANFD チャネルが CH_RESET モードであるとき

CFRXIF ビット（共通 RX FIFO 割り込みフラグ）

CFRXIF ビットは、共通 FIFO バッファが禁止されても自動的にクリアされません。

本ビットへの書き込みは、CANFD モジュールが GL_HALT モードか GL_OPERATION モードで、かつ関連する CANFD チャネルが TX FIFO として設定されている FIFO に対して CH_RESET モードでない場合のみ行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

本ビットは、RX モードに設定されているときに、共通 FIFO バッファに設定されている割り込み条件が成立したとき自動的に 1 になります。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

CFRXIF ビットは以下の場合クリアされます。

- 0 を書いたとき
- CANFD モジュールが GL_RESET モードであるとき

CFTXIF ビット（共通 TX FIFO 割り込みフラグ）

CFTXIF ビットは、共通 FIFO バッファが禁止されても自動的にクリアされません。

本ビットへの書き込みは、CANFD モジュールが GL_HALT モードか GL_OPERATION モードで、かつ関連する CANFD チャネルが TX FIFO として設定されている FIFO バッファに対して CH_RESET モードでない場合のみ行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

本ビットは、TX モードに設定されている共通 FIFO バッファに対して設定されている割り込み条件が成立したとき自動的に 1 になります。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

CFTXIF ビットは以下の場合クリアされます。

- 0 を書いたとき
- CANFD モジュールが GL_RESET モードであるとき
- FIFO バッファが TX モードに設定されている場合に、関連する CANFD チャネルが CH_RESET モードであるとき

CFMC[5:0]ビット（共通 FIFO メッセージ数）

CFMC[5:0]ビットは以下を示します。

- TX モードに設定されている FIFO バッファ内で送信を待っている、CPU により格納された CAN メッセージ数
- RX モードに設定されている FIFO バッファ内で CPU 読み出しを待っている、CANFD モジュールにより格納された CAN メッセージ数

CFMC[5:0]ビットは、以下の場合自動的にクリアされます。

- FIFO が禁止されているとき
- CANFD モジュールが GL_RESET モードであるとき
- FIFO バッファが TX モードに設定されている場合に、関連する CANFD チャネルが CH_RESET モードであるとき

32.2.30 CFDCFPCTR : 共通 FIFO ポインタコントロールレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x005C

Bit position:	31																						7	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CFPC[7:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	CFPC[7:0]	共通 FIFO ポインタ制御 モード設定により、対応する共通 FIFO バッファの読み出し／書き込みポインタをインクリメントします。	W
31:8	—	書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

共通 FIFO ポインタコントロールレジスタを使って、対応する共通 FIFO バッファの読み出し／書き込みポインタをインクリメントできます。

CFPC[7:0]ビット（共通 FIFO ポインタ制御）

値 0xFF が CFPC[7:0]ビットに書き込まれると、（RX モードに設定時）対応する共通 FIFO バッファの読み出しポインタ、または（TX モードに設定時）対応する FIFO バッファの書き込みポインタが次の FIFO エントリに移動します。

読み取り値は常に 0x00 です。

CANFD モジュールが GL_HALT モードまたは GL_OPERATION モードの場合のみこれらのビットへの書き込みを行ってください。

以下の場合のみ本レジスタに 0xFF を書き込んでください。

- RX モードに設定されている場合、共通 FIFO バッファが許可されており、エンプティではないとき
- TX モードに設定されている場合、共通 FIFO バッファが許可されており、満杯ではないとき

DMA 有効時、共通 FIFO ポインタコントロールレジスタに書き込まないでください。

32.2.31 CFDFESTS : FIFO エンプティステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0060

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFEMP	—	—	—	—	—	—	RFXEMP[1:0]	
Value after reset:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
1:0	RFXEMP[1:0]	RX FIFO 空ステータス 0: 対応 FIFO はエンプティではない 1 : 対応 FIFO はエンプティ	R
7:2	—	読むと 0 が読めます。	R

ビット	シンボル	機能	R/W
8	CFEMP	共通 FIFO 空ステータス 0: 対応 FIFO はエンプティではない 1 : 対応 FIFO はエンプティ	R
31:9	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

FIFO エンプティステータスレジスタは、FIFO バッファのエンプティビットの状態を示します。

RFXEMP[1:0]ビット（RX FIFO 空ステータス）

RFXEMP[1:0]ビットは、CANFD モジュールが GL_RESET モードのときにセットされます。

各ビットは、RX FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。

各ビットは、RX FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

CFEMP ビット（共通 FIFO 空ステータス）

CFEMP ビットは、CANFD モジュールが GL_RESET モードのときにセットされます。

各ビットは、共通 FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。

各ビットは、共通 FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

32.2.32 CFDFFSTS : FIFO フルステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0064

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFFLL	—	—	—	—	—	—	RFXFLL[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	RFXFLL[1:0]	RX FIFO フルステータス 0: 対応 FIFO はフルではない 1: 対応 FIFO はフル	R
7:2	—	読むと 0 が読めます。	R
8	CFFLL	共通 FIFO フルステータス 0: 対応 FIFO はフルではない 1: 対応 FIFO はフル	R
31:9	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

FIFO フルステータスレジスタは、FIFO バッファのフルビットの状態を示します。

RFXFLL[1:0]ビット（RX FIFO フルステータス）

RFXFLL[1:0]ビットは、CANFD モジュールが GL_RESET モードのときにクリアされます。

各ビットは、RX FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。

各ビットは、RX FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

CFFLL ビット（共通 FIFO フルステータス）

CFFLL ビットは、CANFD モジュールが GL_RESET モードのときにクリアされます。

各ビットは、共通 FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。
各ビットは、共通 FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

32.2.33 CFDFMSTS : FIFO メッセージロストステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0068

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFMLT	—	—	—	—	—	—	RFXMLT[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	RFXMLT[1:0]	RX FIFO メッセージロストステータス 0: 対応する FIFO メッセージロストフラグが設定されていない 1 : 対応する FIFO メッセージロストフラグが設定されている	R
7:2	—	読むと 0 が読めます。	R
8	CFMLT	共通 FIFO メッセージロストステータス 0: 対応する FIFO メッセージロストフラグが設定されていない 1 : 対応する FIFO メッセージロストフラグが設定されている	R
31:9	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

FIFO メッセージロストステータスレジスタは、FIFO バッファのメッセージロストビットの状態を示します。

RFXMLT[1:0]ビット（RX FIFO メッセージロストステータス）

RFXMLT[1:0]ビットは、CANFD モジュールが GL_RESET モードのときクリアされます。
各ビットは、RX FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。
各ビットは、RX FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

CFMLT ビット（共通 FIFO メッセージロストステータス）

CFMLT ビットは、CANFD モジュールが GL_RESET モードのときクリアされます。
各ビットは、共通 FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。
各ビットは、共通 FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

32.2.34 CFDRFISTS : RX FIFO 割り込みフラグステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x006C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RFXIF[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	RFXIF[1:0]	RX FIFO[x]割り込みフラグステータス 0: 対応する RX FIFO 割り込みフラグが設定されていない 1: 対応する RX FIFO 割り込みフラグが設定されている	R
31:2	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

FIFO 割り込みフラグステータスレジスタは、RX FIFO バッファの割り込みフラグビットの状態を示します。

RFXIF[1:0]ビット（RX FIFO[x]割り込みフラグステータス）

各ビットは、RX FIFO ステータスレジスタの対応する割り込みフラグビットを 1 にすると自動的に 1 になります。

RFXIF[1:0]ビットは、CANFD モジュールが GL_RESET モードのときクリアされます。

各ビットは、RX FIFO ステータスレジスタの対応する割り込みフラグビットがクリアされると自動的にクリアされます。

32.2.35 CFDCDTCT : DMA 転送コントロールレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x00C8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFDMAE	—	—	—	—	—	—	RFDMAE1	RFDMAE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RFDMAE0	RXFIFO 0 の DMA 転送許可 0: DMA 転送要求を禁止 1: DMA 転送要求を許可	R/W
1	RFDMAE1	RXFIFO 1 の DMA 転送許可 0: DMA 転送要求を禁止 1: DMA 転送要求を許可	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
8	CFDMAE	共通 FIFO 0 の DMA 転送許可 0: DMA 転送要求を禁止 1: DMA 転送要求を許可	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

DMA 転送コントロールレジスタは、DMA 転送動作の開始と停止を制御します。

RFDMAEe（e = 0, 1）ビット（RXFIFOe の DMA 転送許可）

RFDMAEe ビットは GL_SLEEP モードまたは GL_RESET モードでは設定できません。

本ビットは、CANFD モジュールが GL_RESET モードのときクリアされます。

CFDMAE ビット（共通 FIFO の DMA 転送許可）

CFDMAE ビットは、共通 FIFO に対して DMA 転送要求を許可または禁止します。

CFDMAE ビットは GL_SLEEP モードまたは GL_RESET モードでは設定できません。

TX FIFO として設定されている共通 FIFO に対して DMA 転送を許可しないでください。

本ビットは、CANFD モジュールが GL_RESET モードのときクリアされます。

32.2.36 CFDCDTSTS : DMA 転送ステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x00CC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFDMASTS	—	—	—	—	—	—	RFDMASTS1	RFDMASTS0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RFDMASTS0	RX FIFO 0 の DMA 転送ステータス 0: DMA 転送停止 1: DMA 転送実行中	R
1	RFDMASTS1	RX FIFO 1 の DMA 転送ステータス 0: DMA 転送停止 1: DMA 転送実行中	R
7:2	—	読むと 0 が読めます。	R
8	CFDMASTS	共通 FIFO のみの DMA 転送ステータス 0: DMA 転送停止 1: DMA 転送実行中	R
31:9	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

DMA 転送ステータスレジスタは、DMA 転送の状態を示します。

RFDMASTSe（e = 0、1）ビット（RX FIFO e の DMA 転送ステータス)

各ビットは、対応する DMA 許可ビットが設定され、対応する DMA FIFO がエンプティでない場合自動的に 1 になります。

各ビットは、DMA が禁止されるか DMA FIFO がエンプティになったため DMA 転送が停止すると自動的にクリアされます。

対応する FIFO に対して DMA 転送実行中に CFDCDTCT.RFDMAEe（「32.2.35. CFDCDTCT : DMA 転送コントロールレジスタ」の CFDCDTCT.RFDMAEe ビット参照）が 0 に設定されると、DMA 転送完了時 RFDMASTSe ビットは 0 になります。

本ビットは、CANFD モジュールが GL_RESET モードのときにクリアされます。

CFDMASTS ビット（共通 FIFO のみの DMA 転送ステータス）

各ビットは、対応する DMA 許可ビットが設定され、対応する DMA FIFO がエンプティでない場合自動的に 1 になります。

各ビットは、DMA が禁止されるか DMA FIFO がエンプティになったため DMA 転送が停止すると自動的にクリアされます。

対応する FIFO に対して DMA 転送実行中に CFDCDTCT.CFDMAE（「32.2.35. CFDCDTCT : DMA 転送コントロールレジスタ」の CFDCDTCT.CFDMAE ビット参照）が 0 に設定されると、DMA 転送完了時 CFDMASTS ビットは 0 になります。

本ビットは、CANFD モジュールが GL_RESET モードのときにクリアされます。

32.2.37 CFDTMCi : TX メッセージバッファコントロールレジスタ i (i = 0～3)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0070 + 0x01 × i

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	TMOM	TMTAR	TMTR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TMTR	TX メッセージバッファ送信要求 0: TX メッセージバッファ送信の要求なし 1: TX メッセージバッファ送信の要求あり	R/W
1	TMTAR	TX メッセージバッファ送信アボート要求 0: TX メッセージバッファ送信要求アボートの要求なし 1: TX メッセージバッファ送信要求アボートの要求あり	R/W
2	TMOM	TX メッセージバッファワンショットモード 0: TX メッセージバッファはワンショットモードに設定されていない 1: TX メッセージバッファはワンショットモードに設定されている	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

TX メッセージバッファコントロールレジスタは、TX メッセージバッファ機能を設定します。

TMTR ビット（TX メッセージバッファ送信要求）

TMTR ビットを 1 にすると、CANFD モジュールロジックは、対応するメッセージバッファに格納されているメッセージの送信を試みます。

関連する CANFD モジュールが CH_HALT モードまたは CH_OPERATION モードの場合のみ、本ビットへの書き込みを行ってください。

対応する TX メッセージバッファが TX モードの COM FIFO にリンクされている、または TX キューの一部である場合、本ビットを 1 にしないでください。

本ビットは、CPU 書き込みによる直接クリアはできません。

本ビットは、メッセージバッファに対応する CFDTMSTSj レジスタの送信結果フラグビット (CFDTMSTSj.TMTRF) が 00b にクリアされた場合のみ 1 にできます。

TMTR ビットは、以下により自動的にクリアされます。

- 送信成功後の CANFD モジュールロジック
- 対応する CFDTMCi.TMTAR ビットにより要求された、送信アボート完了後の CANFD モジュールロジック
- メッセージバッファに対して CFDTMCi.TMOM ビットが設定されている場合、CAN バスエラーまたはアービトレーションロスト検出時の CANFD モジュールロジック
- CANFD モジュールが GL_RESET モードまたは関連するチャネルが CH_RESET モードの場合の CANFD モジュールロジック

TMTAR ビット（TX メッセージバッファ送信アボート要求）

TMTAR ビットを 1 にすると、CANFD モジュールロジックは、対応するメッセージバッファに格納されているフレーム送信のアボートを試みます。

多くの場合、送信のための内部スキャンが完了し、メッセージバッファがすでに送信用に選択済みの場合、送信はアボートできません。この場合、フレームはメッセージバッファからの送信に成功する可能性があります。メッセージバッファの選択は、CH_HALT モードになると解除されます。

しかしながら、CAN ノードが、選択されたメッセージバッファから送信を開始する前にバス（RX 端子）上に新しいメッセージを検出した場合、送信用に選択されたメッセージバッファはアボート要求によりアボート可能です。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ、TMTAR ビットへの書き込みを行ってください。本ビットは、関連する送信要求 TMTR ビットが 1 の場合のみ、1 にすることができます。

TMTAR ビットは、CPU 書き込みによるクリアはできません。CANFD による本ビットのクリアは、CPU 書き込みによる設定に優先されます。

TMTAR ビットは、以下により自動的にクリアされます。

- 送信成功後の CANFD モジュールロジック
- 送信アボート後の CANFD モジュールロジック
- CAN バスエラーまたはアービトレーションロスト検出時の CANFD モジュールロジック
- CANFD モジュールが GL_RESET モードまたは関連するチャネルが CH_RESET モードに遷移した場合の CANFD モジュールロジック

TMOM ビット（TX メッセージバッファワンショットモード）

TMOM ビットを 1 にすると、CANFD モジュールロジックはメッセージの送信を 1 回だけ試みます。

送信に成功すると、CFDTMSTSj.TMTRF ビットは 10b または 11b に設定されます。バスエラーまたはバスアービトレーションロストにより送信に失敗した場合、送信は自動的にアボートされ、CFDTMSTSj.TMTRF ビットは 01b に設定されます。

送信成功時またはエラーやアービトレーションロストによりアボートされた場合、TMOM ビットは 1 のままです。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ、本ビットへの書き込みを行ってください。

本ビットは、TMTR ビットと同時に設定してください。また、本ビットのクリアは書き込みで行ってください。

あるメッセージの送信がすでに要求されている場合、そのメッセージ送信が成功するかアボートされるまで本ビットに書き込みを行わないでください。

TMOM ビットは、CANFD モジュールが GL_RESET モードまたは関連するチャネルが CH_RESET モードの場合、CANFD モジュールロジックにより自動的にクリアされます。

32.2.38 CFDTMSTSj : TX メッセージバッファステータスレジスタ j (j = 0～3)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0074 + 0x01 × j

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TMTARM	TMTRM	TMTRF[1:0]		TMTSTS
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TMTSTS	TX メッセージバッファ送信ステータス 0: 実行中の送信なし 1: 送信実行中	R
2:1	TMTRF[1:0]	TX メッセージバッファ送信結果フラグ 0 0: 結果なし 0 1: TX メッセージバッファからの送信アボート 1 0: TX メッセージバッファからの送信成功かつ送信アボートの要求なし 1 1: TX メッセージバッファからの送信成功かつ送信アボートの要求あり	R/W
3	TMTRM	TX メッセージバッファ送信要求のミラー 0: TX メッセージバッファ送信の要求なし 1: TX メッセージバッファ送信の要求あり	R
4	TMTARM	TX メッセージバッファ送信アボート要求のミラー 0: TX メッセージバッファ送信要求アボートの要求なし 1: TX メッセージバッファ送信要求アボートの要求あり	R
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

TX メッセージバッファステータスレジスタは、対応するメッセージバッファの送信状態および送信アボートの状態を示します。

TMTSTS ビット（TX メッセージバッファ送信ステータス）

TMTSTS ビットは、対応する TX メッセージバッファからの送信開始で自動的に 1 になります。

本ビットは以下の場合に自動的にクリアされます。

- 送信が停止したとき
- CANFD モジュールが GL_RESET モードであるとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

TMTRF[1:0]ビット（TX メッセージバッファ送信結果フラグ）

TMTRF[1:0]ビットは、対応する TX メッセージバッファの結果を示します。状態は以下のとおりです。

- 00: 送信実行中または要求されてない
- 01: 対応する TX メッセージバッファからの送信アボート
- 10: 対応する TX メッセージバッファからの送信が成功し、本 TX メッセージバッファに対して CFDTMCi.TMTAR ビットが 1 ではない
- 11: 対応する TX メッセージバッファからの送信が成功したが、本 TX メッセージバッファに対して CFDTMCi.TMTAR ビットが 1 である

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ、これらのビットへの書き込みを行ってください。

CANFD モジュールが GL_RESET モードになるか、関連するチャネルが CH_RESET モードになると TMTRF[1:0] ビットは自動的にクリアされます。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合、本ビットは 1 が設定されます。

TMTRM ビット（TX メッセージバッファ送信要求のミラー）

TMTRM ビットは、対応する CFDTMCi レジスタの CFDTMCi.TMTR ビットが 1 のとき、1 になります。

本ビットは、対応する CFDTMCi レジスタの CFDTMCi.TMTR ビットがクリアされると、クリアされます。

TMTARM ビット（TX メッセージバッファ送信アボート要求のミラー）

TMTARM ビットは、対応する CFDTMCi レジスタの CFDTMCi.TMTAR ビットが 1 のとき、1 になります。

本ビットは、対応する CFDTMCi レジスタの CFDTMCi.TMTAR ビットがクリアされると、クリアされます。

32.2.39 CFDTMTRSTS : TX メッセージバッファ送信要求ステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0078

Bit position:	31																										3	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CFDTMTRSTS [3:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CFDTMTRSTS[3:0]	TX メッセージバッファ送信要求ステータス 0: 対応する TX メッセージバッファへの送信要求なし 1: 対応する TX メッセージバッファへの送信要求あり	R
31:4	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

これらのビットは、対応する TX メッセージバッファの TX メッセージバッファ送信要求ステータスを示します。CFDTMTRSTS レジスタのビット 0 は TX メッセージバッファ 0 に対応します。

CFDTMTRSTS のビット位置は、TX メッセージバッファのバッファ番号に対応します。

CFDTMTRSTS[3:0]ビット（TX メッセージバッファ送信要求ステータス）

CFDTMTRSTS[3:0]ビットは、TX メッセージバッファコントロールレジスタの CFDTMCi.TMTR ビットの状態を示します。

各ビットは、TX メッセージバッファコントロールレジスタ (CFDTMCi) の対応するビットが 1 で、メッセージバッファが TX キューに属していない場合のみ自動的に 1 になります。

各ビットは以下の場合自動的にクリアされます。

- TX メッセージバッファコントロールレジスタの対応ビットがクリアされたとき
- CANFD モジュールが GL_RESET モードであるとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

32.2.40 CFDTMTARSTS : TX メッセージバッファ送信中断要求ステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x007C

Bit position:	31																										3	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CFDTMTARSTS [3:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CFDTMTARSTS[3:0]	TX メッセージバッファ送信アボート要求ステータス 0: 対応する TX メッセージバッファへの送信アボート要求なし 1: 対応する TX メッセージバッファへの送信アボート要求あり	R
31:4	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

これらのビットは、対応する TX メッセージバッファの TX メッセージバッファ送信中断要求ステータスを示します。CFDTMTARSTS レジスタのビット 0 は TX メッセージバッファ 0 に対応します。

CFDTMTARSTS のビット位置は、TX メッセージバッファのバッファ番号に対応します。

CFDTMTARSTS[3:0]ビット（TX メッセージバッファ送信アボート要求ステータス）

CFDTMTARSTS[3:0]ビットは、TX メッセージバッファコントロールレジスタの CFDTMCi.TMTAR ビットの状態を示します。

各ビットは、TX メッセージバッファコントロールレジスタの対応するビットが 1 で、メッセージバッファが TX キューに属している場合自動的に 1 になります。

各ビットは以下の場合自動的にクリアされます。

- TX メッセージバッファコントロールレジスタの対応ビットがクリアされたとき
- CANFD モジュールが GL_RESET モードであるとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

32.2.41 CFDTMTCSTS : TX メッセージバッファ送信完了ステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0080

Bit position:	31																												3	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CFDTMTCSTS[3:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CFDTMTCSTS[3:0]	TX メッセージバッファ送信完了ステータス 0: 対応する TX メッセージバッファへの送信は完了していない 1: 対応する TX メッセージバッファへの送信は完了した	R
31:4	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

これらのビットは、対応する TX メッセージバッファに対して TX メッセージバッファの送信完了状態を示します。CFDTMTCSTS レジスタのビット 0 は、TX メッセージバッファ 0 に対応します。

CFDTMTCSTS のビット位置は、TX メッセージバッファのバッファ番号に対応します。

CFDTMTCSTS[3:0]ビット（TX メッセージバッファ送信完了ステータス）

CFDTMTCSTS[3:0]ビットは、TX メッセージバッファステータスレジスタの送信完了状態を示します。

各ビットは、TX メッセージバッファステータスレジスタの対応するビットが 1 になると自動的に 1 になります。

各ビットは以下の場合、自動的にクリアされます。

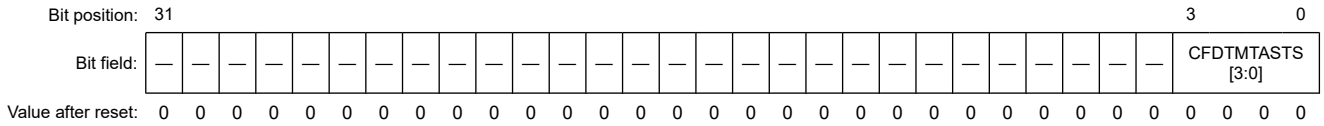
- TX メッセージバッファステータスレジスタの対応ビットがクリアされたとき
- CANFD モジュールが GL_RESET モードであるとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

CAN チャネルが CH_RESET モードになると、そのチャネルに関連するビットはクリアされます。

32.2.42 CFDTMTASTS : TX メッセージバッファ送信中断ステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0084



ビット	シンボル	機能	R/W
3:0	CFDTMTASTS[3:0]	TX メッセージバッファ送信アボートステータス 0: 対応する TX メッセージバッファへの送信はアボートしていない 1 : 対応する TX メッセージバッファへの送信がアボートした	R
31:4	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

これらのビットは、対応する TX メッセージバッファに対して TX メッセージバッファの送信アボート状態を示します。CFDTMTASTS レジスタのビット 0 は、TX メッセージバッファ 0 に対応します。

CFDTMTASTS のビット位置は、TX メッセージバッファのバッファ番号に対応します。

CFDTMTASTS[3:0]ビット（TX メッセージバッファ送信アボートステータス）

CFDTMTASTS[3:0]ビットは、対応する TX メッセージバッファの送信アボート成功状態を示します。

各ビットは､対応する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF ビットが 01b になると自動的に 1 になります。

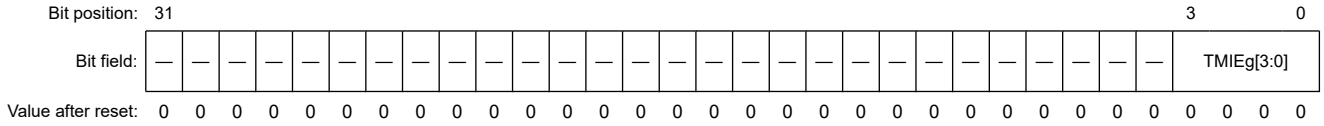
各ビットは以下の場合、自動的にクリアされます。

- 対応する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF ビットがクリアされたとき
- CANFD モジュールが GL_RESET モードであるとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

32.2.43 CFDTMIEC : TX メッセージバッファ割り込み許可コンフィグレーションレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0088



ビット	シンボル	機能	R/W
3:0	TMIEg[3:0]	TX メッセージバッファ割り込み許可 0: 対応する TX メッセージバッファに対して TX メッセージバッファ割り込みを禁止 1: 対応する TX メッセージバッファに対して TX メッセージバッファ割り込みを許可	R/W
31:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

これらのビットは、対応する TX メッセージバッファの TX メッセージバッファ割り込み許可を示します。

CFDTMIEC レジスタのビット 0 は TX メッセージバッファ 0 に対応します。

CFDTMIEC のビット位置は、TX メッセージバッファのバッファ番号に対応します。

g = [0…3]

TMIEg[3:0]ビット（TX メッセージバッファ割り込み許可）

TMIEg[3:0]ビットを 1 にすると、対応するメッセージバッファからの送信完了時に割り込みが発生します。

TX メッセージバッファ割り込みの仕様については、「32.7. 割り込みと DMA」を参照してください。

以下のとき、TMIEg[7:0]ビットに書き込まないでください。

- CANFD モジュールが GL_SLEEP モードであるとき
- 関連する CANFD チャネルが CH_SLEEP モードであるとき
- 対応する TX メッセージバッファが CFDCFCC.CFTML ビットで共通 FIFO にリンクされているとき

32.2.44 CFDTXQCC : TX キューコンフィグレーション／コントロールレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x008C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TXQDC[1:0]		TXQIM	—	TXQTXIE	—	—	—	—	TXQE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TXQE	TX キュー許可 0: TX キュー禁止 1: TX キュー許可	R/W
4:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	TXQTXIE	TX キュー TX 割り込み許可 0: TX キュー TX 割り込み禁止 1: TX キュー TX 割り込み許可	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	TXQIM	TX キュー割り込みモード 0: 最後のメッセージの送信に成功したとき 1: 各送信成功時	R/W
9:8	TXQDC[1:0]	TX キュー容量の構成 0x00: 0 メッセージ 0x01: 予約 0x10: 3 メッセージ 0x11: 4 メッセージ	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

TX キューコンフィグレーション／コントロールレジスタは、TX キュー送信を設定するのに使用されます。

TXQE が許可に設定されているとき、TXQ は、TXMB0～TXMB3（最大）から構成されています。

TXQE ビット（TX キュー許可）

TXQE ビットは、設定されている TX キュー容量が 0x00 (CFDTXQCC.TXQDC == 0x00) の場合 1 に設定できません。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

関連する CANFD チャネルが CH_RESET モードまたは CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

TXQE ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

TXQTXIE ビット（TX キュー TX 割り込み許可）

TXQTXIE ビットを 1 にすると、TXQIM ビットの設定に基づき割り込みが発生します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

関連する CANFD チャネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

TXQIM ビット（TX キュー割り込みモード）

TXQIM ビットは、TX キューの割り込み発生条件を選択します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

関連する CANFD チャネルが下記のモードのいずれかの場合、本ビットへ書き込みを行わないでください。

- CH_SLEEP
- CH_HALT
- CH_OPERATION

TXQDC[1:0]ビット（TX キュー容量の構成）

TXQDC[1:0]ビットは、送信キューの容量を指定します。メッセージバッファ選択は、設定容量に従って MB[0]から開始し、最高 MB[3]までです。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

関連する CANFD チャネルが下記のモードのいずれかの場合、本ビットへ書き込みを行わないでください。

- CH_SLEEP
- CH_HALT
- CH_OPERATION

32.2.45 CFDTXQSTS : TX キューステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0090

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	TXQMC[2:0]			—	—	—	—	—	TXQTXIF	TXQFLL	TXQEMP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	TXQEMP	TX キューエンプティ 0: TX キューはエンプティではない 1: TX キューはエンプティ	R
1	TXQFLL	TX キューフル 0: TX キューはフルではない 1: TX キューはフル	R
2	TXQTXIF	TX キュー TX 割り込みフラグ 0: フレーム送信後 TX キュー割り込み条件が不成立 1: フレーム送信後 TX キュー割り込み条件が成立	R/W

ビット	シンボル	機能	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	TXQMC[2:0]	TX キューメッセージ数 TX キュー内のメッセージ数	R
31:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

TX キューステータスレジスタは、対応する CAN チャネルの TX キューの状態を示します。

TXQEMP ビット（TX キューエンプティ）

TXQEMP ビットは、TX キューが禁止されている、または TX キューにメッセージが格納されていない場合、自動的に 1 になります。

本ビットは以下の場合自動的に 1 になります。

- TX キューから最後のメッセージが送信されたとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

本ビットは、送信対象の最初のメッセージが TX キューに格納されると自動的にクリアされます。

TXQFLL ビット（TX キューフル）

TXQFLL ビットは、TX キューに格納されている CAN メッセージ数が設定されている TX キュー容量と一致すると自動的に 1 になります。

本ビットは以下の場合自動的にクリアされます。

- TX キューに格納されている CAN メッセージ数が設定されている TX キュー容量以下になったとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

TXQTXIF ビット（TX キュー TX 割り込みフラグ）

TXQTXIF ビットは、TX キューが禁止されても自動的にクリアされません。

TX キューを停止する場合、TXQE を禁止し、TX キューがエンプティであることを確認後、本ビットをクリアしてください。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。1 の書き込みは無効です。

本ビットは、TX キューに対して設定されている割り込み条件が成立すると自動的に 1 になります。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

関連する CANFD チャネルが CH_SLEEP モードまたは CH_RESET モードの場合、本ビットへは書き込みできません。

本ビットは以下の場合クリアされます。

- 0 を書いたとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

TXQMC[2:0][13:8]ビット（TX キューメッセージ数）

TXQMC[2:0]ビットは、TX キュー内の CAN メッセージの数を示します。

これらのビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

32.2.46 CFDTXQPCTR : TX キューポインタコントロールレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0094

Bit position:	31																						7							0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TXQPC[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TXQPC[7:0]	TX キューポインタコントロール 対応するチャネルの TX キューバッファへの書き込みポインタをインクリメントします。	W
31:8	—	書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

TX キューポインタコントロールレジスタは、対応する TX キューバッファに 1 つのメッセージ全体が格納されたことを確認するのに使用されます。

TXQPC[7:0]ビット（TX キューポインタコントロール）

値 0xFF が TXQPC[7:0]ビットに書き込まれると、対応する TX キューバッファの書き込みポインタが更新され、本メッセージに対して送信要求が起動します。

読み取り値は常に 0x00 です。DMA 有効時、FIFO コントロールレジスタに書き込まないでください。

関連する CANFD チャネルが CH_SLEEP モードまたは CH_RESET モードの場合、これらのビットへは書き込みできません。

以下の場合のみ本レジスタに 0xFF を書き込んでください。

- 対応する TX キューが許可されており、フルではないとき
- 共通 FIFO が許可されているとき

32.2.47 CFDTHLCC : TX 履歴リストコンフィグレーション／コントロールレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0098

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	THLDTE	THLIM	THLIE	—	—	—	—	—	—	—	THLE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	THLE	TX 履歴リスト許可 0: TX 履歴リスト禁止 1: TX 履歴リスト許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	THLIE	TX 履歴リスト割り込み許可 0: TX 履歴リスト割り込み禁止 1: TX 履歴リスト割り込み許可	R/W

ビット	シンボル	機能	R/W
9	THLIM	TX 履歴リスト割り込みモード 0: TX 履歴リストレベルが TX 履歴リスト容量の¾になると割り込み発生 1: エントリ格納に成功するたびに割り込み発生	R/W
10	THLDTE	TX 履歴リスト専用 TX 許可 0: TX FIFO + TX キュー 1: フラット TX MB + TX FIFO + TX キュー	R/W
31:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

TX 履歴リストコンフィグレーション／コントロールレジスタは、TX 履歴リスト機能を設定します。

THLE ビット（TX 履歴リスト許可）

THLE ビットを 1 にすると、TX 履歴リストバッファが許可されます。

関連する CANFD チャネルが CH_RESET モードまたは CH_SLEEP モードの場合、本ビットへは書き込みできません。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

THLIE ビット（TX 履歴リスト割り込み許可）

THLIE ビットを 1 にすると、TX 履歴リスト割り込み発生が許可されます。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

THLIM ビット（TX 履歴リスト割り込みモード）

THLIM ビットは、FIFO の割り込み発生条件を選択します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

CANFD モジュールが GL_HALT モードまたは GL_OPERATION モードの場合は本ビットへの書き込みは行わないでください。

THLDTE ビット（TX 履歴リスト専用 TX 許可）

THLDTE ビットは、送信成功後 TX 履歴リストにエントリを格納する条件を選択します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

CANFD モジュールが GL_HALT モードまたは GL_OPERATION モードの場合は本ビットへの書き込みは行わないでください。

32.2.48 CFDTHLSTS : TX 履歴リストステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x009C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	THLMC[3:0]				—	—	—	—	THLIF	THLELT	THLFLL	THLEMP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	THLEMP	TX 履歴リストがエンプティ 0: TX 履歴リストがエンプティではない 1: TX 履歴リストがエンプティ	R

ビット	シンボル	機能	R/W
1	THLFLL	TX 履歴リストがフル 0: TX 履歴リストがフルではない 1: TX 履歴リストがフル	R
2	THLELT	TX 履歴リストのエントリロスト 0: TX 履歴リストにエントリロストなし 1: TX 履歴リストにエントリロストあり	R/W
3	THLIF	TX 履歴リスト割り込みフラグ 0: TX 履歴リスト割り込み条件が不成立 1: TX 履歴リスト割り込み条件が成立	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11:8	THLMC[3:0]	TX 履歴リストメッセージ数 TX 履歴リストに格納されているメッセージ数	R
31:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

TX 履歴リストステータスレジスタは、TX 履歴リストバッファに格納されているデータの状態を示します。

THLEMP ビット（TX 履歴リストがエンプティ）

THLEMP ビットは、CPU が TX 履歴リストバッファから全エントリの読み出しを完了すると自動的に 1 になります

本ビットは、最初のエントリが TX 履歴リストに格納されると自動的にクリアされます。

本ビットは以下の場合、自動的に 1 になります。

- TX 履歴リストが禁止されているとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

THLFLL ビット（TX 履歴リストがフル）

THLFLL ビットは、TX 履歴リストバッファに格納されているエントリ数が設定されている TX 履歴リスト容量と一致すると自動的に 1 になります。

各 TX 履歴リストには最大 8 個のエントリを格納できます。

本ビットは以下の場合、自動的にクリアされます。

- TX 履歴リストバッファ内のエントリ数が TX 履歴リスト容量より小さいとき
- TX 履歴リストが禁止されているとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

THLELT ビット（TX 履歴リストのエントリロスト）

THLELT ビットは、関連する TX 履歴リストバッファがすでに満杯のため新規エントリが保存できない場合 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

本ビットは以下の場合、クリアされます。

- 0 を書いたとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

THLIF ビット（TX 履歴リスト割り込みフラグ）

THLIF ビットは、設定されている割り込み条件が成立すると 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

本ビットは以下の場合、クリアされます。

- 0 を書いたとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

このビットは、0 を書き込むことによってクリアされます。

本ビットは CH_RESET モードでは自動的にクリアされます。

THLMC[3:0]ビット（TX 履歴リストメッセージ数）

THLMC[3:0]ビットは、TX 履歴リストに格納された送信済みメッセージの数を示します。

これらのビットは関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

32.2.49 CFDTHLACC0 : TX 履歴リストアクセスレジスタ 0

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0740

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	TMTS[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	BN[1:0]		BT[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	BT[2:0]	バッファタイプ 0 0 1: フラット TX メッセージバッファ 0 1 0: TX FIFO メッセージバッファ番号 1 0 0: TX キューメッセージバッファ番号	R
4:3	BN[1:0]	バッファ番号 メッセージバッファ番号	R
15:5	—	読むと 0 が読めます。	R
31:16	TMTS[15:0]	送信タイムスタンプ ソフトウェアドライバの送信タイムスタンプ値	R

注. S-TYPE-3, P-TYPE-3

TX 履歴リストアクセスレジスタ 0 は、読み出したタイムスタンプ値に基づき、TX 履歴リスト内エントリへのアクセスを提供します。

BT[2:0]ビット（バッファタイプ）

BT[2:0]ビットは、FIFO バッファ、TX キューまたは TX メッセージバッファからの送信に引き続き、データが格納されたかどうかを示します。

BN[1:0]ビット（バッファ番号）

BN[1:0]ビットは、送信が成功したメッセージバッファを示します。共通 FIFO からメッセージが送信された場合、これらのビットは、送信のために共通 FIFO にリンクされているメッセージバッファを示します。

TMTS[15:0]ビット（送信タイムスタンプ）

TMTS[15:0]ビットは、ソフトウェアドライバで使用するタイムスタンプを示します。

32.2.50 CFDTHLACC1 : TX 履歴リストアクセスレジスタ 1

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0744

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TIFL[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TID[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	TID[15:0]	送信 ID これらのビットは、メッセージバッファリファレンス ID、TX FIFO リファレンス ID、または AFL ポインタフィールドがソフトウェアドライバ用に格納されたことを示します。	R
17:16	TIFL[1:0]	送信情報ラベル これらのビットは、メッセージバッファ情報ラベル、TX FIFO 情報ラベル、または AFL 情報ラベルがソフトウェアドライバ用に格納されたことを示します。	R
31:18	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

TX 履歴リストアクセスレジスタ 1 は、読み出したポインタ値に基づき、TX 履歴リスト内エントリへのアクセスを提供します。

TID[15:0]ビット（送信 ID）

TID[15:0]ビットは、ソフトウェアドライバがメッセージバッファリファレンス ID (CFDTMFDCTRb.TMPTR) または TX FIFO リファレンス ID (CFDCFFDCSTS.CFPTR) を使用可能かどうかを示します。

TIFL[1:0]ビット（送信情報ラベル）

TIFL[1:0]ビットは、ソフトウェアドライバがメッセージバッファ情報ラベル (CFDTMFDCTRb.TMIFL) または TX FIFO 情報ラベル (CFDCFFDCSTS.CFIFL) を使用可能かどうかを示します。

32.2.51 CFDTHLPCTR : TX 履歴リストポインタコントロールレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x00A0

Bit position:	31																								7							0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	THLPC[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	THLPC[7:0]	TX 履歴リストポインタコントロール 対応するチャネルの TX 履歴リストへの書き込みポインタをインクリメントします。	W
31:8	—	書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

TX 履歴リストポインタコントロールレジスタを使って、対応する TX 履歴リストの読み出しポインタをインクリメントします。

THLPC[7:0]ビット（TX 履歴リストポインタコントロール）

THLPC[7:0]ビットに 0xFF が書き込まれると、TX 履歴リストの読み出しポインタが次の TX 履歴リストエントリアドレスに移動します。

これらのビットの読み出し値は常に 0x00 です。関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみこれらのビットへの書き込みを行ってください。

対応する TX 履歴リストが有効でエンプティでない場合のみ、これらのレジスタには 0xFF を書き込んでください。

32.2.52 CFDGRSTC : グローバル SW リセットレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x00D8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	SRST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SRST	SW リセット 0: 通常状態 1: SW リセット状態	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード これらのビットは SRST ビット書き換えの有効性を制御します。	W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

SRST ビット（SW リセット）

SRST ビットを 1 にすると、CANFD モジュールはハードウェアリセットと同じ状態になります。リセットが必要な場合は、本ビットに 1 を書いた後 0 を書きます。

本ビットは、CANFD モジュールが GL_SLEEP モードのときクリアされます。

本ビットがクリアされると、RAM 初期化シーケンスは動作しません。RAM の設定はソフトウェアが行います。

RAM 初期化中にソフトウェアリセットが実行されると、RAM は初期化されません。ソフトウェアは、RAM の初期化を実行する必要があります。

KEY[7:0]ビット（キーコード）

0xC4 が KEY[15:8]ビットに書き込まれると、SRST ビットへの書き込みが有効になります。

読み取り値は常に 0x00 です。

CFDGRSTC.SRST ビットと CFDGRSTC.KEY ビットは同時に書いてください。

32.2.53 CFDGTSTCFG : グローバルテストコンフィグレーションレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x00A8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	RTMPS[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
19:16	RTMPS[3:0]	RAM テストモードページ選択 RAM テストモードページを選択します。	R/W
31:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

グローバルテストコンフィグレーションレジスタは、RAM テストモードページを設定するのに使用されます。

RTMPS[3:0]ビット（RAM テストモードページ選択）

RTMPS[3:0]ビットは、CANFD モジュールが RAM テストモードに設定されているとき、CPU 読み出し／書き込みアクセスの RAM ページモードを選択します。

RAM のテストモード仕様については、「32.9.2.1. RAM テストモード」を参照してください。

CANFD モジュールが GL_RESET モードまたは GL_SLEEP モードの場合はこれらのビットへの書き込みは行わないでください。

メッセージバッファ RAM に対して、0～8 (0x008) 間の値のみを入力してください。

CANFD モジュールが GL_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

これらのビットは、関連する CANFD チャネルが GL_RESET モードになると自動的にクリアされます。

32.2.54 CFDGTSTCTR : グローバルテストコントロールレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x00AC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	RTME	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
2	RTME	RAM テストモード許可 0: RAM テストモード禁止 1: RAM テストモード許可	R/W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

グローバルテストコントロールレジスタは、CANFD モジュールのグローバルテストモードを制御するのに使用されます。

RTME ビット（RAM テストモード許可）

RTME ビットを 1 にすると、CANFD モジュールは RAM テストモードに設定されます。RAM のテストモード仕様については、「32.9.2.1. RAM テストモード」を参照してください。

CANFD モジュールが GL_HALT モードの場合のみ本ビットへの書き込みを行ってください。

CANFD モジュールが GL_HALT モードの場合、本ビットをクリアしてください。

本ビットは、CANFD モジュールが GL_RESET モードのときに自動的にクリアされます。

32.2.55 CFDGFDCFG : グローバル FD コンフィグレーションレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x00B0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TSCCFG[1:0]		—	—	—	—	—	—	—	RPED
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RPED	RES ビットプロトコル例外禁止 0: プロトコル例外事象検出許可 1: プロトコル例外事象検出禁止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	TSCCFG[1:0]	タイムスタンプキャプチャ設定 0 0: SOF（フレーム先頭）のサンプルポイントでタイムスタンプキャプチャ 0 1: フレーム有効表示時タイムスタンプキャプチャ 1 0: RES ビットのサンプルポイントでタイムスタンプキャプチャ 1 1: 予約ビット	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

RPED ビット（RES ビットプロトコル例外禁止）

RPED ビットは、ISO 11898-1 に従って、プロトコル例外事象処理を設定します。

本ビットが有効に設定されていると、プロトコル例外事象検出時（RES ビットはレセシブとしてサンプリングされる）、プロトコル例外事象検出は禁止され、プロトコルコントローラはエラーフレームを送信します。

CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

TSCCFG[1:0]ビット（タイムスタンプキャプチャ設定）

TSCCFG[1:0]ビットは、送受信に対して異なるタイムスタンプキャプチャポイントを設定します。

CFDGFDCFG.TSCCFG[1:0]が 10b のとき、RES ビットで CANFD フレームのタイムスタンプキャプチャを、そしてフレーム先頭でクラシカルフレームのタイムスタンプキャプチャを実行します。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

32.2.56 CFDGLOCKK : グローバルロックキーレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x00B8

Bit position:	31															15														0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LOCK[15:0]														
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	LOCK[15:0]	ロックキー テストモード保護をロック解除するためのキービット	W
31:16	—	書く場合、0 としてください。	W

注. S-TYPE-3、P-TYPE-3

グローバルロックキーレジスタは、特殊なテストビットの保護をロック解除するのに使用される書き込み専用のレジスタです。

ロックキー仕様については、「32.9.2. グローバルテストモード」を参照してください。

LOCK[15:0]ビット（ロックキー）

CANFD モジュールを RAM テストモードで構成するには、LOCK[15:0]ビットにキーロック解除シーケンスを書き込む必要があります。

読み取り値は常に 0x0000 です。

CANFD モジュールが GL_SLEEP モードまたは GL_RESET モードの場合はこれらのビットへ書き込みできません。

CANFD モジュールが GL_OPERATION モードの場合はこれらのビットへの書き込みは行わないでください。

32.2.57 CFDRPGACCk : RAM テストページアクセスレジスタ k (k = 0～63)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0280 + 0x0004 × k

Bit position:	31																													0
Bit field:	RDTA[31:0]																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	RDTA[31:0]	RAM データテストアクセス RAM データバイト	R/W

注. S-TYPE-3, P-TYPE-3

RDTA[31:0]ビット（RAM データテストアクセス）

CANFD モジュールが RAM テストモードに設定されている場合、RDTA[31:0]ビットからのデータの読み出しまたは書き込みが可能です。

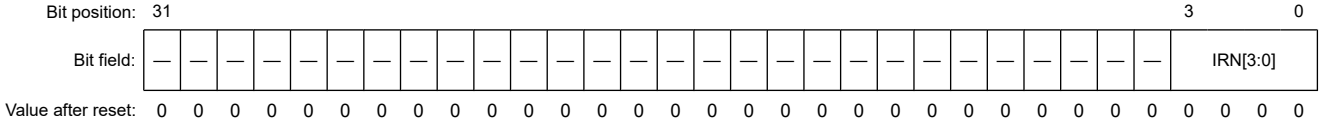
CANFD モジュールが GL_HALT モードで RAM テストモードが許可されている場合のみ本ビットへの書き込みを行ってください。

RAM テストモード時ソフトウェアは RAM テストページアクセスレジスタから読み出し／書き込みを行うものとします。

32.2.58 CFDGAFLIGNENT: グローバル AFL 無視エントリレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x00C0



ビット	シンボル	機能	R/W
3:0	IRN[3:0]	イグノアルール番号 AFL エントリを無視するルール番号を定義します。	R/W
31:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

IRN[3:0]ビット（イグノアルール番号）

IRN[3:0]ビットは、AFL エントリを更新するルール番号を定義します。

入力する値は 0～15 (0x0F)（0 と 15 を含む）間の値のみとします。

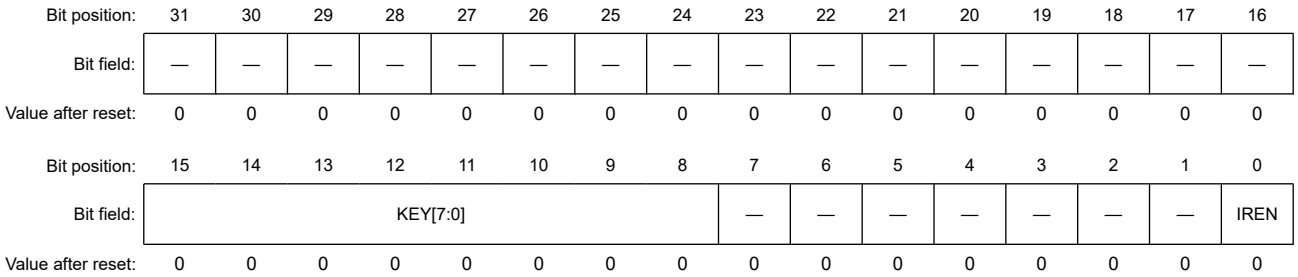
CFDGAFLIGNCTR.IREN ビットが 0 の場合のみ、これらのビットに書き込んでください。

CANFD モジュールが GL_SLEEP モードの場合はこれらのビットへは書き込みできません。

32.2.59 CFDGAFLIGNCTR : グローバル AFL 無視コントロールレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x00C4



ビット	シンボル	機能	R/W
0	IREN	無視ルール許可 0: AFL エントリ番号は無視されない 1: AFL エントリ番号は無視される	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード これらのビットは IREN ビット書き換えの有効性を制御します。	W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

IREN ビット（無視ルール許可）

IREN ビットを 1 にすると、（CFDGAFLIGNENT レジスタで選択された）エントリ番号は無視されます。

本ビットは、CANFD モジュールが GL_RESET モードのとき自動的にクリアされます。

KEY[7:0]ビット（キーコード）

0xC4 が KEY[7:0]ビットに書き込まれると、IREN ビットへの書き込みが有効になります。

読み取り値は常に 0x00 です。

CFDGAFLIGNCTR.IREN ビットと CFDGAFLIGNCTR.KEY ビットは同時に書いてください。

32.2.60 CFDRMIEC : RX メッセージバッファ割り込み許可コンフィグレーションレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0038

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RMIE[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	RMIE[15:0]	RX メッセージバッファ割り込み許可 0: 対応する RX メッセージバッファに対して RX メッセージバッファ割り込みを禁止 1: 対応する RX メッセージバッファに対して RX メッセージバッファ割り込みを許可	R/W

注. S-TYPE-3, P-TYPE-3

これらのビットは、対応する RX メッセージバッファに対して RX メッセージバッファ割り込みを許可するかどうかを示します。CFDRMIEC ビット 0 は、RX メッセージバッファ 0 に対応し、順次同様に対応します。

CFDRMIEC のビット位置は、RXMB のバッファ番号に対応します。

RMIE[15:0]ビット（RX メッセージバッファ割り込み許可）

本ビットを 1 にすると、対応するメッセージバッファからの受信完了時割り込みが発生します。

詳細は、「32.7.1. 割り込み」を参照してください。

CANFD モジュールが GL_SLEEP モードの場合は、本ビットへは書き込みできません。

32.2.61 メッセージバッファコンポーネントの構造

32.2.61.1 開始アドレス

各メッセージバッファコンポーネントの開始アドレスは、関連するメッセージバッファコンポーネント数を使って計算されます。

メッセージバッファコンポーネント内の各レジスタの開始アドレスを表 32.4 に示します。

表 32.4 メッセージバッファコンポーネントレジスタの開始アドレス (1/2)

b = メッセージバッファコンポーネントインデックス	MBCP	p	レジスタ	開始アドレス
[0…15] b = [0…7]	RMBCPb[0]	x	RMID	0x0920 + b × 0x004C
		x	RMPTR	0x0924 + b × 0x004C
		x	RMFDSTSb	0x0928 + b × 0x004C
		[1…15]	RMDFbp	0x092C + b × 0x004C + p × 0x0004

表 32.4 メッセージバッファコンポーネントレジスタの開始アドレス (2/2)

b = メッセージバッファコンポーネントインデックス	MBCP	p	レジスタ	開始アドレス
[0…15] b = [8…15]	RMBCPb[0]	x	RMIDb	0x0D20 + (b-8) × 0x004C
		x	RMPTRb	0x0D24 + (b-8) × 0x004C
		x	RMFDSTSb	0x0D28 + (b-8) × 0x004C
		[1…15]	RMDFbp	0x0D2C + (b-8) × 0x004C + p × 0x0004
[0…1]	RFMBCPb[0]	x	RFIDb	0x0520 + b × 0x004C
		x	RFPTRb	0x0524 + b × 0x004C
		x	RFFDSTSb	0x0528 + b × 0x004C
		[1…15]	RFDFbp	0x052C + b × 0x004C + p × 0x0004
[0]	CFMBCPb[0]	x	CFID	0x05B8
		x	CFPTR0	0x05BC
		x	CFFDCSTS0	0x05C0
		[1…15]	CFDFp0	0x05C4 + p × 0x0004
[0…3]	TMBCPb[0]	x	TMIDb	0x0604 + b × 0x004C
		x	TMPTRb	0x0608 + b × 0x004C
		x	TMFDCTRb	0x060C + b × 0x004C
		[1…15]	TMDFbp	0x0610 + b × 0x004C + p × 0x0004

メッセージバッファの構成は、4 種類のメッセージバッファコンポーネントで構成されます。

- RX メッセージバッファコンポーネント (CFDRMBCPb[0])
- RX FIFO アクセスメッセージバッファコンポーネント (CFDRFMBCPb[0])
- 共通 FIFO アクセスメッセージバッファコンポーネント (CFDCFMBCPb[0])
- TX メッセージバッファコンポーネント (CFDTMBCPb[0])

ここで、b はメッセージバッファコンポーネントの種類により範囲が変わるメッセージバッファコンポーネントインデックスです。

本構成の概要については、図 32.28 を参照してください。メッセージバッファ数および種類についての詳細な説明については、「32.6. FIFO バッファと通常のメッセージバッファの構成」を参照してください。

「32.2. レジスタの説明」に示すように、各メッセージバッファコンポーネントは下記のレジスタから構成されます。

- 識別子 (ID)
- ポインタ (PTR)
- データフィールド (DFp)

ここで、p はメッセージバッファコンポーネントの種類により範囲が変わるデータフィールドレジスタインデックスです。

Rc はメッセージバッファコンポーネントレジスタですが、ここで c はメッセージバッファコンポーネントの種類により範囲が変わるメッセージバッファコンポーネントレジスタインデックスです。

レジスタおよび関連するビットとそのアクセスの説明を、下記の概要と各コンポーネントの詳細図に示します。

各図において、'-'を含むセルは予約で、「32.2.61. メッセージバッファコンポーネントの構造」のレジスタの予約ビットと同じ動作をします。

32.2.61.2 CFDRMBCPb[0] : RX メッセージバッファコンポーネント b (b = 0～15)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 表 32.4 を参照。

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	Rc[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	Rc[15:0]	RX メッセージバッファコンポーネント c 本メッセージバッファコンポーネント内に含まれる各レジスタとその関連するビットの詳細については、表 32.5、表 32.6 および以下の説明を参照してください。	R/W

注. S-TYPE-3, P-TYPE-3

図 32.28 に示す CFDRMBCPb = 16 の総数です (c = RX メッセージバッファコンポーネントレジスタインデックス = [0…18])。

Rc[15:0]ビット（RX メッセージバッファコンポーネント c）

RX メッセージバッファコンポーネントは下記のレジスタより構成されます。CFDRMIDb、CFDRMPTRb、CFDRMFDSTSb、CFDRMDFbp。本バッファコンポーネントの構造の解釈方法およびそれぞれのレジスタへのアクセス方法の詳細については、表 32.6 を参照してください。

表 32.5 RX メッセージバッファコンポーネントの概要

RX メッセージバッファコンポーネント (RMBCP)	
Rc	**CANFD モード (CAN_FD_MODE = 1'b1)**
R0	RX メッセージバッファ (b) ID レジスタ
R1	RX メッセージバッファ (b) ポインタレジスタ
R2	RX メッセージバッファ (b) CANFD ステータスレジスタ
R3	RX メッセージバッファ (b) データフィールド 0 レジスタ
R4	RX メッセージバッファ (b) データフィールド 1 レジスタ
R5	RX メッセージバッファ (b) データフィールド 2 レジスタ
R6	RX メッセージバッファ (b) データフィールド 3 レジスタ
R7	RX メッセージバッファ (b) データフィールド 4 レジスタ
R8	RX メッセージバッファ (b) データフィールド 5 レジスタ
R9	RX メッセージバッファ (b) データフィールド 6 レジスタ
R10	RX メッセージバッファ (b) データフィールド 7 レジスタ
R11	RX メッセージバッファ (b) データフィールド 8 レジスタ
R12	RX メッセージバッファ (b) データフィールド 9 レジスタ
R13	RX メッセージバッファ (b) データフィールド 10 レジスタ
R14	RX メッセージバッファ (b) データフィールド 11 レジスタ
R15	RX メッセージバッファ (b) データフィールド 12 レジスタ
R16	RX メッセージバッファ (b) データフィールド 13 レジスタ
R17	RX メッセージバッファ (b) データフィールド 14 レジスタ
R18	RX メッセージバッファ (b) データフィールド 15 レジスタ
R[19...31]	—

表 32.6 RX メッセージバッファコンポーネント (RMBCP) の詳細

Rc	p	シンボル	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R0	x	CFDRMIDb	RMIDE	RMRTR	—	RMID																												
R1	x	CFDRMPTRb	RMDLC				—	—	—	—	—	—	—	—	—	—	—	—	RMTS															
R2	x	CFDRMFDSTSb	RMPTR																—	—	—	—	—	—	RMIFL		—	—	—	—	—	RMFDF	RMBRS	RMESI
R3	0	CFDRMDFbp	RMDB_HH								RMDB_HL								RMDB_LH								RMDB_LL							
R[4…18]	[1…15]	CFDRMDFbp	RMDB_HH								RMDB_HL								RMDB_LH								RMDB_LL							

32.2.61.3 CFDRMIDb : RX メッセージバッファ ID レジスタ (b = 0〜15)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0920 + 0x004C × b (b = 0〜7)
0x0D20 + 0x004C × (b - 8) (b = 8〜15)

Bit position:	31	30	29	0
Bit field:	RMIDE	RMRTR	—	RMID[28:0]
Value after reset:	0	0	0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
28:0	RMID[28:0]	RX メッセージバッファ ID フィールド STD-ID/EXT-ID フィールド	R
29	—	読むと 0 が読めます。	R
30	RMRTR	RX メッセージバッファ RTR 0: データフレーム 1: リモートフレーム	R
31	RMIDE	RX メッセージバッファ IDE 0: STD-ID が格納される 1: EXT-ID が格納される	R

注. S-TYPE-3, P-TYPE-3

RX メッセージバッファ ID レジスタ b (b = 0〜15) は、受信メッセージの ID フィールド、IDE ビット、および RTR ビットを格納します。

RMID[28:0]ビット（RX メッセージバッファ ID フィールド）

RMID[28:0]ビットは、RX メッセージバッファに格納されているメッセージの STD-ID/EXT-ID フィールドのビットです。

本バッファコンポーネントの構造の解釈方法の詳細については、「32.2.61.1. 開始アドレス」を参照してください。

RMRTR ビット（RX メッセージバッファ RTR）

RMRTR ビットは、データフレームまたはリモートフレームのいずれが RX メッセージバッファに格納されたかを示します。

注. CANFD フォーマットにはリモートフレームはありません。CANFD フレームを受信すると、レジスタは受信値（FD フレームフォーマットの RRS ビット）の状態を反映します。

RMIDE ビット（RX メッセージバッファ IDE）

RMIDE ビットは、標準 ID または拡張 ID のメッセージのいずれが RX メッセージバッファに格納されたかを示します。

32.2.61.4 CFDRMPTRb : RX メッセージバッファポインタレジスタ (b = 0～15)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0924 + 0x004C × b (b = 0～7)
0x0D24 + 0x004C × (b - 8) (b = 8～15)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RMDLC[3:0]				—												RMTS[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	RMTS[15:0]	RX メッセージバッファタイムスタンプフィールド RX メッセージバッファ内のメッセージ用に格納されたタイムスタンプ値	R
27:16	—	読むと 0 が読めます。	R
31:28	RMDLC[3:0]	RX メッセージバッファ DLC フィールド CAN フレームで受信されたデータバイト数	R

注. S-TYPE-3, P-TYPE-3

RX メッセージバッファポインタレジスタ b (b = 0～15) は、受信メッセージの DLC およびタイムスタンプフィールドを格納します。

RMTS[15:0]ビット（RX メッセージバッファタイムスタンプフィールド）

RMTS[15:0]ビットは、受信メッセージの CFDGFDCFG.TSCCFG により設定されたキャプチャポイントで取得されたタイムスタンプ値を格納します。

RMDLC[3:0]ビット（RX メッセージバッファ DLC フィールド）

RMDLC[3:0]ビットは、RX メッセージバッファで受信されたデータバイト数を格納します。

受信データバイト数の定義の詳細については、ISO 11898-1 (2015) 仕様の表 5 を参照してください。

注. バッファの最大容量は CFDRMNB.RMPLS に属します。これは、クラシカル CAN 機能では使用できません。

32.2.61.5 CFDRMFDSTSb : RX メッセージバッファ CANFD ステータスレジスタ（b = 0～15）

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0928 + 0x004C × b (b = 0～7)
0x0D28 + 0x004C × (b - 8) (b = 8～15)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RMPTR[15:0]																—	—	—	—	—	—	RMIFL[1:0]		—	—	—	—	—	RMFDF	RMBRS	RMESI
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RMESI(注1)	エラー状態表示 0: エラーアクティブノードから受信した CANFD フレーム 1: エラーパッシブノードから受信した CANFD フレーム	R
1	RMBRS(注1)	ビットレートスイッチ 0: ビットレートスイッチなしで受信した CANFD フレーム 1: ビットレートスイッチ付きで受信した CANFD フレーム	R
2	RMFDF(注1)	CAN-FD フォーマット 0: 非 CANFD フレーム受信 1: CANFD フレーム受信	R
7:3	—	読むと 0 が読めます。	R
9:8	RMIFL[1:0]	RX メッセージバッファ情報ラベルフィールド	R
15:10	—	読むと 0 が読めます。	R
31:16	RMPTR[15:0]	RX メッセージバッファポインタフィールド	R

注. S-TYPE-3, P-TYPE-3
注 1. このビットは、クラシカル CAN 機能では使用できません。

RX メッセージバッファ CANFD ステータスレジスタ b (b = 0～15) は、受信した CANFD フレームの FDF ビット、BRS ビット、および ESI ビットの状態とポインタを示します。

RMESI ビット（エラー状態表示）

RMESI ビットは受信した CANFD フレームの ESI ビットと同じ値になります。

受信した FDF ビットが 0 のとき、CAN2.0 フレームが受信されたことを意味し、本ビットに 0 が格納されます。

注. このビットは、クラシカル CAN 機能では使用できません。

RMBRS ビット（ビットレートスイッチ）

RMBRS ビットは受信した CANFD フレームの BRS ビットと同じ値になります。

受信した FDF ビットが 0 のとき、CAN2.0 フレームが受信されたことを意味し、本ビットに 0 が格納されます。

注. このビットは、クラシカル CAN 機能では使用できません。

RMFDF ビット（CAN-FD フォーマット）

RMFDF ビットは受信した CANFD フレームの FDF ビットと同じ値になります。

注. このビットは、クラシカル CAN 機能では使用できません。

RMIFL[1:0]ビット（RX メッセージバッファ情報ラベルフィールド）

RMIFL[1:0]ビットは、関連するグローバルアクセプタンスフィルタリストエントリの情報ラベル値を格納します。

RMPTR[15:0]ビット（RX メッセージバッファポインタフィールド）

RMPTR[15:0]ビットは、関連するグローバルアクセプタンスフィルタリストエントリのポインタ値を格納します。

32.2.61.6 CFDRMDFb_p : RX メッセージバッファデータフィールド p レジスタ (p = 0～15, b = 0～15)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x092C + 0x004C × b + 0x0004 × p (b = 0～7 , p = 0～15)
0x0D2C + 0x004C × (b - 8) + 0x0004 × p (b = 8～15 , p = 0～15)

Bit position:	31							24	23							16	15							8	7							0
Bit field:	RMDB_HH[7:0]								RMDB_HL[7:0]								RMDB_LH[7:0]								RMDB_LL[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	RMDB_LL[7:0]	RX メッセージバッファデータバイト (p × 4)	R
15:8	RMDB_LH[7:0]	RX メッセージバッファデータバイト ((p × 4) + 1)	R
23:16	RMDB_HL[7:0]	RX メッセージバッファデータバイト ((p × 4) + 2)	R
31:24	RMDB_HH[7:0](注1)	RX メッセージバッファデータバイト ((p × 4) + 3)	R

注. S-TYPE-3, P-TYPE-3
注 1. これらのビットは、クラシカル CAN 機能では使用できません。

RX メッセージバッファデータフィールド p レジスタ b (p = 0～15, b = 0～15) は、受信メッセージのデータバイト (p × 4) ～データバイト ((p × 4) + 3) を格納します。

RMDB_LL[7:0]ビット（RX メッセージバッファデータバイト (p × 4)）

RMDB_LL[7:0]ビットは、RX メッセージバッファにあるメッセージのデータバイト (p × 4) を格納します。
未使用データバイトは 0x00 で埋められます。

RMDB_LH[7:0]ビット（RX メッセージバッファデータバイト ((p × 4) + 1)）

RMDB_LH[7:0]ビットは、RX メッセージバッファにあるメッセージのデータバイト ((p × 4) + 1) を格納します。
未使用データバイトは 0x00 で埋められます。

RMDB_HL[7:0]ビット（RX メッセージバッファデータバイト ((p × 4) + 2)）

RMDB_HL[7:0]ビットは、RX メッセージバッファにあるメッセージのデータバイト ((p × 4) + 2) を格納します。
未使用データバイトは 0x00 で埋められます。

RMDB_HH[7:0]ビット（RX メッセージバッファデータバイト ((p × 4) + 3)）

RMDB_HH[7:0]ビットは、RX メッセージバッファにあるメッセージのデータバイト ((p × 4) + 3) を格納します。
未使用データバイトは 0x00 で埋められます。

32.2.61.7 CFDRFMBCPb[0] : RX FIFO アクセスメッセージバッファコンポーネント b (b = 0, 1)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 表 32.4 を参照

Bit position:	31																												0
Bit field:	Rc[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	Rc[31:0]	RX FIFO アクセスメッセージバッファコンポーネント c 本メッセージバッファコンポーネント内に含まれる各レジスタとその関連するビットの詳細については、表 32.7、表 32.8 および以下の説明を参照してください。	R

注. S-TYPE-3, P-TYPE-3

ここで、図 32.28 に示すように、CFDRFMBCPb の合計数 = 2 です（c = RX FIFO アクセスメッセージバッファコンポーネントレジスタインデックス = [0...18]）。

Rc[31:0]ビット（RX FIFO アクセスメッセージバッファコンポーネント c）

RX FIFO アクセスメッセージバッファコンポーネントは下記のレジスタから構成されます。

- CFDRFIDb
- CFDRFPTRb
- CFDRFFDSTSb

- CFDRFDFbp

本バッファコンポーネントの構造の解釈方法およびそれぞれのレジスタへのアクセス方法の詳細については、表 32.8 を参照してください。

表 32.7 RX FIFO アクセスメッセージバッファコンポーネントの概要

Rc	
R0	RX FIFO アクセス ID レジスタ
R1	RX FIFO アクセスポインタレジスタ
R2	RX FIFO アクセス CANFD ステータスレジスタ
R3	RX FIFO アクセスデータフィールド 0 レジスタ
R4	RX FIFO アクセスデータフィールド 1 レジスタ
R5	RX FIFO アクセスデータフィールド 2 レジスタ
R6	RX FIFO アクセスデータフィールド 3 レジスタ
R7	RX FIFO アクセスデータフィールド 4 レジスタ
R8	RX FIFO アクセスデータフィールド 5 レジスタ
R9	RX FIFO アクセスデータフィールド 6 レジスタ
R10	RX FIFO アクセスデータフィールド 7 レジスタ
R11	RX FIFO アクセスデータフィールド 8 レジスタ
R12	RX FIFO アクセスデータフィールド 9 レジスタ
R13	RX FIFO アクセスデータフィールド 10 レジスタ
R14	RX FIFO アクセスデータフィールド 11 レジスタ
R15	RX FIFO アクセスデータフィールド 12 レジスタ
R16	RX FIFO アクセスデータフィールド 13 レジスタ
R17	RX FIFO アクセスデータフィールド 14 レジスタ
R18	RX FIFO アクセスデータフィールド 15 レジスタ
R[19...31]	—

表 32.8 RX メッセージバッファコンポーネント (RMBCP) の詳細

Rc	p	シンボル	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R0	x	CFDRMIDb	RMIDE	RMRTR	—	RMID																												
R1	x	CFDRMPTRb	RMDLC			—	—	—	—	—	—	—	—	—	—	—	—	—	RMTS															
R2	x	CFDRMFDSTSb	RMPTR																—	—	—	—	—	—	RMIFL		—	—	—	—	—	RMFDF	RMBRS	RMESI
R3	0	CFDRMDFbp	RMDB_HH																RMDB_LH								RMDB_LL							
R[4…18]	[1…15]	CFDRMDFbp	RMDB_HH																RMDB_LH								RMDB_LL							

32.2.61.8 CFDRFIDb : RX FIFO アクセス ID レジスタ b（b = 0, 1）

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0520 + 0x004C × b

Bit position:	31	30	29	0
Bit field:	RFIDE	RFRTR	—	RFID[28:0]
Value after reset:	0	0	0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
28:0	RFID[28:0]	RX FIFO バッファ ID フィールド STD-ID/EXT-ID フィールド	R
29	—	読むと 0 が読めます。	R
30	RFRTR	RX FIFO バッファ RTR ビット 0: データフレーム 1: リモートフレーム	R
31	RFIDE	RX FIFO バッファ IDE ビット 0: STD-ID が受信された 1: EXT-ID が受信された	R

注. S-TYPE-3, P-TYPE-3

RX FIFO アクセス ID レジスタ b（b = 0, 1）は、メッセージの ID フィールド、IDE ビットおよび RTR ビットを格納します。

RFID[28:0]ビット（RX FIFO バッファ ID フィールド）

RFID[28:0]ビットは、FIFO バッファにあるメッセージの STD-ID/EXT-ID フィールドのビットです。

標準フレームフォーマットおよび拡張フレームフォーマットにおけるビットアライメントについては、ID ビットアライメントを参照してください。

RFRTR ビット（RX FIFO バッファ RTR ビット）

RFRTR ビットは、データフレームまたはリモートフレームのいずれが FIFO バッファに格納されたかを示します。

注. CANFD フォーマットにはリモートフレームはありません。CANFD フレームを受信すると、レジスタは、受信値（FD フレームフォーマットの RRS ビット）の状態を反映します。

RFIDE ビット（RX FIFO バッファ IDE ビット）

RFIDE ビットは、標準 ID または拡張 ID のメッセージのいずれが FIFO バッファに受信されたかを示します。

32.2.61.9 CFDRFPTRb : RX FIFO アクセスポインタレジスタ b（b = 0、1）

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0524 + 0x004C × b

Bit position:	31	28	15	0
Bit field:	RFDLC[3:0]	— — — — — — — — — — — —	RFTS[15:0]	
Value after reset:	0	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
15:0	RFTS[15:0]	RX FIFO タイムスタンプ値 受信した CAN フレームのタイムスタンプ値	R
27:16	—	読むと 0 が読めます。	R

ビット	シンボル	機能	R/W
31:28	RFDLC[3:0]	RX FIFO バッファ DLC フィールド CAN フレームで受信されたデータバイト数	R

注. S-TYPE-3, P-TYPE-3

FIFO アクセスポインタレジスタ b（b = 0、1）は、受信メッセージの DLC およびタイムスタンプフィールドを格納します。

RFTS[15:0]ビット（RX FIFO タイムスタンプ値）

RFTS[15:0]ビットは、受信メッセージの CFDGFDCFG.TSCCFG ビットにより設定されたキャプチャポイントで取得されたタイムスタンプ値を格納します。

RFDLC[3:0]ビット（RX FIFO バッファ DLC フィールド）

RFDLC[3:0]ビットは、RX FIFO バッファで受信されたデータバイト数を格納します。

受信データバイト数の定義の詳細については、ISO 11898-1 (2015) 仕様の表 5 を参照してください。

32.2.61.10 CFDRFFDSTSb : RX FIFO アクセス CANFD ステータスレジスタ b（b = 0、1）

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0528 + 0x004C × b

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CFDRFPTR[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	RFIFL[1:0]		—	—	—	—	—	RFFDF	RFBRS	RFESI
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RFESI(注1)	エラー状態表示 0: エラーアクティブノードから受信した CANFD フレーム 1: エラーパッシブノードから受信した CANFD フレーム	R
1	RFBRS(注1)	ビットレートスイッチ 0: ビットレートスイッチなしで受信した CANFD フレーム 1: ビットレートスイッチ付きで受信した CANFD フレーム	R
2	RFFDF(注1)	CAN FD フォーマット 0: 非 CANFD フレーム受信 1: CANFD フレーム受信	R
7:3	—	読むと 0 が読めます。	R
9:8	RFIFL[1:0]	RX FIFO バッファ情報ラベルフィールド	R
15:10	—	読むと 0 が読めます。	R
31:16	CFDRFPTR[15:0]	RX FIFO バッファポインタフィールド	R

注. S-TYPE-3, P-TYPE-3
注 1. このビットは、クラシカル CAN 機能では使用できません。

RX FIFO アクセス CANFD ステータスレジスタ b（b = 0、1） は、受信した CANFD フレームのポインタを含めて、FDF ビット、BRS ビット、ESI ビットの状態を示します。

RFESI ビット（エラー状態表示）

RFESI ビットは受信した CANFD フレームの ESI ビットと同じ値になります。

受信した FDF ビットが 0 のとき、CAN2.0 フレームが受信されたことを意味し、本ビットに 0 が格納されます。

注. このビットは、クラシカル CAN 機能では使用できません。

RFBRS ビット（ビットレートスイッチ）

RFBRS ビットは受信した CANFD フレームの BRS ビットと同じ値になります。

受信した FDF ビットが 0 のとき、CAN2.0 フレームが受信されたことを意味し、本ビットに 0 が格納されます。

注. このビットは、クラシカル CAN 機能では使用できません。

RFFDF ビット（CAN FD フォーマット）

RFFDF ビットは受信した CANFD フレームの FDF ビットと同じ値になります。

注. このビットは、クラシカル CAN 機能では使用できません。

RFIFL[1:0]ビット（RX FIFO バッファ情報ラベルフィールド）

RFIFL[1:0]ビットは、関連するグローバルアクセプタンスフィルタリストエントリの情報ラベル値を格納します。

CFDRFPTR[15:0]ビット（RX FIFO バッファポインタフィールド）

CFDRFPTR[15:0]ビットは、関連するグローバルアクセプタンスフィルタリストエントリのポインタ値を格納します。

32.2.61.11 CFDRFDFb_p : RX FIFO アクセスデータフィールド p レジスタ b（p = 0～15、b = 0、1）

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x052C + 0x004 × p + 0x04C × b

Bit position:	31 … 24	23 … 16	15 … 8	7 … 0
Bit field:	RFDB_HH[7:0]	RFDB_HL[7:0]	RFDB_LH[7:0]	RFDB_LL[7:0]
Value after reset:	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
7:0	RFDB_LL[7:0]	RX FIFO バッファデータバイト (p × 4)	R
15:8	RFDB_LH[7:0]	RX FIFO バッファデータバイト ((p × 4) + 1)	R
23:16	RFDB_HL[7:0]	RX FIFO バッファデータバイト ((p × 4) + 2)	R
31:24	RFDB_HH[7:0]	RX FIFO バッファデータバイト ((p × 4) + 3)	R

注. S-TYPE-3, P-TYPE-3

RX FIFO アクセスデータフィールド p レジスタ b（p = 0～15、b = 0、1）は、受信メッセージのデータバイト (p × 4)～データバイト ((p × 4) + 3) を格納します。

RFDB_LL[7:0]ビット（RX FIFO バッファデータバイト (p × 4)）

RFDB_LL[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト (p × 4) を格納します。

未使用データバイトは、CFDRFCCa.RFPLS で設定されたデータペイロードサイズに従って、0x00 で埋められます。

RFDB_LH[7:0]ビット（RX FIFO バッファデータバイト ((p × 4) + 1)）

RFDB_LH[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト ((p × 4) + 1) を格納します。

未使用データバイトは 0x00 で埋められます。

RFDB_HL[7:0]ビット（RX FIFO バッファデータバイト ((p × 4) + 2)）

RFDB_HL[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト ((p × 4) + 2) を格納します。

未使用データバイトは 0x00 で埋められます。

RFDB_HH[7:0]ビット（RX FIFO バッファデータバイト ((p × 4) + 3)）

RFDB_HH7:0]ビットは、FIFO バッファにあるメッセージのデータバイト ((p × 4) + 3) を格納します。

未使用データバイトは 0x00 で埋められます。

32.2.61.12 CFDCFMBCP0[0] : 共通 FIFO アクセスメッセージバッファコンポーネント

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 表 32.4 を参照。

Bit position:	31																												0
Bit field:	Rc[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	Rc[31:0]	共通 FIFO アクセスメッセージバッファコンポーネント c 本メッセージバッファコンポーネント内に含まれる各レジスタとその関連するビットの詳細については、表 32.9、表 32.10、および以下の説明を参照してください。	R

注. S-TYPE-3, P-TYPE-3

ここで、図 32.28 に示すように CFDCFMBCP0 の合計数 = 1（c = 共通 FIFO メッセージバッファコンポーネントレジスタインデックス = [0…18]）

Rc[31:0]ビット（共通 FIFO アクセスメッセージバッファコンポーネント c）

共通 FIFO アクセスメッセージバッファコンポーネントは次のレジスタより構成されます：CFDCFID、CFDCFPTR、CFFDSTS0、および CFDCFDFp。本バッファコンポーネントの構造の解釈方法およびそれぞれのレジスタへのアクセス方法の詳細については、表 32.10 を参照してください。

表 32.9 共通 FIFO アクセスメッセージバッファコンポーネントの概要

共通 FIFO アクセスメッセージバッファコンポーネント (CFMBCP)	
Rc	**CANFD モード (CAN_FD_MODE = 1)**
R0	共通 FIFO アクセス ID レジスタ
R1	共通 FIFO アクセスポインタレジスタ
R2	共通 FIFO アクセス CANFD ステータスレジスタ
R3	共通 FIFO アクセスデータフィールド 0 レジスタ
R4	共通 FIFO アクセスデータフィールド 1 レジスタ
R5	共通 FIFO アクセスデータフィールド 2 レジスタ
R6	共通 FIFO アクセスデータフィールド 3 レジスタ
R7	共通 FIFO アクセスデータフィールド 4 レジスタ
R8	共通 FIFO アクセスデータフィールド 5 レジスタ
R9	共通 FIFO アクセスデータフィールド 6 レジスタ
R10	共通 FIFO アクセスデータフィールド 7 レジスタ
R11	共通 FIFO アクセスデータフィールド 8 レジスタ
R12	共通 FIFO アクセスデータフィールド 9 レジスタ
R13	共通 FIFO アクセスデータフィールド 10 レジスタ
R14	共通 FIFO アクセスデータフィールド 11 レジスタ
R15	共通 FIFO アクセスデータフィールド 12 レジスタ
R16	共通 FIFO アクセスデータフィールド 13 レジスタ
R17	共通 FIFO アクセスデータフィールド 14 レジスタ
R18	共通 FIFO アクセスデータフィールド 15 レジスタ
R[19...31]	—

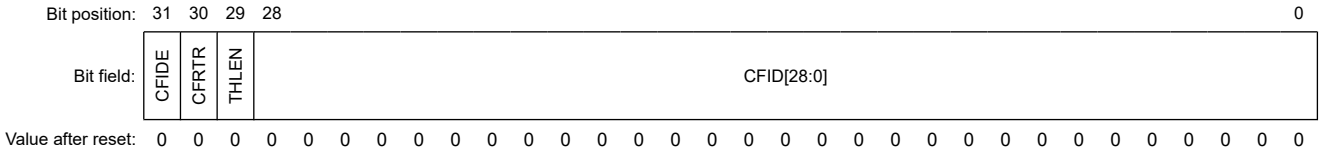
表 32.10 共通 FIFO アクセスメッセージバッファコンポーネント (CFMBCP) の詳細

Rc	p	シンボル	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R0	x	CFDCFID	CFIDE	CFRTR	THLEN	CFID																												
R1	x	CFDCFPTR	CFDLC				—	—	—	—	—	—	—	—	—	—	—	—	CFTS															
R2	x	CFDCFFDCSTS	CFPTR																—	—	—	—	—	—	CFIFL		—	—	—	—	—	CFFDF	CFBRS	CFESI
R3	0	CFDCFDFp	CFDB_HH								CFDB_HL								CFDB_LH								CFDB_LL							
R[4...18]	[1…15]	CFDCFDFp	CFDB_HH								CFDB_HL								CFDB_LH								CFDB_LL							
R[19...31]	x	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

32.2.61.13 CFDCFID : 共通 FIFO アクセス ID レジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x05B8



ビット	シンボル	機能	R/W
28:0	CFID[28:0]	共通 FIFO バッファ ID フィールド STD-ID/EXT-ID フィールド	R/W
29	THLEN	THL エントリ許可 TX FIFO モード : 0: TX 成功後エントリを THL に格納しない 1: TX 成功後エントリを THL に格納する RX FIFO モード : 予約ビット。読むと 0 が読めます。	R/W
30	CFRTR	共通 FIFO バッファ RTR ビット 0: データフレーム 1: リモートフレーム	R/W
31	CFIDE	共通 FIFO バッファ IDE ビット 0: STD-ID を送信予定あるいは受信済み 1: EXT-ID を送信予定あるいは受信済み	R/W

注. S-TYPE-3, P-TYPE-3

共通 FIFO アクセス ID レジスタは、メッセージの ID フィールド、IDE ビット、および RTR ビットを格納します。

TX モードでは、書き込みポインタ値に基づき、（他のエントリではなく）現在のエントリに対してのみ FIFO からデータを読み出し可能です。

CFID[28:0]ビット（共通 FIFO バッファ ID フィールド）

これらのビットは、FIFO バッファにあるメッセージの STD-ID/EXT-ID フィールドのビットです。

TX モードでは、FIFO バッファに対して書き込みおよび読み出しが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

THLEN ビット（THL エントリ許可）

このビットは、送信成功後、TX 履歴リストにある送信メッセージに対応するエントリの格納を制御します。

TX モードでは、FIFO バッファに対して書き込みおよび読み出しが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

CFRTR ビット（共通 FIFO バッファ RTR ビット）

このビットは、データフレームまたはリモートフレームを FIFO バッファから送信するのか、または FIFO バッファに受信したのかを示します。

注.CANFD フォーマットにはリモートフレームはありません。CANFD フレームを受信すると（RX モード）、レジスタは受信値（FD フレームフォーマットの RRS ビット）の状態を反映します。CANFD 送信時（TX モード、CFDCFID.CFFDF = 1）、本ビットは常にドミナント（データフレーム）として送信されます。

TX モードでは、FIFO バッファに対して書き込みおよび読み出しが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

CFIDE ビット（共通 FIFO バッファ IDE ビット）

このビットは、EXT-ID または STD-ID のメッセージを FIFO バッファから送信するのか、または FIFO バッファに受信したのかを示します。

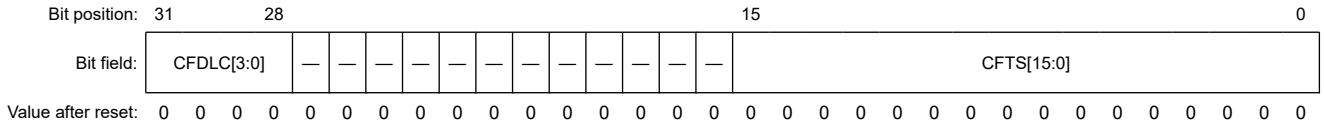
TX モードでは、FIFO バッファに対して書き込みおよび読み出しが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

32.2.61.14 CFDCFPTR : 共通 FIFO アクセスポインタレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x05BC



ビット	シンボル	機能	R/W
15:0	CFTS[15:0]	共通 FIFO タイムスタンプ値 受信した CAN フレームのタイムスタンプ値（FIFO は RX モード）	R/W
27:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:28	CFDLC[3:0]	共通 FIFO バッファ DLC フィールド CAN フレームで受信された、または CAN フレームで送信されるデータバイト数	R/W

注. S-TYPE-3, P-TYPE-3

共通 FIFO アクセスポインタレジスタは、DLC およびタイムスタンプフィールドを格納します。

TX モードでは、書き込みポインタ値に基づき、（他のエントリではなく）現在のエントリに対してのみ FIFO バッファからデータを読み出し可能です。

CFTS[15:0]ビット（共通 FIFO タイムスタンプ値）

CFTS[15:0]ビットは、受信メッセージの CFDGFDCFG.TSCCFG ビットにより設定されたキャプチャポイントで取得されたタイムスタンプ値を格納します（FIFO が RX モードに設定されている場合）。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

CFDLC[3:0]ビット（共通 FIFO バッファ DLC フィールド）

CFDLC[3:0]ビットは、FIFO バッファで受信された、または送信予定のデータバイト数を格納します。

データバイト数の定義の詳細については、ISO 11898-1 (2015) 仕様の表 5 を参照してください。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。TX モードに設定時、FIFO 内の他のエントリ用のデータを読み出さないでください。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

32.2.61.15 CFDCFFDCSTS : 共通 FIFO アクセス CANFD コントロール／ステータスレジスタ

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x05C0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CFPTR[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CFIFL[1:0]		—	—	—	—	—	CFFDF	CFBRS	CFESI
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CFESI(注1)	エラー状態表示ビット 0: エラーアクティブノードにより受信または送信する CANFD フレーム 1: エラーパッシブノードにより受信または送信する CANFD フレーム	R/W
1	CFBRS(注1)	ビットレートスイッチビット 0: ビットレートスイッチなしで受信または送信する CANFD フレーム 1: ビットレートスイッチ付きで受信または送信する CANFD フレーム	R/W
2	CFFDF(注1)	CAN FD フォーマットビット 0: 非 CANFD フレーム受信または送信 1: CANFD フレーム受信または送信	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	CFIFL[1:0]	共通 FIFO バッファ情報ラベルフィールド	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:16	CFPTR[15:0]	共通 FIFO バッファポインタフィールド	R/W

注. S-TYPE-3, P-TYPE-3
注 1. このビットは、クラシカル CAN 機能では使用できません。

共通 FIFO アクセス CANFD コントロール／ステータスレジスタは、受信したまたは送信する CANFD フレームのポインタを含めて、FDF ビット、BRS ビット、ESI ビットの状態を示します。

TX モードでは、書き込みポインタ値に基づき、（他のエントリではなく）現在のエントリに対してのみ FIFO からデータを読み出し可能です。

CFESI ビット（エラー状態表示ビット）

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。本モードでは、CANFD モジュールがエラーパッシブでない場合、CFESI ビットは書き込み値と等しくなります。CANFD モジュールがエラーパッシブの場合、本ビットは Don't care ビットとなり、CAN バス上を 1（エラーパッシブノードであることを示す）として送信されます。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モード時、CANFD フレームを受信すると、CFESI ビットは CANFD フレームの ESI ビット値で更新され、送信ノードのエラー状態を示します。RX モード時、受信した FDF ビットが 0 の場合本ビットに 0 が格納され、これは CAN 2.0 フレームが受信されたことを意味します。

注. このビットは、クラシカル CAN 機能では使用できません。

CFBRS ビット（ビットレートスイッチビット）

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。本モードで CANFD モジュールは、0 を送信しフレーム内でビットレートスイッチは送信されないことを示すか、または 1 を送信しフレーム内でビットレートスイッチを送信することを示します。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モード時、CANFD フレームを受信すると、CFBRS ビットは CANFD フレームの BRS ビット値で更新され、ビットレートスイッチの (1) または (0) のいずれが存在するか示します。

RX モード時、受信した FDF ビットが 0 の場合 CFBRS ビットに 0 が格納され、これは CAN 2.0 フレームが受信されたことを意味します。

注. このビットは、クラシカル CAN 機能では使用できません。

CFFDF ビット（CAN FD フォーマットビット）

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。本モードで CANFD モジュールは、0 を送信し CAN 2.0 フレームが送信されることを示すか、または 1 を送信し CANFD フレームが送信されることを示します。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モード時、CAN フレームを受信すると、CFFDF ビットは CAN フレームの FDF ビット値で更新され、それが CAN 2.0 フレーム (0) であるか CANFD フレーム (1) であるかを示します。

注. このビットは、クラシカル CAN 機能では使用できません。

CFIFL[1:0]ビット（共通 FIFO バッファ情報ラベルフィールド）

共通 FIFO が TX モードに設定されている場合は、メッセージ送信成功後、CFDCFFDCSTS.CFIFL[1:0]に書かれている値が追加のメッセージ情報と一緒に TX 履歴リストに格納されます。

関連するグローバルアクセプタンスフィルタリストエントリの情報ラベル値がこれらのビットに格納されます（FIFO が RX モードに設定時）。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

CFPTR[15:0]ビット（共通 FIFO バッファポインタフィールド）

共通 FIFO が TX モードに設定されている場合は、メッセージ送信成功後、CFDCFFDCSTS.CFPTR[15:0]に書かれている値が追加のメッセージ情報と一緒に TX 履歴リストに格納されます。

関連するグローバルアクセプタンスフィルタリストエントリのポインタ値がこれらのビットに格納されます（FIFO が RX モードに設定時）。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

32.2.61.16 CFDCFDFp : 共通 FIFO アクセスデータフィールド p レジスタ (p = 0～15)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x05C4 + 0x004 × p

Bit position:	31 … 24	23 … 16	15 … 8	7 … 0
Bit field:	CFDB_HH[7:0]	CFDB_HL[7:0]	CFDB_LH[7:0]	CFDB_LL[7:0]
Value after reset:	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
7:0	CFDB_LL[7:0]	共通 FIFO バッファデータバイト (p * 4)	R/W
15:8	CFDB_LH[7:0]	共通 FIFO バッファデータバイト ((p * 4) + 1)	R/W

ビット	シンボル	機能	R/W
23:16	CFDB_HL[7:0]	共通 FIFO バッファデータバイト ((p * 4) + 2)	R/W
31:24	CFDB_HH[7:0]	共通 FIFO バッファデータバイト ((p * 4) + 3)	R/W

注. S-TYPE-3, P-TYPE-3

FIFO アクセスデータフィールド p レジスタ（p = 0～15）は、メッセージのデータバイト (p * 4) ～データバイト ((p * 4) + 3) を格納します。

TX モードでは、書き込みポインタ値に基づき、（他のエントリではなく）現在のエントリに対してのみ FIFO からデータを読み出し可能です。

CFDB_LL[7:0]ビット（共通 FIFO バッファデータバイト (p * 4)）

CFDB_LL[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト (p * 4) を格納します。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モードでは、未使用データバイトは、CFDCFCC.CFPLS で設定されたデータペイロードサイズに従って、0x00 で埋められます。(注1)

CFDB_LH[7:0]ビット（共通 FIFO バッファデータバイト ((p * 4) + 1)）

CFDB_LH[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト ((p * 4) + 1) を格納します。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モードでは、未使用データバイトは、CFDCFCC.CFPLS で設定されたデータペイロードサイズに従って、0x00 で埋められます。(注1)

CFDB_HL[7:0]ビット（共通 FIFO バッファデータバイト ((p * 4) + 2)）

CFDB_HL[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト ((p * 4) + 2) を格納します。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モードでは、未使用データバイトは、CFDCFCC.CFPLS で設定されたデータペイロードサイズに従って、0x00 で埋められます。(注1)

CFDB_HH[7:0]ビット（共通 FIFO バッファデータバイト ((p * 4) + 3)）

CFDB_HH[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト ((p * 4) + 3) を格納します。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モードでは、未使用データバイトは、CFDCFCC.CFPLS で設定されたデータペイロードサイズに従って、0x00 で埋められます。(注1)

注 1. RX モードでは、未使用データバイトは、CFDCFCC.CFPLS で設定されたデータペイロードサイズに従って、0x00 で埋められます。これは、クラシカル CAN 機能にはない CANFD 機能です。

32.2.61.17 CFDTMBCPb[0] : Tx メッセージバッファコンポーネント b（b = 0～3）

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 表 32.4 を参照。

Bit position:	31																												0
Bit field:	Rc[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	Rc[31:0]	TX メッセージバッファコンポーネント c 本メッセージバッファコンポーネント内に含まれる各レジスタとその関連するビットの詳細については、表 32.11、表 32.12 および以下の説明を参照してください。	R

注. S-TYPE-3, P-TYPE-3

ここで、図 32.28 に示すように、CFDTMBCPn の合計数 = 4 です（c = TX メッセージバッファコンポーネントレジスタインデックス = [0...18]）。

Rc[31:0]ビット（TX メッセージバッファコンポーネント c）

TX メッセージバッファコンポーネント c

TX メッセージバッファコンポーネントは下記のレジスタより構成されます。CFDTMIDb、CFDTMPTRb、CFDTMFDCTRb、および CFDTMDFbp。本バッファコンポーネントの構造の解釈方法およびそれぞれのレジスタへのアクセス方法の詳細については、表 32.12 を参照してください。

表 32.11 TX メッセージバッファコンポーネントの概要

TX メッセージバッファコンポーネント (TMBCP)	
Rc	**CANFD モード (CAN_FD_MODE = 1b)**
R0	TX メッセージバッファ (b) ID レジスタ
R1	TX メッセージバッファ (b) ポインタ レジスタ
R2	TX メッセージバッファ (b) CANFD ステータスレジスタ
R3	TX メッセージバッファ (b) データフィールド 0 レジスタ
R4	TX メッセージバッファ (b) データフィールド 1 レジスタ
R5	TX メッセージバッファ (b) データフィールド 2 レジスタ
R6	TX メッセージバッファ (b) データフィールド 3 レジスタ
R7	TX メッセージバッファ (b) データフィールド 4 レジスタ
R8	TX メッセージバッファ (b) データフィールド 5 レジスタ
R9	TX メッセージバッファ (b) データフィールド 6 レジスタ
R10	TX メッセージバッファ (b) データフィールド 7 レジスタ
R11	TX メッセージバッファ (b) データフィールド 8 レジスタ
R12	TX メッセージバッファ (b) データフィールド 9 レジスタ
R13	TX メッセージバッファ (b) データフィールド 10 レジスタ
R14	TX メッセージバッファ (b) データフィールド 11 レジスタ
R15	TX メッセージバッファ (b) データフィールド 12 レジスタ
R16	TX メッセージバッファ (b) データフィールド 13 レジスタ
R17	TX メッセージバッファ (b) データフィールド 14 レジスタ
R18	TX メッセージバッファ (b) データフィールド 15 レジスタ
R[19...31]	—

表 32.12 TX メッセージバッファコンポーネント (TMBCP) の詳細 (1/2)

Rc	p	シンボル	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R0	x	CFDTMIDb	TMIDE	TMRTR	THLEN	TMID																												
R1	x	CFDTMPTRb	TMDLC				—	—	—	—	—	—	—	—	—	—	—	—	CFTS															

表 32.12 TX メッセージバッファコンポーネント (TMBCP) の詳細 (2/2)

Rc	p	シンボル	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R2	x	CFDTM FDCTRb	TMPTR																—	—	—	—	—	—	TMIFL		—	—	—	—	—	TMFDF	TMBRS	TMESI
R3	0	CFDTM DFbp	TMDB_HH								TMDB_HL								TMDB_LH								TMDB_LL							
R [4...18]	[1… 15]	CFDTM DFbp	TMDB_HH								TMDB_HL								TMDB_LH								TMDB_LL							

32.2.61.18 CFDTMIDb : TX メッセージバッファ ID レジスタ (b = 0〜3)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0604 + 0x004C × b

Bit position:	31	30	29	0
Bit field:	TMIDE	TMRTR	THLEN	TMID[28:0]
Value after reset:	0	0	0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
28:0	TMID[28:0]	TX メッセージバッファ ID フィールド STD-ID/EXT-ID フィールド	R/W
29	THLEN	Tx 履歴リストエントリ 0: TX 成功後エントリを THL に格納しない 1: TX 成功後エントリを THL に格納する	R/W
30	TMRTR	TX メッセージバッファ RTR 0: データフレーム 1: リモートフレーム	R/W
31	TMIDE	TX メッセージバッファ IDE 0: STD-ID が送信される 1: EXT-ID が送信される	R/W

注. S-TYPE-3, P-TYPE-3

各 TX メッセージバッファ ID レジスタ b (b = 0〜3) は、関連するバッファから送信するメッセージの ID、IDE、RTR の各フィールドおよび履歴構成を格納するのに使用されます。

TMID[28:0]ビット（TX メッセージバッファ ID フィールド）

TMID[28:0]ビットは、本 TX メッセージバッファに格納されているメッセージの STD-ID/EXT-ID フィールドのビットです。

関連する CANFD チャネルが CH_SLEEP モードの場合、これらのビットへ書き込みを行わないでください。

THLEN ビット（Tx 履歴リストエントリ）

THLEN ビットは、送信成功後、TX 履歴リストにある送信メッセージに対応するエントリの格納を制御します。

関連する CANFD チャネルが CH_SLEEP モードの場合、これらのビットへ書き込みを行わないでください。

TMRTR ビット（TX メッセージバッファ RTR）

TMRTR ビットは、本 TX メッセージバッファからデータフレームを送信するのかまたはリモートフレームを送信するのかを選択します。

注. CANFD フォーマットにはリモートフレームはありません。CANFD 送信時 (CFDTMFDCTRb.CFFDF = 1)、本ビットは常にドミナント（データフレーム）として送信されます。

関連する CANFD チャネルが CH_SLEEP モードの場合、これらのビットへ書き込みを行わないでください。

TMIDE ビット（TX メッセージバッファ IDE）

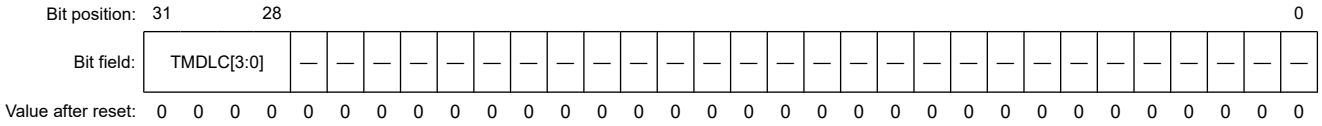
TMIDE ビットは、本 TX バッファから EXT-ID 付きのメッセージを送信するのかまたは STD-ID 付きのメッセージを送信するのかを選択します。

関連する CANFD チャネルが CH_SLEEP モードの場合、これらのビットへ書き込みを行わないでください。

32.2.61.19 CFDTMPTRb : TX メッセージバッファポインタレジスタ (b = 0～3)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0608 + 0x004C × b



ビット	シンボル	機能	R/W
27:0	—	読み出し値は不定です。書く場合、0 としてください。	R/W
31:28	TMDLC[3:0]	TX メッセージバッファ DLC フィールド CAN フレームで送信するデータバイト数	R/W

注. S-TYPE-3, P-TYPE-3

各 TX メッセージバッファポインタレジスタ b (b = 0～3) は、対応するバッファから送信するためのメッセージの DLC フィールドを格納するために使用されます。

TMDLC[3:0]ビット（TX メッセージバッファ DLC フィールド）

TMDLC[3:0]ビットは、対応する TMRTR ビットが 0 に設定されているとき、本 TX メッセージバッファから送信するデータバイト数を選択します。

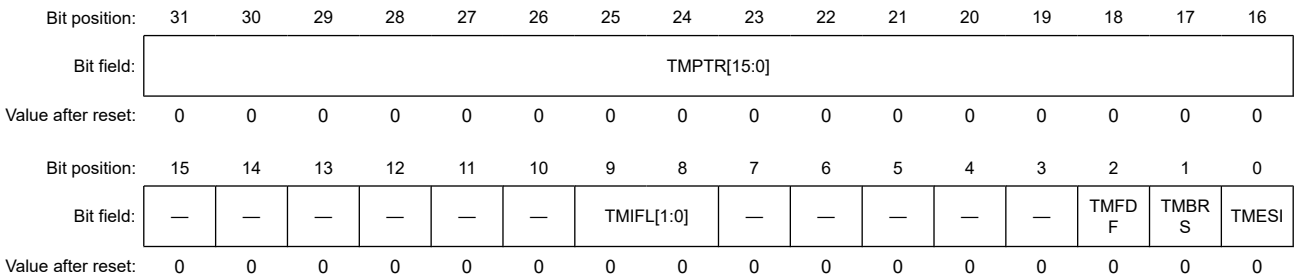
送信するデータバイト数の定義の詳細については、ISO 11898-1 (2015) 仕様の表 5 を参照してください。

関連する CANFD チャネルが CH_SLEEP モードの場合、これらのビットへ書き込みを行わないでください。

32.2.61.20 CFDTMFDCTRb : TX メッセージバッファ CANFD コントロールレジスタ (b = 0～3)

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x060C + 0x004C × b



ビット	シンボル	機能	R/W
0	TMESI(注1)	エラー状態表示ビット 0: エラーアクティブノードにより送信する CANFD フレーム 1: エラーパッシブノードにより送信する CANFD フレーム	R/W

ビット	シンボル	機能	R/W
1	TMBRS(注1)	ビットレートスイッチビット 0: ビットレートスイッチなしで送信する CANFD フレーム 1: ビットレートスイッチ付きで送信する CANFD フレーム	R/W
2	TMFDF(注1)	CAN FD フォーマットビット 0: 非 CANFD フレームを送信 1: CANFD フレームを送信	R/W
7:3	—	読み出し値は不定です。書く場合、0 としてください。	R/W
9:8	TMIFL[1:0]	TX メッセージバッファ情報ラベルフィールド	R/W
15:10	—	読み出し値は不定です。書く場合、0 としてください。	R/W
31:16	TMPTR[15:0]	TX メッセージバッファポインタフィールド	R/W

注. S-TYPE-3, P-TYPE-3
注 1. このビットは、クラシカル CAN 機能では使用できません。

TX メッセージバッファ CANFD コントロールレジスタ b (b = 0～3) は、送信する CANFD フレームのポインタフィールドを含めて、FDF ビット、BRS ビット、および ESI ビットの状態を示します。

TMESI ビット（エラー状態表示ビット）

チャネルがエラーパッシブでない場合、TMESI ビットは書き込み値と等しくなります。チャネルがエラーパッシブの場合、本ビットは Don't care ビットとなり、CAN バス上を 1（エラーパッシブノードであることを示す）として送信されます。

関連する CANFD チャネルが CH_SLEEP モードの場合、TMESI ビットへ書き込みを行わないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

TMBRS ビット（ビットレートスイッチビット）

関連する CANFD チャネルが CH_SLEEP モードの場合、TMBRS ビットへ書き込みを行わないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

TMFDF ビット（CAN FD フォーマットビット）

関連する CANFD チャネルが CH_SLEEP モードの場合、TMFDF ビットへ書き込みを行わないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

TMIFL[1:0]ビット（TX メッセージバッファ情報ラベルフィールド）

TMIFL[1:0]ビットは、メッセージの送信成功後、コピー対象の情報ラベル値を追加のメッセージ情報とともに TX 履歴リストに格納します。

関連する CANFD チャネルが CH_SLEEP モードの場合、これらのビットへ書き込みを行わないでください。

TMPTR[15:0]ビット（TX メッセージバッファポインタフィールド）

TMPTR[15:0]ビットは、メッセージの送信成功後、コピー対象のポインタ値を追加のメッセージ情報とともに TX 履歴リストに格納します。

関連する CANFD チャネルが CH_SLEEP モードの場合、これらのビットへ書き込みを行わないでください。

32.2.61.21 CFDTMDFb_p : TX メッセージバッファデータフィールドレジスタ（p= 0～15、b= 0～3）

Base address: CANFDn = 0x4038_0000 + 0x2000 × n (n = 0, 1)
CANFDn_NS = 0x5038_0000 + 0x2000 × n (n = 0, 1)

Offset address: 0x0610 + 0x004 × p + 0x004C × b

Bit position:	31 … 24	23 … 16	15 … 8	7 … 0
Bit field:	TMDB_HH[7:0]	TMDB_HL[7:0]	TMDB_LH[7:0]	TMDB_LL[7:0]
Value after reset:	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
7:0	TMDB_LL[7:0]	TX メッセージバッファデータバイト (p × 4)	R/W
15:8	TMDB_LH[7:0]	TX メッセージバッファデータバイト ((p × 4) + 1)	R/W
23:16	TMDB_HL[7:0]	TX メッセージバッファデータバイト ((p × 4) + 2)	R/W
31:24	TMDB_HH[7:0]	TX メッセージバッファデータバイト ((p × 4) + 3)	R/W

注. S-TYPE-3, P-TYPE-3

各 TX メッセージバッファデータフィールド p レジスタ b（p = 0～15、b = 0～3）は、関連するバッファから送信するメッセージのデータバイト (p × 4)～データバイト ((p × 4) + 3) を格納します。

TMDB_LL[7:0]ビット（TX メッセージバッファデータバイト (p × 4)）

TMDB_LL[7:0]ビットは、TX メッセージバッファにあるメッセージのデータバイト (p × 4) を格納します。

関連する CANFD チャネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

TMDB_LH[7:0]ビット（TX メッセージバッファデータバイト ((p × 4) + 1)）

TMDB_LH[7:0]ビットは、TX メッセージバッファにあるメッセージのデータバイト ((p × 4) + 1) を格納します。

関連する CANFD チャネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

TMDB_HL[7:0]ビット（TX メッセージバッファデータバイト ((p × 4) + 2)）

TMDB_HL[7:0]ビットは、TX メッセージバッファにあるメッセージのデータバイト ((p × 4) + 2) を格納します。

関連する CANFD チャネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

TMDB_HH[7:0]ビット（TX メッセージバッファデータバイト ((p × 4) + 3)）

TMDB_HH[7:0]ビットは、TX メッセージバッファにあるメッセージのデータバイト ((p × 4) + 3) を格納します。

関連する CANFD チャネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

32.3 動作の概要

32.3.1 概要

CANFD モジュールのモードは、次の 2 つのグループに分けられます。

- グローバルモード
- チャネルモード

32.3.2 グローバルモード

これらのモードは、CANFD モジュール全体に適用されることから、グローバルモードと呼ばれます。CANFD モジュールのグローバルモードには、以下のものがあります。

- グローバルスリープ
- グローバルリセット
- グローバル Halt
- グローバルオペレーション

図 32.2 に、グローバルモード間で行うことができる遷移を示します。

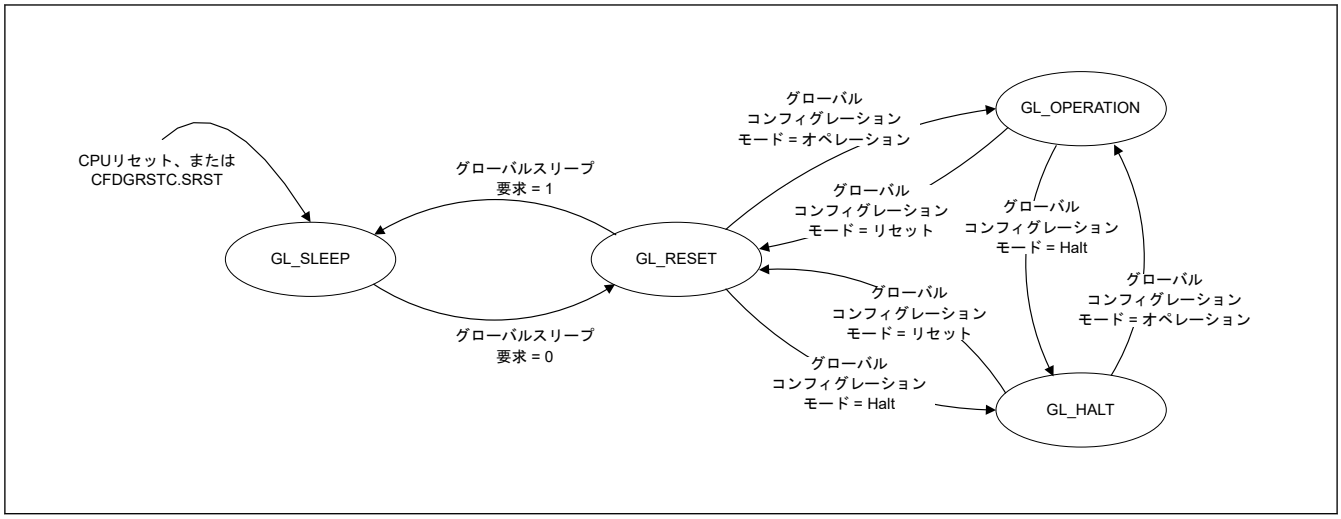


図 32.2　CANFD グローバルモード間の遷移

グローバルモードを変更すると、チャネルモードに影響を与えることがあります。表 32.13 に、グローバルモードの遷移がチャネルモードに与える影響を示します。

表 32.13　可能な CANFD チャネルモードとグローバルモード

	ターゲットグローバルモード			
現在のグローバルモード	**スリープ**	**リセット**	**Halt**	**オペレーション**
スリープ		チャネルスリープ：Keep チャネルリセット：なし チャネル Halt：なし チャネルオペレーション：なし		
リセット	チャネルスリープ：Keep チャネルリセット：→ チャネルスリープ チャネル Halt：なし チャネルオペレーション：なし		チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：なし チャネルオペレーション：なし	チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：なし チャネルオペレーション：なし
Halt		チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：→ チャネルリセット チャネルオペレーション：なし		チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：Keep チャネルオペレーション：なし
オペレーション		チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：→ チャネルリセット チャネルオペレーション：→ チャネルリセット	チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：Keep チャネルオペレーション：→ チャネル Halt	

32.3.2.1　グローバルスリープモード

ハードウェアリセットが解除された後、または CFDGRSTC.SRST ビットがセット／クリアされた後、CANFD モジュールは自動的にグローバルスリープモードに遷移します。

CANFD モジュールは、グローバルリセットモード中にグローバルスリープ要求ビットがセットされたときも、グローバルスリープモードに遷移します。グローバル Halt モードやグローバルオペレーションモードでは、この制御ビットはセットできません。

グローバルスリープ要求ビットをセットすると、チャネルスリープ要求ビットがセットされ、チャネルが強制的にチャネルスリープモードになります。

スリープモードは、消費電力を削減するために使用されます。CANFD モジュールがグローバルスリープモードのとき、グローバルスリープモード要求ビットへの CPU 書き込み用のクロックのみがアクティブになります。その他すべてのクロックは停止され、CANFD モジュールのその他すべての機能はサスペンド状態になります。

すべてのレジスタの読み出しは可能で、すべてのレジスタ値は保持されます。

グローバルスリープ要求ビットをセットした後、このビットを再度クリアする前に、グローバルスリープステータスが更新されていること、つまり、グローバルスリープモードへの遷移が正常に行われたことを確認する必要があります。

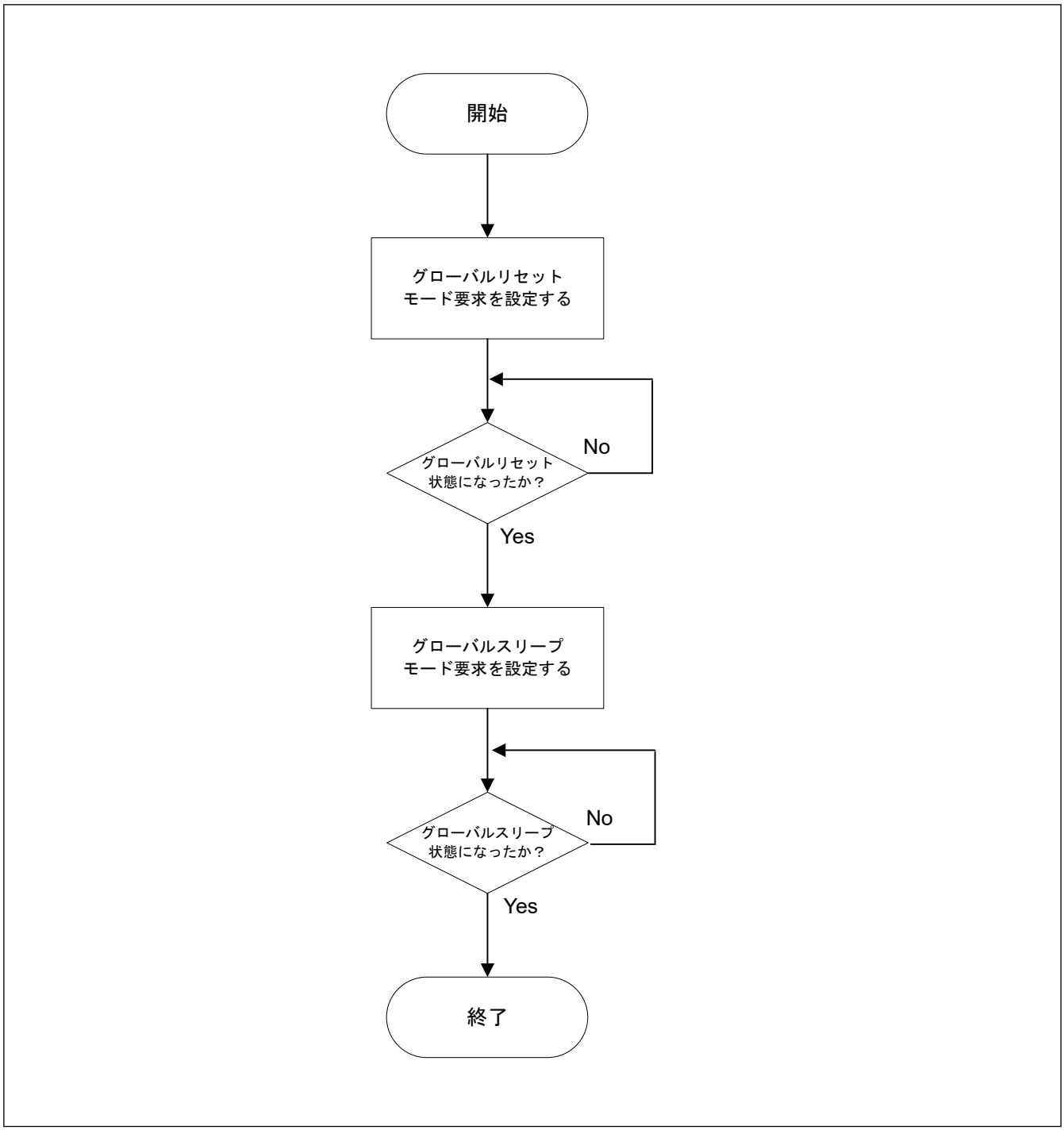


図 32.3　グローバルスリープモードへの遷移手順

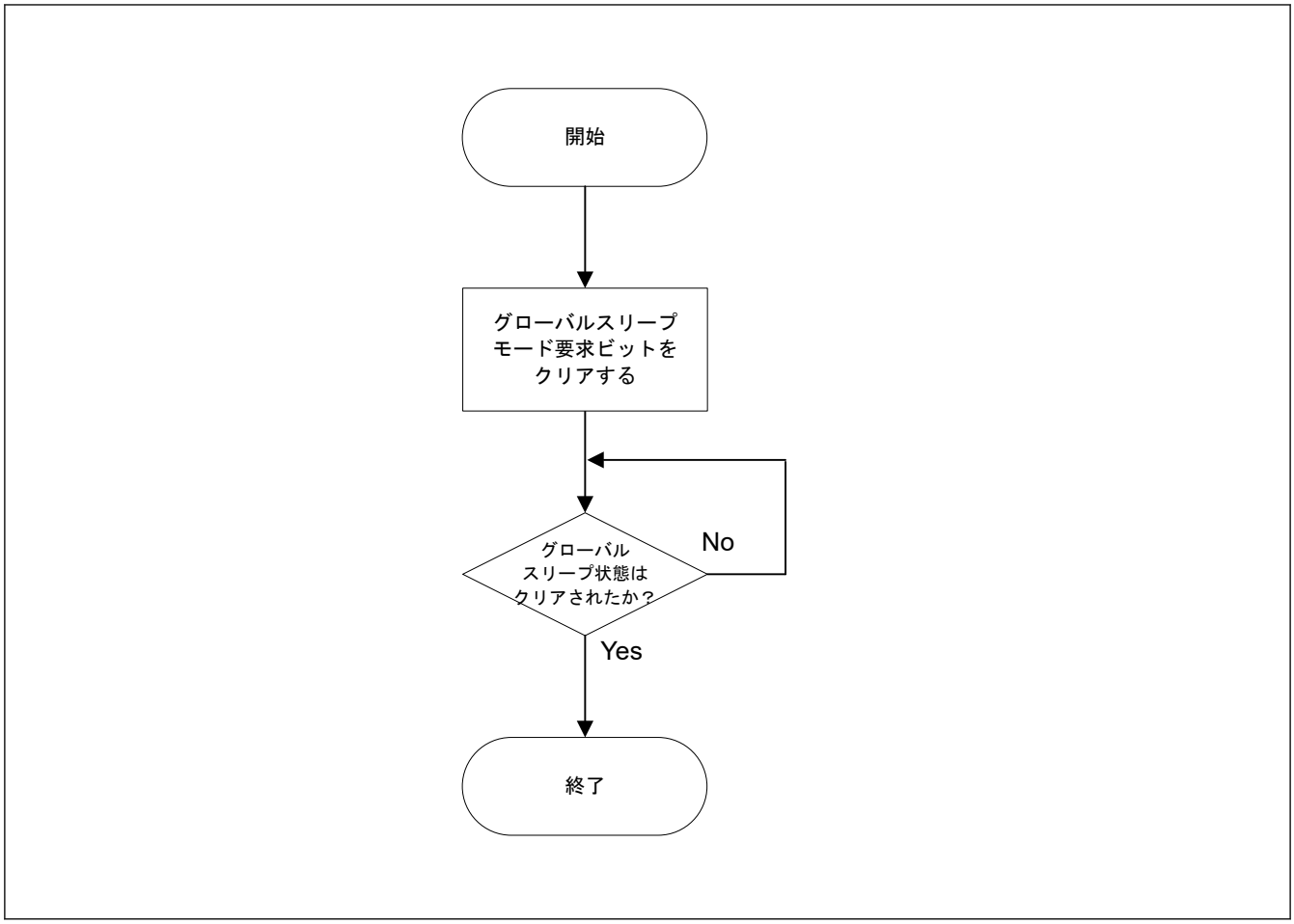


図 32.4　グローバルスリープモードの解除手順

32.3.2.2　グローバルリセットモード

CANFD モジュールは、以下の方法でこのモードに遷移します。

- CANFD モジュールがグローバル Halt モードまたはグローバルオペレーションモードのとき、グローバルコントロールレジスタのグローバルモード制御ビット CFDGCTR.GMDC がグローバルリセットモードに設定される。
- CANFD モジュールがグローバルスリープモードのとき、グローバルスリープモード要求ビットがクリアされる。

グローバルリセットモードでは、CANFD モジュールのすべての機能がサスペンド状態になり、すべてのステータスレジスタおよびフラグレジスタが初期化されます。

さらに、すべての FIFO および TX キューが無効になり、送信制御ビットがクリアされます。

このモードでは、コンフィグレーションレジスタ（テストモードレジスタを除く）は MCU リセット値に初期化されないため、CANFD モジュールの構成は可能です。

グローバルリセットモードへの遷移が行われるときの全レジスタの動作の詳細については、「32.3.4. グローバルモード遷移とチャネルモード遷移の相互作用」を参照してください。

グローバルコントロールレジスタのグローバルモード制御ビット CFDGCTR.GMDC を 01b にセットすることにより、グローバルモードをリセットに設定すると、チャネルコントロールレジスタのチャネルモード制御ビット CFDC0CTR.CHMDC が 01b にセットされ、チャネルが強制的にチャネルリセットモードになります。

すでにチャネルリセットモードまたはチャネルスリープモードになっているチャネルについては、この自動遷移は行われません（関連するチャネルの CFDC0CTR.CHMDC がすでに 01b にセットされている場合）。

グローバルモード制御ビット CFDGCTR.GMDC をリセットモードに設定した後、CFDGCTR.GMDC を再度変更する前に、グローバルステータスレジスタのリセットモードステータスビット CFDGSTS.GRSTSTS が更新されていること、つまり、グローバルリセットモードへの遷移が正常に行われたことを確認する必要があります。

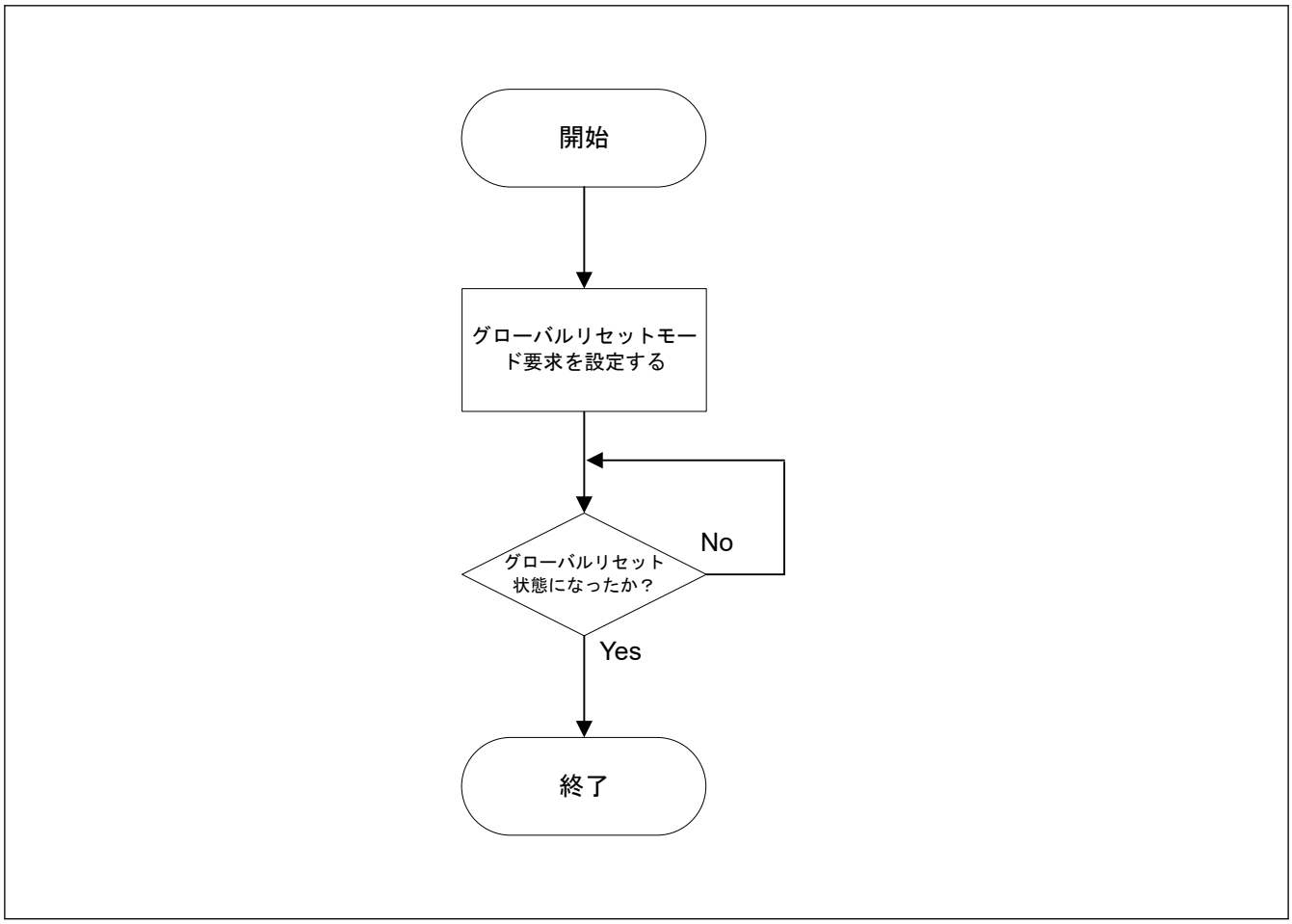


図 32.5　グローバルリセットモードへの遷移手順

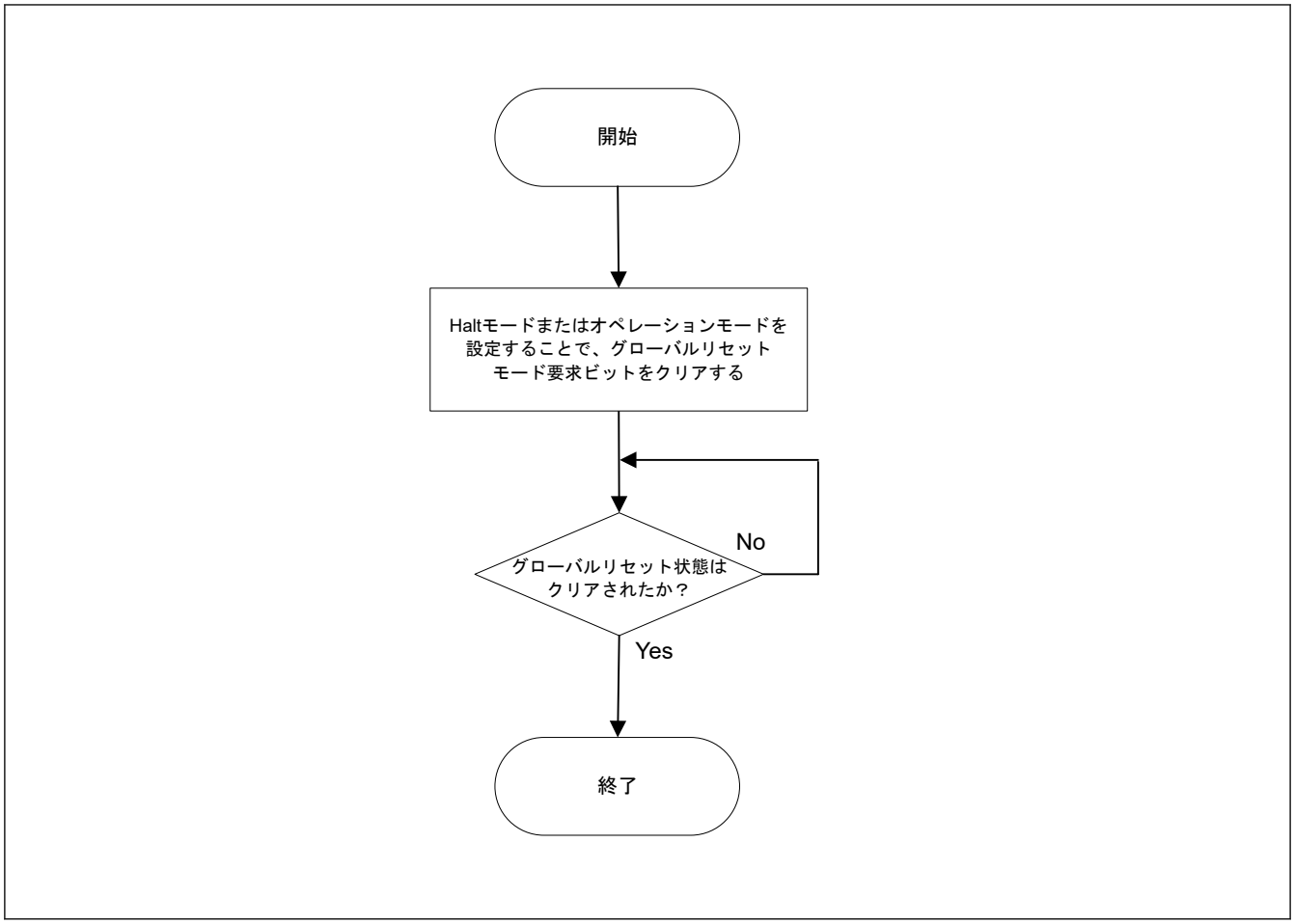


図 32.6　グローバルリセットモードの解除手順

32.3.2.3　グローバル Halt モード

CANFD モジュールは、以下の方法でこのモードに遷移します。

- CANFD モジュールがグローバルリセットモードのとき、グローバルコントロールレジスタのグローバルモード制御ビット CFDGCTR.GMDC がグローバル Halt モードに設定される。
  - チャネルリセットモードまたはチャネルスリープモードのいずれかのチャネルは、そのモードのまま保たれる。
- CANFD モジュールがグローバルオペレーションモードのとき、グローバルコントロールレジスタのグローバルモード制御ビット CFDGCTR.GMDC がグローバル Halt モードに設定される。
  - チャネルリセットモード、チャネル Halt モード、チャネルスリープモードのチャネルは、そのモードのまま保たれる。
  - チャネルオペレーションモードのチャネルは、チャネル Halt モードに遷移する。
  - チャネルがチャネルオペレーションモードから遷移すると、グローバル Halt モードステータスビットがセットされる。

チャネルが送信または受信を実行中の場合、通信が完了するまでチャネル Halt モードへの遷移は遅延されます。

同様に、チャネルがバスオフ状態の場合、チャネルの構成に応じて、完全なバスオフ復帰シーケンスが遅延されることがあります。

グローバル Halt モードでは、すべての通信がサスペンド状態になり、CANFD ロジックによりステータスレジスタおよびフラグレジスタが変更されることはありません（チャネルがバスオフ状態であるときのみ、REC 値と TEC 値がクリアされます）。また、このモードでは、テストモードの構成やコントロールレジスタは初期化されません。

グローバル Halt モードは、グローバルモジュールテストモードを構成するために使用します。

グローバル Halt モードへの遷移が行われるときの全レジスタの動作の詳細については、「32.3.4. グローバルモード遷移とチャネルモード遷移の相互作用」を参照してください。

グローバルコントロールレジスタのグローバルモード制御ビット CFDGCTR.GMDC を 10b にセットすることによってグローバルモードを Halt に設定すると、チャネルオペレーションモードになっているチャネルのチャネルコントロールレジスタのチャネルモード制御ビット CFDC0CTR.CHMDC が 10b にセットされ、強制的にチャネル Halt モードになります。

すでにチャネルリセットモード、チャネル Halt モード、またはチャネルスリープモードになっているチャネルについては、この自動遷移は行われません。

したがって、グローバル Halt モード要求は、メッセージをロストしたり関連する CAN バスを混乱させることなく（チャネル上の受信／送信プロセスを中断せずに）、すべての CANFD チャネル通信を遮断するために使用できます。

グローバルモード制御ビット CFDGCTR.GMDC を Halt モードに設定した後、グローバルステータスレジスタの Halt モードステータスビット CFDGSTS.GHLTSTS が更新されていること、つまり、グローバル Halt モードへの遷移が正常に行われたことを確認する必要があります。CFDGSTS.GHLTSTS がセットされていることを確認するまでは、他の SFR 設定を指定しないでください。

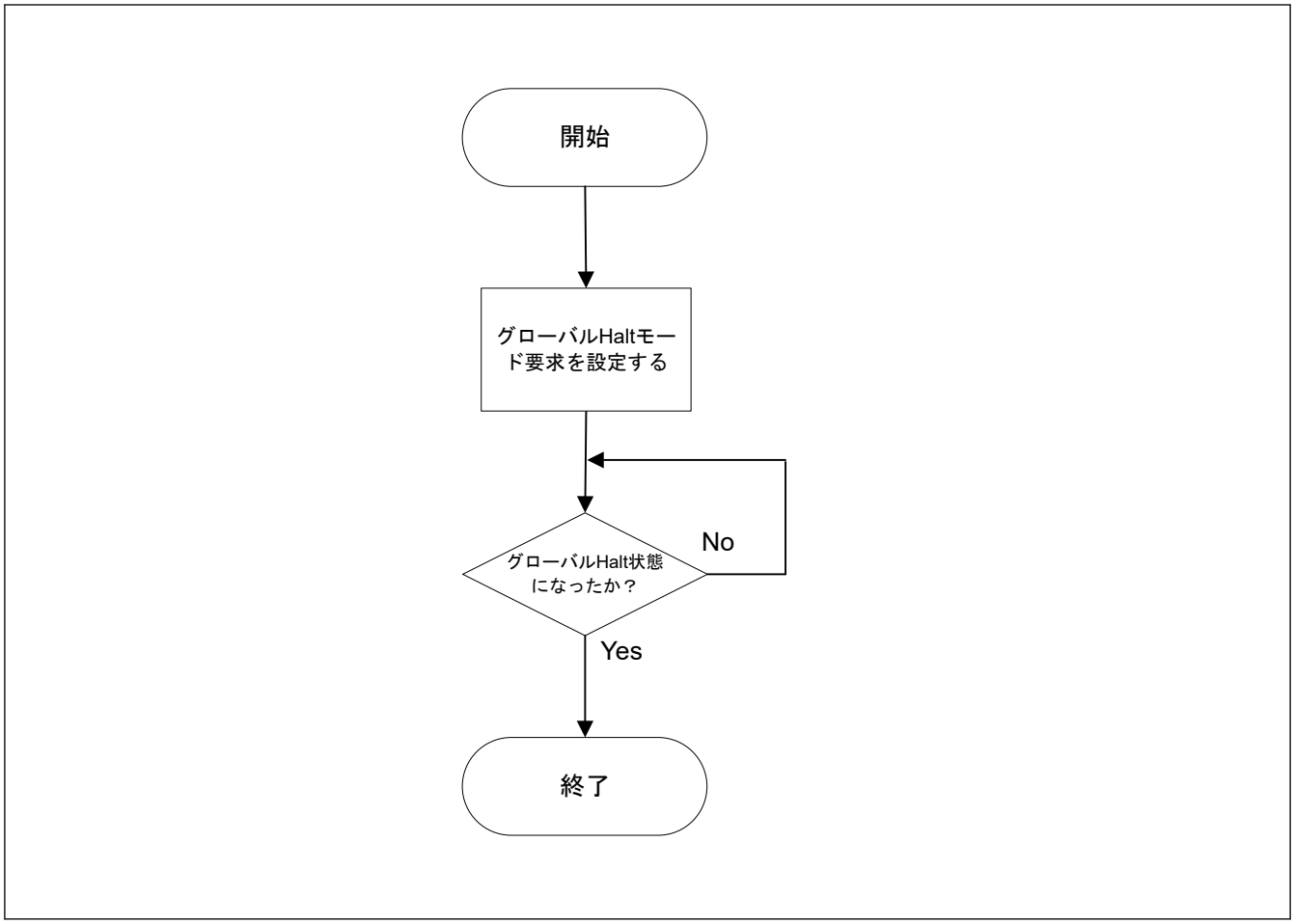


図 32.7　グローバル Halt モードへの遷移手順

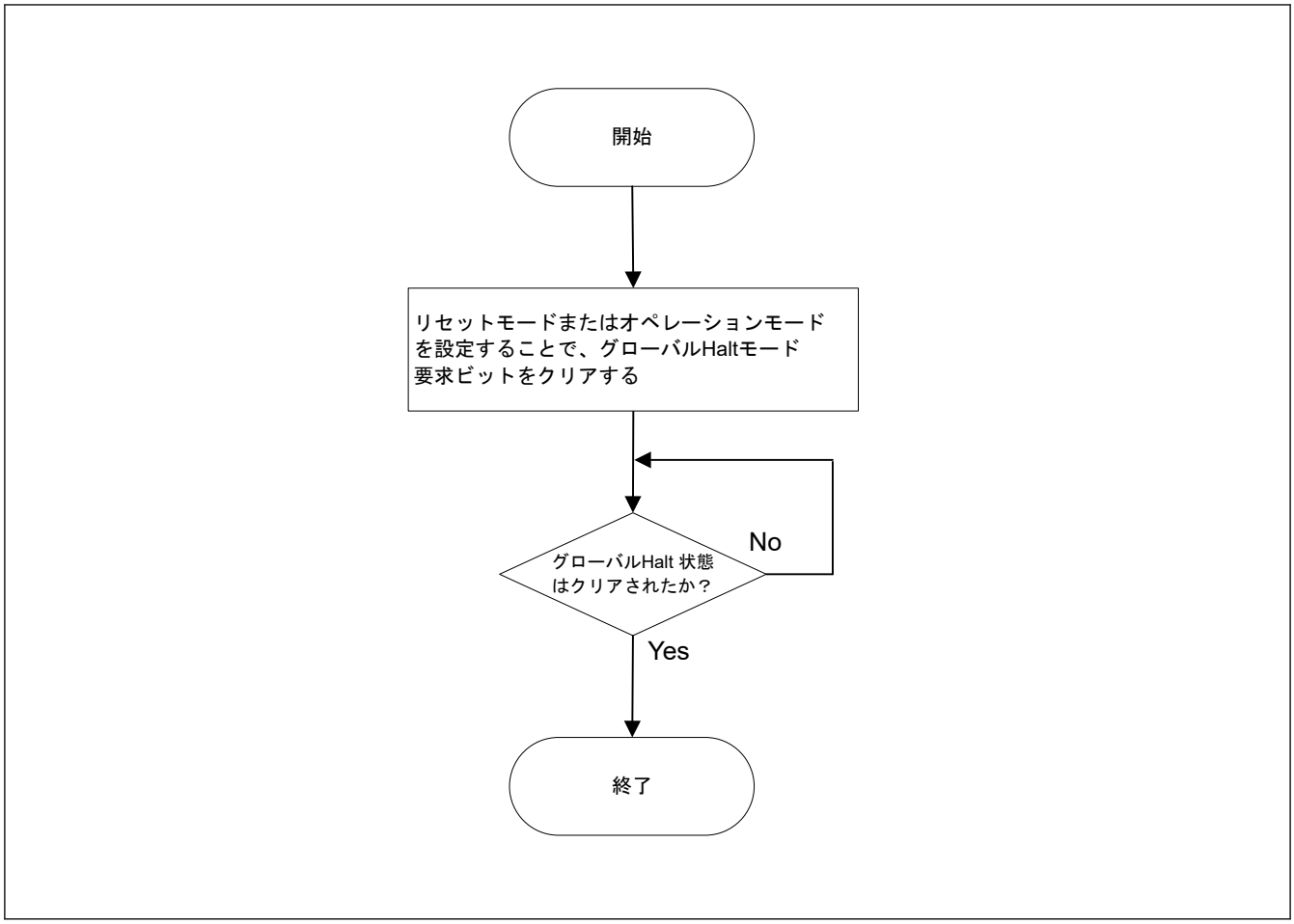


図 32.8　グローバル Halt モードの解除手順

32.3.2.4　グローバルオペレーションモード

CANFD モジュールは、グローバルモードコンフィグレーションビットがグローバルオペレーションモードに設定されたとき、このモードに遷移します。

CANFD がグローバルオペレーションモードのときのみ、CANFD チャネルをチャネルオペレーションモードに設定して、CAN 通信を開始することができます。

グローバルモード制御ビット CFDGCTR.GMDC をグローバルオペレーションモードに設定した後、CFDGCTR.GMDC を再度変更する前に、グローバルステータスレジスタのグローバルリセットモードステータスビット CFDGSTS.GRSTSTS およびグローバル Halt モードステータスビット CFDGSTS.GHLTSTS が更新されていること、つまり、グローバルオペレーションモードへの遷移が正常に行われたことを確認する必要があります。

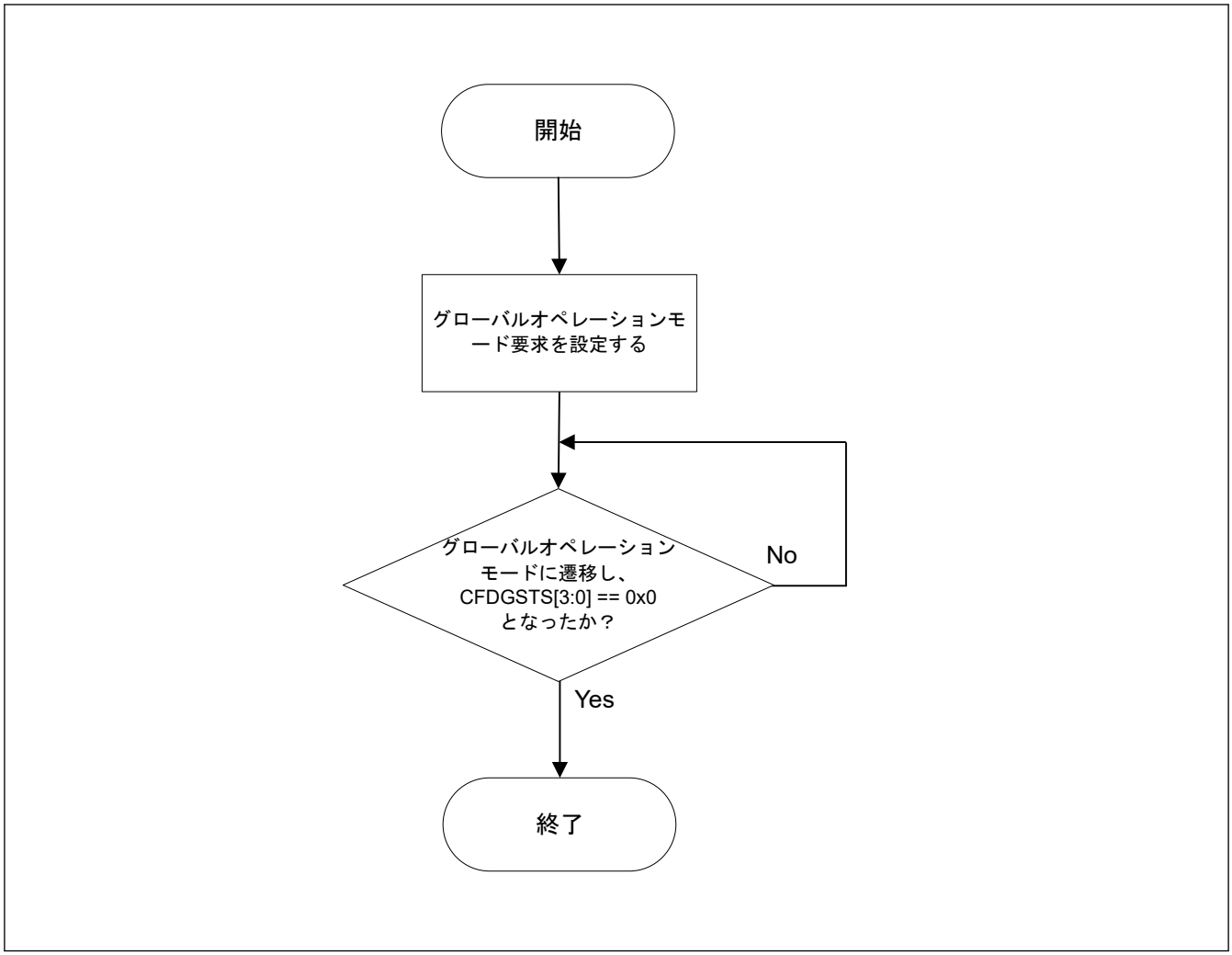


図 32.9　グローバルオペレーションモードへの遷移手順

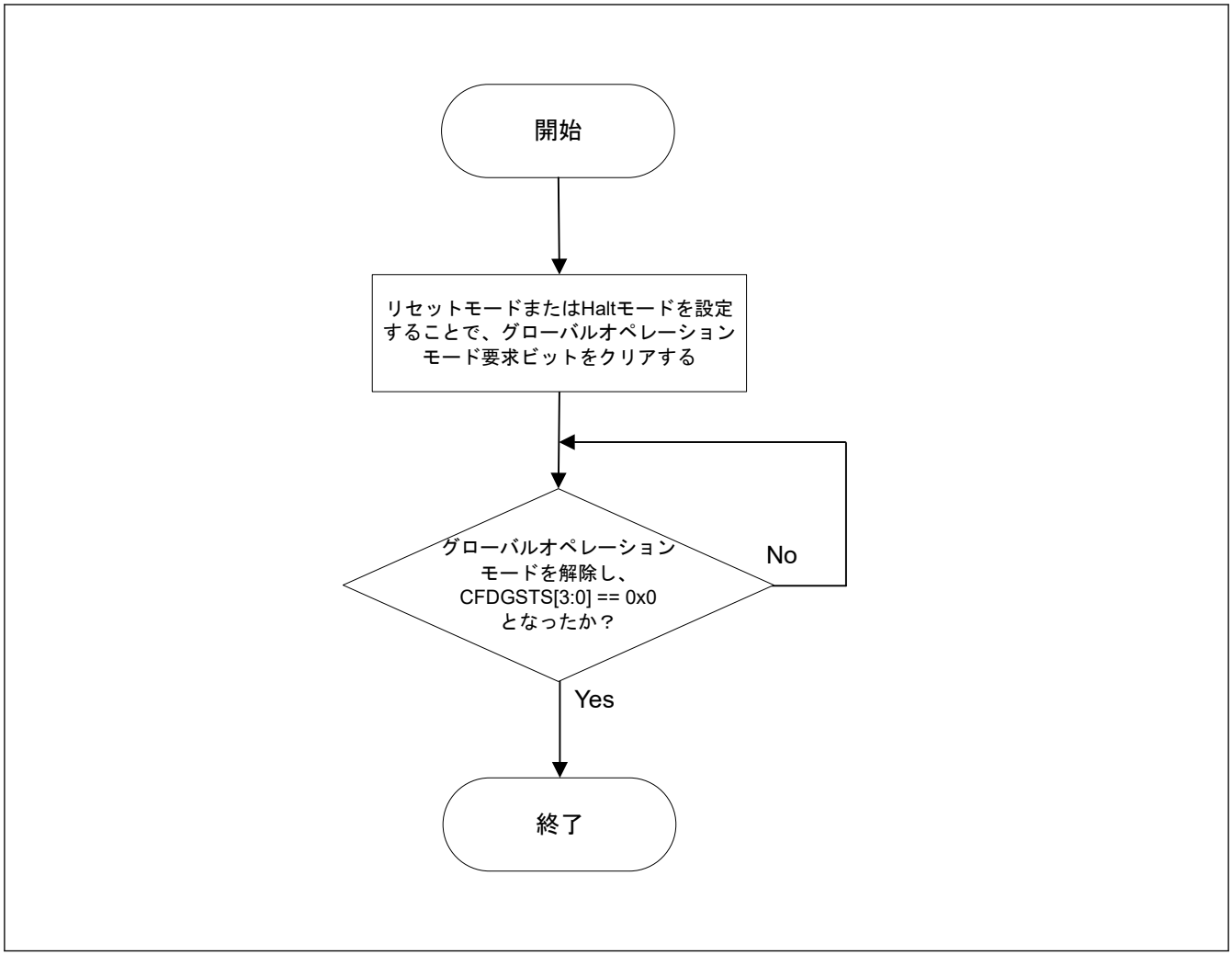


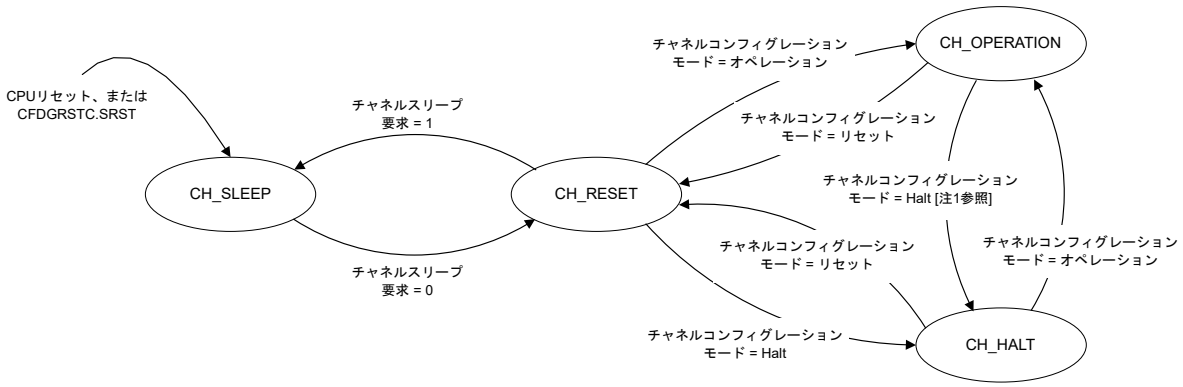
図 32.10　グローバルオペレーションモードの解除手順

32.3.3　チャネルモード

CAN チャネルは、以下の 4 つのチャネルモードのいずれかにできます。

- リセット
- Halt
- オペレーション
- スリープ

図 32.11 に、チャネルモード間で行うことができる遷移を示します。



注 1. 遷移のタイミングは、チャネルコンフィグレーションレジスタの BOM の設定によって決まります。
- BOM = 01b のとき、状態遷移のタイミングは、バスオフ状態遷移した直後です。
- BOM = 10b のとき、状態遷移のタイミングは、バスオフ状態の終了時です。
- BOM = 11b のとき、状態遷移のタイミングは、CHMDC の Halt モードへの設定に一致します。

図 32.11 CAN チャネルモード間の遷移

32.3.3.1 CAN チャネルスリープモード

ハードウェアリセットが解除された後、または CFDGRSTC.SRST ビットがセット／クリアされた後、CANFD モジュールの CAN チャネルは自動的にチャネルスリープモードに遷移します。

CAN チャネルは、チャネルリセットモード中にチャネルスリープモード要求ビットがセットされたときも、チャネルスリープモードに遷移します。チャネル Halt モードやチャネルオペレーションモードでは、この制御ビットをセットしないでください。

CAN チャネルスリープモードに遷移すると、即座に CAN チャネルユニットへのクロック供給が停止され、消費電力が低減されます。

チャネルスリープモード要求ビットをセットした後、このビットを再度クリアする前に、チャネルスリープモードステータスが更新されていること、つまり、チャネルスリープモードへの遷移が正常に行われたことを確認する必要があります。

チャネルスリープモード中は、チャネル関連のレジスタに書き込みを行わないでください。読み出し動作は可能です。

32.3.3.2 CAN チャネルリセットモード

CANFD CAN チャネルは、以下の方法でこのモードに遷移します。

- 関連する CAN チャネルがチャネル Halt モードまたはチャネルオペレーションモードのとき、チャネルコントロールレジスタのチャネルモード制御ビット CFDC0CTR.CHMDC がチャネルリセットモードに設定される
- 関連する CAN チャネルがチャネルスリープモードのとき、チャネルスリープモード要求ビットがクリアされる。
- グローバルモード制御ビット CFDGCTR.GMDC がグローバルリセットモードに設定され、かつ、CAN チャネルがチャネルスリープモードまたはチャネルリセットモードではない。

チャネルリセットモードでは、CAN チャネルのすべてのステータスレジスタとフラグレジスタが初期化されます。

さらに、すべてのチャネル関連の送信制御ビットがクリアされ、チャネル関連の TX キューが無効になります。

このモードでは、コンフィグレーションレジスタ（チャネルテストモードレジスタを除く）は初期化されないため、CAN チャネルの通信を構成することは可能です。

チャネルリセットモードへの遷移が行われるときの全レジスタの動作の詳細については、「32.3.4. グローバルモード遷移とチャネルモード遷移の相互作用」を参照してください。

チャネルモード制御ビット CFDC0CTR.CHMDC をチャネルリセットモードに設定した後、関連する CFDC0CTR.CHMDC ビットを再度変更する前に、関連するチャネルステータスレジスタのリセットモードステータスビット CFDC0STS.CRSTSTS が更新されていること、つまり、チャネルリセットモードへの遷移が正常に行われたことを確認する必要があります。

CAN 通信中にチャネルリセットモードに遷移する動作については、表 32.14 を参照してください。

32.3.3.3 CAN チャネル Halt モード

CANFD CAN チャネルは、以下の方法でこのモードに遷移します。

- 関連する CAN チャネルがチャネルリセットモードまたはチャネルオペレーションモードのとき、チャネルコントロールレジスタのチャネルモード制御ビット CFDC0CTR.CHMDC がチャネル Halt モードに設定される。
- グローバルモード制御ビット CFDGCTR.GMDC がグローバル Halt モードに設定され、かつ、CAN チャネルがチャネルオペレーションモードである。

チャネル Halt モードでは、すべてのチャネル CAN 通信がサスペンド状態になりますが、すべてのステータスレジスタとフラグレジスタはチャネル Halt モードに遷移する間変化しません (バスオフの場合を除きます。バスオフの場合、そのチャネルの REC 値と TEC 値がクリアされます)。

また、このモードでは、チャネルテストモードの構成やコントロールレジスタは初期化されません。

チャネル Halt モードは、チャネルテストモードを構成するために使用します。

チャネル Halt モードへの遷移が行われるときの全レジスタの動作の詳細については、「32.3.4. グローバルモード遷移とチャネルモード遷移の相互作用」を参照してください。

チャネルモード制御ビット CFDC0CTR.CHMDC をチャネル Halt モードに設定した後、関連する CFDC0CTR.CHMDC を再度変更する前に、関連するチャネルステータスレジスタの Halt モードステータスビット CFDC0STS.CHLTSTS が更新されていること、つまり、チャネル Halt モードへの遷移が正常に行われたことを確認する必要があります。

CAN 通信中にチャネル Halt モードに遷移する動作については、表 32.14 を参照してください。

表 32.14 CAN リセットモードおよび Halt モードの遷移動作

モード	状態		
	受信	送信	バスオフ
CAN チャネルリセットモード (CFDC0CTR.CHMDC = 01b)	CAN チャネルは実行中の受信の完了を待たずに、チャネルリセットモードに遷移します。(注1)	CAN チャネルは実行中の送信の完了を待たずに、チャネルリセットモードに遷移します。(注1)	CAN チャネルは、バスオフ復帰の完了を待たずにチャネルリセットモードに遷移します。
CAN チャネル Halt モード (CFDC0CTR.CHMDC = 10b)	CAN チャネルは、実行中の受信またはエラーの終了時にチャネル Halt モードに遷移します。(注2)	CAN チャネルは、実行中の送信の完了後にチャネル Halt モードに遷移します。	CFDC0CTR.BOM が 00b のとき、チャネル Halt モード要求は、完全なバスオフ復帰シーケンスが完了した後でのみ受け付けられます。 CFDC0CTR.BOM が 10b のとき、CAN チャネルはバスオフ復帰の完了を待ってから、チャネル Halt モードに自動的に遷移します。 CFDC0CTR.BOM が 01b のとき、CAN チャネルはバスオフ復帰の完了を待たずに、チャネル Halt モードに自動的に遷移します。 CFDC0CTR.BOM が 11b のとき、CAN チャネルはチャネル Halt モードが要求されるとすぐに (バスオフ復帰の完了を待たずに) チャネル Halt モードに遷移します。

注 1. 現在実行中の通信の終了時にチャネルリセットモードに遷移すればよい場合、先にチャネル Halt モードを要求することで、チャネルリセットモードに直接遷移して CAN 通信が中断するのを防ぐことができます。CAN チャネルがチャネル Halt モードに遷移した後、チャネルリセットモードを要求することができます。

注 2. エラーフラグ後に CAN 通信がドミナントレベルでロックされている場合、ソフトウェアでチャネル関連のバスロックフラグを監視することでこの状況を検出し、CAN チャネルをチャネルリセットモードに設定してロック状態を解除できます。

32.3.3.4 CAN チャネルオペレーションモード

チャネルオペレーションモードは、CFDC0CTR.CHMDC ビットを 00b にセットすることでアクティブになります。CAN オペレーションモードに遷移した後、11 の連続するレセシブビットを検出すると、CFDC0STS.COMSTS ビットがセットされ、CAN チャネルは以下を行います。

- チャネルを CAN ネットワーク上のアクティブノードにすることで、チャネル通信の機能を有効にする。
- 受信および送信エラーカウンタを含む、内部のフォルト隔離ロジックを解除する。

この時点で、CAN チャネルは CAN メッセージの送受信を開始できます。

チャネルは、実行している機能のタイプによって、CAN チャネルオペレーションモード内でさらに 4 種類のサブモードに分けられます（図 32.12 を参照）。

- チャネルアイドル: CAN チャネルは受信も送信も行っていない
- チャネル受信：チャネルは別の CAN ノードから送信された CAN メッセージを受信している
- チャネル送信：チャネルは CAN メッセージを送信している

注. セルフテストモードが有効な場合、チャネルは同時に自メッセージを受信する可能性があります。

- チャネルがバスオフ状態：CAN チャネルが CAN バス通信から切り離されている

チャネルモード制御ビット CFDC0CTR.CHMDC をチャネルオペレーションモードに設定した後、関連する CFDC0CTR.CHMDC ビットを再度変更する前に、チャネルステータスレジスタのチャネルリセットモードステータスビット CFDC0STS.CRSTSTS およびチャネル Halt モードステータスビット CFDC0STS.CHLTSTS が更新されていること、つまり、チャネルオペレーションモードへの遷移が正常に行われたことを確認する必要があります。

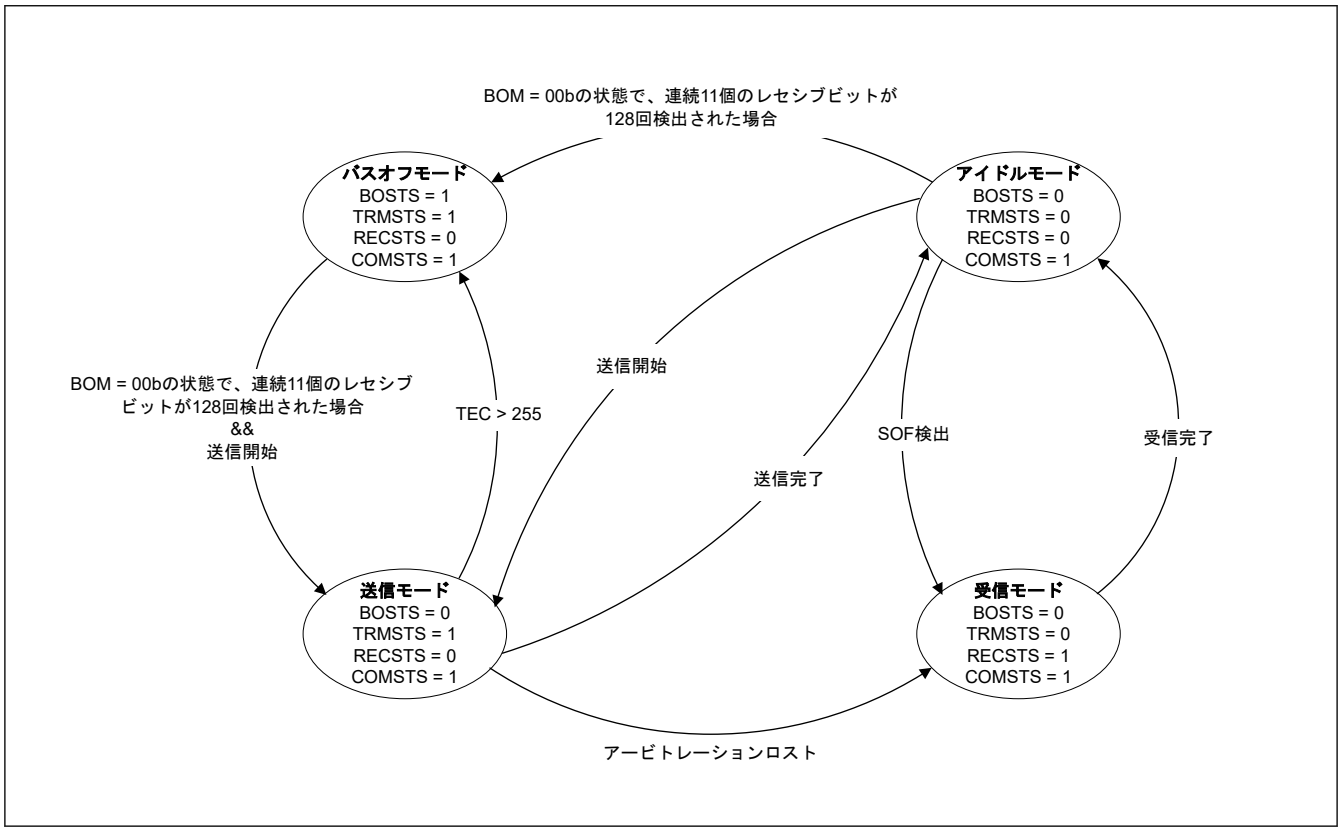


図 32.12 CAN チャネルオペレーションモードのサブモード（BOM = 00b のときのみ）

32.3.3.5 CAN チャネルバスオフ状態

CAN チャネルバスオフ状態へは、CAN 仕様のフォルト隔離規則に従って遷移します。バスオフ状態から CAN チャネルオペレーションモードへの復帰について、以下のモードを構成できます。

- CFDC0CTR.BOM = 00b:
  バスオフからの復帰は ISO 11898-1 に準拠します。すなわち、CAN チャネルは、11 個の連続するレセシブビットを 128 回検出後、再び CAN 通信（エラーアクティブ状態）に入ります。TEC カウンタと REC カウンタは 0 に初期化されます。この場合、バスオフ復帰フラグ CFDC0ERFL.BORF がセットされます。
- CFDC0CTR.BOM = 01b:
  CAN チャネルは、バスオフ状態に遷移すると、CAN チャネルコントロールレジスタ内の CFDC0CTR.CHMDC ビットの値を 10b に変更した後自動的に、チャネル Halt モードに即座に遷移します。TEC カウンタと REC カウンタは 0 に初期化されます。この場合、バスオフ復帰フラグ CFDC0ERFL.BORF はセットされません。
- CFDC0CTR.BOM = 10b:
  CAN チャネルは、バスオフ状態に遷移すると、即座に CAN チャネルコントロールレジスタの CFDC0CTR.CHMDC ビットの値を 10b に変更し、CAN チャネルがバスオフ復帰シーケンス（11 個の連続するレセシブビットを 128 回検出）を完了した後、チャネル Halt モードに自動的に遷移します。TEC カウンタと REC カウンタは 0 に初期化されます。この場合、バスオフ復帰フラグ CFDC0ERFL.BORF がセットされます。
- CFDC0CTR.BOM = 11b:
  バスオフ復帰が開始されますが、チャネル Halt モードへの遷移が要求された場合、CAN チャネルはバスオフ状態であっても即座にチャネル Halt モードに遷移することができます。
  TEC カウンタと REC カウンタは 0 に初期化されます。バスオフ復帰フラグ CFDC0ERFL.BORF はセットされません。
  CFDC0CTR.CHMDC [1:0] = 10b に設定せずに、11 個のレセシブビットが 128 回連続で検出された場合、遷移条件は CFDC0CTR.BOM = 00b と同じになります。

注. このモードで、バスオフ復帰が正常に（11 個の連続するレセシブビット 128 回のシーケンスを待機した後で）行われた場合、かつ、その間に Halt 要求が発生しなかった場合、バスオフ復帰フラグ CFDC0ERFL.BORF がセットされます。

CAN チャネルが Halt モードに遷移するのと同時（CFDC0CTR.BOM = 01b の場合、バスオフ開始時、CFDC0CTR.BOM = 10b の場合、バスオフ終了時）に、ソフトウェアが CFDC0CTR.CHMDC ビットに書き込みを行うと、ソフトウェア要求が最も優先されます。

注. 上記の場合、CFDC0CTR.CHMDC ビットをチャネル Halt モードに設定する要求の自動設定は、CFDC0CTR.CHMDC ビットの値があらかじめ 00b（チャネルオペレーションモード）に設定されていたときに実行されます。

さらに、CFDC0CTR.RTBO を 1 にセットすると、CAN チャネルをバスオフ状態から強制的に復帰させることができます。最大で 1 CAN ビット時間の遅延時間でエラー状態がバスオフ状態から統合状態に変わり、11 個の連続するレセシブビットが検出された後に、CAN 通信が再度可能になります。この場合、バスオフ復帰フラグはセットされません。TEC カウンタと REC カウンタは 0 に初期化されます。

CFDC0CTR.RTBO を 1 にセットする前に、TX メッセージバッファ、TX キュー、または TX モードの共通 FIFO からの保留中の送信を無効にしなければなりません。

保留中の送信メッセージバッファ、TX キュー、または FIFO が無効化されたことを、対応するアクノリッジフラグで確認する必要があります。

TX メッセージバッファの場合、アクノリッジフラグは送信結果フラグ (CFDTMSTSj.TMTRF) です。TX キューの場合、TX キューエンプティフラグ (CFDTXQSTS.TXQEMP) です。FIFO の場合、FIFO エンプティフラグ (CFDCFSTS.CFEMP) です。

CFDC0CTR.RTBO ビットは、CFDC0CTR.BOM が 00b にセットされているときに限り、バスオフ復帰のために使用します。

このビットをバスオフ以外の状態でセットしても無効で、即座にクリアされます。

表 32.15 に、CFDC0CTR.BOM のさまざまな構成に対する、バスオフエントリフラグ CFDC0ERFL.BOEF とバスオフ復帰フラグ CFDC0ERFL.BORF の設定を示します。

表 32.15 バスオフ開始フラグとバスオフ復帰フラグの動作

BOM	BOEF ビットの設定	BORF ビットの設定
00b	常に設定（バスオフ開始時）	常に設定（バスオフ終了時）
00b CFDC0CTR.RTBO が 1 にセット	常に設定（バスオフ開始時）	ソフトウェアによって CFDC0CTR.RTBO が 1 にセットされる前に通常のバスオフ復帰が発生した場合のみ
01b	常に設定（バスオフ開始時）	設定しない
10b	常に設定（バスオフ開始時）	常に設定（バスオフ終了時）
11b	常に設定（バスオフ開始時）	ソフトウェアが Halt 要求を発行する前に通常のバスオフ復帰が発生した場合のみ

効率的なソフトウェア手順のために、バスオフ復帰シーケンスの終了を待つ必要はありません。

バスオフ復帰中、送信の再初期化を行うことができます。これを行うには、図 32.13 に示す推奨ソフトウェアフローに従います。

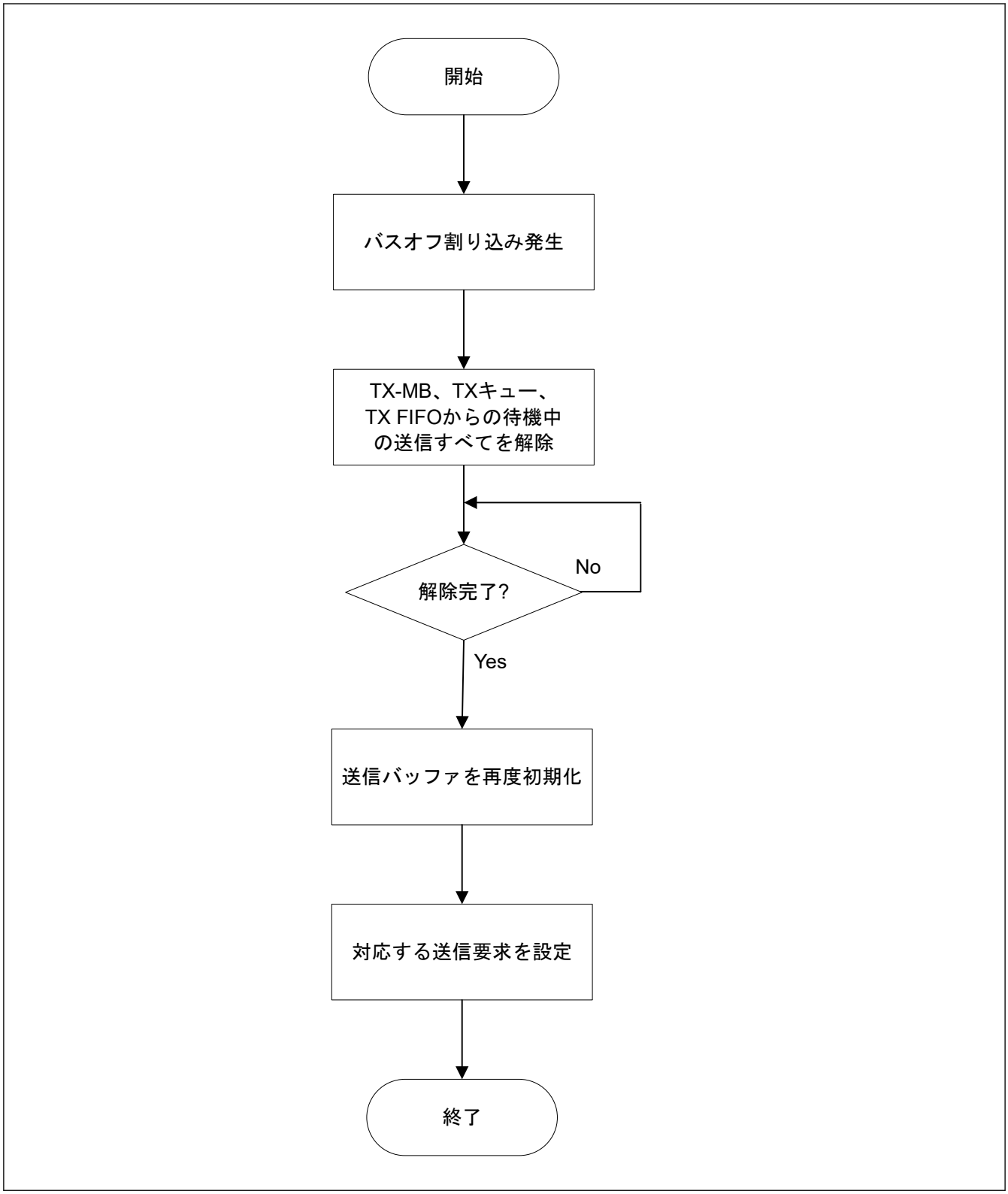


図 32.13　バスオフ中の送信の再初期化

32.3.4　グローバルモード遷移とチャネルモード遷移の相互作用

グローバルモード設定とチャネルモード設定の間には、以下のような相互作用があります。

- チャネルコントロールレジスタのチャネルモード制御ビット CFDC0CTR.CHMDC を変更しても、グローバルモード制御ビット CFDGCTR.GMDC は変化しない。

- グローバルモード制御ビット CFDGCTR.GMDC を変更すると、表 32.16 に示すようにチャネルモードの制御が変化する。

表 32.16 グローバルモード遷移とチャネルモード遷移の相互作用

グローバルモードの変更	チャネルモード	チャネルモードの遷移動作
スリープ → リセット	スリープ	チャネルはスリープモードのまま
スリープ → Halt	— （グローバルモード変更不可能）	
スリープ → オペレーション	— （グローバルモード変更不可能）	
リセット → スリープ	スリープ	チャネルはスリープモードのまま
	リセット	チャネルスリープ要求ビットが自動的にセットされ、チャネルはスリープモードに遷移
リセット → Halt	スリープ	チャネルはスリープモードのまま
	リセット	チャネルはリセットモードのまま
リセット → オペレーション	スリープ	チャネルはスリープモードのまま
	リセット	チャネルはリセットモードのまま
Halt → スリープ	— （グローバルモード変更不可能）	
Halt → リセット	スリープ	チャネルはスリープモードのまま
	リセット	チャネルはリセットモードのまま
	Halt	チャネルモード制御がリセットモードにセットされ、チャネルはリセットモードに遷移
Halt → オペレーション	スリープ	チャネルはスリープモードのまま
	リセット	チャネルはリセットモードのまま
	Halt	チャネルは Halt モードのまま
オペレーション → スリープ	— （グローバルモード変更不可能）	
オペレーション → リセット	スリープ	チャネルはスリープモードのまま
	リセット	チャネルはリセットモードのまま
	Halt	チャネルモード制御がリセットモードにセットされ、チャネルはリセットモードに遷移
	オペレーション	チャネルモード制御がリセットモードにセットされ、チャネルはリセットモードに遷移
オペレーション → Halt	スリープ	チャネルはスリープモードのまま
	リセット	チャネルはリセットモードのまま
	Halt	チャネルは Halt モードのまま
	オペレーション	チャネルモード制御が Halt モードにセットされ、チャネルは通信終了後に Halt モードに遷移

32.3.4.1 グローバルモード変更のタイミング

グローバルモード変更時の遷移時間を以下の表に示します。

表 32.17 グローバルモード変更時の最大遷移時間 (1/2)

遷移前	遷移後	最大遷移時間
GL_SLEEP	GL_RESET	3 周辺クロックサイクル(注2)
GL_RESET	GL_SLEEP	3 周辺クロックサイクル
GL_RESET	GL_HALT	10 周辺クロックサイクル
GL_RESET	GL_OPERATION	10 周辺クロックサイクル
GL_HALT	GL_RESET	2CAN ビット時間
GL_HALT	GL_OPERATION	3 周辺クロックサイクル

表 32.17 グローバルモード変更時の最大遷移時間 (2/2)

遷移前	遷移後	最大遷移時間
GL_OPERATION	GL_RESET	2CAN ビット時間
GL_OPERATION	GL_HALT	3CAN フレーム(注1) (注3)

注 1. ここに示す遷移時間は、バスにエラーが発生していない場合の値です。エラーが発生した場合、遷移時間は予測不可能なほど長くなることがあります。遷移時間は、RX ラインのロックまたは継続的なエラー状態によって膠着状態になることがあります。
注 2. GL_SLEEP モードからの遷移は、CFDGSTS.GRAMINIT がクリアされているときのみ行ってください。
注 3. TQ、CAN フレーム、および CAN ビットは、個々のチャネルに関連しています。最大遷移時間を得るには、ボーレートが最も低いチャネルを使用する必要があります。

32.3.4.2 チャネルモード変更のタイミング

チャネルモード変更時の遷移時間を以下の表に示します。

表 32.18 チャネルモード変更時の最大遷移時間

遷移前	遷移後	最大遷移時間
CH_SLEEP	CH_RESET	3 周辺クロックサイクル
CH_RESET	CH_SLEEP	3 周辺クロックサイクル
CH_RESET	CH_HALT	3 CAN ビット時間
CH_RESET	CH_OPERATION	4 CAN ビット時間
CH_HALT	CH_RESET	2 CAN ビット時間
CH_HALT	CH_OPERATION	4 CAN ビット時間(注3)
CH_OPERATION	CH_RESET	2 CAN ビット時間
CH_OPERATION	CH_HALT	2 CAN フレーム(注1) (注2)

注 1. この遷移で指定した時間には、チャネルがバスオフ状態に入った場合を含みません。バスオフの場合、タイミングは CFDC0CTR.BOM[1:0]ビットの設定によって変わります。
注 2. ここに示す遷移時間は、バスにエラーが発生していない場合の値です。エラーが発生した場合、遷移時間は予測不可能なほど長くなることがあります。遷移時間は、RX ラインのロックまたは継続的なエラー状態によって膠着状態になることがあります。
注 3. 一般に、CH_HALT モードでボーレートプリスケーラ値 CFDC0NCFG.NBRP が変更されると、遷移時間がずれることがあります。内部プリスケーラは TQ クロックを生成するフリーランニングダウンカウンタで、カウンタが値 0 に到達したときに新しい BRP 値がキャプチャされます。

32.4 初期化

CAN 通信に参加する前に、以下の設定を行います。

- クロックの設定
- ビットタイミングの設定（公称レートとデータレート）
- ボーレートの設定（公称レートとデータレート）
- CANFD 設定
- アクセプタンスフィルタの設定（グローバルアクセプタンスフィルタリストの構成）
- 送信、受信、および GW FIFO の設定
- CAN オペレーションモードの設定

32.4.1 CAN クロック、ビットタイミング、ボーレートの初期化

32.4.1.1 ビットタイミングの条件

各セグメントの構成と、セグメントの設定に適用される制約条件を以下に示します。

1. 各セグメントの設定
   SS = 1 TQ 固定
   TSEG1 = (CFDC0NCFG) と (CFDC0DCFG)(注1) を参照
   TSEG2 = (CFDC0NCFG) と (CFDC0DCFG)(注1) を参照

SJW = (CFDC0NCFG) と (CFDC0DCFG)(注1) を参照
SS + TSEG1 + TSEG2 = 5～49 TQ（データビットレートの場合）／8～385 TQ（公称ビットレートの場合）

2. TSEG1、TSEG2、SJW の制約条件
TSEG1(N) > TSEG2(N) ≥ SJW(N)
TSEG1(D) ≥ TSEG2(D) ≥ SJW(D)(注1)
従来型のフレームのみを使用する場合、CFDC0DCFG のビットフィールド TSEG1 および TSEG2 に有効な値を設定します。

注 1. この機能は、クラシカル CAN 機能では使用できません。

表 32.19 に、必要なサンプルポイント設定を得るためのビットタイミング設定方法の例を示します。

表 32.19 ビットタイミングの例

1 ビット	設定値（TQ）				サンプルポイント(注1)（%）
	SS	TSEG1	TSEG2	SJW	
5TQ	1	2	2	1	60.00
8TQ	1	4	3	1	62.50
	1	5	2	1	75.00
10TQ	1	6	3	1	70.00
	1	7	2	1	80.00
12TQ	1	8	3	1	75.00
	1	9	2	1	83.33
15TQ	1	10	4	1	73.33
	1	11	3	1	80.00
16TQ	1	10	5	1	68.75
	1	11	4	1	75.00
20TQ	1	12	7	1	65.00
	1	13	6	1	70.00
24TQ	1	15	8	1	66.66
	1	16	7	1	70.83
50TQ	1	39	10	4	80.00

注 1. サンプルポイント（75%の場合）

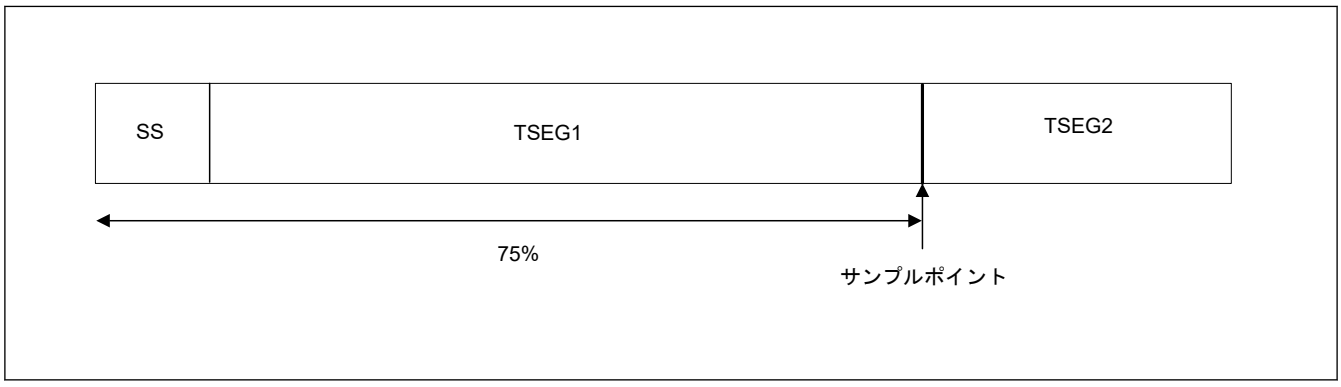


図 32.14 サンプルポイント（75%の場合）

32.4.1.2 CAN のビットタイミング

CAN プロトコルの通信フレームの各ビットは、3 つのセグメントで構成されます。各セグメントは、関連する CFDC0NCFG レジスタおよび CFDC0DCFG(注1)レジスタを使用して、チャネルごとに独立して構成できます。

注 1. このレジスタは、クラシカル CAN 機能では使用できません。

図 32.15 に、各ビットのセグメント構成と、ビット内のサンプルポイントを示します。

これらのセグメントのうち、タイムセグメント 1（TSEG1）とタイムセグメント 2（TSEG2）は、サンプルポイントの位置を指定するために使用されます。TSEG1 と TSEG2 の値を変更することで、CAN バス上の各ビットをサンプリングするタイミングを変えることができます。

このタイミングの最小単位を TQ（Time Quantum）と呼びます。TQ の長さは、CAN チャネルに供給されるクロック周波数と、ボーレートプリスケーラの N 分周値（公称レートおよびデータレート）によって決まります。

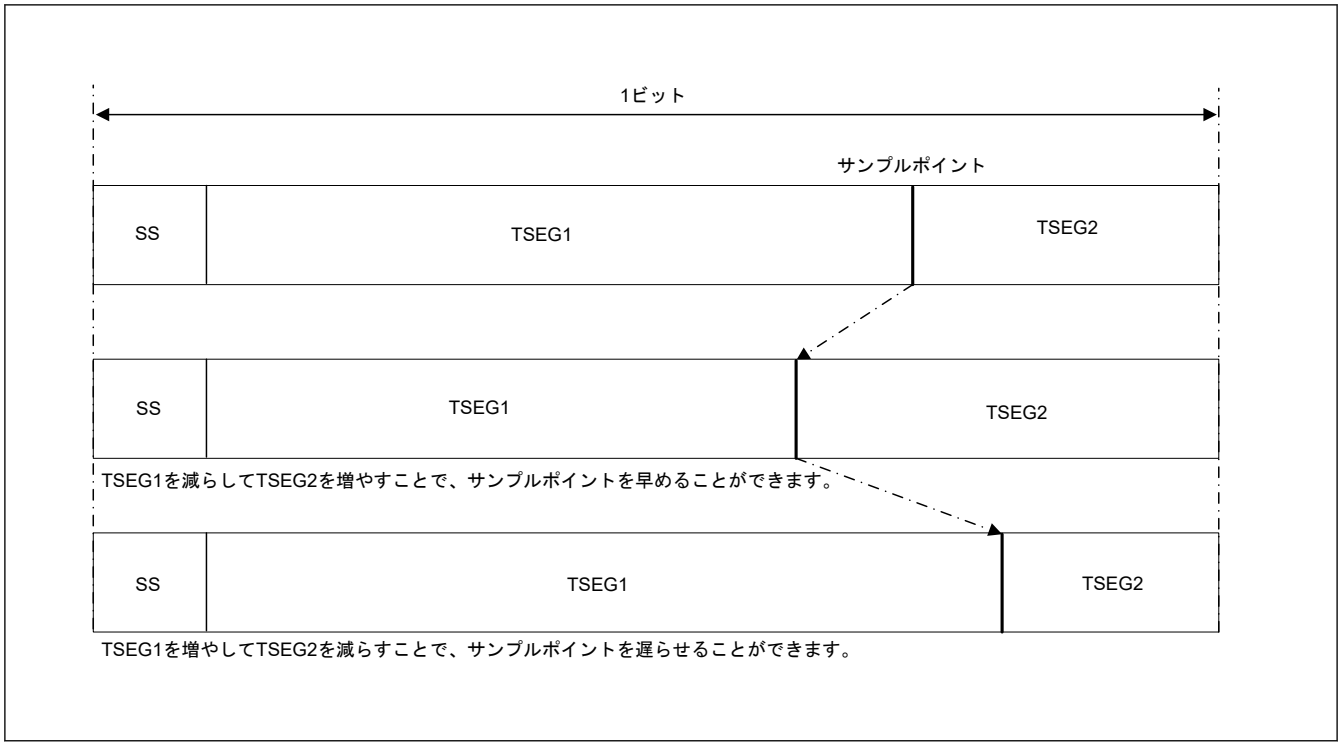


図 32.15 ビット内のセグメント構成とサンプルポイント

1. SS：シンクロナイゼーションセグメント
   インターフレームスペース中のリセシブからドミナントへのエッジをモニタして、ビットを同期するセグメントです。インターフレームスペースは、インターミッション、サスペンドトランスミッション、バスアイドルで構成され、バスアイドル中に全ノードが送信を開始することができます。
2. TSEG1: タイムセグメント 1
   CAN ネットワーク上の物理的な遅延を吸収するセグメントです。ネットワーク上の物理的な遅延は、バス上の遅延、入力コンパレータの遅延、出力ドライバの遅延の総和の 2 倍になります。SJW によって伸ばすことができます。
3. TSEG2：タイムセグメント 2
   再同期を実行してフェーズエラーを補償するセグメントです。SJW によって縮めることができます。メッセージの送受信中、発振器の周波数ドリフトや伝送路の遅延により、一部ノード間の通信フレームの同期がずれる場合があります。これをフェーズエラーと言います。
4. SJW：再同期ジャンプ幅
   フェーズエラーによる同期ズレを補償できる最大ビット幅です。

図 32.15 には、1 つのシンボル的なサンプルポイントのみを示しています。

32.4.1.3 ボーレート

CAN 通信クロックとして、CANFD コアクロック (CANFDCLK) または外部発振器クロック (CANMCLK) のいずれかをグローバルに選択することができます。

転送速度は、DLL クロック、ボーレートプリスケーラの N 分周値、および 1 ビットに含まれる TQ の数によって決まります。

$$\text{ボーレート} = \frac{\text{DLLクロック}}{(\text{1ビット当たりのTQ数}) \times (\text{BRP} + 1)}$$

図 32.16 に CAN チャネルシステムクロックを生成する回路のブロック図を示します。表 32.20 にボーレートの例を示します。

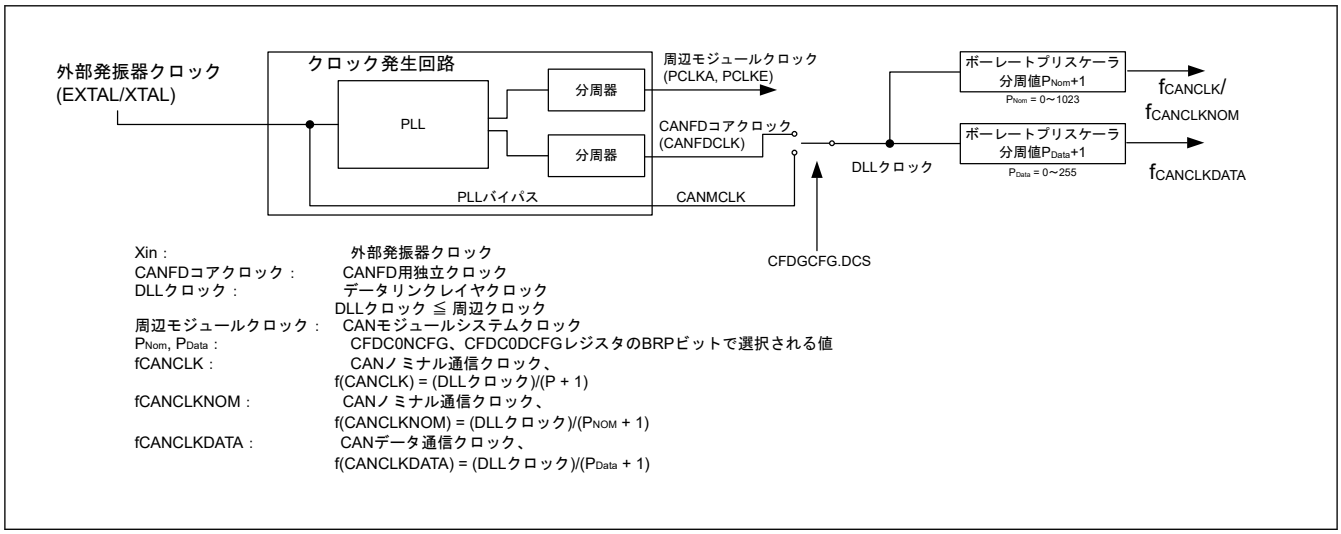


図 32.16 CAN チャネルの通信クロックを生成する回路のブロック図

表 32.20 公称ボーレートの計算式と CAN 通信の構成例

ボーレートの計算式	（DLL クロック）（ボーレートプリスケーラの N 分周値(注1)） × （1 ビット当たりの TQ 数）								
	80 MHz	40 MHz	32 MHz	30 MHz	24 MHz	20 MHz	16 MHz	10 MHz	8 MHz(注2)
1 Mbps	8TQ (10) 20TQ (4)	8TQ (5) 20TQ (2)	8TQ (4) 16TQ (2)	10TQ (3) 15TQ (2)	8TQ (3) 12TQ (2) 24TQ (1)	10TQ (2) 20TQ (1)	8TQ (2) 16TQ (1)	10TQ (1)	8TQ (1)
500 Kbps	8TQ (20) 20TQ (8)	8TQ (10) 20TQ (4)	8TQ (8) 16TQ (4)	10TQ (6) 15TQ (4) 20TQ (3)	8TQ (6) 12TQ (4) 24TQ (2)	10TQ (4) 20TQ (2)	8TQ (4) 16TQ (2)	10TQ (2) 20TQ (1)	8TQ (2) 16TQ (1)
250 Kbps	8TQ (40) 20TQ (16)	8TQ (20) 20TQ (8)	8TQ (16) 16TQ (8)	10TQ (12) 15TQ (8) 20TQ (6)	8TQ (12) 12TQ (8) 24TQ (4)	10TQ (8) 20TQ (4)	8TQ (8) 16TQ (4)	10TQ (4) 20TQ (2)	8TQ (4) 16TQ (2)
125 Kbps	8TQ (80) 20TQ (32)	8TQ (40) 20TQ (16)	8TQ (32) 16TQ (16)	10TQ (24) 15TQ (16) 20TQ (12)	8TQ (24) 12TQ (16) 24TQ (8)	10TQ (16) 20TQ (8)	8TQ (16) 16TQ (8)	10TQ (8) 20TQ (4)	8TQ (8) 16TQ (4)
83.3 Kbps	8TQ (120) 12TQ (80) 16TQ (60) 24TQ (40)	8TQ (60) 12TQ (40) 16TQ (30) 24TQ (20)	8TQ (48) 12TQ (32) 16TQ (24) 24TQ (16)	8TQ (45) 10TQ (36) 12TQ (30) 15TQ (24) 20TQ (18) 24TQ (15)	8TQ (36) 12TQ (24) 16TQ (18) 24TQ (12)	8TQ (30) 10TQ (24) 12TQ (20) 15TQ (16) 16TQ (15) 20TQ (12) 24TQ (10)	8TQ (24) 12TQ (16) 16TQ (12) 24TQ (8)	8TQ (15) 10TQ (12) 12TQ (10) 15TQ (8) 20TQ (6) 24TQ (5)	8TQ (12)
33.3 Kbps	8TQ (300) 12TQ (200) 16TQ (150) 20TQ (120) 24TQ (100)	8TQ (150) 12TQ (100) 16TQ (75) 20TQ (60) 24TQ (50)	8TQ (120) 10TQ (96) 12TQ (80) 15TQ (64) 16TQ (60) 20TQ (48) 24TQ (40)	10TQ (90) 12TQ (75) 15TQ (60) 20TQ (45)	8TQ (90) 10TQ (72) 12TQ (60) 15TQ (48) 16TQ (45) 20TQ (36) 24TQ (30)	8TQ (75) 10TQ (60) 12TQ (50) 15TQ (40) 20TQ (30) 24TQ (25)	8TQ (60) 10TQ (48) 12TQ (40) 15TQ (32) 16TQ (30) 20TQ (24) 24TQ (20)	10TQ (30) 12TQ (25) 15TQ (20) 20TQ (15)	8TQ (30)

注. 括弧内の数字はボーレートプリスケーラの N 分周値を示しています。
注 1. ボーレートプリスケーラの N 分周値 = P + 1 (P = 0 - 1023)。ここで、P はチャネルコンフィグレーションレジスタの BRP ビットによって選択された値です。
注 2. 最大公称ボーレート 1 Mbps を実現するための最小周波数です。

表 32.21 公称ビットレートおよびデータビットレート CAN 通信構成に対するボーレートの計算例

ボーレートの計算式	(DLL クロック) (ボーレートプリスケーラの N 分周値(注1)) × (1 ビット当たりの TQ 数)		
	80 MHz	40 MHz	20 MHz
公称 1 Mbps データ 8 Mbps	80TQ (1)	40TQ (1)	20TQ (1)
	10TQ (1)	5TQ (1)	不可
公称 1 Mbps データ 5 Mbps	80TQ (1)	40TQ (1)	20TQ (1)
	16TQ (1)	8TQ (1)	不可
公称 500 Kbps データ 2 Mbps	160TQ (1)	80TQ (1)	40TQ (1)
	40TQ (1)	20TQ (1)	10TQ (1)

注. 括弧内の数字はボーレートプリスケーラの N 分周値を示しています。この表は、クラシカル CAN 機能では使用できません。
注 1. ボーレートプリスケーラの N 分周値 = P + 1 (P = 0 - 1023)。ここで、P はチャネルコンフィグレーションレジスタの BRP ビットによって選択された値です。

FD フレームフォーマットを使用するネットワークで最適なクロックトレランスを実現するには、公称ビット時間とデータビット時間の TQ の長さを同じにしなければなりません。これは、CFDC0NCFG.NBRP = CFDC0DCFG.DBRP であることを意味します。

また、トランシーバ遅延補償を使用する場合は、CFDC0DCFG.DBRP ビットを 1 より大きい値に設定してはなりません。1 は、2 で割ることを意味するためです。

32.4.1.4 CAN のクロック、ビットタイミング、ボーレートの設定

図 32.17 に、CAN の各チャネルのクロックとボーレートを設定する手順を示します。

これらの設定は、該当する CAN チャネルがチャネルリセットモード（コンフィグレーションモード）のときに行う必要があります。

ボーレートは、チャネル通信状態に入る前に設定しなければなりません。ボーレートが設定されていない場合、モードの切り替えが正しく行われません。

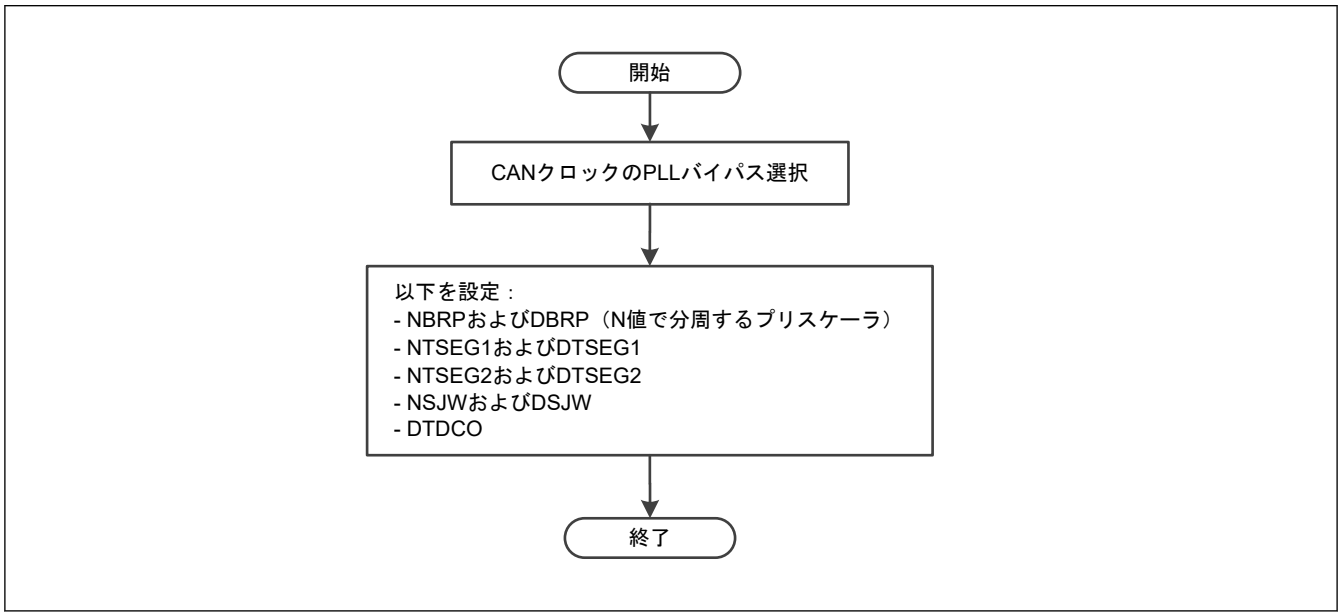


図 32.17 CAN のビットタイミングとボーレートを設定する手順

32.4.1.5 トランスミッタ遅延補償

この章は、クラシカル CAN 機能に対しては適用されません。

データフェーズに 5～8 Mbps のような高いボーレートを使用した場合、トランスミッタ遅延が TSEG1 より大きくなる場合があります。この場合、トランスミッタは CANFD フレームのデータフェーズのビットエラーを常に

検出します。TDC は、トランスミッタ自身が送信したビットを、そのビットのサンプルポイントで受信できない場合を補償します。

もう 1 つのシンボル的なサンプルポイントとして、CANFD フレームのデータフェーズのみで使用されるセカンダリサンプルポイント (SSP) があります。図 32.18 に示すように、SSP はトランシーバ遅延補償結果ビット (CFDC0FDSTS.TDCR) によって設定されます。

構成の分解能、測定値およびオフセット値は、CAN チャネルの DLL クロックに基づきます。

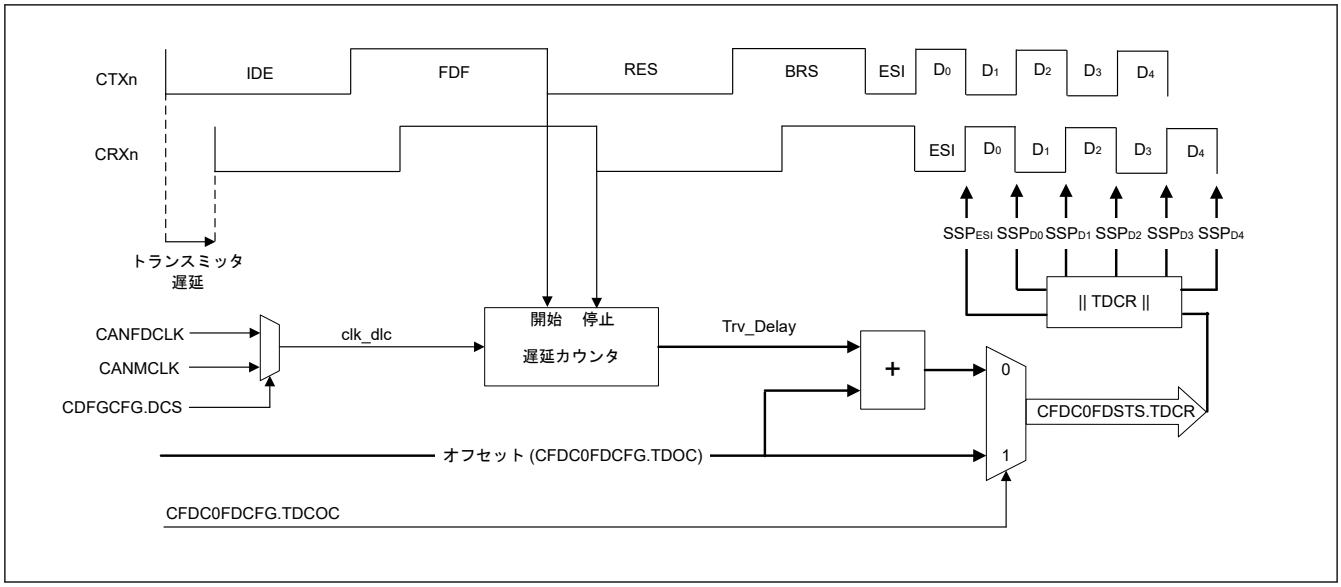


図 32.18 トランスミッタ遅延補償

測定された遅延時間である Trv_Delay は、clk_dlc クロックサイクル数に基づきます。この遅延時間は、ドミナント値が CRXn に現れるまで、開始されるクロックごとに 1 ずつカウントアップされます。図 32.19 に測定結果を示します。Trv_Delay が各 clk_dlc クロックで最大 127 までカウントされます。

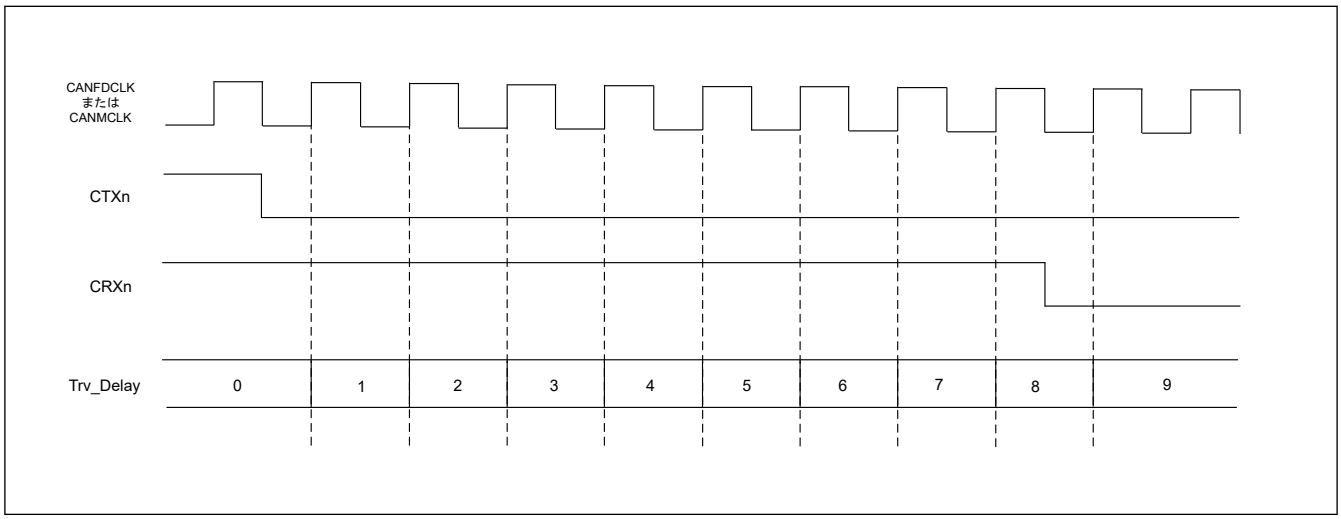


図 32.19 Trv_Delay の測定例

SSP は、CFDC0FDSTS.TDCR の結果を取り、その値をデータ TQ の最も近い整数値に切り捨てることで計算されます。

図 32.20 にセカンダリサンプルポイントの位置を示します。CFDC0FDCFG.TDCOC が 0 のとき、SSP は、Trv_Delay（測定された遅延時間）+ CFDC0FDCFG.TDCO を TQ の最も近い整数値に切り捨てた値と等しくなります。通常、TDCO の値は、SSP をサンプルポイントの理論上の位置に配置するため、(SyncSegmentdata + TSEG1data) の大きさを持ちます。

CFDC0FDCFG.TDCOC が 1 の場合、SSP は CFDC0FDCFG.TDCO によって決定されます。CFDC0DCFG.DBRP が 0 より大きい場合、この値も TQ の最も近い整数値に切り捨てられます。

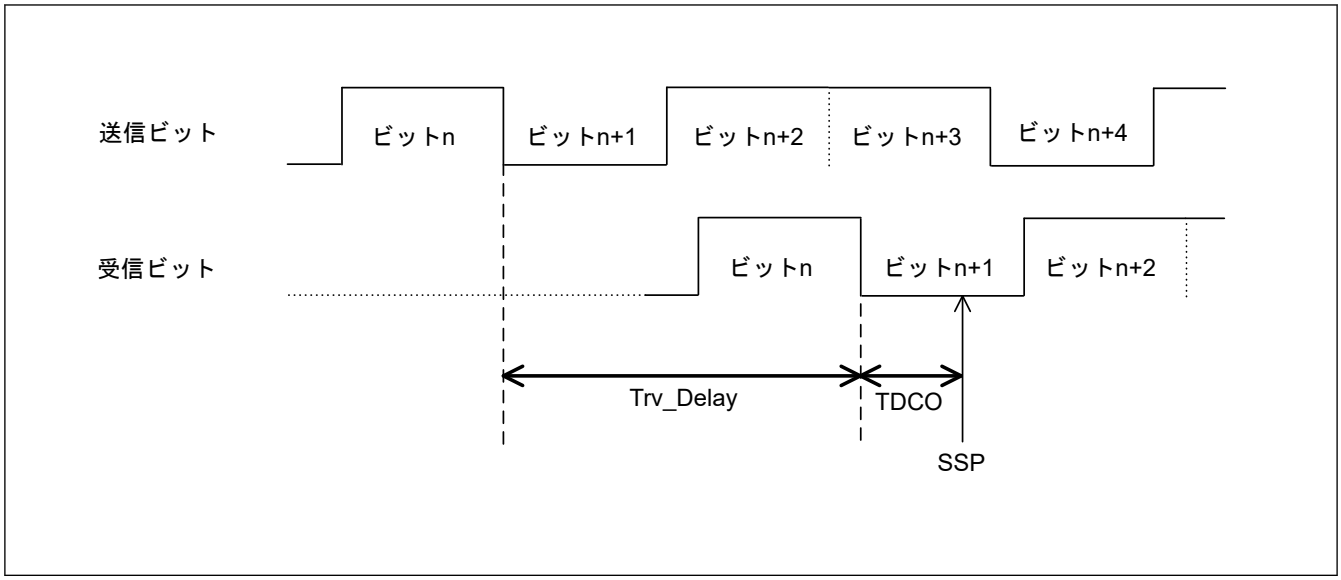


図 32.20　セカンダリサンプルポイントの位置

CANFD モジュールによって補償可能な最大遅延時間 (Trv_Delay + TDCO) は、(6 データビット - 2clk_dlc) です。

ISO 11898-1 では、BRP_data と BRP_nom に異なる値を設定することが許容されています。

CFDC0NCFG.NBRP と CFDC0DCFG.DBRP に異なる値を使用した場合、BRS ビットのサンプルポイントの後で、ビットレートが公称ビットレートからデータビットレートに変化した時点で、2 つの CAN ノードの同期がずれることがあります。この条件を図 32.21 に示します。

公称ビット時間とデータビット時間で、TQ の長さを同じにする必要があります。これは、CFDC0NCFG.NBRP = CFDC0DCFG.DBRP であることを意味します。

タイムセグメントに異なる設定値を選択することで、ビットレートを変えることができます。公称ビットレートは 8～385 TQ の間、データビットレートは 5～49 TQ の間で設定できます。

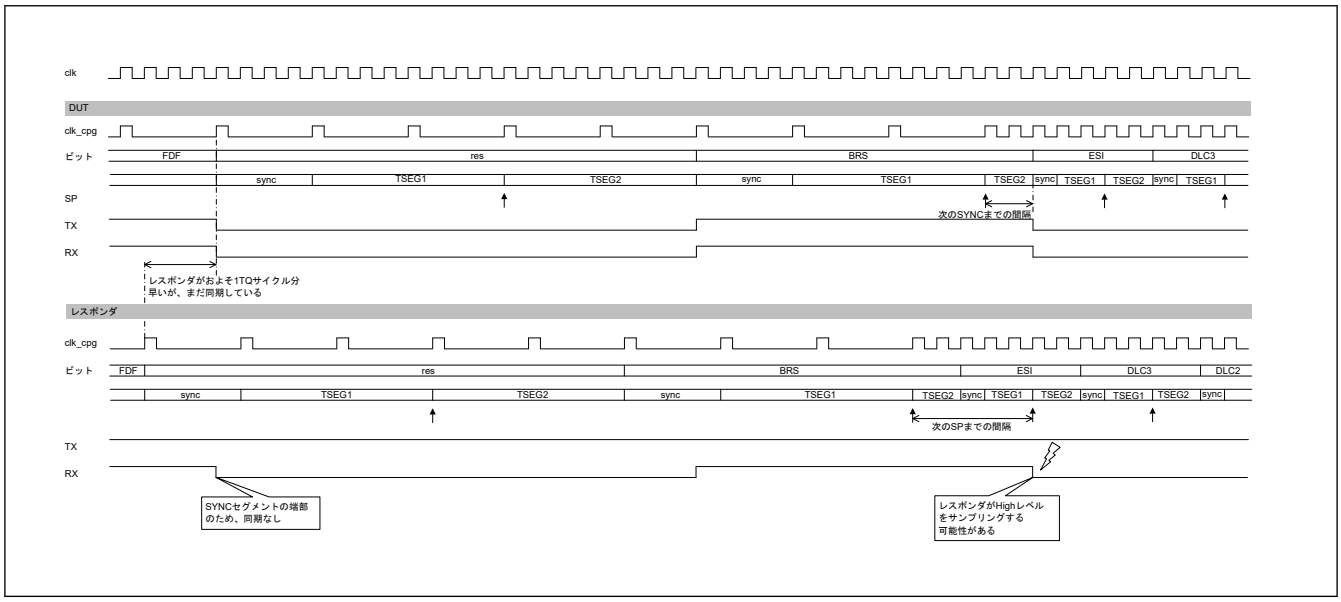


図 32.21　2 つの CAN ノード間の同期ズレ

適切に構成した場合 (CFDC0FDCFG.TDCE = 1, CFDC0FDCFG.TDCOC = 0)、トランスミッタ遅延補償の測定結果は、FDF ビットから RES ビットへの立ち下がりエッジで更新されます。

図 32.22 は、トランスミッタ遅延補償測定結果を取得するための読み出しフローを示しています。

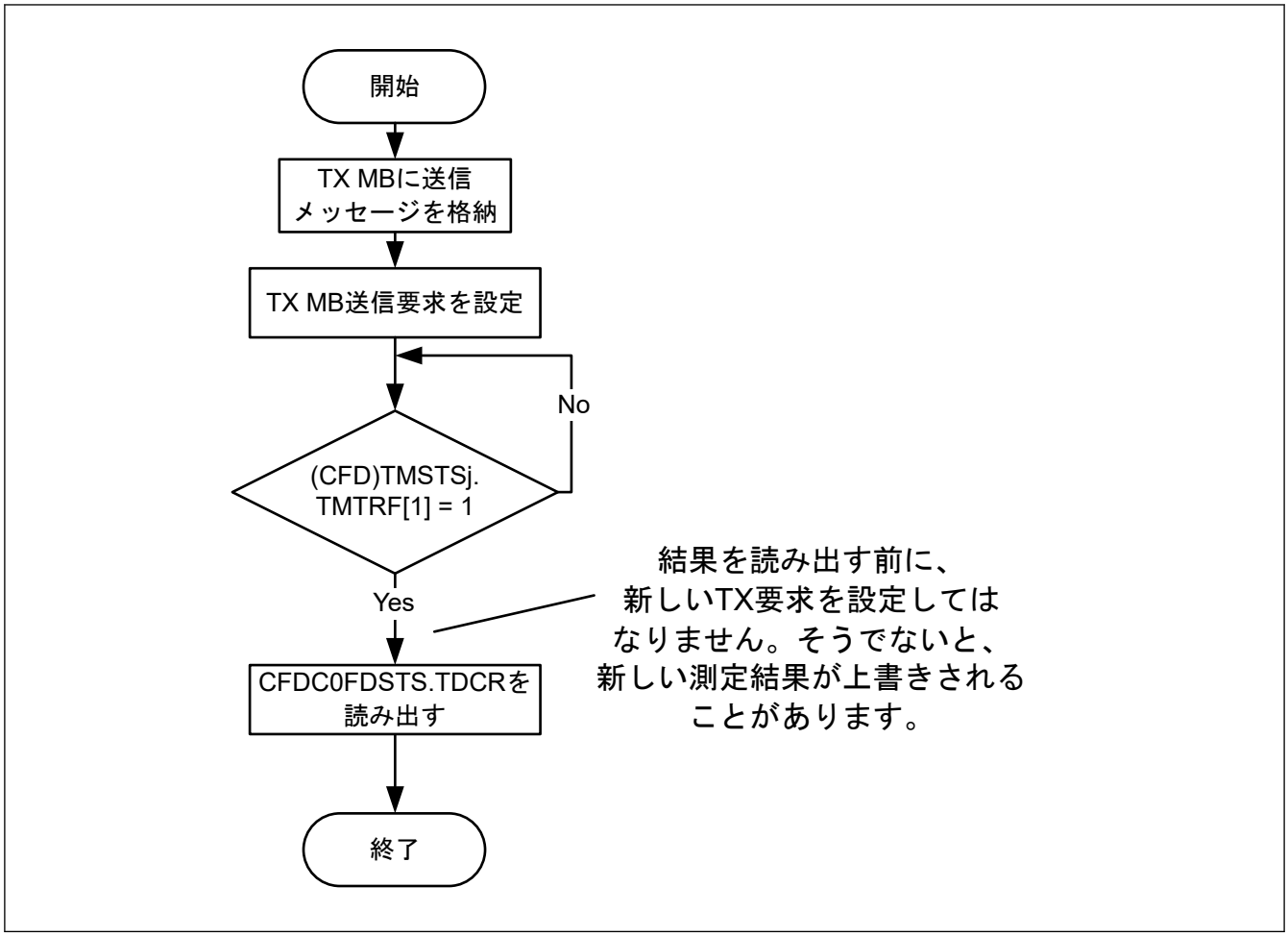


図 32.22 TDC 結果読み出しフロー

32.4.2 ハードウェアリセット後の CAN モジュールの構成

ハードウェアリセット（パワーオンリセット）後、または CFDGRSTC.SRST ビットがセット／クリアされた後、CANFD モジュールは自動的にグローバルスリープモードに遷移します。

CANFD モジュールの構成を行うには、グローバルスリープ要求ビット CFDGCTR.GSLPR を 0 にクリアして、スリープモードを解除する必要があります。

ハードウェアリセット後、モジュールは RAM の初期化を開始します。このとき、グローバルステータスレジスタの CFDGSTS.GRAMINIT ビットが自動的にセットされ、CANFD ロジックが RAM を初期化中であることを示します。

このビットは、RAM の初期化が完了すると自動的にクリアされます。

RAM の初期化は、ハードウェアリセットで RAM に存在するランダムデータがリセットされた後に誤って ECC エラーフラグがセットされるのを防ぐために必要です。

RAM の初期化が終わり、CFDGSTS.GRAMINIT ビットがクリアされるまでは、読み出しか書き込みかを問わず、CANFD のレジスタにアクセスしてはなりません。

通信モードに入る前に、グローバルアクセプタンスフィルタリストとメッセージ FIFO バッファを構成する必要があります。また、CAN のビットタイミングなど、CAN チャネルの構成を行う必要があります。この構成を行うには、CAN チャネルにおいて、チャネルスリープモードを解除し、チャネルリセットモード（コンフィグレーションモード）に通信を構成する必要があります。

図 32.23 に構成手順を示します。各ステップの詳細については、「32.5. グローバルアクセプタンスフィルタリスト（AFL）を使用したアクセプタンスフィルタ機能」、「32.6. FIFO バッファと通常のメッセージバッファの構成」、「32.7. 割り込みと DMA」、および「32.4.1.3. ボーレート」を参照してください。

CFDGRSTC.SRST を設定することによってソフトウェアリセットが行われた場合、CANFD モジュールは RAM 初期化シーケンスを実行しません。

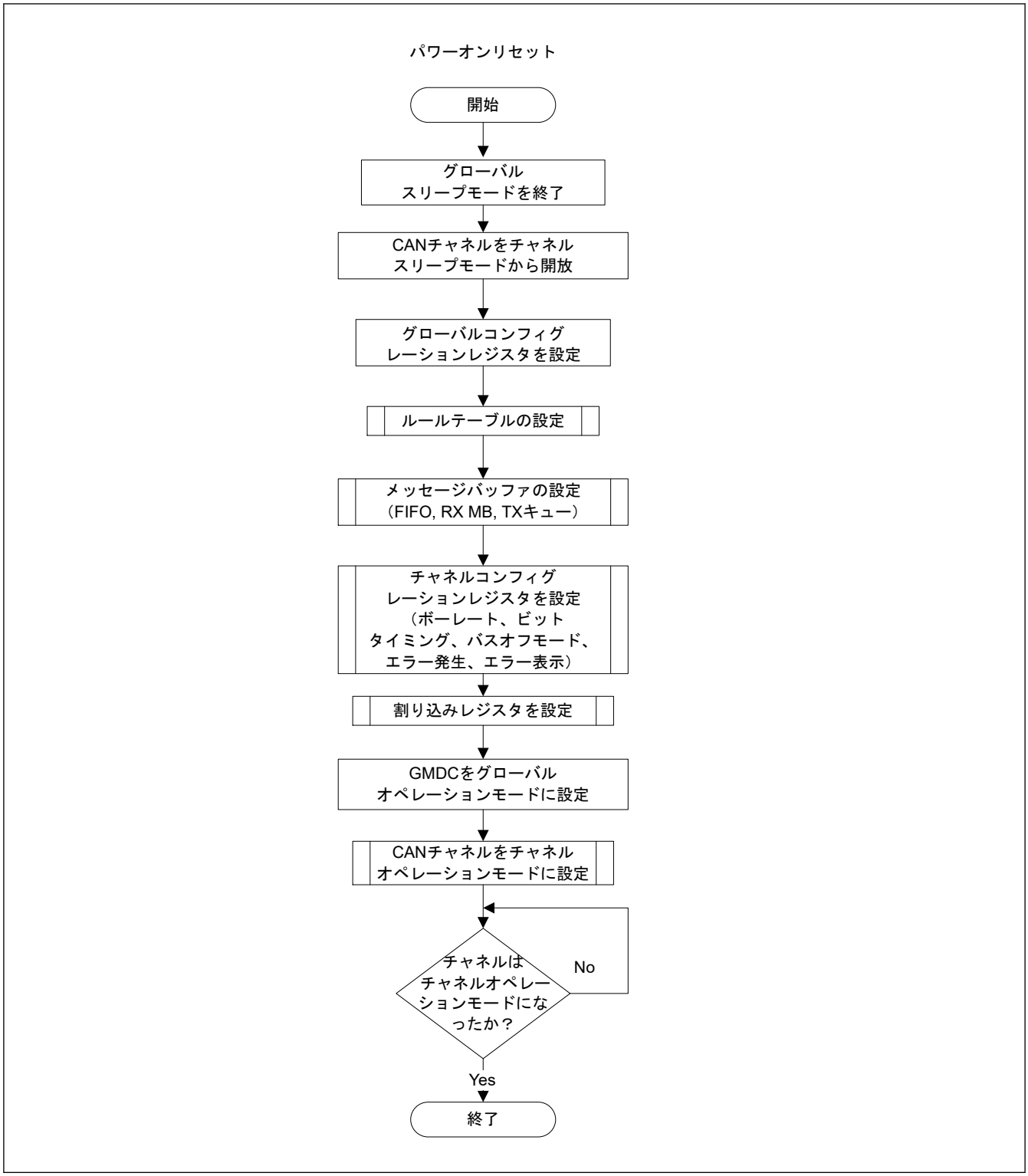


図 32.23 ハードウェアリセット後の構成手順

32.5 グローバルアクセプタンスフィルタリスト（AFL）を使用したアクセプタンスフィルタ機能

32.5.1 概要

CANFD モジュールでは、グローバルアクセプタンスフィルタリスト（以後、AFL と呼ぶ）を使用して、メッセージのアクセプタンスフィルタ処理を行うことができます。AFL の各要素により、特定のチャネルで受信メッセージに対するフィルタルールが定義されます。

AFL のエントリに基づき、以下のアクションが実行されます。

- 受信 CAN ID およびマスクに基づくアクセプタンスフィルタ処理
- 受信 DLC 値に基づく DLC フィルタ処理
- CFDGCFG.CMPOC ビットによるメッセージデータペイロード(注1)
- 受け入れたメッセージを、関連する AFL エントリに定義されたメッセージバッファオブジェクトに格納
- 16 ビットのポインタを関連する AFL エントリに定義された格納されるメッセージに付加（例 : AUTOSAR アプリケーションをサポートするため）
- 2 ビットの情報ラベルを関連する AFL エントリに定義された格納されるメッセージに付加

注 1. この機能は、クラシカル CAN 機能では使用できません。

CANFD モジュールは、最大の 16 個の AFL エントリを許可します。

アクセプタンスフィルタの処理中、アクセプタンスフィルタユニットは、チャネル内の各 AFL エントリを、受信メッセージと照らし合わせてチェックします。チェックは、そのチャネルで最も小さい AFL エントリ番号を持つエントリから開始されます。

受信した ID が設定した ID／マスクの組み合わせと一致したとき、あるいは、受信した ID が関連するチャネルのすべての AFL エントリと照合されたとき、AFL 検索は停止します。一致しない場合、受信メッセージは拒否されます。この場合、アプリケーションに通知は送られません。

さらに、DLC チェックがグローバルに有効化されている場合、受け入れた各メッセージについて、自動 DLC フィルタ処理が行われます。受信メッセージの DLC 値が、一致した AFL エントリに設定された DLC 値以上の場合、DLC チェックはパスします。

DLC 置換（CFDGCFG.DRE ビット）が有効で、一致した AFL エントリに設定された DLC 値が 0x0 より大きく、DLC チェックにパスした場合、一致した AFL エントリに設定された DLC 値が格納先の RX メッセージバッファまたは FIFO バッファに格納されます。

受信した DLC 値が一致した AFL エントリに設定された DLC 値よりも大きい場合、CAN バス上で受信した追加のデータバイトは格納先の RX メッセージバッファまたは FIFO バッファに格納されません。これらの追加データバイトは、格納先の RX メッセージバッファまたは FIFO バッファに、0x00 として格納されます。

DLC 置換が有効で、一致する AFL エントリの DLC 値が 0x0 の場合、受信した DLC 値が格納先の RX メッセージバッファまたは FIFO バッファに格納されます。

DLC 置換（CFDGCFG.DRE ビット）が無効で、DLC チェックにパスした場合、CAN バス上で受信した DLC 値が、格納先の RX メッセージバッファまたは FIFO バッファに格納されます。

受信した DLC 値が、一致した AFL エントリに設定された DLC 値より大きい場合、CAN バスから受信した追加のデータバイトも、格納先の RX メッセージバッファまたは FIFO バッファに格納されます。

受信メッセージの DLC 値が、一致した AFL エントリに設定された DLC 値より小さい場合、DLC チェックは失敗します。その場合、受信メッセージは拒否され、RX メッセージバッファまたは FIFO バッファに格納されません。

また、DLC チェックに失敗すると、グローバルエラーフラグレジスタで DLC エラーフラグが設定されます。設定されている場合、エラー割り込みも発生します。DLC チェックに失敗した場合、DLC 置換の設定は影響しません。

メッセージがアクセプタンスフィルタ処理と DLC フィルタ処理の両方にパスした場合、受信メッセージ用のシングルバッファおよび／または受信機能に構成された FIFO バッファにメッセージが格納されます。

このメッセージ格納先情報も、同じ AFL エントリに定義されています。構成されていない AFL エントリに対してターゲットを設定してはなりません。

受け入れた各受信メッセージは、最大で 2 つの格納先（受信メッセージ用のシングルバッファおよび／または FIFO バッファ）に格納できます。

格納先は 2 つまでしか設定することはできません。これより多い格納先を設定した場合、内部タイミングで競合状態が発生し、受信メッセージがメッセージ RAM に格納されない場合があります。この格納先の数は、アプリケーション側で正しく設定する必要があります。

受信メッセージに、格納先（CFDRMNB.RMPLS, CFDRFCCa.RFPLS、または CFDCFCC.CFPLS）に保存可能なサイズよりも多くのデータペイロードバイトが含まれる場合のために、追加の保護機構があります。

CFDGCFG.CMPOC = 0 の場合、メッセージ全体が拒否され、格納先に保存されます。CFDGCFG.CMPOC = 0 であり、受信メッセージを含む RX FIFO または共通 FIFO フルに格納先（CFDRMNB.RMPLS, CFDRFCCa.RFPLS、または CFDCFCC.CFPLS）に保存可能なサイズよりも多くのデータペイロードバイトが含まれる場合、対応する CFDFMSTS.RFxMLT または CFDFMSTS.CFxMLT ビットは 1 に設定されません。

CFDGCFG.CMPOC = 1 のとき、CFDRMNB.RMPLS を超える受信データバイトが拒否されます。
CFDGCFG.CMPOC = 1 であり、受信メッセージを含む RX FIFO または共通 FIFO フルに格納先（CFDRMNB.RMPLS, CFDRFCCa.RFPLS、または CFDCFCC.CFPLS）に保存可能なサイズよりも多くのデータペイロードバイトが含まれる場合、対応する CFDFMSTS.RFxMLT または CFDFMSTS.CFxMLT ビットは 1 に設定されます。

CFDGCFG.DRE ビットの設定に応じて、受信した元の DLC 値か、AFL エントリに設定された DLC 値のいずれかが格納されます。

CFDGCFG.CMPOC ビットの設定にかかわらず、ペイロードオーバーフロー条件が検出された場合、CFDGERFL.CMPOF は 1 に設定されます。

DLC フィルタ処理は、ペイロードオーバーフロー機能より前に実行されます。そのため、1 つの受信フレームについて、CFDGERFL.DEF または CFDGERFL.CMPOF(注1)によって同時に 1 つのフラグのみを設定できます。

注 1. このビットは、クラシカル CAN 機能では使用できません。

32.5.2 AFL エントリの割り当て

チャネルごとの AFL エントリの数は、関連するグローバルアクセプタンスフィルタコンフィグレーションレジスタの専用のフィールドを使用して設定できます（図 32.24 を参照）。

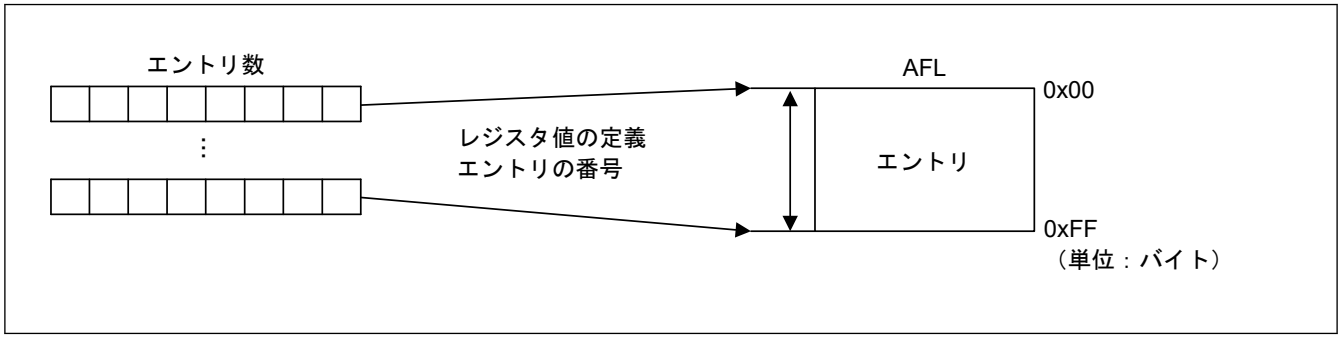


図 32.24 各チャネルの AFL の構成

1 チャネル当たりの最小エントリ数は 0（チャネルにエントリが定義されていない状態）で、最大エントリ数は 16 です。

1 つのチャネルの全エントリは一意で、エントリの重複や共有はサポートされていません。AFL を正しく構成することは、アプリケーションの責任です。

CANFD モジュールは、AFL の構成に関連するエラーにフラグを立てません。

32.5.3 AFL エントリの説明

各 AFL エントリは、16 バイトで構成されます。すべてのエントリで、フィールドは同一です。

各エントリには、アクセプタンスフィルタ処理と DLC フィルタ処理に使用される以下の情報が含まれます。

- ID（標準フレームフォーマットでは 11 ビット、拡張フレームフォーマットでは 29 ビット）：
  アクセプタンスフィルタユニットは、受信したメッセージの ID フィールドを、各 AFL エントリの ID フィールドと照合します（ID ビットに対してフル 29 ビットマスク処理が可能です。下記の情報を参照してください）。

- IDE ビット：
  アクセプタンスフィルタユニットは、受信したメッセージの IDE ビットをこのビットと照合し、ID フィールドからアクセプタンスフィルタ処理に関連する部分を選択します（IDE ビットに対してマスク処理が可能です。下記の情報を参照してください）。

- RTR ビット：

アクセプタンスフィルタユニットは、このビットの設定に従って、データフレーム（RTR = 0）またはリモートフレーム（RTR = 1）のみを受け入れます（RTR ビットに対してマスク処理が可能です。下記の情報を参照してください）。

- ループバックコンフィグレーションビット：
  このビットにより、ループバック構成またはミラーモード条件に応じて AFL エントリの有効／無効を設定できます。

- ID ビットのマスク（29 ビット）：
  ID マスクの各ビットは、アクセプタンスフィルタ処理中、AFL エントリ内の対応する ID ビットをマスクできます。図 32.25 を参照してください。

- IDE ビットのマスク：
  標準 ID フォーマットと拡張 ID フォーマットの両方において、このマスクビットで AFL エントリの IDE ビットをマスクした場合、この AFL エントリでメッセージが受け入れられます。標準 ID フォーマットのメッセージの場合、受信したメッセージの ID が AFL エントリの標準 ID 部分と比較されます。拡張 ID フォーマットのメッセージの場合、受信したメッセージの ID が AFL エントリの拡張 ID 部分と比較されます。

- RTR ビットのマスク：
  両方のフレームフォーマットにおいて、このマスクビットは、AFL エントリの RTR ビットをマスクします。この AFL エントリでは、データフレームとリモートフレームフォーマットが受け入れられます。

- ポインタ情報（16 ビット）：
  この 16 ビットのポインタは、関連する AFL エントリによって受け入れられた受信メッセージに付加されます。このポインタは、メッセージバッファ領域へのメッセージ格納中に追加され、アプリケーションによりサポート機能として使用できます。たとえば、ポインタ情報を使用して、AUTOSAR システムにおける受信メッセージへの PDU ID 割り当てをサポートできます。

- 情報ラベル（2 ビット）：
  この 2 ビットのラベルは、関連する AFL エントリによって受け入れられたメッセージに付加されます。このラベルは、メッセージバッファ領域へのメッセージ格納中に追加され、アプリケーションによりサポート機能として使用できます。

- 自動 DLC フィルタ処理のための DLC 値：
  受信したメッセージの DLC 値が設定した DLC 値以上である場合、DLC チェックにパスします。

この AFL エントリの DLC 値を 0 に設定すると、そのエントリについて DLC フィルタ処理が実質的に無効化されます（受け入れられたすべてのメッセージが DLC フィルタ処理をパスします）。

各 AFL エントリは、受信したメッセージを処理するために以下の情報を含みます。

- 受信したメッセージの格納先として使用される単一の受信メッセージバッファのメッセージバッファ番号
- 受信したメッセージの格納先として、単一の受信メッセージバッファ番号の有効または無効を設定する単一受信メッセージバッファ有効ビット
- FIFO 宛先ポインタ - FIFO 宛先ポインタの各ビットは、受信したメッセージの格納先の候補として、専用の FIFO を構成します。

このようなメッセージの格納に対するハードウェア保護は提供されていません。そのため、FIFO 宛先ポインタを設定する際は注意が必要です。

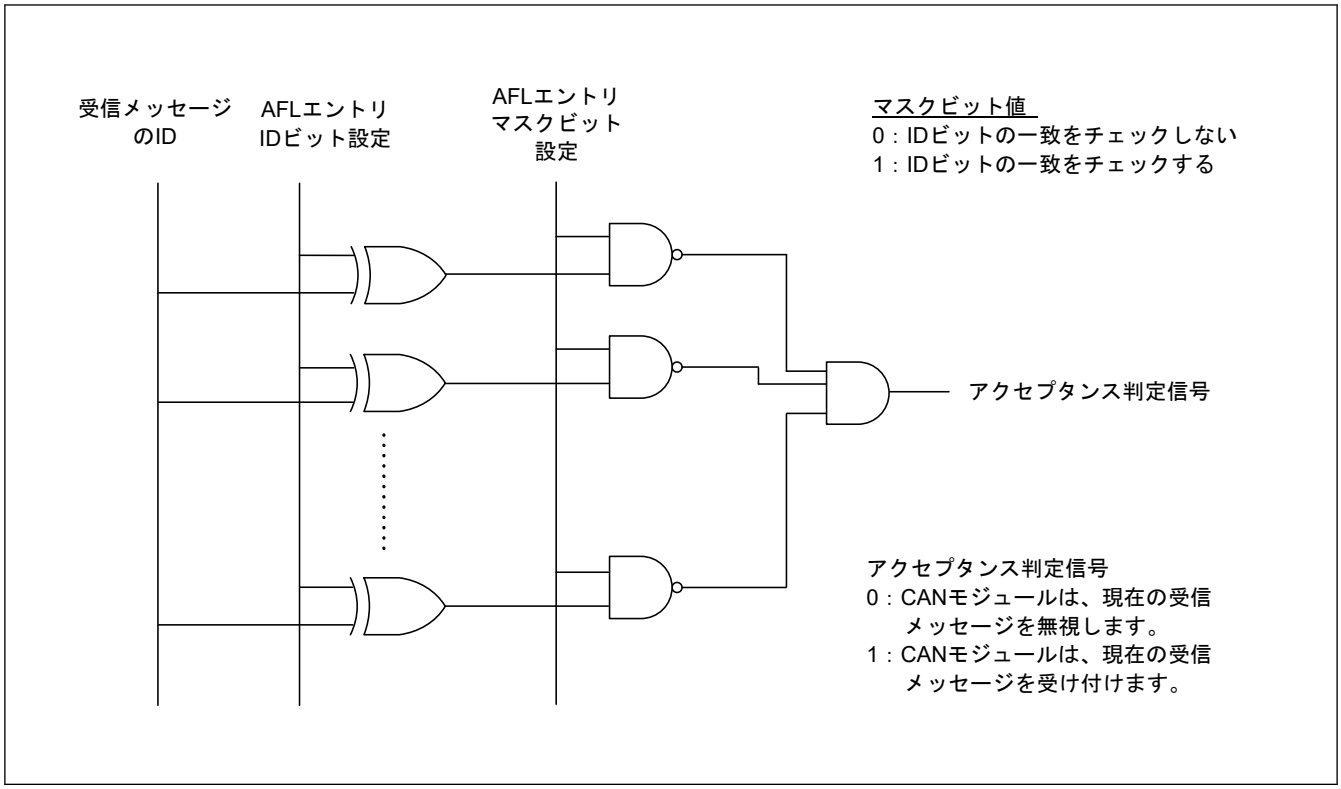


図 32.25　アクセプタンス機能

32.5.4　AFL へのエントリの入力

アプリケーションソフトウェアは、以下のレジスタを使用して AFL に 1 つのエントリ全体を入力できます。

- グローバル AFL ID エントリレジスタ：AFL エントリのパート 1
- グローバル AFL マスクエントリレジスタ：AFL エントリのパート 2
- グローバル AFL ポインタ 0 エントリレジスタ：AFL エントリのパート 3
- グローバル AFL ポインタ 1 エントリレジスタ：AFL エントリのパート 4

これらのレジスタ 16 組で、1 つの AFL エントリのグループを構成します。AFL は CH_RESET モードまたは CH_HALT モードのみで構成するものとします。

AFL をプログラムするには、図 32.26 に示す構成に従ってください。

AFL への不要な書き込みを防止するため、コンフィグレーションモードですべてのエントリを入力した後、AFL アクセスをロックする必要があります。

ロックビットがセットされている場合、すべてのグローバルモード（GL_RESET、GL_HALT、GL_OPERATION）中、書き込み保護が有効になります。

すべてのグローバルモード中、AFL データアクセスが無効であっても、AFL の読み出しは可能です（実行時に AFL の内容の整合性チェックが可能です）。

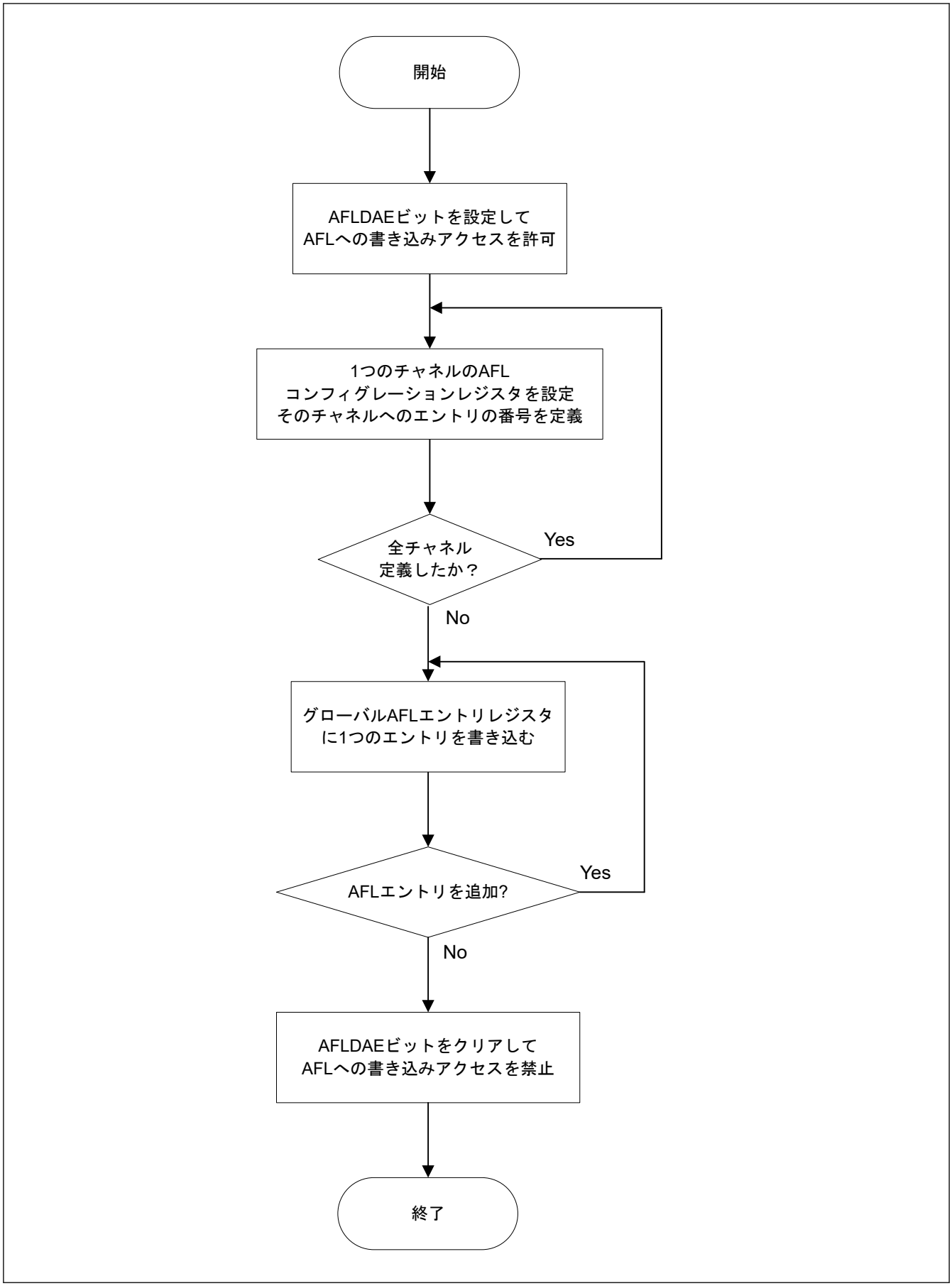


図 32.26 AFL の構成フロー

32.5.5 ループバックモード

ループバックコンフィグレーションビットがセットされている場合、AFL エントリは、CAN チャネル自らが送信したメッセージを受信する、ループバックテストモード（セルフテストモード 0 またはセルフテストモード 1）またはミラーモードのみで有効になります。

AFL エントリは、ループバックモードで受信した、バス上のその他の CAN ノードによって送信されたメッセージについては無効です。ここで、関連するエントリが有効、無効という表現は、その AFL エントリが受信したメッセージ ID と照合されるかどうかを示します。

ループバックコンフィグレーションビットが 0 の場合、その AFL エントリは以下のときのみ有効になります。

- 通常のモード（ループバック以外のモード）およびミラーモードで受信した、バス上のその他の CAN ノードによって送信されたメッセージ
- ループバックテストモードで受信した、他の CAN ノードまたは CAN チャネル自らが送信したメッセージ

ミラーモードは、グローバルコンフィグレーションレジスタの CFDGCFG.MME ビットで有効化できます。CFDGCFG.MME ビットがセットされている場合、そのチャネルの AFL に一致するエントリが設定されていれば、送信に成功したメッセージが RX メッセージバッファまたは FIFO バッファに格納されます。

このフレームを格納するには、一致する AFL エントリのループバックコンフィグレーションビットがセットされている必要があります。

ミラーモードとループバックテストモードが同時に構成されている場合、ループバックテストモードの動作が適用されます。

表 32.22 に、関連する入力信号の設定に応じたアクセプタンスフィルタユニットの動作を示します。

表 32.22 AFL エントリ内のループバックコンフィグレーションの設定に基づくアクセプタンスフィルタの動作

ミラーモード有効（MME コンフィグレーションビット）	テストモード（セルフテストモード 0 またはセルフテストモード 1）のループバック	チャネルモード	AFL エントリのループバックコンフィグレーションビット	AFL エントリ
0	0	受信	0	有効
			1	無効
		送信	0	無効
			1	無効
	1	受信	0	有効
			1	無効
		送信	0	有効
			1	有効
1	0	受信	0	有効
			1	無効
		送信	0	無効
			1	有効
	1	受信	0	有効
			1	無効
		送信	0	有効
			1	有効

注. ここで、関連するエントリが有効、無効という表現は、その AFL エントリが受信したメッセージ ID と照合されるかどうかを示します。

32.5.6 IDE マスク処理

AFL エントリの GAFLIDEM ビットが 0 のとき、その AFL エントリに設定された IDE ビットは ID のマッチングに使用されません。この場合、受信した IDE ビットに基づいて、ID[10:0]または ID[28:0]マッチングの使用が選択されます。

次の例を考えてみましょう。

- AFL エントリ x の ID フィールドとマスクフィールドが次のように設定されているとします。
  - CFDGAFLID [x] = 0xC0553A20 → IDE = 1、RTR = 1、LLB = 0、ID[10:0] = 0x220 / ID[28:0] = 0x00553A20
  - CFDGAFLMr = 0x0000FFFF → IDEM = 0. RTRM = 0、IDM[10:0] = 0x7FF／IDM[28:0] = 0x0000FFFF
- AFL エントリ x での 4 つの異なる受信 ID の比較結果を以下に示します。
  - IDE = 0、ID = 0x220 のフレームを受信した場合、一致とみなされます。
  - IDE = 0、ID = 0x320 のフレームを受信した場合、不一致とみなされます。
  - IDE = 1、ID = 0x1FFF3A20 のフレームを受信した場合、一致とみなされます。
  - IDE = 1、ID = 0x08803220 のフレームを受信した場合、不一致とみなされます。

32.5.7 通信中の AFL エントリの更新

AFL エントリは、CAN 通信を阻害することなく更新できます。AFL エントリ番号を設定して更新するエントリ番号を選択し、イネーブルビットは無視します。

エントリの更新中、このエントリ番号は AFL マッチングから無視されます。

図 32.27 に AFL エントリの更新フローを示します。

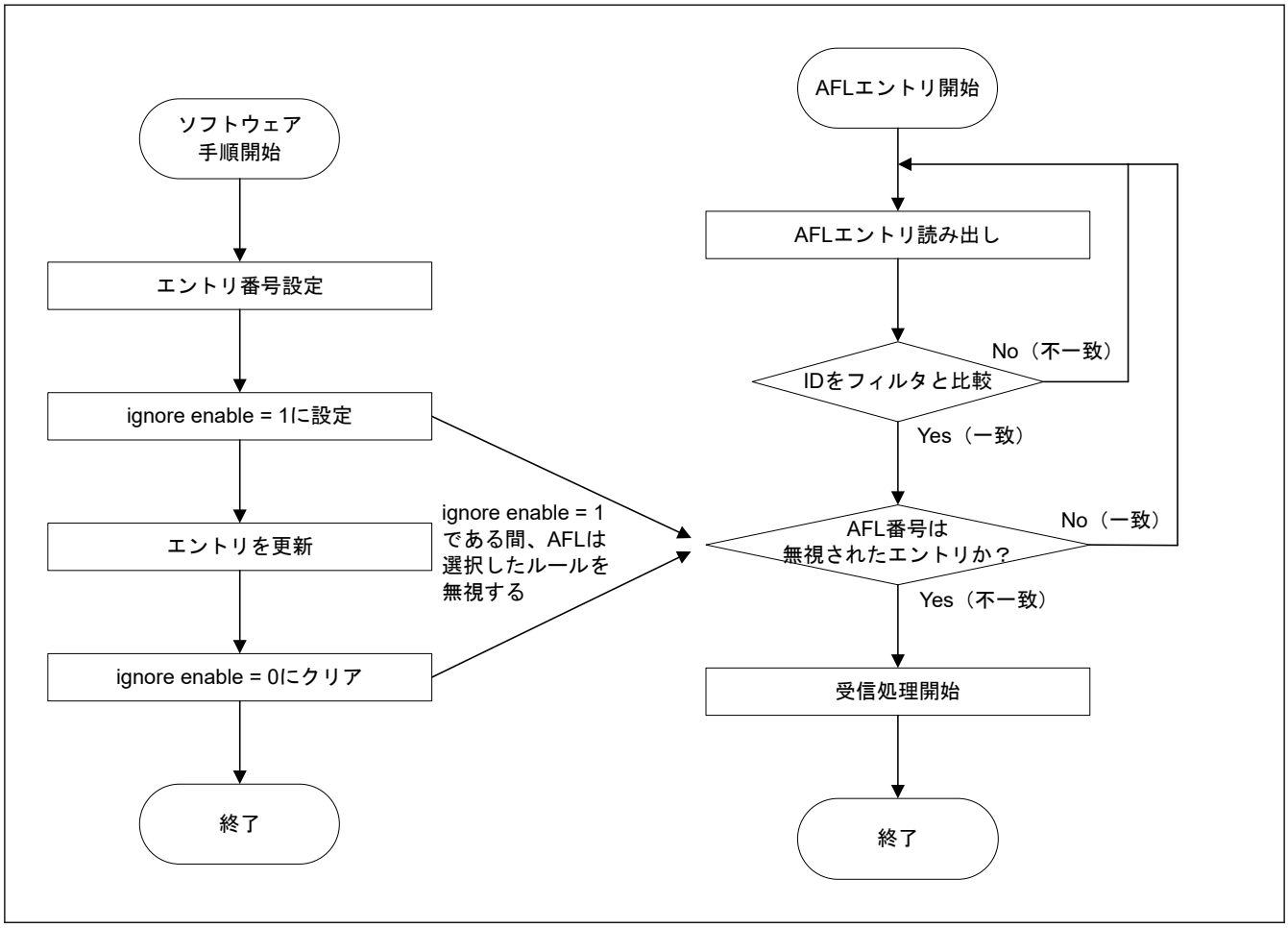


図 32.27 AFL エントリの更新フロー

AFL エントリを更新する方法は以下のとおりです。

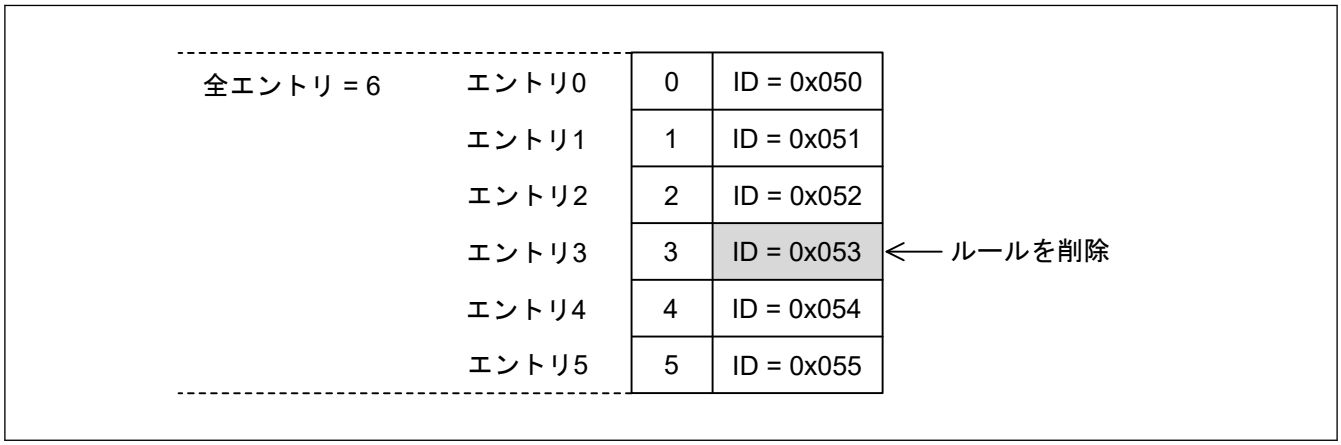
1. エントリ番号を CFDGAFLIGNENT レジスタに設定します。
2. CFDGAFLIGNCTR レジスタに値 0xC401（キーコードと有効ビット）を設定します。
3. CFDGAFLECTR.AFLDAE が 1 にセットされます。
4. CFDGAFLIDr、CFDGAFLMr、CFDGAFLP0r、CFDGAFLP1r レジスタに新しいルールを設定します。

5. CFDGAFLECTR.AFLDAE が 0 にクリアされます。
6. CFDGAFLIGNCTR レジスタに値 0xC400（キーコードおよびクリア有効ビット）を設定します。

注. このエントリ番号は (2) から (5) までの期間、無視されます。

(1) 例 1：エントリの削除

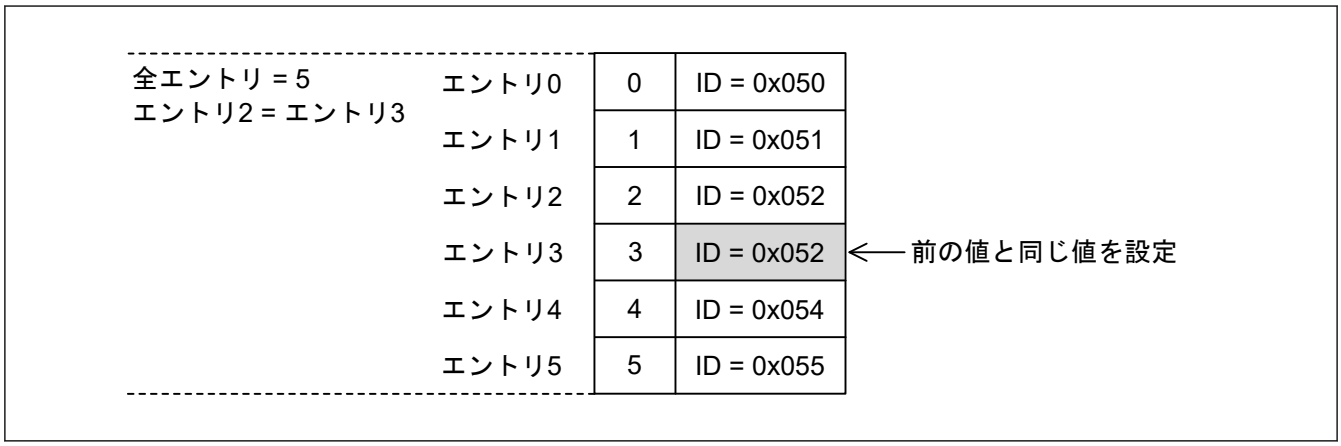
エントリ数の合計が 6 個の場合、エントリ 3 を削除します。



エントリを削除する方法

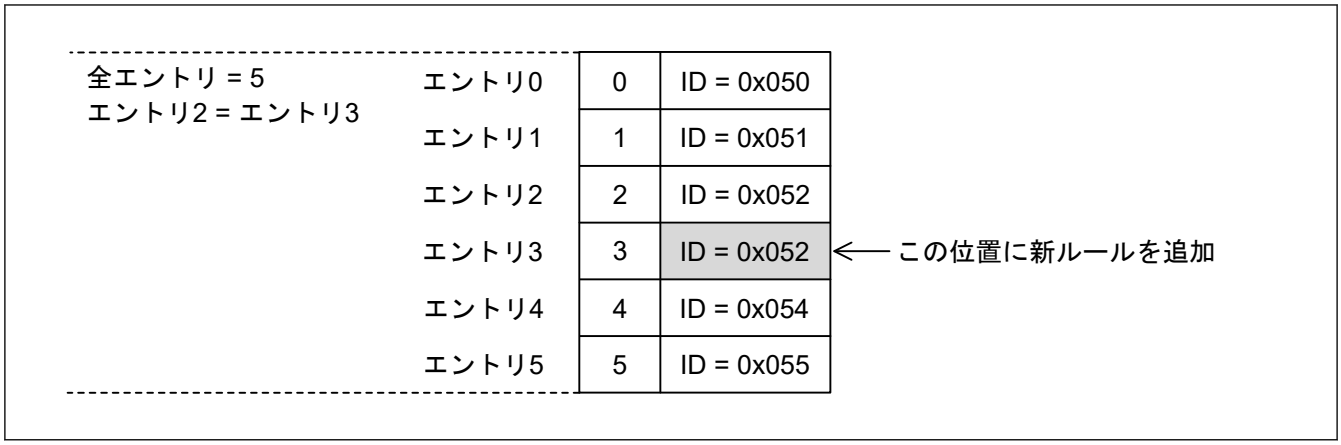
1. CFDGAFLIGNENT レジスタに 0x00000003 を設定します。
2. CFDGAFLIGNCTR レジスタに 0x0000C401 を設定します。
3. CFDGAFLECTR レジスタに 0x00000100 を設定します。
4. CFDGAFLIDr、CFDGAFLMr、CFDGAFLP0r、CFDGAFLP1r にアクセスして、前と同じルールを設定します（r = 3 の場合、エントリ 3 を示します。）
5. CFDGAFLECTR レジスタに 0x00000000 を設定します。
6. CFDGAFLIGNCTR レジスタに 0x0000C400 を設定します。

これで、エントリ 3 が削除されました。



(2) 例 2：エントリの追加

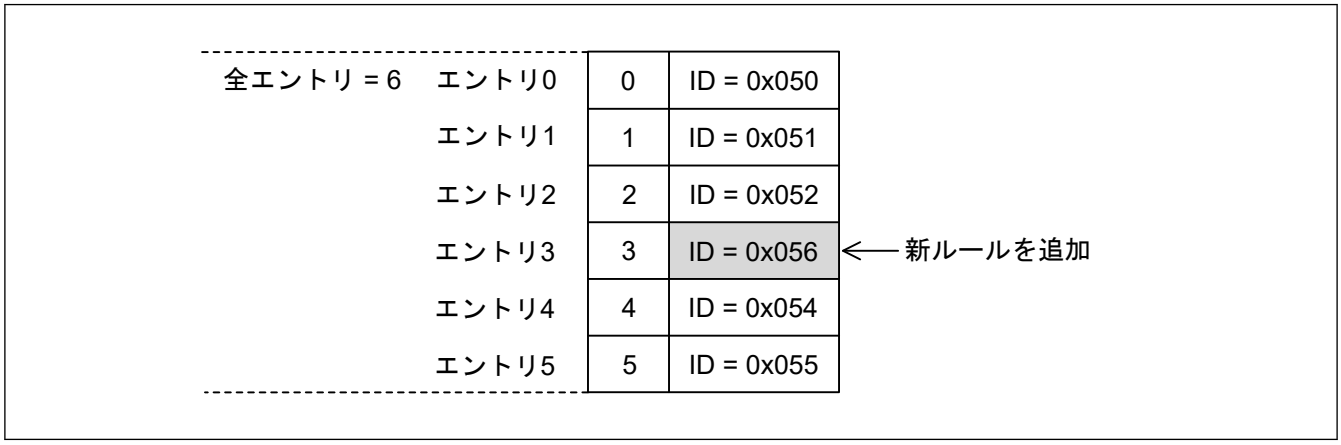
エントリ数の合計が 6 個の場合、エントリ 3 に新しいエントリを追加します。



エントリを追加する方法

1. CFDGAFLIGNENT レジスタに 0x00000003 を設定します。
2. CFDGAFLIGNCTR レジスタに 0x0000C401 を設定します。
3. CFDGAFLECTR レジスタに 0x00000100 を設定します。
4. CFDGAFLIDr、CFDGAFLMr、CFDGAFLP0r、CFDGAFLP1r にアクセスして、新しいルールを設定します。（r = 3 の場合、エントリ 3 を示します。）
5. CFDGAFLECTR レジスタに 0x00000000 を設定します。
6. CFDGAFLIGNCTR レジスタに 0x0000C400 を設定します。

これで、新しいエントリが追加されました。



AFL フィルタは CFDGAFLCFG を設定するために使用でき、エントリの追加／削除が可能です。そのため、CFDGAFLCFG に使用できる最大数を設定する必要があります。

32.6 FIFO バッファと通常のメッセージバッファの構成

本項では、CANFD モジュールの RX メッセージバッファ、FIFO バッファ、およびフラット TX メッセージバッファの数を構成する手順を説明します。メッセージバッファは、図 32.28 に示すようにマッピングされています。

RX メッセージバッファには、RX メッセージバッファレジスタでアクセスできます。

RX FIFO バッファと、RX モード、または TX モードで構成された共通 FIFO バッファは、FIFO アクセスレジスタでのみアクセスできます。

共通 FIFO が TX モードで構成されている場合、FIFO アクセスレジスタによる FIFO バッファへのデータの書き込みのみが可能です。

共通 FIFO が RX モードで構成されている場合、FIFO アクセスレジスタからのデータの読み込みのみが可能です。

TX メッセージバッファには、TX メッセージバッファレジスタでアクセスできます。

未使用のメッセージバッファ位置を読み出した場合、そのメッセージバッファ位置は不明な値として読み出されます。

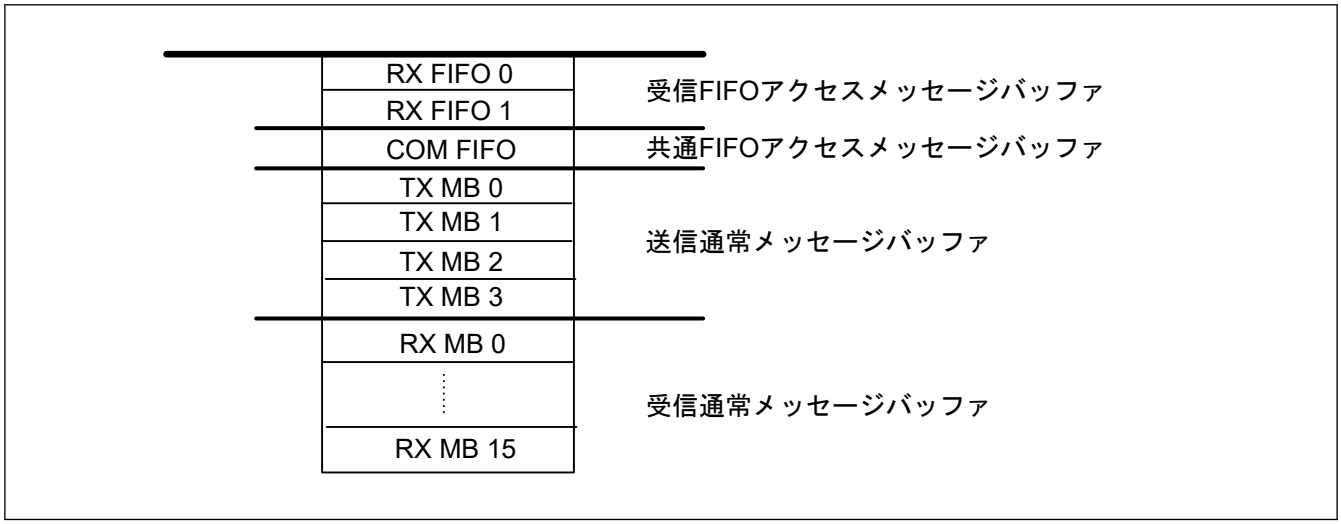


図 32.28 メッセージバッファの構成

32.6.1 通常の RX メッセージバッファ

CANFD モジュールでは受信したフレームを、AFL エントリの構成に基づいて通常の RX メッセージバッファに格納することができます。

また、システムに必要な通常の RX メッセージバッファの数を、固定された最大数までの間で選択できます。

32.6.1.1 通常の RX メッセージバッファの構成

CANFD モジュールの通常の RX メッセージバッファの数は、RX メッセージバッファ数レジスタへの書き込みによって設定できます。

メッセージバッファ数は、以下の範囲内で構成します。

- 最小数 = 0x00（通常の RX メッセージバッファなし）
- 最大値 = 0x10

上記範囲外の値を使用してはなりません。

システム要件に合わせて AFL エントリを構成し、受信したメッセージを通常の RX メッセージバッファにルーティングできるようにする必要があります。

また、AFL エントリの構成は正しく行ってください。通常の RX メッセージバッファを指定する AFL エントリの数が、RX メッセージバッファ数レジスタに構成されたメッセージバッファ数を超えてはなりません。

注. CANFD モジュールには、AFL の間違った設定を発見するための内部チェック手順がありません。

RX メッセージバッファのデータフィールドサイズは、CFDRMNB.RMPLS ビットで構成できます。デフォルトサイズは 8 バイトで、最大データペイロードサイズは 64 バイトです。

受信フレームがこのデータフィールドサイズを上回る場合、受け入れ（メッセージを拒否するか、データペイロードを切り捨てるか）は CFDGCFG.CMPOC の構成によって決まります。

注. RMPLS ビットおよび CMPOC ビットは、クラシカル CAN 機能では使用できません。これらの特長はクラシカル CAN では有効ではありません。

32.6.2 FIFO バッファ

CANFD モジュールには、受信および送信機能のフレームの格納をサポートするために、決まった数の FIFO バッファがあります。

受信専用の FIFO バッファ数は 2 に固定されています。ただし、送信または受信機能のためのメッセージを格納するために共通 FIFO バッファチャネルを設定できます。

これらの FIFO バッファは許可または禁止でき、システム要件に合わせて以下のパラメータを設定できます。

- サイズ
- 割り込み構造
- メッセージロスト機構
- FIFO バッファのメッセージ上書き機構
- TX FIFO のロケーション

受信フレームがこのデータフィールドサイズを上回る場合、受け入れ（メッセージを拒否するか、データペイロードを切り捨てるか）は CFDGCFG.CMPOC ビットの構成によって決まります。

32.6.2.1 FIFO バッファの構成

CANFD モジュールでは、FIFO バッファをシステム要件に合わせて構成できます。

FIFO バッファの総数 = RX FIFO バッファ 2 個 + 共通 FIFO バッファ 1 個 = FIFO バッファ 3 個

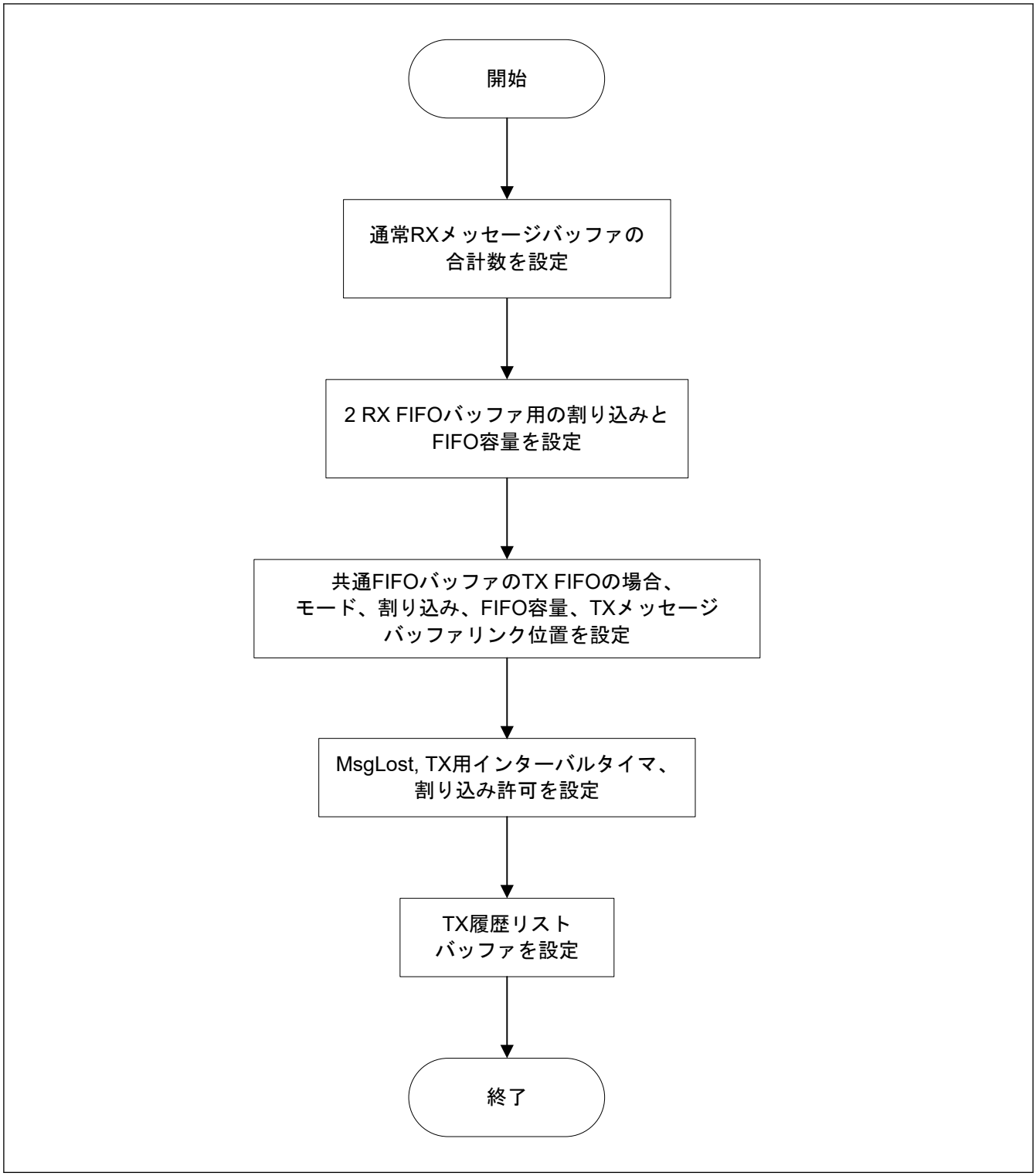


図 32.29 CANFD モジュールにおける FIFO バッファの構成フロー

図 32.29 に示すように、RX FIFO コンフィグレーション／コントロールレジスタと共通 FIFO コンフィグレーション／コントロールレジスタへの書き込みによって、さまざまな FIFO バッファを構成することができます。

2 つの RX FIFO バッファに対しては、以下のパラメータを構成できます。

- 割り込み
- FIFO 容量
- FIFO ペイロードデータサイズ

共通 FIFO バッファに対しては、以下のパラメータを構成できます。

- モード
- 割り込み FIFO 容量
- FIFO ペイロードデータサイズ
- FIFO TX リンク位置

(1) 共通 FIFO バッファの FIFO モード構成

共通 FIFO バッファのモードは、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFM[1:0]ビットへの書き込みによって構成できます。共通 FIFO バッファに構成可能なモードは以下のとおりです。

- 0b RX モード（ハードウェアリセット後のデフォルトモード）
- 1b TX モード

RX FIFO バッファと、RX モードに構成された共通 FIFO バッファからは、メッセージの読み出しのみが可能です。これらの FIFO バッファには、AFL エントリに基づいて、CAN モジュールによってメッセージが格納されます。

TX モードに構成された共通 FIFO バッファでは、メッセージの読み出しと書き込みが可能です。これらのメッセージは、適切な CAN チャネル上で送信されます。

ポインタは、新しいメッセージが FIFO バッファに格納されたときにのみインクリメントでき、CANFD モジュールによりメッセージが対応する CAN チャネル上に送信されたときにのみデクリメントできます。

ハードウェアリセット後、共通 FIFO バッファはデフォルトで RX モードに設定されます。共通 FIFO バッファを必要なモードに構成してから、FIFO バッファを有効にするようにしてください。

(2) FIFO TX メッセージバッファとのリンクの構成

共通 FIFO を TX FIFO として構成するとき、CAN チャネルの送信スキャンに参加するため、FIFO バッファを通常の TX メッセージバッファにリンクする必要があります。

いずれかの共通 FIFO バッファにリンクされた TX メッセージバッファにデータを書き込んではなりません。また、いずれかの共通 FIFO バッファにリンクされた TX メッセージバッファを TX キューの構成要素にしてはなりません。

各共通 FIFO バッファの TX メッセージバッファとのリンクは、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFTML[1:0]ビットへの書き込みによって構成できます。TX メッセージバッファのリンク構成では、以下のオプションを使用できます。

- 0x00: TX メッセージバッファ 0
- 0x01: TX メッセージバッファ 1
- 0x10: TX メッセージバッファ 2
- 0x11: TX メッセージバッファ 3

(3) FIFO 容量の構成

各 FIFO バッファの容量は、RX FIFO コンフィグレーション／コントロールレジスタの CFDRFCCa.RFDC[2:0]ビットと、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFDC[2:0]ビットへの書き込みによって構成できます。容量の構成には、以下の 6 つのオプションを使用できます。

- 0x000: 0 メッセージ（FIFO バッファを有効にできない）
- 0x001: 4 メッセージ
- 0x010: 8 メッセージ
- 0x011: 16 メッセージ
- 0x100: 32 メッセージ
- 0x101: 48 メッセージ

RX メッセージバッファおよび FIFO バッファに割り当てられる RAM は、64 データバイト（ID と PTR を含め 76 バイト）の 16 メッセージに制限されます。この上限を超える RX メッセージバッファおよび FIFO バッファを構成してはなりません。

CANFD モジュールのロジックでは、構成が正しいかどうかはチェックされません。

注. 共通 FIFO の FIFO 容量が 4 メッセージ以上 (CFDCFCC.CFDC[2:0] > 000b) の場合、この FIFO が無効の場合も有効の場合も、共通 FIFO と TX メッセージバッファのリンクは有効になります。

FIFO 容量が 0 メッセージの場合、この FIFO が無効の場合も有効の場合も、共通 FIFO と TX メッセージバッファのリンクは無効です。

(4) FIFO ペイロードサイズの構成

各 FIFO バッファのデータサイズは、RX FIFO コンフィグレーション／コントロールレジスタの CFDRFCCa.RFPLS[2:0]ビットと、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFPLS[2:0]ビットへの書き込みによって構成できます。容量の構成には、以下の 8 つのオプションを使用できます。

- 000b: 8 バイト
- 001b: 12 バイト
- 010b: 16 バイト
- 011b: 20 バイト
- 100b: 24 バイト
- 101b: 32 バイト
- 110b: 48 バイト
- 111b: 64 バイト

RX メッセージバッファおよび FIFO バッファに割り当てられる RAM は、64 データバイト（ID と PTR を含め 76 バイト）の 16 メッセージに制限されます。この上限を超える RX メッセージバッファおよび FIFO バッファを構成してはなりません。

CANFD モジュールのロジックでは、構成が正しいかどうかはチェックされません。

注. この機能は、クラシカル CAN 機能では使用できません。

(5) FIFO 割り込みの構成

FIFO バッファの割り込み発生条件は、RX FIFO コンフィグレーション／コントロールレジスタの CFDRFCCa.RFIM ビットと、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFIM ビットへの書き込みによって構成できます。以下の 2 つのオプションを使用できます。

- 0:
  - RX FIFO モード：共通 FIFO カウンタが CFDRFCCa.RFIGCV/CFDCFCC.CFIGCV の値に達したとき、割り込みが発生します。
  - TX FIFO モード：共通 FIFO が最後のメッセージを正常に送信したとき、割り込みが発生します。
- 1:
  - RX FIFO モード：各受信メッセージの格納が終了したとき、割り込みが発生します。
  - TX FIFO モード：メッセージが正常に送信されるたびに、割り込みが発生します。

RX FIFO の割り込みモードビットが 0 の場合、CFDRFCCa.RFIGCV[2:0]ビットの設定に従って割り込みが発生します。

同様に、RX モードに構成された共通 FIFO の割り込みモードビットが 0 の場合、CFDCFCC.CFIGCV[2:0]ビットの設定に従って割り込みが発生します。

割り込みを発生させる FIFO カウンタの値を構成するには、以下の 8 つのオプションを使用できます。

- 000b: FIFO が 1/8 フルになると割り込み発生

- 001b: FIFO が 1/4 フルになると割り込み発生
- 010b: FIFO が 3/8 フルになると割り込み発生
- 011b: FIFO が 1/2 フルになると割り込み発生
- 100b: FIFO が 5/8 フルになると割り込み発生
- 101b: FIFO が 3/4 フルになると割り込み発生
- 110b: FIFO が 7/8 フルになると割り込み発生
- 111b: FIFO がフルになると割り込み発生

この場合、メッセージ数が設定した値と一致すると、割り込みが発生します。

ただし、CFDRFCCa.RFIGCV[2:0]ビットと CFDCFCC.CFIGCV[2:0]ビットの構成には、FDC[2:0]ビット（FIFO 容量の構成）に応じて、いくらかの制限があります。表 32.23 を参照してください。

表 32.23 FIFO 割り込み発生カウンタと FIFO 容量の構成

RFDC[2:0] (CFDC[2:0])	RFIGCV[2:0] (CFIGCV[2:0])							
	111b	110b	101b	100b	011b	010b	001b	000b
000b	Don't care（FIFO を有効化できない）							
001b	可能	不可能	可能	不可能	可能	不可能	可能	不可能
010b	可能							
011b	可能							
100b	可能							
101b	可能							
110b	可能							
111b	可能							

32.6.2.2 FIFO バッファの制御

FIFO 割り込みを有効にするには、RX FIFO コンフィグレーション／コントロールレジスタの以下のビットのいずれかをセットする必要があります。

- CFDRFCCa.RFIE

また、FIFO 割り込みを有効にするには、共通 FIFO コンフィグレーション／コントロールレジスタの以下のビットのいずれかをセットする必要があります。

- CFDCFCC.CFRXIE
- CFDCFCC.CFTXIE

コンフィグレーションの完了後、各 FIFO を有効にするには、RX FIFO コンフィグレーション／コントロールレジスタおよび共通 FIFO コンフィグレーション／コントロールレジスタの CFDRFCCa.RFE ビットおよび CFDCFCC.CFE ビットを設定して、メッセージの送受信を可能にします。

32.7 割り込みと DMA

32.7.1 割り込み

CANFD モジュールは、いくつかの割り込みを発生させます。割り込み出力は、割り込みコントローラユニット (ICU) に接続されており、対応する割り込み許可ビットによって制御できます。

ステータスフラグは、この許可ビットとは無関係にセットされます。

チャネル送信割り込みには、もう 1 つ別のステータスフラグレジスタがあり、そのステータスビットは対応する割り込み許可がセットされている場合のみセットされます。

この割り込みはいくつかのトリガ要因によって発生するため、このレジスタはチャネル送信に対する割り込み要因の特定をサポートします。

CANFD モジュールの割り込みは、グローバル割り込みとチャネル割り込みの 2 つのグループに分けられます。

- グローバル割り込み：
  CANFD モジュールは、3 種類のグローバル割り込みを発生させることができます。
  - 2 つの RX FIFO バッファへの正常受信のグローバル割り込み
  - グローバルエラー割り込み
  - 16 個の RX メッセージバッファへの正常受信のグローバル割り込み
- チャネル割り込み：
  CANFD モジュールの各チャネルは、3 種類のチャネル割り込みを発生させることができます。
  1. チャネル送信
     - チャネルからの送信完了
     - チャネルからの送信アボート
     - チャネルの TX キューからの送信
     - チャネル THL 割り込み
     - チャネルの TX モードの共通 FIFO からの正常送信
  2. チャネルエラー割り込み
  3. チャネルの RX モードの共通 FIFO での正常受信

対応するフラグビットがクリアされるか、割り込み許可ビットがクリアされると、割り込みはクリアされます。

以下の表 32.24 に、さまざまな割り込み出力に対する割り込み要因の概要をまとめます。割り込み出力はアクティブ High です。

表 32.24 割り込み要因の概要 (1/2)

項目	割り込み	名称	割り込み要因	割り込みのクリア
グローバル割り込み	少なくとも 1 つの RX FIFO への正常受信	CAN_RXF	割り込みが許可されている対応する RX FIFO の割り込みフラグ	割り込みが許可されている対応する RX FIFO バッファの割り込みフラグのクリア
	グローバルエラー	CAN_GLERR	以下のいずれか： • DLC エラーフラグ • メッセージロストステータスビット • TX 履歴エントリロストステータスビット • CANFD メッセージペイロードオーバーフローフラグ	以下をすべてクリア： • DLC エラーフラグ • すべての FIFO ステータスレジスタのメッセージロストフラグ • TX 履歴リストエントリロストフラグ • CANFD メッセージペイロードオーバーフローフラグ
	少なくとも 1 つの RXMB への正常受信	CANn_RXMB (n = 0, 1)	割り込みが許可されている対応する RXMB の割り込みフラグ	割り込みが許可されている対応する RXMB バッファの割り込みフラグのクリア
チャネル送信割り込み	チャネル正常送信	CANn_TX (n = 0, 1)	割り込みが許可されているとき、任意のチャネル関連の TXMB 正常フラグ(注1)	割り込みが許可されている、すべてのチャネル関連の TXMB 結果ステータスビットのクリア
	チャネルアボート		割り込みが許可されているとき、任意のチャネル関連の TXMB アボートフラグ(注1)	グローバルで割り込みが許可されている、すべてのチャネル関連の TXMB 結果ステータスビットのクリア
	チャネル TX キューからの送信		関連するチャネルの TX キュー割り込みフラグ	関連するチャネルの TX キュー割り込みフラグのクリア
	チャネル THL 割り込み		チャネル THL 割り込みステータスフラグ	関連する THL 割り込みステータスフラグのクリア
	チャネル共通 FIFO TX 割り込み		関連するチャネルに属する TX モードの共通 FIFO の割り込みフラグ	関連するチャネルに属する TX モードの共通 FIFO の割り込みフラグのクリア

表 32.24　割り込み要因の概要 (2/2)

項目	割り込み	名称	割り込み要因	割り込みのクリア
チャネルエラー割り込み	チャネルエラー	CANn_CHERR (n = 0, 1)	チャネルエラー割り込み許可レジスタで割り込みが許可されている、チャネルエラーフラグレジスタの任意のチャネル関連のエラーフラグ	チャネルエラー割り込み許可レジスタで割り込みが許可されている、チャネルエラーフラグレジスタのすべてのチャネル関連のエラーフラグのクリア
チャネル共通 RX FIFO 割り込み	チャネル共通 FIFO RX 割り込み	CANn_COMFRX (n = 0, 1)	関連するチャネルに属する RX モードの共通 FIFO の割り込みフラグ	関連するチャネルに属する RX モードの共通 FIFO の割り込みフラグのクリア

注 1.　これらの割り込みは、許可された TX キューに属しておらず、共通 FIFO を参照していない TX メッセージバッファのみに設定されます。
共通 FIFO バッファと TX キューには、別々の割り込みが提供されます。

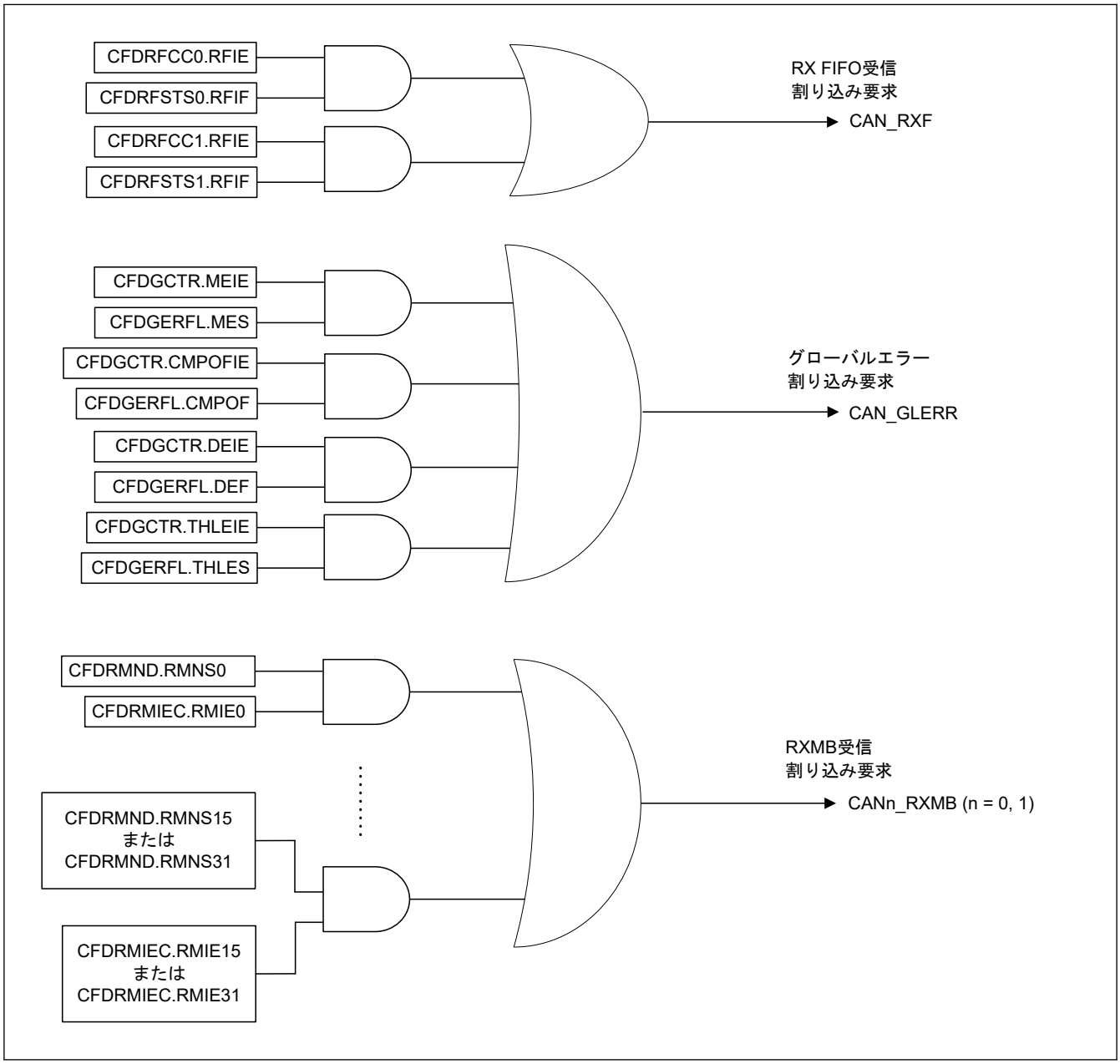


図 32.30　グローバル割り込みのブロック図

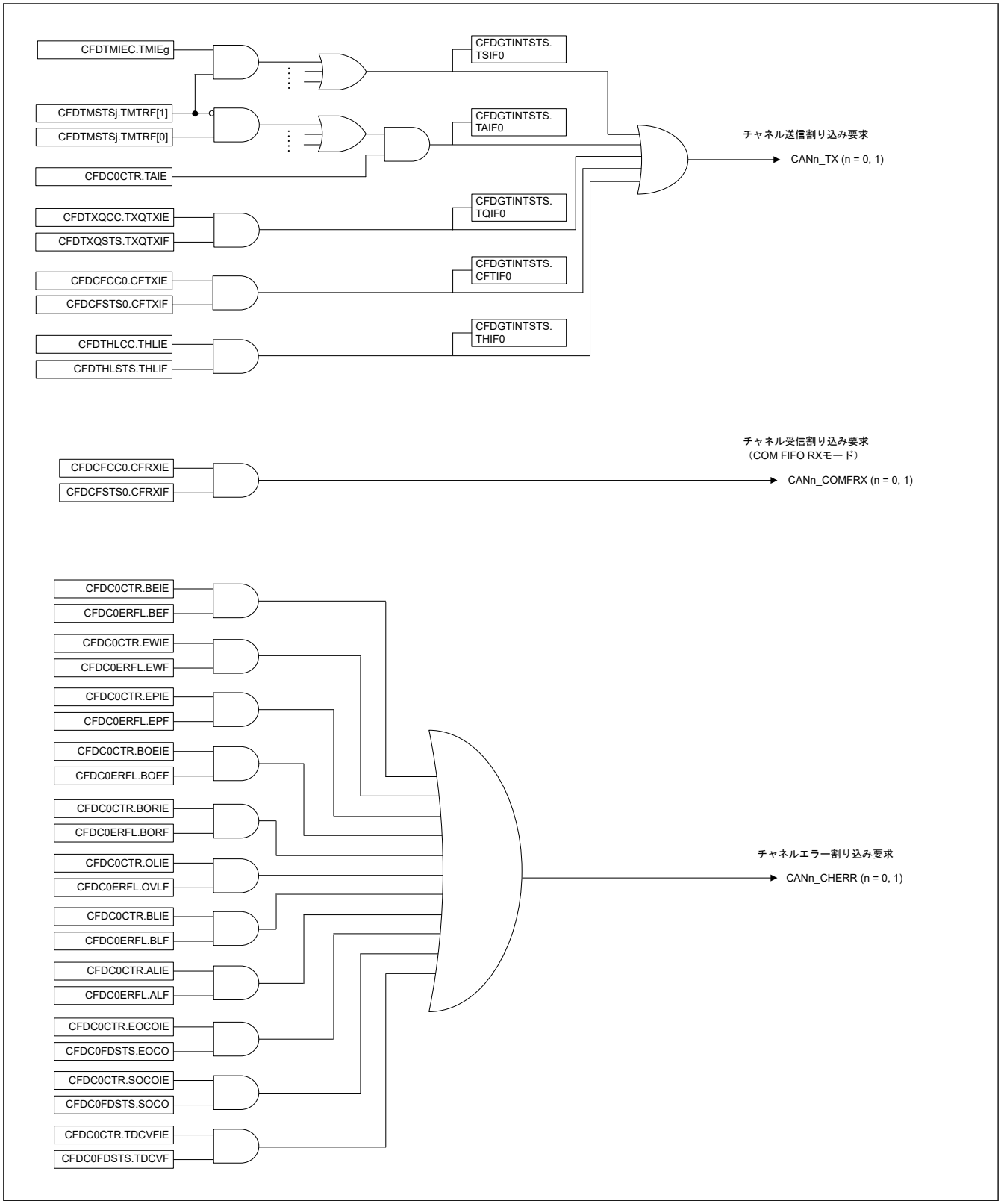


図 32.31　チャネル割り込みのブロック図

32.7.2　DMA 転送

CANFD モジュールには、DMA チャネルと関連付け可能ないくつかのメッセージバッファがあります。

- 受信 DMA
  - 2 つの RX FIFO メッセージバッファ

– 共通 FIFO メッセージバッファ

図 32.32 は、可能な DMA チャネルを示しています。

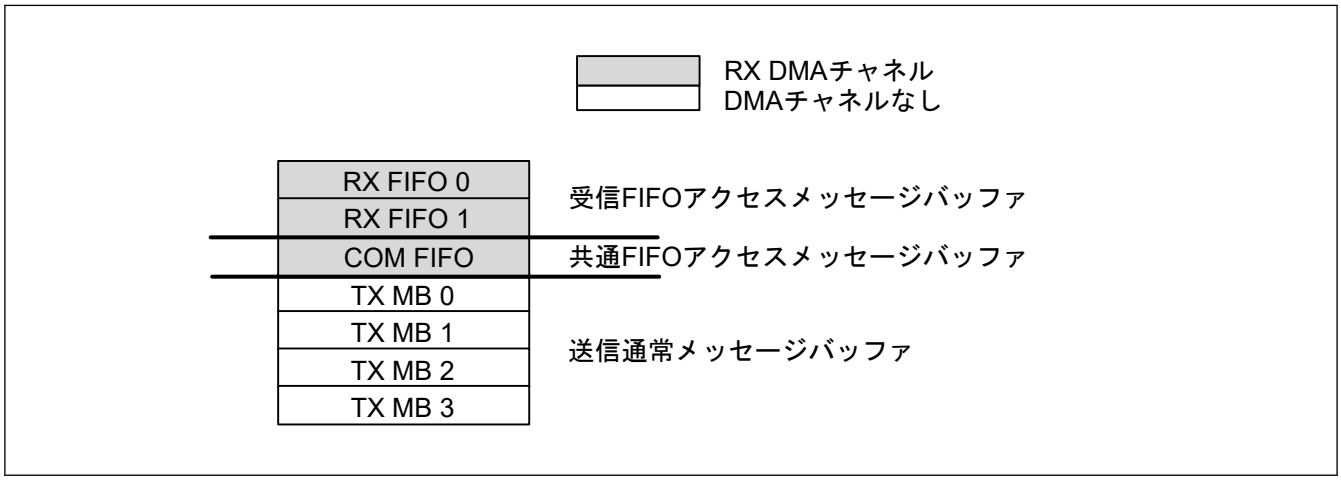


図 32.32 DMA チャネルに接続可能なメッセージバッファ

DMA チャネル転送要求は、関連する CFDCDTCT.RFDMAE または CFDCDTCT.CFDMAE が 1 にセットされ、属する FIFO がエンプティでないときに、DMAC への各 FIFO エントリについて生成されます。

この特定の FIFO（CFDRFCCa.RFIE または CFDCFCC.CFRXIE）については、受信 FIFO 割り込みを無効にする必要があります。

DMA アクセスウィンドウのアドレスには通常の開始アドレスを使用します。図 32.33 を参照してください。

表 32.25 DMA チャネルのアクセスウィンドウのアドレス

b = メッセージバッファコンポーネントインデックス	メッセージバッファコンポーネント	レジスタ	P	通常の開始アドレス
b = [0…1]	RFMBCPb[0]	CFDRFIDb	x	0x0520 + b × 0x004C
		CFDRFPTRb	x	0x0524 + b × 0x004C
		CFDRFFDSTSb	x	0x0528 + b × 0x004C
		CFDRFDFbp	[0…15]	0x052C + p × 0x0004 + b × 0x004C
—	CFMBCP0[0]	CFDCFID	x	0x05B8
		CFDCFPTR	x	0x05BC
		CFDCFFDCSTS	x	0x05C0
		CFDCFDFp	[0…15]	0x05C4 + p × 0x0004

データペイロードバイト（CFDRFCCa.RFPLS または CFDCFCC.CFPLS）の末尾を読み出すと、DMA FIFO ポインタのデクリメントが自動的に行われます。

注. DMA は、構成されたデータペイロードサイズ（CFDRFCCa.RFPLS または CFDCFCC.CFPLS）の長さを正確に読み出す必要があります。

注. CFDRFCCa.RFPLS と CFDCFCC.CFPLS はクラシカル CAN 機能にないため、この機能はクラシカル CAN 機能では使用できません。

DMA 有効時、FIFO コントロールレジスタに書き込まないでください。特定の DMA FIFO（CFDCDTCT.RFDMAE または CFDCDTCT.CFDMAE）の DMA 許可はいつでも設定できます。図 32.33 に、初期セットアップ時の構成手順を示します。

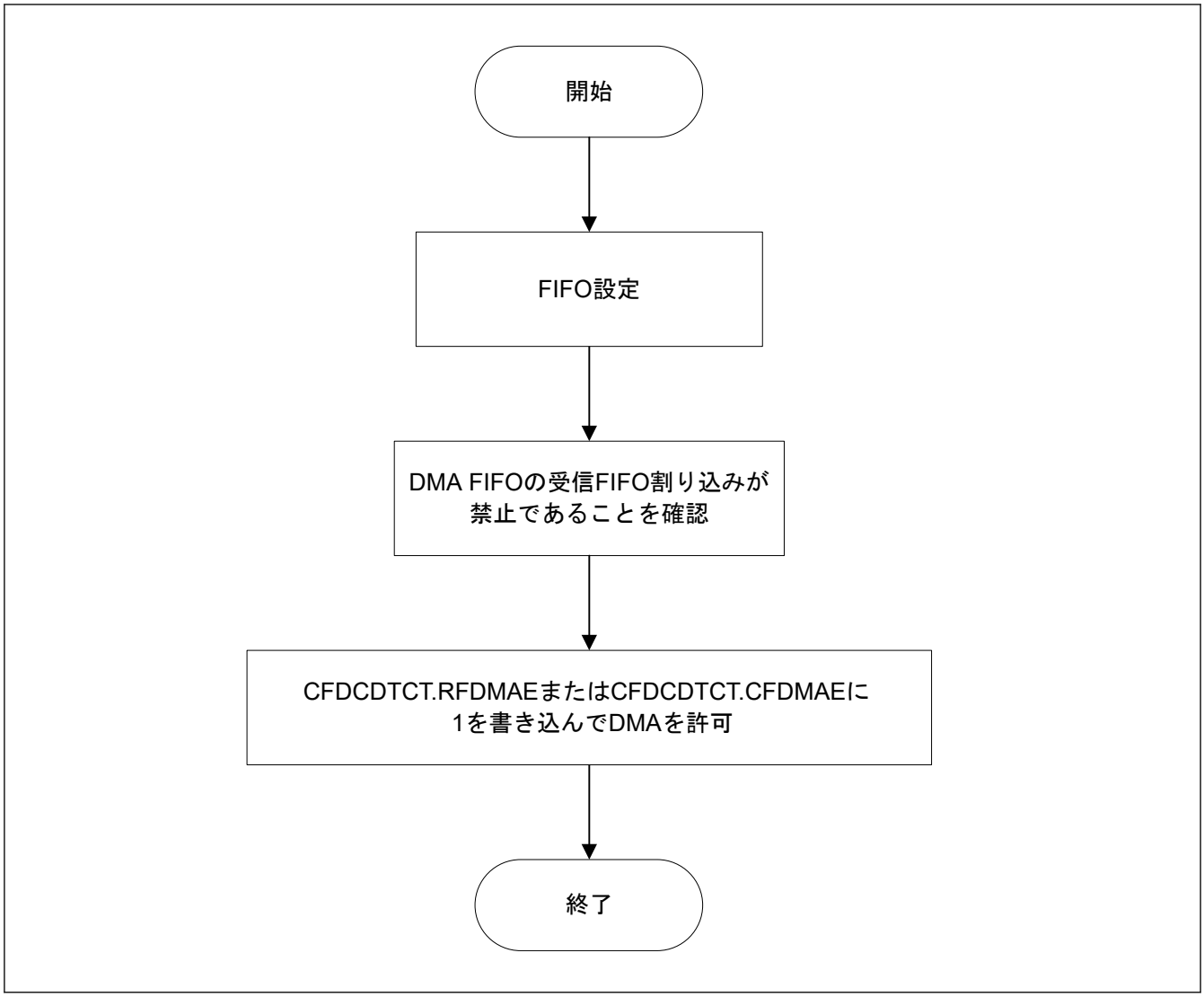


図 32.33 DMA 許可手順

DMA 転送要求を禁止するには、特定の DMA 許可ビット（CFDCDTCT.RFDMAE または CFDCDTCT.CFDMAE）を禁止に設定してください。転送中に禁止を設定した場合、その後の操作は、転送が完了してから行う必要があります。転送のステータスは、CFDCDTSTS.RFDMASTS ビットまたは CFDCDTSTS.CFDMASTS ビットで確認できます。DMA 禁止の手順については、図 32.34 を参照してください。DMA が禁止されている場合、その受信 FIFO 宛ての残りのメッセージや新しく受信するメッセージの扱い方の検討が必要です。

FIFO が禁止されていない場合、FIFO の受信は続行されます。

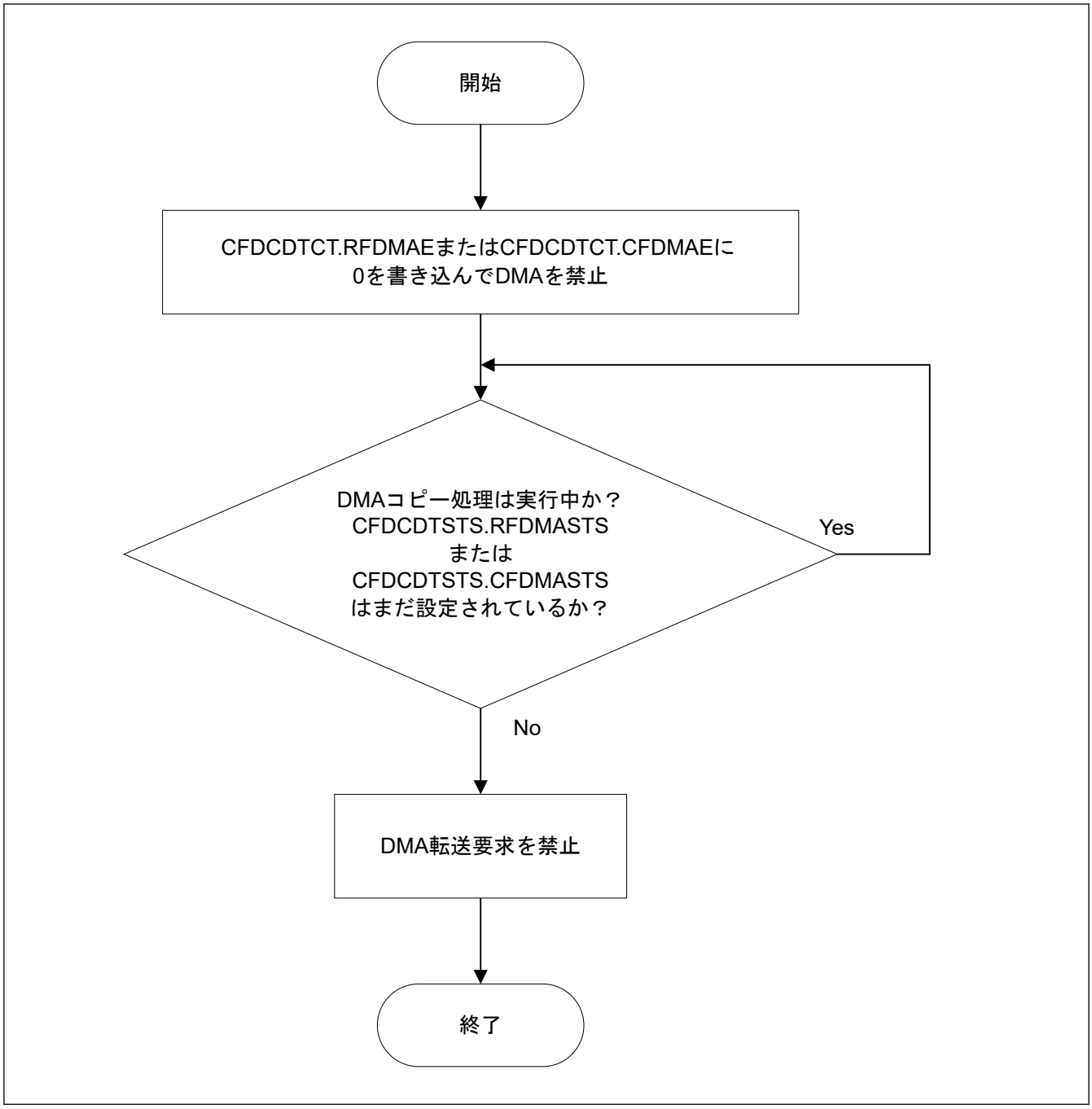


図 32.34 DMA 禁止手順

32.8 受信／送信

32.8.1 受信

CANFD モジュールでは、任意のチャネルで受信した CAN メッセージを、アクセプタンスフィルタリストのエントリに従い、RX メッセージバッファ、RX FIFO バッファ、または RX モードで構成された共通 FIFO バッファに格納されます。

- 構成可能な RX メッセージバッファの数は最大 16 個
- 利用可能な RX FIFO バッファの数は 2 個
- RX モードに構成可能な共通 FIFO バッファの数は 1 個

32.8.1.1 RX メッセージバッファへのメッセージの格納

メッセージが正常に受信されて RX メッセージバッファに格納されると、RX メッセージバッファ新規データレジスタに、対応する新規データフラグがセットされます。

格納された CAN メッセージは、対応する RX メッセージバッファから読み出しできます。

RX メッセージバッファに格納されたメッセージが読み出される前に、その RX メッセージバッファに新しいメッセージが格納されると、元のメッセージは上書きされます。新しいメッセージによって RX メッセージバッファの現在のメッセージが上書きされるのを防止するための機構は存在しません。このようなメッセージの消失を許容できない場合、RX FIFO を使用して関連するメッセージを格納する必要があります。

注. 割り込みを使用する場合も、既存のソフトウェア手順と同様の処理を行ってください。（図 32.36 を参照してください。）

注. 未使用のデータバイトは、DLC の値に応じて 0x00 によって埋められます。

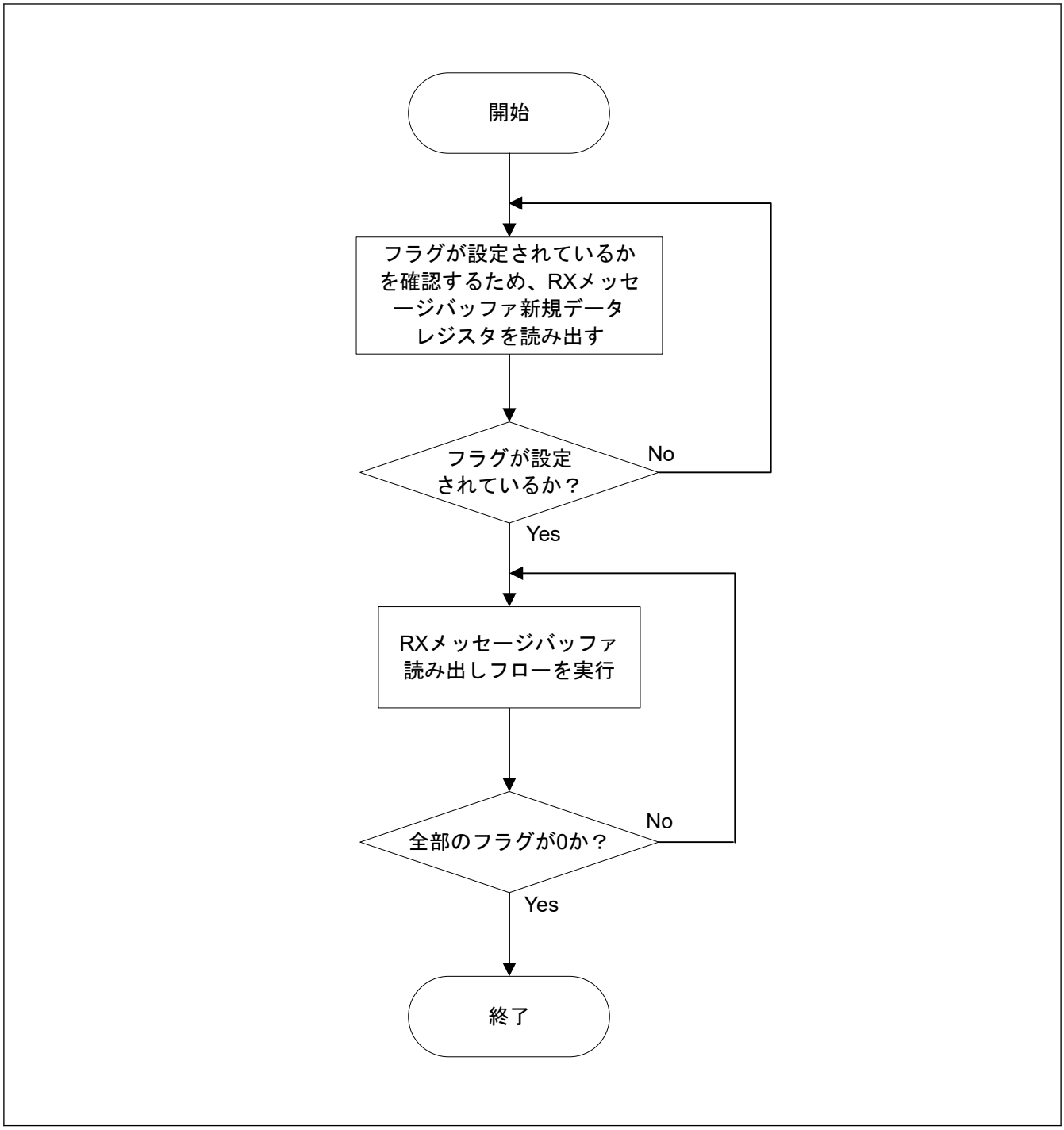


図 32.35　RX メッセージバッファのアクセス手順（ポーリング）

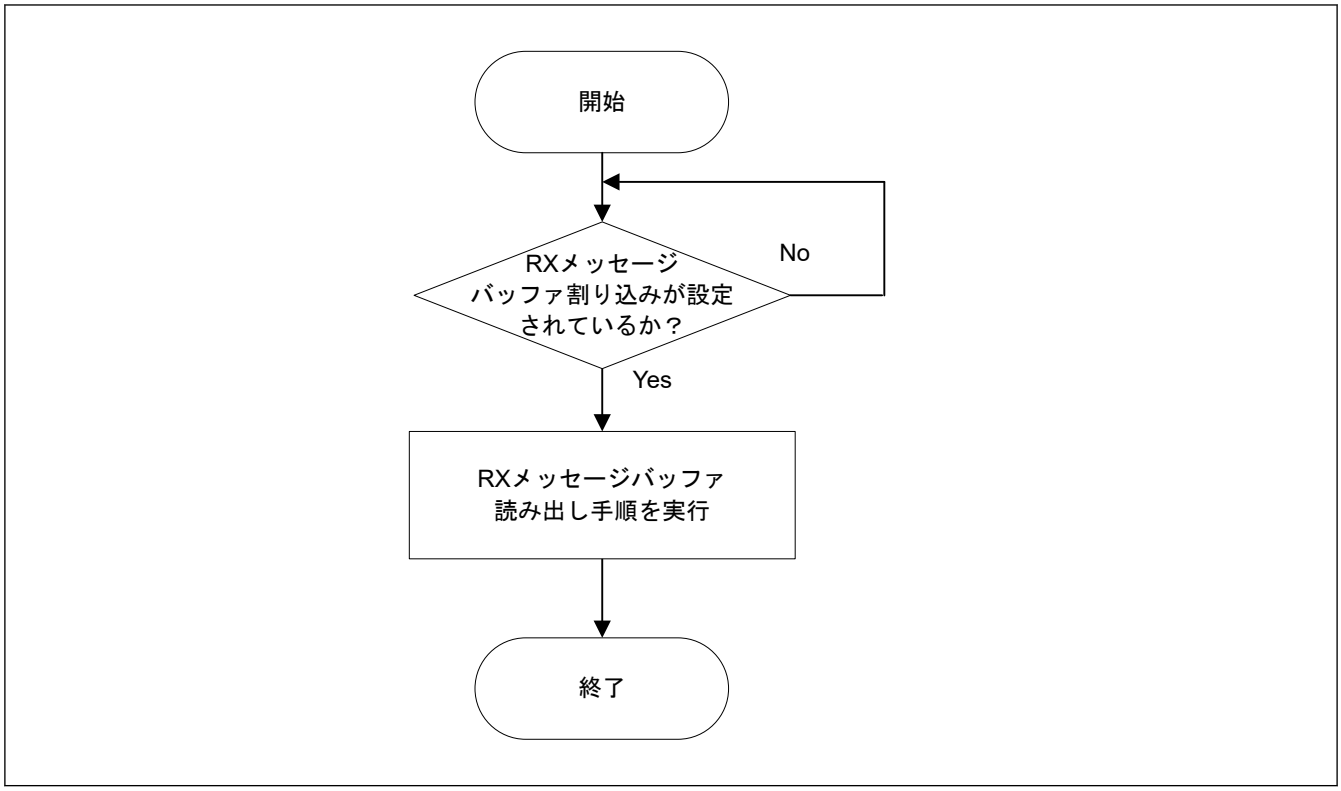


図 32.36　RX メッセージバッファのメッセージアクセス手順（割り込み）

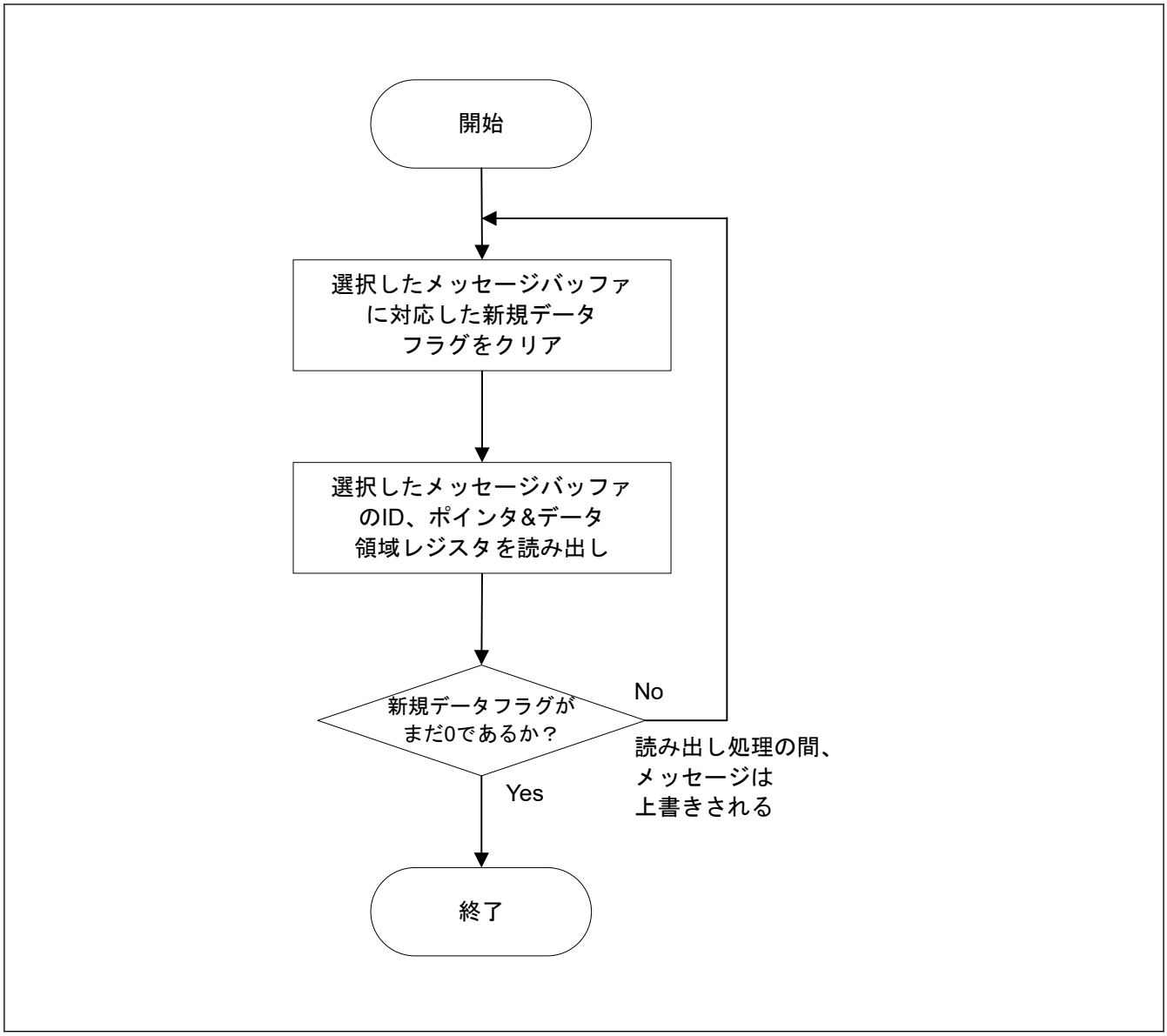


図 32.37 RX メッセージバッファの読み出し手順

32.8.1.2 FIFO バッファへのメッセージの格納

システム要件に合わせて AFL エントリを構成し、受信したメッセージを、RX FIFO バッファ、または RX モードに構成された共通 FIFO にルーティングできるようにする必要があります。

一致した AFL エントリの CFDGAFLP1r.GAFLFDP[8,1:0]フィールドによって、関連する受信メッセージを格納する FIFO バッファが選択されます。

1 つ以上の RX FIFO バッファまたは RX モードに構成された共通 FIFO に受信メッセージが格納されると、対応する RX FIFO ステータスレジスタまたは共通 FIFO ステータスのメッセージカウンタの値がインクリメントされます。

FIFO バッファの構成によっては、割り込みが発生することもあります。

メッセージは、対応する FIFO アクセスレジスタから読み出せます。

注. FIFO バッファには多くのメッセージを格納できるため、FIFO バッファに格納されている最新のメッセージを読み出すには、複数のメッセージの読み出しが必要になる場合があります。

メッセージ数が FIFO 容量と一致すると、FIFO フルフラグがセットされます。

対応する FIFO ポインタコントロールレジスタに値 0xFF が書き込まれると、メッセージ数は 1 デクリメントされます。

FIFO ポインタコントロールレジスタへの 0xFF を書き込むときは、対応する FIFO の FIFO アクセスレジスタからメッセージを完全に読み出した後に行ってください。

FIFO に格納されたすべてのメッセージが読み出されると、FIFO エンプティフラグがセットされます。

FIFO メッセージ数が FIFO 容量と一致するとき（FIFO フル条件）に FIFO に新しいメッセージが格納されると、FIFO メッセージロストフラグがセットされ、新しいメッセージは失われます（既に格納されているメッセージの上書きは行われません）。

警告レベルとして適切な値を設定し、FIFO フル条件になる前に割り込みを発生させ、オーバーラン条件によるメッセージの消失を防ぐことができます。

注. メッセージロストフラグは、RX モードのときに、CAN 側によってのみセットできます。CPU 側が FIFO バッファをオーバーロードしているときはメッセージロストフラグはセットされません。

RX FIFO バッファと、RX モードに構成された共通 FIFO バッファはいつでも無効化できます。無効化するには、それぞれ、RX FIFO コンフィグレーション／コントロールレジスタの CFDRFCCa.RFE ビット、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFE ビットをクリアします。

CFDRFCCa.RFE ビットまたは CFDCFCC.CFE ビットがクリアされると、FIFO のメッセージリードポインタおよびライトポインタがクリアされ、非アクティブになります。そのため、FIFO バッファ内のすべてのメッセージが失われ、以降その FIFO にメッセージを格納することはできなくなります。

RX FIFO バッファまたは RX モードに構成された共通 FIFO が、DMA チャネルとして割り当てられている場合、ソフトウェアでその FIFO バッファの FIFO アクセスレジスタにアクセスしたり、FIFO ポインタコントロールレジスタ（CFDCFPCTR.CFPC または CFDRFPCTRa.RFPC）に 0xFF を書き込んではなりません。意図せずに FIFO メッセージがデクリメントされる恐れがあります。DMA チャネルでは、FIFO のデクリメントが自動的に制御されます。

注. 割り込みフラグがセットされている FIFO バッファを無効化した場合、割り込みフラグは自動的にクリアされません。FIFO を無効化する前に、割り込みフラグをクリアしてください。

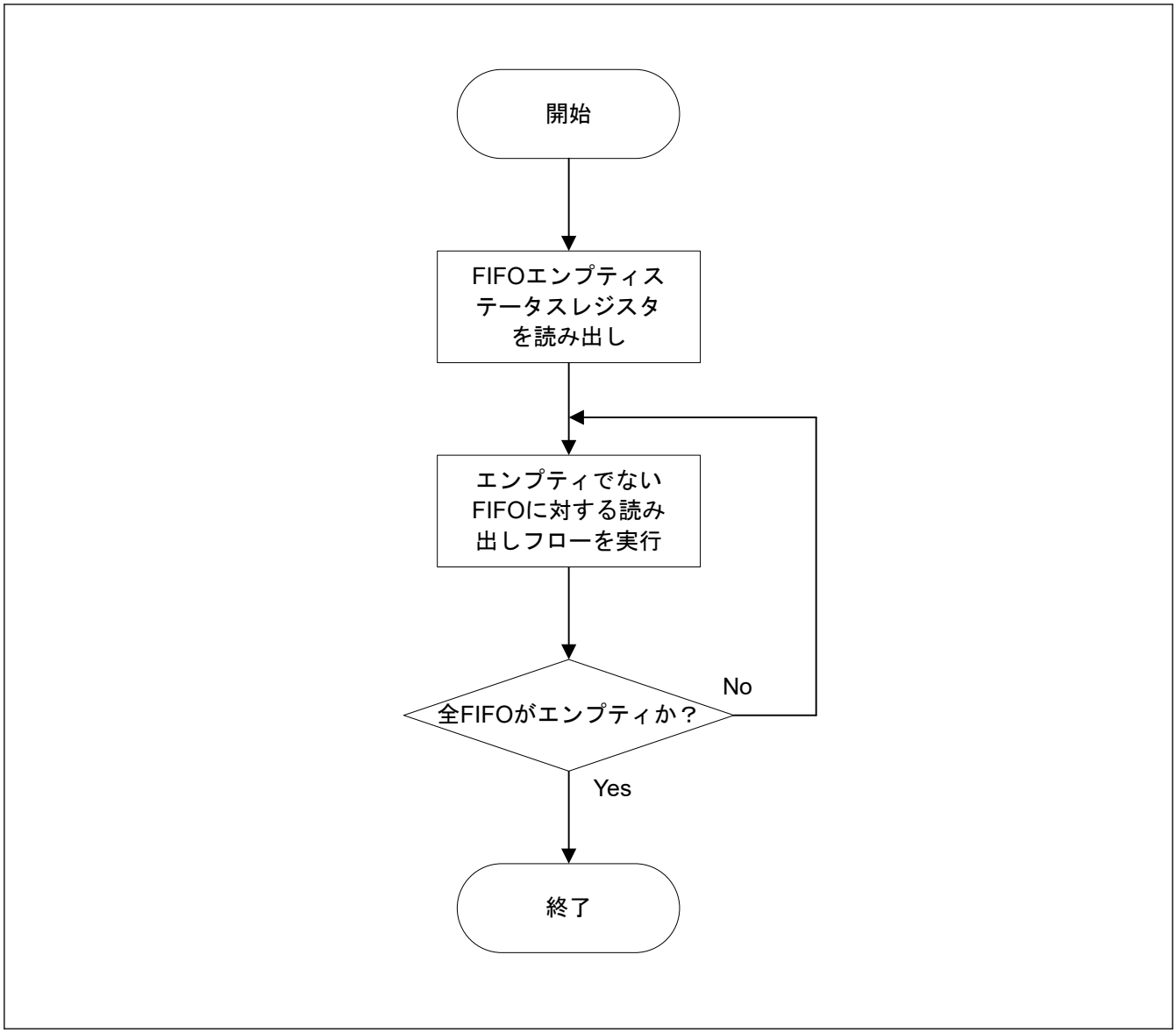


図 32.38　FIFO バッファのメッセージアクセスフロー（ポーリングの場合の例）

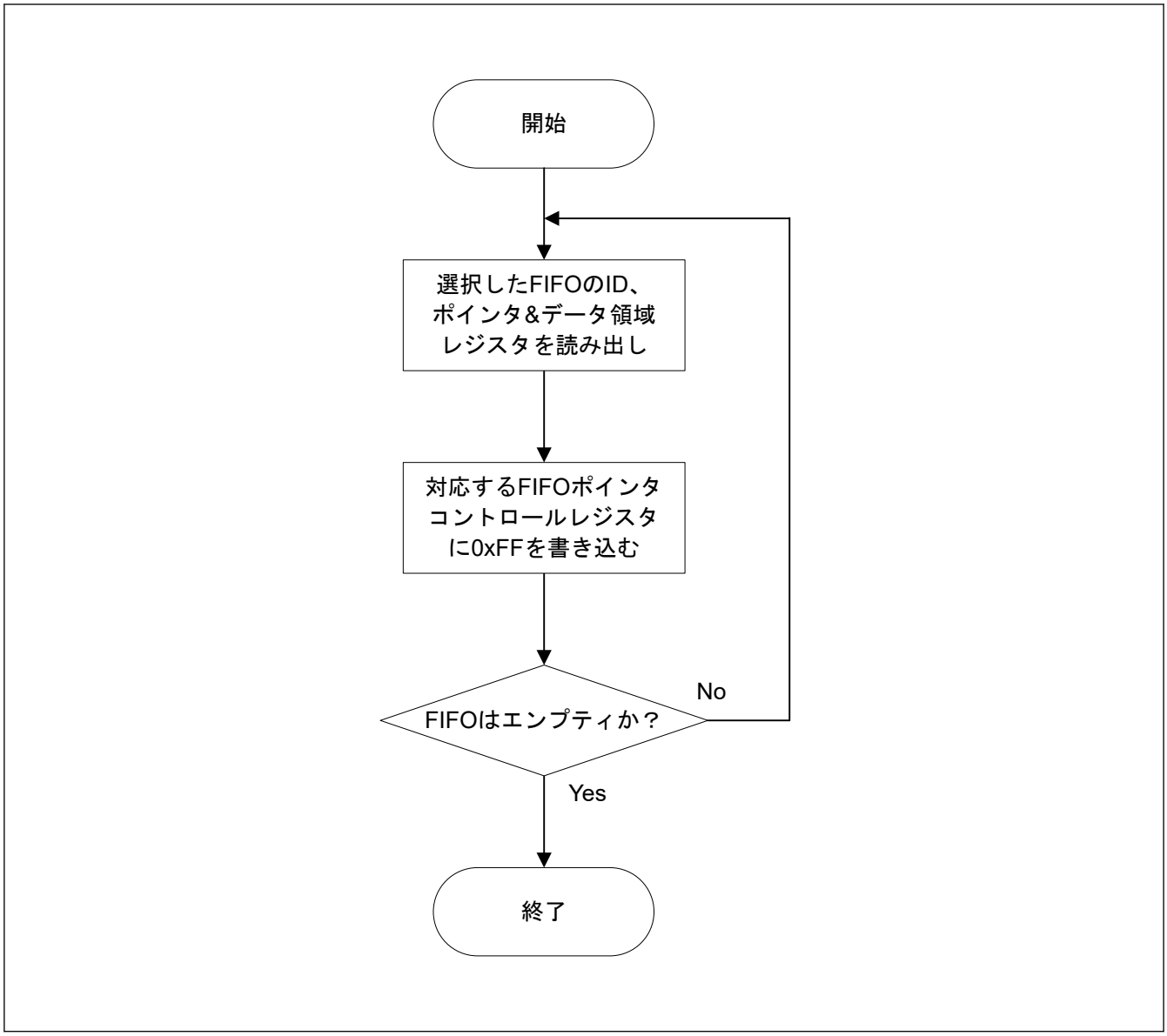


図 32.39 RX FIFO バッファの読み出しフロー（ポーリングの場合の例）

注. 受信の完了割り込みフラグをクリアする前に次のフレームを受信した場合、受信の完了割り込みは再度セットされません。

受信処理の完了後に「割り込みフラグ」をクリアしたとしても、すでに受信済みである割り込みフラグはセットされません。

受信完了処理は、次のフレーム受信完了前に行い、割り込みフラグをクリアしておく必要があります。

処理が間に合わない場合、受信データが空であることを確認してから、割り込みフラグをクリアし、受信データが空であることをもう一度確認します。

32.8.1.3 タイムスタンプ

タイムスタンプカウンタは、受信したメッセージの受信時間、または正常に送信されたメッセージの送信時間をチェックするために使用可能なフリーランニングカウンタです。タイムスタンプカウンタの値は、CFDGFDCFG.TSCCFG[1:0]の設定に基づいて（SOF (Start of Frame) のサンプルポイント、またはフレームが有効な時点、または CANFD フレームでは RES ビットのサンプルポイントで）キャプチャされます。受信時のタイムスタンプカウンタ値は、メッセージ ID およびデータと一緒に、格納先の RX メッセージバッファまたは RX FIFO に格納されます。

メッセージ送信時のタイムスタンプカウンタ値は、TX 履歴リストエントリの一部として格納されます。

カウンタには、周辺クロックから、または CAN チャネルのビットタイミングクロックからクロックを供給できます。カウンタのソースクロックは、グローバルコンフィグレーションレジスタの CFDGCFG.TSSS ビットで構成できます。このビットが 0 の場合、周辺クロックが使用されます。このビットが 1 の場合、選択した CAN チャネルのビット時間クロックが使用されます。

チャネルの選択は、グローバルコンフィグレーションレジスタの CFDGCFG.TSBTCS ビットによって行います。

クロックソースとして、選択した CAN チャネルのビット時間クロックを使用する場合は、注意が必要です。そのチャネルがチャネル Halt モードまたはチャネルリセットモードに遷移した場合、タイムスタンプカウンタは停止してしまいます。つまり、その他の CAN チャネルについても、タイムスタンプカウンタの値が更新されなくなります。

タイムスタンプカウンタのクロックソースとして周辺クロックを選択した場合は、タイムスタンプカウンタの機能がチャネルモードの影響を受けることはありません。

タイムスタンプカウンタのソースクロックは、グローバルコンフィグレーションレジスタの CFDGCFG.TSP ビット（タイムスタンププリスケーラ）で定義された分周比で分周できます。

タイムスタンプカウンタは、CFDGCTR.TSRST ビット（タイムスタンプリセット）によって、0x0000 にリセットすることができます。

32.8.2 送信

以下の複数の送信構成が可能です。

- 通常送信
- FIFO 送信
- TX キュー送信
  専用に決まった数の送信メッセージバッファ（4 個の TX メッセージバッファ）が用意されています。これらのメッセージバッファは送信専用で、受信用に構成することはできません。
  さらに、TX キュー、または TX モードの共通 FIFO から送信するよう構成することができます。構成方法は次のとおりです（図 32.40 を参照）。
  - TX キュー：最大 4 個の送信メッセージバッファをグループ化して、1 つのアクセスウィンドウを共有する TX キューを構成できます。
    上部の送信メッセージバッファを使用して、TXQ が構成されます。
    TX キューがそれぞれのアクセスウィンドウを持ちます。
    - TXQ は、送信メッセージバッファ 0 です。
- 共通 FIFO（TX モード）：TX モードの共通 FIFO が専用のチャネルにリンクされます。
  チャネルに 1 つ（数は固定）の共通 FIFO が割り当てられます。チャネル内で、TX モードに構成された共通 FIFO を、送信メッセージバッファ 0～3 に自由にリンク（割り当て）できます（1 つの送信メッセージバッファに対して 1 つの FIFO のみリンク可能）。
  リンク先の送信メッセージバッファは、その共通 FIFO バッファによって置き換えられます。
  これらの送信メッセージバッファについて、送信コントロールレジスタや送信ステータスレジスタを使用してはなりません。

関連するチャネルへの共通 FIFO バッファの割り当てについては、図 32.28 を参照してください。

注. 共通 FIFO バッファは、すでに TX キューの構成要素になっている TX メッセージバッファに対してリンクしてはなりません。

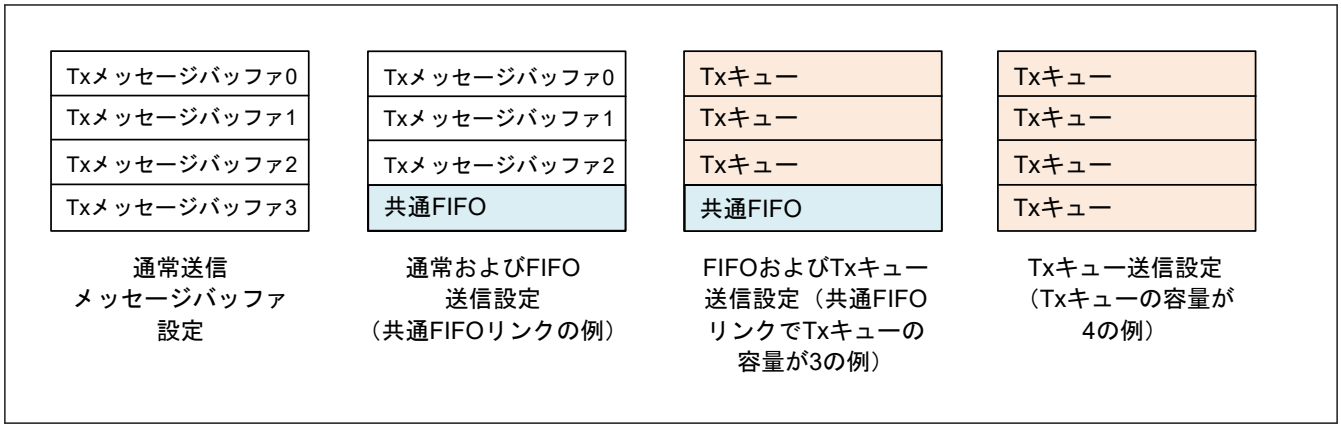


図 32.40　チャネル送信メッセージバッファの構成

32.8.2.1　送信優先順位

1 つのチャネルで 2 つ以上の送信メッセージバッファが送信用に構成されている場合、CANFD モジュール内の送信優先順位は、以下の 2 つのモードから選択できます。

- CAN ID 優先
- メッセージバッファ番号優先

送信優先順位モードは、すべてのメッセージバッファで共通です。グローバルコンフィグレーションレジスタの CFDGCFG.TPRI ビットで構成できます。

メッセージバッファ番号優先送信の場合、送信要求がある中で最も小さいメッセージバッファ番号が、最も高い送信優先順位を持ちます。これには、TX モードに構成された共通 FIFO バッファにリンクされた TX メッセージバッファも含まれます。

ただし、TX キューが有効化されている場合は、メッセージバッファ番号優先モードを使用してはなりません。

CAN ID 優先送信の場合、ID の優先順位は、（ISO 11898-1 仕様に定められた）CAN バスアービトレーションルールに準拠します。送信用に構成されたメッセージバッファの ID 優先順位の比較対象には、すべての TX メッセージバッファを含めることができます。これには、TX モードに構成された共通 FIFO バッファにリンクされた TX メッセージバッファや、TX キューメッセージバッファも含まれます。

同じ ID をもつメッセージバッファが 2 つ以上存在する場合、メッセージバッファ番号が小さい方が、高い送信優先順位を持ちます。

注.　TX モードに構成された共通 FIFO バッファの場合、現在 FIFO リードポインタが指しているメッセージのみを送信アービトレーションに含めることができます。

その FIFO がメッセージ送信中の場合、その FIFO 内の次の待機メッセージが送信アービトレーションの対象となります。

これに対して TX キューでは、TX キューのすべての送信メッセージバッファが内部送信アービトレーションの対象となります。

図 32.41 に、送信構成フローを示します。

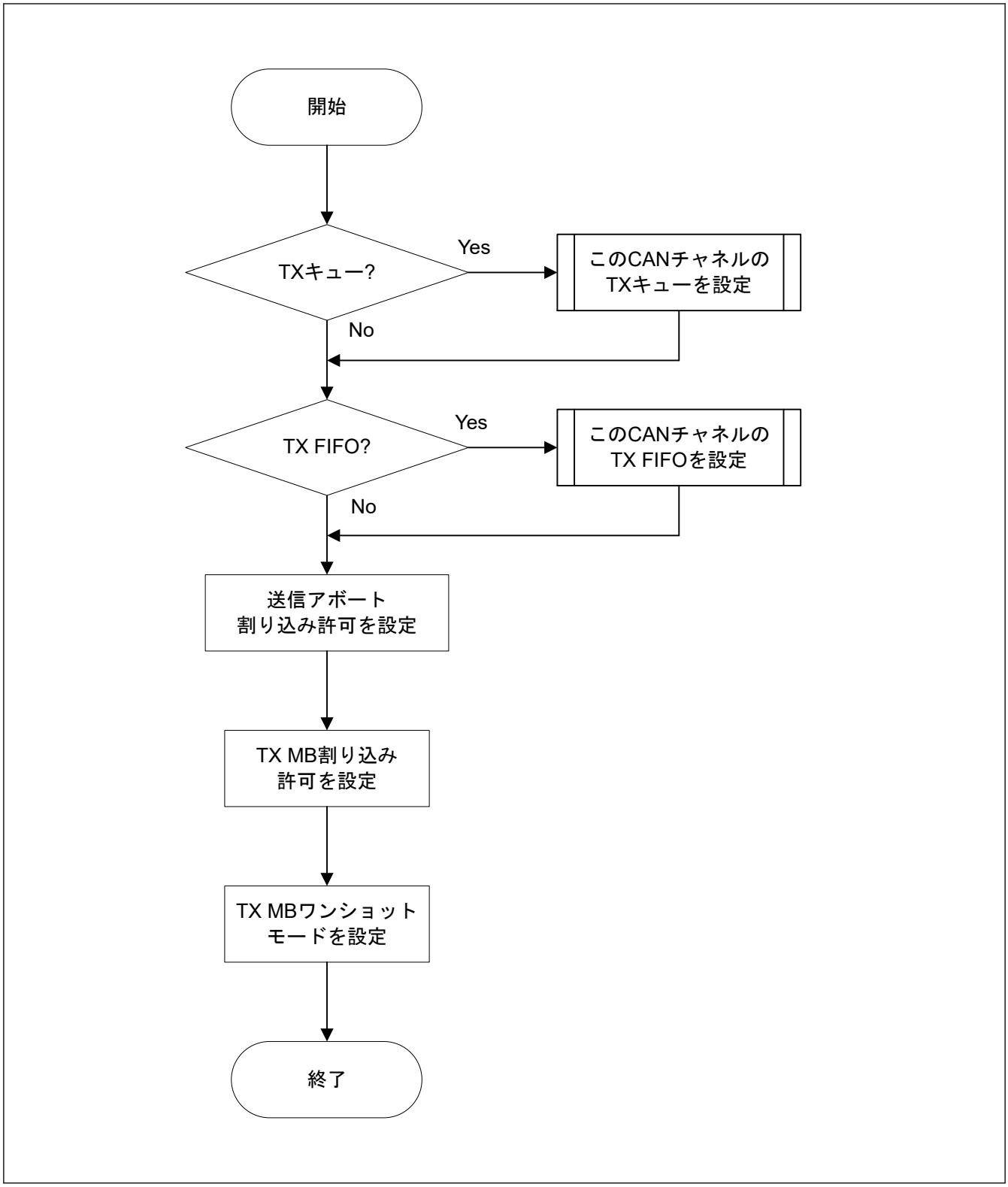


図 32.41　送信構成フロー

32.8.2.2　通常送信

各送信メッセージバッファには、次の 2 つのメッセージ送信モードがあります。

1. 通常送信モード
   メッセージバッファが通常送信モードに設定されている場合、メッセージバッファに設定されたデータフレームまたはリモートフレームを送信できます。

通常送信が完了したかどうかは、関連する TX メッセージバッファステータスレジスタの TX メッセージバッファ送信結果フラグビット (CFDTMSTSj.TMTRF) によってチェックできます。これらのビットは、通常送信が正常に行われると、10b または 11b にセットされます。
アービトレーションが失われるか、エラーが発生した場合、その送信メッセージバッファに送信アボート要求が設定されていなければ、メッセージの送信が再試行されます。
送信要求があるすべてのメッセージバッファを対象に、そのチャネルで新しい内部送信アービトレーションが行われます。

2. ワンショット送信モード

TX メッセージバッファコントロールレジスタの CFDTMCi.TMOM ビットがセットされている場合、その送信メッセージバッファはワンショット送信モードに設定されます。このモードでは、メッセージの送信を 1 回のみ試みます。

ワンショット送信が完了したかどうかは、関連する TX メッセージバッファステータスレジスタの TX メッセージバッファ送信結果フラグビット (CFDTMSTSj.TMTRF) によってチェックできます。ワンショット送信が正常に行われると、CFDTMSTSj.TMTRF ビットが 10b または 11b にセットされます。

アービトレーションが失われるか、関連するメッセージバッファの送信中にエラーが発生すると、CFDTMSTSj.TMTRF ビットは 01b にセットされます。

この場合、メッセージ送信は再試行されません。

構成後の通常送信要求手順を図 32.42 に示します。

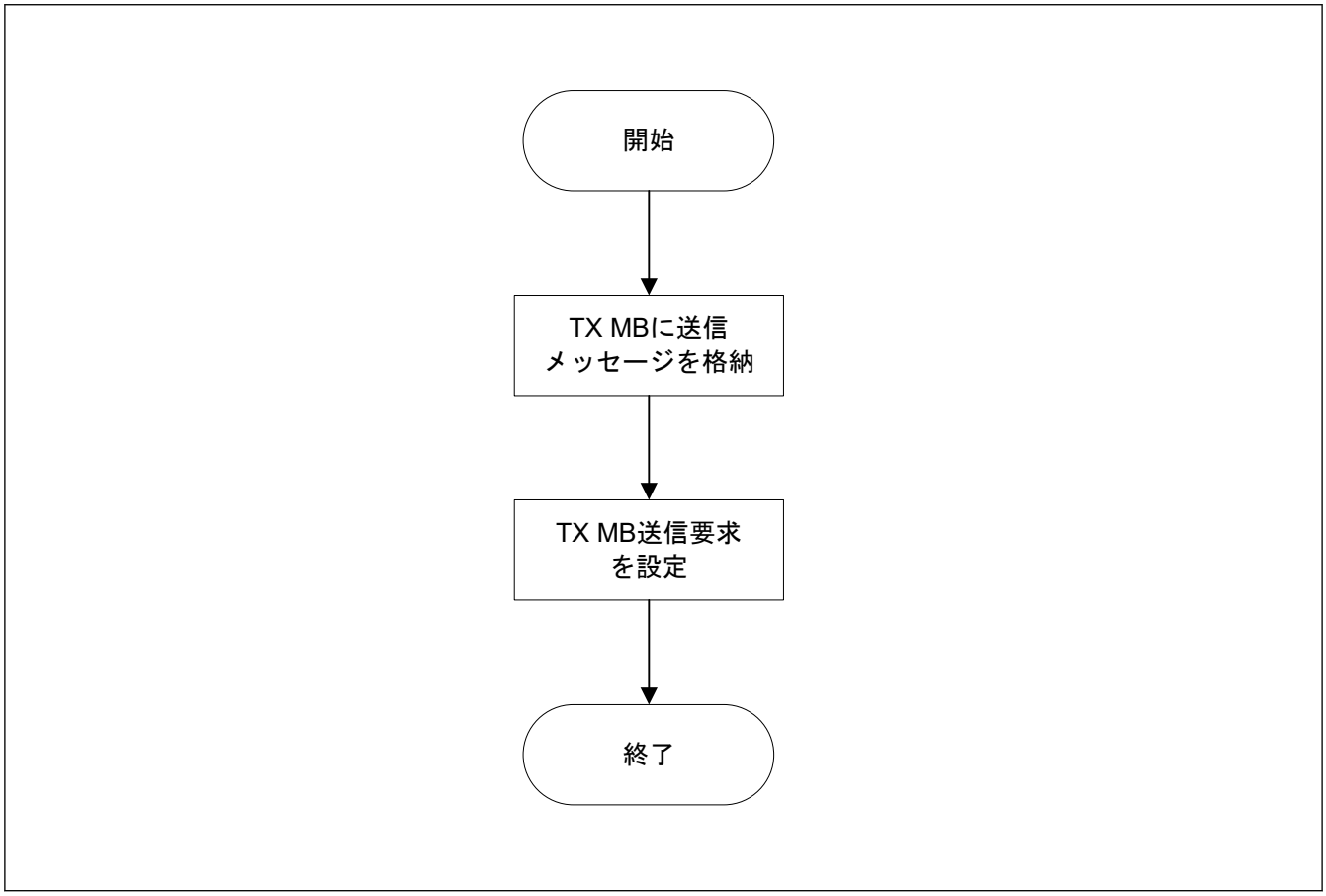


図 32.42 通常 TX メッセージバッファモードを使用した送信要求手順

(1) TX メッセージバッファコントロールレジスタの設定

表 32.26 に、通常 CAN 送信モードの構成を示します。

表 32.26 CAN 送信モードの構成

送信要求 CFDTMCi.TMTR	送信アボート要求 CFDTMCi.TMTAR	ワンショット許可 CFDTMCi.TMOM	通信アクティビティ
0	0	0	メッセージバッファは無効
0	0	1	メッセージバッファは無効
1	0	0	データフレームまたはリモートフレーム用の送信メッセージバッファとして設定されている
1	0	1	データフレームまたはリモートフレーム用のワンショット送信メッセージバッファとして設定されている
1	1	0	送信アボートが要求されている
1	1	1	ワンショット送信アボートが要求されている

これらのコンフィグレーションビットは、TX メッセージバッファコントロールレジスタで構成できます。

図 32.43 に、上の 2 つのメッセージバッファの正常送信のタイミングを示します。

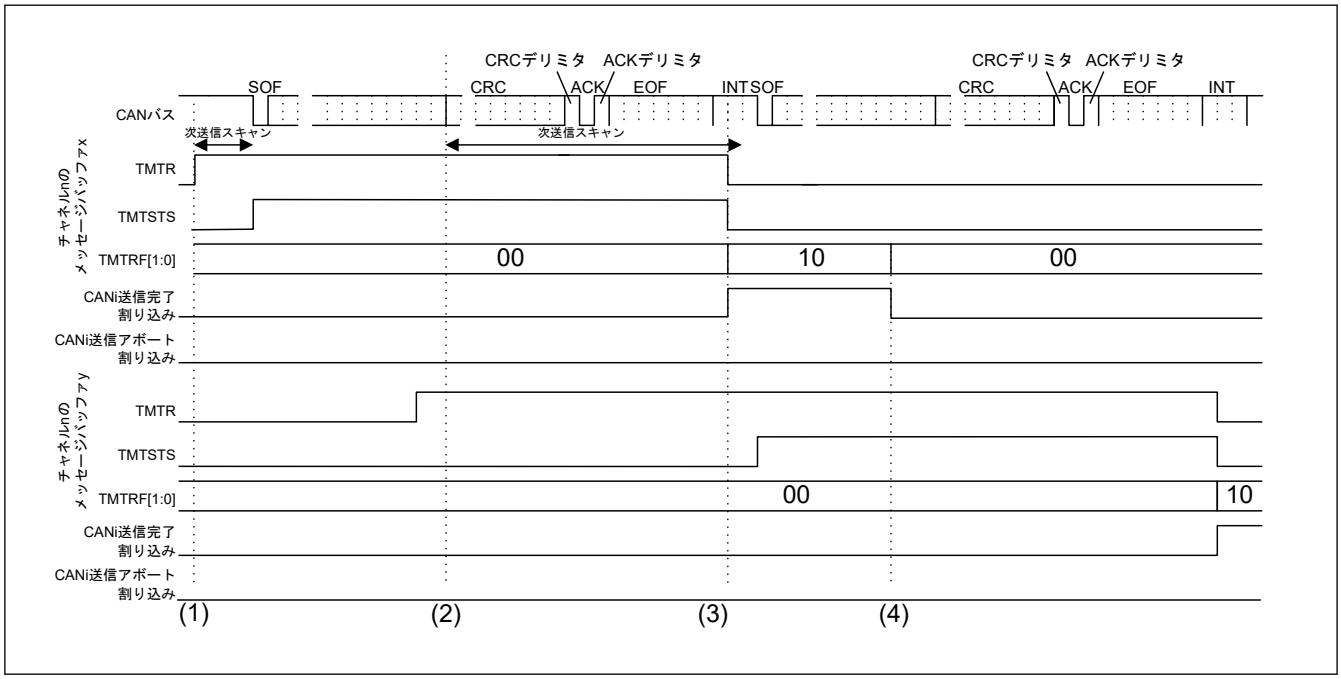


図 32.43 正常送信の要求およびフラグビットのタイミング

1. TX メッセージバッファコントロールレジスタの CFDTMCi.TMTR ビットがバスアイドル状態に設定されている場合、メッセージバッファスキャン手順が開始され、送信優先順位が最も高いメッセージバッファが決定されます。
   送信メッセージバッファが決定されると、関連する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTSTS ビットがセットされ（送信側／トランスミッタ）、CAN チャネルが送信を開始します(注1)。
2. 保留中の送信要求が存在する場合、CRC の 1 ビット目で、次の送信用の送信スキャン手順が開始されます。
3. メッセージが正常に送信されると、対応する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF[1:0]ビットが 10b にセットされ、CFDTMSTSj.TMTSTS ビットと CFDTMCi.TMTR ビットがクリアされます。
   TX メッセージバッファ割り込み許可コンフィグレーションレジスタの TMIE ビットがセットされる（割り込みが許可される）と、CAN 正常送信割り込み要求が発生します。
   関連する割り込みラインをクリアするには、CFDTMSTSj.TMTRF フラグビットをクリアする必要があります。
4. 次の送信を開始する前に、CFDTMSTSj.TMTRF ビットをクリアしてください。送信メッセージバッファ内の次のメッセージを読み込み、CFDTMCi.TMTR ビットを再度セットします。
   CFDTMSTSj.TMTRF[1:0]ビットをクリアする前に CFDTMCi.TMTR ビットを再セットすることはできません。

注 1. CAN チャネルが送信を開始した後にアービトレーションが失われると、CFDTMSTSj.TMTSTS ビットがクリアされます。

1 つ目の CRC ビットの先頭から、もう一度送信スキャン手順が行われ、優先順位が最も高い送信メッセージバッファが検索されます。

送信中またはアービトレーションロスト後にエラーが発生した場合は、エラーフレーム中に送信スキャン手順が再度行われ、最も優先順位の高い送信メッセージバッファが検索されます。

注. CFDTMSTSj.TMTSTS が設定されるポイントが、常に SOF の先頭になるとは限りません。PLL バイパス用に実装された同期ロジックにより、最大で、標準 ID の開始点まで遅れることがあります。

図 32.44 に、2 つのメッセージバッファの送信アボートのタイミングを示します。

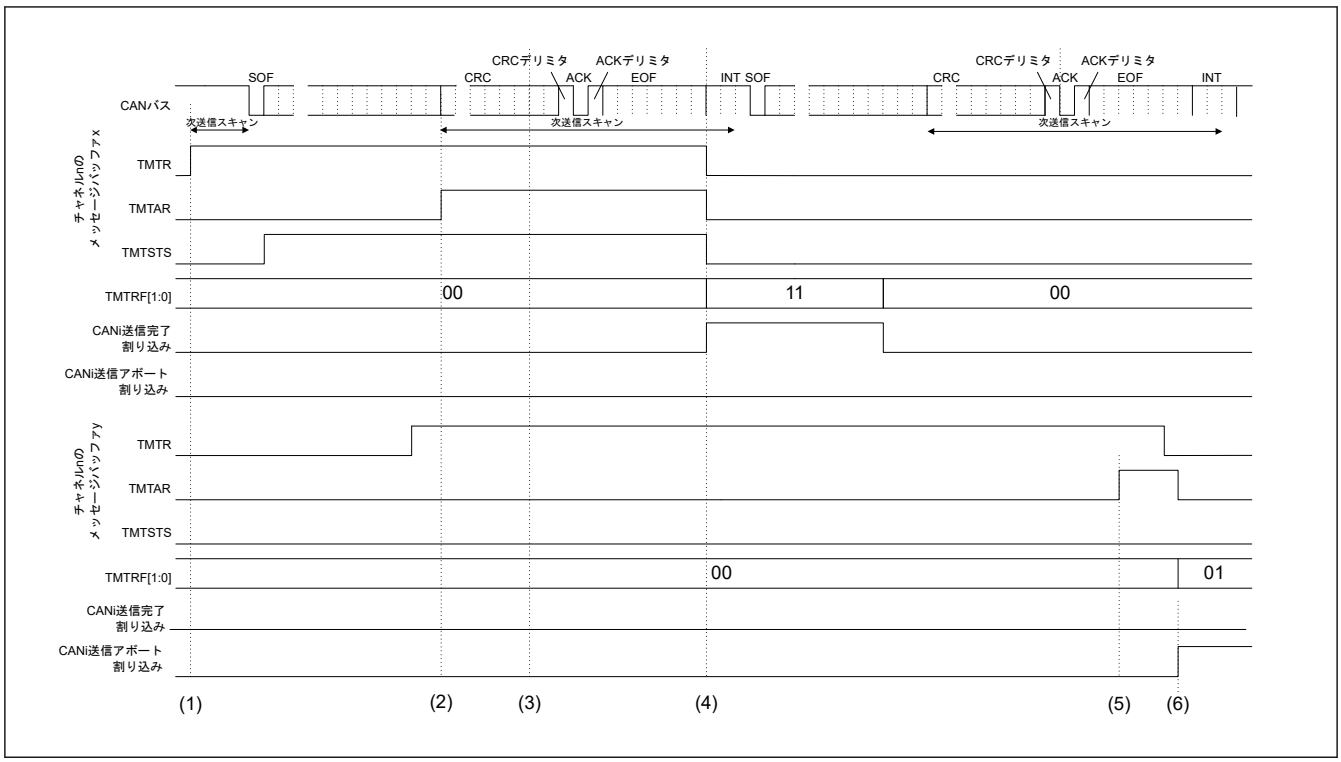


図 32.44 送信アボートの要求およびフラグビットのタイミング

1. TX メッセージバッファコントロールレジスタの CFDTMCi.TMTR ビットがバスアイドル状態に設定されている場合、メッセージバッファスキャン手順が開始され、送信優先順位が最も高いメッセージバッファが決定されます。
   送信メッセージバッファが決定されると、TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTSTS ビットがセットされ（送信側／トランスミッタ）、CAN チャネルが送信を開始します (注1)。
2. すでに送信用に選択されているか、現在送信中のメッセージバッファに対して CFDTMCi.TMTAR ビットがセットされた場合は、エラーが発生したりアービトレーションが失われたりしない限り、メッセージはアボートされません。
3. 1 つ目の CRC ビットで、次の送信用の送信スキャン手順が開始されます。このタイミングチャート例では、メッセージバッファ y は次の送信メッセージバッファとして選択されていません。
4. メッセージが正常に送信されると、対応する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF[1:0]ビットが 11b にセットされ、CFDTMSTSj.TMTSTS ビットと CFDTMCi.TMTR ビットがクリアされます。
   TX メッセージバッファ割り込み許可コンフィグレーションレジスタの TMIE ビットがセットされる（割り込みが許可される）と、CAN 正常送信割り込み要求が発生します。
   関連する割り込みラインをクリアするには、CFDTMSTSj.TMTRF[1:0]ビットをクリアする必要があります。
5. CAN バス上では、別の CAN ノードが送信中です（CFDTMSTSj.TMTSTSS はセットされていません）。関連するチャネルの送信スキャン中に CFDTMCi.TMTAR ビットがセットされた場合、送信要求をクリアすることはできません。

6. 内部処理時間が経過した後、送信はアボートされ、CFDTMSTSj.TMTRF[1:0]ビットが 01b にセットされます。
そのメッセージバッファが送信中でなく、次の送信メッセージバッファとして選択されてもおらず、送信スキャン中でもない場合、アボートは即座に受け入れられ、対応する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF[1:0]ビットが 01b にセットされます。
さらに、CFDTMCi.TMTR ビットと CFDTMCi.TMTAR ビットが自動的にクリアされます。
関連するチャネルコントロールレジスタの送信アボート割り込み許可 (TAIE) ビットがセットされている場合は、送信が正常にアボートされると割り込みが生成されます。
関連する割り込みラインをクリアするには、CFDTMSTSj.TMTRF[1:0]ビットをクリアする必要があります。

注 1. CAN チャネルが送信を開始した後にアービトレーションが失われると、CFDTMSTSj.TMTSTS ビットがクリアされます。

1 つ目の CRC ビットの先頭から、もう一度送信スキャン手順が行われ、優先順位が最も高い送信メッセージバッファが検索されます。

送信中またはアービトレーションロスト後にエラーが発生した場合は、エラーフレーム中に送信スキャン手順が再度行われ、最も優先順位の高い送信メッセージバッファが検索されます。

32.8.2.3 TX FIFO 送信

CANFD モジュールに、1 つの共通 FIFO バッファが割り当てられています。この FIFO バッファは、TX モードに構成された場合、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFTML ビットによって、そのチャネルの任意の通常の TX メッセージバッファ位置にリンクできます。

送信スキャンが開始したときに、その TX メッセージバッファに対応する FIFO バッファが有効化されている場合、その FIFO バッファ内の関連するメッセージが送信スキャンの対象となります。

TX モードの FIFO バッファにリンクされた TX メッセージバッファに対して構成を行ってはなりません。

(1) TX FIFO の動作

TX FIFO に CAN メッセージを書き込むには、対応する FIFO アクセスレジスタに書き込みます。

対応する FIFO ポインタコントロールレジスタに値 0xFF が書き込まれると、関連する FIFO のメッセージ数が 1 インクリメントされます。

FIFO ポインタコントロールレジスタに書き込むときは、対応する FIFO アクセスレジスタにメッセージを完全に書き終わってから行ってください。メッセージ数が FIFO 容量と一致すると、FIFO フルフラグがセットされます。

対応する CANFD モジュールチャネルロジックにより、TX FIFO 内の最も古いメッセージが送信スキャン対象に含まれます。

TX FIFO がメッセージを正常に送信すると、メッセージ数の値が 1 デクリメントされます。FIFO からすべてのメッセージが送信されると、FIFO エンプティフラグがセットされます。

TX FIFO バッファの割り込み発生条件は、対応する共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFIM ビットによって設定できます。

CFDCFCC.CFIM ビットが 0 の場合、TX FIFO バッファから最後のメッセージが正常に送信されたときに割り込みが発生します。

CFDCFCC.CFIM ビットが 1 の場合、TX FIFO バッファからメッセージが正常に送信されるたびに、割り込みが発生します。

共通 FIFO は、CAN フレームの送信が完了したときに割り込みを設定できます。

TX モードに構成された共通 FIFO バッファは、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFE ビットをクリアすることで、無効化できます。このビットが 0 にクリアされると、以下のタイミングで FIFO エンプティフラグがセットされます。

- TX FIFO からの次の送信予定がなく、また送信中でもない場合：即時
- TX FIFO からの次の送信予定があるか、現在送信中の場合：送信完了後、または CAN バスエラー検出後、またはアービトレーションロスト後、またはチャネルまたはグローバル Halt モード遷移後

注. CFDCFCC.CFE ビットクリア後に共通 FIFO バッファが無効とみなされるのは、対応する共通 FIFO バッファにエンプティフラグがセットされている場合のみです。

TX FIFO にその他の送信保留中メッセージがある場合、そのメッセージは失われるため、送信を再度要求する必要があります。再び CFDCFCC.CFE をセットする前に、CFDCFSTS.CFEMP ビットがセットされており、かつ、その TX FIFO に保留中のアボートがないことを確認してください。

CFDCFCC.CFE ビットがクリアされると、FIFO のメッセージ読み出しポインタおよび書き込みポインタがクリアされ、非アクティブになります。そのため、FIFO バッファ内のすべてのメッセージが失われ、以降その FIFO にメッセージを格納することはできなくなります。

構成後の FIFO 送信要求手順を図 32.45 に示します。

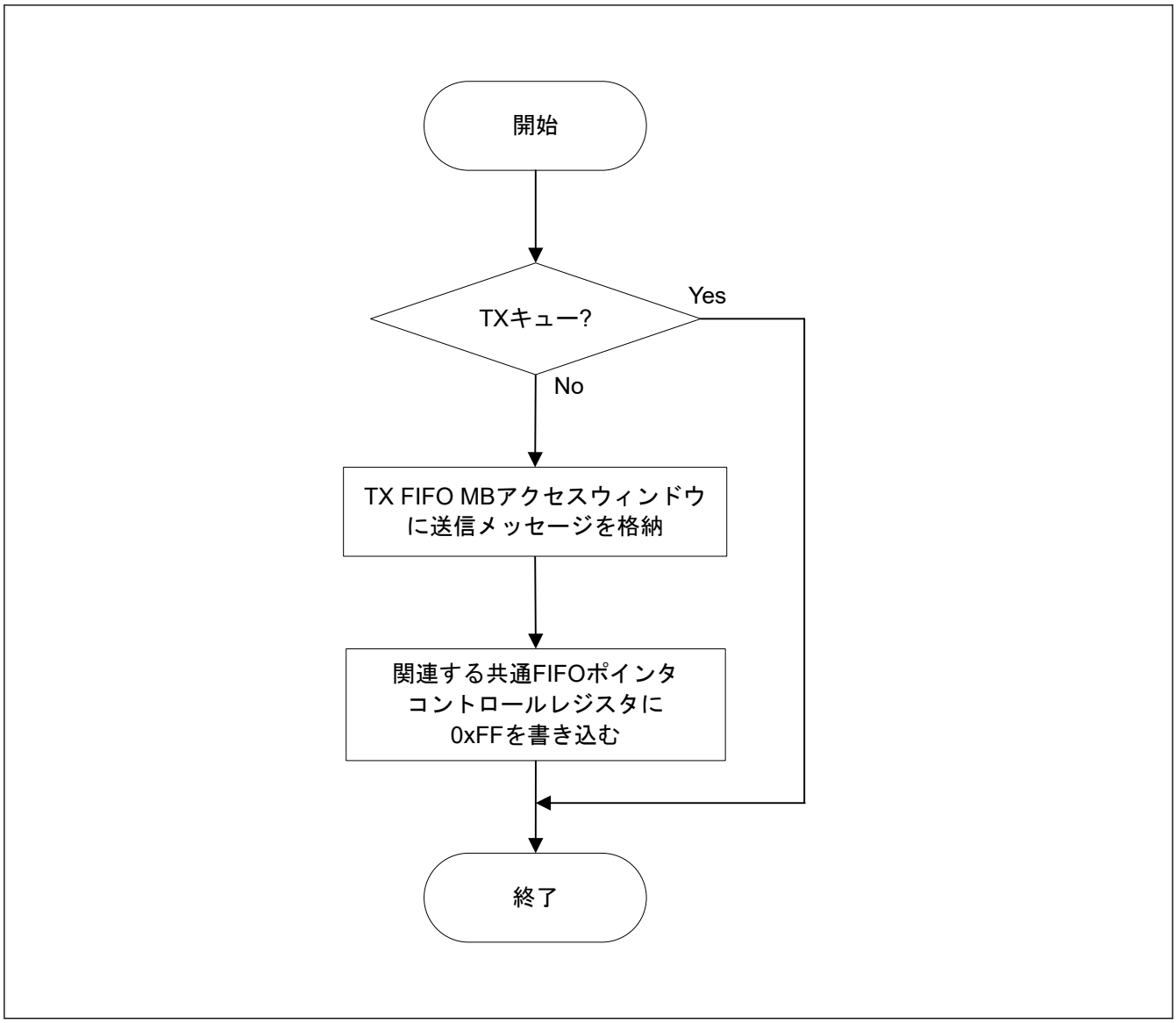


図 32.45 TX FIFO の送信要求手順

(2) FIFO 送信のインターバルタイマ

TX モードの各共通 FIFO において、1 つの FIFO バッファから送信されるよう構成された 2 つの連続するメッセージ間の遅延を指定することができます。この遅延をインターバル時間と呼びます。このインターバル時間は、CFDCFCC.CFE ビットがセットされ、FIFO バッファの最初のメッセージが正常に送信された後に開始されます。

TX モードの共通 FIFO が有効の場合、最初のメッセージは、このインターバル時間を考慮することなく送信されます。

以下のとき、インターバルタイマはカウントを停止します。

- CFDCFCC.CFE ビットのクリアによって FIFO が無効化されたとき
- CAN チャネルが CH_RESET モードのとき

インターバル時間は、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFITT の値により、0～255 のタイマ単位で指定されます。

タイマ単位は、インターバルタイマ用の 2 つの異なるソースクロックに基づいて定義できます。FIFO 送信のインターバルタイマを無効にするには、値 0 を選択します。

タイマソースは、共通 FIFO コンフィグレーション／コントロールレジスタのコンフィグレーションビット CFITSS によって選択できます。

クロックソースとして CAN チャネルビット時間クロックを選択し、CAN チャネルが CH_HALT モードまたは CH_RESET モードまたは CH_SLEEP モードに遷移した場合、そのチャネルのインターバルタイマは停止します。

インターバルタイマのクロックソースとして周辺クロックを選択した場合、インターバルタイマが停止するのは、CAN チャネルが CH_RESET モードまたは CH_SLEEP モードになったときのみです。

基準クロックを使用して、インターバル時間を固定の時間単位で構成できます。これは、周辺クロックに基づきます。グローバルコンフィグレーションレジスタの基準クロックプリスケーラ値 CFDGCFG.ITRCP は、周辺クロックの周波数／周期と基準クロック周期の関係を定義します。

周辺クロックの周波数／周期に基づいて異なる基準クロック周期を実現するための CFDGCFG.ITRCP の設定値については、表 32.27 を参照してください。

表 32.27　FIFO インターバルタイマの基準クロックの構成例

基準クロック 周辺クロック	1 µs	100 µs	500 µs
16 MHz/62.5 ns	16	1600	8000
20 MHz/50 ns	20	2000	10000
32 MHz/31.25 ns	32	3200	16000
50 MHz/20 ns	50	5000	25000

さらに、共通 FIFO コンフィグレーション／コントロールレジスタのインターバルタイマ基準クロック分解能値 CFDCFCC.CFITR を使用して、基準クロックの分解能を指定できます。

インターバル時間は、基準クロック周期を設定値で逓倍（x1 または x10）した値に基づきます。基準クロックベースのインターバルタイマを使用すると、ISO 15765-2 のセパレーション時間の要件に準拠することができます。100 µs～127 ms の全範囲のセパレーション時間をカバーできます。

指定したインターバル時間は、正常送信イベント後（CAN プロトコルの EOF7 状態の後）に開始されます。

インターバル時間が経過すると、関連する TX FIFO によって次の送信要求が出されます。したがって、インターバル時間により、1 つの FIFO から送信される 2 つのメッセージ間の最小間隔が定義されます。

次のメッセージが送信されるのは、最も早くても、このインターバル時間の後になります。図 32.46 に内部処理のタイミング例を示します。

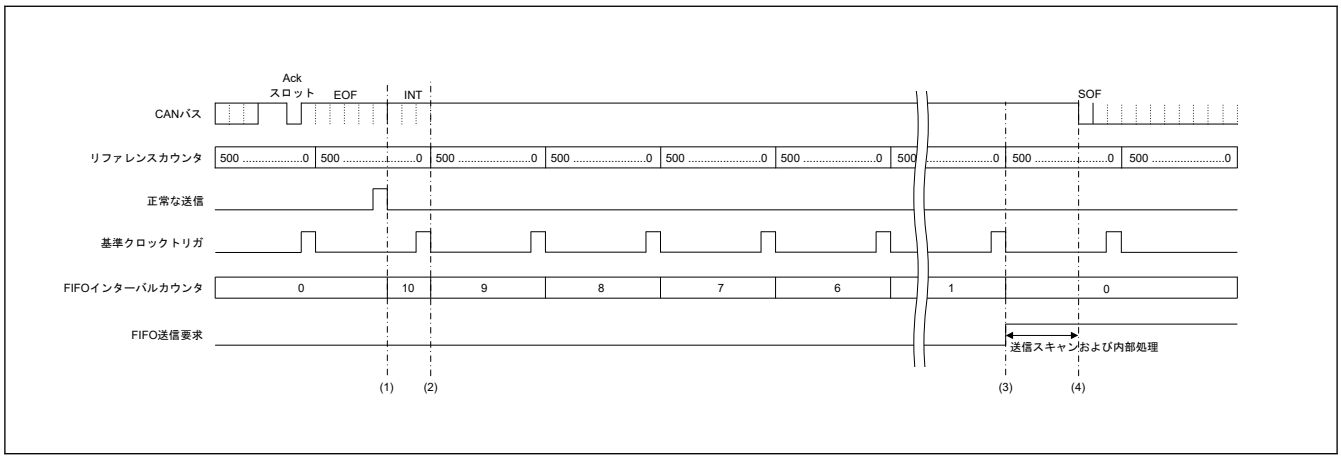


図 32.46　インターバル処理時間の例

図 32.46 のタイミングの構成は以下のとおりです。

- 周辺クロック周波数 = 50 MHz

- インターバルタイマ基準クロック (CFDGCFG.ITRCP) = 500 カウント
- 図 32.46 の設定による基準クロック = 10 µs
- 共通 FIFO インターバルタイマソース選択 (CFDCFCC.CFITSS) = 0
- 共通 FIFO インターバルタイマ分解能 (CFDCFCC.CFITR) = 0
- 共通 FIFO インターバル送信時間 (CFDCFCC.CFITT) = 10 回
- 理論上のメッセージセパレーションインターバル = 100 µs

1. 正常送信結果が発生すると、内部 FIFO インターバルタイマはリスタートされます。このリスタートは、基準クロックのトリガとは同期されません。そのため、最初のインターバルのカウントは、1 基準クロックインターバルと同じか、それ以下になります。
2. 次の基準クロックトリガで、FIFO インターバルタイマはデクリメントされます。
3. FIFO インターバルタイマが値 0 に達すると、FIFO 送信要求がセットされます。
4. FIFO が送信用に選択されている場合、送信はほどなく開始されます。内部処理のため、通常、3.で内部 FIFO 送信要求がセットされてから、実際に送信されるまでに 3CAN ビット時間未満の時間がかかります。

すべてのチャネル上で受信スキャン、内部メッセージルーティング、送信スキャンなどの複数のイベントが発生するワーストケースでは、最大で 120 周辺クロックサイクルかかる場合があります。

図 32.46 に示すように、最小インターバル時間が常に設定値と等しくなる保証はありません。最小時間を決して逸脱してはならない場合は、CFDCFCC.CFITT を必要な最小値+1 に設定する必要があります。

1 つのチャネルに対して、その他の TX メッセージバッファまたは TX FIFO が送信用に構成されている場合、TX FIFO から送信される 2 つのメッセージ間の実際の遅延時間は、インターバル時間に設定した時間よりもかなり長くなることがあります。これは、TX メッセージバッファまたは TX FIFO から高優先順位のメッセージが送信されることによります。

図 32.47 に FIFO インターバル時間生成回路のブロック図を示します。

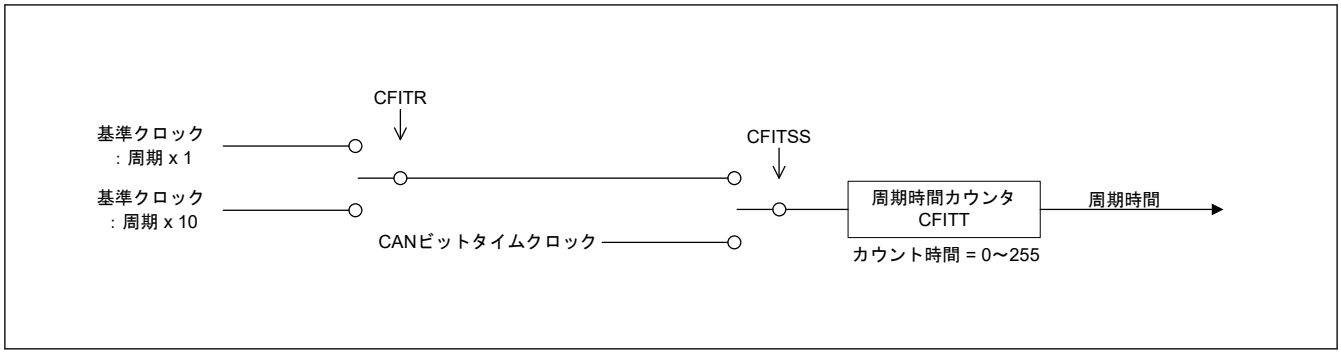


図 32.47 FIFO インターバルタイマのブロック図

32.8.2.4 TX キュー

ある特定のチャネルに対して有効化される各 TX キューは、3～4 個の TX メッセージバッファによって構成され、1 つのアクセスウィンドウを介してアクセスされます。

- 1 つ目の TX キューは、容量 3 の最大 4 つのバッファによって構成され、TX メッセージバッファ No. 0 をアクセスウィンドウとして使用します（これを TXQ と呼びます）。

TXQ のすべてのメッセージは、送信優先順位比較の対象になります。この場合、ID 優先 (CFDGCFG.TPRI = 0) のみを使用するものとします。

TXQ 用のレジスタを以下に示します。

- CFDTXQCC
- CFDTXQSTS
- CFDTXQPCTR

アクセスウィンドウ TXQ0 を使用する場合、関連するアクセスレジスタ TX メッセージバッファ ID レジスタ (TMID[m])、TX メッセージバッファポインタレジスタ (TMPTR[m])、TX メッセージバッファデータフィールド 0 レジスタおよび TX メッセージバッファデータフィールド 1 レジスタ (TMDF[0:1][m]) を参照してください。

各 TXQ バッファの容量は、TX キューコンフィグレーション／コントロールレジスタの CFDTXQCC.TXQDC[1:0] ビットへの書き込みによって構成できます。TXQ は、最大で TXMB0 から TXMB3 までを 1 つのキューバッファとして設定できます。

TXQ バッファの容量の構成には、以下の 4 個のオプションを使用できます。

- 0x00: TX キュー禁止
- 0x01：予約
- 0x10: 3 メッセージ
- 0x11: 4 メッセージ

TX キューを構成するすべての TX メッセージバッファには、直接アクセスしないでください（TX キューのアクセスウィンドウとして機能する TX メッセージバッファ No. 0 を除く）。

システムが TX キューに書き込む際、システムは TX キューの状態をチェックした後に、送信データを書き込む必要があります。

また、関連する TX メッセージバッファコントロールレジスタへのユーザーによるアクセスおよび構成は禁止されています。

TX キューのアクセスウィンドウに格納されたメッセージは、その TX キュー内の空いているバッファに内部的に格納されます。

バッファがフルになると、フルの状態が解除されるまで、キューへのアクセスは行われません。TX キューのバッファがフルのときにソフトウェア書き込みによってアクセスされた場合、送信データは上書きされます。

TX キューは、TX キューコンフィグレーション／コントロールレジスタの TXQE ビットをクリアすることによって無効化できます。このビットがクリアされると、以下のように TX キューエンプティフラグがセットされます。

- TX キューからの次の送信予定がなく、また送信中でもない場合：即時
- TX キューからの次の送信予定があるか、現在送信中の場合：送信完了後、または CAN バスエラー検出後、またはアービトレーションロスト後、またはチャネルまたはグローバル Halt モード遷移後

注. TX キューが無効化されるのは、対応する TX キューの TXQE ビットがクリアされた後、エンプティフラグがセットされたときのみです。

TX キューにその他の送信保留中メッセージがある場合、そのメッセージは失われるため、送信を再度要求する必要があります。

再び TXQE をセットする前に、CFDTXQSTS.TXQEMP ビットがセットされていること、およびその TX キューに保留中のアボートがないことを確認してください。

TXQE ビットがクリアされると、TX キューバッファ内のすべてのメッセージが失われ、以降その TX キューにメッセージを格納することはできなくなります。

TX キューにすでにメッセージが格納されている状態で、TX キューポインタコントロールレジスタに 0xFF を書き込んでください。これにより、送信要求が自動的に設定され、内部メッセージバッファポインタが TX キュー内の次の空いているメッセージバッファ位置に変更されます。

注. 同じ ID を持つ 2 つのメッセージが TX キューに格納された場合、これらのメッセージの送信順序が、TX キューに格納された順序とは変わる可能性があります。

この条件を回避するため、同じ ID を持つ新しいメッセージを TX キューに格納する前に、同じ ID を持つ前のメッセージが正常に送信されたことを確認することが重要です。

TX キューでは、TX キューコンフィグレーション／コントロールレジスタの TXQIE ビットをセットすることにより、専用の割り込みを有効化できます。

割り込みモードについては、同じレジスタの CFDTXQCC.TXQIM ビットによって、メッセージが送信されるごとに割り込みを発生させるか、最後に送信されるメッセージに対して割り込みを発生させるかを選択できます。

構成後の TX キュー送信要求手順を図 32.48 に示します。

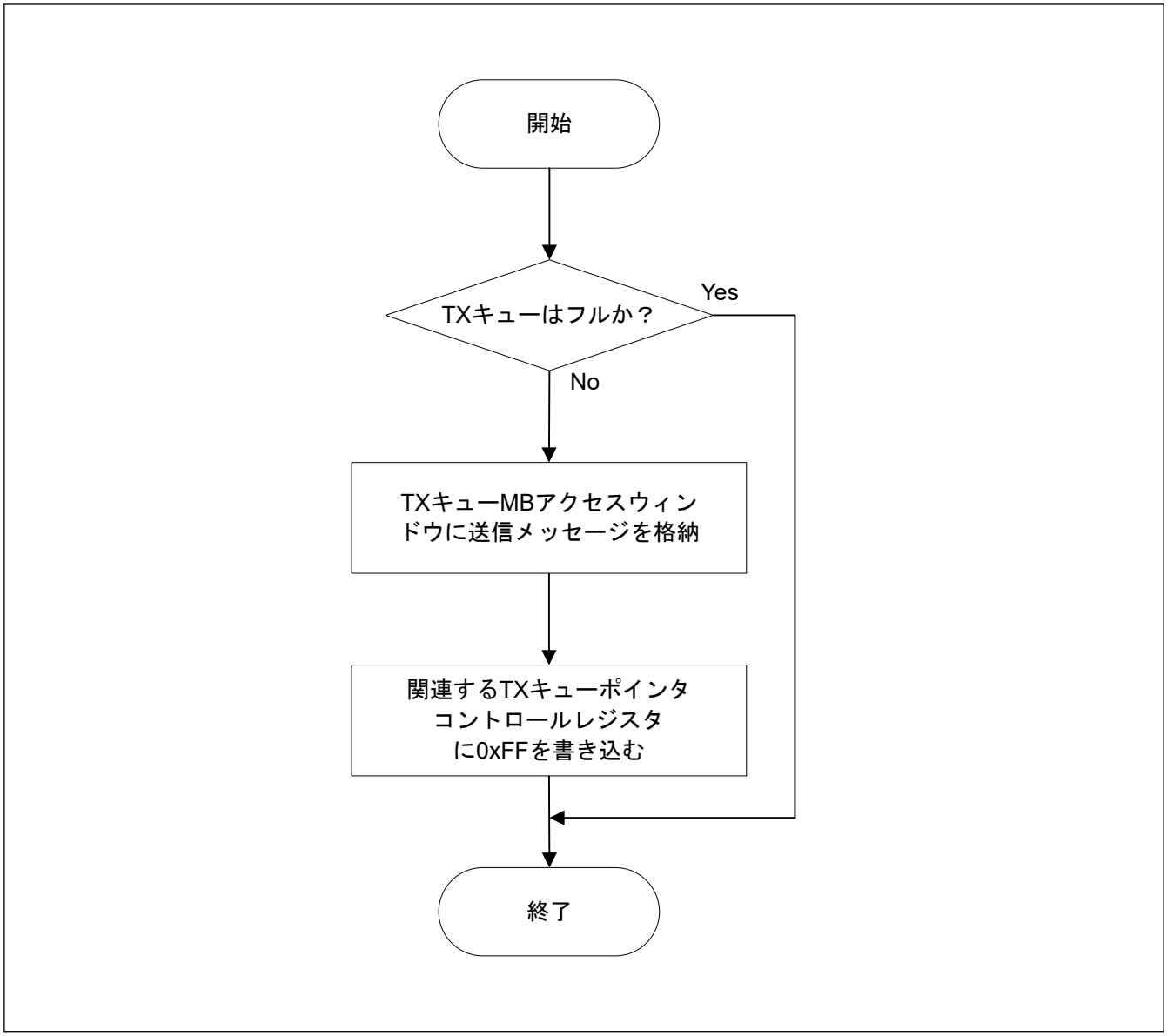


図 32.48　TX キュー送信要求

32.8.2.5　TX 履歴リスト

TX 履歴リスト機能は、正常に送信されたメッセージの情報を TX 履歴リストバッファ（THL バッファ）に記録する機能です。2 つの TX 履歴リストバッファがあります。THL バッファには、最大 8 個の TX 履歴リストエントリを格納できます。

TX 履歴リストコンフィグレーション／コントロールレジスタの CFDTHLCC.THLDTE ビットを使用して、TX FIFO／TX キューから送信されたメッセージの情報のみを TX 履歴リストに格納するか、TX キュー、TX FIFO、または通常の TX メッセージバッファから送信されたすべてのメッセージに関する情報を格納するかを設定できます。

メッセージバッファポインタレジスタの CFDCFID.THLEN ビットを使用すると、各送信メッセージの TX 履歴リストへの受け入れを個別に設定できます。

メッセージ情報は、メッセージが CAN チャネルで正常に送信された後、TX 履歴リストバッファに格納されます。

リストへの格納は、TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF[1:0]ビットのステータスとは同期されません。

内部処理のため、正常送信が通知された後、リストに格納されるまでに遅延が生じることがあります。

TX 履歴リストにデータが格納されたかどうかは、THLIE が 1 に設定されている場合、THLIF が 1 にセットされたことによって、または TX 履歴リストカウンタ CFDTHLSTS.THLMC[5:0]が増分されたことによって認識できます。

受信スキャン、内部メッセージルーティングなどの複数イベントが発生するワーストケースでは、以下のようになります。

- CFDTMSTSj.TMTRF をセットしてから TX 履歴リストデータが格納されるまでの最大遅延時間は、70 周辺バスクロックサイクルです。

履歴リストは、送信したメッセージについて次の情報を記録します。

- バッファの種類：
  - 001: TX メッセージバッファ
  - 010: TX FIFO
  - 100: TX キュー
- バッファ番号：
  送信が発生した TX メッセージバッファ、TX キューメッセージバッファ、または共通 FIFO バッファの TX メッセージバッファリンク。この番号は、バッファの種類によって決まります。表 32.28 を参照してください。
- 送信 ID：
  送信メッセージに格納された送信ポインタ
- 送信タイムスタンプ：
  CFDGFDCFG.TSCCFG によって構成されたキャプチャポイントで取得されたメッセージのタイムスタンプ。
- 送信情報ラベル：
  送信メッセージに格納された送信情報ラベル。

表 32.28 TX 履歴リストバッファ番号エントリ

バッファ番号	BT[2:0]バッファの種類		
	001b TX メッセージバッファ	101b TX FIFO	100b TX キュー
00b	メッセージバッファ 0	表示の番号は、関連する共通 FIFO 構成の共通 FIFO TX メッセージバッファリンク CFTML に対応します。	表示の番号は、フレームが送信された TX キューに属するメッセージバッファに対応します。
01b	メッセージバッファ 1		
10b	メッセージバッファ 2		
11b	メッセージバッファ 3		

TX FIFO または TX キューの番号だけでは識別に不十分なため、送信 ID エントリを使用して、TX FIFO または TX キューのどのメッセージが正常に送信されたかを識別します。

そのため、TX FIFO または TX キューに格納された各送信メッセージに一意の番号を付加できます。この一意の ID 番号は、TX FIFO の場合は共通 FIFO アクセスポインタレジスタの CFDCFFDCSTS.CFPTR[15:0]部分、また、TX キューアクセスウィンドウメッセージバッファの場合は TX メッセージバッファポインタレジスタの CFDTMFDCTRb.TMPTR[15:0]部分に書き込みます。

メッセージが正常に送信されると、この ID 番号は他のメッセージ関連情報とともに TX 履歴リストに格納され、TX 履歴リストアクセスレジスタの送信 ID (TID) を介して読み出すことができます。

通常の TX メッセージバッファの場合、TX メッセージバッファポインタレジスタの CFDTMFDCTRb.TMPTR[15:0]部分も送信履歴リストに格納されます。情報ラベルも同様です。

図 32.49 に、TX 履歴リストを使用する場合の送信準備フローを示します。

TX 履歴リストアクセスレジスタへのリードアクセスは、すべてのエントリに対して行われます。

1 つのエントリを読み出した後、対応する TX 履歴リストポインタコントロールレジスタに 0xFF を書き込んで、次のエントリにアクセスできるようにする必要があります。これを TX 履歴リストがエンプティになるまで続けます。

図 32.50 に、TX 履歴リスト情報の処理フローの例を示します。

TX 履歴リストには専用の割り込みがあり、対応する TX 履歴リストコンフィグレーション／コントロールレジスタの CFDTHLCC.THLIM ビットで構成できます。この割り込みは、同じレジスタの CFDTHLCC.THLIE ビットで有効化でき、履歴リストが充填レベル 75%に達したときに割り込みを発生させるか、新しい TX 履歴リストエントリで毎回割り込みを発生させるかを選択できます。

エントリロストの表示は、TX 履歴リストステータスレジスタの CFDTHLSTS.THLELT ビットによりフラグが立てられます。このビットのステータスは、グローバルエラーフラグレジスタの THLES ビットによっても示されます。

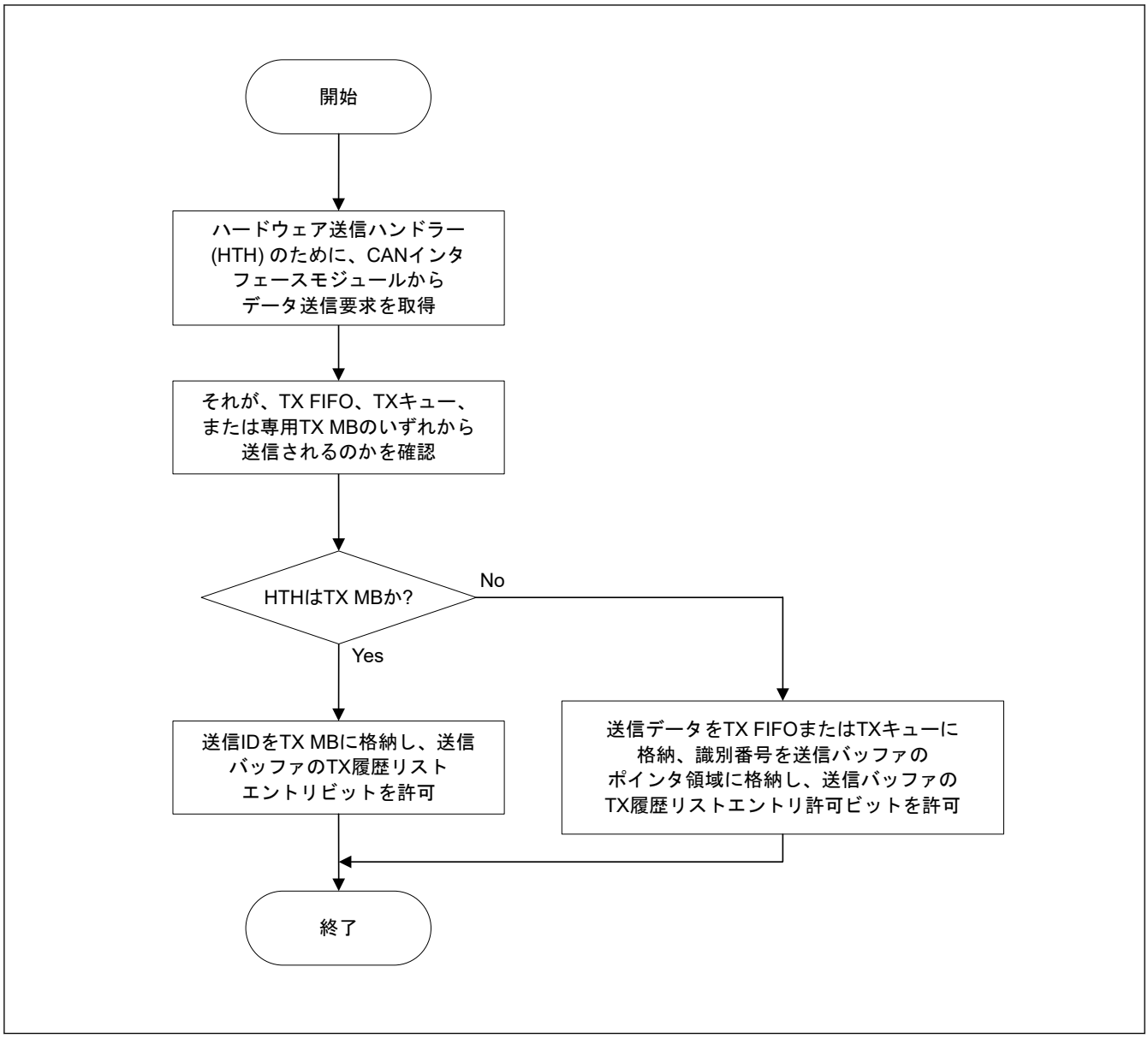


図 32.49 TX 履歴リストの準備手順

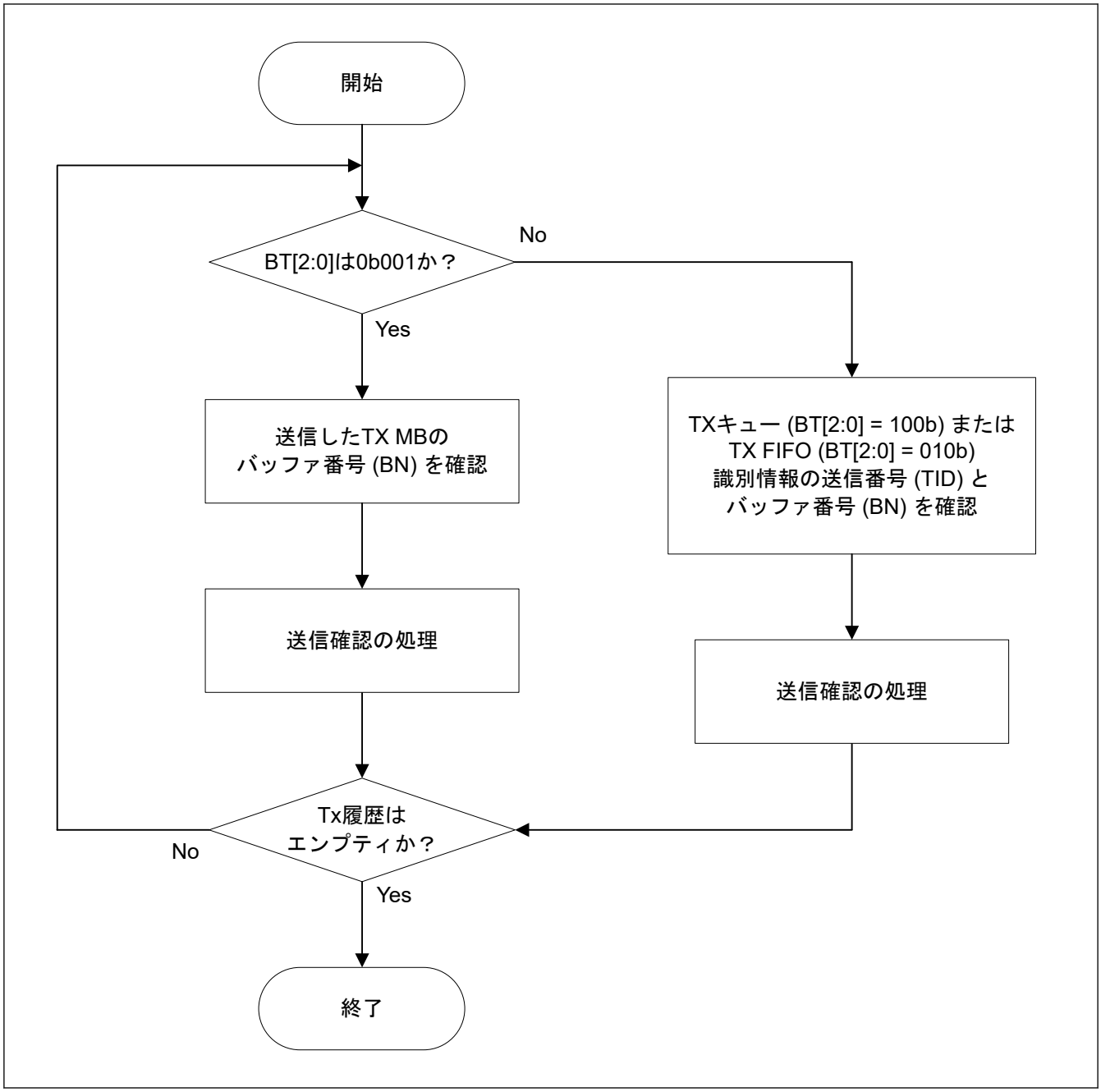


図 32.50 TX 履歴リストの処理手順

32.8.2.6 送信データパディング

この章は、クラシカル CAN 機能に対しては適用されません。

送信メッセージのデータ長コード (DLC) のデータバイト数がバッファサイズより大きい場合、制限範囲を超えるデータバイトは、0xCC 値のバイトによって置き換えられます。

これは、TX モードに構成された共通 FIFO において、送信メッセージの DLC が CFDCFCC.CFPLS よりも大きいときに発生することがあります。

また、FD only モードでも、クラシカルフレームが 8 より大きい DLC で構成されている場合に発生することがあります。

32.9 テストモード

特定の機能のテストを行うために、CANFD モジュールをテストモードに設定することができます。これらの機能は、特別な目的のためにのみ提供されているものであり、CANFD モジュールをテストモードに設定する際には注意が必要です。

注. 一部機能が他のテストモードでも有効化できると明示的に記載されていない限り、すべてのテストモードは相互排他的関係にあります。

本項に記載する複数のテストモードを同時に有効にしないでください。

テストモードは、次の 2 つのグループに大きく分けられます。

- チャネル固有のテストモード
- グローバルテストモード

32.9.1 チャネル固有のテストモード

CAN チャネルは、次のテストモードに構成することができます。

- 基本テストモード
- リッスンオンリモード
- セルフテストモード 0（外部ループバックモード）
- セルフテストモード 1（内部ループバックモード）
- 制限付きオペレーションモード

32.9.1.1 基本テストモード

基本テストモードは、リッスンオンリモードやセルフテストモード以外の特定のテスト設定を有効にする必要がある場合に使用します。

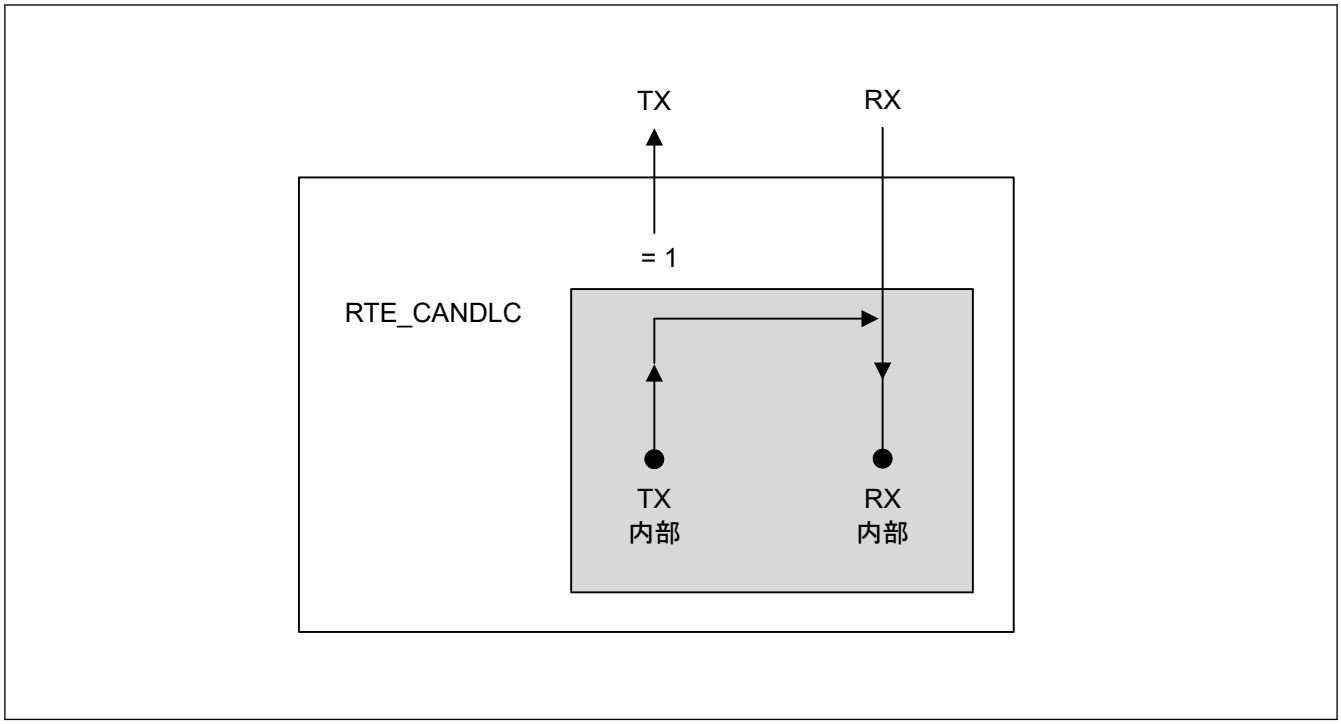
32.9.1.2 リッスンオンリモード

ISO 11898-1 では、オプションのバスモニタモードが推奨されています。このモードでは、CAN チャネルは有効なデータフレームおよび有効なリモートフレームを受信できます。しかし、CAN バス上でレセシブビットを送信するのみで、データの送信は許可されません。

CAN エンジンがドミナントビット（ACK ビット、オーバーロードフラグ、アクティブエラーフラグ）を送信する必要がある場合、ビットが内部的にルーティングされ、CAN エンジンはそれをドミナントビットとしてモニタします。外部の TX 端子はレセシブ状態のままです。

このモードは、ボーレート検出に使用できます。このモードでは、バスエラーが発生し、かつ割り込みが許可されている場合、エラー割り込みが発生します。

このモードでは、該当するチャネルの通常の TX メッセージバッファや TX FIFO。

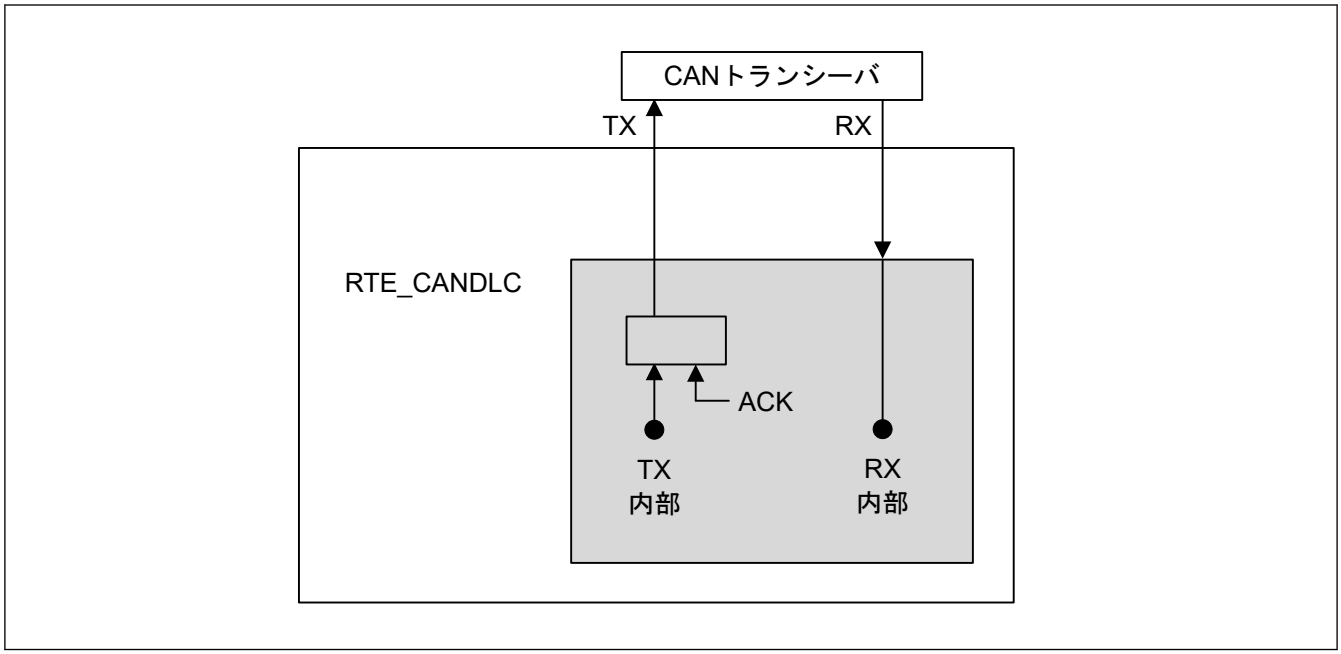


32.9.1.3 セルフテストモード 0（外部ループバックモード）

セルフテストモード 0 では、CAN エンジンは自らが送信したメッセージを CAN トランシーバ経由で受信したメッセージとして取り扱い、受信メッセージバッファに格納します。

外部の刺激に影響されないようにするため、CAN エンジンは独自のアクノリッジビットを生成します。

このテストは、CAN トランシーバのテストに使用できます。Rx 端子/Tx 端子をトランシーバに接続する必要があります。



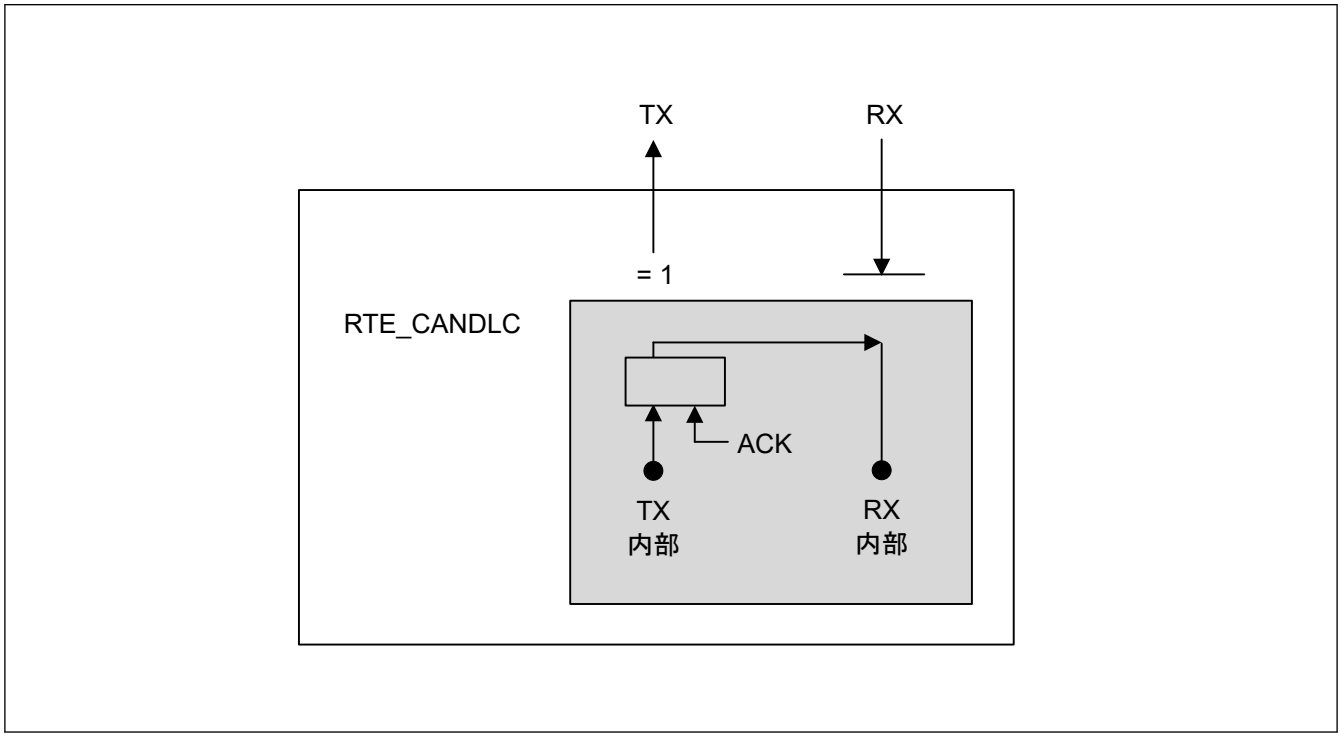
32.9.1.4 セルフテストモード 1（内部ループバックモード）

セルフテストモード 1 では、CAN エンジンは自らが送信したメッセージを受信したメッセージとして取り扱い、受信バッファに格納します。このモードは、セルフテスト機能用です。外部の刺激に影響されないようにするた

め、CAN エンジンは独自のアクノリッジビットを生成します。このモードでは、CAN エンジンは Tx 内部から Rx 内部への内部フィードバックを実行します。外部 Rx 入力の実際の値は、CAN エンジンによって無視されます。

外部 TX 端子はレセシブビットのみを出力します。Rx 端子/TX 端子は、CAN バスや他のどの外部デバイスにも接続する必要がありません。

注. チャネルの各端子は、内部 CAN バス通信ラインからも切り離されます。



32.9.1.5 制限付きオペレーションモード

この章は、クラシカル CAN 機能に対しては適用されません。

制限付きオペレーションモードでは、CAN ノードは有効なデータフレームとリモートフレームを受信して、アクノリッジビットを生成することができます。

アクティブエラーフレームとオーバーロードフレームは送信できません。その代わり、エラー条件またはオーバーロード条件が発生した後、バスアイドル状態になるまで待機してから CAN 通信に再同期します。

さらに、受信エラーカウンタ (REC) と送信エラーカウンタ (TEC) は、エラーの発生とは無関係にフリーズされています。このモードの仕様は ISO 11898-1 に準拠します。また、任意の送信要求を設定することができます。

32.9.2 グローバルテストモード

CANFD モジュールは、以下のテストモードに構成できます。

- RAM テストモード
- ビットフリップテスト

以下の表に示すテストモードは、モードの有効化が特別なソフトウェア手順によって保護されています。このソフトウェア手順は、以下の表に示す特定のロック解除キーによって、テストモードへの書き込みを許可します。

テストモード	ロック解除キー 1	ロック解除キー 2
RAM テストモード	0x7575	0x8A8A

2 つの連続するロック解除キー書き込み（ハーフワードまたはワードアクセス）のソフトウェアシーケンスが、レジスタへのその他の書き込みによって中断された場合、またはグローバルロック解除キーレジスタに不正なデ

ータが書かれた場合、対応するテストモードは設定できず、シーケンスを初めからやり直さなければなりません。

2 つのロック解除キーを書き込んだ後、続けて対応するテストモード許可ビットをセットする書き込みを行う必要があります。これが守られない場合、ロック解除機構はリセットされ、テストモード許可ビットはセットできず、ロック解除シーケンスを初めからやり直さなければなりません。

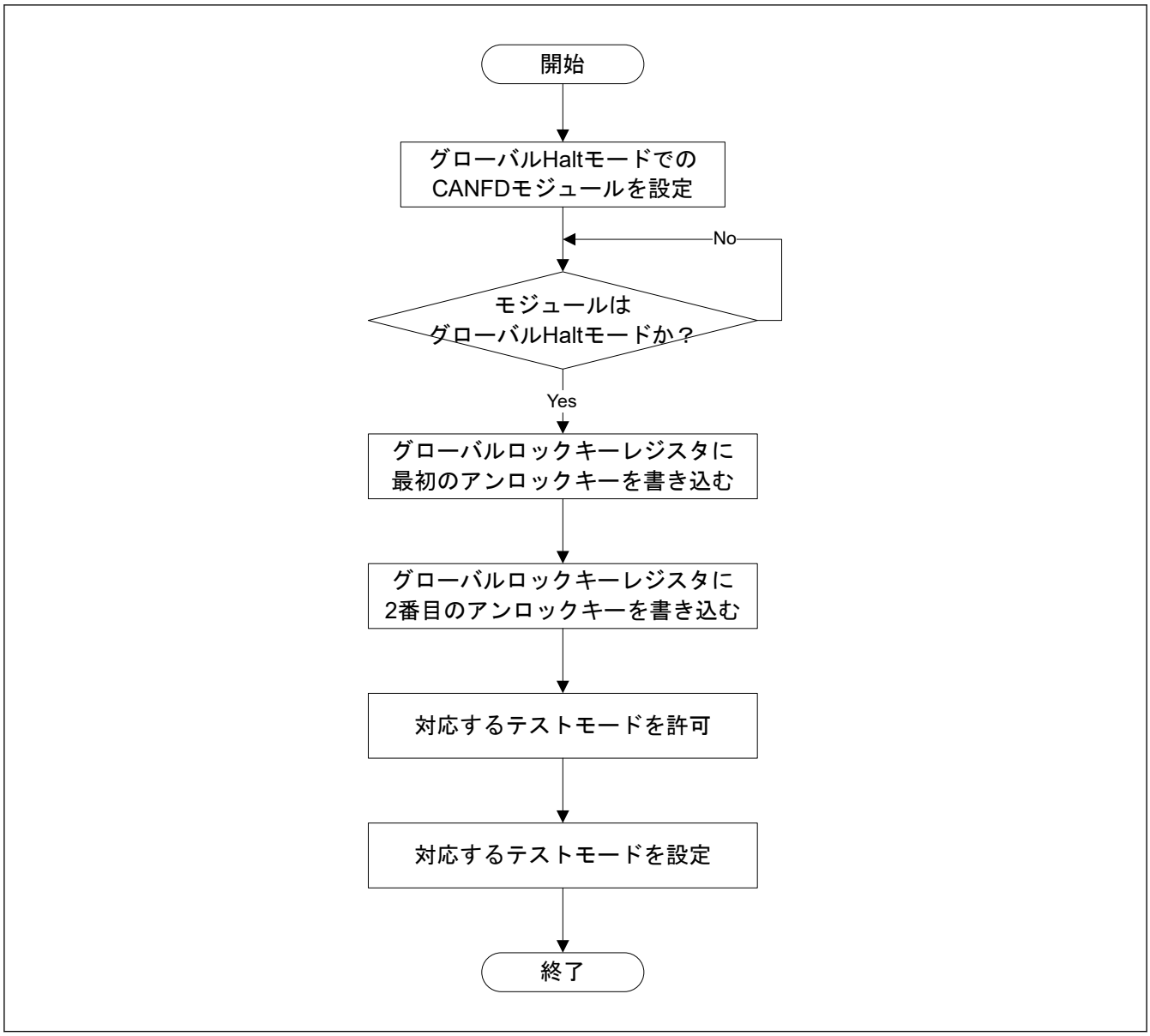


図 32.51 ソフトウェア保護のロック解除ルーチン

32.9.2.1 RAM テストモード

対応するロックキーを先に書き込んでから、グローバルテストコントロールレジスタの CFDGTSTCTR.RTME ビットをセットすることにより、CANFD モジュールを RAM テストモードに設定できます。このモードは特別なテストモードであり、RAM 領域全体にアクセスできます。

注. 実際の RAM は、ハードウェアリセット後に初期化される RAM 領域よりも大きいサイズを持っています。そのため、CANFD モジュールを RAM テストモードにしたとき、CPU がこの初期化されていない RAM 領域からデータを読み出すことで、（ECC マクロの）ECC エラーフラグがセットされることがあります。

このモードでは、RAM 領域は各 256 バイトの複数のページ (pn) に分割されます。これには、CFDRPGACCk レジスタでアクセスできます。

グローバルテストコントロールレジスタの CFDGTSTCFG.RTMPS[3:0]ビットに書き込み、ページのリードアクセス／ライトアクセスを選択します。その後、RAM テストページアクセスレジスタのデータの読み出しまたは書き込みが可能になります。

図 32.52 に、RAM テストモード実行時の RAM 内のページ構造を示します。

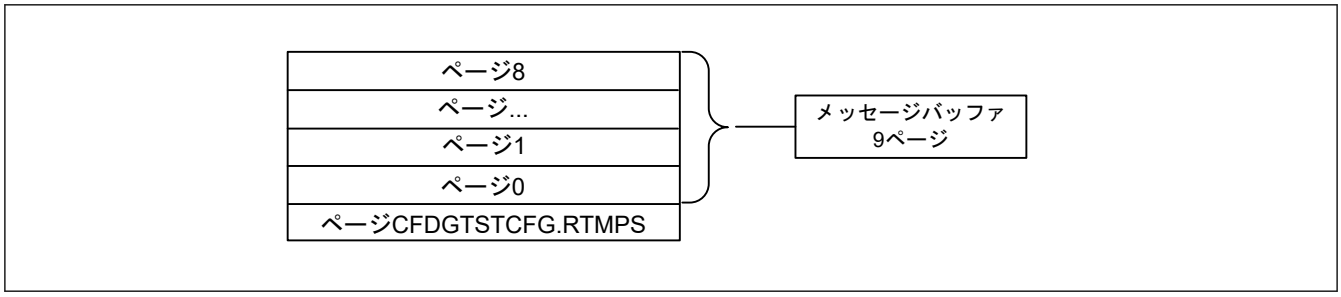


図 32.52 RAM のページ構造

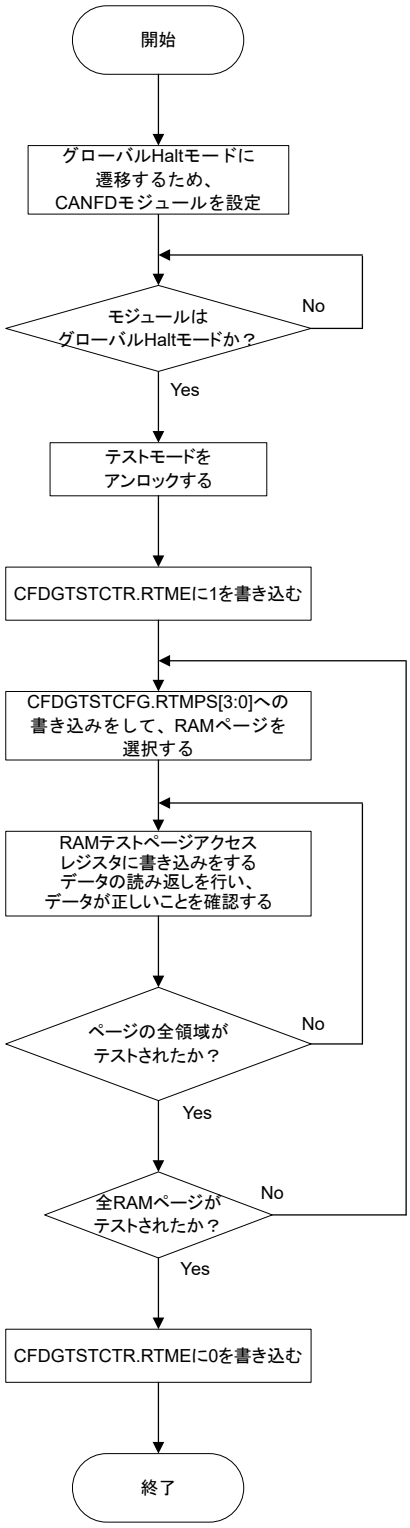
利用可能な総 RAM サイズは、メッセージバッファ RAM が 2072 バイトです。

MB RAM の pn および CFDGTSTCFG.RTMPS[3:0]の値は、次の方法で計算されます。

pn = ceil（総 RAM サイズ[バイト]／ページ当たりバイト数）

- MB RAM：
  pn = ceil (2072 / 256) = 9 ページ
  CFDGTSTCFG.RTMPS[3:0] = 0～8（0 と 8 を含む）
  （ユーザーは最後のページで 24 バイトを超えてアクセスすることはできません）

図 32.53 に、RAM テストモードのソフトウェアフローを示します。



注 1. RAM テストモードに変更する前に、以下のステータスに変更してください。
- 送信要求をキャンセルする
- すべての FIFO および TX キューを無効化する
- 受信バッファの受信フラグをクリアする

図 32.53 RAM テストモードのソフトウェアフロー

このテストモードを解除するには、CFDGTSTCTR.RTME ビットをクリアしなければなりません。
CFDGTSTCTR.RTME ビットは、0 を書き込むことによりクリアされます。

CANFD モジュールがテストモードからグローバルリセットモードに遷移すると、CFDGTSTCTR.RTME ビットは自動的にクリアされます。

32.9.2.2 ビットフリップテスト

ビットフリップテストは、受信するビットストリームの最初のビット（ID の 1 番目のビット）を反転できます。

この機能を送信ノードで使用すると、ビットエラーまたはアービトレーションロストが発生します。

この機能を受信ノードで使用すると、CRC エラーまたはスタッフエラーが発生します。

本機能を使用する場合、（反転のため）CRC エラーではなくスタッフエラーを受信する可能性があるため、ビットスタッフィングルールを参照する必要があります。

CRC エラーテストを実施するには、以下のシーケンスを使う必要があります。以下のシーケンスで、CANFD モジュールが受信側です。

1. 送信ノードから受信するビットストリームの 1 番目のビットを反転するために、CFDC0CTR.BFT ビットを 1’b1 に設定します。
2. CANn_CHERR (n = 0, 1) 出力信号が 1’b1 になるのを待機します。
3. CFDC0ERFL.CRCREG ビットまたは CFDC0FDCRC.CRCREG ビットのいずれか（受信したフレームのタイプが従来型か FD かによる）を読み出します。値は、送信側ノードから受信した基準メッセージの CRC 値とは異なっていなければなりません。
4. CFDC0ERFL.CERR ビットが 1’b1 であることを確認します。

CRC 生成ロジックは RX と TX で共有されているため、TX CRC エラーテストを別に作成する必要はありません。

32.10 RAM 領域の構成

図 32.54 に示されているように、CANFD に使用される RAM 領域 (MRAM) は、以下のグループに分類できます。

- AFL ルールテーブル領域
- PFL ルールテーブル領域
- メッセージバッファ(注1)領域（RX MB + FIFO バッファ）
- OTB 領域
- THL 領域
- TX MB 領域

物理的に RAM はメッセージバッファ RAM(注2) (RX MB, RX FIFO, 共通 FIFO(注3) TX MB, THL, OTB, AFL ルールテーブル, PFL ルールテーブル）です。

注 1. MB と表記します。
注 2. MRAM と表記します。
注 3. CFIFO と表記します。

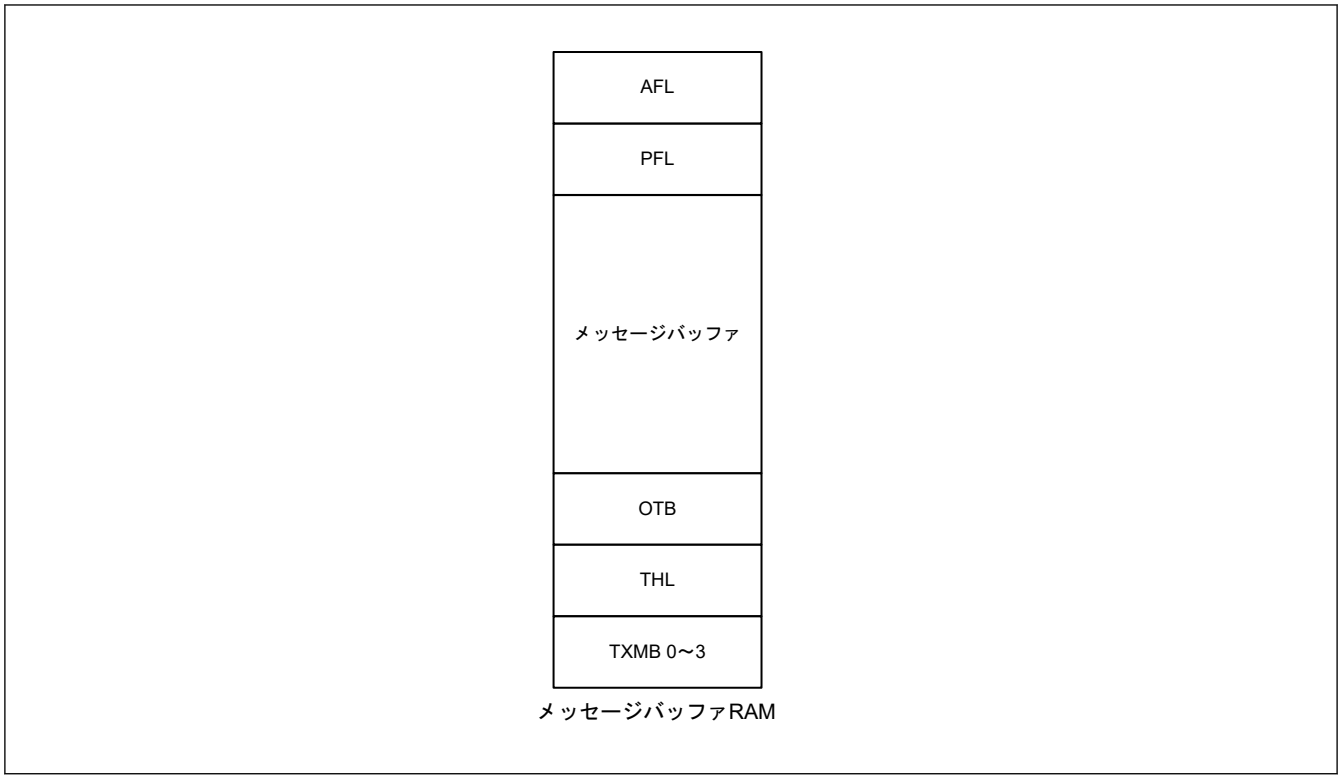


図 32.54 RAM 領域のグルーピング

MRAM 領域はアドレス 0x0000 の TX MB 領域から始まります。TX MB 領域のすぐ後に THL 領域が続き、そして THL 領域のすぐ後に OTB 領域が続きます。TX MB 領域、THL 領域、および OTB 領域のサイズは固定されています。OTB 領域の後にメッセージバッファ領域が続きます。メッセージバッファ領域のサイズは、フラットな RXMB、RXFIFO、CFIFO の構成によって異なります。3 つの領域がすべて構成されている場合、RX MB 領域の後に RX FIFO 領域が続き、そして RX FIFO 領域の後に CFIFO 領域が続きます。

構成された MRAM 領域は、以下のように計算することができます。

MRAM_cfg = RXMB_MRAM_cfg + RXFIFO_MRAM_cfg + CFIFO_MRAM_cfg + TXMB_MRAM_cfg + THL_MRAM_cfg + OTB_MRAM_cfg + AFL_MRAM_cfg + PFL_MRAM_cfg

RXMB_MRAM_cfg = (12 バイト + CFDRMNB.RMPLS) × CFDRMNB.NRXMB

RXFIFO_MRAM_cfg = SUM ((12 バイト + CFDRFCCa.RFPLS) × CFDRFCCa.RFDC)

CFIFO_MRAM_cfg = (12 バイト + CFDCFCC.CFPLS) × CFDCFCC.CFDC

TXMB_MRAM_cfg = 304 バイト

THL_MRAM_cfg = 64 バイト

OTB_MRAM_cfg = 160 バイト

PFL_MRAM_cfg = 72 バイト

AFL_MRAM_cfg = 256 バイト

“a”は RX FIFO インデックス = [0...no_of_RFIFOs - 1]を意味します

no_of_RFIFOs : 構成された RX FIFO の数

注. CFDRFCCa.RFDC, CFDCFCC.CFDC, CFDRMNB.RMPLS, CFDRMNB.NRXMB, CFDRFCCa.RFPLS, CFDCFCC.CFPLS に対して、関連するバイト数を使用してください。

表 32.29 に AFL エントリ、OTB バッファ、TX/RX メッセージバッファ、RX/共通 FIFO、PFL エントリに使用される異なる RAM 領域の計算を示します。

表 32.29 MRAM 領域の計算

RAM 名	RAM プロパティ	RAM 領域の計算方法	RAM 値
AFL	平均ルールエントリ	—	16
	ルールエントリのバイト数	固定	16
	AFL 領域のバイト数	平均ルールエントリ × ルールエントリのバイト数	256
PFL	平均ルールエントリ	—	2
	ルールエントリのバイト数	固定	36
	PFL 領域のバイト数	平均ルールエントリ × ルールエントリのバイト数	72
TX MB	TX MB の数	固定	4
	各 TX MB に必要なバイト数	固定	76
	TX MB 領域のバイト数	TX MB の数 × 各 TX MB に必要なバイト数	304
THL	1 つの THL バッファのエントリ数	固定	8
	各 THL エントリに必要なバイト数	固定	8
	THL 領域のバイト数	1 つの THL バッファのエントリ数 × 各 THL エントリに必要なバイト数	64
OTB	平均バッファ数	—	2
	OTB エントリのバイト数	固定	80
	OTB 領域のバイト数	平均バッファ数 × OTB エントリのバイト数	160
メッセージバッファ	RX MB の数	固定	32
	RX FIFO の数	固定	2
	共通 FIFO の数	固定	1
	RX MB と FIFO バッファのメッセージの平均数	—	16
	格納された各メッセージのバイト数	固定	—
	メッセージバッファの平均サイズ（バイト）	—	76
	メッセージプール領域のバイト数	RX MB と FIFO バッファのメッセージの平均数 × メッセージバッファの平均サイズ（バイト）	1216
	メッセージ RAM のバイト数	メッセージプール領域のバイト数 + OTB 領域のバイト数 + THL 領域のバイト数 + TX MB 領域のバイト数 + PFL 領域のバイト数 + AFL 領域のバイト数	2072

32.10.1 RAM 領域の構成例

図 32.55 に 1 つの可能な RAM 領域の構成例を示します。

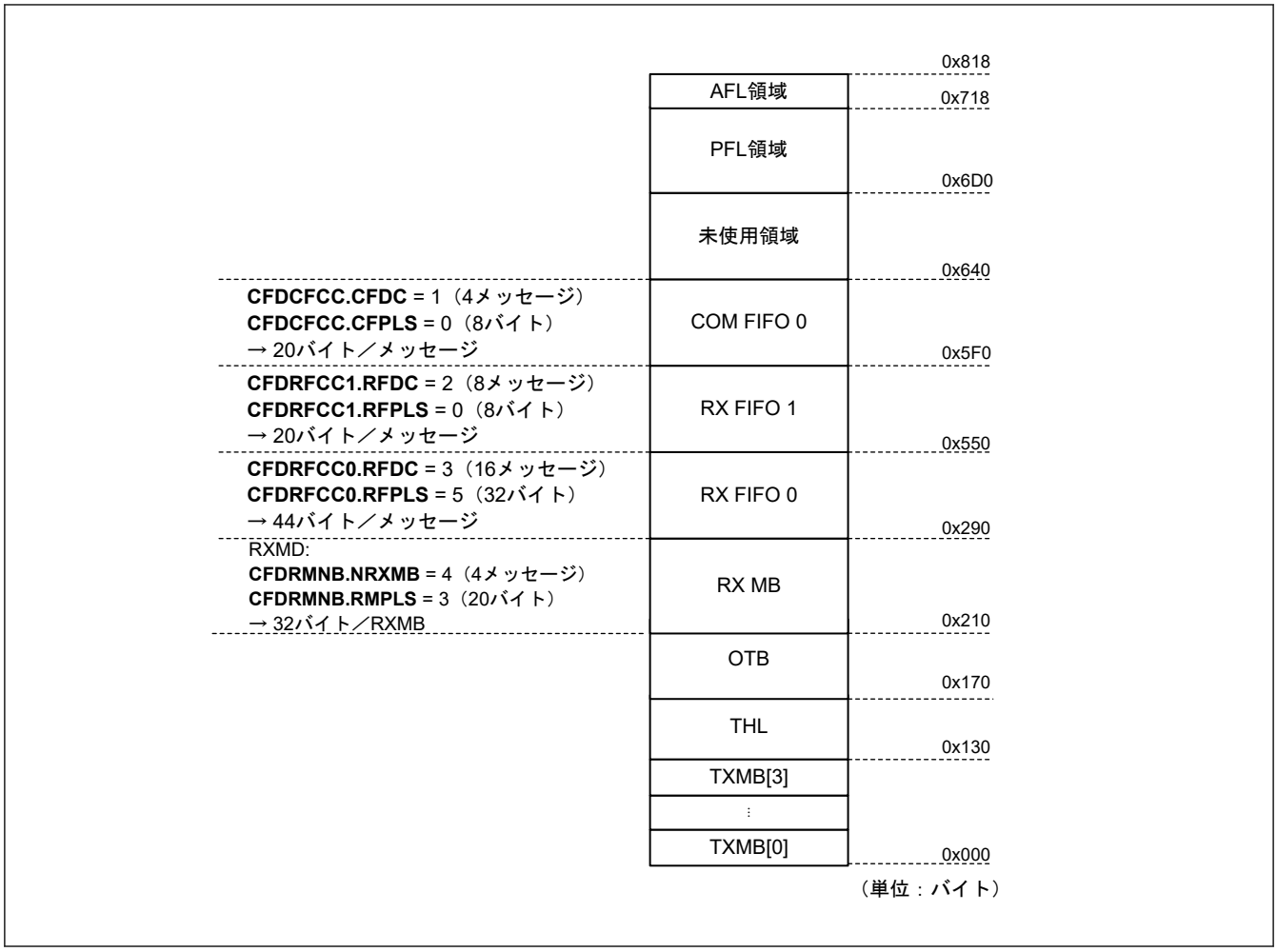


図 32.55 RX MB + FIFO バッファの RAM 領域の構成例

32.10.2 OTB 領域

OTB 領域は THL バッファに割り当てられた領域の直後から始まります。OTB は CANFD で使用される、特別な目的を有するバッファです。RAM 領域のこの部分は、RAM テストモードで CPU によってのみアクセス可能です。バッファには 80 バイト必要であり、平均バッファ数は 2 です。よって、OTB に割り当てられる総バイト数は、2 × 80 バイトです。

32.10.3 RAM の初期化周期

表 32.30 に RAM の初期化周期と RAM のページ数を示します。

表 32.30 RAM の初期化周期

MRAM 領域のサイズ	RAM 初期化サイクル[PCLKA サイクル]	RAM テスト RTMPS 範囲
2072	520	0x0～0x8

32.11 使用上の注意事項

32.11.1 モジュールストップ機能

モジュールストップコントロールレジスタ C (MSTPCRC) により、CANFD の動作を無効または有効に設定することが可能です。リセット後の初期状態では、CANFD モジュールの動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

33. CANFD ECC (CNECC)

33.1 概要

MBRAM は、2 ビット ECC エラー検出および 1 ビット ECC エラー検出および訂正の ECC 機能を持っています。(注1)ECC モジュールは、32 ビット RAM データに 7 ビット ECC データを付加します。

注 1. ECC モジュールは 3 ビット以上のエラー検出はできません。この場合、ECC モジュールは設定により、1 ビットまたは 2 ビットエラーを検出するか、エラーを検出しないか、または間違っているビットを間違ったデータに訂正します。すべての RAM データが 0 または 1 に固定されている場合、2 ビット ECC エラーとして検出されます。

33.2 レジスタの説明

33.2.1 EC710CTL : ECC コントロールレジスタ

Base address: ECCMBn = 0x4036_F200 + 0x0100 × n (n = 0, 1)
ECCMBn_NS = 0x5036_F200 + 0x0100 × n (n = 0, 1)

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECDEDF0	ECSEDF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	EMCA[1:0]		—	—	ECOVFF	ECER2C	ECER1C	—	—	ECERVF	EC1ECP	EC2EDIC	EC1EDIC	ECER2F	ECER1F	ECEMF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	機能	R/W
0	ECEMF	ECC エラーメッセージフラグ 0: 現在の RAM 出力データにビットエラーはない 1: 現在の RAM 出力データにビットエラーがある	R
1	ECER1F	ECC エラー検出および訂正ステータスフラグ 0: 本ビットクリア後、1 ビットエラー訂正は起きていない 1: 1 ビットエラー発生	R
2	ECER2F	2 ビット ECC エラー検出フラグ 0: 本ビットクリア後、2 ビットエラーは起きていない 1: 2 ビットエラー発生	R
3	EC1EDIC	ECC 1 ビットエラー検出割り込みコントロール 0: 1 ビットエラー検出割り込み要求禁止 1: 1 ビットエラー検出割り込み要求許可	R/W
4	EC2EDIC	ECC 2 ビットエラー検出割り込みコントロール 0: 2 ビットエラー検出割り込み要求禁止 1: 2 ビットエラー検出割り込み要求許可	R/W
5	EC1ECP	ECC 1 ビットエラー訂正許可 0: 1 ビットエラー検出時、エラー訂正を実行する 1: 1 ビットエラー検出時、エラー訂正を実行しない	R/W
6	ECERVF	ECC エラー判定許可フラグ 0: エラー判定禁止 1: エラー判定許可	R/W
8:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	ECER1C	蓄積 ECC エラー検出および訂正フラグクリア 0: 無効 1: 蓄積 ECC エラー検出および訂正フラグをクリア	R/W
10	ECER2C	2 ビット ECC エラー検出フラグクリア 0: 無効 1: 2 ビット ECC エラー検出フラグをクリア	R/W

ビット	シンボル	機能	R/W
11	ECOVFF	ECC オーバーフロー検出フラグ 0: 無効 1: ECC オーバーフロー検出フラグ	R
13:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:14	EMCA[1:0]	ECC モード選択ビットへのアクセスコントロール ECERVF ビットへの書き込みを許可または禁止します。	R/W
16	ECSEDF0	ECC 1 ビットエラーアドレス検出フラグ 0: リセットまたは ECER1F ビットクリア後に EC710EAD0 にビットエラーなし 1: EC710EAD0 にキャプチャされているアドレスが 1 ビットエラーが発生しキャプチャされたことを示す	R
17	ECDEDF0	ECC デュアルビットエラーアドレス検出フラグ 0: リセットまたは ECER2F ビットクリア後に EC710EAD0 にビットエラーなし 1: EC710EAD0 にキャプチャされているアドレスが 2 ビットエラーが発生しキャプチャされたことを示す	R
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

ECEMF ビット（ECC エラーメッセージフラグ）

ECEMF ビットは現在の読み出しデータバスにエラーがあることを示します。本ビットは、RAM 出力データごとに更新されます。

RAM 出力データが不定で ECERVF ビットが 1 の場合、本ビットの値は不定です。

[1 になる条件]

エラー判定が有効で、現在の RAM 出力データにビットエラーがある

[0 になる条件]

- デコーダへの入力データに 1 ビットエラーがない
- ECC エラー判定が無効なとき (ECERVF = 0)

ECER1F ビット（ECC エラー検出および訂正ステータスフラグ）

ECER1F ビットは、エラー判定が有効時、RAM 読み出しで RAM 読み出しデータ[38:0]の一つの部分にビットエラーが検出されたことを示します。

1 ビットエラー割り込み出力が有効時、本フラグの設定でエラー割り込みが発生します。

本ビットは読み出し専用なので、1 や 0 を書いても影響を受けません。

クリア時、ECER1C ビットに 1 を書き込む必要があります。

本ビットがセットされているときは 1 ビットエラーが再度検出されても、割り込みは発生しません。

[1 になる条件]

エラー判定が有効で、RAM 出力データに 1 ビットエラーがあるとき（ECER1C = 1 を書き込まない場合）

[0 になる条件]

- ECER1C = 1 書き込み時
- ECC エラー判定が無効なとき (ECERVF = 0)

ECER2F ビット（2 ビット ECC エラー検出フラグ）

ECER2F ビットは、エラー判定が有効時、RAM 読み出しで RAM 読み出しデータ[38:0]の二つの部分にビットエラーが検出されたことを示します。

2 ビットエラー割り込み出力が有効時、本フラグの設定でエラー割り込みが発生します。

本ビットは読み出し専用なので、1 や 0 を書いても影響を受けません。

クリア時、ECER2C ビットに 1 を書き込む必要があります。

本ビットがセットされているときは 2 ビットエラーが再度検出されても、割り込みは発生しません。

[1 になる条件]

エラー判定が有効で、RAM 出力データに 2 ビットエラーがあるとき（ECER2C = 1 を書き込まない場合）

[0 になる条件]

- ECER2C = 1 書き込み時
- ECC エラー判定が無効なとき (ECERVF = 0)

EC1EDIC ビット（ECC 1 ビットエラー検出割り込みコントロール）

EC1EDIC ビットは、1 ビットエラー検出時の割り込み出力を制御します。本ビットを 1 に設定すると、1 ビットエラー検出時、1 ビットエラー割り込みが出力されます。

EC2EDIC ビット（ECC 2 ビットエラー検出割り込みコントロール）

EC2EDIC ビットは、2 ビットエラー検出時の割り込み出力を制御します。本ビットを 1 に設定すると、2 ビットエラー検出時、2 ビットエラー割り込みが出力されます。

EC1ECP ビット（ECC 1 ビットエラー訂正許可）

EC1ECP ビットは、ECC エラー検出および訂正が有効時、1 ビットエラーの訂正を有効または無効にします。本ビットを 1 に設定すると、1 ビットエラー検出時、訂正されていないデータが出力されます。

ECERVF ビット（ECC エラー判定許可フラグ）

ECERVF ビットを 1 にすることで、エラー判定を有効にします。出力データの訂正および割り込み出力は、EC1ECP ビット、EC2EDIC ビットおよび EC1EDIC ビットに依存します。

EMCA[1:0]の書き込み値が 01b の場合、本ビットへの書き込みは有効です。したがって、本ビットへの書き込みは、16 ビットまたは 32 ビット動作コマンドのみ有効です。

ECER1C ビット（蓄積 ECC エラー検出および訂正フラグクリア）

ECER1C ビットは、ECER1F ビットのステータスフラグをクリアします。

読むと常に 0 が読めます。0 を書き込んでも内部状態に変化はありません。本ビットへの 1 書き込みと ECER1F ビットが競合した場合、前者が優先されます。

ECER1F ビットは、ECER1F ビットが設定されているときに、本ビットに 1 を書き込むことでクリアされます。さらに、オーバーフロー検出フラグ (ECOVFF)、ECC デュアルビットエラーフラグ (ECDEDF0) および ECC シングルビットエラーフラグ (ECSEDF0) もクリアされます。

ECER2C ビット（2 ビット ECC エラー検出フラグクリア）

ECER2C ビットは、ECER2F ビットのステータスフラグをクリアします。

読むと常に 0 が読めます。0 を書き込んでも内部状態に変化はありません。本ビットへの 1 書き込みと ECER2F ビットが競合した場合、前者が優先されます。

ECER2F ビットは、ECER2F ビットが設定されているときに、本ビットに 1 を書き込むことでクリアされます。さらに、オーバーフロー検出フラグ (ECOVFF)、ECC デュアルビットエラーフラグ (ECDEDF0) および ECC シングルビットエラーフラグ (ECSEDF0) もクリアされます。

ECOVFF ビット（ECC オーバーフロー検出フラグ）

エラーアドレスがすでに EC710EAD0 レジスタ内にキャプチャされている場合、新規のエラーアドレスが検出されると ECOVFF ビットがセットされ、オーバーフロー割り込みが出力されます。本ビットがセットされ、新しいエラーが検出されると、オーバーフロー割り込みが再び出力されます。

本ビットは読み出し専用なので、1 や 0 を書いても影響を受けません。

本ビットをクリアするには、ECER2C ビットおよび ECER1C ビットに 1 を書き込む必要があります。

[1 になる条件]

エラーアドレスがすでに EC710EAD0 レジスタ内にキャプチャされているときに新しいエラーアドレスがキャプチャされた場合（ECER2C = 1 または ECER1C = 1 を書き込まない場合）

[0 になる条件]

- ECER2C = 1 または ECER1C = 1 書き込み時
- ECC エラー判定が無効なとき (ECERVF = 0)

EMCA[1:0]ビット（ECC モード選択ビットへのアクセスコントロール）

EMCA[1:0]ビットは、ECERVF ビットへの書き込みトリガ予約ビットです。読むと常に 0 が読めます。これらのビットの値が 01b の場合、ECERVF ビットに書き込み可能です。これらのビットの値が 01b でない場合、ECERVF ビットへの書き込みは無視され、値は書き込まれません。

ECSEDF0 ビット（ECC 1 ビットエラーアドレス検出フラグ）

ECSEDF0 ビットは、エラー検出有効時、エラーがエラーアドレスレジスタにキャプチャされていることを示します。本ビットは、1 ビットエラー検出により設定されます。

2 ビットエラーアドレスがすでに EC710EAD0 レジスタ内にキャプチャされた後に 1 ビットエラーが検出されると、本ビットは更新されず、EC710EAD0 レジスタが更新されます。

本ビットは読み出し専用なので、1 や 0 を書いても影響を受けません。これらのビットをクリアするには、ECER1C ビットに 1 を書き込む必要があります。

[1 になる条件]

エラー判定が許可されているときに、RAM 出力データに 1 ビットエラーがあり、かつエラーアドレスが EC710EAD0 にキャプチャされている場合（ECER1C = 1 を書き込まない場合）

[0 になる条件]

- ECER1C = 1 書き込み時
- ECC エラー判定が無効なとき (ECERVF = 0)

ECDEDF0 ビット（ECC デュアルビットエラーアドレス検出フラグ）

ECDEDF0 ビットは、エラー検出有効時、エラーがエラーアドレスレジスタにキャプチャされていることを示します。本ビットは、2 ビットエラー検出により設定されます。

1 ビットエラーアドレスがすでに EC710EAD0 レジスタ内にキャプチャされた後に 2 ビットエラーが検出されると、本ビットは更新されず、EC710EAD0 レジスタが更新されます。

本ビットは読み出し専用なので、1 や 0 を書いても影響を受けません。これらのビットをクリアするには、ECER2C ビットに 1 を書き込む必要があります。

[1 になる条件]

エラー判定が許可されているときに、RAM 出力データに 2 ビットエラーがあり、かつエラーアドレスが EC710EAD0 にキャプチャされている場合（ECER2C = 1 を書き込まない場合）

[0 になる条件]

- ECER2C = 1 書き込み時
- ECC エラー判定が無効なとき (ECERVF = 0)

33.2.2 EC710TMC : ECC テストモードコントロールレジスタ

Base address: ECCMBn = 0x4036_F200 + 0x0100 × n (n = 0, 1)
ECCMBn_NS = 0x5036_F200 + 0x0100 × n (n = 0, 1)

Offset address: 0x04

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ETMA[1:0]		—	—	—	—	—	—	ECTMCE	—	—	—	—	—	ECDCS	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	ECDCS	ECC デコーダ入力選択 0: デコーダのデータ領域に RAM 出力データの下位 32 ビットを入力する 1: デコーダのデータ領域に EC710TED レジスタの ECEDB31-0 を入力する	R/W
6:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
7	ECTMCE	ECC テストモードコントロール許可 0: テストモードレジスタおよびビットへのアクセスは無効 1: テストモードレジスタおよびビットへのアクセスは有効	R/W
13:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:14	ETMA[1:0]	ECC テストモードビットアクセスコントロール これらのビットは、ECTMCE ビットへの書き込みを有効または無効にします。	R/W

注. S-TYPE-3, P-TYPE-3

ECDCS ビット（ECC デコーダ入力選択）

ECDCS ビットは、デコーダへの入力信号として、RAM からの下位 32 ビットデータ値か内部テストレジスタからの値（EC710TED 内の EDEDB[31:0]）のいずれかを選択します。

ECTMCE = 1 の場合、本ビットへの書き込みは有効です。（それらを同時に設定することも可能です。）

本ビットは、ECTMCE = 0 によりクリアされます。

ECTMCE ビット（ECC テストモードコントロール許可）

ECTMCE ビットは、テストレジスタおよびテストコントロールビットへのアクセス有効または無効を選択します。

ETMA[1:0]ビットの値が 10b の場合、本ビットへの書き込みは有効です。

ETMA[1:0]ビット（ECC テストモードビットアクセスコントロール）

ETMA[1:0]ビットは、ECTMCE ビットへの書き込みトリガ予約ビットです。読むと常に 0 が読めます。これらのビットの値が 10b の場合、ECTMCE ビットに書き込み可能です。これらのビットの値が 10b でない場合、ECTMCE ビットへの書き込みは無視され、値は書き込まれません。

33.2.3 EC710TED : ECC テスト置換データレジスタ

Base address: ECCMBn = 0x4036_F200 + 0x0100 × n (n = 0, 1)
ECCMBn_NS = 0x5036_F200 + 0x0100 × n (n = 0, 1)

Offset address: 0x0C

Bit position:	31																												0
Bit field:	ECEDB[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	ECEDB[31:0]	ECC テスト置換データ ECC テストモードでの置換データ	R/W

注. S-TYPE-3, P-TYPE-3

本レジスタは、ECC デコーダ用の 32 ビットデータ用のレジスタです。ECTMCE = 1 状態での 32 ビット動作コマンドにより読み書きが可能です。ECTMCE = 0 の場合は、すべてのビットが常に 0 です。

ECEDB[31:0]ビット（ECC テスト置換データ）

EC710TMC レジスタの ECDCS が 1 の場合、本レジスタの値は、デコーダへの入力データのビット[31:0]です。

33.2.4 EC710EAD0 : ECC エラーアドレスレジスタ

Base address: ECCMBn = 0x4036_F200 + 0x0100 × n (n = 0, 1)
ECCMBn_NS = 0x5036_F200 + 0x0100 × n (n = 0, 1)

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	ECEAD[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	ECEAD[9:0]	ECC エラーアドレス	R
31:10	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

本レジスタは、ECC エラーが発生したアドレスを保持する読み出し専用レジスタです。

ECEAD[9:0]ビット（ECC エラーアドレス）

ECC エラー判定が許可されている場合に ECC エラーが検出されると、検出信号をトリガとして RAM アドレスがキャプチャされ、エラー発生アドレスとして保持されます。同じ要因で保持されているアドレスに再びエラーが発生するとエラーアドレスはキャプチャされません。

1 ビットエラーアドレスがすでにキャプチャされているときに 2 ビットエラーが発生すると、2 ビットエラーアドレスは上書きされ、ECDEDF0 ビットは 1 になります。

2 ビットエラーアドレスがすでにキャプチャされているときに 1 ビットエラーが発生した場合は、1 ビットエラーアドレスは上書きされず、ECSEDF0 ビットも 1 になりません。

33.3 動作説明

33.3.1 ECC 機能設定

図 33.1 に、ECC 機能設定の手順を示します。

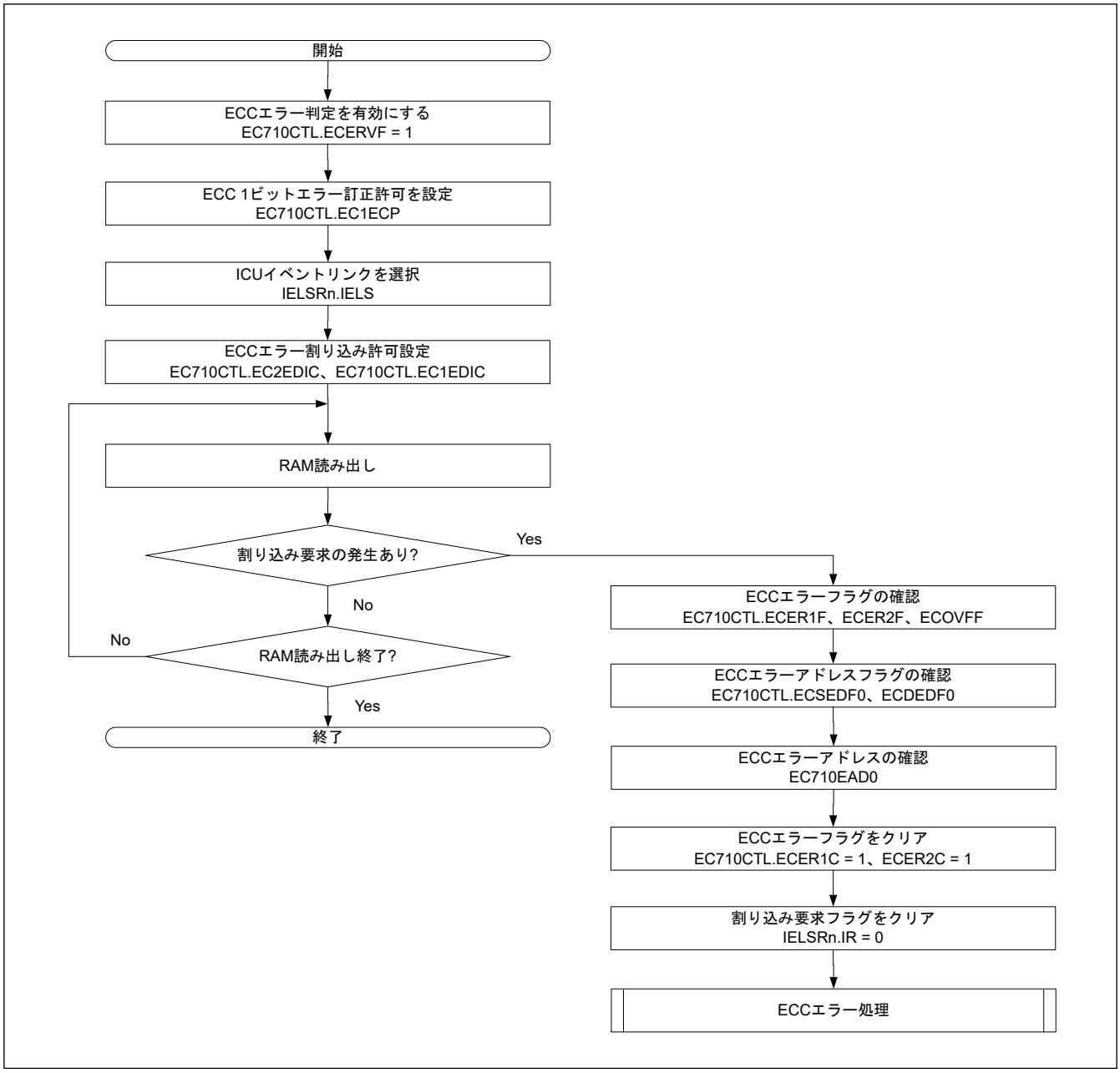


図 33.1 ECC 機能設定手順

33.3.2 ECC デコーダのテスト方法

ECC 割り込みは、ECC テストモードにより意図的に発生させることができます。図 33.2 に、ECC デコーダのテスト手順を示します。

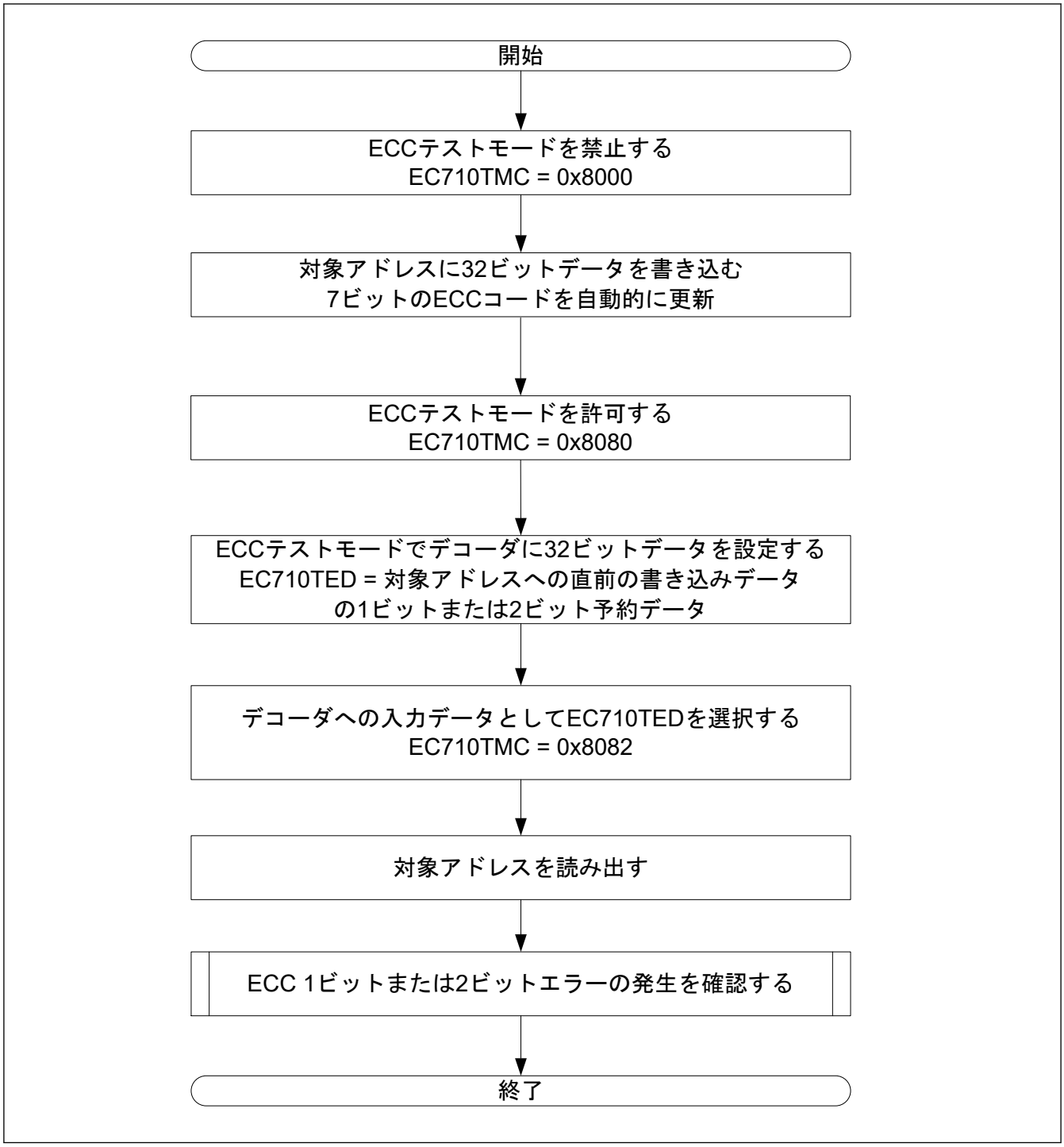


図 33.2 ECC デコーダのテスト手順

33.4 割り込み

ECC モジュールは次の 3 種類の割り込み要求を出します。

- CANn_MRAM_ERI (n = 0, 1)

各割り込み要求の割り込み要因には下記があります。

- 1 ビット ECC エラー
- 2 ビット ECC エラー
- ECC エラーオーバーフロー

34. シリアルペリフェラルインタフェース (SPI)

SPI 周辺モジュールの SPI_B バージョンです。

本章では、SPI_B を SPI と記載します。

34.1 概要

シリアルペリフェラルインタフェース (SPI) には 2 本のチャネルがあります。SPI によって、複数のプロセッサおよび周辺デバイスとの高速な全二重同期式シリアル通信が可能です。表 34.1 に SPI の仕様、図 34.1 に SPI のブロック図、図 34.2 にクロックソースセレクタのブロック図、表 34.2 に入出力端子を示します。

本項に記載している PCLK とは PCLKA を指します。

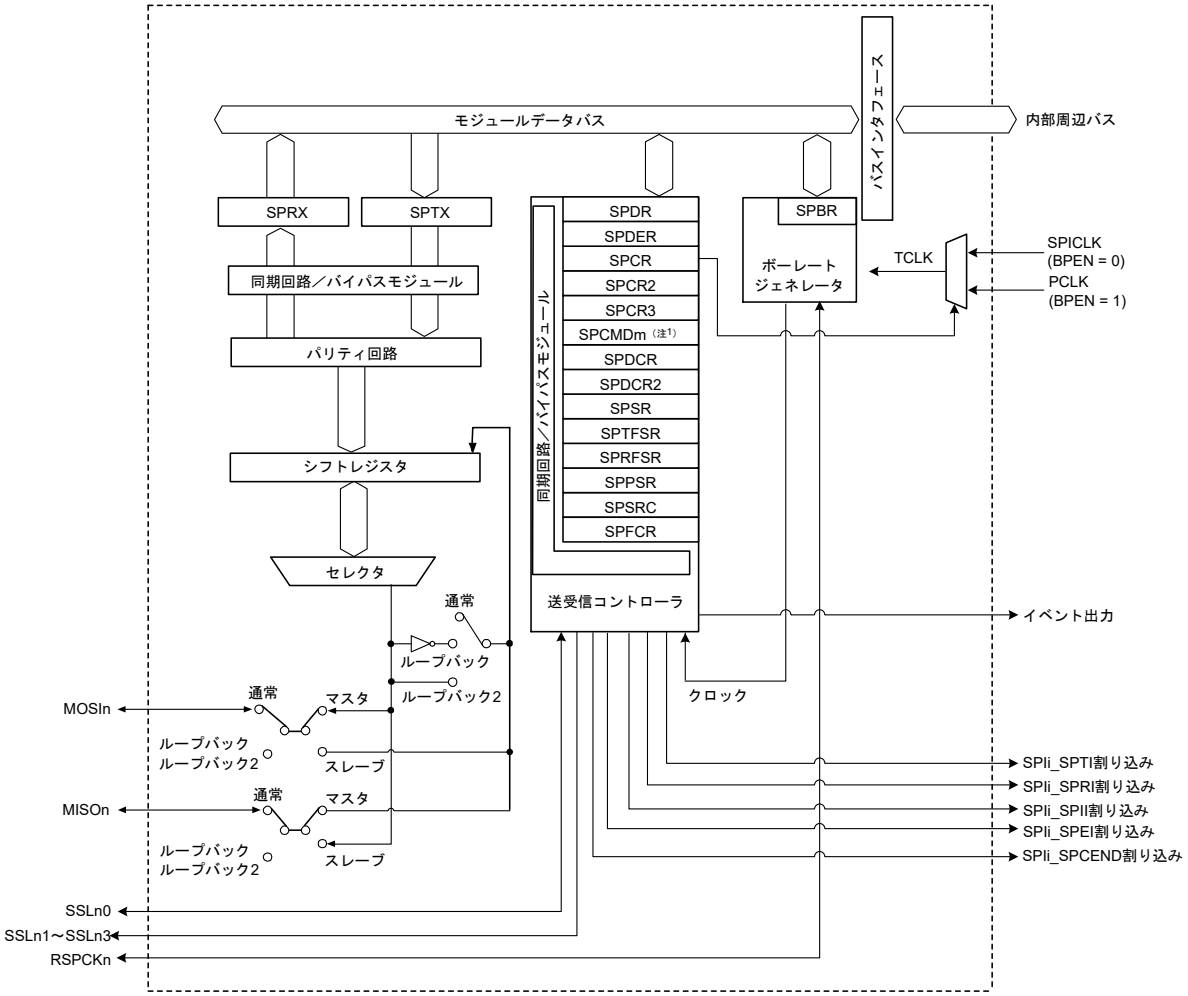
表 34.1 SPI の仕様 (1/2)

項目	内容
チャネル数	2 チャネル
SPI 転送機能	• MOSI (Master Out/Slave In)、MISO (Master In/Slave Out)、SSL (Slave Select)、RSPCK (SPI Clock) の各信号を使用して、SPI 動作（4 線式）またはクロック同期式動作（3 線式）によるシリアル通信が可能 • 送信のみの動作が可能 • 受信のみの動作が可能 • 通信モードを全二重式、送信のみ、受信のみから選択可能 • RSPCK 極性切り替え • RSPCK 位相切り替え
データフォーマット	• MSB ファーストまたは LSB ファーストを選択可能 • 転送ビット長を 4～32 ビットから選択可能 • 送信バッファまたは受信バッファとして 32 ビット×4 ステージ FIFO を使用可能 • バイトスワップ動作機能 • 送受信データは反転可能
動作クロック (TCLK)	同期したクロック (PCLK) と独立したクロック (SPICLK) のどちらかを選択できます。
ビットレート	• マスタモード時、内蔵ボーレートジェネレータで TCLK を分周して RSPCK を生成（分周比は 2～4096 分周） • スレーブモード時は、TCLK の最小 2 分周のクロックを、RSPCK として入力可能（RSPCK の最高周波数は TCLK の 2 分周） High 幅：TCLK の 1 サイクル、Low 幅：TCLK の 1 サイクル
バッファ構成	• 送信および受信バッファはそれぞれダブルバッファ構造
エラー検出	• モードフォルトエラー検出 • アンダーランエラー検出 • オーバーランエラー検出(注1) • パリティエラー検出 • 受信データレディ検出
SSL 制御機能	[Motorola SPI モード/TI SSP モード共通] • 1 チャネルあたり 4 本の SSL 端子 (SSLni: SSLn0～SSLn3) (n = A, B) • シングルマスタモード時、SSLn0～SSLn3 端子は出力 • マルチマスタモード時、SSLn0 端子は入力、SSLn1～SSLn3 端子は出力または未使用 • スレーブモード時、SSLn0 端子は入力、SSLn1～SSLn3 端子は未使用 • 次アクセスの SSL 出力アサートのウェイト（次アクセス遅延）を制御可能 設定範囲：1～8RSPCK 周期（設定単位：1RSPCK 周期） • SSL 極性変更機能 • バースト転送時のフレーム間遅延を設定可能 [Motorola モードのみ] • RSPCK 停止から SSL 出力のネゲートまでの遅延（SSL ネゲート遅延）を制御可能 設定範囲：1～8 RSPCK 周期（設定単位：1 RSPCK 周期） • SSL 出力のアサートから RSPCK 動作までの遅延（RSPCK 遅延）を制御可能 設定範囲：1～8 RSPCK 周期（設定単位：1 RSPCK 周期） [TI SSP モードのみ] • RSPCK 停止から SSL 出力のネゲートまでの遅延（SSL ネゲート遅延）を制御可能 設定範囲：0～8 RSPCK 周期（設定単位：1 RSPCK 周期） • OE 出力のアサートから RSPCK 動作までの遅延（RSPCK 遅延）を制御可能 設定範囲：1～8 RSPCK 周期（設定単位：1 RSPCK 周期）
通信プロトコル	• Motorola SPI • TI SSP（同期式シリアルプロトコル）

表 34.1 SPI の仕様 (2/2)

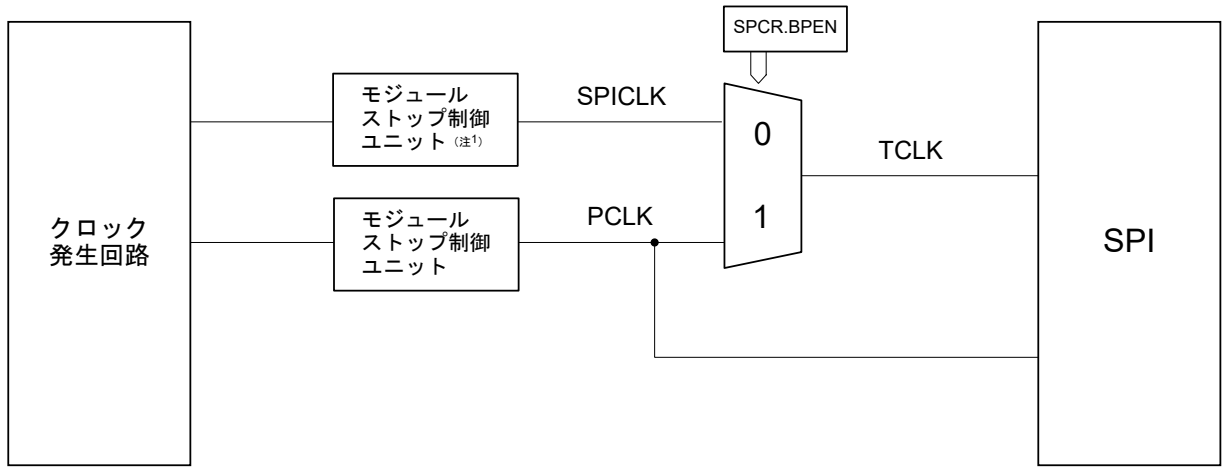
項目	内容
同期バイパス機能	同期回路をバイパスすることができるのは、バスクロック (PCLK) と動作クロック (TCLK) に同じクロックが入力されている場合だけです。
マスタ転送時の制御方式	● 最大 8 コマンドで構成された転送を連続してループ実行可能 ● 各コマンドに以下の項目を設定可能： SSL 信号値、ビットレート、RSPCK 極性と位相、転送データ長、MSB/LSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、および次アクセス遅延 ● 送信バッファへの書き込みによる転送起動 ● SSL ネゲート時の MOSI 信号値を設定可能 ● RSPCK 自動停止機能
割り込み要因	割り込み要因： ● 受信バッファフル／受信データレディ割り込み ● 送信バッファエンプティ割り込み ● SPI エラー割り込み（モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラー、受信データレディ） ● SPI アイドル割り込み（SPI アイドル） ● 通信終了割り込み
イベントリンク機能	以下のイベントをイベントリンクコントローラ (ELC) へ出力可能： ● 受信バッファフル信号／受信データレディ信号 ● 送信バッファエンプティ信号 ● モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラー、または受信データレディ信号 ● SPI アイドル信号 ● 通信終了信号
その他	● CMOS 出力／オープンドレイン出力の切り替え ● SPI 初期化機能 ● ループバックモード ● SPE ビットステータスポーリング機能
モジュールストップ機能	各チャネルをモジュールストップ状態に設定して消費電力の削減が可能
TrustZone フィルタ	各チャネルに対してセキュリティ属性とプリビレッジ属性の設定が可能

注 1. マスタ受信時に RSPCK 自動停止機能が有効な場合は、オーバーランエラーが検出されると転送クロックが停止するため、オーバーランエラーは発生しません。



注. i = 0, 1
注. n = A, B
注 1. m = 0～7

図 34.1 SPI のブロック図



注 1. いずれかの SPI チャネルのモジュールストップ状態が解除されると SPICLK が供給されます。

図 34.2 クロックソースセレクタのブロック図

SSLn0 端子の入出力方向は、SPI が自動的に切り替えます。SSLn0 端子は、SPI がシングルマスタの場合は出力状態、マルチマスタまたはスレーブの場合は入力状態になります。RSPCKn、MOSIn、および MISOn 端子の入出力方向は、マスタ／スレーブ設定と SSLn0 端子の入力レベルに応じて、SPI が自動的に切り替えます。詳細は、「34.3.2. SPI 端子の制御」を参照してください。

表 34.2 SPI の端子構成

チャネル	端子名	入出力	内容
SPI0	RSPCKA	入出力	クロック入出力端子
	SSLA0	入出力	スレーブ選択入出力
	SSLA1～SSLA3	出力	スレーブ選択出力
	MOSIA	入出力	マスタ送信データ入出力
	MISOA	入出力	スレーブ送信データ入出力
SPI1	RSPCKB	入出力	クロック入出力端子
	SSLB0	入出力	スレーブ選択入出力
	SSLB1～SSLB3	出力	スレーブ選択出力
	MOSIB	入出力	マスタ送信データ入出力
	MISOB	入出力	スレーブ送信データ入出力

注. 端子名の表示は、SPI0：「...A」または「...An」、SPI1：「...B」または「...Bn」（n = 0、1、2、または 3）のように示しています。

34.2　レジスタの説明

34.2.1　SPDR : SPI データレジスタ

Base address: SPIn_B = 0x4035_C000 + 0x0100 × n (n = 0, 1)
SPIn_B_NS = 0x5035_C000 + 0x0100 × n (n = 0, 1)

Offset address: 0x00

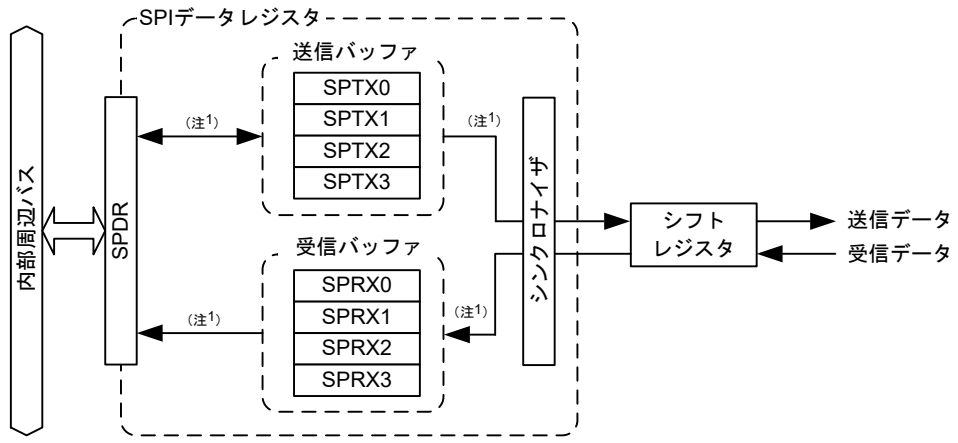
Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SPD[31:16]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SPD[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	SPD[31:0]	このビットは、SPI 送受信用のデータを格納するバッファとのインタフェースです。	R/W

注.　S-TYPE-3、P-TYPE-3

SPDR は、SPI 送受信用のデータを格納するバッファとのインタフェースです。このレジスタにワードでアクセスするとき、SPDR にアクセスします。送信バッファ (SPTX) と受信バッファ (SPRX) は独立したバッファですが、両方とも SPDR レジスタにマッピングされています。図 34.3 に、SPDR レジスタの構成図を示します。



注 1.　接続先バッファとアクセス段は、ハードウェアで自動的に切り替わります。

図 34.3　SPDR の構造

32 ビット × 4 段の送信 FIFO と 32 ビット × 4 段の受信 FIFO が用意されています。合計 8 段の FIFO が SPDR の 1 つのアドレスにマッピングされています。送信するデータを SPDR に書き込むと、そのデータは送信バッファ（SPTXn、n = 0〜3）に書き込まれます。

データの受信完了後、受信バッファに受信されたデータが格納されます。オーバーランエラーが発生した場合、受信バッファのデータは更新されません。

(1)　バスインタフェース

SPI データレジスタには、32 ビット × 4 段の送信 FIFO と、32 ビット × 4 段の受信 FIFO があります（合計 32 バイト）。32 バイトが SPDR の 4 バイト空間にマッピングされています。送信データは LSB ファーストで書き込みます。受信データは LSB ファーストで格納されます。

SPDR レジスタの書き込み操作と読み出し操作を以下に説明します。

1. 書き込み
送信バッファには、送信バッファ書き込みポインタが用意されています。SPDR レジスタへデータを書き込んだとき、ポインタは自動的に次のバッファに切り替わります。次に、送信バッファのバスインタフェース（書き込み）の構造を示します。

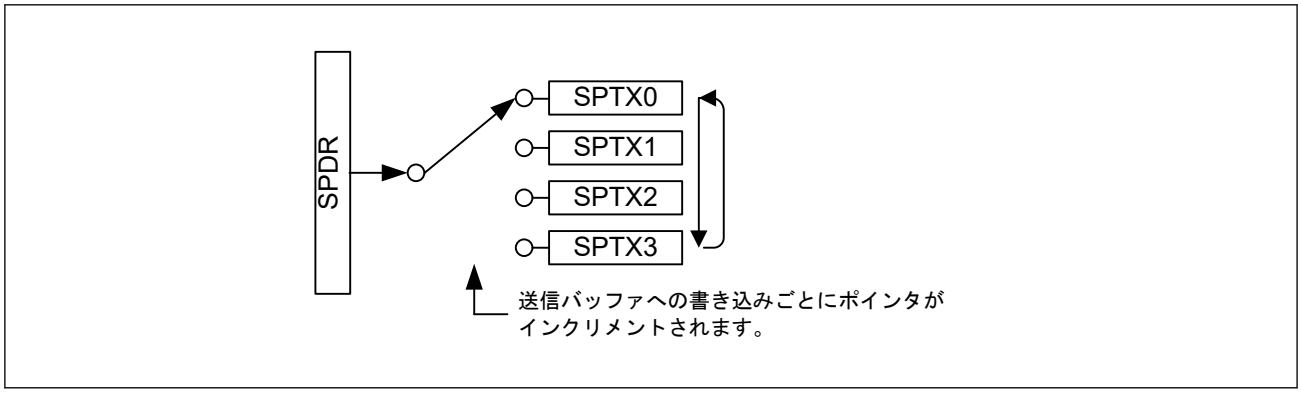


図 34.4 SPDR の構造（書き込み）

送信バッファ（SPTX0～SPTX3）の切り替え順：
SPTX0→SPTX1→SPTX2→SPTX3→SPTX0→SPTX1→…
送信データを送信バッファ (SPTXn) に書き込む場合、SPI 送信バッファエンプティ割り込みが存在するとき (SPSR.SPTEF = 1)、SPI データコントロールレジスタ 2 (SPDCR2.TTRG[1:0]) の送信 FIFO しきい値設定ビットによって指定された送信データフレーム + 1 を書き込みます。送信 FIFO に空の段が存在しない状態で送信バッファ（SPTXn、n = 0～3）を書き込んでも、バッファ値は更新されません。

2. 読み出し
値は SPDR レジスタを読み出すことによって、受信バッファ（SPRXn、n = 0～3）または送信バッファ（SPTXn、n = 0～3）から読み出すことができます。受信バッファの読み出しまたは送信バッファの読み出しは、SPI データコントロールレジスタの SPI 受信データ／送信データ選択ビット (SPDCR.SPRDTD) によって選択できます。
SPDR レジスタは、単独の受信バッファ読み出しポインタおよび送信バッファ読み出しポインタに従って読み出されます。
次に、受信バッファと送信バッファのバスインタフェースの構造（読み出し）を示します。

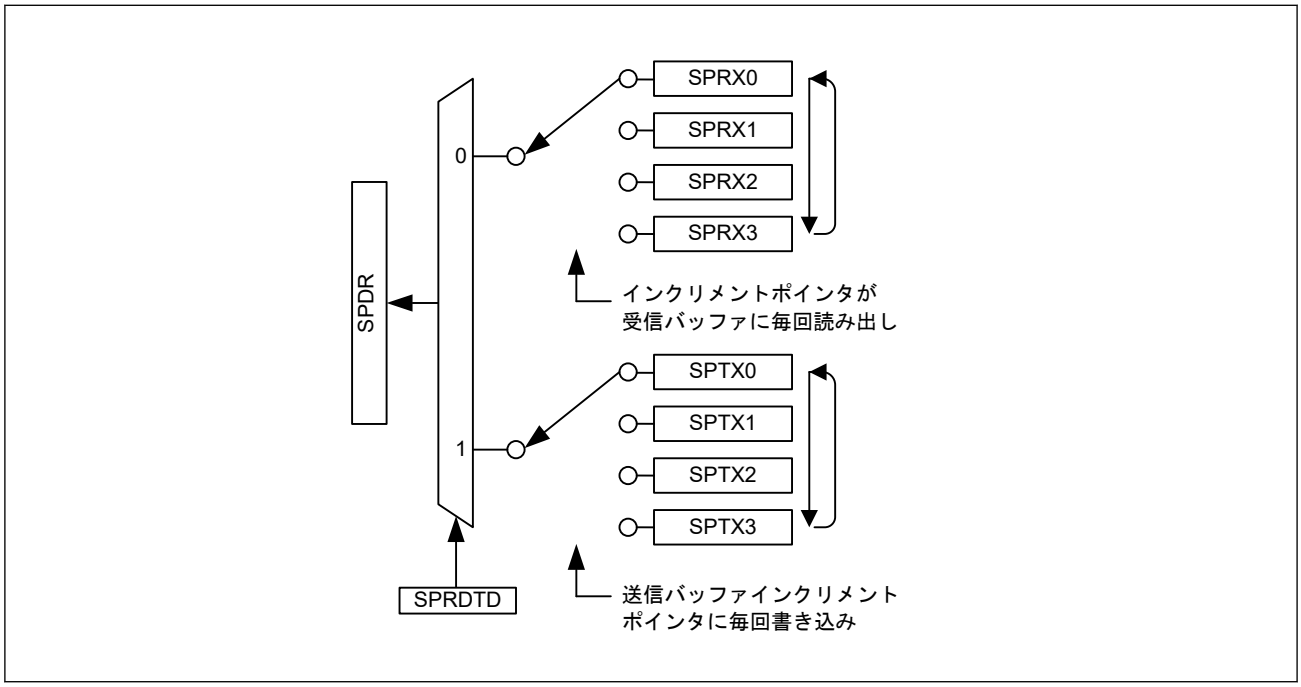


図 34.5 SPDR の構造（読み出し）

受信バッファを読み出すと、受信バッファ読み出しポインタが次のバッファに自動的に切り替わります。受信バッファ読み出しポインタは、送信バッファ書き込みポインタと同じ順序で切り替わります。

送信バッファ書き込みポインタは SPDR 書き込みアクセス中に更新されますが、送信バッファ読み出しアクセス中には更新されません。送信バッファが読み出されるとき、SPDR に最後に書き込まれた値を読み出すことができます。

34.2.2 SPDECR : SPI 遅延コントロールレジスタ

Base address: SPIn_B = 0x4035_C000 + 0x0100 × n (n = 0, 1)
SPIn_B_NS = 0x5035_C000 + 0x0100 × n (n = 0, 1)

Offset address: 0x04

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SPNDL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SLNDL[2:0]			—	—	—	—	—	SCKDL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	SCKDL[2:0]	RSPCK 遅延 0 0 0: 1 RSPCK 0 0 1: 2 RSPCK 0 1 0: 3 RSPCK 0 1 1: 4 RSPCK 1 0 0: 5 RSPCK 1 0 1: 6 RSPCK 1 1 0: 7 RSPCK 1 1 1: 8 RSPCK	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	SLNDL[2:0]	SSL ネゲート遅延 [マスタモード] 0 0 0: 1 RSPCK 0 0 1: 2 RSPCK 0 1 0: 3 RSPCK 0 1 1: 4 RSPCK 1 0 0: 5 RSPCK 1 0 1: 6 RSPCK 1 1 0: 7 RSPCK 1 1 1: 8 RSPCK [スレーブモード時の Motorola-SPI の場合] 0 0 0: 1 RSPCK その他: 設定禁止 [スレーブモード時の TI-SSP の場合] 0 0 0: 1 TCLK 0 0 1: 2 TCLK 0 1 0: 3 TCLK 0 1 1: 4 TCLK 1 0 0: 5 TCLK 1 0 1: 6 TCLK 1 1 0: 7 TCLK 1 1 1: 8 TCLK	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
18:16	SPNDL[2:0]	SPI 次アクセス遅延 0 0 0: 1 RSPCK + 5 TCLK 0 0 1: 2 RSPCK + 5 TCLK 0 1 0: 3 RSPCK + 5 TCLK 0 1 1: 4 RSPCK + 5 TCLK 1 0 0: 5 RSPCK + 5 TCLK 1 0 1: 6 RSPCK + 5 TCLK 1 1 0: 7 RSPCK + 5 TCLK 1 1 1: 8 RSPCK + 5 TCLK	R/W
31:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

SCKDL[2:0]ビット（RSPCK 遅延）

[Motorola-SPI の場合]

RSPCK 遅延ビット (SCKDL) は、SPI コマンドレジスタ (SPCMD) の SCKDEN ビットが 1 の間、SSL 信号アサート開始から RSPCK が発振するまでの期間（RSPCK 遅延）を設定するために使用されます。SPI コントロールレジスタ (SPCR) の MSTR ビットおよび SPE ビットが 1 の状態で SCKDL が修正されると、その後の動作は保証されません。

SPI をスレーブモードで使用するには、SCKDL[2:0]ビットを 000b にしてください。

[TI-SSP の場合]

RSPCK 遅延ビット (SCKDL) は、SPI コマンドレジスタ (SPCMD) の SCKDEN ビットが 1 の間、SSL 信号アサート開始から RSPCK が発振するまでの期間（RSPCK 遅延）を設定するために使用されます。SSL 信号がネゲートされるまでの期間を設定する場合にも使用されます。SPI コントロールレジスタ (SPCR) の MSTR ビットおよび SPE ビットが 1 の状態で SCKDL が修正されると、その後の動作は保証されません。

SPI をスレーブモードで使用するには、SCKDL[2:0]ビットを 000b にしてください。

SLNDL[2:0]ビット（SSL ネゲート遅延）

[Motorola-SPI の場合]

SSL ネゲート遅延ビット (SLNDL) は、SPI コマンドレジスタ (SPCMD) の SLNDEN ビットが 1 の間、マスタモードの SPI がシリアル転送の最終 RSPCK エッジを送信してから SSL 信号をネゲートするまでの期間（SSL ネゲート遅延）を設定するために使用されます。SPI コントロールレジスタ (SPCR) の MSTR ビットおよび SPE ビットが 1 の状態で SLNDL が修正されると、その後の動作は保証されません。

TI-SSP を除き、SPI をスレーブモードで使用するには、SLNDL[2:0]ビットを 000b にしてください。

[TI-SSP の場合]

SSL ネゲート遅延ビット (SLNDL) は、SPI コマンドレジスタ (SPCMD) の SLNDEN ビットが 1 の間、マスタモードの SPI がシリアル転送の最終 RSPCK エッジを送信してから OE 信号をネゲートするまでの期間（OE ネゲート遅延）を設定するために使用されます。また、スレーブモードの SPI がシリアル転送の最終 RSPCK エッジを検出してから OE 信号がネゲートされるまでの期間を設定する場合にも使用されます。SPI コントロールレジスタ (SPCR) の SPE ビットが 1 の状態で SLNDL が修正されると、その後の動作は保証されません。

SPNDL[2:0]ビット（SPI 次アクセス遅延）

SPI 次アクセス遅延レジスタ (SPDECR.SPNDL) は、SPI コマンドレジスタ (SPCMD) の SPNDEN ビットが 1 の間、シリアル転送完了後の SSL 信号非アクティブ期間（次アクセス遅延）を設定するために使用されます。SPI コントロールレジスタ (SPCR) の MSTR ビットおよび SPE ビットが 1 の状態で SPNDL が修正されると、その後の動作は保証されません。

これらのビットは、SPCMD の SPNDEN ビットが 1 のときの次アクセス遅延値を設定するために使用されます。SPI をスレーブモードで使用するには、SPNDL[2:0]ビットを 000b にしてください。

34.2.3 SPCR : SPI コントロールレジスタ

Base address: SPIn_B = 0x4035_C000 + 0x0100 × n (n = 0, 1)
SPIn_B_NS = 0x5035_C000 + 0x0100 × n (n = 0, 1)

Offset address: 0x08

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	BPEN	MSTR	TXMD[1:0]		—	—	SPFRF	SPMS	—	—	CENDIE	SPTIE	SPDRES	SPIIE	SPRIE	SPEIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	MODFEN	BFDS	SCKASE	PTE	—	SPOE	SPPE	—	—	—	—	—	—	—	SPE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SPE	SPI 機能有効 0: SPI 機能は無効 1: SPI 機能は有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	SPPE	パリティ許可 0: パリティビットを送信データに付加しません。 受信データのパリティチェックは実行されません。 1: パリティビットを送信データに付加します。 受信データのパリティチェックが実行されます。	R/W
9	SPOE	パリティモード 0: 送受信用に偶数パリティを使用 1: 送受信用に奇数パリティが使用されます。	R/W
10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	PTE	パリティ自己診断イネーブル 0: パリティ回路自己診断機能は無効 1: パリティ回路自己診断機能は有効	R/W
12	SCKASE	RSPCK 自動停止機能有効 0: RSPCK 自動停止機能は無効 1: RSPCK 自動停止機能は有効	R/W
13	BFDS	バースト転送フレーム間遅延選択 0: バースト転送時、フレーム間に遅延（RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延）を挿入する。 1: バースト転送時にフレーム間の遅延を挿入しない。	R/W
14	MODFEN	モードフォルトエラー検出許可 0: モードフォルトエラー検出禁止 1: モードフォルトエラー検出許可	R/W
15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	SPEIE	SPI エラー割り込み許可 0: SPI エラー割り込み要求を禁止 1: SPI エラー割り込み要求を許可	R/W
17	SPRIE	SPI 受信バッファフル割り込み許可 0: SPI 受信バッファフル割り込み要求を禁止 1: SPI 受信バッファフル割り込み要求を許可	R/W
18	SPIIE	SPI アイドル割り込み許可 0: アイドル割り込み要求禁止 1: アイドル割り込み要求許可	R/W
19	SPDRES	SPI 受信データレディエラー選択 受信データレディが検出されたとき、生成される割り込み要求を選択します。 0: 受信データフル割り込み 1: エラー割り込み	R/W

ビット	シンボル	機能	R/W
20	SPTIE	SPI 送信バッファエンプティ割り込み許可 0: SPI 送信バッファエンプティ割り込み要求を禁止 1: SPI 送信バッファエンプティ割り込み要求を許可	R/W
21	CENDIE	SPI 通信終了割り込み許可 0: 通信終了割り込み要求無効 1: 通信終了割り込み要求有効	R/W
23:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	SPMS	SPI モード選択 0: SPI 動作（4 線式） 1: クロック同期式動作（3 線式）	R/W
25	SPFRF	SPI フレームフォーマット選択 0: Motorola-SPI 1: TI-SSP 注. SPMS = 1（クロック同期式動作（3 線式））のとき、このビットの設定は無効です。	R/W
27:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29:28	TXMD[1:0]	通信モード選択 0 0: 送信／受信 0 1: 送信のみ その他: 受信のみ	R/W
30	MSTR	SPI マスタ／スレーブモード選択 0: スレーブモード 1: マスタモード	R/W
31	BPEN	同期化回路バイパス機能有効 0: 非バイパス 1: バイパス	R/W

注. S-TYPE-3, P-TYPE-3

SPI コントロールレジスタ (SPCR) は、SPI の動作モードを設定するために使用されます。設定された BPEN、MSTR、TXMD[1:0]、SPFRF、SPMS、MODFEN、BFDS、SCKASE、PTE、SPOE、SPPE ビット値が SPE ビットが 1 のときに変更された場合、以降の動作は保証しません。

SPE ビット（SPI 機能有効）

本ビットは SPI 機能の有効または無効を選択します。このビットを 1 にすると、SPI 機能が有効になります。SPI ステータスレジスタ (SPSR) の MODF フラグが 1 の場合、SPE ビットは 0 にクリアされ、MODF フラグが 0 にクリアされるまで SPE ビットは 1 に設定できません。（「34.3.10. エラー検出」を参照してください。）SPE ビットを 0 に設定すると、SPI 機能が無効になり、このモジュール機能の一部が初期化されます。（「34.3.11. SPI の初期化」を参照してください。）

SPPE ビット（パリティ許可）

パリティ機能の有効／無効を選択します。

SPOE ビット（パリティモード）

偶数パリティまたは奇数パリティを指定します。

偶数パリティモードのとき、パリティビットは 1 の合計（パリティビット＋送受信キャラクタ）が偶数になるように決定されます。同じように、奇数パリティモードでは、パリティビットは 1 の合計（パリティビット＋送受信キャラクタ）が奇数になるように決定されます。SPOE ビットは、SPCR の SPPE ビットが 1 の場合のみ有効となります。

PTE ビット（パリティ自己診断イネーブル）

パリティ機能が正常なことを確認するために、パリティ回路の自己診断の有効／無効を選択します。

SCKASE ビット（RSPCK 自動停止機能有効）

RSPCK 自動停止機能の有効／無効を選択します。この機能を有効にした場合、マスタモードでのデータ受信時に、オーバーランエラーが発生する直前に RSPCK クロックが停止します。詳細は、「34.3.10.1. オーバーランエラー」を参照してください。

BFDS ビット（バースト転送フレーム間遅延選択）

バースト転送フレーム間に遅延時間を挿入するかどうかを制御します。

マスタモード (SPCR.MSTR= 1) で、SPCMDn.SSLKP ビットが 1 に設定されたフレームで有効です。

本ビットはスレーブモードで 0 に設定してください。送信フレーム間 SSL 遅延制御の使用方法を以下に示します。詳細は、「34.3.12.1. マスタモード動作」を参照してください。

1. 非バースト転送
2. フレーム間遅延ありバースト転送
   2-1. 最初のフレームから最後の 1 つ手前のフレームまで
   2-2.最後のフレーム
3. フレーム間遅延なしバースト転送
   3-1.最初のフレームから最後の一つ手前のフレームまで
   3-2.最後のフレーム

表 34.3 送信フレーム間 SSL 遅延制御の使用方法（マスタモード）

	SPCMDn.SSLKP ビット	SPCR.BFDS ビット	SSL 遅延制御レジスタ(注1) (RSPCK クロック遅延、SSL ネゲート遅延、次アクセス遅延)
1	0	0	任意値。RSPCK クロック遅延、SSL ネゲート遅延、次アクセス遅延の設定に従い、各遅延の値を制御可能です。
2-1	1	0	
2-1	0	0	
3-1	1	1	任意値。ただし、遅延は以下の場合のみ挿入されます。 ● 最初のフレームの RSPCK クロック遅延 ● 最後のフレームの SSL ネゲート遅延と次アクセス遅延
3-2	0	1	

注 1. 以下のビットの設定値が有効であるかどうかは、SPCMD.SPNDEN ビットの設定値によります。（「34.2.6. SPCMDm : SPI コマンドレジスタ (m = 0～7)」を参照してください。）
SPDECR.SCKDL[2:0]ビット：RSPCK 遅延
SPDECR.SLNDL[2:0]ビット：SSL ネゲート遅延
SPDECR.SPNDL[2:0]ビット：次アクセス遅延

＜設定／動作の例＞（Motorola SPI、BFDS = 1 の場合）

SPCMD0.SSLKP = 1→バースト転送／0 と 1 の間にフレーム間遅延なし（SSL はアクティブのまま）

SPCMD1.SSLKP = 1→バースト転送／1 と 2 の間にフレーム間遅延なし（SSL はアクティブのまま）

SPCMD2.SSLKP = 1→バースト転送／2 と 3 の間にフレーム間遅延なし（SSL はアクティブのまま）

SPCMD3.SSLKP = 1→バースト転送／3 と 4 の間にフレーム間遅延なし（SSL はアクティブのまま）

SPCMD4.SSLKP = 0 → バースト転送しない。SSL をインアクティブにする。（バースト転送しないため、BFDS への設定は無効です）

SPCMD5.SSLKP = 1→バースト転送／5 と 6 の間にフレーム間遅延なし（SSL はアクティブのまま）

SPCMD6.SSLKP = 1→バースト転送／6 と 7 の間にフレーム間遅延なし（SSL はアクティブのまま）

SPCMD7.SSLKP = 0 →バースト転送しない。SSL をインアクティブにする。（バースト転送しないため、BFDS への設定は無効です）

MODFEN ビット（モードフォルトエラー検出許可）

本ビットはモードフォルトエラーの検出を許可または禁止します。（「34.3.10. エラー検出」を参照してください。）
SPI は MODFEN ビットと MSTR ビットの組み合わせに応じて SSL0 端子の入力または出力方向を決定します。（「34.3.2. SPI 端子の制御」を参照してください。）

SPEIE ビット（SPI エラー割り込み許可）

SPI がモードフォルトエラーまたはアンダーランエラーを検出して SPI ステータスレジスタ (SPSR) の MODF フラグを 1 にした場合、オーバーランエラーを検出して SPSR の OVRF フラグを 1 にした場合、またはパリティエラーを検出して SPSR の PERF フラグを 1 にした場合、SPI エラー割り込み要求を許可または禁止します。（「34.3.10. エラー検出」を参照してください。）

SPRIE ビット（SPI 受信バッファフル割り込み許可）

SPI の受信バッファフル割り込み要求を許可または禁止します。

SPIIE ビット（SPI アイドル割り込み許可）

SPI がアイドル状態を検出して SPI ステータスレジスタ (SPSR) の IDLNF フラグを 0 に設定した後、SPI のアイドル割り込み要求を許可または禁止します。

SPDRES ビット（SPI 受信データレディエラー選択）

受信データレディが検出された (SPSR.SPDRF = 1) 場合に、SPIi_SPRI (i = 0, 1) 割り込み要求と SPIi_SPEI (i = 0, 1) 割り込み要求のどちらを使用するかを選択します。

SPTIE ビット（SPI 送信バッファエンプティ割り込み許可）

SPI の送信バッファエンプティ割り込み要求を許可または禁止します。

送信開始時の送信バッファエンプティ割り込み要求は、SPTIE ビットが 1 に設定されたとき以降に SPE ビットを同時に 1 に設定することによって生成されます。SPTIE ビットが 1 のときは、SPI 関数が無効（SPE ビットが 0）でも送信バッファエンプティ割り込みが生成されることに注意してください。

CENDIE ビット（SPI 通信終了割り込み許可）

通信終了割り込み要求の発生を制御します。

SPMS ビット（SPI モード選択）

SPI 動作（4 線式）またはクロック同期式動作（3 線式）を選択します。

クロック同期式動作は、SSL 端子を使用せず、RSPCK、MOSI、MISO の 3 本の端子を用いて通信を行います。SPMS が 1（クロック同期式動作（3 線式））のとき、SPFRF ビットの設定は無効です。

クロック同期式動作をマスタモード (SPCR.MSTR = 1) で実行するには、SPI コマンドレジスタ (SPCMD) の CPHA ビットを 0 または 1 にしてください。クロック同期式動作をスレーブモード (SPCR.MSTR = 0) で実行するには、CPHA ビットを 1 にしてください。このビットが 0 のとき、クロック同期式動作をスレーブモード (SPCR.MSTR = 0) で行う場合、その後の動作は保証されません。

SPI コントロールレジスタ (SPCR) の MSTR ビット、TXMD[1:0]ビット、SPFRF ビット、SPMS ビットの設定に応じた通信ステータスは、次のようになります。

表 34.4　SPI 通信ステータス (1/2)

SPCR.MSTR	SPCR.TXMD[1]	SPCR.TXMD[0]	SPCR.SPFRF	SPCR.SPMS	通信ステータス	通信ステータス番号
1	0	0	0	0	送信／受信マスタ／Motorola SPI／SPI 動作（4 線式）	1-(1)
1	0	0	1	0	送信／受信マスタ／TI-SSP／SPI 動作（4 線式）	1-(2)
1	0	0	—	1	送信／受信マスタ／クロック同期式動作（3 線式）	1-(3)
1	0	1	0	0	送信のみマスタ／Motorola SPI／SPI 動作（4 線式）	1-(4)
1	0	1	1	0	送信のみマスタ／TI-SSP／SPI 動作（4 線式）	1-(5)
1	0	1	—	1	送信のみマスタ／クロック同期式動作（3 線式）	1-(6)
1	1	—	0	0	受信のみマスタ／Motorola SPI／SPI 動作（4 線式）	1-(7)
1	1	—	1	0	受信のみマスタ／TI-SSP／SPI 動作（4 線式）	1-(8)
1	1	—	—	1	受信のみマスタ／クロック同期式動作（3 線式）	1-(9)
0	0	0	0	0	送信／受信スレーブ／Motorola SPI／SPI 動作（4 線式）（デフォルト）	0-(1)
0	0	0	1	0	送信／受信スレーブ／TI-SSP／SPI 動作（4 線式）	0-(2)
0	0	0	—	1	送信／受信スレーブ／クロック同期式動作（3 線式）	0-(3)
0	0	1	0	0	送信のみスレーブ／Motorola SPI／SPI 動作（4 線式）	0-(4)
0	0	1	1	0	送信のみスレーブ／TI-SSP／SPI 動作（4 線式）	0-(5)
0	0	1	—	1	送信のみスレーブ／クロック同期式動作（3 線式）	0-(6)

表 34.4 SPI 通信ステータス (2/2)

SPCR.MSTR	SPCR.TXMD[1]	SPCR.TXMD[0]	SPCR.SPFRF	SPCR.SPMS	通信ステータス	通信ステータス番号
0	1	—	0	0	受信のみスレーブ／Motorola SPI／SPI 動作（4 線式）	0-(7)
0	1	—	1	0	受信のみスレーブ／TI-SSP／SPI 動作（4 線式）	0-(8)
0	1	—	—	1	受信のみスレーブ／クロック同期式動作（3 線式）	0-(9)

SPFRF ビット（SPI フレームフォーマット選択）

本ビットは通信プロトコルを選択します。

SPI 端子のフォーマット（RSPCK、SSL0～7）は、設定された通信プロトコルに応じて設定できます。

SPMS が 1（クロック同期式動作（3 線式））の場合、SSL が使用されないため、このビットは無効です。

TXMD[1:0]ビット（通信モード選択）

送信／受信、送信のみ、受信のみのシリアル通信を選択します。

通信用の TXMD[1:0]が 01 に設定されているとき、受信せずに送信のみが実行されます。

通信用の TXMD[1]が 1 に設定されているとき、送信せずに受信のみが実行されます。

通信用の TXMD[1:0]が 01 に設定されているとき、受信バッファフル割り込み要求は使用できません。

通信用の TXMD[1]が 1 に設定されているとき、送信バッファエンプティ割り込み要求は使用できません。

（「34.3.6. 通信動作モード」を参照してください。）

MSTR ビット（SPI マスタ／スレーブモード選択）

本ビットは SPI のマスタモードまたはスレーブモードを選択します。SPI は、MSTR ビットの設定に応じて、端子 RSPCK、MOSI、MISO、および SSL1～SSL3 の入力／出力方向を決定します。

BPEN ビット（同期化回路バイパス機能有効）

本ビットは同期化回路バイパス機能を有効にするかどうかを選択します。バスクロック (PCLK) が動作クロック (TCLK) としても使用されている場合に、本ビットを 1 にしたときの動作については、図 34.2 を参照してください。

34.2.4 SPCR2 : SPI コントロールレジスタ 2

Base address: SPIn_B = 0x4035_C000 + 0x0100 × n (n = 0, 1)
SPIn_B_NS = 0x5035_C000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SPDRC[7:0]								RMSTTG	RMEDTG	—	RMFM[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	RMFM[4:0]	マスタ受信時専用のフレーム処理回数設定 マスタ受信時のみ、受信フレーム数の調整が可能です 0x00: この機能は未使用(注1) 0x01: 1 つの受信フレームを処理した後、自動的に通信を停止 ⋮ 0x1F: 31 の受信フレームを処理した後、自動的に通信を停止	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
6	RMEDTG	マスタ受信時専用の終了トリガ 1: 受信終了 （マスタ受信時のみ書き込み可能） 読むと常に 0 が読めます	W
7	RMSTTG	マスタ受信時専用の開始トリガ 1: 受信開始 （マスタ受信時のみ書き込み可能） 読むと常に 0 が読めます	W
15:8	SPDRC[7:0]	SPI 受信データ準備検出調整 0x00: 受信データ準備検出機能を禁止 0x01: 受信データ準備判定を 1 TCLK 後に実行 ⋮ 0xFF: 受信データ準備判定を 255 TCLK 後に実行	R/W
16	SPLP	SPI ループバック 0: 通常モード 1: ループバックモード（送信データの反転 = 受信データ）	R/W
17	SPLP2	SPI ループバック 2 0: 通常モード 1: ループバックモード（送信データ = 受信データ）	R/W
19:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	MOIFV	MOSI アイドル固定値 0: MOSI アイドルの固定値 = 0 1: MOSI アイドルの固定値 = 1	R/W
21	MOIFE	MOSI アイドル固定値許可 0: MOSI 出力値は前回転送の採集データ 1: MOSI 出力値は設定された MOIFV ビットの値	R/W
31:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. 「34.3.12.1. マスタモード動作」のソフトウェア処理手順を参照してください。

RMFM[4:0]ビット（マスタ受信時専用のフレーム処理回数設定）

マスタ受信専用で動作時のみ、受信フレーム数の調整が可能です。マスタモード (SPCR.MSTR = 1) および通信動作モード選択ビット (SPCR.TXMD [1:0]) が 10b のときのみ有効です。

マスタモード受信のスタートビットのみ、受信開始後にこのビットに設定された値に従ってフレーム処理を開始した後、自動的に通信を停止します。

SPI コントロールレジスタ (SPCR) の SPE ビットが 1 のときに RMFM[4:0]ビットを書き換えた場合、その後の動作は保証されません。

RMEDTG ビット（マスタ受信時専用の終了トリガ）

このビットは、マスタ受信専用のときに受信を終了するために使用します。マスタモード (SPCR.MSTR = 1) および通信モード選択ビット (SPCR.TXMD [1:0]) が 10b のときのみ有効です。

RMSTTG ビット（マスタ受信時専用の開始トリガ）

このビットは、マスタ受信専用のときに受信を開始するために使用します。マスタモード (SPCR.MSTR = 1) および通信モード選択ビット (SPCR.TXMD [1:0]) が 10b のときのみ有効です。

受信中にこのビットを 1 にすることは受け付けられません。受信が完了した後に再度書き込んでください。

SPDRC[7:0]ビット（SPI 受信データ準備検出調整）

受信データ準備検出機能を禁止できます。使用中の場合は、検出までの期間を 1～255 TCLK に設定できます。

SPDRC [7:0]ビットに設定された値を使用して、SPDRF フラグを 1 にします。詳細は、「34.2.9. SPSR : SPI ステータスレジスタ」で SPDRF の説明を参照してください。

SPE ビットが 1 のときに設定値を変更すると、その後の動作が保証されなくなります。

SPLP ビット（SPI ループバック）

SPLP ビットを 1 にすると、SPI は MISO 端子とシフトレジスタ間の経路を遮断するか（SPI コントロールレジスタの MSTR ビットが 1 の場合）または MOSI 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路値を反転させてから、経路を出力経路に接続します（SPI コントロールレジスタの MSTR ビットが 0 の場合）（ループバックモード）。

SPLP2 ビット（SPI ループバック 2）

SPLP2 ビットを 1 にすると、SPI は MISO 端子とシフトレジスタ間の経路を遮断するか（SPI コントロールレジスタの MSTR ビットが 1 の場合）または MOSI 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路値を反転させずに経路を出力経路に接続します（SPI コントロールレジスタの MSTR ビットが 0 の場合）（ループバックモード）。本ビットと SPLP ビットがともに 1 の場合、本ビットの設定が優先します。

MOIFV ビット（MOSI アイドル固定値）

マスタモードで MOIFE ビットが 1 の場合、本ビットを使用して SSL ネゲート期間（バースト転送における SSL 保持期間を含む）における MOSI 端子の出力値を選択します。

SPI コントロールレジスタ (SPCR) の SPE ビットが 1 の状態で本ビットを変更した場合、その後の動作は保証されません。

MOIFE ビット（MOSI アイドル固定値許可）

本ビットを使用して、マスタモードの SPI が SSL ネゲート期間（バースト転送における SSL 保持期間を含む）における MOSI 出力値を固定します。MOIFE ビットが 0 の場合、SPI は SSL ネゲート期間における前回のシリアル転送の最終データを MOSI に出力します。MOIFE ビットが 1 の場合、SPI は MOIFV ビットの固定値を MOSI に出力します。

SPI コントロールレジスタ (SPCR) の SPE ビットが 1 の状態で本ビットを変更した場合、その後の動作は保証されません。

34.2.5 SPCR3 : SPI コントロールレジスタ 3

Base address: SPIn_B = 0x4035_C000 + 0x0100 × n (n = 0, 1)
SPIn_B_NS = 0x5035_C000 + 0x0100 × n (n = 0, 1)

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	SPSLN[2:0]			—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SPBR[7:0]								—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P
Value after reset:	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SSL0P	SSL0 端子の信号極性 [Motorola-SPI の場合] 0: SSL0 信号がアクティブ Low 1: SSL0 信号がアクティブ High [TI-SSP の場合] 0: SSL0 信号がアクティブ High 1: SSL0 信号がアクティブ Low	R/W
1	SSL1P	SSL1 端子の信号極性 [Motorola-SPI の場合] 0: SSL1 信号がアクティブ Low 1: SSL1 信号がアクティブ High [TI-SSP の場合] 0: SSL1 信号がアクティブ High 1: SSL1 信号がアクティブ Low	R/W

ビット	シンボル	機能	R/W
2	SSL2P	SSL2 端子の信号極性 [Motorola-SPI の場合] 0: SSL2 信号がアクティブ Low 1: SSL2 信号がアクティブ High [TI-SSP の場合] 0: SSL2 信号がアクティブ High 1: SSL2 信号がアクティブ Low	R/W
3	SSL3P	SSL3 端子の信号極性 [Motorola-SPI の場合] 0: SSL3 信号がアクティブ Low 1: SSL3 信号がアクティブ High [TI-SSP の場合] 0: SSL3 信号がアクティブ High 1: SSL3 信号がアクティブ Low	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	SPBR[7:0]	SPI ビットレート	R/W
23:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26:24	SPSLN[2:0]	SPI シーケンス長 0 0 0: シーケンス長 1 (SPCMDn, n = 0 → 0 → …) 0 0 1: シーケンス長 2 (SPCMDn, n = 0 → 1 → 0 → …) 0 1 0: シーケンス長 3 (SPCMDn, n = 0 → 1 → 2 → 0 → …) 0 1 1: シーケンス長 4 (SPCMDn, n = 0 → 1 → 2 → 3 → 0 → …) 1 0 0: シーケンス長 5 (SPCMDn, n = 0 → 1 → 2 → 3 → 4 → 0 → …) 1 0 1: シーケンス長 6 (SPCMDn, n = 0 → 1 → 2 → 3 → 4 → 5 → 0 → …) 1 1 0: シーケンス長 7 (SPCMDn, n = 0 → 1 → 2 → 3 → 4 → 5 → 6 → 0 → …) 1 1 1: シーケンス長 8 (SPCMDn, n = 0 → 1 → 2 → 3 → 4 → 5 → 6 → 7 → 0 → …)	R/W
31:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

SSLiP ビット（SSL 信号極性ビット）

SSL 信号の極性を指定するビットです。SSLiP ビット (i = 0～3) の設定値は、SSLi 信号のアクティブ極性を示します。

SPI コントロールレジスタ (SPCR) の SPE ビットが 1 の状態でいずれかの SSLiP ビットを変更した場合、その後の動作は保証されません。

注. SSL0 は SSL1～SSL3 と異なります。スレーブまたはマルチマスタの場合は、入力として機能します。

詳細は、「34.3.3.2. シングルマスタとシングルスレーブ（MCU はスレーブ）」、および「34.3.3.5. マルチマスタとマルチスレーブ（MCU はマスタ）」を参照してください。

SPBR[7:0]ビット（SPI ビットレート）

SPI ビットレートビット (SPBR) は、マスタモード時のビットレートの設定に使用されます。SPI コントロールレジスタ (SPCR) の MSTR ビットが 1 の状態で SPBR が修正されると、その後の動作は保証されません。

SPI をスレーブモードで使用するときは、SPCMD.BRDV 設定にかかわらず、ビットレートは入力クロックのビットレートに依存します。（電気的特性を満たすビットレートを指定してください。）

ビットレートは、SPBR の設定値と、SPI コマンドレジスタ（SPCMD0～SPCMD7）の BRDV[1:0]ビットの設定値の組み合わせで決まります。

ビットレートは以下の式で計算されます。n は SPBR の設定値（0～255）、N は BRDV[1:0]ビットの設定値（0～3）です。

$$\text{ビットレート} = \frac{f(\text{TCLK})}{2 \times (n+1) \times 2^N}$$

以下の表に、ビットレートと SPBR および BRDV[1:0]の設定値との対応の例を示します。

表 34.5 ビットレートと設定値の対応（例）

SPBR 値 (n)	BRDV 値 (N)	分周比	ビットレート				
			TCLK = 32 MHz	TCLK = 36 MHz	TCLK = 40 MHz	TCLK = 50 MHz	TCLK = 120 MHz
0	0	2	16.0 Mbps	18.0 Mbps	20.0 Mbps	25.0 Mbps	60.0 Mbps
1	0	4	8.00 Mbps	9.00 Mbps	10.0 Mbps	12.5 Mbps	30.0 Mbps
2	0	6	5.33 Mbps	6.00 Mbps	6.67 Mbps	8.33 Mbps	20.0 Mbps
3	0	8	4.00 Mbps	4.50 Mbps	5.00 Mbps	6.25 Mbps	15.0 Mbps
4	0	10	3.20 Mbps	3.60 Mbps	4.00 Mbps	5.00 Mbps	12.0 Mbps
5	0	12	2.67 Mbps	3.00 Mbps	3.33 Mbps	4.16 Mbps	10.0 Mbps
5	1	24	1.33 Mbps	1.50 Mbps	1.67 Mbps	2.08 Mbps	5.0 Mbps
5	2	48	677 kbps	750 kbps	833 kbps	1.04 Mbps	2.5 Mbps
5	3	96	333 kbps	375 kbps	417 kbps	521 kbps	1.25 Mbps
255	3	4096	7.81 kbps	8.80 kbps	9.78 kbps	12.2 kbps	29.3 kbps

SPSLN[2:0]ビット（SPI シーケンス長）

本ビットは、マスタモードの SPI がシーケンス動作を行う際のシーケンス長の設定に使用されます。マスタモード時の SPI は、SPSLN[2:0]ビットで指定されたシーケンス長に応じて、参照する SPI コマンドレジスタ 0～7（SPCMD0～SPCMD7）および参照順序を変更します。詳細は、「34.3.13.1. マスタモード動作」を参照してください。

スレーブモード時の SPI は常に SPCMD0 を参照します。

34.2.6 SPCMDm : SPI コマンドレジスタ (m = 0～7)

Base address: SPIn_B = 0x4035_C000 + 0x0100 × n (n = 0, 1)
SPIn_B_NS = 0x5035_C000 + 0x0100 × n (n = 0, 1)

Offset address: 0x14 + 0x04 × m

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	SSLA[2:0]			—	—	—	SPB[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SCKDEN	SLNDEN	SPNDEN	LSBF	—	—	—	—	SSLKP	—	—	—	BRDV[1:0]		CPOL	CPHA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CPHA	RSPCK 位相 0: データが奇数エッジでサンプリングされ、偶数エッジで変更される 1: データが奇数エッジで変更され、偶数エッジでサンプリングされる	R/W
1	CPOL	RSPCK 極性 0: アイドル状態の RSPCK が 0 1: アイドル状態の RSPCK が 1	R/W
3:2	BRDV[1:0]	ビットレート分周 0 0: 基本ビットレート 0 1: 基本ビットレートの 2 分周 1 0: 基本ビットレートの 4 分周 1 1: 基本ビットレートの 8 分周	R/W
6:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
7	SSLKP	SSL 信号レベル保持 0: すべての SSL 信号が送信終了後にネゲートされる 1: SSL 信号レベルは、送信終了後に次のアクセスが開始するまで保持される	R/W
11:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	LSBF	SPI LSB ファースト 0: MSB ファースト 1: LSB ファースト	R/W
13	SPNDEN	SPI 次アクセス遅延許可 0: 次アクセス遅延は 1 RSPCK + 5 TCLK 1: 次アクセス遅延は SPI 次アクセス遅延の設定値 (SPDECR.SPNDL)	R/W
14	SLNDEN	SSL ネゲート遅延設定許可 0: [マスタ] SSL ネゲート遅延は 1 RSPCK [TI-SSP のスレーブ] SSL ネゲート遅延は 1 TCLK 1: SSL ネゲート遅延はスレーブ選択ネゲート遅延の設定値 (SPDECR.SLNDL)	R/W
15	SCKDEN	RSPCK 遅延設定許可 [Motorola-SPI の場合] 0: RSPCK 遅延は 1 RSPCK 1: RSPCK 遅延は RSPCK 遅延の設定値 (SPDECR.SCKDL) [TI-SSP の場合] 0: RSPCK 遅延は 0 RSPCK 1: RSPCK 遅延は RSPCK 遅延の設定値 (SPDECR.SCKDL)	R/W
20:16	SPB[4:0]	SPI データ長 0x00～0x02：設定禁止 0x03: 4 ビット 0x04: 5 ビット 0x05: 6 ビット ⋮ 0x1E: 31 ビット 0x1F: 32 ビット	R/W
23:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26:24	SSLA[2:0]	SSL 信号アサート 0 0 0: SSL0 0 0 1: SSL1 0 1 0: SSL2 0 1 1: SSL3 その他: 設定禁止	R/W
31:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

SPI には、マスタモードの SPI に対して転送フォーマットを設定するために使用される 8 つの SPI コマンドレジスタ（SPCMD0～SPCMD7）があります。さらに、SPCMD0 の一部のビットは、スレーブモードの SPI に対して転送フォーマットを設定するために使用されます。マスタモードの SPI は、SPI コントロールレジスタ 3 (SPCR3) の SPSLN[2:0]ビットの設定に従って、SPCMD0 から SPCMD7 をシーケンシャルに参照し、参照した SPCMD に指定されているシリアル転送を実行します。

送信バッファがエンプティのとき（次の転送データが設定されていないとき）、SPI は SPCMD を参照することによって送信されるデータを設定する前に SPCMD レジスタを設定します。

マスタモードの SPI によって参照される SPCMD は、SPI ステータスレジスタ (SPSR) の SPCP[2:0]ビットによって指定されます。スレーブモードで SPI が有効 (SPCR.SPE = 1) な状態で SPCMD0 が修正されると、その後の動作は保証されません。

CPHA ビット（RSPCK 位相）

このビットはマスタモード／スレーブモードの SPI の RSPCK 位相を設定するために使用されます。SPI モジュール間のデータ通信を実行するには、同じ RSPCK 位相を両方のモジュールに対して設定する必要があります。

SPCR.SPMS = 0 および SPCR.SPFRF = 1 の場合（TI SSP モード）、CPHA = 0 の設定は無効です。

CPOL ビット（RSPCK 極性）

このビットはマスタモード／スレーブモードの SPI の RSPCK 極性を設定するために使用されます。SPI モジュール間のデータ通信を実行するには、同じ RSPCK 極性を両方のモジュールに対して設定する必要があります。

BRDV[1:0]ビット（ビットレート分周）

このレジスタは、BRDV[1:0]ビットの設定値と SPI ビットレートレジスタ (SPCR3.SPBR) の組み合わせでビットレートを決定するために使用されます。設定した SPBR 値は、ベースとなるビットレートを決定します。設定された BRDV[1:0]ビット値は、分周なし、2 分周、4 分周、8 分周のベースのビットレートを選択するために使用されます。SPCMD0～SPCMD7 により、さまざまな BRDV[1:0]値の設定が有効です。これにより、コマンドごとに異なるビットレートでシリアル転送を実行できます。

SSLKP ビット（SSL 信号レベル保持）

このビットは、マスタモードの SPI がシリアル転送する場合に、現コマンドに対応する SSL ネゲートタイミングから次コマンドに対応する SSL アサーションタイミングの間、現コマンドの SSL 信号レベルを保持するか、ネゲートするかを設定するために使用されます。このビットを 1 に設定すると、SPI 動作マスタモードのバースト転送が可能になります。詳細は、「34.3.12.1. マスタモード動作」を参照してください。

SPI をスレーブモードで使用するためには、SSLKP ビットを 0 にしてください。

LSBF ビット（SPI LSB ファースト）

このビットは、マスタモード／スレーブモードの SPI のデータフォーマットを、MSB ファーストにするか LSB ファーストにするかを設定するために使用されます。

SPNDEN ビット（SPI 次アクセス遅延許可）

このビットは、マスタモードの SPI がシリアル転送を終了して SSL 信号を非アクティブにしてから、次アクセスの SSL 信号アサートを可能にするまでの期間（次アクセス遅延）を設定するために使用されます。SPNDEN ビットが 0 のとき、SPI は次アクセス遅延を 1RSPCK + 5TCLK に設定します。SPNDEN ビットが 1 のとき、SPI は SPI 次アクセス遅延レジスタ (SPDECR.SPNDL) 設定に応じて次アクセス遅延を挿入します。

SPI をスレーブモードで使用するためには、SPNDEN ビットを 0 にしてください。

SLNDEN ビット（SSL ネゲート遅延設定許可）

[Motorola-SPI の場合]

このビットは、マスタモードの SPI が RSPCK の発振を停止してから SSL 信号を非アクティブにするまでの期間（SSL ネゲート遅延）を設定するために使用されます。SLNDEN ビットが 0 のとき、SPI は SSL ネゲート遅延を 1RSPCK に設定します。SLNDEN ビットが 1 のとき、SPI はスレーブ選択ネゲート遅延レジスタ (SPDECR.SLNDL) 設定に応じて、RSPCK 遅延で SSL 信号をネゲートします。

SPI をスレーブモードで使用するためには、SLNDEN ビットを 0 にしてください。

[TI-SSP の場合]

このビットは、マスタモード SPI が RSPCK の発振を停止してから OE 信号を非アクティブ化するまでの期間、またはスレーブモード SPI が RSPCK の最終エッジを検出してから OE 信号をネゲートするまでの期間を設定するために使用されます。SLNDEN ビットが 0 のとき、SSL ネゲート遅延はマスタモードでは 1RSPCK で、スレーブモードでは 1TCLK です。SLNDEN ビットが 1 のとき、SPI はスレーブ選択ネゲート遅延レジスタ (SPDECR.SLNDL) 設定に応じて、RSPCK 遅延で SSL 信号をネゲートします。

SPI を TI SSP 設定以外のスレーブモードで使用する場合は、SLNDEN ビットを 0 にしてください。

SCKDEN ビット（RSPCK 遅延設定許可）

[Motorola-SPI の場合]

このビットは、マスタモードの SPI が SSL 信号をアクティブにしてから、RSPCK を発振するまでの期間（RSPCK 遅延）を設定するために使用されます。SCKDEN ビットが 0 のとき、SPI は RSPCK 遅延を 1RSPCK に設定します。SCKDEN ビットが 1 のとき、SPI は RSPCK 遅延レジスタ (SPDECR.SCKDL) 設定に応じて、RSPCK 遅延で RSPCK 発振を開始します。

SPI をスレーブモードで使用するためには、SCKDEN ビットを 0 にしてください。

[TI-SSP の場合]

このビットは、マスタモードの SPI によって、SSL 信号のアサートの開始から RSPCK 発振までの期間（RSPCK 遅延）、および SSL 信号のネゲートまでの期間を設定します。SCKDEN ビットが 0 のとき、SPI は RSPCK 遅延を設定しません。SCKDEN ビットが 1 のとき、SPI は RSPCK 遅延レジスタ (SPDECR.SPCKDL) 設定に応じて、RSPCK 遅延で RSPCK 発振を開始します。

SPI をスレーブモードで使用するためには、SCKDEN ビットを 0 にしてください。

SPB[4:0]ビット（SPI データ長）

これらのビットはマスタモード／スレーブモードの SPI の転送データ長を設定するために使用されます。

SSLA[2:0]ビット（SSL 信号アサート）

これらのビットは、シリアル転送を実行するために、マスタモードで SPI の SSL 信号アサートを制御するために使用されます。設定された SSLA[2:0]ビット値は、SSL3 から SSL0 の信号のアサートを制御します。SSL 信号がアサートされたときの信号極性は、SPI スレーブ選択極性レジスタ (SPCR3.SSLiP) の設定値によって異なります。マルチマスタモードで SSLA[2:0]ビットを 000b にした場合、全 SSL 信号がネゲート状態でシリアル転送が実行されます（SSL0 端子が入力になるためです）。

SPI をスレーブモードで使用するためには、SSLA[2:0]を 000b にしてください。

34.2.7 SPDCR : SPI データコントロールレジスタ

Base address: SPIn_B = 0x4035_C000 + 0x0100 × n (n = 0, 1)
SPIn_B_NS = 0x5035_C000 + 0x0100 × n (n = 0, 1)

Offset address: 0x40

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SPFC[1:0]		—	—	—	SINV	SPRDTD	—	—	BYSW
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BYSW	バイトスワップ動作モード選択 0: バイトスワップ OFF 1: バイトスワップ ON	R/W
2:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	SPRDTD	SPI 受信データ／送信データ選択 0: SPDR が受信バッファを読み出し 1: SPDR が送信バッファを読み出し	R/W
4	SINV	シリアルデータ反転ビット 0: シリアルデータ反転なし 1: シリアルデータ反転あり	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	SPFC[1:0]	フレーム数 0 0: 1 フレーム 0 1: 2 フレーム 1 0: 3 フレーム 1 1: 4 フレーム	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

SPI データコントロールレジスタ (SPDCR) はデータフォーマットを制御します。

SPE ビットが 1 のときにこのレジスタ設定値を変更すると、その後の動作が保証されなくなります。

BYSW ビット（バイトスワップ動作モード選択）

本ビットは、送受信データのバイト単位スワップの設定をする設定ビットです。バイトスワップ後のデータは、指定のデータ長だけ異なります（SPCMD.SPB[4:0]の設定）。

バイトスワップ時、データ長（SPB[4:0]ビットの設定）は 32 ビットか 16 ビットでなければなりません。他のデータ長（すなわち 4～15、17～31 ビット長）のケースでは、バイトスワップ動作は保証されません。32 ビットまたは 16 ビットのデータ長でスワッピングを行った場合、その前後のデータ配列については「34.3.4.3. バイトスワップ送信」と「34.3.4.4. バイトスワップ受信」を参照してください。

パリティ機能を有効に設定すると、動作は保証されません。

SPRDTD ビット（SPI 受信データ／送信データ選択）

このビットは、受信バッファまたは送信バッファのどちらから SPI データレジスタ (SPDR) の値を読み出すかを選択するために使用します。

送信バッファから読み出す場合は、直前に SPDR に書き込まれた値が読み出されます。

SINV ビット（シリアルデータ反転ビット）

本ビットは、送信データと受信データの反転に使用します。

SINV ビットが 1 に設定されるとき、送信バッファ (SPTX) データは送信データと受信データを反転するために反転されます。それから、反転したデータを受信バッファに格納します。パリティビットは、反転した送受信データに対応した値になります。

SPFC[1:0]ビット（フレーム数）

スレーブ受信専用モードで CENDF フラグをセットする条件のために使用します。

CENDF フラグ設定条件の詳細については、「34.2.9. SPSR : SPI ステータスレジスタ」を参照してください。

このビットはスレーブ受信専用モード以外では無効です。

34.2.8 SPDCR2 : SPI データコントロールレジスタ 2

Base address: SPIn_B = 0x4035_C000 + 0x0100 × n (n = 0, 1)
SPIn_B_NS = 0x5035_C000 + 0x0100 × n (n = 0, 1)

Offset address: 0x44

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TTRG[1:0]		—	—	—	—	—	—	RTRG[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	RTRG[1:0]	受信 FIFO スレッショルド設定 0 0: スレッショルド 0 0 1: スレッショルド 1 1 0: スレッショルド 2 1 1: スレッショルド 3	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	TTRG[1:0]	送信 FIFO スレッショルド設定 0 0: スレッショルド 0 0 1: スレッショルド 1 1 0: スレッショルド 2 1 1: スレッショルド 3	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

SPI データコントロールレジスタ 2 (SPDCR2) は FIFO しきい値を制御します。SPE ビットが 1 のときにこのレジスタ設定値を変更すると、その後の動作は保証されません。

RTRG[1:0]ビット (受信 FIFO スレッショルド設定)

受信 FIFO のスレッショルドを設定します。

受信 FIFO に格納されたデータの数が RTRG[1:0]によって設定されたフレーム数より大きい場合は、受信バッファフルフラグがセットされます。

TTRG[1:0]ビット（送信 FIFO スレッショルド設定）

送信 FIFO のしきい値を設定します。

送信 FIFO 内の空き段数が TTRG[1:0]で設定したフレーム数より多い場合は、送信バッファエンプティフラグが設定されます。

34.2.9 SPSR : SPI ステータスレジスタ

Base address: SPIn_B = 0x4035_C000 + 0x0100 × n (n = 0, 1)
SPIn_B_NS = 0x5035_C000 + 0x0100 × n (n = 0, 1)

Offset address: 0x50

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SPRF	CENDF	SPTEF	UDRF	PERF	MODF	IDLNF	OVRF	SPDRF	—	—	—	—	—	—	—
Value after reset:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	SPECM[2:0]			—	SPCP[2:0]			—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R
10:8	SPCP[2:0]	SPI コマンドポインタ 0 0 0: SPCMD0 0 0 1: SPCMD1 0 1 0: SPCMD2 0 1 1: SPCMD3 1 0 0: SPCMD4 1 0 1: SPCMD5 1 1 0: SPCMD6 1 1 1: SPCMD7	R
11	—	読むと 0 が読めます。書く場合、0 としてください。	R
14:12	SPECM[2:0]	SPI エラーコマンド 0 0 0: SPCMD0 0 0 1: SPCMD1 0 1 0: SPCMD2 0 1 1: SPCMD3 1 0 0: SPCMD4 1 0 1: SPCMD5 1 1 0: SPCMD6 1 1 1: SPCMD7	R
22:15	—	読むと 0 が読めます。書く場合、0 としてください。	R
23	SPDRF	SPI 受信データレディフラグ 0: 受信データレディ未検出 1: 受信データレディ検出	R
24	OVRF	オーバーランエラーフラグ 0: オーバーランエラーなし 1: オーバーランエラーあり	R

ビット	シンボル	機能	R/W
25	IDLNF	SPI アイドルフラグ 0: SPI がアイドル状態 1: SPI が転送状態	R
26	MODF	モードフォルトエラーフラグ 0: モードフォルトエラーもアンダーランエラーもなし 1: モードフォルトエラーまたはアンダーランエラーあり	R
27	PERF	パリティエラーフラグ 0: パリティエラーなし 1: パリティエラーあり	R
28	UDRF	アンダーランエラーフラグ 0: MODF = 0 のときは、モードフォルトエラーもアンダーランエラーもなし MODF = 1 のときは、モードフォルトエラーあり 1: MODF = 0 のときは、モードフォルトエラーもアンダーランエラーもなし MODF = 1 のときは、アンダーランエラーあり	R
29	SPTEF	SPI 送信バッファエンプティフラグ 0: 送信 FIFO 内の空の段数 ≦ SPDCR2.TTRG に設定された値 1: 送信 FIFO 内の空の段数 > SPDCR2.TTRG に設定された値	R
30	CENDF	通信終了フラグ 0: SPI 通信なし、または通信中 1: SPI 通信終了	R
31	SPRF	SPI 受信バッファフルフラグ 0: 受信 FFO 内に格納されているデータ数 ≦ SPDCR2.RTRG ビットにより設定されたフレーム数 1: 受信 FFO 内に格納されているデータ数 > SPDCR2.RTRG ビットにより設定されたフレーム数	R

注. S-TYPE-3, P-TYPE-3

SPI ステータスレジスタ (SPSR) は、SPI の動作ステータスを示すフラグを格納します。

SPCP[2:0]ビット（SPI コマンドポインタ）

これらのビットは、SPI シーケンス制御の最新ポインタによって示される SPI コマンドレジスタ 0～7（SPCMD0～SPCMD7）を示します。SPI シーケンス制御の詳細については、「34.3.13.1. マスタモード動作」を参照してください。

SPECM[2:0]ビット（SPI エラーコマンド）

これらのビットは、SPI シーケンス制御でエラーが検出されたときに SPI シーケンス制御のコマンドポインタ（SPCP[2:0]ビット）によって示される、SPI コマンドレジスタ 0～7（SPCMD0～SPCMD7）を示します。SPI は、エラー検出時にのみ SPECM[2:0]ビットの値を更新します。エラーがないときは（SPSR の OVRF、MODF、および PERF フラグが 0）、SPECM[2:0]ビットの値に意味はありません。SPI のエラー検出機能については、「34.3.10. エラー検出」を参照してください。SPI のシーケンス制御については、「34.3.13.1. マスタモード動作」を参照してください。

SPDRF ビット（SPI 受信データレディフラグ）

通信時に (SPCR.SPE = 1)、「受信 FIFO 内のデータ数 ≦ 受信 FIFO 閾値」の状態で一定の時間が経過したことを示します。

受信動作が行われないときは (SPCR.TXMD[1:0] = 01b)、このビットが 0 に設定されます。

[1 になる条件]

次の 2 つの条件がすべて満たされたとき

- SPCR2.SPDRC[7:0] ≠ 0x00
- 受信 FIFO への書き込み後に、「受信 FIFO に格納されたデータ数 ≦ 受信 FIFO 閾値」の条件が満たされ、かつ SPDRC[7:0]に設定された値が経過したとき

[0 になる条件]

- SPSRC.SPDRFC ビットに 1 を書いたとき

OVRF ビット（オーバーランエラーフラグ）

本フラグは、オーバーランエラーの有無を示します。マスタモード (SPCR.MSTR = 1) で RSPCK クロック自動停止機能が有効になっている場合 (SPCR.SCKASE = 1) オーバーランエラーは発生しないので、このフラグが 1 になることはありません。詳細は、「34.3.10.1. オーバーランエラー」を参照してください。

[1 になる条件]

次の 2 つの条件のいずれかにおいて、FIFO 段数に対応するデータが受信 FIFO に格納された状態で、シリアル転送が完了したとき

- SPCR.TXMD[1:0] = 00b（送受信モード）
- SPCR.TXMD[1:0] = 10b（受信専用）

[0 になる条件]

- SPSRC.OVRFC ビットに 1 を書いたとき

IDLNF ビット（SPI アイドルフラグ）

本フラグは SPI の転送状況を示します。

[1 になる条件]

[送受信、送信専用マスタモード]

- 以下の 0 になる条件（送受信、送信専用マスタモード）が満たされなかったとき

[受信専用マスタモード]

- SPCR2 の RMSTTG に 1 を書いたとき

[スレーブモード]

- SPCR.SPE ビットが 1（SPI 機能が有効）のとき

[0 になる条件]

通信ステータス：1-(1)～(6) *通信ステータスの詳細については、表 34.4 を参照してください。

[送受信、送信専用マスタモード]

以下の 2 つの条件のいずれかを満たしたとき

- SPCR.SPE ビットが 0（SPI 初期化）
- 以下の 3 つの条件をすべて満たしたとき
  - 次の転送データが送信バッファ内にセットされていないとき (SPTXn, n = 0～3)
  - SPSR.SPCP ビットが 000b（シーケンス制御開始時）
  - 次のアクセス遅延までに動作が完了したとき（マスタメインステートマシンがアイドル状態に遷移したとき）

[受信専用マスタモード]

通信ステータス：1-(7)～(9)

以下の 2 つの条件のいずれかを満たしたとき

- SPCR.SPE ビットが 0（SPI 初期化）
- 以下の 3 つの条件のいずれかを満たしたとき
  RMFM[4:0] = 0x00 で RMEDTG に 1 を書いた後、次のアクセス遅延までに動作が完了したとき（マスタメインステートマシンがアイドル状態に遷移したとき）
  RMFM[4:0] ≠ 0x00 で RMEDTG に 1 を書いた後、次のアクセス遅延までに動作が完了したとき（マスタメインステートマシンがアイドル状態に遷移したとき）
  RMFM[4:0] ≠ 0x00 において、RMFM[4:0]で設定した受信フレーム数に対して処理完了後、次のアクセス遅延までに動作が完了したとき（マスタメインステートマシンがアイドル状態に遷移したとき）

[スレーブモード]

通信ステータス：0-(1)～(9)

- SPCR.SPE ビットが 0（SPI 初期化）

MODF ビット（モードフォルトエラーフラグ）

本フラグは、モードフォルトエラーまたはアンダーランエラーの有無を示します。UDRF フラグを確認すれば、どのエラー（モードフォルトエラーまたはアンダーランエラー）が発生したのかが分かります。

[1 になる条件]

[マルチマスタモード]

- SPCR.MSTR = 1（マスタモード）で SPCR.MODFEN = 1（モードフォルトエラー検出許可）のときに SSL0 端子の入力レベルがアクティブレベルになり、その後に SPI がモードフォルトエラーを検出した場合

[スレーブ、Motorola-SPI モード]

以下の 2 つの条件のいずれかを満たしたとき

- SPCR.MSTR = 0（スレーブモード）、SPCR.SPFRF = 0 (Motorola-SPI)、SPCR.MODFEN = 1（モードフォルトエラー検出許可）の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSL0 端子がネゲートされ、その後に SPI がモードフォルトエラーを検出した場合
- SPCR.SPE = 1（SPI 機能が有効）の状態で、送信データ出力がレディ状態になる前にシリアル転送が開始され、その後に SPI がアンダーランエラーを検出した場合

[スレーブ、TI-SSP モード]

以下の 2 つの条件のいずれかを満たしたとき

- SPCR.MSTR = 0（スレーブモード）、SPCR.SPFRF = 1 (TI-SSP)、SPCR.MODFEN = 1（モードフォルトエラー検出許可）の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSL0 端子がアサートされ、その後に SPI がモードフォルトエラーを検出した場合
- SPCR.SPE = 1（SPI 機能が有効）の状態で、送信データ出力がレディ状態になる前にシリアル転送が開始され、その後に SPI がアンダーランエラーを検出した場合

SSL 信号のアクティブレベルは、SPCR3.SSLiP ビット（SSL 信号極性ビット）によって異なります。

[0 になる条件]

- SPSRC.MODFC ビットに 1 を書いたとき

PERF ビット（パリティエラーフラグ）

本フラグは、パリティエラーの有無を示します。

[1 になる条件]

次の 2 つの条件うちのいずれかにおいて、SPCR.SPPE ビットが 1 に設定された状態でシリアル転送が終了して、パリティエラーが検出されたとき

- SPCR.TXMD[1:0] = 00b（送受信マスタモードまたは送受信スレーブモード）
- SPCR.TXMD[1:0] = 10b（受信専用マスタモードまたは受信専用スレーブモード）

[0 になる条件]

- SPSRC.PERFC ビットに 1 を書いたとき

UDRF ビット（アンダーランエラーフラグ）

本フラグは、モードフォルトエラーまたはアンダーランエラーがあることを示します。

[1 になる条件]

- SPCR.MSTR = 0、SPCR.TXMD[1:0] = 00b または 01b（送受信スレーブモードまたは送信専用スレーブモード）、SPCR.SPE = 1（SPI 機能有効）のとき、送信データ出力がレディになる前にシリアル転送が開始され、SPI がアンダーランエラーを検出したとき

[0 になる条件]

- SPSRC.UDRFC ビットに 1 を書いたとき

SPTEF ビット（SPI 送信バッファエンプティフラグ）

本フラグは、SPI データレジスタ (SPDR) の送信バッファ (SPTX) のステータスを示します。

[1 になる条件]

以下の 3 つの条件のいずれかを満たしたとき

- SPE ビットを 0 にしたとき（SPI 初期化）
- 「エンプティの送信 FIFO 段数 > SPDCR2.TTRG[1:0]の設定値」のとき
- SPFCR.SPFRST に 1 を書いたとき

[0 になる条件]

以下の 2 つの条件のいずれかを満たしたとき

- DTC/DMAC を使い 1 つの処理ルーチンで転送データを SPDR (SPTXn, n = 0〜3) へ書き込む際の最終アクセス時
- SPSRC.SPTEFC ビットに 1 を書いたとき

SPDR レジスタへ値を書き込むことができるのは、SPTEF = 1 の場合に限られます。SPTEF = 0 のときに SPDR レジスタに値を書き込んだ場合、送信バッファデータは更新されません。

CENDF ビット（通信終了フラグ）

本フラグは、SPI の通信終了ステータスを示します。通信終了時に 1 となり、次の通信開始時に 0 となります。

[1 になる条件]

[送受信、送信専用マスタモード]

通信ステータス：1-(1)〜(6) *通信ステータスの詳細については、表 34.4 を参照してください。

以下の 3 つの条件を満たしたとき

- 次の転送データが送信バッファ (SPTXn, n = 0〜3) 内にセットされていない
- SPSR.SPCP[2:0]ビットが 000b（シーケンス制御の先頭を意味する）
- 次のアクセス遅延までの動作が完了しているとき（マスタメインステートマシンがアイドル状態に遷移した）

[受信専用マスタモード]

通信ステータス：1-(7)〜(9)

以下の 3 つの条件のいずれかを満たしたとき

- RMFM[4:0] = 0x00 で RMEDTG に 1 を書いた後、次のアクセス遅延までに動作が完了したとき（マスタメインステートマシンがアイドル状態に遷移したとき）
- RMFM[4:0] ≠ 0x00 で RMEDTG に 1 を書いた後、次のアクセス遅延までに動作が完了したとき（マスタメインステートマシンがアイドル状態に遷移したとき）
- RMFM[4:0] ≠ 0x00 において、RMFM[4:0]で設定した受信フレーム数に対して処理完了後、次のアクセス遅延までに動作が完了したとき（マスタメインステートマシンがアイドル状態に遷移したとき）

[SPI シリアル通信（4 ワイヤ：SPCR.SPMS = 0）時の送受信、送信専用スレーブモード、Motorola-SPI モード]

通信ステータス：0-(1), (4)

以下の 3 つの条件を満たしたとき

- 次の転送データが送信バッファ内にセットされていない
- 送信シフトレジスタがエンプティである（SPI がシリアル転送をしないことを意味する）
- SSL0 がネゲートされた

[SPI シリアル通信（4 ワイヤ：SPCR.SPMS = 0）時の送受信、送信専用スレーブモード、TI-SSP モード]

通信ステータス：0-(2), (5)

以下の 3 つの条件を満たしたとき

- 次の転送データが送信バッファ内にセットされていない
- 送信シフトレジスタがエンプティである（SPI がシリアル転送をしないことを意味する）
- SSL0 ネゲート遅延が終了したとき

[クロック同期（3 ワイヤ：SPCR.SPMS = 1）時の送受信、送信専用スレーブモード]

通信ステータス：0-(3), (6)

以下の 3 つの条件を満たしたとき

- 次の転送データが送信バッファ内にセットされていない
- 送信シフトレジスタがエンプティである（SPI がシリアル転送をしないことを意味する）
- フレームの RSPCK の最終偶数エッジを検出した（SPCMD.CPHA ビットが 1 のとき）

[SPI シリアル通信（4 ワイヤ：SPCR.SPMS = 0）時の受信専用スレーブモード、Motorola-SPI モード]

通信ステータス：0-(7)

以下の条件を満たしたとき

- 受信バッファ内の SPDCR.SPFC 設定値用フレームを取得後に SSL0 入力がネゲートされた。

[SPI シリアル通信（4 ワイヤ：SPCR.SPMS = 0）時の受信専用スレーブモード、TI-SSP モード]

通信ステータス：0-(8)

以下の条件を満たしたとき

- 受信バッファ内の SPDCR.SPFC 設定値用フレームを取得後に SSL0 ネゲート遅延が終了した。

[クロック同期（3 ワイヤ：SPCR.SPMS = 1）時の受信専用スレーブモード]

通信ステータス：0-(9)

以下の条件を満たしたとき

- SPFC 用に受信した最終フレームの RSPCK の最終偶数エッジが値を設定。（SPCMD.CPHA ビットが 1 のとき）

[0 になる条件]

[送受信、送信専用マスタモード]

通信ステータス：1-(1)～(6)

以下の 2 つの条件のいずれかを満たしたとき

- 次の送信データが送信バッファ (SPTX) に書かれたとき
- SPSRC.CENDFC ビットに 1 を書いたとき

[受信専用マスタモード]

通信ステータス：1-(7)～(9)

以下の 2 つの条件のいずれかを満たしたとき

- SPE = 1 の状態で SPCR2.RMSTTG ビットに 1 を書いたとき
- SPSRC.CENDFC ビットに 1 を書いたとき

[送受信、送信専用スレーブモード]

通信ステータス：0-(1)～(6)

以下のいずれかの条件を満たしたとき

- 次の送信データが送信バッファ (SPTX) に書かれたとき
- SPSRC.CENDFC ビットに 1 を書いたとき

[SPI シリアル通信（4 ワイヤ：SPCR.SPMS = 0）時の受信専用スレーブモード]

通信ステータス：0-(7) ～ (8)

以下のいずれかの条件を満たしたとき

- 次のデータの SSL0 アサートを検出したとき
- SPSRC.CENDFC ビットに 1 を書いたとき

[クロック同期（3 ワイヤ：SPCR.SPMS = 1）時の受信専用スレーブモード]

通信ステータス：0-(9)

以下のいずれかの条件を満たしたとき

- 次のデータの RSPCK の最初のエッジを検出したとき
- SPSRC.CENDFC ビットに 1 を書いたとき

SPRF ビット（SPI 受信バッファフルフラグ）

本フラグは、SPI データレジスタ (SPDR) の受信バッファ (SPRX) のステータスを示します。

[1 になる条件]

送受信モード、受信専用モードで「受信 FIFO に格納されたデータ数 > SPDCR2.RTRG[1:0]ビットで設定されたフレーム数」のとき。ただし、OVRF フラグが 1 の場合、SPRF フラグは 0 から 1 に変更されません。（「34.3.10. エラー検出」を参照してください。）

[0 になる条件]

以下の 3 つの条件のいずれかを満たしたとき

- DTC/DMAC を使い 1 つの処理ルーチンで読み出しデータを SPDR (SPTXn, n = 0～3) から読み出す際の最終アクセス時
- SPSRC.SPRFC ビットに 1 を書いたとき
- SPFCR.SPFRST ビットに 1 を書いたとき

34.2.10 SPTFSR : SPI 転送 FIFO ステータスレジスタ

Base address: SPIn_B = 0x4035_C000 + 0x0100 × n (n = 0, 1)
SPIn_B_NS = 0x5035_C000 + 0x0100 × n (n = 0, 1)

Offset address: 0x58

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	TFDN[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	TFDN[2:0]	送信 FIFO データの空の段数 0 0 0: 空の段数は 0 ⋮ 1 0 0: 空の段数は 4	R
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R

TFDN[2:0]ビット（送信 FIFO データの空の段数）

空の送信 FIFO 段数を表示します。SPCR.SPE ビットをクリアすることにより、リセット後に TFDN[2:0]が初期値（すべてエンプティ）になります。

34.2.11 SPRFSR : SPI 受信 FIFO ステータスレジスタ

Base address: SPIn_B = 0x4035_C000 + 0x0100 × n (n = 0, 1)
SPIn_B_NS = 0x5035_C000 + 0x0100 × n (n = 0, 1)

Offset address: 0x5C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	RFDN[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
2:0	RFDN[2:0]	受信 FIFO データ格納段数 0 0 0: 格納段 0 の数 ⋮ 1 0 0: 格納段 4 の数	R
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. S-TYPE-3, P-TYPE-3

RFDN[2:0]ビット（受信 FIFO データ格納段数）

格納受信 FIFO 段数を表示します。RFDN [2:0]は SPCR.SPE ビットのクリアによってクリアされます。

34.2.12 SPPSR : SPI ポーリングレジスタ

Base address: SPIn_B = 0x4035_C000 + 0x0100 × n (n = 0, 1)
SPIn_B_NS = 0x5035_C000 + 0x0100 × n (n = 0, 1)

Offset address: 0x60

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SPEPS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SPEPS	SPI ポーリングステータス 0: SPCR.SPE が 0 1: SPCR.SPE が 1	R
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R

SPEPS ビット（SPI ポーリングステータス）

本ビットは、バスクロック (PCLK) から動作クロック (TCLK) に同期後の SPCR.SPE ビットのステータスを示します。

34.2.13 SPSRC : SPI ステータスクリアレジスタ

Base address: SPIn_B = 0x4035_C000 + 0x0100 × n (n = 0, 1)
SPIn_B_NS = 0x5035_C000 + 0x0100 × n (n = 0, 1)

Offset address: 0x68

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SPRFC	CENDFC	SPTEFC	UDRFC	PERFC	MODFC	—	OVRFC	SPDRFC	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
22:0	—	書く場合、0 としてください。	W
23	SPDRFC	SPI 受信データレディフラグのクリア SPI 受信データレディフラグは、1 を書き込むことによってクリアできます。読み出し値は常に 0 です。	W
24	OVRFC	オーバーランエラーフラグのクリア オーバーランエラーフラグは、1 を書き込むことによってクリアできます。読み出し値は常に 0 です。	W
25	—	書く場合、0 としてください。	W
26	MODFC	モードフォルトエラーフラグのクリア モードフォルトエラーフラグは、1 を書き込むことによってクリアできます。読み出し値は常に 0 です。	W(注1)
27	PERFC	パリティエラーフラグのクリア パリティエラーフラグは、1 を書き込むことによってクリアできます。読み出し値は常に 0 です。	W
28	UDRFC	アンダーランエラーフラグのクリア アンダーランエラーフラグは、1 を書き込むことによってクリアできます。読み出し値は常に 0 です。	W(注2)
29	SPTEFC	SPI 送信バッファエンプティフラグのクリア SPI 送信バッファエンプティフラグは、1 を書き込むことによってクリアできます。読み出し値は常に 0 です。	W
30	CENDFC	通信終了フラグのクリア 通信終了フラグは、1 を書き込むことによってクリアできます。読み出し値は常に 0 です。	W
31	SPRFC	SPI 受信バッファフルフラグのクリア SPI 受信バッファフルフラグは、1 を書き込むことによってクリアできます。読み出し値は常に 0 です。	W

注. S-TYPE-3, P-TYPE-3
注 1. MODFC と UDRFC を設定する前に、SPSR.MODF と UDRF が 1 に設定されていることを確認してください。
注 2. UDRF フラグをクリアするときは、同時に MODF フラグをクリアしてください (MODFC = 1)。

SPI ステータスクリアレジスタ (SPSRC) は、SPI の動作ステータスを示すステータスフラグ (SPSR) をクリアするレジスタです。

34.2.14 SPFCR : SPI FIFO クリアレジスタ

Base address: SPIn_B = 0x4035_C000 + 0x0100 × n (n = 0, 1)
SPIn_B_NS = 0x5035_C000 + 0x0100 × n (n = 0, 1)

Offset address: 0x6C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SPFRST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SPFRST	SPI FIFO クリア 1 を書き込むことによって、FIFO のポインタおよび格納されたデータが初期化されます。 読み出し値は常に 0 です。	W
31:1	—	書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3

FIFO クリアレジスタ (SPFCR) は、FIFO をクリアするために使用されます。

SPI コントロールレジスタ (SPCR) の SPE ビットが 1 のときに SPFCR を書き換えた場合、その後の動作は保証されません。

SPFRST ビット（SPI FIFO クリア）

送信／受信 FIFO のポインタと格納されたデータを、1 を書き込むことによって初期化します。

34.3 動作説明

本節では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

34.3.1 SPI 動作の概要

SPI は、下記のモードでの同期式シリアル転送が可能です。

- スレーブモード（SPI 動作）
- シングルマスタモード（SPI 動作）
- マルチマスタモード（SPI 動作）
- スレーブモード（クロック同期式動作）
- マスタモード（クロック同期式動作）

SPI のモードは、SPCR レジスタの MSTR、MODFEN、SPMS ビット、および SPFRF ビットで選択できます。表 34.6 に、SPI のモードと SPCR レジスタの設定値との関係、および各モードの概要を示します。

表 34.6 SPI のモードと SPCR レジスタの設定値との関係、および各モードの概要 (1/2)

モード	スレーブ（SPI 動作）	シングルマスタ（SPI 動作）	マルチマスタ（SPI 動作）	スレーブ（クロック同期式動作）	マスタ（クロック同期式動作）
MSTR ビットの設定値	0	1	1	0	1
MODFEN ビットの設定	0 または 1	0	1	0	0
SPMS ビットの設定	0	0	0	1	1
SPFRF ビットの設定	有効	有効	有効	無効	無効

表 34.6　SPI のモードと SPCR レジスタの設定値との関係、および各モードの概要 (2/2)

モード	スレーブ（SPI 動作）	シングルマスタ（SPI 動作）	マルチマスタ（SPI 動作）	スレーブ（クロック同期式動作）	マスタ（クロック同期式動作）
RSPCKn 端子	入力	出力	出力／Hi-Z	入力	出力
MOSIn 端子	入力	出力	出力／Hi-Z	入力	出力
MISOn 端子	出力／Hi-Z	入力	入力	出力	入力
SSLn0 端子	入力	出力	入力	Hi-Z(注1)	Hi-Z(注1)
SSLn1～SSLn3 端子	Hi-Z(注1)	出力	出力／Hi-Z	Hi-Z(注1)	Hi-Z(注1)
SSL 極性変更機能	あり	あり	あり	—	—
最大転送レート	TCLK/2	TCLK/2	TCLK/2	TCLK/2	TCLK/2
クロックソース	RSPCK 入力	内蔵ボーレートジェネレータ	内蔵ボーレートジェネレータ	RSPCK 入力	内蔵ボーレートジェネレータ
クロック極性	2 種				
クロック位相	2 種(注6)	2 種(注6)	2 種(注6)	1 種 (CPHA = 1)	2 種
転送データ長	4～32 ビット				
バースト転送	可能 (CPHA = 1)	可能 (CPHA = 0, 1)	可能 (CPHA = 0, 1)	—	—
RSPCK 遅延制御	なし	あり	あり	なし	あり
SSL ネゲート遅延制御	なし(注7)	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送トリガ	SSL 入力アクティブまたは RSPCK 発振	送信バッファエンプティ割り込み要求発生で送信バッファに書き込み (SPTEF = 1)	送信バッファエンプティ割り込み要求発生で送信バッファに書き込み (SPTEF = 1)	RSPCK 発振	送信バッファエンプティ割り込み要求発生で送信バッファに書き込み (SPTEF = 1)
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンプティ検出	あり(注5)				
受信バッファフル検出	あり(注2)				
オーバーランエラー検出	あり(注2)	あり(注2) (注4)	あり(注2) (注4)	あり(注2)	あり(注2)
パリティエラー検出	あり(注3) (注2)				
モードフォルトエラー検出	あり (MODFEN = 1)	なし	あり	なし	なし
アンダーランエラー検出	あり(注5)	なし	なし	あり(注5)	なし

注 1.　この機能は本モードでは使用しません。
注 2.　SPI が送信マスタモードまたは送信スレーブモードのときは（表 34.4 参照）、受信バッファフル検出、オーバーランエラー検出、パリティエラー検出を行いません。
注 3.　SPCR.SPPE ビットが 0 の場合、パリティエラー検出は行われません。
注 4.　SPCR.SCKASE ビットが 1 の場合、オーバーランエラー検出は行われません。
注 5.　SPI が受信のみスレーブモードの場合、送信バッファエンプティエラーとアンダーランエラーはいずれも検出されません。
注 6.　TI SSP モードでは、CPHA = 0 は無効です。設定しても、CPHA = 1 のときと動作は同じです。
注 7.　TI SSP モードでの使用にのみ対応しています。

34.3.2　SPI 端子の制御

SPI は、SPCR.MSTR、SPCR.MODFEN、SPCR.SPMS ビットの設定と入出力ポートの PmnPFS.NCODR ビットの設定に基づき、端子の状態を切り替えます。端子状態と各ビットの設定値との関係を表 34.7 に示します。入出力ポートの PmnPFS.NCODR ビットの設定値を 0 にすると、CMOS 出力となります。設定値を 1 にするとオープンドレイン出力となります。入出力ポートの設定も同じとなるよう設定してください。

表 34.7　端子状態とビット設定値の関係

モード	端子	端子状態(注2)	
		入出力ポートの PmnPFS.NCODR = 0	入出力ポートの PmnPFS.NCODR = 1
シングルマスタモード（SPI 動作） (MSTR = 1, MODFEN = 0, SPMS = 0)	RSPCKn	CMOS 出力	オープンドレイン出力
	SSLn0～SSLn3	CMOS 出力	オープンドレイン出力
	MOSIn	CMOS 出力	オープンドレイン出力
	MISOn	入力	入力
マルチマスタモード（SPI 動作） (MSTR = 1, MODFEN = 1, SPMS = 0)	RSPCKn(注3)	CMOS 出力／Hi-Z	オープンドレイン出力／Hi-Z
	SSLn0	入力	入力
	SSLn1～SSLn3(注3)	CMOS 出力／Hi-Z	オープンドレイン出力／Hi-Z
	MOSIn(注3)	CMOS 出力／Hi-Z	オープンドレイン出力／Hi-Z
	MISOn	入力	入力
スレーブモード（SPI 動作） (MSTR = 0, SPMS = 0)	RSPCKn	入力	入力
	SSLn0	入力	入力
	SSLn1～SSLn3(注5)	Hi-Z(注1)	Hi-Z(注1)
	MOSIn	入力	入力
	MISOn(注4)	CMOS 出力／Hi-Z	オープンドレイン出力／Hi-Z
マスタモード （クロック同期式動作） (MSTR = 1, MODFEN = 0, SPMS = 1)	RSPCKn	CMOS 出力	オープンドレイン出力
	SSLn0～SSLn3(注5)	Hi-Z(注1)	Hi-Z(注1)
	MOSIn	CMOS 出力	オープンドレイン出力
	MISOn	入力	入力
スレーブモード （クロック同期式動作） (MSTR = 0, SPMS = 1)	RSPCKn	入力	入力
	SSLn0～SSLn3(注5)	Hi-Z(注1)	Hi-Z(注1)
	MOSIn	入力	入力
	MISOn	CMOS 出力	オープンドレイン出力

注 1.　この機能は本モードでは使用しません。
注 2.　SPI 機能が選択されていない兼用端子には、SPI の設定値は反映されません。
注 3.　Motorola-SPI：SSLn0 がアクティブレベルの場合、端子の状態は Hi-Z になります。入力信号がアクティブレベルかどうかは、SPCR3.SSL0P ビットの値で決まります。
TI-SSP：SSL0 がアクティブレベルになってから通信が完了するまで、SPCR.SPE = 1 の条件において、端子の状態は Hi-Z になります。
注 4.　Motorola-SPI：SSLn0 が非アクティブレベルまたは SPCR.SPE ビットが 0 の場合、端子の状態は Hi-Z になります。入力信号がアクティブレベルかどうかは、SPCR3.SSL0P ビットの値で決まります。
TI-SSP：SSL0 が通信期間以外の場合または SPCR.SPE ビットが 0（SPE = 1 の後のアサートから通信完了）の場合、端子の状態は Hi-Z になります。
注 5.　これらの端子は入出力ポート端子として使用できます。

シングルマスタモード（SPI 動作）またはマルチマスタモード（SPI 動作）の SPI は、SPCR2 レジスタの MOIFE ビットと MOIFV ビットの設定値に基づいて、SSL ネゲート期間（バースト転送中の SSL 保持期間を含む）の MOSI 信号値を表 34.8 のように決定します。

表 34.8　SSL ネゲート期間の MOSI 端子の信号値の決定方法 (1/2)

SPPCR.MOIFE ビット	SPPCR.MOIFV ビット	SSL ネゲート期間の MOSIn 信号値
0	0, 1	前回転送の最終データ
1	0	Low

表 34.8 SSL ネゲート期間の MOSI 端子の信号値の決定方法 (2/2)

SPPCR.MOIFE ビット	SPPCR.MOIFV ビット	SSL ネゲート期間の MOSIn 信号値
1	1	High

34.3.3 SPI システム構成例

この構成例では、SSL0n 信号の 0 レベルがアクティブレベルであることを示します。

マルチスレーブまたはマルチマスタモードで接続して使用する場合は、接続されたデバイスの転送フォーマットを Motorola-SPI または TI-SSP のいずれかに統一する必要があります。

34.3.3.1 シングルマスタとシングルスレーブ（MCU はマスタ）

図 34.6 に、MCU がマスタである場合のシングルマスタとシングルスレーブの SPI システム構成例を示します。シングルマスタ／シングルスレーブの構成では、MCU（マスタ）の SSLni 出力は使用しません。SPI スレーブの SSL 入力は Low レベルに固定され、SPI スレーブは選択された状態で維持されます。(注1)

注 1. SPCMDm.CPHA ビットが 0 であるときに構成された転送フォーマットでは、いくつかのスレーブデバイスに対する SSL 信号はアクティブレベルに固定することができません。このような場合は、常に MCU の SSLni 出力をスレーブデバイスの SSL 入力に接続してください。

MCU（マスタ）は、RSPCKn および MOSIn 信号をドライブします。SPI スレーブは、MISO 信号をドライブします。

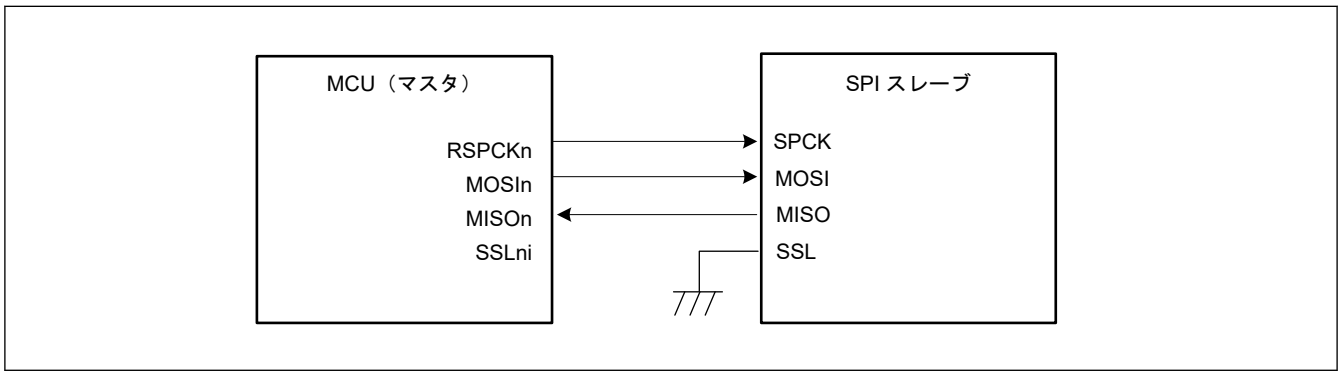


図 34.6 シングルマスタとシングルスレーブの構成例（MCU はマスタ）

34.3.3.2 シングルマスタとシングルスレーブ（MCU はスレーブ）

図 34.7 に、MCU がスレーブである場合のシングルマスタとシングルスレーブの SPI システム構成例を示します。MCU がスレーブとして動作する場合は、SSLn0 端子を SSL 入力として使用します。SPI マスタは、RSPCK および MOSI 信号をドライブします。MCU スレーブは、MISOn 信号をドライブします。(注1)

注 1. SSLn0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

SPCMDm.CPHA ビットが 1、SPCR.SPFRF ビットが 0、および SPCR.SPMS が 0 のときのシングルスレーブ構成では、MCU（スレーブ）の SSLn0 入力は Low レベルに固定され、MCU（スレーブ）は選択された状態で維持されます。これによりシリアル転送の実行が可能になります（図 34.8）。ただし、SSL0 入力が図 34.8 のように固定されると、通信終了割り込みは出力されません。

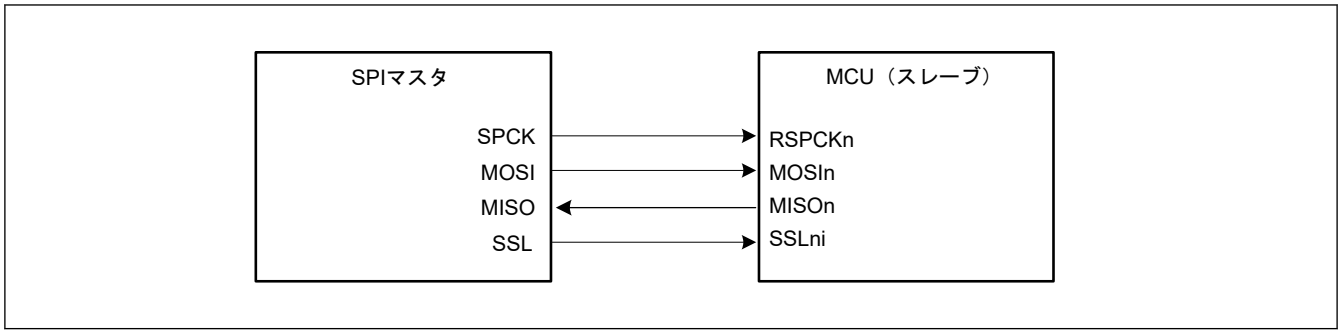


図 34.7　シングルマスタとシングルスレーブの構成例（MCU はスレーブ、SPCMDm.CPHA = 0）

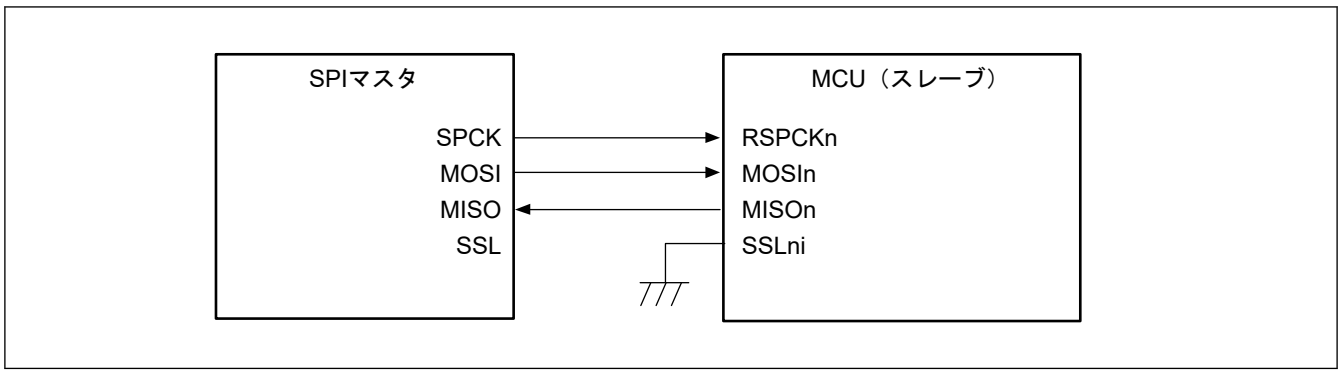


図 34.8　シングルマスタとシングルスレーブの構成例（MCU はスレーブ、SPCMDm.CPHA = 1）

34.3.3.3　シングルマスタとマルチスレーブ（MCU はマスタ）

図 34.9 に、MCU がマスタである場合のシングルマスタとマルチスレーブの SPI システム構成例を示します。この例では、MCU（マスタ）と 4 つのスレーブ（SPI スレーブ 0～SPI スレーブ 3）から SPI システムを構成しています。

MCU（マスタ）の RSPCKn 出力と MOSIn 出力は、SPI スレーブ 0～SPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 0～SPI スレーブ 3 の MISO 出力は、すべて MCU（マスタ）の MISOn 入力に接続します。MCU（マスタ）の SSLn0～SSLn3 出力は、それぞれ SPI スレーブ 0～SPI スレーブ 3 の SSL 入力に接続します。

MCU（マスタ）は、RSPCKn、MOSIn、SSLn0～SSLn3 信号をドライブします。SPI スレーブ 0～SPI スレーブ 3 のうち、SSL 入力に Low を入力されているスレーブが、MISO 信号をドライブします。

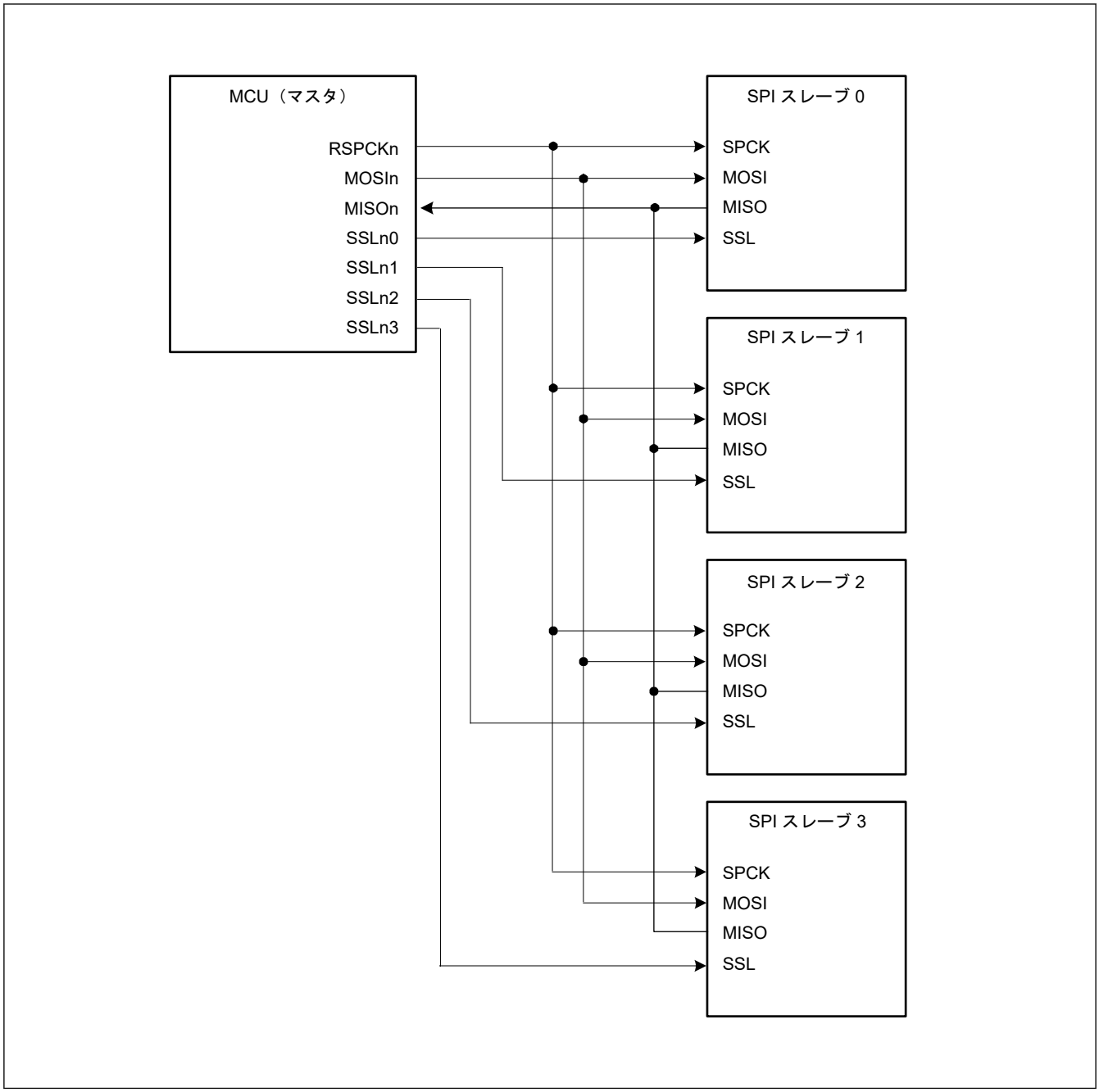


図 34.9　シングルマスタとマルチスレーブの構成例（MCU はマスタ）

34.3.3.4　シングルマスタとマルチスレーブ（MCU はスレーブ）

図 34.10 に、MCU がスレーブである場合のシングルマスタ／マルチスレーブの SPI システム構成例を示します。この例では、SPI マスタと 2 つの MCU（スレーブ X、スレーブ Y）から SPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、MCU（スレーブ X、スレーブ Y）の RSPCKn 入力と MOSIn 入力に接続します。MCU（スレーブ X、スレーブ Y）の MISOn 出力は、すべて SPI マスタの MISO 入力に接続します。SPI マスタの SSLX 出力、SSLY 出力は、それぞれ MCU（スレーブ X、スレーブ Y）の SSLn0 入力に接続します。

SPI マスタは、SPCK、MOSI、SSLX、SSLY をドライブします。MCU（スレーブ X、スレーブ Y）のうち、SSLn0 入力に Low を入力されているスレーブが、MISOn をドライブします。

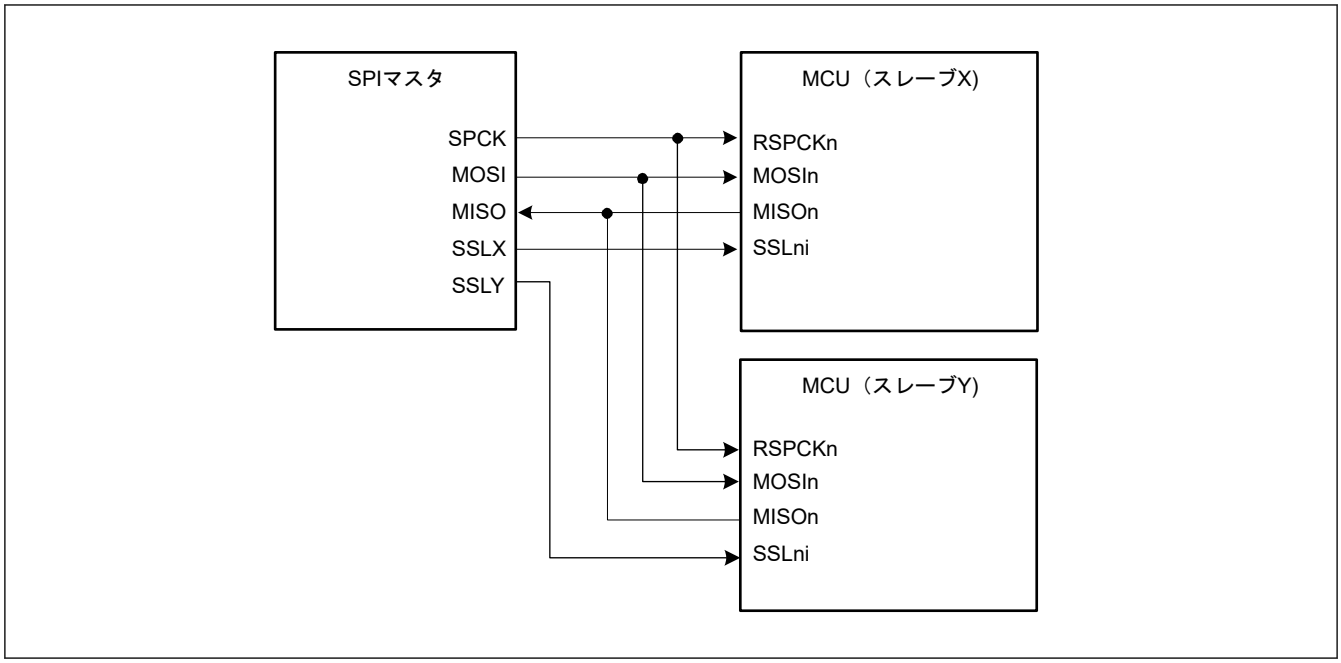


図 34.10　シングルマスタとマルチスレーブの構成例（MCU はスレーブ）

34.3.3.5　マルチマスタとマルチスレーブ（MCU はマスタ）

図 34.11 に、MCU がマスタである場合のマルチマスタ／マルチスレーブの SPI システム構成例を示します。この例では、2 つの MCU（マスタ X、マスタ Y）と 2 つの SPI スレーブ（SPI スレーブ 1、SPI スレーブ 2）から SPI システムを構成しています。

MCU（マスタ X、マスタ Y）の RSPCKn 出力と MOSIn 出力は、SPI スレーブ 1、SPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 1、SPI スレーブ 2 の MISO 出力は、MCU（マスタ X、マスタ Y）の MISOn 入力に接続します。MCU（マスタ X）の任意の汎用ポート Y 出力は、MCU（マスタ Y）の SSLn0 入力に接続します。MCU（マスタ Y）の任意の汎用ポート X 出力は、MCU（マスタ X）の SSLn0 入力に接続します。MCU（マスタ X、マスタ Y）の SSLn1 出力と SSLn2 出力は、SPI スレーブ 1、SPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSLn0 入力と、スレーブ接続用の SSLn1 出力および SSLn2 出力のみでシステムを構成できるため、MCU の SSLn3 出力は必要ありません。

MCU は、SSLn0 入力レベルが High の場合には、RSPCKn、MOSIn、SSLn1、SSLn2 信号をドライブします。SSLn0 入力レベルが Low の場合、MCU はモードフォルトエラーを検出し、RSPCKn、MOSIn、SSLn1、および SSLn2 を Hi-Z にして、他方のマスタに SPI バスを直接解放します。SPI スレーブ 1 または SPI スレーブ 2 のうち、SSL 入力に Low を入力されているスレーブが、MISO 信号をドライブします。

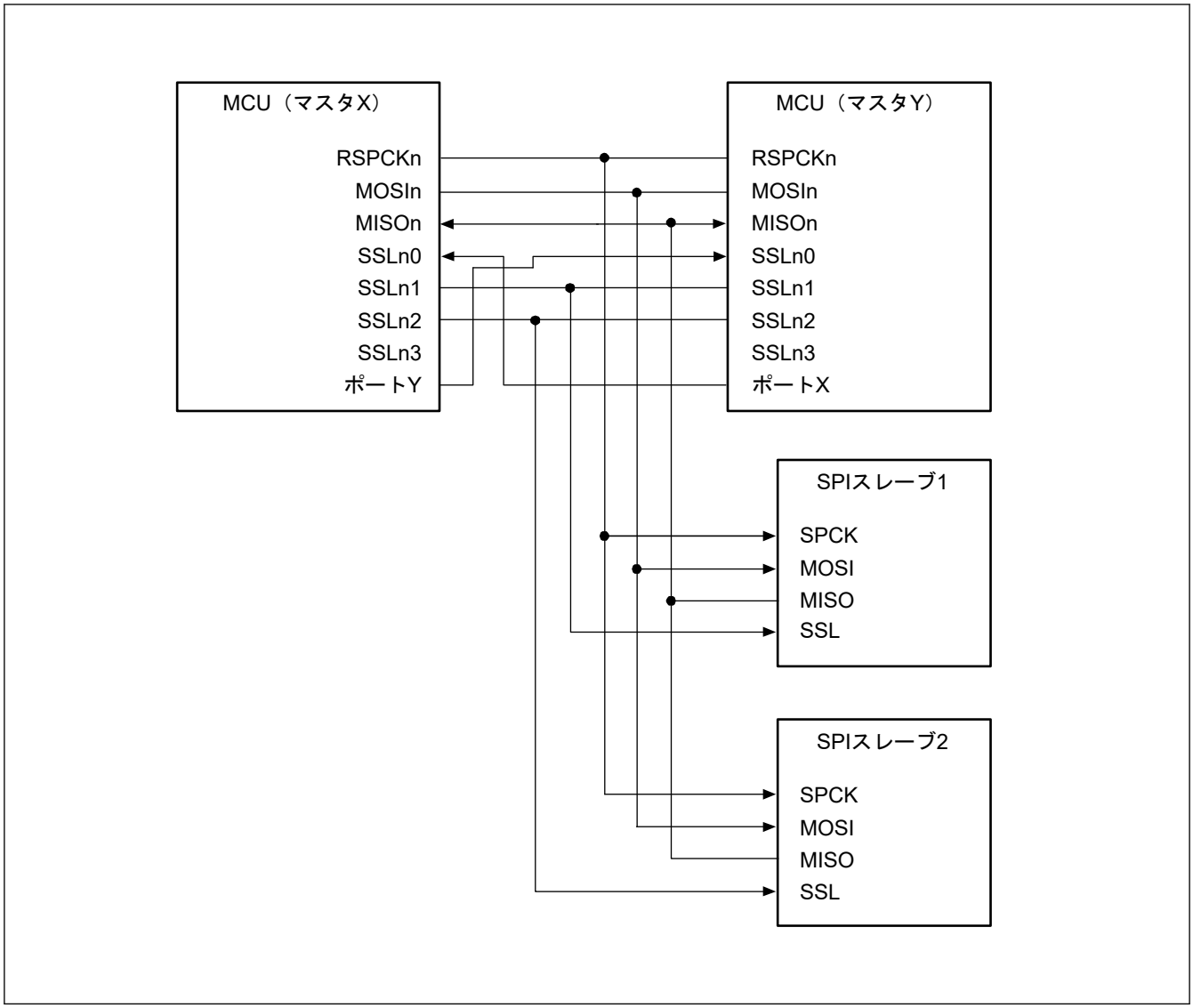


図 34.11　マルチマスタとマルチスレーブの構成例（MCU はマスタ）

TI SSP を設定する場合は、ポート X とポート Y に以下のレベルを入力してください。

- 通信開始：他方のマスタの SPCR3.SSL0P の値
- 通信終了：他方のマスタの SPCR3.SSL0P の反転値

34.3.3.6　クロック同期式動作のマスタとスレーブ（MCU はマスタ）

図 34.12 に、MCU がマスタである場合のクロック同期式モードのマスタ／スレーブの構成例を示します。この構成で、MCU（マスタ）の SSLni は使用されません。

MCU（マスタ）は、RSPCKn および MOSIn 信号をドライブします。SPI スレーブは、MISO 信号をドライブします。

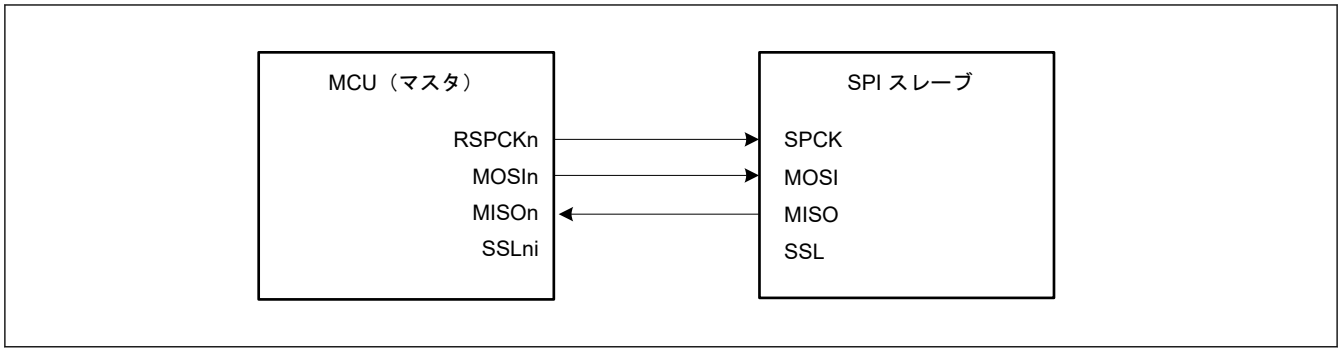


図 34.12　クロック同期式動作のマスタとスレーブの構成例（MCU はマスタ）

34.3.3.7　クロック同期式動作のマスタとスレーブ（MCU はスレーブ）

図 34.13 に、MCU がスレーブである場合のクロック同期式モードのマスタ／スレーブの構成例を示します。MCU をスレーブ（クロック同期式動作）として使用する場合は、MCU（スレーブ）は MISOn 信号をドライブし、SPI マスタは SPCK 信号と MOSI 信号をドライブします。また、MCU（スレーブ）の SSLn0～SSLn3 は使用されません。

SPCMDm.CPHA ビットが 1 でシングルスレーブ構成の場合のみ、MCU（スレーブ）はシリアル転送を実行できます。

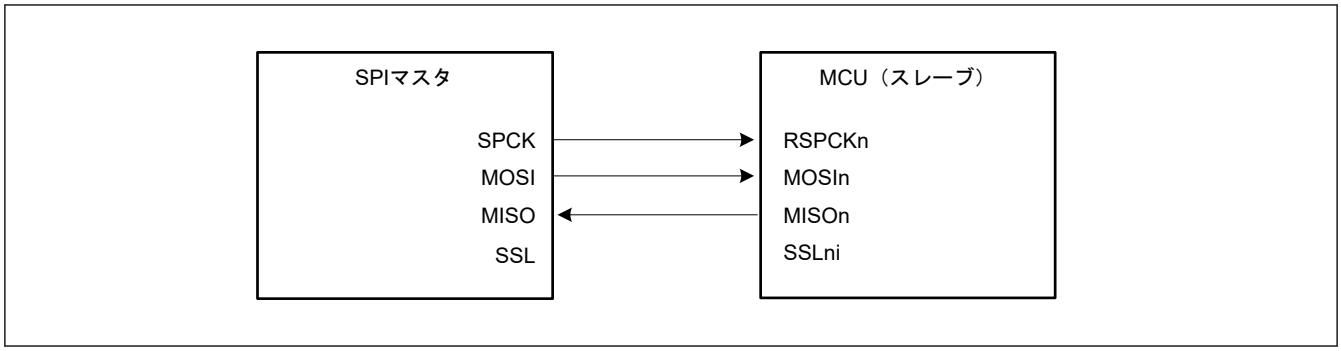


図 34.13　クロック同期式動作のマスタとスレーブの構成例（MCU はスレーブ、CPHA = 1）

34.3.4　データフォーマット

SPI のデータフォーマットは、SPI コマンドレジスタ m (SPCMDm) と SPI コントロールレジスタ (SPCR.SPPE) のパリティ有効ビットに依存します。MSB ファーストか LSB ファーストのどちらであるかにかかわらず、SPI は SPI データレジスタ (SPDR) の LSB ビットから選択されたデータ長に対応するビットまでを、転送データとして取り扱います。

以下では、転送前または転送後のデータの 1 フレーム分のデータフォーマットについて説明します。

パリティ機能無効時のデータフォーマット

パリティが無効である場合、SPI コマンドレジスタ m の SPI データ長設定 (SPCMDm.SPB[4:0]) で選択されたビット長で、データの送信または受信を進行します。

パリティ機能有効時のデータフォーマット

パリティが有効である場合、SPI コマンドレジスタ m の SPI データ長設定 (SPCMDm.SPB[4:0]) で選択されたビット長で、データの送信または受信を進行します。ただしこの場合、最後のビットはパリティビットです。

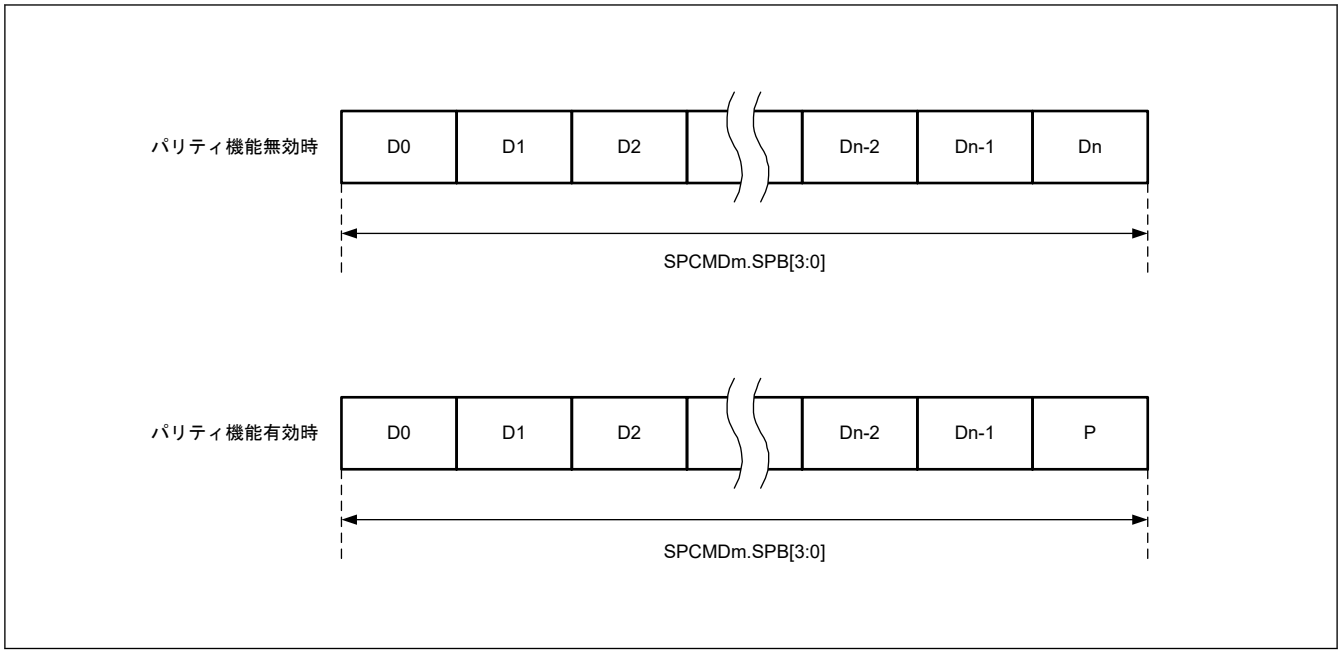


図 34.14　パリティ機能無効時と有効時のデータフォーマット

34.3.4.1　パリティ無効時 (SPCR.SPPE = 0) の動作

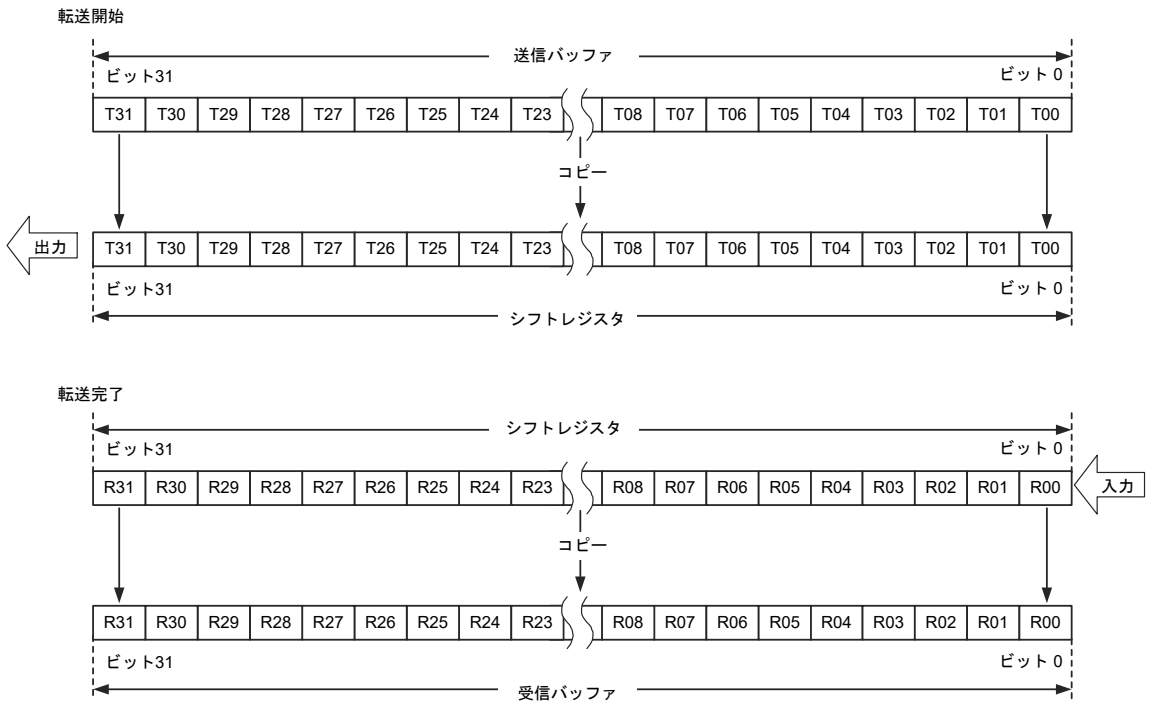
パリティが無効の場合、送信用データは前処理なしでシフトレジスタにコピーされます。本項では、SPI データレジスタ (SPDR) と MSB ファーストオーダーまたは LSB ファーストオーダーとデータ長の組み合わせに関連するシフトレジスタの間の接続について説明します。

(1)　MSB ファースト転送（32 ビットデータ）

図 34.15 に、パリティ機能無効時に、SPI データ長が 32 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの T31～T00 ビットをシフトレジスタにコピーします。送信データは、T31 → T30 → ・・・T00 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R31～R00 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。



注. 出力 = MOSI（マスタ）／MISO（スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

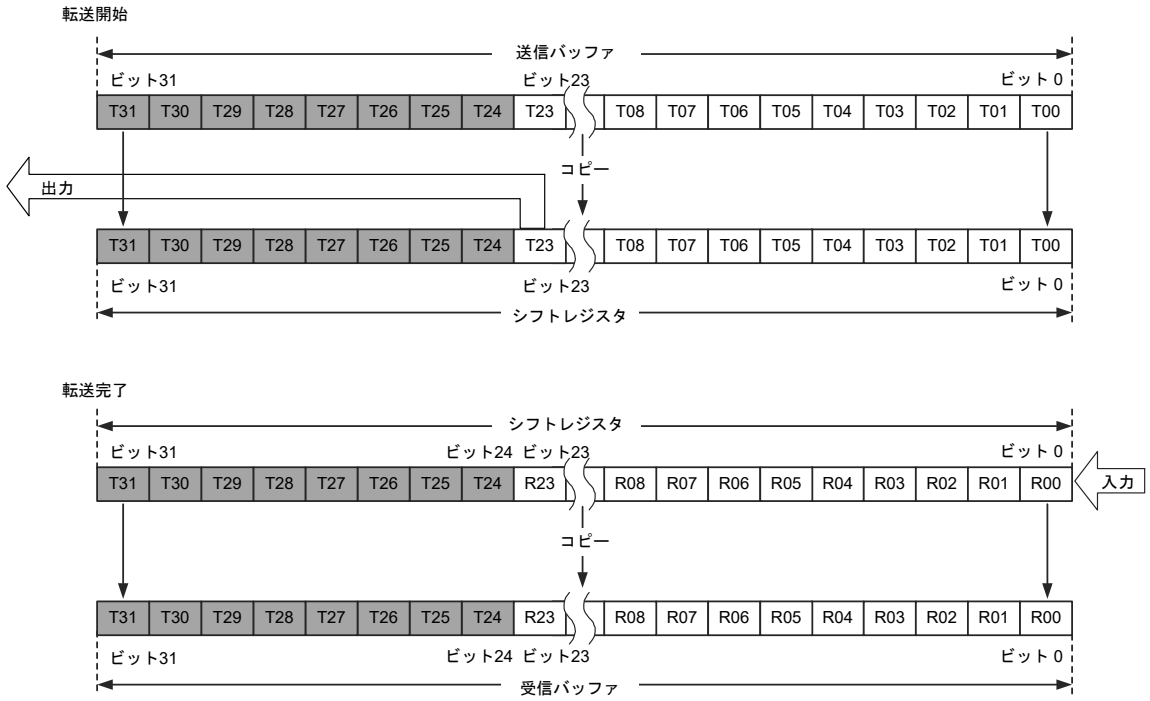
図 34.15 MSB ファースト転送（32 ビットデータ／パリティ機能無効）

(2) MSB ファースト転送（24 ビットデータ）

図 34.16 に、パリティ機能無効時に、SPI データ長が 32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの下位 24 ビット (T23～T00) をシフトレジスタにコピーします。送信データは、T23 → T22 → ・・・T00 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごとに受信データをシフトします。必要数分の RSPCK 周期が入力され、R23～R00 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。



注. 出力 = MOSI（マスタ）／MISO（スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

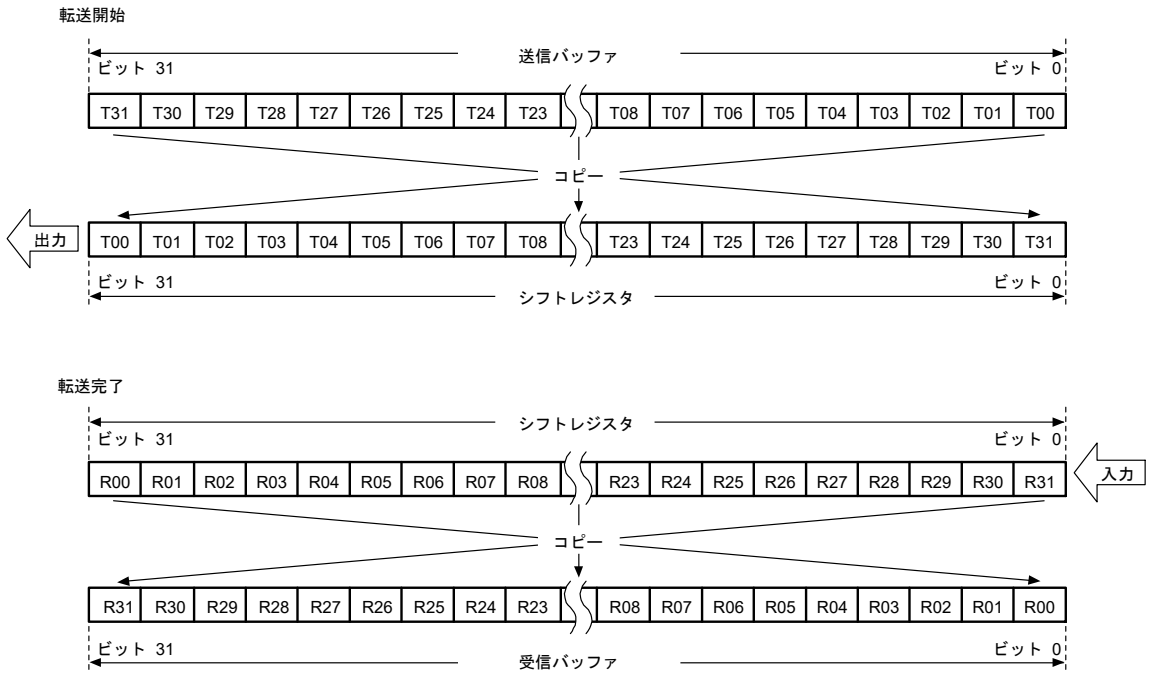
図 34.16 MSB ファースト転送（24 ビットデータ／パリティ機能無効）

(3) LSB ファースト転送（32 ビットデータ）

図 34.17 に、パリティ機能無効時に、SPI データ長が 32 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージのビット T31～T00 をビット単位で T00～T31 の順序に並び替えて、シフトレジスタにコピーします。送信データは、T00 → T01 → ・・・T31 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00～R31 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。



注. 出力 = MOSI（マスタ）／MISO（スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

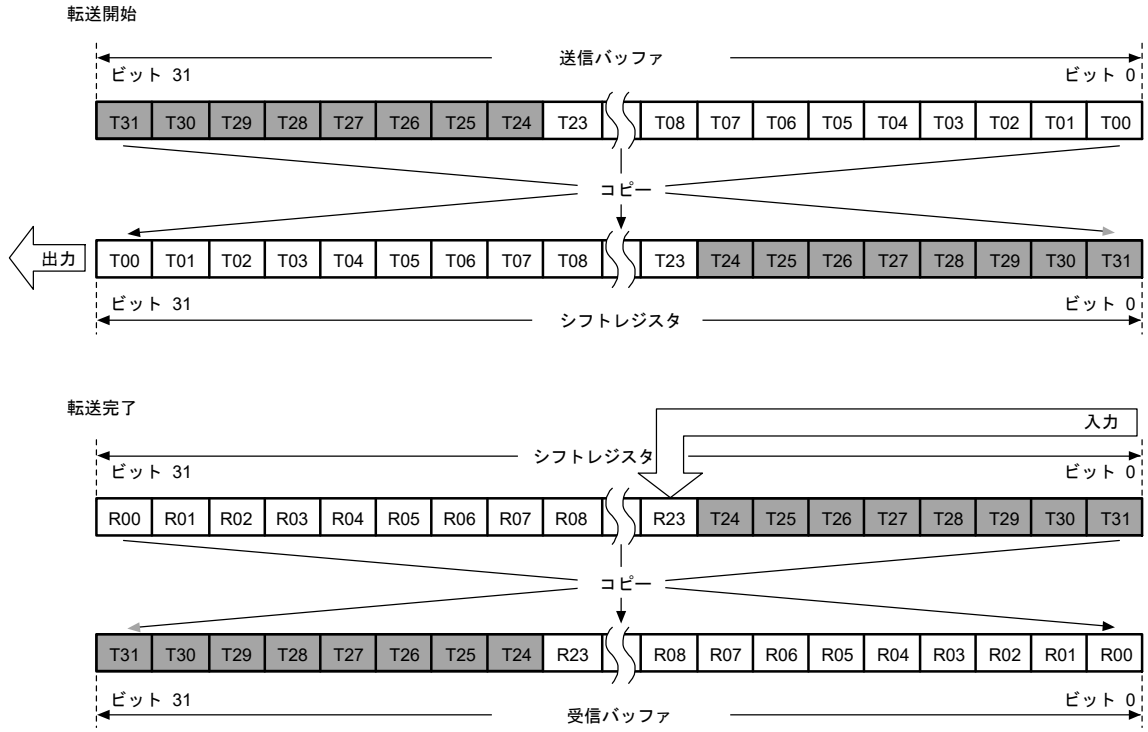
図 34.17 LSB ファースト転送（32 ビットデータ／パリティ機能無効）

(4) LSB ファースト転送（24 ビットデータ）

図 34.18 に、パリティ機能無効時に、SPI データ長が 32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの下位 24 ビット (T23～T00) をビット単位で T00～T23 の順序に並び換えて、シフトレジスタにコピーします。送信データは、T00 → T01 → ・・・T23 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 8 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00～R23 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。



注. 出力 = MOSI（マスタ）／MISO（スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

図 34.18 LSB ファースト転送（24 ビットデータ／パリティ機能無効）

34.3.4.2 パリティ有効時 (SPCR.SPPE = 1) の動作

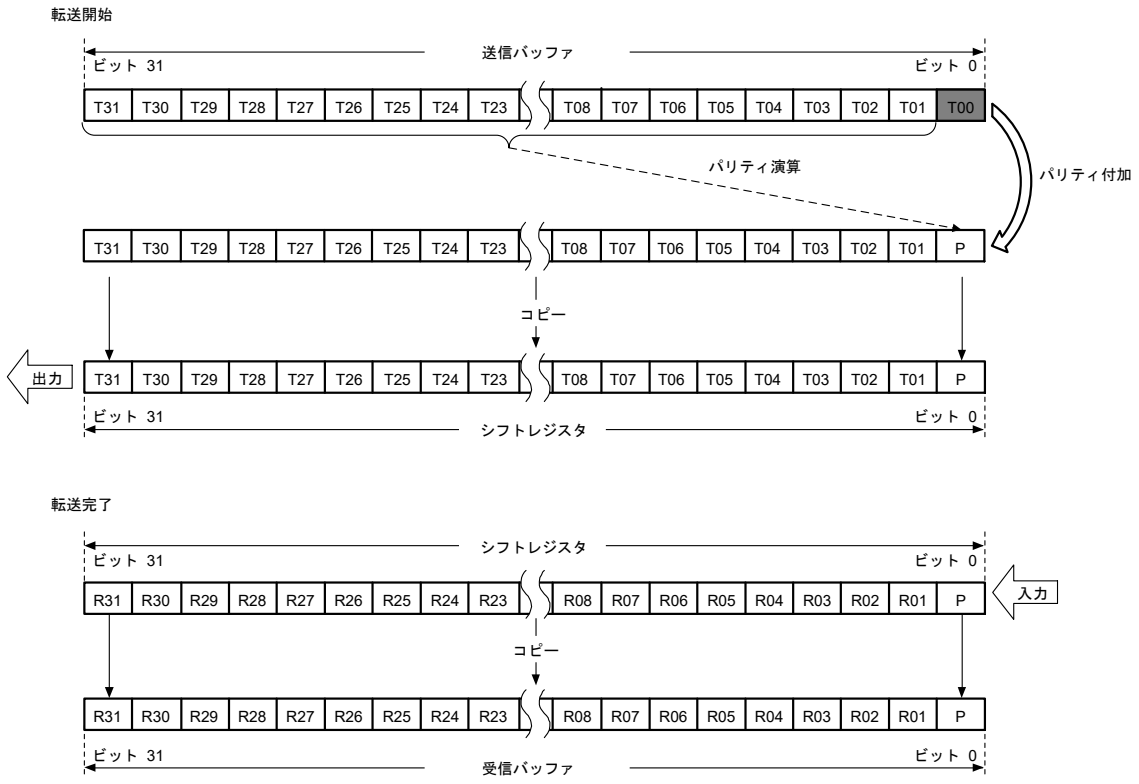
パリティ機能が有効の場合、送信データの最下位ビットはパリティビットになります。パリティビットの値は、ハードウェアが計算します。

(1) MSB ファースト転送（32 ビットデータ）

図 34.19 に、パリティ機能有効時に、SPI データ長が 32 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T31 ～ T01 ビットからパリティビット (P) の値を計算し、最終ビットである T00 と置き換えて、値全体をシフトレジスタにコピーします。データは、T31 → T30 →・・・T01 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R31～P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R31～P ビットのデータをチェックします。



注. 出力 = MOSI（マスタ）／MISO （スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

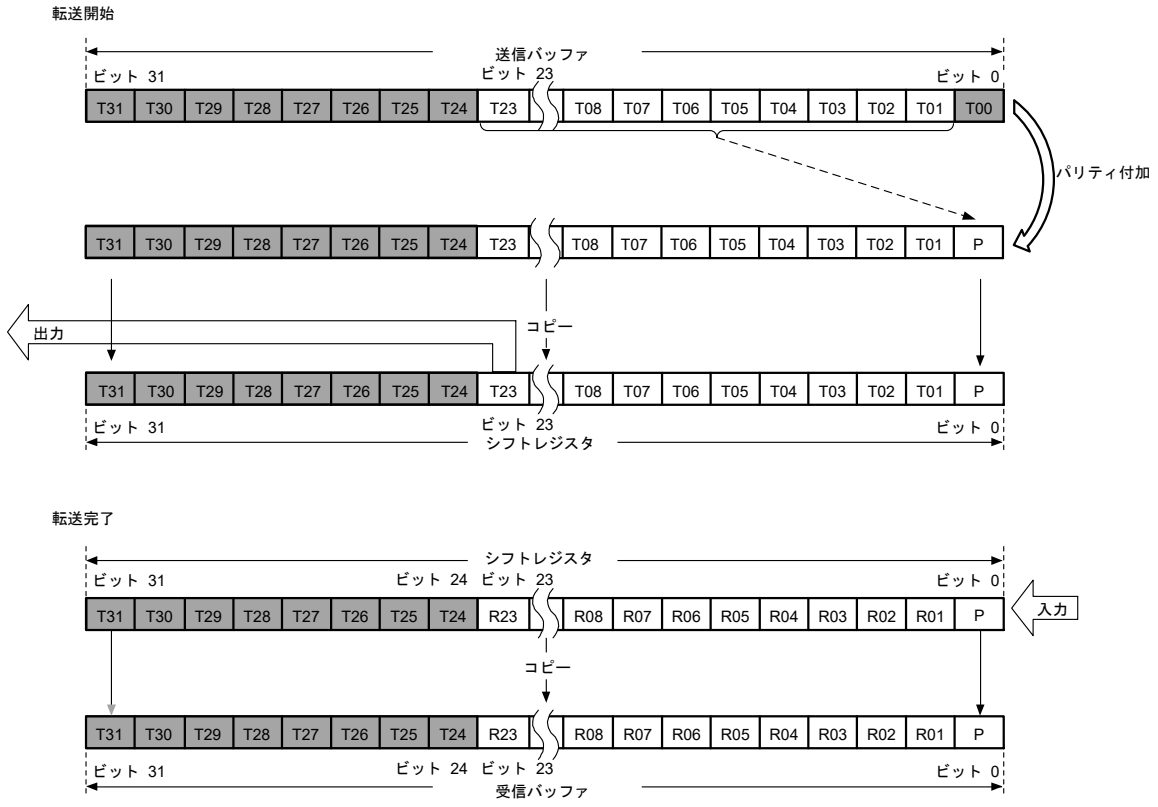
図 34.19 MSB ファースト転送（32 ビットデータ／パリティ機能有効）

(2) MSB ファースト転送（24 ビットデータ）

図 34.20 に、パリティ機能有効時に、SPI データ長が 32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T23～T01 ビットからパリティビット (P) の値を計算し、最終ビットである T00 と置き換えて、値全体をシフトレジスタにコピーします。データは、T23 → T22 →・・・T01 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごとに受信データをシフトします。必要数分の RSPCK 周期が入力され、R23～P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R23～P ビットのデータをチェックします。



注. 出力 = MOSI（マスタ）／MISO （スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

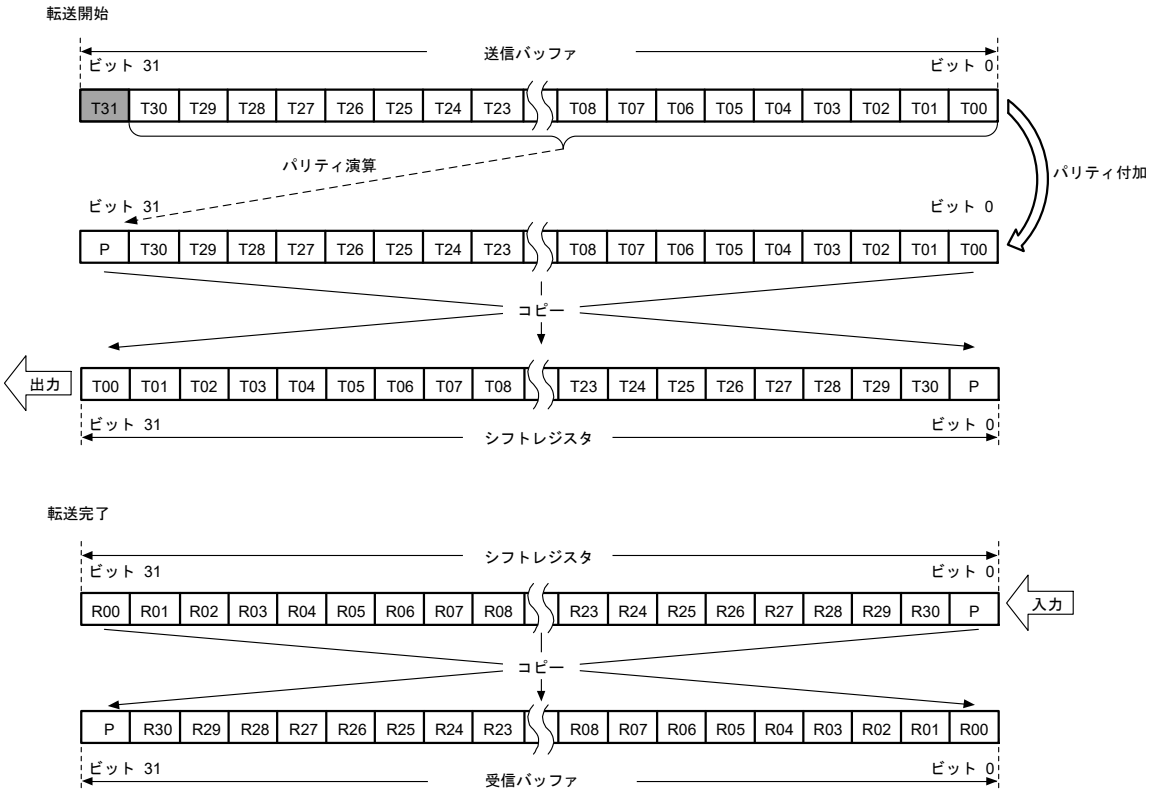
図 34.20 MSB ファースト転送（24 ビットデータ／パリティ機能有効）

(3) LSB ファースト転送（32 ビットデータ）

図 34.21 に、パリティ機能有効時に、SPI データ長が 32 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T30～T00 ビットからパリティビット (P) の値を計算し、最終ビットである T31 と置き換えて、値全体をシフトレジスタにコピーします。送信データは、T00 → T01 →・・・T30 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00～P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R00～P ビットのデータをチェックします。



注. 出力 = MOSI（マスタ）／MISO （スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

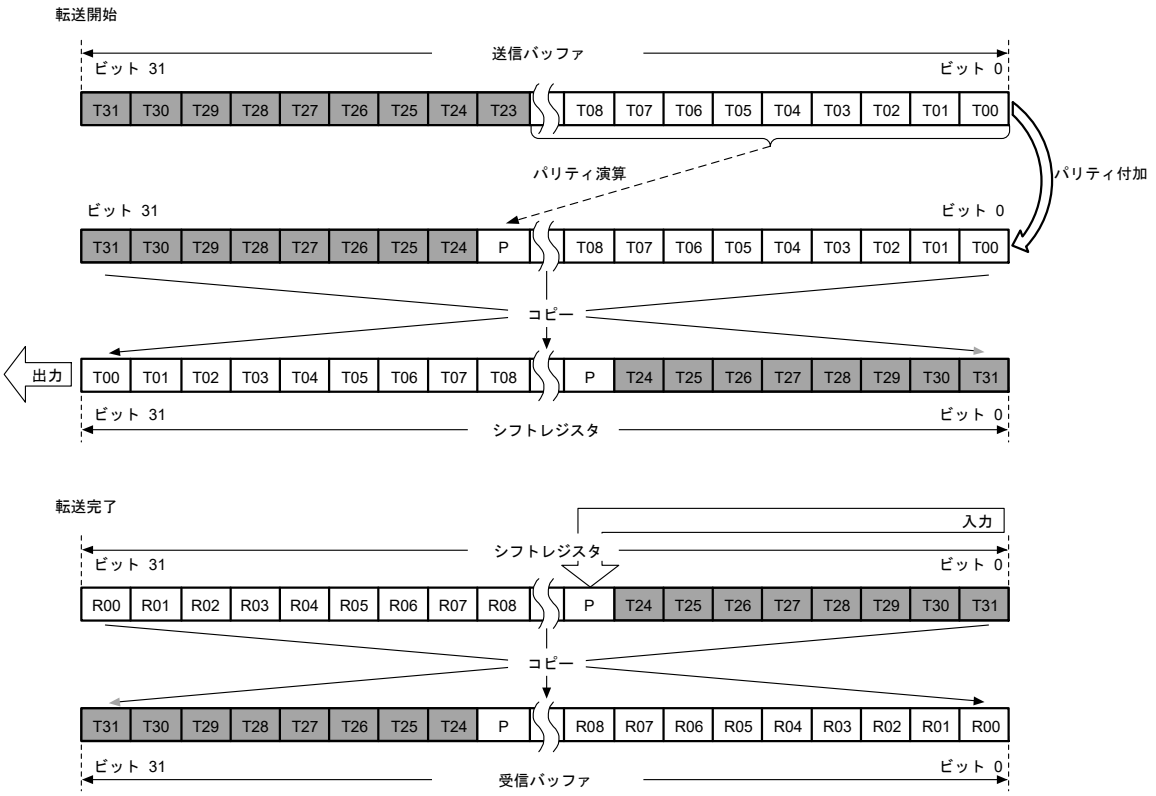
図 34.21 LSB ファースト転送（32 ビットデータ／パリティ機能有効）

(4) LSB ファースト転送（24 ビットデータ）

図 34.22 に、パリティ機能有効時に、SPI データ長が 32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T22～T00 ビットからパリティビット (P) の値を計算し、最終ビットである T23 と置き換えて、値全体をシフトレジスタにコピーします。データは、T00 → T01 →・・・T22 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 8 から格納し、1 ビットごとに受信データをシフトします。必要数分の RSPCK 周期が入力され、R00～P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R00～P ビットのデータをチェックします。



注. 出力 = MOSI（マスタ）／MISO （スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

図 34.22 LSB ファースト転送（24 ビットデータ／パリティ機能有効）

34.3.4.3 バイトスワップ送信

バイトスワップが有効になっているときは、送信バッファ内のデータが 8 ビット単位でスワップされ、シフトレジスタにコピーされます。図 34.23 に、MSB/LSB ファーストとバイトスワップあり／なしの組み合わせを使って 32 ビット長のデータを転送する場合の、SPDR（送信バッファ）とシフトレジスタの関係を示します。

(1) MSB ファースト転送（バイトスワップ無効時）

送信バッファ (Byte3[T31～T24]～Byte0[T07～T00]) のデータをシフトレジスタにコピーします。

シフトレジスタのビット値を T31→T30→…→T00 の順にシフトし、送信データとして送信します。

(2) MSB ファースト転送（バイトスワップ有効時）

送信バッファ (Byte3[T31～T24]～Byte0[T07～T00]) のバイト値をバイト単位で反転し、Byte0[T07～T00]～Byte3[T31～T24]の順でシフトレジスタにコピーします。

シフトレジスタのビット値が T07 → T06 → … → T00 → T15 → T14 → … → T08 → T23 → T22 → … → T16 → T31 → T30 → … → T24 の順に送信データとしてシフトし送信されます。

(3) LSB ファースト転送（バイトスワップ無効時）

送信バッファ (Byte3[T31～T24]～Byte0[T07～T00]) のビット値をビット単位で反転し、Byte0[T00～T07]～Byte3[T24～T31]の順でシフトレジスタにコピーします。

シフトレジスタのビット値が T00 → T01 → … → T31 の順に送信データとしてシフトし送信されます。

(4) LSB ファースト転送（バイトスワップ有効時）

送信バッファ (Byte3[T31～T24]～Byte0[T07～T00]) の各バイトのビット値をビット単位で反転し、Byte3[T24～T31]～Byte0[T00～T07]の順でシフトレジスタにコピーします。

シフトレジスタのビット値が T24 → T25 → … → T31 → T16 → T17 → … → T23 → T08 → T09 → … → T15 → T00 → T01 → … → T07 の順に送信データとしてシフトし送信されます。

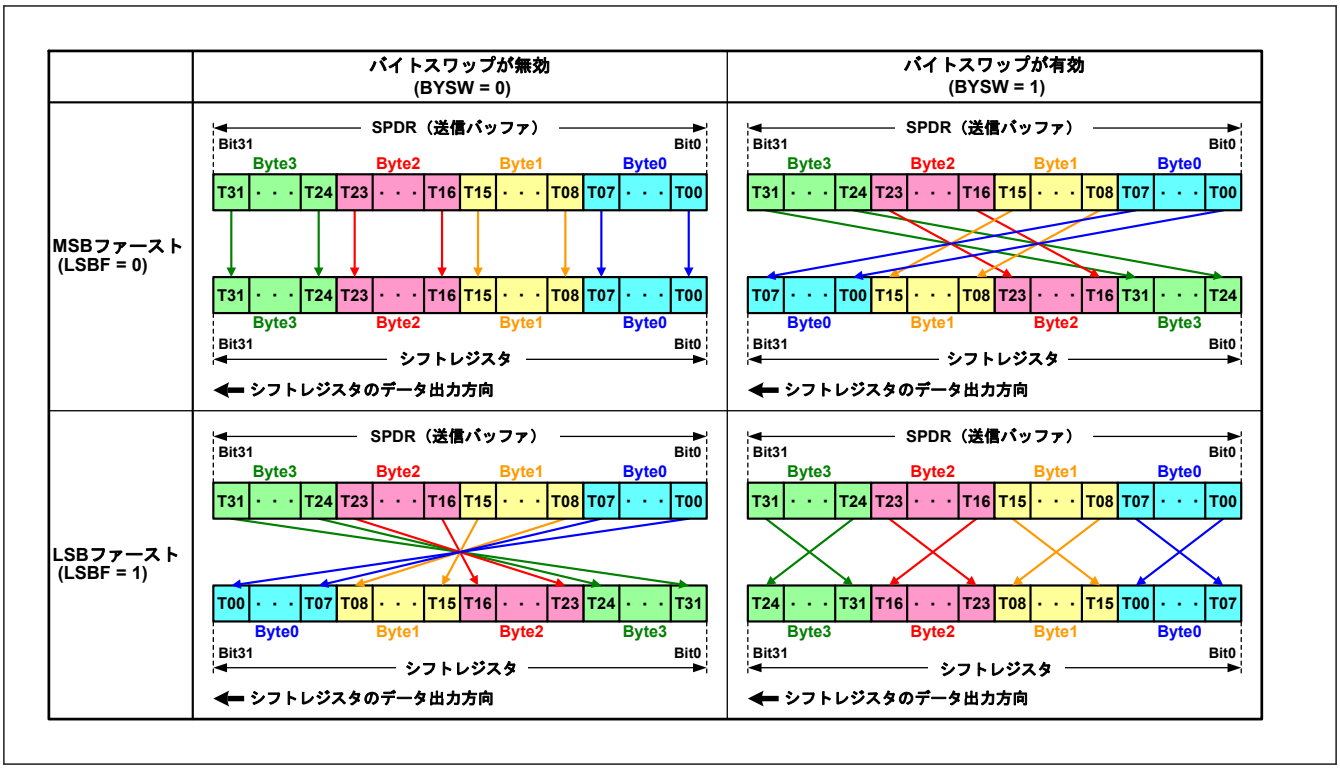


図 34.23　MSB/LSB 転送でのバイトスワップ（32 ビット）

図 34.24 に、MSB/LSB ファーストとバイトスワップあり／なしの組み合わせを使って 16 ビット長のデータを転送する場合の、SPDR（送信バッファ）とシフトレジスタの関係を示します。

1. MSB ファースト転送（バイトスワップ無効時）
   送信バッファのデータ (Byte1[T15～T08]～Byte0[T07～T00]) を Byte1[T15～T08]～Byte0[T07～T00]、Byte1[T15～T08]～Byte0[T07～T00]の順でシフトレジスタにコピーします。シフトレジスタのビット値を T15→T14→…→T00 の順にシフトし、送信データとして送信します。
2. MSB ファースト転送（バイトスワップ有効時）
   送信バッファ (Byte1[T15～T08]～Byte0[T07～T00]) のバイト値をバイト単位で反転し、Byte0[T07～T00]～Byte1[T15～T08]、Byte0[T07～T00]～Byte1[T15～T08]の順でシフトレジスタにコピーします。シフトレジスタのビット値を T07→T06→…→T00→T15→T14→…→T08 の順にシフトし、送信データとして送信します。
3. LSB ファースト転送（バイトスワップ無効時）
   送信バッファ (Byte1[T15～T08]～Byte0[T07～T00]) のビット値をビット単位で反転し、Byte0[T00～T07]～Byte1[T08～T15]、Byte0[T00～T07]～Byte1[T08～T15]の順でシフトレジスタにコピーします。シフトレジスタのビット値を T00→T01→…→T15 の順にシフトし、送信データとして送信します。
4. LSB ファースト転送（バイトスワップ有効時）
   送信バッファ (Byte1[T15～T08]～Byte0[T07～T00]) の各バイトのビット値をビット単位で反転し、Byte1[T08～T15]～Byte0[T00～T07]、Byte1[T08～T15]～Byte0[T00～T07]の順でシフトレジスタにコピーします。シフトレジスタのビット値を T08→T09→…→T15→T00→T01→…→T07 の順にシフトし、送信データとして送信します。

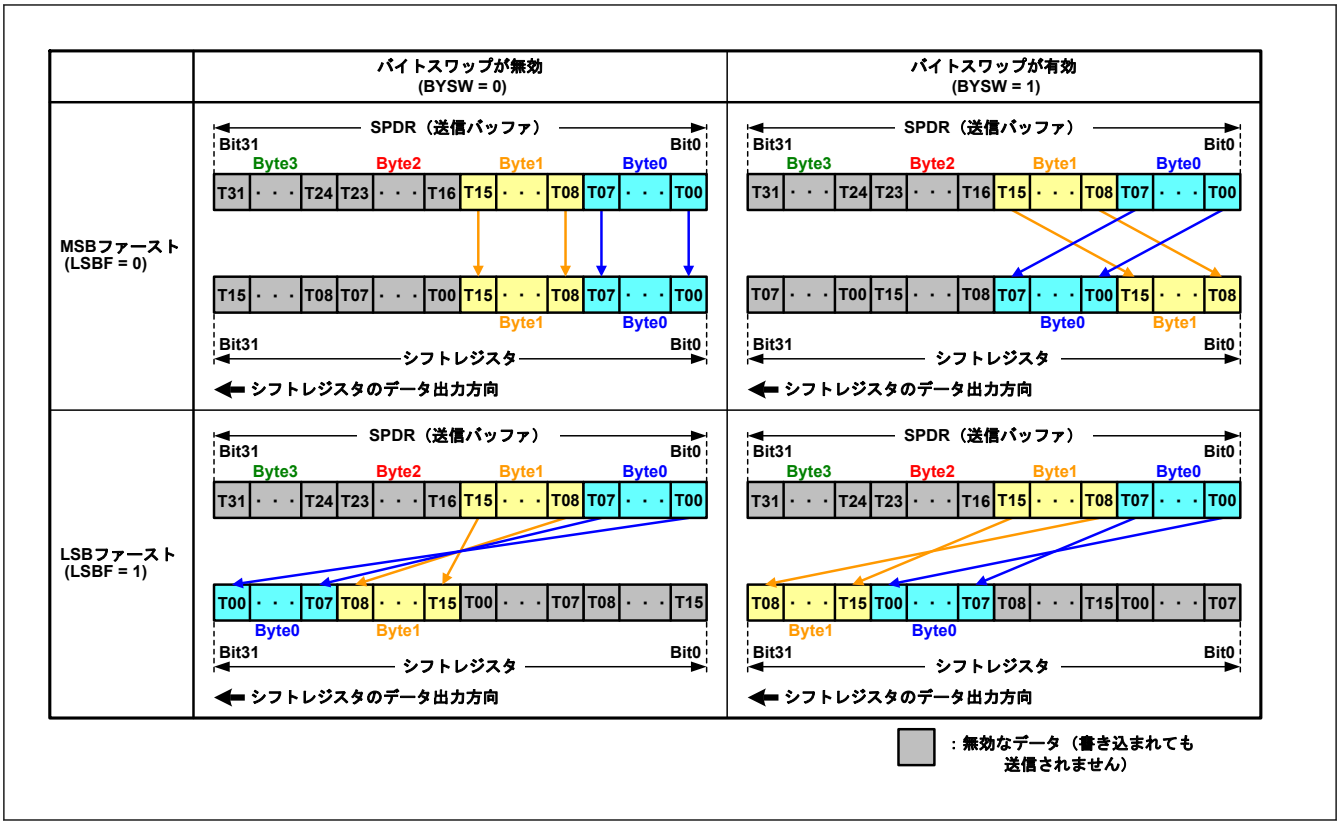


図 34.24　MSB/LSB 転送でのバイトスワップ（16 ビット）

注.
1. バイトスワップを使用時、データ長（SPCMDm.SPB[4:0]ビットの設定）は 16 ビットまたは 32 ビットとしてください。他のデータ長を設定した場合の動作は保証されません。
2. バイトスワップが有効の場合、パリティ機能を無効に設定してください（SPCR.SPPE ビット = 0）。パリティ機能を有効に設定した場合（SPPE ビット = 1）の動作は保証されません。
3. SPDCR.BYSW ビットの設定は、SPCR.SPE ビットが 0 の状態で行ってください。SPE ビットが 1 の状態で BYSW ビットを書き換えた場合、その後の動作は保証されません。

34.3.4.4　バイトスワップ受信

バイトスワップが有効になっているときは、シフトレジスタ内のデータが 8 ビット単位でスワップされ、受信バッファにコピーされます。図 34.25 に、MSB/LSB ファーストとバイトスワップあり／なしの組み合わせを使用して、32 ビットデータ長のデータを転送する場合の、シフトレジスタと SPDR（受信バッファ）の関係を示します。

(1)　MSB ファースト転送（バイトスワップ無効時）

最初の受信データ (R31) をシフトレジスタのビット 0 に格納し、受信データは R31 → R30 → … → R00 の順にシフトします。

必要数分の RSPCK 周期が入力され、Byte3[R31～R24]～Byte0[R07～R00]にデータがたまると、シフトレジスタの値を受信バッファにコピーします。

(2)　MSB ファースト転送（バイトスワップ有効時）

最初の受信データ (R07) をシフトレジスタのビット 0 に格納し、受信データは R07 → R06 → … → R00 → R15 → R14 → … → R08 → R23 → R22 → … → R16 → R31 → R30 → … → R24 の順にシフトします。

必要数分の RSPCK 周期が入力され、Byte0[R07～R00]～Byte3[R31～R24]にデータがたまると、シフトレジスタのバイト値をバイト単位で反転し、Byte3[R31～R24]～Byte0[R07～R00]の順で受信バッファにコピーします。

(3)　LSB ファースト転送（バイトスワップ無効時）

最初の受信データ (R00) をシフトレジスタのビット 0 に格納し、受信データは R00 → R01 → … → R31 の順にシフトします。

必要数分の RSPCK 周期が入力され、Byte0[R00～R07]～Byte3[R24～R31]にデータがたまると、シフトレジスタのビット値をビット単位で反転し、Byte3[R31～R24]～Byte0[R07～R00]の順で受信バッファにコピーします。

(4)　LSB ファースト転送（バイトスワップ有効時）

最初の受信データ (R24) をシフトレジスタのビット 0 に格納し、受信データは R24 → R25 → … → R31 → R16 → R17 → … → R23 → R08 → R09 → … → R15 → R00 → R01 → … → R07 の順にシフトします。

必要数分の RSPCK 周期が入力され、Byte3[R24～R31]～Byte0[R00～R07]にデータがたまると、シフトレジスタの各バイトのビット値をビット単位で反転し、Byte3[R31～R24]～Byte0[R07～R00]の順で受信バッファにコピーします。

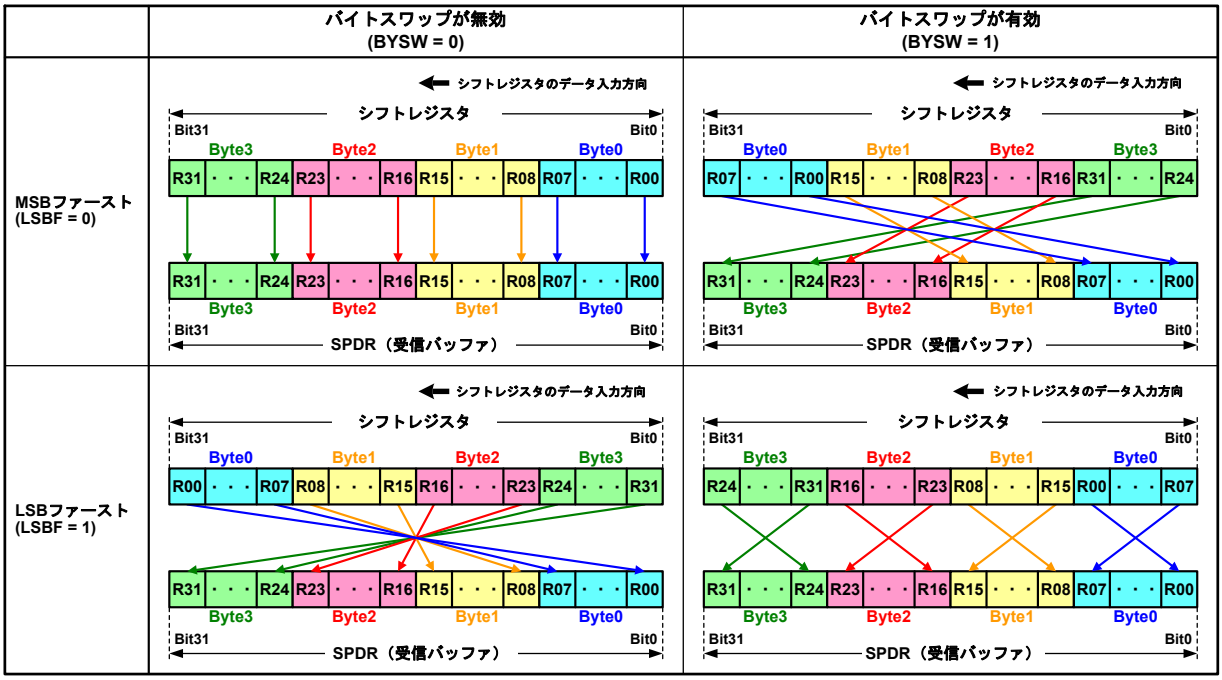


図 34.25　　MSB/LSB 転送でのバイトスワップ（32 ビット）

図 34.26 に、MSB/LSB ファーストとバイトスワップあり／なしの組み合わせを使用して、16 ビットデータ長のデータを転送する場合の、シフトレジスタと SPDR（受信バッファ）の関係を示します。

1. MSB ファースト転送（バイトスワップ無効時）
   最初の受信データ (R15) をシフトレジスタのビット 0 に格納し､受信データは R15 → R14 → … → R00 の順にシフトします。必要数分の RSPCK 周期が入力され、Byte3[R31～R24]～Byte0[R07～R00]にデータがたまると、シフトレジスタの値を受信バッファにコピーします。
2. MSB ファースト転送（バイトスワップ有効時）
   最初の受信データ (R07) をシフトレジスタのビット 0 に格納し、受信データを R07→R06→…→R00→R15→R14→…→R08 の順にシフトします。必要数分の RSPCK 周期が入力され、Byte0[R07～R00]～Byte1[R15～R08]にデータがたまると、シフトレジスタのバイト値をバイト単位で反転し、Byte3[R31～R24]～Byte0[R07～R00]の順で受信バッファにコピーします。
3. LSB ファースト転送（バイトスワップ無効時）
   最初の受信データ (R00) をシフトレジスタのビット 15 に格納し、受信データを R00→R01→…→R07→R08→R09→…→R15 の順にシフトします。必要数分の RSPCK 周期が入力され、Byte0[R00～R07]～Byte1[R08～R15]にデータがたまると、シフトレジスタのビット値をビット単位で反転し、Byte3[R31～R24]～Byte0[R07～R00]の順で受信バッファにコピーします。
4. LSB ファースト転送（バイトスワップ有効時）
   最初の受信データ (R08) をシフトレジスタのビット 15 に格納し、受信データを R08→R09→…→R15→R00→R01→…→R07 の順にシフトします。必要数分の RSPCK 周期が入力され、Byte1[R08～R15]～Byte0[R00～

R07]にデータがたまると、シフトレジスタの各バイトのビット値をビット単位で反転し、Byte3[R31～R24]～Byte0[R07～R00]の順で受信バッファにコピーします。

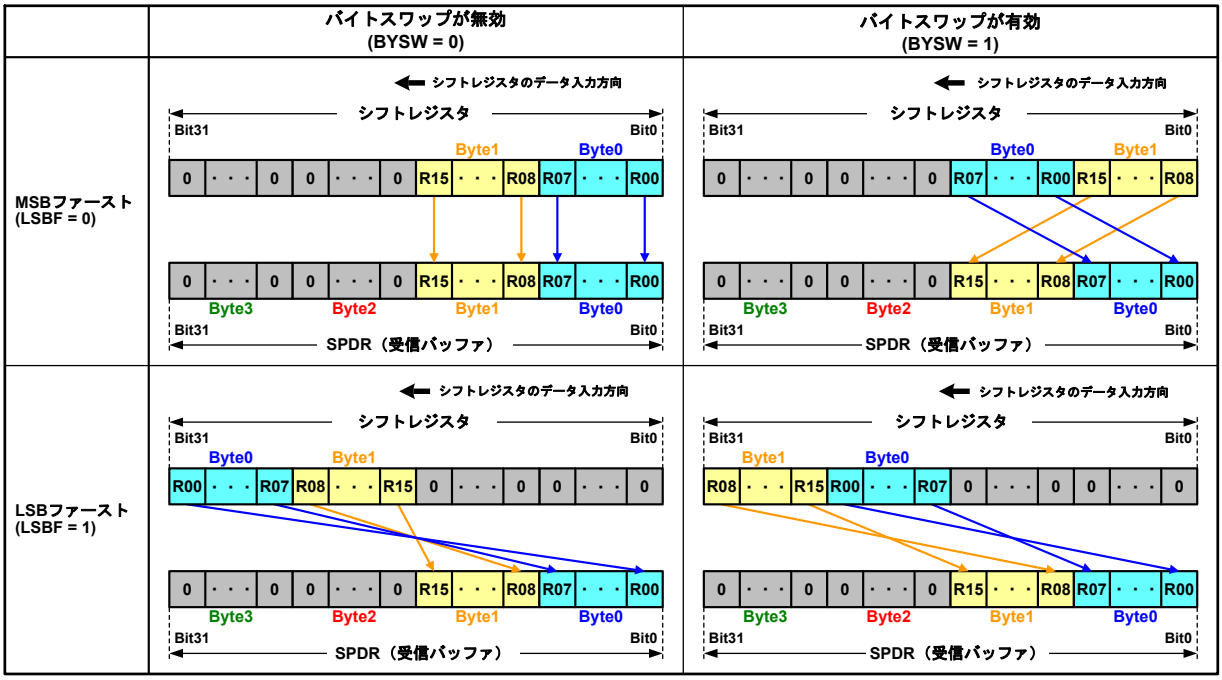


図 34.26　MSB/LSB 転送でのバイトスワップ（16 ビット）

注.
1. バイトスワップを使用時、データ長（SPCMDm.SPB[4:0]ビットの設定）は 16 ビットまたは 32 ビットとしてください。他のデータ長を設定した場合の動作は保証されません。
2. バイトスワップが有効の場合、パリティ機能を無効に設定してください (SPCR.SPPE = 0)。パリティ機能を有効に設定した場合 (SPPE = 1) の動作は保証されません。
3. SPDCR.BYSW ビットの設定は、SPCR.SPE ビットが 0 の状態で行ってください。SPE ビットが 1 の状態で BYSW ビットを書き換えた場合、その後の動作は保証されません。

34.3.5　転送フォーマット

34.3.5.1　CPHA = 0 の場合

図 34.27 に SPCMDm.CPHA ビットが 0 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。SPI がスレーブモード (SPCR.MSTR = 0) で、CPHA ビットが 0 の場合、クロック同期式動作 (SPCR.SPMS = 1) は行わないでください。図 34.27 において、RSPCKn (CPOL = 0) は、SPCMDm.CPOL ビットが 0 の場合の RSPCKn 信号波形を示します。また、RSPCKn (CPOL = 1) は、CPOL ビットが 1 の場合の RSPCKn 信号波形を示します。サンプリングタイミングは、SPI がシフトレジスタにシリアル転送データを取り込むタイミングを示します。各信号の入出力方向は、SPI の設定に依存します。詳細は「34.3.2. SPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが 0 の場合には、SSLni 信号のアサートタイミングで、MOSIn 信号と MISOn 信号への有効データのドライブを開始します。SSLni 信号のアサート後に発生する最初の RSPCKn 信号の変化が、最初の転送データ取り込みになります。これ以降、1 RSPCKn 周期ごとにデータがサンプリングされます。MOSIn 信号と MISOn 信号の変化タイミングは、転送データ取り込みタイミングの 1/2 RSPCK 周期後になります。CPOL ビットの設定は、RSPCKn 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLni 信号のアサートから RSPCKn 発振までの期間（RSPCK 遅延）を示します。t2 は、RSPCKn 発振停止から SSLni 信号のネゲートまでの期間（SSL ネゲート遅延）を示します。t3 は、シリアル転送終了後に次転送のための SSLni 信号アサートを抑制する期間（次アクセス遅延）を示します。t1、t2、t3 は、SPI システム上のマスタデバイスによって制御されます。MCU の SPI がマスタモードである場合の t1、t2、t3 については、「34.3.12.1. マスタモード動作」を参照してください。

［Motorola-SPI の場合］

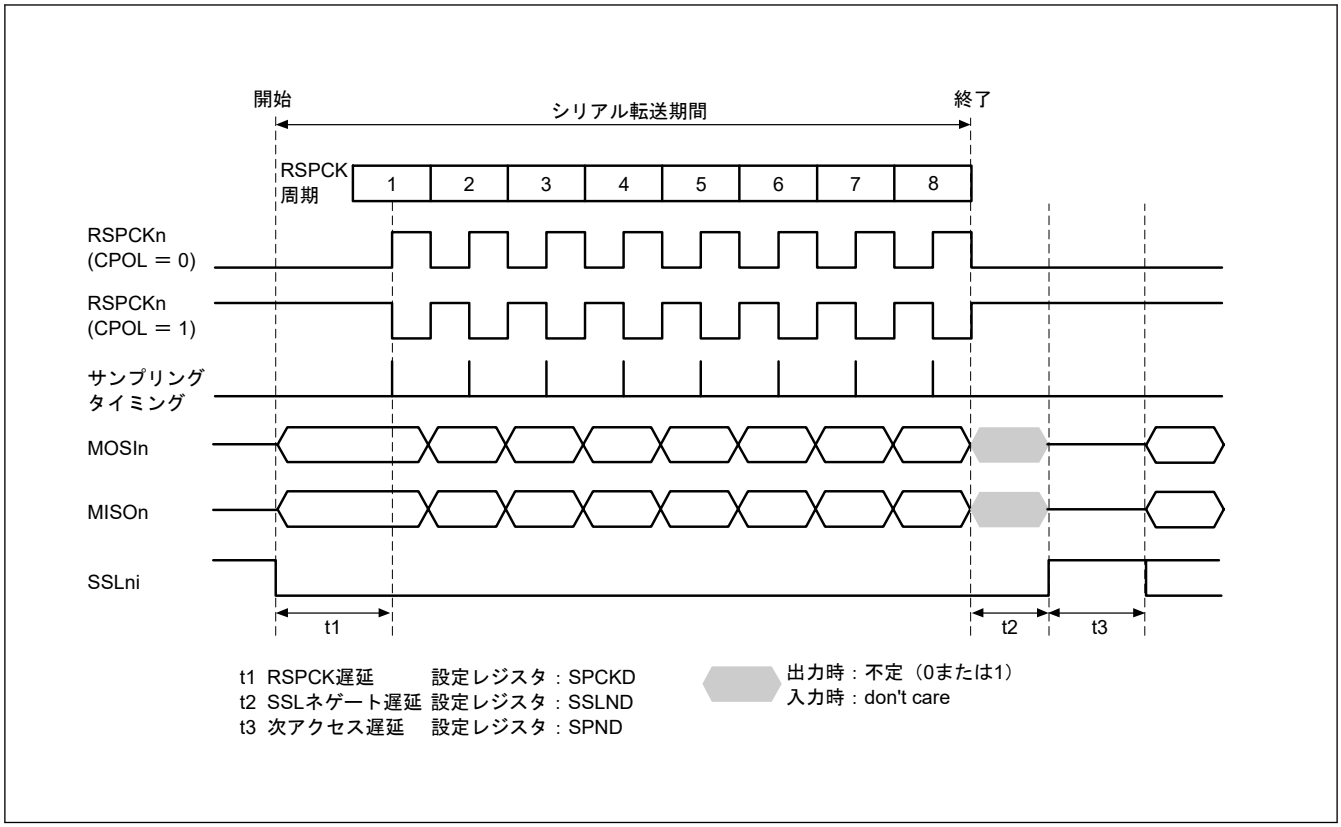


図 34.27 CPHA = 0、SPFRF = 0 の場合の SPI 転送フォーマット

［TI-SSP の場合］

CPHA = 0 のときはサポートしていません。

34.3.5.2 CPHA = 1 の場合

図 34.28 に SPCMDm.CPHA ビットが 1 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが 1 の場合は SSLni 信号を用いず、RSPCKn 信号、MOSIn 信号、および MISOn 信号の 3 つの信号のみで通信を行います。図 34.28 において、RSPCKn (CPOL = 0) は、SPCMDm.CPOL ビットが 0 の場合の RSPCKn 信号波形を示します。また、RSPCKn (CPOL = 1) は、CPOL ビットが 1 の場合の RSPCKn 信号波形を示します。サンプリングタイミングは、SPI がシフトレジスタにシリアル転送データを取り込むタイミングを示します。各信号の入出力方向は、SPI のモード（マスタまたはスレーブ）に依存します。詳細は「34.3.2. SPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが 1 の場合には、SSLni 信号のアサートタイミングで、MISOn 信号への無効データのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号変化で、MOSIn 信号と MISOn 信号への有効データの出力が開始され、これ以降、1 RSPCK 周期ごとにデータが更新されます。転送データの取り込みのタイミングは、データ更新タイミングの 1/2 RSPCK 周期後になります。SPCMDm.CPOL ビットの設定は、RSPCKn 信号の動作タイミングに影響を与えません。信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビットが 0 の場合と同様です。MCU の SPI がマスタモードである場合の t1、t2、t3 については、「34.3.12.1. マスタモード動作」を参照してください。

［Motorola-SPI の場合］

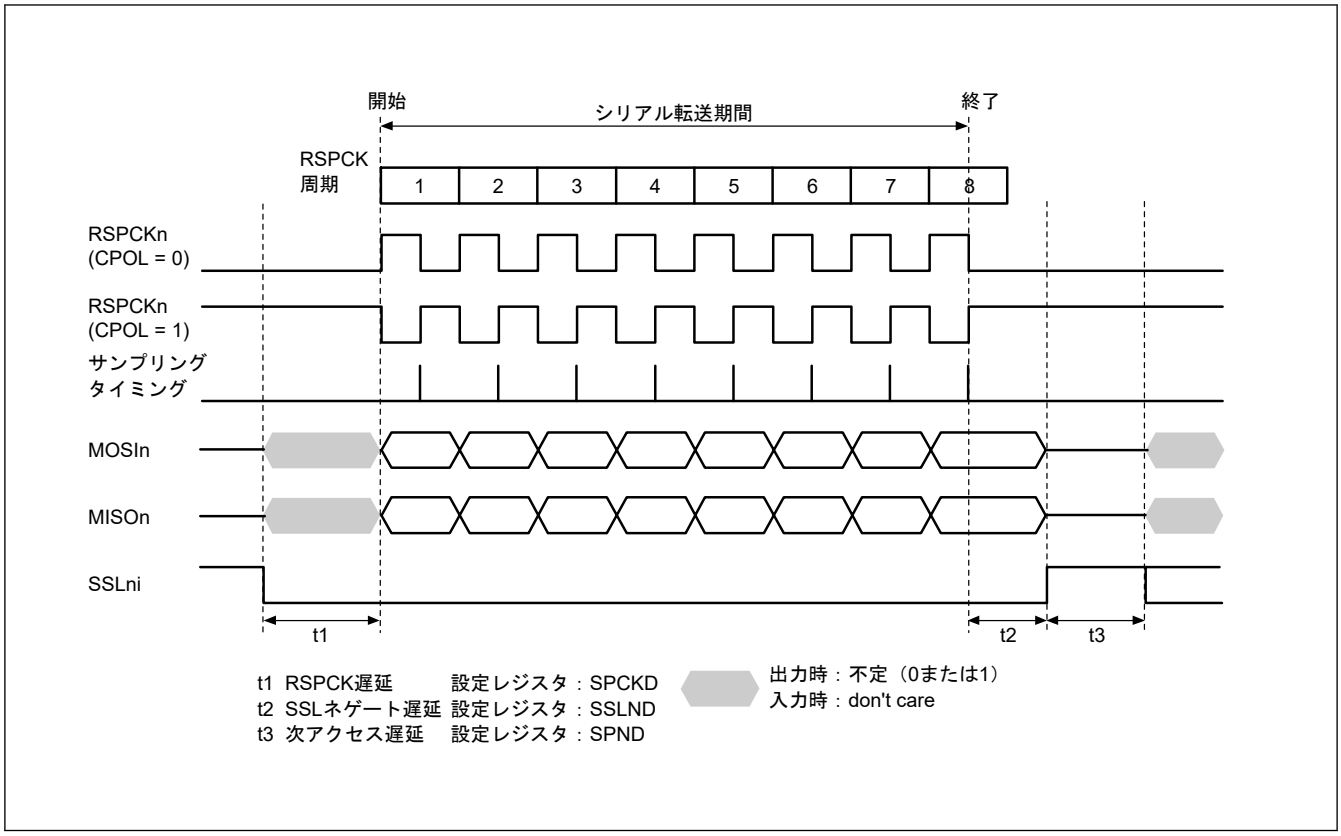


図 34.28 CPHA = 1、SPFRF = 0 の場合の SPI 転送フォーマット

［TI-SSP の場合］

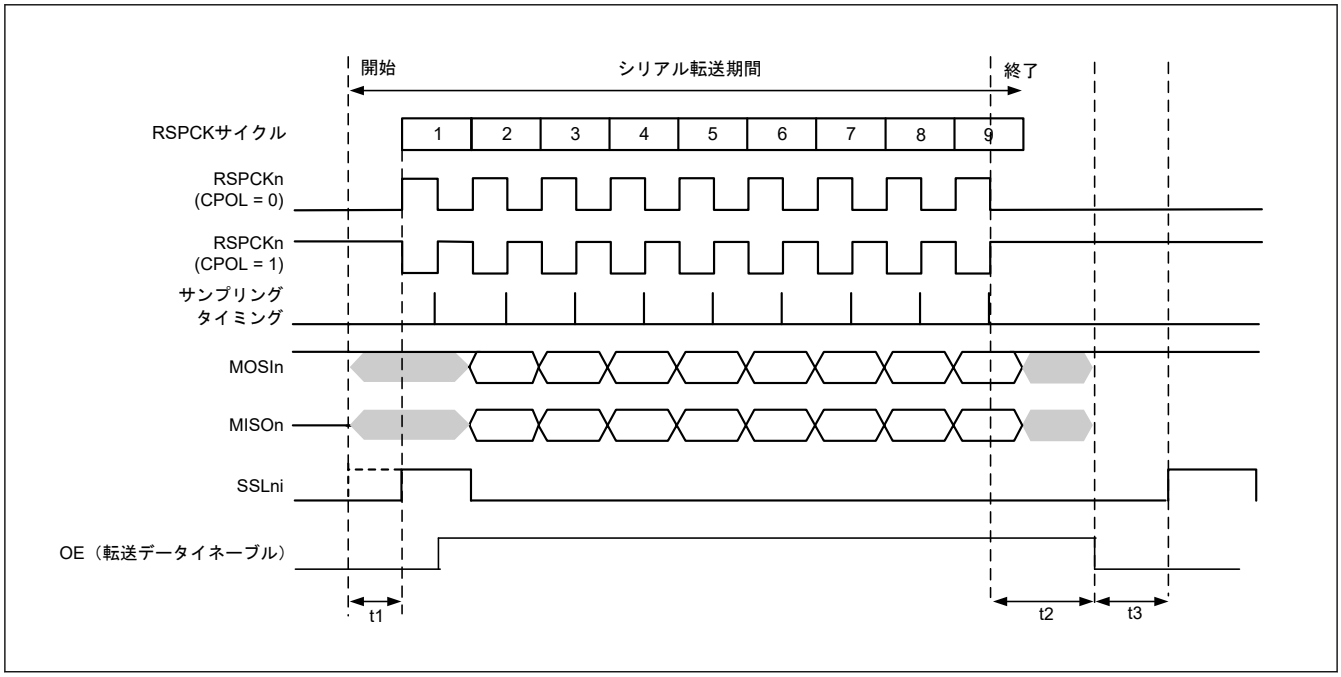


図 34.29 SPI 転送フォーマット（CPHA = 1、SPFRF = 1 の場合）

34.3.6 通信動作モード

SPI コントロールレジスタ (SPCR) の通信モード選択ビット (TXMD[1:0]) を設定することで、送受信シリアル通信、送信専用動作、受信専用動作が選択されます。

図 34.30、図 34.31、図 34.32 で説明する SPDR アクセスでは、SPI データレジスタ (SPDR) へのアクセスを示しています。W は書き込みサイクルを表します。

34.3.6.1 送受信シリアル通信 (TXMD[1:0] = 00b)

図 34.30 に、SPI コントロールレジスタ (SPCR) の通信モード選択ビット (TXMD[1:0]) を 00b に設定した場合の動作例を示します。この例では、SPDCR2.TTRG が 0、SPDCR2.RTRG が FIFO 段数 - 1、SPCMDm.CPHA ビットが 1、および SPCMDm.CPOL ビットが 0 の設定で SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数（= 転送ビット数）を示しています。

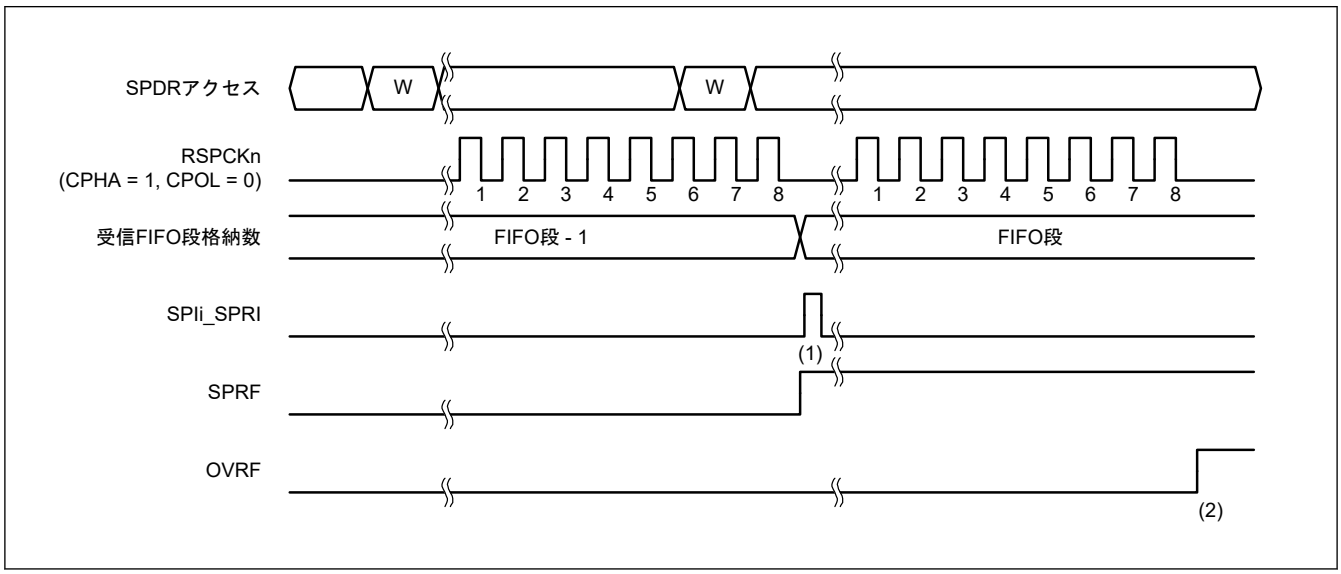


図 34.30 SPCR.TXMD[1:0] = 00b の場合の動作例

以下に、図 34.30 の (1)、(2) に示したタイミングでのフラグ動作を説明します。

1. SPDR 受信バッファの格納数が SPDCR2.RTRG に設定されたフレーム数と一致した状態でシリアル転送が終了すると、SPI は受信バッファフル割り込み要求 (SPIi_SPRI) を発生し、SPSR.SPRF フラグを 1 にして、シフトレジスタの受信データを受信バッファにコピーします。
2. SPDR の受信バッファに FIFO の段数分のデータが格納されている状態でシリアル転送が終了すると、SPI は SPSR.OVRF フラグを 1 にしてシフトレジスタの受信データを破棄します。SPSR.OVRF フラグの動作の詳細については「34.3.10.1. オーバーランエラー」を参照してください。

送受信シリアル通信 (TXMD[1:0] = 00b) では、送信データが送信され、受信データが受信されます。したがって、SPRF フラグと OVRF フラグは、それぞれタイミング (1) と (2) で 1 に設定されます。

34.3.6.2 送信のみのシリアル通信 (TXMD[1:0] = 01b)

図 34.31 に、SPI コントロールレジスタ (SPCR) の通信モード選択ビット（TXMD[1:0]） を 01b に設定した場合の動作例を示します。この例では、SPDCR2.TTRG が 0、SPDCR2.RTRG が 0、SPCMDm.CPHA ビットが 1、SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数（= 転送ビット数）を示しています。

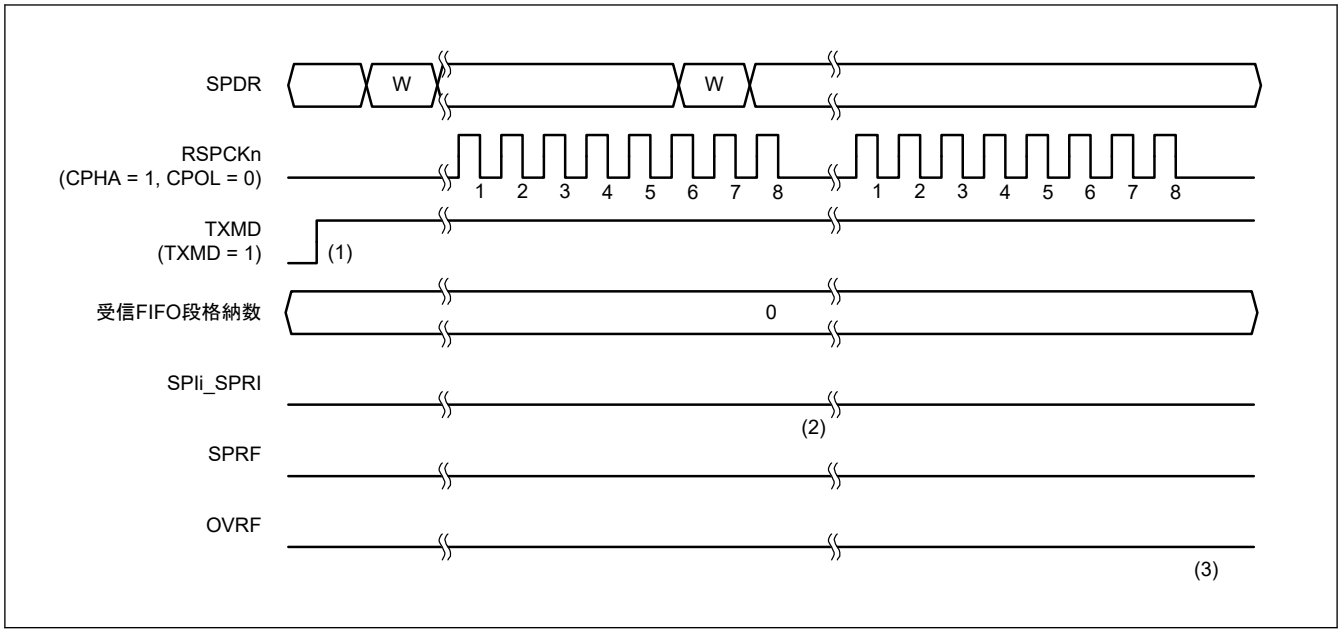


図 34.31 SPCR.TXMD[1:0] = 01b の動作例

以下に、図 34.31 の (1)～(3) に示したタイミングでのフラグの動作内容を説明します。

1. 送信のみモード（SPCR.TXMD[1:0] = 01b）へ遷移する前に、受信バッファにデータが残っていないこと（SPSR.SPRF フラグ = 0）、および SPSR.OVRF フラグが 0 であることを確認してください。
2. SPDR の受信 FIFO にデータを受信せずにシリアル転送が終了すると、送信のみモード（SPCR.TXMD[1:0] = 01b）を選択している場合、SPSR.SPRF フラグは 0 を保持し、SPI はシフトレジスタのデータを受信バッファへコピーしません。
3. SPDR の受信バッファに以前のシリアル転送の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは 0 を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみモード（SPCR.TXMD[1:0] = 01b）では、SPI はデータを送信しますが、受信しません。そのため、SPSR.SPRF および SPSR.OVRF フラグは (1)～(3) それぞれのタイミングで 0 を保持します。

34.3.6.3 受信専用シリアル通信 (TXMD[1:0] = 10b)

図 34.32 に、SPI コントロールレジスタ (SPCR) の通信モード選択ビット (TXMD[1]) を 1 に設定した場合の動作例を示します。この例では、SPDCR2.TTRG が FIFO 段数 - 1、SPDCR2.RTRG が 0、SPCMDm.CPHA ビットが 1、および SPCMDm.CPOL ビットが 0 の設定で SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数（= 転送ビット数）を示しています。

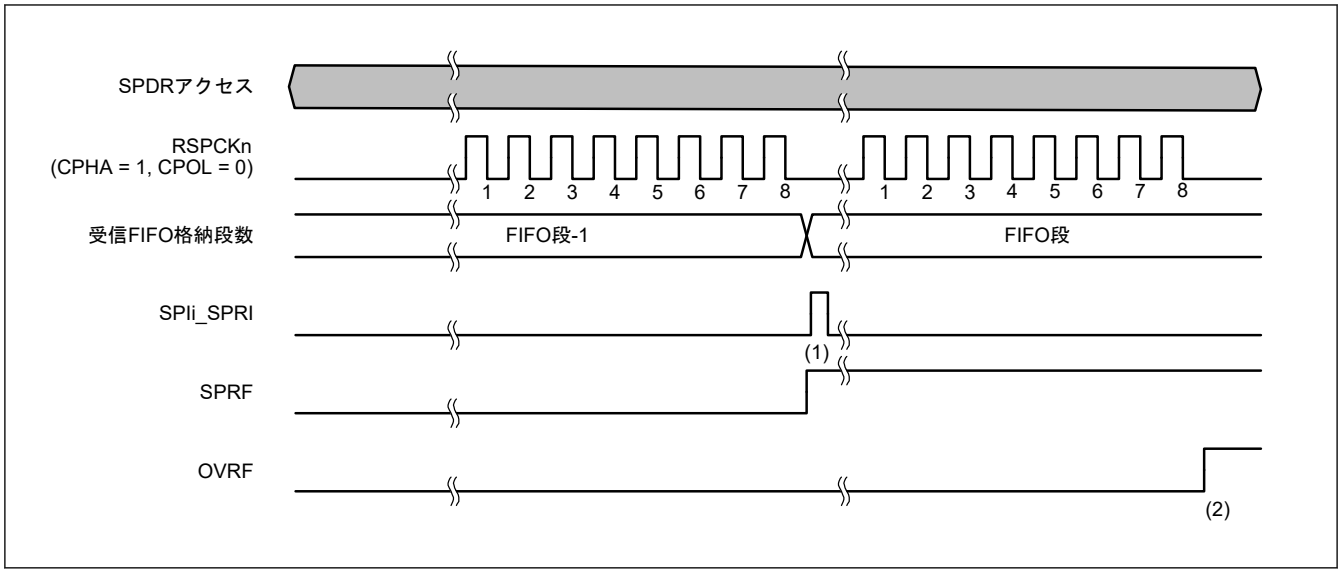


図 34.32　SPCR.TXMD[1:0] = 10b の場合の動作例

上図のタイミング (1) と (2) における動作を以下に説明します。

1. SPDR 受信バッファの格納数が SPDCR2.RTRG に設定されたフレーム数と一致した状態でシリアル転送が終了すると、SPI は受信バッファフル割り込み要求 (SPIi_SPRI) を発生し、SPSR.SPRF フラグを 1 にして、シフトレジスタの受信データを受信バッファにコピーします。
2. SPDR の受信バッファに FIFO の段数分のデータが格納されている状態でシリアル転送が終了すると、SPI は SPSR.OVRF フラグを 1 にしてシフトレジスタの受信データを破棄します。

34.3.7　送信バッファエンプティ／受信バッファフル割り込み

図 34.33 に、送信バッファエンプティ割り込み (SPIi_SPTI (i = 0, 1)) と受信バッファフル割り込み (SPIi_SPRI) の動作例を示します。これらの図に示された SPDR レジスタアクセスは、レジスタへのアクセス条件を示しています。W は書き込みサイクル、R は読み出しサイクルを示しています。図 34.33 では、SPCR.TXMD[1:0]ビットが 00b、SPDCR2.TTRG ビットが 0、SPDCR2.RTRG ビットが 0、SPCMDm.CPHA ビットが 0、および SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数（= 転送ビット数）を示しています。

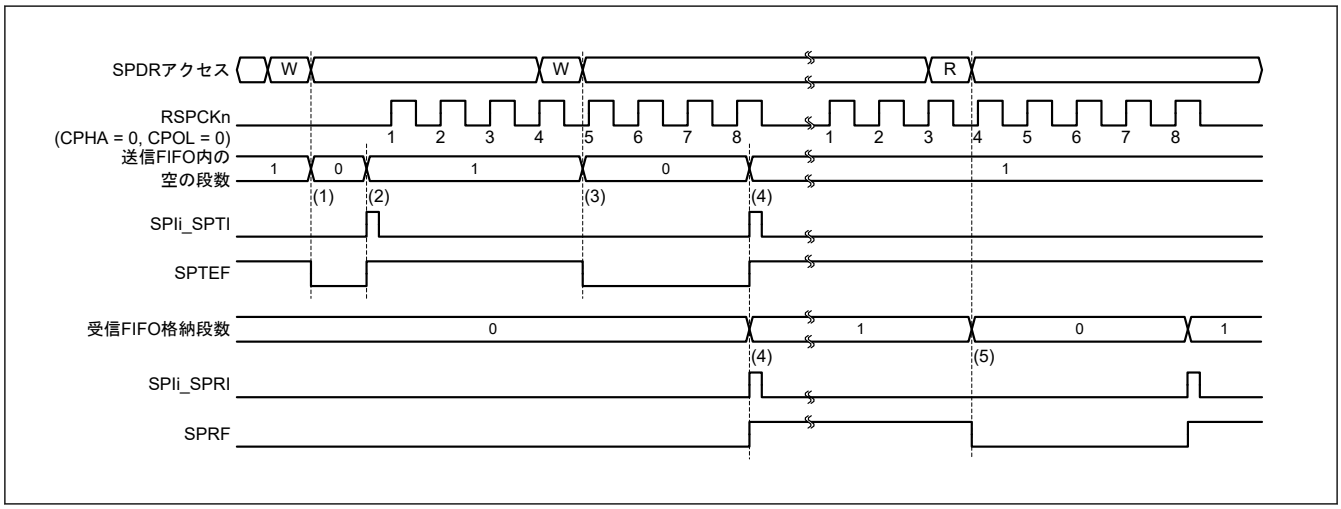


図 34.33　SPIi_SPTI、SPIi_SPRI 割り込みの動作例（CPHA = 0、CPOL = 0）

図 34.33 の (1)～(5) の各タイミングでの SPI の動作内容は以下の通りです。

1. SPDR に送信データを書き込むタイミングが、送信バッファに次に転送するデータが設定される前であれば、SPI は送信データを送信バッファに書き込みます。DTC または DMAC を使用して 1 つの処理ルーチンで SPDR に送信データを書き込むと、最後のアクセス時に SPSR.SPTEF フラグが 0 にクリアされます。

2. シフトレジスタがエンプティの場合、SPI は送信バッファのデータをシフトレジスタにコピーします。このとき、送信 FIFO 内の空き段数が TTRG の値より大きい場合、SPI は送信バッファエンプティ割り込み要求 (SPIi_SPTI) を発生させ、SPTEF フラグを 1 にします。シリアル転送の開始方法は、SPI のモードに依存します。詳細は、「34.3. 動作説明」と「34.3.13. クロック同期式動作」を参照してください。
3. 送信バッファエンプティ割り込みルーチン、または SPTEF フラグによる送信バッファエンプティの処理により SPDR に送信データを書き込むと、SPI は送信バッファにデータを書き込みます。DTC または DMAC を使用して 1 つの処理ルーチンで SPDR に送信データを書き込むと、最後のアクセス時に SPTEF フラグが 0 にクリアされます。シフトレジスタにはシリアル転送中のデータが格納されているため、SPI は送信バッファのデータをシフトレジスタにコピーしません。
4. シリアル転送終了時に、SPDR の受信バッファが FIFO 段数を超える場合、SPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPIi_SPRI) を発生させ、SPRF フラグを 1 にします。シリアル転送が終了するとシフトレジスタはエンプティになりますが、次の送信データが送信 FIFO に設定されている状態でシリアル転送が終了すると、SPI は SPTEF フラグを 1 にし、送信バッファのデータをシフトレジスタにコピーします。オーバーランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると SPI はシフトレジスタがエンプティであると判断し、送信バッファからシフトレジスタへのデータ転送が可能な状態になります。
5. 受信バッファフル割り込みルーチン、または SPRF フラグによる受信バッファフル割り込みの処理で SPDR レジスタを読み出すと、受信データが読み出せます。DTC または DMAC を使用して 1 つの処理ルーチンで SPDR から受信データを読み出すと、最後のアクセス時に SPRF フラグが 0 にクリアされます。

送信 FIFO 内の空き段数が 0 のときに SPDR レジスタに送信データを書き込むと、SPI は送信バッファにあるデータを更新しません。SPDR レジスタへ書き込む場合は、必ず送信バッファエンプティ割り込み要求を使用するか、あるいは SPTEF フラグによる送信バッファエンプティ割り込みの処理でエンプティを確認してください。送信バッファエンプティ割り込みを使用する場合には、SPCR.SPTIE ビットを 1 にしてください。SPI 機能が無効（SPCR.SPE ビット = 0）の場合には、SPTIE ビットを 0 にしてください。

受信 FIFO に FIFO の段数分のデータが格納されている状態でシリアル転送が終了すると、SPI はシフトレジスタからデータをコピーせず、オーバーランエラーを検出します（「34.3.10. エラー検出」を参照してください）。受信データのオーバーランエラーを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。SPI 受信バッファフル割り込みを使用する場合には、SPCR.SPRIE ビットを 1 にしてください。

送信／受信バッファの状態は、送信／受信割り込み、または関連する ICU の IELSRn.IR フラグ（n は割り込みベクタ番号）によって確認することができます。

同様に、SPSR.SPTEF および SPSR.SPRF フラグによっても、送信／受信バッファの状態を確認できます。割り込みベクタ番号については、「13. 割り込みコントローラユニット (ICU)」を参照してください。

34.3.8 アイドル割り込み

SPI ステータスレジスタ (SPSR) の SPCP[2:0]ビットが 000b（シーケンス制御の開始）になるとき、SPI ステータスレジスタ (SPSR) の IDLNF フラグが 1 になり、マスタモード動作中のアイドル割り込み要求が発行されます。SPCR.SPE ビットを 0 にクリアすることでも、割り込み要求が発行されます。

［Motorola-SPI の場合］

図 34.34 に通常動作におけるアイドル割り込み動作の例を示します。

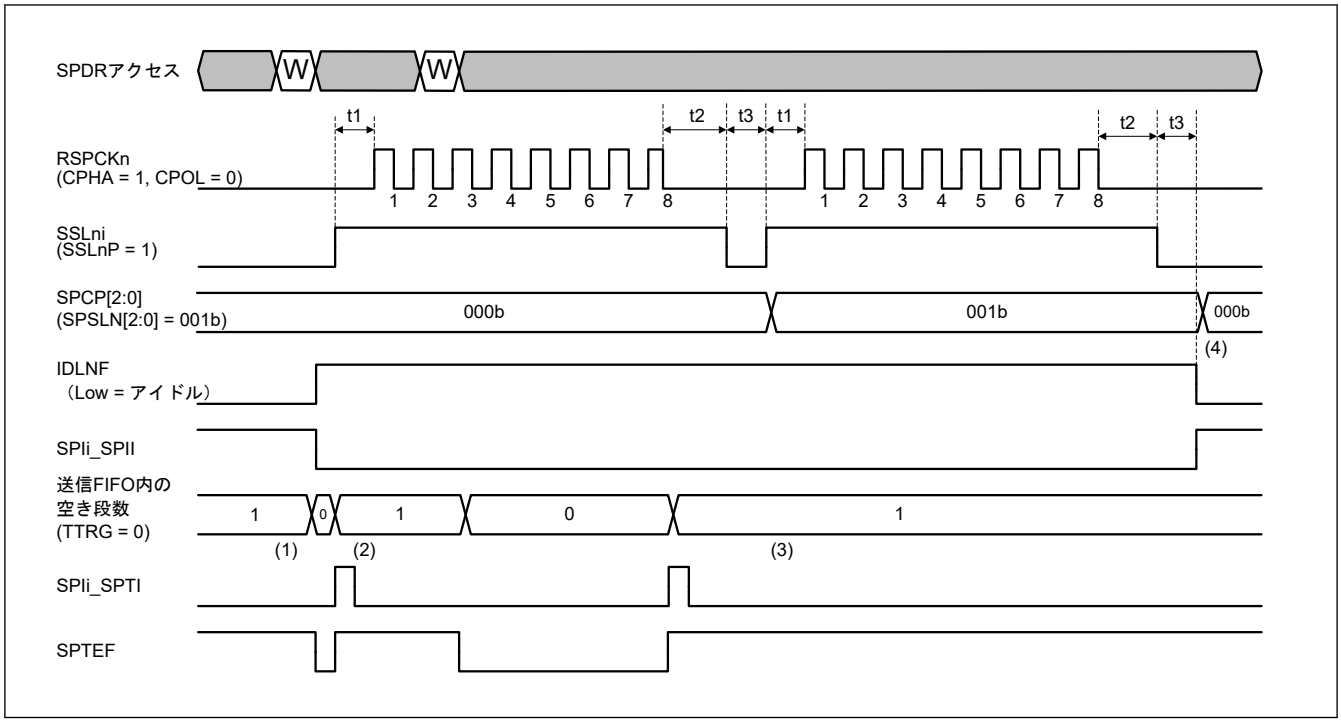


図 34.34　アイドル割り込み動作の例（マスタモード／Motorola-SPI）

1. 送信開始時に、次の転送データが送信バッファに設定されていない場合、IDLNF フラグが 0 (IDLE) になります。送信データを書き込むと、IDLNF フラグが 1 (BUSY) になります。送信データを書き込む前に SPI 制御レジスタ (SPCR) の SPIIE ビットが 1 に設定されると、送信開始前に割り込み処理が必要になります。そのため、送信開始前に SPIIE ビットを 0 に設定します。
2. 送信バッファの状態にかかわらず、送信を開始した後も IDLNF フラグは 1 (BUSY) のままになります。
3. t3 サイクルの終わりで、SPCP[2:0]ビットは次のコマンドにコマンドを変更します。次のコマンドが 000b でないとき、次の送信データが書き込まれていなくても IDLNF フラグは変わらずそのままになります。
4. t3 サイクルの終わりで、次のコマンドが 000b であり次の送信データが無いため、IDLNF フラグは 0 (IDLE) にクリアされます。SPIIE ビットが現在 1 の場合、SPIi_SPII　(i = 0, 1)　割り込みが出力されます。

［TI-SSP の場合］

図 34.35 に通常動作におけるアイドル割り込み動作の例を示します。

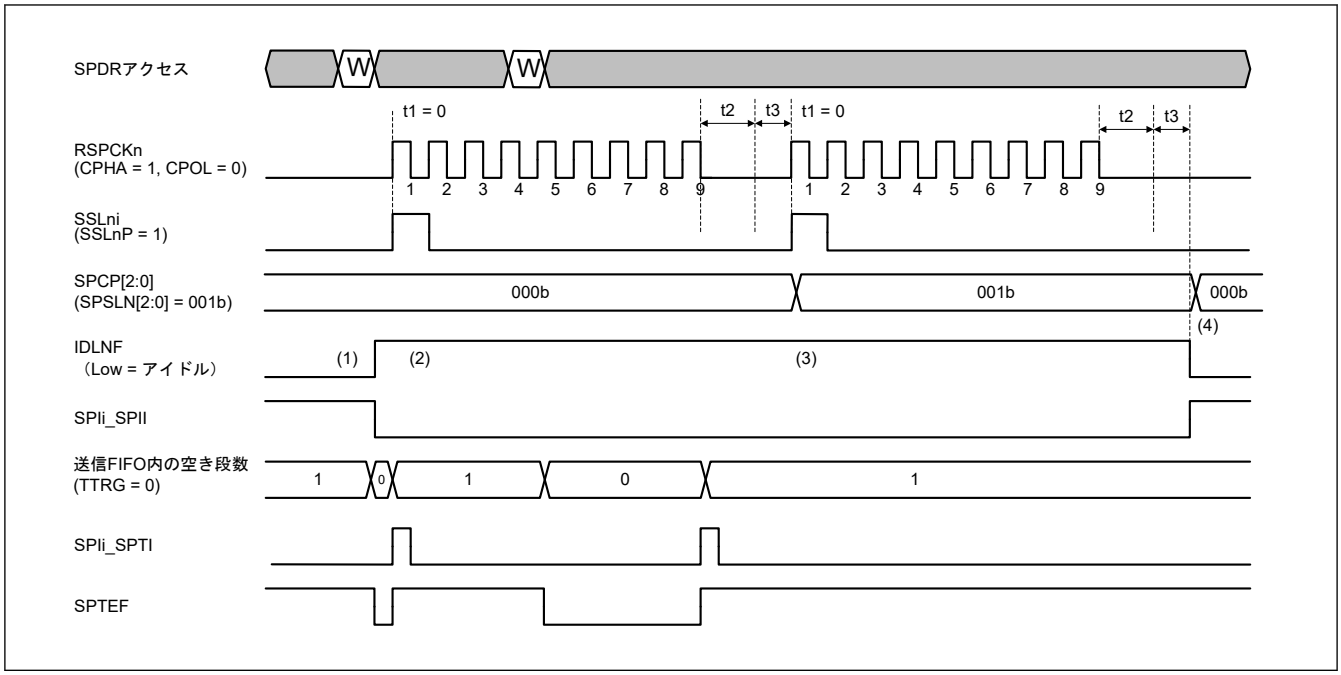


図 34.35　アイドル割り込み動作の例（マスタモード／TI-SSP）

1. 送信開始時に、次の転送データが送信バッファに設定されていない場合、IDLNF フラグが 0 (IDLE) になります。送信データを書き込むと、IDLNF フラグが 1 (BUSY) になります。送信データを書き込む前に SPI 制御レジスタ (SPCR) の SPIIE ビットが 1 に設定されると、送信開始前に割り込み処理が必要になります。そのため、送信開始前に SPIIE ビットを 0 に設定します。
2. 送信バッファの状態にかかわらず、送信を開始した後も IDLNF フラグは 1 (BUSY) のままになります。
3. t3 サイクルの終わりで、SPCP[2:0] ビットは次のコマンドにコマンドを変更します。次のコマンドが 000b でないとき、次の送信データが書き込まれていなくても IDLNF フラグは変わらずそのままになります。
4. t3 サイクルの終わりで、次のコマンドが 000b であり次の送信データがないため、IDLNF フラグは 0 (IDLE) にクリアされます。現在、SPIIE ビットが 1 の場合、SPIi_SPII 割り込みが出力されます。

34.3.9　通信終了割り込み

34.3.9.1　マスタモードでの送受信／送信

マスタモードでの送受信／送信専用時の通信完了フラグの設定／クリア条件については、「34.2.9. SPSR : SPI ステータスレジスタ」の CENDF ビットの説明を参照してください。

［モトローラ SPI の場合］

図 34.36 に、送受信／送信マスタモードでの通信終了割り込みの動作例を示します。

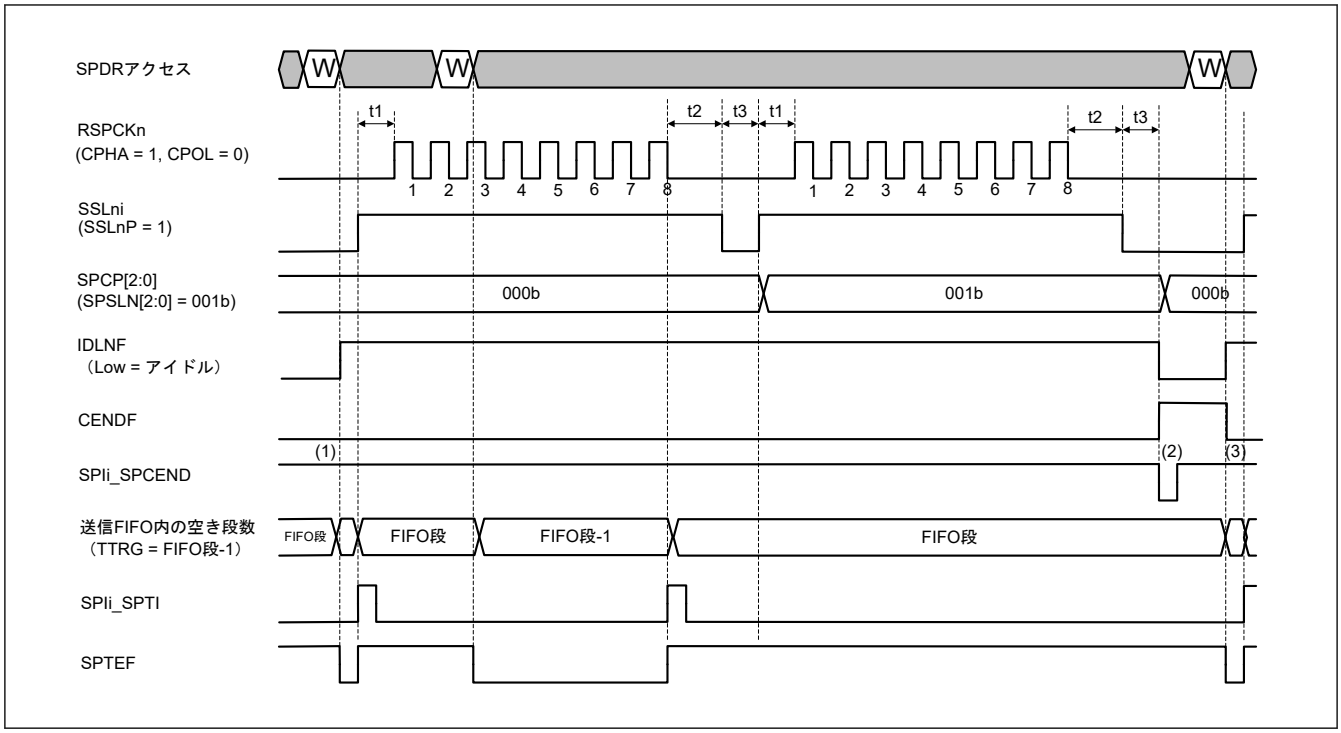


図 34.36　通信終了割り込み動作例（送受信／送信マスタモード／モトローラ SPI）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND (i = 0, 1) のレベルは 1 です。これらは通信期間中維持されます。
2. 次のコマンドが 000b で次の送信データがないため、t3 期間の終わりで CENDF フラグは 1（通信終了）になり、CENDIE ビットが 1 になると SPIi_SPCEND 割り込みが出力されます。
3. 次の送信データが送信バッファ (SPTX) に書かれると、CENDF フラグがクリアされます。または、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

［TI-SSP の場合］

図 34.37 に、送受信／送信のみマスタモードでの通信終了割り込みの動作例を示します。

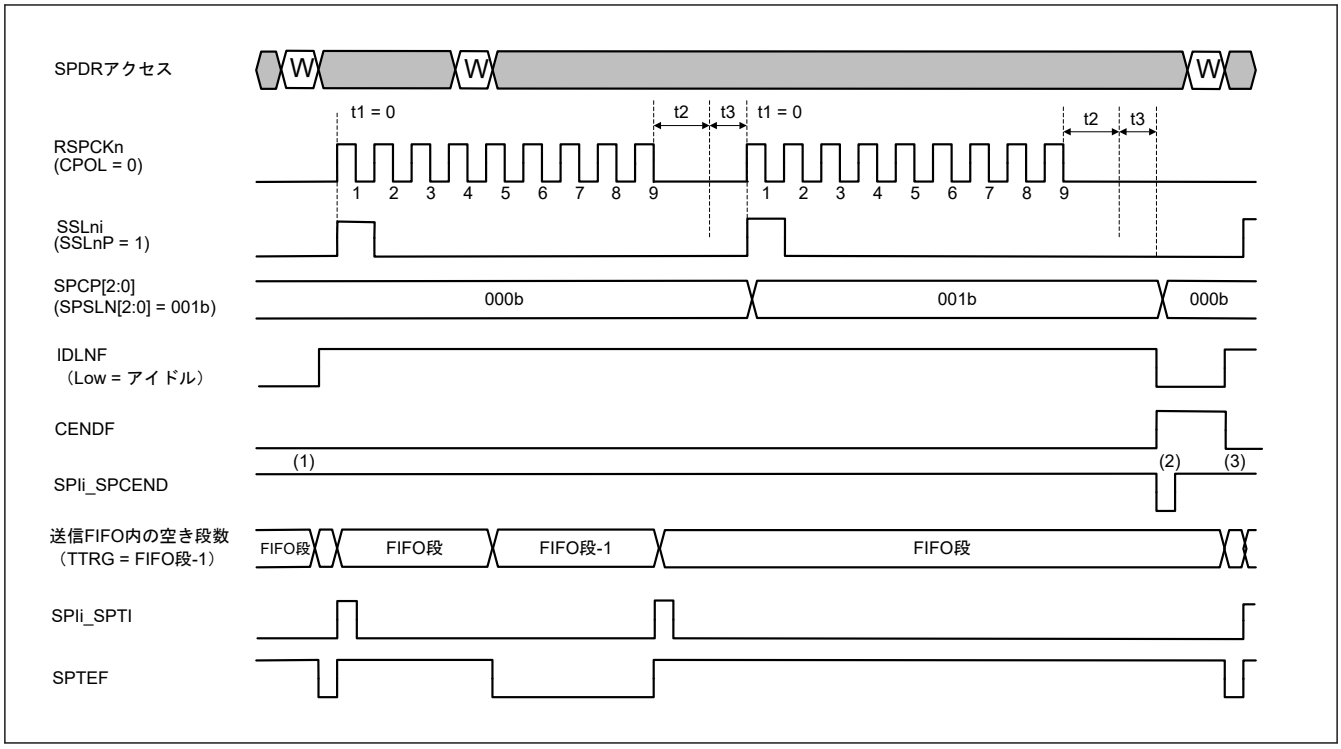


図 34.37　通信終了割り込み動作例（送受信／送信のみマスタモード／TI-SSP）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. 次のコマンドが 000b で次の送信データがないため、t3 期間の終わりで CENDF フラグは 1（通信終了）になり、CENDIE ビットが 1 の場合に PCLK の 1 サイクル幅で SPIi_SPCEND 割り込みが出力されます。
3. 次の送信データが送信バッファ (SPTX) に書かれると、CENDF フラグがクリアされます。または、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

スレーブモード動作において、通信終了割り込みの出力タイミングは SPCR.SPMS ビット（SPI モード選択ビット）の値によって異なり、通信終了割り込みのクリアタイミングは通信モード（送受信、送信のみ、または受信のみ）によって異なります。

34.3.9.2　受信専用マスタモード

受信専用マスタモードでの通信完了フラグのセット条件／クリア条件については、「34.2.9. SPSR : SPI ステータスレジスタ」の CENDF ビットの説明を参照してください。

図 34.38 に、RMFM[4:0] = 0 時の受信専用マスタモードでの通信終了割り込み動作例を示します。

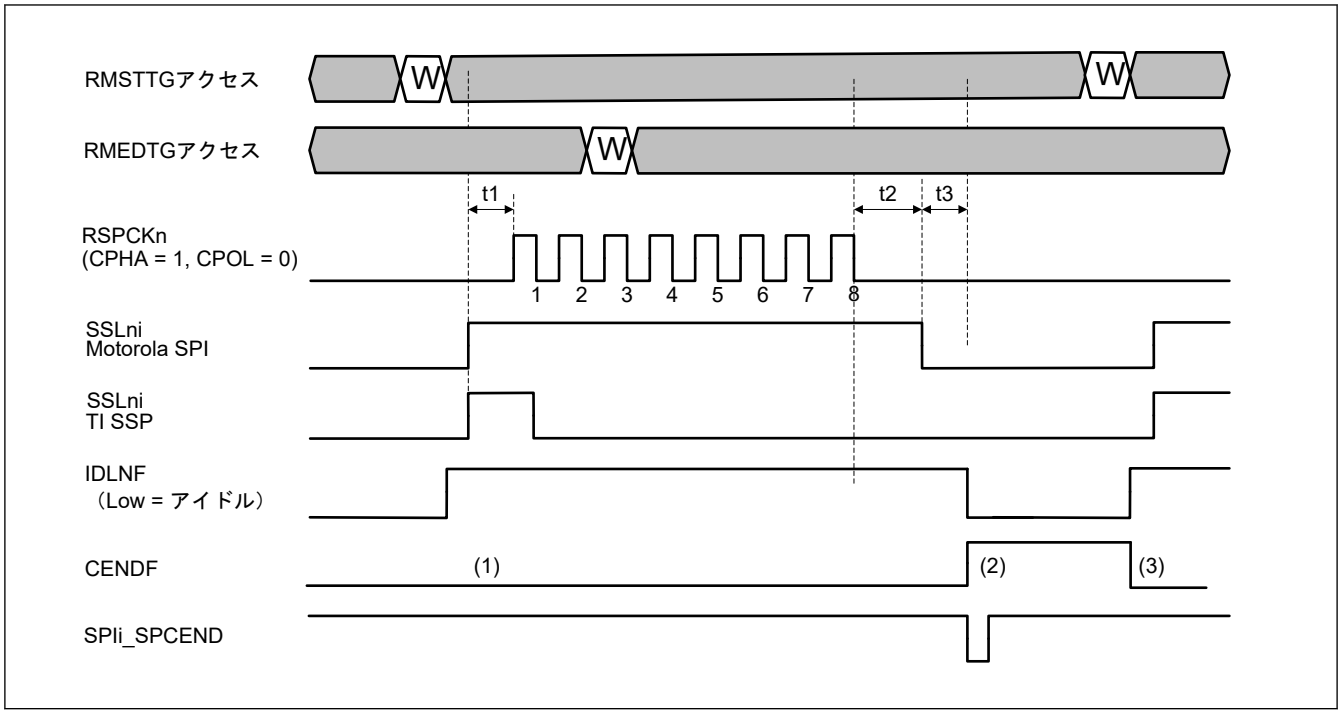


図 34.38　RMFM[4:0] = 0 時の通信終了割り込み動作例（受信専用マスタモード／Motorola-SPI）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. 通信フレーム期間中に RMEDTG に 1 を書き込むことにより、t3 サイクルの終わりに CENDF フラグは 1（通信終了）になります。それから CENDIE ビットが 1 のとき、SPIi_SPCEND 割り込みを PCLK の 1 サイクル幅で出力します。
3. RMSTTG に 1 を書き込むと、CENDF フラグはクリアされます。また、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

図 34.39 に、RMFM[4:0] ≠ 0 時の受信専用マスタモードでの通信終了割り込み動作例を示します。

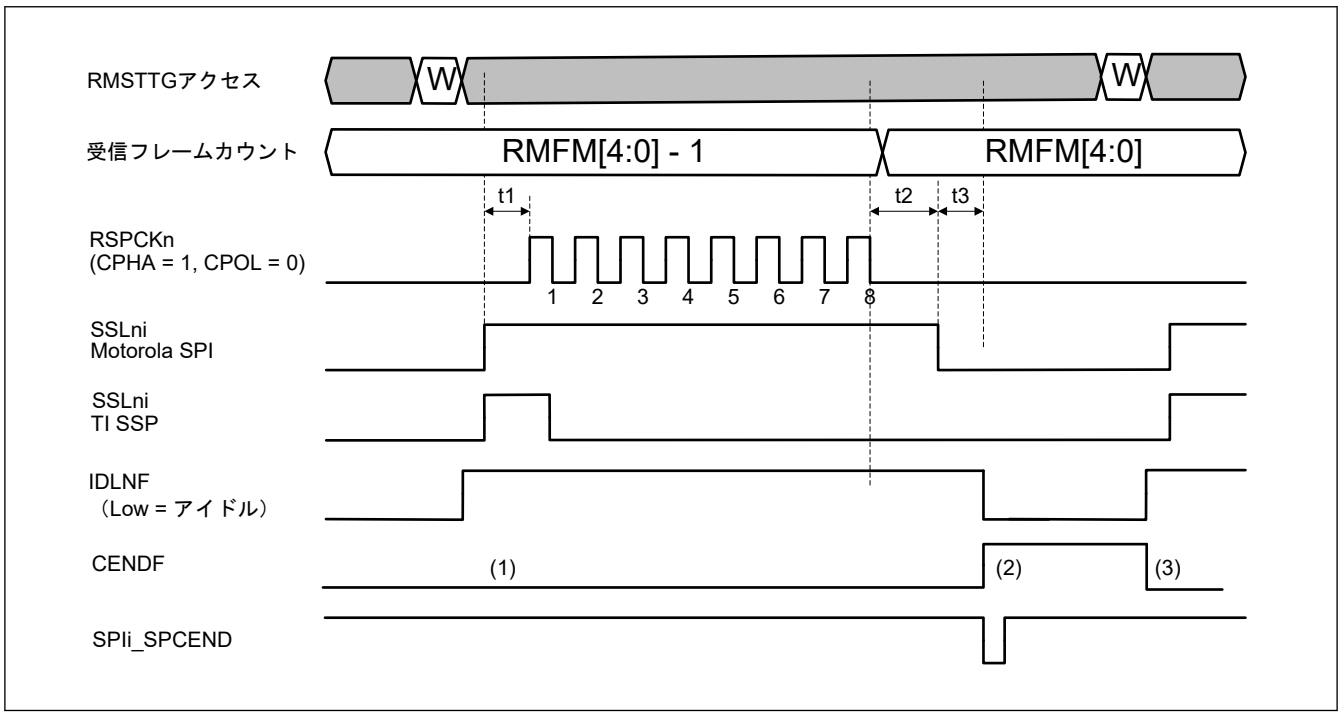


図 34.39　RMFM[4:0] ≠ 0 時の通信終了割り込み動作例（受信専用マスタモード／Motorola-SPI）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。

2. RMFM[4:0]により設定されたフレーム数を受信後、t3 サイクルの終わりに CENDF フラグは 1（通信終了）になります。それから CENDIE ビットが 1 のとき、SPIi_SPCEND 割り込みを PCLK の 1 サイクル幅で出力します。
3. RMSTTG に 1 を書き込むと、CENDF フラグはクリアされます。また、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

34.3.9.3 SPI 動作（4 線式）時のスレーブモードでの送受信／送信

スレーブモード（4 線式）での送受信／送信専用時の通信完了フラグの設定／クリア条件については、「34.2.9. SPSR : SPI ステータスレジスタ」の CENDF ビットの説明を参照してください。

[Motorola-SPI の場合]

図 34.40 に、SPI 動作時の送受信／送信スレーブモードでの通信終了割り込み動作例を示します。

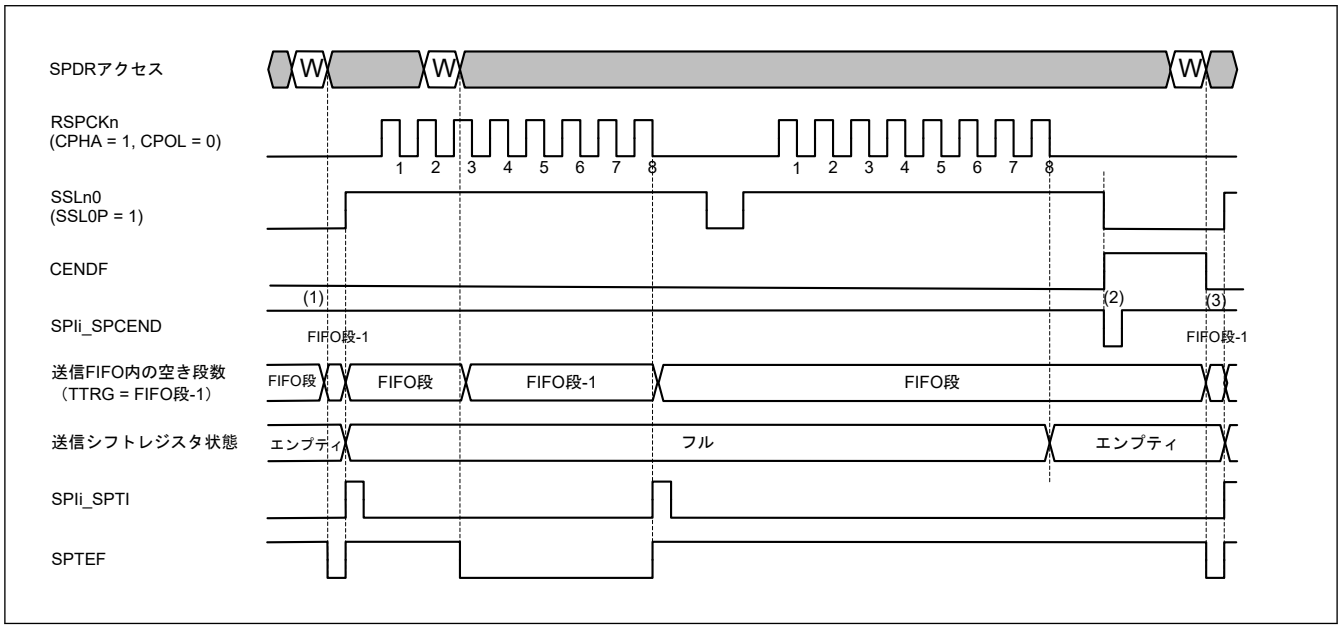


図 34.40 通信終了割り込み動作例（SPI 動作／Motorola-SPI 時の送受信／送信スレーブモード）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. 次の転送データが送信 FIFO にセットされておらず、送信シフトレジスタがエンプティの場合は、SSLn0 ネゲートのタイミングで CENDF フラグが 1（通信終了）になります。それから CENDIE ビットが 1 のとき、SPIi_SPCEND 割り込みを PCLK の 1 サイクル幅で出力します。
3. 次の送信データが送信バッファ (SPTX) に書き込まれると、CENDF フラグがクリアされます。または、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

[TI-SSP の場合]

図 34.41 に、SPI 動作時の送受信／送信専用スレーブモードでの通信終了割り込み動作例を示します。

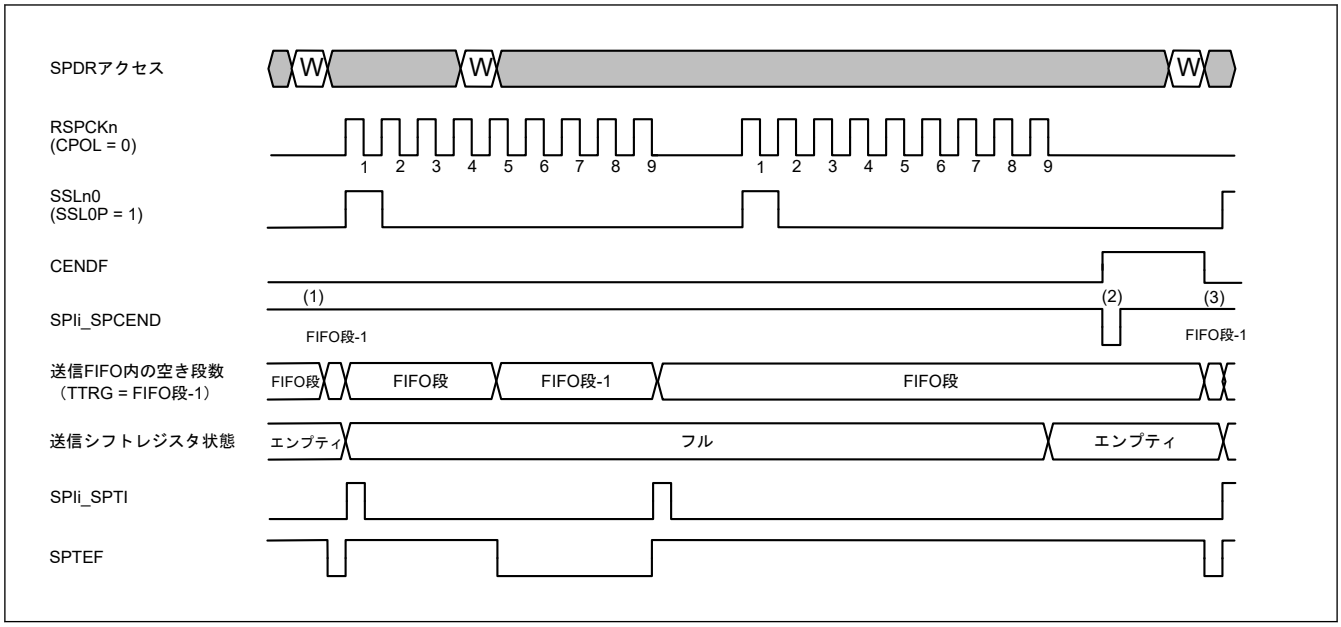


図 34.41　通信終了割り込み動作例（SPI 動作／TI-SSP 時の送受信／送信専用スレーブモード）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. 次の転送データが送信 FIFO にセットされておらず、送信シフトレジスタがエンプティの場合は、RSPCKn の最終データビットサンプリング時に CENDF フラグが 1（通信終了）になります。それから CENDIE ビットが 1 のとき、SPIi_SPCEND 割り込みを PCLK の 1 サイクル幅で出力します。
3. 次の送信データが送信バッファ (SPTX) に書き込まれると、CENDF フラグがクリアされます。または、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

34.3.9.4　SPI 動作（4 線式）時のスレーブモードでの受信専用

スレーブモード（4 線式）での受信専用時の通信完了フラグの設定／クリア条件については、「34.2.9. SPSR : SPI ステータスレジスタ」の CENDF ビットの説明を参照してください。

[Motorola-SPI の場合]

図 34.42 に、SPI 動作（4 線式）時の受信のみスレーブモードでの通信終了割り込み動作例を示します。

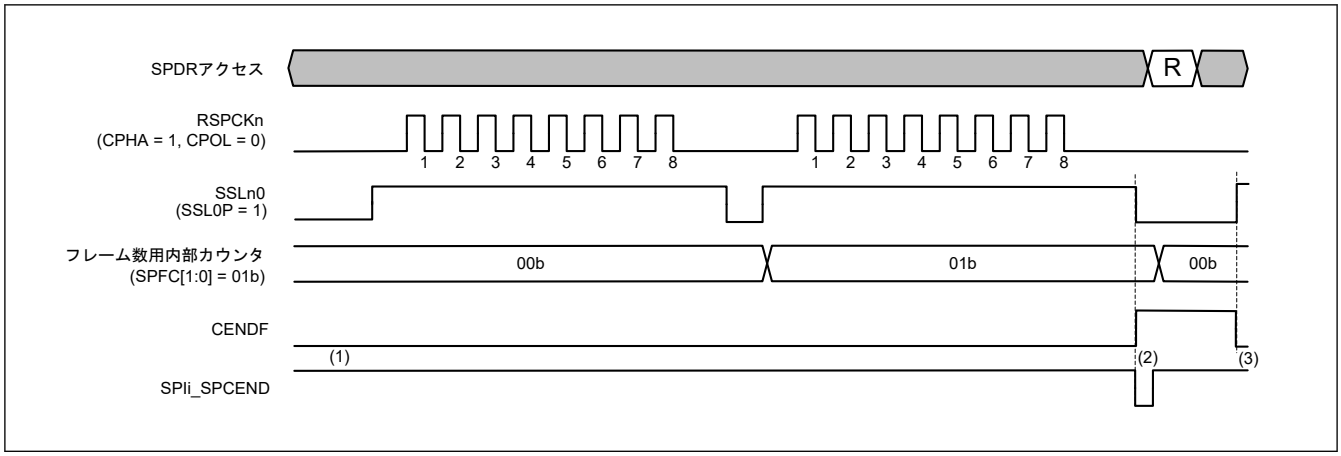


図 34.42　通信終了割り込み動作例（SPI 動作時の受信のみスレーブモード／Motorola-SPI）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. SPI データコントロールレジスタ (SPDCR) の SPFC 設定値分のフレームを受信バッファに格納した後、SSLn0 ネゲートのタイミングで CENDF フラグが 1（通信完了）になります。それから CENDIE ビットが 1 のとき、SPIi_SPCEND 割り込みを PCLK の 1 サイクル幅で出力します。

3. 次の送信が開始したとき、SSLn0 アサート時に CENDF フラグがクリアされます。または、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

[TI-SSP の場合]

図 34.43 に、SPI 動作（4 線式）時の受信のみスレーブモードでの通信終了割り込み動作例を示します。

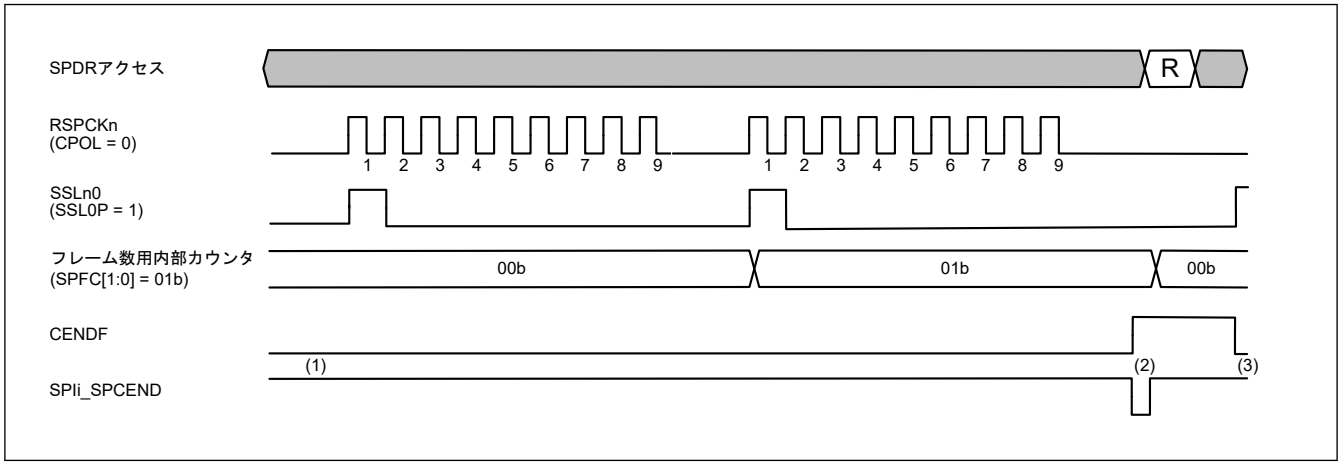


図 34.43　通信終了割り込み動作例（SPI 動作時の受信のみスレーブモード／TI-SSP）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. 最終フレーム送信終了時に、RSPCK の最終データビットサンプリングのタイミングで、CENDF フラグが 1（通信終了）になります。それから CENDIE ビットが 1 のとき、SPIi_SPCEND 割り込みを PCLK の 1 サイクル幅で出力します。
3. 次の送信が開始したとき、SSLn0 アサート時に CENDF フラグがクリアされます。または、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

34.3.9.5　クロック同期式動作（3 線式）時のスレーブモードでの送受信／送信

クロック同期（3 線式）時のスレーブモードでの送受信／送信専用時の通信完了フラグの設定／クリア条件については、「34.2.9. SPSR : SPI ステータスレジスタ」の CENDF ビットの説明を参照してください。

図 34.44 に、クロック同期式動作（3 線式）時の送受信／送信スレーブモードでの通信終了割り込み動作例を示します。

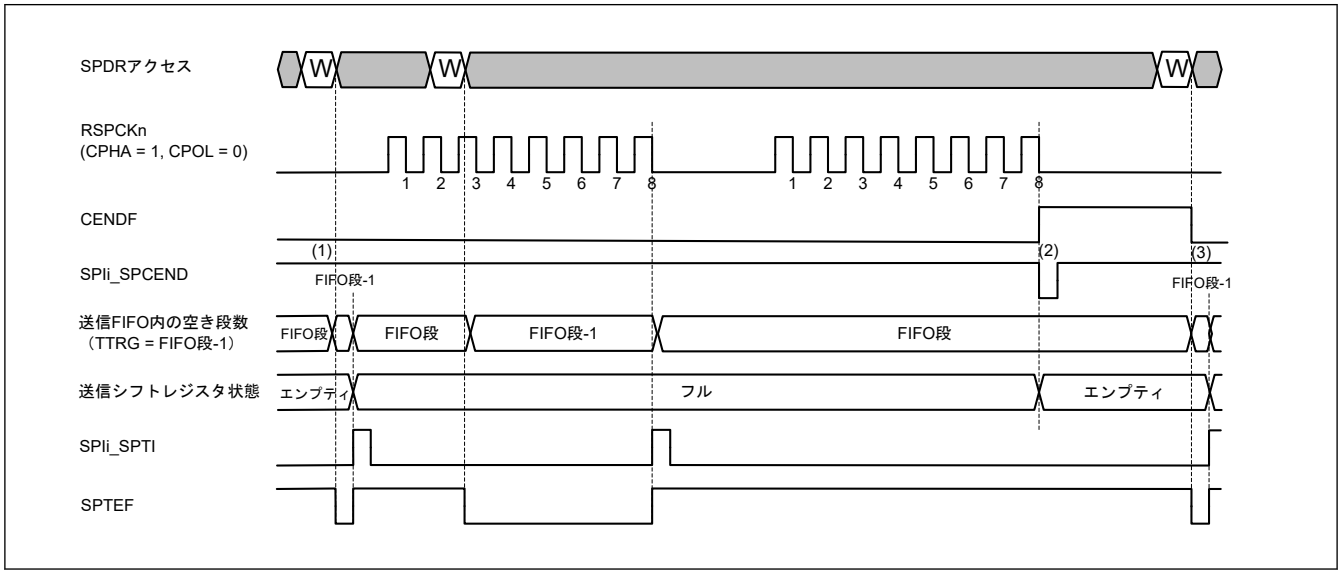


図 34.44　通信終了割り込み動作例（クロック同期式動作時の送受信／送信スレーブモード）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。

2. 次の転送データが送信 FIFO にセットされておらず、送信シフトレジスタがエンプティのとき、CENDIE ビットが 1 の場合は PCLK 1 サイクル分の幅で SPIi_SPCEND 割り込みを出力します。
3. 次の送信データが送信バッファ (SPTX) に書き込まれると、CENDF フラグがクリアされます。または、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

34.3.9.6 クロック同期式動作（3 線式）時のスレーブモードでの受信専用

クロック同期（3 線式）時のスレーブモードでの受信専用時の通信完了フラグの設定／クリア条件については、「34.2.9. SPSR : SPI ステータスレジスタ」の CENDF ビットの説明を参照してください。

図 34.45 に、クロック同期動作時の受信のみスレーブモードでの通信終了割り込み動作例を示します。

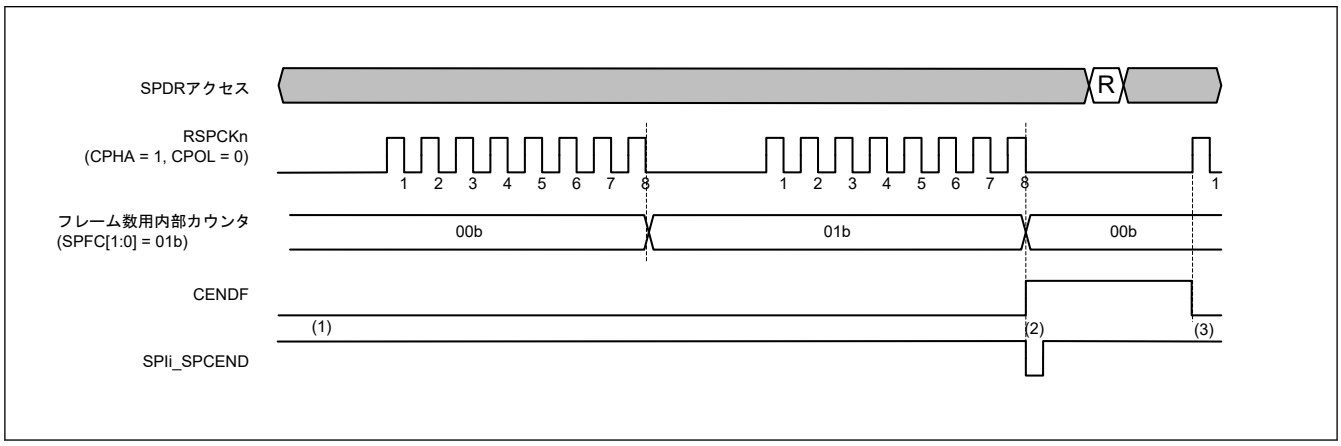


図 34.45 通信終了割り込み動作例（クロック同期式動作時の受信のみスレーブモード）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. SPI データコントロールレジスタ (SPDCR) の SPFC 設定値の最終フレームを受信したときに、最終フレーム通信における RSPCKn の最終データビットのサンプリングのタイミングで、CENDF フラグは 1（通信完了）になります。それから CENDIE ビットが 1 の場合、PCLK 1 サイクル分の幅で SPIi_SPCEND 割り込みを出力します。
3. 次の送信の RSPCKn の最初のエッジで、CENDF フラグがクリアされます。または、SPSRC.CENDFC ビットに 1 を書き込むと、CENDF フラグは 0 になります。

34.3.9.7 共通動作

この章では「34.3.9.1. マスタモードでの送受信／送信」～「34.3.9.6. クロック同期式動作（3 線式）時のスレーブモードでの受信専用」に記載の各モード／領域オプション通信に共通する動作について説明します。通信完了時に SPI 通信終了割り込み許可 (CENDIE) が 0 の場合、通信終了フラグ (CENDF) が設定され、通信終了のイベントが出力されますが、割り込みは出力されません。しかし、SPI 機能許可 (SPE) が 1 のときに通信終了フラグ (CENDF) がクリアされる前に通信終了割り込み許可 (CENDIE) が 1 になると、通信終了割り込み (SPIi_SPCEND) が出力されます。

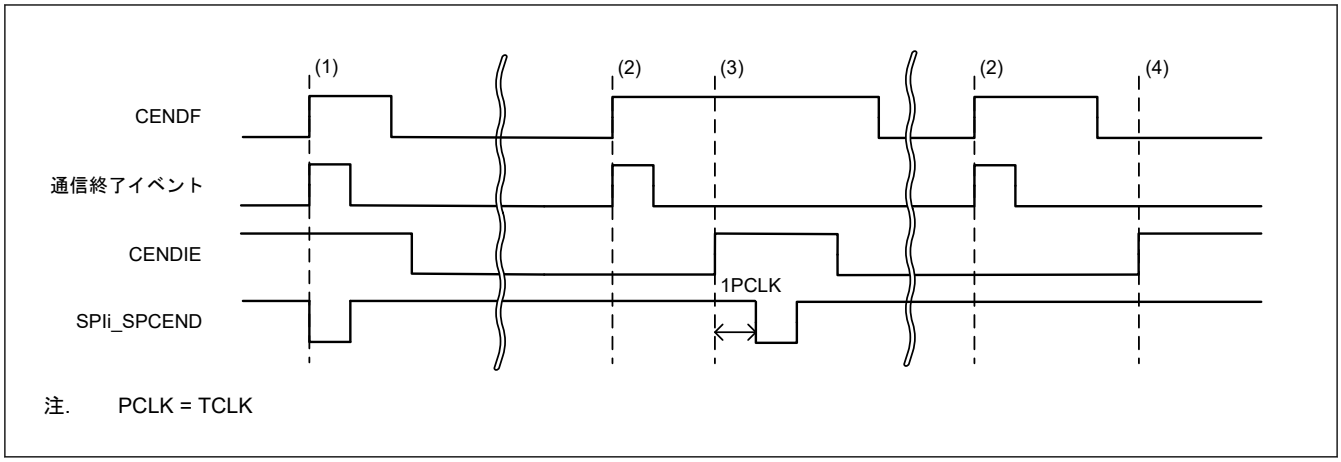


図 34.46 通信終了割り込みの動作例（イネーブル制御）

1. 通信完了時 SPI 通信終了割り込みのイネーブルビット (CENDIE) が 1 の場合、下記の 3 つが同じタイミングになります。
   - 通信終了フラグ (CENDF)
   - 通信終了イベント
   - 通信終了割り込み (SPIi_SPCEND)
2. 通信完了時 SPI 通信終了割り込みのイネーブルビット (CENDIE) が 0 の場合、下記の 2 つが同じタイミングになりますが、割り込みは発生しません。
   - 通信終了フラグ (CENDF)
   - 通信終了イベント
3. (2) の後、SPI 機能イネーブルビット (SPE) および通信終了フラグ (CENDF) が 1 のときに通信終了割り込みイネーブルビット (CENDIE) が設定されると、TCLK の 1 サイクル後に通信終了割り込み (SPIi_SPCEND) が出力されます。
4. (2) の後、SPI 機能イネーブルビット (SPE) または通信終了フラグ (CENDF) が 0 のときに通信終了割り込みイネーブルビット (CENDIE) がセットされても、通信終了割り込み (SPIi_SPCEND) は出力されません。

34.3.10 エラー検出

通常の SPI シリアル転送では、SPDR の送信バッファに書き込まれたデータは送信され、受信データは SPDR の受信バッファから読み出し可能です。SPDR へのアクセスを行う場合、送信または受信バッファの状態、またはシリアル転送の始めと終わりの SPI の状態によっては異常な転送が起こることがあります。

通常以外の転送が発生した場合には、SPI はアンダーランエラー、オーバーランエラー、パリティエラー、またはモードフォルトエラーとして検出します。 表 34.9 に、通常以外の転送動作と SPI のエラー検出機能の関係を示します。

表 34.9 通常以外の転送動作と SPI のエラー検出機能の関係 (1/2)

動作	発生条件	SPI 動作	エラー検出
1	送信 FIFO の空き段数が 0 の状態で SPDR を書き込み	• 送信バッファ内容を保持 • 書き込みデータ欠落	なし
2	受信 FIFO にデータが格納されていない状態で SPDR を読み出し	受信バッファ内容および受信済みデータを出力	なし
3	SPI がデータ送信不能のときに、スレーブモードでシリアル転送が開始	• シリアル転送を中断 • 送受信データ欠落 • MISOn 端子の出力信号のドライブ停止 • SPI 機能は無効	アンダーランエラー
4	受信 FIFO に FIFO の段数分のデータが格納されている状態で、シリアル転送が終了	• 受信 FIFO の内容を保持 • 受信データ欠落	オーバーランエラー

表 34.9 通常以外の転送動作と SPI のエラー検出機能の関係 (2/2)

動作	発生条件	SPI 動作	エラー検出
5	以下のモードで、全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信 ● 送受信マスタモード ● 受信専用マスタモード ● 送受信スレーブモード ● 受信専用スレーブモード	パリティエラーフラグのアサート	パリティエラー
6	マルチマスタモードでシリアル転送アイドル時に SSLn0 端子の入力信号アサート	● RSPCKn、MOSIn、SSLn1～SSLn3 端子の出力信号のドライブ停止 ● SPI 機能は無効	モードフォルトエラー
7	マルチマスタモードでシリアル転送中に SSLn0 端子の入力信号アサート	● シリアル転送を中断 ● 送受信データ欠落 ● RSPCKn、MOSIn、SSLn1～SSLn3 端子の出力信号のドライブ停止 ● SPI 機能は無効	モードフォルトエラー
8	[Motorola-SPI の場合] スレーブモードでシリアル転送中に SSLn0 端子の入力信号ネゲート	● シリアル転送を中断 ● 送受信データ欠落 ● MISOn 端子の出力信号のドライブ停止 ● SPI 機能は無効	モードフォルトエラー
9	[TI-SSP の場合] スレーブモードでシリアル転送中に SSLn0 入力信号をアサート	● シリアル転送を中断 ● 送受信データ欠落 ● MISOn 出力信号のドライブ停止 ● SPI 機能は無効	モードフォルトエラー
10	SPDRES = 1 でデータが受信 FIFO に格納された後、格納されたデータ数はしきい値よりも少なく、SPDRC[7:0]の設定値に受信データは書き込まれません。	受信データレディフラグをアサート	受信データレディ

表 34.9 に説明されている動作 1 で、SPI はエラーを検出しません。SPDR への書き込み時のデータ欠落を防ぐため、SPDR への書き込みは送信バッファエンプティ割り込み要求を使用して実行する必要があります（SPSR.SPTEF フラグが 1 の場合）。

同様に、動作 2 で SPI はエラーを検出しません。異質なデータが読み出されるのを防ぐため、SPDR の読み出しは SPI 受信バッファフル割り込み要求で実行する必要があります（SPSR.SPRF フラグが 1 の場合）。

表中のその他のエラーについては、下記の節を参照してください。

- 動作 3 に示したアンダーランエラーについては、「34.3.10.4. アンダーランエラー」を参照してください。
- 動作 4 に示したオーバーランエラーについては、「34.3.10.1. オーバーランエラー」を参照してください。
- 動作 5 に示したパリティエラーについては、「34.3.10.2. パリティエラー」を参照してください。
- 動作 6～9 に示したモードフォルトエラーについては、「34.3.10.3. モードフォルトエラー」を参照してください。
- 送信および受信割り込みについては、「34.3.7. 送信バッファエンプティ／受信バッファフル割り込み」を参照してください。
- 動作 10 に示した受信データレディについては、「34.3.10.5. 受信データレディ」を参照してください。

34.3.10.1 オーバーランエラー

SPDR の受信バッファフルの状態でシリアル転送が終了すると、SPI はオーバーランエラーを検出して SPSR.OVRF フラグを 1 にします。OVRF フラグが 1 の状態では、SPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。OVRF フラグを 0 に設定するには、システムリセットを発行するか、SPSRC.OVRFC ビットに 1 を書き込みます。

図 34.47 に OVRF フラグと SPRF フラグの動作例を示します。図 34.47 に記載した SPSRC アクセスと SPDR アクセスは、それぞれ SPSRC レジスタと SPDR レジスタへのアクセス状況を示しています。W は書き込みサイクル、R は読み出しサイクルを示しています。この例では、SPCMDm.CPHA ビットが 1、かつ SPCMDm.CPOL ビットが 0 の設定で、SPI は 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した番号は RSPCK 周期の番号（= 転送ビットの番号）を示しています。

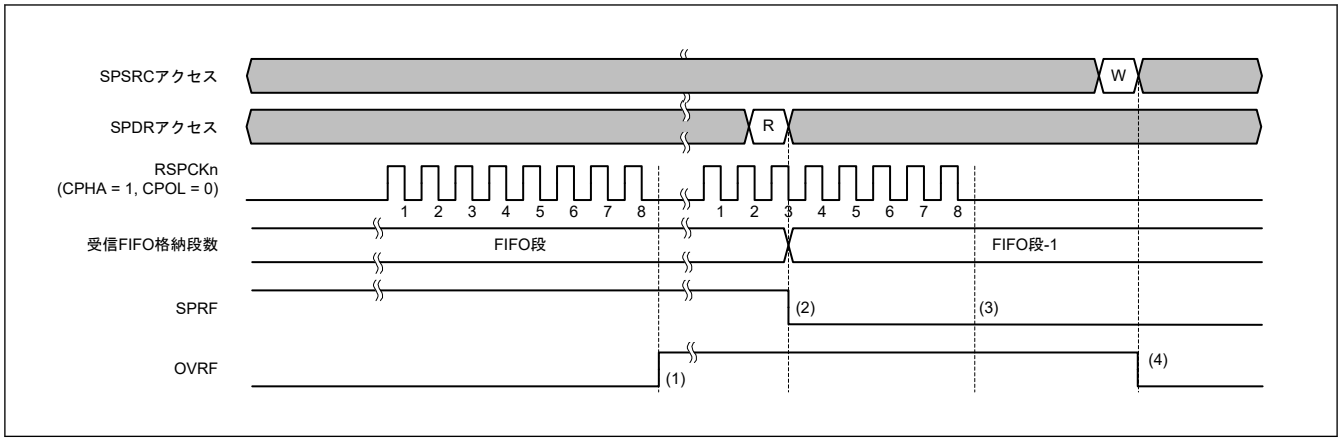


図 34.47 OVRF フラグおよび SPRF フラグの動作例

以下に、図 34.47 の (1) ～ (4) に示したタイミングでのフラグの動作内容を説明します。

1. FIFO 段数に対応するデータが格納された状態でシリアル転送が終了すると、SPI はオーバーランエラーを検出して OVRF フラグを 1 に設定します。SPI はシフトレジスタのデータを受信バッファにコピーしません。SPI は、SPPE = 1 の場合でもパリティエラーを検出しません。マスタモードでは、SPI は SPI コマンドレジスタ (SPCMDm) へのポインタの値を、SPI ステータスレジスタ (SPSR) の SPECM[2:0] ビットにコピーします。
2. SPDR を読み出すと、SPI は受信バッファのデータを出力します。このとき、DTC/DMAC を使用して 1 つの処理ルーチンで SPDR から受信データを読み出すと、最後のアクセス時に SPRF フラグが 0 にクリアされます。
3. OVRF フラグが 1 の状態（オーバーランエラー）でシリアル転送が終了した場合には、SPI はシフトレジスタのデータを受信バッファにコピーしません（SPRF フラグは 1 になりません）。受信バッファフル割り込みも発生しません。また、SPPE ビットが 1 であってもパリティエラーの検出は行いません。オーバーランエラー発生状態で、SPI がシフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると SPI はシフトレジスタを空であると判定します。これにより、送信バッファからシフトレジスタへのデータ転送が可能な状態になります。
4. SPSRC.OVRFC ビットを 1 にすると SPSR.OVRF フラグをクリアします。

オーバーランエラーの発生は、SPSR の読み出し、あるいは SPI エラー割り込みと SPSR の読み出しによって、確認できます。シリアル転送を実行する場合には、SPDR レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバーランエラー発生を早期に検出できるように対処してください。

オーバーランエラーが発生して OVRF フラグが 1 になると、OVRF フラグが 0 になるまで正常な受信動作ができなくなります。

マスタモードで RSPCK 自動停止機能を有効 (SPCR.SCKASE = 1) にした場合は、オーバーランエラーが発生しません。図 34.48 と図 34.49 に、マスタモード時の受信バッファフルの状態でシリアル転送が継続するときのクロック停止波形を示します。

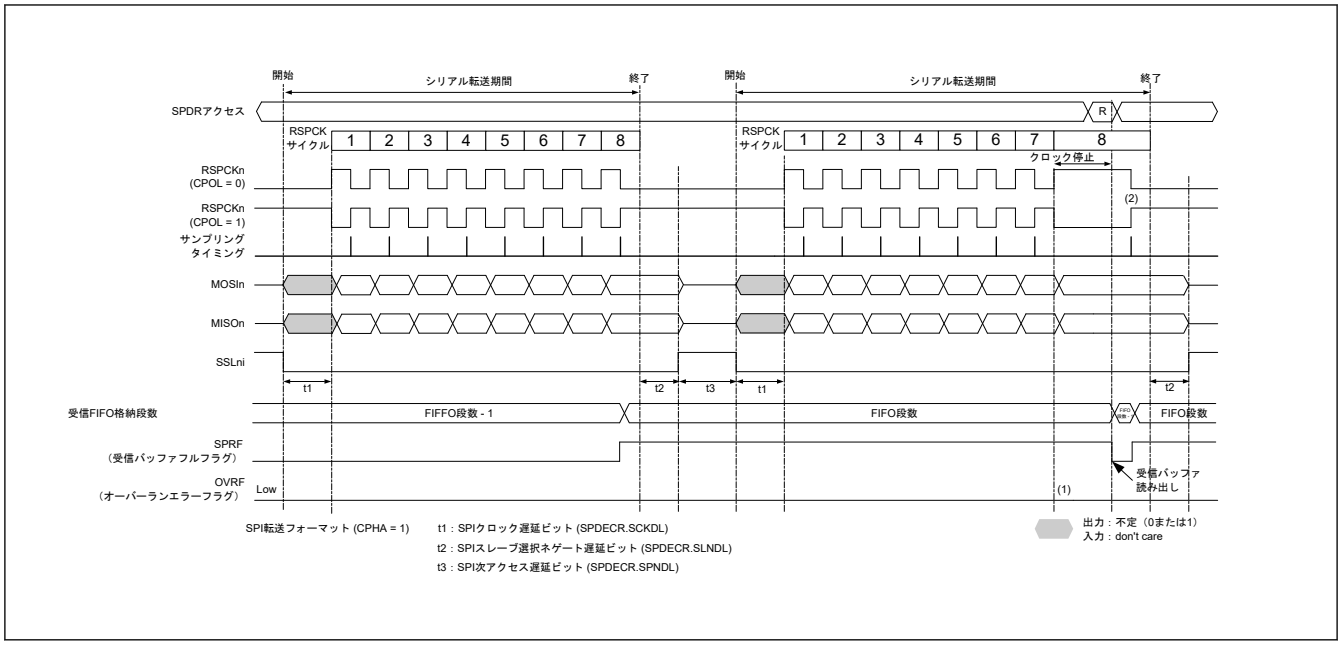


図 34.48　マスタモード時に FIFO の段数分のデータが格納された状態でシリアル転送が継続されるときのクロック停止波形 (CPHA = 1)

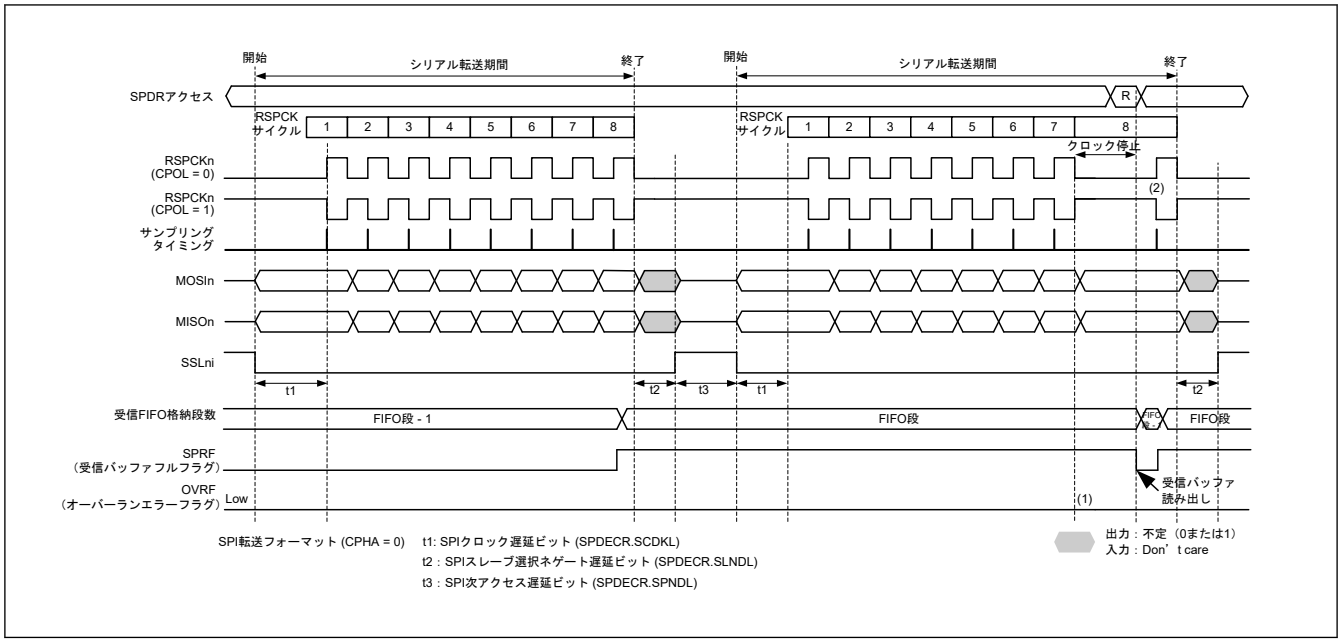


図 34.49　マスタモード時に FIFO の段数分のデータが格納された状態でシリアル転送が継続されるときのクロック停止波形 (CPHA = 0)

以下に、図 34.48 および図 34.49 の (1)、(2) に示したタイミングでのフラグ動作を説明します。

1. 受信 FIFO に FIFO の段数分のデータが格納されていると、RSPCK クロックの発振が停止してオーバーランエラーは発生しません。
2. クロック停止中に SPDR を読み出すと、受信バッファのデータが読み出せます。RSPCK クロックが発振を再開します。

マスタモードにおけるバースト転送の際、フレーム間遅延なしの転送に対し RSPCK 自動停止機能が有効であるとき、オーバーランエラーは発生しません。図 34.50 と図 34.51 に、バースト転送のフレーム間の遅延がなく、かつ受信 FIFO に FIFO の段数分のデータが格納された状態でシリアル転送が継続する場合のクロック停止波形を示します。

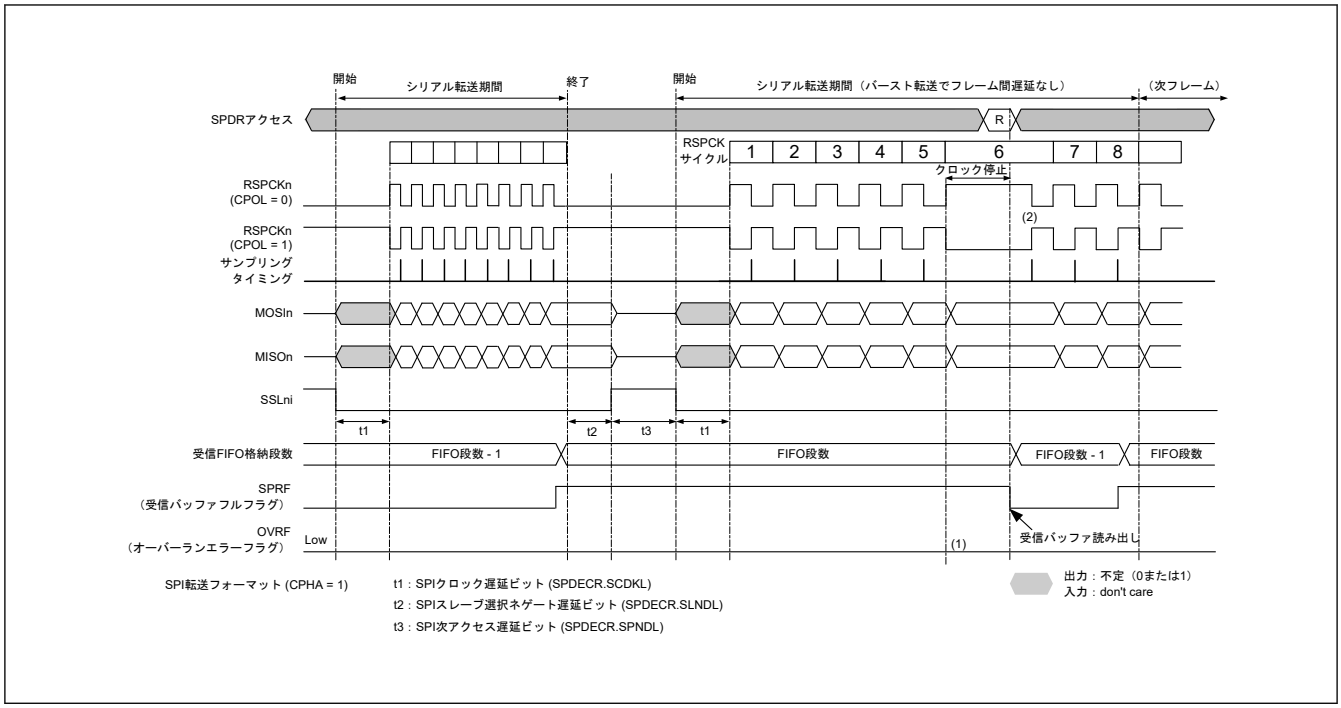


図 34.50　FIFO の段数分のデータが格納された受信バッファフルの状態でシリアル転送が継続する場合のクロック停止波形（バースト転送でフレーム間遅延なし、CPHA = 1）

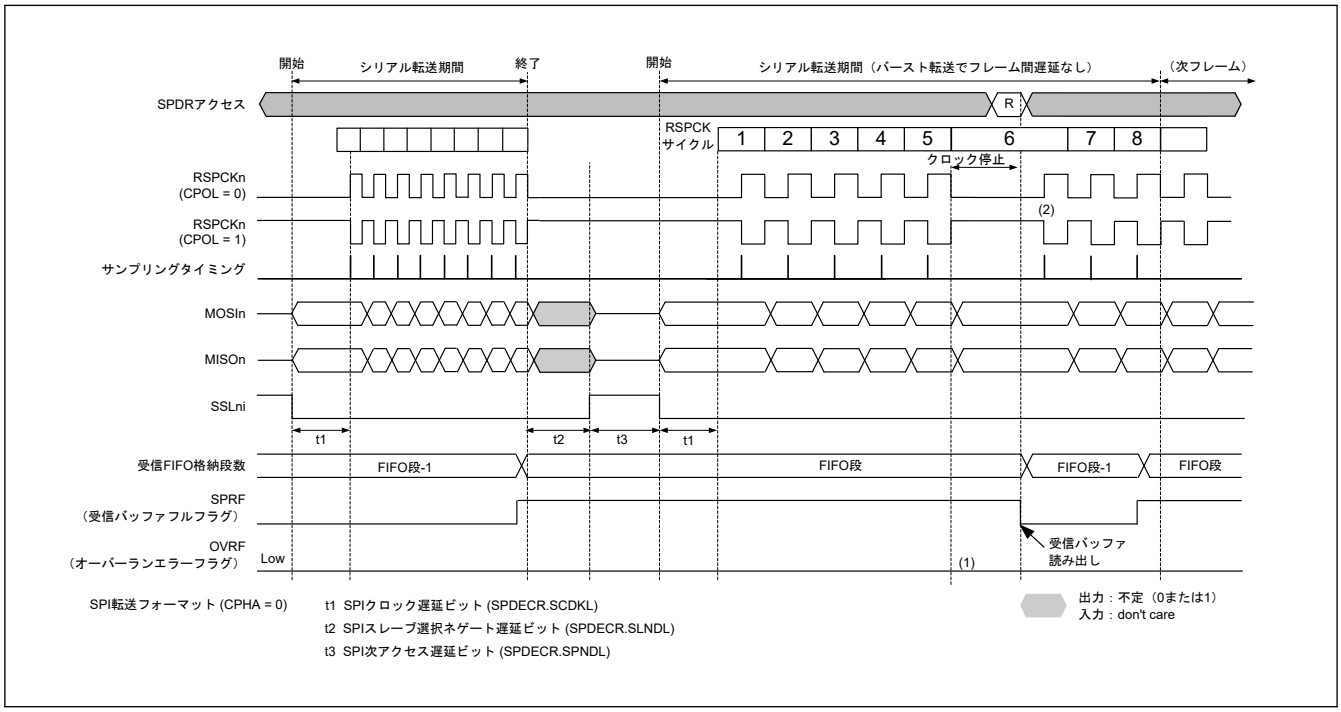


図 34.51　マスタモードにおいて FIFO の段数分のデータが格納された状態でシリアル転送が継続する場合のクロック停止波形（バースト転送でフレーム間遅延なし、CPHA = 0）

上図のタイミング (1) と (2) におけるフラグの動作を以下に説明します。

1. FIFO の段数分のデータが格納されていると、RSPCK クロックの発振が停止してオーバーランエラーは発生しません。
2. クロック発振停止中、SPDR を読み出すことで受信バッファデータを読み出せます。受信バッファデータを読み出した後、RSPCK クロックが発振を再開します。

34.3.10.2 パリティエラー

SPI コントロールレジスタ (SPCR) の SPPE ビットが 1 の状態で送受信または受信のみマスタモード、送受信スレーブモードまたは受信のみスレーブモードの転送が終了すると、SPI はパリティエラーの発生を確認します。SPI が受信データのパリティエラーを検出すると、SPI ステータスレジスタ (SPSR) の PERF フラグが 1 に設定されます。OVRF フラグが 1 の場合、SPI はシフトレジスタのデータを受信バッファにコピーしません。したがって、受信データのパリティエラーは検出されません。SPSR の PERF フラグをクリアして 0 にするには、システムをリセットするか、SPSRC.PERFC ビットに 1 を書き込みます。

図 34.52 に OVRF フラグと PERF フラグの動作例を示します。図 34.52 に記載の SPSR アクセスは、SPSR レジスタへのアクセス条件を示します。W は書き込みサイクル、R は読み出しサイクルを示します。この例では、SPCR.SPPE ビットが 1 の状態で全二重同期式シリアル通信を行います。SPCMDm.CPHA ビットが 1、かつ SPCMDm.CPOL ビットが 0 の設定で、SPI は 8 ビットのシリアル転送を実行します。RSPCKn 波形の下に記載した番号は RSPCK 周期の番号（= 転送ビットの番号）を示しています。

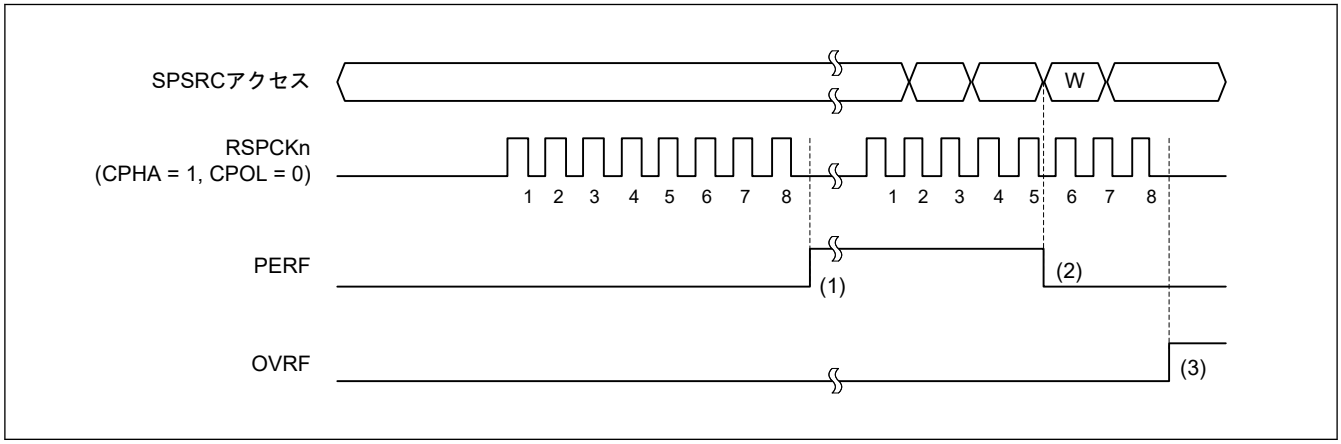


図 34.52 OVRF フラグおよび PERF フラグの動作例

以下に、図 34.52 の (1) ～ (3) に示したタイミングでのフラグの動作内容を説明します。

1. SPI は、オーバーランエラーを検出せずにシリアル転送を終了すると、シフトレジスタのデータを受信バッファにコピーします。SPI が受信データを確認し、この時点でパリティエラーを検出すると、PERF フラグは 1 になります。マスタモードでは、SPI は SPI コマンドレジスタ (SPCMDm) へのポインタの値を、SPI データコントロールレジスタ 2 (SPDCR2) の SPECM[2:0]ビットにコピーします。
2. SPSRC.PERFC ビットを 1 にすると PERF フラグをクリアします。
3. SPI がオーバーランエラーを検出した状態でシリアル転送が終了すると、シフトレジスタのデータは受信バッファにコピーされません。このとき、SPI はパリティエラー検出を行いません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって、確認できます。シリアル転送を実行する場合には、このようなチェック方法でパリティエラー発生を早期に検出できるようにする必要があります。SPI をマスタモードで使用する場合、SPDCR2.SPECM[2:0]ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

34.3.10.3 モードフォルトエラー

SPCR.MSTR ビットが 1、SPCR.SPMS ビットが 0、SPCR.MODFEN ビットが 1 の場合には、SPI はマルチマスタモードで動作します。

マルチマスタモードの SPI の SSLn0 端子へ入力される信号に対してアクティブレベルが入力されると、シリアル転送の状態にかかわらず、SPI はモードフォルトエラーを検出して SPSR.MODF フラグを 1 にします。

SPI はモードフォルトエラーを検出すると、SPCMD レジスタに対するポインタの値を SPECM[2:0]ビットにコピーします。

なお、SSLn0 端子へ入力される信号のアクティブレベルは、SPCR3.SSL0P ビットによって決定されます。

MSTR ビットが 0 の場合には、SPI はスレーブモードで動作します。

スレーブモードにおいて SPCR.MODFEN ビットが 1 で SPMS ビットが 0 の場合、シリアル転送期間（有効データのドライブ開始から最終有効データのラッチまで）に SSLn0 入力信号がネゲートされると、以下の 2 つの条件のいずれかが満たされたときに、SPI はモードフォルトエラーを検出します。

[Motorola-SPI の場合]

シリアルデータ転送中に SSLn0 端子へ入力される信号がネゲートされる場合

[TI-SSP の場合]

シリアルデータ転送中に SSLn0 端子へ入力される信号がアサートされる場合。ただし、バースト転送中は、フレームの最終ビット中で SSLn0 端子へ入力される信号がアサートされる場合でもエラーは検出されません。

SPI はモードフォルトエラーを検出すると、出力信号のドライブを停止し、SPCR レジスタの SPE ビットをクリアします。SPE ビットがクリアされると、SPI 機能は無効になります（「34.3.12. SPI 動作」に記載）。マルチマスタ構成では、モードフォルトエラーを使用して、出力信号のドライブを停止し、SPI 機能を無効にすることによって、バス権を解放できます。

モードフォルトエラーがあるかどうかは、SPSR を読み出すか、SPI エラー割り込みと SPSR を読み出すことによってチェックできます。SPI エラー割り込みを使用せずにモードフォルトエラーを検出するためには、SPSR レジスタをポーリングしてください。SPI をマスタモードで使用する場合、SPSR の SPECM[2:0]ビットを読み出すことで、エラーがあるときの SPCMD レジスタに対するポインタ値をチェックできます。

MODF フラグが 1 の間は、SPI は SPE ビットへの 1 の書き込みを無視します。モードフォルトエラーの検出後に SPI 機能を有効にするには、MODF フラグを 0 にクリアしてください。

34.3.10.4 アンダーランエラー

SPI がスレーブモードで動作しており (SPCR.MSTR = 0)、SPI コントロールレジスタ (SPCR) の通信モード選択ビット (TXMD[1:0]) が 00b または 01b のときに、SPCR.SPE ビットが 1（SPI 機能有効）の状態で送信データ出力の準備ができる前にシリアル転送を開始すると、SPI はアンダーランエラーを検出し、SPSR.MODF フラグと SPSR.UDRF フラグを 1 にします。

SPI はアンダーランエラーを検出すると、出力信号のドライブ停止および SPCR.SPE ビットを 0 にクリアします（「34.3.11. SPI の初期化」を参照）。

アンダーランエラーは、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。SPI エラー割り込みを利用せずにアンダーランエラーを検出するためには、SPSR レジスタをポーリングする必要があります。

MODF フラグが 1 の状態では、SPI は SPCR.SPE ビットへの 1 の書き込みを無視します。アンダーランエラー検出後に SPI 機能を有効にするには、MODF フラグを 0 にしてください。

34.3.10.5 受信データレディ

SPCR.TXMD[1:0]が 00b、01b、または 11b であり、かつ SPCR2.SPDRC[7:0]が 0x00 でない場合、通信中 (SPE = 1) の受信 FIFO のデータを受信した後、受信 FIFO の数が閾値以下であり、かつ SPDRC[7:0]に設定された時間が経過した後であっても、受信データが格納されていないときには SPSR.SPDRF フラグが 1 になります。

受信データレディが検出されると、割り込みとイベントリンク出力が、SPCR.SPDRES ビットで SPIi_SPRI または SPIi_SPEI として選択できます。

図 34.53 に受信データレディ検出機能の例を示します。

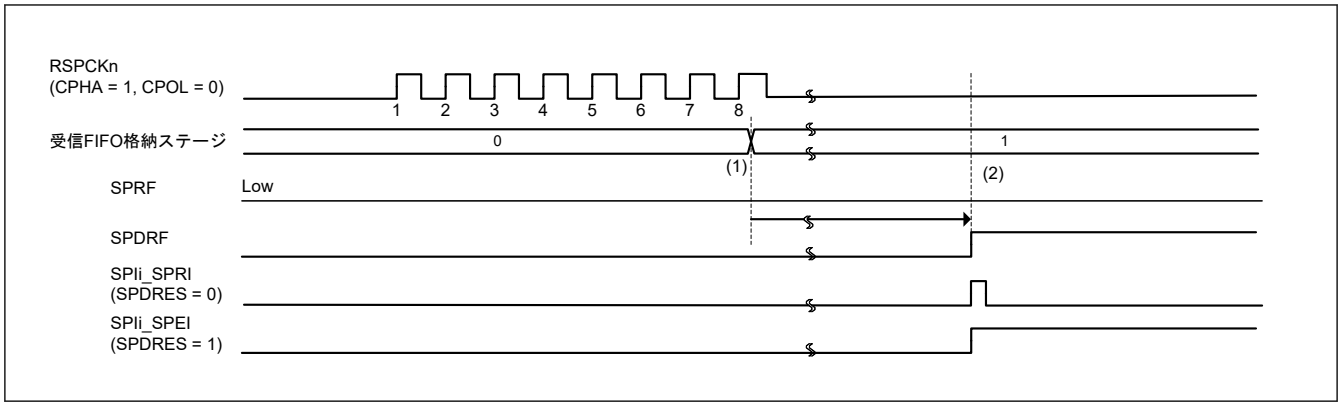


図 34.53 受信データレディ

以下では図中の (1) と (2) で示されるタイミングにおける動作を説明します。

(1) 受信 FIFO に受信データを格納します。SPRF は 0 です。その理由は、受信 FIFO 格納ステージ数が SPDCR2.RTRG[1:0]ビットで設定されたフレーム数以下のためです。

(2) SPDRF を設定し、SPIi_SPRI または SPIi_SPEI をアサートしてください。その理由は、上記 (1) から設定された SPDRFC[7:0]ビットの値に対して、受信 FIFO に書き込めないためです。

34.3.11 SPI の初期化

SPCR.SPE ビットに 0 を書いた場合、あるいは SPI がモードフォルトエラーまたはアンダーランエラーを検出して SPCR.SPE ビットを 0 にした場合は、SPI は SPI 機能を無効にして、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、SPI はモジュール機能をすべて初期化します。以下では、SPCR.SPE ビットのクリアによる初期化と、システムリセットによる初期化について説明します。

34.3.11.1 SPCR.SPE ビットのクリアによる初期化

SPCR.SPE ビットを 0 にしたとき、SPI は以下に示す方法で初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- SPI 内部ステートの初期化
- SPI 送信バッファの初期化（SPSR.SPTEF フラグが 1 になります）

SPCR.SPE ビットのクリアによる初期化では、SPI の制御ビットは初期化されません。このため、再度 SPCR.SPE ビットを 1 にすれば初期化前と同じ転送モードで SPI を起動できます。

SPSR.CENDF、SPSR.SPRF、SPSR.OVRF、SPSR.MODF、SPSR.PERF、および SPSR.UDRF フラグの値は初期化されません。また、SPDCR2.SPECM[2:0]ビットと SPDCR2.SPCP[2:0]ビットの値も初期化されません。このため、SPI の初期化後も受信バッファからデータを読み出すことで、SPI 転送時の通信完了状況とエラー発生状況を確認できます。

送信バッファは空の状態に初期化されます（SPSR.SPTEF フラグが 1 になります）。このため、SPI 初期化後に SPCR.SPTIE ビットを 1 にしていると、送信バッファエンプティ割り込みが発生します。SPI を初期化する場合に、送信バッファエンプティ割り込みを禁止するためには、SPCR.SPE ビットへの 0 書き込みと同時に SPCR.SPTIE ビットにも 0 を書き込んでください。

34.3.11.2 システムリセットによる初期化

システムリセットでは、「34.3.11.1. SPCR.SPE ビットのクリアによる初期化」に記載の要件に加え、SPI 制御用ビット、ステータスビット、およびデータレジスタが初期化され、SPI が完全に初期化されます。

34.3.12 SPI 動作

34.3.12.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出の有無のみです（「34.3.10. エラー検出」を参照）。SPI は、シングルマスタモードではモードフォルトエラーを検出しませんが、マルチマスタモードでは検出します。以下では、シングル／マルチマスタモードで共通する動作について説明します。

(1) シリアル転送の開始

送信 FIFO で次転送のデータがセットされていない状態で、SPI データレジスタ (SPDR) へデータを書き込むと、SPI は SPDR レジスタで送信バッファ (SPTXn, n = 0～3) のデータを更新します。シフトレジスタがエンプティの場合、SPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。SPI はシフトレジスタに送信データをコピーすると、シフトレジスタのステータスをフルに変更します。シリアル転送が終了すると、シフトレジスタのステータスをエンプティに変更します。シフトレジスタのステータスを参照することはできません。

SSLni 出力端子の極性は、SPCR3.SSLnP (n = 0～3) ビットの設定に依存します。SPI の転送フォーマットの詳細については、「34.3.5. 転送フォーマット」を参照してください。

(2) シリアル転送の終了

[マスタモード時の受信のみを除く]

SPI コマンドレジスタ (SPCMD) の CPHA ビット値にかかわらず、SPI は最終サンプリングタイミングに対応する RSPCKn エッジを検出すると、シリアル転送を終了します。受信 FIFO に格納されたデータ数が FIFO 段数より小さい場合には、シリアル転送終了後に、シフトレジスタから SPI データレジスタ (SPDR) の受信バッファにデータがコピーされます。

最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの SPI のデータ長は、SPCMDm.SPB[4:0]ビットの設定に依存します。SSLni 出力端子の極性は、SPCR3.SSLnP (n = 0～3) ビットの設定に依存します。SPI の転送フォーマットの詳細については、「34.3.5. 転送フォーマット」を参照してください。

[マスタモード時の受信のみ]

以下の 2 つの条件のいずれかが満たされた場合、SPI はシリアル転送を終了します。

- SPI コマンドレジスタ (SPCMD) の CPHA ビット値にかかわらず、SPI は最終サンプリングタイミングに対応する RSPCKn エッジを検出すると、シリアル転送を終了します。
- シリアル転送期間中に SPCR2.RMEDTG = 1 を書き込むと、SPI はシリアル転送を終了します。

受信 FIFO に格納されたデータ数が FIFO 段数より小さい場合には、シリアル転送終了後に、シフトレジスタから SPI データレジスタ (SPDR) の受信バッファにデータがコピーされます。

最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの SPI のデータ長は、SPI コマンドレジスタ (SPCMD) の SPB[4:0]ビットの設定値で決まります。SSLni 出力信号の極性は、SPI SSLi 信号極性ビット (SPCR3.SSLiP) (i = 0～3) の設定値で決まります。SPI の転送フォーマットの詳細については、「34.3.5. 転送フォーマット」を参照してください。

(3) シーケンス制御

マスタモード時の転送フォーマットは、次のように決定されます。

マスタモード時の転送フォーマットは、SPCR3 レジスタ、SPCMDm レジスタ、および SPDECR レジスタによって決定されます。

SPCR3.SPSLN[2:0]ビットは、マスタモードの SPI で実行するシリアル転送のシーケンス構成を決定します。SPCMDm レジスタでは、以下の項目を設定します。

- SSLni 端子の出力信号値
- MSB/LSB ファースト
- データ長
- ビットレート設定の一部

- RSPCKn 極性と位相
- SPDECR.SCKDL の参照要否
- SPDECR.SLNDL の参照要否
- SPDECR.SPNDL の参照要否

SPCR3.SPBR は、SPDECR.SCKDL（SPI クロック遅延）、SPDECR.SLNDL（SSL ネゲート遅延）、SPDECR.SPNDL（次アクセス遅延）などの、ビットレート設定の一部を保持しています。

SPI は、SPCR3.SPSLN に設定されたシーケンス長に従って、SPCMDm レジスタの一部または全部からなるシーケンスを構成します。SPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPDCR2.SPCP[2:0]ビットの読み出しによって確認できます。SPCR.SPE ビットを 1 にして SPI 機能を有効にすると、SPI はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。SPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスの最終コマンドに対応するシリアル転送が終了すると、SPI はポインタを SPCMD0 レジスタにセットするため、シーケンスが繰り返し実行されます。

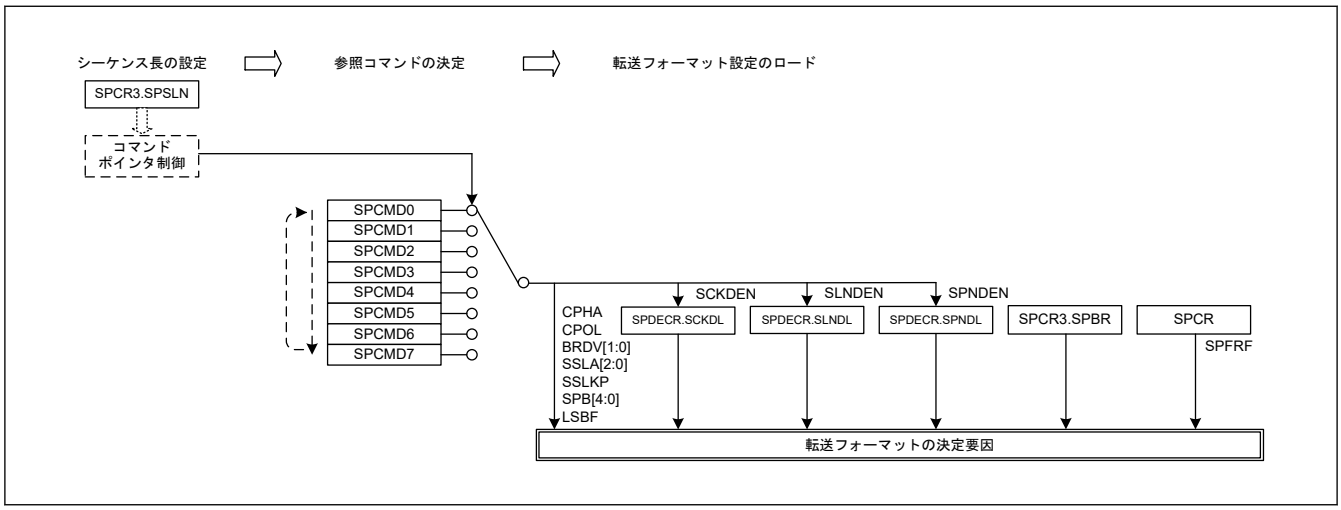


図 34.54　マスタモードでのシリアル転送方式の決定方法

この項では、SPDR にあるデータと SPCMDm にある設定を合わせてフレームとします。

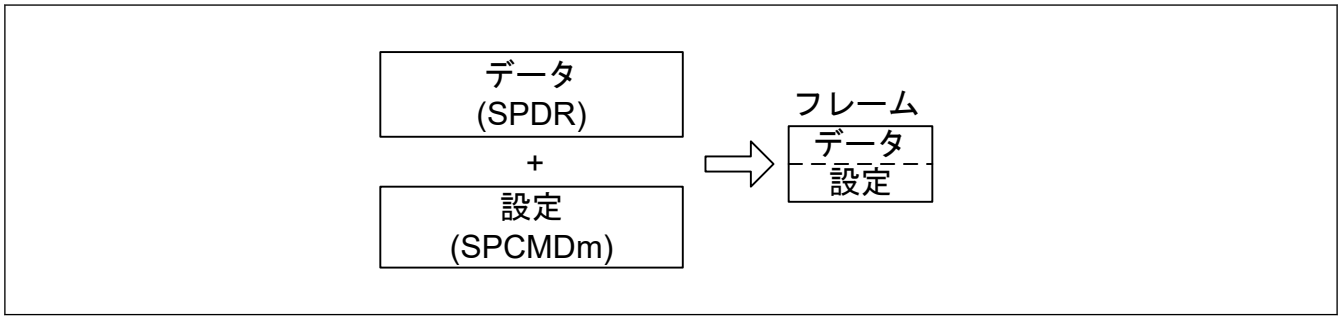


図 34.55　フレームの概念図

設定で指定したシーケンス動作におけるコマンドと送信バッファ／受信バッファの対応関係を図 34.56 に示します。

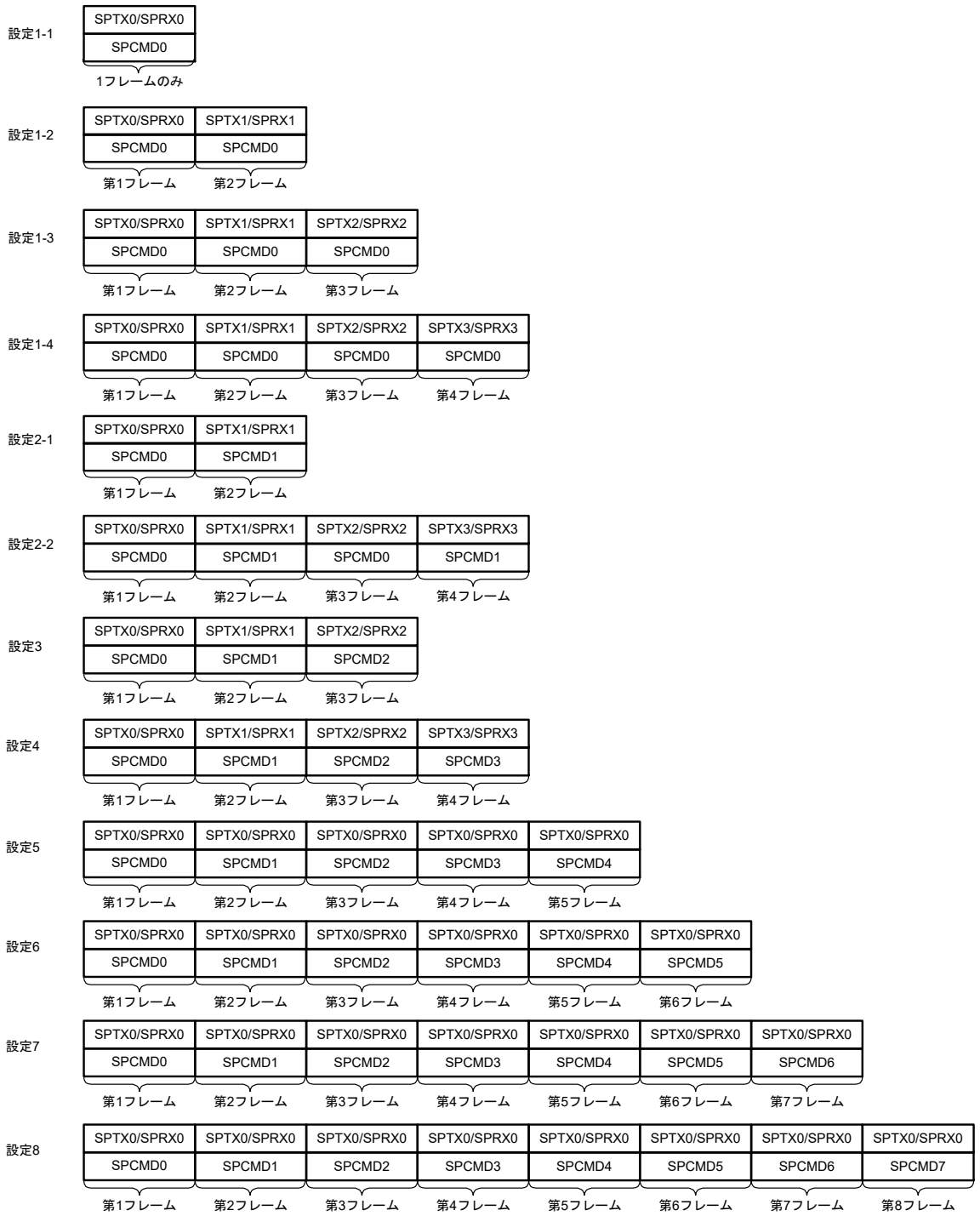


図 34.56　シーケンス動作時の SPI コマンドレジスタと送受信バッファの対応関係

(4)　バースト転送

この項では、送受信動作中／送信のみ動作中のバースト転送について説明します。

［Motorola-SPI の場合］

SPI が現在のシリアル転送で参照している SPCMDm.SSLKP ビットが 1 の場合には、SPI はシリアル転送中の SSLni 信号レベルを次のシリアル転送の SSLni 信号のアサート開始まで保持します。次のシリアル転送での SSLni 信号レベルが、現在のシリアル転送での SSLni 信号レベルと同じであれば、SPI は SSLni 信号のアサート状態を保持したまま連続的にシリアル転送を実行することが可能です（バースト転送）。

- SPI コントロールレジスタ (SPCR) のバースト転送フレーム間遅延選択ビット (BFDS) が 0 の場合

図 34.57 に、SPCMD0 および SPCMD1 レジスタの設定値を使用してバースト転送を実現した場合の SSLni 信号の動作例を示します。この項では、図 34.57 に示す (1)～(8) の SPI の動作内容について説明します。

注. SSLni 出力信号の極性は、SPCR3.SSLnP (n = 0～3) ビットの設定に依存します。

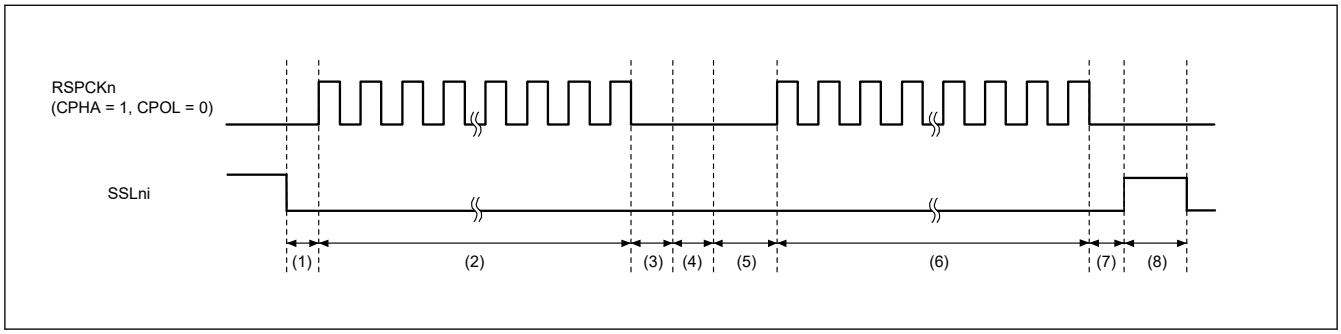


図 34.57 SSLKP ビット (BFDS = 0, SPFRF = 0) を使用したバースト転送の動作例

図中の (1)～(8) に示したタイミングでの SPI の動作は以下のとおりです。

1. SPI は SPCMD0 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。
2. SPI は SPCMD0 レジスタの設定に従ったシリアル転送を実行します。
3. SPI は SSL ネゲート遅延を挿入します。
4. SPCMD0.SSLKP ビットが 1 であるため、SPI は SPCMD0 レジスタで指定した SSLni 信号値を保持します。この期間は、さらに 5 TCLK サイクル以上（SPCMD0 の次アクセス遅延時間と同じ時間）継続します。最短期間が経過してもシフトレジスタがエンプティの場合は、次転送のための送信データがシフトレジスタに格納されるまで、この期間は継続します。
5. SPI は SPCMD1 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。
6. SPI は SPCMD1 レジスタの設定に従ったシリアル転送を実行します。
7. SPI は SSL ネゲート遅延を挿入します。
8. SPCMD1.SSLKP ビットが 0 であるため、SPI は SSLni 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

SSLKP ビットを 1 にした SPCMDm レジスタでの SSLni 端子の信号出力設定と、次転送で使用する SPCMDm レジスタでの SSLni 端子の信号出力設定が異なる場合、SPI は図 34.57 の (5) で示すように、SSLni 信号状態を SSLni 信号のアサートに切り替えます。この SSLni 信号は次転送のコマンドに対応しています。

注. このような SSLni 信号の切り替えが発生した場合、MISOn 信号をドライブするスレーブが競合して信号レベルの衝突が発生することがあります。

マスタモードの SPI は、SSLKP ビットを使用しない場合は、SSLni 信号動作をモジュール内部で参照しています。SPCMDm.CPHA ビットが 0 であると、SPI は内部で検出した次転送の SSLni 信号のアサートを使用してシリアル転送を正確に開始できます。

- SPI コントロールレジスタ (SPCR) のバースト転送フレーム間遅延選択ビット (BFDS) が 1 の場合

図 34.58 に、SPCMD0 および SPCMD1 レジスタの設定値を使用してバースト転送を実現した場合の SSLni 信号の動作例を示します。以下では、図 34.58 に示す (1)～(6) の SPI の動作内容について説明します。SSLni 出力信号の極性は、SPCR3.SSLnP (n = 0～3) ビットの設定値で決まります。

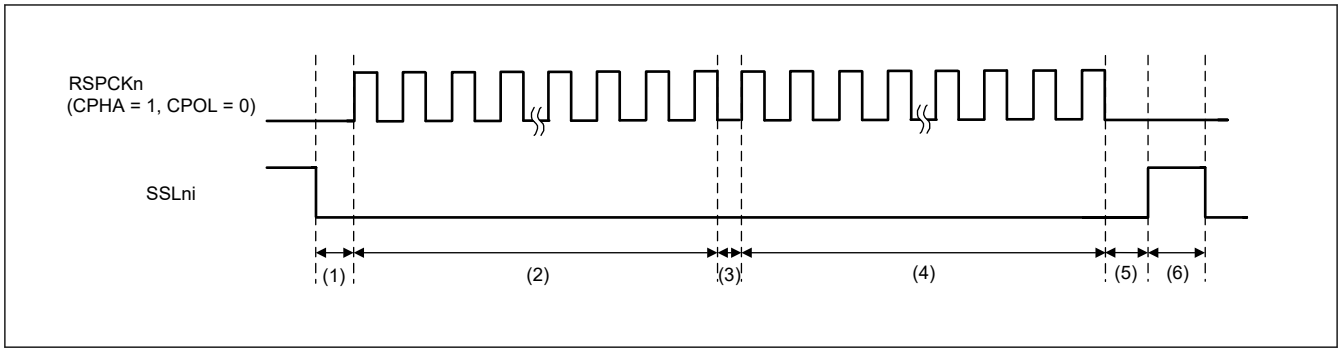


図 34.58　SSLKP ビットを利用したバースト転送の動作例 (BFDS = 1, SPFRF = 0)

1. SPCMD0 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。RSPCK 遅延はバースト転送の最初のフレームのみに挿入されます。
2. SPI は、SPCMD0 レジスタの設定に従ってシリアル転送を実行します。フレーム間の RSPCK ネゲート期間中にシフトレジスタがエンプティの場合は、次の送信データがシフトレジスタに格納されるまで、最後のクロックを待ちます。
3. SPCMD0.SSLKP ビットが 1 であるため、SPCMD0 レジスタで指定した SSLni 端子の信号値を保持します。シフトレジスタがエンプティではない場合、フレーム間の RSPCK ネゲート期間は 0.5 RSPCK です。
4. SPI は、SPCMD1 レジスタの設定に従ってシリアル転送を実行します。
5. 最後のフレームに対して SSLni ネゲート遅延を挿入します。
6. SPCMD1.SSLKP ビットが 0 であるため、SSLni 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

［TI-SSP の場合］

SPI は、シリアル転送開始時に 1 サイクル分の SSLni 信号をアサートします。

次シリアル転送開始時に 1 サイクル分の SSLni 信号をアサートして連続的にシリアル転送を実行することが可能です（バースト転送）。

- SPI コマンドレジスタ (SPCMD) の SSLni 信号レベル保持ビット (SSLKP) が 1 で、SPI コントロールレジスタ (SPCR) のバースト転送フレーム遅延選択ビット (BFDS) が 1 のときの SPCMD0～SPCMD1 を図 34.59 に示します。設定によりバースト転送を実現した場合の SSLni 信号動作とシリアルデータ MISOn/MOSIn の例を以下に示します。SSLni 出力信号の極性は、SPI SSLi 信号極性ビット (SPCR3.SSLiP) (i = 0～3) の設定値で決まります。

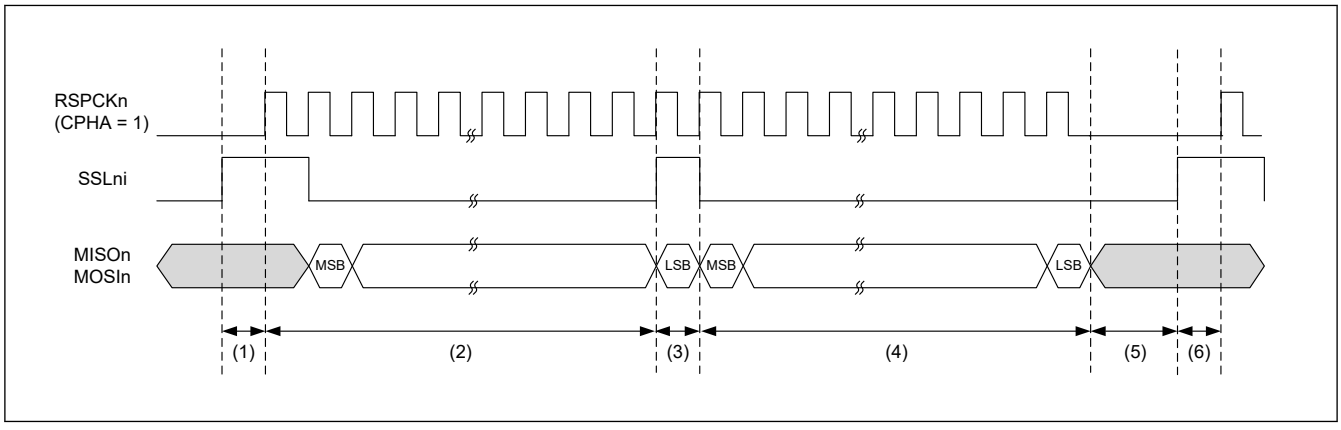


図 34.59　バースト転送の動作例 (SPFRF = 1)

1. SPCMD0 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。
   RSPCK 遅延はバースト転送の最初のフレームのみに挿入されます。
2. SPI は、SPCMD0 レジスタの設定に従ってシリアル転送を実行します。

3. 最終データ転送と SSLni アサートは同時に実行されます。フレーム間の RSPCK ネゲート期間にシフトレジスタがエンプティの場合、次転送の送信データがシフトレジスタに格納されるまで最終クロックの出力を待ちます。
4. SPI は、SPCMD1 レジスタの設定に従ってシリアル転送を実行します。
5. SPI は、最後のフレームに対して OE ネゲート遅延を挿入します。
6. SPI は、SPCMD1 レジスタの設定に従って次アクセス遅延を挿入します。

SSLKP ビットを 1 にした SPCMD での SSLni 端子の信号出力設定と、次転送で使用する SPCMD での SSLni 端子の信号出力設定が異なる場合、次転送コマンドに対応する SSLni 信号がアサートされると、SPI は SSLni 信号の状態を変更します ((5))。このような SSLni 信号の変更が発生すると、MISOn 信号をドライブするスレーブ同士が競合して、信号レベルの衝突が発生する可能性があることに注意してください。

この項では、受信のみ動作中のバースト転送について説明します。

[Motorola-SPI の場合]

SPI が現在のシリアル転送で参照している SPI コマンドレジスタ (SPCMD) の SSLKP ビットが 1 のとき、SPI は次のシリアル転送の SSLni 信号のアサートが開始されるまで、シリアル転送中の SSLni 信号レベルを保持します。次のシリアル転送での SSLni 信号レベルが、現在のシリアル転送での SSLni 信号レベルと同じであれば、SPI は SSLni 信号のアサート状態を保持したまま連続的にシリアル転送を実行することが可能です（バースト転送）。

- SPI コントロールレジスタ (SPCR) のバースト転送フレーム間遅延選択ビット (BFDS) が 0 の場合

図 34.60 に、SPCMD0 および SPCMD1 レジスタの設定値を使用してバースト転送を実現した場合の SSLni 信号の動作例を示します。以下では、図 34.60 に示す (1)～(8) の SPI の動作内容について説明します。SSLni 出力信号の極性は、SPI SSLni 信号極性ビット (SPCR3.SSLiP) (i = 0～3) の設定値で決まります。

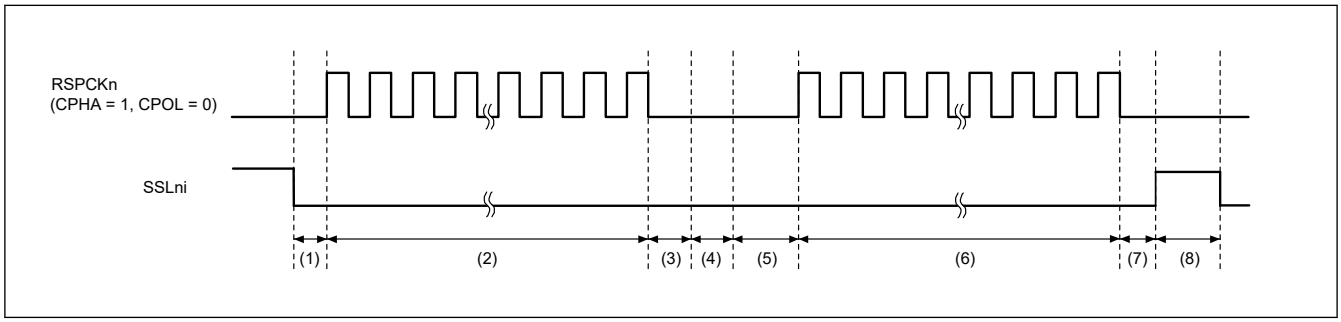


図 34.60 SSLKP ビットを利用したバースト転送の動作例 (BFDS = 0, SPFRF = 0)

1. SPCMD0 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。
2. SPI は、SPCMD0 レジスタの設定に従ってシリアル転送を実行します。
3. SSLni ネゲート遅延を挿入します。
4. SPCMD0.SSLKP ビットが 1 であるため、SPCMD0 の SSLni 信号値を保持します。この期間は、さらに 5 TCLK サイクル以上（SPCMD0 の次アクセス遅延時間と同じ時間）継続します。
5. SPCMD1 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。
6. SPI は、SPCMD1 レジスタの設定に従ってシリアル転送を実行します。
7. SSLni ネゲート遅延を挿入します。
8. SPCMD1.SSLKP ビットが 0 であるため、SSLni 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

SSLni 端子の信号出力設定と、バースト転送で使用する SPCMD 間の SSLni 端子の信号出力設定が異なる場合、次転送コマンドに対応する SSLni 信号がアサートされると、SPI は SSLni 信号の状態を切り替えます (5)。このような SSLni 信号の変更が発生すると、MISOn 信号をドライブするスレーブ同士が競合して、信号レベルの衝突が発生する可能性があることに注意してください。

マスタモードの SPI は、SSLKP ビットを使用しない場合は、SSLni 信号動作をモジュールで参照しています。

SPCMD の CPHA ビットが 0 の場合でも、SPI は内部で検出した次転送の SSLni 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードでのバースト転送は、CPHA ビットの設定値にかかわらず有効です。(「34.3.11. SPI の初期化」を参照してください)。

- SPI コントロールレジスタ (SPCR) のバースト転送フレーム間遅延選択ビット (BFDS) が 1 の場合

図 34.61 に、SPCMD0 および SPCMD1 レジスタの設定値を使用してバースト転送を実現した場合の SSLni 信号の動作例を示します。以下では、図 34.61 に示す (1)～(6) の SPI の動作内容について説明します。SSLni 出力信号の極性は、SPI SSLi 信号極性ビット (SPCR3.SSLiP) (i = 0～3) の設定値で決まります。

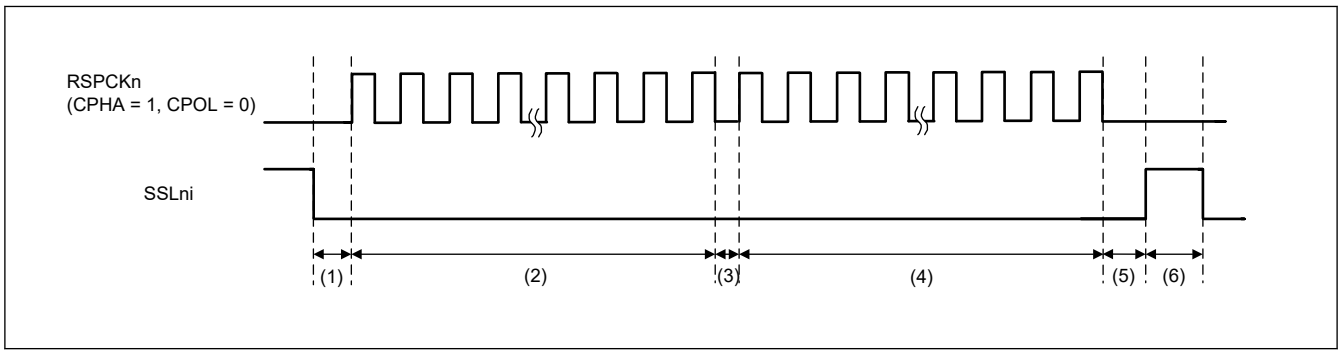


図 34.61 SSLKP ビットを利用したバースト転送の動作例 (BFDS = 1, SPFRF = 0)

1. SPCMD0 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。
   RSPCK 遅延はバースト転送の最初のフレームのみに挿入されます。
2. SPI は、SPCMD0 レジスタの設定に従ってシリアル転送を実行します。
3. 最後のフレームではないため、SPCMD0 の SSLni 信号値は保持されます。次フレームでは、フレーム間の RSPCKn ネゲートは 0.5 RSPCKn です。
4. SPI は、SPCMD1 レジスタの設定に従ってシリアル転送を実行します。
5. 最後のフレームに対して SSLni ネゲート遅延を挿入します。
6. SSLni 信号はネゲートされます。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

注. 最後のフレーム：SPCR2.RMFM[4:0] ≠ 0x00 のときに RMFM[4:0]ビットで設定したフレーム
または、SPCR2.RMEDTG = 1 が受け付けられたフレーム

［TI-SSP の場合］

SPI は、シリアル転送開始時に 1 サイクル分の SSLni 信号をアサートします。

次シリアル転送開始時に 1 サイクル分の SSLni 信号をアサートして連続的にシリアル転送を実行することが可能です（バースト転送）。

- SPI コマンドレジスタ (SPCMD) の SSLni 信号レベル保持ビット (SSLKP) が 1 で、SPI コントロールレジスタ (SPCR) のバースト転送フレーム遅延選択ビット (BFDS) が 1 のときの SPCMD0～SPCMD1 を図 34.62 に示します。設定によりバースト転送を実現した場合の SSLni 信号動作とシリアルデータ MISOn/MOSIn の例を以下に示します。SSLni 出力信号の極性は、SPI SSLi 信号極性ビット (SPCR3.SSLiP) (i = 0～3) の設定値で決まります。

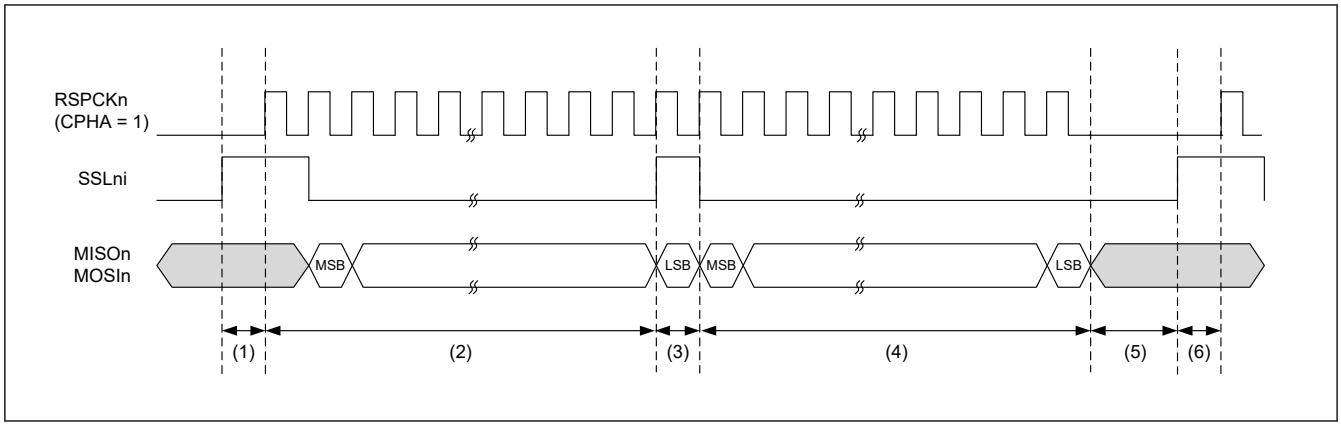


図 34.62　バースト転送の動作例 (SPFRF = 1)

1. SPCMD0 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。
   RSPCK 遅延はバースト転送の最初のフレームのみに挿入されます。
2. SPI は、SPCMD0 レジスタの設定に従ってシリアル転送を実行します。
3. 最終データ転送と SSLni アサートは同時に実行されます。
4. SPI は、SPCMD1 レジスタの設定に従ってシリアル転送を実行します。
5. SPI は、最後のフレームに対して OE ネゲート遅延を挿入します。
6. SPI は、SPCMD1 レジスタの設定に従って次アクセス遅延を挿入します。

注.　最後のフレーム：SPCR2.RMFM[4:0] ≠ 0x00 のときに RMFM[4:0]ビットで設定したフレーム
または、SPCR2.RMEDTG = 1 が受け付けられたフレーム

バースト転送で使用する SPCMD 間の SSLni 端子の信号出力設定と、SSLni 端子の信号出力設定が異なる場合、次転送コマンドに対応する SSLni 信号がアサートされると、SPI は SSLni 信号の状態を切り替えます (5)。このような SSLni 信号の変更が発生すると、MISOn 信号をドライブするスレーブ同士が競合して、信号レベルの衝突が発生する可能性があることに注意してください。

(5)　RSPCK 遅延 (t1)

マスタモードでの SPI の RSPCK 遅延値は、SPCMDm.SCKDEN ビットの設定と SPDECR.SCKDL[2:0]ビットの設定に依存します。SPI は、ポインタ制御によってシリアル転送中に参照する SPCMDm レジスタを決定し、SPCMDm.SCKDEN ビットと SPDECR.SCKDL[2:0]ビットを使用して、表 34.10 に示すように RSPCK 遅延を決定します。RSPCK 遅延の定義については、「34.3.5. 転送フォーマット」を参照してください。

“バースト転送フレーム間遅延”なしで送信する場合、RSPCK 遅延はバースト転送の最初のフレームにのみ挿入されます。（SPCMD.SSLKP ビットは 1、および SPCR.BFDS ビットは 1。）

表 34.10　SPCMDm.SCKDEN ビット、SPDECR.SCKDL[2:0]ビット、および RSPCK 遅延の関係

SPCMDm.SCKDEN ビット	SPDECR.SCKDL[2:0]ビット	RSPCK 遅延	
		Motorola-SPI	TI-SSP
0	000b～111b	1 RSPCK	0 RSPCK
1	000b	1 RSPCK	1 RSPCK
	001b	2 RSPCK	2 RSPCK
	010b	3 RSPCK	3 RSPCK
	011b	4 RSPCK	4 RSPCK
	100b	5 RSPCK	5 RSPCK
	101b	6 RSPCK	6 RSPCK
	110b	7 RSPCK	7 RSPCK
	111b	8 RSPCK	8 RSPCK

(6) SSL ネゲート遅延 (t2)

マスタモードでの SPI の SSL ネゲート遅延値は、SPCMDm.SLNDEN ビットの設定と SPDECR.SLNDL[2:0]ビットの設定に依存します。SPI は、ポインタ制御によってシリアル転送中に参照する SPCMDm レジスタを決定し、SPCMDm.SLNDEN ビットと SPDECR.SLNDL[2:0]ビットを使用して、表 34.11 に示すように SSL ネゲート遅延を決定します。SSL ネゲート遅延の定義については、「34.3.5. 転送フォーマット」を参照してください。

SSL ネゲート遅延はバースト転送の最後のフレームのみに挿入されます。つまり、バースト転送フレーム間遅延なしで送信されます。(SPCMD.SSLKP ビットは 1、および SPCR.BFDS ビットは 1)。

表 34.11 SPCMDm.SLNDEN ビット、SPDECR.SLNDL[2:0]ビット、および SSL ネゲート遅延の関係

SPCMDm.SLNDEN ビット	SPDECR.SLNDL[2:0]ビット	SSL ネゲート遅延
0	000b～111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(7) 次アクセス遅延 (t3)

マスタモードでの SPI の次アクセス遅延値は、SPCMDm.SPNDEN ビットの設定と SPDECR.SPNDL[2:0]ビットの設定に依存します。SPI は、ポインタ制御によってシリアル転送中に参照する SPCMDm レジスタを決定し、SPCMDm.SPNDEN ビットと SPDECR.SPNDL[2:0]ビットを使用して、表 34.12 に示すようにシリアル転送中の次アクセス遅延を決定します。次アクセス遅延の定義については、「34.3.5. 転送フォーマット」を参照してください。

次アクセス遅延はバースト転送の最後のフレームのみに挿入されます。つまり、バースト転送フレーム間遅延なしで送信されます（SPCMD.SSLKP ビットは 1、および SPCR.BFDS ビットは 1)。

表 34.12 SPCMDm.SPNDEN ビット、SPDECR.SPNDL[2:0]ビット、および次アクセス遅延の関係

SPCMDm.SPNDEN ビット	SPDECR.SPNDL[2:0]ビット	次アクセス遅延
0	000b～111b	1 RSPCK + 5 TCLK
1	000b	1 RSPCK + 5 TCLK
	001b	2 RSPCK + 5 TCLK
	010b	3 RSPCK + 5 TCLK
	011b	4 RSPCK + 5 TCLK
	100b	5 RSPCK + 5 TCLK
	101b	6 RSPCK + 5 TCLK
	110b	7 RSPCK + 5 TCLK
	111b	8 RSPCK + 5 TCLK

(8) 初期化フロー

図 34.63 に、SPI をマスタモードで使用する場合の SPI 初期化フローの例を示します。なお、割り込みコントローラユニット (ICU)、DMAC/DTC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。



注 1.　SPI コントロールレジスタ (SPCR) の設定については、設定 (1)（MSTR ビット以外の初期設定）と設定 (2)（MSTR の設定）の間に 1TCLK の間隔を空けてください。

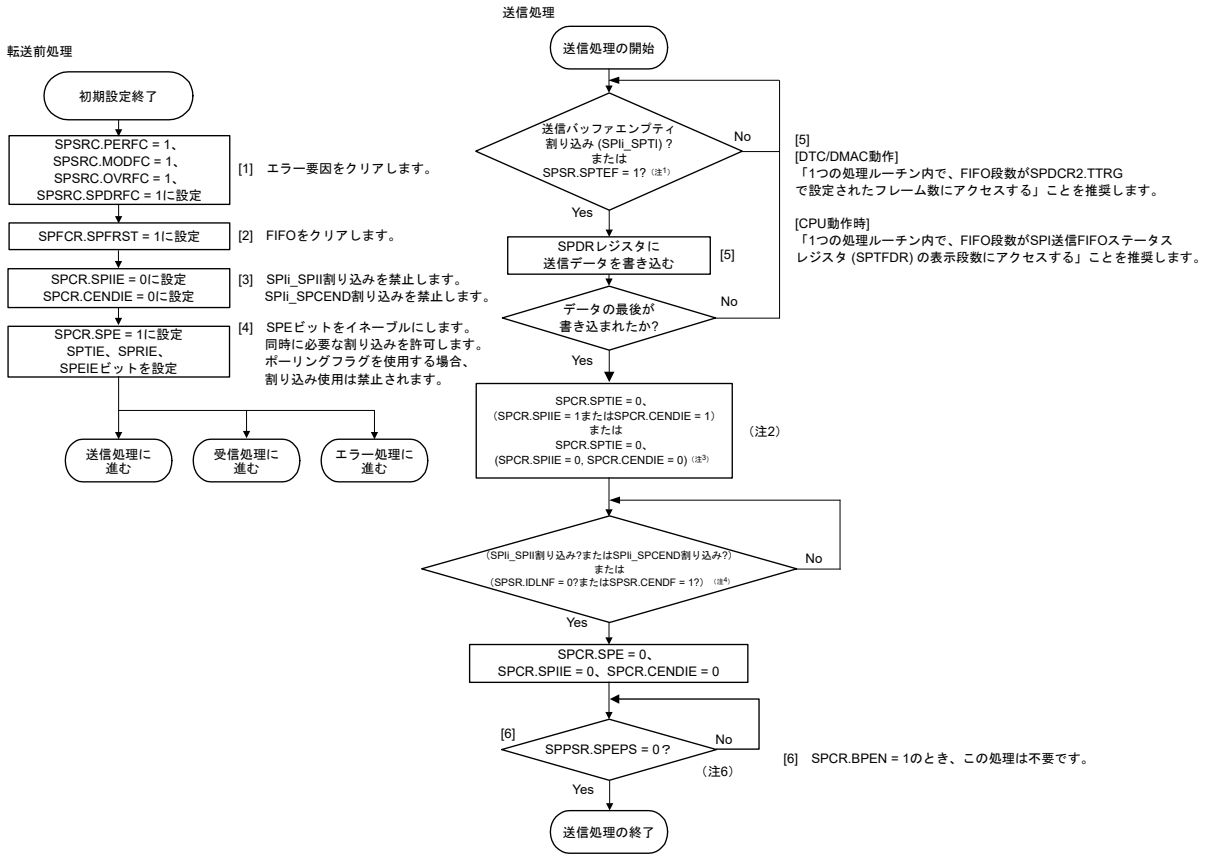
図 34.63　マスタモード時の SPI 動作の初期化フロー例

(9)　ソフトウェア処理フロー

図 34.64 ～図 34.67 にソフトウェア処理フローの例を示します。

送信処理フロー

データの送信時、SPIi_SPII 割り込みまたは SPIi_SPCEND 割り込みが許可されていれば、最終データの書き込み後にデータ送信完了を CPU に通知します。



注 1. ポーリング用のフラグを使用する場合は、SPSR.SPTEF フラグが 1 であることを読み出した後、送信用データの書き込み処理に進んでください。

注 2. SPIi_SPII 割り込み（IDLNF フラグ）または SPIi_SPCEND 割り込み（CENDF フラグ）によって、通信の終了を知ることができます。SPIi_SPII 割り込み（IDLNF フラグ）または SPIi_SPCEND 割り込み（CENDF フラグ）を使用してください。

注 3. ポーリング用のフラグを使用する場合は、SPIi_SPII 割り込み禁止 (SPCR.SPIIE = 0) および SPIi_SPCEND 割り込み禁止 (SPCR.CENDIE = 0) を設定してください。

注 4. ポーリング用のフラグを使用する場合は、SPDR に送信データを書き込んだ後、1 PCLK 以上待ってから、SPSR.IDLNF または SPSR.CENDF のポーリングを開始してください。

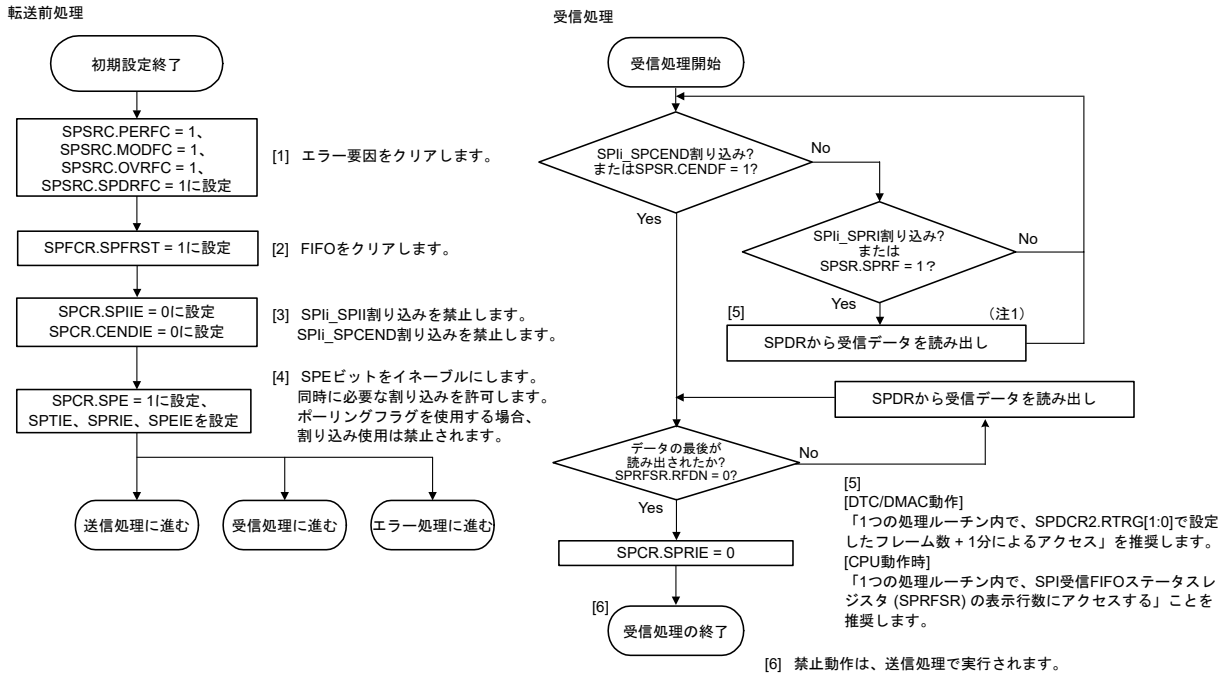
注 5. CPU 動作中、1 つの処理ルーチンの後に SPI 送信バッファエンプティフラグのクリアビット (SPSRC.SPTEFC) に 1 を書き込んでください。

注 6. スレーブモードでは 0 になっていて、SPCR.BPEN = 0 のとき、SPPSR.SPEPS が 0 になっていることを確認してください。（BPEN = 1 のときは不要です。）

図 34.64　マスタモードでの送信フロー

受信処理フロー

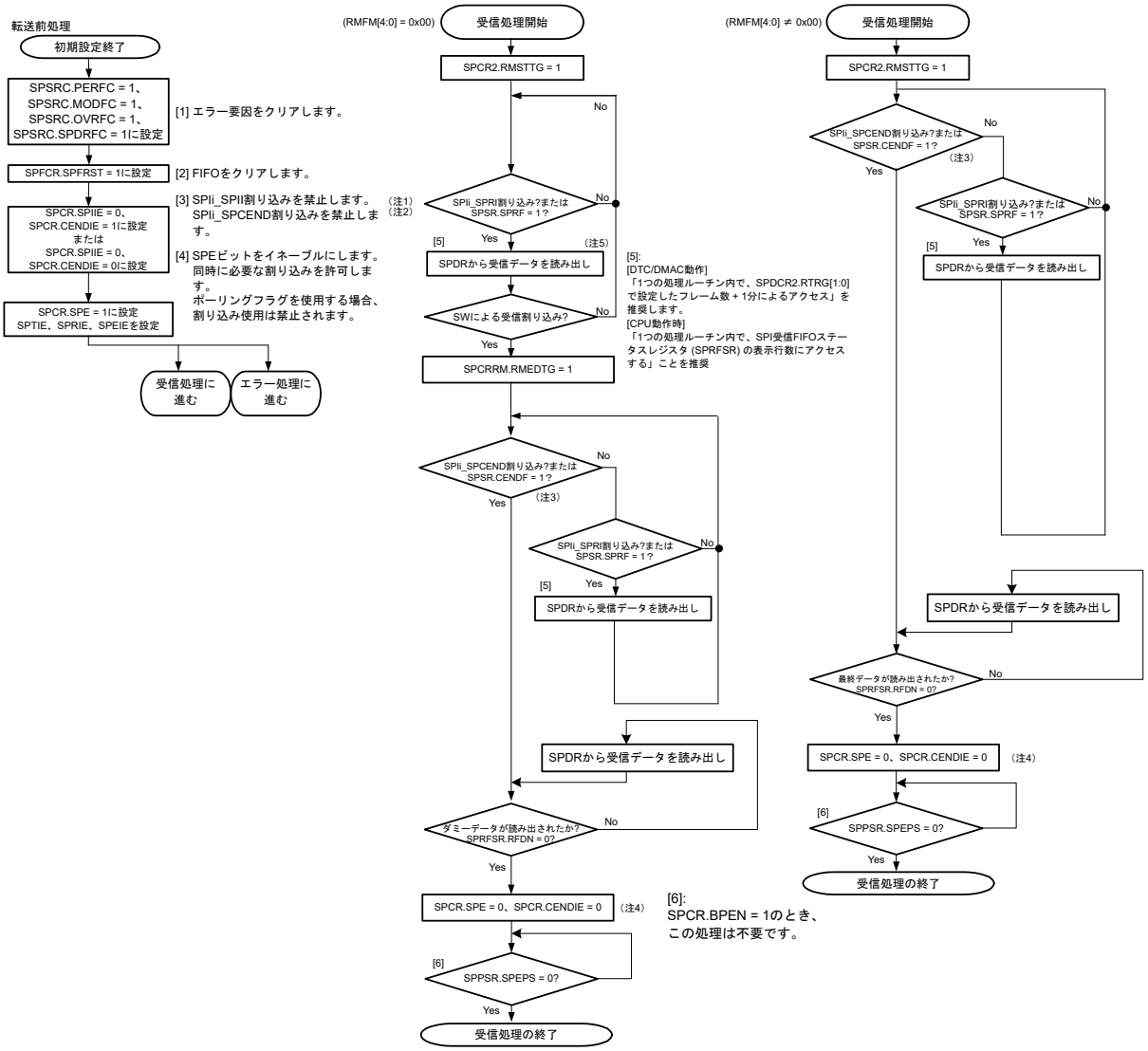
SPI には、スレーブモードでの受信専用の動作があります。



注 1. CPU 動作中、1 つの処理ルーチンの後に SPSRC.SPRFC ビット（SPI 受信バッファフルフラグのクリアビット）に 1 を書き込んでください。

図 34.65 マスタモードでの受信フロー

マスタモードでの受信専用処理手順



注 1. 通信の終了は、SPIi_SPCEND 割り込み（CENDF フラグ）で判定できます。SPIi_SPCEND 割り込み（CENDF フラグ）を使用してください。
注 2. フラグポーリング中の SPIi_SPCEND 割り込みを禁止してください (SPCR.CENDIE = 0)。
注 3. 受信のみ動作（マスタ）時の通信完了割り込みは、以下のいずれかの条件で一定のタイミングで発生します。
- RMFM で設定したフレーム数の処理が完了したとき (RMFM[4:0] ≠ 0x00)
- RMEDTG = 1 で、RMFM で設定したフレーム数の処理が完了していないとき（RMFM[4:0] = 0x00 を含む）

注 4. 内部トリガもクリアされます。
注 5. CPU 動作中、1 つの処理ルーチンの後に SPI 受信バッファフルフラグのクリアビット (SPSRC.SPRFC) に 1 を書き込んでください。

図 34.66 マスタモード時のソフトウェア処理フローチャート（受信のみ）

エラー処理フロー

SPI は以下のエラーの検出を行います。

- モードフォルトエラー
- アンダーランエラー
- オーバーランエラー
- パリティエラー

モードフォルトエラー発生時は、SPCR.SPE ビットが自動的にクリアされ、送受信動作を停止させます。その他のエラー要因では、SPCR.SPE ビットはクリアされず、送受信動作は継続します。このため、モードフォルトエラー以外のエラーの場合、SPCR.SPE ビットをクリアして動作を停止することを推奨します。そのようにしないと、SPDCR2.SPECM[2:0]ビットが更新されます。

割り込みによるエラー発生時は、エラー処理ルーチンにて ICU.IELSRn.IR フラグをクリアしてください。クリアしないと、ICU.IELSRn.IR フラグに送信バッファエンプティ割り込み (SPIi_SPTI) または受信バッファフル割り込み (SPIi_SPRI) 要求が保持されていることがあります。また、SPIi_SPRI 割り込み要求が保持されている場合、受信バッファを読み出して SPI の内部シーケンサを初期化してください。

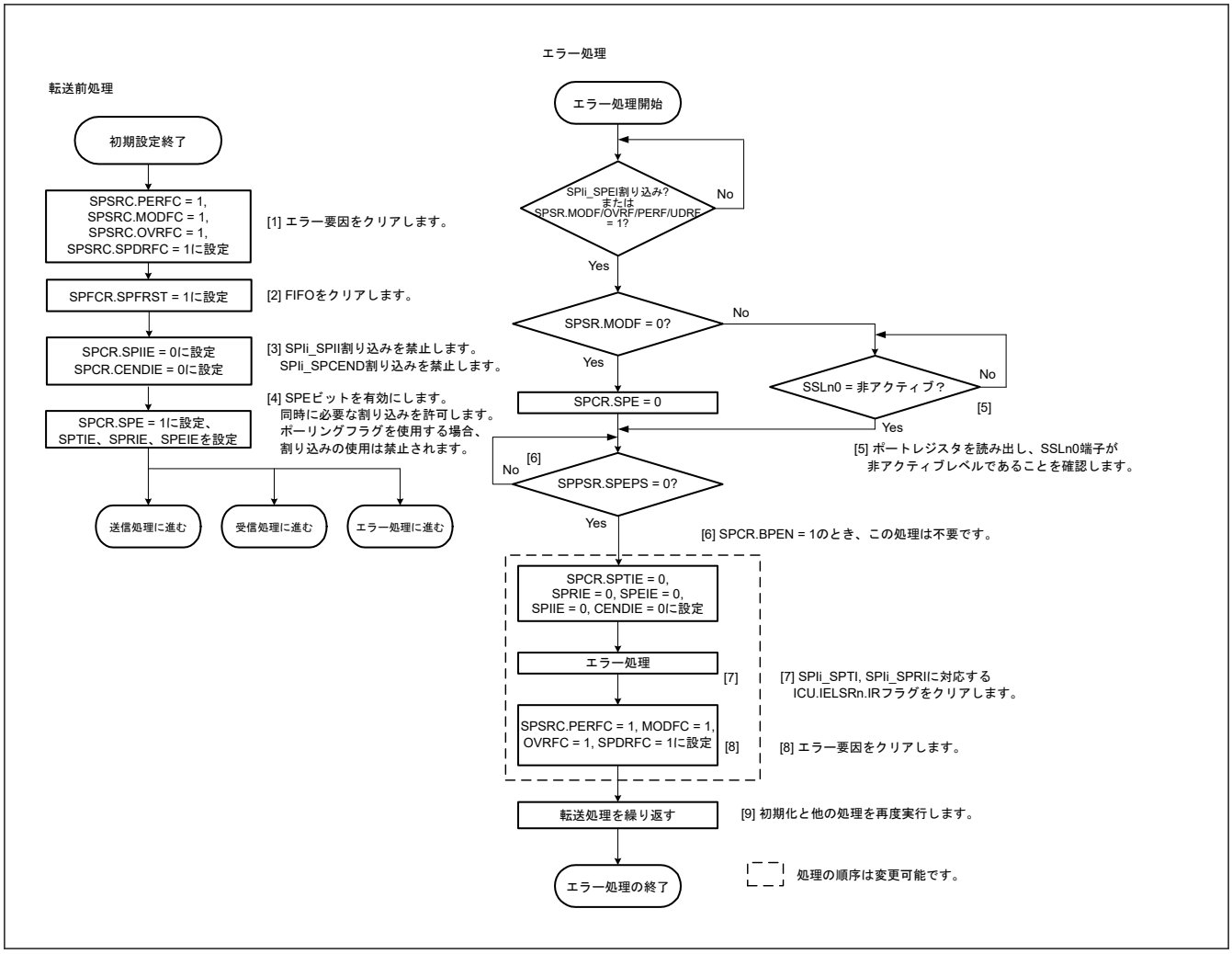


図 34.67　マスタモードでのエラー処理フロー

34.3.12.2　スレーブモード動作

(1)　シリアル転送の開始

SPCMD0.CPHA ビットが 0 の場合、SPI は SSLn0 端子へ入力される信号のアサートを検出すると、MISOn 出力信号への有効データをドライブする必要があります。このため、SPCMD0.CPHA ビットが 0 の場合には、SSLn0 端子へ入力される信号のアサートがシリアル転送開始のトリガになります。

SPCMD0.CPHA ビットが 1 の場合には、SPI は SSLn0 端子へ入力される信号のアサート状態で最初の RSPCKn エッジを検出すると、MISOn 出力信号への有効データをドライブする必要があります。SPCMD0.CPHA ビットが 1 の場合には、SSLn0 端子へ入力される信号のアサート状態における最初の RSPCKn エッジがシリアル転送開始のトリガになります。

SPCMD0.CPHA ビットの設定にかかわらず、SPI は SSLn0 端子へ入力される信号のアサート時に、MISOn 出力信号のドライブを実行します。SPCMD0.CPHA ビットの設定によって、SPI が出力するデータの有効／無効が異なります。

SPI の転送フォーマットの詳細については、「34.3.5. 転送フォーマット」を参照してください。SSLn0 端子へ入力される信号の極性は、SPCR3.SSL0P ビットの設定値に依存します。

(2) シリアル転送の終了

SPCMD0.CPHA ビットの設定にかかわらず、SPI は最終サンプリングタイミングに対応する RSPCKn エッジを検出するとシリアル転送を終了します。受信 FIFO に格納されたデータの数が FIFO 段数より少ない場合には、シリアル転送終了後に SPI はシフトレジスタから SPDR レジスタの受信バッファに受信データをコピーします。受信バッファの状態にかかわらず、SPI はシリアル転送の終了時にシフトレジスタの状態をエンプティに変更します。シリアル転送開始からシリアル転送終了までの間に SPI が SSLn0 端子へ入力される信号のネゲートを検出すると、モードフォルトエラーが発生します（「34.3.10. エラー検出」を参照）。

最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの SPI のデータ長は、SPCMD0.SPB[4:0]ビットの設定で決まります。SSLn0 端子へ入力される信号の極性は、SPCR3.SSL0P ビットの設定で決まります。SPI の転送フォーマットの詳細については、「34.3.5. 転送フォーマット」を参照してください。

(3) シングルスレーブ動作時の注意点

［Motorola-SPI の場合］

SPCMD0.CPHA ビットが 0 の場合、SPI は SSLn0 端子へ入力される信号のアサートエッジを検出するとシリアル転送を開始します。図 34.8 に示す構成で SPI をシングルスレーブモードで使用する場合には、SSLn0 端子への入力信号がアクティブ状態に固定されます。そのため、CPHA ビットを 0 に設定した場合、SPI はシリアル転送を正しく開始できません。SSLn0 端子への入力信号がアクティブ状態に固定された場合に、スレーブモードの SPI の送受信動作を正しく実行するには、CPHA ビットを 1 にする必要があります。CPHA ビットを 0 にする必要がある場合、SSLn0 端子への入力信号を固定しないでください。

［TI-SSP の場合］

図 34.8 に示す構成で SPI がシングルスレーブとして使用されている場合には、SSLn0 入力信号は常に非アクティブ状態に固定されるため、SPI はシリアル転送を開始できません。

シングルスレーブを使用する場合は、図 34.7 の例に示したような構成を使用してください。

(4) バースト転送

［Motorola-SPI の場合］

SPCMD0.CPHA ビットが 1 であれば、SSLn0 端子へ入力される信号のアサート状態を保持したままで連続的なシリアル転送（バースト転送）を実行できます。SPCMDm.CPHA ビットが 1 の場合、シリアル転送期間は、SSLn0 端子への入力信号がアクティブ状態において、最初の RSPCKn エッジから、最終ビット受信のためのサンプリングタイミングまでとなります。SSLn0 端子への入力信号がアクティブレベルのままであっても、SPI はアクセスの開始を検出できるため、バースト転送に対応できます。

SPCMD0.CPHA ビットが 0 の場合、バースト転送の 2 回目以降のシリアル転送を正しく実行できません。

［TI-SSP の場合］

シリアル転送では、SSLn0 端子への入力信号が RSPCK 1 サイクルでアサートされた後にデータ転送が開始します。フレーム転送は SSLn0 端子への入力信号から始まるため、フレーム間で SSLn0 がアサートされる必要があります。

(5) 初期化フロー

図 34.68 に、SPI がスレーブモードの場合の SPI 動作の初期化フローの例を示します。なお、ICU、DMAC、DTC および入出力ポートの設定方法については、各ブロックの説明を参照してください。

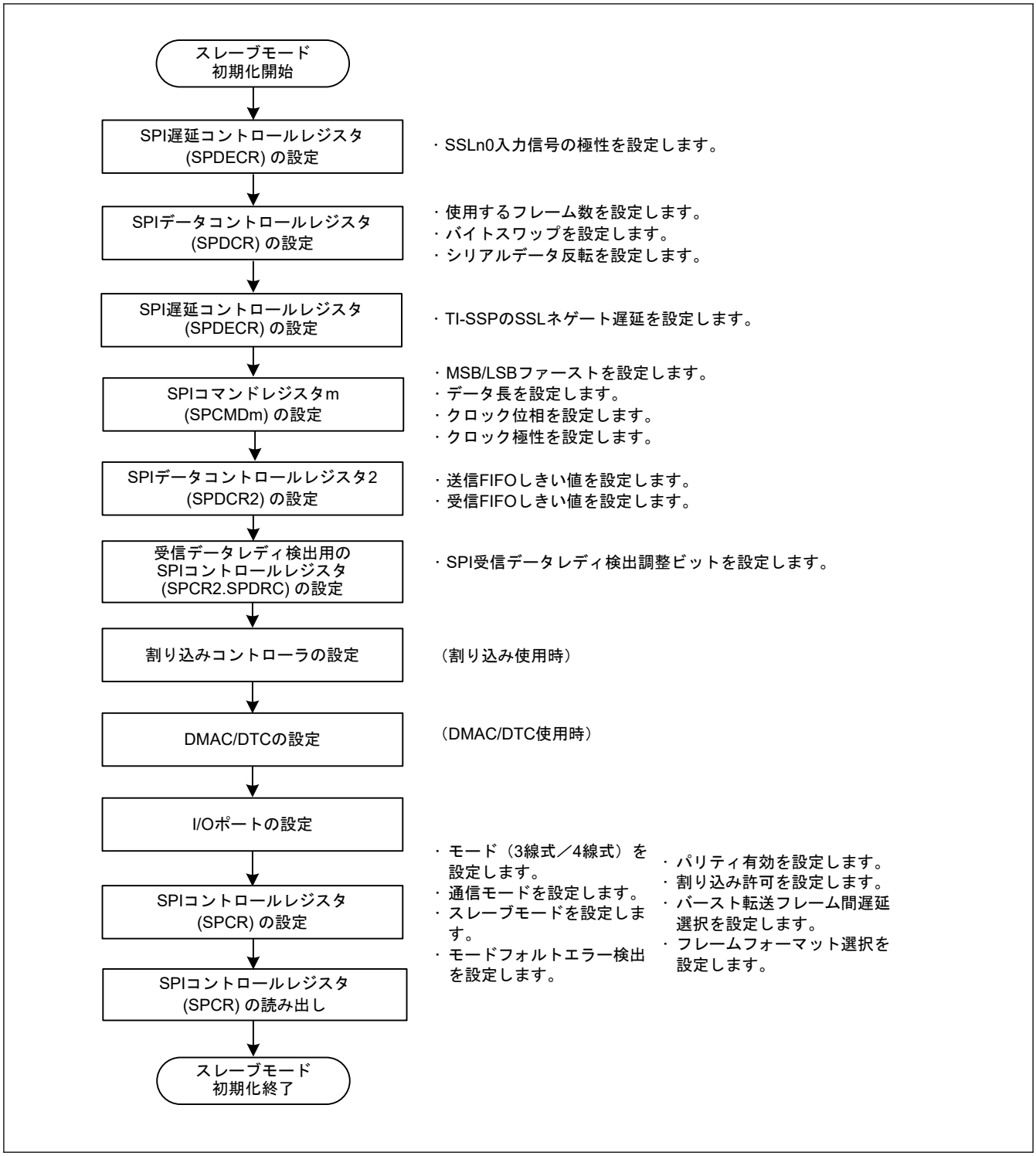
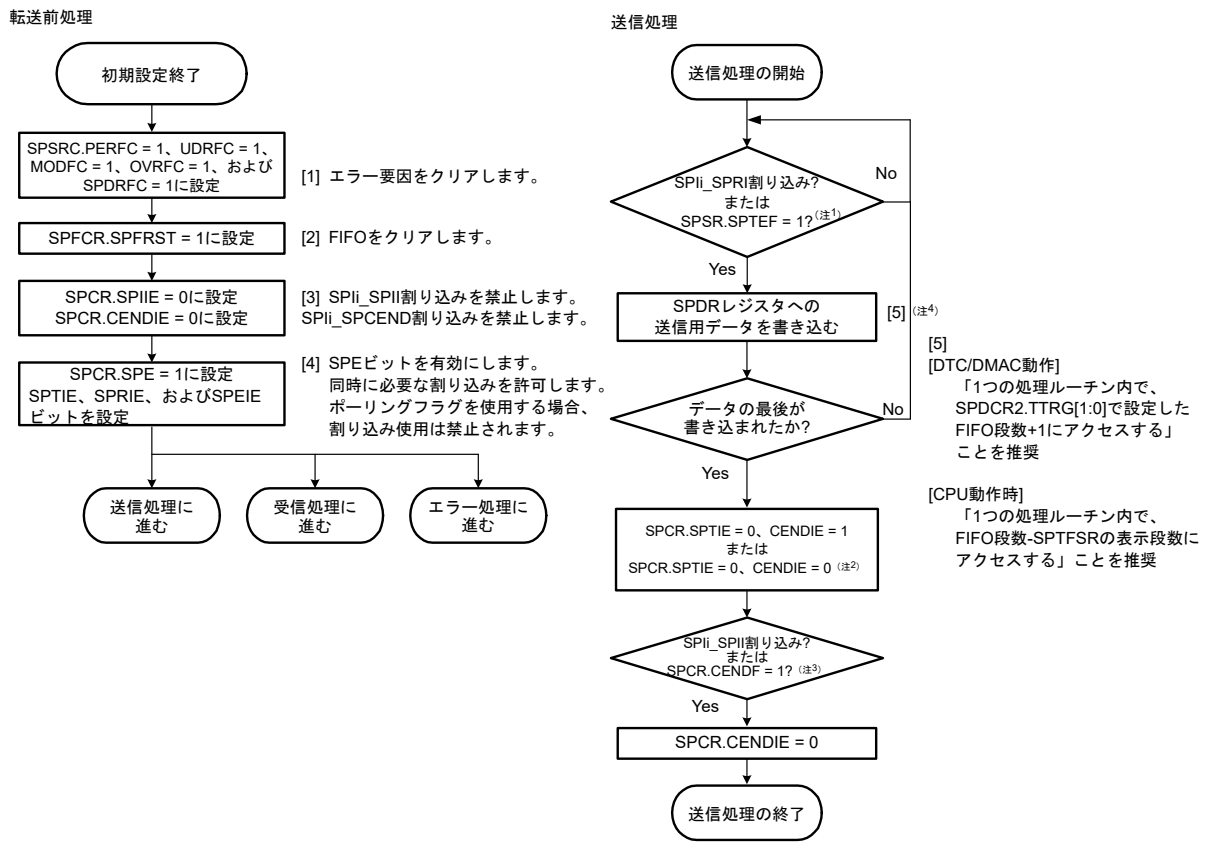


図 34.68　スレーブモード時の SPI 動作の初期化フロー例

(6)　ソフトウェア処理フロー

図 34.69～図 34.72 にソフトウェア処理フローの例を示します。

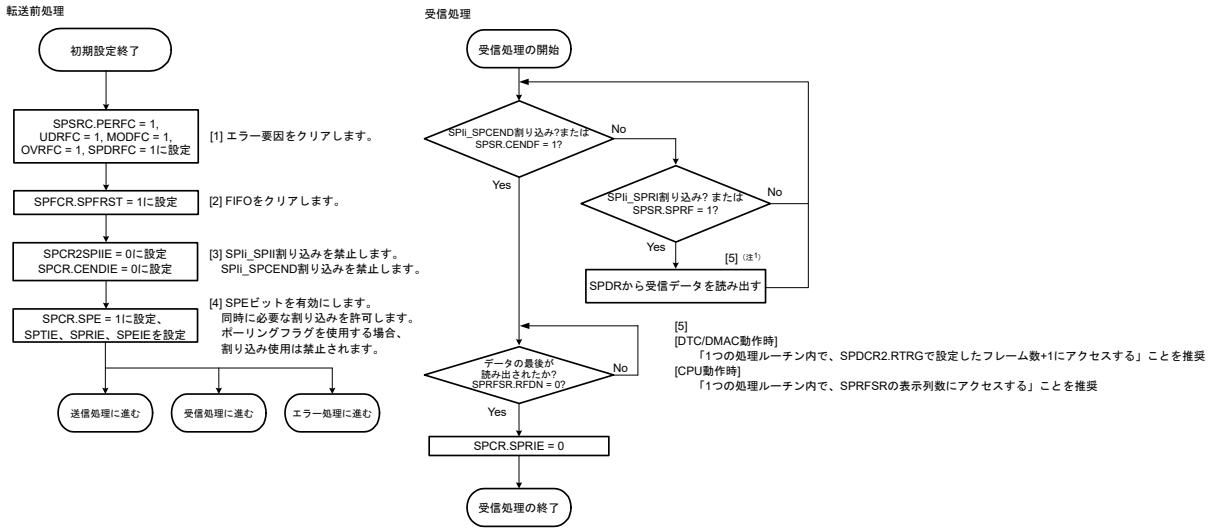
送信処理フロー



注 1. ポーリング用のフラグを使用する場合、SPSR.SPTEF フラグを読み出して送信バッファエンプティ割り込みを確認してから SPDR レジスタへの送信データ書き込みを行ってください。
注 2. ポーリング用のフラグを使用する場合は、SPIi_SPCEND 割り込み禁止 (SPCR.CENDIE = 0) を設定してください。
注 3. ポーリング用のフラグを使用する場合は、SPDR に送信データを書き込んだ後、1 PCLK 以上待ってから、SPSR.IDLNF または SPSR.CENDF のポーリングを開始してください。
注 4. CPU 動作中、1 つの処理ルーチンの後に SPI 送信バッファエンプティフラグのクリアビット (SPSRC.SPTEFC) に 1 を書き込んでください。

図 34.69 スレーブモードでの送信フロー

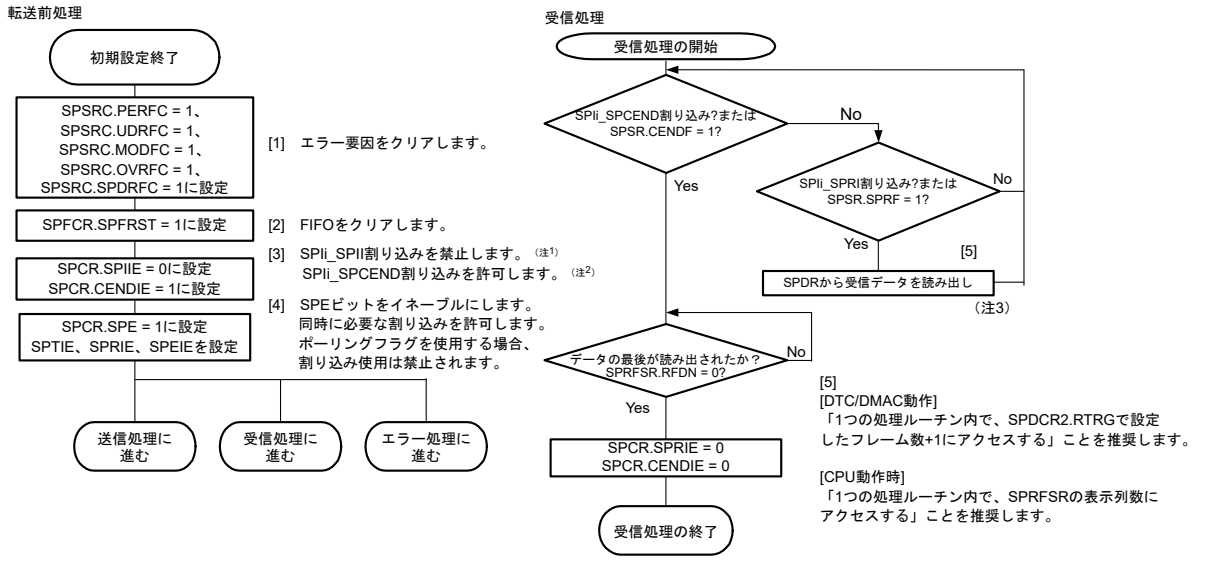
受信処理フロー



注 1. CPU 動作中、1 つの処理ルーチンの後に SPI 受信バッファフルフラグのクリアビット (SPSRC.SPTEFC) に 1 を書き込んでください。

図 34.70 スレーブモードでの受信手順

マスタ受信のみ処理フロー



注 1. 通信の終了は、SPIi_SPCEND 割り込み（CENDF フラグ）で判定できます。SPIi_SPCEND 割り込み（CENDF フラグ）を使用してください。
注 2. フラグポーリング中の SPIi_SPCEND 割り込みを禁止してください (SPCR.CENDIE = 0)。
注 3. CPU 動作中、1 つの処理ルーチンの後に SPI 受信バッファフルフラグのクリアビット (SPSRC.SPTEFC) に 1 を書き込んでください。

図 34.71 マスタモード時のソフトウェア処理フローチャート（受信のみ）

エラー処理フロー

スレーブ動作では、モードフォルトエラーが発生しても、SSLn0 端子の状態にかかわらず SPSR.MODF フラグをクリアすることができます。

割り込みによるエラー検出時は、エラー処理ルーチンにて ICU.IELSRn.IR フラグをクリアしてください。クリアしないと、ICU.IELSRn.IR フラグに送信バッファエンプティ割り込み (SPIi_SPTI) または受信バッファフル割り込み (SPIi_SPRI) 要求が保持されていることがあります。また、SPIi_SPRI 割り込み要求が保持されている場合、受信バッファを読み出して SPI の内部シーケンサを初期化してください。

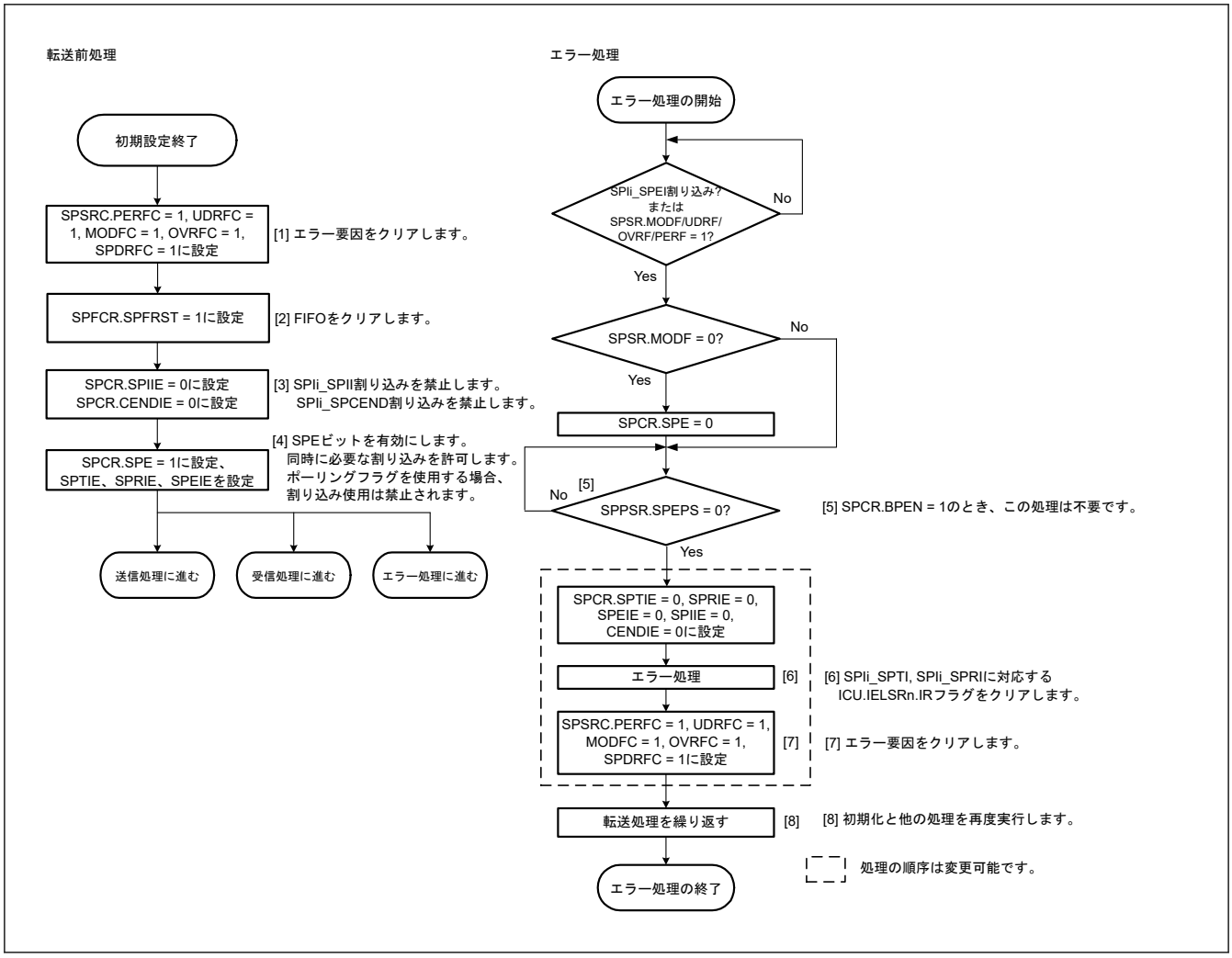


図 34.72　スレーブモードでのエラー処理フロー

34.3.13　クロック同期式動作

SPI は、SPCR.SPMS ビットが 1 であるとき、クロック同期式動作となります。クロック同期式動作は、SSLni 端子を使用せず、RSPCKn、MOSIn、MISOn の 3 本の端子を用いて通信を行います。各 SSLni 端子は入出力ポートとして使用することができます。

クロック同期式動作は、SSLni 端子を使用せずに通信を行いますが、モジュールの動作は SPI 動作と同様です。すなわち、マスタモード動作とスレーブモード動作では、モードフォルトエラーの検出が行われないことを除いて、同様のフローで通信を行うことができます。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR = 0) に SPCMDm.CPHA ビットを 0 にした場合の動作はしないでください。

34.3.13.1　マスタモード動作

(1)　シリアル転送の開始

送信 FIFO で次転送のデータがセットされていない状態で、SPI データレジスタ (SPDR) へデータを書き込むと、SPI は SPDR で送信バッファ（SPTXn、n = 0～3）のデータを更新します。シフトレジスタがエンプティの場合、SPI は送信バッファのデータをシフトレジスタへコピーしてシリアル転送を開始します。SPI は、シフトレジス

タに送信データをコピーした後、シフトレジスタのステータスをフルに変更します。シリアル転送が終了すると、SPI はシフトレジスタのステータスをエンプティに変更します。シフトレジスタのステータスを監視することはできません。

SPI の転送フォーマットの詳細については、「34.3.5. 転送フォーマット」を参照してください。ただし、クロック同期式動作では、SSLn0 出力信号は通信に使用されません。

(2) シリアル転送の終了

SPI はサンプリングタイミングに対応する RSPCKn エッジを送出すると、シリアル転送を終了します。受信 FIFO に格納されたデータの数が FIFO 段数より少ない場合、シリアル転送終了時に、SPI はシフトレジスタから SPI データレジスタ (SPDR) の受信バッファにデータをコピーします。

最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの SPI のデータ長は、SPCMDm.SPB[4:0]ビットの設定に依存します。クロック同期式動作時は、SSLn0 端子の出力信号を用いずに転送を行います。SPI の転送フォーマットの詳細については、「34.3.5. 転送フォーマット」を参照してください。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPCR3 レジスタ、SPCMDm レジスタ、および SPDECR レジスタによって決定されます。クロック同期式動作時は、SSLni 端子へ信号の出力を行いませんが、これらの設定は有効です。

SPCR3.SPSLN[2:0]ビットは、マスタモードの SPI で実行するシリアル転送のシーケンス構成を決定します。SPCMDm レジスタでは、以下の項目を設定します。

- SSLni 端子の出力信号値
- MSB/LSB ファースト
- データ長
- ビットレート設定の一部
- RSPCK 極性／位相
- SPDECR.SCKDL の参照要否
- SPDECR.SLNDL の参照要否
- SPDECR.SPNDL の参照要否

SPCR3.SPBR は、SPDECR.SCKDL（SPI クロック遅延値）、SPDECR.SLNDL（SSL ネゲート遅延）、SPDECR.SPNDL（次アクセス遅延）などの、ビットレート設定の一部を保持しています。

SPI は、SPCR3 レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部または全部からなるシーケンスを構成します。SPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPDCR2.SPCP[2:0]ビットの読み出しによって確認できます。SPCR.SPE ビットを 1 にして SPI 機能を有効にすると、SPI はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。SPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスの最終コマンドに対応するシリアル転送が終了すると、SPI はポインタを SPCMD0 レジスタにセットするため、シーケンスが繰り返し実行されます。

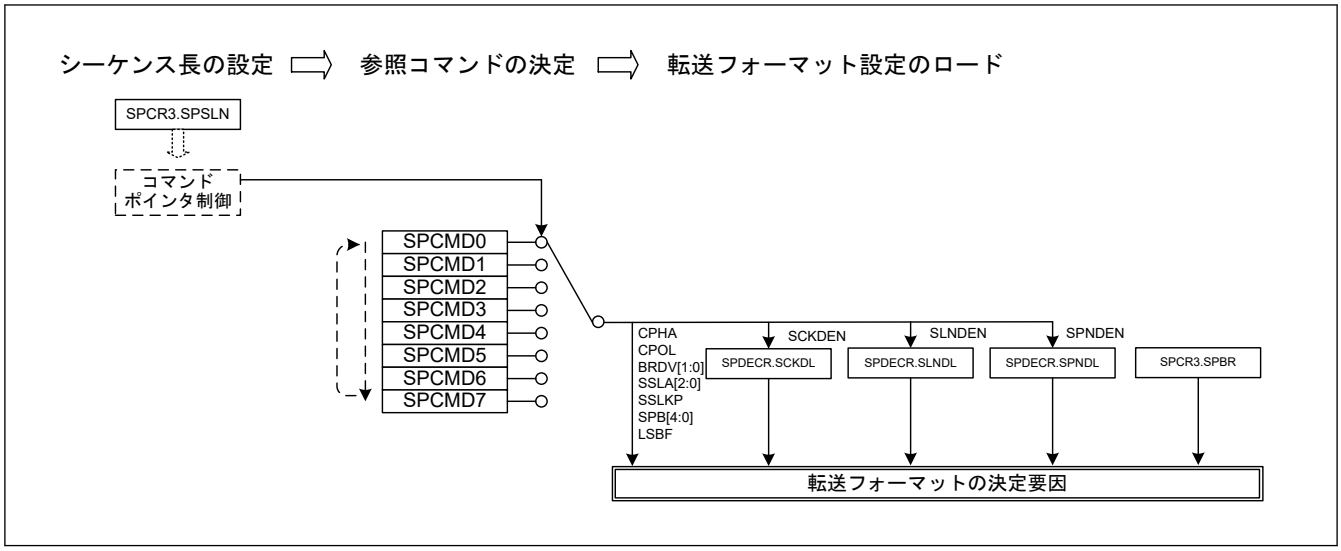


図 34.73　マスタモードでのシリアル転送方式の決定方法

ここでは、データ (SPDR) と設定 (SPCMDm) の 2 つを合わせてフレームとします。

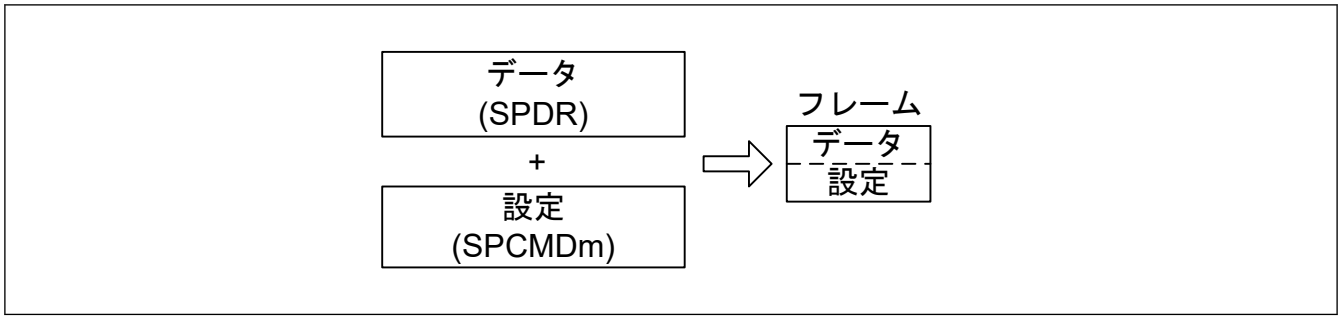


図 34.74　フレームの概念図

設定で指定したシーケンス動作におけるコマンドと送信バッファ／受信バッファの対応関係を図 34.75 に示します。

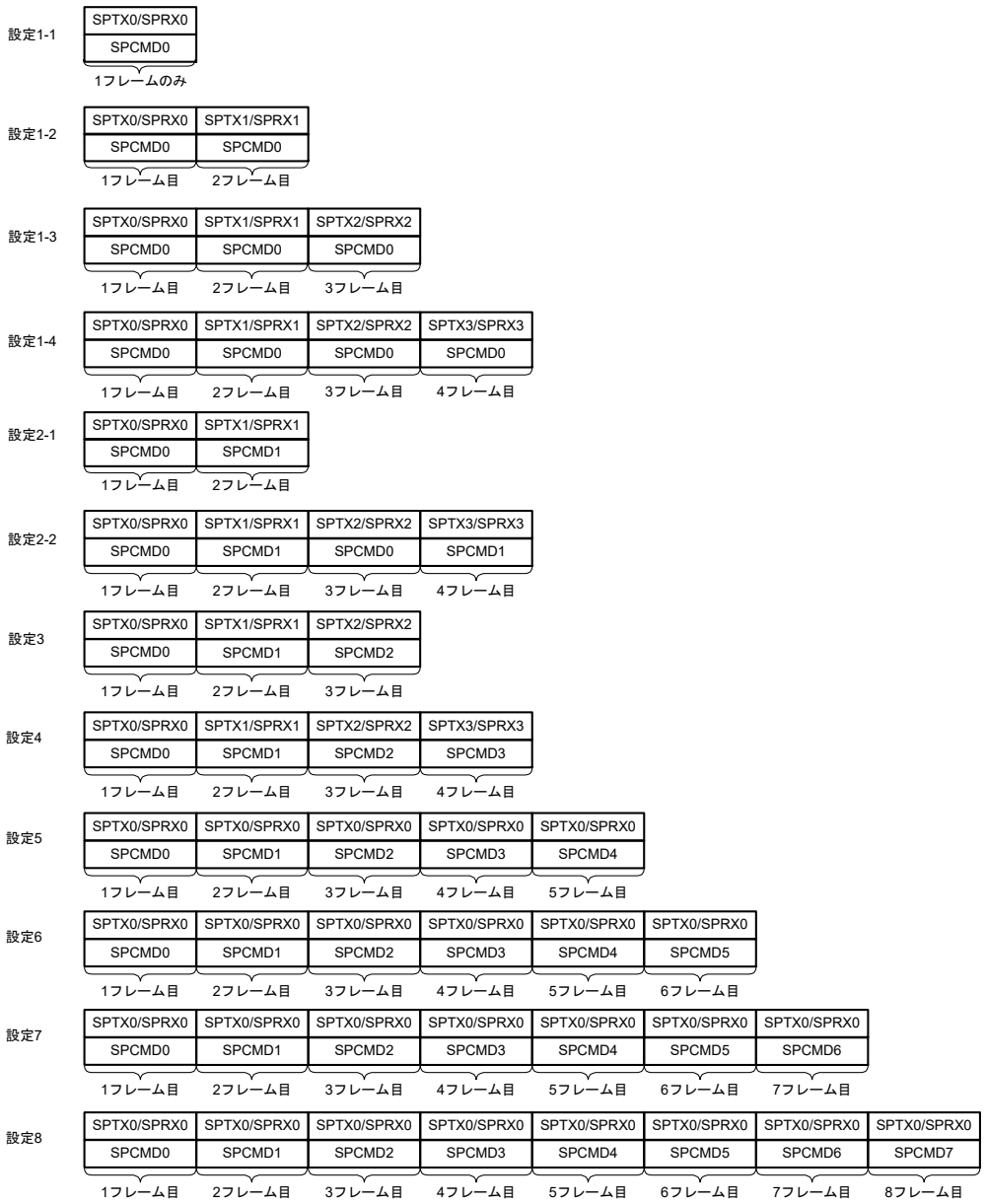


図 34.75　シーケンス動作時の SPI コマンドレジスタと送受信バッファの対応関係

(4)　初期化フロー

図 34.76 に、SPI がマスタモードである場合のクロック同期式動作の初期化フローの例を示します。なお、ICU、DMAC、DTC および入出力ポートの設定方法については、各ブロックの説明を参照してください。

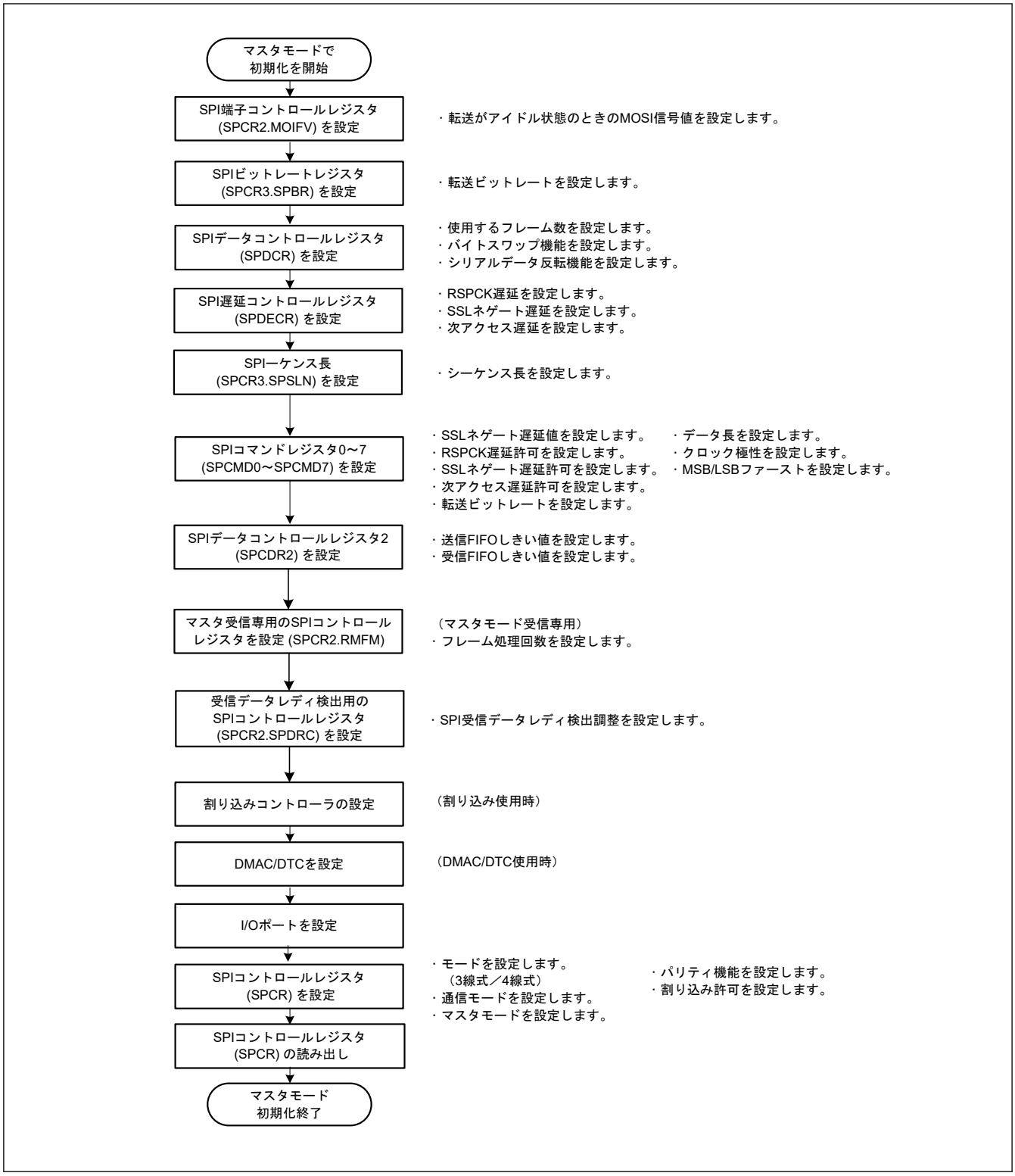


図 34.76　マスタモード時のクロック同期式動作の初期化フロー例

(5)　ソフトウェア処理フロー

クロック同期式動作時のマスタモードでのソフトウェア処理は、SPI 動作時のマスタモードでのソフトウェア処理と同様になります。詳細は、「34.3.12.1. マスタモード動作」を参照してください。クロック同期動作ではモードフォルトエラーは発生しません。

34.3.13.2 スレーブモード動作

(1) シリアル転送の開始

SPCR.SPMS ビットが 1 であるとき、最初の RSPCKn エッジが SPI のシリアル転送開始のトリガになり、SPI は MISOn 出力信号をドライブします。クロック同期式動作では SSLn0 入力信号は使用しません。SPI の転送フォーマットの詳細については、「34.3.5. 転送フォーマット」を参照してください。

(2) シリアル転送の終了

SPI は最終のサンプリングタイミングに対応する RSPCKn エッジを検出すると、シリアル転送を終了します。受信 FIFO に格納されたデータの数が FIFO 段数より少ない場合には、シリアル転送終了後に SPI はシフトレジスタから SPDR レジスタの受信バッファに受信データをコピーします。受信バッファの状態にかかわらず、SPI はシリアル転送の終了時にシフトレジスタの状態をエンプティに変更します。

最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの SPI のデータ長は、SPCMD0.SPB[4:0]ビットの設定に依存します。SPI の転送フォーマットの詳細については、「34.3.5. 転送フォーマット」を参照してください。

(3) 初期化フロー

図 34.77 に、SPI がスレーブモードである場合のクロック同期式動作の初期化手順の例を示します。なお、ICU、DMAC、DTC および入出力ポートの設定方法については、各ブロックの説明を参照してください。

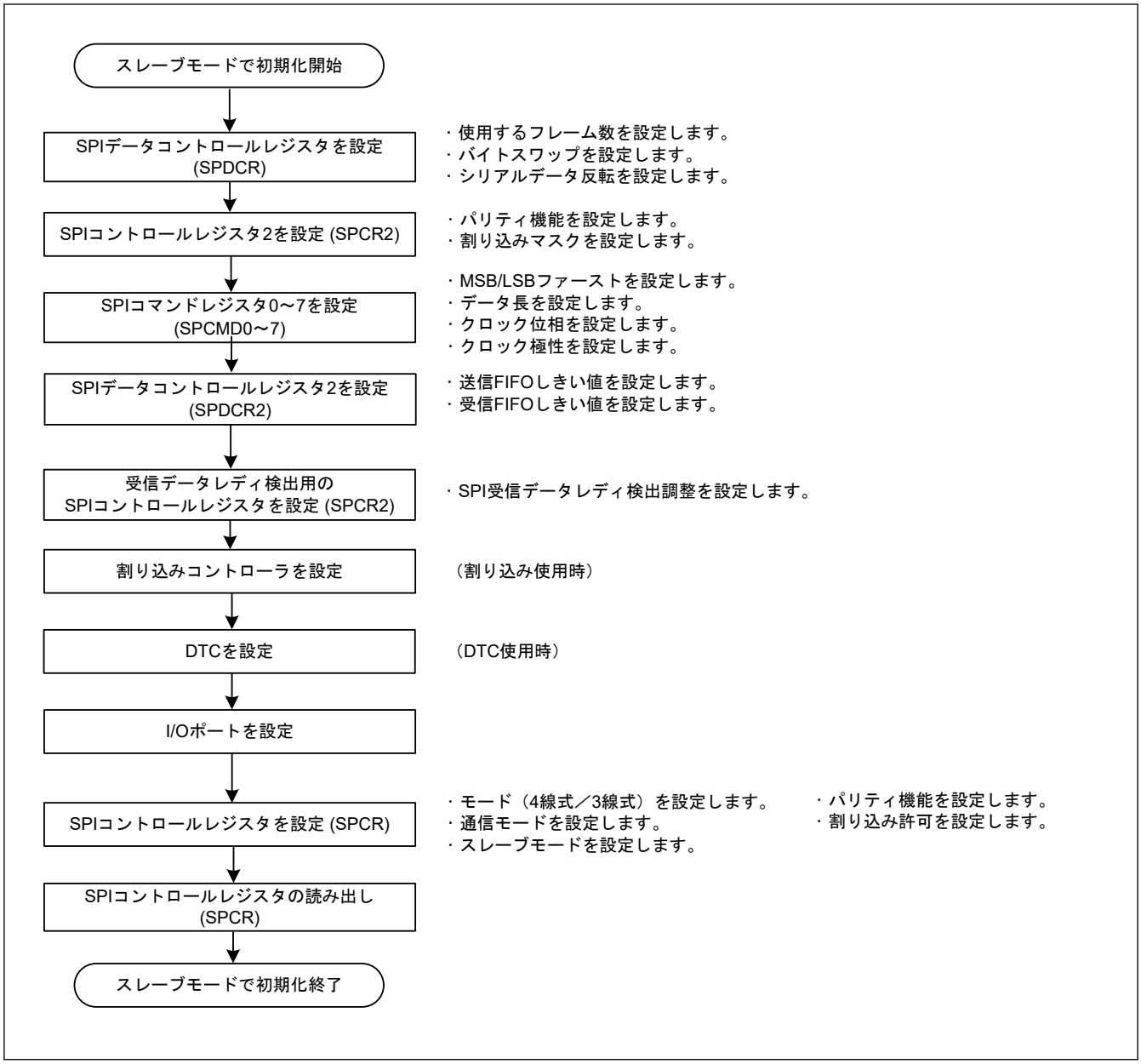


図 34.77　スレーブモード時のクロック同期式動作の初期化フロー例

(4)　ソフトウェア処理フロー

クロック同期式動作時のスレーブモードでのソフトウェア処理は、SPI 動作時のスレーブモードでのソフトウェア処理と同様になります。詳細は、(6) ソフトウェア処理フローを参照してください。この条件下ではモードフォルトエラーは発生しません。

34.3.14　ループバックモード

SPCR2.SPLP2 ビットまたは SPCR2.SPLP ビットに 1 を書いたときに、SPI は SPCR.MSTR ビットが 1 である場合に MISOn 端子とシフトレジスタの間の経路を遮断し、または SPCR.MSTR ビットが 0 である場合に MOSIn 端子とシフトレジスタの間の経路を遮断します。また、ループバックモードを確立してシフトレジスタの入力と出力の経路を接続します。SPI は SPCR.MSTR ビットが 1 である場合に MOSIn 端子とシフトレジスタの間の経路を遮断せず、または SPCR.MSTR ビットが 0 である場合に MISOn 端子とシフトレジスタの間の経路を遮断しません。これはループバックモードといわれています。シリアル転送がループバックモードで実行されるとき、SPI のための送信データまたは反転した送信データは、SPI のための受信データとなります。

表 34.13 に、SPLP2 ビットと SPLP ビットおよび受信データの間の関係を示します。図 34.78 に、マスタモードの SPI がループバックモードに設定されているときのシフトレジスタの入出力経路の構成を示します (SPCR2.SPLP2 = 0, SPCR2.SPLP = 1)。

表 34.13　SPPCR.SPLP2 ビット、SPPCR.SPLP ビットの設定と受信データ

SPCR2.SPLP2 ビット	SPCR2.SPLP ビット	受信データ
0	0	MOSIn 端子または MISOn 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

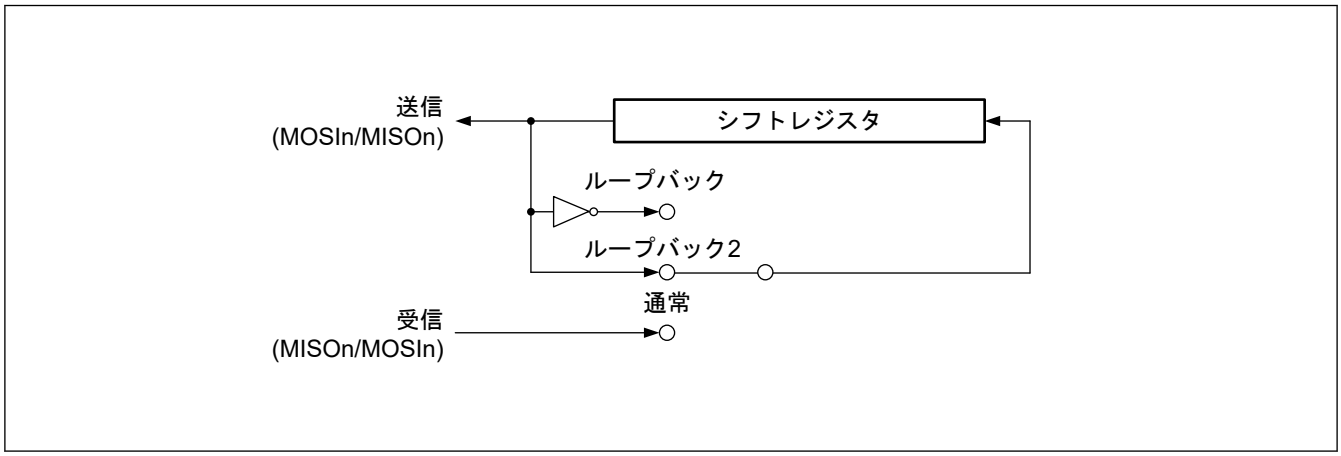


図 34.78　ループバックモード時のシフトレジスタ入出力経路の構成（マスタモード）

34.3.15　パリティビット機能の自己診断

パリティ回路は、送信データに対するパリティ付加部と、受信データに対するエラー検出部で構成されます。パリティ付加部とエラー検出部の故障を検出するため、パリティ回路は図 34.79 に示す自己診断を実行します。

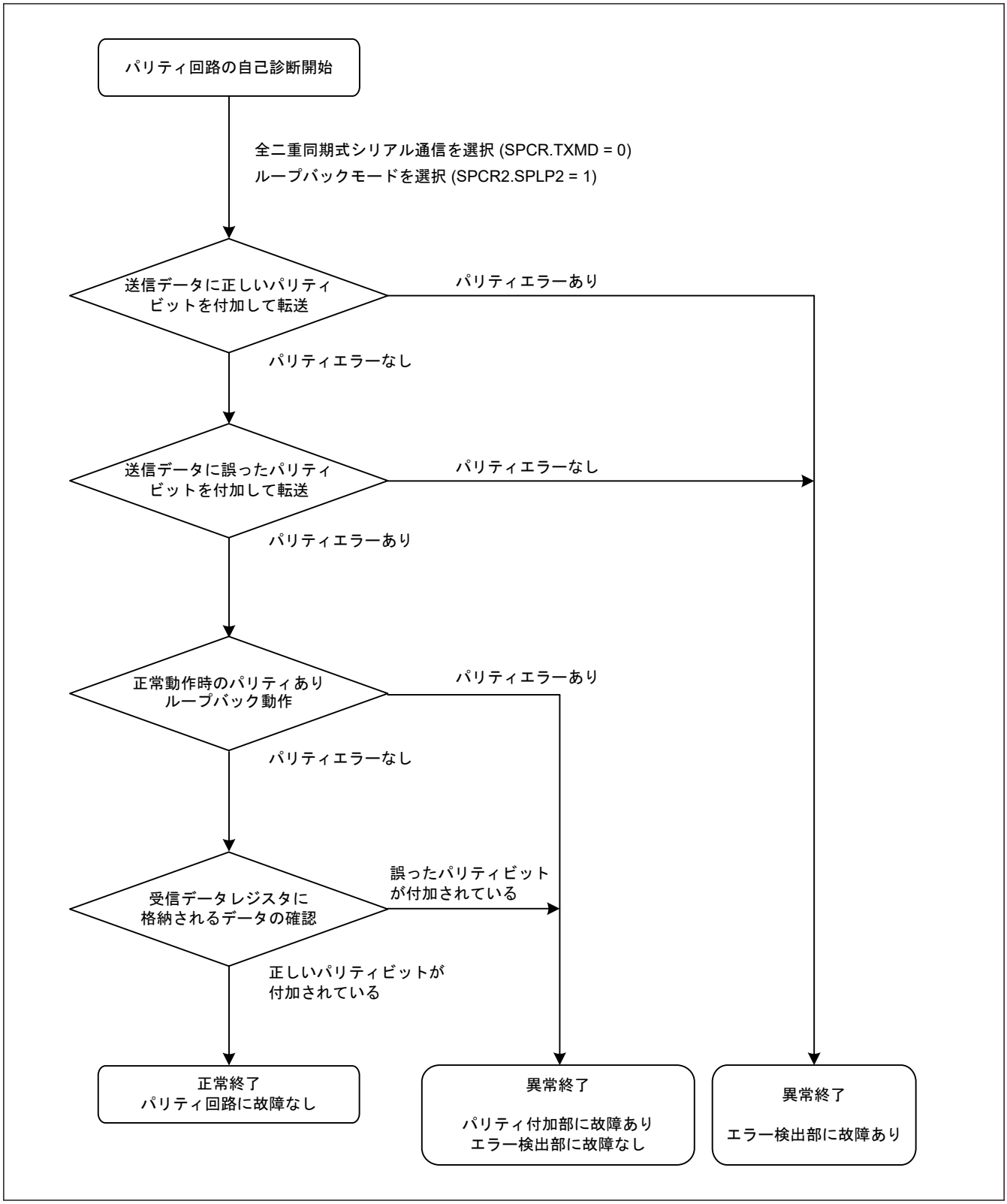


図 34.79　パリティ回路の自己診断フロー

34.3.16　割り込み要因

SPI には以下の割り込み要因があります。

- 受信バッファフル
- 送信バッファエンプティ

- SPI エラー（モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラー）
- SPI アイドル
- 通信終了

受信バッファフルまたは送信バッファエンプティの割り込みで DMAC または DTC を起動し、データ転送を行うことができます。

SPIn_SPEI のベクタアドレスは、モードフォルトエラー、アンダーランエラー、オーバーランエラー、およびパリティエラーでトリガされる割り込み要求に割り付けられるため、実際の割り込み要因は、フラグから判断する必要があります。表 34.14 に SPI の割り込み要因に対応するフラグを示します。表 34.14 の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因に対しては、データ転送でクリアしてください。

DMAC または DTC を使用してデータの送受信を行う場合、最初に DMAC または DTC を転送許可状態に設定してから SPI の設定を行ってください。DMAC または DTC の設定方法は、「16. DMA コントローラ (DMAC)」と「17. データトランスファコントローラ (DTC)」を参照してください。

ICU.IELSRn.IR フラグが 1 の状態で、送信バッファエンプティ割り込みまたは受信バッファフル割り込みの発生条件が生じても、ICU に対して割り込み要求は出力されず、内部で保持されます（内部で保持できる容量は、1 要因ごとに 1 要求までです）。ICU.IELSRn.IR フラグが 0 になると、保持されていた割り込み要求が出力されます。保持されていた割り込み要求が出力されると、その割り込み要求は自動的に破棄されます。また、内部で保持されている割り込み要求は、対応する割り込み許可ビット（SPCR.SPTIE ビットまたは SPCR.SPRIE ビット）を 0 にすることでもクリアできます。

表 34.14 SPI の割り込み要因

割り込み要因	シンボル	割り込み条件	DTC/DMAC の起動
受信バッファフル	SPIi_SPRI	SPCR.SPRIE ビットが 1 の状態で受信バッファフル（SPSR.SPRF フラグが 1）になったとき、または SPCR.SPDRES ビットが 0 の状態で受信データがレディ（SPSR.SPDRF フラグが 1）になったとき	可能
送信バッファエンプティ	SPIi_SPTI	SPCR.SPTIE ビットが 1 の状態で送信バッファエンプティ（SPSR.SPTEF フラグが 1）になったとき	可能
SPI エラー（モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラー）	SPIi_SPEI	SPCR.SPEIE ビットが 1 の状態で、SPSR.MODF、OVRF、または PERF フラグが 1 になったとき、または SPSR.SPDRES および SPDRF フラグが 1 になったとき	不可能
SPI アイドル	SPIi_SPII	SPCR.SPIIE ビットが 1 の状態で SPSR.IDLNF フラグが 0 になったとき	不可能
通信終了	SPIi_SPCEND	CENDIE = 1 かつ CENDF = 1	不可能

34.4 イベントリンクコントローラ (ELC) への出力

イベントリンクコントローラ (ELC) は、次のイベント出力信号を生成することができます。

- 受信バッファフルイベント出力
- 送信バッファエンプティイベント出力
- モードフォルトエラー／アンダーランエラー／オーバーランエラー／パリティエラーイベント出力
- SPI アイドルイベント出力
- 送信完了イベント出力

イベントリンク出力信号は、割り込み許可ビットの設定に関係なく出力されます。

34.4.1 受信バッファフルイベント出力

「受信 FIFO に格納されたデータ数＞しきい値」のとき、または「受信 FIFO に格納されたデータ数≦しきい値」かつ「受信 FIFO への書き込み後に SPDRES = 0 が経過」のとき、SPDRC[7:0]が経過するとイベントを出力します。

34.4.2 送信バッファエンプティイベント出力

空の送信 FIFO 段数がしきい値を超えるか、SPCR.SPE ビットが 0 から 1 に変更されたとき、イベントが出力されます。

34.4.3 モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラー、または受信データレディイベント出力

このイベント信号は、モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラーを検出したときに出力されます。このイベント信号を使用する場合は、「34.5.4. モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラー、または受信データレディイベント出力の制限事項」を参照してください。

(1) モードフォルトエラー

表 34.15 にモードフォルトエラーイベントの発生条件を示します。

表 34.15 モードフォルトエラーの発生条件

SPI モード	SPCR.MODFEN ビット	SSLn0 端子	備考
SPI 動作 (SPMS = 0) スレーブ (SPCR.MSTR = 0) Motorola-SPI (SPCR.SPFRF = 0)	1	非アクティブ	通信動作中に SSLn0 端子が非アクティブになった場合のみイベント出力
SPI 動作 (SPMS = 0) スレーブ (SPCR.MSTR = 0) TI-SSP (SPCR.SPFRF = 1)	1	アクティブ	通信動作中に SSLn0 端子がアクティブになった場合のみイベント出力

(2) アンダーランエラー

アンダーランエラーイベント信号は、SPCR.MSTR ビットが 0、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態でシリアル転送を開始したときに出力されます。この条件下では、SPSR.MODF フラグおよび SPSR.UDRF フラグが 1 となります。

(3) オーバーランエラー

このイベント信号は、SPCR.TXMD[1:0]ビットが 00b または 10b、かつ受信バッファに未読データがある状態でシリアル転送が終了したときのオーバーランに対応して出力されます。この条件下では、OVRF フラグが 1 になります。

(4) パリティエラー

このイベント信号は、SPCR.SPPE ビットの値が 1 の状態でシリアル転送が終了したときのパリティエラー検出に対応して出力されます。

(5) 受信データレディ

受信データレディのイベント出力条件が SPCR.TXMD[1:0] = 00b または 10b かつ SPDRES = 1 の場合は、受信 FIFO への書き込み後に受信 FIFO に格納されたデータと同数のデータが受信されます。この数が FIFO しきい値より小さい状態で SPDRC[7:0]の設定値が経過したときに、イベントが出力されます。

34.4.4 SPI アイドルイベント出力

(1) マスタモード時

送受信／送信専用マスタモードでは、SPSR.IDLNF フラグが 1 から 0 に変化するとき、イベントが出力されます。

以下の条件 1)か条件 2)のいずれかが成立するときのみ、IDLNF フラグは 1 から 0 に変化します。

1. SPCR.SPE ビットが送信中に 0 にクリアされる（SPI の初期化）
2. 以下の 3 つの条件をすべて満たしたとき
   - 送信用バッファ (SPTXn, n = 0～3) がエンプティ（次転送データがセットされていない）のとき
   - SPSR.SPCP[2:0]ビットが 000b のとき（シーケンス制御開始時）

- 次のアクセス遅延までに動作が完了しているとき（マスタメインステートマシンがアイドル状態に遷移するとき）

受信専用マスタモード時

以下のいずれか 2 つの条件が満たされたとき：

1. SPCR.SPE ビットが 0（SPI の初期化）
2. 下記のいずれかが成立したとき
   - RMFM[4:0] = 0x00 のとき、RMEDTG に 1 を書き込んだ後、次のアクセス遅延までに動作が完了した（マスタメインステートマシンがアイドル状態に遷移するとき）
   - RMFM[4:0] ≠ 0x00 のとき、RMEDTG に 1 を書き込んだ後、次のアクセス遅延までに動作が完了した（マスタメインステートマシンがアイドル状態に遷移するとき）
   - RMFM [4:0] ≠ 0x00 のとき、次のアクセス遅延までに動作が完了した後、SPI 内部シーケンサがアイドル状態へ遷移する（マスタメインステートマシンがアイドル状態に遷移するとき）

(2) スレーブモード時

スレーブモードの場合、SPCR.SPE ビットが 0（SPI 初期化）のとき、イベントが出力されます。

34.4.5 通信終了イベント出力

マスタモード時、IDLNF フラグ（SPI アイドルフラグ）が 1 から 0 になるとイベントを出力します。スレーブモード時、表 34.16 と表 34.17 に示す条件でイベントが発生します。

表 34.16 通信終了イベント発生条件（送受信／送信スレーブモード）

	送信バッファ状態	シフトレジスタ状態	その他
SPI 動作 (SPMS = 0, SPFRF = 0)	エンプティ	エンプティ	SSLn0 入力ネゲート
SPI 動作 (SPMS = 0, SPFRF = 1)	エンプティ	エンプティ	SSL ネゲート遅延終了
クロック同期式動作 (SPMS = 1)	エンプティ	エンプティ	最終データの RSPCK の最終偶数エッジ検出 (CPHA = 1)

表 34.17 通信終了イベント発生条件（受信のみスレーブモード）

	その他
SPI 動作 (SPMS = 0, SPFRF = 0)	受信バッファで SPFC の設定値に対応するフレームを格納後に、SSLn0 入力ネゲート
SPI 動作 (SPMS = 0, SPFRF = 1)	受信バッファの SPFC 設定値に対応するフレーム格納後に、SSL ネゲート遅延終了
クロック同期式動作 (SPMS = 1)	SPFC 設定値 (CPHA = 1) に対する最終フレーム受信時に RSPCK の最終偶数エッジ検出

マスタモード、スレーブモードのどちらであっても、送信中に SPCR.SPE ビットに 0 が書き込まれた場合、あるいは、モードフォルトエラーまたはアンダーランエラーの発生によって SPCR.SPE ビットがクリアされた場合、イベントは出力されません。

通信終了イベントは、以下のタイミングで出力します。マスタ動作における通信終了イベント出力タイミングは、アイドルイベントと同じタイミングで出力されるため、省略します。

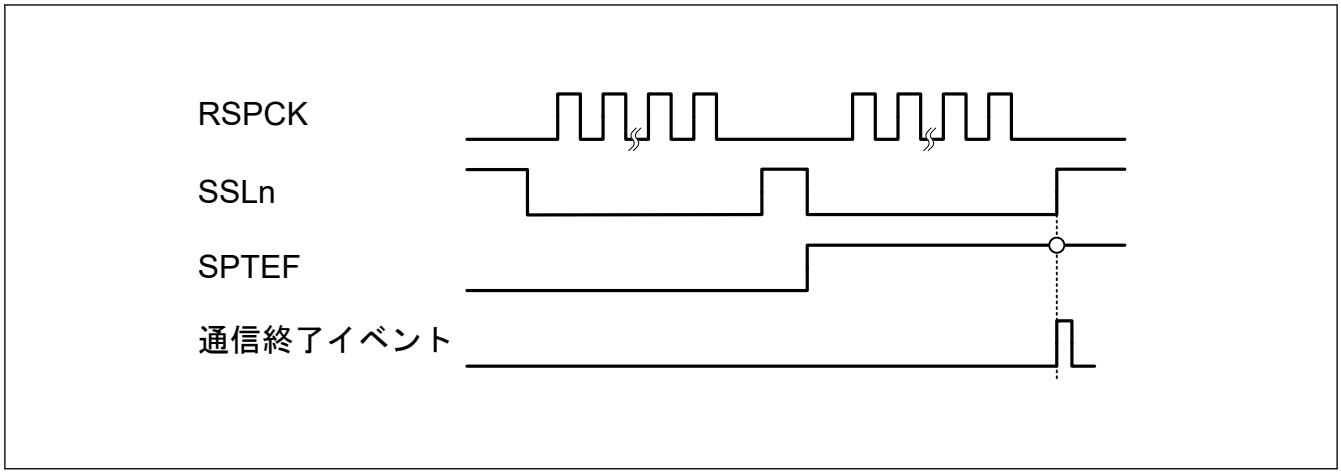


図 34.80　通信終了イベント出力タイミング（送信スレーブモード、Motorola SPI 動作）

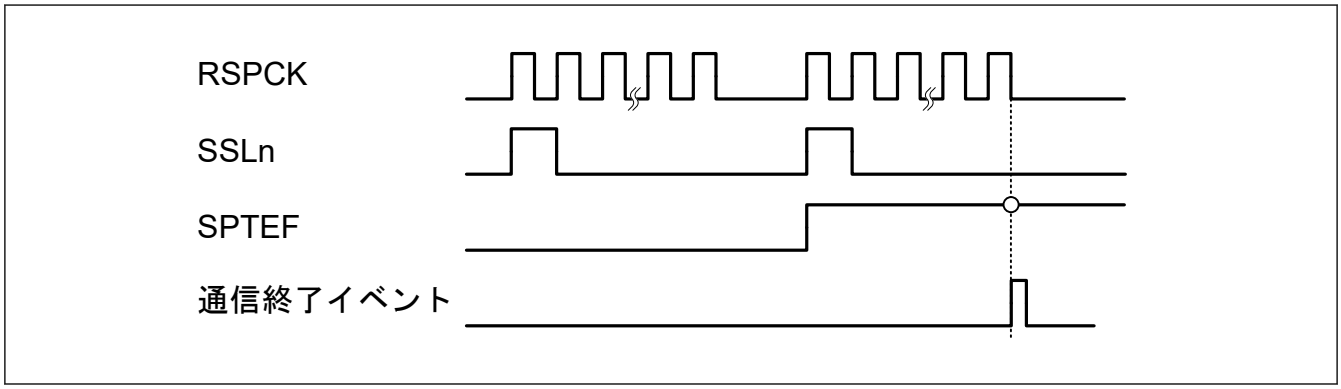


図 34.81　通信終了イベント出力タイミング（送信スレーブモード、TI-SSP 動作）

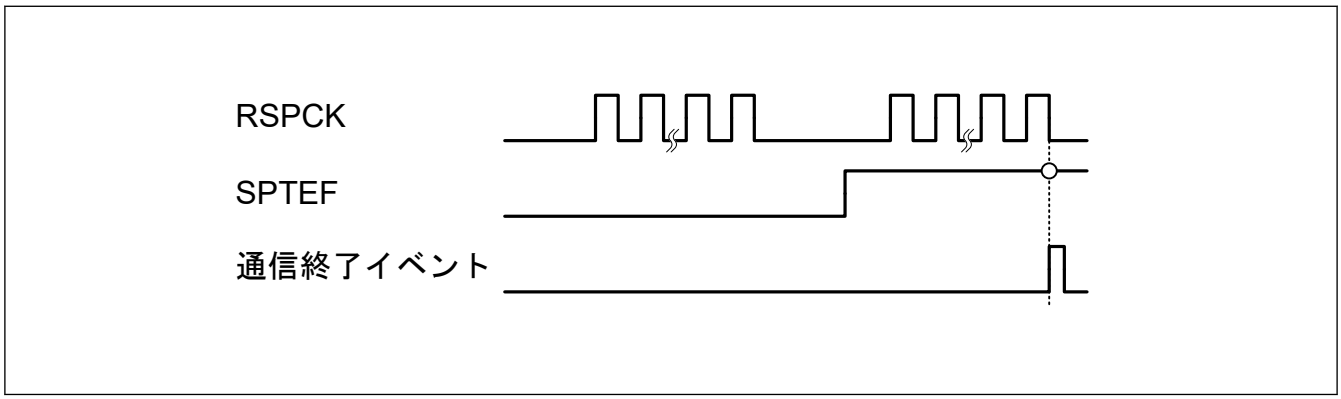


図 34.82　通信終了イベント出力タイミング（送信スレーブモード、クロック同期式動作）

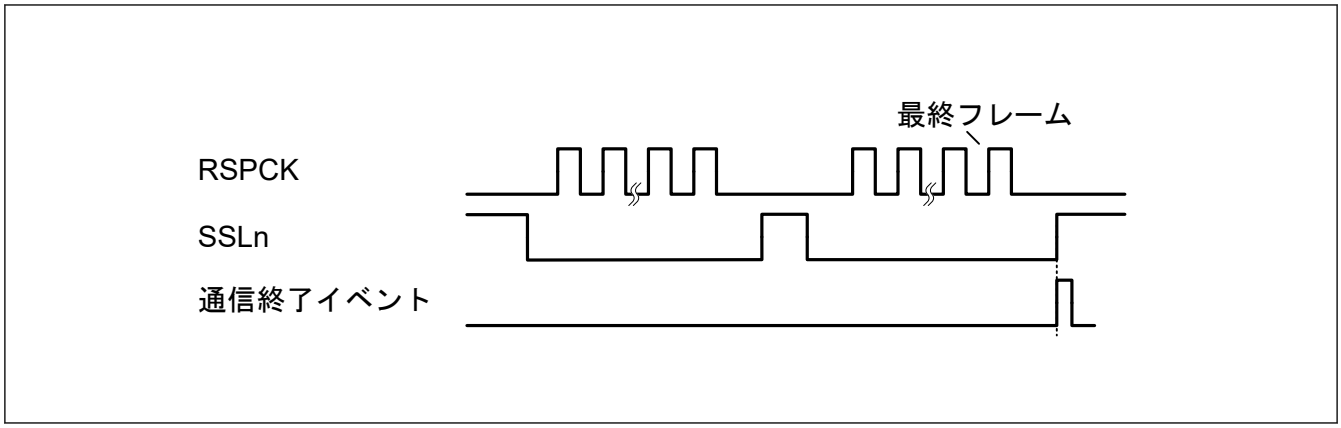


図 34.83 通信終了イベント出力タイミング（受信のみスレーブモード、Motorola SPI 動作）

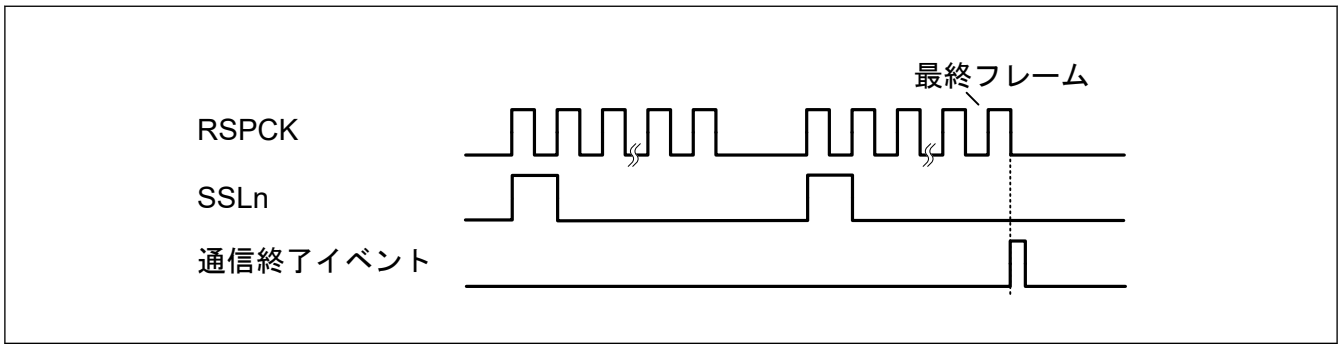


図 34.84 通信終了イベント出力タイミング（受信専用スレーブモード、TI-SSP 動作）

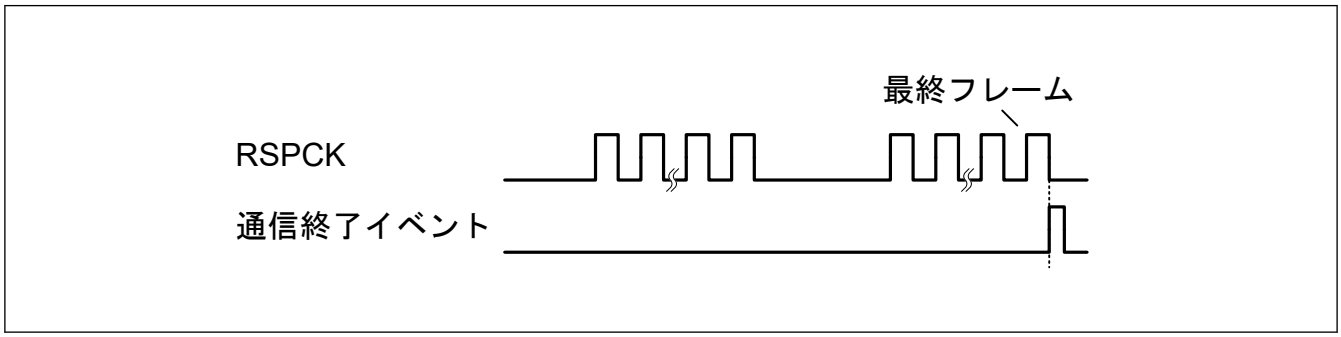


図 34.85 通信終了イベント出力タイミング（受信のみスレーブモード、クロック同期式動作）

34.4.6 同期バイパス機能

SPI には、内部クロック (PCLK) と動作クロック (TCLK) があり、それぞれ専用の動作回路を備えています。そのため、クロックの異なる信号の伝播に必要な同期回路が挿入されます。異なるクロック間の信号の遅延は、同期遅延時間である必要があります。

しかし、内部バスクロックと動作クロックに同じクロックが入力されているときに限り、SPI コントロールレジスタ (SPCR) の BPEN ビットを 1 に設定して、同期回路をバイパスできます。この場合、同期の遅延時間は除外され、応答性が向上します。

さらに、SPI は通信クロック (RSPCK) と動作クロック (TCLK) の間に同期回路を備えていますが、この同期回路はバイパスできません。

34.5 使用上の注意事項

34.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SPI の動作禁止／許可を設定することが可能です。リセット後の値では、SPI の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

34.5.2 低消費電力機能に関する制約

モジュールストップ機能を使用する場合、および CPU スリープモードまたは CPU ディープスリープモード以外の低消費電力モードへ遷移する場合は、あらかじめ SPCR.SPE ビットを 0 にしてから通信を終了させてください。

34.5.3 転送の開始に関する制約

ICU.IELSRn.IR フラグが 1 の状態で転送を開始すると、転送開始後も割り込み要求が内部で保持されるため、ICU.IELSRn.IR フラグが予期しない挙動となることがあります。

これを避けるには、動作を許可する（SPCR.SPE ビットを 1 にする）前に、下記の手順で割り込み要求をクリアしてください。

1. 転送が停止していること（SPCR.SPE ビットが 0 であること）を確認する。
2. 対応する割り込み許可ビット（SPCR.SPTIE ビットまたは SPCR.SPRIE ビット）を 0 にする。
3. 対応する割り込み許可ビット（SPCR.SPTIE ビットまたは SPCR.SPRIE ビット）を読み出して、0 であることを確認する。
4. ICU.IELSRn.IR フラグを 0 にする。

34.5.4 モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラー、または受信データレディイベント出力の制限事項

SPI がマルチマスタモードである場合は、モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラー、または受信データレディイベントの使用は禁止されています（SPCR.SPMS ビット = 0、SPCR.MSTR ビット = 1、および SPCR.MODFEN ビット = 1）。

34.5.5 SPSR.SPRF および SPSR.SPTEF フラグに関する制約

ポーリング用のフラグを使用する場合、割り込みを使用することはできません（SPCR.SPRIE および SPCR.SPTIE ビットは 0 にしてください）。割り込みまたはフラグのどちらか一方のみ使用可能です。

35. オクタシリアルペリフェラルインタフェース (OSPI)

OSPI 周辺モジュールの OSPI_B バージョンです。

本章では、OSPI_B を OSPI と呼びます。

35.1 概要

xSPI (eXpanded Serial Peripheral Interface) プロトコルは、不揮発性メモリデバイスのインタフェースを規定します。このインタフェースは、高いデータスループット、少ない信号数、およびレガシー SPI デバイスとの限られた下位互換性を提供します。電気的なインタフェースとしては、最大毎秒 200 MB の RAW データスループットを提供できます。OSPI は、JEDEC 規格の JESD251 (Profile 1.0, 2.0)、JESD251-1、および JESD252 に準拠します。

JESD251 は、2 つのインタフェースプロファイルを規定します。プロファイル 1.0 は Octal SPI であり、プロファイル 2.0 は HyperBus™（HyperRAM™および HyperFlash™）です。

OSPI は QSPI プロトコルをサポートします。

表 35.1 に OSPI の仕様、図 35.1 にブロック図、表 35.2 に入出力端子を示します。

表 35.1 OSPI の仕様

項目	説明
プロトコル	xSPI プロトコルに準拠
データ送受信	マスタとして最大 2 つのスレーブに対してトランザクションを発行 メモリデバイスは 1 つのみが一度に動作可能
転送速度	xSPI200 での転送に対応
モード	• 下記のプロトコルモードに対応 – 1 端子／4 端子／8 端子の SDR／DDR (1S-1S-1S, 4S-4D-4D, 8D-8D-8D) – 2 端子／4 端子の SDR (1S-2S-2S, 2S-2S-2S, 1S-4S-4S, 4S-4S-4S) • 設定変更可能なアドレス長 • 設定変更可能な初期アクセスレイテンシサイクル • XiP モードに対応
OSPI の機能	• 書き込みデータマスクに対応 • In-band リセットに対応 • メモリマッピング – CS あたり 256 MB までのアドレス空間に対応 – バスマスタのユニットあたり 1 つのコントロールチャネル 詳細は、「14. バス」を参照してください。 – 低レイテンシでバーストリードを行うためのプリフェッチ機能 – 高スループットでバーストライトを行うための高性能バッファ • マニュアルコマンド – 最大 4 コマンドまで設定変更可能 – ステータスレジスタポーリング機能 • 入力ストローブポートのタイミングシフト
割り込み要因	エラー割り込み 完了割り込み
モジュールストップ機能	モジュールストップ状態に設定して消費電力の削減が可能
TrustZone フィルタ	IO レジスタ領域に対してセキュリティ属性を設定可能 外部アドレス空間は非セキュアとして定義

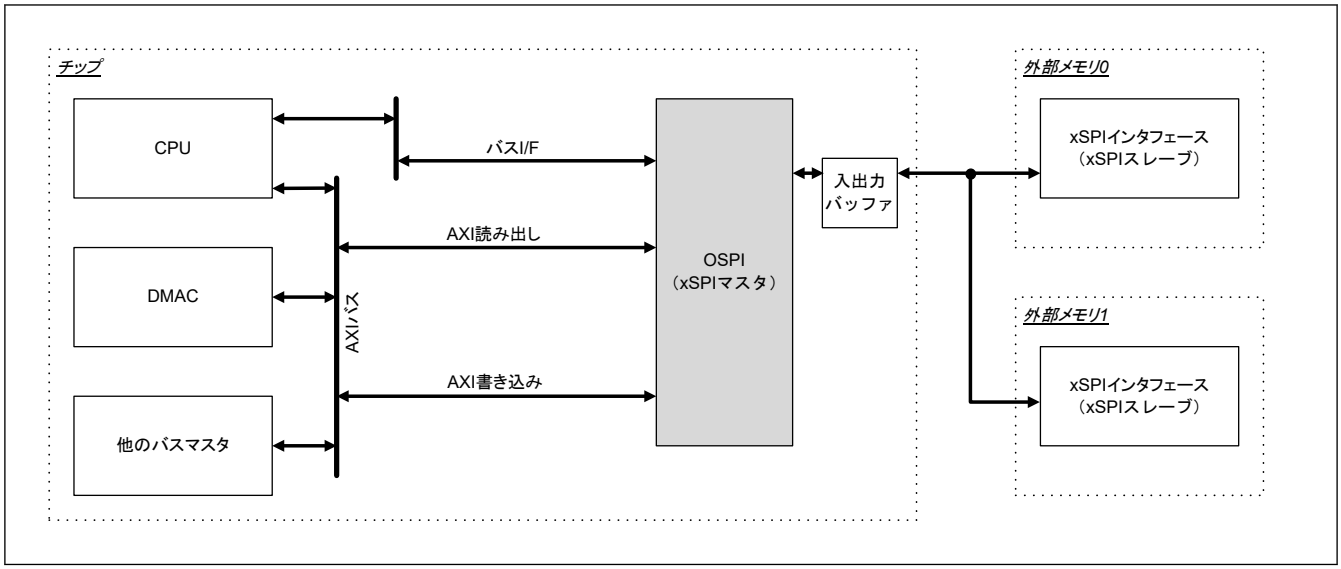


図 35.1　ブロック図

表 35.2　OSPI の入出力端子

端子名	入出力	機能
OM_SCLK	出力	クロック正
OM_SCLKN	出力	クロック負
OM_CS0	出力	スレーブ 0 のチップセレクト
OM_CS1	出力	スレーブ 1 のチップセレクト
OM_DQS	入出力	読み出しデータストローブ／書き込みデータマスク
OM_SIO0	入出力	データ 0 入出力
OM_SIO1	入出力	データ 1 入出力
OM_SIO2	入出力	データ 2 入出力
OM_SIO3	入出力	データ 3 入出力
OM_SIO4	入出力	データ 4 入出力
OM_SIO5	入出力	データ 5 入出力
OM_SIO6	入出力	データ 6 入出力
OM_SIO7	入出力	データ 7 入出力
OM_RESET	出力	スレーブ 0、1 のマスタリセット状態
OM_RSTO1	入力	スレーブ 1 のスレーブリセット状態
OM_ECSINT1	入力	スレーブ 1 の割り込み／スレーブ 1 のエラー訂正状態
OM_WP1	出力	スレーブ 1 の書き込み保護

注.　OM_SIO7-0、OM_SCLK、OM_SCKN、OM_DQS 端子に対しては、36 Ω ± 5%の抵抗を JESD251 I/O ドライバ定義に準拠したボード上に配置する必要があります。動作に対しては、適正な信号品質が推奨されます。

35.2　レジスタの説明

35.2.1　OSPI コンフィグレーションレジスタ

これらのレジスタは、xSPI マスタファンクションを設定します。これらのレジスタは、xSPI トランザクションを発行する前に初期化フェーズで設定してください。

35.2.1.1 WRAPCFG : OSPI ラッパーコンフィグレーションレジスタ

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	DSSFTCS1[4:0]					—	—	—	—	—	—	—	—	—	—	—	DSSFTCS0[4:0]					—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12:8	DSSFTCS0[4:0]	スレーブ 0 の OM_DQS シフト このフィールドは、OM_DQS ポートの遅延セル数を設定します。OM_DQS サンプリングのタイミングを調整するために使用されます。自動校正が有効な場合、自動的に更新される可能性があります。この場合、ユーザーにより書き込まないでください。 0x00: シフトなし 0x01: 1 セルの遅延を追加します。 ⋮ 0x1E: 30 セルの遅延を追加します。 0x1F: 31 セルの遅延を追加します。	R/W
23:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28:24	DSSFTCS1[4:0]	スレーブ 1 の OM_DQS シフト 機能はスレーブ 0 のものと同じです。	R/W
31:29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

このレジスタには、xSPI マスタファンクションを設定する機能があります。

35.2.1.2 COMCFG : OSPI 共通コンフィグレーションレジスタ

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OENEGEX	OEASTEX	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	OEASTEX	出力許可アサート拡張 このビットは、出力許可アサート時に OM_SIO7～0 と OM_DQS の出力許可を 1 サイクル拡張します。 1 に設定された場合、OM_CSn (n = 0, 1) のアサートを拡張する必要があります (LIOCFGCSn.CSASTEX = 1 (n = 0, 1))。 このビットは、レイテンシサイクルがない場合は使用しません。OSPI 出力データが OSPI 入力データと競合する可能性があるためです。 0: 出力許可の 1 サイクル拡張を行わない。 1: 出力許可の 1 サイクル拡張を行う。	R/W

ビット	シンボル	機能	R/W
17	OENEGEX	出力許可ネゲート拡張 このビットは、出力許可ネゲート時に OM_SIO7～0 と OM_DQS の出力許可を 1 サイクル拡張します。 このビットは、レイテンシサイクルがない場合は使用しないでください。OSPI 出力データが OSPI 入力データと競合する可能性があるためです。 0: 出力許可の 1 サイクル拡張を行わない。 1: 出力許可の 1 サイクル拡張を行う。	R/W
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

このレジスタには、xSPI マスタファンクションを設定する機能があります。

35.2.1.3 BMCFGCH0 : OSPI ブリッジマップコンフィグレージョンレジスタ ch0

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x008 + 0x004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CMBTIM[7:0]								—	—	—	—	—	—	—	PREEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MWRSIZE[7:0]								MWRCOMB	—	—	—	—	—	—	WRMD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	WRMD	システムバス書き込み応答モード このビットは、メモリマッピングモードにおいて、システムバス書き込み応答のタイミングを選択します。1 に設定された場合、xSPI バス上で 1 フレーム送信後に応答を返します。このモードを有効にした場合は、メモリ書き込み結合モードを無効にする必要があります。 0: 内部書き込みバッファへの格納後に応答を返します。 1: xSPI バスへ書き込みトランザクションを発行した後に応答を返します。	R/W
6:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	MWRCOMB	メモリ書き込み結合モード このビットは、メモリマッピングモードにおいて、書き込みアクセス時に OSPI データを結合することを選択します。0 に設定された場合、OSPI のデータサイズはシステムバスのバーストタイプやサイズによって異なります。このフィールドが 1 に設定された場合、データサイズは MWRSIZE[7:0]フィールドによって異なります。(注1) 1 に設定された場合、書き込みトランザクションが本 xSPI マスタに一時的に保持される場合があります。 0: 結合モードを無効にする 1: 結合モードを有効にする	R/W
15:8	MWRSIZE[7:0]	メモリ書き込みサイズ これらのビットは、メモリマッピングモードにおいて、インクリメントアドレスを結合するサイズを選択します。インクリメントアドレスである間、設定したサイズまでのデータを結合した xSPI フレームを送信します。目標サイズに達する前にインクリメントアドレスでないアドレスまたは読み出しトランザクションを検出した場合は、保留データを xSPI バスへ送信します。 0x00: 最大 4 バイトのインクリメントアドレスを結合します。 0x01: 最大 8 バイトのインクリメントアドレスを結合します。 ⋮ 0x0E: 最大 60 バイトのインクリメントアドレスを結合します。 0x0F: 最大 64 バイトのインクリメントアドレスを結合します。 0xFF: 最大 2 バイトのインクリメントアドレスを結合します。 その他: 設定禁止	R/W

ビット	シンボル	機能	R/W
16	PREEN	プリフェッチ有効 このビットは、メモリマッピングモードにおいて、読み出しトランザクションのプリフェッチ機能を有効にします。インクリメントアドレスによる読み出しトランザクションのレイテンシを減らせる可能性があります。 0: プリフェッチ機能を無効にする 1: プリフェッチ機能を有効にする	R/W
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:24	CMBTIM[7:0]	結合タイマ このフィールドは、結合タイマの有効期限を指定します。このタイマは PCLKA でカウントします。 0x00 は結合タイマの無効を意味します。結合タイマの有効期間が終わると、結合バッファのデータはメモリデバイスへプッシュされます。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. 結合モード中に、64 ビット以外の OSPI メモリ空間への書き込みは禁止されています。

このレジスタには、xSPI マスタファンクションを設定する機能があります。

35.2.1.4 CMCFG0CSn : OSPI コマンドマップコンフィグレーションレジスタ 0 CSn (n = 0, 1)

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x010 + 0x010 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ADDRPCD[7:0]								ADDRPEN[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	ARYAMD	WPBSTMD	ADDSIZE[1:0]		FFMT[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	FFMT[1:0]	フレームフォーマット これらのビットで、メモリマッピングモードにおける xSPI フレームフォーマットを設定します。 詳細は、表 35.7 を参照してください。 0 0: 通常フォーマット。 コマンド 1 バイト、アドレス ADDSIZE、システムバストランザクションへのデータアップ 0 1: 8D-8D-8D プロファイル 1.0 フォーマット。 コマンド 2 バイト、アドレス ADDSIZE、システムバストランザクションへのデータアップ 1 0: 8D-8D-8D プロファイル 2.0 コマンド・モディファイアフォーマット。 コマンド&モディファイア 6 バイト、システムバストランザクションへのデータアップ 1 1: 8D-8D-8D プロファイル 2.0（拡張されたコマンド）コマンドモディファイアフォーマット。 コマンド&モディファイア 6 バイト、システムバストランザクションへのデータアップ	R/W
3:2	ADDSIZE[1:0]	アドレスサイズ これらのビットは、メモリマッピングモードにおけるアドレスバイトの数を設定します。 8D-8D-8D プロファイル 2.0 の場合、4 バイトに設定してください。 0 0: 1 バイト（256 バイトのアドレス空間） 0 1: 2 バイト（64 KB のアドレス空間） 1 0: 3 バイト（16 MB のアドレス空間） 1 1: 4 バイト（4 GB のアドレス空間）	R/W

ビット	シンボル	機能	R/W
4	WPBSTMD	ラッピングバーストモード 本フィールドが 1 の場合、システムバスアクセスと xSPI メモリのラッピング境界が一致します。 0: ラッピングアドレス境界で xSPI 転送を分離する 1: ラッピングアドレス境界で xSPI 転送を分離しない	R/W
5	ARYAMD	配列アドレスモード このフィールドが 1 のとき、メモリのアドレスは、A[25:0]が通常アドレスで RSV が予約値 (0b) の場合、{A[25:10], A[9:4], 6{RSV}, A[3:0]} にマッピングされます。このフィールドは FFMT = 1d のときのみ有効です。 0: 通常アドレスモード 1: 配列アドレスモード	R/W
15:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	ADDRPEN[7:0]	アドレス置換許可 これらのビットは、メモリマッピングモードにおいて、システムバスアドレスの MSByte と置換するビットを選択します。 0: 置換なし（xSPI フレームアドレスフィールドはシステムバスアドレスと同一） 1: 置換あり	R/W
31:24	ADDRPCD[7:0]	アドレス置換コード これらのビットは、メモリマッピングモードにおいて、システムバスアドレスの MSByte と置換するコードを設定します。アドレス置換許可ビットが 1 に設定されている場合、対応するビットとの置換が行われます。	R/W

注.　S-TYPE-3, P-TYPE-3

このレジスタには、xSPI マスタファンクションを設定する機能があります。

35.2.1.5　CMCFG1CSn : OSPI コマンドマップコンフィグレーションレジスタ 1 CSn (n = 0, 1)

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x014 + 0x010 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	RDLATE[4:0]					RDCMD[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	RDCMD[15:0]	読み出しコマンド これらのビットで、メモリマッピングモードにおける読み出しトランザクションのコマンドフィールドを設定します。 通常フォーマットと 8D-8D-8D プロファイル 2.0 フォーマットは、上位 1 バイトだけを使用します。8D-8D-8D プロファイル 1.0 フォーマットは 2 バイトを使用します。	R/W
20:16	RDLATE[4:0]	読み出しレイテンシサイクル これらのビットで、メモリマッピングモードにおける読み出しトランザクションのレイテンシサイクルを設定します。 0x00: レイテンシなし 0x01: 1 サイクル ⋮ 0x08: 8 サイクル（初期設定） ⋮ 0x1E: 30 サイクル 0x1F: 31 サイクル その他: 設定禁止	R/W
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　S-TYPE-3, P-TYPE-3

このレジスタには、xSPI マスタファンクションを設定する機能があります。

35.2.1.6 CMCFG2CSn : OSPI コマンドマップコンフィグレーションレジスタ 2 CSn (n = 0, 1)

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x018 + 0x010 × n

Bit position:	31											20				16	15														0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	WRLATE[4:0]					WRCMD[15:0]														
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	WRCMD[15:0]	書き込みコマンド これらのビットで、メモリマッピングモードにおける書き込みトランザクションのコマンドフィールドを設定します。 通常フォーマットと 8D-8D-8D プロファイル 2.0 フォーマットは、上位 1 バイトだけを使用します。8D-8D-8D プロファイル 1.0 フォーマットは 2 バイトを使用します。	R/W
20:16	WRLATE[4:0]	書き込みレイテンシサイクル これらのビットで、メモリマッピングモードにおける書き込みトランザクションのレイテンシサイクルを設定します。 0x00: レイテンシなし 0x01: 1 サイクル ⋮ 0x08: 8 サイクル（初期設定） ⋮ 0x1E: 30 サイクル 0x1F: 31 サイクル その他: 設定禁止	R/W
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

このレジスタには、xSPI マスタファンクションを設定する機能があります。

35.2.1.7 LIOCFGCSn : OSPI リンク入出力コンフィグレーションレジスタ CSn (n = 0, 1)

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x050 + 0x004 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DDRSMPEX[3:0]				SDRSMPSFT[3:0]				SDRSMPMD	SDRDRV	CSNEGEX	CSASTEX	CSMIN[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	WRMSKMD	LATEMD	PRTMD[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<table>
<tr><th>ビット</th><th>シンボル</th><th>機能</th><th>R/W</th></tr>
<tr><td>9:0</td><td>PRTMD[9:0]</td><td>プロトコルモード
これらのビットは、プロトコルモードとデータ入力をサンプリングする端子を設定します。SDR モードでのサンプリングに SPI クロックでなくデータストローブを使用する場合は、PRTMD[9]を 1 に設定する必要があります。
0x000: 1S-1S-1S
0x3B2: 4S-4D-4D
0x3FF: 8D-8D-8D
0x048: 1S-2S-2S
0x049: 2S-2S-2S
0x090: 1S-4S-4S
0x092: 4S-4S-4S
その他: 設定禁止</td><td>R/W</td></tr>
<tr><td>10</td><td>LATEMD</td><td>レイテンシモード
このビットは、直接マニュアルモードとメモリマッピングモードの両方における初期アクセスのレイテンシフェーズの動作を選択します。0 に設定された場合、レイテンシサイクルは、送信アドレスフィールドから設定された各サイクルと等しくなります。1 に設定された場合、レイテンシサイクルはアドレスフィールドの最終バイトペアからインクリメントされ、OM_DQS ポートに応じて、設定された各サイクルの 2 倍に拡張されます。
6 バイトのコマンド／アドレスフィールドで、8D-8D-8D プロトコルモードのプロファイル 2.0 フレームフォーマットに対してだけ使用されます。詳細は、xSPI プロトコルの説明を参照してください。
<table>
<tr><th>値：機能</th><th>フレームフォーマット</th><th>使用法</th></tr>
<tr><td rowspan="2">0: 設定変更可能なレイテンシ</td><td>プロファイル 2.0</td><td>設定変更可能なレイテンシサイクルは、-1 に設定する必要があります。</td></tr>
<tr><td>その他</td><td>レイテンシサイクルは、アドレスフィールド以降でインクリメントされます。</td></tr>
<tr><td rowspan="2">1: 可変レイテンシ</td><td>プロファイル 2.0</td><td>レイテンシサイクルは、アドレス[23:16] からインクリメントされます。1 に設定しないでください。</td></tr>
<tr><td>その他</td><td>非対応</td></tr>
</table></td><td>R/W</td></tr>
<tr><td>11</td><td>WRMSKMD</td><td>書き込みマスクモード
このビットは、OM_DQS ポートを書き込みデータマスクとして使用することを選択します。奇数バイトの書き込みアクセスをする際に役立つ可能性があります。
8D-8D-8D プロトコルモードでだけ使用されます。
0: 書き込みマスクを無効にする
1: 書き込みマスクを有効にする</td><td>R/W</td></tr>
<tr><td>15:12</td><td>—</td><td>読むと 0 が読めます。書く場合、0 としてください。</td><td>R/W</td></tr>
<tr><td>19:16</td><td>CSMIN[3:0]</td><td>CS 最小アイドル期間
このビットは、xSPI フレーム間の最小サイクルを設定します。
0x0: 1 サイクル
0x1: 2 サイクル
⋮
0x7: 8 サイクル（初期設定）
⋮
0xE: 15 サイクル
0xF: 16 サイクル
その他: 設定禁止</td><td>R/W</td></tr>
<tr><td>20</td><td>CSASTEX</td><td>CS アサート拡張
このビットは、アサート時にチップ選択端子を 1 サイクル拡張します。
0: 拡張なし
1: 1 サイクル拡張</td><td>R/W</td></tr>
<tr><td>21</td><td>CSNEGEX</td><td>CS ネゲート拡張
このビットは、ネゲート時にチップ選択端子を 1 サイクル拡張します。
0: 拡張なし
1: 1 サイクル拡張</td><td>R/W</td></tr>
</table>

ビット	シンボル	機能	R/W
22	SDRDRV	SDR 駆動タイミング このビットは、SDR におけるデータ出力のタイミングを設定します。 このビットは、レイテンシサイクルがない場合は 1 に設定しないでください。OSPI 出力データが OSPI 入力データと競合する可能性があるためです。 0: CK 立ち上がりエッジの 1/2 サイクル前で駆動 1: CK 立ち上がりエッジで駆動	R/W
23	SDRSMPMD	SDR サンプリングモード このビットは、SDR におけるサンプリングのエッジを選択します。DDR では、この設定にかかわらず、OM_DQS の両エッジで OM_SIOn (n = 0～7) ポートをサンプリングします。 1 に設定された場合、立ち下がりエッジ前の立ち上がりエッジでサンプリングをします。 0: 立ち下がりエッジでデータ入力をサンプリング 1: 立ち上がりエッジでデータ入力をサンプリング	R/W
27:24	SDRSMPSFT[3:0]	SDR サンプリングウィンドウシフト これらのビットは、SDR における CK サンプリングのタイミングをシフトします。SDR において OM_DQS を使用する場合、動作への影響はありません。 DDR の場合または SDR において OM_DQS を使用する場合､0 に設定する必要があります。 0x0: 遅延なしでサンプリング 0x1: 1 サイクルの遅延でサンプリング ⋮ 0x6: 6 サイクルの遅延でサンプリング 0x7: 7 サイクルの遅延でサンプリング その他: 設定禁止	R/W
31:28	DDRSMPEX[3:0]	DDR サンプリングウィンドウ拡張 これらのビットは、DDR におけるサンプリングウィンドウの拡張サイクルを設定します。DDR では、レイテンシサイクル直後の予定サイクル中に入力データがサンプリングされます。範囲外の入力データは無視されます。OM_DQS 伝播遅延に応じて設定できます。 0x0: サイクル拡張なし 0x1: 1 サイクル拡張 ⋮ 0x6: 6 サイクル拡張 0x7: 7 サイクル拡張 その他: 設定禁止	R/W

注. S-TYPE-3, P-TYPE-3

このレジスタには、xSPI マスタファンクションを設定する機能があります。

35.2.2 OSPI コントロールレジスタ

これらのレジスタは、xSPI マスタファンクションを制御します。

35.2.2.1 BMCTL0 : OSPI ブリッジマップコントロールレジスタ 0

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x060

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	CH0CS1ACC [1:0]		CH0CS0ACC [1:0]	
Value after reset:	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
1:0	CH0CS0ACC[1:0]	システムバス ch0 からスレーブ 0 メモリ領域へのアクセス許可 このフィールドは、ch0 から CS0 メモリへのアクセスを許可します。 0 0: 読み出しと書き込みを禁止 0 1: 読み出しを許可、書き込みを禁止 1 0: 読み出しを禁止、書き込みを許可 1 1: 読み出しと書き込みを許可	R/W
3:2	CH0CS1ACC[1:0]	システムバス ch0 からスレーブ 1 メモリ領域へのアクセス許可 このフィールドは、ch0 から CS1 メモリへのアクセスを許可します。 0 0: 読み出しと書き込みを禁止 0 1: 読み出しを許可、書き込みを禁止 1 0: 読み出しを禁止、書き込みを許可 1 1: 読み出しと書き込みを許可	R/W
7:4	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

このレジスタには、xSPI マスタファンクションを制御する機能があります。

本レジスタは、初期化フェーズで設定します。xSPI トランザクションの開始後に、設定を変更する必要がある場合は、全通信を停止し、BMCTL0 の値を変更する前に「35.3.7.2. 通信停止のフロー」を参照してください。

35.2.2.2 BMCTL1 : OSPI ブリッジマップコントロールレジスタ 1

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x064

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	PBUFCLRCH0	—	MWRPUSHCH0	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	書く場合、0 としてください。	W
8	MWRPUSHCH0	ch0 メモリ書き込みデータのプッシュ このフィールドは、結合モードにおいて保留データのプッシュを要求します。(注1) 0: コマンドなし 1: プッシュ要求	W
9	—	書く場合、0 としてください。	W
10	PBUFCLRCH0	ch0 プリフェッチバッファクリア このフィールドは、プリフェッチ機能有効時にプリフェッチバッファのクリアを要求します。(注1) メモリアクセスの実行中 (COMSTT.MEMACCCH0 = 1) に設定しないでください。 0: コマンドなし 1: クリア要求	W
31:11	—	書く場合、0 としてください。	W

注. S-TYPE-3, P-TYPE-3
注 1. これらのビットのアサートとシステムバスアクセスの間にサイクルベース競合条件が発生した場合、プリフェッチ／結合動作は定義されません。

このレジスタには、xSPI マスタファンクションを制御する機能があります。

35.2.2.3 CMCTLCH0 : OSPI コマンドマップコントロールレジスタ ch0

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x0068 + 0x004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	XIPEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	XIPEXCODE[7:0]								XIPENCODE[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	XIPENCODE[7:0]	XiP モード開始コード これらのビットで、メモリマッピングモードにおいて XiP モードを開始するコードを設定します。	R/W
15:8	XIPEXCODE[7:0]	XiP モード終了コード これらのビットで、メモリマッピングモードにおいて XiP モードを終了するコードを設定します。	R/W
16	XIPEN	XiP モード有効 このビットは、メモリマッピングモードにおいて XiP モードを有効にします。1 に設定された場合、XiP 開始コードがレイテンシフィールドに挿入され、次のトランザクションではコマンドフィールドが省略されます。0 に設定された場合、XiP 終了コードがレイテンシフィールドに挿入されます。そして、XiP 無効化パターン送信時に自動的に 0 に設定されます。8D-8D-8D プロトコルモードプロファイル 2.0 フレームフォーマットには使用しないでください。 0: XiP モードを無効にする 1: XiP モードを有効にする	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

このレジスタには、xSPI マスタファンクションを制御する機能があります。

35.2.2.4 CDCTL0 : OSPI コマンドマニュアルコントロールレジスタ 0

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x070

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	PEREP[3:0]				—	—	—	PERITV[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	TRNUM[1:0]		CSSEL	—	PERMD	TRREQ
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TRREQ	トランザクション要求 このビットは、マニュアルコマンドのトランザクションの発行を要求します。1 に設定すると、トランザクションが開始されます。トランザクションが完了すると 0 にクリアされます。 トランザクション実行中に 0 にクリアするとトランザクションは取り消しされます。 0: トランザクションなし 1: トランザクションを要求	R/W
1	PERMD	周期モード このビットは、周期トランザクションモードを有効にします。1 に設定された場合、トランザクションを周期的に繰り返し実行し、読み出し値と期待値を比較します。これは、外部メモリに対するステータスポーリング動作を代用します。 0: 直接マニュアルコマンドモード 1: 周期マニュアルコマンドモード	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	CSSEL	チップセレクト このビットは、マニュアルコマンドを発行する対象メモリを選択します。 0: CS0 1: CS1	R/W
5:4	TRNUM[1:0]	トランザクション数 これらのビットで、通常マニュアルコマンドモードにおけるトランザクション数を設定します。周期マニュアルコマンドモードでは、この設定にかかわらず、最終コマンドの読み出しデータが比較されます。 0 0: コマンドを 1 つ発行（コマンドバッファ 0 を使用） 0 1: コマンドを 2 つ発行（コマンドバッファ 0～1 を使用） 1 0: コマンドを 3 つ発行（コマンドバッファ 0～2 を使用） 1 1: コマンドを 4 つ発行（コマンドバッファ 0～3 を使用）	R/W
15:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20:16	PERITV[4:0]	周期トランザクションインターバル これらのビットで、周期マニュアルコマンドモードにおけるトランザクションのインターバルを設定します。 CPU バスサイクルに比べて間隔が短すぎると、コマンドバッファ 0 に格納されない可能性があります。インターバルは CPU バスサイクルの 4 倍より長く設定してください。 0x00: 2 (= 2^1) サイクル 0x01: 4 (= 2^2) サイクル ⋮ 0x1E: 2,147,483,648 (= 2^{31}) サイクル 0x1F: 4,294,967,296 (= 2^{32}) サイクル	R/W
23:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
27:24	PERREP[3:0]	周期トランザクションの反復 これらのビットで、周期マニュアルコマンドモードにおけるトランザクションの反復回数を設定します。 0x0: 1 (= 2^0) 回 0x1: 2 (= 2^1) 回 ⋮ 0xE: 16,384 (= 2^{14}) 回 0xF: 32,768 (= 2^{15}) 回	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

このレジスタには、xSPI マスタファンクションを制御する機能があります。

35.2.2.5 CDCTL1 : OSPI コマンドマニュアルコントロールレジスタ 1

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x074

Bit position:	31																												0
Bit field:	PEREXP[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	PEREXP[31:0]	周期トランザクション期待値 これらのビットは、周期マニュアルコマンドモードで読み出し値と比較する期待値を設定します。たとえば、1 バイトの比較を行う場合、下位バイトを設定する必要があります。	R/W

注. S-TYPE-3, P-TYPE-3

このレジスタには、xSPI マスタファンクションを制御する機能があります。

35.2.2.6 CDCTL2 : OSPI コマンドマニュアルコントロールレジスタ 2

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x078

Bit position:	31																												0
Bit field:	PERMSK[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	PERMSK[31:0]	周期トランザクションマスク値 これらのビットで、周期マニュアルコマンドモードにおける期待値のマスク値を設定します。 任意のビットに 1 を設定すると、期待値を設定した対応するビット (CDCTL1.PEREXP [31:0]) は無視されます。 8D-8D-8D の場合、xSPI バスによってバイトペアとしてのみデータバイトは転送されます。つまり、ダミー読み出しデータが格納される可能性があります。未使用ビットのマスクを行う必要があります。たとえば、下位 1 バイトを読み出す場合は、0xFFFFFF00 を設定する必要があります。	R/W

注. S-TYPE-3, P-TYPE-3

このレジスタには、xSPI マスタファンクションを制御する機能があります。

35.2.2.7 CDTBUFn : OSPI コマンドマニュアル種別バッファ n (n = 0～3)

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x080 + 0x010 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CMD[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TRTYPE	—	LATE[4:0]					DATASIZE[3:0]				ADDSIZE[2:0]			CMDSIZE[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CMDSIZE[1:0]	コマンドサイズ これらのビットで、コマンドフィールドのサイズを設定します。 8D-8D-8D の場合は 10b に固定する必要があります。 コマンドサイズとアドレスサイズの両方を 0 に設定しないでください。 0 0: 0 バイト（コマンドフェーズなし） 0 1: 1 バイト 1 0: 2 バイト その他: 設定禁止	R/W
4:2	ADDSIZE[2:0]	アドレスサイズ これらのビットで、アドレスフィールドのサイズを設定します。 0 0 0: 0 バイト（アドレスフェーズなし） 0 0 1: 1 バイト 0 1 0: 2 バイト 0 1 1: 3 バイト 1 0 0: 4 バイト その他: 設定禁止	R/W
8:5	DATASIZE[3:0]	書き込み／読み出しデータサイズ これらのビットで、データフィールドのサイズを設定します。 8D-8D-8D の場合、xSPI バスによってバイトペアとしてのみデータバイトは転送されます。たとえば、1 バイトの読み出しを設定しても、2 バイトデータが受信されます。最後のバイトは無視する必要があります。 読み出しトランザクションに 0 バイトを設定しないでください。 0x0: 0 バイト（データフェーズなし） 0x1: 1 バイト ⋮ 0x7: 7 バイト 0x8 : 8 バイト その他: 設定禁止	R/W
13:9	LATE[4:0]	レイテンシサイクル これらのビットで、マニュアルコマンドモードにおけるレイテンシサイクルを設定します。 0x0: レイテンシなし 0x1: 1 サイクル ⋮ 0x1E: 30 サイクル 0x1F: 31 サイクル	R/W
14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	TRTYPE	トランザクション種別 このビットは、トランザクションの種別を選択します。 0: 読み出しトランザクション（スレーブデバイスからの読み出しデータ） 1: 読み出しトランザクション以外	R/W
31:16	CMD[15:0]	コマンド（1〜2 バイト） これらのビットで、マニュアルコマンドモードにおけるコマンドフィールドを設定します。 コマンドサイズビットで設定したバイト数のデータが転送されます。 1S-1S-1S、4S-4D-4D : CMD[15:8] はコマンドフィールドです。CMD[7:0] は使用しません。 8D-8D-8D プロファイル 1.0 : CMD[15:8] はコマンドフィールドです。CMD[7:0] は拡張フィールドです。 8D-8D-8D プロファイル 2.0 : CMD[15:0] は、コマンド＆モディファイアフィールドの上位 2 バイトです。（xSPI プロトコルの 47〜32 ビット）	R/W

注. S-TYPE-3, P-TYPE-3

このレジスタには、xSPI マスタファンクションを制御する機能があります。

35.2.2.8 CDABUFn : OSPI コマンドマニュアルアドレスバッファ n (n = 0～3)

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x084 + 0x10 × n

Bit position:	31																												0
Bit field:	ADD[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	ADD[31:0]	アドレス これらのビットで、マニュアルコマンドモードにおけるアドレスフィールドを設定します。 1S-1S-1S、4S-4D-4D、8D-8D-8D プロファイル 1.0 : アドレスフィールドです。 8D-8D-8D プロファイル 2.0 : コマンド&モディファイアフィールドの下位 4 バイトです。（xSPI プロトコルの 31～0 ビット）	R/W

注. S-TYPE-3, P-TYPE-3

このレジスタには、xSPI マスタファンクションを制御する機能があります。

35.2.2.9 CDD0BUFn : OSPI コマンドマニュアルデータ 0 バッファ n (n = 0～3)

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x088 + 0x10 × n

Bit position:	31																												0
Bit field:	DATA[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	DATA[31:0]	書き込み／読み出しデータ これらのビットで、マニュアルコマンドモードにおけるデータフィールドを設定します。 書き込みトランザクションでは、書き込みデータを設定する必要があります。 読み出しトランザクションでは、読み出しデータが格納されます。	R/W

注. S-TYPE-3, P-TYPE-3

このレジスタには、xSPI マスタファンクションを制御する機能があります。

35.2.2.10 CDD1BUFn : OSPI コマンドマニュアルデータ 1 バッファ n (n = 0～3)

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x08C + 0x10 × n

Bit position:	31																												0
Bit field:	DATA[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	DATA[31:0]	書き込み／読み出しデータ これらのビットで、マニュアルコマンドモードにおけるデータフィールドを設定します。 書き込みトランザクションでは、書き込みデータを設定する必要があります。 読み出しトランザクションでは、読み出しデータが格納されます。	R/W

注. S-TYPE-3, P-TYPE-3

このレジスタには、xSPI マスタファンクションを制御する機能があります。

35.2.2.11　LPCTL0 : OSPI リンクパターンコントロールレジスタ 0

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x100

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	XD2VAL	—	—	XD2LEN[4:0]					XD1VAL	—	—	XD1LEN[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	XDPIN[1:0]		CSSEL	—	—	PATREQ
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PATREQ	パターン要求 このビットは、パターンの発行を要求します。1 に設定された場合、パターンが開始されます。パターンが完了すると 0 にクリアされます。 0: XiP 無効パターンを要求しない。 1: XiP 無効パターンを要求する。	R/W
2:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	CSSEL	チップセレクト このビットは、パターンを発行する対象メモリを選択します。 0: スレーブ 0 (CS0) 1: スレーブ 1 (CS1)	R/W
5:4	XDPIN[1:0]	XiP 無効パターン端子 これらのビットは、XiP 無効パターンを送信するデータ出力端子を選択します。 0 0: 1 ピン 0 1: 2 ピン 1 0: 4 ピン 1 1: 8 ピン	R/W
15:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20:16	XD1LEN[4:0]	XiP 無効パターン第 1 フェーズ長 これらのビットは、XiP 無効パターンの第 1 フェーズの長さを選択します。 第 1 フェーズと第 2 フェーズの長さが両方とも 0 のパターンを設定しないでください。 0x0: 0 サイクル 0x1: 1 サイクル ⋮ 0x1E: 30 サイクル 0x1F: 31 サイクル	R/W
22:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23	XD1VAL	XiP 無効パターン第 1 フェーズ値 これらのビットは、XiP 無効パターンの第 1 フェーズの値を選択します。 0: Low 駆動 1: High 駆動	R/W
28:24	XD2LEN[4:0]	XiP 無効パターン第 2 フェーズ長 これらのビットは、XiP 無効パターンの第 2 フェーズの長さを選択します。 0x00: 0 サイクル 0x01: 1 サイクル ⋮ 0x1E: 30 サイクル 0x1F: 31 サイクル	R/W
30:29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
31	XD2VAL	XiP 無効パターン第 2 フェーズ値 これらのビットは、XiP 無効パターンの第 2 フェーズの値を選択します。 0: Low 駆動 1: High 駆動	R/W

注. S-TYPE-3, P-TYPE-3

このレジスタには、xSPI マスタファンクションを制御する機能があります。

35.2.2.12 LPCTL1 : OSPI リンクパターンコントロールレジスタ 1

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x104

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	RSTSU[2:0]			—	RSTWID[2:0]			—	—	RSTREP[1:0]		CSSEL	—	PATREQ[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	PATREQ[1:0]	パターン要求 これらのビットで、パターンの発行を要求します。01b または 10b に設定された時、パターンが開始されます。パターンが完了すると 00b にクリアされます。 0 0: 要求なし 0 1: リセットパターンを要求 1 0: CS のみパターンを要求 1 1: 設定禁止	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	CSSEL	チップセレクト このビットは、パターンを発行する対象メモリを選択します。 0: スレーブ 0 (CS0) 1: スレーブ 1 (CS1)	R/W
5:4	RSTREP[1:0]	リセットパターンの反復 これらのビットで、CS が Low から High へ切り替わる反復回数を選択します。 0 0: 4 回（リセット信号伝達プロトコル指定） 0 1: 5 回 1 0: 6 回 1 1: 7 回	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	RSTWID[2:0]	リセットパターン幅 これらのビットで、リセットパターンと CS のみパターンにおける周期の幅を設定します。指定した周期で CS を切り替えます。 0 0 0: 2 (= 2^1) サイクル 0 0 1: 4 (= 2^2) サイクル ⋮ 1 1 0: 128 (= 2^7) サイクル 1 1 1: 256 (= 2^8) サイクル	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
14:12	RSTSU[2:0]	リセットパターンデータ出力のセットアップ時間 これらのビットで、リセットパターンにおける CS のエッジに基づくデータ出力のセットアップ周期数を設定します。xSPI スレーブは CS の立ち上がりエッジでデータをサンプリングするため、十分なセットアップ時間が必要です。 セットアップ時間のこの周期は、リセットパターン幅 (RSTWID[2:0]) 未満としてください。 0 0 0: 1 サイクル 0 0 1: 2 サイクル ⋮ 1 1 0: 7 サイクル 1 1 1: 8 サイクル	R/W
31:15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

このレジスタには、xSPI マスタファンクションを制御する機能があります。

35.2.2.13 LIOCTL : OSPI リンク入出力コントロールレジスタ

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x108

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RSTCS0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WPCS1	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
1	WPCS1	スレーブ 1 の WP 駆動 このビットは OM_WP1 ポートの値を制御します。このビットが役立つのは、書き込み保護ポートを持つ xSPI スレーブのみです。 0: Low レベルを駆動 1: High レベルを駆動	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	RSTCS0	リセット駆動 このビットは OM_RESET ポートの値を制御します。このビットが役立つのは、リセットポートを持つ xSPI スレーブのみです。 0: Low レベルを駆動 1: High レベルを駆動	R/W
17	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

このレジスタには、xSPI マスタファンクションを制御する機能があります。

35.2.2.14 CCCTL0CSn : OSPI コマンド校正コントロールレジスタ 0 CSn (n = 0, 1)

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x130 + 0x020 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	CASFTEND[4:0]					—	—	—	CASFTSTA[4:0]				
Value after reset:	0	0	0	1	1	1	1	1	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	CAITV[4:0]					—	—	—	—	—	—	CANOWR	CAEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CAEN	自動校正有効 このビットは、自動校正を有効にします。1 に設定された場合、周期的に校正シーケンスを送信し、位相シフトの値を調整します。進行中の校正シーケンスの最中にこのビットが 0 に設定された場合は、この校正シーケンスが完了後に停止し、このビットはクリアされます。 0: 自動校正を無効にします 1: 自動校正を有効にします	R/W
1	CANOWR	書き込みなし校正モード このビットは、校正シーケンスにおいて書き込みコマンドを省略することを選択します。固定校正パターンデータを持つスレーブデバイスに対して使用できます。 0: 書き込みコマンドありの校正シーケンス 1: 書き込みコマンドなしの校正シーケンス	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12:8	CAITV[4:0]	校正インターバル これらのビットで、校正パターン間のインターバルを設定します。 0x00: 2 (= 2^1) サイクル待機 0x01: 4 (= 2^2) サイクル待機 ⋮ 0x1E: 2,147,483,648 (= 2^{31}) サイクル待機 0x1F: 4,294,967,296 (= 2^{32}) サイクル待機	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20:16	CASFTSTA[4:0]	校正 OM_DQS シフト開始値 これらのビットで、OM_DQS シフトの開始値を設定します。	R/W
23:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28:24	CASFTEND[4:0]	校正 OM_DQS シフト終了値 これらのビットで、OM_DQS シフトの終了値を設定します。 開始値 (CASFTSTA[4:0]) 以上の値にします。	R/W
31:29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

このレジスタには、xSPI マスタファンクションを制御する機能があります。

35.2.2.15　CCCTL1CSn : OSPI コマンド校正コントロールレジスタ 1 CSn (n = 0, 1)

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x134 + 0x020 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	CARDLATE[4:0]					—	—	—	CAWRLATE[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CADATASIZE[3:0]				CAADDSIZE[2:0]			CACMDSIZE [1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CACMDSIZE[1:0]	コマンドサイズ これらのビットで、コマンドフィールドのサイズを設定します。 8D-8D-8D の場合は 10b に固定する必要があります。 コマンドサイズとアドレスサイズの両方を 0 に設定しないでください。 0 0: 0 バイト（コマンドフェーズなし） 0 1: 1 バイト 1 0: 2 バイト 1 1: 設定禁止	R/W
4:2	CAADDSIZE[2:0]	アドレスサイズ これらのビットで、アドレスフィールドのサイズを設定します。 0 0 0: 0 バイト（アドレスフェーズなし） 0 0 1: 1 バイト 0 1 0: 2 バイト 0 1 1: 3 バイト 1 0 0: 4 バイト その他: 設定禁止	R/W
8:5	CADATASIZE[3:0]	書き込み／読み出しデータサイズ これらのビットで、データフィールドのサイズを設定します。 8D-8D-8D の場合は偶数バイトで設定してください。 0x0: 1 バイト 0x1: 2 バイト ⋮ 0xE: 15 バイト 0xF : 16 バイト	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20:16	CAWRLATE[4:0]	書き込みレイテンシサイクル これらのビットで、校正フレームにおけるレイテンシサイクルを設定します。 0x00: レイテンシなし 0x01: 1 サイクル ⋮ 0x1E: 30 サイクル 0x1F: 31 サイクル	R/W
23:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28:24	CARDLATE[4:0]	読み出しレイテンシサイクル これらのビットで、校正フレームにおけるレイテンシサイクルを設定します。 0x00: レイテンシなし 0x01: 1 サイクル ⋮ 0x1E: 30 サイクル 0x1F: 31 サイクル	R/W
31:29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　S-TYPE-3, P-TYPE-3

このレジスタには、xSPI マスタファンクションを制御する機能があります。このレジスタの設定は、自動校正の有効化が無効になっているときに更新してください。

35.2.2.16 CCCTL2CSn : OSPI コマンド校正コントロールレジスタ 2 CSn (n = 0, 1)

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x138 + 0x020 × n

Bit position:	31																16	15														0
Bit field:	CARDCMD[15:0]																CAWRCMD[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CAWRCMD[15:0]	校正パターン書き込みコマンド これらのビットで、校正パターン書き込みコマンドを設定します。	R/W
31:16	CARDCMD[15:0]	校正パターン読み出しコマンド これらのビットで、校正パターン読み出しコマンドを設定します。	R/W

注. S-TYPE-3, P-TYPE-3

このレジスタには、xSPI マスタファンクションを制御する機能があります。このレジスタの設定は、自動校正の有効化が無効になっているときに更新してください。

35.2.2.17 CCCTL3CSn : OSPI コマンド校正コントロールレジスタ 3 CSn (n = 0, 1)

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x13C + 0x020 × n

Bit position:	31																															0
Bit field:	CAADD[31:0]																															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CAADD[31:0]	校正パターンアドレス これらのビットで、校正パターンアドレスを設定します。	R/W

注. S-TYPE-3, P-TYPE-3

このレジスタには、xSPI マスタファンクションを制御する機能があります。このレジスタの設定は、自動校正の有効化が無効になっているときに更新してください。

35.2.2.18 CCCTL4CSn : OSPI コマンド校正コントロールレジスタ 4 CSn (n = 0, 1)

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x140 + 0x020 × n

Bit position:	31																															0
Bit field:	CADATA[31:0]																															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CADATA[31:0]	校正パターンデータ これらのビットで、校正パターンデータを設定します。	R/W

注. S-TYPE-3, P-TYPE-3

このレジスタには、xSPI マスタファンクションを制御する機能があります。このレジスタの設定は、自動校正の有効化が無効になっているときに更新してください。

35.2.2.19 CCCTL5CSn : OSPI コマンド校正コントロールレジスタ 5 CSn (n = 0, 1)

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x144 + 0x020 × n

Bit position:	31																												0
Bit field:	CADATA[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CADATA[31:0]	校正パターンデータ これらのビットで、校正パターンデータを設定します。	R/W

注. S-TYPE-3, P-TYPE-3

このレジスタには、xSPI マスタファンクションを制御する機能があります。このレジスタの設定は、自動校正の有効化が無効になっているときに更新してください。

35.2.2.20 CCCTL6CSn : OSPI コマンド校正コントロールレジスタ 6 CSn (n = 0, 1)

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x148 + 0x020 × n

Bit position:	31																												0
Bit field:	CADATA[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CADATA[31:0]	校正パターンデータ これらのビットで、校正パターンデータを設定します。	R/W

注. S-TYPE-3, P-TYPE-3

このレジスタには、xSPI マスタファンクションを制御する機能があります。このレジスタの設定は、自動校正の有効化が無効になっているときに更新してください。

35.2.2.21 CCCTL7CSn : OSPI コマンド校正コントロールレジスタ 7 CSn (n = 0, 1)

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x14C + 0x020 × n

Bit position:	31																												0
Bit field:	CADATA[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CADATA[31:0]	校正パターンデータ これらのビットで、校正パターンデータを設定します。	R/W

注. S-TYPE-3, P-TYPE-3

このレジスタには、xSPI マスタファンクションを制御する機能があります。このレジスタの設定は、自動校正の有効化が無効になっているときに更新してください。

35.2.3 OSPI ステータスレジスタ

このレジスタは、xSPI マスタのステータスを監視します。

35.2.3.1 COMSTT : OSPI 共通ステータスレジスタ

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x184

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	RSTOCS1	INTCS1	ECSCS1	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	WRBUFNECH0	—	PBUFNECH0	—	—	—	MEMACCCH0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MEMACCCH0	ch0 からメモリアクセス実行中 「35.3.7.2. 通信停止のフロー」と「35.3.7.6. メモリマッピング停止のフロー」においてのみこのビットは有効です。 0: システムバスブリッジ ch0 はメモリにアクセスしていない 1: システムバスブリッジ ch0 はメモリにアクセスしている	R
3:1	—	読むと 0 が読めます。	R
4	PBUFNECH0	ch0 プリフェッチバッファ非エンプティ 0: エンプティ 1: 非エンプティ	R
5	—	読むと 0 が読めます。	R
6	WRBUFNECH0	ch0 書き込みバッファ非エンプティ 「35.3.7.2. 通信停止のフロー」と「35.3.7.6. メモリマッピング停止のフロー」においてのみこのビットは有効です。 0: エンプティ 1: 非エンプティ	R
19:7	—	読むと 0 が読めます。	R
20	ECSCS1	スレーブ 1 用 ECS モニタ このビットは OM_ECSINT1 ポートの値を示します。 0: Low レベル 1: High レベル	R
21	INTCS1	スレーブ 1 用 INT モニタ このビットは OM_ECSINT1 ポートの値を示します。 0: Low レベル 1: High レベル	R
22	RSTOCS1	スレーブ 1 用 RSTO モニタ このビットは OM_RSTO1 ポートの値を示します。 0: Low レベル 1: High レベル	R
31:23	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

このレジスタは、xSPI マスタのステータスを示します。

35.2.3.2 CASTTCSn : OSPI 校正ステータスレジスタ CSn (n = 0, 1)

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x188 + 0x004 × n

Bit position:	31																												0
Bit field:	CASUC[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CASUC[31:0]	校正成功 これらのビットは、校正が成功したことを OM_DQS シフト値ごとに示します。 校正のシーケンスが完了するたびに更新されます。 CASUC[x] は、OM_DQS シフト値が x の場合に校正が成功したことを示します。	R

注. S-TYPE-3, P-TYPE-3

このレジスタは、xSPI マスタのステータスを示します。

35.2.4 OSPI 割り込みレジスタ

これらのレジスタは、xSPI マスタの割り込み機能を制御します。

35.2.4.1 INTS : OSPI 割り込みステータスレジスタ

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x190

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CASUCCS1	CASUCCS0	CAFAILCS1	CAFAILCS0	—	—	—	—	—	—	—	BUSERRCH0	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	INTCS1	—	—	—	ECSCS1	—	—	—	DSTOCS1	DSTOCS0	PERTO	—	PATCMP	CMDCMP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CMDCMP	コマンド完了 このビットは、要求されたマニュアルコマンドが完了した時に 1 に設定されます。 直接マニュアルコマンドにおいては、全トランザクションの完了を意味します。 周期マニュアルコマンドにおいては、読み出しデータが期待値と一致したことを意味します。 0: 検出なし 1: 検出	R
1	PATCMP	パターン完了 このビットは、要求されたパターンが完了した時に 1 に設定されます。 0: 検出なし 1: 検出	R
2	—	読むと 0 が読めます。	R
3	PERTO	周期トランザクションタイムアウト 周期マニュアルコマンドモードにおいて、読み出し値が期待値と一致しなかった場合にこのビットは 1 に設定されます。 0: 検出なし 1: 検出	R

ビット	シンボル	機能	R/W
4	DSTOCS0	スレーブ 0 の OM_DQS タイムアウト OM_DQS を用いた読み出しトランザクションにおいて、OM_DQS を喪失した場合にこのビットは 1 に設定されます。 これは、期待した読み出しフェーズでデータを受信しなかったことを意味します。この場合、xSPI マスタは読み出しトランザクションとそれ以降のトランザクションを停止します。このエラーはシステムバスへのエラー応答を発行する可能性があります。 0: 検出なし 1: 検出	R
5	DSTOCS1	スレーブ 1 の OM_DQS タイムアウト 機能は DSTOCS0 と同じです。 0: 検出なし 1: 検出	R
8:6	—	読むと 0 が読めます。	R
9	ECSCS1	スレーブ 1 の ECC エラー検出 このビットは、OM_ECSINT1 ポートの立ち下がりエッジを検出したときに 1 に設定されます。このビットが役立つのは、ECC 検出機能を持つ xSPI スレーブのみです。 0: 検出なし 1: 検出	R
12:10	—	読むと 0 が読めます。	R
13	INTCS1	スレーブ 1 の割り込み検出 このビットは、OM_ECSINT1 ポートの立ち下がりエッジを検出したときに 1 に設定されます。このビットが役立つのは、割り込み機能を持つ xSPI スレーブのみです。 0: 検出なし 1: 検出	R
19:14	—	読むと 0 が読めます。	R
20	BUSERRCH0	ch0 システムバスエラー このビットは、システムバスチャネル 0 でエラー応答が発生したときに 1 に設定されます。	R
27:21	—	読むと 0 が読めます。	R
28	CAFAILCS0	スレーブ 0 キャリブレーション失敗 このビットは、キャリブレーションが失敗した時に 1 に設定されます。 0: 検出なし 1: 検出	R
29	CAFAILCS1	スレーブ 1 キャリブレーション失敗 機能は CAFAILCS0 と同じです。 0: 検出なし 1: 検出	R
30	CASUCCS0	スレーブ 0 キャリブレーション成功 このビットは、キャリブレーションが成功した時に 1 に設定されます。 0: 検出なし 1: 検出	R
31	CASUCCS1	スレーブ 1 キャリブレーション成功 機能は CASUCCS0 と同じです。 0: 検出なし 1: 検出	R

注. S-TYPE-3, P-TYPE-3

このレジスタは、割り込みの状態を示します。このレジスタの各ビットは、INTC レジスタの対応するビットに 1 が書き込まれると 0 にクリアされます。

35.2.4.2 INTC : OSPI 割り込みクリアレジスタ

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x194

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CASUCCS1C	CASUCCS0C	CAFAILCS1C	CAFAILCS0C	—	—	—	—	—	—	—	BUSERRCH0C	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	INTCS1C	—	—	—	ECSCS1C	—	—	—	DSTOCS1C	DSTOCS0C	PERTOC	—	PATCMPC	CMDCMPC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CMDCMPC	コマンド完了割り込みクリア 0: 割り込みの状態の変更なし 1: 割り込みの状態をクリア	W
1	PATCMPC	パターン完了割り込みクリア 0: 割り込みの状態の変更なし 1: 割り込みの状態をクリア	W
2	—	書く場合、0 としてください。	W
3	PERTOC	周期トランザクションタイムアウト割り込みクリア 0: 割り込みの状態の変更なし 1: 割り込みの状態をクリア	W
4	DSTOCS0C	スレーブ 0 の OM_DQS タイムアウト割り込みクリア 0: 割り込みの状態の変更なし 1: 割り込みの状態をクリア	W
5	DSTOCS1C	スレーブ 1 の OM_DQS タイムアウト割り込みクリア 0: 割り込みの状態の変更なし 1: 割り込みの状態をクリア	W
8:6	—	書く場合、0 としてください。	W
9	ECSCS1C	スレーブ 1 の ECC エラー検出割り込みクリア 0: 割り込みの状態の変更なし 1: 割り込みの状態をクリア	W
12:10	—	書く場合、0 としてください。	W
13	INTCS1C	スレーブ 1 の割り込み検出割り込みクリア 0: 割り込みの状態の変更なし 1: 割り込みの状態をクリア	W
19:14	—	書く場合、0 としてください。	W
20	BUSERRCH0C	ch0 システムバスエラー割り込みクリア 0: 割り込みの状態の変更なし 1: 割り込みの状態をクリア	W
27:21	—	書く場合、0 としてください。	W
28	CAFAILCS0C	スレーブ 0 のキャリブレーション失敗割り込みクリア 0: 割り込みの状態の変更なし 1: 割り込みの状態をクリア	W
29	CAFAILCS1C	スレーブ 1 のキャリブレーション失敗割り込みクリア 0: 割り込みの状態の変更なし 1: 割り込みの状態をクリア	W
30	CASUCCS0C	スレーブ 0 のキャリブレーション成功割り込みクリア 0: 割り込みの状態の変更なし 1: 割り込みの状態をクリア	W

ビット	シンボル	機能	R/W
31	CASUCCS1C	スレーブ 1 のキャリブレーション成功割り込みクリア 0: 割り込みの状態の変更なし 1: 割り込みの状態をクリア	W

注. S-TYPE-3, P-TYPE-3

このレジスタは、割り込みの状態をクリアします。

35.2.4.3 INTE : OSPI 割り込み許可レジスタ

Base address: OSPI0_B = 0x4026_8000
OSPI0_B_NS = 0x5026_8000

Offset address: 0x198

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CASUCCS1E	CASUCCS0E	CAFAILCS1E	CAFAILCS0E	—	—	—	—	—	—	—	BUSERRCH0E	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	INTCS1E	—	—	—	ECSCS1E	—	—	—	DSTOCS1E	DSTOCS0E	PERTOE	—	PATCMPE	CMDCMPE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CMDCMPE	コマンド完了割り込み許可 0: 禁止 1: 許可	R/W
1	PATCMPE	パターン完了割り込み許可 0: 禁止 1: 許可	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	PERTOE	周期トランザクションタイムアウト割り込み許可 0: 禁止 1: 許可	R/W
4	DSTOCS0E	スレーブ 0 の OM_DQS タイムアウト割り込み許可 0: 禁止 1: 許可	R/W
5	DSTOCS1E	スレーブ 1 の OM_DQS タイムアウト割り込み許可 0: 禁止 1: 許可	R/W
8:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	ECSCS1E	スレーブ 1 の ECC エラー検出割り込み許可 0: 禁止 1: 許可	R/W
12:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13	INTCS1E	スレーブ 1 の割り込み検出割り込み許可 0: 禁止 1: 許可	R/W
19:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	BUSERRCH0E	ch0 システムバスエラー割り込み許可 0: 禁止 1: 許可	R/W
27:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
28	CAFAILCS0E	スレーブ 0 のキャリブレーション失敗割り込み許可 0: 禁止 1: 許可	R/W
29	CAFAILCS1E	スレーブ 1 のキャリブレーション失敗割り込み許可 0: 禁止 1: 許可	R/W
30	CASUCCS0E	スレーブ 0 のキャリブレーション成功割り込み許可 0: 禁止 1: 許可	R/W
31	CASUCCS1E	スレーブ 1 のキャリブレーション成功割り込み許可 0: 禁止 1: 許可	R/W

注. S-TYPE-3, P-TYPE-3

このレジスタは割り込みを許可します。

35.3 動作説明

xSPI マスタインタフェースには、xSPI スレーブインタフェースを備えた外部メモリに対してトランザクションを発行する機能があります。外部メモリのレジスタに対して読み書きを行うことができます。

本 xSPI マスタにはトランザクションを発行する主要な 2 つのモードがあります。1 つはマニュアルコマンドモードです。ソフトウェアで xSPI フレームのすべてのフィールドを設定し、ソフトウェア要求によってトランザクションを開始します。もう 1 つはメモリマッピングモードです。あらかじめ設定したメモリ領域のシステムバスを xSPI トランザクションへ自動的に変換します。システムバスから xSPI バス経由でチップ外部の外部メモリ領域にアクセスすることが可能になります。

ここでは、xSPI バスの動作、xSPI フレームの直接制御（マニュアルコマンド）、メモリアクセスの制御（メモリマッピング）、エラー動作、および動作の流れについて説明します。

35.3.1 xSPI バス

ここでは、xSPI バスの動作について説明します。

図 35.2 に OSPI とメモリデバイス間の接続の例を示します。

この場合、OM_CS0 は RAM デバイスに接続し、OM_CS1 は Flash デバイスに接続する必要があります。

プルアップ抵抗は、各デバイスの指示に従って指定してください。

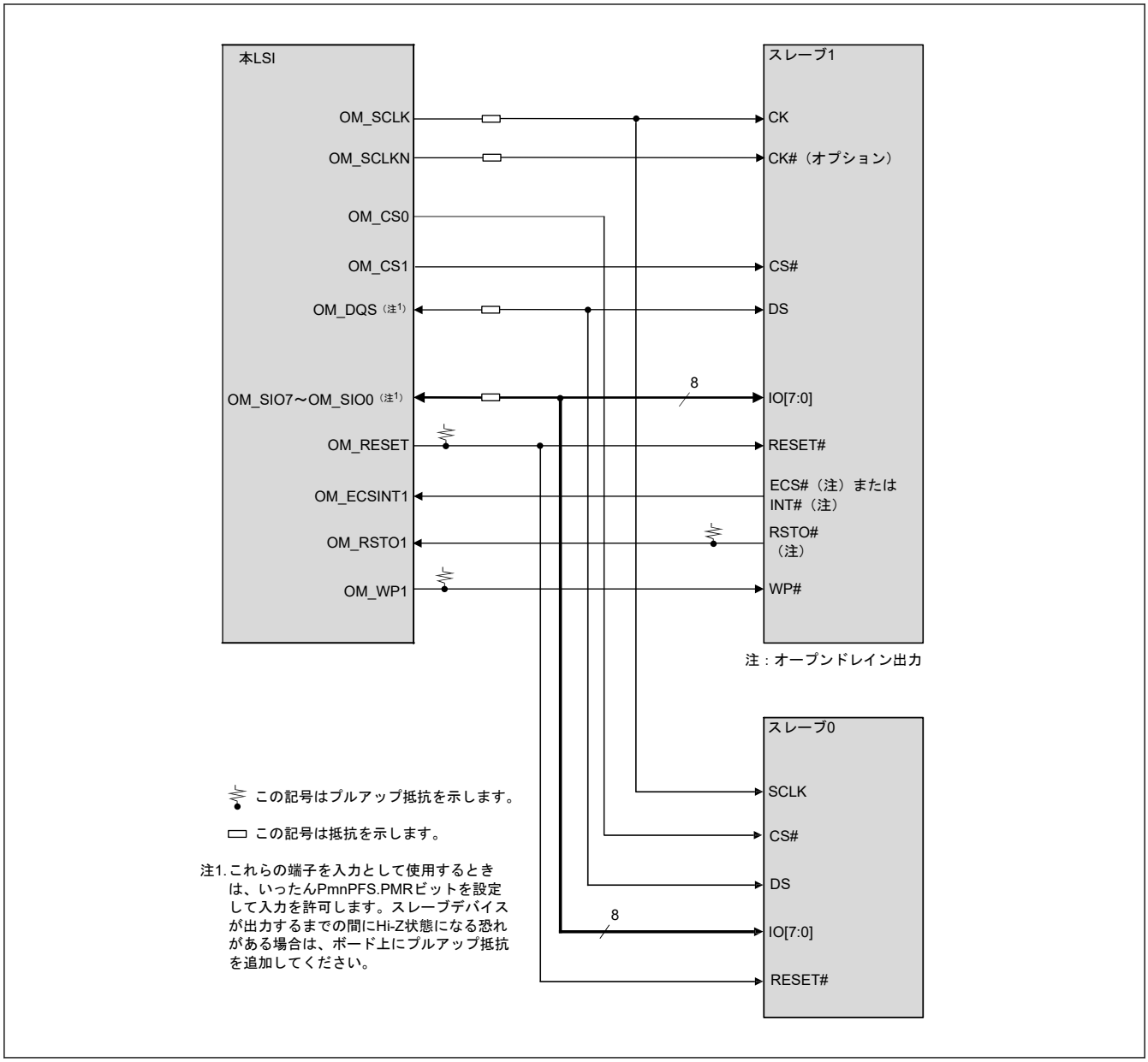


図 35.2　OSPI とメモリデバイス間の接続の例

35.3.1.1　対応するプロトコルモード

本 xSPI マスタはさまざまなプロトコルモードに対応しています。プロトコルモードビット (LIOCFGCSn.PRTMD[9:0]) で設定します。表 35.3 にプロトコルモードの概要を示します。

表 35.3　対応するプロトコルモード (1/2)

プロトコルモード	機能	PRTMD[9:0]	備考
1S-1S-1S	コマンドフィールド、アドレスフィールド、およびデータフィールドは、1 データ入力端子と 1 データ出力端子を使用して SDR で転送されます。読み出しデータは CK でサンプリングされます。	0x000	xSPI プロトコルにて指定
4S-4D-4D	コマンドフィールドは、4 データ端子を使用して SDR で転送されます。アドレスフィールドとデータフィールドは、4 データ端子を使用して DDR で転送されます。読み出しデータは OM_DQS でサンプリングされます。	0x3B2	xSPI プロトコルにて指定
8D-8D-8D	コマンドフィールド、アドレスフィールド、およびデータフィールドは、8 データ端子を使用して DDR で転送されます。読み出しデータは OM_DQS でサンプリングされます。	0x3FF	xSPI プロトコルにて指定

表 35.3 対応するプロトコルモード (2/2)

プロトコルモード	機能	PRTMD[9:0]	備考
1S-2S-2S	コマンドフィールドは、1 データ端子を使用して SDR で転送されます。アドレスフィールドとデータフィールドは、2 データ端子を使用して SDR で転送されます。読み出しデータは CK でサンプリングされます。	0x048	—
2S-2S-2S	コマンドフィールド、アドレスフィールド、およびデータフィールドは、2 データ端子を使用して SDR で転送されます。読み出しデータは CK でサンプリングされます。	0x049	—
1S-4S-4S	コマンドフィールドは、1 データ端子を使用して SDR で転送されます。アドレスフィールドとデータフィールドは、4 データ端子を使用して SDR で転送されます。読み出しデータは CK でサンプリングされます。	0x090	—
4S-4S-4S	コマンドフィールド、アドレスフィールド、およびデータフィールドは、4 データ端子を使用して SDR で転送されます。読み出しデータは CK でサンプリングされます。	0x092	—

注. XiP モードが有効の場合、XiP コードがレイテンシフィールドに挿入されます。それはメモリマッピングモードでだけ有効です。

コマンドフィールドとアドレスフィールドのバイト並びは、最上位から最下位の順に転送されます。データフィールドの連続するバイト並びは最下位アドレスから最上位アドレスの順に転送されます。複数の端子を使用する場合は、各バイトの最下位ビットは OM_SIO0 に配置されます。各上位ビットは、OM_SIOn (n = 1～7) 信号の上位の番号に連続して配置されます。

図 35.3 に 1S-1S-1S プロトコルモードのタイミングチャートを示します。OM_SIO0 信号は出力データに使用され、OM_SIO1 信号は入力データに使用されます。

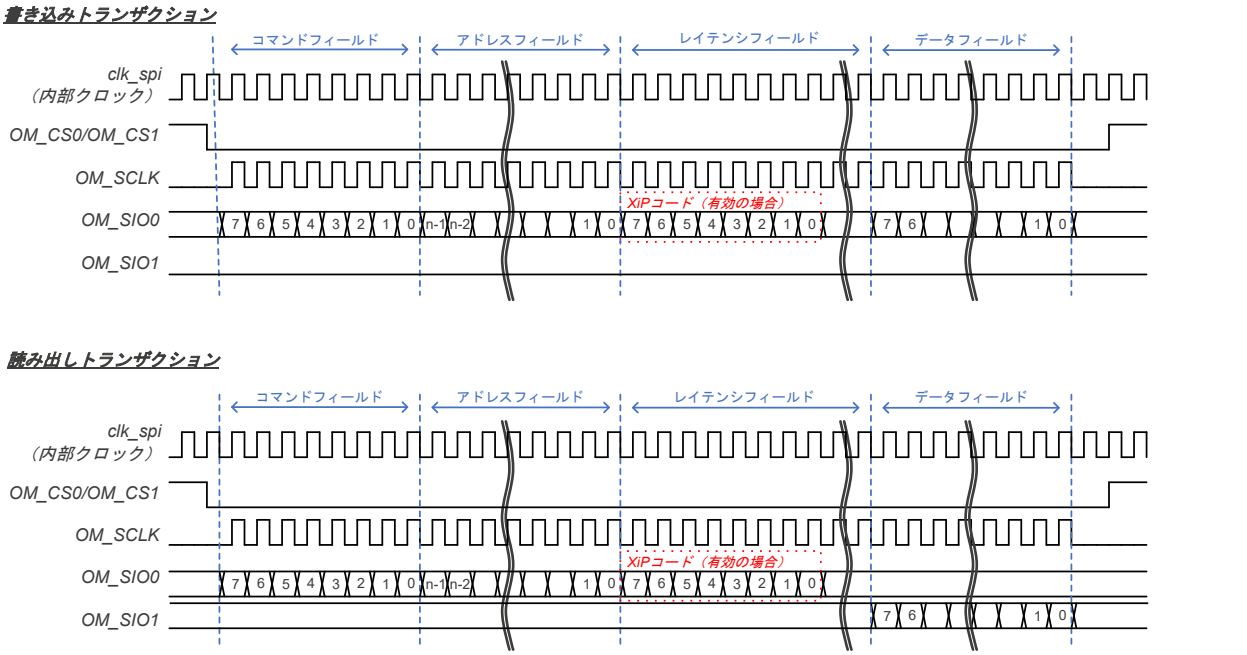


図 35.3　1S-1S-1S のタイミングチャート

図 35.4 に 1S-2S-2S プロトコルモードのタイミングチャートを示します。

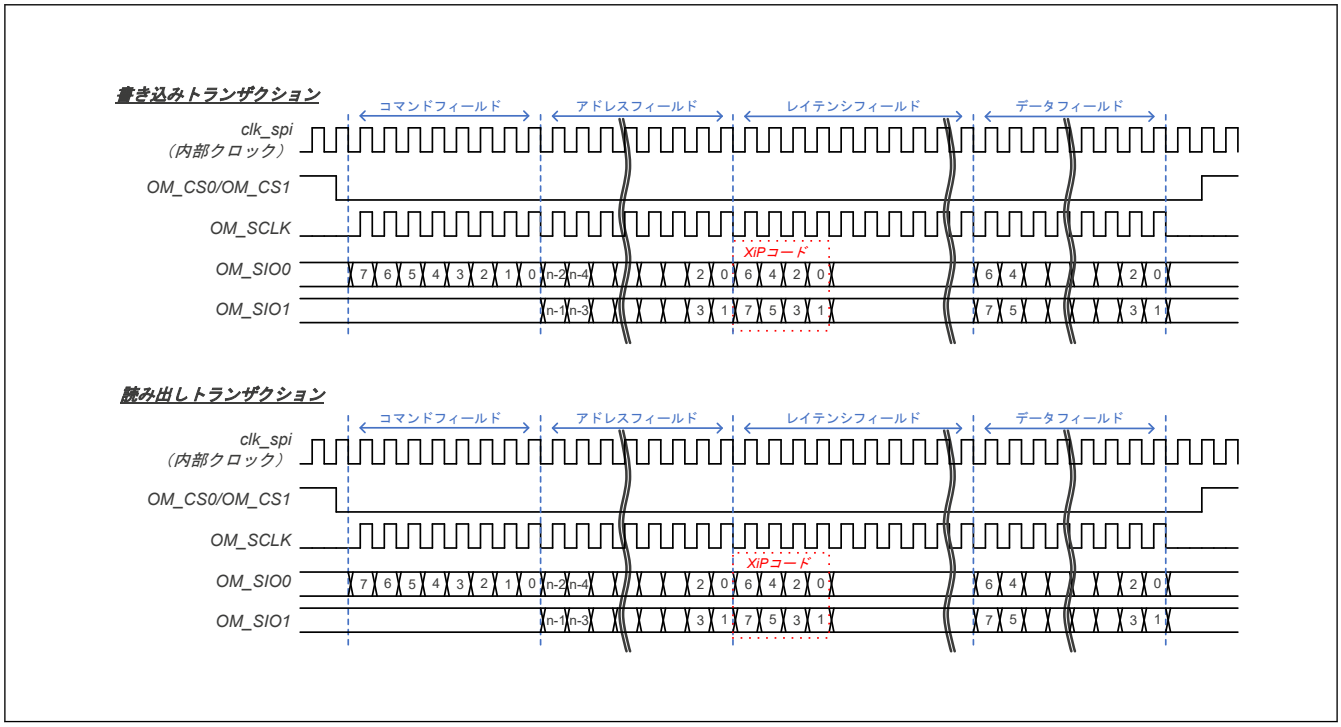


図 35.4　1S-2S-2S のタイミングチャート

図 35.5 に 4S-4D-4D プロトコルモードのタイミングチャートを示します。

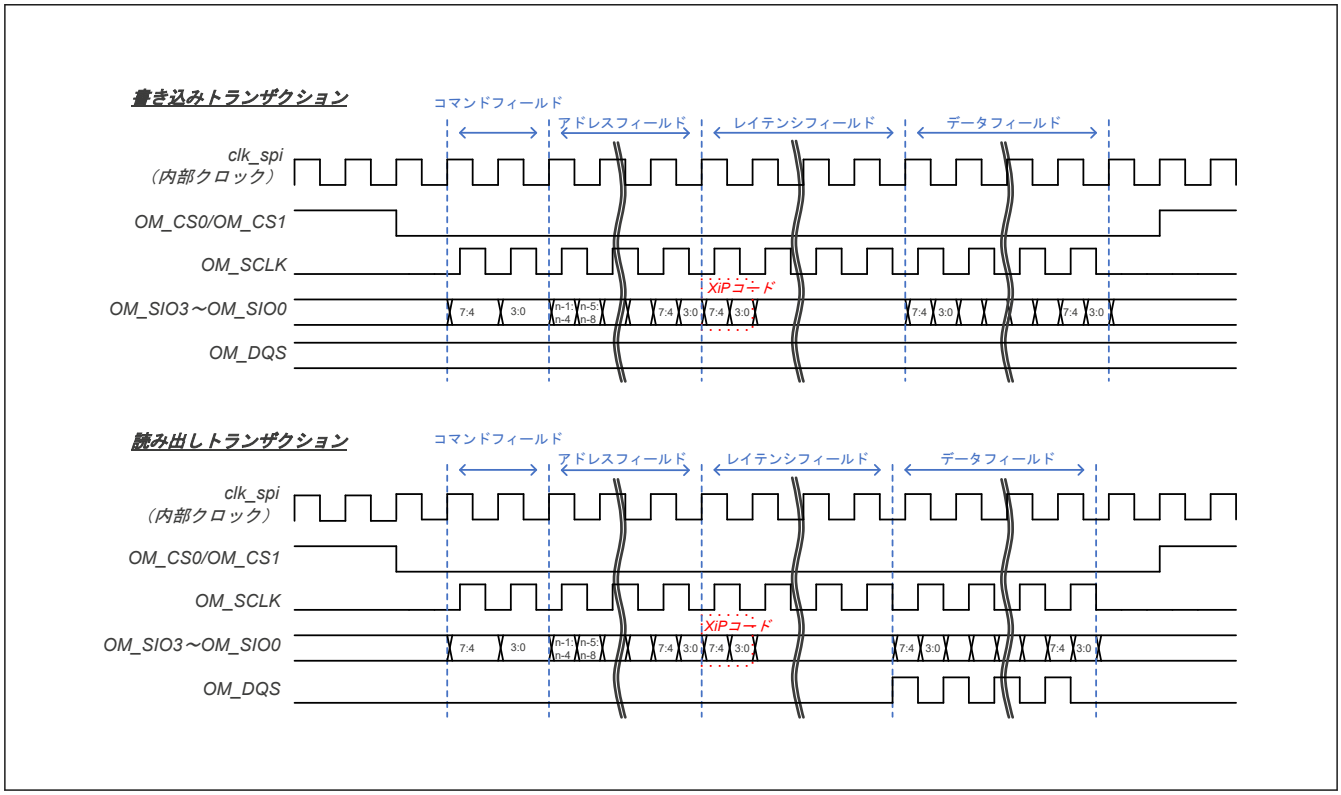


図 35.5　4S-4D-4D のタイミングチャート

図 35.6 に 8D-8D-8D プロファイル 1.0 プロトコルモードのタイミングチャートを示します。8D-8D-8D では、データは常にバイトペアで送信されます。各フィールドが奇数バイトの場合、最後の 1 バイトには無効なデータが埋め込まれます。

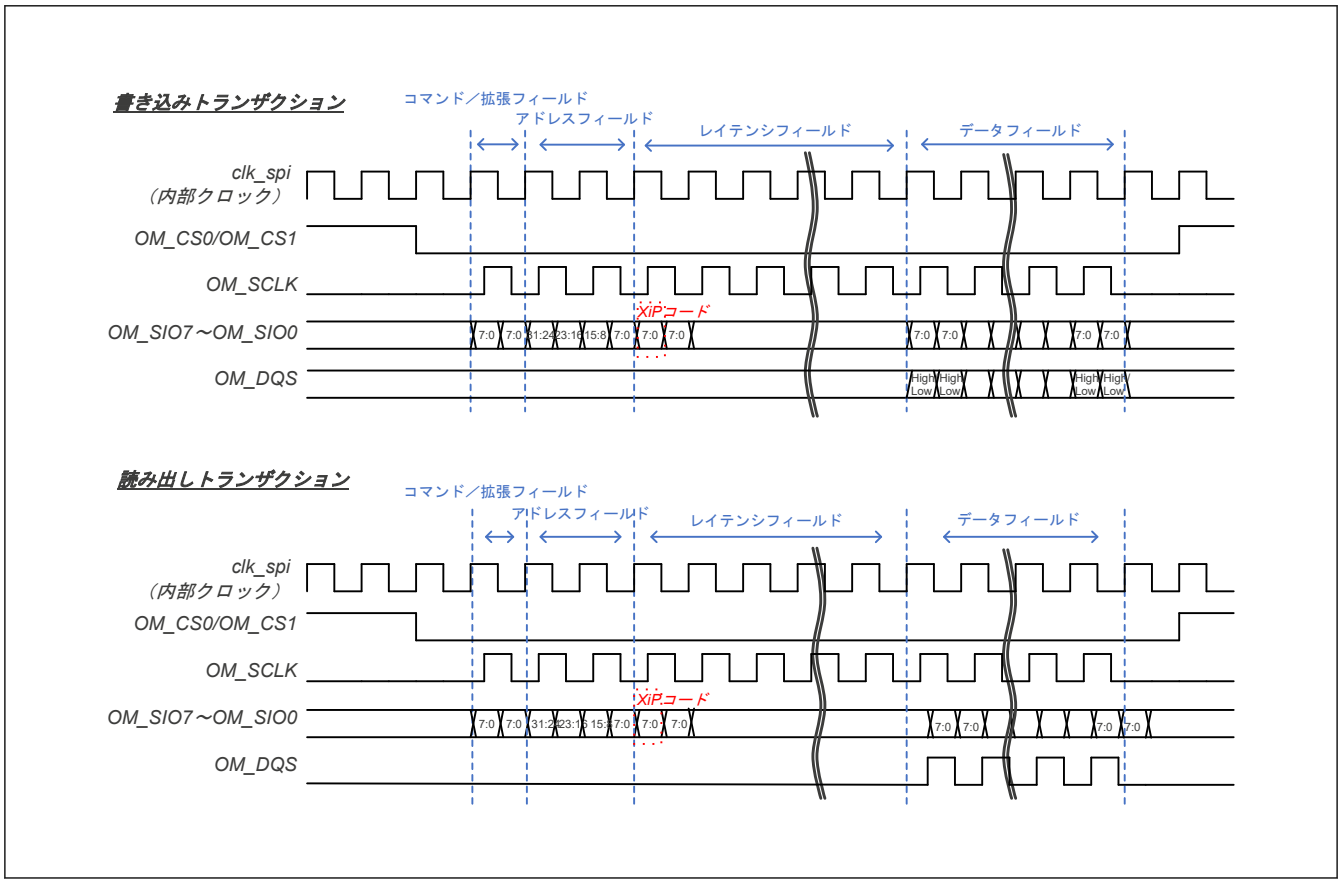


図 35.6　8D-8D-8D プロファイル 1.0 のタイミングチャート

図 35.7 に 8D-8D-8D プロファイル 2.0 プロトコルモードのタイミングチャートを示します。8D-8D-8D では、データは常にバイトペアで送信されます。各フィールドが奇数バイトの場合、最後の 1 バイトには無効なデータが埋め込まれます。

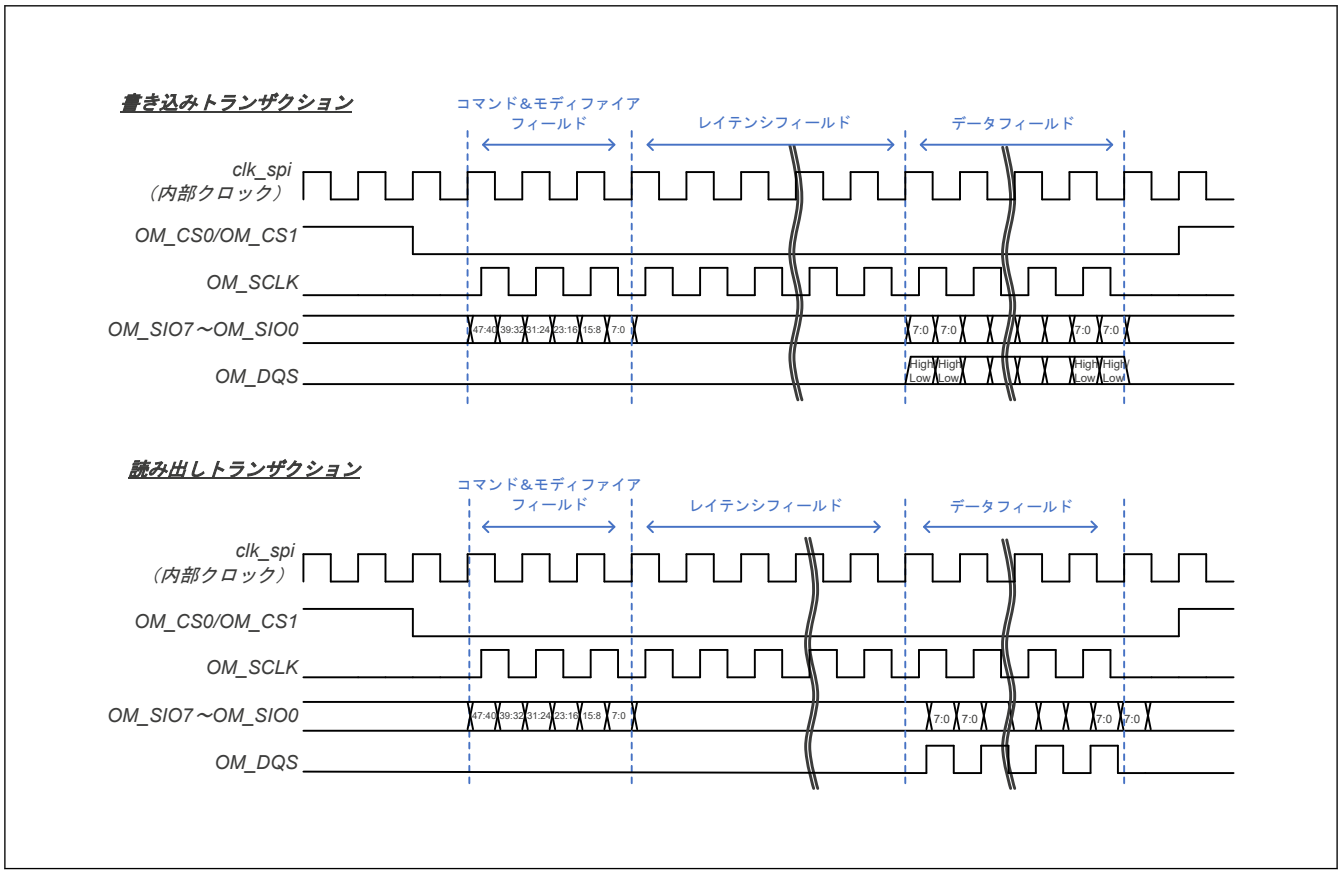


図 35.7　8D-8D-8D プロファイル 2.0 のタイミングチャート

35.3.1.2　xSPI フレームのインターバル

xSPI フレーム間のインターバルは、CS 最小アイドル期間ビット (LIOCFGCSn.CSMIN[3:0]) で設定します。設定値は xSPI スレーブデバイスの仕様に依存します。

35.3.1.3　OSPI 信号タイミング制御

本 xSPI マスタは SDR と DDR の両方に対応しています。SDR では、データストローブ (OM_DQS) 信号で入力データをサンプリングすることが可能です。本 xSPI マスタでタイミングを調整することで、xSPI インタフェース信号の静的な駆動／サンプリングをさまざまなモードで容易に実現できる可能性があります。表 35.4 に xSPI インタフェース信号タイミング制御の概要を示します。

表 35.4　OSPI 信号タイミング制御の概要 (1/2)

信号	モード	初期動作	タイミング制御 (n = 0, 1)
OM_CS0, OM_CS1 駆動	—	最初の OM_SCLK の立ち上がりエッジの前の 1 サイクルをアサートする。	LIOCFGCSn.CSASTEX ビットによるアサートのための 1 サイクル拡張
		最後の OM_SCLK の立ち下がりエッジの後の 1.5 サイクルをネゲートする。	LIOCFGCSn.CSNEGEX ビットによるネゲートのための 1 サイクル拡張
OM_SCLK 駆動	OM_DQS なし SDR OM_DQS あり SDR	参照ポイント	—
	OM_DQS あり DDR	参照ポイント	—

表 35.4 OSPI 信号タイミング制御の概要 (2/2)

信号	モード	初期動作	タイミング制御 (n = 0, 1)
OM_SIOn (n = 0～7) 出力駆動	OM_DQS なし SDR OM_DQS あり SDR	clk_spi の立ち下がりエッジ（内部クロック）	LIOCFGCSn.SDRDRV ビットによる 0 または 0.5 サイクルのシフト
	OM_DQS あり DDR	clk_spi の両エッジ（内部クロック）	—
OM_SIOn (n = 0～7) 入力サンプリング	OM_DQS なし SDR	期待したデータサイズにおける OM_SCLK の立ち下がりエッジ	LIOCFGCSn.SDRSMPSFT[3:0]ビットによる 0～7 サイクルのシフト（1 サイクル単位） LIOCFGCSn.SDRSMPMD ビットによる 0 または 0.5 サイクルのシフト
	OM_DQS あり SDR	期待したデータサイズにおける OM_DQS 信号の立ち下がりエッジ	LIOCFGCSn.SDRSMPMD ビットによる立ち上がりエッジのサンプリング WRAPCFG.DSSFTCSn[4:0] ビットによる 0～1 サイクルの位相シフト LIOCFGCSn.DDRSMPEX[3:0]ビットによる 0～7 サイクルの拡張
	OM_DQS あり DDR	期待したデータサイズにおける OM_DQS 信号の両エッジ	WRAPCFG.DSSFTCSn[4:0] ビットによる 0～1 サイクルの位相シフト LIOCFGCSn.DDRSMPEX[3:0]ビットによる 0～7 サイクルの拡張

注. xSPI プロトコル上の DDR において、OM_DQS はデータの中心に合わせる必要があります。これは、位相を 0.25 周期（90 度）シフトすることを意味します。本 xSPI マスタでは、使用状況に応じてこの位相を調整することができます。

図 35.8 に OM_DQS なし SDR の初期動作とタイミング制御を示します。

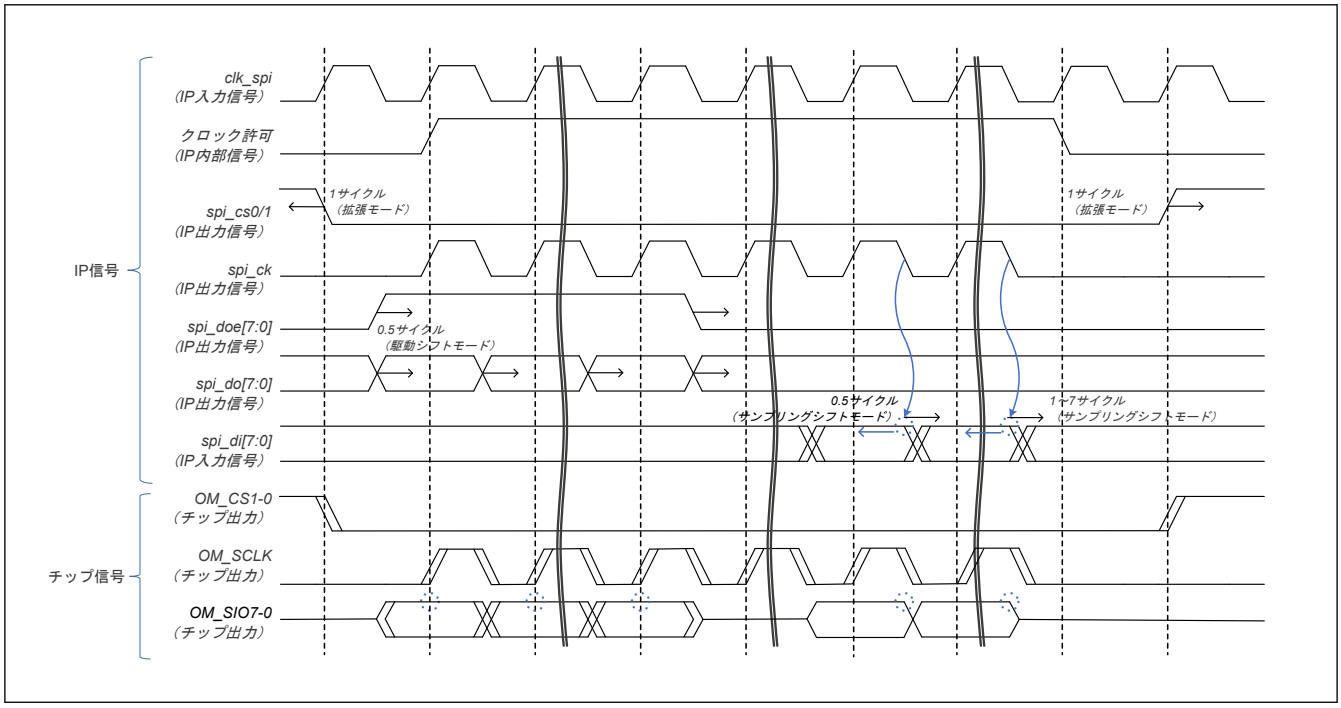


図 35.8 OM_DQS なし SDR のタイミング制御

図 35.9 に OM_DQS あり SDR の初期動作とタイミング制御を示します。

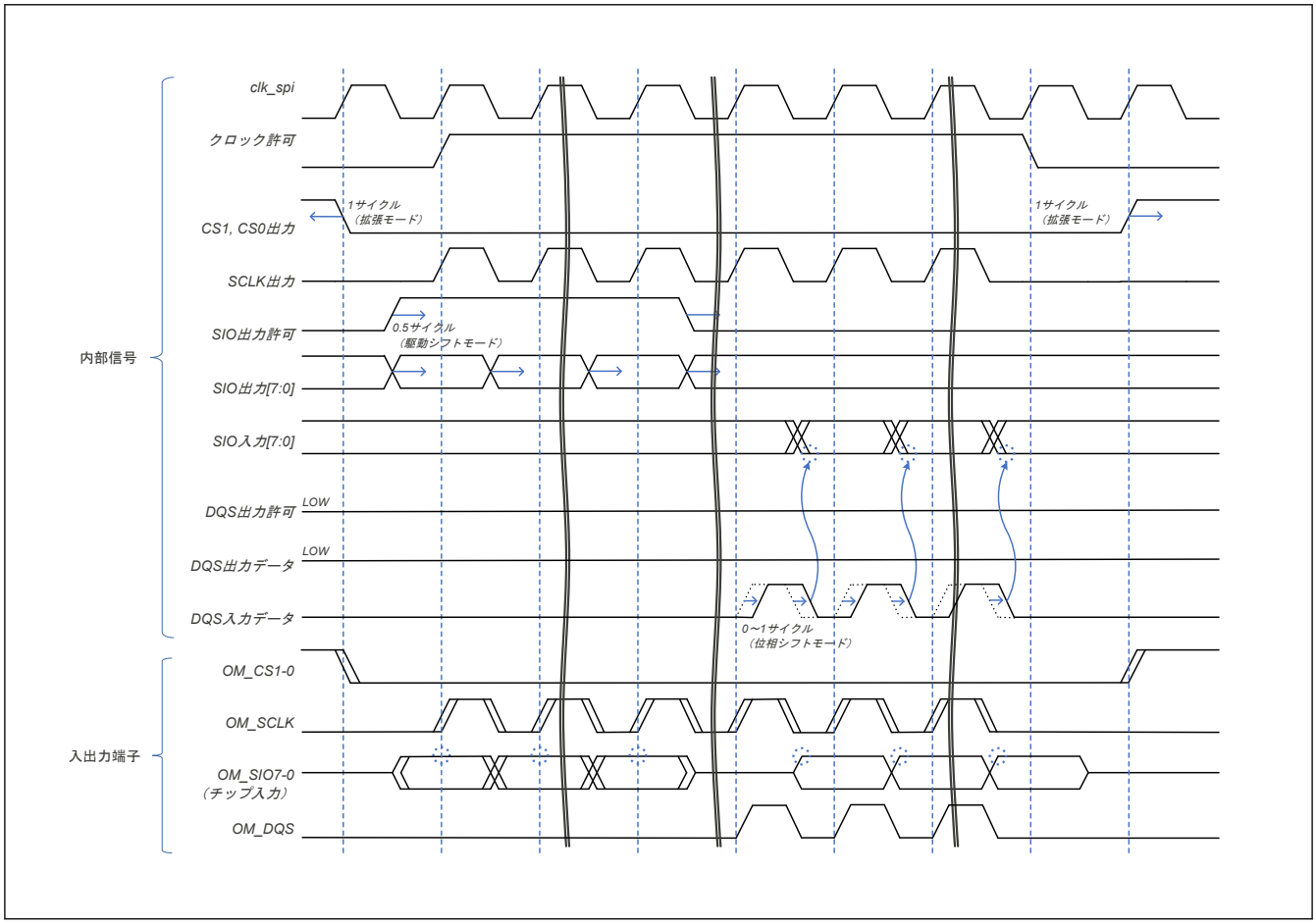


図 35.9　OM_DQS あり SDR のタイミング制御

図 35.10 に OM_DQS あり DDR の初期動作とタイミング制御を示します。

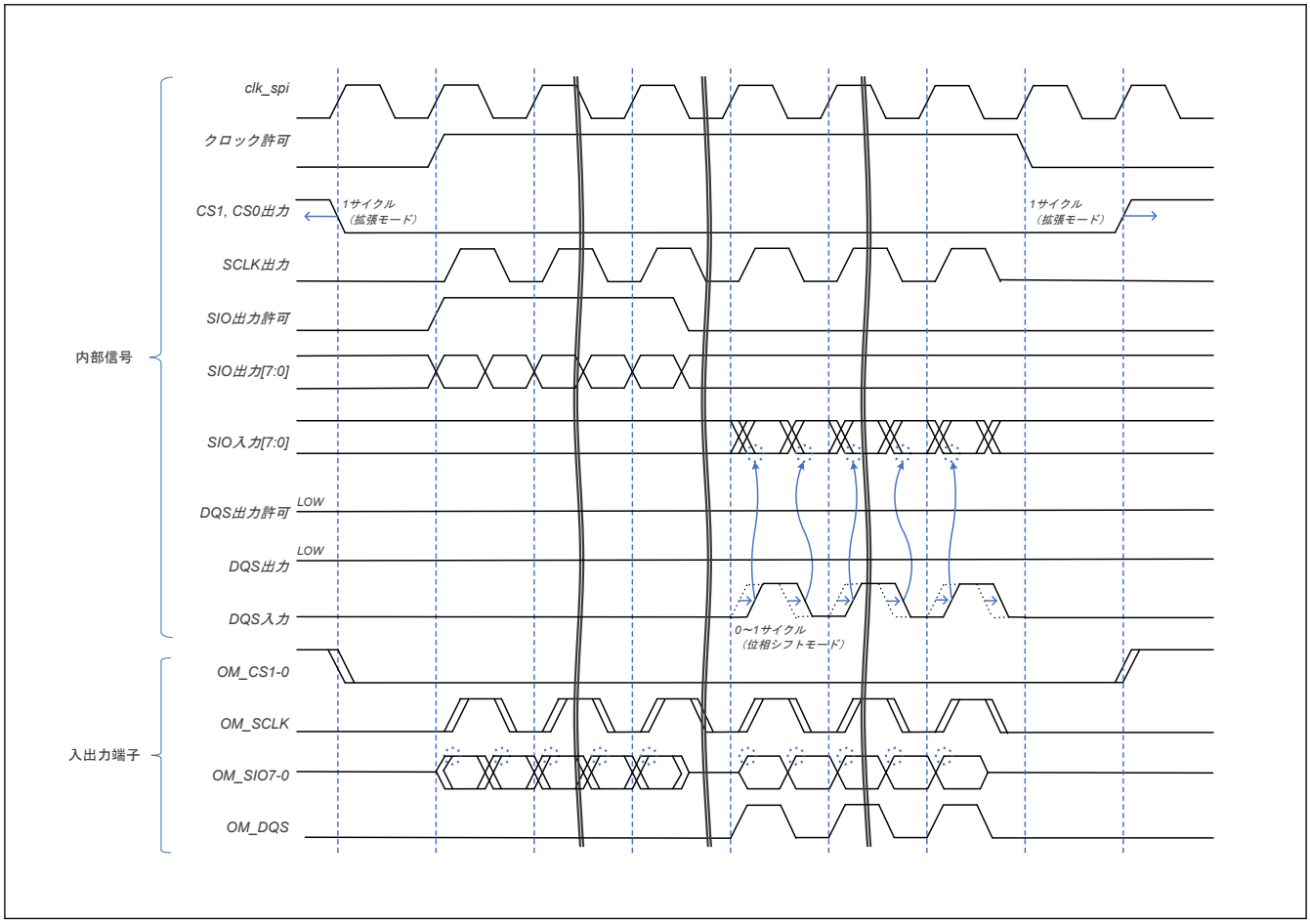


図 35.10　OM_DQS あり DDR のタイミング制御

35.3.1.4　自動校正

本 xSPI マスタは、OM_DQS シフト値 (WRAPCFG.DSSFTCSn (n = 0, 1)) を自動調整する機能に対応しています。本機能が有効 (CCCTL0CSn.CAEN = 1) の場合、本 xSPI マスタは周期的に校正シーケンスを送信し、位相シフトの値を調整します。

校正シーケンス中に読み出しトランザクションにおいて、すべての読み出しコンペアが不一致の場合、校正失敗ビット (INTS.CAFAILCSn = 1 (n = 0, 1)) がアサートされ、OM_DQS シフト値は更新されません。少なくとも 1 つの読み出しコンペアが一致の場合、校正成功ビット (INTS.CASUCCSn = 1 (n = 0, 1)) がアサートされ、OM_DQS シフト値は更新されます。各 OM_DQS シフト値の結果は、校正ステータスレジスタ (CASTTCSn) によってモニタされます。図 35.11 に自動校正を示します。

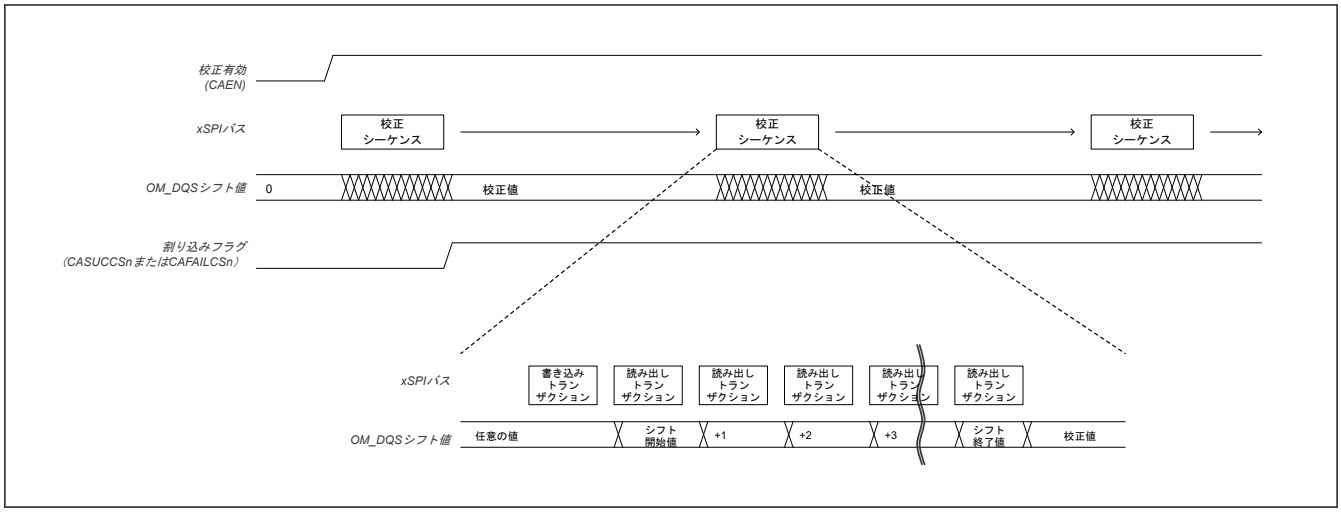


図 35.11　自動校正

35.3.2　マニュアルコマンド

ここでは、マニュアルコマンドモードについて説明します。マニュアルコマンドには、直接モードと周期モードの 2 つの機能モードがあります。

35.3.2.1　直接モード

このモードでは、ソフトウェアによる設定と要求に従って xSPI トランザクションを 4 つまで連続して発行できます。一連のトランザクションは、1 回のトランザクション要求（CDCTL0.TRREQ = 1 かつ PERMD = 0）で発行できます。設定できるトランザクションの数 (CDCTL0.TRNUM[1:0]) は 4 までです。xSPI スレーブデバイスのモードを変更したりステータスの読み出しに使用することもできます。

表 35.5 に直接モード用マニュアルコマンドに設定したレジスタビットを示します。図 35.25 に動作フローを示します。

表 35.5　直接モード用マニュアルコマンド設定

トランザクション	トランザクション種別	コマンド	コマンドサイズ	アドレス	アドレスサイズ	データ (x = 0, 1)	データサイズ	レイテンシサイクル
1 番目のトランザクション	CDTBUF0.TRTYPE	CDTBUF0.CMD[15:0]	CDTBUF0.CMDSIZE[1:0]	CDABUF0.ADD[31:0]	CDTBUF0.ADDSIZE[2:0]	CDDxBUF0.DATA[31:0]	CDTBUF0.DATASIZE[3:0]	CDTBUF0.LATE[4:0]
2 番目のトランザクション	CDTBUF1.TRTYPE	CDTBUF1.CMD[15:0]	CDTBUF1.CMDSIZE[1:0]	CDABUF1.ADD[31:0]	CDTBUF1.ADDSIZE[2:0]	CDDxBUF1.DATA[31:0]	CDTBUF1.DATASIZE[3:0]	CDTBUF1.LATE[4:0]
3 番目のトランザクション	CDTBUF2.TRTYPE	CDTBUF2.CMD[15:0]	CDTBUF2.CMDSIZE[1:0]	CDABUF2.ADD[31:0]	CDTBUF2.ADDSIZE[2:0]	CDDxBUF2.DATA[31:0]	CDTBUF2.DATASIZE[3:0]	CDTBUF2.LATE[4:0]
4 番目のトランザクション	CDTBUF3.TRTYPE	CDTBUF3.CMD[15:0]	CDTBUF3.CMDSIZE[1:0]	CDABUF3.ADD[31:0]	CDTBUF3.ADDSIZE[2:0]	CDDxBUF3.DATA[31:0]	CDTBUF3.DATASIZE[3:0]	CDTBUF3.LATE[4:0]

35.3.2.2　周期モード

このモードでは、ソフトウェアによる設定と要求に従って xSPI 読み出しトランザクションを周期的に発行します。最大 4 バイトの読み出し値を期待値と比較できます。トランザクションは、トランザクション要求（CDCTL0.TRREQ = 1 かつ PERMD = 1）によって発行されます。xSPI スレーブデバイスのステータスポーリング動作の代わりに使用できます。

周期の長さは、周期トランザクションインターバルビット (CDCTL0.PERITV[4:0]) で設定します。期待値は、周期トランザクション期待値ビットとマスク値ビット（CDCTL1.PEREXP[31:0]と CDCTL2.PERMSK[31:0]）で設定します。表 35.6 に周期モード用マニュアルコマンドに設定したレジスタビットを示します。図 35.26 に動作フローを示します。

表 35.6　周期モード用マニュアルコマンド設定

トランザクション	トランザクション種別	コマンド	コマンドサイズ	アドレス	アドレスサイズ	データ (x = 0, 1)	データサイズ	レイテンシサイクル
読み出しトランザクション	CDTBUF0.TRTYPE	CDTBUF0.CMD[15:0]	CDTBUF0.CMDSIZE[1:0]	CDABUF0.ADD[31:0]	CDTBUF0.ADDSIZE[2:0]	CDDxBUF0.DATA[31:0]	CDTBUF0.DATASIZE[3:0]	CDTBUF0.LATE[4:0]

35.3.3　メモリマッピング

本節では、メモリマッピングモードについて説明します。このモードでは、あらかじめ設定したメモリ領域のシステムバスアクセスを xSPI トランザクションへ自動的に変換します。

35.3.3.1　設定

この動作では、アドレスのペイロードとデータフィールドはシステムバス信号から配信されます。コマンドフィールドとサイズの情報は、設定されたレジスタビットから配信されます。表 35.7 にメモリマッピング用に設定したレジスタビットを示します。

表 35.7　メモリ領域アクセス用メモリマッピング設定 (n = 0, 1)

システムバストランザクション	フォーマット変更モード	コマンド	コマンドサイズ	アドレス	アドレスサイズ	データ	データサイズ	レイテンシサイクル
スレーブ n メモリ領域に対する書き込み	通常	CMCFG2CSn.WRCMD[15:8]	1 バイト	SAWADDR[x:0]	CMCFG0CSn.ADDSIZE[1:0]	SWDATA	最大 SAWLEN および SAWSIZE	CMCFG2CSn.WRLATE[4:0]
	8D-8D-8D プロファイル 1.0	CMCFG2CSn.WRCMD[15:0]	2 バイト					
	8D-8D-8D プロファイル 2.0 コマンドモディファイア	CMCFG2CSn.WRCMD[15:8]	1 バイト	{SAWADDR[27:4], 0000000000000b, SAWADDR[3:1]}	5 バイト			
	8D-8D-8D プロファイル 2.0 拡張コマンドモディファイア	CMCFG2CSn.WRCMD[15:13]	3 ビット	{0b, SAWADDR[31:4], 0000000000000b, SAWADDR[3:1]	45 ビット			
スレーブ n メモリ領域に対する読み出し	通常	CMCFG1CSn.RDCMD[15:8]	1 バイト	SARADDR[x:0]	CMCFG0CSn.ADDSIZE[1:0]	SRDATA	最大 SARLEN および SARSIZE	CMCFG1CSn.RDLATE[4:0]
	8D-8D-8D プロファイル 1.0	CMCFG1CSn.RDCMD[15:0]	2 バイト					
	8D-8D-8D プロファイル 2.0 コマンドモディファイア	CMCFG1CSn.RDCMD[15:8]	1 バイト	{SARADDR[27:4], 0000000000000b, SARADDR[3:1]}	5 バイト			
	8D-8D-8D プロファイル 2.0 拡張コマンドモディファイア	CMCFG1CSn.RDCMD[15:13]	3 ビット	{0b, SARADDR[31:4], 0000000000000b, SARADDR[3:1]}	45 ビット			

注.　アドレスの MSByte はアドレス置換許可ビット (CMCFG0CSn.ADDRPEN[7:0]) とアドレス置換コードビット (CMCFG0CSn.ADDRPCD[7:0]) で置き換えることができます。

35.3.3.2　書き込みアクセスの動作

システムバスからのメモリ領域への書き込みアクセスの受付時、本 xSPI マスタは、すべてのペイロードデータを内部ブリッジバッファに格納し、xSPI スレーブへの書き込みトランザクションを発行します。図 35.12 に動作概要を示します。

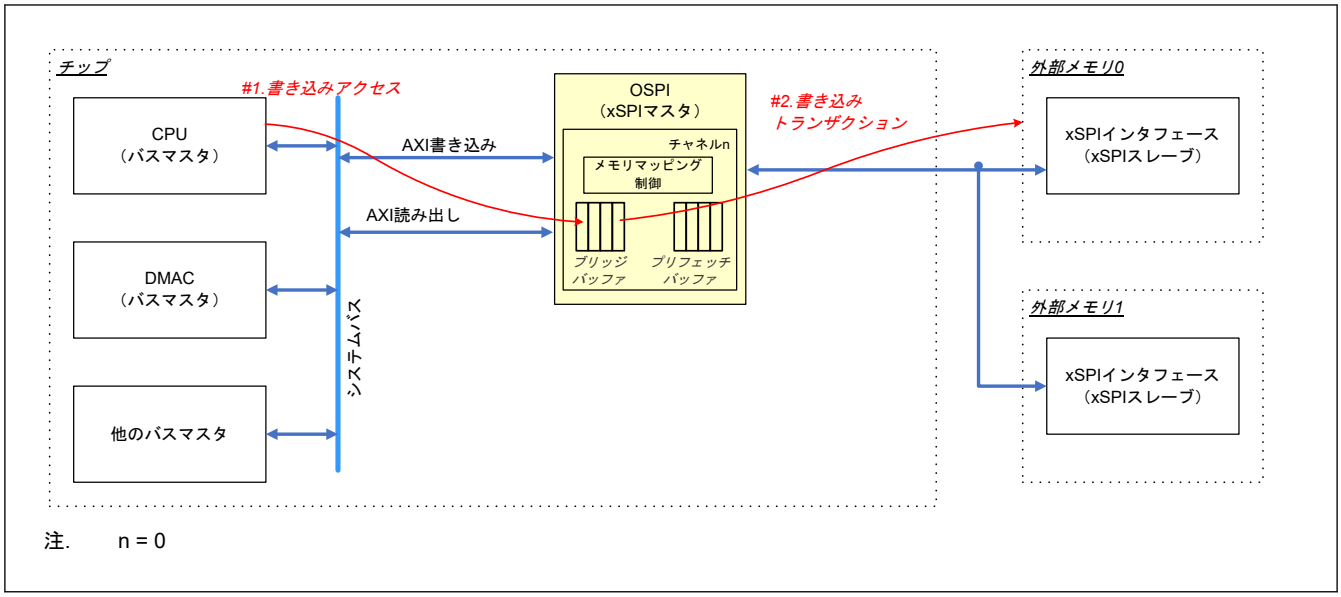


図 35.12 メモリ領域に対する書き込みアクセス

xSPI バスの動作は、システムバスのバースト種別によって異なります。バーストタイプがシングルタイプまたはインクリメントタイプの場合、1 つのシステムバストランザクションが 1 つの xSPI フレームをトリガします。バーストタイプがラップタイプで CMCFG0CSn.WPBSTMD が 0 の場合、1 つのシステムバストランザクションが 2 つの xSPI フレームをトリガします。図 35.13 に AXI と xSPI フレームの関係を示します。

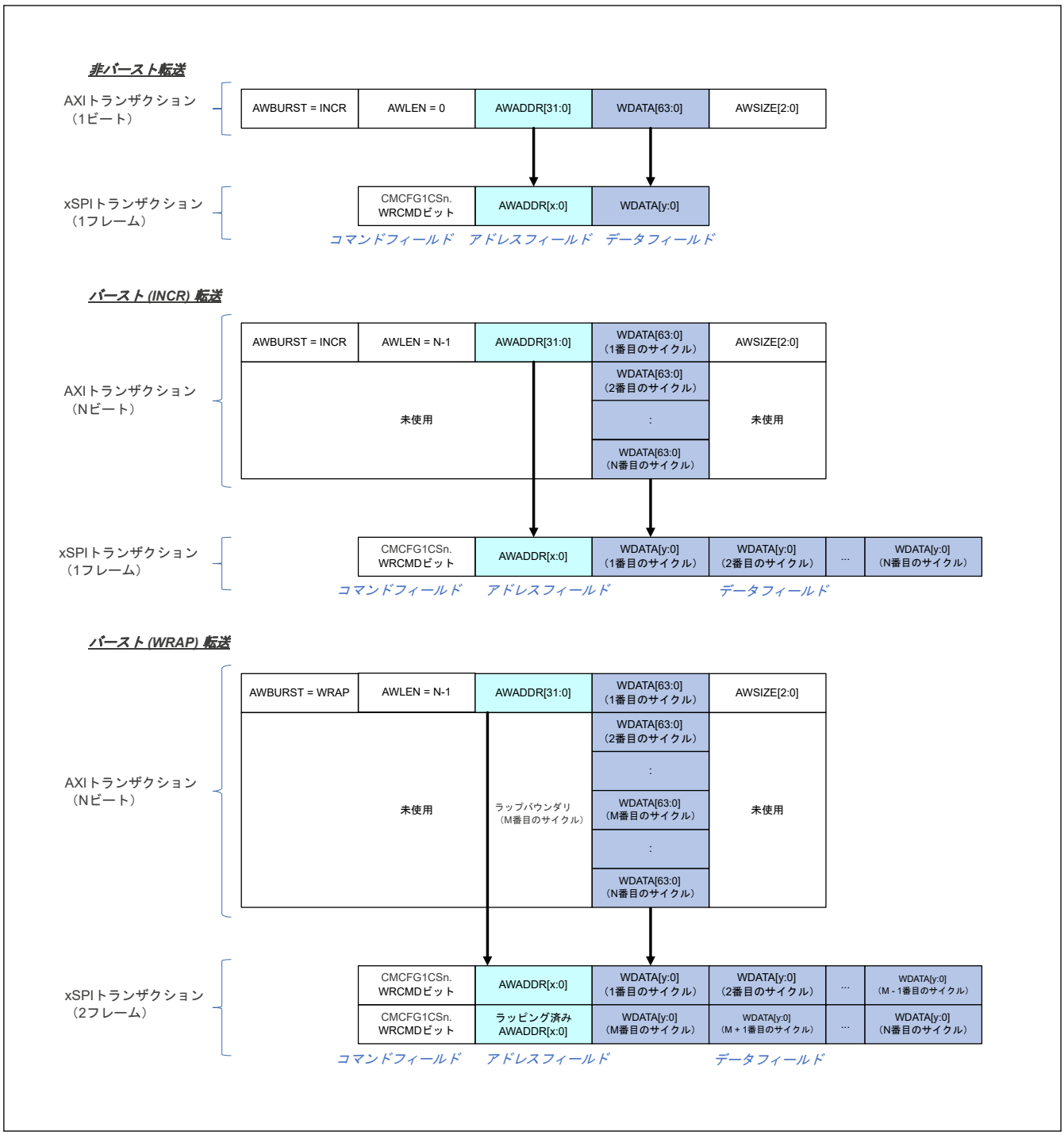


図 35.13　書き込みアクセス時の xSPI フレームのフォーマット（通常フォーマット）

35.3.3.3　結合機能

メモリ領域に対するシステムバス書き込みアクセスにおいて、本 xSPI マスタには、xSPI バスの高スループットを実現するために書き込みデータを結合する機能があります。この機能を有効にした場合 (BMCFGCHn.MWRCOMB = 1)、本 xSPI マスタは、アドレスがインクリメントアドレス(注1)で連続している間、選択したサイズで xSPI フレームを送信します。以下の条件の 1 つが検出されると、対象サイズ (BMCFGCHn.MWRSIZE[7:0]) に達していなくても、本 xSPI マスタは保留中のデータを xSPI バスに送信します。

- 非インクリメントアドレスが検出される
- 異なるバーストタイプが検出される
- 読み出しトランザクションが検出される

- 異なるスレーブへのアクセスが検出される
- メモリ書き込みデータプッシュビット (BMCTL1.MWRPUSHCHn (n = 0)) が設定される

この機能は、スレーブデバイスがデータのチャンクを一度に要求するときに役立つ可能性があります。この場合、システムバスマスタはインクリメントアドレスで固定データサイズを供給し続けます。たとえば、ページ単位での書き込みを要求する任意のデバイスがあります。

図 35.14 に結合機能を有効にした場合の動作を示します。

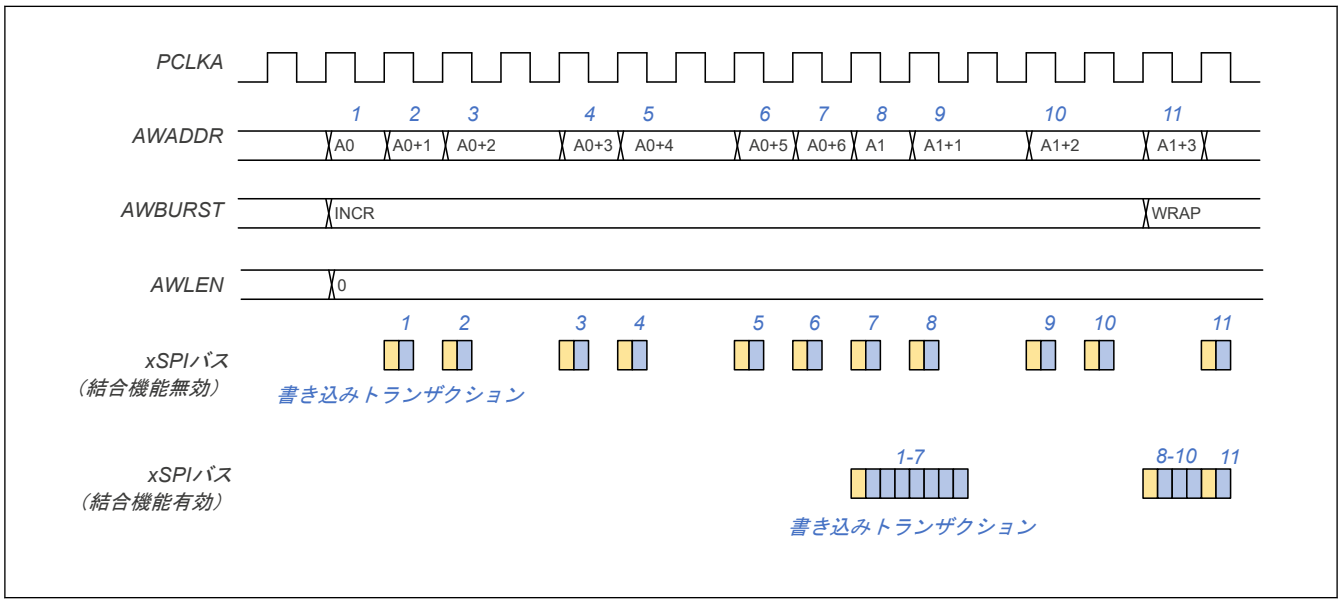


図 35.14　結合機能

注 1.　以下のすべての条件に従うアクセスは、インクリメントアドレスとみなされます。

- トランザクション種別が INCR である
- アクセス開始アドレスが直前の書き込みアドレスに対して連続している
  - アクセスの WSTRB 開始位置が開始アドレスとして扱われている
  - 前のアクセスの最後の WSTRB が最後の書き込みアドレスとして扱われている

図 35.15 に、AXI アクセスによるデータ結合例を示します。

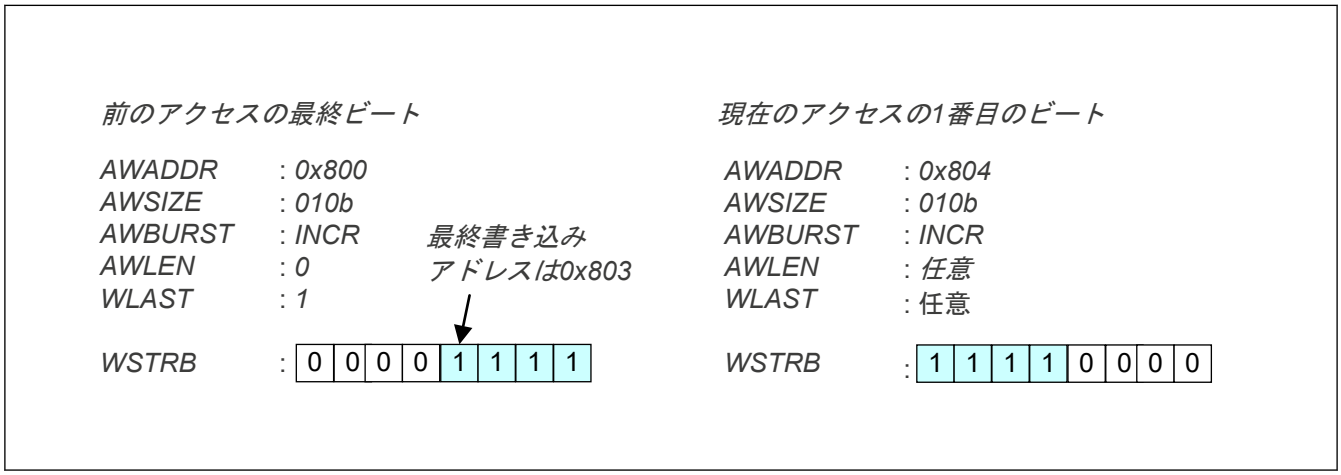


図 35.15　AXI アクセスでのデータ結合例

35.3.3.4 読み出しアクセス動作

メモリ領域に対する読み出しアクセスにおいて、読み出しアクセスの検出直後、本 xSPI マスタは読み出しトランザクションを xSPI スレーブへ発行します。図 35.16 に動作概要を示します。

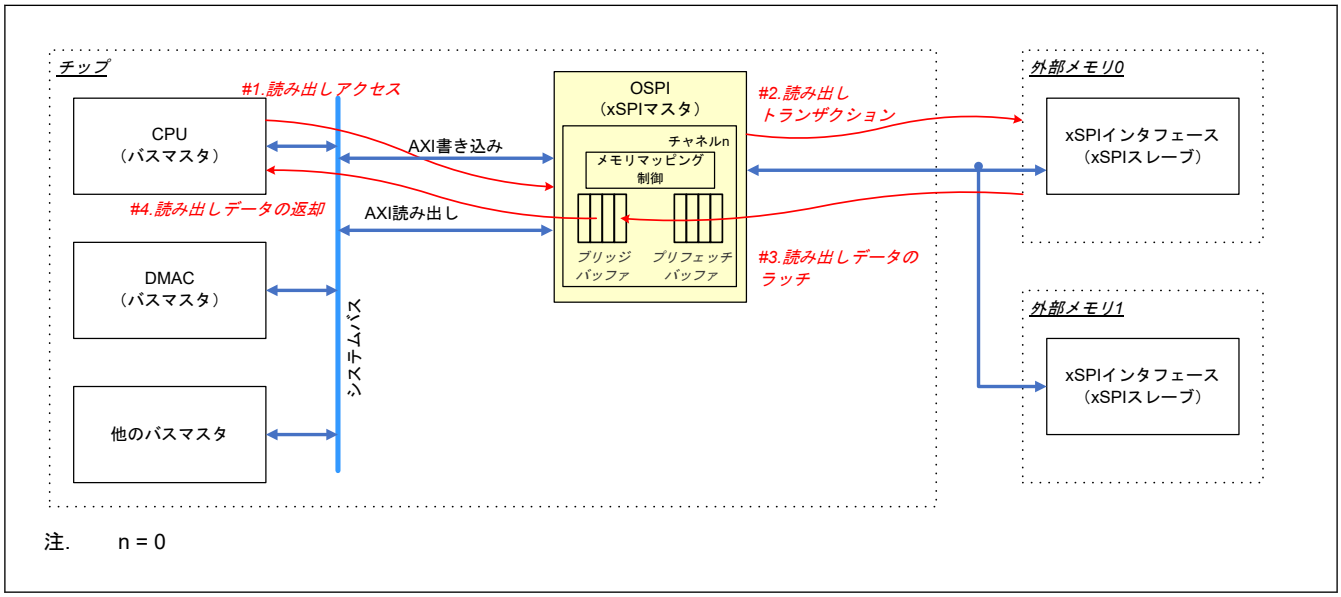


図 35.16 メモリ領域に対する読み出しアクセス

xSPI バスの動作は、バースト種別によって異なります。バーストタイプがシングルタイプまたはインクリメントタイプの場合、1 つのシステムバスの読み出しトランザクションが 1 つの xSPI フレームをトリガします。バーストタイプがラップタイプで CMCFG0CSn.WPBSTMD が 0 の場合、1 つのシステムバスの読み出しトランザクションが 2 つの xSPI フレームをトリガします。図 35.17 に AXI と xSPI フレームの関係を示します。

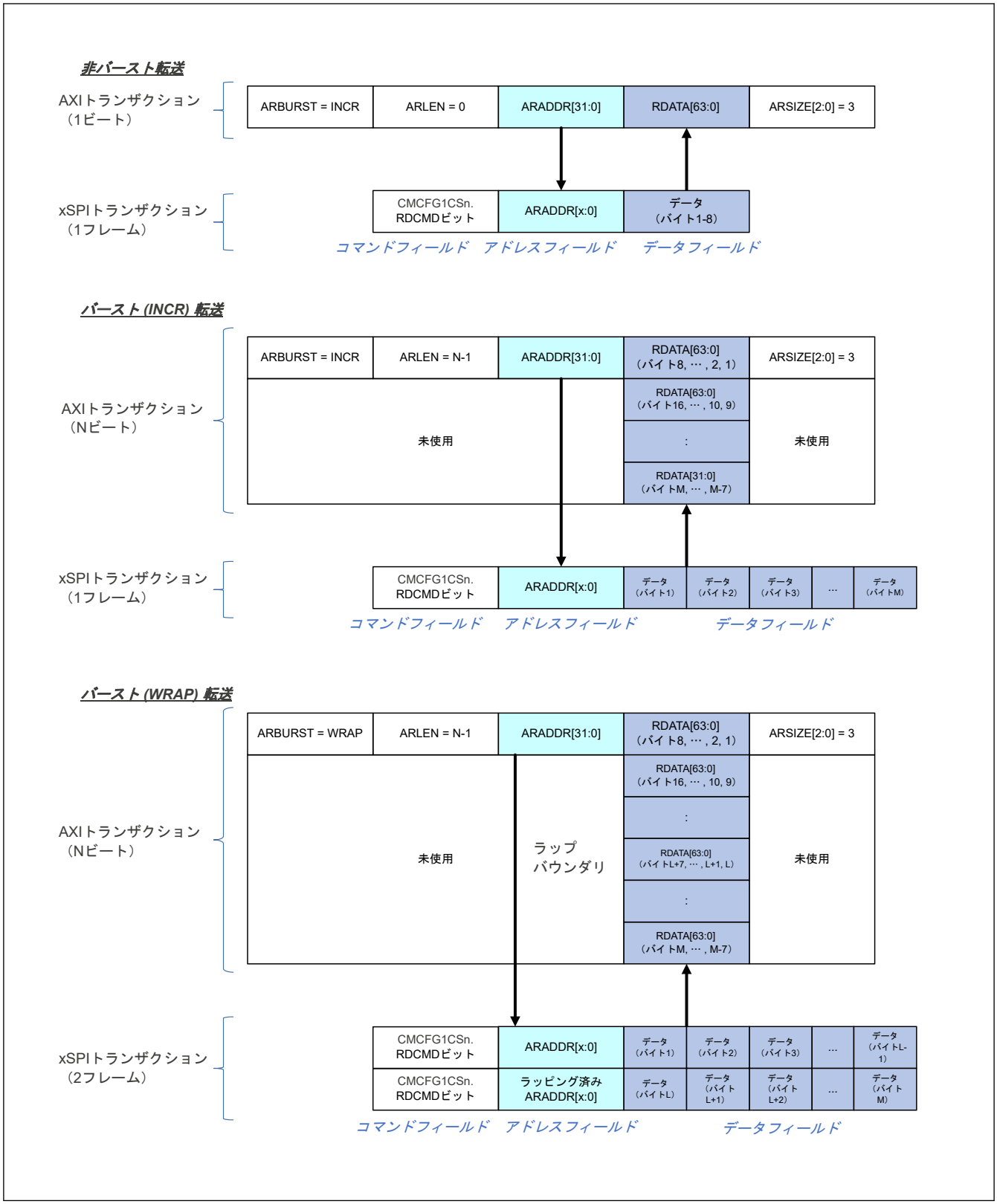


図 35.17　読み出しアクセス時の xSPI フレームのフォーマット（通常フォーマット）

35.3.3.5　プリフェッチ機能

システムバスからメモリ領域に対する読み出しアクセスに関して、本 xSPI マスタには読み出しデータをプリフェッチしてレイテンシを短縮する機能があります。この機能が有効 (BMCFGCHn.PREEN = 1) の場合、本 xSPI マスタは、継続的にインクリメントアドレスを読み出して、xSPI スレーブからの読み出しデータを内部プリフェッチバッファに格納します。本 xSPI マスタは、以下のシステムバスからの読み出しアクセスに対して、プリフェ

ッチバッファ内を検索します。プリフェッチバッファに対象の読み出しデータが見つかった場合、本 xSPI マスタはプリフェッチバッファからそのデータを返します。見つからなかった場合は、本 xSPI マスタはプリフェッチバッファをクリアし、xSPI スレーブに対して新規に読み出しトランザクションを発行します。この機能は、連続的に読み出すアドレスが近接しているような場合に効果的です。プリフェッチ用 xSPI 読み出しフレームが xSPI バスを使用しているため、連続的に読み出すアドレスがインクリメントアドレスでない場合は効果的ではありません。図 35.18 に動作概要を示します。

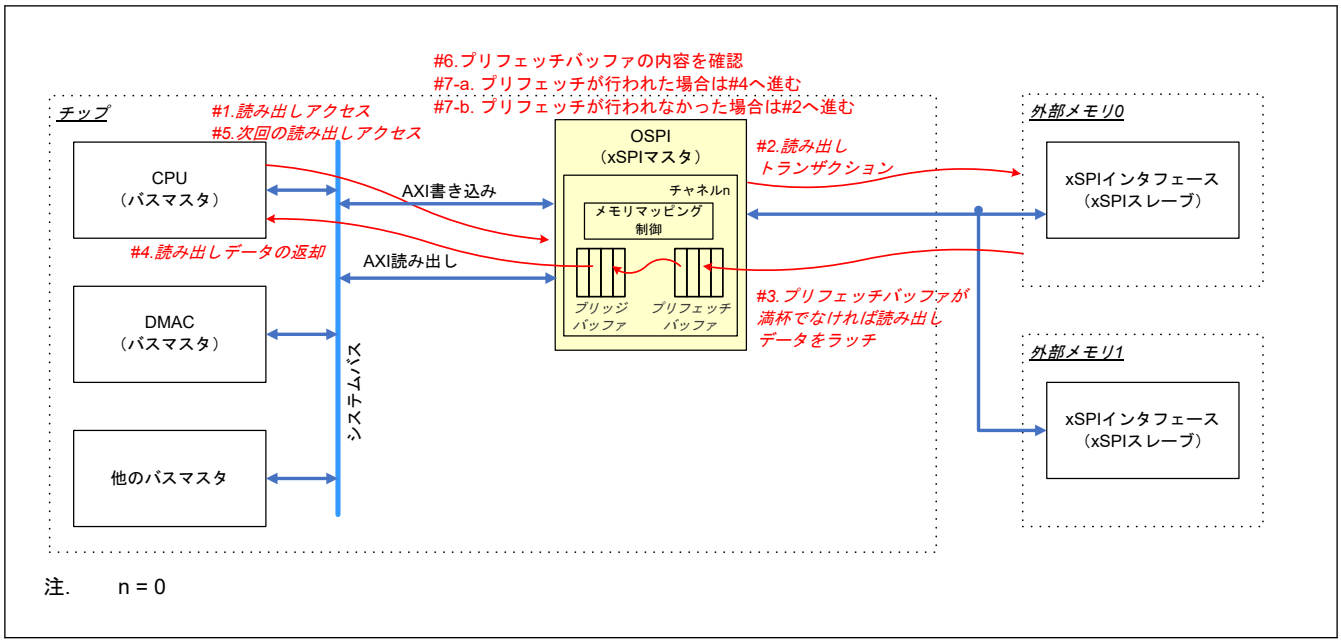


図 35.18　プリフェッチ許可時のメモリ領域の読み出しアクセス

注.　このプリフェッチ機能が有効の場合、バスマスタはスレーブデバイスではなく内部プリフェッチバッファから読み出すことができます。複数のバスマスタから同じアドレスへのアクセスが発生した場合、本 xSPI マスタが最新データを読み出すことを保証しません。バスマスタがスレーブデバイスから最新データを読み出したい場合は、プリフェッチバッファ (BMCTL1.PBUFCLRCHn (n = 0)) をクリアした後に読み出す必要があります。

注.　プリフェッチバッファは、FIFO 方式で実装されていて、読み出しアクセスが発行されると、アクセス対象アドレスの前のデータはバッファから廃棄されます。前回のアクセスで廃棄された領域への次のアクセスが発行されると、このモジュールは xSPI 読み出しアクセスを再発行してプリフェッチバッファを満たします。

注.　OSPI には、プリフェッチバッファからの最終 8 バイト読み出しデータを保持する、1 ラインバッファがあります。1 ラインバッファのデータに対して、同じアドレスに読み出しアクセスが発行されると、OSPI は 1 ラインバッファから読み出しデータを返します。

35.3.3.6　XiP モード

スレーブデバイスの中には、レイテンシを短縮するためにコマンドフェーズを必要としないモード (XiP モード) を持つものがあります。このモードでは、xSPI マスタはコマンドの送信をスキップし、前回のトランザクションで実行されたコマンドをスレーブデバイスが暗黙的に実行します。XiP モードビットを有効にした場合 (CMCTLCHn.XIPEN = 1)、本 xSPI マスタは、レイテンシフィールドに XiP 開始コード (CMCTLCHn.XIPENCODE[7:0]) を挿入します。XiP モードビットを無効にした場合 (CMCTLCHn.XIPEN = 0)、本 xSPI マスタは、レイテンシフィールドに XiP 終了コード (CMCTLCHn.XIPEXCODE[7:0]) を挿入します。この機能は、メモリマッピングモードのみで使用できます。

本 xSPI マスタが XiP 無効化パターンを送信するとき、本 xSPI マスタは XiP モードビットをクリアし、両チャネルに対して設定された XiP モードを無効にします。XiP 無効化パターンを送信することにより、1 つのチャネルに対してのみ XiP モードを無効にすることはできないことに注意してください。

注.　XiP コードに十分なレイテンシサイクルが存在しない場合、本 xSPI マスタは XiP コードを挿入できない可能性があります。

注.　XiP モードはスレーブへの一方向アクセスだけにしか使用できない可能性があります。書き込みトランザクションと読み出しトランザクションは分けてください。

注.　無効の場合、XiP 終了コードは一度挿入されます。詳細は、図 35.30 を参照してください。

35.3.4　パターン制御

本 xSPI マスタには、xSPI フレームフォーマット以外の 3 種類のパターンを送信する機能があります。そのパターンは、トリガビット (LPCTL0-1.PATREQ) を設定することにより、トリガされます。

35.3.4.1　XiP 禁止パターン

XiP 禁止パターンは、(LPCTL0.XD1LEN[4:0] / XD1VAL / XD2LEN[4:0] / XD2VAL) で設定した長さと値を持つパターンを送信します。OM_SCLK 信号と OM_SIO7-0 信号を使用します。出力端子数は、XiP 禁止パターン端子ビット (LPCTL0.XDPIN[1:0]) で設定できます。レガシー SPI の XiP モードを無効にするために使用できます。図 35.19 にタイミングチャートを示します。

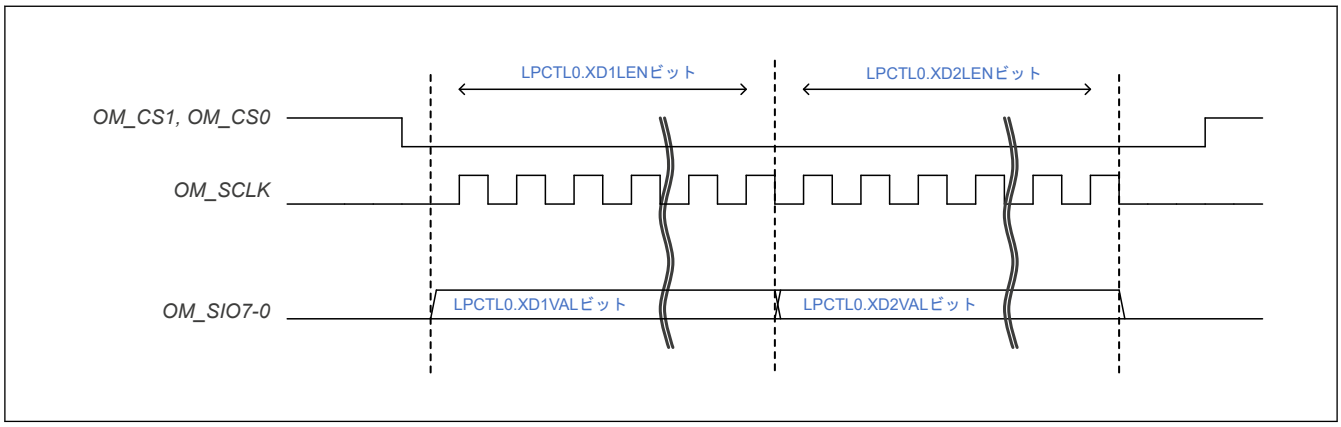


図 35.19　XiP 禁止パターン

35.3.4.2　リセットパターン

リセットパターンは、シリアルフラッシュリセット信号伝達プロトコルで指定したパターンを送信します。図 35.20 にタイミングチャートを示します。

CS Low／High 幅は、リセットパターン長ビット (LPCTL1.RSTWID[2:0]) で設定します。xSPI スレーブは、CS の立ち上がりエッジでデータ入力をサンプリングします。データ出力のセットアップ時間は、リセットパターンデータ出力セットアップ時間ビット (LPCTL1.RSTSU[2:0]) で設定します。セットアップ時間は常にリセットパターン幅未満としてください。

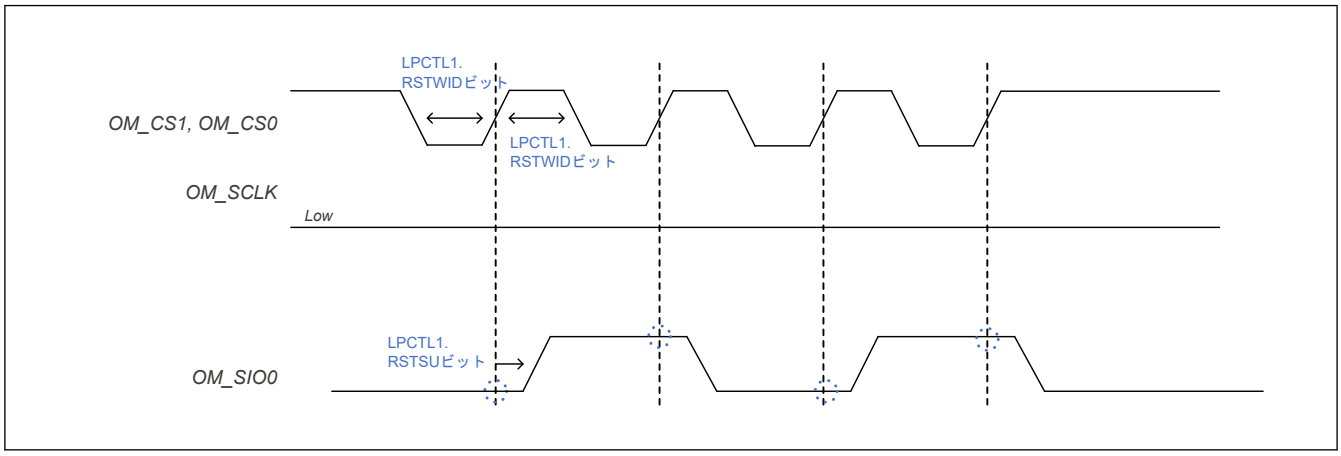


図 35.20　リセットパターン

注.　プロトコルにおいて、CS Low／High 幅の最小値は 500 ns、セットアップ時間の最小値は 6 ns と定義されています。

35.3.4.3 CS のみパターン

CS のみのパターンは、長さビット (LPCTL1.RSTWID[2:0]) の設定で CS ポートを起動します。ディープパワーダウンステートから再開する際に使用される場合があります。図 35.21 にタイミングチャートを示します。

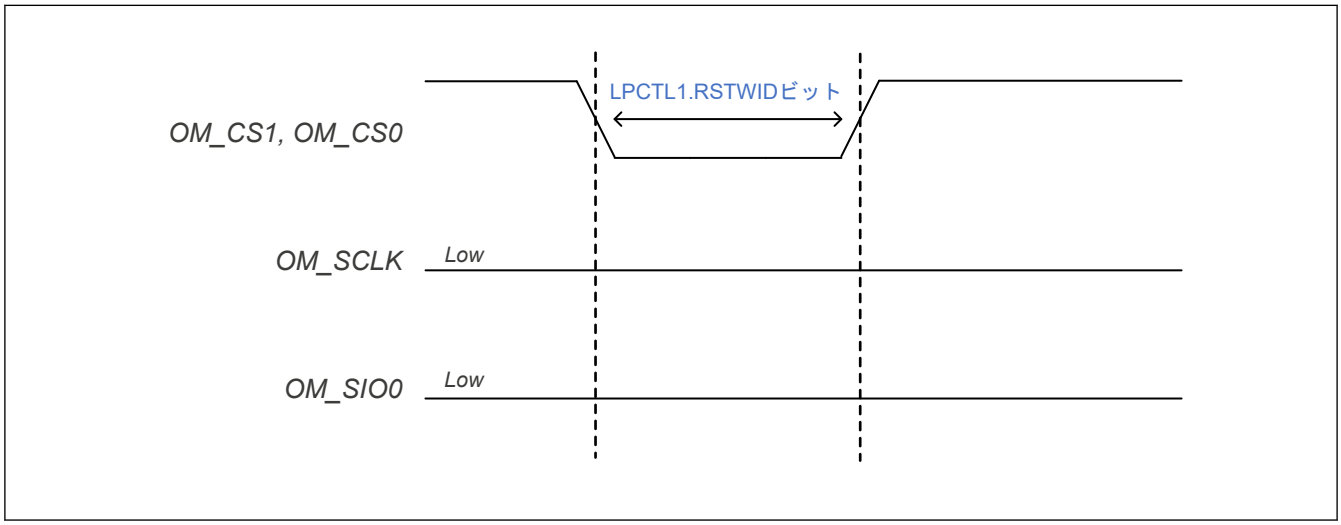


図 35.21 CS のみパターン

35.3.5 整合性チェック

本 xSPI マスタはいくつかのエラーを検出できます。表 35.8 にエラーの一覧と動作の詳細を示します。

表 35.8 エラーの一覧 (n = 0, 1)

エラー種別	イベント	フラグビット	注記（動作）
キャリブレーション失敗	自動校正中に読み出しデータと期待値が一致しなかった。	INTS.CAFAILCSn	xSPI スレーブに対して、予期しないデータを書き込んでいます。
システムバスエラー	メモリマッピング用 AXI スレーブインタフェース上でエラー応答が発生した。	INTS.BUSERRCHn	本 xSPI マスタが重大なエラーのため、リセットされます。
ECC エラーの検出	OM_ECSINT1 ポートにて立ち下がりエッジが検出された。 このビットが役立つのは ECC 検出機能を持つ xSPI スレーブだけです。	INTS.ECSCS1	xSPI スレーブのエラーイベントのみを通知します。
OM_DQS タイムアウト	OM_DQS を使用する読み出しトランザクションにおいて OM_DQS がトグルしない。	INTS.DSTOCSn	校正動作中にこのエラーが発生した場合は、割り込みステータスビットをクリアしてください。 上記以外の場合は重大なエラーのため、xSPI マスタと xSPI スレーブの両方をリセットする必要があります。
周期トランザクションタイムアウト	周期マニュアルコマンドモードにおいて、読み出し値が期待値と一致しない。	INTS.PERTO	機能の状態によって異なります。

35.3.6 割り込み

本 xSPI マスタには割り込みポートがあります。

割り込みステータスレジスタ (INTS) で監視することができます。初期化フェーズの場合は、割り込み許可レジスタ (INTE) で設定を変更することができます。表 35.9 に OSPI 割り込み要因を、表 35.10 に関連するレジスタビットを示します。

注. 割り込みイベント検出後に、INTE の対応するビットが設定された場合、割り込みパルスポート信号はアサートされません。

表 35.9　OSPI 割り込み要因

名称	割り込み要因	DMAC の起動
OSPI0_ERR	エラー	不可
OSPI0_CMP	完了	不可

表 35.10　割り込みレジスタビット

フラグビット	許可ビット	クリアビット	割り込み要因
CASUCCS1	CASUCCS1E	CASUCCS1C	OSPI0_CMP
CASUCCS0	CASUCCS0E	CASUCCS0C	
CAFAILCS1	CAFAILCS1E	CAFAILCS1C	OSPI0_ERR
CAFAILCS0	CAFAILCS0E	CAFAILCS0C	
BUSERRCH0	BUSERRCH0E	BUSERRCH0C	OSPI0_ERR
INTCS1	INTCS1E	INTCS1C	OSPI0_ERR
ECSCS1	ECSCS1E	ECSCS1C	OSPI0_ERR
DSTOCS1	DSTOCS1E	DSTOCS1C	OSPI0_ERR
DSTOCS0	DSTOCS0E	DSTOCS0C	
PERTO	PERTOE	PERTOC	OSPI0_ERR
PATCMP	PATCMPE	PATCMPC	OSPI0_CMP
CMDCMP	CMDCMPE	CMDCMPC	OSPI0_CMP

35.3.7　動作フロー

35.3.7.1　設定のフロー

図 35.22 に設定のフローを示します。

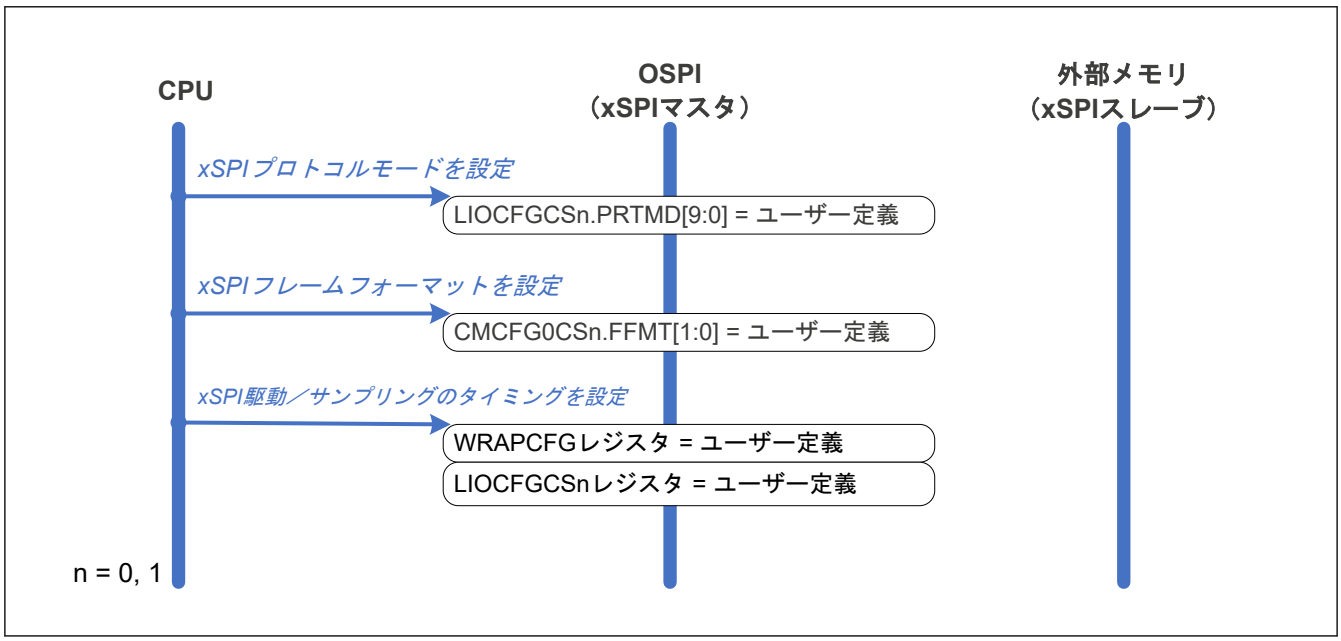


図 35.22　設定のフロー

35.3.7.2　通信停止のフロー

図 35.23 に通信停止のフローを示します。

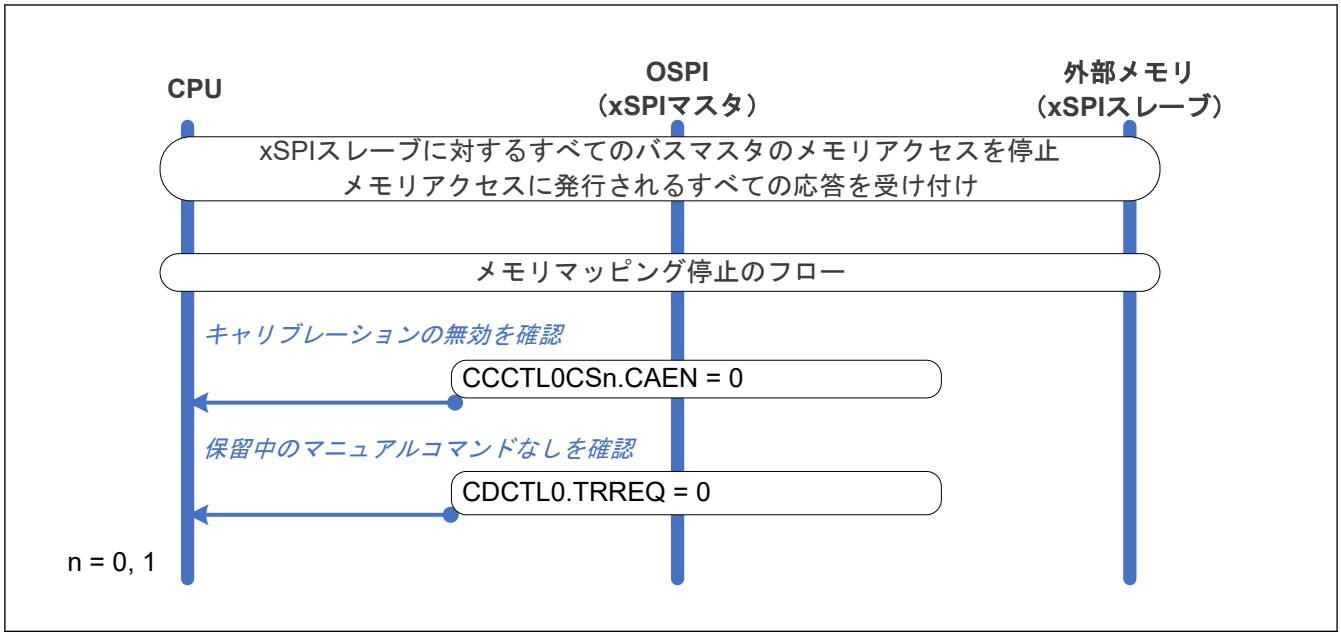


図 35.23　通信停止のフロー

注.　コンフィグレーションレジスタを再設定する場合、xSPI スレーブの全通信は、レジスタ設定とメモリアクセス間の競合条件を確実に回避するために停止します。これは、自動校正が無効にされ、保留中のマニュアルコマンドやメモリマッピングアクセスがないことを意味します。

35.3.7.3　自動校正のフロー

図 35.24 に自動校正のフローを示します。

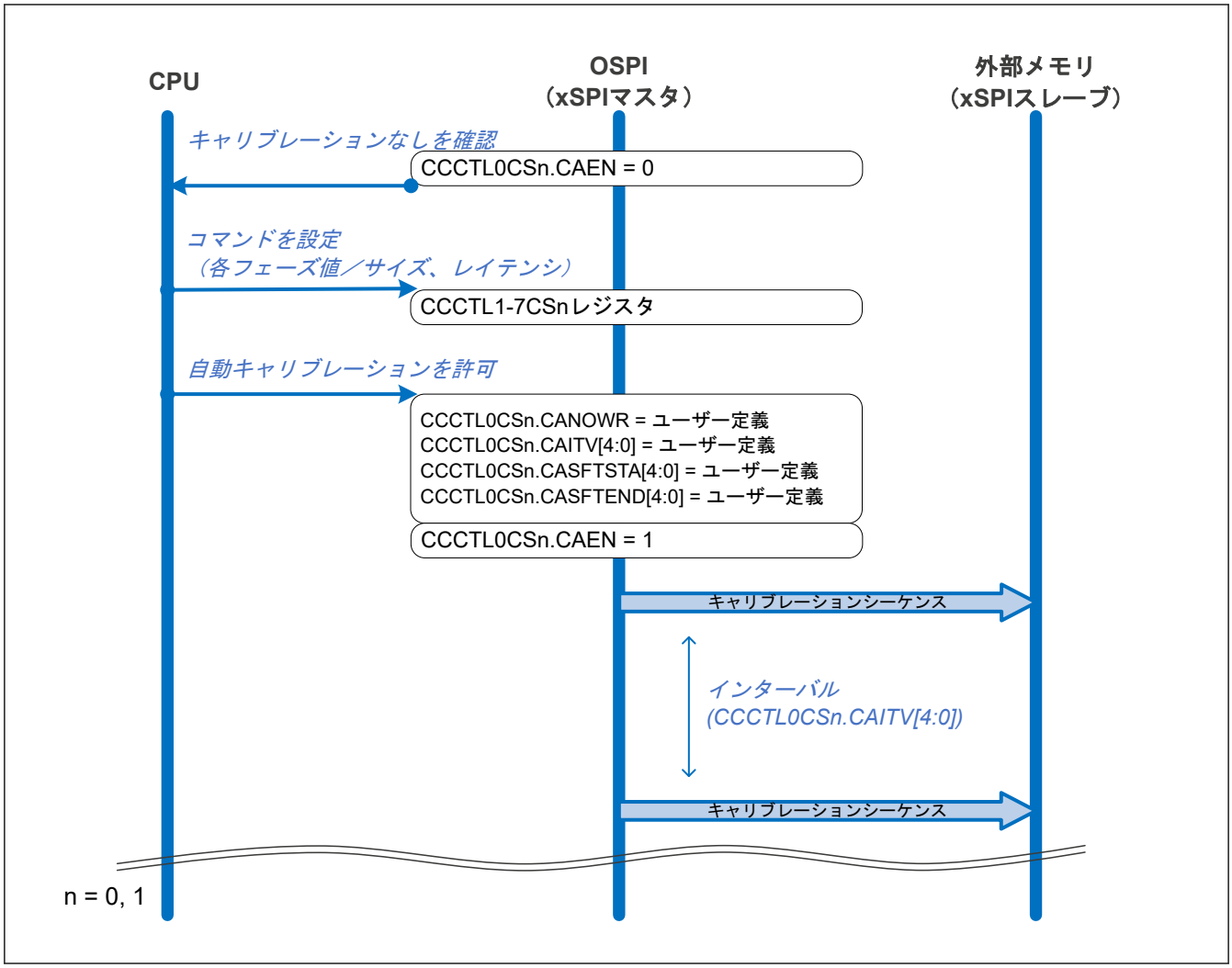


図 35.24　自動校正のフロー

35.3.7.4　マニュアルコマンド手順のフロー

図 35.25 に直接モードでのマニュアルコマンド手順を示します。

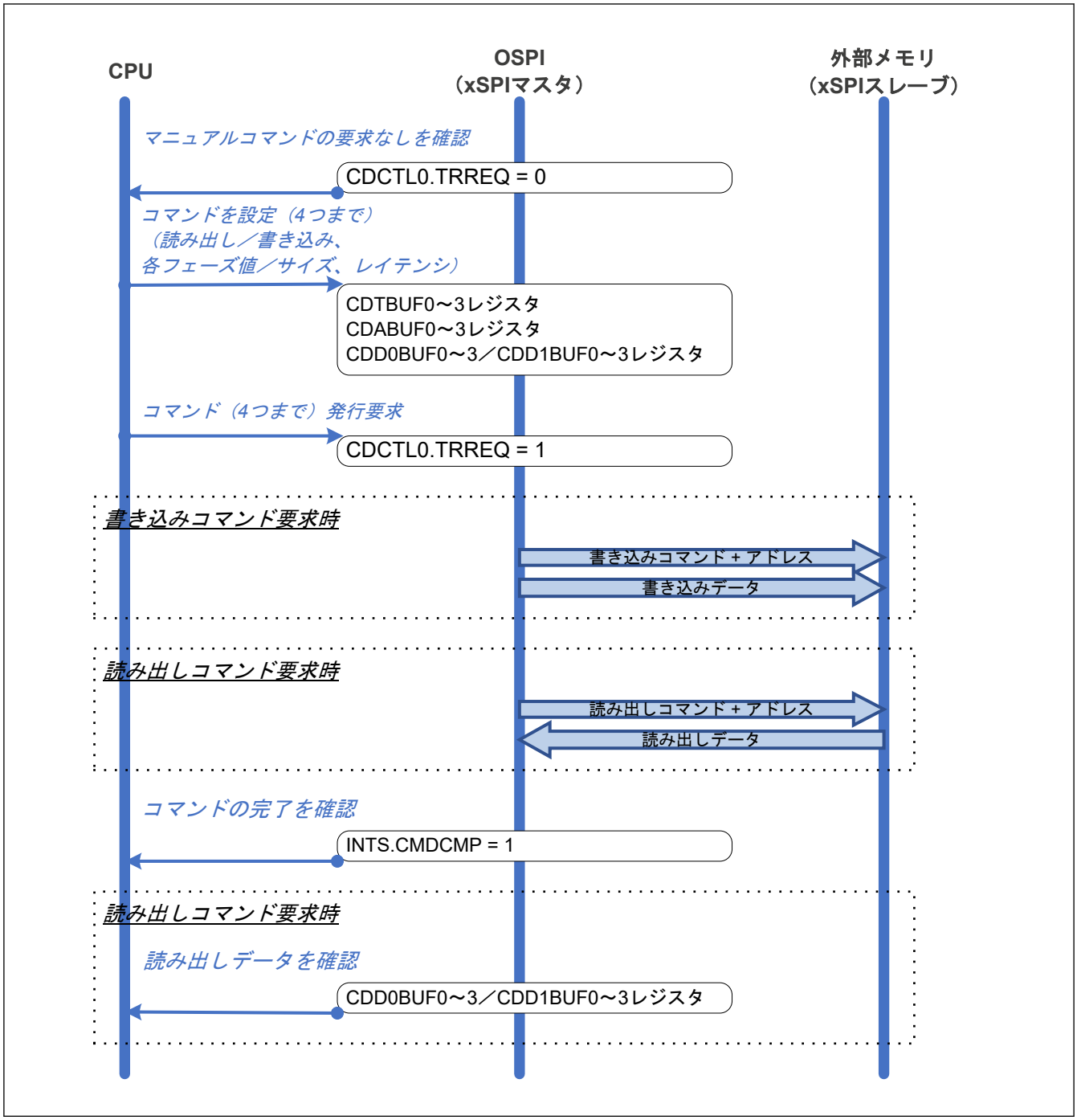


図 35.25　マニュアルコマンド手順のフロー（直接モード）

図 35.26 に周期モードでのマニュアルコマンド手順を示します。

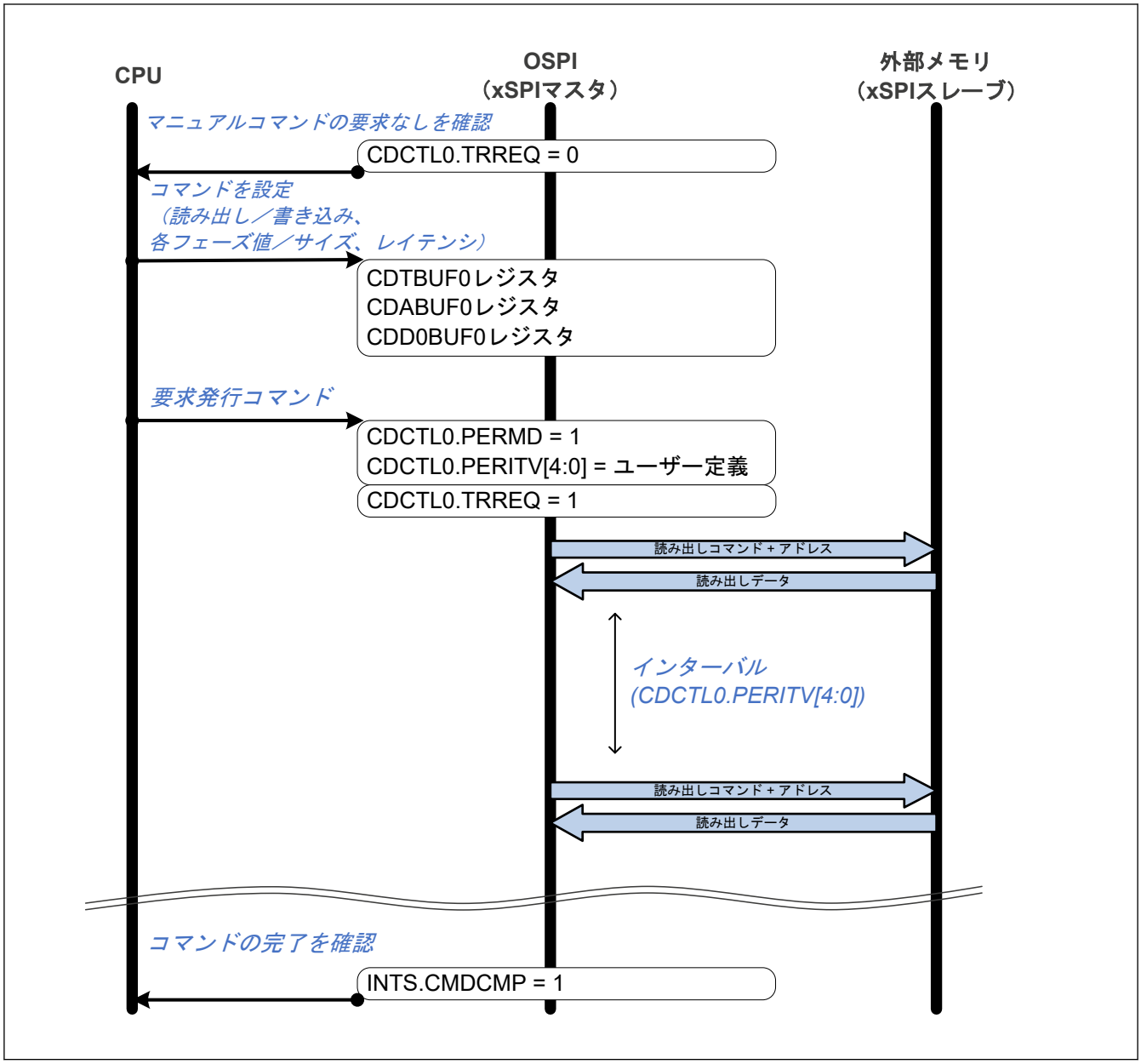


図 35.26　マニュアルコマンド手順のフロー（周期モード）

35.3.7.5　メモリマッピングのフロー

図 35.27 にメモリマッピングのフローを示します。

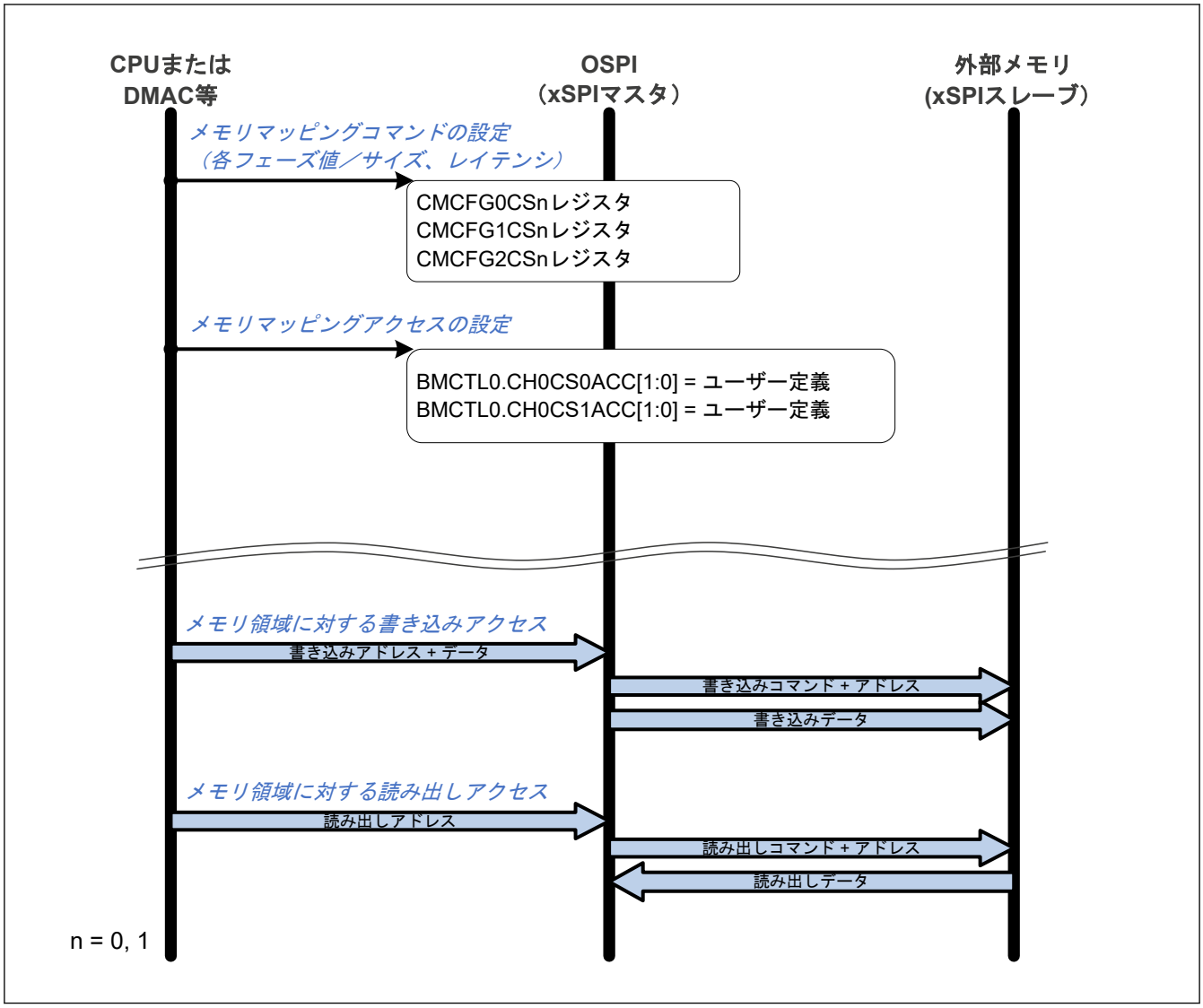


図 35.27　メモリマッピングのフロー

35.3.7.6　メモリマッピング停止のフロー

図 35.28 にメモリマッピング停止のフローを示します。

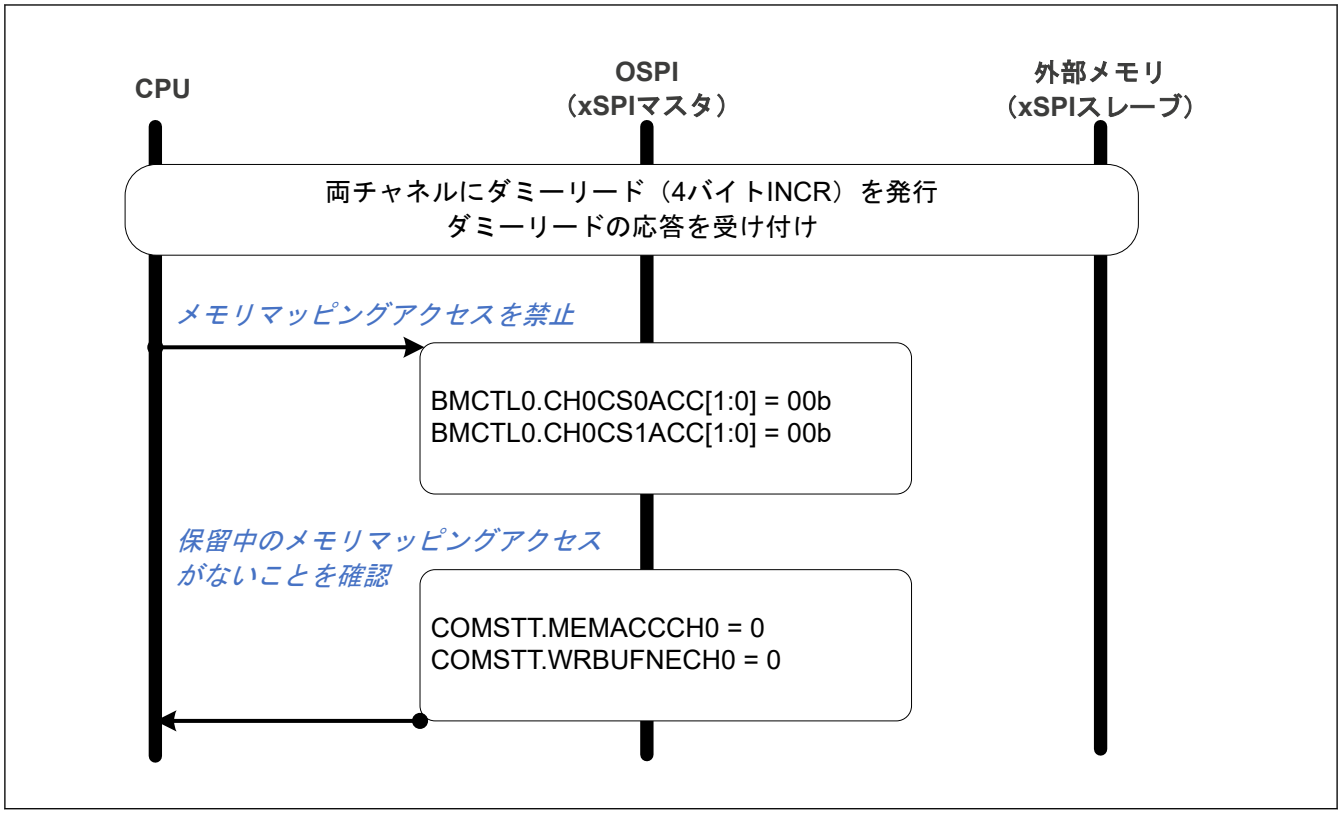


図 35.28　メモリマッピング停止のフロー

35.3.7.7　パターン要求のフロー

図 35.29 にパターン要求のフローを示します。パターンを要求する前に、実行中のコマンドがある場合は、完了させるか、あるいは取り消してください。

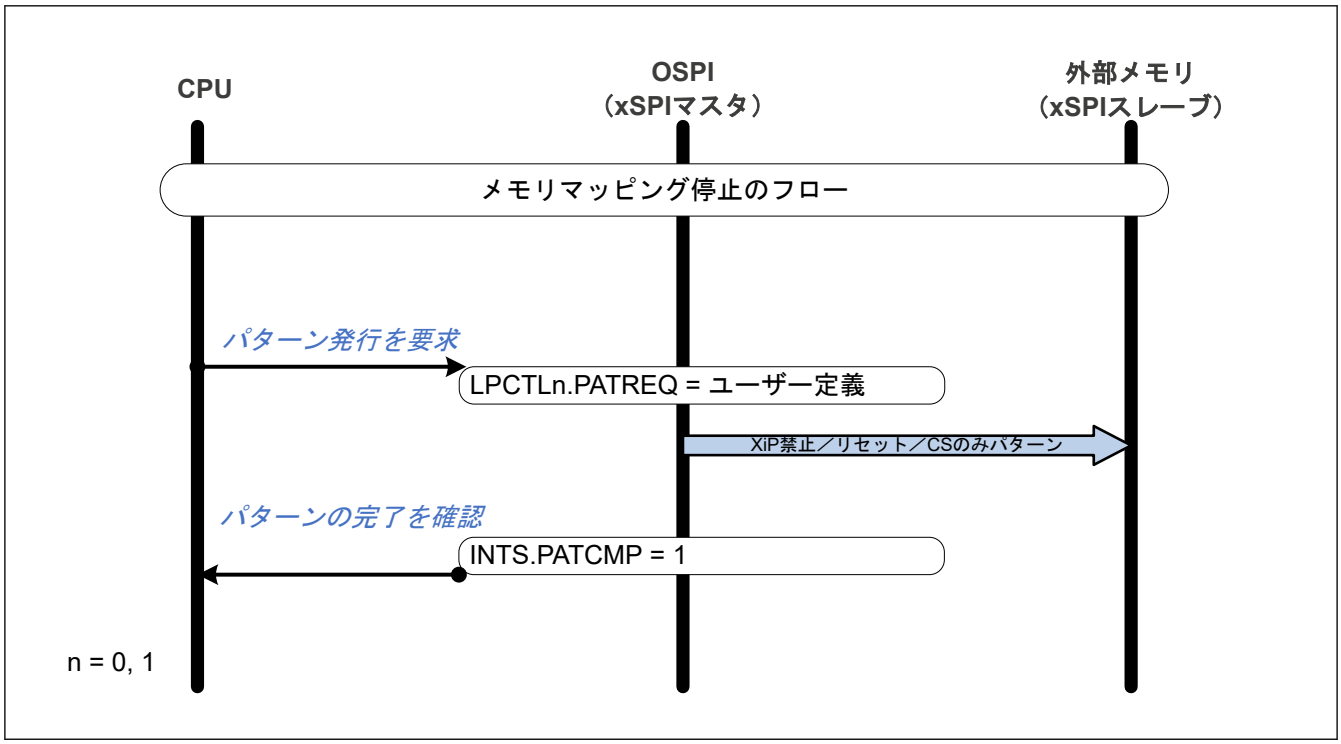


図 35.29　パターン要求のフロー

35.3.7.8 XiP モードのフロー

図 35.30 に XiP モード有効／無効のフローを示します。

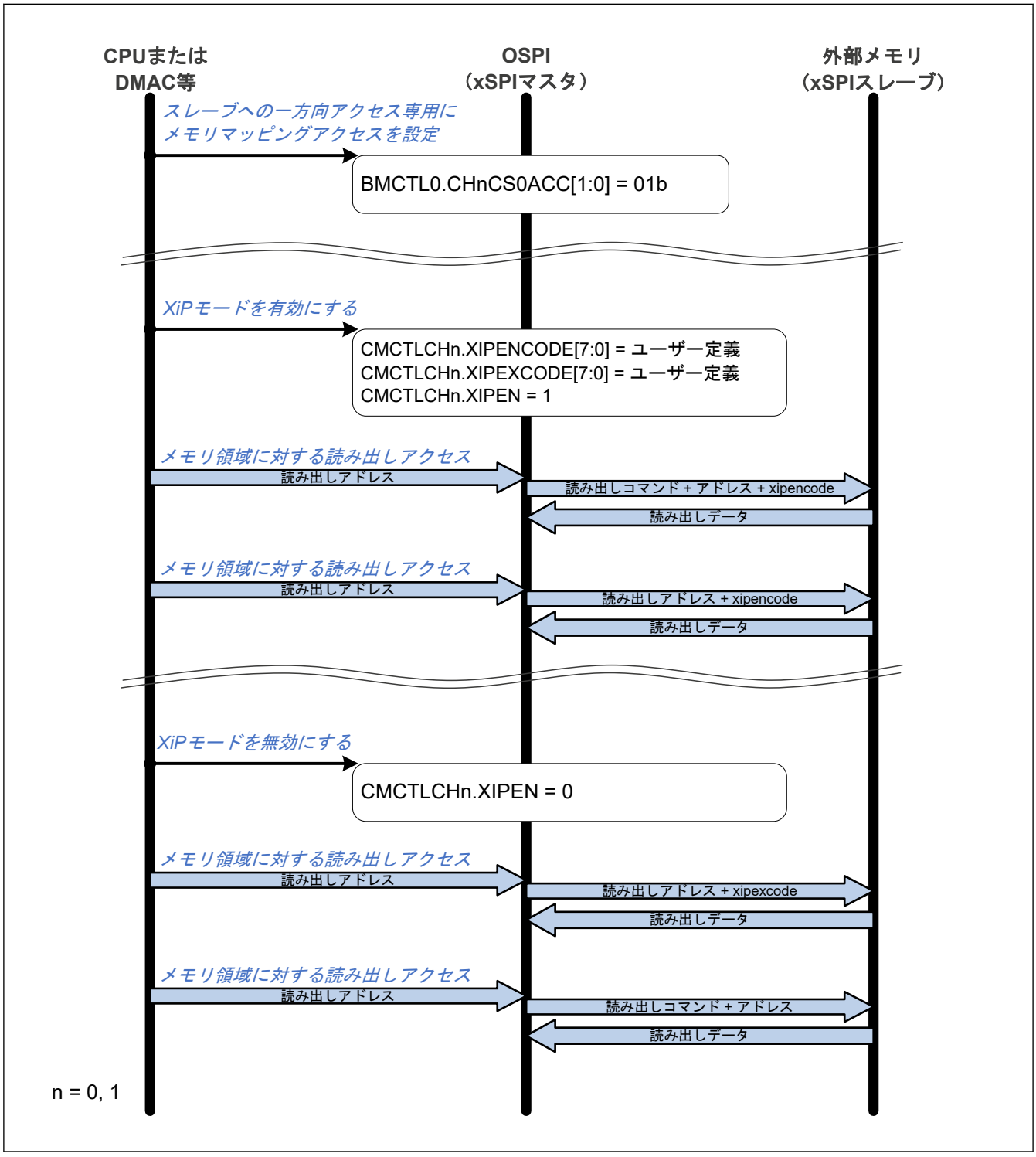


図 35.30 XiP モード有効／無効のフロー

35.3.7.9 書き込み動作中の読み出しのフロー

図 35.31 に、書き込み動作中の読み出しのフローの例を示します。

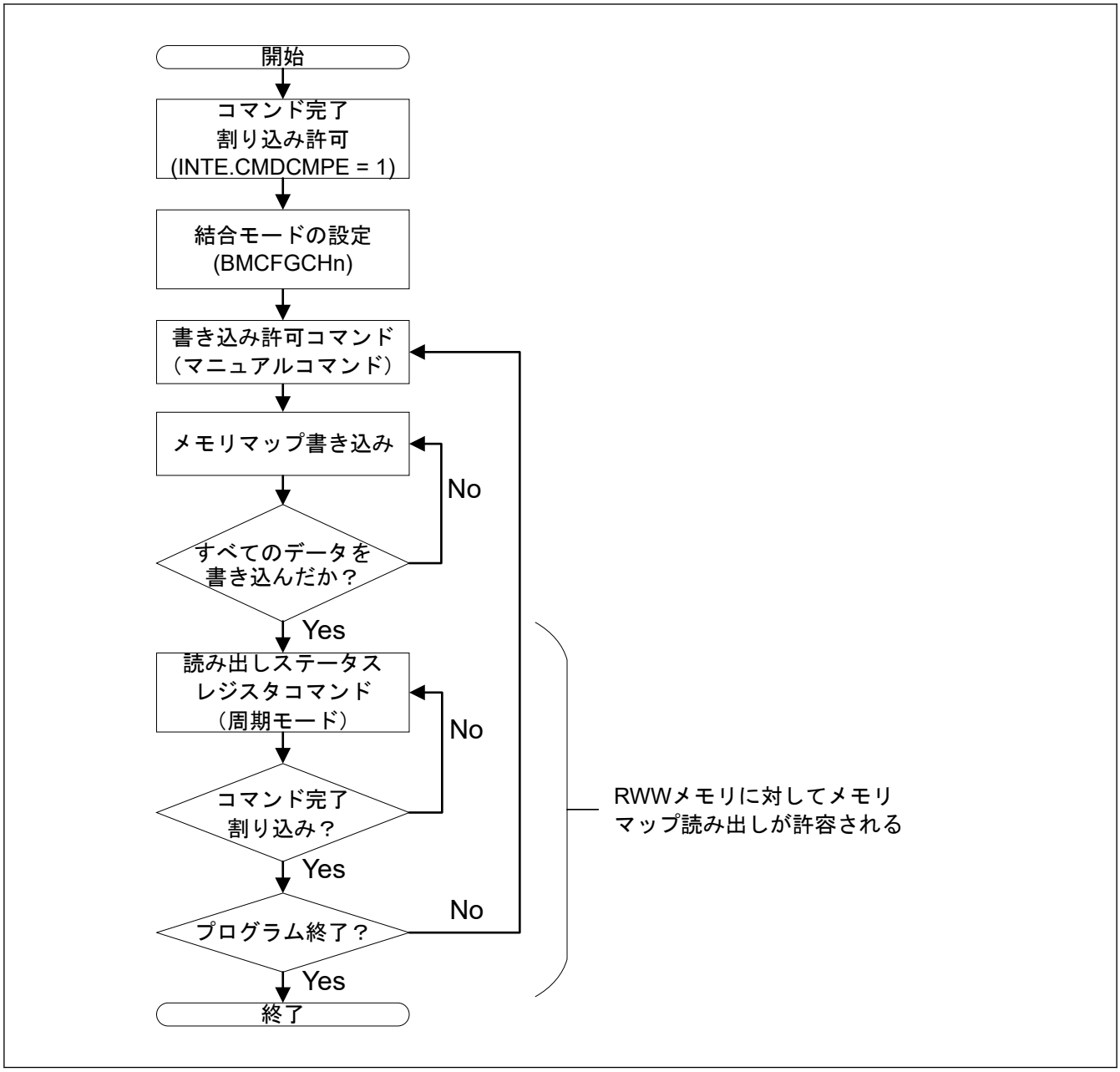


図 35.31　書き込み動作中の読み出しのフロー

35.4　使用上の注意事項

35.4.1　メモリアクセスに関する制限事項

メモリアクセスには以下の制限事項があります。

- アプリケーションが最終 128 バイト領域へアクセスする場合、プリフェッチ機能を使用しない

35.4.2　バースト長に関する制限事項

AXI バスマスタは、バースト長を 16 以下にしなければなりません。

35.4.3　メモリ書き込み結合モード

BMCFGCHn.MWRCOMB が 1 のとき、メモリ書き込み結合モードが有効です。ただし、バスマスタが CPU で OSPI のデータが 32 ビットより小さい場合は、結合は機能しません。表 35.11 に各バスマスタに対するデータ書き込みの可否を示します。

表 35.11 各バスマスタに対するデータ書き込みの可否

バスマスタ	結合有効	結合無効
CPU（64 ビットより小さいアクセス）	不可	可能
CPU（64 ビットアクセス）	可能	可能
DMAC/DTC	可能	可能
EDMAC	可能	可能
CEU	可能	可能

35.4.4 モジュールストップ機能

モジュールストップコントロールレジスタ B (MSTPCRB) により、OSPI の動作を無効または有効にすることができます。リセット後の初期状態で、OSPI モジュールは停止しています。モジュールストップ状態を解除すると、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

35.4.5 8D-8D-8D プロファイル 1.0 フォーマットの制限事項

以下の 8 ビット幅のバスマスタからオクタシリアルペリフェラルインタフェース (OSPI) への読み出しまたは書き込みアクセスが実行されるとき、奇数アドレスへのアクセスは正しく動作しないため禁止されています。各バスマスタに対して適用できる条件とその回避策について、表 35.12 を参照してください。

表 35.12 8D-8D-8D プロファイル 1.0 フォーマットの制限事項に対する回避策

バスマスタ		回避策が必要な条件	回避策
CPU	通常メモリ	デバッガが接続されている	偶数アドレスのみにアクセスする
	デバイスメモリ	常時	偶数アドレスのみにアクセスする
DMAC/DTC	DMAC	DMTMD.SZ[1:0] = 00b	偶数アドレスのみにアクセスする
	DTC	MRA.SZ[1:0] = 00b	偶数アドレスのみにアクセスする

35.4.6 8 ピン DDR モードのバイトデータ順序

8 ピン DDR モードでは、OSPI は、立ち上がりエッジでバイト 0、立ち下がりエッジでバイト 1 の順序でデータの読み出しと書き込みを行います。

一部のメモリデバイスは、8 ピン DDR モード時にスワップされた順序で読み出しと書き込みを行います。こうしたデバイスの場合、8 ピン DDR が 8 ピン DDR モード以外で書き込まれたデータを読み出すときは、このデータをスワップされた順序で書き込む必要があります。

36. オンザフライ復号 (DOTF)

DOTF のすべての動作が保証されるわけではありません。

36.1 概要

DOTF には AES コアを使用して AXI バスの読み出しデータを復号する機能があります。

表 36.1 に DOTF の仕様と DOTF を使用したシステムを示します。「35.1. 概要」を参照してください。

表 36.1 DOTF の仕様

項目	内容
クロックソース	レジスタクロック：PCLKB AES コアクロック：PCLKA
AES コア機能	• 外部メモリに格納された暗号化ソフトウェアのオンザフライ復号を使用 • ブロックサイズ：128 ビット • キーサイズ：128 ビット、192 ビット、256 ビット • 以下のブロック暗号モードに対応 – NIST SP800-38A に準拠したカウンタ (CTR) モード • サイドチャネルカウンタ測定機能に対応 • セルフテスト機能に対応 • Counter[127:0] = {IV[127:28], Address[31:4]}。ここで、Address は、128 ビット（16 バイト）の AES ブロックサイズにアラインされた、暗号化されたデータのメモリマッピングされたアドレスです。IV は、SP800-38A の付録 B に示されている推奨事項に従って選択してください。詳細は、「35. オクタシリアルペリフェラルインタフェース (OSPI)」と「4.1. アドレス空間」を参照してください。AES カウントモード動作の詳細については、NIST SP800-38A を参照してください。
改ざん防止	SPA/DPA とタイミング攻撃を含む、サイドチャネル攻撃に対して対策が利用可能
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減可能。OSPI のモジュールストップ機能と同様。
TrustZone フィルタ	各チャネルに対してセキュリティ属性とプリビレッジ属性を設定可能。OSPI の TrustZone フィルタと同様。

36.2 ブロック図

図 36.1 に DOTF のブロック図を示します。OSPI を含むブロック図については、図 35.1 を参照してください。

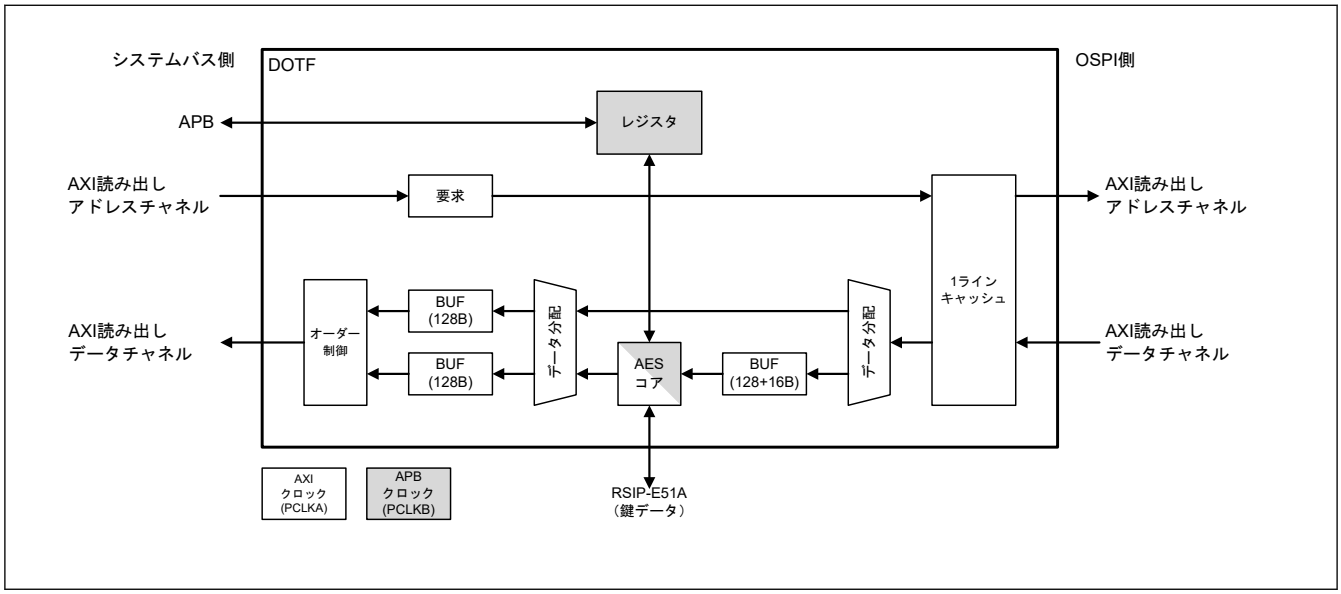


図 36.1 ブロック図

36.3 レジスタの説明

DOTF は全領域をアクセス可能領域とすることを許可します。ただし、復号処理が実行される領域は、全領域または 1 つの隣接した領域を指定することができます。CONVAREAST レジスタと CONAREAED レジスタにそれぞれ開始アドレスと終了アドレスを設定することにより、その領域を指定可能です。

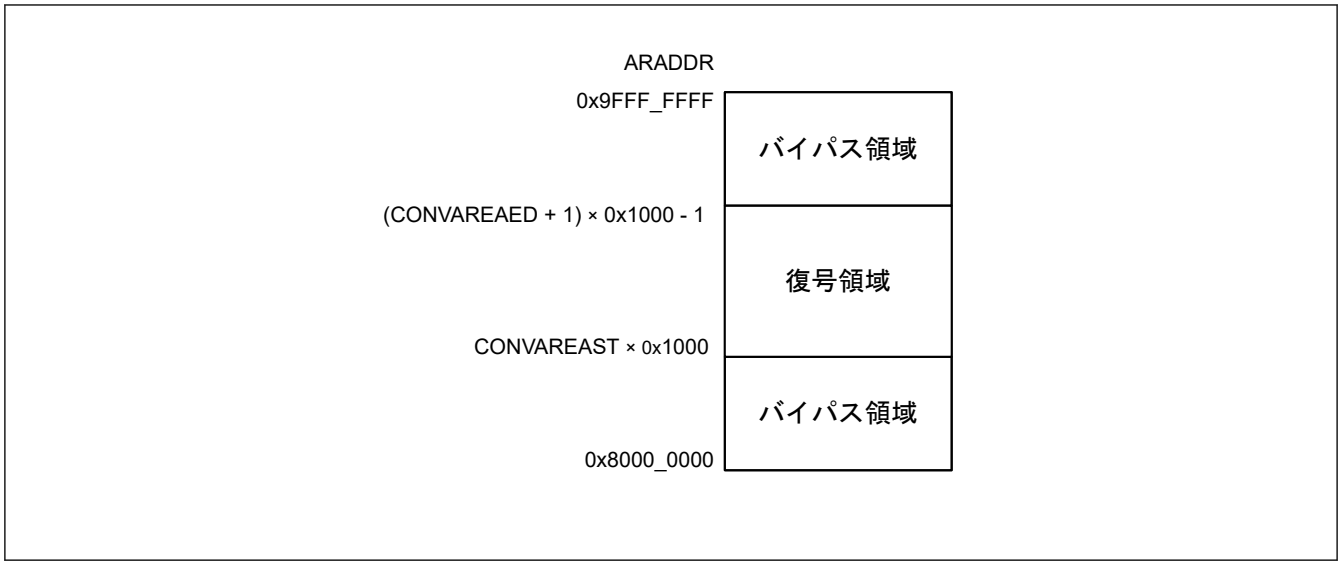


図 36.2　復号領域の設定

36.3.1　CONVAREAST : DOTF 変換領域開始アドレスレジスタ

Base address: DOTF0 = 0x4026_8800
DOTF0_NS = 0x5026_8800

Offset address: 0x00

Bit position:	31																			12											0
Bit field:	CONVAREAST[31:12]																			—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
11:0	—	読むと 0 が読めます。	R/W
31:12	CONVAREAST [31:12]	復号処理領域の最初のアドレス。実際のアドレスは CONVAREAST[31:12] × 0x1000。	R/W

注.　S-TYPE-3, P-TYPE-3

本ビットは復号処理領域の最初のアドレスを指定します。本ビットを AXI 転送要求の前に設定し、それ以上の変更はしないでください。CONVAREAST[31:12] > CONVAREAED[31:12]の設定は禁止です。

36.3.2　CONVAREAD : DOTF 変換領域終了アドレスレジスタ

Base address: DOTF0 = 0x4026_8800
DOTF0_NS = 0x5026_8800

Offset address: 0x04

Bit position:	31																			12											0
Bit field:	CONVAREAED[31:12]																			—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
11:0	—	読むと 0 が読めます。	R/W
31:12	CONVAREAED [31:12]	復号処理領域の最後のアドレス。実際のアドレスは (CONVAREAED[31:12] + 1) × 0x1000 - 1。	R/W

注.　S-TYPE-3, P-TYPE-3
注.　CONVAREAST[31:12] > CONVAREAED[31:12]の設定は禁止です。

本ビットは復号処理領域の最後のアドレスを指定します。本ビットを AXI 転送要求の前に設定し、それ以上の変更はしないでください。CONVAREAST[31:12] > CONVAREAED[31:12]の設定は禁止です。

36.4 動作説明

DOTF には 1 つの AXI リードスレーブインタフェースと 1 つの AXI リードマスタインタフェースがあります。

AXI スレーブアドレスチャネルで受信した AXI 転送要求は、AXI マスタリードアドレスチャネルに発行されます。スレーブデータは、AXI マスタリードデータチャネルから受信し、AXI スレーブリードデータチャネルに送信されます。

このとき、復号の必要性は要求アドレス領域によって決定されます。必要に応じて、復号されたデータは AES コアを介して送信されます。復号を必要としない場合は、受信応答は変換されずに送信されます。

36.5 システムフロー

図 36.3 にハードウェアリセット後の初期化フローを示します。

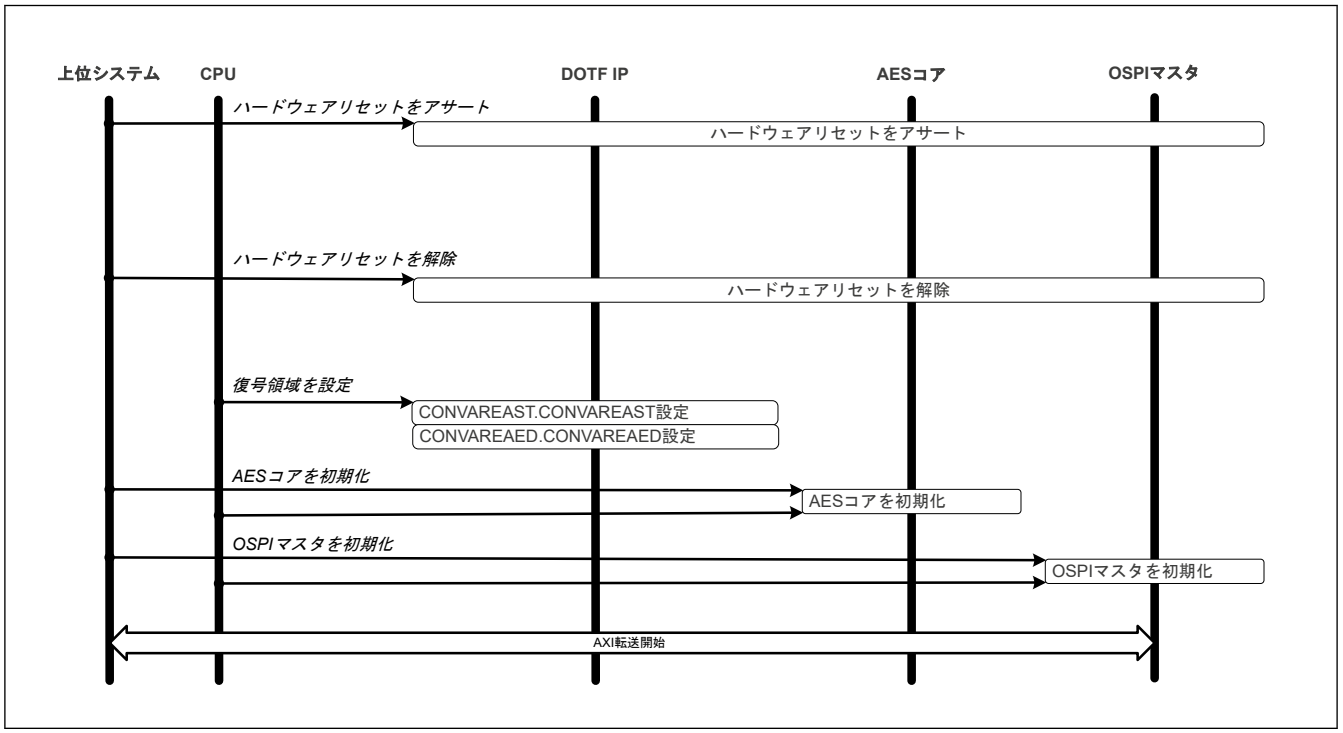


図 36.3 初期化フロー

36.6 使用上の注意事項

36.6.1 モジュールストップ機能

モジュールストップコントロールレジスタ B (MSTPCRB) により、DOTF の動作を無効または有効にすることができます。リセット後の初期状態で、DOTF モジュールは停止しています。モジュールストップ状態を解除すると、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

37. 拡張シリアルサウンドインタフェース (SSIE)

37.1 概要

シリアルサウンドインタフェース拡張 (SSIE) は、I2S、モノラル、TDM などのオーディオデータフォーマットに対応するさまざまなデバイスとの送受信を行うことができます。

表 37.1 に SSIE の仕様を示します。図 37.3、図 37.4、および図 37.5 に SSIE のブロック図を示します。表 37.4 に SCI の入出力端子を示します。

表 37.1 SSIE の仕様

項目		内容
チャネル数		SSIE0 と SSIE1 の 2 チャネル
通信モード		• マスタ／スレーブ • 送信／受信（SSIE0：全二重通信、SSIE1：半二重通信）
通信フォーマット		• I2S フォーマット • モノラルフォーマット • TDM フォーマット
シリアルデータ		• MSB ファースト • データは左詰めまたは右詰めが可能 • SSILRCKn/SSIFSn (n = 0, 1) から SSITXD0/SSIRXD0/SSIDATA1 までの期間は、データ遅延（1 クロックサイクル）、または遅延なしを選択可能 • システムワード長：8、16、24、32、48、64、128、または 256 ビット • データワード長：8、16、18、20、22、24、または 32 ビット • パディングの極性：Low または High
ビットクロック (SSIBCKn (n = 0, 1))	マスタモードの場合	• 2 つのクロックソースを利用可能（AUDIO_CLK/GPT 出力 (GTIOC2A)） • クロックソースの分周比：1/1、1/2、1/4、1/6、1/8、1/12、1/16、1/24、1/32、1/48、1/64、1/96、1/128 • 通信停止時は供給／停止を選択可能
	マスタ／スレーブモードの場合	• 極性（立ち上がりエッジまたは立ち下がりエッジ）を選択可能
LR クロック／フレーム同期 (SSILRCKn/ SSIFSn (n = 0, 1))	マスタモードの場合	• 極性（Low レベルまたは High レベル）を選択可能 • 通信停止時は供給／停止を選択可能
送信データ (SSITXD0/ SSIDATA1) および受信データ (SSIRXD0/ SSIDATA1)	送信	• ミュート手法（送信 FIFO データの送信または 0 固定データの送信）を選択可能
FIFO	容量	• 送信 FIFO／受信 FIFO：4 バイト × 32 段
	データアライメント	• FIFO とシフトレジスタ間のデータ転送に関するデータアライメント手法（左詰めまたは右詰め）を選択可能
割り込み	割り込み出力	• 通信エラー／アイドルモード • 受信データフル • 送信データエンプティ
消費電力低減機能		• マスタモードではオーディオクロックを供給するかどうかを選択可能
モジュールストップ機能		各チャネルをモジュールストップ状態に設定して消費電力の削減が可能
TrustZone フィルタ		各チャネルに対してセキュリティ属性とプリビレッジ属性を設定可能

下表に、SSIE が使用可能な通信フォーマットで使用される用語の一覧および定義を示します。

表 37.2　用語の定義

用語	定義
開始トリガ	通信を許可するために LRCKP で指定した値に設定されたときの SSILRCKn/SSIFSn (n = 0, 1) 端子上の信号の最初のエッジ
フレーム境界	SSIE がフレーム最初のデータを送信し始めるポイントまたは SSIE がフレーム最後のデータを送信し終えるポイント
フレームワード数	フレーム当たりのサウンドチャネル数
システムワード長	チャネル当たりのビット数
データワード長	チャネル当たりの有効ビット数
通信フォーマットに関する制御ビット	• SSICR レジスタ：FRM、DWL、SWL、LRCKP、SPDP、SDTA、PDTA、DEL の各ビット • SSIFCR レジスタ：BSW ビット • SSIOFR レジスタ：OMOD ビット • SSISCR レジスタ：TDES[4:0]ビットおよび RDFS[4:0]ビット

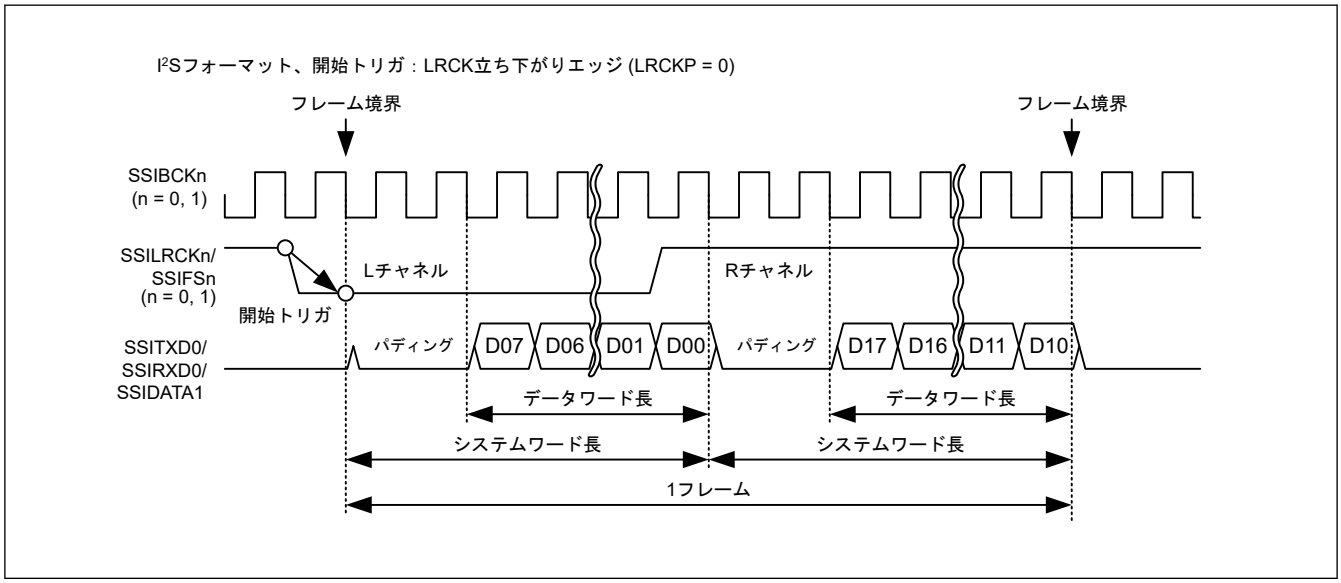


図 37.1　通信フォーマットの定義

図 37.2 と図 37.3 に、SSIE のブロック図を示します。

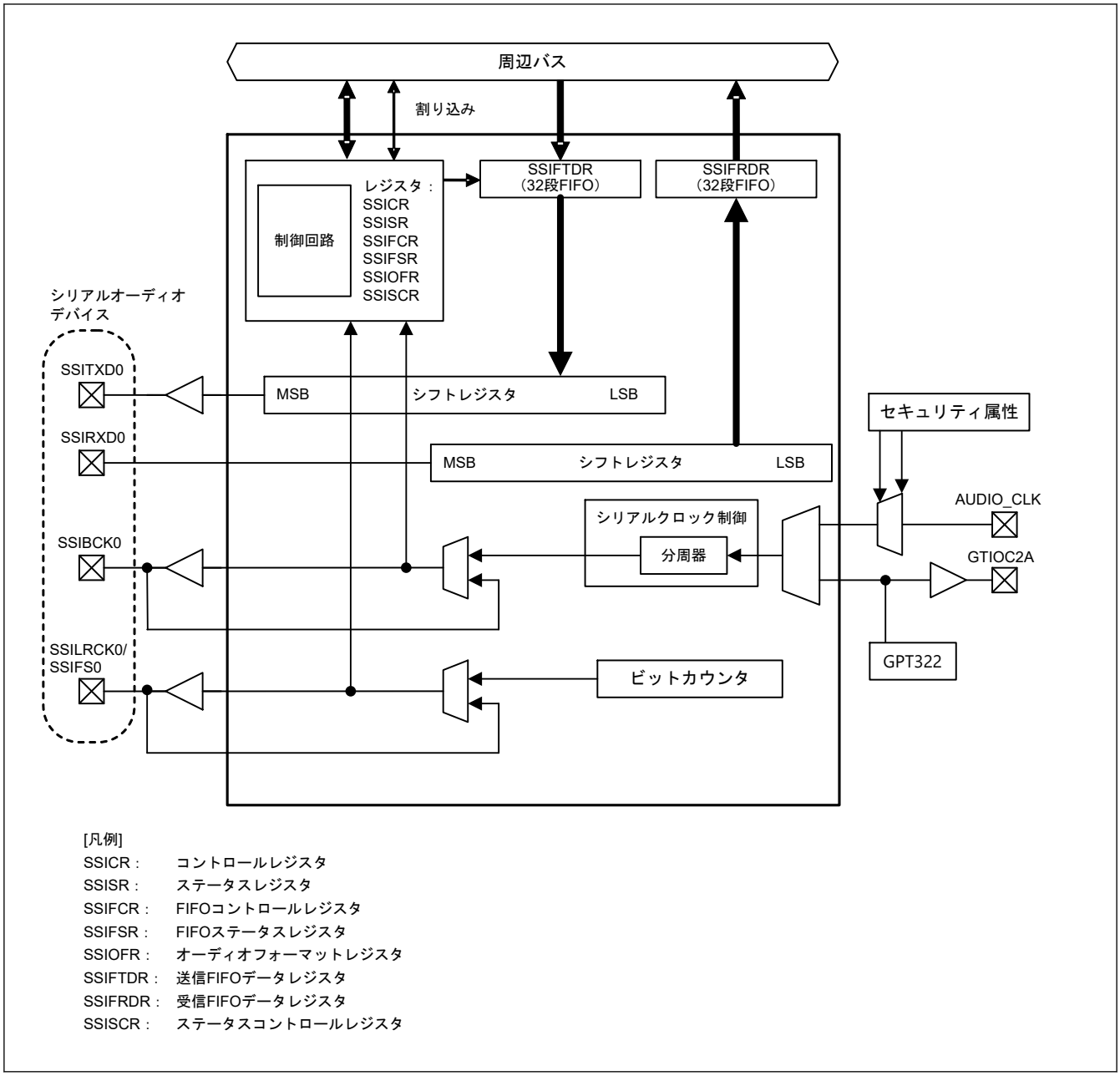


図 37.2 SSIE ブロック図 (SSIE0)

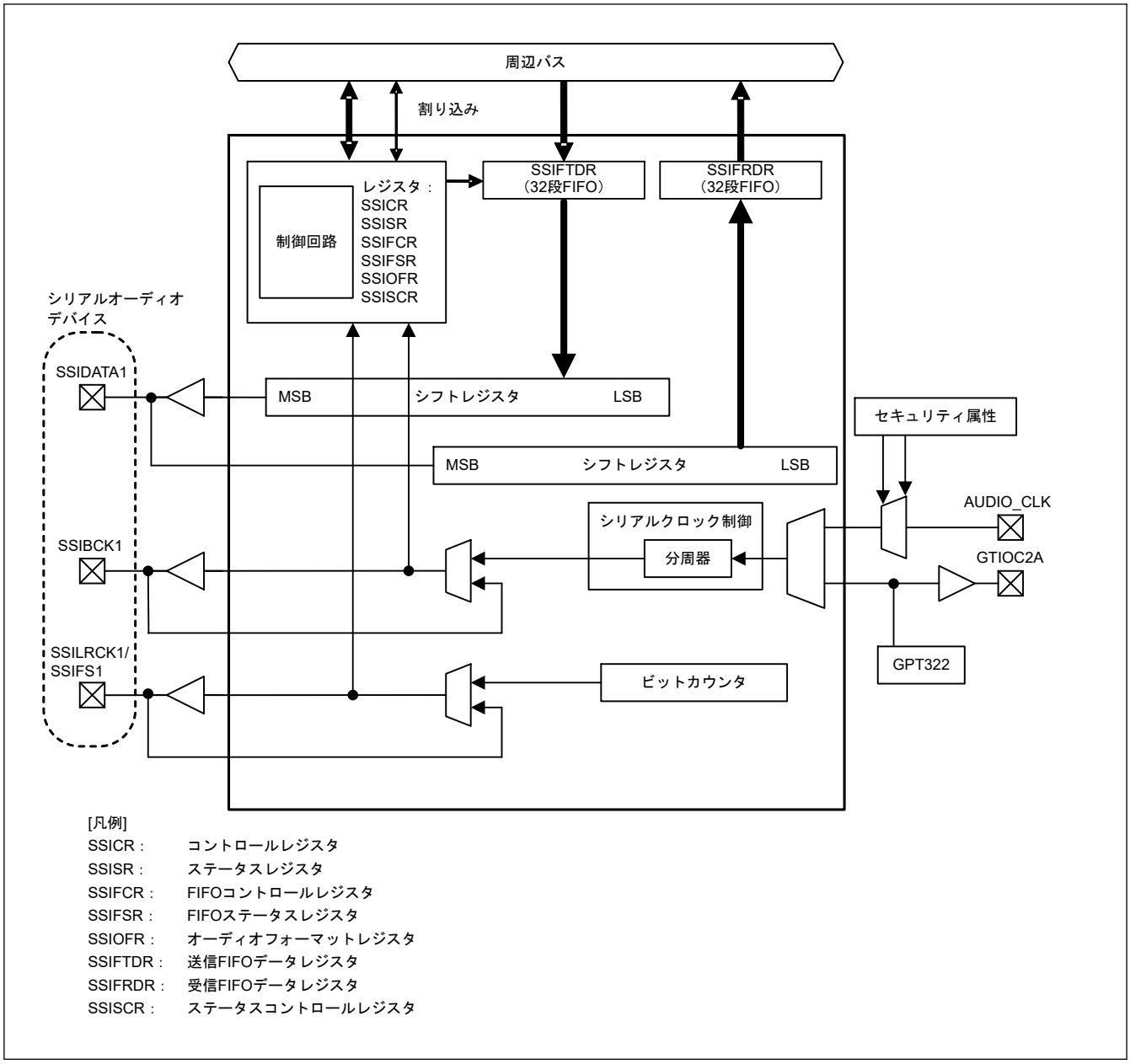


図 37.3 SSIE ブロック図 (SSIE1)

図 37.4 に、SSIE のクロック構成を示します。

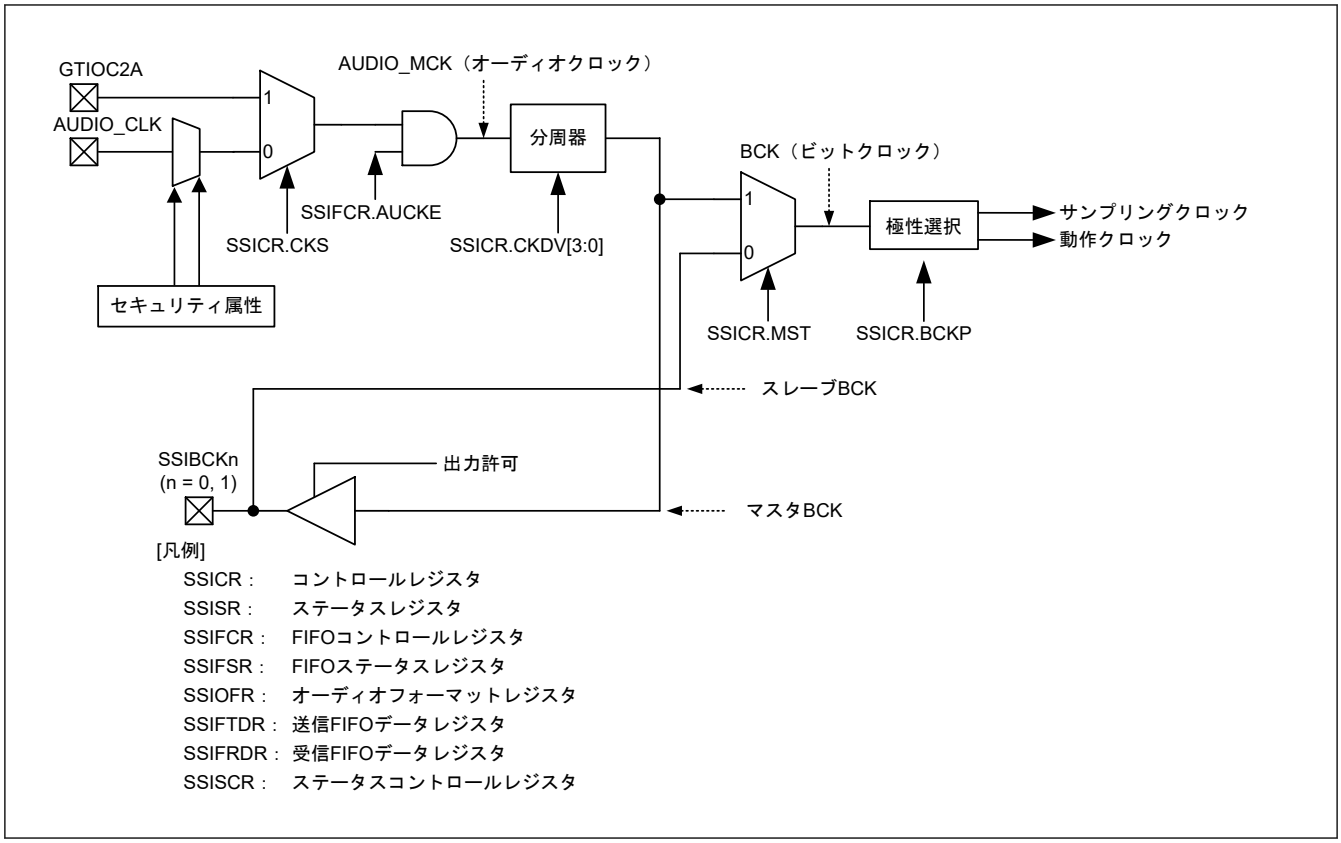


図 37.4　SSIE クロック構成

表 37.3 に示すように、ポートのセキュリティ属性、SSIE のセキュリティ属性、および SSICR.CKS ビットの設定に応じて AUDIO_CLK を入力することができます。

表 37.3　セキュリティ設定による AUDIO_CLK の入力条件

ポートセキュリティ属性 (PmSAR (m = 0 - 9, A, B))	SSIE0 セキュリティ属性 (PSARm (B - E))	SSIE0 の SSICR.CKS	SSIE1 セキュリティ属性 (PSARm (B - E))	SSIE1 の SSICR.CKS	AUDIO_CLK 端子入力
0（セキュア）	0（セキュア）	0 (AUDIO_CLK)	Don't care		AUDIO_CLK 入力許可
	Don't care		0（セキュア）	0 (AUDIO_CLK)	
1（非セキュア）	1（非セキュア）	Don't care	0（セキュア）	1 (GTIOC2A)	
			1（非セキュア）	Don't care	
	0（セキュア）	1 (GTIOC2A)	1（非セキュア）	Don't care	
	1（非セキュア）	Don't care			
上記以外					AUDIO_CLK 入力禁止

表 37.4 に入出力端子の一覧を示します。

表 37.4　SSIE の入出力端子 (1/2)

チャネル	端子名	入出力	機能
共通	SSIBLKn	入力	シリアルビットクロック端子
	AUDIO_CLK	入力	オーディオ用の外部クロック端子（入力オーバーサンプリングクロック）
	SSILRCKn/SSIFSn	出力	LR クロック／フレーム同期端子
SSIE0	SSIRXD0	入力	シリアルデータ入力端子
	SSITXD0	出力	シリアルデータ出力端子

表 37.4 SSIE の入出力端子 (2/2)

チャネル	端子名	入出力	機能
SSIE1	SSIDATA1	入出力	シリアルデータ入出力端子

注. n = 0, 1

37.2 レジスタの説明

37.2.1 SSICR : コントロールレジスタ

Base address: SSIEn = 0x4025_D000 + 0x0100 × n (n = 0, 1)
SSIEn_NS = 0x5025_D000 + 0x0100 × n (n = 0, 1)

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	—	FRM[1:0]		DWL[2:0]			SWL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	MST	BCKP	LRCKP	SPDP	SDTA	PDTA	DEL	CKDV[3:0]				MUEN	—	TEN	REN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	REN	受信許可(注2) 0: 受信禁止 1: 受信許可（受信開始）	R/W
1	TEN	送信許可(注2) 0: 送信禁止 1: 送信許可（送信開始）	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	MUEN	ミュート許可 0: 次のフレーム境界でミュート禁止 1: 次のフレーム境界でミュート許可	R/W
7:4	CKDV[3:0]	ビットクロック分周比選択(注1) 0x0: AUDIO_MCK 0x1: AUDIO_MCK/2 0x2: AUDIO_MCK/4 0x3: AUDIO_MCK/8 0x4: AUDIO_MCK/16 0x5: AUDIO_MCK/32 0x6: AUDIO_MCK/64 0x7: AUDIO_MCK/128 0x8: AUDIO_MCK/6 0x9: AUDIO_MCK/12 0xA: AUDIO_MCK/24 0xB: AUDIO_MCK/48 0xC: AUDIO_MCK/96 その他: 設定禁止	R/W
8	DEL	シリアルデータ遅延の選択(注1) モノラルフォーマットでは、このビットが SSILRCKn/SSIFSn (n = 0, 1) の波形を制御する。詳細については、「37.3.2. モノラルフォーマット」を参照してください。 0: SSILRCKn/SSIFSn (n = 0, 1) と SSITXD0/SSIRXD0/SSIDATA1 の間に、SSIBCKn (n = 0, 1) の 1 サイクル分の遅延あり 1: SSILRCKn/SSIFSn (n = 0, 1) と SSITXD0/SSIRXD0/SSIDATA1 の間に遅延なし	R/W
9	PDTA	プレースメントデータアライメントの選択(注1) 0: プレースメントデータを左詰めにする（SSIFTDR、SSIFRDR） 1: プレースメントデータを右詰めにする（SSIFTDR、SSIFRDR）	R/W

<table>
<tr><th>ビット</th><th>シンボル</th><th>機能</th><th>R/W</th></tr>
<tr><td>10</td><td>SDTA</td><td>シリアルデータアライメントの選択(注1)
0: シリアルデータの次にパディングビットを送受信する
1: パディングビットの次にシリアルデータを送受信する</td><td>R/W</td></tr>
<tr><td>11</td><td>SPDP</td><td>シリアルパディング極性の選択(注1)
0: パディングデータは Low レベル
1: パディングデータは High レベル</td><td>R/W</td></tr>
<tr><td>12</td><td>LRCKP</td><td>LR クロック／フレーム同期信号の初期値および極性の選択(注1)
0: 初期値は High レベル
フレームの開始トリガは SSILRCKn/SSIFSn (n = 0, 1) の立ち下がりエッジと同期される
1: 初期値は Low レベル
フレームの開始トリガは SSILRCKn/SSIFSn (n = 0, 1) の立ち上がりエッジと同期される</td><td>R/W</td></tr>
<tr><td>13</td><td>BCKP</td><td>ビットクロック極性の選択(注1)
0: SSILRCKn/SSIFSn (n = 0, 1) と SSITXD0/SSIRXD0/SSIDATA1 は、立ち下がりエッジで変化（SSILRCKn/SSIFSn (n = 0, 1) と SSIRXD0/SSIDATA1 は、SSIBCKn (n = 0, 1) の立ち上がりエッジでサンプリング）
1: SSILRCKn/SSIFSn (n = 0, 1) と SSITXD0/SSIRXD0/SSIDATA1 は、立ち上がりエッジで変化（SSILRCKn/SSIFSn (n = 0, 1) と SSIRXD0/SSIDATA1 は、SSIBCKn (n = 0, 1) の立ち下がりエッジでサンプリング）</td><td>R/W</td></tr>
<tr><td>14</td><td>MST</td><td>マスタ有効化(注1)
0: スレーブモード通信
1: マスタモード通信</td><td>R/W</td></tr>
<tr><td>15</td><td>—</td><td>読むと 0 が読めます。書く場合、0 としてください。</td><td>R/W</td></tr>
<tr><td>18:16</td><td>SWL[2:0]</td><td>システムワード長の選択(注1)
0 0 0: 8 ビット
0 0 1: 16 ビット
0 1 0: 24 ビット
0 1 1: 32 ビット
1 0 0: 48 ビット
1 0 1: 64 ビット
1 1 0: 128 ビット
1 1 1: 256 ビット</td><td>R/W</td></tr>
<tr><td>21:19</td><td>DWL[2:0]</td><td>データワード長の選択(注1)
0 0 0: 8 ビット
0 0 1: 16 ビット
0 1 0: 18 ビット
0 1 1: 20 ビット
1 0 0: 22 ビット
1 0 1: 24 ビット
1 1 0: 32 ビット
1 1 1: 設定禁止</td><td>R/W</td></tr>
<tr><td>23:22</td><td>FRM[1:0]</td><td>フレームワード数の選択(注1)
<table>
<tr><th></th><th colspan="3">通信フォーマット (SSIOFR.OMOD[1:0])</th></tr>
<tr><td>FRM[1:0]</td><td>I²S (00b)</td><td>モノラル (10b)</td><td>TDM (01b)</td></tr>
<tr><td>00b</td><td>2</td><td>1</td><td>設定禁止</td></tr>
<tr><td>01b</td><td rowspan="3">設定禁止</td><td rowspan="3">設定禁止</td><td>4</td></tr>
<tr><td>10b</td><td>6</td></tr>
<tr><td>11b</td><td>8</td></tr>
</table></td><td>R/W</td></tr>
<tr><td>24</td><td>—</td><td>読むと 0 が読めます。書く場合、0 としてください。</td><td>R/W</td></tr>
<tr><td>25</td><td>IIEN</td><td>アイドルモード割り込み出力の許可
0: アイドルモード割り込み出力禁止
1: アイドルモード割り込み出力許可</td><td>R/W</td></tr>
</table>

ビット	シンボル	機能	R/W
26	ROIEN	受信オーバーフロー割り込み出力の許可 0: 受信オーバーフロー割り込み出力禁止 1: 受信オーバーフロー割り込み出力許可	R/W
27	RUIEN	受信アンダーフロー割り込み出力の許可 0: 受信アンダーフロー割り込み出力禁止 1: 受信アンダーフロー割り込み出力許可	R/W
28	TOIEN	送信オーバーフロー割り込み出力許可 0: 送信オーバーフロー割り込み出力禁止 1: 送信オーバーフロー割り込み出力許可	R/W
29	TUIEN	送信アンダーフロー割り込み出力の許可 0: 送信アンダーフロー割り込み出力禁止 1: 送信アンダーフロー割り込み出力許可	R/W
30	CKS	マスタモード通信に関するオーディオクロックの選択(注1) 0: AUDIO_CLK 入力を選択する 1: GTIOC2A（GPT 出力）を選択する	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3
注 1. SSIE が通信状態 (SSISR.IIRQ = 0) の間、これらのビットへの書き込みは禁止されています。書き換えによってこれらのビットの値が変化した場合、以降の動作は予測できません。
注 2. TEN ビットまたは REN ビットが書き換えられた場合は、SSISR.IIRQ ビットが目的の状態になっていることを確認してください。書き換えによって TEN または REN ビットの値が変化した場合、以降の動作は予測できません。たとえば、送受信許可のときは SSISR.IIRQ が 0 であることを、送受信禁止のときは SSISR.IIRQ が 1 であることを確認してください。

このレジスタは、オーディオクロックの選択、割り込み要求のコントロール、データフォーマットの選択、動作モードの設定を行います。

TEN および REN ビット（送信および受信の許可）

TEN ビットは送信の許可／禁止を、REN ビットは受信の許可／禁止を行います。これらのビットのいずれかに 1 が書き込まれると、SSILRCKn/SSIFSn (n = 0, 1) 信号による開始トリガと同期して、対応する通信動作が始まります。詳細については、「37.6.2. 送信」～「37.6.4. 送受信」を参照してください。このビットに 0 が書き込まれると、現在の通信動作が次のフレーム境界で停止します。送信および受信の両方で SSIE を使用するには、両方のビットに常に 1 を書き込みます。SSIE を使った通信を停止するときは、常に送信および受信の両方を禁止します（TEN および REN ビットに 0 を書き込む）。

フレーム境界の到達前に SSIE を停止したい場合は、ソフトウェアリセット手順を実行します。

MUEN ビット（ミュート許可）

MUEN ビットは、SSITXD0/SSIDATA1 端子からの出力データのミュート機能を設定／解除します。フレームの中間部分でビットを 1 にすると、SSITXD0/SSIDATA1 出力は、次のフレーム境界で 0 に変わります。フレームの中間部分でビットを 0 にすると、SSITXD0/SSIDATA1 出力は、次のフレーム境界で送信 FIFO データレジスタのデータに変わります。このビットは、データに対してのみ制御します。ステータスフラグと割り込み信号が、通常は生成されます。

このビットの値変更は、使用する通信フォーマットの設定後に実行されなければなりません。

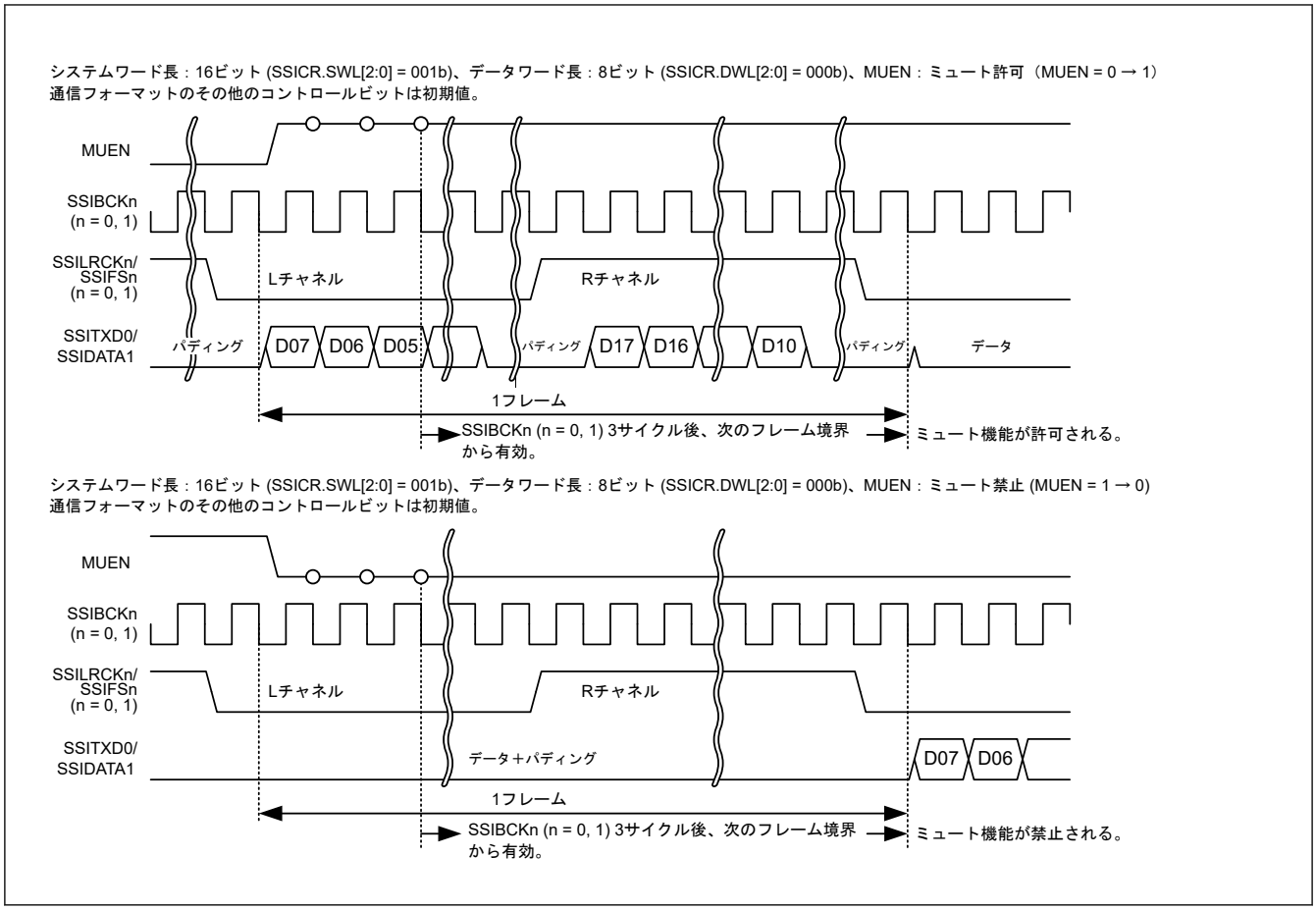


図 37.5　ミュート機能設定時のデータ送信

CKDV[3:0]ビット（ビットクロック分周比選択）

CKDV[3:0]ビットは、マスタモード通信時 (MST = 1) に AUDIO_MCK に基づいてビットクロックの分周比を設定します。スレーブモード通信時 (MST = 0) は、これらのビット設定は無効です。

このビットへの書き込みは、AUDIO_MCK の供給停止中に実行されなければなりません。タイミングの詳細については、「37.2.3. SSIFCR : FIFO コントロールレジスタ」の AUCKE ビットに関する詳細説明を参照してください。

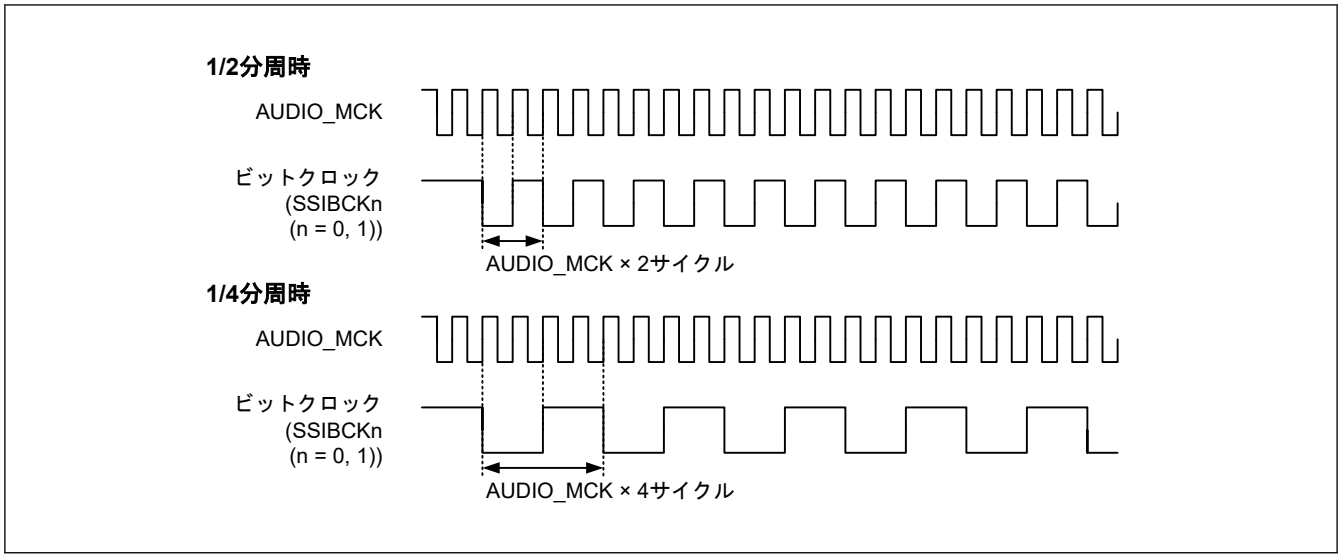


図 37.6　マスタモード通信時のサンプリング周波数

DEL ビット（シリアルデータ遅延の選択）

DEL ビットは、SSILRCKn/SSIFSn (n = 0, 1) と SSITXD0/SSIRXD0/SSIDATA1 の間の、遅延の有無を設定します。

I^2S または TDM フォーマットの場合は、DEL ビットを 0 に設定します。モノラルフォーマット使用時は、このビットを設定することで、SSILRCKn/SSIFSn (n = 0, 1) が High になっている期間の幅を変更します。詳細は、「37.3.2. モノラルフォーマット」を参照してください。互換性のある通信フォーマット使用時は、通信が許可されるようにこのビットを設定してください。

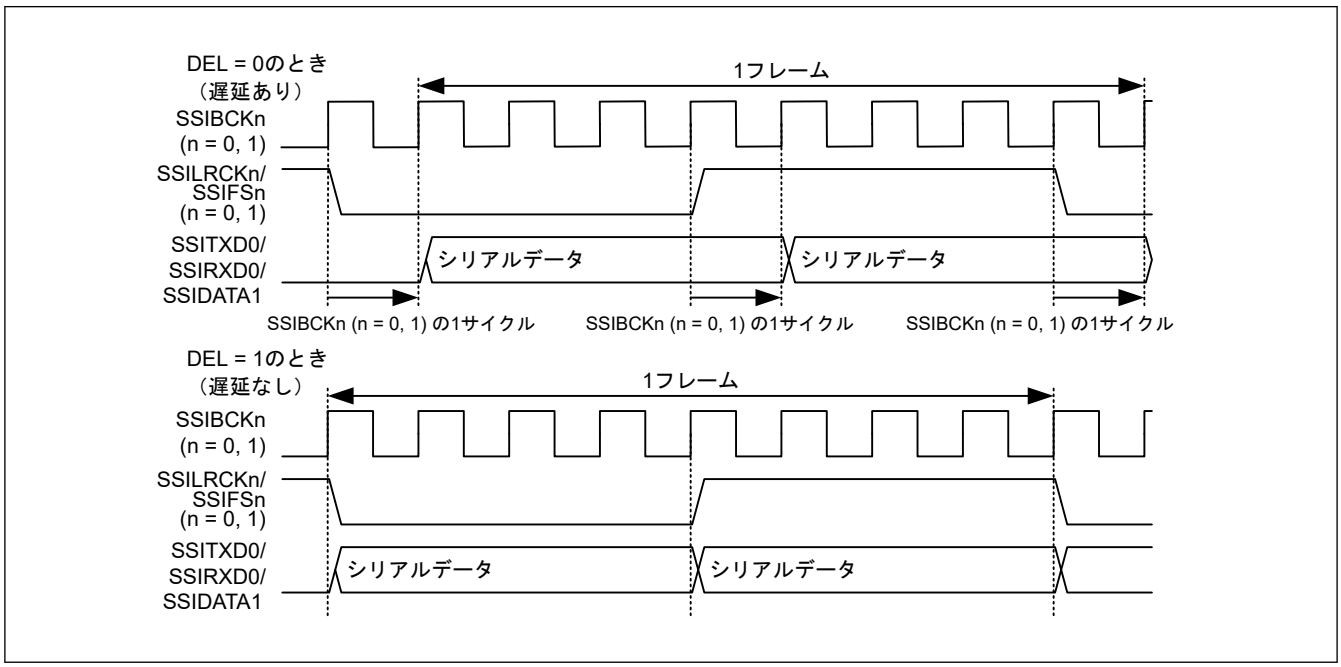


図 37.7　シリアルデータにおける遅延の設定

PDTA ビット（プレースメントデータアライメントの選択）

PDTA ビットは、プレースメントデータのアライメント方法を設定します。データワード長を 32 ビットに設定しているとき (SSICR.DWL[2:0] = 110b) は、このビットは無効です。

送信時については、図 37.8 を参照してください。

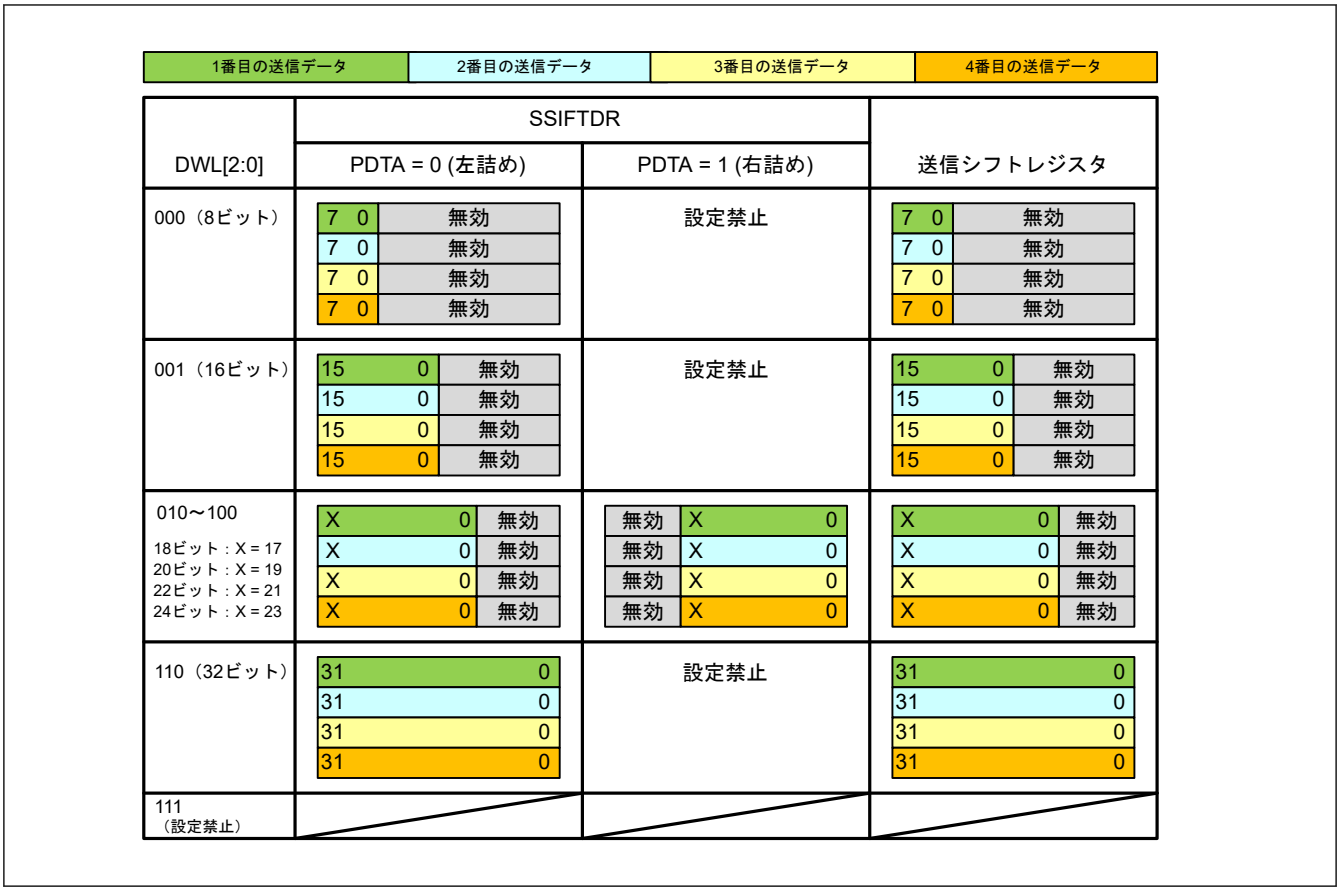


図 37.8　送信時のプレースメントデータのアライメント

受信時については、図 37.9 を参照してください。

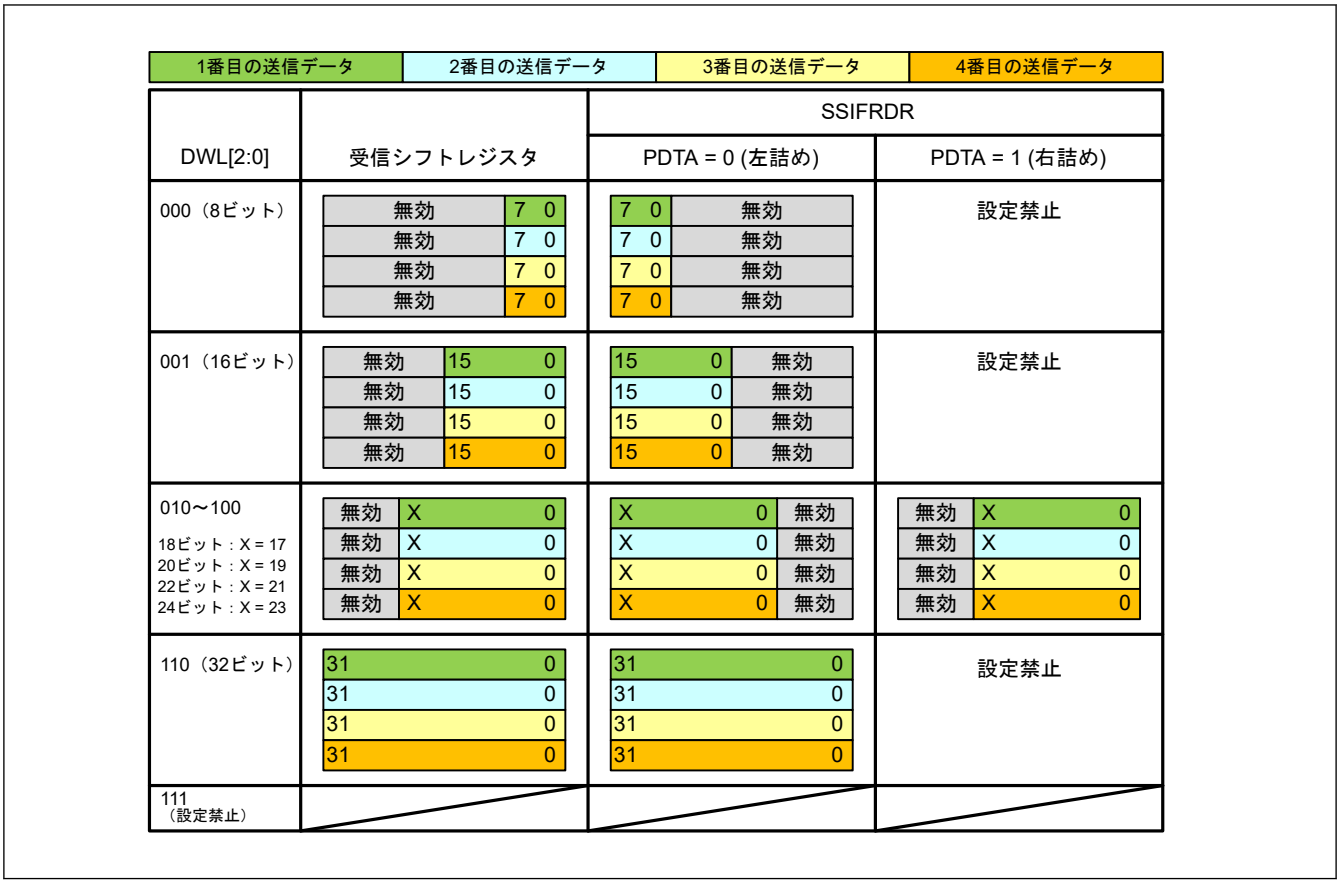


図 37.9　受信時のプレースメントデータのアライメント

SDTA ビット（シリアルデータ遅延の選択）

SDTA ビットは、シリアルデータおよびパディングビットのアライメント方法を設定します。パディングビットのない通信時は、このビットは無効です。

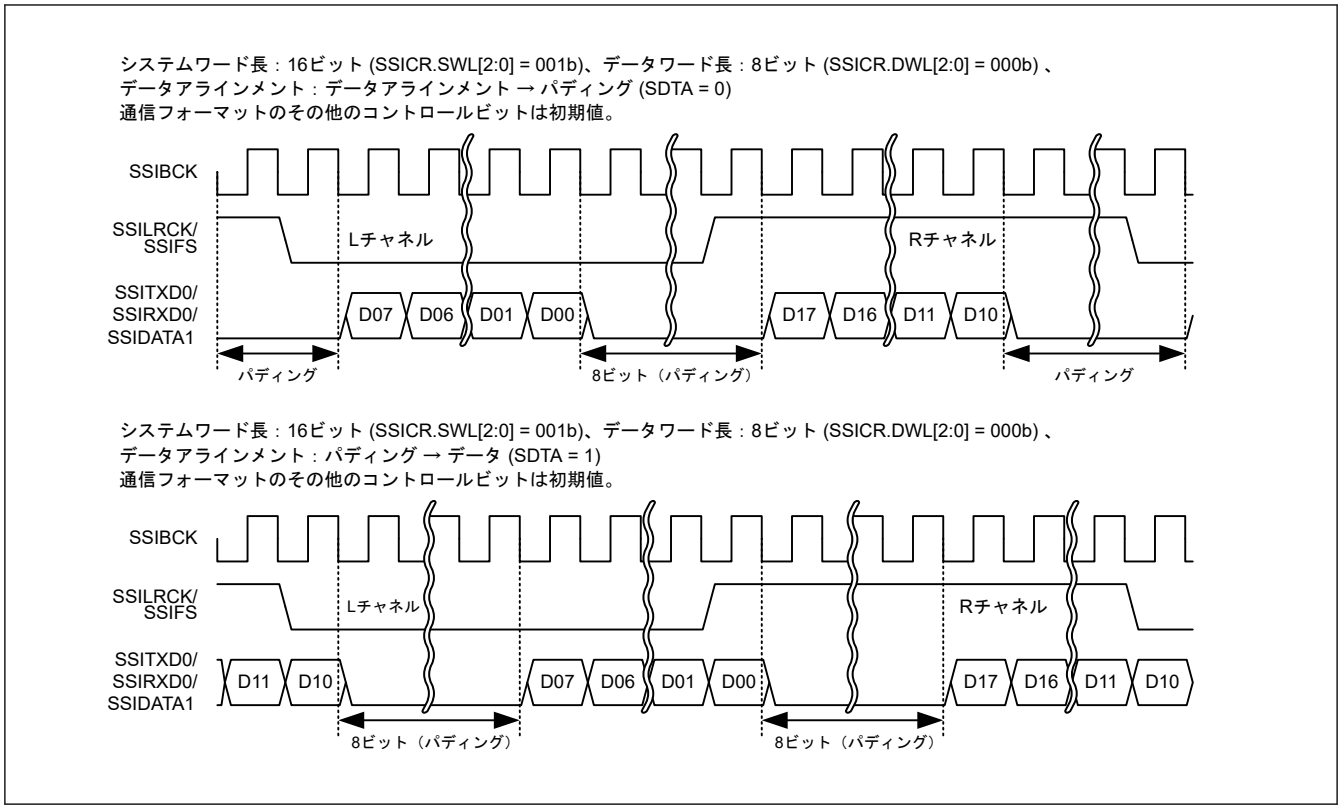


図 37.10　パディングビットを伴うシリアルデータのアライメント設定

SPDP ビット（シリアルパディング極性の選択）

SPDP ビットは、パディングビットの極性を設定します。

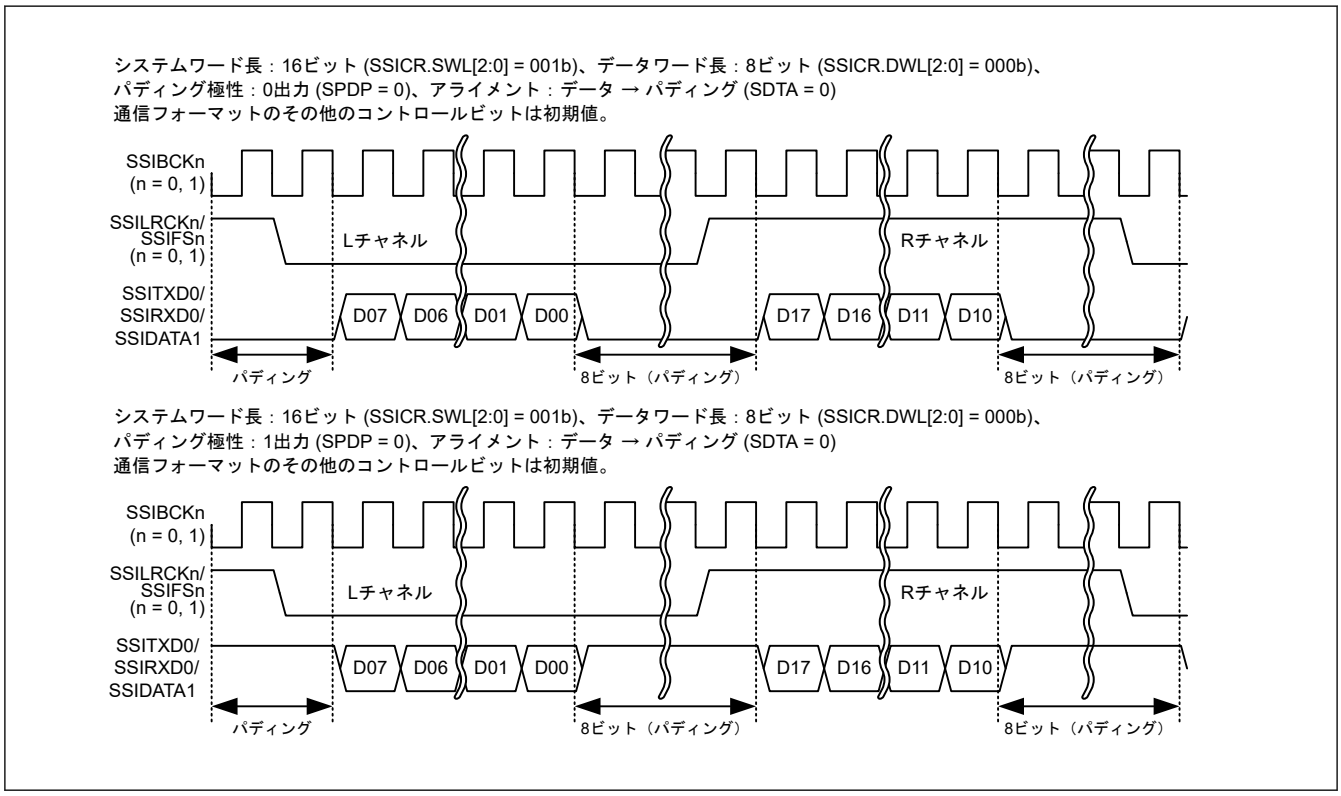


図 37.11　パディングビットの極性

LRCKP ビット（LR クロック／フレーム同期信号の初期値および極性の選択）

LRCKP ビットは、SSILRCKn/SSIFSn (n = 0, 1) の初期値および極性を設定します。このビットは、SSIE で使用する通信フォーマットに基づいて設定してください。表 37.5（「SSILRCKn/SSIFSn (n = 0, 1) 端子の初期出力値および極性」）を参照してください。スレーブモード通信時 (MST = 0) に使用されるのは開始トリガのみです。

これらのビットへの書き込みは、SSILRCKn/SSIFSn (n = 0, 1) 端子への LR クロックの供給が停止しているときに実行しなければなりません。LR クロックの出力に関する詳細は、「37.2.7. SSIOFR : オーディオフォーマットレジスタ」の LRCONT ビットの詳細説明を参照してください。

表 37.5　SSILRCKn/SSIFSn (n = 0, 1) 端子の初期出力値および極性

通信フォーマット	期待される初期状態	LRCKP の設定値
I^2S	High	0
モノラル	Low	1
TDM	Low	1

注.　使用するフォーマットが I^2S、モノラル、または TDM フォーマットと互換性がある場合、各フォーマットとの通信を有効化する設定を指定してください。

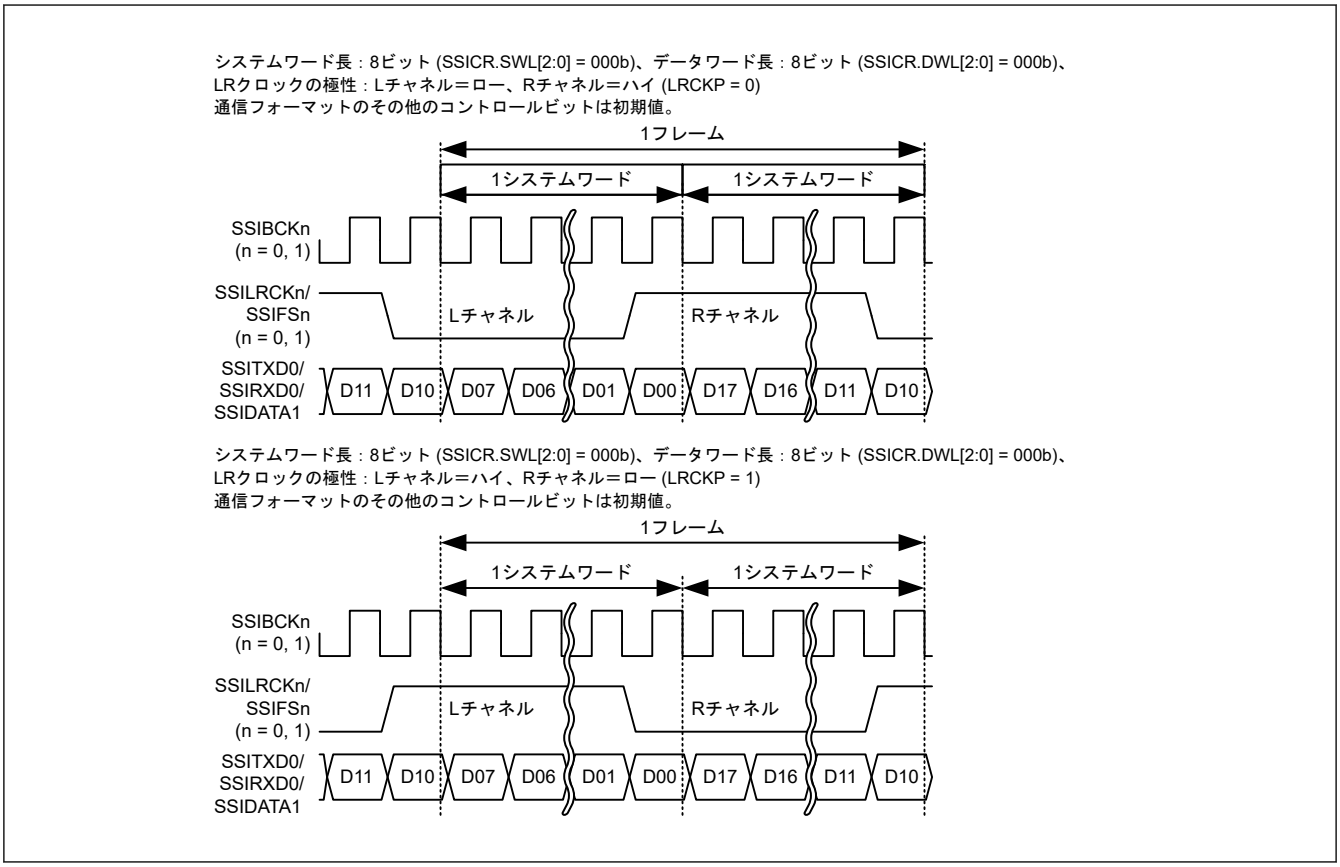


図 37.12　LR クロック／フレーム同期極性設定

BCKP ビット（ビットクロック極性の選択）

BCKP ビットは、ビットクロックの極性を設定します。

このビットへの書き込みは、AUDIO_MCK の供給停止中に実行されなければなりません。タイミングの詳細については、「37.2.3. SSIFCR : FIFO コントロールレジスタ」の AUCKE ビットに関する詳細説明を参照してください。

表 37.6 ビットクロックの極性

通信	マスタ／スレーブ	タイミング	BCKP = 0	BCKP = 1
受信	スレーブ	SSILRCKn/SSIFSn (n = 0, 1) のサンプリング実行時	SSIBCKn (n = 0, 1) 立ち上がりエッジ	SSIBCKn (n = 0, 1) 立ち下がりエッジ
	マスタ／スレーブ	SSIRXD0/SSIDATA1 サンプリング時	SSIBCKn (n = 0, 1) 立ち上がりエッジ	SSIBCKn (n = 0, 1) 立ち下がりエッジ
送信	マスタ	SSILRCKn/SSIFSn (n = 0, 1) 出力の変更時	SSIBCKn (n = 0, 1) 立ち下がりエッジ	SSIBCKn (n = 0, 1) 立ち上がりエッジ
	マスタ／スレーブ	SSITXD0/SSIDATA1 出力の変化時	SSIBCKn (n = 0, 1) 立ち下がりエッジ	SSIBCKn (n = 0, 1) 立ち上がりエッジ

MST ビット（マスタ有効化）

MST ビットは、マスタ／スレーブモード通信を設定します。

このビットへの書き込みは、AUDIO_MCK の供給停止中に実行されなければなりません。タイミングの詳細については、「37.2.3. SSIFCR : FIFO コントロールレジスタ」の AUCKE ビットに関する詳細説明を参照してください。

SWL[2:0]ビット（システムワード長の選択）

SWL[2:0]ビットは、1 システムワードのビット数を設定します。パディングビットは、DWL[2:0]で設定される 1 データワードと関連して送受信されます。詳細については、表 37.13 を参照してください。

これらのビットへの書き込みは、SSILRCKn/SSIFSn (n = 0, 1) 端子への LR クロックの供給が停止しているときに実行しなければなりません。LR クロックの出力に関する詳細は、「37.2.7. SSIOFR : オーディオフォーマットレジスタ」の LRCONT ビットの詳細説明を参照してください。

DWL[2:0]ビット（データワード長の選択）

DWL[2:0]ビットは、1 データワードのビット数を設定します。データワード長（データワードあたりのビット数）は、システムワード長（システムワードあたりのビット数）を超えてはいけません。詳細については、表 37.13 を参照してください。

FRM[1:0]ビット（フレームワード数の選択）

FRM[1:0]ビットは、各通信フォーマットのフレームワード数を設定します。

これらのビットへの書き込みは、SSILRCKn/SSIFSn (n = 0, 1) 端子への LR クロックの供給が停止しているときに実行しなければなりません。LR クロックの出力に関する詳細は、「37.2.7. SSIOFR : オーディオフォーマットレジスタ」の LRCONT ビットの詳細説明を参照してください。

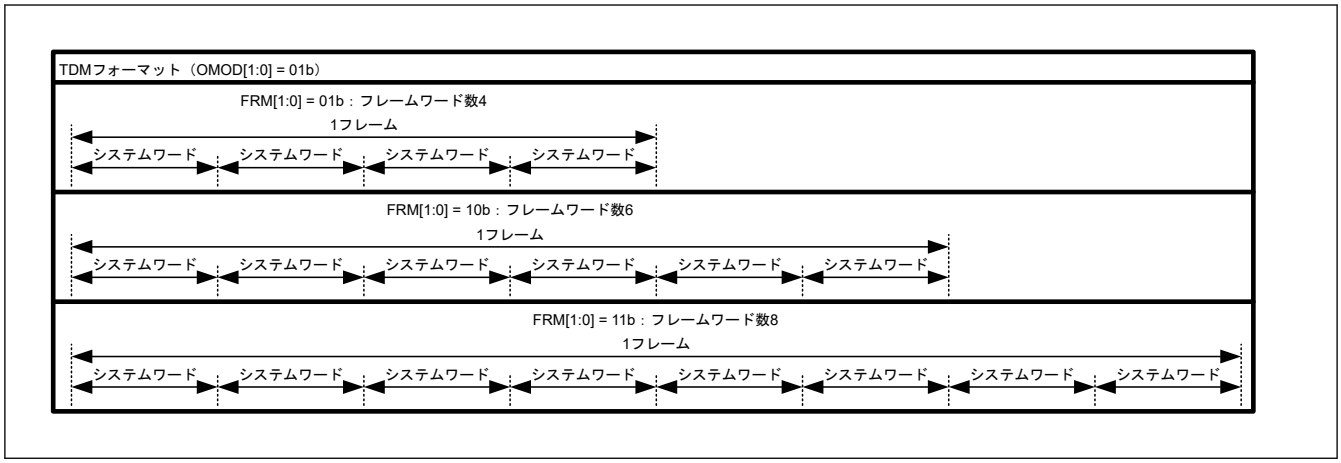


図 37.13 フレームワード数

IIEN ビット（アイドルモード割り込み出力の許可）

IIEN ビットは、アイドルモード割り込み出力を許可／禁止します。このビットを許可（1 に設定）すると、SSISR.IIRQ = 1 の立ち上がりエッジで割り込みが出力されます。SSISR.IIRQ = 1 の間にこのビットが 0 から 1 に変化したときにも、割り込みが出力されます。

ROIEN ビット（受信オーバーフロー割り込み出力の許可）

ROIEN ビットは、受信オーバーフロー割り込み出力を許可／禁止します。このビットを許可（1 に設定）すると、SSISR.ROIRQ = 1 の立ち上がりエッジで割り込みが出力されます。SSISR.ROIRQ = 1 の間にこのビットが 0 から 1 に変化したときにも、割り込みが出力されます。

RUIEN ビット（受信アンダーフロー割り込み出力の許可）

RUIEN ビットは、受信アンダーフロー割り込み出力を許可／禁止します。このビットを許可（1 に設定）すると、SSISR.RUIRQ = 1 の立ち上がりエッジで割り込みが出力されます。SSISR.RUIRQ = 1 の間にこのビットが 0 から 1 に変化したときにも、割り込みが出力されます。

TOIEN ビット（送信オーバーフロー割り込み出力許可）

TOIEN ビットは、送信オーバーフロー割り込み出力を許可／禁止します。このビットを許可（1 に設定）すると、SSISR.TOIRQ = 1 の立ち上がりエッジで割り込みが出力されます。SSISR.TOIRQ = 1 の間にこのビットが 0 から 1 に変化したときにも、割り込みが出力されます。

TUIEN ビット（送信アンダーフロー割り込み出力の許可）

TUIEN ビットは、送信アンダーフロー割り込み出力を許可／禁止します。このビットを許可（1 に設定）すると、SSISR.TUIRQ=1 の立ち上がりエッジで割り込みが出力されます。SSISR.TUIRQ = 1 の間にこのビットが 0 から 1 に変化したときにも、割り込みが出力されます。

CKS ビット（マスタモード通信に関するオーディオクロックの選択）

CKS ビットは、マスタモード通信時 (MST = 1) のオーディオクロックを設定します。スレーブモード通信時 (MST = 0) は、このビットの設定は無効です。

このビットへの書き込みは、AUDIO_MCK の供給停止中に実行されなければなりません。タイミングの詳細については、「37.2.3. SSIFCR : FIFO コントロールレジスタ」の AUCKE ビットに関する詳細説明を参照してください。

37.2.2 SSISR : ステータスレジスタ

Base address: SSIEn = 0x4025_D000 + 0x0100 × n (n = 0, 1)
SSIEn_NS = 0x5025_D000 + 0x0100 × n (n = 0, 1)

Offset address: 0x04

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
24:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25	IIRQ	アイドルモードステータスフラグ 0: 通信状態 1: アイドル状態	R
26	ROIRQ	受信オーバーフローエラーステータスフラグ 0: 受信オーバーフローエラーは発生していない 1: 受信オーバーフローエラーが発生している	R/W
27	RUIRQ	受信アンダーフローエラーステータスフラグ 0: 受信アンダーフローエラーは発生していない 1: 受信アンダーフローエラーが発生している	R/W

ビット	シンボル	機能	R/W
28	TOIRQ	送信オーバーフローエラーステータスフラグ 0: 送信オーバーフローエラーは発生していない 1: 送信オーバーフローエラーが発生している	R/W
29	TUIRQ	送信アンダーフローエラーステータスフラグ 0: 送信アンダーフローエラーは発生していない 1: 送信アンダーフローエラーが発生している	R/W
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

このレジスタは、SSIE の動作状態を示すステータスフラグによって構成されます。

IIRQ フラグ（アイドルモードステータスフラグ）

IIRQ フラグは、アイドル状態を示すステータスフラグです。SSIE がアイドル状態にあるか、通信状態にあるかを示します。

詳細については、図 37.14 および図 37.15 を参照してください。

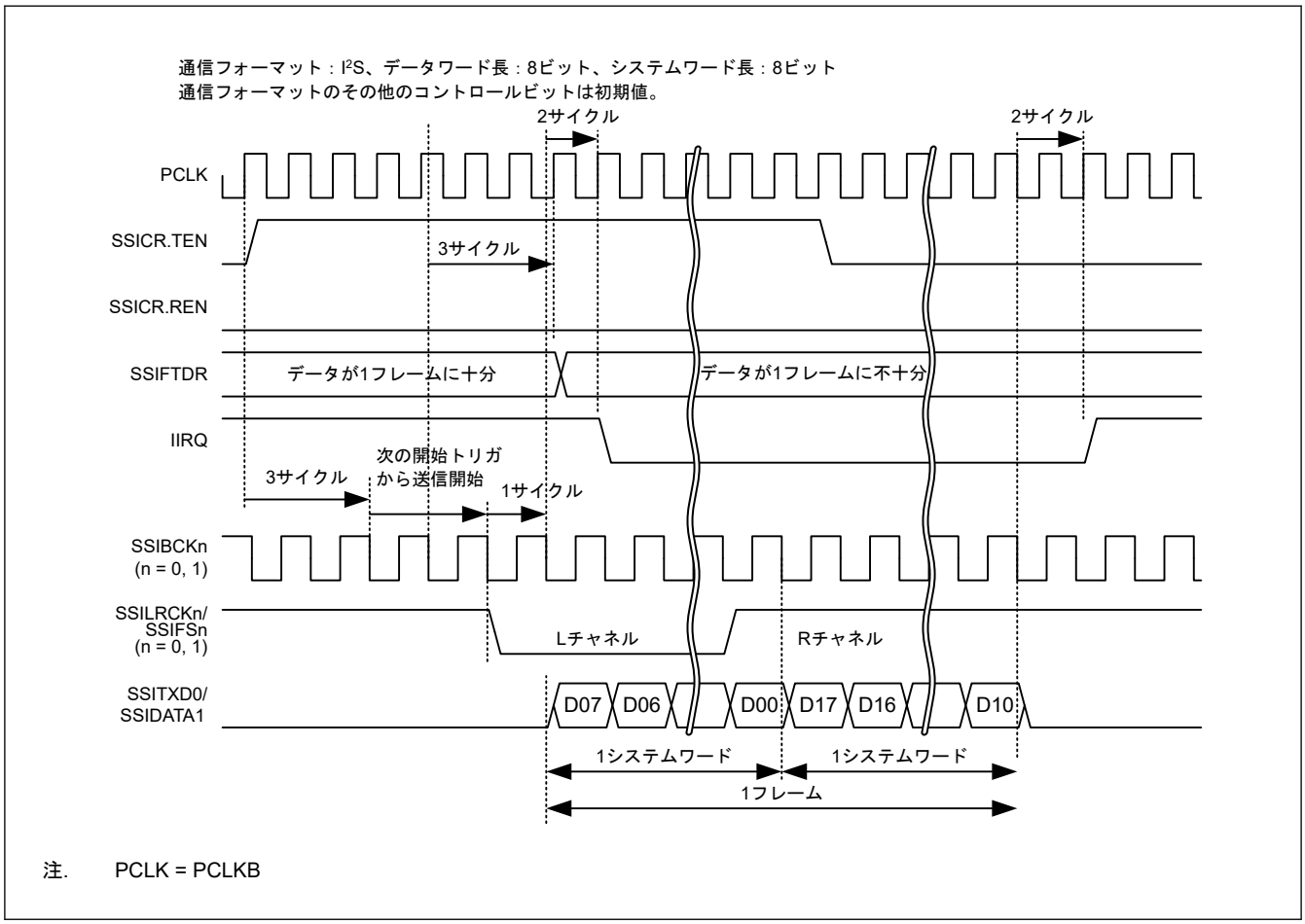


図 37.14 IIRQ 設定タイミング（送信）

- トランスミッタ（送信専用）

[0 になる条件]

送信が許可されている場合（SSICR.TEN = 1 かつ SSICR.REN = 0）に、送信フレームの送信データが SSIFTDR レジスタに書き込まれ、開始トリガが SSILRCKn/SSIFSn (n = 0, 1) 信号によって生成されたとき

[0 になるタイミング]

0 になる条件である開始トリガの生成から、「SSIBCKn (n = 0, 1) 1 サイクル + 2 PCLKB サイクル」が経過したとき

[1 になる条件]

送信と受信が禁止されている場合（SSICR.TEN = 0 かつ SSICR.REN = 0）に、1 つのフレームの送信が完了したとき

[1 になるタイミング]

1 になる条件である送信の終了（フレーム境界）から、PCLKB の 2 サイクルが経過したとき

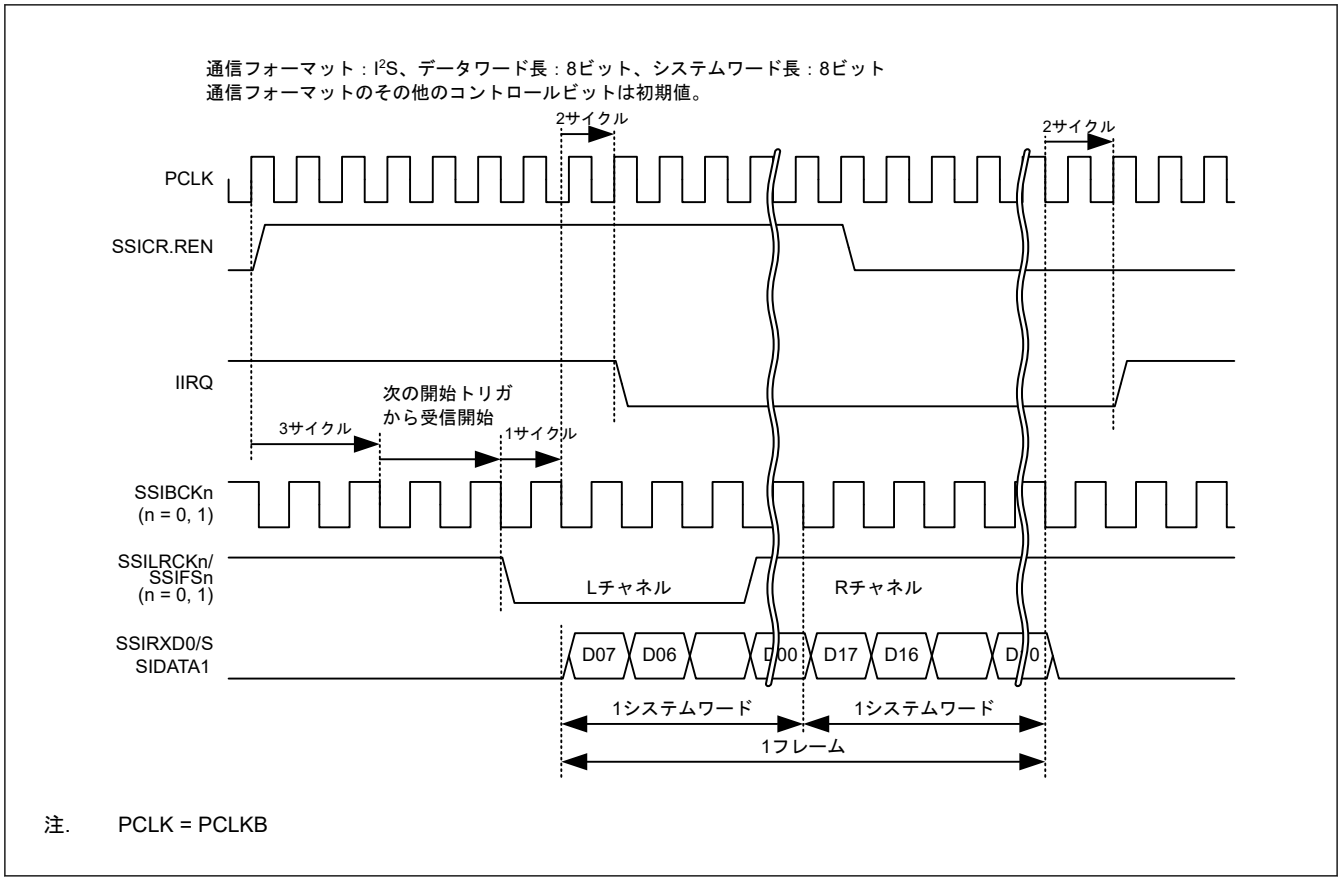


図 37.15 IIRQ 設定タイミング（受信）

- レシーバ（受信専用）

[0 になる条件]

受信が許可されている場合（SSICR.TEN = 0 かつ SSICR.REN = 1）に、開始トリガが SSILRCKn/SSIFSn (n = 0, 1) 信号によって生成されたとき

[0 になるタイミング]

0 になる条件である開始トリガの生成から、「SSIBCKn (n = 0, 1) 1 サイクル + 2 PCLKB サイクル」が経過したとき

[1 になる条件]

送信と受信が禁止されている場合（SSICR.TEN = 0 かつ SSICR.REN = 0）に、1 つのフレームの受信が完了したとき

[1 になるタイミング]

1 になる条件である受信の終了（フレーム境界）から、PCLKB の 2 サイクルが経過したとき

- トランシーバ（送信および受信）

[0 になる条件]

送受信が許可されている場合（SSICR.TEN = 1 かつ SSICR.REN = 1）に、送信フレームの送信データが SSIFTDR レジスタに書き込まれ、開始トリガが SSILRCKn/SSIFSn (n = 0, 1) 信号によって生成されたとき

[0 になるタイミング]

0 になる条件である開始トリガの生成から、「SSIBCKn (n = 0, 1) 1 サイクル + 2 PCLKB サイクル」が経過したとき

[1 になる条件]

送信と受信が禁止されている場合（SSICR.TEN = 0 かつ SSICR.REN = 0）に、1 つのフレームの送信が完了したとき

[1 になるタイミング]

1 になる条件である送信の終了（フレーム境界）から、PCLKB の 2 サイクルが経過したとき

ROIRQ フラグ（受信オーバーフローエラーステータスフラグ）

ROIRQ フラグは、受信オーバーフローエラーを示すステータスフラグです。このフラグは自動判定により設定されますが、レジスタアクセスによってクリアされなければなりません。このフラグは、受信データが要求レートよりも速い速度で供給されていることを意味します。受信オーバーフローエラー発生中は、受信シフトレジスタから SSIFRDR にデータは送信されません。オーバーフローエラーからの復旧手順については、「37.6.6. エラー処理」を参照してください。このフラグは、受信 FIFO データレジスタリセット (SSIFCR.RFRST) ではクリアされません。

[設定およびクリアの優先順位]

設定が優先されます。(注1)

[0 になる条件]

次の動作のいずれかが行われたとき

1. このビットから 1 を読み出したあとに 0 を書き込む(注2)
2. 通信を許可（SSICR.REN を 0 から 1 に変更）

[0 になるタイミング]

上記の 0 になる条件に対応して 0 になるタイミング

1. このビットから 1 を読み出したあとに 0 を書き込んだとき（図 37.19 のタイミングと同じ）
2. SSICR.REN に 1 を書き込んでから PCLKB の 1 サイクル後(注3)

[1 になる条件]
SSIFRDR がフルの状態で次のデータの受信が完了したとき

[1 になるタイミング]
受信が完了した後に、PCLKB の 3 サイクルが経過したとき

注 1. このビットは、ソフトウェアリセット (SSIFCR.SSIRST = 1) によってクリアされます。ソフトウェアリセットは、上述のどの 0 になる条件より優先されます。

注 2. 本ビットから 1 を読み出した後、以下の 3 つの条件のうちいずれかを満たしたときに、本ビットはクリアされます。
- ソフトウェアリセット (SSIFCR.SSIRST = 1) を行ったとき
- 1 を読み出した後、0 の書き込みが完了したとき
- SSICR.REN に 1 を書き込んだ後、PCLKB の 1 サイクルが経過したとき

注 3. 通信を許可（SSICR.REN ビットの値を 0 から 1 に変更）してから、受信エラーフラグ（SSISR レジスタの RUIRQ および ROIRQ）がクリアされます。ただし、SSISR レジスタが継続して読み出されるとき、受信エラーフラグをクリアしたステータスは、読み出しできない可能性があります。

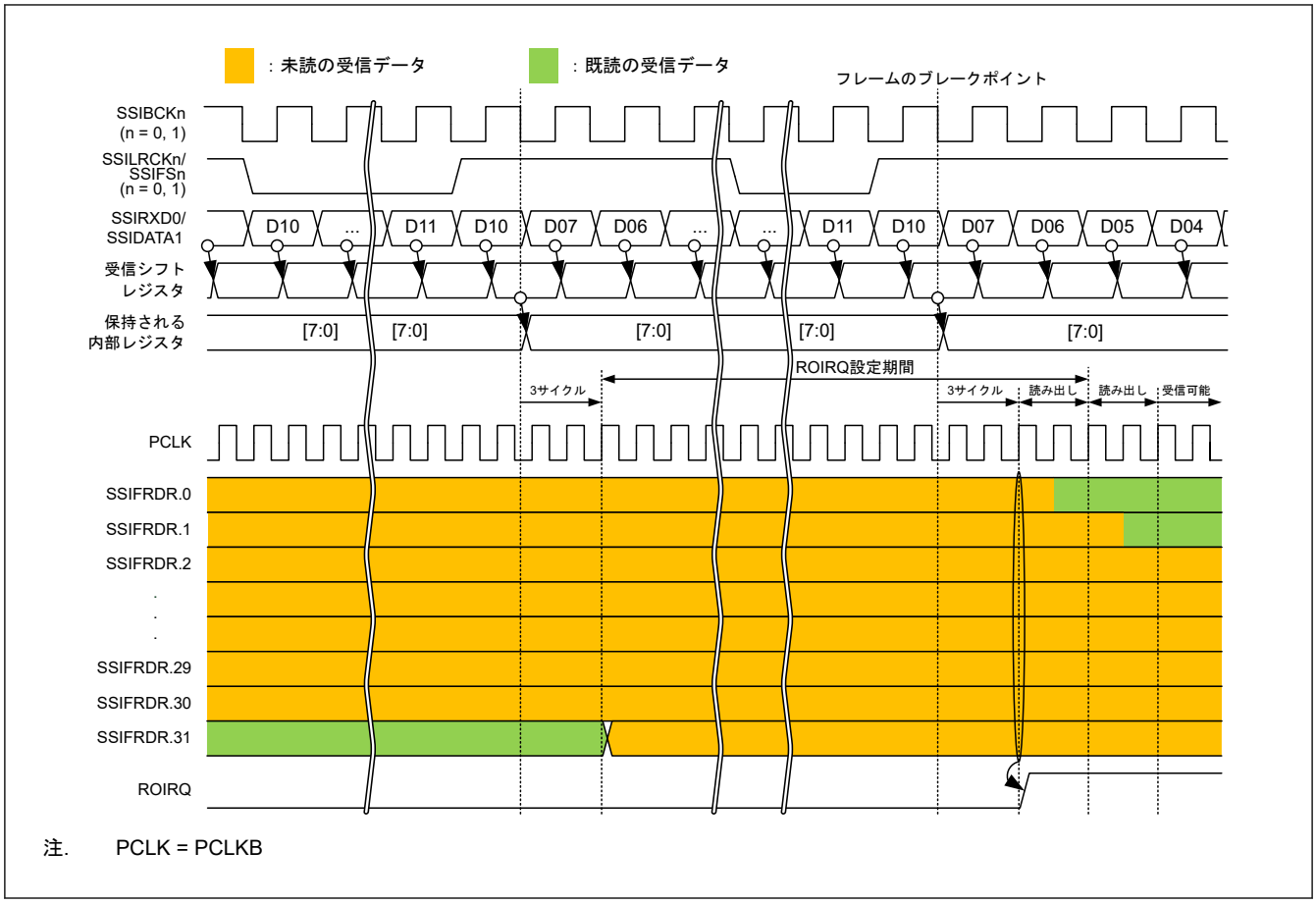


図 37.16 ROIRQ 設定タイミング

RUIRQ フラグ（受信アンダーフローエラーステータスフラグ）

RUIRQ フラグは、受信アンダーフローエラーを示すステータスフラグです。このフラグは自動判定により設定されますが、レジスタアクセスによってクリアされなければなりません。このフラグは、SSIFRDR が空の間に読み出されることを意味します。受信アンダーフローエラー発生中、SSIFRDR からのデータ読み出しは無効です。エラー復旧手順については、「37.6.6. エラー処理」を参照してください。このフラグは、受信 FIFO データレジスタリセット (SSIFCR.RFRST) ではクリアされません。ただし、受信 FIFO データレジスタのリセット中に SSIFRDR レジスタが読み出されたとしても、このフラグは設定されません。

[設定およびクリアの優先順位]

設定が優先されます。(注1)

[0 になる条件]

次の動作のいずれかが行われたとき

1. このビットから 1 を読み出したあとに 0 を書き込む(注2)
2. 通信の許可（SSICR.REN を 0 から 1 に変更）

[0 になるタイミング]
前述の 0 になる条件に対応して 0 になるタイミング

1. このビットから 1 を読み出したあとに 0 を書き込んだとき（図 37.19 のタイミングと同じ）
2. SSICR.REN に 1 を書き込んでから PCLKB の 1 サイクル後(注3)

[1 になる条件]

SSIFRDR が空の間に SSIFRDR からの読み出し

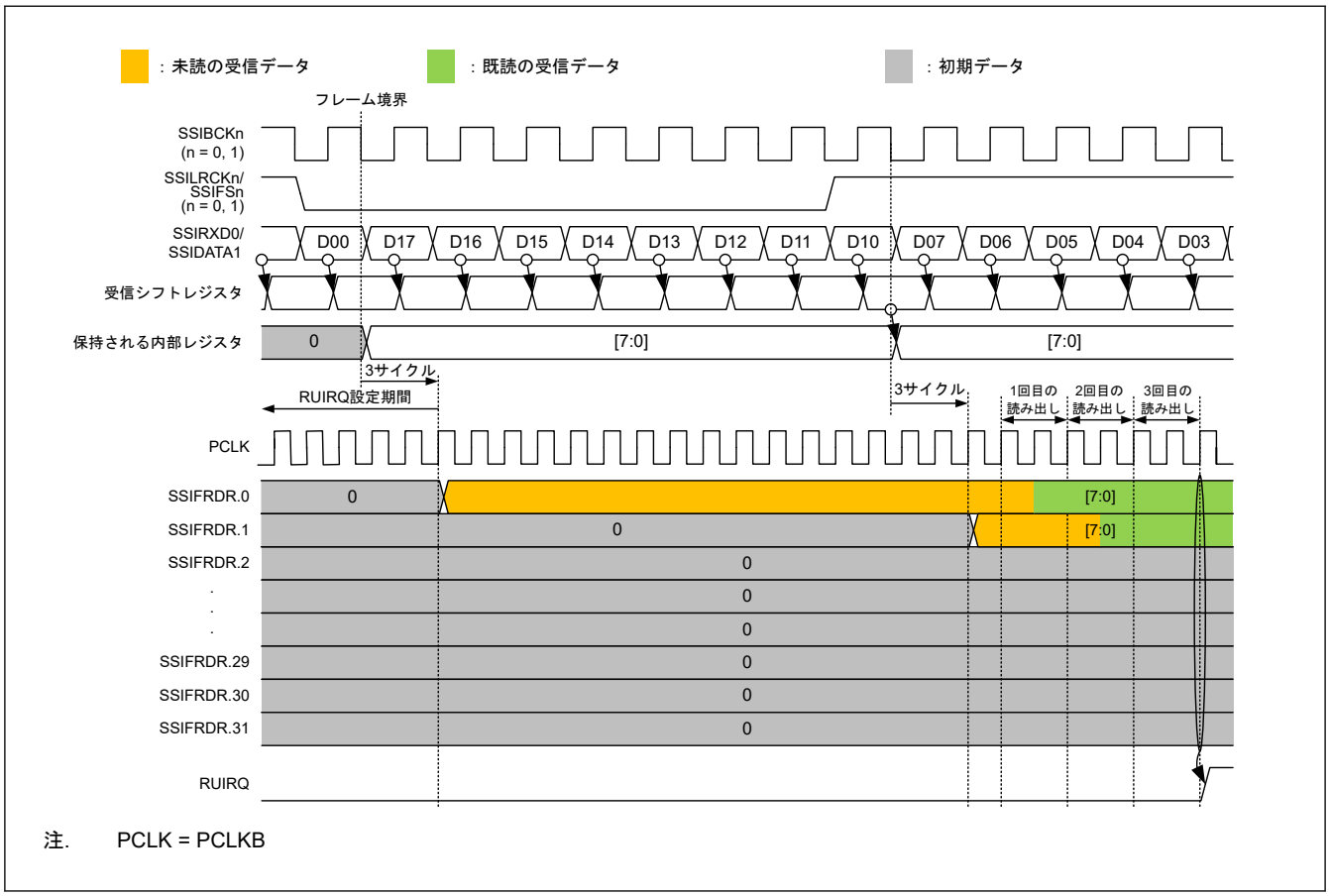
[1 になるタイミング]

SSIFRDR からの読み出し完了時図 37.17 を参照してください。

注 1. このビットは、ソフトウェアリセット (SSIFCR.SSIRST = 1) によってクリアされます。ソフトウェアリセットは、上述のどの 0 になる条件より優先されます。

注 2. 本ビットから 1 を読み出した後、以下の 3 つの条件のうちいずれかを満たしたときに、本ビットはクリアされます。
- ソフトウェアリセット (SSIFCR.SSIRST = 1) を行ったとき
- 1 を読み出した後、0 の書き込みが完了したとき
- SSICR.REN に 1 を書き込んだ後、PCLKB の 1 サイクルが経過したとき

注 3. 通信を許可した後（SSICR.REN ビットを 0 から 1 に変更）、受信エラーフラグ（RUIRQ レジスタの ROIRQ および SSISR）はクリアされます。ただし、SSISR レジスタが継続して読み出されるとき、受信エラーフラグをクリアしたステータスは、読み出しできない可能性があります。



注. PCLK = PCLKB

図 37.17 RUIRQ 設定タイミング

TOIRQ フラグ（送信オーバーフローエラーステータスフラグ）

TOIRQ フラグは、送信オーバーフローエラーを示すステータスフラグです。このフラグは自動判断によって設定されますが、レジスタアクセスによってクリアされなければなりません。このフラグは、SSIFTDR レジスタがデータフルのときに同レジスタにデータを書き込む試みがなされたことを意味します。送信オーバーフローを引き起こすこのデータ書き込みは無視されます。オーバーフローエラーからの復旧手順については、「37.6.6. エラー処理」を参照してください。このフラグは、送信 FIFO データレジスタリセット (SSIFCR.TFRST) ではクリアされません。

[設定およびクリアの優先順位]

設定が優先されます。(注1)

[0 になる条件]

次の動作のいずれかが行われたとき

1. このビットから 1 を読み出したあとに 0 を書き込む(注2)
2. 通信の許可（SSICR.TEN を 0 から 1 に変更）

[0 になるタイミング]

上記の 0 になる条件に対応して 0 になるタイミング

1. このビットから 1 を読み出したあとに 0 を書き込んだとき（図 37.19 のタイミングと同じ）
2. SSICR.TEN に 1 を書き込んでから PCLKB の 1 サイクル後(注3)

[1 になる条件]

SSIFTDR レジスタがデータフルのときに同レジスタにデータを書き込む試みがなされた。

[1 になるタイミング]

SSIFTDR への書き込み完了時。詳細については、図 37.18 を参照してください。

注 1. このビットは、ソフトウェアリセット (SSIFCR.SSIRST = 1) によってクリアされます。ソフトウェアリセットは、上述のどの 0 になる条件より優先されます。

注 2. 本ビットから 1 を読み出した後、以下の 3 つの条件のうちいずれかを満たしたときに、本ビットはクリアされます。
- ソフトウェアリセット (SSIFCR.SSIRST = 1) を行ったとき
- 1 を読み出した後、0 の書き込みが完了したとき
- SSICR.TEN に 1 を書き込んだ後、PCLKB の 1 サイクルが経過したとき

注 3. 通信の許可（SSICR.TEN ビットの値を 0 から 1 に変更）後、送信エラーフラグ（SSISR レジスタの TOIRQ と TUIRQ）がクリアされる。ただし、SSISR レジスタが継続して読み出されるとき、送信エラーフラグをクリアしたステータスは、読み出しできない可能性があります。

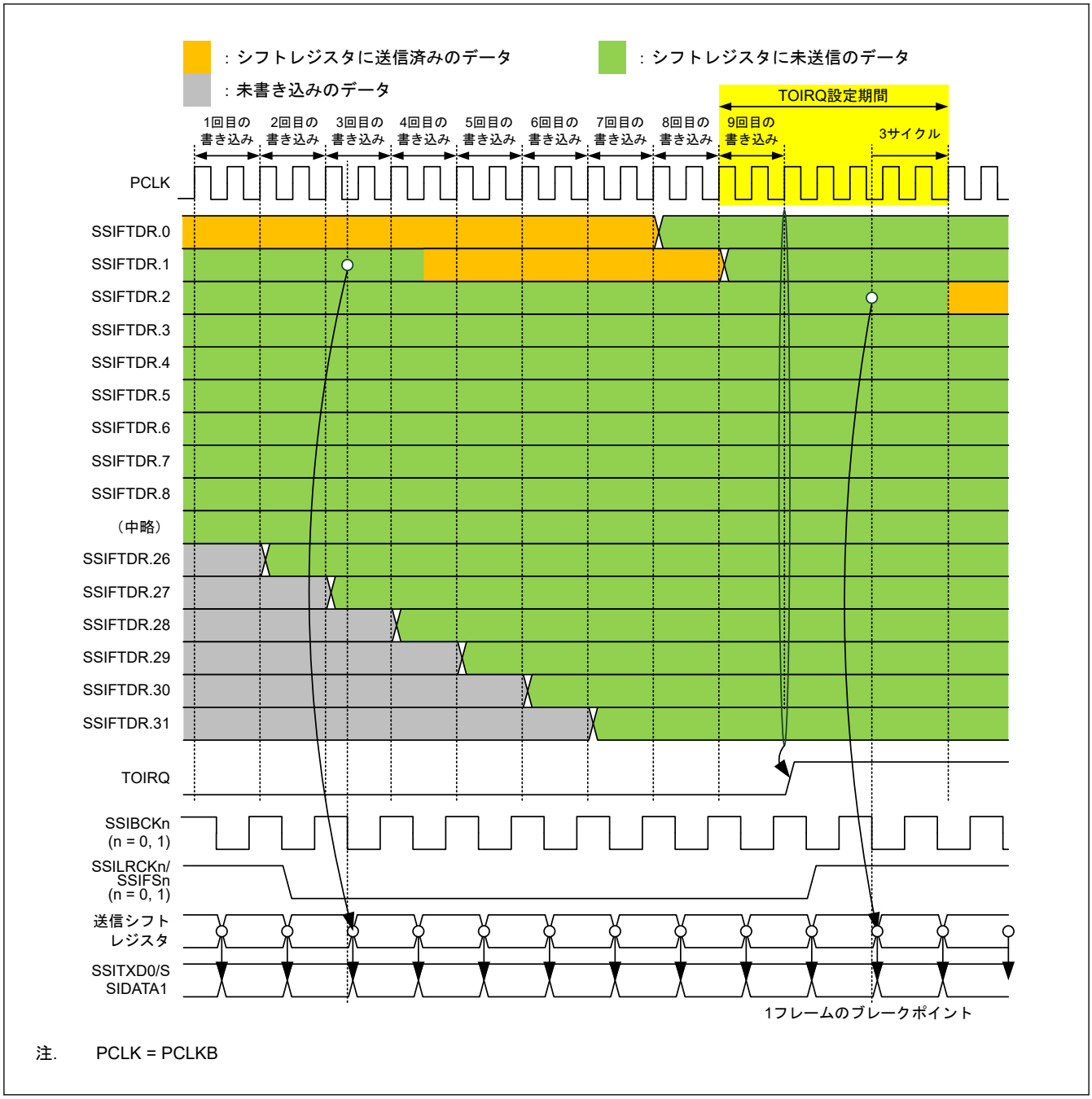


図 37.18 TOIRQ 設定タイミング

TUIRQ フラグ（送信アンダーフローエラーステータスフラグ）

TUIRQ フラグは、送信アンダーフローエラーを示すステータスフラグです。このフラグは自動判定により設定されますが、レジスタアクセスによってクリアされなければなりません。フレームに必要なシリアルデータの SSIFTDR への書き込みが、フレームの送信に追いつかなかったことを示します。設定されたフラグをクリアしても、SSITXD0/SSIDATA1 出力は 0 のままです。送信 FIFO データレジスタ (SSIFTDR) へ書き込まれたデータを、SSITXD0/SSIDATA1 端子へ出力するには、図 37.56 の通信停止の手順、および図 37.57 のエラー処理手順に従ってください。エラーから回復する手順は、「37.6.6. エラー処理」を参照してください。本フラグは、送信 FIFO データレジスタリセット（SSIFCR.TFRST 信号）ではクリアされません。

［設定およびクリアの優先順位］

設定が優先されます。(注1)

［0 になる条件］

次の動作のいずれかが行われたとき

1. このビットから 1 を読み出したあとに 0 を書き込む(注2)
2. 通信の許可（SSICR.TEN を 0 から 1 に変更）

[0 になるタイミング]

上記の 0 になる条件に対応して 0 になるタイミング

1. このビットから 1 を読み出したあとに 0 が書き込まれたとき
2. SSICR.TEN に 1 を書き込んでから PCLKB の 1 サイクル後(注3)

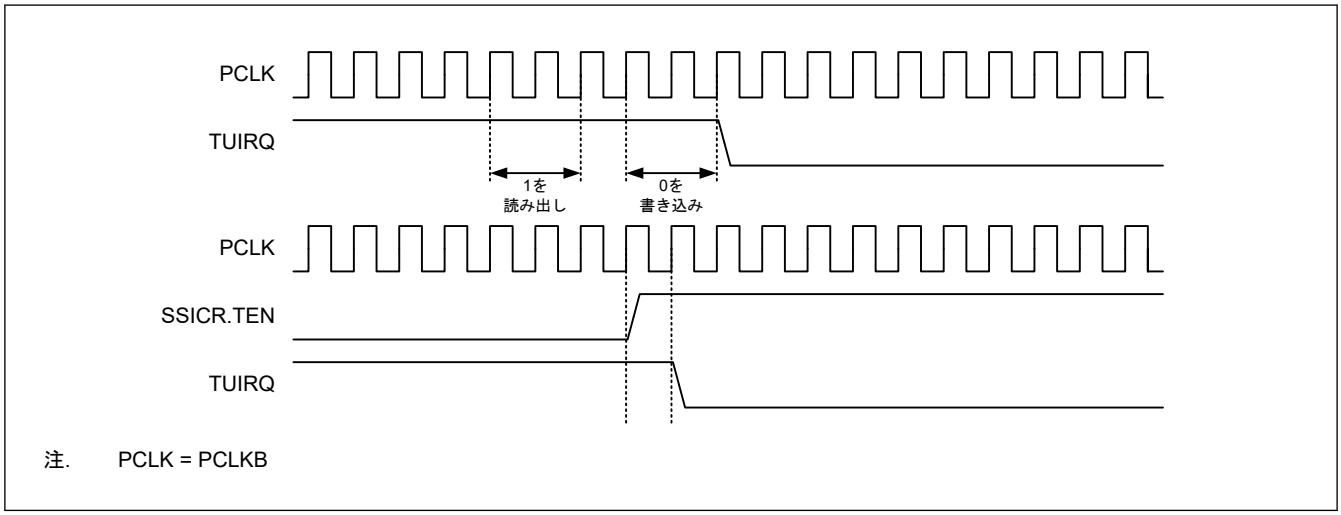


図 37.19 TUIRQ クリアタイミング

注 1. このビットは、ソフトウェアリセット（SSIFCR.SSIRST = 1）によってクリアされます。ソフトウェアリセットは、上述のどの 0 になる条件より優先されます。

注 2. 本ビットから 1 を読み出した後、以下の 3 つの条件のうちいずれかを満たしたときに、本ビットはクリアされます。
- ソフトウェアリセット (SSIFCR.SSIRST = 1) を行ったとき
- 1 を読み出した後、0 の書き込みが完了したとき
- SSICR.TEN に 1 を書き込んだ後、PCLKB の 1 サイクルが経過したとき

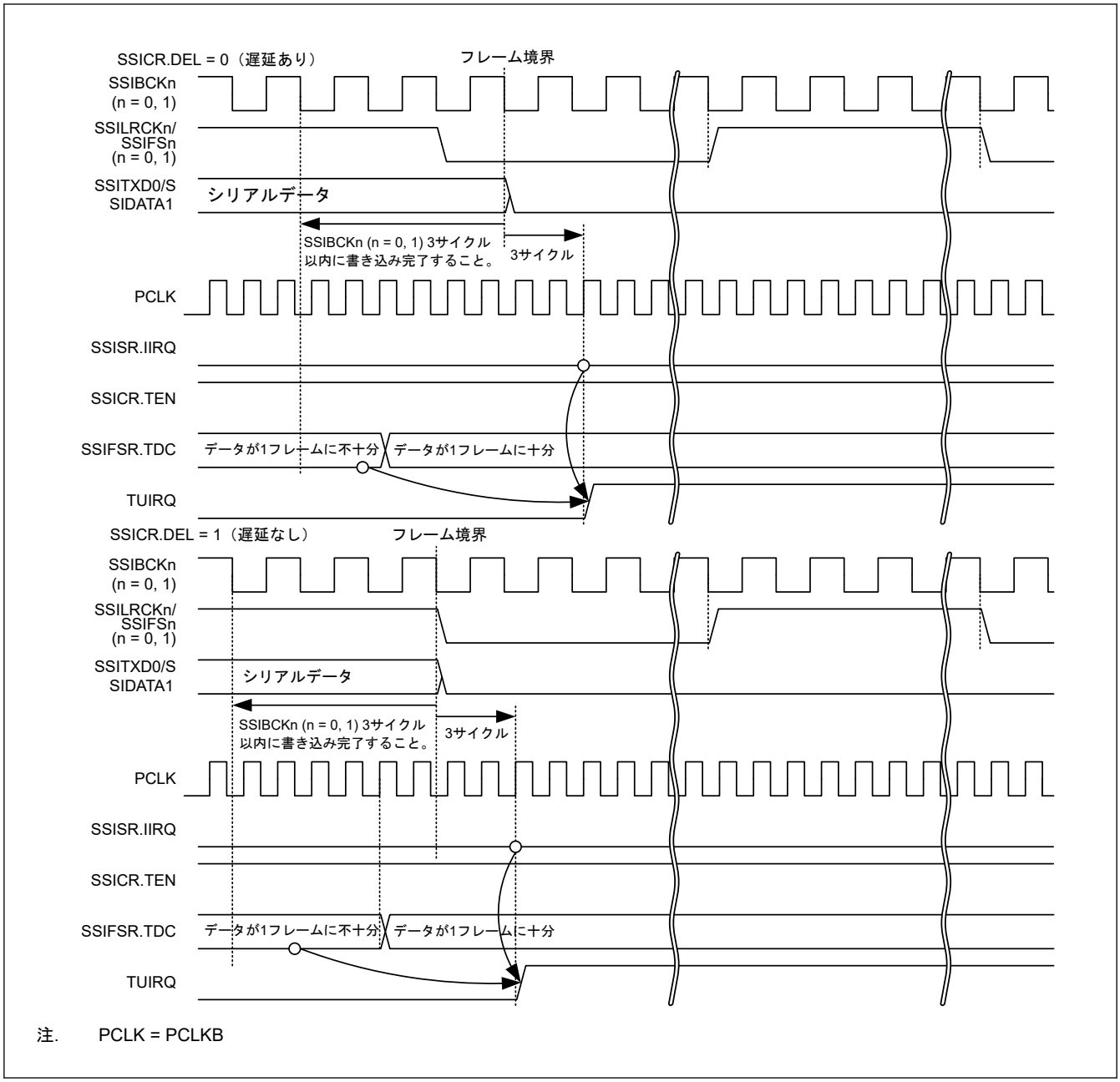
注 3. 通信の許可（SSICR.TEN ビットの値を 0 から 1 に変更）後、送信エラーフラグ（TOIRQ レジスタの TUIRQ と SSISR）がクリアされる。ただし、SSISR レジスタが継続して読み出されるとき、送信エラーフラグをクリアしたステータスは、読み出しできない可能性があります。

[1 になる条件]

フレーム境界を越えて通信が続く場合で、次のフレームに必要な送信データが SSIFTDR に書き込まれていない。詳細については、図 37.20 および図 37.21 を参照してください。

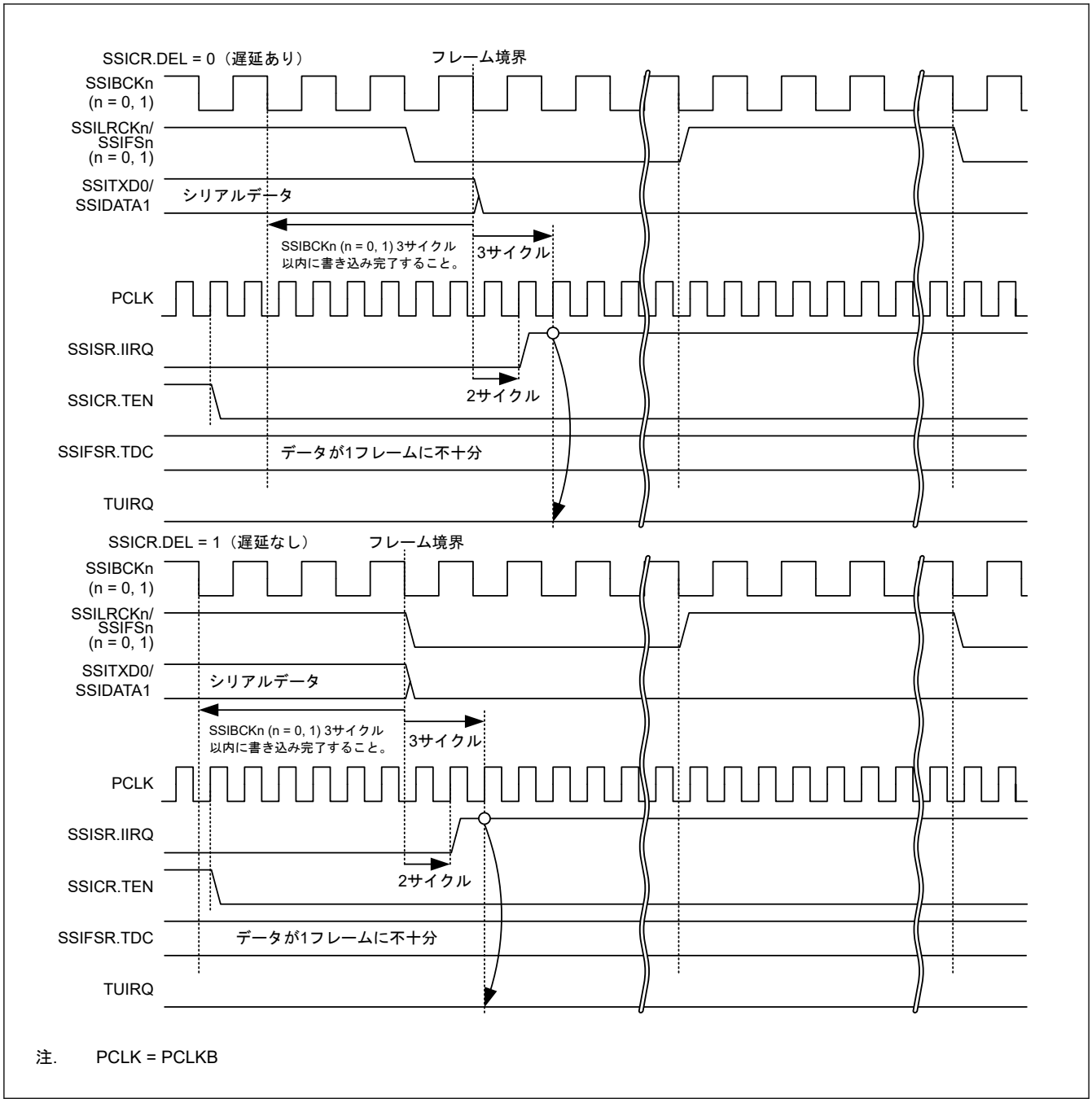
[1 になるタイミング]

フレーム境界から PCLKB の 3 サイクル後。詳細は図 37.20 を参照してください。



注. PCLK = PCLKB

図 37.20 TUIRQ 設定タイミング（通信継続時）



注. PCLK = PCLKB

図 37.21 TUIRQ 設定タイミング（通信中断時）

37.2.3 SSIFCR : FIFO コントロールレジスタ

Base address: SSIEn = 0x4025_D000 + 0x0100 × n (n = 0, 1)
SSIEn_NS = 0x5025_D000 + 0x0100 × n (n = 0, 1)

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	AUCKE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSIRST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	BSW	—	—	—	—	—	—	—	TIE	RIE	TFRST	RFRST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RFRST	受信 FIFO データレジスタリセット(注1) 0: 受信データ FIFO リセット条件をクリアする 1: 受信データ FIFO リセット条件を設定する	R/W
1	TFRST	送信 FIFO データレジスタリセット(注1) 0: 送信データ FIFO リセット条件をクリアする 1: 送信データ FIFO リセット条件を設定する	R/W
2	RIE	受信データフル割り込み出力許可 0: 受信データフル割り込みを禁止する 1: 受信データフル割り込みを許可する	R/W
3	TIE	送信データエンプティ割り込み出力許可 0: 送信データエンプティ割り込みを禁止する 1: 送信データエンプティ割り込みを許可する	R/W
10:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	BSW	バイトスワップ許可(注1) 0: バイトスワップを禁止する 1: バイトスワップを許可する	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	SSIRST	ソフトウェアリセット 0: ソフトウェアリセット条件をクリアする 1: ソフトウェアリセット条件を設定する	R/W
30:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	AUCKE	マスタモード通信時の AUDIO_MCK 許可(注1) 0: AUDIO_MCK の供給を禁止する 1: AUDIO_MCK の供給を許可する	R/W

注. S-TYPE-3、P-TYPE-3
注 1. SSIE が通信状態 (SSISR.IIRQ = 0) の間、これらのビットへの書き込みは禁止されています。書き換えによってこれらのビットの値が変化した場合、以降の動作は予測できません。

このレジスタは、ソフトウェアリセット、バイトスワップ、割り込み要求の許可／禁止を設定します。

RFRST ビット（受信 FIFO データレジスタリセット）

RFRST ビットは、受信 FIFO データレジスタ（SSIFRDR）のソフトウェアリセットを設定します。このビットに 1 を書き込むと、SSIFRDR に関連する内部状態を初期化します。表 37.7 に、このビットでトリガされるソフトウェアリセットの対象となるレジスタビットを網掛けで示します。本ビットは設定すると自動的にクリアされないため、0 を書き込んでソフトウェアリセットからレジスタビットを解放してください。0 を書き込んだ後、本ビットが 0 になったことを確認してから次の手順を開始してください。

このビットは、SSIRST ビットによるソフトウェアリセットの対象となります。SSIRST ビットによるソフトウェアリセットはこのビットによるリセットより優先順位が高いため、SSIRST ビットが設定されるとこのビットの設定は無視されます。

表 37.7　RFRST ビットによるソフトウェアリセットの対象となるビット

シンボル	アドレス (BASE+)		+0								+1							
			31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSICR	0x00	+0	—	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	—	FRM[1:0]		DWL[2:0]			SWL[2:0]		
		+2	—	MST	BCKP	LRCKP	SPDP	SDTA	PDTA	DEL	CKDV[3:0]				MUEN	—	TEN	REN
SSISR	0x04	+0	—	—	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SSIFCR	0x10	+0	AUCKE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSIRST
		+2	—	—	—	—	BSW	—	—	—	—	—	—	—	TIE	RIE	TFRST	RFRST
SSIFSR	0x14	+0	—	—	TDC[5:0]						—	—	—	—	—	—	—	TDE
		+2	—	—	RDC[5:0]						—	—	—	—	—	—	—	RDF
SSIFTDR	0x18	+0	SSIFTDR[31:16]															
		+2	SSIFTDR[15:0]															
SSIFRDR	0x1C	+0	SSIFRDR[31:16]															
		+2	SSIFRDR[15:0]															
SSIOFR	0x20	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	BCKASTP	LRCONT	—	—	—	—	—	—	OMOD[1:0]	
SSISCR	0x24	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	TDES[4:0]					—	—	—	RDFS[4:0]				

TFRST ビット（送信 FIFO データレジスタリセット）

TFRST ビットは、送信 FIFO データレジスタ (SSIFTDR) のソフトウェアリセットを設定します。このビットに 1 を書き込むと、SSIFTDR に関連する内部状態を初期化します。表 37.8 に、このビットでトリガされるソフトウェアリセットの対象となるレジスタビットを網掛けで示します。本ビットは設定すると自動的にクリアされないため、0 を書き込んでソフトウェアリセットからレジスタビットを解放してください。0 を書き込んだ後、本ビットが 0 になったことを確認してから次の手順を開始してください。

このビットは、SSIRST ビットによるソフトウェアリセットの対象となります。SSIRST ビットによるソフトウェアリセットはこのビットによるリセットより優先順位が高いため、SSIRST ビットが設定されるとこのビットの設定は無視されます。

表 37.8　TFRST ビットによるソフトウェアリセットの対象となるビット (1/2)

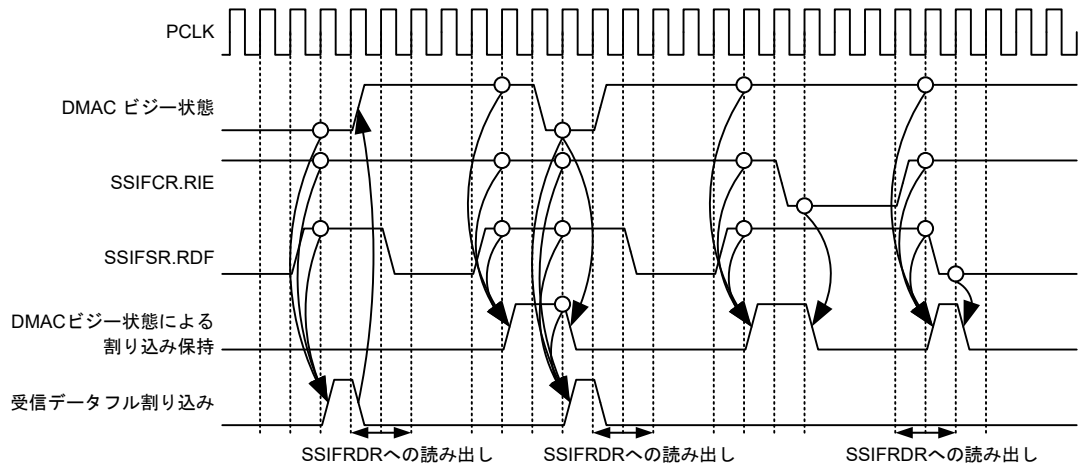
シンボル	アドレス (BASE+)		+0								+1							
			31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSICR	0x00	+0	—	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	—	FRM[1:0]		DWL[2:0]			SWL[2:0]		
		+2	—	MST	BCKP	LRCKP	SPDP	SDTA	PDTA	DEL	CKDV[3:0]				MUEN	—	TEN	REN
SSISR	0x04	+0	—	—	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

表 37.8　TFRST ビットによるソフトウェアリセットの対象となるビット (2/2)

シンボル	アドレス (BASE+)		+0								+1							
			31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSIFCR	0x10	+0	AUCKE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSIRST
		+2	—	—	—	—	BSW	—	—	—	—	—	—	—	TIE	RIE	TFRST	RFRST
SSIFSR	0x14	+0	—	—	TDC[5:0]						—	—	—	—	—	—	—	TDE
		+2	—	—	RDC[5:0]						—	—	—	—	—	—	—	RDF
SSIFTDR	0x18	+0	SSIFTDR[31:16]															
		+2	SSIFTDR[15:0]															
SSIFRDR	0x1C	+0	SSIFRDR[31:16]															
		+2	SSIFRDR[15:0]															
SSIOFR	0x20	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	BCKASTP	LRCONT	—	—	—	—	—	—	OMOD[1:0]	
SSISCR	0x24	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	TDES[4:0]					—	—	—	RDFS[4:0]				

RIE ビット（受信データフル割り込み出力許可）

RIE ビットは、受信データフル割り込み出力を許可／禁止します。受信データフル割り込みは、受信 FIFO データレジスタからのデータ読み出しをトリガするための割り込みとして使用します。受信データフル割り込みの設定条件（1 になる条件）を指定してから（SSISCR.RDFS ビットを使用）、本ビットに 1 を書き込んでください。図 37.22 に、受信データフル割り込みの発生タイミングを示します。

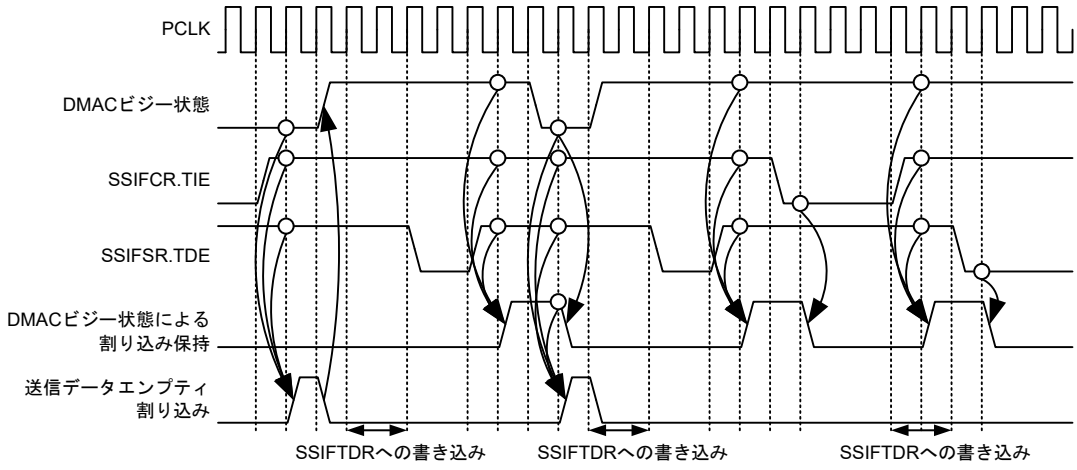


注.　PCLK = PCLKB

図 37.22　受信データフル割り込みのタイミング

TIE ビット（送信データエンプティ割り込み出力許可）

TIE ビットは、送信データエンプティ割り込み出力を許可／禁止します。送信データエンプティ割り込みは、送信 FIFO データレジスタへのデータ書き込みをトリガする割り込みとして使用します。送信データエンプティ割り込みの設定条件（1 になる条件）を指定してから（SSISCR.TDES ビットを使用）、本ビットに 1 を書き込んでください。図 37.23 に送信データエンプティ割り込みの発生タイミングを示します。



注.　PCLK = PCLKB

図 37.23　送信データエンプティ割り込みのタイミング

BSW ビット（バイトスワップ許可）

BSW ビットは、送信 FIFO データレジスタ (SSIFTDR) および受信 FIFO データレジスタ (SSIFRDR) に関するレジスタアクセスのバイトスワップを許可／禁止します。このビットは、SSIFTDR および SSIFRDR への 16 ビットアクセスまたは 32 ビットアクセスのみに有効です。詳細については、図 37.24 を参照してください。

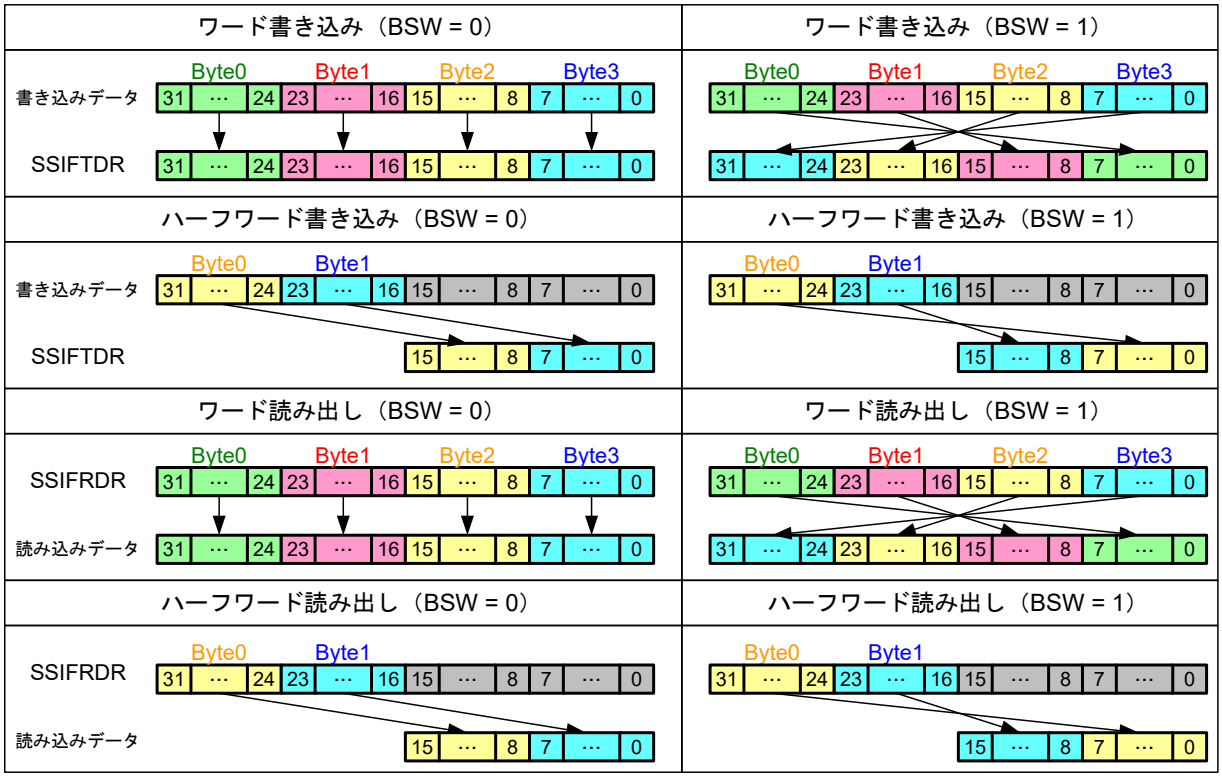


図 37.24　バイトスワップの動作例

SSIRST ビット（ソフトウェアリセット）

SSIRST ビットは、SSIE のソフトウェアリセットを設定します。このビットに 1 を書き込むと、SSIE の内部状態を初期化します。表 37.9 に、このビットでトリガされるソフトウェアリセットの対象となるレジスタビットを網

掛けで示します。本ビットは設定すると自動的にクリアされないため、0 を書き込んでソフトウェアリセットからレジスタビットを解放してください。0 を書き込んだ後、本ビットが 0 になったことを確認してから次の手順を開始してください。

SSIE の通信をすぐに停止するには、周辺機能をオフにしてからこのビットに 1 を書き込みます。ソフトウェアリセットによる初期化は、ビットクロックとは関係なく実行されます。

表 37.9　SSIRST ビットによるソフトウェアリセットの対象となるビット

シンボル	アドレス (BASE+)		+0								+1							
			31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSICR	0x00	+0	—	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	—	FRM[1:0]		DWL[2:0]			SWL[2:0]		
		+2	—	MST	BCKP	LRCKP	SPDP	SDTA	PDTA	DEL	CKDV[3:0]				MUEN	—	TEN	REN
SSISR	0x04	+0	—	—	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SSIFCR	0x10	+0	AUCKE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSIRST
		+2	—	—	—	—	BSW	—	—	—	—	—	—	—	TIE	RIE	TFRST	RFRST
SSIFSR	0x14	+0	—	—	TDC[5:0]						—	—	—	—	—	—	—	TDE
		+2	—	—	RDC[5:0]						—	—	—	—	—	—	—	RDF
SSIFTDR	0x18	+0	SSIFTDR[31:16]															
		+2	SSIFTDR[15:0]															
SSIFRDR	0x1C	+0	SSIFRDR[31:16]															
		+2	SSIFRDR[15:0]															
SSIOFR	0x20	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	BCKASTP	LRCONT	—	—	—	—	—	—	OMOD[1:0]	
SSISCR	0x24	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	TDES[4:0]					—	—	—	RDFS[4:0]				

AUCKE ビット（マスタモード通信時の AUDIO_MCK 許可）

AUCKE ビットは、マスタモード通信 (MST = 1) 中の AUDIO_MCK への供給を許可／禁止します。

AUDIO_MCK に関連する設定を指定してから（SSICR レジスタの CKS、MST、BCKP、および CKDV ビットを使用）、本ビットを変更してください。

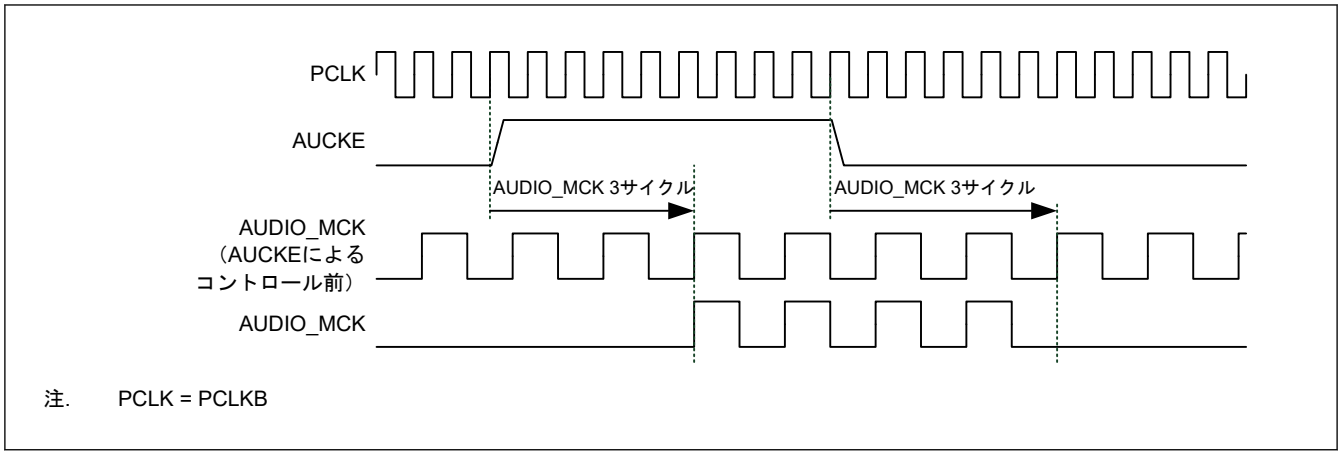


図 37.25 AUDIO_MCK の停止／再開

注. スレーブモード通信 (SSICR.MST = 0) 時、SSIE には SSIBCKn (n = 0, 1) の供給が必要です。マスタ側で BCK を停止するには、SSIE がアイドル状態 (SSISR.IIRQ = 1) であることを確認してください。SSIE がアイドルになる前に BCK が停止した場合、図 37.52 の通信開始手順を実施するか、図 37.58 の通信再開手順を実施してアイドル状態になるのを待ってください。

マスタモード通信 (SSICR.MST = 1) 時、SSIE はオーディオクロック (AUDIO_MCK) によって動作します。SSIE を完全に停止するには、SSIE がアイドル状態 (SSISR.IIRQ = 1) であることを確認してから、SSIFCR.AUCKE に 0 を書き込んでください。SSIE がアイドルになる前に SSIFCR.AUCKE に 0 が書き込まれた場合、図 37.52 の通信を開始する手順を取ってください。

図 37.26 および図 37.27 は、このビットを 1 に設定してから SSIBCKn (n = 0, 1) 端子出力までの期間の信号動作のタイミングを示しています。

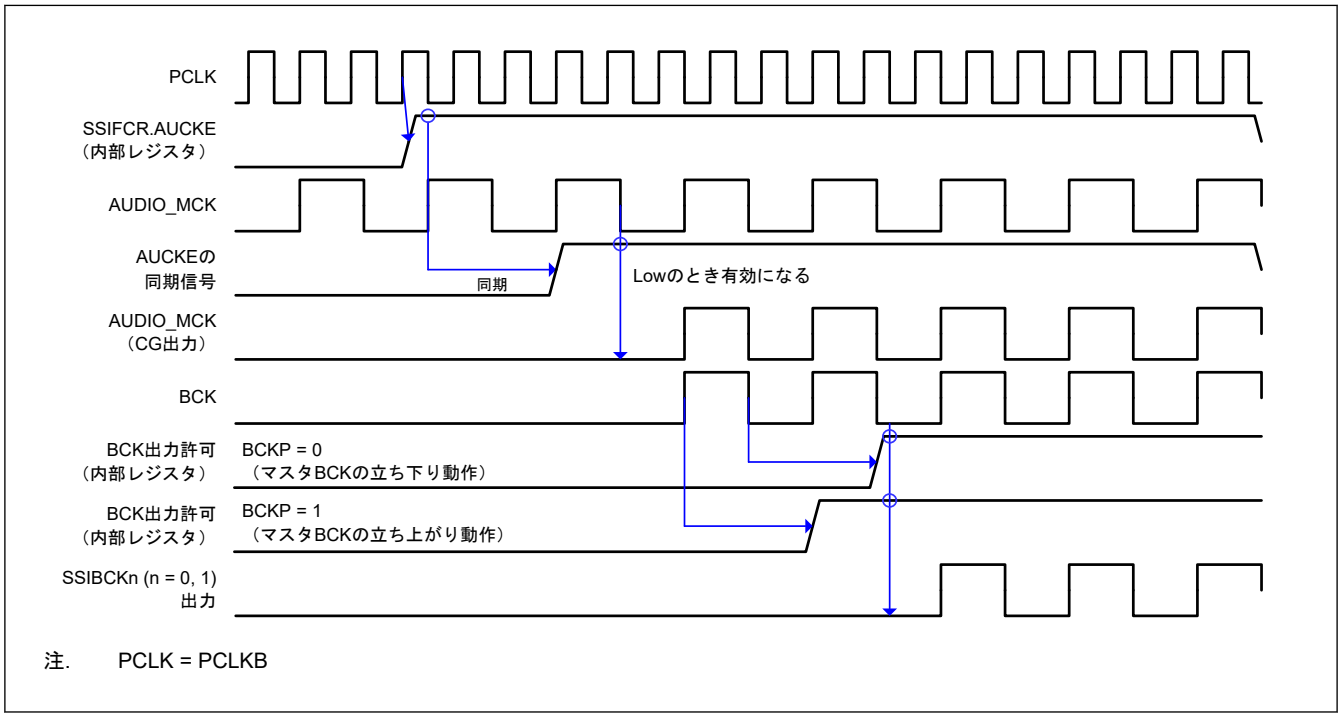


図 37.26 システムリセットからマスタモード通信開始までの動作のタイミング図

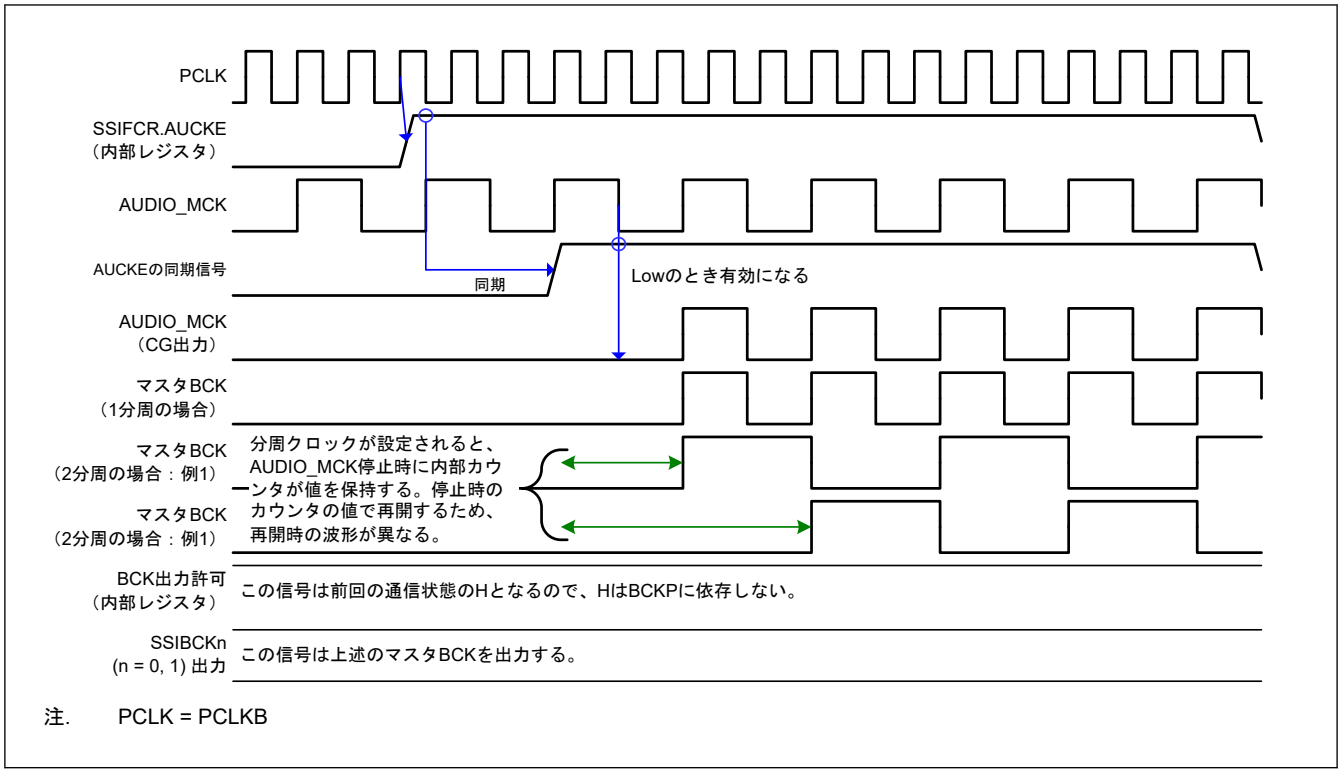


図 37.27 通信停止からマスタモード通信開始までの動作のタイミング図

注. AUDIO_MCK の供給が途切れたときは、SSIBCKn (n = 0, 1) 端子の値が保持されます。したがって、SSIBCKn (n = 0, 1) 信号は、H（High レベル）状態で停止する可能性があります。

37.2.4 SSIFSR : FIFO ステータスレジスタ

Base address: SSIEn = 0x4025_D000 + 0x0100 × n (n = 0, 1)
SSIEn_NS = 0x5025_D000 + 0x0100 × n (n = 0, 1)

Offset address: 0x14

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	TDC[5:0]						—	—	—	—	—	—	—	TDE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	RDC[5:0]						—	—	—	—	—	—	—	RDF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RDF	受信データフルフラグ 0: SSIFRDR の受信データのサイズが SSISCR.RDFS の値以下 1: SSIFRDR の受信データのサイズが SSISCR.RDFS+1 の値以上	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:8	RDC[5:0]	受信データ数 受信 FIFO データレジスタに保存された有効データの数	R
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	TDE	送信データエンプティフラグ 0: SSIFTDR の空きスペースが SSISCR.TDES の値以下 1: SSIFTDR の空きスペースが SSISCR.TDES+1 の値以上	R/W
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
29:24	TDC[5:0]	送信データ数 送信 FIFO データレジスタに保存された有効データの数	R
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

このレジスタは、送信 FIFO データレジスタおよび受信 FIFO データレジスタの状態を示すステータスフラグで構成されます。

RDF フラグ（受信データフルフラグ）

RDF フラグは、受信 FIFO データレジスタ (SSIFRDR) に、SSISCR.RDFS ビット+1 の値以上の未読の受信データがあることを示します。このフラグは自動判定により設定されますが、レジスタアクセスによってクリアされなければなりません。

[設定およびクリアの優先順位]

クリアが優先されます。

[0 になる条件]

次の 2 つのいずれかの場合(注1)

1. このビットから 1 を読み出したあとに 0 を書き込む（CPU 動作）(注2)
2. DTC および DMAC を用いた割り込みルーチンによる、SSIFRDR からデータを読み出すための最後のアクセス（DTC/DMAC 動作）

[0 になるタイミング]

上記の 0 になる条件に対応して 0 になるタイミング

1. このビットから 1 を読み出したあとに 0 が書き込まれる（図 37.19 のタイミングと同じ）
2. DTC および DMAC を用いた割り込みルーチンによって SSIFRDR からデータを読み出すための最後のアクセス指示が出された PCLKB サイクル後

[1 になる条件]

SSIFRDR の空きスペースが、SSISCR.RDFS ビット+1 の値以上である。

[1 になるタイミング]

シフトレジスタからの送信が完了した結果、SSIFRDR が持つデータが SSISCR.RDFS ビット+1 の値以上となったとき。

注 1. これらのビットは、ソフトウェアリセット (SSIFCR.SSIRST = 1) および受信 FIFO データレジスタリセット (SSIFCR.RFRST = 1) によってクリアされます。これらのビットで使用可能なリセット条件は、ソフトウェアリセットおよび受信 FIFO データレジスタリセットのほか、上述の 0 になる条件があります。

注 2. 本ビットから 1 を読み出した後、以下の 4 つの条件のうちいずれかを満たしたときに、本ビットはクリアされます。
- ソフトウェアリセット (SSIFCR.SSIRST = 1) を行ったとき
- 受信 FIFO データレジスタリセット (SSIFCR.RFRST = 1) を行ったとき
- 1 を読み出した後、0 の書き込みが完了したとき
- DTC および DMAC を使用した割り込みルーチンによる、SSIFRDR からのデータ読み出しの最終アクセスを行ったとき

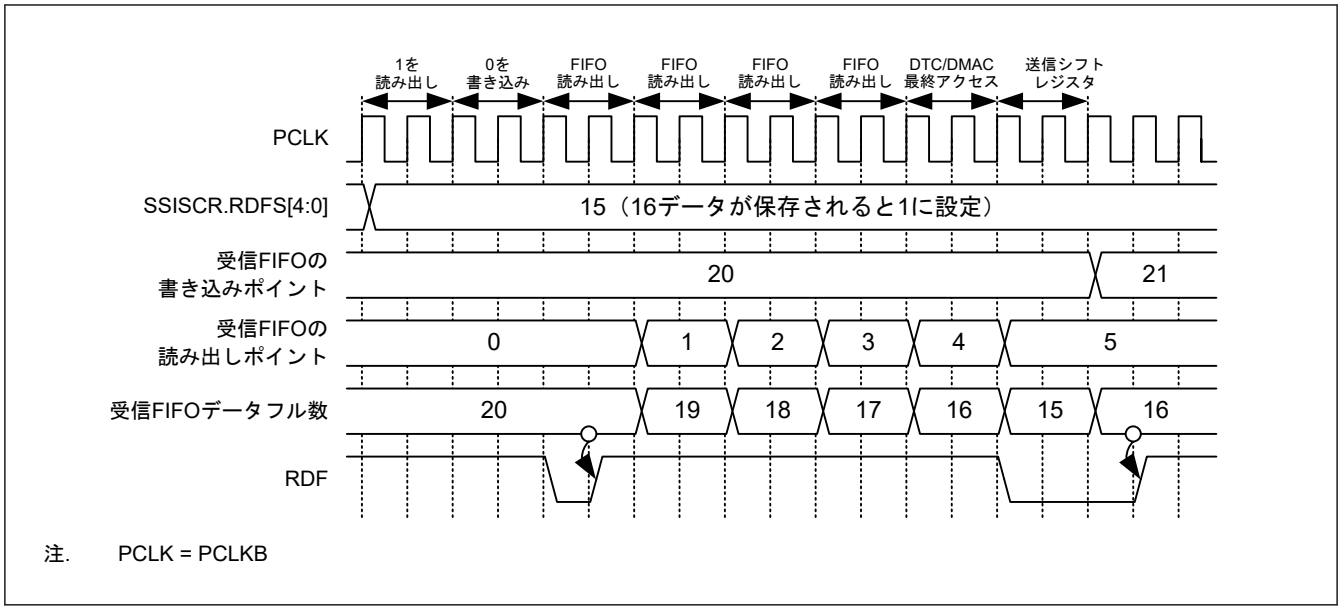


図 37.28 RDF の設定およびクリアに関するタイミング図

RDC[5:0]ビット（受信データ数）

RDC[5:0]ビットは、受信 FIFO データレジスタ (SSIFRDR) に保存されている有効データ数を示します。このビットが 0x00 のとき、受信データはありません。0x20 のとき、レジスタは受信データでいっぱいであり、空きスペースがありません。

TDE フラグ（送信データエンプティフラグ）

TDE フラグは、送信 FIFO データレジスタ (SSIFTDR) の空きスペースが、SSISCR.TDES ビット+1 の値以上であることを意味します。このフラグは自動判定により設定されますが、レジスタアクセスによってクリアされなければなりません。

[設定およびクリアの優先順位]

クリアが優先されます。(注1)

[0 になる条件]

次の 2 つのいずれかの場合

1. このビットから 1 を読み出したあとに 0 を書き込む（CPU 動作）(注2)
2. DTC および DMAC を用いた割り込みルーチンによる、SSIFTDR へのデータを書き込むための最後のアクセス（DTC/DMAC 動作）

[0 になるタイミング]

上記の 0 になる条件に対応して 0 になるタイミング

1. このビットから 1 を読み出したあとにこのビットに 0 が書き込まれる（図 37.19 のタイミングと同じ）
2. DTC および DMAC を用いた割り込みルーチンによる、SSIFTDR へのデータを書き込むための最後のアクセス（DTC/DMAC 動作）

[1 になる条件]

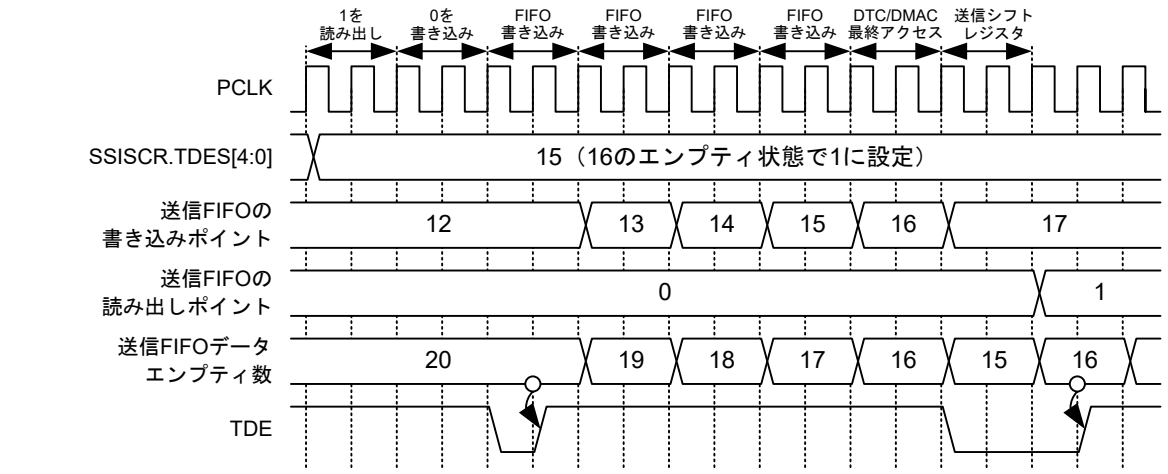
SSIFTDR の空きスペースが、SSISCR.TDES ビット+1 の値以上である。

[1 になるタイミング]

PCLKB での動作中、SSIFTDR の空きスペースが「SSISCR.TDES ビットに 1 を足した値で設定されるサイズ」以上であることが判明した。

注 1. このビットは、ソフトウェアリセット (SSIFCR.SSIRST = 1) および送信 FIFO データレジスタリセット (SSIFCR.TFRST = 1) によってクリアされます。このソフトウェアリセットと送信 FIFO データレジスタリセットは、上述のどの 0 になる条件より優先されます。
注 2. このビットから 1 を読み出したあと、次の 4 つの条件のうち 1 つが満たされるとこのビットがクリアされます。

- ソフトウェアリセット (SSIFCR.SSIRST = 1) を行ったとき
- 送信 FIFO データレジスタリセット (SSIFCR.TFRST = 1) を行ったとき
- 1 を読み出した後、0 の書き込みが完了したとき
- DTC および DMAC を使用した割り込みルーチンによる、SSIFTDR へのデータ書き込みの最終アクセスを行ったとき



注. PCLK = PCLKB

図 37.29 TDE の設定およびクリアに関するタイミング図

TDC[5:0]ビット（送信データ数）

TDC[5:0]ビットは、送信 FIFO データレジスタ (SSIFTDR) に保存されている有効データ数を示します。このビットが 0x00 のとき、データは送信されません。0x20 のときは、データを書き込むスペースがありません。

37.2.5 SSIFTDR : 送信 FIFO データレジスタ

Base address: SSIEn = 0x4025_D000 + 0x0100 × n (n = 0, 1)
SSIEn_NS = 0x5025_D000 + 0x0100 × n (n = 0, 1)

Offset address: 0x18

Bit position:	31																												0
Bit field:	SSIFTDR[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	SSIFTDR[31:0]	送信 FIFO データ	W

注. S-TYPE-3, P-TYPE-3

このレジスタは、シリアル送信されるデータを格納します。このレジスタを読み出すとき、0 が返されます。

このレジスタを送信に使うときは、このレジスタに書き込むデータを、送信データエンプティ割り込みによってトリガされる DTC/DMAC 動作として指定します。このレジスタへのアクセスサイズは、表 37.10 で通信されるデータワード長に従って決定します。

表 37.10 FIFO へのレジスタアクセス制限 (1/2)

アクセスサイズ				
SSICR.DWL[2:0]	データワード長	バイト	ハーフワード	ワード
000b	8	○	—	—
001b	16	—	○	—

表 37.10 FIFO へのレジスタアクセス制限 (2/2)

アクセスサイズ		バイト	ハーフワード	ワード
SSICR.DWL[2:0]	データワード長			
010b	18	—	—	○
011b	20	—	—	○
100b	22	—	—	○
101b	24	—	—	○
110b	32	—	—	○
111b	設定禁止	—	—	—

図 37.30 に、送信 FIFO データレジスタへのレジスタアクセスを示します。

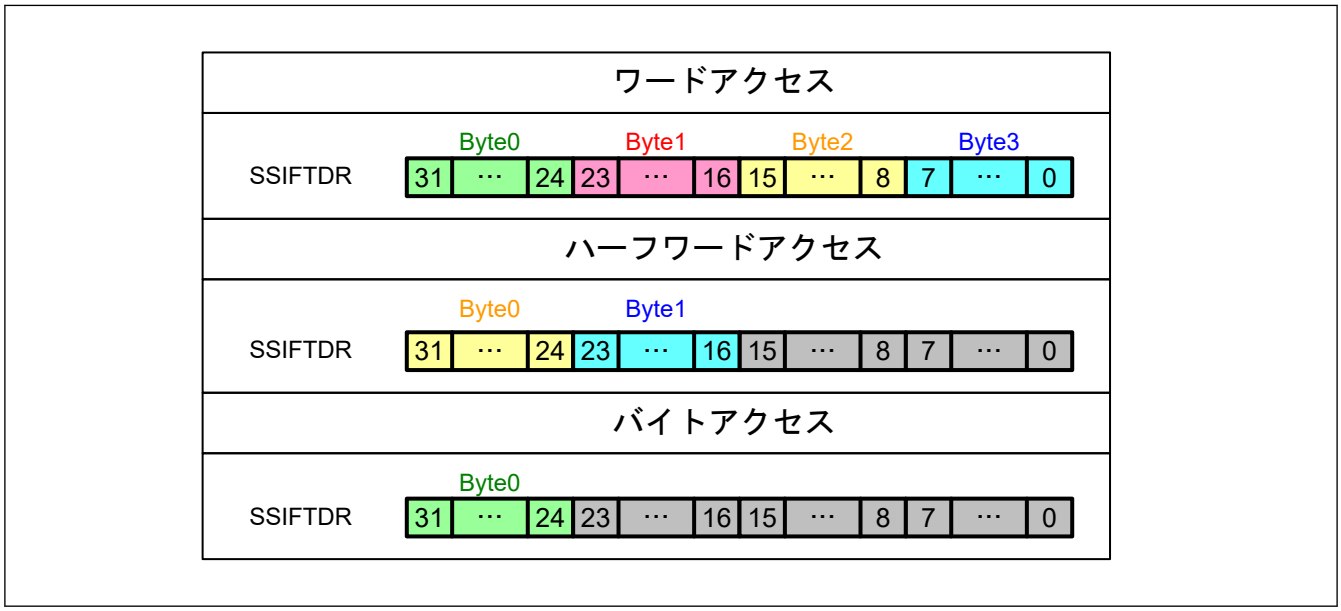
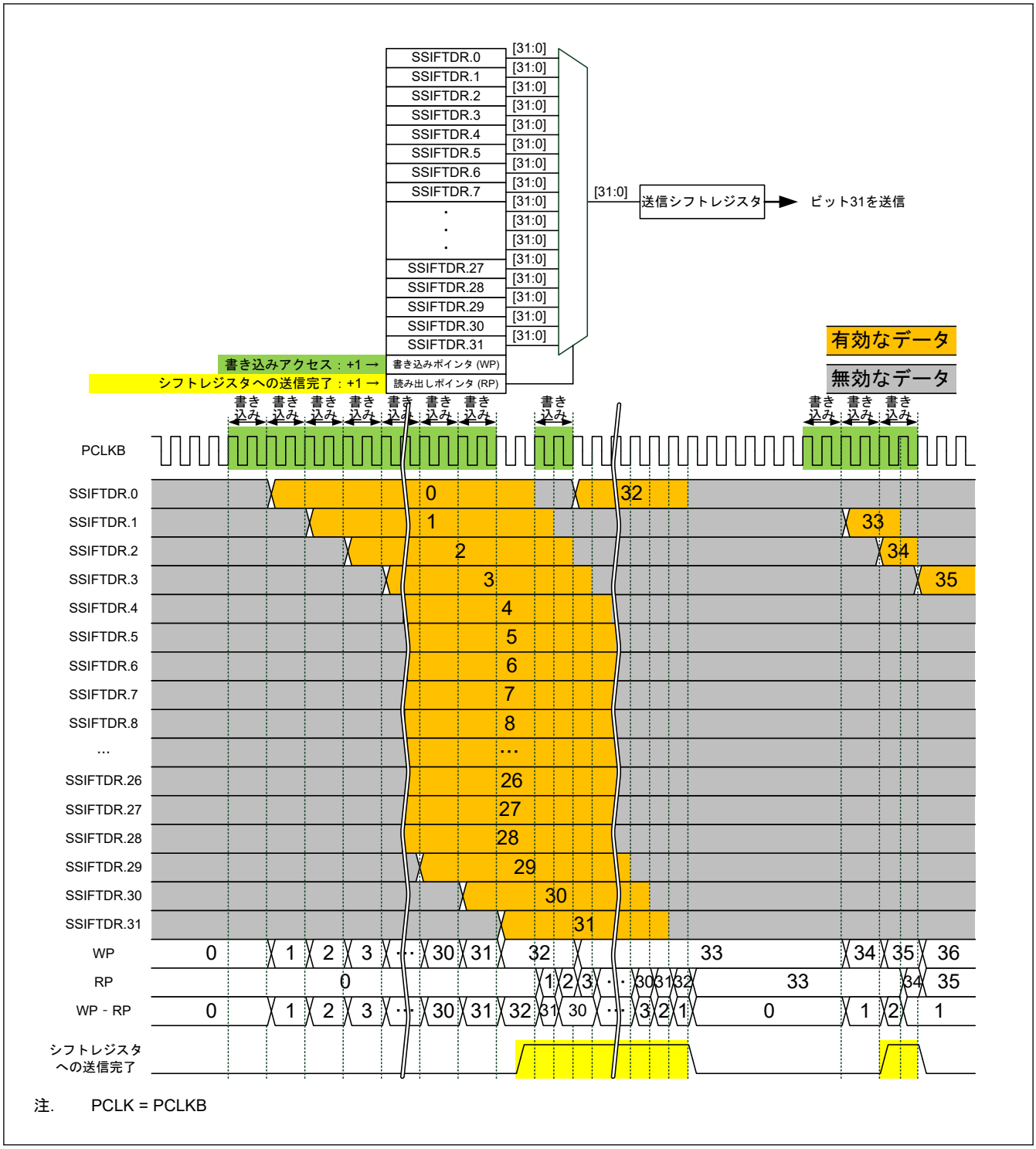


図 37.30 送信 FIFO データレジスタへのレジスタアクセスの例

図 37.31 に、送信 FIFO データレジスタおよび送信シフトレジスタの構成および動作例を示します。この構成は FIFO へのデータ格納が目的であり、通信とは無関係です。



注. PCLK = PCLKB

図 37.31 送信 FIFO データレジスタと送信シフトレジスタの構成、および FIFO の動作例

37.2.6 SSIFRDR : 受信 FIFO データレジスタ

Base address: SSIEn = 0x4025_D000 + 0x0100 × n (n = 0, 1)
SSIEn_NS = 0x5025_D000 + 0x0100 × n (n = 0, 1)

Offset address: 0x1C

Bit position:	31																												0
Bit field:	SSIFRDR[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

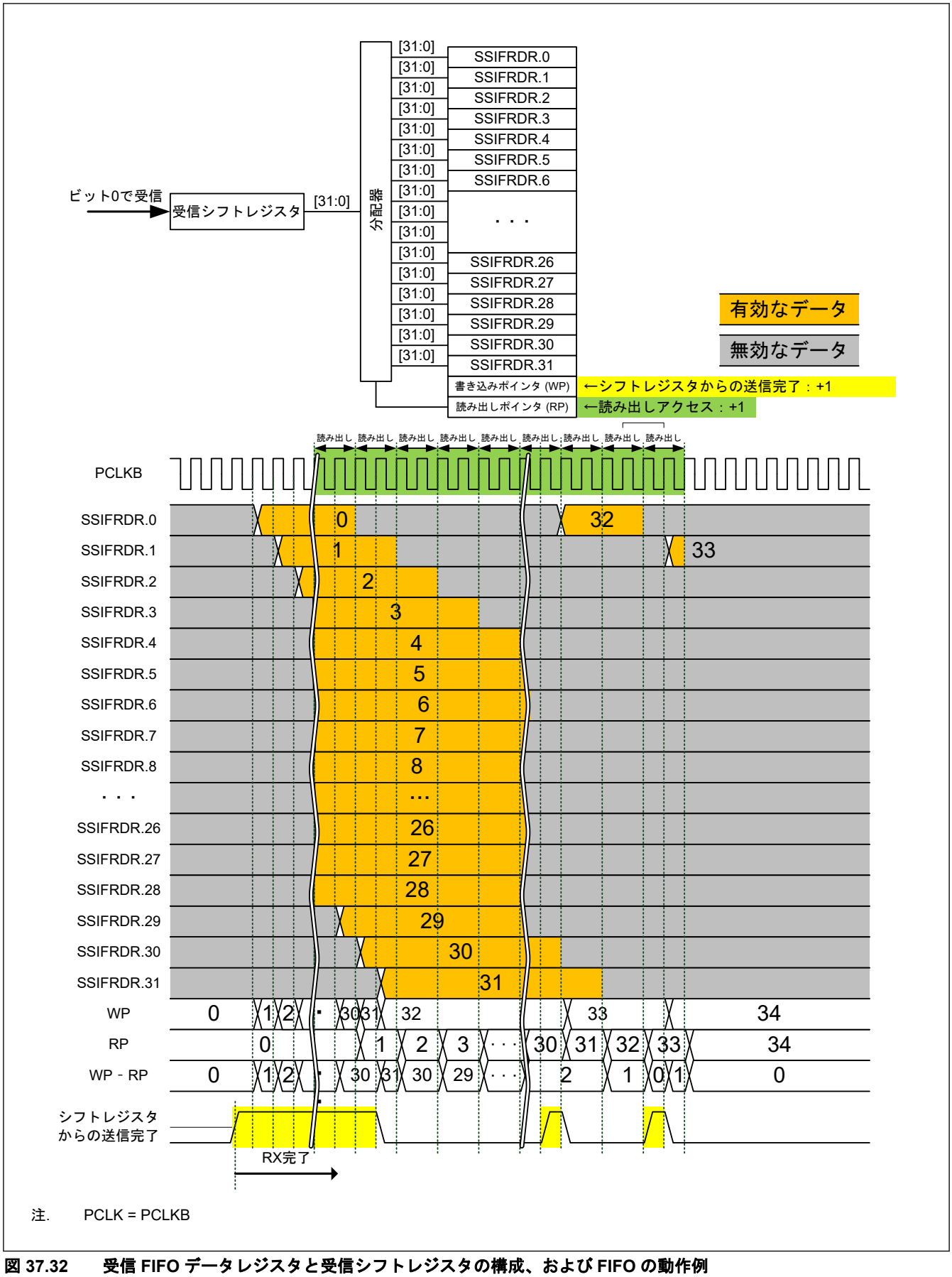
ビット	シンボル	機能	R/W
31:0	SSIFRDR[31:0]	受信 FIFO データ	R

注. S-TYPE-3、P-TYPE-3

このレジスタを受信に使うときは、このレジスタから読み出すデータを、送信データエンプティ割り込みによってトリガされる DTC/DMAC 動作として指定します。このレジスタへのアクセスサイズは、表 37.10 で通信されるデータワード長に従って決定します。

受信 FIFO データレジスタへのレジスタアクセスは、送信 FIFO データレジスタと同じです。

図 37.32 に受信 FIFO データレジスタおよび受信シフトレジスタの構成および動作例を示します。



注. PCLK = PCLKB

図 37.32 受信 FIFO データレジスタと受信シフトレジスタの構成、および FIFO の動作例

37.2.7 SSIOFR : オーディオフォーマットレジスタ

Base address: SSIEn = 0x4025_D000 + 0x0100 × n (n = 0, 1)
SSIEn_NS = 0x5025_D000 + 0x0100 × n (n = 0, 1)

Offset address: 0x20

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	BCKASTP	LRCONT	—	—	—	—	—	—	OMOD[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	OMOD[1:0]	オーディオフォーマットの選択(注3) (注4) 0 0: I^2S フォーマット 0 1: TDM フォーマット 1 0: モノラルフォーマット 1 1: 設定禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	LRCONT	LRCK/FS 継続の許可／禁止(注1) (注2) 0: LRCK/FS 継続を禁止 1: LRCK/FS 継続を許可	R/W
9	BCKASTP	SSIE がアイドル状態のときの BCK 出力停止の許可／禁止(注1) (注2) 0: SSIBCKn (n = 0, 1) 端子に BCK を常に出力 1: SSIBCKn (n = 0, 1) 端子への BCK 出力を自動制御	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. このビットは、マスタモード通信 (SSICR.MST = 1) でのみ有効です。スレーブモード通信 (SSICR.MST = 0) では無効です。
注 2. BCKASTP と LRCONT ビットは、同時に 1 に設定することはできません。
注 3. SSIE の通信時 (SSISR.IIRQ = 0) は、書き込みは禁止されています。これらのビットの値を変更した場合、以降の動作は予測できません。
注 4. 相手側デバイスの通信フォーマットと SSIE の通信フォーマットに互換性がある場合、相手方デバイスとの通信が可能になるような通信フォーマットを指定して使用してください。

本レジスタは、オーディオフォーマットを設定するために使用します（通信フォーマット、LR クロック／フレーム同期継続モード、および BCK 出力停止の設定を含む）。

OMOD[1:0]ビット（オーディオフォーマットの選択）

OMOD[1:0]ビットはオーディオフォーマットを設定します。これらのビットへの書き込みは、SSILRCKn/SSIFSn (n = 0, 1) 端子への LR クロックの供給が停止しているときに実行しなければなりません。LR クロック出力の詳細は、「37.2.7. SSIOFR : オーディオフォーマットレジスタ」の LRCONT ビットについての説明を参照してください。

LRCONT ビット（LRCK/FS 継続の許可／禁止）

LRCONT ビットは、マスタモード通信 (SSICR.MST = 1) かつ SSIE がアイドル状態 (SSISR.IIRQ = 1) のとき、SSILRCKn/SSIFSn (n = 0, 1) 端子からの出力を許可または禁止します。

アイドル状態のときでも、マスタモード (SSICR.MST = 1) でこのビットを 1 にした場合（LR クロック／フレーム同期継続を許可）、SSILRCKn/SSIFSn (n = 0, 1) 端子からの信号出力が可能です。

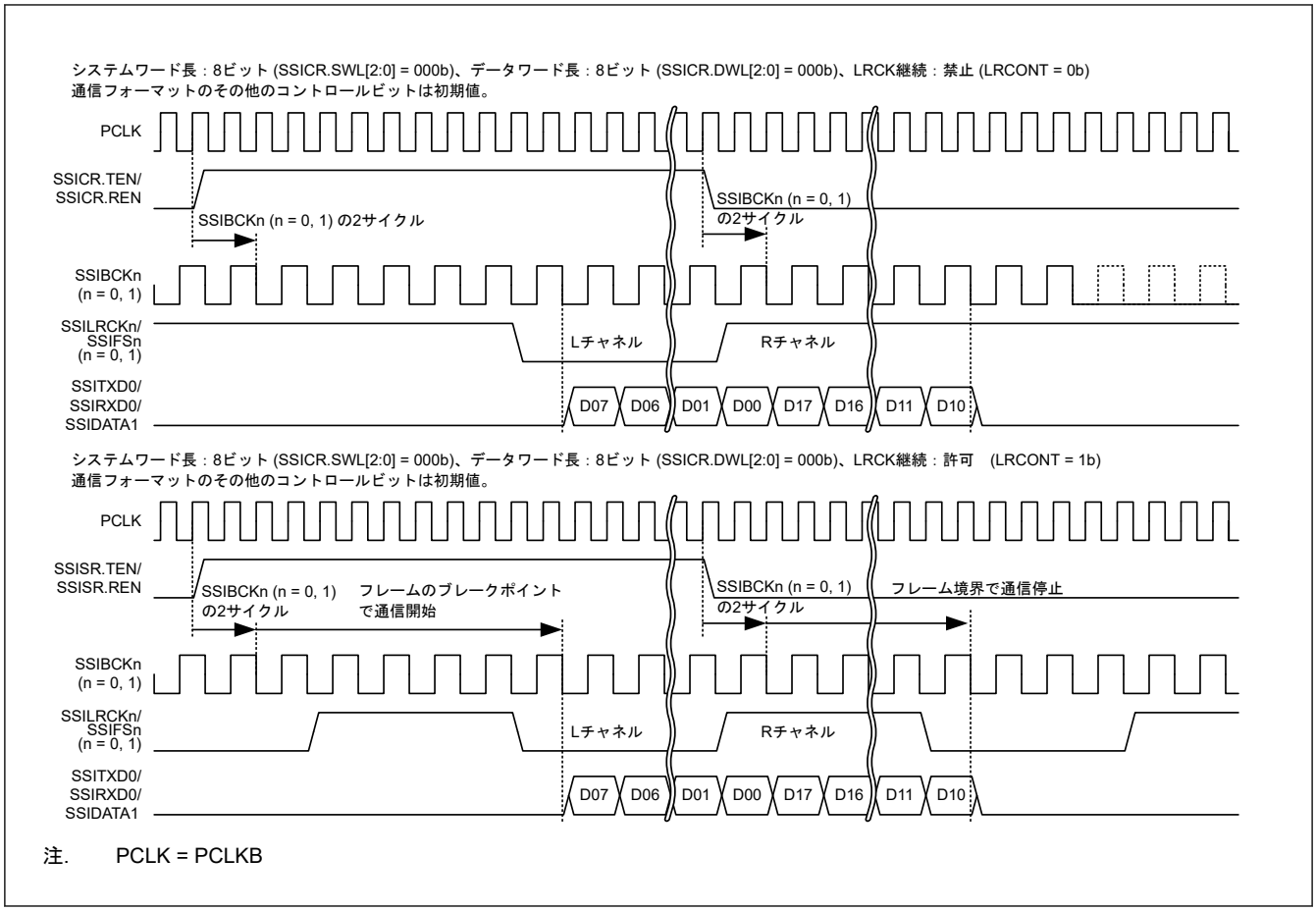


図 37.33 LR クロック／フレーム同期継続の動作例

BCKASTP ビット（SSIE がアイドル状態のときの BCK 出力停止の許可／禁止）

BCKASTP ビットは、図 37.34 および図 37.35 に示したマスタモード通信 (SSICR.MST = 1) で、SSIBCKn (n = 0, 1) 端子への BCK 出力機能をオン／オフにします。

このビットの値を変更する場合は、使用する通信フォーマットを設定してからにしてください。

このビットの使用方法は、以下のとおりです。

BCKASTP ビットに 0 を書き込むと、通信を開始します。通信中に、BCKASTP ビットに 1 を書き込んでください。この動作により、SSIBCKn (n = 0, 1) 端子へのビットクロック出力は、通信が停止したときに自動的に停止します。通信を再開するには、SSIE をアイドル状態にして (SSICR.IIRQ = 1)、AUDIO_MCK 供給を許可 (SSIFCR.AUCKE = 1) してから BCKASTP ビットに 0 を書き込んでください。

マスタモード通信 (SSICR.MST = 1) かつアイドル状態 (SSICR.IIRQ = 1) のとき：

表 37.11 BCKASTP ビットの状態および SSIBCKn (n = 0, 1) 端子の出力

BCKASTP ビット	SSIBCKn (n = 0, 1) 端子の出力状態
0	出力
1	停止

注. BCKASTP ビットは、通信前および通信中に相手方デバイス（スレーブ側）が SSIBCKn (n = 0, 1) 端子からのクロック出力を必要としている場合は使用できません。この場合、通信が終了してから BCKASTP ビットでクロックを停止してください。クロック停止機能の許可タイミングの詳細は、図 37.34 を参照してください。

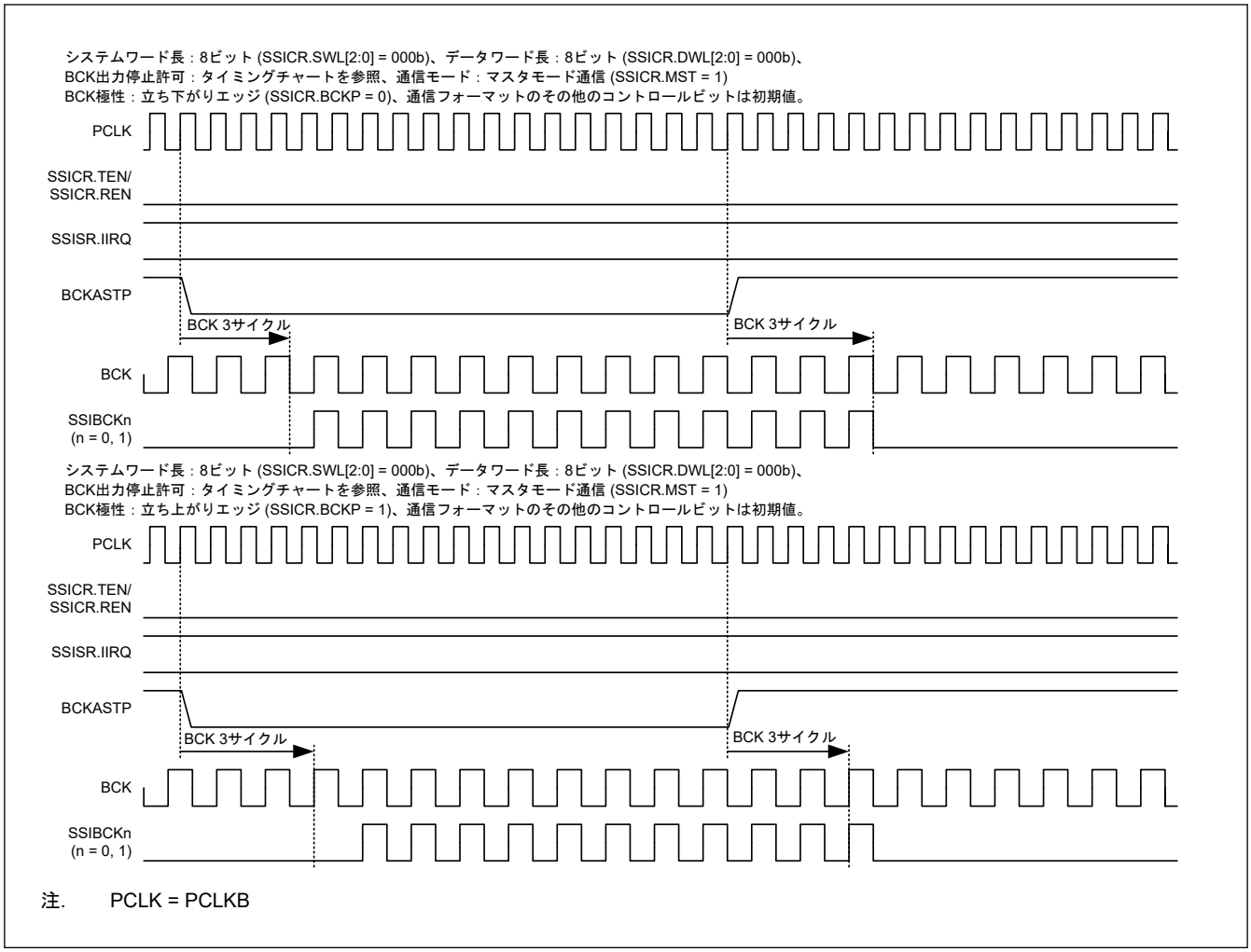


図 37.34 BCKASTP ビットの動作例（アイドル状態の場合）

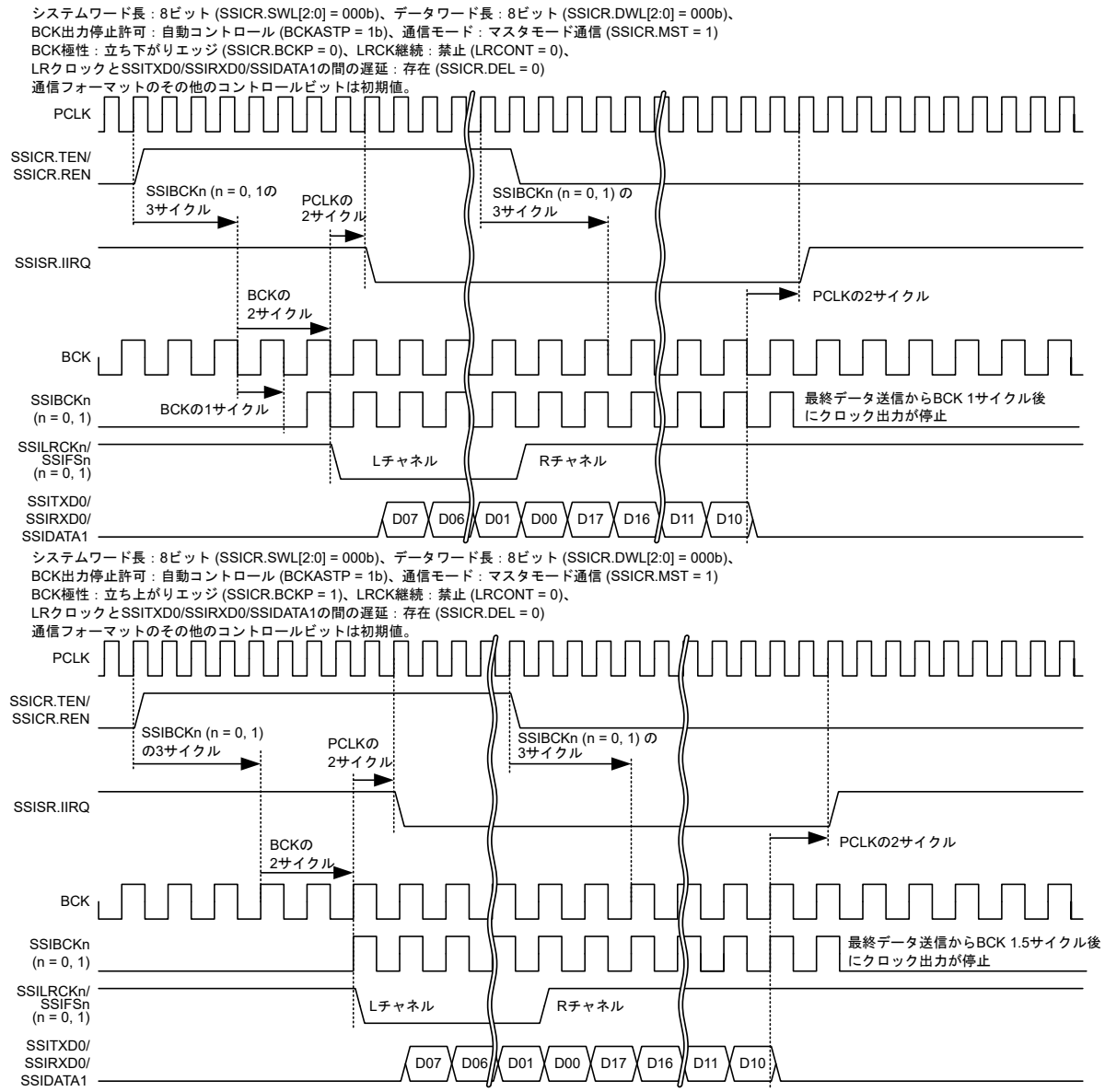
マスタモード通信 (SSICR.MST = 1) かつ BCK 出力停止機能が許可されているとき (BCKASTP = 1) :

SSIBCKn (n = 0, 1) 端子への BCK 出力の詳細は、以下のとおりです。

出力開始タイミング：LR クロック／フレーム同期信号が有効な値に変換されたときに有効エッジが生成されるよう、BCK は適切なタイミングで出力されます。

出力停止タイミング：フレーム境界の 1～1.5 クロックサイクル後

それぞれのタイミングの詳細は、図 37.35 のタイミング図を参照してください。



注. PCLK = PCLKB

図 37.35 BCKASTP ビットの動作例（BCKASTP = 1 での通信動作の場合）

37.2.8 SSISCR : ステータスコントロールレジスタ

Base address: SSIEn = 0x4025_D000 + 0x0100 × n (n = 0, 1)
SSIEn_NS = 0x5025_D000 + 0x0100 × n (n = 0, 1)

Offset address: 0x24

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TDES[4:0]					—	—	—	RDFS[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	RDFS[4:0]	RDF 設定条件選択(注1) 0x00: SSIFRDR のデータサイズは 1 段以上 0x01: SSIFRDR のデータサイズは 2 段以上 ⋮ 0x1E: SSIFRDR のデータサイズは 31 段以上 0x1F: SSIFRDR のデータサイズは 32 段以上	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12:8	TDES[4:0]	TDE 設定条件選択(注1) 0x00: SSIFTDR の空きスペースは 1 段以上 0x01: SSIFTDR の空きスペースは 2 段以上 ⋮ 0x1E: SSIFTDR の空きスペースは 31 段以上 0x1F: SSIFTDR の空きスペースは 32 段以上	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　S-TYPE-3、P-TYPE-3
注 1.　SSIE が通信状態 (SSISR.IIRQ = 0) の間、これらのビットへの書き込みは禁止されています。書き込みが行われた場合、書き込み直後の動作は保証されません。

RDFS[4:0]ビット（RDF 設定条件選択）

RDFS[4:0]ビットは受信データフルフラグ (RDF) の設定条件（1 になる条件）を設定します。

TDES[4:0]ビット（TDE 設定条件選択）

TDES[4:0]ビットは送信データエンプティフラグ (TDE) の設定条件（1 になる条件）を設定します。

37.3　通信フォーマット

SSIE は 3 つの通信フォーマットに対応しています。表 37.12 対応する通信フォーマットを示します。

表 37.12　対応する通信フォーマット

通信フォーマット	SSIOFR.OMOD[1:0]
I^2S フォーマット	00
TDM フォーマット	01
モノラルフォーマット	10

以下に、通信フォーマットが共有するシリアルデータ構造について説明します。シリアルデータ構造は、システムワード長 (SSICR.SWL[2:0]) およびデータワード長 (SSICR.DWL[2:0]) によって定義されます。データワード長がシステムワード長よりも短い場合、シリアルデータではパディングビットが転送されます。詳細については、図 37.36 を参照してください。

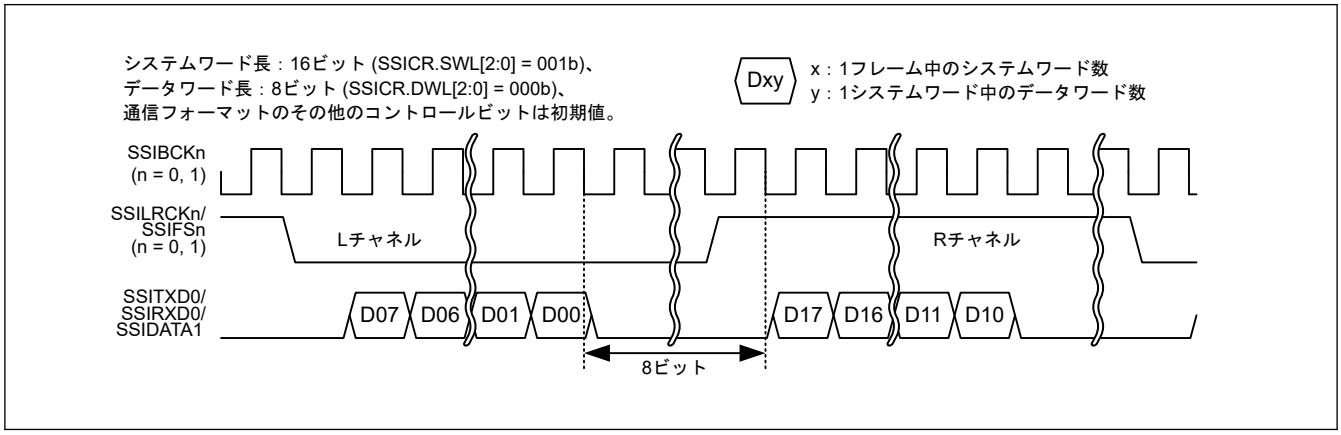


図 37.36　パディングビット転送の例（I^2S フォーマット、システムワード長 > データワード長）

表 37.13 システムワード長 (SSICR.SWL[2:0]) およびデータワード長 (SSICR.DWL[2:0]) の各組合せによって送信されるパディングビットの数を示します。「-」は、その設定が禁止されていることを示します。

表 37.13　パディングビット数

	SSICR.DWL[2:0]	000b	001b	010b	011b	100b	101b	110b	111b
SSICR.SWL[2:0]	**システムワード長**	**8**	**16**	**18**	**20**	**22**	**24**	**32**	**設定禁止**
000b	8	0	—	—	—	—	—	—	—
001b	16	8	0	—	—	—	—	—	—
010b	24	16	8	6	4	2	0	—	—
011b	32	24	16	14	12	10	8	0	—
100b	48	40	32	30	28	26	24	16	—
101b	64	56	48	46	44	42	40	32	—
110b	128	120	112	110	108	106	104	96	—
111b	256	248	240	238	236	234	232	224	—

37.3.1　I²S フォーマット

I²S フォーマットは、I²S 互換シリアルデバイスとの通信に用いられる通信フォーマットです。このフォーマット設定 (SSIOFR.OMOD[1:0] = 00b) では、1 つのフレームが 2 つのシステムワードで構成されます。一方がチャネル L で、他方がチャネル R です。SSILRCKn/SSIFSn (n = 0, 1) 信号は、チャネル L では Low、チャネル R では High になります。SSICR.LRCKP ビットで信号の極性を設定します。図 37.37 に、パディングのない I²S フォーマットを示します。パディングありのフォーマットについては、図 37.36 を参照してください。

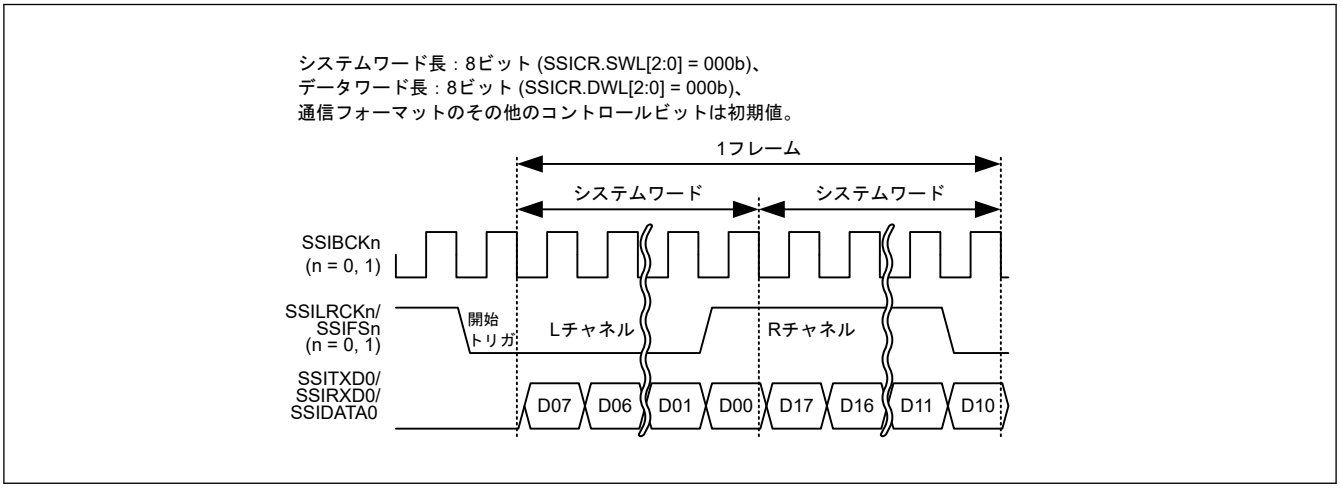


図 37.37　I²S フォーマット（パディングなし、システムワード長 = データワード長）

SSIE がアイドル状態のときの外部端子の状態については、「37.5.1. アイドル状態」を参照してください。

注.　SSIE には、通信の同期を示す SSILRCKn/SSIFSn (n = 0, 1) 端子があります。SSIE がスレーブモード (SSICR.MST = 0) のとき、SSIE が使用する通信フォーマットは、相手方デバイスの通信フォーマットと一致していなければなりません。SSIE は、SSILRCKn/SSIFSn (n = 0, 1) 端子の信号入力を、通信開始のトリガとしてのみ使用します。

37.3.2　モノラルフォーマット

モノラルフォーマットは、モノラル互換シリアルデバイスとの通信に用いられる通信フォーマットです。モノラルフォーマットを使用する設定 (SSIOFR.OMOD[1:0] = 10b) では、1 フレームは 1 システムワードで構成されます。また、SSILRCKn/SSIFSn (n = 0, 1) 信号の立ち上がりエッジが通信開始のトリガを意味します。図 37.38 にパディングなしのモノラルフォーマットを示します。図 37.39 にパディングありのモノラルフォーマットを示します。

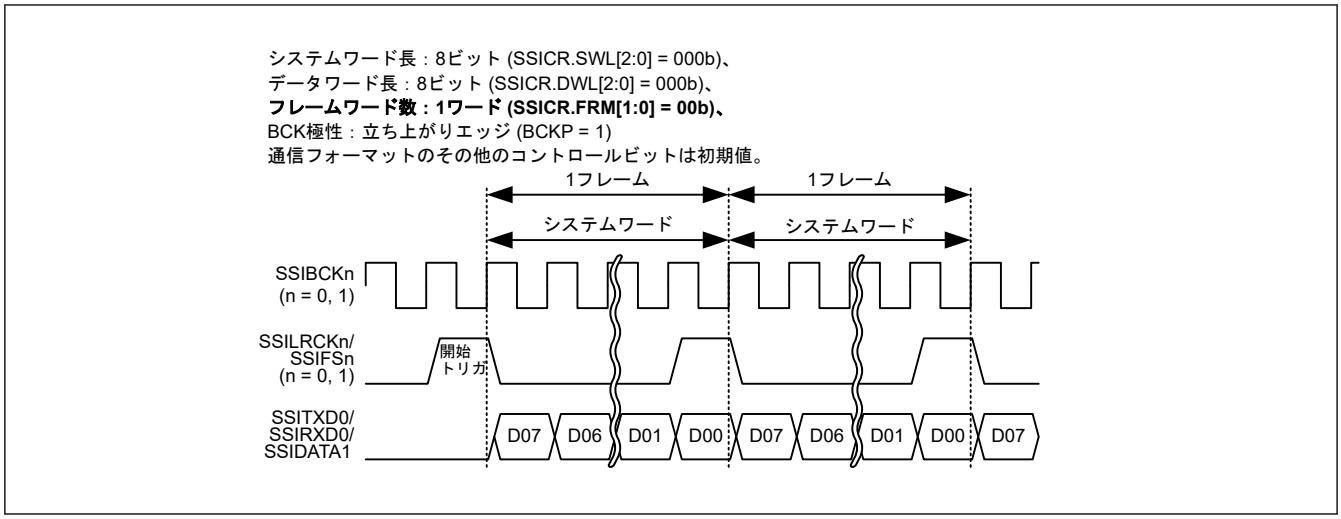


図 37.38　モノラルフォーマットにおけるショートフレーム（パディングなし、システムワード長 = データワード長）

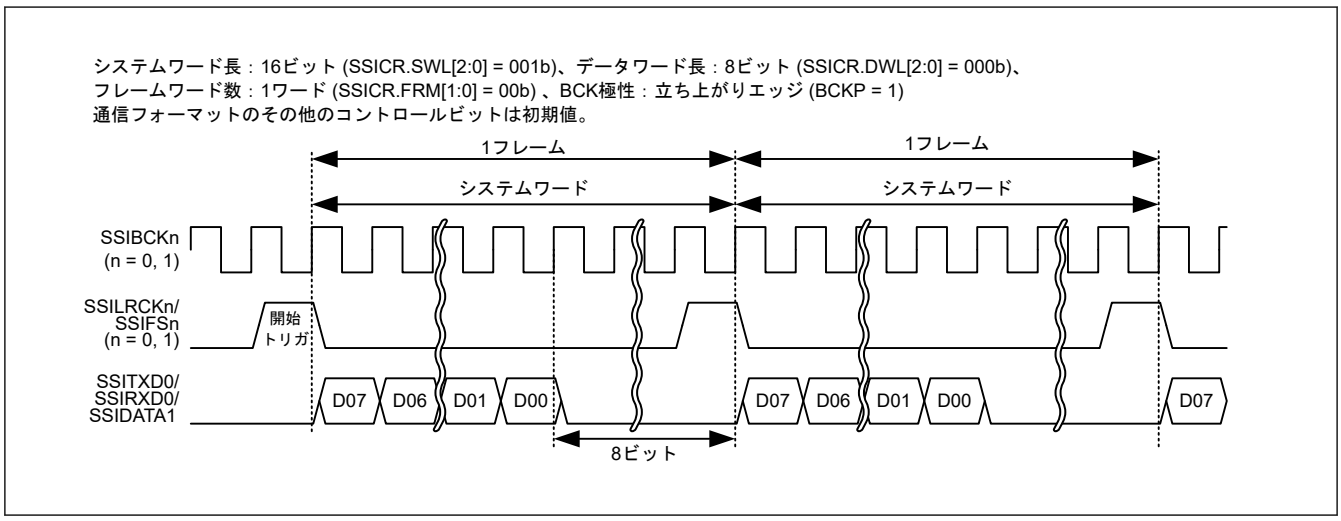


図 37.39　モノラルフォーマットにおけるショートフレーム（パディングあり、システムワード長 > データワード長）

SSIE が対応するモノラルフォーマットは、ショートフレームおよびロングフレームで構成されます。2 つのフレームの違いについては、「37.3.2.1. ショートフレーム」および「37.3.2.2. ロングフレーム」を参照してください。

SSIE がアイドル状態のときの外部端子の状態については、「37.5.1. アイドル状態」を参照してください。

注.　SSIE には、通信の同期を示す SSILRCKn/SSIFSn (n = 0, 1) 端子があります。SSIE がスレーブモード (SSICR.MST = 0) のとき、SSIE が使用する通信フォーマットは、相手方デバイスの通信フォーマットと一致していなければなりません。SSIE は、SSILRCKn/SSIFSn (n = 0, 1) 端子の信号入力を、通信開始のトリガとしてのみ使用します。

37.3.2.1　ショートフレーム

ショートフレームの使用中 (SSICR.DEL = 0)、シリアルデータの開始を示す SSILRCKn/SSIFSn (n = 0, 1) 信号は、SSIBCKn (n = 0, 1) 1 サイクルだけ High レベルに設定されます。データ送信は、信号の立ち下がりエッジで開始します。

37.3.2.2　ロングフレーム

ロングフレームの使用中 (SSICR.DEL = 1)、シリアルデータの開始を示す SSILRCKn/SSIFSn (n = 0, 1) 信号は、SSIBCKn (n = 0, 1) 2 サイクルだけ High レベルに設定されます。図 37.40 を参照してください。データ転送は、信号の立ち上がりエッジで開始します。

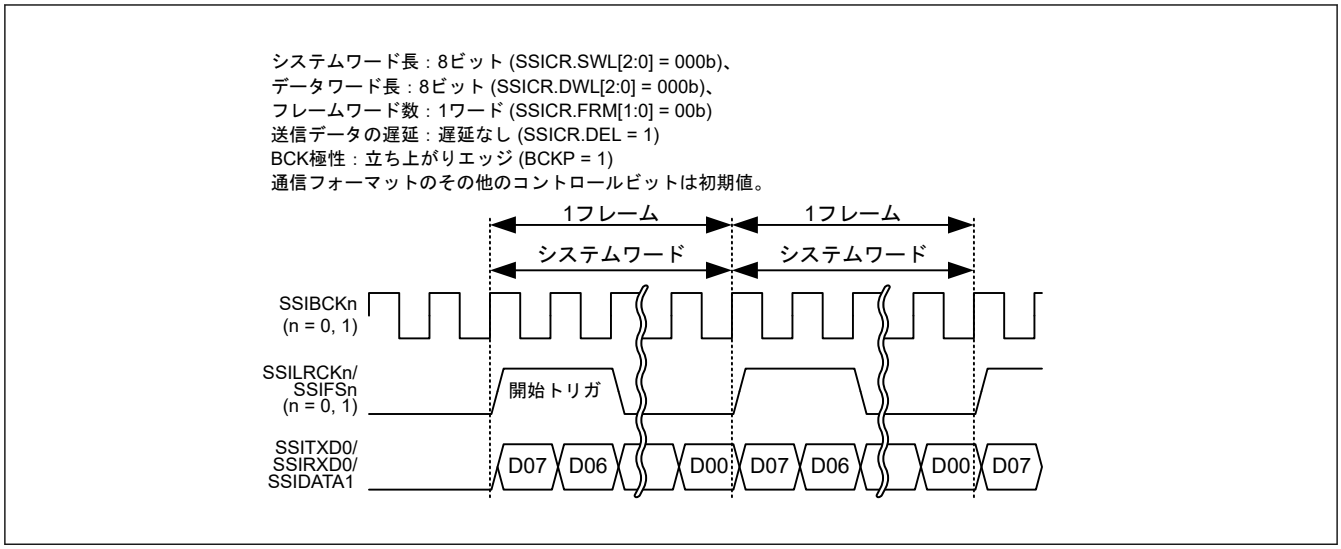


図 37.40　モノラルフォーマットにおけるロングフレーム（パディングなし）

37.3.3　TDM フォーマット

TDM フォーマットは、TDM 互換マルチチャネルデバイスとの通信に用いられる通信フォーマットです。このフォーマット設定 (SSIOFR.OMOD[1:0] = 01b) では、SSICR.FRM[1:0]ビットで設定される 4～8 のシステムワードで 1 フレームが構成されます。このフォーマットでは、SSILRCKn/SSIFSn (n = 0, 1) 信号は最初のシステムワードで High レベル、それ以外では Low レベルとなります。SSILRCKn/SSIFSn (n = 0, 1) 信号上で生成されるパルスは SYNC パルスと定義され、その立ち上がりエッジが 1 フレームの開始を意味します。図 37.41 にパティングなしの TDM フォーマットを示します。図 37.42 にパディングありの TDM フォーマットを示します。

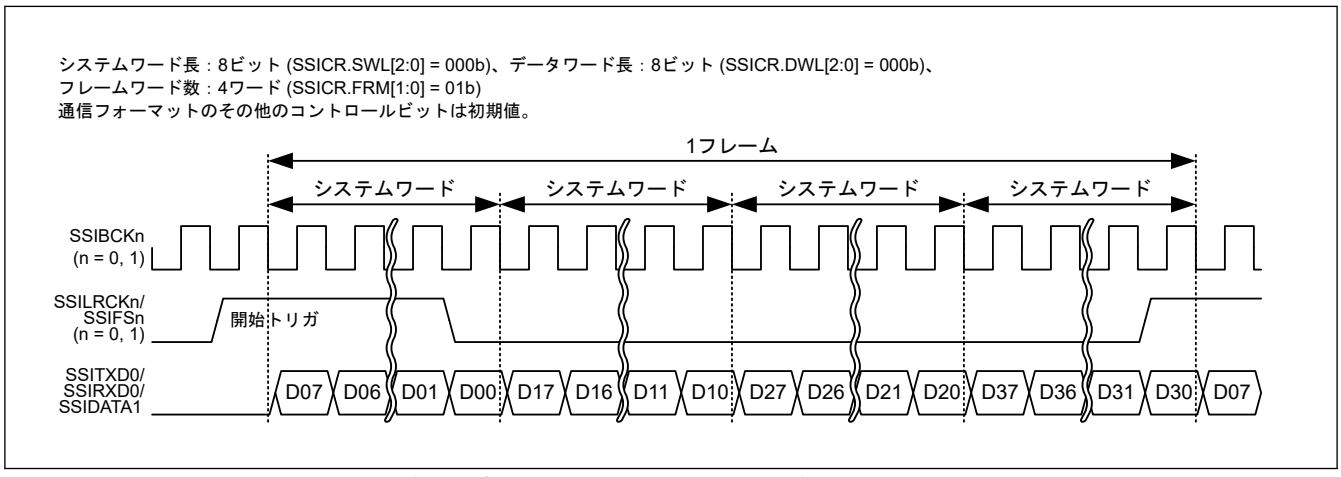


図 37.41　TDM フォーマット（パディングなし、システムワード長 = データワード長）

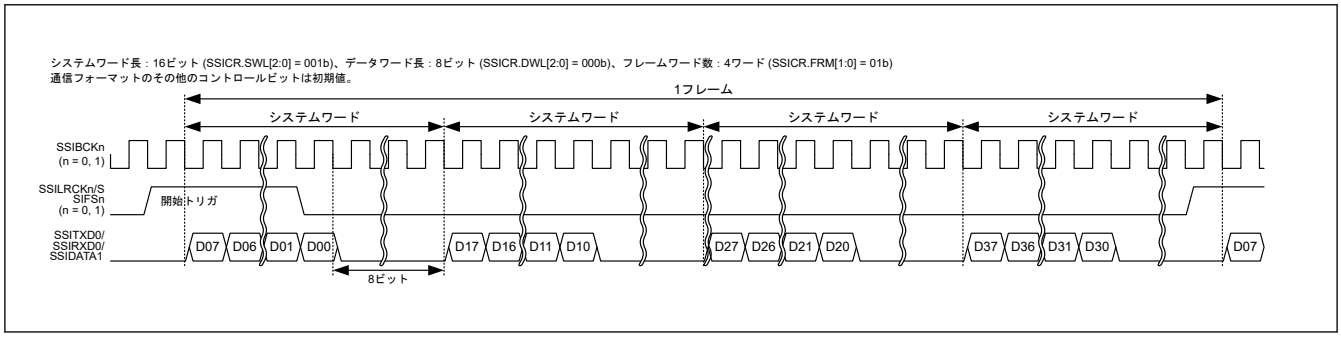


図 37.42　TDM フォーマット（パディングあり、システムワード長 > データワード長）

SSIE がアイドル状態のときの外部端子の状態については、「37.5.1. アイドル状態」を参照してください。

注. SSIE には、通信の同期を示す SSILRCKn/SSIFSn (n = 0, 1) 端子があります。SSIE がスレーブモード (SSICR.MST = 0) のとき、SSIE が使用する通信フォーマットは、相手方デバイスの通信フォーマットと一致していなければなりません。SSIE は、SSILRCKn/SSIFSn (n = 0, 1) 端子の信号入力を、通信開始のトリガとしてのみ使用します。

37.4 通信モード

SSIE は以下の通信モードに対応しています。 表 37.15 に、各通信モードで使用できないコントロールビットを示します。これらの通信モードの詳細については、「37.4.1. スレーブモード通信」から「37.4.5. 送受信」を参照してください。

表 37.14 通信モード

通信モード	SSICR.MST ビット	SSICR.REN ビット	SSICR.TEN ビット
スレーブモード送信	0	0	1
スレーブモード受信	0	1	0
スレーブモード送受信	0	1	1
マスタモード送信	1	0	1
マスタモード受信	1	1	0
マスタモード送受信	1	1	1

表 37.15 各通信モードで使用できないコントロールビット

コントロールビット	スレーブモード受信	スレーブモード送信	スレーブモード送受信	マスタモード受信	マスタモード送信	マスタモード送受信
SSICR.CKS	無効	無効	無効	使用可能	使用可能	使用可能
SSICR.CKDV	無効	無効	無効	使用可能	使用可能	使用可能
SSICR.MUEN	無効	使用可能	使用可能	無効	使用可能	使用可能
SSICR.TEN	無効	使用可能	使用可能	無効	使用可能	使用可能
SSICR.REN	使用可能	無効	使用可能	使用可能	無効	使用可能
SSIFCR.AUCKEN	無効	無効	無効	使用可能	使用可能	使用可能
SSIFCR.TIE	無効	使用可能	使用可能	無効	使用可能	使用可能
SSIFCR.RIE	使用可能	無効	使用可能	使用可能	無効	使用可能
SSIFCR.TFRST	無効	使用可能	使用可能	無効	使用可能	使用可能
SSIFCR.RFRST	使用可能	無効	使用可能	使用可能	無効	使用可能
SSIOFR.BCKASTP	無効	無効	無効	使用可能	使用可能	使用可能
SSIOFR.LRCONT	無効	無効	無効	使用可能	使用可能	使用可能
SSIOFR.OMOD	使用可能	使用可能	使用可能	使用可能	使用可能	使用可能
SSISCR.TDES	無効	使用可能	使用可能	無効	使用可能	使用可能
SSISCR.RDFS	使用可能	無効	使用可能	使用可能	無効	使用可能

「無効」は、動作への影響がないことを意味します。書き込みは可能です。

37.4.1 スレーブモード通信

SSICR.MST = 0 のとき、SSIE はスレーブモードで動作します。シリアルデータ通信で使用する SSIBCKn (n = 0, 1) 信号および SSILRCKn/SSIFSn (n = 0, 1) 信号は、外部デバイスから供給されなければなりません。これらの信号が SSIE の通信フォーマット設定と一致しない場合、動作は保証できません。

37.4.2 マスタモード通信

SSICR.MST = 1 のとき、SSIE はマスタモードで動作します。シリアルデータ通信で使用する SSIBCKn (n = 0, 1) 信号および SSILRCKn/SSIFSn (n = 0, 1) 信号は、内部のオーディオクロックから生成されなければなりません。これらの信号は、SSIE の設定に応じたフォーマットを使用します。スレーブデバイスが使用する通信フォーマットが SSIE の通信フォーマットと一致しない場合、動作は予測できません。

37.4.3 送信

SSICR.TEN ビットが 1 かつ SSICR.REN ビットが 0 のとき、SSIE は相手方デバイスにシリアルデータを送信します。相手方デバイスが使用する通信フォーマットが SSIE の通信フォーマットと一致しない場合、動作は予測できません。

37.4.4 受信

SSICR.TEN ビットが 0 かつ SSICR.REN ビットが 1 のとき、SSIE は相手方デバイスからシリアルデータを受信します。相手方デバイスが使用する通信フォーマットが SSIE の通信フォーマットと一致しない場合、動作は予測できません。

37.4.5 送受信

SSICR.TEN ビットが 1 かつ SSICR.REN ビットが 1 のとき、SSIE は相手方デバイスとの間でシリアルデータを送受信します。相手方デバイスが使用する通信フォーマットが SSIE の通信フォーマットと一致しない場合、動作は予測できません。

37.5 動作説明

SSIE には主な動作状態が 2 つあります。図 37.43 に、SSIE の状態遷移を示します。

- アイドル状態 (SSISR.IIRQ = 1)
- 通信状態 (SSISR.IIRQ = 0)

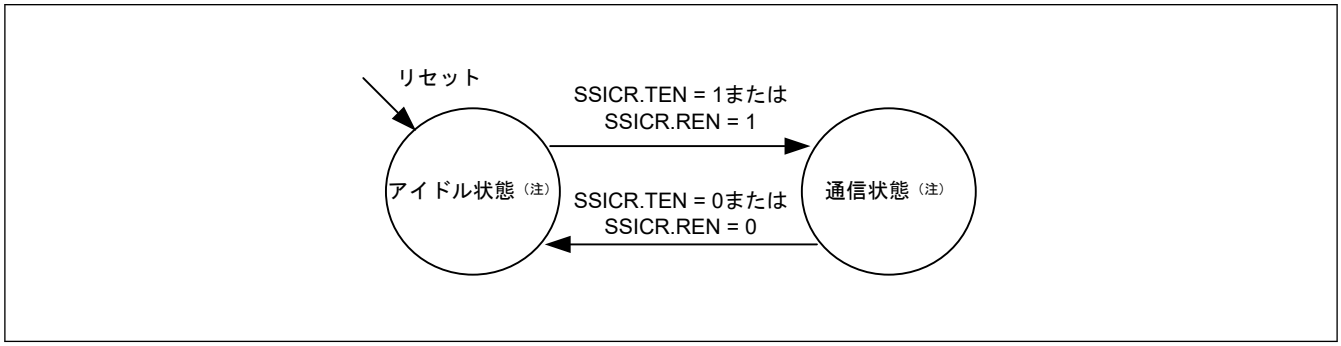


図 37.43 SSIE の状態遷移

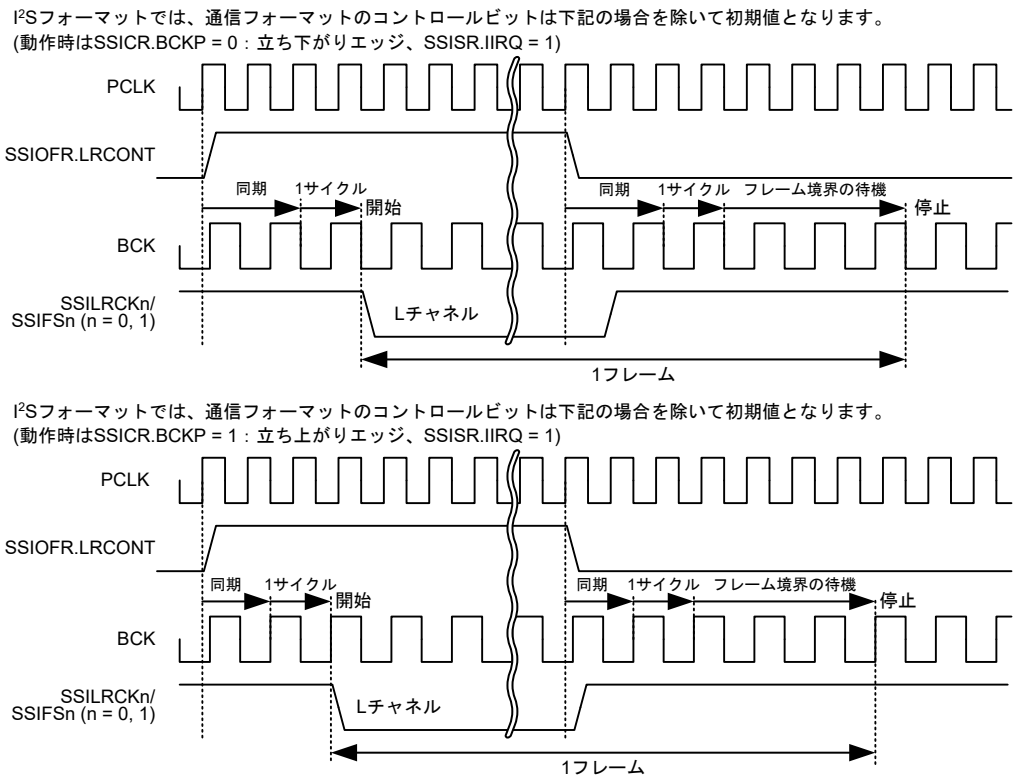
注. アイドル状態の詳細については、「37.6.1. 通信開始」を参照してください。
通信状態の詳細については、「37.6.2. 送信」を参照してください。

37.5.1 アイドル状態

この状態では、SSIE の通信は停止しています。ただし、SSICR.MST ビットが 1 のときは、外部端子への BCK および LR クロック／フレームの同期信号の出力を、SSIOFR.BCKASTP および SSIOFR.LRCONT ビットの設定によってコントロールできます。この機能は、すべてのフォーマットに共通です。詳細については、表 37.16 を参照してください。

表 37.16 アイドル状態における外部端子からの出力

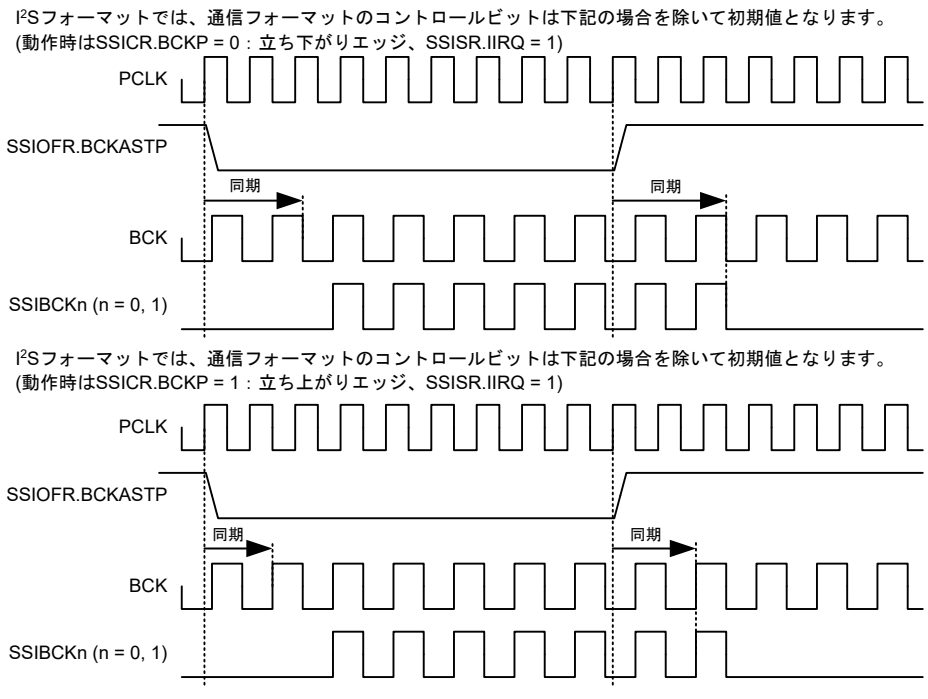
SSICR.MST	SSIOFR.BCKASTP	SSIOFR.LRCONT	端子からの出力		
			SSIBCKn (n = 0, 1)	SSILRCKn/SSIFSn (n = 0, 1)	SSITXD0/SSIDATA1
0	—	—	停止	停止	停止
1	0	0	供給	停止	停止
1	0	1	供給	供給	停止
1	1	0	停止	停止	停止
1	1	1	停止	供給	停止



注. PCLK = PCLKB

図 37.44 SSIOFR.LRCONT による LR クロック／フレーム同期継続禁止の例

注. マスタモード通信 (SSICR.MST = 1) 時、SSIE がアイドル状態のときに SSIOFR.LRCONT で SSILRCKn/SSIFSn (n = 0, 1) 端子への出力を停止するには、以下のことに留意してください。SSIOFR.LRCONT ビットの値が 1 から 0 に変化したときに出力が停止します。相手方デバイスへの影響がないことを確認してください。



注. PCLK = PCLKB

図 37.45 SSIOFR.BCKASTP による SSIBCKn (n = 0, 1) 停止の例

注. マスタモード通信 (SSICR.MST = 1) 時、SSIE がアイドル状態のときに SSIOFR.BCKASTP で SSIBCKn (n = 0, 1) 端子への出力を停止するには、以下に留意してください。SSIOFR.BCKASTP ビットの値が 0 から 1 に変化したときに出力が停止します。相手方デバイスへの影響がないことを確認してください。

37.5.2 通信状態

この状態では、SSIE は通信中です。 図 37.46 に通信状態の遷移を、表 37.17 に遷移条件を示します。遷移条件が満たされないと、状態は遷移しません。

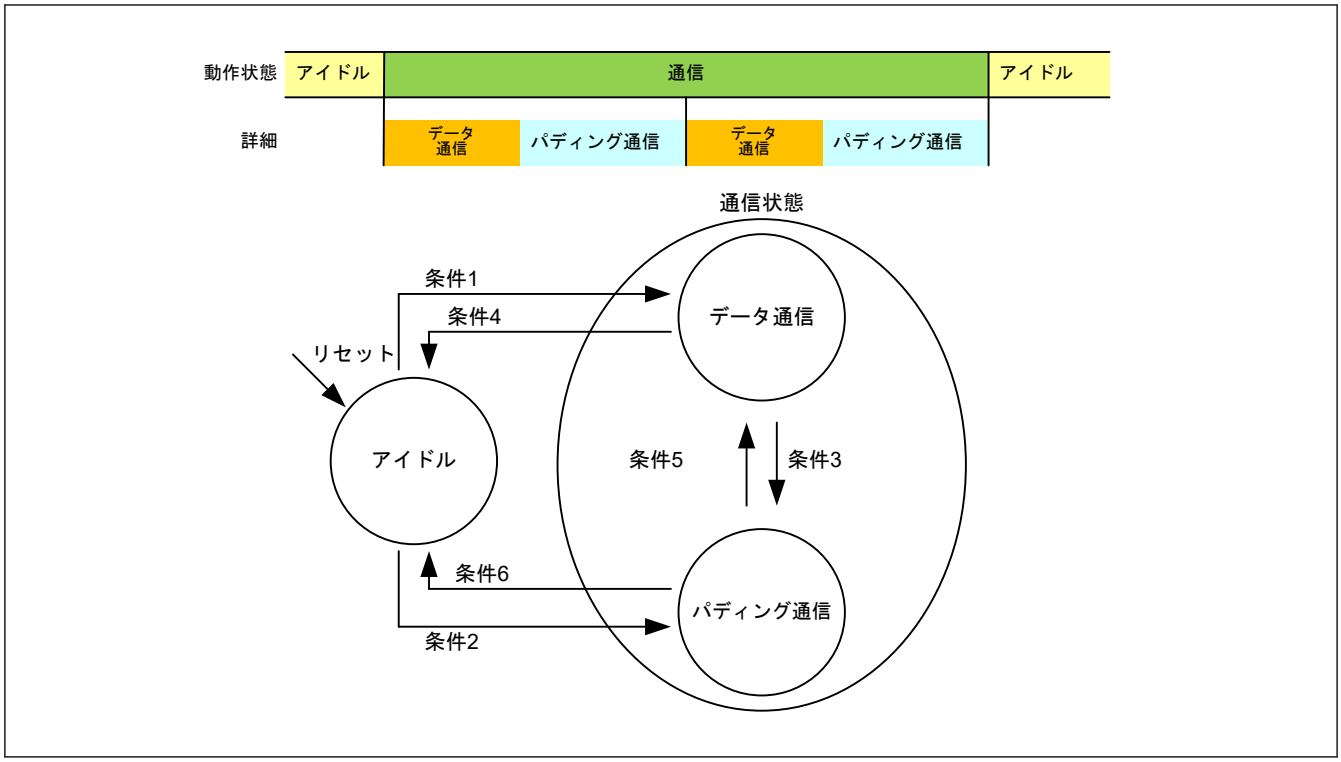


図 37.46　通信状態の遷移

表 37.17　通信状態の遷移条件

条件番号	遷移条件
1	SSICR.SDTA = 0 またはパディングビットなしの設定時に、SSICR.TEN = 1 または SSICR.REN = 1 を書き込んだとき
2	SSICR.SDTA = 1 かつパディングビットありの設定時に、SSICR.TEN = 1 または SSICR.REN = 1 を書き込んだとき
3	次の 3 つの条件がすべて満たされたとき ● SSICR.TEN = 1 または SSICR.REN = 1 ● パディングビットありの設定 ● データワードの最終ビットの転送が完了した
4	次の 2 つの条件が両方満たされたとき ● SSICR.SDTA = 1 またはパディングビットなし ● SSICR.TEN = 0 かつ SSICR.REN = 0 の間に、フレームのデータワードの最終ビットの転送が完了した
5	SSICR.TEN = 1 または SSICR.REN = 1 の間に、最終パディングビットの転送が完了した
6	次の 2 つの条件が両方満たされたとき ● SSICR.SDTA = 0 かつパディングビットあり ● SSICR.TEN = 0 かつ SSICR.REN = 0 の間に、最終パディングビットの転送が完了した

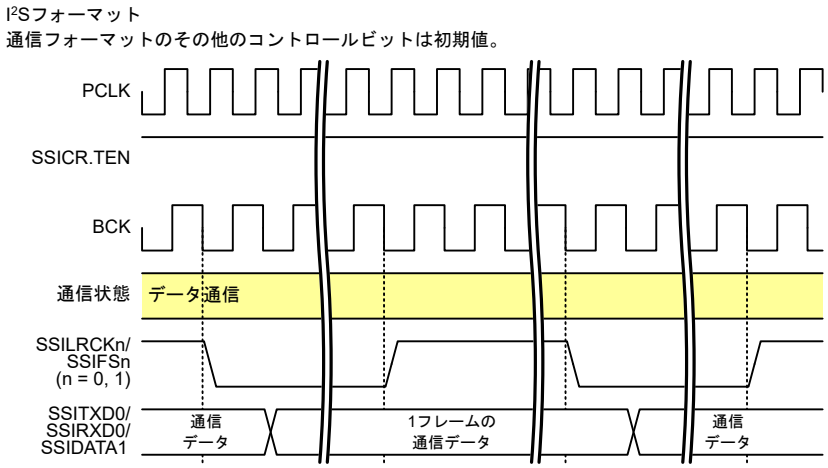
パディング有無の設定については、表 37.13 を参照してください。

37.5.2.1　データ通信状態

この状態では、SSIE は通信中です。SSICR.DWL[2:0]で設定されたデータワード長のデータが、送信、受信、または送受信されます。

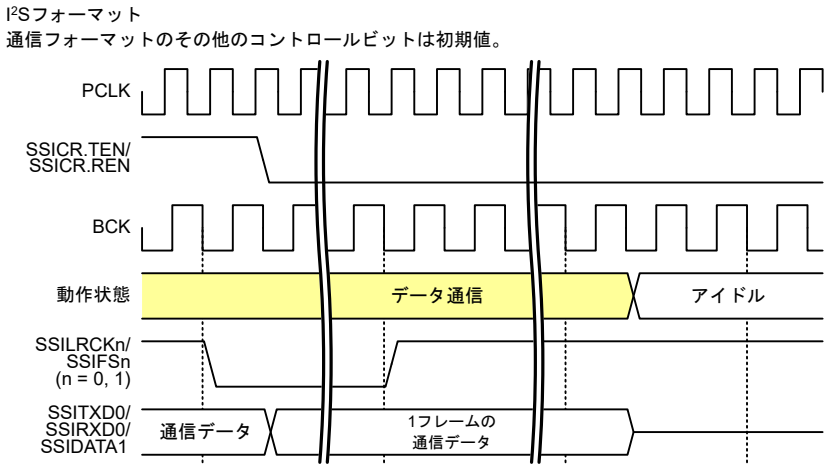
- パディングビットなし設定時の状態遷移

通信中 (SSISR.IIRQ = 0)、SSIE は常時データ通信を行っています。送受信を禁止する（SSICR.TEN = 0、SSICR.REN = 0）ことで、SSIE はアイドル状態に遷移します。詳細については、図 37.47 および図 37.48 を参照してください。



注. PCLK = PCLKB

図 37.47 データ通信の継続



注. PCLK = PCLKB

図 37.48 データ通信からの停止（パディングビットなし）

- パディングビットあり設定時の状態遷移

図 37.49 に示すとおり、通信中 (SSISR.IIRQ = 0) にデータワードの最終ビットの送信が完了すると、SSIE はデータ通信状態からパディング通信状態に遷移します。SSICR.SDTA=1 かつ送受信が禁止（SSISR.TEN = 0 かつ SSICR.REN = 0）の状態を除き、図 37.50 に示すとおり、SSIE は通信を停止するとデータ通信状態からアイドル状態に遷移します。

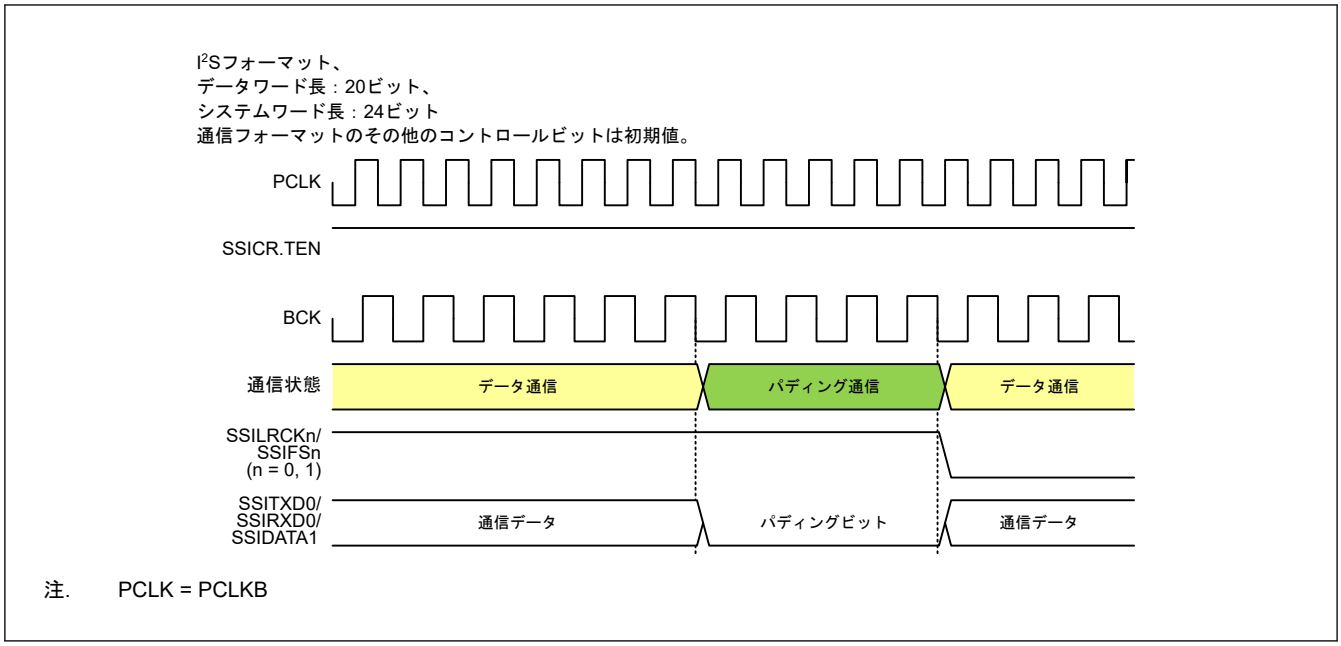


図 37.49 データ通信からパディング通信への遷移

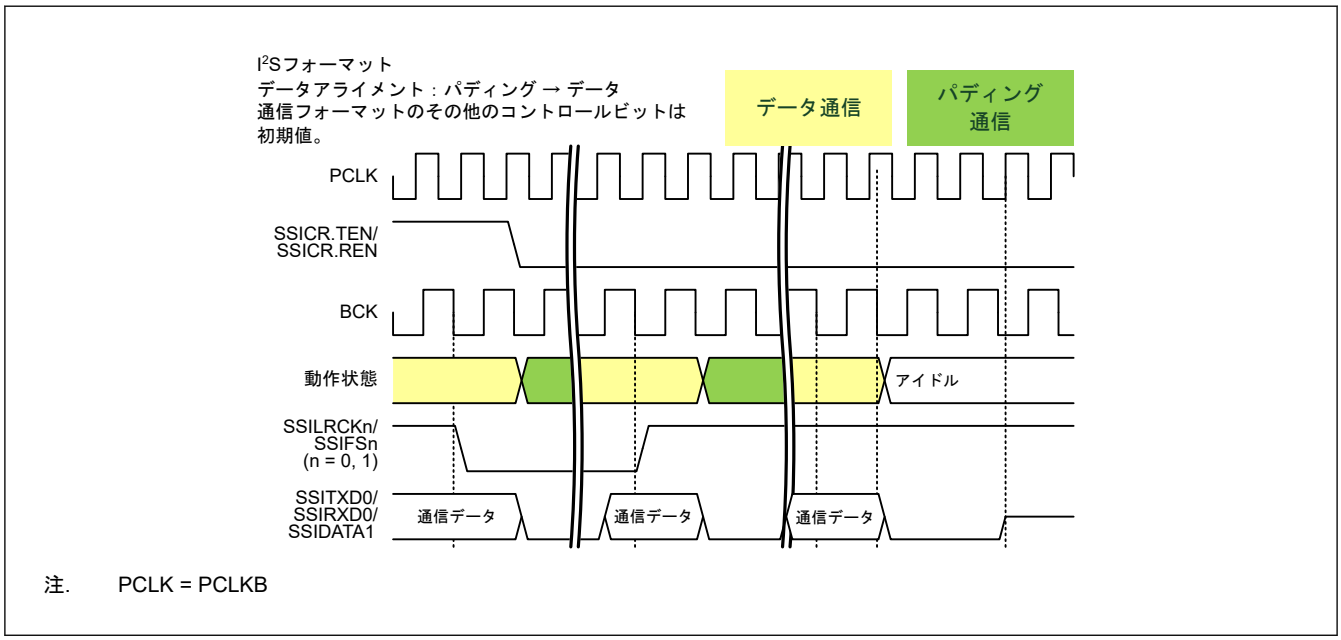


図 37.50 データ通信からの停止（パディングビットあり）

37.5.2.2 パディング通信

この状態では、SSIE は通信中です。SSICR.SWL[2:0]ビットおよび SSICR.DWL[2:0]で設定されたパディングビットが、送信、受信、または送受信されます。

- パディングビットあり設定時の状態遷移

図 37.49 に示すとおり、通信中 (SSISR.IIRQ = 0) に最終パディングビットの送信が完了すると、SSIE はデータ通信状態に遷移します。SSICR.SDTA = 0 かつ送受信が禁止（SSISR.TEN = 0 かつ SSICR.REN = 0）の状態の場合、図 37.51 に示すとおり、SSIE は通信を停止するとパディング通信状態からアイドル状態に遷移します。

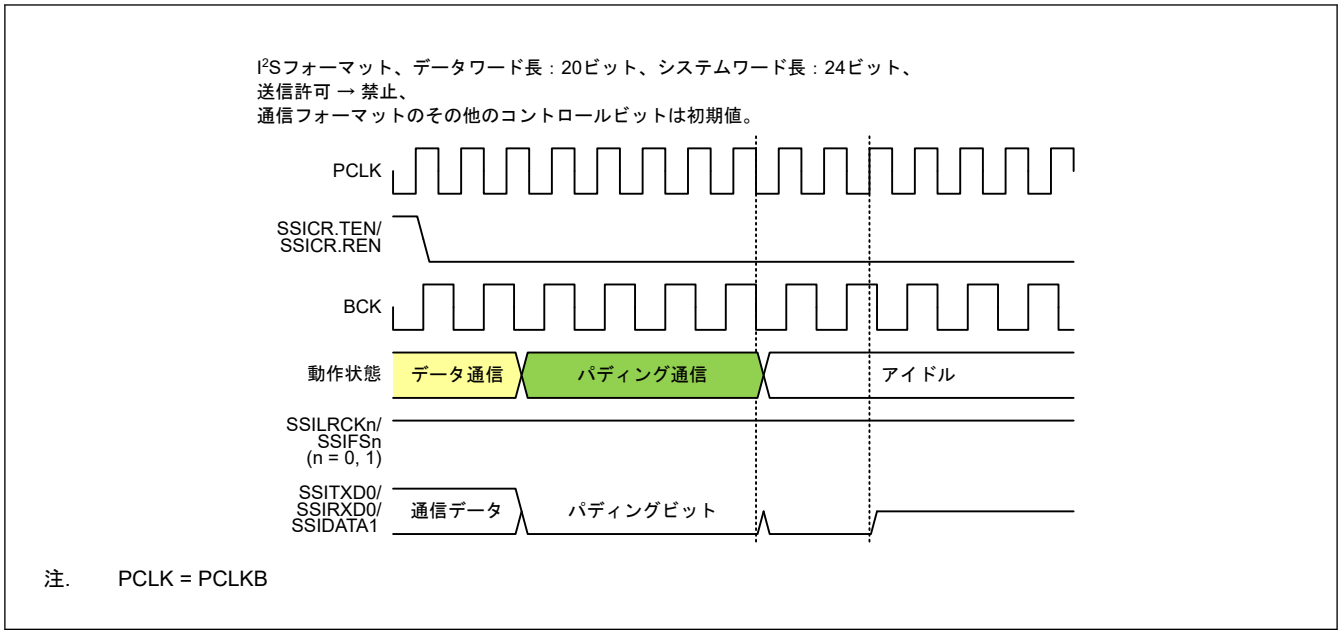


図 37.51 パディング通信からの停止

37.6 通信動作

図 37.52 に、SSIE の通信フローを示します。

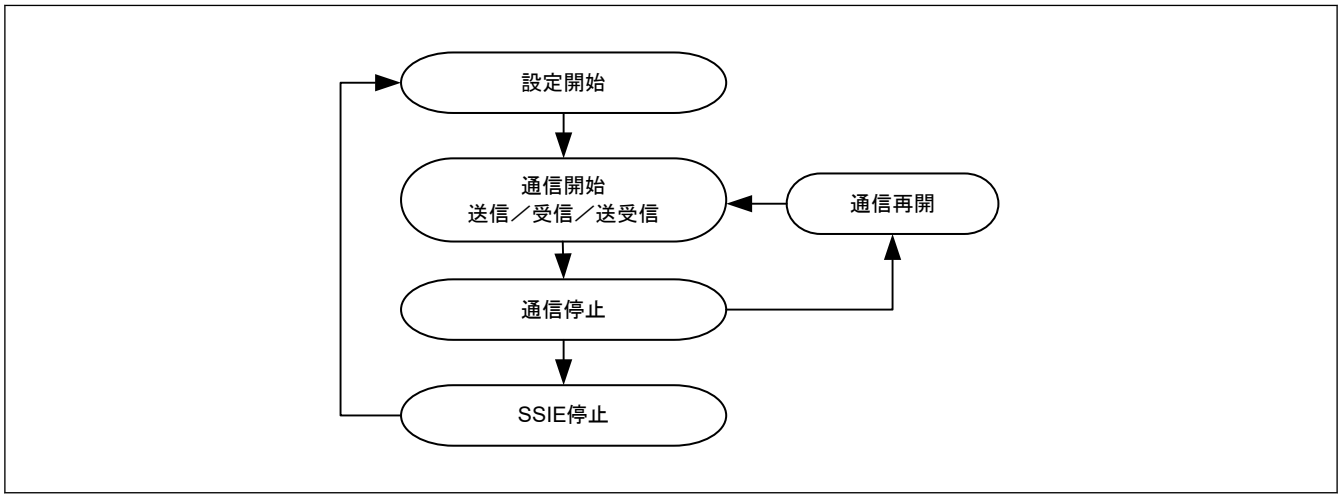
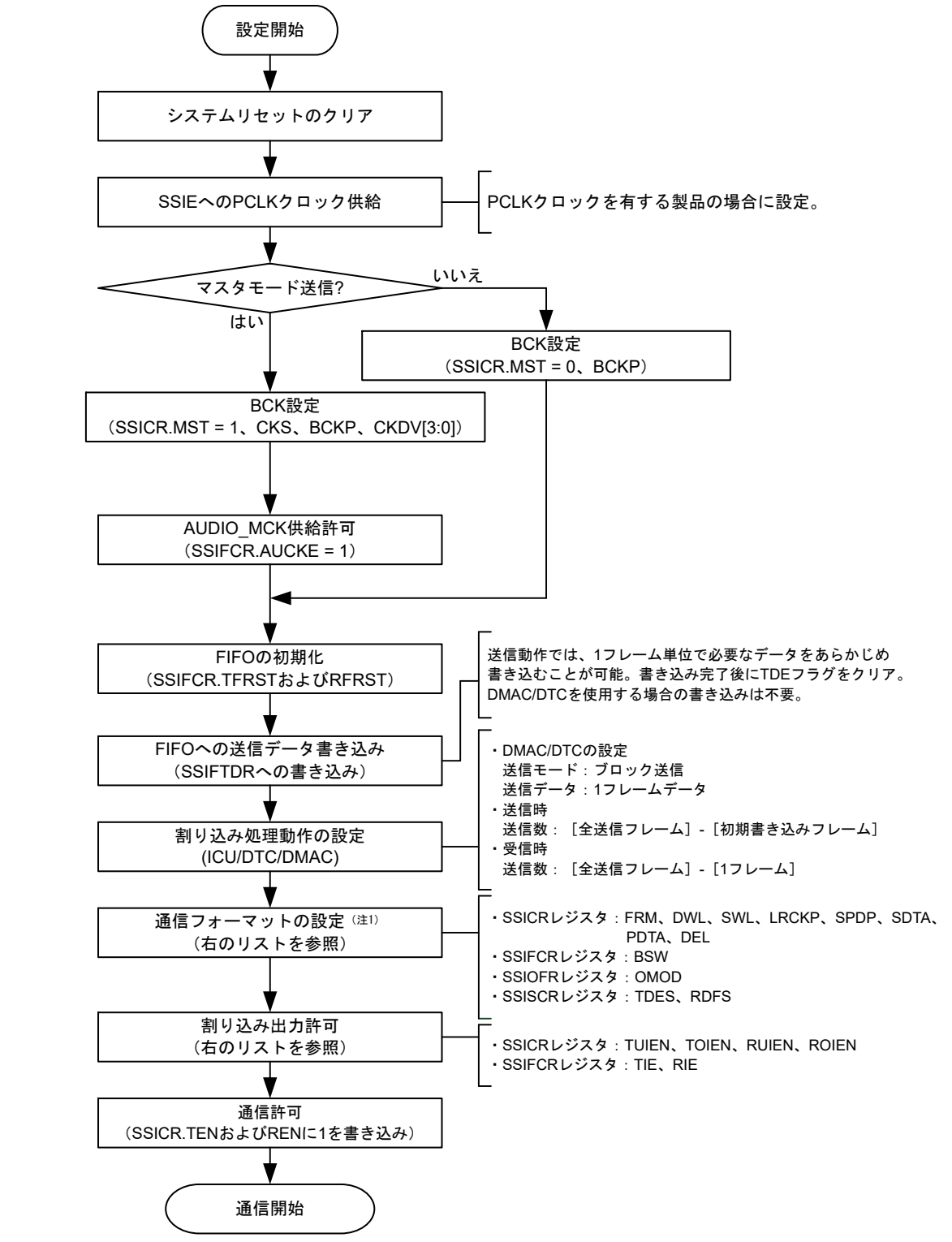


図 37.52 SSIE の通信動作

各動作の手順は、「37.6.1. 通信開始」～「37.6.7. 通信再開」で説明しています。

37.6.1 通信開始

本セクションでは、SSIE の通信を開始する方法について説明します。図 37.53 に、通信開始手順を示します。必ずこの手順に従ってください。送信動作については「37.6.2. 送信」、受信動作については「37.6.3. 受信」を参照してください。



注. PCLK = PCLKB
注 1. 通信フォーマットの設定が完了してから、SSICR.MUEN、SSIOFR.BCKASTP、SSIOFR.LRCONT を設定します。

図 37.53 通信開始手順（CPU 動作手順）

SSIE は、DTC/DMAC 割り込みによる連続通信が可能です。送信するには、SSIFCR.TIE、SSICR.TUIEN、SSICR.TOIEN に 1 を書き込みます。受信するには、SSIFCR.RIE、SSICR.RUIEN、SSICR.ROIEN に 1 を書き込みます。

37.6.2 送信

送信動作全体を通して、図 37.54 に示す送信手順に従う必要があります。

送信を許可（SSICR.TEN = 1 かつ SSICR.REN = 0）にしたあと、SSILRCKn/SSIFSn (n = 0, 1) によって開始トリガが生成されると、SSIE は送信 FIFO データレジスタ (SSIFTDR) に含まれる少なくとも 1 フレームのシリアルデータで送信を開始します。SSIE は、TDE 設定条件 (SSISCR.TDES) および通信の開始手順で指定した送信データエンプティ割り込み許可ビット (SSIFCR.TIE) の状態に応じて、送信データエンプティ割り込みを DTC/DMAC に出力します。この割り込みは、送信 FIFO データレジスタ (SSIFTDR) への書き込みを要求します。通信開始手順では、送信データエンプティ割り込みに対応する DTC/DMAC 動作として、送信 FIFO データレジスタ (SSIFTDR) への書き込みを指定します。この設定により、SSIE は CPU を経由せずに連続的にデータを送信できます。送信 FIFO データレジスタの空き容量が SSISCR.TDES で設定した値に達したとき、送信データエンプティ割り込みが生成されます。書き込み回数は、送信データエンプティ割り込みによって示される送信 FIFO データレジスタの空き容量に応じて指定してください。エラー発生時は、通信停止手順で説明するエラー処理手順を実行してください。

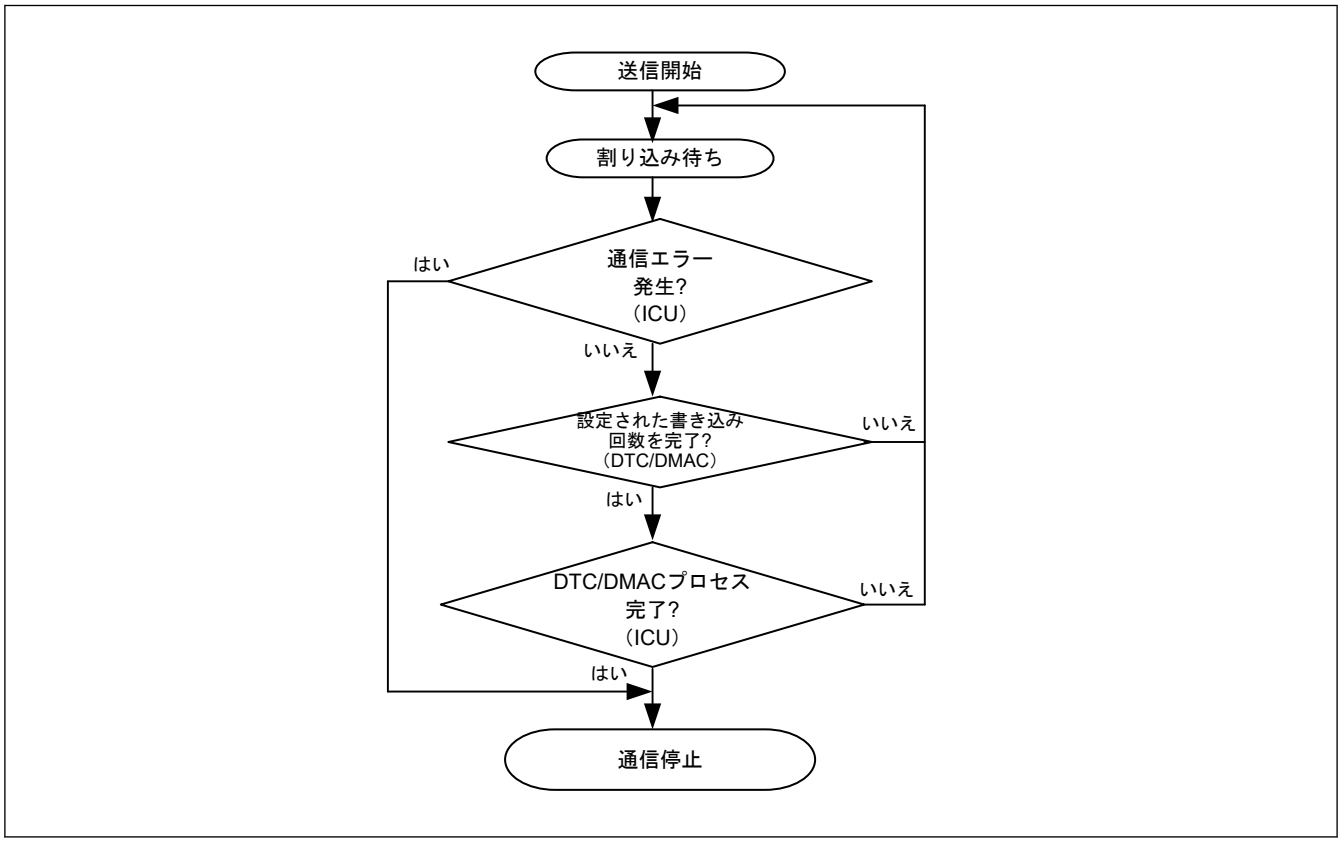


図 37.54 送信手順

注. SSIE で定義される通信フローは、DTC/DMAC を使用します。DTC/DMAC を使用していないときに SSIFTDR にデータを書き込むには、SSIFSR.TDE の値 1 のポーリングを実行します。SSISCR.TDE の値 1 検出による SSIFTDR へのデータ書き込み回数は、SSISCR.TDES で指定される送信 FIFO データレジスタの空き容量に応じて指定してください。空き容量と同量の送信データが SSIFTDR に書き込まれた場合、SSIFSR.TDE フラグはクリアされなければなりません。データ書き込みを繰り返すことで、連続送信が有効になります。SSIFSR.TDE フラグは、意図的にクリアしない限り自動でクリアされることはありません。

37.6.3 受信

受信動作全体を通して、図 37.55 に示す受信手順に従う必要があります。

受信を許可（SSICR.TEN = 0 かつ SSICR.REN = 1）したあと、SSILRCKn/SSIFSn (n = 0, 1) によって開始トリガが生成されると、SSIE は受信を開始します。SSIE は、RDF 設定条件 (SSISCR.RDFS) および通信の開始手順で指定した受信データフル割り込み許可ビット (SSIFCR.RIE) の状態に応じて、受信データフル割り込みを DTC/DMAC に出力します。この割り込みは、受信 FIFO データレジスタ (SSIFRDR) からの読み出しを要求します。通信開始手順では、受信データフル割り込みに対応する DTC/DMAC 動作として、受信 FIFO データレジスタ (SSIFRDR)

からの読み出しを指定します。この設定により、SSIE は CPU を経由せずに連続的にデータを読み出すことができます。受信データフル割り込みは、受信 FIFO データレジスタの容量と同量のデータが保存されたときに生成されます。読み込み回数は、受信データフル割り込みによって示される受信 FIFO データレジスタのデータサイズに従って指定されなければなりません。エラー発生時は、通信停止手順で説明するエラー処理手順を実行してください。

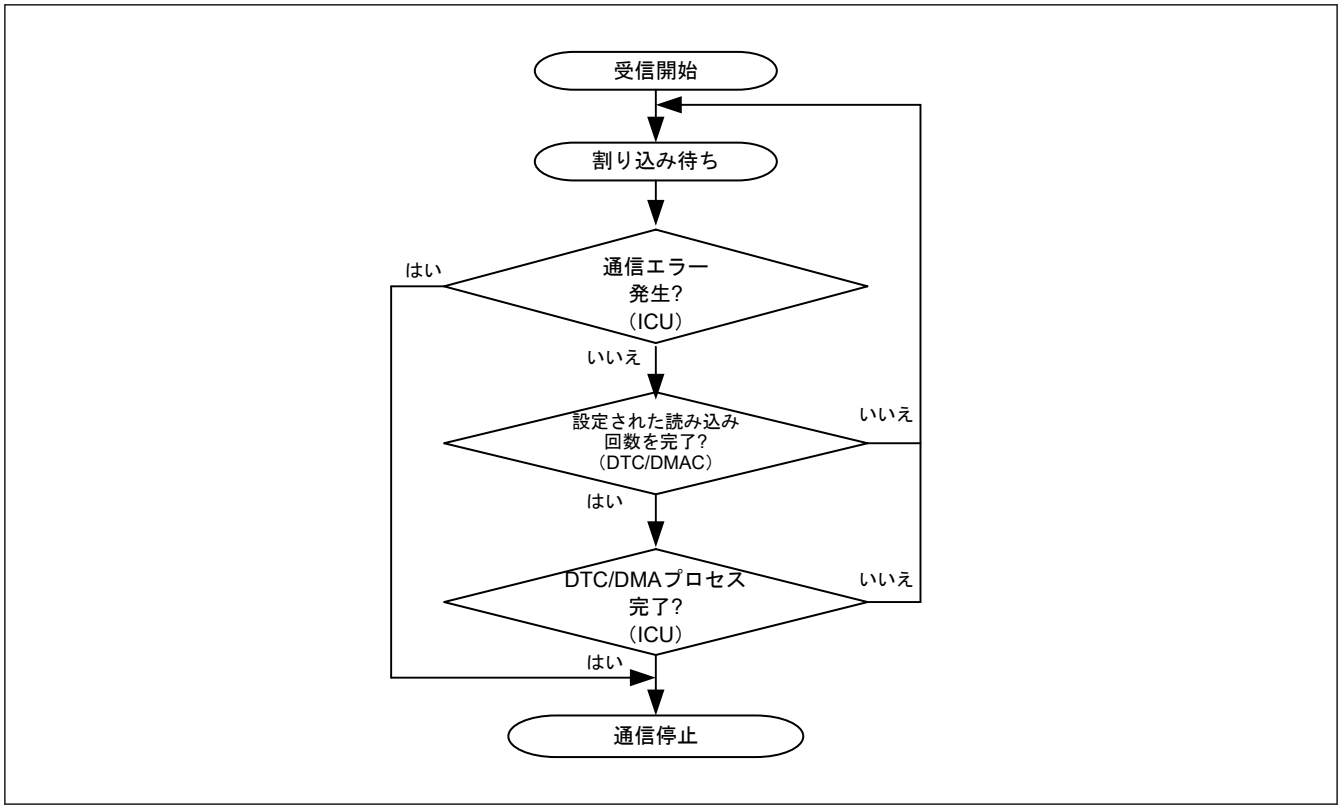


図 37.55 受信手順

注. SSIE で定義される通信フローは、DTC/DMAC を使用します。DTC/DMAC を使用していないときに SSIFRDR からデータを読み出すには、SSIFSR.RDF の値 1 のポーリングを実行します。SSISCR.RDF の値 1 検出による SSIFRDR からのデータ読み出し回数は、SSISCR.RDFS で指定される受信 FIFO データレジスタの受信データ保存容量に応じて指定してください。受信されたデータが SSIFRDR から読み出されたら、SSIFSR.RDF フラグはクリアされなければなりません。データ読み出しを繰り返すことで、連続受信が有効になります。SSIFSR.RDF フラグは、意図的にクリアしない限り自動でクリアされることはありません。

37.6.4 送受信

送受信を許可（SSICR.TEN = 1 かつ SSICR.REN = 1）したあと、SSILRCKn/SSIFSn (n = 0, 1) によって開始トリガが生成されると、SSIE は送信 FIFO データレジスタ (SSIFTDR) に含まれる少なくとも 1 フレームのシリアルデータで送受信を開始します。SSIE は、それぞれ「37.6.2. 送信」および「37.6.3. 受信」に記載の手順を実行することで、連続的に送信および受信することが可能です。送受信を停止する方法については、「37.6.5. 通信停止」を参照してください。

37.6.5 通信停止

本セクションでは、SSIE の通信を停止する方法について説明します。 図 37.56 に、通信停止手順を示します。必ず手順に従ってください。

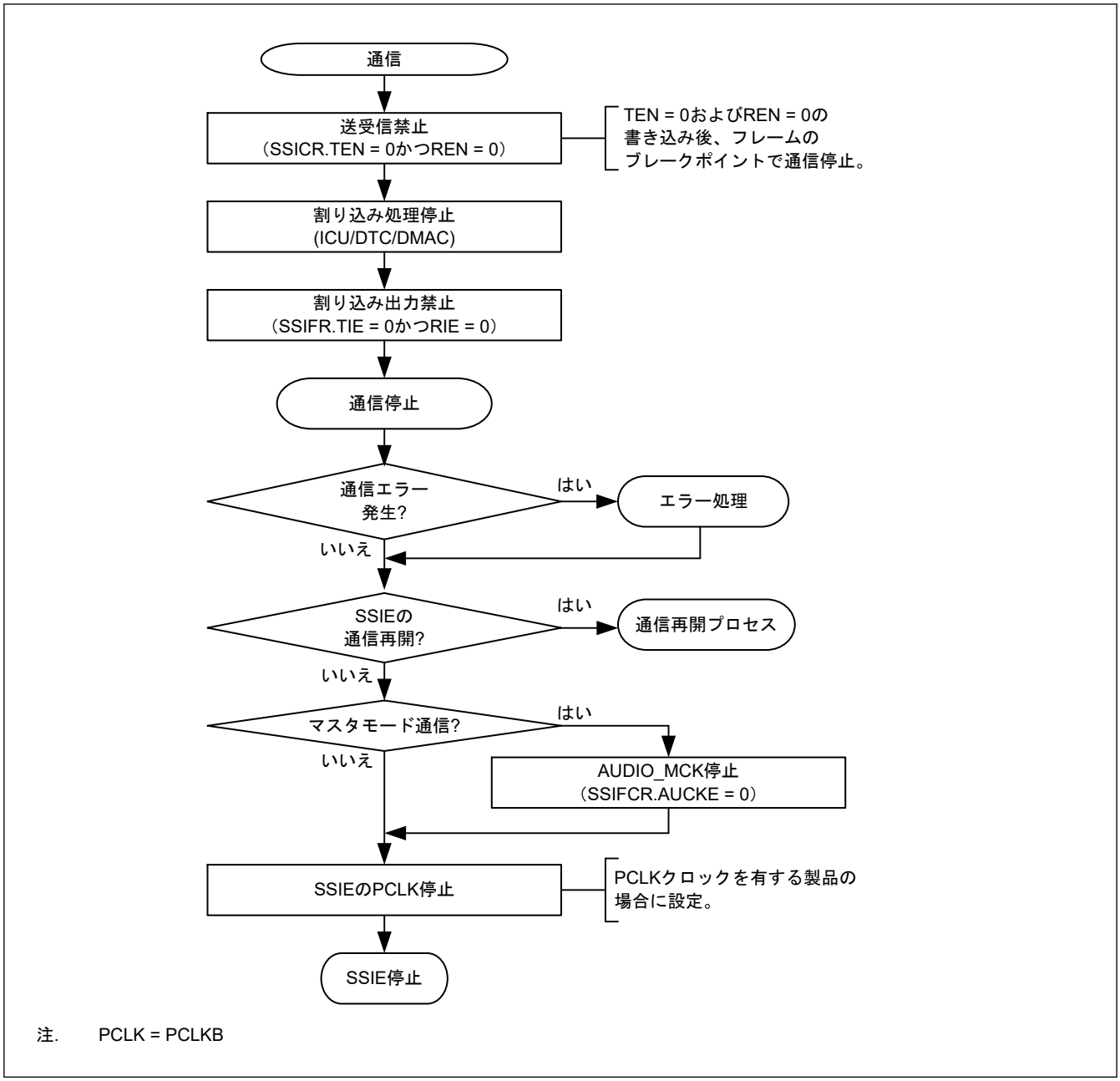


図 37.56 通信停止手順（CPU 動作手順）

SSIE の通信を停止するには、SSISR.IIRQ ビットがアイドル状態を示すまで以下のクロックの供給が必要です。

- SSICR.MST = 0 のとき、SSIBCKn (n = 0, 1) 端子からの入力クロック
- SSICR.MST = 1 のとき、AUDIO_MCK
  元の設定で SSIE の通信を再開するには、「37.6.7. 通信再開」を参照してください。

注. 図 37.56 に示す通信停止手順に従って SSIE の通信が停止されたら、図 37.58 に示す通信再開手順に従って通信を再開します。

37.6.6 エラー処理

SSIE には、以下の 4 つのエラーがあります。

- 送信アンダーフローエラー
- 送信オーバーフローエラー
- 受信アンダーフローエラー

- 受信オーバーフローエラー

アンダーフローエラーまたはオーバーフローエラーが発生した場合、SSIE の再起動が必要です。図 37.56 の通信停止手順および図 37.57 のエラー処理手順に従ってください。

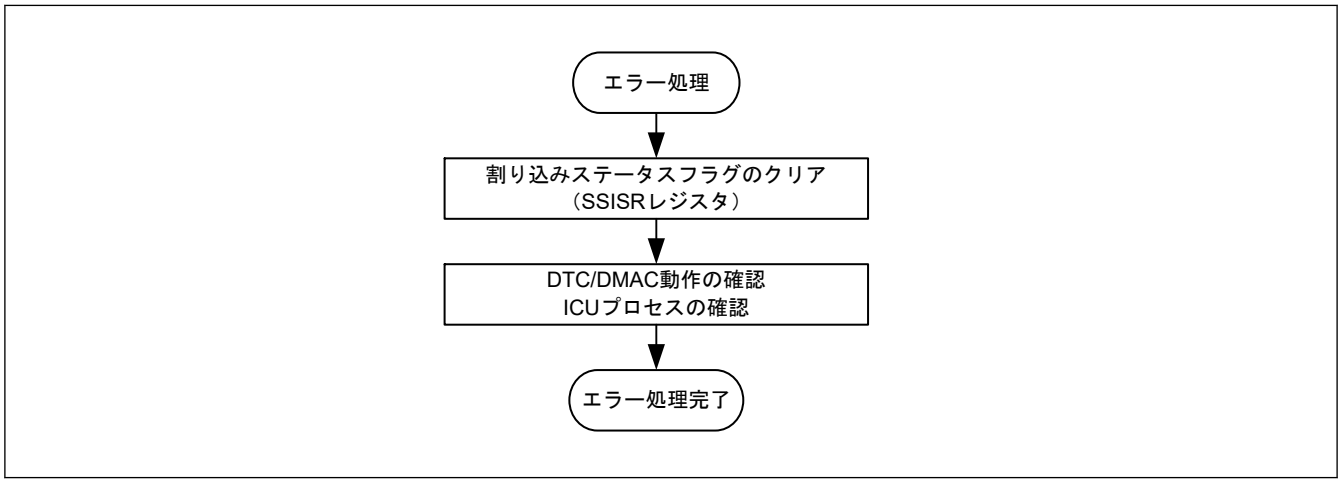


図 37.57　エラー処理手順

4 つのエラー動作について以下に説明します。SSICR レジスタの割り込み出力許可ビットを許可し、エラーフラグが設定されたとき、エラー割り込みが生成されます。エラーフラグの設定条件は、「37.2.2. SSISR : ステータスレジスタ」を参照してください。

(1)　送信アンダーフローエラー

送信アンダーフローエラーが発生した場合、送信データエンプティ割り込みに応じた送信 FIFO データレジスタ (SSIFTDR) への書き込み回数を見直してください。送信アンダーフローエラーが発生すると、SSIE はデータとして 0 を出力します。送信 FIFO データレジスタ (SSIFTDR) へ書き込まれたシリアルデータが、SSITXD0/SSIDATA1 端子へ正常に出力されるようにするには、図 37.56 の通信停止手順と図 37.57 のエラー処理手順に従ってください。エラーが発生するときは、通常はシリアルデータはありません。通信を再開したら、最初からシリアルデータを書いてください。

(2)　送信オーバーフローエラー

送信オーバーフローエラーが発生したときは、送信データエンプティ割り込みに対応する送信 FIFO データレジスタ (SSIFTDR) へのデータ書き込み回数を見直してください。送信オーバーフローエラーを引き起こした送信 FIFO データレジスタ (SSIFTDR) に書き込まれたシリアルデータは、無効になります。このエラーは、送信動作中かどうかを問わず発生します。エラーから復旧するには、図 37.56 の通信停止手順および図 37.57 のエラー処理手順に従ってください。通信再開時には、無効なシリアルデータを適切に扱ってください。

(3)　受信アンダーフローエラー

受信アンダーフローエラーが発生したときは、受信データフル割り込みに対応する受信 FIFO データレジスタ (SSIFRDR) からのデータ読み出し回数を見直してください。受信アンダーフローエラーを引き起こした受信 FIFO データレジスタ (SSIFRDR) から読み出された値は不定です。このエラーは、受信動作中かどうかを問わず発生します。エラーから復旧するには、図 37.56 の通信停止手順および図 37.57 のエラー処理手順に従ってください。

(4)　受信オーバーフローエラー

受信オーバーフローエラーが発生したときは、受信データフル割り込みに対応する受信 FIFO データレジスタ (SSIFRDR) からのデータ読み出し回数を見直してください。受信オーバーフローエラーを引き起こした受信データは、受信 FIFO データレジスタ (SSIFRDR) に格納できません。エラーから復旧するには、図 37.56 の通信停止手順および図 37.57 のエラー処理手順に従ってください。

37.6.7　通信再開

SSIE を用いた通信を再開するには、図 37.58 の通信再開手順に従ってください。通信再開手順は、通信停止手順によって停止した通信を、一切の設定変更なしに再開することを想定して設計されています。クロックおよびス

レーブ／マスタ設定を変更するには、図 37.53 の通信開始手順を用い、これに従ってください。通信開始後の送信動作および受信動作の詳細については、それぞれ「37.6.2. 送信」および「37.6.3. 受信」を参照してください。

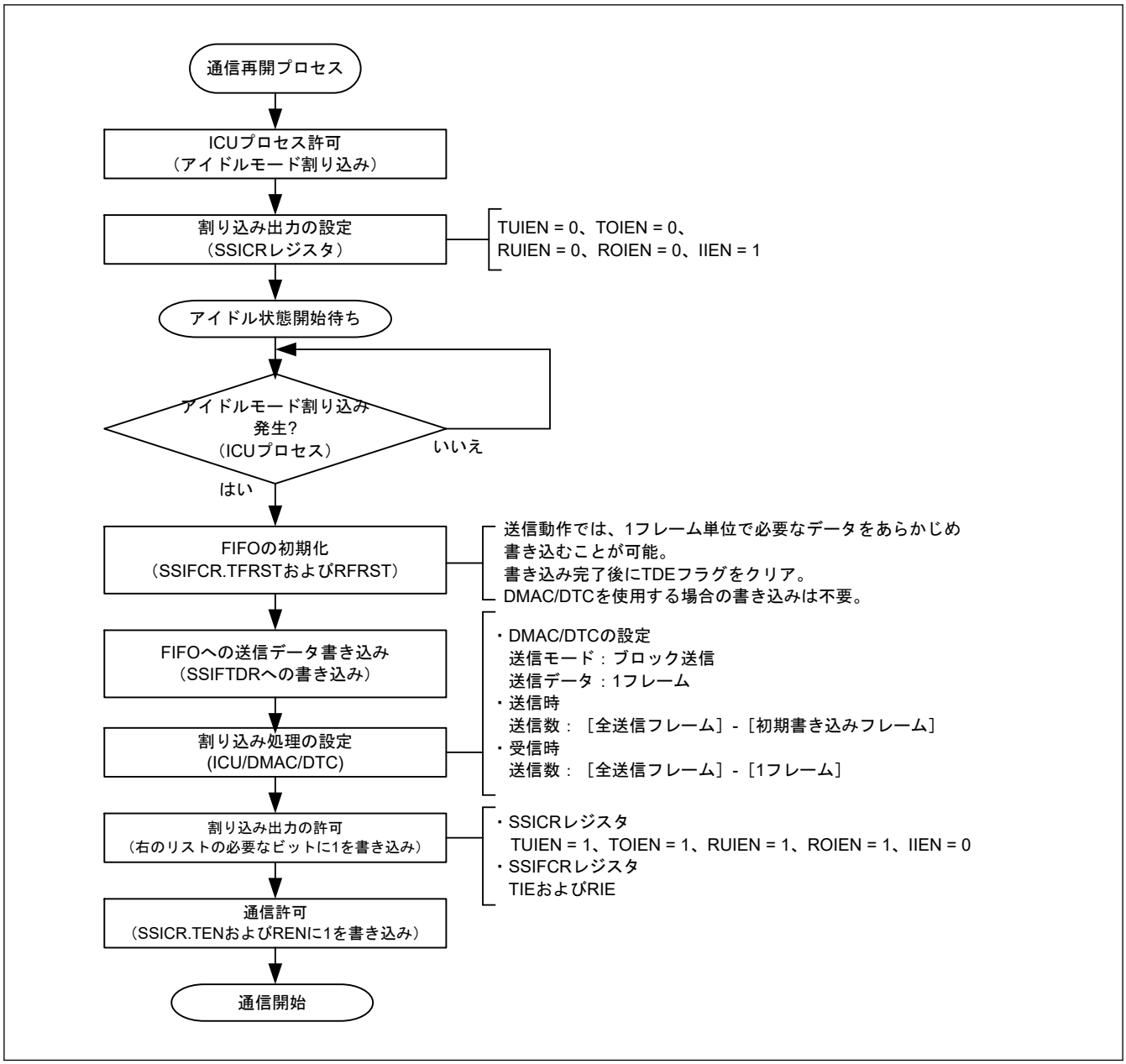


図 37.58　通信再開手順（CPU 動作手順）

37.7　割り込み

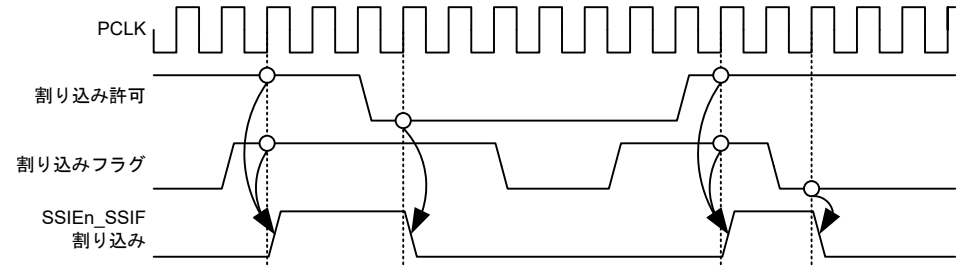
表 37.18 に、割り込み要因の一覧を示します。SSICR レジスタの TUIEN、TOIEN、RUIEN、ROIEN、IIEN ビット 、および SSIFCR レジスタの TIE、RIE ビットにより、各要因の割り込み出力の許可／禁止を設定します。

表 37.18 SSIE の割り込み要因

チャネル	割り込み要因	説明	割り込みフラグ	DMAC/DTC 起動
SSIE0	SSIE0_SSIF	• 送信アンダーフロー割り込み • 送信オーバーフロー割り込み • 受信アンダーフロー割り込み • 受信オーバーフロー割り込み • アイドル割り込み	SSISR.TUIRQ SSISR.TOIRQ SSISR.RUIRQ SSISR.ROIRQ SSISR.IIRQ	不可能
	SSIE0_SSIRXI	受信データフル割り込み	SSIFSR.RDF	可能
	SSIE0_SSITXI	送信データエンプティ割り込み	SSIFSR.TDE	可能
SSIE1	SSIE1_SSIF	• 送信アンダーフロー割り込み • 送信オーバーフロー割り込み • 受信アンダーフロー割り込み • 受信オーバーフロー割り込み • アイドル割り込み	SSISR.TUIRQ SSISR.TOIRQ SSISR.RUIRQ SSISR.ROIRQ SSISR.IIRQ	不可能
	SSIE1_SSIRT	• 受信データフル割り込み • 送信データエンプティ割り込み	SSIFSR.RDF SSIFSR.TDE	可能

37.7.1 SSIEn_SSIF 割り込み (n = 0, 1)

この割り込み要因は 5 つの割り込みを組み合わせたものです。SSIE を使用する前に、必要な割り込みの出力を許可します。5 つの割り込みは、各割り込みに割り当てられたフラグおよび割り込み出力有許可ビットを使用することで動作します。割り込みをクリアするには、割り込み許可を 0 に設定するか、割り込みフラグを 0 にクリアします。



注. PCLK = PCLKB

図 37.59 共通割り込み要因のタイミング図 (SSIEn_SSIF)

- 送信アンダーフロー割り込み

SSICR.TUIEN = 1 の間、送信アンダーフロー割り込みとして SSISR.TUIRQ が出力されます。SSIE を送信に使用する場合、この割り込み出力を許可 (SSICR.TUIEN = 1) にします。この割り込みが発生したら、図 37.56 の通信停止手順および図 37.57 のエラー処理手順の指示に従ってください。

- 送信オーバーフロー割り込み

SSICR.TOIEN = 1 の間、送信オーバーフロー割り込みとして SSISR.TOIRQ が出力されます。SSIE を送信に使用する場合、この割り込み出力を許可 (SSICR.TOIEN = 1) にします。この割り込みが発生したら、図 37.56 の通信停止手順および図 37.57 のエラー処理手順の指示に従ってください。

- 受信アンダーフロー割り込み

SSICR.RUIEN = 1 の間、受信アンダーフロー割り込みとして SSISR.RUIRQ が出力されます。SSIE を受信に使用する場合、この割り込み出力を許可 (SSICR.RUIEN = 1) にします。この割り込みが発生したら、図 37.56 の通信停止手順および図 37.57 のエラー処理手順の指示に従ってください。

- 受信オーバーフロー割り込み

SSICR.ROIEN = 1 の間、受信オーバーフロー割り込みとして SSISR.ROIRQ が出力されます。SSIE を受信に使用する場合、この割り込み出力を許可 (SSICR.ROIEN = 1) にします。この割り込みが発生したら、図 37.56 の通信停止手順および図 37.57 のエラー処理手順の指示に従ってください。

- アイドルモード割り込み

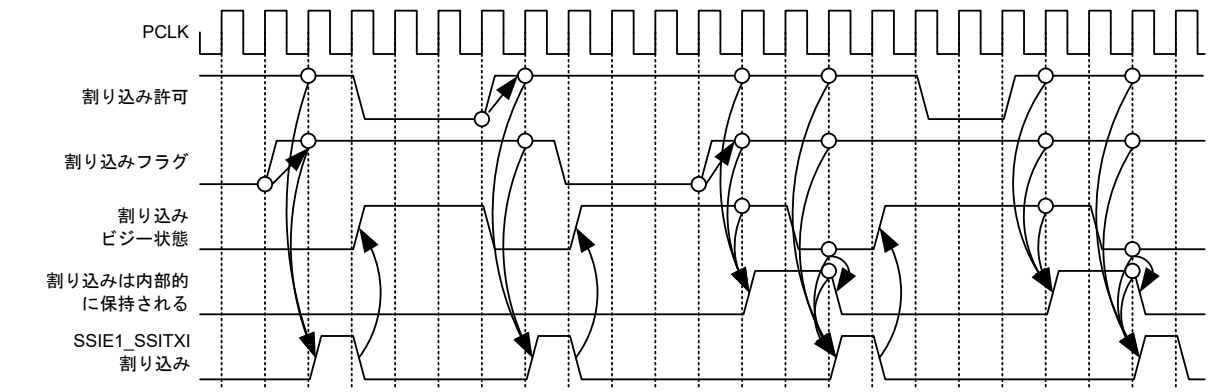
SSICR.IIEN = 1 の間、アイドルモード割り込みとして SSISR.IIRQ が出力されます。この割り込みは、通信が完全に停止したことを確認するために用いられます。

37.7.2 SSIE0_SSITXI 割り込み[全二重通信]

送信データエンプティ割り込みは、以下の条件が満たされたときに出力されるパルス割り込みです。

- SSIFCR.TIE = 1 および SSIFSR.TDE = 1
  SSIE の動作：SSIFCR.TIE の値が 1 の間に、SSIFSR.TDE の値が 0 から 1 に変化したとき
  CPU の命令：SSIFSR.TDE の値が 1 の間に、SSIFCR.TIE の値が 0 から 1 に変化したとき

この割り込みは、割り込み抑制機能の対象です。DTC/DMAC がビジー（DTC/DMAC が割り込みの受け入れ不可）のときにこの割り込みの割り込み条件が発生すると、割り込み抑制機能により、割り込み出力を保持します。保持された割り込みは、DTC/DMAC が割り込みを受け入れ可能になったあとに出力されます。詳細については、図 37.60 を参照してください。



注. PCLK = PCLKB

図 37.60 SSIE1_SSITXI 割り込みタイミング図

37.7.3 SSIE0_SSIRXI 割り込み[全二重通信]

受信データフル割り込みは、以下の条件が満たされたときに出力されるパルス割り込みです。

- SSIFCR.RIE = 1 および SSIFSR.RDF = 1
  SSIE の動作：SSIFCR.RIE の値が 1 の間に、SSIFSR.RDF の値が 0 から 1 に変化したとき
  CPU の命令：SSIFSR.RDE の値が 1 の間に、SSIFCR.RIE の値が 0 から 1 に変化したとき

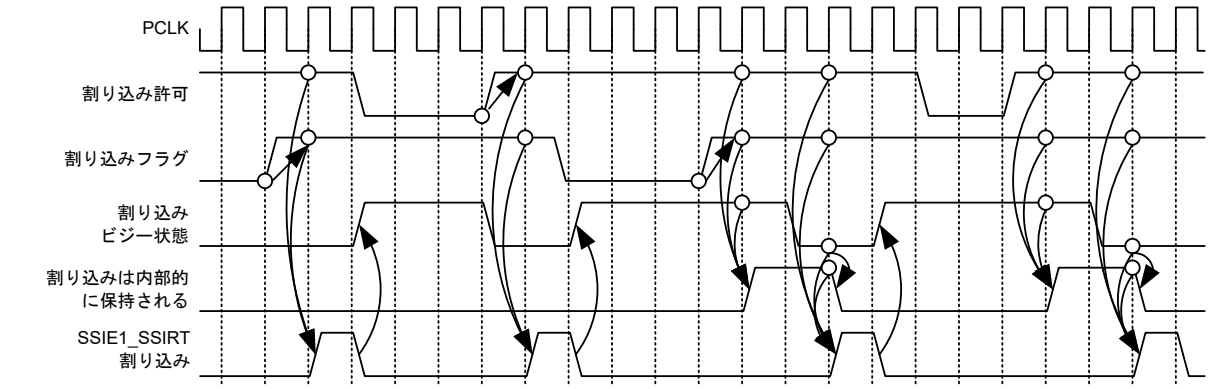
この割り込みは、割り込み抑制機能の対象です。DTC/DMAC がビジー（DTC/DMAC が割り込みの受け入れ不可）のときにこの割り込みの割り込み条件が発生すると、割り込み抑制機能により、割り込み出力を保持します。保持された割り込みは、DTC/DMAC が割り込みを受け入れ可能になったあとに出力されます。この割り込みの動作は、図 37.60 に示す動作と同じです。

37.7.4 SSIE1_SSIRT 割り込み[半二重通信]

この割り込みが出力される要因には、送信データエンプティ割り込みと受信データフル割り込みの二つがあります。この割り込みが発生した場合は、割り込みフラグの読み出しを行い、割り込み要因を指定します。

この割り込みは、割り込み抑制機能の対象です。DTC/DMAC がビジー（DTC/DMAC が割り込みの受け入れ不可）のときにこの割り込みの割り込み条件が発生すると、割り込み抑制機能により、割り込み出力を保持しま

す。保持された割り込みは、DTC/DMAC が割り込みを受け入れ可能になったあとに出力されます。詳細は、図 37.61 を参照してください。



注. PCLK = PCLKB

図 37.61 SSIE1_SSIRT 割り込みタイミング図

37.8 ソフトウェアリセット

SSIE には、その状態をリセットするためのソフトウェアリセットビットが 3 つあります。

- SSIE ソフトウェアリセット (SSIFCR.SSIRST)
- 送信 FIFO データレジスタリセット (SSIFCR.TFRST)
- 受信 FIFO データレジスタリセット (SSIFCR.RFRST)

本セクションでは、3 タイプのソフトウェアリセットの手順について説明します。

37.8.1 ソフトウェアリセット手順

(1) SSIE ソフトウェアリセット

SSIE ソフトウェアリセットビット (SSIFCR.SSIRST) については、図 37.62 に示す手順に従ってください。リセット後に再開されると、同じ設定が適用されます。クロックおよびスレーブ／マスタモードの設定を変更するには、図 37.53 の通信開始手順に従います。通信再開後の送信および受信については、それぞれ「37.6.2. 送信」および「37.6.3. 受信」を参照してください。

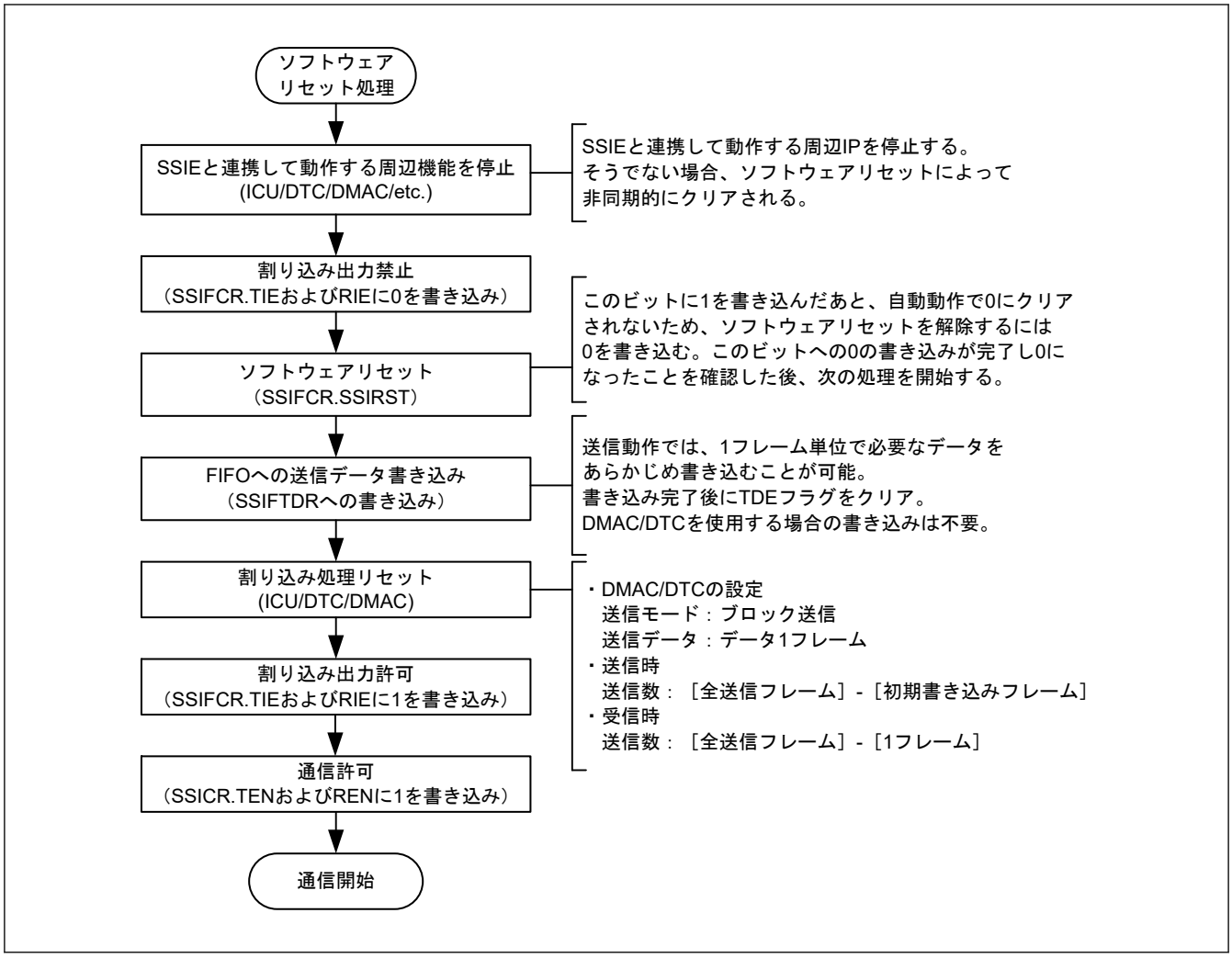


図 37.62　ソフトウェアリセット手順（CPU 動作手順）

(2)　送信 FIFO データレジスタリセット

送信 FIFO データレジスタリセットを実行するには、図 37.53 の通信開始手順および図 37.58 の通信再開手順の指示に従ってください。

(3)　受信 FIFO データレジスタリセット

受信 FIFO データレジスタリセットを実行するには、図 37.53 の通信開始手順および図 37.58 の通信再開手順の指示に従ってください。

37.9　使用上の注意事項

37.9.1　スレーブモード通信に関する注意事項

37.9.1.1　SSIBCKn (n = 0, 1) 制御

スレーブモード通信 (SSICR.MST = 0) 時、SSIE には SSIBCKn (n = 0, 1) の供給が必要です。マスタ側で BCK を停止するには、SSIE がアイドル状態 (SSISR.IIRQ = 1) であることを確認してください。SSIE がアイドルになる前に BCK が停止した場合、図 37.53 の通信開始手順を実施するか、図 37.58 の通信再開手順を実施してアイドル状態になるのを待ってください。

37.9.1.2 SSILRCKn/SSIFSn (n = 0, 1) 端子

SSIE には、通信の同期を示す SSILRCKn/SSIFSn (n = 0, 1) 端子があります。SSIE がスレーブモード (SSICR.MST = 0) のとき、SSIE が使用する通信フォーマットは、相手方デバイスの通信フォーマットと一致していなければなりません。SSIE は、SSILRCKn/SSIFSn (n = 0, 1) 端子の信号入力を、通信開始のトリガとしてのみ使用します。

37.9.2 マスタモード通信に関する注意事項

37.9.2.1 AUCKE コントロール

マスタモード通信 (SSICR.MST = 1) 時、SSIE はオーディオクロック (AUDIO_MCK) によって動作します。SSIE を完全に停止するには、SSIE がアイドル状態 (SSISR.IIRQ = 1) であることを確認してから、SSIFCR.AUCKE に 0 を書き込んでください。

37.9.2.2 LRCONT コントロール

マスタモード通信 (SSICR.MST = 1) 時、SSIE がアイドル状態のときに SSIOFR.LRCONT で SSILRCKn/SSIFSn (n = 0, 1) 端子への出力を停止するには、以下のことに留意してください。SSIOFR.LRCONT ビットの値が 1 から 0 に変化したときに出力が停止します。相手方デバイスへの影響がないことを確認してください。詳細は、図 37.44 を参照してください。

37.9.2.3 BCKASTP コントロール

マスタモード通信 (SSICR.MST = 1) 時、SSIE がアイドル状態のときに SSIOFR.BCKASTP で SSIBCKn (n = 0, 1) 端子への出力を停止するには、以下に留意してください。SSIOFR.BCKASTP ビットの値が 0 から 1 に変化したときに出力が停止します。相手方デバイスへの影響がないことを確認してください。詳細は、図 37.45 を参照してください。

BCKASTP ビットは、相手方デバイス（スレーブ側）が通信前および通信中に SSIBCKn (n = 0, 1) 端子からのクロック出力を要求している場合は使用できません。

37.9.3 通信フローに関する注意事項

37.9.3.1 エラー割り込み発生時

SSIE には、以下の 4 つのエラーがあります。

- 送信アンダーフローエラー
- 送信オーバーフローエラー
- 受信アンダーフローエラー
- 受信オーバーフローエラー

アンダーフローエラーまたはオーバーフローエラーが発生した場合、SSIE の再起動が必要です。図 37.56 の通信停止手順および図 37.57 のエラー処理手順に従ってください。

(1) 送信アンダーフローエラー

送信アンダーフローエラーが発生した場合、送信データエンプティ割り込みに応じた送信 FIFO データレジスタ (SSIFTDR) への書き込み回数を見直してください。送信アンダーフローエラーが発生すると、SSIE はデータとして 0 を出力します。送信 FIFO データレジスタ (SSIFTDR) へ書き込まれたシリアルデータが、SSITXD0/SSIDATA1 端子へ正常に出力されるようにするには、図 37.56 の通信停止手順と図 37.57 のエラー処理手順に従ってください。エラーが発生するときは、通常はシリアルデータはありません。通信を再開したら、最初からシリアルデータを書いてください。

(2) 送信オーバーフローエラー

送信オーバーフローエラーが発生したときは、送信データエンプティ割り込みに対応する送信 FIFO データレジスタ (SSIFTDR) へのデータ書き込み回数を見直してください。送信オーバーフローエラーを引き起こした送信 FIFO データレジスタ (SSIFTDR) に書き込まれたシリアルデータは、無効になります。このエラーは、送信動作中かどうかを問わず発生します。エラーから復旧するには、図 37.56 の通信停止手順および図 37.57 のエラー処理手順に従ってください。通信再開時には、無効なシリアルデータを適切に扱ってください。

(3) 受信アンダーフローエラー

受信アンダーフローエラーが発生したときは、受信データフル割り込みに対応する受信 FIFO データレジスタ (SSIFRDR) からのデータ読み出し回数を見直してください。受信アンダーフローエラーを引き起こした受信 FIFO データレジスタ (SSIFRDR) から読み出された値は不定です。このエラーは、受信動作中かどうかを問わず発生します。エラーから復旧するには、図 37.56 の通信停止手順および図 37.57 のエラー処理手順に従ってください。

(4) 受信オーバーフローエラー

受信オーバーフローエラーが発生したときは、受信データフル割り込みに対応する受信 FIFO データレジスタ (SSIFRDR) からのデータ読み出し回数を見直してください。受信オーバーフローエラーを引き起こした受信データは、受信 FIFO データレジスタ (SSIFRDR) に格納できません。エラーから復旧するには、図 37.56 の通信停止手順および図 37.57 のエラー処理手順に従ってください。

37.9.3.2 送信データエンプティ割り込み

SSIE で定義される通信フローは、DTC/DMAC を使用します。DTC/DMAC を使用していないときに SSIFTDR にデータを書き込むには、SSIFSR.TDE の値 1 のポーリングを実行します。SSISCR.TDE の値 1 検出による SSIFTDR へのデータ書き込み回数は、SSISCR.TDES で指定される送信 FIFO データレジスタの空き容量に応じて指定してください。空き容量と同量の送信データが SSIFTDR に書き込まれた場合、SSIFSR.TDE フラグはクリアされなければなりません。データ書き込みを繰り返すことで、連続送信が有効になります。SSIFSR.TDE フラグは、意図的にクリアしない限り自動でクリアされることはありません。

37.9.3.3 受信データフル割り込み

SSIE で定義される通信フローは、DTC/DMAC を使用します。DTC/DMAC を使用していないときに SSIFRDR からデータを読み出すには、SSIFSR.RDF の値 1 のポーリングを実行します。SSISCR.RDF の値 1 検出による SSIFRDR からのデータ読み出し回数は、SSISCR.RDFS で指定される受信 FIFO データレジスタの受信データ保存容量に応じて指定してください。受信されたデータが SSIFRDR から読み出されたら、SSIFSR.RDF フラグはクリアされなければなりません。データ読み出しを繰り返すことで、連続受信が有効になります。SSIFSR.RDF フラグは、意図的にクリアしない限り自動でクリアされることはありません。

37.9.3.4 転送モードの切り替え

1. 送信、受信、および送受信から状態を遷移するには、送信および受信を禁止（SSICR.TEN = 0、SSICR.REN = 0）にします。
2. アイドル状態 (SSISR.IIRQ = 1) であることを確認します。
3. アイドル状態で SSICR.TEN ビットまたは SSICR.REN ビットを再設定し、転送を再開します。

37.9.3.5 SSIE 停止後の通信再開

図 37.56 に示す通信停止手順に従って SSIE の通信が停止されたら、図 37.58 に示す通信再開手順に従って通信を再開します。

37.9.4 書き込みアクセス制限

37.9.4.1 SSICR レジスタ

TEN ビットまたは REN ビットを書き換えたときは、SSISR.IIRQ ビットが希望の状態であることを確認してください。書き換えによって TEN または REN ビットの値が変化した場合、以降の動作は予測できません。たとえば、送信または受信許可のときは SSISR.IIRQ が 0 であることを、送信または受信禁止のときは SSISR.IIRQ が 1 であることをチェックします。

(1) TEN ビットと REN ビット

これらのビットは、送信および受信を許可／禁止します。これらのビットのいずれかに 1 が書き込まれると、SSILRCKn/SSIFSn (n = 0, 1) 信号による開始トリガと同期して、対応する通信動作が始まります。詳細については、「37.6.2. 送信」、「37.6.3. 受信」、および「37.6.4. 送受信」を参照してください。このビットに 0 が書き込まれると、現在の通信動作が次のフレーム境界で停止します。送信および受信の両方で SSIE を使用するには、両方

のビットに常に 1 を書き込みます。SSIE を用いた通信の停止中は、必ず送信と受信の両方を禁止してください（TEN および REN ビットに 0 を書き込む）。

37.9.4.2　SSISR レジスタ

(1)　TUIRQ および TOIRQ のクリア

通信の許可（SSICR.TEN ビットを 0 から 1 に変更）後、送信エラーフラグ（SSISR レジスタの TOIRQ および TUIRQ）はクリアされます。ただし、SSISR レジスタが継続して読み出されるとき、送信エラーフラグをクリアしたステータスは、読み出しできない可能性があります。

(2)　RUIRQ および ROIRQ のクリア

通信の許可（SSICR.REN ビットを 0 から 1 に変更）後、受信エラーフラグ（SSISR レジスタの RUIRQ および ROIRQ）はクリアされます。ただし、SSISR レジスタが継続して読み出されるとき、受信エラーフラグをクリアしたステータスは、読み出しできない可能性があります。

37.9.4.3　通信状態

表 37.19 で、オレンジの網掛けで示したビットへの書き込みは禁止されています。書き込みが行われた場合、書き込み直後の動作は保証されません。

表 37.19　通信中書き込みから保護されるビット

シンボル	アドレス (BASE+)		+0								+1							
			31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSICR	0x00	+0	—	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	—	FRM[1:0]		DWL[2:0]			SWL[2:0]		
		+2	—	MST	BCKP	LRCKP	SPDP	SDTA	PDTA	DEL	CKDV[3:0]				MUEN	—	TEN	REN
SSISR	0x04	+0	—	—	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SSIFCR	0x10	+0	AUCKE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSIRST
		+2	—	—	—	—	BSW	—	—	—	—	—	—	—	TIE	RIE	TFRST	RFRST
SSIFSR	0x14	+0	—	—	TDC[5:0]						—	—	—	—	—	—	—	TDE
		+2	—	—	RDC[5:0]						—	—	—	—	—	—	—	RDF
SSIFTDR	0x18	+0	SSIFTDR[31:16]															
		+2	SSIFTDR[15:0]															
SSIFRDR	0x1C	+0	SSIFRDR[31:16]															
		+2	SSIFRDR[15:0]															
SSIOFR	0x20	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	BCKASTP	LRCONT	—	—	—	—	—	—	OMOD[1:0]	
SSISCR	0x24	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	TDES[4:0]					—	—	—	RDFS[4:0]				

37.9.5　モジュールストップ機能

モジュールストップコントロールレジスタ C (MSTPCRC) により、SSIE の動作を無効または有効に設定することができます。リセット後の初期状態では、SSIE モジュールの動作は停止しています。モジュールストップ状態を

解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

38. 巡回冗長検査 (CRC)

38.1 概要

巡回冗長検査 (CRC: Cyclic Redundancy Check) 演算器は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。さらに、さまざまな CRC 生成多項式を使用できます。スヌープ機能は、特定のアドレスに対する読み出しと書き込みを監視するのを許可します。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しを監視する場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。

表 38.1 に CRC 演算器の仕様を、図 38.1 にブロック図を示します。

表 38.1 CRC 演算器の仕様

項目	内容	
データサイズ	8 ビット	32 ビット
CRC 演算対象データ(注1)	8n ビット単位の任意データに対し CRC コードを生成（n = 自然数）	32n ビット単位の任意データに対し CRC コードを生成（n = 自然数）
CRC 演算処理方式	8 ビット並列実行	32 ビット並列実行
CRC 生成多項式	3 つの生成多項式から 1 つ選択可能 [8 ビット CRC] • $X^8 + X^2 + X + 1$ (CRC-8) [16 ビット CRC] • $X^{16} + X^{15} + X^2 + 1$ (CRC-16) • $X^{16} + X^{12} + X^5 + 1$ (CRC-CCITT)	2 つの生成多項式から 1 つ選択可能 [32 ビット CRC] • $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ (CRC-32) • $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$ (CRC-32C)
CRC 演算切り替え	LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。	
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減が可能	
CRC スヌープ	特定のレジスタアドレスに対する読み出しと書き込みの監視	
TrustZone フィルタ	セキュリティ属性とプリビレッジ属性を設定可能	

注 1. 本機能は、CRC 演算で使用するデータを分割できません。8 ビット単位または 32 ビット単位で書いてください。

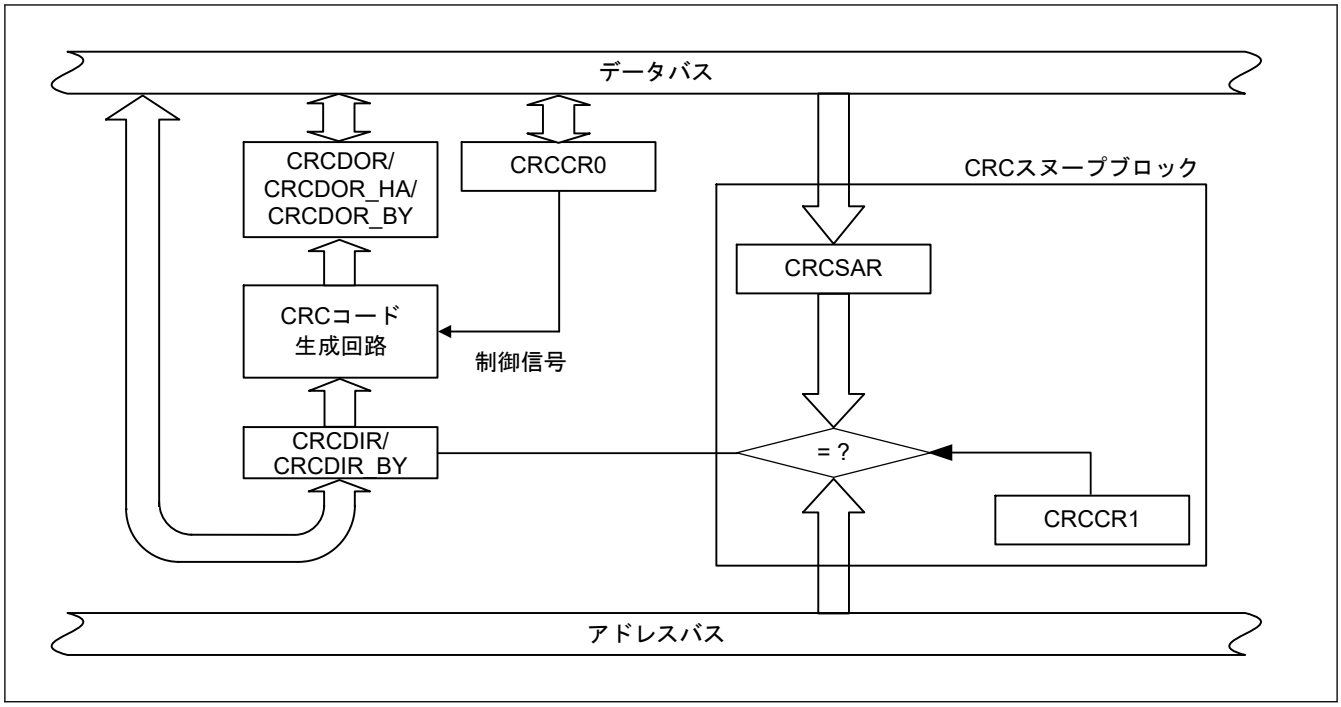


図 38.1 CRC 演算器のブロック図

38.2 レジスタの説明

38.2.1 CRCCR0 : CRC コントロールレジスタ 0

Base address: CRC = 0x4031_0000
CRC_NS = 0x5031_0000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DORCLR	LMS	—	—	—	GPS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	GPS[2:0]	CRC 生成多項式切り替え 0 0 1: 8 ビット CRC-8 ($X^8 + X^2 + X + 1$) 0 1 0: 16 ビット CRC-16 ($X^{16} + X^{15} + X^2 + 1$) 0 1 1: 16 ビット CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$) 1 0 0: 32 ビット CRC-32 ($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$) 1 0 1: 32 ビット CRC-32C ($X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$) その他: 演算しない	R/W
5:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	LMS	CRC 演算切り替え 0: LSB ファースト通信用に CRC を生成 1: MSB ファースト通信用に CRC を生成	R/W
7	DORCLR	CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタクリア 0: 影響なし 1: CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタをクリア	W

注. S-TYPE3, P-TYPE3

GPS[2:0]ビット（CRC 生成多項式切り替え）

GPS[2:0]ビットは、CRC 生成多項式を選択します。

LMS ビット（CRC 演算切り替え）

LMS ビットは、生成した CRC コードのビットオーダを選択します。LSB ファーストで通信を行う場合は CRC コードの下位バイトから先に、MSB ファーストで通信を行う場合は CRC コードの上位バイトから先に送信してください。CRC コードの送信および受信については、「38.3. 動作説明」を参照してください。

DORCLR ビット（CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタクリア）

DORCLR ビットを 1 にすると、CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタが 0x00000000 になります。読むと 0 が読めます。このビットには 1 のみ書けます。

38.2.2 CRCCR1 : CRC コントロールレジスタ 1

Base address: CRC = 0x4031_0000
CRC_NS = 0x5031_0000

Offset address: 0x01

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CRCSEN	CRCSWR	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	CRCSWR	スヌープオンライト／リード切り替え 0: スヌープオンリード 1: スヌープオンライト	R/W
7	CRCSEN	スヌープ許可 0: 禁止 1: 許可	R/W

注. S-TYPE3, P-TYPE3

CRCSWR ビット（スヌープオンライト／リード切り替え）

CRCSWR ビットは CRC スヌープ機能でのアクセス方向を選択します。

このビットを 0（初期値）にすると、特定のレジスタの読み出しに対して CRC スヌープ動作が有効になります。このビットを 1 にすると、特定のレジスタの書き込みに対して CRC スヌープ動作が有効になります。

CRCSEN ビット（スヌープ許可）

CRCSEN ビットを 1 にすると、CRC スヌープ動作が有効になります。このビットを 0 にすると、CRC スヌープ動作が無効になります。

38.2.3 CRCDIR/CRCDIR_BY : CRC データ入力レジスタ

Base address: CRC = 0x4031_0000
CRC_NS = 0x5031_0000

Offset address: 0x04

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	CRC 入力データ CRCDIR レジスタは、CRC-32 または CRC-32C 演算用データを書き込む 32 ビットの読み出し／書き込みレジスタです。CRCDIR_BY (CRCDIR[31:24]) レジスタは、CRC-8、CRC-16、または CRC-CCITT 演算用データを書き込む 8 ビットの読み出し／書き込みレジスタです。	R/W

注. S-TYPE3, P-TYPE3

38.2.4 CRCDOR/CRCDOR_HA/CRCDOR_BY : CRC データ出力レジスタ

Base address: CRC = 0x4031_0000
CRC_NS = 0x5031_0000

Offset address: 0x08

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	CRC 出力データ CRCDOR レジスタは、CRC-32 または CRC-32C 用の 32 ビットの読み出し／書き込みレジスタです。 CRCDOR_HA (CRCDOR[31:16]) レジスタは、CRC-16 または CRC-CCITT 演算用の 16 ビットの読み出し／書き込みレジスタです。 CRCDOR_BY (CRCDOR[31:24]) レジスタは、CRC-8 演算用の 8 ビットの読み出し／書き込みレジスタです。初期値は 0x00000000 ですので、初期値以外を用いて演算する場合は、CRCDOR レジスタ、CRCDOR_HA レジスタ、または CRCDOR_BY レジスタを書き換えてください。 CRCDIR/CRCDIR_BY レジスタに書き込まれたデータに対して CRC 演算が実行され、結果が CRCDORCRCDOR_HA/CRCDOR_BY レジスタに格納されます。転送されたデータに続いて CRC コードを計算し、その結果が 0x00000000 であると、CRC エラーがないと判断できます。	R/W

注. S-TYPE3, P-TYPE3

38.2.5 CRCSAR : スヌープアドレスレジスタ

Base address: CRC = 0x4031_0000
CRC_NS = 0x5031_0000

Offset address: 0x0C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	CRCSA[13:0]													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
13:0	CRCSA[13:0]	レジスタスヌープアドレス スヌープ対象となる、SCI モジュールの TDR または RDR アドレスを格納します。	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3

CRCSA[13:0]ビット（レジスタスヌープアドレス）

CRCSA[13:0]ビットは、CRC スヌープ動作で監視されるレジスタのアドレス下位 14 ビットを指定します。

CRCSA[13:0]ビットで使用できるのは、以下のアドレスのみです。

[セキュア領域のアドレス]

- 0x4035_8004: SCI0.TDR, 0x4035_8000: SCI0.RDR
- 0x4035_8104: SCI1.TDR, 0x4035_8100: SCI1.RDR
- 0x4035_8204: SCI2.TDR, 0x4035_8200: SCI2.RDR
- 0x4035_8304: SCI3.TDR, 0x4035_8300: SCI3.RDR
- 0x4035_8404: SCI4.TDR, 0x4035_8400: SCI4.RDR
- 0x4035_8904: SCI9.TDR, 0x4035_8900: SCI9.RDR

[非セキュア領域のアドレス]

- 0x5035_8004: SCI0.TDR, 0x5035_8000: SCI0.RDR
- 0x5035_8104: SCI1.TDR, 0x5035_8100: SCI1.RDR
- 0x5035_8204: SCI2.TDR, 0x5035_8200: SCI2.RDR
- 0x5035_8304: SCI3.TDR, 0x5035_8300: SCI3.RDR
- 0x5035_8404: SCI4.TDR, 0x5035_8400: SCI4.RDR
- 0x5035_8904: SCI9.TDR, 0x5035_8900: SCI9.RDR

38.3 動作説明

38.3.1 基本動作

CRC 演算器は、LSB ファーストまたは MSB ファースト転送で使用する CRC コードを生成します。

16 ビットの CRC-CCITT 生成多項式 ($X^{16} + X^{12} + X^5 + 1$) を使用して、入力データ (0xF0) に対し CRC コードを生成する例を以下に示します。この例では、CRC 演算の前に、CRC データ出力レジスタ (CRCDOR_HA) の値をクリアします。

8 ビット CRC（$X^8 + X^2 + X + 1$ の多項式）を使用している場合は、CRCDOR_BY レジスタに有効な CRC コードのビットが得られます。32 ビット CRC を使用している場合は、CRCDOR レジスタに有効な CRC コードのビットが得られます。

図 38.2 と図 38.3 に LSB ファーストおよび MSB ファーストのデータ送信例をそれぞれ示します。 図 38.4 と図 38.5 に LSB ファーストおよび MSB ファーストのデータ受信例をそれぞれ示します。

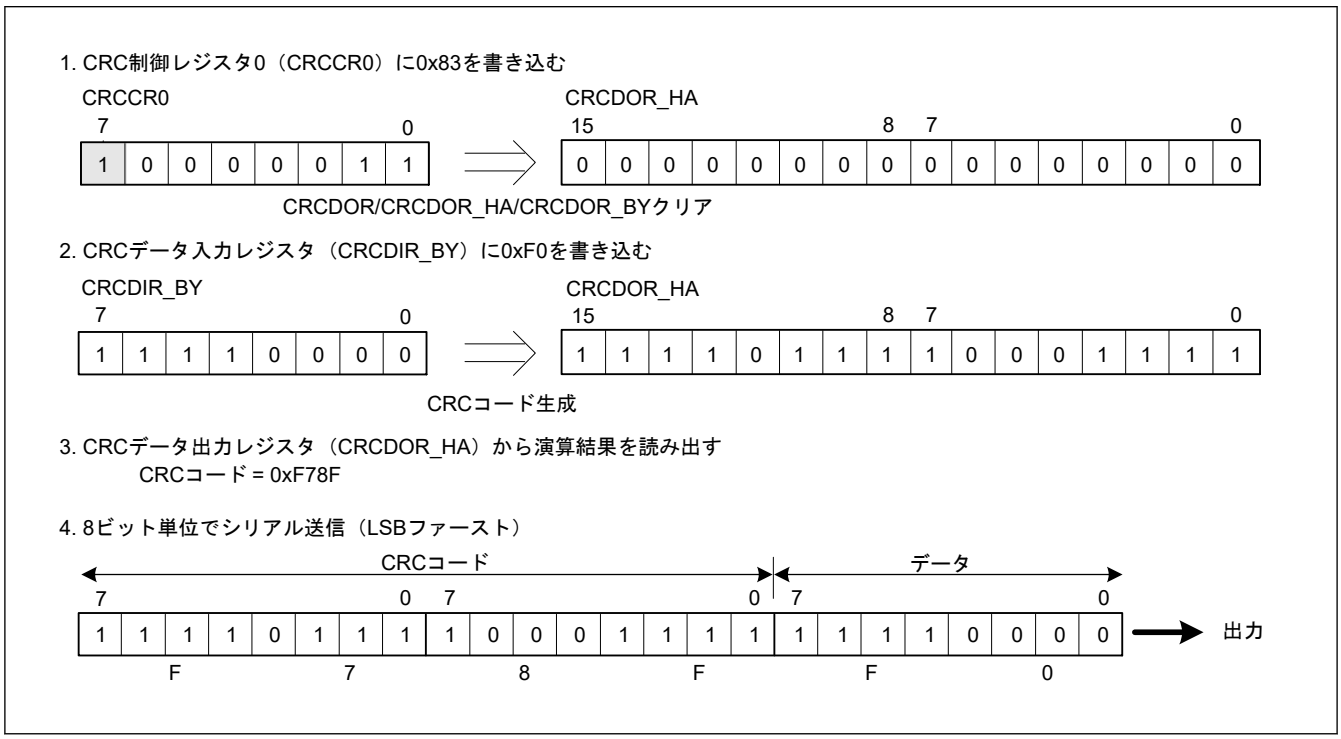


図 38.2 LSB ファーストのデータ送信

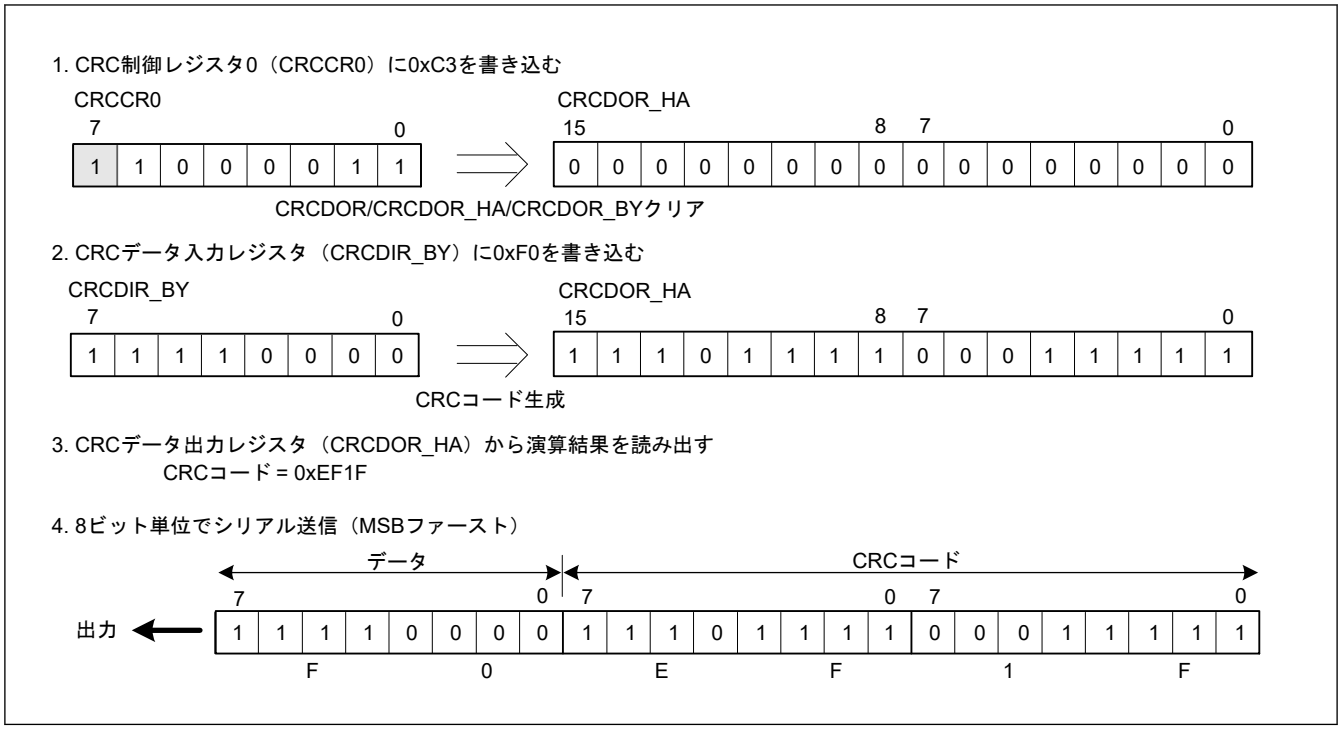


図 38.3　MSB ファーストのデータ送信

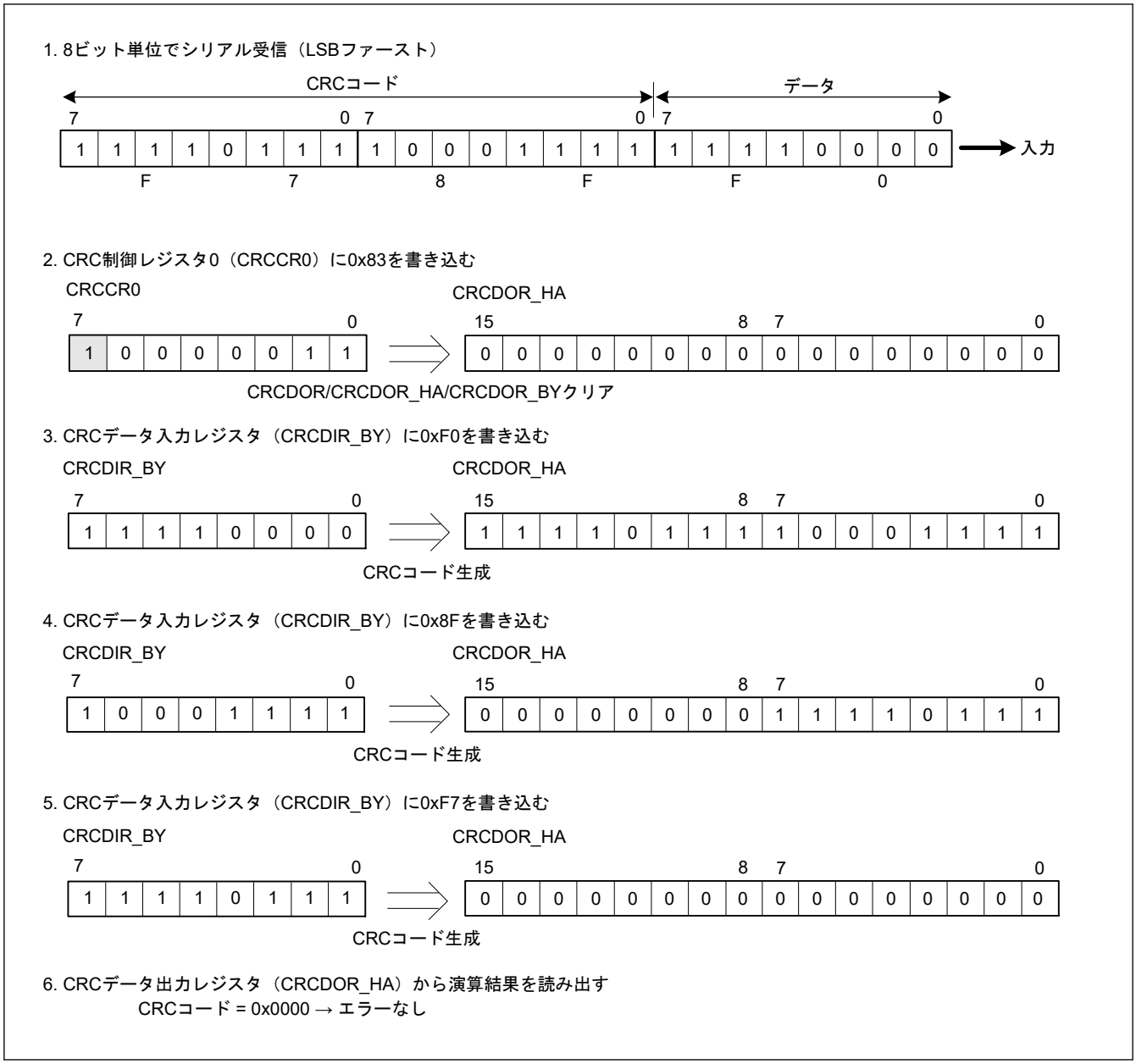


図 38.4　LSB ファーストのデータ受信

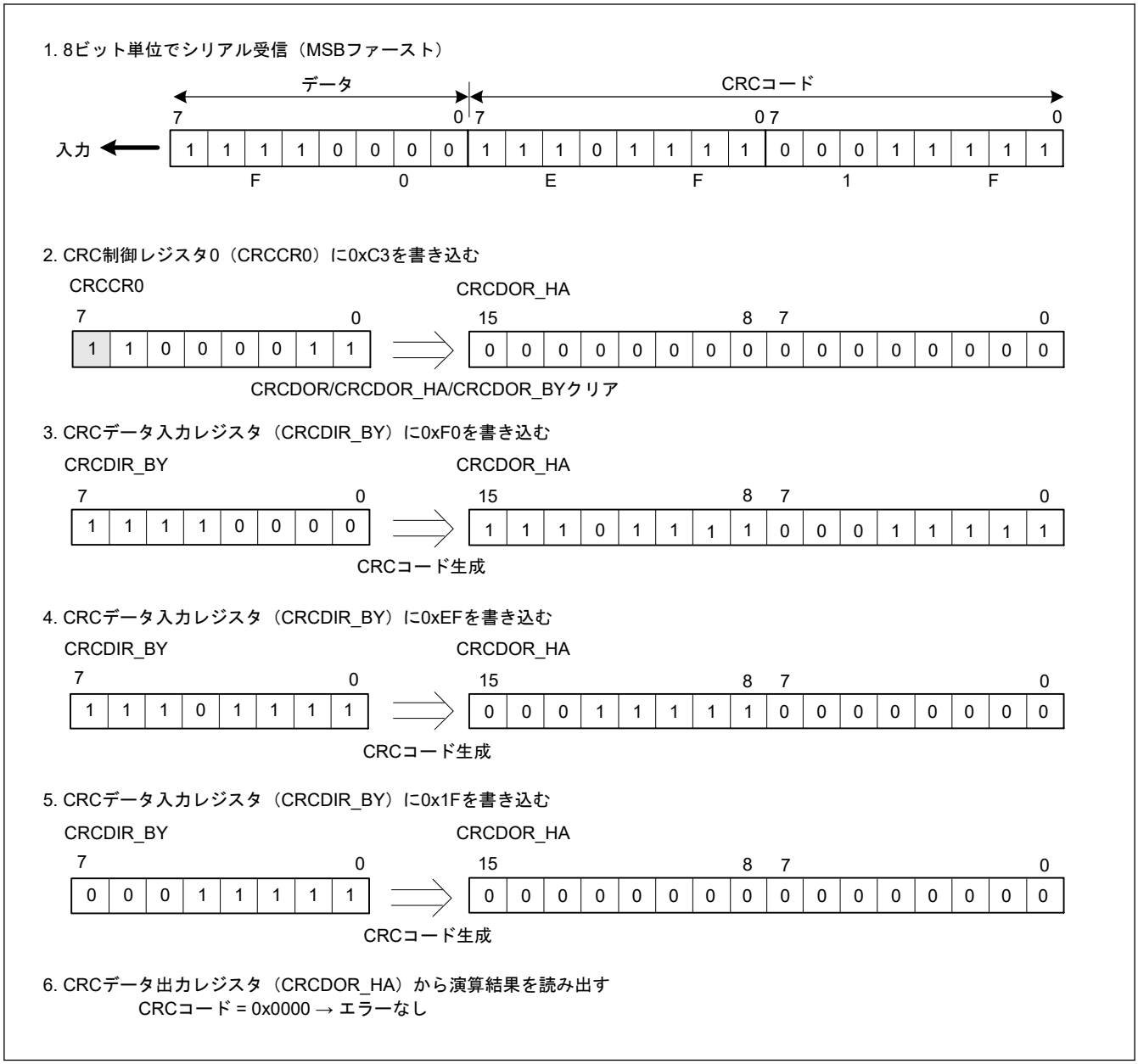


図 38.5 MSB ファーストのデータ受信

38.3.2 CRC スヌープ機能

CRC スヌープ機能では、特定のレジスタアドレスの読み出しおよび書き込みを監視し、そのレジスタアドレスで読み出し／書き込みしたデータに自動 CRC 演算を実行します。CRC スヌープ機能は、特定のレジスタアドレスに対する読み出しと書き込みを CRC 演算を自動的に実行するトリガとして認識するため、CRCDIR レジスタにデータを書き込む必要がありません。「38.2.5. CRCSAR : スヌープアドレスレジスタ」で指定したすべての I/O レジスタが、CRC スヌープの対象となります。CRC スヌープは、SCIn.TDR (n = 0〜4, 9) レジスタへの書き込みと、SCIn.RDR (n = 0〜4, 9) レジスタからの読み出しを監視するのに役立ちます。

この機能を使用するには、特定のレジスタの下位アドレス 14 ビットを CRCSAR レジスタの CRCSA13〜CRCSA0 ビットに書き込み、CRCCR1 レジスタの CRCSEN ビットを 1 にします。次に、CRCCR1.CRCSWR ビットを 1 にして、対象レジスタへの書き込みに対してスヌープを有効にするか、あるいは、CRCCR1.CRCSWR ビットを 0 にして、対象レジスタからの読み出しに対してスヌープを有効にします。CRCSWR ビットの書き込みが完了する前に対象 I/O レジスタへのアクセスを実行することは可能です。この場合、データは CRCDIR レジスタに格納されません。この問題を避けるには、I/O レジスタにアクセスする前に、CRCSWR ビットを読み戻して、書き込みの完了を確認してください。

CRCSEN ビットと CRCSWR ビットの両方を 1 にして、バスマスタモジュール（CPU、DMAC、DTC など）の対象となるレジスタにデータを書き込むと、CRC 演算器はそのデータを CRCDIR レジスタに格納して CRC 演算を実行します。同様に、CRCSEN ビットを 1、CRCSWR ビットを 0 にして、バスマスタモジュール（CPU、DMAC、DTC など）の対象となるレジスタからデータを読み出すと、CRC 演算器はそのデータを CRCDIR レジスタに格納して CRC 演算を実行します。

CRC-8、CRC-16 および CRC-CCITT の生成多項式を使用して CRC コードが生成される場合、対象となるレジスタはバイト（8 ビット）でアクセスできます。RDR および TDR にアクセスするには、RDR_BY および TDR_LL を使用する必要があります。同様に、CRC-32 および CRC-32C 生成多項式を使用して CRC コードを生成する場合、対象となるレジスタはワード（32 ビット）でアクセスできます。RDR および TDR では、RDAT と TDAT 以外のデータを含む CRC コードが生成されることに注意してください。

CRC が PSARC.PSARC1 ビットによってセキュアに指定されると、指定した I/O レジスタへのセキュアアクセスに対して、CRC スヌープ機能が使用可能です。CRC が PSARC.PSARC1 ビットによって非セキュアに指定されると、指定した I/O レジスタへの非セキュアアクセスに対して、CRC スヌープ機能が使用可能です。

38.4 使用上の注意事項

38.4.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、CRC 演算器の動作禁止／許可を設定することが可能です。リセット後の値では、CRC 演算器の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

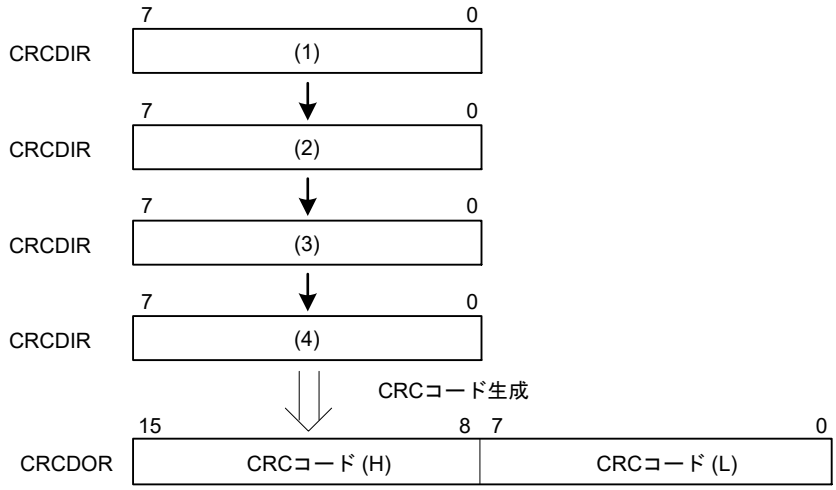
38.4.2 送信時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とでは、CRC コードの送信順序が異なります。 図 38.6 に LSB ファーストと MSB ファーストのデータ送信を示します。

32ビットのデータを送信する場合（8ビット単位での並列処理）

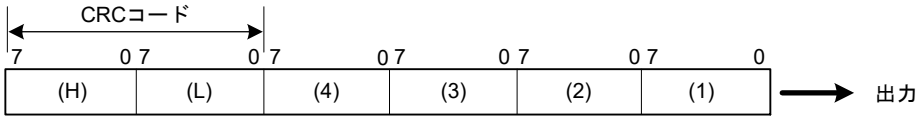
1. CRCコード

生成演算方法を指定後、（1）→（2）→（3）→（4）の順でCRCDIRにデータを書く



2. 送信データ

(i) LSBファーストで送信する場合



(ii) MSBファーストで送信する場合

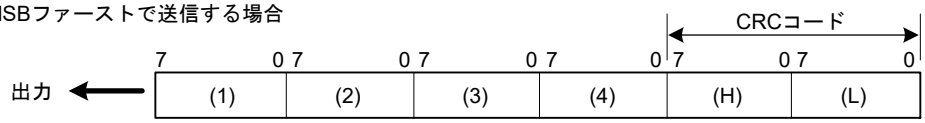


図 38.6 LSB ファーストと MSB ファーストのデータ送信

39. バウンダリスキャン

39.1 概要

バウンダリスキャン機能は、JTAG (Joint Test Action Group)、IEEE Std.1149.1 および IEEE Standard Test Access Port and Boundary Scan Architecture に基づくシリアル入出力インタフェースを提供します。表 39.1 にバウンダリスキャンの仕様を、図 39.1 にブロック図を、表 39.2 に入出力端子を示します。

表 39.1 バウンダリスキャンの仕様

項目	内容
実行条件	RES 端子が Low の場合にバウンダリスキャンを実行する必要があります。
テストモード	• BYPASS モード • EXTEST モード • SAMPLE/PRELOAD モード • CLAMP モード • HIGHZ モード • IDCODE モード

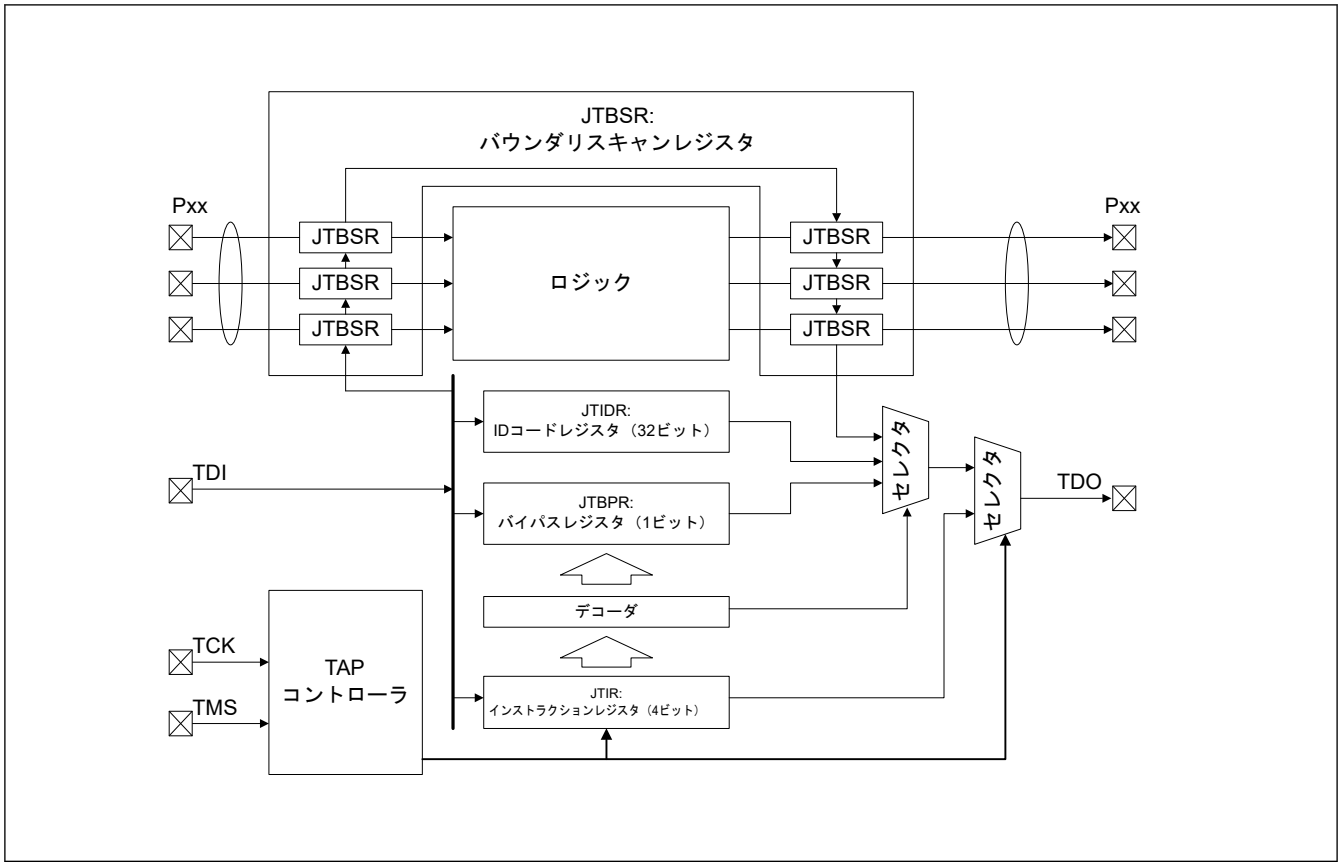


図 39.1 バウンダリスキャン機能のブロック図

表 39.2 バウンダリスキャンの入出力端子

端子名称	入出力	機能
TCK	入力	テストクロック入力 バウンダリスキャン用のクロック信号。バウンダリスキャン機能使用時、入力クロックデューティー比は 50%です。
TMS	入力	テストモード選択
TDI	入力	テストデータ入力
TDO	出力	テストデータ出力

注. 本デバイスは、JTAG インタフェース用の TRST 端子は備えていません。

39.2 レジスタの説明

表 39.3 にバウンダリスキャンのレジスタ一覧を示します。

表 39.3 バウンダリスキャンレジスタ

レジスタ名	記号	リセット後の値
インストラクションレジスタ	JTIR	0xE
ID コードレジスタ	JTIDR	0x0841_9447
バイパスレジスタ	JTBPR	不定
バウンダリスキャンレジスタ	JTBSR	不定

バウンダリスキャンレジスタの使用上の注意

- インストラクションは、TDI 端子からシリアル転送によりインストラクションレジスタ (JTIR) へ入力できます
- バイパスレジスタ (JTBPR) は 1 ビットのレジスタで、BYPASS モード時に TDI 端子と TDO 端子はこのレジスタに接続されます
- バウンダリスキャンレジスタ (JTBSR) は BSDL の記述に基づき構成されており、テストデータをシフトインするときに TDI 端子と TDO 端子の間に接続されます

表 39.4 に各レジスタのシリアル転送を示します。

表 39.4 レジスタのシリアル転送

レジスタ名	シリアル入力	シリアル出力
インストラクションレジスタ (JTIR)	可能	可能
ID コードレジスタ (JTIDR)	可能	可能
バイパスレジスタ (JTBPR)	可能	可能
バウンダリスキャンレジスタ (JTBSR)	可能	可能

39.2.1 JTIR : インストラクションレジスタ

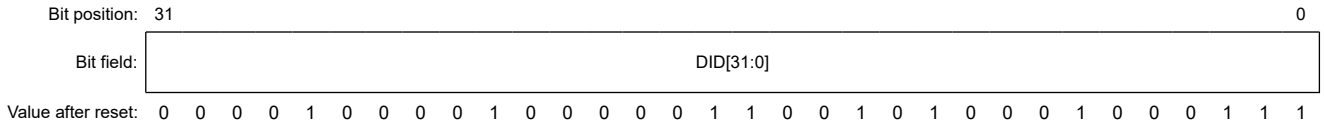
Bit position:	3	2	1	0
Bit field:	TS[3:0]			
Value after reset:	1	1	1	0

ビット	シンボル	機能	R/W
3:0	TS[3:0]	テストビットセット これらのビットのコマンド構成	—

TS[3:0]	インストラクション
0x0	EXTEST
0x1	SAMPLE/PRELOAD
0x3	IDCODE（ルネサスコード）
0x5	CLAMP
0x6	HIGHZ
0xF	BYPASS
その他	予約

JTAG 命令は、TDI 端子からのシリアル入力によって JTIR レジスタに転送することができます。JTIR レジスタは、パワーオンリセットが発生したとき、または TAP コントローラが Test-Logic-Reset 状態のときに初期化されます。

39.2.2 JTIDR : ID コードレジスタ



ビット	シンボル	機能	R/W
31:0	DID[31:0]	デバイス ID 本ビットはデバイス IDCODE (0x0841_9447) を示す固定値を格納します。	—

IDCODE 命令の実行時、JTIDR レジスタのデータを TDO 端子から出力します。リセット解除後に、JTIDR の DID[31:0]ビットは Arm®デバッグコードに変化します。*Arm® CoreSight™ SoC-400 Technical Reference Manual* (ARM DDI 0480F) を参照してください。

39.2.3 JTBPR : バイパスレジスタ

JTBPR レジスタは、1 ビットのレジスタです。JTIR レジスタが BYPASS モードに設定された場合、TDI 端子と TDO 端子は JTBPR レジスタに接続されます。CPU から JTBPR レジスタへの読み出し／書き込みはできません。

39.2.4 JTBSR : バウンダリスキャンレジスタ

JTBSR レジスタは、本デバイスの外部入出力端子を制御するために、PAD 上に配置されたシフトレジスタです。バウンダリスキャンテスト中の JTBSR レジスタを適用するには、EXTEST、SAMPLE/PRELOAD、CLAMP、HIGHZ の命令を発行します。BSDL ファイルは、JTBSR レジスタと本デバイスの端子の関係を示します。リセット後の値は不定です。

39.3 動作

リセット時に、JTAG ポートの TCK、TMS、TDI、および TDO がデフォルトの端子機能として割り当てられます。TCK、TMS、および TDI 端子はプルアップ抵抗器によってプルアップします。パワーオンリセットがネゲートされ、RES 端子が Low の場合に、セットアップ時間が経過した後にバウンダリスキャンテストを行うことができます。

39.3.1 TAP コントローラ

図 39.2 に TAP コントローラの状態遷移図を示します。すべての遷移は TMS 信号によって制御されます。

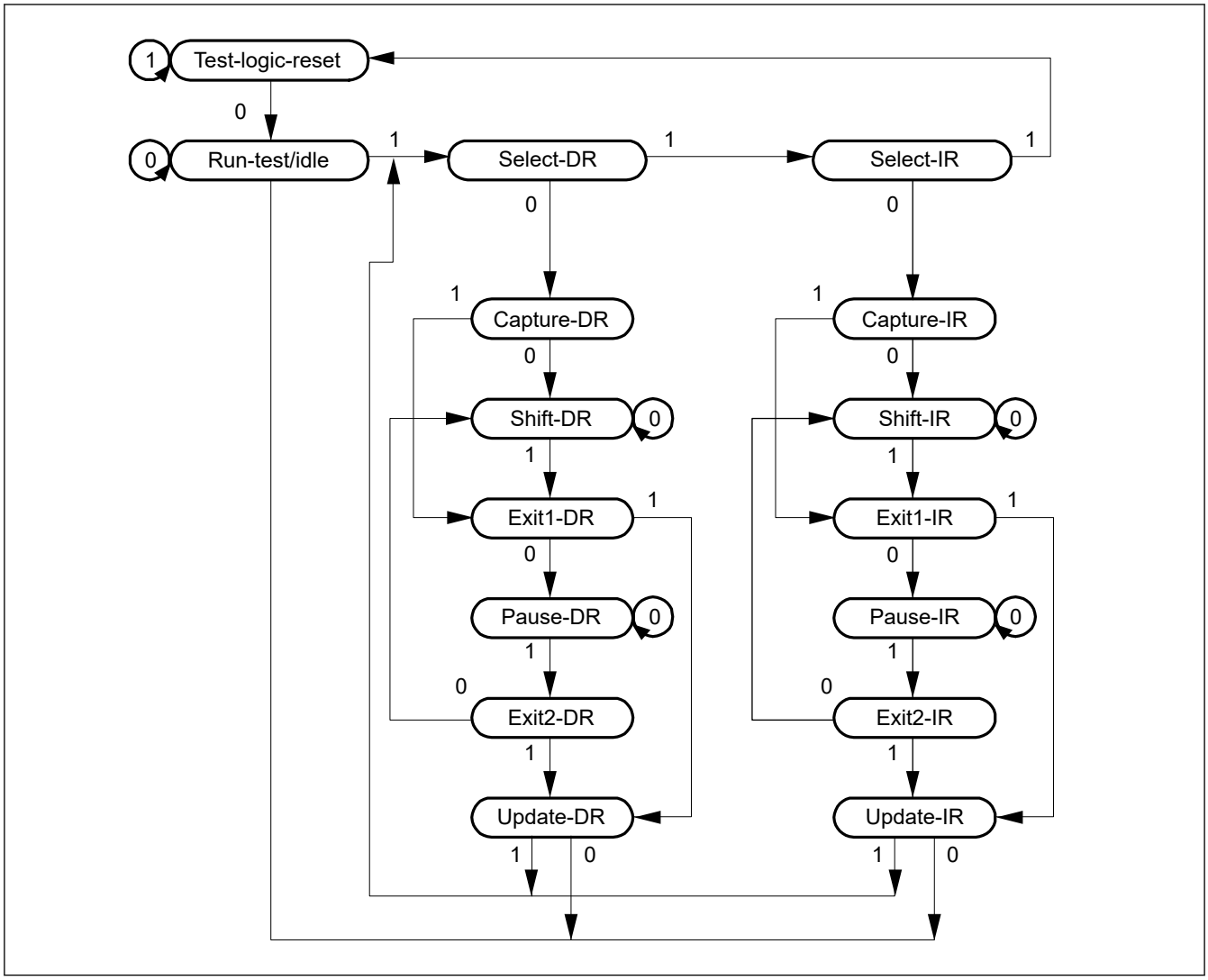


図 39.2　TAP コントローラの状態遷移図

39.3.2　コマンド

(1)　BYPASS

BYPASS 命令は、バイパスレジスタ (JTBPR) を動作させます。この命令はシフトパスを短縮してプリント基板上の他の LSI のシリアルデータの転送速度を高速化するものです。この命令の実行中、テスト回路はシステム回路に何の影響も与えません。

TDI 端子と TDO 端子には JTBPR レジスタが接続されます。Shift-DR 動作でバイパス動作となります。Shift-DR の 1 クロック目では TDO 端子が Low となります。その後の Shift-DR で TDI 端子から入力された値が TDO 端子から出力されます。

(2)　EXTEST

EXTEST 命令は、本デバイスをプリント基板に実装したとき、外部回路をテストするためのものです。この命令の実行時、出力端子は SAMPLE/PRELOAD 命令で設定されたテストデータをバウンダリスキャンレジスタ (JTBSR) から他のデバイスへ出力するために使用され、入力端子は他のデバイスからバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。

(3)　SAMPLE/PRELOAD

SAMPLE/PRELOAD 命令は、本デバイスの内部回路から JTBSR レジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。この命令の実行中、本デバイスの端子からの入力はそのまま内部回路に伝達され、内部回路の値はそのまま出力端子から外部へ出力されます。この命令の実行により本デバイスのシステム回路は何の影響も受けません。

SAMPLE 動作では、JTBSR レジスタは、入力端子から内部回路に転送されたデータ、または内部回路から出力端子へ転送されたデータのスナップショットをラッチします。ラッチしたデータは、スキャンパスから読み出します。JTBSR レジスタは、Capture-DR 状態の TCK 端子の立ち上がりに同期してデータのスナップショットをラッチします。データのスナップショットは、リセット中に限り内部回路から出力端子に転送されます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスから JTBSR レジスタのパラレル出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、EXTEST シーケンスの最初から最後（出力ラッチへの転送）まで出力端子から不定値が出力されます。（EXTEST 命令では、常に出力端子にパラレル出力ラッチを出力します。）

(4) IDCODE

IDCODE 命令が選択されると、TAP コントローラの Shift-DR 状態時に ID コードレジスタ (JTIDR) の値を TDO 端子に出力します。この場合、JTIDR レジスタ値は LSB ファーストで出力されます。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。

(5) CLAMP

CLAMP 命令が選択されると、出力端子はあらかじめ SAMPLE/PRELOAD 命令によって設定された JTBSR レジスタの値を出力します。CLAMP 命令が選択されている間、JTBSR レジスタの状態は TAP コントローラの状態に関係なく前の状態で保持されます。

TDI 端子と TDO 端子の間には JTBPR レジスタが接続され、BYPASS 命令が選択されたときと同様の動作をします。

(6) HIGHZ

HIGHZ 命令が選択されると、すべての出力端子はハイインピーダンス状態に遷移します。HIGHZ 命令が選択されると、TAP コントローラの状態に関わらず、JTBSR レジスタは保持されます。

TDI 端子と TDO 端子の間には JTBPR レジスタが接続され、BYPASS 命令が選択されたときと同様の動作をします。

39.4 使用上の注意

バウンダリスキャン機能には、以下の制約が適用されます。

- RES 端子が Low の場合にバウンダリスキャンを実行します。
- 図 39.3 に示すように、シリアルデータは LSB 側から入出力します。

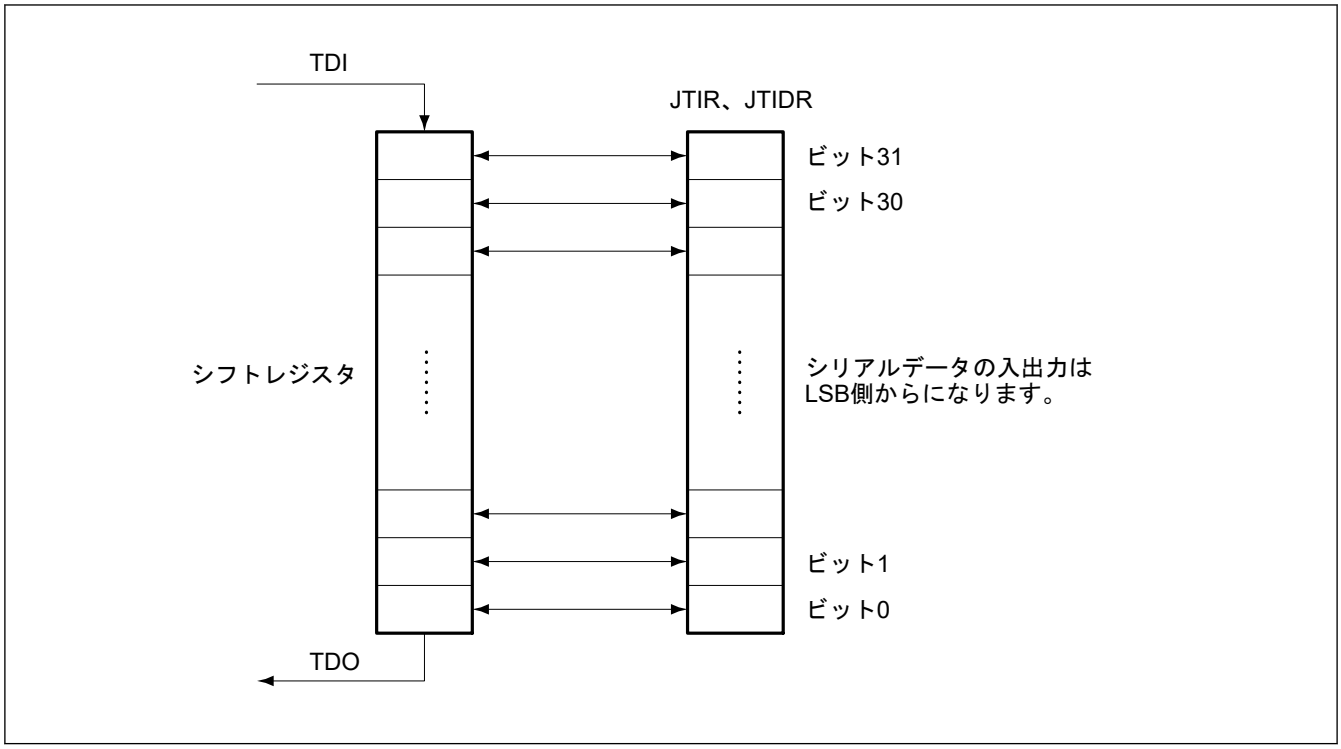


図 39.3　シリアルデータ入出力

以下の端子は、バウンダリスキャン対象外です。

- 電源端子 (VCC, VCC2, VCC_DCDC, VCL, VSS, VSS_DCDC, VBATT, AVCC0, AVSS0, VCC_USB, VSS_USB)
- アナログ基準端子 (VREFH0, VREFL0, VREFH, VREFL)
- クロック端子 (EXTAL, XTAL, XCIN, XCOUT)
- リセット端子 (RES)
- USBFS 端子 (USB_DP, USB_DM)
- バウンダリスキャン端子 (TCK, TMS, TDI, TDO)
- スイッチングレギュレータ端子 (VLO)

40. セキュリティ機能

40.1 特長

- Armv8-M TrustZone 技術
  - 実装定義属性ユニット (IDAU) を実装
  - セキュリティ属性属性ユニット (SAU) を実装
    - 8 領域
  - マスタセキュリティ属性ユニット (MSAU) を実装（CPU 以外のマスタ用 IDAU）
  - コードフラッシュ
    - リニアモード時は最大 2 領域（セキュア／非セキュア）
    - デュアルモード時は最大 4 領域（2 つのセキュア領域／2 つの非セキュア領域）
  - データフラッシュ
    - 最大 2 領域（セキュア／非セキュア）
  - SRAM
    - 最大 2 領域（セキュア／非セキュア）
  - スタンバイ SRAM
    - 最大 2 領域（セキュア／非セキュア）
  - VBATT バックアップレジスタ
    - 最大 2 領域（セキュア／非セキュア）
  - 周辺モジュール
    - 各ユニット／チャネルに対してセキュリティ属性を個別設定可能
  - OSPI(注1)
    - OSPI 領域は非セキュアとして定義
- プリビレッジ制御
  - スタンバイ SRAM と VBATT バックアップレジスタ以外のメモリに対するアクセス許可は、プリビレッジコードで管理する MPU で制御されます。
  - スタンバイ SRAM と VBATT バックアップレジスタのプリビレッジ属性は、各コントローラのレジスタで制御されます。
  - 各周辺機能のプリビレッジ／アンプリビレッジ属性を個別に設定可能
- デバイスライフサイクル管理
- 3 つのデバッグレベル
  - AL2：非セキュアデバッグ機能とセキュアデバッグ機能が有効であり、デバッガからアクセス可能
  - AL1：非セキュアデバッグ機能のみ有効であり、デバッガは定義された非セキュアデバッグアクセス可能領域にのみアクセス可能
  - AL0：デバッグ機能は使用不可
- キーインジェクション
- セキュアファクトリプログラミング
  - 信頼されないファクトリでの暗号文形式の画像プログラミングをサポート
- 暗号化アクセラレータ
  - 「41. Renesas セキュア IP (RSIP-E51A)」を参照してください。
- セキュア端子マルチプレキシング
  - 全 I/O ポート端子がセキュアまたは非セキュアとして個別に設定可能

– 周辺端子機能は、周辺機能と I/O ポートのセキュリティ属性が一致した場合に有効「19. I/O ポート」を参照してください。

注 1. 外部 RAM および外部デバイス領域には TrustZone フィルタがありません。従って、これらの領域が SAU 設定で「セキュア」となっていても、CPU 以外の非セキュアマスタからアクセス可能です。

40.2 改ざん検出

本デバイスは外部からの改ざんを検出できる I/O ポートを備えています。改ざんイベントの場合：

- タイムスタンプ
  RTC はタイムスタンプを取得してイベントを記録し、割り込みを発生させることができます。「24. リアルタイムクロック (RTC)」を参照してください。
- VBATT バックアップレジスタ
  改ざんイベント検出後、VBATT バックアップレジスタがゼロ化（0 に設定）されます。「11. バッテリバックアップ機能」を参照してください。

40.3 Arm セキュリティ機能

40.3.1 Arm TrustZone 技術

Arm TrustZone 技術は、システムとアプリケーションをセキュアドメインと非セキュアドメインに分けます。セキュアアプリケーションはセキュアトランザクションと非セキュアトランザクションの両方を発行できますが、非セキュアアプリケーションは非セキュアトランザクションしか発行できません。セキュアトランザクションはセキュアメモリとリソースにのみアクセスでき、非セキュアトランザクションは非セキュアメモリとリソースにのみアクセスできます。セキュアトランザクションはセキュア領域アドレスのみを使用して発行でき、非セキュアトランザクションは非セキュア領域アドレスのみを使用して発行できます。図 40.1 に、各マスタが発行できるトランザクションのセキュリティ属性を示します。

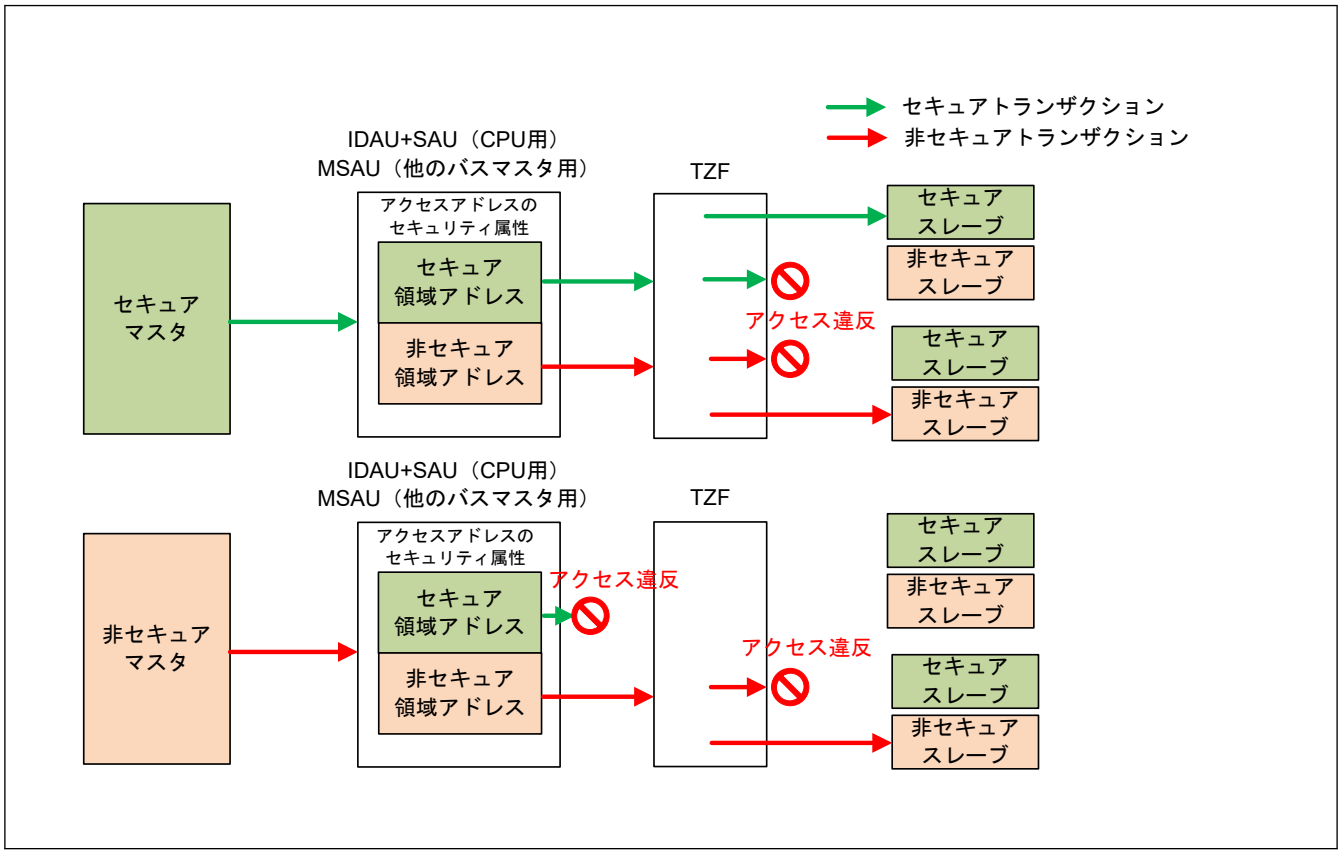


図 40.1 各マスタが発行できるトランザクション

詳細は、*Arm® v8-M Architecture Reference Manual and Arm® Platform Security Architecture Trusted Base System Architecture for Arm®v8-M 1.0* を参照してください。

40.3.2 プリビレッジ制御

システムとアプリケーションはプリビレッジドメインとアンプリビレッジドメインに分けられます。CPU はプリビレッジモードまたはアンプリビレッジモードでのコードの実行により、一部のリソースへのアクセスを制限または除外できます。プリビレッジモードではプリビレッジドメインとアンプリビレッジドメインの両方にアクセスできますが、アンプリビレッジモードではアンプリビレッジドメインにしかアクセスできません。

詳細は、*Arm® v8-M Architecture Reference Manual and Arm® Platform Security Architecture Trusted Base System Architecture for Arm®v8-M 1.0* を参照してください。

40.3.3 セキュリティ属性

Armv8.1-M 用 TrustZone 実装はセキュリティ属性ユニット (SAU) と実装定義属性ユニット (IDAU) で構成されています。4 GB のメモリ空間はセキュア (S) メモリ領域と非セキュア (NS) メモリ領域に分割されます。セキュアメモリ空間は、さらに非セキュアコーラブル (NSC) とセキュアの 2 種類に分割されます。

注.
- S : セキュアアドレスは、セキュアソフトウェアまたはセキュアマスタのみアクセス可能なメモリと周辺モジュールに使用します。
- NSC : 特別な種類のセキュア位置 Armv8.1-M プロセッサは、この種類のメモリにのみ、非セキュア状態からセキュア状態へのソフトウェアの遷移を許可するセキュアゲートウェイ (SG)　の保持を許可します。
- NS : 非セキュアアドレスは、デバイスで動作している全ソフトウェアがアクセス可能なメモリと周辺モジュールで使用します。

40.3.3.1 実装定義属性ユニット (IDAU)

IDAU は、コード、SRAM、および周辺領域をセキュアエイリアス領域と非セキュアエイリアス領域にアドレスビット[28]で定義します。セキュアコード領域とセキュア SRAM 領域には NSC セキュリティ属性が割り当てられます。IDAU で定義したセキュリティマップはハードウェアで固定され、ソフトウェアでは変更できません。

40.3.3.2 マスタセキュリティ属性ユニット (MSAU)

MSAU は、CPU 以外のマスタ用のシステム固有セキュリティアドレスマップを定義する IDAU です。MSAU はセキュアエイリアス領域と非セキュアエイリアス領域を定義しますが、非セキュアコーラブル (NSC) や領域番号は定義しません。CPU 以外のマスタは、MSAU で定義したセキュアエイリアスアドレスを使用してセキュリティトランザクションを発行できます。ただし、非セキュアマスタがセキュアエイリアス領域のアドレスを使用してセキュリティトランザクションを発行することは禁止されています。図 40.2 に、IDAU および MSAU の定義セキュリティマップを示します。MSAU で定義したセキュリティマップはハードウェアで固定され、ソフトウェアでは変更できません。

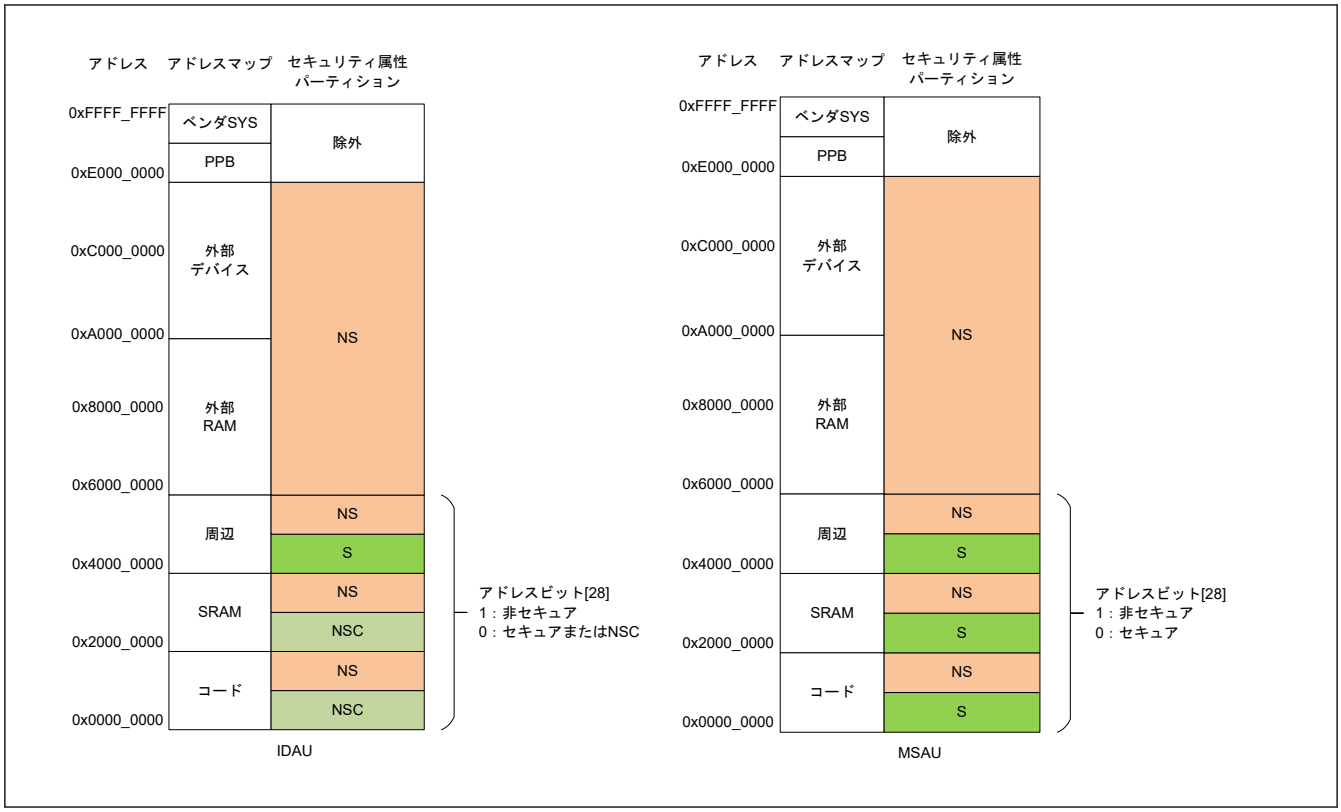


図 40.2　IDAU および MSAU の定義されたセキュリティマップ

40.3.3.3　セキュリティ属性ユニット (SAU)

SAU はアドレスのセキュリティを決定するプログラマブルユニットです。SAU はセキュア状態の時にプログラマブルであり、MPU と同様のプログラマモデルを持ちます。IDAU と SAU の両方で定義された領域にアドレスをマッピングすると、セキュリティレベルが高い方の領域が選択されます。セキュアマスタは、各セキュリティエイリアス領域のアドレスを使ってセキュアトランザクションと非セキュアトランザクションを発行できます。非セキュアマスタは、セキュリティエイリアス領域のアドレスを使ってセキュアトランザクションを発行できません。図 40.3 にアドレスマップセキュリティレベルの最終決定を示します。

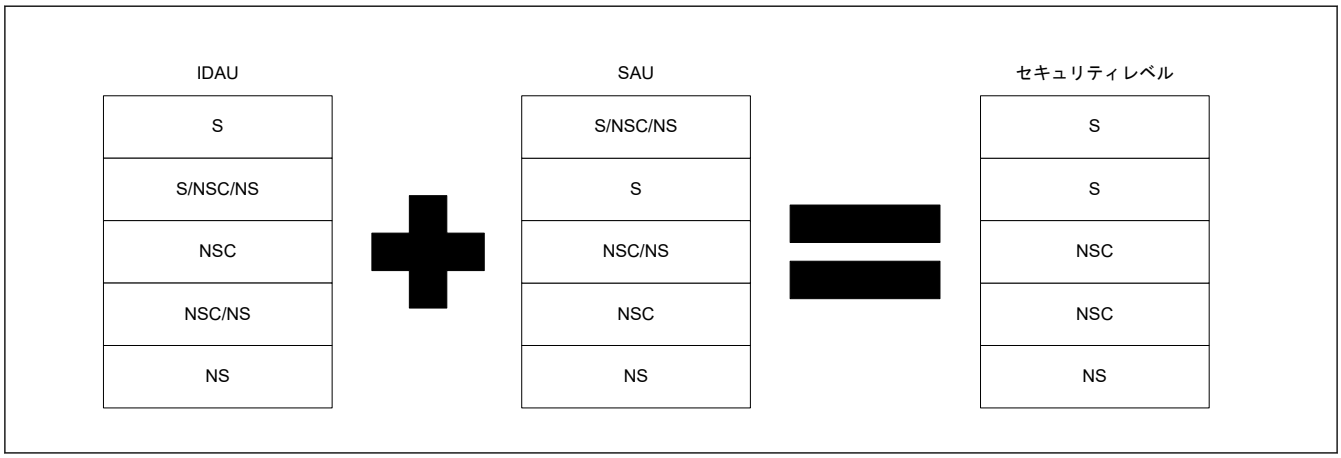


図 40.3　アドレスマップセキュリティレベルの最終決定

TrustZone を使用してセキュアと非セキュアの領域分離を行う場合、以下に従って SAU を設定する必要があります。

IDAU で NS 属性として設定した領域は、SAU でも NS に設定する必要があります。IDAU で NS に設定されている領域は以下の通りです。

0x1000_0000～0x1FFF_FFFF（図 40.4 の SAU 領域 1）

0x3000_0000～0x3FFF_FFFF（図 40.4 の SAU 領域 3）

0x5000_0000～0xDFFF_FFFF（図 40.4 の SAU 領域 3）

IDAU で NSC として定義された任意の領域内に、NSC 領域を少なくとも一つ作成する必要があります。IDAU で NSC に設定されている領域は以下の通りです。

0x0000_0000～0x0FFF_FFFF（図 40.4 の SAU 領域 0）

0x2000_0000～0x2FFF_FFFF（図 40.4 の SAU 領域 2）

TrustZone を使用して分離を定義したくない場合は、SAU_CTRL.ALLNS = 0 と SAU_CTRL.ENABLE = 0（初期値）は変更しないでください。

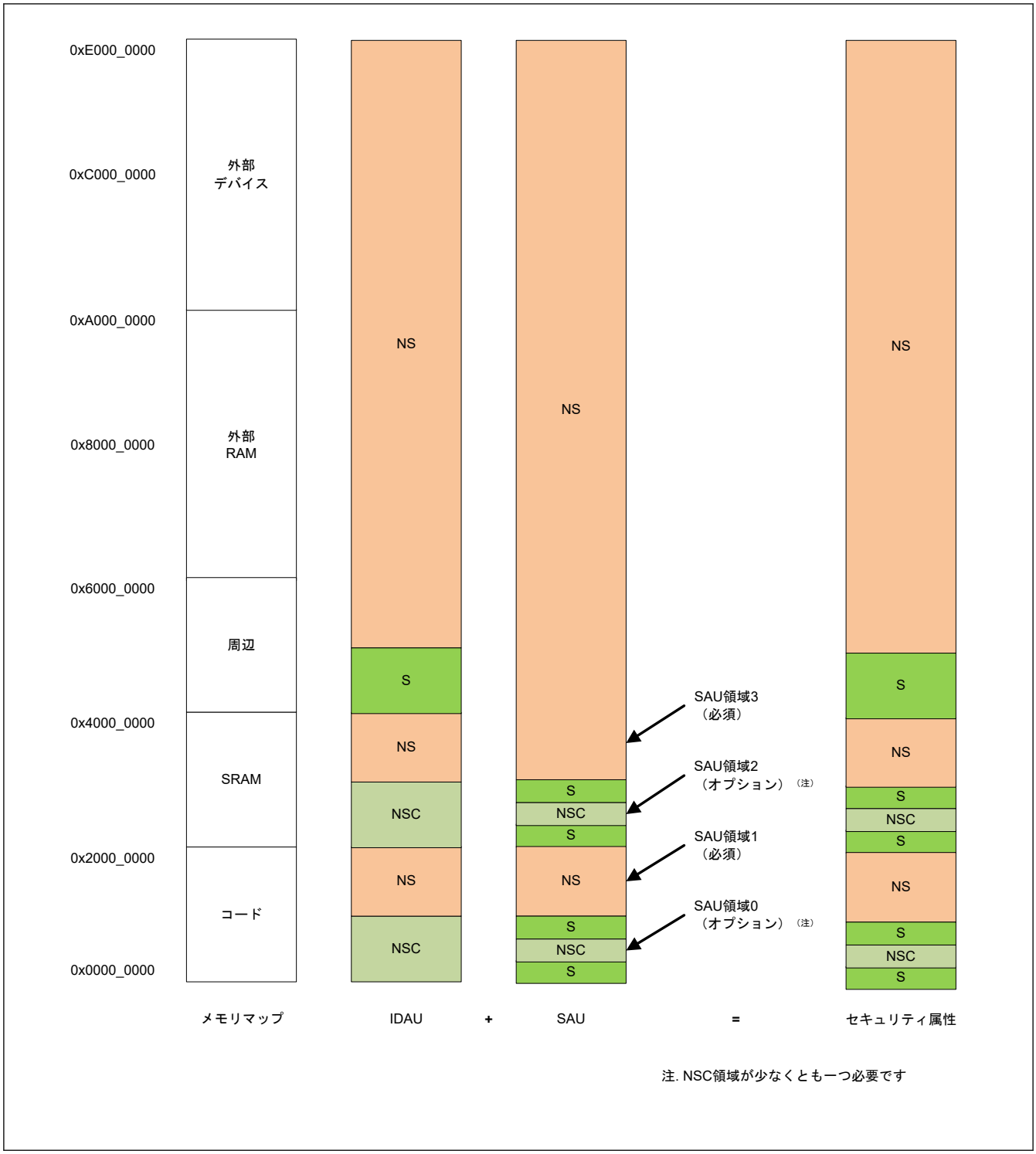


図 40.4　SAU 設定および結果として生じるセキュリティ属性

40.3.3.4　領域番号

SAU と IDAU はメモリ領域およびセキュリティ属性ごとの領域番号も定義します。ソフトウェアはこの領域番号を使用して、連続する範囲のメモリが共通のセキュリティ属性を共用するかどうかを判断します。図 40.5 に IDAU 定義の領域番号を示します。

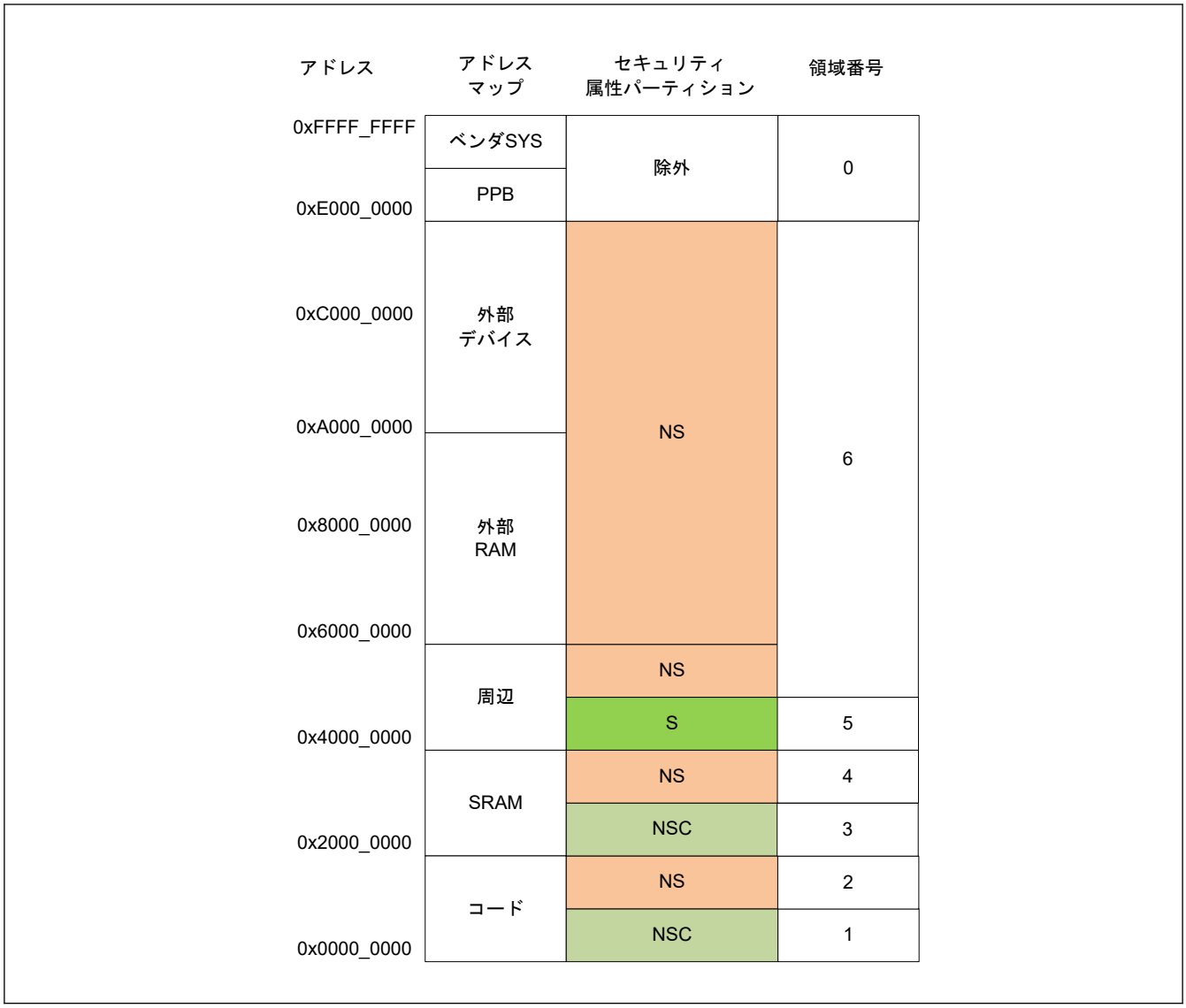


図 40.5　IDAU 定義の領域番号

40.3.3.5　TrustZone フィルタのメモリセキュリティ属性

メモリは S 領域と NS 領域に分けられます。デバイスライフサイクルが OEM 状態であり、かつ認証レベルが AL2 の場合、コードフラッシュとデータフラッシュのメモリセキュリティ属性はブートファームウェアコマンドによって不揮発性メモリに格納されます。これらのメモリセキュリティ属性はアプリケーション実行前に適用されます。これらの属性はアプリケーションでは更新できませんが、専用レジスタで読み出すことができます。SRAM、スタンバイ SRAM、および VBATT バックアップレジスタのメモリセキュリティ属性は、セキュアアクセスでのみ書き込み可能な専用のセキュリティ属性レジスタで設定されます。

コードフラッシュは、リニアモードでは最大 2 つの領域に、デュアルモードでは 4 つの領域に分割可能です。デュアルモードでは、バンク 0 とバンク 1 は同じように分割されます。データフラッシュは最大 2 つの領域に分割可能です。SRAM、スタンバイ SRAM、および VBATT バックアップレジスタは最大 2 つの領域に分轄可能です。図 40.6 にメモリマッピングを示します。表 40.1 にメモリ領域のサイズを、表 40.2 にメモリ領域のアクセス許可を示します。

セキュアアプリケーションはブロックスワップ後に非セキュア領域に置かれるので、リニアモードでセキュア領域または NSC 領域をブロックスワップ可能エリアに置いてはなりません。

セキュア領域または NSC 領域のコードは、非セキュアユーザーによるバンク切り替えで変更される可能性があります。これを回避するために、以下の手順を推奨します。

- BANKSEL_SEL.BANKSWP[2:0]を 000b に設定して、非セキュアユーザーのバンク切り替えを無効にします。

- 非セキュアユーザーのバンク切り替えを許可する場合は、両方のバンクに対して、セキュア領域または NSC 領域のコードを同じにします。

「40.7. デュアルモードでのフィールドアップデート」を参照してください。

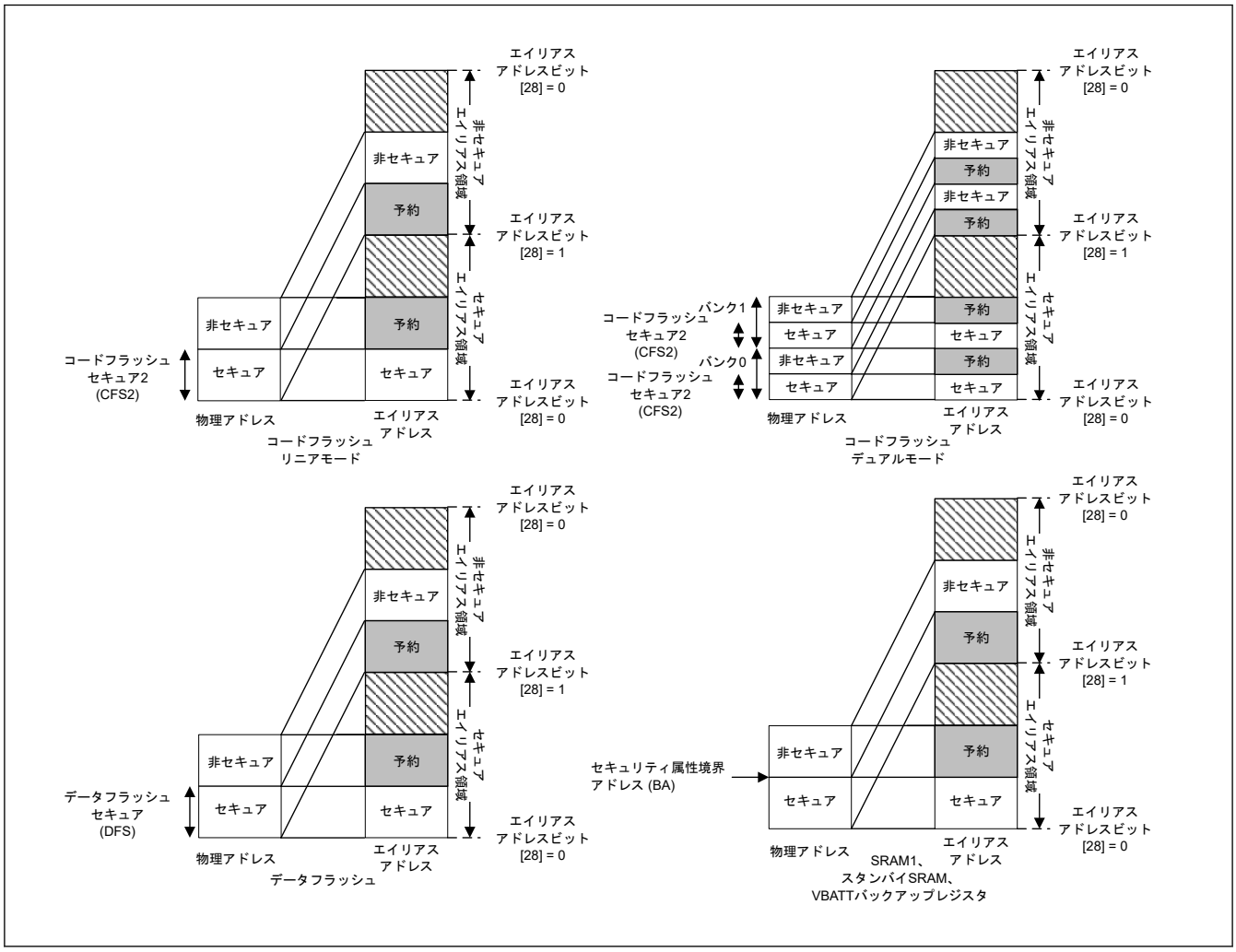


図 40.6　メモリマッピング

表 40.1　メモリ領域のサイズ (1/2)

メモリ領域		開始アドレス	サイズ
リニアモード	コードフラッシュセキュア	0x0200_0000	CFS2 サイズ (32 KB)
	コードフラッシュ非セキュア	0x1200_0000 + CFS2 サイズ (32 KB)	コードフラッシュサイズ - CFS2 サイズ (32 KB)
デュアルモード	コードフラッシュバンク 0 セキュア	0x0200_0000	CFS2 サイズ (32 KB)
	コードフラッシュバンク 0 非セキュア	0x1200_0000 + CFS2 サイズ (32 KB)	コードフラッシュサイズ/2 - CFS2 サイズ (32 KB)
	コードフラッシュバンク 1 セキュア	0x0220_0000	CFS2 サイズ (32 KB)
	コードフラッシュバンク 1 非セキュア	0x1220_0000 + CFS2 サイズ (32 KB)	コードフラッシュサイズ/2 - CFS2 サイズ (32 KB)
データフラッシュセキュア		0x2700_0000	DFS サイズ (1 KB)
データフラッシュ非セキュア		0x3700_0000 + DFS サイズ (1 KB)	データフラッシュサイズ - DFS サイズ × (1 KB)
SRAM1 セキュア		0x2206_0000	BA (8 KB)
SRAM1 非セキュア		0x3206_0000 + BA (8 KB)	SRAM1 サイズ - BA (8 KB)

表 40.1 メモリ領域のサイズ (2/2)

メモリ領域	開始アドレス	サイズ
スタンバイ SRAM セキュア	0x2600_0000	BA（128 バイト）
スタンバイ SRAM 非セキュア	0x3600_0000 + BA（128 バイト）	スタンバイ SRAM サイズ - BA（128 バイト）
VBATT バックアップレジスタセキュア	0x4001_ED00	BA（32 バイト）
スタンバイ VBATT バックアップレジスタ非セキュア	0x5001_ED00 + BA（32 バイト）	バックアップレジスタサイズ - BA（32 バイト）

注. 括弧内の数字はユーザーが設定できる最小単位を示します。
注. 「BA」は各メモリ領域のセキュリティ属性境界アドレスレジスタの設定値です。

表 40.2 メモリ領域のアクセス許可

メモリ領域	セキュアトランザクション	非セキュアトランザクション
S または NSC に設定された各メモリ領域	許可	書き込み無視／読み出し無視 TrustZone アクセスエラー発生
NS に設定された各メモリ領域	書き込み無視／読み出し無視 TrustZone アクセスエラー発生	許可

40.3.3.6 TrustZone フィルタの周辺モジュールセキュリティ属性

各周辺モジュールは、セキュアまたは非セキュア、およびプリビレッジまたはアンプリビレッジとして構成できます。

周辺モジュールは 2 種類に分かれます。

Type1 周辺モジュールには、セキュリティとプリビレッジの属性が 1 つあります。全レジスタへのアクセスが 1 つのセキュリティとプリビレッジの属性により制御されます。タイプ 1 周辺モジュールのセキュリティとプリビレッジの属性は、セキュアかつ特権のあるアプリケーションによって、PSARx (x = B～E) および PPARx (x = B～E) レジスタに設定されます。

タイプ 2 周辺モジュールは各レジスタまたは各ビットごとにセキュリティ属性を持ち、各レジスタまたはビットフィールドへのアクセスは、これらのセキュリティ属性に従って制御されます。タイプ 2 周辺モジュールのセキュリティ属性は、セキュアアプリケーションにより各モジュールのセキュリティ属性レジスタに設定されます。セキュリティ属性レジスタの詳細については、各セクションを参照してください。

表 40.3 に周辺モジュールタイプの分類を示します。

表 40.3 周辺モジュールタイプの分類

タイプ 1	タイプ 2
SCI、SPI、OSPI、ETHERC、EDMAC、USBFS、IIC、RSIP-E51A、CANFD、CEU、DOC、SSIE、CRC、CAC、ACMPHS、TSN、ADC12、DAC12、POEG、AGT、GPT、ULPT、RTC、IWDT、および WDT	システム制御（リセット、PVD、クロック発生回路、低消費電力モード、バッテリバックアップ機能）、フラッシュメモリコントローラ、フラッシュキャッシュ、SRAM コントローラ、CPU キャッシュ、DMAC、DTC、ICU、MPU、BUS、セキュリティ設定、ELC、および I/O ポート

表 40.4 にタイプ 1 周辺モジュールのアクセス許可を示します。タイプ 2 周辺モジュールのアクセス許可はモジュールごとに異なります。タイプ 2 周辺モジュールの各レジスタの説明には、アクセス許可の仕様を示す S-TYPE と P-TYPE の注記が含まれています。S-TYPE と P-TYPE の詳細については、「付録 4. レジスタ R/W に関する注意事項」を参照してください。

表 40.4 タイプ 1 周辺モジュールのアクセス許可 (1/2)

	セキュアかつプリビレッジアクセス	セキュアかつアンプリビレッジアクセス	非セキュアかつプリビレッジアクセス	非セキュアかつアンプリビレッジアクセス
セキュアかつプリビレッジとして構成された周辺モジュール	許可	書き込み無視／読み出し無視 TrustZone アクセスエラー発生	書き込み無視／読み出し無視 TrustZone アクセスエラー発生	書き込み無視／読み出し無視 TrustZone アクセスエラー発生

表 40.4 タイプ 1 周辺モジュールのアクセス許可 (2/2)

	セキュアかつプリビレッジアクセス	セキュアかつアンプリビレッジアクセス	非セキュアかつプリビレッジアクセス	非セキュアかつアンプリビレッジアクセス
セキュアかつアンプリビレッジとして構成された周辺モジュール	許可	許可	書き込み無視／読み出し無視 TrustZone アクセスエラー発生	書き込み無視／読み出し無視 TrustZone アクセスエラー発生
非セキュアかつプリビレッジとして構成された周辺モジュール	書き込み無視／読み出し無視 TrustZone アクセスエラー発生	書き込み無視／読み出し無視 TrustZone アクセスエラー発生	許可	書き込み無視／読み出し無視 TrustZone アクセスエラー発生
非セキュアかつアンプリビレッジとして構成された周辺モジュール	書き込み無視／読み出し無視 TrustZone アクセスエラー発生	書き込み無視／読み出し無視 TrustZone アクセスエラー発生	許可	許可

40.3.4 TrustZone アクセスエラー

TrustZone アクセスエラー発生時の動作を表 40.5 に示します。動作はアクセス対象のマスタ／スレーブ領域によって変わります。

表 40.5 TrustZone アクセスエラー時の動作

DAP	CPU	DMAC/DTC	EDMAC	CEU
• エラー応答のみが返される(注1)	• IDAU/SAU が SecureFault 例外検出 • TrustZone フィルタが BusFault 例外検出 • リセット発行可能(注2)	• 転送停止 • NMI またはリセット発行(注2) • 割り込み発生 (DMA0_TRANSERR)	• NMI またはリセット発行(注2) • 割り込み発生 (ETHER_EINT0)(注3)	• NMI またはリセット発行(注2)

注. この動作はバッファリング可能ライトアクセスには適用されません。バッファリング可能ライトアクセスエラー検出時の詳細については、「14.4.2. バスエラー発生時の動作」を参照してください。
注 1. デバッガアクセスにより TrustZone アクセスエラーが発生した場合、例外、NMI、またはリセットは発生しません。エラー応答のみが返されます。
注 2. エラー検出後の動作は BUSOAD.SRERROAD ビットで選択します。
注 3. EESR.ADE ビットのアドレスエラーフラグがセットされます。EESIPR.ADEIP ビットで割り込みが許可されると割り込みが発生します。
注 4. アクセスエラーフラグは STATUS.BUSIRQ に設定されます。IRQCTL.BUSIRQEN ビットで割り込みが許可されている場合は割り込みが発生します。

40.4 デバイスライフサイクルの管理

デバイスライフサイクルの管理 (DLM) は、デバイスの現在の開発／生産／展開フェーズを識別し、デバッグ機能、シリアルプログラミングインタフェース、およびルネサステストモードの機能を制御します。図 40.7 に利用可能なライフサイクル状態を、表 40.6 にライフサイクル状態の定義および各状態で使用できる機能を示します。

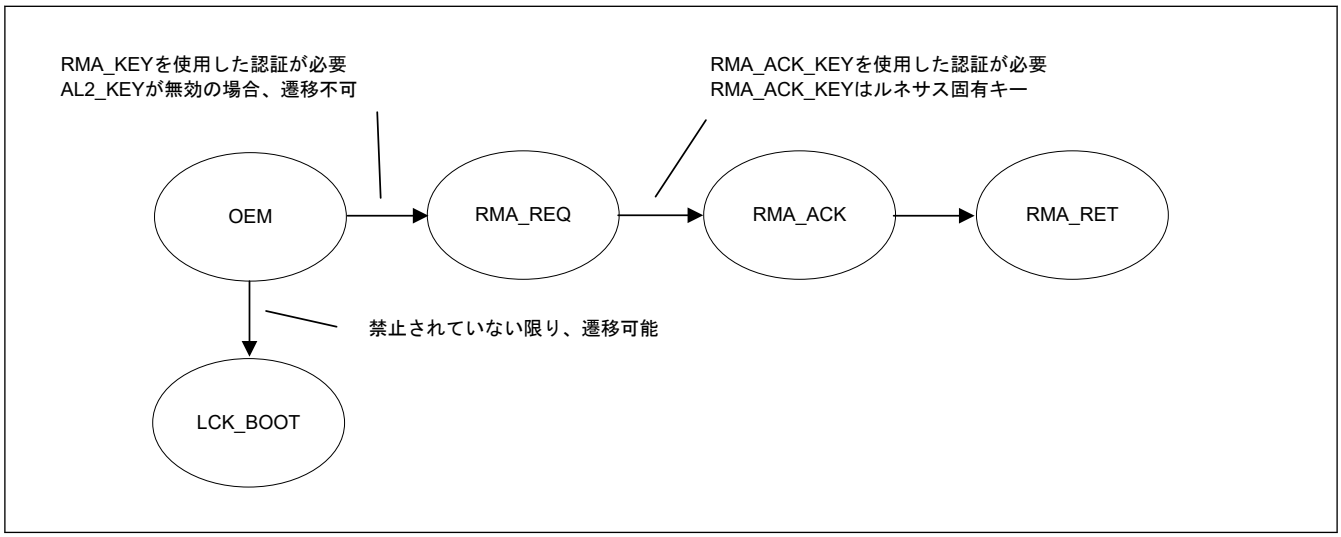


図 40.7 デバイスライフサイクル状態

表 40.6 ライフサイクル状態の定義および各状態で利用できる機能

ライフサイクル	定義	保護レベル	デバッグ機能	シリアルプログラミング	ルネサステストモード
OEM	Original Equipment Manufacturer 本デバイスはお客様の所有物です。 お客様はこの状態でデバイスを受け取ります。	PL2、PL1、PL0 のいずれか	認証レベルに依存		使用不可
LCK_BOOT	LoCKed BOOT interface（ブートインタフェースロック中） デバッグインタフェースおよびシリアルプログラミングインタフェースは永久に無効	PL0	使用不可	使用不可	使用不可
RMA_REQ	Return Material Authorization REQuest（RMA 要求） RMA 要求。お客様はこの状態でデバイスをルネサスに送ってください。	PL0	使用不可	使用可能 コード／データフラッシュ領域へのアクセス不可	使用不可
RMA_ACK	Return Material Authorization ACKnowledged（RMA 承認） ルネサスでの故障解析	PL2	セキュアデバッグと非セキュアデバッグで使用可能	使用可能 コード／データフラッシュ領域へのアクセス不可	使用可能
RMA_RET	Return Material Authorization ACKnowledged（RMA 返却） 本デバイスはお客様に返却されたものです。本デバイスはブートしません。	PL0	使用不可	使用不可	使用不可

40.4.1 ライフサイクル状態の変更

デバイスのライフサイクル状態を変更するにはブートファームウェアコマンドを使用してください。これらのコマンドはブートファームウェアの UART インタフェースと USB インタフェース、および SWD/JTAG を介して使用できます。コマンドの詳細については、ブートファームウェアアプリケーションノートを参照してください。アプリケーションによるライフサイクル状態の更新はできませんが、現在のライフサイクル状態は専用レジスタにより読み出し可能です。

図 40.7 に示すように、各遷移は一方通行であり、状態は後戻りできません。

OEM から RMA_REQ への遷移には RMA_KEY を使った鍵認証が必要であり、RMA_KEY はお客様が事前にインジェクトしておく必要があります。RMA_KEY の鍵長は 128 ビットです。RMA_KEY は、「40.5. セキュアキーインジェクション」に示すようにインジェクトしてください。RMA_KEY は、AL2 においてインジェクトできます。

鍵認証には、チャレンジ＆レスポンス認証または MCU のユニーク ID を使った認証が使われます。応答（チャレンジ＆レスポンス認証）または認証コード（MCU のユニーク ID 使用）は以下のように算出できます。

応答 = AES-128 CMAC（RMA_KEY、128 ビットのチャレンジ）

認証コード = AES-128 CMAC（RMA_KEY、128 ビットの MCU ユニーク ID）

RMA_REQ への遷移時、永久ロックブロックとレジスタ以外のフラッシュメモリの内容は消去されます。永久ロックブロックまたはレジスタの内容は故障解析時ルネサスが読み出し可能です。PBPS/PBPS_SEC レジスタと BPS_SEL レジスタの設定でフラッシュブロックのプログラムとイレースを永久に禁止することで、フラッシュブロックを永久ロックできます。SAS レジスタは、当該レジスタのプログラムとイレースを永久に禁止する FSPR ビットで永久ロックできます。AL2_KEY が無効の場合、RMA_REQ への遷移は不可です。デバイスのライフサイク状態を RMA_REQ に変更した後は、MCU は応答しません。ブートファームウェアコマンドを使い続けるには、リセット後に再度ブートモードに遷移する必要があります。詳細については、ブートファームウェアアプリケーションノートを参照してください。

OEM から LCK_BOOT への遷移は、その遷移が明示的に禁止されていなければ可能です。LCK_BOOT への遷移を禁止する場合は、AL2 または AL1 においてパラメータ設定コマンドを使用してください。LCK_BOOT への遷移禁止は永久設定であり、元に戻すことはできません。LCK_BOOT 状態ではデバッグインタフェースおよびシリアルプログラミングインタフェースは永久に無効です。

40.4.2 保護と認証レベル

保護レベル (PL) と認証レベル (AL) はデバッグ機能とシリアルプログラミングインタフェースの可用性を決定します。OEM 状態の場合を除き、PL と AL は固定されています。OEM 状態では、PL と AL にはそれぞれ 3 つのレベルが設定できます。AL は一時的な認証状態を示し、MCU パワーオンリセット後に PL に初期化できます。

PL と AL のどちらもブートファームウェアだけが変更でき、アプリケーションでは変更できません。図 40.8 に使用可能な保護レベル状態と認証レベル状態、および遷移を示します。表 40.7 に各レベルでのデバッグ機能とシリアルプログラミングインタフェースの可用性を示します。

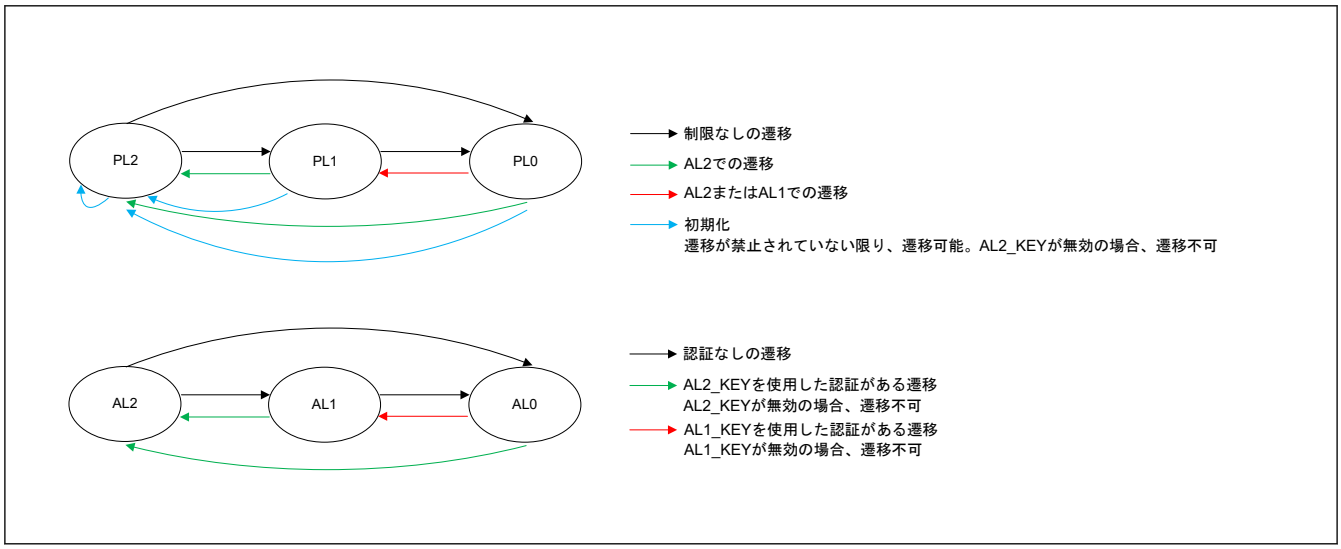


図 40.8 PL/AL 状態と遷移

表 40.7 各認証レベルでのデバッグ機能とシリアルプログラミングインタフェースの可能性

AL	デバッグ機能	シリアルプログラミングインタフェース
AL2	非セキュアデバッグ機能とセキュアデバッグ機能が有効であり、デバッガからアクセス可能	全機能が使用可能
AL1	非セキュアデバッグ機能のみ有効であり、デバッガは定義された非セキュアデバッグアクセス可能領域にのみアクセス可能	使用可能だが、セキュアコードやデータフラッシュエリアのプログラム、消去、読み出し不可
AL0	デバッグ機能は使用不可	使用可能だが、コードまたはデータフラッシュエリアへのアクセス不可

PL と AL を変更するにはブートファームウェアコマンドを使用してください。コマンドの詳細については、ブートファームウェアアプリケーションノートを参照してください。

下位 PL への変更には制限がありません。高位 PL に変更する場合は、MCU の AL がその PL 以上である必要があります。例えば、現在の AL が AL1 の場合、PL1 への変更はできますが PL2 には変更できません。PL は初期化コマンドでリセットできます（コマンド自体が無効の場合を除く）。初期化コマンドは PL～PL2 を設定し、フラッシュメモリの内容は消去されます。永久ロックブロックまたはレジスタがある場合、初期化コマンドは実行されません。言い換えれば、PBPS レジスタおよび PBPS_SEC レジスタの全ビットが 1 で FSPR ビットが 1 の場合、初期化コマンドは実行可能です。ユーザーがフラッシュメモリの内容を消去しないように、パラメータ設定コマンドで、すべての AL ステータスにおいて初期化コマンドを永久に無効にできます。AL2_KEY が無効化された場合も初期化コマンドが無効になります。初期化コマンドの実行後、MCU は応答しません。ブートファームウェアコマンドを使用し続けるには、リセット後に再度ブートモードに遷移してください。詳細については、ブートファームウェアアプリケーションノートを参照してください。

下位 AL への変更は認証なしでできます。高位 AL への変更には、必要に応じて AL2_KEY または AL1_KEY を使用した鍵認証が必要です。これらのキーは 128 ビットキーです。AL2_KEY または AL1_KEY のインジェクションは「40.5. セキュアキーインジェクション」に示すように行われます。AL2_KEY は AL2 にインジェクトできます。AL1_KEY は AL2 または AL1 にインジェクトできます。鍵認証には、チャレンジ＆レスポンス認証が使われます。応答は下記の式にて算出できます。

応答 = AES-128 CMAC（KEY、128 ビットのチャレンジ）

AL2_KEY はパラメータ設定コマンドで、AL2 において永久に無効にできます。AL1_KEY はパラメータ設定コマンドで、AL2 または AL1 において永久に無効にできます。

40.4.3 シリアルプログラミング

シリアルプログラマが接続可能かどうか、およびアクセス可能なフラッシュメモリの範囲は、表 40.6 と表 40.7 に示すデバイスライフサイクル状態と AL に依存します。さらに、受け付け可能なシリアルプログラミングコマンドはデバイスライフサイクル状態と AL により異なります。コマンドの詳細については、ブートファームウェアアプリケーションノートを参照してください。

40.4.4 デバイスライフサイクル状態と PL 変更例

以下にデバイスライフサイクル状態と PL 変更例を説明します。

- セキュア開発者
  - ブートファームウェアコマンドを使用してコードフラッシュおよびデータフラッシュのメモリセキュリティ属性を設定します。
  - セキュアアプリケーションのプログラムとデバッグ。メモリセキュリティ属性が設定されていない場合、コードフラッシュとデータフラッシュのすべての領域はセキュアです。
  - AL2_KEY と RMA_KEY が必要な場合、ブートファームウェアコマンドを使ってインジェクトしてください。
  - 非セキュア開発者用 MCU の準備
    - 非セキュア開発者に初期化コマンドの使用を許可しない場合は、ブートファームウェアコマンドを使って初期化コマンドを無効にしてください。
    - AL2_KEY を使用せず、非セキュア開発者に初期化機能の使用を許可しない場合は、ブートファームウェアコマンドを使用して AL2_KEY を無効にしてください。
    - ブートファームウェアコマンドを使用して PL 状態を PL2 から PL1 に変更
- 非セキュア開発者
  - 非セキュアアプリケーションのプログラミングとデバッグ。
  - AL1_KEY が必要な場合、ブートファームウェアコマンドを使ってインジェクトしてください。
  - 最終製品展開用 MCU の準備
    - ブートファームウェアコマンドを使用して初期化コマンドを無効にします（必要な場合）。
    - AL1_KEY を使用しない場合、ブートファームウェアコマンドを使って AL1_KEY を無効にしてください。
    - ブートファームウェアコマンドを使って PL 状態を PL1 から PL0 に変更

40.4.5 故障解析

お客様がルネサスに故障解析をご希望の場合は、デバイスライフサイクル状態を RMA_REQ に変更してからデバイスを送ってください。デバイスライフサイクル状態が RMA_REQ でないとルネサスは故障解析を行うことができません。故障解析後、ルネサスはライフサイクルを RMA_RET に変更し、デバイスをお客様に返却します。

注. デバイスライフサイクル状態を RMA_REQ に変更するには RMA_KEY が必要です。または、MCU のユニーク ID を認証コードの一部として使用する必要があります。詳細は「40.4.1. ライフサイクル状態の変更」を参照してください。

40.5 セキュアキーインジェクション

ユーザーキーを MCU にインジェクトするには、以下の手順で行ってください。

ルネサスは、キーインジェクション準備を支援するために、ルネサス Web サイトで利用可能なセキュリティキー管理ツールを提供しています。

1. 256 ビットのインストールキーを作成します。
   本キーは、ユーザーファクトリプログラミングキー (UFPK) と呼ばれ、ユーザーキーのラッピングに使用されます。
2. ルネサスキーラッピングサービスからラッピングされた UFPK (W-UFPK) を受け取ります。
3. UFPK を使ってユーザーキーをラッピングします。

4. ブートファームウェアインタフェースを使って、W-UFPK およびラッピングしたユーザーキーを MCU に送信します。
   ユーザーキーはアンラップされ、MCU のハードウェアユニークキーでラッピングされ、不揮発性メモリに格納されます。DLM キーはマッピング解除されたフラッシュに格納されます。アプリケーションキーは、キーインジェクションコマンドで指定したアドレスに格納されます。

図 40.9 にキーインジェクションの例を、表 40.8 にインジェクト可能なキーを示します。

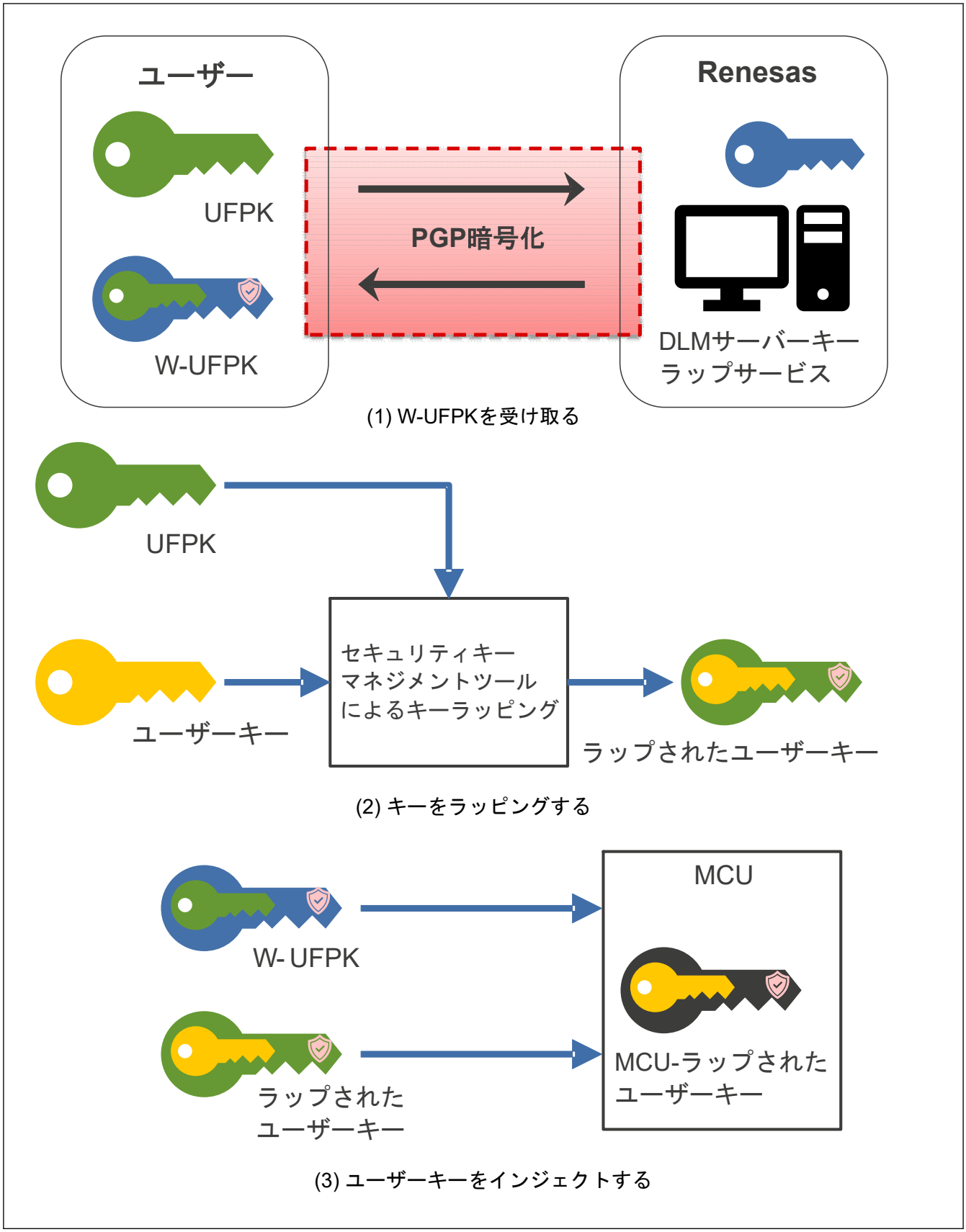


図 40.9　キーインジェクション

表 40.8 インジェクト可能なキー

DLM 遷移	AL 遷移
RMA_KEY	AL2_KEY、AL1_KEY

40.6 セキュアファクトリプログラミング

ユーザーキー（DLM キーおよびデバッグ認証キー）をインジェクトするためのセキュアキーインジェクションサポートに加えて、MCU は本番プログラミング時の資産漏洩を防ぐために、暗号文形式のファームウェアイメージのプログラミングをサポートしています。これにより、非セキュア環境でのセキュアファクトリプログラミングが可能となります。セキュアファクトリプログラミングはブートファームウェアでサポートされています。セキュアファクトリプログラミングで設定可能な最大容量は約 16 MB です。容量の制限の詳細については、セキュリティ鍵管理ツールのユーザーズマニュアルまたはブートファームウェアのアプリケーションノートを参照してください。図 40.10 に暗号化されたファームウェアイメージのセキュアファクトリプログラミングの例を示します。お客様はイメージ暗号化キーを UFPK でラッピングし、AES128-CCM を使ったイメージ暗号化キーでイメージを暗号化します。お客様が W-UFPK、ラッピングされたイメージ暗号化キー、および暗号化されたイメージをシリアルプログラミングインタフェースで MCU に送信すると、MCU はファームウェアイメージの復号処理とプログラミングを実行します。

非セキュア環境でのセキュアファクトリプログラミングをさらにサポートするために、DLM ステート、保護レベル、および認証キーを 1 つのブートファームウェアコマンドですべて設定できます。このブートファームウェアコマンドに関して以下の点に注意してください。

- 暗号化ファームウェアプログラミングは、MCU が OEM 状態のときのみ実行できます。
- このコマンドは MCU の保護レベルを変更してしまいます。初期 PL は PL2 でなければなりません。最終 PL は PL0 でなければなりません。
- DLM ステートが OEM 状態のままになりそうな場合、AL2 キーをインジェクトする必要があります。AL1 キーをインジェクトしないでください。
- MCU は LCK_BOOT 状態に遷移できます。この場合、AL キーはインジェクトできません。
- AL2 キーはイメージ暗号化キーと同じ UFPK でラッピングする必要があります。
- このコマンドは、暗号化されたファームウェアイメージをプログラムする前に、オプション設定メモリを除くすべてのコードおよびデータフラッシュ領域を消去します。永久ロックブロックがある場合、このコマンドは実行できません。
- 現在のレジスタ設定またはスタートアップ領域選択およびスタートアップバンク選択に関連するレジスタへの書き込み値が下記以外の場合、このコマンドの実行を禁止してください。
  - SAS.BTFLG = 1b
  - BANKSEL.BANKSWP[2:0] = 111b
  - BANKSEL_SEC.BANKSWP[2:0] = 111b
- 暗号化されたファームウェアイメージには、デフォルト値から変更されていないものも含めたすべてのオプション設定メモリ値を含める必要があります。ただし、以下の領域が書き込み保護されている場合、これらの領域の書き込みデータはイメージに含めないでください。イメージに含まれていると、このコマンドがエラー終了することになります。
  - SAS のレジスタ
  - データフラッシュオプション設定メモリ内のロック可能領域 0～2

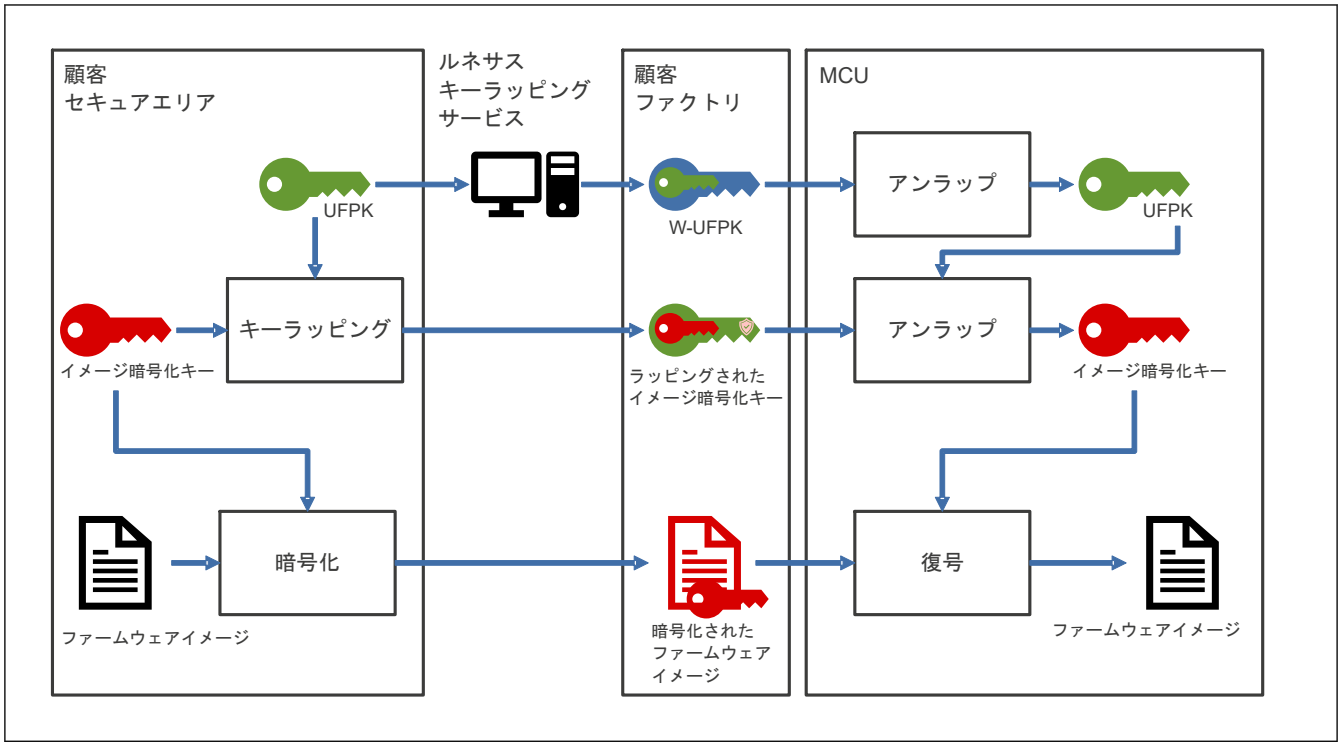


図 40.10　セキュアファクトリ暗号化イメージプログラミング

40.7　デュアルモードでのフィールドアップデート

現地でファームウェアをアップデートする場合は、デュアルモードでのバンク切り替え後のセキュア領域（S または NSC）または非セキュア領域 (NS) の内容が維持されるように注意してください。図 40.11 および図 40.12 に、デュアルモードでのセキュア領域または非セキュア領域の情報のフィールドアップデート実行フローを示します。

図 40.11 および図 40.12 に、それぞれデュアルバンクモードでの実行時のセキュア領域と非セキュア領域のアップデートを示します。初期段階では、バンク 0 にはファームウェアのバージョン 1 が含まれ、バンク 1 は空白です。図 40.11 で示すように、S または NSC ファームウェアをバージョン 2 にアップデートするには、まずバンク 0 のバージョン 1 の NS ファームウェアをバンク 1 にコピーし、S または NSC をバージョン 2 にアップデートし、次にバンクスワップを実行します。

図 40.12 で示すように、NS ファームウェアをバージョン 2 にアップデートするには、まずバージョン 1 の S および NSC ファームウェアをバンク 0 からバンク 1 にコピーします。なお、このプロセスはセキュアサービスで実行しなければなりません。その後、非セキュアユーザーは NS ファームウェアをバージョン 2 にアップデートし、バンクスワップを実行します。

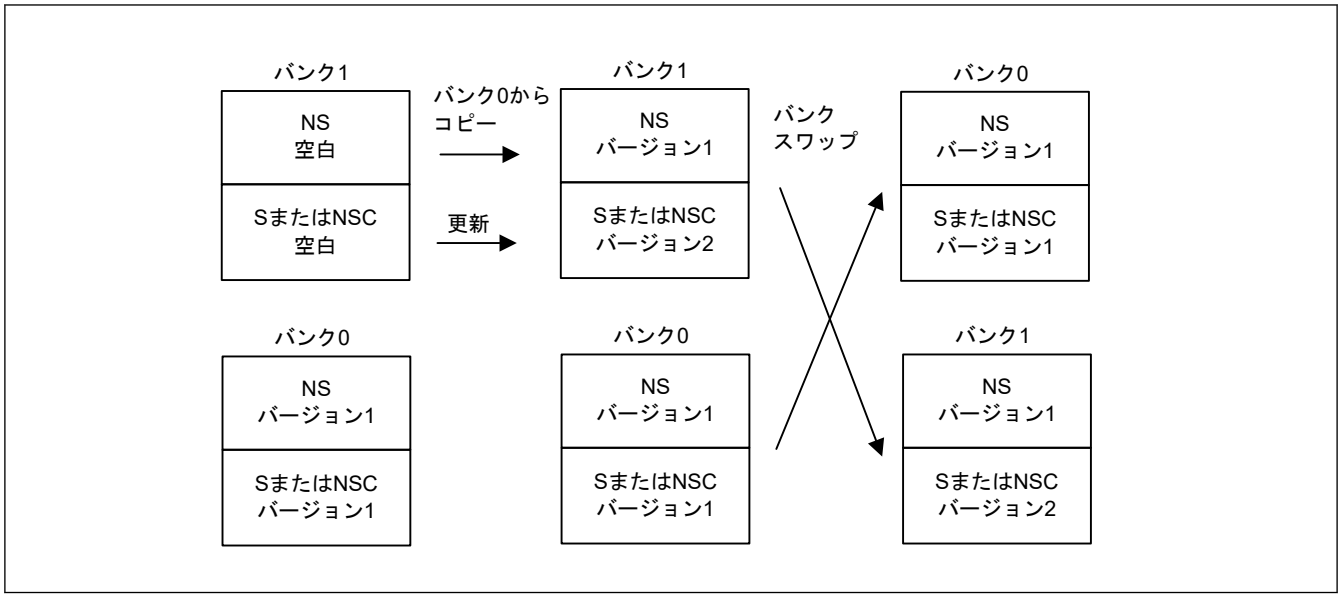


図 40.11　セキュア領域または NSC 領域のフィールドアップデートフロー

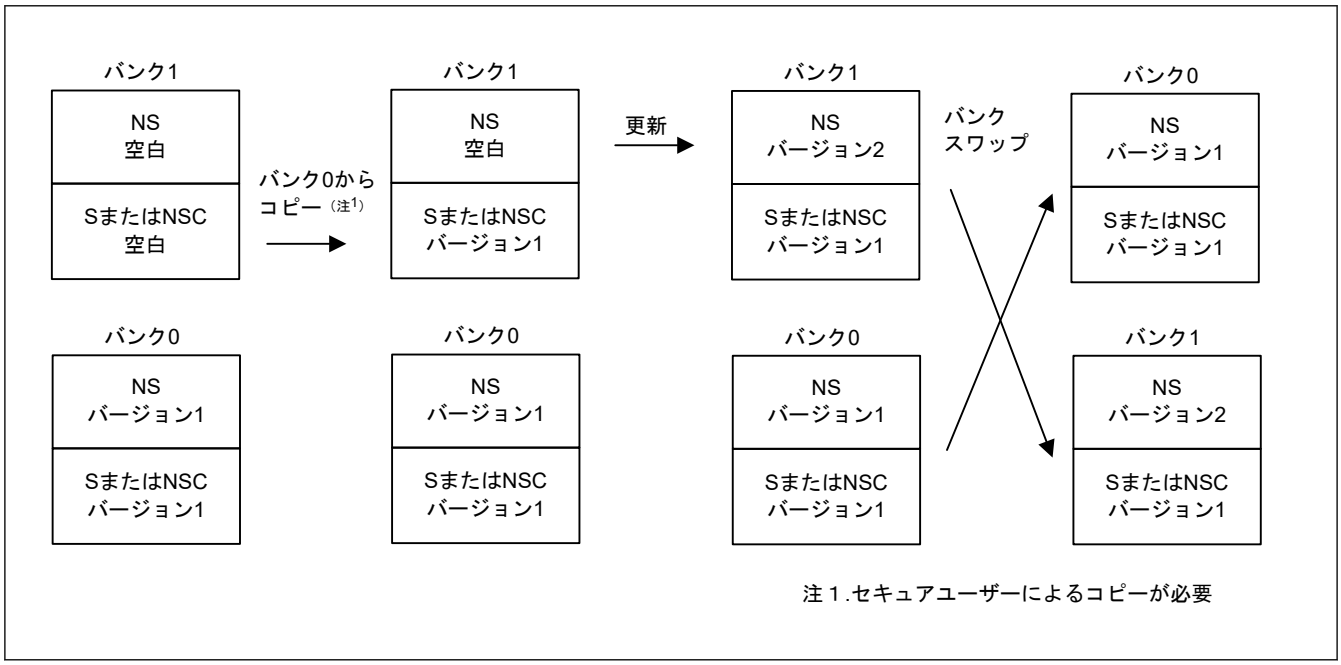


図 40.12　非セキュア領域のフィールドアップデートフロー

40.8 レジスタの説明

40.8.1 PSARB : 周辺モジュールセキュリティ属性レジスタ B

Base address: PSCU = 0x4020_4000
PSCU_NS = 0x5020_4000

Offset address: 0x04

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PSARB31	PSARB30	PSARB29	PSARB28	PSARB27	—	—	—	—	PSARB22	—	—	PSARB19	PSARB18	—	PSARB16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PSARB15	—	—	—	PSARB11	—	PSARB9	PSARB8	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	PSARB8	I2C バスインタフェース 1 セキュリティ属性 対象モジュール: IIC1 および MSTPCRB.MSTPB8 ビット 0: セキュア 1: 非セキュア	R/W
9	PSARB9	I2C バスインタフェース 0 セキュリティ属性 対象モジュール: IIC0 および MSTPCRB.MSTPB9 ビット 0: セキュア 1: 非セキュア	R/W
10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	PSARB11	ユニバーサルシリアルバス 2.0 FS インタフェース 0 セキュリティ属性 対象モジュール: USBFS0 および MSTPCRB.MSTPB11 ビット 0: セキュア 1: 非セキュア	R/W
14:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	PSARB15	ETHERC/EDMAC コントローラセキュリティ属性 対象モジュール：ETHERC/EDMAC、MSTPCRB.MSTPB15 ビット、および PFENET.PHYMODE0 ビット 0: セキュア 1: 非セキュア	R/W
16	PSARB16	オクタメモリコントローラセキュリティ属性 対象モジュール：OSPI および MSTPCRB.MSTPB16 ビット 0: セキュア 1: 非セキュア	R/W
17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18	PSARB18	シリアルペリフェラルインタフェース 1 セキュリティ属性 対象モジュール: RSPI1 および MSTPCRB.MSTPB18 ビット 0: セキュア 1: 非セキュア	R/W
19	PSARB19	シリアルペリフェラルインタフェース 0 セキュリティ属性 対象モジュール: RSPI0 および MSTPCRB.MSTPB19 ビット 0: セキュア 1: 非セキュア	R/W
21:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22	PSARB22	シリアルコミュニケーションインタフェース 9 セキュリティ属性 対象モジュール：SCI9 および MSTPCRB.MSTPB22 ビット 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
26:23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
27	PSARB27	シリアルコミュニケーションインタフェース 4 セキュリティ属性 対象モジュール: SCI4 および MSTPCRB.MSTPB27 ビット 0: セキュア 1: 非セキュア	R/W
28	PSARB28	シリアルコミュニケーションインタフェース 3 セキュリティ属性 対象モジュール: SCI3 および MSTPCRB.MSTPB28 ビット 0: セキュア 1: 非セキュア	R/W
29	PSARB29	シリアルコミュニケーションインタフェース 2 セキュリティ属性 対象モジュール: SCI2 および MSTPCRB.MSTPB29 ビット 0: セキュア 1: 非セキュア	R/W
30	PSARB30	シリアルコミュニケーションインタフェース 1 セキュリティ属性 対象モジュール: SCI1 および MSTPCRB.MSTPB30 ビット 0: セキュア 1: 非セキュア	R/W
31	PSARB31	シリアルコミュニケーションインタフェース 0 セキュリティ属性 対象モジュール: SCI0 および MSTPCRB.MSTPB31 ビット 0: セキュア 1: 非セキュア	R/W

注. S-TYPE-1、P-TYPE-1

PSARB レジスタは、各モジュールのセキュリティ属性およびモジュールストップコントロールレジスタの対応ビットを指定します。

40.8.2 PSARC : 周辺モジュールセキュリティ属性レジスタ C

Base address: PSCU = 0x4020_4000
PSCU_NS = 0x5020_4000

Offset address: 0x08

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PSARC31	—	—	—	PSARC27	PSARC26	—	—	—	—	—	—	—	—	—	PSARC16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	PSARC13	—	—	—	—	PSARC8	PSARC7	—	—	—	—	—	PSARC1	PSARC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PSARC0	クロック周波数精度測定回路セキュリティ属性レジスタは、各モジュールのセキュリティ属性およびモジュールストップコントロールレジスタの対応ビットを指定します。 対象モジュール: CAC および MSTPCRC.MSTPC0 ビット 0: セキュア 1: 非セキュア	R/W
1	PSARC1	巡回冗長検査演算器モセキュリティ属性 対象モジュール: CRC および MSTPCRC.MSTPC1 ビット 0: セキュア 1: 非セキュア	R/W
6:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	PSARC7	シリアルサウンドインタフェース拡張（チャネル 1）セキュリティ属性 対象モジュール : SSIE1 および MSTPCRC.MSTPC7 ビット 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
8	PSARC8	シリアルサウンドインタフェース拡張（チャネル 0）セキュリティ属性 対象モジュール：SSIE0 および MSTPCRC.MSTPC8 ビット 0: セキュア 1: 非セキュア	R/W
12:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13	PSARC13	データ演算回路セキュリティ属性 対象モジュール: DOC および MSTPCRC.MSTPC13 ビット 0: セキュア 1: 非セキュア	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	PSARC16	CEU セキュリティ属性 対象モジュール：CEU および MSTPCRC.MSTPC16 ビット 0: セキュア 1: 非セキュア	R/W
25:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26	PSARC26	Controller Area Network with Flexible Data-Rate 1 セキュリティ属性 対象モジュール：CANFD1 および MSTPCRC.MSTPC26 ビット 0: セキュア 1: 非セキュア	R/W
27	PSARC27	Controller Area Network with Flexible Data-Rate 0 セキュリティ属性 対象モジュール：CANFD0 および MSTPCRC.MSTPC27 ビット 0: セキュア 1: 非セキュア	R/W
30:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	PSARC31	RSIP-E51A セキュリティ属性 対象モジュール：RSIP-E51A および MSTPCRC.MSTPC31 ビット 0: セキュア 1: 非セキュア	R/W

注. S-TYPE-1、P-TYPE-1

PSARC レジスタは、各モジュールのセキュリティ属性およびモジュールストップコントロールレジスタの対応ビットを指定します。

40.8.3 PSARD : 周辺モジュールセキュリティ属性レジスタ D

Base address: PSCU = 0x4020_4000
PSCU_NS = 0x5020_4000

Offset address: 0x0C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	PSARD28	PSARD27	—	—	—	—	PSARD22	—	PSARD20	—	—	—	PSARD16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PSARD15	PSARD14	PSARD13	PSARD12	PSARD11	—	—	—	—	—	PSARD5	PSARD4	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	PSARD4	低消費電力非同期汎用タイマ 1 セキュリティ属性 対象モジュール: AGT1 および MSTPCRD.MSTPD4 ビット 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
5	PSARD5	低消費電力非同期汎用タイマ 0 セキュリティ属性 対象モジュール: AGT0 および MSTPCRD.MSTPD5 ビット 0: セキュア 1: 非セキュア	R/W
10:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	PSARD11	GPT 用ポートアウトプットイネーブルグループ 3 セキュリティ属性 対象モジュール: POEG グループ D および MSTPCRD.MSTPD11 ビット 0: セキュア 1: 非セキュア	R/W
12	PSARD12	GPT 用ポートアウトプットイネーブルグループ 2 セキュリティ属性 対象モジュール: POEG グループ C および MSTPCRD.MSTPD12 ビット 0: セキュア 1: 非セキュア	R/W
13	PSARD13	GPT 用ポートアウトプットイネーブルグループ 1 セキュリティ属性 対象モジュール: POEG グループ B および MSTPCRD.MSTPD13 ビット 0: セキュア 1: 非セキュア	R/W
14	PSARD14	GPT 用ポートアウトプットイネーブルグループ 0 セキュリティ属性 対象モジュール: POEG グループ A および MSTPCRD.MSTPD14 ビット 0: セキュア 1: 非セキュア	R/W
15	PSARD15	12 ビット A/D 1 コンバータセキュリティ属性 対象モジュール: ADC12_1 および MSTPCRD.MSTPD15 ビット 0: セキュア 1: 非セキュア	R/W
16	PSARD16	12 ビット A/D 0 コンバータセキュリティ属性 対象モジュール: ADC12_0 および MSTPCRD.MSTPD16 ビット 0: セキュア 1: 非セキュア	R/W
19:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	PSARD20	12 ビット D/A コンバータセキュリティ属性 対象モジュール: DAC12 および MSTPCRD.MSTPD20 ビット 0: セキュア 1: 非セキュア	R/W
21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22	PSARD22	温度センサセキュリティ属性 対象モジュール: TSN および MSTPCRD.MSTPD22 ビット 0: セキュア 1: 非セキュア	R/W
26:23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
27	PSARD27	高速アナログコンパレータ 1 セキュリティ属性 対象モジュール: ACMPHS1 および MSTPCRD.MSTPD27 ビット 0: セキュア 1: 非セキュア	R/W
28	PSARD28	高速アナログコンパレータ 0 セキュリティ属性 対象モジュール: ACMPHS0 および MSTPCRD.MSTPD28 ビット 0: セキュア 1: 非セキュア	R/W
31:29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1, P-TYPE-1

PSARD レジスタは、各モジュールのセキュリティ属性およびモジュールストップコントロールレジスタの対応ビットを指定します。

40.8.4 PSARE : 周辺モジュールセキュリティ属性レジスタ E

Base address: PSCU = 0x4020_4000
PSCU_NS = 0x5020_4000

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PSARE31	PSARE30	PSARE29	PSARE28	PSARE27	PSARE26	—	—	—	—	PSARE21	PSARE20	PSARE19	PSARE18	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	PSARE9	PSARE8	—	—	—	—	PSARE3	PSARE2	PSARE1	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	PSARE1	WDT セキュリティ属性 対象モジュール : WDT 0: セキュア 1: 非セキュア	R/W
2	PSARE2	IWDT セキュリティ属性 対象モジュール: IWDT 0: セキュア 1: 非セキュア	R/W
3	PSARE3	リアルタイムクロックセキュリティ属性 対象モジュール: RTC 0: セキュア 1: 非セキュア	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	PSARE8	ULPT1 セキュリティ属性 対象モジュール: ULPT1 および MSTPCRE.MSTPE8 ビット 0: セキュア 1: 非セキュア	R/W
9	PSARE9	ULPT0 セキュリティ属性 対象モジュール : ULPT0 および MSTPCRE.MSTPE9 ビット 0: セキュア 1: 非セキュア	R/W
17:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18	PSARE18	汎用 PWM タイマチャネル 13 セキュリティ属性 対象モジュール: GPT13 および MSTPCRE.MSTPE18 ビット 0: セキュア 1: 非セキュア	R/W
19	PSARE19	汎用 PWM タイマチャネル 12 セキュリティ属性 対象モジュール: GPT12 および MSTPCRE.MSTPE19 ビット 0: セキュア 1: 非セキュア	R/W
20	PSARE20	汎用 PWM タイマチャネル 11 セキュリティ属性 対象モジュール: GPT11 および MSTPCRE.MSTPE20 ビット 0: セキュア 1: 非セキュア	R/W
21	PSARE21	汎用 PWM タイマチャネル 10 セキュリティ属性 対象モジュール: GPT10 および MSTPCRE.MSTPE21 ビット 0: セキュア 1: 非セキュア	R/W
25:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
26	PSARE26	汎用 PWM タイマチャネル 5 セキュリティ属性 対象モジュール：GPT5 および MSTPCRE.MSTPE26 ビット 0: セキュア 1: 非セキュア	R/W
27	PSARE27	汎用 PWM タイマチャネル 4 セキュリティ属性 対象モジュール: GPT4 および MSTPCRE.MSTPE27 ビット 0: セキュア 1: 非セキュア	R/W
28	PSARE28	汎用 PWM タイマチャネル 3 セキュリティ属性 対象モジュール: GPT3 および MSTPCRE.MSTPE28 ビット 0: セキュア 1: 非セキュア	R/W
29	PSARE29	汎用 PWM タイマチャネル 2 セキュリティ属性 対象モジュール: GPT2 および MSTPCRE.MSTPE29 ビット 0: セキュア 1: 非セキュア	R/W
30	PSARE30	汎用 PWM タイマチャネル 1 セキュリティ属性 対象モジュール: GPT1 および MSTPCRE.MSTPE30 ビット 0: セキュア 1: 非セキュア	R/W
31	PSARE31	汎用 PWM タイマチャネル 0 セキュリティ属性 対象モジュール：GPT0 および MSTPCRE.MSTPE31 ビット 0: セキュア 1: 非セキュア	R/W

注. S-TYPE-1、P-TYPE-1

PSARE レジスタは、各モジュールのセキュリティ属性およびモジュールストップコントロールレジスタの対応ビットを指定します。

40.8.5 MSSAR : モジュールストップセキュリティ属性レジスタ

Base address: PSCU = 0x4020_4000
PSCU_NS = 0x5020_4000

Offset address: 0x14

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MSSAR31	—	—	—	—	—	—	—	—	MSSAR22	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MSSAR15	—	—	—	—	—	—	—	—	—	—	—	—	—	MSSAR1	MSSAR0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MSSAR0	不要回路クロックストップセキュリティ属性 対象モジュール: MSTPCRA.MSTPA0 ビット 0: セキュア 1: 非セキュア	R/W
1	MSSAR1	SRAM1 クロックストップセキュリティ属性 対象モジュール：MSTPCRA.MSTPA1 ビット 0: セキュア 1: 非セキュア	R/W
14:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
15	MSSAR15	スタンバイ RAM クロックストップセキュリティ属性 対象モジュール：MSTPCRA.MSTPA15 ビット 0: セキュア 1: 非セキュア	R/W
21:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22	MSSAR22	DMAC/DTC クロックストップセキュリティ属性 対象モジュール：MSTPCRA.MSTPA22 ビット 0: セキュア 1: 非セキュア	R/W
30:23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	MSSAR31	ELC クロックストップセキュリティ属性 対象モジュール: MSTPCRC.MSTPC14 ビット 0: セキュア 1: 非セキュア	R/W

注. S-TYPE-1、P-TYPE-1

MSSAR レジスタは、モジュールストップコントロールレジスタの対応ビットのセキュリティ属性を指定します。

40.8.6 PPARB : 周辺モジュールプリビレッジ属性レジスタ B

Base address: PSCU = 0x4020_4000
PSCU_NS = 0x5020_4000

Offset address: 0x1C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PPARB31	PPARB30	PPARB29	PPARB28	PPARB27	—	—	—	—	PPARB22	—	—	PPARB19	PPARB18	—	PPARB16
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PPARB15	—	—	—	PPARB11	—	PPARB9	PPARB8	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
8	PPARB8	I2C バスインタフェース 1 プリビレッジ属性 対象モジュール：IIC1 および MSTPCRB.MSTPB8 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
9	PPARB9	I2C バスインタフェース 0 プリビレッジ属性 対象モジュール: IIC0 および MSTPCRB.MSTPB9 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
10	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
11	PPARB11	ユニバーサルシリアルバス 2.0 FS インタフェース 0 プリビレッジ属性 対象モジュール: USBFS0 および MSTPCRB.MSTPB11 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
14:12	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
15	PPARB15	ETHERC/EDMAC コントローラプリビレッジ属性 対象モジュール：ETHERC/EDMAC、MSTPCRB.MSTPB15 ビット、および PFENET.PHYMODE0 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W

ビット	シンボル	機能	R/W
16	PPARB16	オクタメモリコントローラプリビレッジセキュリティ属性 対象モジュール：OSPI および MSTPCRB.MSTPB16 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
17	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
18	PPARB18	シリアルペリフェラルインタフェース 1 プリビレッジ属性 対象モジュール: RSPI1 および MSTPCRB.MSTPB18 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
19	PPARB19	シリアルペリフェラルインタフェース 0 プリビレッジ属性 対象モジュール: RSPI0 および MSTPCRB.MSTPB19 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
21:20	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
22	PPARB22	シリアルコミュニケーションインタフェース 9 プリビレッジ属性 対象モジュール：SCI9 および MSTPCRB.MSTPB22 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
26:23	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
27	PPARB27	シリアルコミュニケーションインタフェース 4 プリビレッジ属性 対象モジュール: SCI4 および MSTPCRB.MSTPB27 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
28	PPARB28	シリアルコミュニケーションインタフェース 3 プリビレッジ属性 対象モジュール: SCI3 および MSTPCRB.MSTPB28 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
29	PPARB29	シリアルコミュニケーションインタフェース 2 プリビレッジ属性 対象モジュール: SCI2 および MSTPCRB.MSTPB29 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
30	PPARB30	シリアルコミュニケーションインタフェース 1 プリビレッジ属性 対象モジュール: SCI1 および MSTPCRB.MSTPB30 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
31	PPARB31	シリアルコミュニケーションインタフェース 0 プリビレッジ属性 対象モジュール: SCI0 および MSTPCRB.MSTPB31 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W

注. S-TYPE-2、P-TYPE-1

PPARB レジスタは、各モジュールのプリビレッジ属性およびモジュールストップコントロールレジスタの対応ビットを指定します。

40.8.7 PPARC : 周辺モジュールプリビレッジ属性レジスタ C

Base address: PSCU = 0x4020_4000
PSCU_NS = 0x5020_4000

Offset address: 0x20

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PPARC31	—	—	—	PPARC27	PPARC26	—	—	—	—	—	—	—	—	—	PPARC16
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	PPARC13	—	—	—	—	PPARC8	PPARC7	—	—	—	—	—	PPARC1	PPARC0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	PPARC0	クロック周波数精度測定回路プリビレッジ属性 対象モジュール: CAC および MSTPCRC.MSTPC0 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
1	PPARC1	巡回冗長検査演算器プリビレッジ属性 対象モジュール: CRC および MSTPCRC.MSTPC1 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
6:2	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
7	PPARC7	シリアルサウンドインタフェース拡張（チャネル 1）プリビレッジ属性 対象モジュール : SSIE1 および MSTPCRC.MSTPC7 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
8	PPARC8	シリアルサウンドインタフェース拡張（チャネル 0）プリビレッジ属性 対象モジュール : SSIE0 および MSTPCRC.MSTPC8 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
12:9	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
13	PPARC13	データ演算回路プリビレッジ属性 対象モジュール: DOC および MSTPCRC.MSTPC13 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
15:14	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
16	PPARC16	CEU プリビレッジ属性 対象モジュール : CEU および MSTPCRC.MSTPC16 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
25:17	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
26	PPARC26	Controller Area Network with Flexible Data-Rate 1 プリビレッジ属性 対象モジュール : CANFD1 および MSTPCRC.MSTPC26 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
27	PPARC27	Controller Area Network with Flexible Data-Rate 0 プリビレッジ属性 対象モジュール : CANFD0 および MSTPCRC.MSTPC27 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
30:28	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
31	PPARC31	RSIP-E51A プリビレッジ属性 対象モジュール : RSIP-E51A および MSTPCRC.MSTPC31 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W

注. S-TYPE-2、P-TYPE-1

PPARC レジスタは、各モジュールのプリビレッジ属性およびモジュールストップコントロールレジスタの対応ビットを指定します。

40.8.8 PPARD : 周辺モジュールプリビレッジ属性レジスタ D

Base address: PSCU = 0x4020_4000
PSCU_NS = 0x5020_4000

Offset address: 0x24

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	PPARD28	PPARD27	—	—	—	—	PPARD22	—	PPARD20	—	—	—	PPARD16
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PPARD15	PPARD14	PPARD13	PPARD12	PPARD11	—	—	—	—	—	PPARD5	PPARD4	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
3:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
4	PPARD4	低消費電力非同期汎用タイマ 1 プリビレッジ属性 対象モジュール: AGT1 および MSTPCRD.MSTPD4 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
5	PPARD5	低消費電力非同期汎用タイマ 0 プリビレッジ属性 対象モジュール: AGT0 および MSTPCRD.MSTPD5 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
10:6	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
11	PPARD11	GPT 用ポートアウトプットイネーブルグループ 3 プリビレッジ属性 対象モジュール: POEG グループ D および MSTPCRD.MSTPD11 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
12	PPARD12	GPT 用ポートアウトプットイネーブルグループ 2 プリビレッジ属性 対象モジュール: POEG グループ C および MSTPCRD.MSTPD12 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
13	PPARD13	GPT 用ポートアウトプットイネーブルグループ 1 プリビレッジ属性 対象モジュール: POEG グループ B および MSTPCRD.MSTPD13 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
14	PPARD14	GPT 用ポートアウトプットイネーブルグループ 0 プリビレッジ属性 対象モジュール: POEG グループ A および MSTPCRD.MSTPD14 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
15	PPARD15	12 ビット A/D 1 コンバータプリビレッジ属性 対象モジュール: ADC12_1 および MSTPCRD.MSTPD15 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
16	PPARD16	12 ビット A/D 0 コンバータプリビレッジ属性 対象モジュール: ADC12_0 および MSTPCRD.MSTPD16 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
19:17	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

ビット	シンボル	機能	R/W
20	PPARD20	12 ビット D/A コンバータプリビレッジ属性 対象モジュール: DAC12 および MSTPCRD.MSTPD20 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
21	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
22	PPARD22	温度センサプリビレッジ属性 対象モジュール: TSN および MSTPCRD.MSTPD22 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
26:23	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
27	PPARD27	高速アナログコンパレータ 1 プリビレッジ属性 対象モジュール: ACMPHS1 および MSTPCRD.MSTPD27 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
28	PPARD28	高速アナログコンパレータ 0 プリビレッジ属性 対象モジュール: ACMPHS0 および MSTPCRD.MSTPD28 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
31:29	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. S-TYPE-2, P-TYPE-1

PPARD レジスタは、各モジュールのプリビレッジ属性およびモジュールストップコントロールレジスタの対応ビットを指定します。

40.8.9 PPARE : 周辺モジュールプリビレッジ属性レジスタ E

Base address: PSCU = 0x4020_4000
PSCU_NS = 0x5020_4000

Offset address: 0x28

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PPARE31	PPARE30	PPARE29	PPARE28	PPARE27	PPARE26	—	—	—	—	PPARE21	PPARE20	PPARE19	PPARE18	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	PPARE9	PPARE8	—	—	—	—	PPARE3	PPARE2	PPARE1	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
1	PPARE1	WDT プリビレッジ属性 対象モジュール : WDT 0: プリビレッジ 1: アンプリビレッジ	R/W
2	PPARE2	IWDT プリビレッジ属性 対象モジュール: IWDT 0: プリビレッジ 1: アンプリビレッジ	R/W
3	PPARE3	リアルタイムクロックプリビレッジ属性 対象モジュール: RTC 0: プリビレッジ 1: アンプリビレッジ	R/W
7:4	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

ビット	シンボル	機能	R/W
8	PPARE8	ULPT1 プリビレッジ属性 対象モジュール: ULPT1 および MSTPCRE.MSTPE8 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
9	PPARE9	ULPT0 プリビレッジ属性 対象モジュール: ULPT0 および MSTPCRE.MSTPE9 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
17:10	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
18	PPARE18	汎用 PWM タイマチャネル 13 プリビレッジ属性 対象モジュール : : GPT13 および MSTPCRE.MSTPE18 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
19	PPARE19	汎用 PWM タイマチャネル 12 プリビレッジ属性 対象モジュール: : GPT12 および MSTPCRE.MSTPE19 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
20	PPARE20	汎用 PWM タイマチャネル 11 プリビレッジ属性 対象モジュール: : GPT11 および MSTPCRE.MSTPE20 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
21	PPARE21	汎用 PWM タイマチャネル 10 プリビレッジ属性 対象モジュール: : GPT10 および MSTPCRE.MSTPE21 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
25:22	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
26	PPARE26	汎用 PWM タイマチャネル 5 プリビレッジ属性 対象モジュール : : GPT5 および MSTPCRE.MSTPE26 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
27	PPARE27	汎用 PWM タイマチャネル 4 プリビレッジ属性 対象モジュール: : GPT4 および MSTPCRE.MSTPE27 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
28	PPARE28	汎用 PWM タイマチャネル 3 プリビレッジ属性 対象モジュール: : GPT3 および MSTPCRE.MSTPE28 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
29	PPARE29	汎用 PWM タイマチャネル 2 プリビレッジ属性 対象モジュール: : GPT2 および MSTPCRE.MSTPE29 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
30	PPARE30	汎用 PWM タイマチャネル 1 プリビレッジ属性 対象モジュール: : GPT1 および MSTPCRE.MSTPE30 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W
31	PPARE31	汎用 PWM タイマチャネル 0 プリビレッジ属性 対象モジュール: : GPT0 および MSTPCRE.MSTPE31 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W

注. S-TYPE-2、P-TYPE-1

PPARE レジスタは、各モジュールのプリビレッジ属性およびモジュールストップコントロールレジスタの対応ビットを指定します。

40.8.10 MSPAR : モジュールストッププリビレッジ属性レジスタ

Base address: PSCU = 0x4020_4000
PSCU_NS = 0x5020_4000

Offset address: 0x2C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MSPAR31	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
30:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
31	MSPAR31	ELC クロックストッププリビレッジ属性 対象モジュール: MSTPCRC.MSTPC14 ビット 0: プリビレッジ 1: アンプリビレッジ	R/W

注. S-TYPE-2, P-TYPE-1

MSPAR レジスタは、モジュールストップコントロールレジスタの対応ビットのプリビレッジ属性を指定します。

40.8.11 CFSAMONA : コードフラッシュセキュリティ属性モニタレジスタ A

Base address: PSCU = 0x4020_4000
PSCU_NS = 0x5020_4000

Offset address: 0x30

Bit position:	31								23								15								0
Bit field:	—	—	—	—	—	—	—	—	CFS2[8:0]								—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	(注1)	(注1)	(注1)	(注1)	(注1)	(注1)	(注1)	(注1)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注 1. ブランク品の値は 0x1FF です。ユーザーがプログラムした値になります。

ビット	シンボル	機能	R/W
14:0	—	読むと 0 が読めます。	R
23:15	CFS2[8:0]	コードフラッシュセキュアエリア コードフラッシュのセキュア領域のエリアを示します。	R
31:24	—	読むと 0 が読めます。	R

注. S-TYPE-5, P-TYPE-5

40.8.12 DFSAMON : データフラッシュセキュリティ属性モニタレジスタ

Base address: PSCU = 0x4020_4000
PSCU_NS = 0x5020_4000

Offset address: 0x34

Bit position:	31																15						10								0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DFS[5:0]						—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	(注1)	(注1)	(注1)	(注1)	(注1)	(注1)	0	0	0	0	0	0	0	0	0	0

注 1. ブランク品の値は 0x3F です。ユーザーがプログラムした値になります。

ビット	シンボル	機能	R/W
9:0	—	読むと 0 が読めます。	R
15:10	DFS[5:0]	データフラッシュセキュアエリア データフラッシュのセキュア領域のエリアを示します。	R
31:16	—	読むと 0 が読めます。	R

注. S-TYPE-5, P-TYPE-5

40.8.13 DLMMON : デバイスライフサイクル管理状態モニタレジスタ

Base address: PSCU = 0x4020_4000
PSCU_NS = 0x5020_4000

Offset address: 0x38

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	DLMMON[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	(注1)	(注1)	(注1)	(注1)

注 1. ブランク品の値は、0100b です。これらのビットは DLM の状態に依存します。

ビット	シンボル	機能	R/W
3:0	DLMMON[3:0]	デバイスライフサイクル管理状態モニタ DLM ステータス値を示します。 0x0: 予約 0x1: 予約 0x2: 予約 0x3: 予約 0x4: OEM 0x5: 予約 0x6: LCK_BOOT 0x7: RMA_REQ 0x8: RMA_ACK 0x9: RMA_RET その他: 予約	R
31:4	—	読むと 0 が読めます。	R

注. S-TYPE-5、P-TYPE-5

40.8.14 MSAOAD : マスタセキュリティ属性検出後動作レジスタ

Base address: BUS = 0x4000_3000

Offset address: 0x1010

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	OAD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 0: NMI 1: リセット	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
15:8	KEY[7:0]	キーコード OAD ビットの書き込みを許可または禁止します。	W

注. S-TYPE-6, P-TYPE-2

OAD ビット（検出後の動作）

OAD ビットはアクセス違反が検出された時の動作を指定します。OAD = 0 の場合、エラー応答が返され、NMI が発生します。OAD = 1 の場合、リセット要求が発生します。OAD ビットへ書き込む際は、ハーフワードアクセスを使用して同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0] ビットは、OAD ビットへの書き込みを許可または禁止します。OAD ビットへ書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。この値を KEY[7:0]ビットに書き込まないと、OAD ビットは更新されません。

40.8.15 MSAPT : マスタセキュリティ属性保護レジスタ

Base address: BUS = 0x4000_3000

Offset address: 0x1014

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: MSAOAD レジスタの書き込みは可能 1: MSAOAD レジスタの書き込み保護。読み出しは可能。	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットの書き込みを許可または禁止します。	W

注. S-TYPE-6, P-TYPE-2

PROTECT ビット（レジスタの保護）

PROTECT ビットは、保護する関連レジスタへの書き込みを許可または禁止します。

MSAPT.PROTECT は MSAOAD レジスタを制御します。

同時に PROTECT ビットを設定する際は、ハーフワードアクセスによって KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0] ビットは、PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットへ書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。この値を KEY[7:0]ビットに書き込まないと、PROTECT ビットは更新されません。

40.9 使用上の注意事項

40.9.1 セキュリティビットまたはプリビレッジビットの書き込みタイミング

セキュリティ属性ビットまたはプリビレッジ属性ビットに書き込むときは、書き込み値に合致するまでセキュリティレジスタまたはプリビレッジレジスタを読み出すことで、書き込みが完了していることを確認します。セキュリティレジスタまたはプリビレッジレジスタへの書き込みが完了するまで保護は有効になりません。

41. Renesas セキュア IP (RSIP-E51A)

41.1 概要

本セキュリティエンジンは、アクセスマネジメント回路、ストレージ領域、暗号／復号回路、および乱数生成回路から成る隔離されたサブシステムで構成されます。セキュリティエンジンは、RSIP ライブラリを組み合わせることで、盗聴を防止する「秘匿性」、情報の偽造を防止する「完全性」、成りすましを防止する「認証」を実現できます。

また、暗号、復号の処理に用いる鍵情報はセキュリティエンジン内のみに格納し、外部からの全アクセスを遮断可能なため、セキュリティエンジンによって、より強固なセキュリティシステムを実現できます。

アクセス制御回路、乱数生成回路、およびユニーク ID のみがサポートされます。他の回路の動作は保証対象外です。

表 41.1 にセキュリティエンジンの仕様を示します。図 41.1 にセキュリティエンジンのブロック図を示します。

表 41.1 セキュリティエンジンの仕様 (1/2)

項目	仕様
アクセス制御	アクセスマネジメント回路 ● プログラムの改ざんや、CPU の暴走等によりセキュリティエンジンへの異常なアクセスが発生した場合、それ以降のアクセスを受け付けず、セキュリティエンジンからのデータ出力を停止
対称暗号	AES：NIST FIPS PUB 197 準拠 ● 鍵長：128 ビット、192 ビット、または 256 ビット ● データブロックサイズ：128 ビット ● AES は以下のブロック暗号モードをサポートしています。 ECB、CBC、CTR：NIST SP 800-38A 準拠 CCM：NIST SP 800-38C 準拠 GCM：NIST SP 800-38D 準拠 XTS：IEEE 1619-2007 準拠 ● AES は以下の認証アルゴリズムをサポートしています。 CMAC：NIST SP 800-38B 準拠 GMAC：NIST SP 800-38D 準拠 ● AES は CCM、GCM、XTS、CMAC、および GMAC の 192 ビットの鍵サイズをサポートしていません。
乱数生成	128 ビット真性乱数生成回路
非対称暗号	RSA ● 演算可能ビットの最大数：4224 ビット ● 以下の鍵サイズをサポート：1024 ビット、2048 ビット、3072 ビット、4096 ビット ● 署名の生成、署名の検証、公開鍵の暗号化、秘密鍵の復号化 ECC ● 演算可能ビットの最大数：576 ビット ● 曲線のサポート – NIST P-192、P-224、P-256、P-384、および P-521 – Brainpool P256r1、P384r1、および P512r1 – Ed25519 – secp256k1 ● 署名の生成、署名の検証、鍵の生成
メッセージダイジェスト計算	HASH ● ブロックサイズ： 512 ビット (SHA-224, SHA-256) 1024 ビット (SHA-512/224, SHA-512/256, SHA-384, SHA-512) ● 鍵サイズ：512 ビット以下 ● HASH は以下のセキュアハッシュアルゴリズムをサポートしています。 SHA-224、SHA-256、SHA-512/224、SHA-512/256、SHA-384、および SHA-512： FIPS PUB 180-4 準拠 ● HASH は以下のメッセージ認証アルゴリズムをサポートしています。 HMAC：FIPS PUB 198 準拠

表 41.1 セキュリティエンジンの仕様 (2/2)

項目	仕様
ハードウェアユニーク鍵	• 読み出し専用の 256 ビットハードウェアユニーク鍵 (HUK) は、セキュリティエンジンアクセスマネジメント回路から専用バスを経由して排他的にアクセスできます。 • 鍵導出関数 (KDFs) は、ハードウェアユニーク鍵と鍵生成情報を組み合わせます。導出した鍵は、ユーザー鍵セキュアストレージ用に鍵ラッピングを実行します。 • HUK の一意性は、本 MCU グループの別の個体への鍵の不正なクローン作成と不正なコピーを防止します。 • HUK 自体は、ラッピングされた（暗号化され平文でない）フォーマット、隔離されたメモリ領域に格納されます。そのため、不正なアクセスやコピーから保護されます。
アプリケーション鍵の管理	• ラップした鍵は、セキュリティエンジンの内部でのみ有効
ユニーク ID	• 読み出し専用、128 ビットの MCU 個体固有 ID（ユニーク ID）をアクセスマネジメント回路からアクセス可能 • 鍵導出関数 (KDFs) は、ユニーク ID と鍵生成情報を組み合わせます。このように導出された鍵は、セキュリティエンジンバウンダリ内部で HUK をアンラップするのに使用します。
オンザフライでの復号処理	セキュリティエンジンは専用バスを経由して、オンザフライでの復号処理 IP (DOTF) の鍵データを出力します。
改ざん防止	SPA/DPA およびタイミング攻撃を含む、サイドチャネル攻撃に対する対策が使用可能
モジュールストップ機能	消費電力低減のためにモジュールストップ状態を設定可能
TrustZone フィルタ	セキュリティ属性とプリビレッジ属性を設定可能

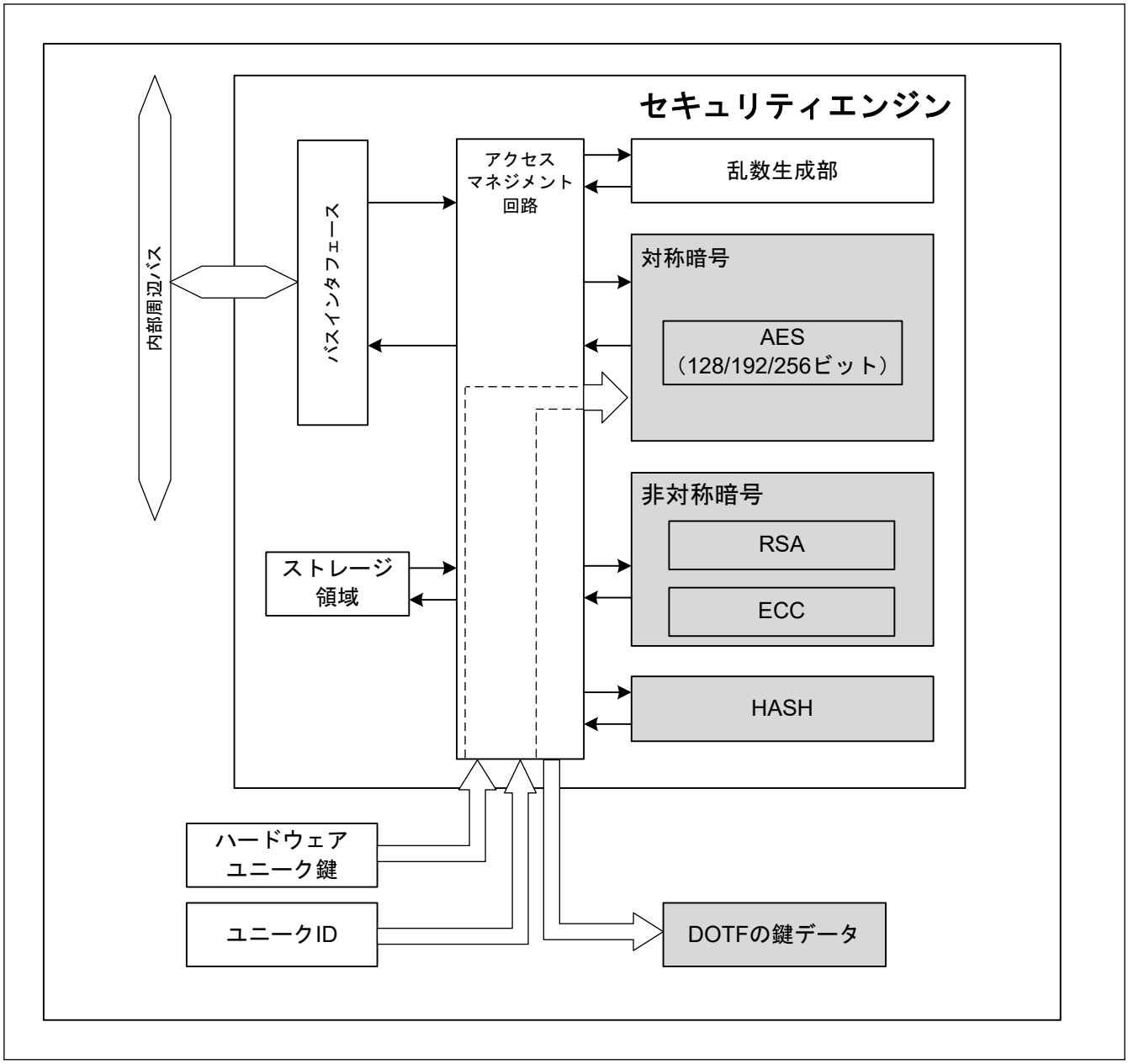


図 41.1　セキュリティエンジンのブロック図

41.2　動作説明

41.2.1　対称暗号

図 41.2 にセキュリティエンジンに組み込まれた対称暗号の概念図を示します。

対称暗号は入力鍵情報を使用し、ハードウェアで平文を暗号文に、または暗号文を平文に変換します。

鍵データや暗号／復号処理の中間データがセキュリティエンジンの外部に漏出することなく、暗号／復号処理を完了することができます。暗号／復号処理は、セキュリティエンジンの内部の暗号／復号回路とストレージ領域で行われます。

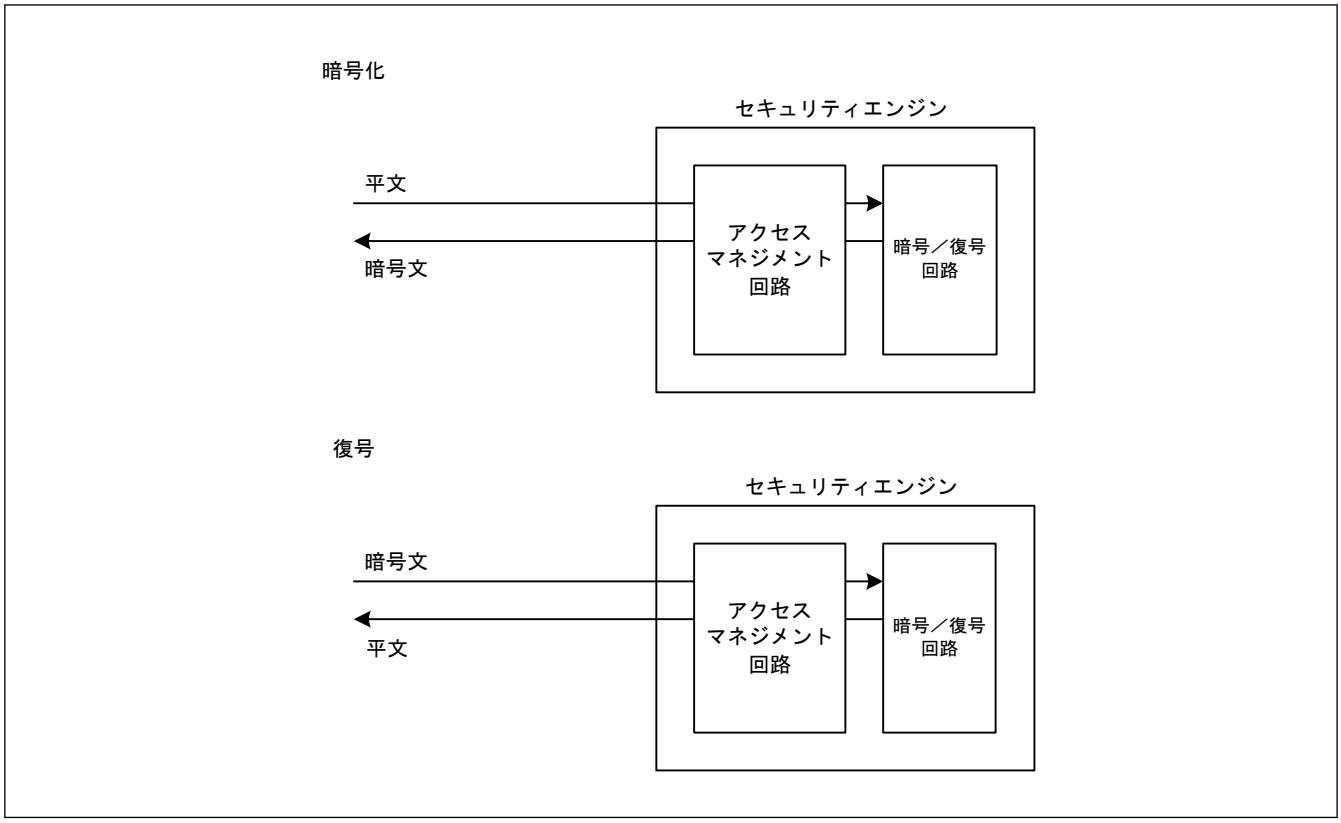


図 41.2　対称暗号の概念図

41.2.2　非対称暗号

図 41.3 にセキュリティエンジンに組み込まれた非対称暗号の概念図を示します。

非対称暗号は入力鍵情報を使用し、平文を暗号文に、または暗号文を平文に変換し、署名を生成および検証します。

鍵データや暗号／復号処理の中間データがセキュリティエンジンの外部に漏出することなく、暗号／復号処理または署名の生成および検証を完了することができます。暗号／復号処理または署名の生成および検証は、セキュリティエンジンの内部の暗号回路とストレージ領域で行われます。

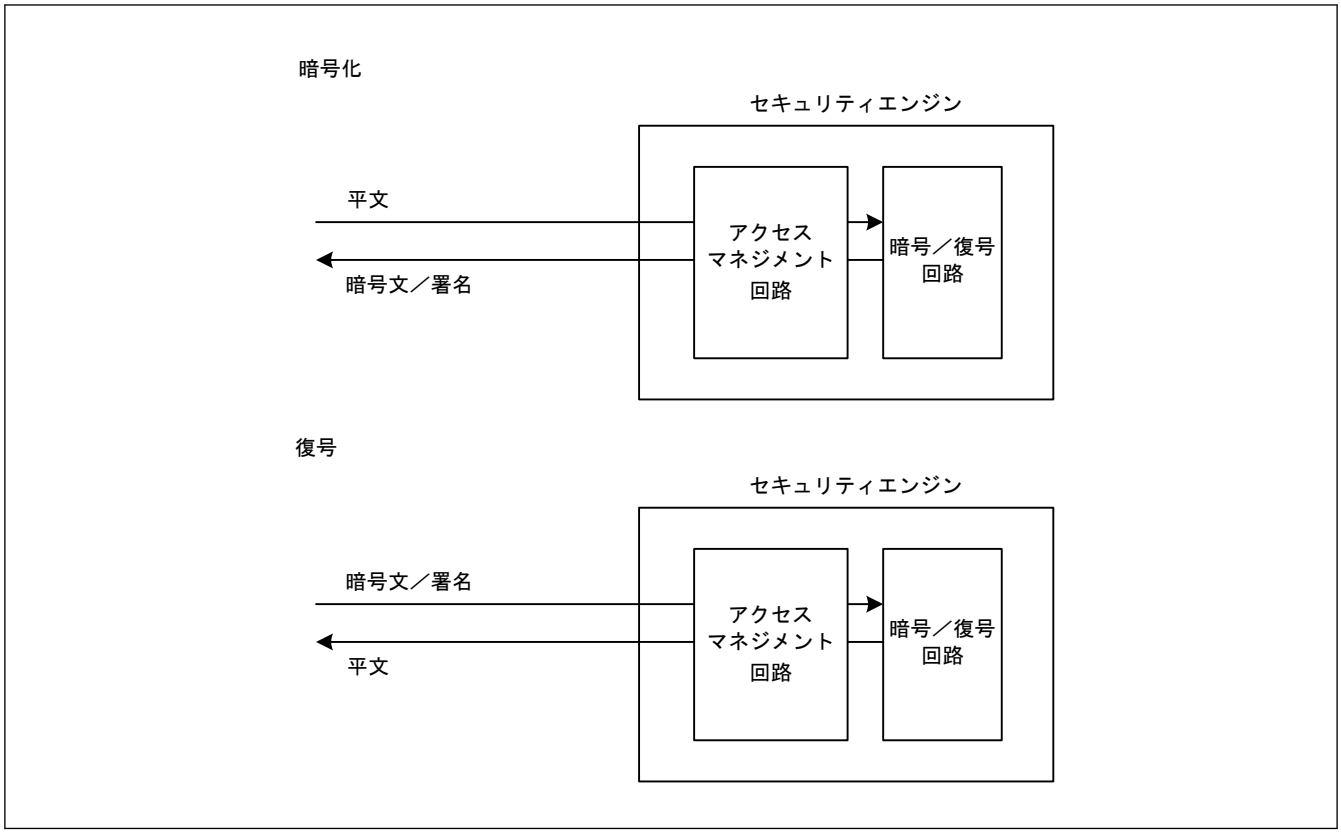


図 41.3　非対称暗号の概念図

41.2.3　ハッシュ生成部

図 41.4 にセキュリティエンジンに組み込まれたハッシュ生成部の概念図を示します。

ハッシュ生成部は入力鍵情報を使用し（ハッシュの計算に必要な場合）、メッセージダイジェストまたはタグを生成します。

鍵データやハッシュの計算処理の中間データがセキュリティエンジンの外部に漏出することなく、ハッシュの計算処理を完了することができます。ハッシュの計算処理は、セキュリティエンジンの内部のハッシュ回路とストレージ領域で行われます。

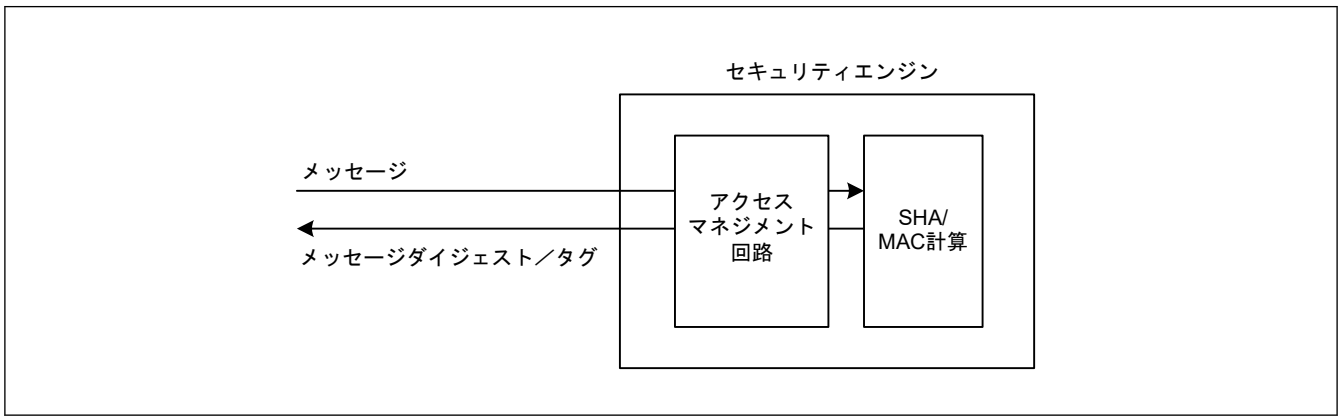


図 41.4　ハッシュ生成部の概念図

41.2.4　暗号／復号処理

暗号／復号処理は、以下の手順で行います。

1. セキュリティエンジンに鍵情報を入力します。
2. セキュリティエンジンに処理対象のデータを入力します。平文は暗号文に、暗号文は平文に変換されます。

3. 変換されたデータを読み出します。

暗号／復号回路は入力バッファと出力バッファを持っており、データの入出力と並行して暗号／復号処理を行うことができます。図 41.5 に暗号エンジンの処理タイミングを示します。

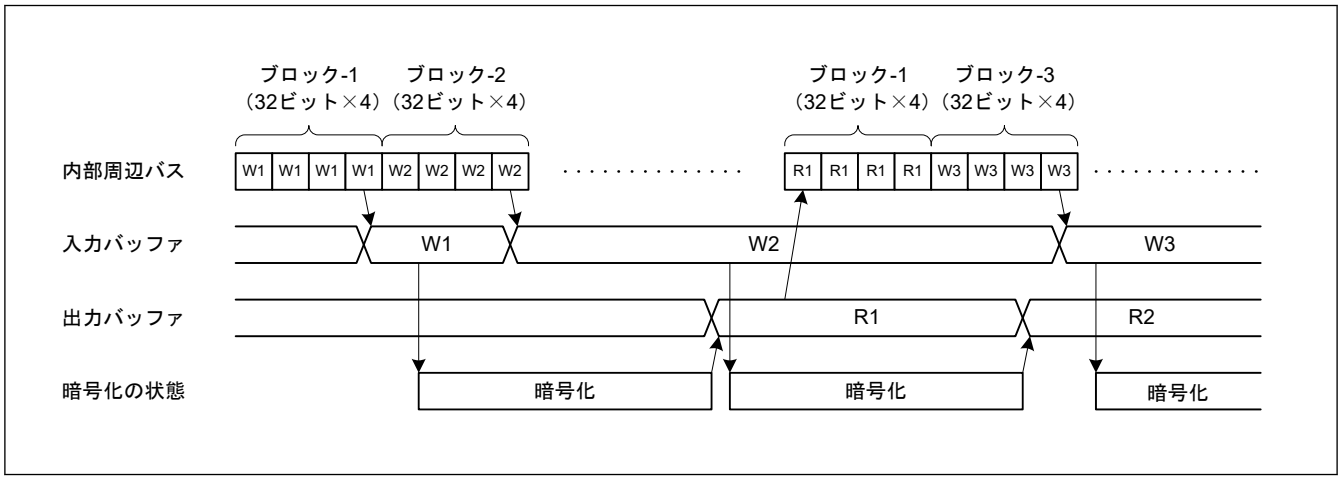


図 41.5 暗号／復号処理タイミング (AES)

41.3 使用上の注意事項

41.3.1 ソフトウェアスタンバイモード

セキュリティエンジンが処理を実行している途中にソフトウェアスタンバイモードに遷移した場合、ソフトウェアスタンバイモード解除後に適正な処理を再開できません。そのため、ソフトウェアスタンバイモードへの遷移は、セキュリティエンジンが動作していない状態で行ってください。

41.3.2 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、セキュリティエンジンの動作を無効または有効にすることができます。リセット後の初期状態で、セキュリティエンジンモジュールは停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。

41.3.3 SPA/DPA 保護

SPA/DPA 保護は暗号／復号処理を選択的に許可することができます。

41.3.4 開放処理における制限事項

セキュリティエンジンの API で開放処理 (R_RSIP_Open) を実行中は、以下の制限事項が適用されます。

- 使用可能な CPU の最高周波数は 240 MHz です。
- CPUCLK, ICLK, PCLKn (n = A～E) の周波数を変更しないでください。
- MSTPCRn レジスタ (n = A～E) の設定を変更しないでください。
- CPU スリープモード、CPU ディープスリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード 1/2/3 へ遷移しないでください。

42. 12 ビット A/D コンバータ (ADC12)

42.1 概要

本 MCU は、逐次比較方式の 12 ビット A/D コンバータ (ADC12) ユニットを内蔵しています。ユニット 0 では、最大 8 チャネルのアナログ入力を選択可能です。ユニット 1 では、最大 5 チャネルのアナログ入力を選択できます。また、各ユニットでは変換のために温度センサ出力、内部基準電圧、VBATT 1/3 電圧監視出力を選択できます。

A/D 変換精度には 12 ビット変換、10 ビット変換、8 ビット変換が選択可能であり、デジタル値生成における速度と分解能のバランスを最適化できます。

ADC12 は次の動作モードをサポートします。

- 選択したチャネルのアナログ入力を、チャネル番号の昇順に変換するシングルスキャンモード
- 選択したチャネルのアナログ入力を、チャネル番号の昇順に連続して変換する連続スキャンモード
- チャネルのアナログ入力を 2 つのグループ（グループ A とグループ B）に分け、グループ単位で選択したチャネルのアナログ入力をチャネル番号の昇順に変換するグループスキャンモード

グループスキャンモードでは、2 つのグループ（グループ A とグループ B）を選択してください。各グループ（グループ A、グループ B）のスキャン開始条件を個別に選択し、各グループのスキャンを異なるタイミングで開始することができます。さらに、グループ A の優先制御動作を設定すると、ADC12 はグループ B の A/D 変換動作中にグループ A のスキャン開始を受け付けて、グループ B の A/D 変換動作を中断します。これにより、グループ A の A/D 変換開始により高い優先度を割り当てられます。

ダブルトリガモードは、任意に選択した 1 チャネルのアナログ入力をシングルスキャンモードかグループスキャンモード（グループ A）で変換し、1 回目の A/D 変換開始トリガで変換したデータと 2 回目の A/D 変換開始トリガで変換したデータを別々のレジスタに格納（A/D 変換データの 2 重化）します。

自己診断は、スキャンごとの最初に 1 回実施され、ADC12 で生成される 3 つの基準電圧値のうち 1 つを A/D 変換します。

温度センサ出力および内部基準電圧はチャネルのアナログ入力として同時に選択可能です。最初の A/D 変換はチャネルのアナログ入力に対して行われます。次の A/D 変換は温度センサ出力および内部基準電圧に対して行われます。

ADC12 はコンペア機能（ウィンドウ A およびウィンドウ B）も搭載しています。コンペア機能は、ウィンドウ A およびウィンドウ B それぞれの上側基準値および下側基準値を指定し、選択したチャネルの A/D 変換値が比較条件に一致すると割り込みを出力します。

A/D データ格納バッファは、A/D 変換データを順番に格納するための 16 個のバッファから構成されるリングバッファです。

表 42.1 に ADC12 の仕様を、表 42.2 にその機能一覧を示します。図 42.1 に ADC12 のブロック図を、表 42.3 に入出力端子を示します。

表 42.1 ADC12 の仕様 (1/3)

項目	内容
ユニット数	2 ユニット
入力チャネル	最大 13 チャネル (AN000～AN002, AN004～AN008, AN100～AN102, AN104, AN105)
アナログ機能	温度センサ出力、内部基準電圧、VBATT 1/3 電圧監視出力
変換方式	逐次比較方式
分解能	12 ビット、10 ビット、8 ビット
変換時間	1 チャネル当たり 0.4 µs（12 ビット A/D 変換クロック PCLKC (ADCLK) が 60 MHz で動作時）
A/D 変換クロック	周辺モジュールクロック PCLKA と A/D 変換クロック PCLKC (ADCLK) を以下の分周比で設定可能： PCLKA:PCLKC (ADCLK) の周波数比 = 1:1, 2:1, 4:1, 8:1, 1:2, 1:4

表 42.1 ADC12 の仕様 (2/3)

項目	内容
データレジスタ(注1)	● アナログ入力用 13 本 ● ダブルトリガモードでの A/D 変換データ 2 重化用 1 本 ● ダブルトリガモードでの拡張動作時の A/D 変換データ 2 重化用 2 本 ● 温度センサ出力用 1 本 ● 内部基準電圧用 1 本 ● VBATT 1/3 電圧監視出力用 1 本 ● 自己診断用 1 本 ● A/D 変換結果を A/D データレジスタに格納 ● 12 ビット精度、10 ビット精度、8 ビット精度の A/D 変換結果 ● A/D 変換値加算モード（A/D 変換結果の加算値を変換精度ビット数 + 拡張ビット数で A/D データレジスタに格納） ● ダブルトリガモード（シングルスキャンとグループスキャンモードで選択可能）: – 選択した 1 つのチャネルのアナログ入力の A/D 変換データを 1 回目は対象チャネルのデータレジスタに格納、2 回目の A/D 変換データは 2 重化レジスタに格納 ● ダブルトリガモード拡張動作（特定トリガで使用可能）: – 選択した 1 つのチャネルのアナログ入力の A/D 変換データを関連するトリガに準備した 2 重化レジスタに格納
動作モード(注2)	● シングルスキャンモード : – 任意に選択したチャネルのアナログ入力、温度センサ出力、内部基準電圧を 1 回のみ A/D 変換 ● 連続スキャンモード : 任意に選択したチャネルのアナログ入力、温度センサ出力、内部基準電圧を繰り返し A/D 変換 ● グループスキャンモード : – 選択したチャネルのアナログ入力、温度センサ出力、および内部基準電圧をグループ A とグループ B に分け、グループ単位で選択したアナログ入力を 1 回のみ A/D 変換 – グループ A、グループ B は各々のスキャンスタートコンディションを別々に選択することで、グループ A、グループ B の A/D 変換を独立して開始することが可能 ● グループスキャンモード（グループ優先動作選択時）: – 低優先グループのスキャン中に優先グループのトリガがあった場合、低優先グループのスキャンを中断し、優先グループのスキャンを開始。優先順位は、グループ A > グループ B。 – 優先グループのスキャン終了後、低優先グループのスキャンを再開（再スキャン）する、またはしないを選択可能。再スキャンは、選択したチャネルの最初のチャネルから開始するか、または A/D 変換未了のチャネルから開始するかも設定可能
A/D 変換開始条件	● ソフトウェアトリガ ● イベントリンクコントローラ (ELC) および GPT からの同期トリガ ● 外部トリガ ADTRG0 端子（ユニット 0）および ADTRG1 端子（ユニット 1）による非同期トリガ
機能	● 専用サンプル＆ホールド機能（2 チャネル（ユニット 0）、オプションの常時サンプリング設定可能） ● サンプリングステート数可変機能 ● A/D コンバータの自己診断機能 ● A/D 変換値加算モードと平均モードが選択可能 ● アナログ入力断線検出機能（ディスチャージ機能およびプリチャージ機能） ● ダブルトリガモード（A/D 変換データ 2 重化機能） ● A/D データレジスタオートクリア機能 ● デジタルコンペア機能（コンペアレジスタとデータレジスタの比較、データレジスタ間の比較） ● リングバッファ

表 42.1 ADC12 の仕様 (3/3)

項目	内容
割り込み要因	● シングルスキャンモード（ダブルトリガモード非選択）では、1 回のスキャン終了で A/D スキャン終了割り込み要求 (ADC12i_ADI (i = 0, 1)) および ELC イベント信号 (ADC12i_ADI (i = 0, 1)) を発生可能 – デジタルコンペア機能の比較条件成立で、コンペア割り込み要求 (ADC12i_CMPAI (i = 0, 1)/ ADC12i_CMPBI (i = 0, 1)) を発生可能 – デジタルコンペア機能の比較条件成立で、ウィンドウコンペア ELC イベント信号 (ADC12i_WCMPM (i = 0, 1)) を発生可能 – デジタルコンペア機能の比較条件不成立で、ウィンドウコンペア ELC イベント信号 (ADC12i_WCMPUM (i = 0, 1)) を発生可能 ● シングルスキャンモード（ダブルトリガモード選択）では、2 回のスキャン終了で A/D スキャン終了割り込み要求 (ADC12i_ADI (i = 0, 1)) および ELC イベント信号 (ADC12i_ADI (i = 0, 1)) を発生 ● 連続スキャンモードでは、選択した全チャネルのスキャン終了で A/D スキャン終了割り込み要求 (ADC12i_ADI (i = 0, 1)) および ELC イベント信号 (ADC12i_ADI (i = 0, 1)) を発生 ● グループスキャンモード（ダブルトリガモード非選択）では、グループ A のスキャン終了で A/D スキャン終了割り込み要求 (ADC12i_ADI (i = 0, 1)) および ELC イベント信号 (ADC12i_ADI (i = 0, 1)) を発生。グループ B のスキャン終了でグループ B の A/D スキャン終了割り込み要求 (ADC12i_GBADI (i = 0, 1)) を発生可能 ● グループスキャンモード（ダブルトリガモード選択）では、2 回のグループ A のスキャン終了で A/D スキャン終了割り込み要求 (ADC12i_ADI (i = 0, 1)) および ELC イベント信号 (ADC12i_ADI (i = 0, 1)) を発生。グループ B のスキャン終了でグループ B の A/D スキャン終了割り込み要求 (ADC12i_GBADI (i = 0, 1)) を発生可能 ● ADC12i_ADI (i = 0, 1)、ADC12i_GBADI (i = 0, 1)、ADC12i_WCMPM (i = 0, 1)、および ADC12i_WCMPUM (i = 0, 1) は、データトランスファコントローラ (DTC) を起動可能
ELC インタフェース	● グループスキャンモードでグループ A のスキャン終了時にイベント発生 ● グループスキャンモードでグループ B のスキャン終了時にイベント発生 ● すべてのスキャン終了時にイベント発生 ● ELC からのトリガでスキャン開始可能 ● シングルスキャンモードでのコンペア機能ウィンドウの条件に応じてイベント発生
基準電圧	● ユニット 0: VREFH0 はアナログ基準電圧 VREFL0 はアナログ基準グランド ● ユニット 1: VREFH はアナログ基準電圧 VREFL はアナログ基準グランド
アナログチャネル入力 SA 判定機能	アナログの入力チャネルは、ADC12n (n = 0, 1) のセキュリティ属性が PORT (PmSAR) のセキュリティ属性に一致する場合のみ有効です。 ADC12n (n = 0, 1) のセキュリティ属性と PORT のセキュリティ属性が不一致の場合、ADC 入力チャネルの変換は予期しない結果になります。 内部基準電圧、温度センサ出力、および VBATT 1/3 電圧監視出力にはセキュリティ属性判定機能はありません。
モジュールストップ機能	各ユニットに対してモジュールストップ状態を設定して消費電力を削減可能(注3)
TrustZone フィルタ	各ユニットに対してセキュリティとプリビレッジの属性の設定が可能

注 1. A/D 変換精度を変えた場合、A/D 変換時間も変わります。詳細は、「42.3.6. アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。
注 2. 温度センサ出力、内部基準電圧を選択している場合は連続スキャンモードまたはグループスキャンモードを使用しないでください。
注 3. 詳細は、「10. 低消費電力モード」を参照してください。

表 42.2 ADC12 の機能 (1/2)

項目	機能
アナログ入力チャネル	AN000～AN002、AN004～AN008（ユニット 0）、AN100～AN102、AN104、AN105（ユニット 1） 内部基準電圧 温度センサ出力 VBATT 1/3 電圧監視出力

表 42.2 ADC12 の機能 (2/2)

項目			機能
A/D 変換開始条件	ソフトウェア	ソフトウェアトリガ	許可
	非同期トリガ（外部トリガ）	トリガ入力端子	ADTRGn (n = 0, 1)
	同期トリガ（ELC からのトリガ）	ELC トリガ	ELC_AD00（ユニット 0）および ELC_AD10（ユニット 1）、 ELC_AD01（ユニット 0）および ELC_AD11（ユニット 1）
		GPT トリガ	GTCIADAm、GTCIADBm（ユニット 0）(m = 0～3) GTCIADAn、GTCIADBn（ユニット 1）(n = 4, 5)
チャネル専用サンプル＆ホールド機能の対象チャネル			AN000、AN001（ユニット 0）
割り込み			ADC12i_ADI (i = 0, 1) ADC12i_GBADI (i = 0, 1) ADC12i_CMPAI (i = 0, 1) ADC12i_CMPBI (i = 0, 1)
ELC への出力			ADC12i_ADI (i = 0, 1) ADC12i_WCMPM (i = 0, 1) ADC12i_WCMPUM (i = 0, 1)
モジュールストップ機能の設定(注1) (注2)			MSTPCRD.MSTPD16 ビット（ユニット 0） MSTPCRD.MSTPD15 ビット（ユニット 1）

注 1. 詳細は、「10. 低消費電力モード」を参照してください。
注 2. モジュールストップ状態の解除後に A/D 変換を開始するのに、1 μs 以上待機します。

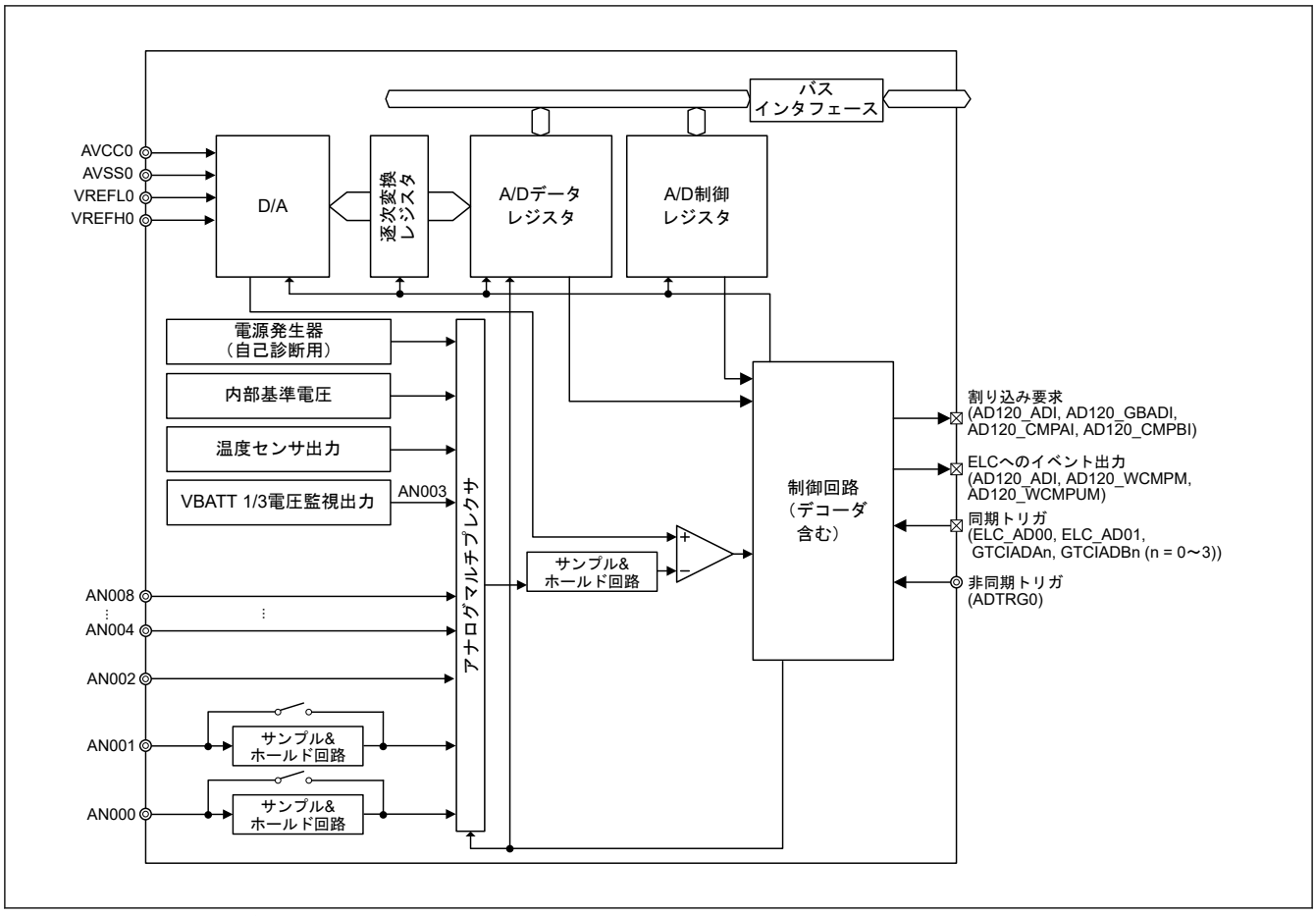


図 42.1 ADC12 のブロック図（ユニット 0）

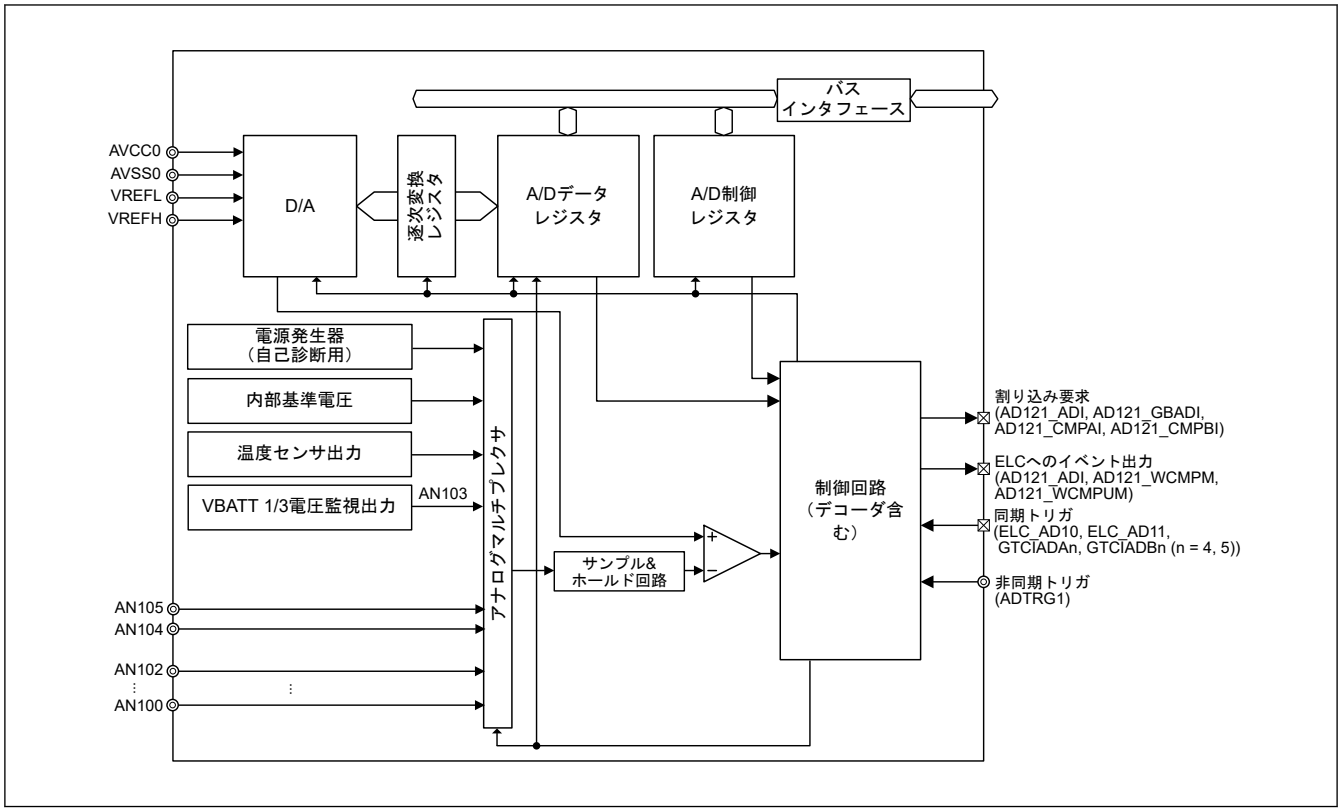


図 42.2　ADC12 のブロック図（ユニット 1）

表 42.3 に ADC12 の入出力端子の一覧を示します。

表 42.3　ADC12 の入出力端子（ユニット 0）

端子名	入出力	機能
AVCC0	入力	アナログ部の電源端子 （ADC12/DAC12 を使用しないときは VCC に接続してください）
AVSS0	入力	アナログ部の電源グランド端子 （ADC12/DAC12 を使用しないときは VSS に接続してください）
VREFH0	入力	アナログ基準電圧端子
VREFL0	入力	アナログ基準グランド端子
AN000～AN002, AN004～AN008	入力	アナログ入力端子 0～2、4～8
ADTRG0	入力	A/D 変換開始のための外部トリガ入力端子

表 42.4　ADC12 の入出力端子（ユニット 1）

端子名	入出力	機能
AVCC0	入力	アナログ部の電源端子 （ADC12/DAC12 を使用しないときは VCC に接続してください）
AVSS0	入力	アナログ部の電源グランド端子 （ADC12/DAC12 を使用しないときは VSS に接続してください）
VREFH	入力	アナログ基準電圧端子
VREFL	入力	アナログ基準グランド端子
AN100～AN102, AN104, AN105	入力	アナログ入力端子 0～2、4、5
ADTRG1	入力	A/D 変換開始のための外部トリガ入力端子

42.2 レジスタの説明

42.2.1 ADDRn : A/D データレジスタ n

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x020 + 0x2 × n (n = 0～8, m = 0)
0x020 + 0x2 × n (n = 0～5, m = 1)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADDR [15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ADDR [15:0]	変換値 15～0 機能は、選択したモードと精度により異なります。表 42.5 と表 42.6 を参照してください。	R

注. S-TYPE-3, P-TYPE-3

ADDRn レジスタは、A/D 変換結果を格納する 16 ビットの読み出し専用レジスタです。

これらの A/D データレジスタは、下記の条件によりデータフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値（左詰めまたは右詰め）
- A/D 変換精度選択ビット (ADCER.ADPRC[1:0]) の設定値（12 ビット、10 ビット、8 ビットから選択可能）
- 加算／平均回数選択ビット (ADADC.ADC[2:0]) の設定値（1、2、3、4、または 16 回）
- 平均モード有効ビット (ADADC.AVEE) の設定値（加算または平均）

本節では異なるモードにおけるこれらの条件に対するデータフォーマットを説明します。

(1) A/D 変換値加算／平均モードを非選択とした場合

12 ビット精度でのビット割り当ての例を表 42.5 に示します。

表 42.5 12 ビット精度でのビット割り当ての例

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	読むと 0 が読めます。				変換値 11～0: 12 ビット A/D 変換値											
12 ビット精度の左詰めデータ	変換値 11～0: 12 ビット A/D 変換値												読むと 0 が読めます。			

(2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードで 2 回または 4 回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、本レジスタは特定チャネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

(3) A/D 変換値加算モードを選択した場合

12 ビット、10 ビット、8 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 1、2、3、または 4 回を選択できます。A/D 変換結果は、指定された変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに格納されます。

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 16 回を選択できます。A/D 変換値加算モードを選択したとき、本レジスタは同一チャネルの A/D 変換値を加算した値を示します。A/D 変換結果は、変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに格納されます。

A/D 変換値加算モードを選択した場合、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

12 ビット精度でのビット割り当ての例を表 42.6 に示します。

表 42.6 A/D 変換値加算モードを選択した場合の 12 ビット精度でのビット割り当ての例

精度		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	16 回変換を指定した場合	加算結果 15～0: 16 ビット A/D 変換結果の合計															
	1、2、3、または 4 回変換を指定した場合	読むと 0 が読めます。		加算結果 13～0: 14 ビット A/D 変換値加算結果													
12 ビット精度の左詰めデータ	1、2、3、または 4 回変換を指定した場合	加算結果 15～0: 16 ビット A/D 変換結果の合計															
	16 回変換を指定した場合	加算結果 13～0: 14 ビット A/D 変換値加算結果														読むと 0 が読めます。	

42.2.2 ADDBLDR : A/D データ 2 重化レジスタ

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x018

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADDBLDR [15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ADDBLDR [15:0]	変換値 15～0 機能は、選択したモードと精度により異なります。表 42.7 と表 42.8 を参照してください。	R

注. S-TYPE-3, P-TYPE-3

ADDBLDR レジスタは、ダブルトリガモード選択時の 2 回目のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

これらの A/D データレジスタは、下記の条件によりデータフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値（左詰めまたは右詰め）
- A/D 変換精度選択ビット (ADCER.ADPRC[1:0]) の設定値（12 ビット、10 ビット、8 ビットから選択可能）
- 加算／平均回数選択ビット (ADADC.ADC[2:0]) の設定値（1、2、3、4、または 16 回）
- 平均モード有効ビット (ADADC.AVEE) の設定値（加算または平均）

本節では異なるモードにおけるこれらの条件に対するデータフォーマットを説明します。

(1) A/D 変換値加算／平均モードを非選択とした場合

12 ビット精度でのビット割り当ての例を表 42.7 に示します。

表 42.7 12 ビット精度でのビット割り当ての例

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	読むと 0 が読めます。				変換値 11～0: 12 ビット A/D 変換値											
12 ビット精度の左詰めデータ	変換値 11～0: 12 ビット A/D 変換値												読むと 0 が読めます。			

(2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードで 2 回または 4 回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、本レジスタは特定チャネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

(3) A/D 変換値加算モードを選択した場合

12 ビット、10 ビット、8 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 1、2、3、または 4 回を選択できます。A/D 変換結果は、指定された変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに格納されます。

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 16 回を選択できます。A/D 変換値加算モードを選択したとき、本レジスタは同一チャネルの A/D 変換値を加算した値を示します。A/D 変換結果は、変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに格納されます。

A/D 変換値加算モードを選択した場合、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

12 ビット精度でのビット割り当ての例を表 42.8 に示します。

表 42.8 A/D 変換値加算モードを選択した場合の 12 ビット精度でのビット割り当ての例

精度		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	16 回変換を指定した場合	加算結果 15～0: 16 ビット A/D 変換結果の合計															
	1、2、3、または 4 回変換を指定した場合	読むと 0 が読めます。		加算結果 13～0: 14 ビット A/D 変換値加算結果													
12 ビット精度の左詰めデータ	1、2、3、または 4 回変換を指定した場合	加算結果 15～0: 16 ビット A/D 変換結果の合計															
	16 回変換を指定した場合	加算結果 13～0: 14 ビット A/D 変換値加算結果														読むと 0 が読めます。	

42.2.3 ADDBLDRn : A/DA データ 2 重化レジスタ n（n = A, B）

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x084 (n = A)
0x086 (n = B)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADDBLDR [15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ADDBLDR [15:0]	変換値 15～0 機能は、選択したモードと精度により異なります。表 42.9 と表 42.10 を参照してください。	R

注. S-TYPE-3, P-TYPE-3

ADDBLDRn レジスタは、ダブルトリガモード選択時の拡張動作中のトリガ種別によって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

これらの A/D データレジスタは、下記の条件によりデータフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値（左詰めまたは右詰め）
- A/D 変換精度選択ビット (ADCER.ADPRC[1:0]) の設定値（12 ビット、10 ビット、8 ビットから選択可能）
- 加算／平均回数選択ビット (ADADC.ADC[2:0]) の設定値（1、2、3、4、または 16 回）
- 平均モード有効ビット (ADADC.AVEE) の設定値（加算または平均）

本節では異なるモードにおけるこれらの条件に対するデータフォーマットを説明します。

(1) A/D 変換値加算／平均モードを非選択とした場合

12 ビット精度でのビット割り当ての例を表 42.9 に示します。

表 42.9　12 ビット精度でのビット割り当ての例

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	読むと 0 が読めます。				変換値 11～0: 12 ビット A/D 変換値											
12 ビット精度の左詰めデータ	変換値 11～0: 12 ビット A/D 変換値												読むと 0 が読めます。			

(2)　A/D 変換値平均モードを選択した場合

A/D 変換値加算モードで 2 回または 4 回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、本レジスタは特定チャネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

(3)　A/D 変換値加算モードを選択した場合

12 ビット、10 ビット、8 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 1、2、3、または 4 回を選択できます。A/D 変換結果は、指定された変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに格納されます。

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 16 回を選択できます。A/D 変換値加算モードを選択したとき、本レジスタは同一チャネルの A/D 変換値を加算した値を示します。A/D 変換結果は、変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに格納されます。

A/D 変換値加算モードを選択した場合、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

12 ビット精度でのビット割り当ての例を表 42.10 に示します。

表 42.10　A/D 変換値加算モードを選択した場合の 12 ビット精度でのビット割り当ての例

精度		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	16 回変換を指定した場合	加算結果 15～0: 16 ビット A/D 変換結果の合計															
	1、2、3、または 4 回変換を指定した場合	読むと 0 が読めます。	加算結果 13～0: 14 ビット A/D 変換値加算結果														
12 ビット精度の左詰めデータ	1、2、3、または 4 回変換を指定した場合	加算結果 15～0: 16 ビット A/D 変換結果の合計															
	16 回変換を指定した場合	加算結果 13～0: 14 ビット A/D 変換値加算結果														読むと 0 が読めます。	

42.2.4　ADTSDR : A/D 温度センサデータレジスタ

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x01A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADTSDR [15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ADTSDR [15:0]	変換値 15～0 機能は、選択したモードと精度により異なります。表 42.11 と表 42.12 を参照してください。	R

注.　S-TYPE-3, P-TYPE-3

ADTSDR レジスタは、温度センサ出力を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

これらの A/D データレジスタは、下記の条件によりデータフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値（左詰めまたは右詰め）
- A/D 変換精度選択ビット (ADCER.ADPRC[1:0]) の設定値（12 ビット、10 ビット、8 ビットから選択可能）
- 加算／平均回数選択ビット (ADADC.ADC[2:0]) の設定値（1、2、3、4、または 16 回）
- 平均モード有効ビット (ADADC.AVEE) の設定値（加算または平均）

本節では異なるモードにおけるこれらの条件に対するデータフォーマットを説明します。

(1) A/D 変換値加算／平均モードを非選択とした場合

12 ビット精度でのビット割り当ての例を表 42.11 に示します。

表 42.11 12 ビット精度でのビット割り当ての例

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	読むと 0 が読めます。				変換値 11～0: 12 ビット A/D 変換値											
12 ビット精度の左詰めデータ	変換値 11～0: 12 ビット A/D 変換値												読むと 0 が読めます。			

(2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードで 2 回または 4 回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、本レジスタは特定チャネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

(3) A/D 変換値加算モードを選択した場合

12 ビット、10 ビット、8 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 1、2、3、または 4 回を選択できます。A/D 変換結果は、指定された変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに格納されます。

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 16 回を選択できます。A/D 変換値加算モードを選択したとき、本レジスタは同一チャネルの A/D 変換値を加算した値を示します。A/D 変換結果は、変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに格納されます。

A/D 変換値加算モードを選択した場合、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

12 ビット精度でのビット割り当ての例を表 42.12 に示します。

表 42.12 A/D 変換値加算モードを選択した場合の 12 ビット精度でのビット割り当ての例

精度		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	16 回変換を指定した場合	加算結果 15～0: 16 ビット A/D 変換結果の合計															
	1、2、3、または 4 回変換を指定した場合	読むと 0 が読めます。		加算結果 13～0: 14 ビット A/D 変換値加算結果													
12 ビット精度の左詰めデータ	1、2、3、または 4 回変換を指定した場合	加算結果 15～0: 16 ビット A/D 変換結果の合計															
	16 回変換を指定した場合	加算結果 13～0: 14 ビット A/D 変換値加算結果														読むと 0 が読めます。	

42.2.5 ADOCDR : A/D 内部基準電圧データレジスタ

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x01C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADOCDR [15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ADOCDR [15:0]	変換値 15～0 機能は、選択したモードと精度により異なります。表 42.13 と表 42.14 を参照してください。	R

注. S-TYPE-3, P-TYPE-3

ADOCDR レジスタは、内部基準電圧を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

これらの A/D データレジスタは、下記の条件によりデータフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値（左詰めまたは右詰め）
- A/D 変換精度選択ビット (ADCER.ADPRC[1:0]) の設定値（12 ビット、10 ビット、8 ビットから選択可能）
- 加算／平均回数選択ビット (ADADC.ADC[2:0]) の設定値（1、2、3、4、または 16 回）
- 平均モード有効ビット (ADADC.AVEE) の設定値（加算または平均）

本節では異なるモードにおけるこれらの条件に対するデータフォーマットを説明します。

(1) A/D 変換値加算／平均モードを非選択とした場合

12 ビット精度でのビット割り当ての例を表 42.13 に示します。

表 42.13 12 ビット精度でのビット割り当ての例

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	読むと 0 が読めます。				変換値 11～0: 12 ビット A/D 変換値											
12 ビット精度の左詰めデータ	変換値 11～0: 12 ビット A/D 変換値												読むと 0 が読めます。			

(2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードで 2 回または 4 回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、本レジスタは特定チャネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

(3) A/D 変換値加算モードを選択した場合

12 ビット、10 ビット、8 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 1、2、3、または 4 回を選択できます。A/D 変換結果は、指定された変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに格納されます。

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 16 回を選択できます。A/D 変換値加算モードを選択したとき、本レジスタは同一チャネルの A/D 変換値を加算した値を示します。A/D 変換結果は、変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに格納されます。

A/D 変換値加算モードを選択した場合、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

12 ビット精度でのビット割り当ての例を表 42.14 に示します。

表 42.14 A/D 変換値加算モードを選択した場合の 12 ビット精度でのビット割り当ての例

精度		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	16 回変換を指定した場合	加算結果 15～0: 16 ビット A/D 変換結果の合計															
	1、2、3、または 4 回変換を指定した場合	読むと 0 が読めます。		加算結果 13～0: 14 ビット A/D 変換値加算結果													
12 ビット精度の左詰めデータ	1、2、3、または 4 回変換を指定した場合	加算結果 15～0: 16 ビット A/D 変換結果の合計															
	16 回変換を指定した場合	加算結果 13～0: 14 ビット A/D 変換値加算結果														読むと 0 が読めます。	

42.2.6 ADVMDR : A/D VBATT 監視データレジスタ

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x026

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADDR [15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ADDR[15:0]	変換値 15～0 機能は、選択したモードと精度により異なります。表 42.15 と表 42.16 を参照してください。	R

注. S-TYPE-3、P-TYPE-3

ADVMDR レジスタは、VBATT 1/3 電圧を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。VBATT 1/3 電圧の計測には、VBATTMNSELR.VBTMNSEL を設定する必要があります。詳細は、「11. バッテリバックアップ機能」を参照してください。ADVMDR レジスタは ADDR3 レジスタのエイリアスです。

A/D データレジスタのデータフォーマットは、以下の条件により決定されます。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値（左詰めまたは右詰め）
- A/D 変換精度選択ビット (ADCER.ADPRC[1:0]) の設定値（12 ビット、10 ビット、8 ビットから選択可能）
- 加算／平均回数選択ビット (ADADC.ADC[2:0]) の設定値（1、2、3、4、または 16 回）
- 平均モード有効ビット (ADADC.AVEE) の設定値（加算または平均）

本節では異なるモードでのこれらの条件に対するデータフォーマットを説明します。

(1) A/D 変換値加算／平均モードを非選択とした場合

12 ビット精度でのビット割り当ての例を表 42.15 に示します。

表 42.15 12 ビット精度でのビット割り当ての例

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	読むと 0 が読めます。				変換値 11～0 : 12 ビット A/D 変換値											
12 ビット精度の左詰めデータ	変換値 11～0 : 12 ビット A/D 変換値												読むと 0 が読めます。			

(2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードで 2 回または 4 回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、本レジスタは特定チャネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

(3) A/D 変換値加算モードを選択した場合

12 ビット、10 ビット、8 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 1、2、3、または 4 回を選択できます。A/D 変換結果は、指定された変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに格納されます。

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 16 回を選択できます。A/D 変換値加算モードを選択したとき、本レジスタは同一チャネルの A/D 変換値を加算した値を示します。A/D 変換結果は、指定された変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに格納されます。

A/D 変換値加算モードを選択した場合、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

12 ビット精度でのビット割り当ての例を表 42.16 に示します。

表 42.16 A/D 変換値加算モードを選択した場合の 12 ビット精度でのビット割り当ての例

精度		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	16 回変換を指定した場合	加算結果 15～0 : 16 ビット A/D 変換結果の合計															
	1、2、3、または 4 回変換を指定した場合	読むと 0 が読めます。		加算結果 13～0 : 14 ビット A/D 変換結果の合計													
12 ビット精度の左詰めデータ	1、2、3、または 4 回変換を指定した場合	加算結果 15～0 : 16 ビット A/D 変換結果の合計															
	16 回変換を指定した場合	加算結果 13～0 : 14 ビット A/D 変換結果の合計														読むと 0 が読めます。	

42.2.7 ADRD : A/D 自己診断データレジスタ

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x01E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DIAGST[1:0]		—	—	AD[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
11:0	AD[11:0]	変換値 11～0 12 ビット A/D 変換値	R
13:12	—	読むと 0 が読めます。	R
15:14	DIAGST[1:0]	自己診断ステータス 自己診断の詳細については、「42.2.13. ADCER : A/D コントロール拡張レジスタ」を参照してください。 0 0: パワーオン後に自己診断を実行していないことを示す 0 1: 0 V の電圧値の自己診断を実行したことを示す 1 0: 基準電圧(注1) × 1/2 の電圧値の自己診断を実行したことを示す 1 1: 基準電圧(注1)の自己診断を実行したことを示す	R

注. S-TYPE-3、P-TYPE-3
注. 12 ビット精度の右詰めデータのビット配置例を示します。
注 1. 基準電圧は VREFH0（ユニット 0）および VREFH（ユニット 1）です。

ADRD レジスタは、ADC12 の自己診断により A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。A/D 変換値を示す AD[11:0]ビットに加えて、自己診断ステータスビット (DIAGST[1:0]) が付加されます。

本レジスタのデータフォーマットは、A/D データレジスタフォーマットおよび A/D 変換精度の設定により決定されます。

A/D 自己診断機能には A/D 変換加算モードと A/D 変換平均モードを適用することはできません。自己診断の詳細については、「42.2.13. ADCER : A/D コントロール拡張レジスタ」を参照してください。

以下では、各条件のデータフォーマットについて説明します。本節のビット配置図とビット仕様表は、12 ビット精度の左詰めデータおよび右詰めデータのビット配置例を示します。

表 42.17　各精度における右詰め時のビット配置

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	DIAGST[1:0]		—		AD[11:0]											

表 42.18　各精度における左詰め時のビット配置

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の左詰めデータ	AD[11:0]												—		DIAGST[1:0]	

42.2.8　ADCSR : A/D コントロールレジスタ

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x000

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADST	ADCS[1:0]		—	—	—	TRGE	EXTRG	DBLE	GBADIE	—	DBLANS[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	DBLANS[4:0]	ダブルトリガ対象チャネル選択 ダブルトリガ対象のアナログ入力を 1 チャネル選択します。ダブルトリガモード選択時のみ有効です。	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	GBADIE	グループ B スキャン終了割り込みおよび ELC イベント許可 グループ B のスキャンは、グループスキャンモードでのみ実行できます。 0: グループ B のスキャン完了時に ADC12i_GBADI (i = 0, 1) 割り込み発生を禁止 1: グループ B のスキャン完了時に ADC12i_GBADI (i = 0, 1) 割り込み発生を許可	R/W
7	DBLE	ダブルトリガモード選択 0: ダブルトリガモード非選択 1: ダブルトリガモード選択	R/W
8	EXTRG	トリガ選択(注1) 0: 同期トリガ (GPT, ELC) により A/D 変換開始 1: 非同期トリガ (ADTRGn(注2)) により A/D 変換開始	R/W
9	TRGE	トリガ開始許可 0: 同期、非同期トリガによる A/D 変換の開始を禁止 1: 同期、非同期トリガによる A/D 変換の開始を許可	R/W
12:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
14:13	ADCS[1:0]	スキャンモード選択 0 0: シングルスキャンモード 0 1: グループスキャンモード 1 0: 連続スキャンモード 1 1: 設定禁止	R/W
15	ADST	A/D 変換スタート 0: A/D 変換停止 1: A/D 変換開始	R/W

注. S-TYPE-3, P-TYPE-3
注 1. 外部端子（非同期トリガ）で A/D 変換を起動する方法：
外部端子 (ADTRGn) に High を入力した状態で、ADCSR.TRGE ビットおよび ADCSR.EXTRG ビットを 1 にし、ADTRGn 端子から Low を入力します。ADTRGn の立ち下がりエッジを検出し、スキャン変換を開始します。Low 入力のパルス幅は、PCLKA 1.5 クロック以上必要です。
注 2. n = 0（ユニット 0）、1（ユニット 1）

ADCSR レジスタは、ダブルトリガモードの設定、A/D 変換起動トリガの設定、スキャン終了割り込み許可／禁止、スキャンモードの選択、A/D 変換の開始／停止を行うレジスタです。

DBLANS[4:0]ビット（ダブルトリガ対象チャネル選択）

DBLANS[4:0]ビットは、ダブルトリガモードで A/D 変換データを 2 重化する 1 チャネルを選択します。これは、2 重化するチャネル番号のバイナリ値を設定することで選択できます。DBLANS[4:0]ビットで選択したチャネルのアナログ入力を、1 回目の A/D 変換開始トリガで変換した結果が A/D データレジスタ y に格納され、2 回目の A/D 変換開始トリガで変換した結果が A/D データ 2 重化レジスタに格納されます。

ダブルトリガモードを選択した場合は、ADANSA0 レジスタで選択したチャネルの選択は無効になり、DBLANS[4:0]ビットで選択した 1 チャネルが A/D 変換を行うチャネルとなります。

グループスキャンモードでダブルトリガモードを使用する場合、ダブルトリガ制御はグループ A のみに適用され、グループ B には適用されません。

また、ダブルトリガモードでは、複数チャネルのアナログ入力、温度センサ出力、内部基準電圧はグループ A には選択できませんが、グループ B には選択できます。

DBLANS[4:0]ビットの設定は、ADST ビットが 0 のときのみ行ってください。DBLANS[4:0]ビットの設定を ADST ビットへの 1 書き込みと同時に行わないでください。

ダブルトリガモード時に A/D 変換値加算／平均モードに遷移するには、DBLANS[4:0]ビットで選択したチャネルと同じチャネルを ADADS0 レジスタに設定してください。

ダブルトリガモードでは、自己診断機能からの A/D 変換データ、温度センサ出力、および内部基準電圧を使用できません。

GBADIE ビット（グループ B スキャン終了割り込みおよび ELC イベント許可）

GBADIE ビットはグループスキャンモードでのグループ B のスキャン終了割り込み (ADC12i_GBADI (i = 0, 1)) の発生を許可または禁止します。

DBLE ビット（ダブルトリガモード選択）

DBLE ビットは、ダブルトリガモードの選択／非選択を指定します。ダブルトリガモードは、ADSTRGR.TRSA[5:0]ビットで選択した同期トリガ (GPT, ELC) のみで動作できます。

ダブルトリガは以下のように動作します。

1. 1 回目の変換完了時は ADC12i_ADI (i = 0, 1) 割り込みを出力せず、2 回目の変換完了時に出力します。
2. 1 回目のトリガで開始した 2 重化チャネル（DBLANS[4:0]で選択）の A/D 変換結果は、A/D データレジスタ y に格納され、2 回目のトリガで開始した変換結果は、A/D データ 2 重化レジスタに格納されます。

DBLE ビットが設定（ダブルトリガモードを選択）されている場合、ADANSA0 レジスタで指定したチャネルは無効です。DBLE を 0 にすると、ダブルトリガモードは非選択となります。DBLE ビットを再度 1 にすると、ダブルトリガモードの動作は、1.と 2.に示される最初のトリガによる最初のスキャンと同様になります。

ダブルトリガモードは、連続スキャンモードで選択しないでください。グループスキャンモードでダブルトリガモードを使用する場合は、温度センサ出力 A/D 変換と内部基準電圧 A/D 変換をグループ A に選択しないでください。ダブルトリガモードでは、ソフトウェアトリガを使用できません。DBLE ビットの設定は、ADST ビット

を 0 にしてから行ってください。DBLE ビットの設定を ADST ビットへの 1 書き込みと同時に行わないでください。

EXTRG ビット（トリガ選択）

EXTRG ビットは、A/D 変換を開始するトリガを同期トリガにするか、非同期トリガにするかを選択します。

グループスキャンモードでは、グループ A の選択トリガに対してこのビットの設定が有効です。グループ B は、このビットの設定にかかわらず選択した同期トリガで A/D 変換を開始します。

TRGE ビット（トリガ開始許可）

TRGE ビットは、同期トリガ、非同期トリガによる A/D 変換の起動を許可または禁止します。グループスキャンモード時は本ビットを 1 にしてください。

ADCS[1:0]ビット（スキャンモード選択）

ADCS[1:0]ビットは、スキャン変換モードを選択します。

シングルスキャンモードは、ADANSA0 レジスタで選択したチャネルのアナログ入力に対しチャネル番号の昇順に A/D 変換を実施します。選択したすべてのチャネルの A/D 変換が 1 回完了するとスキャン変換を停止します。

連続スキャンモードは、ADCSR.ADST ビットが 1 の間、ADANSA0 レジスタで選択したチャネルのアナログ入力に対しチャネル番号の昇順に A/D 変換を実施します。選択したすべてのチャネルの A/D 変換が 1 回完了すると最初のチャネルに戻り A/D 変換を繰り返します。連続スキャン中に ADCSR.ADST ビットを 0 にすると、スキャン中でも A/D 変換を停止します。

グループスキャンモード時：

- ADSTRGR.TRSA[5:0]ビットで選択した同期トリガ (GPT, ELC) で、グループ A のスキャンを開始します。ADANSA0 レジスタで選択したチャネルのグループ A アナログ入力に対しチャネル番号の昇順に A/D 変換を実施します。選択したすべてのチャネルの A/D 変換が 1 回完了すると A/D 変換を停止します。
- ADSTRGR.TRSB[5:0]ビットで選択した同期トリガ (GPT, ELC) で、グループ B のスキャンを開始します。ADANSB0 レジスタで選択したチャネルのグループ B アナログ入力に対しチャネル番号の昇順に A/D 変換を実施します。選択したすべてのチャネルの A/D 変換が 1 回完了すると A/D 変換を停止します。

このとき、グループ A 側とグループ B 側の変換処理が重なった場合、変換制御は別々に制御することができません。この場合は、A/D グループスキャン優先コントロールレジスタのグループ A 優先制御設定ビット (ADGSPCR.PGS) を 1 にして、変換優先順位をグループ A 側に設定してください。

グループスキャンモードでは、グループ A とグループ B に異なるチャネルとトリガを選択してください。

ADCS[1:0]ビットの設定は、ADST ビットが 0 のときのみ行ってください。ADCS[1:0]ビットの設定を ADST ビットへの 1 書き込みと同時に行わないでください。

表 42.19　スキャンモードおよびダブルトリガモードの設定による A/D 変換の選択対象

スキャンモード設定	ダブルトリガモード設定	A/D 変換対象				
		自己診断	アナログ入力（グループ A）	アナログ入力（グループ B）	温度センサ出力	内部基準電圧
シングルスキャン	DBLE = 0	✓	✓	—	✓	✓
	DBLE = 1	—	✓（1 ch のみ）	—	—	—
連続スキャン	DBLE = 0	✓	✓	—	✓	✓
	DBLE = 1	—	—	—	—	—
グループスキャン	DBLE = 0	✓	✓	✓	✓	✓
	DBLE = 1	—	✓（1 ch のみ）	✓	✓	✓

注.　✓：選択可能、—：選択不可能

ADST ビット（A/D 変換スタート）

ADST ビットは、A/D 変換の開始／停止を制御します。ADST ビットを 1 にする前に、A/D 変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

[1 になる条件]

- 1 を書いたとき
- ADCSR.EXTRG ビットを 0、ADCSR.TRGE ビットを 1 にし、ADSTRGR.TRSA[5:0]ビットで選択した同期トリガ (GPT, ELC) を検出したとき
- グループスキャンモードで ADCSR.TRGE ビットを 1 にし、ADSTRGR.TRSB[5:0]ビットで選択した同期トリガ (GPT, ELC) を検出したとき
- ADCSR.TRGE ビットと ADCSR.EXTRG ビットを 1、ADSTRGR.TRSA[5:0]ビットを 0x00 にし、非同期トリガを検出したとき
- グループ優先動作モード有効時（ADCSR.ADCS[1:0] = 01b かつ ADGSPCR.PGS = 1）に、ADGSPCR.GBRP ビットを 1 に設定し、最も優先度の低いグループの A/D 変換を開始したとき

[0 になる条件]

- 0 を書いたとき
- シングルスキャンモードで、選択したすべてのチャネル、温度センサ出力、および内部基準電圧の A/D 変換が完了したとき
- グループスキャンモードでグループ A のスキャンが終了したとき
- グループスキャンモードでグループ B のスキャンが終了したとき
- グループ優先動作モード有効時（ADCSR.ADCS[1:0] = 01b かつ ADGSPCR.PGS = 1）に、ADGSPCR.GBRSCN ビットを 1 に設定し、トリガにより開始した最も優先度の低いグループの A/D 変換が終了したとき

注. グループ優先動作モード有効時（ADCSR.ADCS[1:0] = 01b かつ ADGSPCR.PGS = 1）、ADST ビットを 1 にしないでください。

注. グループ優先動作モード有効時（ADCSR.ADCS[1:0] = 01b かつ ADGSPCR.PGS = 1）、かつ ADGSPCR.GBRP = 1 のとき、ADST ビットを 0 にしないでください。A/D 変換を強制停止させる場合、ADST ビットのクリア手順に従ってください。

42.2.9 ADANSA0 : A/D チャネル選択レジスタ A0

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x004

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ANSA 15	ANSA 14	ANSA 13	ANSA 12	ANSA 11	ANSA 10	ANSA 09	ANSA 08	ANSA 07	ANSA 06	ANSA 05	ANSA 04	ANSA 03	ANSA 02	ANSA 01	ANSA 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ANSA15～ ANSA00(注1)	A/D 変換チャネル選択 ビット 15 (ANSA15) は ANm15 に対応し、ビット 0 (ANSA00) は ANm00 に対応します。 0: 対応する入力チャネルを非選択 1: 対応する入力チャネルを選択	R/W

注. S-TYPE-3, P-TYPE-3

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。 書く場合、0 としてください。

注 1. 00～08（ユニット 0）、00～05（ユニット 1）が使用可能です。

ADANSA0 レジスタは A/D 変換を行うアナログ入力チャネルを選択します。グループスキャンモードでは、本レジスタはグループ A チャネルを選択します。

ADANSA0 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

ANSAn ビット（A/D 変換チャネル選択）

ADANSA0 レジスタは A/D 変換を行うアナログ入力チャネルの組み合わせを選択します。チャネルおよびチャネル数は任意に設定可能です。

ダブルトリガモード時は、ADANSA0 レジスタで選択したチャネルは無効となり、代わりに ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルがグループ A の選択チャネルとなります。

また、グループスキャンモード選択時は、A/D チャネル選択レジスタ B0 (ADANSB0) で指定したチャネルを選択しないでください。

VBATT 1/3 電圧監視出力は、ADC120.ADANSA0.ANSA03 または ADC121.ADANSA0.ANSA03 ビットに対応します。

ADC12n (n = 0, 1) と PORT の間のセキュリティ属性機能変換結果の詳細については、「42.3.12. ADCn (n = 0, 1) と PORT (PmSAR (m = 0～9)) の間のセキュリティ属性」を参照してください.

42.2.10 ADANSB0 : A/D チャネル選択レジスタ B0

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x014

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ANSB 15	ANSB 14	ANSB 13	ANSB 12	ANSB 11	ANSB 10	ANSB 09	ANSB 08	ANSB 07	ANSB 06	ANSB 05	ANSB 04	ANSB 03	ANSB 02	ANSB 01	ANSB 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ANSB15～ ANSB00(注1)	A/D 変換チャネル選択 ビット 15 (ANSB15) は ANm15 に対応し、ビット 0 (ANSB00) は ANm00 に対応します。 0: 対応する入力チャネルを非選択 1: 対応する入力チャネルを選択	R/W

注. S-TYPE-3, P-TYPE-3
注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。 書く場合、0 としてください。
注 1. 00～08（ユニット 0）、00～05（ユニット 1）が使用可能です。

ADANSB0 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力を選択します。ADANSB0 レジスタは他のスキャンモードでは使用しません。

ADANSB0 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

ANSBn ビット（A/D 変換チャネル選択）

ADANSB0 レジスタはグループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力の組み合わせを選択します。ADANSB0 レジスタは他のスキャンモードでは使用しません。

グループ A で指定したチャネル（ADANSA0 レジスタで選択またはダブルトリガモード時に ADCSR.DBLANS[4:0]ビットで選択したチャネル）を選択しないでください。

VBATT 1/3 電圧監視出力は、ADC120.ADANSB0.ANSB03 または ADC121.ADANSB0.ANSB03 に対応します。

ADC12n (n = 0, 1) と PORT (PmSAR) の間のセキュリティ属性機能変換結果の詳細については、「42.3.12. ADCn (n = 0, 1) と PORT (PmSAR (m = 0～9)) の間のセキュリティ属性」を参照してください。

42.2.11 ADADS0 : A/D 変換値加算／平均チャネル選択レジスタ 0

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x008

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADS15	ADS14	ADS13	ADS12	ADS11	ADS10	ADS09	ADS08	ADS07	ADS06	ADS05	ADS04	ADS03	ADS02	ADS01	ADS00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ADS15～ADS00(注1)	A/D 変換値加算／平均チャネル選択 ビット 15 (ADS15) は ANm15 に対応し、ビット 0 (ADS00) は ANm00 に対応します。 0: 対応する入力チャネルを非選択 1: 対応する入力チャネルを選択	R/W

注. S-TYPE-3, P-TYPE-3
注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。 書く場合、0 としてください。
注 1. 00～08（ユニット 0）、00～05（ユニット 1）が使用可能です。

ADSn ビット（A/D 変換値加算／平均チャネル選択）

ADSn ビットは A/D 変換値加算／平均の対象となる A/D 変換チャネルを決定します。選択した A/D 変換チャネルに対応する ADSn ビットを 1 にすると、選択したチャネルのアナログ入力を、ADADC.ADC[2:0]ビットで指定した回数（1、2、3、4、または 16 回）分、連続して A/D 変換します。

ADADC.AVEE ビットが 0 の場合は加算した値を、ADADC.AVEE ビットが 1 の場合は加算値から平均した値を、A/D データレジスタに格納します。

ADSn ビットは、以下で選択した A/D 変換チャネルのみに適用されます。

- ADANSA0 レジスタの ANSAn ビットまたは ADCSR レジスタの DBLANS[4:0]ビット
- ADANSB0 レジスタの ANSBn ビット

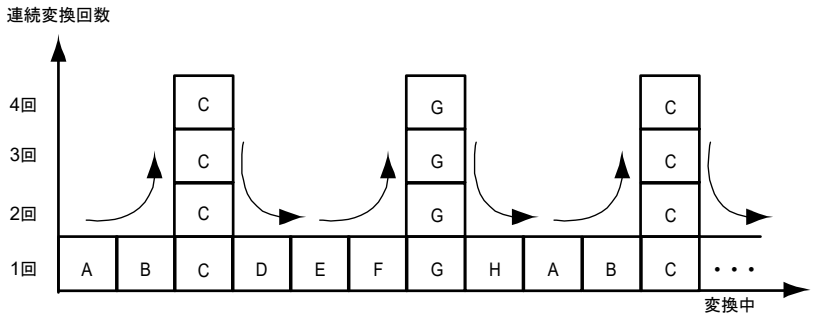
加算／平均モードが非選択の A/D 変換チャネルは、通常の 1 回変換を実施し、A/D データレジスタに変換結果を格納します。

ADADS0 レジスタのビット設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

図 42.3 に ADADS0 レジスタのビット（チャネル c と g）を 1 にしたときのスキャン動作シーケンスを示します。本図では、以下のような設定になっています。

- 加算モードを選択 (ADADC.AVEE = 0)
- 変換回数を 4 に設定 (ADADC.ADC[1:0] = 11b)
- 連続スキャンモード (ADCSR.ADCS[1:0] = 10b) でアナログ入力チャネル a～h を選択（ADANSA0 レジスタ）

アナログ入力 A（チャネル a）から変換を開始します。アナログ入力 C（チャネル c）の変換は 4 回連続実行し、加算値を A/D データレジスタ c (ADDRc) に返します。次に、アナログ入力 D（チャネル d）の変換処理が開始されます。アナログ入力 G（チャネル g）は 4 回連続実行し、加算値を A/D データレジスタ g (ADDRg) に返します。アナログ入力 H（チャネル h）の変換後、再度アナログ入力 A（チャネル a）から同じシーケンスで動作します。



注. A～H はアナログ入力（チャネル a～h）

図 42.3 ADADC.ADC[2:0] = 011b および ADADS0 によるアナログ入力 C と G を 1 に選択時のスキャン変換シーケンス

42.2.12 ADADC : A/D 変換値加算／平均回数選択レジスタ

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x00C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	AVEE	—	—	—	—	ADC[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	ADC[2:0]	加算／平均回数選択 0 0 0: 1 回変換（加算なし。通常変換と同じ。） 0 0 1: 2 回変換（1 回加算を行う） 0 1 0: 3 回変換（2 回加算を行う） 0 1 1: 4 回変換（3 回加算を行う） 1 0 1: 16 回変換（15 回加算を行う） その他: 設定禁止	R/W
6:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	AVEE	平均モードを選択 0: 加算モードを選択 1: 平均モードを選択	R/W

注. S-TYPE-3, P-TYPE-3

ADADC は加算モードまたは平均モードの選択、および A/D 変換の加算回数を設定します。表 42.20 に、ADADC レジスタの設定可能な組み合わせを示します。

表 42.20 ADADC レジスタの設定可能な組み合わせ

モード選択	分解能	変換回数				
		1 回	2 回	3 回	4 回	16 回
加算モード (AVEE = 0)	8 ビット	✓	✓	✓	✓	—
	10 ビット	✓	✓	✓	✓	—
	12 ビット	✓	✓	✓	✓	✓
平均モード (AVEE = 1)	8、10、12 ビット	—	✓	—	✓	—

注. ✓：選択可能、—：選択不可能

ADC[2:0]ビット（加算／平均回数選択）

ADC[2:0]ビットはダブルトリガモードでの選択チャネル（ADCSR.DBLANS[4:0]ビットでの選択チャネル）を含む A/D 変換および加算／平均モードが選択されたすべてのチャネルに対して加算回数を設定します。加算回数は、温度センサ出力と内部基準電圧の A/D 変換にも適用されます。
自己診断機能 (ADCER.DIAGM = 1) を実施する場合、ADC[2:0]ビットを 000b 以外の値にしないでください。

AVEE ビット（平均モードを選択）

AVEE ビットはダブルトリガモードでの選択チャネル（ADCSR.DBLANS[4:0]ビットでの選択チャネル）を含む A/D 変換および加算／平均モードが選択されたチャネル、温度センサ出力、内部基準電圧の A/D 変換に対して加算モードまたは平均モードの選択を行います。

42.2.13 ADCER : A/D コントロール拡張レジスタ

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x00E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]		—	—	ACE	—	—	ADPRC[1:0]		—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2:1	ADPRC[1:0]	A/D 変換精度選択 0 0: 12 ビット精度で A/D 変換を実施 0 1: 10 ビット精度で A/D 変換を実施 1 0: 8 ビット精度で A/D 変換を実施 1 1: 設定禁止	R/W
4:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	ACE	A/D データレジスタ自動クリアイネーブル 0: 自動クリアを禁止 1: 自動クリアを許可	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	DIAGVAL[1:0]	自己診断変換電圧選択 0 0: 自己診断有効時は設定禁止 0 1: 0 V 1 0: 基準電圧(注1) × 1/2 1 1: 基準電圧(注1)	R/W
10	DIAGLD	自己診断モード選択 0: 自己診断電圧ローテーションモードを選択 1: 自己診断電圧固定モードを選択	R/W
11	DIAGM	自己診断イネーブル 0: ADC12 自己診断機能は無効 1: ADC12 自己診断機能は有効	R/W
14:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	ADRFMT	A/D データレジスタフォーマット選択 0: A/D データレジスタのフォーマットを右詰めにする 1: A/D データレジスタのフォーマットを左詰めにする	R/W

注. S-TYPE-3, P-TYPE-3
注 1. 基準電圧は VREFH0（ユニット 0）および VREFH（ユニット 1）です。

ADPRC[1:0]ビット（A/D 変換精度選択）

ADPRC[1:0]ビットは A/D 変換の精度を選択します。A/D 変換精度を変えた場合、結果レジスタに格納する有効データのビット幅、および A/D 変換時間も変わります。詳細は、「42.3.6. アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。ADPRC[1:0]ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

ACE ビット（A/D データレジスタ自動クリアイネーブル）

ACE ビットは、CPU または DTC によって ADDRy、ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR、または ADVMDR レジスタのいずれかを読み出した後、当該レジスタの自動クリア（すべて 0）を行うか行わないかを選択します。A/D データレジスタの自動クリアにより各 A/D データレジスタの未更新障害を検出することができます。詳細は「42.3.7. A/D データレジスタの自動クリア機能の使用例」を参照してください。

DIAGVAL[1:0]ビット（自己診断変換電圧選択）

DIAGVAL[1:0]ビットは自己診断電圧固定モードでの電圧値を選択します。詳細は、DIAGLD ビットの説明を参照してください。

DIAGVAL[1:0]ビットが 00b の場合、DIAGLD ビットを 1 にして自己診断を実行しないでください。

DIAGLD ビット（自己診断モード選択）

DIAGLD ビットは、自己診断に使用する 3 つの電圧値をローテーションするか、電圧値を固定するかを選択します。

DIAGLD ビットを 0 にすると、0 V → 基準電圧 × 1/2 → 基準電圧の順番にローテーションして変換していきます。リセット後、および自己診断電圧ローテーションモードを選択した場合は、0 V から自己診断を行います。スキャン変換が終了しても自己診断電圧値は 0 V に戻りません。再びスキャン変換を実行すると、前回に続く電圧値からローテーションを開始します。

DIAGLD ビットを 1 にすることにより固定電圧を選択します。ADCER.DIAGVAL[1:0]ビットで指定した固定電圧が変換されます。固定モードからローテーションモードに切り替えた場合は、固定電圧値からローテーションを開始します。

DIAGLD ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

DIAGM ビット（自己診断イネーブル）

DIAGM ビットは、自己診断を実施するかしないかを選択します。

自己診断は、ADC12 の故障を検出するための機能です。自己診断モードでは、3 つの電圧値（0 V、基準電圧×1/2、または基準電圧）のいずれかを変換します。変換が完了すると A/D 自己診断データレジスタ (ADRD) に変換した電圧の情報と変換結果を格納します。その後、ADRD レジスタを読み出し、変換値が正常の範囲にある（正常）かない（異常）かを判断します。

自己診断は、スキャンごとの最初に 1 回実施され、3 つの電圧値のうち 1 つを A/D 変換します。ダブルトリガモード (ADCSR.DBLE = 1) では、自己診断 (DIAGM = 0) は選択されません。グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B のそれぞれで自己診断を実行します。

DIAGM ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

ADRFMT ビット（A/D データレジスタフォーマット選択）

ADRFMT ビットは、ADDRy、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR、ADVMDR、ADCMPDR0/1、ADWINLLB、ADWINULB、または ADRD レジスタに格納するデータの右詰め／左詰めを指定します。

ADRFMT ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

42.2.14 ADSTRGR : A/D 変換開始トリガ選択レジスタ

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x010

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	TRSA[5:0]						—	—	TRSB[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	TRSB[5:0]	グループ B 用 A/D 変換開始トリガ選択 グループスキャンモードでグループ B の A/D 変換開始トリガを選択します。	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:8	TRSA[5:0]	A/D 変換開始トリガ選択 シングルスキャンモード、連続スキャンモードでの A/D 変換開始トリガを選択します。グループスキャンモードではグループ A の A/D 変換開始トリガを選択します。	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

TRSB[5:0]ビット（グループ B 用 A/D 変換開始トリガ選択）

TRSB[5:0]ビットはグループ B で選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[5:0]ビットはグループスキャンモードでのみ使用するビットで、他のスキャンモードでは使用しません。グループ B のスキャン変換開始トリガとしてソフトウェアトリガまたは非同期トリガは設定しないでください。グループスキャンモードでは、TRSB[5:0]ビットを 0x00 以外の値にし、ADCSR.TRGE ビットを 1 にしてください。

グループスキャンモードのグループ優先動作選択時に、ADGSPCR.GBRP ビットを 1 にすることで、グループ B をシングルスキャンモードで連続動作させることができます。ADGSPCR.GBRP ビットを 1 にする場合は、TRSB[5:0]ビットを 0x3F にしてください。変換トリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} より短い場合は、トリガによる A/D 変換が無効となる場合があります。

A/D 変換開始トリガに GPT モジュールを選択した場合、同期化処理の分だけ遅延が発生します。詳細は、「42.3.6. アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

表 42.21 に TRSB[5:0]ビットでの A/D 変換起動要因選択一覧を示します。

表 42.21 TRSB[5:0]ビットでの A/D 変換起動要因選択一覧 (1/2)

要因	備考	TRSB[5]	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
トリガ要因非選択状態	—	1	1	1	1	1	1
ELC_AD00（ユニット 0） および ELC_AD10（ユニット 1）	ELC	0	0	1	0	0	1
ELC_AD01（ユニット 0） および ELC_AD11（ユニット 1）	ELC	0	0	1	0	1	0
ELC_AD00（ユニット 0） および ELC_AD10（ユニット 1）、 ELC_AD01（ユニット 0） および ELC_AD11（ユニット 1）	ELC	0	0	1	0	1	1
GTCIADA0（ユニット 0） および GTCIADA4（ユニット 1）	GPT	0	1	0	0	0	1
GTCIADB0（ユニット 0） および GTCIADB4（ユニット 1）	GPT	0	1	0	0	1	0
GTCIADA1（ユニット 0） および GTCIADA5（ユニット 1）	GPT	0	1	0	0	1	1
GTCIADB1（ユニット 0） および GTCIADB5（ユニット 1）	GPT	0	1	0	1	0	0
GTCIADA2（ユニット 0）	GPT	0	1	0	1	0	1
GTCIADB2（ユニット 0）	GPT	0	1	0	1	1	0
GTCIADA3（ユニット 0）	GPT	0	1	0	1	1	1
GTCIADB3（ユニット 0）	GPT	0	1	1	0	0	0
GTCIADA0（ユニット 0） および GTCIADA4（ユニット 1）、 GTCIADB0（ユニット 0） および GTCIADB4（ユニット 1）	GPT	0	1	1	0	0	1

表 42.21 TRSB[5:0]ビットでの A/D 変換起動要因選択一覧 (2/2)

要因	備考	TRSB[5]	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
GTCIADA1（ユニット 0）および GTCIADA5（ユニット 1）、GTCIADB1（ユニット 0）および GTCIADB5（ユニット 1）	GPT	0	1	1	0	1	0
GTCIADA2（ユニット 0）、GTCIADB2（ユニット 0）	GPT	0	1	1	0	1	1
GTCIADA3（ユニット 0）、GTCIADB3（ユニット 0）	GPT	0	1	1	1	0	0

TRSA[5:0]ビット（A/D 変換開始トリガ選択）

TRSA[5:0]ビットはシングルスキャンモードおよび連続スキャンモードでは A/D 変換開始トリガまたはグループスキャンモードではグループ A で選択したアナログ入力のスキャンを開始するトリガを選択します。グループスキャンモードまたはダブルトリガモードでスキャンを行う場合、ソフトウェアトリガや非同期トリガは使用しないでください。

- 同期トリガ (GPT, ELC) を使用する場合は、ADCSR.TRGE ビットを 1 にし、かつ ADCSR.EXTRG ビットを 0 にしてください。
- 非同期トリガ (ADTRGn (n = 0, 1)) を使用する場合は、ADCSR.TRGE ビットを 1 にし、かつ ADCSR.EXTRG ビットを 1 にしてください。
- ソフトウェアトリガ (ADCSR.ADST) は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、TRSA[5:0]ビットの設定値にかかわらず有効です。

変換トリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} より短い場合は、トリガによる A/D 変換が無効となる場合があります。

A/D 変換開始トリガに GPT モジュールを選択した場合、同期化処理の分だけ遅延が発生します。詳細は、「42.3.6. アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

表 42.22 に TRSA[5:0]ビットでの A/D 変換起動要因選択一覧を示します。

表 42.22 TRSA[5:0]ビットでの A/D 変換起動要因選択一覧 (1/2)

要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
トリガ要因非選択状態	—	1	1	1	1	1	1
ADTRGn (n = 0, 1)	トリガ入力端子	0	0	0	0	0	0
ELC_AD00（ユニット 0）および ELC_AD10（ユニット 1）	ELC	0	0	1	0	0	1
ELC_AD01（ユニット 0）および ELC_AD11（ユニット 1）	ELC	0	0	1	0	1	0
ELC_AD00（ユニット 0）および ELC_AD10（ユニット 1）、ELC_AD01（ユニット 0）および ELC_AD11（ユニット 1）	ELC	0	0	1	0	1	1
GTCIADA0（ユニット 0）および GTCIADA4（ユニット 1）	GPT	0	1	0	0	0	1
GTCIADB0（ユニット 0）および GTCIADB4（ユニット 1）	GPT	0	1	0	0	1	0

表 42.22 TRSA[5:0]ビットでの A/D 変換起動要因選択一覧 (2/2)

要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
GTCIADA1（ユニット 0）および GTCIADA5（ユニット 1）	GPT	0	1	0	0	1	1
GTCIADB1（ユニット 0）および GTCIADB5（ユニット 1）	GPT	0	1	0	1	0	0
GTCIADA2（ユニット 0）	GPT	0	1	0	1	0	1
GTCIADB2（ユニット 0）	GPT	0	1	0	1	1	0
GTCIADA3（ユニット 0）	GPT	0	1	0	1	1	1
GTCIADB3（ユニット 0）	GPT	0	1	1	0	0	0
GTCIADA0（ユニット 0）および GTCIADA4（ユニット 1）、GTCIADB0（ユニット 0）および GTCIADB4（ユニット 1）	GPT	0	1	1	0	0	1
GTCIADA1（ユニット 0）および GTCIADA5（ユニット 1）、GTCIADB1（ユニット 0）および GTCIADB5（ユニット 1）	GPT	0	1	1	0	1	0
GTCIADA2（ユニット 0）、GTCIADB2（ユニット 0）	GPT	0	1	1	0	1	1
GTCIADA3（ユニット 0）、GTCIADB3（ユニット 0）	GPT	0	1	1	1	0	0

42.2.15 ADEXICR : A/D 変換拡張入力コントロールレジスタ

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x012

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	OCSB	TSSB	OCSA	TSSA	—	—	—	—	—	—	OCSAD	TSSAD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TSSAD	温度センサ出力 A/D 変換値加算／平均モード選択 0: 温度センサ出力に対し加算／平均モード非選択 1: 温度センサ出力に対し加算／平均モード選択	R/W
1	OCSAD	内部基準電圧 A/D 変換値加算／平均モード選択 0: 内部基準電圧に対し加算／平均モード非選択 1: 内部基準電圧に対し加算／平均モード選択	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	TSSA	温度センサ出力 A/D 変換選択 0: 温度センサ出力の A/D 変換禁止 1: 温度センサ出力の A/D 変換許可	R/W
9	OCSA	内部基準電圧 A/D 変換選択 0: 内部基準電圧の A/D 変換禁止 1: 内部基準電圧の A/D 変換許可	R/W

ビット	シンボル	機能	R/W
10	TSSB	グループ B 専用・温度センサ出力 A/D 変換選択 0: 温度センサ出力の A/D 変換禁止 1: 温度センサ出力の A/D 変換許可	R/W
11	OCSB	グループ B 専用・内部基準電圧 A/D 変換選択 0: 内部基準電圧の A/D 変換禁止 1: 内部基準電圧の A/D 変換許可	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

TSSAD ビット（温度センサ出力 A/D 変換値加算／平均モード選択）

TSSAD ビットが 1 の場合、ADADC.ADC[2:0]ビットで設定した回数分、連続して温度センサ出力の A/D 変換が行われます。ADADC.AVEE ビットが 0 の場合、加算（積算）した値を A/D 温度センサデータレジスタ (ADTSDR) に返します。ADADC.AVEE ビットが 1 の場合、平均した値を A/D 内部基準電圧データレジスタ (ADTSDR) に返します。

TSSAD ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

OCSAD ビット（内部基準電圧 A/D 変換値加算／平均モード選択）

OCSAD ビットが 1 の場合、ADADC.ADC[2:0]ビットで設定した回数分、連続して内部基準電圧の A/D 変換が行われます。ADADC.AVEE ビットが 0 の場合、加算（積算）した値を A/D 内部基準電圧データレジスタ (ADOCDR) に返します。ADADC.AVEE ビットが 1 の場合、平均した値を A/D 内部基準電圧データレジスタ (ADOCDR) に返します。

OCSAD ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

TSSA ビット（温度センサ出力 A/D 変換選択）

TSSA ビットは、シングルスキャンモード、連続スキャンモード、およびグループスキャンモードのグループ A での温度センサ出力の A/D 変換を選択します。温度センサ出力の A/D 変換を行う場合は、ADCSR.DBLE ビットを 0 にしてください。

TSSB ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

OCSA ビット（内部基準電圧 A/D 変換選択）

OCSA ビットは、シングルスキャンモード、連続スキャンモード、およびグループスキャンモードのグループ A での内部基準電圧の A/D 変換を選択します。内部基準電圧の A/D 変換をする場合、ADCSR.DBLE ビットを 0 にしてください。

OCSA ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。また、OCSA ビットを 1 に設定した場合は、設定後 400 ns 以上待ってから A/D 変換を開始してください。

TSSB ビット（グループ B 専用・温度センサ出力 A/D 変換選択）

TSSB ビットはグループスキャンモードのグループ B での温度センサ出力の A/D 変換を選択します。TSSB ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。TSSA ビットが 1 のときは、TSSB ビットを 1 にしないでください。

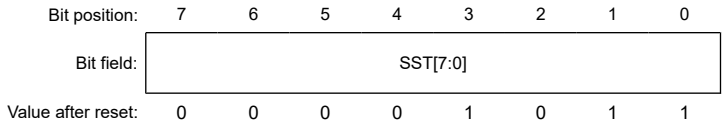
OCSB ビット（グループ B 専用・内部基準電圧 A/D 変換選択）

OCSB ビットはグループスキャンモードのグループ B での内部基準電圧の A/D 変換を選択します。OCSB ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。OCSA ビットが 1 のときは、OCSB ビットを 1 にしないでください。さらに、OCSB ビットを 1 にしてから 400 ns 以上待機後に、A/D 変換を開始してください。

42.2.16 ADSSTRn/ADSSTRT/ADSSTRO/ADSSTRV : A/D サンプリングステートレジスタ (n = 0～8)

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x0E0 + 0x1 × n (n = 0～8, m = 0)
0x0E0 + 0x1 × n (n = 0～5, m = 1)
0x0DE (ADSSTRT)
0x0DF (ADSSTRO)
0x0E3 (ADSSTRV)



ビット	シンボル	機能	R/W
7:0	SST[7:0]	サンプリング時間設定 5～255 ステートの間でサンプリング時間を設定します。	R/W

注. S-TYPE-3, P-TYPE-3

ADSSTRn レジスタは、アナログ入力のサンプリング時間の設定を行うレジスタです。

本レジスタでは、アナログ入力信号源のインピーダンスが高いためにサンプリング時間が不足する場合や、ADCLK が低速な場合に、サンプリング時間を調整することができます。設定値は 1ADCLK サイクルの時間を示し、必要なサンプリング時間は電圧条件によって規定されます。詳細は、「52.5. ADC12 特性」を参照してください。

ADSSTRV レジスタは ADSSTR3 レジスタのエイリアスです。

サンプリング時間の下限値は周波数比によって異なります。

- PCLKA:PCLKC (ADCLK) の周波数比が 1:1、2:1、4:1、または 8:1 の場合、サンプリング時間は 5 ステートより長く設定してください。
- PCLKA:PCLKC (ADCLK) の周波数比が 1:2 または 1:4 の場合、サンプリング時間は 6 ステートより長く設定してください。

表 42.23 に A/D サンプリングステートレジスタと対象チャネルの関係を示します。詳細は「42.3.6. アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

SST[7:0]ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

表 42.23 A/D サンプリングステートレジスタと関連チャネルの関係

ビット名	関連チャネル
ADSSTRn.SST[7:0]ビット（n = 0～8（ユニット 0）、0～5（ユニット 1））(注1)	AN000～AN008, AN100～AN105
ADSSTRT.SST[7:0]ビット	温度センサ出力
ADSSTROSST[7:0]ビット	内部基準電圧
ADSSTRVSST[7:0]ビット	VBATT 1/3 電圧監視出力(注2)

注 1. 自己診断機能を選択した時は、ADSSTR0.SST[7:0]ビットで設定したサンプリング時間が適用されます。
注 2. 安定時間については、「11. バッテリバックアップ機能」を参照してください。

42.2.17 ADSHCR : A/D サンプル＆ホールド回路コントロールレジスタ

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0)

Offset address: 0x066

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SHANS[1:0]		SSTSH[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0

ビット	シンボル	機能	R/W
7:0	SSTSH[7:0]	チャネル専用サンプル＆ホールド回路サンプリング時間設定 サンプリング時間（4～255 ステート）	R/W
9:8	SHANS[1:0]	チャネル専用サンプル＆ホールド回路バイパス選択 AN000、AN001（ユニット 0）のチャネル専用サンプル＆ホールド回路を使用するか、使用せずバイパスするかを選択します。 0: 上記回路をバイパス 1: 上記回路を使用	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

SSTSH[7:0]ビット（チャネル専用サンプル＆ホールド回路サンプリング時間設定）

SSTSH[7:0]ビットは、チャネル専用サンプル＆ホールド回路のサンプリング時間設定をします。1 ステート = 1 ADCLK（A/D 変換クロック）幅で ADCLK クロックが 60 MHz であれば、1 ステート = 16.7 ns になります。初期値は 24 ステートです。本レジスタでは、アナログ入力信号源のインピーダンスが高いためにサンプリング時間が不足する場合や、ADCLK が低速な場合に、サンプリング時間を調整することができます。

SSTSH[7:0]ビットは、ADCSR.ADST ビットが 0 のときのみ設定してください。サンプリング時間の設定値は、4 ステート以上 255 ステート以下の値を設定してください。

SHANS[1:0]ビット（チャネル専用サンプル＆ホールド回路バイパス選択）

SHANS[1:0]ビットは、AN000、AN001（ユニット 0）のチャネル専用サンプル&ホールド回路を使用するか、使用せずバイパスするかを選択します。ユニット 0 では、SHANS[0]ビットが AN000 に、SHANS[1]ビットが AN001 に対応します。

グループスキャンモードのグループ A 優先制御時に、グループ B に AN000、AN001（ユニット 0）のいずれかのチャネルを選択した場合は、この設定で当該チャネルの専用サンプル&ホールド回路をバイパスするようにしてください。

SHANS[1:0]ビットの設定は、ADCSR.ADST ビットと ADSHMSR.SHMD ビットがどちらも 0 であるときのみ行ってください。

42.2.18 ADSHMSR : A/D サンプル&ホールド動作モード選択レジスタ

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0)

Offset address: 0x07C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SHMD
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SHMD	サンプリング動作選択 0: サンプリング動作選択 1: 常時サンプリング機能は有効	R/W

ビット	シンボル	機能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

SHMD ビット（サンプリング動作選択）

SHMD ビットを 1 にすると、ADSHCR.SHANS[1:0]ビットで選択したチャネル専用サンプル＆ホールド回路の常時サンプリング機能が有効になります。SHMD ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

サンプリング機能が有効な場合、サンプル＆ホールド回路は、ADC12 が動作していないときにはサンプリング動作を行い、ADC12 が動作中のときにはホールド動作を行います。

注. SHMD ビットを 1 にしてから 400 ns（許容信号源インピーダンスが 1 kΩ の場合）以上の時間が経過してから、ADCSR.ADST ビットが 1 になるようにしてください。サンプル＆ホールド回路のサンプリング周期は 400 ns（許容信号源インピーダンスが 1 kΩ の場合）以上でなければなりません。

42.2.19 ADDISCR : A/D 断線検出コントロールレジスタ

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x07A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	PCHG	ADNDIS[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	ADNDIS[3:0]	断線検出アシスト設定 0x0: 断線検出アシスト機能無効 0x1: 設定禁止 その他: プリチャージ／ディスチャージ期間のステート数	R/W
4	PCHG	プリチャージ／ディスチャージ選択 0: ディスチャージ 1: プリチャージ	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

ADDISCR レジスタは、A/D 断線検出アシスト機能のプリチャージ／ディスチャージの設定および期間を設定します。ADDISCR レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。温度センサ出力または内部基準電圧を A/D 変換する場合、A/D コンバータは自動的にディスチャージを実行します。

下記の機能のいずれかを使用する場合は断線検出アシスト機能を無効にしてください。

- 温度センサ
- 内部基準電圧
- A/D 自己診断
- VBATT 1/3 電圧監視

ADNDIS[3:0]ビット（断線検出アシスト設定）

ADNDIS[3:0]ビットは、プリチャージ／ディスチャージの期間を指定します。ADNDIS[3:0] = 0000b の場合は、断線検出アシスト機能は無効です。ADNDIS[3:0] = 0001b は設定禁止です。ADNDIS[3:0] = 0000b, 0001b 以外では、設定した値がプリチャージ／ディスチャージ期間のステート数となります。ADNDIS[3:0]ビットが 0000b および 0001b 以外の値の場合、断線検出アシスト機能は有効になります。ADNDIS[4:0]ビットは、ADCSR.ADST ビットが 0 のときに設定してください。ADNDIS[3:0]ビットが 0000b 以外の値のときに断線検出アシスト機能を有効にした場合、アナログ入力に使用するチャネル専用サンプル＆ホールド回路の断線検出アシスト機能も有効になります。温度センサ出力または内部基準電圧を変換する場合や自己診断機能を使用する場合は、断線検出アシスト機能は使用できません。この場合、ADNDIS[3:0]ビットは 0000b にしてください。

PCHG ビット（プリチャージ／ディスチャージ選択）

PCHG ビットはプリチャージまたはディスチャージを選択します。

42.2.20 ADGSPCR : A/D グループスキャン優先コントロールレジスタ

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x080

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	GBRP	LGRRS	—	—	—	—	—	—	—	—	—	—	—	—	GBRSCN	PGS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PGS	グループ優先動作設定(注1) 0: グループ優先制御動作を行わない 1: グループ優先制御動作を行う	R/W
1	GBRSCN	低優先グループ再起動設定 （PGS = 1 の時のみ有効。PGS = 0 の時は無効。） 0: グループ優先動作で中断されたグループの再スキャンをしない 1: グループ優先動作で中断されたグループの再スキャンをする	R/W
13:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	LGRRS	再開チャネル選択 PGS = 1 かつ GBRSCN = 1 の時のみ有効。 0: スキャン先頭チャネルから再スキャンを行う 1: A/D 変換が未終了チャネルから再スキャンを行う	R/W
15	GBRP	シングルスキャン連続起動設定(注2) （PGS = 1 の時のみ有効。PGS = 0 の時は無効。） 0: シングルスキャン連続動作しない 1: 優先度の低いグループのシングルスキャン連続動作をする。	R/W

注. S-TYPE-3、P-TYPE-3
注 1. ADCSR.ADCS[1:0]ビットは、PGS を 1 にする前に 01b（グループスキャンモード）にする必要があります。それ以外の値にした場合、動作は保証されません。
注 2. GBRP ビットを 1 にした場合は、GBRSCN ビットの設定にかかわらず、優先度の低いグループのシングルスキャン連続動作を実行します。

PGS ビット（グループ優先動作設定）

PGS ビットはグループスキャンモードでのグループ優先動作を制御します。グループ優先動作を行うために、PGS ビットを 1 にしてください。

ADCSR.ADCS[1:0]ビットは、PGS ビットを 1 にする前に 01b（グループスキャンモード）にする必要があります。それ以外の値にした場合、動作は保証されません。

PGS ビットを 0 にした場合は、「42.6.3. A/D 変換停止に関する制約」に従い、ソフトウェアでのクリアを行ってください。PGS ビットを 1 にした場合は、「42.3.4.3. グループ優先動作」の手順に従い設定を行ってください。

GBRSCN ビット（低優先グループ再起動設定）

GBRSCN ビットは、グループ優先動作時の再スキャン動作を制御します。

GBRSCN ビットを 1 にすると、優先グループのトリガ入力により低優先グループのスキャン動作が中断した後、優先グループのスキャン終了を待ってから、低優先グループのスキャンを再実行します。また、優先グループのスキャン中に低優先グループのトリガ入力があった場合、優先グループのスキャン終了を待って、低優先グループのスキャンを実行します。

GBRSCN ビットを 0 にした場合は、スキャン中に入力されたトリガは無視されます。GBRSCN ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

LGRRS ビット（再開チャネル選択）

グループ優先動作時の、再スキャン開始チャネルを設定します。LGRRS ビットの設定は、PGS ビットと GBRSCN ビットが 1 のときに有効となります。

LGRRS ビットが 0 の時、グループ優先動作によりスキャンを中断した低優先グループは、優先グループのスキャン終了後のスキャンを先頭チャネルから再実行します。

LGRRS ビットが 1 の時、グループ優先動作によりスキャンを中断した低優先グループは、優先グループのスキャン終了後に A/D 変換未終了のチャネルからスキャンを再実行します。中断時に加算設定チャネルの A/D 変換が設定回数分終了していなければ、再実行時、加算設定チャネルは再度 A/D 変換を設定回数分実行します。

LGRRS ビットの設定は、ADCSR.ADST ビットが 0 のときに行ってください。

GBRP ビット（シングルスキャン連続起動設定）

GBRP ビットは、グループ優先動作設定で優先度の低いグループをシングルスキャンで連続動作させる場合に設定します。

GBRP ビットを 1 にすると、優先度の低いグループのシングルスキャンが起動します。スキャン完了後、優先度の低いグループのシングルスキャンを自動的に開始します。グループ優先動作でスキャンが中断した後は、優先グループの A/D 変換動作完了後、優先度の低いグループのシングルスキャンを自動的に再開します。

GBRP ビットを 1 にする場合は、事前に優先度の低いグループのトリガ入力を無効にしてください。GBRP ビットを 1 に設定した場合、GBRSCN ビットが 0 でも、優先度の低いグループのみ再スキャンを行います。

42.2.21 ADCMPCR : A/D コンペア機能コントロールレジスタ

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x090

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPAIE	WCMPE	CMPBIE	—	CMPAE	—	CMPBE	—	—	—	—	—	—	—	CMPAB[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CMPAB[1:0]	ウィンドウ A/B 複合条件設定 これらのビットは、ウィンドウ A およびウィンドウ B がどちらも有効（CMPAE = 1 および CMPBE = 1）な場合に有効となります。 0 0: ウィンドウ A 比較条件に一致 OR ウィンドウ B 比較条件に一致の場合、ADC12i_WCMPM (i = 0, 1) を出力。その他の場合は ADC12i_WCMPUM (i = 0, 1) を出力。 0 1: ウィンドウ A 比較条件に一致 EXOR ウィンドウ B 比較条件に一致の場合、ADC12i_WCMPM (i = 0, 1) を出力。その他の場合は ADC12i_WCMPUM (i = 0, 1) を出力。 1 0: ウィンドウ A 比較条件に一致 AND ウィンドウ B 比較条件に一致の場合、ADC12i_WCMPM (i = 0, 1) を出力。その他の場合は ADC12i_WCMPUM (i = 0, 1) を出力。 1 1: 設定禁止	R/W
8:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	CMPBE	コンペアウィンドウ B 動作許可 0: コンペアウィンドウ B 動作禁止 ADC12i_WCMPM (i = 0, 1) および ADC12i_WCMPUM (i = 0, 1) 出力を禁止。 1: コンペアウィンドウ B 動作許可	R/W
10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	CMPAE	コンペアウィンドウ A 動作許可 0: コンペアウィンドウ A 動作禁止 ADC12i_WCMPM (i = 0, 1) および ADC12i_WCMPUM (i = 0, 1) 出力を禁止。 1: コンペアウィンドウ A 動作許可	R/W
12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
13	CMPBIE	コンペア B 割り込み許可 0: 比較条件（ウィンドウ B）一致による ADC12i_CMPBI (i = 0, 1) 割り込み禁止 1: 比較条件（ウィンドウ B）一致による ADC12i_CMPBI (i = 0, 1) 割り込み許可	R/W
14	WCMPE	ウィンドウ機能設定 0: ウィンドウ機能無効 ウィンドウ A および B はコンパレータとして動作し、下位の 1 つの値を A/D 変換結果と比較します。 1: ウィンドウ機能有効 ウィンドウ A および B はコンパレータとして動作し、上位および下位の 2 つの値を A/D 変換結果と比較します。	R/W
15	CMPAIE	コンペア A 割り込み許可 0: 比較条件（ウィンドウ A）一致による ADC12i_CMPAI (i = 0, 1) 割り込み禁止 1: 比較条件（ウィンドウ A）一致による ADC12i_CMPAI (i = 0, 1) 割り込み許可	R/W

注. S-TYPE-3, P-TYPE-3

CMPAB[1:0]ビット（ウィンドウ A/B 複合条件設定）

CMPAB[1:0]ビットはシングルスキャンモードでウィンドウ A およびウィンドウ B がどちらも有効（CMPAE = 1 および CMPBE = 1）な場合に有効となります。CMPAB[1:0]ビットにより、ADWINMON.MONCOMB のコンペア機能一致／不一致イベント出力条件および監視条件を指定します。CMPAB[1:0]ビットは、ADCSR.ADST ビットが 0 のときのみ設定してください。

CMPBE ビット（コンペアウィンドウ B 動作許可）

CMPBE ビットはコンペアウィンドウ B の動作を許可／禁止します。CMPBE ビットは、ADSCR.ADST ビットが 0 のときに設定してください。

このビットは、以下のレジスタを設定する前に 0 にしてください。

- A/D チャネル選択レジスタ A0、B0 (ADANSA0, ADANSB0)
- A/D 変換拡張入力コントロールレジスタ (ADEXICR) の OCSB、TSSB、OCSA、または TSSA ビット
- ウィンドウ B チャネル選択レジスタ (ADCMPBNSR) の CMPCHB[5:0]ビット

CMPAE ビット（コンペアウィンドウ A 動作許可）

CMPAE ビットはコンペアウィンドウ A の動作を許可／禁止します。CMPAE ビットは、ADSCR.ADST ビットが 0 のときに設定してください。

このビットは、以下のレジスタを設定する前に 0 にしてください。

- A/D チャネル選択レジスタ A0、B0 (ADANSA0, ADANSB0)
- A/D 変換拡張入力コントロールレジスタ (ADEXICR) の OCSB、TSSB、OCSA、または TSSA ビット
- ウィンドウ A チャネル選択レジスタ 0 (ADCMPANSR0)
- ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)

CMPBIE ビット（コンペア B 割り込み許可）

CMPBIE ビットは比較条件（ウィンドウ B）の一致による ADC12i_CMPBI (i = 0, 1) 割り込み出力を許可または禁止します。

WCMPE ビット（ウィンドウ機能設定）

WCMPE ビットは、ウィンドウ機能の有効／無効を選択します。WCMPE ビットは、ADSCR.ADST ビットが 0 のときに設定してください。

CMPAIE ビット（コンペア A 割り込み許可）

CMPAIE ビットは比較条件（ウィンドウ A）の一致による ADC12i_CMPAI (i = 0, 1) 割り込み出力を許可または禁止します。

42.2.22 ADCMPANSR0 : A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x094

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPCHA15	CMPCHA14	CMPCHA13	CMPCHA12	CMPCHA11	CMPCHA10	CMPCHA09	CMPCHA08	CMPCHA07	CMPCHA06	CMPCHA05	CMPCHA04	CMPCHA03	CMPCHA02	CMPCHA01	CMPCHA00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CMPCHA15～CMPCHA00(注1)	コンペアウィンドウ A チャネル選択 ビット 15 (CMPCHA15) は ANm15 に対応し、ビット 0 (CMPCHA00) は ANm00 に対応します。 0: 関連する入力チャネルに対するコンペア機能を禁止 1: 関連する入力チャネルに対するコンペア機能を許可	R/W

注. S-TYPE-3, P-TYPE-3
注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。 書く場合、0 としてください。
注 1. 00～08（ユニット 0）、00～05（ユニット 1）が使用可能です。

CMPCHAn ビット（コンペアウィンドウ A チャネル選択）

ADANSA0.ANSAn ビットおよび ADANSB0.ANSBn ビットで選択した A/D 変換チャネルと同一番号の CMPCHAn ビットを 1 にすると、コンペア機能が有効になります。

CMPCHAn ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

42.2.23 ADCMPANSER : A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x092

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CMPOCA	CMPTSA
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CMPTSA	温度センサ出力コンペア選択 0: 温度センサ出力をコンペアウィンドウ A 対象から外す 1: 温度センサ出力をコンペアウィンドウ A 対象とする	R/W
1	CMPOCA	内部基準電圧コンペア選択 0: 内部基準電圧をコンペアウィンドウ A 対象から外す 1: 内部基準電圧をコンペアウィンドウ A 対象とする	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CMPTSA ビット（温度センサ出力コンペア選択）

ADEXICR.TSSA ビットまたは ADEXICR.TSSB ビットが 1 の場合、CMPTSA ビットを 1 に設定することにより、コンペア機能ウィンドウ A が有効になります。CMPTSA ビットは、ADSCR.ADST ビットが 0 のときに設定してください。

CMPOCA ビット（内部基準電圧コンペア選択）

ADEXICR.OCSA および ADEXICR.OCSB ビットが 1 の場合、CMPOCA ビットを 1 に設定することにより、コンペア機能ウィンドウ A が有効になります。CMPOCA ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

42.2.24 ADCMPLR0 : A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x098

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPLCHA15	CMPLCHA14	CMPLCHA13	CMPLCHA12	CMPLCHA11	CMPLCHA10	CMPLCHA09	CMPLCHA08	CMPLCHA07	CMPLCHA06	CMPLCHA05	CMPLCHA04	CMPLCHA03	CMPLCHA02	CMPLCHA01	CMPLCHA00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CMPLCHA15～CMPLCHA00(注1)	コンペアウィンドウ A 比較条件選択 ウィンドウ A 比較条件を適用するチャネルの比較条件を設定します。 ビット 15 (CMPLCHA15) は ANm15 に対応し、ビット 0 (CMPLCHA00) は ANm00 に対応します。 比較条件を図 42.4 に示します。 0: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0) ADCMPDR0 値 > A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1) A/D 変換値 < ADCMPDR0 値、 または ADCMPDR1 値 < A/D 変換値 1: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0) ADCMPDR0 値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1) ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値	R/W

注. S-TYPE-3, P-TYPE-3
注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。 書く場合、0 としてください。
注 1. 00～08（ユニット 0）、00～05（ユニット 1）が使用可能です。

CMPLCHAn ビット（コンペアウィンドウ A 比較条件選択）

CMPLCHAn ビットは、ウィンドウ A 比較条件を適用するチャネルの比較条件を設定します。このビットはコンペア対象のアナログ入力ごとに設定可能です。各アナログ入力の比較結果が設定条件と一致すると、ADCMPSR0.CMPSTCHAn フラグは 1 になり、コンペア割り込み (ADC12i_CMPAI (i = 0, 1)) が発生します。

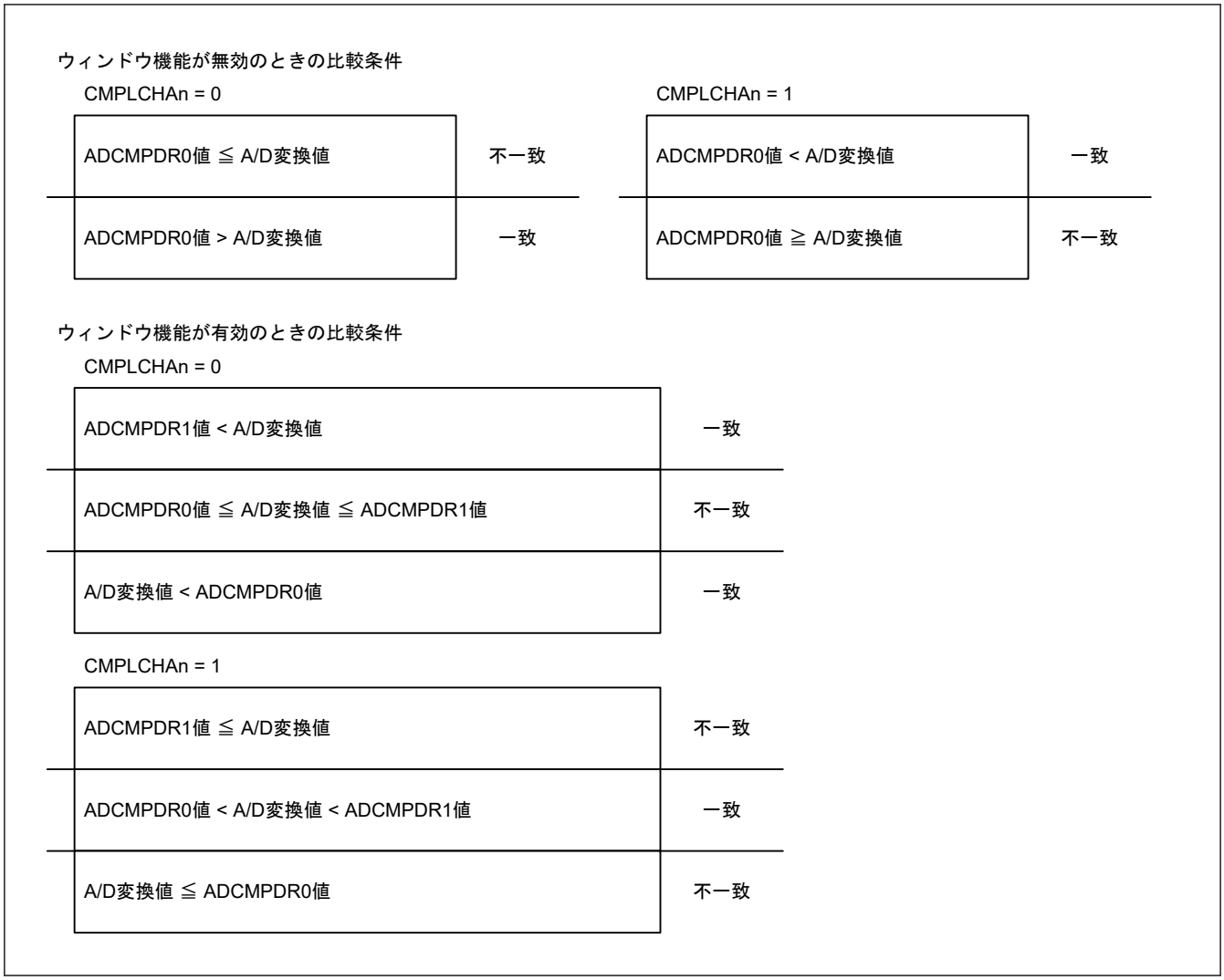


図 42.4　コンペア機能ウィンドウ A 比較条件の説明

42.2.25　ADCMPLER : A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x093

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CMPLOCA	CMPLTSA
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CMPLTSA	コンペアウィンドウ A 温度センサ出力比較条件選択 比較条件を図 42.4 に示します。 0: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADCMPDR0 値 > A/D 変換値　コンペアウィンドウ A 温度センサ出力比較条件選択 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): コンペアウィンドウ A 温度センサ出力比較条件　A/D 変換値 < ADCMPDR0 値、 または A/D 変換値 > ADCMPDR1 値 1: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADCMPDR0 値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値	R/W
1	CMPLOCA	コンペアウィンドウ A 内部基準電圧比較条件選択 比較条件を図 42.4 に示します。 0: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADCMPDR0 値 > A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): A/D 変換値 < ADCMPDR0 値、 または A/D 変換値 > ADCMPDR1 値 1: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADCMPDR0 値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　S-TYPE-3, P-TYPE-3

CMPLTSA ビット（コンペアウィンドウ A 温度センサ出力比較条件選択）

CMPLTSA ビットは、温度センサ出力がウィンドウ A 比較条件の対象である場合の比較条件を指定します。温度センサ出力の比較結果が設定条件と一致すると、ADCMPSER.CMPSTTSA フラグは 1 になり、コンペア割り込み (ADC12i_CMPAI (i = 0, 1)) が発生します。

CMPLOCA ビット（コンペアウィンドウ A 内部基準電圧比較条件選択）

CMPLOCA ビットは、内部基準電圧がウィンドウ A 比較条件の対象である場合の比較条件を指定します。内部基準電圧の比較結果が設定条件と一致すると、ADCMPSER.CMPSTOCA フラグは 1 になり、コンペア割り込み (ADC12i_CMPAI (i = 0, 1)) が発生します。

42.2.26　ADCMPDRn : A/D コンペア機能ウィンドウ A 下側／上側レベル設定レジスタ (n = 0, 1)

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x09C + (0x2 × n)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注.　S-TYPE-3, P-TYPE-3

ADCMPDRy (y = 0, 1) レジスタは、コンペアウィンドウ A 機能使用時、基準となるデータを指定するレジスタです。ADCMPDR0 はウィンドウ A の下側基準を設定し、ADCMPDR1 は上側基準を設定します。

ADCMPDRy は読み出し／書き込みレジスタです。

ADCMPDRy の書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、基準データを動的に変更することができます(注1)。

これらのレジスタを設定するときは、上側基準が下側基準を下回らないようにしてください (ADCMPDR1 ≧ ADCMPDR0)。ADCMPDR1 は、ウィンドウ機能無効時は使用しません。

注 1. 下側基準および上側基準は、それぞれのレジスタが書き込まれる時に変更されます。たとえば上側基準値が変更され、下側基準値が変更中の場合、本 MCU は上側基準値（変更後）と下側基準値（変更前）を A/D 変換結果と比較します。図 42.5 を参照してください。2 つの基準値の書き換え時に比較エラーとなった場合、ADCSR.ADST および関連するコンペアウィンドウ動作許可ビット（ADCMPCR.CMPAE または ADCMPCR.CMPBE）がどちらも 0 のときに、それらの基準値を書き換えてください。

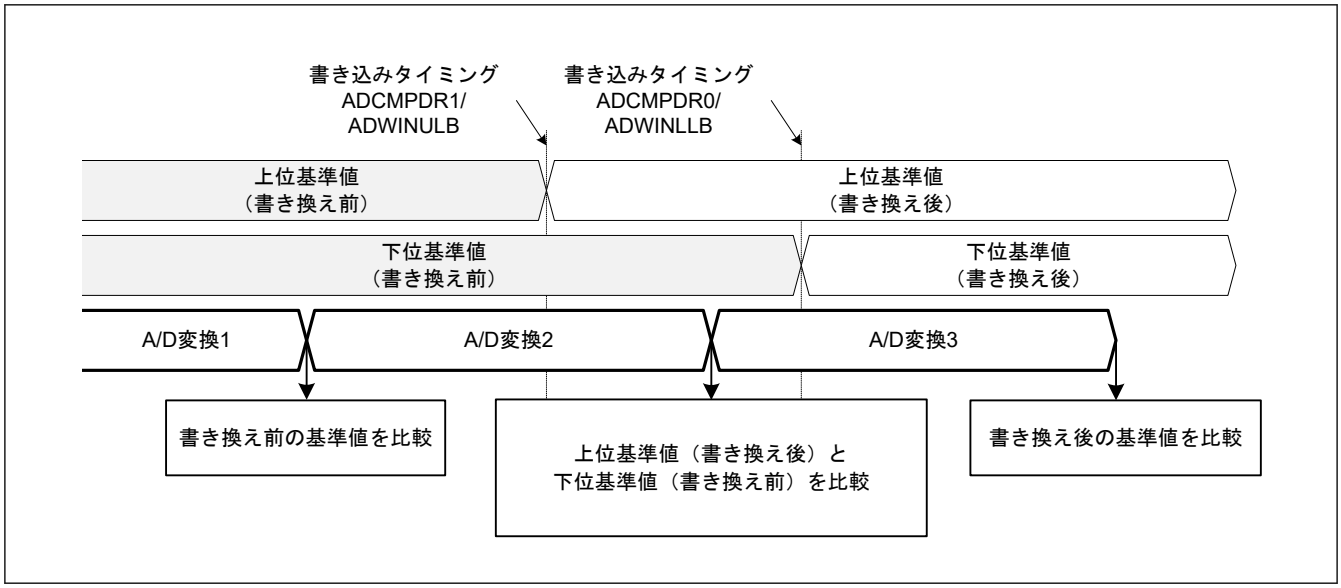


図 42.5 書き換え前後の上側基準値と下側基準値の比較

ADCMPDRy レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値（右詰めまたは左詰め）
- A/D 変換精度選択ビットの値（12 ビット、10 ビット、8 ビット）
- A/D 変換値加算／平均チャネル選択ビットの設定値（A/D 変換値加算モード選択、または非選択）

以下、条件ごとのフォーマットを示します。

1. A/D 変換値加算モードを非選択とした場合
   - 右詰めのフォーマット、12 ビット精度の場合：下位 12 ビット ([11:0]) が有効
   - 右詰めのフォーマット、10 ビット精度の場合：下位 10 ビット ([9:0]) が有効
   - 右詰めのフォーマット、8 ビット精度の場合：下位 8 ビット ([7:0]) が有効
   - 左詰めのフォーマット、12 ビット精度の場合：上位 12 ビット ([15:4]) が有効
   - 左詰めのフォーマット、10 ビット精度の場合：上位 10 ビット ([15:6]) が有効
   - 左詰めのフォーマット、8 ビット精度の場合：上位 8 ビット ([15:8]) が有効
2. A/D 変換値加算モードを選択した場合
   - 右詰めのフォーマット、12 ビット精度の場合：下位 14 ビット ([13:0]) が有効
   - 右詰めのフォーマット、10 ビット精度の場合：下位 12 ビット ([11:0]) が有効
   - 右詰めのフォーマット、8 ビット精度の場合：下位 10 ビット ([9:0]) が有効
   - 左詰めのフォーマット、12 ビット精度の場合：上位 14 ビット ([15:2]) が有効
   - 左詰めのフォーマット、10 ビット精度の場合：上位 12 ビット ([15:4]) が有効
   - 左詰めのフォーマット、8 ビット精度の場合：上位 10 ビット ([15:6]) が有効

42.2.27 ADWINnLB : A/D コンペア機能ウィンドウ B 下側／上側レベル設定レジスタ (n = L, U)

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x0A8 (n = L)
0x0AA (n = U)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注. S-TYPE-3, P-TYPE-3

ADWINULB および ADWINLLB レジスタは、コンペアウィンドウ B 機能使用時、基準となるデータを指定します。ADWINLLB はウィンドウ B の下側基準を設定し、ADWINULB は上側基準を設定します。

ADWINnLB は読み出し／書き込みレジスタです。

ADWINnLB の書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、基準データを動的に変更することができます(注1)。

これらのレジスタを設定するときは、上側基準が下側基準を下回らないようにしてください (ADWINULB ≧ ADWINLLB)。ADWINULB は、ウィンドウ機能無効時は使用しません。

注 1. 下側基準および上側基準は、それぞれのレジスタが書き込まれる時に変更されます。たとえば上側基準値が変更され、下側基準値が変更中の場合、本 MCU は上側基準値（変更後）と下側基準値（変更前）を A/D 変換結果と比較します。図 42.6 を参照してください。2 つの基準値の書き換え時に比較エラーとなった場合、ADCSR.ADST および関連するコンペアウィンドウ動作許可ビット（ADCMPCR.CMPAE または ADCMPCR.CMPBE）がどちらも 0 のときに、それらの基準値を書き換えてください。

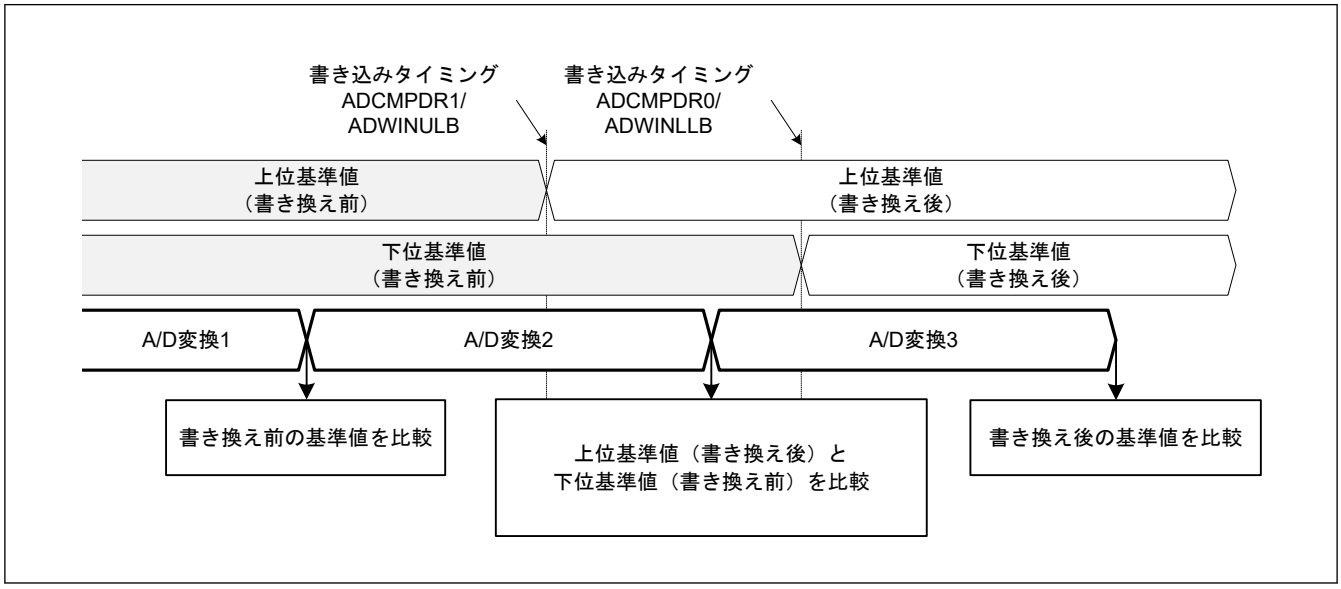


図 42.6 書き換え前後の上側基準値と下側基準値の比較

ADWINnLB レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値（右詰めまたは左詰め）
- A/D 変換精度選択ビットの値（12 ビット、10 ビット、8 ビット）
- A/D 変換値加算／平均チャネル選択ビットの設定値（A/D 変換値加算モード選択、または非選択）

以下、条件ごとのフォーマットを示します。

1. A/D 変換値加算モードを非選択とした場合

- 右詰めのフォーマット、12 ビット精度の場合：下位 12 ビット ([11:0]) が有効
- 右詰めのフォーマット、10 ビット精度の場合：下位 10 ビット ([9:0]) が有効
- 右詰めのフォーマット、8 ビット精度の場合：下位 8 ビット ([7:0]) が有効
- 左詰めのフォーマット、12 ビット精度の場合：上位 12 ビット ([15:4]) が有効
- 左詰めのフォーマット、10 ビット精度の場合：上位 10 ビット ([15:6]) が有効
- 左詰めのフォーマット、8 ビット精度の場合：上位 8 ビット ([15:8]) が有効

2. A/D 変換値加算モードを選択した場合
   - 右詰めのフォーマット、12 ビット精度の場合：下位 14 ビット ([13:0]) が有効
   - 右詰めのフォーマット、10 ビット精度の場合：下位 12 ビット ([11:0]) が有効
   - 右詰めのフォーマット、8 ビット精度の場合：下位 10 ビット ([9:0]) が有効
   - 左詰めのフォーマット、12 ビット精度の場合：上位 14 ビット ([15:2]) が有効
   - 左詰めのフォーマット、10 ビット精度の場合：上位 12 ビット ([15:4]) が有効
   - 左詰めのフォーマット、8 ビット精度の場合：上位 10 ビット ([15:6]) が有効

42.2.28 ADCMPSR0 : A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x0A0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPSTCHA15	CMPSTCHA14	CMPSTCHA13	CMPSTCHA12	CMPSTCHA11	CMPSTCHA10	CMPSTCHA09	CMPSTCHA08	CMPSTCHA07	CMPSTCHA06	CMPSTCHA05	CMPSTCHA04	CMPSTCHA03	CMPSTCHA02	CMPSTCHA01	CMPSTCHA00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CMPSTCHA15～CMPSTCHA00(注1)	コンペアウィンドウ A フラグ ウィンドウ A 動作が有効 (ADCMPCR.CMPAE = 1b) な場合、ウィンドウ A 比較条件を適用するチャネルの比較結果を示します。 ビット 15 (CMPSTCHA15) は ANm15 に対応し、ビット 0 (CMPSTCHA00) は ANm00 に対応します。 0: 比較条件不成立 1: 比較条件成立	R/W

注. S-TYPE-3, P-TYPE-3
注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。 書く場合、0 としてください。
注 1. 00～08（ユニット 0）、00～05（ユニット 1）が使用可能です。

CMPSTCHAn フラグ（コンペアウィンドウ A フラグ）

CMPSTCHAn フラグはウィンドウ A 比較条件を適用したチャネルの比較結果を示します。
ADCMPLR0.CMPLCHA ビットで設定した比較条件が A/D 変換終了時に成立すると、対応する CMPSTCHAn フラグが 1 になります。ADCMPCR.CMPAIE ビットが 1 の場合、このフラグが 1 になるとコンペア割り込み要求 (ADC12i_CMPAI (i = 0, 1)) が発生します。

CMPSTCHAn フラグへの 1 書き込みは無効です。

[1 になる条件]

- ADCMPCR.CMPAE が 1 のときに、ADCMPLR0.CMPLCHA で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

42.2.29 ADCMPSER : A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x0A4

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CMPSTOCA	CMPSTTSA
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CMPSTTSA	コンペアウィンドウ A 温度センサ出力コンペアフラグ ウィンドウ A 動作が有効 (ADCMPCR.CMPAE = 1) な場合、温度センサ出力の比較結果を示します。 0: 比較条件不成立 1: 比較条件成立	R/W
1	CMPSTOCA	コンペアウィンドウ A 内部基準電圧コンペアフラグ ウィンドウ A 動作が有効 (ADCMPCR.CMPAE = 1) な場合、内部基準電圧の比較結果を示します。 0: 比較条件不成立 1: 比較条件成立	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

ADCMPSER レジスタは、コンペア機能ウィンドウ A の比較結果を格納するレジスタです。

CMPSTTSA フラグ（コンペアウィンドウ A 温度センサ出力コンペアフラグ）

CMPSTTSA フラグは、温度センサ出力の比較結果を示します。ADCMPLER.CMPLTSA で設定した比較条件が A/D 変換終了時に成立すると 1 になります。ADCMPCR.CMPAIE ビットが 1 の場合、このフラグが 1 になるとコンペア割り込み要求 (ADC12i_CMPAI (i = 0, 1)) が発生します。

CMPSTTSA フラグへの 1 書き込みは無効です。

[1 になる条件]

- ADCMPCR.CMPAE が 1 のときに、ADCMPLER.CMPLTSA で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

CMPSTOCA フラグ（コンペアウィンドウ A 内部基準電圧コンペアフラグ）

CMPSTOCA は、内部基準電圧の比較結果を示します。ADCMPLER.CMPLOCA で設定した比較条件が A/D 変換終了時に成立すると 1 になります。ADCMPCR.CMPAIE ビットが 1 の場合、このフラグが 1 になるとコンペア割り込み要求 (ADC12i_CMPAI (i = 0, 1)) が発生します。

CMPSTOCA フラグへの 1 書き込みは無効です。

[1 になる条件]

- ADCMPCR.CMPAE が 1 のときに、ADCMPLER.CMPLOCA で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

42.2.30 ADCMPBNSR : A/D コンペア機能ウィンドウ B チャネル選択レジスタ

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x0A6

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CMPLB	—	CMPCHB[5:0]					
Value after reset:	0	0	0	0	0	0	0	0

ビット	記号	機能	R/W
5:0	CMPCHB[5:0]	コンペアウィンドウ B チャネル選択 コンペアウィンドウ B 条件と比較するチャネルを選択します。	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	CMPLB	コンペアウィンドウ B 比較条件設定 ウィンドウ B のチャネル比較条件を設定します。比較条件を図 42.7 に示します。 0: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADWINLLB 値 > A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): A/D 変換値 < ADWINLLB 値または ADWINULB 値 < A/D 変換値 1: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADWINLLB 値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): ADWINLLB 値 < A/D 変換値 < ADWINULB 値	R/W

CMPCHB[5:0]	ユニット 0	ユニット 1
0x00	AN000	AN100
0x01	AN001	AN101
0x02	AN002	AN102
0x03	AN003/VBATT 1/3 電圧監視出力	AN103/VBATT 1/3 電圧監視出力
0x04	AN004	AN104
0x05	AN005	AN105
0x06	AN006	非選択
0x07	AN007	非選択
0x08	AN008	非選択
0x09	非選択	非選択
⋮	⋮	⋮
0x20	温度センサ	
0x21	内部基準電圧	
0x3F	非選択	
その他	設定禁止	

注. S-TYPE-3, P-TYPE-3

CMPCHB[5:0]ビット（コンペアウィンドウ B チャネル選択）

CMPCHB[5:0]ビットはコンペアウィンドウ B 条件と比較するチャネルを選択します。AN000～AN002、AN004～AN008、AN100～AN102、AN104、AN105、温度センサ、内部基準電圧、VBATT 1/3 電圧監視出力を選択できます。コンペアウィンドウ B 機能は、ADANSA0 および ADANSB0 レジスタで選択した A/D 変換チャネルを 16 進数で指定することで有効になります。

CMPCHB[5:0]ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

CMPLB ビット（コンペアウィンドウ B 比較条件設定）

CMPLB ビットはウィンドウ B のチャネル比較条件を指定します。各アナログ入力の比較結果が設定条件と一致すると、対応する ADCMPBSR.CMPSTB フラグは 1 になり、コンペア割り込み要求 (ADC12i_CMPBI (i = 0, 1)) が発生します。

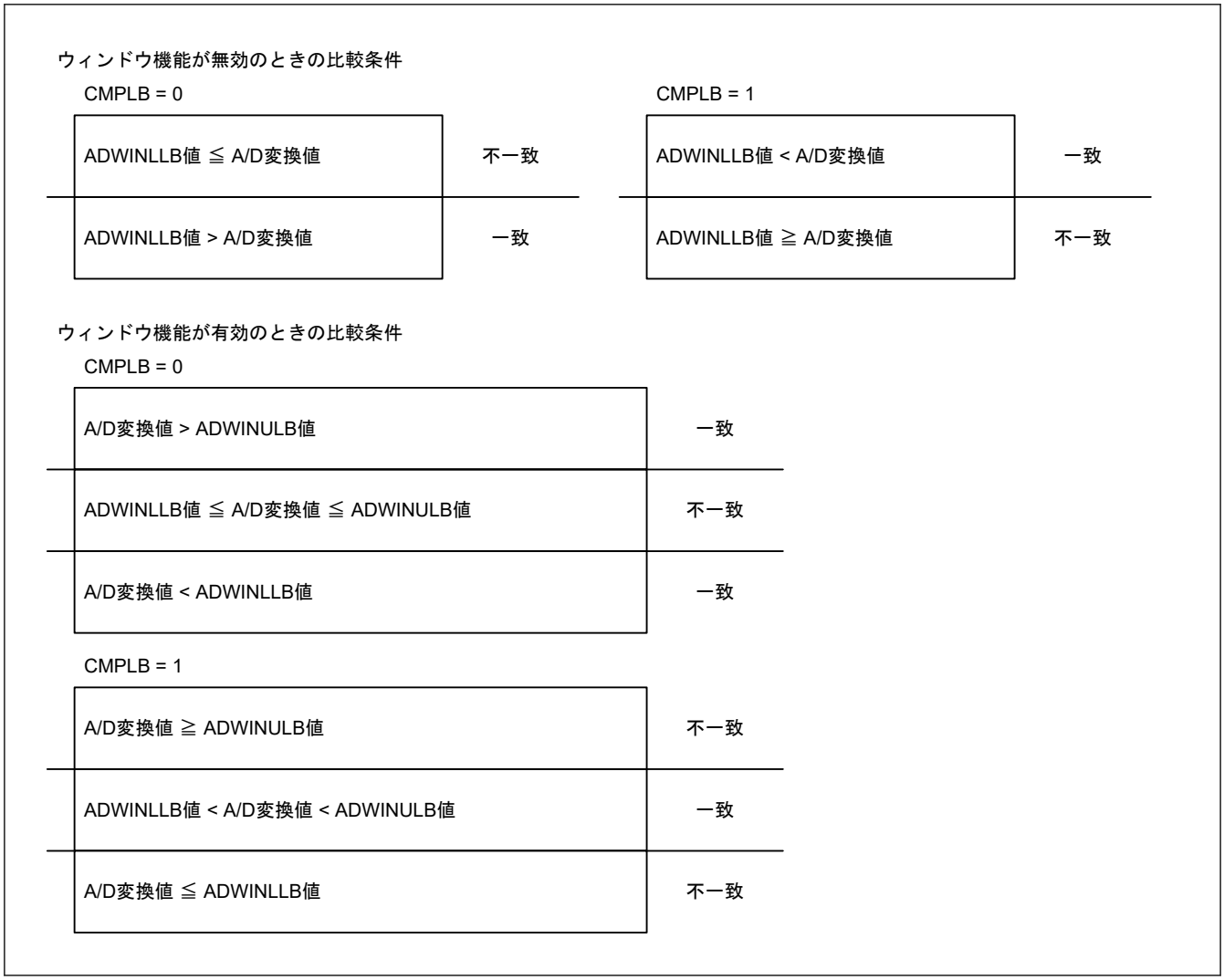


図 42.7　コンペア機能ウィンドウ B 比較条件の説明

42.2.31　ADCMPBSR : A/D コンペア機能ウィンドウ B ステータスレジスタ

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x0AC

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CMPSTB
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CMPSTB	コンペアウィンドウ B フラグ ウィンドウ B の動作が有効 (ADCMPCR.CMPBE = 1) の場合、このビットはウィンドウ B 比較条件を適用するチャネル、温度センサ出力、内部基準電圧の比較結果を示します。 0: 比較条件不成立 1: 比較条件成立	R/W

ビット	シンボル	機能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

CMPSTB フラグ（コンペアウィンドウ B フラグ）

CMPSTB フラグはウィンドウ B 比較条件を適用するチャネル、温度センサ出力、内部基準電圧の比較結果を示します。ADCMPBNSR.CMPLB で設定した比較条件が A/D 変換終了時に成立すると 1 になります。ADCMPCR.CMPBIE ビットが 1 の場合、このフラグが 1 になるとコンペア割り込み要求 (ADC12i_CMPBI (i = 0, 1)) が発生します。

CMPSTB フラグへの 1 書き込みは無効です。

[1 になる条件]

- ADCMPCR.CMPBE が 1 のときに、ADCMPBNSR.CMPLB で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

42.2.32 ADWINMON : A/D コンペア機能ウィンドウ A/B ステータスモニタレジスタ

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x08C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	MONCMPB	MONCMPA	—	—	—	MONCOMB
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MONCOMB	組み合わせ結果モニタ 組み合わせ結果を示します。本ビットは、ウィンドウ A とウィンドウ B の動作がどちらも有効な場合に有効となります。 0: ウィンドウ A／ウィンドウ B の複合条件が不成立 1: ウィンドウ A／ウィンドウ B の複合条件が成立	R
3:1	—	読むと 0 が読めます。	R
4	MONCMPA	比較結果モニタ A 0: ウィンドウ A 比較条件が不成立 1: ウィンドウ A 比較条件が成立	R
5	MONCMPB	比較結果モニタ B 0: ウィンドウ B 比較条件が不成立 1: ウィンドウ B 比較条件が成立	R
7:6	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-3

MONCOMB ビット（組み合わせ結果モニタ）

MONCOMB ビットは、は、ADCMPCR.CMPAB[1:0]ビットで設定した複合条件に従って比較条件結果 A および B の組み合わせの結果を示す読み出し専用ビットです。

[1 になる条件]

- ADCMPCR.CMPAE が 1 かつ ADCMPCR.CMPBE が 1 のとき、組み合わせ結果が ADCMPCR.CMPAB[1:0]ビットで設定した複合条件と一致したとき

[0 になる条件]

- 組み合わせ結果が ADCMPCR.CMPAB[1:0]ビットで設定した複合条件と一致しないとき
- ADCMPCR.CMPAE が 0 または ADCMPCR.CMPBE が 0 のとき

MONCMPA ビット（比較結果モニタ A）

読み出し専用の MONCMPA ビットは、ウィンドウ A の対象チャネルの A/D 変換値が ADCMPLR0 および ADCMPLER で設定した条件と一致すると 1 が読み出されます。それ以外の場合は読むと 0 が読み出されます。

[1 になる条件]

- ADCMPCR.CMPAE が 1 のときに、A/D 変換値が ADCMPLR0 および ADCMPLER レジスタで設定した条件と一致するとき

[0 になる条件]

- ADCMPCR.CMPAE が 1 のときに、A/D 変換値が ADCMPLR0 および ADCMPLER レジスタで設定した条件と一致しないとき
- ADCMPCR.CMPAE が 0 のとき（ADCMPCR.CMPAE の値が 1 から 0 に変化すると自動的に 0 になる）

MONCMPB ビット（比較結果モニタ B）

MONCMPB ビットは、ウィンドウ B の対象チャネルの A/D 変換値が ADCMPBNSR.CMPLB ビットで設定した条件と一致すると 1 が読み出される読み出し専用ビットです。それ以外の場合は読むと 0 が読み出されます。

[1 になる条件]

- ADCMPCR.CMPBE が 1 のときに、A/D 変換値が ADCMPBNSR.CMPLB で設定した条件と一致するとき

[0 になる条件]

- ADCMPCR.CMPBE が 1 のときに、A/D 変換値が ADCMPBNSR.CMPLB で設定した条件と一致しないとき
- ADCMPCR.CMPBE = 0 のとき（ADCMPCR.CMPBE = 1→0 に変化すると自動的に 0 になる）

42.2.33 ADBUFEN : A/D データバッファイネーブルレジスタ

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x0D0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	BUFEN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BUFEN	データバッファ許可 0: データバッファ不使用 1: データバッファ使用	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

ADBUFEN レジスタは、データバッファを有効にするかどうかを設定します。

BUFEN ビット（データバッファ許可）

本ビットはデータバッファの使用を許可します。

BUFEN = 1b のとき、自己診断結果以外の A/D 変換結果（加算結果）を ADBUFn に格納します。

ADBUFPTR を読み出す前に、データ格納動作を無効 (BUFEN = 0b) にしてください。

データの二重化またはグループスキャンにはデータバッファは使用しないでください。

42.2.34 ADBUFPTR : A/D データバッファポインタレジスタ

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x0D2

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	PTROVF	BUFPTR[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	BUFPTR[3:0]	データバッファポインタ 次の A/D 変換データの転送先データバッファ番号を示します。	R/W
4	PTROVF	ポインタオーバーフローフラグ 0: データバッファポインタのオーバーフローが発生していない 1: データバッファポインタのオーバーフローが発生した	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

ADBUFPTR は、データバッファポインタとオーバーフローステータスを示すレジスタです。

BUFPTR[3:0]ビット（データバッファポインタ）

次の A/D 変換データの転送先データバッファ番号を示します。

データがデータバッファ 15 に転送された場合、ポインタ値は 0000b になり、PTROVF ビットは 1 になります。

次のデータが転送されると、データバッファ 0 のデータが上書きされます。

このレジスタに 0x00 を書き込むと、ビット値が 0 になります。0x00 以外の値を書き込むことはできません。

PTROVF ビット（ポインタオーバーフローフラグ）

データバッファポインタのオーバーフローが発生したかどうかを示すビットです。ポインタ値が 0000b（オーバーフロー）になるとき、このビットが 1 になります。

このレジスタに 0x00 を書き込むことにより、このビットをクリアできます。0x00 以外の値を書き込むことはできません。

42.2.35 ADBUFn : A/D データバッファレジスタ n (n = 0～15)

Base address: ADC12m = 0x4033_2000 + 0x0200 × m (m = 0, 1)
ADC12m_NS = 0x5033_2000 + 0x0200 × m (m = 0, 1)

Offset address: 0x0B0 + 0x2 × n (n = 0～15)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADBUF[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ADBUF[15:0]	変換値 15～0 機能は選択したモードと精度に依存して変わります。表 42.24 と表 42.25 を参照してください。	R

注. S-TYPE-3, P-TYPE-3

ADBUFn レジスタはすべての A/D 変換結果を順次格納する 16 ビット読み出し専用レジスタです。これらのレジスタには、自動クリア機能は適用されません。

ADBUFn の設定は A/D データレジスタフォーマットの設定と同一です。

ADBUFn レジスタのデータフォーマットは、以下の条件により決定されます。

- レジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 （左詰めまたは右詰め）
- 加算／平均回数選択ビット (ADADC.ADC[2:0]) の設定値（1、2、3、4、または 16 回）
- 平均モード有効ビット (ADADC.AVEE) の設定値（加算または平均）

本節では異なるモードでのこれらの条件に対するデータフォーマットを説明します。

(1) A/D 変換値加算／平均モードを非選択とした場合

表 42.24 に各精度のビット配置を示します。

表 42.24 各精度のビット配置

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	読むと 0 が読めます。				変換値 11～0： 12 ビット A/D 変換値											
12 ビット精度の左詰めデータ	変換値 11～0： 12 ビット A/D 変換値												読むと 0 が読めます。			

(2) A/D 変換値平均モードを選択した場合

A/D 変換値平均モードは、A/D 変換値加算モードで 2 回または 4 回が指定された場合に選択可能です。A/D 変換値平均モードを選択した場合、本レジスタ本レジスタは特定チャネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

(3) A/D 変換値加算モードを選択した場合

12 ビット、10 ビット、8 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 1、2、3、または 4 回を選択できます。A/D 変換結果は、指定された変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに格納されます。

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 16 回を選択できます。A/D 変換値加算モードを選択したとき、本レジスタ本レジスタは同一チャネルの A/D 変換値を加算した値を示します。A/D 変換結果は、指定された変換精度の 4 ビット拡張値として、A/D データレジスタに格納されます。

A/D 変換値加算モードを選択した場合、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

表 42.25 に各精度のビット配置を示します。

表 42.25 A/D 変換値加算モードを選択した場合の各精度のビット配置

精度		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	16 回変換を指定した場合	加算結果 15～0： 16 ビット A/D 変換結果の合計															
	1、2、3、または 4 回変換を指定した場合	読むと 0 が読めます。		加算結果 13～0： 14 ビット A/D 変換結果の合計													
12 ビット精度の左詰めデータ	1、2、3、または 4 回変換を指定した場合	加算結果 15～0： 16 ビット A/D 変換結果の合計															
	16 回変換を指定した場合	加算結果 13～0： 14 ビット A/D 変換結果の合計														読むと 0 が読めます。	

42.3 動作

42.3.1 スキャンの動作説明

スキャンとは、選択したチャネルのアナログ入力を順次 A/D 変換する動作を指します。

スキャン変換の動作モードには、以下の 3 種類の動作モードがあります。

- シングルスキャンモード

- 連続スキャンモード
- グループスキャンモード

シングルスキャンモードでは、1 つ以上の指定されたチャネルが 1 回スキャンされます。連続スキャンモードは指定した 1 チャネル以上のスキャンを、ソフトウェアで ADCSR.ADST ビットを 0 にするまで繰り返し実行するモードです。グループスキャンモードでは、グループ A とグループ B で選択したチャネルは、各同期トリガのスキャン開始後に 1 回スキャンされます。

シングルスキャンモードと連続スキャンモードでは、ADANSA0 レジスタで選択した ANn チャネルの n が小さい番号のチャネルから順に A/D 変換を行います。グループスキャンモードでは、グループ A が ADANSA0 レジスタで選択した ANn チャネルの n が小さい番号のチャネルから順に、グループ B が ADANSB0 レジスタで選択した ANn チャネルの n が小さい番号のチャネルから順に、A/D 変換を行います。

自己診断を選択した場合は、スキャンごとの最初に 1 回実行され、3 つの基準電圧のうち 1 つを A/D 変換します。

温度センサ出力および内部基準電圧はアナログ入力チャネルとして同時に選択可能です。A/D 変換はアナログ入力チャネル、温度センサ出力、内部基準電圧の順番で実行されます。

ダブルトリガモードは、シングルスキャンモードまたはグループスキャンモードで使用可能です。ダブルトリガモードを許可すると (ADCSR.DBLE = 1)、ADSTRGR.TRSA[5:0]ビットで選択した、同期トリガ (GPT, ELC) でのスキャン起動でのみ、ADCSR.DBLANS[4:0]ビットで選択した 1 チャネルの A/D 変換データを 2 重化します。グループスキャンモードでは、ダブルトリガモードを使用できるのはグループ A のみです。

ダブルトリガモードの拡張動作では、ADSTRGR.TRSA[5:0]ビットで選択した同期トリガ組み合わせから A/D 変換動作が発生します。通常のダブルトリガモードでの動作に加えて、奇数番号トリガ（ELC_AD00（ユニット 0）、ELC_AD10（ユニット 1）、GTCIADAn（ユニット 0）、GTCIADAm（ユニット 1）(n = 0～3, m = 4, 5)）の A/D 変換データは A/D データ 2 重化レジスタ A (ADDBLDRA) に格納され、偶数番号トリガ（ELC_AD01（ユニット 0）、ELC_AD11（ユニット 1）、GTCIADBn（ユニット 0）、GTCIADBm（ユニット 1）(n = 0～3, m = 4, 5)）の A/D 変換データは A/D データ 2 重化レジスタ B (ADDBLDRB) に格納されます。ダブルトリガモードの拡張動作では、トリガ組み合わせの 1 つが同時発生すると、指定したトリガのデータ 2 重化レジスタ設定が実行されず、A/D 変換データは A/D データ 2 重化レジスタ B (ADDBLDRB) に格納されます。

ADC12 は他の同期トリガで開始した A/D 変換の間に生じる同期トリガを無視します。

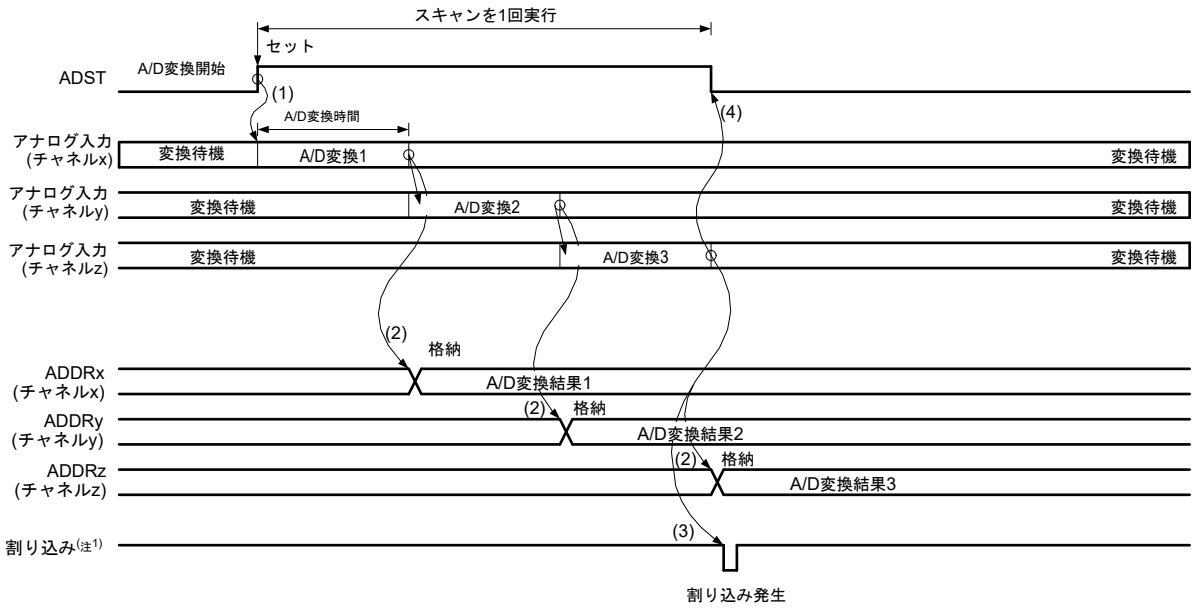
ADSHCR.SHANS[1:0]ビットでチャネル AN000、AN001（ユニット 0）のいずれかをチャネル専用サンプル＆ホールド回路に設定すると、スキャンごとに最初の A/D 変換開始前に対象となるアナログ入力のサンプル＆ホールドを行います。

42.3.2 シングルスキャンモード

42.3.2.1 基本動作（チャネル専用サンプル＆ホールド回路なし）

シングルスキャンモードの基本動作は、指定されたチャネルのアナログ入力を以下のように 1 サイクルのみ A/D 変換します。

1. ソフトウェアトリガ、同期トリガ入力 (GPT, ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADANSA0 レジスタで選択した ANn チャネルの n が小さい番号のチャネルから順に A/D 変換を行います。
2. 1 チャネルの A/D 変換が終了するごとに、A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
3. 選択されたすべてのチャネルの A/D 変換が完了すると、ADC12i_ADI (i = 0, 1) 割り込み要求が発生します。
4. ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、選択されたすべてのチャネルの A/D 変換が完了すると自動的に 0 にされ、ADC12 は待機状態になります。



注. x、y、および z (x < y < z) は ADANSA0 により選択されたチャネル番号です。
注 1. ADC12i_ADI (i = 0, 1)

図 42.8 シングルスキャンモードの基本動作例（アナログ入力（チャネル x～z）選択）

42.3.2.2 基本動作（チャネル専用サンプル＆ホールド回路あり、連続サンプリング無効）

チャネル専用サンプル＆ホールド回路を使用した場合、サンプル＆ホールド動作を実施してから、指定したすべてのチャネルのアナログ入力を 1 回 A/D 変換します。チャネル専用サンプル＆ホールド回路を使用するチャネルは ADSHCR の SHANS[1:0]ビットで選択できます。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力 (GPT, ELC)、または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル＆ホールド回路を使用するすべてのチャネルのアナログ入力サンプリングを開始します。
2. サンプル＆ホールド実行後、ADANSA0 レジスタで選択したチャネル ANn の A/D 変換を、最小のチャネル番号 n から順に開始します。
3. 1 チャネルの A/D 変換が完了するごとに、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
4. 選択されたすべてのチャネルの A/D 変換が終了すると、ADC12i_ADI (i = 0) 割り込み要求が発生します（レジスタ設定なし）。
5. ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的に 0 クリアされます。続いて、ADC12 が待機状態になります。

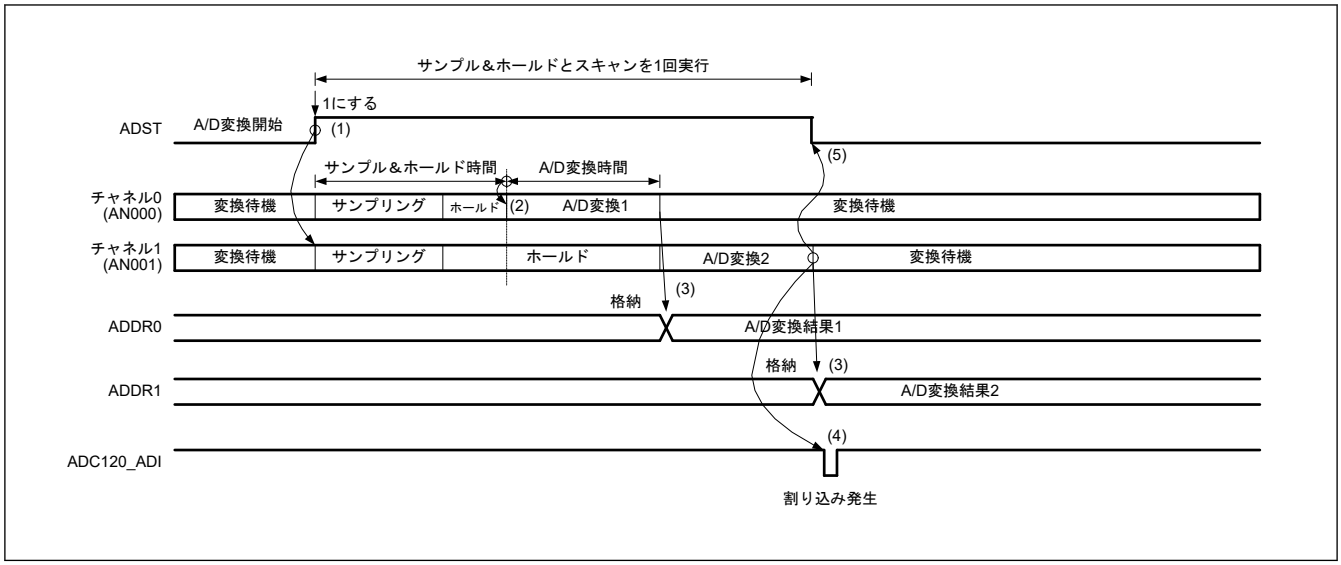


図 42.9 シングルスキャンモードの動作例（チャネル専用サンプル＆ホールド回路使用、AN000 および AN001 選択）

42.3.2.3 基本動作（チャネル専用サンプル＆ホールド回路あり、連続サンプリング有効）

連続サンプリングを有効にしてチャネル専用サンプル＆ホールド回路を使用した場合、サンプル＆ホールド動作を実施してから、選択したすべてのチャネルのアナログ入力を 1 回 A/D 変換します。チャネル専用サンプル＆ホールド回路の使用対象のチャネルは ADSHCR.SHANS[1:0]ビットで指定します。

動作は以下のとおりです。

1. ADSHMSR.SHMD ビットを 1 にすると、ADSHCR.SHANS[1:0]ビットで選択したサンプル＆ホールド回路が連続サンプリングを開始します。
2. ソフトウェアトリガ、同期トリガ信号 (GPT, ELC) の入力、または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル＆ホールド回路を使用するすべてのチャネルのアナログ入力ホールドを開始します。
3. サンプル＆ホールド回路の安定時間経過後、ADANSA0 レジスタで選択したチャネル ANn の A/D 変換を、最小のチャネル番号 n から順に開始します。
4. 1 チャネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納され、サンプル＆ホールド回路が連続サンプリングを再開します。
5. 選択されたすべてのチャネルの A/D 変換が終了すると、ADC12i_ADI (i = 0) 割り込み要求が発生します（レジスタ設定なし）。
6. ADCSR.ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的に 0 クリアされます。続いて、ADC12 が待機状態になります。この後にシングルスキャンを行う場合、サンプル＆ホールド回路の連続サンプリング時間を 400 ns 以上（許容信号源インピーダンスが 1 kΩ の場合）に設定してください。
7. ADSHMSR.SHMD ビットを 0 にすると、サンプル＆ホールド回路が停止します。

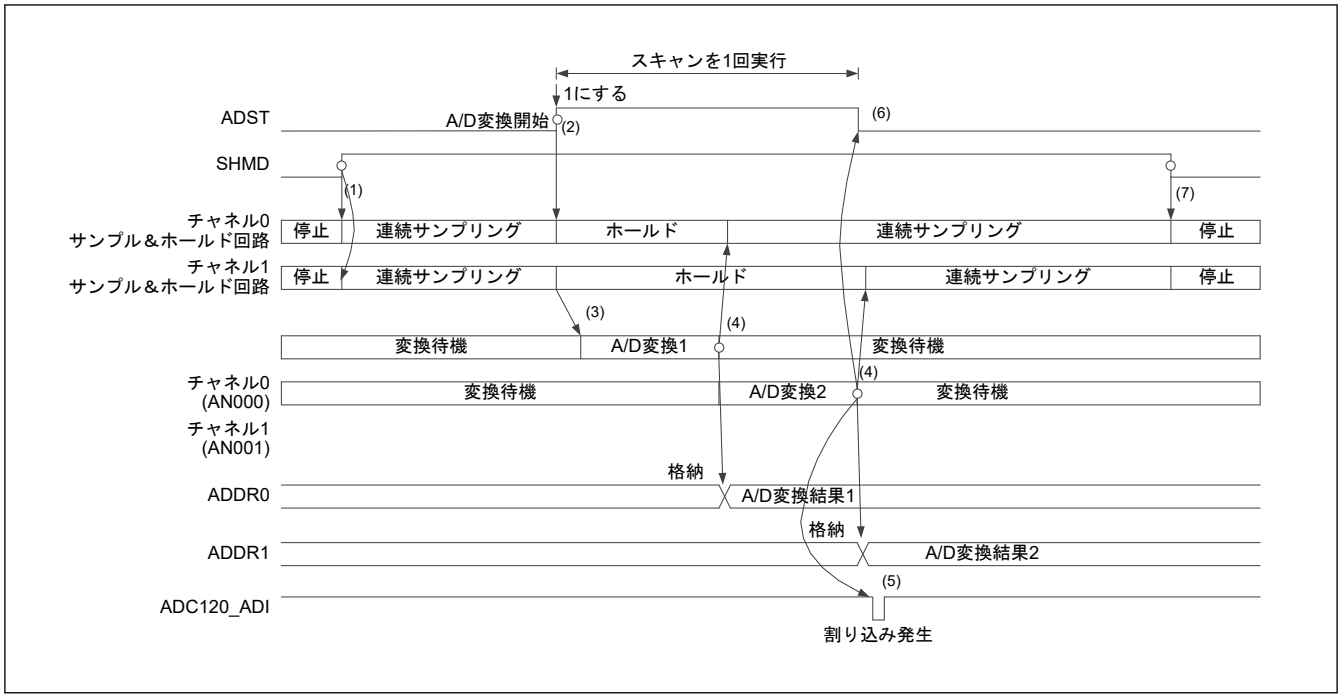
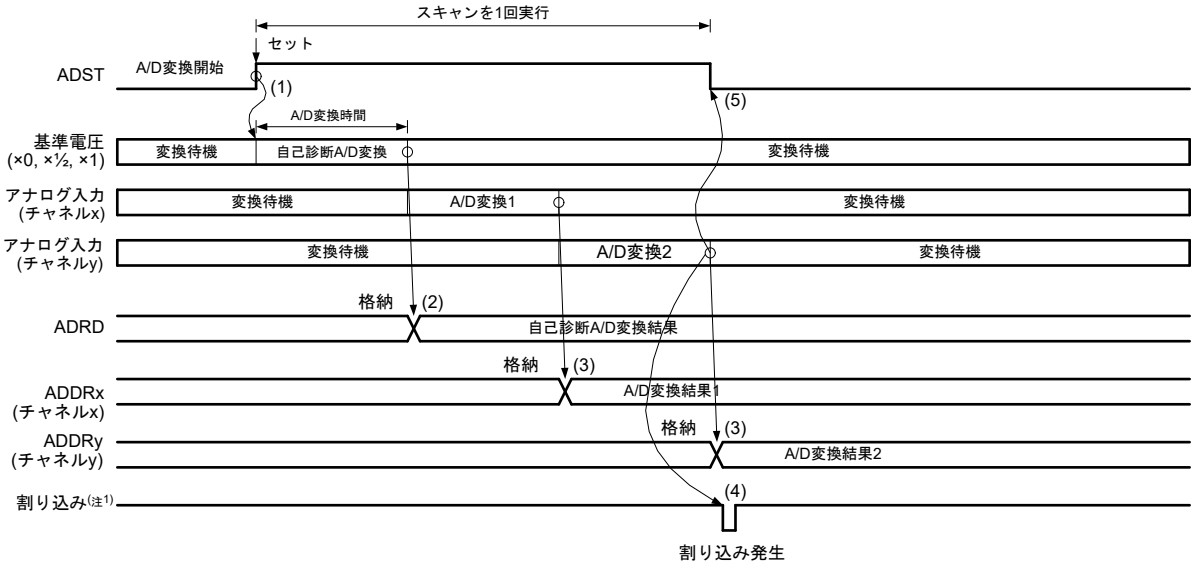


図 42.10 シングルスキャンモードの動作例（チャネル専用サンプル＆ホールド回路使用、AN000 および AN001 選択、連続サンプリング有効）

42.3.2.4 チャネル選択と自己診断（チャネル専用サンプル＆ホールド回路なし）

チャネル選択と自己診断を選択すると、基準電圧 VREFH0, VREFH（×0、×1/2、または×1）の A/D 変換を行い、その後選択したチャネルのアナログ入力を 1 回のみ A/D 変換します。

1. ソフトウェアトリガ入力、同期トリガ入力 (GPT, ELC)、または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、最初に自己診断での A/D 変換を開始します。
2. 自己診断の A/D 変換が完了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納されます。次に、ADANSA0 レジスタで選択した ANn チャネルの n が小さい番号のチャネルから順に A/D 変換を行います。
3. 1 チャネルの A/D 変換が完了するごとに、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
4. 選択されたすべてのチャネルの A/D 変換が完了すると、ADC12i_ADI (i = 0, 1) 割り込み要求が発生します。
5. ADCSR.ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、選択されたすべてのチャネルの A/D 変換が完了すると自動的に 0 にされ、ADC12 は待機状態になります。



注. x と y (x < y) は ADANSA0 により選択されたチャネル番号です。
注 1. ADC12i_ADI (i = 0, 1)

図 42.11 シングルスキャンモードの基本動作例（アナログ入力（チャネル x と y）選択+自己診断）

42.3.2.5 チャネル選択と自己診断（チャネル専用サンプル&ホールド回路を使用し、連続サンプリング無効の場合）

チャネルと自己診断を選択し、連続サンプリングを無効にしてチャネル専用サンプル&ホールド回路を使用した場合、サンプル&ホールド動作を実施してから、ADC12 に供給する基準電圧 VREFH0（ユニット 0）（×0、×1/2、または×1）を 1 回 A/D 変換します。その後、選択したチャネルのアナログ入力を 1 回のみ A/D 変換します。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力 (GPT, ELC)、または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル&ホールド回路を使用するチャネルはすべてアナログ入力のサンプリングを開始します。
2. サンプリング&ホールド実行後に、自己診断の A/D 変換を開始します。
3. 自己診断の A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納されます。次に、ADANSA0 レジスタで選択した ANn チャネルの n が小さい番号のチャネルから順に A/D 変換を行います。
4. 1 チャネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
5. 選択されたすべてのチャネルの A/D 変換が終了すると、ADC12i_ADI (i = 0) 割り込み要求が発生します（レジスタ設定なし）。
6. ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的に 0 クリアされます。続いて、ADC12 は待機状態になります。

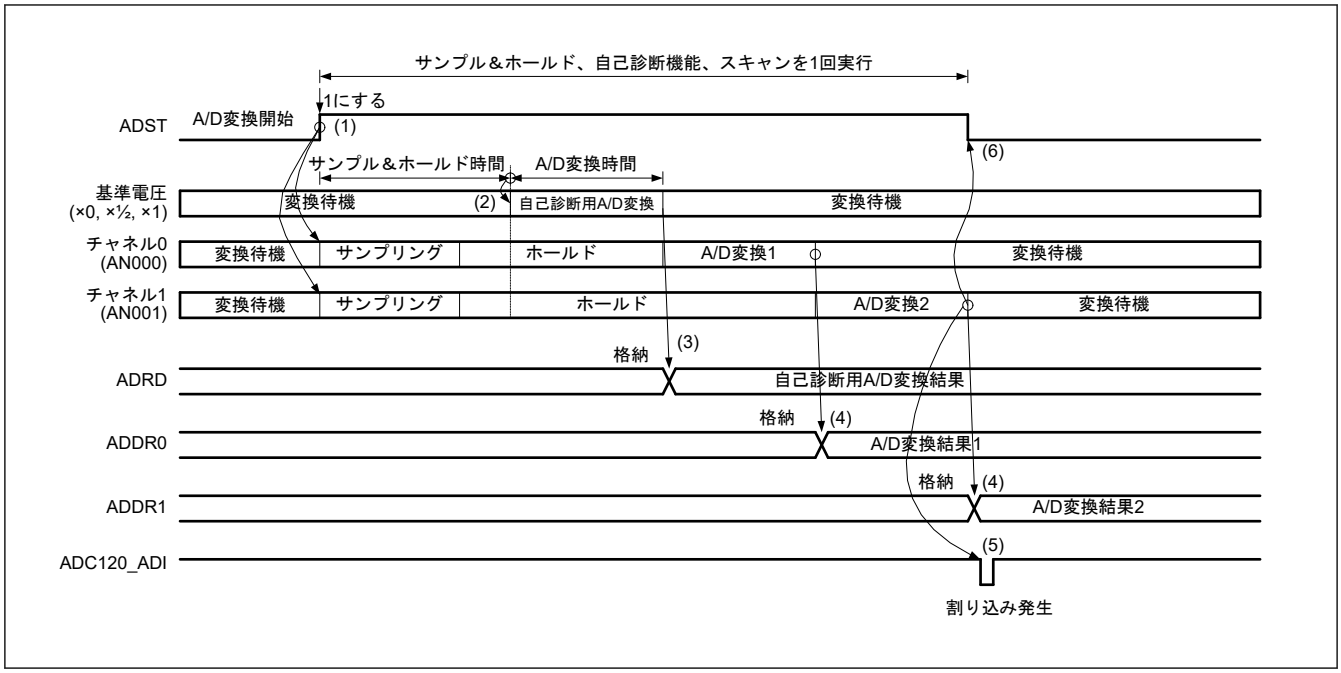


図 42.12 シングルスキャンモードの動作例（チャネル専用サンプル＆ホールド回路使用、自己診断で AN000, AN001 選択、連続サンプリング無効）

42.3.2.6 チャネル選択と自己診断（チャネル専用サンプル＆ホールド回路を使用し、連続サンプリング有効の場合）

チャネルと自己診断を選択し、連続サンプリングを有効にしてチャネル専用サンプル＆ホールド回路を使用した場合、サンプル＆ホールド動作を実施してから、ADC12 に供給する基準電圧 VREFH0（ユニット 0）を A/D 変換します。その後、選択したチャネルのアナログ入力を 1 回のみ A/D 変換します。

動作は以下のとおりです。

1. ADSHMSR.SHMD ビットを 1 にすると、ADSHCR.SHANS[1:0]ビットで選択したサンプル＆ホールド回路が連続サンプリングを開始します。
2. ソフトウェアトリガ、同期トリガ信号 (GPT, ELC) の入力、または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル＆ホールド回路の使用対象のすべてのチャネルのアナログ入力ホールドを開始します。ADSHMSR.SHMD ビットを 1 にしてから 400 ns（許容信号源インピーダンスが 1 kΩ の場合）以上経過してから、ADCSR.ADST ビットが 1 になるようにしてください。
3. サンプル＆ホールド回路の安定時間経過後に、自己診断の A/D 変換を開始します。
4. 自己診断の A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納されます。次に、ADANSA0 レジスタで選択した ANn チャネルの n が小さい番号のチャネルから順に A/D 変換を行います。
5. 1 チャネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納され、サンプル＆ホールド回路が連続サンプリングを再開します。
6. 選択されたすべてのチャネルの A/D 変換が終了すると、ADC12i_ADI (i = 0) 割り込み要求が発生します（レジスタ設定なし）。
7. ADCSR.ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的に 0 にクリアされ、続いて、ADC12 は待機状態になります。この後にシングルスキャンを行う場合、サンプル＆ホールド回路の連続サンプリング時間を 400 ns 以上（許容信号源インピーダンスが 1 kΩ の場合）に設定してください。
8. ADSHMSR.SHMD ビットを 0 にすると、サンプル＆ホールド回路が停止します。

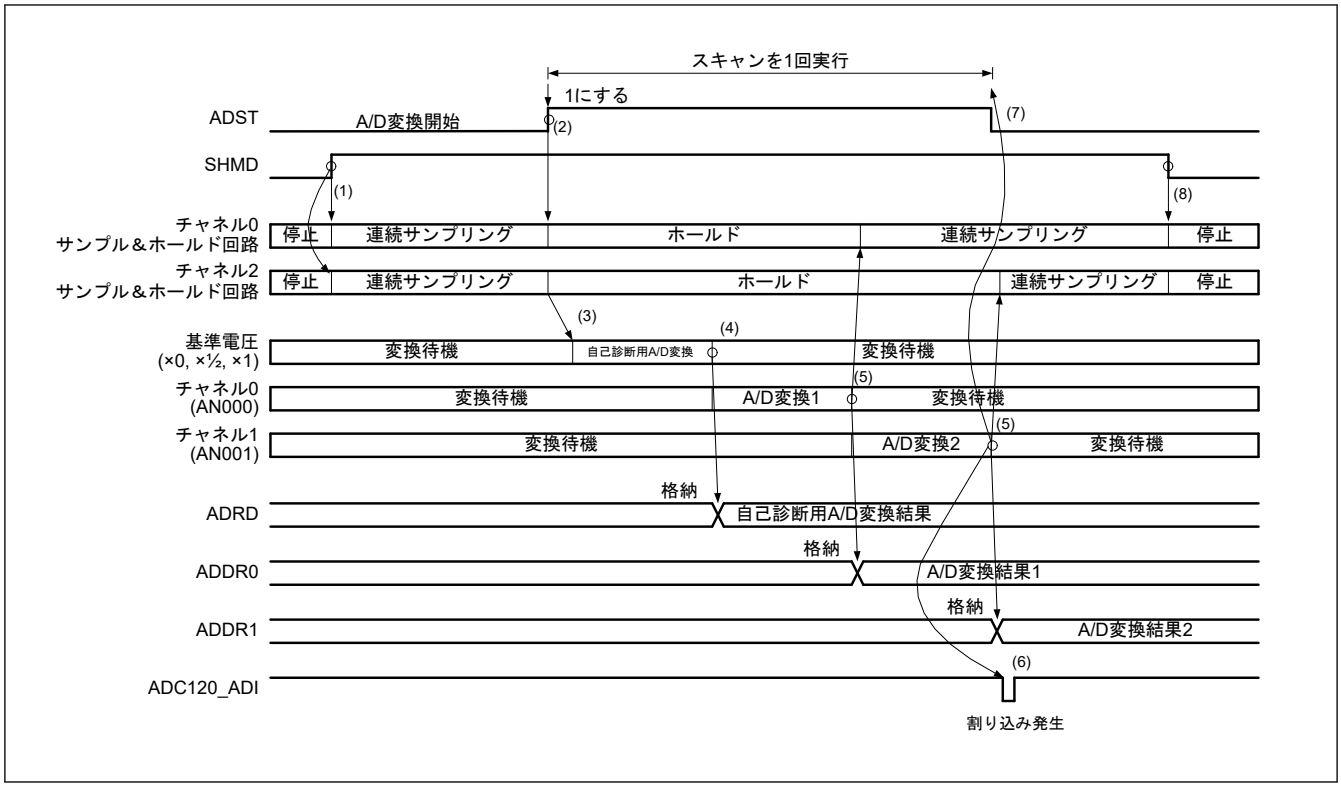


図 42.13 シングルスキャンモードの動作例（チャネル専用サンプル＆ホールド回路使用、自己診断で AN000 および AN001 選択、連続サンプリング有効）

42.3.2.7 温度センサ出力／内部基準電圧選択時の A/D 変換動作

チャネル選択とともに温度センサ出力または内部基準電圧を選択すると、選択したチャネルのアナログ入力の A/D 変換を行い、その後温度センサ出力または内部基準電圧を 1 回のみ A/D 変換します。温度センサ出力と内部基準電圧の両方を選択した場合は、温度センサ出力、内部基準電圧の順に A/D 変換します。チャネルを非選択とし、温度センサまたは内部基準電圧のみを選択することも可能です。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ (GPT, ELC) または非同期トリガによって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADANSA0 レジスタで選択したチャネル ANn の A/D 変換を、最小のチャネル番号 n から順に開始します。
2. チャネルの A/D 変換が終了すると、結果は関連する A/D データレジスタ y (ADDRy) へ格納され、次に温度センサ出力の A/D 変換を開始します。
3. 温度センサ出力の A/D 変換が終了すると、結果は関連する A/D 温度センサデータレジスタ (ADTSDR) へ格納され、次に内部基準電圧の A/D 変換を開始します。
4. 内部基準電圧の A/D 変換が終了すると、結果は関連する A/D 内部基準電圧データレジスタ (ADOCDR) へ格納され、ADC12i_ADI (i = 0, 1) 割り込み要求が発生します（レジスタ設定なし）。
5. ADCSR.ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、A/D 変換が完了すると自動的に 0 にクリアされ、続いて、ADC12 は待機状態になります。

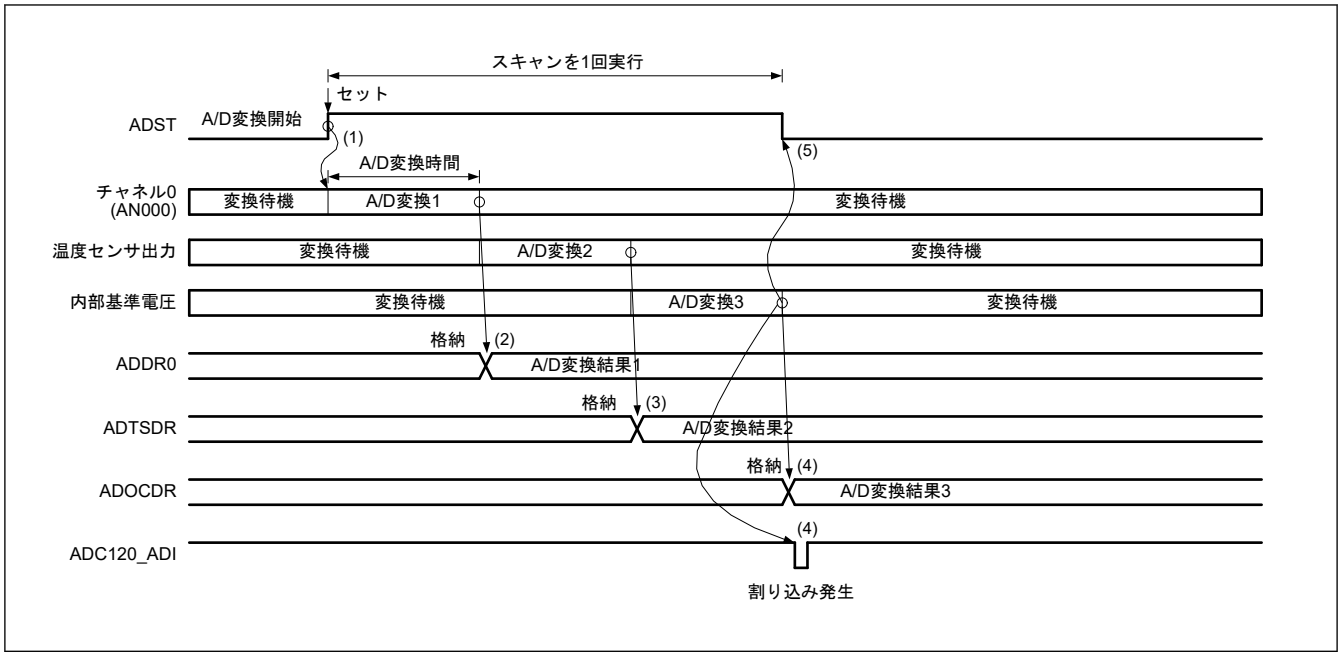


図 42.14 シングルスキャンモードの基本動作例（AN000、温度センサ出力または内部基準電圧選択）

42.3.2.8 ダブルトリガモードでの A/D 変換

シングルスキャンモードでダブルトリガモードを選択した場合は、同期トリガ (GPT, ELC) で開始するシングルスキャン動作の実行 2 回分を一連の動作として実行します。

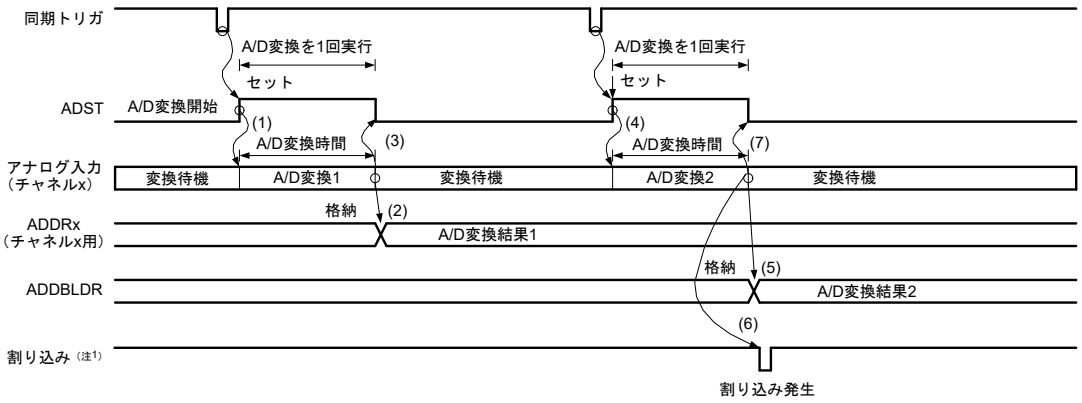
自己診断は非選択とし、温度センサ出力 A/D 変換選択ビット (ADEXICR.TSSA, ADEXICR.TSSB) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA, ADEXICR.OCSB) は 0 に設定してください。

A/D 変換データ 2 重化は、2 重化するチャネルの番号を ADCSR.DBLANS[4:0]ビットに設定し、ADCSR.DBLE ビットを 1 にすると有効となります。ADCSR.DBLE ビットを 1 にした場合は ADANSA0 レジスタを使ったチャネル選択は無効になります。

ダブルトリガモードでは、ADSTRGR.TRSA[5:0]ビットで同期トリガ (GPT, ELC) を選択してください。加えて、ADCSR.EXTRG ビットを 0 に、ADCSR.TRGE ビットを 1 にしてください。ソフトウェアトリガは使用しないでください。

動作は以下のとおりです。

1. 同期トリガ入力 (GPT, ELC) によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADCSR.DBLANS[4:0]ビットで選択した 1 チャネルの A/D 変換を開始します。
2. 1 チャネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
3. ADCSR.ADST ビットは自動的に 0 に設定され、ADC12 は待機状態になります。ADC12i_ADI (i = 0, 1) 割り込み要求は発生しません。
4. 2 回目のトリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADCSR.DBLANS[4:0]ビットで選択した 1 チャネルの A/D 変換を開始します。
5. A/D 変換が終了すると、結果はダブルトリガモード専用の A/D データ 2 重化レジスタ (ADDBLDR) に格納されます。
6. ADC12i_ADI (i = 0, 1) 割り込み要求が発生します。
7. ADCSR.ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、A/D 変換が完了すると自動的に 0 になり、続いて、ADC12 は待機状態になります。



注. x は ADCSR.DBLANS[4:0]により選択されたチャネル番号です。
注 1. ADC12i_ADI (i = 0, 1)

図 42.15 シングルスキャンモードの動作例（ダブルトリガモード選択、アナログ入力（チャネル x）を 2 重化）

42.3.2.9 ダブルトリガモード選択時の拡張動作

シングルスキャンモードでダブルトリガモードを選択した場合で、A/D 変換開始トリガとして同期トリガ（ELC_AD00（ユニット 0）および ELC_AD10（ユニット 1）／ELC_AD01（ユニット 0）および ELC_AD11（ユニット 1）、GTCIADA0（ユニット 0）および GTCIADA4（ユニット 1）／GTCIADB0（ユニット 0）および GTCIADB4（ユニット 1）、GTCIADA1（ユニット 0）および GTCIADA5（ユニット 1）／GTCIADB1（ユニット 0）および GTCIADB5（ユニット 1）、GTCIADA2（ユニット 0）／GTCIADB2（ユニット 0）または GTCIADA3（ユニット 0）／GTCIADB3（ユニット 0））を選択した場合、シングルスキャンモードの実行 2 回分を行います。

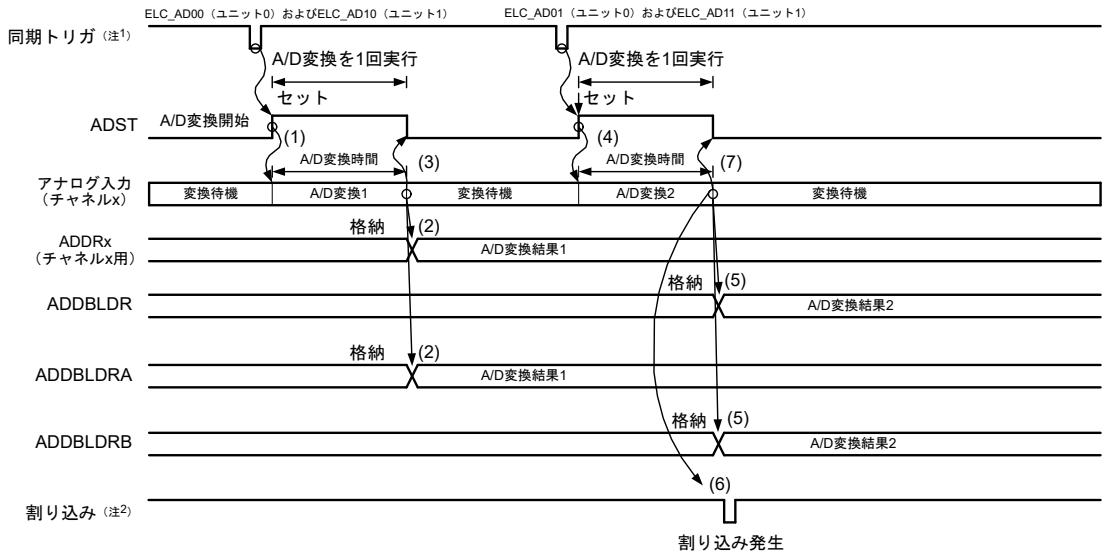
自己診断は非選択とし、温度センサ出力 A/D 変換選択ビット (ADEXICR.TSSA, ADEXICR.TSSB) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA, ADEXICR.OCSB) は 0 に設定してください。

A/D 変換データ 2 重化は、2 重化するチャネルの番号を ADCSR.DBLANS[4:0]ビットに設定し、ADCSR.DBLE ビットを 1 にすると有効となります。ADCSR.DBLE ビットを 1 にした場合は ADANSA0 レジスタを使ったチャネル選択は無効になります。

拡張ダブルトリガモードでは、ADSTRGR.TRSA[5:0]ビットを 0x0B に設定することにより同期トリガ組み合わせを選択し、ADCSR.EXTRG ビットを 0 に設定し、ADCSR.TRGE ビットを 1 に設定してください。ソフトウェアトリガは使用しないでください。

動作は以下のとおりです。

1. 同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADCSR.DBLANS[4:0]ビットで選択した 1 チャネルの A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ y (ADDRy) および A/D データ 2 重化レジスタ A (ADDBLDRA) に格納されます。（ELC_ADi0 または ELC_ADi1 トリガ (i = 0, 1) がそれぞれ入力された場合は A/D データ 2 重化レジスタ B (ADDBLDRB) に格納されます。）
3. ADCSR.ADST ビットは自動的に 0 に設定され、ADC12 は待機状態になります。ADC12i_ADI (i = 0, 1) 割り込み要求は発生しません。
4. 2 回目のトリガ（ELC_AD00（ユニット 0）および ELC_AD10（ユニット 1）／ELC_AD01（ユニット 0）および ELC_AD11（ユニット 1））によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADCSR.DBLANS[4:0]ビットで選択した 1 チャネルの A/D 変換を開始します。
5. A/D 変換が終了すると、A/D 変換結果は A/D データ 2 重化レジスタ (ADDBLDR) および A/D データ 2 重化レジスタ A (ADDBLDRA) または A/D データ 2 重化レジスタ B (ADDBLDRB) に格納されます。（ELC_ADi0 または ELC_ADi1 トリガ (i = 0, 1) がそれぞれ入力された場合）
6. ADC12i_ADI (i = 0, 1) 割り込み要求が発生します。
7. ADCSR.ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、A/D 変換が完了すると自動的に 0 になり、ADC12 は待機状態になります。



注. x は ADANSA0 により選択されたチャネル番号です。
注 1. ELC_AD00（ユニット 0）および ELC_AD10（ユニット 1）／ELC_AD01（ユニット 0）および ELC_AD11（ユニット 1）
注 2. ADC12i_ADI (i = 0, 1)

図 42.16 ダブルトリガモードの拡張動作例（アナログ入力（チャネル x）と ELC_AD00（ユニット 0）および ELC_AD10（ユニット 1）／ELC_AD01（ユニット 0）および ELC_AD11（ユニット 1）の 2 重化選択）

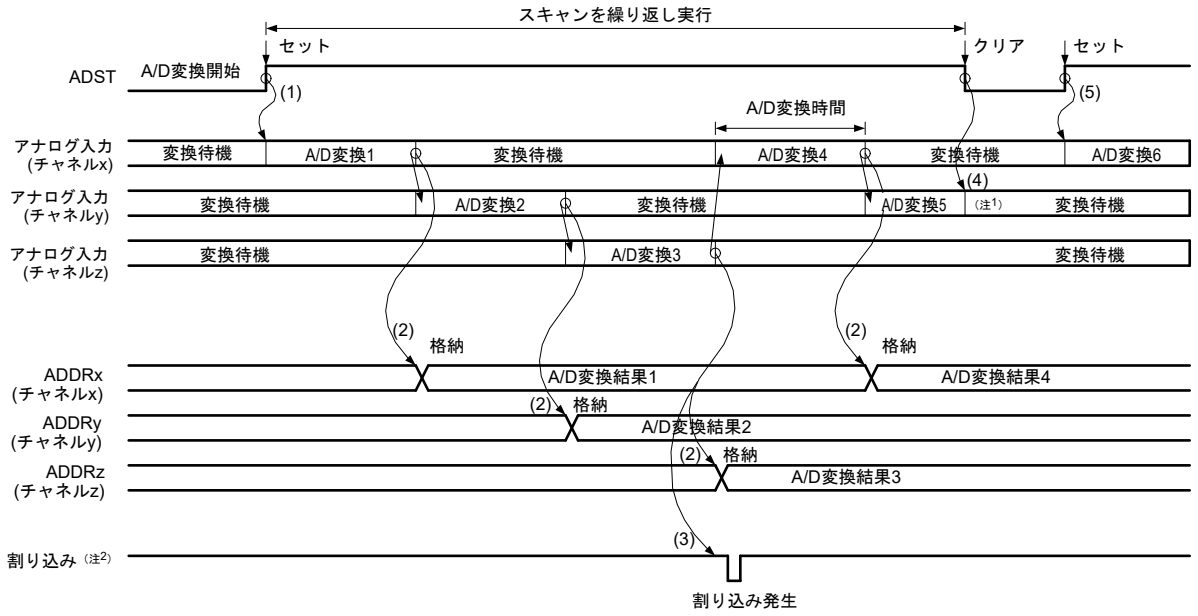
42.3.3 連続スキャンモード

42.3.3.1 基本動作（チャネル専用サンプル＆ホールド回路なし）

連続スキャンモードでは、選択されたチャネルのアナログ入力を繰り返し A/D 変換します。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力 (GPT, ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADANSA0 レジスタで選択した ANn チャネルの n が小さい番号のチャネルから順に A/D 変換を行います。
2. 1 チャネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
3. 選択されたすべてのチャネルの A/D 変換が完了すると、ADC12i_ADI (i = 0, 1) 割り込み要求が発生します。ADC12 は、ADANSA0 レジスタで選択した ANn チャネルの n が小さい番号のチャネルから順に A/D 変換を開始します。
4. ADCSR.ADST ビットは自動的にクリアされず、ADCSR.ADST が 1（A/D 変換開始）の状態の間は (2)～(3) を繰り返します。ADCSR.ADST ビットを 0（A/D 変換停止）にすると、A/D 変換は停止し、ADC12 は待機状態になります。
5. その後、ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADANSA0 レジスタで選択した ANn チャネルの n が小さい番号のチャネルから順に A/D 変換を再び開始します。



注. x、y、および z (x < y < z) は ADANSA0 により選択されたチャネル番号です。
注 1. A/D 変換 5 のデータは無視されます。
注 2. ADC12i_ADI (i = 0, 1)

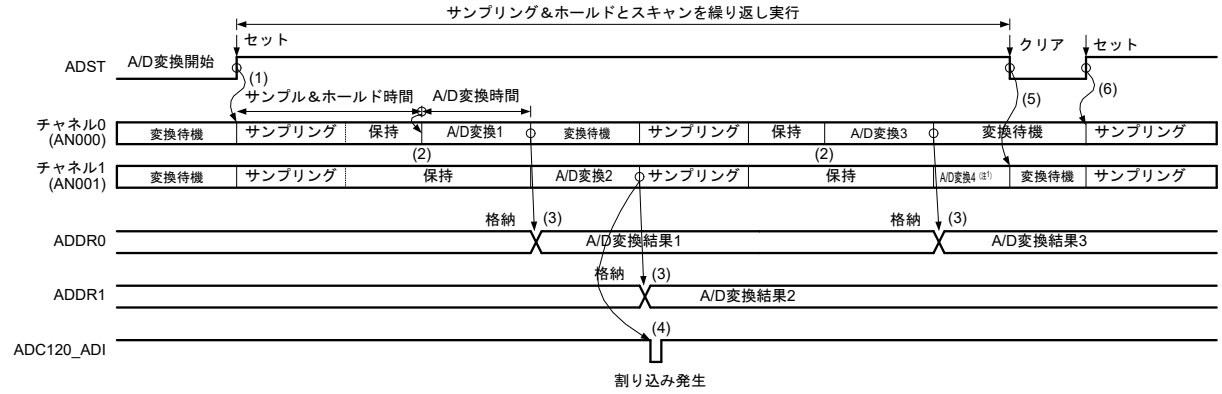
図 42.17 連続スキャンモードの基本動作例（アナログ入力（チャネル x～z）選択）

42.3.3.2 基本動作（チャネル専用サンプル＆ホールド回路あり、連続サンプリング無効）

連続サンプリングを無効にしてチャネル専用サンプル＆ホールド回路を使用した場合、サンプル＆ホールド動作を実施してから、指定したすべてのチャネルのアナログ入力を繰り返し A/D 変換します。チャネル専用サンプル＆ホールド回路を使用するチャネルは、ADSHCR.SHANS[1:0]ビットで選択します。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力 (GPT, ELC)、または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル＆ホールド回路を使用するすべてのチャネルのアナログ入力サンプリングを開始します。
2. サンプル＆ホールド実行後に、ADANSA0 レジスタで選択したチャネル ANn の A/D 変換を、最小のチャネル番号 n から順に開始します。
3. 1 チャネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
4. 選択されたすべてのチャネルの A/D 変換が終了すると、ADC12i_ADI (i = 0) 割り込み要求が発生します（レジスタ設定なし）。同時に、チャネル専用サンプル＆ホールド回路を使用するすべてのチャネルのアナログ入力サンプリングが開始されます。
5. ADST ビットは自動的にクリアされず、ADST ビットが 1 の間は (2)～(4) を繰り返します。ADST ビットを 0（A/D 変換停止）にすると、A/D 変換は停止し、ADC12 は待機状態になります。
6. その後、ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル＆ホールド回路を使用するすべてのチャネルのアナログ入力のサンプリングが再び開始されます。



注 1. A/D 変換 4 のデータは無視されます。

図 42.18 連続スキャンモードの動作例（チャネル専用サンプル＆ホールド回路使用、AN000 および AN001 選択）

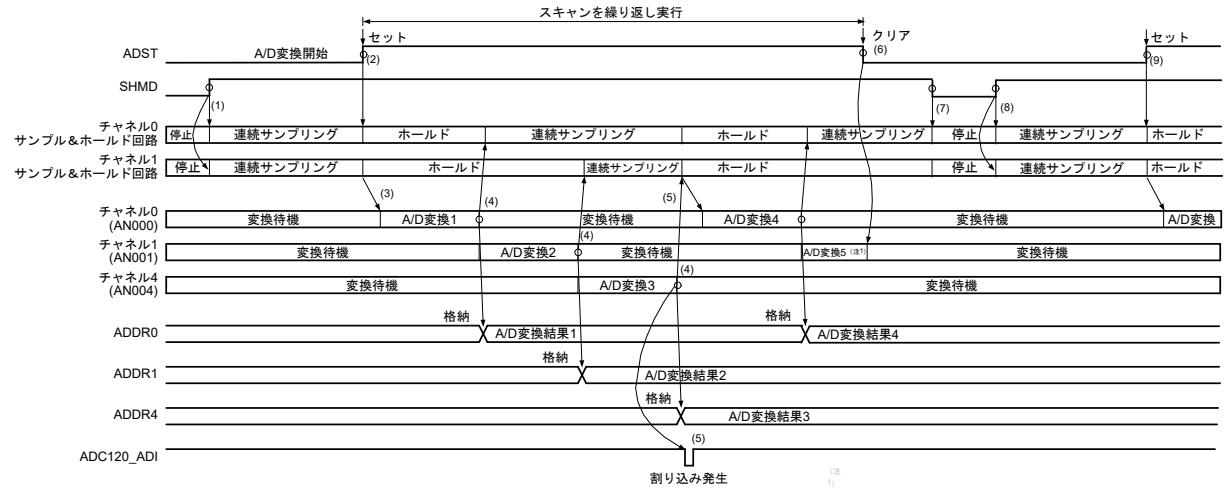
42.3.3.3 基本動作（チャネル専用サンプル＆ホールド回路を使用し、連続サンプリング有効の場合）

連続サンプリングを有効にしてチャネル専用サンプル＆ホールド回路を使用した場合、サンプル＆ホールド動作を実施してから、選択したすべてのチャネルのアナログ入力を本項で説明するように A/D 変換します。チャネル専用サンプル＆ホールド回路を使用するチャネルは、ADSHCR.SHANS[1:0]ビットで選択できます。

動作は以下のとおりです。

1. ADSHMSR.SHMD ビットを 1 にすると、ADSHCR.SHANS[1:0]ビットで選択したサンプル＆ホールド回路が連続サンプリングを開始します。
2. ソフトウェアトリガ、同期トリガ入力 (GPT, ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル＆ホールド回路を使用するチャネルはすべてアナログ入力のホールドを開始します。ADSHMSR.SHMD ビットを 1 にしてから 400 ns（許容信号源インピーダンスが 1 kΩ の場合）以上経過してから、ADCSR.ADST ビットが 1 になるようにしてください。
3. サンプル＆ホールド回路の安定時間経過後、ADANSA0 レジスタで選択したチャネル ANn の A/D 変換を、最小のチャネル番号 n から順に開始します。
4. 1 チャネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納され、サンプル＆ホールド回路が連続サンプリングを再開します。
5. 選択されたすべてのチャネルの A/D 変換が終了すると、ADC12i_ADI (i = 0) 割り込み要求が発生します（レジスタ設定なし）。また、チャネル専用サンプル＆ホールド回路を使用するチャネルはすべてアナログ入力のホールドを開始します。
6. ADCSR.ADST ビットは自動的にクリアされず、このビットが 1 の間は (3)～(5) を繰り返します。
   ADCSR.ADST ビットを 0（A/D 変換停止）にすると、A/D 変換は停止し、ADC12 は待機状態になります。
7. ADSHMSR.SHMD ビットを 0 にすると、サンプル＆ホールド回路が停止します。
8. その後、ADSHMSR.SHMD ビットを 1 にすると、ADSHCR.SHANS[1:0]ビットで選択したサンプル＆ホールド回路が連続サンプリングを開始します。
9. その後、ADCSR.ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル＆ホールド回路を使用するすべてのチャネルはアナログ入力のホールドを開始します。

注. サンプル＆ホールド回路ありのチャネルのみを選択し連続スキャンを実施すると、連続スキャンの 2 回目以降に連続サンプリングの期間が確保されなくなります。チャネル専用サンプル＆ホールド回路の連続サンプリングを有効にして連続スキャンする場合、ユニット 0 には AN002～AN008 のうち 1 つ以上のチャネル、温度センサ出力、内部基準電圧および VBATT 1/3 電圧監視出力を選択し、ユニット 1 には AN100～AN105 のうち 1 つ以上のチャネル、温度センサ出力、内部基準電圧および VBATT 1/3 電圧監視出力を選択して、サンプル＆ホールド回路の連続サンプリング期間が 400 ns（許容信号源インピーダンスが 1 kΩ の場合）以上となるようにしてください。



注 1. A/D 変換 5 のデータは無視されます。

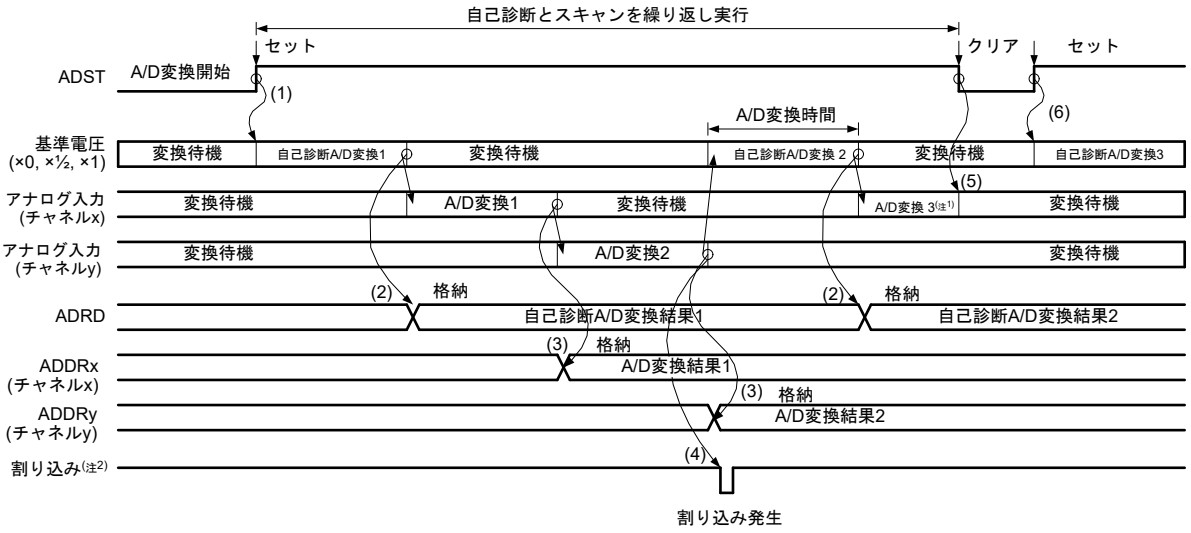
図 42.19 連続スキャンモードの動作例（チャネル専用サンプル&ホールド回路使用、AN000、AN001、および AN004 選択、連続サンプリング有効）

42.3.3.4 チャネル選択と自己診断（チャネル専用サンプル&ホールド回路なし）

チャネル選択と自己診断を同時に選択すると、最初に ADC12 に供給される基準電圧 VREFH0、VREFH（×0、×1/2 または×1）の A/D 変換を行い、その後選択したチャネルのアナログ入力を A/D 変換します。以下の各項で示すように、このシーケンスを繰り返します。

動作は以下のとおりです。

1. ソフトウェアトリガ入力、同期トリガ入力 (GPT, ELC)、または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、最初に自己診断での A/D 変換を開始します。
2. 自己診断の A/D 変換が完了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納されます。次に、ADANSA0 レジスタで選択した ANn チャネルの n が小さい番号のチャネルから順に A/D 変換を行います。
3. 1 チャネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
4. 選択されたすべてのチャネルの A/D 変換が完了すると、ADC12i_ADI (i = 0, 1) 割り込み要求が発生します。同時に、ADC12 は自己診断での A/D 変換を開始し、その後 ADANSA0 レジスタで選択した ANn チャネルの n が小さい番号のチャネルから順に A/D 変換を開始します。
5. ADCSR.ADST ビットは自動的にクリアされず、ADCSR.ADST ビットが 1 の間は (2)～(4) を繰り返します。ADST ビットを 0（A/D 変換停止）にすると、A/D 変換は停止し、ADC12 は待機状態になります。
6. その後、ADST ビットが 1（A/D 変換開始）に設定されると、再び自己診断での A/D 変換から開始します。



注. x と y (x < y) は ADANSA0 により選択されたチャネル番号です。
注 1. A/D 変換 3 の変換データは無視されます。
注 2. ADC12i_ADI (i = 0, 1)

図 42.20 連続スキャンモードの基本動作例（アナログ入力（チャネル x、y）選択+自己診断）

42.3.3.5 チャネル選択と自己診断（チャネル専用サンプル＆ホールド回路あり、連続サンプリング無効）

チャネルと自己診断を選択し、連続サンプリングを無効にしてチャネル専用サンプル＆ホールド回路を使用した場合、サンプル＆ホールド動作を実行してから、ADC12 に供給する基準電圧 VREFH0（ユニット 0）（×0、×1/2、または×1）を A/D 変換し、その後、選択したチャネルのアナログ入力を A/D 変換する、という流れを繰り返します。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力 (GPT, ELC)、または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル＆ホールド回路を使用するチャネルはすべてアナログ入力のサンプリングを開始します。
2. サンプリング＆ホールド実行後に、自己診断の A/D 変換を開始します。
3. 自己診断の A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納されます。次に、ADANSA0 レジスタで選択した ANn チャネルの n が小さい番号のチャネルから順に A/D 変換を行います。
4. 1 チャネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
5. 選択されたすべてのチャネルの A/D 変換が終了すると、ADC12i_ADI (i = 0) 割り込み要求が発生します（レジスタ設定なし）。同時に、チャネル専用サンプル＆ホールド回路を使用するすべてのチャネルのアナログ入力サンプリングが開始されます。
6. ADST ビットは自動的にクリアされず、ADST ビットが 1 の間は (2)～(5) を繰り返します。ADST ビットを 0（A/D 変換停止）にすると、A/D 変換は停止し、ADC12 は待機状態になります。
7. その後、ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル＆ホールド回路を使用するすべてのチャネルのアナログ入力のサンプリングが再び開始されます。

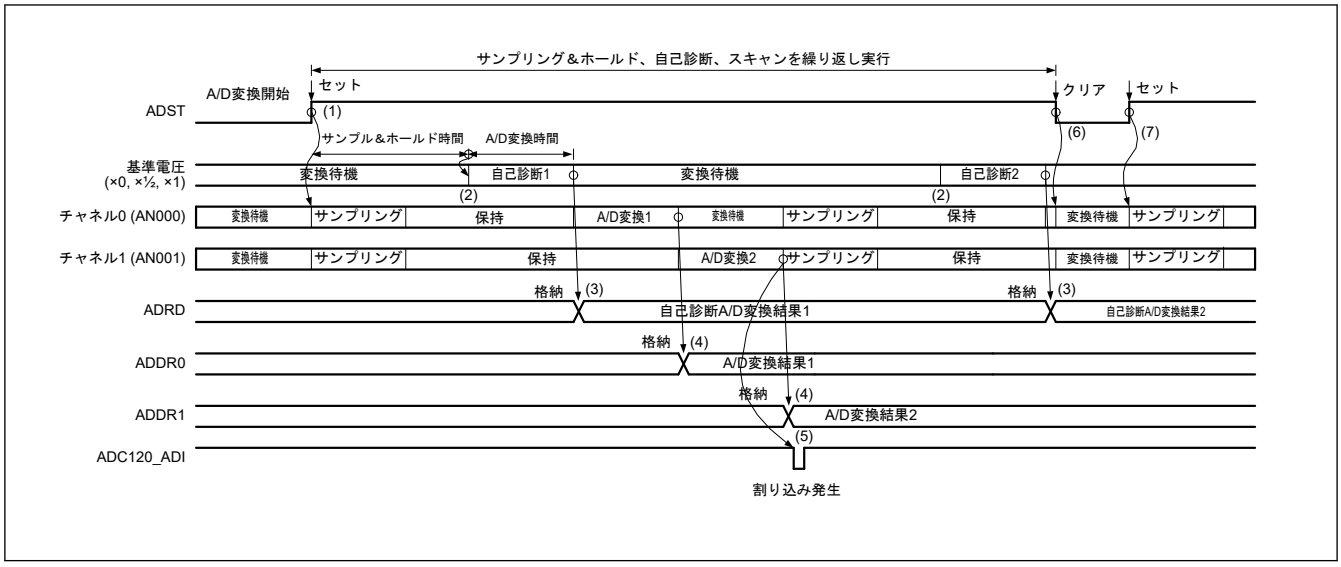


図 42.21 連続スキャンモードの動作例（チャネル専用サンプル＆ホールド回路使用、AN000 および AN001 選択＋自己診断）

42.3.3.6 チャネル選択と自己診断（チャネル専用サンプル＆ホールド回路を使用し、連続サンプリング有効の場合）

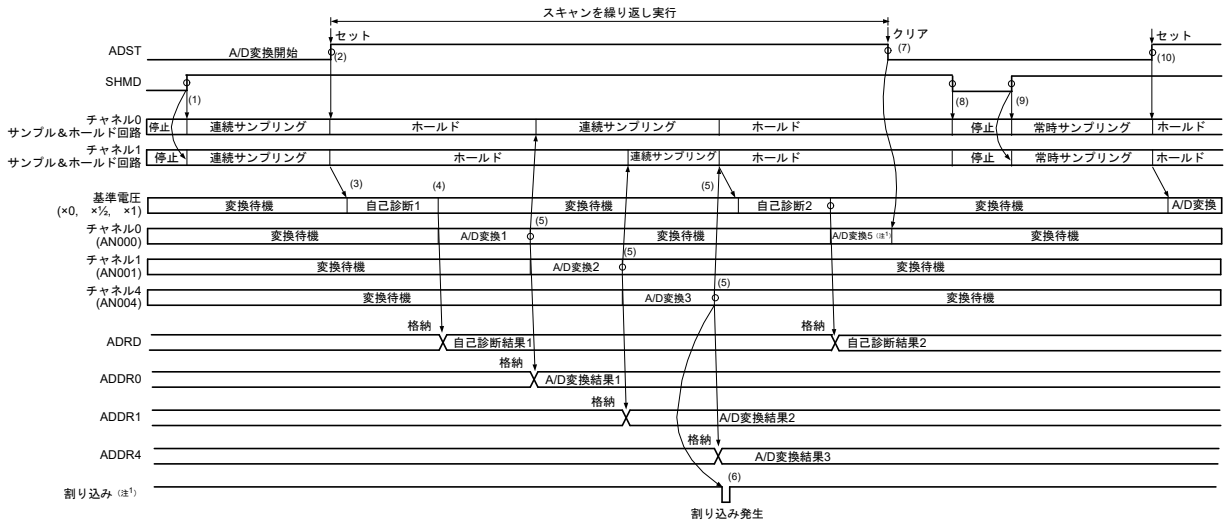
チャネルと自己診断を選択し、連続サンプリングを有効にしてチャネル専用サンプル＆ホールド回路を使用した場合、サンプル＆ホールド動作を実施してから、ADC12 に供給する基準電圧 VREFH0（ユニット 0）（×0、×1/2、または×1）を A/D 変換します。その後、選択したチャネルのアナログ入力を A/D 変換するという流れを繰り返します。

動作は以下のとおりです。

1. ADSHMSR.SHMD ビットを 1 にすると、ADSHCR.SHANS[1:0]ビットで選択したサンプル＆ホールド回路が連続サンプリングを開始します。
2. ソフトウェアトリガ、同期トリガ入力 (GPT, ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル＆ホールド回路を使用するチャネルはすべてアナログ入力のホールドを開始します。ADSHMSR.SHMD ビットを 1 にしてから 400 ns（許容信号源インピーダンスが 1 kΩ の場合）以上経過してから、ADCSR.ADST ビットが 1 になるようにしてください。
3. サンプル＆ホールド回路の安定時間経過後に、自己診断の A/D 変換を開始します。
4. 自己診断の A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納されます。次に、ADANSA0 レジスタで選択した ANn チャネルの n が小さい番号のチャネルから順に A/D 変換を行います。
5. 1 チャネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納され、サンプル＆ホールド回路が連続サンプリングを再開します。
6. 選択されたすべてのチャネルの A/D 変換が終了すると、ADC12i_ADI (i = 0) 割り込み要求が発生します（レジスタ設定なし）。また、チャネル専用サンプル＆ホールド回路を使用するチャネルはすべてアナログ入力のホールドを開始します。
7. ADCSR.ADST ビットは自動的にクリアされず、このビットが 1 の間は (3)～(6) を繰り返します。ADCSR.ADST ビットを 0（A/D 変換停止）にすると、A/D 変換は停止し、ADC12 は待機状態になります。
8. ADSHMSR.SHMD ビットを 0 にすると、サンプル＆ホールド回路が停止します。
9. その後、ADSHMSR.SHMD ビットを 1 にすると、ADSHCR.SHANS[1:0]ビットで選択したサンプル＆ホールド回路が連続サンプリングを開始します。
10. その後、ADCSR.ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル＆ホールド回路を使用するすべてのチャネルはアナログ入力のホールドを開始します。

注. サンプル＆ホールド回路ありのチャネルのみを選択し連続スキャンを実施すると、連続スキャンの 2 回目以降に連続サンプリングの期間が確保されなくなります。チャネル専用サンプル＆ホールド回路の連続サンプリングを有効にして連続スキャンする場合、ユニット 0 には AN002～AN008 のうち 1 つ以上のチャネル、温度センサ出力、内部基

準電圧および VBATT 1/3 電圧の監視出力を選択し、ユニット 1 には AN100～AN105 のうち 1 つ以上のチャネル、温度センサ出力、内部基準電圧および VBATT 1/3 電圧の監視出力を選択して、サンプル＆ホールド回路の連続サンプリング期間が 400 ns（許容信号源インピーダンスが 1 kΩ の場合）以上となるようにしてください。



注. A/D 変換 5 のデータは無視されます。
注 1. ADC12i_ADI (i = 0)

図 42.22 連続スキャンモードの動作例（チャネル専用サンプル＆ホールド回路使用、自己診断で AN000、AN001、および AN004 選択、連続サンプリング有効）

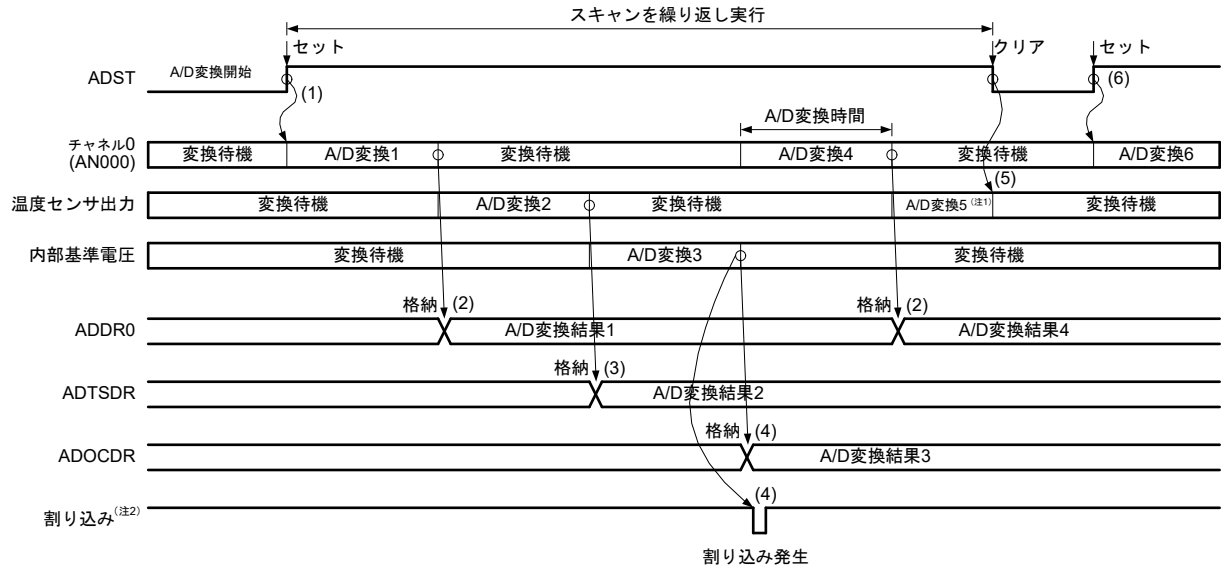
42.3.3.7 温度センサ出力／内部基準電圧選択時の A/D 変換動作

チャネル選択とともに温度センサ出力または内部基準電圧を選択すると、選択したチャネルのアナログ入力の A/D 変換を行い、その後温度センサ出力または内部基準電圧を繰り返し A/D 変換します。温度センサ出力と内部基準電圧の両方を選択した場合は、温度センサ、内部基準電圧の順に A/D 変換します。

チャネルを非選択とし、温度センサまたは内部基準電圧のみを選択することも可能です。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ (GPT, ELC) または非同期トリガによって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADANSA0 レジスタで選択したチャネル ANn の A/D 変換を、最小のチャネル番号 n から順に開始します。
2. チャネルの A/D 変換が終了すると、結果は関連する A/D データレジスタ y (ADDRy) へ格納され、次に温度センサ出力の A/D 変換を開始します。
3. 温度センサ出力の A/D 変換が終了すると、結果は関連する A/D 温度センサデータレジスタ (ADTSDR) へ格納され、次に内部基準電圧の A/D 変換を開始します。
4. 内部基準電圧の A/D 変換が終了すると、結果は関連する A/D 内部基準電圧データレジスタ (ADOCDR) へ格納され、ADC12i_ADI (i = 0, 1) 割り込み要求が発生します。また、ADC12 は、継続して ADANSA0 レジスタで選択したチャネル ANn の A/D 変換を、最小のチャネル番号 n から順に開始します。
5. ADCSR.ADST ビットは自動的にクリアされず、1（A/D 変換開始）の状態の間は (2)～(4) を繰り返します。ADCSR.ADST ビットを 0（A/D 変換停止）にすると、A/D 変換は停止し、ADC12 は待機状態になります。
6. その後、ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADANSA0 レジスタで選択したチャネル ANn の A/D 変換を、最小のチャネル番号 n から順に開始します。



注 1. A/D 変換 5 のデータは無視されます。
注 2. ADC12i_ADI (i = 0, 1)

図 42.23 連続スキャンモードの基本動作例（AN000、温度センサ出力または内部基準電圧選択）

42.3.4 グループスキャンモード

42.3.4.1 基本動作

グループスキャンモードでは、同期トリガ (GPT, ELC) によりスキャンを開始した後、グループ A とグループ B で指定されたすべてのチャネルのアナログ入力を 1 回のみ A/D 変換します。各グループのスキャン動作はシングルスキャンモードと同じ動作になります。

同期トリガは、グループ A では ADSTRGR.TRSA[5:0]ビットで選択でき、グループ B では ADSTRGR.TRSB[5:0]ビットで選択できます。2 つのグループで同時に A/D 変換することを防止するために、グループ A とグループ B では異なるトリガを使用してください。ソフトウェアトリガは使用しないでください。

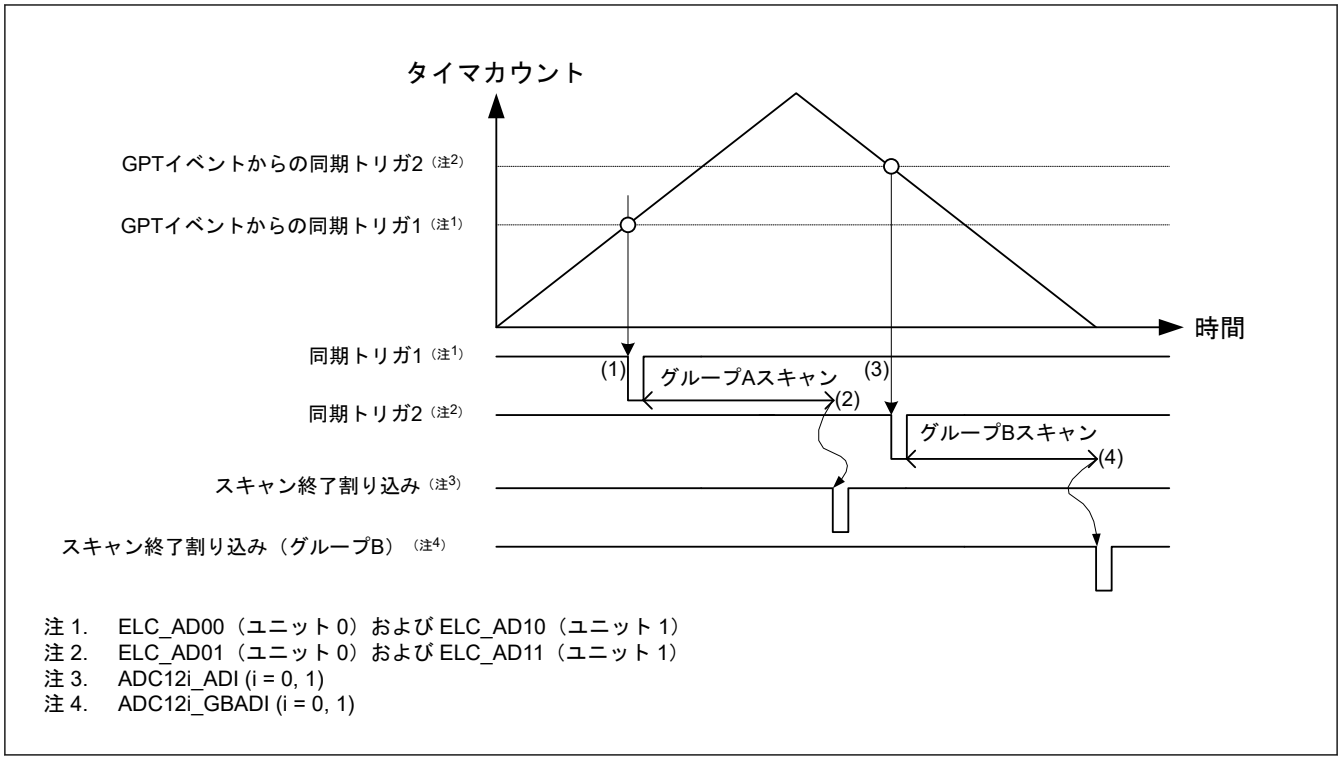
A/D 変換の対象となるグループ A のチャネルは ADANSA0 レジスタ、ADEXICR.TSSA ビット、ADEXICR.OCSA ビットを用いて選択されます。A/D 変換の対象となるグループ B のチャネルは ADANSB0 レジスタ、ADEXICR.TSSB ビット、ADEXICR.OCSB ビットを用いて選択されます。グループ A とグループ B は同じチャネルを使用できません。

グループスキャンモードで自己診断を選択した場合、自己診断はグループ A とグループ B で独立して実行されます。

以下のシーケンスは ELC からの同期トリガを使用したグループスキャンモードの動作を説明します。この例では、ELC からの ELC_AD00 トリガ（ユニット 0）および ELC_AD10 トリガ（ユニット 1）がグループ A の変換の開始に使用され、ELC からの ELC_AD01 トリガ（ユニット 0）および ELC_AD11 トリガ（ユニット 1）がグループ B の変換の開始に使用されます。さらに、ELC_AD00（ユニット 0）および ELC_AD10（ユニット 1）と ELC_AD01（ユニット 0）および ELC_AD11（ユニット 1）は関連する ELC.ELSRn レジスタで GPT イベントのために選択されます。

動作は以下のとおりです。

1. ELC_AD00（ユニット 0）および ELC_AD10（ユニット 1）によりグループ A のスキャンを開始します。
2. グループ A のスキャン完了時に、ADC12i_ADI (i = 0, 1) 割り込みが発生します（レジスタ設定なし）。
3. ELC_AD01（ユニット 0）および ELC_AD11（ユニット 1）によりグループ B のスキャンを開始します。
4. グループ B のスキャン完了時に、ADCSR.GBADIE ビットが 1（スキャン完了時に ADC12i_GBADI (i = 0, 1) 割り込み許可）に設定されていると、ADC12i_GBADI (i = 0, 1) 割り込みが発生します。



注 1. ELC_AD00（ユニット 0）および ELC_AD10（ユニット 1）
注 2. ELC_AD01（ユニット 0）および ELC_AD11（ユニット 1）
注 3. ADC12i_ADI (i = 0, 1)
注 4. ADC12i_GBADI (i = 0, 1)

図 42.24 グループスキャンモードの基本動作例（ELC からの同期トリガ使用）

42.3.4.2 ダブルトリガモードでの A/D 変換

グループスキャンモードでダブルトリガモードを選択した場合は、グループ A は同期トリガ (GPT, ELC) で開始するシングルスキャン動作の実行 2 回分を一連の動作として実行します。グループ B は同期トリガ (GPT, ELC) で開始するシングルスキャン動作が 1 回実行されます。

グループスキャンモードにおいて、同期トリガは、グループ A では ADSTRGR.TRSA[5:0]ビットで選択でき、グループ B では ADSTRGR.TRSB[5:0]ビットで選択できます。2 つのグループで同時に A/D 変換することを防止するために、グループ A とグループ B では異なるトリガを使用してください。また、ソフトウェアトリガおよび非同期トリガは使用しないでください。

ADSTRGR.TRSA[5:0]ビットに 0x0B を設定することにより、グループ A の同期トリガとして ELC_AD00（ユニット 0）および ELC_AD10（ユニット 1）／ELC_AD01（ユニット 0）および ELC_AD11（ユニット 1）を選択した場合、拡張ダブルトリガモードで動作が進行します。

A/D 変換対象とするチャネルは、ADCSR レジスタの DBLANS[4:0]ビットでグループ A のチャネルを選択し、ADANSB0 レジスタでグループ B のチャネルを選択ます。グループ A とグループ B は同じチャネルを使用できません。

グループスキャンモードでダブルトリガモードを選択した場合、温度センサ出力 A/D 変換選択ビット (ADEXICR.TSSA) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) を 0（非選択）に設定してください。

グループスキャンモードでダブルトリガモード選択時は自己診断を選択できません。

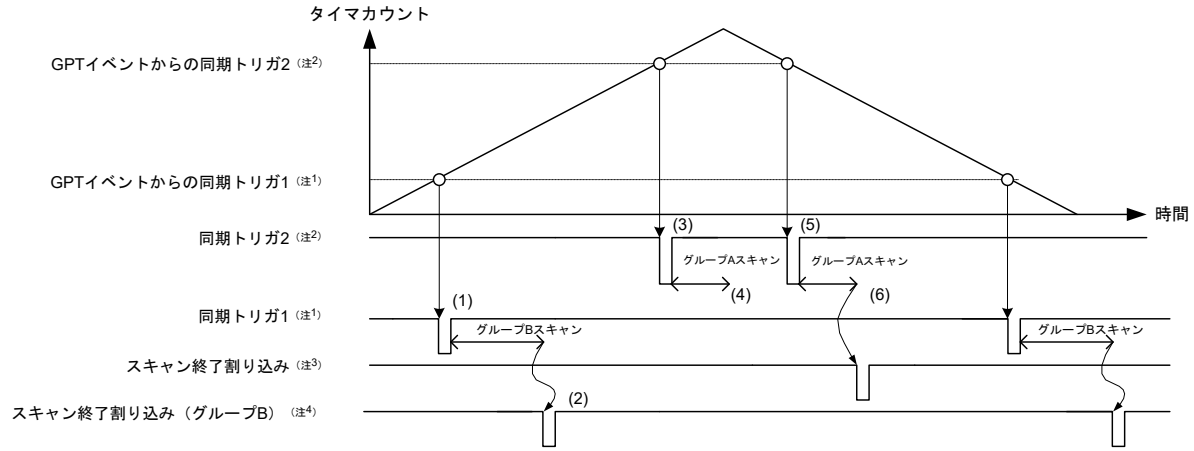
A/D 変換データの 2 重化は、2 重化するチャネルの番号を ADCSR.DBLANS[4:0]ビットに設定し、ADCSR.DBLE ビットを 1 にすると有効になります。

以下に ELC からの同期トリガによるグループスキャンモードかつダブルトリガモード設定時の動作例を示します。この例では、ELC_AD00 トリガ（ユニット 0）および ELC_AD10 トリガ（ユニット 1）がグループ A の変換の開始に使用され、ELC_AD01 トリガ（ユニット 0）および ELC_AD11 トリガ（ユニット 1）がグループ B の変換の開始に使用されます。さらに、ELC_AD00（ユニット 0）および ELC_AD10（ユニット 1）と ELC_AD01（ユニット 0）および ELC_AD11（ユニット 1）は関連する ELC.ELSRn レジスタで GPT イベントのために選択されます。

動作は以下のとおりです。

1. ELC からの ELC_AD00 トリガ（ユニット 0）および ELC_AD10 トリガ（ユニット 1）によりグループ B のスキャンを開始します。

2. グループ B のスキャン完了時に、ADCSR.GBADIE ビットが 1（スキャン完了時に ADC12i_GBADI (i = 0, 1) 割り込み許可）に設定されていると、ADC12i_GBADI (i = 0, 1) 割り込みが発生します。
3. 1 回目の ELC_AD01 トリガ（ユニット 0）および ELC_AD11 トリガ（ユニット 1）でグループ A の 1 回目のスキャンを開始します。
4. グループ A の 1 回目のスキャン完了時は、変換結果を対応する A/D データレジスタ y (ADDRy) に格納します。ADC12i_ADI (i = 0, 1) 割り込み要求は発生しません。
5. 2 回目の ELC_AD01 トリガ（ユニット 0）および ELC_AD11 トリガ（ユニット 1）でグループ A の 2 回目のスキャンを開始します。
6. グループ A の 2 回目のスキャン完了時は、変換データを ADDBLDR に格納します。ADC12i_ADI (i = 0, 1) 割り込みが発生します。



注 1. ELC_AD00（ユニット 0）および ELC_AD10（ユニット 1）
注 2. ELC_AD01（ユニット 0）および ELC_AD11（ユニット 1）
注 3. ADC12i_ADI (i = 0, 1)
注 4. ADC12i_GBADI (i = 0, 1)

図 42.25 グループスキャンモードでダブルトリガモードを使用する場合の基本動作例（ELC からの同期トリガ使用時）

42.3.4.3 グループ優先動作

グループスキャンモードで ADGSPCR.PGS ビットを 1 にすると、グループ優先動作を行います。グループの優先順位はグループ A > グループ B です。

ADGSPCR レジスタの PGS ビットを 1 にする場合、図 42.26 に記載された手順に従い、設定を実行してください。フローチャート以外の設定をした場合、A/D 変換の動作および格納されたデータは保証されません。

グループスキャンモードの基本動作では、グループ A とグループ B の A/D 変換中に発生したトリガ入力は無視され、各グループの A/D 変換動作はシングルスキャンモードと同じ動作になります。

グループ優先動作では、低優先グループのスキャン中に優先グループのトリガ入力があった場合、低優先グループの A/D 変換動作を中断して、優先グループの A/D 変換動作を行います。

ADGSPCR.GBRSCN ビットが 0 のとき、優先グループの A/D 変換動作終了後、低優先グループは待機状態となります。また A/D 変換中に発生した低優先グループのトリガ入力は無視されます。

ADGSPCR.GBRSCN ビットが 1 のとき、優先グループの A/D 変換動作終了後、自動的に低優先グループの A/D 変換動作を再実行します。また優先グループの A/D 変換中に発生した低優先グループのトリガ入力は有効となり、優先グループの A/D 変換動作終了後、自動的に低優先グループの A/D 変換動作を実行します。

ADGSPCR.GBRSCN ビットが 1、ADGSPCR.LGRRS が 0 のとき、低優先グループの A/D 変換動作は先頭から再実行します。また、ADGSPCR.LGRRS が 1 のとき、低優先グループの A/D 変換動作は中断したチャネルから再実行します。ただし、自己診断機能を使用した場合は、自己診断後に中断したチャネルから再実行します。

表 42.26 に ADGSPCR.GBRSCN ビットの設定と A/D 変換中のトリガ入力時の動作をまとめます。

ADGSPCR.GBRP ビットに 1 を設定したとき、最も優先度の低いグループの A/D 変換動作は、シングルスキャンを連続で実行する動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0]ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0]ビットでグループ B の同期トリガを選択してください。各トリガは互いに異なるトリガを選択する必要があります。ADGSPCR.GBRP ビットを 1 に設定する場合、ADSTRGR.TRSB[5:0]ビットを 0x3F にしてください。

スキャン対象とするチャネルは、「42.3.4. グループスキャンモード」に記載のレジスタで選択します。

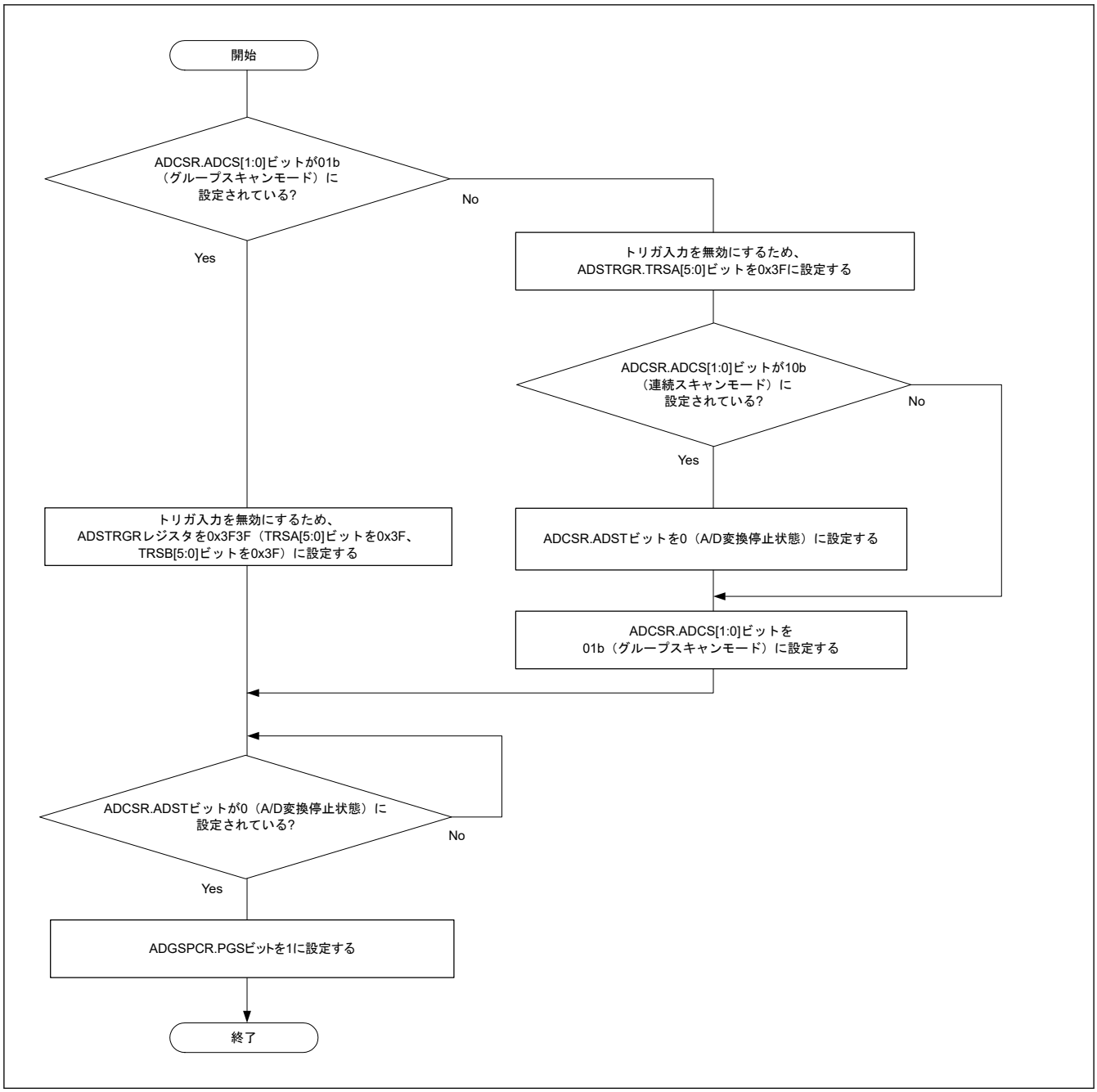


図 42.26 ADGSPCR.PGS ビット設定時のフローチャート

表 42.26 ADGSPCR.GBRSCN ビットの設定による A/D 変換動作制御

A/D 変換動作	トリガ入力	ADGSPCR.GBRSCN = 0	ADGSPCR.GBRSCN = 1
グループ A の A/D 変換中	グループ A トリガ入力	トリガ入力無効	トリガ入力無効
	グループ B トリガ入力	トリガ入力無効	グループ A の A/D 変換動作終了後、グループ B の A/D 変換動作を行います
グループ B の A/D 変換中	グループ A トリガ入力	グループ B の A/D 変換を中断し、グループ A の A/D 変換動作開始	• グループ B の A/D 変換を中断し、グループ A の A/D 変換動作開始 • グループ A の A/D 変換終了後、グループ B の A/D 変換を開始します。
	グループ B トリガ入力	トリガ入力無効	トリガ入力無効

グループ優先動作モードを使用する場合、下記の表を参考に実現したい動作モードを選択して、レジスタを設定してください。

表 42.27 2 グループのグループ優先動作設定と動作モード (ADGSPCR.PGS = 1)

ADGSPCR			動作分類
GBRSCN	LGRRS	GBRP	
0	x	0	2 グループ（グループ A、B）のグループ優先動作 • グループ A のトリガが入力されたとき、グループ B の A/D 変換動作は終了する（再実行しない）
1	0	0	2 グループ（グループ A、B）のグループ優先動作 • グループ B の A/D 変換動作が中断された後、グループ A の A/D 変換動作終了後に、ADANSB0 レジスタで選択したグループ B のチャネルの A/D 変換を、チャネル番号の小さい順に再開します。
1	1	0	2 グループ（グループ A、B）のグループ優先動作 • グループ B の A/D 変換動作が中断された後、グループ A の A/D 変換動作終了後に、ADANSB0 レジスタで選択したグループ B のチャネルの A/D 変換を、中断したチャネルからチャネル番号の小さい順に再開します。(注1)
x	0	1	2 グループ（グループ A、B）のグループ優先動作 • グループ B は開始トリガ入力なしで、連続でシングルスキャンを実施。グループ B の A/D 変換動作が中断された後、グループ A の A/D 変換動作終了後に、ADANSB0 レジスタで選択したチャネルのシングルスキャンを、チャネル番号の小さい順に再開します。
1	1	1	2 グループ（グループ A、B）のグループ優先動作 • グループ B は開始トリガ入力なしで、連続でシングルスキャンを実施。グループ B の A/D 変換動作が中断された後、グループ A の A/D 変換動作終了後に、ADANSB0 レジスタで選択したチャネルのシングルスキャンを、中断したチャネルからチャネル番号の小さい順に再開します。(注1)

注. x : Don't care
注 1. 自己診断機能有 (ADCER.DIAGM = 1) では、自己診断を実行してから中断したチャネルの A/D 変換を開始します。

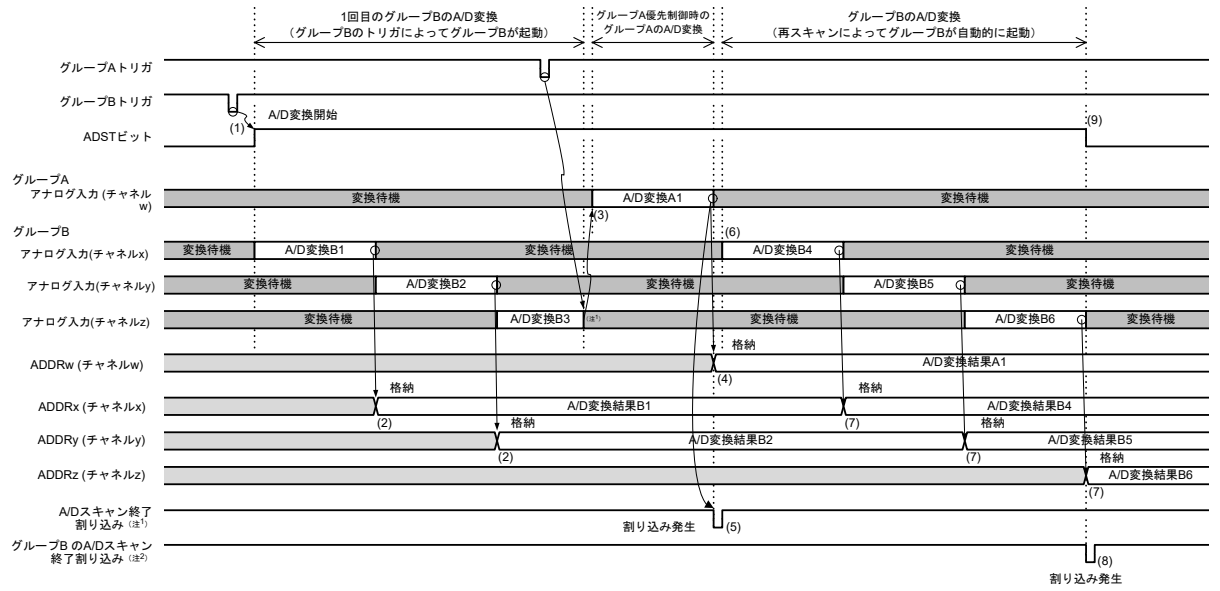
(1) 2 グループのグループ優先動作（ADGSPCR.PGS = 1 の場合）

動作例 1-1～1-3 にグループスキャンモードのグループ優先動作を示します。（ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、および ADGSPCR.LGRRS = 0 の場合）

動作例 1-1「グループ B スキャン中のグループ A トリガ入力」再スキャンあり

1. グループ B のトリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADANSB0 レジスタで選択したアナログ入力チャネルの n が小さい番号のチャネルから順に、A/D 変換を開始します。
2. グループ B の各チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
3. グループ B の A/D 変換中にグループ A のトリガが入力されると、ADCSR.ADST ビットを 1 に保持したまま、グループ B の A/D 変換が停止します。それから、ADANSA0 レジスタで選択したグループ A のアナログ入力チャネルの n が小さい番号のチャネルから順に、A/D 変換を開始します。A/D 変換が完了する前に停止した場合、A/D 変換結果は A/D データレジスタ y (ADDRy) に格納されません。
4. チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。

5. ADC120_ADI 割り込み要求が発生します。
6. ADGSPCR.GBRSCN ビットが 1（グループ優先動作で中断されたグループの再スキャンをする）に設定されていれば、ADCSR.ADST ビットを 1 に保持したまま、ADANSB0 レジスタで選択したグループ B のアナログ入力チャネルの n が小さい番号のチャネルから順に、A/D 変換を再開します。
7. チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
8. ADCSR.GBADIE ビットが 1（グループ B のスキャン終了後に割り込み発生の許可）に設定されていると、グループ B スキャン終了割り込み要求を発生します。
9. ADCSR.ADST ビットは、すべての A/D 変換結果が終了すると自動的にクリアされ、A/D コンバータは待機状態になります。



注. w、x、y、および z (x < y < z) は ADANSA0 または ADANSB0 により選択されたチャネル番号です。
注 1. ADC12i_ADI (i = 0, 1)
注 2. ADC12i_GBADI (i = 0, 1)

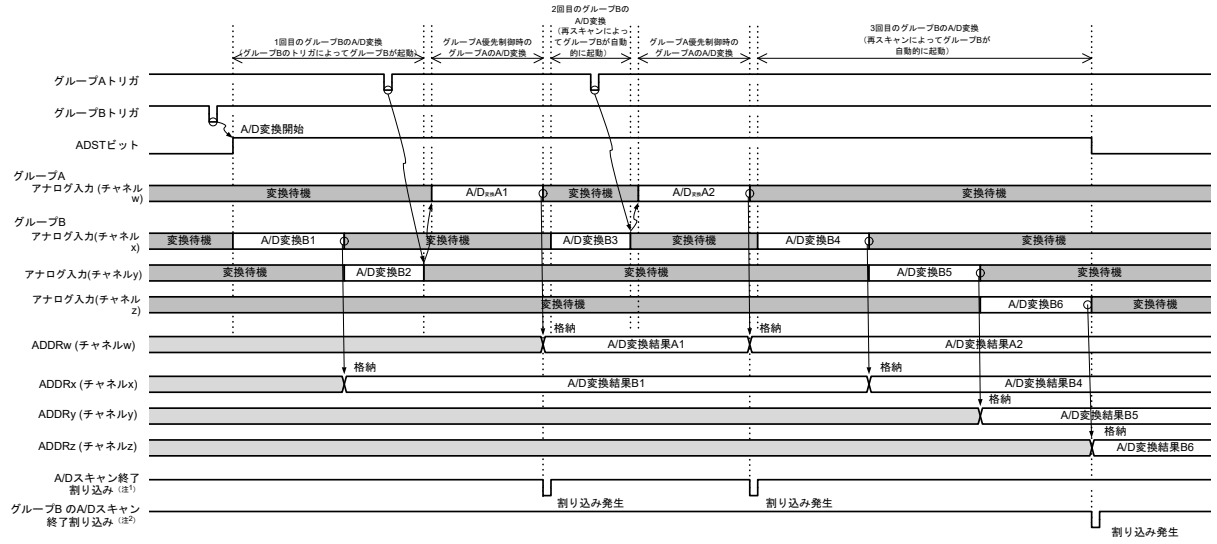
図 42.27 グループ優先動作の例 1-1：グループ B スキャン中のグループ A トリガ入力、再スキャンあり（ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、および ADGSPCR.LGRRS = 0 の場合）

動作例 1-2「グループ B 再スキャン中のグループ A トリガ入力」再スキャンあり

図 42.28 にグループ B 再スキャン動作中に、グループ A のトリガが入力された場合を示します。

再スキャン動作中であっても、グループ A のトリガが入力されると、グループ B の A/D 変換動作を中断し、グループ A の A/D 変換動作を開始します。グループ A の A/D 変換終了後、グループ B の A/D 変換を開始します。

ADCSR.ADST ビット、A/D 変換結果は A/D データレジスタ y (ADDRy) への格納、割り込み要求の発生は、動作例 1-1 と同じ動作です。



注. w、x、y、および z (x < y < z) は ADANSA0 または ADANSB0 により選択されたチャネル番号です。
注 1. ADC12i_ADI (i = 0, 1)
注 2. ADC12i_GBADI (i = 0, 1)

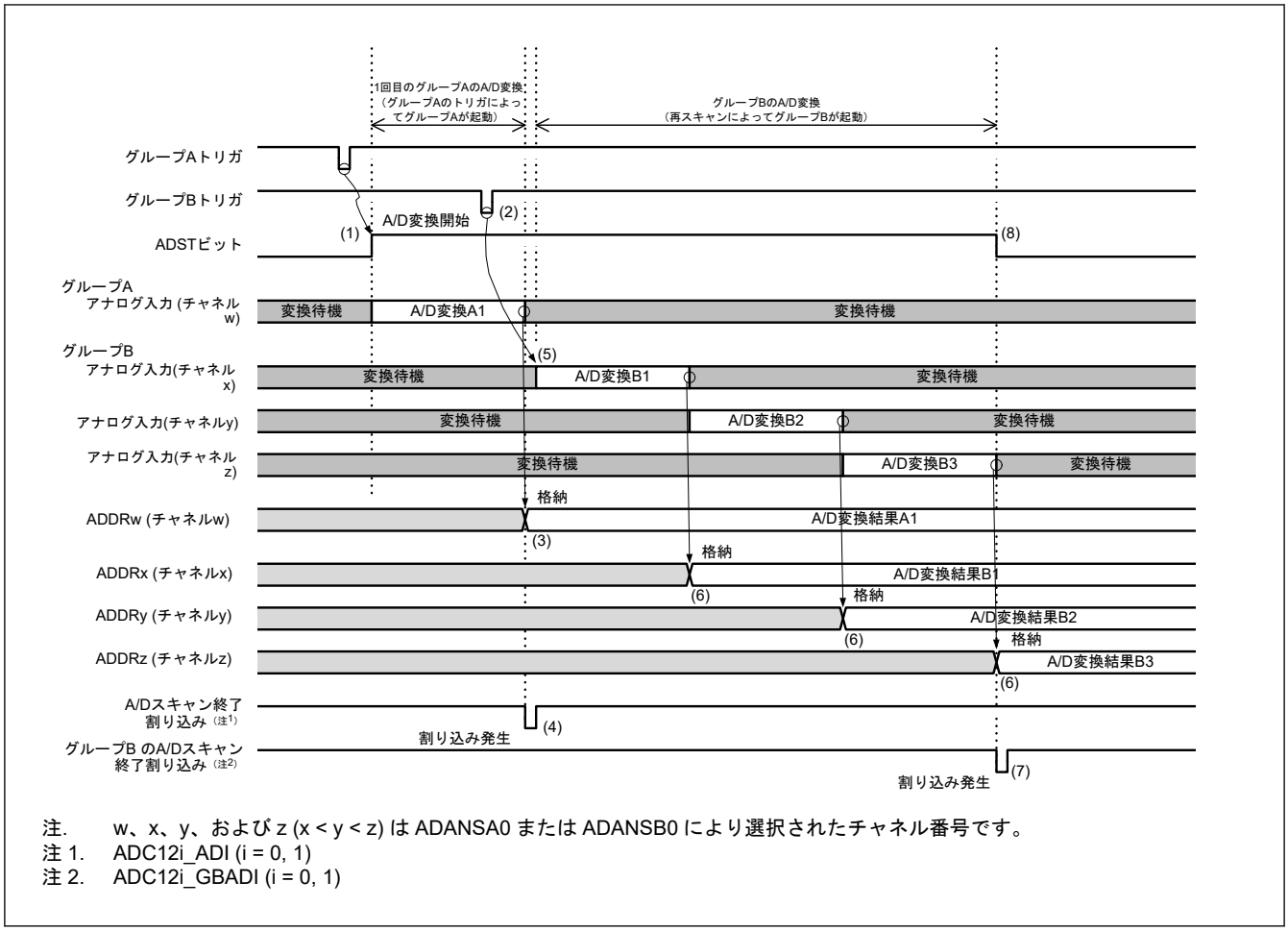
図 42.28 グループ優先動作の例 1-2：グループ B 再スキャン中のグループ A トリガ入力、再スキャンあり（ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、および ADGSPCR.LGRRS = 0 の場合）

動作例 1-3「グループ A スキャン中のグループ B トリガ入力」再スキャンあり

ADGSPCR.GBRSCN ビットが 1（グループ優先動作で中断されたグループの再スキャンをする）の設定で、グループ A のスキャン動作中にグループ B のトリガが入力された場合を説明します。

ADGSPCR.GBRSCN ビットが 0 に設定されている場合は、グループ A のスキャン動作中に入力されたグループ B のトリガは全て無効となります。

1. グループ A のトリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADANSA0 レジスタで選択したグループ A のアナログ入力チャネルの n が小さい番号のチャネルから順に、A/D 変換を開始します。
2. グループ A の A/D 変換中に、グループ B のトリガ入力が入力されると、グループ B は A/D 変換実行可能状態になります。
3. グループ A の各チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
4. ADC120_ADI 割り込み要求が発生します。
5. グループ A の A/D 変換完了後、ADCSR.ADST ビットを 1 に保持したまま、ADANSB0 レジスタで選択したグループ B のアナログ入力チャネルの n が小さい番号のチャネルから順に、A/D 変換を開始します。
   グループ B の A/D 変換中にグループ A のトリガが入力されると、動作例 1-1 と同じくグループ A の A/D 変換を開始し、グループ A の A/D 変換完了後、グループ B の A/D 変換を開始します。
6. 1 チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
7. グループ B の A/D 変換終了後、ADCSR.GBADIE ビットが 1（グループ B のスキャン終了後の割り込み発生の許可）に設定されていると、グループ B スキャン終了割り込み要求を発生します。
8. ADCSR.ADST ビットは、すべての A/D 変換結果が終了すると自動的にクリアされ、A/D コンバータは待機状態になります。



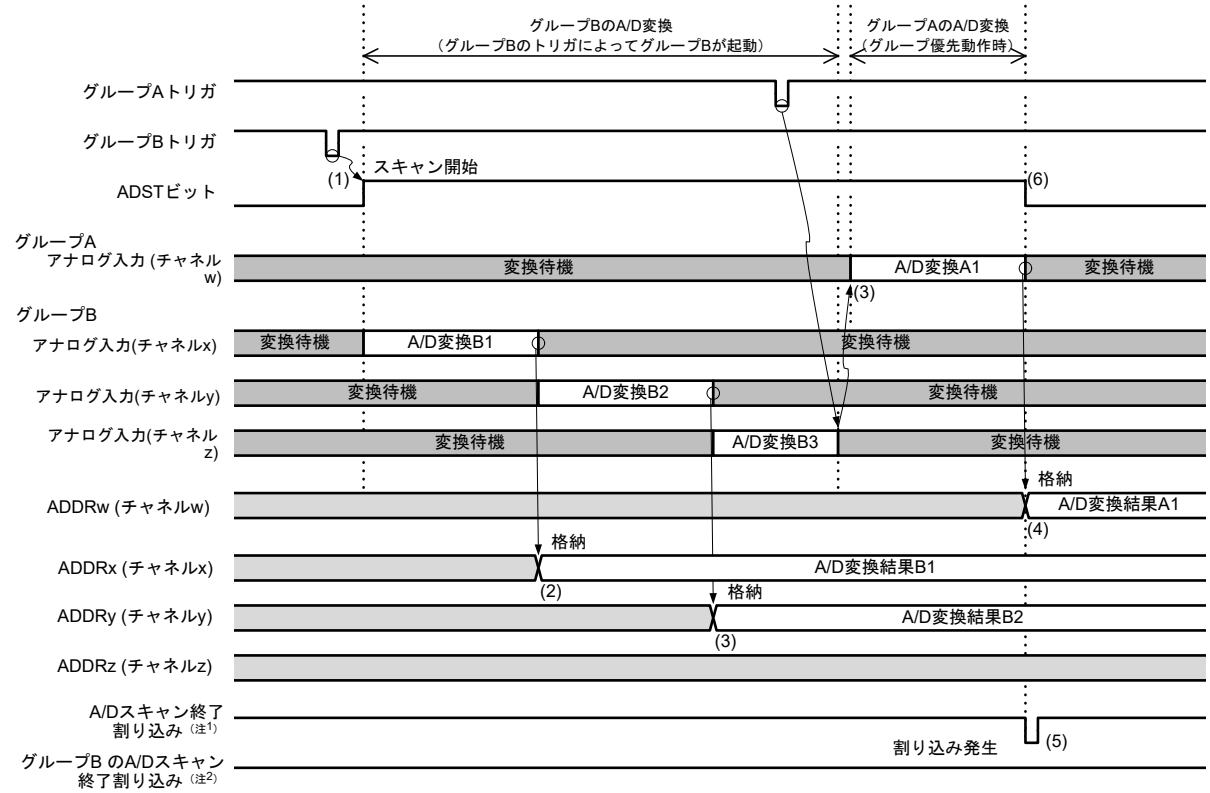
注. w、x、y、および z (x < y < z) は ADANSA0 または ADANSB0 により選択されたチャネル番号です。
注 1. ADC12i_ADI (i = 0, 1)
注 2. ADC12i_GBADI (i = 0, 1)

図 42.29 グループ優先動作の例 1-3：グループ A スキャン中のグループ B トリガ入力、再スキャンあり（ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、および ADGSPCR.LGRRS = 0 の場合）

動作例 1-4 にグループスキャンモードのグループ優先動作を示します。（ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0、および ADGSPCR.LGRRS = 0 の場合）

動作例 1-4「グループ B スキャン中のグループ A トリガ入力」再スキャンなし

1. グループ B のトリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADANSB0 レジスタで選択したアナログ入力チャネルの n が小さい番号のチャネルから順に、A/D 変換を開始します。
2. グループ B の各チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
3. グループ B の A/D 変換中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを 1 に保持したまま、グループ B の A/D 変換動作を中断し、ADANSA0 レジスタで選択したグループ A のアナログ入力チャネルの n が小さい番号のチャネルから順に、A/D 変換を開始します。A/D 変換が完了する前に停止した場合、A/D 変換結果は A/D データレジスタ y (ADDRy) に格納されません。
4. 1 チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
5. グループ A の A/D 変換が完了すると、ADC120_ADI 割り込み要求が発生します。
6. ADCSR.ADST ビットは、グループ A の A/D 変換結果が終了すると自動的にクリアされ、A/D コンバータは待機状態になります。グループ B は、以降のグループ B トリガ入力まで A/D 変換を行いません。



注. w、x、y、および z (x < y < z) は ADANSA0 または ADANSB0 により選択されたチャネル番号です。
注 1. ADC12i_ADI (i = 0, 1)
注 2. ADC12i_GBADI (i = 0, 1)

図 42.30 グループ優先動作の例 1-4：グループ B スキャン中のグループ A トリガ入力、再スキャンなし（ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0、および ADGSPCR.LGRRS = 0 の場合）

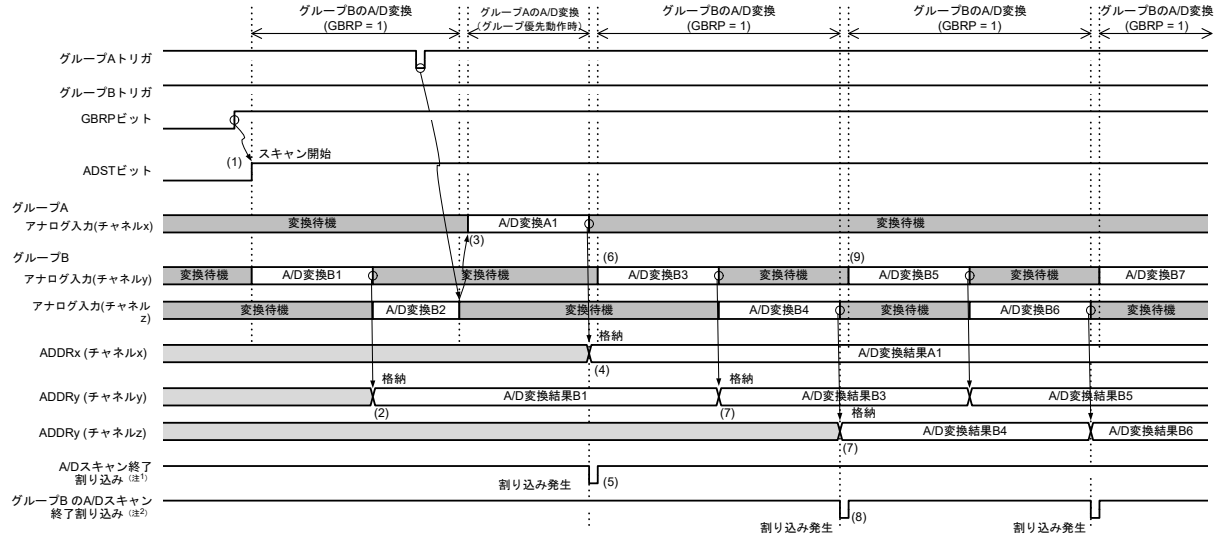
動作例 1-5 にグループスキャンモードのグループ優先動作を示します。（ADGSPCR.GBRP = 1 および ADGSPCR.LGRRS = 0 の場合）

動作例 1-5「グループ B のシングルスキャン連続動作」

1. ADGSPCR.GBRP = 1 を設定すると、ADCSR.ADST ビットが 1（A/D 変換開始）になり、ADANSB0 レジスタで選択したアナログ入力チャネルの n が小さい番号のチャネルから順に、A/D 変換を開始します。
2. グループ B の各チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
3. グループ B の A/D 変換中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを 1 に保持したまま、グループ B の A/D 変換動作を中断し、ADANSA0 レジスタで選択したグループ A のアナログ入力チャネルの n が小さい番号のチャネルから順に、A/D 変換を開始します。A/D 変換が完了する前に停止した場合、A/D 変換結果は A/D データレジスタ y (ADDRy) に格納されません。
4. 1 チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
5. グループ A の A/D 変換が完了すると、ADC120_ADI 割り込み要求が発生します。
6. ADGSPCR.GBRP = 1（シングルスキャン連続動作する）に設定されていると、ADCSR.ADST ビットを 1（A/D 変換開始）に保持したまま、ADANSB0 レジスタで選択したグループ B のアナログ入力チャネルの n が小さい番号のチャネルから順に、A/D 変換を再開します。
7. 1 チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
8. ADCSR.GBADIE ビットが 1（グループ B のスキャン終了後に割り込み発生の許可）に設定されていると、グループ B スキャン終了割り込み要求を発生します。

9. ADGSPCR.GBRP = 1（シングルスキャン連続動作する）に設定されていると、ADCSR.ADST ビットを 1（A/D 変換開始）に保持したまま、ADANSB0 レジスタで選択したグループ B のアナログ入力チャネルの n が小さい番号のチャネルから順に、A/D 変換を再開します。

ADGSPCR.GBRP ビットが 1 になっている間は、6～9 の動作を繰り返します。ADGSPCR.GBRP ビットが 1 になっている間は、ADCSR.ADST ビットを 0 にクリアしないでください。ADGSPCR.GBRP = 1 の場合に A/D 変換を強制終了するには、図 42.43 の手順に従ってください。



注. x、y、および z (y < z) は ADANSA0 または ADANSB0 により選択されたチャネル番号です。
注 1. ADC12i_ADI (i = 0, 1)
注 2. ADC12i_GBADI (i = 0, 1)

図 42.31 グループ優先動作の例 1-5：グループ B のシングルスキャン連続動作（ADGSPCR.GBRP = 1, ADGSPCR.LGRRS = 0 の場合）

注. グループ B をシングルスキャン連続動作させる場合は、グループ B のトリガ入力を無効にしてください。

42.3.5 コンペア機能（ウィンドウ A、ウィンドウ B）

42.3.5.1 コンペア機能ウィンドウ A/B

コンペア機能は、基準値と A/D 変換結果を比較する機能です。基準値はウィンドウ A およびウィンドウ B それぞれに設定することができます。コンペア機能の使用中は、自己診断機能およびダブルトリガモードは使用できません。ウィンドウ A とウィンドウ B の大きな違いとしては、割り込み出力信号の違いと、ウィンドウ B は 1 つのチャネルしか選択できないという制限が挙げられます。

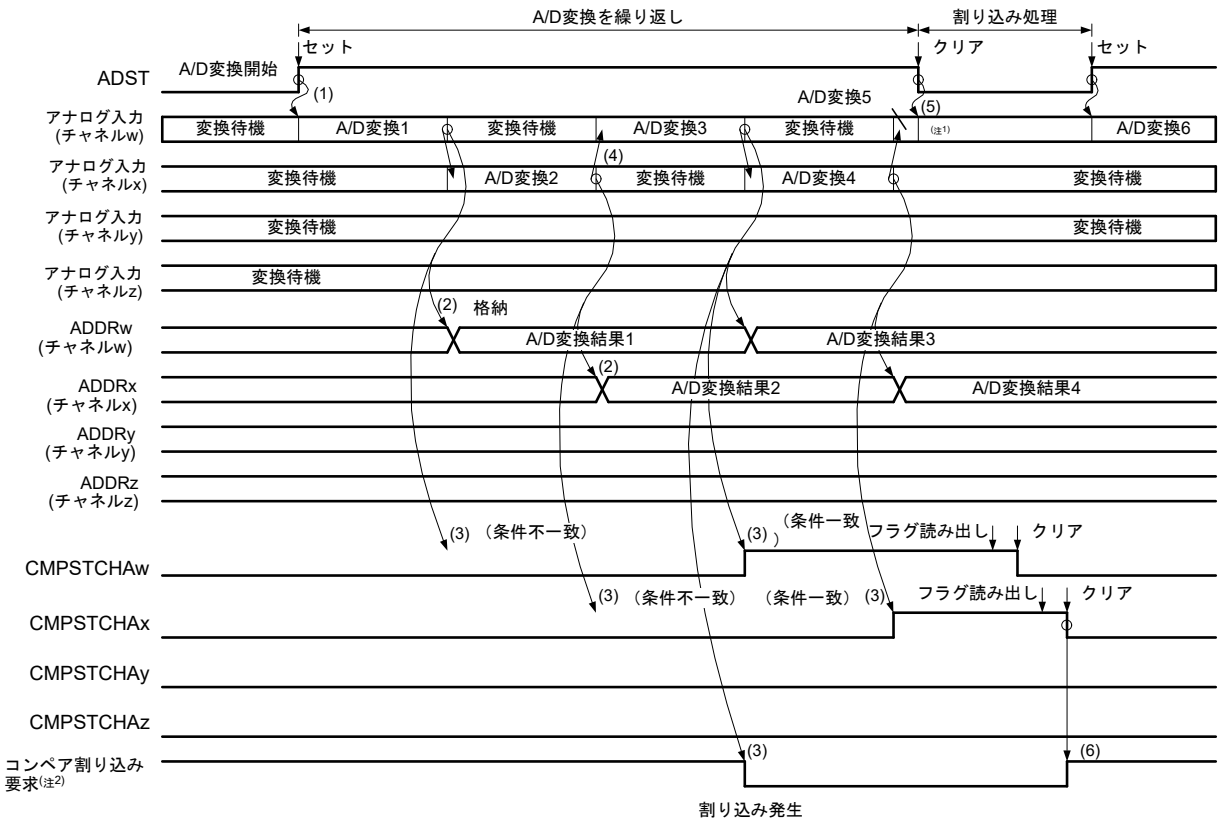
本項では、連続スキャンモードとコンペア機能を組み合わせた動作例を示します。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ (GPT, ELC) または非同期トリガによって ADCSR.ADST ビットが 1（A/D 変換開始）になると、選択されたチャネル、温度センサ、内部基準電圧の順序で A/D 変換を開始します。
2. A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ y（ADDRy、ADTSDR、または ADOCDR）に格納されます。ADCMPCR.CMPAE が 1 のとき、ウィンドウ A に対して ADCMPANSR0 レジスタまたは ADCMPANSER レジスタのビットを設定すると、A/D 変換結果を、設定した ADCMPDR0/1 レジスタ値と比較します。ADCMPCR.CMPBE が 1 のとき、ウィンドウ B に対して ADCMPBNSR レジスタのビットを設定すると、A/D 変換結果を、ADWINULB/ADWINLLB レジスタの設定値と比較します。
3. 比較の結果、ウィンドウ A が ADCMPLR0/1 または ADCMPLER で設定した条件と一致したとき、コンペア機能ウィンドウ A のフラグ（ADCMPSR0.CMPSTCHAn、ADCMPSER.CMPSTTSA、または ADCMPSER.CMPSTOCA）が 1 になります。このとき、ADCMPCR.CMPAIE ビットが 1 に設定されていると、ADC12i_CMPAI (i = 0, 1) 割り込み要求が発生します。同様に、ウィンドウ B が ADCMPBNSR.CMPLB に設定

された条件と一致すると、コンペアウィンドウ B フラグ (ADCMPBSR.CMPSTB) が 1 になります。このとき、ADCMPCR.CMPBIE ビットが 1 に設定されていると、ADC12i_CMPBI (i = 0, 1) 割り込み要求が発生します。

4. 選択したすべての A/D 変換および比較が終了すると、スキャンが再開します。
5. ADC12i_CMPAI (i = 0, 1) 割り込みと ADC12i_CMPBI (i = 0, 1) 割り込みを受け付けると、ADCSR.ADST ビットを 0（A/D 変換停止）に設定し、コンペアフラグが 1 であるチャネルの処理を行います。
6. ウィンドウ A のすべてのコンペアフラグをクリアすると、ADC12i_CMPAI (i = 0, 1) 割り込み要求は取り消されます。同様に、ウィンドウ B のすべてのコンペアフラグをクリアすると、ADC12i_CMPBI (i = 0, 1) 割り込み要求が解除されます。再度比較を実行するには、再度 A/D 変換を開始してください。



注. w、x、y、および z (w < x < y < z) は ADANSA0 により選択されたチャネル番号です。
注 1. 変換中のデータは無視されます。
注 2. ADC12i_CMPAI (i = 0, 1)

図 42.32 コンペア機能の動作例（アナログ入力（チャネル w～z）を比較）

42.3.5.2 コンペア機能のイベント出力

コンペア機能のイベント出力は、ウィンドウ A とウィンドウ B のそれぞれに、上側基準値と下側基準値を設定します。選択したチャネルの A/D 変換値を上側／下側基準値と比較して、ウィンドウ A およびウィンドウ B の比較条件成立／不成立からイベント条件 (A OR B, A AND B, A XOR B) に応じてイベント (ADC12i_WCMPM (i = 0, 1)/ADC12i_WCMPUM (i = 0, 1)) を出力します。

ウィンドウ A で複数のチャネルを選択し、チャネルのうち 1 つでも比較条件と一致した場合、ウィンドウ A の比較結果は一致となります。この機能を使用する場合、A/D 変換はシングルスキャンモードで行ってください。

ウィンドウ A の場合、アナログ入力のチャネル、内部基準電圧、温度センサ出力、VBATT 1/3 電圧監視出力の中から任意のチャネルを選択できます。

ウィンドウ B の場合、アナログ入力のチャネル、内部基準電圧、温度センサ出力、VBATT 1/3 電圧監視出力の中から 1 つのチャネルを選択できます。

コンペア機能のイベント出力使用時の設定手順および設定例を以下に示します。

1. ADCSR.ADCS ビットの値が 00b（シングルスキャンモード）であることを確認します。
2. ADCMPANSR0 および ADCMPANSER レジスタでウィンドウ A のチャネルを選択します。ADCMPLR0/1 および ADCMPLER レジスタにウィンドウ比較条件を設定します。ADCMPDR0/1 レジスタに上側および下側基準値を設定してください。
3. ADCMPBNSR レジスタでウィンドウ B のチャネルおよび比較条件を選択し、ADWINULB/ADWINLLB レジスタで上側および下側基準値を設定します。
4. ウィンドウ A/B の複合条件、ウィンドウ A/B 動作許可、および割り込み出力許可を ADCMPCR レジスタに設定してください。

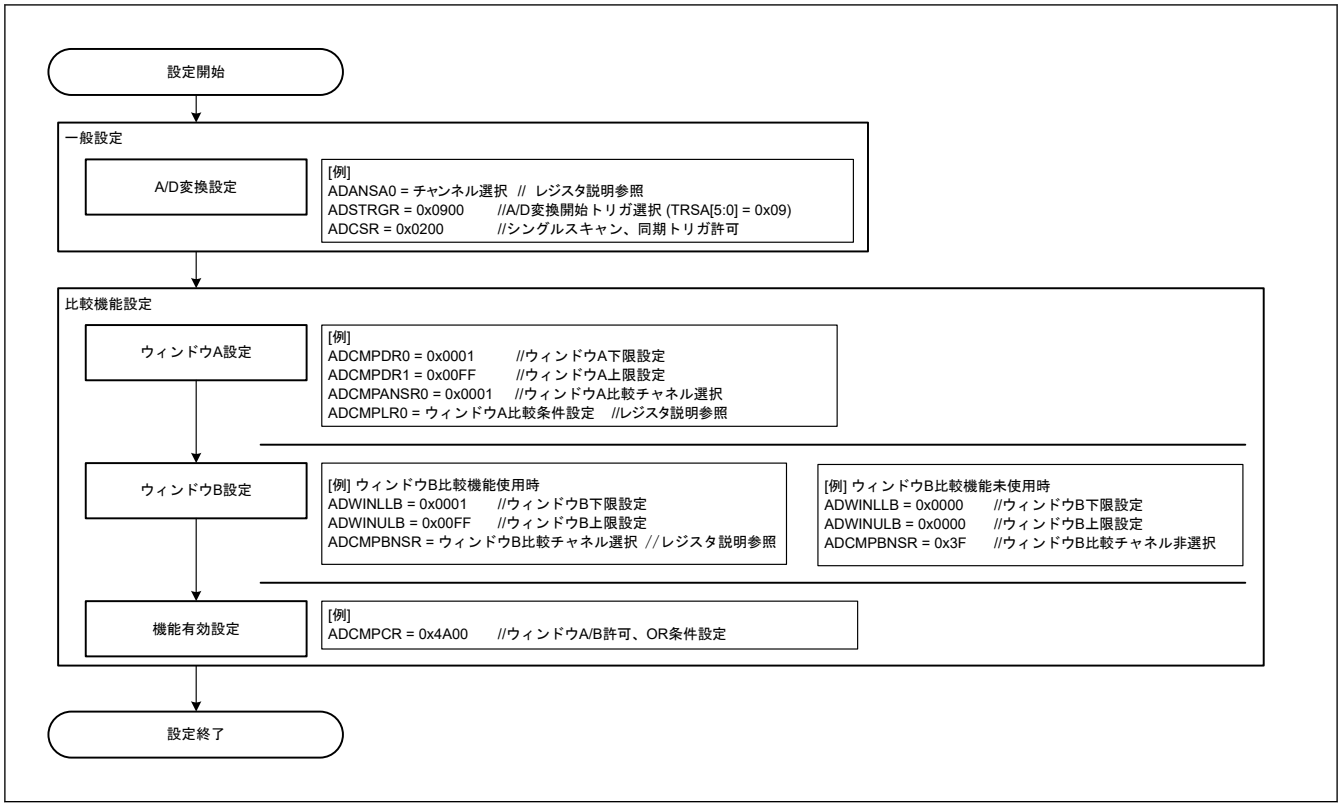


図 42.33 コンペア機能のイベント出力使用時の設定例

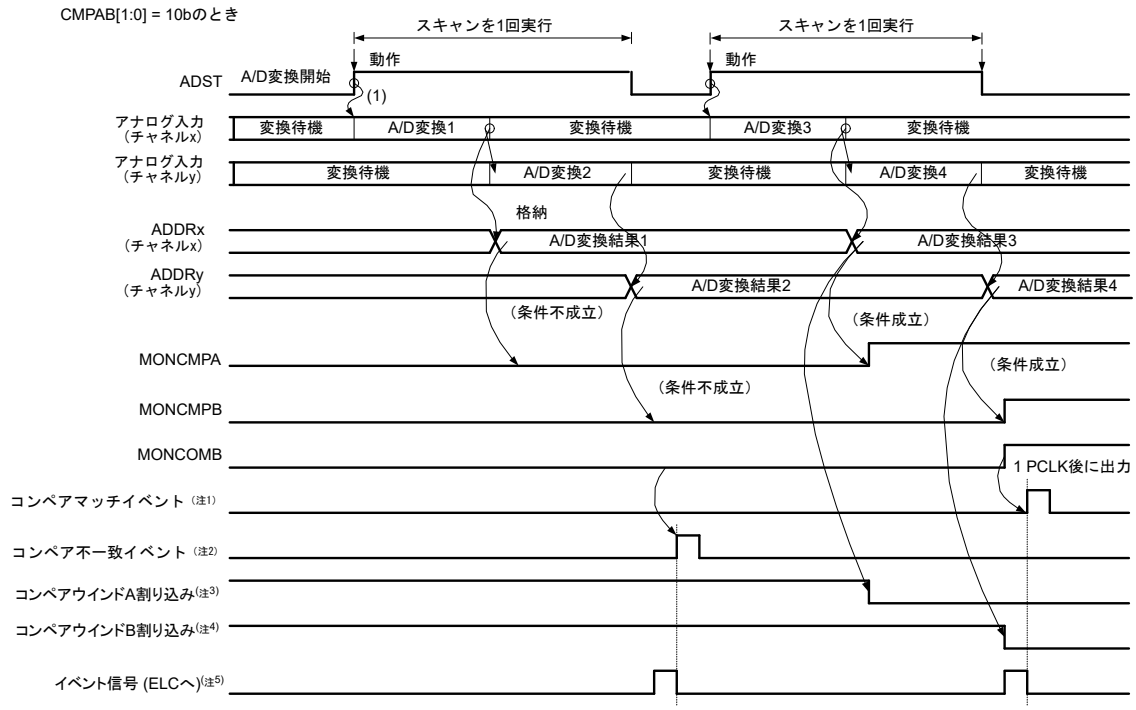
コンペア機能でウィンドウ A のみを使用するときのイベント出力の使用方法について、以下に注意点を示します。

- ウィンドウ A および B をどちらも有効（ADCMPCR.CMPAE = 1、ADCMPCR.CMPBE = 1）にしてください
- ウィンドウ A および B の複合条件を「OR 条件」にしてください (ADCMPCR.CMPAB[1:0] = 00b)
- ウィンドウ B の比較対象チャネルは「非選択」にしてください (ADCMPBNSR.CMPCHB[5:0] = 0x3F)
- ウィンドウ B の比較条件を、常に不一致を表す「0 < 結果 < 0」に設定してください（ADCMPCR.WCMPE = 1、ADWINLLB[15:0] = ADWINULB[15:0] = 0x0000、および ADCMPBNSR.CMPLB = 1）

図 42.34 にコンペア機能のイベント出力動作例を示します。

シングルスキャンが完了するタイミングで、スキャン終了イベント (ADC12i_ADI (i = 0, 1)) を出力します。その後、ADCMPCR.CMPAB[1:0]の設定に従い、1 PCLKA 遅れて一致または不一致イベント (ADC12i_WCMPM (i = 0, 1)/ADC12i_WCMPUM (i = 0, 1)) を出力します。

注. 一致イベントと不一致イベントは排他的であるため、2 つのイベントを同時に出力することはありません。



注. x と y (x < y) は ADANSA0 により選択されたチャネル番号です。
注 1. ADC12i_WCMPM (i = 0, 1)
注 2. ADC12i_WCMPUM (i = 0, 1)
注 3. ADC12i_CMPAI (i = 0, 1)
注 4. ADC12i_CMPBI (i = 0, 1)
注 5. ADC12i_ADI (i = 0, 1)

図 42.34 コンペア機能のイベント出力の動作例（アナログ入力（チャネル x、y）を比較）

注. コンペア機能のイベント出力は、ADCMPCR.CMPAB[1:0]の設定に従い、ウィンドウ A およびウィンドウ B の比較結果の一致／不一致を出力します。

注. ウィンドウ A の比較結果は、ウィンドウ A の比較対象チャネルの比較結果の論理和です。ウィンドウ A および B の比較結果は、A/D 変換ごとに更新され、シングルスキャンが終了しても保持されます。比較結果をクリアするには、ADCMPCR.CMPAE および ADCMPCR.CMPBE を 0 にしてください。

42.3.5.3 コンペア機能の制限事項

コンペア機能には以下の制限事項があります。

- コンペア機能は、自己診断機能またはダブルトリガモードと一緒には使用できません。ADRD、ADDBLDR、ADDBLDRA、および ADDBLDRB はコンペア機能対象外です。
- 一致／不一致イベント出力を使用する場合はシングルスキャンモードにしてください。
- ウィンドウ A に温度センサ出力、内部基準電圧を選択した場合、ウィンドウ B 動作は禁止されます。
- ウィンドウ B に温度センサ出力、内部基準電圧を選択した場合、ウィンドウ A 動作は禁止されます。
- ウィンドウ A とウィンドウ B に同じチャネルを設定することはできません
- バッファ機能を使用する場合はシングルスキャンモードを指定してください。ダブルトリガモードとの使用は禁止されています。
- 基準電圧値を設定する際は、高電位基準電圧値が低電位基準電圧値以上となるように設定してください。

42.3.6 アナログ入力のサンプリング時間とスキャン変換時間

スキャン変換は、ソフトウェアトリガ、同期トリガ (GPT, ELC)、または非同期トリガ (ADTRGn (n = 0, 1)) により起動できます。スキャン変換開始遅延時間 (t_D) の後に、サンプル&ホールド回路による処理、断線検出アシスト処理、自己診断変換処理をすべて行い、この後に A/D 変換処理が開始されます。

図 42.35 に、ソフトウェアトリガまたは同期トリガ (GPT, ELC) 起動によりスキャン変換を行う場合のタイミングを示します。また、図 42.36 に、非同期トリガ (ADTRGn (n = 0, 1)) 起動によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間 (t_{SCAN}) には、スキャン変換開始遅延時間 (t_D)、チャネル専用サンプル&ホールド回路処理時間 (tSPLSH)(注1)、断線検出アシスト処理時間 (t_{DIS})(注2)、自己診断 A/D 変換処理時間（t_{DIAG} および t_{DSD}）(注3)、A/D 変換処理時間 (t_{CONV} および t_{DSD})、チャネル専用サンプル&ホールド回路終了時間 (tSHED)(注4)、およびスキャン終了遅延時間 (t_{ED}) が含まれます。

A/D 変換処理時間 (t_{CONV}) は、入力サンプリング時間 (t_{SPL}) と逐次変換時間 (t_{SAM}) を合わせた時間となります。サンプリング時間 (t_{SPL}) は、A/D コンバータ内のサンプル&ホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D 変換クロック (ADCLK) が低速の場合には、ADSSTRn レジスタでサンプリング時間を調整できます。

逐次変換時間 (t_{SAM}) は以下の通りです。

- 12 ビット変換精度の場合、13 ステート (ADCLK)
- 10 ビット変換精度の場合、11 ステート (ADCLK)
- 8 ビット変換精度の場合、9 ステート (ADCLK)

表 42.28 に逐次変換時間 (t_{SAM}) を示します。

選択チャネル数が n のシングルスキャンのスキャン変換時間 (t_{SCAN}) は、次のように表されます。

$$t_{SCAN} = t_D + t_{SPLSH} + (t_{DIS} \times n) + t_{DIAG} + t_{ED} + (t_{CONV} \times n) + t_{ED}$$ (注5)

連続スキャンモードの 1 サイクル目のスキャン変換時間は、シングルスキャンの t_{SCAN} から t_{ED} を省いた時間です。連続スキャンの 2 サイクル目以降のスキャン変換時間は、以下の値に固定されます。

$$t_{SPLSH} + (t_{DIS} \times n) + t_{DIAG} + t_{DSD} + t_{SHED} + (t_{CONV} \times n) + t_{SHED}$$ (注5)

注 1. チャネル専用サンプル&ホールド回路を使用しない場合は、tSPLSH = 0 となります。
注 2. 断線検出アシストを設定しない場合は、t_{DIS} = 0 となります。
注 3. 自己診断機能を使用しない場合は、t_{DIAG} = 0、t_{DSD} = 0 となります。
注 4. チャネル専用サンプル&ホールド回路を使用しない場合は、連続スキャンモードを有効と見なして、t_{SHED} = 0 となります。シングルスキャンモードとグループスキャンモードでは、スキャン終了遅延時間 (t_{ED}) には t_{SHED} が含まれます。
注 5. 選択したすべてのチャネルの入力サンプリング時間 (t_{SPL}) が同じである場合、この要素は t_{CONV} × n になります。チャネルごとに異なるサンプリング時間の場合、この要素は選択したチャネルごとに設定した t_{SPL} と t_{SAM} の和となります。

表 42.28 にスキャン変換時間を示します。

表 42.28　スキャン変換時間（ADCLK と PCLKA のサイクル数）

項目			シンボル		種別／条件 同期トリガ(注4)	非同期トリガ	ソフトウェアトリガ	単位
スキャン開始処理時間(注1)(注2)	グループ A 優先動作によるグループ A の A/D 変換	グループ B 中断あり（グループ A の A/D 変換要因によってグループ B を停止させた後、グループ A を起動）	t_D		3 PCLKA + 6 ADCLK 5 PCLKA + 3 ADCLK(注5)	—	—	サイクル
		グループ B 中断なし（グループ A の A/D 変換要因によって起動）			2 PCLKA + 4 ADCLK	—	—	
	自己診断有効時の A/D 変換	自己診断 A/D 変換開始時			2 PCLKA + 6 ADCLK	4 PCLKA + 6 ADCLK	6 ADCLK	
	上記以外				2 PCLKA + 4 ADCLK	2 PCLKA + 4 ADCLK	4 ADCLK	
チャネル専用サンプル＆ホールド処理時間(注1)	サンプリング時間		t_{SPLSH}	t_{SH}	連続サンプリングなし：ADSHCR.SSTSH[7:0]設定値（初期値 = 0x18 × ADCLK） 連続サンプリングあり： 0			
	サンプリングから A/D 変換までの待機時間			t_W	12 ADCLK			
断線検出アシスト処理時間			t_{DIS}		ADNDIS[3:0]設定値（初期値 = 0x0） × ADCLK			
自己診断変換処理時間(注1)	サンプリング時間		t_{DIAG}	t_{SPL}	ADSSTR00 設定値（初期値 = 0x0B） × ADCLK(注3)	—	—	
	逐次変換時間	12 ビット変換精度		t_{SAM}	15 ADCLK	—	—	
		10 ビット変換精度			13 ADCLK	—	—	
		8 ビット変換精度			11 ADCLK	—	—	
	自己診断変換終了からアナログチャネルサンプリング開始までの待機時間			t_{DED}	2 ADCLK			
	連続スキャンモードでの最後のチャネル変換終了から自己診断サンプリング開始までの待機時間		t_{DSD}		2 ADCLK			
A/D 変換処理時間(注1)	サンプリング時間		t_{CONV}	t_{SPL}	ADSSTRn（n = 0～8（ユニット 0）、0～5（ユニット 1）、T、O、V）の設定値（初期値 = 0x0B）× ADCLK + 0.5 ADCLK			
	逐次変換時間	12 ビット変換精度		t_{SAM}	13 ADCLK			
		10 ビット変換精度			11 ADCLK			
		8 ビット変換精度			9 ADCLK			
チャネル専用サンプル＆ホールド終了処理時間			t_{SHED}		2 ADCLK			
スキャン終了処理時間(注1)			t_{ED}		1 PCLKA + 3 ADCLK 2 PCLKA + 3 ADCLK(注5)			

注 1.　t_D, t_{SPLSH}, t_{DIAG}, t_{CONV}, t_{ED} の各タイミングについては、図 42.35 および図 42.36 を参照してください。
注 2.　ソフトウェア書き込み、またはトリガ入力から A/D 変換開始までに必要な最長時間です。
注 3.　サンプリング時間設定は電気的特性を満たす必要があります。
注 4.　タイマ出力からトリガ入力までの経路で使われる時間は含みません。
注 5.　ADCLK が PCLKA より速い場合（PCLKA:ADCLK の分周比 = 1:2 または 1:4）、スキャン終了処理時間は変わります。

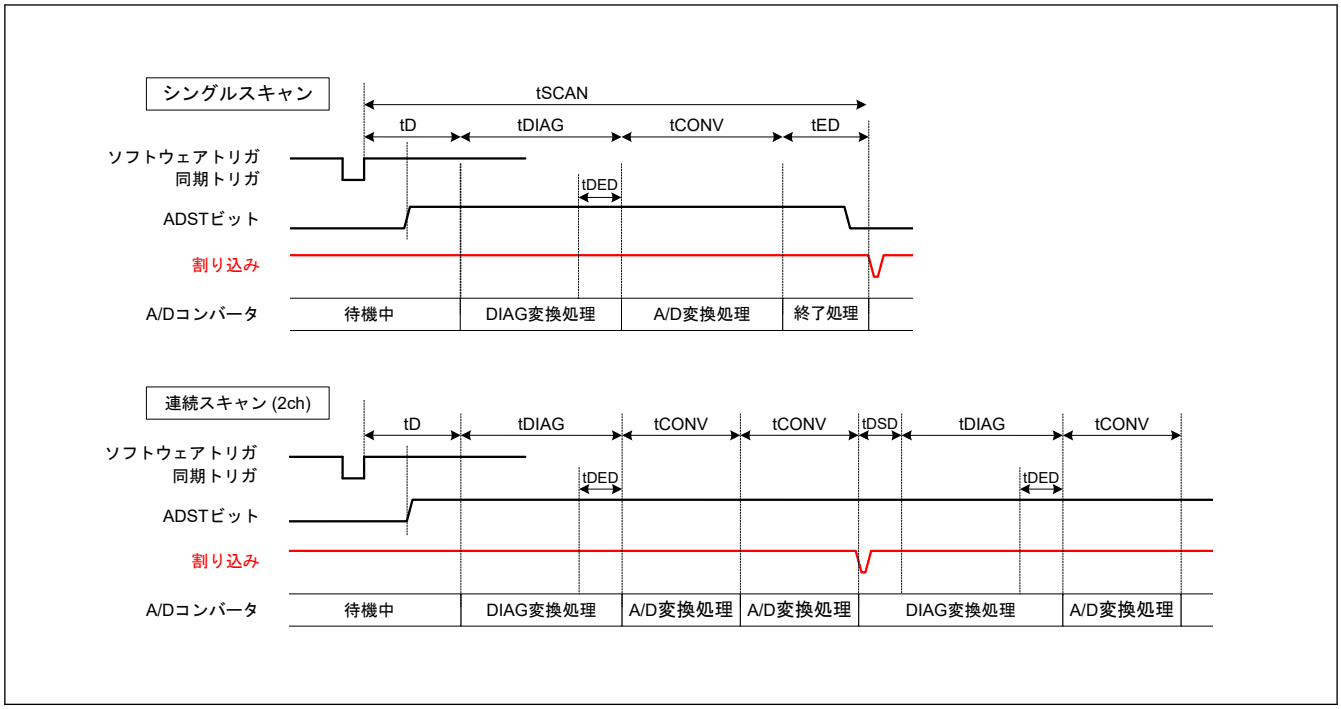


図 42.35　スキャン変換のタイミング（ソフトウェア起動または同期トリガ入力 (GPT, ELC) 起動の場合）

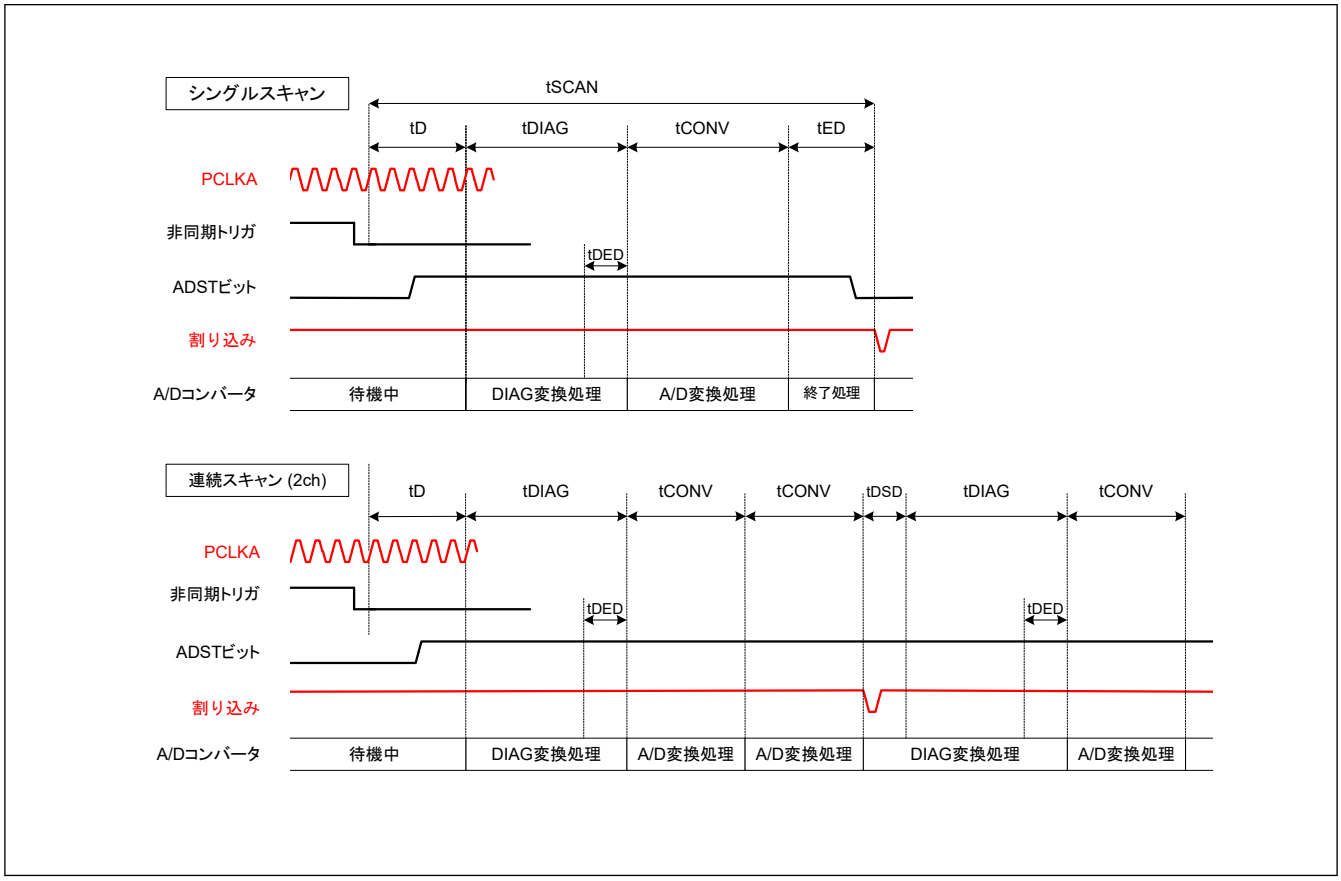


図 42.36　スキャン変換のタイミング（非同期トリガ入力 (ADTRGn (n = 0, 1)) 起動の場合）

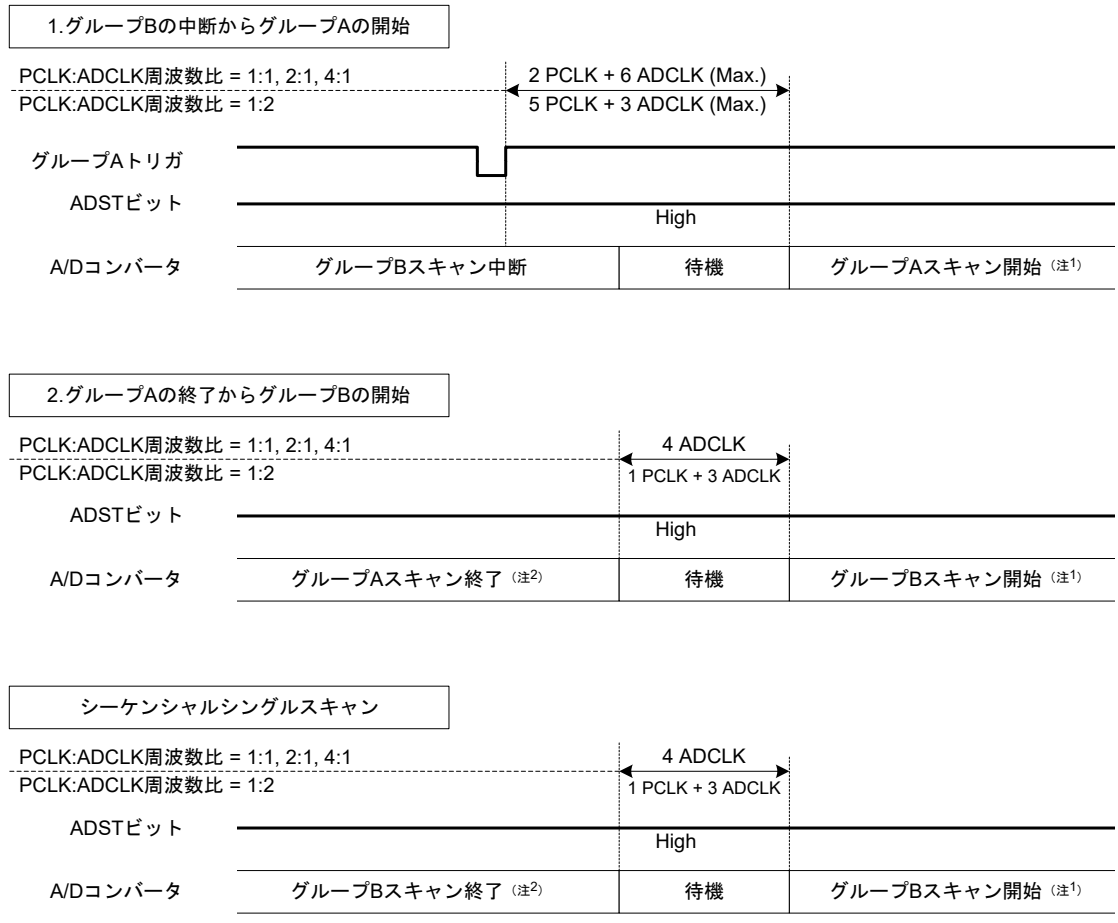
42.3.6.1　グループ優先制御における動作でのスキャンの中断／開始タイミング

グループ優先制御における動作で考慮する必要があるスキャンの中断／開始タイミングを以下に示します。

1. 低優先グループのスキャンを中断するタイミングと高優先グループのスキャンを開始するタイミング

2. 高優先グループのスキャン中に低優先グループのスキャンのトリガが受け付けられた場合に、高優先グループのスキャン終了時に低優先グループによるスキャンを再開するタイミング
3. 低優先グループがシングルスキャンを連続で行うタイミング

図 1.37 に上記の各ケースのタイミング図を示します。



注 1. スキャン開始の遅延時間は除きます。
注 2. スキャン終了の遅延時間は含まれます。

図 42.37 グループ優先制御における動作でのスキャンの中断／開始タイミング図

42.3.7 A/D データレジスタの自動クリア機能の使用例

ADCER.ACE ビットを 1 にすることにより、CPU、DTC、または DMAC によって A/D データレジスタを読み出す際、自動的に A/D データレジスタ (ADDRy, ADRD, ADDBLDR, ADDBLDRA, ADDBLDRB, ADTSDR, ADOCDR, ADVMDR) を 0x0000 にクリアできます。

この機能を使うことにより、A/D データレジスタ (ADDRy, ADRD, ADDBLDR, ADDBLDRA, ADDBLDRB, ADTSDR, ADOCDR, ADVMDR) の未更新故障を検出することができます。以下に ADDRy レジスタの自動クリア機能が無効／有効時の例を示します。

- ADCER.ACE ビットが 0（自動クリア禁止）の場合に、A/D 変換結果 (0x0222) が何らかの原因で ADDRy レジスタに書き込みされなかったとき、ADDRy レジスタの値は古いデータ (0x0111) を保持します。さらに A/D スキャン終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ (0x0111) を汎用レジスタに保持できます。ただし、未更新のチェックを行う場合、古いデータを SRAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。

- ADCER.ACE ビットが 1（自動クリア許可）の場合には、ADDRy = 0x0111 を CPU、DTC または DMAC により読み出す際、ADDRy レジスタは自動的に 0x0000 にクリアされます。その後、A/D 変換結果 (0x0222) が ADDRy レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (0x0000) が ADDRy レジスタ値として残ります。ここで A/D スキャン終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合は、0x0000 が汎用レジスタに保持されます。読み出されたデータ値が 0x0000 であることをチェックして、ADDRy レジスタの未更新故障があったことを判断できます。

42.3.8 A/D 変換値加算／平均モード

A/D 変換値加算／平均モードは、チャネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換、内部基準電圧 A/D 変換、および VBATT 1/3 電圧監視出力 A/D 変換選択時に使用できます。

A/D 変換値加算モードは、同じチャネルを 1、2、3、4、または 16 回連続で A/D 変換し、その変換値の合計をデータレジスタに保持します。加算機能の 16 回は、変換精度 12 ビット選択時のみ使用できます。A/D 変換値平均モードは、同じチャネルを 2 回または 4 回連続で A/D 変換し、その変換値の平均をデータレジスタに保持します。この結果の平均値を使用することで、発生しているノイズ成分のタイプによっては A/D 変換精度を向上させることができます。ただし、A/D 変換精度が必ず向上することを保証する機能ではありません。

A/D 変換値加算／平均機能は、チャネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換、または内部基準電圧 A/D 変換または VBATT 1/3 電圧監視出力 A/D 変換選択時に使用できます。A/D 変換値加算／平均機能は、ダブルトリガ機能選択チャネルにも使用できます。

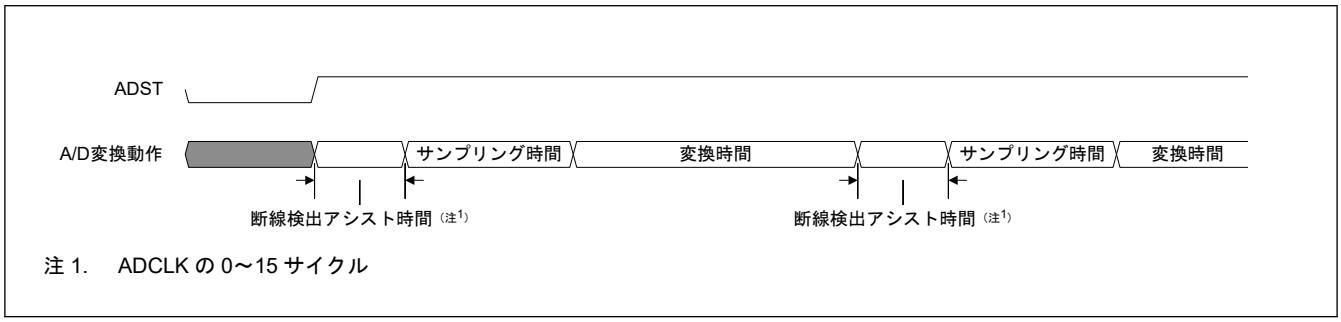
加算機能は自己診断にはありません。

42.3.9 断線検出アシスト機能

ADC12 は A/D 変換開始前に、サンプリング容量の電荷を所定の状態（ユニット 0 に対して VREFH0 または VREFL0、ユニット 1 に対して VREFH または VREFL）に固定する機能を内蔵しています。この機能により、アナログ入力に接続した配線の断線検出が可能になります。

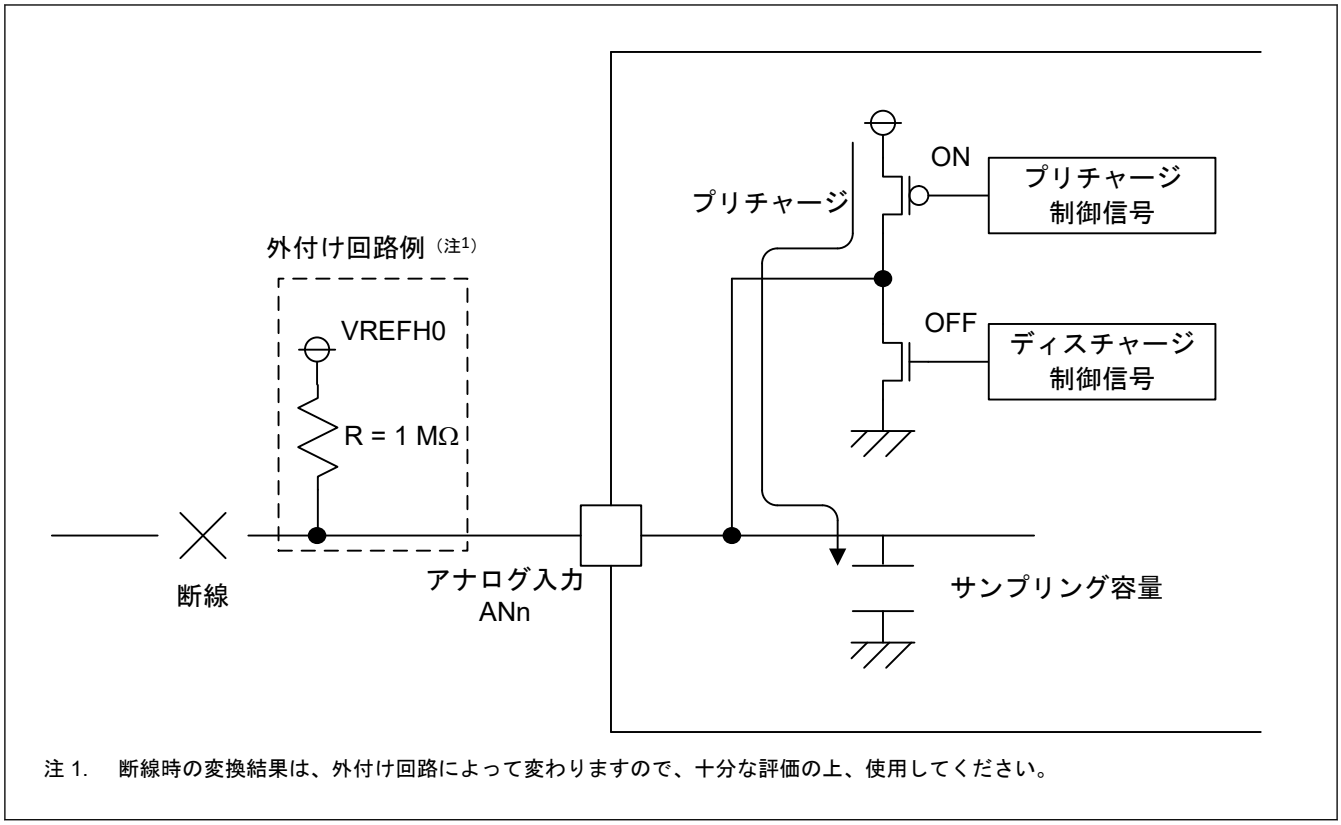
チャネル専用サンプル&ホールド回路の断線検出アシスト機能を使用する場合、ADSHMSR.SHMD ビットを 0 にします（「連続サンプリング機能は無効」を選択）。

図 42.38 に断線検出アシスト機能を使用した場合の A/D 変換動作図を示します。図 42.39 にプリチャージを選択した場合の断線検出例を示します。図 42.40 にディスチャージを選択した場合の断線検出例を示します。



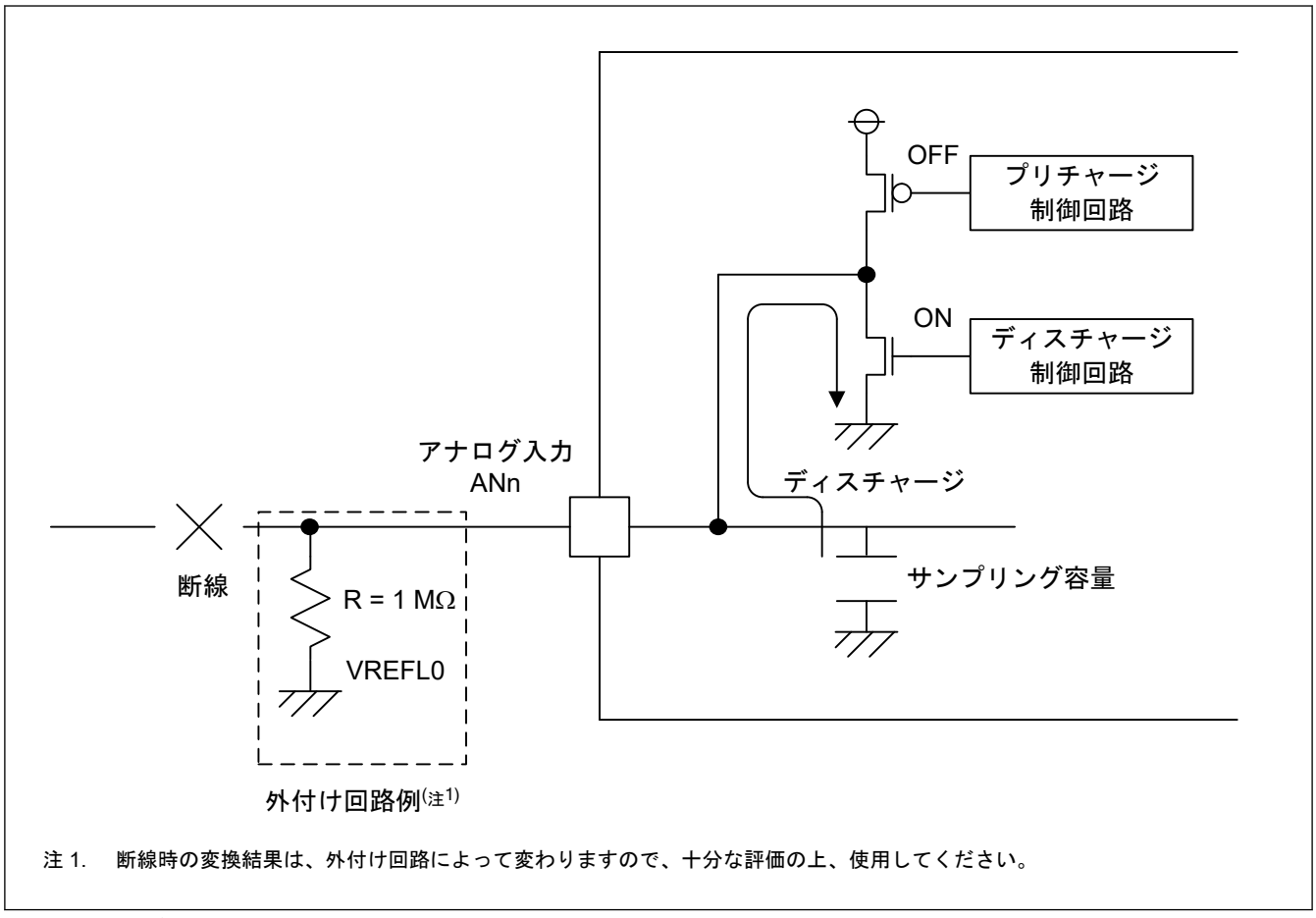
注 1. ADCLK の 0～15 サイクル

図 42.38 断線検出アシスト機能を使用した場合の A/D 変換動作図



注 1. 断線時の変換結果は、外付け回路によって変わりますので、十分な評価の上、使用してください。

図 42.39 プリチャージを選択した場合の断線検出例



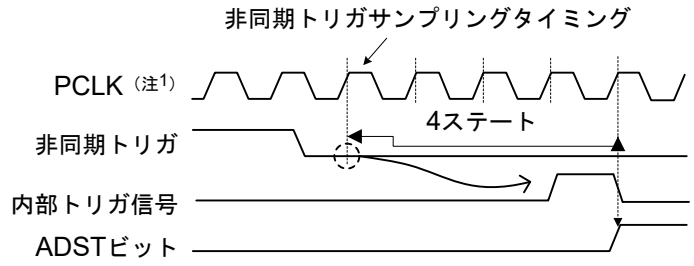
注 1. 断線時の変換結果は、外付け回路によって変わりますので、十分な評価の上、使用してください。

図 42.40 ディスチャージを選択した場合の断線検出例

42.3.10 非同期トリガによる A/D 変換の開始

非同期トリガの入力により A/D 変換を開始することができます。非同期トリガにより A/D 変換を開始する場合、PmnPFS レジスタで端子機能を設定し、A/D 変換開始トリガ選択ビット (ADSTRGR.TRSA[5:0]) を 0x00 に設定し、それから非同期トリガ（ADTRGn (n = 0, 1) 端子）に High を入力してください。最後に、ADCSR.TRGE ビットと ADCSR.EXTRG ビットの両方に 1 を設定してください。図 42.41 に非同期トリガ入力のタイミングを示します。

非同期トリガは、グループスキャンモードで使用されるグループ B の A/D 変換開始トリガとして選択できません。端子機能の設定については、「19. I/O ポート」を参照してください。



注 1. PCLKA

図 42.41 非同期トリガ入力タイミング

42.3.11 周辺モジュールからの同期トリガによる A/D 変換の開始

同期トリガ (GPT, ELC) により、A/D 変換を開始できます。そのためには、ADCSR.TRGE ビットを 1 に、ADCSR.EXTRG ビットを 0 にして、ADSTRGR.TRSA[5:0]ビットおよび ADSTRGR.TRSB[5:0]ビットで該当の要因を選択してください。

42.3.12 ADCn (n = 0, 1) と PORT (PmSAR (m = 0～9)) の間のセキュリティ属性

ADC12n (n = 0, 1) のセキュリティ属性が PORT (PmSAR) のセキュリティ属性に一致する場合のみ、対応するアナログ入力チャネルを ADC 変換用に設定できます。不一致の場合、変換結果は予測不能です。

セキュリティ属性設定ごとの ADC の条件を表 42.29 に示します。

表 42.29 セキュリティ設定ごとのアナログ入力端子の条件

セキュリティ属性設定(注1)		ADC 入力チャネル選択	
ADC12n (n = 0, 1) セキュリティ設定 PSARD	PORT セキュリティ設定 PmSAR	ADANSA0 ADANSB0	設定の組み合わせ結果
0（セキュア）	0（セキュア）	1（チャネル対応ビット）	入力は有効
1（非セキュア）	1（非セキュア）	1（チャネル対応ビット）	入力は有効
1（非セキュア）	0（セキュア）	1（チャネル対応ビット）	入力は無効、かつ変換結果は予測不能
0（セキュア）	1（非セキュア）	1（チャネル対応ビット）	入力は無効、かつ変換結果は予測不能

注 1. VBATT 1/3 電圧監視出力にはセキュリティ属性判定機能はありません

42.3.13 データバッファの使用

16 個の A/D データバッファから成るリングバッファ機能が使用可能です。この機能は、自己診断結果（加算／平均結果を含む）以外の A/D 変換結果をデータバッファ（ADBUFn、n = 0～15）に順次格納します。

A/D 変換結果をデータレジスタに格納する時に変換結果をそれぞれ格納し、最新の 16 個の変換結果データを保持します。

下図にデータバッファ、ポインタ、およびオーバーフローフラグの動作概略図を示します。BUFEN ビットを 1 にすると、各 A/D 変換終了時に A/D 変換結果を転送します。ポインタは、次の転送データの書き込み先のデー

タバッファ番号を示します。データがバッファ 15 に書き込まれると、ポインタは 0000b になり、オーバーフローフラグは 1 になります。その後、転送データで既存データを上書きします。

ADBUFPTR レジスタに 0x00 を書き込むことで、オーバーフローフラグを初期値にリセットします。

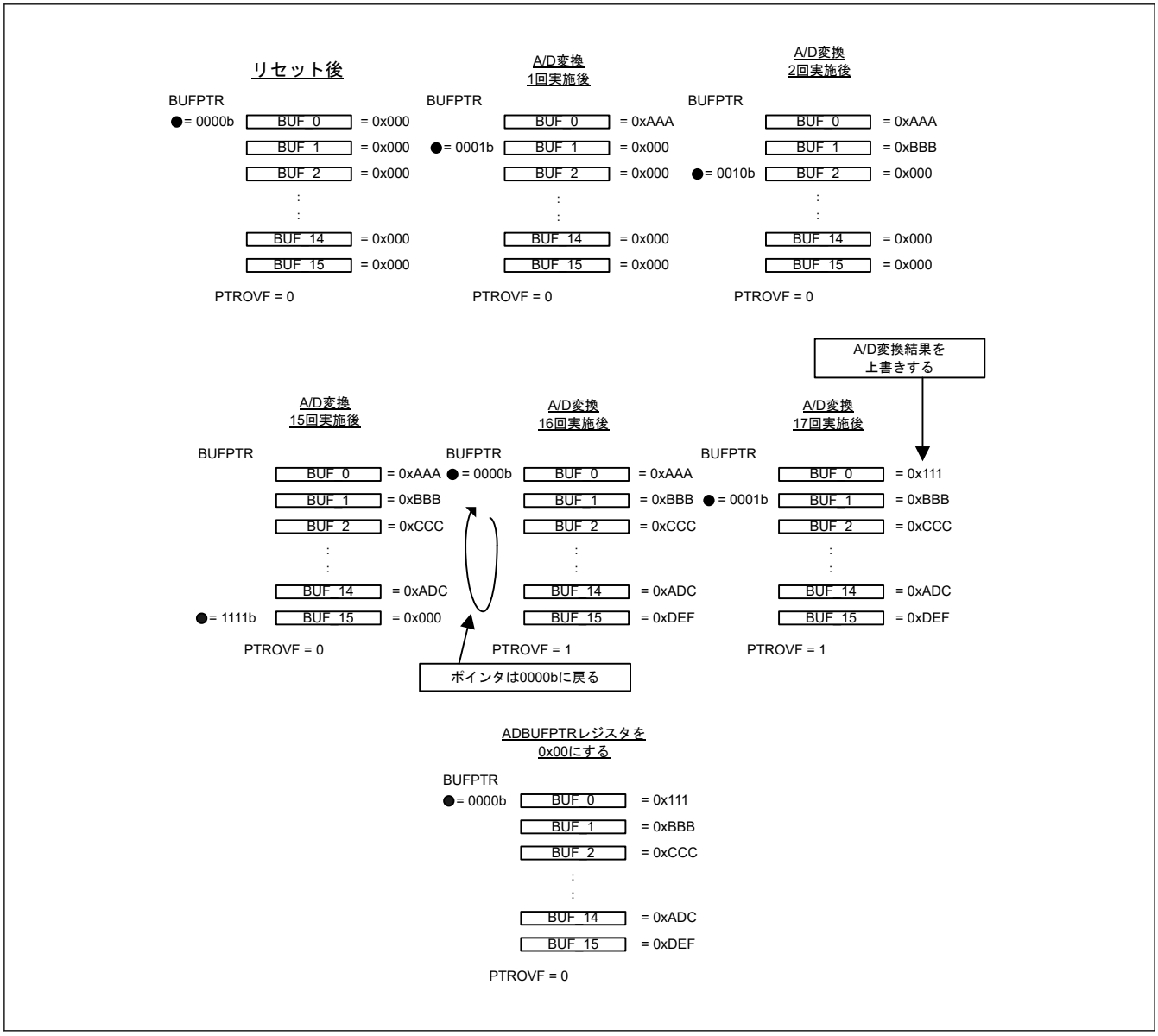


図 42.42　データバッファ、ポインタ、およびオーバーフローフラグの動作概略図

42.4　割り込み要因および DTC、DMAC 転送要求

42.4.1　割り込み要求

ADC12 は、スキャン終了割り込み要求 ADC12i_ADI (i = 0, 1) と ADC12i_GBADI (i = 0, 1) を CPU に送ることができます。また、ADC12 は CPU へのコンペア条件成立割り込み要求である ADC12i_CMPAI (i = 0, 1)/ ADC12i_CMPBI (i = 0, 1) 割り込みを発生します。

ADC12i_ADI (i = 0, 1) 割り込みは常に発生します。ADC12i_GBADI (i = 0, 1) 割り込みは、ADCSR.GBADIE ビットを 1 にすることで発生させることができます。同様に、ADC12i_CMPAI (i = 0, 1) 割り込みおよび ADC12i_CMPBI (i = 0, 1) 割り込みは ADCMPCR.CMPAIE ビットおよび ADCMPCR.CMPBIE ビットを 1 にすることで発生させることができます。

また、ADC12i_ADI (i = 0, 1) 割り込みまたは ADC12i_GBADI (i = 0, 1) 割り込み発生時に DTC または DMAC を起動できます。ADC12i_ADI (i = 0, 1) 割り込みまたは ADC12i_GBADI (i = 0, 1) 割り込みを使って DTC または

DMAC を起動し、変換されたデータの読み出しを行うことにより、連続変換をソフトウェアの負担なく実現できます。

表 42.30 に ADC12 で利用可能な割り込み要因と ELC イベントを示します。

表 42.30 割り込み要因と ADC12 の ELC イベント

動作			割り込み要求または ELC イベント	割り込み要求	DTC または DMAC の起動	ELC イベント要求	機能
スキャンモード	ダブルトリガモード	コンペア機能ウィンドウ A/B					
シングルスキャンモード	非選択	非選択	ADC12i_ADI (i = 0, 1)	✓	✓	✓	シングルスキャンの最後に ADC12i_ADI (i = 0, 1) 発生
		選択	ADC12i_ADI (i = 0, 1)	✓	✓	✓	シングルスキャンの最後に ADC12i_ADI (i = 0, 1) 発生
			ADC12i_CMPAI (i = 0, 1)	✓	—	—	ウィンドウ A の比較条件一致で ADC12i_CMPAI (i = 0, 1) 発生
			ADC12i_CMPBI (i = 0, 1)	✓	—	—	ウィンドウ B の比較条件一致で ADC12i_CMPBI (i = 0, 1) 発生
			ADC12i_WCMPM (i = 0, 1)	—	✓	✓	ウィンドウ A/B コンペア機能の条件一致で ADC12i_WCMPM (i = 0, 1) 発生
			ADC12i_WCMPUM (i = 0, 1)	—	✓	✓	ウィンドウ A/B コンペア機能の条件不一致で ADC12i_WCMPUM (i = 0, 1) 発生
	選択	非選択	ADC12i_ADI (i = 0, 1)	✓	✓	✓	偶数回のスキャンの終了時に ADC12i_ADI (i = 0, 1) 発生
連続スキャンモード	非選択	非選択	ADC12i_ADI (i = 0, 1)	✓	✓	✓	選択したすべてのチャネルのスキャン終了時に ADC12i_ADI (i = 0, 1) 発生
		選択	ADC12i_CMPAI (i = 0, 1)	✓	—	—	ウィンドウ A の比較条件一致で ADC12i_CMPAI (i = 0, 1) 発生
			ADC12i_CMPBI (i = 0, 1)	✓	—	—	ウィンドウ B の比較条件一致で ADC12i_CMPBI (i = 0, 1) 発生
グループスキャンモード	非選択	非選択	ADC12i_ADI (i = 0, 1)	✓	✓	✓	グループ A のスキャン終了時に ADC12i_ADI (i = 0, 1) 発生
			ADC12i_GBADI (i = 0, 1)	✓	✓	—	グループ B のスキャン終了時にグループ B 用の ADC12i_GBADI (i = 0, 1) 発生
		選択	ADC12i_ADI (i = 0, 1)	✓	✓	✓	グループ A のスキャン終了時に ADC12i_ADI (i = 0, 1) 発生
			ADC12i_GBADI (i = 0, 1)	✓	✓	—	グループ B のスキャン終了時にグループ B 用の ADC12i_GBADI (i = 0, 1) 発生
			ADC12i_CMPAI (i = 0, 1)	✓	—	—	ウィンドウ A の比較条件一致で ADC12i_CMPAI (i = 0, 1) 発生
			ADC12i_CMPBI (i = 0, 1)	✓	—	—	ウィンドウ B の比較条件一致で ADC12i_CMPBI (i = 0, 1) 発生
	選択	非選択	ADC12i_ADI (i = 0, 1)	✓	✓	✓	偶数回のグループ A のスキャン終了時に ADC12i_ADI (i = 0, 1) 発生
			ADC12i_GBADI (i = 0, 1)	✓	✓	—	グループ B のスキャン終了時にグループ B 用の ADC12i_GBADI (i = 0, 1) 発生

注. ✓ 使用可能

—：使用不可

DTC の設定の詳細は、「17. データトランスファコントローラ (DTC)」を参照してください。

42.5 イベントリンク機能

42.5.1 ELC へのイベント出力動作

ELC は、ADC12i_ADI (i = 0, 1) 割り込み要求信号をイベント信号 ADC12i_ADI (i = 0, 1) として使用し、事前設定モジュールに対してリンク動作が可能です。ADC12i_GBADI (i = 0, 1) 割り込みと ADC12i_CMPAI (i = 0, 1)/ ADC12i_CMPBI (i = 0, 1) 割り込みは、イベント信号として使用できません。詳細は表 42.30 を参照してください。

イベント信号は該当する割り込み要求許可ビットの設定に関係なく出力することができます。スキャン終了イベント (ADC12i_ADI (i = 0, 1)) は、表 42.30 に示す割り込み出力 (ADC12i_ADI (i = 0, 1)) と同じ出力タイミングで PCLKA 1 サイクル分の High パルスを出力します。ELC へのコンペア機能一致イベント (ADC12i_WCMPM (i = 0, 1)) と不一致イベント (ADC12i_WCMPUM (i = 0, 1)) は、表 42.30 に示す割り込み出力 (ADC12i_ADI (i = 0, 1)) から 1 サイクル (PCLKA) 遅れたタイミングで PCLKA 1 サイクル分の High パルスを出力します。

ELC へのコンペア機能一致イベント (ADC12i_WCMPM (i = 0, 1)) または不一致イベント (ADC12i_WCMPUM (i = 0, 1)) を使用する場合は、シングルスキャンモードに設定してください。

42.5.2 ELC からのイベントによる ADC12 の動作

以下のように、ADC12 は ELSRn で指定された ELC の事前設定イベントにより A/D 変換を開始できます。

- ELC.ELSR8 レジスタで ELC_AD00（ユニット 0）信号を選択する
- ELC.ELSR9 レジスタで ELC_AD01（ユニット 0）信号を選択する
- ELC.ELSR10 レジスタで ELC_AD10（ユニット 1）信号を選択する
- ELC.ELSR11 レジスタで ELC_AD11（ユニット 1）信号を選択する

A/D 変換中に ELC イベントが発生すると、そのイベントは無効です。

42.6 使用上の注意

42.6.1 レジスタ設定時の制限

各レジスタの設定は、ADCSR.ADST ビットが 0 のときに設定してください。

42.6.2 データレジスタの読み出しに関する制約

以下のレジスタの読み出しは、ハーフワード単位で行ってください。

- A/D データレジスタ
- A/D データ 2 重化レジスタ
- A/D データ 2 重化レジスタ A
- A/D データ 2 重化レジスタ B
- A/D 温度センサデータレジスタ
- A/D 内部基準電圧レジスタ
- A/D VBATT 監視データレジスタ
- A/D 自己診断データレジスタ
- A/D データバッファレジスタ n (n = 0～15)

バイト単位で上位バイト／下位バイトの 2 回に分けてレジスタを読み出すことにより、1 回目に読み出した A/D 変換値と 2 回目に読み出した A/D 変換値が一致しないことがあります。これを避けるため、バイト単位のデータレジスタの読み出しは行わないでください。

42.6.3 A/D 変換停止に関する制約

(1) A/D 変換停止手順

A/D 変換開始条件に非同期トリガまたは同期トリガを選択している場合、A/D 変換を停止させるためには、図 42.43 のフローチャートの手順に従ってください。

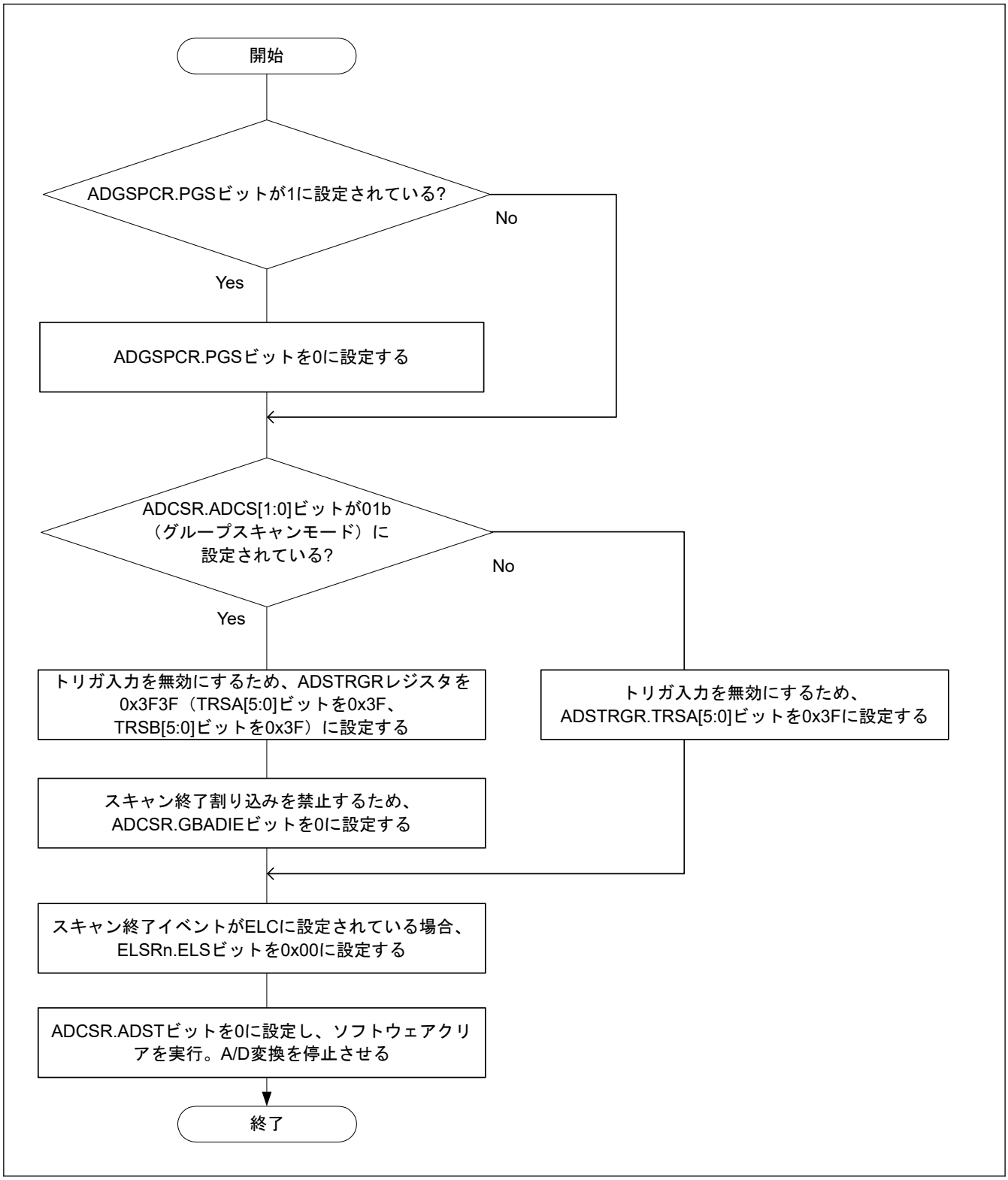


図 42.43 ソフトウェアによる ADCSR.ADST ビットのクリア手順

ソフトウェアクリア実行後に下記を設定する場合は、2ADCLK 以上のウェイトを入れてください。

- スキャン終了割り込み許可
- イベントリンクコントローラのスキャン終了イベント有効設定
- ソフトウェアでの A/D 変換開始
- トリガ入力有効設定

(2) モード／ステータスビットの注意事項

自己診断の電圧ステータスやダブルトリガモードの奇数／偶数判定、コンペア機能のモニタフラグは、必要に応じて個別に初期化または再設定をしてください。

- 自己診断の電圧ステータスの再設定は、ADCER.DIAGLD ビットを 1 とし ADCER.DIAGVAL[1:0]ビットで選択します。
- ダブルトリガモードは、ADCSR.DBLE ビットを 0 から 1 に設定するとスキャン 1 回目の動作から開始します。
- コンペア機能のモニタフラグ（MONCMPA、MONCMPB、MONCOMB）の初期化は、ADCMPCR.CMPAE ビットと ADCMPCR.CMPBE ビットを 0 に設定します。
- データ格納バッファポインタを初期化するには、ADBUFPTR レジスタを 0x00 にします。
- 連続サンプリング機能 (ADSHMSR.SHMD = 1) を初期化するには、ADSHMSR.SHMD ビットを 0 にします。初期化後に連続サンプリング機能を再使用するには、ADCLK クロックを 1 周期分以上待ってから、ADSHMSR.SHMD ビットを 1 にします。

42.6.4 A/D 変換強制停止と再開時の動作タイミング

ADC12 のアナログ部が停止した状態から ADCSR.ADST ビットを 1 にして動作を再開するのに、ADCLK で最大 6 サイクルを必要とします。ADC12 のアナログ部が動作している状態から ADCSR.ADST ビットを 0 に設定して停止するのに、ADCLK で最大 2 サイクルを必要とします。PCLKA と ADCLK の周波数比が 1:2 または 1:4 の場合、ADC12 のアナログ部が動作している状態から ADCSR.ADST ビットを 0 に設定して停止するのに、PCLKA で最大 1 サイクル、ADCLK で最大 1 サイクルを必要とします。

42.6.5 スキャン終了割り込み処理の制約

トリガ起動による同一アナログ入力のスキャンを 2 回行う場合、1 回目の A/D 変換データが 2 回目の A/D 変換データで上書きされます。この現象は、1 回目のスキャン終了割り込み発生から、2 回目のスキャンによる最初のアナログ入力の A/D 変換が終了するまでに、CPU が A/D 変換データを読み出し終えていない場合に発生します。

42.6.6 モジュールストップ機能の設定

モジュールストップコントロールレジスタは ADC12 の動作を許可または禁止できます。ADC12 は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップ状態を解除した後は、1µs 以上待ってから A/D 変換を開始してください。詳細は「10. 低消費電力モード」を参照してください。

42.6.7 低消費電力状態への遷移に関する注意事項

モジュールストップ状態やソフトウェアスタンバイモードへ遷移する場合は、事前に A/D 変換を停止させてください。A/D 変換を停止させる際、ADCSR.ADST ビットを 0 に設定後、ADC12 のアナログ部が停止するまで一定の期間を確保する必要があります。ソフトウェアで ADCSR.ADST ビットをクリアするには、図 42.43 に示す手順に従ってください。その後、ADCLK の 2 サイクル分待機した後、モジュールストップ状態やソフトウェアスタンバイモードへ遷移してください。

42.6.8 ソフトウェアスタンバイモード解除時の注意

ソフトウェアスタンバイモードを解除した後は、使用する発振器の安定時間経過後、さらに 1 µs 以上待ってから A/D 変換を開始してください。詳細は「10. 低消費電力モード」を参照してください。

42.6.9 断線検出アシスト機能使用時の絶対精度誤差

断線検出アシスト機能を使用する場合、ADC12 の絶対精度誤差が生じます。この誤差は、アナログ入力端子にプルアップ／プルダウン抵抗 (Rp) と信号源抵抗 (Rs) の抵抗分圧分の誤差電圧が入力されるために生じます。絶対精度の誤差は下式で表されます。

最大絶対精度誤差 (LSB) $= \left(2^{\text{分解能}} - 1\right) \times \mathrm{Rs} / \left(\mathrm{Rs} + \mathrm{Rp}\right)$

断線検出アシスト機能は、十分な評価の上、使用してください。

42.6.10 動作モードおよびステータスビットの制約

自己診断の電圧値、ダブルトリガモードでの 1 回目または 2 回目のスキャンの値、データバッファポインタ、コンペア機能のステータスモニタについては、それぞれ必要に応じて初期化または再設定を行ってください。

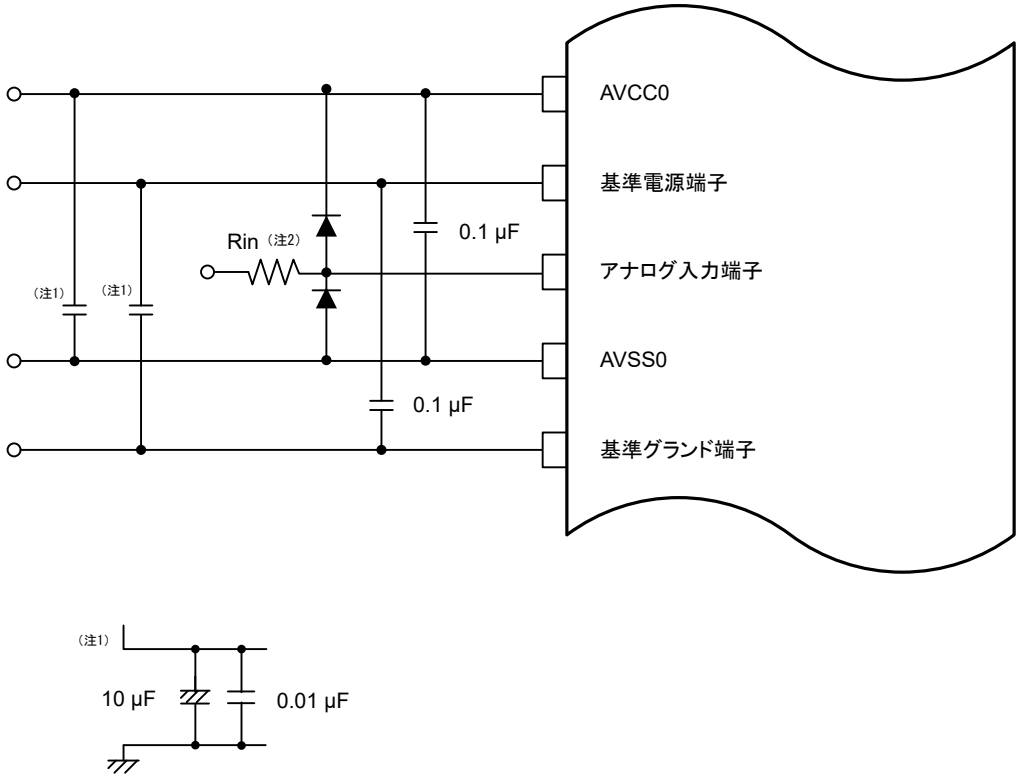
- 自己診断の電圧値 (ADCER.DIAGVAL[1:0]) は、ADCER.DIAGLD を 1 に設定してから選択してください。
- ダブルトリガモードは、ADCSR.DBLE を 0 から 1 にした後、1 回目のスキャンとして動作します。
- コンペア機能のステータスモニタビット（MONCMPA、MONCMPB、MONCOMB）は、ADCMPCR.CMPAE および ADCMPCR.CMPBE を 0 にした後、初期化されます。

42.6.11 ボード設計に関する注意事項

デジタル回路とアナログ回路の間ができるだけ離れるように、ボードを設計してください。また、デジタル信号線とアナログ信号線は、交差させたり互いに近づけたりしないでください。これらの規則に従わないと、アナログ信号にノイズが発生し、A/D 変換精度に影響を及ぼします。アナログ入力端子、基準電源端子 (VREFH0, VREFH)、基準グランド端子 (VREFL0, VREFL)、およびアナログ電源端子 (AVCC0) はアナロググランド (AVSS0) を使用してデジタル回路と分離してください。アナロググランド端子 (AVSS0) は、ボード上の安定したデジタルグランド (VSS) に接続してください（単一グランドプレーン接続）。

42.6.12 ノイズ防止の制限事項

アナログ入力端子が過度のサージのような異常電圧により破壊されるのを防ぐために、AVCC0 と AVSS0 間、VREFH0 と VREFL0 間、VREFH と VREFL 間にキャパシタを挿入してください。さらに、図 42.44 に示されるように、アナログ入力端子を保護するために、保護回路を接続してください。



注 1. ここに示す値は基準値です。
注 2. Rin：信号源インピーダンス

図 42.44 アナログ入力用保護回路例

42.6.13 ADC12 入力使用時のポート設定

高精度チャネルを使用する場合は、PORT0 をデジタル出力ポートとして使用しないでください。通常精度チャネルを使用している場合は、AD アナログ入力とデジタル出力に同じポートは使用しないことを推奨します。AD アナログ入力としても使用しているデジタル出力を出力信号用に使用する場合は、A/D 変換を複数回実行し、最大値と最小値を除いた平均をとってください。

42.6.14 ADC12 ユニット 0、1 と ACMPHS との関係

表 42.31 に示す A/D 変換対象の場合、ユニット 0 とユニット 1 は同時に A/D 変換を実施できません。

表 42.31 互いに排他的関係にある A/D 変換対象

A/D 変換対象	
ユニット 0	ユニット 1
温度センサ	
内部基準電圧	
VBATT 1/3 電圧監視出力	

表 42.32 に示す A/D 変換対象は、ADC12 と ACMPHS との兼用端子であるため、A/D 変換中に ACMPHS 入力として選択してはなりません。

表 42.32 ACMPHS と排他的関係にある A/D 変換対象

A/D 変換対象		
ユニット 0	ユニット 1	ACMPHS
AN000	-	ACMPHS0.IVCMP2
AN002	-	ACMPHS0.IVCMP3
AN005	-	ACMPHS0.IVCMP0
AN007/DA0	-	ACMPHS0.IVREF3
内部基準電圧	-	ACMPHS0.IVREF2
-	AN100	ACMPHS1.IVCMP2
-	AN101	ACMPHS1.IVREF0
-	AN102	ACMPHS1.IVCMP3
-	AN104	ACMPHS1.IVREF1
-	内部基準電圧	ACMPHS1.IVREF2

42.6.15 サンプリング時間の計算

サンプリング時間は、以下の数値と計算式で容易に概算できます。これは、電圧が LSB の 1/4 の範囲に達するのに要する時間です。

$$t_{SPL} = (R_{EXT} + R_{AD}) \times (C_{EXT} + C_{AD}) \times \ln (C_{AD} / (C_{EXT} + C_{AD}) \times 2^{N+2})$$

R_{EXT} は外部入力信号の信号源インピーダンスを示す
C_{EXT} は外部容量（端子容量(注1) + PCB 寄生容量）を示す
N = 12、10 または 8（変換分解能）
C_{AD} = 5 pF（内部容量）
R_{AD} = 1.0 kΩ（高速チャネルの場合の内部抵抗）
R_{AD} = 2.0 kΩ（通常速度チャネルの場合の内部抵抗）

注 1. アナログ入力端子の標準値は、5 pF です。

例えば、R_{EXT} = 1 kΩ、C_{EXT} = 10 pF、N = 12 ビットである場合、高速チャネルの t_{SPL} は 258 ns となります。

この計算式は一般的な使用事例を鑑み簡素化したものです。この計算式は保証されません。見積りのみに使用してください。

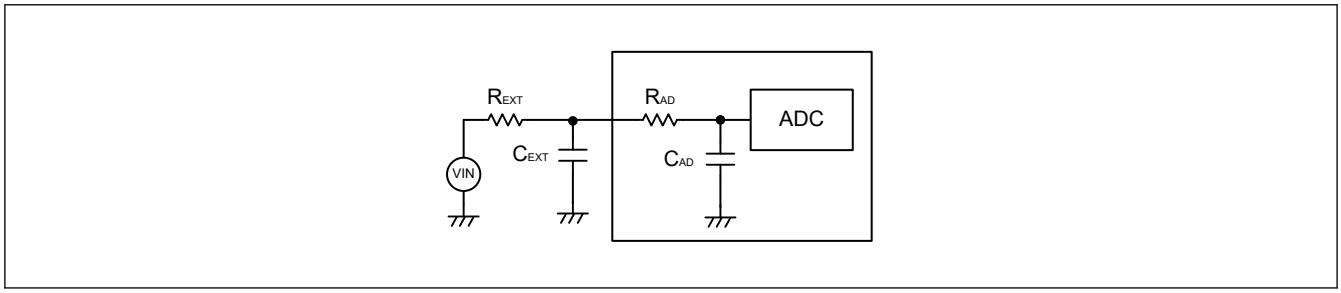


図 42.45 サンプル&ホールド回路の簡略図

42.6.16 他のモジュールとの同時動作における注意事項

以下の組み合わせでは、動作の特定のタイミングにおいて ADC 精度が低下する可能性があります。

1. チャネル専用サンプル&ホールド回路不使用の AN000 と AN104 相互
2. AN007 と AN105 相互
3. チャネル専用サンプル&ホールドを使用する AN000、AN001（ADC ユニット 1、DAC12、または ACMPHS が動作しているとき）
4. ADC ユニット 1 の高精度チャネル（チャネル専用サンプル&ホールドを使用する AN000、AN001 が動作しているとき）

5. ADC ユニット 1 の全チャネル（ACMPHS が動作しているとき）
6. ADC ユニット 1 の全チャネル（DAC12 が動作しているとき）

精度の低下を緩和するため、以下の対策をとることを推奨します。

- A/D 変換を平均モードで実行する
- より良好な結果を得るために、A/D 変換を複数回実行し、最大値と最小値を除いた平均をとる（条件 No.3 において、ノイズによって平均モードを実行するだけでは効果的でないことがあります。最大値と最小値を除くことを推奨します。）
- 条件 No.6 において、DAC12 の DAADSCR.DAADST ビットと DAADUSR.AMADSEL1 ビットで設定される DA AD 同期変換を使用する

環境によっては、ここに示していない条件においても ADC 精度が低下することがあります。

43. 12 ビット D/A コンバータ (DAC12)

43.1 概要

本 MCU は、出力アンプ付きの 12 ビット D/A コンバータ (DAC12) を内蔵しています。表 43.1 に DAC12 の仕様、図 43.1 にブロック図、表 43.2 に入出力端子を示します。

表 43.1 DAC12 の仕様

項目	仕様
分解能	12 ビット
出力チャネル	1 チャネル
アナログモジュール間の干渉低減	D/A 変換と A/D 変換の干渉を最小化するための対策 • ADC12（ユニット 1）からの同期 D/A 変換許可入力信号により、D/A 変換データの更新タイミングを制御する • DAC12 のインラッシュカレント発生タイミングを許可信号で制御し、干渉による A/D 変換精度の劣化を低減する
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減
イベントリンク機能（入力）	イベント信号の入力により、DA0 変換の開始が可能
D/A 出力のアンプ制御機能	出力アンプ（アンプスルー制御およびアンプバイアス制御）の使用／不使用を制御
D/A 出力の出力先制御機能	外部端子への出力を使用するか内部モジュール (ACMPHS) への出力を使用するかを制御
TrustZone フィルタ	セキュリティ属性とプリビレッジ属性を設定可能

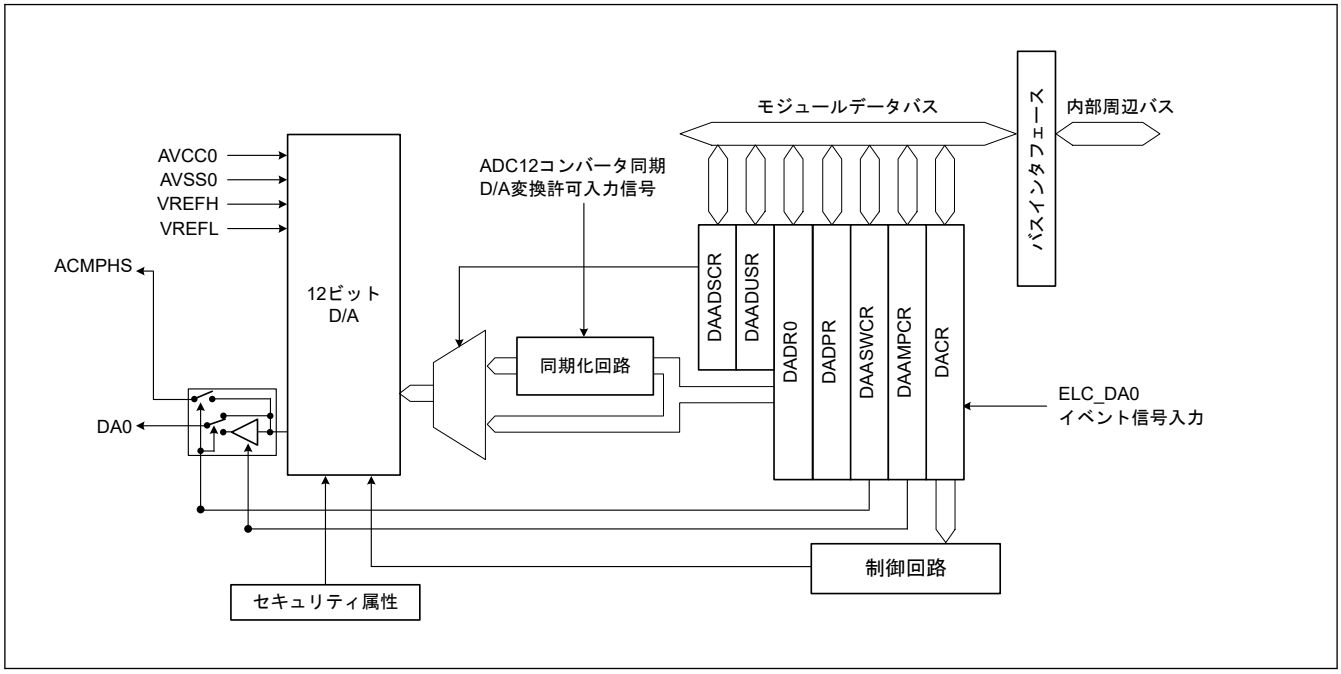


図 43.1 DAC12 のブロック図

表 43.2 に DAC12 の端子構成を示します。

表 43.2 DAC12 の入出力端子 (1/2)

端子名	入出力	機能
AVCC0	入力	• TSN、ADC12、および DAC12 用のアナログ電源およびアナログ基準頂部電圧端子 • これらのモジュールを使用しない場合は、VCC に接続してください。
AVSS0	入力	• TSN、ADC12、および DAC12 用のアナロググランドおよびアナログ基準グランド端子 • これらのモジュールを使用しない場合は、VSS に接続してください。
VREFH	入力	ADC12（ユニット 1）と DAC12 用のアナログ基準頂部電圧源端子

表 43.2 DAC12 の入出力端子 (2/2)

端子名	入出力	機能
VREFL	入力	ADC12（ユニット 1）と DAC12 用のアナログ基準グランド端子
DA0	出力	DAC12 で処理されるアナログ信号用のチャネル 0 出力端子

43.2 レジスタの説明

43.2.1 DADRn : D/A データレジスタ n (n = 0)

Base address: DAC12 = 0x4033_3000
DAC12_NS = 0x5033_3000

Offset address: 0x00 + 0x02 × n

Bit position:	15															0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注. S-TYPE-3, P-TYPE-3

DADRn レジスタは、D/A 変換を行うデータを格納するための 16 ビットの読み出し／書き込みレジスタです。アナログ出力を許可すると、DADRn レジスタの値が変換されアナログ出力端子に出力されます。

12 ビットデータを左詰めにするか右詰めにするかは、DADPR.DPSEL ビットで設定できます。右詰め形式 (DADPR.DPSEL = 0) では、下位 12 ビット ([11:0]) が有効です。左詰め形式 (DADPR.DPSEL = 1) では、上位 12 ビット ([15:4]) が有効です。

43.2.2 DACR : D/A コントロールレジスタ

Base address: DAC12 = 0x4033_3000
DAC12_NS = 0x5033_3000

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	DAOE	—	—	—	—	—	—
Value after reset:	0	0	0	1	1	1	1	1

ビット	シンボル	機能	R/W
4:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	DAOE0	D/A 出力許可 0 0: チャネル 0 の D/A 変換およびアナログ出力 (DA0) を禁止 1: チャネル 0 の D/A 変換およびアナログ出力 (DA0) を許可	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

このレジスタは、DAADSCR.DAADST ビットが 1（D/A 変換と A/D 変換の干渉低減が有効）の状態で、ADC12 が停止中の場合のみ設定してください。DACR を設定するときは、ADC12 トリガで ADC12 を確実に停止させるために、ADCSR.ADST ビットが 0、かつソフトウェアトリガを選択した状態でのみ行ってください。本 MCU では、ADC12（ユニット 1）のみをサポートしています。

DAOE0 ビット（D/A 出力許可 0）

DAOE0 ビット、DAAMPCR.DAAMP0 ビット、および DAASWCR.DAASW0 ビットの組み合わせで、D/A 変換、アンプ動作、およびアナログ出力を制御します。表 43.3 を参照してください。

DAOE0 ビットが 0 のとき、D/A 変換は行われず、変換結果は出力されません。

D/A 変換と A/D 変換の干渉低減が有効 (DAADSCR.DAADST = 1) のときは、ADC12（ユニット 1）の ADCSR.ADST ビットが 0 の状態で DAOE0 ビットを設定してください。このとき、ADC12（ユニット 1）を確実に停止させるため、ADC12（ユニット 1）のトリガ選択をソフトウェアトリガに設定してください。

イベントリンク機能を使用して、DAOE0 ビットを 1 にできます。ELC の ELSR12 レジスタで設定されたイベント（ELC_DA0 イベント）が発生すると、DAOE0 ビットが 1 になり、D/A 変換結果の出力を開始します。

表 43.3 D/A 変換とアナログ出力制御

DACR	DAAMPCR	DAASWCR				
DAOE0	DAAMP0	DAASW0	動作	アンプ動作	アナログ外部出力(注1)	アナログ内部出力(注2)
0	x	x	停止	停止	Hi-Z	Hi-Z
1	0	0	動作	停止	アンプスルー	Hi-Z
1	0	1	動作	停止	Hi-Z	アンプスルー
1	1	0	動作	動作	アンプ出力	Hi-Z
1	1	1	動作	動作	Hi-Z	Hi-Z

注. x : Don't care
注 1. 端子への出力
注 2. ACMPHS への出力

43.2.3 DADPR : DADRn フォーマット選択レジスタ

Base address: DAC12 = 0x4033_3000
DAC12_NS = 0x5033_3000

Offset address: 0x05

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DPSEL	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	DPSEL	DADRn フォーマット選択 0: 右詰め 1: 左詰め	R/W

注. S-TYPE-3, P-TYPE-3

43.2.4 DAADSCR : D/A A/D 同期スタートコントロールレジスタ

Base address: DAC12 = 0x4033_3000
DAC12_NS = 0x5033_3000

Offset address: 0x06

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DAADST	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	DAADST	D/A A/D 同期変換 0: DAC12 は ADC12（ユニット 1）の動作と同期しない（D/A 変換と A/D 変換の干渉低減が無効） 1: DAC12 は ADC12（ユニット 1）の動作と同期する（D/A 変換と A/D 変換の干渉低減が有効）	R/W

注. S-TYPE-3、P-TYPE-3

DAADSCR レジスタは、D/A 変換と A/D 変換の干渉を最小化するために、D/A 変換の開始タイミングを ADC12 同期 D/A 変換許可入力信号に同期させることができます。

このレジスタの設定は、ADC12（ユニット 1）が停止中のとき（ADC12（ユニット 1）のトリガ選択をソフトウェアトリガにした後、ADCSR.ADST ビットが 0 のとき）のみ行ってください。

DAADST ビットを 1 にする前に、ADC12 の対象ユニットをユニット 1 に選択してください。
DAADUSR.AMADSEL1 ビットを 1 にして、ユニット 1 を選択してください。本 MCU では、ADC12 のユニット 1 のみをサポートしています。

DAADST ビット（D/A A/D 同期変換）

DAADST ビットを 0 にすると、DADRn レジスタの値をいつでもアナログデータに変換できます。DAADST ビットを 1 にすると、ADC12（ユニット 1）からの同期 D/A 変換許可入力信号に同期して D/A 変換が行われます。このビットを設定した場合、DADRn レジスタの値を書き換えても、ADC12（ユニット 1）の A/D 変換が終了するまで D/A 変換は行われません。

DAADST ビットの設定は ADCSR.ADST ビットが 0 のときに行ってください。このとき、ADC12（ユニット 1）を確実に停止させるため、ADC12（ユニット 1）のトリガ選択をソフトウェアトリガに設定してください。
DAADUSR.AMADSEL1 ビットを 1 にしてから、DAADST ビットを 1 にしてください。

なお、DAADST ビットを 1 にした場合は、イベントリンク機能は使用できません。ELC の ELSR12 レジスタを設定してイベントリンク機能を停止してください。

43.2.5 DAAMPCR : D/A 出力アンプコントロールレジスタ

Base address: DAC12 = 0x4033_3000
DAC12_NS = 0x5033_3000

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	DAAMP0	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	DAAMP0	アンプ制御 0 0: チャネル 0 の出力アンプを使用しない 1: チャネル 0 の出力アンプを使用する	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

DAAMPCR レジスタは、D/A 出力に対してアンプを使用するか、使用せずにスルー出力するかを選択します。

DAAMP0 ビット（アンプ制御 0）

DAAMP0 ビットを 0 にすると、チャネル 0 の D/A 出力に対してアンプを介さずにアナログ値を出力します。
DAAMP0 ビットを 1 にすると、チャネル 0 の D/A 出力に対してアンプを介してアナログ値を出力します。

なお、DACR.DAOE0 ビットが 0 の状態では、DAAMP0 ビットの設定にかかわらずアンプは使用されません。詳細は表 43.3 を参照してください。

43.2.6 DAASWCR : D/A アンプ安定ウェイトコントロールレジスタ

Base address: DAC12 = 0x4033_3000
DAC12_NS = 0x5033_3000

Offset address: 0x1C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	DAASW0	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	DAASW0	D/A アンプ安定待ち 0 、および D/A 内部出力制御 0: 外部端子への出力：チャネル 0 アンプ安定待機 OFF（出力） 内部モジュールへの出力：チャネル 0 出力禁止 1: 外部端子への出力：チャネル 0 アンプ安定待機 ON (High-Z) 内部モジュールへの出力：チャネル 0 出力許可	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

DAASWCR レジスタは、出力アンプを使用した D/A 出力または内部モジュールの D/A 出力を制御します。本レジスタは、D/A 出力アンプ安定待機のための初期化手順で使用します。DACR.DAOE0 ビットが 0 のときは、DAASWCR の DAASW0 ビットを 1 にしてください。「43.7.5. 出力アンプを使用した初期化手順」を参照してください。

DAASW0 ビット（D/A アンプ安定待ち 0）

チャネル 0 の D/A 出力アンプ安定待ちのための初期化手順で、DAASW0 ビットを 1 にしてください。DAASW0 を 1 にすると、D/A 変換は動作しますが、D/A 変換結果は、チャネル 0 から DA0 端子に出力されません。DAASW0 ビットを 0 にすると、安定待機時間は終了し、チャネル 0 の D/A 変換結果が出力アンプによって DA0 端子に出力されます。出力アンプを使用しない（DAAMPCR.DAAMP0 ビットが 0）場合で、かつ DAASW0 が 1 である場合、チャネル 0 の D/A 変換結果が内部モジュールに出力されます。

43.2.7 DAADUSR : D/A A/D 同期ユニット選択レジスタ

Base address: DAC12 = 0x4033_3000
DAC12_NS = 0x5033_3000

Offset address: 0x10C0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	AMADSEL1	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	AMADSEL1	A/D ユニット 1 選択 0: ユニット 1 を選択しない 1: ユニット 1 を選択する	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

DAADUSR レジスタは、D/A および A/D 同期変換の対象とする ADC12 ユニットを選択します。MCU で AMADSEL1 ビットを 1 にして、ユニット 1 を同期対象ユニットとして選択してください。DAADSCR.DAADST ビットを 1 にして同期変換する場合は、事前にこのレジスタで対象ユニットを選択してください。

DAADUSR レジスタの設定は、ADC12 の ADCSR.ADST ビットが 0 かつ DAADSCR.DAADST ビットが 0 のときのみ行ってください。

43.3 動作

DACR.DAOE0 ビットを 1 にすると、DAC12 が有効になり、変換結果が出力されます。

以下に D/A 変換例を示します。図 43.2 に、このときの動作タイミングを示します。

D/A 変換を実行する場合の手順は以下のとおりです。

1. DADR0 レジスタに D/A 変換を行うためのデータ、DADPR.DPSEL ビットにデータフォーマットを設定します。
2. DACR.DAOE0 ビットを 1 にすると、D/A 変換を開始します。t_{DCONV} 時間経過後、変換結果をアナログ出力端子 DA0 より出力します。DADR0 レジスタを書き換えるか、DAOE0 ビットを 0 にするまで、この変換結果が出力され続けます。出力値（参考）は以下の式で計算します。

$$\frac{\text{DADR0の設定値}}{4096} \times \text{VREFH}$$

3. 変換を再度開始するため、別の値を DADR0 へ書き込みます。t_{DCONV} 時間経過後、変換結果が出力されます。DAADSCR.DAADST ビットが 1（D/A 変換と A/D 変換の干渉低減が有効）の場合、D/A 変換開始まで最大で A/D 変換 1 回分の時間が必要です。ADCLK が周辺クロックよりも速い場合は、さらに時間が必要となる場合があります。
4. アナログ出力を禁止する場合は、DAOE0 ビットを 0 にしてください。

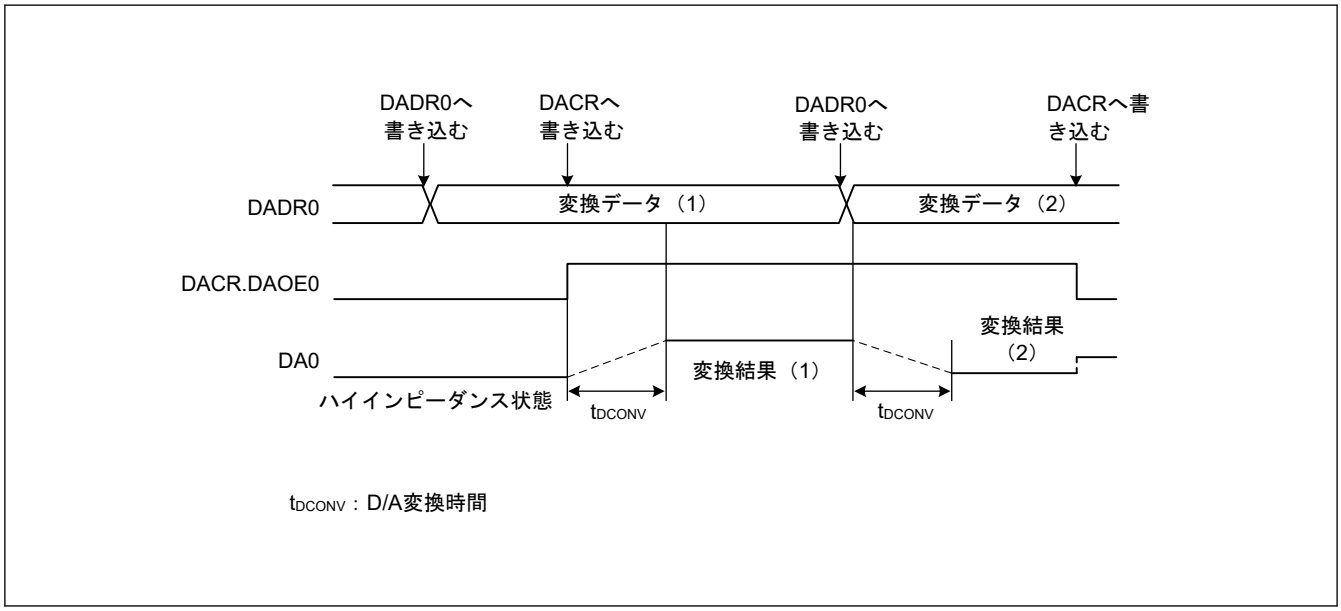


図 43.2 DAC12 の動作例

43.3.1 D/A 変換と A/D 変換の干渉の低減

D/A 変換が始まると DAC12 はラッシュカレントを発生させます。DAC12 と ADC12（ユニット 1）のアナログ電源が共通のため、発生したラッシュカレントが ADC12（ユニット 1）の動作に干渉することがあります。

DAADSCR.DAADST ビットが 1 の場合、DADRm レジスタのデータが変更されても、D/A 変換はすぐには実施されません。その代わり、

- ADC12 が停止中に DADRm レジスタのデータが変更されると、PCLKA の 1 サイクル後に D/A 変換が開始されます。
- ADC12 が 12 ビット A/D 変換実行中に DADRm レジスタのデータが変更された場合、A/D 変換完了時に D/A 変換が開始されます。したがって、DADRm レジスタデータの更新が D/A 変換回路の出力に反映されるまで、最大で A/D 変換 1 回分の間の時間が必要です。D/A 変換が完了するまでの間、DADRm レジスタ値とアナログ出力値は一致しません。

DAADSCR.DAADST ビットが 1 のときに、DADRm レジスタの値が D/A 変換されたかどうかをソフトウェアで確認することはできません。

以下に DAC12 を ADC12（ユニット 1）に同期して動作させる場合のチャネル 0 の D/A 変換例を示します。図 43.3 に、このときの動作タイミングを示します。

チャネル 0 の D/A 変換を ADC12（ユニット 1）に同期して動作させる場合は、以下の手順で行ってください。

1. ADC12（ユニット 1）が停止中であることを確認し、DAADUSR.AMADSEL1 ビットを 1 にします。
2. ADC12（ユニット 1）が停止中であることを確認し、DAADSCR.DAADST ビットを 1 にします。
3. ADC12（ユニット 1）が停止中であることを確認し、DACR.DAOE0 ビットを 1 にします。
4. DADR0 レジスタを設定します。ADCLK が周辺クロックよりも速い場合は、D/A 変換は、A/D 変換 1 回分以上待たされる場合があります。
   - DADR0 レジスタを書き換えたとき、ADC12（ユニット 1）が停止していた場合 (ADCSR.ADST = 0)、PCLKA の 1 サイクル後に D/A 変換が開始されます。
   - DADR0 レジスタを書き換えたとき、12 ビット A/D 変換中の場合 (ADCSR.ADST = 1)、A/D 変換終了時に D/A 変換が開始されます。A/D 変換中に DADR0 レジスタを 2 回書き換えた場合、1 回目の更新は、D/A 変換されないことがあります。

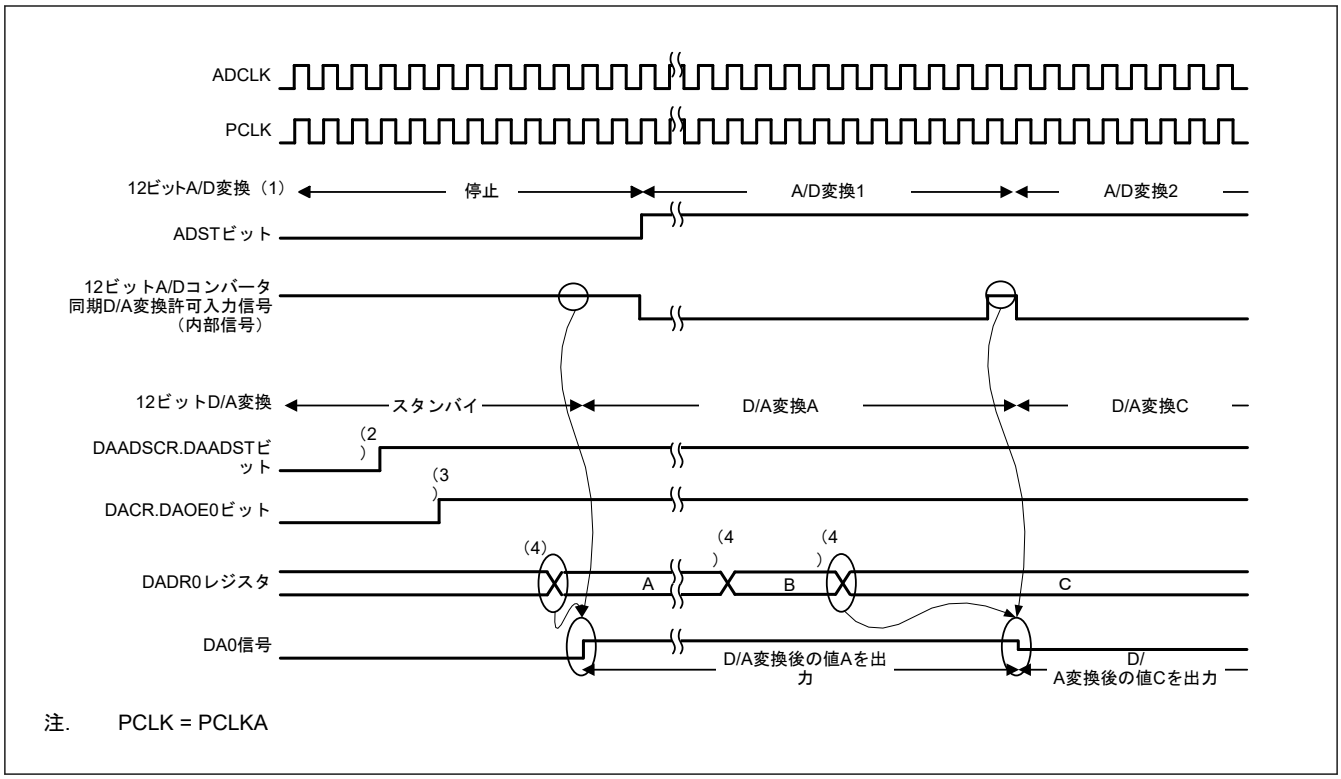


図 43.3 DAC12 を ADC12（ユニット 1）に同期して変換する例

図 43.4 に示すように、ADCLK が PCLKA よりも速い場合、A/D 変換 1 と A/D 変換 2 の間に出力される ADCLK 1 サイクル分の ADC12（ユニット 1）からの同期 D/A 変換許可入力信号を DAC12 が取り込めない可能性があります。この場合、DA0 信号は D/A 変換値 A の出力を継続します。

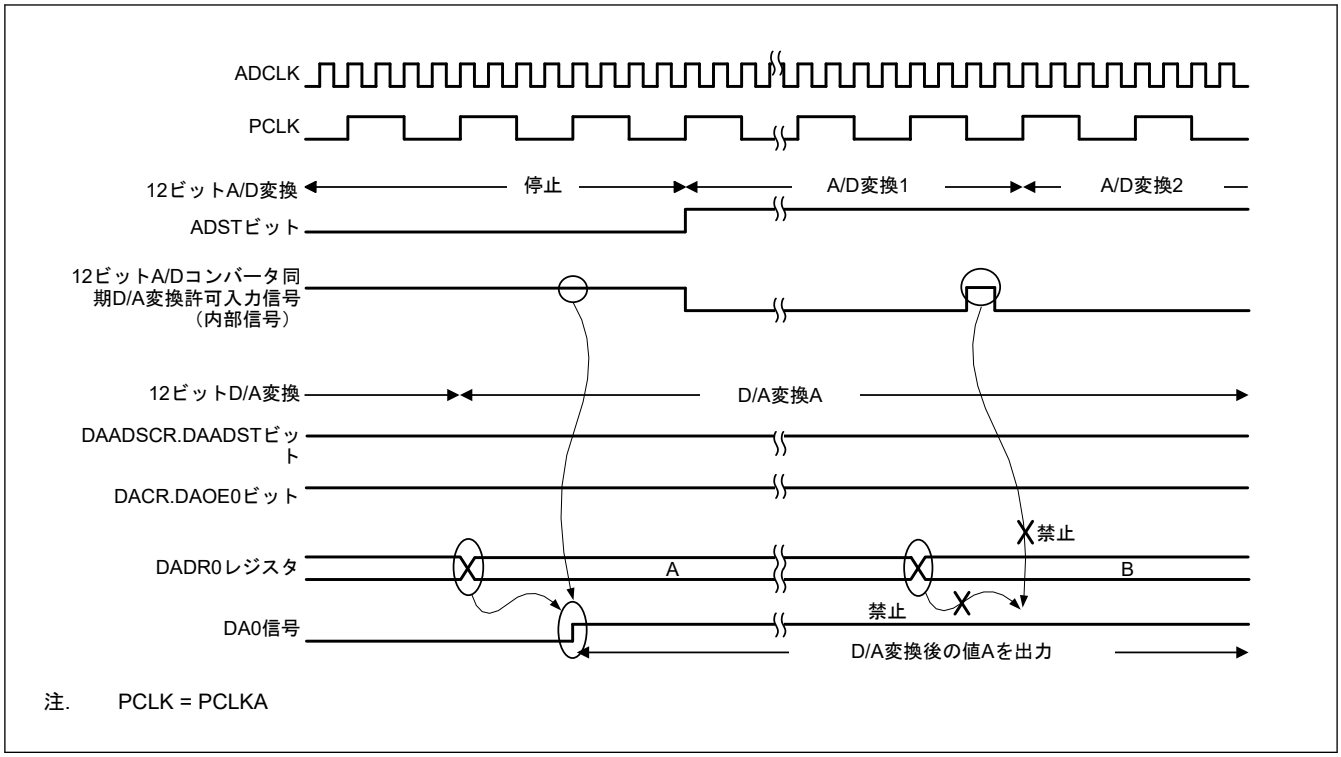


図 43.4 DAC12 が ADC12（ユニット 1）からの同期 D/A 変換許可入力信号を取り込めない場合の例

43.4 イベントリンクの動作設定手順

以下にイベントリンク動作手順を示します。

43.4.1 DA0 イベントリンクの動作設定手順

DA0 イベントリンクの動作を設定する場合は、以下の手順で行います。

1. DADPR.DPSEL ビットを設定し、DADR0 レジスタに D/A 変換を行うためのデータを設定します。
2. ELC_DA0 イベント信号が ELSR12 レジスタの各周辺モジュールとリンクするよう設定します。
3. ELCR.ELCON ビットを 1 にします。これによりイベントリンク機能が設定されている全モジュールのイベントリンク動作が有効となります。
4. イベント出力元のモジュールを設定し、イベントリンクを起動します。モジュールからイベントが出力されると、DACR.DAOE0 ビットが 1 になり、チャネル 0 の D/A 変換が開始されます。
5. DAC12 チャネル 0 のイベントリンク動作を停止するときは、ELSR12 レジスタを 0x0000 にしてください。また ELCR.ELCON ビットを 0 にすることにより、全モジュールのイベントリンク動作が停止します。

43.5 セキュリティ属性によるアナログ出力制御

表 43.4 に示すように、DA0 端子へのアナログ出力は、ポートと DAC12 のセキュリティ属性によって制御されます。

ACMPHS へのアナログ出力は、セキュリティ属性によって制御されません。

表 43.4 セキュリティ属性によるアナログ出力制御 (1/2)

セキュリティ属性		アナログ出力
DAC12 (PSARD)	P014 (PmSAR (m = 0～9))	P014 端子出力
0（セキュア）	1（非セキュア）	許可
0（セキュア）	0（セキュア）	許可
1（非セキュア）	1（非セキュア）	許可
1（非セキュア）	0（セキュア）	禁止

表 43.4 セキュリティ属性によるアナログ出力制御 (2/2)

セキュリティ属性		アナログ出力
DAC12 (PSARD)	P014 (PmSAR (m = 0～9))	P014 端子出力
1（非セキュア）	0（セキュア）	禁止

43.6 イベントリンク動作における注意事項

- イベントリンク機能を使用する場合、アンプ出力機能を使用しないでください。
- DACR.DAOE0 ビットへの書き込み実行中に ELC_DA0 イベント信号で指定されたイベントが発生すると、書き込みサイクルは停止し、発生イベントのビットが優先的に 1 になります。
- D/A 変換と A/D 変換の干渉低減のため DAADSCR.DAADST ビットを 1 にしている場合、イベントリンク機能は使用禁止です。

43.7 使用上の注意

43.7.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタによって、DAC12 の動作を禁止／許可することが可能です。DAC12 は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

43.7.2 モジュールストップ時の DAC12 の動作

D/A 変換を許可した状態で MCU がモジュールストップ状態になると、D/A 出力は保持され、アナログ電源電流は D/A 変換中と同様になります。モジュールストップ状態においてアナログ電源電流を低減する必要がある場合は、DACR.DAOE0 ビットを 0 にして D/A 変換を禁止してください。

43.7.3 ソフトウェアスタンバイモード時の DAC12 の動作

D/A 変換を許可した状態で MCU がソフトウェアスタンバイモードになると、D/A 出力は保持され、アナログ電源電流は D/A 変換中と同様になります。ソフトウェアスタンバイモードにおいてアナログ電源電流を低減する必要がある場合は、DACR.DAOE0 ビットを 0 にして D/A 変換を禁止してください。

43.7.4 ディープソフトウェアスタンバイモードへの移行に関する制約

D/A 変換を許可した状態で MCU がディープソフトウェアスタンバイモードに遷移すると、DAC12 の出力はハイインピーダンスとなります。

43.7.5 出力アンプを使用した初期化手順

出力アンプを使用して、以下の初期化手順に従ってください。ここではチャネル 0 を例に説明します。

出力アンプを使用して DAC12 を初期化するには、以下の手順を行います。

1. DADR0 レジスタに 0x0000 を書き込みます。
2. DAASWCR.DAASW0 ビットを 1 にします。
3. DAAMPCR.DAAMP0 ビットを 1 にします。
4. DACR.DAOE0 ビットを 1 にして、アンプの動作を開始します。
5. D/A 変換時間 (t_{DCONV}) の期間を待機してから、DAASWCR.DAASW0 ビットを 0 にクリアします。
6. 変換する値を DADR0 レジスタに書き込みます。

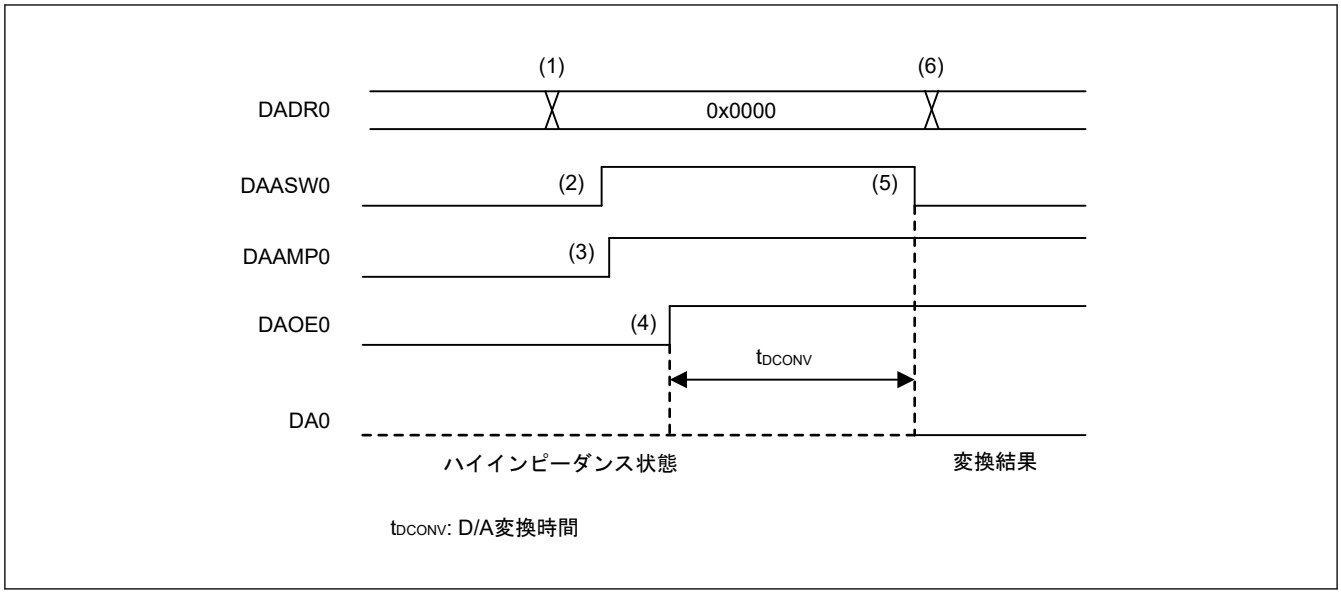


図 43.5　出力アンプを使用した DAC12 の初期化フロー例

なお、アンプが動作している状態で、DACR.DAOE0 ビットを 0 にクリアすると、アンプは停止状態になります。再びアンプを使用するには、手順 1～6 を再度行ってください。

43.7.6　内部モジュールへの出力の初期化手順

内部モジュールへの出力の初期化手順は以下に従ってください。

1. DAASWCR.DAASW0 ビットを 1 にします。
2. DACR.DAOE0 ビットを 1 にします。
3. 変換する値を DADR0 レジスタに書き込みます。

DAC12 の出力を停止する場合は、DACR.DAOE0 を 0 にした後、DAASWCR.DAASW0 を 0 にしてください。

43.7.7　D/A 変換と A/D 変換の干渉低減有効時の制約

DAADSCR.DAADST ビットが 1（D/A 変換と A/D 変換の干渉低減が有効）の場合、ADC12 をモジュールストップ状態にしないでください。A/D 変換が停止するだけでなく、D/A 変換も停止する可能性があります。

44. 温度センサ回路 (TSN)

44.1 概要

デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を決定し、監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどリニアの関係にあります。出力された電圧は ADC12 で変換されてから、末端の応用機器で使用できます。

表 44.1 に TSN の仕様を、図 44.1 に TSN のブロック図を示します。

表 44.1 TSN の仕様

項目	内容
温度センサ電圧出力	温度センサは 12 ビット A/D コンバータに電圧を出力
モジュールストップ機能	モジュールストップ状態に設定して消費電力の削減が可能
温度センサ校正データ	工場出荷時に個々のチップごとに測定した基準データをレジスタに格納
TrustZone フィルタ	セキュリティ属性とプリビレッジ属性を設定可能

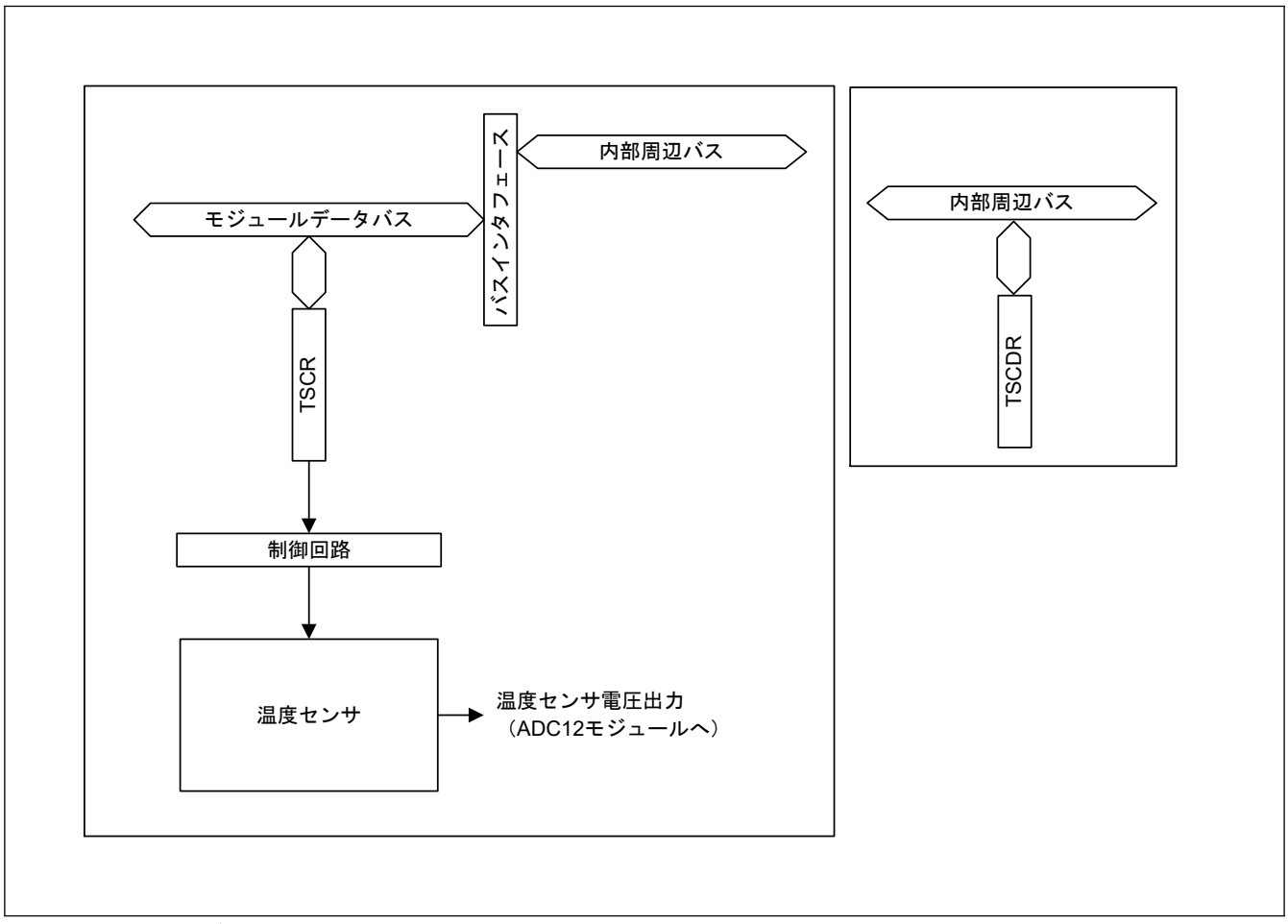


図 44.1 TSN のブロック図

44.2 レジスタの説明

44.2.1 TSCR : 温度センサコントロールレジスタ

Base address: TSN = 0x4023_5000
TSN_NS = 0x5023_5000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TSEN	—	—	TSOE	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TSOE	温度センサ出力許可 0: 温度センサから ADC12 への出力を禁止 1: 温度センサから ADC12 への出力を許可	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	TSEN	温度センサ許可 0: 温度センサが停止 1: 温度センサが動作	R/W

注. S-TYPE3, P-TYPE3

TSCR は、温度センサの制御を行うレジスタです。図 44.3 に示されるタイミングの制約は、TSCR レジスタの設定に適用されます。

TSOE ビット（温度センサ出力許可）

TSOE ビットは ADC12 への温度センサ出力を許可または禁止します。

TSEN ビット（温度センサ許可）

TSEN ビットは温度センサの動作または停止を選択します。

44.2.2 TSCDR : 温度センサ校正データレジスタ

Base address: TSD = 0x4011_B000
TSD_NS = 0x5011_B000

Offset Address: 0x017C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TSCDR[15:0]															
Value after reset:	チップごとの固有値															

ビット	シンボル	機能	R/W
15:0	TSCDR[15:0]	温度センサ補正データ チップごとの固有値	R
31:16	—	読むと 0 が読めます。	R

注. S-TYPE5, P-TYPE5

TSCDR レジスタは、工場出荷時に個々のチップごとに測定された温度センサ校正データが格納されています。

温度センサ校正データは、Tj = 125°C、AVCC0 = VREFH0 = 3.3 V の条件における温度センサの出力電圧を、12 ビット A/D コンバータでデジタル変換した値です。

TSCDR レジスタは読み出し専用の 32 ビットレジスタです。32 ビット単位で読み出してください。

温度センサ校正データは、TSCDR レジスタの下位 12 ビットに格納されています。

44.3 温度センサ回路の使用方法

温度センサが出力する電圧は、温度により変化します。この電圧は 12 ビット A/D コンバータでデジタル値に変換されます。チップの温度は、この値を温度に変換することで求められます。

44.3.1 使用前の準備

MCU の周囲温度 (T) は温度センサの電圧出力 (Vs) と比例関係にあるため、以下の式で MCU の周囲温度を求められます。

T = (Vs - V1) / slope + T1

- T: 計算結果である MCU の周囲温度 (°C)
- Vs: 温度測定時の温度センサの出力電圧 (V)
- T1: 1 点目の試行測定時の温度 (°C)
- V1: T1 測定時の温度センサの出力電圧 (V)
- T2: 2 点目の試行測定時の温度 (°C)
- V2: T2 測定時の温度センサの出力電圧 (V)
- Slope: 温度センサの温度傾斜 (V/°C) Slope = (V2 - V1)/(T2 - T1)

温度センサには個体間ばらつきがあるため、以下のような異なる温度 2 点の試行測定を実施して温度傾斜を求めておくことを推奨します。

1. 12 ビット A/D コンバータを使用して、温度 T1 で温度センサにより出力される電圧 V1 を測定してください。
2. 再度、12 ビット A/D コンバータを使用して、異なる温度 T2 で温度センサにより出力される電圧 V2 を測定してください。
3. 両者の測定結果から、温度傾斜 (Slope = (V2 - V1)/(T2 - T1)) を求めます。
4. この slope の値を温度特性の式 (T = (Vs - V1)/Slope + T1) に代入し、温度を求めます。

Ta と Tj の温度をできるだけ近くするために、MCU の消費電力が可能な限り低い状態で測定を実施してください。

また、「52. 電気的特性」に記載の温度傾斜を slope として用いる場合は、1 回の試行測定で V1 と T1 を決定します。

T = (Vs - V1) / slope + T1

注. ただし、この方法では、2 点を測定する方法よりも測定温度精度が劣ります。

本 MCU は、TSCDR レジスタに、Ta = Tj = 125°C、AVCC0 = VREFH0 = 3.3 V の条件における温度センサの温度測定値 (CAL125) を格納しています。この値を 1 点目の試行測定結果として使用することで、使用前の準備を省略することができます。

CAL125 から V1 を求めると、

V1 = 3.3 × CAL125 / 4096 [V] （12 ビット精度の場合）

となり、これを用いると、測定温度は下記の式にて算出できます。

T = (Vs - V1) / slope + 125 [°C]

- T：計算結果である MCU の周囲温度 (°C)
- Vs：温度測定時の温度センサの出力電圧 (V)
- V1：Ta = Tj = 125°C、AVCC0 = VREFH0 = 3.3 V 時の温度センサの出力電圧 (V)
- Slope：温度センサの温度傾斜(注1) / 1000 (V/°C)

注 1. 「52. 電気的特性」を参照してください。

44.3.2 温度センサ回路の使用手順

図 44.2 に TSN の使用手順例を示します。

詳細は、「42. 12 ビット A/D コンバータ (ADC12)」を参照してください。



注 1. 加算／平均モードを設定しない場合は、設定不要です。
注 2. 加算／平均モードでは ADADC.ADC[2:0]ビットの設定値が限定されます。加算／平均モードで可能な ADADC.ADC[2:0] ビットの設定については、「42. 12 ビット A/D コンバータ (ADC12)」を参照してください。
注 3. サンプリング時間は「52. 電気的特性」で説明されている値より長い値を設定してください。

図 44.2 TSN の使用手順例

図 44.3 に温度センサの動作開始から A/D 変換完了までのタイミングを示します。ADC12 がシングルスキャンモードで、温度センサ出力のみを A/D 変換対象とした場合です。表 44.2 に図中に示す時間を説明します。

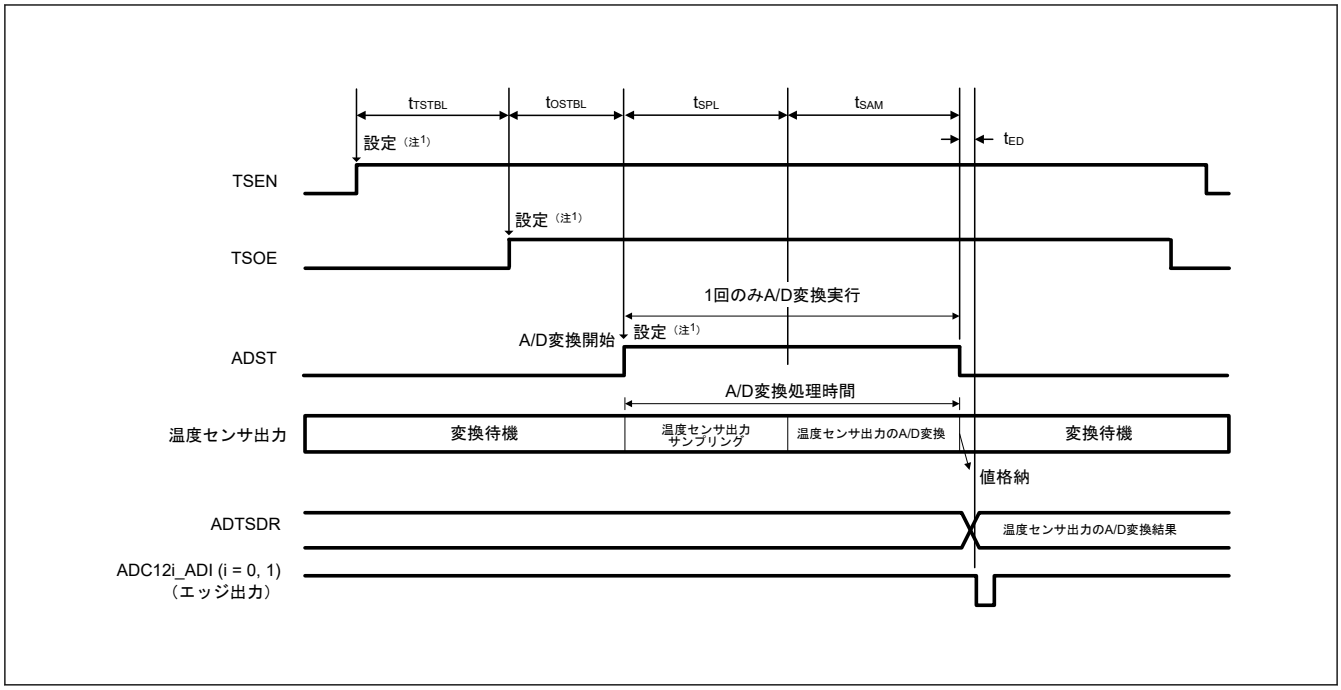


図 44.3　温度センサの動作開始から A/D 変換完了までのタイミング

表 44.2　温度センサの動作開始から A/D 変換完了までの時間

項目	記号	時間
温度センサ基準電圧安定待機時間	t_{TSTBL}	30 µs (min)
温度センサ出力安定待機時間	t_{OSTBL}	0 µs (min)
A/D コンバータ入力サンプリング時間	t_{SPL}	ADSSTRn の設定値 × ADCLK の周期
A/D 変換時間	t_{SAM}	「42.3.6. アナログ入力のサンプリング時間とスキャン変換時間」の表を参照してください。
スキャン変換終了処理時間	t_{ED}	

44.4　使用上の注意事項

44.4.1　モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) により、TSN の動作の禁止または許可を設定することが可能です。リセット後の初期状態では、TSN の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

44.4.2　ソフトウェアスタンバイモードの設定

ソフトウェアスタンバイモードに遷移する前に、A/D 変換を停止後に TSCR.TSOE ビットを 0 にしてください。その後、TSCR.TSEN ビットを 0 にして、TSN を停止させてください。

45. 高速アナログコンパレータ (ACMPHS)

45.1 概要

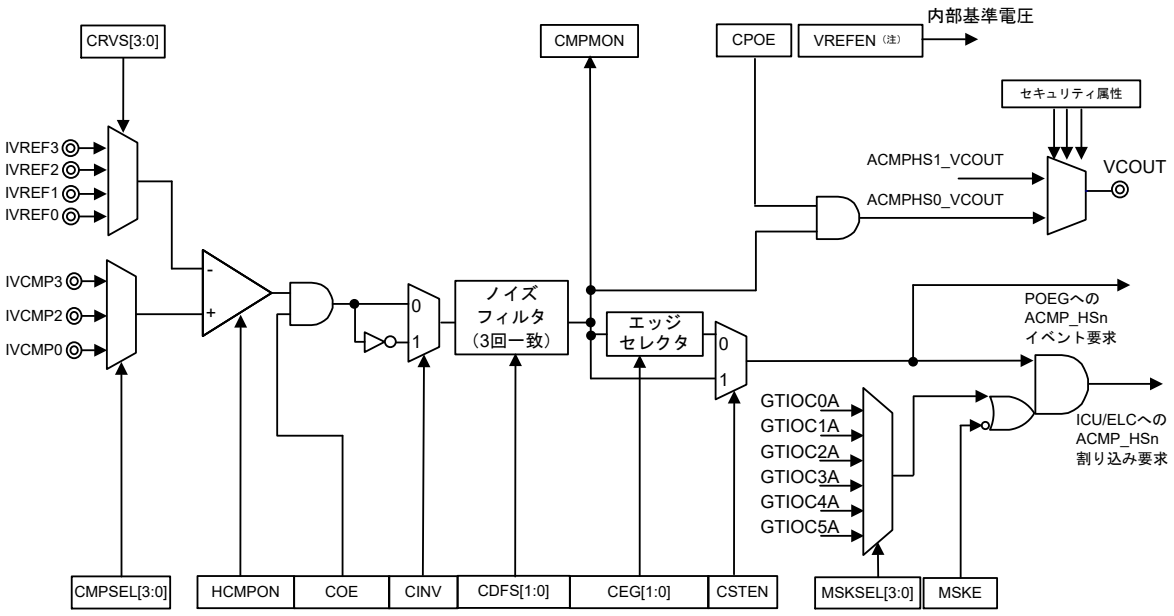
高速アナログコンパレータ (ACMPHS) は、アナログ入力電圧と基準電圧を比較、および比較結果に基づいたデジタル出力に使用できます。アナログ入力電圧と基準電圧は、どちらも内部ソース（D/A コンバータ出力または内部基準電圧）および外部ソースから ACMPHS に供給できます。このような柔軟性は、A/D 変換を行うことなくアナログ信号間の合否判定を実施する必要があるアプリケーションで有用です。

表 45.1 に ACMPHS の仕様を、図 45.1 にブロック図を、表 45.2 に入力ソース構成を示します。

表 45.1 ACMPHS の仕様

項目	仕様
チャネル数	2 チャネル： ACMPHSn (n = 0, 1)
アナログ入力電圧	• 内部 D/A コンバータから出力 • 外部ソースから入力（内部 A/D コンバータ入力端子と互換性あり（1 つを選択可能））
基準電圧	• 内部基準電圧 (Vref) • 内部 D/A コンバータから出力 • 外部ソースから入力（内部 A/D コンバータ入力端子と互換性あり（1 つを選択可能））
ACMPHS 出力	• PIN 端子への比較結果出力 • ELC イベント出力の発生 • レジスタからの出力監視 • 割り込み要求出力の発生
割り込み要求信号	• 比較結果の有効エッジ検出時に割り込み要求発生 (CMPCTL.CSTEN = 0(注1)) • 立ち上がりエッジ、立ち下がりエッジ、または両エッジを選択可能 (CMPCTL.CSTEN = 0(注1)) • 立ち上がりエッジのみ (CMPCTL.CSTEN = 1(注1))
デジタルフィルタ機能	• 3 つのサンプリング周波数のうちの 1 つを選択可能 • フィルタ機能不使用を選択可能
モジュールストップ機能	グループごとにモジュールストップ状態に設定して消費電力の削減が可能
TrustZone フィルタ	各グループに対してセキュリティ属性とプリビレッジ属性を設定可能

注 1. 割り込み要求信号選択の制限事項の詳細については、「45.5. ACMPHS 割り込み」と「45.6. イベントリンクコントローラ (ELC) への ACMPHS 出力」を参照してください。



n = 0～1

CMPSEL[3:0] : ACMPHSn.CMPSEL0レジスタのビット
CRVS[3:0] : ACMPHSn.CMPSEL1レジスタのビット
CPOE, VREFEN : ACMPHSn.CPIOCレジスタのビット
CMPMON : ACMPHSn.CMPMONレジスタのビット
HCMPON, COE, CINV, CDFS[1:0], CEG[1:0], CSTEN : ACMPHSn.CMPCTLレジスタのビット
MSKSEL[3:0] : ACMPHSn.CMPSKCTLレジスタのビット
MSKE : ACMPHSn.CMPINTCTLレジスタのビット

注：VREFENはACMPHS0にのみ存在します。

図 45.1 ACMPHS ブロック図

表 45.2 ACMPHS の入力ソース構成

コンパレータ	基準電圧入力ソース				アナログ電圧入力ソース			出力端子
	IVREF3	IVREF2	IVREF1	IVREF0	IVCMP3	IVCMP2	IVCMP0	
ACMPHS0	DA0(注3)	Vref(注1)	AN104	AN101	AN002	AN000	AN005	VCOUT(注2)
ACMPHS1	DA0(注3)	Vref(注1)	AN104	AN101	AN102	AN100	—	

注 1. 内部基準電圧
注 2. ACMPHS0～ACMPHS1 の比較出力は VCOUT 端子にまとめられています。
注 3. D/A コンバータ 0 出力が使用されない場合、信号は AN007 アナログ入力として使用できます。

45.2 レジスタの説明

45.2.1 CMPCTL : コンパレータコントロールレジスタ

Base address: ACMPHSn = 0x4023_6000 + 0x0100 × n (n = 0, 1)
ACMPHSn_NS = 0x5023_6000 + 0x0100 × n (n = 0, 1)

Offset address: 0x000

Bit position:	7	6	5	4	3	2	1	0
Bit field:	HCMPON	CDFS[1:0]		CEG[1:0]		CSTEN	COE	CINV
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CINV	コンパレータ出力極性選択(注1) (注2) 0: コンパレータ出力を反転しない 1: コンパレータ出力を反転する	R/W
1	COE	コンパレータ出力許可 0: コンパレータ出力禁止（出力信号は Low） 1: コンパレータ出力許可	R/W
2	CSTEN	割り込み選択(注3) 0: エッジセレクタ経由で出力 1: 直接出力	R/W
4:3	CEG[1:0]	有効エッジ選択（エッジセレクタ） 0 0: エッジを検出しない 0 1: 立ち上がりエッジを検出 1 0: 立ち下がりエッジを検出 1 1: 両エッジを検出	R/W
6:5	CDFS[1:0]	ノイズフィルタ選択 (注1) (注2) (注3)(注4) 0 0: ノイズフィルタを使用しない 0 1: PCLKB/2^3 のノイズフィルタサンプリング周波数を使用 1 0: PCLKB/2^4 のノイズフィルタサンプリング周波数を使用 1 1: PCLKB/2^5 のノイズフィルタサンプリング周波数を使用	R/W
7	HCMPON	コンパレータ動作制御(注5) 0: 動作を停止（コンパレータは Low 信号を出力） 1: 動作を許可（コンパレータ端子への入力を許可）	R/W

注. S-TYPE-3, P-TYPE-3
注 1. CDFS[1:0]ビットおよび CINV ビットの変更前に ACMPHS 出力を禁止します (COE= 0)。
注 2. CDFS[1:0]ビットおよび CINV ビットを変更した場合、ACMPHS 割り込み要求および ELC イベントが発生することがあります。これらのビットを変更する前に、ELSRn レジスタに 0（ACMPHS 出力をリンクしない）を設定してください。これらのビットの変更後、IELSRn レジスタの IR フラグを 0 にクリアして、割り込み状態をクリアしてください。
注 3. ACMPHS 割り込みがソフトウェアスタンバイモードの解除を発生させる場合は、CSTEN ビットを 1、CDFS[1:0]ビットを 00b に設定してください。CSTEN は ACMPHS0 によってのみサポートされています。ACMPHS1.CMPCTL.CSTEN ビットを 0 に設定してください。
注 4. CDFS[1:0]ビットの設定を 00b（ノイズフィルタを使用しない）から別の値（ノイズフィルタを使用する）に変更した場合は、サンプリングを 4 回実行してフィルタ出力を更新してから、ACMPHS 割り込み要求または ELC イベントを使用してください。
注 5. ACMPHS を有効にした後 (HCMPON = 1)、ACMPHS の動作を許可するためには、安定待機時間が必要です。ACMPHS モジュール 0、1 の動作安定待機時間は 300 ns です。

注. コンパレータ出力を POEG ソースとして使用するときは、POEG のレジスタを設定する前に本レジスタを設定します。

CMPCTL レジスタは、ACMPHS 動作の制御、ACMPHS 出力の許可／禁止、ノイズフィルタの選択、割り込み信号の有効エッジの選択、割り込みの選択を行います。

45.2.2 CMPSEL0 : コンパレータ入力選択レジスタ

Base address: ACMPHSn = 0x4023_6000 + 0x0100 × n (n = 0, 1)
ACMPHSn_NS = 0x5023_6000 + 0x0100 × n (n = 0, 1)

Offset address: 0x004

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	CMPSEL[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CMPSEL[3:0]	コンパレータ入力選択(注1) (注2) (注3) 0x00: 入力しない 0x01: IVCMP0 を選択 0x04: IVCMP2 を選択 0x08: IVCMP3 を選択 その他: 設定禁止	R/W

ビット	シンボル	機能	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. CMPSEL[3:0]ビットは下記の手順で変更してください。CMPSEL0 レジスタの値が 0x00 以外の場合、0x00 以外の値の書き込みは無効です。2 つ以上のビットへの 1 の書き込みも無効です。どちらの場合も、変更前の値が保持されます。
CMPSEL[3:0]ビットを変更するには、以下を実行します。
1. CMPCTL.COE ビットを 0 にする。
2. CMPSEL0 レジスタを 0x00 にする。
3. 新しい値を CMPSEL[3:0]ビットに設定する。このとき、いずれか 1 つのビットのみを 1 にする。
4. 入力切り替え安定待機時間 (200 ns) の経過を待つ。
5. CMPCTL.COE ビットを 1 にする。
6. IELSRn レジスタの IR フラグをクリアし、割り込みステータスをクリアする。
注 2. 詳細は、表 45.2 を参照してください。
注 3. ACMPHSn レベル検出信号を POEG ソースとして使用するとき、POEG の任意のレジスタ設定後の本ビットへの書き込みアクセスは、POEG ソースを発生させる場合があります。

45.2.3 CMPSEL1 : コンパレータ基準電圧選択レジスタ

Base address: ACMPHSn = 0x4023_6000 + 0x0100 × n (n = 0, 1)
ACMPHSn_NS = 0x5023_6000 + 0x0100 × n (n = 0, 1)

Offset address: 0x008

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	CRVS[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CRVS[3:0]	基準電圧の選択(注1)(注2)(注3)(注4) 0x00: 入力しない 0x01: IVREF0 を選択 0x02: IVREF1 を選択 0x04: IVREF2 を選択 0x08: IVREF3 を選択 その他: 設定禁止	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3
注 1. CRVS[3:0]ビットは下記の手順で変更してください。CMPSEL1 レジスタの値が 0x00 以外の場合、0x00 以外の値の書き込みは無効です。2 つ以上のビットへの 1 の書き込みも無効です。どちらの場合も、変更前の値が保持されます。
CRVS[3:0]ビットを変更するには、以下を実行します。
1. CMPCTL.COE ビットを 0 にする。
2. CMPSEL1 レジスタを 0x00 にする。
3. 新しい値を CRVS[3:0]ビットに設定する。このとき、いずれか 1 つのビットのみを 1 にする。
4. 入力切り替え安定待機時間 (200 ns) の経過を待つ。
5. CMPCTL.COE ビットを 1 にする。
6. IELSRn レジスタの IR フラグをクリアし、割り込みステータスをクリアする。
注 2. 詳細は、表 45.2 を参照してください。
注 3. 内蔵 D/A コンバータ出力電圧を使用する場合、コンパレータの動作を許可する (CMPCTL.HCMPON = 1) 前に、D/A コンバータを設定してコンパレータ C 基準電圧を発生させてください。D/A コンバータの設定の詳細については、「43. 12 ビット D/A コンバータ (DAC12)」を参照してください。
注 4. ACMPHSn レベル検出信号を POEG ソースとして使用するとき、POEG の任意のレジスタ設定後の本ビットへの書き込みアクセスは、POEG ソースを発生させる場合があります。

45.2.4 CMPMON : コンパレータ出力モニタレジスタ

Base address: ACMPHSn = 0x4023_6000 + 0x0100 × n (n = 0, 1)
ACMPHSn_NS = 0x5023_6000 + 0x0100 × n (n = 0, 1)

Offset address: 0x00C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	COMPMON
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	COMPMON	コンパレータ出力監視(注1) 0: コンパレータ出力は Low 1: コンパレータ出力は High	R
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. S-TYPE-3, P-TYPE-3
注 1. ACMPHS 動作が許可 (CMPCTL.HCMPON = 1 かつ CMPCTL.COE = 1) されていても、ノイズフィルタを使用しない (CDFS[1:0] = 00b) 場合は、COMPMON ビットが 2 回読み出され、その値が 2 回連続で一致した後にのみ使用されるようにソフトウェアを設計してください。

45.2.5 CPIOC : コンパレータ出力コントロールレジスタ

Base address: ACMPHSn = 0x4023_6000 + 0x0100 × n (n = 0, 1)
ACMPHSn_NS = 0x5023_6000 + 0x0100 × n (n = 0, 1)

Offset address: 0x010

Bit position:	7	6	5	4	3	2	1	0
Bit field:	VREFEN	—	—	—	—	—	—	CPOE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CPOE	外部端子出力許可 コンパレータによる比較結果は外部端子へ出力されます。 0: コンパレータの外部端子出力禁止（出力信号は Low 固定） 1: コンパレータの外部端子出力許可	R/W
6:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	VREFEN	内部 Vref 有効(注1) 0: 内部 Vref 無効 1: 内部 Vref 有効	R/W

注. S-TYPE-3, P-TYPE-3
注 1. ACMPHS モジュール 0、1 の場合、VREFEN は ACMPHS0.CPIOC 内にのみ存在します。ACMPHS0、ACMPHS1 の内部 Vref を使用する場合、ACMPHS0.CPIOC の VREFEN ビットを 1 にします。ACMPHS1.CPIOC のビット[7]は、内部 Vref の使用の有無にかかわらず 0 にします。

45.2.6 CPINTCTL : コンパレータ割り込みコントロールレジスタ

Base address: ACMPHSn = 0x4023_6000 + 0x0100 × n (n = 0, 1)
ACMPHSn_NS = 0x5023_6000 + 0x0100 × n (n = 0, 1)

Offset address: 0x040

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MSKE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MSKE	コンパレータ割り込み周期マスク許可 0: 割り込みマスク禁止（初期設定） 1: CPMSKCTL.MSKSEL[2:0]で選択された GPT 出力信号により割り込みマスク許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

本レジスタは ICU/ELC への割り込みを制御します。一方で、POEG（ポートアウトプットイネーブル）へのイベントは、本レジスタでは制御しません。

45.2.7 CPMSKCTL : コンパレータ割り込みマスクコントロールレジスタ

Base address: ACMPHSn = 0x4023_6000 + 0x0100 × n (n = 0, 1)
ACMPHSn_NS = 0x5023_6000 + 0x0100 × n (n = 0, 1)

Offset address: 0x044

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	MSKSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	MSKSEL[2:0]	コンパレータ割り込み周期マスク選択 0 0 0: GTIOC0A 出力信号により割り込みマスク許可 0 0 1: GTIOC1A 出力信号により割り込みマスク許可 0 1 0: GTIOC2A 出力信号により割り込みマスク許可 0 1 1: GTIOC3A 出力信号により割り込みマスク許可 1 0 0: GTIOC4A 出力信号により割り込みマスク許可 1 0 1: GTIOC5A 出力信号により割り込みマスク許可 その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3, P-TYPE-3

本レジスタは ICU/ELC への割り込みを制御します。一方で、POEG（ポートアウトプットイネーブル）へのイベントは、本レジスタでは制御しません。

45.3 動作説明

ACMPHS は、基準電圧とアナログ入力電圧を比較します。ACMPHS の動作中にレジスタの値を変更した場合、動作は保証されません。表 45.3 に、ACMPHS に関連付けられているレジスタの設定手順を示します。

表 45.3 ACMPHSn (n = 0, 1) 関連レジスタの設定手順 (1/2)

手順	レジスタ	ビット	設定
1	関連する MSTPCRD レジスタ	MSTPD28～MSTPD27	0: 入力クロック供給
2	関連する端子機能コントロールレジスタ (PFS)	ASEL	1: IVREF および IVCMP 端子の機能を選択
3	ACMPHSn.CPIOC	VREFEN	1: 内部 Vref を使用する場合
4	関連する D/A コンバータ		D/A コンバータを使用する場合、レジスタで選択
5	CMPSEL0, CMPSEL1	CMPSEL[3:0] CRVS[3:0]	ACMPHSn 入力を選択し、いずれか 1 つのビットのみを 1 にする
6	CMPCTL	CDFS[1:0], CEG[1:0], CINV	ACMPHSn 制御を設定
		HCMPON	1: ACMPHSn 動作を許可
7	CMPSKCTL	MSKCTL[2:0]	（GPT から）割り込みマスクソース信号を選択
8	CPINT	MSKE	1: 必要に応じて割り込みマスク機能有効
9	ACMPHS 安定時間（最小 300 ns）待機		

表 45.3 ACMPHSn (n = 0, 1) 関連レジスタの設定手順 (2/2)

手順	レジスタ	ビット	設定
10	CMPCTL	COE	1: ACMPHSn 出力を許可
11	CPIOC	CPOE	VCOUT 出力設定
	関連する端子機能コントロールレジスタ (PFS)	PSEL, PMR	VCOUT ポート機能を選択
12	IELSRn	IR, IELS[8:0]	割り込み使用時、割り込みステータスフラグおよび ICU イベントリンクを選択(注1)
13	ELSRn	ELS[8:0]	ELC を使用する場合はイベントリンクを選択(注2)
14	動作開始		
15	CMPCTL	COE	0: IVREF または IVCMP を変更する場合は ACMPHSn 出力を禁止
16	CMPSEL1	CRVS[3:0]	以下の手順で CMPSEL1 ビットを変更： 1. CMPSEL1 ビットを 0000 0000b に変更 2. CMPSEL1 ビットに新しい値を設定し、いずれか 1 つのビットだけを 1 にする
	CMPSEL0	CMPSEL[3:0]	以下の手順で CMPSEL0 ビットを変更： 1. CMPSEL0 ビットを 0000 0000b に変更 2. CMPSEL0 ビットに新しい値を設定し、いずれか 1 つのビットだけを 1 にする
17	ACMPHS 切り替え安定時間（最小 200 ns）待機		
18	CMPCTL	COE	1: ACMPHSn 出力を許可
19	動作再開		

注 1. ACMPHSn を設定した後、動作が安定するまで不要な割り込みが発生する場合があるため、割り込みフラグを初期化してください。
注 2. ACMPHSn を設定した後、動作が安定するまで不要な割り込みが発生する場合があるため、イベントリンク選択を初期化してください。

図 45.2 と図 45.3 に ACMPHS の動作例を示します。アナログ入力電圧が ACMPHS 基準入力電圧より高い場合は、VCOUT 出力が 1 になります。アナログ入力電圧が ACMPHS 基準入力電圧より低い場合は、VCOUT 出力が 0 になります。ACMPHS 出力が変化すると、割り込み要求と ELC イベントが出力されます。

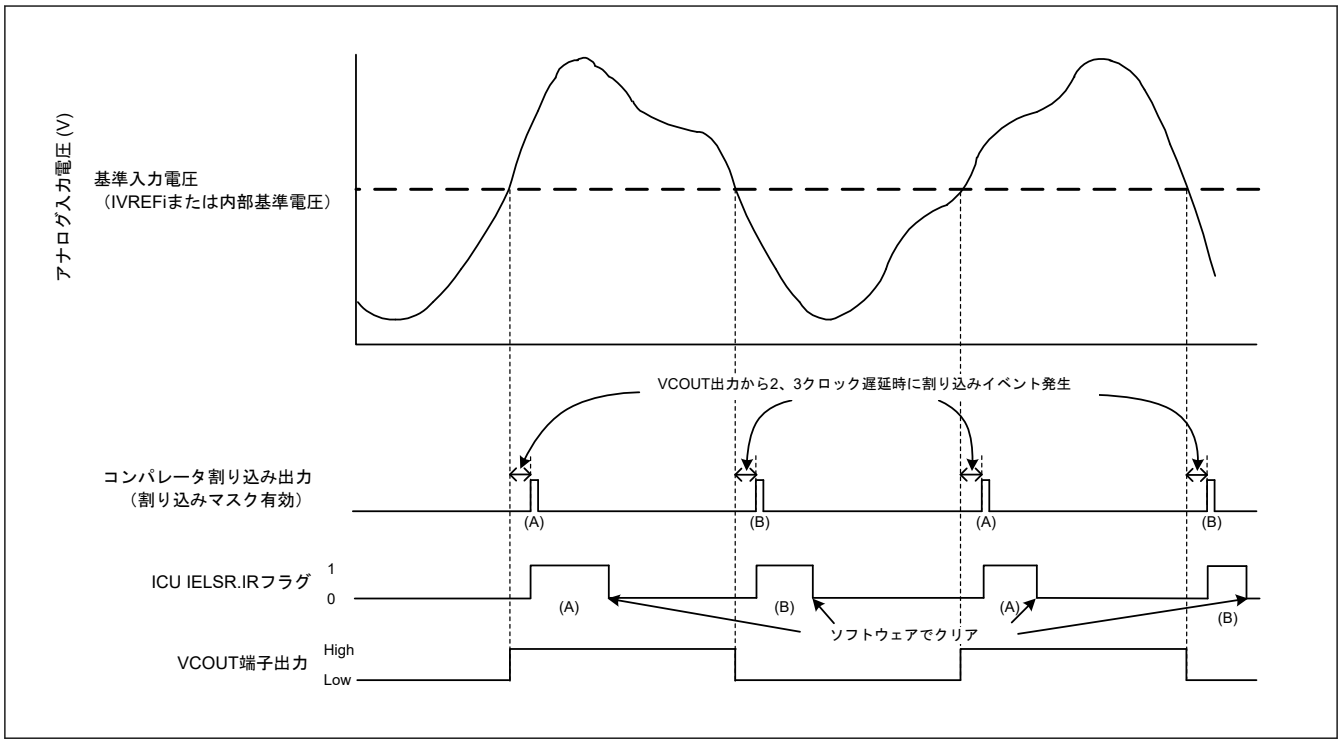


図 45.2 ACMPHS の動作例（割り込みマスク機能無効）

図 45.2 は CPOE = 1（端子出力有効）、CDFS[1:0] = 00b（フィルタを使用しない）、かつ CEG[1:0] = 11b（両エッジ検出を選択）の場合の例です。CINV = 0、CEG[1:0] = 01b（ACMPHS からの非反転出力信号用に立ち上がりエッジ検出を選択）の場合、IELSR.IR フラグは (A) で示されるように変化します。CINV = 0、CEG[1:0] = 10b（ACMPHS からの非反転出力信号用に立ち下がりエッジ検出を選択）の場合、IR フラグは (B) で示されるように変化します。CPOE = 1 の場合、VCOUT は直接出力します。

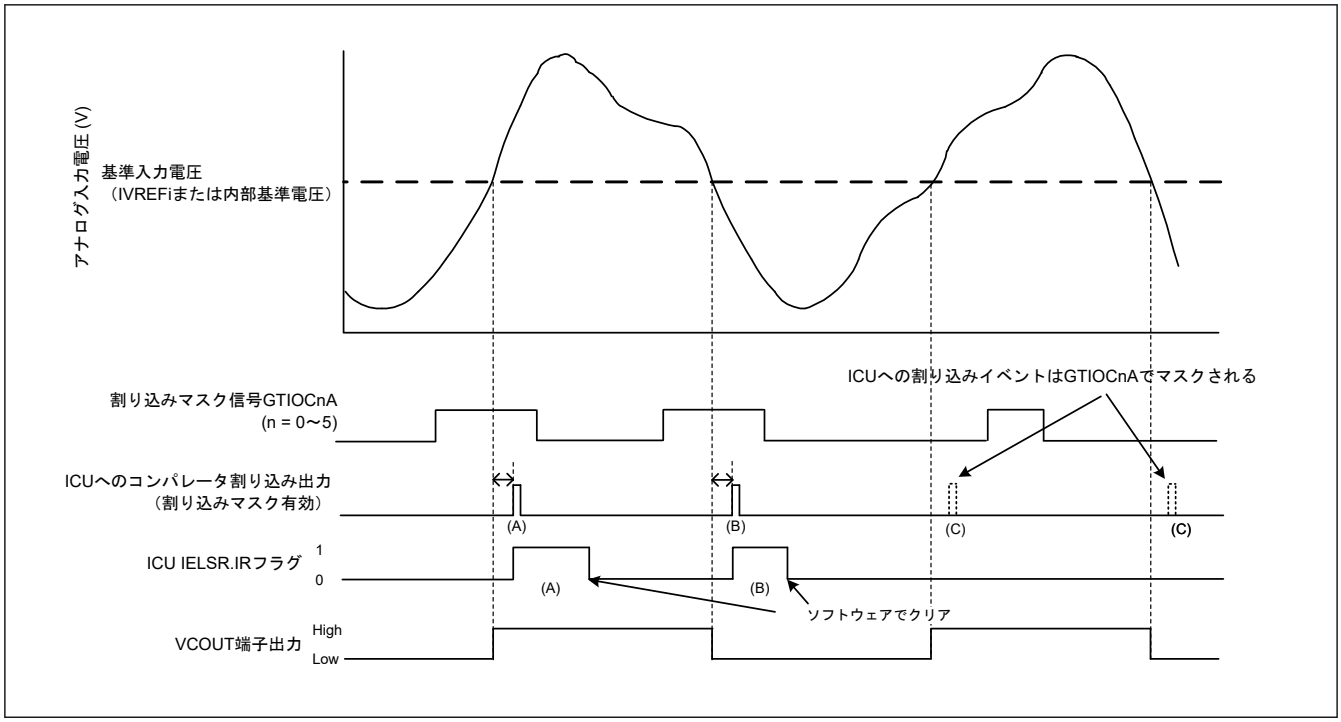


図 45.3　ACMPHS の動作例（割り込みマスク機能有効）

図 45.3 は CPOE = 1（端子出力有効）、CDFS[1:0] = 00b（フィルタを使用しない）、かつ CEG[1:0] = 11b（両エッジ検出を選択）の場合の例です。CINV = 0、CEG[1:0] = 01b（ACMPHS からの非反転出力信号用に立ち上がりエッジ検出を選択）の場合、IELSR.IR フラグは (A) で示されるように変化します。CINV = 0、CEG[1:0] = 10b（ACMPHS からの非反転出力信号用に立ち下がりエッジ検出を選択）の場合、IR フラグは (B) で示されるように変化します。

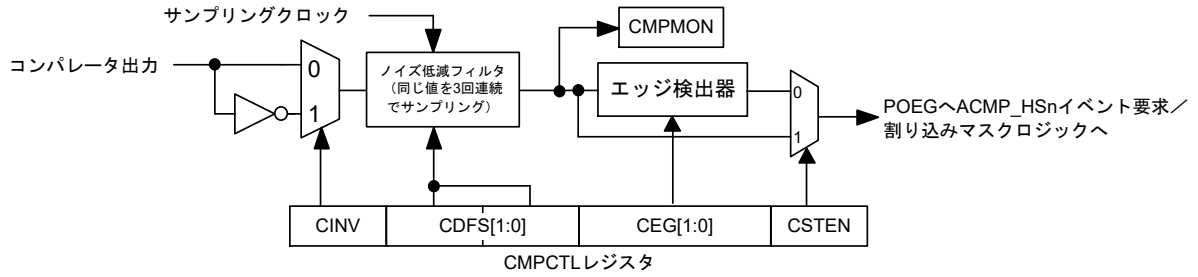
MSKE = 1 かつ MSKSEL[2:0] = 000b の場合、(C) で示されるように ICU へ出力される割り込み信号は、GTIOC0A = Low レベルのとき GTIOC0A でマスクされます。一方で、GTIOC0A = High レベルのときは通過します。

CPOE = 1 の場合、MSKE の設定にかかわらず、VCOUT は直接出力します。

45.4　ノイズフィルタ

ACMPHS にはノイズフィルタが組み込まれています。サンプリングクロックは CMPCTL.CDFS[1:0]ビットで選択できます。コンパレータ出力信号はサンプリングクロックごとにサンプリングされ、3 回続けて同じ値がサンプリングされた場合は、その次のサンプリングクロックサイクルのノイズフィルタ出力が ACMPHS 出力として使われます。

図 45.4 にノイズフィルタとエッジ検出回路の構成を、図 45.5 にノイズフィルタと割り込み動作の例を示します。



注 1. n = 0, 1

図 45.4 ノイズフィルタとエッジ検出回路の構成

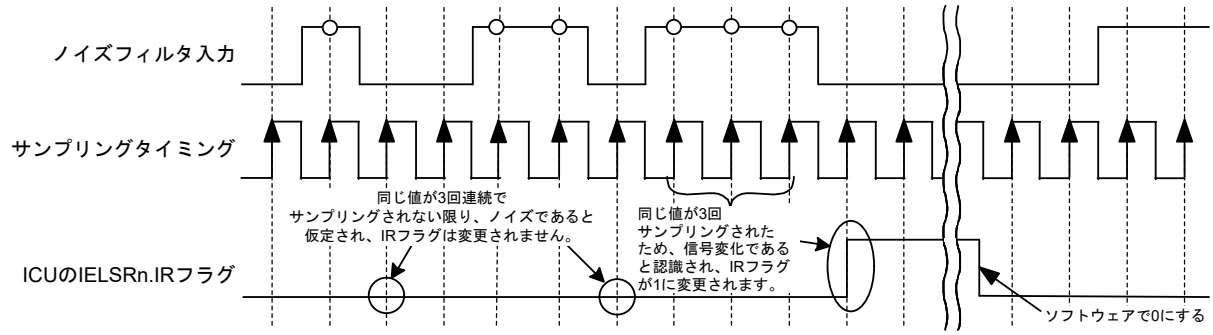


図 45.5 ノイズフィルタおよび割り込み動作の例

図 45.5 の動作例は、CMPCTL.CDFS[1:0]ビットが 01b、10b、または 11b の場合（ノイズフィルタ使用時）の例です。

45.5 ACMPHS 割り込み

ACMPHS は ACMPHSn ソース (n = 0, 1) から 2 つの割り込み要求を発生させます。ACMPHS 割り込みを使用する場合は、割り込みコントローラユニット (ICU) の IELSR レジスタで選択します。割り込み要求（エッジセレクタ経由かどうか）を CMPCTL.CSTEN ビットで選択します。

ICU/ELC への割り込みイベントは GPT 出力 (GTIOCnA (n = 0～5)) によりマスク可能であり、CPINTCTL.MSKE ビットと CPMSKCTL.MSKSEL[2:0]ビットで制御します。詳細は、図 45.3 を参照してください。

POEG へのイベントは GPT 出力 (GTIOCnA (n = 0～5)) によりマスク不可能であり、CPINTCTL.MSKE ビットと CPMSKCTL.MSKSEL[2:0]ビットで制御されません。

エッジセレクタ経由で ACMPHS 割り込みを使用する場合、CMPCTL.CEG[1:0]ビットの少なくとも 1 つを 1 にします（00b（エッジ未選択）以外の値を設定）。通常モード、CPU スリープモード、CPU ディープスリープモードでは、CMPCTL.CSTEN ビットを 0（エッジセレクタ経由で出力）にします。

ソフトウェアスタンバイモードで ACMPHS 割り込みを使用する場合、CMPCTL.CSTEN ビットを 1（直接出力）、CMPCTL.CDFS[1:0]ビットを 00b（デジタルノイズフィルタを未使用）にして、CMPCTL.CINV を以下のように設定します。

- 比較結果 0～1 を検出する場合、CMPCTL.CINV を 0（コンパレータ出力の反転なし）にします。
- 比較結果 1～0 を検出する場合、CMPCTL.CINV を 1（コンパレータ出力の反転あり）にします。

ACMPHS0 割り込み要求は、ソフトウェアスタンバイモードの解除に使用できます。ACMPHS1 は使用できません。

ACMPHS0/ACMPHS1 は、ディープソフトウェアスタンバイモードでは使用できません。

ACMPHS 割り込み要求に関連するレジスタ設定の詳細については、「45.2.1. CMPCTL : コンパレータコントロールレジスタ」、「45.2.6. CPINTCTL : コンパレータ割り込みコントロールレジスタ」、および「45.2.7. CPMSKCTL : コンパレータ割り込みマスクコントロールレジスタ」を参照してください。

45.6 イベントリンクコントローラ (ELC) への ACMPHS 出力

ELC は、ACMPHS 割り込み要求信号を ELC イベント信号として使用し、事前設定モジュールに対してリンク動作が可能です。ACMPLP ELC イベントを使用するには、ELC の ELSR レジスタで選択します。ELC イベント要求を使用する場合、CMPCTL.CSTEN ビットを 0（エッジセレクタ経由で出力）にします。また、CMPCTL.CEG[1:0] ビットの少なくとも 1 つを 1（エッジ選択なしの 00b 以外の値）にします。

ELC への割り込みイベントは GPT 出力 (GTIOCnA (n = 0～5)) によりマスク可能であり、CPINTCTL.MSKE ビットと CPMSKCTL.MSKSEL[2:0]ビットで制御します。

45.7 ACMPHS 端子出力

ACMPHS からの比較結果は外部端子に出力できます。CMPCTL.CINV および CPIOC.CPOE ビットを使用して、出力極性（非反転出力または反転出力）を設定し、出力を許可または禁止できます。ACMPHS 比較結果を VCOUT 出力端子に出力する場合、対応するポート mn 端子機能コントロールレジスタ (PmnPFS) を I/O レジスタで設定します。

表 45.4 に示すように、ポートと ACMPHS のセキュリティ属性が一致したときのみ、ACMPHS 比較結果は VCOUT 端子に出力されます。

表 45.4 セキュリティ設定による VCOUT 端子の出力条件

PORT セキュリティ属性 (PmSAR (m = 0～9))	ACMPHS0 セキュリティ属性 PSARD	ACMPHS1 セキュリティ属性 PSARD	VCOUT 端子出力
0（セキュア）	0（セキュア）	0（セキュア）	ACMPHS0/1 出力許可
1（非セキュア）	0（セキュア）	0（セキュア）	ACMPHS0/1 出力禁止
0（セキュア）	0（セキュア）	1（非セキュア）	ACMPHS0_VCOUT 出力許可 ACMPHS1_VCOUT 出力禁止
1（非セキュア）	0（セキュア）	1（非セキュア）	ACMPHS0_VCOUT 出力禁止 ACMPHS1_VCOUT 出力許可
0（セキュア）	1（非セキュア）	0（セキュア）	ACMPHS0_VCOUT 出力禁止 ACMPHS1_VCOUT 出力許可
1（非セキュア）	1（非セキュア）	0（セキュア）	ACMPHS0_VCOUT 出力許可 ACMPHS1_VCOUT 出力禁止
0（セキュア）	1（非セキュア）	1（非セキュア）	ACMPHS0/1 出力禁止
1（非セキュア）	1（非セキュア）	1（非セキュア）	ACMPHS0/1 出力許可

45.8 使用上の注意事項

45.8.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタを使用して、ACMPHS 動作を禁止／許可できます。リセット後の初期状態では、ACMPHS の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

45.8.2 DAC12 の設定

ACMPHS は、D/A コンバータの内部モジュール出力に接続されます。詳細は、「43. 12 ビット D/A コンバータ (DAC12)」を参照してください。

45.8.3 ADC12 との関係

ACMPHS アナログ入力と ADC12 アナログ入力の同時使用には制限事項があります。詳細は、「42.6.14. ADC12 ユニット 0、1 と ACMPHS との関係」を参照してください。

45.8.4 モジュールストップ状態における ACMPHS の動作

ACMPHS の動作中にモジュールストップ状態に遷移すると、ACMPHS のアナログ回路は停止せず、アナログ電源電流は ACMPHS 使用時と同じです。モジュールストップ状態でアナログ電源電流を低減する必要がある場合、CMPCTL.HCMPON ビットを 0 に設定して、ACMPHS を停止させてください。

45.8.5 ソフトウェアスタンバイモード時の ACMPHS の動作

ACMPHS の動作中にソフトウェアスタンバイモードに遷移すると、ACMPHS のアナログ回路は停止せず、アナログ電源電流は ACMPHS 使用時と同じです。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合、CMPCTL.HCMPON ビットを 0 に設定して、ACMPHS を停止させてください。

45.8.6 基準電圧生成のための D/A コンバータの設定

D/A コンバータを設定し、基準電圧を生成してください。コンパレータを有効にする前に、D/A コンバータ出力設定時間だけ待機してください。同様に、D/A コンバータの設定を変更する前に、コンパレータを一時的に停止してください。D/A コンバータの設定変更後、コンパレータを有効にする前に、D/A コンバータ出力設定時間だけ待機してください。

46. データ演算回路 (DOC)

DOC 周辺モジュールの DOC_B バージョンです。

本章では、DOC_B を DOC と呼びます。

46.1 概要

データ演算回路 (DOC) は、16 ビットまたは 32 ビットのデータの比較、加算、および減算に使用されます。以下の条件が適用される場合、割り込みが発生可能です。

- 16 ビットまたは 32 ビットの比較値が検出条件と一致するとき
- 16 ビットまたは 32 ビットのデータの加算結果がオーバーフローするとき
- 16 ビットまたは 32 ビットのデータの減算結果がアンダーフローするとき

表 46.1 にデータ演算回路の仕様を、図 46.1 にデータ演算回路のブロック図を示します。

表 46.1 DOC の仕様

項目	内容
データ演算機能	• 16 ビットまたは 32 ビットのデータの比較、しきい値を上回る、あるいは下回るデータの検出比較、およびウィンドウ比較 • 16 ビットまたは 32 ビットのデータの加算と減算
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減
割り込み	• 比較値が検出条件と一致する • データ加算の結果が 0xFFFF (DOCR.DOBW = 0) または 0xFFFF_FFFF (DOCR.DOBW = 1) より大きい • データ減算の結果が 0x0000 (DOCR.DOBW = 0) または 0x0000_0000 (DOCR.DOBW = 1) より小さい
イベントリンク機能（出力）	• データ比較の結果が検出条件と一致する • データ加算の結果が 0xFFFF (DOCR.DOBW = 0) または 0xFFFF_FFFF (DOCR.DOBW = 1) より大きい • データ減算の結果が 0x0000 (DOCR.DOBW = 0) または 0x0000_0000 (DOCR.DOBW = 1) より小さい
TrustZone フィルタ	セキュリティ属性とプリビレッジ属性を設定可能

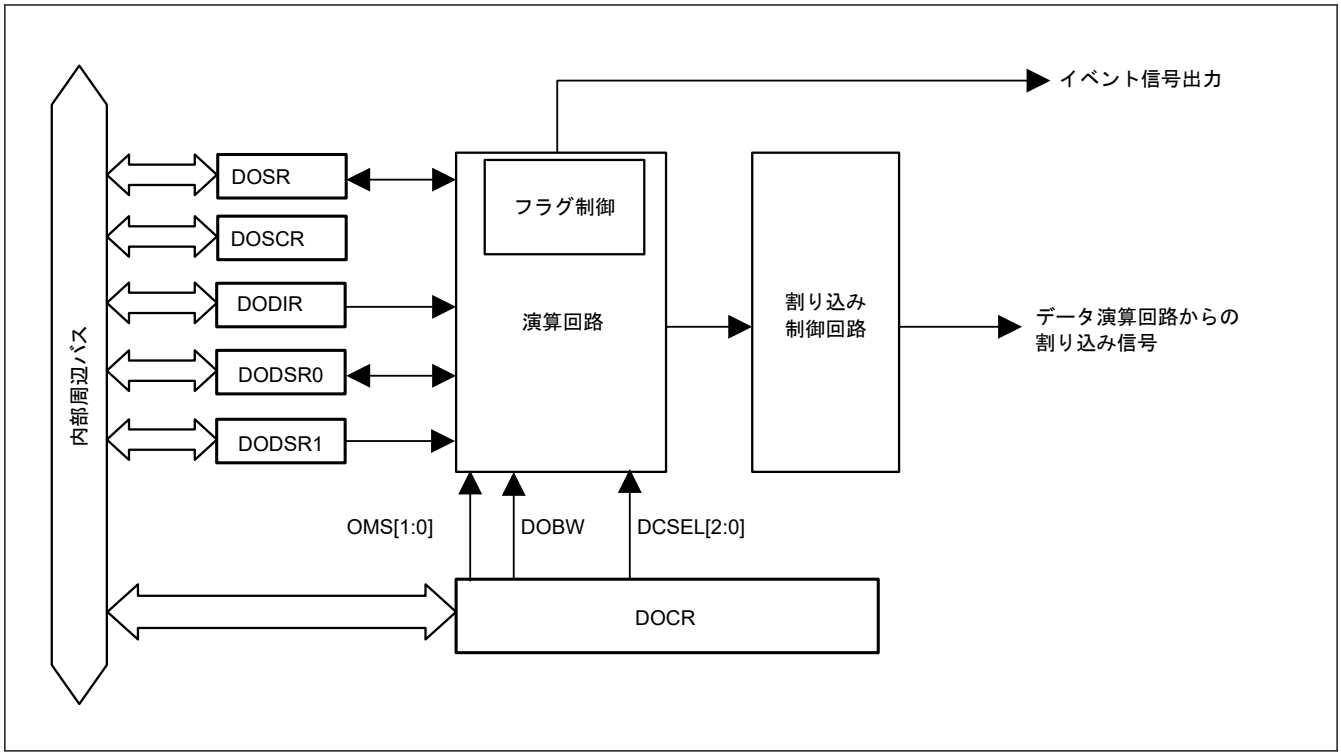


図 46.1 DOC のブロック図

46.2 レジスタの説明

46.2.1 DOCR : DOC コントロールレジスタ

Base address: DOC_B = 0x4031_1000
DOC_B_NS = 0x5031_1000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	DCSEL[2:0]			DOBW	—	OMS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	OMS[1:0]	動作モード選択 0 0: データ比較モード 0 1: データ加算モード 1 0: データ減算モード 1 1: 設定禁止	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	DOBW	データ演算ビット幅選択 0: 16 ビット 1: 32 ビット	R/W
6:4	DCSEL[2:0](注1)	検出条件選択 0 0 0: 不一致 (DODSR0 ≠ DODIR) 0 0 1: 一致 (DODSR0 = DODIR) 0 1 0: 小さい (DODSR0 > DODIR) 0 1 1: 大きい (DODSR0 < DODIR) 1 0 0: ウィンドウ内 (DODSR0 < DODIR < DODSR1) 1 0 1: ウィンドウ外 (DODIR < DODSR0, DODSR1 < DODIR) その他: 設定禁止	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE3, P-TYPE3
注 1. データ比較モード選択時のみ有効

DOCR レジスタは、データ演算回路の動作モードと割り込みの許可または禁止を設定できます。

OMS[1:0]ビット（動作モード選択）

本ビットはデータ演算回路の動作モードを選択します。

DOBW ビット（データ演算ビット幅選択）

本ビットはデータ演算のビット幅を選択します。

DCSEL[2:0]ビット（検出条件選択）

本ビットはデータ比較モード選択時のみ有効です。

本ビットはデータ比較モードでの検出条件を選択します。

46.2.2 DOSR : DOC フラグステータスレジスタ

Base address: DOC_B = 0x4031_1000
DOC_B_NS = 0x5031_1000

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DOPCF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DOPCF	データ演算回路フラグ 演算結果を示します。	R
7:1	—	読むと 0 が読めます。	R

注. S-TYPE3, P-TYPE3

DOSR レジスタは、データ演算のステータスを表示するレジスタです。

DOPCF フラグ（データ演算回路フラグ）

[1 になる条件]

- DOCR.OMS[1:0] = 00b（データ比較モード）: 比較値が DOCR.DCSEL[2:0]ビットで選択した検出条件と一致する
- DOCR.OMS[1:0] = 01b（データ加算モード）: データ加算の結果が 0xFFFF (DOCR.DOBW = 0) または 0xFFFF_FFFF (DOCR.DOBW = 1) より大きい
- DOCR.OMS[1:0] = 10b（データ減算モード）: データ減算の結果が 0x0000 (DOCR.DOBW = 0) または 0x0000_0000 (DOCR.DOBW = 1) より小さい

[0 になる条件]

- DOSCR.DOPCFCL ビットに 1 を書いたとき

46.2.3 DOSCR : DOC フラグステータスクリアレジスタ

Base address: DOC_B = 0x4031_1000
DOC_B_NS = 0x5031_1000

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DOPCFCL
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DOPCFCL	DOPCF クリア 0: DOPCF フラグの状態を維持 1: DOPCF フラグをクリア	W
7:1	—	書く場合、0 としてください。	W

注. S-TYPE3, P-TYPE3

DOSCR は、データ操作のステータスをクリアできるレジスタです。このレジスタを読むと 0x00 が読めます。

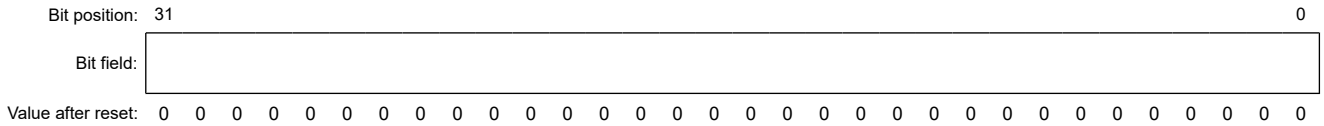
DOPCFCL ビット（DOPCF クリア）

このビットを 1 にすると DOPCF フラグをクリアします。

46.2.4 DODIR : DOC データ入力レジスタ

Base address: DOC_B = 0x4031_1000
DOC_B_NS = 0x5031_1000

Offset address: 0x0C



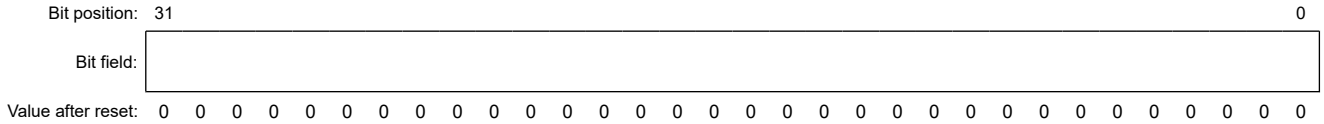
ビット	シンボル	機能	R/W
31:0	n/a	演算で使用されるデータを格納します。 DOCR.DOBW ビットで選択したデータ演算のビット幅で DODIR にアクセスしてください。	R/W

注. S-TYPE3, P-TYPE3

46.2.5 DODSR0 : DOC データ設定レジスタ 0

Base address: DOC_B = 0x4031_1000
DOC_B_NS = 0x5031_1000

Offset address: 0x10



ビット	シンボル	機能	R/W
31:0	n/a	DOCR.DOBW ビットで選択したデータ演算のビット幅で DODSR0 にアクセスしてください。 本レジスタは、データ比較モードで基準として使用されるデータを格納します。ウィンドウ比較 (DOCR.DCSEL[2:0] = 100b, 101b) を選択する場合、DODSR1 より小さい値を設定してください (DODSR1 > DODSR0)。 また、本レジスタはデータ加算モードおよびデータ減算モードでは、演算結果を格納します。	R/W

注. S-TYPE3, P-TYPE3

46.2.6 DODSR1 : DOC データ設定レジスタ 1

Base address: DOC_B = 0x4031_1000
DOC_B_NS = 0x5031_1000

Offset address: 0x14

Bit position:	31																											0
Bit field:																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	DOCR.DOBW ビットで選択したデータ演算のビット幅で DODSR1 にアクセスしてください。 本レジスタは、データ比較モードで基準として使用されるデータを格納します。ウィンドウ比較 (DOCR.DCSEL[2:0] = 100b, 101b) を選択する場合、DODSR0 より大きい値を設定してください (DODSR1 > DODSR0)。 本レジスタはウィンドウ比較に対してのみ使用されます。	R/W

注. S-TYPE3, P-TYPE3

46.3 動作説明

46.3.1 データ比較モード

図 46.2 から図 46.7 に、データ演算回路によるデータ比較モードの動作例を示します。

データ演算のビット幅が 32 ビットの場合の動作例を次に示します。

1. DOCR.OMS[1:0]ビットに 00b を書き込んでデータ比較モードを選択し、DOCR.DCSEL[2:0]を設定して検出条件を選択します。
2. DODSR0 および DODSR1 レジスタに、基準となる 32 ビットのデータを設定します。(注1)
3. DODIR レジスタに、比較する 32 ビットのデータを書き込みます。
4. DODIR に書き込まれた値が DOCR.DCSEL[2:0]ビットで設定した検出条件と一致すると、DOCR.DOPCF フラグが 1 になり、ELC イベントとデータ演算回路割り込みが発生します。

注. 比較演算は、DODIR に書き込むことによってのみ実行されます

注 1. DODSR1 レジスタ設定は、ウィンドウ比較が選択された場合のみ必要です。DODSR0 より大きい値を設定してください（DODSR1 ＞ DODSR0）。

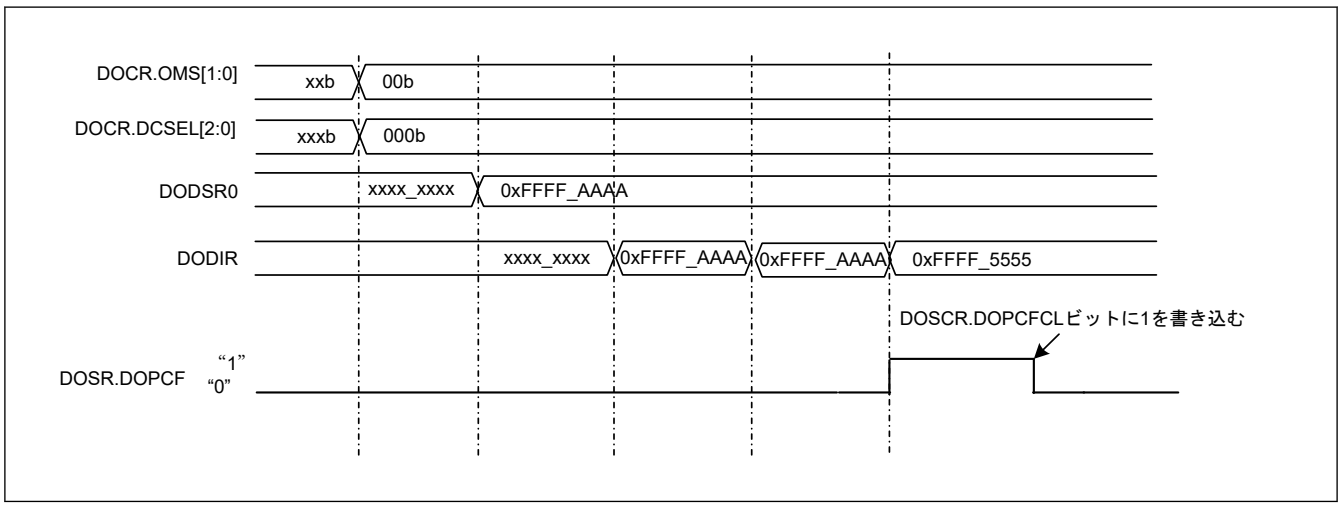


図 46.2 データ比較モードの動作例（検出条件：不一致）

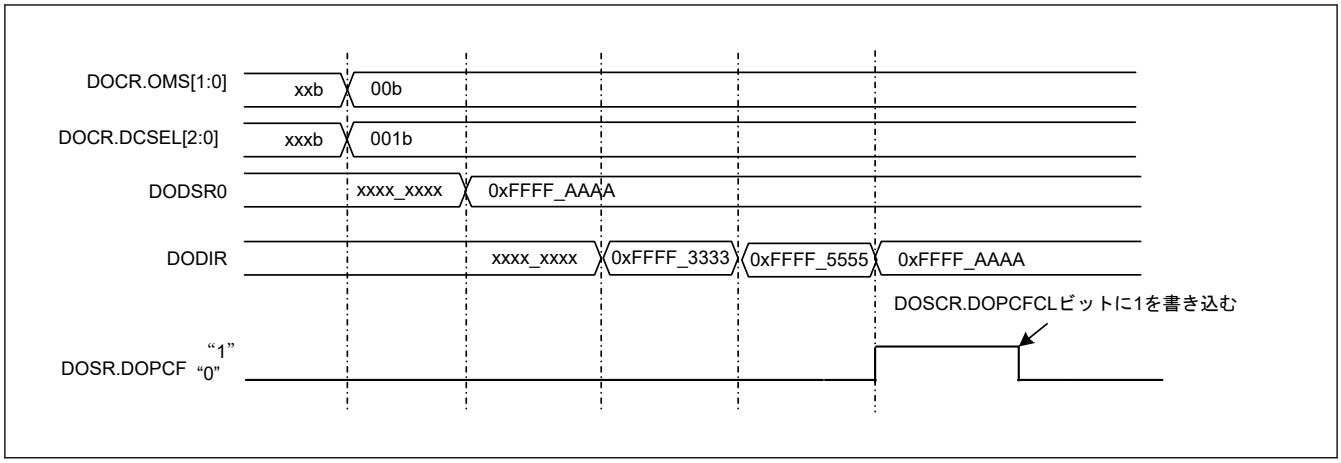


図 46.3　データ比較モードの動作例（検出条件：一致）

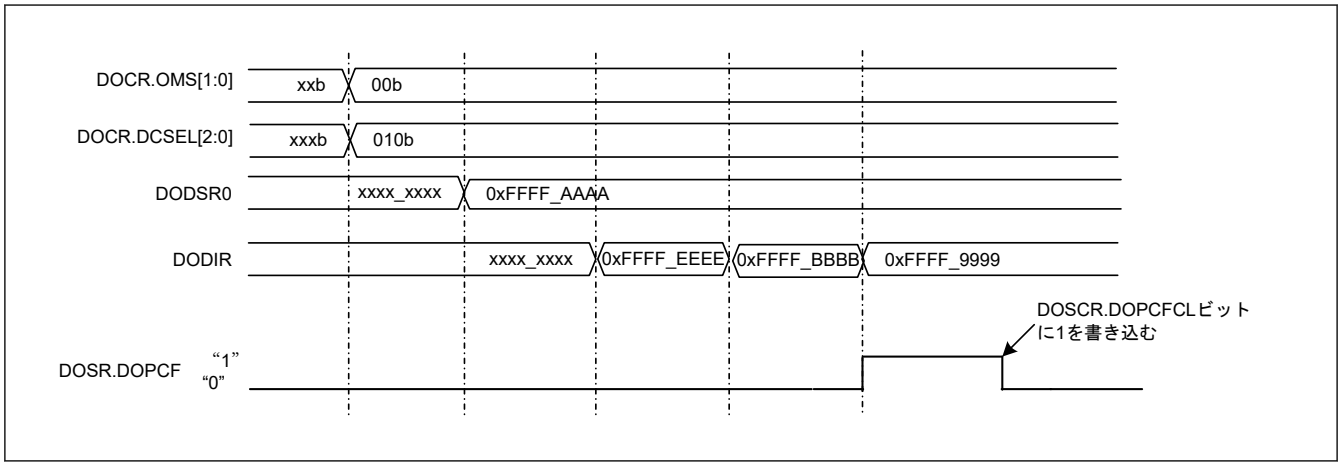


図 46.4　データ比較モードの動作例（検出条件：小さい）

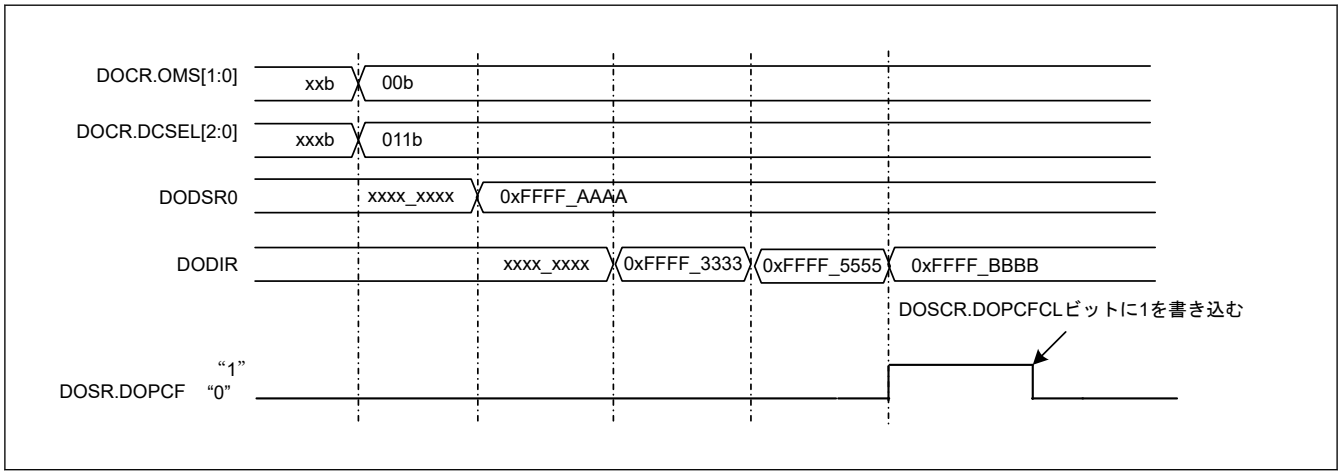


図 46.5　データ比較モードの動作例（検出条件：大きい）

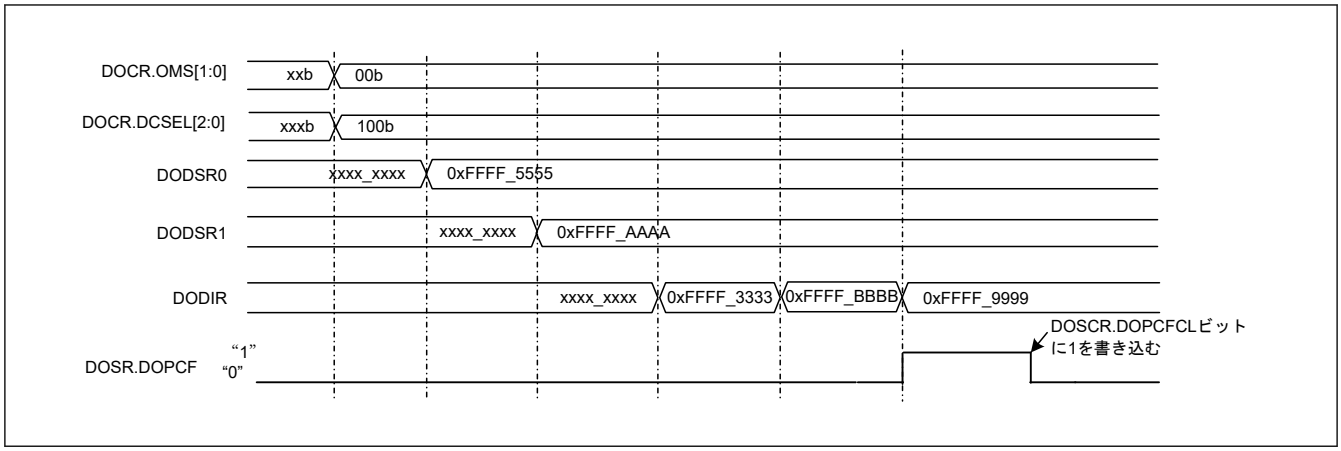


図 46.6　データ比較モードの動作例（検出条件：ウィンドウの内側）

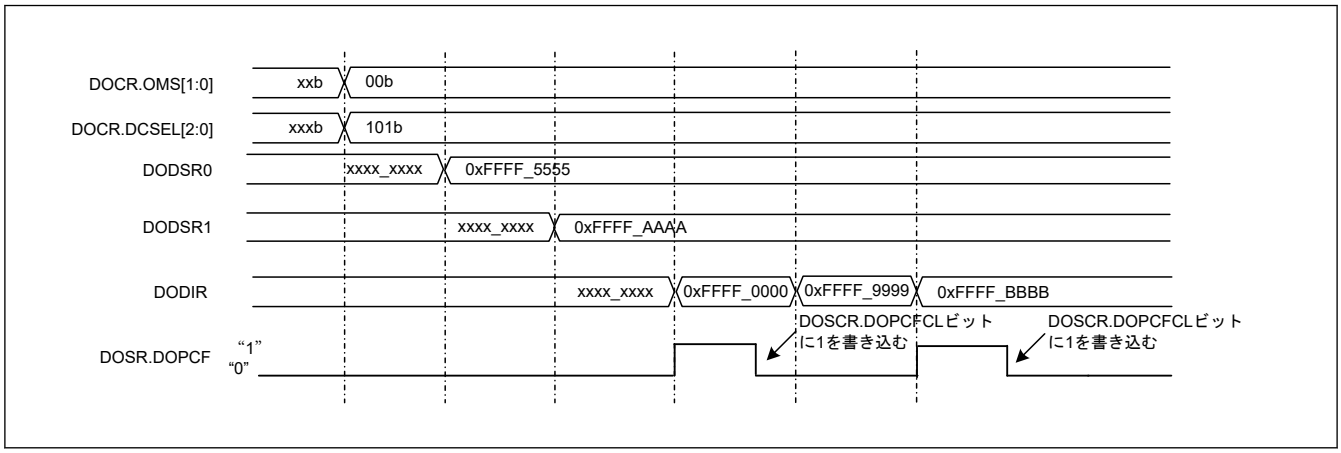


図 46.7　データ比較モードの動作例（検出条件：ウィンドウの外側）

46.3.2　データ加算モード

図 46.8 に、データ演算回路によるデータ加算モード(注1)動作の手順例を示します。

データ演算のビット幅が 32 ビットの場合の動作例を次に示します。

1. DOCR.OMS[1:0]ビットに 01b を書き込むと、データ加算モードになります。
2. DODSR0 レジスタに初期値として 32 ビットのデータを設定します。
3. 加算される 32 ビットデータが DODIR に書き込まれます。演算結果は DODSR0 レジスタに格納されます。
4. 加算するすべてのデータの書き込みが完了するまで、続けて 32 ビットのデータを DODIR レジスタに書き込みます。
5. 演算結果が 0xFFFF_FFFF より大きい場合、DOSR.DOPCF フラグが 1 になり、ELC イベントとデータ演算回路割り込みが発生します。

注 1.　加算は、DODIR への書き込みによってのみ実行されます。

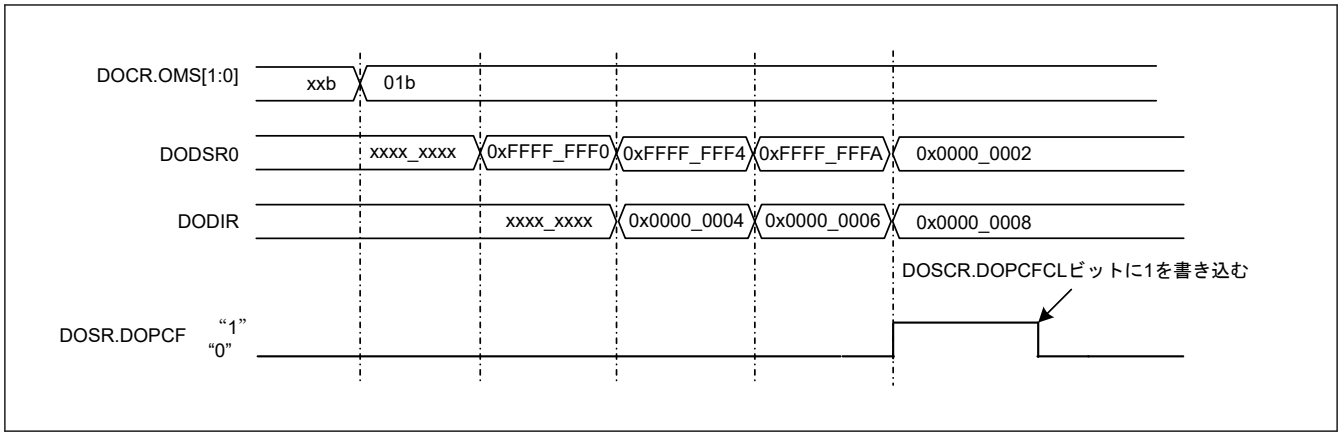


図 46.8　データ加算モードの動作例

46.3.3　データ減算モード

図 46.9 にデータ演算回路によるデータ減算モード(注1)の動作例を示します。

データ演算のビット幅が 32 ビットの場合の動作例を次に示します。

1. DOCR.OMS[1:0]ビットに 10b を書き込むと、データ減算モードになります。
2. DODSR0 レジスタに初期値として 32 ビットのデータを設定します。
3. DODIR レジスタに減算する 32 ビットのデータを書き込みます。演算結果は DODSR0 レジスタに格納されます。
4. すべての減算データの書き込みが完了するまで、DODIR レジスタに減算する 32 ビットのデータを書き込みます。
5. 演算結果が 0x0000_0000 より小さい場合、DOSR.DOPCF フラグが 1 になり、ELC イベントとデータ演算回路割り込みが発生します。

注 1.　減算は、DODIR への書き込みによってのみ実行されます。

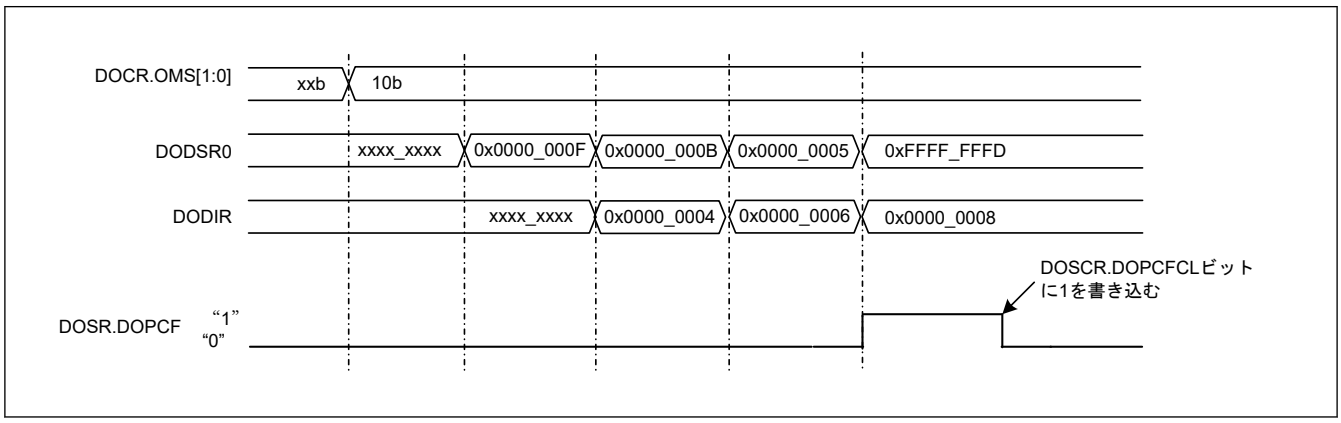


図 46.9　データ減算モードの動作例

46.4　割り込み要因

データ演算回路は、割り込み要求として、データ演算回路割り込み (DOC_DOPCI) を生成します。割り込み要因が発生すると、割り込みに対応するデータ演算回路フラグが 1 になり、その後割り込み要求信号が発生します。表 46.2 に割り込み要求を示します。

表 46.2 DOC 割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
DOC 割り込み	DOPCF	• 比較した値が検出基準に一致している • データ加算の結果が 0xFFFF (DOCR.DOBW = 0) または 0xFFFF_FFFF (DOCR.DOBW = 1) より大きい • データ減算の結果が 0x0000 (DOCR.DOBW = 0) または 0x0000_0000 (DOCR.DOBW = 1) より小さい

46.5 イベントリンク出力

DOC は以下の条件でイベントリンクコントローラ (ELC) にイベント信号を出力することで、あらかじめ選択しておいた他のモジュールを動作させることが可能です。

- 比較した値が検出基準に一致している
- データの加算結果が 0xFFFF (DOCR.DOBW = 0) または 0xFFFF_FFFF (DOCR.DOBW = 1) より大きい
- データ減算結果が 0x0000 (DOCR.DOBW = 0) または 0x0000_0000 (DOCR.DOBW = 1) より小さい

46.6 割り込み処理とイベントリンクの関係

DOC には、割り込みを許可／禁止するビットがあります。割り込み要因が発生すると、対応する割り込み許可ビットが許可の場合に、CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ELC を介して他のモジュールにイベント信号として出力します。

46.7 使用上の注意事項

46.7.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、DOC の動作禁止／許可を設定することが可能です。リセット後の値では、DOC の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

47. SRAM

47.1 概要

本 MCU は、パリティビットチェック機能を備えた高密度内蔵 SRAM モジュールを搭載しています。

SRAM の仕様を表 47.1 に示します。

表 47.1 SRAM の仕様

項目	SRAM1
SRAM 容量	512 KB
SRAM アドレス	0x2206_0000～0x220D_FFFF（セキュアエイリアス）、 0x3206_0000～0x320D_FFFF（非セキュアエイリアス）
アクセス	リードサイクルにウェイトステートがデフォルトで挿入されています。ICLK 周波数が 120 MHz より高い場合、ウェイトステートが必要になります。ICLK 周波数が 120 MHz 以下の場合、ウェイトステートは必要ありません。
データ保持機能	ディープソフトウェアスタンバイモード時は使用不可
モジュールストップ機能	消費電力低減のためにモジュールストップ状態を設定可能
エラーチェック機能	偶数パリティ（データ：8 ビット、パリティ：1 ビット）
セキュリティ	TrustZone フィルタは、メモリアクセスと SFR アクセスに対する統合機能です。メモリ空間へのアクセスは、メモリのセキュリティ属性 (SA) の設定によって制御します。I/O 空間（SFR 空間）へのアクセスは、レジスタのセキュリティ属性 (SA) の設定により制御されます。「47.3.3. TrustZone フィルタ機能」を参照してください。

47.2 レジスタの説明

47.2.1 SRAMSABAR1 : SRAM セキュリティ属性バウンダリアドレスレジスタ

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x404

Bit position:	31																												0
Bit field:	n/a																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	セキュア領域／非セキュア領域間のバウンダリアドレス （非セキュア領域の開始アドレス）	R/W

注. S-TYPE-1, P-TYPE-1
注. 本レジスタへの書き込みは、PRCR_S.PRC4 レジスタにより保護されています。

SRAMSABAR1 レジスタは、SRAM のセキュア領域／非セキュア領域間のバウンダリアドレスを指定します。SRAMSABAR1 レジスタに絶対アドレスを書き込んでください。SRAMSABAR1 レジスタに書き込むとき、b31～b21 からの書き込みは無視され、b12～b0 から書き込まれた値は 0 です。

バウンダリアドレスより下位の領域はセキュア領域です。バウンダリアドレス以上の上位の領域は非セキュア領域です。

バウンダリアドレスは以下です。

0x2200_0000 + SRAMSABAR1（セキュアエイリアス）

0x3200_0000 + SRAMSABAR1（非セキュアエイリアス）

バウンダリアドレスが 0x00060000 以下のとき、全 SRAM1 が非セキュア領域です。

バウンダリアドレスが 0x000E0000 以上のとき、全 SRAM1 がセキュア領域です。

47.2.2 SRAMSAR : SRAM セキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SRAMWTSA	STBRAMSA	—	—	—	—	—	SRAMSA1	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	SRAMSA1	SRAM1 レジスタセキュリティ属性 0: セキュア 1: 非セキュア	R/W
6:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	STBRAMSA	スタンバイ SRAM レジスタセキュリティ属性 0: セキュア 1: 非セキュア	R/W
8	SRAMWTSA	SRAMWTSC セキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1、P-TYPE-1
注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。
注. 本レジスタへの書き込みは、PRCR_S.PRC4 レジスタにより保護されています。

SRAMSA1 ビット（SRAM1 レジスタセキュリティ属性）

SRAMSA1 ビットは、SRAMCR1 と SRAMESCLR.CLR1 のセキュリティ属性を指定します。

STBRAMSA ビット（スタンバイ SRAM レジスタセキュリティ属性）

STBRAMSA ビットは、STBRAMCR と SRAMESCLR.CLRS のセキュリティ属性を指定します。

SRAMWTSA ビット（SRAMWTSC セキュリティ属性）

SRAMWTSA ビットは、SRAMWTSC のセキュリティ属性を指定します。

47.2.3 SRAMPRCR_S : セキュア用 SRAM 保護コントロールレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0x00

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KW[7:0]								—	—	—	—	—	—	—	PR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PR	レジスタ書き込み制御 0: レジスタ書き込み禁止 1: レジスタ書き込み許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KW[7:0]	書き込みキーコード PR ビットへのキーコード保護	R/W

注. S-TYPE-6, P-TYPE-2
注. ハーフワードアクセスでの書き込みが必要です。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合、その動作は保証しません。

PR ビット（レジスタ書き込み制御）

PR ビットは、SRAMSAR レジスタによりセキュアに指定されている SRAMWTSC、SRAMCR1、STBRAMCR レジスタの書き込みモードを制御します。本ビットが 1 のとき、セキュアに指定されている SRAMWTSC、SRAMCR1、STBRAMCR レジスタへの書き込みが許可されます。

本レジスタへ書き込み中に、同時に KW[7:0]ビットに 0xA5 を書き込むことが必要です。

KW[7:0]ビット（書き込みキーコード）

KW[7:0]ビットは、PR ビットへの書き込みを許可または禁止します。PR ビットに書き込む場合、KW[7:0]ビットに 0xA5 を同時に書き込んでください。0xA5 以外の値を KW[7:0]ビットに書き込むと、PR ビットは更新されません。KW[7:0]ビットは、読むと常に 0x00 が読み出されます。

47.2.4 SRAMPRCR_NS : 非セキュア用 SRAM 保護コントロールレジスタ

Base address: SRAM_NS = 0x5000_2000

Offset address: 0x04

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KW[7:0]								—	—	—	—	—	—	—	PR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PR	レジスタ書き込み制御 0: レジスタ書き込み禁止 1: レジスタ書き込み許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KW[7:0]	書き込みキーコード PR ビットへのキーコード保護	R/W

注. S-TYPE-7, P-TYPE-2
注. ハーフワードアクセスでの書き込みが必要です。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合、その動作は保証しません。

PR ビット（レジスタ書き込み制御）

PR ビットは、SRAMSAR レジスタにより非セキュアに指定されている SRAMWTSC、SRAMCR1、STBRAMCR レジスタの書き込みモードを制御します。本ビットが 1 のとき、非セキュアに指定されている SRAMWTSC、SRAMCR1、STBRAMCR レジスタへの書き込みが許可されます。

本レジスタへ書き込み中に、同時に KW[7:0]ビットに 0xA5 を書き込むことが必要です。

KW[7:0]ビット（書き込みキーコード）

KW[7:0]ビットは、PR ビットへの書き込みを許可または禁止します。PR ビットに書き込む場合、KW[7:0]ビットに 0xA5 を同時に書き込んでください。0xA5 以外の値を KW[7:0]に書き込むと、PR ビットは更新されません。KW[7:0]ビットは、読むと常に 0x00 が読み出されます。

47.2.5 SRAMWTSC : SRAM ウェイトステートコントロールレジスタ

Base address: SRAM = 0x4000_2000
SRAM_NS = 0x5000_2000

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	WTEN
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	WTEN	SRAM ウェイト許可 0: ウェイトなし 1: SRAM へのリードアクセスサイクルにウェイトステートを追加する	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3 (SRAMSAR.SRAMWTSA)、P-TYPE-2

本レジスタは、SRAMPRCR_S レジスタまたは SRAMPRCR_NS レジスタの PR ビットが 1 のときに限り書き込み可能です。

WTEN ビット（SRAM ウェイト許可）

WTEN ビットは、SRAM のアクセスサイクルへのウェイトサイクルの挿入を設定します。WTEN ビットを 1 にすると、SRAM のリードアクセスサイクルに 1 ウェイトサイクルが挿入されます。また、WTEN ビットが 1 のとき、同じ領域(注1)および同じマット(注2)へのアクセスは連続的であり、2 番目のアクセスサイクルに 1 ウェイトサイクルが挿入されます。アクセス周波数が 120 MHz より高いときは、WTEN ビットに 1 ウェイトサイクルを設定する必要があります。

注 1. SRAM 領域は、128 KB 単位で分割されます。
注 2. マットはアドレスの下位 4 ビットにおいて、0x0～0x7 および 0x8～0xF に分割されます。

たとえば、以下の図に示すように、同じ領域および同じマットは SRAM1 では 8 領域です。1 領域が連続的にアクセスされると、1 ウェイトサイクルが挿入されます。

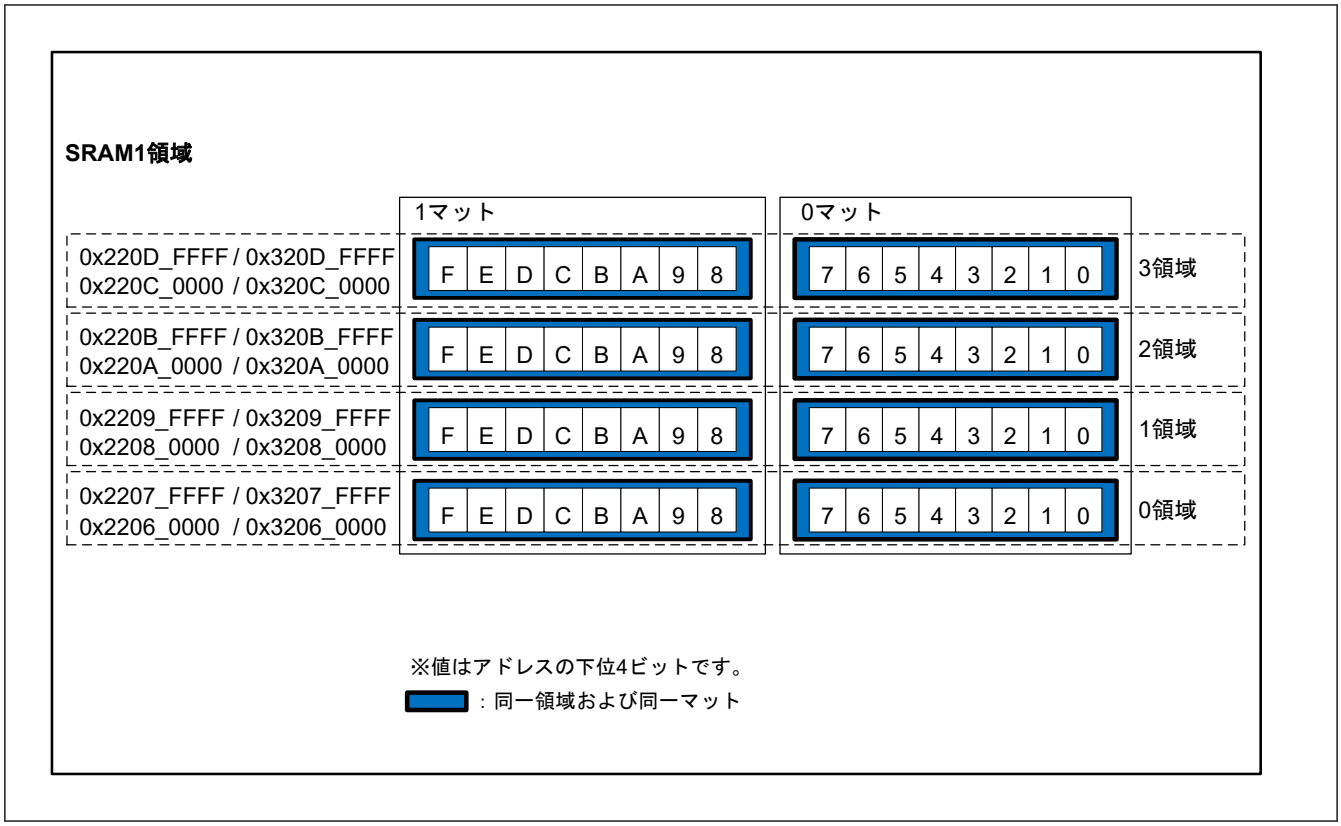


図 47.1 SRAM のマット設定

47.2.6 SRAMCR1 : SRAM コントロールレジスタ 1

Base address: SRAM = 0x4000_2000
SRAM_NS = 0x5000_2000

Offset address: 0x14

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	OAD
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	パリティエラー検出後の動作 0: ノンマスカブル割り込み 1: リセット	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3 (SRAMSAR.SRAMSA1), P-TYPE-2

本レジスタは、SRAMPRCR_S または SRAMPRCR_NS レジスタの PR ビットが 1 のときに限り書き込み可能です。

SRAM へのアクセス中は本レジスタへ書き込まないでください。本レジスタへの書き込みについては、「47.4.2. SRAMCR1 レジスタに書き込む際の注意事項」を参照してください。

OAD ビット（パリティエラー検出後の動作）

OAD ビットは、パリティエラーが検出された場合、リセットまたはノンマスカブル割り込みを選択します。

47.2.7 SRAMESR : SRAM エラーステータスレジスタ

Base address: SRAM = 0x4000_2000
SRAM_NS = 0x5000_2000

Offset address: 0x40

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	ERRS	—	—	—	—	—	—	—	—	—	—	—	ERR1	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。	R
2	ERR1	SRAM1 パリティエラーステータス 0: パリティエラー発生なし 1: パリティエラー発生あり	R
13:3	—	読むと 0 が読めます。	R
14	ERRS	スタンバイ SRAM パリティエラーステータス 0: パリティエラー発生なし 1: パリティエラー発生あり	R
15	—	読むと 0 が読めます。	R

注. S-TYPE-5, P-TYPE-2

本レジスタは、SRAMESCLR レジスタの対応するビット、またはバスエラーリセットとメモリエラーリセット以外のリセットによってクリアされます。エラーとクリアが同時に発生した場合は、クリアが優先されます。また、デバッガからのアクセス中は、レジスタの更新は停止します。

ERR1 ビット（SRAM1 パリティエラーステータス）

ERR1 ビットは、SRAM1 におけるパリティエラーの有無を示します。

パリティエラーが検出されたとき、ERR1 ビットは 1 になります。

ERR1 ビットが 1 の場合、SRAMCR1.OAD に従ってリセットまたはノンマスカブル割り込み要求が発生します。

ERRS ビット（スタンバイ SRAM パリティエラーステータス）

ERRS ビットは、スタンバイ SRAM におけるパリティエラーの有無を示します。

パリティエラーがある場合、ERRS ビットは 1 になります。

ERRS ビットが 1 の場合、STBRAMCR.OAD に従ってリセットまたはノンマスカブル割り込み要求が発生します。

47.2.8 SRAMESCLR : SRAM エラーステータスクリアレジスタ

Base address: SRAM = 0x4000_2000
SRAM_NS = 0x5000_2000

Offset address: 0x48

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	CLRS	—	—	—	—	—	—	—	—	—	—	—	CLR1	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W(注1)
2	CLR1	SRAM1 パリティエラーステータスクリア CLR1 に書き込むと SRAMESR.ERR1 がクリアされます。 1: パリティエラークリア 読むと常に 0 が読めます。	R/W(注1)

ビット	シンボル	機能	R/W
13:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	CLRS	スタンバイ SRAM パリティエラーステータスクリア CLRS に書き込むと SRAMESR.ERRS がクリアされます。 1: パリティエラークリア 読むと常に 0 が読めます。	R/W(注1)
15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-4 (SRAMSAR.SRAMSA1, STBRAMSA)、P-TYPE-2
注 1. 各ビットに対して、エラーステータスをクリアするために 1 のみを書き込むことができます。

CLR1 ビット（SRAM1 パリティエラーステータスクリア）

CLR1 ビットは、SRAMESR レジスタの SRAM1 パリティエラーステータスビットをクリアできます。エラーとクリアが同時に発生した場合は、クリアが優先されます。

SRAMESR.ERR1 ビットは、CLR1 に 1 を書き込むとクリアできます。

CLRS ビット（スタンバイ SRAM パリティエラーステータスクリア）

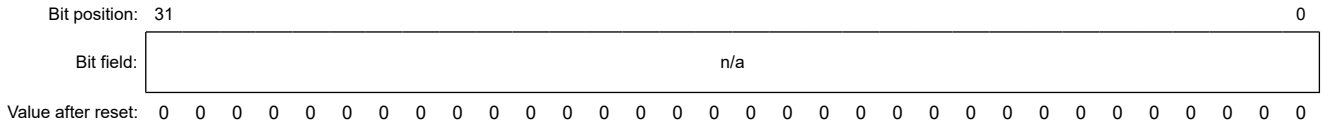
CLRS ビットは、SRAMESR レジスタのスタンバイ SRAM パリティエラーステータスビットをクリアできます。エラーとクリアが同時に発生した場合は、クリアが優先されます。

SRAMESR.ERRS ビットは、CLRS に 1 を書き込むとクリアできます。

47.2.9 SRAMEAR2 : SRAM エラーアドレスレジスタ

Base address: SRAM = 0x4000_2000
SRAM_NS = 0x5000_2000

Offset address: 0x58



ビット	シンボル	機能	R/W
31:0	n/a	SRAM エラーが発生した場合、エラーアドレスを格納します。	R

注. S-TYPE-5, P-TYPE-2

本レジスタは、SRAMESCLR レジスタの対応するビット、またはバスエラーリセットとメモリエラーリセット以外のリセットによってクリアされます。エラーとクリアが同時に発生した場合は、クリアが優先されます。また、デバッガからのアクセス中は、レジスタの更新は停止します。

エラーアドレスは以下です。

0x2200_0000 + SRAMEAR2（セキュアエイリアス）

0x3200_0000 + SRAMEAR2（非セキュアエイリアス）

本レジスタは、パリティエラーが検出されたエラーアドレスを格納します。本ビットは、最初に発生したエラーアドレスを保持します。

47.3 動作説明

47.3.1 モジュールストップ機能

モジュールストップコントロールレジスタ A (MSTPCRA) の設定により、SRAM へのクロック供給を停止することで、消費電力を低減することが可能です。

SRAM1 は、MSTPCRA レジスタの MSTPA1 ビットで制御し、これを 1 にすると、SRAM1 はクロック停止状態になります。

クロック供給の停止により、SRAM はモジュールストップ状態になります。リセット後は、SRAM は動作します。

モジュールストップ状態になると、SRAM へのアクセスができなくなります。SRAM のアクセス中は、モジュールストップ状態へ遷移しないでください。

モジュールストップ状態のとき、SRAM へのアクセスは禁止です。アクセスした場合の正常動作については保証できません。

MSTPCRA レジスタの詳細については、「10. 低消費電力モード」を参照してください。

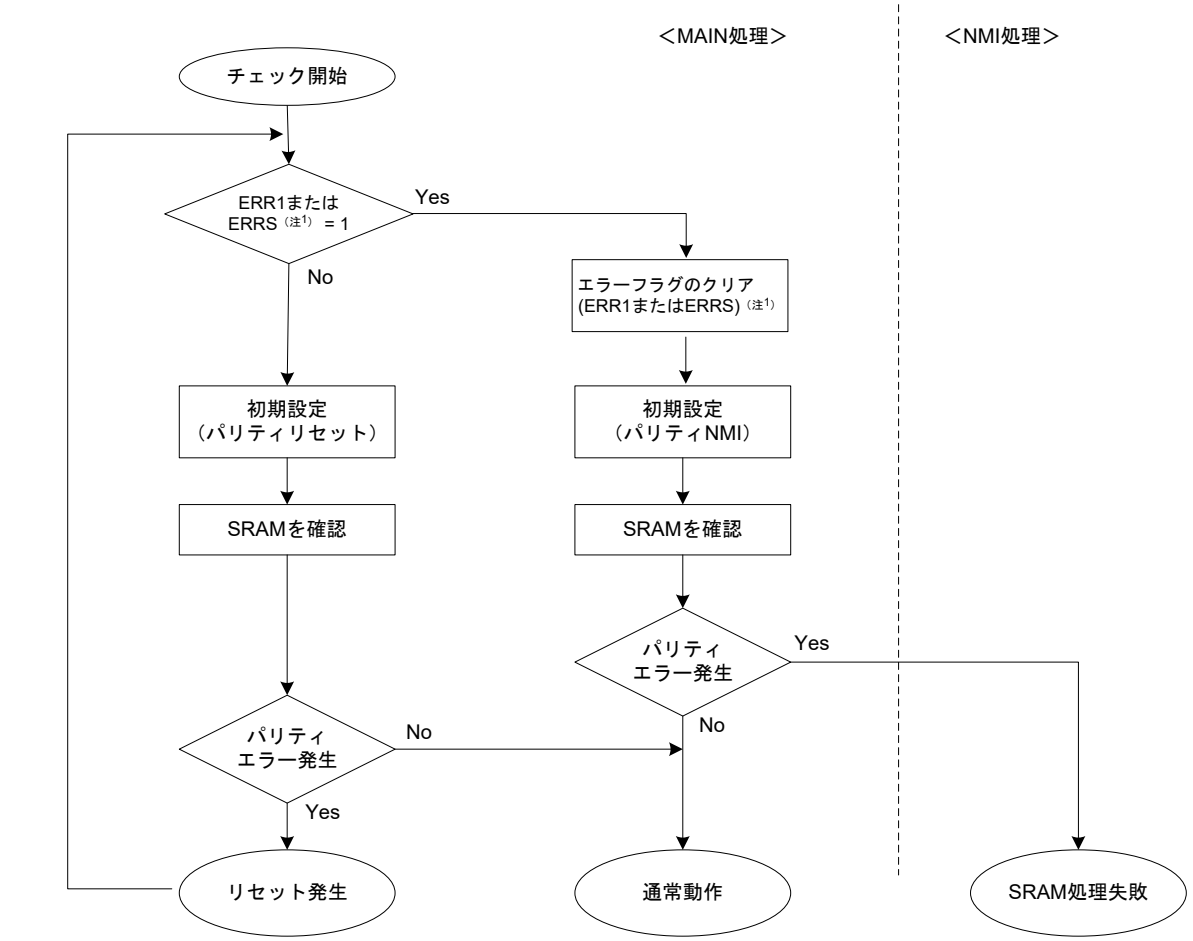
47.3.2 パリティ計算機能

IEC60730 規格に準拠するには、SRAM データのチェックが必要です。データ書き込み時に SRAM に格納されている 8 ビットデータごとにパリティビットが付与され、データ読み出し時にパリティチェックが行われます。パリティエラーが発生すると、パリティエラー通知が生成されます。この機能は、リセットを実行するためにも使用できます。

パリティエラー通知には、SRAMCR1 レジスタの OAD ビットで、ノンマスカブル割り込みまたはリセットを指定できます。OAD ビットが 1 のとき、パリティエラーはリセット機能に出力されます。OAD ビットが 0 のとき、パリティエラーはノンマスカブル割り込みとして ICU に出力されます。

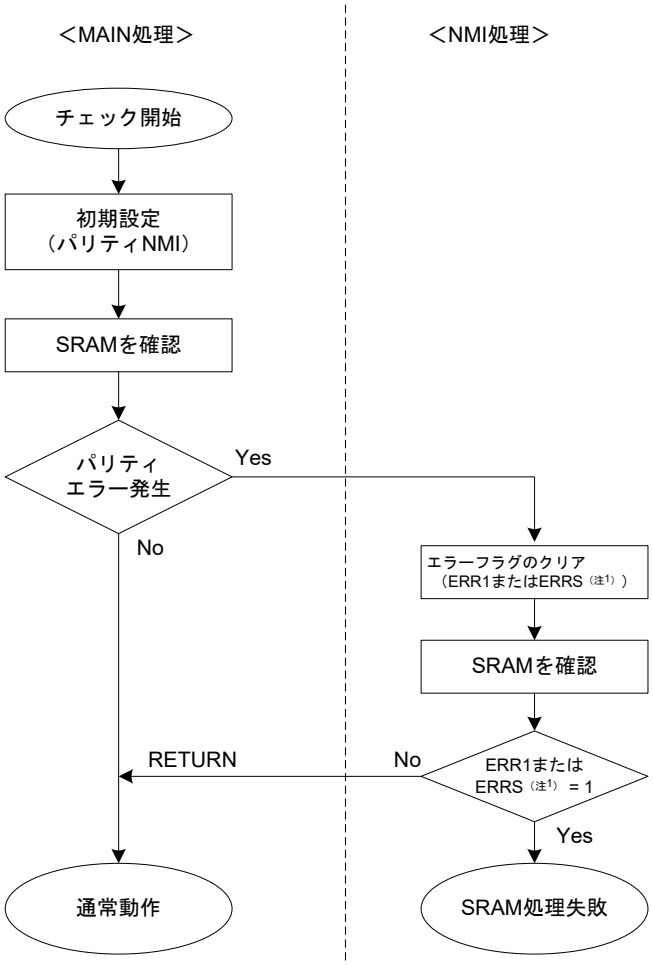
パリティエラーは、ノイズにより頻繁に発生します。以下のパリティチェックのフローにより、ノイズまたはデータの破壊によりパリティエラーが発生したかどうかを確認することができます。図 47.2 と図 47.3 に SRAM パリティチェック動作のフローを示します。

ライトアクセスの後にリードアクセスを続けて実行すると、リードアクセスが優先的に実行されます。したがって、初期化中は、ライトアクセスの後に続けてリードアクセスを行わないでください。



注 1. ERR1 または ERRS: SRAM エラーステータス（SRAMESR.ERR1、ERRS ビット）

図 47.2 SRAM パリティリセット許可の場合の SRAM パリティチェックのフロー



注 1. ERR1 または ERRS: SRAM エラーステータス（SRAMESR.ERR1、ERRS ビット）

図 47.3 SRAM パリティ割り込み許可の場合の SRAM パリティチェックのフロー

47.3.3 TrustZone フィルタ機能

47.3.3.1 SRAM レジスタ用 TrustZone フィルタ

SRAM レジスタは、セキュリティ属性 (SA) に応じて非セキュアまたはセキュアトランザクションから保護できます。SRAM レジスタがセキュア状態であることを SA が示しているときは、TrustZone フィルタがエラーを検出し、アクセスから保護するため、非セキュアトランザクションはこのレジスタにアクセスできません。SRAM レジスタが非セキュア状態であることを SA が示しているときは、TrustZone フィルタがエラーを検出し、アクセスから保護するため、セキュアトランザクションはこのレジスタにアクセスできません。SRAM レジスタの SA は、SRAM レジスタ間共通で同一の設定が使用されます。

TrustZone エラーが原因でアクセスが失敗した場合、エラー応答が発生します。

表 47.2 レジスタの保護 (1/2)

SA	トランザクション	ライトアクセス	リードアクセス
セキュア	セキュア	許可	許可
	非セキュア	保護（TrustZone フィルタエラー）	保護（TrustZone フィルタエラー）

表 47.2 レジスタの保護 (2/2)

SA	トランザクション	ライトアクセス	リードアクセス
非セキュア	セキュア	保護（TrustZone フィルタエラー）	保護（TrustZone フィルタエラー）
	非セキュア	許可	許可

47.3.3.2 SRAM メモリ領域用 TrustZone フィルタ

SRAM1 領域は、個別にセキュアと非セキュアに分割できます。これらの領域へのアクセス許可は、以下のとおりです。

表 47.3 メモリプロテクション

SA	トランザクション	ライトアクセス	リードアクセス
セキュア	セキュア	許可	許可
	非セキュア	保護（TrustZone フィルタエラー）	保護（TrustZone フィルタエラー）
非セキュア	セキュア	保護（TrustZone フィルタエラー）	保護（TrustZone フィルタエラー）
	非セキュア	許可	許可

SRAM メモリ領域用 TrustZone フィルタエラーは、エラー通知を生成します。

47.3.4 割り込み要因

SRAM 割り込み要因には、パリティエラーと TrustZone フィルタエラーがあります。パリティエラーは、SRAMCR1.OAD ビットによってノンマスカブル割り込みまたはリセットを選択できます。SRAMESR レジスタの 1 つのエラーステータスが 1 になると、SRAM 割り込みが発生します。この SRAM 割り込みは、SRAMESR レジスタのフラグがクリアされるまで続きます。共通メモリエラーが発生（NMISR.CMST = 1 または RSTSR1.CMSR = 1）した場合、SRAMESR を読み出し、SRAM 割り込み要因を確認してください。デバッガからのアクセスがあると、エラーが検出および訂正されますが、エラーフラグは設定されず、リセットとノンマスカブル割り込みはマスカブルです。デバッグモードの詳細は、「2. CPU」を参照してください。

表 47.4 SRAM 割り込み要因

名称	割り込み要因	DTC の起動	DMAC の起動
PARITYERR	パリティエラー（パリティありの SRAM 領域）	不可能	不可能
TZFLT	TrustZone フィルタエラー	不可能	不可能

47.3.5 ウェイトステート

ICLK の周波数が 120 MHz より高い場合、ウェイトサイクルを挿入するため、SRAMWTSC レジスタのウェイト許可ビットに 0x00 を設定しないでください。ウェイトを挿入しない場合は、動作は保証されません。

SRAM アクセスのための WAIT 設定は、ICLK の動作周波数によって以下の条件となります。

[ICLK 周波数]:

- 240 MHz ≧ ICLK > 120 MHz = 1 ウェイト
- 120 MHz ≧ ICLK = ウェイトなし

47.4 使用上の注意事項

47.4.1 SRAM 領域からの命令フェッチ

SRAM を使用してプログラムを実行する場合、SRAM 領域を初期化して CPU が正確にデータをプリフェッチできるようにしてください。CPU が初期化されていない領域からプリフェッチすると、パリティエラーが発生する場合があります。8 バイト境界のプログラムの終了アドレスから追加で 12 バイト領域を初期化してください。弊社は、データの初期化には NOP 命令の使用を推奨します。

47.4.2 SRAMCR1 レジスタに書き込む際の注意事項

本章では、SRAMCR1 レジスタの設定方法の例を示します。

以下をすべて満たす必要があります。

1. CPU が SRAM に格納されたプログラムを実行しない。
2. CPU 以外のすべてのバスマスタが SRAM にアクセスしない。
3. SRAMCR1 レジスタが MPU で設定された Device-nGnRnE である。
4. SRAMCR1 レジスタが以下の手順で設定される。
   1.DMB 命令
   2.SRAMCR1 レジスタに書き込む
   3.DMB 命令

47.4.3 SRAM のエラー確認使用時の注意事項

SRAM のデータは、電源がオンのときには不定です。そのため、初期化前にデータが読み出されるとパリティチェックエラーが発生します。SRAM は 8 バイト（64 ビット）単位で読み出されます。8 バイト境界で初期化してください。

48. スタンバイ SRAM

48.1 概要

スタンバイ SRAM は、ディープソフトウェアスタンバイモードでデータを保持する内蔵 SRAM です。表 48.1 に、スタンバイ SRAM の仕様を示します。

表 48.1 スタンバイ SRAM の仕様

項目	内容
SRAM 容量	1 KB
SRAM アドレス	0x2600_0000～0x2600_03FF（セキュアエイリアス）、 0x3600_0000～0x3600_03FF（非セキュアエイリアス）
アクセス	ウェイトステートがデフォルトでアクセスサイクルに挿入されています。ICLK 周波数が 120 MHz より高い場合、ウェイトステートが必要になります。ICLK 周波数が 120 MHz 以下の場合、ウェイトステートは必要ありません。
データ保持機能	ディープソフトウェアスタンバイモード 1 のとき、データを保持できます。ディープソフトウェアスタンバイモード 2、3 のとき、データを保持できません。詳細は、「48.3.1. データ保持」を参照してください。
パリティ	偶数パリティ（データ：8 ビット、パリティ：1 ビット）
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減します。詳細は、「48.3.2. モジュールストップ機能」を参照してください。
セキュリティ	TrustZone フィルタ機能に従うスタンバイ RAM の読み出し、書き出し動作が可能です。詳細は、「48.3.4. TrustZone フィルタ機能」を参照してください。

48.2 レジスタの説明

48.2.1 STBRAMSABAR : スタンバイ SRAM セキュリティ属性バウンダリアドレスレジスタ

Base address: CPSCU = 0x4000_8000
CPSCU_NS = 0x5000_8000

Offset address: 0x420

Bit position:	31																											0
Bit field:																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	セキュア／非セキュア領域間のバウンダリアドレス	R/W

注. S-TYPE-1, P-TYPE-1
注. 本レジスタへの書き込みは、PRCR_S.PRC4 レジスタにより保護されています。

STBRAMSABAR レジスタは、スタンバイ SRAM のセキュア／非セキュア領域間のバウンダリアドレスを指定します。STBRAMSABAR レジスタに絶対アドレスを書き込んでください。STBRAMSABAR レジスタに書き込むと、b31～b15 への書き込みは無視され、b6～b0 に書き込まれた値は 0 になります。

バウンダリアドレスより下位の領域はセキュア領域であり、バウンダリアドレス以上の上位の領域は非セキュア領域です。したがって、バウンダリアドレスが 0x00000000 のとき、スタンバイ SRAM はすべて非セキュア領域です。バウンダリアドレスが 0x00000400 以上のとき、スタンバイ SRAM はすべてセキュア領域です。

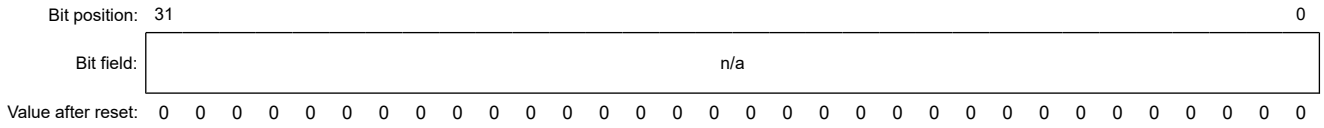
バウンダリアドレスは以下です。

- 0x2600_0000 + STBRAMSABAR（セキュアエイリアス）
- 0x3600_0000 + STBRAMSABAR（非セキュアエイリアス）

48.2.2 STBRAMPABAR_NS : 非セキュア用スタンバイ SRAM プリビレッジ属性バウンダリアドレスレジスタ

Base address: CPSCU_NS = 0x5000_8000

Offset address: 0x490



ビット	シンボル	機能	R/W
31:0	n/a	プリビレッジ／アンプリビレッジ領域間のバウンダリアドレス	R/W

注. S-TYPE-7, P-TYPE-2
注. 本レジスタへの書き込みは、PRCR_NS.PRC4 レジスタにより保護されています。

STBRAMPABAR_NS レジスタは、STBRAMSABAR レジスタで設定されたスタンバイ SRAM の非セキュア領域のプリビレッジ／アンプリビレッジ領域間のバウンダリアドレスを指定します。STBRAMPABAR_NS レジスタに絶対アドレスを書き込んでください。STBRAMPABAR_NS レジスタに書き込むと、b31～b15 への書き込みは無視され、b6～b0 に書き込まれた値は 0 になります。

バウンダリアドレスより下位の領域はプリビレッジ領域であり、バウンダリアドレス以上の上位の領域はアンプリビレッジ領域です。したがって、バウンダリアドレスが 0x00000000 のとき、または STBRAMSABAR レジスタで設定されたスタンバイ SRAM の非セキュア領域の開始アドレス以下のとき、スタンバイ SRAM はすべてアンプリビレッジ領域です。バウンダリアドレスが 0x00000400 以上のとき、または STBRAMSABAR レジスタで設定されたスタンバイ SRAM の非セキュア領域の終了アドレス以上のとき、スタンバイ SRAM はすべてプリビレッジ領域です。

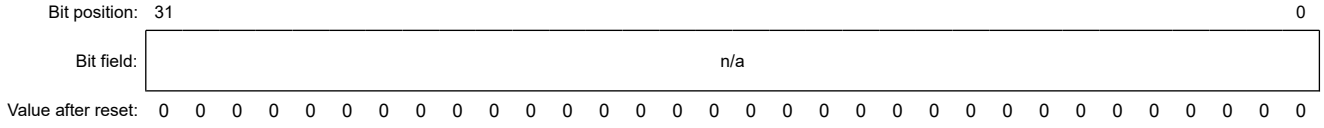
バウンダリアドレスは以下です。

- 0x3600_0000 + STBRAMPABAR_NS（非セキュアエイリアス）

48.2.3 STBRAMPABAR_S : セキュア用スタンバイ SRAM プリビレッジ属性バウンダリアドレスレジスタ

Base address: CPSCU = 0x4000_8000

Offset address: 0x494



ビット	シンボル	機能	R/W
31:0	n/a	プリビレッジ／アンプリビレッジ領域間のバウンダリアドレス	R/W

注. S-TYPE-6, P-TYPE-2
注. 本レジスタへの書き込みは、PRCR_S.PRC4 レジスタにより保護されています。

STBRAMPABAR_S レジスタは、STBRAMSABAR レジスタで設定されたスタンバイ SRAM のセキュア領域のプリビレッジ／アンプリビレッジ領域間のバウンダリアドレスを指定します。STBRAMPABAR_S レジスタに絶対アドレスを書き込んでください。STBRAMPABAR_S レジスタに書き込むと、b31～b15 への書き込みは無視され、b6～b0 に書き込まれた値は 0 になります。

バウンダリアドレスより下位の領域はプリビレッジ領域であり、バウンダリアドレス以上の上位の領域はアンプリビレッジ領域です。したがって、バウンダリアドレスが 0x00000000 のとき、または STBRAMSABAR レジスタで設定されたスタンバイ SRAM のセキュア領域の開始アドレス以下のとき、スタンバイ SRAM はすべてアンプリビレッジ領域です。バウンダリアドレスが 0x00000400 以上のとき、または STBRAMSABAR レジスタで設定されたスタンバイ SRAM のセキュア領域の終了アドレス以上のとき、スタンバイ SRAM はすべてプリビレッジ領域です。

バウンダリアドレスは以下です。

- 0x2600_0000 + STBRAMPABAR_S（セキュアエイリアス）

48.2.4 STBRAMCR : スタンバイ SRAM コントロールレジスタ

Base address: SRAM = 0x4000_2000
SRAM_NS = 0x5000_2000

Offset address: 0x110

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	OAD
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 0: ノンマスカブル割り込み 1: リセット	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3 (SRAMSAR.STBRAMSA), P-TYPE-2

本レジスタは、SRAMPRCR_S レジスタまたは SRAMPRCR_NS レジスタの PR ビットが 1 のときに限り書き込み可能です。

スタンバイ SRAM へアクセス中は、本レジスタへ書き込まないでください。

OAD ビット（検出後の動作）

本ビットは、パリティエラーが検出された場合、リセットまたはノンマスカブル割り込みのどちらを発生させるか指定します。

48.2.5 STBRAMEAR : スタンバイ SRAM エラーアドレスレジスタ

Base address: SRAM = 0x4000_2000
SRAM_NS = 0x5000_2000

Offset address: 0x150

Bit position:	31	0
Bit field:	n/a	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	n/a	SRAM エラーが発生した場合、そのエラーアドレスを格納します。	R

注. S-TYPE-5, P-TYPE-2

本レジスタは、SRAMESCLR レジスタの対応するビットまたはバスエラーリセットとメモリエラーリセット以外のリセットによってクリアされます。エラーとクリアが同時に発生した場合は、クリアが優先されます。また、デバッガからのアクセス中は、レジスタの更新は停止します。

エラーアドレスは以下です。

- 0x2600_0000 + STBRAMEAR（セキュアエイリアス）
- 0x3600_0000 + STBRAMEAR（非セキュアエイリアス）

本レジスタは、パリティエラーが検出されたエラーアドレスを格納します。本ビットは、最初に発生したエラーアドレスを保持します。本ビットは、SRAMESCLR からパリティエラーをクリアすることによって、クリアされます。

48.3 動作説明

48.3.1 データ保持

DPSBYCR.SRKEEP ビットの設定により、ディープソフトウェアスタンバイモード時にスタンバイ SRAM へ電源を供給します。DPSBYCR.SRKEEP ビットが 1b の場合、スタンバイ SRAM のデータをディープソフトウェアスタンバイモード 1 で保持します。DPSBYCR.SRKEEP ビットの詳細は、「10. 低消費電力モード」を参照してください。

48.3.2 モジュールストップ機能

モジュールストップコントロールレジスタ A (MSTPCRA) の設定により、SRAM へのクロック供給を停止することで、消費電力を低減することが可能です。

MSTPCRA レジスタのスタンバイ SRAM ビットを 1 にすると、スタンバイ SRAM に供給されるクロック信号が停止します。

クロック供給の停止により、スタンバイ SRAM はモジュールストップ状態になります。リセット後は、スタンバイ SRAM は動作状態になります。

モジュールストップ状態になると、スタンバイ SRAM へのアクセスができなくなります。スタンバイ SRAM のアクセス中は、モジュールストップ状態へ遷移しないでください。

モジュールストップ状態のとき、スタンバイ SRAM へのアクセスは禁止です。アクセスした場合は、正常な動作は保証されません。

MSTPCRA レジスタの詳細については、「10. 低消費電力モード」を参照してください。

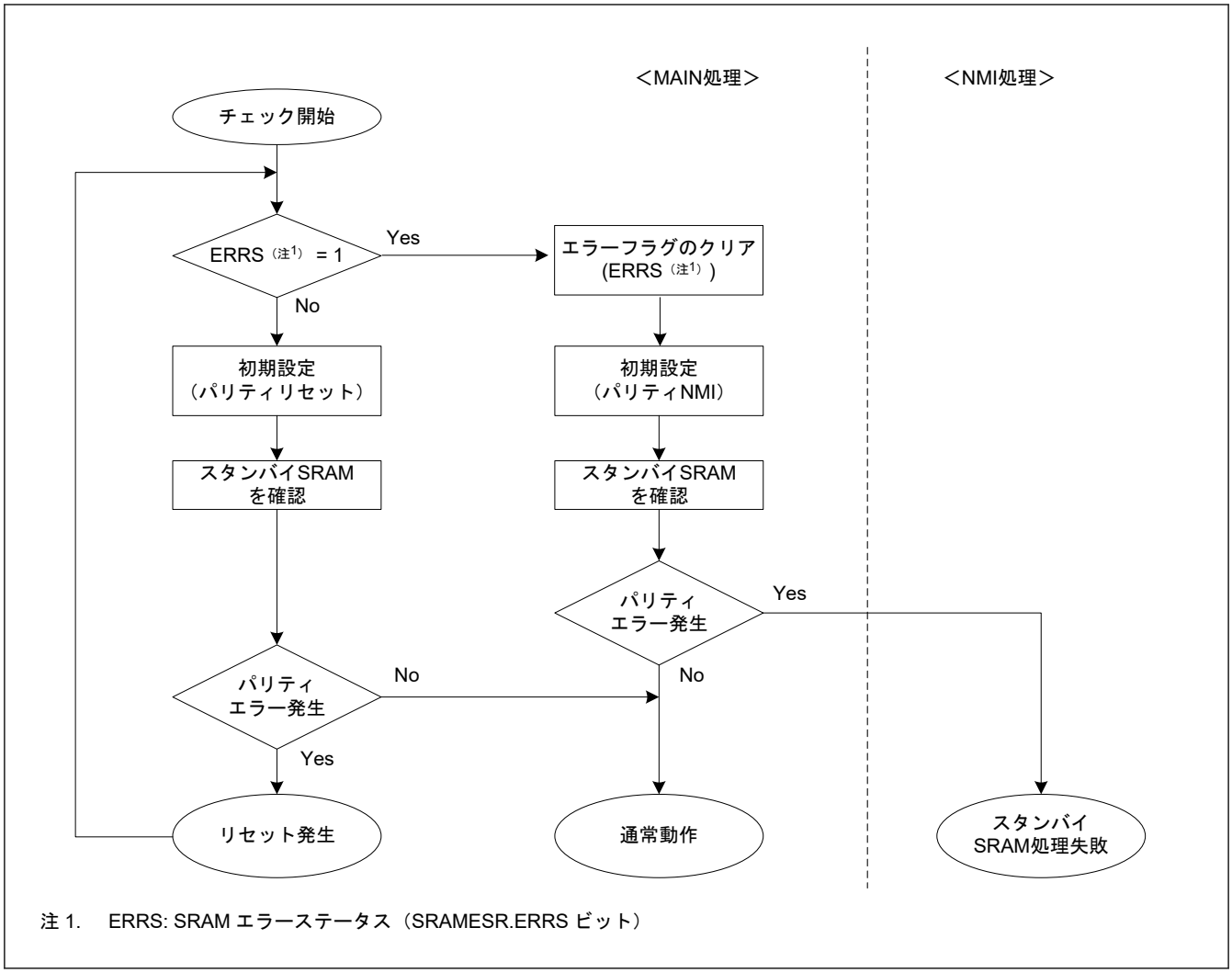
48.3.3 パリティ計算機能

IEC60730 規格に準拠するには、STBRAMCR データのチェックが必要です。データ書き込み時に 32 ビットデータ幅のスタンバイ SRAM に格納されている 8 ビットデータごとにパリティビットが付与され、データ読み出し時にパリティチェックが行われます。パリティエラーが発生すると、パリティエラー通知が生成されます。この機能は、リセットを実行するためにも使用できます。

パリティエラー通知には、STBRAMCR レジスタの OAD ビットで、ノンマスカブル割り込みまたはリセットを指定できます。OAD ビットが 1 のとき、パリティエラーはリセット機能に出力されます。OAD ビットが 0 のとき、パリティエラーはノンマスカブル割り込みとして ICU に出力されます。

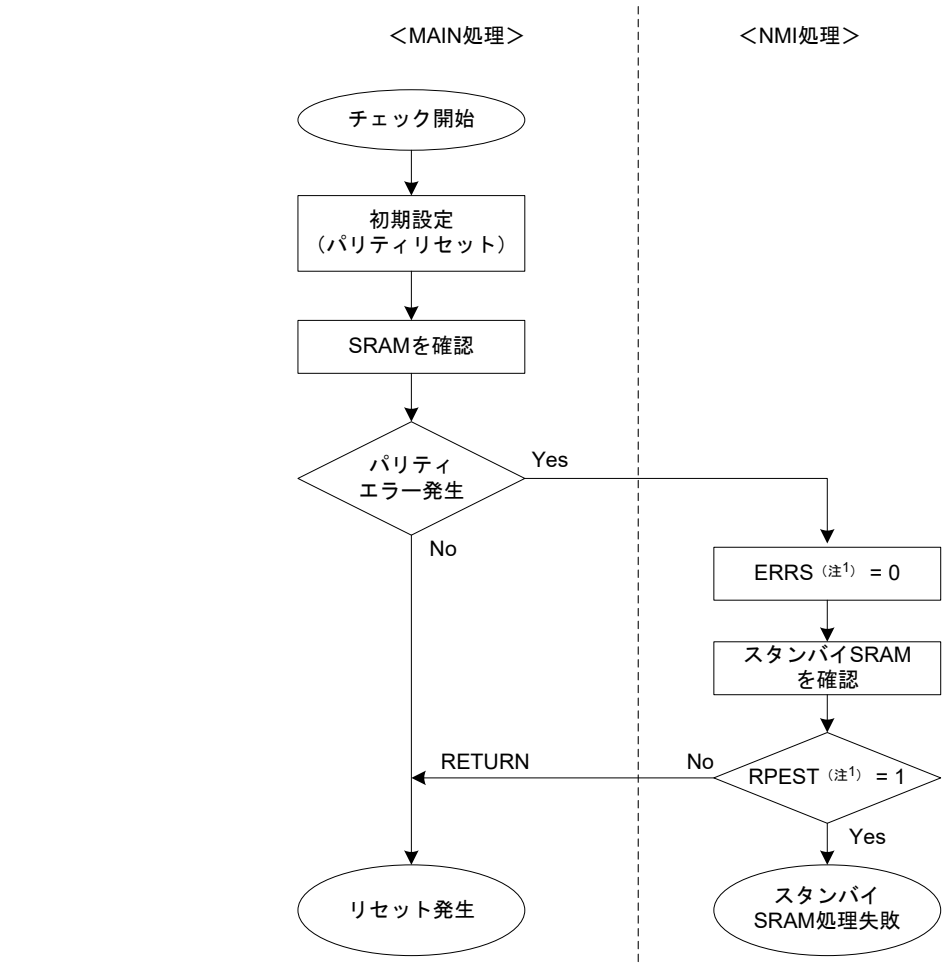
パリティエラーはしばしばノイズにより発生します。パリティエラーの原因がノイズか破損かを確認するには、図 48.1 および図 48.2 に示されたパリティチェックフローに従います。

ライトアクセスの後にリードアクセスを続けて実行すると、リードアクセスが優先的に実行されます。したがって、初期化中は、ライトアクセスの後に続けてリードアクセスを行わないでください。



注 1. ERRS: SRAM エラーステータス（SRAMESR.ERRS ビット）

図 48.1 SRAM パリティリセット許可の場合のスタンバイ SRAM パリティチェックのフロー



注 1. ERRS: SRAM エラーステータス（SRAMESR.ERRS ビット）

図 48.2 SRAM パリティ割り込み許可の場合のスタンバイ SRAM パリティチェックのフロー

48.3.4 TrustZone フィルタ機能

48.3.4.1 スタンバイ SRAM レジスタ用 TrustZone フィルタ

スタンバイ SRAM レジスタは、セキュリティ属性 (SA) に応じて非セキュアまたはセキュアトランザクションから保護できます。スタンバイ SRAM レジスタがセキュア状態であることを SA が示しているときは、TrustZone フィルタがエラーを検出し、アクセスから保護するため、非セキュアトランザクションはこのレジスタにアクセスできません。スタンバイ SRAM レジスタが非セキュア状態であることを SA が示しているときは、TrustZone フィルタがエラーを検出し、アクセスから保護するため、セキュアトランザクションはこのレジスタにアクセスできません。スタンバイ SRAM レジスタの SA は、スタンバイ SRAM レジスタ間共通で同一の設定が使用されます。

TrustZone フィルタエラーが原因でアクセスに失敗した場合は、エラー応答が発生します。

表 48.2 スタンバイ SRAM レジスタの保護 (1/2)

SA	トランザクション	ライトアクセス	リードアクセス
セキュア	セキュア	許可	許可
	非セキュア	保護（TrustZone フィルタエラー）	保護（TrustZone フィルタエラー）

表 48.2 スタンバイ SRAM レジスタの保護 (2/2)

SA	トランザクション	ライトアクセス	リードアクセス
非セキュア	セキュア	保護（TrustZone フィルタエラー）	保護（TrustZone フィルタエラー）
	非セキュア	許可	許可

48.3.4.2 スタンバイ SRAM メモリ領域用 TrustZone フィルタ

スタンバイ SRAM 領域は、セキュア領域と非セキュア領域に分割できます。これらの領域へのアクセス許可は、以下のとおりです。

表 48.3 セキュリティ属性によるスタンバイ SRAM メモリ保護

SA	トランザクション	ライトアクセス	リードアクセス
セキュア	セキュア	許可	許可
	非セキュア	保護（TrustZone フィルタエラー）	保護（TrustZone フィルタエラー）
非セキュア	セキュア	保護（TrustZone フィルタエラー）	保護（TrustZone フィルタエラー）
	非セキュア	許可	許可

スタンバイ SRAM 領域は、プリビレッジ領域とアンプリビレッジ領域に分割できます。これらの領域へのアクセス許可は、以下のとおりです。

表 48.4 プリビレッジ属性によるスタンバイ SRAM メモリ保護

PA	トランザクション	ライトアクセス	リードアクセス
プリビレッジ	プリビレッジ	許可	許可
	アンプリビレッジ	保護（TrustZone フィルタエラー）	保護（TrustZone フィルタエラー）
アンプリビレッジ	プリビレッジ	許可	許可
	アンプリビレッジ	許可	許可

スタンバイ SRAM メモリ用 TrustZone フィルタエラーは、エラー通知を生成します。

詳細は、「40. セキュリティ機能」 を参照してください。

48.3.5 割り込み要因

スタンバイ SRAM 割り込み要因には、パリティエラーと TrustZone フィルタエラーがあります。

パリティエラーは、STBRAMCR.OAD ビットによってノンマスカブル割り込みまたはリセットを選択できます。

SRAMESR.ERRS が 1 のとき、スタンバイ SRAM 割り込みが発生します。SRAMESR.ERRS がクリアされるまでスタンバイ SRAM 割り込みの発生が継続します。

共通メモリエラーが発生 (NMISR.CMST = 1 または RSTSR1.CMSR = 1) した場合は、SRAMESR を読み出し、SRAM の割り込み要因を確認してください。デバッガからアクセスされた場合、エラーフラグは設定されず、リセットとノンマスカブル割り込みはマスカブルです。

デバッグモードの詳細は、「2. CPU」を参照してください。

表 48.5 スタンバイ SRAM の割り込み要因

名称	割り込み要因	DTC の起動	DMAC の起動
PARITYERR	パリティエラー	不可	不可
TZFLT	TrustZone フィルタエラー	不可	不可

48.3.6 ウェイトステート

ICLK の周波数が 120 MHz より高い場合、ウェイトサイクルを挿入するため、SRAMWTSC レジスタのウェイト許可ビットに 0x00 を設定しないでください。ウェイトを挿入しない場合は、動作は保証されません。

スタンバイ SRAM アクセスのための WAIT 設定は、ICLK の動作周波数によって以下の条件となります。

[ICLK 周波数]:

- 240 MHz ≧ ICLK > 120 MHz = 1 ウェイト
- 120 MHz ≧ ICLK = ウェイトなし

48.4 使用上の注意事項

48.4.1 スタンバイ SRAM 領域からの命令フェッチ

スタンバイ SRAM を使用してプログラムを実行する場合、スタンバイ SRAM 領域を初期化して CPU が正確にデータをプリフェッチできるようにします。CPU が初期化されていない領域からプリフェッチすると、パリティエラーが発生する場合があります。4 バイト境界のプログラムの終了アドレスから追加で 12 バイト領域を初期化してください。弊社からは、データの初期化には NOP 命令の使用を推奨します。

48.4.2 スタンバイ SRAM の自己診断に関する注意事項

ライトバッファがスタンバイ SRAM に搭載されています。書き込み動作後に同じアドレスが読み出されると、スタンバイ SRAM のメモリセルではなく、ライトバッファのデータが読み出される場合があります。スタンバイ SRAM の自己診断を行う場合、以下の手順に従って、データがライトバッファから読み出されないように書き込まれていることを確認してください。

1. 自己診断用のアドレスにデータを書き込む。
2. 手順 1 のアドレスと異なる、少なくとも 4 つのアドレスにデータを書き込む。
3. 手順 1 のアドレスからデータを読み出す。

49. フラッシュメモリ

本 MCU には、コードフラッシュメモリ、データフラッシュメモリ、およびオプション設定メモリがあります。コードフラッシュメモリは、命令およびオペランドを格納し、データフラッシュメモリはデータを格納します。オプション設定メモリについては、「6. オプション設定メモリ」を参照してください。

49.1 概要

表 49.1 にフラッシュメモリの仕様を、図 49.1 にフラッシュメモリ関連モジュールのブロック図を示します。

表 49.37 にブートモードで使用する入出力端子の一覧を示します。

FCU (Flash Control Unit) はフラッシュメモリのプログラム／イレースの制御を行います。FACI (Flash Application Command Interface) は設定された FACI コマンドに従って、FCU を制御します。

コードフラッシュメモリのメモリ構成については図 49.2 と図 49.3 を、データフラッシュメモリのメモリ構成については図 49.4 を参照してください。

表 49.1 フラッシュメモリの仕様 (1/2)

項目	コードフラッシュメモリ	データフラッシュメモリ
メモリ容量	ユーザー領域：最大 1 MB	データ領域：12 KB
イレース後の値	0xFF	不定
プログラム／イレース方式	• FACI コマンド発行領域（セキュア：0x4010_0000、非セキュア：0x5010_0000）に設定した FACI コマンドで、コードフラッシュメモリおよびデータフラッシュメモリのプログラム／イレース、オプション設定メモリのプログラムが可能（セルフプログラミング）。 • シリアルプログラマによるシリアルインタフェース通信を介したプログラム／イレース（シリアルプログラミング）	
プロテクション機能	フラッシュメモリの誤書き換えを防止	
デュアルバンク機能	デュアルバンク構造により、書き換えが中断された場合でも安全にアップデートできます。 • リニアモード：コードフラッシュメモリは 1 つの領域として使用されます。 • デュアルモード：コードフラッシュメモリは 2 つの領域に分割されます。	不可
ブロックスワップ機能	ブロックスワップ構造により、書き換えが中断された場合でも非セキュアアプリケーションの一部分を安全にアップデートできます。	不可
BGO（バックグラウンドオペレーション）機能	• コードフラッシュメモリのプログラム／イレース中にコードフラッシュメモリの読み出しが可能 • コードフラッシュメモリのプログラム／イレース中にデータフラッシュメモリの読み出しが可能 • データフラッシュメモリのプログラム／イレース中にコードフラッシュメモリの読み出しが可能	
プログラム／イレース単位	• ユーザー領域へのプログラム：128 バイト • ユーザー領域のイレース：ブロック単位	• データ領域へのプログラム：4/8/16 バイト • データ領域のイレース：64/128/256 バイト
その他の機能	セルフプログラミング中の割り込み受け付け可能 本 MCU の初期設定でオプション設定メモリの拡張領域の設定可能	
オンボードプログラミング（4 種類）	ブートモード（SCI インタフェース）でのプログラム／イレース • 調歩同期式シリアルインタフェース (SCI9) を使用 • 通信速度は自動調整 ブートモード（USB インタフェース）でのプログラム／イレース • USBFS を使用 • 特別なハードウェアが不要で、PC と直結可能 オンチップデバッグモードによるプログラム／イレース • JTAG/SWD インタフェースを使用 セルフプログラミングによるプログラム／イレース • システムをリセットすることなくコードフラッシュメモリのプログラム／イレースが可能	
ユニーク ID	各 MCU に 16 バイトの ID を提供	

表 49.1 フラッシュメモリの仕様 (2/2)

項目	コードフラッシュメモリ	データフラッシュメモリ
FACI コマンド	プログラム：128 バイト ブロックイレース：1 ブロック（8 KB または 32 KB） P/E サスペンド P/E レジューム 強制停止 ステータスクリア コンフィグレーション設定（16 バイト）	プログラム：4/8/16 バイト ブロックイレース：1 ブロック（64 バイト） マルチブロックイレース：64/128/256 バイト P/E サスペンド P/E レジューム 強制停止 ブランクチェック：4 バイト～データフラッシュメモリ容量 ステータスクリア コンフィグレーション設定（4 バイト／16 バイト） カウンタインクリメント：1 ビット カウンタリフレッシュ カウンタ読み出し：8 バイト
セキュリティ機能	フラッシュメモリの不正改ざん／不正リードを防止 スタートアップ領域選択設定保護 ● BTFLG レジスタおよび FSUACR レジスタは FSPR ビットにより保護 永久ブロック保護設定保護 ● コードフラッシュメモリは、永久ブロック保護機能によりプログラム／イレース動作から永久に保護されます TrustZone のフラッシュメモリ保護 ● フラッシュメモリ領域の保護 (P/E) ● フラッシュメモリ領域の保護（読み出し） ● レジスタの保護 ● FACI コマンド動作中の保護 ● コードフラッシュ P/E モードエントリ保護 ● データフラッシュコンフィグレーション領域保護 ● アンチロールバックカウンタ	
セーフティ機能	ソフトウェアプロテクション ● FENTRYR レジスタによる FACI コマンド保護 ● FWEPROR レジスタによるフラッシュメモリ保護 ● ブロック保護設定によるユーザー領域保護 エラープロテクション ● 意図しないコマンドまたは禁止された設定が行われるとエラーが検出されますエラー検出後 FACI コマンドは受け付けられません ブート領域プロテクション ● スタートアップ領域選択機能によりユーザーはブートファームウェアを安全に更新できます スタートアップ領域のサイズは 8 KB です	
割り込み要求	● FRDYI（フラッシュシーケンサレディ（処理終了））： FRDYIE ビットにより許可 ● FIFERR（フラッシュシーケンサエラー）： CFAEIE/CMDLKIE/DFAEIE ビットにより許可	
アドレス変換	スタートアップ領域選択機能はリニアモードでサポートされます デュアルモードとリニアモード ● バンクスワップ機能はデュアルモードでサポート ● ブロックスワップ機能はリニアモードでサポート	

図 49.1 にフラッシュメモリに関連するモジュールの構成方式を示します。フラッシュシーケンサは FCU および FACI で構成されます。FCU は、フラッシュメモリ書き換えの基本制御を実行します。FACI は、周辺バスを使って FACI コマンドを受信し、コマンドに従って FCU の動作を制御します。

リセットが起こると、FACI はデータをフラッシュメモリからオプションバイト格納レジスタに転送します。

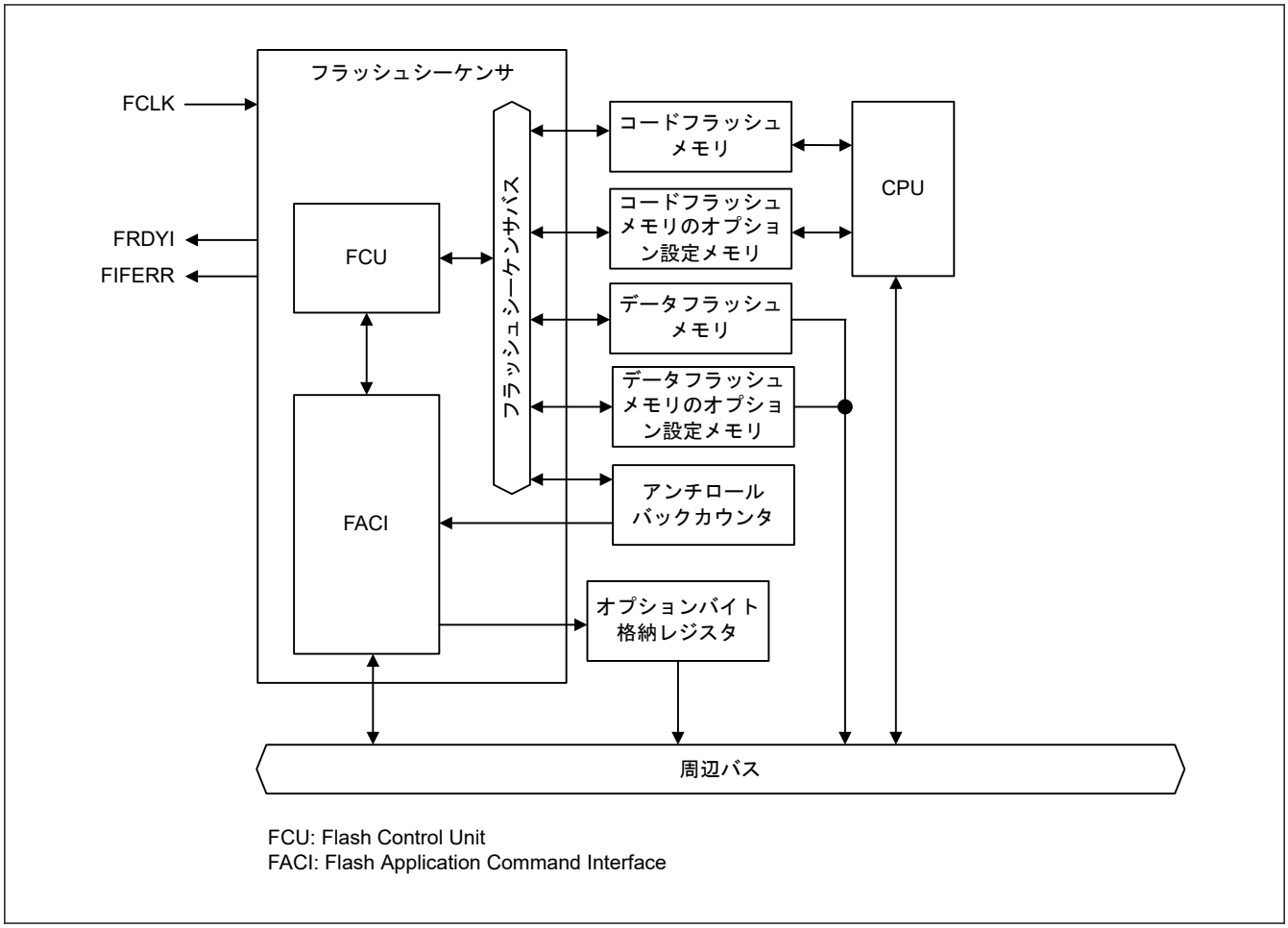


図 49.1　フラッシュメモリ関連モジュールのブロック図

49.2　メモリ構成

図 49.2 にリニアモードでのコードフラッシュメモリのメモリマップを示します。図 49.3 にデュアルモードでのコードフラッシュメモリのメモリマップを示します。本 MCU は、デュアルバンク機能を使ってコードフラッシュメモリを 2 つのバンク領域として使用できます。このデュアルバンク構造により、ユーザープログラム実行中でもプログラムを安全にアップデートできます。

本 MCU のコードフラッシュメモリのユーザー領域は定サイズ（8 KB または 32 KB）のブロックに分割されており、各ブロック単位でイレース可能です。

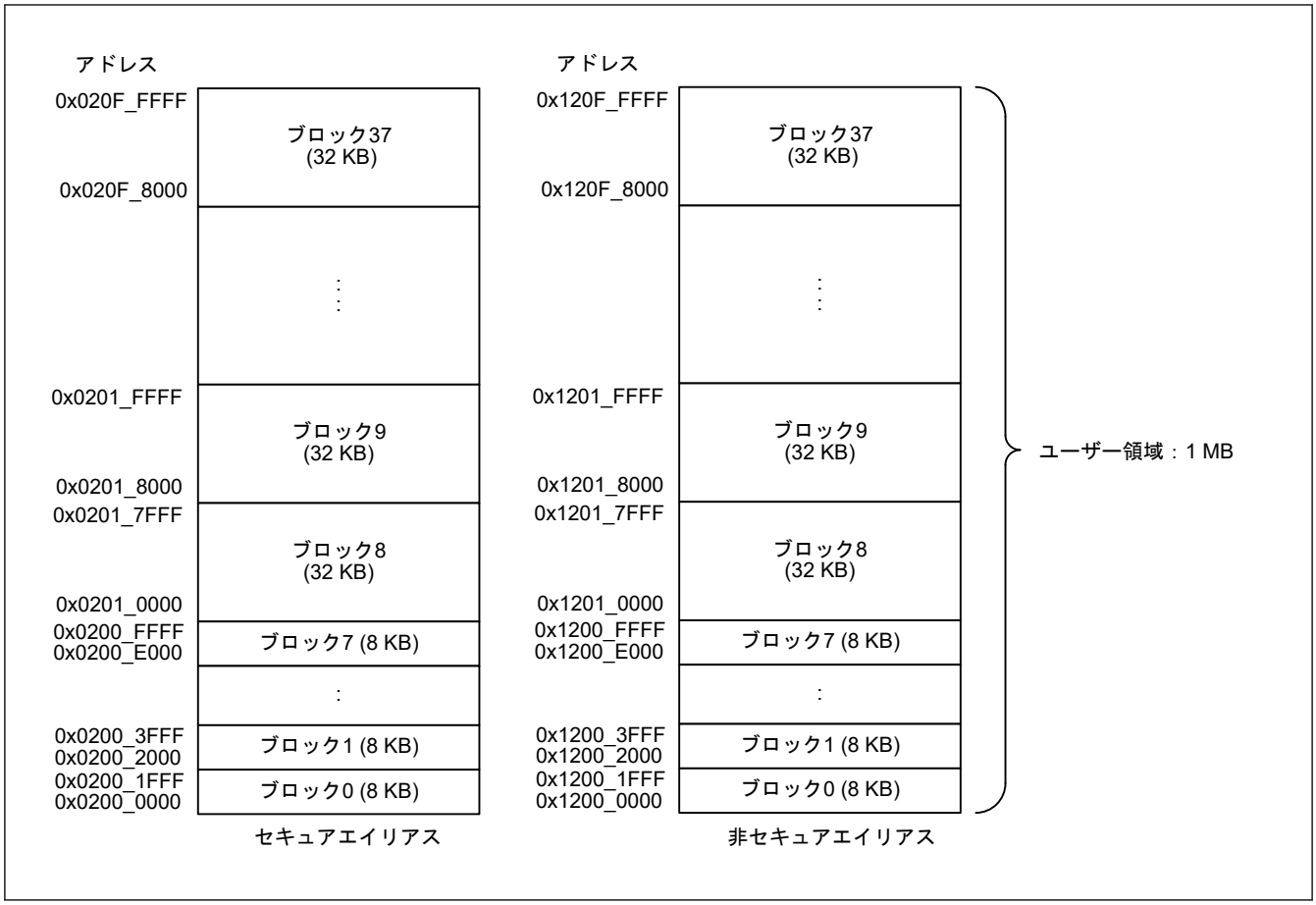


図 49.2　リニアモードでのコードフラッシュメモリのマップ

表 49.2　リニアモードでのコードフラッシュメモリの読み出し／プログラム／イレースのアドレス

製品	アドレス	ブロック数
1 MB 製品	セキュアエイリアス：0x0200_0000～0x020F_FFFF 非セキュアエイリアス：0x1200_0000～0x120F_FFFF	0～37

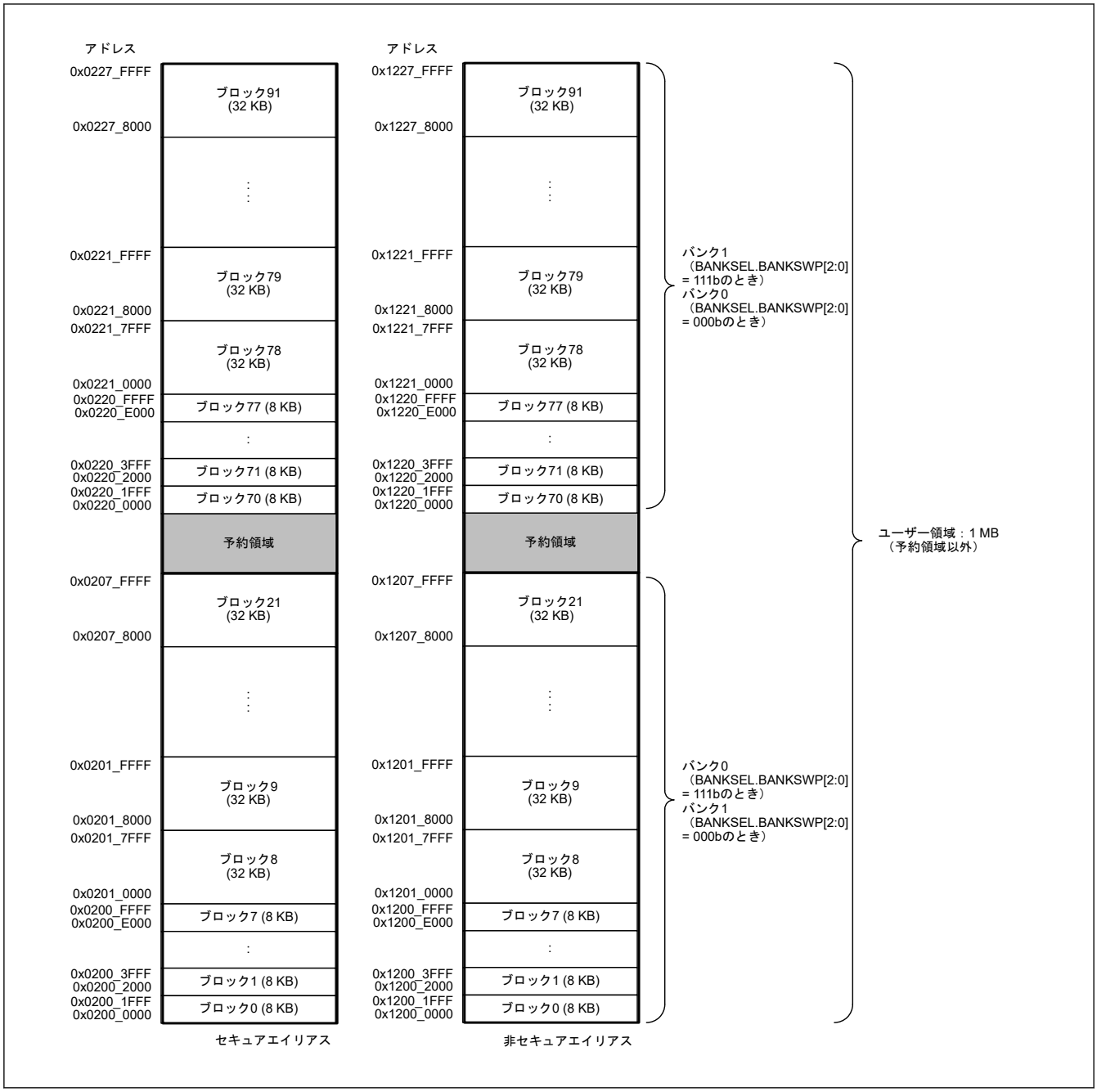


図 49.3　デュアルモードでのコードフラッシュメモリのマップ

表 49.3　デュアルモードでのコードフラッシュメモリの読み出し／プログラム／イレースのアドレス

製品	アドレス	ブロック数
1 MB 製品、下側バンク	セキュアエイリアス：0x0200_0000～0x0207_FFFF 非セキュアエイリアス：0x1200_0000～0x1207_FFFF	0～21
1 MB 製品、上側バンク	セキュアエイリアス：0x0220_0000～0x0227_FFFF 非セキュアエイリアス：0x1220_0000～0x1227_FFFF	70～91

本 MCU のデータフラッシュメモリのデータ領域は定サイズ（64 バイト）のブロックに分割されており、各ブロック単位でイレース可能です。図 49.4 にデータフラッシュメモリのマッピングを示します。

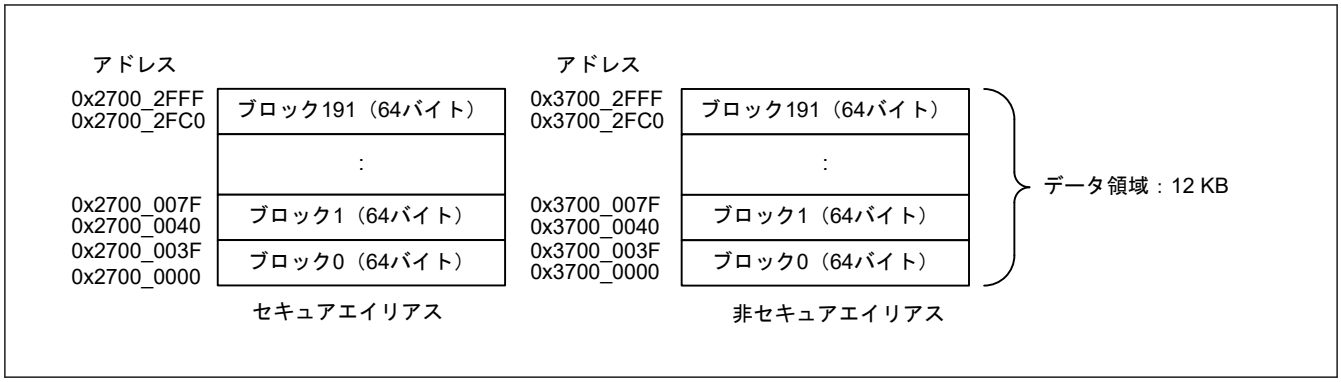


図 49.4　データフラッシュメモリのマップ

49.3　アドレス空間

フラッシュメモリとのハードウェアインタフェースを使用するには、ハードウェアの全レジスタへのアクセスが必要です。これは FACI コマンドを発行するためです。表 49.4 に、ハードウェアインタフェースに関する情報を示します。

表 49.4　ハードウェアインタフェース領域情報

領域	アドレス	容量
ハードウェアの各種レジスタを含む領域	「49.4. レジスタの説明」を参照してください。	「49.4. レジスタの説明」を参照してください。
FACI コマンド発行領域	セキュアエイリアス：0x4010_0000 非セキュアエイリアス：0x5010_0000	4 バイト

フラッシュメモリのアドレス情報については、図 49.2 を参照してください。

49.4　レジスタの説明

49.4.1　FCACHEE：フラッシュキャッシュイネーブルレジスタ

Base address: FCACHE = 0x4001_C100
FCACHE_NS = 0x5001_C100

Offset address: 0x000

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FCACHEEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FCACHEEN	フラッシュキャッシュ許可 0: FCACHE を禁止 1: FCACHE を許可	R/W
15:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　S-TYPE-3、P-TYPE-2
注.　関連する SA：FSAR レジスタ。「49.4.4. FSAR：フラッシュセキュリティ属性レジスタ」を参照してください。

FCACHEEN ビット（フラッシュキャッシュ許可）

FCACHEE.FCACHEEN ビットは、FCACHE1、FCACHE2、FLPF のフラッシュキャッシュ機能を許可／禁止します。

FCACHEE.FCACHEEN ビットは FCACHEIV.FCACHEIV ビットに影響を与えません。

FCACHE を許可した場合、「キャッシュ可能」なアクセスができるようになります。

FCACHE を許可後、禁止にはできません。

49.4.2 FCACHEIV : フラッシュキャッシュインバリデートレジスタ

Base address: FCACHE = 0x4001_C100
FCACHE_NS = 0x5001_C100

Offset address: 0x004

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FCACHEIV
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FCACHEIV	フラッシュキャッシュインバリデート 0: 読み出し時: インバリデートしない 書き込み時: 設定は無視される 1: インバリデートする FCACHE がインバリデートされます。	R/W
15:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-5、P-TYPE-2

本レジスタは、いずれのセキュリティ属性レジスタによっても制御されません。

FCACHEIV ビット（フラッシュキャッシュインバリデート）

FCACHEIV.FCACHEIV ビットに 1 を書くと、FCACHE1、FCACHE2、FLPF のフラッシュキャッシュデータがインバリデートされます。

コードフラッシュまたはオプション設定メモリを書き換えた後 FCACHE を許可にした状態で FCACHE をインバリデートしてください。

49.4.3 FLWT : フラッシュウェイトサイクルレジスタ

Base address: FCACHE = 0x4001_C100
FCACHE_NS = 0x5001_C100

Offset address: 0x01C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	FLWT[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	FLWT[2:0]	フラッシュウェイトサイクル 0 0 0: 0 ウェイト (ICLK ≦ 48 MHz) 0 0 1: 1 ウェイト (48 MHz < ICLK ≦ 96 MHz) 0 1 0: 2 ウェイト (96 MHz < ICLK ≦ 144 MHz) 0 1 1: 3 ウェイト (144 MHz < ICLK ≦ 192 MHz) 1 0 0: 4 ウェイト (192 MHz < ICLK ≦ 240 MHz) その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. 関連する SA : FSAR レジスタ。「49.4.4. FSAR : フラッシュセキュリティ属性レジスタ」を参照してください。

FLWT[2:0]ビット（フラッシュウェイトサイクル）

フラッシュウェイトサイクルレジスタ (FLWT) は、フラッシュメモリのアクセスウェイト数を設定します。

クロック周波数をこれより高くする場合、クロック周波数を変更する前に FLWT.FLWT を設定してください。クロック周波数をこれより低くする場合、クロック周波数を変更した後に FLWT.FLWT を設定してください。

周波数設定の詳細は、「8. クロック発生回路」を参照してください。

49.4.4 FSAR : フラッシュセキュリティ属性レジスタ

Base address: FCACHE = 0x4001_C100
FCACHE_NS = 0x5001_C100

Offset address: 0x040

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	FACICMRSA	FACICMISA	FCKMHZSA	—	—	—	—	—	—	FCACHESA	FLWTSA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FLWTSA	FLWT セキュリティ属性 対象レジスタ: FLWT 0: セキュア 1: 非セキュア	R/W
1	FCACHESA	FCHACHEEN セキュリティ属性 対象レジスタ: FCHACHEEN 0: セキュア 1: 非セキュア	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	FCKMHZSA	FCKMHZ セキュリティ属性 対象レジスタ: FCKMHZ 0: セキュア 1: 非セキュア	R/W
9	FACICMISA	FACI コマンド発行セキュリティ属性 対象領域 : フラッシュアクセス領域 0: セキュア 1: 非セキュア	R/W
10	FACICMRSA	FACI コマンドレジスタセキュリティ属性 対象レジスタ : FASTAT、FAEINT、FRDYIE、FSADDR、FEADDR、FBPROT1、FSTATR、FENTRYR、FSUINITR、FCMDR、FBCCNT、FBCSTAT、FPSADDR、FSUASMON、FCPSR、FPCKAR、FWEPROR 0: セキュア 1: 非セキュア	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-1、P-TYPE-1
注. PRCR.PRC4 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

FLWTSA ビット（FLWT セキュリティ属性）

FLWT レジスタのセキュリティ属性を設定します。

FCACHESA ビット（FCHACHEEN セキュリティ属性）

FCACHESA ビットは、FCHACHEEN レジスタのセキュリティ属性を設定します。

FCKMHZSA ビット（FCKMHZ セキュリティ属性）

FCKMHZSA ビットは、フラッシュアクセス領域のセキュリティ属性を設定します。

FACICMISA ビット（FACI コマンド発行セキュリティ属性）

FACICMISA ビットは、フラッシュアクセス領域のセキュリティ属性を設定します。

FACICMRSA ビット（FACI コマンドレジスタセキュリティ属性）

FACICMRSA は、FACI コマンドセキュリティレジスタのセキュリティ属性を設定します。

49.4.5 UIDRn : ユニーク ID レジスタ n (n = 0～3)

Address: 0x0300_8190 + n × 4（セキュア）
0x1300_8190 + n × 4（非セキュア）

Bit position:	31 … 0
Bit field:	UID
Value after reset:	チップごとの固有値

ビット	シンボル	機能	R/W
31:0	UID	ユニーク ID	R

注.　S-TYPE-5, P-TYPE-5

UIDRn は、個々の MCU を識別するための 16 バイトの ID コード（ユニーク ID）を格納する読み出し専用レジスタです。UIDRn レジスタは 32 ビット単位で読み出してください。シリアルプログラミングインタフェースのシグネチャ要求コマンドで読み出す場合、データは大きいアドレスのデータから読み出されます。すなわち、0x0300_819F のデータが最初に読み出され、0x0300_8190 のデータが最後に読み出されます。

49.4.6 PNRn : 型名レジスタ n (n = 0～3)

Address: 0x0300_80F0 + n × 4（セキュア）
0x1300_80F0 + n × 4（非セキュア）

Bit position:	31 … 0
Bit field:	PNR
Value after reset:	チップごとの固有値

ビット	シンボル	機能	R/W
31:0	PNR	型名	R

注.　S-TYPE-5, P-TYPE-5

PNRn レジスタは、16 バイトの型名を格納する読み出し専用レジスタです。PNRn レジスタは 32 ビット単位で読み出してください。表 1.13 に示すように、各バイトは製品の型名の ASCII コードに対応しています。型名の最初の文字（"R"、ASCII コードの 0x52）は最小のアドレス (0x0300_80F0) のバイトに格納されます。シリアルプログラミングインタフェースのシグネチャ要求コマンドで読み出す場合、データは小さいアドレスのデータから読み出されます。すなわち、0x0300_80F0 のデータが最初に読み出され、0x0300_80FF のデータが最後に読み出されます。

49.4.7 MCUVER : MCU バージョンレジスタ

Address: 0x0300_81B0（セキュア）
0x1300_81B0（非セキュア）

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MCUVE							
Value after reset:	チップにより決まる値							

ビット	シンボル	機能	R/W
7:0	MCUVE	MCU バージョン	R

注.　S-TYPE-5, P-TYPE-5

MCUVER レジスタは、MCU バージョンを格納する読み出し専用レジスタです。MCUVER レジスタは 8 ビット単位で読み出してください。

49.4.8 FWEPROR : フラッシュ P/E プロテクトレジスタ

Base address: SYSC = 0x4001_E000
SYSC_NS = 0x5001_E000

Offset address: 0xA54

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	FLWE[1:0]	
Value after reset:	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
1:0	FLWE[1:0]	フラッシュプログラム／イレース 0 0: プログラム、ブロックイレース、マルチブロックイレース、ブランクチェック、およびコンフィグレーション設定コマンドの処理を禁止 0 1: プログラム、ブロックイレース、マルチブロックイレース、ブランクチェック、およびコンフィグレーション設定コマンドの処理を許可 1 0: プログラム、ブロックイレース、マルチブロックイレース、ブランクチェック、およびコンフィグレーション設定コマンドの処理を禁止 1 1: プログラム、ブロックイレース、マルチブロックイレース、ブランクチェック、およびコンフィグレーション設定コマンドの処理を禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2

ソフトウェアによるプログラム、ブロックイレース、マルチブロックイレース、ブランクチェック、およびコンフィグレーション設定コマンドの処理の禁止が可能です。

FWEPROR レジスタは、以下のようなリセットにより初期化されます。

- VBATT_POR リセットを除くすべてのリセット要因
- ディープソフトウェアスタンバイモードへの移行
- ソフトウェアスタンバイモードへの移行

FLWE[1:0]ビット（フラッシュプログラム／イレース）

FLWE[1:0]ビットは、フラッシュ P/E 保護を設定するのに使用されます。リセット後の値は 10b です。

これらのビットが 01b 以外に設定され、フラッシュメモリのプログラム／イレースが禁止されると、下記のコマンドは実行できません。下記のコマンドのいずれかが発行されると、FSTATR レジスタの FLWEERR ビットが 1 に設定されます。

プログラム、ブロックイレース、マルチブロックイレース、ブランクチェック、コンフィグレーション設定コマンド

49.4.9 FASTAT : フラッシュアクセスステータスレジスタ

Base address: FACI = 0x4011_E000
FACI_NS = 0x5011_E000

Offset address: 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CFAE	—	—	CMDLK	DFAE	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	DFAE	データフラッシュメモリアクセス違反フラグ 0: データフラッシュメモリアクセス違反なし 1: データフラッシュメモリアクセス違反あり	R/W(注1)

ビット	シンボル	機能	R/W
4	CMDLK	コマンドロックフラグ 0: フラッシュシーケンサはコマンドロック状態ではない 1: フラッシュシーケンサはコマンドロック状態である	R
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	CFAE	コードフラッシュメモリアクセス違反フラグ 0: コードフラッシュメモリアクセス違反は発生していない 1: コードフラッシュメモリアクセス違反が発生した	R/W(注1)

注. S-TYPE-3、P-TYPE-2
注. 関連する SA : FSAR レジスタ。「49.4.4. FSAR : フラッシュセキュリティ属性レジスタ」を参照してください。
注 1. フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

FASTAT レジスタは、コードフラッシュまたはデータフラッシュメモリアクセス違反が起きたかどうかを示します。CFAE ビット、CMDLK ビット、および DFAE ビットのいずれかが 1 になると、フラッシュシーケンサはコマンドロック状態になります（「49.11.2. エラープロテクション」参照）。シーケンサをコマンドロック状態から解放するには、ステータスクリアコマンドまたは強制停止コマンドをフラッシュシーケンサに発行してください。

DFAE ビット（データフラッシュメモリアクセス違反フラグ）

DFAE ビットは、データフラッシュメモリのアクセス違反が起きたかどうかを示します。DFAE1 の場合、FSTATR レジスタの ILGLERR ビットが 1 になり、フラッシュシーケンサをコマンドロック状態にします。

[1 になる条件]

データフラッシュ P/E モードで発行された FACI コマンドが以下の場合：

- FSADDR レジスタまたは FEADDR レジスタの設定がデータ領域の予約部分であるとき
- FSADDR レジスタの設定が 0x2703_0050～0x2703_03FF の範囲外のときにコンフィグレーション設定コマンドが発行されたとき
- 誤ったセキュリティ属性でデータフラッシュメモリに対して FACI コマンドが発行されたとき

[0 になる条件]

- 本ビットが 1 に設定された後、0 を書き込まれたとき
- フラッシュシーケンサがステータスクリアコマンドまたは強制停止コマンドの処理を開始したとき

CMDLK ビット（コマンドロックフラグ）

CMDLK ビットは、フラッシュシーケンサがコマンドロック状態であることを示します。CMDLK

[1 になる条件]

- フラッシュシーケンサがエラーを検出し、コマンドロック状態になったとき

[0 になる条件]

- フラッシュシーケンサがステータスクリアコマンドまたは強制停止コマンドの処理を開始したとき

CFAE ビット（コードフラッシュメモリアクセス違反フラグ）

CFAE ビットは、コードフラッシュメモリのアクセス違反が起きたかどうかを示します。CFAE1 の場合、FSTATR レジスタの ILGLERR ビットが 1 になり、フラッシュシーケンサをコマンドロック状態にします。

[1 になる条件]

コードフラッシュ P/E モードで発行された FACI コマンドが以下の場合：

- FSADDR レジスタの設定がユーザー領域の予約部分であるとき
- セルフプログラミングモードにおいて FSADDR レジスタの設定が 0x0200_A100～0x0200_A2F0 でコンフィグレーション設定コマンドが発行されたとき
- 誤ったセキュリティ属性でコードフラッシュメモリに対して FACI コマンドが発行されたとき

[0 になる条件]

- 本ビットが 1 に設定された後、0 を書き込まれたとき
- フラッシュシーケンサがステータスクリアコマンドまたは強制停止コマンドの処理を開始したとき

49.4.10 FAEINT : フラッシュアクセスエラー割り込み許可レジスタ

Base address: FACI = 0x4011_E000
FACI_NS = 0x5011_E000

Offset address: 0x14

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CFAEIE	—	—	CMDLKIE	DFAEIE	—	—	—
Value after reset:	1	0	0	1	1	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	DFAEIE	データフラッシュメモリアクセス違反割り込み許可 0: FASTAT.DFAE ビットが 1 のとき FIFERR 割り込み要求の発生を禁止 1: FASTAT.DFAE ビットが 1 のとき FIFERR 割り込み要求の発生を許可	R/W
4	CMDLKIE	コマンドロック割り込み許可 0: FASTAT.CMDLK ビットが 1 のとき FIFERR 割り込み要求の発生を禁止 1: FASTAT.CMDLK ビットが 1 のとき FIFERR 割り込み要求の発生を許可	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	CFAEIE	コードフラッシュメモリアクセス違反割り込み許可 0: FASTAT.CFAE ビットが 1 のとき FIFERR 割り込み要求の発生を禁止 1: FASTAT.CFAE ビットが 1 のとき FIFERR 割り込み要求の発生を許可	R/W

注. S-TYPE-3、P-TYPE-2
注. 関連する SA : FSAR レジスタ。「49.4.4. FSAR : フラッシュセキュリティ属性レジスタ」を参照してください。

FAEINT レジスタは、フラッシュアクセスエラー (FIFERR) 割り込み要求の発生を許可または禁止します。

DFAEIE ビット（データフラッシュメモリアクセス違反割り込み許可）

DFAEIE ビットは、データフラッシュメモリアクセス違反が起きた場合（FASTAT レジスタの DFAE ビットが 1）の FIFERR 割り込み要求の発生を許可または禁止します。

CMDLKIE ビット（コマンドロック割り込み許可）

CMDLKIE ビットは、フラッシュシーケンサがコマンドロック状態になった場合（FASTAT レジスタの CMDLK ビットが 1）の FIFERR 割り込み要求の発生を許可または禁止します。

CFAEIE ビット（コードフラッシュメモリアクセス違反割り込み許可）

CFAEIE ビットは、コードフラッシュメモリアクセス違反が起きた場合（FASTAT レジスタの CFAE ビットが 1）の FIFERR 割り込み要求の発生を許可または禁止します。

49.4.11 FRDYIE : フラッシュレディ割り込み許可レジスタ

Base address: FACI = 0x4011_E000
FACI_NS = 0x5011_E000

Offset address: 0x18

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FRDYIE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FRDYIE	フラッシュレディ割り込み許可 0: FRDY 割り込み要求の発生を禁止 1: FRDY 割り込み要求の発生を許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. 関連する SA : FSAR レジスタ。「49.4.4. FSAR : フラッシュセキュリティ属性レジスタ」を参照してください。

FRDYIE レジスタは、フラッシュレディ (FRDY) 割り込み要求の発生を許可または禁止します。

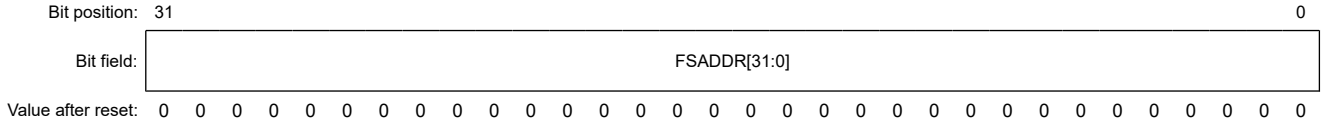
FRDYIE ビット（フラッシュレディ割り込み許可）

FRDYIE ビットは、フラッシュシーケンサによるプログラム、ブロックイレース、マルチブロックイレース、ブランクチェック、およびコンフィグレーション設定コマンドの処理完了時、FSTATR レジスタの FRDY ビットが 0 から 1 に変わったときの FRDY 割り込み要求発生を許可または禁止します。

49.4.12 FSADDR : FACI コマンド開始アドレスレジスタ

Base address: FACI = 0x4011_E000
FACI_NS = 0x5011_E000

Offset address: 0x30



ビット	シンボル	機能	R/W
31:0	FSADDR[31:0]	FACI コマンド処理の開始アドレス	R/W(注1)

注. S-TYPE-3、P-TYPE-2
注. 関連する SA : FSAR レジスタ。「49.4.4. FSAR : フラッシュセキュリティ属性レジスタ」を参照してください。
注 1. これらのビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 の場合にこれらのビットに書き込んでも無視されます。b0 と b1 は読み出し専用です。

表 49.5 FACI コマンドアドレスバウンダリ

コマンド	アドレスバウンダリ
プログラム（コードフラッシュメモリ）	128 バイト
プログラム（データフラッシュメモリ）	4、8、16 バイト
ブロックイレース（コードフラッシュメモリ）	8 KB または 32 KB
ブロックイレース（データフラッシュメモリ）	64 バイト
マルチブロックイレース（データフラッシュメモリ）	64 バイト
ブランクチェック（データフラッシュメモリ）	4 バイト
コードフラッシュコンフィグレーション設定用	16 バイト
データフラッシュコンフィグレーション設定用	4、16 バイト

FSADDR レジスタは、プログラム、ブロックイレース、マルチブロックイレース、ブランクチェック、またはコンフィグレーション設定用の FACI コマンドが発行された場合、コマンド処理の対象領域がどこから開始するかを指定します。

FSUINITR レジスタの SUINIT ビットが 1 になると FSADDR レジスタ値が初期化されます。リセットによっても初期化されます。

FSADDR[31:0]ビット（FACI コマンド処理の開始アドレス）

FSADDR[31:0]ビットは、FACI コマンド処理の開始アドレスを指定します。コードフラッシュメモリに対する FACI コマンド処理の場合ビット[31:29]とビット[27:24]は無視されます。データフラッシュメモリに対する FACI コマンド処理の場合ビット[31:29]とビット[27:13]は無視されます。ビット[28]はフラッシュシーケンサコマンド用のセキュリティエイリアスとして使用されます。ビット[28]が 0 のとき、フラッシュシーケンサはセキュア領

域をセキュアアクセスで更新できます。ビット[28]が 1 のとき、フラッシュシーケンサは非セキュア領域をセキュアアクセスおよび非セキュアアクセスで更新できます。表 49.5 に示すアドレス境界以下のアドレスビットに関連するビットも無視されます。

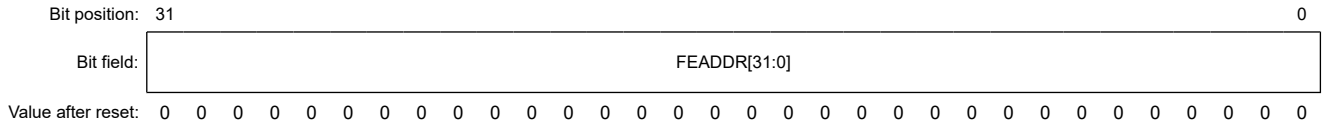
コードフラッシュメモリおよびデータフラッシュメモリのアドレス情報については、「49.2. メモリ構成」を参照してください。

コンフィグレーション設定のアドレス情報については、「49.9.3.15. コンフィグレーション設定コマンド」を参照してください。

49.4.13 FEADDR : FACI コマンド終了アドレスレジスタ

Base address: FACI = 0x4011_E000
FACI_NS = 0x5011_E000

Offset address: 0x34



ビット	シンボル	機能	R/W
31:0	FEADDR[31:0]	FACI コマンド処理の最終アドレス	R/W(注1)

注. S-TYPE-3、P-TYPE-2
注. 関連する SA : FSAR レジスタ。「49.4.4. FSAR : フラッシュセキュリティ属性レジスタ」を参照してください。
注 1. これらのビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 の場合にこれらのビットに書き込んでも無視されます。ビット[0]とビット[1]は読み出し専用です。

FEADDR レジスタは、マルチブロックイレースおよびブランクチェックコマンド処理の対象領域の最終アドレスを指定します。ブランクチェックのアドレッシングモードがインクリメンタルモードに設定されている場合（すなわち FBCCNT.BCDIR = 0）、FSADDR レジスタには、FEADDR レジスタに指定されているアドレス以下のアドレスを指定してください。反対に、ブランクチェックアドレッシングモードがデクリメンタルモードに設定されている場合（すなわち FBCCNT.BCDIR = 1）、FSADDR レジスタには、FEADDR レジスタに指定されているアドレス以上のアドレスを指定してください。BCDIR ビット、FSADDR ビット、および FEADDR ビット設定が指定規則に従っていない場合、フラッシュシーケンサはコマンドロック状態になります（「49.11.2. エラープロテクション」参照）。

FEADDR レジスタ値は、FSUINITR レジスタの SUINIT ビットが 1 になったとき初期化されます。リセットによっても初期化されます。

FEADDR[31:0]ビット（FACI コマンド処理の最終アドレス）

FEADDR[31:0]ビットは、マルチブロックイレースおよびブランクチェックコマンド処理の最終アドレスを指定します。コマンド処理において、ビット 31～ビット 17 および「49.4.12. FSADDR : FACI コマンド開始アドレスレジスタ」に挙げたアドレスバウンダリに達しないビットは無視されます。

フラッシュメモリのアドレス情報については、「49.2. メモリ構成」を参照してください。

49.4.14 FMEPROT : フラッシュ P/E モードエントリ保護レジスタ

Base address: FACI = 0x4011_E000

Offset address: 0x44



ビット	シンボル	機能	R/W
0	CEPROT	コードフラッシュ P/E モードエントリ保護 0: FENTRYC ビットは保護されません 1: FENTRYC ビットは保護されます	R/W(注1)(注2)(注4)
1	—	読み出し値は不定です。 書く場合、0 としてください。	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード	W(注3)

注. S-TYPE-6, P-TYPE-2
注 1. 本ビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 のとき本ビットに書き込んでも無視されます。
注 2. 本ビットへの書き込みは、16 ビットが書き込まれ、KEY ビットに書き込まれた値が 0xD9 の場合のみ可能です。
注 3. 書き込まれた値はビットにより保持されません（常に 0x00 が読み出されます）。
注 4. 本レジスタに書き込みできるのはセキュアアクセスのみです。セキュアおよび非セキュアの読み出しアクセスの両方が許可されます。非セキュアライトアクセスは拒否されますが、TrustZone アクセスエラーは発生しません。

CEPROT ビット（コードフラッシュ P/E モードエントリ保護）

CEPROT ビットは、FENTRYR レジスタの FRNTRYC ビットの保護設定を指定します。

[1 になる条件]

- FMEPROT レジスタへの書き込みが許可されている場合に、CEPROT ビットに 1 を書いたとき

[0 になる条件]

- FMEPROT レジスタへの書き込みが許可されている場合に、CEPROT ビットに 0 を書いたとき

49.4.15 FCNTSELR : フラッシュカウンタ選択レジスタ

Base address: FACI = 0x4011_E000

Offset address: 0x048

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	CNTSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CNTSEL[2:0]	カウンタ選択 0 0 0: アンチロールバックカウンタが選択されない 0 0 1: ARC_SEC が選択される。カウンタサイズは 64 ビット 0 1 1: アンチロールバックカウンタが選択されない 1 x x: ARC_NSEC が選択される。64 ビットまたは 256 ビットのカウンタコンフィグレーション。カウンタ選択条件の詳細については、表 49.6、表 49.7、および表 49.8 を参照してください。 その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-6, P-TYPE-2
注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

CNTSEL[2:0]ビット（カウンタ選択）

FCNTSELR レジスタは、カウンタインクリメント、カウンタリフレッシュ、カウンタ読み出しの各コマンドにおいて、アンチロールバックカウンタを 2 種類（ARC_SEC または ARC_NSEC）から選択します。

FCNTSELR レジスタ値は、FSUINITR レジスタの SUINIT ビットが 1 になったとき初期化されます。

注. 本ビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 の場合に本ビットに書き込んでも無視されます。

ARC_NSEC カウンタを使用する前に、データフラッシュコンフィグレーション設定コマンドで、カウンタを 64 ビット×4 ラインと 256 ビット×1 ラインのどちらの構成で使用するかを設定する必要があります。設定対象のビットは CNF_ARCNS0 および CNF_ARCNS1 です。CNF_ARCNS1 ビットを 1 にすると、ARC_NSEC カウンタを使用することができません。いったん決定したカウンタ種別を変更することはできません。

表 49.6 カウンタインクリメント／リフレッシュ／読み出しの各コマンドにおける ARC_NSEC（64 ビット）の選択条件

FCNTSELR[2:0]	対象カウンタ	カウンタ構成
100	ARC_NSEC[63:0]	カウンタ数は 4 です。 カウンタサイズは 64 ビットです。
101	ARC_NSEC[127:64]	
110	ARC_NSEC[191:128]	
111	ARC_NSEC[255:192]	

表 49.7 カウンタインクリメント／リフレッシュの各コマンドにおける ARC_NSEC（256 ビット）の選択条件

FCNTSELR[2:0]	対象カウンタ	カウンタ構成
100	ARC_NSEC[255:0]	カウンタ数は 1 です。 カウンタサイズは 256 ビットです。
101		
110		
111		

表 49.8 カウンタ読み出しコマンドにおける ARC_NSEC（256 ビット）の選択条件

FCNTSELR[2:0]	対象カウンタ	カウンタ構成
100	ARC_NSEC[63:0]	カウンタ数は 1 です。 カウンタサイズは 256 ビットです。
101	ARC_NSEC[127:64]	
110	ARC_NSEC[191:128]	
111	ARC_NSEC[255:192]	

49.4.16 FCNTDATARn : フラッシュカウンタデータレジスタ n (n = 0, 1)

Base address: FACI = 0x4011_E000

Offset address: 0x04C + 0x004 × n (n = 0 ,1)



ビット	シンボル	機能	R/W
31:0	CNTRDAT	カウンタ読み出しデータ 読み出しデータの 32 ビット分（カウンタ値の LSB 側）が FCNTDATAR0 に出力されます。 読み出しデータの 32 ビット分（カウンタ値の MSB 側）が FCNTDATAR1 に出力されます。 .	R

注. S-TYPE-6, P-TYPE-2

FCNTDATAR0 と FCNTDATAR1 を合わせると、カウンタ読み出しコマンドで読み出したアンチロールバックカウンタ値（64 ビット）となります。

CNTRDAT ビット（カウンタ読み出しデータ）

[1 になる条件]

- FACI がカウンタ読み出しコマンドを受け付けたとき

[0 になる条件]

- FACI がカウンタ読み出しコマンド以外のフラッシュシーケンサコマンドを受け付けたとき
- フラッシュシーケンサが「コマンドロック」状態となるとき

49.4.17 FBPROT0 : フラッシュブロック保護レジスタ

Base address: FACI = 0x4011_E000
FACI_NS = 0x5011_E000

Offset address: 0x78

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	BPCN0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BPCN0	非セキュア用ブロック保護解除 0: ブロック保護有効 1: ブロック保護無効	R/W(注1)(注2)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード	W(注3)

注. S-TYPE-3、P-TYPE-2
注. 関連する SA : FSAR レジスタ。「49.4.4. FSAR : フラッシュセキュリティ属性レジスタ」を参照してください。
注 1. 本ビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 の場合に本ビットに書き込んでも無視されます。
注 2. 本ビットへの書き込みは、16 ビットが書き込まれ、KEY[7:0]ビットに書き込まれた値が 0x78 の場合のみ可能です。
注 3. 書き込まれた値はビットにより保持されません（常に 0x00 が読み出されます）。

FBPROT0 レジスタは、非セキュア開発者用のブロック保護機能を無効にするのに使用されます。ブロック保護設定が永久ブロック設定によりロックされている場合は、本レジスタでは無効にできません。

FBPROT0 レジスタ値は、FSUINITR レジスタの SUINIT ビットが 1 になると初期化されます。なぜなら、その場合、FENTRYR レジスタ値が 0x0000 に初期化されるからです。リセットによっても初期化されます。

BPCN0 ビット（非セキュア用ブロック保護解除）

BPCN1 ビットは、非セキュア関数用のブロック保護設定を無効にします。BPCN0

[1 になる条件]

- 書き込み許可条件が満たされており FENTRYR レジスタ値が 0x0000 ではない場合に、本ビットに 1 を書いたとき

[0 になる条件]

- FRDY ビットが 1 のとき FBPROT0 レジスタに 8 ビットを書いたとき
- FRDY ビットが 1 のとき、KEY ビットで指定された 0x78 以外の値と 16 ビットを FBPROT0 レジスタに書いたとき
- FBPROT0 レジスタへの書き込みが許可されている場合に、BPCN0 ビットに 0 を書いたとき
- FENTRYR レジスタ値が 0x0000 のとき

49.4.18 FBPROT1 : セキュア用フラッシュブロック保護レジスタ

Base address: FACI = 0x4011_E000

Offset address: 0x7C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	BPCN1
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BPCN1	セキュア用ブロック保護解除 0: ブロック保護有効 1: ブロック保護無効	R/W(注1)(注2)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード	W(注3)

注. S-TYPE-6, P-TYPE-2
注. 関連する SA : FSAR レジスタ。「49.4.4. FSAR : フラッシュセキュリティ属性レジスタ」を参照してください。
注 1. 本ビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 のとき本ビットに書き込んでも無視されます。
注 2. 本ビットへの書き込みは、16 ビットが書き込まれ、KEY[7:0]ビットに書き込まれた値が 0xB1 の場合のみ可能です。
注 3. 書き込まれた値はビットにより保持されません（常に 0x00 が読み出されます）。

FBPROT1 レジスタは、セキュア開発者用のブロック保護機能を無効にするのに使用されます。ブロック保護設定が永久ブロック設定によりロックされている場合は、本レジスタでは無効にできません。

FBPROT1 レジスタ値は、FSUINITR レジスタの SUINIT ビットが 1 になると初期化されます。なぜなら、その場合、FENTRYR レジスタ値が 0x0000 に初期化されるからです。リセットによっても初期化されます。

BPCN1 ビット（セキュア用ブロック保護解除）

セキュア関数用のブロック保護設定を無効にするビットです。BPCN1

[1 になる条件]

- 書き込み許可条件が満たされており FENTRYR レジスタ値が 0x0000 ではない場合に、BPCN1 ビットに 1 を書いたとき

[0 になる条件]

- FRDY ビットが 1 のとき FBPROT1 レジスタに 8 ビットを書いたとき
- FRDY ビットが 1 のとき、KEY ビットで指定された 0xB1 以外の値と 16 ビットを FBPROT1 レジスタに書いたとき
- FBPROT1 レジスタへの書き込みが許可されている場合に、BPCN1 ビットに 0 を書いたとき
- FENTRYR レジスタ値が 0x0000 のとき

49.4.19 FSTATR : フラッシュステータスレジスタ

Base address: FACI = 0x4011_E000
FACI_NS = 0x5011_E000

Offset address: 0x80

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	ILGCOMERR	FESETERR	SECERR	OTERR	TZFERR	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FRDY	ILGLERR	ERSERR	PRGERR	SUSRDY	DBFULL	ERSSPD	PRGSPD	—	FLWEERR	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。	R
6	FLWEERR	フラッシュライト／イレース保護エラーフラグ 0: エラーの発生なし 1: エラーの発生あり	R
7	—	読むと 0 が読めます。	R
8	PRGSPD	書き込みサスペンドステータスフラグ 0: フラッシュシーケンサは書き込みサスペンド処理中の状態または書き込みサスペンド状態ではない 1: フラッシュシーケンサは書き込みサスペンド処理中状態または書き込みサスペンド状態である	R
9	ERSSPD	消去サスペンドステータスフラグ 0: フラッシュシーケンサは消去サスペンド処理中の状態または消去サスペンド状態ではない 1: フラッシュシーケンサは消去サスペンド処理中状態または消去サスペンド状態である	R
10	DBFULL	データバッファフルフラグ 0: データバッファエンプティ 1: データバッファフル	R
11	SUSRDY	サスペンドレディフラグ 0: フラッシュシーケンサは P/E サスペンドコマンド受信不可 1: フラッシュシーケンサは P/E サスペンドコマンド受信可	R
12	PRGERR	書き換えエラーフラグ 0: 書き換えが正常終了 1: 書き換え中にエラー発生	R
13	ERSERR	消去エラーフラグ 0: 消去が正常終了 1: 消去中にエラー発生	R
14	ILGLERR	不正コマンドエラーフラグ 0: フラッシュシーケンサは不正 FACI コマンドまたは不正フラッシュメモリアクセスを未検出 1: フラッシュシーケンサは不正 FACI コマンドまたは不正フラッシュメモリアクセスを検出	R
15	FRDY	フラッシュレディフラグ 0: 次のコマンドのいずれかの処理が進行中です。 プログラム、ブロックイレース、マルチブロックイレース、P/E サスペンド、P/E レジューム、強制停止、ブランクチェック、コンフィグレーション設定、カウンタインクリメント、カウンタリフレッシュ、カウンタ読み出し 1: 上記のいずれの処理も進行中ではない	R
18:16	—	読むと 0 が読めます。	R

ビット	シンボル	機能	R/W
19	TZFERR	TrustZone フィルタエラー 0: TrustZone フィルタエラーは未検出 1: TrustZone フィルタエラーが検出された	R
20	OTERR	その他のエラー 0: エラーは未検出 1: エラーが検出された	R
21	SECERR	セキュリティエラー 0: MSUASMON.FSPR ビットの書き込み保護のエラーは未検出 1: MSUASMON.FSPR ビットの書き込み保護のエラーが検出された	R
22	FESETERR	FENTRY 設定エラー 0: FENTRYR レジスタの設定エラーは未検出 1: FENTRYR レジスタの設定エラーが検出された	R
23	ILGCOMERR	不正コマンドエラー 0: 不正な FACI コマンドエラーは未検出 1: 不正な FACI コマンドエラーが検出された	R
31:24	—	読むと 0 が読めます。	R

注. S-TYPE-3, P-TYPE-2
注. 関連する SA：FSAR レジスタ。「49.4.4. FSAR：フラッシュセキュリティ属性レジスタ」を参照してください。

FSTATR レジスタは、フラッシュシーケンサのステータスを表示するレジスタです。

FLWEERR フラグ（フラッシュライト／イレース保護エラーフラグ）

FLWEERR フラグは、FWEPROR レジスタのフラッシュメモリ上書き保護設定に対する違反を表示します。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- エラーが発生したとき

[0 になる条件]

- フラッシュシーケンサが強制停止コマンドの処理を開始したとき

PRGSPD フラグ（書き込みサスペンドステータスフラグ）

PRGSPD フラグは、フラッシュシーケンサが書き込みサスペンド処理中状態または書き込みサスペンド状態であることを示します。

[1 になる条件]

- フラッシュシーケンサが書き込みサスペンドコマンドの処理を開始したとき

[0 になる条件]

- （FACI コマンド発行領域への書き込み完了後）フラッシュシーケンサが P/E レジュームコマンドを受信したとき
- フラッシュシーケンサが強制停止コマンドの処理を開始したとき

ERSSPD フラグ（消去サスペンドステータスフラグ）

ERSSPD フラグは、フラッシュシーケンサが消去サスペンド処理中状態または消去サスペンド状態であることを示します。

[1 になる条件]

- フラッシュシーケンサが消去サスペンドコマンドの処理を開始したとき

[0 になる条件]

- （FACI コマンド発行領域への書き込み完了後）フラッシュシーケンサが P/E レジュームコマンドを受信したとき
- フラッシュシーケンサが強制停止コマンドの処理を開始したとき

DBFULL フラグ（データバッファフルフラグ）

DBFULL フラグは、プログラムコマンド発行後のデータバッファの状態を示します。フラッシュシーケンサは、書き込みデータのバッファ（データバッファ）を内蔵しています。データバッファがフルのときフラッシュメモリへの書き込みデータが FACI コマンド発行領域に書かれると、フラッシュシーケンサは周辺バスにウェイトを 1 サイクル挿入します。

[1 になる条件]

- プログラムコマンド発行時データバッファがフルになったとき

[0 になる条件]

- データバッファがエンプティになったとき

SUSRDY フラグ（サスペンドレディフラグ）

SUSRDY フラグは、フラッシュシーケンサが P/E サスペンドコマンドを受信可能かどうかを示します。

[1 になる条件]

- プログラム／イレース処理開始後フラッシュシーケンサが P/E サスペンドコマンド受信可能状態になったとき

[0 になる条件]

- （FACI コマンド発行領域への書き込み完了後）フラッシュシーケンサが P/E サスペンドコマンドまたは強制停止コマンドを受信したとき
- 書き込みまたは消去中にフラッシュシーケンサがコマンドロック状態になったとき
- 書き込みまたは消去が完了したとき

PRGERR フラグ（書き換えエラーフラグ）

PRGERR フラグは、フラッシュメモリの書き込みの結果を示します。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- 書き込み中にエラーが発生したとき

[0 になる条件]

- フラッシュシーケンサがステータスクリアコマンドまたは強制停止コマンドの処理を開始したとき

ERSERR フラグ（消去エラーフラグ）

ERSERR フラグは、フラッシュメモリの消去の結果を示します。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- 消去中にエラーが発生したとき

[0 になる条件]

- フラッシュシーケンサがステータスクリアコマンドまたは強制停止コマンドの処理を開始したとき

ILGLERR フラグ（不正コマンドエラーフラグ）

ILGLERR フラグは、フラッシュシーケンサが不正 FACI コマンドまたは不正フラッシュメモリアクセスを検出したことを示します。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- 「49.11.2. エラープロテクション」を参照してください。

[0 になる条件]

- フラッシュシーケンサがステータスクリアコマンドまたは強制停止コマンドの処理を開始したとき

FRDY フラグ（フラッシュレディフラグ）

FRDY フラグは、フラッシュシーケンサのコマンド処理状態を示します。

[1 になる条件]

- フラッシュシーケンサがコマンド処理を完了したとき
- フラッシュシーケンサが P/E サスペンドコマンドを受信し、フラッシュメモリの処理を中断したとき
- フラッシュシーケンサが強制停止コマンドを受信し、コマンド処理を終了したとき

注. プログラムコマンド処理の場合、フラッシュシーケンサーがコマンド処理を完了していない状態であっても FRDY フラグが 1 になることがあります。詳細は、「49.9.3.7. プログラムコマンド」を参照してください。

[0 になる条件]

- フラッシュシーケンサが FACI コマンドを受信したとき
- プログラムおよびコンフィグレーション設定コマンドの場合、FACI コマンド発行領域への最初の書き込みのとき
- その他のコマンドの場合、FACI コマンド発行領域への最後の書き込みのとき

TZFERR フラグ（TrustZone フィルタエラー）

TZFERR フラグは、FACI コマンドの TrustZone 保護エラーが発生したことを示します。
表 49.30 を参照してください。このビットが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- エラーが検出されたとき

[0 になる条件]

- ステータスクリアコマンドまたは強制停止コマンドの処理が完了したとき

OTERR フラグ（その他のエラー）

OTERR フラグは、コマンド受け付け条件が整っていない状態で FACI コマンドが発行されたことを示します。
表 49.30 を参照してください。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- エラーが発生したとき

[0 になる条件]

- ステータスクリアまたは強制停止コマンド処理が完了したとき

SECERR フラグ（セキュリティエラー）

SECERR フラグは、MSUASMON.FSPR ビットによる書き込み保護が侵害されたことを示します。
表 49.30 を参照してください。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- エラーが発生したとき

[0 になる条件]

- ステータスクリアまたは強制停止コマンド処理が完了したとき

FESETERR フラグ（FENTRY 設定エラー）

FESETERR フラグは、FENTRYR レジスタに値 0xAA81 が書き込まれたことを示します。あるいは、プログラム／イレースの処理が中断した時と再開した時の FENTRYR レジスタの値が異なることを示します。
表 49.30 を参照してください。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- エラーが発生したとき

[0 になる条件]

- ステータスクリアまたは強制停止コマンド処理が完了したとき

ILGCOMERR フラグ（不正コマンドエラー）

ILGCOMERR フラグは、フラッシュシーケンサが不正な FACI コマンドを検出したことを示します。表 49.30 を参照してください。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- エラーが発生したとき

[0 になる条件]

- ステータスクリアまたは強制停止コマンド処理が完了したとき

49.4.20 FENTRYR : フラッシュ P/E モードエントリレジスタ

Base address: FACI = 0x4011_E000
FACI_NS = 0x5011_E000

Offset address: 0x84

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								FENTRYD	—	—	—	—	—	—	FENTRYC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FENTRYC	コードフラッシュ P/E モードエントリ 0: コードフラッシュは読み出しモード 1: コードフラッシュは P/E モード	R/W(注1)(注2)
6:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	FENTRYD	データフラッシュ P/E モードエントリ 0: データフラッシュは読み出しモード 1: データフラッシュは P/E モード	R/W(注1)(注2)
15:8	KEY[7:0]	キーコード	W(注3)

注. S-TYPE-3、P-TYPE-2
注. 関連する SA : FSAR レジスタ。「49.4.4. FSAR : フラッシュセキュリティ属性レジスタ」を参照してください。
注 1. これらのビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 の場合にこれらのビットに書き込んでも無視されます。
注 2. これらのビットへの書き込みは、16 ビットが書き込まれ、KEY[7:0]ビットに書き込まれた値が 0xAA の場合のみ可能です。
注 3. 書き込まれた値はビットにより保持されません（常に 0x00 が読み出されます）。

FENTRYR レジスタは、コードフラッシュ P/E モードまたはデータフラッシュ P/E モードを指定するのに使用されます。コードフラッシュ P/E モードまたはデータフラッシュ P/E モードを指定しフラッシュシーケンサが FACI コマンドを受信できるようにするには、FENTRYD ビットまたは FENTRYC ビットを 1 にし、フラッシュシーケンサを P/E モードにします。

FENTRYR レジスタは、FSUINITR.SUINIT ビットが 1 になると初期化されます。リセットによっても初期化されます。

注. 本レジスタに値 0xAA81 を書き込むと、FSTATR レジスタの ILGLERR ビットが 1 になり、その結果、フラッシュシーケンサがコマンドロック状態になります。

FENTRYC ビット（コードフラッシュ P/E モードエントリ）

FENTRYC ビットは、コードフラッシュメモリに対して P/E モードを指定します。

[1 になる条件]

- FENTRYR レジスタへの書き込みが許可され、かつ FENTRYR レジスタが 0x0000 の場合に、FENTRYC ビットに 1 を書いたとき

[0 になる条件]

- FRDY ビットが 1 の場合に、FENTRYR レジスタに 8 ビットを書いたとき
- KEY[7:0]ビットに 0xAA 以外の値が指定され、かつ FRDY ビットが 1 の場合に、FENTRYR レジスタに 16 ビットの書き込みをしたとき
- FENTRYR レジスタへの書き込みが許可されている場合に、FENTRYC ビットに 0 を書いたとき
- 書き込みが許可されており、かつ値が 0x0000 以外の場合に、FENTRYR レジスタに書いたとき
- FMEPROT レジスタの保護が有効であるとき

FENTRYD ビット（データフラッシュ P/E モードエントリ）

FENTRYD ビットは、データフラッシュメモリに対して P/E モードを指定します。

[1 になる条件]

- FENTRYR レジスタへの書き込みが許可され、かつ FENTRYR が 0x0000 の場合に、FENTRYD ビットに 1 を書いたとき

[0 になる条件]

- FRDY ビットが 1 の場合に、FENTRYR レジスタに 8 ビットを書いたとき
- KEY[7:0]ビットに 0xAA 以外の値が指定され、かつ FRDY ビットが 1 の場合に、FENTRYR レジスタに 16 ビットの書き込みをしたとき
- FENTRYR レジスタへの書き込みが許可されている場合に、FENTRYD ビットに 0 を書いたとき
- 書き込みが許可されており、かつ値が 0x0000 以外の場合に、FENTRYR レジスタに書いたとき

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、FENTRYD ビットまたは FENTRYC ビットへの書き込み許可を制御します。

49.4.21 FSUINITR : フラッシュシーケンサセットアップ初期化レジスタ

Base address: FACI = 0x4011_E000
FACI_NS = 0x5011_E000

Offset address: 0x8C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	SUINIT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SUINIT	セットアップ初期化 0: FSADDR、FEADDR、FBPROT0、FBPROT1、FENTRYR、FBCCNT、FCPSR、FCNTSELR の各フラッシュシーケンサセットアップレジスタは、現在の値を維持 1: FSADDR、FEADDR、FBPROT0、FBRPOT1、FENTRYR、FBCCNT、FCPSR、FCNTSELR の各フラッシュシーケンサセットアップレジスタは、初期化される	R/W(注1)(注2)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード	W(注3)

注. S-TYPE-3、P-TYPE-2
注. 関連する SA : FSAR レジスタ。「49.4.4. FSAR : フラッシュセキュリティ属性レジスタ」を参照してください。
注 1. 本ビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 の場合に本ビットに書き込んでも無視されます。
注 2. これらのビットへの書き込みは、16 ビットが書き込まれ、KEY[7:0]ビットに書き込まれた値が 0x2D の場合のみ可能です。
注 3. 書き込まれた値はビットにより保持されません（常に 0x00 が読み出されます）。

FSUINITR レジスタは、フラッシュシーケンサセットアップの初期化に使用されます。

SUINIT ビット（セットアップ初期化）

SUINIT ビットは、以下のフラッシュシーケンサセットアップレジスタを初期化します。

- FSADDR
- FEADDR
- FBPROT0
- FBPROT1
- FENTRYR
- FBCCNT
- FCPSR
- FCNTSELR

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、SUINIT ビットへの書き込み許可を制御します。

49.4.22 FCMDR : FACI コマンドレジスタ

Base address: FACI = 0x4011_E000
FACI_NS = 0x5011_E000

Offset address: 0xA0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMDR[7:0]								PCMDR[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	PCMDR[7:0]	プリコマンドフラグ 最後のコマンドの直前のコマンドが格納されます。	R
15:8	CMDR[7:0]	コマンドフラグ 最後のコマンドが格納されます。	R

注. S-TYPE-3、P-TYPE-2
注. 関連する SA：FSAR レジスタ。「49.4.4. FSAR : フラッシュセキュリティ属性レジスタ」を参照してください。

FCMDR レジスタは、フラッシュシーケンサが受け取った一番最近の 2 つのコマンドを記録します。

PCMDR[7:0]ビット（プリコマンドフラグ）

PCMDR[7:0]ビットは、フラッシュシーケンサが一番最近受け取ったコマンドの直前に受け取ったコマンドを示します。

CMDR[7:0]ビット（コマンドフラグ）

CMDR[7:0]ビットは、フラッシュシーケンサが一番最近受け取ったコマンドを示します。

表 49.9 コマンド受信後の FCMDR レジスタの状態 (1/2)

コマンド	CMDR	PCMDR
プログラム	0xE8	前回コマンド
ブロックイレース	0xD0	0x20
マルチブロックイレース	0xD0	0x21
P/E サスペンド	0xB0	前回コマンド
P/E レジューム	0xD0	前回コマンド
ステータスクリア	0x50	前回コマンド
強制停止	0xB3	前回コマンド

表 49.9　コマンド受信後の FCMDR レジスタの状態 (2/2)

コマンド	CMDR	PCMDR
ブランクチェック	0xD0	0x71
コンフィグレーション設定	0x40	前回コマンド
カウンタインクリメント	0xD0	0x35
カウンタリフレッシュ	0xD0	0x37
カウンタ読み出し	0xD0	0x39

49.4.23　FBCCNT : ブランクチェックコントロールレジスタ

Base address: FACI = 0x4011_E000
FACI_NS = 0x5011_E000

Offset address: 0xD0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	BCDIR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BCDIR	ブランクチェックの方向 0: ブランクチェックは下位アドレスから上位アドレス（インクリメンタルモード）方向に行う 1: ブランクチェックは上位アドレスから下位アドレス（デクリメンタルモード）方向に行う	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　S-TYPE-3、P-TYPE-2
注.　関連する SA : FSAR レジスタ。「49.4.4. FSAR : フラッシュセキュリティ属性レジスタ」を参照してください。

FBCCNT レジスタは、ブランクチェックコマンド処理におけるアドレッシングモードを指定します。FBCCNT レジスタは、FSUINITR.SUINIT ビットが 1 になると初期化されます。リセットによっても初期化されます。

BCDIR ビット（ブランクチェックの方向）

BCDIR ビットは、ブランクチェックのアドレッシングモードを指定します。

49.4.24　FBCSTAT : ブランクチェックステータスレジスタ

Base address: FACI = 0x4011_E000
FACI_NS = 0x5011_E000

Offset address: 0xD4

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	BCST
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BCST	ブランクチェックステータスフラグ 0: 対象領域は未プログラム状態（すなわち、領域はイレース後にプログラミングしていない） 1: 対象領域は 0 と 1 でプログラミング済	R
7:1	—	読むと 0 が読めます。	R

注.　S-TYPE-3、P-TYPE-2
注.　関連する SA : FSAR レジスタ。「49.4.4. FSAR : フラッシュセキュリティ属性レジスタ」を参照してください。

FBCSTAT レジスタは、ブランクチェックコマンドによるチェックの結果を格納します。

BCST フラグ（ブランクチェックステータスフラグ）

BCST フラグは、ブランクチェックコマンドによるチェックの結果を示します。

49.4.25 FPSADDR : データフラッシュ書き込み開始アドレスレジスタ

Base address: FACI = 0x4011_E000
FACI_NS = 0x5011_E000

Offset address: 0xD8

Bit position:	31															16															0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PSADR[16:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
16:0	PSADR[16:0]	書き込み領域開始アドレス 最初に書き込まれる領域のアドレス	R
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. S-TYPE-3、P-TYPE-2
注. 関連する SA : FSAR レジスタ。「49.4.4. FSAR : フラッシュセキュリティ属性レジスタ」を参照してください。

FPSADDR レジスタは、ブランクチェックコマンドの処理で見つかった最初の書き込み領域のアドレスを示します。

PSADR[16:0]ビット（書き込み領域開始アドレス）

PSADR[16:0]ビットは、ブランクチェックコマンドの処理で見つかった最初の書き込み領域のアドレスを示します。アドレスは、データフラッシュメモリの開始アドレスからのオフセットです。これらのビットは、FBCSTAT レジスタの BCST ビットが 1 で、FSTATR レジスタの FRDY ビットが 1 の場合のみ有効です。FBCSTAT レジスタの BCST ビットが 0 の場合は、PSADR[16:0]ビットは、前のチェックで見つかったアドレスを保持します。

49.4.26 FSUASMON : フラッシュスタートアップ領域選択モニタレジスタ

Base address: FACI = 0x4011_E000
FACI_NS = 0x5011_E000

Offset address: 0xDC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	BTFLG	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0/1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FSPR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0/1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
14:0	—	読むと 0 が読めます。書く場合、0 としてください。	R
15	FSPR	ブートフラグおよびスタートアップ領域制御設定用保護書き込みフラグ 0: 保護状態 1: 非保護状態	R
30:16	—	読むと 0 が読めます。書く場合、0 としてください。	R
31	BTFLG	ブートスワップ用のスタートアップ領域選択フラグ 0: スタートアップ領域は代替ブロック（ブロック 1） 1: スタートアップ領域はデフォルトブロック（ブロック 0）	R

注. S-TYPE-3、P-TYPE-2
注. 関連する SA : FSAR レジスタ。「49.4.4. FSAR : フラッシュセキュリティ属性レジスタ」を参照してください。

FSPR ビット（ブートフラグおよびスタートアップ領域制御設定用保護書き込みフラグ）

FSPR ビットは、BTFLG ビットおよび FSUACR レジスタについてコンフィグレーション設定コマンドからの保護状態を示します。

リセットまたはコンフィグレーション設定コマンドに応じて、FACI はデータをフラッシュメモリから本レジスタに転送します。

BTFLG ビット（ブートスワップ用のスタートアップ領域選択フラグ）

BTFLG ビットは、スタートアップ領域のアドレスがブートスワップ機能用に入れ替えられているか否かを示します。

リセットまたはコンフィグレーション設定コマンドに応じて、FACI はデータをフラッシュメモリから本レジスタに転送します。

49.4.27 FCPSR : フラッシュシーケンサ処理切り替えレジスタ

Base address: FACI = 0x4011_E000
FACI_NS = 0x5011_E000

Offset address: 0xE0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ESUSPMD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ESUSPMD	消去サスペンドモード 0: サスペンド優先モード 1: 消去優先モード	R/W
15:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-2
注. 関連する SA : FSAR レジスタ。「49.4.4. FSAR : フラッシュセキュリティ属性レジスタ」を参照してください。

FCPSR レジスタは、消去サスペンドモードを選択します。FCPSR は、FSUINITR.SUINIT ビットが 1 になると初期化されます。リセットによっても初期化されます。

ESUSPMD ビット（消去サスペンドモード）

ESUSPMD ビットは、フラッシュシーケンサがイレース処理を実行時 P/E サスペンドコマンドが発行された場合、消去サスペンドモードを選択します（「49.9.3.10. P/E サスペンドコマンド」参照）。ブロックイレースコマンドまたはマルチブロックイレースコマンド発行前に本ビットを設定してください。

49.4.28 FPCKAR : フラッシュシーケンサ処理クロック通知レジスタ

Base address: FACI = 0x4011_E000
FACI_NS = 0x5011_E000

Offset address: 0xE4

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								PCKA[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0

ビット	シンボル	機能	R/W
7:0	PCKA[7:0]	フラッシュシーケンサ動作クロック通知 これらのビットは、FACI コマンド処理中のフラッシュシーケンサの動作周波数を設定するのに使用されます。	R/W(注1)(注2)
15:8	KEY[7:0]	キーコード	W(注3)

注. S-TYPE-3、P-TYPE-2

注. 関連する SA：FSAR レジスタ。「49.4.4. FSAR：フラッシュセキュリティ属性レジスタ」を参照してください。
注 1. 本ビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 の場合に本ビットに書き込んでも無視されます。
注 2. これらのビットへの書き込みは、16 ビットが書き込まれ、KEY[7:0]ビットに書き込まれた値が 0x1E の場合のみ可能です。
注 3. 書き込まれた値はビットにより保持されません（常に 0x00 が読み出されます）。

FPCKAR レジスタは、FACI コマンド処理中のフラッシュシーケンサの動作周波数を指定します。該当製品の最大動作周波数が初期値として設定されています。

PCKA[7:0]ビット（フラッシュシーケンサ動作クロック通知）

PCKA[7:0]ビットは、FACI コマンド処理中のフラッシュシーケンサの動作周波数を指定します。FACI コマンド発行前にこれらのビットに任意の周波数を設定してください。MHz 単位の周波数を 2 進数に変換後これらのビットに設定します。

例：

周波数が 35.9 MHz (PCKA = 0x24) の場合です。

35.9 MHz の小数第 1 位を自然数 (= 36) に丸め、2 進数に変換します。

これらのビットに設定された値がフラッシュシーケンサの実際の動作周波数より小さい場合、フラッシュメモリのプログラミング／イレース特性は保証されません。これらのビットに設定された値がフラッシュシーケンサの実際の動作周波数より大きい場合、フラッシュメモリのプログラミング／イレース特性は保証されますが、プログラミング／イレースにかかる時間のような FACI コマンド処理時間は増加します。フラッシュシーケンサの動作周波数が PCKA 値と同じとき FACI コマンド処理時間が最小となります。

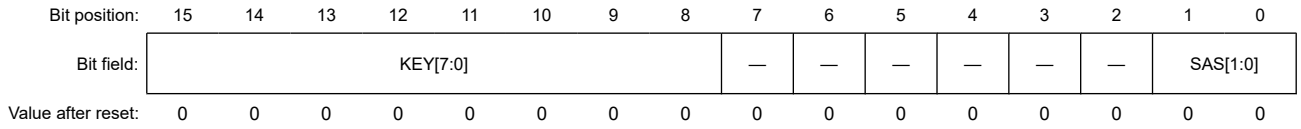
KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PCKA ビットへの書き込み許可を制御します。

49.4.29 FSUACR：フラッシュスタートアップ領域コントロールレジスタ

Base address: FACI = 0x4011_E000

Offset address: 0xE8



ビット	シンボル	機能	R/W
1:0	SAS[1:0]	スタートアップ領域選択 0 0: スタートアップ領域は BTFLG ビットにより選択 0 1: スタートアップ領域は BTFLG ビットにより選択 1 0: スタートアップ領域はデフォルト領域（ブロック 0）に一時的に切り替え 1 1: スタートアップ領域は代替領域（ブロック 1）に一時的に切り替え	R/W(注1) (注3)
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード	W(注2)

注. S-TYPE-6, P-TYPE-2
注 1. これらのビットの書き込み条件を下記に示します（これらの条件は同時に満たす必要があります）。
1. 本レジスタへのアクセスサイズが 16 ビットである
2. KEY[7:0]ビットの値が 0x66 である
3. FSPR ビットが 1 である
注 2. 書き込まれた値はビットにより保持されません（常に 0x00 が読み出されます）。
注 3. 本レジスタに書き込みできるのはセキュアアクセスのみです。セキュアおよび非セキュアの読み出しアクセスの両方が許可されます。非セキュアライトアクセスは拒否されますが、TrustZone アクセスエラーは発生しません。

FSUACR レジスタは、ブートスワップ機能のスタートアップ領域を設定します。デュアルモード（DUALSEL.BANKMD[2:0]ビットが 000b）では本レジスタを使用しないでください。デュアルモードでは起動はスタートアップ領域 0 から開始します。

SAS[1:0]ビット（スタートアップ領域選択）

SAS[1:0]ビットは、スタートアップ領域を選択します。スタートアップ領域変更方法は 3 つあります。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、SAS[1:0]ビットへの書き込み許可を制御します。

49.4.30 FCKMHZ : データフラッシュアクセス周波数レジスタ

Base address: FLAD = 0x4011_C000
FLAD_NS = 0x5011_C000

Offset address: 0x40



ビット	シンボル	機能	R/W
7:0	FCKMHZ[7:0]	データフラッシュアクセス周波数レジスタ これらのビットは、データフラッシュメモリの読み出し速度を最適化します。	R/W

注. S-TYPE-3、P-TYPE-2
注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

本レジスタは、データフラッシュメモリの読み出し速度を最適化します。

データフラッシュメモリにアクセスするためのクロックである内部周辺バスの周辺モジュールクロック (FCLK) の周波数を MHz で設定してください。たとえば、35.9 MHz は丸めて、周波数を 36 に設定してください。データフラッシュメモリアクセスに必要なサイクル数は、この周波数に応じて挿入されます。FCLK の周波数を変更する場合、変更前後で動作周波数が下がるがどうかに応じて次の方法のいずれかを使ってデータフラッシュアクセス周波数レジスタ (FCKMHZ) の値を下記の手順に従い変更します。

- 速度を低速から高速に変える場合 : FCKMHZ レジスタを書き換えます。FCKMHZ レジスタを読み出して変更を確認後、周波数を変更します。
- 速度を高速から低速に変える場合:周波数を変更します。周波数が変わったら FCKMHZ レジスタを書き換えます。

49.5 フラッシュキャッシュ

49.5.1 フラッシュキャッシュの特長

FCACHE（フラッシュキャッシュ）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPU オペランドアクセスと DMAC/DTC からのアクセスで使用する FCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 49.10 フラッシュキャッシュ 1 (FCACHE1) の概要

キャッシュ対象領域	セキュアエイリアス：0x0200_0000～0x020F_FFFF 非セキュアエイリアス：0x1200_0000～0x120F_FFFF
対象バスマスタ	CPU 命令フェッチ
容量	256 バイト
アソシアティブ方式	8 ウェイセットアソシアティブ
	128 ビット／エントリ（128 ビット整列データ）、2 エントリ／ウェイ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

表 49.11　フラッシュキャッシュ 2 (FCACHE2) の概要

キャッシュ対象領域	セキュアエイリアス：0x0200_0000～0x020F_FFFF 非セキュアエイリアス：0x1200_0000～0x120F_FFFF
対象バスマスタ	CPU オペランドアクセスおよび DMAC/DTC からのアクセス
容量	16 バイト
アソシアティブ方式	フルアソシアティブ
	128 ビット／エントリ（128 ビット整列データ）、1 エントリ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

表 49.12　プリフェッチバッファ (FLPF) の概要

キャッシュ対象領域	セキュアエイリアス：0x0200_0000～0x020F_FFFF 非セキュアエイリアス：0x1200_0000～0x120F_FFFF
容量	32 バイト
アソシアティブ方式	フルアソシアティブ
	128 ビット／エントリ（128 ビット整列データ）、2 エントリ
要求アドレス	前の CPU 命令の次のアドレス
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

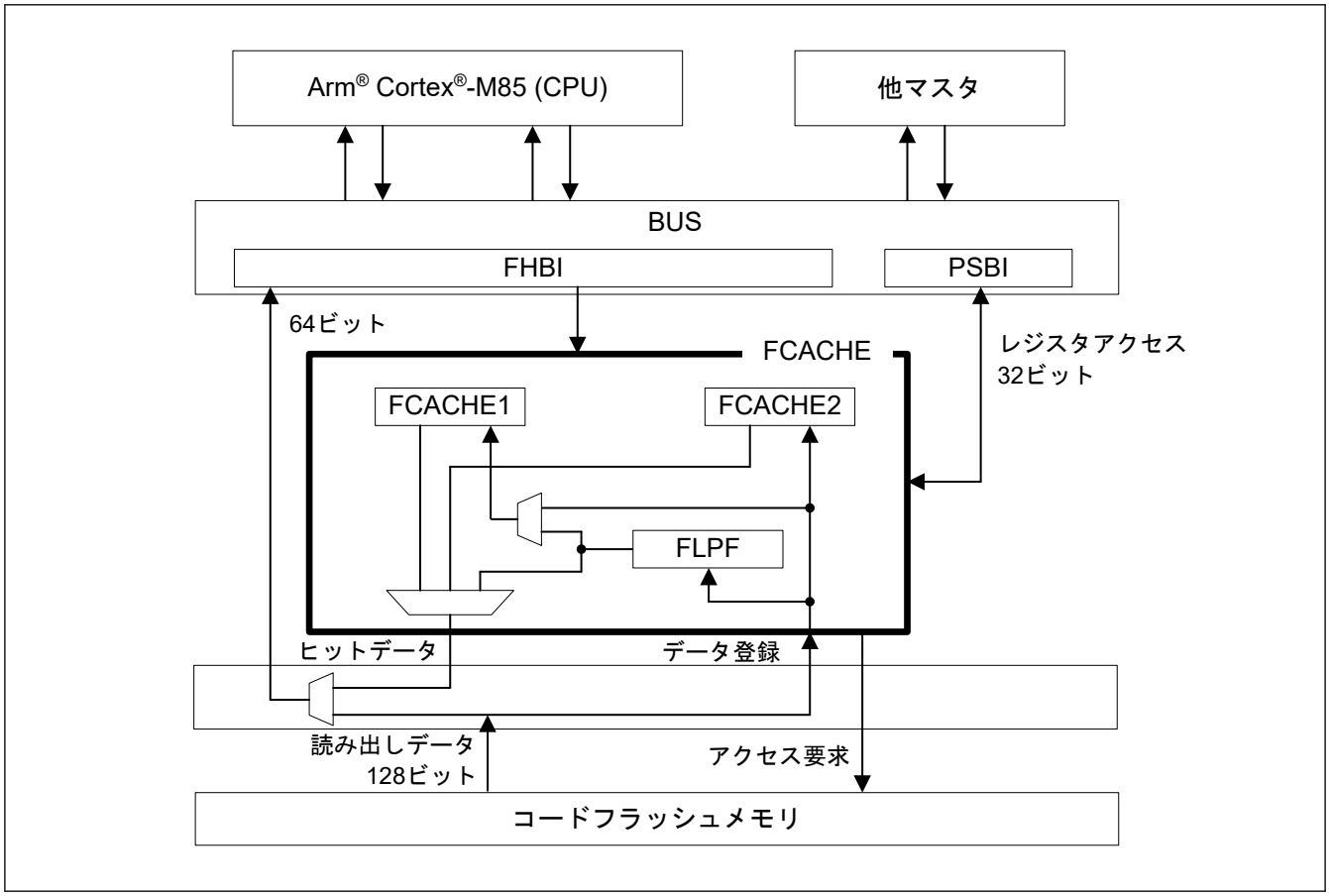


図 49.5　FCACHE のブロック図

49.6　フラッシュメモリ関連の動作モード

図 49.6 にフラッシュメモリに関するモード遷移図を示します。モード設定の方法については「6. オプション設定メモリ」を参照してください。

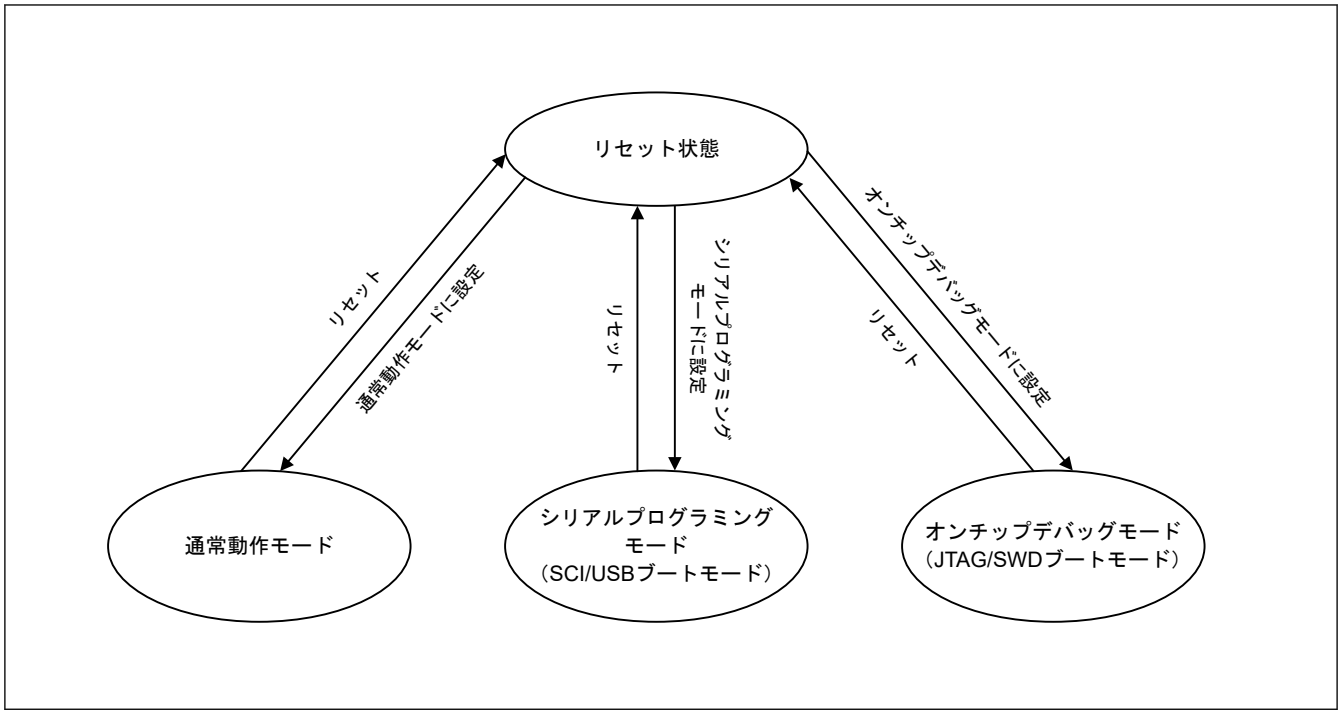


図 49.6　フラッシュメモリに関するモード遷移図

各モードでプログラム／イレースが可能なフラッシュメモリの領域、およびリセット後のブートプログラムは異なります。各モードの相違点を表 49.13 にまとめます。

表 49.13　各モードの相違点

項目	通常動作モード	シリアルプログラミングモード (SCI/USB ブートモード)	オンチップデバッグモード (JTAG/SWD ブートモード)
プログラム／イレースが可能な領域	• コードフラッシュメモリ • データフラッシュメモリ • オプション設定メモリ（書き込みのみ、）	• コードフラッシュメモリ • データフラッシュメモリ • オプション設定メモリ（書き込みのみ）	• コードフラッシュメモリ • データフラッシュメモリ • オプション設定メモリ（書き込みのみ、）
ブロック単位イレース	可能	可能	可能
リセット時のブートプログラム	ユーザー領域のプログラム	シリアルプログラミング用組み込みプログラム	デバッグコマンドに依存

49.7　機能概要

シリアルインタフェース経由（シリアルプログラミングモード）、または JTAG/SWD インタフェース経由（オンチップデバッグモード）で、専用フラッシュメモリプログラマを使用してフラッシュメモリを書き替えることにより、ターゲットシステムへの実装前／実装後にかかわらずデバイスの書き換えが可能です。

また、フラッシュメモリに書かれたユーザープログラムの書き換えまたは読み出しを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざんや不正リードの防止などに対応可能となっています。

ユーザープログラムによる書き換え（セルフプログラミング）は、ターゲットシステムの製造／出荷後のプログラム変更を想定したアプリケーションに適した書き換え方式です。フラッシュメモリを安全に書き換えるためのプロテクション機能もサポートしています。また、セルフプログラミング中の割り込み処理のサポートにより、外部との通信制御に関する割り込み処理を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。各プログラミング方式の概要と対応する動作モードを表 49.14 に示します。

表 49.14 プログラミング方式

プログラミング方式	機能概要	動作モード
シリアルプログラミング	SCI/USBFS インタフェース経由で接続されている専用フラッシュメモリプログラマを用いて、ターゲットシステムへの実装後もフラッシュメモリのオンボード書き換えが可能です。	シリアルプログラミングモード
	SCI/USBFS インタフェース経由で接続されている専用フラッシュメモリプログラマ、および専用プログラミングアダプタボードを用いて、たとえばデバイスのプログラミングなど、ターゲットシステム実装前にフラッシュメモリのオフボード書き換えが可能です。	
セルフプログラミング	シリアルプログラミング実行前にメモリに書き込まれたユーザープログラムによっても、フラッシュメモリの書き換えが可能です。データフラッシュメモリの書き換え時には、バックグラウンドオペレーション機能によりコードフラッシュメモリからの命令フェッチまたはデータの読み出しが可能です。そのため、コードフラッシュメモリ上のプログラムを実行してデータフラッシュメモリを書き換えることができます。 バックグラウンドオペレーションを利用できない場合は、セルフプログラミングによるコードフラッシュメモリの書き換え中には、コードフラッシュメモリからの命令フェッチおよびデータアクセスはできません。そのような場合、内蔵 SRAM または外部メモリへの書き換え用のプログラムをあらかじめ転送して実行する必要があります。	通常動作モード
JTAG/SWD プログラミング	JTAG/SWD を経由した専用フラッシュメモリプログラマまたはオンチップデバッガを用いて、ターゲットシステムへの実装後もフラッシュメモリのオンボード書き換えが可能です。 JTAG/SWD を経由した専用フラッシュメモリプログラマまたはオンチップデバッガ、および専用プログラミングアダプタボードを用いて、たとえばデバイスのプログラミングなど、ターゲットシステム実装前にフラッシュメモリをオフボードで書き換えることが可能です。	オンチップデバッグモード

フラッシュメモリの機能一覧を表 49.15 に示します。シリアルプログラミングにおける各機能は、シリアルプログラマのコマンドで実現されます。一方、セルフプログラミングにおける各機能は、FACI コマンドまたはユーザープログラムによるフラッシュメモリの読み出しで実現されます。

表 49.15 基本機能 (1/2)

機能	機能概要	サポートの有無	
		シリアルプログラミング	セルフプログラミング
ブランクチェック	指定したブロックがプログラムされていないことを確認します。イレース後にプログラムされていない状態のデータフラッシュメモリの読み出し結果は保証されません。イレース後にプログラムされていない状態を確認するには、ブランクチェックを使用してください。	なし	あり （データフラッシュプログラミングのみ）
ブロックイレース	指定したブロックのメモリ内容のイレースを行います。	あり	あり
プログラム	指定したアドレスのプログラムを行います。	あり	あり
CRC	フラッシュメモリの指定範囲の CRC を計算し、その結果をフラッシュプログラマに転送します。	あり	なし
読み出し	フラッシュメモリにプログラムしたデータの読み出しを行います。	あり	なし （ユーザープログラムにて読み出しは可能）
スタートアッププログラムプロテクション機能	スタートアッププログラムプロテクション機能を設定します。	あり	あり
オプション機能選択	オプション機能を選択し、本 MCU の初期設定を変更します。	あり	あり
デュアルバンク機能	モード間を切り替えます（リニアかデュアル）。	あり	あり
ブロックスワップ機能	ブロックスワップ機能の設定	あり	あり
ブロック保護	ブロック保護の設定	あり	あり
デバイスライフサイクル遷移	デバイスライフサイクルを遷移させます。	あり	なし
メモリセキュリティ属性	メモリセキュリティ属性の設定	あり	なし

表 49.15 基本機能 (2/2)

機能	機能概要	サポートの有無	
		シリアルプログラミング	セルフプログラミング
キー	キーインジェクションを行う。	あり	あり（デバイスライフサイクル遷移に関係するキーを除く）
全消去	フラッシュメモリのデータを消去して出荷前の状態に戻す。	あり	なし

フラッシュメモリは、各種のセキュリティ機能をサポートしています。

フラッシュメモリでサポートされるセキュリティ機能を表 49.16 に示します。

表 49.16 セキュリティ機能一覧

機能	内容
スタートアップ領域選択のセキュリティフラグ	スタートアップ領域選択は、セキュリティフラグ (FSPR) の設定で保護できます。
永久ブロック保護	コードフラッシュメモリの各ブロックはプログラム／イレースから永久に保護できます。
TrustZone 保護	プログラム／イレース領域、読み出し可能領域、レジスタアクセス、および FACI コマンド動作は、ARM TrustZone セキュリティにより保護されます。
データフラッシュコンフィグレーション領域保護	コンフィグレーション設定コマンドの対象領域にロックビットによる保護領域が含まれる場合、フラッシュシーケンサはエラーを検出してコマンドロック状態に遷移します。
アンチロールバックカウンタ	ファームウェア更新目的のセキュアアプリケーションだけが使用するアンチロールバックカウンタ
プログラム／イレースモード保護	セキュア開発者のみがコードフラッシュのプログラム／イレースモードに遷移できます。

49.8 フラッシュシーケンサの動作モード

フラッシュシーケンサには図 49.7 に示すように 3 つの動作モードがあります。FENTRYR レジスタの値を変更するとモード間の遷移が起動されます。

FENTRYR レジスタの値が 0x0000 の場合、フラッシュシーケンサは読み出しモードです。このモードでは、FACI コマンドを受信しません。コードフラッシュメモリもデータフラッシュメモリも読み出し可能です。

FENTRYR レジスタの値が 0x0001 の場合、フラッシュシーケンサはコードフラッシュ P/E モードで、コードフラッシュメモリは FACI コマンドにより書き換えまたは消去が可能です。このモードでは、データフラッシュメモリは読み出し可能です。また、バックグラウンドオペレーション (BGO) が無効の場合、コードフラッシュメモリは読み出しできません。BGO が有効の場合、FSTATR レジスタの FRDY ビットが 0 であれば、FSADDR レジスタで選択されていないコードフラッシュメモリは読み出し可能です。BGO を有効にする条件については、「49.15.2. バックグラウンドオペレーション」を参照してください。

FENTRYR レジスタの値が 0x0080 の場合、フラッシュシーケンサはデータフラッシュ P/E モードで、データフラッシュメモリは FACI コマンドにより書き換えまたは消去が可能です。このモードでは、データフラッシュメモリは読み出しできません。ただし、コードフラッシュメモリは読み出し可能です。

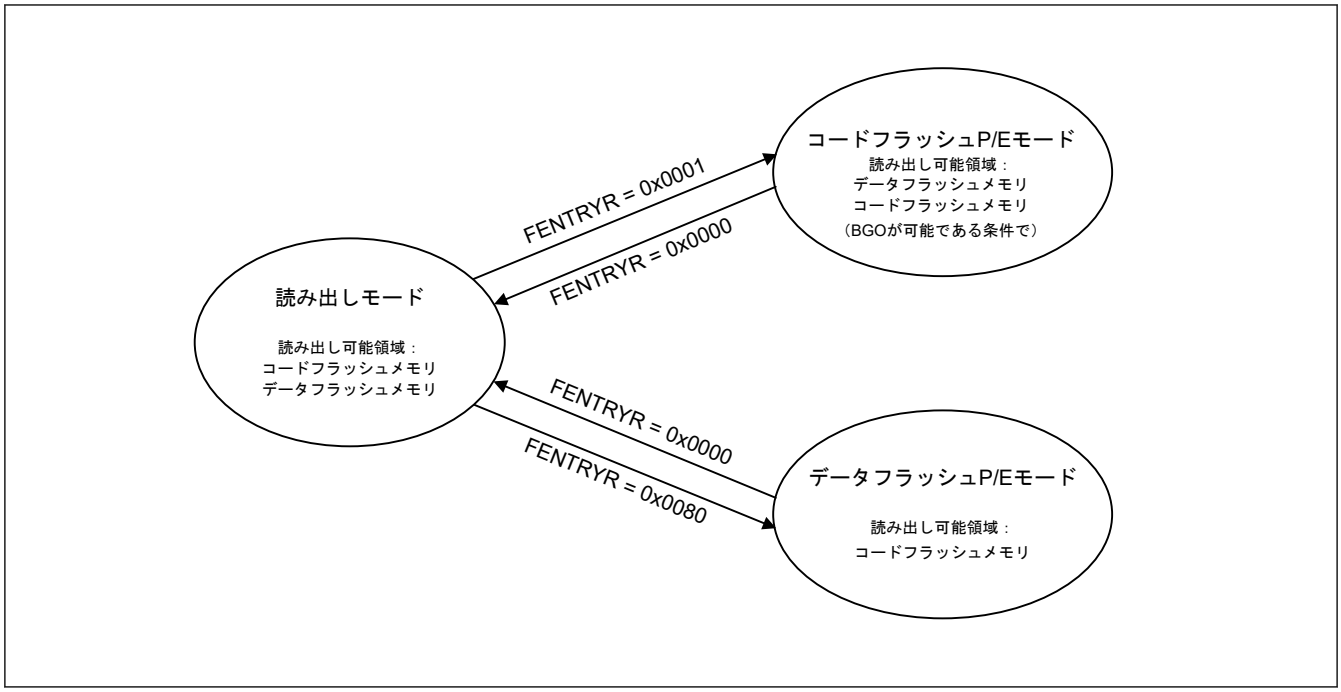


図 49.7　フラッシュシーケンサのモード

49.9　FACI コマンド

49.9.1　FACI コマンド一覧

FACI は設定された FACI コマンドに従って、FCU の制御を行います。

本項では FACI コマンドに関する情報を記述し、表 49.17 に FACI コマンドの一覧を示します。

表 49.17　FACI コマンド (1/2)

FACI コマンド	機能
プログラム	ユーザー領域およびデータ領域を書き換えます。 ユーザー領域の場合書き換え単位は 128 バイトで、データ領域の場合は 4、8、16 バイトです。
ブロックイレース	ユーザー領域およびデータ領域を消去します。 ユーザー領域の場合消去単位は 8 KB または 32 KB で、データフラッシュの場合は 64 バイトです。
マルチブロックイレース	データ領域を消去します。 データフラッシュの消去単位は、64、128、または 256 バイトです。
P/E サスペンド	プログラム／イレース処理を中断します。
P/E レジューム	中断したプログラム／イレース処理を再開します。
ステータスクリア	FSTATR レジスタの ILGLERR、ERSERR、PRGERR、ILGCOMERR、FESETERR、SECERR、OTERR の各ビット、FASTAT レジスタの CMDLK、CFAE、OTERR、TZFERR の各ビット、およびコマンドロック状態から解除されたフラッシュシーケンサを初期化します。
強制停止	FACI コマンド処理を強制的に中止し、FSTATR レジスタと FASTAT レジスタを初期化します。
ブランクチェック	データ領域がブランクかどうかをチェックします。 ブランクチェックの単位：4 バイト～データフラッシュメモリ容量（4 バイト単位で指定）
コンフィグレーション設定	オプション設定メモリを設定します。 設定単位： ● 16 バイト（コードフラッシュメモリ） ● 4/16 バイト（データフラッシュメモリ）

表 49.17 FACI コマンド (2/2)

FACI コマンド	機能
カウンタインクリメント（セキュアアクセスのみ）	アンチロールバックカウンタの値をインクリメントします。 カウンタの対象は FCNTSELR レジスタで選択します。 データは 1 ビットごとに更新されます。
カウンタリフレッシュの復帰フロー（セキュアアクセスのみ）	アンチロールバックカウンタの復帰フローにのみ使用されるコマンドです。 カウンタの対象は FCNTSELR レジスタで選択します。 このコマンドを使用すると、カウンタ値を増やさずにアンチロールバックカウンタ領域をリフレッシュすることができます。
カウンタ読み出し（セキュアアクセスのみ）	アンチロールバックカウンタの値を読み出します。 カウンタの対象は FCNTSELR レジスタで選択します。 読み出したデータは FCNTDATAR0 レジスタと FCNTDATAR1 レジスタに出力されます。 64 ビットごとに読み出しが行われます。

FACI コマンドは、FACI コマンド発行領域に書き込むことにより発行されます（表 49.4 参照）。表 49.18 に示すような書き込みが指定の状態で進行すると、フラッシュシーケンサは受信したコマンドに関連する処理を実行します（「49.9.2. フラッシュシーケンサの状態と FACI コマンドの関係」参照）。

表 49.18 FACI コマンドのフォーマット

FACI コマンド	書き込み回数	FACI コマンド発行領域へのデータ書き込み			
		最初のアクセス	2 番目のアクセス	3 番目～(N+2) 番目のアクセス	(N+3) 番目のアクセス
プログラム（ユーザー領域） N = 64	67	0xE8	0x40 (= N)	WD1～WD64	0xD0
プログラム（データ領域） 4 バイトプログラミング： N = 2 8 バイトプログラミング： N = 4 16 バイトプログラミング： N = 8	N+3	0xE8	0x02 (= N) 0x04 (= N) 0x08 (= N)	WD1～WDN	0xD0
ブロックイレース （ユーザー領域 8 KB/32 KB）	2	0x20	0xD0	—	—
ブロックイレース （データ領域 64 バイト）	2	0x20	0xD0	—	—
マルチブロックイレース （データ領域 64/128/256 バイト）	2	0x21	0xD0	—	—
P/E サスペンド	1	0xB0	—	—	—
P/E レジューム	1	0xD0	—	—	—
ステータスクリア	1	0x50	—	—	—
強制停止	1	0xB3	—	—	—
ブランクチェック	2	0x71	0xD0	—	—
コンフィグレーション設定（コードフラッシュメモリ） N = 8	11	0x40	0x08 (= N)	WD1～WD8	0xD0
コンフィグレーション設定（データフラッシュメモリ） N = 2（4 バイト） N = 8（16 バイト）	N+3	0x40	0x02 (=N) 0x08 (=N)	WD1～WDn	0xD0
カウンタインクリメント	2	0x35	0xD0	—	—
カウンタリフレッシュ	2	0x37	0xD0	—	—
カウンタ読み出し	2	0x39	0xD0	—	—

注. WDN (N = 1, 2, …)：書き換え対象の N 番目の 16 ビットデータ

フラッシュシーケンサは、ステータスクリアコマンド以外のコマンド処理開始時 FSTATR.FRDY ビットを 0 にクリアし、完了時に 1 にします。

FRDYIE.FRDYIE ビット設定が 1 の場合、FSTATR.FRDY ビットが 1 になるとフラッシュレディ (FRDY) 割り込みが発生します。

49.9.2 フラッシュシーケンサの状態と FACI コマンドの関係

FACI コマンドは、フラッシュシーケンサのモード／状態に応じて受け付けられます。FACI コマンドの発行は、フラッシュシーケンサのコードフラッシュ P/E モードまたはデータフラッシュ P/E モードへの遷移後かつフラッシュシーケンサの状態確認後とします。

フラッシュシーケンサの状態を確認するには FSTATR レジスタおよび FASTAT レジスタを使用してください。さらに、一般的にエラー発生は、FASTAT レジスタの CMDLK ビットを読み出すことにより確認できます。CMDLK ビット値は、FSTATR レジスタの下記のビットの論理和です。

- ILGLERR
- ILGCOMERR
- FESETERR
- SECERR
- OTERR
- TZFERR
- ERSERR
- PRGERR
- FLWEERR

表 49.19 に、各動作モードで使用可能な FACI コマンドを示します。

表 49.19 動作モードと使用可能な FACI コマンド

動作モード	FENTRYR	使用可能な FACI コマンド
読み出しモード	0x0000	なし
コードフラッシュ P/E モード	0x0001	プログラム ブロックイレース P/E サスペンド P/E レジューム ステータスクリア 強制停止 コンフィグレーション設定
データフラッシュ P/E モード	0x0080	プログラム ブロックイレース マルチブロックイレース P/E サスペンド P/E レジューム ステータスクリア 強制停止 ブランクチェック コンフィグレーション設定 カウンタインクリメント カウンタリフレッシュ カウンタ読み出し

表 49.20 に、フラッシュシーケンサの状態および受け付け可能な FACI コマンドを示します。コマンド実行前に適切なモードになっていることとします。

表 49.20　受け付け可能な FACI コマンドとフラッシュシーケンサの状態

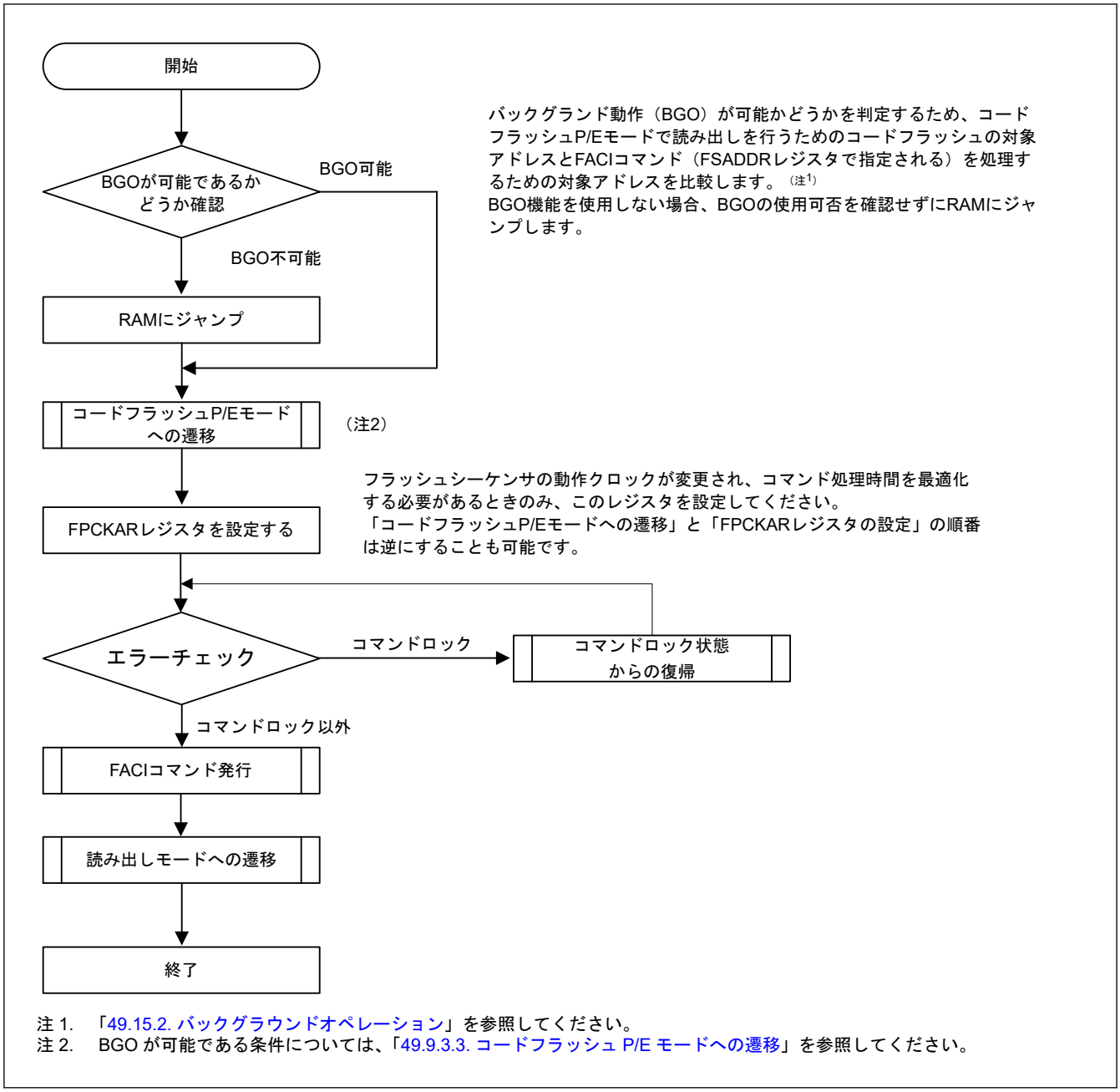
	プログラム、ブロックイレース、またはマルチブロックイレースコマンド処理中	コンフィグレーション設定、コンフィグレーションコマンド、カウンタインクリメント、カウンタリフレッシュ、またはカウンタ読み出しのコマンド処理	プログラム、ブロックイレース、またはマルチブロックイレースコマンド中断処理中	ブランクチェックコマンド処理中	書き込みサスペンド状態	消去サスペンド状態	消去サスペンド中の書き込み	コマンドロック状態 (FRDY = 1)	コマンドロック状態 (FRDY = 0)	強制停止コマンド処理中	その他の状態
FRDY ビット	0	0	0	0	1	1	0	1	0	0	1
SUSRDY ビット	1	0	0	0	0	0	0	0	0	0	0
ERSSPD ビット	0	0	0/1	0/1	0	1	1	0/1	0/1	0	0
PRGSPD ビット	0	0	0/1	0/1	1	0	0	0/1	0/1	0	0
CMDLK ビット	0	0	0	0	0	0	0	1	1	0	0
プログラム	X	X(注3)	X	X	X	O(注2)	X	X	X	X	O
ブロックイレースまたは マルチブロックイレース	X	X(注3)	X	X	X	X	X	X	X	X	O
P/E サスペンド	O	X(注3)	X	X	X	X	X	—	X	X	—
P/E レジューム	X	X(注3)	X	X	O	O	X	X	X	X	X
ステータスクリア	X	X(注3)	X	X	O	O	X	O	X	X	O
強制停止	O	O(注3)	O	O	O	O	O	O	O	O	O
ブランクチェック	X	X(注3)	X	X	O(注1)	O(注1)	X	X	X	X	O(注1)
コンフィグレーション設定	X	X(注3)	X	X	X	X	X	X	X	X	O
カウンタインクリメント	X	X(注3)	X	X	X	X	X	X	X	X	O(注1)
カウンタリフレッシュ	X	X(注3)	X	X	X	X	X	X	X	X	O(注1)
カウンタ読み出し	X	X(注3)	X	X	X	X	X	X	X	X	O(注1)

注.　O：受け付け可能
X：受け付け不可（シーケンサはコマンドロック状態になります）
—：無視
注 1.　データフラッシュ P/E モードでのみ受け付け可能
注 2.　書き込み領域が消去サスペンドブロック以外の場合受け付け可能
注 3.　コンフィグレーション設定が処理中で FSTATR.DBFULL ビットが 1 の場合、本コマンドを発行しないでください。

49.9.3　FACI コマンドの使用方法

49.9.3.1　コードフラッシュ P/E モードでのコマンド使用概要

コードフラッシュ P/E モードでの FACI コマンド使用概要を図 49.8 に示します。コードフラッシュ P/E モードで使用可能なコマンドについては、表 49.19 を参照してください。

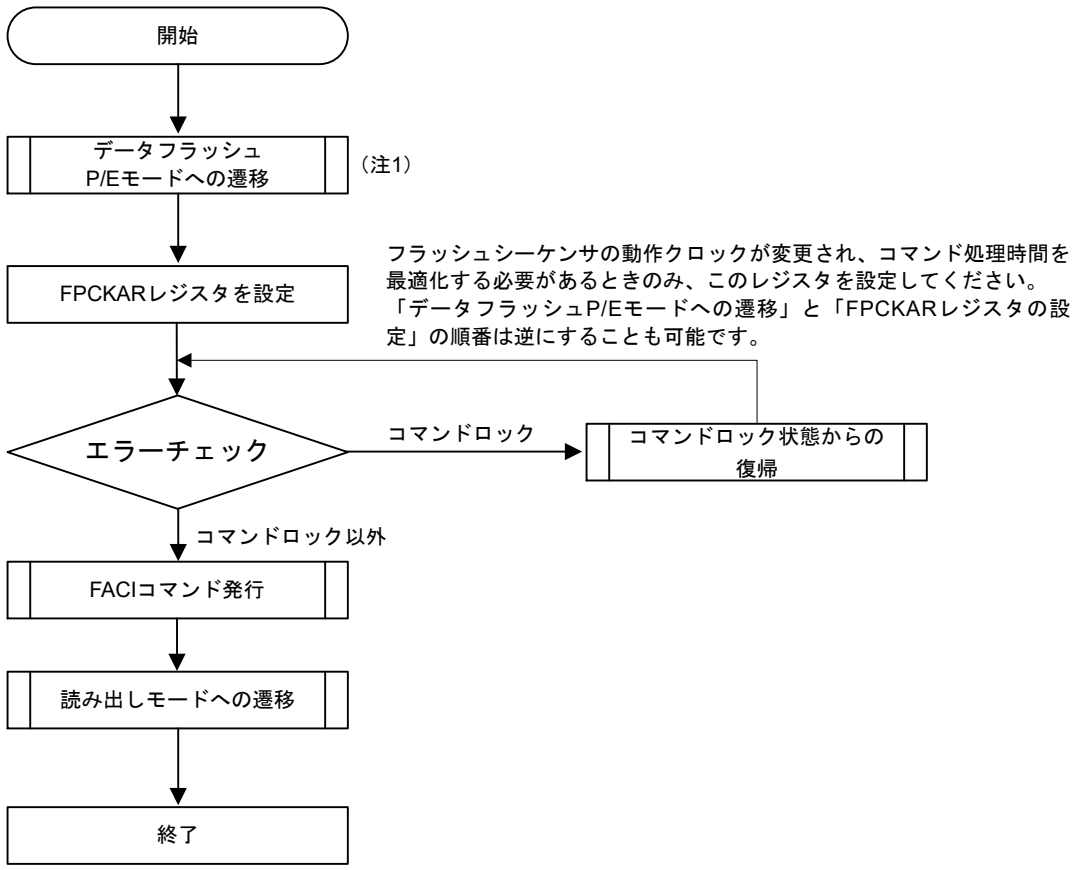


注 1. 「49.15.2. バックグラウンドオペレーション」を参照してください。
注 2. BGO が可能である条件については、「49.9.3.3. コードフラッシュ P/E モードへの遷移」を参照してください。

図 49.8 コードフラッシュ P/E モードでのコマンド使用概要

49.9.3.2 データフラッシュ P/E モードでのコマンド使用概要

データフラッシュ P/E モードでの FACI コマンド使用概要を図 49.9、データフラッシュ P/E モードで使用可能なコマンド一覧を表 49.19 に示します。



注 1. 「49.9.3.4. データフラッシュ P/E モードへの遷移」を参照してください。

図 49.9 データフラッシュ P/E モードでのコマンド使用概要

49.9.3.3 コードフラッシュ P/E モードへの遷移

コードフラッシュメモリに FACI コマンドを発行するには、FENTRYR レジスタの FENTRYC ビットを 1 にすることによりコードフラッシュ P/E モードに遷移する必要があります。

図 49.10 に、コードフラッシュ P/E モードへの遷移手順を示します。

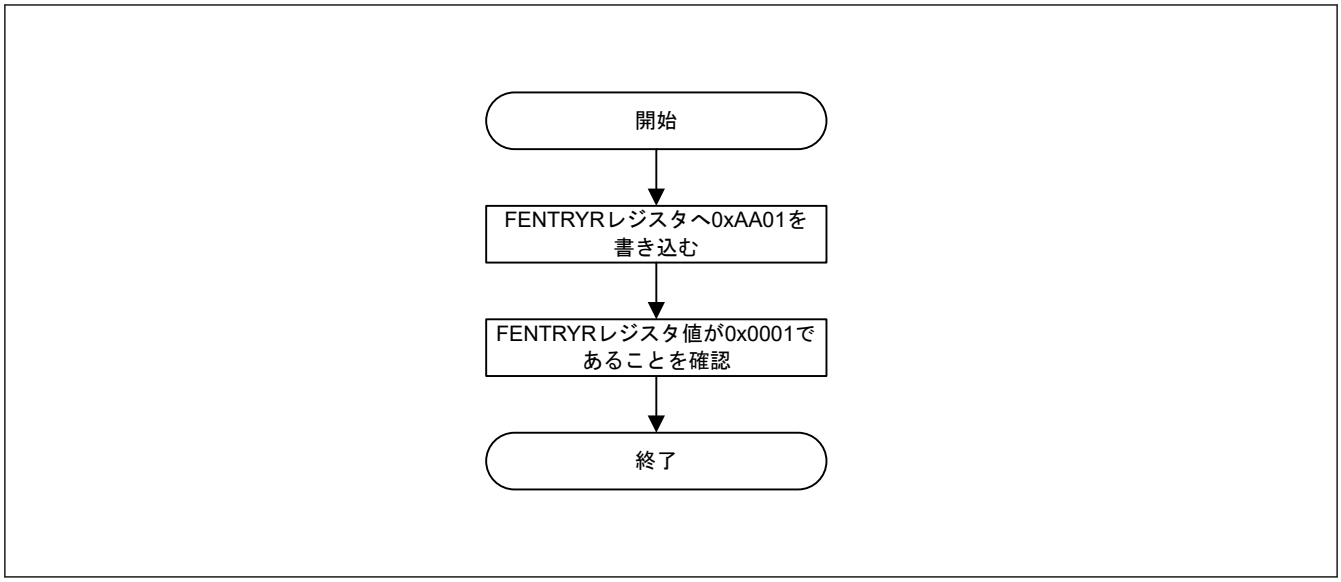


図 49.10　コードフラッシュ P/E モードへの遷移手順

49.9.3.4　データフラッシュ P/E モードへの遷移

データフラッシュメモリに FACI コマンドを発行するには、FENTRYR レジスタの FENTRYD ビットを 1 にすることによりデータフラッシュ P/E モードに遷移する必要があります。

図 49.11 に、データフラッシュ P/E モードへの遷移手順を示します。

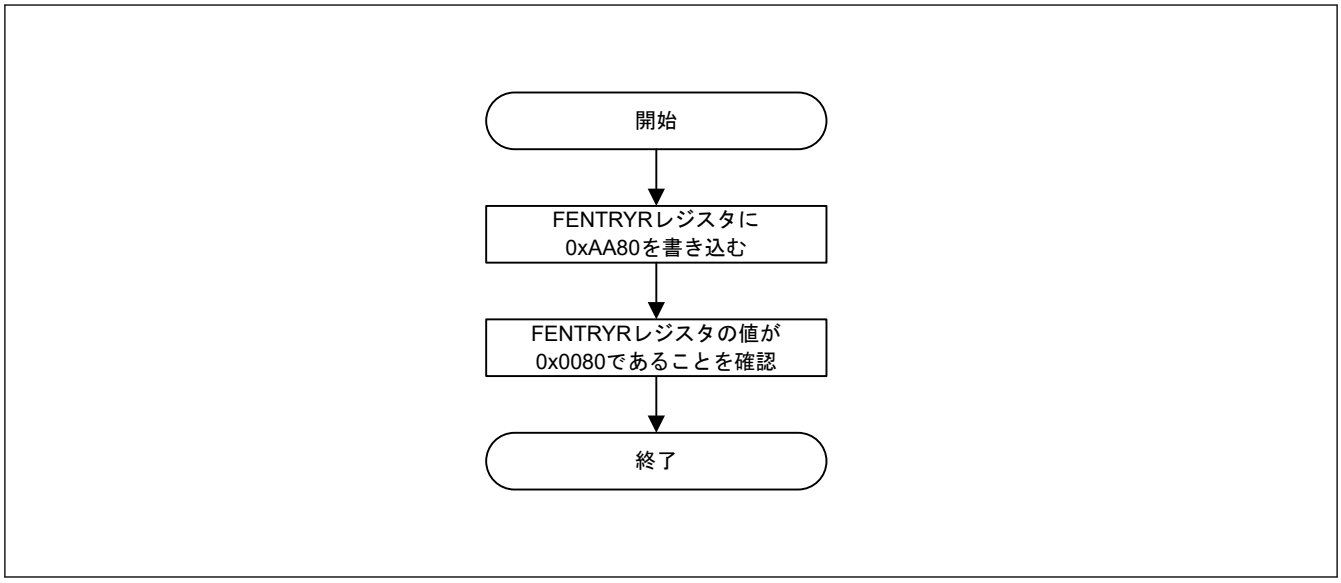
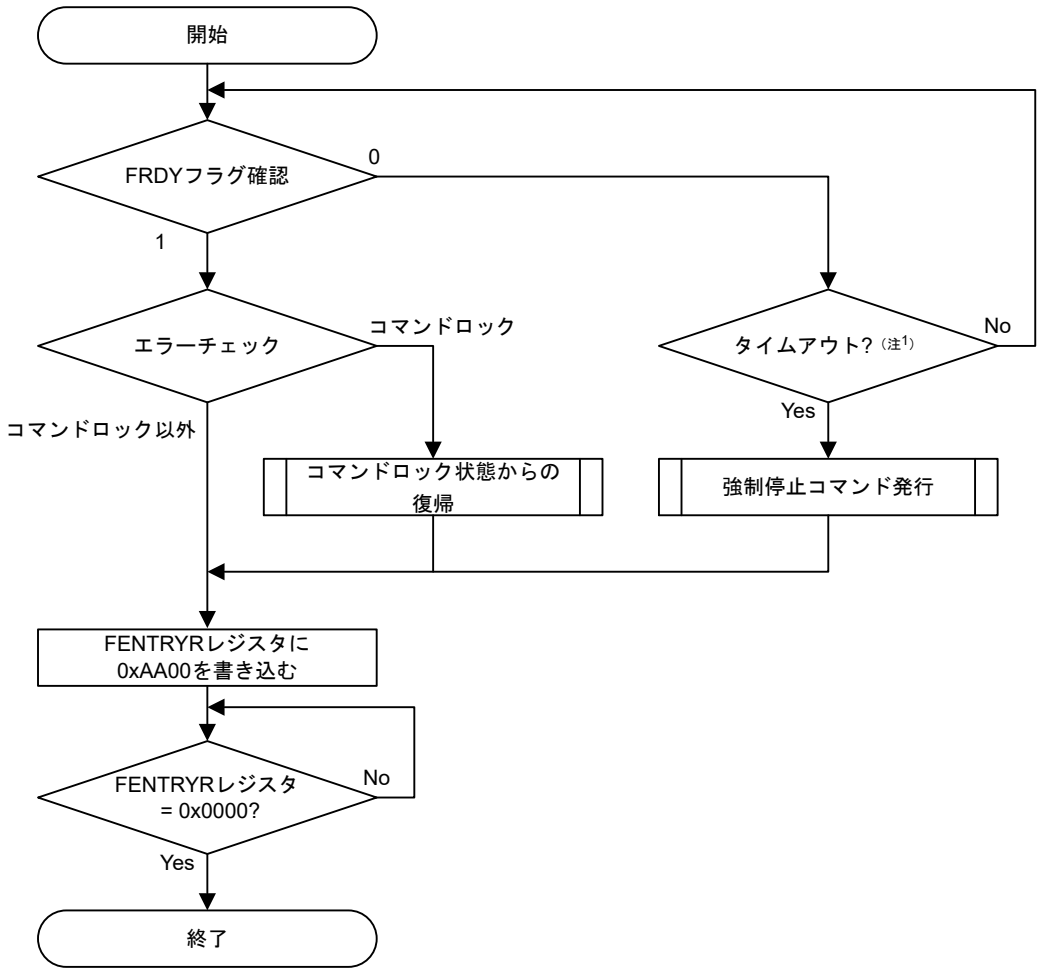


図 49.11　データフラッシュ P/E モードへの遷移手順

49.9.3.5　読み出しモードへの遷移

フラッシュメモリを読み出すには、FENTRYR レジスタを 0x0000 に設定することにより読み出しモードに遷移する必要があります。読み出しモードへの遷移は、フラッシュシーケンサの処理完了後かつコマンドロック状態ではない動作状態で行う必要があります。

図 49.12 に、読み出しモードへの遷移手順を示します。



注 1. 実行中の FACI コマンド処理に要する最大時間の 1.1 倍がタイムアウトの判断に使われます（「52. 電気的特性」参照）。

図 49.12 読み出しモードへの遷移手順

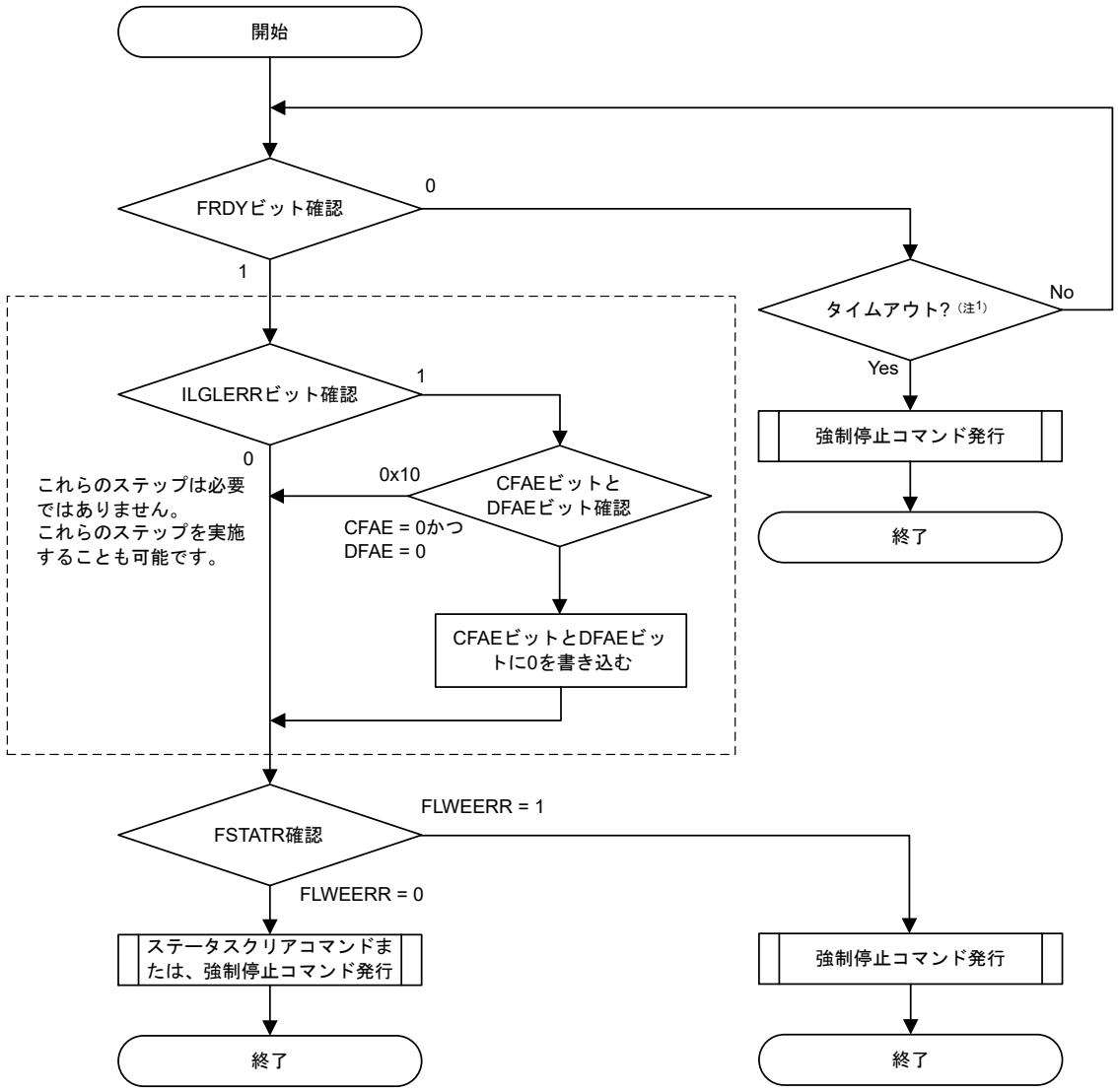
49.9.3.6 コマンドロック状態からの復帰

フラッシュシーケンサがコマンドロック状態になると、FACI コマンドは受け付けられなくなります。シーケンサをコマンドロック状態から解放するには、ステータスクリアコマンド、強制停止コマンド、または FASTAT レジスタを使用してください。

P/E サスペンドコマンドを発行する前のエラーチェックによりコマンドロック状態が検出されると、コマンド処理が完了していなくても FSTATR レジスタの FRDY ビットが 0 になる場合があります。電気的特性で指定されている最大プログラム／イレース時間までに処理が完了しない場合はタイムアウトとなり、強制停止コマンドによりフラッシュシーケンサを停止する必要があります。

FSTATR レジスタの FLWEERR ビットは、ステータスクリアコマンドでは 1 から 0 になりません。これらのビットが 1 の場合、強制停止コマンドを使ってコマンドロック状態を解除してください。コマンドロック状態を示す FSTATR レジスタの FRDY および FLWEERR 以外のビットは、ステータスクリアコマンドまたは強制停止コマンドで 1 から 0 に変更できます。

図 49.13 に、コマンドロック状態からの復帰フローを示します。



注 1. 実行中の FACI コマンド処理に要する最大時間の 1.1 倍がタイムアウトの判断に使われます（「52. 電気的特性」参照）。

図 49.13 コマンドロック状態からの復帰フロー

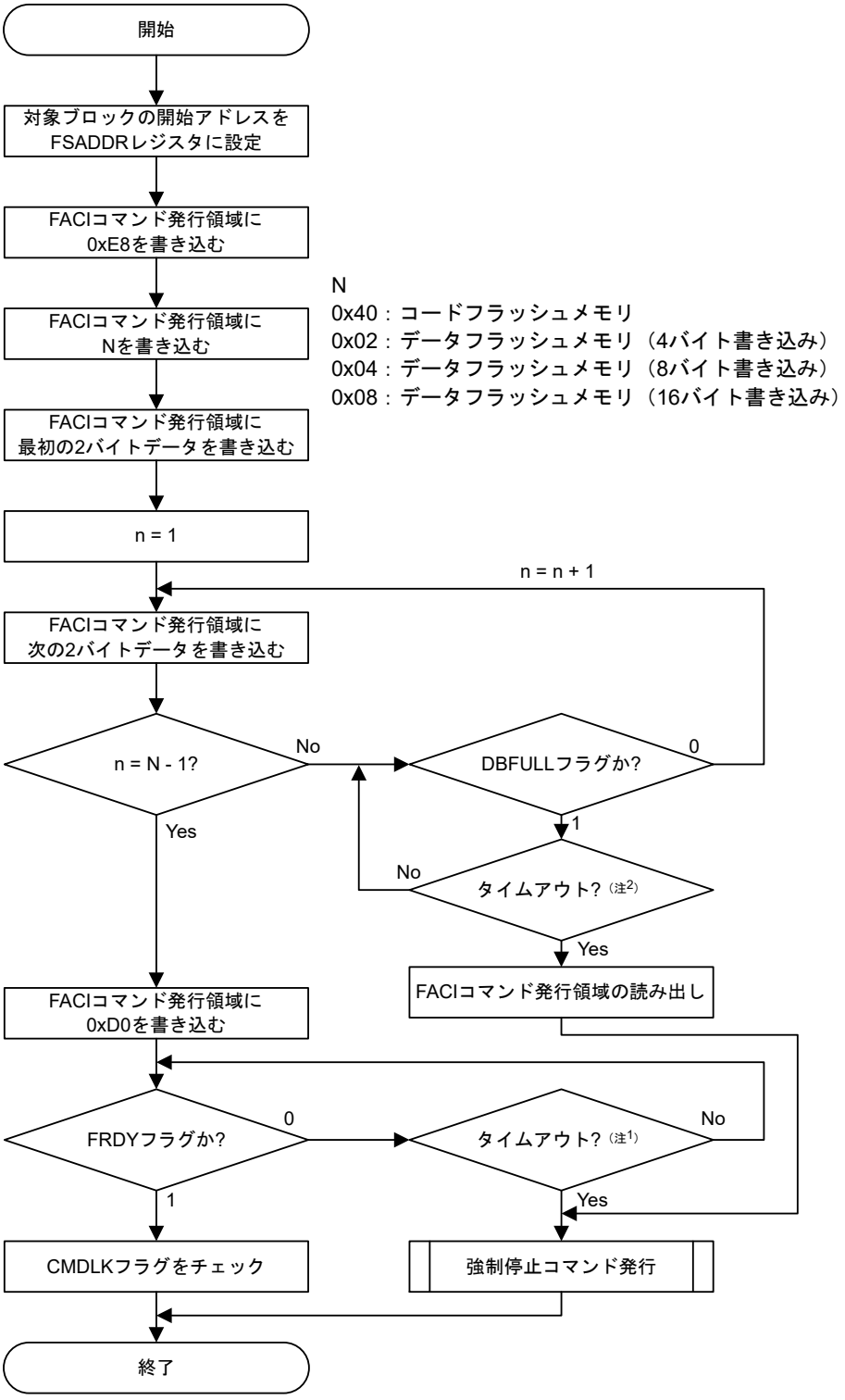
49.9.3.7 プログラムコマンド

プログラムコマンドはユーザー領域およびデータ領域への書き込みに使用されます。FACI プログラムコマンド発行前に、対象ブロックの最初のアドレスを FSADDR レジスタに設定してください。

プログラムデータの最後の 16 ビット（表 49.18 で、コードフラッシュの場合は WD64、データフラッシュの場合は WD2、WD4、または WD8）を FACI コマンド発行領域に書き込むと、コマンドの最終値 0xD0 が書き込まれる前に、プログラム処理を開始します。そのため、プログラムデータの最後の 16 ビットを書いてから最後の FACI コマンド値 0xD0 を書くまでに時間がかかると（例えば割り込み処理によって）、0xD0 がまだ書き込まれていなくてもプログラム処理が完了したときに FSTATR.FRDY ビットが 1 になります。この場合、プログラム処理が完了しても FACI コマンド受信は完了していません。この状態で後続の FACI コマンドが発行されると、不正コマンドエラーが発生します。不正コマンドエラーを避けるためには、プログラムコマンドが発行されている間（0xE8 の書き込みから 0xD0 の書き込みまで）、FACI コマンドを発行する処理を伴う割り込みを無効にしてください。

プログラムコマンド処理の対象領域に書き込み対象外の領域が含まれている場合は、該当領域に 0xFFFF を書き込んでください。FACI 内部データバッファが満杯の状態でプログラムコマンドが発行された場合、周辺バスで待ち時間が発生し、それにより他の周辺モジュールの通信性能に影響を与える可能性があります。待ち時間の発生を回避するためには、FACI コマンド発行時に FSTATR レジスタの DBFULL ビットを 0 に設定してください。データ領域への書き込みによって、データバッファがフルになることはありません。

図 49.14 に、プログラムコマンドの使用方法を示します。



注 1. 書き込みの最大時間の 1.1 倍がタイムアウトの判断に使われます。これらの時間については「52. 電気的特性」を参照してください。

注 2. 1.4 µs (f_{FCLK} ≧ 20 MHz)

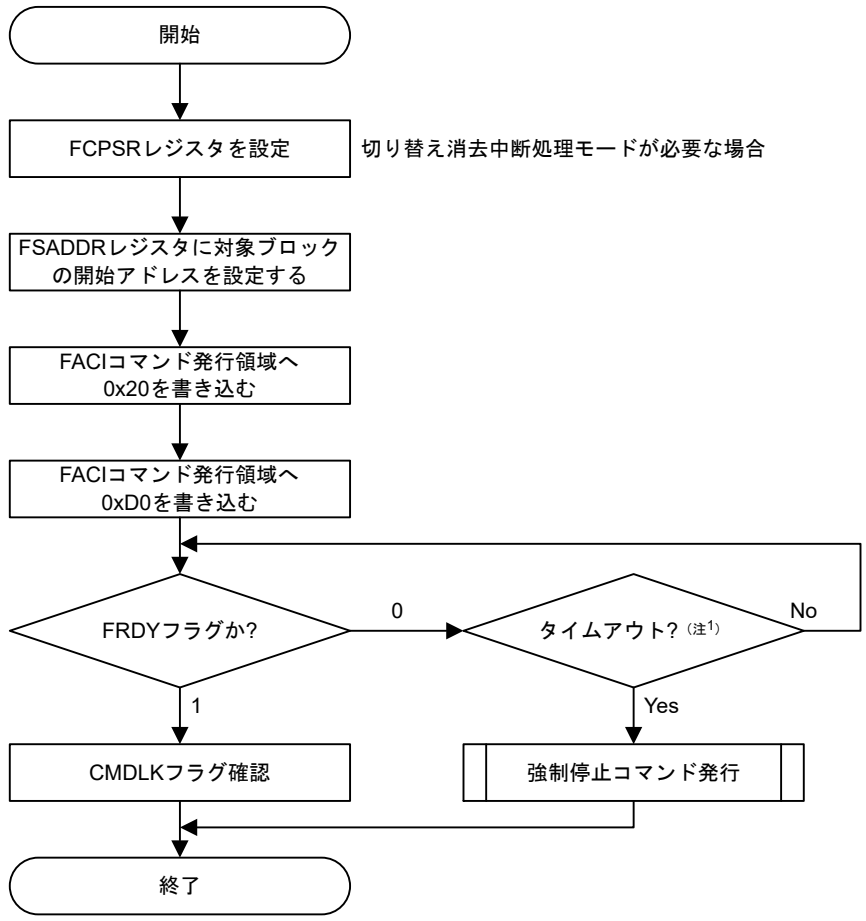
図 49.14 プログラムコマンドの使用フロー

49.9.3.8 ブロックイレースコマンド

ブロックイレースコマンドはユーザー領域またはデータ領域の消去に使用されます。消去はブロック単位です。ブロックイレースコマンド発行前に、対象ブロックの先頭アドレスを FSADDR レジスタに設定してください。FACI コマンドの 2 番目の書き込みで 0xD0 を書き込むと、FACI はブロックイレースコマンド処理を開始します。コマンド処理の完了は、FSTATR レジスタの FRDY ビットで確認できます。

ブロックイレースコマンド発行前に FCPSR レジスタを設定してください。さらに、消去サスペンドモードに切り替わる場合は、FCPSR レジスタが設定されている必要があります。

図 49.15 に、ブロックイレースコマンドの使用方法を示します。



注 1. 消去の最大時間の 1.1 倍がタイムアウトの判断に使われます。
「52. 電気的特性」を参照してください。

図 49.15 ブロックイレースコマンドの使用フロー

49.9.3.9 マルチブロックイレースコマンド

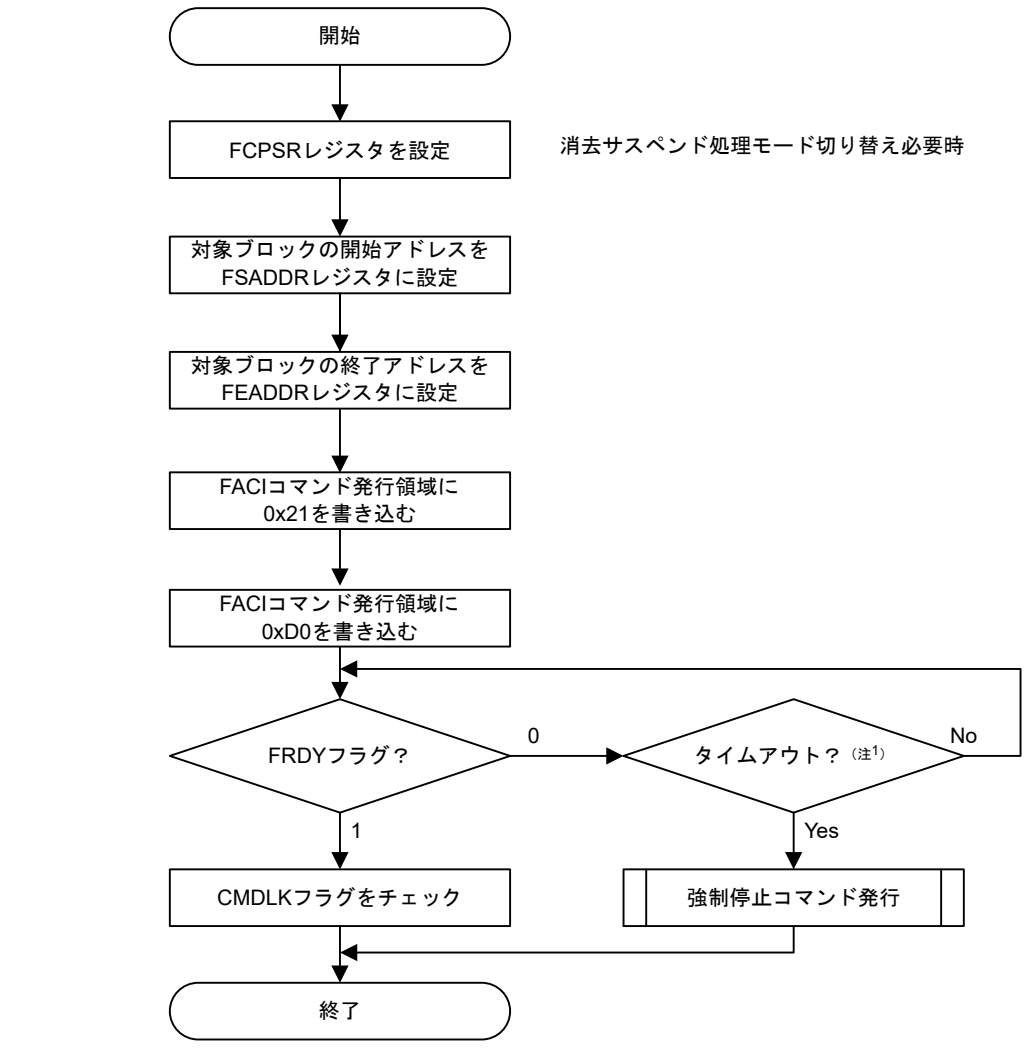
マルチブロックイレースコマンドはデータ領域の消去に使用されます。消去単位は、64 バイト、128 バイト、または 256 バイトです。マルチブロックイレースコマンド発行前に、FSADDR レジスタに開始アドレスを、FEADDR レジスタに終了アドレスを設定してください。FACI コマンドの 2 番目の書き込みで 0xD0 を書き込むと、FACI はマルチブロックイレースコマンド処理を開始します。コマンド処理の完了は、FSTATR レジスタの FRDY ビットで確認できます。

マルチブロックイレースコマンド発行前に FCPSR レジスタを設定してください。さらに、消去サスペンドモードに切り替える場合は、FCPSR レジスタが設定されている必要があります。

消去サイズの指定は、FSADDR レジスタおよび FEADDR レジスタを設定します。FSADDR レジスタおよび FEADDR レジスタの設定方法を表 49.21 に示します。

表 49.21　消去サイズの設定

消去サイズ	FSADDR	FEADDR
64 バイト	FSA0～FSA5 = 0（64 バイト境界）	FSADDR + 0x3C
128 バイト	FSA0～FSA6 = 0（128 バイト境界）	FSADDR + 0x7C
256 バイト	FSA0～FSA7 = 0（256 バイト境界）	FSADDR + 0xFC



注 1.　消去の最大時間の 1.1 倍がタイムアウトの判断に使われます。
「52. 電気的特性」を参照してください。

図 49.16　マルチブロックコマンドの使用フロー

49.9.3.10　P/E サスペンドコマンド

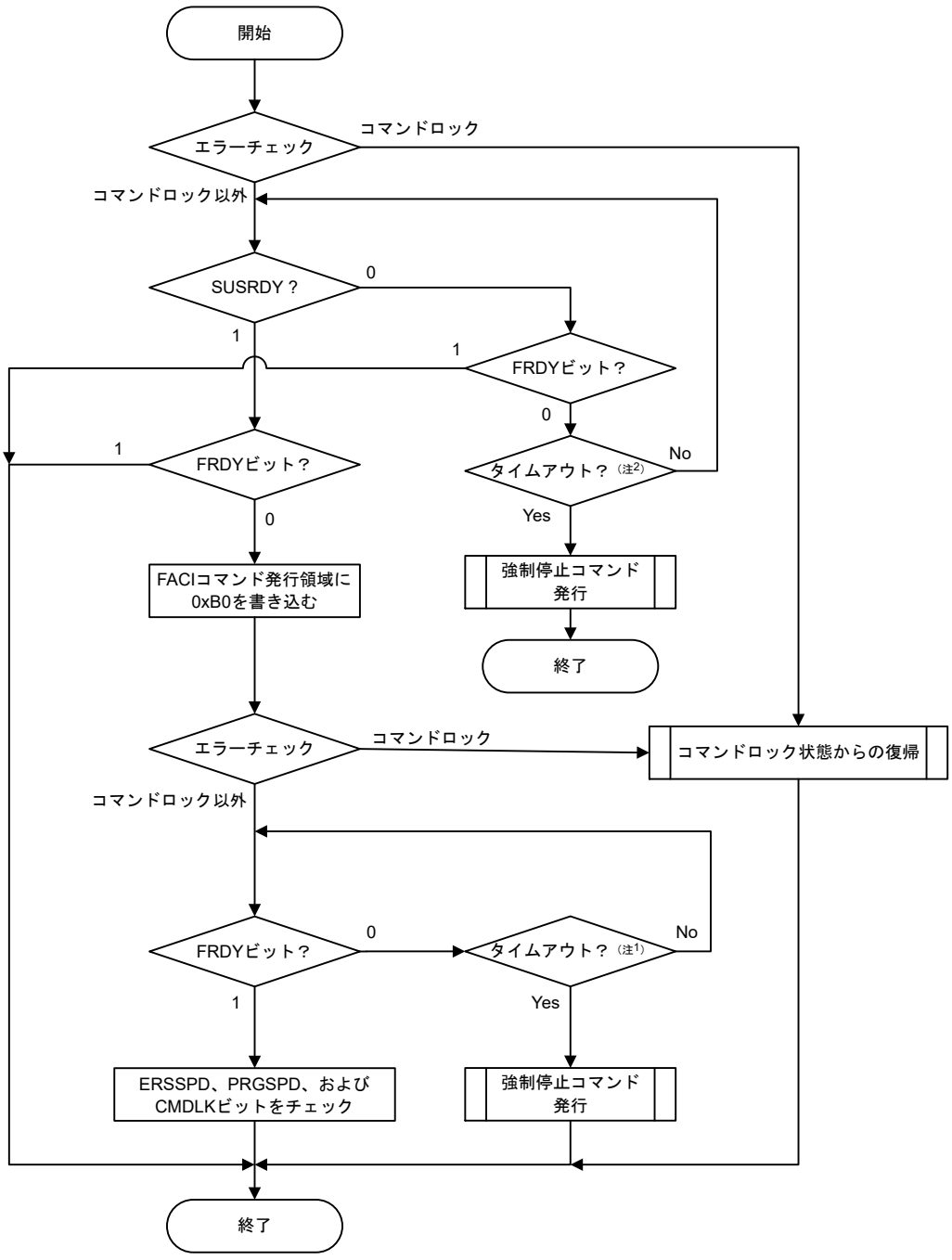
P/E サスペンドコマンドは、プログラム／イレースを中断するのに使用されます。P/E サスペンドコマンド発行前に、FASTAT レジスタの CMDLK ビットが 0 であり、プログラム／イレースが正常に実行されることを確認してください。P/E サスペンドコマンドが受信可能であることを確かめるために、FSTATR レジスタの SUSRDY ビットが 1 であることを確認します。P/E サスペンドコマンド発行後、CMDLK ビットを読み出し、エラーが発生しないことを確認します。

プログラム／イレース中エラーが発生すると、CMDLK ビットが 1 になります。プログラム／イレース処理が SUSRDY ビットが 1 になってから P/E サスペンドコマンドを受信するまでに終了した場合、エラーは発生せず、サスペンド状態に遷移しません（FSTATR レジスタの FRDY ビットは 1 になり、FSTATR レジスタの ERSSPD および PRGSPD ビットは 0 になります）。

P/E サスペンドコマンドを受信しプログラム／イレース中断処理が正常に終了すると、フラッシュシーケンサはサスペンド状態に遷移し、FRDY ビットは 1 になり、ERSSPD または PRGSPD ビットが 1 になります。P/E サスペンドコマンド発行後、ERSSPD または PRGSPD ビットは 1 で、サスペンド状態になっていることを確認し、次のフローに進みます。サスペンド状態にならなかった場合でも次のフローで P/E レジュームコマンドが発行された場合は、不正コマンドエラーとなり、フラッシュシーケンサはコマンドロック状態になります（「49.11.2. エラープロテクション」参照）。

消去サスペンド状態となった場合は、イレース対象ブロック以外のブロックへの書き込みが可能になります。さらに、FENTRYR レジスタをクリアすることによりプログラム／消去サスペンド状態は読み出しモードにシフトできます。

図 49.17 に、P/E サスペンドコマンドの使用方法を示します。



注 1. コードフラッシュおよびデータフラッシュのイレース中のサスペンド遅延の最大時間の 1.1 倍がタイムアウトの判断に使われます。
「52. 電気的特性」を参照してください。
注 2. 4.4 μs (f_{FCLK} ≧ 20 MHz)

図 49.17 P/E サスペンドコマンドの使用フロー

(1) 書き込み中のサスペンド

フラッシュメモリ書き込み中に P/E サスペンドコマンドを発行すると、フラッシュシーケンサは書き込み処理を中断します。図 49.18 に、書き込み中断動作を示します。書き込み関連のコマンドを受信するとフラッシュシーケンサは FSTATR レジスタの FRDY ビットを 0 にクリアし、書き込みを開始します。書き込み開始後フラッシュ

シーケンサが P/E サスペンドコマンド受信可能な状態になると、FSTATR レジスタの SUSRDY ビットを 1 にします。

P/E サスペンドコマンドが発行されると、フラッシュシーケンサはコマンドを受信し、SUSRDY ビットを 0 にクリアします。書き込みパルス印加中にフラッシュシーケンサが P/E サスペンドコマンドを受信した場合には、フラッシュシーケンサはパルスの印加を継続します。既定のパルス印加時間後フラッシュシーケンサはパルス印加を終了し、書き込みの中断処理を開始して FSTATR レジスタの PRGSPD ビットを 1 にします。

中断処理が完了すると、フラッシュシーケンサは FRDY ビットを 1 にして書き込みサスペンド状態に遷移します。書き込みサスペンド状態中に P/E レジュームコマンドを受信すると、フラッシュシーケンサは FRDY ビットと PRGSPD ビットを 0 にクリアして、書き込みを再開します。

書き込み中のサスペンドのタイミングを図 49.18 に示します。

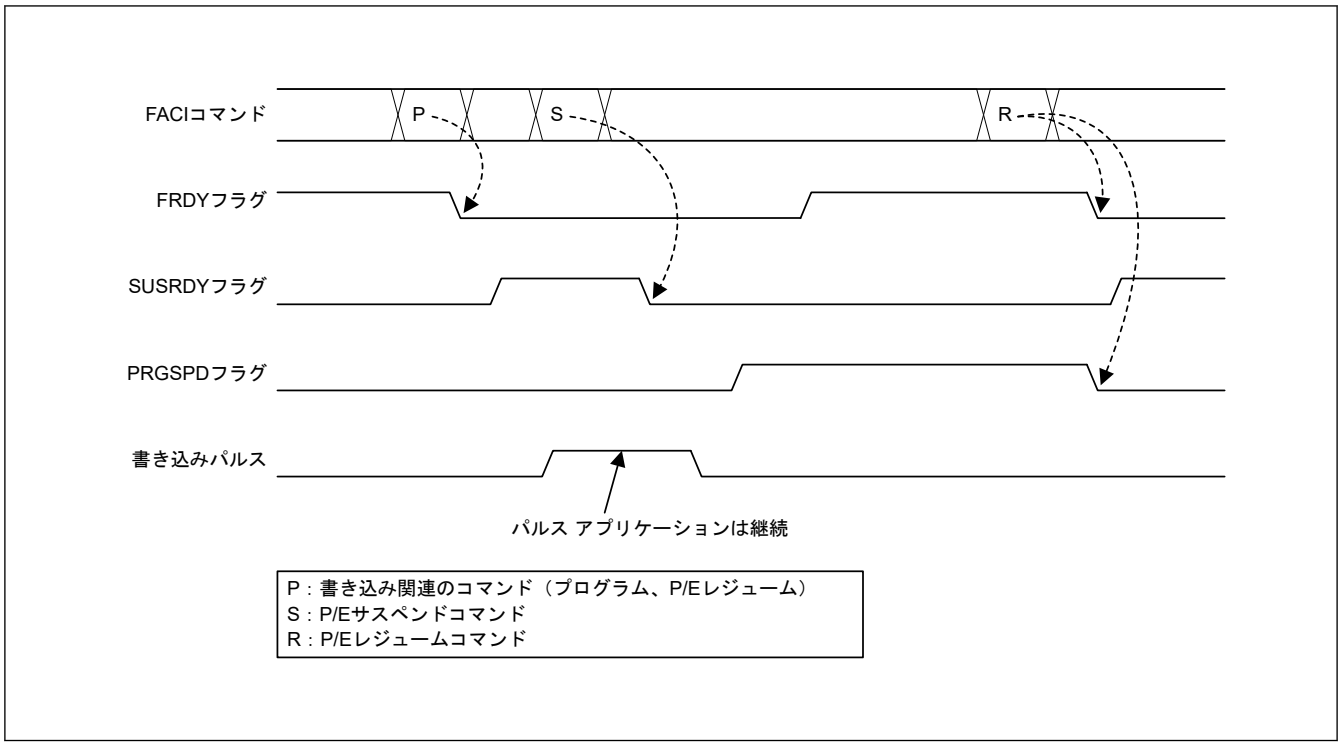


図 49.18　書き込み中のサスペンド

(2)　消去中のサスペンド（サスペンド優先モード）

フラッシュシーケンサは、消去中断用にサスペンド優先モードがあります。消去サスペンドモードがサスペンド優先モードに設定されている場合 (FCPSR.ESUSPMD = 0) の消去中断動作を図 49.19 に示します。

消去関連のコマンドを受信するとフラッシュシーケンサは FSTATR レジスタの FRDY ビットを 0 にクリアし、消去を開始します。消去開始後フラッシュシーケンサが P/E サスペンドコマンド受信可能な状態になると、FSTATR レジスタの SUSRDY ビットを 1 にします。

P/E サスペンドコマンドが発行されると、フラッシュシーケンサはコマンドを受信し、SUSRDY ビットを 0 にクリアします。

消去中にサスペンドコマンドを受信すると、フラッシュシーケンサは消去パルス印加中でも中断処理を開始し、FSTATR レジスタの ERSSPD ビットを 1 にします。中断処理が完了すると、フラッシュシーケンサは FRDY ビットを 1 にして消去サスペンド状態に遷移します。消去サスペンド状態中に P/E レジュームコマンドを受信すると、フラッシュシーケンサは FRDY ビットと ERSSPD ビットを 0 にクリアして、消去を再開します。消去の中断および再開時の FRDY、SUSRDY、ERSSPD の各ビットの動作は、消去サスペンドモードに関係なく同じです。

消去サスペンドモードの設定は消去パルスの制御方法に影響します。サスペンド優先モード時に、以前中断されなかった消去パルス A が印加中に P/E サスペンドコマンドを受信すると、フラッシュシーケンサは消去パルス A の印加を中断し、消去サスペンド状態になります。P/E レジュームコマンドにより消去が再開した後の消去パルス A の再印加中に P/E サスペンドコマンドを受信すると、フラッシュシーケンサは消去パルス A の印加を継続し

ます。既定のパルス印加時間後にフラッシュシーケンサは消去パルス印加を終了し、消去サスペンド状態になります。

フラッシュシーケンサが次に P/E レジュームコマンドを受信し消去パルス B が印加中の場合、フラッシュシーケンサは P/E サスペンドコマンドを再び受信し、消去パルス B の印加は中断します。サスペンド優先モードでは、消去パルス印加はパルス毎に 1 回中断され、中断処理が優先されるので、中断による遅延は最小限に抑えることができます。

再開後の中断時間が t_{REST1}（再開時間：中断優先、同じパルスの最初の中断後の再開）よりも長い場合、中断遅延は常に t_{SESD1}（中断遅延：中断優先、同じパルスの最初の中断）になります。

再開後の中断時間が t_{REST1} よりも短い場合、中断遅延は t_{SESD1} または t_{SESD2}（中断遅延：中断優先、同じパルスの 2 番目の中断）になります。

（t_{REST1} / t_{SESD1} / t_{SESD2} の値については「52. 電気的特性」を参照してください。）

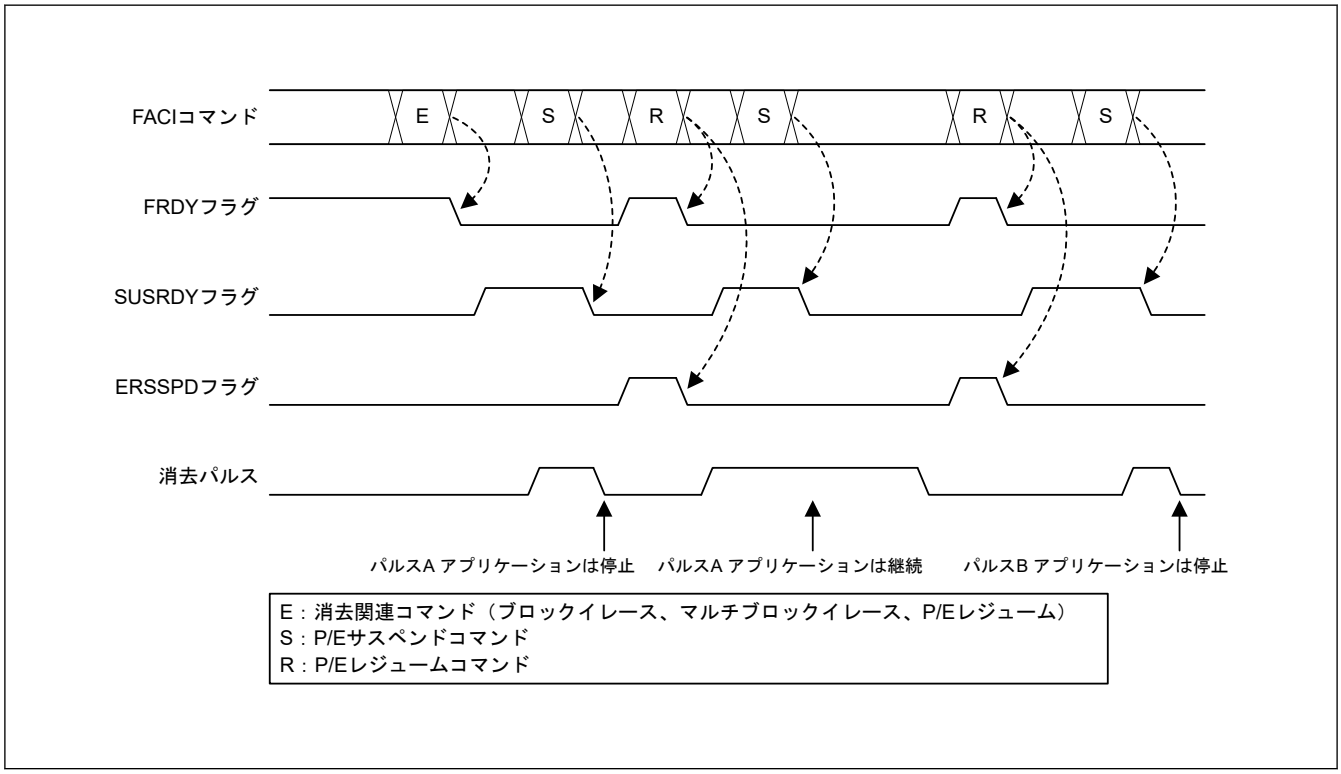


図 49.19　消去中のサスペンド（サスペンド優先モード）

(3)　消去中のサスペンド（イレース優先モード）

フラッシュシーケンサは、消去中断用にイレース優先モードがあります。消去サスペンドモードがイレース優先モードに設定されている場合 (FCPSR.ESUSPMD = 1) の消去中断動作を図 49.20 に示します。イレース優先モード中の消去パルスの制御方法は、書き込み中断処理用の書き込みパルス制御方法と同じです。

消去パルス印加中にフラッシュシーケンサが P/E サスペンドコマンドを受信した場合には、フラッシュシーケンサはパルスの印加を継続します。このモードでは、イレース処理に要する時間は、サスペンド優先モードよりも短縮されます。なぜなら、P/E レジュームコマンド発行時消去パルスの再印加は起きないからです。

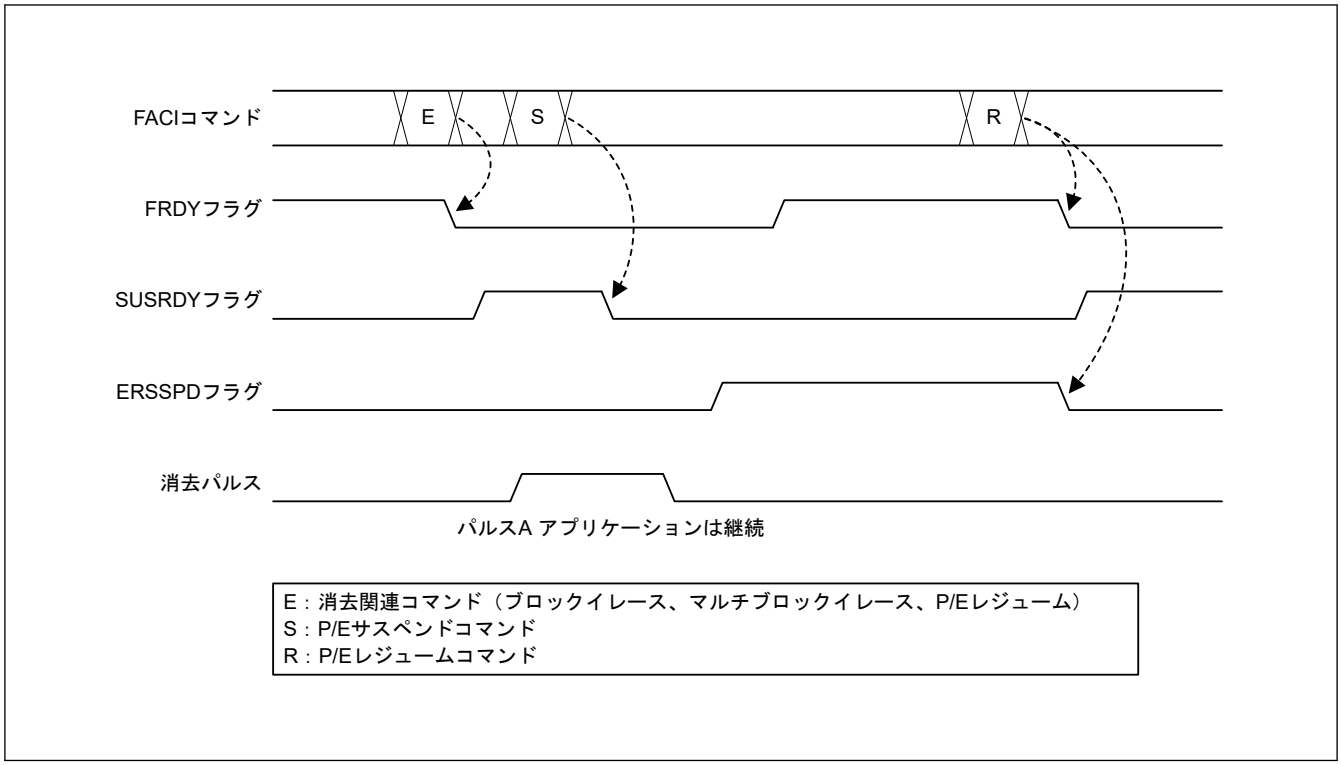
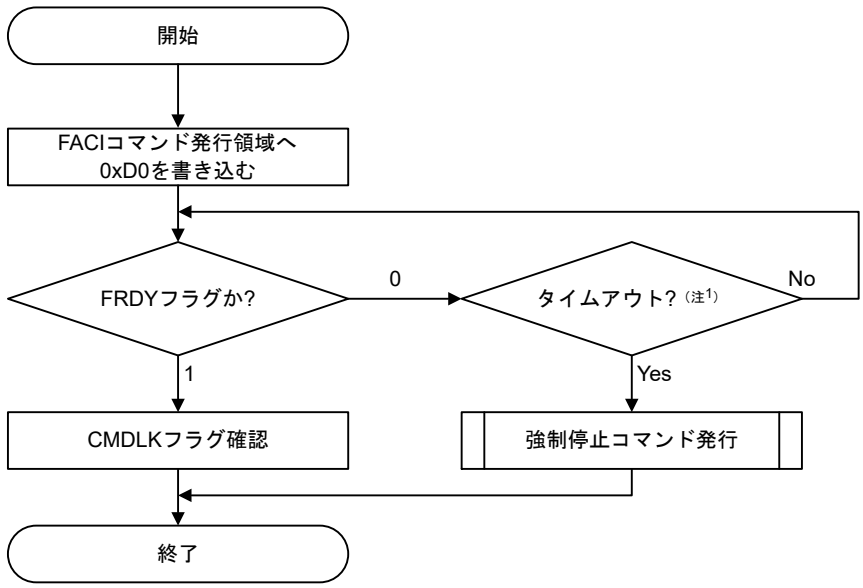


図 49.20　消去中のサスペンド（イレース優先モード）

49.9.3.11　P/E レジュームコマンド

P/E レジュームコマンドは、中断したプログラム／イレース処理を再開するために使用します。FENTRYR レジスタの設定が中断中に変更された場合は、FENTRYR レジスタを P/E サスペンドコマンドが出される前に保持されていた値にリセットした後 P/E レジュームコマンドを発行してください。図 49.21 に、P/E レジュームコマンドの使用方法を示します。



注 1. FACI コマンドの停止された処理の最大時間の 1.1 倍がタイムアウトの判断に使われます。
「52. 電気的特性」を参照してください。

図 49.21 P/E レジュームコマンドの使用フロー

49.9.3.12 ステータスクリアコマンド

ステータスクリアコマンドは、コマンドロック状態をクリアするのに使用されます（「49.9.3.6. コマンドロック状態からの復帰」参照）。

コマンドロック状態のときステータスクリアコマンドを使って FSTATR レジスタの下記ビットをクリアできます。

- ILGLERR
- ILGCOMERR
- FESETERR
- SECERR
- OTERR
- ERSERR
- PRGERR
- TZFERR

図 49.22 に、ステータスクリアコマンドの使用方法を示します。

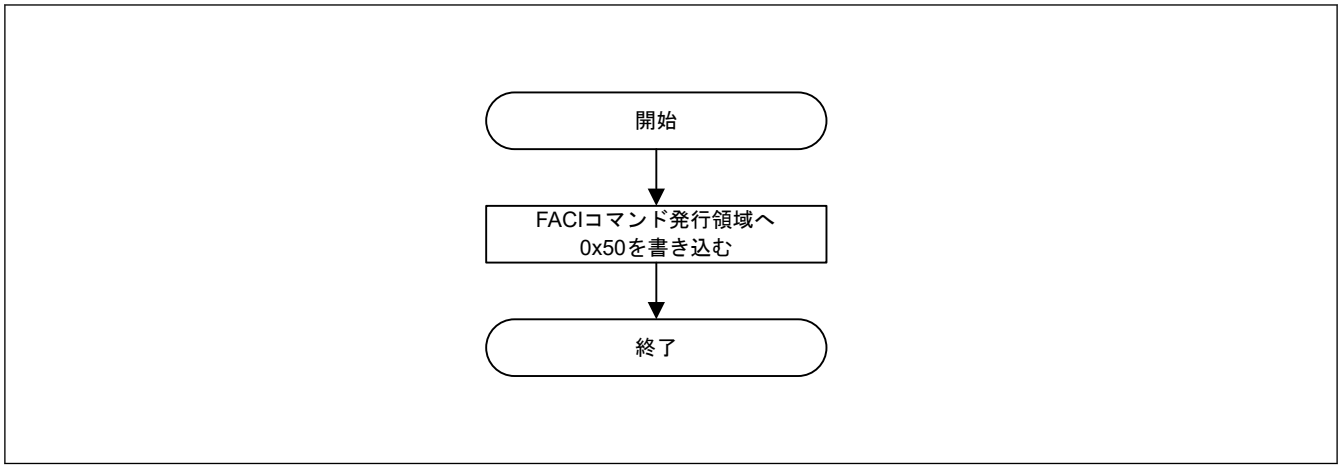


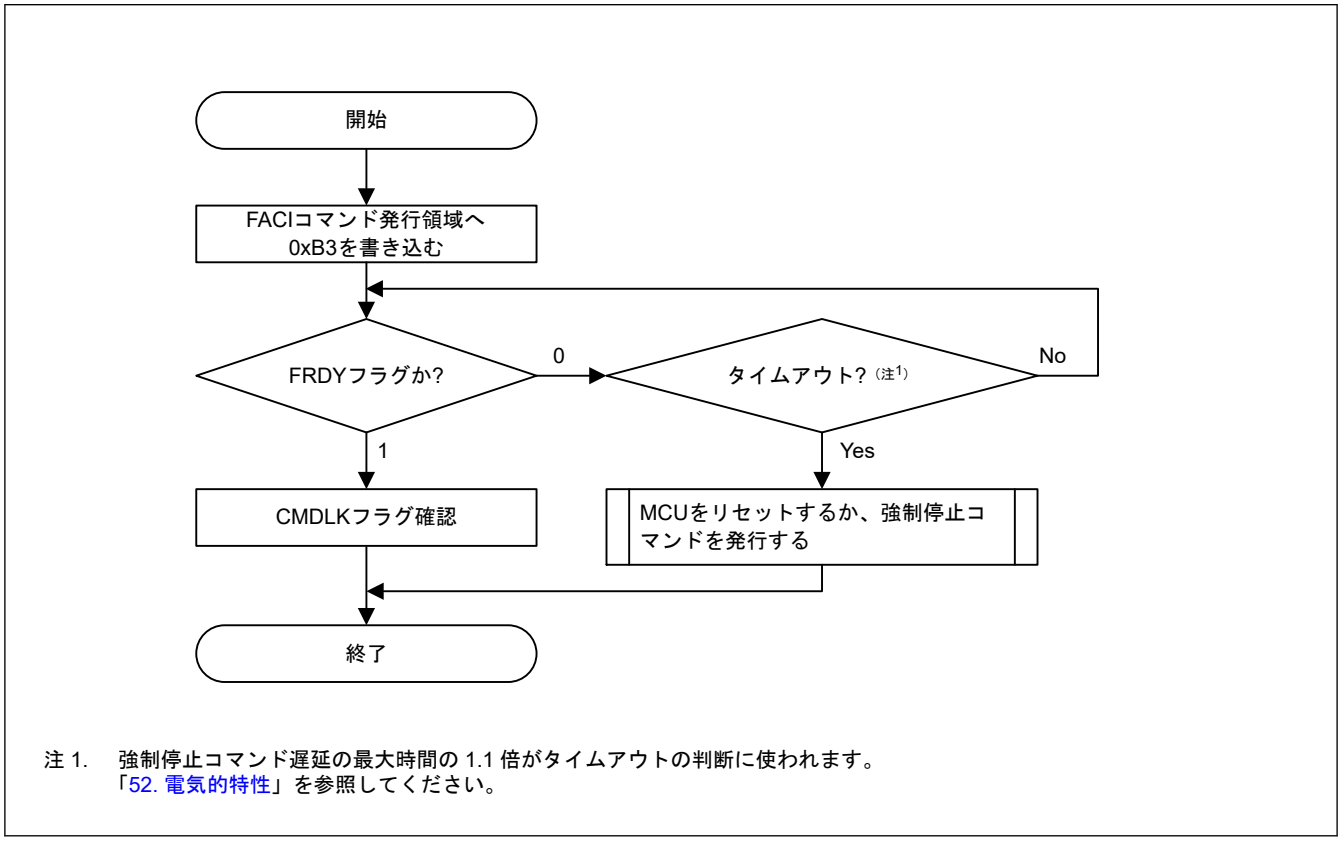
図 49.22　ステータスクリアコマンドの使用フロー

49.9.3.13　強制停止コマンド

強制停止コマンドは、フラッシュシーケンサによるコマンド処理を強制的に終了させる場合に使用します。本コマンドを使用すれば P/E サスペンドコマンドの場合よりも早くコマンド処理を停止させますが、進行中のプログラム／イレースからの値は保証されません。さらに、処理は再開できません。強制停止コマンドで停止させられたプログラム／イレース処理も、一つのプログラミングと定義されます。

強制停止コマンドを実行すると、FACI の一部、FCU 全体、FSTATR レジスタおよび FASTAT レジスタの初期化も行います。本コマンドは、コマンドロック状態からの復帰手順およびフラッシュシーケンサタイムアウトに対する処理手順で使用可能です（「49.9.3.6. コマンドロック状態からの復帰」参照）。

図 49.23 に、強制停止コマンドの使用方法を示します。



注 1.　強制停止コマンド遅延の最大時間の 1.1 倍がタイムアウトの判断に使われます。
「52. 電気的特性」を参照してください。

図 49.23　強制停止コマンドの使用フロー

(1) コマンド発行時に強制停止コマンドを使用する場合の注意事項

プログラムコマンドの DBFULL ビットによるタイムアウト発生時強制停止コマンドを使用すると、FACI コマンド発行領域への書き込みがプログラムコマンドのデータ書き込みと処理されることがあります。コマンドロックを強制するための FACI コマンド発行領域に関する詳細については「49.3. アドレス空間」の表 49.4 を参照してください。次に、コマンドロック状態からの復帰方式を使って強制停止コマンドを発行してください（図 49.14 参照）。FACI コマンド発行領域を読み出す単位が 8、16、または 32 ビットである場合はいずれもコマンドロックが可能です。

49.9.3.14 ブランクチェックコマンド

領域が未プログラム状態かどうかを確認するには、ブランクチェックコマンドを使用してください。イレース後に書き換えられていない（未プログラム状態）データフラッシュメモリを読み出すと、値はすべて不定です。

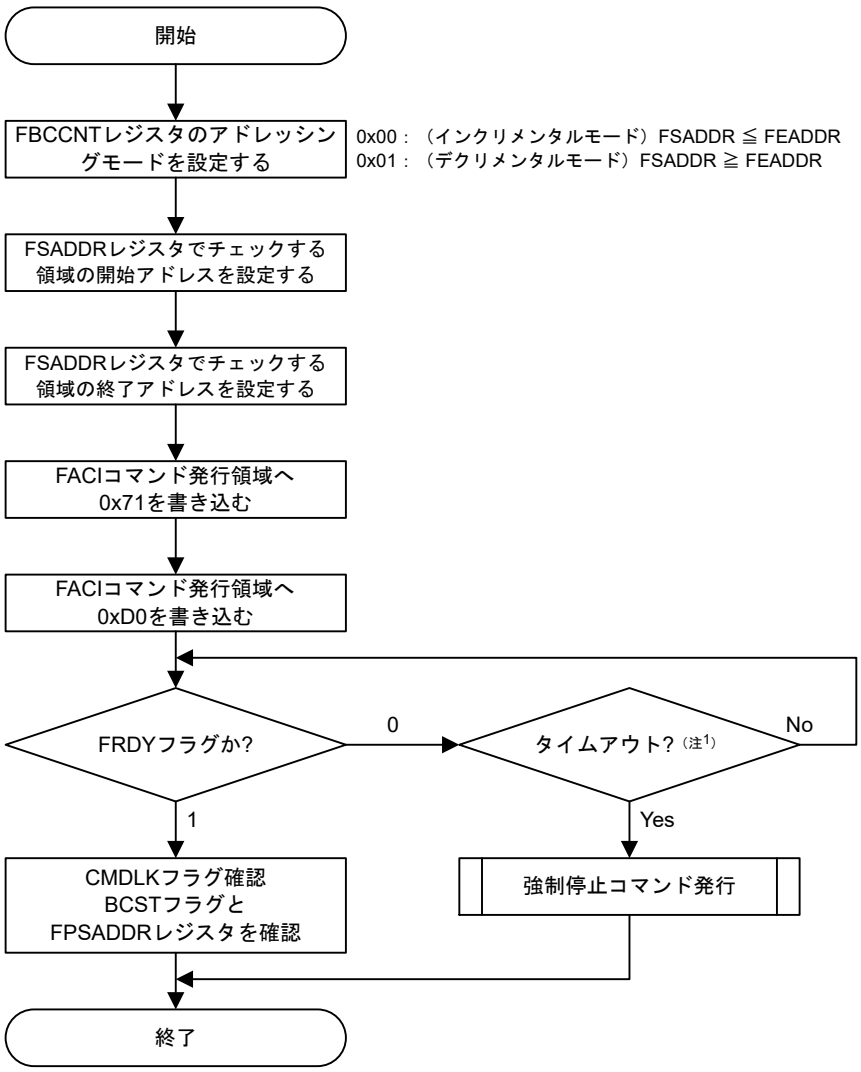
ブランクチェックコマンド発行前に、FBCCNT、FSADDR、FEADDR の各レジスタにアドレッシングモード、ブランクチェック対象領域の開始アドレスと終了アドレスを設定してください。ブランクチェックアドレッシングモードがデクリメンタルモードに設定されている場合（すなわち FBCCNT.BCDIR = 1）、FSADDR レジスタには、FEADDR レジスタに指定されているアドレス以上のアドレスを指定してください。

一方、ブランクチェックアドレッシングモードがインクリメンタルモードに設定されている場合（すなわち FBCCNT.BCDIR = 0）、FSADDR レジスタには、FEADDR レジスタに指定されているアドレス以下のアドレスを指定してください。

BCDIR ビット、FSADDR レジスタ、および FEADDR レジスタの設定に矛盾があると、フラッシュシーケンサはコマンドロック状態になります。ブランクチェック対象領域のサイズは、4 バイト～データフラッシュメモリ容量の範囲で、4 バイト単位で設定されます。

ブランクチェックを開始するには、FACI コマンド発行領域に 0x71 および 0xD0 を書き込んでください。処理完了は、FSTATR レジスタの FRDY ビットで確認できます。処理完了時、ブランクチェックの結果は FBCSTAT レジスタの BCST ビットに格納されます。ブランクチェック対象領域内に未プログラムデータが存在する場合、フラッシュシーケンサはブランクチェックコマンドの動作を停止させます。この場合、未プログラムデータのアドレスが FPSADDR レジスタに表示されます。

図 49.24 に、ブランクチェックコマンドの使用方法を示します。



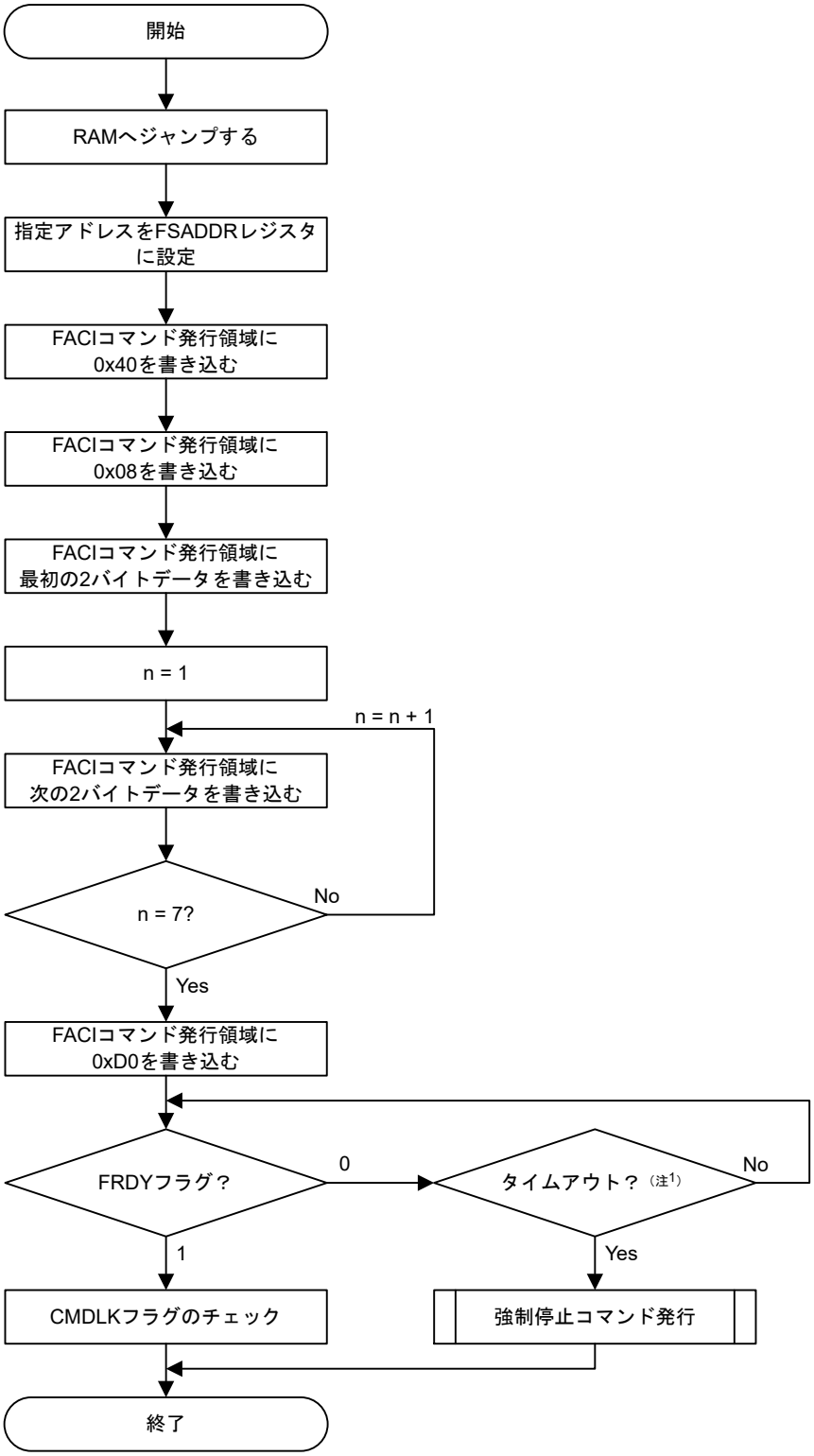
注 1. 全対象範囲のブランクチェックに要する最大時間の 1.1 倍がタイムアウトの判断に使われます。「52. 電気的特性」を参照してください。

図 49.24 ブランクチェックコマンドの使用フロー

49.9.3.15 コンフィグレーション設定コマンド

コンフィグレーション設定コマンドは、オプション設定メモリを設定するのに使用されます。コンフィグレーション設定コマンド発行前に FSADDR レジスタに指定アドレス（表 49.22 に示す）を設定してください。FACI コマンド発行の最終アクセスで FACI コマンド発行領域に 0xD0 を書くと、コンフィグレーション設定コマンドの FACI 処理が開始されます。

図 49.25 に、コンフィグレーション設定コマンドの使用方法を示します。



注 1. オプション設定メモリ内の書き込みの最大時間の 1.1 倍がタイムアウトの判断に使われます。「52. 電気的特性」を参照してください。

図 49.25 コンフィグレーション設定コマンドの使用フロー

コンフィグレーション設定に使用されると思われる対象データと FSADDR レジスタに設定されているアドレス値との関係を表 49.22 に示します。詳細は、「49.4.12. FSADDR : FACI コマンド開始アドレスレジスタ」を参照してください。

表 49.22 コンフィグレーション設定コマンドが使用するアドレス（セキュアエイリアスの場合）（コードフラッシュメモリ）

アドレス	FSADDR レジスタ値	設定データ	追加の書き込み		設定が有効になるタイミング
			SAS.FSPR ビットが 1	SAS.FSPR ビットが 0	
0x0300_A100	0x0300_A100	オプション機能選択レジスタ 0 (OFS0)	書き込み可能	書き込み可能	リセット時
0x0300_A104		オプション機能選択レジスタ 2 (OFS2)			
0x0300_A110	0x0300_A110	デュアルモード選択レジスタ (DUALSEL)	書き込み可能	書き込み可能	リセット時
0x0300_A134	0x0300_A130	スタートアップ領域設定レジスタ (SAS)	書き込み可能	書き込み不可(注1)	リセットまたはコマンド実行時
0x1300_A180	0x1300_A180	オプション機能選択レジスタ 1 (OFS1)	書き込み可能	書き込み可能	リセット時
0x1300_A190	0x1300_A190	バンク選択レジスタ (BANKSEL)	書き込み可能	書き込み可能	リセット時
0x1300_A1C0	0x1300_A1C0	ブロック保護設定レジスタ (BPS)	書き込み可能(注2)	書き込み可能(注2)	リセットまたはコマンド実行時
0x1300_A1E0	0x1300_A1E0	永久ブロック保護設定レジスタ (PBPS)	書き込み可能(注3) (1 から 0 への変更のみ)	書き込み可能(注3) (1 から 0 への変更のみ)	リセットまたはコマンド実行時
0x0300_A200	0x0300_A200	オプション機能選択レジスタ 1 セキュア (OFS1_SEC)	書き込み可能	書き込み可能	リセット時
0x0300_A210	0x0300_A210	バンク選択レジスタセキュア (BANKSEL_SEC)	書き込み可能	書き込み可能	リセット時
0x0300_A240	0x0300_A240	ブロック保護設定レジスタセキュア (BPS_SEC)	書き込み可能(注4)	書き込み可能(注4)	リセットまたはコマンド実行時
0x0300_A260	0x0300_A260	永久ブロック保護設定レジスタセキュア (PBPS_SEC)	書き込み可能(注5) (1 から 0 への変更のみ)	書き込み可能(注5) (1 から 0 への変更のみ)	リセットまたはコマンド実行時
0x0300_A280	0x0300_A280	オプション機能選択レジスタ 1 選択 (OFS1_SEL)(注6)	書き込み可能	書き込み可能	リセット時
0x0300_A290	0x0300_A290	バンク選択レジスタ選択 (BANKSEL_SEL)	書き込み可能	書き込み可能	リセット時
0x0300_A2C0	0x0300_A2C0	ブロック保護設定レジスタ選択 (BPS_SEL)	書き込み可能(注6)	書き込み可能(注6)	リセット時

注 1. SAS.FSPR ビットは、いったん 0 に設定されると、コンフィグレーション設定コマンドで 1 に戻すことはできません。したがって、スタートアップ領域選択フラグを再び設定できなくなります。（アドレス 0x0100A134 にコンフィグレーション設定コマンドが出されると、コマンドはロックされます。）SAS.FSPR ビットの取り扱いには特に注意してください。
注 2. PBPS[n]ビットをいったん 0 に設定すると、コンフィグレーション設定コマンドで BPS[n]ビットを 1 に戻すことはできません。
注 3. これらのビットは、いったん 0 にするとコンフィグレーション設定コマンドで 1 に戻すことができません。BPS[n]ビットが 1 のとき PBPS[n]ビットをコンフィグレーション設定コマンドで 0 にすることはできません。
注 4. PBPS_SEC[n]ビットをいったん 0 にすると、コンフィグレーション設定コマンドで BPS_SEC[n]ビットを 1 に戻すことができなくなります。
注 5. これらのビットは、いったん 0 にするとコンフィグレーション設定コマンドで 1 に戻すことができません。BPS_SEC[n]ビットが 1 のとき PBPS_SEC[n]ビットをコンフィグレーション設定コマンドで 0 にすることはできません。
注 6. 永久ブロック保護ビットが有効であるとき、ブロック保護設定レジスタは書き込みできません。

表 49.23 コンフィグレーション設定コマンドが使用するアドレス（セキュアエイリアスの場合）（データフラッシュメモリ）

アドレス	FSADDR	設定データ	追加の書き込み		設定が有効になるタイミング
	レジスタ値		ロックビットが 1	ロックビットが 0	
0x2703_0098～0x2703_017C	0x2703_0098～0x2703_017C	ロック可能コンフィグレーションデータ領域 0 (LK_CD_A0)	書き込み可能(注1)	書き込み不可能(注1)	リセット時
0x2703_0180～0x2703_027C	0x2703_0180～0x2703_027C	ロック可能コンフィグレーションデータ領域 1 (LK_CD_A1)	書き込み可能(注1)	書き込み不可能(注1)	リセット時
0x2703_0280～0x2703_035C	0x2703_0280～0x2703_035C	ロック可能コンフィグレーションデータ領域 2 (LK_CD_A2)	書き込み可能(注1)	書き込み不可能(注1)	リセット時
0x2703_0380～0x2703_0384	0x2703_0380～0x2703_0384	コンフィグレーションデータロックビット領域 0 (CD0_LK)	書き込み可能	書き込み可能	リセットまたはコマンド実行時
0x2703_0388～0x2703_038C	0x2703_0388～0x2703_038C	コンフィグレーションデータロックビット領域 1 (CD1_LK)	書き込み可能（1→0 の場合のみ）	書き込み可能（1→0 の場合のみ）	リセットまたはコマンド実行時
0x2703_0390	0x2703_0390	コンフィグレーションデータロックビット領域 2 (CD2_LK)	書き込み可能（1→0 の場合のみ）	書き込み可能（1→0 の場合のみ）	リセットまたはコマンド実行時
0x2703_03C0	0x2703_03C0	アンチロールバックカウンタのロック設定 (ARCLS)	書き込み可能（1→0 の場合のみ）	書き込み可能（1→0 の場合のみ）	リセットまたはコマンド実行時
0x2703_03C2		アンチロールバックカウンタのコンフィグレーション設定 (ARCCS)	書き込み可能(注2)	書き込み可能(注2)	リセットまたはコマンド実行時

注 1. 書き込み保護領域とロックビットの関係の詳細については、「49.12.4. データフラッシュコンフィグレーション領域保護」を参照してください。

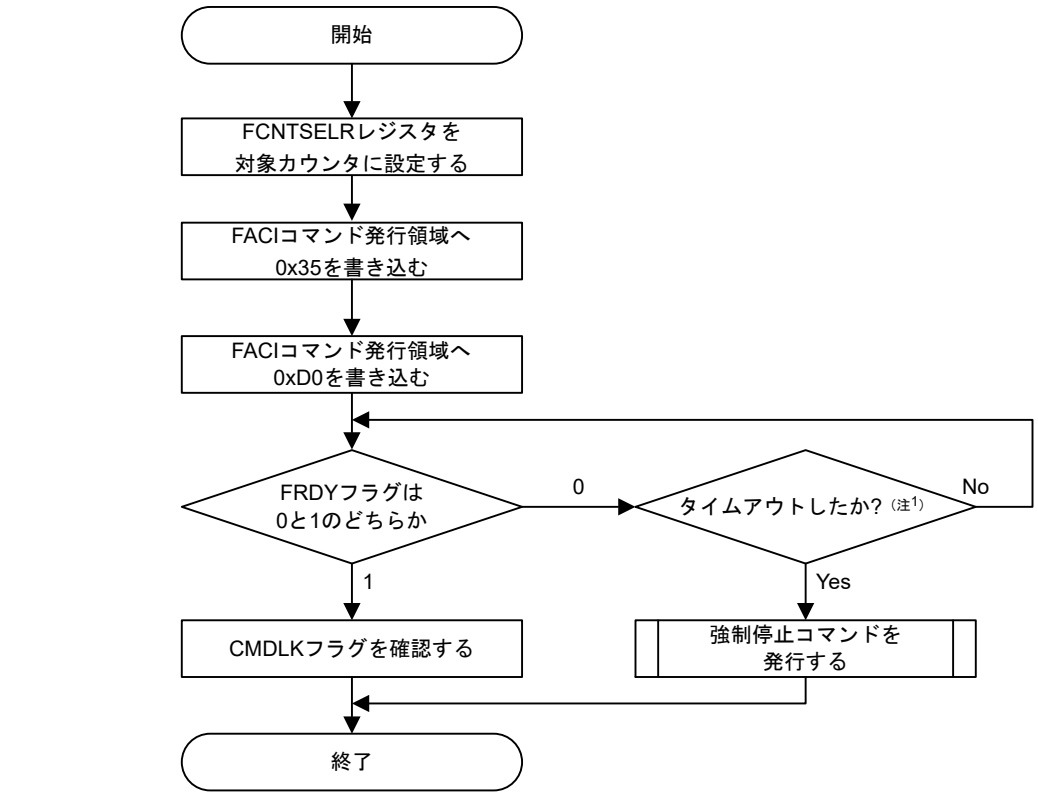
注 2. ARC_NSEC カウンタ選択ビットは、00b または 01b に設定すると変更できなくなります。ARC_NSEC カウンタを使用するときは、64 ビット×4 ライン（00b 設定）と 256 ビット×1 ライン（01b 設定）のどちらかを選択することができます。

49.9.3.16 カウンタインクリメントコマンド

カウンタインクリメントコマンドは、セキュリティ機能とセーフティ機能で使用します。カウンタインクリメントコマンドは、2 種類のアンチロールバックカウンタ（ARC_SEC と ARC_NSEC）の更新に使用します。カウンタの更新は、インクリメントにのみ対応し、デクリメントには対応しません。

フラッシュシーケンサコマンドの 2 番目の書き込みで 0xD0 を書くと FACI (Flash Application Command Interface) はカウンタインクリメントコマンド処理を開始します。コマンド処理の完了は、FSTATR レジスタの FRDY ビットで確認できます。

コマンド実行中に「コマンドロック」状態が発生した場合は、「コマンドロック」状態の解除後にカウンタリフレッシュコマンドでカウンタをリフレッシュしてください。



注 1. 50 msec (FCLK ≧ 20 MHz)

図 49.26 カウンタインクリメントコマンドの使用方法

下記の条件においては、カウンタインクリメントコマンドでアンチロールバックカウンタの値はインクリメントされません。

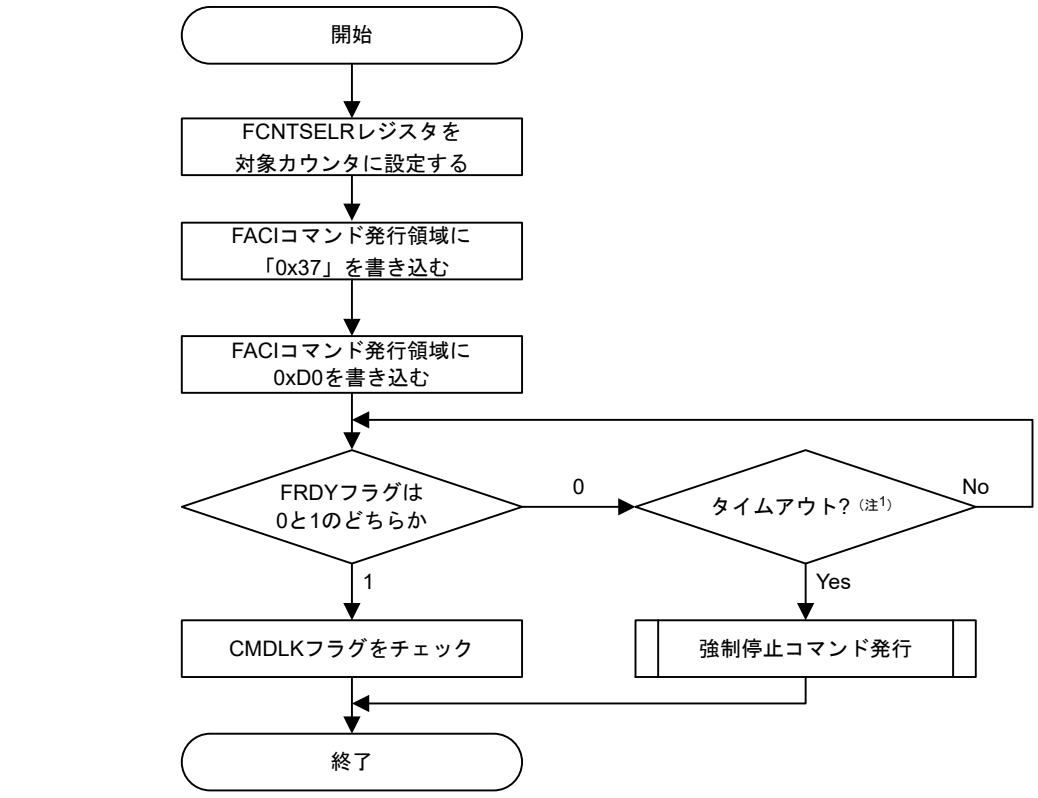
- 対象カウンタが、ARCSEC_LK または ARCNSEC_LK0～ARCNSEC_LK3 によって保護されている。
- 対象カウンタの値が最大値に達している。(エラーにはならない。)
- CNF_ARCNSEC0～CNF_ARCNSEC1 が不正に設定されているときの対象カウンタが ARC_NSEC である。

49.9.3.17 カウンタリフレッシュコマンド

カウンタリフレッシュコマンドは、セキュリティ機能とセーフティ機能で使用します。カウンタインクリメントコマンドの処理中に電源障害が発生した場合は、カウンタリフレッシュコマンドでアンチロールバックカウンタを更新します。カウンタリフレッシュコマンドではカウンタ値は変更されません。

フラッシュシーケンサコマンドの 2 番目の書き込みで 0xD0 を書くと FACI (Flash Application Command Interface) はカウンタインクリメントコマンド処理を開始します。コマンド処理の完了は、FSTATR レジスタの FRDY ビットで確認できます。

コマンド実行中に「コマンドロック」状態が発生した場合は、「コマンドロック」状態の解除後にカウンタリフレッシュコマンドでカウンタをリフレッシュしてください。



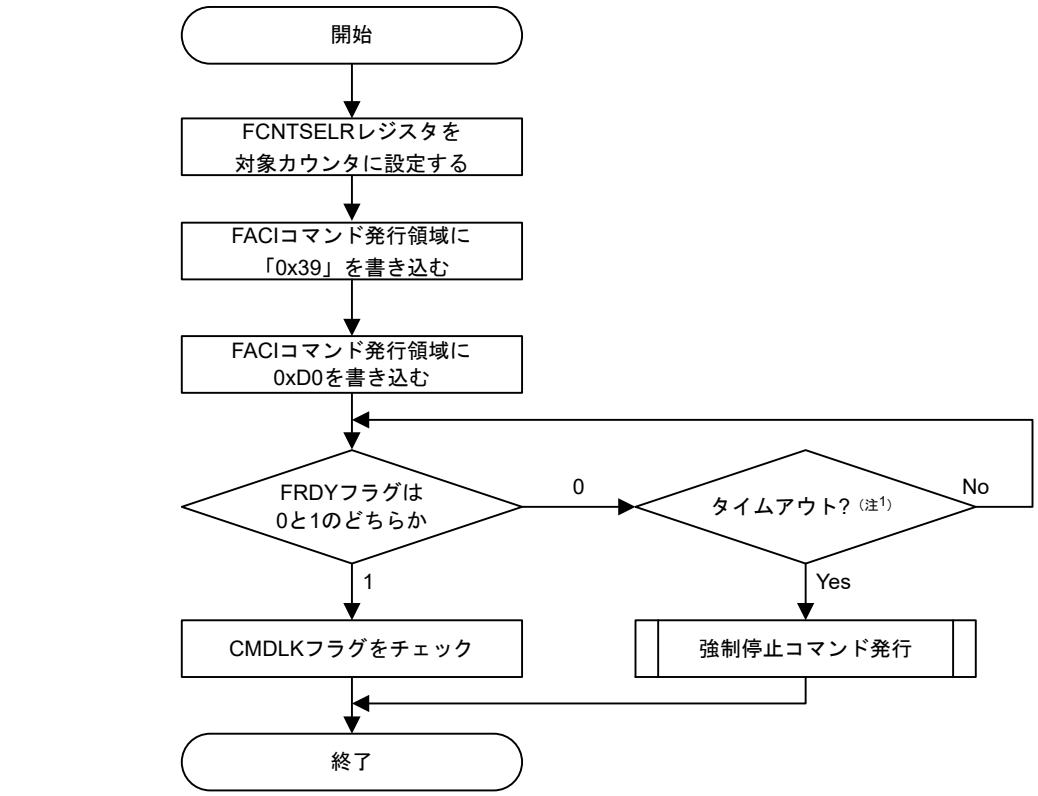
注 1. 50 ms (FCLK ≧ 20 MHz)

図 49.27 カウンタリフレッシュコマンドの使用方法

49.9.3.18 カウンタ読み出しコマンド

カウンタ読み出しコマンドは、セキュリティ機能とセーフティ機能で使用します。カウンタ読み出しコマンドは、2 種類のアンチロールバックカウンタ（ARC_SEC と ARC_NSEC）の読み出しに使用します。フラッシュシーケンサは、アンチロールバックカウンタの有効領域の判定、64 ビット分のデータの読み出し、FCNTDATAR0～FCNTDATAR1 レジスタへの格納を自動的に行います。

フラッシュシーケンサコマンドの 2 番目の書き込みで 0xD0 を書くと FACI (Flash Application Command Interface) はカウンタ読み出しコマンド処理を開始します。コマンド処理の完了は、FSTATR レジスタの FRDY ビットで確認できます。



注 1. 50 ms (FCLK ≧ 20 MHz)

図 49.28 カウンタ読み出しコマンドの使用方法

49.10 サスペンド動作

プログラム／イレース処理中は、表 49.39 に示すバックグラウンドオペレーションの条件が満たされない場合、フラッシュメモリの読み出しはできません。P/E サスペンドコマンドを発行し、フラッシュメモリへのプログラム／イレース処理を中断させることによって、フラッシュメモリの読み出しが可能になります。P/E サスペンドコマンドには、書き込みに対するサスペンドモードが 1 種類と消去に対するサスペンドモードが 2 種類（サスペンド優先モード、イレース優先モード）存在します。また、中断したプログラム／イレース処理を再開する P/E レジュームコマンドも用意しています。サスペンド動作の詳細は、図 49.17 を参照してください。

49.11 プロテクション機能

49.11.1 ソフトウェアプロテクション

ソフトウェアプロテクションは、コントロールレジスタの設定およびユーザー領域のブロック保護設定によりコードフラッシュメモリの書き換えおよび消去を無効にします。ソフトウェアプロテクションに対して FACI コマンド発行を試みると、フラッシュシーケンサはコマンドロック状態になります。

49.11.1.1 FWEPROR レジスタによるプロテクション

FWEPROR.FLWE[1:0]が 01b でなければ、どのモードでも書き換えはできません。

49.11.1.2 FENTRYR レジスタによるプロテクション

FENTRYR レジスタが 0x0000 に設定されるとフラッシュシーケンサは読み出しモードになります。読み出しモードでは FACI コマンドは受け付けられません。読み出しモードで FACI コマンド発行を試みると、フラッシュシーケンサはコマンドロック状態になります。

49.11.1.3 ブロック保護設定によるプロテクション

ユーザー領域の各ブロックにはブロック保護設定（BPS または BPS_SEC）があります。FBPROT0 レジスタまたは FBPROT1 レジスタが 0x0000 で、ブロック保護ビットが 0 のとき、コードフラッシュのユーザー領域にプログラムコマンドまたはブロックイレースコマンドを発行するとコマンドロック状態になります。ブロック保護ビットが 0 のブロックを書き換えまたは消去するためには、FBPROT0 レジスタまたは FBPROT1 レジスタを 0x0001 に設定してください。

ブロック保護設定は、永久ブロック保護設定（PBPS または PBPS_SEC）によりロックできます。永久ブロック保護設定およびブロック保護設定が 0 のとき、コードフラッシュのユーザー領域にプログラムコマンドまたはブロックイレースコマンドを発行すると、FBPROT0 レジスタまたは FBPROT1 レジスタの設定にかかわらず、フラッシュシーケンサはコマンドロック状態になります。

有効なブロック保護設定（BPS または BPS_SEC）はブロック保護選択ビット (BPS_SEL) に依存します。

ブロック保護設定および永久ブロック保護設定の詳細については「49.12.2. 永久ブロック保護設定」を参照してください。詳細については、「49.4.17. FBPROT0 : フラッシュブロック保護レジスタ」および「49.4.18. FBPROT1 : セキュア用フラッシュブロック保護レジスタ」を参照してください。

ブロック保護設定（BPS または BPS_SEC）およびブロック保護選択 (BPS_SEL) の詳細については、「6. オプション設定メモリ」を参照してください。

ブロック保護設定による保護領域は、アドレススワップ機能の設定（スタートアップ領域選択、リニアモードでのブロックスワップ、およびデュアルモードでのスタートアップバンク選択）にかかわらず、常に FSADDR レジスタ設定のアドレスで決まります。表 49.24～表 49.29 に、各機能設定でのユーザー領域とブロック保護設定の関係を示します。

(1) リニアモードの場合

- BPS[0]～BPS[n]または BPS_SEC[0]～BPS_SEC[n]は、ユーザー領域のブロックに割り当てられています（たとえば、アドレスは 0x00_0000～最終ブロックアドレスになります）。
- BPS[0]/BPS_SEC[0]および BPS[1]/BPS_SEC[1]は、スタートアップ領域選択設定（SAS.BTFLG ビット）に応じてユーザー領域のブロックに割り当てられています。（「49.11.3. スタートアッププログラムプロテクション」を参照してください。）
- FLI ユーザー領域の後半は、ブロックスワップ選択設定（BANKSEL.BLCKSWP[3:0]ビット）に応じてブロック保護設定に割り当てられています。「49.11.5. ブロックスワップ機能」を参照してください。

スタートアップ領域選択が無効（スワップなし）の場合のブロック保護設定を表 49.24 に示します。

表 49.25 以降では、アドレス変換機能が使用される場合のブロック保護設定の例を示します。

表 49.24 SAS.BTFLG ビットが 1 の場合のブロック保護設定例

FSADDR[23:0]	ブロックサイズ	ブロック保護設定	ユーザー領域ブロック番号	備考
最終ブロックアドレス	32 KB	BPS[n]または BPS_SEC[n]	ブロック n	—
⋮	⋮	⋮	⋮	—
0x01_8000～0x01_FFFF	32 KB	BPS[9]または BPS_SEC[9]	ブロック 9	—
0x01_0000～0x01_7FFF	32 KB	BPS[8]または BPS_SEC[8]	ブロック 8	—
0x00_E000～0x00_FFFF	8 KB	BPS[7]または BPS_SEC[7]	ブロック 7	—
0x00_C000～0x00_DFFF	8 KB	BPS[6]または BPS_SEC[6]	ブロック 6	—
⋮	⋮	⋮	⋮	—
0x00_2000～0x00_3FFF	8 KB	BPS[1]または BPS_SEC[1]	ブロック 1	本スタートアップ領域選択設定ではブロック 0 とブロック 1 をスワップしない
0x00_0000～0x00_1FFF	8 KB	BPS[0]または BPS_SEC[0]	ブロック 0	本スタートアップ領域選択設定ではブロック 0 とブロック 1 をスワップしない

表 49.25 SAS.BTFLG ビットが 0 の場合のブロック保護設定例

FSADDR[23:0]	ブロックサイズ	ブロック保護設定	ユーザー領域ブロック番号	備考
最終ブロックアドレス	32 KB	BPS[n]または BPS_SEC[n]	ブロック n	—
⋮	⋮	⋮	⋮	—
0x01_8000～0x01_FFFF	32 KB	BPS[9]または BPS_SEC[9]	ブロック 9	—
0x01_0000～0x01_7FFF	32 KB	BPS[8]または BPS_SEC[8]	ブロック 8	—
0x00_E000～0x00_FFFF	8 KB	BPS[7]または BPS_SEC[7]	ブロック 7	—
0x00_C000～0x00_DFFF	8 KB	BPS[6]または BPS_SEC[6]	ブロック 6	—
⋮	⋮	⋮	⋮	—
0x00_2000～0x00_3FFF	8 KB	BPS[1]または BPS_SEC[1]	ブロック 0	本スタートアップ領域選択設定ではブロック 0 とブロック 1 をスワップ
0x00_0000～0x00_1FFF	8 KB	BPS[0]または BPS_SEC[0]	ブロック 1	本スタートアップ領域選択設定ではブロック 0 とブロック 1 をスワップ

表 49.26 BANKSEL.BLCKSWP ビットが 1 の場合のブロック保護設定例

FSADDR[23:0]	ブロックサイズ	ブロック保護設定	ユーザー領域ブロック番号	備考
最終ブロックアドレス	32 KB	BPS[n]または BPS_SEC[n]	ブロック n	—
⋮	⋮	⋮	⋮	—
ブロックスワップ対象の上位側アドレス	32 KB	BPS[b]または BPS_SEC[b]	ブロック b	本ブロックスワップ選択設定ではブロック a とブロック b をスワップしない
⋮	⋮	⋮	⋮	—
ブロックスワップ対象の下位側アドレス	32 KB	BPS[a]または BPS_SEC[a]	ブロック a	本ブロックスワップ選択設定ではブロック a とブロック b をスワップしない
⋮	⋮	⋮	⋮	—
0x01_8000～0x01_FFFF	32 KB	BPS[9]または BPS_SEC[9]	ブロック 9	—
0x01_0000～0x01_7FFF	32 KB	BPS[8]または BPS_SEC[8]	ブロック 8	—
0x00_E000～0x00_FFFF	8 KB	BPS[7]または BPS_SEC[7]	ブロック 7	—
0x00_C000～0x00_DFFF	8 KB	BPS[6]または BPS_SEC[6]	ブロック 6	—
⋮	⋮	⋮	⋮	—
0x002000～0x00_3FFF	8 KB	BPS[1]または BPS_SEC[1]	ブロック 1	—
0x00_0000～0x00_1FFF	8 KB	BPS[0]または BPS_SEC[0]	ブロック 0	—

表 49.27 BANKSEL.BLCKSWP ビットが 0 の場合のブロック保護設定例 (1/2)

FSADDR[23:0]	ブロックサイズ	ブロック保護設定	ユーザー領域ブロック番号	備考
最終ブロックアドレス	32 KB	BPS[n]または BPS_SEC[n]	ブロック n	—
⋮	⋮	⋮	⋮	—
ブロックスワップ対象の更新側アドレス	32 KB	BPS[b]または BPS_SEC[b]	ブロック a	本ブロックスワップ選択設定ではブロック a とブロック b をスワップ
⋮	⋮	⋮	⋮	—

表 49.27 BANKSEL.BLCKSWP ビットが 0 の場合のブロック保護設定例 (2/2)

FSADDR[23:0]	ブロックサイズ	ブロック保護設定	ユーザー領域ブロック番号	備考
ブロックスワップ対象の動作側アドレス	32 KB	BPS[a]または BPS_SEC[a]	ブロック b	本ブロックスワップ選択設定ではブロック a とブロック b をスワップ
⋮	⋮	⋮	⋮	—
0x01_8000～0x01_FFFF	32 KB	BPS[9]または BPS_SEC[9]	ブロック 9	—
0x01_0000～0x01_7FFF	32 KB	BPS[8]または BPS_SEC[8]	ブロック 8	—
0x00_E000～0x00_FFFF	8 KB	BPS[7]または BPS_SEC[7]	ブロック 7	—
0x00_C000～0x00_DFFF	8 KB	BPS[6]または BPS_SEC[6]	ブロック 6	—
⋮	⋮	⋮	⋮	—
0x00_2000～0x00_3FFF	8 KB	BPS[1]または BPS_SEC[1]	ブロック 1	—
0x00_0000～0x00_1FFF	8 KB	BPS[0]または BPS_SEC[0]	ブロック 0	—

(2) デュアルモードの場合 (DUALSEL.BANKMD[2:0] = 000b)

- BPS[0]～BPS[n]または BPS_SEC[0]～BPS_SEC[n]は、バンク 0 ユーザー領域のブロックに割り当てられています（たとえば、アドレスは 0x00000000～下側バンクの最終ブロックアドレスになります）。
- BPS[70]～BPS[70 + n]または BPS_SEC[70]～BPS_SEC[70 + n]は、バンク 1 ユーザー領域のブロックに割り当てられています（たとえば、アドレスは 0x00200000～上側バンクの最終ブロックアドレスになります）。

バンク 0 が上側バンク (BANKSEL.BANKSWP[2:0] = 000b) です。

- BPS[0]～BPS[n]または BPS_SEC[0]～BPS_SEC[n]は、バンク 1 ユーザー領域のブロックに割り当てられています（たとえば、アドレスは 0x00_0000～下側バンクの最終ブロックアドレスになります）。
- BPS[70]～BPS[70 + n]または BPS_SEC[70]～BPS_SEC[70 + n]は、バンク 0 ユーザー領域のブロックに割り当てられています（たとえば、アドレスは 0x20_0000～上側バンクの最終ブロックアドレスになります）。

デュアルモードでのブロック保護設定例を表 49.28 と表 49.29 に示します。デュアルバンク機能（DUALSEL.BANKMD[2:0]ビットおよび BANKSEL.BANKSWP[2:0]ビット）の詳細については、「49.11.4. デュアルバンク機能」を参照してください。

表 49.28 BANKSEL.BANKSWP[2:0]ビットが 111b の場合のブロック保護設定例 (1/2)

FSADDR[23:0]	ブロックサイズ	ブロック保護設定	ユーザー領域ブロック番号	備考
上側バンクの最終ブロックアドレス	32 KB	BPS[70 + n]または BPS_SEC[70 + n]	ブロック 70 + n	本スタートアップバンク切り替え設定ではバンク 0 とバンク 1 をスワップしない
⋮	⋮	⋮	⋮	
0x21_8000～0x21_FFFF	32 KB	BPS[79]または BPS_SEC[79]	ブロック 79	
0x21_0000～0x21_7FFF	32 KB	BPS[78]または BPS_SEC[78]	ブロック 78	
0x20_E000～0x20_FFFF	8 KB	BPS[77]または BPS_SEC[77]	ブロック 77	
0x20_C000～0x20_DFFF	8 KB	BPS[76]または BPS_SEC[76]	ブロック 76	
⋮	⋮	⋮	⋮	
0x20_2000～0x20_3FFF	8 KB	BPS[71]または BPS_SEC[71]	ブロック 71	
0x20_0000～0x20_1FFF	8 KB	BPS[70]または BPS_SEC[70]	ブロック 70	

表 49.28 BANKSEL.BANKSWP[2:0]ビットが 111b の場合のブロック保護設定例 (2/2)

FSADDR[23:0]	ブロックサイズ	ブロック保護設定	ユーザー領域ブロック番号	備考
下側バンクの最終ブロックアドレス	32 KB	BPS[n]または BPS_SEC[n]	ブロック n	本スタートアップバンク切り替え設定ではバンク 0 とバンク 1 をスワップしない
⋮	⋮	⋮	⋮	
0x01_8000～0x01_FFFF	32 KB	BPS[9]または BPS_SEC[9]	ブロック 9	
0x01_0000～0x01_7FFF	32 KB	BPS[8]または BPS_SEC[8]	ブロック 8	
0x00_E000～0x00_FFFF	8 KB	BPS[7]または BPS_SEC[7]	ブロック 7	
0x00_C000～0x00_DFFF	8 KB	BPS[6]または BPS_SEC[6]	ブロック 6	
⋮	⋮	⋮	⋮	
0x00_2000～0x00_3FFF	8 KB	BPS[1]または BPS_SEC[1]	ブロック 1	
0x00_0000～0x00_1FFF	8 KB	BPS[0]または BPS_SEC[0]	ブロック 0	

表 49.29 BANKSEL.BANKSWP[2:0]ビットが 000b の場合のユーザー領域とブロック保護設定の関係

FSADDR[23:0]	ブロックサイズ	ブロック保護設定	ユーザー領域ブロック番号	備考
上側バンクの最終ブロックアドレス	32 KB	BPS[70 + n]または BPS_SEC[70 + n]	ブロック n	本スタートアップバンク切り替え設定ではバンク 0 とバンク 1 をスワップ
⋮	⋮	⋮	⋮	
0x21_8000～0x21_FFFF	32 KB	BPS[79]または BPS_SEC[79]	ブロック 9	
0x21_0000～0x21_7FFF	32 KB	BPS[78]または BPS_SEC[78]	ブロック 8	
0x20_E000～0x20_FFFF	8 KB	BPS[77]または BPS_SEC[77]	ブロック 7	
0x20_C000～0x20_DFFF	8 KB	BPS[76]または BPS_SEC[76]	ブロック 6	
⋮	⋮	⋮	⋮	
0x20_2000～0x20_3FFF	8 KB	BPS[71]または BPS_SEC[71]	ブロック 1	
0x20_0000～0x20_1FFF	8 KB	BPS[70]または BPS_SEC[70]	ブロック 0	
下側バンクの最終ブロックアドレス	32 KB	BPS[n]または BPS_SEC[n]	ブロック 70 + n	本スタートアップバンク切り替え設定ではバンク 0 とバンク 1 をスワップ
⋮	⋮	⋮	⋮	
0x01_8000～0x01_FFFF	32 KB	BPS[9]または BPS_SEC[9]	ブロック 79	
0x01_0000～0x01_7FFF	32 KB	BPS[8]または BPS_SEC[8]	ブロック 78	
0x00_E000～0x00_FFFF	8 KB	BPS[7]または BPS_SEC[7]	ブロック 77	
0x00_C000～0x00_DFFF	8 KB	BPS[6]または BPS_SEC[6]	ブロック 76	
⋮	⋮	⋮	⋮	
0x00_2000～0x00_3FFF	8 KB	BPS[1]または BPS_SEC[1]	ブロック 71	
0x00_0000～0x00_1FFF	8 KB	BPS[0]または BPS_SEC[0]	ブロック 70	

49.11.2 エラープロテクション

エラープロテクションは、不正 FACI コマンドの発行、不正アクセス、およびフラッシュシーケンサの誤動作を検出します。エラー検出時 FACI コマンドは受け付けられなくなります (コマンドロック状態)。フラッシュシーケンサがコマンドロック状態中、フラッシュメモリは書き込みまたは消去できません。コマンドロック状態から解放するには、ステータスクリアコマンドまたは強制停止コマンドを発行してください。ステータスクリアコマンドは、FSTATR レジスタの FRDY ビットが 1 の場合のみ使用可能です。強制停止コマンドは、FRDY ビットの値に関係なく使用できます。FAEINT レジスタの CMDLKIE ビットが 1 のとき、フラッシュシーケンサがコマンドロック状態（FASTAT レジスタの CMDLK ビットが 1）になるとフラッシュアクセスエラー (FIFERR) 割り込みが発生します。

プログラム／イレース処理中に P/E サスペンドコマンド以外のコマンドによりフラッシュシーケンサがコマンドロック状態になると、フラッシュシーケンサはプログラム／イレース処理を継続します。この状態ではプログラム／イレース処理を中断するのに P/E サスペンドコマンドは使用できません。コマンドロック状態でコマン

ドが発行されると、ILGLERR ビットが 1 になり、その他のビットは前回のエラー検出時に設定された値を保持します。

表 49.30 に、プロテクション種別とエラー検出後のステータスビット値を示します。

表 49.30 エラープロテクション種別 (1/3)

エラー種別	説明	ILGCOMERR	FESETERR	SECERR	OTERR	TZFERR	ILGLERR	ERSERR	PRGERR	FLWEERR	CFAE	DFAE
FENTRYR 設定エラー	FENTRYR レジスタに設定された値が 0x0000、0x0001、0x0080 のいずれでもない	0	1	0	0	0	1	0	0	0	0	0
	サスペンド時の FENTRYR レジスタ設定がレジューム時の設定と異なる	0	1	0	0	0	1	0	0	0	0	0
不正コマンドエラー	コマンドの最初のサイクルで不定サイズが指定された（バイト書き込みでない）	1	0	0	0	0	1	0	0	0	0	0
	FACI コマンドの最初のアクセスで不定コードが書き込まれた	1	0	0	0	0	1	0	0	0	0	0
	マルチアクセス FACI コマンドの最終アクセスで指定された値が 0xD0 でない	1	0	0	0	0	1	0	0	0	0	0
	プログラムまたはコンフィグレーション設定コマンドで FACI コマンドの 2 番目の書き込みで指定された値 (N) が間違っている	1	0	0	0	0	1	0	0	0	0	0
	ブランクチェックコマンドが発行されたが、BCDIR、FSADDR、FEADDR の各レジスタの設定と一致しない（「49.4.13. FEADDR : FACI コマンド終了アドレスレジスタ」参照）	1	0	0	0	0	1	0	0	0	0	0/1 (注1)
	マルチブロックイレースコマンドが発行されたが、FSADDR レジスタおよび FEADDR レジスタ設定に矛盾がある ● FSADDR > FEADDR ● FEADDR レジスタは予約領域に設定されている	1	0	0	0	0	1	0	0	0	0	0/1 (注1)
	カウンタインクリメントコマンド、カウンタリフレッシュコマンド、またはカウンタリフレッシュコマンドが発行されたが、FCNTSELR[2:0]の設定に矛盾がある（CNF_ARCNS0 ビットと CNF_ARCNS1 ビットの設定の不一致を含む）	1	0	0	0	0	1	0	0	0	0	0
	各モードで受け付けできない FACI コマンドが発行された（表 49.19 参照）	1	0	0	0	0	1	0	0	0	0	0
	コマンド受け付け条件が満たされていないときに FACI コマンドが発行された（表 49.20 参照）	0/1	0/1	0/1	0/1	0	1	0/1	0/1	0/1	0/1	0/1
	ブロック保護設定により保護されている領域にプログラムコマンド、ブロックイレースコマンド、またはマルチブロックイレースコマンドが発行された（「49.11.1.3. ブロック保護設定によるプロテクション」参照）	1	0	0	0	0	1	0	0	0	0	0

表 49.30　エラープロテクション種別 (2/3)

エラー種別	説明	ILGCOMERR	FESETERR	SECERR	OTERR	TZFERR	ILGLERR	ERSERR	PRGERR	FLWEERR	CFAE	DFAE
不正コマンドエラー	ロックビット設定により保護されているデータフラッシュコンフィグレーション領域にコンフィグレーション設定コマンドが発行された	1	0	0	0	0	1	0	0	0	0	0
	ロックビット設定により保護されているアンチロールバック領域にカウンタインクリメントコマンドまたはカウンタリフレッシュコマンドが発行された	1	0	0	0	0	1	0	0	0	0	0
	消去サスペンド中の消去領域にプログラムコマンドが発行された	1	0	0	0	0	1	0	0	0	0	0
	フラッシュシーケンサのコマンド不正ステータスに対してコマンドが発行された（表 49.17 を参照）	0/1	0/1	0/1	0/1	0	1	0/1	0/1	0/1	0/1	0/1
消去エラー	消去中にエラーが発生した	0	0	0	0	0	0	1	0	0	0	0
書き込みエラー	書き込み中にエラーが発生した	0	0	0	0	0	0	0	1	0	0	0
コードフラッシュメモリアクセス違反	コードフラッシュ P/E モードでユーザー領域の予約部分に FACI コマンドが発行された	0	0	0	0	0	1	0	0	0	1	0
	コードフラッシュ P/E モードで予約済みコンフィグレーション領域にコンフィグレーション設定コマンドが発行された	0/1	0	0	0	0	1	0	0	0	1	0
	コードフラッシュ P/E モードで TrustZone 保護領域に、プログラムコマンド、ブロックイレースコマンド、またはコンフィグレーション設定コマンドが発行された	0/1	0	0	0	1	1	0	0	0	1	0
データフラッシュメモリアクセス違反	データフラッシュ P/E モードでプログラムコマンドまたはブロックイレースコマンドが予約データ領域に発行された	0	0	0	0	0	1	0	0	0	0	1
	データフラッシュ P/E モードでマルチブロックイレースコマンドが予約データ領域に発行された (FSADDR レジスタは予約データ領域に設定されている)	1	0	0	0	0	1	0	0	0	0	1
	データフラッシュ P/E モードでブランクチェックコマンドが予約データ領域に発行された (FSADDR レジスタは予約データ領域に設定されている)	1	0	0	0	0	1	0	0	0	0	1
	データフラッシュ P/E モードで予約済みコンフィグレーション領域にコンフィグレーション設定コマンドが発行されている	0/1	0	0	0	0	1	0	0	0	0	1
	データフラッシュ P/E モードで TrustZone 保護領域に、プログラムコマンド、ブロックイレースコマンド、マルチブロックイレースコマンド、ブランクチェックコマンド、コンフィグレーション設定コマンド、カウンタインクリメントコマンド、カウンタリフレッシュコマンド、またはカウンタ読み出しコマンドが発行された	0	0	0	0	0	1	0	0	0	0	1

表 49.30 エラープロテクション種別 (3/3)

エラー種別	説明	ILGCOMERR	FESETERR	SECERR	OTERR	TZFERR	ILGLERR	ERSERR	PRGERR	FLWEERR	CFAE	DFAE
セキュリティエラー	SAS.FSPR ビットが 0 のとき SAS.BTFLG ビット設定用のコンフィグレーション設定コマンドが発行された（「49.9.3.15. コンフィグレーション設定コマンド」参照）	0	0	1	0	0	1	0	0	0	0	0
その他	FACI コマンド発行領域が読み出しモードでアクセスされた	0	0	0	1	0	1	0	0	0	0	0
	コードフラッシュ P/E モードまたはデータフラッシュ P/E モードで FACI コマンド発行領域が読み出された	0	0	0	1	0	1	0	0	0	0	0
フラッシュライト／イレース保護エラー	フラッシュシーケンサによるコマンド処理中に FWEPROR レジスタ設定(注2) によりフラッシュメモリライトプロテクトエラーが検出された	0	0	0	0	0	0	0/1	0/1	1	0	0

注 1. DFAE ビット値は、FSADDR レジスタ設定に依存します。
注 2. FWEPROR レジスタの詳細については、「49.4.8. FWEPROR : フラッシュ P/E プロテクトレジスタ」を参照してください。

49.11.3 スタートアッププログラムプロテクション

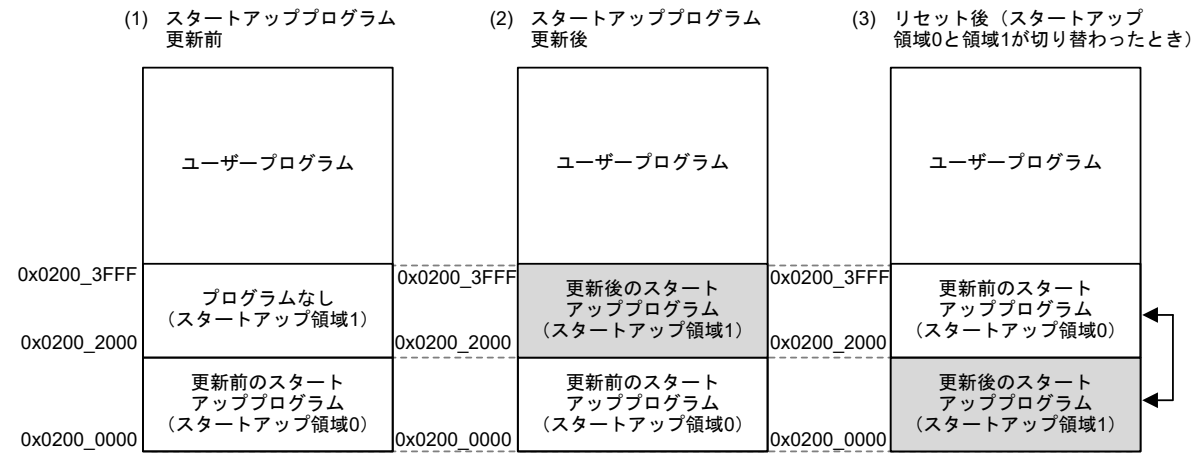
スタートアッププログラムプロテクションとは、リセット後に起動されるプログラム（スタートアッププログラム）の保護のことです。本機能は、リセット中に書き換えが中断されたスタートアッププログラムを安全に更新する手段になります。

スタートアップ領域のサイズは 8 K バイトで、コードフラッシュメモリのユーザー領域に割り当てられています。本機能は SAS.BTFLG ビットと FSUACR.SAS[1:0]ビット値を使用し、スタートアッププログラムがブロック単位で格納される領域を変更します（図 49.29～図 49.32 参照）。

スタートアッププログラムプロテクションにおいて、スタートアップ領域の選択状態は、FSPR ビットで固定できます。しかしながら、SAS.FSPR ビットはいったん 0 になると、1 に戻りません。SAS.FSPR ビットの取り扱いには特に注意してください。

さらに、バンクモード切り替え機能によりデュアルモードが選択されている場合（BANKMD[2:0]ビットが 000b）、本プロテクションは使用できません。

SAS.FSPR ビットと DUALSEL.BANKMD[2:0]ビットの詳細については、「6. オプション設定メモリ」を参照してください。



注. 読み出し、書き込みおよび消去には上記のアドレスが使用されます。項番 3 の割り当てでブロックイレースコマンドがアドレス 0x0200_0000 に発行されるとスタートアップ領域 0 が消去されます。

1. スタートアッププログラム更新前
   SAS.BTFLG ビットが 1 で FSUACR.SAS[1:0]ビットが 0xb のとき、アドレス範囲 0x0100_2000～0x0200_3FFF がスタートアップ領域 1 に、アドレス範囲 0x0200_0000～0x0200_1FFF がスタートアップ領域 0 に選択されます。
2. スタートアッププログラム更新後
   新しいスタートアッププログラムをスタートアップ領域 1 に書き込み可能です。このときスタートアップ領域 0 にはまだ前のスタートアッププログラムが残っているので、仮にスタートアップ領域 1 への書き換えが失敗した場合には、スタートアップ領域 0 から起動して書き換えることが可能です。
3. リセット後（スタートアップ領域 0 とスタートアップ領域 1 が切り替わったとき）
   スタートアップ領域の書き換えが成功した場合、コンフィグレーション設定コマンドでスタートアップ領域選択ビット（SAS.BTFLG ビット）を書き換えることによりスタートアップ領域 0 とスタートアップ領域 1 の割り当てを切り替えてください。その後、プログラムはリセット後にスタートアップ領域 1 から起動します。

図 49.29 スタートアッププログラムプロテクションの概念（セキュアエイリアスの場合）

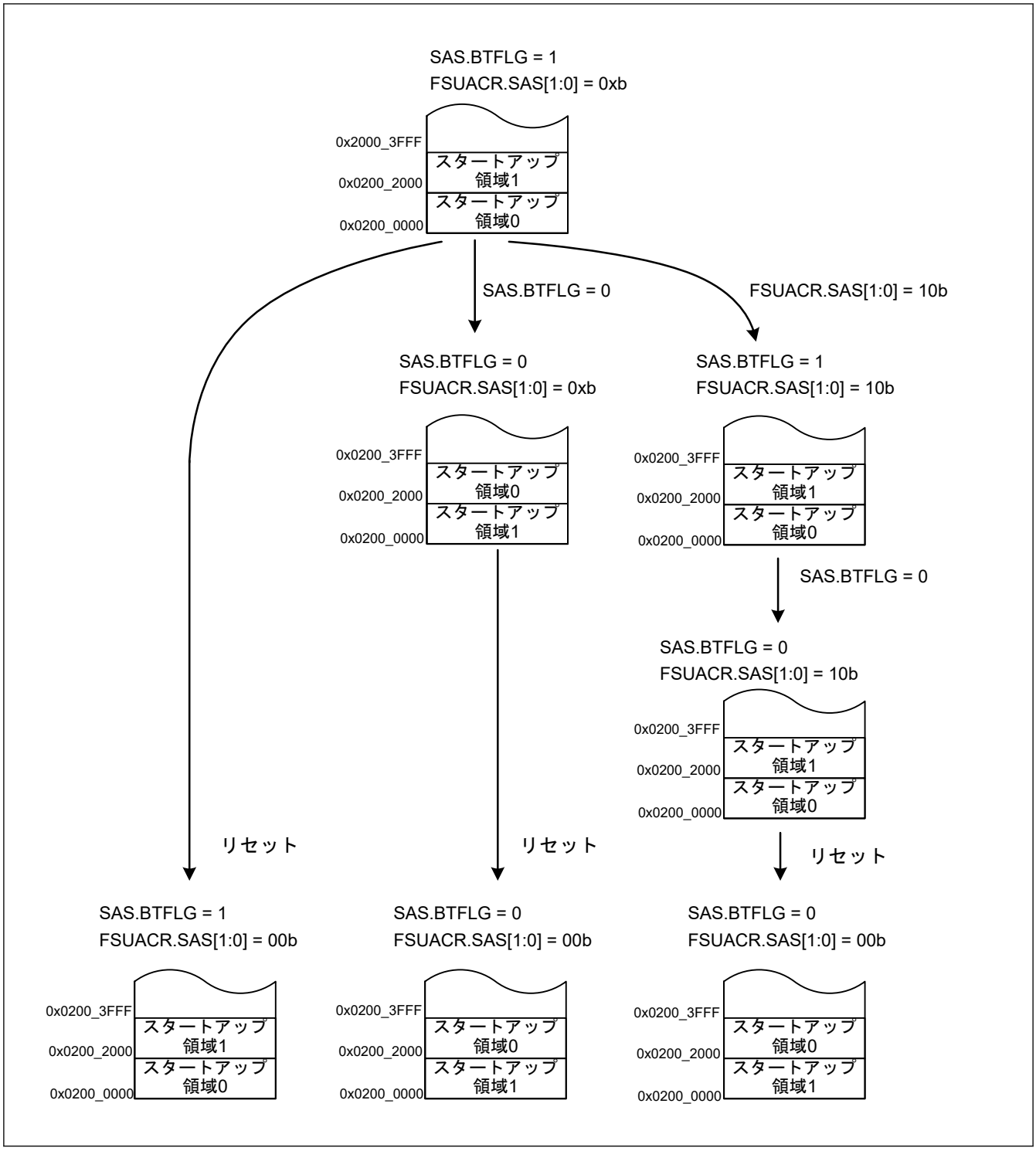


図 49.30　スタートアッププログラムプロテクション設定の遷移例 1（セキュアエイリアスの場合）

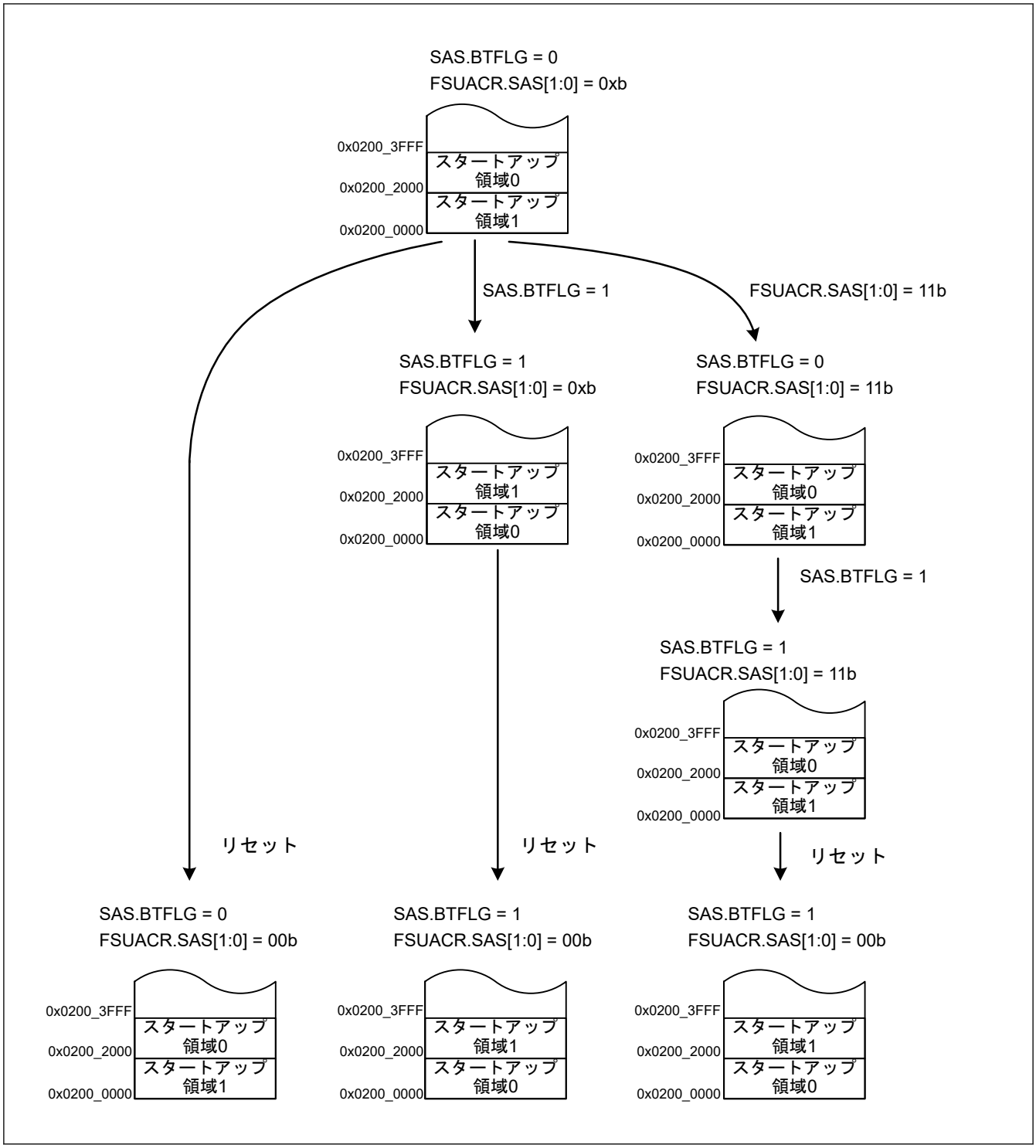
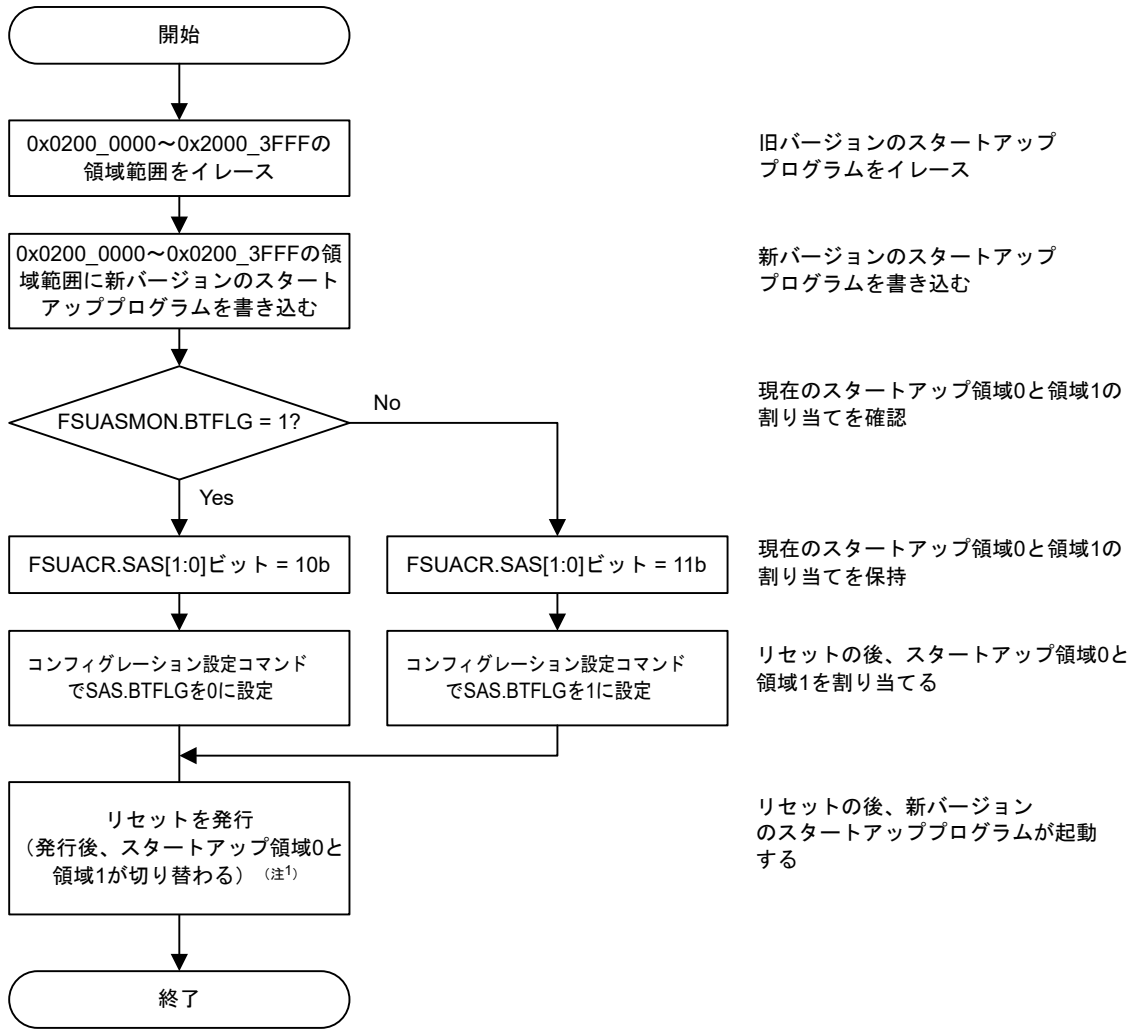


図 49.31　スタートアッププログラムプロテクション設定の遷移例 2（セキュアエイリアスの場合）



注 1. 詳細は、図 49.30 および図 49.31 を参照してください。

図 49.32 スタートアッププログラムプロテクションの概念（セキュアエイリアスの場合）

49.11.4 デュアルバンク機能

本プロテクション機能は、バンクモード切り替えおよびスタートアップバンク選択機能を使用しますが、このバンクモード切り替えおよびスタートアップバンク選択機能はユーザープログラム実行中にプログラムを更新したり、リセット中に書き込みが中断された場合に安全な更新方法を提供するための機能です。

49.11.4.1 バンクモードの切り替え

バンクモード切り替え機能は、コードフラッシュメモリのユーザー領域が一つの領域として使用されるリニアモードと、ユーザー領域が 2 つのバンク領域に分けられるデュアルモードのいずれかを選択します。図 49.33 に、バンクモード切り替えのフローチャート例を示します。オプション設定メモリの DUALSEL.BANKMD[2:0]ビット設定後のリセットにより、バンクモード切り替え機能のモードが決定されます。デュアルモードを選択するとスタートアップバンク選択機能が有効になります。

バンクモード切り替え機能によりデュアルモードが選択されていると（DUALSEL.BANKMD[2:0]ビットが 000b）、スタートアッププログラムプロテクション機能が使用できません。

DUALSEL.BANKMD[2:0]ビットの詳細については、「6. オプション設定メモリ」を参照してください。

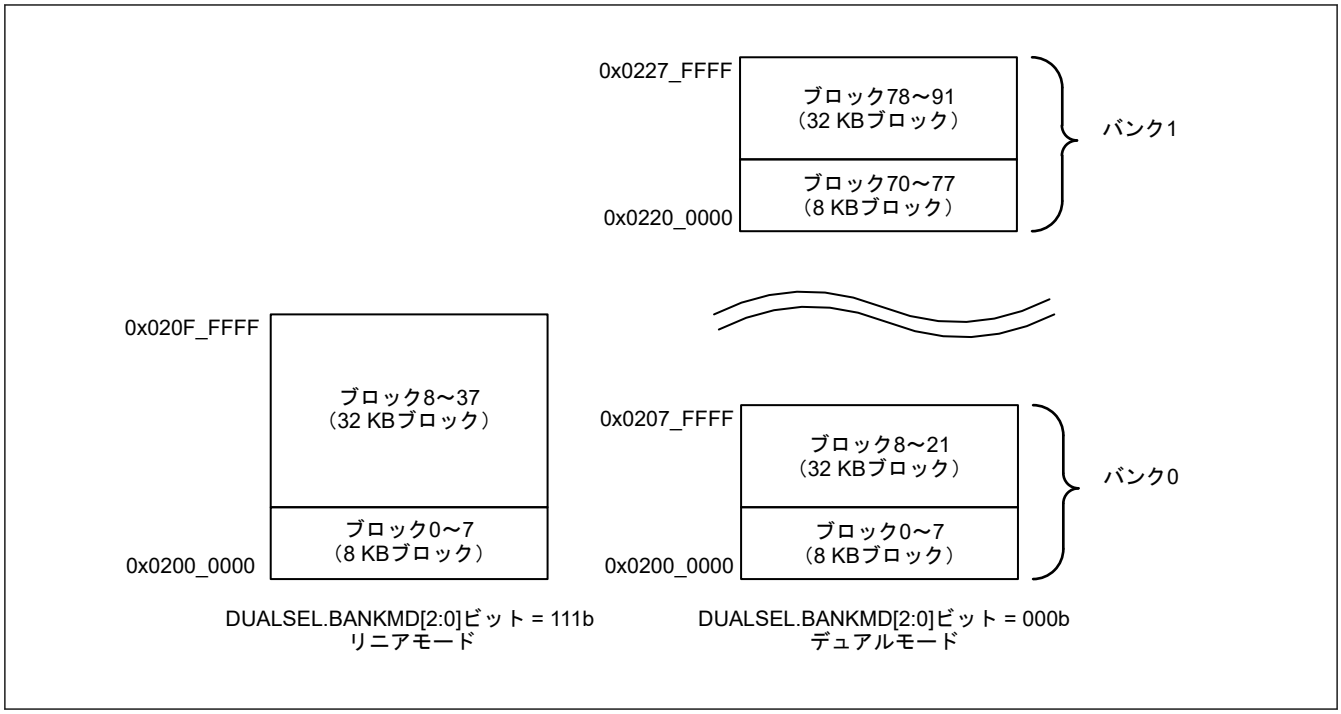


図 49.33　バンクモード切り替えフロー例（セキュアエイリアスの場合）

49.11.4.2　スタートアップバンクの選択

スタートアップバンクの選択は、リセット中に書き換えが中断されている場合にデュアルモード（DUALSEL.BANKMD[2:0]ビットが 000b）で起動するバンク領域を選択することによりプログラムを安全に更新する方法を提供します。スタートアップバンク選択の概念図を図 49.34 に、スタートアップバンク選択のフロー例を表 49.31 に示します。オプション設定メモリの BANKSEL.BANKSWP[2:0]ビット値を設定した後のリセットにより、バンク 0 とバンク 1 のアドレスが変わり、プログラムのブートアップが更新領域から始まります。スタートアップバンク選択を使用することによりアドレスが切り替わると、FACI コマンドのプログラム／イレース対象も切り替わります。本機能はリニアモードでは無効です。

DUALSEL.BANKMD[2:0]ビットおよび BANKSEL.BANKSWP[2:0]ビットの詳細については、「6. オプション設定メモリ」を参照してください。

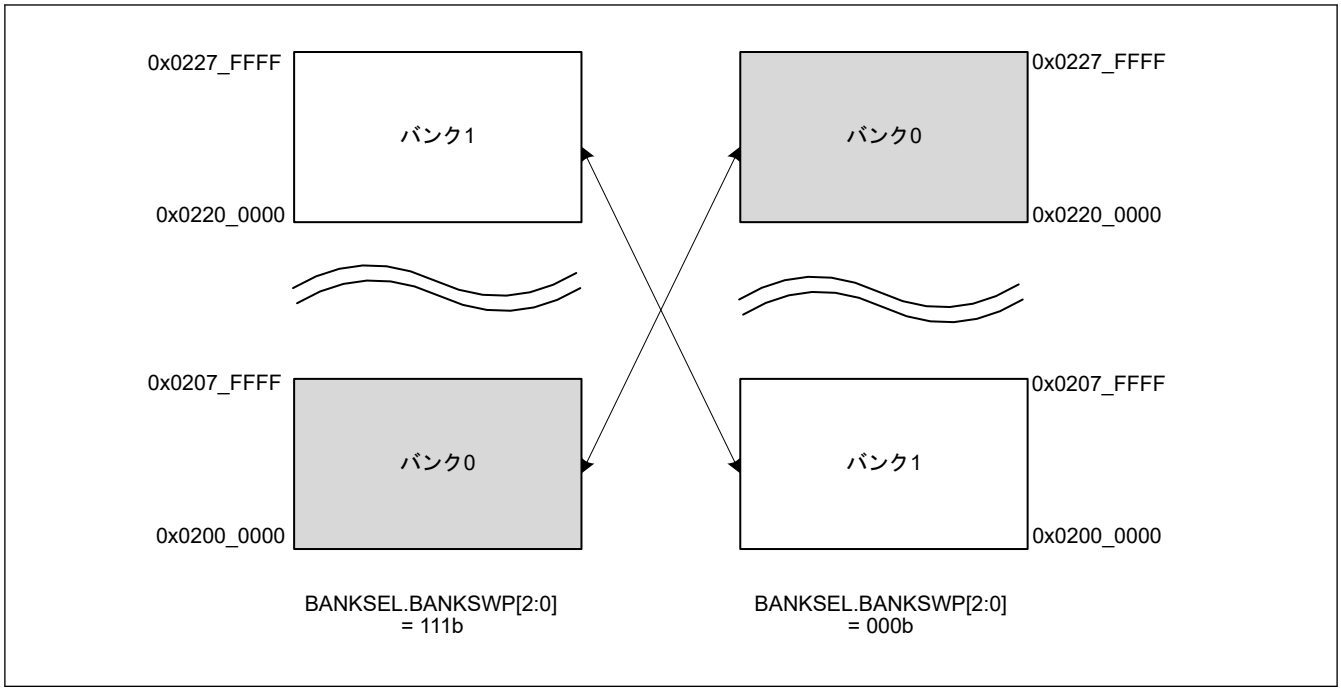


図 49.34　スタートアップバンク選択例（セキュアエイリアスの場合）

表 49.31　スタートアップバンク選択フロー例（セキュアエイリアスの場合）

No.	ステップ名	説明
1	ブロック消去	0x0220_0000～0x0227_FFFF のアドレス範囲で書き込み対象のブロックを消去する
2	新しいソフトウェアを書き込む	0x0220_0000～0x0227_FFFF のアドレス範囲で新しいプログラムを書き込む
3	値を読み出す	BANKSEL.BANKSWP[2:0]ビットの値を読み出す
4	逆の値を書き込む	BANKSEL.BANKSWP[2:0]ビット値の逆の値を書き込む(注1)
5	リセットを発行する	リセットを発行する （リセットによりバンクが切り替わる）

注 1.　BANKSEL.BANKSWP[2:0]ビットの読み出し値（000b または 111b）と逆の値を設定してください。

49.11.5　ブロックスワップ機能

本プロテクション機能は、ブロックスワップ選択機能を使用しますが、このブロックスワップ選択機能はユーザープログラム実行中にプログラムを更新したり、リセット中に書き込みが中断された場合に安全な更新方法を提供するための機能です。

49.11.5.1　ブロックスワップ選択

ブロックスワップ選択は、リセットにより書き換えが中断された場合に、プログラムを安全に更新する一つの方法です。ブロックスワップ選択の概念図を図 49.35 に、ブロックスワップ選択のフロー例を図 49.36 に示します。オプション設定メモリにおいて BANKSEL.BLCKSWP ビットの値を設定した後のリセットにより、ブロック A とブロック B のアドレスが変わります。アドレスが切り替わると、FACI コマンドのプログラム／イレース対象も切り替わります。

さらに、バンクモード切り替え機能によりデュアルモードが選択されている場合（DUALSEL.BANKMD[2:0]ビットが 000b）、本プロテクションは使用できません。

DUALSEL.BANKMD[2:0]ビットおよび BANKSEL.BLCKSWP ビットの詳細については、「6. オプション設定メモリ」を参照してください。

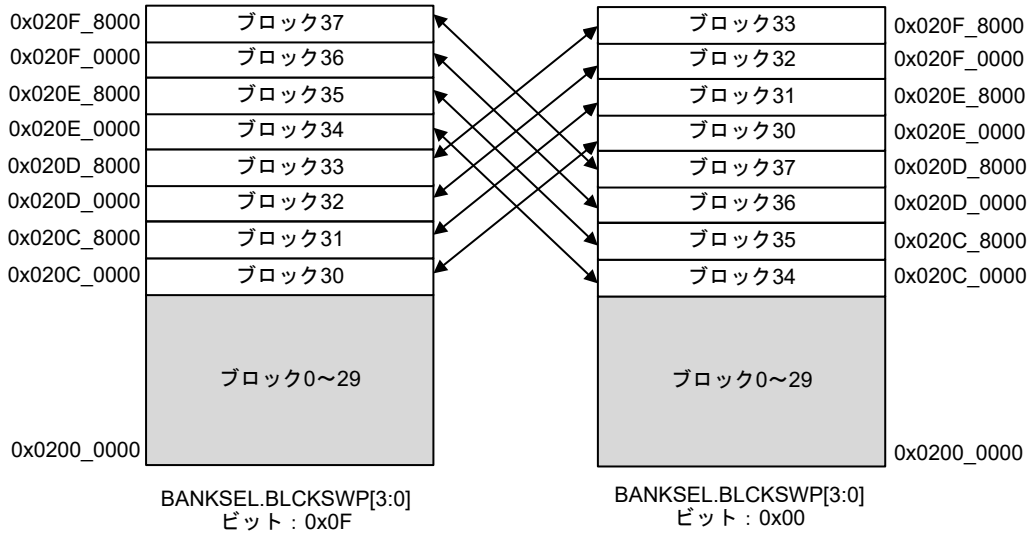
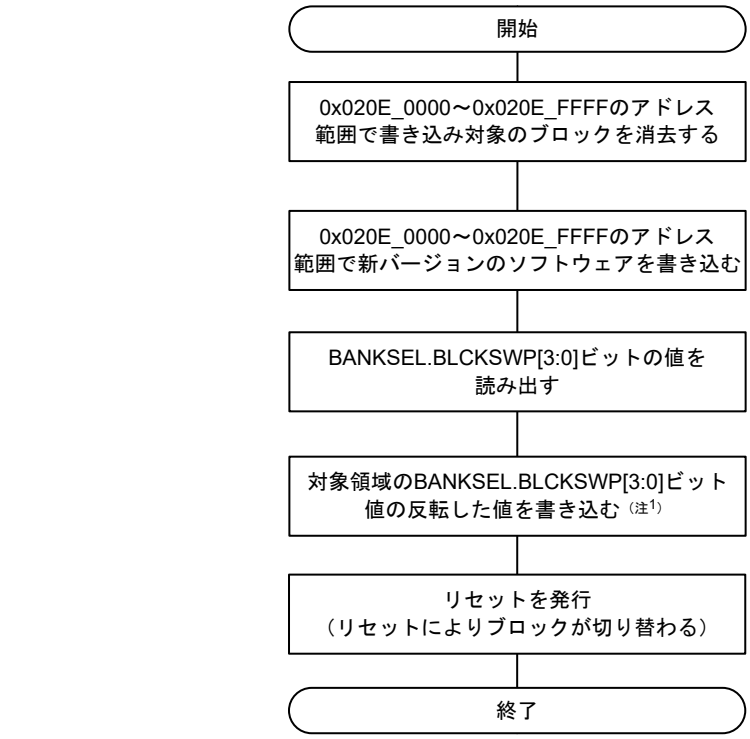


図 49.35　ブロックスワップ選択例（セキュアエイリアスの場合）



注 1.　対象領域と BANKSEL.BLCKSWP[3:0]の対応については、表 6.2 を参照してください。

図 49.36　ブロックスワップ選択フロー例（セキュアエイリアスの場合）

49.12　セキュリティ機能

フラッシュシーケンサは、下記セキュリティ機能をサポートします。

- スタートアップ領域のセキュリティフラグ
- 永久ブロック保護設定
- TrustZone のフラッシュメモリ保護

- コードフラッシュ P/E モードエントリ保護
- データフラッシュコンフィグレーション領域保護
- アンチロールバックカウンタ

49.12.1 スタートアップ領域選択のセキュリティフラグ

スタートアップ領域のセキュリティフラグ (SAS.FSPR) は、オプション設定メモリにあります。

SAS.FSPR ビットが 0 のときコンフィグレーション設定コマンドを発行して SAS.BTFLG ビット値を変更すると、フラッシュシーケンサはコマンドロック状態になります。また、SAS.FSPR ビットが 0 のとき FSUACR レジスタのスタートアップ領域選択ビット (SAS[1:0]) への書き込みは無効です。SAS.FSPR ビットは保護を有効にします。

49.12.2 永久ブロック保護設定

永久ブロック保護設定は、ブロック保護設定のクリア保護です。永久ブロック保護設定が有効の場合、ユーザー領域は FACI コマンドを使っても永久に更新されません。詳細は、「49.11.1.3. ブロック保護設定によるプロテクション」を参照してください。

ブロック保護設定および永久ブロック保護設定をすると、コンフィグレーション設定コマンドに対して書き込み／クリア保護を行います。書き込み／クリア保護設定に対してコンフィグレーション設定コマンドを発行してもフラッシュシーケンサはエラーを検出しません。

図 49.37 および表 49.32 に、ブロック保護設定 (BPS[n]) および永久保護設定 (PBPS[n]) に対する書き込み／クリア保護を示します。図 49.38 および表 49.33 に、セキュア用ブロック保護設定 (BPS_SEC[n]) およびセキュア用永久保護設定 (PBPS_SEC[n]) に対する書き込み／クリア保護を示します。

効果的な永久ブロック保護設定（PBPS または PBPS_SEC）はブロック保護の選択 (BPS_SEL) に依存します。永久ブロック保護設定（PBPS または PBPS_SEC）およびブロック保護選択 (BPS_SEL) の詳細については、「6. オプション設定メモリ」を参照してください。

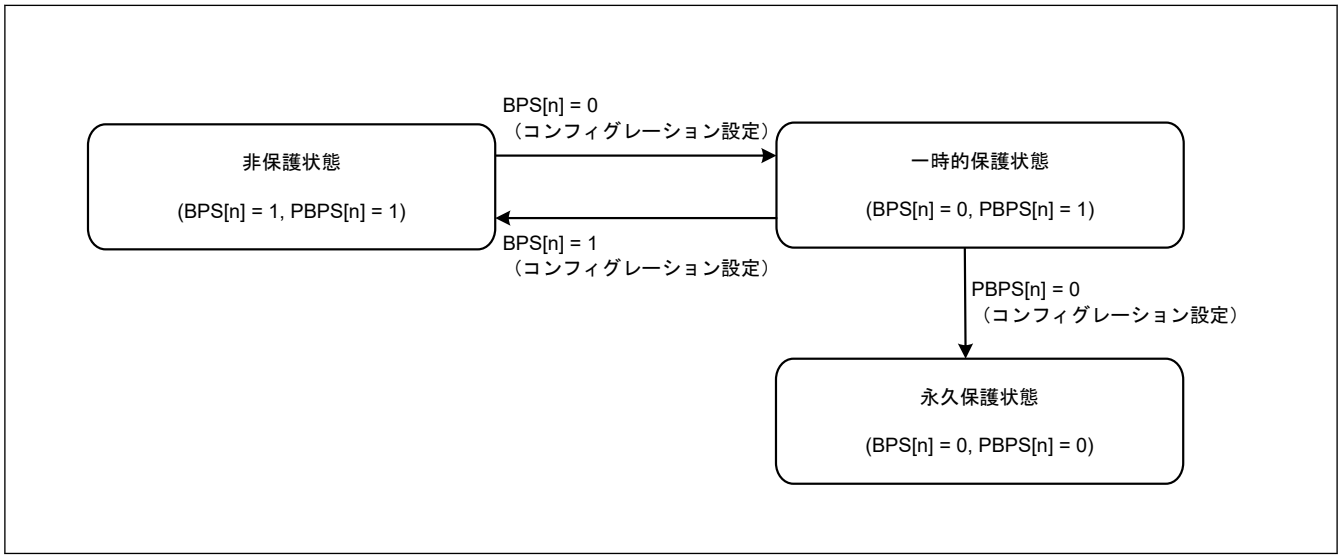


図 49.37 BPS[n]ビットおよび PBPS[n]ビットによるフラッシュシーケンサの状態遷移

表 49.32 BPS[n]、PBPS[n]、BPS_SEL[n]の各ビットの書き込み／クリア保護

現在の状態		コンフィグレーション設定コマンドによって更新可能				
BPS[n]	PBPS[n]	BPS[n] = 1	BPS[n] = 0	PBPS[n] = 1	PBPS[n] = 0	BPS_SEL[n] = 1
1	1	✓	✓	✓	X	✓
1	0	—	—	—	—	—
0	1	✓	✓	✓	✓	✓
0	0	X	✓	X	✓	X

注. ● ✓は、コンフィグレーション設定コマンドによって更新可能であることを示します。

- X は、コンフィグレーション設定コマンドによっても更新できないことを示します（エラーは発生しません）。
- —は、この状態にならないことを示します。

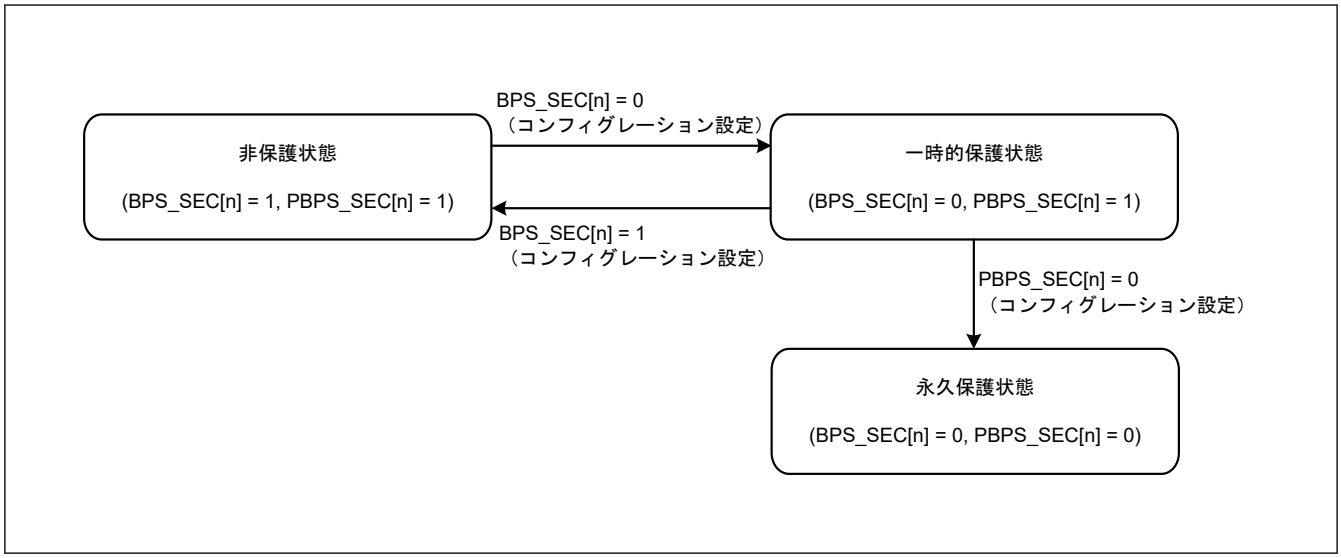


図 49.38　BPS_SEC[n]ビットおよび PBPS_SEC[n]ビットによるフラッシュシーケンサの状態遷移

表 49.33　BPS_SEC[n]、PBPS_SEC[n]、BPS_SEL[n]の各ビットの書き込み／クリア保護

現在の状態		コンフィグレーション設定コマンドによって更新可能				
BPS_SEC[n]	PBPS_SEC[n]	BPS_SEC[n] = 1	BPS_SEC[n] = 0	PBPS_SEC[n] = 1	PBPS_SEC[n] = 0	BPS_SEL[n] = 0
1	1	✓	✓	✓	X	✓
1	0	—	—	—	—	—
0	1	✓	✓	✓	✓	✓
0	0	X	✓	X	✓	X

注.
- ✓は、コンフィグレーション設定コマンドによって更新可能であることを示します。
- X は、コンフィグレーション設定コマンドによっても更新できないことを示します（エラーは発生しません）。
- —は、この状態にならないことを示します。

49.12.3　TrustZone のフラッシュメモリ保護

本項の情報は、フラッシュシーケンサの動作に焦点を当てています。

フラッシュメモリは、非セキュアアクセスに対して下記の保護機能を備えます。

- フラッシュメモリ領域の保護 (P/E)
- フラッシュメモリ領域の保護（読み出し）
- レジスタの保護
- コードフラッシュ P/E モードエントリ保護

49.12.3.1　フラッシュメモリ領域の保護 (P/E)

本機能は、非セキュアアクセスの FACI コマンドからコードフラッシュおよびデータフラッシュのセキュア領域を保護します。保護の条件は、FACI コマンド、アクセス属性、およびメモリ境界設定に依存します。

セキュア領域の詳細については、「40. セキュリティ機能」 を参照してください。

フラッシュメモリ領域の保護 (P/E) の詳細は表 49.34 を参照してください。

表 49.34　フラッシュメモリ領域の保護 (P/E)

FACI コマンド	対象領域			非セキュアアクセスによる FACI コマンド発行	セキュアアクセスによる FACI コマンド発行
プログラムのブロックイレース	コードフラッシュメモリ	ユーザー領域（非セキュア領域）	セキュアエイリアス (注1)	X	X
			非セキュアエイリアス (注2)	✓	✓
		ユーザー領域（セキュア領域）	セキュアエイリアス (注1)	X	✓
			非セキュアエイリアス (注2)	X	X
	データフラッシュメモリ	データ領域（非セキュア領域）	セキュア(注1)エイリアス	X	X
			非セキュアエイリアス (注2)	✓	✓
		データ領域（セキュア領域）	セキュアエイリアス (注1)	X	✓
			非セキュアエイリアス (注2)	X	X
マルチブロックイレースブランクチェック	データフラッシュメモリ	データ領域（非セキュア領域）	セキュアエイリアス (注3)	X	X
			非セキュアエイリアス (注4)	✓	✓
		データ領域（セキュア領域）	セキュアエイリアス (注3)	X	✓
			非セキュアエイリアス (注4)	X	X
コンフィグレーション設定	コードフラッシュメモリ	コンフィグレーション領域（非セキュア領域）	セキュアエイリアス (注1)	X	X
			非セキュアエイリアス (注2)	✓	✓
		コンフィグレーション領域（セキュア領域）	セキュアエイリアス (注1)	X	✓
			非セキュアエイリアス (注2)	X	X
	データフラッシュメモリ	コンフィグレーション領域（セキュア領域のみ）	セキュアエイリアス (注1)	X	✓
			非セキュアエイリアス (注2)	X	X
カウンタインクリメント カウンタリフレッシュ カウンタ読み出し	データフラッシュメモリ	アンチロールバックカウンタ領域（セキュア領域のみ）	-	X	✓

注.
- ✓は、FACI コマンド動作が禁止されていないことを示します。
- X は、FACI コマンド動作が禁止されていることを示します。該当領域が選択され、FACI コマンドが実行されるとエラーになります。

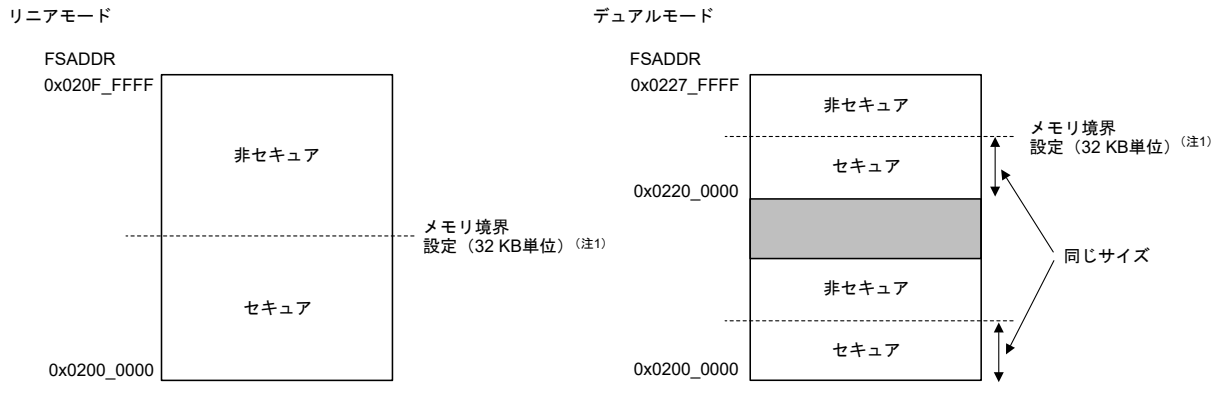
注 1. FSADDR[28]のアドレスが 0 のときにセキュアエイリアスと判定されます。
注 2. FSADDR[28]のアドレスが 1 のときに非セキュアエイリアスと判定されます。
注 3. FSADDR[28]と FEADDR[28]のアドレスが 0 のときにセキュアエイリアスと判定されます。
注 4. FSADDR[28]と FEADDR[28]のアドレスが 1 のときに非セキュアエイリアスと判定されます。

FACI コマンドの対象領域がコードフラッシュのユーザー領域の場合、フラッシュシーケンサは、FSADDR レジスタの設定とコードフラッシュのメモリ境界設定を比較し、対象領域がセキュア領域にあるかどうかを判断します。

リニアモードでは、メモリのバウンダリは、0x0200_0000～0x020F_8000 の範囲で 32 KB 単位で設定可能です。

デュアルモードでは、メモリのバウンダリは、0x0200_0000～0x0220_0000 の範囲で 32 KB 単位で設定可能です。メモリの境界がデュアルモードで 0x0220_0000 以上に設定されると、ユーザー領域全体がセキュア領域と定義されます。

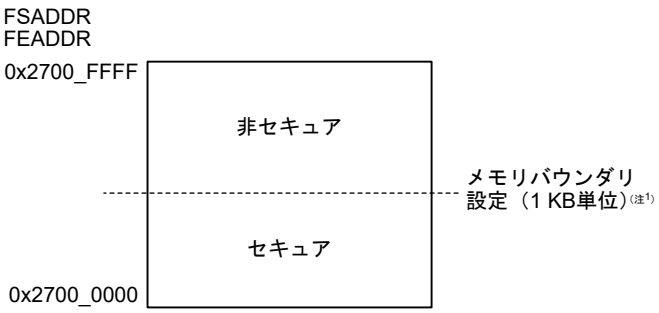
図 49.39 に、コードフラッシュ内のユーザー領域のセキュア属性と非セキュア属性の詳細を示します。



注 1. FSADDR レジスタとユーザー領域のメモリ境界設定を比較し、対象領域がセキュア領域にあるかどうかを判断します。

図 49.39 ユーザー領域内のセキュア領域と非セキュア領域（セキュアエイリアスの場合）

FACI コマンド発行の対象領域がデータフラッシュのデータ領域の場合、フラッシュシーケンサは、FSADDR/FEADDR レジスタの設定とデータフラッシュのメモリ境界設定を比較し、対象領域がセキュア領域にあるかどうかを判断します。メモリ境界は、0x0270_0000～0x0270_FC00 の範囲で 1 KB 単位で設定可能です。図 49.40 に、データフラッシュ内のデータ領域のセキュア属性と非セキュア属性の詳細を示します。



注 1. FSADDR/FEADDR レジスタとデータ領域のメモリ境界設定を比較し、対象領域がセキュア領域にあるかどうかを判断します。

図 49.40 データ領域内のセキュア領域と非セキュア領域（セキュアエイリアスの場合）

オプション設定メモリのセキュア領域と非セキュア領域の詳細については、図 49.41 を参照してください。フラッシュシーケンサは、FSADDR レジスタの設定から、対象領域がセキュア領域かどうかを判断します。

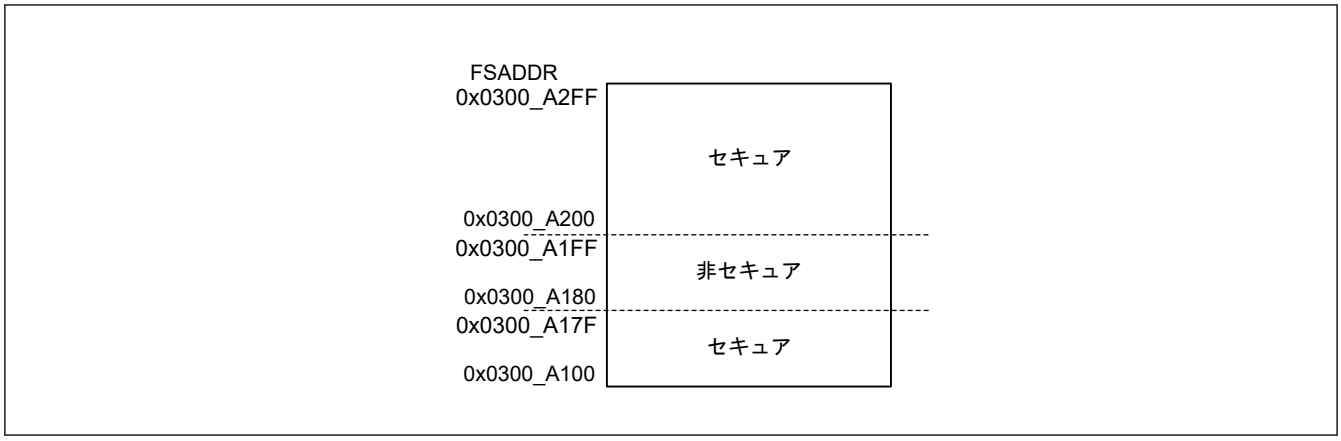


図 49.41　オプション設定メモリ内のセキュア領域と非セキュア領域（セキュアエイリアスの場合）

49.12.3.2　フラッシュメモリ領域の保護（読み出し）

本機能は、非セキュアバスアクセスからコードフラッシュおよびデータフラッシュのセキュア領域を保護します。

セキュア領域の詳細については、「40. セキュリティ機能」 を参照してください。

49.12.3.3　レジスタの保護

フラッシュシーケンサレジスタには、非セキュアアクセスに対するライトアクセス保護を備えます。表 49.35 に、フラッシュシーケンサの保護レジスタの詳細を示します。

表 49.35　TrustZone 用フラッシュシーケンサの保護レジスタ

保護対象レジスタ	セキュリティ属性設定	備考
FCKMHZ レジスタ	SA レジスタの設定 (FSAR.FCKMHZSA)	詳細の参照先：「49.4.4. FSAR : フラッシュセキュリティ属性レジスタ」
フラッシュアクセス領域	SA レジスタの設定 (FSAR.FACICMISA)	詳細の参照先：「49.4.4. FSAR : フラッシュセキュリティ属性レジスタ」
FACI レジスタ(注1)および FWEPROR レジスタ	SA レジスタの設定 (FSAR.FACICMRSA)	詳細の参照先：「49.4.4. FSAR : フラッシュセキュリティ属性レジスタ」
FCTRCNTR、FCTRLSR、FCTRADDR、および FCTRSTATR レジスタ	SA レジスタの設定 (FSAR.FACITRSA)	詳細の参照先：「49.4.4. FSAR : フラッシュセキュリティ属性レジスタ」
FMEPROT、FCNTSELR、FCNTDATAR0～FCNTDATAR1、FBPROT1、および FSUACR レジスタ	常にセキュア	—

注 1.　対象 FACI レジスタ : FASTAT、FAEINT、FRDYIE、FSADDR、FEADDR、FBPROT0、FSTATR、FENTRYR、FSUINITR、FCMDR、FBCCNT、FBCSTAT、FPSADDR、FSUASMON、FCPSR、および FPCKAR

49.12.3.4　コードフラッシュ P/E モードエントリ保護

フラッシュシーケンサには、セキュア開発者用に FMEPROT レジスタによるコードフラッシュ P/E のプロテクション機能があります。本プロテクション機能によりセキュア関数がコードフラッシュメモリの読み出しを防止できます。「49.4.14. FMEPROT : フラッシュ P/E モードエントリ保護レジスタ」を参照してください。

セキュア関数以外に非セキュア領域のプログラム／イレースを必要としないアプリケーションでは、FMEPROT レジスタのプロテクション機能を有効にすることによりコードフラッシュプログラム／イレースの非セキュア関数を常に無効にしておくことを推奨します。

非セキュア関数によるコードフラッシュ P/E シーケンス例の詳細については、図 49.42 を参照してください。

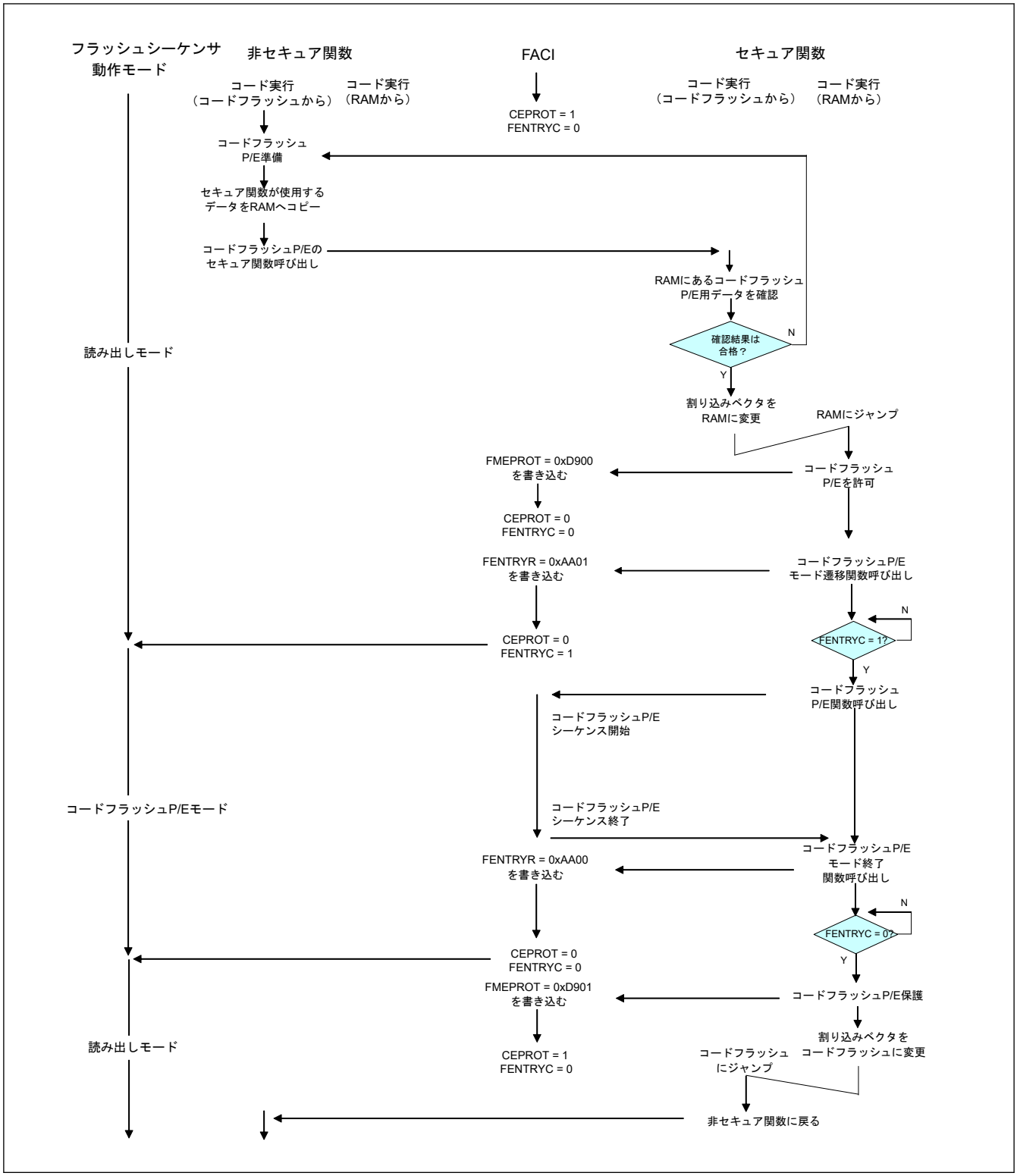


図 49.42　非セキュア関数によるコードフラッシュ P/E シーケンス例（コードフラッシュ P/E 用セキュア関数使用）

49.12.4　データフラッシュコンフィグレーション領域保護

データフラッシュコンフィグレーション領域には、ロックビットでロックすることができる領域が 3 種類あります (LK_CD_A0, LK_CD_A1, LK_CD_A2)。コンフィグレーション設定コマンドの対象領域にロックビットによる保護領域が含まれる場合、フラッシュシーケンサはエラーを検出してコマンドロック状態に遷移します。

LK_CD_A0 領域と LK_CD_A1 領域は、1 ロックビットで 4 バイトのデータが保護されます。

LK_CD_A2 は、1 ロックビットによって保護される 16 バイトのデータ領域です。フラッシュメモリ領域の保護 (P/E) の詳細は、を参照してください。データフラッシュコンフィグレーション領域のロック可能領域が保護される条件の詳細は、表 49.36 を参照してください。

表 49.36　データフラッシュコンフィグレーション領域のロック可能領域が保護される条件（セキュアエイリアスの場合）

ロック可能領域		プロテクション機能サイズ	ロックビット	備考
領域名	アドレス			
LK_CD_A0	0x2703_0098～0x2703_009B	4 バイト	CD0_LK6	コンフィグレーション設定コマンドで 16 バイト分のデータの更新を試みた場合、該当する各領域に対応するロックビットに 1 つでも 0 が設定されたものがあると、データは更新できません。
	0x2703_009C～0x2703_009F	4 バイト	CD0_LK7	
	:	:	:	
	0x2703_0170～0x2703_0173	4 バイト	CD0_LK60	
	0x2703_0174～0x2703_0177	4 バイト	CD0_LK61	
	0x2703_0178～0x2703_017B	4 バイト	CD0_LK62	
	0x2703_017C～0x2703_017F	4 バイト	CD0_LK63	
LK_CD_A1	0x2703_0180～0x2703_0183	4 バイト	CD1_LK0	
	0x2703_0184～0x2703_0187	4 バイト	CD1_LK1	
	:	:	:	
	0x2703_0270～0x2703_0273	4 バイト	CD1_LK60	
	0x2703_0274～0x2703_0277	4 バイト	CD1_LK61	
	0x2703_0278～0x2703_027B	4 バイト	CD1_LK62	
	0x2703_027C～0x2703_027F	4 バイト	CD1_LK63	
LK_CD_A2	0x2703_0280～0x2703_028F	16 バイト	CD2_LK0	
	0x2703_0290～0x2703_029F	16 バイト	CD2_LK1	
	:	:	:	
	0x2703_0340～0x2703_034F	16 バイト	CD2_LK12	
	0x2703_0350～0x2703_035F	16 バイト	CD2_LK13	

49.12.5　アンチロールバックカウンタ

アンチロールバックカウンタ関連のオプションフラッシュメモリについては、「6.2.14. ARCLS : アンチロールバックカウンタロック設定レジスタ」～「6.2.17. ARC_NSECn : 非セキュアアプリケーション用アンチロールバックカウンタレジスタ n (n = 0～7)」を参照してください。

アンチロールバックカウンタはファームウェアアップデートに使用される、デクリメント不可のカウンタです。セキュアアプリケーションだけが使用可能です。アンチロールバックカウンタは、カウンタインクリメントコマンドが実行されると、初期値の 0 から 1 ビットずつ左シフトします。最下位ビット（ビット 0）が 1 になります。

アンチロールバックカウンタの値が最大値に達すると、カウンタインクリメントコマンドが実行されてもフラッシュシーケンサはカウンタを更新しません（エラーにはなりません）。

カウンタを制御するコマンドは 3 種類あります。詳細については、「49.9.3.16. カウンタインクリメントコマンド」、「49.9.3.17. カウンタリフレッシュコマンド」、および「49.9.3.18. カウンタ読み出しコマンド」を参照してください。

カウンタインクリメントコマンドによってアンチロールバックカウンタの値がどのようにインクリメントしていくかを図 49.43 に示します。



図 49.43　アンチロールバックカウンタのインクリメントのイメージ

アンチロールバックカウンタには 2 種類（ARC_SEC と ARC_NSEC）があります。また、各カウンタを保護するためのロックビットがあります (ARCSEC_LK, ARCNSEC_LK0～ARCNSEC_LK3)。

ARC_NSEC カウンタについては、コンフィグレーション領域設定（CNF_ARCNS0 および CNF_ARCNS1）で 256 ビット×1 ライン構成と 64 ビット×4 ライン構成のどちらかが選べます。また、ARC_NSEC カウンタは不正な設定に更新することはできません。

49.12.5.1　アンチロールバックカウンタの復帰フロー

図 49.44、図 49.45、および図 49.46-4 に、セキュアアプリケーション用のアンチロールバックカウンタの場合の復帰フローを示します。アンチロールバックカウンタの復帰フローは、セキュアソフトウェア開発者によるカスタマアプリケーションに依存するためには必要な処理と考えるべきです。デュアルモードでのフロー例を以下に示します。リニアモードでは、スタートアップ領域選択を用いることで同じ動作が行えますが、アンチロールバックカウンタで管理されるアプリケーションサイズは 8 KB に制限されます。

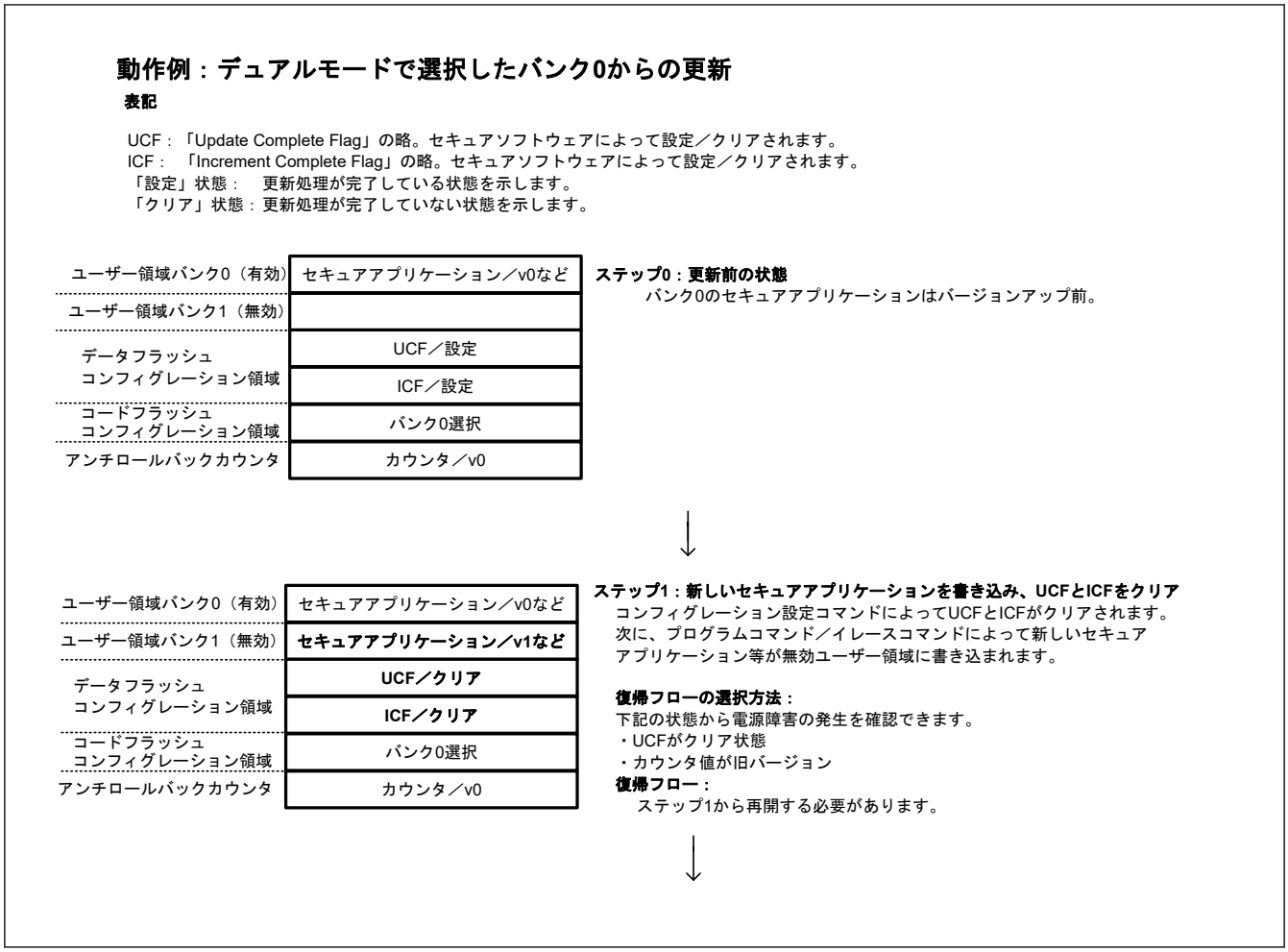
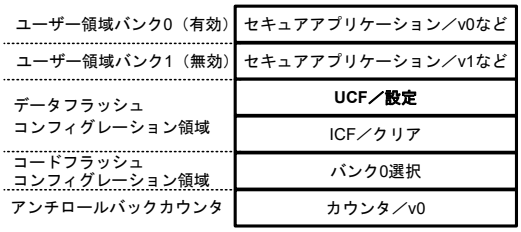


図 49.44　電源障害時のセキュアアプリケーション更新の復帰フロー（デュアルモードの場合） (1/3)

動作例：デュアルモードで選択したバンク0からの更新

表記

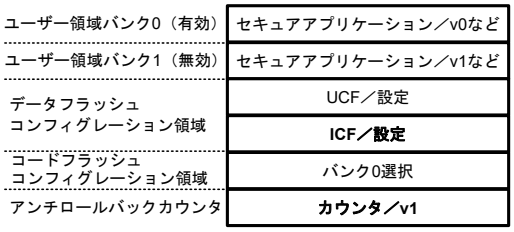
UCF：「Update Complete Flag」の略。セキュアソフトウェアによって設定／クリアされます。
ICF：「Increment Complete Flag」の略。セキュアソフトウェアによって設定／クリアされます。
「設定」状態：　更新処理が完了している状態を示します。
「クリア」状態：更新処理が完了していない状態を示します。



ステップ2: UCFの設定
コンフィグレーション設定コマンドでUCFを設定します。

復帰フローの選択方法：
ステップ1と同様です。
復帰フロー：
ステップ1と同様です。



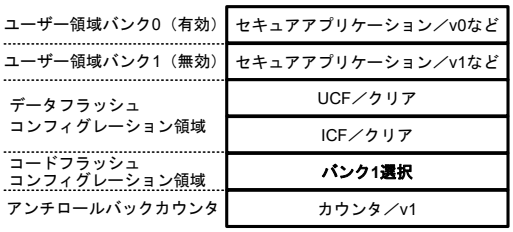


ステップ3. カウンタのバージョン更新、ICFの設定
カウンタインクリメントコマンドでセキュアアプリケーションのバージョン
カウンタを更新します。次に、コンフィグレーション設定コマンドでICFを設定します。

復帰フローの選択方法 (a)：
下記の状態から電源障害の発生を確認できます。
・UCFが設定状態
・ICFがクリア状態
・カウンタ値が旧バージョン
復帰フロー (a)：
カウンタリフレッシュコマンドを発行する必要があります。次に、UCFクリア後、
ステップ1から再開する必要があります。

復帰フローの選択方法 (b)：
下記の状態から電源障害の発生を確認できます。
・UCFが設定状態
・ICFがクリア状態
・カウンタ値が新バージョン
復帰フロー (b)：
カウンタリフレッシュコマンドを発行しICFを設定する必要があります。
次に、ステップ4から再開する必要があります。





ステップ4：バンク選択の更新
コンフィグレーション設定コマンドでBANKSWP[2:0]ビットがバンク1選択
の設定に変更されます。

復帰フローの選択方法：
下記の状態から電源障害の発生を確認できます。
・UCFが設定状態
・ICFが設定状態
・カウンタ値が新バージョン
・BANKSWP[2:0]ビットがバンク0選択の設定
復帰フロー：
ステップ4から再開する必要があります。



図 49.45　電源障害時のセキュアアプリケーション更新の復帰フロー（デュアルモードの場合） (2/3)

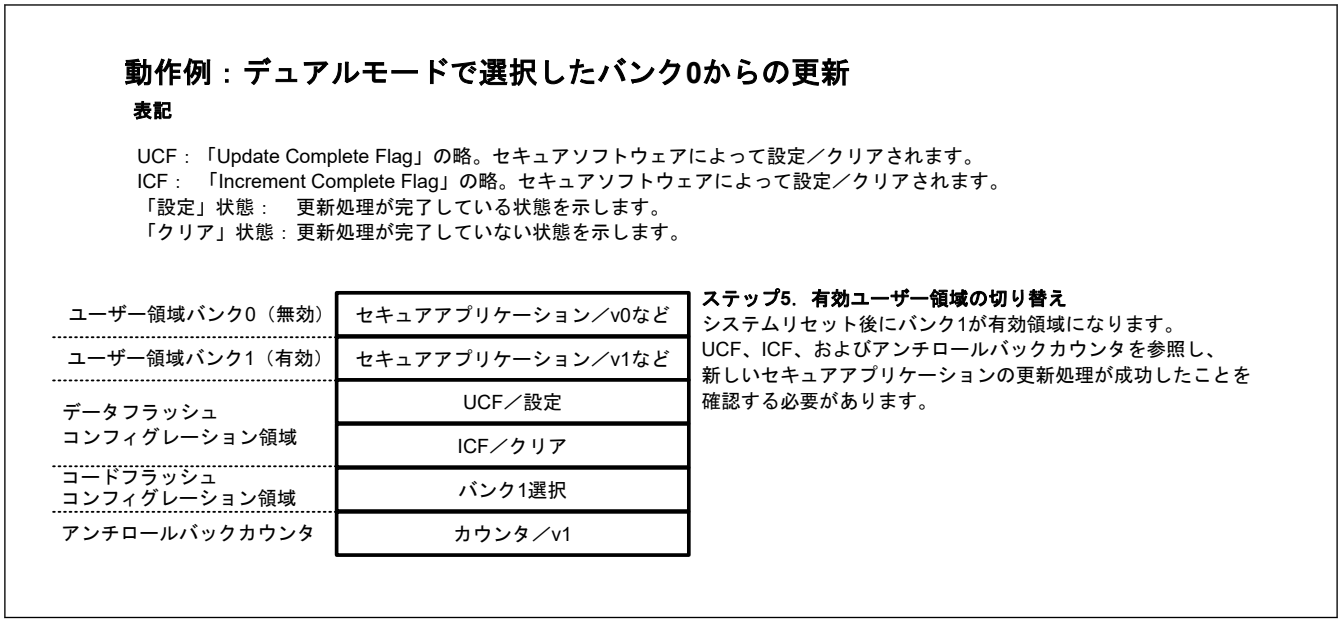


図 49.46　電源障害時のセキュアアプリケーション更新の復帰フロー（デュアルモードの場合） (3/3)

49.13　ブートモード

シリアルプログラミングモードには、SCI9 を使用するブートモード（SCI インタフェース）と USBFS を使用するブートモード（USB インタフェース）があります。表 49.37 にブートモードで使用する入出力端子の一覧を示します。表 49.38 にブートモードで使用可能な通信インタフェースの一覧を示します。

表 49.37　ブートモードで使用する入出力端子

端子名	入出力	使用するモード	用途
MD	入力	ブートモード（SCI インタフェース） ブートモード（USB インタフェース） ブートモード（JTAG インタフェース）、ブートモード（SWD インタフェース）	動作モードの選択
P208/RXD9	入力	ブートモード（SCI インタフェース）	ホスト通信用（SCI データ受信用）
P209/TXD9	出力		ホスト通信用（SCI データ送信用）
USB_DP, USB_DM	入出力	ブートモード（USB インタフェース）	USB データの入出力
USB_VBUS	入力		USB ケーブルの接続／切断の検出
P211/TCK	入力	ブートモード（JTAG インタフェース）	JTAG のクロック端子
P210/TMS	入力		JTAG のモード選択端子
P208/TDI	入力		JTAG のデータ入力端子
P209TDO	出力		JTAG のデータ出力端子
P211/SWCLK	入力	ブートモード（SWD インタフェース）	SWD のクロック端子
P210/SWDIO	入出力		SWD のデータ入出力端子

表 49.38　ブートモードで使用可能な通信インタフェース

メインクロック発振器または外部クロック接続	あり	なし	なし
サブクロック発振器接続(注1)	ありまたはなし	あり	なし
使用可能なインタフェース	JTAG、SWD、SCI、または USB	JTAG、SWD、SCI、または USB	JTAG、SWD、または SCI
ツール接続時間(注2)	最大 1 秒	最大 2 秒	最大 3 秒

注 1.　サブクロック発振器の駆動能力は SOMCR.SODRV ビットにより標準に設定されています。自ボードの低駆動能力に対応した水晶を使用している場合、ブートモードでは水晶が発振しない場合があることに注意してください。
注 2.　詳細な接続時間については、ブートファームウェアのマニュアルを参照してください。

49.13.1 ブートモード（SCI インタフェース）

ブートモード（SCI インタフェース）では、ホストは制御コマンドや書き込み用データを送信して、それに従ってフラッシュメモリはプログラム／イレースされます。ホストと本 MCU 間の通信には、内蔵の SCI を調歩同期モードで使用します。ホストには制御コマンドを送信するためのツールとプログラム用データを準備する必要があります。

本 MCU をブートモード（SCI インタフェース）で起動すると、MCU の専用領域上のプログラムが実行されます。ブートプログラムは、SCI のビットレートの自動調整と、ホストからの制御コマンドを受けてのプログラム／イレースの制御を行います。

図 49.47 にブートモード（SCI インタフェース）時のシステム構成を示します。

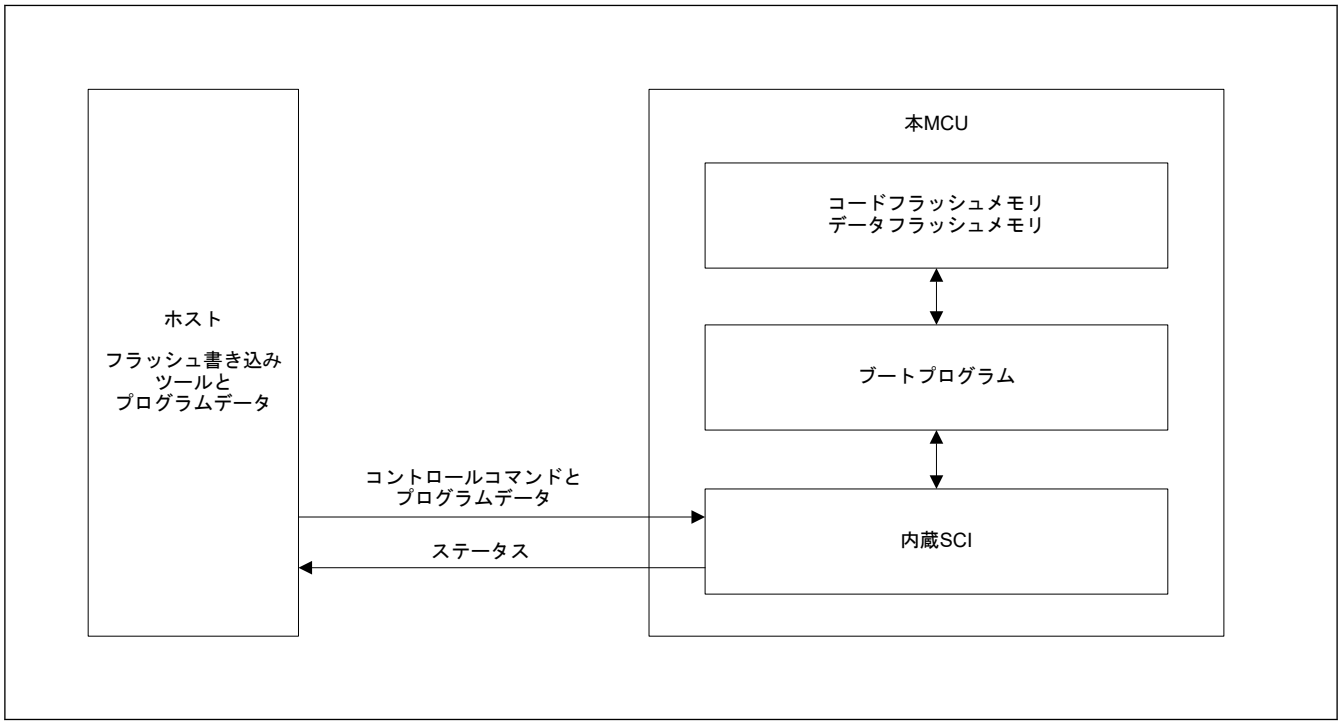


図 49.47 ブートモード（SCI インタフェース）時のシステム構成

49.13.2 ブートモード（USB インタフェース）

ブートモード（USB インタフェース）では、ホストから制御コマンドや書き込みデータを送信することによりフラッシュメモリへの書き込みまたは消去が可能です。ホストと本 MCU 間の通信には内蔵 USB が使用されます。ホストが制御コマンドや書き込み用のデータを送信するにはツールが必要です。図 49.48 にブートモード（USB インタフェース）のシステム構成を示します。リセット解除時、USB ケーブルが接続されていなければいけません。

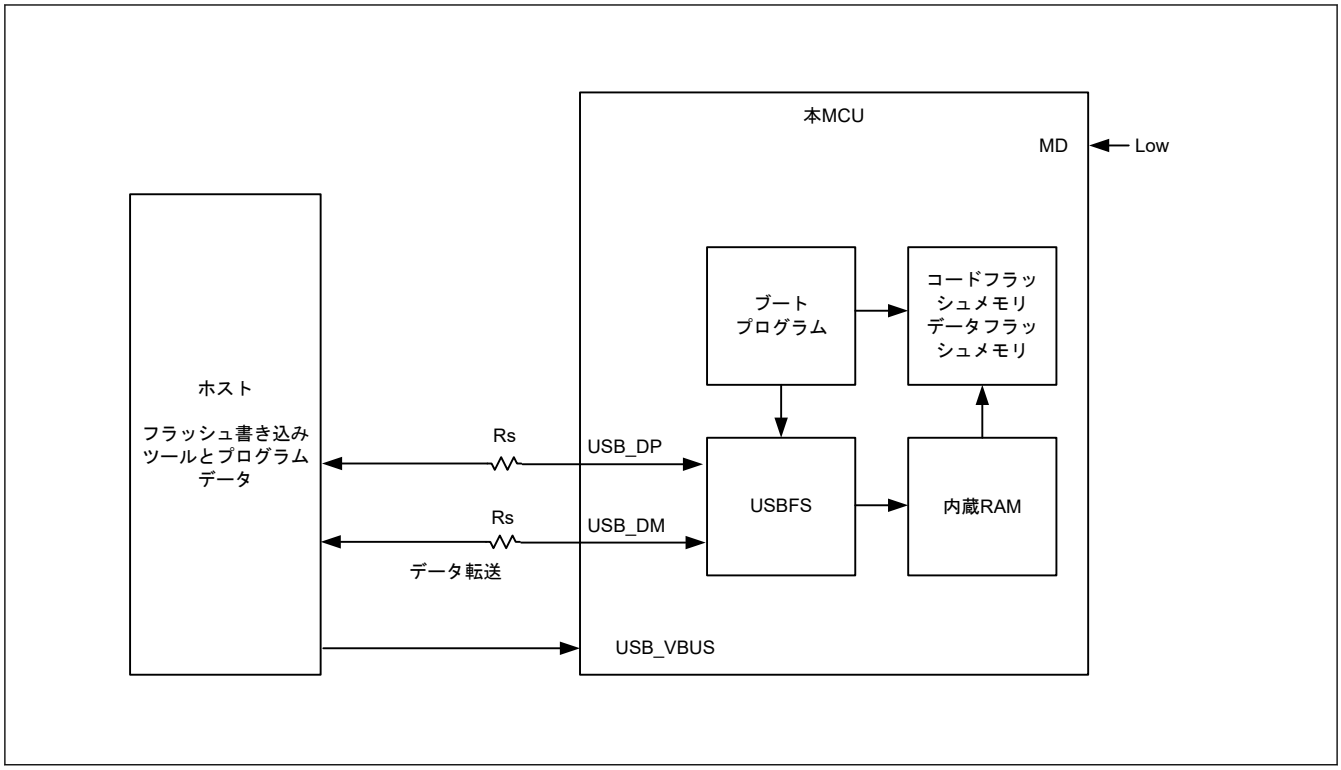


図 49.48　ブートモード（USB インタフェース）のシステム構成図

49.14　シリアルプログラマを使用した書き込み

シリアルプログラマを使用して、ブートモードでフラッシュメモリの書き換えを行うことができます。

(1)　シリアルプログラミング

シリアルプログラミング時に、本 MCU はボードに装着されています。ボードにコネクタを備えることにより、シリアルプログラマは本 MCU の書き換えを行うことができます。

49.14.1　シリアルプログラミング環境

本 MCU のフラッシュメモリを書き換えるための推奨される環境を次に示します。

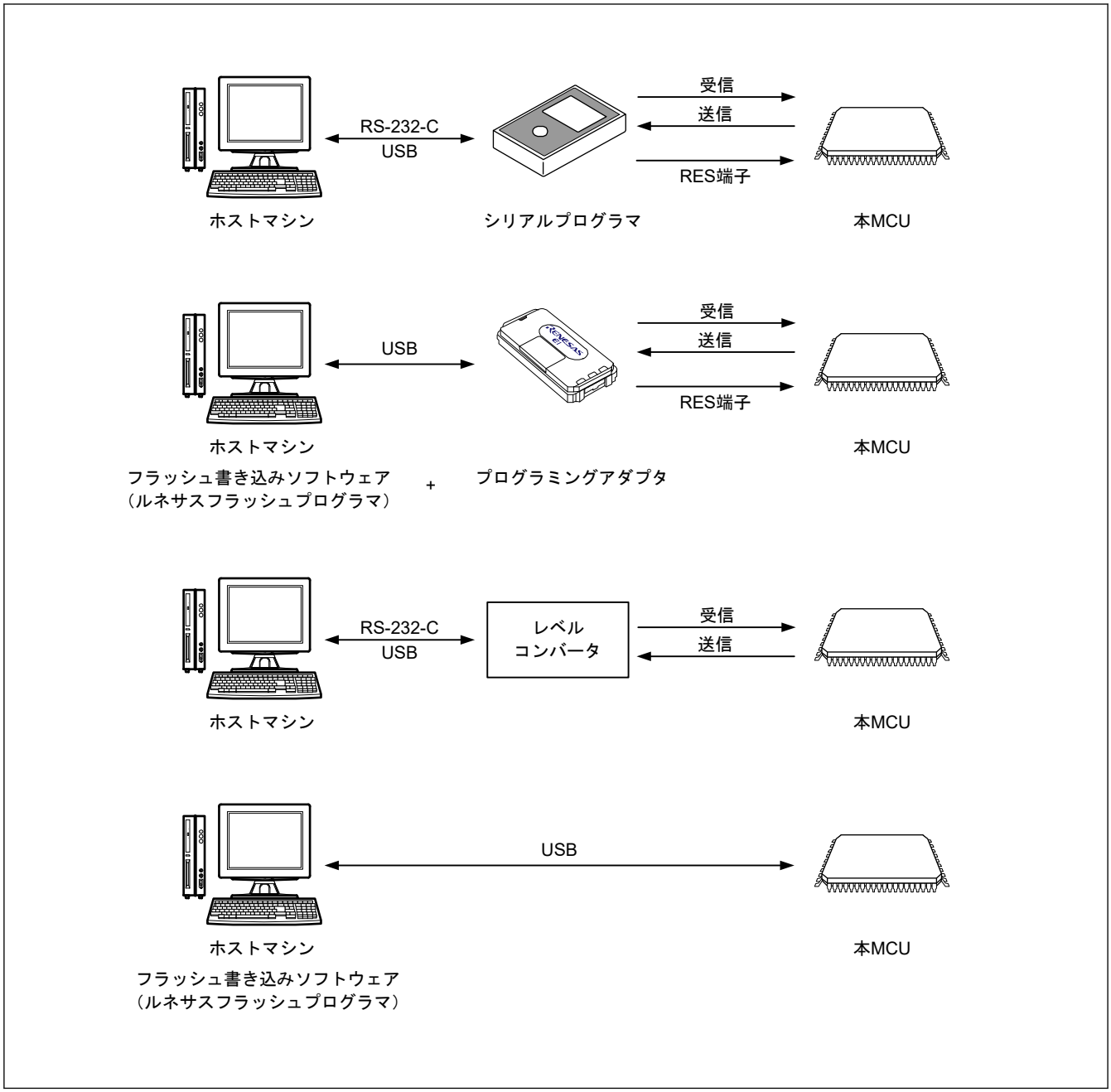


図 49.49　フラッシュメモリを書き換えるための環境

49.15　セルフプログラミングでの書き換え

49.15.1　概要

本 MCU は、ユーザープログラム自体によるフラッシュメモリの書き換えをサポートします。FACI コマンドをユーザーのプログラムで使用することにより、フラッシュメモリに書き込むことができます。これにより、ユーザープログラムのアップグレードと、定数データフィールドの書き換えが可能になります。

BGO が使用できずオプション設定メモリを書き換える場合、事前に内蔵 RAM または外部メモリに書き換え用のプログラムを転送する必要があります。

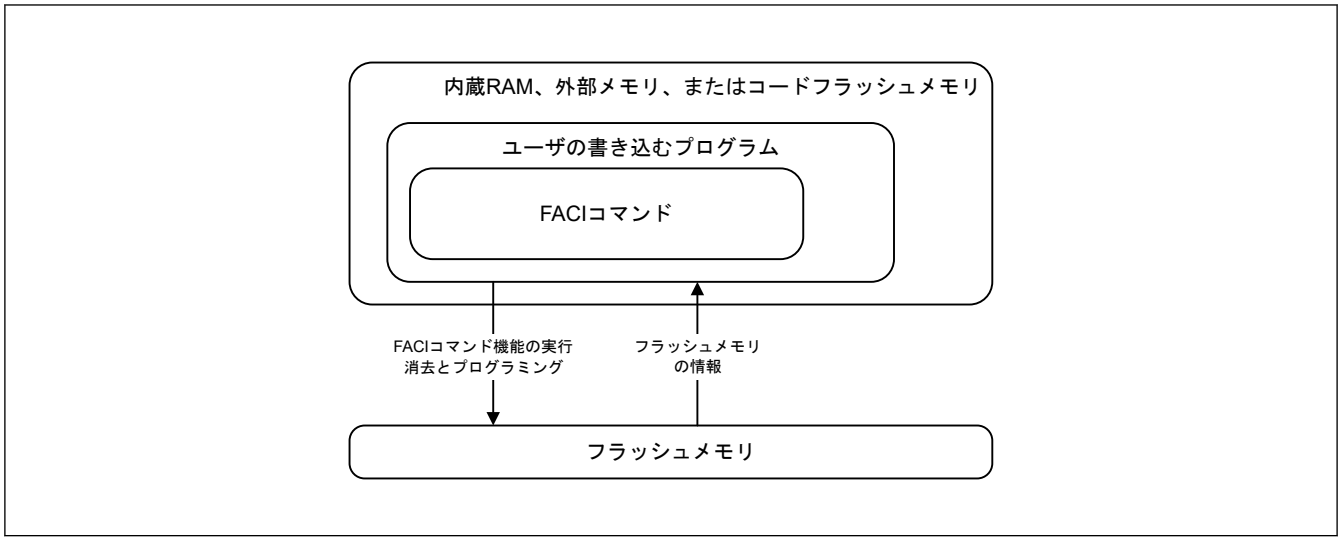


図 49.50　セルフプログラミングの概念

セルフプログラミングの概要情報については、「49.9. FACI コマンド」を参照してください。

49.15.2　バックグラウンドオペレーション

バックグラウンドオペレーション (BGO) は、データフラッシュメモリまたはコードフラッシュメモリの他の領域が書き換えられるときにコードフラッシュメモリ上でフラッシュ書き換えルーチンを実行するのに使用されます。

書き換え対象のフラッシュメモリと読み出し対象のフラッシュメモリが下記に示す組み合わせである場合には、バックグラウンドオペレーションを利用することができます。

表 49.39　バックグラウンドオペレーションの利用可能な条件

		書き換え範囲	読み出し範囲
リニアモードとデュアルモードに共通		コードフラッシュメモリ	データフラッシュメモリ
		データフラッシュメモリ	コードフラッシュメモリ
リニアモード	1 MB のコードフラッシュメモリを持つ製品	コードフラッシュメモリの前半 0.5 MB のアドレス（セキュアエイリアス：0x0200_0000～0x0207_FFFF、非セキュアエイリアス：0x1200_0000～0x1207_FFFF）	コードフラッシュメモリの後半 0.5 MB のアドレス（セキュアエイリアス：0x0208_0000～0x020F_FFFF、非セキュアエイリアス：0x1208_0000～0x120F_FFFF）
		コードフラッシュメモリの後半 0.5 MB のアドレス（セキュアエイリアス：0x0208_0000～0x020F_FFFF、非セキュアエイリアス：0x1208_0000～0x120F_FFFF）	コードフラッシュメモリの前半 0.5 MB のアドレス（セキュアエイリアス：0x0200_0000～0x0207_FFFF、非セキュアエイリアス：0x1200_0000～0x1207_FFFF）
デュアルモード	BANKSEL_SEC.BANKSWP[2:0]ビットまたは BANKSEL.BANKSWP[2:0]ビットが 111b のとき	コードフラッシュメモリのバンク 1 領域	コードフラッシュメモリのバンク 0 領域
	BANKSEL_SEC.BANKSWP[2:0]ビットまたは BANKSEL.BANKSWP[2:0]ビットが 000b のとき	コードフラッシュメモリのバンク 0 領域	コードフラッシュメモリのバンク 1 領域

49.16　フラッシュメモリの読み出し

49.16.1　コードフラッシュメモリの読み出し

リセット解除後のコードフラッシュメモリの読み出し時には、特別な設定は必要ありません。コードフラッシュメモリのアドレスにアクセスすることで、データを読み出すことが可能です。

イレース後にプログラミングしていない状態（未プログラム状態）のコードフラッシュメモリを読み出すと、全ビット 1 が読み出されます。

49.16.2 データフラッシュメモリの読み出し

リセット解除後のデータフラッシュメモリの読み出し時には、特別な設定は必要ありません。データフラッシュメモリのアドレスにアクセスすることで、データを読み出すことが可能です。

イレース後にプログラミングしていない状態（未プログラム状態）のデータフラッシュメモリの値は不定です。未プログラム状態の確認には、ブランクチェック機能を使用してください。

49.17 使用上の注意事項

(1) プログラム／イレースを中断した領域およびサスペンド対象領域の読み出し

プログラム／イレースを中断した領域およびサスペンドコマンドを使ってプログラム／イレースが中断された領域に格納されたデータは不定です。不定データを読み出すことによる誤動作を回避するために、プログラム／イレースを中断した領域およびサスペンドコマンドを使ってプログラム／イレースが中断された領域から命令をフェッチしたりデータを読み出さないように注意してください。

(2) プログラム／イレース中のサスペンド

プログラム／イレースの処理が P/E サスペンドコマンドの発行により中止した場合、プログラム／イレース処理は P/E レジュームコマンドを発行することにより再開できます。フラッシュシーケンサが何らかの理由でコマンドロック状態になり、サスペンド処理が正常に完了し ERSSPD フラグまたは PRGSPD フラグが 1 になった後に強制停止コマンドを発行すると、サスペンド処理は再開できません。さらに、処理が中断された領域の値は保証されません。該当領域を消去してください。

(3) 追加の書き込み禁止

コードフラッシュメモリまたはデータフラッシュメモリのある領域に 2 回書き込むことはできません。一度書き込まれたコードフラッシュメモリまたはデータフラッシュメモリに書き込むには対象領域を消去します。オプション設定メモリには追加の書き込みが可能です。

(4) プログラム／イレースまたはブランクチェック中のリセット

プログラム／イレース中 RES 端子に現れた信号またはフラッシュメモリのブランクチェックによりリセットとなった場合、動作電圧が電気的特性で規定された範囲になった後リセット入力期間の少なくとも t_{RESW}（「52. 電気的特性」参照）待機した後、デバイスをリセット状態から解除します。

(5) プログラム／イレース中の割り込み／例外ベクタの配置

プログラム／イレース中に割り込み／例外が発生すると、コードフラッシュメモリからのベクタフェッチが発生する場合があります。BGO が使用できない条件下ではベクタのアドレスをコードフラッシュメモリにないアドレスに設定してください。他の方法として、プログラム／イレース中、割り込みや例外処理が起こらないようにしてください。

(6) プログラム／イレースまたはブランクチェック中の禁止項目

プログラム／イレースまたはブランクチェック中フラッシュメモリには高電圧が印加されます。フラッシュメモリの損傷を防ぐため、以下の動作を実行しないでください。

- 電源を動作電圧範囲外にする
- FWEPROR.FLWE[1:0]ビットを変更する。
- OPCCR.OPCM[2:0]ビットを変更する。
- SCKDIVCR.FCK[2:0]ビットを変更する。
- SCKSCR.CKSEL[2:0]ビットを変更する。
- ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへの遷移

(7) Low-speed モードでのプログラム／イレース

動作電力コントロールレジスタ (OPCCR) で Low-speed モードが選択されているとき、フラッシュメモリのプログラム／イレースを行わないでください。

(8) デュアルバンクモードの設定およびブートモードでの書き込み

MCU のルネサス出荷時の初期モードはリニアモードです。お客様の工場でデュアルバンクモードを設定し、リニアモードでお客様のアプリケーションを MCU に書き込む場合、ブートモードで図 49.51 の領域 1 のみに書き込みを行い、領域 2 はブランクのままにしておくことが推奨されます。リセット後、MCU はデュアルモードで起動し、アプリケーションはバンク 0 にあります。現場で更新を行うために領域 2 に書き込む場合はセルフプログラミングを使用してください。詳細は、「40.7. デュアルモードでのフィールドアップデート」を参照してください。

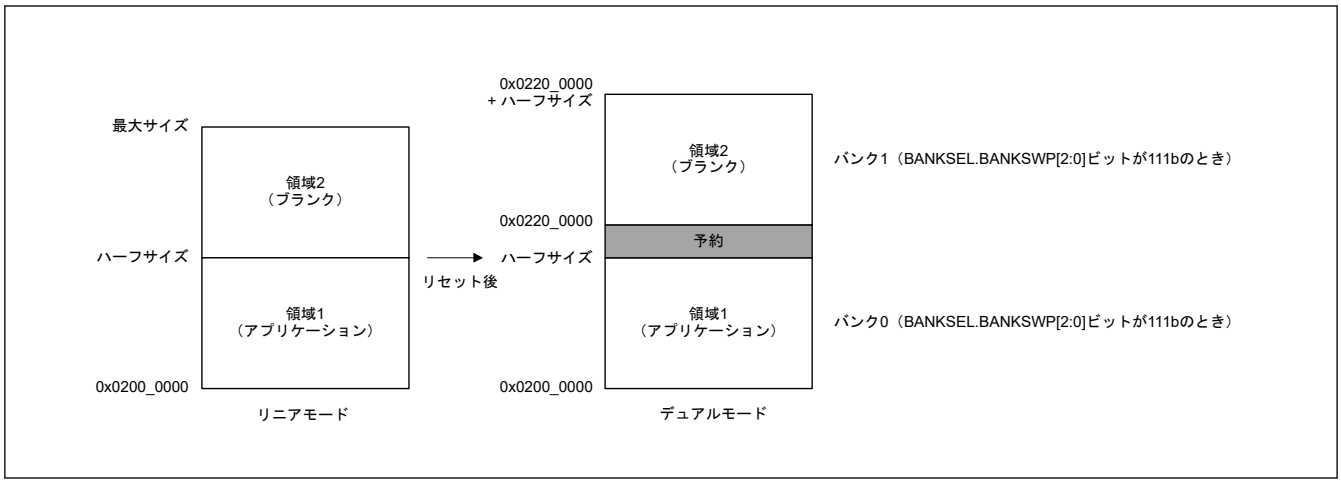


図 49.51 リニアモードでのデュアルモード用アプリケーションの書き込み

(9) エミュレータ接続

ルネサスは、SWD/JTAG 通信を使用したデバッグと SCI 通信を使用したシリアルプログラミングの両方をサポートするエミュレータを提供しています。

表 49.40 に、本エミュレータを使う場合の 10 ピンと 20 ピンのソケットピン配列を示します。SWD および JTAG のピン配列は ARM 標準で、MD、TXD、RXD の各端子は、SCI 通信を使用したシリアルプログラミング用に追加されています。

表 49.40 エミュレータ用端子配置

端子番号	SWD	JTAG	SCI を使用したシリアルプログラミング
1	VCC	VCC	VCC
2	P210/SWDIO	P210/TMS	NC
4	P211/SWCLK	P211/TCK	P201/MD
6	P209/SWO	P209/TDO	P209/TXD9
8	P208	P208/TDI	P208/RXD9
9	GND 検出	GND 検出	GND 検出
10	nRESET	nRESET	nRESET
12	P308/TCLK	P308/TCLK	NC
14	P307/TDATA[0]	P307/TDATA[0]	NC
16	P306/TDATA[1]	P306/TDATA[1]	NC
18	P305/TDATA[2]	P305/TDATA[2]	NC
20	P304/TDATA[3]	P304/TDATA[3]	NC
3, 5, 15, 17, 19	GND	GND	GND
7	NC	NC	NC
11, 13	NC	NC	NC

50. キャプチャエンジンユニット (CEU)

50.1 概要

キャプチャエンジンユニット (CEU) は、外部から入力される画像データを取り込み、メモリに転送するキャプチャモジュールです。CEU は、バスブリッジモジュールを経由してシステムバスに接続します。

CEU には、以下の機能があります。

(1) 画像データ取り込み

- 外部モジュールからの画像出力をキャプチャし、YCbCr データを Y データと CbCr データに分けてメモリに書き込みます。
- カメラ等の外部接続モジュールから JPEG データ、RGB565 等の YCbCr データ以外の画像データを取り込み、順次メモリに画像データを書き込みます。
- インターレース入力画像を、両フィールド単位もしくは片フィールド単位で取り込み、メモリに書き込みます。両フィールド単位のキャプチャでは、画像をフレームイメージでメモリに格納できます。

(2) フィルタ処理

- 内蔵しているフィルタによって、画像の縮小処理および高周波成分除去処理（水平方向のみ）を行います。なお、縮小後の画像サイズは VGA 以下とします。また、フィルタ処理は YCbCr 入力データのみに対応します。

(3) フォーマット変換

- YCbCr422 フォーマットで入力された画像データを YCbCr420 フォーマットに変換して、メモリに書き込みます。なお、変換アルゴリズムは、偶数ラインの色差成分 (CbCr) を間引くのみの単純間引きです。

CEU の機能概要を表 50.1 に、主機能とその詳細を表 50.2 に示します。

表 50.1 CEU の機能概要

分類	項目	機能	内容	備考
接続可能カメラ	サイズ(注1)	5 M 画素	2,560 画素 × 1,920 ライン	画像キャプチャモードまたはデータ同期取り込みモード 水平方向：8 画素単位 垂直方向：4 ライン単位 データイネーブル取り込みモード 32 バイト単位 入力可能な画像サイズの範囲は以下のとおりです。 水平方向：2,560 画素～128 画素 垂直方向：1,920 画素ライン～96 ライン
		3 M 画素	2,048 画素 × 1,536 ライン	
		2 M 画素	1,632 画素 × 1,224 ライン	
		UXGA	1,600 画素 × 1,200 ライン	
		SXGA (1)	1,280 画素 × 1,024 ライン	
		SXGA (2)	1,280 画素 × 960 ライン	
		WXGA	1,280 画素 × 768 ライン	
		XGA	1,024 画素 × 768 ライン	
		SVGA	800 画素 × 600 ライン	
		WVGA	800 画素 × 480 ライン	
		VGA	640 画素 × 480 ライン	
		CIF	352 画素 × 288 ライン	
		WQVGA	480 画素 × 240 ライン	
		QVGA	320 画素 × 240 ライン、240 画素 × 320 ライン	
		QCIF	176 画素 × 144 ライン	
		QQVGA	160 画素 × 120 ライン	
		Sub-QCIF	128 画素 × 96 ライン	
	入力フォーマット	YCbCr422 8 ビット	Cb_0、Y_0、Cr_0、Y_1…	クロック比 1:1 に対応
			Cr_0、Y_0、Cb_0、Y_1…	
			Y_0、Cb_0、Y_1、Cr_0…	
			Y_0、Cr_0、Y_1、Cb_0…	
		バイナリデータ	同期信号のエッジで指定されたデータ量を取り込む	順次書き込み
			水平同期信号をイネーブル信号としてデータを取り込む	
	水平・垂直同期信号極性	任意	正極性および負極性	
	キャプチャ開始位置	任意	カメラ入力クロック単位で指定可	水平方向：1 サイクル単位 垂直方向：1HD（水平同期信号）単位
	キャプチャ画素数	任意	水平 8 画素単位、垂直 4 ライン単位で指定可	
	インターレース	両フィールドキャプチャ	フィールドイメージで格納	キャプチャ：2VD（垂直同期信号）単位
			フレームイメージで格納	
		片フィールドキャプチャ	トップフィールド／ボトムフィールド指定可	キャプチャ：1VD 単位
メモリ書き込み	出力フォーマット	YCbCr422 YCbCr420	YCbCr420 は単純間引きで実現	
フィルタ機能	等倍または縮小	キャプチャ画面の縮小	1/16～1 の任意倍率（縮小後の画面は VGA 以下）	
	ローパスフィルタ		高周波成分の除去	水平方向のみ適応可
モジュールストップ機能	消費電力低減のためにモジュールストップ状態を設定可能			
TrustZone フィルタ	セキュリティとプリビレッジの属性を設定可能			

注 1. 入力可能な画像サイズの範囲は、接続機器の AC 特性やフレームレート、送信先 RAM への転送速度に依存します。

表 50.2 CEU の主機能とその詳細

主機能	詳細
画像データ取り込み	• 外部モジュールからの画像出力をキャプチャし、YCbCr データを Y データと CbCr データに分けてメモリに書き込みます。 • カメラ等の外部接続モジュールから JPEG データ等の YCbCr データ以外の画像データを取り込み、順次メモリに書き込みます。 • インターレース入力画像を、両フィールド単位もしくは片フィールド単位で取り込み、メモリに書き込みます。両フィールド単位のキャプチャでは、画像をフレームイメージでメモリに格納できます。
フィルタ処理	内蔵しているフィルタによって、画像の縮小処理および高周波成分除去処理（水平方向のみ）を行います。 なお、縮小後の画像サイズは VGA 以下とします。また、フィルタ処理は YCbCr 入力データのみに対応します。
フォーマット変換	YCbCr422 フォーマットで入力された画像データを YCbCr420 フォーマットに変換して、メモリに書き込みます。 なお、変換アルゴリズムは、偶数ラインの色差成分 (CbCr) を間引くのみの単純間引きです。

CEU のブロック図を図 50.1 に示します。

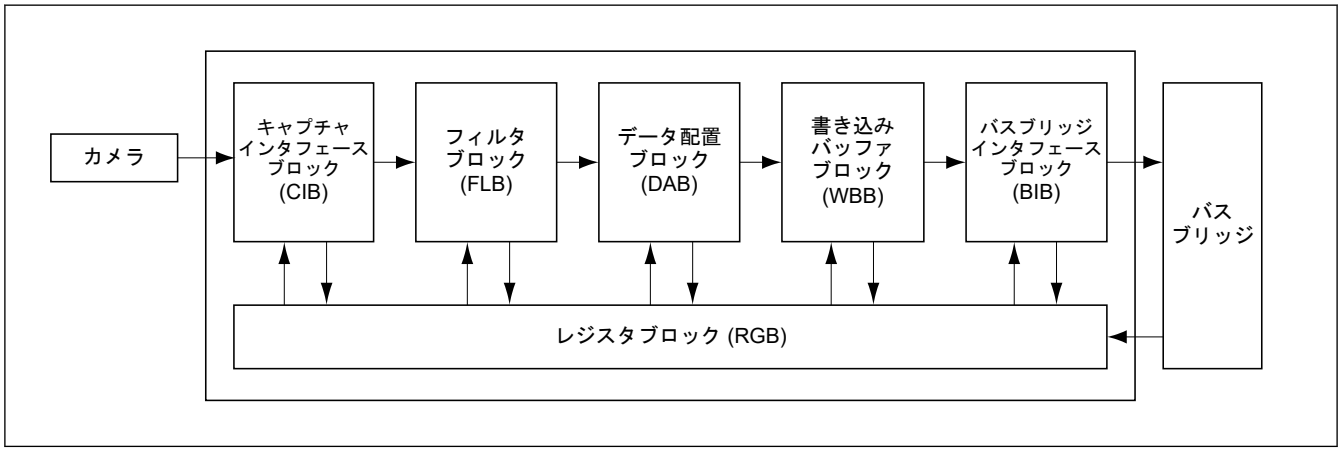


図 50.1 CEU のブロック図

CEU の端子構成を表 50.3 に示します。

表 50.3 CEU の端子構成

端子名	機能	入出力	説明
VIO_D7～VIO_D0(注1)	CEU 用データバス	入力	CEU へのカメラ画像データ入力です。
VIO_CLK	CEU 用クロック	入力	CEU へのカメラクロック入力です。
VIO_VD	CEU 用垂直同期	入力	CEU へのカメラ垂直同期信号入力です。
VIO_HD	CEU 用水平同期	入力	CEU へのカメラ水平同期信号入力です。
VIO_FLD(注2)	フィールド信号	入力	CEU へのフィールド識別信号入力です。

注 1. 本マニュアルでは、データバスのバス幅による区別が不要な場合、VIO_D と記載します。その他の場合は、VIO_D7～VIO_D0 を使用します。
注 2. VIO_FLD 端子は、インターレース入力モード (CAIFR.IFS = 1) 時のみ有効です。

50.2 レジスタの説明

CEU レジスタ構成を表 50.4 に示します。

CEU レジスタは一部を除いて 2 面構成（A 面と B 面）となっています。CEU は、この 2 面のレジスタを切り替えて使用します。2 面あるレジスタの場合、ミラーアドレスとして、使用していない面のレジスタに常にアクセスできるアドレスも用意してあります。レジスタ面切り替えタイミングを図 50.2 に示します。CEU は、VD 割り込みがアサートされると同時にレジスタ面を切り替えます。

下記のレジスタ説明において、「動作中」とは、キャプチャ開始レジスタ (CAPSR) の CE ビットによる CEU 起動から、キャプチャイベントフラグクリアレジスタ (CETCR) のキャプチャ終了割り込み CPE ビットが発生するまでの期間を意味します。また、各レジスタにおいて、読み出し専用指定のビットには、絶対に 0 以外の値を書き込まないでください。0 以外を書き込んだ場合の動作は保証されません。

表 50.4　CEU のレジスタ構成

レジスタ名称	略称	R/W	アドレス			アクセスサイズ
			アドレス（A 面）	アドレス（B 面）	ミラーアドレス	
キャプチャ開始レジスタ	CAPSR	R/W	0x4034_8000	—	—	32
キャプチャ制御レジスタ	CAPCR	R/W	0x4034_8004	—	—	32
キャプチャインタフェース制御レジスタ(注1)	CAMCR	R/W	0x4034_8008	—	—	32
キャプチャインタフェースサイクルレジスタ(注1)	CMCYR	R/W	0x4034_800C	—	—	32
キャプチャインタフェースオフセットレジスタ	CAMOR	R/W	0x4034_8010	0x4034_9010	0x4034_A010	32
キャプチャインタフェース幅レジスタ	CAPWR	R/W	0x4034_8014	0x4034_9014	0x4034_A014	32
キャプチャインタフェース入力方式レジスタ	CAIFR	R/W	0x4034_8018	—	—	32
CEU レジスタ制御レジスタ	CRCNTR	R/W	0x4034_8028	—	—	32
CEU レジスタ強制制御レジスタ	CRCMPR	R/W	0x4034_802C	—	—	32
キャプチャフィルタ制御レジスタ	CFLCR	R/W	0x4034_8030	0x4034_9030	0x4034_A030	32
キャプチャフィルタサイズクリップレジスタ	CFSZR	R/W	0x4034_8034	0x4034_9034	0x4034_A034	32
キャプチャデスティネーション幅レジスタ	CDWDR	R/W	0x4034_8038	0x4034_9038	0x4034_A038	32
キャプチャデータアドレス Y レジスタ	CDAYR	R/W	0x4034_803C	0x4034_903C	0x4034_A03C	32
キャプチャデータアドレス C レジスタ	CDACR	R/W	0x4034_8040	0x4034_9040	0x4034_A040	32
キャプチャデータボトムフィールドアドレス Y レジスタ	CDBYR	R/W	0x4034_8044	0x4034_9044	0x4034_A044	32
キャプチャデータボトムフィールドアドレス C レジスタ	CDBCR	R/W	0x4034_8048	0x4034_9048	0x4034_A048	32
キャプチャバンドルデスティネーションサイズレジスタ	CBDSR	R/W	0x4034_804C	0x4034_904C	0x4034_A04C	32
ファイアウォール動作制御レジスタ	CFWCR	R/W	0x4034_805C	—	—	32
キャプチャローパスフィルタ制御レジスタ	CLFCR	R/W	0x4034_8060	0x4034_9060	0x4034_A060	32
キャプチャデータ出力制御レジスタ	CDOCR	R/W	0x4034_8064	0x4034_9064	0x4034_A064	32
キャプチャイベント割り込み許可レジスタ	CEIER	R/W	0x4034_8070	—	—	32
キャプチャイベントフラグクリアレジスタ	CETCR	R/W	0x4034_8074	—	—	32
キャプチャステータスレジスタ	CSTSR	R	0x4034_807C	—	—	32
キャプチャデータサイズレジスタ	CDSSR	R/W	0x4034_8084	—	—	32
キャプチャデータアドレス Y レジスタ 2	CDAYR2	R/W	0x4034_8090	0x4034_9090	0x4034_A090	32
キャプチャデータアドレス C レジスタ 2	CDACR2	R/W	0x4034_8094	0x4034_9094	0x4034_A094	32
キャプチャデータボトムフィールドアドレス Y レジスタ 2	CDBYR2	R/W	0x4034_8098	0x4034_9098	0x4034_A098	32
キャプチャデータボトムフィールドアドレス C レジスタ 2	CDBCR2	R/W	0x4034_809C	0x4034_909C	0x4034_A09C	32
CEU バッファラブル書き込みイネーブルレジスタ	CBWER	R/W	0x4034_80A0	—	—	32

注.　この表に記載されているアドレスはセキュア領域です。非セキュア領域に対応するアドレスは、アドレスの b28 が 1 に設定されている場合です。

注 1.　外部モジュールの特性により決まるレジスタ（CAMCR または CMCYR）の設定変更後、外部入力クロックで 10 サイクル以上経過するまではキャプチャ起動をかけないでください。

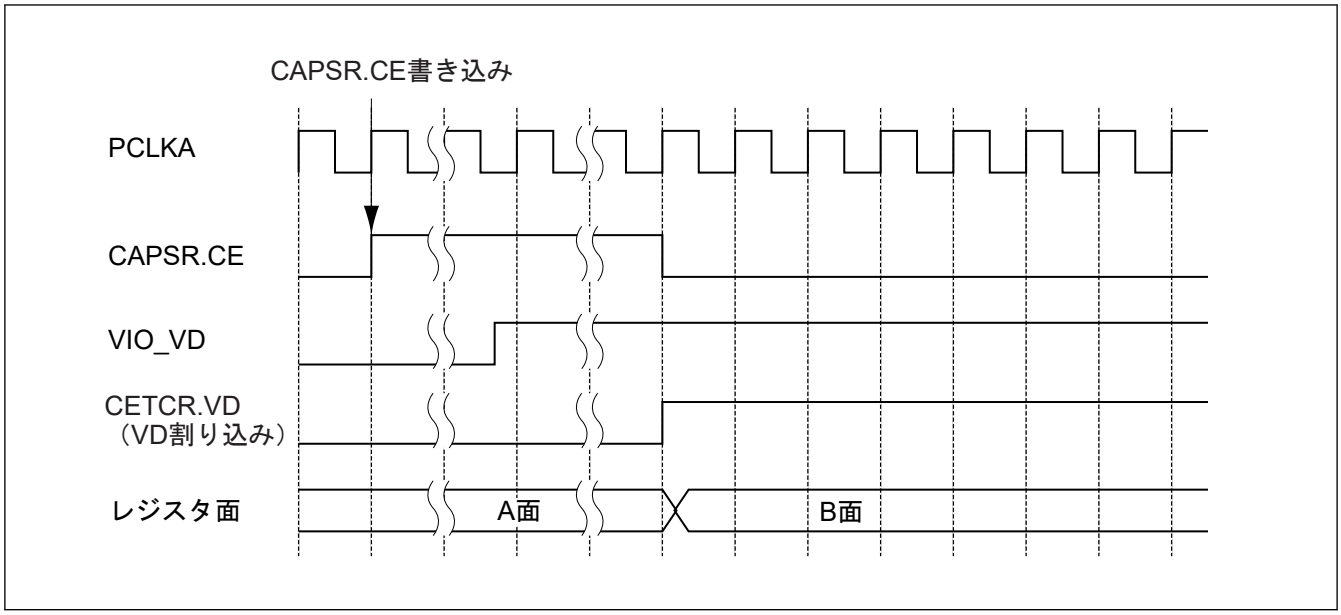


図 50.2　レジスタ面切り替えタイミング（データイネーブル取り込みモードかつ VD 正極性の場合）

50.2.1　CAPSR : キャプチャ開始レジスタ

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPKIL
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CE	キャプチャイネーブル ● シングルキャプチャ このビットは、次フレームのキャプチャ予約ビットです。1 を書き込むと、次の VD 入力から 1 フレームのキャプチャを行い、1 フレームキャプチャ終了割り込み（CETCR の CPE ビット）がアサートされると停止状態となります（図 50.7）。再びキャプチャを行う場合は、このビットに 1 を書き込んでください。また、VD 極性または HD 極性の変更後は、次の VD 割り込みがアサートするまでこのビットに 1 を書き込まないでください。 このビットはキャプチャ予約状態を表しているため、読み出し時には、1 に設定されてから VD が入力されるまで 1 が読み出され、VD が入力されると、このビットは 0 に戻るため、0 が読み出されます。キャプチャ終了は、1 フレームキャプチャ終了割り込み（CPE ビット）により判定してください。データ取り込みモードでも同様です。レジスタの設定は、次にキャプチャが開始されるフレームの VD 割り込みまでに行ってください。レジスタに書き込まれた設定は、次の VD 入力で反映されます。キャプチャ中に書き込みを行った場合、レジスタ設定は、次の VD 入力以降のキャプチャ動作から反映されます。キャプチャ中の書き込みを禁止している設定レジスタに対してキャプチャ中に書き込みを行った場合、割り込み要因（CETCR の IGRW ビット）が発生します。割り込み要因の詳細は CETCR レジスタの説明を参照してください。 ● 連続キャプチャ CAPCR の CTNCP ビットが 1 の状態で、このビットを 1 にすると、次フレームから連続でキャプチャを行います（図 50.8）。このとき、このビットは 0 クリアされずに常に 1 を保持します。キャプチャを停止する場合は、このビットを 0 クリアすれば、そのときのフレーム終了後にキャプチャは停止します。 連続キャプチャ動作は、画像キャプチャモード時のみ可能です。なお、キャップチャしたデータを書き込むメモリの先頭アドレスは、フレームごとに設定してください。 0: キャプチャの停止 1: キャプチャの実行	R/W
15:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	CPKIL	キャプチャのソフトウェアリセット キャプチャをソフトウェアリセットする場合は、このビットに 1 を書き込んでください。ソフトウェアリセット時、キャプチャは、フレームの終了までキャプチャ動作を行わないで、即座に終了します。このビットに 1 を書き込む場合には、CE ビットは 0 にクリアしてください。キャプチャのソフトウェアリセット処理中は、このビットは 1 を表示します。CPKIL = 1 のときは、リセット処理を行っていますので、キャプチャ開始をかけないようにしてください。再度、キャプチャを開始する場合は、CSTSR の CPTON ビットを参照し、CEU が停止（アイドル）状態になっていることを確認してください。その後、このビットが 0 になるのを待ってからキャプチャを開始してください。キャプチャ再起動のタイミングを図 50.6 に示します。 このビットでソフトウェアリセットを行った場合、ソフトウェアリセット直後にキャプチャ終了割り込み（CETCR の CPE ビット）を出力する場合がありますが、この割り込みは無視してください。また、キャプチャ終了割り込みが出力されなくても、次フレームのキャプチャ前には、割り込み要因（CPE ビット）は必ずクリアしてください。 0: 通常状態 1: キャプチャのソフトウェアリセット	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CAPSR は、外部モジュールから CEU に入力されるデータのキャプチャを実行させるレジスタです。

VD（垂直同期信号）、HD（水平同期信号）の極性がともに正の場合、1 フレームは VD の立ち上がりエッジから次の VD の立ち上がりエッジまでの期間、1 ラインは HD の立ち上がりエッジから次の立ち上がりエッジまでの期間と定義しています。1 フレームのタイミングを図 50.3 に示します（VD 極性、HD 極性ともに正の場合）。

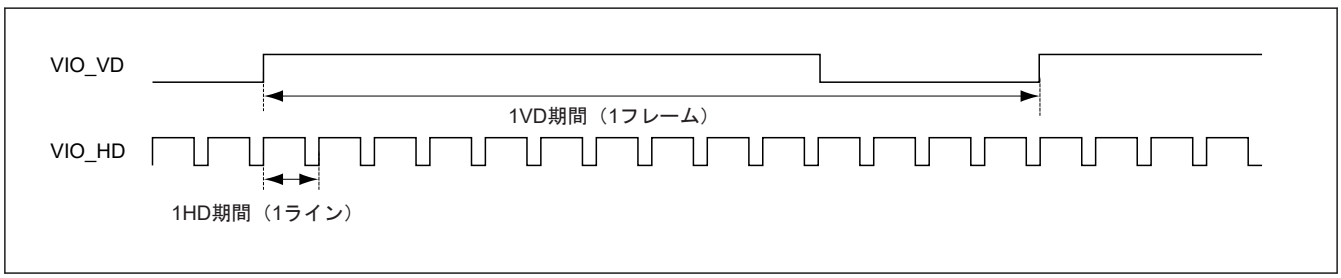


図 50.3 フレームタイミング

VD、HD の極性がともに正の場合、1 フィールドは 1 フレームと同様に、以下のように定義します。

- VD の立ち上がりエッジから次の VD の立ち上がりエッジまでの期間
- 1 ラインは、HD の立ち上がりエッジから次の立ち上がりエッジまでの期間

フィールド識別信号 FLD は、VD の入力から 1HD 以上の期間、固定することとします。1 フィールドのタイミングを図 50.4 に示します（VD 極性、HD 極性ともに正の場合）。

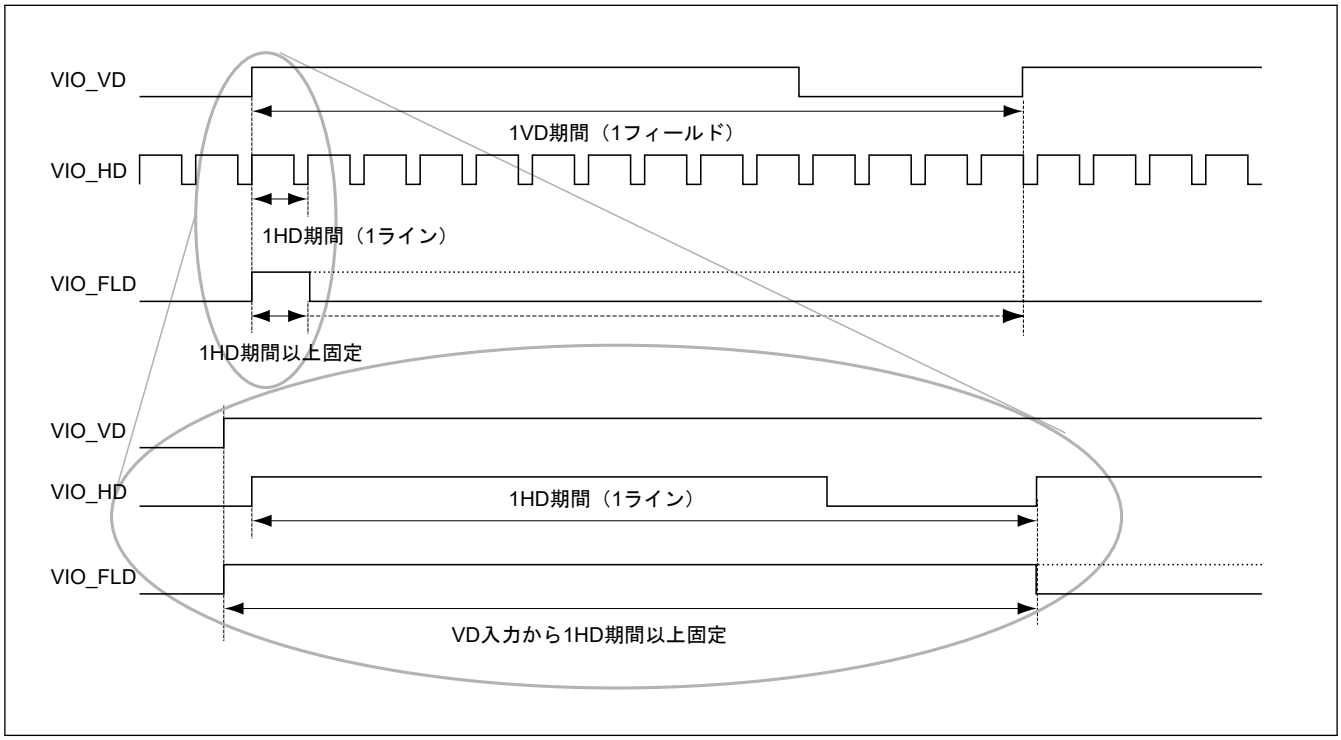


図 50.4　1 フィールドのタイミング

データイネーブル取り込みでは、1 フレームを VD の立ち上がりエッジから VD の立ち下りエッジまでの期間と定義しています。HD をイネーブル信号（正極性）として、VD が High の期間に HD がアサートされたサイクルのデータを取り込みます。データイネーブル取り込みの場合の、1 フレームのタイミング図を図 50.5 に示します。

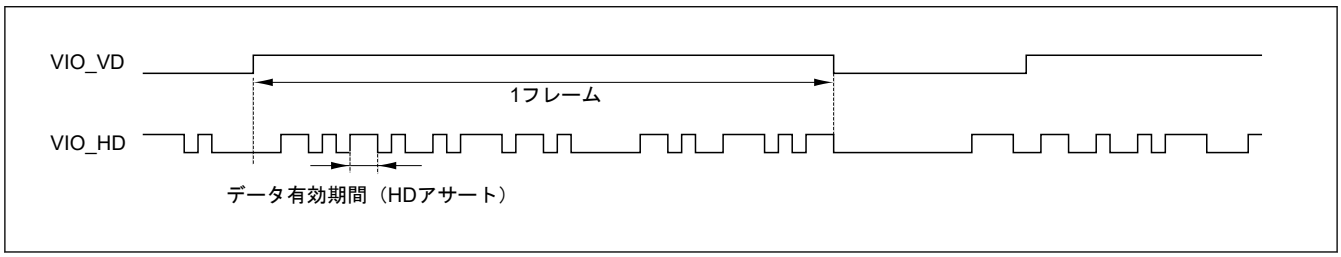


図 50.5　フレームのタイミング（データイネーブル取り込みの場合）

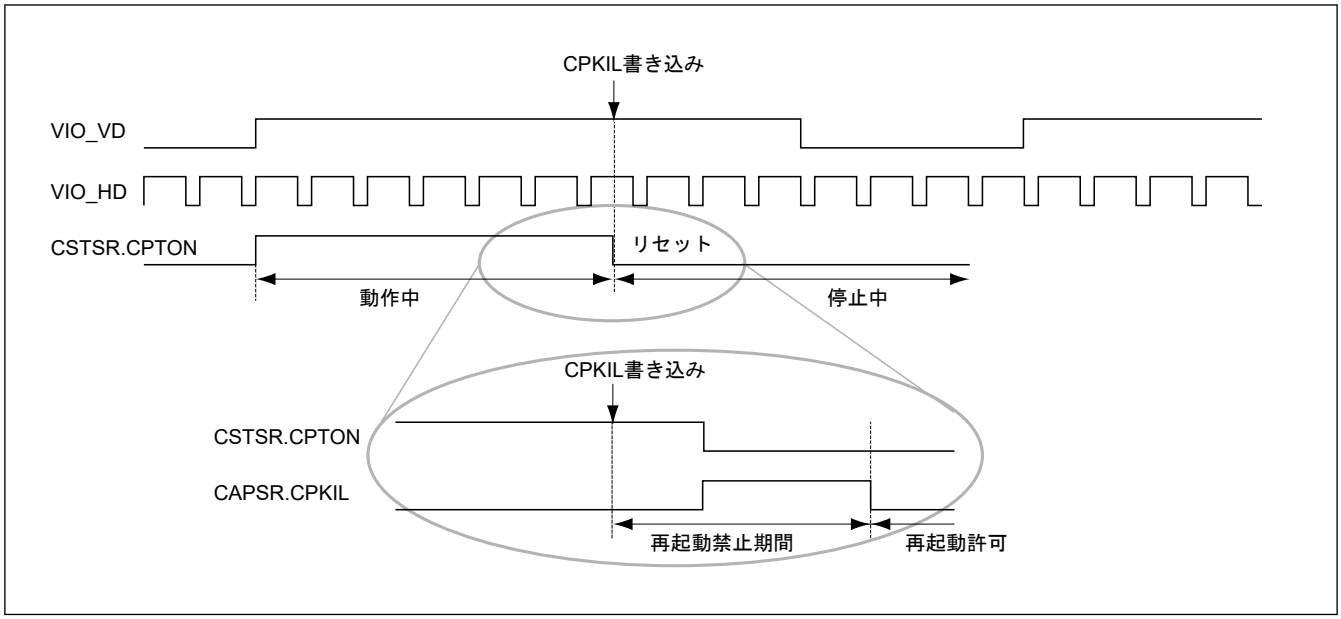


図 50.6　キャプチャのソフトウェアリセットおよび再起動のタイミング

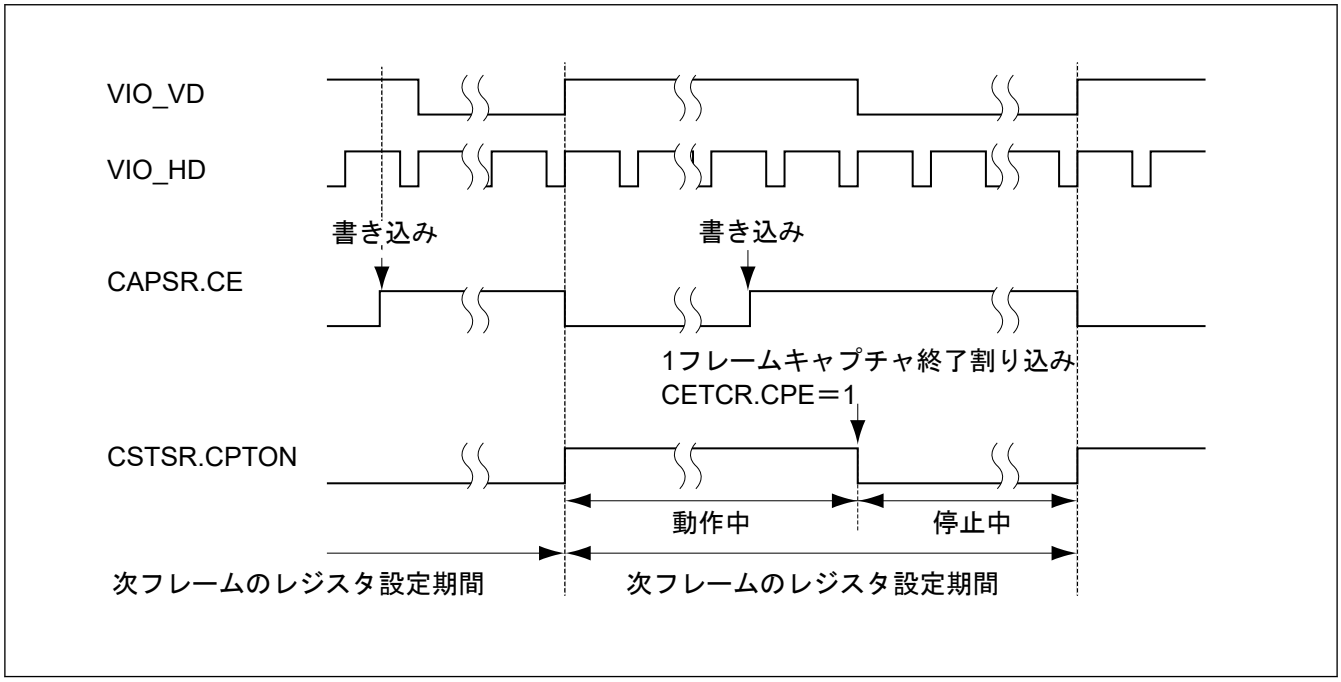


図 50.7　1 フレームキャプチャの CE ビット書き込みタイミングとレジスタ設定

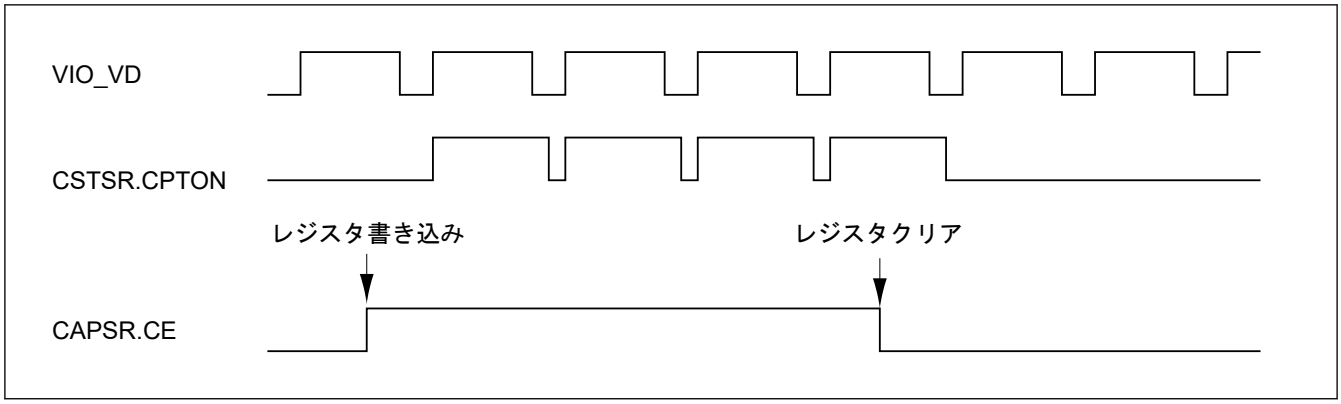


図 50.8　連続フレームキャプチャ

50.2.2 CAPCR : キャプチャ制御レジスタ

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	FDRP[7:0]								—	—	MTCM[1:0]		—	—	—	CTNCP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	CTNCP	連続キャプチャ このビットを 1 にしキャプチャを行うと、CAPSR の CE ビットが 0 クリアされるか、CAPSR の CPKIL ビットによるソフトウェアリセットが起動されるまで、連続でキャプチャを行います（図 50.8 参照）。連続キャプチャの設定は、キャプチャを開始する前に設定してください。 このビットを書き換える場合は、一度 CE ビットに 0 を書き込み、キャプチャ動作を停止させた後、実行してください。キャプチャ中にこのビットが書き換えられた場合、動作は保証されません。データ取り込みモード時は、このビットを 0 にクリアしてください。 0: CAPSR.CE = 1 のとき、1 フレームのみキャプチャを実行 1: CAPSR.CE = 0 になるまで、連続的にキャプチャを実行	R/W
19:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
21:20	MTCM[1:0]	バスブリッジへのデータの転送単位を指定します。 画像データ書き込みは、アドレスをより連続的にアクセスすることによりアクセス効率を高めることができます。書き込み効率を上げたいときは、これらのビットの設定値を 11 としてください。外部から見て、これらのビットの設定値による変化はありません。 0 0: 画像キャプチャの場合 : Y データの転送および C データの転送を 32 バイトごとに行う データ取り込みの場合 : データの転送を 32 バイトごとに行う 0 1: 画像キャプチャの場合 : Y データの転送および C データの転送を 64 バイトごとに行う データ取り込みの場合 : データの転送を 64 バイトごとに行う 1 0: 画像キャプチャの場合 : Y データの転送および C データの転送を 128 バイトごとに行う データ取り込みの場合 : データの転送を 128 バイトごとに行う 1 1: 画像キャプチャの場合 : Y データの転送および C データの転送を 256 バイトごとに行う データ取り込みの場合 : データの転送を 256 バイトごとに行う	R/W
23:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
31:24	FDRP[7:0]	連続フレームキャプチャ時のフレームドロップ間隔を設定します。 これらのビットに 0 をクリアするとフレームドロップは行わずに、すべてのフレームをキャプチャします。 これらのビットに設定した値と、キャプチャするフレームのタイミングを図 50.9 に示します。 フレームドロップ間隔の単位は、キャプチャ設定によって異なります。キャプチャ設定とフレームドロップ間隔の単位との関係を表 50.5 に示します。これらのビットが 2 の場合の各設定におけるフレームドロップのタイミングイメージを図 50.10 に示します。 両フィールドキャプチャ時は、2 番目のフィールドがトップフィールドであるかボトムフィールドであるかにかかわらず、2VD 期間連続でキャプチャします。また、両フィールドキャプチャ時は、2 番目のフィールドがトップフィールドであるかボトムフィールドであるかにかかわらず、最初のフィールドのトップ／ボトムの判定で、フレームドロップ数カウンタをカウントアップします。 CAPSR の CE ビットに 0 を書き込んだ場合には、キャプチャフレームであれば、現在のフレームをキャプチャして終了しますが、ドロップフレームのときは CEU 内で強制終了動作となりますので、終了割り込み（CETCR の CPE ビット）は出力されません。 CAPSR.CE ＝ 1 の間はこれらのビットの設定を変更しないでください。 注. 連続キャプチャを実行中は本設定値を変更しないでください。本設定値を変更する場合は、連続キャプチャをいったん停止し (CAPSR.CE = 0)、CAPCR の CTNCP ビット（連続キャプチャ）に 0 を設定し、その後再び連続キャプチャを実行してください。連続キャプチャ中とは図 50.9 に示す CAPSR.CE ＝ 1 の期間をいいます。	R/W

注. S-TYPE-3、P-TYPE-3

CAPCR は、連続フレームキャプチャの設定、フレームドロップの間隔の設定を行います。

本レジスタは、動作中は書き換えないでください。動作中に書き込みを行った場合は、動作保証されません。また、動作中に本レジスタを書き換えた場合、CETCR の IGRW ビット（割り込み要因）が 1 になります。

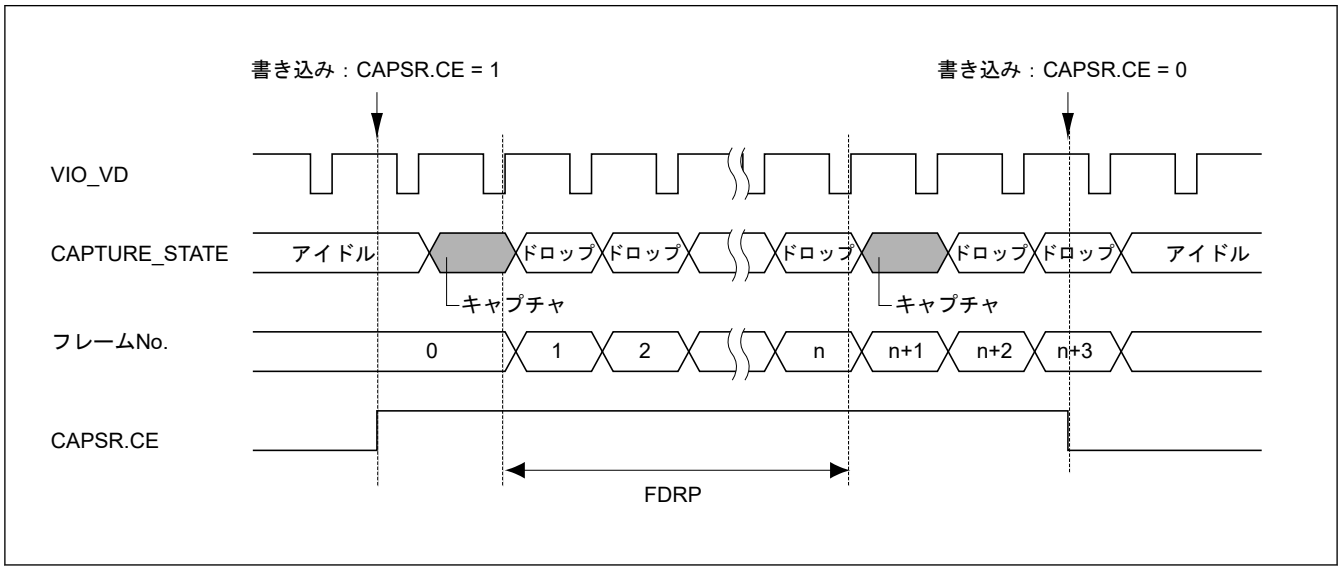


図 50.9 FDRP ビットの設定値とフレームドロップタイミング

表 50.5 キャプチャ設定とフレームドロップ間隔単位の関係 (1/2)

入力方式	キャプチャ画像	最初のキャプチャ画像	フレームドロップ間隔単位	キャプチャ設定
プログレッシブ	フレーム	キャプチャ開始直後のフレーム	フレーム	A

表 50.5　キャプチャ設定とフレームドロップ間隔単位の関係 (2/2)

入力方式	キャプチャ画像	最初のキャプチャ画像	フレームドロップ間隔単位	キャプチャ設定
インターレース	両フィールド(2VD キャプチャ)	キャプチャ開始直後のフィールド	2 フィールド（最初のキャプチャフィールドカウント）	B
				C
		トップフィールド	2 フィールド（トップフィールドカウント）	D
		ボトムフィールド	2 フィールド（ボトムフィールドカウント）	E
	片フィールド(1VD キャプチャ)	キャプチャ開始直後のフィールド	最初のキャプチャフィールド	F
				G
		トップフィールド	トップフィールド	H
		ボトムフィールド	ボトムフィールド	I

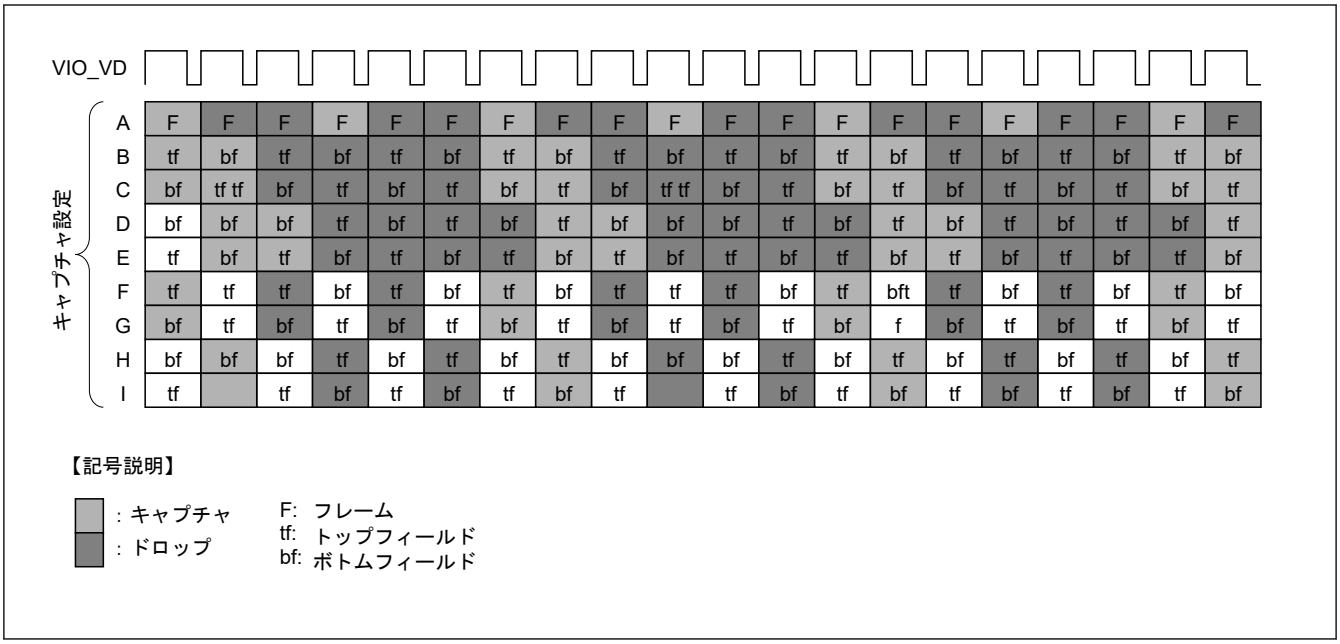


図 50.10　各キャプチャ設定におけるフレームドロップのタイミングイメージ (FDRP[7:0] = 0x2)

50.2.3　CAMCR : キャプチャインタフェース制御レジスタ

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0008

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	VDSEL	HDSEL	FLDSEL	DSEL	—	—	—	—	—	—	—	FLDPOL
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	DTARY[1:0]		—	—	JPG[1:0]		—	—	VDPOL	HDPOL
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	HDPOL	外部モジュールからの水平同期信号 (HD) 検出の極性を設定します。 正極性が選択されている場合の HD と HD 割り込みの関係を図 50.16 に示します。 なお、設定変更時に HD 割り込みが立つ場合がありますので、このビットの設定を変更した場合には、必ず CETCR の HD ビットを 0 にクリアしてください。 データイネーブル取り込みモードでは 0 を設定してください。 0: 外部モジュールからの水平同期信号 (HD) を正極性として検出 1: 外部モジュールからの水平同期信号 (HD) を負極性として検出	R/W
1	VDPOL	外部モジュールからの垂直同期信号 (VD) 検出の極性を設定します。 正極性を選択した場合の VD、HD と VD 割り込みの関係を図 50.14 と図 50.15 に示します。 なお、設定変更時に VD 割り込みが立つ場合がありますので、このビットの設定を変更した場合には、必ず CETCR の VD ビットを 0 にクリアしてください。データイネーブル取り込みモードではこのビットを使用せず常に正極性として検出します。 0: 外部モジュールからの垂直同期信号 (VD) を正極性として検出 1: 外部モジュールからの垂直同期信号 (VD)を負極性として検出	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	JPG[1:0]	取り込みデータの種別を選択します。 0 0: 画像キャプチャモード（入力データを輝度成分データ (Y) と色差成分データ (CbCr) に分けてメモリに出力） 0 1: データ同期取り込みモード（同期信号に同期して指定されたサイズの入力データを入力順にメモリ指定アドレスに出力） 1 0: データイネーブル取り込みモード（HD をイネーブル信号として入力データを取り込み、入力順にメモリの指定アドレスに出力） 1 1: 設定禁止	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	DTARY[1:0]	輝度成分と色差成分の入力順序を設定します。 外部モジュールから入力される、Y と CbCr の入力順序は、モジュールにより異なります。CEU は、図 50.12 に示す入力順序に対応しています。対応する値を、これらのビットにセットしてください。データ取り込みモードでは 00 を設定してください。 0 0: 画像入力データを Cb_0、Y_0、Cr_0、Y_1 の順序で取り込み 0 1: 画像入力データを Cr_0、Y_0、Cb_0、Y_1 の順序で取り込み 1 0: 画像入力データを Y_0、Cb_0、Y_1、Cr_0 の順序で取り込み 1 1: 画像入力データを Y_0、Cr_0、Y_1、Cb_0 の順序で取り込み	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	FLDPOL	外部モジュールからのフィールド識別信号 (FLD) の極性を設定します。 0: FLD 信号が正極性のときトップフィールド、負極性のときボトムフィールドとして検出 1: FLD 信号が負極性のときトップフィールド、正極性のときボトムフィールドとして検出	R/W
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	DSEL	外部モジュールから画像データ (D7～D0) の取り込みエッジを設定します。 0: D7～D0 をカメラクロックの立ち上がりエッジで取り込み 1: D7～D0 をカメラクロックの立ち下がりエッジで取り込み	R/W
25	FLDSEL	外部モジュールから FLD の取り込みエッジを設定します。 0: FLD をカメラクロックの立ち上がりエッジで取り込み 1: FLD をカメラクロックの立ち下がりエッジで取り込み	R/W
26	HDSEL	外部モジュールから HD の取り込みエッジを設定します。 0: HD をカメラクロックの立ち上がりエッジで取り込み 1: HD をカメラクロックの立ち下がりエッジで取り込み	R/W
27	VDSEL	外部モジュールから VD の取り込みエッジを設定します。 0: VD をカメラクロックの立ち上がりエッジで取り込み 1: VD をカメラクロックの立ち下がりエッジで取り込み	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CAMCR は、キャプチャインタフェースを設定するレジスタです。

CAMCR で設定できる項目は、以下のとおりです。

- 信号キャプチャまたはデータ取り込み用のカメラクロック立ち上がり取り込みまたは立ち下がり取り込み動作を選択

- 画像キャプチャまたはデータ取り込み動作を選択
- 垂直および水平同期信号の極性の選択
- 画像データの、各成分（Y、Cb、Cr）の入力順序の選択（画像キャプチャモード時のみ）
- フィールド識別信号の極性の選択

CAMCR は、接続するモジュールに合わせて設定してください。データ取り込みモードの際は、DTARY ビットを 0 に設定してください。本レジスタは、動作中は書き換えないでください。動作中に書き込みを行った場合は、動作保証されません。また、動作中に本レジスタを書き換えた場合、CETCR の IGRW ビット（割り込み要因）が 1 になります。

注. 本レジスタの設定変更後は、外部入力クロックで 10 サイクル以上待ってからキャプチャ起動をかけてください。

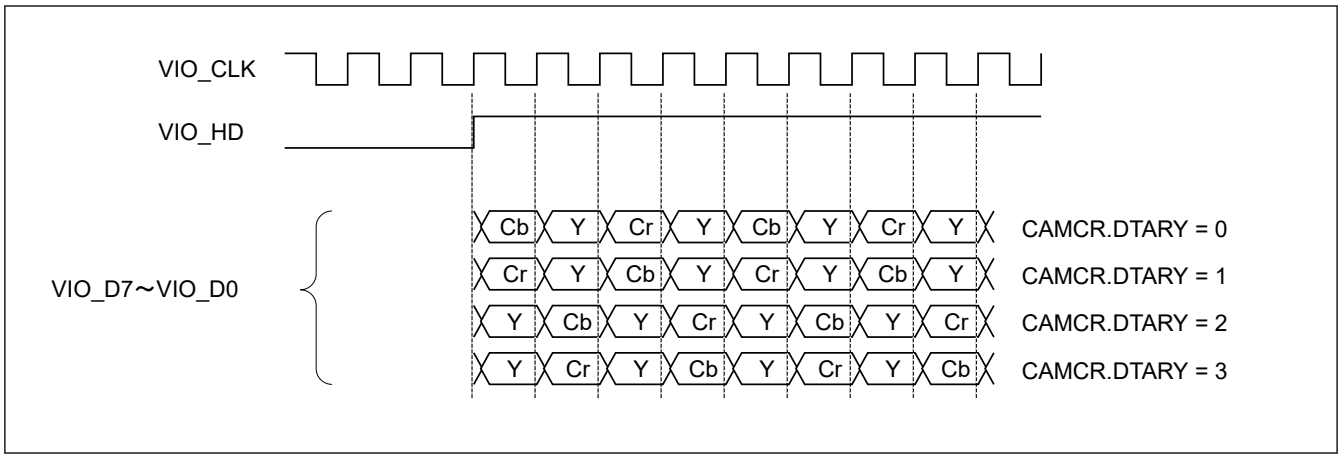


図 50.11 画像データの入力順序

CAMCR の JPG ビットは、デジタル画像データを取り込むのか、JPEG 等のデータを取り込むのかを選択します。また、JPEG 等のデータを取り込む場合は、同期信号に同期して、指定された量のデータを連続して取り込むのか、水平同期信号がイネーブル中にデータを取り込むのかを選択します。

データイネーブル取り込みモードでは、垂直同期信号 (VD) の立ち上がりから立ち下がりまでを 1 フレームとしてデータを取り込みます。水平同期信号 (HD) は、VD が High の期間にのみ有効で、イネーブル信号として扱われます。HD がアサート (High) されているサイクルに入力されたデータを取り込み、順次メモリに出力します。

本モジュールは、データイネーブル取り込みモードでは、VD の立ち上がりエッジでデータ取り込みを開始し、VD の立ち下がりエッジでデータ取り込みを停止します。したがって、VD が High のまま Low にならなかった場合、終了処理に移行しません。また、VD が High のままで、HD もアサートしたままの場合、データを取り込み続けます。

データイネーブル取り込みモードのインタフェースタイミング図を図 50.12 と図 50.13 に示します。

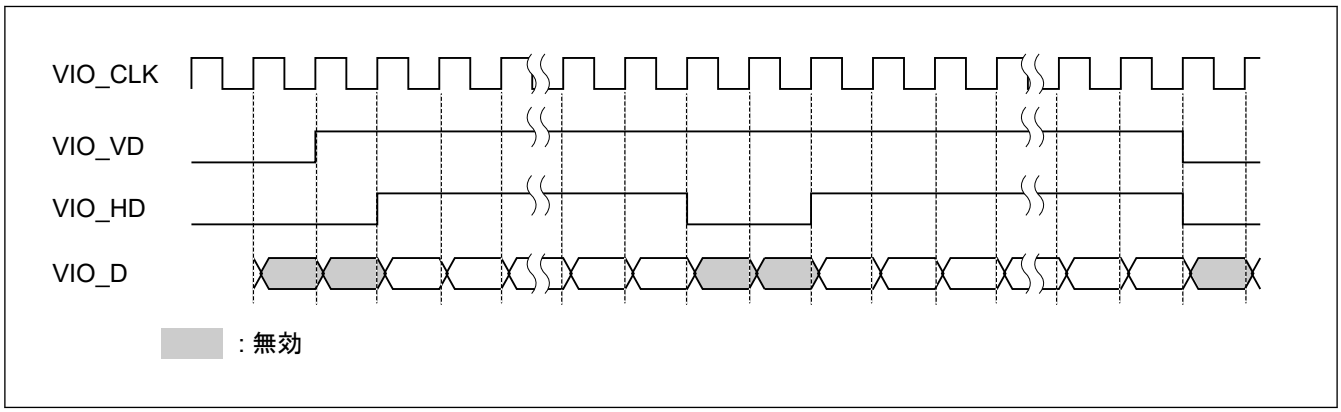


図 50.12 データイネーブル取り込みタイミング（VD が High の期間内に HD がアサート (High)）

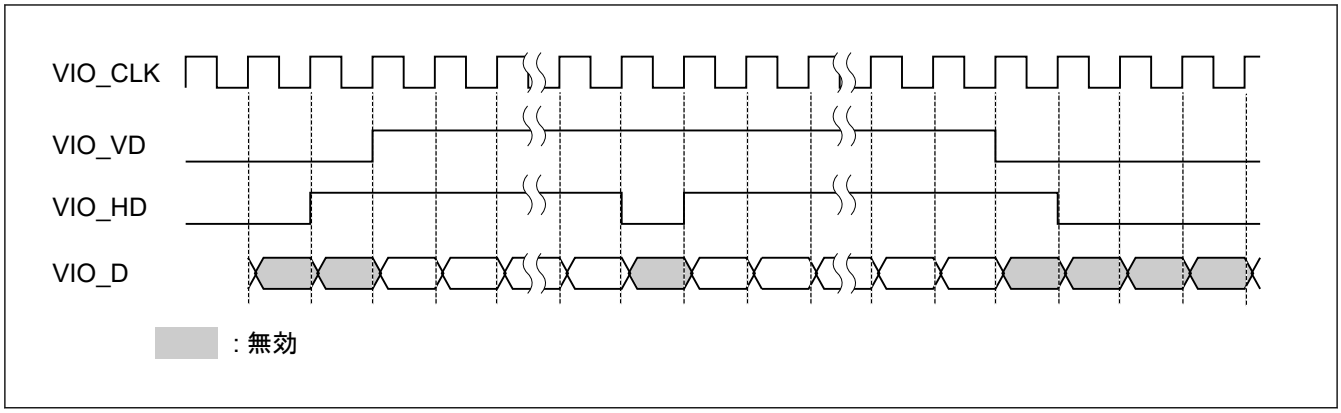


図 50.13　データイネーブル取り込みタイミング（VD が High の期間外に HD がアサート (High)）

本モジュールは、データイネーブル取り込みモードでは、VD のアクティブレベルを検出した時点で VD 割り込みが発生します。画像キャプチャモードおよびデータ同期取り込みモードでは、VD のアクティブレベルを検出後に最初の HD アクティブレベルを検出した時点で VD 割り込みが発生します。なお、VD と HD が同時にアサートされ VD と HD を同時に検出した場合は、その時点で VD 割り込みが発生します。

VIO_VD 信号と VD 割り込み、VIO_VD および VIO_HD 信号と VD 割り込み、VIO_HD 信号と HD 割り込みの関係を図 50.14～図 50.16 に示します。

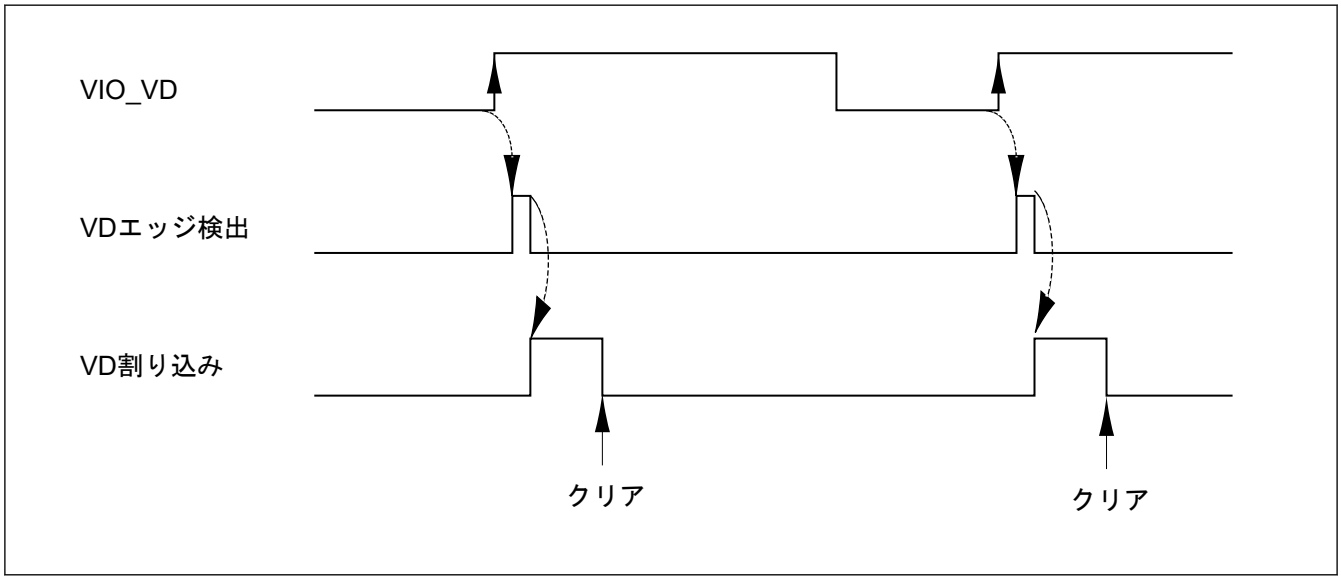


図 50.14　VD が正極性の場合の VIO_VD と VD 割り込みの関係(データイネーブル取り込みモードの場合)

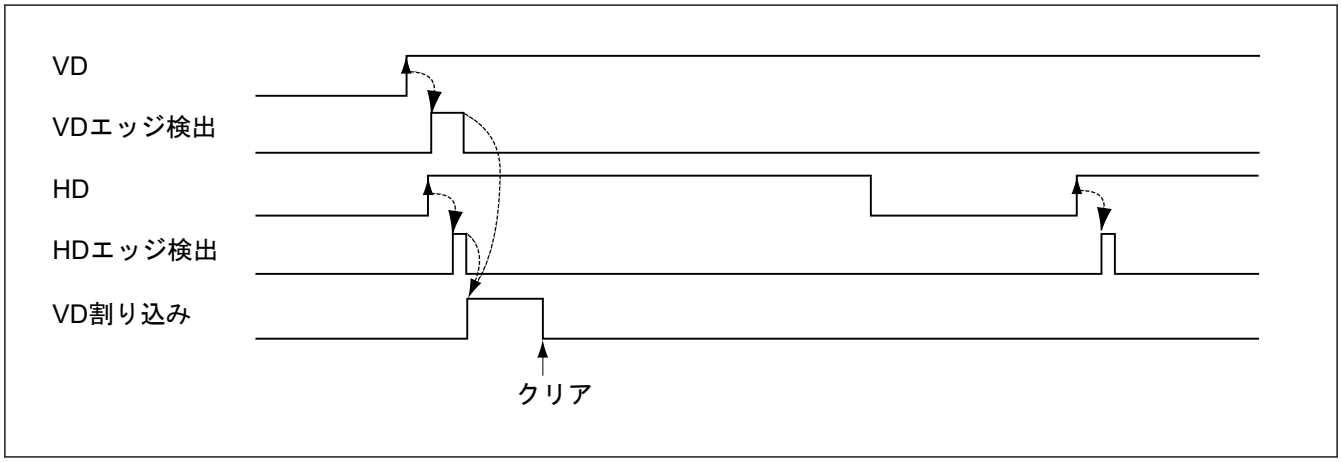


図 50.15　VD と HD が正極性の場合の VIO_VD および VIO_HD 信号と VD 割り込みの関係（画像キャプチャモードおよびデータ同期取り込みモードの場合）

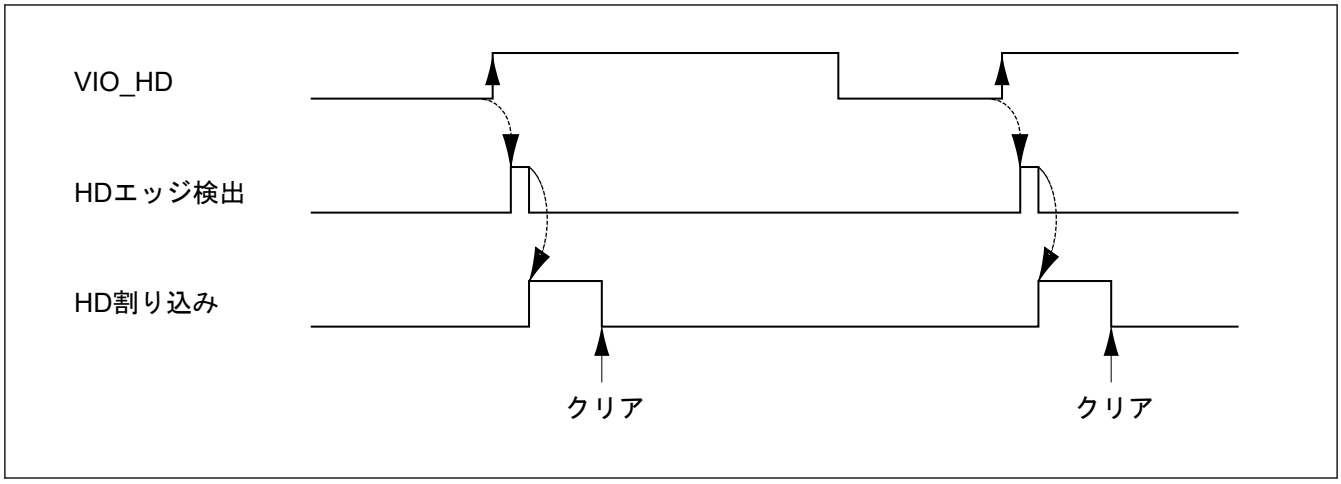


図 50.16 HD が正極性の場合の VIO_HD と HD 割り込みの関係

50.2.4 CMCYR : キャプチャインタフェースサイクルレジスタ

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x000C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	VCYL[13:0]														—	—	HCYL[13:0]													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
13:0	HCYL[13:0]	外部モジュールの横方向のサイクル数 外部モジュールの HD サイクル数を設定します。外部モジュールから入力された HD のサイクル数がこの設定値と違う場合に、CETCR の割り込み要因ビット IGHS が 1 になります。イリーガル HD を検出したい場合に設定してください。 これらのビットをすべて 0 にクリアした場合、CETCR の割り込み要因ビット IGHS は 1 になりません。また、CAMCR の HDPOL ビット（HD 極性）を変更した際、CETCR の割り込み要因ビット IGHS が 1 になる場合がありますが、これは無視してください。	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29:16	VCYL[13:0]	外部モジュールの縦方向の HD 数 外部モジュールの VD サイクル数を HD 入力数で設定します。外部モジュールから入力された実際の VD のサイクル数がこの設定値と違う場合に、CETCR の割り込み要因ビット IGVS が 1 になります。イリーガル VD を検出したい場合に設定してください。 これらのビットをすべて 0 にクリアした場合、CETCR の割り込み要因ビット IGVS は 1 になりません。また、CAMCR の VDPOL ビット（VD 極性）を変更した際、CETCR の割り込み要因ビット IGVS が 1 になる場合がありますが、これは無視してください。	R/W
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CMCYR は、イリーガル VD、およびイリーガル HD の検出に使用します。HD に関しては、HD の立ち上がりから次の HD の立ち上がりまでのサイクル数（HD が負極性の場合は立ち下がり）、VD に関しては VD の立ち上がりから次の VD の立ち上がりまでの HD 入力の数（VD が負極性の場合は立ち下がり）を設定します。

本レジスタは、動作中は書き換えないでください。動作中に書き込みを行った場合は、動作保証されません。また、動作中に本レジスタを書き換えた場合、CETCR の IGRW ビット（割り込み要因）が 1 になります。

データイネーブル取り込みモード時は、本レジスタにすべて 0 を設定してください。

注. 本レジスタの設定変更後は、外部入力クロックで 10 サイクル以上待ってからキャプチャ起動をかけてください。

50.2.5 CAMOR, CAMOR_x : キャプチャインタフェースオフセットレジスタ (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0010 (CAMOR)
0x1010 (CAMOR_B)
0x2010 (CAMOR_M)

Bit position:	31				27											16			12											0
Bit field:	—	—	—	—	VOFST[11:0]											—	—	—	HOFST[12:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
12:0	HOFST[12:0]	キャプチャ開始位置を水平同期信号からのクロックサイクル数で指定します（1 サイクル単位）。 水平同期信号からのブランク期間は、外部モジュールにより異なります。これに対応するため、これらのビットに、水平方向のキャプチャ開始位置を、水平同期信号からの外部入力クロックサイクル数で指定することで、画像を画像有効領域からキャプチャすることが可能です。データ同期取り込みの際も同様です（図 50.19 参照）。また、外部モジュールによっては、データイネーブル信号として水平同期信号を出力するものがあります。この場合、ブランク期間は存在しませんので、これらのビットには 0 をセットしてください（図 50.20 参照）。 注. CEU は、最初の HD（水平同期信号）が必ず最初の VD（垂直同期信号）と同時または後に入力されることが動作条件となります。ここでの「入力」とは、極性（CAMCR の VDPOL および HDPOL ビット）に依存します。	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
27:16	VOFST[11:0]	キャプチャ開始位置を垂直同期信号からの HD 数で指定します（1HD 単位）。 垂直同期信号からのブランク期間は、外部モジュールにより異なります。これに対応するため、これらのビットに、垂直方向のキャプチャ開始位置を、垂直同期信号からの HD 数で指定することで、画像を画像有効領域からキャプチャすることが可能です（図 50.17 参照）。また、外部モジュールによっては、データイネーブル信号として垂直同期信号を出力するものがあります。この場合、ブランク期間は存在しませんので、これらのビットには 0 をセットしてください（図 50.18 参照）。	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CAMOR は、画像キャプチャを行う際のキャプチャ開始位置の設定を行います。

外部モジュールによって、VD（垂直同期信号）入力から有効画像期間開始位置までの HD（水平同期信号）入力数や、HD 入力から有効画像期間開始位置までのクロックサイクル数が異なりますので、CAMOR の設定で対応してください。また、設定値を有効画像領域よりも多く設定することで、画像の切り出しキャプチャにも対応しています。データ同期取り込みモードの場合は、本レジスタの設定が、有効データ期間開始位置までのサイクル数（HD 数）となります。

データイネーブル取り込みモード時は、本レジスタは使用しません。

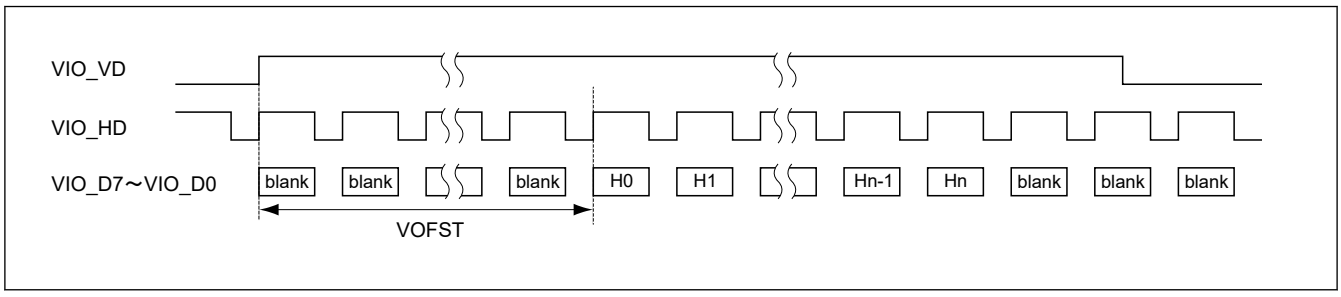


図 50.17 垂直オフセット

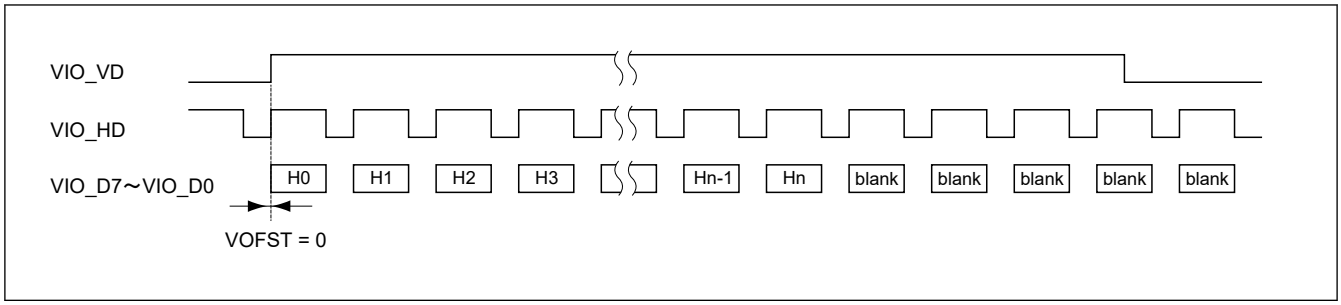


図 50.18　VD がデータイネーブル信号の場合のタイミング

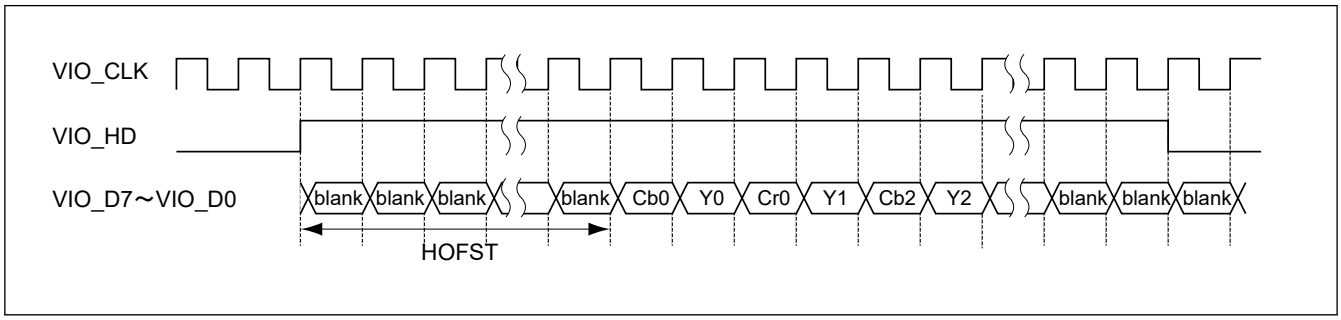


図 50.19　水平オフセット

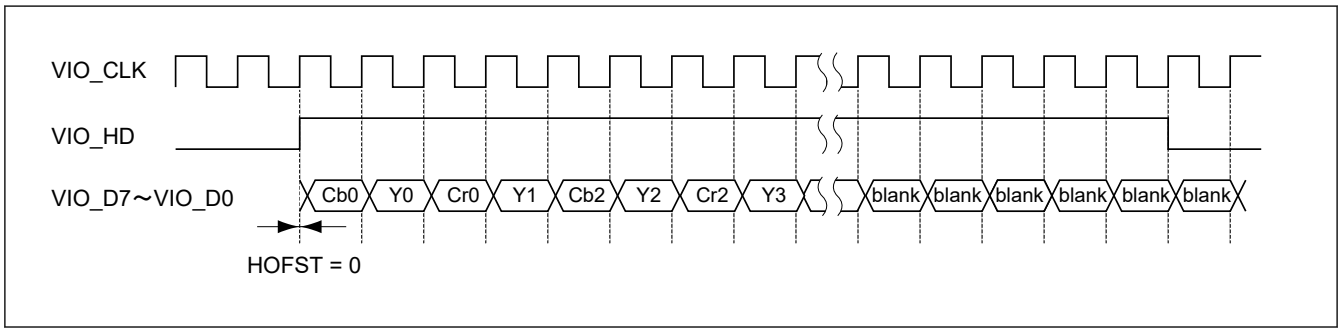


図 50.20　HD がデータイネーブル信号の場合のタイミング

50.2.6　CAPWR, CAPWR_x : キャプチャインタフェース幅レジスタ (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0014 (CAPWR)
0x1014 (CAPWR_B)
0x2014 (CAPWR_M)

Bit position:	31															27															16			12															0
Bit field:	—			—			—			—	VWDTH[11:0]																					—			—	HWDTH[12:0]															
Value after reset:	0			0			0			0	0																					0			0	0															0

ビット	シンボル	機能	R/W
12:0	HWDTH[12:0]	水平方向のキャプチャ期間を指定します。 HOFST ビットで指定した位置からのキャプチャサイクル数を指定します。 図 50.22 に水平ブランク期間が 0 の場合のタイミングを示します。CEU は、水平方向にこれらのビットで指定したサイクル数のみをキャプチャします。データ同期取り込みの際も同様に設定してください。 最大設定値は以下のとおりです。 画像キャプチャ時（16 サイクル単位）: 5,120 サイクル（2,560 画素） データ同期取り込み時（8 サイクル単位）: 2,560 サイクル（2,560 バイト） 下位 2 ビットは 0 を書き込んでください。 注. データ同期取り込みの際は CFSZR および CDWDR の値は本レジスタに設定した値をもとに設定してください詳細は、CFSZR および CDWDR の説明を参照してください。	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
27:16	VWDTH[11:0]	垂直方向のキャプチャ期間を指定します（4HD 単位）。 CAMOR の VOFST ビットで指定した位置からのキャプチャライン数（HD 数）を指定します。 図 50.21 に垂直ブランク期間が 0 の場合のタイミングを示します。CEU は、垂直方向にこれらのビットで指定したライン数（HD 数）のみをキャプチャします。データ同期取り込みの際も同様に設定してください。最大設定値は、1,920HD（5 M 画素）となります。 下位 2 ビットは書き込み値を無視するので、下位 2 ビットに 0 を書き込んでください。	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CAPWR は、画像キャプチャを行う際の取り込み（キャプチャ）サイクル幅を設定します。

サイクル幅の単位は、インタフェースやキャプチャするデータの種類によって異なります。それぞれの設定単位は表 50.6 を参照してください。

データイネーブル取り込みモード時は、本レジスタは使用しません。

表 50.6 取り込み（キャプチャ）サイクル幅設定単位

垂直方向		水平方向	
画像キャプチャ	データ同期取り込み	画像キャプチャ	データ同期取り込み
4HD	4HD	16 サイクル	8 サイクル

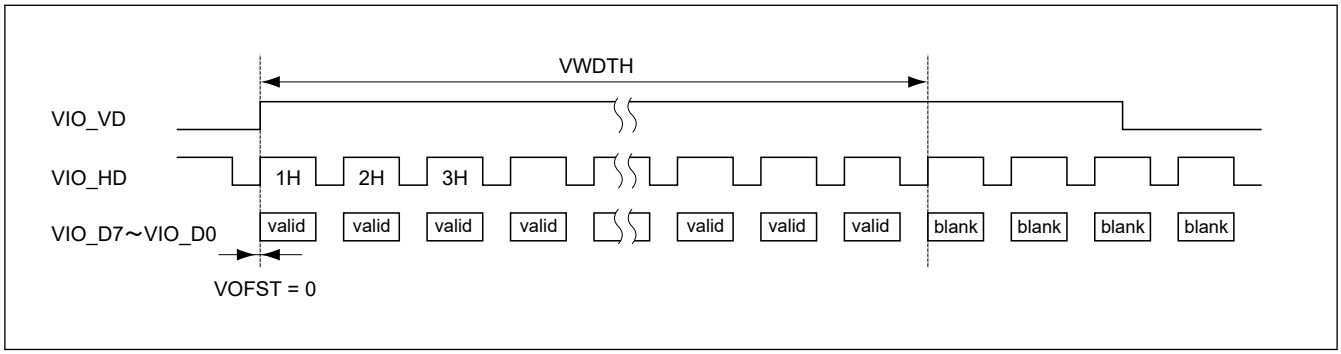


図 50.21 垂直キャプチャタイミング

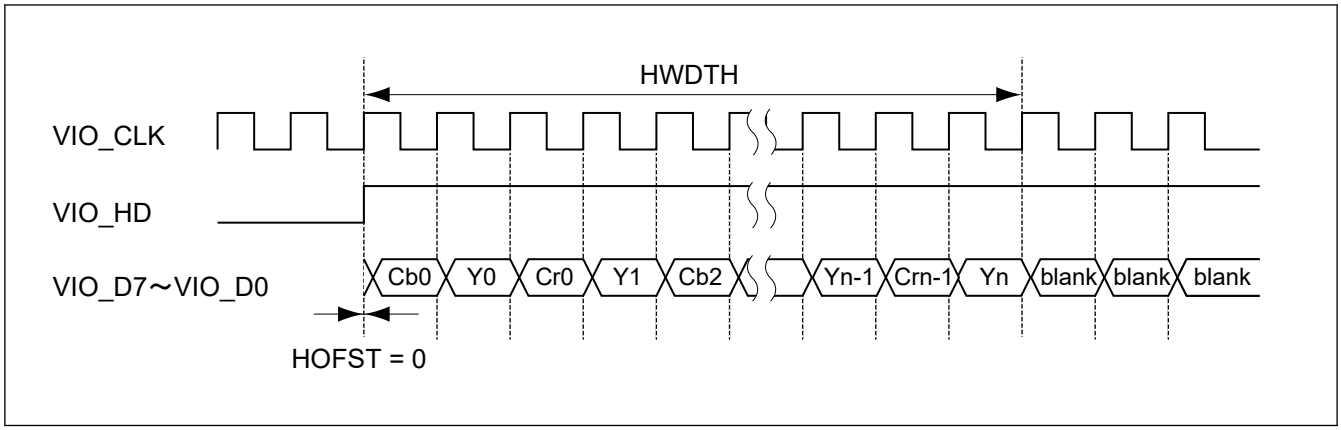


図 50.22　水平キャプチャタイミング

50.2.7　CAIFR : キャプチャインタフェース入力方式レジスタ

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0018

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	IFS	—	—	—	CIM	—	—	FCI[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	FCI[1:0]	キャプチャ開始タイミングを設定します。 キャプチャを開始するタイミングを、最初にキャプチャする画像を指定することで設定します。入力方式がプログレッシブの場合は、00 を設定してください。 0 0: トップ／ボトムフィールドにかかわらず、CEU 起動直後の VD 入力からキャプチャを開始 0 1: CEU 起動後、トップフィールド画像の入力まで待って、トップフィールドからキャプチャを開始 1 0: CEU 起動後、ボトムフィールド画像の入力まで待って、ボトムフィールドからキャプチャを開始 1 1: 設定禁止	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	CIM	キャプチャ対象画像を設定します。 画像キャプチャの入力方式がプログレッシブ（フレーム画像）の場合、または画像キャプチャの入力方式がインターレースでかつ、トップ／ボトム両フィールドを連続してキャプチャする場合は 0 を設定してください。画像キャプチャの入力方式がインターレースでかつ、片フィールド画像のみをキャプチャする場合は 1 を設定してください。 0: フレーム画像 (1VD) もしくは両フィールド画像 (2VD) をキャプチャ 1: 片フィールド画像 (1VD) をキャプチャ	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	IFS	画像キャプチャの入力方式を設定します。 0: プログレッシブ 1: インターレース	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　S-TYPE-3、P-TYPE-3

CAIFR は、画像キャプチャのための入力方式（プログレッシブ／インターレース）、キャプチャ対象画像（フレーム／両フィールド／片フィールド）、キャプチャを開始する画像（トップフィールド／ボトムフィールド）等を設定します。CAIFR は、データ取り込みモード中は使用しません。

本レジスタは、動作中は書き換えないでください。動作中に書き込みを行った場合は、動作保証されません。また、動作中に本レジスタを書き換えた場合、CETCR の IGRW ビット（割り込み要因）が 1 になります。

CAIFR で設定する項目を表 50.7 に示します。

表 50.7　CAIFR 設定項目

入力方式	IFS ビット	キャプチャ画像	CIM ビット	キャプチャを開始する画像	FCI ビット
プログレッシブ	0	フレーム	0	起動直後のフレーム	00
インターレース	1	両フィールド（2VD キャプチャ）	0	起動直後のフィールド	00
				トップフィールド	01
				ボトムフィールド	10
				設定禁止	11
		片フィールド（1VD キャプチャ）	1	起動直後のフィールド	00
				トップフィールド	01
				ボトムフィールド	10
				設定禁止	11

フレーム画像キャプチャおよび片フィールド画像キャプチャでは、1VD のキャプチャを終了した時点で、1 フレームキャプチャ終了割り込みが発生します。一方、両フィールド画像キャプチャでは、1VD のキャプチャが終了した時点で、1 フィールドキャプチャ終了割り込みが発生し、2VD のキャプチャを終了した時点で、1 フレームキャプチャ終了割り込みが発生します。このとき、1 フィールドキャプチャ終了割り込みと 1 フレームキャプチャ終了割り込みは、同時に発生します。図 50.23 に両フィールド画像キャプチャの 1 フレームキャプチャ終了割り込みおよび 1 フィールドキャプチャ終了割り込みのタイミングを示します。

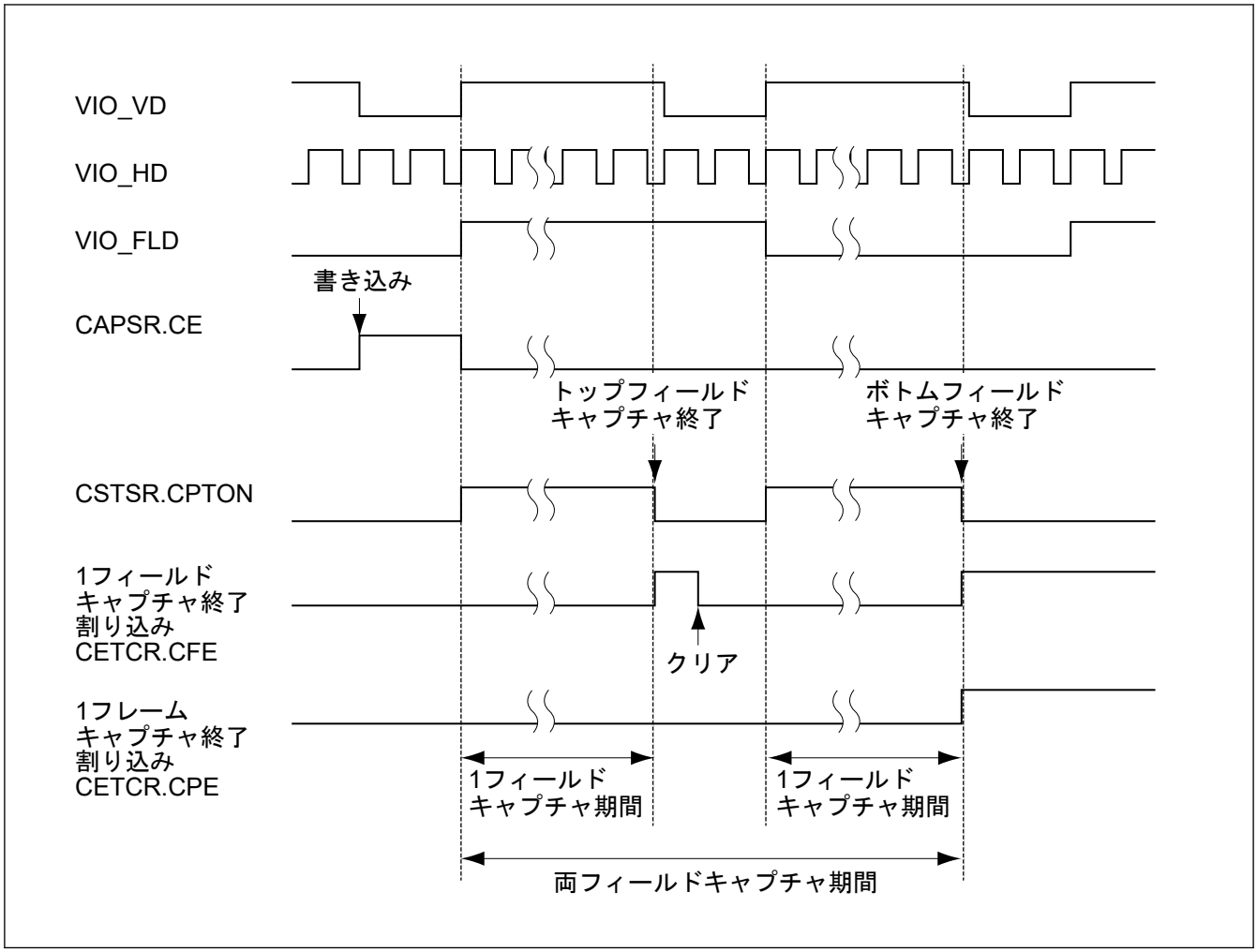


図 50.23 両フィールド画像キャプチャの 1 フレームキャプチャ終了割り込みおよび 1 フィールドキャプチャ終了割り込み

フレームキャプチャ画像および片フィールドキャプチャ画像は、CDAYR および CDACR に設定されているアドレスを先頭に、メモリに格納されます（図 50.24）。両フィールドキャプチャ画像は、トップフィールド画像とボトムフィールド画像で格納されるメモリ領域が異なります。トップフィールド画像は、CDAYR および CDACR に設定されているアドレスを先頭に、ボトムフィールド画像は、CDBYR および CDBCR に設定されているアドレスを先頭に、メモリに格納されます（図 50.25）。

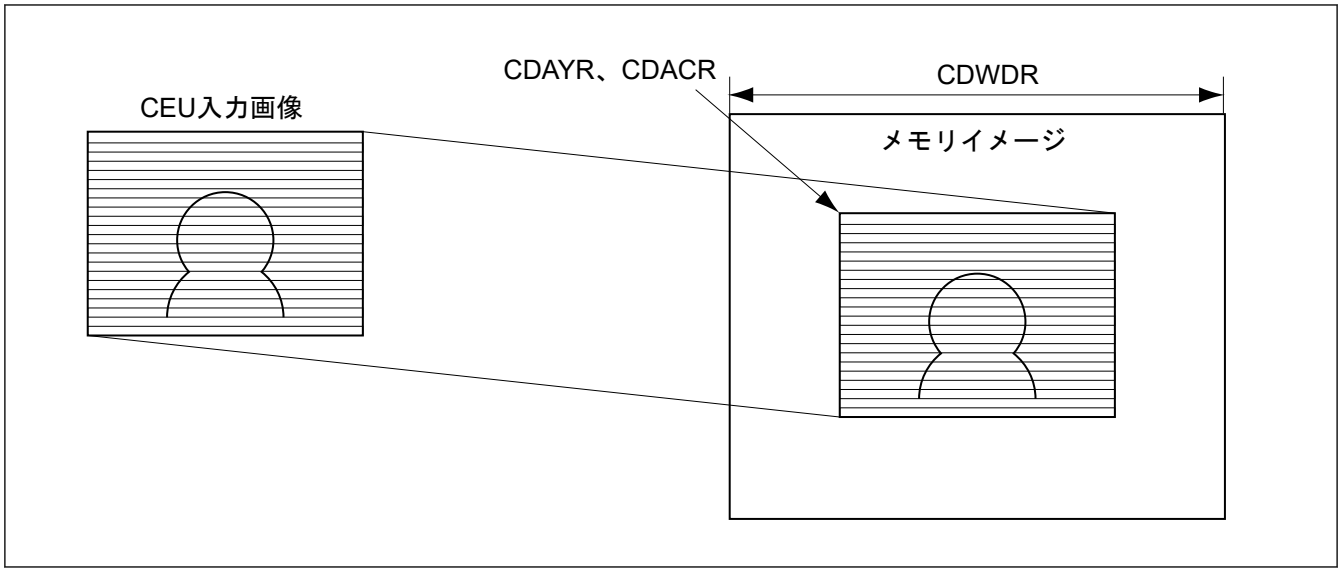


図 50.24　フレームキャプチャ画像および片フィールドキャプチャ画像のメモリ格納イメージ

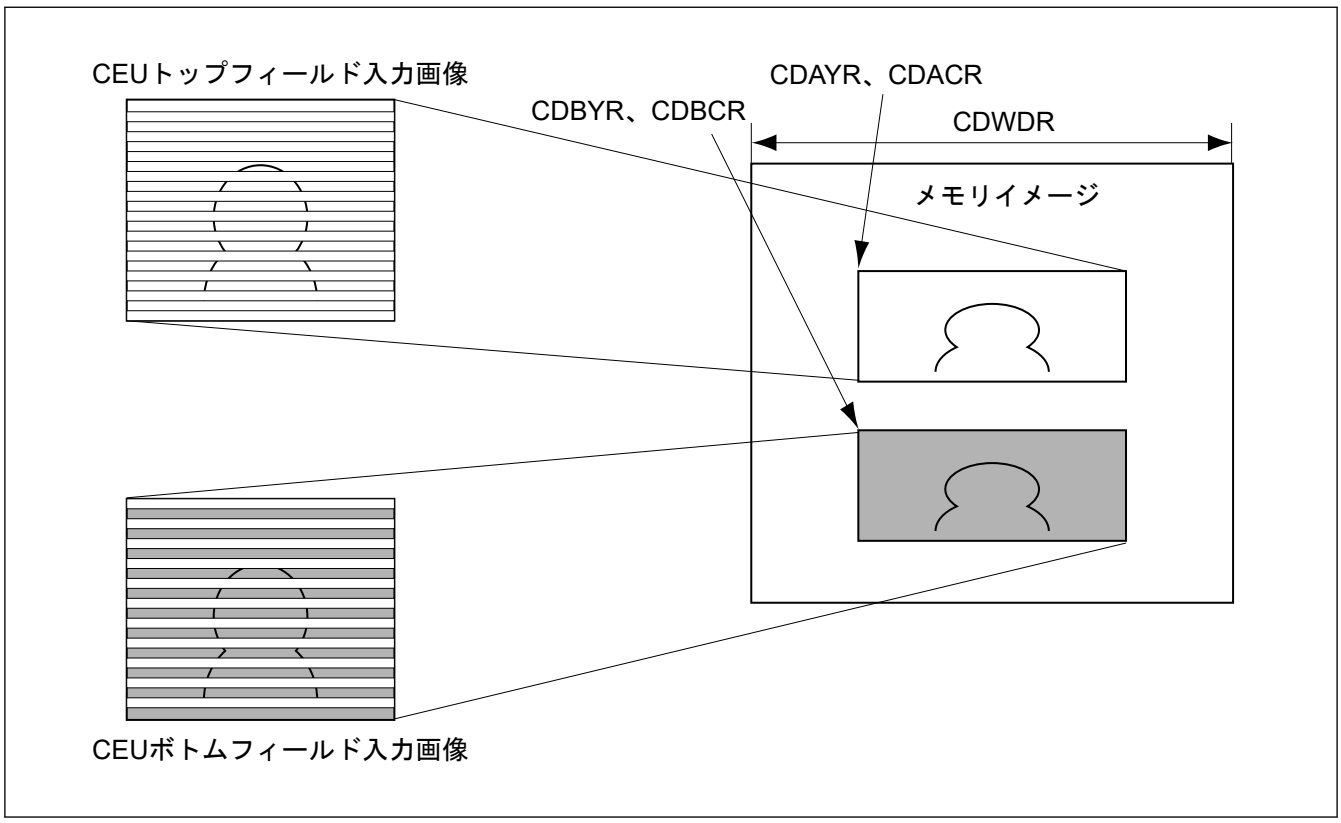


図 50.25　両フィールドキャプチャ画像のメモリ格納イメージ

インターレース入力方式の連続キャプチャで、FCI ビットを 00b に設定した場合、両フィールド画像キャプチャでは、最初に取り込んだフィールドを基準にして、2VD の期間連続してキャプチャします（図 50.26）。片フィールド画像キャプチャでは、最初に取り込んだフィールドのみ 1VD の期間連続してキャプチャします（図 50.27）。

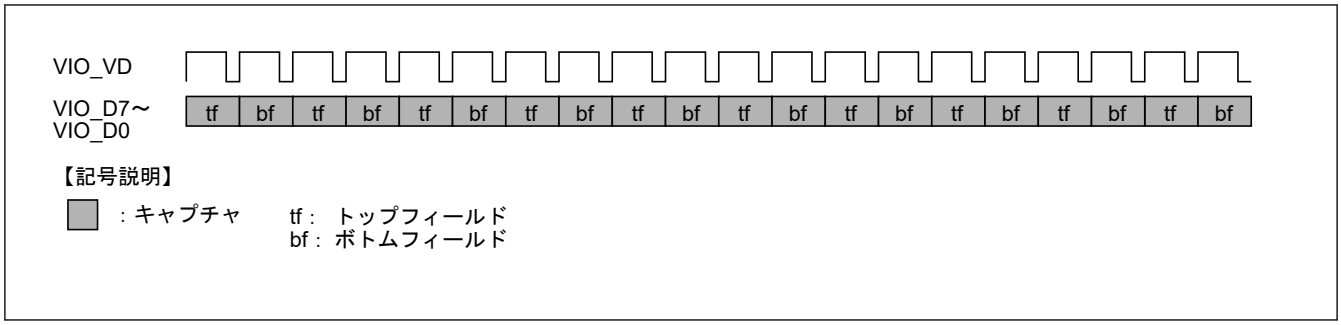


図 50.26　インターレース入力方式での両フィールド連続キャプチャ（起動直後の画像がトップフィールドの場合 (FCI[1:0] = 00b)）

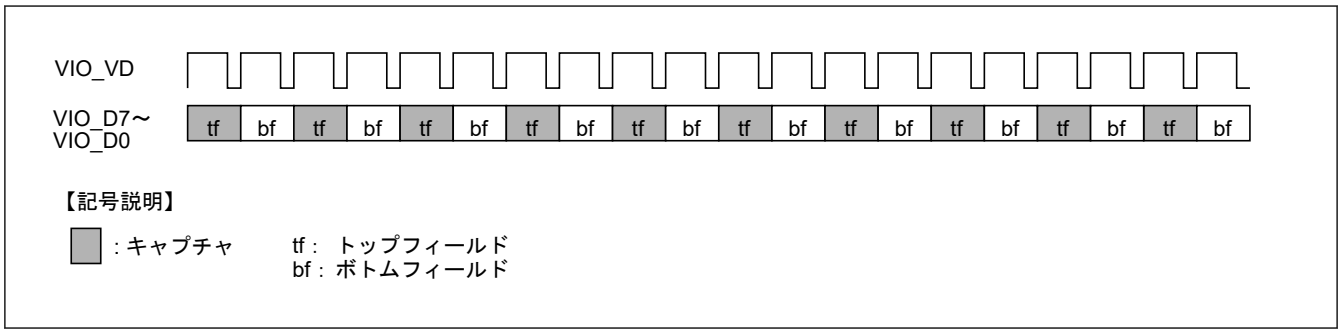


図 50.27　インターレース入力方式での片フィールド連続キャプチャ（起動直後の画像がトップフィールドの場合 (FCI[1:0] = 00b)）

(1)　インターレース入力のフレームイメージ格納

CEU では、インターレース入力画像をフレームイメージでメモリに格納できます。インターレース入力画像をフレームイメージで格納する場合、本レジスタの各ビットを以下のように設定してください。

入力方式：インターレース (IFS = 1)

キャプチャ画像：両フィールド (CIM = 0)

キャプチャを開始する画像：禁止設定を除く任意（FCI[1:0]＝任意）

インターレース入力を両フィールドキャプチャし、フレームイメージでメモリに格納した場合のメモリイメージを図 50.28 に示します。CDAYR および CDACR にはトップフィールドキャプチャ画像のメモリ格納先先頭アドレスを、CDBYR および CDBCR にはボトムフィールドキャプチャ画像のメモリ格納先先頭アドレスを設定してください。インターレース画像をフレームイメージでメモリに格納する場合、CDWDR には図 50.28 のように、トップフィールド画像とボトムフィールド画像を横に並べるイメージで、メモリ領域の画像の横サイズを設定してください。また、CAPWR の VWDTH ビットには、フィールド画像のキャプチャライン数を設定してください。

図 50.28 のメモリ領域の画像の横サイズを CDWDR/2 で折り返したメモリイメージを、図 50.29 に示します。図 50.28 のイメージでレジスタを設定することによって、図 50.29 のようにインターレース画像がフレームイメージでメモリに格納されます。

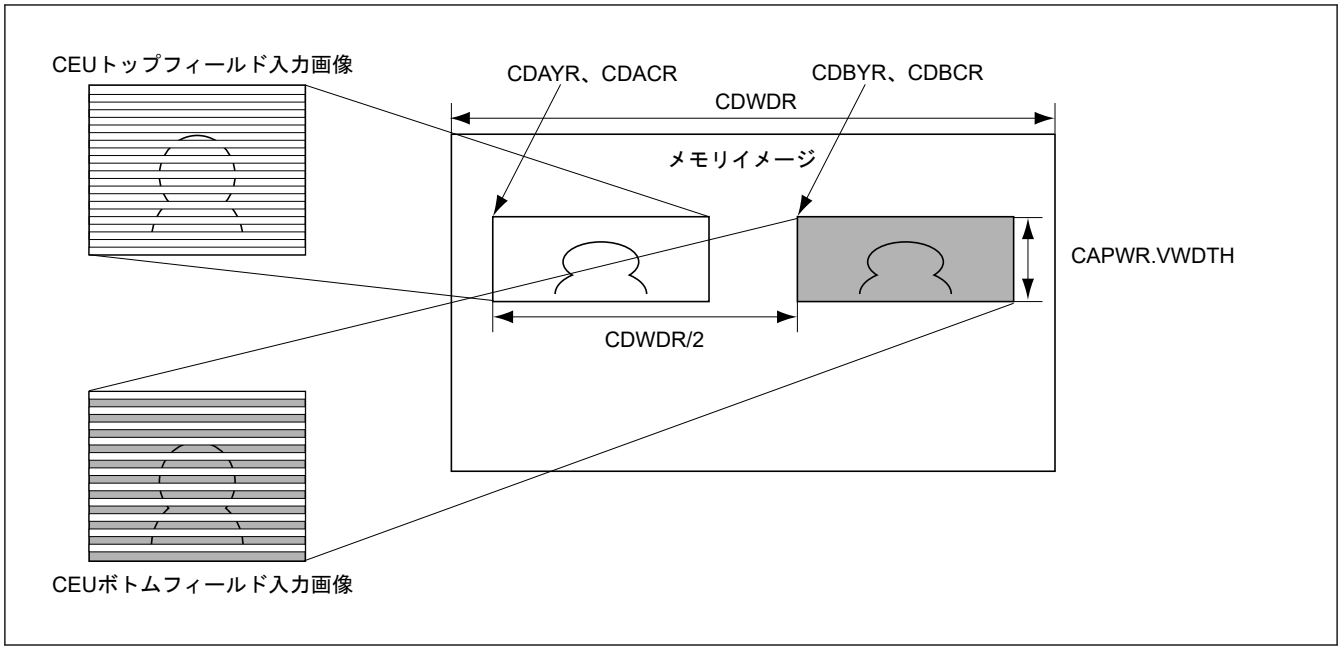


図 50.28　インターレース入力両フィールドキャプチャのメモリ格納イメージ

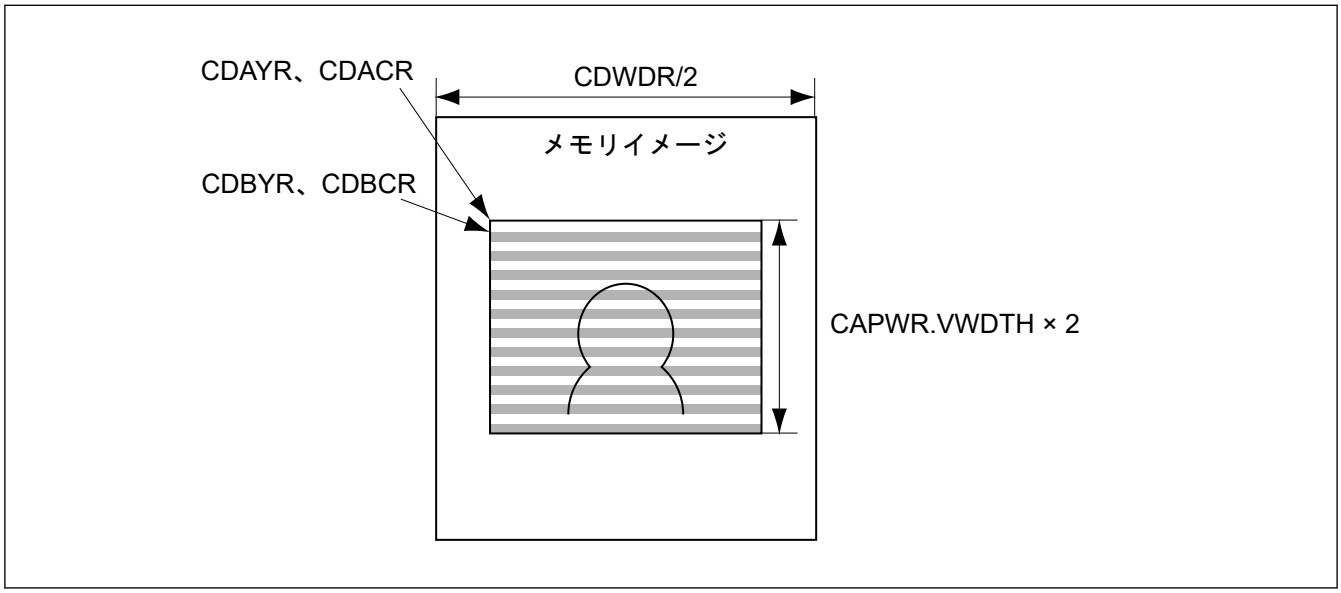


図 50.29　インターレース入力のフレームイメージメモリ格納イメージ

50.2.8　CRCNTR : CEU レジスタ制御レジスタ

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0028

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	RVS	—	—	RS	RC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RC	VD に同期して CEU が使用するレジスタ面の切り替えを指定します。 レジスタ面を切り替えない場合は、RS ビットで指定されたレジスタ面を使用します。 0: VD に同期して指定されたレジスタ面を使用する 1: VD に同期してレジスタ面を切り替える	R/W
1	RS	VD に同期して CEU が使用するレジスタ面を指定します。 このビットは、RC ＝ 0 のときのみ有効です。 0: A 面のレジスタを使用する 1: B 面のレジスタを使用する	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	RVS	両フィールドキャプチャ時のレジスタ面切り替えタイミングを設定します。 このビットは、両フィールドキャプチャでかつ RC ＝ 1 のときのみ有効です。 0: 2VD ごとにレジスタ面を切り替え 1: 1VD ごとにレジスタ面を切り替え	R/W
31:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CRCNTR は、2 面構成となっているレジスタの面の切り替えを制御します。

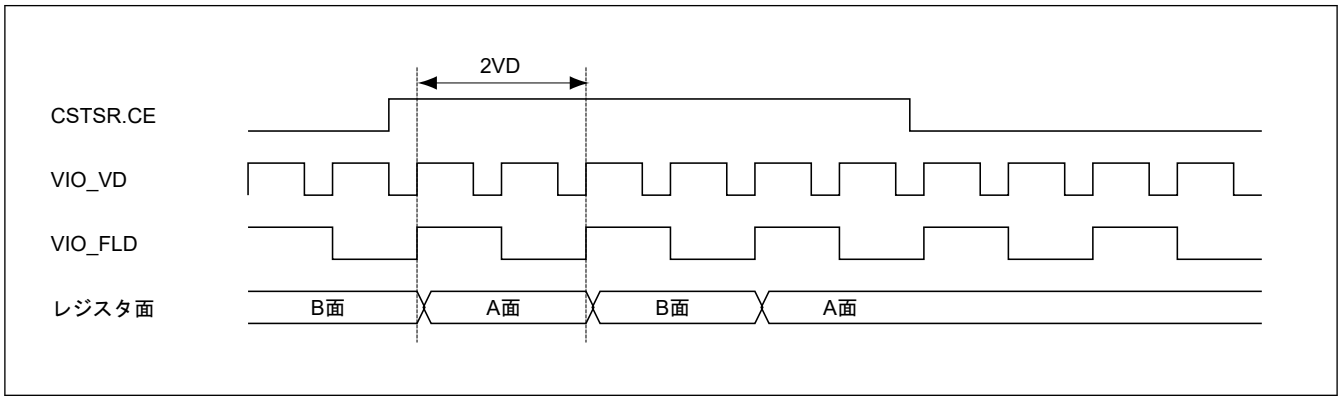


図 50.30 RVS ＝ 0 のときのレジスタ面切り替えタイミング

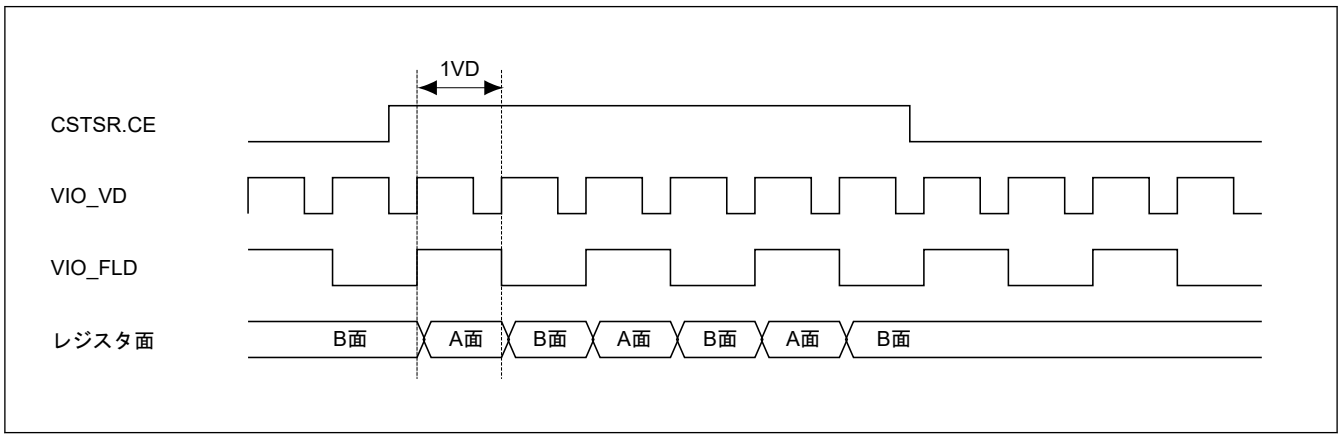


図 50.31 RVS ＝ 1 のときのレジスタ面切り替えタイミング

50.2.9 CRCMPR : CEU レジスタ強制制御レジスタ

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x002C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RA	現在指定しているレジスタ面を表しています。 本レジスタ値は、キャプチャを開始する VD に同期して自動的に切り替わります。VD に同期してレジスタ面を切り替える設定 (CRCNTR.RC = 1)で、レジスタの A 面からキャプチャを開始したい場合は、このビットでレジスタの B 面を指定してください。 0: A 面のレジスタを指定する 1: B 面のレジスタを指定する	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CRCMPR は、2 面構成となっているレジスタ面の切り替えを強制的に制御します。本レジスタを設定することにより、直接レジスタ面の切り替えを制御できます。

本レジスタは、動作中は書き換えないでください。動作中に書き込みを行った場合は、動作保証されません。また、動作中に本レジスタを書き換えた場合、CETCR の IGRW ビット（割り込み要因）が 1 になります。

50.2.10 CFLCR, CFLCR_x : キャプチャフィルタ制御レジスタ (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0030 (CFLCR)
0x1030 (CFLCR_B)
0x2030 (CFLCR_M)

Bit position:	31 28	27 16	15 12	11 0
Bit field:	VMANT[3:0]	VFRAC[11:0]	HMANT[3:0]	HFRAC[11:0]
Value after reset:	0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
11:0	HFRAC[11:0]	水平方向の縮小率の小数部 設定範囲は、0x000～0xFF8 です。HMANT ビットのみでは設定できない縮小率の小数部を設定してください。 下位 3 ビットは書き込み値を無視するので、下位 3 ビットに 0 を書き込んでください。	R/W
15:12	HMANT[3:0]	水平方向の縮小率の仮数部 設定範囲は、0x0～0xF です。HMANT ビットを 0x0、HFRAC ビットを 0x000 に設定した場合には、縮小フィルタを使用しません。	R/W
27:16	VFRAC[11:0]	垂直方向の縮小率の小数部 設定範囲は、0x000～0xFF8 です。VMANT ビットのみでは設定できない縮小率の小数部を設定してください。 下位 3 ビットは書き込み値を無視するので、下位 3 ビットに 0 を書き込んでください。	R/W
31:28	VMANT[3:0]	垂直方向の縮小率の仮数部 設定範囲は、0x0～0xF です。VMANT ビットを 0x0、VFRAC ビットを 0x000 に設定した場合には、縮小フィルタを使用しません。	R/W

注. S-TYPE-3、P-TYPE-3

CFLCR は、画像縮小フィルタの縮小率を設定します。

CEU には画像縮小フィルタが実装されており、キャプチャした画像を縮小してメモリへ格納することができます。縮小処理を行わない場合（等倍）は、CFLCR に 0 を設定してください。CFLCR に 0 以外を設定した場合、縮小処理を実行します。データ取り込みモードでは、CFLCR はすべて 0 を指定してください。

インターレース入力画像をフレーム画像として扱うときは、CFLCR には 0 を設定し、フィルタをかけないでください。

CEU には、画像縮小フィルタが実装されており、キャプチャした画像を縮小してメモリへ格納することができます。

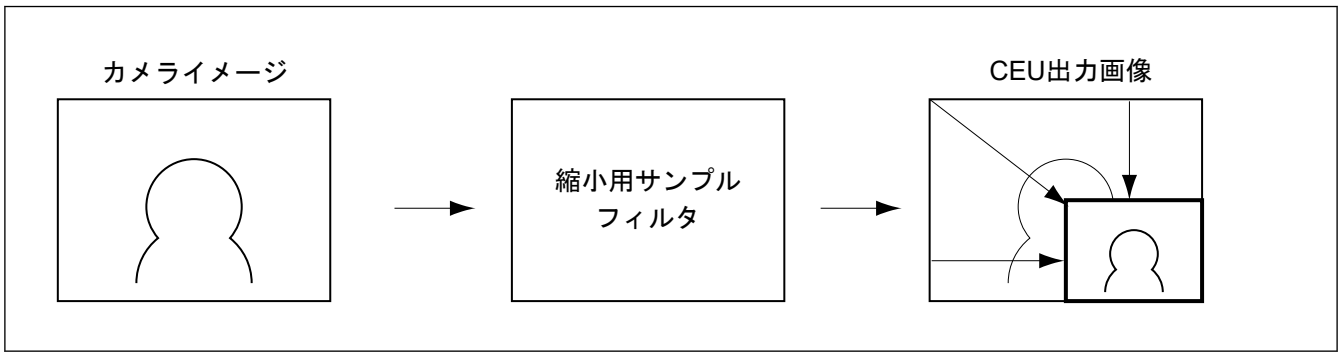


図 50.32 キャプチャ画像の縮小

以下に、フィルタの入力画素数と出力画素数から MANT（VMANT または HMANT）と FRAC（VFRAC または HFRAC）を求める計算式を示します。CEU の入力画素数に対して所望の出力画素数を得られるように MANT および FRAC を設定してください。

まず、仮の MANT 値および FRAC 値を求めます。計算に必要となるパラメータを、以下のように定義します。

$$\alpha = \mathrm{MANT} \times 4096 + \mathrm{FRAC} \quad \text{…数式 1}$$

$$\mathrm{SCL}(\text{倍率}) = \frac{4096}{\alpha} \quad \text{…数式 2}$$

整数 x の小数点以下を切り捨てる演算子を⌊x⌋として表現すると、数式 1 および数式 2 より以下のように MANT および FRAC を仮に設定できます。

$$\mathrm{MANT} = \left\lfloor \frac{1}{\mathrm{SCL}} \right\rfloor, \mathrm{FRAC} = \left\lfloor 512 \times \left(\frac{1}{\mathrm{SCL}} - \mathrm{MANT} \right) \right\rfloor \times 8$$

ここで、縮小時のフィルタ出力サイズ ($SIZE_D$) は、以下の数式において入力画像サイズを S_{in}（CAPWR 設定値の 1/2）を使って計算できます。

$$\mathrm{SIZE}_D = \left\lfloor 1 + \left(\left\lfloor \frac{1}{2} + \frac{S_{\mathrm{in}} - 1}{\mathrm{MANT}_{\mathrm{pre}}} \right\rfloor - 1 \right) \times \frac{\mathrm{MANT}_{\mathrm{pre}} \times 4096}{\alpha} \right\rfloor \quad \text{…数式 3}$$

$$\begin{bmatrix} \mathrm{MANT}_{\mathrm{pre}} = 1 \rightarrow (0 \leqq \mathrm{MANT} < 2) \\ \mathrm{MANT}_{\mathrm{pre}} = 2 \rightarrow (2 \leqq \mathrm{MANT} < 4) \\ \mathrm{MANT}_{\mathrm{pre}} = 4 \rightarrow (4 \leqq \mathrm{MANT} < 8) \\ \mathrm{MANT}_{\mathrm{pre}} = 8 \rightarrow (8 \leqq \mathrm{MANT}) \end{bmatrix}$$

これらの式に仮で求めた MANT、FRAC、および入力画像サイズを代入すると出力画素を求めることができます。求めた出力画素数が MANT 値および FRAC 値を仮で求める際に使用した出力画素数より小さくなった場合は、FRAC(α) の値を少し小さくして再計算を行い、要求する出力画素数より大きい画素値が得られる MANT 値および FRAC 値を本レジスタに設定してください。

（例）640 画素を 480 画素に縮小する

SCL ＝ 480/640 ＝ 3/4 となり MANT ＝ 1、MANTpre ＝ 1、FRAC ＝ 0x550 を仮で設定します。これを下記の数式へ代入すると出力画素数 479 を得ることがでます。

$$SIZE_D = \left\lfloor 1 + \left(\left\lfloor \frac{1}{2} + \frac{S_{in} - 1}{MANT_{pre}} \right\rfloor - 1 \right) \times \frac{MANT_{pre} \times 4096}{\alpha} \right\rfloor$$ …数式 3

この出力画素数は、要求する出力画素数 480 よりも小さいため、FRAC を 8 小さい 0x548 にして再計算すると、出力画素数＝ 480 を得ることができ、要求する出力画素数 480 に等しいので、レジスタへは MANT ＝ 1、FRAC ＝ 0x548 を設定します。

表 50.8　縮小フィルタの各倍率設定例

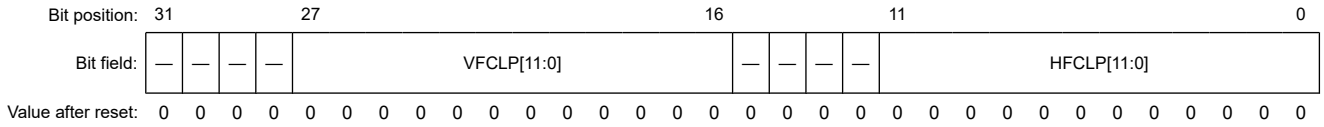
縮小率	FRAC		MANT	入力画素数	出力画素数	クリップサイズ (CFSZR)
	10 進数	16 進数				
7/8	576	0x240	1	640	560	560
3/4	1352	0x548	1	640	480	480
5/8	2448	0x990	1	640	400	400
1/2	0	0x0	2	640	320	320
3/8	2728	0xAA8	2	640	240	240
1/3	0.0	0x0	3	640	213	212
1/4	0.0	0x0	4	640	160	160
1/5	0.0	0x0	5	640	128	128
1/6	0.0	0x0	6	640	107	104
1/7	0.0	0x0	7	640	91	88
1/8	0.0	0x0	8	640	80	80
1/16	4088	0xFF8	15	640	40	40

注.　本縮小フィルタでは VGA サイズのラインメモリを用いて縮小を行うために、VGA サイズよりも大きい画像を入力して縮小を行う場合、出力後の画像サイズが SubQCIF サイズ以上 VGA サイズ以下になるように設定してください。縮小を行わない場合（等倍）は、本制約は関係ありません。

50.2.11　CFSZR, CFSZR_x : キャプチャフィルタサイズクリップレジスタ (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0034 (CFSZR)
0x1034 (CFSZR_B)
0x2034 (CFSZR_M)



ビット	シンボル	機能	R/W
11:0	HFCLP[11:0]	水平方向のフィルタ出力サイズのクリップ値を指定します（8 画素単位）。 下位 3 ビットは 0 を書き込んでください。	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
27:16	VFCLP[11:0]	垂直方向のフィルタ出力サイズのクリップ値を指定します（4 画素単位）。 下位 2 ビットは書き込み値を無視するので、下位 2 ビットに 0 を書き込んでください。	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　S-TYPE-3、P-TYPE-3

CFSZR は、フィルタの出力サイズ微調整用のクリップサイズ設定用レジスタです。CFLCR と合わせて使用してください。フィルタの出力サイズをクリップする際、そのサイズを画素数で設定してください。設定単位は 4 画素単位です。CFSZR は、縮小を行わない（等倍出力）場合も設定してください。

データイネーブル取り込みモード時は、本レジスタは使用しません。

データ同期取り込みモードの際は、CFSZR は CAPWR の設定をもとに設定してください。

CEU 部に搭載している縮小フィルタは、設定によっては、奇数画素または奇数ラインを出力する場合があります。このため、フィルタの出力サイズを調整するために、CEU は図 50.33 に示すように CFSZR に設定した画素数で出力画像をクリッピングします。クリップサイズは、縦方向に 4 画素単位、横方向に 8 画素単位で指定する必要があります。

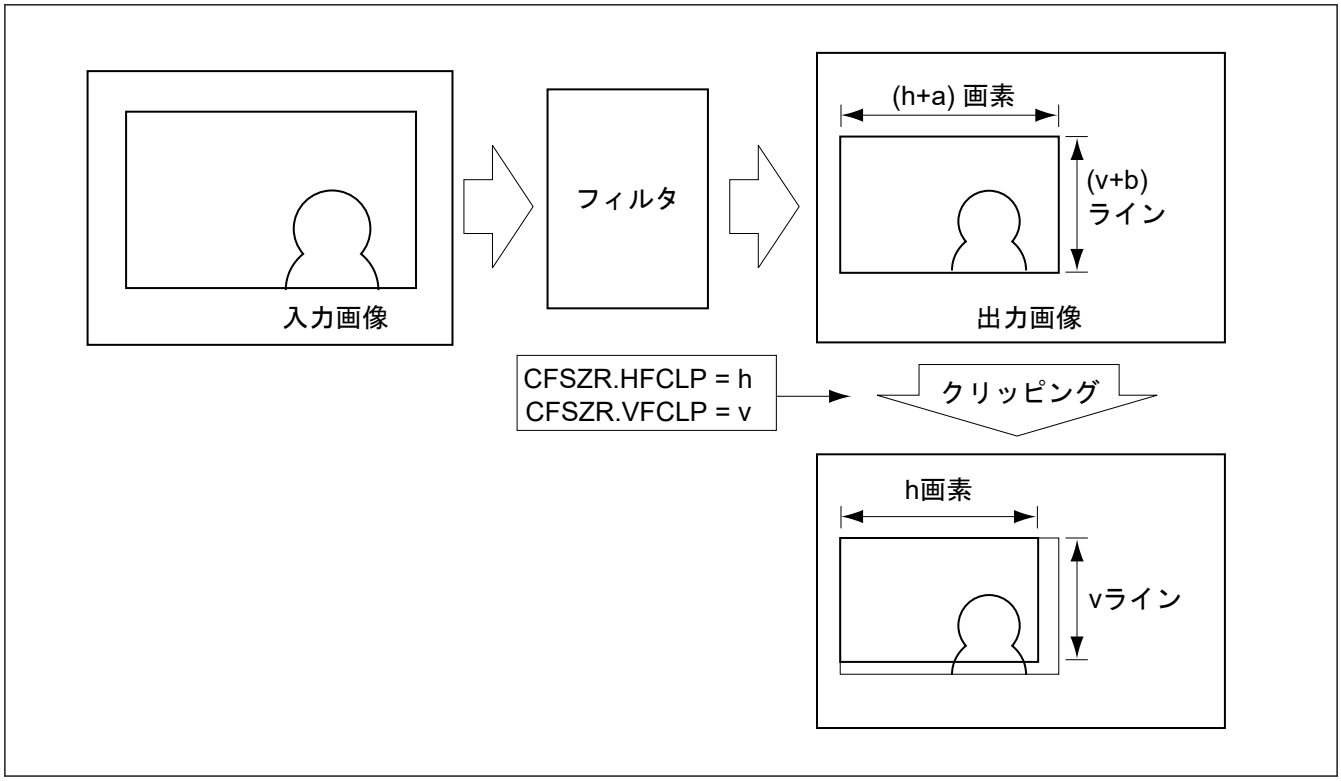


図 50.33　フィルタ出力画像のクリッピング

クリップの画素数は、画面の左上からのカウントになります。設定した画素数よりも右側、設定したライン数よりも下側にある画素については、クリップ機能により切り捨てられます。CFSZR に設定した画素数が、実際のフィルタ出力画素数よりも大きい場合、動作保証できませんので、CFSZR に指定するクリップサイズは必ずフィルタの出力画素数以下の値を設定してください。

注.　データ同期取り込みモードの際は以下の設定が必要となります。以下の設定を行わないと、データを正しく取り込むことができません。

VFCLP = CAPWR.VWDTH

HFCLP = CAPWR.HWDTH/2

50.2.12　CDWDR, CDWDR_x : キャプチャデスティネーション幅レジスタ (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0038 (CDWDR)
0x1038 (CDWDR_B)
0x2038 (CDWDR_M)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CHDW[12:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
12:0	CHDW[12:0]	キャプチャ画像を格納するメモリ領域の画像の横サイズを指定します（8 バイト単位）。 CEU でキャプチャした画像データは、メモリへ格納されます。 データ同期取り込みモードでは、以下のように設定します。 CHDW = CAPWR.HWDTH 下位 3 ビットは 0 を書き込んでください。	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CDWDR は、キャプチャした画像を出力するメモリ領域の画像の横サイズを 8 バイト単位（8 画素単位）で設定します。

データ同期取り込みモードの際は、CAPWR の設定をもとに、CDWDR を設定してください。

データイネーブル取り込みモード時は、本レジスタは使用しません。

50.2.13 CDAYR, CDAYR_x : キャプチャデータアドレス Y レジスタ (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x003C (CDAYR)
0x103C (CDAYR_B)
0x203C (CDAYR_M)

Bit position:	31																												0
Bit field:	CAYR[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CAYR[31:0]	キャプチャデータアドレス Y ● フレーム画像キャプチャ時：キャプチャデータの輝度成分データ格納先アドレス（8 画素単位）を設定 ● 片フィールド画像キャプチャ時：キャプチャデータの輝度成分データ格納先アドレス（8 画素単位）を設定 ● 両フィールド画像キャプチャ時: トップフィールドキャプチャデータの輝度成分データ格納先アドレス（8 画素単位）を設定 ● データ取り込み時：データ格納先アドレス（8 バイト単位）を設定 ● データイネーブル取り込みバンドル書き込み時：データ格納先アドレス（32 バイト単位）を設定 下位 3 ビットは 0 を書き込んでください。	R/W

注. S-TYPE-3、P-TYPE-3

CDAYR は、フレーム画像キャプチャおよび片フィールド画像キャプチャの際のキャプチャデータの輝度成分の格納先アドレス指定、両フィールド画像キャプチャの際のキャプチャしたトップフィールドの輝度成分格納先アドレス指定、およびデータ取り込みの際の取り込んだデータの格納先アドレス指定を行います。CEU は、キャプチャした画像データをバスを経由し輝度成分データ (Y) と色差成分データ (C) に分けてメモリへ書き込みます。フレーム画像キャプチャおよび片フィールド画像キャプチャの際は、CDAYR がキャプチャデータの輝度成分の格納に使用するメモリ領域の先頭アドレスを設定してください。両フィールド画像キャプチャの際は、CDAYR がトップフィールドキャプチャ画像の輝度成分の格納に使用するメモリ領域の先頭アドレスを設定してください。データ取り込みの際は、CDAYR がデータ格納に使用するメモリ領域の先頭アドレスを設定してください。

アドレスは 32 ビットで指定する必要があるため、CDAYR で設定するアドレスはロングワード単位である必要があります。

本レジスタには、図 50.34 に示すように、取り込んだデータを格納するメモリ領域の先頭ポイントのアドレスを設定してください。

- フレーム画像キャプチャ時：キャプチャした画像の輝度成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 片フィールド画像キャプチャ時：キャプチャした画像の輝度成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。

- 両フィールド画像キャプチャ時：キャプチャしたトップフィールド画像の輝度成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- データ取り込み時 : 取り込んだデータを格納するメモリ領域の先頭ポイントのアドレスを設定してください。データ取り込みモードでは先頭アドレスから単純にデータを詰めていくため、終了アドレスは以下のようになります。
  （終了アドレス）＝ CDAYR ＋ （取り込みバイト数）
- データイネーブル取り込みバンドル書き込み時：32 バイト単位でアドレスを設定してください。

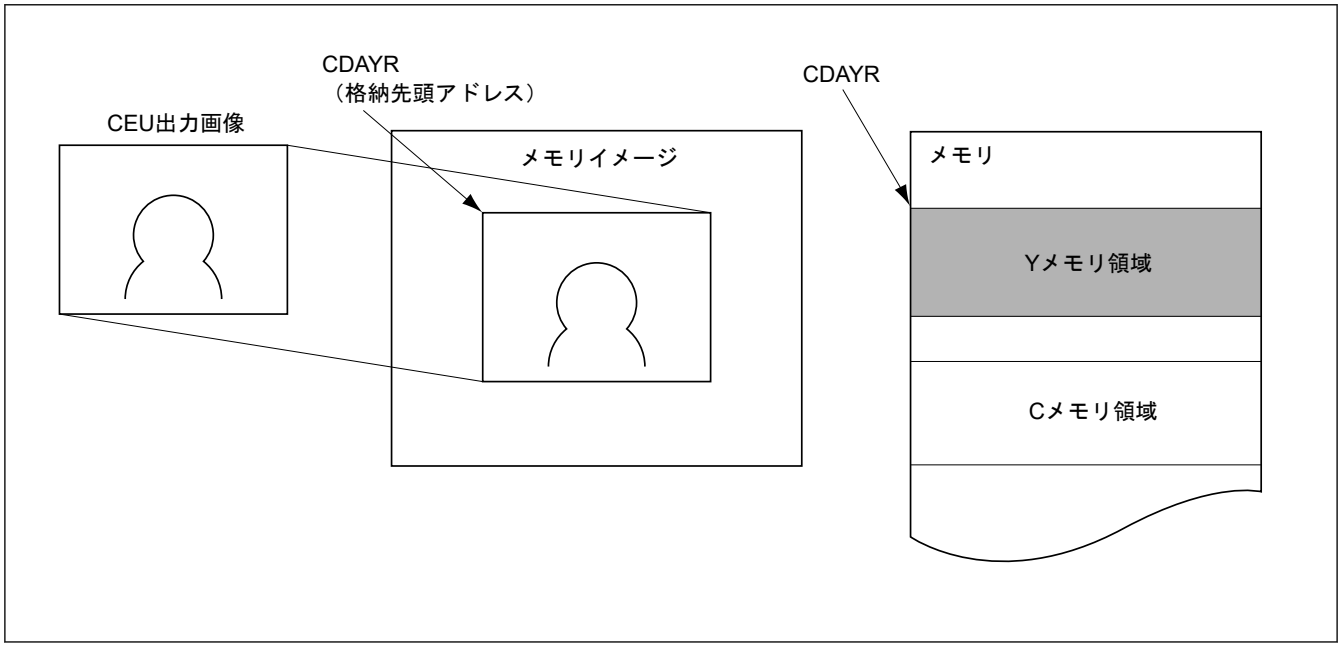


図 50.34　キャプチャ画像と輝度成分メモリ領域の関係

50.2.14　CDACR, CDACR_x : キャプチャデータアドレス C レジスタ (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0040 (CDACR)
0x1040 (CDACR_B)
0x2040 (CDACR_M)

Bit position:	31																												0
Bit field:	CACR[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CACR[31:0]	キャプチャデータアドレス C ● フレーム画像キャプチャ時 : キャプチャデータの色差成分データ格納先アドレス（8 画素単位）を設定 ● 片フィールド画像キャプチャ時 : キャプチャデータの色差成分データ格納先アドレス（8 画素単位）を設定 ● 両フィールド画像キャプチャ時 : トップフィールドキャプチャデータの色差成分データ格納先アドレス（8 画素単位）を設定 下位 3 ビットは 0 を書き込んでください。	R/W

注.　S-TYPE-3、P-TYPE-3

CDACR は、フレーム画像キャプチャおよび片フィールド画像キャプチャの際のデータの色差成分の格納先アドレス指定および両フィールド画像キャプチャの際のキャプチャしたトップフィールドの色差成分格納先アドレス指定を行います。CEU は、キャプチャした画像データを、バスを経由し、輝度成分データ (Y) と色差成分データ (C) に分けてメモリへ書き込みます。フレーム画像キャプチャおよび片フィールドキャプチャの際は、CDACR がキャプチャデータの色差成分を格納するメモリ領域の先頭アドレスを設定してください。両フィールド画像

キャプチャの際は、CDACR がトップフィールドキャプチャ画像の色差成分の格納に使用するメモリ領域の先頭アドレスを設定してください。データ取り込みの際は、CDACR は使用しません。

アドレスは 32 ビットで指定する必要があるため、CDACR で設定するアドレスはロングワード単位である必要があります。

本レジスタには、図 50.35 に示すように、キャプチャした画像の色差成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。また、色差成分の出力データ形式は図 50.36 のようになっており、この形式でメモリに格納します。

- フレーム画像キャプチャ時：キャプチャした画像の色差成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 片フィールド画像キャプチャ時：キャプチャした画像の色差成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 両フィールド画像キャプチャ時：キャプチャしたトップフィールド画像の色差成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。

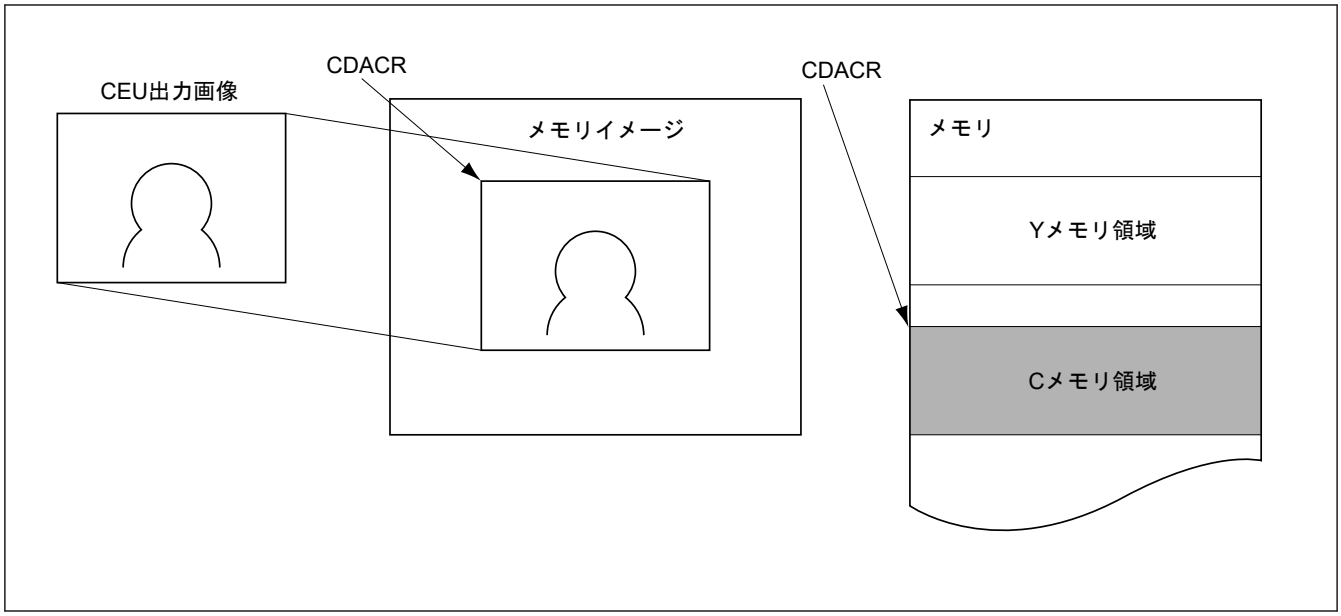


図 50.35　キャプチャ画像と色差成分メモリ領域の関係

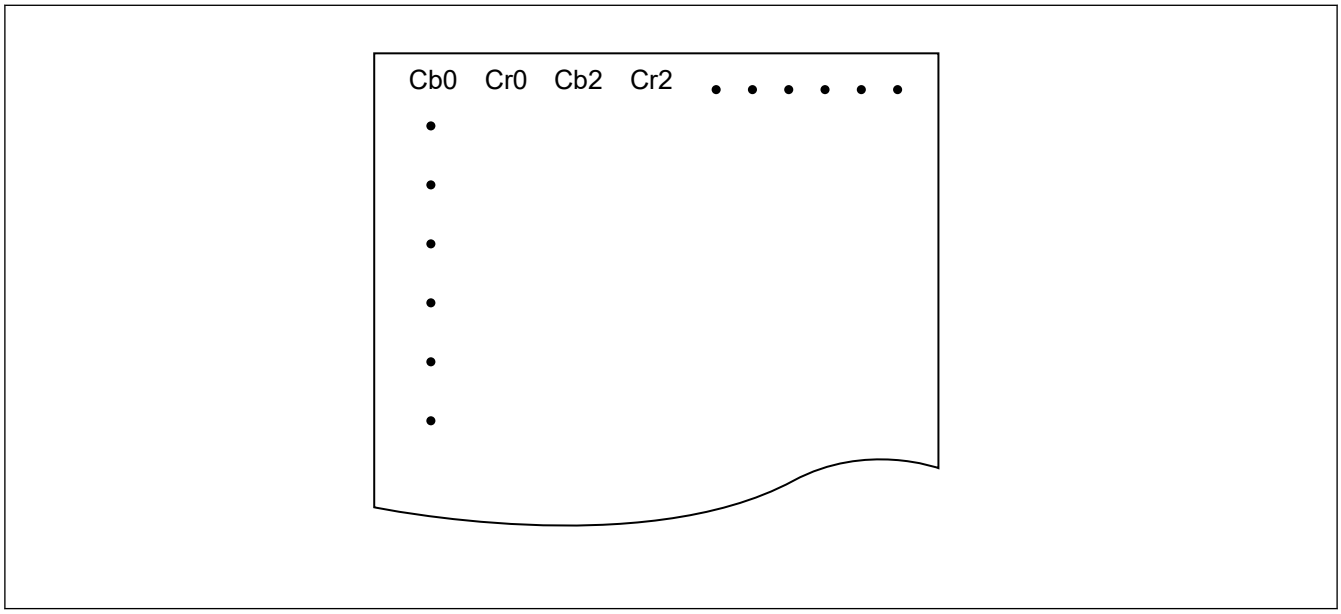


図 50.36　色差成分のメモリ格納イメージ

50.2.15 CDBYR, CDBYR_x : キャプチャデータボトムフィールドアドレス Y レジスタ (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0044 (CDBYR)
0x1044 (CDBYR_B)
0x2044 (CDBYR_M)

Bit position:	31																												0
Bit field:	CBYR[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CBYR[31:0]	ボトムフィールドキャプチャデータの輝度成分データ格納先アドレスを設定します（8 画素単位）。 下位 3 ビットは 0 を書き込んでください。	R/W

注. S-TYPE-3、P-TYPE-3

CDBYR は、両フィールド画像キャプチャの際のボトムフィールドキャプチャデータの輝度成分格納先のアドレスを指定します。CEU は、キャプチャした画像データを、バスを経由し、輝度成分データ (Y) と色差成分データ (C) に分けてメモリへ書き込みます。CDBYR には、CDBYR がボトムフィールドキャプチャ画像の輝度成分の格納に使用するメモリ領域の先頭アドレスを設定してください。フレーム画像キャプチャ、片フィールド画像キャプチャの場合と、データ取り込みの際は、CDBYR は使用しません。

アドレスは 32 ビットで指定する必要があるため、CDBYR で設定するアドレスはロングワード単位である必要があります。

本レジスタには、図 50.37 に示すように、ボトムフィールドキャプチャ画像の輝度成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。

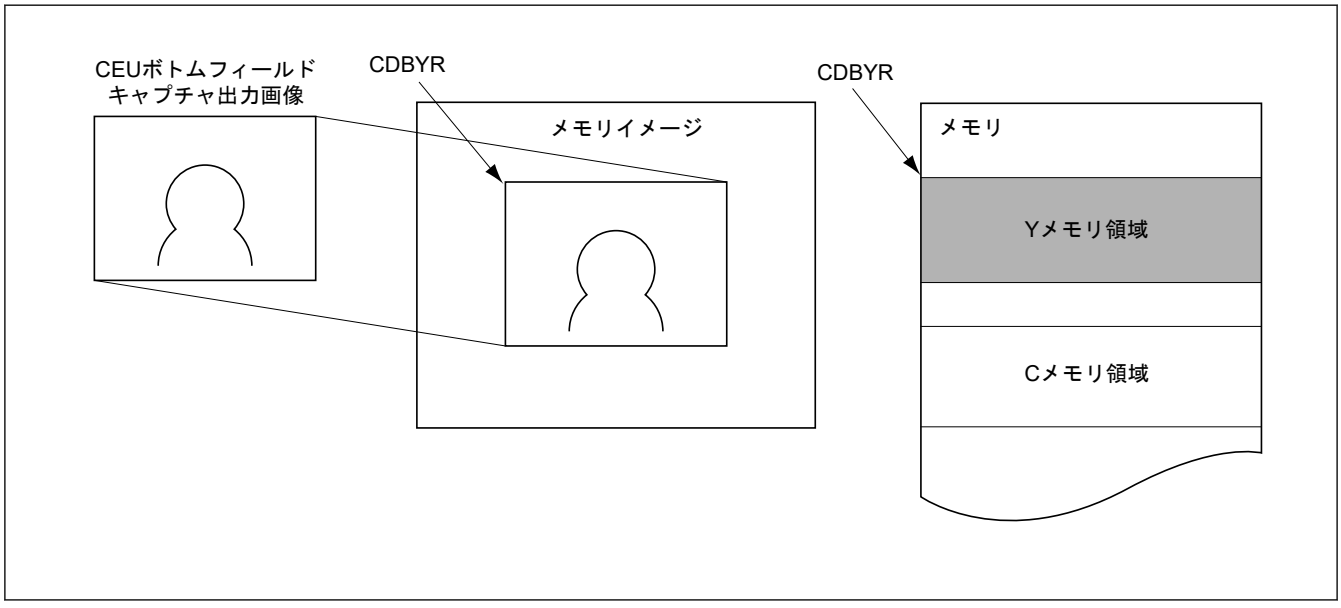


図 50.37 ボトムフィールドキャプチャ画像と輝度成分メモリ領域の関係

50.2.16 CDBCR, CDBCR_x : キャプチャデータボトムフィールドアドレス C レジスタ (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0048 (CDBCR)
0x1048 (CDBCR_B)
0x2048 (CDBCR_M)

Bit position:	31																												0
Bit field:	CBCR[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CBCR[31:0]	ボトムフィールドキャプチャデータの色差成分データ格納先アドレスを設定します（8 画素単位）。 下位 3 ビットは 0 を書き込んでください。	R/W

注. S-TYPE-3、P-TYPE-3

CDBCR は、両フィールド画像キャプチャの際のボトムフィールドキャプチャデータの色差成分格納先のアドレスを指定します。CEU は、キャプチャした画像データを、バスを経由し、輝度成分データ (Y) と色差成分データ (C) に分けてメモリへ書き込みます。CDBCR には、CDBCR がボトムフィールドキャプチャ画像の色差成分の格納に使用するメモリ領域の先頭アドレスを設定してください。フレーム画像キャプチャ、片フィールド画像キャプチャの場合と、データ取り込みの際は、CDBCR は使用しません。

アドレスは 32 ビットで指定する必要があるため、CDBCR で設定するアドレスはロングワード単位である必要があります。

本レジスタには、図 50.38 に示すように、ボトムフィールドキャプチャ画像の色差成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。また、色差成分の出力データ形式は図 50.39 のようになっており、この形式でメモリに格納します。

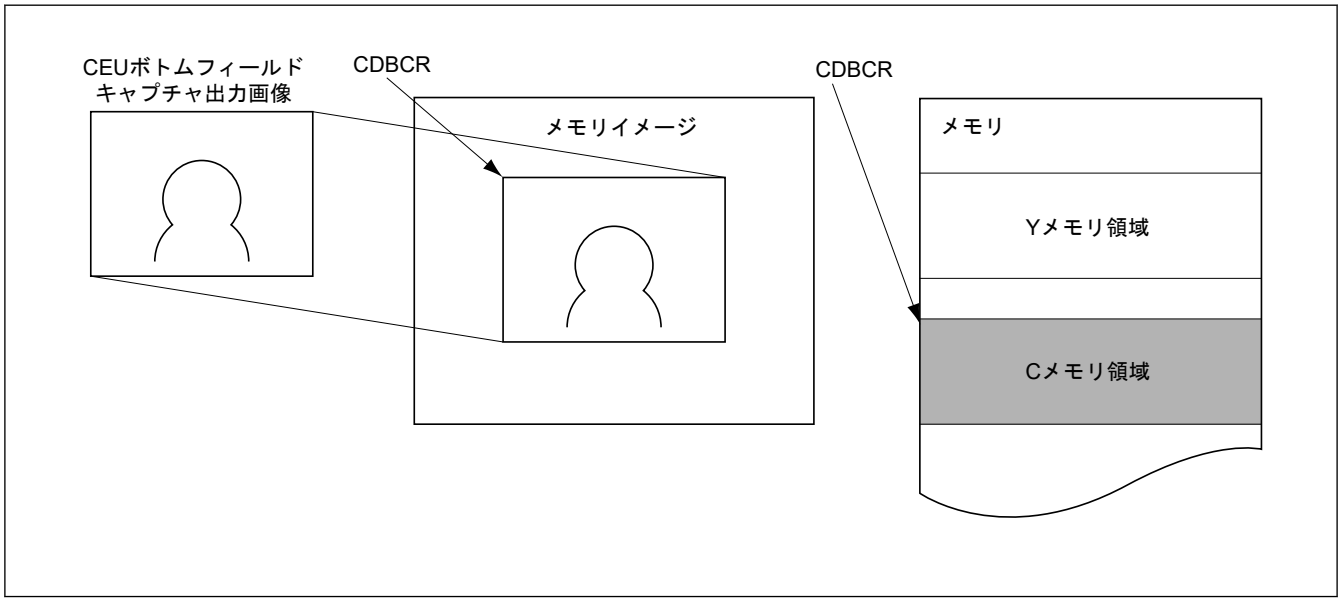


図 50.38 ボトムフィールドキャプチャ画像と色差成分メモリ領域の関係

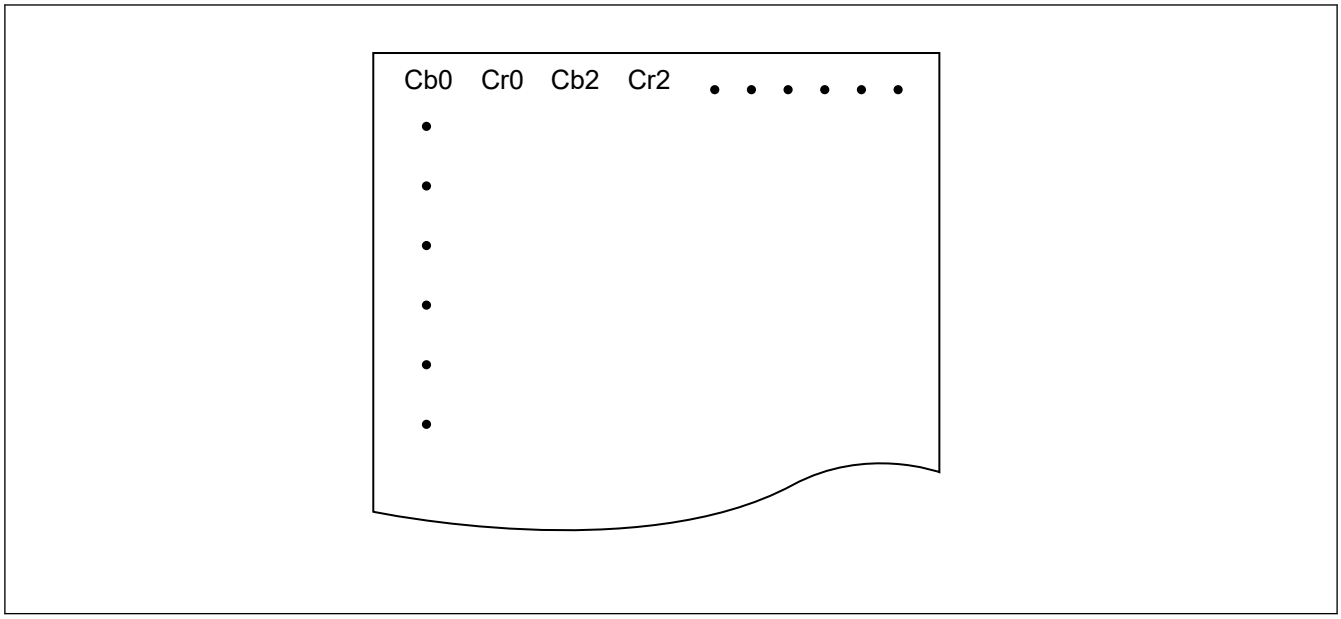


図 50.39 色差成分のメモリ格納イメージ

50.2.17 CBDSR, CBDSR_x : キャプチャバンドルデスティネーションサイズレジスタ (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x004C (CBDSR)
0x104C (CBDSR_B)
0x204C (CBDSR_M)

Bit position:	31									22																				0
Bit field:	—	—	—	—	—	—	—	—	—	CBVS[22:0]																				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
22:0	CBVS[22:0]	バンドル書き込みの際のメモリに出力されるライン数またはバイト数を選択します。 画像キャプチャおよびデータ同期取り込み時 : バンドル書き込みの際のメモリ出力ライン数 単位 : 8 ライン、最小 : 8 ライン、最大 : 1,920 ライン (0x780) データイネーブル取り込み時 : バンドル書き込みの際のメモリに出力されるバイト数 単位 : 32 バイト、最小 : 512 バイト、最大 : 6291456 バイト (0x600000) 下位 3 ビットは書き込み値を無視するので、下位 3 ビットに 0 を書き込んでください。	R/W
31:23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CBDSR は、バンドル書き込みの際の、メモリに出力されるサイズを設定します。画像キャプチャまたはデータ同期取り込みの際は、出力ライン数を設定します。データイネーブル取り込みの際は、バイト数を設定します。

(a) 画像キャプチャおよびデータ同期取り込み時

バンドル書き込みでメモリに書き込むキャプチャデータのライン数を、8 の倍数で設定してください。本レジスタは CDOCR.CBE ＝ 1 のときのみ有効です。CDOCR.CBE ＝ 1 で、本レジスタが 0 にクリアされている場合、本モジュールはメモリに書き込むキャプチャデータのライン数を、8 として動作します。最大設定ライン数は、1,920 (0x780) ラインです。CBVS[11:3] までが有効です。

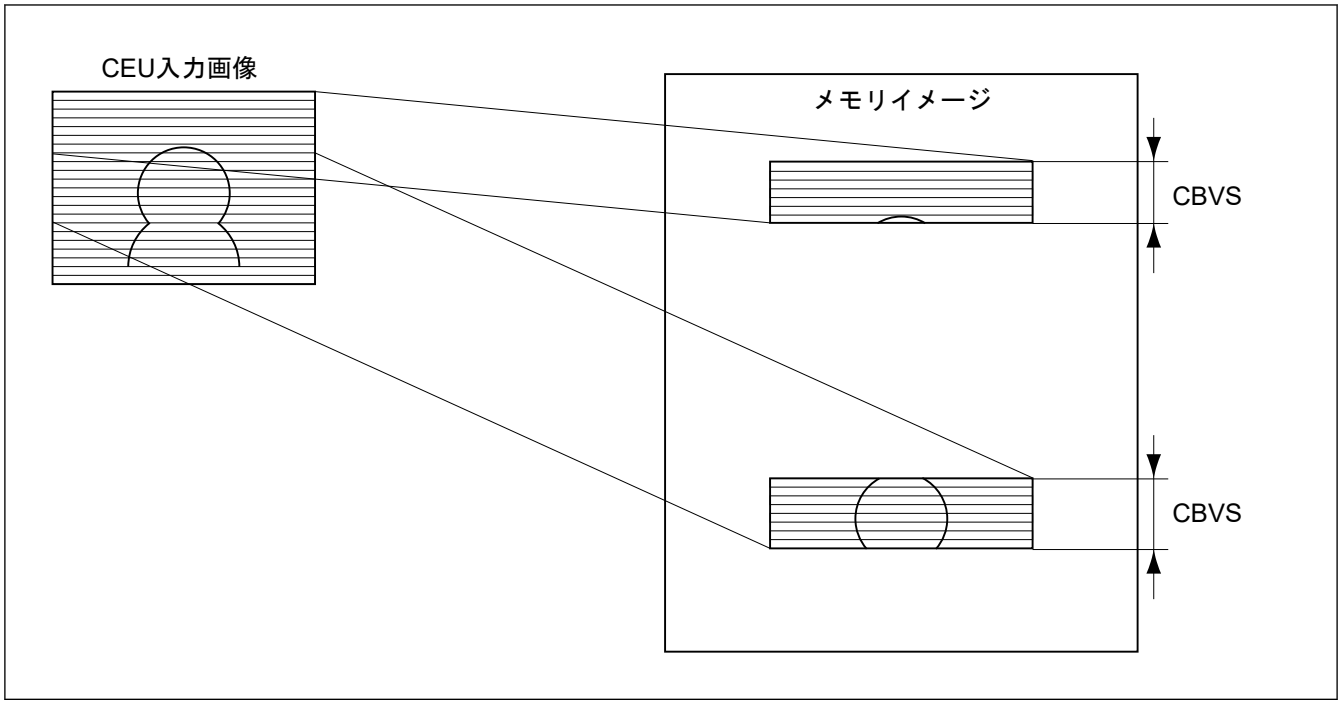


図 50.40　　バンドル書き込みキャプチャ画像のメモリ格納イメージ

(b) データイネーブル取り込み時

バンドル書き込みでメモリに書き込むキャプチャデータのバイト数を、32 の倍数で設定してください。本レジスタは CDOCR.CBE ＝ 1 のときのみ有効です。最小設定サイズは 512 バイトです。512 バイト未満に設定した場合の動作は保証しません。

50.2.18　　CFWCR : ファイアウォール動作制御レジスタ

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x005C

Bit position:	31																															5						0
Bit field:	FWV[26:0]																															—	—	—	—	FWE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0							

ビット	シンボル	機能	R/W
0	FWE	ファイアウォール動作 FWE ＝ 1 設定のとき、書き込みアドレスが FWV 設定値以上になった場合、アドレスを保持し、割り込み要因 FWF をセットします。それ以降、アドレスはインクリメントされず、データは上限のアドレスに上書きされます。 0: ファイアウォールを起動しない 1: ファイアウォールを起動する	R/W
4:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:5	FWV[26:0]	書き込みアドレスの上限を指定します。 32 ビット中の上位 27 ビットを指定します。 FWV[26:0]<<5 + 0x1F が上限アドレスです。	R/W

注.　S-TYPE-3、P-TYPE-3

CFWCR は、データイネーブル取り込みの際の書き込みアドレスの上限を設定します。外部モジュールからの VD 入力が立ち下がらず、終了が通知されなかった場合にメモリへの書き込み暴走を抑止することができます。

本レジスタは、データイネーブル取り込み時のみ有効です。

50.2.19 CLFCR, CLFCR_x : キャプチャローパスフィルタ制御レジスタ (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0060 (CLFCR)
0x1060 (CLFCR_B)
0x2060 (CLFCR_M)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LPF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LPF	ローパスフィルタの動作を許可または禁止します。 ローパスフィルタは、出力画像の水平方向の高周波成分を除去します。データ取り込みモードでは 0 にクリアしてください。 0: ローパスフィルタを使用しない 1: ローパスフィルタを使用する（水平方向のみ）	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CLFCR は、ローパスフィルタを動作させるか否かを設定します。データ取り込みモードの際は、LPF ビットを 0 にクリアしてください。

CEU が実装するローパスフィルタの特性上、ローパスフィルタ処理後の画像は、原画像に比べて位相位置が 1 画素右にずれます。

50.2.20 CDOCR, CDOCR_x : キャプチャデータ出力制御レジスタ (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0064 (CDOCR)
0x1064 (CDOCR_B)
0x2064 (CDOCR_M)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CBE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	CDS	—	COLS	COWS	COBS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	COBS	CEU から出力するデータの 8 ビット単位の入れ替えを制御します。 0: データの 8 ビット単位の入れ替えを行わない 1: データの 8 ビット単位の入れ替えを行う	R/W
1	COWS	CEU から出力するデータの 16 ビット単位の入れ替えを制御します。 0: データの 16 ビット単位の入れ替えを行わない 1: データの 16 ビット単位の入れ替えを行う	R/W

ビット	シンボル	機能	R/W
2	COLS	CEU から出力するデータの 32 ビット単位の入れ替えを制御します。 0: データの 32 ビット単位の入れ替えを行わない 1: データの 32 ビット単位の入れ替えを行う	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	CDS	YCbCr422 フォーマットで取り込んだ画像データをメモリ出力する際の画像フォーマットを設定します。 このビットに 0 を書き込んだ場合、奇数ラインは、輝度成分 (Y) のみを出力し色差成分 (Cb, Cr) は出力しません。インターレース入力画像も同様に、フィールドの奇数ラインは、輝度成分 (Y) のみを出力し色差成分 (Cb, Cr) は出力しません。データ取り込みモードでは 1 を設定してください。 0: YCbCr422 から YCbCr420 に変換してデータをメモリに出力 1: YCbCr422 のままデータをメモリに出力	R/W
15:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	CBE	メモリに書き込むキャプチャデータのライン数を制御します。 ● 画像キャプチャ時 メモリに書き込むキャプチャデータのライン数を制御します。本レジスタによってバンドル書き込みが設定された場合、CBDSR レジスタで指定されたライン単位で、CDAYR と CDACR および CDAYR2 と CDACR2（両フィールドキャプチャ時のボトムフィールドは、CDBYR と CDBCR および CDBYR2 と CDBCR2）で指定されたアドレスに、交互にキャプチャデータを書き込みます（図 50.41）。CBDSR レジスタに設定されたライン数分のキャプチャデータの書き込みが終了した時点で、各アドレス設定レジスタに対応した書き込み終了割り込みが発生します。なお、1 フレーム（1 フィールド）キャプチャ終了時は、バンドル書き込み終了時でも、バンドル書き込み終了割り込みは発生しません。 ● データ同期取り込み時 メモリに書き込むキャプチャデータのライン数を制御します。本レジスタによってバンドル書き込みが設定された場合、CBDSR レジスタで指定されたライン単位で、CDAYR と CDAYR2 で指定されたアドレスに、交互にキャプチャデータを書き込みます。CBDSR レジスタに設定されたライン数分のキャプチャデータの書き込みが終了した時点で、各アドレス設定レジスタに対応した書き込み終了割り込みが発生します。なお、1 フレームキャプチャ終了時は、バンドル書き込み終了時でも、バンドル書き込み終了割り込みは発生しません。 ● データイネーブル取り込み時 メモリに書き込むキャプチャデータのバイト数を制御します。本レジスタによってバンドル書き込みが設定された場合、CBDSR レジスタで指定されたバイト単位で、CDAYR と CDAYR2 で指定されたアドレスに、交互にキャプチャデータを書き込みます。CBDSR レジスタに設定されたバイト数分のキャプチャデータの書き込みが終了した時点で、各アドレス設定レジスタに対応した書き込み終了割り込みが発生します。なお、データイネーブル取り込み時のみ、1 フレームキャプチャ終了時も、バンドル書き込み終了時は、バンドル書き込み終了割り込みが発生します。 各アドレス設定レジスタと書き込み終了割り込み要因の対応を表 50.9 に、画像キャプチャおよびデータ同期取り込み時の書き込み終了割り込みタイミングを図 50.42 に、データイネーブル取り込み時の書き込み終了割り込みタイミングを図 50.43 に示します。 0: 通常書き込み 1: バンドル書き込み	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CDOCR は、キャプチャデータのメモリへの出力方式を設定します。データ取り込みモードの際は、CDS ビットを 1 に設定してください。

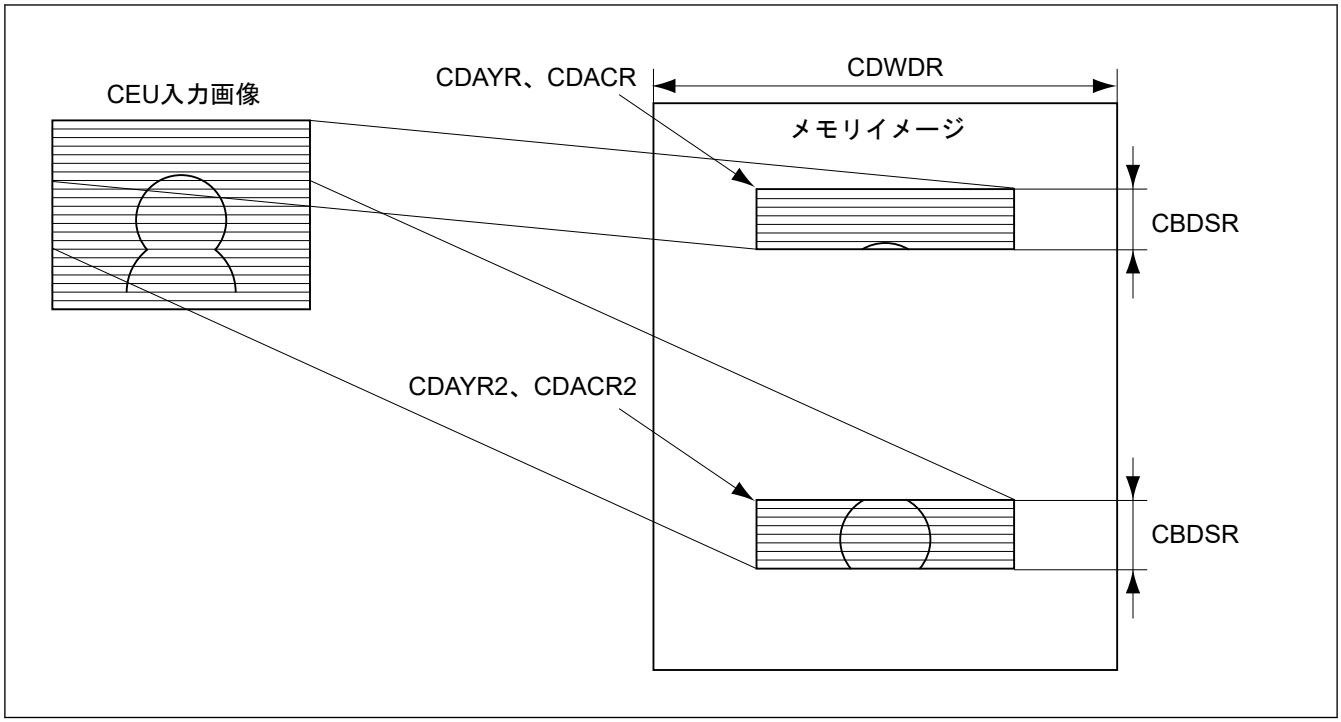


図 50.41　バンドル書き込みメモリ格納イメージ

表 50.9　アドレス設定レジスタと書き込み終了割り込み要因の対応

アドレス設定レジスタ	バンドル書き込み終了割り込み要因
CDAYR、CDACR	CETCR の CPBE1 ビット
CDAYR2、CDACR2	CETCR の CPBE2 ビット
CDBYR、CDBCR	CETCR の CPBE3 ビット
CDBYR2、CDBCR2	CETCR の CPBE4 ビット

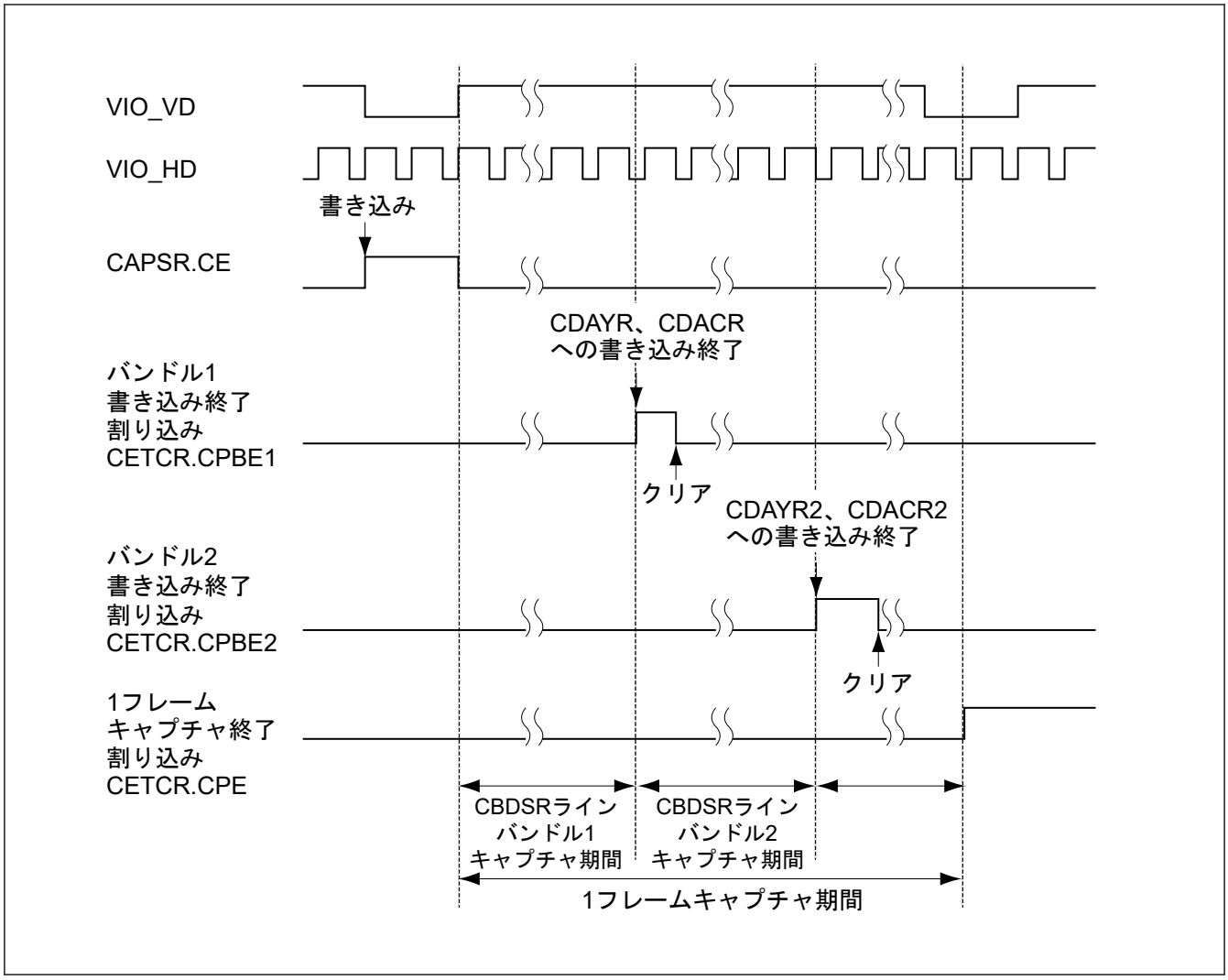


図 50.42　書き込み終了割り込みのタイミング（画像キャプチャ時、データ同期取り込み時）

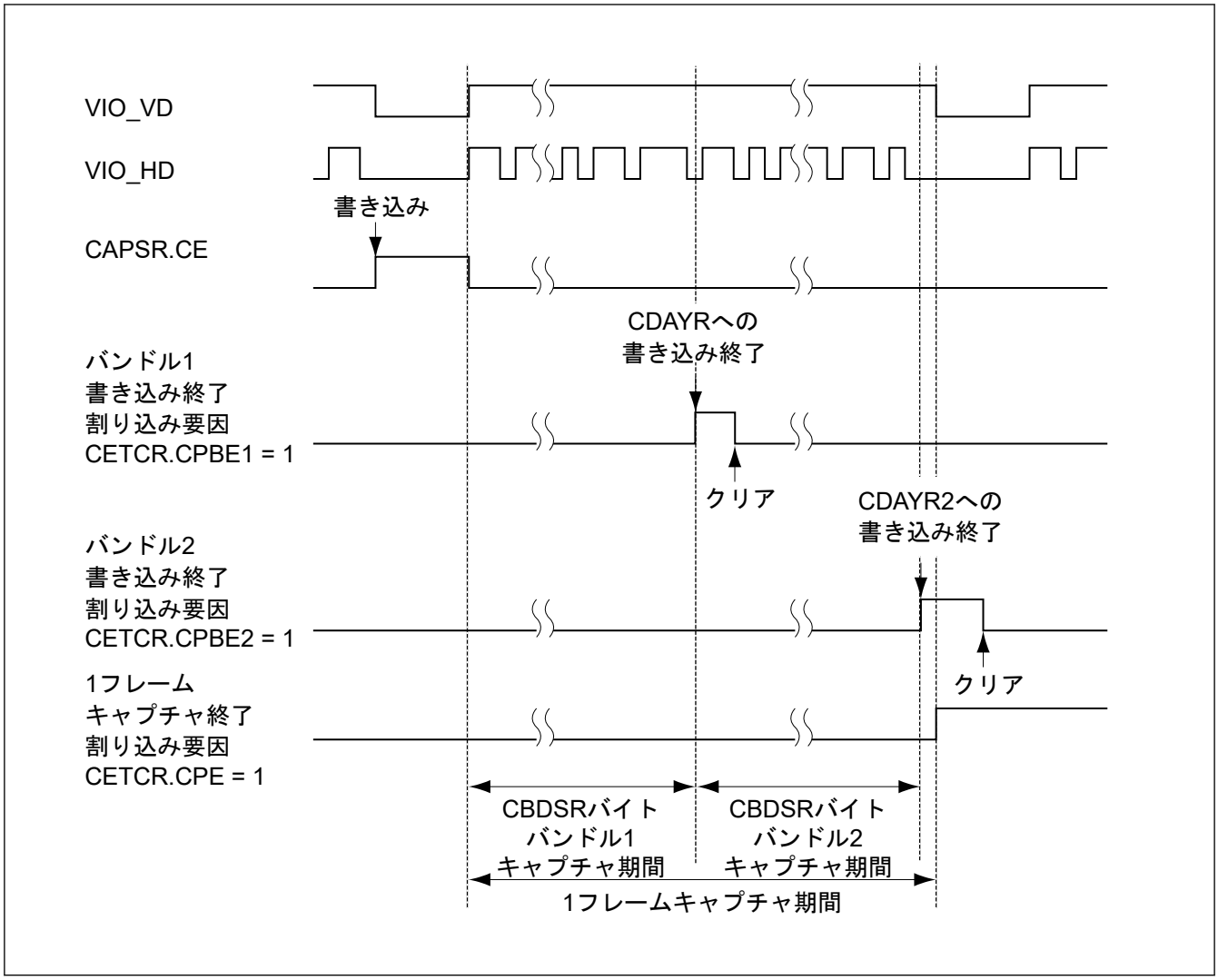


図 50.43　書き込み終了割り込みのタイミング（データイネーブル取り込み時）

COLS、COWS、COBS ビットは、CEU から出力するデータの 32 ビット単位、16 ビット単位、8 ビット単位の入れ替えを制御するビットです。エンディアンによるデータの並びの問題が生じた場合に設定してください。データ入れ替えレジスタのビットを以下に示します。データ取り込みモードの際も同様に設定できます。

入れ替え機能としては、図 50.44 のように、8 ビット単位、16 ビット単位、32 ビット単位、または 32 ビット－16 ビット－8 ビット入れ替えが可能です。入れ替えを行う場合には、各制御ビットを 1 に設定してください。

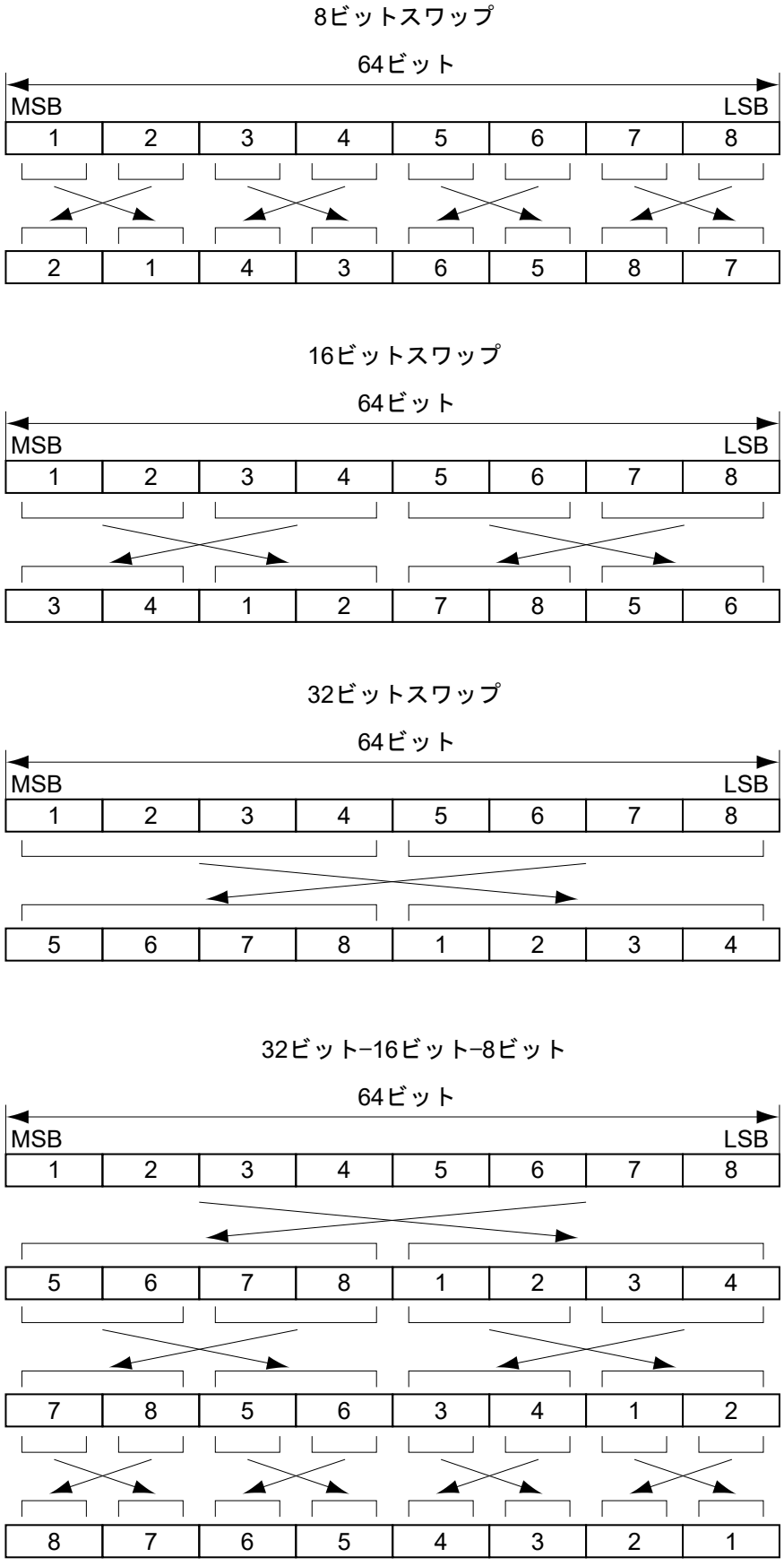


図 50.44　データアライナーによるデータ入れ替え

50.2.21 CEIER : キャプチャイベント割り込み許可レジスタ

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0070

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	NVDIE	NHDIE	FWFIE	—	—	VBPIE	—	IGVSIE	IGHSIE	CDTOFIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CPBE4IE	CPBE3IE	CPBE2IE	CPBE1IE	—	—	VDIE	HDIE	—	—	—	IGRWIE	—	—	CFEIE	CPEIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CPEIE	1 フレームキャプチャ終了割り込み許可 0: 1 フレームキャプチャ終了割り込み禁止 1: 1 フレームキャプチャ終了割り込み許可	R/W
1	CFEIE	CFE 割り込み許可 0: CFE 割り込み禁止 1: CFE 割り込み許可	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	IGRWIE	キャプチャ中レジスタアクセス割り込み許可 0: キャプチャ中レジスタアクセス割り込み禁止 1: キャプチャ中レジスタアクセス割り込み許可	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	HDIE	HD 割り込み許可 0: HD 割り込み禁止 1: HD 割り込み許可	R/W
9	VDIE	VD 割り込み許可 0: VD 割り込み禁止 1: VD 割り込み許可	R/W
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	CPBE1IE	CPBE1 割り込み許可 0: CPBE1 割り込み禁止 1: CPBE1 割り込み許可	R/W
13	CPBE2IE	CPBE2 割り込み許可 0: CPBE2 割り込み禁止 1: CPBE2 割り込み許可	R/W
14	CPBE3IE	CPBE3 割り込み許可 0: CPBE3 割り込み禁止 1: CPBE3 割り込み許可	R/W
15	CPBE4IE	CPBE4 割り込み許可 0: CPBE4 割り込み禁止 1: CPBE4 割り込み許可	R/W
16	CDTOFIE	CDTOF 割り込み許可 0: CDTOF 割り込み禁止 1: CDTOF 割り込み許可	R/W
17	IGHSIE	IGHS 割り込み許可 0: IGHS 割り込み禁止 1: IGHS 割り込み許可	R/W
18	IGVSIE	IGVS 割り込み許可 0: IGVS 割り込み禁止 1: IGVS 割り込み許可	R/W

ビット	シンボル	機能	R/W
19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	VBPIE	VBP 割り込み許可 0: VBP 割り込み禁止 1: VBP 割り込み許可	R/W
22:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23	FWFIE	FWF 割り込み許可 0: FWF 割り込み禁止 1: FWF 割り込み許可	R/W
24	NHDIE	非 HD 割り込み許可 データイネーブル取り込み時は、本割り込みは禁止に設定してください (NHDIE = 0)。 0: 非 HD 割り込み禁止 1: 非 HD 割り込み許可	R/W
25	NVDIE	非 VD 割り込み許可 データイネーブル取り込み時は、本割り込みは禁止に設定してください (NVDIE = 0)。 0: 非 VD 割り込み禁止 1: 非 VD 割り込み許可	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CEIER は、CEU の割り込みを発生させるイベントフラグレジスタの割り込みを許可または禁止するレジスタです。

50.2.22 CETCR : キャプチャイベントフラグクリアレジスタ

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0074

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	NVD	NHD	FWF	—	—	VBP	—	IGVS	IGHS	CDTOF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CPBE4	CPBE3	CPBE2	CPBE1	—	—	VD	HD	—	—	—	IGRW	—	—	CFE	CPE
Value after reset:	0	0	0	0	0	0	x	x	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CPE	外部モジュールからの 1 フレームのキャプチャが終了したことを表す割り込み この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次の VD 入力とは関係なく出力されます。 1 フレームのキャプチャが終了したことを表します。CAPWR で設定したサイズの画像をキャプチャし、バスへの最後のデータ転送が完了した時点で、このビットは 1 になります（図 50.46 参照）。	R/W
1	CFE	外部モジュールからの 1 フィールドのキャプチャが終了したことを表す割り込み この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次の VD 入力とは関係なく出力されます（図 50.45 参照）。両フィールドキャプチャモード時のみ発生します。	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	IGRW	動作中の書き込みが禁止されているレジスタに、キャプチャ中にアクセスが行われたことを表す割り込み CEU のレジスタは、キャプチャ実行中に書き換えが禁止されているものがあります。キャプチャ実行中に書き込みが許可されているレジスタと禁止されているレジスタを表 50.10 に示します。このビットは、キャプチャ中に書き込みが禁止されているレジスタにキャプチャ実行中に書き込みがあったときに、1 になります。	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
8	HD	外部モジュールから HD（水平同期信号）が入力されたことを表す割り込み 外部モジュールからの HD 入力を検出した時点で 1 になります。CAMCR の HDPOL ビットを変更した直後は擬似 HD が入力され、このビットが 1 となるので、HDPOL ビット変更後の HD 割り込みは無視してください。	R/W
9	VD	外部モジュールから VD（垂直同期信号）が入力されたことを表す割り込み データイネーブル取り込みモードでは、外部モジュールからの VD 入力を検出した時点で 1 になります。 画像キャプチャモードおよびデータ同期取り込みモードでは、外部モジュールからの VD のアクティブレベルを検出後に最初の HD アクティブレベルを検出した時点で VD 割り込みが発生します。なお、VD と HD が同時にアサートされ VD と HD を同時に検出した場合は、その時点で VD 割り込みが発生します。 CAMCR の VDPOL ビットを変更した直後は擬似 VD が入力され、このビットが 1 となるので、VDPOL ビット変更後の VD 割り込みは無視してください。	R/W
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	CPBE1	バンドル書き込みで、CDAYR および CDACR への書き込みが終了したことを表す割り込み この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次の HD 入力とは関係なく出力されます。 CBDSR で設定したライン数（データイネーブル取り込み時はバイト数）のデータをキャプチャし、バスへの最後のデータ転送が完了した時点で、このビットは 1 になります。 なお、画像キャプチャまたはデータ同期取り込み時、バンドル書き込みの最後のキャプチャデータが、1 フレーム（フィールド）の最後のキャプチャデータの場合、本割り込みは発生しません。	R/W
13	CPBE2	バンドル書き込みで、CDAYR2 および CDACR2 への書き込みが終了したことを表す割り込み この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次の HD 入力とは関係なく出力されます。 CBDSR で設定したライン数（データイネーブル取り込み時はバイト数）のデータをキャプチャし、バスへの最後のデータ転送が完了した時点で、このビットは 1 になります。 なお、画像キャプチャまたはデータ同期取り込み時、バンドル書き込みの最後のキャプチャデータが、1 フレーム（フィールド）の最後のキャプチャデータの場合、本割り込みは発生しません。	R/W
14	CPBE3	バンドル書き込みで、CDBYR および CDBCR への書き込みが終了したことを表す割り込み この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次の HD 入力とは関係なく出力されます。 CBDSR で設定したライン数のデータをキャプチャし、バスへの最後のデータ転送が完了した時点で、このビットは 1 になります。 なお、バンドル書き込みの最後のキャプチャデータが、1 フレーム（フィールド）の最後のキャプチャデータの場合、本割り込みは発生しません。	R/W
15	CPBE4	バンドル書き込みで、CDBYR2 および CDBCR2 への書き込みが終了したことを表す割り込み この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次の HD 入力とは関係なく出力されます。 CBDSR で設定したライン数のデータをキャプチャし、バスへの最後のデータ転送が完了した時点で、このビットは 1 になります。 なお、バンドル書き込みの最後のキャプチャデータが、1 フレーム（フィールド）の最後のキャプチャデータの場合、本割り込みは発生しません。	R/W
16	CDTOF	ライトバッファの CRAM において、データのオーバーフローがあったことを表す割り込み キャプチャ動作は、外部モジュールからリアルタイムでデータが入力されます。このため、ある一定以上の転送レートで、CEU の内部バッファからメモリへキャプチャしたデータを転送しなければ、フレームイメージは上書きされます。このビットは、CEU 内部にあるライトバッファ CRAM 内データのバスへの書き出しが間に合わず、データがオーバーフローした場合に 1 となります。	R/W
17	IGHS	CMCYR に設定した HD サイクル数と外部モジュールからの HD サイクル数が異なる時に発生する割り込み 外部モジュールからイリーガル HD 入力があった時に 1 になります。 CEU への HD 入力のクロックサイクル数が CMCYR の HCYL ビットに設定した値と異なるときに、1 になります。ただし、HCYL ビットが 0 にクリアされているときは、割り込みを発生しません。	R/W
18	IGVS	CMCYR に設定した VD サイクル数と外部モジュールからの VD サイクル数が異なる時に発生する割り込み 外部モジュールからイリーガル VD 入力があった時に 1 になります。 CEU への VD 入力の HD サイクル数が CMCYR の VCYL ビットに設定した値と異なるときに、1 になります。ただし、VCYL ビットが 0 にクリアされているときは、割り込みを発生しません。	R/W

ビット	シンボル	機能	R/W
19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	VBP	CEU がデータを保持している状態で、VD が入力されたことを表す（垂直同期のフロントポーチが不足している）割り込み VBP 割り込みの発生条件は以下のとおりです。 ● 条件 1 CEU 内部にキャプチャデータが存在するときに VD が入力された ● 条件 2 ライトバッファのオーバーフローまたはイリーガル HD により、最後の転送データを内部により検知できなくなり、終了タイミングが次の VD まで分からない（VD の入力タイミングで VBP 割り込みを発生させることによりキャプチャ失敗を知らせることができる） VBP 割り込みが発生した場合は、キャプチャ終了割り込み（CETCR の CPE ビット）は発生せず、そのフレームの画像は正しくキャプチャされません。キャプチャ終了割り込み（CPE ビット）が発生する場合が希にありますが、この場合の終了割り込みは無視してください 。また、次の VD までキャプチャはできません（CAPSR の CE ビット（キャプチャ予約信号）が 1 でもキャプチャは開始しません）。 発生条件 2 の場合は、VBP 割り込みを待つことなく、ソフトウェアリセット（CAPSR の CPKIL ビット）によりキャプチャを停止し、その後再起動をするようにしてください。この場合は次の VD まで待たずにキャプチャ動作が終了するため、VBP 割り込みは発生せず、次の VD からキャプチャが可能となります。	R/W
22:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23	FWF	CFWCR.FMV で指定される数値を超えるアドレスにデータを書き込もうとしたときに生じる割り込み CFWCR.FWE ＝ 1 のとき、CFWCR.FMV で指定された値を超えるアドレスにデータを書き込もうとした場合に 1 になります。	R/W
24	NHD	HD が入力されなかったことを表す割り込み 非 HD 割り込みが発生するタイミングは、デジタル画像入力端子のビット幅によって異なります。 8 サイクルごとにインクリメントする 11 ビットの内部カウンタがフルのとき非 HD 割り込みが発生します。したがって、このビットは HD が入力されてから 16,376 サイクル以上次の HD が入力されないときに 1 となります。 VD が Low の期間中 HD も Low に固定されているカメラを接続した場合等には、このビットが 1 になる可能性があります。 データイネーブル取り込み時は、本割り込みは無視してください。	R/W
25	NVD	VD が入力されなかったことを表す割り込み 非 VD 割り込みが発生するタイミングは、14 ビットの内部カウンタがフルのときです。したがって、このビットは最後の VD が入力されてから 16,383 ライン以上次の VD が入力されないときに 1 となります。	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

CETCR は、CEU 内部で CPU に対して割り込みが起こった場合に、その要因を表すレジスタです。CETCR に立っているフラグは、そのまま割り込み信号になっていますので、対応する割り込みが許可（イネーブル）になっていると、割り込み (CEU_CEUI) が発生します。割り込みを解除するには、割り込み要因に対応するビットを 0 クリアすることで、書き込み後、数サイクルで解除されます。

解除したい割り込み要因に対応するビットを 0 にクリアしてその状態を保持するには、そのビットに 1 を書き込んでください。たとえば、CPE ビットのみ 0 にクリアしたい場合は、CETCR に 0xFFFFFFFE を書き込んでください。

CETCR では、0 が書き込まれたビットのみクリアされます。1 を書き込んだ場合には、そのビットの値は現在の値が保持されます。割り込み要因を解除するには、解除したい要因のビットにのみ 0 を書き込み、それ以外のビットには 1 を書き込んでください。

注. 以下の場合、CETCR は不定値となりますので、必ず CETCR の全ビットを 0 クリアしてください。
- システムリセットまたはソフトウェアスタンバイモード直後の VD および HD ビット
- キャプチャインタフェース同期信号の極性を変化させた後の VD および HD ビット

表 50.10 キャプチャ中のレジスタ書き込みの許可と禁止 (1/2)

レジスタ名称	キャプチャ中の書き込み
CAPSR	許可

表 50.10　キャプチャ中のレジスタ書き込みの許可と禁止 (2/2)

レジスタ名称	キャプチャ中の書き込み
CAPCR	禁止
CAMCR	禁止
CMCYR	禁止
CAMOR	許可
CAPWR	許可
CAIFR	禁止
CRCNTR	許可
CRCMPR	禁止
CFLCR	許可
CFSZR	許可
CDWDR	許可
CDAYR	許可
CDACR	許可
CDBYR	許可
CDBCR	許可
CBDSR	許可
CFWCR	許可
CLFCR	許可
CDOCR	許可
CEIER	許可
CETCR	許可
CSTSR	禁止
CDSSR	禁止
CDAYR2	許可
CDACR2	許可
CDBYR2	許可
CDBCR2	許可

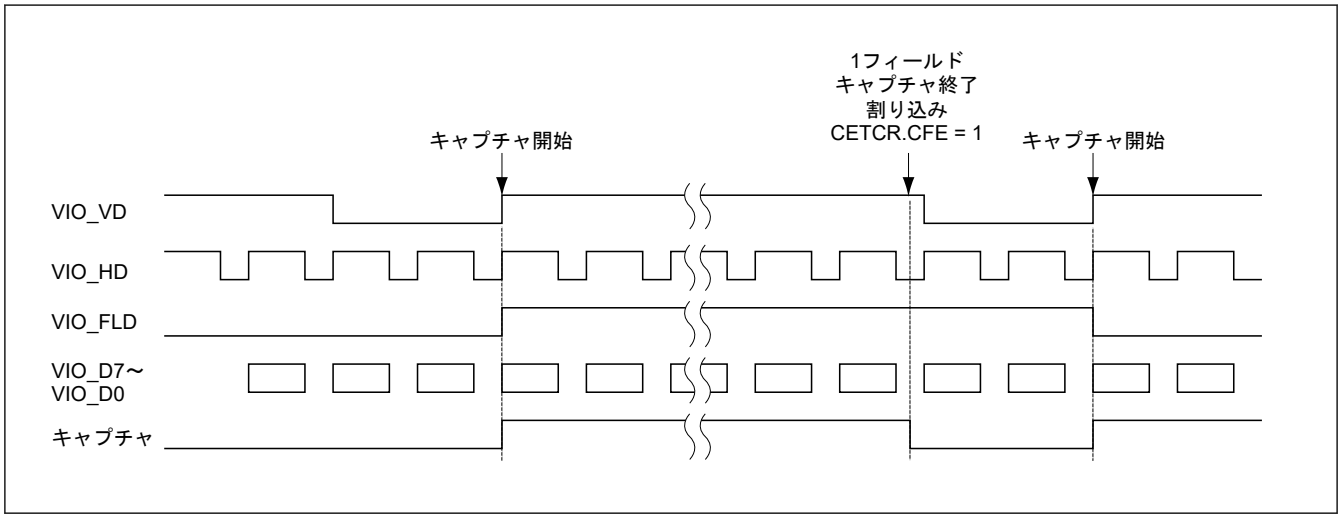


図 50.45　CFE 発生タイミング

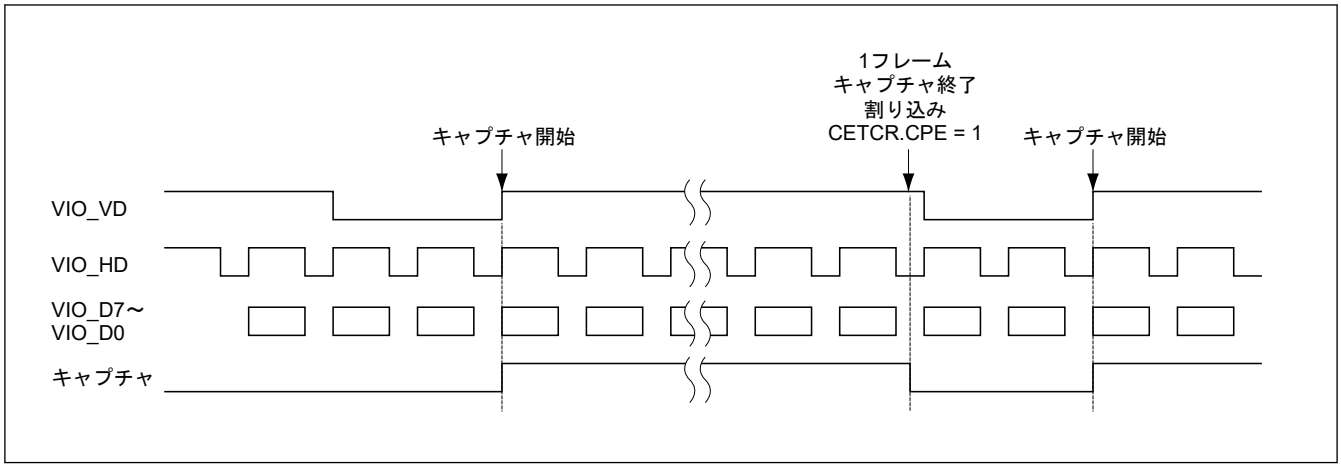


図 50.46 CPE 発生タイミング

50.2.23 CSTSR : キャプチャステータスレジスタ

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x007C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	CRST	—	—	—	—	—	—	—	CPFLD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPTON
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CPTON	CEU が動作中であることを表します。 このビットはキャプチャ開始時の内部 VD から 1 フレームキャプチャ終了割り込みの発生まで 1 を保持します。CEU の動作中期間を図 50.47 に示します。	R
15:1	—	読むと 0 が読めます。	R
16	CPFLD	キャプチャ中のフィールドを表しています。 0: ボトムフィールドをキャプチャしている 1: トップフィールドをキャプチャしている	R
23:17	—	読むと 0 が読めます。	R
24	CRST	現在使用しているレジスタ面を表しています。 0: A 面のレジスタを使用している 1: B 面のレジスタを使用している	R
31:25	—	読むと 0 が読めます。	R

注. S-TYPE-3、P-TYPE-3

CSTSR は、CEU 内部のステータスを表すレジスタです。CETCR とは異なり、CSTSR の要因については割り込みを発生しません。

CEU の動作／停止状態の判定は、CSTSR で行います。CEU の停止状態を確認するためには、CEU 動作中状態を示すステータスビット（ビット 0）が、完全に 0 になっていることを確認してください。

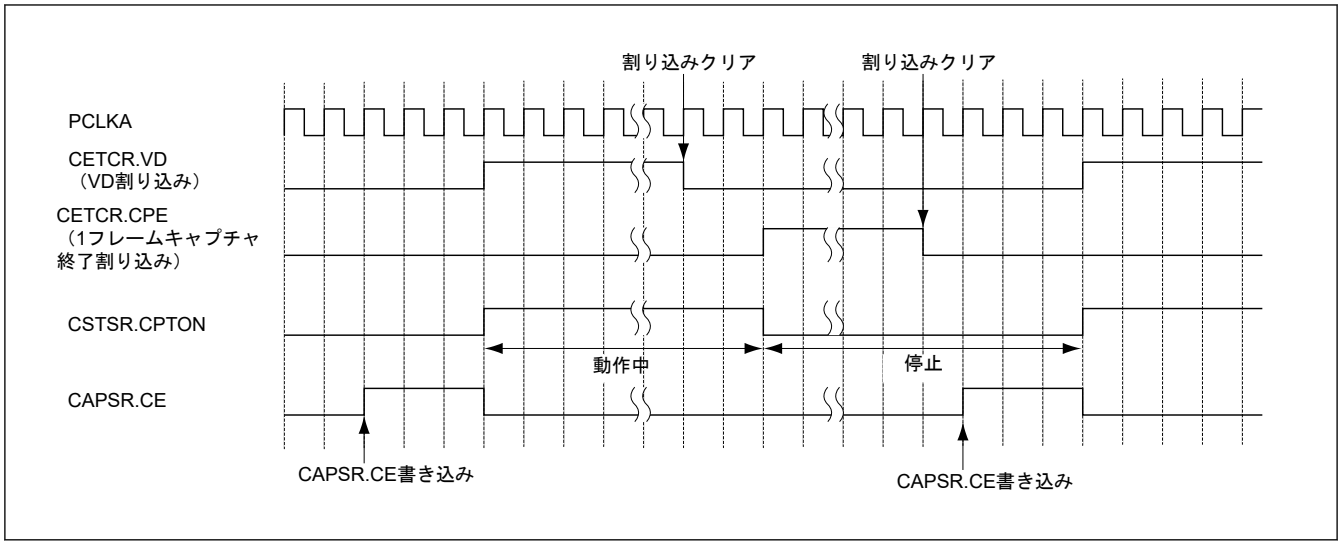


図 50.47　キャプチャ時の動作ステータス

50.2.24　CDSSR : キャプチャデータサイズレジスタ

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0084

Bit position:	31																												0
Bit field:	CDSS[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CDSS[31:0]	データイネーブル取り込み時にメモリに書き込んだデータのサイズを表します。 バンドル書き込みの場合は、1 フレームキャプチャ終了時に選択されているアドレスに書き込んだデータのサイズを表します。バンドル書き込みでは、CBDSR レジスタで指定されたバイト数をバスに転送し次第、データ書き込み先のアドレスを切り替えます。 したがって、バンドル書き込みの終了と同時に、1 フレームのキャプチャが終了した場合、本レジスタには 0x00000000 が表示されます。バンドル書き込み時の CDSSR 動作タイミングイメージを図 50.48 および図 50.49 に示します。	R

注.　S-TYPE-3、P-TYPE-3

CDSSR は、データイネーブル取り込み時にメモリに書き込んだデータのサイズを表します。本レジスタは、キャプチャ終了時に正しい値を表示するので、キャプチャ終了時に参照してください。

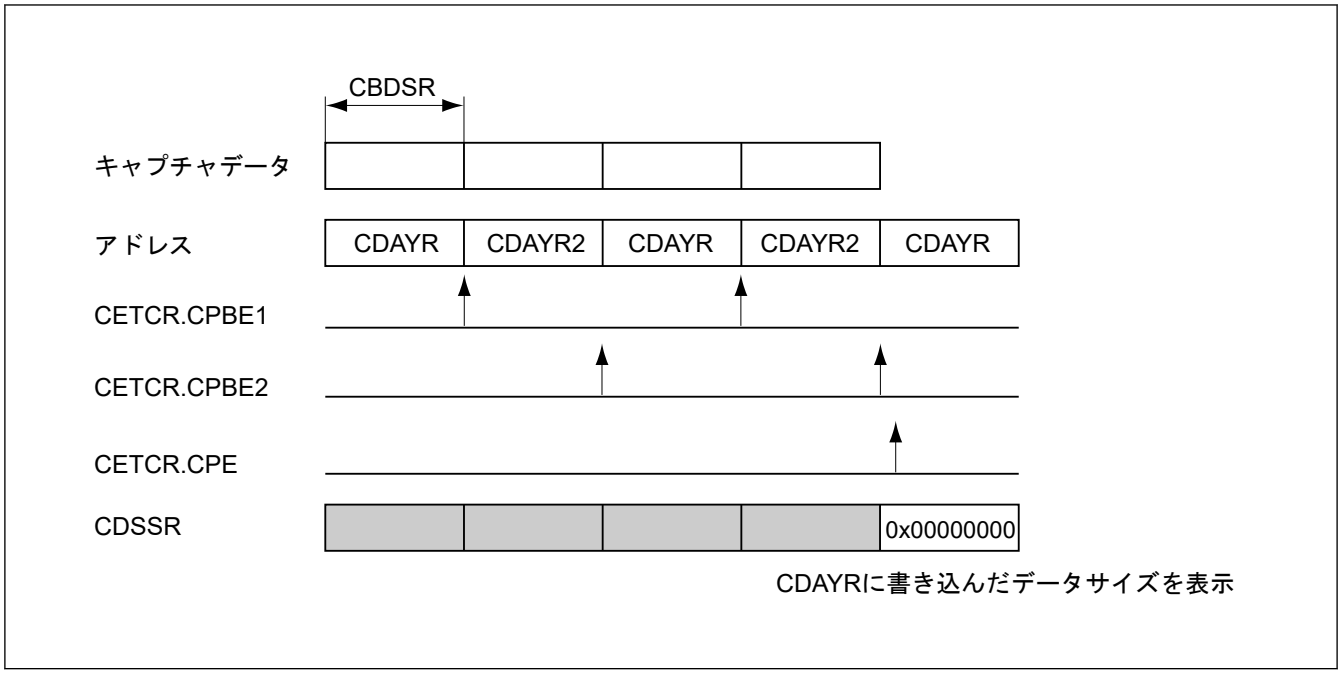


図 50.48　バンドル書き込み時の CDSSR 動作タイミングイメージ図（バンドル書き込み終了とキャプチャ終了が同時の場合）

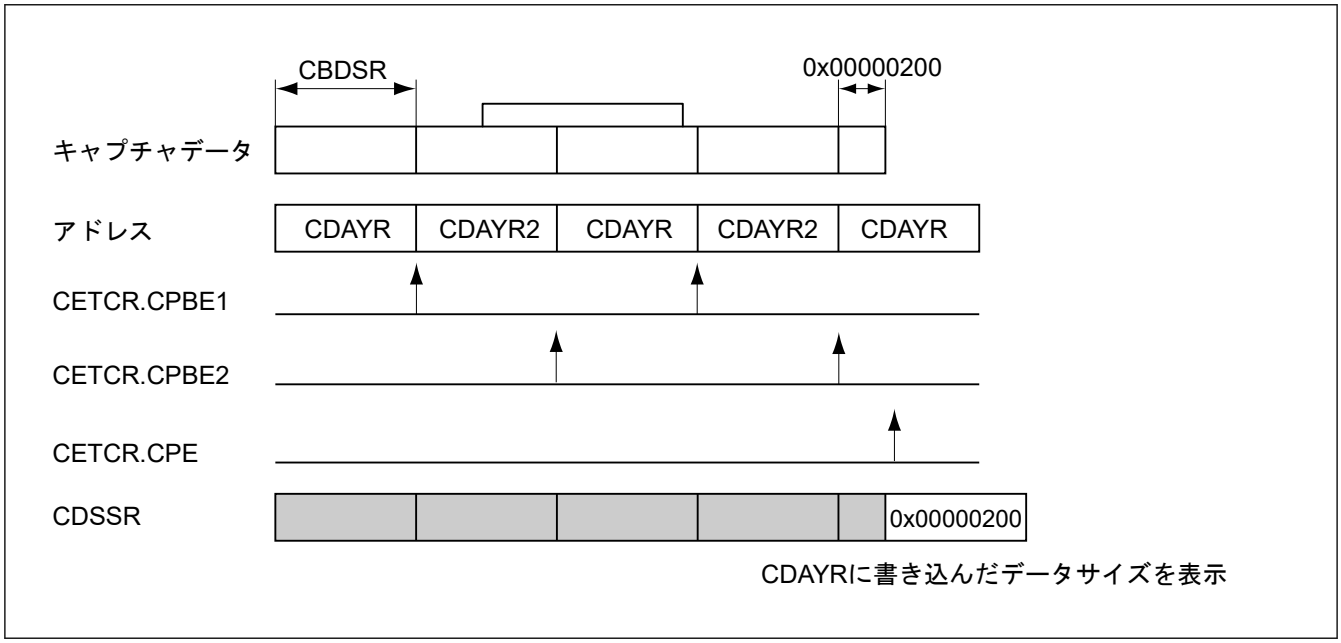


図 50.49　バンドル書き込み時の CDSSR 動作タイミングイメージ図（バンドル書き込み終了とキャプチャ終了が異なる場合）

50.2.25 CDAYR2, CDAYR2_x : キャプチャデータアドレス Y レジスタ 2 (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0090 (CDAYR2)
0x1090 (CDAYR2_B)
0x2090 (CDAYR2_M)

Bit position:	31																												0
Bit field:	CAYR2[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CAYR2[31:0]	キャプチャデータアドレス Y フレーム画像キャプチャ時：キャプチャデータの輝度成分データ格納先アドレス（8 画素単位）を設定 ● 片フィールド画像キャプチャ時：キャプチャデータの輝度成分データ格納先アドレス（8 画素単位）を設定 ● 両フィールド画像キャプチャ時:トップフィールドキャプチャデータの輝度成分データ格納先アドレス（8 画素単位）を設定 ● データ同期取り込み時：データ格納先アドレス（8 バイト単位）を設定 ● データイネーブル取り込み時：データ格納先アドレス（32 バイト単位）を設定 下位 3 ビットは 0 を書き込んでください。	R/W

注. S-TYPE-3、P-TYPE-3

CDAYR2 は、バンドル書き込みで使用する輝度成分用のアドレス指定、およびデータ取り込みの際のバンドル書き込みで使用するデータ格納先のアドレス指定レジスタです。CDAYR2 は、バンドル書き込みでのみ使用します。

CDAYR2 は、フレーム画像キャプチャおよび片フィールド画像キャプチャの際のキャプチャデータの輝度成分の格納先アドレス指定、両フィールド画像キャプチャの際のキャプチャしたトップフィールドの輝度成分格納先アドレス指定、およびデータ取り込みの際のデータの格納先アドレス指定を行います。CEU は、キャプチャした画像データをバスを経由し輝度成分データ (Y) と色差成分データ (C) に分けてメモリへ書き込みます。フレーム画像キャプチャおよび片フィールド画像キャプチャの際は、CDAYR2 がキャプチャデータの輝度成分の格納に使用するメモリ領域の先頭アドレスを設定してください。両フィールド画像キャプチャの際は、CDAYR2 がトップフィールドキャプチャ画像の輝度成分の格納に使用するメモリ領域の先頭アドレスを設定してください。データ取り込みの際は、データ格納に使用するメモリ領域の先頭アドレスを設定してください。

本レジスタで指定されるアドレスは、32 ビット単位とします。

本レジスタには、図 50.50 に示すように、キャプチャした画像の輝度成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。

- フレーム画像キャプチャ時：キャプチャした画像の輝度成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 片フィールド画像キャプチャ時：キャプチャした画像の輝度成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 両フィールド画像キャプチャ時：キャプチャしたトップフィールド画像の輝度成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- データ同期取り込み時：キャプチャしたデータを格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- データイネーブル取り込み時：キャプチャしたデータを格納するメモリ領域の、先頭ポイントのアドレスを 32 バイト単位で設定してください。

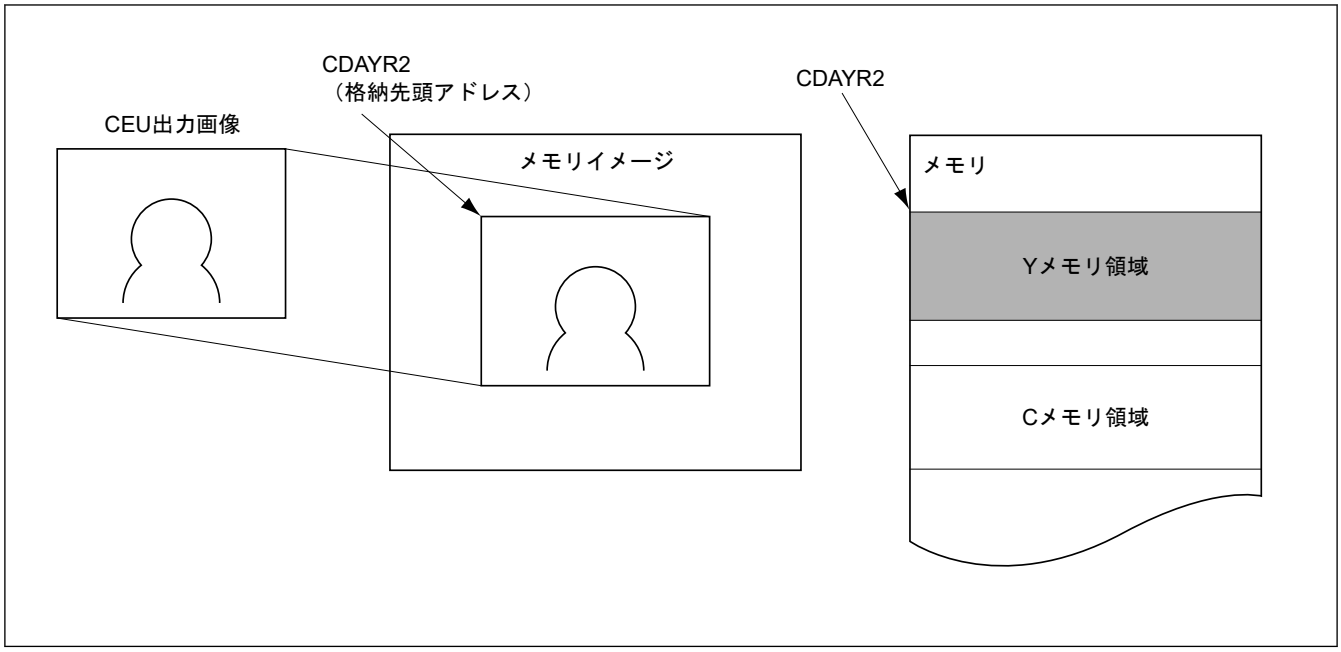


図 50.50　キャプチャ画像と輝度成分メモリ領域の関係

50.2.26　CDACR2, CDACR2_x : キャプチャデータアドレス C レジスタ 2 (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0094 (CDACR2)
0x1094 (CDACR2_B)
0x2094 (CDACR2_M)

Bit position:	31																												0
Bit field:	CACR2[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CACR2[31:0]	キャプチャデータアドレス C ● フレーム画像キャプチャ時 : キャプチャデータの色差成分データ格納先アドレス（8 画素単位）を設定 ● 片フィールド画像キャプチャ時 : キャプチャデータの色差成分データ格納先アドレス（8 画素単位）を設定 ● 両フィールド画像キャプチャ時: トップフィールドキャプチャデータの色差成分データ格納先アドレス（8 画素単位）を設定 下位 3 ビットは 0 を書き込んでください。	R/W

注.　S-TYPE-3、P-TYPE-3

CDACR2 は、バンドル書き込みで使用する色差成分用のアドレス指定レジスタです。CDACR2 は、バンドル書き込みでのみ使用します。

CDACR2 は、フレーム画像キャプチャおよび片フィールド画像キャプチャの際のデータの色差成分の格納先アドレス指定および両フィールド画像キャプチャの際のキャプチャしたトップフィールドの色差成分格納先アドレス指定を行います。CEU は、キャプチャした画像データをバスを経由し輝度成分データ (Y) と色差成分データ (C) に分けてメモリへ書き込みます。フレーム画像キャプチャおよび片フィールド画像キャプチャの際は、CDACR2 がキャプチャデータの色差成分の格納に使用するメモリ領域の先頭アドレスを設定してください。両フィールド画像キャプチャの際は、CDACR2 がトップフィールドキャプチャ画像の色差成分の格納に使用するメモリ領域の先頭アドレスを設定してください。データ取り込みの際は、CDACR2 は使用しません。

本レジスタで指定されるアドレスは、32 ビット単位とします。

本レジスタには、図 50.51 に示すように、キャプチャしたデータをバンドル書き込みにより格納するメモリ領域の先頭ポイントのアドレスを設定してください。

- フレーム画像キャプチャ時：キャプチャした画像の色差成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 片フィールド画像キャプチャ時：キャプチャした画像の色差成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 両フィールド画像キャプチャ時：キャプチャしたトップフィールド画像の色差成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。

また、色差成分の出力データ形式は図 50.52 のようになっており、この形式でメモリに格納します。

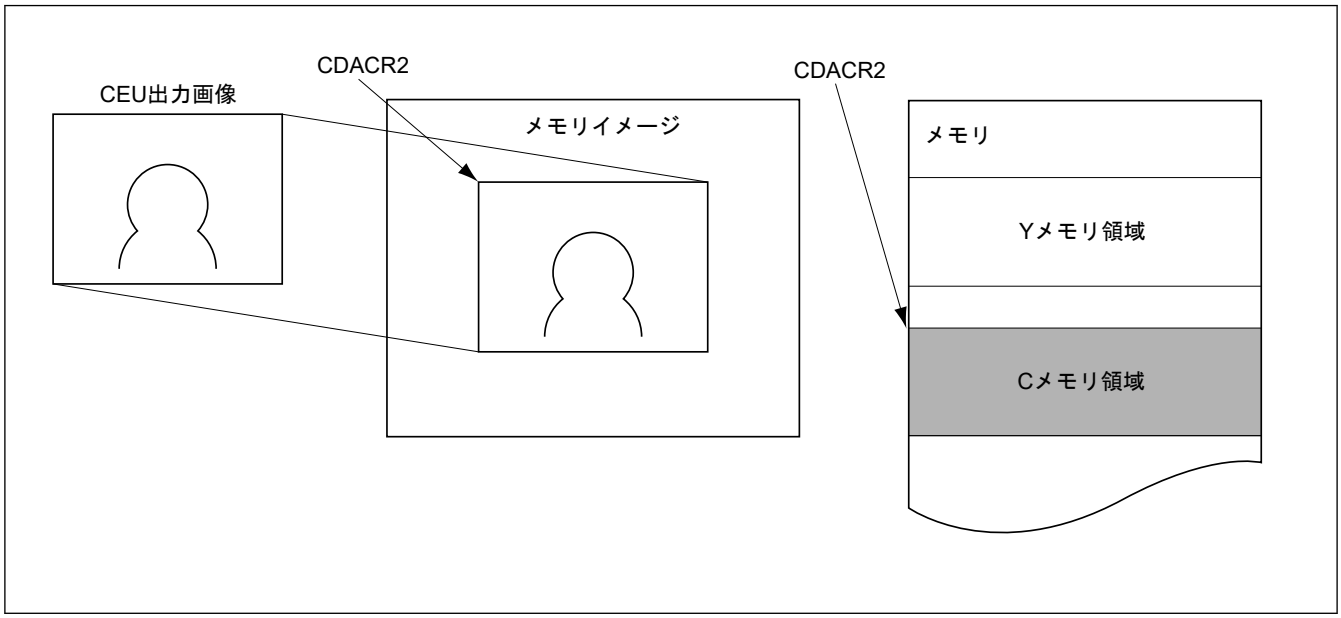


図 50.51　キャプチャ画像と色差成分メモリ領域の関係

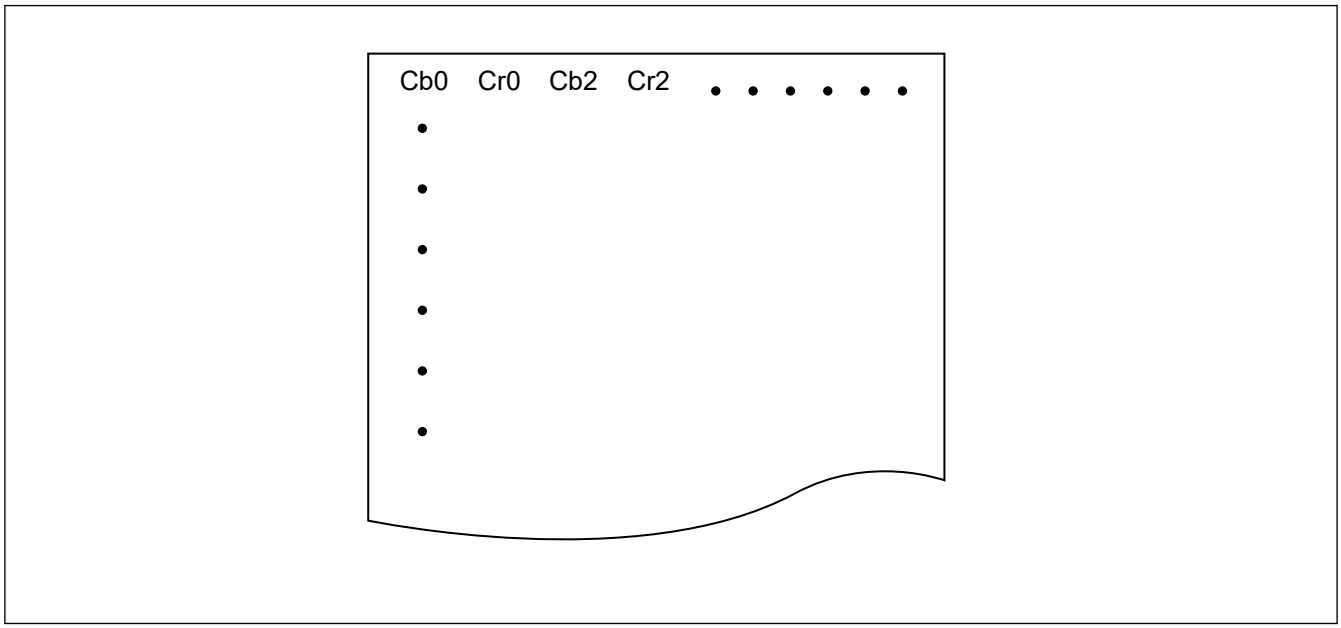


図 50.52　色差成分のメモリ格納イメージ

50.2.27 CDBYR2, CDBYR2_x : キャプチャデータボトムフィールドアドレス Y レジスタ 2 (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x0098 (CDBYR2)
0x1098 (CDBYR2_B)
0x2098 (CDBYR2_M)

Bit position:	31																												0
Bit field:	CBYR2[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CBYR2[31:0]	ボトムフィールドキャプチャデータの輝度成分データ格納先アドレスを設定します（8 画素単位）。 下位 3 ビットは 0 を書き込んでください。	R/W

注. S-TYPE-3、P-TYPE-3

CDBYR2 は、バンドル書き込みで使用するボトムフィールド輝度成分用のアドレス指定レジスタです。CDBYR2 は、バンドル書き込みでのみ使用します。

CDBYR2 は、両フィールド画像キャプチャの際のボトムフィールドキャプチャデータの輝度成分格納先のアドレスを指定します。CEU は、キャプチャした画像データを、バスを経由し、輝度成分データ (Y) と色差成分データ (C) に分けてメモリへ書き込みます。CDBYR2 には、CDBYR2 が両フィールド画像キャプチャでキャプチャされたボトムフィールド画像の輝度成分を格納するメモリ領域の先頭アドレスを設定してください。フレーム画像キャプチャ、片フィールド画像キャプチャの場合と、データ取り込みの際は、CDBYR2 は使用しません。

本レジスタで指定されるアドレスは、32 ビット単位とします。

本レジスタには、図 50.53 に示すように、ボトムフィールドキャプチャ画像の輝度成分をバンドル書き込みにより格納するメモリ領域の先頭ポイントのアドレスを設定してください。

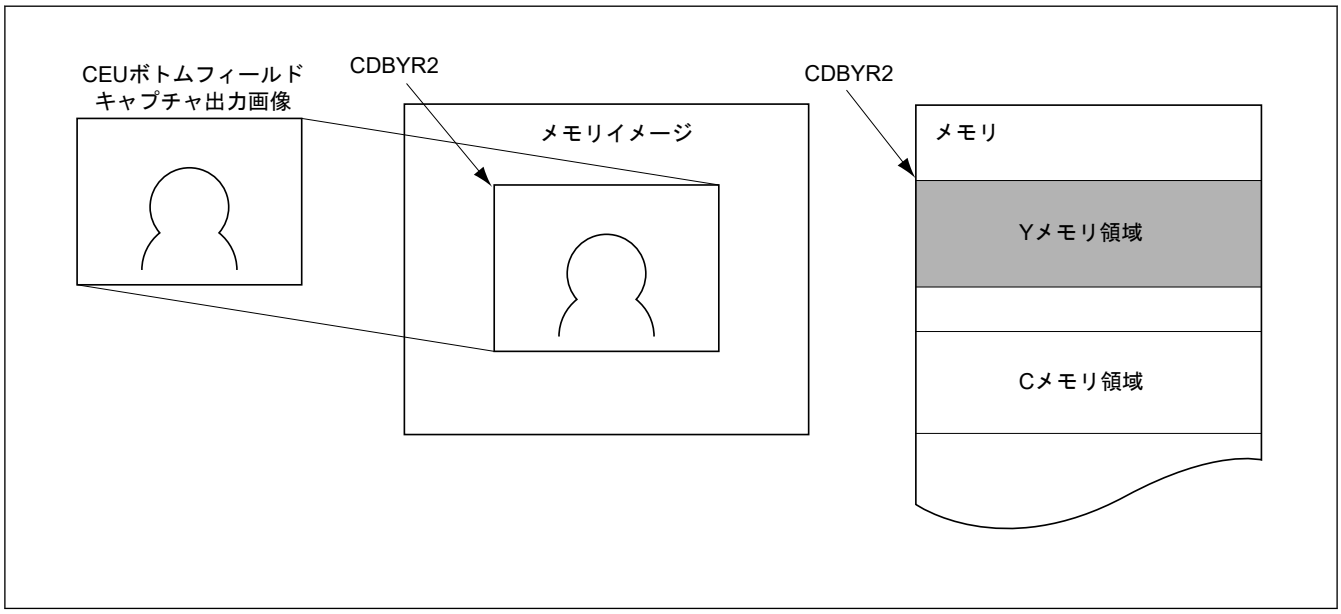


図 50.53 ボトムフィールドキャプチャ画像と輝度成分メモリ領域の関係

50.2.28 CDBCR2, CDBCR2_x : キャプチャデータボトムフィールドアドレス C レジスタ 2 (x = B, M)

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x009C (CDBCR2)
0x109C (CDBCR2_B)
0x209C (CDBCR2_M)

Bit position:	31																												0
Bit field:	CBCR2[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CBCR2[31:0]	ボトムフィールドキャプチャデータの色差成分データ格納先アドレスを設定します（8 画素単位）。 下位 3 ビットは 0 を書き込んでください。	R/W

注. S-TYPE-3、P-TYPE-3

CDBCR2 は、バンドル書き込みで使用するボトムフィールド色差成分用のアドレス指定レジスタです。CDBCR2 は、バンドル書き込みでのみ使用します。

CDBCR2 は、両フィールド画像キャプチャの際のボトムフィールドキャプチャデータの色差成分格納先のアドレスを指定します。CEU は、キャプチャした画像データを、バスを経由し、輝度成分データ (Y) と色差成分データ (C) に分けてメモリへ書き込みます。CDBCR2 には、CDBCR2 が両フィールド画像キャプチャでキャプチャされたボトムフィールド画像の色差成分を格納するメモリ領域の先頭アドレスを設定してください。フレーム画像キャプチャ、片フィールド画像キャプチャの場合と、データ取り込みの際は、CDBCR2 は使用しません。

本レジスタで指定されるアドレスは、32 ビット単位とします。

本レジスタには、図 50.54 に示すように、ボトムフィールドキャプチャ画像の色差成分をバンドル書き込みにより格納するメモリ領域の先頭ポイントのアドレスを設定してください。また、色差成分の出力データ形式は図 50.55 のようになっており、この形式でメモリに格納します。

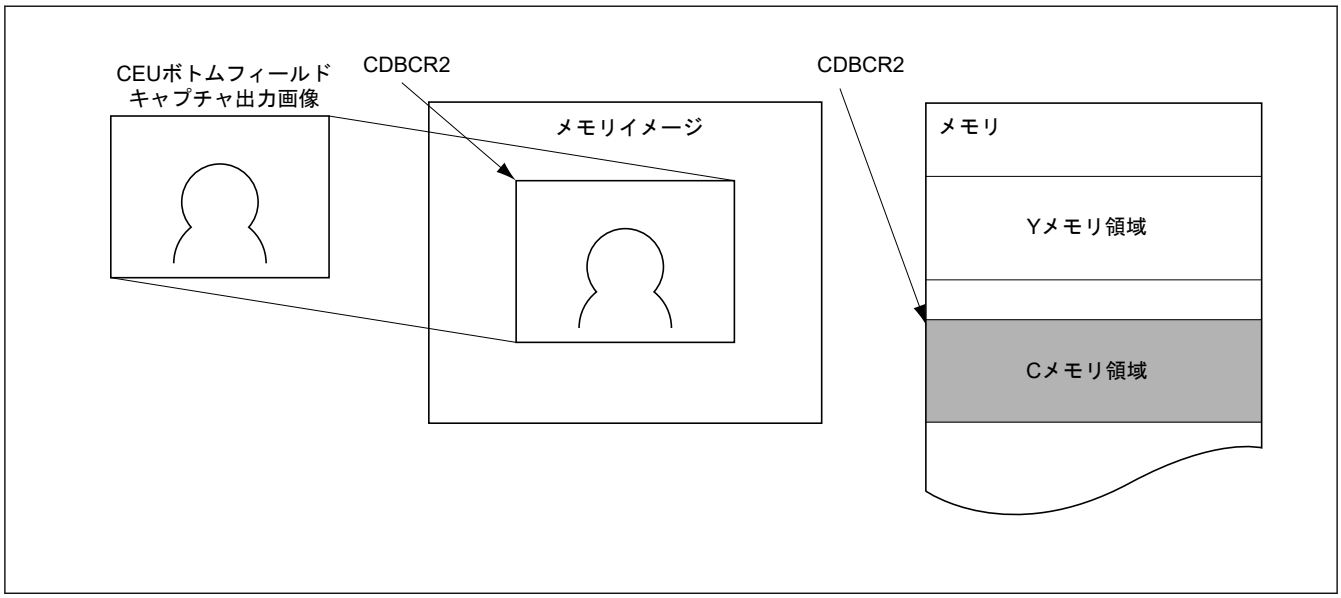


図 50.54 ボトムフィールドキャプチャ画像と色差成分メモリ領域の関係

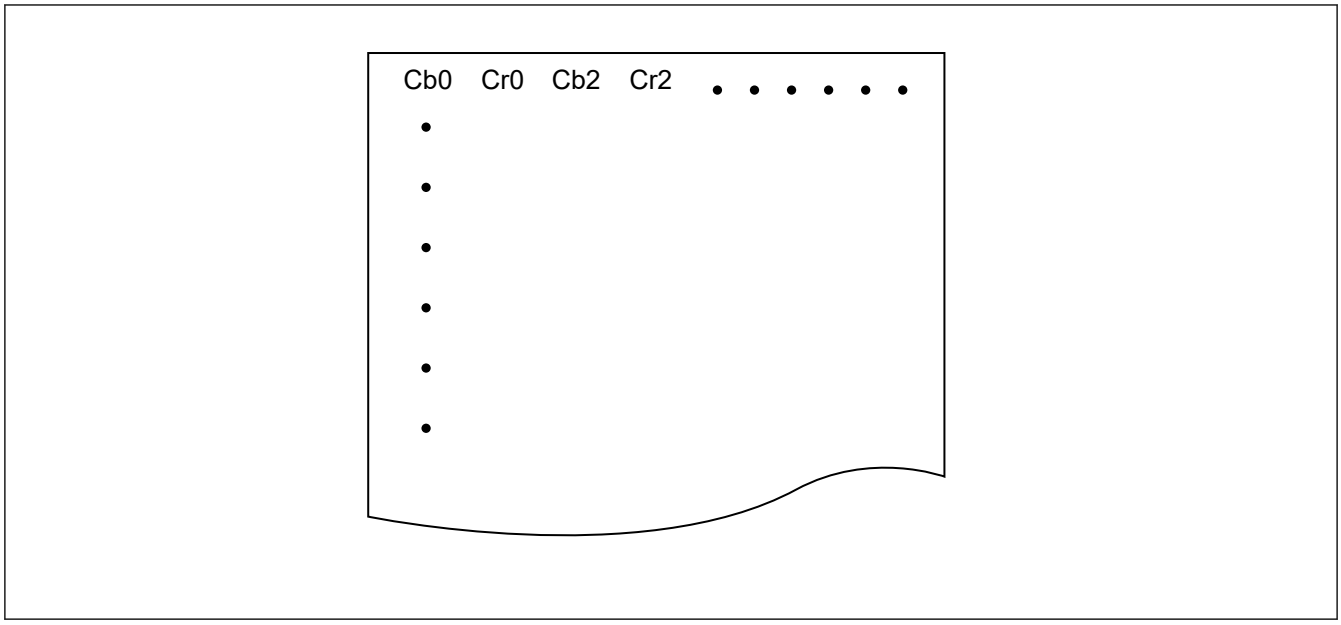


図 50.55 色差成分のメモリ格納イメージ

50.2.29 CBWER : CEU バッファラブル書き込みイネーブルレジスタ

Base address: CEU = 0x4034_8000
CEU_NS = 0x5034_8000

Offset address: 0x00A0

Bit position:	31																													0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BWE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BWE	バッファラブル書き込みイネーブル 0: バッファラブル書き込み禁止 1: バッファラブル書き込み許可	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. S-TYPE-3、P-TYPE-3

BWE ビット（バッファラブル書き込みイネーブル）

BWE ビットは、バッファラブル書き込みが有効または無効であることを示します。

このビットが 1 で CEU としての書き込みアクセスが完了した場合でも、実際のスレーブ書き込みは完了していない可能性があるので、注意してください。

注. 本ビットが 1 のとき、スレーブに対して可能であればテンポラリバッファに書き込みデータを書き込むことによって、早期応答を要求します。そのため、CEU としての書き込みアクセスが完了しても、実際のスレーブ書き込みが終了していない場合があります。バッファラブル書き込みをサポートするスレーブグループの詳細については、「14.4.2. バスエラー発生時の動作」および各モジュールの章を参照してください。

50.3 使用上の注意事項

50.3.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、CEU の動作を無効または有効に設定することが可能です。リセット後の初期状態では、CEU の動作は停止しています。モジュールストップ状態を解除すると、レジスタへのアクセスが可能になります。詳細は「10. 低消費電力モード」を参照してください。

50.3.2 外部モジュールの接続条件

(1) クロック周波数

外部から入力するクロック (VIO_CLK) は、CEU の動作クロック (PCLKA) 周波数に対し、両方のジッタを含んだ状態で等倍以下の周波数で動作させてください。

PCLKA ≧ VIO_CLK

(2) ブランク期間

各ラインの最終有効画素から次の水平同期信号 HD までの期間は、20 サイクル以上空けてください。

(3) フィールド識別信号固定期間

フィールド識別信号 FLD は、VD の入力から 1HD 以上の期間、固定することとします。

50.3.3 入出力機能制限事項

表 50.11 に、CEU の入出力機能の制限事項を示します。

表 50.11 CEU の入出力機能の制限事項

項目	制約事項
外部モジュールインタフェース	外部モジュールの動作クロック (VIO_CLK) は、外部モジュール動作クロックと CEU 動作クロック (PCLKA) の両方のジッタを含んだ状態で、常に CEU の動作クロック周波数以下であること。
	インタフェースの選択、外部モジュールの動作クロック周波数、および HD/VD の極性等の変更は、キャプチャ動作を完全に停止した状態で行うこと。
	画像キャプチャ時のキャプチャ水平方向サイズは、16 サイクル単位として指定すること。
	データフェッチ時のキャプチャ水平方向サイズは、8 サイクル単位として指定すること。
	キャプチャ垂直方向サイズは、4 ライン単位で指定すること。
	水平同期信号期間の最大サイクル数は、外部入力クロックの 16,375 サイクルであること。
	垂直同期信号期間の最大ライン数（HD 数）は、16,382 ライン以下にすること。
	最小キャプチャ画素数は、sub-QCIF (128 × 96) であること。
	最大キャプチャ画素数は、5 M (2,560 × 1,920) 画素であること。
	データイネーブル取り込み時のキャプチャサイズは、VD と HD で 4 バイト単位で制御すること。入力可能なデータイネーブル取り込みでのキャプチャサイズの範囲は以下のとおり： 最大：6 MB (2,048 × 1,536 × 2) 最小：16 バイト
メモリ出力	出力アドレスは、32 ビット単位で指定すること。
	出力先画像（メモリ）の水平方向サイズは、8 画素単位で指定すること。
	水平出力画素数（＝水平方向クリップサイズ）は、8 画素単位で指定すること。
	垂直出力ライン (HD) 数（＝垂直方向クリップサイズ）は、4 ライン (HD) 単位で指定すること。
	データイネーブル取り込みバンドル書き込み時は、出力アドレスを 32 バイト単位で指定すること。
内部処理	フィルタのクリップサイズ設定は、フィルタの実出力サイズ以下の値に設定すること。

51. 内部電圧レギュレータ

51.1 概要

本 MCU は、コア電圧に対して 2 種類の電源供給をサポートしています。

- スイッチングレギュレータ (DCDC)
- 外部電源デバイスからの外部電源（外部 VDD）

表 51.1 に内部電圧レギュレータの仕様を示します。

OFS 設定では、DCDC または外部 VDD が選択されます。

- OFS2.DCDCEN が 1 のとき、DCDC を選択（DCDC モード）
- OFS2.DCDCEN が 0 のとき、外部 VDD を選択（外部 VDD モード）

表 51.1 電源の選択

OFS 設定 (OFS2.DCDCEN)	電源モード
1	DCDC モード
0	外部 VDD モード

51.2 動作説明

51.2.1 DCDC モード

表 51.2 に DCDC モードの端子設定を、図 51.1 に DCDC モードの設定を示します。

DCDC モードでは、VDD は VLO 出力および外部インダクタ／コンデンサを介して VCL から供給されます。

表 51.2 DCDC モード端子設定

端子	設定内容
全 VCC 端子と全 VCC2 端子	• 各端子をシステムの電源に接続してください。 • 各端子を 0.1 µF の積層セラミックコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。
VCC_DCDC 端子	• 端子をシステムの電源に接続してください。 • 端子を並列の 22 µF と 0.1 µF の積層セラミックコンデンサを介して VSS_DCDC に接続してください。コンデンサは端子近くに配置してください。
VCL 端子	• 各端子を 0.22 µF の積層セラミックコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。 • 各端子を外部インダクタおよびコンデンサに接続してください。インダクタおよびコンデンサは端子近くに配置してください（図 51.1 を参照）。
全 VLO 端子	各端子を外部インダクタおよびコンデンサに接続してください。2.2 µH のインダクタおよび 47 µF のコンデンサは端子近くに配置してください。このコンデンサは VSS_DCDC にグランド接続する必要があります。

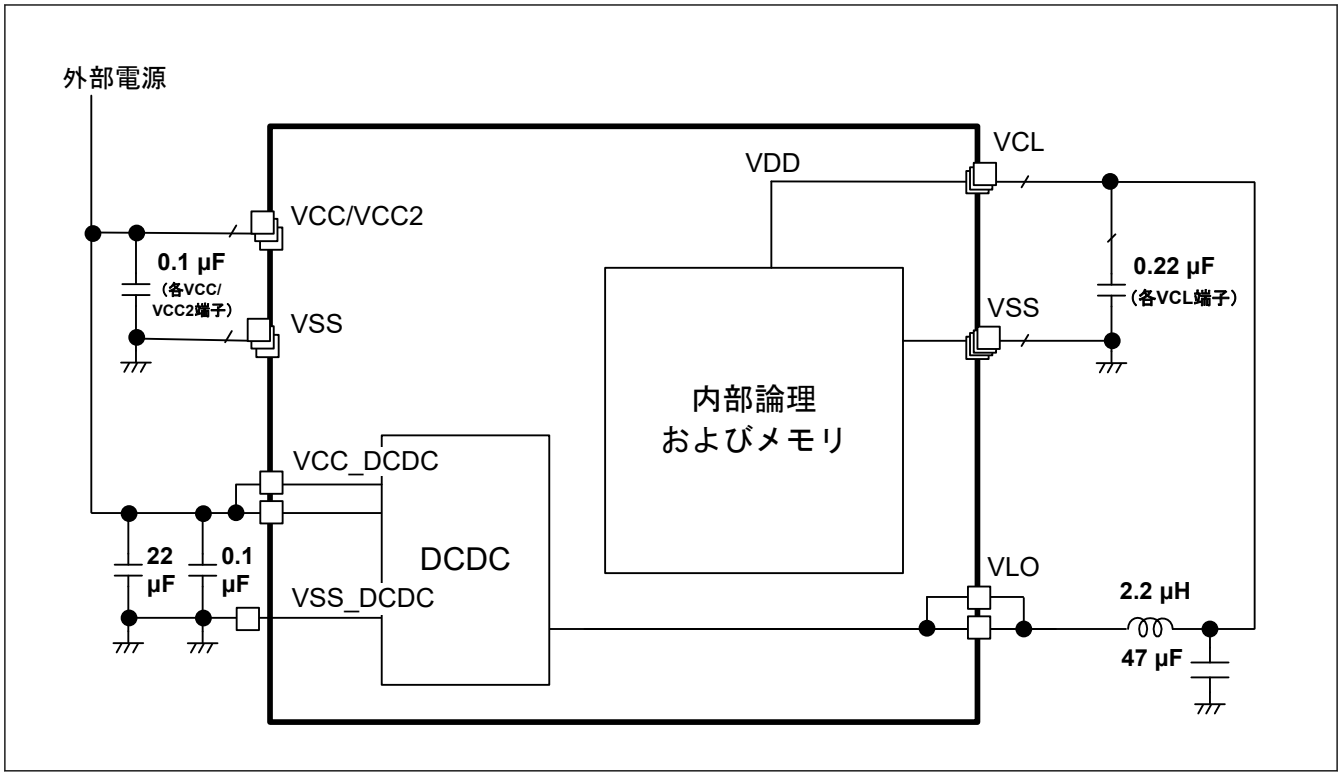


図 51.1 DCDC モード設定

51.2.2 外部 VDD モード

表 51.3 に外部 VDD モードの端子設定を、図 51.2 に外部 VDD モードの設定を示します。

VDD は VCL 端子から供給されます。

注. Low-speed モード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード 1, 2, 3、バッテリバックアップ機能は、本モードではサポートされていません。

表 51.3 外部 VDD モードの設定内容

端子	設定内容
全 VCC 端子と全 VCC2 端子	• VCC に対して各端子をシステムの電源デバイスに接続してください。 • 各端子を 0.1 µF の積層セラミックコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。
VCC_DCDC 端子	• 端子を 0.1 µF の積層セラミックコンデンサを介して VSS_DCDC に接続してください。コンデンサは端子近くに配置してください。
VCL 端子	• VDD に対して各端子をシステムの電源デバイスに接続してください。 • 各端子を 0.22 µF の積層セラミックコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。
全 VLO 端子	端子を開放してください。

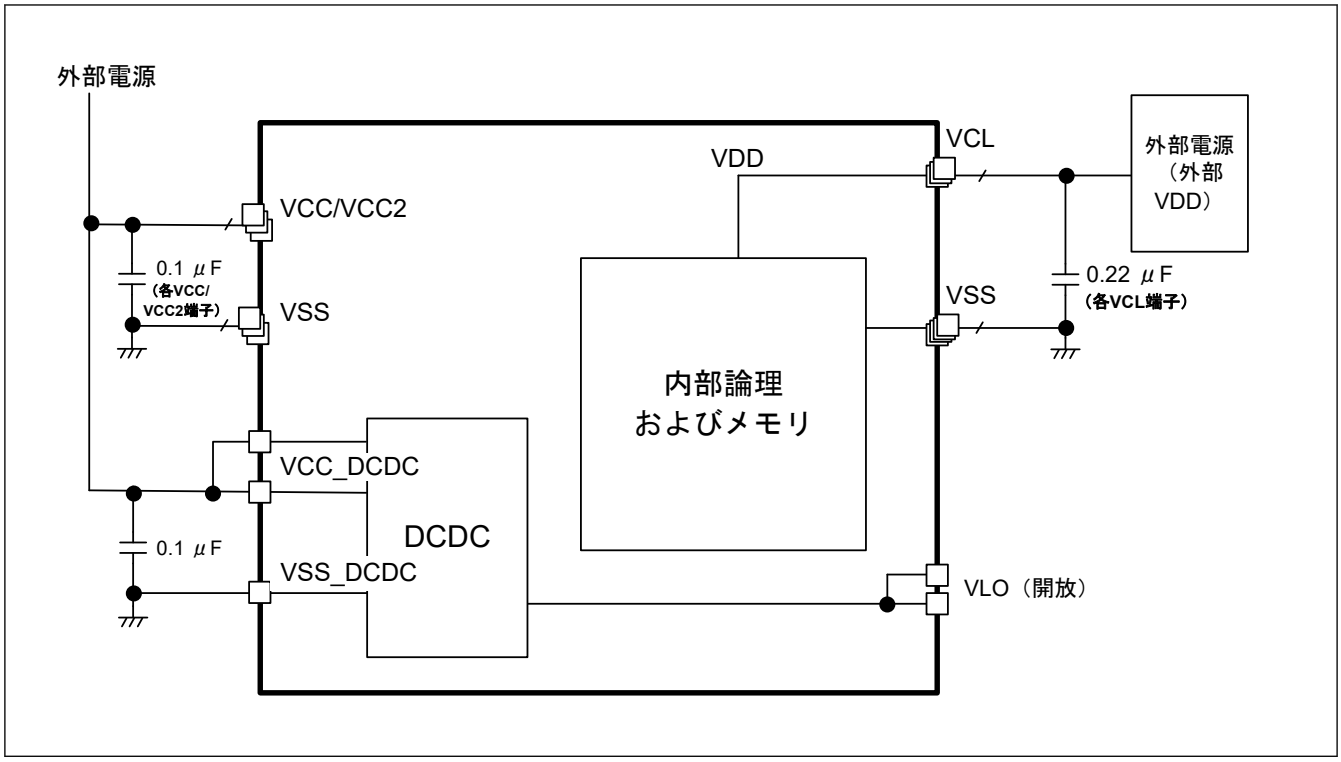


図 51.2　外部 VDD モードの設定

デバイスを正常に起動させるためには、次の手順のいずれかを使用してください。

- VCC 電圧が VCC 電圧の最小値まで上昇後に、VCL 電圧を 500 µs 間上昇させてください。
- RES 端子が Low の状態で VCC 電圧を上昇させてください。VCL 電圧の上昇時から 200 µs 経過後に RES 端子を解放してください。

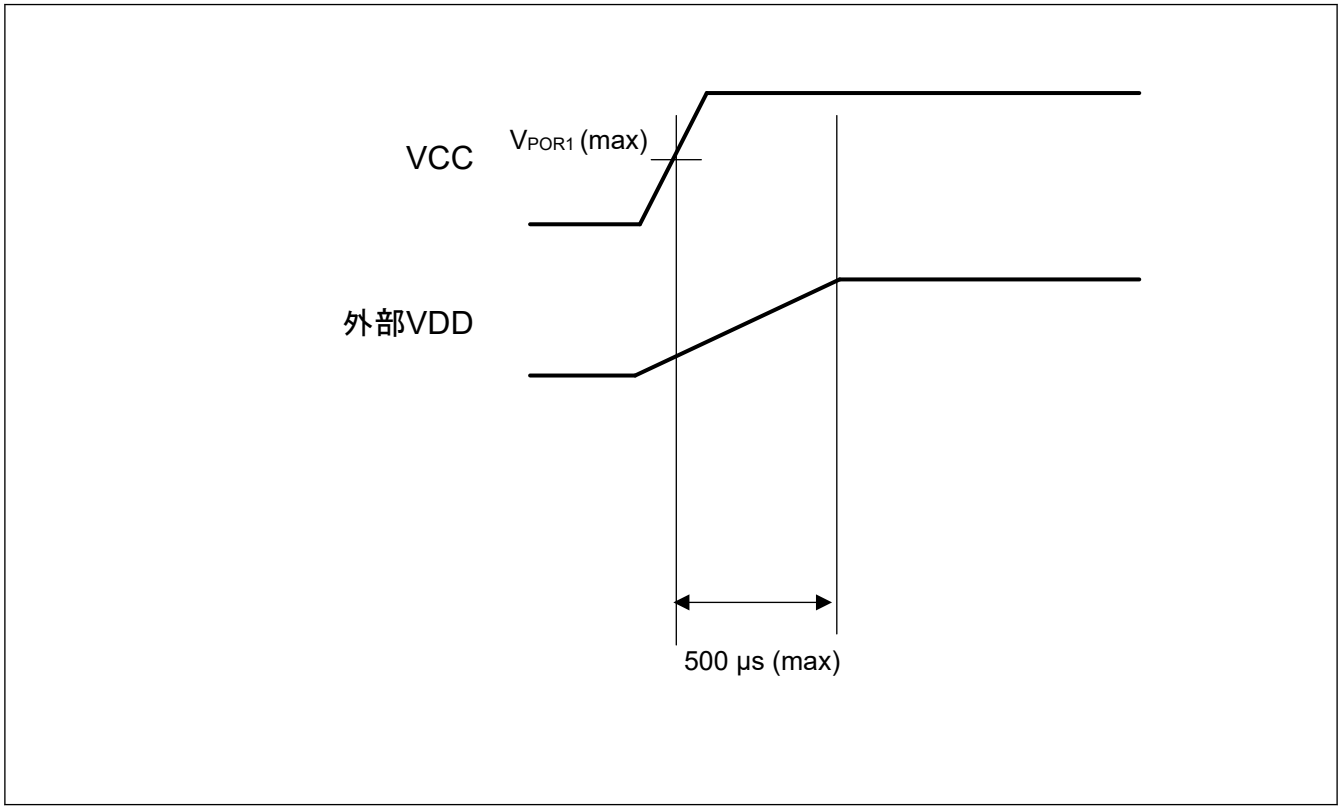
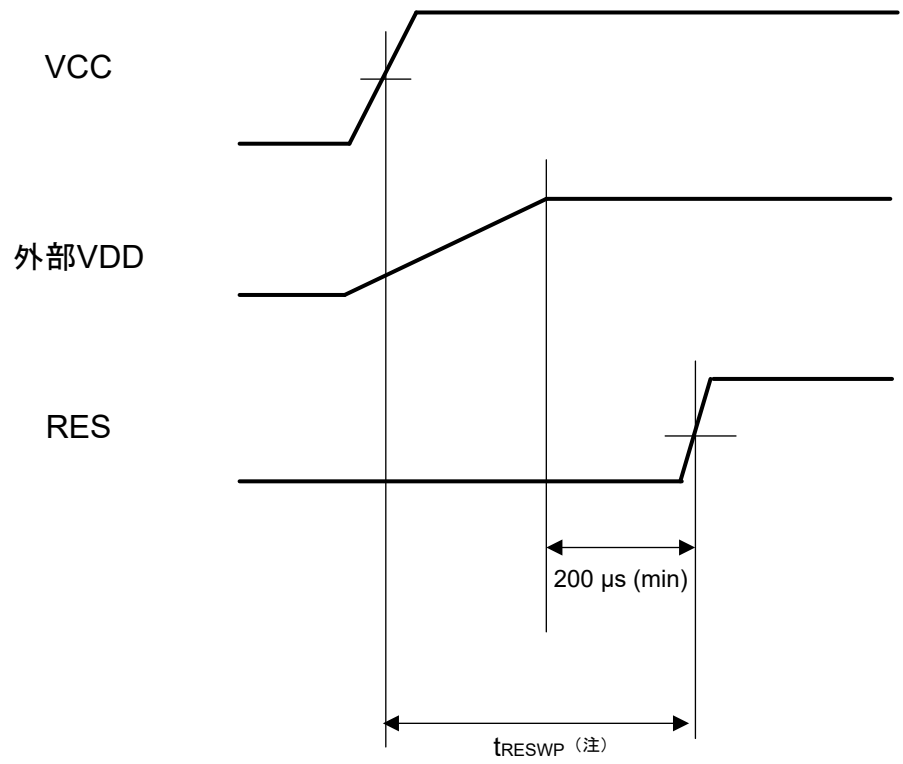


図 51.3　外部 VDD モードの電源起動シーケンス（RES 端子を使用しない場合）



注. t_{RESWP} に対するリセットタイミング特性を参照してください。

図 51.4 外部 VDD モードの電源起動シーケンス（RES 端子を使用する場合）

51.3 使用上の注意事項

DCDC モードでは、電力損失を最小限にし、効率を最大化するため、直流抵抗が 100 mΩ 以下の 2.2 µH のインダクタを推奨します。VCC と VCC_DCDC は短絡してください。

外部 VDD モードにおいて、VDD 電圧はパワーオンやパワーオフのシーケンスを含めて VCC 電圧よりも常に低くしてください。詳細については、電気的特性の章を参照してください。

52. 電気的特性

他に指定がなければ、最小値と最大値は設計シミュレーション、特性結果、または製品テストのいずれかにより保証されます。

サポートする周辺機能と端子は、製品型名によって異なります。

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

- VCC = VCC_DCDC = VCC_USB = VBATT = 1.68～3.6 V
- VCC2 = 1.65～3.6 V
- AVCC0 = 1.65～3.6 V
- VREFH0 = 2.7 V～AVCC0
- VREFH = 1.65 V～AVCC0
- VSS = VSS_DCDC = AVSS0 = VREFL0/VREFL = VSS_USB = 0 V
- VCC 電圧が 2.7 V 未満のとき、LVOCR.LVO0E = 1。それ以外のとき、LVOCR.LVO0E = 0。
- VCC2 電圧が 2.7 V 未満のとき、LVOCR.LVO1E = 1。それ以外のとき、LVOCR.LVO1E = 0。
- $T_j = T_{opj}$

特に記載のない限り、標準値は室温 25°C、VCC = VCC_DCDC = VCC_USB = VBATT = AVCC0 = VREFH0 = VREFH = 3.3 V で測定しています。

図 52.1 にタイミング条件を示します。

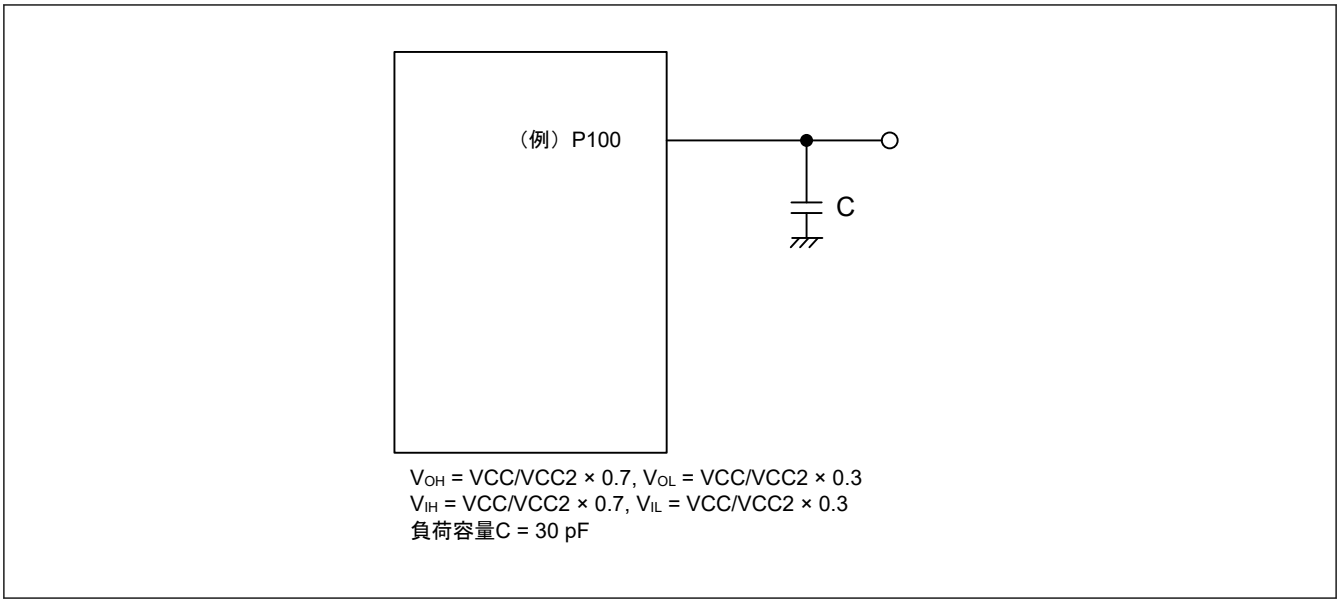


図 52.1 入出力タイミング計測条件

各周辺モジュールのタイミング仕様の計測条件は、最適な周辺動作に推奨されるものです。ただし、ユーザー条件に合うように、各端子の駆動能力を調整してください。

52.1 絶対最大定格

表 52.1 絶対最大定格 (1/2)

項目	シンボル	値	単位
電源電圧	VCC, VCC2, VCC_DCDC, VCC_USB(注2)	-0.3～+4.0	V
外部電源電圧	VCL	-0.3～+1.6	V
VBATT 電源電圧	VBATT	-0.3～+4.0	V

表 52.1 絶対最大定格 (2/2)

項目	シンボル	値	単位
入力電圧（5 V トレラントポートを除く(注1)）	V_{in}	-0.3～VCC + 0.3 または-0.3～VCC2 + 0.3	V
入力電圧（5 V トレラントポート(注1)）	V_{in}	-0.3～+ VCC + 4.0（最大 5.8）	V
リファレンス電源電圧	VREFH/VREFH0	-0.3～AVCC0 + 0.3	V
アナログ電源電圧	AVCC0	-0.3～+4.0	V
アナログ入力電圧	V_{AN}	-0.3～AVCC0 + 0.3	V
動作ジャンクション温度(注3)	T_{opj}	-40～+105	℃
保存温度	T_{stg}	-55～+125	℃

注 1. ポート P205、P206、P402～P404、P406～P415、P511、P512、P709～P715、PB01 は、5 V トレラント対応ポートです。
注 2. VCC_DCDC および VCC_USB を VCC に接続してください。
注 3. 「52.2.1. Tj/Ta の定義」を参照してください。

【使用上の注意】絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。

表 52.2 推奨動作条件

項目	シンボル		Min	Typ	Max	単位
電源電圧	VCC, VCC_DCDC	下記以外	1.68	—	3.60	V
		ETHERC/IIC ファストモード+使用時	2.70	—	3.60	V
		USB 使用時	3.00	—	3.60	V
	VCC2		1.65	—	3.60	V
	VCL	外部 VDD 使用時(注2)	1.20	—	1.25	V
		DCDC 使用時（High-speed モード）	—	1.21	—	V
		DCDC 使用時（Low-speed モードまたはソフトウェアスタンバイモード）	—	1.18	—	V
	VSS, VSS_DCDC		—	0	—	V
USB 電源電圧	VCC_USB		—	VCC	—	V
	VSS_USB		—	0	—	V
VBATT 電源電圧	VBATT		1.62	—	3.60	V
アナログ電源電圧	AVCC0(注1)	ADC 未使用時	1.65	—	3.60	V
		ADC 使用時	2.70	—	3.60	V
	AVSS0		—	0	—	V

注 1. A/D コンバータ、D/A コンバータ、および高速アナログコンパレータを使用していない場合、AVCC0 端子、VREFH/VREFH0 端子、AVSS0 端子、および VREFL/VREFL0 端子を開放したままにしないでください。AVCC0 端子および VREFH/VREFH0 端子を VCC に、AVSS0 端子および VREFL/VREFL0 端子を VSS にそれぞれ接続してください。
注 2. VCL 電圧が VCC 電圧を超えることのないようにしてください。

52.2 DC 特性

52.2.1 Tj/Ta の定義

表 52.3 DC 特性

項目	シンボル	Typ	Max	単位	測定条件
許容動作ジャンクション温度	T_j	—	105	℃	High-speed モード Low-speed モード

注. $T_j = T_a + \theta_{ja} \times$ 総消費電力 (W) となるようにしてください。このとき、総消費電力 = $(VCC - V_{OH}) \times \Sigma I_{OH} + V_{OL} \times \Sigma I_{OL} + (I_{CC}max + I_{CC\_DCDC}max) \times VCC$ です。

注. 最低周囲温度 (Ta) は -40℃です。

52.2.2 I/O V_{IH}, V_{IL}

表 52.4 シュミットトリガ入力端子以外の I/O V_{IH}、V_{IL}

項目		VCC/VCC2/ AVCC0	シンボル	Min	Typ	Max	単位
周辺機能端子	EXTAL（外部クロック入力）、WAIT、SPI(注1)（RSPCK を除く）	1.68 V 以上	V_{IH}	VCC × 0.8	—	—	V
			V_{IL}	—	—	VCC × 0.2	
	SPI(注2)（RSPCKB_A を除く）	1.65 V 以上	V_{IH}	VCC2 × 0.8	—	—	
			V_{IL}	—	—	VCC2 × 0.2	
	OSPI（OM_RSTO1 および OM_ECSINT1 を除く）	2.70 V 以上	V_{IH}	VCC2 × 0.8	—	—	
			V_{IL}	—	—	VCC2 × 0.2	
		1.65 V 以上	V_{IH}	VCC2 × 0.7	—	VCC2 + 0.3	
			V_{IL}	VSS - 0.3	—	VCC2 × 0.3	
	TMS, TDI, TCK, SWDIO, SWCLK	1.68 V 以上	V_{IH}	VCC × 0.7	—	—	
			V_{IL}	—	—	VCC × 0.3	
	ETHERC	2.70 V 以上	V_{IH}	2.3	—	—	
			V_{IL}	—	—	VCC × 0.2	
	IIC (SMBus)	2.70 V 以上	V_{IH}	2.1	—	VCC + 3.6（最大 5.8）	
			V_{IL}	—	—	0.8	
	RTCIC0, RTCIC1, RTCIC2, EXCIN（VCC 電源選択時）	1.68 V 以上	V_{IH}	0.9	—	3.9	
			V_{IL}	—	—	0.3	
	RTCIC0, RTCIC1, RTCIC2, EXCIN（VBATT 電源選択時）		V_{IH}	0.9	—	3.9	
			V_{IL}	—	—	0.3	

注 1. SPI0_A、SPI0_B、SPI0_C、および SPI1_B
注 2. SPI1_A

表 52.5　シュミットトリガ入力端子の I/O V_{IH}、V_{IL}

項目		VCC/VCC2/AVCC0	シンボル	Min	Typ	Max	単位
周辺機能端子	IIC（SMBus を除く）	1.68 V 以上	V_{IH}	VCC × 0.7	—	VCC + 3.6（最大 5.8）	V
			V_{IL}	—	—	VCC × 0.3	
			ΔV_T	VCC × 0.05	—	—	
	5 V トレラントポート(注1)(注5)	1.68 V 以上	V_{IH}	VCC × 0.8	—	VCC + 3.6（最大 5.8）	
			V_{IL}	—	—	VCC × 0.2	
			ΔV_T	VCC × 0.05	—	—	
	その他の VCC 入力端子(注2)	1.68 V 以上	V_{IH}	VCC × 0.8	—	—	
			V_{IL}	—	—	VCC × 0.2	
			ΔV_T	VCC × 0.05	—	—	
	その他の VCC2 入力端子(注2)	1.65 V 以上	V_{IH}	VCC2 × 0.8	—	—	
			V_{IL}	—	—	VCC2 × 0.2	
			ΔV_T	VCC2 × 0.05	—	—	
	その他の AVCC0 入力端子(注2)	1.65 V 以上	V_{IH}	AVCC0 × 0.8	—	—	
			V_{IL}	—	—	AVCC0 × 0.2	
			ΔV_T	AVCC0 × 0.05	—	—	
ポート	5 V トレラントポート(注3)(注5)	1.68 V 以上	V_{IH}	VCC × 0.8	—	VCC + 3.6（最大 5.8）	V
			V_{IL}	—	—	VCC × 0.2	
	その他の VCC 入力端子(注4)	1.68 V 以上	V_{IH}	VCC × 0.8	—	—	
			V_{IL}	—	—	VCC × 0.2	
	その他の VCC2 入力端子(注4)	1.65 V 以上	V_{IH}	VCC2 × 0.8	—	—	
			V_{IL}	—	—	VCC2 × 0.2	
	その他の AVCC0 入力端子(注4)	1.65 V 以上	V_{IH}	AVCC0 × 0.8	—	—	
			V_{IL}	—	—	AVCC0 × 0.2	

注 1.　P205、P206、P402～P404、P406～P415、P511、P512、P709～P713（合計 22 端子）に関連する RES および周辺機能の端子
注 2.　表で説明した周辺機能端子を除くすべての入力端子。各ポートの電源電圧ごとに項目を分けています。ポートの電源の入出力に関する章を参照してください。
注 3.　P205、P206、P402～P404、P406～P415、P511、P512、P709～P713（合計 22 端子）
注 4.　表で説明したポートを除くすべての入力端子。各ポートの電源電圧ごとに項目を分けています。ポートの電源の入出力に関する章を参照してください。
注 5.　VCC が 1.68 V 未満の場合、5 V トレラントポートの入力電圧は、3.6 V 未満としてください。このようにしないと、絶縁破壊が発生する可能性があります。5 V トレラントポートは耐圧違反を防止するように電気的に制御されるためです。

52.2.3 I/O I_{OH}, I_{OL}

表 52.6 I/O I_{OH}, I_{OL} (1/2)

項目			VCC/ VCC2/ AVCC0	シンボル	Min	Typ	Max	単位
許容出力電流（端子ごとの平均値）	ポート P000～P010、P014、P015、P201	—	—	I_{OH}	—	—	-2.0	mA
				I_{OL}	—	—	2.0	mA
	ポート P205、P206、P402～P404、P406～P415、P511、P512、P709～P713（合計 22 端子）	低駆動(注1)	—	I_{OH}	—	—	-2.0	mA
				I_{OL}	—	—	2.0	mA
		中駆動(注2)	—	I_{OH}	—	—	-4.0	mA
				I_{OL}	—	—	4.0	mA
		高駆動(注3)	—	I_{OH}	—	—	-20	mA
				I_{OL}	—	—	20.0	mA
	ポート P100～P103、P304～P308、P800～P804、P808、P809（合計 16 端子）	低駆動(注1)	—	I_{OH}	—	—	-2.0	mA
				I_{OL}	—	—	2.0	mA
		中駆動(注2)	—	I_{OH}	—	—	-4.0	mA
				I_{OL}	—	—	4.0	mA
		高駆動(注3)	—	I_{OH}	—	—	-16	mA
				I_{OL}	—	—	16.0	mA
		高速高駆動(注4)	—	I_{OH}	—	—	-20	mA
				I_{OL}	—	—	20.0	mA
	ポート PA09	低駆動(注1)	—	I_{OH}	—	—	-2.0	mA
				I_{OL}	—	—	2.0	mA
		中駆動(注2)	—	I_{OH}	—	—	-4.0	mA
				I_{OL}	—	—	4.0	mA
		高駆動(注3)	—	I_{OH}	—	—	-20	mA
				I_{OL}	—	—	20.0	mA
		高速高駆動(注4)	—	I_{OH}	—	—	-20	mA
				I_{OL}	—	—	20.0	mA
	その他の出力端子(注5)	低駆動(注1)	—	I_{OH}	—	—	-2.0	mA
				I_{OL}	—	—	2.0	mA
		中駆動(注2)	—	I_{OH}	—	—	-4.0	mA
				I_{OL}	—	—	4.0	mA
		高駆動(注3)	—	I_{OH}	—	—	-16	mA
				I_{OL}	—	—	16.0	mA

表 52.6 I/O I_{OH}, I_{OL} (2/2)

項目			VCC/ VCC2/ AVCC0	シンボル	Min	Typ	Max	単位
許容出力電流（端子ごとの最大値）	ポート P000～P010、P014、P015、P201	—	—	I_{OH}	—	—	-4.0	mA
				I_{OL}	—	—	4.0	mA
	ポート P205、P206、P402～P404、P406～P415、P511、P512、P709～P713（合計 22 端子）	低駆動(注1)	—	I_{OH}	—	—	-4.0	mA
				I_{OL}	—	—	4.0	mA
		中駆動(注2)	—	I_{OH}	—	—	-8.0	mA
				I_{OL}	—	—	8.0	mA
		高駆動(注3)	—	I_{OH}	—	—	-40	mA
				I_{OL}	—	—	40.0	mA
	ポート P100～P103、P304～P308、P800～P804、P808、P809（合計 16 端子）	低駆動(注1)	—	I_{OH}	—	—	-4.0	mA
				I_{OL}	—	—	4.0	mA
		中駆動(注2)	—	I_{OH}	—	—	-8.0	mA
				I_{OL}	—	—	8.0	mA
		高駆動(注3)	—	I_{OH}	—	—	-32	mA
				I_{OL}	—	—	32.0	mA
		高速高駆動(注4)	—	I_{OH}	—	—	-40	mA
				I_{OL}	—	—	40.0	mA
	その他の出力端子(注5)	低駆動(注1)	—	I_{OH}	—	—	-4.0	mA
				I_{OL}	—	—	4.0	mA
		中駆動(注2)	—	I_{OH}	—	—	-8.0	mA
				I_{OL}	—	—	8.0	mA
		高駆動(注3)	—	I_{OH}	—	—	-32	mA
				I_{OL}	—	—	32.0	mA
許容出力電流（全端子合計の最大値）	全出力端子の最大値	VCC I/O	1.68 V 以上	ΣI_{OH} (max)	—	—	-80	mA
		VCC2 I/O	1.65 V 以上		—	—	-80	
		AVCC0 I/O	1.65 V 以上		—	—	-33	
		VCC および VCC2 I/O	1.65 V 以上	ΣI_{OL} (max)	—	—	80	mA
		AVCC0 I/O	1.65 V 以上		—	—	33	

注 1. PmnPFS レジスタのポート駆動能力ビットで低駆動が選択されている場合の値です。選択された駆動能力は、P400 と P401 を除き、ディープソフトウェアスタンバイモードで保持されます。
注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。選択された駆動能力は、P400 と P401 を除き、ディープソフトウェアスタンバイモードで保持されます。
注 3. PmnPFS レジスタのポート駆動能力ビットで高駆動が選択されている場合の値です。選択された駆動能力は、P400 と P401 を除き、ディープソフトウェアスタンバイモードで保持されます。
注 4. PmnPFS レジスタのポート駆動能力で高速高駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。
注 5. 入力ポートである P200 を除きます。

【使用上の注意】MCU の信頼性を確保するため、出力電流値はこの表の値を超えないようにしてください。平均出力電流は、100 µs の間に計測した電流の平均値を意味します。

52.2.4 I/O V_{OH}、V_{OL}、その他の特性

表 52.7 I/O V_{OH}、V_{OL}、その他の特性 (1/2)

項目		VCC/VCC2/AVCC0	シンボル	Min	Typ	Max	単位	測定条件
出力電圧	IIC	2.70 V 以上	V_{OL}	—	—	0.4	V	I_{OL} = 3.0 mA
			V_{OL}	—	—	0.6		I_{OL} = 6.0 mA
		1.68 V 以上	V_{OL}	—	—	VCC × 0.2		I_{OL} = 3.0 mA
			V_{OL}	—	—	0.6		I_{OL} = 6.0 mA
	IIC(注1)	2.70 V 以上	V_{OL}	—	—	0.4		I_{OL} = 15.0 mA (ICFER.FMPE = 1)
			V_{OL}	—	0.4	—		I_{OL} = 20.0 mA (ICFER.FMPE = 1)
	ETHERC	2.70 V 以上	V_{OH}	VCC - 0.5	—	—		I_{OH} = -1.0 mA
			V_{OL}	—	—	0.4		I_{OL} = 1.0 mA
	ポート P205、P206、P402～P404、P406～P415、P511、P512、P709～P713（合計 22 端子）(注2)	—	V_{OH}	VCC - 1.0	—	—		I_{OH} = -20 mA VCC = 3.3 V
		—	V_{OL}	—	—	1		I_{OL} = 20 mA VCC = 3.3 V
	その他の出力端子	1.68 V 以上	V_{OH}	VCC - 0.5	—	—		I_{OH} = -1.0 mA
			V_{OL}	—	—	0.5		I_{OL} = 1.0 mA
		1.65 V 以上	V_{OH}	VCC2 − 0.5	—	—		I_{OH} = -1.0 mA
			V_{OL}	—	—	0.5		I_{OL} = 1.0 mA
			V_{OH}	AVCC0 − 0.5	—	—		I_{OH} = -1.0 mA
			V_{OL}	—	—	0.5		I_{OL} = 1.0 mA
入力リーク電流	RES	1.68 V 以上	$\|I_{in}\|$	—	—	5.0	μA	V_{in} = 0 V V_{in} = 5.5 V
	ポート P200	1.68 V 以上		—	—	1.0		V_{in} = 0 V V_{in} = VCC
スリーステートリーク電流（オフ状態）	5 V トレラントポート	1.68 V 以上	$\|I_{TSI}\|$	—	—	5.0	μA	V_{in} = 0 V V_{in} = 5.5 V
	その他のポート（P200 を除く）	1.68 V 以上		—	—	1.0		V_{in} = 0 V V_{in} = VCC
		1.65 V 以上		—	—	1.0		V_{in} = 0 V V_{in} = VCC2, AVCC0
入力プルアップ MOS 電流	ポート P0～P9	2.70 V 以上	I_p	-300	—	-10	μA	VCC, VCC2, AVCC0 = 2.7～3.6 V V_{in} = 0 V
		1.68 V 以上		-300	—	-5	μA	VCC = 1.68～3.6 V V_{in} = 0 V
		1.65 V 以上		-300	—	-5	μA	VCC2, AVCC0 = 1.65～3.6 V V_{in} = 0 V

表 52.7 I/O V_{OH}、V_{OL}、その他の特性 (2/2)

項目		VCC/VCC2/ AVCC0	シンボル	Min	Typ	Max	単位	測定条件
入力容量	ポート P014、P015	—	C_{in}	—	—	16	pF	Vbias = 0 V Vamp = 20 mV f = 1 MHz Ta = 25℃
	ポート P814/ USB_DP、P815/ USB_DM	—		—	—	12		
	ポート P400、P401、P409、P410、P511、P512	—		—	—	10		
	その他の入力端子	—		—	—	8		

注 1. SCL0_A、SDA0_A、SCL1_A、SDA1_A（合計 4 端子）。
注 2. PmnPFS レジスタのポート駆動能力ビットで高駆動が選択されている場合の値です。
選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。

52.2.5 動作電流とスタンバイ電流

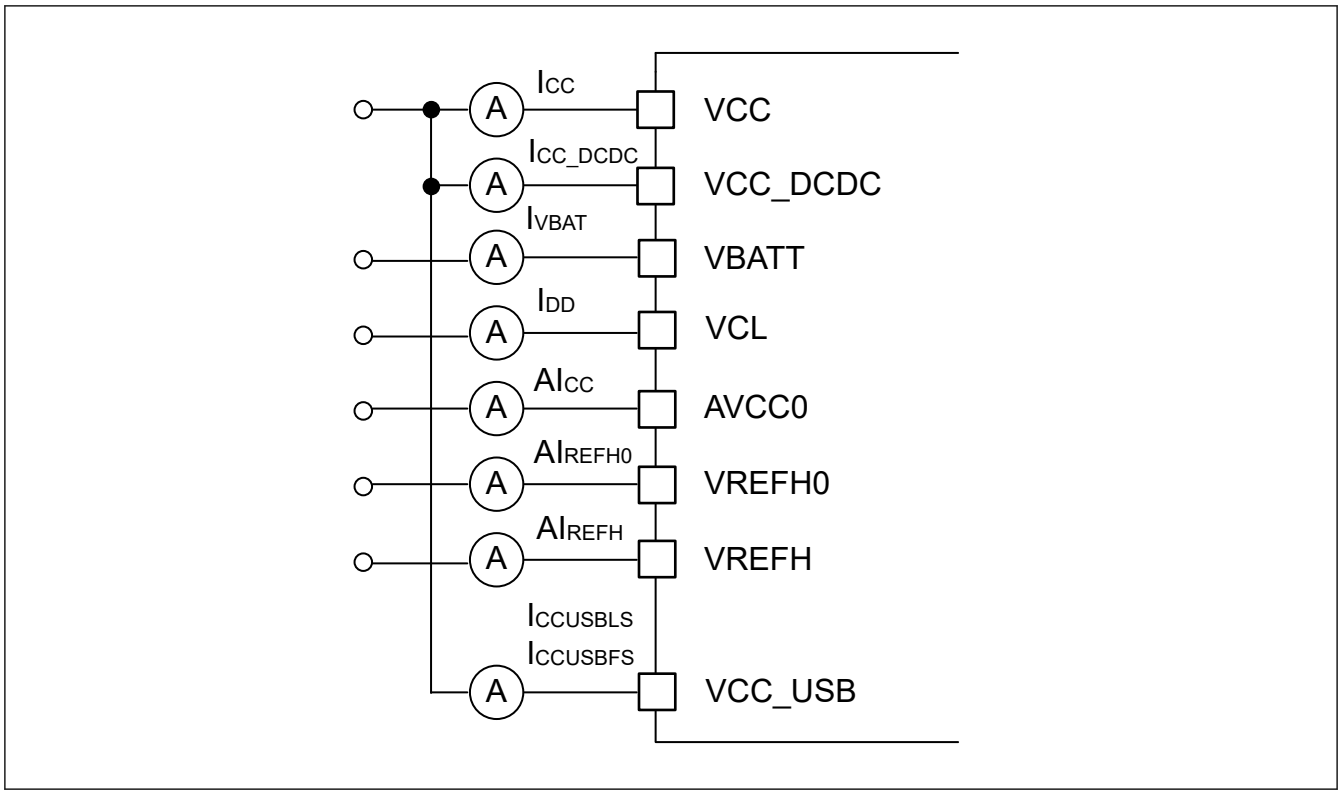


図 52.2 消費電流測定図

表 52.8 High-speed モード、極大条件（MVE および周辺機能動作）（DCDC モード）における電流

項目			シンボル	Typ	Max	単位	測定条件
消費電流(注1)(注2)	—		I_{CC}	2.8	7.05	mA	
	CPUCLK = 360 MHz	VCC_DCDC ≧ 2.5 V	I_{CC_DCDC}(注5)	122	243	mA	VCC_DCDC = 3.3 V CPUCLK = 360 MHz, ICLK = 120 MHz, PCLKA = 120 MHz, PCLKB = 60 MHz, PCLKC = 60 MHz, PCLKD = 120 MHz, PCLKE = 120 MHz, FCLK = 60 MHz
			I_{DD}(注3)	287	501		
		VCC_DCDC < 2.5 V	I_{CC_DCDC}(注5)	224	320		VCC_DCDC = 1.8 V
			I_{DD}	287	400(注4)		
	CPUCLK = 240 MHz	VCC_DCDC ≧ 2.5 V	I_{CC_DCDC}(注5)	95	210	mA	VCC_DCDC = 3.3 V CPUCLK = 240 MHz, ICLK = 240 MHz, PCLKA = 120 MHz, PCLKB = 60 MHz, PCLKC = 60 MHz, PCLKD = 120 MHz, PCLKE = 120 MHz, FCLK = 60 MHz
			I_{DD}(注3)	224	432		
		VCC_DCDC < 2.5 V	I_{CC_DCDC}(注5)	175	320		VCC_DCDC = 1.8 V
			I_{DD}	224	400(注4)		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. 動作中の周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。
注 3. I_{DD} は、下記の式にしたがって f（CPUCLK および ICLK）に依存します。
I_{DD} Max. = 0.68 × f CPUCLK + 0.41 × fICLK + 175（単位：mA、ただし fCPUCLK および fICLK については MHz）
注 4. VCC_DCDC < 2.5 V において、動作時の実消費電流はここに示す電流値を上回らないこと。
注 5. 標準 DCDC 効率が適用されます。

表 52.9 High-speed モード、極大条件（MVE および周辺機能動作）（外部 VDD モード）における電流

項目	CPUCLK 周波数	シンボル	Typ	Max	単位	測定条件
消費電流(注1)(注2)	—	I_{CC}	2.8	7.05	mA	
	CPUCLK = 360 MHz	I_{DD}(注3)	287	501	mA	CPUCLK = 360 MHz, ICLK = 120 MHz, PCLKA = 120 MHz, PCLKB = 60 MHz, PCLKC = 60 MHz, PCLKD = 120 MHz, PCLKE = 120 MHz, FCLK = 60 MHz
	CPUCLK = 240 MHz	I_{DD}(注3)	224	432	mA	CPUCLK = 240 MHz, ICLK = 240 MHz, PCLKA = 120 MHz, PCLKB = 60 MHz, PCLKC = 60 MHz, PCLKD = 120 MHz, PCLKE = 120 MHz, FCLK = 60 MHz

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. 動作中の周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。
注 3. I_{DD} は、下記の式にしたがって f（CPUCLK および ICLK）に依存します。
I_{DD} Max. = 0.68 × f CPUCLK + 0.41 × fICLK + 175（単位：mA、ただし fCPUCLK および fICLK については MHz）

表 52.10 High-speed モード、最大データ処理（MVE 動作）、周辺クロック ON（DCDC モード）における電流

項目		シンボル	Typ	Max	単位	測定条件
消費電流(注1)(注2)	CPUCLK = 360 MHz	I_{CC_DCDC}(注4)	119	228	mA	VCC_DCDC = 3.3 V(注5)
		I_{DD}(注3)	279	469		
	CPUCLK = 240 MHz	I_{CC_DCDC}(注4)	92	194		
		I_{DD}(注3)	215	399		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. 動作中の周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。
注 3. I_{DD} は、下記の式にしたがって f（CPUCLK および ICLK）に依存します。
I_{DD} Max. = 0.67 × f CPUCLK + 0.29 × fICLK + 175（単位：mA、ただし fCPUCLK および fICLK については MHz）
注 4. 標準 DCDC 効率が適用されます。
注 5. 極大条件下と同じ周波数条件が適用されます。

表 52.11 High-speed モード、最大データ処理（MVE 動作）、周辺クロック ON（外部 VDD モード）における電流

項目		シンボル	Typ	Max	単位	測定条件
消費電流(注1)(注2)	CPUCLK = 360 MHz	I_{DD}(注3)	279	469	mA	(注4)
	CPUCLK = 240 MHz	I_{DD}(注3)	215	399		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. 動作中の周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。
注 3. I_{DD} は、下記の式にしたがって f（CPUCLK および ICLK）に依存します。
I_{DD} Max. = 0.67 × f CPUCLK + 0.29 × fICLK + 175（単位：mA、ただし fCPUCLK および fICLK については MHz）
注 4. 極大条件下と同じ周波数条件が適用されます。

表 52.12 High-speed モード、最大データ処理（MVE 動作）、周辺クロック OFF（DCDC モード）における電流

項目		シンボル	Typ	Max	単位	測定条件
消費電流(注1)(注2)	CPUCLK = 360 MHz	I_{CC_DCDC}(注4)	111	216	mA	VCC_DCDC = 3.3 V (注5)
		I_{DD}(注3)	261	445		
	CPUCLK = 240 MHz	I_{CC_DCDC}(注4)	83	181		
		I_{DD}(注3)	194	373		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。
注 3. I_{DD} は、下記の式にしたがって f（CPUCLK および ICLK）に依存します。
I_{DD} Max. = 0.68 × f CPUCLK + 0.17 × fICLK + 175（単位：mA、ただし fCPUCLK および fICLK については MHz）
注 4. 標準 DCDC 効率が適用されます。
注 5. 極大条件下と同じ周波数条件が適用されます。

表 52.13 High-speed モード、最大データ処理（MVE 動作）、周辺クロック OFF（外部 VDD モード）における電流

項目		シンボル	Typ	Max	単位	測定条件
消費電流(注1)(注2)	CPUCLK = 360 MHz	I_{DD}(注3)	261	445	mA	(注4)
	CPUCLK = 240 MHz	I_{DD}(注3)	194	373		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。
注 3. I_{DD} は、下記の式にしたがって f（CPUCLK および ICLK）に依存します。
I_{DD} Max. = 0.68 × f CPUCLK + 0.17 × fICLK + 175（単位：mA、ただし fCPUCLK および fICLK については MHz）
注 4. 極大条件下と同じ周波数条件が適用されます。

表 52.14 High-speed モード、CPU スリープモード（DCDC モードおよび外部 VDD モード）における電流

項目		シンボル	Typ	Max	単位	測定条件
消費電流(注1)(注3)(注4)	CPUCLK = 240 MHz	I_{DD}(注2)	29	216	mA	—

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. I_{DD} は、下記の式にしたがって f（CPUCLK および ICLK）に依存します。
I_{DD} Typ. = 0.063 × f CPUCLK + 0.13 × fICLK + 17.6（単位：mA、ただし fCPUCLK および fICLK については MHz）
I_{DD} Max. = 0.063 × f CPUCLK + 0.13 × fICLK + 175（単位：mA、ただし fCPUCLK および fICLK については MHz）
注 3. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。
注 4. ICLK、FCLK、PCLKA、PCLKB、PCLKC、PCLKD、および PCLKE は、64 分周に設定されています。

表 52.15 High-speed モード、CPU ディープスリープモード（DCDC モードおよび外部 VDD モード）における電流

項目		シンボル	Typ	Max	単位	測定条件
消費電流(注1)(注3)(注4)	CPUCLK = 240 MHz	I_{DD}(注2)	12	85	mA	—

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. I_{DD} は、下記の式にしたがって f (ICLK) に依存します。
I_{DD} Typ. = 0.13 × fICLK + 5（単位：mA、ただし fCPUCLK および fICLK については MHz）
I_{DD} Max. = 0.13 × fICLK + 69（単位：mA、ただし fCPUCLK および fICLK については MHz）
注 3. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

注 4. ICLK、FCLK、PCLKA、PCLKB、PCLKC、PCLKD、および PCLKE は、64 分周に設定されています。

表 52.16 BGO 動作時の増加分（DCDC モードおよび外部 VDD モード）

項目		シンボル	Typ	Max	単位	測定条件
消費電流(注1)	データフラッシュ P/E	I_{CC}	6	—	mA	—
	コードフラッシュ P/E		8	—		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

表 52.17 Low-speed モード（DCDC モード）における電流

項目	シンボル	Typ	Max	単位	測定条件
消費電流(注1)(注2)(注3)	I_{DD}	14.5	—	mA	CPUCLK = ICLK = 1 MHz

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。
注 3. FCLK、PCLKA、PCLKB、PCLKC、PCLKD、および PCLKE は、64 分周 (15.6 kHz) に設定されています。

表 52.18　スタンバイ電流（DCDC モード）

項目				シンボル	Typ	Max	単位	測定条件
消費電流 (注1)		ソフトウェアスタンバイモード(注2)		I_{CC}	0.02	0.94	mA	—
		SRAM と TCM のデータは保持されます。		I_{CC_DCDC}	0.88	28.29		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 1 (n = 0～6) PDRAMSCR1.RKEEP0 = 1
		SRAM と TCM のデータは保持されません。		I_{CC_DCDC}	0.83	26.64		VCC_DCDC = 3.3 V PDRAMSCR0.RKEEPn = 0 (n = 0～6) PDRAMSCR1.RKEEP0 = 0
		ディープソフトウェアスタンバイモード 1		I_{CC}	5.21	148	μA	—
				I_{CC_DCDC}	0.57	5.50		—
		機能起動時に増加	スタンバイ SRAM のデータは保持されます。	I_{CC}	0.12	2.60		—
			PVD0、PVD1、PVD2、またはバッテリ電源スイッチ		表 52.20 を参照			—
			LOCO 使用時		3.10	—		—
			水晶振動子および RTC		表 52.21 を参照			—
			IWDT および ULPT（すべてのユニット）が動作中		0.07	—		—
		ディープソフトウェアスタンバイモード 2		I_{CC}	1.68	43.99		—
				I_{CC_DCDC}	0.57	5.50		—
		機能起動時に増加	PVD0、PVD1、PVD2、またはバッテリ電源スイッチ	I_{CC}	表 52.20 を参照してください。			—
			水晶振動子および RTC		表 52.21 を参照			—
		ディープソフトウェアスタンバイモード 3		I_{CC}	0.99	42.90		—
				I_{CC_DCDC}	0.57	5.50		—
		機能起動時に増加	水晶振動子および RTC		表 52.21 を参照			—
	VCC オフ時の RTC 動作（バッテリバックアップ機能により、RTC のみ動作）	水晶振動子を低消費電力モード 3 で使用時		I_{VBAT}	0.52	—		VBATT = 1.8 V, VCC = 0 V
					1.05	—		VBATT = 3.3 V, VCC = 0 V
		水晶振動子を低消費電力モード 2 で使用時			0.56	—		VBATT = 1.8 V, VCC = 0 V
					1.10	—		VBATT = 3.3 V, VCC = 0 V
		水晶振動子を低消費電力モード 1 で使用時			0.62	—		VBATT = 1.8 V, VCC = 0 V
					1.17	—		VBATT = 3.3 V, VCC = 0 V
		水晶振動子を標準モードで使用時			0.93	—		VBATT = 1.8 V, VCC = 0 V
					1.50	—		VBATT = 3.3 V, VCC = 0 V
		EXCIN 使用時			0.37	—		VBATT = 1.8 V, VCC = 0 V
					0.86	—		VBATT = 3.3 V, VCC = 0 V
		機能起動時に増加	RTCICn (n = 0～2) 入力または EXCIN 使用時の共通回路		0.04	—		VBATT = 1.8 V, VCC = 0 V
					0.04	—		VBATT = 3.3 V, VCC = 0 V
			RTCICn (n = 0～2) 入力をチャネルごとに使用中		0.02	—		VBATT = 1.8 V, VCC = 0 V
					0.02	—		VBATT = 3.3 V, VCC = 0 V

注 1.　消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2.　外部クロックの使用時には、EXTAL 端子をプルアップまたはプルダウンします。クロックがトグルされる場合、ソフトウェアスタンバイモードでの電流消費量は、標準条件において 48 MHz 時に 130 μA 増加します。

表 52.19 Coremark およびノーマルモード電流（DCDC および外部電源モード）

項目			シンボル	Typ	Max	単位	測定条件
消費電流(注1)(注2)	Coremark 動作	キャッシュはオフ、フラッシュから実行	I_{DD}	165	—	μA/MHz	CPUCLK = 360 MHz ICLK = 120 MHz PCLKA = 30 MHz PCLKB = 30 MHz PCLKC = 30 MHz PCLKD = 30 MHz PCLKE = 30 MHz FCLK = 30 MHz
	通常モード	すべての周辺機能が無効、キャッシュはオフ、While (1) コードはフラッシュから実行		137	—		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

表 52.20 ディープソフトウェアスタンバイモード 1 と 2 で PVD0、PVD1、PVD2、またはバッテリ電源スイッチ有効時の増加

項目		シンボル	Typ	Max	単位	測定条件
消費電流	ディープソフトウェアスタンバイモード 1 で PVDn (n = 0～2) またはバッテリ電源スイッチを有効化するときの共通回路	I_{CC}	4.51	—	μA	—
	ディープソフトウェアスタンバイモード 2 で PVDn (n = 0～2) またはバッテリ電源スイッチを有効化するときの共通回路		4.97	—		—
	OFS1(_SEC).PVDLPSEL = 1 で有効化された PVD0		2.16	—		—
	PVD1 有効		2.16	—		—
	PVD2 有効		2.16	—		—
	バッテリ電源スイッチが以下の条件で有効(注1) ● バッテリ電源スイッチは有効 (VBTBPCR1.BPWSWSTP = 0)、電圧監視 0 リセットは有効 (OFS1(_SEC).PVDAS = 0)、PVD0 の低消費電力機能は無効 (OFS1(_SEC).PVDLPSEL = 1) ● バッテリ電源スイッチは有効 (VBTBPCR1.BPWSWSTP = 0)、電圧監視 0 リセットは無効 (OFS1(_SEC).PVDAS = 1)		2.16	—		—

注 1. これ以外の条件で消費電力は増加しません。

表 52.21 ディープソフトウェアスタンバイモード 1/2/3 でサブクロック発振器および RTC が有効のときの増加

項目			シンボル	Typ	Max	単位	測定条件
消費電流	水晶振動子を使用時	低消費電力モード 3	I_{CC}	0.22	—	μA	—
		低消費電力モード 2		0.27	—		—
		低消費電力モード 1		0.34	—		—
		標準モード		0.67	—		—
	RTC が動作中			0.33	—		—

表 52.22 インラッシュカレント

項目				シンボル	Typ	Max	単位	測定条件
消費電流	ディープソフトウェアスタンバイモードからの復帰時のインラッシュカレント	VCC_DCDC のインラッシュカレント(注1)	DPSBYCR.DCSSMODE = 0	I_{RUSH}	—	630	mA	—
			DPSBYCR.DCSSMODE = 1		—	1020		—

注 1. 参考値

表 52.23　動作電流（アナログ）

項目				シンボル	Typ	Max	単位	測定条件
消費電流(注1)	発振器	メインクロック発振器		I_{CC}	0.48	—	mA	MOMCR.MODRV0[2:0] = 000b
					0.58	—	mA	MOMCR.MODRV0[2:0] = 011b
					0.90	—	mA	MOMCR.MODRV0[2:0] = 101b
	アナログ電源電流	12 ビット A/D 変換中		AI_{CC}	0.8	1.1	mA	—
		S/H アンプによる 12 ビット A/D 変換中			2.3	3.3	mA	—
		ACMPHS（1 ユニット）			100	150	µA	—
		温度センサ			0.1	0.2	mA	—
		D/A 変換中	AMP 出力なし		0.1	0.2	mA	—
			AMP 出力あり		0.8	1.6	mA	—
		A/D、D/A 変換待機時（全ユニット）			0.9	1.6	mA	—
		スタンバイモードの ADC12、DAC12（全ユニット）(注2)			2	8	µA	—
	基準電源電流 (VREFH0)	12 ビット A/D 変換中（ユニット 0）		AI_{REFH0}	70	120	µA	—
		12 ビット A/D 変換待機時（ユニット 0）			0.07	0.5	µA	—
		スタンバイモードの ADC12（ユニット 0）			0.07	0.5	µA	—
	リファレンス電源電流 (VREFH)	12 ビット A/D 変換中（ユニット 1）		AI_{REFH}	70	120	µA	—
		D/A 変換中	AMP 出力なし		0.1	0.4	mA	—
			AMP 出力あり		0.1	0.4	mA	—
		12 ビット A/D（ユニット 1）、D/A（全ユニット）変換待機時			0.07	0.8	µA	—
		スタンバイモードの ADC12（ユニット 1）			0.07	0.8	µA	—
	USB 動作電流	ロースピード	USBFS	$I_{CCUSBLS}$	3.5	6.5	µA	VCC_USB
		フルスピード	USBFS	$I_{CCUSBFS}$	4.00	10.00	mA	VCC_USB

注 1.　消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
注 2.　本 MCU がソフトウェアスタンバイモードの場合または MSTPCRD.MSTPD16（12 ビット A/D コンバータ 0 モジュールストップビット）および MSTPCRD.MSTPD15（12 ビット A/D コンバータ 1 モジュールストップビット）がモジュールストップ状態の場合

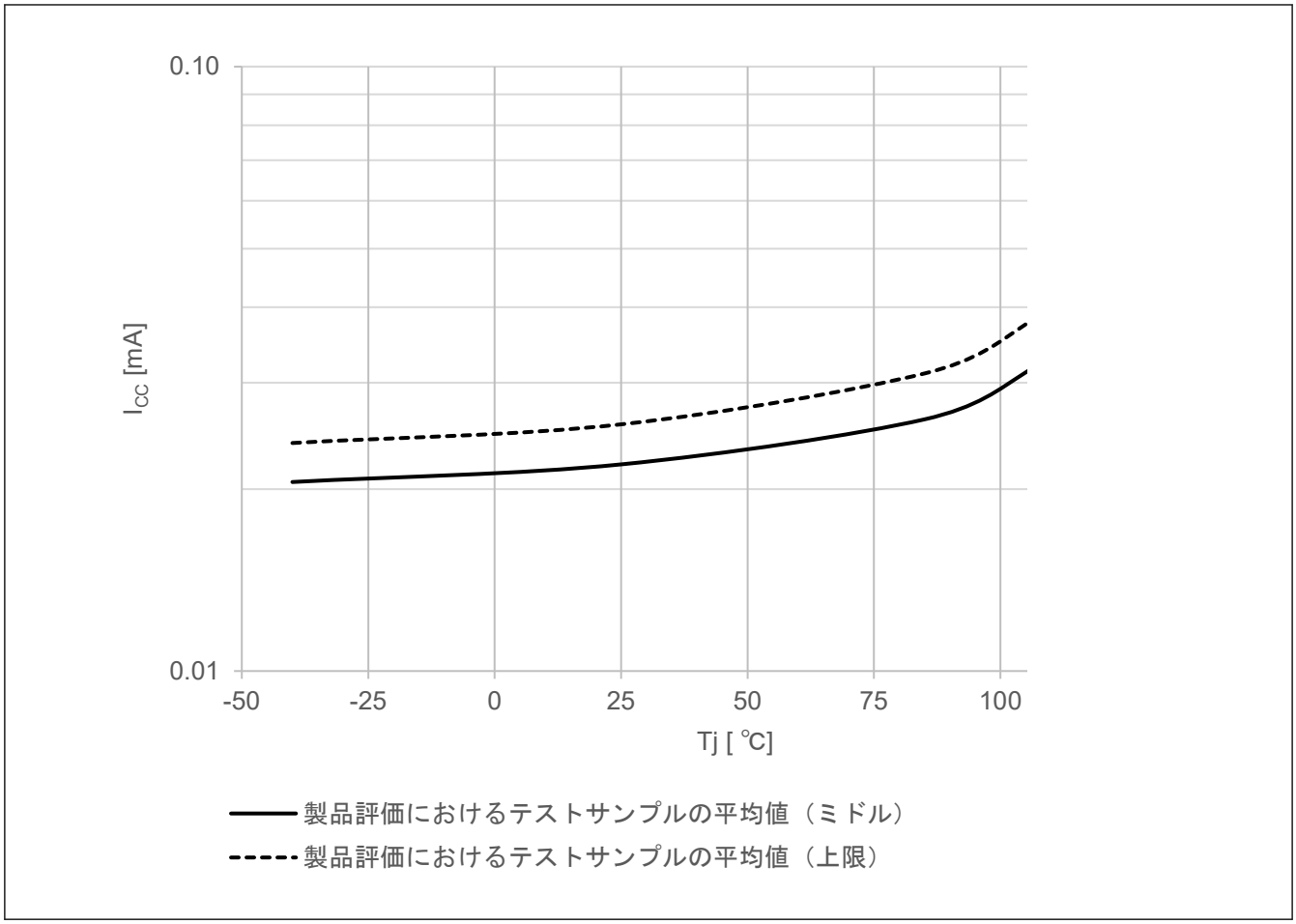


図 52.3　ソフトウェアスタンバイモードにおける温度依存性 (I_{CC})（参考データ）

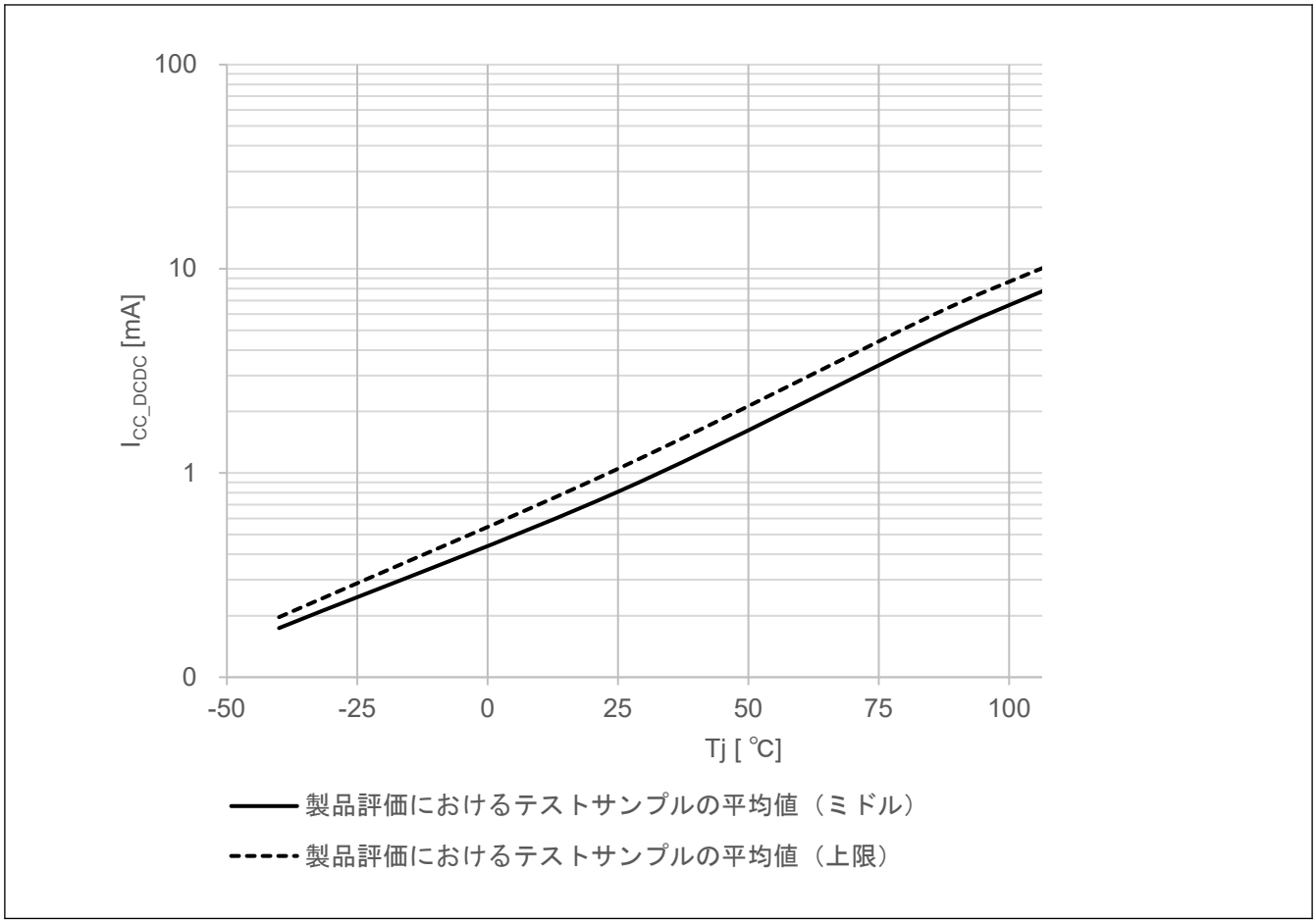


図 52.4　ソフトウェアスタンバイモードにおける温度依存性 (I_{CC_DCDC})（参考データ）

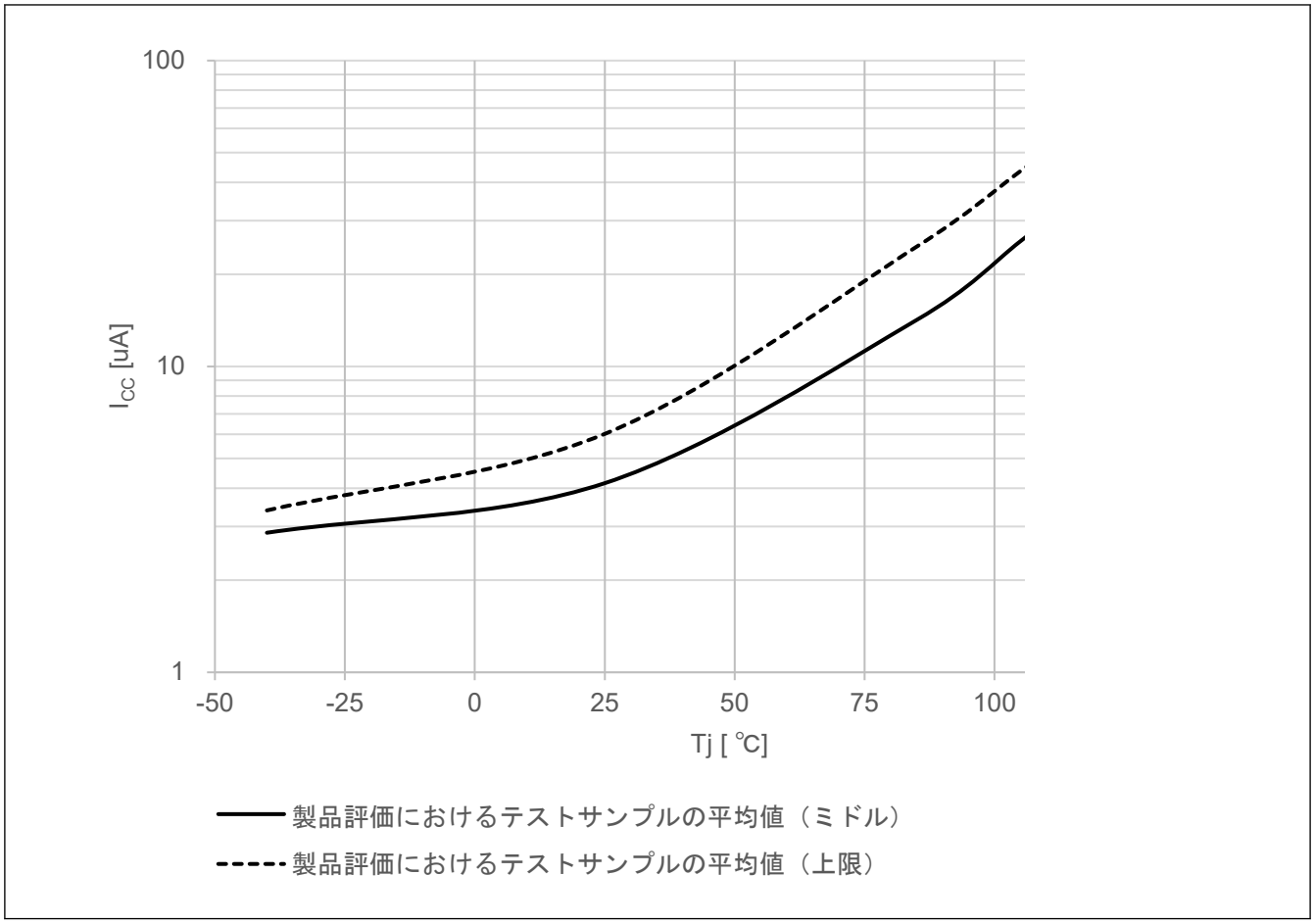


図 52.5　ディープソフトウェアスタンバイモード 1 における温度依存性（参考データ）

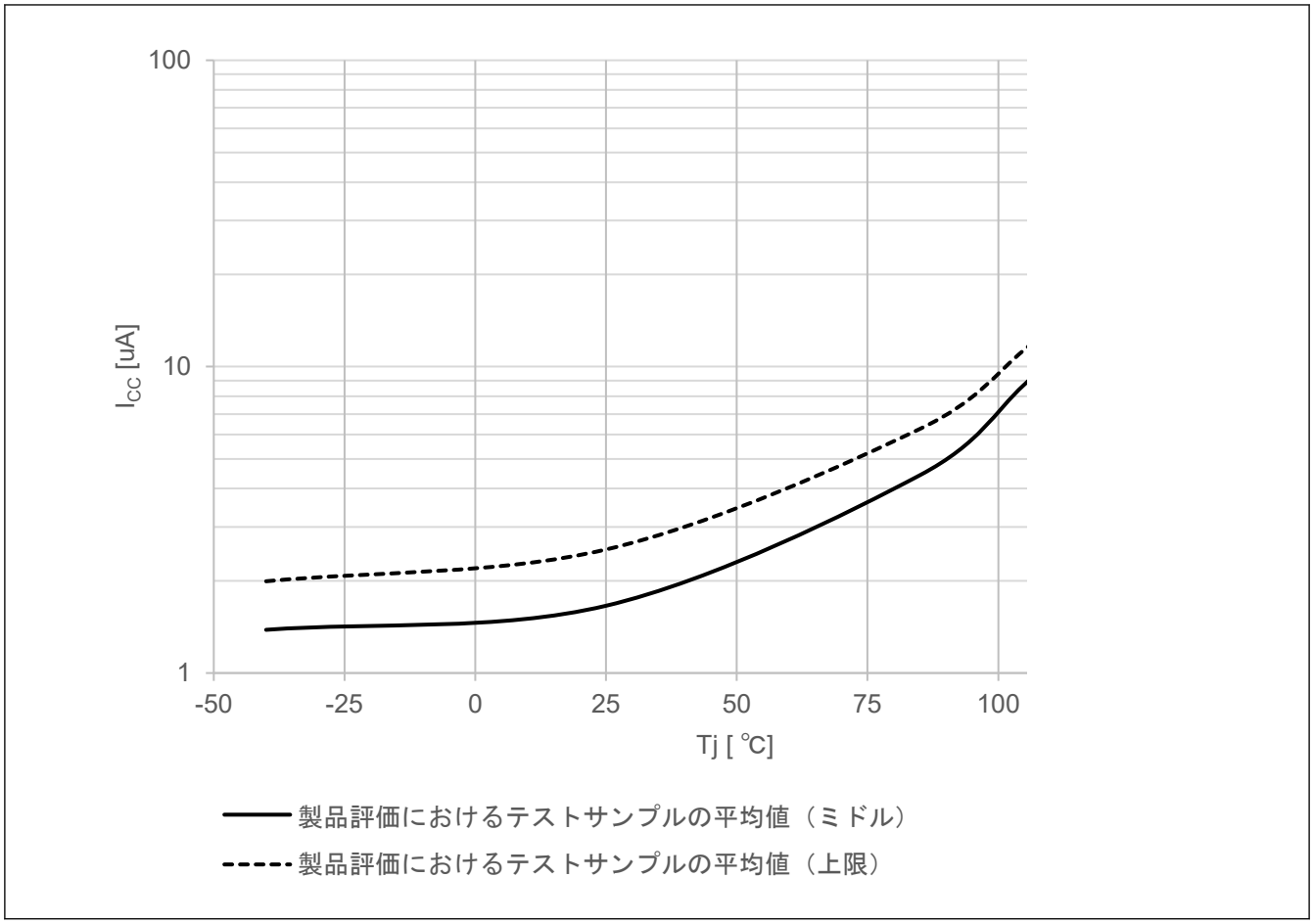


図 52.6　ディープソフトウェアスタンバイモード 2 における温度依存性（参考データ）

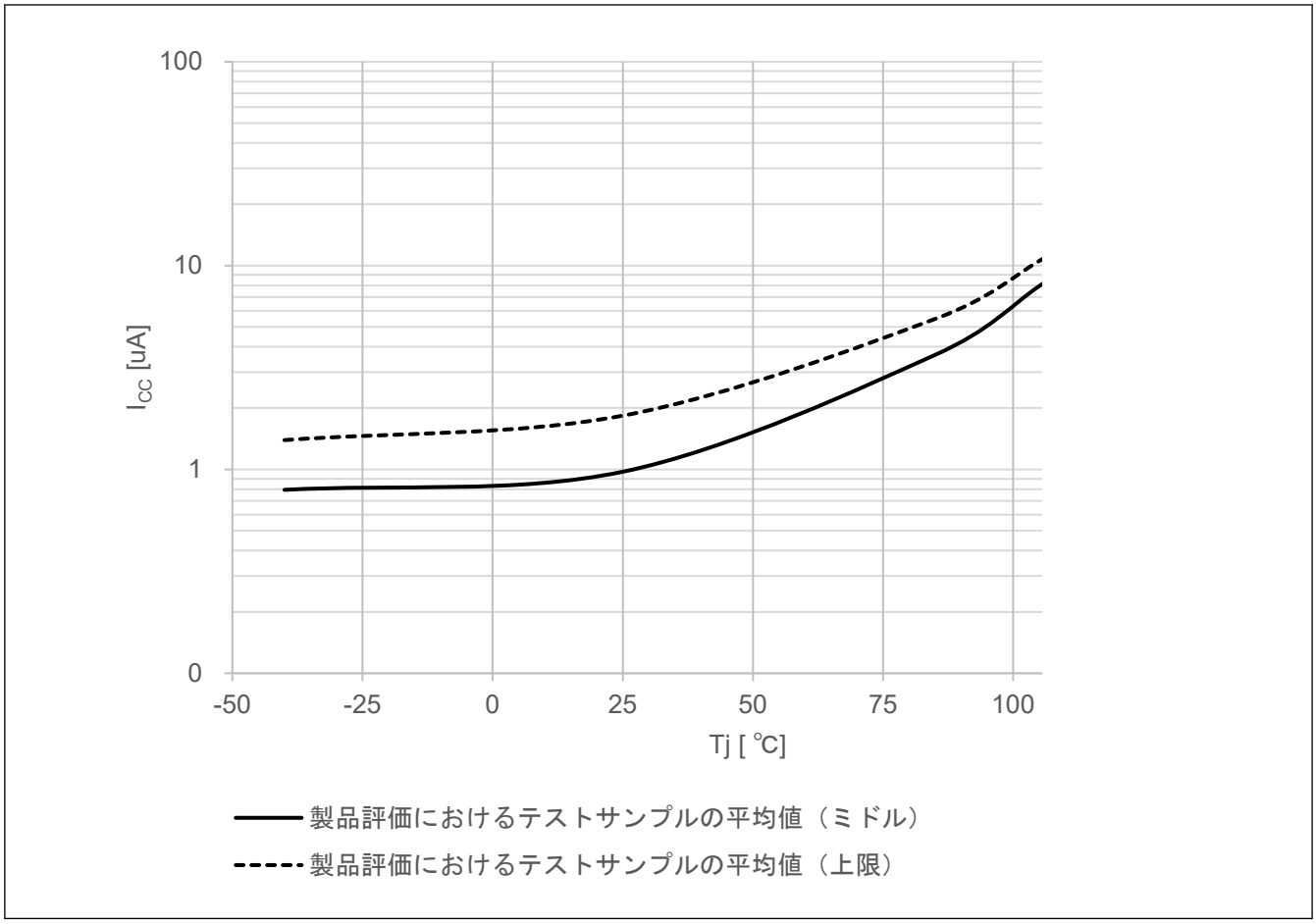


図 52.7　ディープソフトウェアスタンバイモード 3 における温度依存性（参考データ）

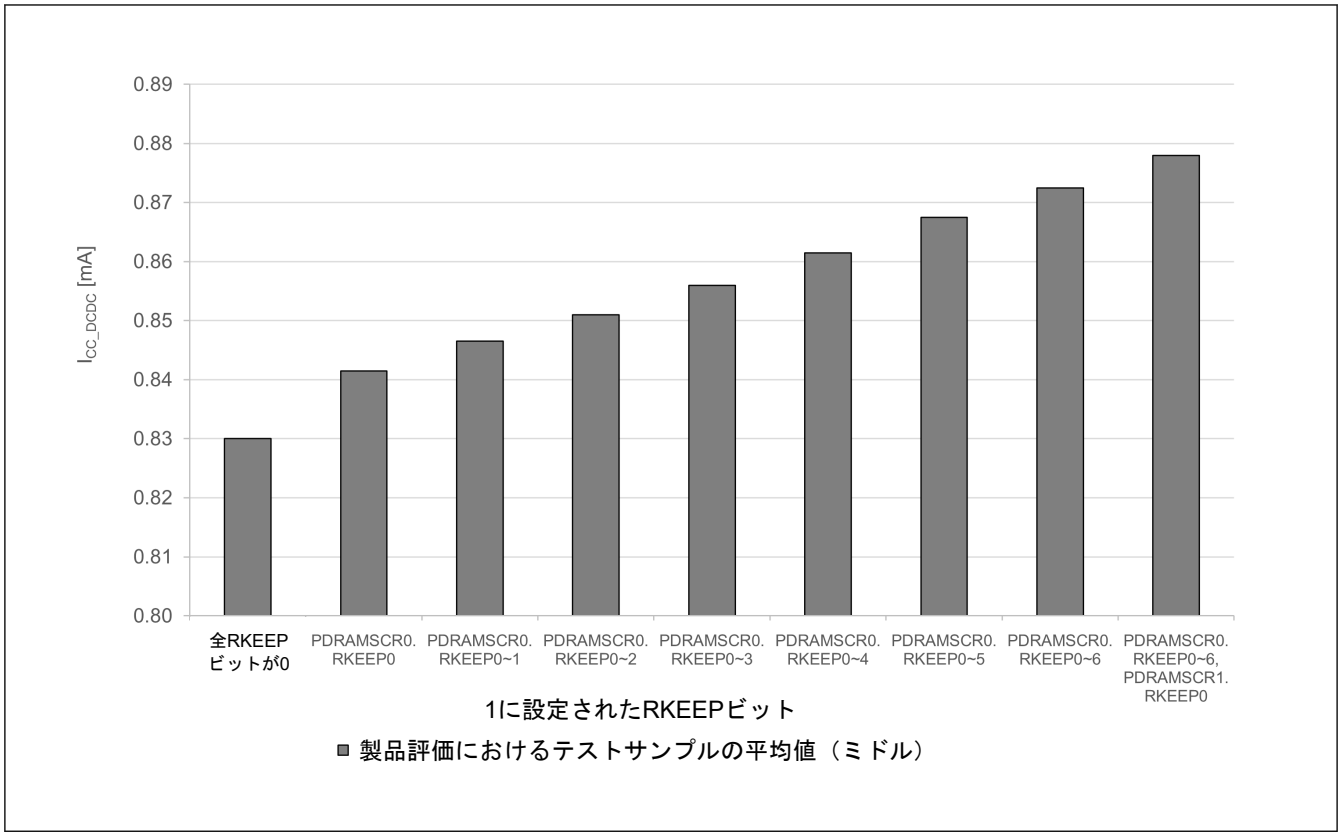


図 52.8　1 SRAM ステートあたりのソフトウェアスタンバイ電流（参考データ）

より実際に近い I_{CC_DCDC} 値は以下の式で求められます。

$I_{CC\_DCDC} = I_{DD} \times (VCL \div VCC) \div$ 効率

ここで、VCL と VCC はそれぞれ VCL 端子と VCC 端子の電圧であり、効率は以下の図に示されています。

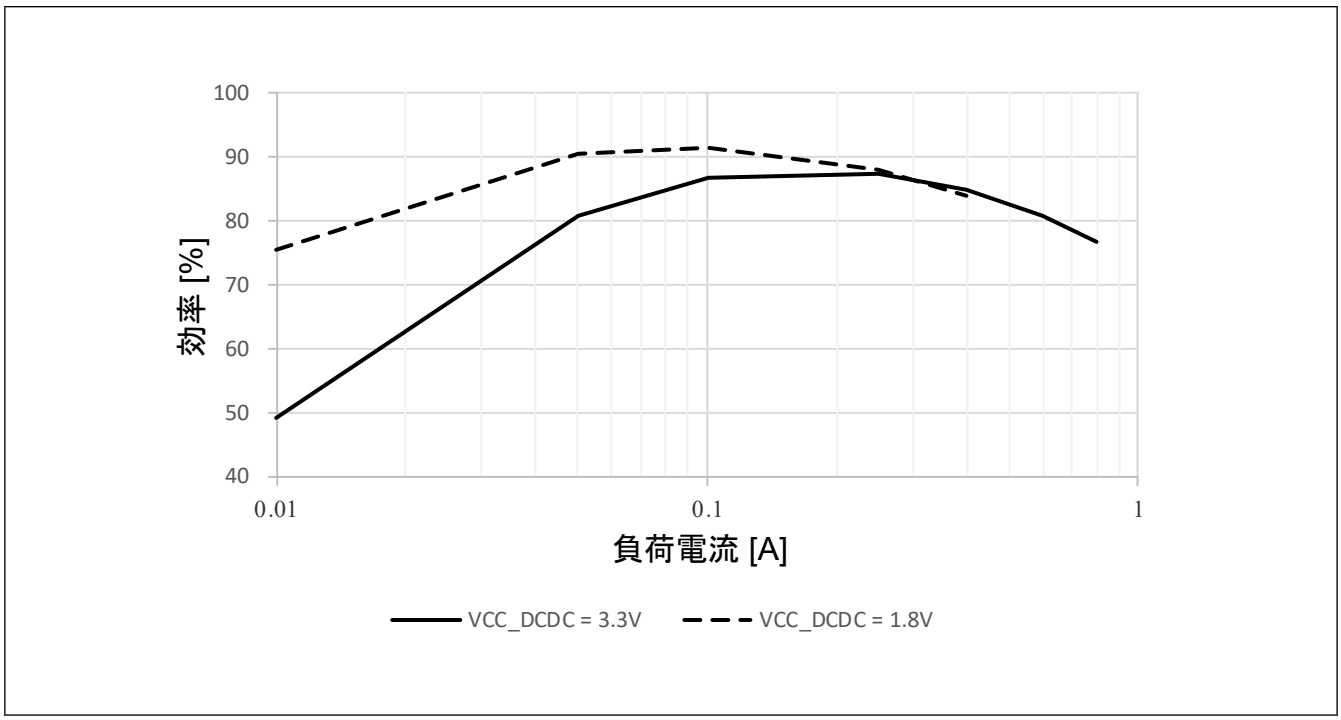


図 52.9　High-speed モード、Tj = 25 °C における標準 DCDC 効率 (%) と負荷電流 (A)

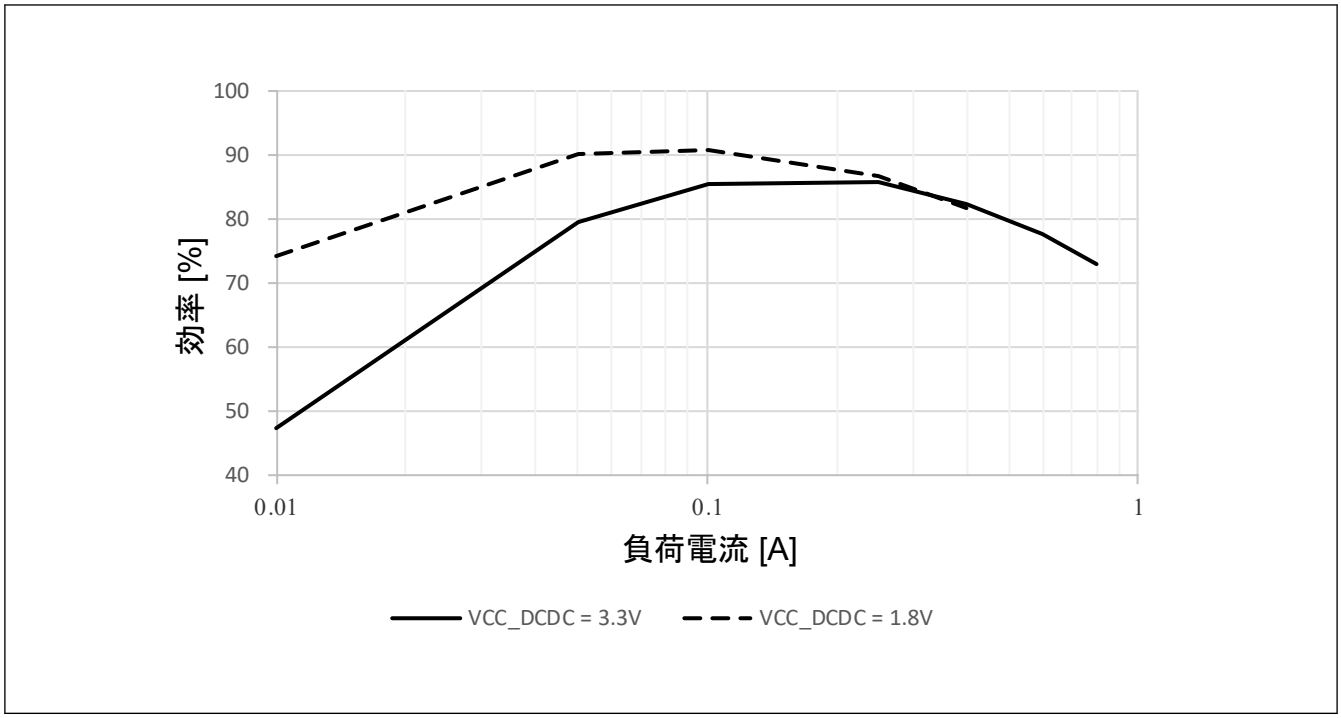


図 52.10 High-speed モード、Tj = 105 °C における標準 DCDC 効率 (%) と負荷電流 (A)

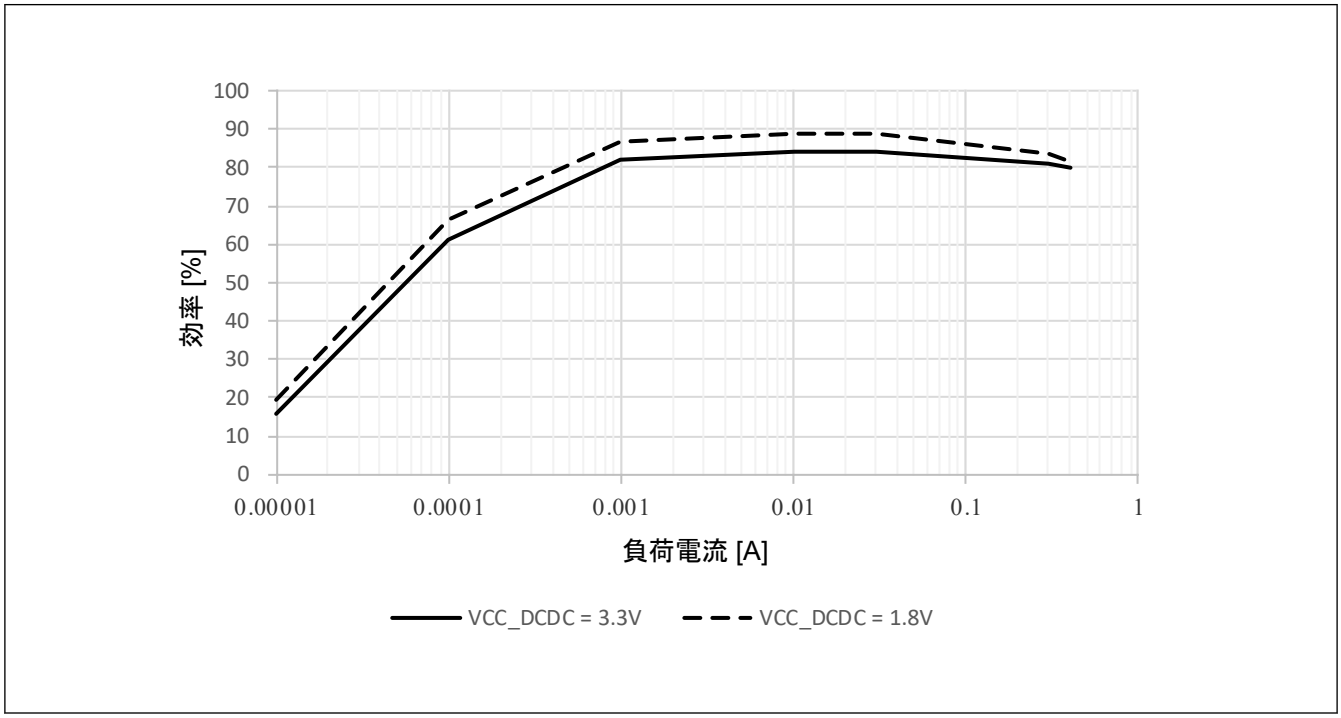


図 52.11 Low-speed モードおよびソフトウェアスタンバイモード、Tj = 25 °C における標準 DCDC 効率 (%) と負荷電流 (A)

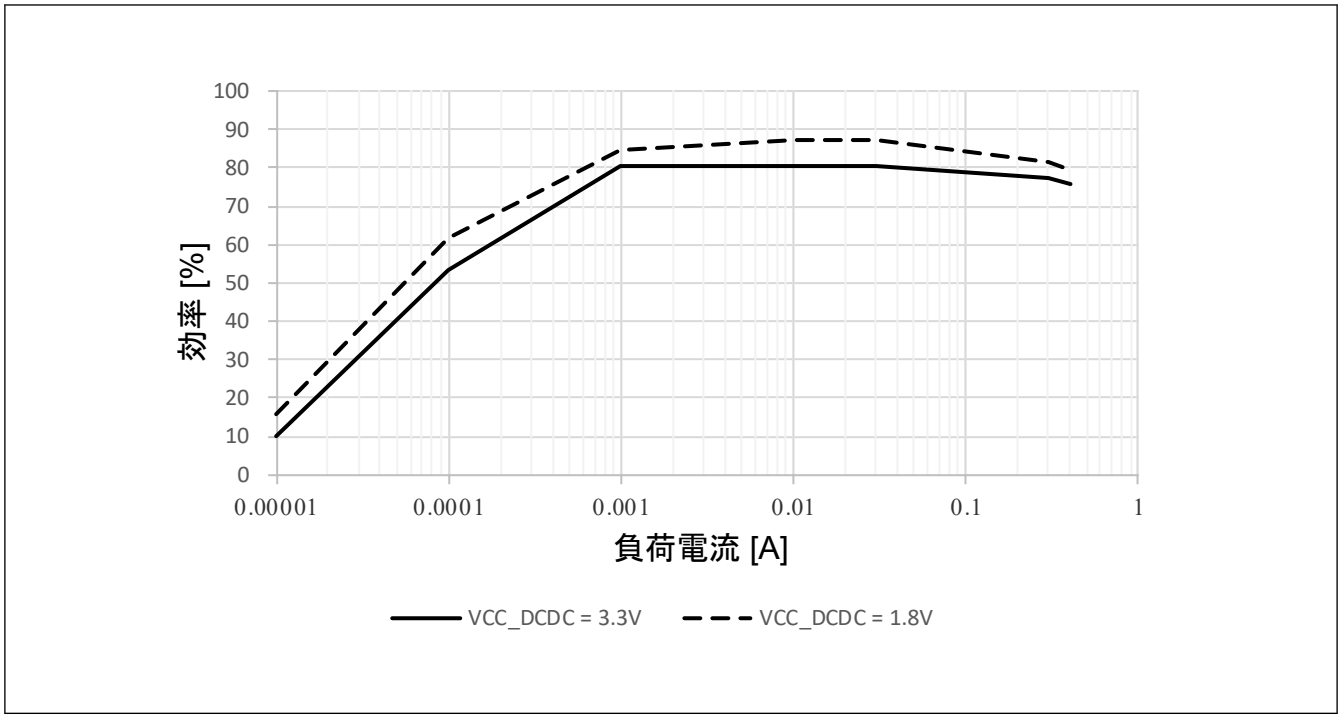


図 52.12　Low-speed モードおよびソフトウェアスタンバイモード、Tj = 105 °C における標準 DCDC 効率 (%) と負荷電流 (A)

注.　DCDC 効率は VCC_DCDC 電流にもとづいて得られます。

52.2.6　VCC 立ち上がり／立ち下がり勾配とリップル周波数

表 52.24　パワーオン／オフ時の VCC 立ち上がり／立ち下がり勾配の特性

項目		シンボル	Min	Typ	Max	単位	測定条件
パワーオン時の VCC 立ち上がり勾配(注1)		SrVCC	0.0084	—	20	ms/V	—
パワーオフ時の VCC 立ち下がり勾配	VBATT 機能は無効(注1)	SfVCC1	0.0084	—	—	ms/V	—
	VBATT 機能は有効	SfVCC2	1.0000	—	—		—

注 1.　VCC 電圧が V_{POR1} を通過する場合

表 52.25　動作中の VCC リップル周波数特性と立ち上がり／立ち下がり勾配の特性

リップル電圧は、VCC 上限 (3.6 V) と下限 (1.68 V) の範囲内で、許容リップル周波数 $f_{r(VCC)}$を満たす必要があります。VCC 変動が VCC ± 10%を超える場合は、許容電圧変動立ち上がり／立ち下がり勾配 dt/dVCC を満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_{r\ (VCC)}$	—	—	10.0	kHz	図 52.13 $V_{r\ (VCC)}$ ≦ VCC × 0.2
		—	—	1.0	MHz	図 52.13 $V_{r\ (VCC)}$ ≦ VCC × 0.08
		—	—	10.0	MHz	図 52.13 $V_{r\ (VCC)}$ ≦ VCC × 0.06
許容電圧変動立ち上がり／立ち下がり勾配	dt/dVCC(注1)	1.0	—	—	ms/V	VCC 変動が VCC ± 10%を超える場合

注 1.　VCC 電圧が V_{POR1} を通過しない場合

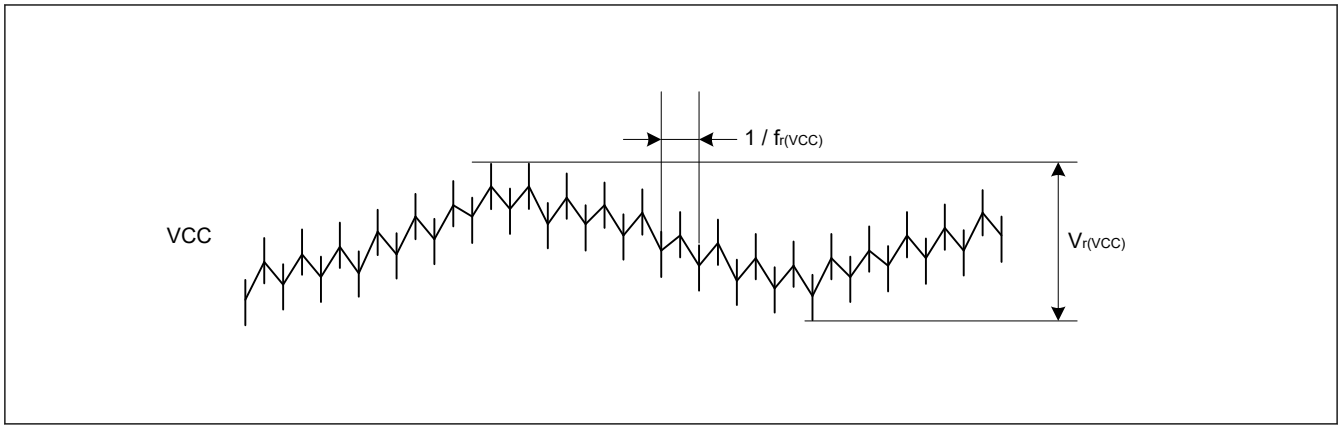


図 52.13　リップル波形

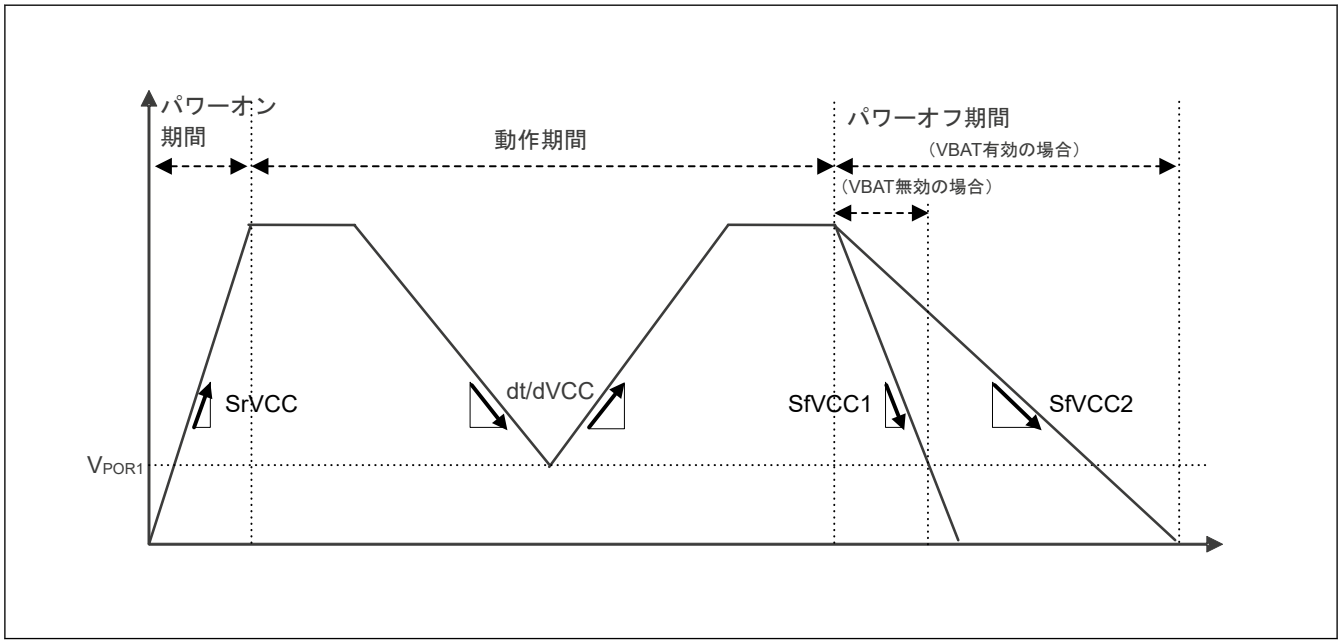


図 52.14　VCC 立ち上がり／立ち下がり波形

52.2.7　熱特性

ジャンクション温度 (Tj) の最大値は、「52.2.1. Tj/Ta の定義」の値を超えないようにしてください。

Tj は、以下のいずれかの式で計算されます。

- Tj = Ta + θja × 総消費電力
- Tj = Tt + Ψjt × 総消費電力
  - Tj：ジャンクション温度（°C）
  - Ta：周囲温度（°C）
  - Tt：ケース上面中央部温度（°C）
  - θja：「ジャンクション」-「周囲」間の熱抵抗（°C/W）
  - Ψjt：「ジャンクション」-「ケース上面中央部」間の熱抵抗（°C/W）
- 総消費電力 = 電圧 × (リーク電流 + ダイナミック電流)
- IO のリーク電流 = Σ (I_{OL} × V_{OL}) / 電圧 + Σ (|I_{OH}| × |VCC – V_{OH}|) / 電圧
- IO のダイナミック電流 = Σ IO (C_{in} + C_{load}) × IO のスイッチング周波数 × 電圧
  - C_{in}：入力容量

– C_{load}：出力容量

θja と Ψjt については、表 52.26 を参照してください。

表 52.26　熱抵抗

項目	パッケージ	シンボル	値(注1)	単位	測定条件
熱抵抗	100 ピン LQFP (PLQP0100KP-A)	θja	32.9	℃/W	JESD 51-2 および 51-7 準拠
	144 ピン LQFP (PLQP0144KA-B)		31.7		
	100 ピン LQFP (PLQP0100KP-A)	Ψjt	0.42	℃/W	JESD 51-2 および 51-7 準拠
	144 ピン LQFP (PLQP0144KA-B)		0.40		

注 1.　値は、4 層基板使用時の基準値です。熱抵抗は、基板の層数やサイズによって変わります。詳細は、JEDEC 規格を参照してください。

52.2.7.1　最大電流計算の手引き

表 52.27　各ユニットの消費電力 (1/2)

ダイナミック電流／リーク電流	MCU ドメイン	カテゴリ	項目	シンボル	周波数 [MHz]	電流 [uA/MHz]	電流(注1) [mA]	条件
リーク電流	アナログ	レギュレータおよびリーク (注1)	Tj = 95 °C	I_{CC}	—	—	0.54	—
			Tj = 105 °C		—	—	0.64	
			Tj = 95 °C	I_{CC_DCDC}	—	—	62	VCC_DCDC = 3.3 V、High-speed モード
			Tj = 105 °C		—	—	75	
			Tj = 95 °C		—	—	112	VCC_DCDC = 1.8 V、High-speed モード
			Tj = 105 °C		—	—	134	
			Tj = 95 °C	I_{DD}	—	—	146	—
			Tj = 105 °C		—	—	175	
ダイナミック電流	CPU	キャッシュあり動作	CoreMark	I_{DD}	360	307	111	CPUCLK = 360 MHz
	周辺ユニット	タイマ	RTC		60	1.299	0.078	—
			GPT16 (4ch)(注2)		120	11.325	1.359	
			GPT32 (6ch)(注2)		120	15.209	1.825	
			POEG（4 グループ）(注2)		60	1.363	0.082	
			AGT (2ch)(注2)		60	2.233	0.134	
			ULPT (2ch)(注2)		60	0.350	0.021	
			WDT		60	0.775	0.047	
			IWDT		60	0.100	0.006	

表 52.27 各ユニットの消費電力 (2/2)

ダイナミック電流／リーク電流	MCU ドメイン	カテゴリ	項目	シンボル	周波数 [MHz]	電流 [uA/MHz]	電流(注1) [mA]	条件
ダイナミック電流	周辺ユニット	通信インタフェース	ETHERC	I_{DD}	120	8.149	0.978	—
			USBFS		60	8.713	0.523	
			SCI (6ch)(注2)		120	22.717	2.726	
			IIC (2ch)(注2)		60	2.867	0.172	
			CANFD (2ch)(注2)		120	9.050	1.086	
			SPI (2ch)(注2)		120	7.950	0.954	
			OSPI		60	40.796	2.448	
			SSIE (2ch)(注2)		60	6.818	0.409	
		アナログ	ADC（2 ユニット）(注2)		120	3.961	0.475	—
			DAC12		120	0.540	0.647	
			TSN		60	0.092	0.005	
			ACMPHS (2ch)(注2)		60	0.083	0.005	
		ヒューマンマシンインタフェース	CEU		120	24.143	2.897	—
		イベントリンク	ELC		60	1.670	0.100	—
		セキュリティ	RSIP-E51A		120	311.301	37.4	—
		データ処理	CRC		120	4.372	0.525	—
			DOC		120	0.427	0.051	
		システム	CAC		60	0.738	0.044	—
		DMA	DMAC（1ch あたり）		240	9.012	2.163	—
			DTC		240	11.175	2.682	

注 1. 「レギュレータ」、「リーク」はそれぞれ内部電圧レギュレータの電流と MCU のリーク電流を意味します。
Tj の温度に応じていずれかが選択されます。
注 2. チャネルごとまたはユニットごとの消費電流を求めるには、電流[mA]をチャネル数、グループ数、またはユニット数で割ります。

表 52.28 各ユニットの動作の概要 (1/2)

周辺モジュール	動作の概要
RTC	RTC が LOCO で動作しています。
GPT	動作モードが、のこぎり波 PWM モードに設定されています。
POEG	モジュールストップビットのクリアのみを行います。
AGT	AGT が PCLKB で動作しています。
ULPT	ULPT が LOCO で動作しています。
WDT	WDT が PCLKB で動作しています。
IWDT	IWDT が IWDTCLK で動作しています。
ETHERC	動作モードが全二重モードに設定されています。 ETHERC が RMII (Reduced Media Independent Interface) を使用して動作しています。
USBFS	転送タイプがバルク転送に設定されています。USBFS がフルスピード転送 (12 Mbps) を使用して動作しています。
SCI	SCI がクロック同期式モードでデータを送信しています。
IIC	通信フォーマットは I2C バスフォーマットになります。IIC がマスタモードでデータを送信しています。

表 52.28　各ユニットの動作の概要 (2/2)

周辺モジュール	動作の概要
CANFD	CANFD がセルフテストモード 1 でデータを送受信しています。
SPI	SPI モードが SPI 動作（4 線式）に設定されています。 SPI マスタ／スレーブモードがマスタモードに設定されています。 SPI が 32 ビット幅のデータを送信しています。
OSPI	OSPI が HyperRAM にメモリ書き込みコマンドを発行しています。
SSIE	通信モードがマスタに設定されています。システムワード長が 32 ビットに設定されています。 データワード長が 20 ビットに設定されています。SSIE が I2S フォーマットを使用してデータを送信しています。
ADC	分解能は 12 ビット精度に設定されます。データレジスタが A/D 変換値加算モードに設定されています。 ADC12 がアナログ入力を連続スキャンモードで変換しています。
DAC12	DAC12 が変換結果の出力とデータレジスタ値の更新を行っています。
TSN	TSN が動作しています。
ACMPHS	ACMPHS が動作しています。
CEU	CEU がデータをキャプチャし SRAM へ転送しています。
ELC	モジュールストップビットのクリアのみを行います。
RSIP-E51A	RSIP はセルフテスト動作を実行しています。
CRC	CRC が 32 ビット CRC32-C 多項式を使用して CRC コードを生成しています。
DOC	DOC がデータ比較モードで動作しています。
CAC	測定対象クロックが PCLKB に設定されています。測定基準クロックが PCLKB に設定されています。 CAC がクロック周波数精度を測定しています。
DMAC	転送データのビット長が 32 ビットに設定されています。転送モードがブロック転送モードに設定されています。 DMAC が SRAM から SRAM にデータを転送しています。
DTC	転送データのビット長が 32 ビットに設定されています。転送モードがブロック転送モードに設定されています。 DTC が SRAM から SRAM にデータを転送しています。

52.2.7.2　Tj の計算例

前提事項：

- パッケージ 144 ピン LQFP : θja = 31.7°C/W
- Ta = 60°C
- $I_{CC} + I_{CC\_DCDC}$ = 240 mA
- VCC = 3.5 V (VCC = VCC2 = AVCC0 = VCC_USB)
- I_{OH} = 1 mA、V_{OH} = VCC – 0.5 V、12 出力
- I_{OL} = 20 mA、V_{OL} = 1.0 V、8 出力
- I_{OL} = 1 mA、V_{OL} = 0.5 V、12 出力
- C_{in} = 8 pF、32 ピン、入力周波数 = 10 MHz
- C_{load} = 30 pF、32 ピン、出力周波数 = 10 MHz

IO のスタティック電流 = Σ (VOL × IOL) / 電圧 + Σ ((VCC - VOH) × IOH) / 電圧

= (20 mA × 1 V) × 8 / 3.5 V + (1 mA × 0.5 V) × 12 / 3.5 V + ((VCC - (VCC - 0.5 V)) × 1 mA) × 12 / 3.5 V

= 45.7 mA + 1.71 mA + 1.71 mA

= 49.1 mA

IO のダイナミック電流 = Σ IO (Cin + Cload) × IO のスイッチング周波数 × 電圧

= ((8 pF × 32) × 10 MHz + (30 pF × 32) × 10 MHz) × 3.5 V

= 42.6 mA

総消費電力 = 電圧　× (スタティック電流 + ダイナミック電流)

= (240 mA × 3.5 V) + (49.1 mA + 42.6 mA) × 3.5 V

= 1161 mW (1.161 W)

Tj = Ta + θja × 総消費電力

= 60℃ + 31.7℃/W × 1.161 W

= 96.8℃

52.3 AC 特性

52.3.1 周波数

表 52.29 High-speed モードにおける動作周波数の値

項目			シンボル	Min	Typ	Max	単位
動作周波数	CPU クロック (CPUCLK)(注2)	DCDC、144 ピン LQFP／100 ピン LQFP パッケージ、Tj≦105℃(注4)	f	—	—	360	MHz
		外部 VDD、144 ピン LQFP／100 ピン LQFP パッケージ、Tj≦105℃		—	—	360	
	システムクロック (ICLK)(注2)			—	—	240	
	周辺モジュールクロック (PCLKA)(注2)			—	—	120	
	周辺モジュールクロック (PCLKB)(注2)			—	—	60	
	周辺モジュールクロック (PCLKC)(注2)			—(注3)	—	60	
	周辺モジュールクロック (PCLKD)(注2)			—	—	120	
	周辺モジュールクロック (PCLKE)(注2)			—	—	240	
	フラッシュインタフェースクロック (FCLK)(注2)			—(注1)	—	60	
	SCI クロック (SCICLK)			—	—	120	
	SPI クロック (SPICLK)			—	—	120	
	Octal-SPI クロック (OCTACLK)			—	—	200	
	CANFD コアクロック (CANFDCLK)			—	—	80	
	USB クロック (USBCLK)			—	—	48	

注 1. フラッシュメモリのプログラミング／イレース中、FCLK は 4 MHz 以上の周波数で実行する必要があります。
注 2. CPUCLK、ICLK、PCLKA、PCLKB、PCLKC、PCLKD、PCLKE、FCLK、の周波数の相互関係については、「8. クロック発生回路」を参照してください。
注 3. ADC12 使用時、PCLKC の周波数は 1 MHz 以上にしてください。
注 4. VCC_DCDC < 2.5 V にて DCDC 使用時、電流 I_{DD} は動作電流の指定値未満にしてください。
表 52.8 を参照してください。

表 52.30 Low-speed モードにおける動作周波数の値

項目		シンボル	Min	Typ	Max	単位
動作周波数	CPU クロック (CPUCLK)(注2)	f	—	—	1	MHz
	システムクロック (ICLK)(注2)		—	—	1	
	周辺モジュールクロック (PCLKA)(注2)		—	—	1	
	周辺モジュールクロック (PCLKB)(注2)		—	—	1	
	周辺モジュールクロック (PCLKC)(注2)		—(注3)	—	1	
	周辺モジュールクロック (PCLKD)(注2)		—	—	1	
	周辺モジュールクロック (PCLKE)(注2)		—	—	1	
	フラッシュインタフェースクロック (FCLK)(注2)		—(注1)	—	1	
	SCI クロック (SCICLK)		—	—	1	
	SPI クロック (SPICLK)		—	—	1	
	Octal-SPI クロック (OCTACLK)		—	—	1	
	CANFD コアクロック (CANFDCLK)		—	—	1	
	USB クロック (USBCLK)		—	—	1	

注 1. フラッシュメモリのプログラム／イレースは、Low-speed モードでは許可されていません。
注 2. CPUCLK、ICLK、PCLKA、PCLKB、PCLKC、PCLKD、PCLKE、FCLK、の周波数の相互関係については、「8. クロック発生回路」を参照してください。
注 3. ADC12 使用時、PCLKC の周波数は 1 MHz 以上にしてください。

52.3.2 クロックタイミング

表 52.31 サブクロック発振器以外のクロックタイミング (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
EXTAL 外部クロック入力サイクル時間	t_{EXcyc}	20.80	—	—	ns	図 52.15
EXTAL 外部クロック入力 High レベルパルス幅	t_{EXH}	5.30	—	—	ns	
EXTAL 外部クロック入力 Low レベルパルス幅	t_{EXL}	5.30	—	—	ns	
EXTAL 外部クロック立ち上がり時間	t_{EXr}	—	—	3.0	ns	
EXTAL 外部クロック立ち下がり時間	t_{EXf}	—	—	3.0	ns	
メインクロック発振器周波数	f_{MAIN}	8	—	48	MHz	—
メインクロック発振安定待機時間（水晶）(注1)	$t_{MAINOSCWT}$	—	—	—(注1)	ms	図 52.16
LOCO クロック発振周波数	f_{LOCO}	29.4912	32.768	36.0448	kHz	—
LOCO クロック発振安定待機時間	t_{LOCOWT}	—	—	60.4	µs	図 52.17
MOCO クロック発振周波数	f_{MOCO}	6.8	8.0	9.2	MHz	—
MOCO クロック発振安定待機時間	t_{MOCOWT}	—	—	15.0	µs	—

表 52.31　サブクロック発振器以外のクロックタイミング (2/2)

項目		シンボル	Min	Typ	Max	単位	測定条件
HOCO クロック発振器発振周波数	FLL なし	f_{HOCO16}	15.78	16.00	16.22	MHz	–20≦Tj≦105℃
		f_{HOCO18}	17.75	18.00	18.25		
		f_{HOCO20}	19.72	20.00	20.28		
		f_{HOCO32}	31.55	32.00	32.45		
		f_{HOCO48}	47.33	48.00	48.67		
		f_{HOCO16}	15.71	16.00	16.29		–40≦Tj≦-20℃
		f_{HOCO18}	17.68	18.00	18.32		
		f_{HOCO20}	19.64	20.00	20.36		
		f_{HOCO32}	31.42	32.00	32.58		
		f_{HOCO48}	47.14	48.00	48.86		
	FLL あり	f_{HOCO16}	15.960	16.000	16.040		–40≦Tj≦105℃ サブクロック周波数精度は、±50 ppm です。
		f_{HOCO18}	17.955	18.000	18.045		
		f_{HOCO20}	19.950	20.000	20.050		
		f_{HOCO32}	31.920	32.000	32.080		
		f_{HOCO48}	47.880	48.000	48.120		
HOCO クロック発振安定待機時間(注2)		t_{HOCOWT}	—	—	64.7	μs	—
HOCO 停止幅時間		$t_{HOCOSTP}$	1	—	—	μs	図 52.20
HOCO ピリオドジッタ		ジッタ	-3	—	3	%	—
FLL 安定待機時間		t_{FLLWT}	—	—	1.8	ms	—
PLL1/PLL2 VCO 周波数		f_{VCO}	640	—	1440.0	MHz	—
出力クロック P に対する PLL1/PLL2 出力周波数		t_{PLL}	40	—	480	MHz	—
出力クロック Q, R に対する PLL1/PLL2 出力周波数		t_{PLL}	71	—	480	MHz	—
PLL1/PLL2 クロック発振安定待機時間		t_{PLLWT}	—	—	40	μs	図 52.18
PLL1/PLL2 ピリオドジッタ		—	—	—	±70	ps	—
PLL1/PLL2 ロングタームジッタ		—	—	—	±300	ps	期間：1 μs、10 μs

注 1.　メインクロック発振器を設定する場合、発振器メーカーに発振評価を確認し、その結果を推奨発振安定時間として使用してください。MOSCWTCR レジスタを、推奨値以上に設定してください。
メインクロック動作を開始するために MOSCCR.MOSTP ビット設定を変更したら、OSCSF.MOSCSF フラグが 1 であることを確認してからメインクロック発振器の使用を開始してください。
注 2.　リセット状態の解除から HOCO 発振周波数 (f_{HOCO}) が動作保証範囲に達するまでの時間です。

表 52.32　サブクロック発振器のクロックタイミング

項目	シンボル	Min	Typ	Max	単位	測定条件
サブクロック周波数	f_{SUB}	—	32.768	—	kHz	—
サブクロック発振安定待機時間	$t_{SUBOSCWT}$	—	—	— (注1)	s	図 52.19

注 1.　サブクロック発振器を設定する場合、発振器メーカーに発振評価を確認し、その結果を推奨発振安定時間として使用してください。
サブクロック動作を開始するために SOSCCR.SOSTP ビット設定を変更したら、必ずサブクロック発振安定時間が十分に経過してからサブクロック発振器の使用を開始してください。示された時間の 2 倍を推奨します。

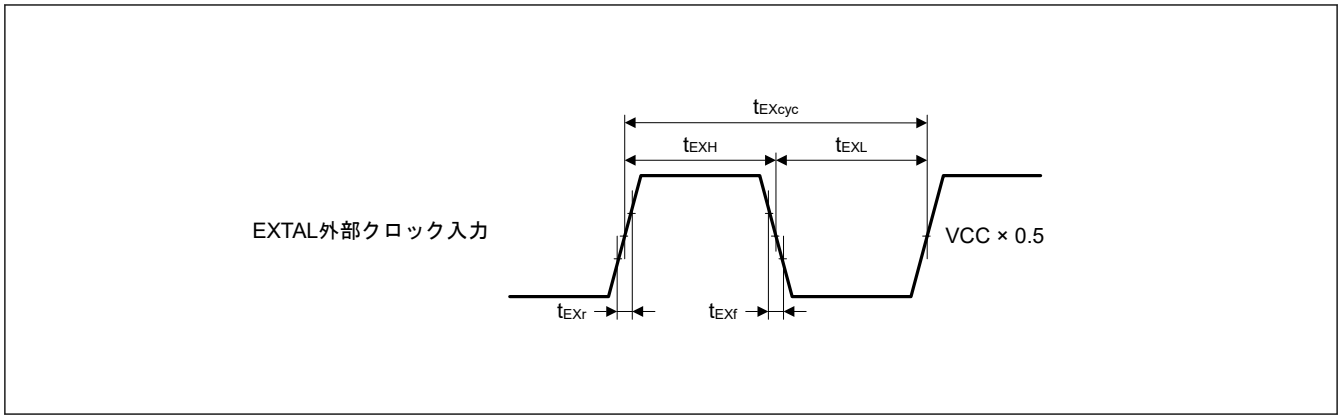


図 52.15　EXTAL 外部クロック入力タイミング

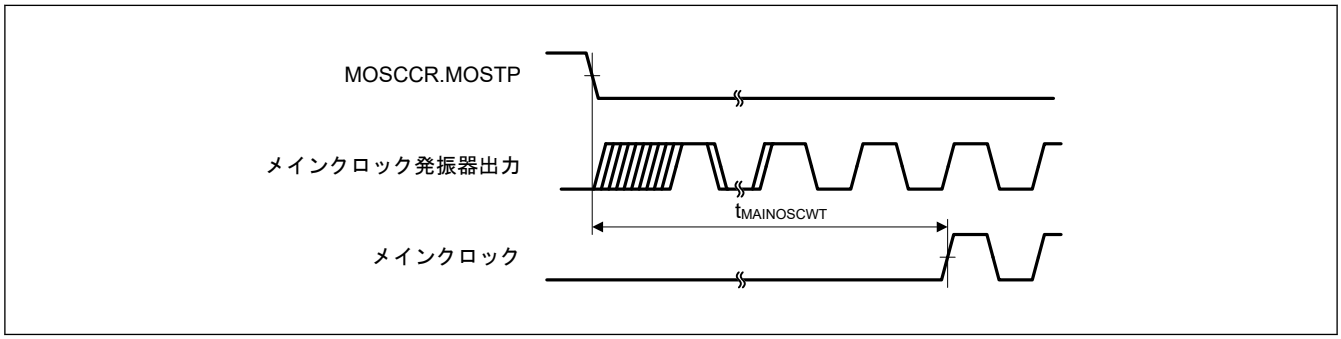


図 52.16　メインクロック発振開始タイミング

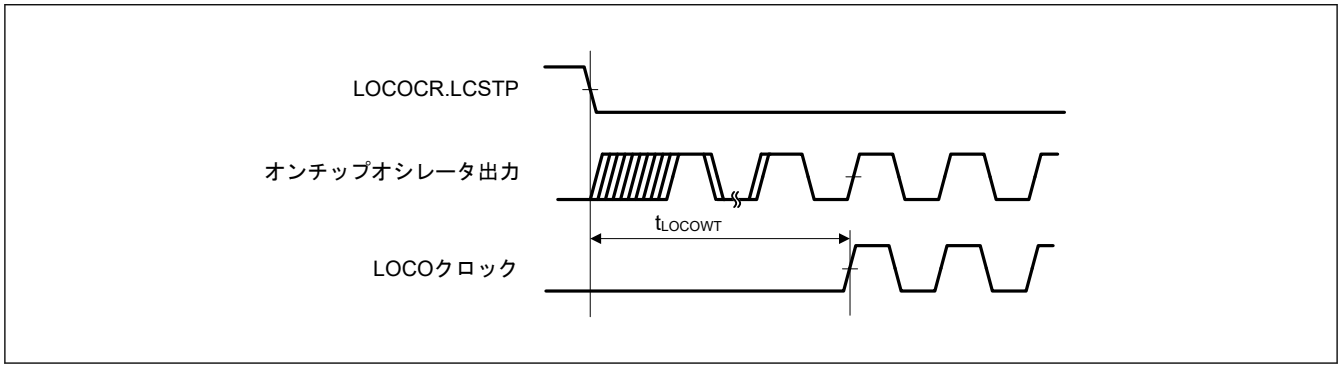
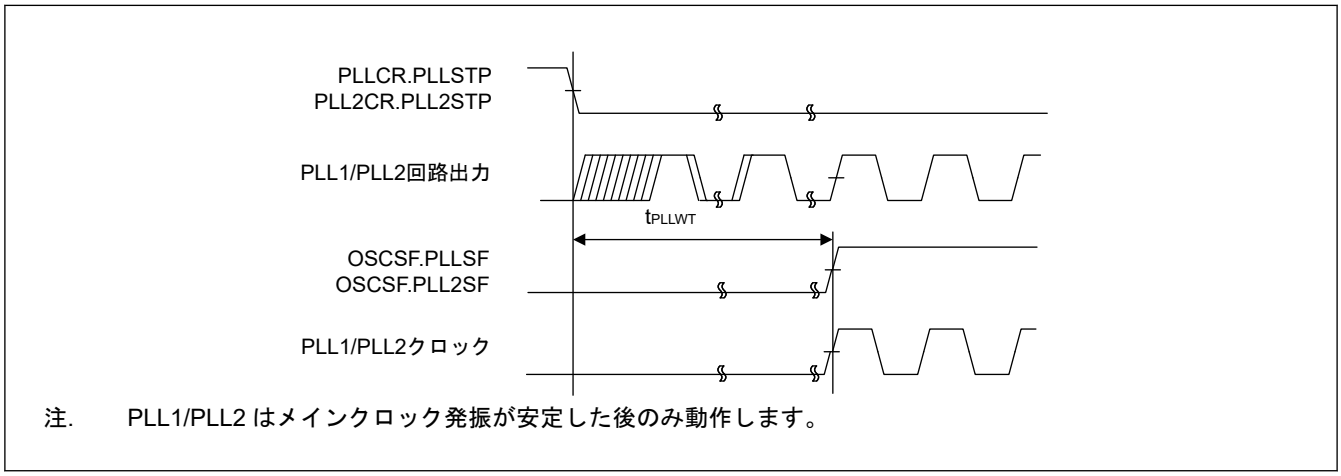


図 52.17　LOCO クロック発振開始タイミング



注.　PLL1/PLL2 はメインクロック発振が安定した後のみ動作します。

図 52.18　PLL1/PLL2 クロック発振開始タイミング

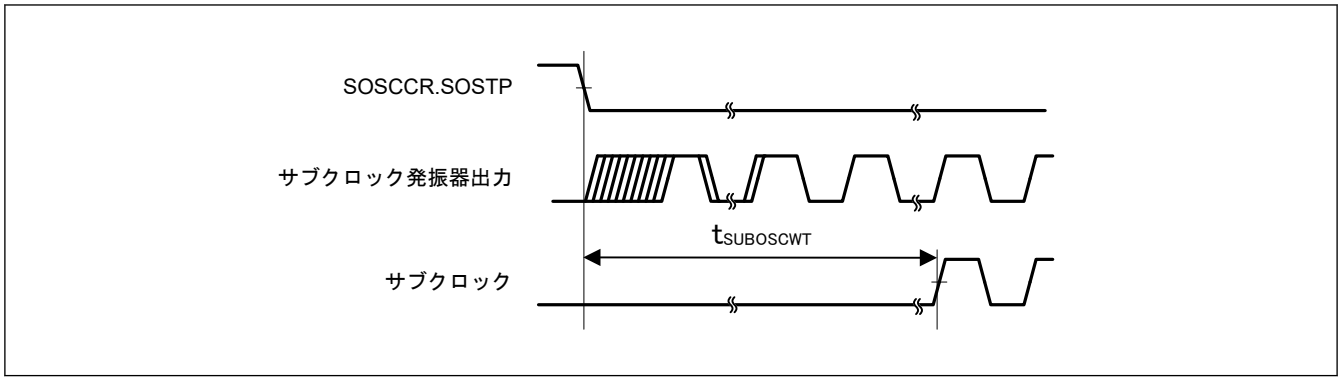


図 52.19　サブクロック発振開始タイミング

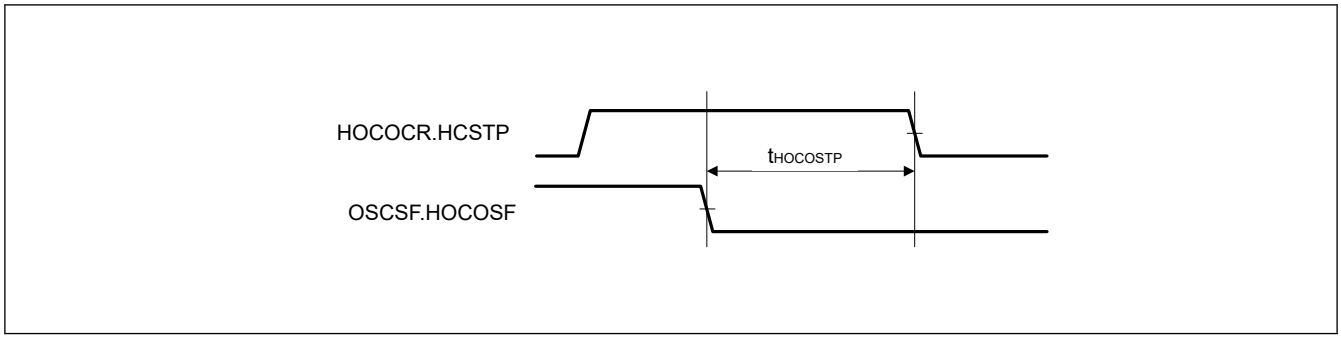


図 52.20　HOCO 停止幅時間

52.3.3　リセットタイミング

表 52.33　リセットタイミング (1/2)

項目			シンボル	Min	Typ	Max	単位	測定条件
RES パルス幅	パワーオン		t_{RESWP}	4.2	—	—	ms	図 52.21
	ディープソフトウェアスタンバイモード 1	DPSBYCR.DCSSMODE = 0	t_{RESWD}	1.30	—	—	ms	図 52.22
		DPSBYCR.DCSSMODE = 1		0.71	—	—		
	ディープソフトウェアスタンバイモード 2	DPSBYCR.DCSSMODE = 0		2.00	—	—		
		DPSBYCR.DCSSMODE = 1		1.50	—	—		
	ディープソフトウェアスタンバイモード 3	DPSBYCR.DCSSMODE = 0		3.50	—	—		
		DPSBYCR.DCSSMODE = 1		2.90	—	—		
	ソフトウェアスタンバイモード		t_{RESWS}	0.66	—	—	ms	
	Low-speed モード		t_{RESWLS}	0.46	—	—	ms	
	CPU ディープスリープモード（SOSC 動作）		$t_{RESWSODS}$	0.36	—	—	ms	
	CPU ディープスリープモード（SOSC 動作以外）		t_{RESWDS}	0.24	—	—	ms	
	SOSC 動作		t_{RESWSO}	0.19	—	—	ms	
	上記以外		t_{RESW}	62.0	—	—	µs	
RES 解除後の待機時間			t_{RESWT}	—	54.9	64.6	µs	図 52.21

表 52.33　リセットタイミング (2/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
内部リセット（IWDT リセット、WDT リセット、CPU ロックアップリセット、バスエラーリセット、共通メモリエラーリセット、ソフトウェアリセット）解除後の待機時間	t_{RESW2}	—	54.9	64.6	μs	—

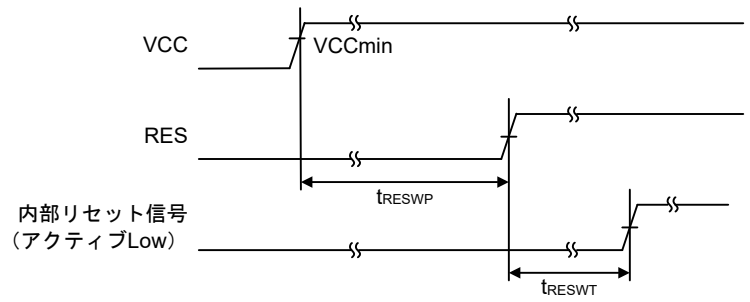


図 52.21　VCC が V_{POR} 電圧しきい値を超える条件下での RES 端子入力タイミング

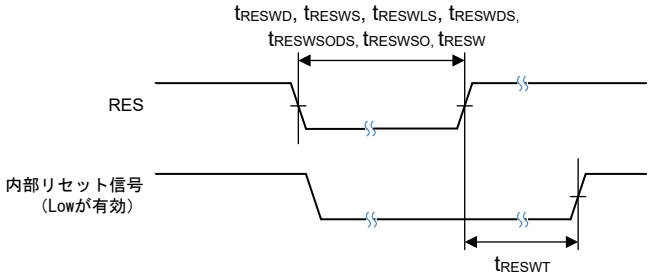


図 52.22　リセット入力タイミング

52.3.4　ウェイクアップタイミング

表 52.34　低消費電力モードからの復帰タイミング (1/2)

項目	高速復帰機能(注9)	シンボル	Min	Typ	Max	単位	測定条件
CPU ディープスリープモードからの復帰時間	—	t_{DSLP}(注11)	—	182	214	μs	—

表 52.34　低消費電力モードからの復帰タイミング (2/2)

項目			高速復帰機能(注9)	シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器(注1) MOSCSCR.MOSCSOKP = 0	有効	t_{SBYMC}(注10)	—	2.33	2.43	ms	図 52.23 全発振器の分周比は 1 です。
		システムクロックソースはメインクロック発振器(注1) MOSCSCR.MOSCSOKP = 1	有効		—	310	385	µs	
		システムクロックソースはメインクロック発振器を使用した PLL1P(注2) MOSCSCR.MOSCSOKP = 0	有効	t_{SBYPC}(注10)	—	2.47	2.59	ms	
		システムクロックソースはメインクロック発振器を使用した PLL1P(注2) MOSCSCR.MOSCSOKP = 1	有効		—	388	511	µs	
	メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器(注3)	有効	t_{SBYEX}(注10)	—	310	385	µs	
		システムクロックソースはメインクロック発振器を使用した PLL1P(注4)	有効	t_{SBYPE}(注10)	—	388	511		
	システムクロックソースはサブクロック発振器(注5)		有効	t_{SBYSC}(注10)	—	0.81	0.87	ms	
	システムクロックソースは HOCO クロック発振器(注6)		有効	t_{SBYHO}(注10)	—	310	385	µs	
	システムクロックソースは HOCO を使用した PLL1P(注7)		有効	t_{SBYPH}(注10)	—	398	522	µs	
	システムクロックソースは MOCO クロック発振器(注8)		有効	t_{SBYMO}(注10)	—	312	387	µs	
ディープソフトウェアスタンバイモードからの復帰時間	ディープソフトウェアスタンバイモード 1	任意の PVD0 (OFS1(_SEC).PVDLPSEL=1)、PVD1、PVD2、またはバッテリ電源スイッチが有効	標準	t_{DSBY}	—	0.68	1.20	ms	図 52.24
			高速		—	0.29	0.62	ms	
		任意の PVD0 (OFS1(_SEC).PVDLPSEL=1)、PVD1、PVD2、およびバッテリ電源スイッチが無効	標準			0.73	1.30		
			高速			0.33	0.71		
	ディープソフトウェアスタンバイモード 2	DPSWCR.WSTS = 0x0B	標準		—	0.73	1.10	ms	
			高速		—	0.33	0.50	ms	
		DPSWCR.WSTS = 0x9A	標準		—	1.60	2.00	ms	
			高速		—	1.20	1.50	ms	
	ディープソフトウェアスタンバイモード 3		標準		—	2.10	3.50	ms	
			高速		—	1.70	2.90	ms	
ディープソフトウェアスタンバイモード解除後待機時間			—	t_{DSBYWT}	47.7	—	64.6	µs	

注 1.　水晶の周波数が 48 MHz（メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x05）で、かつ内部クロックの分周設定のうち最も大きな値が 1 の場合

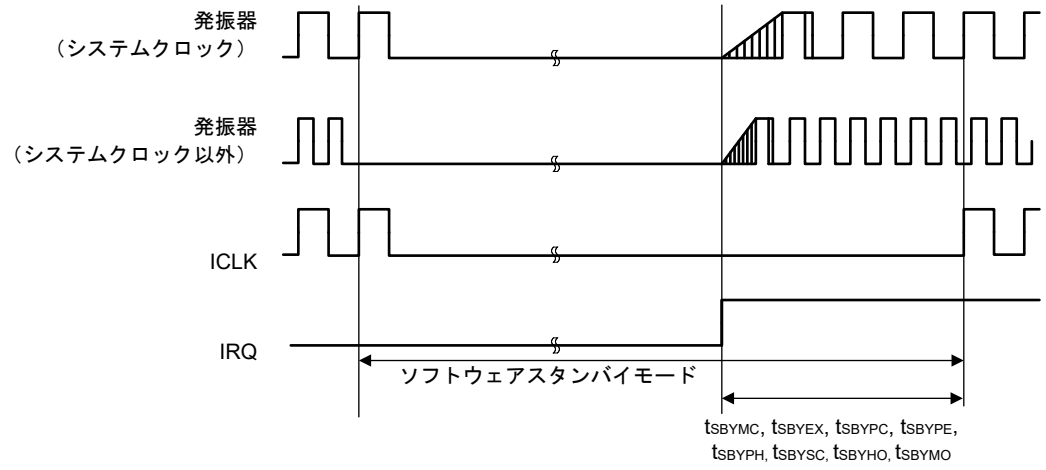
注 2. PLL1P の周波数が 480 MHz（メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x05）で、かつ内部クロックの分周設定のうち最も大きな値が 8 の場合
注 3. 外部クロックの周波数が 48 MHz（メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x00）で、かつ内部クロックの分周設定のうち最も大きな値が 1 の場合
注 4. PLL1P の周波数が 480 MHz（メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x00）で、かつ内部クロックの分周設定のうち最も大きな値が 8 の場合
注 5. サブクロック発振器の周波数が 32.768 kHz で、かつ内部クロックの分周設定のうち最も大きな値が 1 の場合
注 6. HOCO 周波数が 20 MHz で、かつ内部クロックの分周設定のうち最も大きな値が 1 の場合
注 7. PLL 周波数が 480 MHz で、かつ内部クロックの分周設定のうち最も大きな値が 8 の場合
注 8. MOCO 周波数が 8 MHz で、かつ内部クロックの分周設定のうち最も大きな値が 1 の場合
注 9. 詳細は、「10. 低消費電力モード」の SSCR1.SS1FR、DPSBYCR.DCSSMODE ビットを参照してください。
注 10. 復帰時間は次の式により計算できます： t_{Common} + max(t_{OSCSTB}, t_{PG1}, t_{PGCK}) + max(t_{PG2}, t_{LPW})。式の各変数は下表の値および式により求めることができます。表中の変数 n については、内部クロック（CPUCLK、ICLK、PCLKm、FCLK）の分周設定 (m = A～E) のうち最も大きな値が選択されます。
下表の t_{OSCSTB} は、各発振器が有効になっている時間を意味します。複数の発振器が有効になっている時の t_{OSCSTB} は、有効になっている発振器のうちで最長の t_{OSCSTB} となります。
注 11. ICLK 周波数は 240 MHz です。この復帰時間は t_{PG2} に対応します。

表 52.35　復帰時間を構成する要素

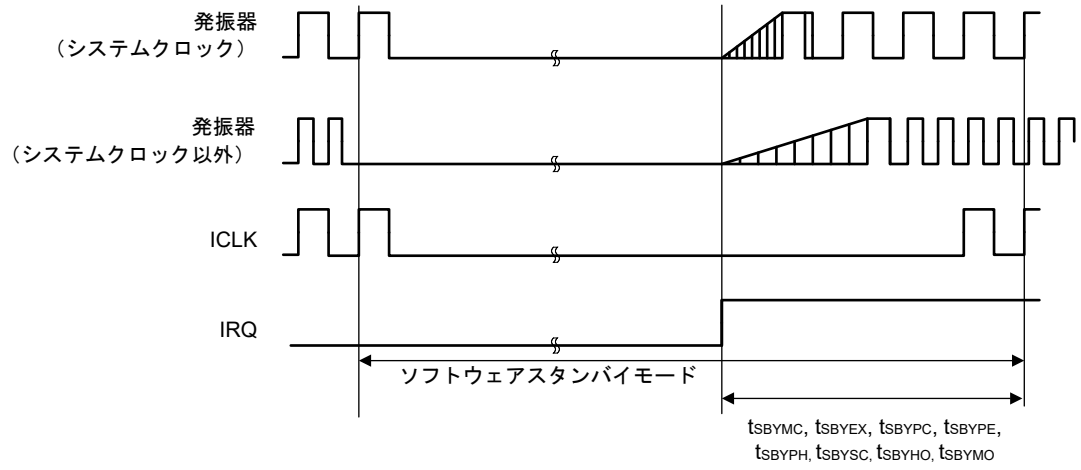
ウェイクアップ時間	発振保持	高速復帰機能	Typ						Max						単位
			t_{Common}	t_{OSCSTB} (注1)	t_{PG1}	t_{PGCK}	t_{PG2}	t_{LPW}	t_{Common}	t_{OSCSTB} (注1)	t_{PG1}	t_{PGCK}	t_{PG2}	t_{LPW}	
t_{SBYMC}	MOSC無効	有効	52.667 + 4/fICLK	$t_{MAINOSCWT}$	75.5	2.1 + 10.5/fMOCO + 2.5n/fMOCO + 2.5/fSRCCLK + 2/fICLK	1449/fMOCO + 10/fICLK	10 + 2/fICLK + 2n/fMAIN	82.369 + 4/fICLK	$t_{MAINOSCWT}$ + 11/0.236	88.8	2.5 + 10.5/fMOCO + 2.5n/fMOCO + 2.5/fSRCCLK + 2/fICLK	1449/fMOCO+ 10/fICLK	10 + 2/fICLK + 2n/fMAIN	µs
	MOSC有効	有効	52.667 + 4/fICLK	3/0.262				10 + 2/fICLK + 2n/fMAIN	82.369 + 4/fICLK	14/0.236				10 + 2/fICLK + 2n/fMAIN	µs
t_{SBYPC}	MOSC無効	有効	52.667 + 4/fICLK	24.125 + $t_{MAINOSCWT}$ + 31/0.262 (注2)				10 + 2/fICLK + 2n/fPLL	82.369 + 4/fICLK	24.05 + $t_{MAINOSCWT}$ + 42/0.236 (注3)				10 + 2/fICLK + 2n/fPLL	µs
	MOSC有効	有効	52.667 + 4/fICLK	24.125 + 34/0.262 (注2)				10 + 2/fICLK + 2n/fPLL	82.369 + 4/fICLK	24.05 + 45/0.236 (注3)				10 + 2/fICLK + 2n/fPLL	µs
t_{SBYEX}	—	有効	52.667 + 4/fICLK	3/0.262				10 + 2/fICLK + 2n/fEXMAIN	82.369 + 4/fICLK	14/0.236				10 + 2/fICLK + 2n/fEXMAIN	µs
t_{SBYPE}	—	有効	52.667 + 4/fICLK	24.125 + 34/0.262 (注2)				10 + 2/fICLK + 2n/fPLL	82.369 + 4/fICLK	24.05 +45/0.236 (注3)				10 + 2/fICLK + 2n/fPLL	µs
t_{SBYSC}	—	有効	52.667 + 4/fICLK	0				10 + 2/fICLK + 2n/fSOSC	82.369 + 4/fICLK	0				10 + 2/fICLK + 2n/fSOSC	µs
t_{SBYHO}	—	有効	52.667 + 4/fICLK	23.375				10 + 2/fICLK + 2n/fHOCO	82.369 + 4/fICLK	70.234				10 + 2/fICLK + 2n/fHOCO	µs
t_{SBYPH}	—	有効	52.667 + 4/fICLK	24.125 + 140 (注2)				10 + 2/fICLK + 2n/fPLL	82.369 + 4/fICLK	24.05 + 202 (注3)				10 + 2/fICLK + 2n/fPLL	µs
t_{SBYMO}	—	有効	52.667 + 4/fICLK	0				10 + 2/fICLK + 2n/fMOCO	82.369 + 4/fICLK	0				10 + 2/fICLK + 2n/fMOCO	µs

注.　周波数の単位は MHz
注 1.　複数の発振器が動作している場合、この列の動作発振器の最大値が適用されます。
注 2.　PLL1LDOCR.SKEEP と PLL2LDOCR.SKEEP が両方とも 1 の場合、"24.125"は低減できます。

注 3. PLL1LDOCR.SKEEP と PLL2LDOCR.SKEEP が両方とも 1 の場合、"24.05"は低減できます。



システムクロックの発振安定待機時間が長い場合



システムクロック以外の発振安定待機時間が長い場合

図 52.23 ソフトウェアスタンバイモード解除タイミング

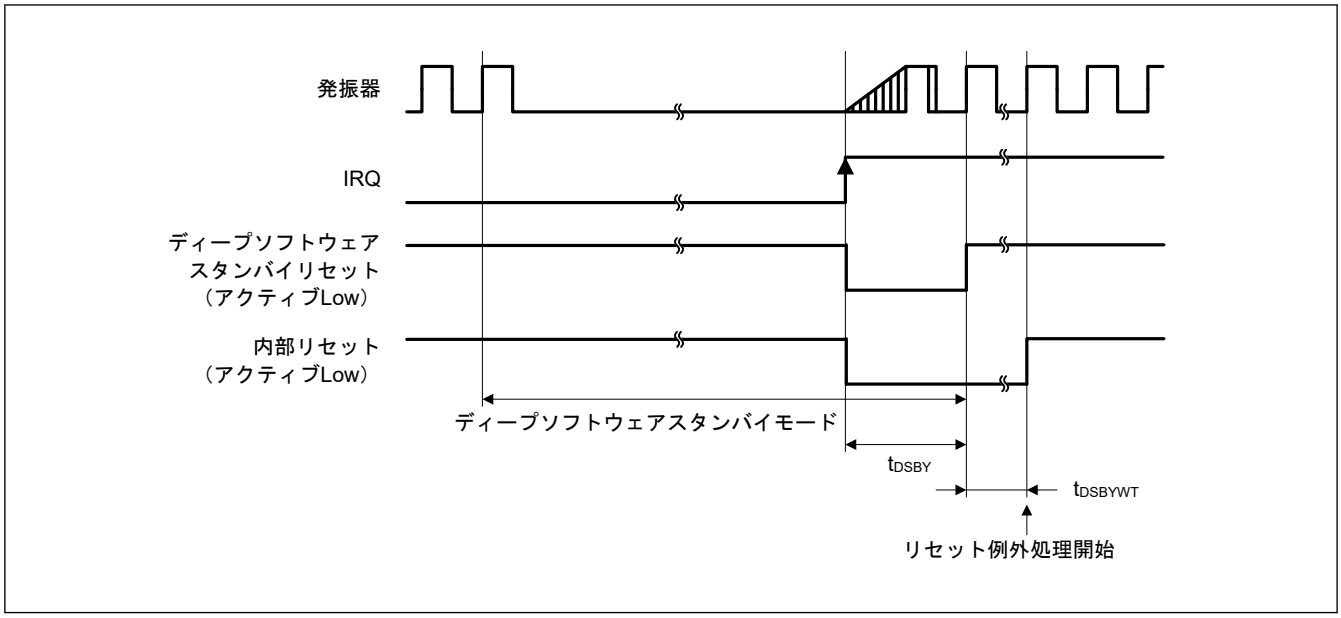


図 52.24　ディープソフトウェアスタンバイモード解除タイミング

52.3.5　NMI/IRQ ノイズフィルタ

表 52.36　NMI/IRQ ノイズフィルタ

項目	シンボル	Min	Typ	Max	単位	測定条件	
NMI パルス幅	t_{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効	t_{Pcyc} × 2 ≦ 200 ns
		t_{Pcyc} × 2(注1)	—	—			t_{Pcyc} × 2 > 200 ns
		200	—	—		NMI デジタルフィルタ有効	t_{NMICK} × 3 ≦ 200 ns
		t_{NMICK} × 3.5(注2)	—	—			t_{NMICK} × 3 > 200 ns
IRQ パルス幅	t_{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効	t_{Pcyc} × 2 ≦ 200 ns
		t_{Pcyc} × 2(注1)	—	—			t_{Pcyc} × 2 > 200 ns
		200	—	—		IRQ デジタルフィルタ有効	t_{IRQCK} × 3 ≦ 200 ns
		t_{IRQCK} × 3.5(注3)	—	—			t_{IRQCK} × 3 > 200 ns

注.　ソフトウェアスタンバイモード時は最小 200 ns です。
注.　システムクロックソースを切り替える場合、切り替えるクロックソースの 4 クロックサイクルを足します。
注 1.　t_{Pcyc} は PCLKB の周期を示します。
注 2.　t_{NMICK} は、NMI デジタルフィルタサンプリングクロックの周期を示します。
注 3.　t_{IRQCK} は、IRQi デジタルフィルタサンプリングクロックの周期を示します。

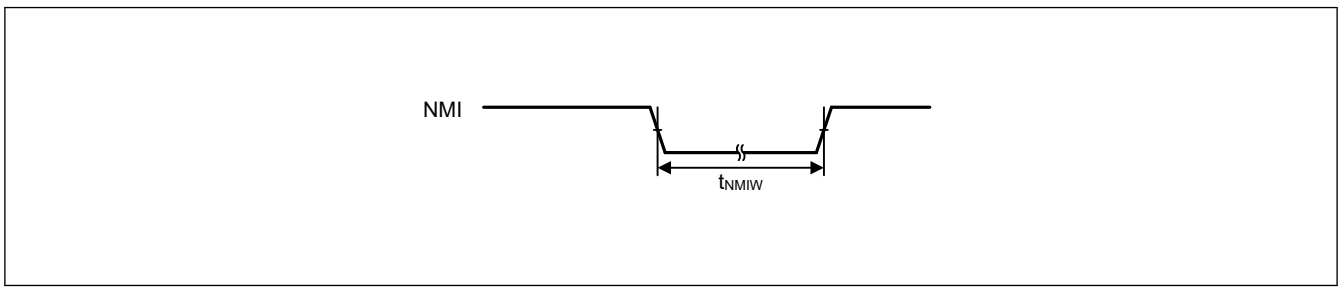


図 52.25　NMI 割り込み入力タイミング

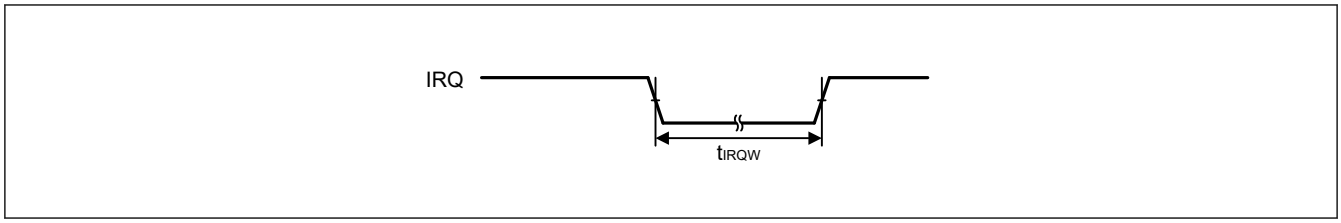


図 52.26 IRQ 割り込み入力タイミング

52.3.6 I/O ポート、POEG、GPT、AGT、ULPT、ADC12 のトリガタイミング

表 52.37 I/O ポート、POEG、GPT、AGT、ULPT、ADC12 のトリガタイミング (1/2)

GPT 条件：
PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。
VCC I/O と VCC2 I/O に GPT 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。
AGT 条件：
PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目			シンボル	Min	Max	単位	測定条件
I/O ポート	入力データパルス幅		t_{PRW}	5.5	—	t_{Icyc}	図 52.27
	EXCIN 入力周波数		t_{EXCIN}	—	36	kHz	
	RTCICn (n = 0～2) 入力パルス幅		t_{RTCICW}	13.89	—	μs	図 52.28
POEG	POEG 入力トリガパルス幅		t_{POEW}	3	—	t_{Pcyc}	図 52.29
GPT	インプットキャプチャパルス幅（サイクル）	単エッジ	t_{GTICW}(注1)	1.5	—	t_{PDcyc}	図 52.30
		両エッジ		2.5	—		
	インプットキャプチャパルス幅（回数）	2.70 V 以上	t_{GTICW}(注1)	12.5	—	ns	
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		25.0	—		
	GTIOCxY 出力スキュー（x = 0～5、Y = A または B）	2.70 V 以上	t_{GTISK}	—	4	ns	図 52.31
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	5		
	GTIOCxY 出力スキュー（x = 10～13、Y = A または B）	2.70 V 以上		—	4		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	5		
	GTIOCxY 出力スキュー（x = 0、5、10～13、Y = A または B）	2.70 V 以上		—	6		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	7		
AGT	AGTIO、AGTEE 入力サイクル	2.70 V 以上	t_{ACYC}(注2)	100	—	ns	図 52.32
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		100	—		
	AGTIO、AGTEE 入力 High レベル幅、Low レベル幅	2.70 V 以上	t_{ACKWH}, t_{ACKWL}	40	—	ns	
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		40	—		
	AGTIO、AGTO、AGTOA、AGTOB 出力サイクル	2.70 V 以上	t_{ACYC2}	62.5	—	ns	
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		62.5	—		

表 52.37 I/O ポート、POEG、GPT、AGT、ULPT、ADC12 のトリガタイミング (2/2)

GPT 条件：
PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。
VCC I/O と VCC2 I/O に GPT 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。
AGT 条件：
PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目			シンボル	Min	Max	単位	測定条件
ULPT	ULPTEE、ULPTEVI 入力サイクル	2.70 V 以上	t_{ULCYC}(注3)	32	-	μs	図 52.33
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		32	-		
	ULPTEE、ULPTVI 入力 High レベル幅、Low レベル幅	2.70 V 以上	t_{ULCKWH}, t_{ULCKWL}	12	-	μs	
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		12	-		
	ULPTO、ULPTOA、ULPTOB 出力サイクル	2.70 V 以上	t_{ULCYC2}	64	-	μs	
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		64	-		
ADC12	ADC12 トリガ入力パルス幅	2.70 V 以上	t_{TRGW}	1.5	—	t_{Pcyc}	図 52.34
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		3.0	—		

注. t_{Icyc}：ICLK の周期、t_{Pcyc}：PCLKB の周期、t_{PDcyc}：PCLKD の周期、$t_{ULPTLCLK}$：ULPTLCLK の周期
注 1. 「周期」と「回数」については、時間が長い方の特性が適用されます。
注 2. 入力サイクルの制限：
ソースクロックを切り替え中でない場合：$t_{Pcyc} \times 2 < t_{ACYC}$ を満たす必要があります。
ソースクロックを切り替え中の場合：$t_{Pcyc} \times 6 < t_{ACYC}$ を満たす必要があります。
注 3. 入力サイクルの制限：
ULPTEVI: $t_{Pcyc} \times 2 < t_{ULCYC}$ を満たす必要があります。
ULPTEE: $t_{ULPTLCLK} \times 2 < t_{ULCYC}$ を満たす必要があります。

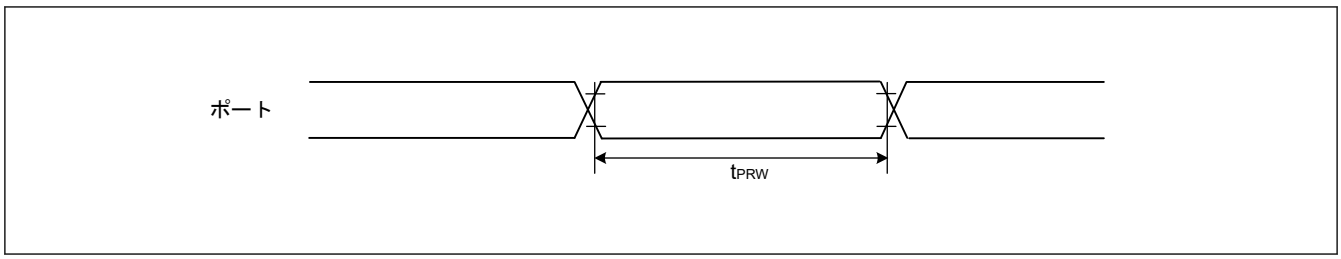


図 52.27 I/O ポート入力タイミング

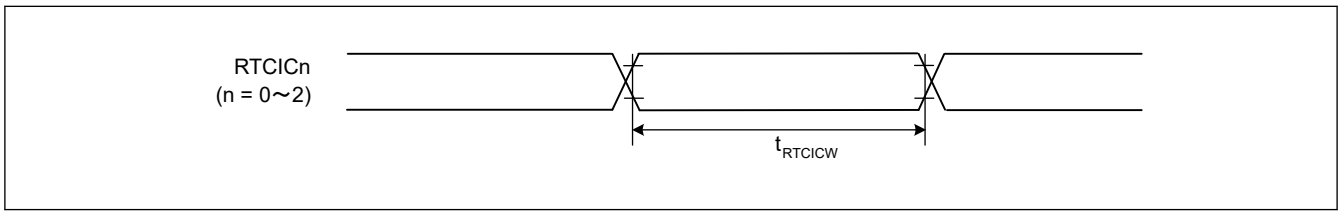


図 52.28 RTCICn 入力タイミング

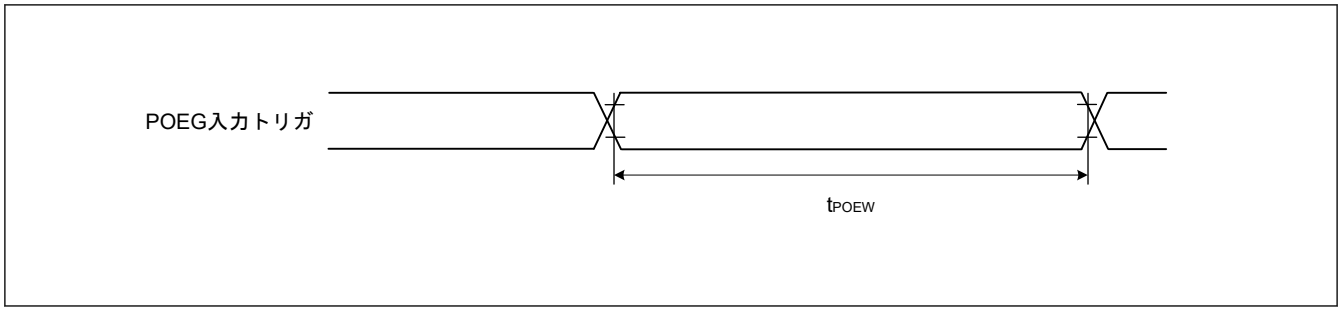


図 52.29 POEG 入力トリガタイミング

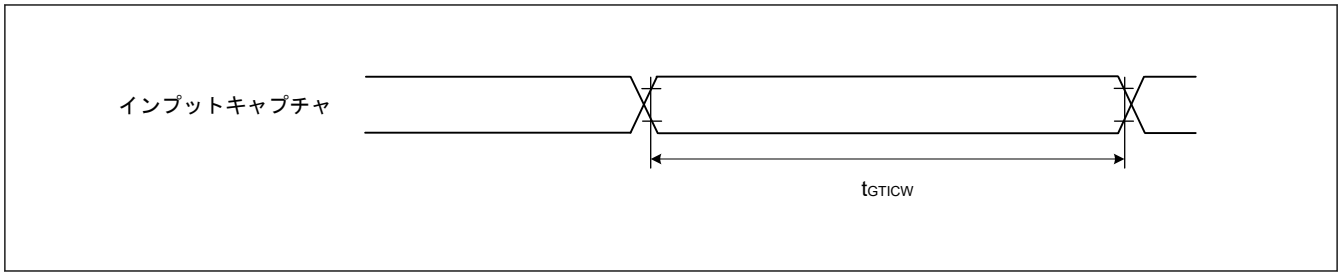


図 52.30　GPT インプットキャプチャタイミング

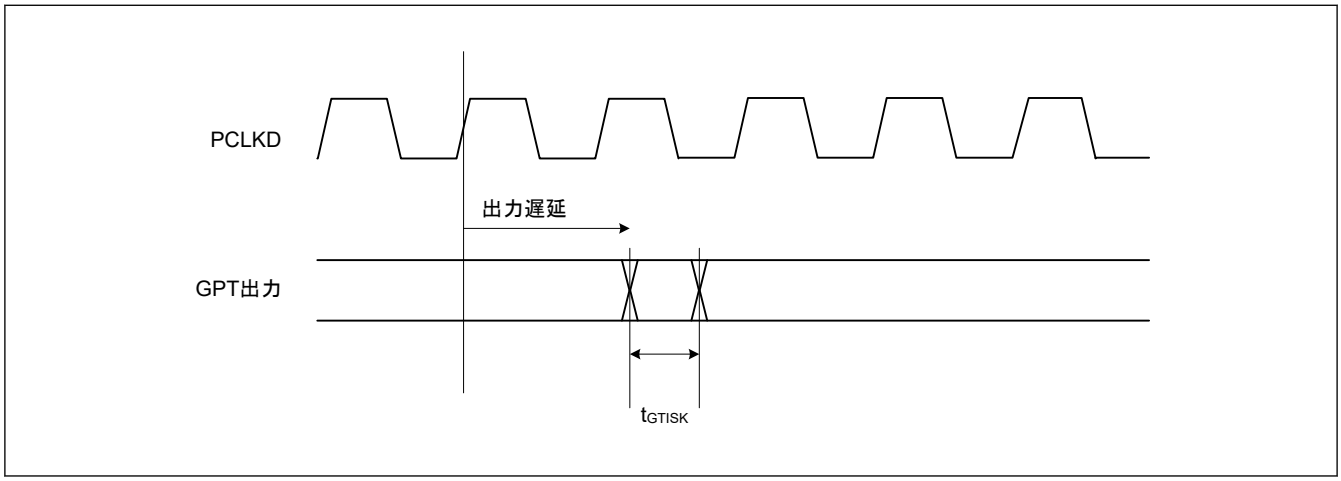


図 52.31　GPT 出力遅延スキュー

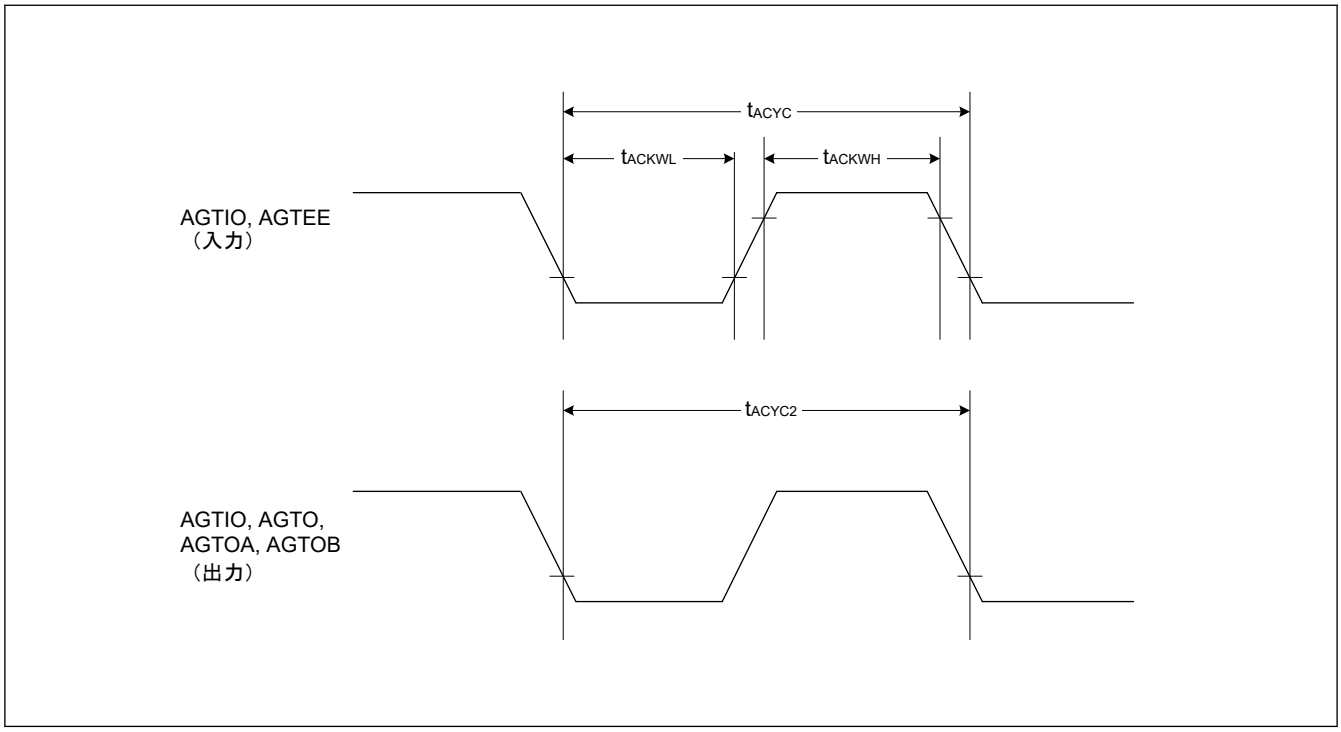


図 52.32　AGT 入出力タイミング

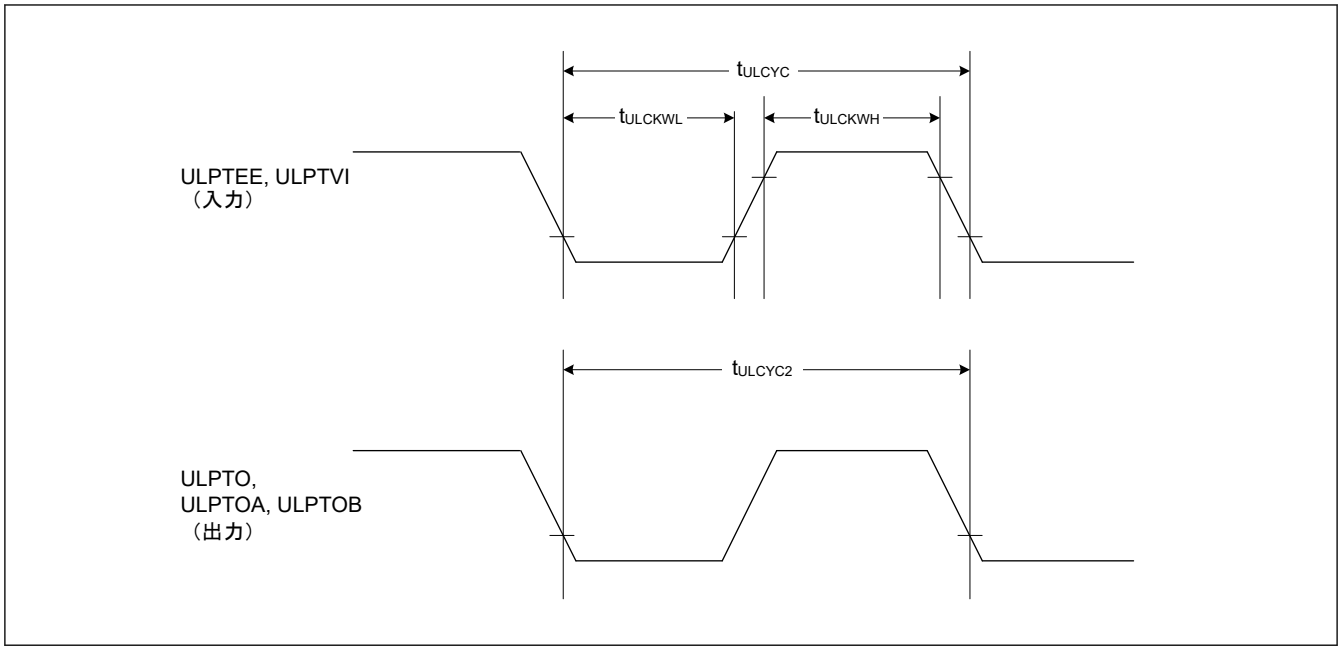


図 52.33　ULPT 入出力タイミング

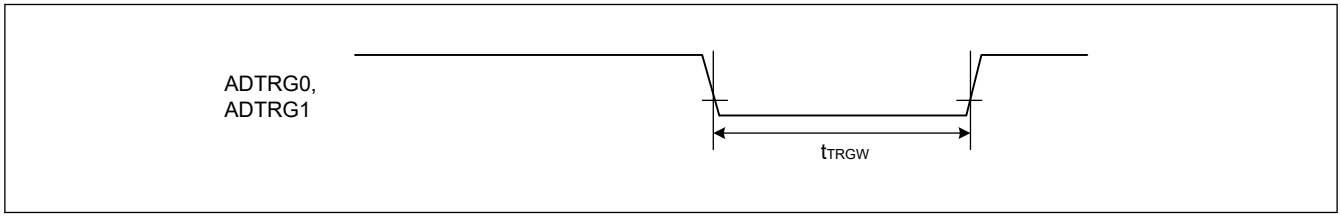


図 52.34　ADC12 トリガ入力タイミング

52.3.7　CAC タイミング

表 52.38　CAC タイミング

項目			シンボル	Min	Typ	Max	単位	測定条件
CAC	CACREF 入力パルス幅	$t_{PBcyc} \leqq t_{cac}$(注1)	t_{CACREF}	4.5 × t_{cac} + 3 × t_{PBcyc}	—	—	ns	—
		$t_{PBcyc} > t_{cac}$(注1)		5 × t_{cac} + 6.5 × t_{PBcyc}	—	—	ns	

注.　t_{PBcyc}：PCLKB の周期
注 1.　t_{cac}：CAC カウントクロックソースの周期

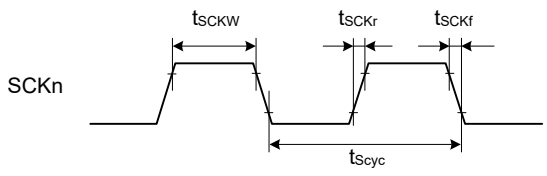
52.3.8 SCI タイミング

表 52.39 SCI タイミング（調歩同期式モード）

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されていること。
VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

項目	VCC/VCC2	シンボル	Min	Max	単位	備考
入力クロックサイクル	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)	t_{Scyc}	4.0	—	t_{Tcyc}	図 52.35
入力クロックパルス幅	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)	t_{SCKW}	0.4	—	t_{Scyc}	
入力クロック立ち上がり時間	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)	t_{SCKr}	—	0.1(注1)	t_{Scyc}	
入力クロック立ち下がり時間	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)	t_{SCKf}	—	0.1(注1)	t_{Scyc}	
出力クロックサイクル	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)	t_{Scyc}	6.0	—	t_{Tcyc}	
出力クロックパルス幅	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)	t_{SCKW}	0.4	—	t_{Scyc}	
出力クロック立ち上がり時間	2.70 V 以上	t_{SCKr}	—	3.3	ns	
	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	6.6		
出力クロック立ち下がり時間	2.70 V 以上	t_{SCKf}	—	3.3	ns	
	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	6.6		

注. t_{Tcyc}：TCLK の周期
注 1. 最長 1 µs



注. n = 0～4, 9

図 52.35 SCK クロック入出力タイミング

表 52.40　SCI タイミング（簡易 SPI） (1/2)

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されていること。
VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

項目		高速／デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
SCK クロックサイクル出力	マスタ	—	2.70 V 以上	t_{SPcyc}	2.0	65536	t_{Tcyc}	図 52.36
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		4.0	65536		
SCK クロックサイクル入力	スレーブ	—	2.70 V 以上		2.0	65536		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		4.0	65536		
SCK クロック High レベルパルス幅	マスタ	—	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)	t_{SPCKWH}	0.4	—	t_{SPcyc}	
	スレーブ	—						
SCK クロック Low レベルパルス幅	マスタ	—	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)	t_{SPCKWL}	0.4	—	t_{SPcyc}	
	スレーブ	—						
SCK クロック立ち上がり／立ち下がり時間	出力	—	2.70 V 以上	t_{SPCKr}, SPCKf	—	3.3	ns	
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	6.6		
	入力	—	2.70 V 以上		—	0.1(注3)	t_{SPcyc}	
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	0.1(注3)		
データ入力セットアップ時間	マスタ	高速(注1)	2.70 V 以上	t_{SU}	14.9 -（AST[2:0] 設定値）	—	ns	図 52.37、図 52.38
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		23.1 -（AST[2:0] 設定値）	—		
		デフォルト(注2)	2.70 V 以上		16.2 -（AST[2:0] 設定値）	—		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		23.8 -（AST[2:0] 設定値）	—		
	スレーブ	デフォルト(注2)	2.70 V 以上		2.5	—		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		4.5	—		
データ入力ホールド時間	マスタ	高速(注1)	2.70 V 以上	t_H	-3.2 +（AST[2:0] 設定値）	—	ns	図 52.37、図 52.38
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		-3.2 +（AST[2:0] 設定値）	—		
		デフォルト(注2)	2.70 V 以上		-3.2 +（AST[2:0] 設定値）	—		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		-3.2 +（AST[2:0] 設定値）	—		
	スレーブ	デフォルト(注2)	2.70 V 以上		2.5	—		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		4.5	—		

表 52.40　SCI タイミング（簡易 SPI） (2/2)

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されていること。
VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

項目		高速／デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
データ出力遅延時間	マスタ	高速(注1)	2.70 V 以上	t_{OD}	—	3.0	ns	図 52.37、図 52.38
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	4.5		
		デフォルト(注2)	2.70 V 以上		—	3.5		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	5.5		
	スレーブ	高速(注1)	2.70 V 以上		—	15.0		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	23.0		
		デフォルト(注2)	2.70 V 以上		—	21.0		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	29.0		
データ出力ホールド時間	マスタ	高速(注1)	2.70 V 以上	t_{OH}	-3.0	—	ns	図 52.37、図 52.38
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		-4.5	—		
		デフォルト(注2)	2.70 V 以上		-3.5	—		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		-5.5	—		
	スレーブ	デフォルト(注2)	2.70 V 以上		0.0	—		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		0.0	—		
データ立ち上がり／立ち下がり時間	出力	—	2.70 V 以上	t_{Dr}, t_{Df}	—	3.3	ns	
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	6.6		
	入力	—	2.70 V 以上		—	1.0	μs	
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	1.0		
SS 入力セットアップ時間		—	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)	t_{LEAD}	1.0	—	t_{SPcyc}	図 52.39, 図 52.40
SS 入力ホールド時間		—	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)	t_{LAG}	1.0	—	t_{SPcyc}	
SS 入力立ち上がり／立ち下がり時間		—	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)	t_{SSLr}, t_{SSLf}	—	1.0	μs	—
スレーブアクセス時間		—	2.70 V 以上	t_{SA}	—	$3 \times t_{Tcyc} + 25$	ns	図 52.39、図 52.40
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	$3 \times t_{Tcyc} + 32$		
スレーブ出力解放時間		—	2.70 V 以上	t_{REL}	—	$3 \times t_{Tcyc} + 25$	ns	
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	$3 \times t_{Tcyc} + 32$		

注.　t_{Tcyc}：TCLK の周期
注 1.　所属グループを示すため、_A、_B、_C などのように端子名の後ろに文字を付加した端子を使用してください。SCI0、SCI1、SCI2、SCI3、および SCI9 は_A の例に該当し、SCI4 は_B の例に該当します。
注 2.　所属グループのすべての端子を使用できます。
注 3.　最長 1 μs

表 52.41　SCI タイミング（クロック同期式モード） (1/3)

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されていること。
VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

項目		高速／デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
SCK クロックサイクル出力	マスタ	—	2.70 V 以上	t_{Scyc}	2.0	—	t_{Tcyc}	
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		4.0	—		
SCK クロックサイクル入力	スレーブ	—	2.70 V 以上		2.0	—		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		4.0	—		
SCK クロック High レベルパルス幅	マスタ	—	2.70 V 以上	t_{SCKWH}	0.4	—	t_{Scyc}	
	スレーブ		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)					
SCK クロック Low レベルパルス幅	マスタ	—	2.70 V 以上	t_{SCKWL}	0.4	—	t_{Scyc}	
	スレーブ		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)					
SCK クロック立ち上がり／立ち下がり時間	出力	—	2.70 V 以上	t_{SCKr}, t_{SCKf}	—	3.3	ns	
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	6.6		
	入力	—	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	0.1(注3)	t_{Scyc}	
データ入力セットアップ時間	マスタ	高速(注1)	2.70 V 以上	t_{SU}	15.1 -（AST[2:0] 設定値）	—	ns	
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		23.2 -（AST[2:0] 設定値）	—		
		デフォルト(注2)	2.70 V 以上		16.5 -（AST[2:0] 設定値）	—		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		24.2 -（AST[2:0] 設定値）	—		
	スレーブ	デフォルト(注2)	2.70 V 以上		3.3	—		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		5.3	—		

表 52.41　SCI タイミング（クロック同期式モード） (2/3)

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されていること。
VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

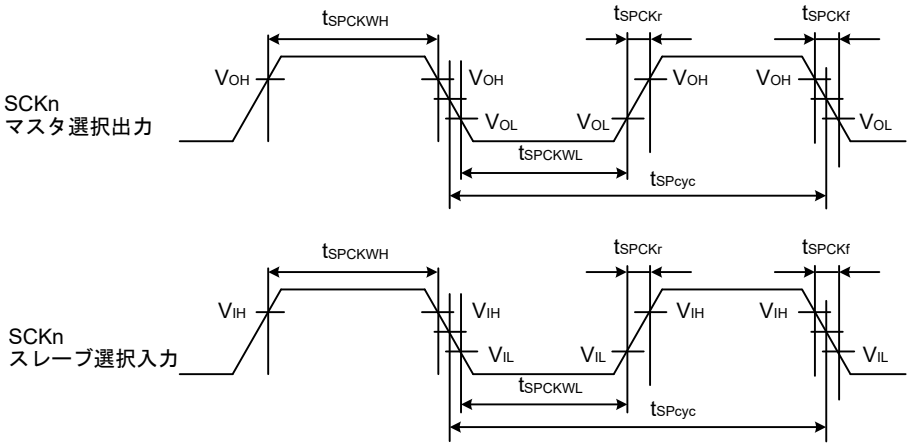
項目		高速／デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
データ入力ホールド時間	マスタ	高速(注1)	2.70 V 以上	t_H	-3.3 +（AST[2:0] 設定値）	—	ns	
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		-3.3 +（AST[2:0] 設定値）	—		
		デフォルト(注2)	2.70 V 以上		-3.2 +（AST[2:0] 設定値）	—		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		-3.2 +（AST[2:0] 設定値）	—		
	スレーブ	デフォルト(注2)	2.70 V 以上		3.0	—		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		5.0	—		
データ出力遅延時間	マスタ	高速(注1)	2.70 V 以上	t_{OD}	—	5.0	ns	
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	5.0		
		デフォルト(注2)	2.70 V 以上		—	7.3		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	7.3		
	スレーブ	高速(注1)	2.70 V 以上		—	15.0		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	23.0		
		デフォルト(注2)	2.70 V 以上		—	21.0		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	29.0		

表 52.41　SCI タイミング（クロック同期式モード） (3/3)

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されていること。
VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

項目		高速／デフォルト	VCC/VCC2	シンボル	Min	Max	単位	備考
データ出力ホールド時間	マスタ	高速(注1)	2.70 V 以上	t_{OH}	-5.0	—	ns	
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		-5.0	—		
		デフォルト(注2)	2.70 V 以上		-7.3	—		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		-7.3	—		
	スレーブ	高速(注1)	2.70 V 以上		0	—		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		0	—		
		デフォルト(注2)	2.70 V 以上		0	—		
			1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		0	—		
データ立ち上がり／立ち下がり時間	出力	—	2.70 V 以上	t_{Dr}, t_{Df}	—	3.3	ns	
		—	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	6.6		
	入力	—	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	1.0	μs	

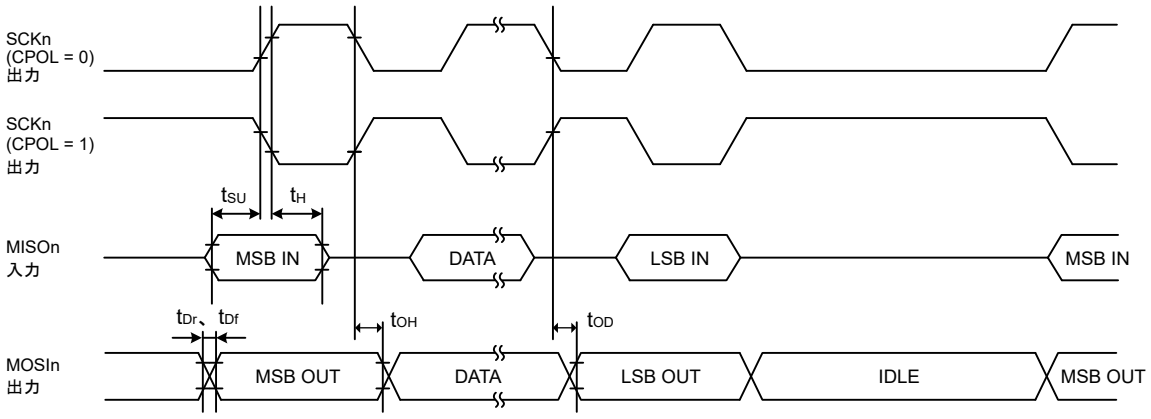
注.　t_{Tcyc}：TCLK の周期
注 1.　所属グループを示すため、_A、_B、_C などのように端子名の後ろに文字を付加した端子を使用してください。SCI0、SCI1、SCI2、SCI3、および SCI9 は_A の例に該当し、SCI4 は_B の例に該当します。
注 2.　所属グループのすべての端子を使用できます。
注 3.　最長 1 μs



V_{OH} = 0.7 × VCCまたは0.7 × VCC2、V_{OL} = 0.3 × VCCまたは0.3 × VCC2、
V_{IH} = 0.7 × VCCまたは0.7 × VCC2、V_{IL} = 0.3 × VCCまたは0.3 × VCC2

注. n = 0～4, 9

図 52.36 SCI 簡易 SPI モードクロックタイミング



注. n = 0～4, 9

図 52.37 SCI 簡易 SPI モードタイミング（マスタ、CPHA = 0）

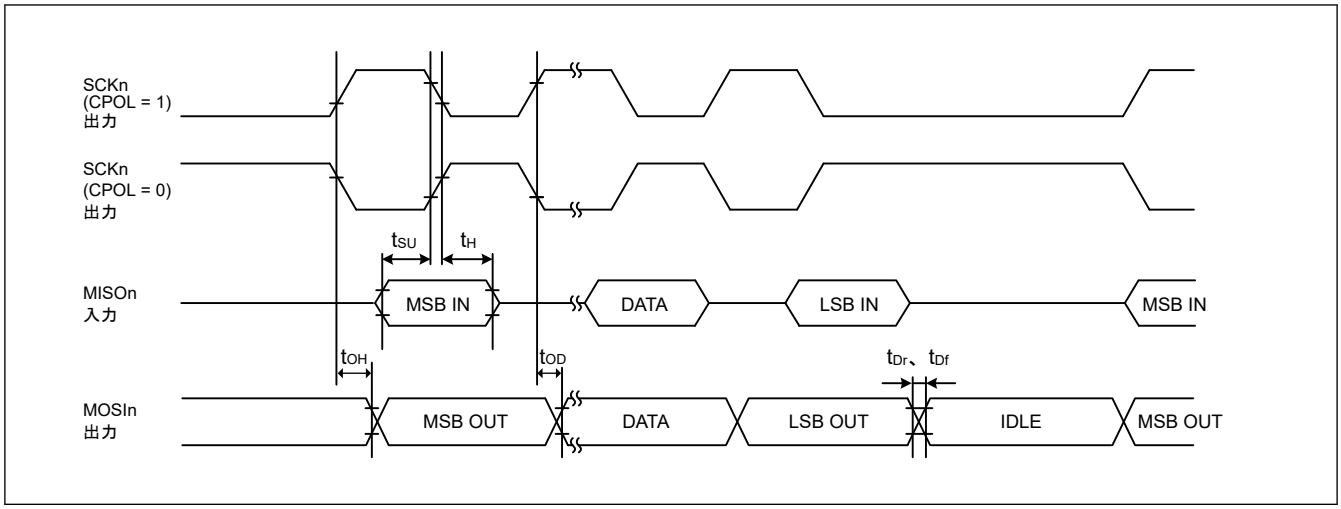
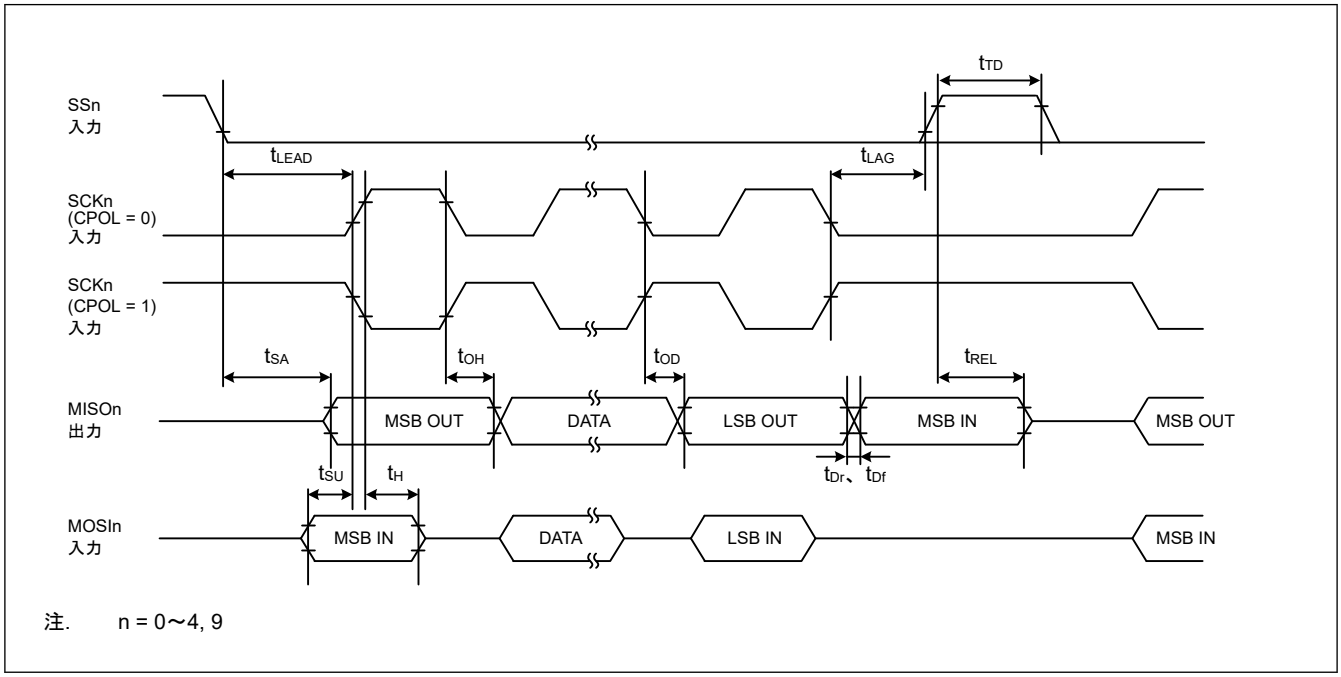
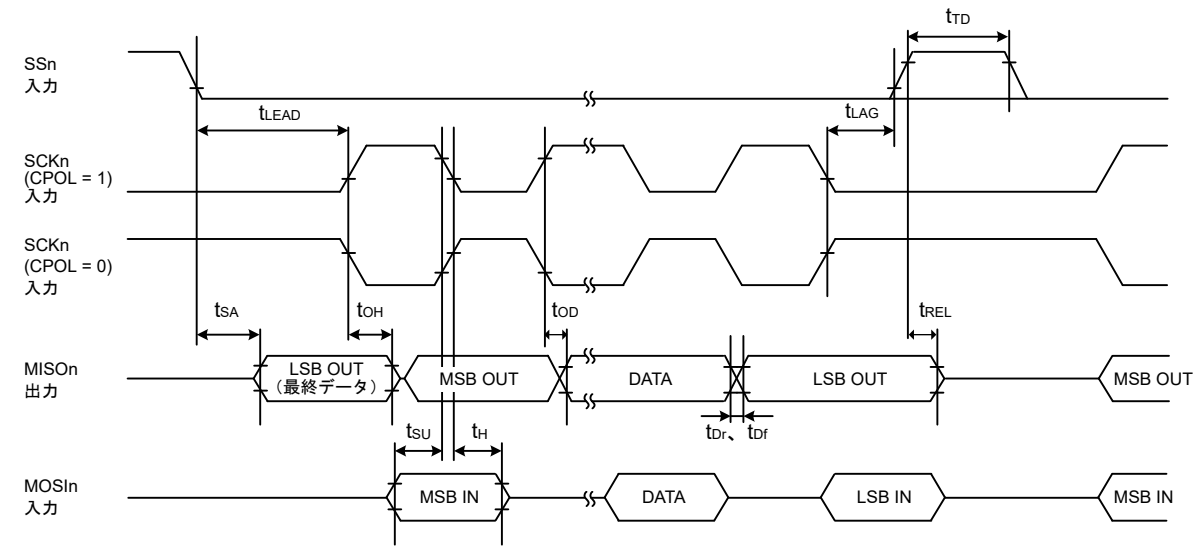


図 52.38　SCI 簡易 SPI モードタイミング（マスタ、CPHA = 1）



注.　n = 0～4, 9

図 52.39　SCI 簡易 SPI モードタイミング（スレーブ、CPHA = 0）



注. n = 0～4, 9

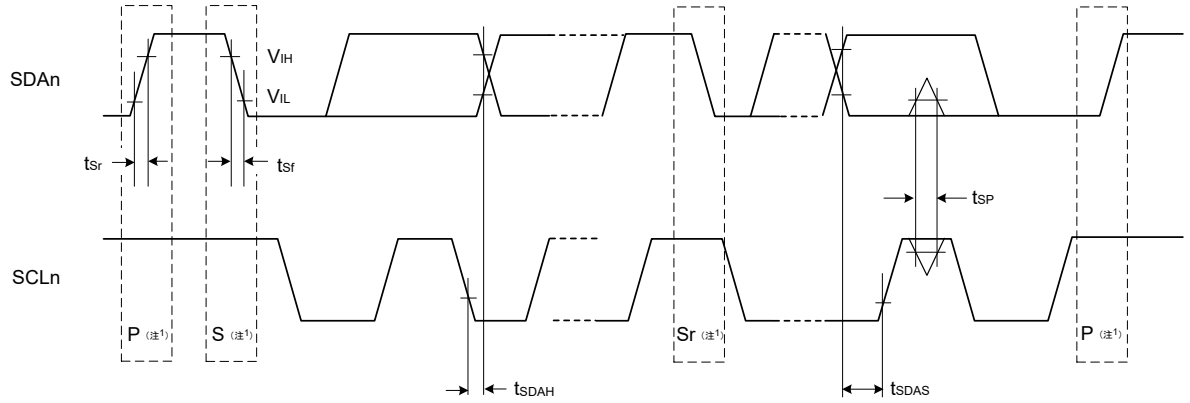
図 52.40 SCI 簡易 SPI モードタイミング（スレーブ、CPHA = 1）

表 52.42 SCI タイミング（簡易 IIC モード）

条件：PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されていること。
VCC：1.68 V 以上、VCC2：1.65 V 以上
VCC I/O と VCC2 I/O に SCI 端子が指定されている場合、VCC = VCC2 のときに限って下記の特性が保証されます。

項目		シンボル	Min	Max	単位	備考
簡易 IIC（標準モード）	SCL、SDA 入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	4 × t_{Tcyc}	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b(注1)	—	400	pF	
簡易 IIC（ファストモード）	SCL、SDA 入力立ち上がり時間	t_{Sr}	—	300	ns	
	SCL、SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	4 × t_{Tcyc}	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b(注1)	—	400	pF	

注. t_{Tcyc}：TCLK の周期
注 1. C_b はバスラインの容量総計を意味します。



測定条件：
V_{IH} = VCC × 0.7又はVCC2 × 0.7
V_{IL} = VCC × 0.3又はVCC2 × 0.3
V_{OL} = 0.6 V, I_{OL} = 6 mA

注. n = 0～4, 9
注 1. S、P、Sr はそれぞれ以下の条件を示します。
S：スタートコンディション
P：ストップコンディション
Sr：リスタートコンディション

図 52.41 SCI 簡易 IIC モードタイミング

52.3.9 SPI タイミング

表 52.43 SPI タイミング (1/4)

条件：

1. PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されていること。
2. 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。
3. VCC/VCC2 の条件「3.00 V 以上」に、負荷容量 C = 15 pF の条件が適用されます。

項目		VCC/VCC2	シンボル	Min	Max	単位	備考
RSPCK クロックサイクル	マスタ	3.00 V 以上	t_{SPcyc}	2.0	4096	t_{Tcyc}	図 52.42
		2.70 V 以上		2.0	4096		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		4.0	4096		
	スレーブ	3.00 V 以上		2.0	—		
		2.70 V 以上		2.0	—		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		4.0	—		
RSPCK クロック High レベルパルス幅	マスタ	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)	t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
	スレーブ	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		0.4	—	t_{SPcyc}	
RSPCK クロック Low レベルパルス幅	マスタ	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)	t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
	スレーブ	1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		0.4	—	t_{SPcyc}	
RSPCK クロック立ち上がり／立ち下がり時間	出力	3.00 V 以上	t_{SPCKr}, t_{SPCKf}	—	1.66	ns	
		2.70 V 以上		—	3.30		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	6.60		
	入力	3.00 V 以上		—	0.1(注1)	t_{SPcyc}	
		2.70 V 以上		—	0.1(注1)		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	0.1(注1)		

表 52.43 SPI タイミング (2/4)

条件：

1. PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されていること。
2. 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。
3. VCC/VCC2 の条件「3.00 V 以上」に、負荷容量 C = 15 pF の条件が適用されます。

項目		VCC/VCC2	シンボル	Min	Max	単位	備考
データ入力セットアップ時間	マスタ	3.00 V 以上	t_{SU}	-2.5	—	ns	図 52.43、図 52.44
		2.70 V 以上		0.0	—		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		0.0	—		
	スレーブ	3.00 V 以上		2.5	—		
		2.70 V 以上		2.5	—		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		2.5	—		
データ入力ホールド時間	マスタ	3.00 V 以上	t_{H}	7.5	—	ns	
		2.70 V 以上		7.5	—		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		9.5	—		
	スレーブ	3.00 V 以上		2.5	—		
		2.70 V 以上		2.5	—		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		5.5	—		
SSL セットアップ時間	マスタ	3.00 V 以上	t_{LEAD}	1 × t_{SPcyc} - 10	8 × t_{SPcyc} + 10	ns	
		2.70 V 以上		1 × t_{SPcyc} - 10	8 × t_{SPcyc} + 10		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		1 × t_{SPcyc} - 10	8 × t_{SPcyc} + 10		
	スレーブ	3.00 V 以上		4.0	—	t_{Tcyc}	
		2.70 V 以上		4.0	—		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		4.0	—		
SSL ホールド時間	マスタ	3.00 V 以上	t_{LAG}	1 × t_{SPcyc} - 10	8 × t_{SPcyc} + 10	ns	
		2.70 V 以上		1 × t_{SPcyc} - 10	8 × t_{SPcyc} + 10		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		1 × t_{SPcyc} - 10	8 × t_{SPcyc} + 10		
	スレーブ	3.00 V 以上		4.0	—	t_{Tcyc}	
		2.70 V 以上		4.0	—		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		4.0	—		

表 52.43　SPI タイミング (3/4)

条件：

1. PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されていること。
2. 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。
3. VCC/VCC2 の条件「3.00 V 以上」に、負荷容量 C = 15 pF の条件が適用されます。

項目		VCC/VCC2	シンボル	Min	Max	単位	備考
TI SSP SS 入力セットアップ時間	スレーブ	3.00 V 以上	t_{TISS}	2.5	—	ns	図 52.48
		2.70 V 以上		2.5	—		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		2.5	—		
TI SSP SS 入力ホールド時間	スレーブ	3.00 V 以上	t_{TISH}	2.5	—	ns	
		2.70 V 以上		2.5	—		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		5.5	—		
TI SSP 次アクセス時間	スレーブ	3.00 V 以上	t_{TIND}	2 × t_{Tcyc} + SLNDL × t_{Tcyc}	—	ns	
		2.70 V 以上		2 × t_{Tcyc} + SLNDL × t_{Tcyc}	—		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		2 × t_{Tcyc} + SLNDL × t_{Tcyc}	—		
TI SSP マスタ SS 出力遅延	マスタ	3.00 V 以上	t_{TISSOD}	—	4.0	ns	図 52.45
		2.70 V 以上		—	8.0		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	8.0		
データ出力遅延時間	マスタ	3.00 V 以上	t_{OD1}	—	2.0	ns	図 52.43、図 52.44
		2.70 V 以上		—	3.0		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	6.0		
		3.00 V 以上	t_{OD2}	—	2.5		
		2.70 V 以上		—	2.5		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	4.5		
	スレーブ	3.00 V 以上	t_{OD}	—	12.5		
		2.70 V 以上		—	16.0		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	24.0		
データ出力ホールド時間	マスタ	3.00 V 以上	t_{OH}	-2.5	—	ns	図 52.43、図 52.44
		2.70 V 以上		-2.5	—		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		-4.5	—		
	スレーブ	3.00 V 以上		0.0	—		
		2.70 V 以上		0.0	—		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		0.0	—		

表 52.43　SPI タイミング (4/4)

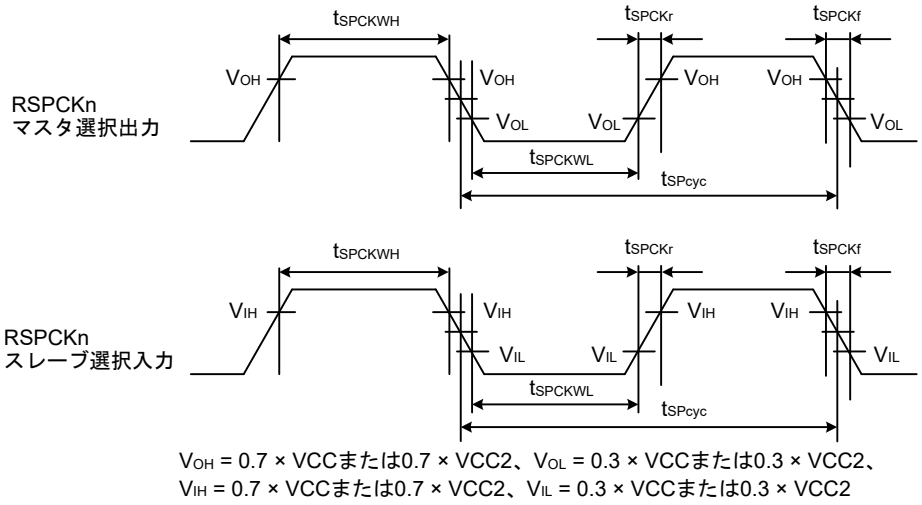
条件：

1. PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されていること。
2. 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。
3. VCC/VCC2 の条件「3.00 V 以上」に、負荷容量 C = 15 pF の条件が適用されます。

項目		VCC/VCC2	シンボル	Min	Max	単位	備考
連続送信遅延時間	マスタ	3.00 V 以上	t_{TD}	$t_{SPcyc} + 2 \times t_{Tcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Tcyc}$	ns	図 52.43、図 52.44
		2.70 V 以上		$t_{SPcyc} + 2 \times t_{Tcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Tcyc}$		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		$t_{SPcyc} + 2 \times t_{Tcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Tcyc}$		
	スレーブ	3.00 V 以上		t_{Tcyc}	—	ns	
		2.70 V 以上		t_{Tcyc}	—		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		t_{Tcyc}	—		
MOSI、MISO 立ち上がり／立ち下がり時間	出力	3.00 V 以上	t_{Dr}, t_{Df}	—	1.66	ns	図 52.43、図 52.44
		2.70 V 以上		—	3.30		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	6.60		
	入力	3.00 V 以上		—	1.0	μs	
		2.70 V 以上		—	1.0		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	1.0		
SSL 立ち上がり／立ち下がり時間	出力	3.00 V 以上	t_{SSLr}, t_{SSLf}	—	1.66	ns	図 52.43、図 52.44
		2.70 V 以上		—	3.30		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	6.60		
	入力	3.00 V 以上		—	1.0	μs	
		2.70 V 以上		—	1.0		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	1.0		
スレーブアクセス時間	スレーブ	3.00 V 以上	t_{SA}	—	20.0	ns	図 52.46、図 52.47
		2.70 V 以上		—	20.0		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	25.0		
スレーブ出力解放時間	スレーブ	3.00 V 以上	t_{REL}	—	20.0	ns	
		2.70 V 以上		—	20.0		
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)		—	25.0		

注.　t_{Tcyc}: TCLK の周期

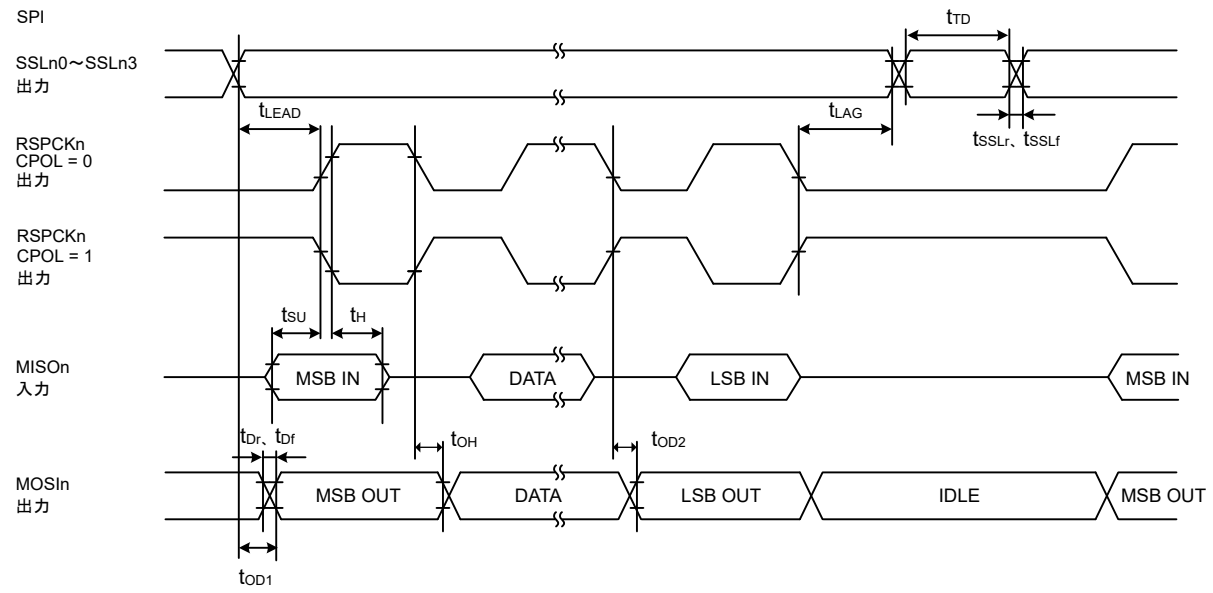
注 1.　最長 1 μs



V_{OH} = 0.7 × VCCまたは0.7 × VCC2、V_{OL} = 0.3 × VCCまたは0.3 × VCC2、
V_{IH} = 0.7 × VCCまたは0.7 × VCC2、V_{IL} = 0.3 × VCCまたは0.3 × VCC2

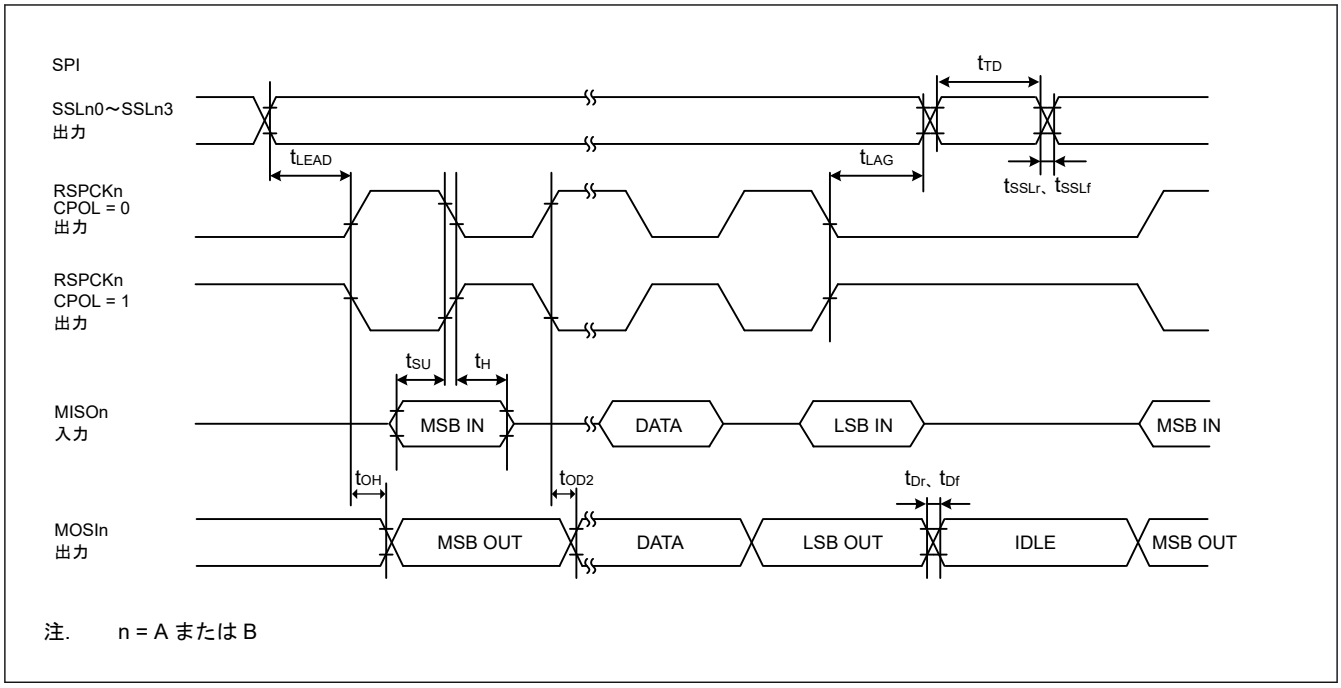
注. n = A または B

図 52.42 SPI クロックタイミング



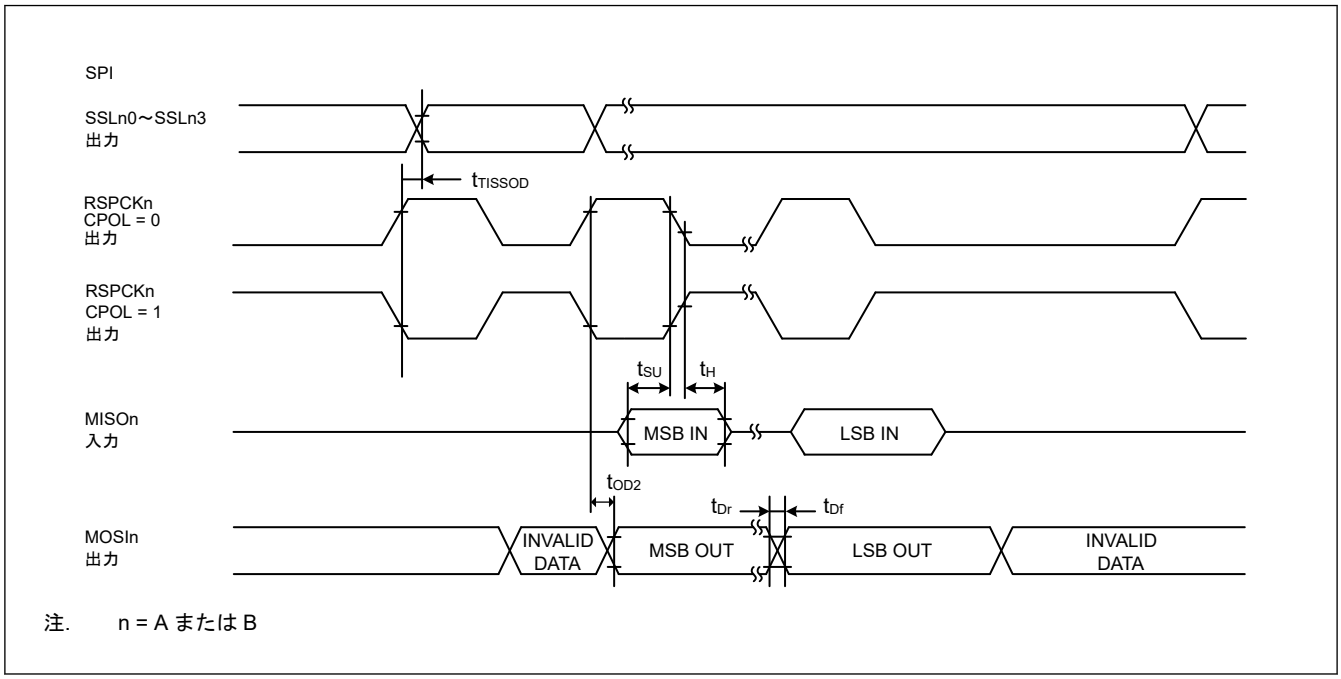
注. n = A または B

図 52.43 CPHA = 0 の場合におけるモトローラ SPI マスタの SPI タイミング



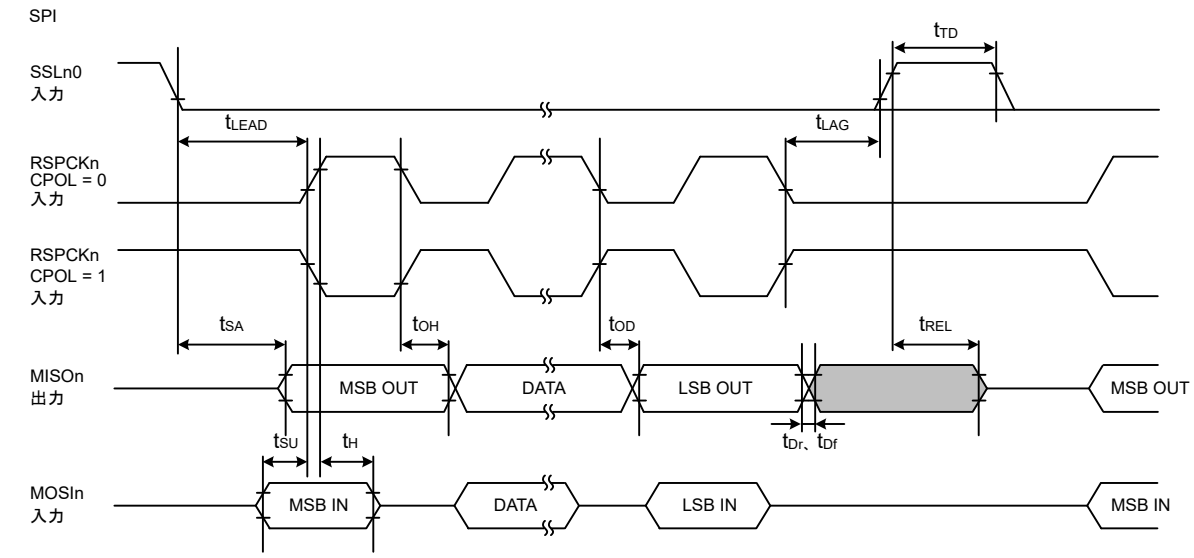
注. n = A または B

図 52.44 CPHA = 1 の場合におけるモトローラ SPI マスタの SPI タイミング



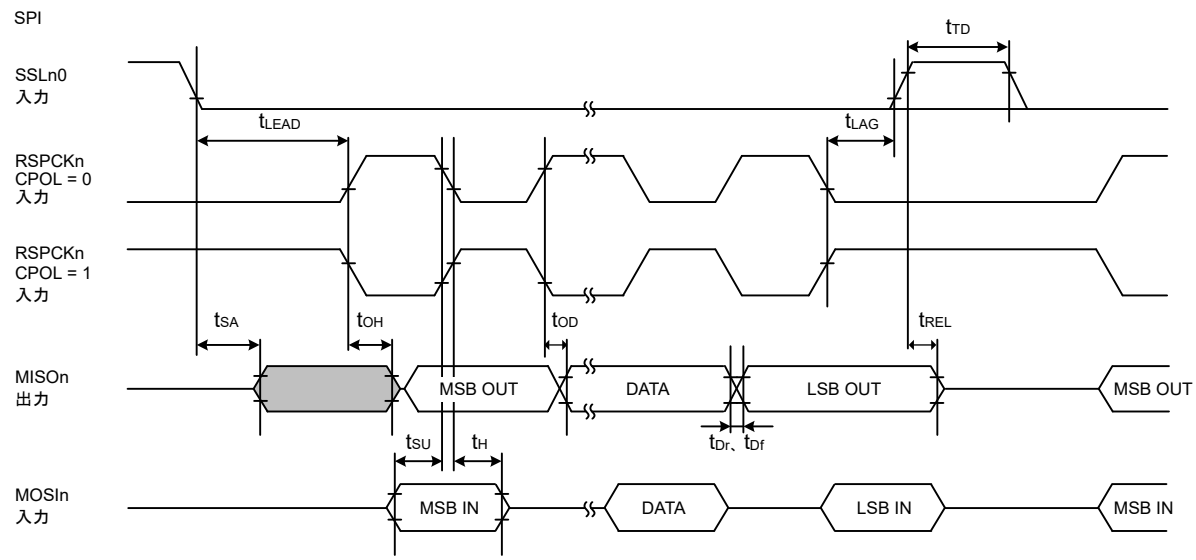
注. n = A または B

図 52.45 SPI タイミング（TI SSP マスタ）



注. n = A または B

図 52.46 CPHA = 0 の場合におけるモトローラ SPI スレーブの SPI タイミング



注. n = A または B

図 52.47 CPHA = 1 の場合におけるモトローラ SPI スレーブの SPI タイミング

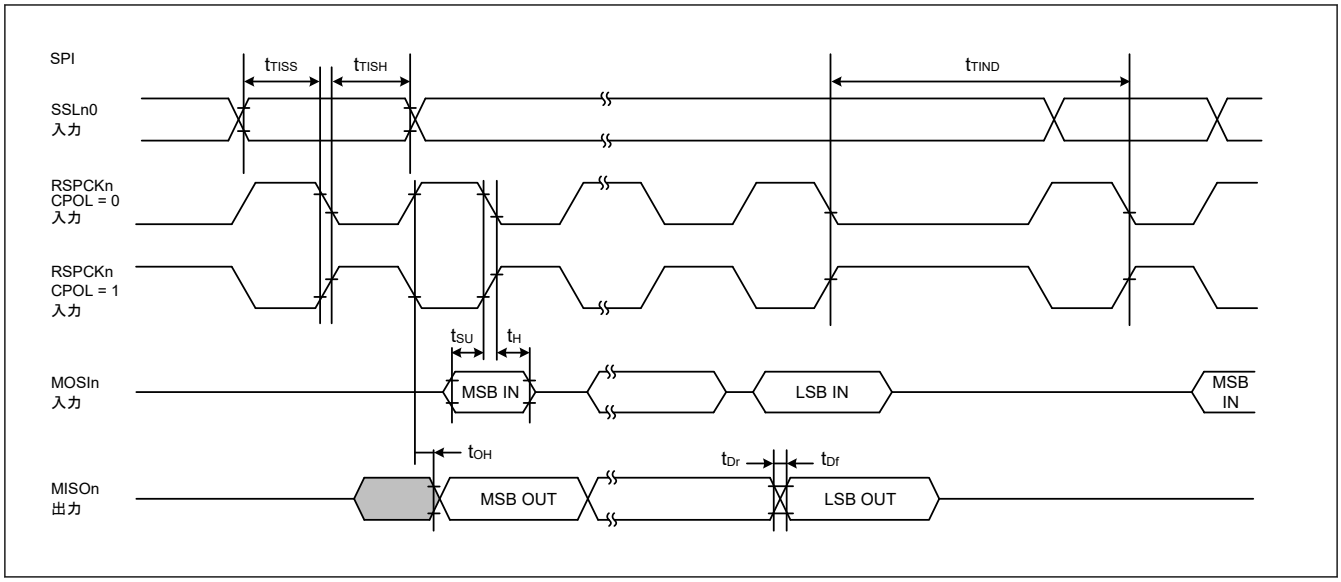


図 52.48　フレーム間の遅延がある送信における TI SSP スレーブの SPI タイミング

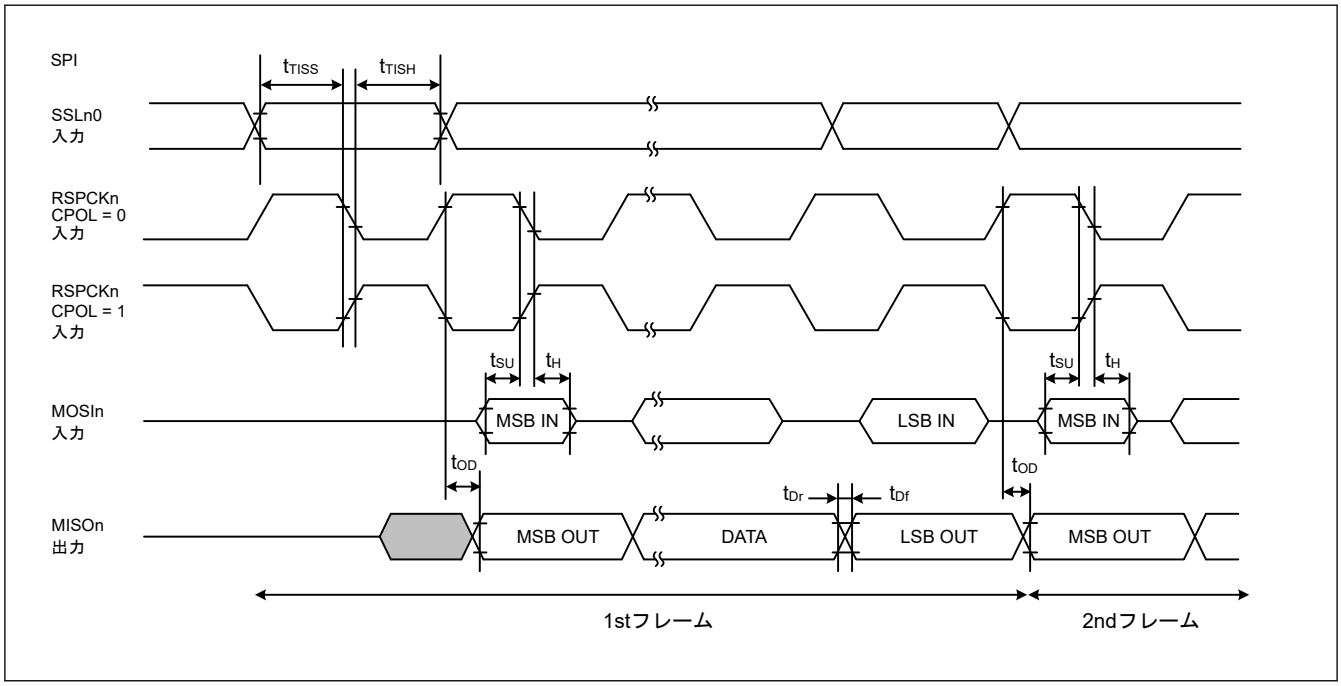


図 52.49　フレーム間の遅延がない送信における TI SSP スレーブの SPI タイミング

52.3.10 OSPI タイミング

表 52.44 OSPI タイミング (1/2)

条件：
以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています：OM_SCLK, OM_SCLKN, OM_SIO7-0, OM_DQS.
以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています：OM_CS0、OM_CS1
負荷容量 C = 20 pF

項目		シンボル	VCC/VCC2	Min	Max	単位	備考
サイクルタイム	OM_DQS 端子なしの SDR	t_{PERIOD}	2.70 V 以上	20	—	ns	図 52.50
			1.65 V～2.00 V	20	—		
	OM_DQS 端子ありの SDR/DDR	t_{PERIOD}	2.70 V 以上	10	—	ns	
			1.65 V～2.00 V	10	—		
クロック出力スルーレート		t_{SRck}	2.70 V 以上	0.56	—	V/ns	
			1.65 V～2.00 V	0.56	—		
クロックデューティーサイクル歪み		t_{CKDCD}	2.70 V 以上	0	0.5	ns	
			1.65 V～2.00 V	0	0.5		
クロック最小パルス幅		t_{CKMPW}	2.70 V 以上	4.5	—	ns	
			1.65 V～2.00 V	4.5	—		
差動クロック交差電圧		V_{ox}(AC)	2.70 V 以上	0.4 × VCC2	0.6 × VCC2	V	
			1.65 V～2.00 V	0.4 × VCC2	0.6 × VCC2		
DS デューティーサイクル歪み		t_{DSDCD}	2.70 V 以上	0	0.4	ns	
			1.65 V～2.00 V	0	0.4		
DS 最小パルス幅		t_{DSMPW}	2.70 V 以上	4.1	—	ns	
			1.65 V～2.00 V	4.1	—		
データ入出力スルーレート		t_{SR}	2.70 V 以上	1.03	—	ns	
			1.65 V～2.00 V	0.56	—		
データ入力セットアップ時間（OM_SCLK/OM_SCLKN に対して）	OM_DQS 端子なしの SDR	t_{SU}	2.70 V 以上	8.0	—	ns	図 52.51
			1.65 V～2.00 V	12.5	—		
データ入力ホールド時間（OM_SCLK/OM_SCLKN に対して）		t_{H}	2.70 V 以上	0.5	—	ns	
			1.65 V～2.00 V	0.5	—		
データ出力有効時間		t_{OV}(注2)	2.70 V 以上	—	4.0	ns	
			1.65 V～2.00 V	—	4.0		
データ出力ホールド時間		t_{OH}	2.70 V 以上	-2.0	—	ns	
			1.65 V～2.00 V	-2.0	—		
データ出力バッファオフ時間		t_{BOFF}	2.70 V 以上	-2.0	—	ns	
			1.65 V～2.00 V	-2.0	—		

表 52.44 OSPI タイミング (2/2)

条件：
以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています：OM_SCLK, OM_SCLKN, OM_SIO7-0, OM_DQS.
以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています：OM_CS0、OM_CS1
負荷容量 C = 20 pF

項目		シンボル	VCC/VCC2	Min	Max	単位	備考
データ入力セットアップ時間（OM_DQS に対して）	OM_DQS/DDR 端子付き SDR	t_{SU}	2.70 V 以上	-0.9	—	ns	図 52.52、図 52.53
			1.65 V～2.00 V	-0.9	—		
データ入力ホールド時間（OM_DQS に対して）		t_{H}	2.70 V 以上	3.2	—	ns	
			1.65 V～2.00 V	3.2	—		
データ出力有効時間		t_{OV}(注2)	2.70 V 以上	—	$t_{PERIOD}/4$ + 0.9	ns	
			1.65 V～2.00 V	—	$t_{PERIOD}/4$ + 0.9		
データ出力ホールド時間		t_{HO}	2.70 V 以上	1.1	—	ns	
			1.65 V～2.00 V	1.1	—		
データ出力バッファオフ時間		t_{BOFF}	2.70 V 以上	1.1	—	ns	
			1.65 V～2.00 V	1.1	—		
クロック Low～CS Low		t_{CKLCSL}	2.70 V 以上	8	—	ns	図 52.51、図 52.52、図 52.53
			1.65 V～2.00 V	8	—		
CS Low～クロック High		t_{CSLCKH}(注3)	2.70 V 以上	8	—	ns	
			1.65 V～2.00 V	8	—		
クロック Low～CS High		t_{CKLCSH}	2.70 V 以上	8	—	ns	
			1.65 V～2.00 V	8	—		
CS High～クロック High		t_{CSHCKH}	2.70 V 以上	8	—	ns	
			1.65 V～2.00 V	8	—		
DS Low 出力～CS High		t_{DSLCSH}	2.70 V 以上	0.8 × t_{PERIOD}	—	ns	図 52.54
			1.65 V～2.00 V	0.8 × t_{PERIOD}	—		
CS High～DS トライステート		t_{CSHDST}	2.70 V 以上	—	t_{PERIOD}	ns	
			1.65 V～2.00 V	—	t_{PERIOD}		
CS Low～DS Low 入力(注1)		t_{CSLDSL}	2.70 V 以上	0	18.5	ns	
			1.65 V～2.00 V	0	12.5		
DS トライステート～CS Low		t_{DSTCSL}	2.70 V 以上	0	—	ns	
			1.65 V～2.00 V	0	—		

注 1. OM_DQS 端子に接続された外部プルダウンで JESD251 プロファイル 1.0 メモリを使用する場合はこの制限に従う必要はありません。
注 2. 条件： COMCFG.OEASTEX = 1
注 3. 条件： LIOCFGCSx.CSASTEX = 1

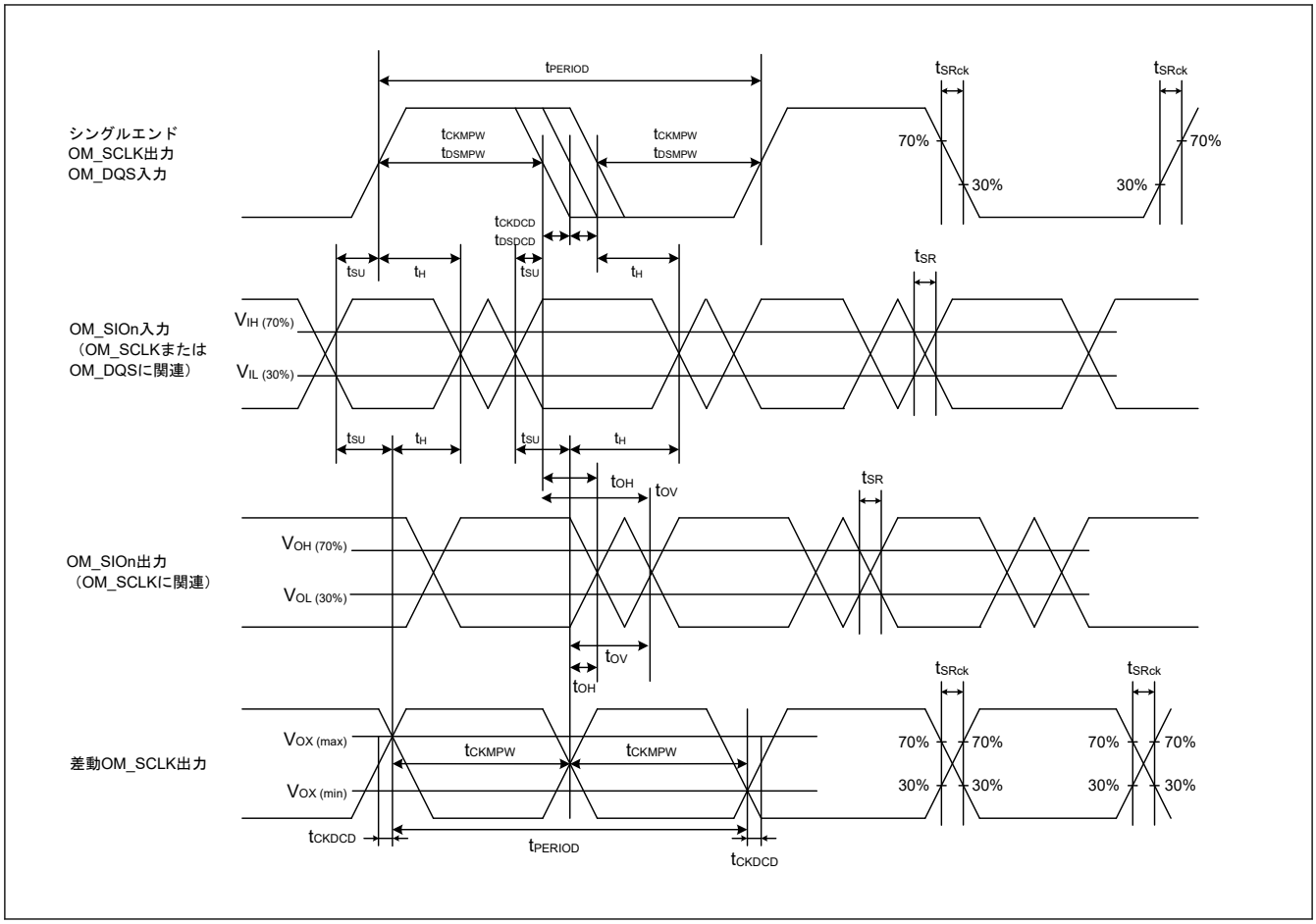


図 52.50　OSPI クロック／DS タイミング

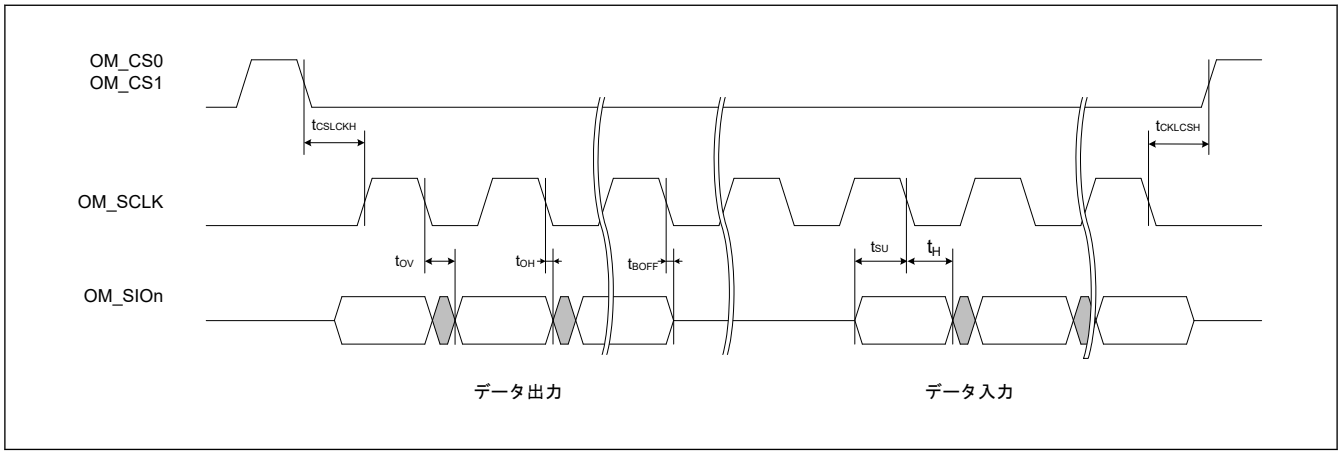


図 52.51　SDR 送受信タイミング（1S-1S-1S、1S-2S-2S、2S-2S-2S、1S-4S-4S、4S-4S-4S）

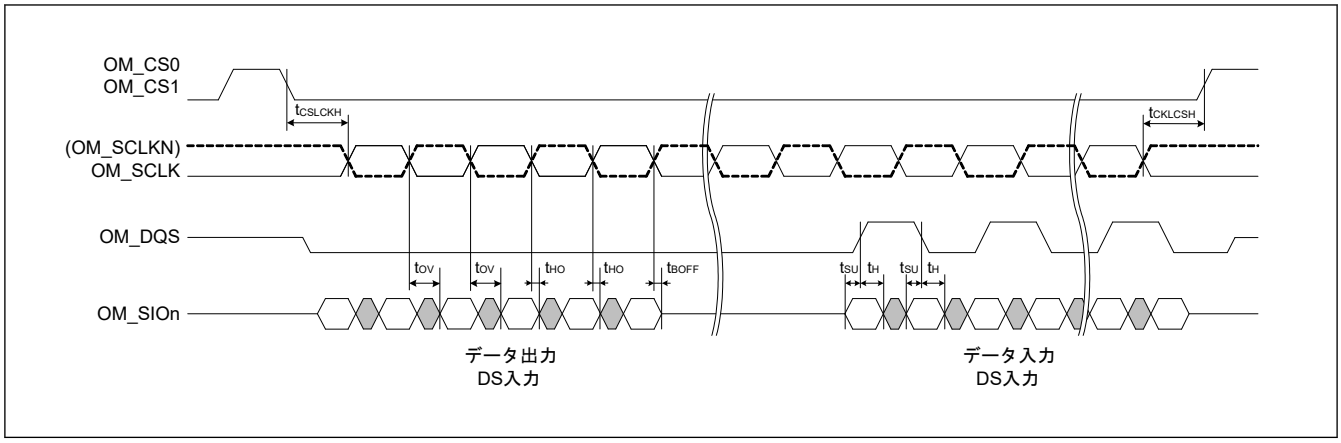


図 52.52　DDR 送受信タイミング（4S-4D-4D、8D-8D-8D）

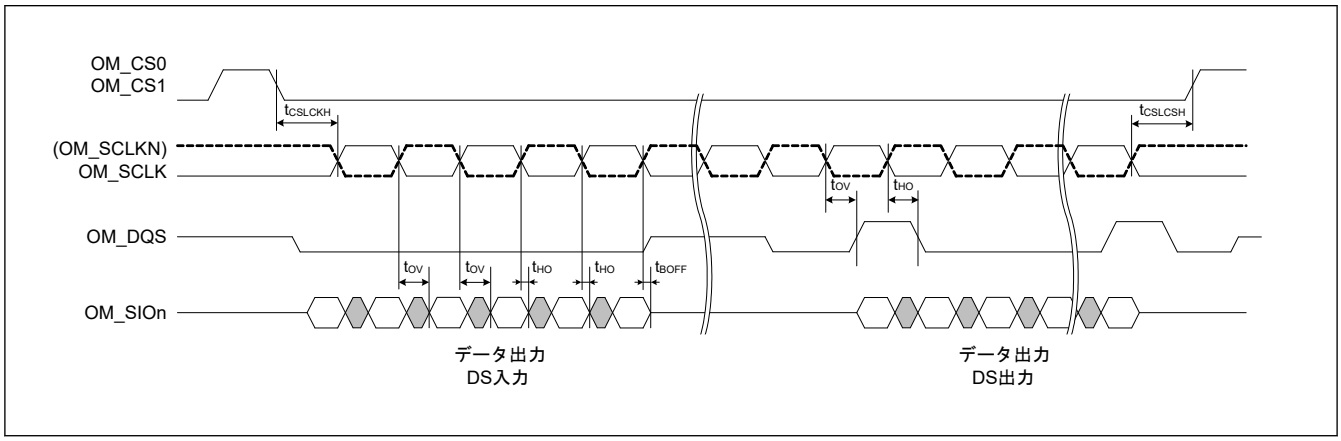


図 52.53　DDR 送受信タイミング（HyperRAM 書き込み）

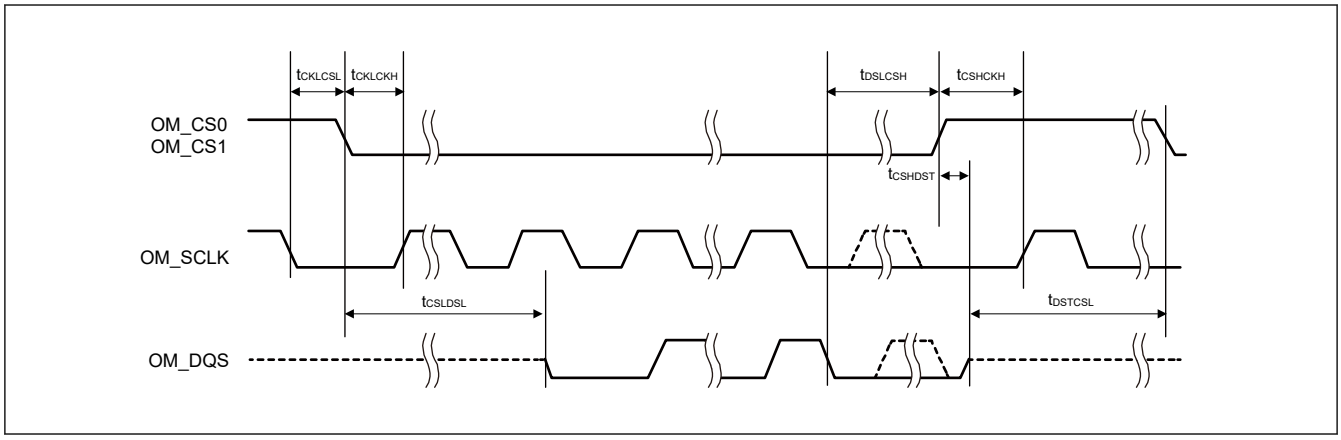


図 52.54　DS～CS 信号タイミング

52.3.11 IIC タイミング

表 52.45 IIC タイミング (1) (1/2)

(1) 条件：以下の端子の PmnPFS レジスタのポート駆動能力ビットにおいて、VCC が 2.70 V 以上のときは中駆動出力が選択され、1.68～1.95 V のときは高駆動出力が選択されます。
SDA0_B, SCL0_B, SDA1_B, SCL1_B
(2) 以下の端子の設定は必要ありません：SCL0_A, SDA0_A, SCL1_A, SDA1_A
(3) 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。
IIC インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

項目		シンボル	VCC	Min	Max	単位	測定条件
IIC（標準モード、SMBus） VCC が 2.70 V 以上のとき、ICFER.FMPE = 0、 VCC が 1.68～1.95 V のとき、ICFER.FMPE = 1	SCL 入力サイクル時間	t_{SCL}	2.70 V 以上	6 (12) × t_{IICcyc} + 1300	—	ns	図 52.55
			1.68～1.95 V				
	SCL 入力 High レベルパルス幅	t_{SCLH}	2.70 V 以上	3 (6) × t_{IICcyc} + 300	—	ns	
			1.68～1.95 V				
	SCL 入力 Low レベルパルス幅	t_{SCLL}	2.70 V 以上	3 (6) × t_{IICcyc} + 300	—	ns	
			1.68～1.95 V				
	SCL, SDA 立ち上がり時間	t_{Sr}	2.70 V 以上	—	1000	ns	
			1.68～1.95 V				
	SCL, SDA 立ち下がり時間	t_{Sf}	2.70 V 以上	—	300	ns	
			1.68～1.95 V				
	SCL, SDA 入力スパイクパルス除去時間	t_{SP}	2.70 V 以上	0	1 (4) × t_{IICcyc}	ns	
			1.68～1.95 V				
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t_{BUF}	2.70 V 以上	3 (6) × t_{IICcyc} + 300	—	ns	
			1.68～1.95 V				
	ウェイクアップ機能が有効な場合の SDA 入力バスフリー時間	t_{BUF}	2.70 V 以上	3 (6) × t_{IICcyc} + 4 × t_{Pcyc} + 300	—	ns	
			1.68～1.95 V				
	ウェイクアップ機能が無効な場合のスタートコンディション入力ホールド時間	t_{STAH}	2.70 V 以上	t_{IICcyc} + 300	—	ns	
			1.68～1.95 V				
	ウェイクアップ機能が有効な場合のスタートコンディション入力ホールド時間	t_{STAH}	2.70 V 以上	1 (5) × t_{IICcyc} + t_{Pcyc} + 300	—	ns	
			1.68～1.95 V				
	リスタートコンディション入力セットアップ時間	t_{STAS}	2.70 V 以上	1000	—	ns	
			1.68～1.95 V				
	ストップコンディション入力セットアップ時間	t_{STOS}	2.70 V 以上	1000	—	ns	
			1.68～1.95 V				
	データ入力セットアップ時間	t_{SDAS}	2.70 V 以上	t_{IICcyc} + 50	—	ns	
			1.68～1.95 V				
	データ入力ホールド時間	t_{SDAH}	2.70 V 以上	0	—	ns	
			1.68～1.95 V				
	SCL, SDA の負荷容量	C_b	2.70 V 以上	—	400	pF	
			1.68～1.95 V				

表 52.45　IIC タイミング (1) (2/2)

(1) 条件：以下の端子の PmnPFS レジスタのポート駆動能力ビットにおいて、VCC が 2.70 V 以上のときは中駆動出力が選択され、1.68～1.95 V のときは高駆動出力が選択されます。
SDA0_B, SCL0_B, SDA1_B, SCL1_B
(2) 以下の端子の設定は必要ありません：SCL0_A, SDA0_A, SCL1_A, SDA1_A
(3) 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。
IIC インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

項目		シンボル	VCC	Min	Max	単位	測定条件
IIC（ファストモード）VCC が 2.70 V 以上のとき、ICFER.FMPE = 0、 VCC が 1.68～1.95 V のとき、ICFER.FMPE = 1	SCL 入力サイクル時間	t_{SCL}	2.70 V 以上	6 (12) × t_{IICcyc} + 600	—	ns	図 52.55
			1.68～1.95 V				
	SCL 入力 High レベルパルス幅	t_{SCLH}	2.70 V 以上	3 (6) × t_{IICcyc} + 300	—	ns	
			1.68～1.95 V				
	SCL 入力 Low レベルパルス幅	t_{SCLL}	2.70 V 以上	3 (6) × t_{IICcyc} + 300	—	ns	
			1.68～1.95 V				
	SCL, SDA 立ち上がり時間	t_{Sr}	2.70 V 以上	20	300	ns	
			1.68～1.95 V				
	SCL, SDA 立ち下がり時間	t_{Sf}	2.70 V 以上	20 ×（外付けプルアップ電圧／5.5 V）(注1)	300	ns	
			1.68～1.95 V				
	SCL, SDA 入力スパイクパルス除去時間	t_{SP}	2.70 V 以上	0	1 (4) × t_{IICcyc}	ns	
			1.68～1.95 V				
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t_{BUF}	2.70 V 以上	3 (6) × t_{IICcyc} + 300	—	ns	
			1.68～1.95 V				
	ウェイクアップ機能が有効な場合の SDA 入力バスフリー時間	t_{BUF}	2.70 V 以上	3 (6) × t_{IICcyc} + 4 × t_{Pcyc} + 300	—	ns	
			1.68～1.95 V				
	ウェイクアップ機能が無効な場合のスタートコンディション入力ホールド時間	t_{STAH}	2.70 V 以上	t_{IICcyc} + 300	—	ns	
			1.68～1.95 V				
	ウェイクアップ機能が有効な場合のスタートコンディション入力ホールド時間	t_{STAH}	2.70 V 以上	1 (5) × t_{IICcyc} + t_{Pcyc} + 300	—	ns	
			1.68～1.95 V				
	リスタートコンディション入力セットアップ時間	t_{STAS}	2.70 V 以上	300	—	ns	
			1.68～1.95 V				
	ストップコンディション入力セットアップ時間	t_{STOS}	2.70 V 以上	300	—	ns	
			1.68～1.95 V				
	データ入力セットアップ時間	t_{SDAS}	2.70 V 以上	t_{IICcyc} + 50	—	ns	
			1.68～1.95 V				
	データ入力ホールド時間	t_{SDAH}	2.70 V 以上	0	—	ns	
			1.68～1.95 V				
	SCL, SDA の負荷容量	C_b	2.70 V 以上	—	400	pF	
			1.68～1.95 V				

注.　t_{IICcyc}：IIC 内部基準クロック (IICφ) サイクル、t_{Pcyc}：PCLKB の周期
注.　ICFER.NFE が 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0]が 11b であると（　）内の値が適用されます。
注.　所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。IIC インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。
注 1.　SCL0_A, SDA0_A, SCL1_A, SDA1_A に限りサポートされています。

表 52.46 IIC タイミング (2)

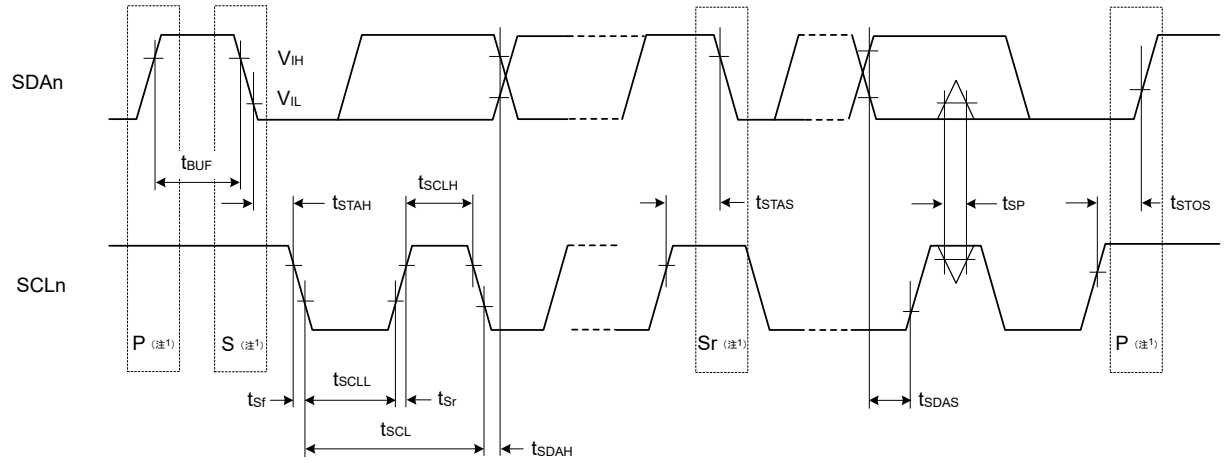
PmnPFS レジスタのポート駆動能力ビットがあれば、SCL0_A、SDA0_A、SCL1_A、および SDA1_A 端子の設定は必要ありません。

項目		シンボル	VCC	Min	Max	単位	測定条件
IIC（ファストモード+） ICFER.FMPE = 1	SCL 入力サイクル時間	t_{SCL}	2.70 V 以上	6 (12) × t_{IICcyc} + 240	—	ns	図 52.55
	SCL 入力 High レベルパルス幅	t_{SCLH}	2.70 V 以上	3 (6) × t_{IICcyc} + 120	—	ns	
	SCL 入力 Low レベルパルス幅	t_{SCLL}	2.70 V 以上	3 (6) × t_{IICcyc} + 120	—	ns	
	SCL, SDA 立ち上がり時間	t_{Sr}	2.70 V 以上	—	120	ns	
	SCL, SDA 立ち下がり時間	t_{Sf}	2.70 V 以上	20 ×（外付けプルアップ電圧／5.5 V）	120	ns	
	SCL, SDA 入力スパイクパルス除去時間	t_{SP}	2.70 V 以上	0	1 (4) × t_{IICcyc}	ns	
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t_{BUF}	2.70 V 以上	3 (6) × t_{IICcyc} + 120	—	ns	
	ウェイクアップ機能が有効な場合の SDA 入力バスフリー時間	t_{BUF}	2.70 V 以上	3 (6) × t_{IICcyc} + 4 × t_{Pcyc} + 120	—	ns	
	ウェイクアップ機能が無効な場合のスタートコンディション入力ホールド時間	t_{STAH}	2.70 V 以上	t_{IICcyc} + 120	—	ns	
	ウェイクアップ機能が有効な場合のスタートコンディション入力ホールド時間	t_{STAH}	2.70 V 以上	1 (5) × t_{IICcyc} + t_{Pcyc} + 120	—	ns	
	リスタートコンディション入力セットアップ時間	t_{STAS}	2.70 V 以上	120	—	ns	
	ストップコンディション入力セットアップ時間	t_{STOS}	2.70 V 以上	120	—	ns	
	データ入力セットアップ時間	t_{SDAS}	2.70 V 以上	t_{IICcyc} + 30	—	ns	
	データ入力ホールド時間	t_{SDAH}	2.70 V 以上	0	—	ns	
	SCL, SDA の負荷容量	C_b(注1)	2.70 V 以上	—	550	pF	

注. t_{IICcyc}：IIC 内部基準クロック (IICφ) の周期、tPcyc：PCLKB の周期

注. ICFER.NFE が 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0]が 11b であると（ ）内の値が適用されます。

注 1. Cb はバスラインの容量総計を意味します。



注 1. S, P, Sr はそれぞれ以下のコンディションを示します。
S：スタートコンディション
P：ストップコンディション
Sr：リスタートコンディション

図 52.55 I^2C バスインタフェース入出力タイミング

52.3.12 SSIE タイミング

表 52.47 SSIE タイミング (1/2)

(1) PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
(2) 属するグループを示すため、例えば_A、_B、_C といった文字が端子名に付加されています。同じ文字が付加された端子を使用してください。SSIE インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

項目			シンボル	VCC	Min	Max	単位	注記
SSIBCK	サイクル	マスタ	t_O	2.70 V 以上	80	—	ns	図 52.56
				1.68 V 以上	80	—		
		スレーブ	t_I	2.70 V 以上	80	—	ns	
				1.68 V 以上	80	—		
	High レベル／Low レベル	マスタ	t_{HC}/t_{LC}	2.70 V 以上	0.35	—	t_O	
				1.68 V 以上	0.35	—		
		スレーブ		2.70 V 以上	0.35	—	t_I	
				1.68 V 以上	0.35	—		
	立ち上がり/立ち下がり時間	マスタ	t_{RC}/t_{FC}	2.70 V 以上	—	0.15	t_O / t_I	
				1.68 V 以上	—	0.15		
		スレーブ		2.70 V 以上	—	0.15	t_O / t_I	
				1.68 V 以上	—	0.15		

表 52.47 SSIE タイミング (2/2)

(1) PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
(2) 属するグループを示すため、例えば_A、_B、_C といった文字が端子名に付加されています。同じ文字が付加された端子を使用してください。SSIE インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

項目			シンボル	VCC	Min	Max	単位	注記
SSILRCK0/ SSIFS0, SSITXD0, SSIRXD0	入力セットアップ時間	マスタ	t_{SR}	2.70 V 以上	12	—	ns	図 52.58 図 52.59
				1.68 V 以上	20	—		
		スレーブ		2.70 V 以上	12	—	ns	
				1.68 V 以上	12	—		
	入力ホールド時間	マスタ	t_{HR}	2.70 V 以上	8	—	ns	
				1.68 V 以上	8	—		
		スレーブ		2.70 V 以上	15	—	ns	
				1.68 V 以上	15	—		
	出力遅延時間	マスタ	t_{DTR}	2.70 V 以上	-10	5	ns	
				1.68 V 以上	-10	7		
		スレーブ		2.70 V 以上	0	20	ns	
				1.68 V 以上	0	25		
	SSILRCK/ SSIFS 変化時からの出力遅延時間	スレーブ	t_{DTRW}	2.70 V 以上	—	20	ns	図 52.60
				1.68 V 以上	—	25		
GTIOC2A, AUDIO_CLK	サイクル		t_{EXcyc}	2.70 V 以上	20	—	ns	図 52.57(注1)
				1.68 V 以上	40	—		
	High レベル／Low レベル		t_{EXL}/t_{EXH}	2.70 V 以上	0.4	—	t_{EXcyc}	
				1.68 V 以上	0.4	—		
	立ち上がり時間／立ち下がり時間		t_{EXr}/t_{EXr}	2.70V 以上	—	0.1(注2)	t_{EXcyc}	
				1.68 V 以上	—	0.1(注2)		

注 1. SSIE はスレーブモード送信用に 1 本の経路を備え、その経路により SSILRCK/SSIFS 端子からの信号入力が送信データの生成に使用され、送信データが SSITXD0 端子または SSIDATA1 端子へ論理出力されます。
注 2. 最長 1 μs

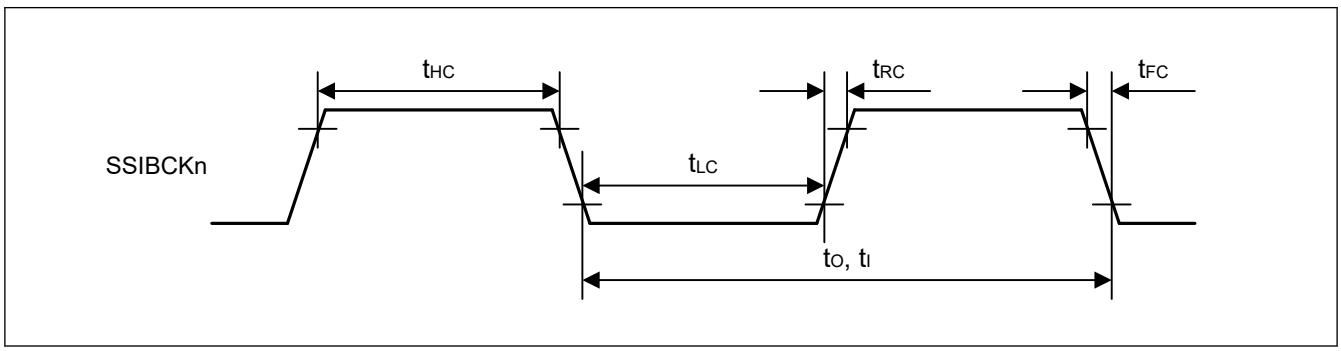


図 52.56 SSIE クロック入出力タイミング

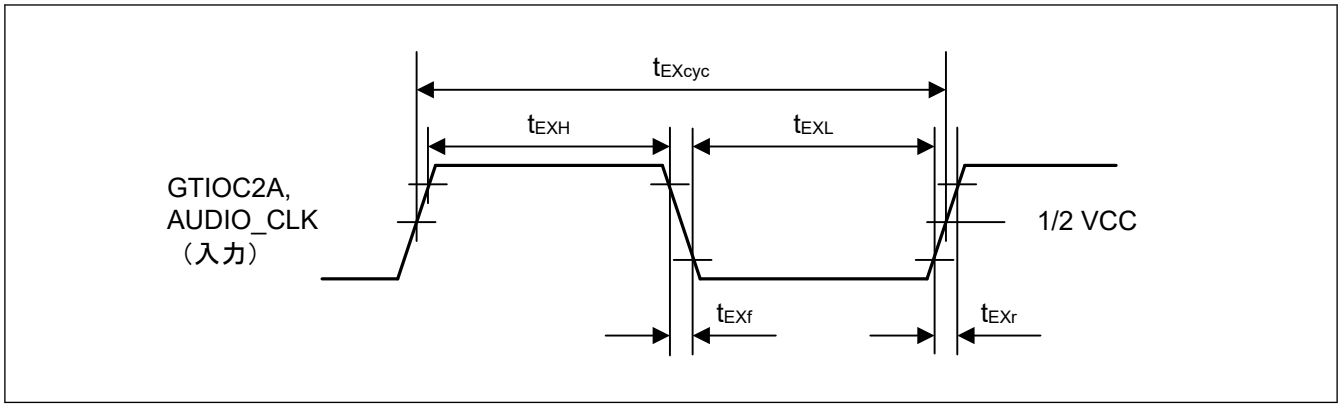


図 52.57　クロック入力タイミング

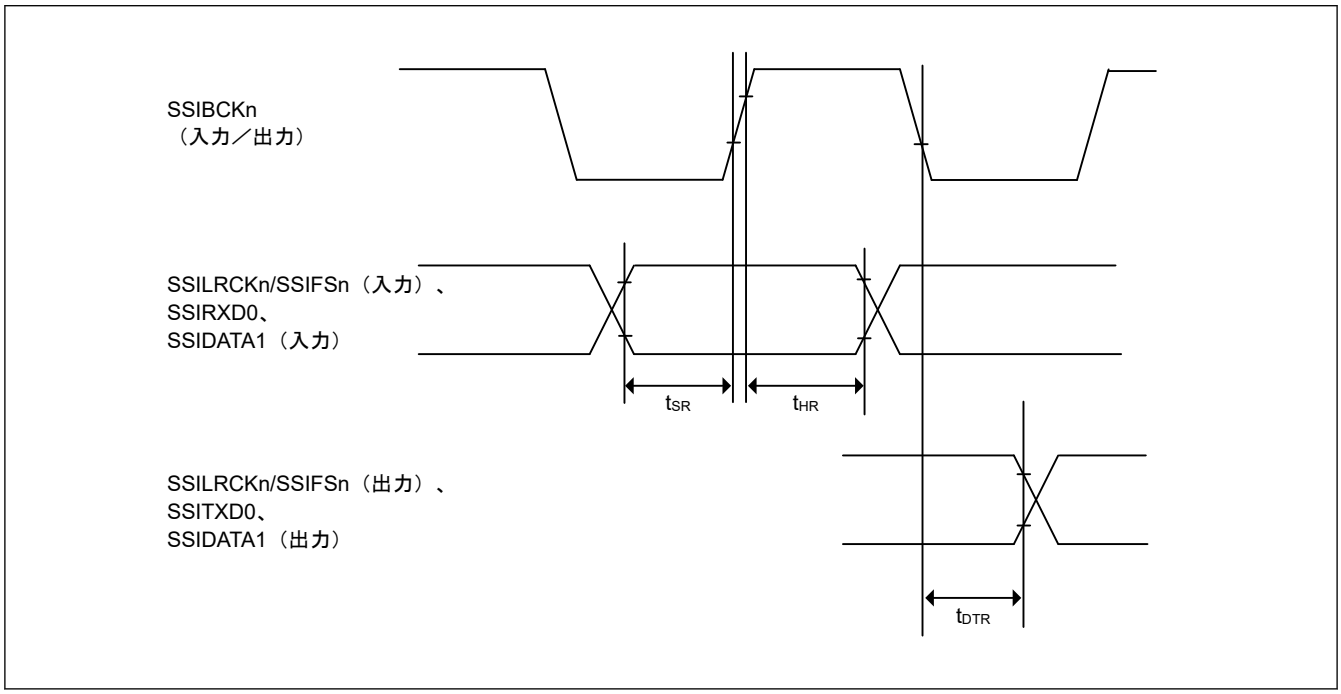


図 52.58　SSICR.BCKP = 0 の場合の SSIE データ送受信タイミング

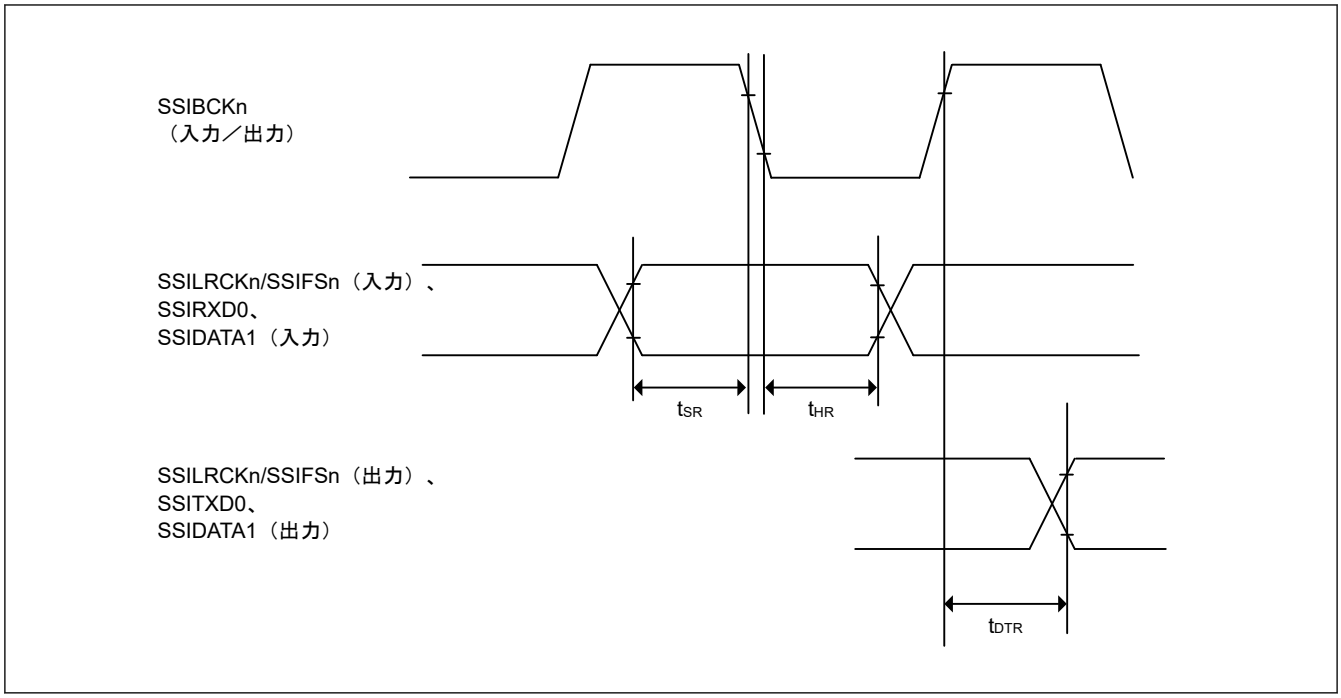


図 52.59　SSICR.BCKP = 1 の場合の SSIE データ送受信タイミング

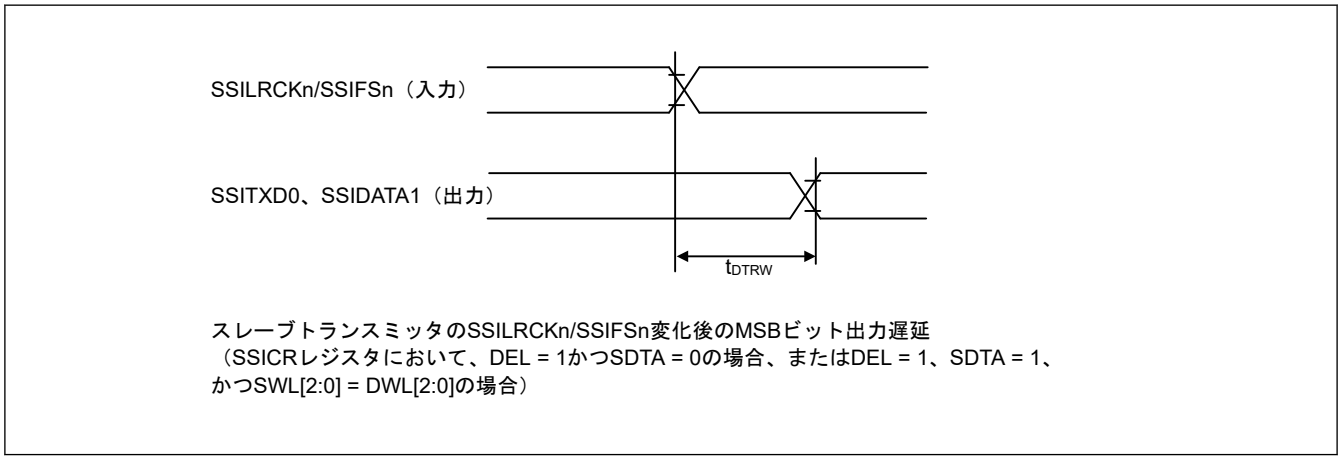


図 52.60　SSILRCK0/SSIFS0 変化時からの SSIE データ出力遅延

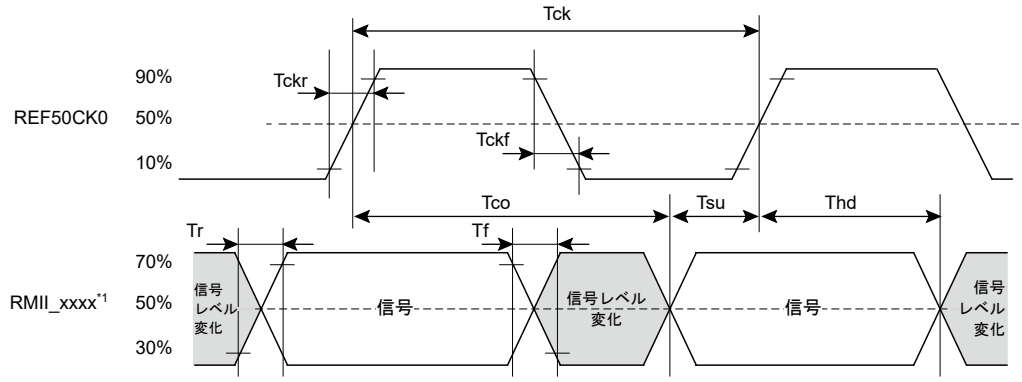
52.3.13 ETHERC タイミング

表 52.48 ETHERC タイミング

条件 : ETHERC (RMII) : 以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています : ET0_MDC、ET0_MDIO
その他の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
ETHERC (MII): PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目		シンボル	VCC	Min	Max	単位	測定条件
ETHERC (RMII)	REF50CK0 サイクル時間	T_{ck}	2.70 V 以上	20	—	ns	図 52.61～図 52.64
	REF50CK0 周波数、Typ. 50 MHz	—		—	50 + 100 ppm	MHz	
	REF50CK0 デューティー	—		35	65	%	
	REF50CK0 立ち上がり／立ち下がり時間	$T_{ckr/ckf}$		0.5	3.5	ns	
	RMII_xxxx(注1)出力遅延時間	T_{co}		2.5	12.0	ns	
	RMII_xxxx(注2)セットアップ時間	T_{su}		3	—	ns	
	RMII_xxxx(注2)ホールド時間	T_{hd}		1	—	ns	
	RMII_xxxx(注1) (注2)立ち上がり／立ち下がり時間	T_r/T_f		0.5	5.0	ns	
	ET0_WOL 出力遅延時間	t_{WOLd}		1	23.5	ns	図 52.65
ETHERC (MII)	ET0_TX_CLK サイクル時間	t_{Tcyc}		40	—	ns	—
	ET0_TX_EN 出力遅延時間	t_{TENd}		1	20	ns	図 52.66
	ET0_ETXD0～ET_ETXD3 出力遅延時間	t_{MTDd}		1	20	ns	
	ET0_CRS セットアップ時間	t_{CRSs}		10	—	ns	
	ET0_CRS ホールド時間	t_{CRSh}		10	—	ns	
	ET0_COL セットアップ時間	t_{COLs}		10	—	ns	図 52.67
	ET0_COL ホールド時間	t_{COLh}		10	—	ns	
	ET0_RX_CLK サイクル時間	t_{TRcyc}		40	—	ns	—
	ET0_RX_DV セットアップ時間	t_{RDVs}		10	—	ns	図 52.68
	ET0_RX_DV ホールド時間	t_{RDVh}		10	—	ns	
	ET0_ERXD0～ET_ERXD3 セットアップ時間	t_{MRDs}		10	—	ns	
	ET0_ERXD0～ET_ERXD3 ホールド時間	t_{MRDh}		10	—	ns	
	ET0_RX_ER セットアップ時間	t_{RERs}		10	—	ns	図 52.69
	ET0_RX_ER ホールド時間	t_{RESh}		10	—	ns	
	ET0_WOL 出力遅延時間	t_{WOLd}		1	23.5	ns	図 52.70

注. 以下の端子は、属するグループを示すため、例えば_A、_B といった文字が端子名に付加されています。同じ文字が付加された端子を使用してください。 ETHERC (RMII) ホストインタフェースについては、電気的特性の AC タイミングを各グループで測定しています。REF50CK0_A、REF50CK0_B、RMII0_xxxx_A、RMII0_xxxx_B
注 1. RMII_TXD_EN、RMII_TXD1、RMII_TXD0
注 2. RMII_CRS_DV、RMII_RXD1、RMII_RXD0、RMII_RX_ER



注 1. RMII_TXD_EN、RMII_TXD1、RMII_TXD0、RMII_CRS_DV、RMII_RXD1、RMII_RXD0、RMII_RX_ER

図 52.61 REF50CK0、RMII の信号タイミング

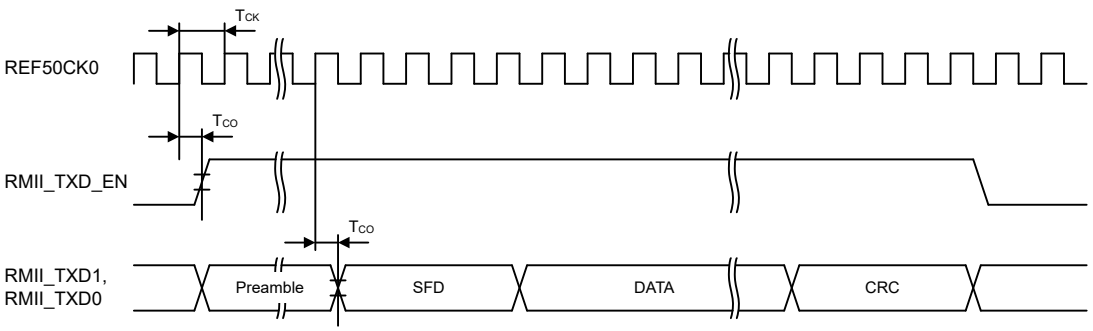


図 52.62 RMII 送信タイミング

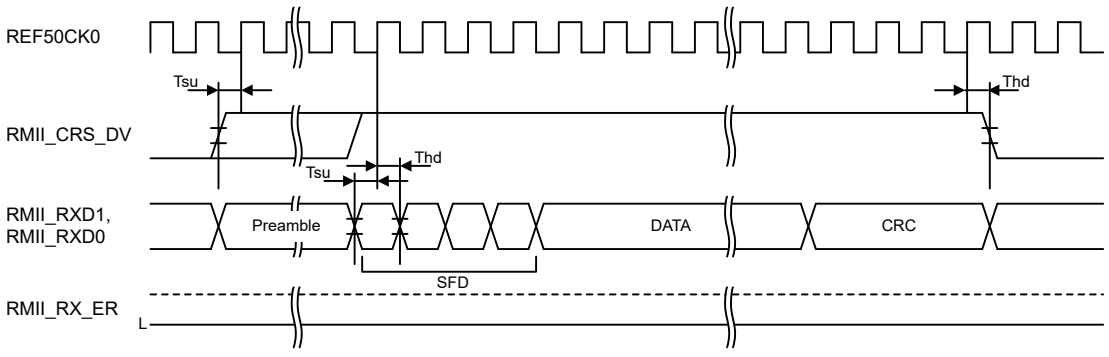


図 52.63 正常動作時の RMII 受信タイミング

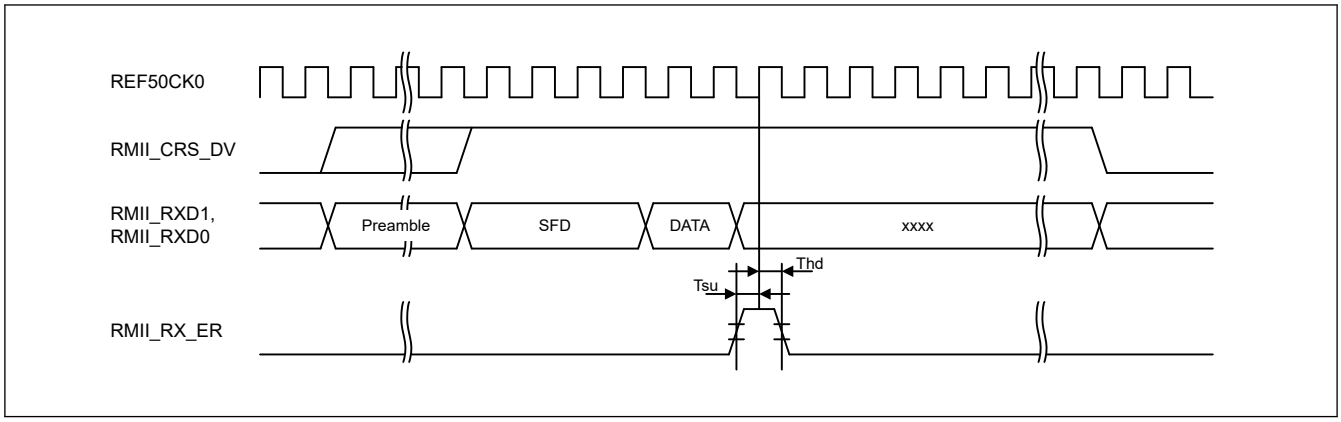


図 52.64　エラー発生時の RMII 受信タイミング

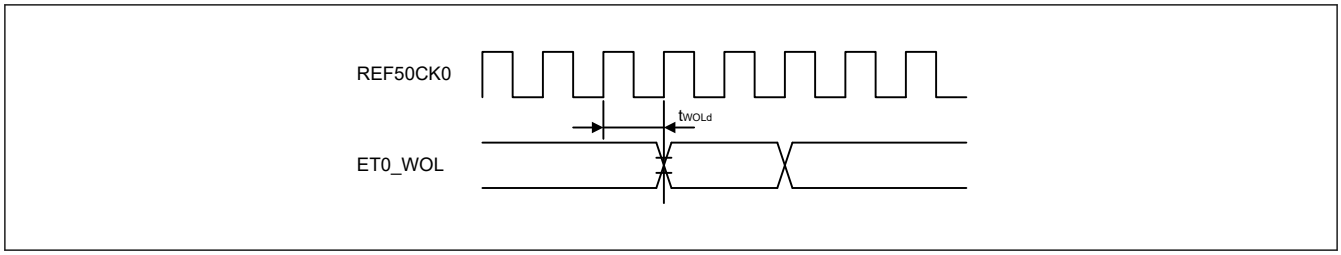


図 52.65　RMII に対する WOL 出力タイミング

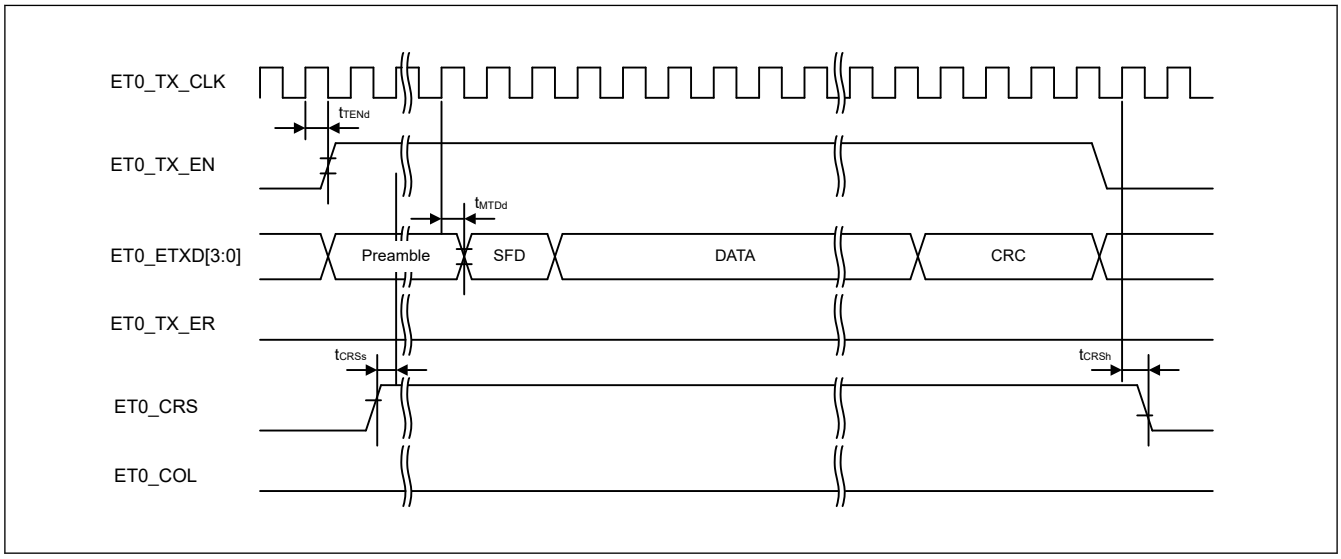


図 52.66　正常動作時の MII 送信タイミング

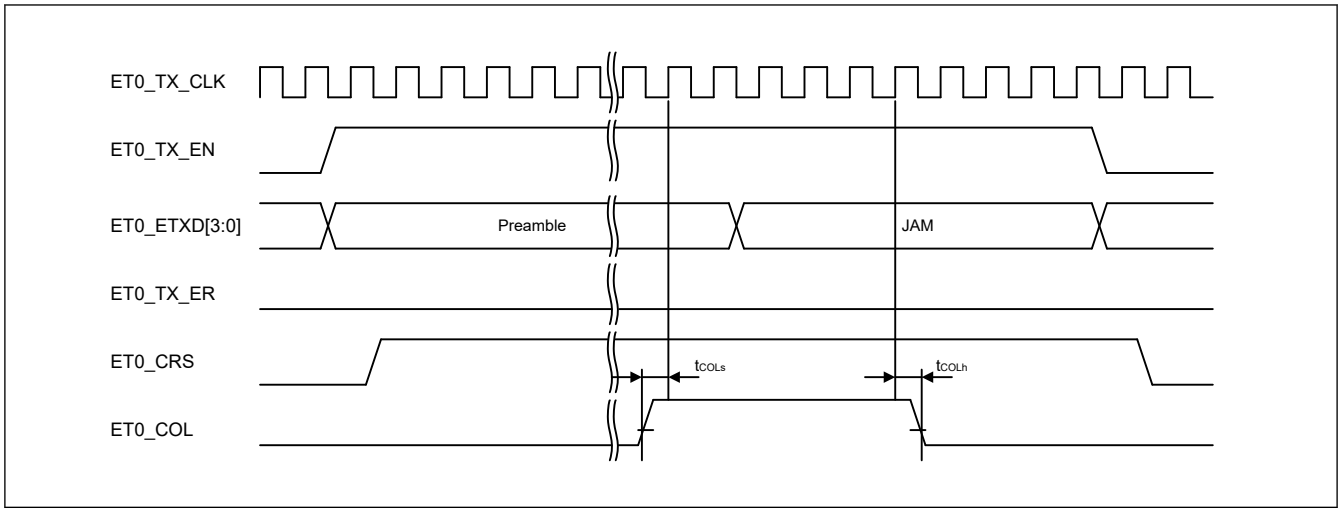


図 52.67　競合発生時の MII 送信タイミング

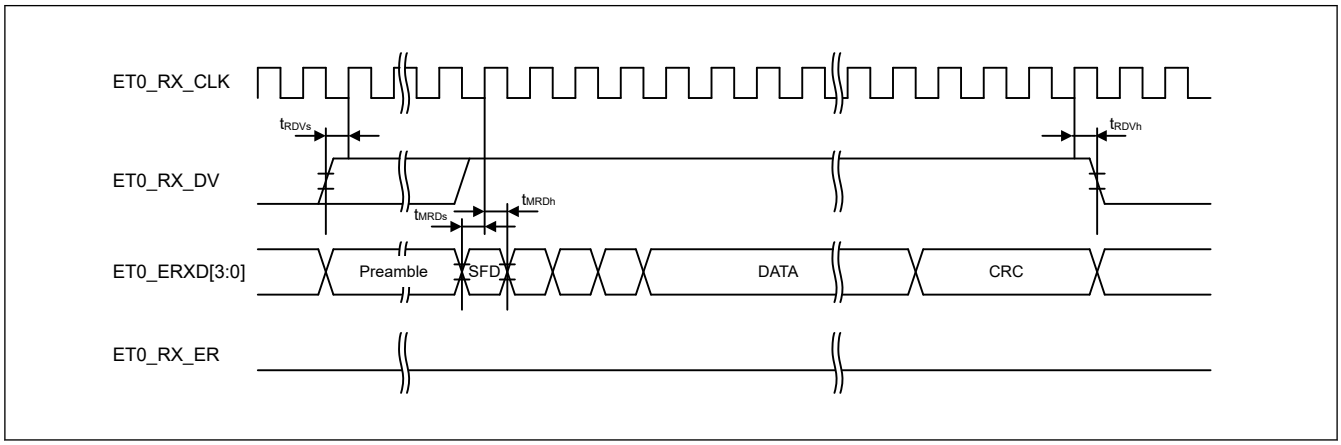


図 52.68　正常動作時の MII 受信タイミング

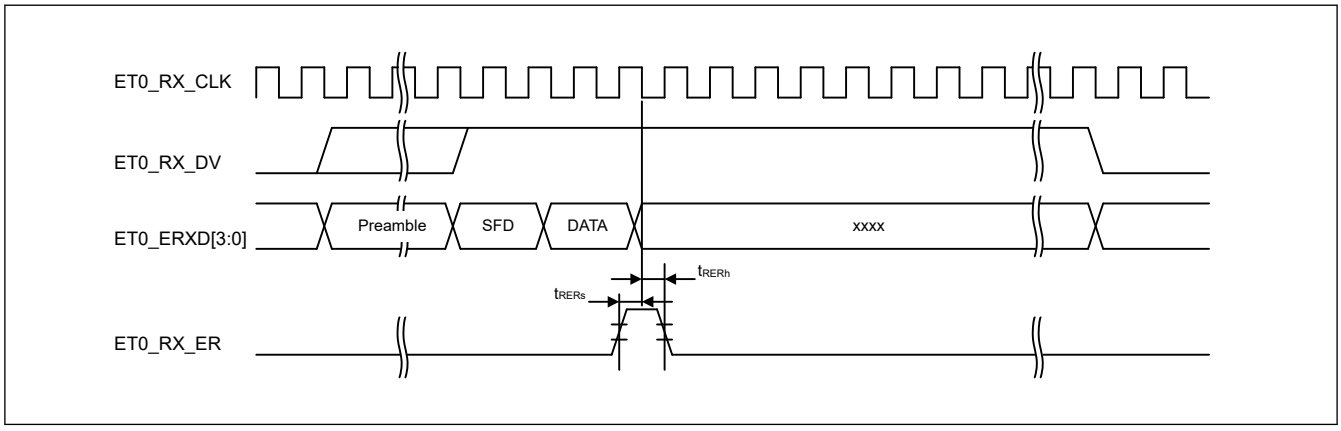


図 52.69　エラー発生時の MII 受信タイミング

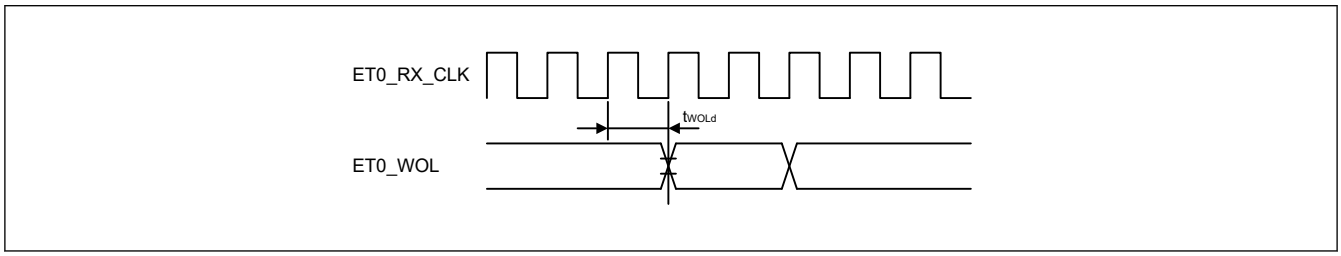


図 52.70　MII に対する WOL 出力タイミング

52.3.14 CEU タイミング

表 52.49 キャプチャエンジンユニット信号タイミング

項目	シンボル	VCC	Min	Max	単位	測定条件
垂直同期 (VIO_VD) セットアップ時間（カメラクロック立ち上がり）	t_{VVDS}	2.70 V 以上	2.0	—	ns	図 52.71 図 52.72
		1.68 V 以上	4.5	—		
垂直同期 (VIO_VD) セットアップ時間（カメラクロック立ち下がり）	t_{VVDS}	2.70 V 以上	2.5	—	ns	
		1.68 V 以上	4.5	—		
垂直同期 (VIO_VD) ホールド時間	t_{VVDH}	2.70 V 以上	3.5	—	ns	
		1.68 V 以上	5.5	—		
水平同期 (VIO_HD) セットアップ時間（カメラクロック立ち上がり）	t_{VHDS}	2.70 V 以上	2.0	—	ns	
		1.68 V 以上	4.5	—		
水平同期 (VIO_HD) セットアップ時間（カメラクロック立ち下がり）	t_{VHDS}	2.70 V 以上	2.5	—	ns	
		1.68 V 以上	4.5	—		
水平同期 (VIO_HD) ホールド時間	t_{VHDH}	2.70 V 以上	3.5	—	ns	
		1.68 V 以上	5.5	—		
キャプチャ画像データ (VIO_D) セットアップ時間（カメラクロック立ち上がり）	t_{VDTS}	2.70 V 以上	2.0	—	ns	
		1.68 V 以上	4.5	—		
キャプチャ画像データ (VIO_D) セットアップ時間（カメラクロック立ち下がり）	t_{VDTS}	2.70 V 以上	2.5	—	ns	
		1.68 V 以上	4.5	—		
キャプチャ画像データ (VIO_D) ホールド時間	t_{VDTH}	2.70 V 以上	3.5	—	ns	
		1.68 V 以上	5.5	—		
カメラクロックサイクル	t_{VCYC}	2.70 V 以上	11.5	—	ns	
		1.68 V 以上	23.0	—		
カメラクロック High レベル幅	t_{VHW}	2.70 V 以上	0.4 × t_{VCYC}	—	ns	
		1.68 V 以上	0.4 × t_{VCYC}	—		
カメラクロック Low レベル幅	t_{VLW}	2.70 V 以上	0.4 × t_{VCYC}	—	ns	
		1.68 V 以上	0.4 × t_{VCYC}	—		
フィールド識別信号 (VIO_FLD) セットアップ時間（カメラクロック立ち上がり）	t_{VFDS}	2.70 V 以上	2.0	—	ns	
		1.68 V 以上	4.5	—		
フィールド識別信号 (VIO_FLD) セットアップ時間（カメラクロック立ち下がり）	t_{VFDS}	2.70 V 以上	2.5	—	ns	
		1.68 V 以上	4.5	—		
フィールド識別信号 (VIO_FLD) ホールド時間	t_{VFDH}	2.70 V 以上	3.5	—	ns	
		1.68 V 以上	5.5	—		

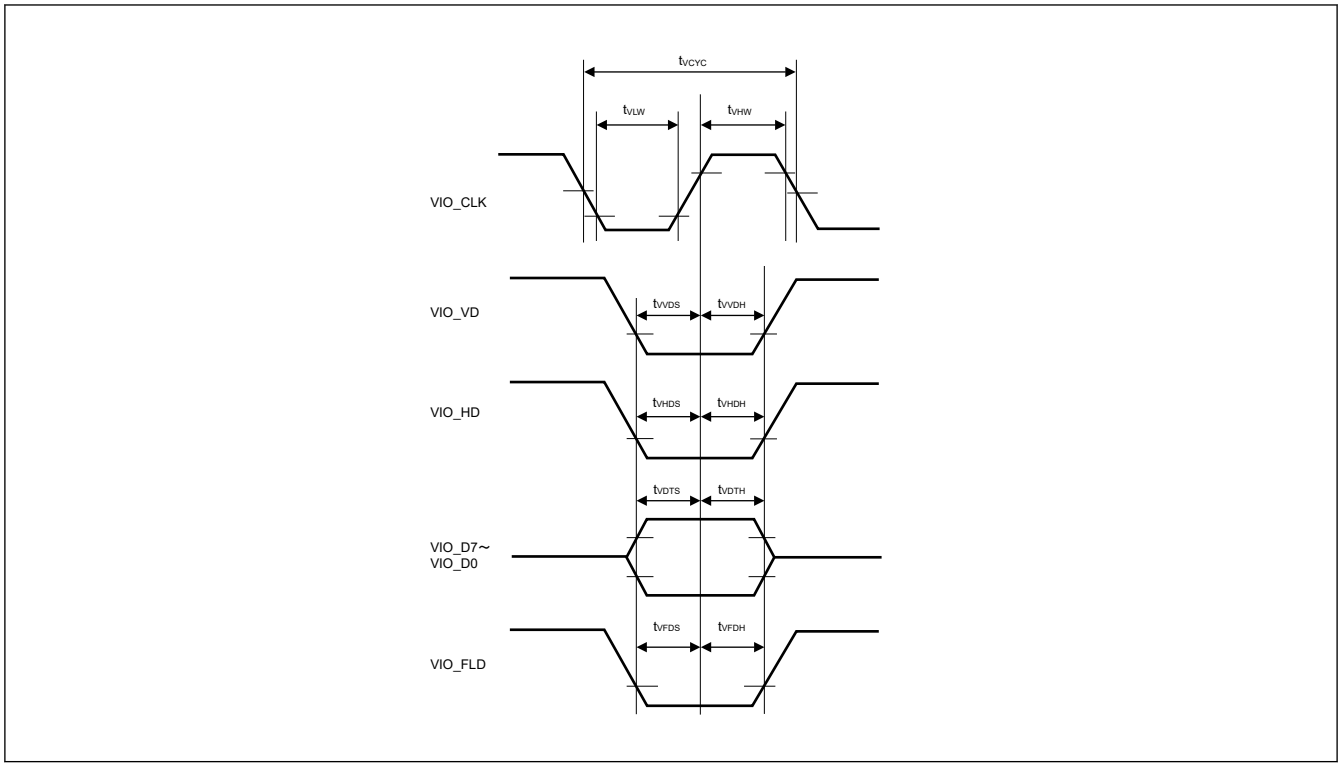


図 52.71　VIO_CLK の立ち上がりエッジによるデータキャプチャのキャプチャエンジンユニットモジュール信号タイミング

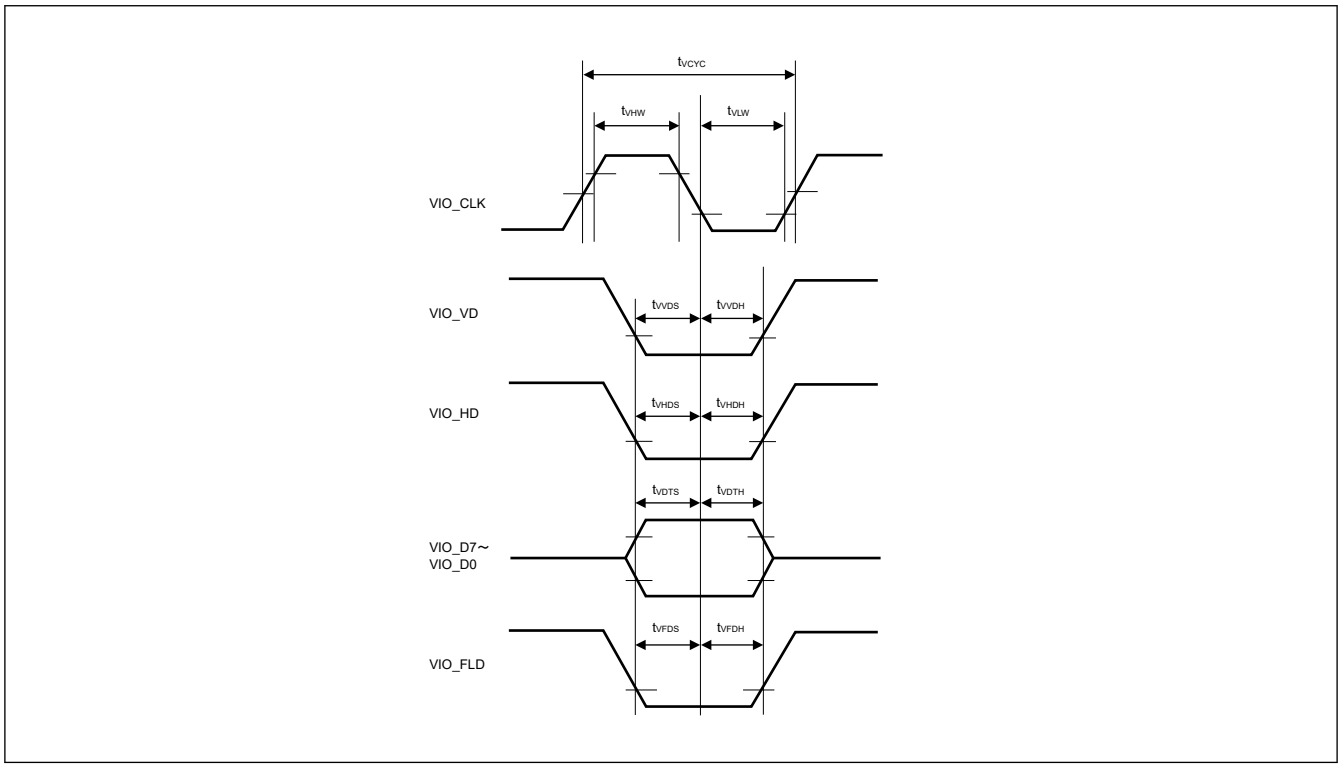


図 52.72　VIO_CLK の立ち下がりエッジによるデータキャプチャのキャプチャエンジンユニットモジュール信号タイミング

52.3.15 CANFD タイミング

表 52.50 CANFD インタフェースタイミング

項目	シンボル	VCC/VCC2	Min	Max	単位	測定条件
内部遅延時間	t_{node}	2.70 V 以上	—	50	ns	図 52.73
		1.68 V 以上 (VCC) 1.65 V 以上 (VCC2)	—	50		

注. 内部遅延時間 (t_{node}) = 内部転送遅延時間 (t_{output}) + 内部受信遅延時間 (t_{input})

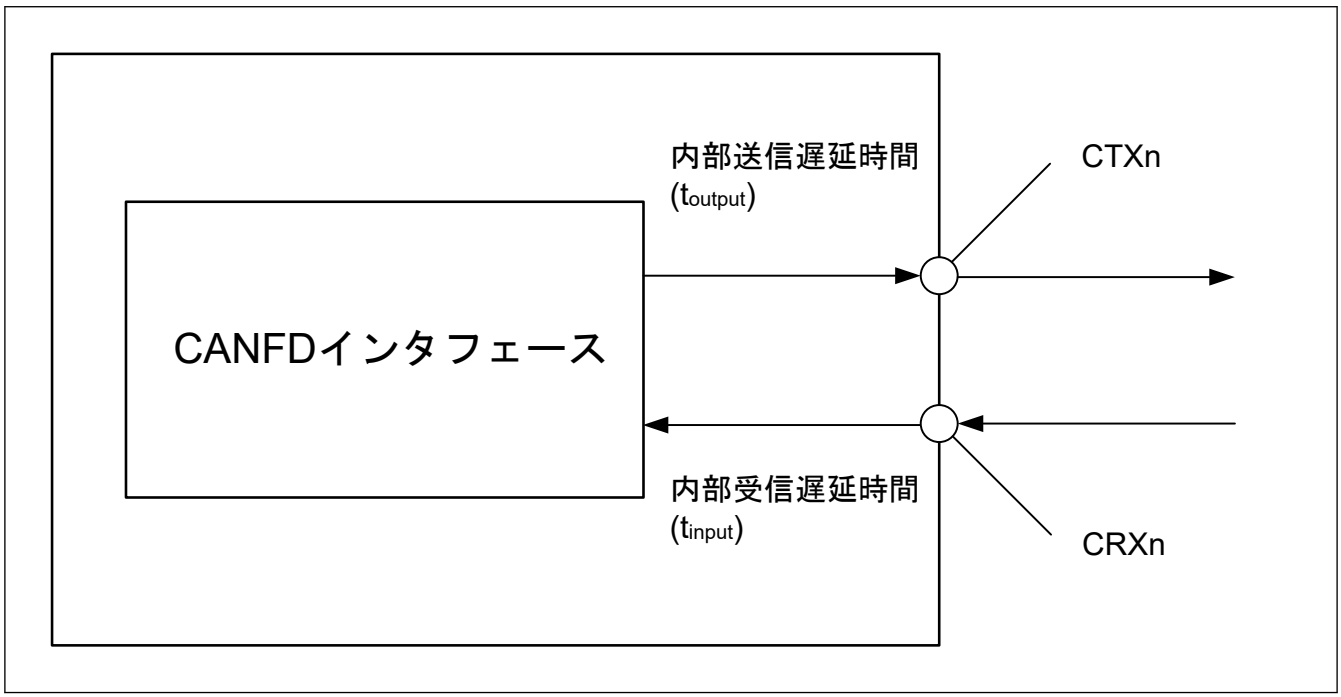


図 52.73 CANFD インタフェース条件

52.4 USB 特性

52.4.1 USBFS タイミング

表 52.51 ホストに限定した USBFS 低速特性（USB_DP 端子および USB_DM 端子特性） (1/2)

条件：VCC = VCC_USB = 3.0～3.6 V、USBCLK = 48 MHz

項目		シンボル	Min	Typ	Max	単位	測定条件
入力特性	入力 High レベル電圧	V_{IH}	2.0	—	—	V	—
	入力 Low レベル電圧	V_{IL}	—	—	0.8	V	—
	差動入力感度	V_{DI}	0.2	—	—	V	| USB_DP - USB_DM |
	差動コモンモードレンジ	V_{CM}	0.8	—	2.5	V	—
出力特性	出力 High レベル電圧	V_{OH}	2.8	—	3.6	V	I_{OH} = –200 µA
	出力 Low レベル電圧	V_{OL}	0.0	—	0.3	V	I_{OL} = 2 mA
	クロスオーバー電圧	V_{CRS}	1.3	—	2.0	V	図 52.74
	立ち上がり時間	t_{LR}	75	—	300	ns	
	立ち下がり時間	t_{LF}	75	—	300	ns	
	立ち上がり／立ち下がり時間比	t_{LR} / t_{LF}	80	—	125	%	t_{LR}/ t_{LF}

表 52.51　ホストに限定した USBFS 低速特性（USB_DP 端子および USB_DM 端子特性） (2/2)

条件：VCC = VCC_USB = 3.0～3.6 V、USBCLK = 48 MHz

項目		シンボル	Min	Typ	Max	単位	測定条件
プルアップ／プルダウン特性	ホストコントローラモードにおける USB_DP、USB_DM のプルダウン抵抗	R_{pd}	14.25	—	24.80	kΩ	—

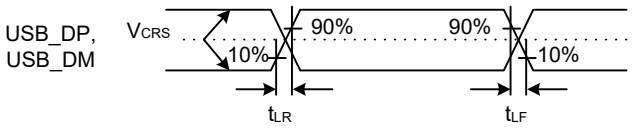


図 52.74　Low-speed モードにおける USB_DP、USB_DM の出力タイミング

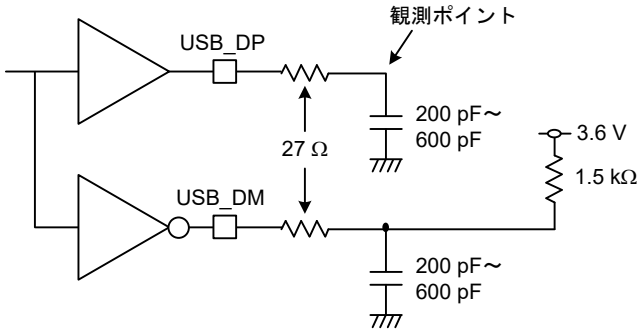


図 52.75　Low-speed モードにおける測定回路

表 52.52　USBFS フルスピード特性（USB_DP 端子および USB_DM 端子特性）

条件：VCC = VCC_USB = 3.0～3.6 V、USBCLK = 48 MHz

項目		シンボル	Min	Typ	Max	単位	測定条件
入力特性	入力 High レベル電圧	V_{IH}	2.0	—	—	V	—
	入力 Low レベル電圧	V_{IL}	—	—	0.8	V	—
	差動入力感度	V_{DI}	0.2	—	—	V	| USB_DP - USB_DM |
	差動コモンモードレンジ	V_{CM}	0.8	—	2.5	V	—
出力特性	出力 High レベル電圧	V_{OH}	2.8	—	3.6	V	I_{OH} = –200 μA
	出力 Low レベル電圧	V_{OL}	0.0	—	0.3	V	I_{OL} = 2 mA
	クロスオーバー電圧	V_{CRS}	1.3	—	2.0	V	図 52.76
	立ち上がり時間	t_{LR}	4	—	20	ns	
	立ち下がり時間	t_{LF}	4	—	20	ns	
	立ち上がり／立ち下がり時間比	t_{LR} / t_{LF}	90	—	111.11	%	t_{FR}/ t_{FF}
	出力抵抗	Z_{DRV}	28	—	44	Ω	USBFS: Rs = 27 Ω 含む
プルアップ／プルダウン特性	デバイスコントローラモードにおける DM プルアップ抵抗	R_{pu}	0.900	—	1.575	kΩ	アイドル状態の間
			1.425	—	3.090	kΩ	送受信中
	ホストコントローラモードにおける USB_DP、USB_DM のプルダウン抵抗	R_{pd}	14.25	—	24.80	kΩ	—

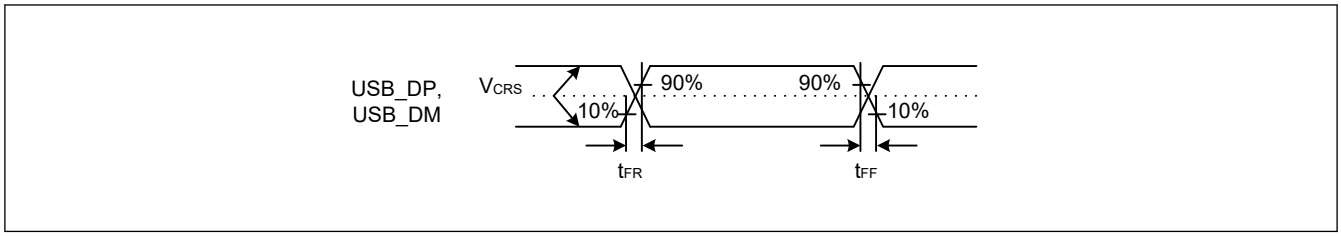


図 52.76　フルスピードモードにおける USB_DP、USB_DM の出力タイミング

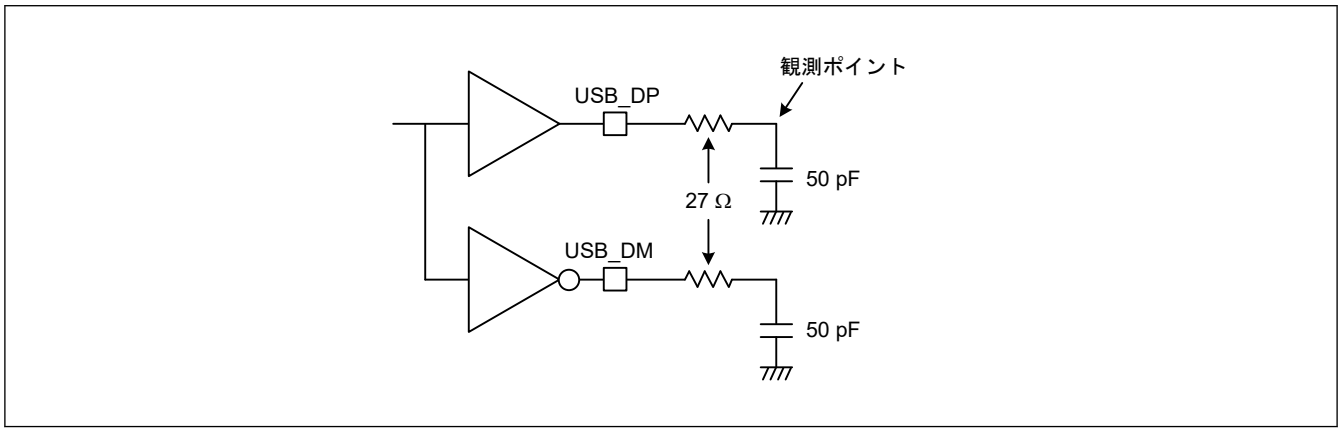


図 52.77　フルスピードモードにおける測定回路

52.5　ADC12 特性

表 52.53　ユニット 0 の A/D 変換特性（DCDC モード） (1/2)

条件：PCLKC = 1～60 MHz

項目			Min	Typ	Max	単位	測定条件
周波数			1	—	60	MHz	—
アナログ入力容量			—	—	30	pF	—
量子化誤差			—	±0.5	—	LSB	—
分解能			—	—	12	ビット	—
使用中のチャネル専用サンプル＆ホールド回路 (AN000, AN001)	変換時間(注1) (PCLKC = 60 MHz で動作時)	許容信号源インピーダンス Max = 1 kΩ	1.06 (0.4 + 0.25)(注2)	—	—	μs	• チャネル専用サンプル＆ホールド回路 24 ステートでのサンプリング • 15 ステートでのサンプリング
	オフセット誤差		—	±1.5	±3.5	LSB	AN000～AN002 = 0.25 V
	フルスケール誤差		—	±1.5	±3.5	LSB	AN000～AN002 = VREFH0 - 0.25 V
	絶対精度		—	±2.5	±10.5	LSB	LQFP パッケージ AVCC0 = 2.7～3.6 V VREFH0 = 2.7 V～AVCC0
			—	±2.5	±7.5		LQFP パッケージ AVCC0 = VREFH0 = 2.7～3.6 V
	DNL 微分非直線性誤差		—	±1.0	±2.0	LSB	—
	INL 積分非直線性誤差		—	±1.5	±4.0	LSB	—
	サンプル＆ホールド回路のホールド特性		—	—	20	μs	—
	ダイナミックレンジ		0.25	—	VREFH 0 - 0.25	V	—

表 52.53　ユニット 0 の A/D 変換特性（DCDC モード） (2/2)

条件：PCLKC = 1～60 MHz

項目			Min	Typ	Max	単位	測定条件
高精度チャネル、未使用のチャネル専用サンプル＆ホールド回路 (AN000～AN002, AN004～AN008)	変換時間(注1)（PCLKC = 60 MHz で動作時）	許容信号源インピーダンス Max = 1 kΩ	0.48 (0.267)(注2)	—	—	μs	16 ステートでのサンプリング
		Max = 400 Ω	0.40 (0.183)(注2)	—	—	μs	11 ステートでのサンプリング AVCC0 = VREFH0 = 3.0～3.6 V
	オフセット誤差		—	±1.0	±2.5	LSB	—
	フルスケール誤差		—	±1.0	±3.5	LSB	—
	絶対精度		—	±2.0	±7.5	LSB	LQFP パッケージ AVCC0 = 2.7～3.6 V VREFH0 = 2.7 V～AVCC0
			—	±2.0	±6.0		LQFP パッケージ AVCC0 = VREFH0 = 2.7～3.6 V
	DNL 微分非直線性誤差		—	±0.5	±2.0	LSB	—
	INL 積分非直線性誤差		—	±1.0	±2.5	LSB	—

注.　これらの規格値は、1 つだけ A/D コンバータが動作中で、D/A コンバータと ACMPHS が動作しておらず、A/D 変換中に適用されます。
他の A/D コンバータ、D/A コンバータ、または ACMPHS が動作中か、あるいは A/D 変換中にバスアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。
12 ビット A/D コンバータ使用時は、ポート 0 をデジタル出力として使用しないでください。
上記の特性は、AVCC0、AVSS0、VREFH0、VREFH、VREFL0、VREFL および 12 ビット A/D コンバータの入力電圧が安定しているときの特性です。

注 1.　変換時間にはサンプリング時間と比較時間が含まれます。測定条件には、サンプリングステート数が示されています。

注 2.　（　）内の値は、サンプリング時間を意味します。

表 52.54　ユニット 1 の A/D 変換特性（DCDC モード）

条件：PCLKC = 1～60 MHz

項目			Min	Typ	Max	単位	測定条件
周波数			1	—	60	MHz	—
アナログ入力容量			—	—	30	pF	—
量子化誤差			—	±0.5	—	LSB	—
分解能			—	—	12	ビット	—
高精度チャネル (AN100～AN102, AN104, AN105)	変換時間(注1)（PCLKC = 60 MHz で動作時）	許容信号源インピーダンス Max = 1 kΩ	0.48 (0.267) (注2)	—	—	μs	16 ステートでのサンプリング
		Max = 400 Ω	0.40 (0.183) (注2)	—	—	μs	11 ステートでのサンプリング AVCC0 = VREFH = 3.0～3.6 V
	オフセット誤差		—	±1.0	±2.5	LSB	—
	フルスケール誤差		—	±1.0	±3.5	LSB	—
	絶対精度		—	±2.0	±7.5	LSB	LQFP パッケージ AVCC0 = 2.7～3.6 V VREFH = 2.7 V～AVCC0
			—	±2.0	±6.0		LQFP パッケージ AVCC0 = VREFH = 2.7～3.6 V
	DNL 微分非直線性誤差		—	±0.5	±2.0	LSB	—
	INL 積分非直線性誤差		—	±1.0	±2.5	LSB	—

注.　これらの規格値は、1 つだけ A/D コンバータが動作中で、D/A コンバータと ACMPHS が動作しておらず、A/D 変換中に適用されます。
他の A/D コンバータ、D/A コンバータ、または ACMPHS が動作中か、あるいは A/D 変換中にバスアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。

12 ビット A/D コンバータ使用時は、ポート 0 をデジタル出力として使用しないでください。
上記の特性は、AVCC0、AVSS0、VREFH0、VREFH、VREFL0、VREFL および 12 ビット A/D コンバータの入力電圧が安定しているときの特性です。
注 1. 変換時間にはサンプリング時間と比較時間が含まれます。測定条件には、サンプリングステート数が示されています。
注 2. （ ）内の値は、サンプリング時間を意味します。

表 52.55 ユニット 0 の A/D 変換特性（外部 VDD モード）

条件：PCLKC = 1～60 MHz
AVCC0 = 2.7～3.6 V, VREFH0 = 2.7～3.6 V

項目			Min	Typ	Max	単位	測定条件
周波数			1	—	60	MHz	—
アナログ入力容量			—	—	30	pF	—
量子化誤差			—	±0.5	—	LSB	—
分解能			—	—	12	ビット	—
使用中のチャネル専用サンプル＆ホールド回路 (AN000, AN001)	変換時間(注1) (PCLKC = 60 MHz で動作時)	許容信号源インピーダンス Max = 1 kΩ	1.06 (0.4 + 0.25)(注2)	—	—	μs	• チャネル専用サンプル＆ホールド回路 24 ステートでのサンプリング • 15 ステートでのサンプリング
	オフセット誤差		—	±1.5	±3.5	LSB	AN000～AN002 = 0.25 V
	フルスケール誤差		—	±1.5	±3.5	LSB	AN000～AN002 = VREFH0 - 0.25 V
	絶対精度		—	±2.5	±5.5	LSB	—
	DNL 微分非直線性誤差		—	±1.0	±2.0	LSB	—
	INL 積分非直線性誤差		—	±1.5	±3.0	LSB	—
	サンプル＆ホールド回路のホールド特性		—	—	20	μs	—
	ダイナミックレンジ		0.25	—	VREFH 0 - 0.25	V	—
高精度チャネル、未使用のチャネル専用サンプル＆ホールド回路 (AN000～AN002, AN004～AN008)	変換時間(注1) (PCLKC = 60 MHz で動作時)	許容信号源インピーダンス Max = 1 kΩ	0.48 (0.267)(注2)	—	—	μs	16 ステートでのサンプリング
		Max = 400 Ω	0.40 (0.183)(注2)	—	—	μs	サンプリング 11 ステート AVCC0 = 3.0～3.6 V 3.0 V ≦ VREFH0 ≦ AVCC0
	オフセット誤差		—	±1.0	±2.5	LSB	—
	フルスケール誤差		—	±1.0	±3.5	LSB	—
	絶対精度		—	±2.0	±4.5	LSB	—
	DNL 微分非直線性誤差		—	±0.5	±1.5	LSB	—
	INL 積分非直線性誤差		—	±1.0	±2.5	LSB	—

注. これらの規格値は、1 つだけ A/D コンバータが動作中で、D/A コンバータと ACMPHS が動作しておらず、A/D 変換中に適用されます。
他の A/D コンバータ、D/A コンバータ、または ACMPHS が動作中か、あるいは A/D 変換中にバスアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。
12 ビット A/D コンバータ使用時は、ポート 0 をデジタル出力として使用しないでください。
上記の特性は、AVCC0、AVSS0、VREFH0、VREFH、VREFL0、VREFL および 12 ビット A/D コンバータの入力電圧が安定しているときの特性です。
注 1. 変換時間にはサンプリング時間と比較時間が含まれます。測定条件には、サンプリングステート数が示されています。
注 2. （ ）内の値は、サンプリング時間を意味します。

表 52.56 ユニット 1 の A/D 変換特性（外部 VDD モード） (1/2)

条件：PCLKC = 1～60 MHz
AVCC0 = 2.7～3.6 V, VREFH = 2.7～3.6 V

項目	Min	Typ	Max	単位	測定条件
周波数	1	—	60	MHz	—
アナログ入力容量	—	—	30	pF	—

表 52.56　ユニット 1 の A/D 変換特性（外部 VDD モード）(2/2)

条件：PCLKC = 1～60 MHz
AVCC0 = 2.7～3.6 V, VREFH = 2.7～3.6 V

項目			Min	Typ	Max	単位	測定条件
量子化誤差			—	±0.5	—	LSB	—
分解能			—	—	12	ビット	—
高精度チャネル (AN100～AN102, AN104, AN105)	変換時間(注1)（PCLKC = 60 MHz で動作時）	許容信号源インピーダンス Max = 1 kΩ	0.48 (0.267) (注2)	—	—	μs	16 ステートでのサンプリング
		Max = 400 Ω	0.40 (0.183) (注2)	—	—	μs	11 ステートでのサンプリング AVCC0 = 3.0～3.6 V 3.0 V ≦ VREFH ≦ AVCC0
	オフセット誤差		—	±1.0	±2.5	LSB	—
	フルスケール誤差		—	±1.0	±3.5	LSB	—
	絶対精度		—	±2.0	±4.5	LSB	—
	DNL 微分非直線性誤差		—	±0.5	±1.5	LSB	—
	INL 積分非直線性誤差		—	±1.0	±2.5	LSB	—

注.　これらの規格値は、1 つだけ A/D コンバータが動作中で、D/A コンバータと ACMPHS が動作しておらず、A/D 変換中に適用されます。
他の A/D コンバータ、D/A コンバータ、または ACMPHS が動作中か、あるいは A/D 変換中にバスアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。
12 ビット A/D コンバータ使用時は、ポート 0 をデジタル出力として使用しないでください。
上記の特性は、AVCC0、AVSS0、VREFH0、VREFH、VREFL0、VREFL および 12 ビット A/D コンバータの入力電圧が安定しているときの特性です。
注 1.　変換時間にはサンプリング時間と比較時間が含まれます。測定条件には、サンプリングステート数が示されています。
注 2.　（ ）内の値は、サンプリング時間を意味します。

表 52.57　A/D 内部基準電圧特性

項目	Min	Typ	Max	単位	測定条件
A/D 内部基準電圧	1.13	1.18	1.28	V	—
サンプリング時間	4.15	—	—	μs	—

VBATT 1/3 電圧監視の特性については、「52.10. VBATT 特性」を参照してください。

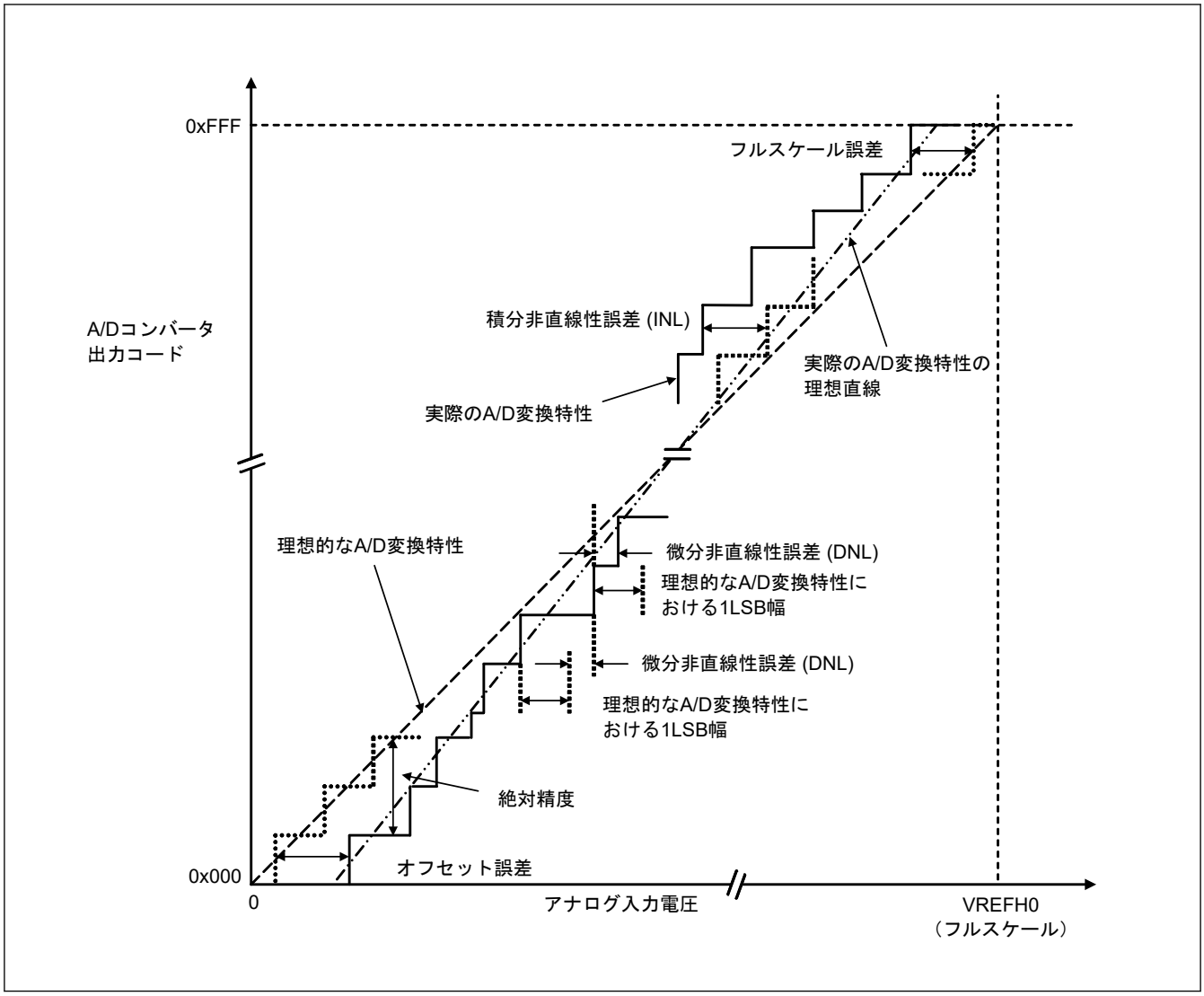


図 52.78　ADC12 特性用語の解説図

絶対精度

絶対精度とは、理論的 A/D 変換特性に基づく出力コードと、実際の A/D 変換結果との差です。絶対精度を測定する場合、理論的 A/D 変換特性において同じ出力コードが期待できるアナログ入力電圧の幅（1-LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。たとえば、分解能が 12 ビットで、基準電圧 VREFH0 = 3.072 V の場合、1-LSB 幅は 0.75 mV になり、アナログ入力電圧には 0 mV、0.75 mV、1.5 mV が使用されます。±5 LSB の絶対精度とは、アナログ入力電圧が 6 mV の場合、理論的 A/D 変換特性から期待される出力コードが 0x008 であっても、実際の A/D 変換結果は 0x003～0x00D の範囲になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的 A/D 変換特性に基づく 1-LSB 幅と、実際の出力コード幅との差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

表 52.58 各入力チャネルの A/D 入力電圧範囲

項目			シンボル	Min	Typ	Max	単位	測定条件
入力電圧範囲	ユニット 0	AN000, AN002, AN004, AN008	VI	0	—	VREFH0	V	—
	ユニット 1	AN100～AN102, AN104, AN105		0	—	VREFH		—

52.6 DAC12 特性

表 52.59 D/A 変換特性 (1/2)

項目		Min	Typ	Max	単位	測定条件
分解能		—	—	12	ビット	—
出力アンプなし（端子出力用、AVCC0 ≧ 1.65V）						
絶対精度	VREFH ≧ 2.7V	—	—	±24	LSB	負荷抵抗 2 MΩ
	VREFH < 2.7 V	—	—	±36		
INL	VREFH ≧ 2.7V	—	±2.0	±8.0	LSB	負荷抵抗 2 MΩ
	VREFH < 2.7 V	—	±2.0	±8.0		
DNL	VREFH ≧ 2.7V	—	±1.0	±2.0	LSB	—
	VREFH < 2.7 V		±1.0	±3.0		
出力インピーダンス		—	8.5	—	kΩ	—
変換時間	VREFH ≧ 2.7V	—	—	3.0	μs	負荷抵抗 2 MΩ、負荷容量 20 pF
	VREFH < 2.7 V	—	—	6.0		
出力電圧範囲		0	—	VREFH	V	—
出力アンプなし（内部出力用、AVCC0 ≧ 1.65V）						
絶対精度	VREFH ≧ 2.7 V	—	—	±4.0	LSB	—
	VREFH < 2.7 V	—	—	±6.0		
変換時間	VREFH ≧ 2.7V	—	—	3.0	μs	—
	VREFH < 2.7 V	—	—	6.0		
出力電圧範囲		0	—	VREFH	V	—
出力アンプあり (AVCC0 ≧ 2.70 V)						
INL		—	±2.0	±4.0	LSB	—
DNL		—	±1.0	±2.0	LSB	—
変換時間		—	—	3.5	μs	—
負荷抵抗		5	—	—	kΩ	—
負荷容量		—	—	50	pF	—

表 52.59 D/A 変換特性 (2/2)

項目		Min	Typ	Max	単位	測定条件
出力電圧範囲	VREFH ≧ 2.7V	0.20	—	VREFH – 0.20	V	—
	VREFH < 2.7 V	0.22	—	VREFH – 0.22		—

52.7 TSN 特性

表 52.60 TSN 特性

項目	シンボル	Min	Typ	Max	単位	測定条件
相対精度	—	—	±1.0	—	℃	—
温度傾斜	—	—	4.0	—	mV/℃	—
出力電圧（25℃時）	—	—	1.24	—	V	—
温度センサ起動時間	t_{START}	—	—	30	μs	—
サンプリング時間	—	4.15	—	—	μs	—

52.8 OSC 停止検出特性

表 52.61 発振停止検出回路特性

項目	シンボル	Min	Typ	Max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 52.79

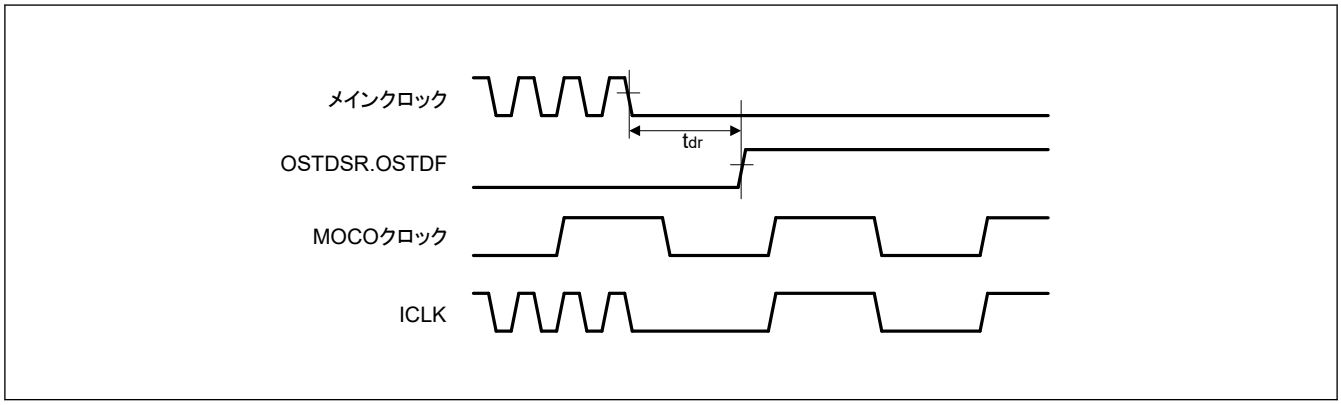


図 52.79 発振停止検出タイミング

52.9 POR と PVD の特性

表 52.62 パワーオンリセット回路と電圧検出回路の特性 (1/2)

項目			シンボル	Min	Typ	Max	単位	測定条件
電圧検出レベル	パワーオンリセット (POR)	Tj = 25℃	V_{POR1}	1.55	1.60	1.68	V	図 52.80
		Tj = 105℃		1.55	1.60	1.70		
		Tj = 25℃	V_{POR2}	1.65	1.70	1.79		
		Tj = 105℃		1.65	1.70	1.81		
	電圧検出回路 (PVD0)		V_{det0_0}	2.76	2.85	2.99		図 52.81
			V_{det0_1}	2.50	2.58	2.71		
			V_{det0_2}	2.08	2.15	2.27		
			V_{det0_3}	1.94	2.00	2.12		
			V_{det0_4}	1.84	1.90	2.01		
			V_{det0_5}	1.74	1.80	1.91		
			V_{det0_6}	1.65	1.70	1.81		
			V_{det0_7}	1.55	1.60	1.70		
	電圧検出回路 (PVDn) (n = 1, 2)		$V_{detn\_3\_rise}$	3.78	3.92	4.10		図 52.82
			$V_{detn\_3\_fall}$	3.72	3.86	4.04		
			$V_{detn\_4\_rise}$	3.09	3.20	3.35		
			$V_{detn\_4\_fall}$	3.03	3.14	3.29		
			$V_{detn\_5\_rise}$	3.05	3.16	3.31		
			$V_{detn\_5\_fall}$	2.99	3.10	3.25		
			$V_{detn\_6\_rise}$	3.03	3.14	3.29		
			$V_{detn\_6\_fall}$	2.97	3.08	3.23		
			$V_{detn\_7\_rise}$	2.81	2.91	3.05		
			$V_{detn\_7\_fall}$	2.75	2.85	2.99		
			$V_{detn\_8\_rise}$	2.79	2.89	3.03		
			$V_{detn\_8\_fall}$	2.73	2.83	2.97		
			$V_{detn\_9\_rise}$	2.76	2.86	3.00		
			$V_{detn\_9\_fall}$	2.70	2.80	2.94		
			$V_{detn\_10\_rise}$	2.58	2.67	2.80		
			$V_{detn\_10\_fall}$	2.53	2.62	2.75		
			$V_{detn\_11\_rise}$	2.30	2.38	2.51		
			$V_{detn\_11\_fall}$	2.25	2.33	2.46		
電圧検出レベル	電圧検出回路 (PVDn) (n = 1, 2)		$V_{detn\_12\_rise}$	1.88	1.94	2.05	V	図 52.82
			$V_{detn\_12\_fall}$	1.84	1.90	2.01		
			$V_{detn\_13\_rise}$	1.84	1.90	2.01		
			$V_{detn\_13\_fall}$	1.80	1.86	1.97		
			$V_{detn\_14\_rise}$	1.72	1.78	1.89		
			$V_{detn\_14\_fall}$	1.68	1.74	1.85		
			$V_{detn\_15\_rise}$	1.69	1.75	1.85		
			$V_{detn\_15\_fall}$	1.65	1.71	1.81		

表 52.62　パワーオンリセット回路と電圧検出回路の特性 (2/2)

項目			シンボル	Min	Typ	Max	単位	測定条件
内部リセット時間 (注1)	パワーオンリセット時間		t_{POR1}	—	—	8.2	ms	図 52.80
			t_{POR2}	—	—	4.5		図 52.80
	PVD0 リセット時間		t_{PVD0}	—	—	(注1)		図 52.80
	PVD1 リセット時間		t_{PVD1}	—	—	(注1)		図 52.81
	PVD2 リセット時間		t_{PVD2}	—	—	(注1)		
最小 VCC 低下時間 (POR) (注2)	100 mV < VD		t_{VOFFP}	500	—	—	μs	図 52.80
	50mV<VD≦100mV			900	—	—		
	VD≦50 mV			2000	—	—		
最小 VCC 低下時間 (PVD) (注2)	PVD0（ディープソフトウェアスタンバイモード 1/2 で OFS1(_SEC).PVDLPSEL = 0）		t_{VOFF}	400	—	—	μs	図 52.81
	PVD0（上記以外）、PVD1、PVD2			200	—	—	μs	図 52.81
応答遅延時間 (POR)	100mV<VD		t_{detp}	—	—	500	μs	図 52.80
	50mV<VD≦100mV			—	—	900		
	VD≦50 mV			—	—	2000		
応答遅延時間 (PVD)	PVD0（ディープソフトウェアスタンバイモード 1/2 で OFS1(_SEC).PVDLPSEL = 0）	50 mV < VD	t_{det}	—	—	200	μs	図 52.81、図 52.82
		50 mV ≧ VD		—	—	400		
	PVD0（上記以外）、PVD1、PVD2	100 mV < VD		—	—	10		
		100 mV ≧ VD		—	—	200		
PVD 動作安定時間（PVD 有効切り替え後）			$T_{d\ (E-A)}$	—	—	20	μs	図 52.82

注 1.　t_{DSBY} の値が t_{PVD0} の最大値となります。それは、ディープソフトウェアスタンバイモードから復帰した時に内部リセット時間が最大となるからです。
t_{DSTBY} の値が t_{PVD1} と t_{PVD2} の最大値となります。それは、ディープソフトウェアスタンバイモードから復帰した時に内部リセット時間が最大となるからです。

注 2.　最小 VCC 低下時間は、POR/PVD の電圧検出レベル V_{POR1}、V_{det1}、V_{det2} の最小値を VCC が下回っている時間です。

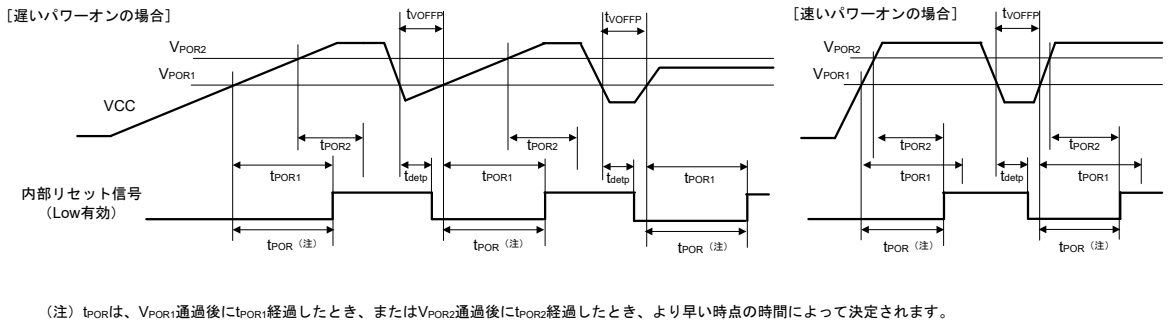


図 52.80　パワーオンリセットタイミング

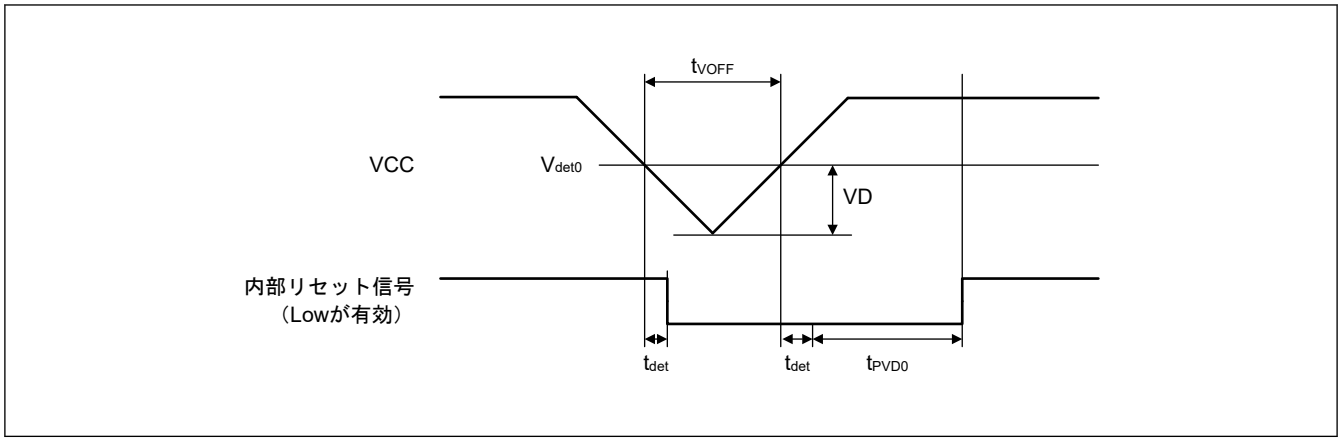


図 52.81　電圧検出回路タイミング (V_{det0})

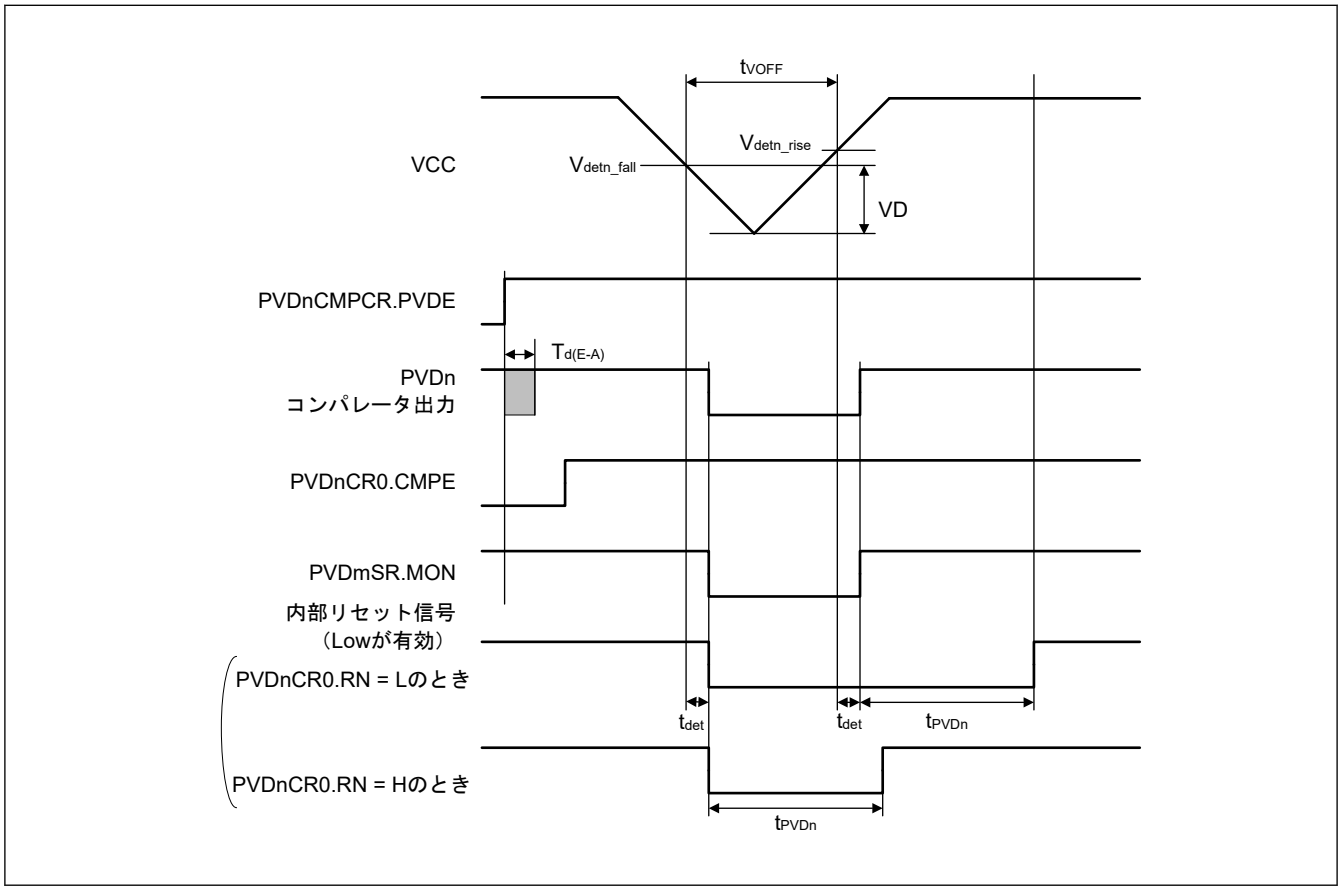


図 52.82　電圧検出回路タイミング (V_{detn}) (n = 1, 2)

52.10 VBATT 特性

表 52.63 バッテリバックアップ機能特性

条件：VCC = VCC_DCDC = VCC_USB = 1.68～3.6 V, VBATT = 1.62～3.6 V

項目	シンボル	Min	Typ	Max	単位	測定条件
バッテリバックアップ切り替え電圧レベル ディープソフトウェアスタンバイモード 1/2 では OFS1(_SEC).PVDAS と PVDLPSEL は 0（PVD0 では VDETVATT_n は VDSEL[2:0]の設定に従う）	$V_{DETBATT\_0}$	2.760	2.850	2.990	V	図 52.83
	$V_{DETBATT\_1}$	2.500	2.580	2.710		
	$V_{DETBATT\_2}$	2.080	2.150	2.270		
	$V_{DETBATT\_3}$	1.940	2.000	2.120		
	$V_{DETBATT\_4}$	1.840	1.900	2.010		
	$V_{DETBATT\_5}$	1.740	1.800	1.910		
	$V_{DETBATT\_6}$	1.650	1.700	1.810		
バッテリバックアップ切り替え電圧レベル（上記以外）	$V_{DETBATT\_0}$	2.710	2.800	2.940	V	
	$V_{DETBATT\_1}$	2.450	2.530	2.660		
	$V_{DETBATT\_2}$	2.030	2.100	2.220		
	$V_{DETBATT\_3}$	1.855	1.950	2.065		
	$V_{DETBATT\_4}$	1.790	1.850	1.960		
	$V_{DETBATT\_5}$	1.690	1.750	1.860		
VCC 降下検出安定待機時間(注2)	t_{DETWT}	—	—	20	μs	
VCC 電圧低下による電源切り替え時の VBATT 下限電圧	V_{BATTSW}	2.0	—	—	V	図 52.83
電源切り替え開始時の VCC オフ期間(注1)（ディープソフトウェアスタンバイモード 1/2 で OFS1(_SEC).PVDAS と PVDLPSEL が 0）	$t_{VOFFBATT}$	400	—	—	μs	
電源切り替え開始時 VCC オフ期間(注1)（上記以外）		200	—	—		
バックアップドメインパワーダウン検出レベル	$V_{PDR\ (BATR)}$	1.45	1.50	1.60	V	図 52.84
バックアップドメインのリセット信号アサート時間遅延(注3)	$t_{p\ (PDRL)}$	—	—	2000	μs	
バックアップドメインのリセット信号ネゲート時間遅延	$t_{p\ (PDRH)}$	—	—	3000		
VBATT 監視動作安定時間（VBATTMNSELR.VBTMNSEL を 1 に変更後）	t_{MONWT}	—	—	4.2	μs	—
VBATT 電圧監視レベル	$V_{MONBATT}$	—	VBATT / 3	—	V	—
VBATT 電流増加（VBATTMNSELR.VBTMNSEL = 1 の場合と VBATTMNSELR.VBTMNSEL = 0 の場合の比較）	$I_{VBATTSELB}$	—	1.50	2.35	μA	—
VCC 電流増加（VBATTMNSELR.VBTMNSEL = 1 の場合と VBATTMNSELR.VBTMNSEL = 0 の場合の比較）	$I_{VBATTSELC}$	—	330	577	μA	—

注 1. 電源切り替え開始時 VCC オフ期間は、VCC がバッテリバックアップ切り替え電圧レベル ($V_{DETBATT}$) の最小値を下回っている時間です。
さらに、この期間は VCC が電圧検出レベル V_{POR1} の最小値を下回っている時間 tVOFFP です。

注 2. VBTBPCR2.VDETLVL または VBTBPCR1.BPWSWSTP が 1 から 0 に変更される安定時間

注 3. VBATT_R がこの期間内に復帰すると、バックアップドメインリセット信号が発生しない可能性があります。

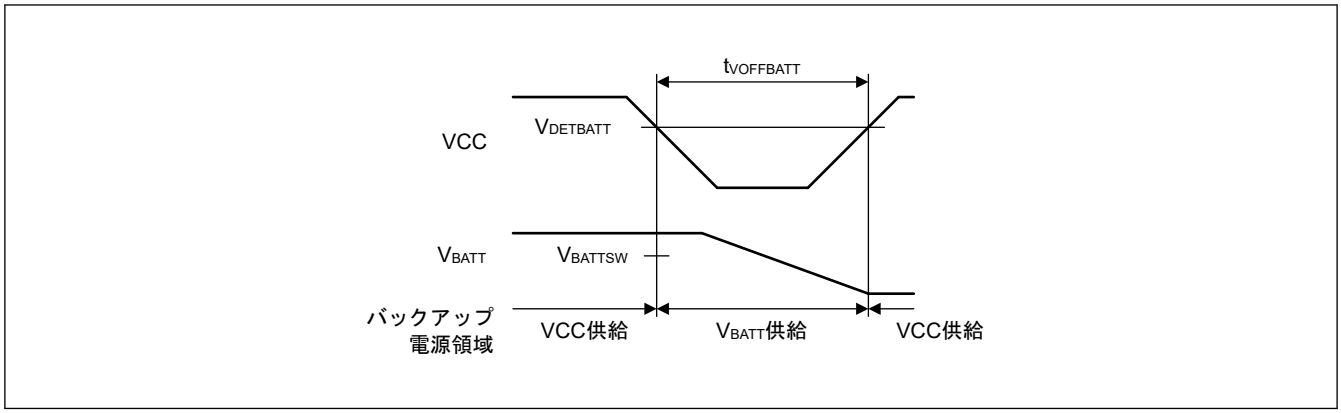


図 52.83　バッテリバックアップ機能特性

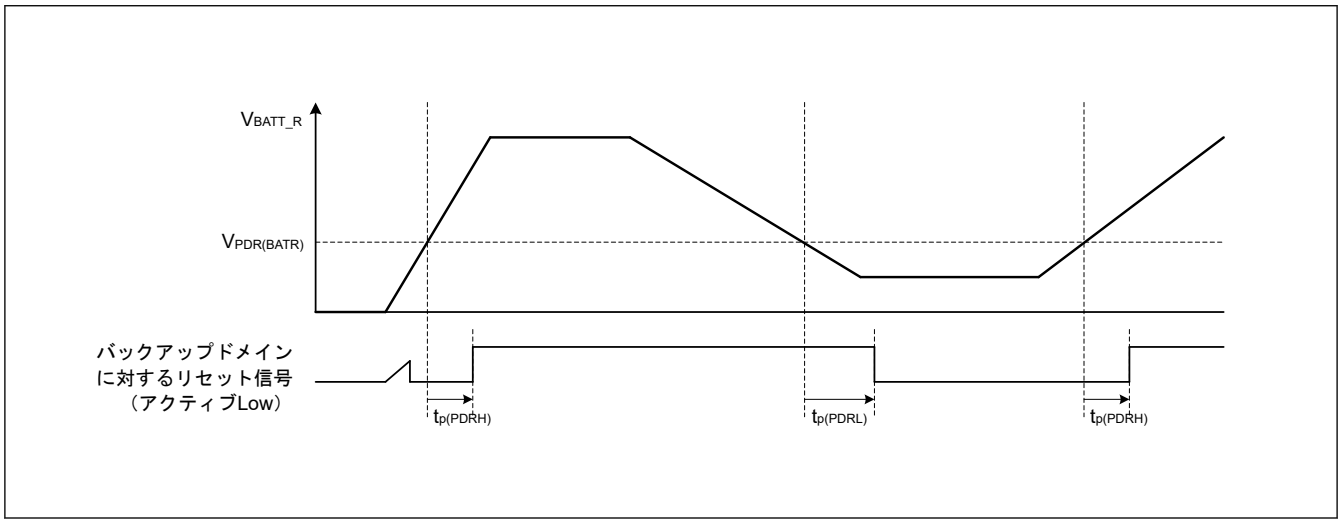


図 52.84　バックアップドメインリセット特性

52.11　ACMPHS 特性

表 52.64　ACMPHS

項目			シンボル	Min	Typ	Max	単位	測定条件
基準電圧範囲			VREF	0	—	AVCC0	V	—
入力電圧範囲	ACMPHS0		VI	0	—	AVCC0	V	—
	ACMPHS1	IVCMP1～IVCMP3		0	—	AVCC0		—
		IVCMP0		0	—	AVCC0		VCC >= AVCC0
				0	—	VCC		VCC < AVCC0
出力遅延(注1)			Td	—	50	100	ns	VI = VREF ± 100 mV
内部基準電圧			Vref	1.13	1.18	1.28	V	—

注 1.　内部伝搬遅延の値です。

52.12 フラッシュメモリ特性

52.12.1 コードフラッシュメモリ特性

表 52.65 コードフラッシュメモリ特性

条件：プログラム／イレース：FCLK = 4～60 MHz
読み出し時：FCLK ≦ 60 MHz

項目		シンボル	FCLK = 4 MHz			20 MHz≦FCLK≦60 MHz			単位	測定条件
			Min	Typ(注6)	Max	Min	Typ(注6)	Max		
プログラム時間 N_{PEC} ≦ 100 回	128 バイト	t_{P128}	—	0.75	13.2	—	0.34	6.0	ms	
	8 KB	t_{P8K}	—	49	176	—	22	80	ms	
	32 KB	t_{P32K}	—	194	704	—	88	320	ms	
プログラム時間 N_{PEC} > 100 回	128 バイト	t_{P128}	—	0.91	15.8	—	0.41	7.2	ms	
	8 KB	t_{P8K}	—	60	212	—	27	96	ms	
	32 KB	t_{P32K}	—	234	848	—	106	384	ms	
イレース時間 N_{PEC} ≦ 100 回	8 KB	t_{E8K}	—	78	216	—	43	120	ms	
	32 KB	t_{E32K}	—	283	864	—	157	480	ms	
イレース時間 N_{PEC} > 100 回	8 KB	t_{E8K}	—	94	260	—	52	144	ms	
	32 KB	t_{E32K}	—	341	1040	—	189	576	ms	
再プログラム／イレースサイクル(注4)		N_{PEC}	10000(注1)	—	—	10000(注1)	—	—	回	
プログラム中のサスペンド遅延時間		t_{SPD}	—	—	264	—	—	120	µs	
プログラムレジューム時間		t_{PRT}	—	—	110	—	—	50	µs	
サスペンド優先モードにおけるイレース中の 1 回目のサスペンド遅延時間		t_{SESD1}	—	—	216	—	—	120	µs	
サスペンド優先モードにおけるイレース中の 2 回目のサスペンド遅延時間		t_{SESD2}	—	—	1.7	—	—	1.7	ms	
イレース優先モードにおけるイレース中のサスペンド遅延時間		t_{SEED}	—	—	1.7	—	—	1.7	ms	
サスペンド優先モードにおけるイレース中の 1 回目のイレースレジューム時間(注5)		t_{REST1}	—	—	1.7	—	—	1.7	ms	
サスペンド優先モードにおけるイレース中の 2 回目のイレースレジューム時間		t_{REST2}	—	—	144	—	—	80	µs	
イレース優先モードにおけるイレース中のイレースレジューム時間		t_{REET}	—	—	144	—	—	80	µs	
強制停止コマンド		t_{FD}	—	—	32	—	—	20	µs	
データ保持時間(注2)		t_{DRP}	20(注2) (注3)	—	—	20(注2) (注3)	—	—	年	Tj = +105℃
			30(注2) (注3)	—	—	30(注2) (注3)	—	—		Tj = +85℃

注 1. 再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1～最小値です。
注 2. 書き換えが仕様範囲内で行われたときの特性の最小値です。
注 3. この結果は信頼性試験から得られたものです。
注 4. 再プログラム／イレースサイクルは、ブロックごとの消去回数です。再プログラム／イレースサイクルが n 回 (n = 10,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、8 KB のブロックについて、それぞれ異なるアドレスに 128 バイト書き込みを 64 回に分けて行った後に、そのブロックを消去した場合も、再プログラム／イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。上書きはしないでください。
注 5. レジューム時間には、サスペンド時に中断されたイレースパルス（最大 1 フルパルス）を再印加する時間が含まれます。
注 6. VCC = 3.3 V および室温における基準値。

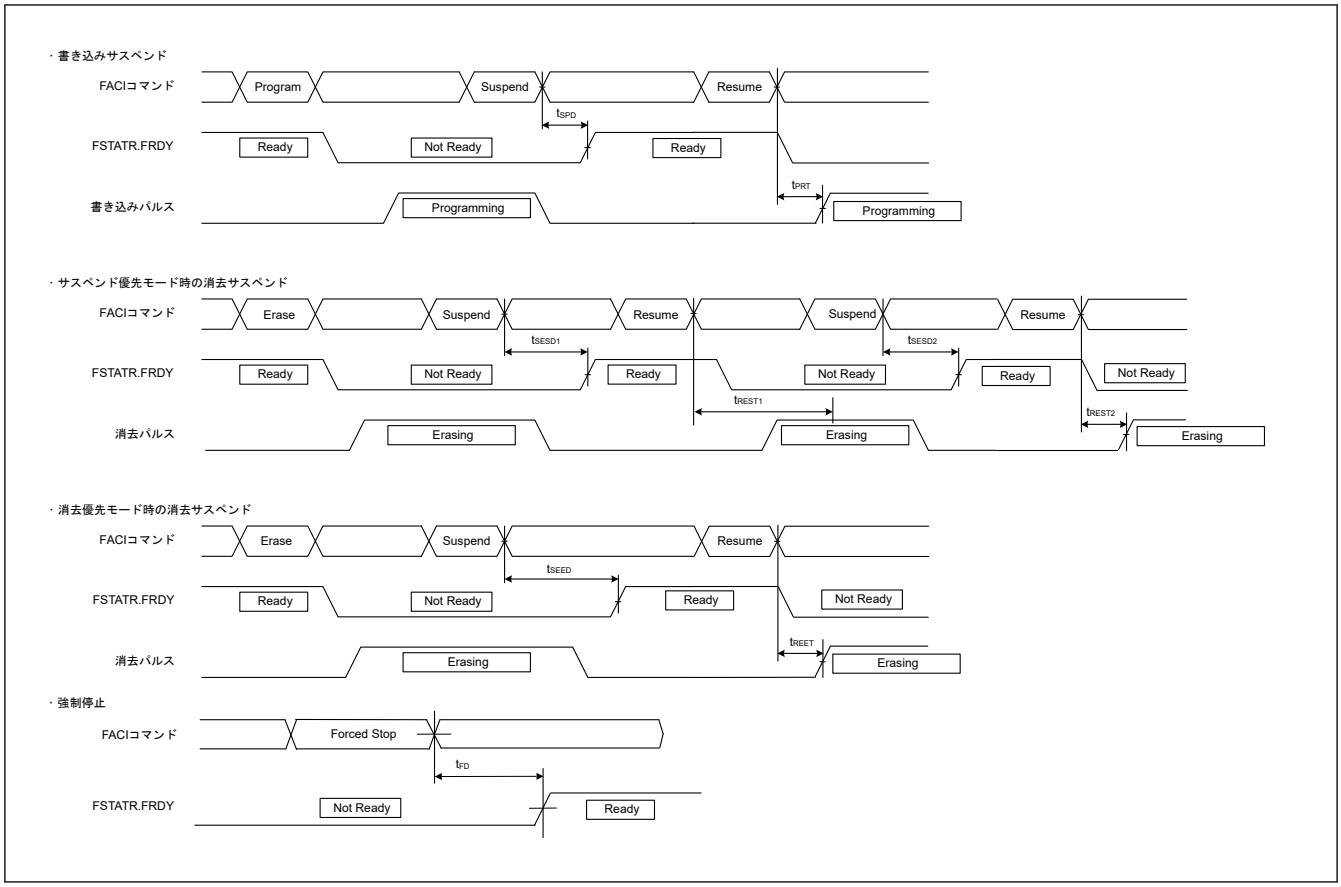


図 52.85　フラッシュメモリのプログラム／イレースのサスペンドタイミングと強制停止タイミング

52.12.2　データフラッシュメモリ特性

表 52.66　データフラッシュメモリ特性 (1/2)

条件：プログラム／イレース：FCLK = 4～60 MHz
読み出し時：FCLK ≦ 60 MHz

項目		シンボル	FCLK = 4 MHz			20 MHz≦FCLK≦60 MHz			単位	測定条件
			Min	Typ(注6)	Max	Min	Typ(注6)	Max		
プログラム時間	4 バイト	t_{DP4}	—	0.36	3.8	—	0.16	1.7	ms	
	8 バイト	t_{DP8}	—	0.38	4.0	—	0.17	1.8		
	16 バイト	t_{DP16}	—	0.42	4.5	—	0.19	2.0		
イレース時間	64 バイト	t_{DE64}	—	3.1	18	—	1.7	10	ms	
	128 バイト	t_{DE128}	—	4.7	27	—	2.6	15		
	256 バイト	t_{DE256}	—	8.9	50	—	4.9	28		
ブランクチェック時間	4 バイト	t_{DBC4}	—	—	84	—	—	30	µs	
再プログラム／イレースサイクル(注1)		N_{DPEC}	125000 (注2)	—	—	125000 (注2)	—	—	—	
プログラム中のサスペンド遅延時間	4 バイト	t_{DSPD}	—	—	264	—	—	120	µs	
	8 バイト		—	—	264	—	—	120		
	16 バイト		—	—	264	—	—	120		
プログラムレジューム時間		t_{DPRT}	—	—	110	—	—	50	µs	

表 52.66　データフラッシュメモリ特性 (2/2)

条件：プログラム／イレース：FCLK = 4～60 MHz
読み出し時：FCLK ≦ 60 MHz

項目		シンボル	FCLK = 4 MHz			20 MHz≦FCLK≦60 MHz			単位	測定条件
			Min	Typ(注6)	Max	Min	Typ(注6)	Max		
サスペンド優先モードにおけるイレース中の 1 回目のサスペンド遅延時間	64 バイト	t_{DSESD1}	—	—	216	—	—	120	μs	
	128 バイト		—	—	216	—	—	120		
	256 バイト		—	—	216	—	—	120		
サスペンド優先モードにおけるイレース中の 2 回目のサスペンド遅延時間	64 バイト	t_{DSESD2}	—	—	300	—	—	300	μs	
	128 バイト		—	—	390	—	—	390		
	256 バイト		—	—	570	—	—	570		
イレース優先モードにおけるイレース中のサスペンド遅延時間	64 バイト	t_{DSEED}	—	—	300	—	—	300	μs	
	128 バイト		—	—	390	—	—	390		
	256 バイト		—	—	570	—	—	570		
サスペンド優先モードにおけるイレース中の 1 回目のイレースレジューム時間(注5)		t_{DREST1}	—	—	300	—	—	300	μs	
サスペンド優先モードにおけるイレース中の 2 回目のイレースレジューム時間サスペンド優先モードにおけるイレース中の 1 回目のイレースレジューム時間		t_{DREST2}	—	—	126	—	—	70	μs	
イレース優先モードにおけるイレース中のイレースレジューム時間		t_{DREET}	—	—	126	—	—	70	μs	
強制停止コマンド		t_{FD}	—	—	32	—	—	20	μs	
データ保持時間(注3)		t_{DRP}	20(注3) (注4)	—	—	20(注3) (注4)	—	—	年	Tj = +105℃
			30(注3) (注4)	—	—	30(注3) (注4)	—	—		Tj = +85℃

注 1.　再プログラム／イレースサイクルは、ブロックごとの消去回数です。再プログラム／イレースサイクルが n 回 (n = 125,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、64 バイトのブロックについて、それぞれ異なるアドレスに 4 バイト書き込みを 16 回に分けて行った後に、そのブロックを消去した場合も、再プログラム／イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。上書きはしないでください。
注 2.　再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1～最小値です。
注 3.　書き換えが仕様範囲内で行われたときの特性の最小値です。
注 4.　この結果は信頼性試験から得られたものです。
注 5.　レジューム時間には、サスペンド時に中断されたイレースパルス（最大 1 フルパルス）を再印加する時間が含まれます。
注 6.　VCC = 3.3 V および室温における基準値

52.12.3 オプション設定メモリ（コードフラッシュメモリ）特性

表 52.67 オプション設定メモリ（コードフラッシュメモリ）特性

条件：プログラム：FCLK = 4～60 MHz
読み出し時：FCLK ≦ 60 MHz

項目	シンボル	FCLK = 4 MHz			20 MHz≦FCLK≦60 MHz			単位	測定条件
		Min	Typ(注4)	Max	Min	Typ(注4)	Max		
プログラム時間 N_{OPC} ≦ 200 回	t_{OP}	—	83	309	—	45	162	ms	
プログラム時間 N_{OPC} > 200 回	t_{OP}	—	100	371	—	55	195	ms	
再プログラムサイクル	N_{OPC}	20000 (注1)	—	—	20000 (注1)	—	—	回	
データ保持時間(注2)	t_{DRP}	20(注2) (注3)	—	—	20(注2) (注3)	—	—	年	Tj = +105℃
		30(注2) (注3)	—	—	30(注2) (注3)	—	—		Tj = +85℃

注 1. 再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1～最小値です。
注 2. 書き換えが仕様範囲内で行われたときの特性の最小値です。
注 3. この結果は信頼性試験から得られたものです。
注 4. VCC = 3.3 V および室温における基準値

52.12.4 オプション設定メモリ（データフラッシュメモリ）特性

表 52.68 オプション設定メモリ（データフラッシュメモリ）特性

条件：プログラム：FCLK = 4～60 MHz
読み出し時：FCLK ≦ 60 MHz

項目	シンボル	FCLK = 4 MHz			20 MHz≦FCLK≦60 MHz			単位	測定条件
		Min	Typ(注4)	Max	Min	Typ(注4)	Max		
コンフィグレーション設定コマンド（4 バイト／16 バイト）の命令時間	t_{DCCT}	—	68	515	—	35	255	ms	
コンフィグレーション領域の更新サイクル	N_{cupc}	125000 (注1)	—	—	125000 (注1)	—	—	回	
データ保持時間(注2)	t_{DRP}	20(注2) (注3)	—	—	20(注2) (注3)	—	—	年	Tj = +105℃
		30(注2) (注3)	—	—	30(注2) (注3)	—	—		Tj = +85℃

注 1. 再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1～最小値です。
注 2. 書き換えが仕様範囲内で行われたときの特性の最小値です。
注 3. この結果は信頼性試験から得られたものです。
注 4. VCC = 3.3 V および室温における基準値

52.12.5 アンチロールバックカウンタ特性

表 52.69 アンチロールバックカウンタ特性 (1/2)

条件：プログラム：FCLK = 4～60 MHz
読み出し時：FCLK ≦ 60 MHz

項目	シンボル	FCLK = 4 MHz			20 MHz≦FCLK≦60 MHz			単位	測定条件
		Min	Typ(注4)	Max	Min	Typ(注4)	Max		
インクリメントカウンタおよびリフレッシュカウンタの命令時間	t_{IRCT}	—	11.9	81	—	6.3	42	ms	
読み出しカウンタの命令時間	t_{RCT}	—	—	25	—	—	5	μs	

表 52.69　アンチロールバックカウンタ特性 (2/2)

条件：プログラム：FCLK = 4～60 MHz
読み出し時：FCLK ≦ 60 MHz

項目	シンボル	FCLK = 4 MHz			20 MHz≦FCLK≦60 MHz			単位	測定条件
		Min	Typ(注4)	Max	Min	Typ(注4)	Max		
更新周期（インクリメントとリフレッシュの合計）	N_{cupc}	125000 (注1)	—	—	125000 (注1)	—	—	回	
データ保持時間(注2)	t_{DRP}	20(注2) (注3)	—	—	20(注2) (注3)	—	—	年	Tj = +105℃
		30(注2) (注3)	—	—	30(注2) (注3)	—	—		Tj = +85℃

注 1.　再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1～最小値です。
注 2.　書き換えが仕様範囲内で行われたときの特性の最小値です。
注 3.　この結果は信頼性試験から得られたものです。
注 4.　VCC = 3.3 V および室温における基準値

52.13　バウンダリスキャン

表 52.70　バウンダリスキャン特性

項目	VCC	シンボル	Min	Typ	Max	単位	測定条件
TCK クロックサイクル時間	1.68 V 以上	t_{TCKcyc}	100	—	—	ns	図 52.86
TCK クロック High レベルパルス幅	1.68 V 以上	t_{TCKH}	0.45	—	—	t_{TCKcyc}	
TCK クロック Low レベルパルス幅	1.68 V 以上	t_{TCKL}	0.45	—	—	t_{TCKcyc}	
TCK クロック立ち上がり時間	1.68 V 以上	t_{TCKr}	—	—	0.05(注2)	t_{TCKcyc}	
TCK クロック立ち下がり時間	1.68 V 以上	t_{TCKf}	—	—	0.05(注2)	t_{TCKcyc}	
TMS セットアップ時間	1.68 V 以上	t_{TMSS}	20	—	—	ns	図 52.87
TMS ホールド時間	1.68 V 以上	t_{TMSH}	20	—	—	ns	
TDI セットアップ時間	1.68 V 以上	t_{TDIS}	20	—	—	ns	
TDI ホールド時間	1.68 V 以上	t_{TDIH}	20	—	—	ns	
TDO データ遅延時間	1.68 V 以上	t_{TDOD}	—	—	40	ns	
キャプチャレジスタセットアップ時間	1.68 V 以上	t_{CAPTS}	20	—	—	ns	図 52.88
キャプチャレジスタホールド時間	1.68 V 以上	t_{CAPTH}	20	—	—	ns	
更新レジスタ遅延時間	1.68 V 以上	$t_{UPDATED}$	—	—	40	ns	
バウンダリスキャン回路起動時間 (注1)	1.68 V 以上	T_{BSSTUP}	t_{RESWP}	—	—	—	図 52.89

注 1.　パワーオンリセットが無効になるまで、バウンダリスキャンは機能しません。
注 2.　最長 1 μs

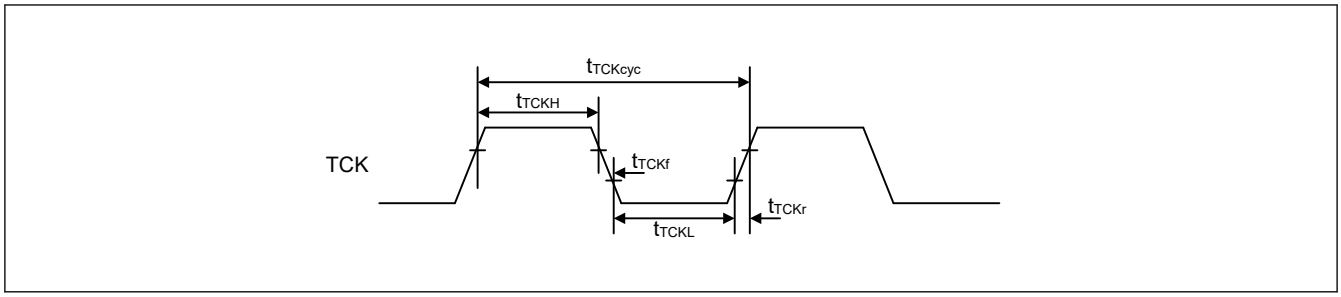


図 52.86　バウンダリスキャン TCK タイミング

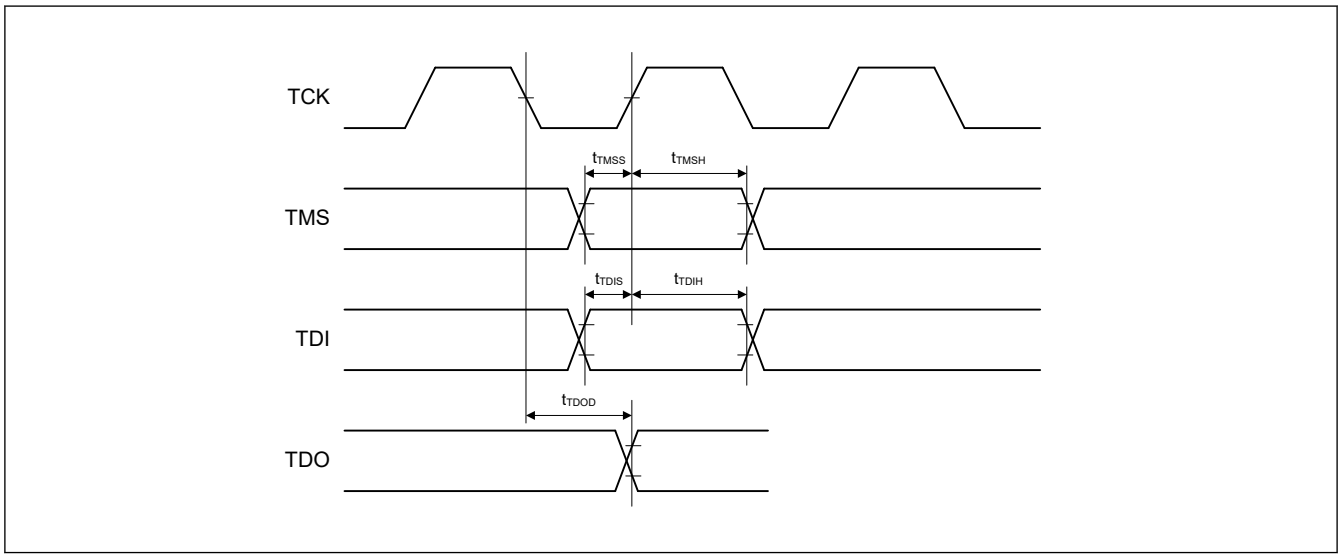


図 52.87　バウンダリスキャン入出力タイミング (1)

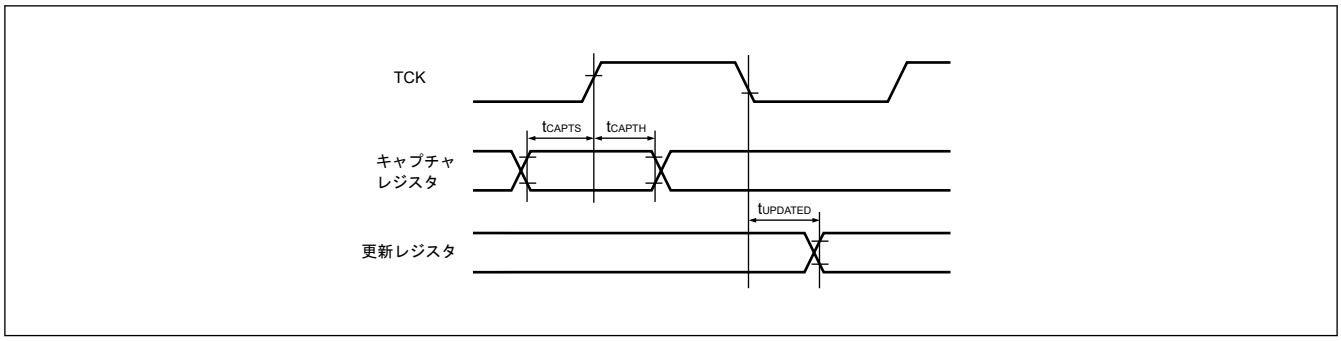


図 52.88　バウンダリスキャン入出力タイミング (2)

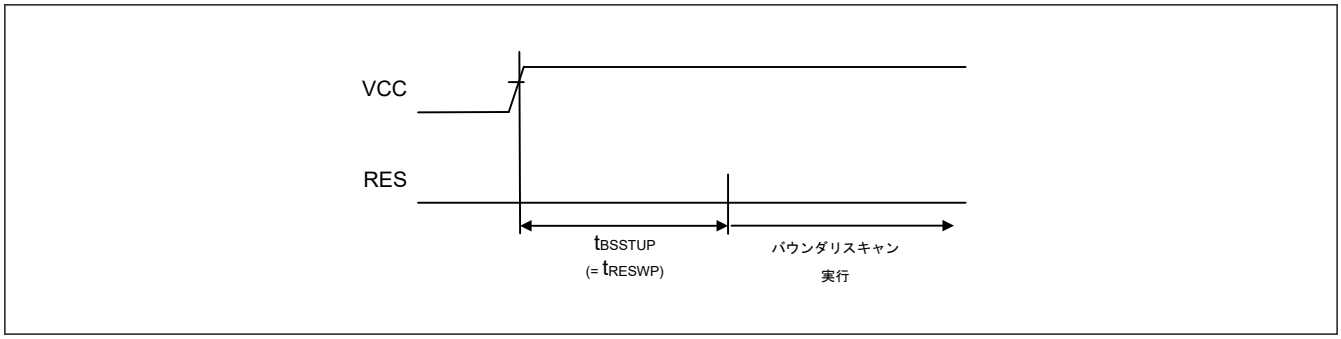


図 52.89　バウンダリスキャン回路起動タイミング

52.14 JTAG (Joint Test Action Group)

表 52.71 JTAG

項目	VCC	シンボル	Min	Typ	Max	単位	測定条件
TCK クロックサイクル時間	2.7 V 以上	t_{TCKcyc}	40.0	—	—	ns	図 52.90
	1.68 V 以上		40.0	—	—	ns	
TCK クロック High レベルパルス幅	2.7 V 以上	t_{TCKH}	0.375	—	—	t_{TCKcyc}	
	1.68 V 以上		0.375	—	—	t_{TCKcyc}	
TCK クロック Low レベルパルス幅	2.7 V 以上	t_{TCKL}	0.375	—	—	t_{TCKcyc}	
	1.68 V 以上		0.375	—	—	t_{TCKcyc}	
TCK クロック立ち上がり時間	2.7 V 以上	t_{TCKr}	—	—	0.125(注1)	t_{TCKcyc}	
	1.68 V 以上		—	—	0.125(注1)	t_{TCKcyc}	
TCK クロック立ち下がり時間	2.7 V 以上	t_{TCKf}	—	—	0.125(注1)	t_{TCKcyc}	
	1.68 V 以上		—	—	0.125(注1)	t_{TCKcyc}	
TMS セットアップ時間	2.7 V 以上	t_{TMSS}	8.0	—	—	ns	図 52.91
	1.68 V 以上		8.0	—	—	ns	
TMS ホールド時間	2.7 V 以上	t_{TMSH}	8.0	—	—	ns	
	1.68 V 以上		8.0	—	—	ns	
TDI セットアップ時間	2.7 V 以上	t_{TDIS}	8.0	—	—	ns	
	1.68 V 以上		8.0	—	—	ns	
TDI ホールド時間	2.7 V 以上	t_{TDIH}	8.0	—	—	ns	
	1.68 V 以上		8.0	—	—	ns	
TDO データ遅延時間	2.7 V 以上	t_{TDOD}	—	—	20.0	ns	
	1.68 V 以上		—	—	28.0	ns	

注 1. 最長 1 μs

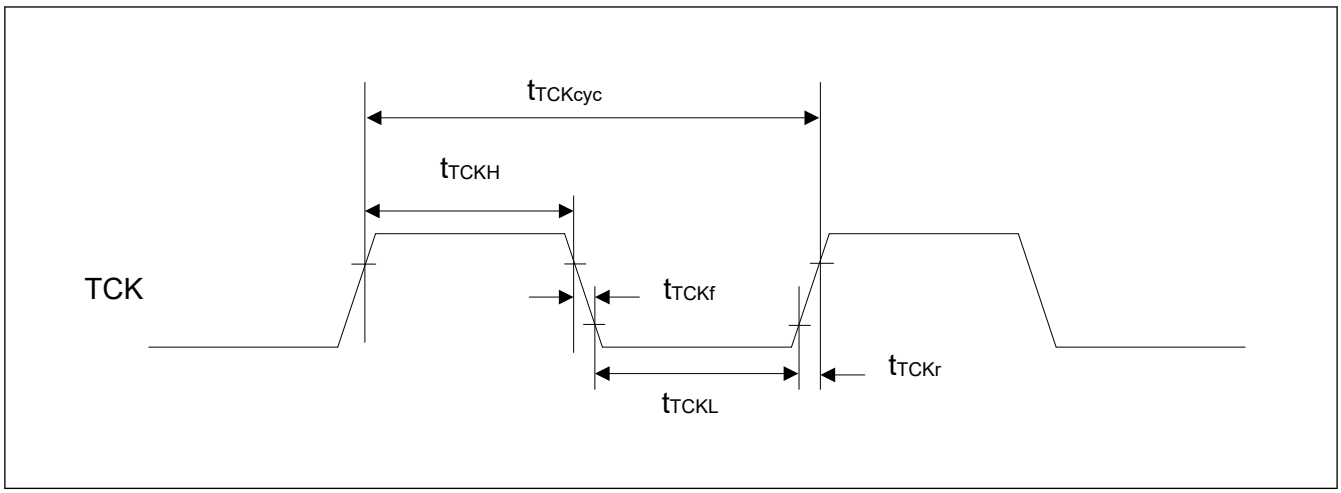


図 52.90 JTAG TCK タイミング

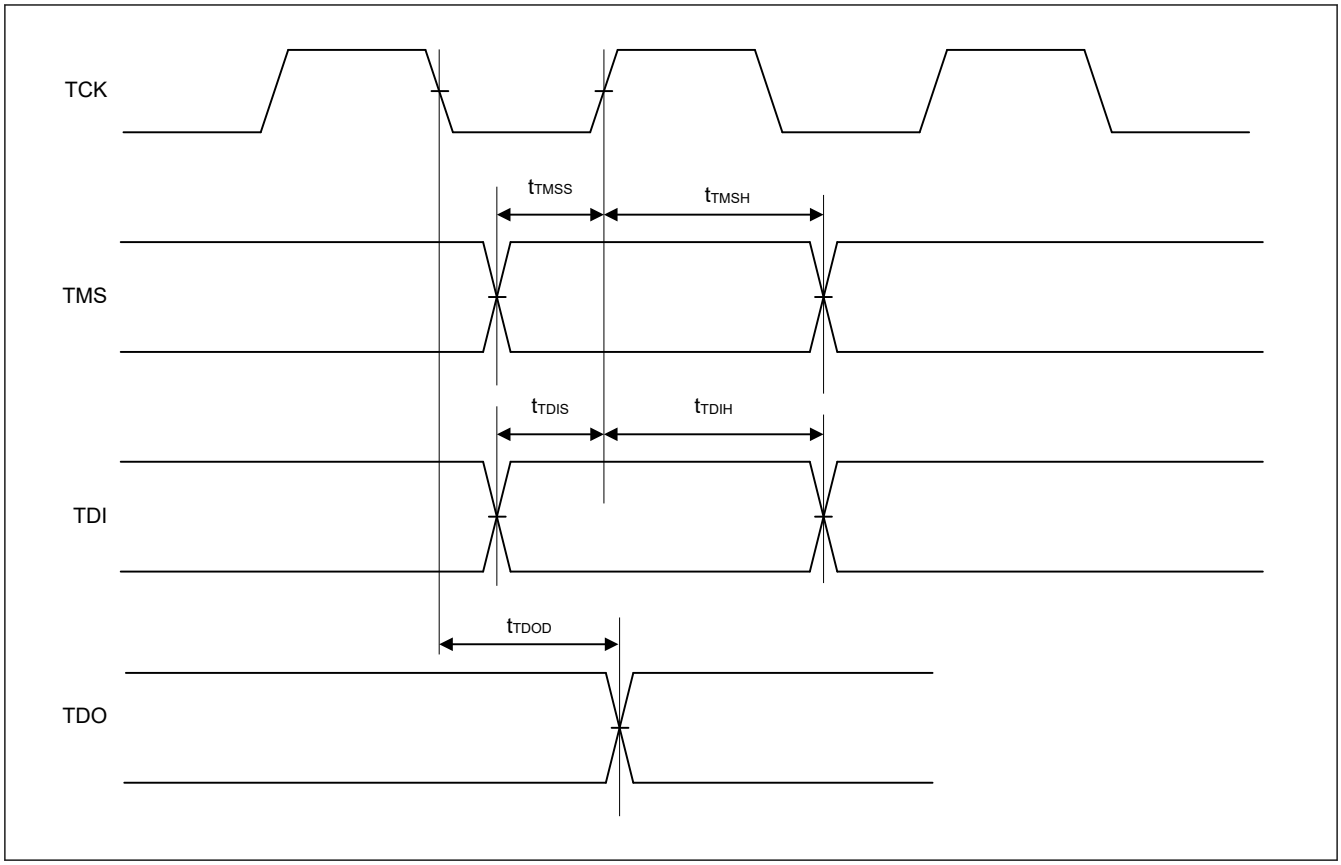


図 52.91　JTAG 入出力タイミング

52.15　シリアルワイヤデバッグ (SWD)

表 52.72　SWD

項目	VCC	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	2.7 V 以上	$t_{SWCKcyc}$	40.0	—	—	ns	図 52.92
	1.68 V 以上		40.0	—	—	ns	
SWCLK クロック High レベルパルス幅	2.7 V 以上	t_{SWCKH}	0.375	—	—	$t_{SWCKcyc}$	
	1.68 V 以上		0.375	—	—	$t_{SWCKcyc}$	
SWCLK クロック Low レベルパルス幅	2.7 V 以上	t_{SWCKL}	0.375	—	—	$t_{SWCKcyc}$	
	1.68 V 以上		0.375	—	—	$t_{SWCKcyc}$	
SWCLK クロック立ち上がり時間	2.7 V 以上	t_{SWCKr}	—	—	0.125(注1)	$t_{SWCKcyc}$	
	1.68 V 以上		—	—	0.125(注1)	$t_{SWCKcyc}$	
SWCLK クロック立ち下がり時間	2.7 V 以上	t_{SWCKf}	—	—	0.125(注1)	$t_{SWCKcyc}$	
	1.68 V 以上		—	—	0.125(注1)	$t_{SWCKcyc}$	
SWDIO セットアップ時間	2.7 V 以上	t_{SWDS}	8.0	—	—	ns	図 52.93
	1.68 V 以上		8.0	—	—	ns	
SWDIO ホールド時間	2.7 V 以上	t_{SWDH}	8.0	—	—	ns	
	1.68 V 以上		8.0	—	—	ns	
SWDIO データ遅延時間	2.7 V 以上	t_{SWDD}	2.0	—	28.0	ns	
	1.68 V 以上		2.0	—	32.0	ns	

注 1.　最長 1 µs

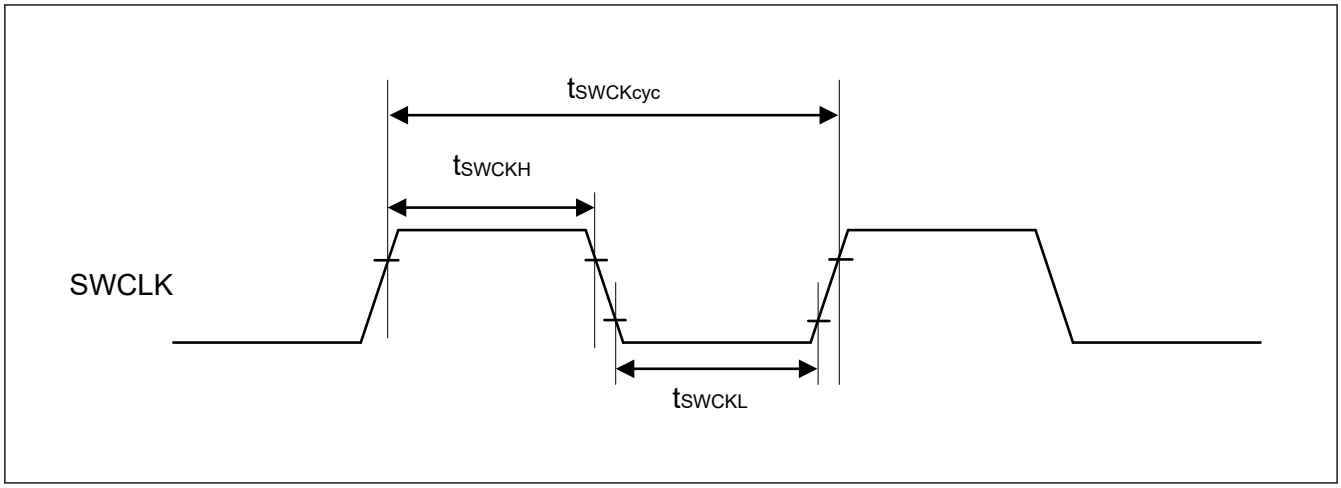


図 52.92　SWD SWCLK タイミング

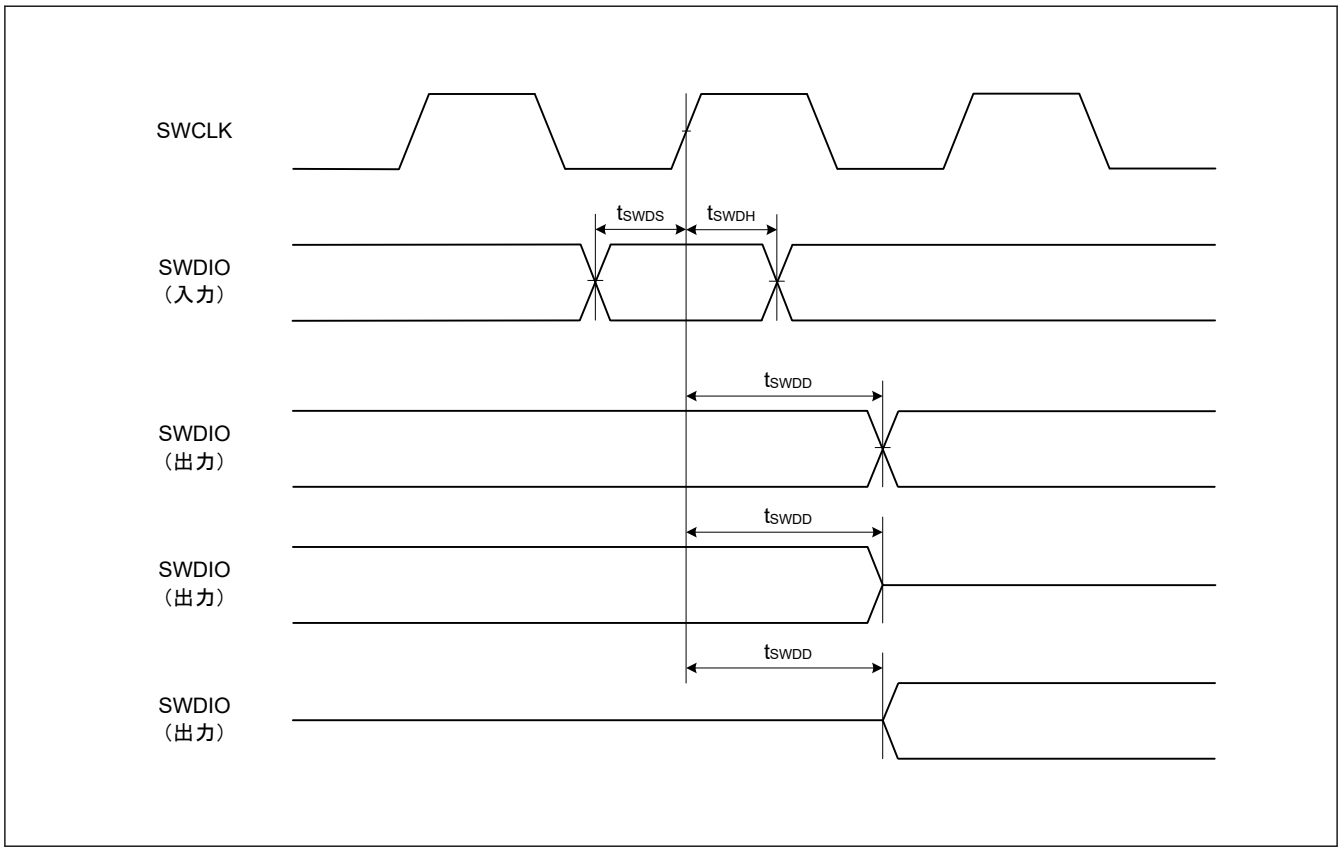


図 52.93　SWD 入出力タイミング

52.16 エンベデッドトレースマクロインタフェース (ETM)

表 52.73 ETM

条件：PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています。

項目	VCC	シンボル	Min	Typ	Max	単位	測定条件
TCLK クロックサイクル時間	2.7 V 以上	$t_{TCLKcyc}$	16.6	—	—	ns	図 52.94
	1.68 V 以上		16.6	—	—	ns	
TCLK クロック High レベルパルス幅	2.7 V 以上	t_{TCLKH}	7.3	—	—	ns	
	1.68 V 以上		6.3	—	—	ns	
TCLK クロック Low レベルパルス幅	2.7 V 以上	t_{TCLKL}	7.3	—	—	ns	
	1.68 V 以上		6.3	—	—	ns	
TCLK クロック立ち上がり時間	2.7 V 以上	t_{TCLKr}	—	—	1.0	ns	
	1.68 V 以上		—	—	2.0	ns	
TCLK クロック立ち下がり時間	2.7 V 以上	t_{TCLKf}	—	—	1.0	ns	
	1.68 V 以上		—	—	2.0	ns	
TDATA[3:0]出力有効時間	2.7 V 以上	t_{TRDV}	—	—	$t_{TCLKcyc}/4 + 1.6$	ns	図 52.95
	1.68 V 以上		—	—	$t_{TCLKcyc}/4 + 1.6$	ns	
TDATA[3:0]出力ホールド時間	2.7 V 以上	t_{TRDH}	1.5	—	—	ns	
	1.68 V 以上		1.5	—	—	ns	

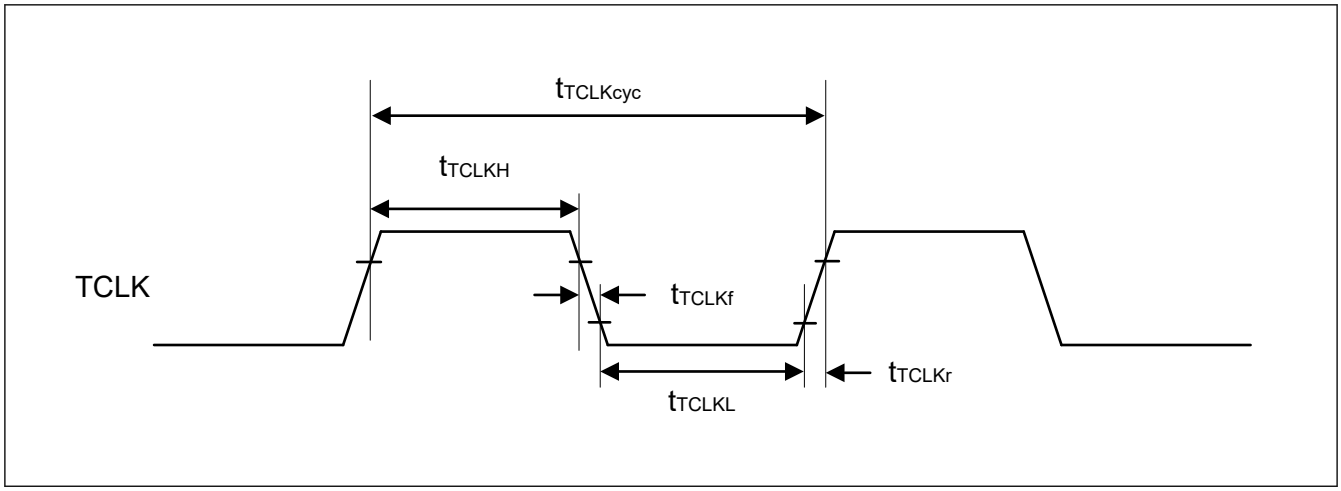


図 52.94 ETM TCLK タイミング

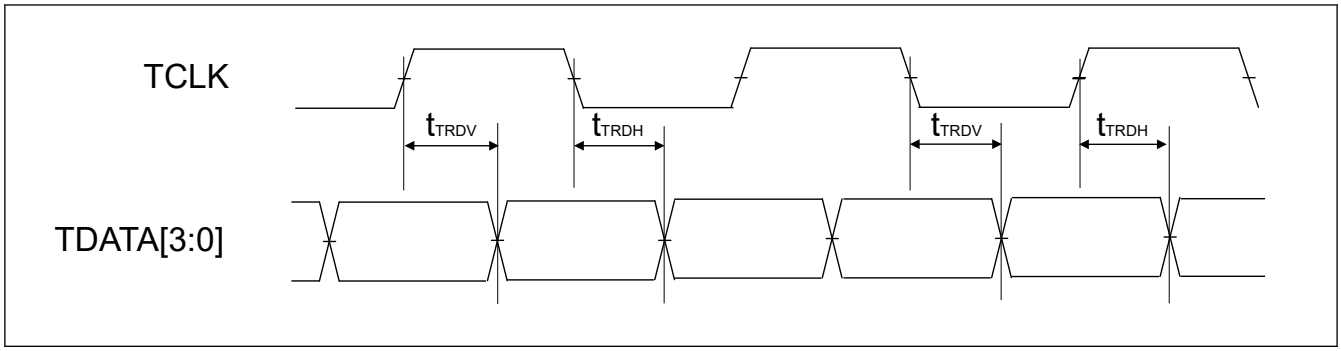


図 52.95 ETM 出力タイミング

付録 1. 各プロセスモードのポート状態

機能	端子機能	リセット	ソフトウェアスタンバイモード (SSTBY)		ディープソフトウェアスタンバイモード 1、2、3 (DSTBY1, 2, 3)		ディープソフトウェアスタンバイモード解除後（スタートアップモードに復帰）	
			OPE = 0	OPE = 1	DSTBY1	DSTBY2/ DSTBY3	IOKEEP = 0	IOKEEP = 1(注1)
モード	MD	プルアップ	Keep-I		Keep		プルアップ	Keep
JTAG/SWD	TCK/TMS/TDI/SWCLK	プルアップ	TCK/TDI/TMS/SWCLK 入力		TCK/TDI/TMS/SWCLK 入力		TCK/TDI/TMS/SWCLK 入力	
	TDO	出力	TDO 出力		TDO 出力		TDO 出力	
	SWDIO	プルアップ	SWDIO 入力		SWDIO 入力		SWDIO 入力	
トレース	TCLK/TDATAx/SWO	TCLK/ TDATAx/SWO 出力	TCLK/TDATAx/SWO 出力		TCLK/TDATAx/SWO 出力		TCLK/TDATAx/SWO 出力	
IRQ	IRQx	Hi-Z	Hi-Z(注2)		Keep		Hi-Z	Keep
	IRQx-DS（x: 5 以外）	Hi-Z	Hi-Z(注2)		Keep(注3)		Hi-Z	Keep
	IRQ5-DS	Hi-Z	Hi-Z(注2)		Keep(注3)		Hi-Z	
AGT	AGTIOn	Hi-Z	AGTIOn 入力		Keep		Hi-Z	Keep
	AGTOn/AGTOAn/ AGTOBn	Hi-Z	AGTOn/AGTOAn/AGTOBn 出力		Keep		Hi-Z	Keep
ULPT	ULPTEEn/ULPTEVIn	Hi-Z	ULPTEEn/ULPTEVIn 入力		Keep		Hi-Z	Keep
	ULPTEEn-DS/ ULPTEVIn-DS	Hi-Z	ULPTEEn-DS/ULPTEVIn-DS 入力		ULPTEEn-DS/ ULPTEVIn-DS 入力	Hi-Z	Hi-Z	Keep
	ULPTOn/ULPTOAn/ ULPTOBn	Hi-Z	ULPTOn/ULPTOAn/ULPTOBn 出力		Keep		Hi-Z	Keep
	ULPTOn-DS/ ULPTOAn-DS/ ULPTOBn-DS	Hi-Z	ULPTOn/ULPTOAn-DS/ ULPTOBn-DS 出力		ULPTOn/ ULPTOAn-DS/ ULPTOBn-DS 出力	Keep	Hi-Z	DSTBY1 から：ULPTOn/ ULPTOAn-DS/ ULPTOBn-DS 出力 DSTBY2、3 から：Keep
IIC	SCLn/SDAn	Hi-Z	Keep-O(注2)		Keep		Hi-Z	Keep
USBFS	USB_OVRCURx	Hi-Z	Hi-Z(注2)		Keep		Hi-Z	Keep
	USB_OVRCURx-DS/ USB_VBUS	Hi-Z	Hi-Z(注2)		Keep(注3)	Keep	Hi-Z	Keep
	USB_DP/USB_DM	Hi-Z	Keep-O(注4)		Keep(注3)	Keep	Hi-Z	Keep
RTC	RTCICx	Hi-Z	Hi-Z(注2)		Keep(注3)		Hi-Z	Keep
	RTCOUT	Hi-Z	RTCOUT 出力		Keep		Hi-Z	Keep
ACMPHS	VCOUT	Hi-Z	VCOUT 出力		Keep		Hi-Z	Keep
CLKOUT	CLKOUT	Hi-Z	CLKOUT 出力		Keep		Hi-Z	Keep
DAC	DA0	Hi-Z	D/A 出力保持		Hi-Z		Hi-Z	
P400/P401	IRQ5-DS 機能以外	Hi-Z	Keep-O(注2)		Hi-Z		Hi-Z	
その他	—	Hi-Z	Keep-O		Keep		Hi-Z	Keep

注. Hi-Z：ハイインピーダンス
Keep-O：出力端子は前の値を保持します。入力端子はハイインピーダンスになります。
Keep-I：通常モード期間中、端子状態は保持されます。
Keep：ソフトウェアスタンバイモード期間中、端子状態は保持されます。

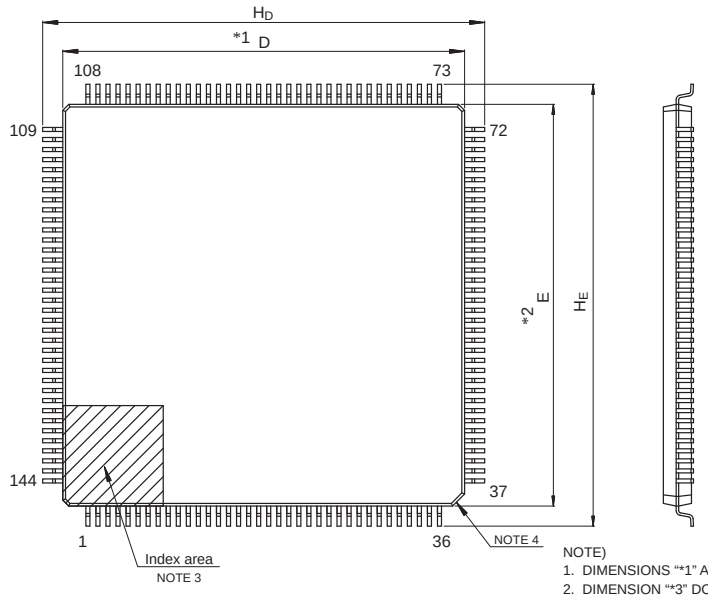
注 1. DPSBYCR.IOKEEP ビットが 0 になるまで、I/O ポートの状態が保持されます。
注 2. 端子が外部割り込み端子として使用され、ソフトウェアスタンバイの解除要因に指定されている場合、入力が許可されます。
注 3. 端子がディープソフトウェアスタンバイの解除要因に指定されている場合、入力が許可されます。
注 4. 入力端子として使用されている端子への入力は許可されています。

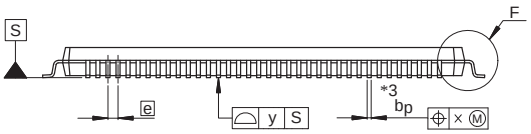
付録 2. 外形寸法図

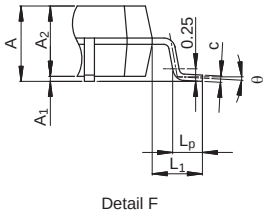
外形寸法図の最新版や実装に関する情報は、弊社のウェブサイトの「パッケージ」を参照してください。

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP144-20x20-0.50	PLQP0144KA-B	—	1.2

Unit: mm







Detail F

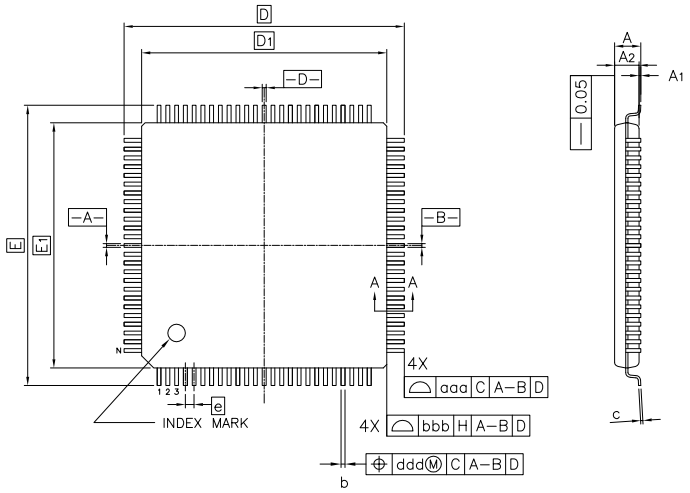
NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

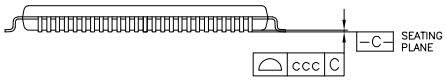
Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	19.9	20.0	20.1
E	19.9	20.0	20.1
A_2	—	1.4	—
H_D	21.8	22.0	22.2
H_E	21.8	22.0	22.2
A	—	—	1.7
A_1	0.05	—	0.15
b_p	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L_p	0.45	0.6	0.75
L_1	—	1.0	—

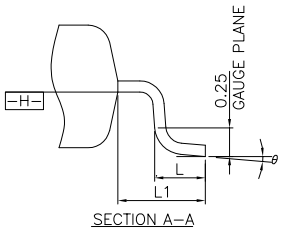
© 2016 Renesas Electronics Corporation. All rights reserved.

図 A2.1 LQFP 144 ピン

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFQFP100-14x14-0.50	PLQP0100KP-A	0.67







Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	–	–	1.60
A_1	0.05	–	0.15
A_2	1.35	1.40	1.45
D	–	16.00	–
D_1	–	14.00	–
E	–	16.00	–
E_1	–	14.00	–
N	–	100	–
e	–	0.50	–
b	0.17	0.22	0.27
c	0.09	–	0.20
θ	0°	3.5°	7°
L	0.45	0.60	0.75
L_1	–	1.00	–
aaa	–	–	0.20
bbb	–	–	0.20
ccc	–	–	0.08
ddd	–	–	0.08

図 A2.2 LQFP 100 ピン

付録 3. I/O レジスタ

この付録では、I/O レジスタアドレス、アクセスサイクルについて機能ごとに説明します。

3.1 周辺機能のベースアドレス

本マニュアルに記載の周辺機能のベースアドレスは下記のとおりです。表 A3.1 に、各周辺機能の名前、説明、ベースアドレスを示します。

表 A3.1 周辺機能のベースアドレス (1/3)

内容	セキュアレジスタ名	セキュアエイリアス領域内のセキュアレジスタのベースアドレス	非セキュアレジスタ名	非セキュアエイリアス領域内の非セキュアレジスタのベースアドレス
Renesas メモリプロテクションユニット	RMPU	0x4000_0000	RMPU_NS	0x5000_0000
SRAM 制御	SRAM	0x4000_2000	SRAM_NS	0x5000_2000
バス制御	BUS	0x4000_3000	BUS_NS	0x5000_3000
共通割り込みコントローラ	ICU_COMMON	0x4000_6000	ICU_COMMON_NS	0x5000_6000
CPU システムセキュリティ制御ユニット	CPSCU	0x4000_8000	CPSCU_NS	0x5000_8000
ダイレクトメモリアクセスコントローラ 00	DMAC00	0x4000_A000	DMAC00_NS	0x5000_A000
ダイレクトメモリアクセスコントローラ 01	DMAC01	0x4000_A040	DMAC01_NS	0x5000_A040
ダイレクトメモリアクセスコントローラ 02	DMAC02	0x4000_A080	DMAC02_NS	0x5000_A080
ダイレクトメモリアクセスコントローラ 03	DMAC03	0x4000_A0C0	DMAC03_NS	0x5000_A0C0
ダイレクトメモリアクセスコントローラ 04	DMAC04	0x4000_A100	DMAC04_NS	0x5000_A100
ダイレクトメモリアクセスコントローラ 05	DMAC05	0x4000_A140	DMAC05_NS	0x5000_A140
ダイレクトメモリアクセスコントローラ 06	DMAC06	0x4000_A180	DMAC06_NS	0x5000_A180
ダイレクトメモリアクセスコントローラ 07	DMAC07	0x4000_A1C0	DMAC07_NS	0x5000_A1C0
DMAC モジュール起動 0	DMA0	0x4000_A800	DMA0_NS	0x5000_A800
データトランスファコントローラ 0	DTC0	0x4000_AC00	DTC0_NS	0x5000_AC00
割り込みコントローラ	ICU	0x4000_C000	ICU_NS	0x5000_C000
CPU コントロールレジスタ	CPU_CTRL	0x4000_F000	CPU_CTRL_NS	0x5000_F000
オンチップデバッグ	OCD_CPU	0x4001_1000	OCD_CPU_NS	0x5001_1000
DAP 機能	DAP_CPU	0x8001_1000	—	—
デバッグ機能	CPU_DBG	0x4001_B000	CPU_DBG_NS	0x5001_B000
システム制御	SYSC	0x4001_E000	SYSC_NS	0x5001_E000
温度センサデータ	TSD	0x4011_B000	TSD_NS	0x5011_B000
イベントリンクコントローラ	ELC	0x4020_1000	ELC_NS	0x5020_1000
リアルタイムクロック	RTC	0x4020_2000	RTC_NS	0x5020_2000
独立ウォッチドッグタイマ	IWDT	0x4020_2200	IWDT_NS	0x5020_2200
クロック周波数精度測定回路	CAC	0x4020_2400	CAC_NS	0x5020_2400
ウォッチドッグタイマ 0	WDT0	0x4020_2600	WDT0_NS	0x5020_2600

表 A3.1 周辺機能のベースアドレス (2/3)

内容	セキュアレジスタ名	セキュアエイリアス領域内のセキュアレジスタのベースアドレス	非セキュアレジスタ名	非セキュアエイリアス領域内の非セキュアレジスタのベースアドレス
モジュールストップコントロール A、B、C、D、E	MSTP	0x4020_3000	MSTP_NS	0x5020_3000
ペリフェラルセキュリティ制御ユニット	PSCU	0x4020_4000	PSCU_NS	0x5020_4000
GPT 用ポートアウトプットイネーブルモジュール	POEG	0x4021_2000	POEG_NS	0x5021_2000
超低消費電力タイマ 0	ULPT0	0x4022_0000	ULPT0_NS	0x5022_0000
超低消費電力タイマ 1	ULPT1	0x4022_0100	ULPT1_NS	0x5022_0100
低消費電力非同期汎用タイマ 0	AGT0	0x4022_1000	AGT0_NS	0x5022_1000
低消費電力非同期汎用タイマ 1	AGT1	0x4022_1100	AGT1_NS	0x5022_1100
温度センサ	TSN	0x4023_5000	TSN_NS	0x5023_5000
高速アナログコンパレータ 0	ACMPHS0	0x4023_6000	ACMPHS0_NS	0x5023_6000
高速アナログコンパレータ 1	ACMPHS1	0x4023_6100	ACMPHS1_NS	0x5023_6100
USB 2.0 FS モジュール	USBFS	0x4025_0000	USBFS_NS	0x5025_0000
拡張シリアルサウンドインタフェース (SSIE) 0	SSIE0	0x4025_D000	SSIE0_NS	0x5025_D000
拡張シリアルサウンドインタフェース (SSIE) 1	SSIE1	0x4025_D100	SSIE1_NS	0x5025_D100
Inter-Integrated Circuit 0	IIC0	0x4025_E000	IIC0_NS	0x5025_E000
Inter-Integrated Circuit 0 ウェイクアップユニット	IIC0WU	0x4025_E014	IIC0WU_NS	0x5025_E014
Inter-Integrated Circuit 1	IIC1	0x4025_E100	IIC1_NS	0x5025_E100
オクタシリアルペリフェラルインタフェース 0	OSPI0_B	0x4026_8000	OSPI0_B_NS	0x5026_8000
CRC 演算器	CRC	0x4031_0000	CRC_NS	0x5031_0000
データ演算回路	DOC_B	0x4031_1000	DOC_B_NS	0x5031_1000
32 ビット汎用 PWM タイマ 0	GPT320	0x4032_2000	GPT320_NS	0x5032_2000
32 ビット汎用 PWM タイマ 1	GPT321	0x4032_2100	GPT321_NS	0x5032_2100
32 ビット汎用 PWM タイマ 2	GPT322	0x4032_2200	GPT322_NS	0x5032_2200
32 ビット汎用 PWM タイマ 3	GPT323	0x4032_2300	GPT323_NS	0x5032_2300
32 ビット汎用 PWM タイマ 4	GPT324	0x4032_2400	GPT324_NS	0x5032_2400
32 ビット汎用 PWM タイマ 5	GPT325	0x4032_2500	GPT325_NS	0x5032_2500
16 ビット汎用 PWM タイマ 10	GPT1610	0x4032_2A00	GPT1610_NS	0x5032_2A00
16 ビット汎用 PWM タイマ 11	GPT1611	0x4032_2B00	GPT1611_NS	0x5032_2B00
16 ビット汎用 PWM タイマ 12	GPT1612	0x4032_2C00	GPT1612_NS	0x5032_2C00
16 ビット汎用 PWM タイマ 13	GPT1613	0x4032_2D00	GPT1613_NS	0x5032_2D00
12 ビット A/D コンバータ 0	ADC120	0x4033_2000	ADC120_NS	0x5033_2000
12 ビット A/D コンバータ 1	ADC121	0x4033_2200	ADC121_NS	0x5033_2200
12 ビット D/A コンバータ	DAC12	0x4033_3000	DAC12_NS	0x5033_3000
キャプチャエンジンユニット	CEU	0x4034_8000	CEU_NS	0x5034_8000
イーサネットコントローラチャネル 0 用 DMA コントローラ	EDMAC0	0x4035_4000	EDMAC0_NS	0x5035_4000
イーサネットコントローラチャネル 0	ETHERC0	0x4035_4100	ETHERC0_NS	0x5035_4100

表 A3.1 周辺機能のベースアドレス (3/3)

内容	セキュアレジスタ名	セキュアエイリアス領域内のセキュアレジスタのベースアドレス	非セキュアレジスタ名	非セキュアエイリアス領域内の非セキュアレジスタのベースアドレス
シリアルコミュニケーションインタフェース 0	SCI0_B	0x4035_8000	SCI0_B_NS	0x5035_8000
シリアルコミュニケーションインタフェース 1	SCI1_B	0x4035_8100	SCI1_B_NS	0x5035_8100
シリアルコミュニケーションインタフェース 2	SCI2_B	0x4035_8200	SCI2_B_NS	0x5035_8200
シリアルコミュニケーションインタフェース 3	SCI3_B	0x4035_8300	SCI3_B_NS	0x5035_8300
シリアルコミュニケーションインタフェース 4	SCI4_B	0x4035_8400	SCI4_B_NS	0x5035_8400
シリアルコミュニケーションインタフェース 9	SCI9_B	0x4035_8900	SCI9_B_NS	0x5035_8900
シリアルペリフェラルインタフェース 0	SPI0	0x4035_C000	SPI0_NS	0x5035_C000
シリアルペリフェラルインタフェース 1	SPI1	0x4035_C100	SPI1_NS	0x5035_C100
MBRAM0 用エラー補正回路	ECCMB0	0x4036_F200	ECCMB0_NS	0x5036_F200
MBRAM1 用エラー補正回路	ECCMB1	0x4036_F300	ECCMB1_NS	0x5036_F300
CANFD モジュール 0	CANFD0	0x4038_0000	CANFD0_NS	0x5038_0000
CANFD モジュール 1	CANFD1	0x4038_2000	CANFD1_NS	0x5038_2000
ポート 0 コントロールレジスタ	PORT0	0x4040_0000	PORT0_NS	0x5040_0000
ポート 1 コントロールレジスタ	PORT1	0x4040_0020	PORT1_NS	0x5040_0020
ポート 2 コントロールレジスタ	PORT2	0x4040_0040	PORT2_NS	0x5040_0040
ポート 3 コントロールレジスタ	PORT3	0x4040_0060	PORT3_NS	0x5040_0060
ポート 4 コントロールレジスタ	PORT4	0x4040_0080	PORT4_NS	0x5040_0080
ポート 5 コントロールレジスタ	PORT5	0x4040_00A0	PORT5_NS	0x5040_00A0
ポート 6 コントロールレジスタ	PORT6	0x4040_00C0	PORT6_NS	0x5040_00C0
ポート 7 コントロールレジスタ	PORT7	0x4040_00E0	PORT7_NS	0x5040_00E0
ポート 8 コントロールレジスタ	PORT8	0x4040_0100	PORT8_NS	0x5040_0100
ポート 9 コントロールレジスタ	PORT9	0x4040_0120	PORT9_NS	0x5040_0120
Pmn 端子機能コントロールレジスタ	PFS	0x4040_0800	PFS_NS	0x5040_0800
フラッシュキャッシュ	FCACHE	0x4001_C100	FCACHE_NS	0x5001_C100
データフラッシュ	FLAD	0x4011_C000	FLAD_NS	0x5011_C000
フラッシュアプリケーションコマンドインタフェース	FACI	0x4011_E000	FACI_NS	0x5011_E000
データフラッシュセキュリティ設定	FDFS	0x2703_0000		

注. 名称 = 周辺機能の名称
内容 = 周辺機能
ベースアドレス = 最下位の予約アドレスまたは周辺機能が使用するアドレス

3.2 アクセスサイクル

本項では、本マニュアルに記載の I/O レジスタのアクセスサイクル情報を示します。

- レジスタは対応するモジュールごとにグループ化されています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。

- 内部 I/O 領域では、レジスタに割り当てられていない予約アドレスにアクセスしないでください。アクセスした場合、動作は保証されません。
- I/O アクセスサイクル数は、内部周辺バスのバスサイクル、分周クロック同期化サイクル、および各モジュールのウェイトサイクルによって異なります。分周クロック同期化サイクルは、ICLK と PCLK 間の周波数比によって異なります。
- ICLK 周波数と PCLK 周波数が等しいとき、分周クロック同期化サイクル数は常に一定です。
- ICLK 周波数が PCLK 周波数より高いとき、分周クロック同期化サイクル数に少なくとも 1PCLK サイクル追加されます。
- 書き込みアクセスのサイクル数は、非バッファラブル書き込みアクセスにより得られるサイクル数を示します。

注. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、DMAC や DTC のような他のバスマスタのバスアクセスと競合せずに実行された場合のサイクル数です。

表 A3.2 アクセスサイクル (1/3)

周辺機能のベースアドレスシンボル	アドレス(注1)		アクセスサイクル数				サイクルの単位	関連機能
			ICLK = PCLK		ICLK > PCLK(注2)			
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
RMPU, SRAM, BUS, ICU_COMMON, CPSCU, DMAC0n, DMA0, DTC0, ICU, CPU_CTRL	0x4000_0000	0x4001_CFFF	3	2	3	2	ICLK	Renesas メモリプロテクションユニット、SRAM コントロール、BUS コントロール、共通割り込みコントローラ、CPU システムセキュリティコントロールユニット、ダイレクトメモリアクセスコントローラ 0n、DMAC モジュール起動 0、データトランスファコントローラ 0、割り込みコントローラ、CPU コントロールレジスタ
CPU_OCD	0x4001_1004	0x4001_1FFF	7	2	7	2	ICLK	オンチップデバッグ
CPU_DBG, FCACHE	0x4000_B000	0x4001_CFFF	3	2	3	2	ICLK	デバッグ機能、フラッシュキャッシュ
SYSC	0x4001_E000	0x4001_E9FF	4	3	2～4	1～3	PCLKB	システムコントロール
SYSC	0x4001_EA00	0x4001_ED7F	7	6	5～7	4～6	PCLKB	システムコントロール
TSD	0x4011_B17C	0x4011_B17C	4	3	4	3	ICLK	温度センサデータ
ELC, RTC	0x4020_1000	0x4020_21FF	4	3	2～4	1～3	PCLKB	イベントリンクコントローラ、リアルタイムクロック
IWDT	0x4020_2200	0x4020_22FF	4	65	2～4	63～65	PCLKB	独立ウォッチドッグタイマ
CAC, WDT0, MSTP, PSCU, POEG	0x4020_2400	0x4021_2FFF	4	3	2～4	1～3	PCLKB	クロック周波数精度測定回路、ウォッチドッグタイマ 0、モジュールストップコントロール、ペリフェラルセキュリティコントロールユニット、GPT 用ポートアウトプットイネーブルモジュール
ULPTn	0x4022_0000	0x4022_01FF	6	65	4～6	63～65	PCLKB	超低消費電力タイマ n
AGTn	0x4022_1000	0x4022_11FF	6	3	4～6	1～3	PCLKB	低消費電力非同期汎用タイマ n
TSN	0x4023_5000	0x4023_5FFF	4	3	2～4	1～3	PCLKB	温度センサ
ACMPHSn	0x4023_6000	0x4023_61FF	3	3	1～3	1～3	PCLKB	高速アナログコンパレータ n
USBFS	0x4025_0000	0x4025_03FF	5	4	3～5	2～4	PCLKB	USB 2.0 FS モジュール
USBFS	0x4025_0400	0x4025_04FF	4	65	2～4	63～65	PCLKB	USB 2.0 FS モジュール

表 A3.2 アクセスサイクル (2/3)

周辺機能のベースアドレスシンボル	アドレス(注1)		アクセスサイクル数				サイクルの単位	関連機能
			ICLK = PCLK		ICLK > PCLK(注2)			
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
SSIEn, IICn, OSPI0	0x4025_2000	0x4026_88FF	4	3	2～4	1～3	PCLKB	拡張シリアルサウンドインタフェース n、Inter-Integretad Circuit n、オクタシリアルペリフェラルインタフェース 0
CRC, DOC	0x4031_0000	0x4031_1FFF	4	3	2～4	1～3	PCLKA	CRC 演算器、データ演算回路
GPT32n, GPT16n	0x4032_2000	0x4032_3FFF	7	4	5～7	2～4	PCLKA	32 ビット汎用 PWM タイマ n、16 ビット汎用 PWM タイマ n
ADC12n, DAC12n	0x4033_2000	0x4034_6FFF	4	3	2～4	1～3	PCLKA	12 ビット A/D コンバータ n、12 ビット D/A コンバータ n
CEU	0x4034_8000	0x4034_FFFF	7	5	5～7	3～5	PCLKA	キャプチャエンジンユニット
EDMAC0	0x4035_4000	0x4035_40FF	5	4	3～5	2～4	PCLKA	イーサネットコントローラチャネル 0 用 DMA コントローラ
ETHERC0	0x4035_4100	0x4035_43FF	14	13	12～14	11～13	PCLKA	イーサネットコントローラチャネル 0
SCIn, SPIn	0x4035_8000	0x4035_FFFF	4	3	2～4	1～3	PCLKA	シリアルコミュニケーションインタフェース n、シリアルペリフェラルインタフェース n
ECCMBn	0x4036_F200	0x4036_F3FF	5	4	3～5	2～4	PCLKA	MBRAMn 用エラー補正回路
CANFDn	0x4038_0000	0x4038_3FFF	4	3	2～4	1～3	PCLKA	CANFD モジュール n
PORTn	0x4040_0000	0x4040_01FF	4	2	4	2	ICLK	ポート n コントロールレジスタ
PFS	0x4040_0800	0x4040_0FFF	8	2	8	2	ICLK	Pmn 端子機能コントロールレジスタ
RSIP-E51A	—	—	1～3	2	1～3	1～2	PCLKA	ルネサスセキュリティ IP

表 A3.2 アクセスサイクル (3/3)

周辺機能のベースアドレスシンボル	アドレス(注1)		アクセスサイクル数				サイクルの単位	関連機能
			ICLK = FCLK		ICLK > FCLK(注2)			
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
FLAD, FACI	0x4011_C040	0x4011_EFFF	4	3	4	3	FCLK	データフラッシュ、フラッシュアプリケーションコマンドインタフェース

注 1. 本表ではセキュアアドレスのみを示しています。非セキュアアドレスのアクセスサイクルは、セキュアアドレスのアクセスサイクルと同じです。

注 2. PCLK または FCLK サイクル数が整数ではない（たとえば 1.5）場合、最小値は小数点以下を切り捨て、最大値は小数点以下を切り上げます。たとえば、1.5～2.5 は 1～3 となります。

付録 4. レジスタ R/W に関する注意事項

- セキュアバスマスタは、IDAU/SAU または MSAU によってセキュアに指定されているアドレスを使用して「セキュアアクセス」を発行します。
- セキュアバスマスタは、IDAU/SAU または MSAU によって非セキュアに指定されているアドレスを使用して「非セキュアアクセス」を発行します。
- 非セキュアバスマスタは、IDAU/SAU または MSAU によって非セキュアに指定されているアドレスを使用して「非セキュアアクセス」を発行します。

表 A4.1 レジスタタイプに関する注意文 (S-TYPE)

TYPE	UM 内での説明
S-TYPE-1	セキュアアクセスのみ本レジスタへ書き込み可能です。リードアクセスは常に許可されます。 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。
S-TYPE-2	リードアクセスは常に許可されます。 セキュリティ属性がセキュアに設定されている場合、 ● セキュアライトアクセスが許可されます。 ● 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。
	セキュリティ属性が非セキュアに設定されている場合、 ● セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。 ● 非セキュアアクセスが許可されます。
S-TYPE-3	セキュリティ属性がセキュアに設定されている場合、 ● セキュアアクセスが許可されます。 ● 非セキュアライトアクセスは無視され、非セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。
	セキュリティ属性が非セキュアに設定されている場合、 ● セキュアライトアクセスは無視され、セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。 ● 非セキュアアクセスが許可されます。
S-TYPE-4	セキュリティ属性がセキュアに設定されている場合、 ● セキュアアクセスが許可されます。 ● 非セキュアライトアクセスは無視され、非セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーは発生しません。
	セキュリティ属性が非セキュアに設定されている場合、 ● セキュアライトアクセスは無視され、セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーは発生しません。 ● 非セキュアアクセスが許可されます。
S-TYPE-5	アクセスは常に許可されます。
S-TYPE-6	セキュアアクセスが許可されます。 非セキュアライトアクセスは無視され、非セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。
S-TYPE-7	セキュアライトアクセスは無視され、セキュアリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。 非セキュアアクセスが許可されます。

注. 非セキュアバスマスタは、IDAU/SAU または MSAU によりセキュアにマークされたアドレスを使用して、いかなるアクセスも発行しません。

表 A4.2 レジスタタイプに関する注意文 (P-TYPE) (1/2)

TYPE	UM 内での説明
P-TYPE-1	プリビレッジライトアクセスが許可されます。リードアクセスは常に許可されます。 アンプリビレッジライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。
P-TYPE-2	プリビレッジアクセスが許可されます。 アンプリビレッジライトアクセスは無視され、アンプリビレッジリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。
P-TYPE-3	プリビレッジ属性がプリビレッジに設定されている場合、 ● プリビレッジアクセスが許可されます。 ● アンプリビレッジライトアクセスは無視され、アンプリビレッジリードアクセスは 0 が読めます。TrustZone アクセスエラーが発生します。
	プリビレッジ属性がアンプリビレッジに設定されている場合、 ● プリビレッジアクセスとアンプリビレッジアクセスが許可されます。

表 A4.2 レジスタタイプに関する注意文 (P-TYPE) (2/2)

TYPE	UM 内での説明
P-TYPE-4	プリビレッジ属性がプリビレッジに設定されている場合、 ● プリビレッジアクセスが許可されます。 ● アンプリビレッジライトアクセスは無視され、アンプリビレッジリードアクセスは 0 が読めます。TrustZone アクセスエラーは発生しません。
	プリビレッジ属性がアンプリビレッジに設定されている場合、 ● プリビレッジアクセスとアンプリビレッジアクセスが許可されます。
P-TYPE-5	アクセスは常に許可されます。

付録 5. ペリフェラル変数

表 A5.1 に本マニュアルで使用されるモジュール名とペリフェラル変数の対応関係を示します。

表 A5.1 モジュール名とペリフェラル変数の対応関係

モジュール名	ペリフェラル変数
SCI	SCI_B
SPI	SPI_B
OSPI	OSPI_B
DOC	DOC_B

改訂履歴

Revision 1.00 — 2024 年 10 月 23 日

初版発行

Revision 1.10 — 2026 年 2 月 10 日

1. 概要：
- 表 1.12 セキュリティを更新
- 図 1.2 型名の読み方を更新
- 表 1.14 機能の比較を更新
- 表 1.16 端子一覧を更新

8. クロック発生回路：
- 8.2.28 LOCOUTCR : LOCO ユーザートリミングコントロールレジスタを更新
- 8.2.29 MOCOUTCR : MOCO ユーザートリミングコントロールレジスタを更新
- 8.2.31 MOSCSCR : メインクロック発振器コントロールレジスタを更新
- 8.2.32 HOCOSCR : 高速オンチップオシレータコントロールレジスタを更新
- 8.2.33 USBCKDIVCR : USB クロック分周コントロールレジスタを更新
- 8.2.34 OCTACKDIVCR : Octal-SPI クロック分周コントロールレジスタを更新
- 8.2.35 CANFDCKDIVCR : CANFD コアクロック分周コントロールレジスタを更新
- 8.2.36 USBCKCR : USB クロックコントロールレジスタを更新
- 8.2.37 OCTACKCR : Octal-SPI クロックコントロールレジスタを更新
- 8.2.38 CANFDCKCR : CANFD コアクロックコントロールレジスタを更新
- 8.2.39 SCICKDIVCR : SCI クロック分周コントロールレジスタを更新
- 8.2.40 SPICKDIVCR : SPI クロック分周コントロールレジスタを更新
- 8.2.41 SCICKCR : SCI クロックコントロールレジスタを更新
- 8.2.42 SPICKCR : SPI クロックコントロールレジスタを更新
- 8.10.1 CPU クロック (CPUCLK) を更新
- 8.10.2 システムクロック (ICLK) を更新
- 8.10.4 周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD, PCLKE) を更新
- 8.10.5 FlashIF クロック (FCLK) を更新
- 8.10.7 SCI クロック (SCICLK) を更新
- 8.10.8 SPI クロック (SPICLK) を更新
- 8.10.9 Octal-SPI クロック (OCTACLK, OCTADIVCLK) を更新
- 8.10.10 CANFD コアクロック (CANFDCLK) を更新
- 8.10.11 USB クロック (USBCLK) を更新
- 8.12.6 MOSCSCR.MOSCSOKP の注意事項を追加

10. 低消費電力モード：
- 表 10.2 プロセッサ低消費電力モードの動作状態を更新
- 表 10.3 各低消費電力モードの動作状態を更新
- 図 10.1 モード遷移を更新
- 図 10.8 ソフトウェアスタンバイモード解除時の追加フローを更新
- 10.7.11 低消費電力モードへの遷移中の割り込みを更新

11. バッテリバックアップ機能：
- 11.3.7.3 電源スイッチフロー例を使用しない場合を更新
- 11.5 使用上の注意事項を更新

14. バス：
- 表 14.4 優先順位固定 (ARBS = 0) によるバス優先順位を更新
- 表 14.5 ラウンドロビン (ARBS = 1) によるバス優先順位を更新

19. I/O ポート：
- 表 19.7 入出力端子機能のレジスタ設定 (PORT1) を更新
- 表 19.8 入出力端子機能のレジスタ設定 (PORT2) を更新
- 表 19.9 入出力端子機能のレジスタ設定 (PORT3) を更新
- 表 19.10 入出力端子機能のレジスタ設定 (PORT4) を更新
- 表 19.12 入出力端子機能のレジスタ設定 (PORT6) を更新
- 表 19.13 入出力端子機能のレジスタ設定 (PORT7) を更新
- 表 19.14 入出力端子機能のレジスタ設定 (PORT8) を更新
- 表 19.15 入出力端子機能のレジスタ設定 (PORT9) を更新

21. 汎用 PWM タイマ：
- 21.2.12 GTCR : 汎用 PWM タイマコントロールレジスタを更新
- 21.4.1 割り込み要因を更新

Revision 1.10 — 2026 年 2 月 10 日

22. 低消費電力非同期汎用タイマ：
- 表 22.1 AGT の仕様を更新
- 表 22.9 ソフトウェアスタンバイモードで使用可能な設定 (AGT0) を更新
- 表 22.10 ソフトウェアスタンバイモードで使用可能な設定 (AGT1) を更新

23. 超低消費電力タイマ：
- 表 23.1 ULPT の仕様を更新

25. ウォッチドッグタイマ：
- 図 25.1 WDT のブロック図を更新

26. 独立ウォッチドッグタイマ：
- 図 26.1 IWDT のブロック図を更新
- 26.2.2 IWDTCR : IWDT コントロールレジスタを更新

28. イーサネット DMA コントローラ：
- 28.2.17 RPADIR : 受信データパディング挿入レジスタを更新

29. USB 2.0 フルスピードモジュール：
- 表 29.1 USBFS の仕様を更新
- 29.2.31 PIPESEL : パイプウィンドウ選択レジスタを更新

31. I2C バスインタフェース：
- 31.3.6 スレーブ受信動作を更新

32. CAN フレキシブルデータレート：
- 表 32.1 CANFD モジュールの仕様を更新
- 表 32.2 クロックの制限事項を更新

34. シリアルペリフェラルインタフェース：
- 34.3.12.1 マスタモードの動作を更新
- 図 34.69 スレーブモードでの送信フローを更新

35. オクタシリアルペリフェラルインタフェース：
- 表 35.1 OSPI の仕様を更新
- 35.2.1.3 BMCFGCH0 : OSPI ブリッジマップコンフィグレージョンレジスタ ch0 を更新
- 35.2.2.3 CMCTLCH0 : OSPI コマンドマップコントロールレジスタ ch0 を更新
- 図 35.12 メモリ領域に対する書き込みアクセスを更新
- 図 35.16 メモリ領域に対する読み出しアクセスを更新
- 図 35.18 プリフェッチ許可時のメモリ領域の読み出しアクセスを更新
- 表 35.8 エラーの一覧 (n = 0, 1) を更新

36. オンザフライ復号：
- 36.3.2 CONVAREAD : DOTF 変換領域終了アドレスレジスタを更新

40. セキュリティ機能：
- 40.3.3.6 TrustZone フィルタの周辺モジュールセキュリティ属性を更新
- 40.4 タイプ 1 周辺モジュールのアクセス許可を更新
- 40.6 セキュアファクトリプログラミングを更新
- 40.8.3 PSARD : 周辺モジュールセキュリティ属性レジスタ D を更新
- 40.8.8 PPARD : 周辺モジュールプリビレッジ属性レジスタ D を更新

42. 12 ビット A/D コンバータ：
- 表 42.4 ADC12 の入出力端子（ユニット 1）を更新
- 42.3.3.6 チャネル選択と自己診断（チャネル専用サンプル&ホールド回路を使用し、連続サンプリング有効の場合）を更新
- 42.3.5.3 コンペア機能の制限事項を更新
- 表 42.28 スキャン変換時間（ADCLK と PCLKA のサイクル数）を更新

43. 12 ビット D/A コンバータ：
- 表 43.2 DAC12 の入出力端子を更新
- 43.2.2 DACR : D/A コントロールレジスタを更新

47. SRAM:
- 47.2.1 SRAMSABAR1 : SRAM セキュリティ属性バウンダリアドレスレジスタを更新

49. フラッシュメモリ：
- 図 49.27 カウンタリフレッシュコマンドの使用方法を更新

Revision 1.10 — 2026 年 2 月 10 日

52. 電気的特性：
- 表 52.6 I/O I_{OH}, I_{OL} を更新
- 表 52.27 各ユニットの消費電力を更新
- 図 52.109 Low-speed モードにおける測定回路を更新
- 図 52.111 フルスピードモードにおける測定回路を更新
- 表 52.58 各入力チャネルの A/D 入力電圧範囲を追加
- 表 52.75 バッテリバックアップ機能特性を更新

付録 4. レジスタ R/W に関する注意事項：
- 表 A4.1 レジスタタイプに関する注意文 (S-TYPE) を更新
- 表 A4.2 レジスタタイプに関する注意文 (P-TYPE) を更新

付録 5. ペリフェラル変数：
- 表 A5.1 モジュール名とペリフェラル変数の対応関係を更新

RA8E1 グループ ユーザーズマニュアル　ハードウェア編

発行年月日　Rev.1.10　Feb 10, 2026

発行　　ルネサスエレクトロニクス株式会社

32 ビット MCU
RA8E1 グループ

ルネサス エレクトロニクス株式会社

R01UH1129JJ0110