

RA4C1 グループ

ユーザーズマニュアル ハードウェア編

32 ビット MCU
Renesas RA ファミリ
RA4 シリーズ

本資料に記載のすべての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセットしてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違えば製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

はじめに

1. このドキュメントについて

このマニュアルは通常、製品の概要、CPU、システム制御機能、周辺機器の機能、電気的特性、および使用上の注意事項で構成されています。このマニュアルでは、マイクロコントローラ (MCU) のスーパーセットの製品仕様について説明します。製品によっては、一部のピン、レジスタ、または機能が存在しない場合があります。使用できないレジスタが割り当てられているアドレス空間は予約されています。

2. 対象読者

このマニュアルは、Renesas マイクロコントローラを使用してアプリケーションを設計およびプログラミングするシステム設計者を対象としています。読者には、電気回路、論理回路、および MCU に関する基本的な知識が求められます。

3. 関連ドキュメント

弊社では MCU 用に下記のドキュメントを提供しています。これらのドキュメントを使用する前に、www.renesas.com で最新版のドキュメントを参照してください。

構成	ドキュメントの種類	内容
マイクロコントローラ	データシート	特長、概要、および MCU の電気的特性
	ユーザーズマニュアルハードウェア編	ピン配置、メモリマップ、周辺機能、電気特性、タイミング図、および動作記述などの MCU 仕様
	アプリケーションノート	テクニカルノート、ボードデザインのガイドライン、およびソフトウェア移行情報
	テクニカルアップデート (TU)	制限や正誤表などの製品仕様に関する予備レポート
ソフトウェア	ユーザーズマニュアルソフトウェア	API リファレンスおよびプログラミング情報
	アプリケーションノート	プロジェクト・ファイル、ソフトウェア・プログラミングのガイドライン、および組み込みソフトウェアを開発するためのアプリケーション例
ツール&キット、ソリューション	ユーザーズマニュアル開発ツール	開発キット (DK)、スタートキット (SK)、プロモーションキット (PK)、製品例 (PE)、およびアプリケーション例 (AE) を含むエンベデッド・ソフトウェア・アプリケーションを開発するためのユーザーマニュアルおよびクイック・スタート・ガイド
	ユーザーズマニュアルソフトウェア	
	クイックスタートガイド	
	アプリケーションノート	プロジェクト・ファイル、ソフトウェア・プログラミングのガイドライン、および組み込みソフトウェアを開発するためのアプリケーション例

4. 数値の表記法

このマニュアルでは、次の進数表記を使用しています。

例	内容
011b	2 進数。例えば、3 という 2 進数に相当する値は 011b です。
0x1F	16 進数。例えば、31 の 16 進数に相当する数値は 0x1F と記述されています。場合によっては、16 進数の末尾に h がつくことがあります。
1234	10 進数。10 進数の後にこの記号が続くのは、混乱の可能性がある場合のみです。一般に、10 進数はサフィックスなしで表示されます。

5. シンボルの表記法

このマニュアルでは、次の表記法が使用されています。

例	内容
AAA.BBB.CCC	機能モジュールシンボル (AAA)、レジスタシンボル (BBB)、およびビットフィールドシンボル (CCC) はピリオドで区切られています。
AAA.BBB	機能モジュールシンボル (AAA) とレジスタシンボル (BBB) はピリオドで区切られています。
BBB.DDD	レジスタシンボル (BBB) とビットフィールドシンボル (DDD) はピリオドで区切られています。
EEE[3:0]	角括弧内の数字はビット幅を示します。例えば、EEE[3:0]はビット 3 から 0 を占有します。

6. 単位と単位の接頭部

次の単位と単位接頭辞は誤解を招くことがあります。これらのユニットプレフィックスについては、このマニュアル全体で次の意味で説明されています。

記号	名前	内容
b	2 進数	シングル 0 または 1
B	バイト	この単位記号は、一般に MCU とアドレス空間のメモリの仕様に使用されます。
k	キロ	$1000 = 10^3$ 。k は $1024 (2^{10})$ を示すためにも使用されますが、このユニットプレフィックスはこのマニュアル全体で $1000 (10^3)$ を示すために使用されます。
K	キロ	$1024 = 2^{10}$ 。このユニットプレフィックスは、このマニュアル全体で $1000 (10^3)$ ではなく、 $1024 (2^{10})$ を示すために使用されます。

7. 特殊用語

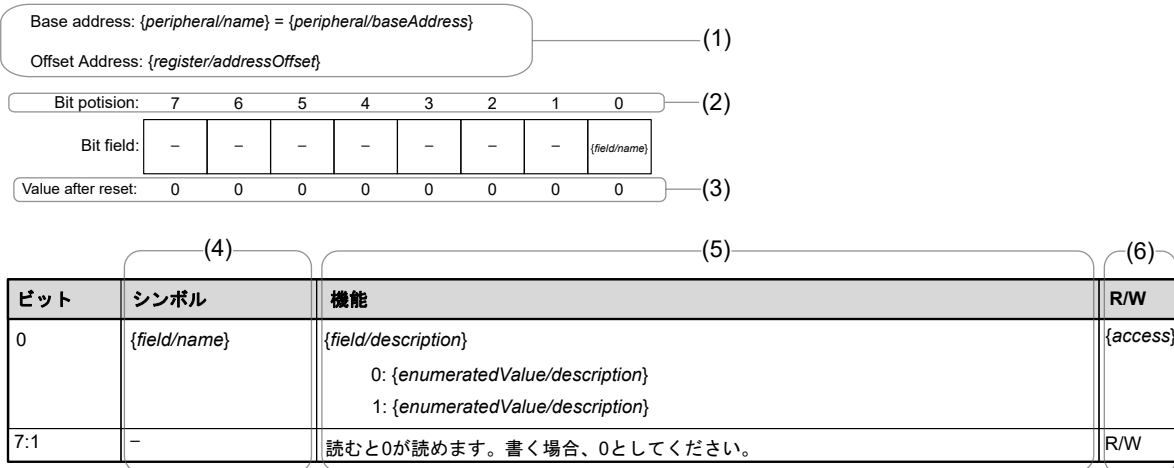
下記の用語には特殊な意味があります。

用語	内容
NC	非接続の端子。他に指定がなければ、NC は接続されていないことを意味します。
Hi-Z	ハイインピーダンス
x	Don't care または不定

8. レジスタの説明

各章のレジスタの説明には、ビット配置を示すレジスタ配置図と各ビットの内容を説明するレジスタのビット機能表があります。これらの表で 사용되는記号の例については、以降の項で説明します。以下は、レジスタの説明例および関連するビットフィールドの定義例です。

XX.X.X {register/name} : {register/description}



(1) 機能モジュールのシンボル、レジスタのシンボル、およびアドレス割り当て

このレジスタの機能モジュールのシンボル {peripheral/name}、レジスタのシンボル {register/name}、およびアドレス割り当てが記載されています。ベースアドレスとオフセットアドレスについては、{peripheral/name} の {register/name} : {register/description} がアドレス {peripheral/baseAddress} + {register/addressOffset} に割り当てられていることを意味しています。

(2) ビット番号

この数値はビット番号を示します。32 ビットレジスタの場合はビット 31~0 の順に、16 ビットレジスタの場合はビット 15~0 の順に、8 ビットレジスタの場合はビット 7~0 の順に示されます。

(3) リセット後の値

このシンボルまたは数値は、リセット後の各ビットの値を示します。他に指定がない限り、値はバイナリで表示されます。

- 0: リセット後の値が0であることを示します。
- 1: リセット後の値が1であることを示します。
- x: リセット後の値が不定であることを示します。

(4) シンボル

{field/name} はビットフィールドの略名を示します。予約ビットは、—と表記されます。

(5) 機能

機能は、ビットフィールドの正式名 {field/description} と列挙値を示します。

(6) R/W

R/W 列は、そのビットフィールドが読み出し可能であるか書き込み可能であるかのアクセスタイプを示します。

- R/W: そのビットフィールドは読み出しも書き込みも可能。
- R: そのビットフィールドは読み出しのみ可能。書き込みは無効。
- W: そのビットフィールドは書き込みのみ可能。他に指定のない限り、読み出し値はリセット後の値。

9. 略語

このマニュアルで使用されている略語を次の表に示します。

略語	内容
AES	Advanced Encryption Standard（高度暗号化標準）
AHB	Advanced High-performance Bus（アドバンストハイパフォーマンスバス）
AHB-AP	AHB Access Port（AHB アクセスポート）
APB	Advanced Peripheral Bus（アドバンスト周辺バス）
ARC	Alleged RC（Alleged RC 暗号）
ATB	Advanced Trace Bus（アドバンストトレースバス）
BCD	Binary Coded Decimal（2 進化 10 進数）
BSDL	Boundary Scan Description Language（バウンダリスキャン記述言語）
DES	Data Encryption Standard（データ暗号化標準）
DSA	Digital Signature Algorithm（デジタル署名アルゴリズム）
ETB	Embedded Trace Buffer（エンベデッドトレースバッファ）
ETM	Embedded Trace Macrocell（エンベデッドトレースマクロセル）
FLL	Frequency Locked Loop（周波数安定化ループ回路）
FPU	Floating Point Unit（浮動小数点ユニット）
HMI	Human Machine Interface（ヒューマンマシーンインタフェース）
IrDA	Infrared Data Association（赤外線通信協会／規格）
LSB	Least Significant Bit（最下位ビット）
MSB	Most Significant Bit（最上位ビット）
NVIC	Nested Vector Interrupt Controller（ネスト型ベクタ割り込みコントローラ）
PC	Program Counter（プログラムカウンタ）
PFS	Port Function Select（ポート機能選択）
PLL	Phase Locked Loop（位相同期回路）
POR	Power-on reset（パワーオンリセット）
PWM	Pulse Width Modulation（パルス幅変調）
RSA	Rivest Shamir Adleman（Rivest/Shamir/Adleman による公開鍵暗号方式）
SHA	Secure Hash Algorithm（セキュアハッシュアルゴリズム）
S/H	Sample and Hold（サンプルアンドホールド）
SP	Stack Pointer（スタックポインタ）
SWD	Serial Wire Debug（シリアルワイヤデバッグ）
SW-DP	Serial Wire-Debug Port（シリアルワイヤデバッグポート）
TRNG	True Random Number Generator（真性乱数生成器）
UART	Universal Asynchronous Receiver/Transmitter（調歩同期式シリアルインタフェース）
VCO	Voltage Controlled Oscillator（電圧制御発振器）

10. 所有権通知

本書に含まれるすべてのテキスト、グラフィック、写真、商標、ロゴ、挿絵、コンピュータコード（総称してコンテンツ）は、ルネサスが所有、管理、またはライセンスを保持するものであり、トレードドレス法、著作権法、特許法および商標法、その他の知的財産権法、不正競争法で保護されています。本書に明示的に記述されている場合を除いて、ルネサスから事前に承諾書を得ることなく、本書の一部またはコンテンツを、公開または頒布目的で、あるいは営利目的で、コピー、複製、再版、掲載、開示、エンコード、翻訳、伝送すること、およびいかなる媒体においても配布することは禁じられています。

Arm®とCortex®は、Arm Limitedの登録商標です。CoreSight™は、Arm Limitedの商標です。

CoreMark®は、Embedded Microprocessor Benchmark Consortiumの登録商標です。

本書に記載されているその他のブランドと名称は、それぞれの所有者の商標または登録商標です。

11. 製品に関するフィードバック

この製品についてご意見やご提案がある場合は、[Contact Us](#)にアクセスしてください。

目次

特長	48
1. 概要	49
1.1 機能の概要	49
1.2 ブロック図	54
1.3 型名	54
1.4 機能の比較	56
1.5 端子機能	57
1.6 ピン配置図	60
1.7 端子一覧	62
2. CPU	66
2.1 概要	66
2.1.1 CPU	66
2.1.2 デバッグ	66
2.1.3 動作周波数	67
2.1.4 ブロック図	67
2.2 実装オプション	68
2.3 SWD インタフェース	68
2.4 メモリに対するセキュリティ属性	68
2.5 デバッグ機能	69
2.5.1 デバッガの接続性	69
2.5.2 エミュレータ接続	70
2.5.3 セルフホスティングデバッグ機能	70
2.5.4 デバッグ機能の影響	71
2.6 プログラマモデル	71
2.6.1 アドレス空間	71
2.6.2 ペリフェラルアドレスマップ	72
2.6.3 CoreSight ROM テーブル	72
2.6.4 DBGREG	74
2.6.5 OCDREG	76
2.6.6 CPUDSAR : CPU デバッグセキュリティ属性レジスタ	81
2.6.7 CPU アクセスにより発生するエラー応答の処理	81
2.7 CoreSight クロストリガインタフェース (CTI)	83
2.8 CoreSight ATB ファネル	84
2.9 ブレークポイントユニット	85
2.10 CoreSight タイムスタンプ発生器	85
2.11 SysTick タイマ	85
2.12 OCD エミュレータ接続	85
2.12.1 DBGGEN	86

2.12.2	OCD エミュレータ接続における制限	86
2.13	参考資料	87
3.	動作モード	88
3.1	概要	88
3.2	動作モードの詳細	88
3.2.1	シングルチップモード	88
3.2.2	SCI ブートモード	88
3.2.3	SWD ブートモード	88
3.3	動作モード遷移	88
3.3.1	モード設定端子による起動モード遷移	88
4.	アドレス空間	90
4.1	アドレス空間	90
5.	リセット	91
5.1	概要	91
5.2	レジスタの説明	96
5.2.1	RSTSAR : リセットセキュリティ属性レジスタ	96
5.2.2	RSTSR0 : リセットステータスレジスタ 0	97
5.2.3	RSTSR1 : リセットステータスレジスタ 1	98
5.2.4	RSTSR2 : リセットステータスレジスタ 2	101
5.3	動作説明	101
5.3.1	RES 端子リセット	101
5.3.2	パワーオンリセット	101
5.3.3	電圧監視リセット	102
5.3.4	独立ウォッチドッグタイマリセット	103
5.3.5	ウォッチドッグタイマリセット	104
5.3.6	ソフトウェアリセット	104
5.3.7	VRTC ドメインパワーオンリセット	104
5.3.8	コールドスタート/ウォームスタート判定機能	105
5.3.9	リセット発生要因の判定	106
6.	オプション設定メモリ	107
6.1	概要	107
6.2	レジスタの説明	108
6.2.1	OFS0 : オプション機能選択レジスタ 0	108
6.2.2	DUALSEL : デュアルモード選択レジスタ	111
6.2.3	SAS : スタートアップ領域設定レジスタ	112
6.2.4	OFS1, OFS1_SEC : 非セキュアおよびセキュア用オプション機能選択レジスタ 1	112
6.2.5	OFS1_SEL : セキュリティ属性用オプション機能選択レジスタ 1	113
6.2.6	BANKSEL, BANKSEL_SEC : 非セキュアおよびセキュア用バンク選択レジスタ	114
6.2.7	BANKSEL_SEL : セキュリティ属性用バンク選択レジスタ	116

6.2.8	BPS, BPS_SEC, BPS_SEL : ブロック保護設定レジスタ	116
6.2.9	PBPS, PBPS_SEC : 永久ブロック保護設定レジスタ	118
6.3	オプション設定メモリの設定方法	118
6.3.1	オプション設定メモリへのデータの配置方法	118
6.3.2	オプション設定メモリにプログラムするデータの設定方法	118
6.3.3	オプション設定メモリのセキュリティ属性	119
6.3.4	設定値のタイミング	119
6.4	使用上の注意事項	119
6.4.1	オプション設定メモリの予約領域および予約ビットにプログラムするデータ	119
7.	低電圧検出回路 (LVD)	120
7.1	概要	120
7.2	レジスタの説明	123
7.2.1	LVDSAR : 低電圧検出セキュリティ属性レジスタ	123
7.2.2	LVD1CMPCR : 電圧監視 1 コンパレータコントロールレジスタ	124
7.2.3	LVD2CMPCR : 電圧監視 2 コンパレータコントロールレジスタ	125
7.2.4	LVD1CR0 : 電圧監視 1 回路コントロールレジスタ 0	126
7.2.5	LVD2CR0 : 電圧監視 2 回路コントロールレジスタ 0	127
7.2.6	LVD1CR1 : 電圧監視 1 回路コントロールレジスタ	128
7.2.7	LVD1SR : 電圧監視 1 回路ステータスレジスタ	128
7.2.8	LVD2CR1 : 電圧監視 2 回路コントロールレジスタ 1	129
7.2.9	LVD2SR : 電圧監視 2 回路ステータスレジスタ	130
7.2.10	VBTLVDCR : EXLVDVBAT 回路コントロールレジスタ	130
7.2.11	VBTLVDSR : EXLVDVBAT 回路ステータスレジスタ	131
7.2.12	VBTCMPCR: EXLVDVBAT コンパレータコントロールレジスタ	132
7.2.13	VBTLVDICR: EXLVDVBAT 端子低電圧検出割り込みコントロールレジスタ	132
7.2.14	VRTLVDCR : VRTC 低電圧検出回路コントロールレジスタ	133
7.2.15	VRTSR : VRTC ステータスレジスタ	134
7.2.16	VRTCMPCR: VRTC コンパレータコントロールレジスタ	136
7.2.17	VRTLVDICR: VRTC 端子低電圧検出割り込みコントロールレジスタ	137
7.2.18	EXLVDCR: EXLVD 回路コントロールレジスタ	137
7.2.19	EXLVDSR: EXLVD 回路ステータスレジスタ	138
7.2.20	EXLVDCMPCR : EXLVD コンパレータコントロールレジスタ	139
7.2.21	EXLVDICR : EXLVD 端子低電圧検出割り込みコントロールレジスタ	139
7.3	VCC 入力電圧の監視	140
7.3.1	V_{det0} の監視	140
7.3.2	V_{det1} のモニタ	140
7.3.3	V_{det2} のモニタ	140
7.4	電圧監視 0 リセット	140
7.5	電圧監視 1 割り込み、電圧監視 1 リセット	141

7.6	電圧監視 2 割り込み、電圧監視 2 リセット	143
7.7	EXLVDVBAT 端子低電圧検出手順	144
7.8	VRTC 端子低電圧検出手順	146
7.9	EXLVD 端子低電圧検出手順	148
7.10	ELC によるリンク動作	149
7.10.1	割り込み処理とイベントリンクの関係	149
8.	クロック発生回路	151
8.1	概要	151
8.2	レジスタの説明	155
8.2.1	CGFSAR : クロック発生機能セキュリティ属性レジスタ	155
8.2.2	SCKDIVCR : システムクロック分周コントロールレジスタ	157
8.2.3	SCKSCR : システムクロックソースコントロールレジスタ	159
8.2.4	MEMWAIT: メモリウェイトサイクルコントロールレジスタ (コードフラッシュ)	160
8.2.5	FLDWAITR : データフラッシュメモリウェイトサイクルコントロールレジスタ	161
8.2.6	PLLCCR : PLL クロックコントロールレジスタ	163
8.2.7	PLLCR : PLL コントロールレジスタ	164
8.2.8	PLLRTCCR: PLL_RTC コントロールレジスタ	165
8.2.9	MOSCCR : メインクロック発振器コントロールレジスタ	166
8.2.10	SOSCCR : サブクロック発振器コントロールレジスタ	167
8.2.11	LOCOCR : 低速オンチップオシレータコントロールレジスタ	168
8.2.12	HOCOCR : 高速オンチップオシレータコントロールレジスタ	168
8.2.13	HOCOCR2 : 高速オンチップオシレータコントロールレジスタ 2	169
8.2.14	MOCOCR : 中速オンチップオシレータコントロールレジスタ	170
8.2.15	OSCSF : 発振安定フラグレジスタ	171
8.2.16	OSTDCR : 発振停止検出コントロールレジスタ	172
8.2.17	OSTDSR : 発振停止検出ステータスレジスタ	173
8.2.18	SOSTDCR : サブクロック発振器停止検出コントロールレジスタ	174
8.2.19	MOSCWTCR : メインクロック発振器ウェイトコントロールレジスタ	175
8.2.20	MOMCR : メインクロック発振器モード発振コントロールレジスタ	176
8.2.21	SOMCR : サブクロック発振器モードコントロールレジスタ	177
8.2.22	SOMRG : サブクロック発振器マージンチェックレジスタ	177
8.2.23	SLCDSCPCR : セグメント LCD ソースクロックコントロールレジスタ	178
8.2.24	CKOCR : クロックアウトコントロールレジスタ	179
8.2.25	LOCOUTCR : LOCO ユーザトリミングコントロールレジスタ	180
8.2.26	MOCOUTCR : MOCO ユーザトリミングコントロールレジスタ	180
8.2.27	HOCOUTCR : HOCO ユーザトリミングコントロールレジスタ	181
8.2.28	CANFDCKDIVCR : CANFD クロック分周コントロールレジスタ	181
8.2.29	CANFDCKCR : CANFD クロックコントロールレジスタ	182
8.3	メインクロック発振器	183
8.3.1	発振子を接続する方法	183

8.3.2	外部クロックを入力する方法	184
8.3.3	外部クロック入力に関する注意事項.....	184
8.4	サブクロック発振器	184
8.4.1	32.768 kHz 水晶振動子を接続する方法	184
8.4.2	外部クロックを入力する方法	185
8.4.3	外部クロック入力に関する注意事項.....	185
8.4.4	サブクロック発振器を使用しない場合の端子処理	185
8.5	発振停止検出機能.....	186
8.5.1	発振停止検出と検出後の動作	186
8.5.2	発振停止検出割り込み	187
8.5.3	サブクロック発振停止検出機能.....	188
8.5.4	サブクロック発振停止検出割り込み.....	189
8.6	PLL 回路	189
8.7	PLL_RTC 回路.....	190
8.8	内部クロック	190
8.8.1	システムクロック (ICLK)	191
8.8.2	周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD).....	192
8.8.3	FlashIF クロック (FCLK)	192
8.8.4	CANFD クロック (CANFDCLK).....	193
8.8.5	CAN クロック (CANMCLK)	193
8.8.6	CAC クロック (CACCLK)	193
8.8.7	RTC 専用クロック (RTCSCLK, RTCS128CLK, RTCPLLCLK).....	193
8.8.8	IWDT 専用クロック (IWDTCLK).....	193
8.8.9	AGT 専用クロック (AGTSCLK, AGTLCLK).....	193
8.8.10	SysTick タイマ専用クロック (SYSTICCLK)	193
8.8.11	セグメント LCD ソースクロック (LCDSRCCLK).....	193
8.8.12	UARTA クロック (UARTAMCLK, UARTASCLK, UARTALCLK, UARTAHCLK, UARTAMOCK)	194
8.8.13	外部端子出力クロック (CLKOUT)	194
8.8.14	シリアルワイヤデバッグクロック (SWCLK).....	194
8.9	使用上の注意	194
8.9.1	クロック発生回路に関する注意事項.....	194
8.9.2	発振子に関する制限	194
8.9.3	ボード設計に関する注意事項	195
8.9.4	発振子接続端子に関する注意事項	195
9.	クロック周波数精度測定回路 (CAC).....	196
9.1	概要	196
9.2	レジスタの説明	197
9.2.1	CACR0 : CAC コントロールレジスタ 0.....	197
9.2.2	CACR1 : CAC コントロールレジスタ 1.....	198

9.2.3	CACR2 : CAC コントロールレジスタ 2	198
9.2.4	CAICR : CAC 割り込み要求許可レジスタ	199
9.2.5	CASTR : CAC ステータスレジスタ	200
9.2.6	CAULVR : CAC 上限値設定レジスタ	201
9.2.7	CALLVR : CAC 下限値設定レジスタ	201
9.2.8	CACNTBR : CAC カウンタバッファレジスタ	202
9.3	動作説明	202
9.3.1	クロック周波数測定	202
9.3.2	CACREF 端子のデジタルフィルタ機能	204
9.4	割り込み要求	204
9.5	使用上の注意事項	204
9.5.1	モジュールストップ機能の設定	204
10.	低消費電力モード	205
10.1	概要	205
10.2	レジスタの説明	209
10.2.1	LPMSAR : 低消費電力モードセキュリティ属性レジスタ	209
10.2.2	SBYCR : スタンバイコントロールレジスタ	210
10.2.3	MSTPCRA : モジュールストップコントロールレジスタ A	210
10.2.4	MSTPCRB : モジュールストップコントロールレジスタ B	211
10.2.5	MSTPCRC : モジュールストップコントロールレジスタ C	213
10.2.6	MSTPCRD : モジュールストップコントロールレジスタ D	214
10.2.7	MSTPCRE : モジュールストップコントロールレジスタ E	215
10.2.8	OPCCR : 動作電力コントロールレジスタ	216
10.2.9	SOPCCR : サブ動作電力コントロールレジスタ	217
10.2.10	SNZCR : スヌーズコントロールレジスタ	218
10.2.11	SNZEDCR0 : スヌーズ終了コントロールレジスタ 0	219
10.2.12	SNZREQCR0 : スヌーズ要求コントロールレジスタ 0	220
10.2.13	PSMCR : パワーセーブメモリコントロールレジスタ	222
10.2.14	SRMPSCR : SRAM 電力状態コントロールレジスタ	223
10.2.15	SYOCD CR : システムコントロール OCD コントロールレジスタ	225
10.2.16	LDOCR : LDO コントロールレジスタ	226
10.3	クロックの切り替えによる消費電力の低減	226
10.4	モジュールストップ機能	226
10.5	動作電力低減機能	226
10.5.1	動作範囲	226
10.5.2	動作電力制御モードの設定方法	228
10.5.3	動作電力制御モード変更手順	229
10.5.4	低消費電力モード遷移の特定の手順	233
10.6	スリープモード	233
10.6.1	スリープモードへの遷移	233

10.6.2	スリープモードの解除	234
10.7	ソフトウェアスタンバイモード	235
10.7.1	ソフトウェアスタンバイモードへの遷移	235
10.7.2	ソフトウェアスタンバイモードの解除	236
10.7.3	ソフトウェアスタンバイモードの応用例	236
10.8	スヌーズモード	237
10.8.1	スヌーズモードへの遷移	237
10.8.2	スヌーズモードの解除	238
10.8.3	スヌーズモードからソフトウェアスタンバイモードへの復帰	238
10.8.4	スヌーズモードの動作例	240
10.9	使用上の注意	244
10.9.1	レジスタアクセス	244
10.9.2	I/O ポートの端子状態	245
10.9.3	DTC と DMAC のモジュールストップ状態	245
10.9.4	内部割り込み要因	246
10.9.5	低消費電力モードへの遷移	246
10.9.6	WFI 命令のタイミング	246
10.9.7	スリープモード／スヌーズモード時の DTC／DMAC による WDT／IWDT レジスタの書き込みについて	246
10.9.8	スヌーズモードにおける発振器について	246
10.9.9	RXD0 の立ち下がりエッジによるスヌーズモードエントリ	246
10.9.10	スヌーズモードにおける SCI0 の UART の使用	246
10.9.11	スヌーズモードにおける A/D 変換開始条件	247
10.9.12	スヌーズモードにおける ELC イベント	247
10.9.13	A/D コンバータのモジュールストップ機能	247
10.9.14	モジュールストップビット書き込みタイミング	247
10.9.15	Sleep-on-exit 機能	247
10.9.16	低消費電力モードへの遷移中の割り込み	247
11.	レジスタライトプロテクション	251
11.1	概要	251
11.2	レジスタの説明	251
11.2.1	PRCR: プロテクトレジスタ	251
12.	割り込みコントローラユニット (ICU)	253
12.1	概要	253
12.2	レジスタの説明	254
12.2.1	ICUSARA: 割り込みコントローラセキュリティ属性レジスタ A	255
12.2.2	ICUSARB: 割り込みコントローラセキュリティ属性レジスタ B	255
12.2.3	ICUSARC: 割り込みコントローラセキュリティ属性レジスタ C	256
12.2.4	ICUSARD: 割り込みコントローラセキュリティ属性レジスタ D	257
12.2.5	ICUSARE: 割り込みコントローラセキュリティ属性レジスタ E	257

12.2.6	ICUSARF : 割り込みコントローラセキュリティ属性レジスタ F.....	258
12.2.7	ICUSARG : 割り込みコントローラセキュリティ属性レジスタ G.....	259
12.2.8	ICUSARH : 割り込みコントローラセキュリティ属性レジスタ H.....	259
12.2.9	ICUSARM : 割り込みコントローラセキュリティ属性レジスタ M.....	260
12.2.10	IRQCRi : IRQ コントロールレジスタ i (i = 0~15).....	261
12.2.11	NMISR : ノンマスカブル割り込みステータスレジスタ.....	262
12.2.12	NMIER : ノンマスカブル割り込みイネーブルレジスタ.....	265
12.2.13	NMICLR : ノンマスカブル割り込みステータスクリアレジスタ.....	266
12.2.14	NMICR : NMI 端子割り込みコントロールレジスタ.....	268
12.2.15	IELSRn : ICU イベントリンク設定レジスタ n (n = 0~63).....	269
12.2.16	DELSRn : DMAC イベントリンク設定レジスタ n (n = 0~7).....	270
12.2.17	SELSR0 : SYS イベントリンク設定レジスタ.....	271
12.2.18	WUPEN0 : ウェイクアップ割り込みイネーブルレジスタ 0.....	272
12.2.19	WUPEN1 : ウェイクアップ割り込みイネーブルレジスタ 1.....	273
12.2.20	WUPEN2 : ウェイクアップ割り込みイネーブルレジスタ 2.....	274
12.3	ベクタテーブル.....	275
12.3.1	割り込みベクタテーブル.....	275
12.3.2	イベント番号.....	277
12.4	割り込み動作.....	282
12.4.1	割り込みの検出.....	282
12.5	割り込みの設定手順.....	283
12.5.1	割り込み要求の許可.....	283
12.5.2	割り込み要求の禁止.....	283
12.5.3	割り込みのポーリング.....	283
12.5.4	割り込み要求先の選択.....	284
12.5.5	デジタルフィルタ.....	285
12.5.6	外部端子割り込みの設定手順.....	286
12.6	ノンマスカブル割り込みの動作.....	286
12.6.1	NMI による TrustZone-M との対応関係.....	287
12.7	低消費電力モードからの復帰.....	288
12.7.1	スリープモードからの復帰.....	289
12.7.2	ソフトウェアスタンバイモードからの復帰.....	289
12.7.3	スヌーズモードからの復帰.....	289
12.8	ノンマスカブル割り込みとともに WFI 命令を使用する場合.....	290
12.9	参考資料.....	290
13.	バス.....	291
13.1	概要.....	291
13.2	バスの説明.....	292
13.2.1	アービトレーション.....	292
13.2.2	並列動作.....	292

13.2.3	制約事項	293
13.3	レジスタの説明	293
13.3.1	BUSSARA : バスセキュリティ属性レジスタ A	293
13.3.2	BUSSARB : バスセキュリティ属性レジスタ B	294
13.3.3	BUSSCNT<slave> : スレーブバスコントロールレジスタ (<slave> = FHBIU, FLBIU, S0BIU, EQBIU)	295
13.3.4	BUSSCNT<slave> : スレーブバスコントロールレジスタ (<slave> = PSBIU, PLBIU, PHBIU)	295
13.3.5	BUSnERRADD : バスエラーアドレスレジスタ (n = 1~3)	296
13.3.6	BUSnERRRW : バスエラーリードライトレジスタ (n = 1~3)	296
13.3.7	BTZFnERRADD : バス TZF エラーアドレスレジスタ (n = 1~3)	297
13.3.8	BTZFnERRRW : バス TZF エラーリードライトレジスタ (n = 1~3)	298
13.3.9	BUSnERRSTAT : BUS エラーステータスレジスタ n (n = 1~3)	298
13.3.10	DMACDTCERRSTAT : DMAC/DTC エラーステータスレジスタ	300
13.3.11	BUSnERRCLR : バスエラークリアレジスタ n (n = 1~3)	300
13.3.12	DMACDTCERRCLR : DMAC/DTC エラークリアレジスタ	301
13.4	バスエラー監視部	301
13.4.1	バスエラーの種類	301
13.4.2	バスエラー発生時の動作	302
13.4.3	不正アドレスアクセスエラーを引き起こす条件	303
13.4.4	タイムアウト	304
13.5	参考資料	304
13.6	キャッシュ	305
13.6.1	概要	305
13.6.2	レジスタの説明	306
13.6.3	動作説明	311
13.6.4	使用上の注意事項	316
14.	メモリプロテクションユニット (MPU)	318
14.1	概要	318
14.2	Arm MPU	318
14.3	バスマスタ MPU	318
14.3.1	レジスタの説明	319
14.3.2	機能説明	327
14.4	参考資料	330
15.	DMA コントローラ (DMAC)	331
15.1	概要	331
15.2	レジスタの説明	333
15.2.1	DMAC SAR : DMAC コントローラセキュリティ属性レジスタ	333
15.2.2	DMSAR : DMA 転送元アドレスレジスタ	333
15.2.3	DMSRR : DMA 転送元リロードアドレスレジスタ	334

15.2.4	DMDAR : DMA 転送先アドレスレジスタ	334
15.2.5	DMDRR : DMA 転送先リロードアドレスレジスタ	335
15.2.6	DMCRA : DMA 転送カウントレジスタ	335
15.2.7	DMCRB : DMA ブロック転送カウントレジスタ	337
15.2.8	DMTMD : DMA 転送モードレジスタ	337
15.2.9	DMINT : DMA 割り込み設定レジスタ	338
15.2.10	DMAMD : DMA アドレスモードレジスタ	340
15.2.11	DMOFR : DMA オフセットレジスタ	342
15.2.12	DMCNT : DMA 転送イネーブルレジスタ	343
15.2.13	DMREQ : DMA ソフトウェア起動レジスタ	344
15.2.14	DMSTS : DMA ステータスレジスタ	345
15.2.15	DMSBS : DMA 転送元バッファサイズレジスタ	346
15.2.16	DMDBS : DMA 転送先バッファサイズレジスタ	347
15.2.17	DMAST : DMAC モジュール起動レジスタ	348
15.2.18	DMECHR : DMAC エラーチャネルレジスタ	349
15.3	動作説明	350
15.3.1	転送モード	350
15.3.2	拡張リピート領域機能	358
15.3.3	フリーランニング機能	360
15.3.4	オフセットを使用したアドレス更新機能	361
15.3.5	リピートブロック転送モードにおけるアドレス更新機能	365
15.3.6	リピートブロック転送モードの使用例	367
15.3.7	起動要因	370
15.3.8	動作タイミング	370
15.3.9	DMAC の実行サイクル	371
15.3.10	DMAC の起動	372
15.3.11	DMA 転送の開始	374
15.3.12	DMA 転送中のレジスタ	374
15.3.13	チャネル優先順位	375
15.3.14	チャネルセキュリティ	375
15.3.15	DMAC のマスタ TrustZone フィルタ	376
15.4	DMA 転送の終了	376
15.4.1	設定した総転送回数完了による転送終了	377
15.4.2	リピートサイズ終了割り込みによる転送終了	377
15.4.3	拡張リピート領域オーバーフロー割り込みによる転送終了	377
15.5	DMA 転送エラーの処理	378
15.5.1	NMI ハンドラの処理	378
15.5.2	エラー応答検出割り込み要求 (DMA_TRANSERR) ハンドラの処理	381
15.6	割り込み	387
15.6.1	転送終了割り込み	387

15.6.2	転送エラー割り込み	389
15.7	イベントリンク	390
15.8	低消費電力機能	390
15.9	使用上の注意事項	390
15.9.1	DMA 転送中のレジスタアクセスについて	390
15.9.2	予約領域への DMA 転送について	391
15.9.3	割り込みコントローラユニットの DMAC イベントリンク設定レジスタ n (ICU.DELSRn) の設定 (n = 0~7)	391
15.9.4	DMAC 起動の保留／再開に関する注意事項	391
15.9.5	DMA 転送再開時の注意事項	391
16.	データトランスファコントローラ (DTC).....	393
16.1	概要	393
16.2	レジスタの説明	394
16.2.1	DTCSAR : DTC コントローラセキュリティ属性レジスタ	395
16.2.2	MRA : DTC モードレジスタ A	395
16.2.3	MRB : DTC モードレジスタ B	396
16.2.4	SAR : DTC 転送元レジスタ	397
16.2.5	DAR : DTC 転送先レジスタ	397
16.2.6	CRA : DTC 転送カウンタレジスタ A	398
16.2.7	CRB : DTC 転送カウンタレジスタ B	398
16.2.8	DTCCR : DTC コントロールレジスタ	399
16.2.9	DTCCR_SEC : DTC コントロールレジスタ (セキュア領域)	399
16.2.10	DTCVBR : DTC ベクタベースアドレス	400
16.2.11	DTCVBR_SEC : DTC ベクタベースレジスタ (セキュア領域)	400
16.2.12	DTCST : DTC モジュール起動レジスタ	400
16.2.13	DTCSTS : DTC ステータスレジスタ	401
16.2.14	DTEVR : DTC エラーベクタレジスタ	402
16.3	起動要因	403
16.3.1	転送情報の配置と DTC ベクタテーブル	403
16.4	動作説明	405
16.4.1	転送情報のリードスキップ機能	407
16.4.2	転送情報のライトバックスキップ機能	407
16.4.3	ノーマル転送モード	408
16.4.4	リピート転送モード	409
16.4.5	ブロック転送モード	410
16.4.6	チェーン転送	411
16.4.7	動作タイミング	412
16.4.8	DTC の実行サイクル	414
16.4.9	DTC のバス権解放タイミング	415
16.4.10	ベクタセキュリティ	415

16.4.11	DTC のマスタ TrustZone フィルタ	415
16.5	DTC の設定手順	415
16.6	DTC の使用例	416
16.6.1	ノーマル転送	416
16.6.2	チェーン転送	416
16.6.3	転送カウンタ = 0 のときのチェーン転送	418
16.7	DTC 転送エラーにおける処理	419
16.7.1	NMI ハンドラにおける処理	420
16.7.2	エラー応答検出割り込み要求 (DMA_TRANSERR) ハンドラにおける処理	423
16.8	割り込み	429
16.8.1	転送終了割り込み要求	429
16.8.2	転送エラーの割り込み要求	429
16.9	イベントリンク	430
16.10	低消費電力機能	430
16.11	使用上の注意	431
16.11.1	転送情報の開始アドレス	431
17.	イベントリンクコントローラ (ELC)	432
17.1	概要	432
17.2	レジスタの説明	433
17.2.1	ELCR : イベントリンクコントローラレジスタ	433
17.2.2	ELSEGRn : イベントリンクソフトウェアイベント発生レジスタ n (n = 0, 1)	434
17.2.3	ELSRn : イベントリンク設定レジスタ n (n = 0~9, 14~17)	435
17.2.4	ELCSARA : イベントリンクコントローラセキュリティ属性レジスタ A	440
17.2.5	ELCSARB : イベントリンクコントローラセキュリティ属性レジスタ B	440
17.2.6	ELCSARC : イベントリンクコントローラセキュリティ属性レジスタ C	441
17.3	動作説明	441
17.3.1	割り込み処理とイベントリンクの関係	441
17.3.2	イベントリンク	441
17.3.3	イベントリンクの手順例	442
17.4	使用上の注意事項	442
17.4.1	DMAC/DTC 転送終了のイベントリンク使用時の注意事項	442
17.4.2	クロックの設定	442
17.4.3	モジュールストップ機能の設定	442
17.4.4	ELC 遅延時間	442
18.	I/O ポート	444
18.1	概要	444
18.2	レジスタの説明	445
18.2.1	PCNTR1/PODR/PDR : ポートコントロールレジスタ 1	445
18.2.2	PCNTR2/EIDR/PIDR : ポートコントロールレジスタ 2	446

18.2.3	PCNTR3/PORR/POSR : ポートコントロールレジスタ 3.....	447
18.2.4	PCNTR4/EORR/EOSR : ポートコントロールレジスタ 4.....	448
18.2.5	PmnPFS/PmnPFS_HA/PmnPFS_BY : ポート mn 端子機能選択レジスタ (m = 0~8, n = 00~15)	449
18.2.6	PWPR : 書き込みプロテクトレジスタ	451
18.2.7	PWPRS : セキュア用ライトプロテクトレジスタ	452
18.2.8	PRWCNTR : ウェイトコントロール設定レジスタ	452
18.2.9	PmSAR : ポートセキュリティ属性レジスタ (m = 0~8)	453
18.2.10	PSAR : PORT セキュリティ属性レジスタ	453
18.3	動作	454
18.3.1	汎用入出力ポート	454
18.3.2	ポート機能選択	454
18.3.3	ELC のポートグループ機能	455
18.3.4	ポート読み出し時のウェイト機能	456
18.4	未使用端子の処理	457
18.5	使用上の注意	457
18.5.1	端子機能の設定手順	457
18.5.2	ポートグループ入力の使用手順	458
18.5.3	ポート出力データレジスタ (PODR) の概要	458
18.5.4	アナログ機能使用時の注意事項	458
18.5.5	EXLVD 機能使用時の注意事項	458
18.5.6	EXLVDVBAT 機能使用時の注意事項	458
18.6	製品ごとの周辺選択設定	459
19.	GPT 用のポートアウトプットイネーブル (POEG).....	464
19.1	概要	464
19.2	レジスタの説明	466
19.2.1	POEGGn : POEG グループ n 設定レジスタ (n = A~D).....	466
19.3	出力禁止制御の動作	467
19.3.1	端子入力レベル検出時の動作	467
19.3.2	GPT からの出力禁止要求.....	468
19.3.3	発振停止検出による出力禁止制御	468
19.3.4	レジスタによる出力禁止制御	468
19.3.5	出力禁止状態の解除	468
19.4	割り込み要因	469
19.5	GPT に対する外部トリガ出力	469
19.6	使用上の注意	470
19.6.1	ソフトウェアスタンバイモードへの遷移	470
19.6.2	GPT 対応端子の指定	470
20.	汎用 PWM タイマ (GPT)	471
20.1	概要	471

20.2	レジスタの説明	474
20.2.1	GTWP : 汎用 PWM タイマ書き込み保護レジスタ	474
20.2.2	GTSTR : 汎用 PWM タイマソフトウェアスタートレジスタ	476
20.2.3	GTSTP : 汎用 PWM タイマソフトウェアストップレジスタ	477
20.2.4	GTCLR : 汎用 PWM タイマソフトウェアクリアレジスタ	478
20.2.5	GTSSR : 汎用 PWM タイマスタート要因選択レジスタ	479
20.2.6	GTPSR : 汎用 PWM タイマストップ要因選択レジスタ	482
20.2.7	GTCSR : 汎用 PWM タイマクリア要因選択レジスタ	485
20.2.8	GTUPSR : 汎用 PWM タイマアップカウンタ要因選択レジスタ	489
20.2.9	GTDNSR : 汎用 PWM タイマダウンカウンタ要因選択レジスタ	492
20.2.10	GTICASR : 汎用 PWM タイマインプットキャプチャ要因選択レジスタ A.....	495
20.2.11	GTICBSR : 汎用 PWM タイマインプットキャプチャ要因選択レジスタ B.....	499
20.2.12	GTCR : 汎用 PWM タイマコントロールレジスタ	502
20.2.13	GTUDDTYC : 汎用 PWM タイマカウンタ方向、デューティー設定レジスタ	504
20.2.14	GTIOR : 汎用 PWM タイマ I/O コントロールレジスタ	506
20.2.15	GTINTAD : 汎用 PWM タイマ割り込み出力設定レジスタ	510
20.2.16	GTST : 汎用 PWM タイマステータスレジスタ	511
20.2.17	GTBER : 汎用 PWM タイマバッファイネーブルレジスタ	515
20.2.18	GTCNT : 汎用 PWM タイマカウンタ	516
20.2.19	GTCCRk : 汎用 PWM タイマコンペアキャプチャレジスタ k(k = A~F)	517
20.2.20	GTPR : 汎用 PWM タイマ周期設定レジスタ	517
20.2.21	GTPBR : 汎用 PWM タイマ周期設定バッファレジスタ	518
20.2.22	GTDTCR : 汎用 PWM タイマデッドタイムコントロールレジスタ	518
20.2.23	GTDVU : 汎用 PWM タイマデッドタイム値レジスタ U.....	519
20.2.24	GTICLF : 汎用 PWM タイマチャネル間論理演算機能設定レジスタ	519
20.2.25	GTPC : 汎用 PWM タイマ周期カウンタレジスタ	521
20.2.26	GTSECSR : 汎用 PWM タイマ動作許可ビット同時制御チャネル選択レジスタ	522
20.2.27	GTSECR : 汎用 PWM タイマ動作許可ビット同時制御レジスタ	523
20.2.28	OPSCR : 出力相切り替えコントロールレジスタ	524
20.3	動作説明	527
20.3.1	基本動作	527
20.3.2	バッファ動作	535
20.3.3	PWM 出力動作モード	542
20.3.4	デッドタイム自動設定機能	552
20.3.5	カウンタ方向切り替え機能	556
20.3.6	出力デューティ 0%および出力デューティ 100%機能	557
20.3.7	ハードウェアカウンタスタート/カウンタストップ、カウンタクリア動作	558
20.3.8	同期動作	563
20.3.9	PWM 出力動作例	568
20.3.10	周期計数機能	573

20.3.11	位相計数機能.....	574
20.3.12	出力相切り替え (GPT_OPS).....	584
20.3.13	チャンネル間論理演算機能.....	591
20.4	割り込み要因.....	593
20.4.1	割り込み要因と優先順位.....	593
20.4.2	DMAC および DTC の起動.....	595
20.5	ELC によるリンク動作.....	595
20.5.1	ELC へのイベント信号出力.....	595
20.5.2	ELC からのイベント信号入力.....	595
20.6	ノイズフィルタ機能.....	596
20.7	保護機能.....	596
20.7.1	レジスタの書き込み保護.....	596
20.7.2	バッファ動作の禁止.....	597
20.7.3	GTIOCNm 端子出力の出力禁止制御 (n = 0~5, m = A, B).....	598
20.8	出力端子の初期化方法.....	599
20.8.1	リセット後の端子設定.....	599
20.8.2	動作中の異常による端子の初期化.....	600
20.9	使用上の注意事項.....	600
20.9.1	モジュールストップ機能の設定.....	600
20.9.2	コンペアマッチ動作時の GTCCRn レジスタの設定 (n = A~F).....	600
20.9.3	GTCNT カウンタの範囲設定.....	601
20.9.4	GTCNT カウンタのスタート/ストップ.....	601
20.9.5	イベントごとの優先順位.....	601
21.	低消費電力非同期汎用タイマ (AGTW)	603
21.1	概要.....	603
21.2	レジスタの説明.....	604
21.2.1	AGT : AGT カウンタレジスタ.....	604
21.2.2	AGTCMA : AGT コンペアマッチ A レジスタ.....	605
21.2.3	AGTCMB : AGT コンペアマッチ B レジスタ.....	605
21.2.4	AGTCR : AGT コントロールレジスタ.....	606
21.2.5	AGTMR1 : AGT モードレジスタ 1.....	607
21.2.6	AGTMR2 : AGT モードレジスタ 2.....	608
21.2.7	AGTIOC : AGT I/O コントロールレジスタ.....	609
21.2.8	AGTISR : AGT イベント端子選択レジスタ.....	611
21.2.9	AGTCMSR : AGT コンペアマッチ機能選択レジスタ.....	611
21.2.10	AGTIOSEL : AGT 端子選択レジスタ.....	612
21.3	動作説明.....	612
21.3.1	リロードレジスタおよびカウンタの書き換え動作.....	612
21.3.2	リロードレジスタおよび AGT コンペアマッチ A/B レジスタの書き換え動作.....	614
21.3.3	タイマモード.....	615

21.3.4	パルス出力モード	616
21.3.5	イベントカウントモード	617
21.3.6	パルス幅測定モード	618
21.3.7	パルス周期測定モード	619
21.3.8	コンペアマッチ機能	620
21.3.9	各モードの出力設定	621
21.3.10	スタンバイモード	622
21.3.11	割り込み要因	623
21.3.12	イベントリンクコントローラ (ELC) へのイベント信号出力	623
21.4	使用上の注意事項	624
21.4.1	カウント動作の開始および停止制御	624
21.4.2	カウンタレジスタへのアクセス	624
21.4.3	モード変更時	624
21.4.4	出力端子の設定	624
21.4.5	デジタルフィルタ	624
21.4.6	イベント番号、パルス幅およびパルス周期の計算方法	625
21.4.7	TSTOP ビットで強制的にカウントを停止した場合	625
21.4.8	カウントソースとして AGT0 のアンダーフローイベント信号を選択する場合	625
21.4.9	モジュールストップ機能	625
21.4.10	ソースクロックの切り替え時	625
22.	リアルタイムクロック (RTC)	626
22.1	概要	626
22.2	レジスタの説明	627
22.2.1	R64CNT : 64 Hz カウンタ	629
22.2.2	RSECCNT : 秒カウンタ (カレンダーカウントモード時)	630
22.2.3	RMINCNT : 分カウンタ (カレンダーカウントモード時)	630
22.2.4	RHRCNT : 時カウンタ (カレンダーカウントモード時)	631
22.2.5	RWKCNT : 曜日カウンタ (カレンダーカウントモード時)	631
22.2.6	BCNTn : バイナリカウンタ n (n = 0~3) (バイナリカウントモード時)	632
22.2.7	RDAYCNT : 日カウンタ	632
22.2.8	RMONCNT : 月カウンタ	633
22.2.9	RYRCNT : 年カウンタ	633
22.2.10	RSECAR : 秒アラームレジスタ (カレンダーカウントモード時)	634
22.2.11	RMINAR : 分アラームレジスタ (カレンダーカウントモード時)	634
22.2.12	RHRAR : 時アラームレジスタ (カレンダーカウントモード時)	635
22.2.13	RWKAR : 曜日アラームレジスタ (カレンダーカウントモード時)	636
22.2.14	BCNTnAR : バイナリカウンタ n アラームレジスタ (n = 0~3) (バイナリカウントモード時)	637
22.2.15	RDAYAR : 日アラームレジスタ (カレンダーカウントモード時)	637
22.2.16	RMONAR : 月アラームレジスタ (カレンダーカウントモード時)	638

22.2.17	RYRAR : 年アラームレジスタ (カレンダーカウントモード時)	638
22.2.18	RYRAREN : 年アラームイネーブルレジスタ (カレンダーカウントモード時)	639
22.2.19	BCNTnAER : バイナリカウンタ n アラームイネーブルレジスタ (n = 0, 1) (バイナリカウントモード時)	639
22.2.20	BCNT2AER : バイナリカウンタ 2 アラームイネーブルレジスタ (バイナリカウントモード時)	640
22.2.21	BCNT3AER : バイナリカウンタ 3 アラームイネーブルレジスタ (バイナリカウントモード時)	640
22.2.22	RCR1 : RTC コントロールレジスタ 1	640
22.2.23	RCR2 : RTC コントロールレジスタ 2 (カレンダーカウントモード時)	642
22.2.24	RCR2 : RTC コントロールレジスタ 2 (バイナリカウントモード時)	644
22.2.25	RCR4 : RTC コントロールレジスタ 4	645
22.2.26	RADJ : 時間誤差補正レジスタ	646
22.2.27	RADJ2 : 時計誤差補正レジスタ 2	647
22.2.28	RTCCR0 : 時間キャプチャコントロールレジスタ 0	647
22.2.29	RSECCP0 : 秒キャプチャレジスタ 0 (カレンダーカウントモード時)	648
22.2.30	RMINCP0 : 分キャプチャレジスタ 0 (カレンダーカウントモード時)	649
22.2.31	RHRCP0 : 時キャプチャレジスタ 0 (カレンダーカウントモード時)	649
22.2.32	RDAYCP0 : 日キャプチャレジスタ 0 (カレンダーカウントモード時)	650
22.2.33	RMONCP0 : 月キャプチャレジスタ 0 (カレンダーカウントモード時)	650
22.2.34	BCNTnCP0 : BCNTn キャプチャレジスタ 0 (n = 0~3) (バイナリカウントモード時)	651
22.3	動作説明	651
22.3.1	電源投入後のレジスタ初期設定の概要	651
22.3.2	動作モード、クロックおよびカウントモードの設定手順	651
22.3.3	時刻の設定	653
22.3.4	30 秒調整	654
22.3.5	64 Hz カウンタと時刻の読み出し	655
22.3.6	アラーム機能	657
22.3.7	アラーム割り込み禁止手順	658
22.3.8	時間誤差補正機能	658
22.3.9	時間キャプチャ機能	662
22.4	割り込み要因	662
22.5	イベントリンク出力機能	664
22.5.1	割り込み処理とイベントリンクの関係	664
22.6	使用上の注意事項	664
22.6.1	カウント動作時のレジスタ書き込みについて	664
22.6.2	周期割り込みの使用について	665
22.6.3	RTCOUT (1 Hz/64 Hz) クロック出力について	665
22.6.4	レジスタ設定後の低消費電力モードへの遷移について	667
22.6.5	レジスタの書き込み／読み出し時の注意事項	667
22.6.6	カウントモードの変更について	667

22.6.7	カウント動作停止時における時間キャプチャ設定について	667
22.6.8	RTC を使用しない場合の初期化手順	667
23.	ウォッチドッグタイマ (WDT)	669
23.1	概要	669
23.2	レジスタの説明	670
23.2.1	WDTRR : WDT リフレッシュレジスタ	670
23.2.2	WDTCSR : WDT コントロールレジスタ	671
23.2.3	WDTSR : WDT ステータスレジスタ	673
23.2.4	WDTCSR : WDT リセットコントロールレジスタ	674
23.2.5	WDTCSR : WDT カウント停止コントロールレジスタ	675
23.2.6	オプション機能選択レジスタ 0 (OFS0)	675
23.3	動作説明	675
23.3.1	スタートモード別のカウント動作	675
23.3.2	WDTCSR、WDTCSR、および WDTCSR レジスタへの書き込み制御	679
23.3.3	リフレッシュ動作	679
23.3.4	ステータスフラグ	680
23.3.5	リセット出力	680
23.3.6	割り込み要因	680
23.3.7	ダウンカウンタ値の読み出し	681
23.3.8	オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係	681
23.4	イベントリンクコントローラ (ELC) への出力	682
23.5	使用上の注意事項	682
23.5.1	ICU イベントリンク設定レジスタ n (IELSRn) の設定に関する制限	682
24.	独立ウォッチドッグタイマ (IWDG)	683
24.1	概要	683
24.2	レジスタの説明	684
24.2.1	IWDTRR : IWDG リフレッシュレジスタ	684
24.2.2	IWDTSR : IWDG ステータスレジスタ	685
24.2.3	OFS0 : オプション機能選択レジスタ 0	686
24.3	動作説明	688
24.3.1	オートスタートモード	688
24.3.2	リフレッシュ動作	689
24.3.3	ステータスフラグ	691
24.3.4	リセット出力	691
24.3.5	割り込み要因	691
24.3.6	ダウンカウンタ値の読み出し	691
24.4	イベントリンクコントローラ (ELC) への出力	692
24.5	使用上の注意事項	692
24.5.1	リフレッシュ動作	692

24.5.2	クロック分周比の設定に関する制限.....	692
24.5.3	ICU イベントリンク設定レジスタ n (IELSRn) の設定に関する制限	692
25.	シリアルコミュニケーションインタフェース (SCI)	693
25.1	概要	693
25.2	レジスタの説明	698
25.2.1	RSR : 受信シフトレジスタ	698
25.2.2	RDR:受信データレジスタ	698
25.2.3	RDRHL : 非マンチェスタモード用受信データレジスタ (MMR.MANEN = 0).....	698
25.2.4	RDRHL_MAN : マンチェスタモード用受信データレジスタ (MMR.MANEN = 1)	699
25.2.5	FRDRHL/FRDRH/FRDRL:受信 FIFO データレジスタ	700
25.2.6	TDR:送信データレジスタ	701
25.2.7	TDRHL : 非マンチェスタモード用送信データレジスタ (MMR.MANEN = 0)	701
25.2.8	TDRHL_MAN : マンチェスタモード用送信データレジスタ (MMR.MANEN = 1).....	702
25.2.9	FTDRHL/FTDRH/FTDRL : 送信 FIFO データレジスタ	703
25.2.10	TSR : 送信シフトレジスタ	704
25.2.11	SMR:非スマートカードインタフェースモード用シリアルモードレジスタ (SCMR.SMIF = 0)	704
25.2.12	SMR_SMCI:スマートカードインタフェースモード用シリアルモードレジスタ (SCMR.SMIF = 1).....	705
25.2.13	SCR:非スマートカードインタフェースモード用シリアルコントロールレジスタ (SCMR.SMIF = 0).....	707
25.2.14	SCR_SMCI:スマートカードインタフェースモード用シリアルコントロールレジスタ (SCMR.SMIF = 1).....	709
25.2.15	SSR : 非スマートカードインタフェースおよび非 FIFO モード用シリアルステータスレジスタ (SCMR.SMIF = 0、FCR.FM = 0、および MMR.MANEN = 0)	710
25.2.16	SSR_FIFO : 非スマートカードインタフェースおよび FIFO モード用シリアルステータスレジスタ (SCMR.SMIF = 0、FCR.FM = 1、および MMR.MANEN = 0)	713
25.2.17	SSR_SMCI : スマートカードインタフェースモード用シリアルステータスレジスタ (SCMR.SMIF = 1 かつ MMR.MANEN = 0)	715
25.2.18	SSR_MANC : マンチェスタモード用シリアルステータスレジスタ (SCMR.SMIF = 0 かつ MMR.MANEN = 1)	718
25.2.19	SCMR:スマートカードモードレジスタ	720
25.2.20	BRR : ビットレートレジスタ	722
25.2.21	MDDR : 変調デューティレジスタ	731
25.2.22	SEMR : 簡易 LIN モードレジスタ	734
25.2.23	SNFR:ノイズフィルタ設定レジスタ	737
25.2.24	SIMR1:IIC モードレジスタ 1.....	738
25.2.25	SIMR2:IIC モードレジスタ 2.....	738
25.2.26	SIMR3:IIC モードレジスタ 3.....	739
25.2.27	SISR:IIC ステータスレジスタ	741
25.2.28	SPMR:SPI モードレジスタ	742
25.2.29	FCR:FIFO コントロールレジスタ	743

25.2.30	FDR:FIFO データ数レジスタ	745
25.2.31	LSR:ラインステータスレジスタ	745
25.2.32	CDR:コンペアマッチデータレジスタ	746
25.2.33	DCCR:データコンペアマッチコントロールレジスタ	746
25.2.34	SPTR:シリアルポートレジスタ	748
25.2.35	ACTR:通信タイミング調整レジスタ	750
25.2.36	MMR:マンチェスタモードレジスタ	751
25.2.37	TMPR:マンチェスタプレフィス設定レジスタの転送	753
25.2.38	RMPR:マンチェスタプレフィス設定レジスタの受信	754
25.2.39	MESR:マンチェスタ拡張エラーステータスレジスタ	755
25.2.40	MECR:マンチェスタ拡張エラーコントロールレジスタ	756
25.2.41	ESMER:簡易 LIN モード有効レジスタ	757
25.2.42	CR0:コントロールレジスタ 0	758
25.2.43	CR1:コントロールレジスタ 1	758
25.2.44	CR2:コントロールレジスタ 2	759
25.2.45	CR3:コントロールレジスタ 3	760
25.2.46	PCR:ポートコントロールレジスタ	760
25.2.47	ICR:割り込みコントロールレジスタ	760
25.2.48	STR:ステータスレジスタ	761
25.2.49	STCR:ステータスクリアレジスタ	762
25.2.50	CF0DR:Control Field 0 データレジスタ	762
25.2.51	CF0CR:Control Field 0 コンペアイネーブルレジスタ	763
25.2.52	CF0RR:Control Field 0 受信データレジスタ	763
25.2.53	PCF1DR:プライマリ Control Field 1 データレジスタ	764
25.2.54	SCF1DR:セカンダリ Control Field 1 データレジスタ	764
25.2.55	CF1CR:Control Field 1 コンペアイネーブルレジスタ	764
25.2.56	CF1RR:Control Field 1 受信データレジスタ	765
25.2.57	TCR:タイマコントロールレジスタ	765
25.2.58	TMR:タイマモードレジスタ	765
25.2.59	TPRE:タイマプリスケアラレジスタ	766
25.2.60	TCNT:タイマカウントレジスタ	766
25.2.61	SCIMSKEN:SCI5 TXD 出力マスクイネーブルレジスタ	767
25.3	調歩同期式モードの動作	767
25.3.1	シリアル転送フォーマット	768
25.3.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	769
25.3.3	クロック	770
25.3.4	倍速動作とビットレートの 6 倍の周波数	770
25.3.5	CTS、RTS 機能	771
25.3.6	アドレス一致（受信データ一致）検出機能	771
25.3.7	SCI の初期化（調歩同期式モード）	774

25.3.8	シリアルデータの送信（調歩同期式モード）	776
25.3.9	シリアルデータの受信（調歩同期式モード）	781
25.3.10	受信サンプリングタイミング調整機能（調歩同期式モード）	794
25.3.11	送信タイミング調整機能（調歩同期式モード）	798
25.4	マルチプロセッサ通信機能	803
25.4.1	マルチプロセッサシリアルデータ送信	804
25.4.2	マルチプロセッサシリアルデータ受信	807
25.5	マンチェスタモードの動作	812
25.5.1	フレームフォーマット	813
25.5.2	クロック	817
25.5.3	マンチェスタモードにおける SCI の初期化	817
25.5.4	倍速動作	818
25.5.5	CTS、RTS 機能	818
25.5.6	シリアルデータの送信（マンチェスタモード）	819
25.5.7	シリアルデータの受信（マンチェスタモード）	822
25.5.8	マルチプロセッサが使用されている場合の動作	826
25.5.9	受信再タイミング	826
25.5.10	マンチェスタコードの極性設定	827
25.5.11	マンチェスタモードにおけるエラー	828
25.6	クロック同期式モードの動作	833
25.6.1	クロック	833
25.6.2	CTS、RTS 機能	834
25.6.3	SCI の初期化（クロック同期式モード）	834
25.6.4	シリアルデータの送信（クロック同期式モード）	836
25.6.5	シリアルデータの受信（クロック同期式モード）	840
25.6.6	シリアルデータの同時送受信（クロック同期式モード）	845
25.7	スマートカードインタフェースモードの動作	847
25.7.1	接続例	848
25.7.2	データフォーマット（ブロック転送モード時を除く）	848
25.7.3	ブロック転送モード	850
25.7.4	受信データサンプリングタイミングと受信マージン	850
25.7.5	SCI の初期化（スマートカードインタフェースモード）	851
25.7.6	シリアルデータの送信（ブロック転送モードを除く）	852
25.7.7	シリアルデータの受信（ブロック転送モード時を除く）	854
25.7.8	クロック出力制御	856
25.8	簡易 IIC モードの動作	857
25.8.1	開始条件、再開条件、停止条件の生成	858
25.8.2	クロック同期化	859
25.8.3	SDAn 出力遅延	860
25.8.4	SCI の初期化（簡易 IIC モード）	860

25.8.5	マスタ送信動作（簡易 IIC モード）	861
25.8.6	マスタ受信動作（簡易 IIC モード）	864
25.9	簡易 SPI モードの動作	866
25.9.1	マスタモード、スレーブモードと各端子の状態	866
25.9.2	マスタモード時の SS 機能	867
25.9.3	スレーブモード時の SS 機能	867
25.9.4	クロックと送受信データの関係	867
25.9.5	SCI の初期化（簡易 SPI モード）	868
25.9.6	シリアルデータの送受信（簡易 SPI モード）	868
25.10	ビットレート変調機能	868
25.11	簡易 LIN モードの動作	869
25.11.1	シリアル通信プロトコル	869
25.11.2	Start Frame 送信	870
25.11.3	Start Frame 受信	872
25.11.4	バス衝突検出機能	878
25.11.5	RXDXn (n = 1) 端子入力デジタルフィルタ機能	879
25.11.6	ビットレート測定機能	880
25.11.7	RXDXn (n = 1) 受信データサンプリングタイミング選択機能	881
25.11.8	タイマ	882
25.12	割り込み要因	883
25.12.1	SCIn_TXI および SCIn_RXI 割り込みのバッファ動作（非 FIFO 選択時）	883
25.12.2	SCIn_TXI および SCIn_RXI 割り込みのバッファ動作（FIFO 選択時）	884
25.12.3	調歩同期式モード、マンチェスタモード、クロック同期式モード、および簡易 SPI モードにおける割り込み	884
25.12.4	スマートカードインタフェースモードにおける割り込み	885
25.12.5	簡易 IIC モードにおける割り込み	886
25.12.6	簡易 LIN モード制御部の割り込み要求	887
25.13	イベントリンク機能	887
25.14	アドレス不一致イベント出力 (SCI0_DCUF)	888
25.15	ノイズ除去機能	888
25.16	使用上の注意	889
25.16.1	モジュールストップ機能の設定	889
25.16.2	低消費電力状態での SCI の動作	889
25.16.3	ブレークの検出と処理について	893
25.16.4	マーク状態とブレークの送出	894
25.16.5	受信エラーフラグと送信動作について（クロック同期式モードおよび簡易 SPI モード）	894
25.16.6	クロック同期送信に関する制限事項（クロック同期式モードおよび簡易 SPI モード）	894
25.16.7	DTC または DMAC 使用時の制約事項	895
25.16.8	通信の開始に関する注意事項	896
25.16.9	クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力	896

25.16.10	簡易 SPI モードに関する制限事項	896
25.16.11	トランスミットイネーブルビット (SCR.TE) に関する注意事項	897
25.16.12	簡易 LIN モード制御部の使用上の制約事項 1	897
25.16.13	簡易 LIN モード制御部の使用上の制約事項 2	897
25.16.14	調歩同期式モードで RTS 機能を使用した時の受信の停止について	898
26.	IrDA インタフェース (IrDA)	899
26.1	概要	899
26.2	レジスタの説明	899
26.2.1	IRCR : IrDA コントロールレジスタ	899
26.3	動作説明	900
26.3.1	IrDA インタフェースの設定手順	900
26.3.2	送信	900
26.3.3	受信	901
26.4	使用上の注意事項	901
26.4.1	モジュールストップ機能の設定	901
26.4.2	調歩同期式モードにおける SCI5 の基準クロック	901
27.	I²C バスインタフェース (IIC)	902
27.1	概要	902
27.2	レジスタの説明	904
27.2.1	ICCR1 : I ² C バスコントロールレジスタ 1	904
27.2.2	ICCR2 : I ² C バスコントロールレジスタ 2	906
27.2.3	ICMR1 : I ² C バスモードレジスタ 1	909
27.2.4	ICMR2 : I ² C バスモードレジスタ 2	910
27.2.5	ICMR3 : I ² C バスモードレジスタ 3	911
27.2.6	ICFER : I ² C バスファンクションイネーブルレジスタ	913
27.2.7	ICSER : I ² C バスステータスイネーブルレジスタ	915
27.2.8	ICIER : I ² C バス割り込みイネーブルレジスタ	916
27.2.9	ICSR1 : I ² C バスステータスレジスタ 1	917
27.2.10	ICSR2 : I ² C バスステータスレジスタ 2	920
27.2.11	ICWUR : I ² C バスウェイクアップユニットレジスタ	923
27.2.12	ICWUR2 : I ² C バスウェイクアップユニットレジスタ 2	924
27.2.13	SARLy : スレーブアドレスレジスタ Ly (y = 0~2)	925
27.2.14	SARUy : スレーブアドレスレジスタ Uy (y = 0~2)	926
27.2.15	ICBRL : I ² C バスビットレート Low レジスタ	926
27.2.16	ICBRH : I ² C バスビットレート High レジスタ	927
27.2.17	ICDRT : I ² C バス送信データレジスタ	928
27.2.18	ICDRR : I ² C バス受信データレジスタ	928
27.2.19	ICDRS : I ² C バスシフトレジスタ	929

27.3	動作説明	929
27.3.1	通信データフォーマット	929
27.3.2	初期設定	930
27.3.3	マスタ送信動作	931
27.3.4	マスタ受信動作	935
27.3.5	スレーブ送信動作	940
27.3.6	スレーブ受信動作	943
27.4	SCL 同期回路	945
27.5	SDA 出力遅延機能	945
27.6	デジタルノイズフィルタ回路	946
27.7	アドレス一致検出機能	947
27.7.1	スレーブアドレス一致検出機能	947
27.7.2	ジェネラルコールアドレス検出機能	950
27.7.3	デバイス ID アドレス検出機能	951
27.7.4	ホストアドレス検出機能	952
27.8	ウェイクアップ機能	953
27.8.1	ノーマルウェイクアップモード 1	954
27.8.2	ノーマルウェイクアップモード 2	957
27.8.3	コマンドリカバリモードと EEP 応答モード（特殊ウェイクアップモード）	959
27.9	SCL の自動 Low ホールド機能	962
27.9.1	送信データの誤送信防止機能	962
27.9.2	NACK 受信転送中断機能	963
27.9.3	受信データ取りこぼし防止機能	964
27.10	アービトレーションロスト検出機能	965
27.10.1	マスタアービトレーションロスト検出機能（MALE ビット）	965
27.10.2	NACK 送信中のアービトレーションロスト検出機能（NALE ビット）	967
27.10.3	スレーブアービトレーションロスト検出機能（SALE ビット）	968
27.11	スタートコンディション、リスタートコンディション、ストップコンディション発行機能	969
27.11.1	スタートコンディション発行動作	969
27.11.2	リスタートコンディション発行動作	969
27.11.3	ストップコンディション発行動作	971
27.12	バスハングアップ	972
27.12.1	タイムアウト検出機能	972
27.12.2	SCL クロック追加出力機能	973
27.12.3	IIC リセット、内部リセット	974
27.13	SMBus 動作	974
27.13.1	SMBus タイムアウト測定	974
27.13.2	パケットエラーコード (PEC)	976
27.13.3	SMBus ホスト通知プロトコル（Notify ARP Master コマンド）	976
27.14	割り込み要因	976

27.14.1	IICn_TXI 割り込みおよび IICn_RXI 割り込みのバッファ動作	977
27.15	各コンディション発行時のリセット、レジスタ、機能の状態	977
27.16	イベントリンク出力機能	978
27.16.1	割り込み処理とイベントリンクの関係	978
27.17	使用上の注意事項	978
27.17.1	モジュールストップ機能の設定	978
27.17.2	転送開始に関する注意事項	978
28.	シリアルインタフェース UARTA (UARTA)	980
28.1	概要	980
28.2	レジスタの説明	982
28.2.1	TXBAn : 送信バッファレジスタ n (n = 0, 1)	982
28.2.2	RXBAn : 受信バッファレジスタ n (n = 0, 1)	982
28.2.3	ASIMAn0 : 動作モード設定レジスタ n0 (n = 0, 1)	983
28.2.4	ASIMAn1 : 動作モード設定レジスタ n1 (n = 0, 1)	984
28.2.5	BRGCAn : ボーレートジェネレータコントロールレジスタ n (n = 0, 1)	985
28.2.6	ASISAn : ステータスレジスタ n (n = 0, 1)	985
28.2.7	ASCTAn : ステータスクリアトリガレジスタ n (n = 0, 1)	987
28.2.8	UTA0CK : UARTA クロック選択レジスタ 0	988
28.2.9	UTA1CK : UARTA クロック選択レジスタ 1	988
28.3	動作	989
28.3.1	動作停止モード	989
28.3.2	UART モード	989
28.3.3	受信データノイズフィルタ	998
28.3.4	ボーレートジェネレータ	998
28.4	使用上の注意事項	1003
28.4.1	RxDAn 端子のポート設定	1003
28.4.2	UARTAn 動作クロック (f _{UTAn}) を選択するときの注意点	1003
29.	CAN フレキシブルデータレート (CANFD)	1004
29.1	概要	1004
29.1.1	CANFD モジュール	1004
29.1.2	クロックの制限事項	1006
29.2	レジスタの説明	1006
29.2.1	レジスタ表	1006
29.2.2	CFDC0NCFG : 公称ボーレートコンフィグレーションレジスタ	1007
29.2.3	CFDC0CTR : コントロールレジスタ	1008
29.2.4	CFDC0STS : ステータスレジスタ	1013
29.2.5	CFDC0ERFL : エラーフラグレジスタ	1015
29.2.6	CFDC0DCFG : データボーレートコンフィグレーションレジスタ	1021
29.2.7	CFDC0FDCFG : CANFD コンフィグレーションレジスタ	1023

29.2.8	CFDC0FDCTR : CANFD コントロールレジスタ	1025
29.2.9	CFDC0FDSTS : CANFD ステータスレジスタ	1026
29.2.10	CFDC0FDCRC : CANFD CRC レジスタ	1028
29.2.11	CFDGCFG : グローバルコンフィグレーションレジスタ	1029
29.2.12	CFDGCTR : グローバルコントロールレジスタ	1031
29.2.13	CFDGSTS : グローバルステータスレジスタ	1033
29.2.14	CFDGERFL : グローバルエラーフラグレジスタ	1034
29.2.15	CFDGTINTSTS : グローバル TX 割り込みステータスレジスタ	1035
29.2.16	CFDGTSC : グローバルタイムスタンプカウンタレジスタ	1037
29.2.17	CFDGAFLECTR : グローバルアクセプタンスフィルタリストエントリコントロールレジスタ	1037
29.2.18	CFDGAFLCFG : グローバルアクセプタンスフィルタリストコンフィグレーションレジスタ	1038
29.2.19	CFDGAFLIDr : グローバルアクセプタンスフィルタリスト ID レジスタ (r = 1~16) ...	1038
29.2.20	CFDGAFLMr : グローバルアクセプタンスフィルタリストマスクレジスタ (r = 1~16) ..	1040
29.2.21	CFDGAFLP0r : グローバルアクセプタンスフィルタリストポインタ 0 レジスタ (r = 1~16)	1041
29.2.22	CFDGAFLP1r : グローバルアクセプタンスフィルタリストポインタ 1 レジスタ (r = 1~16)	1043
29.2.23	CFDRMNB : RX メッセージバッファ数レジスタ	1044
29.2.24	CFDRMND : RX メッセージバッファ新規データレジスタ	1045
29.2.25	CFDRFCCa : RX FIFO コンフィグレーション/コントロールレジスタ a (a = 0~1)	1045
29.2.26	CFDRFSTSa : RX FIFO ステータスレジスタ a (a = 0, 1)	1047
29.2.27	CFDRFPCTRa : RX FIFO ポインタコントロールレジスタ a (a = 0~1).....	1049
29.2.28	CFDCFCC : 共通 FIFO コンフィグレーション/コントロールレジスタ	1049
29.2.29	CFDCFSTS : 共通 FIFO ステータスレジスタ	1052
29.2.30	CFDCFPCTR : 共通 FIFO ポインタコントロールレジスタ	1055
29.2.31	CFDFESTS : FIFO エンプティステータスレジスタ	1055
29.2.32	CFDFFSTS : FIFO フルスステータスレジスタ	1056
29.2.33	CFDFMSTS : FIFO メッセージロスステータスレジスタ	1057
29.2.34	CFDRFISTS : RX FIFO 割り込みフラグステータスレジスタ	1058
29.2.35	CFDCDTCT : DMA 転送コントロールレジスタ	1058
29.2.36	CFDCDTSTS : DMA 転送ステータスレジスタ	1059
29.2.37	CFDTMCi : TX メッセージバッファコントロールレジスタ i (i = 0~3).....	1060
29.2.38	CFDTMSTsj : TX メッセージバッファステータスレジスタ j (j = 0~3).....	1061
29.2.39	CFDTMTRSTS : TX メッセージバッファ送信要求ステータスレジスタ	1063
29.2.40	CFDTMTARSTS : TX メッセージバッファ送信中断要求ステータスレジスタ	1063
29.2.41	CFDTMTCSTS : TX メッセージバッファ送信完了ステータスレジスタ	1064
29.2.42	CFDTMTASTS : TX メッセージバッファ送信中断ステータスレジスタ	1064
29.2.43	CFDTMIEC : TX メッセージバッファ割り込み許可コンフィグレーションレジスタ	1065
29.2.44	CFDTXQCC : TX キューコンフィグレーション/コントロールレジスタ	1065

29.2.45	CFDTXQSTS : TX キューステータスレジスタ	1067
29.2.46	CFDTXQPCTR : TX キューポインタコントロールレジスタ	1068
29.2.47	CFDTHLCC : TX 履歴リストコンフィグレーション／コントロールレジスタ	1069
29.2.48	CFDTHLSTS : TX 履歴リストステータスレジスタ	1070
29.2.49	CFDTHLACC0 : TX 履歴リストアクセスレジスタ 0	1071
29.2.50	CFDTHLACC1 : TX 履歴リストアクセスレジスタ 1	1072
29.2.51	CFDTHLPCTR : TX 履歴リストポインタコントロールレジスタ	1073
29.2.52	CFDGRSTC : グローバル SW リセットレジスタ	1073
29.2.53	CFDGTSTCFG : グローバルテストコンフィグレーションレジスタ	1074
29.2.54	CFDGTSTCTR : グローバルテストコントロールレジスタ	1075
29.2.55	CFDGFDCFG : グローバル FD コンフィグレーションレジスタ	1075
29.2.56	CFDGLOCKK : グローバルロックキーレジスタ	1076
29.2.57	CFDRPGACCK: RAM テストページアクセスレジスタ k (k = 0~63)	1077
29.2.58	CFDGAFLIGNENT: グローバル AFL 無視エントリレジスタ	1077
29.2.59	CFDGAFLIGNCTR : グローバル AFL 無視コントロールレジスタ	1078
29.2.60	CFDRMIEC : RX メッセージバッファ割り込み許可コンフィグレーションレジスタ	1078
29.2.61	ID ビットアライメント	1079
29.2.62	メッセージバッファコンポーネントの構造	1079
29.3	動作の概要	1100
29.3.1	概要	1100
29.3.2	グローバルモード	1100
29.3.3	チャンネルモード	1109
29.3.4	グローバルモード遷移とチャンネルモード遷移の相互作用	1115
29.4	初期化	1117
29.4.1	CAN クロック、ビットタイミング、ボーレートの初期化	1117
29.4.2	ハードウェアリセット後の CAN モジュールの構成	1124
29.5	グローバルアクセプタンスフィルタリスト (AFL) を使用したアクセプタンスフィルタ機能	1125
29.5.1	概要	1125
29.5.2	AFL エントリの割り当て	1127
29.5.3	AFL エントリの説明	1127
29.5.4	AFL へのエントリの入力	1129
29.5.5	ループバックモード	1130
29.5.6	IDE マスク処理	1131
29.5.7	通信中の AFL エントリの更新	1132
29.6	FIFO バッファと通常のメッセージバッファの構成	1134
29.6.1	通常の RX メッセージバッファ	1135
29.6.2	FIFO バッファ	1135
29.7	割り込みと DMA	1140
29.7.1	割り込み	1140
29.7.2	DMA 転送	1143

29.8	受信／送信	1146
29.8.1	受信	1146
29.8.2	送信	1154
29.9	テストモード	1169
29.9.1	チャンネル固有のテストモード	1169
29.9.2	グローバルテストモード	1171
29.10	使用上の注意事項	1175
29.10.1	モジュールストップ機能	1175
30.	CANFD ECC (CNECC)	1176
30.1	概要	1176
30.2	レジスタの説明	1176
30.2.1	EC710CTL : ECC コントロールレジスタ	1176
30.2.2	EC710TMC : ECC テストモードコントロールレジスタ	1179
30.2.3	EC710TED : ECC テスト置換データレジスタ	1180
30.2.4	EC710EAD0 : ECC エラーアドレスレジスタ	1181
30.3	動作説明	1181
30.3.1	ECC 機能設定	1181
30.3.2	ECC デコーダのテスト方法	1182
30.4	割り込み	1183
31.	シリアルペリフェラルインタフェース (SPI)	1184
31.1	概要	1184
31.2	レジスタの説明	1186
31.2.1	SPCR : SPI コントロールレジスタ	1186
31.2.2	SSLP : SPI スレーブ選択極性レジスタ	1188
31.2.3	SPPCR : SPI 端子コントロールレジスタ	1188
31.2.4	SPSR : SPI ステータスレジスタ	1189
31.2.5	SPDR/SPDR_HA/SPDR_BY : SPI データレジスタ	1193
31.2.6	SPSCR : SPI シーケンスコントロールレジスタ	1196
31.2.7	SPSSR : SPI シーケンスステータスレジスタ	1196
31.2.8	SPBR : SPI ビットレートレジスタ	1197
31.2.9	SPDCR : SPI データコントロールレジスタ	1198
31.2.10	SPCKD : SPI クロック遅延レジスタ	1200
31.2.11	SSLND : SPI スレーブ選択ネゲート遅延レジスタ	1200
31.2.12	SPND : SPI 次アクセス遅延レジスタ	1201
31.2.13	SPCR2 : SPI コントロールレジスタ 2	1201
31.2.14	SPCMDm : SPI コマンドレジスタ m (m = 0~7)	1202
31.2.15	SPDCR2 : SPI データコントロールレジスタ 2	1205
31.2.16	SPCR3 : SPI コントロールレジスタ 3	1206
31.3	動作説明	1207

31.3.1	SPI 動作の概要.....	1207
31.3.2	SPI 端子の制御.....	1208
31.3.3	SPI システム構成例	1209
31.3.4	データフォーマット	1214
31.3.5	転送フォーマット	1225
31.3.6	データ転送モード	1227
31.3.7	送信バッファエンプティ／受信バッファフル割り込み	1229
31.3.8	アイドル割り込み	1231
31.3.9	通信終了割り込み	1232
31.3.10	エラー検出	1238
31.3.11	SPI の初期化	1243
31.3.12	SPI 動作	1244
31.3.13	クロック同期式動作	1258
31.3.14	ループバックモード	1264
31.3.15	パリティビット機能の自己診断	1265
31.3.16	割り込み要因	1266
31.4	イベントリンクコントローラ (ELC) への出力	1267
31.4.1	受信バッファフルイベント出力	1267
31.4.2	送信バッファエンプティイベント出力	1268
31.4.3	モードフォルトエラー／アンダーランエラー／オーバーランエラー／パリティエラーの イベント出力	1268
31.4.4	SPI アイドルイベント出力	1268
31.4.5	通信終了イベント出力	1268
31.5	使用上の注意事項	1270
31.5.1	モジュールストップ機能の設定	1270
31.5.2	低消費電力機能に関する制約	1270
31.5.3	転送の開始に関する制約	1270
31.5.4	モードフォルトエラー／アンダーランエラー／オーバーランエラー／パリティエラーの イベント出力の制限事項	1270
31.5.5	SPSR.SPRF および SPSR.SPTEF フラグに関する制約	1270
32.	クワッドシリアルペリフェラルインタフェース (QSPI)	1271
32.1	概要	1271
32.2	レジスタの説明	1272
32.2.1	SFMSMD : 転送モードコントロールレジスタ	1272
32.2.2	SFMSSC : チップ選択コントロールレジスタ	1273
32.2.3	SFMSKC : クロックコントロールレジスタ	1274
32.2.4	SFMSST : ステータスレジスタ	1275
32.2.5	SFMCOM : 通信ポートレジスタ	1276
32.2.6	SFMCMD : 通信モードコントロールレジスタ	1277
32.2.7	SFMCST : 通信ステータスレジスタ	1277

32.2.8	SFMSIC : 命令コードレジスタ	1278
32.2.9	SFMSAC : アドレスモードコントロールレジスタ	1278
32.2.10	SFMSDC : ダミーサイクルコントロールレジスタ	1279
32.2.11	SFMSPC : SPI プロトコルコントロールレジスタ	1280
32.2.12	SFMPPMD : ポートコントロールレジスタ	1280
32.2.13	SFMCNT1 : 外部 QSPI アドレスレジスタ	1281
32.3	メモリマップ	1281
32.3.1	外部バス空間	1281
32.3.2	SPI 空間と SPI バスのアドレス幅	1282
32.4	SPI バス	1283
32.4.1	SPI プロトコル	1283
32.4.2	SPI モード	1286
32.5	SPI バスタイミング補正	1287
32.5.1	SPI バス基準サイクル	1287
32.5.2	QSPCLK 信号デューティ比	1288
32.5.3	QSSL 信号の最小 High レベル幅	1288
32.5.4	QSSL 信号セットアップ時間	1288
32.5.5	QSSL 信号ホールド時間	1289
32.5.6	シリアルデータ出力許可のホールド時間	1289
32.5.7	シリアルデータ出力のセットアップ時間	1290
32.5.8	シリアルデータ出力のホールド時間	1291
32.5.9	シリアルデータ受信レイテンシ	1291
32.6	シリアルフラッシュメモリアクセスに使用される SPI 命令セット	1292
32.6.1	自動生成される SPI 命令	1292
32.6.2	標準リード命令	1293
32.6.3	ファストリード命令	1294
32.6.4	ファストリード Dual 出力命令	1295
32.6.5	ファストリード Dual I/O 命令	1296
32.6.6	ファストリード Quad 出力命令	1297
32.6.7	ファストリード Quad I/O 命令	1298
32.6.8	4 バイトモード遷移命令	1299
32.6.9	4 バイトモード解除命令	1300
32.6.10	ライトイネーブル命令	1300
32.7	SPI バスサイクル配置	1301
32.7.1	個々の変換に基づくシリアルフラッシュメモリリード	1301
32.7.2	プリフェッチ機能を使用したシリアルフラッシュメモリリード	1301
32.7.3	プリフェッチの停止	1302
32.7.4	プリフェッチ先の直接指定	1302
32.7.5	プリフェッチ状態ポーリング	1302
32.7.6	SPI バスサイクル拡張機能	1303

32.8	XIP 制御.....	1303
32.8.1	XIP モードの設定	1304
32.8.2	XIP モードの解除	1305
32.9	QIO2 端子、QIO3 端子の状態	1306
32.10	直接通信モード	1307
32.10.1	直接通信	1307
32.10.2	直接通信モードの使用	1307
32.10.3	直接通信時の SPI バスサイクルの発生	1307
32.11	割り込み	1311
32.12	使用上の注意事項	1311
32.12.1	モジュールストップ機能の設定	1311
32.12.2	複数のコントロールレジスタの設定変更手順	1311
33.	巡回冗長検査 (CRC).....	1313
33.1	概要	1313
33.2	レジスタの説明	1314
33.2.1	CRCCR0 : CRC コントロールレジスタ 0	1314
33.2.2	CRCDIR/CRCDIR_BY : CRC データ入力レジスタ	1314
33.2.3	CRCDOR/CRCDOR_HA/CRCDOR_BY : CRC データ出力レジスタ	1315
33.3	動作説明	1315
33.3.1	基本動作	1315
33.4	使用上の注意事項	1318
33.4.1	モジュールストップ状態の設定	1318
33.4.2	送信時の注意事項	1318
34.	Renesas セキュア IP (RSIP-E31A)	1320
34.1	概要	1320
34.2	動作説明	1321
34.2.1	対称暗号	1321
34.2.2	非対称暗号	1322
34.2.3	ハッシュ生成部	1323
34.2.4	暗号／復号処理	1323
34.3	使用上の注意事項	1324
34.3.1	ソフトウェアスタンバイモード	1324
34.3.2	モジュールストップ機能の設定	1324
34.3.3	SPA/DPA 保護	1324
34.3.4	開放処理における制限事項	1324
35.	12 ビット A/D コンバータ (ADC12).....	1325
35.1	概要	1325
35.2	レジスタの説明	1328
35.2.1	ADDRn : A/D データレジスタ n (n = 0~6、17~25)	1328

35.2.2	ADDBLDR : A/D データ 2 重化レジスタ	1330
35.2.3	ADDBLDRn : A/D データ 2 重化レジスタ n (n = A, B)	1331
35.2.4	ADTSDR : A/D 温度センサデータレジスタ	1332
35.2.5	ADOCDR : A/D 内部基準電圧データレジスタ	1333
35.2.6	ADRD : A/D 自己診断データレジスタ	1334
35.2.7	ADCSR : A/D コントロールレジスタ	1335
35.2.8	ADANSA0 : A/D チャンネル選択レジスタ A0	1339
35.2.9	ADANSA1 : A/D チャンネル選択レジスタ A1	1340
35.2.10	ADANSB0 : A/D チャンネル選択レジスタ B0	1340
35.2.11	ADANSB1 : A/D チャンネル選択レジスタ B1	1341
35.2.12	ADADS0 : A/D 変換値加算／平均チャンネル選択レジスタ 0	1341
35.2.13	ADADS1 : A/D 変換値加算／平均チャンネル選択レジスタ 1	1342
35.2.14	ADADC : A/D 変換値加算／平均回数選択レジスタ	1343
35.2.15	ADCER : A/D コントロール拡張レジスタ	1344
35.2.16	ADSTRGR : A/D 変換開始トリガ選択レジスタ	1345
35.2.17	ADEXICR : A/D 変換拡張入力コントロールレジスタ	1347
35.2.18	ADSSTRn/ADSSTRL/ADSSTRT/ADSSTRO : A/D サンプリングステートレジスタ (n = 0 ～6)	1348
35.2.19	ADDISCR : A/D 断線検出コントロールレジスタ	1349
35.2.20	ADACSR : A/D 変換動作モード選択レジスタ	1349
35.2.21	ADGSPCR : A/D グループスキャン優先コントロールレジスタ	1350
35.2.22	ADCMPCR : A/D コンペア機能コントロールレジスタ	1351
35.2.23	ADCMPANSR0 : A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 0	1353
35.2.24	ADCMPANSR1 : A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 1	1353
35.2.25	ADCMPANSER : A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ	1354
35.2.26	ADCMPLR0 : A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0	1354
35.2.27	ADCMPLR1 : A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1	1355
35.2.28	ADCMPLER : A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ	1356
35.2.29	ADCMPDRn : A/D コンペア機能ウィンドウ A 下側／上側レベル設定レジスタ (n = 0, 1)	1357
35.2.30	ADWINnLB : A/D コンペア機能ウィンドウ B 下側／上側レベル設定レジスタ (n = L, U)	1358
35.2.31	ADCMPSR0 : A/D コンペア機能ウィンドウ A チャンネルステータスレジスタ 0	1359
35.2.32	ADCMPSR1 : A/D コンペア機能ウィンドウ A チャンネルステータスレジスタ 1	1360
35.2.33	ADCMPSER : A/D コンペア機能ウィンドウ A 拡張入力チャンネルステータスレジスタ ...	1361
35.2.34	ADCMPBNSR : A/D コンペア機能ウィンドウ B チャンネル選択レジスタ	1362
35.2.35	ADCMPBSR : A/D コンペア機能ウィンドウ B ステータスレジスタ	1363
35.2.36	ADWINMON : A/D コンペア機能ウィンドウ A/B ステータスモニタレジスタ	1364
35.2.37	ADHVREFCNT : A/D 高電位／低電位基準電圧コントロールレジスタ	1365
35.3	動作	1366
35.3.1	スキャンの動作説明	1366
35.3.2	シングルスキャンモード	1366

35.3.3	連続スキャンモード	1371
35.3.4	グループスキャンモード	1373
35.3.5	コンペア機能（ウィンドウ A、ウィンドウ B）	1381
35.3.6	アナログ入力のサンプリング時間とスキャン変換時間	1384
35.3.7	A/D データレジスタの自動クリア機能の使用例	1387
35.3.8	A/D 変換値加算／平均モード	1388
35.3.9	断線検出アシスト機能	1388
35.3.10	非同期トリガによる A/D 変換の開始	1390
35.3.11	周辺モジュールからの同期トリガによる A/D 変換の開始	1390
35.4	割り込み要因と DTC 転送要求	1390
35.4.1	割り込み要求	1390
35.5	イベントリンク機能	1392
35.5.1	ELC へのイベント出力動作	1392
35.5.2	ELC からのイベントによる ADC12 の動作	1392
35.6	基準電圧の選択	1392
35.7	高電位基準電圧に内部基準電圧を選択する A/D 変換手順	1392
35.8	使用上の注意	1393
35.8.1	レジスタ設定時の制限	1393
35.8.2	データレジスタの読み出しに関する制約	1393
35.8.3	A/D 変換停止に関する制約	1393
35.8.4	A/D 変換強制停止と再開時の動作タイミング	1395
35.8.5	スキャン終了割り込み処理の制約	1395
35.8.6	モジュールストップ機能の設定	1395
35.8.7	低消費電力状態への遷移に関する注意事項	1395
35.8.8	断線検出アシスト機能使用時の絶対精度誤差	1395
35.8.9	ADHSC ビット書き換え手順	1395
35.8.10	動作モードおよびステータスビットの制約	1396
35.8.11	ボード設計に関する注意事項	1396
35.8.12	ノイズ防止の制限事項	1396
35.8.13	ADC12 入力使用時のポート設定	1397
35.8.14	ソフトウェアスタンバイモード解除時の注意	1397
36.	温度センサ回路 (TSN)	1398
36.1	概要	1398
36.2	レジスタの説明	1398
36.2.1	TSCDR : 温度センサ校正データレジスタ	1398
36.2.2	TSCDRR : 温度センサ校正データレジスタ（室温）	1399
36.2.3	TSCDRL : 温度センサ校正データレジスタ（低温）	1399
36.3	温度センサ回路の使用方法	1399
36.3.1	使用前の準備	1399
36.3.2	温度センサ回路の使用手順	1400

37. データ演算回路 (DOC)	1401
37.1 概要	1401
37.2 レジスタの説明	1402
37.2.1 DOCR : DOC コントロールレジスタ	1402
37.2.2 DOSR: DOC フラグステータスレジスタ	1403
37.2.3 DOSCR : DOC フラグステータスクリアレジスタ	1403
37.2.4 DODIR : DOC データ入力レジスタ	1404
37.2.5 DODSR0 : DOC データ設定レジスタ 0	1404
37.2.6 DODSR1 : DOC データ設定レジスタ 1	1404
37.3 動作説明	1405
37.3.1 データ比較モード	1405
37.3.2 データ加算モード	1407
37.3.3 データ減算モード	1408
37.4 割り込み要因	1408
37.5 イベントリンク出力	1409
37.6 割り込み処理とイベントリンクの関係	1409
37.7 使用上の注意事項	1409
37.7.1 モジュールストップ機能の設定	1409
38. SRAM	1410
38.1 概要	1410
38.2 レジスタの説明	1410
38.2.1 SRAMSAR : SRAM セキュリティ属性レジスタ	1410
38.2.2 PARIODAD : SRAM パリティエラー検出後動作レジスタ	1411
38.2.3 SRAMPRCR : SRAM プロテクトレジスタ	1412
38.2.4 ECCMODE : ECC 動作モードコントロールレジスタ	1412
38.2.5 ECC2STS : ECC 2 ビットエラーステータスレジスタ	1413
38.2.6 ECC1STSEN : ECC 1 ビットエラー情報更新イネーブルレジスタ	1413
38.2.7 ECC1STS : ECC 1 ビットエラーステータスレジスタ	1414
38.2.8 ECCPRCR : ECC プロテクトレジスタ	1414
38.2.9 ECCPRCR2 : ECC プロテクトレジスタ 2	1415
38.2.10 ECCETST : ECC テストコントロールレジスタ	1415
38.2.11 ECCOAD : SRAM ECC エラー検出後動作レジスタ	1416
38.3 動作説明	1416
38.3.1 モジュールストップ機能	1416
38.3.2 ECC 誤り訂正機能	1417
38.3.3 ECC エラー割り込み機能	1417
38.3.4 ECC デコーダのテスト方法	1417
38.3.5 パリティ計算機能	1418
38.3.6 TrustZone フィルタ機能	1420
38.3.7 割り込み要因	1421

38.3.8	SRAM へのアクセスサイクル数	1422
39.	フラッシュメモリ	1423
39.1	概要	1423
39.2	メモリ構成	1425
39.3	アドレス空間	1428
39.4	レジスタの説明	1428
39.4.1	DFLCTL : データフラッシュコントロールレジスタ	1428
39.4.2	PFBER : プリフェッチバッファイネーブルレジスタ	1429
39.4.3	FSAR : フラッシュセキュリティ属性レジスタ	1429
39.4.4	UIDRn : ユニーク ID レジスタ n (n = 0~3)	1430
39.4.5	PNRn : 型名レジスタ n (n = 0~3)	1430
39.4.6	MCUVER : MCU バージョンレジスタ	1431
39.4.7	FASTAT : フラッシュアクセスステータスレジスタ	1431
39.4.8	FAEINT : フラッシュアクセスエラー割り込み許可レジスタ	1432
39.4.9	FRDYIE : フラッシュレディ割り込み許可レジスタ	1433
39.4.10	FSADDR : FACL コマンド開始アドレスレジスタ	1434
39.4.11	FEADDR : FACL コマンド終了アドレスレジスタ	1435
39.4.12	FMEPROT : フラッシュ P/E モードエントリ保護レジスタ	1435
39.4.13	FBPROT0 : フラッシュブロック保護レジスタ	1436
39.4.14	FBPROT1 : セキュア用フラッシュブロック保護レジスタ	1437
39.4.15	FSTATR : フラッシュステータスレジスタ	1438
39.4.16	FENTRYR : フラッシュ P/E モードエントリレジスタ	1442
39.4.17	FSUINITR : フラッシュシーケンサセットアップ初期化レジスタ	1443
39.4.18	FCMDR : FACL コマンドレジスタ	1444
39.4.19	FBCCNT : ブランクチェックコントロールレジスタ	1444
39.4.20	FBCSTAT : ブランクチェックステータスレジスタ	1445
39.4.21	FBCADDR : フラッシュブランクチェックアドレスレジスタ	1445
39.4.22	FSUASMON : フラッシュスタートアップ領域選択モニタレジスタ	1446
39.4.23	FPCKAR : フラッシュシーケンサ処理クロック通知レジスタ	1446
39.4.24	FSUACR : フラッシュスタートアップ領域コントロールレジスタ	1447
39.5	プリフェッチバッファ	1448
39.6	フラッシュメモリ関連の動作モード	1448
39.7	機能概要	1449
39.8	フラッシュシーケンサの動作モード	1450
39.9	FACL コマンド	1451
39.9.1	FACL コマンド一覧	1451
39.9.2	フラッシュシーケンサの状態と FACL コマンドの関係	1452
39.9.3	FACL コマンドの使用方法	1453
39.10	サスペンド動作	1467
39.11	プロテクション機能	1467

39.11.1	ソフトウェアプロテクション	1467
39.11.2	エラープロテクション	1472
39.11.3	スタートアッププログラムプロテクション	1474
39.11.4	デュアルバンク機能	1478
39.11.5	ブロックスワップ機能	1480
39.12	セキュリティ機能	1481
39.12.1	スタートアップ領域選択のセキュリティフラグ	1482
39.12.2	永久ブロック保護設定	1482
39.12.3	TrustZone のフラッシュメモリ保護	1483
39.13	ブートモード	1489
39.13.1	ブートモード (SCI インタフェース)	1490
39.13.2	ブートモード (SWD インタフェース)	1490
39.14	シリアルプログラマを使用した書き込み	1491
39.14.1	シリアルプログラミング環境	1491
39.15	セルフプログラミングでの書き換え	1492
39.15.1	概要	1492
39.15.2	バックグラウンドオペレーション	1493
39.16	フラッシュメモリの読み出し	1494
39.16.1	コードフラッシュメモリの読み出し	1494
39.16.2	データフラッシュメモリの読み出し	1494
39.16.3	アクセスサイクル	1494
39.17	使用上の注意事項	1495
40.	セグメント LCD コントローラ (SLCDC)	1497
40.1	概要	1497
40.2	レジスタの説明	1505
40.2.1	LCDM0 : LCD モードレジスタ 0	1505
40.2.2	LCDM1 : LCD モードレジスタ 1	1507
40.2.3	LCDC0 : LCD クロックコントロールレジスタ 0	1508
40.2.4	VLCD : LCD 昇圧レベルコントロールレジスタ	1509
40.2.5	LCD 表示データレジスタ	1512
40.3	LCD 表示データレジスタの選択	1515
40.3.1	A パターン領域データと B パターン領域データの表示	1516
40.3.2	点滅表示 (A パターン領域データと B パターン領域データの交互表示)	1516
40.4	LCD コントローラ / ドライバの設定	1517
40.5	動作停止手順	1521
40.6	LCD 駆動電圧 VL1、VL2、VL3、および VL4 の供給	1522
40.6.1	外部抵抗分割方式	1522
40.6.2	内部電圧昇圧方式	1524
40.6.3	容量分割方式	1525
40.7	共通信号とセグメント信号	1527

40.8	表示モード	1533
40.8.1	スタティック表示の例	1533
40.8.2	2 タイムスライス表示の例	1536
40.8.3	3 タイムスライス表示の例	1538
40.8.4	4 タイムスライス表示の例	1542
40.8.5	6 タイムスライス表示の例	1546
40.8.6	8 タイムスライス表示の例	1550
41.	内部電圧レギュレータ	1555
41.1	概要	1555
41.2	動作説明	1555
41.3	VRTC ドメイン	1555
42.	セキュリティ機能	1557
42.1	概要	1557
42.2	Arm TrustZone セキュリティ	1557
42.2.1	Arm TrustZone 技術	1557
42.2.2	メモリのセキュリティ属性	1557
42.2.3	周辺モジュールのセキュリティ属性	1559
42.2.4	フラッシュシーケンサのセキュリティ属性	1560
42.2.5	アドレス空間のセキュリティ属性	1560
42.2.6	TrustZone アクセスエラー	1560
42.3	デバイスライフサイクルの管理	1561
42.3.1	ライフサイクル状態の変更	1562
42.3.2	デバッグアクセスレベル	1563
42.3.3	シリアルプログラミング	1563
42.3.4	ライフサイクル変更例	1563
42.3.5	故障解析	1564
42.4	キーインジェクション	1564
42.5	セキュアファクトリプログラミング	1566
42.6	デュアルモードでのフィールドアップデート	1567
42.7	レジスタの説明	1568
42.7.1	PSARB : 周辺モジュールセキュリティ属性レジスタ B	1569
42.7.2	PSARC : 周辺モジュールセキュリティ属性レジスタ C	1570
42.7.3	PSARD : 周辺モジュールセキュリティ属性レジスタ D	1571
42.7.4	PSARE : 周辺モジュールセキュリティ属性レジスタ E	1572
42.7.5	MSSAR : モジュールストップセキュリティ属性レジスタ	1573
42.7.6	CFSAMONA : コードフラッシュセキュリティ属性モニタレジスタ A	1573
42.7.7	CFSAMONB : コードフラッシュセキュリティ属性モニタレジスタ B	1574
42.7.8	DFSAMON : データフラッシュセキュリティ属性モニタレジスタ	1574
42.7.9	SSAMONA : SRAM セキュリティ属性モニタレジスタ A	1574

42.7.10	SSAMONB : SRAM セキュリティ属性モニタレジスタ B.....	1575
42.7.11	DLMMON : デバイスライフサイクル管理状態モニタレジスタ	1575
42.7.12	TZFSAR : TrustZone フィルタセキュリティ属性レジスタ	1576
42.7.13	TZFOAD : 検出後の TrustZone フィルタ動作レジスタ	1576
42.7.14	TZFPT : TrustZone フィルタ保護レジスタ	1577
42.8	使用上の注意事項	1577
42.8.1	セキュリティ属性の設定に関する制限	1577
42.8.2	SAU 設定	1578
43.	電气的特性.....	1579
43.1	絶対最大定格	1579
43.2	DC 特性	1580
43.2.1	Tj/Ta の定義	1580
43.2.2	I/O V_{IH} , V_{IL}	1581
43.2.3	I/O I_{OH} , I_{OL}	1581
43.2.4	I/O V_{OH} , V_{OL} 、およびその他の特性	1585
43.2.5	動作電流とスタンバイ電流	1586
43.2.6	VCC 立ち上がり／立ち下がり勾配とリップル周波数	1591
43.2.7	VRTC 立ち上がり／立ち下がり勾配	1592
43.2.8	熱特性	1592
43.3	AC 特性	1594
43.3.1	周波数	1595
43.3.2	クロックタイミング	1596
43.3.3	リセットタイミング	1599
43.3.4	ウェイクアップ時間	1600
43.3.5	NMI/IRQ ノイズフィルタ	1603
43.3.6	I/O ポート、POEG、GPT、AGT、ADC12 のトリガタイミング	1604
43.3.7	CAC タイミング	1605
43.3.8	SCI タイミング	1606
43.3.9	SPI タイミング	1612
43.3.10	QSPI タイミング	1618
43.3.11	IIC タイミング	1619
43.3.12	UARTA タイミング	1622
43.3.13	CANFD タイミング	1622
43.4	ADC12 特性	1623
43.5	TSN 特性	1630
43.6	OSC 停止検出特性	1630
43.7	POR と LVD の特性	1631
43.8	VRTC POR 特性	1636
43.9	EXLVDVBAT 端子電圧検出特性	1637

43.10	VRTC 端子電圧検出特性	1639
43.11	EXLVD 端子電圧検出.....	1640
43.12	セグメント LCD コントローラ特性.....	1641
43.12.1	外部抵抗分割法	1641
43.12.2	内部電圧昇圧方式（VL1 リファレンス）	1642
43.12.3	内部電圧昇圧方式（VL2 リファレンス）	1643
43.12.4	容量分割方式（VCC リファレンス）	1645
43.12.5	容量分割方式（VL4 リファレンス）	1645
43.13	フラッシュメモリ特性.....	1646
43.13.1	コードフラッシュメモリ特性	1646
43.13.2	データフラッシュメモリ特性	1647
43.13.3	シリアルワイヤデバッグ (SWD).....	1649
付録 1.	各プロセスモードのポート状態.....	1651
付録 2.	外形寸法図.....	1652
付録 3.	I/O レジスタ	1654
3.1	周辺機能のベースアドレス	1654
3.2	アクセスサイクル.....	1655
付録 4.	ペリフェラル変数	1658

Renesas RA4C1 グループ ユーザーズマニュアル

RA4C1 グループは、TrustZone®を備えた Arm® Cortex®-M33 (CM33) コアに基づく低消費電力の 32 ビットマイクロコントローラ (MCU) であり、セキュリティを重視するアプリケーションの多くで必要とされる高度なセキュリティエンジンを備えながら、低電圧動作、低消費電力、および高性能の理想的なバランスを提供します。RA4C1 は、最大で 512 KB のコードフラッシュメモリ、8 KB のデータフラッシュメモリ、および 96 KB の SRAM を提供します。RA4C1 は、2 チャネルの I²C、CANFD、3 チャネルの SPI、Quad SPI、セグメント LCD コントローラ、独立電源を持つ RTC を含め、幅広い周辺機能を備えていて、64 ピンと 100 ピンの LQFP パッケージがあります。

特長

- Arm® Cortex®-M33 コア
 - Armv8-M アーキテクチャ (メイン拡張)
 - 最高動作周波数: 80 MHz
 - Arm メモリプロテクションユニット (Arm MPU)
 - 保護メモリシステムアーキテクチャ (PMSAv8)
 - セキュア MPU (MPU_S): 8 領域
 - 非セキュア MPU (MPU_NS): 8 領域
 - SysTick タイマ
 - 2 つの SysTick タイマを搭載: セキュアおよび非セキュアインスタンス
 - LOCO 駆動またはシステムクロック
 - CoreSight™ ETM-M33
- メモリ
 - 最大 512 KB のコードフラッシュメモリ
 - 8 KB のデータフラッシュメモリ (100,000 回のプログラム/イレース (P/E) サイクル)
 - 96 KB の SRAM
- 接続性
 - シリアルコミュニケーションインタフェース (SCI) × 6
 - 調歩同期式インタフェース
 - 8 ビットクロック同期式インタフェース
 - スマートカードインタフェース
 - 簡易 IIC
 - 簡易 SPI
 - 簡易 LIN (SCI1)
 - マンチェスタコーディング (SCI3, SCI4)
 - IrDA インタフェース (IrDA)
 - I²C バスインタフェース (IIC) × 2
 - シリアルインタフェース UARTA (UARTA) × 2
 - シリアルペリフェラルインタフェース (SPI) × 3
 - クワッドシリアルペリフェラルインタフェース (QSPI)
 - CAN フレキシブルデータレート (CANFD)
- アナログ
 - 12 ビット A/D コンバータ (ADC12)
 - 温度センサ (TSN)
- タイマ
 - 32 ビット汎用 PWM タイマ (GPT32) × 2
 - 16 ビット汎用 PWM タイマ (GPT16) × 4
 - 低消費電力非同期汎用タイマ (AGT) × 2
- セキュリティおよび暗号化
 - Renesas セキュア IP (RSIP-E31A)
 - 対称暗号方式: AES
 - 非対称暗号方式: ECC
 - ハッシュ値生成: SHA224、SHA256
 - 128 ビットのユニーク ID
 - Arm® TrustZone®
 - コードフラッシュ用領域: 最大 3 領域または 6 領域 (バンクモードによる)
 - データフラッシュ用領域: 最大 2 領域
 - SRAM 用領域: 最大 3 領域
 - 各ペリフェラルに対して個別のセキュアまたは非セキュアのセキュリティ属性
 - デバイスライフサイクルの管理
 - 端子機能
 - 最大 3 つのタンパー端子
 - セキュア端子マルチプレキシング
- システムおよび電源管理
 - 低消費電力モード
 - 独立電源リアルタイムクロック (RTC)
 - 独立電源 (VRTC) ドメインパワーオンリセット (VRTC_POR) 回路
 - イベントリンクコントローラ (ELC)
 - データトランスファコントローラ (DTC)
 - DMA コントローラ (DMAC) × 8
 - パワーオンリセット
 - 電圧設定が可能な低電圧検出 (LVD)
 - EXLVDVBAT 端子用低電圧検出
 - VRTC 端子用低電圧検出
 - EXLVD 端子用低電圧検出
 - ウォッチドッグタイマ (WDT)
 - 独立ウォッチドッグタイマ (IWDT)
- ヒューマンマシンインタフェース (HMI)
 - セグメント LCD コントローラ (SLCDC)
- マルチクロックソース
 - メインクロック発振器 (MOSC) (1~20 MHz)
 - サブクロック発振器 (SOSC) (32.768 kHz)
 - 高速オンチップオシレータ (HOCO) (48/64/80 MHz)
 - 中速オンチップオシレータ (MOCO) (8 MHz)
 - 低速オンチップオシレータ (LOCO) (32.768 kHz)
 - IWDT 専用オンチップオシレータ (15 kHz)
 - HOCO/MOCO/LOCO に対するクロックトリム機能
 - PLL
 - PLL_RTC
 - クロックアウトのサポート
- 汎用入出力ポート
 - 5 V トレランス、オープンドレイン、入力プルアップ
- 動作電圧
 - VCC: 1.6~3.6 V
- 動作温度およびパッケージ
 - Ta = -40~+105 °C
 - 100 ピン LQFP (14 mm × 14 mm、0.5 mm ピッチ)
 - 64 ピン LQFP (10 mm × 10 mm、0.5 mm ピッチ)

1. 概要

本 MCU は、さまざまなシリーズのソフトウェアおよび端子と互換性のある Arm[®]ベースの 32 ビットコアで構成されています。同じ一連のルネサス周辺機能を共有することで、設計の拡張性やプラットフォームベースの製品開発の効率が高まります。

本シリーズの MCU は最高 80 MHz で動作する高性能な Arm Cortex[®]-M33 コアを内蔵しており、以下の特長があります。

- 最大 512 KB のコードフラッシュメモリ
- 96 KB の SRAM
- クワッドシリアルペリフェラルインタフェース (QSPI)
- アナログ周辺機能
- セキュリティ&セーフティ機能

1.1 機能の概要

表 1.1 Arm コア

機能	機能の説明
Arm Cortex-M33 コア	● 最高動作周波数：80 MHz ● Arm Cortex-M33 コア： – Armv8-M アーキテクチャ（セキュリティ拡張機能付き） – リビジョン：r0p4-00rel1 ● Arm メモリプロテクションユニット (Arm MPU) – 保護メモリシステムアーキテクチャ (PMSAv8) – セキュア MPU (MPU_S): 8 領域 – 非セキュア MPU (MPU_NS): 8 領域 ● SysTick タイマ – 2 つの SysTick タイマを搭載：セキュアおよび非セキュアインスタンス – SysTick タイマクロック (SYSTICCLK) またはシステムクロック (ICLK) による駆動 ● CoreSight[™] ETM-M33

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	最大 512 KB のコードフラッシュメモリ。 「 39. フラッシュメモリ 」を参照してください。
データフラッシュメモリ	8 KB のデータフラッシュメモリ。 「 39. フラッシュメモリ 」を参照してください。
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。 「 6. オプション設定メモリ 」を参照してください。
SRAM	パリティビットまたは誤り訂正コード (ECC) を備えた高速 SRAM を内蔵しています。 「 38. SRAM 」を参照してください。

表 1.3 システム (1/2)

機能	機能の説明
動作モード	2 種類の動作モード： ● シングルチップモード ● SCI/SWD ブートモード 「 3. 動作モード 」を参照してください。
リセット	本 MCU は、13 種類のリセットをサポートしています。 「 5. リセット 」を参照してください。

表 1.3 システム (2/2)

機能	機能の説明
低電圧検出回路 (LVD)	低電圧検出 (LVD) モジュールは、以下の端子への入力電圧レベルを監視します。 • VCC • EXLVDVBAT • VRTC • EXLVD 検出レベルはレジスタ設定で選択できます。LVD モジュールは 6 つの独立した電圧検出回路から構成されています。 • LVD0 • LVD1 • LVD2 • LVD_EXLVDVBAT • LVD_VRTC • LVD_EXLVD LVD0、LVD1、および LVD2 は VCC 端子への入力電圧レベルを測定します。LVD_EXLVDVBAT は EXLVDVBAT 端子への入力電圧レベルを測定します。LVD_VRTC は VRTC 端子への入力電圧レベルを測定します。LVD2 と LVD_EXLVD は EXLVD 端子への入力電圧レベルを測定します。LVD のレジスタにより、アプリケーションを使用してさまざまな電圧しきい値で、VCC 端子、EXLVDVBAT 端子、VRTC 端子、EXLVD 端子への入力電圧の変動を検出できます。 「7. 低電圧検出回路 (LVD)」 を参照してください。
クロック	• メインクロック発振器 (MOSC) • サブクロック発振器 (SOSC) • 高速オンチップオシレータ (HOCO) • 中速オンチップオシレータ (MOCO) • 低速オンチップオシレータ (LOCO) • IWDG 専用オンチップオシレータ • PLL • PLL_RTC • クロックアウトのサポート 「8. クロック発生回路」 を参照してください。
クロック周波数精度測定回路 (CAC)	クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック（測定対象クロック）に対して、測定の基準となるクロック（測定基準クロック）で生成した時間内のクロックのパルスを数え、そのパルス数が許容範囲内にあるか否かで精度を判定します。測定終了時、または測定基準クロックで生成した時間内のパルスの数が許容範囲内でないとき、割り込み要求が発生します。 「9. クロック周波数精度測定回路 (CAC)」 を参照してください。
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ (NVIC)、DMA コントローラ (DMAC)、およびデータトランスファコントローラ (DTC) モジュールにリンクされるイベント信号を制御します。ICU はノンマスカブル割り込みも制御します。 「12. 割り込みコントローラユニット (ICU)」 を参照してください。
低消費電力モード	クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな方法で消費電力を低減できます。 「10. 低消費電力モード」 を参照してください。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。 「11. レジスタライトプロテクション」 を参照してください。
メモリプロテクションユニット (MPU)	本 MCU は 1 つのメモリプロテクションユニット (MPU) を備えています。 「14. メモリプロテクションユニット (MPU)」 を参照してください。

表 1.4 イベントリンク

機能	機能の説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、さまざまな周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。 「17. イベントリンクコントローラ (ELC)」 を参照してください。

表 1.5 ダイレクトメモリアクセス (1/2)

機能	機能の説明
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTC) は、割り込み要求によって起動するとデータ転送を行います。 「16. データトランスファコントローラ (DTC)」 を参照してください。

表 1.5 ダイレクトメモリアccess (2/2)

機能	機能の説明
DMA コントローラ (DMAC)	本 MCU は、8 チャンネルの DMA コントローラ (DMAC) を内蔵しており、CPU を介せずにデータ転送が可能です。DMA 転送要求が発生すると、DMAC は転送元アドレスに格納されているデータを転送先アドレスへ転送します。 「15. DMA コントローラ (DMAC)」を参照してください。

表 1.6 外部バスインタフェース

機能	機能の説明
外部バス	QSPI 領域 (EQBIU): QSPI (外部デバイスインタフェース) を接続

表 1.7 タイマ

機能	機能の説明
汎用 PWM タイマ (GPT)	汎用 PWM タイマ (GPT) は、GPT32 × 2 チャンネルの 32 ビットタイマおよび GPT16 × 4 チャンネルの 16 ビットタイマにより構成されます。PWM 波形はアップカウンタ、ダウンカウンタ、またはその両方を制御することにより生成が可能です。さらに、ブラシレス DC モーターを制御するために、PWM 波形の生成が可能です。GPT は、汎用タイマとしても使用できます。 「20. 汎用 PWM タイマ (GPT)」を参照してください。
GPT 用のポートアウトプットイネーブル (POEG)	ポートアウトプットイネーブル (POEG) は、汎用 PWM タイマ (GPT) の出力端子を出力禁止状態にすることができます。 「19. GPT 用のポートアウトプットイネーブル (POEG)」を参照してください。
低消費電力非同期汎用タイマ (AGT)	低消費電力非同期汎用タイマ (AGT) は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウントに利用可能な 32 ビットのタイマです。このタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGT レジスタでアクセス可能です。 「21. 低消費電力非同期汎用タイマ (AGTW)」を参照してください。
リアルタイムクロック (RTC)	リアルタイムクロック (RTC) は、通常動作モードと低消費電力クロックモードの 2 つの動作モードを備えています。それぞれの動作モードにおいて、RTC にはカレンダーカウントモードとバイナリカウントモードの 2 種類のカウントモードがあり、レジスタの設定を切り替えることにより使用します。カレンダーカウントモードでは、RTC は 2000 年から 2099 年の 100 年間のカレンダーを保持し、うるう年の日付を自動補正します。バイナリカウントモードでは、RTC は秒をカウントし、その情報をシリアル値として保持します。バイナリカウントモードは、西暦以外のカレンダーに使用可能です。 「22. リアルタイムクロック (RTC)」を参照してください。
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走すると WDT をリフレッシュできなくなるため、カウンタがアンダーフローした際に MCU をリセットするのに使用できます。さらに、WDT はノンマスカブル割り込みまたはアンダーフロー割り込みを発生させるのに使用できます。 「23. ウォッチドッグタイマ (WDT)」を参照してください。
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) は 14 ビットのダウンカウンタで、カウンタのアンダーフローを防止するために定期的に点検する必要があります。IWDT には、MCU をリセットする機能やノンマスカブル割り込みまたはアンダーフロー割り込みを発生させる機能があります。このタイマは独立した専用クロックソースで動作するため、システム暴走時にフェイル-セーフメカニズムとして、MCU を既知の状態に復帰させる際に特に有用です。IWDT は、レジスタのリセット、アンダーフロー、リフレッシュエラー、またはカウント値のリフレッシュにより自動的にトリガできます。 「24. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

表 1.8 通信インタフェース

機能	機能の説明
シリアルコミュニケーションインタフェース (SCI)	シリアルコミュニケーションインタフェース (SCI) × 6 チャンネルには、調歩同期式および同期式のシリアルインタフェースがあります。 ● 調歩同期式インタフェース (UART および調歩同期式通信インタフェースアダプタ (ACIA)) ● 8 ビットクロック同期式インタフェース ● 簡易 IIC (マスタのみ) ● 簡易 SPI ● スマートカードインタフェース ● マンチエスタインタフェース ● 簡易 LIN スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。SCI_n (n = 0, 3~5, 9) は FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データ転送速度の個別設定が可能です。 「25. シリアルコミュニケーションインタフェース (SCI)」を参照してください。
IrDA インタフェース	IrDA インタフェースは、SCI5 と連携して IrDA (Infrared Data Association) 規格バージョン 1.0 に基づく IrDA 通信波形の送受信を行います。 「26. IrDA インタフェース (IrDA)」を参照してください。
I ² C バスインタフェース (IIC)	I²C バスインタフェース (IIC) には 2 つのチャンネルがあります。IIC モジュールは、NXP 社の I²C (Inter-Integrated Circuit) バスインタフェース方式に準拠しており、そのサブセット機能を備えています。 「27. I²C バスインタフェース (IIC)」を参照してください。
シリアルインタフェース UARTA (UARTA)	シリアルインタフェース UARTA (UARTA) には 2 つのチャンネルがあります。UARTA は下記のモードをサポートします。 ● 動作停止モード ● UART モード 「28. シリアルインタフェース UARTA (UARTA)」を参照してください。
シリアルペリフェラルインタフェース (SPI)	シリアルペリフェラルインタフェース (SPI) には 3 つのチャンネルがあります。SPI によって、複数のプロセッサおよび周辺デバイスとの高速な全二重同期式シリアル通信が可能です。 「31. シリアルペリフェラルインタフェース (SPI)」を参照してください。
Controller Area Network with Flexible Data-Rate Module (CAN-FD)	CAN with Flexible Data-Rate (CANFD) モジュールは、クラシカル CAN フレームと ISO 11898-1 規格に準拠する CANFD フレームの両方を取り扱うことができます。このモジュールは 4 個の送信バッファと 16 個の受信バッファをサポートしています。 「29. CAN フレキシブルデータレート (CANFD)」を参照してください。
クワッドシリアルペリフェラルインタフェース (QSPI)	クワッドシリアルペリフェラルインタフェース (QSPI) は、SPI 互換インタフェースを持つシリアル ROM (シリアルフラッシュメモリ、シリアル EEPROM、シリアル FeRAM などの不揮発性メモリ) に接続するためのメモリコントローラです。 「32. クワッドシリアルペリフェラルインタフェース (QSPI)」を参照してください。

表 1.9 アナログ

機能	機能の説明
12 ビット A/D コンバータ (ADC12)	逐次比較方式の 12 ビット A/D コンバータ (ADC12) を内蔵しています。アナログ入力チャンネルは最大で 16 個選択可能です。変換には温度センサ出力および内部基準電圧を選択できます。 「35. 12 ビット A/D コンバータ (ADC12)」を参照してください。
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を測定し、監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどニアの関係にあります。出力電圧は ADC12 で変換されてから、末端の応用機器で使用できます。 「36. 温度センサ回路 (TSN)」を参照してください。

表 1.10 ヒューマンマシンインタフェース

機能	機能の説明
セグメント LCD コントローラ (SLCDC)	SLCDC には次の機能があります。 ● 内部電圧昇圧方式、容量分割方式、および外部抵抗分割方式を切り替え可能 ● 内部電圧昇圧方式で VL1 または VL2 基準モードを選択可能 ● 容量分割方式で VCC または VL4 基準モードを選択可能 ● セグメント信号出力：48 (44) ● 共通信号出力：4 (8) ● 波形 A または波形 B を選択可能 ● LCD を点滅させることが可能 注. 括弧内の数値は、8 com 使用時の信号出力数です。 「40. セグメント LCD コントローラ (SLCDC)」を参照してください。

表 1.11 データ処理

機能	機能の説明
巡回冗長検査 (CRC) 演算器	巡回冗長検査 (CRC: Cyclic Redundancy Check) は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。さらに、さまざまな CRC 生成多項式を使用できます。 「33. 巡回冗長検査 (CRC)」を参照してください。
データ演算回路 (DOC)	データ演算回路 (DOC) は、32 ビットのデータを比較、加算、および減算します。選択した条件が適用される場合、32 ビットのデータが比較され、割り込みを生成可能です。 「37. データ演算回路 (DOC)」を参照してください。

表 1.12 セキュリティ

機能	機能の説明
セキュリティ機能	● ARMv8-M TrustZone セキュリティ ● デバイスライフサイクル管理 ● デバッグアクセスレベル ● キーインジェクション ● セキュア端子マルチプレキシング
Renesas セキュア IP (RSIP-E31A)	● 対称暗号方式：AES ● 非対称暗号方式：ECC ● ハッシュ値生成：SHA-224、SHA-256、SHA-512/224、SHA-512/256、SHA-384、SHA-512 ● 真性乱数生成器 ● 128 ビットのユニーク ID 「34. Renesas セキュア IP (RSIP-E31A)」を参照してください。

表 1.13 I/O ポート

機能	機能の説明
プログラマブル I/O ポート	● 100 ピン LQFP 用 I/O ポート – 入出力端子：80 – 入力端子：3 – プルアップ抵抗：80 – N チャネルオープンドレイン出力：73 – 5 V トレランス：4 ● 64 ピン LQFP 用 I/O ポート – 入出力端子：46 – 入力端子：3 – プルアップ抵抗：46 – N チャネルオープンドレイン出力：39 – 5 V トレランス：4

1.2 ブロック図

図 1.1 に、本 MCU のスーパーセットのブロック図を示します。グループ内の個々のデバイスは、その機能のサブセットを持つ場合があります。

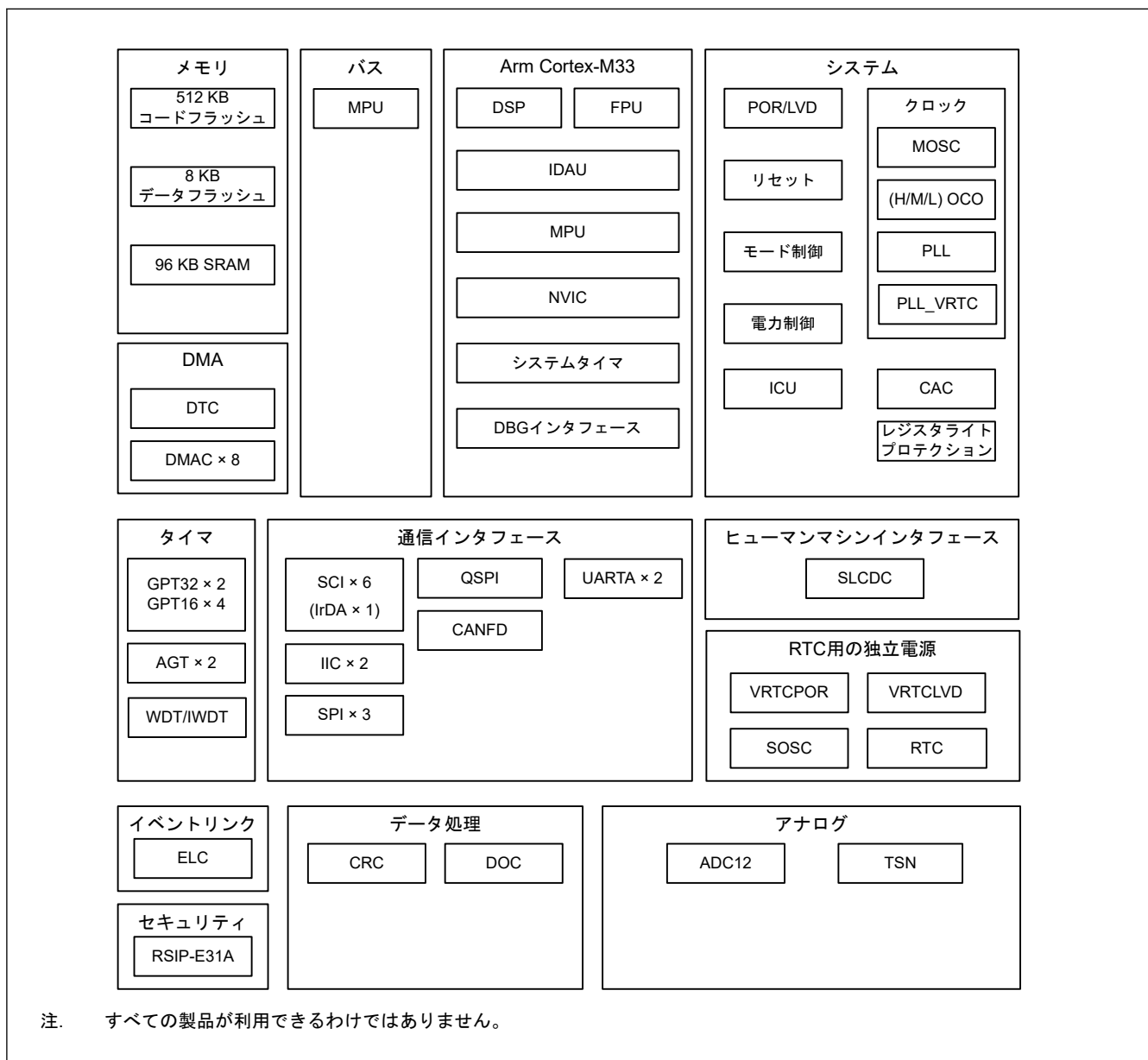
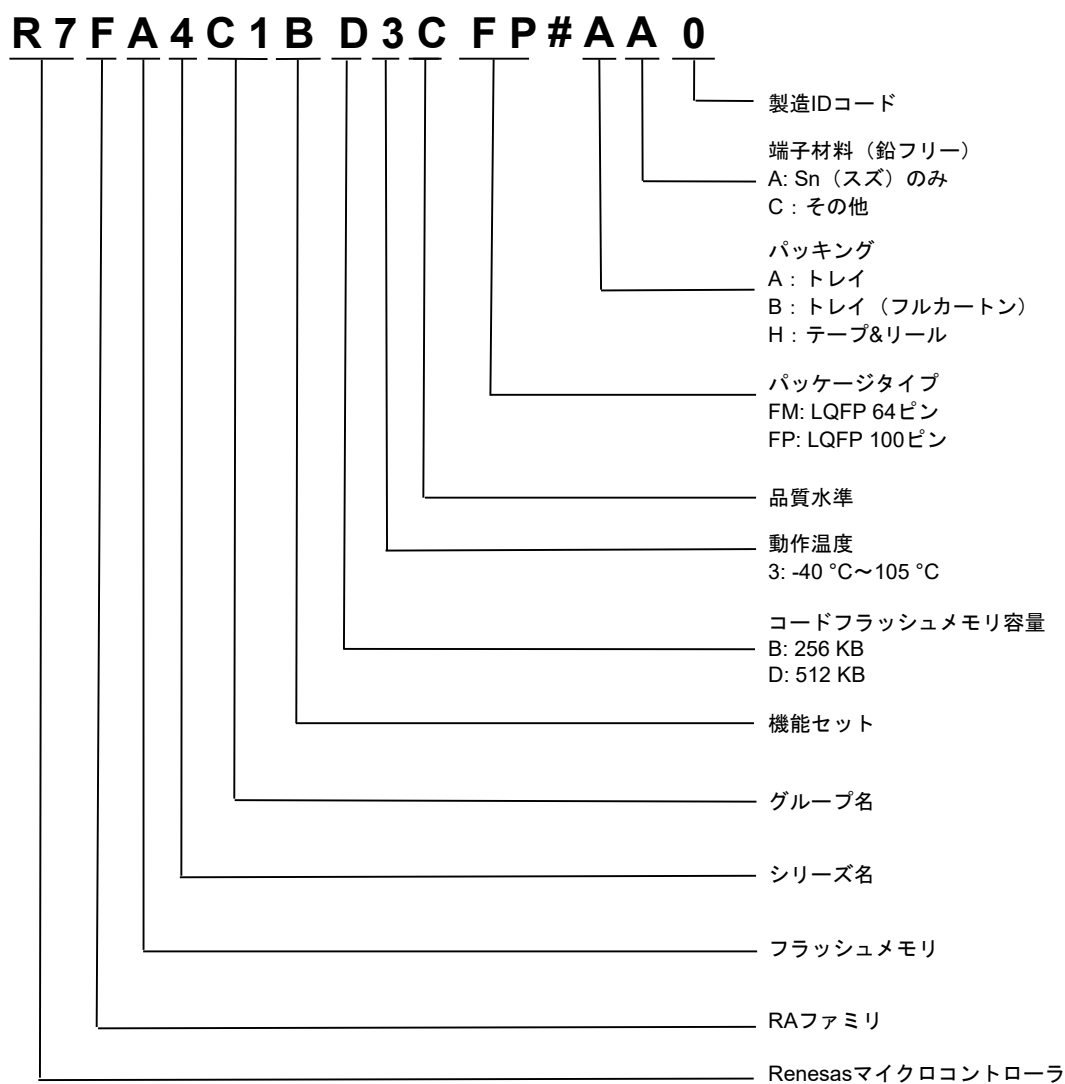


図 1.1 ブロック図

1.3 型名

図 1.2 に、メモリ容量およびパッケージタイプを含む製品の型名情報を示します。表 1.14 に、製品一覧表を示します。



注. #の後の有効な記号については、Renesas ウェブサイトの各製品のオーダー画面を確認してください。

図 1.2 型名の読み方

表 1.14 製品一覧

製品型名	パッケージコード	コードフラッシュ	データフラッシュ	SRAM	動作温度
R7FA4C1BD3CFP	PLQP0100KB-B	512 KB	8 KB	96 KB	-40～+105 °C
R7FA4C1BD3CFM	PLQP0064KB-C				
R7FA4C1BB3CFP	PLQP0100KB-B	256 KB	8 KB	96 KB	-40～+105 °C
R7FA4C1BB3CFM	PLQP0064KB-C				

1.4 機能の比較

表 1.15 機能の比較

型名		R7FA4C1BD3CFP R7FA4C1BB3CFP	R7FA4C1BD3CFM R7FA4C1BB3CFM
端子総数		100	64
パッケージ		LQFP	LQFP
コードフラッシュメモリ		512 KB 256 KB	
データフラッシュメモリ		8 KB	
SRAM		96 KB	
	パリティ	64 KB	
	ECC	32 KB	
DMA	DTC	あり	
	DMAC	8	
システム	CPU クロック	最高 80 MHz	
	CPU クロックソース	MOSC, SOSC, HOCO, MOCO, LOCO, PLL	
	CAC	あり	
	WDT/IWDT	あり	
通信	SCI(注1)	6	
	IIC	2	
	UARTA	2	
	SPI	3	
	CANFD	1	
	QSPI	あり	
タイマ	GPT32(注1)	2	
	GPT16(注1)	4	
	AGT(注1)	2	
	RTC	あり	
アナログ	ADC12	ユニット 0: 16	ユニット 0: 12
	TSN	あり	
HMI	SLCDC	48 seg × 4 com 44 seg × 8 com	20 seg × 4 com 16 seg × 8 com
データ処理	CRC	あり	
	DOC	あり	
イベント制御	ELC	あり	
セキュリティ		RSIP-E31A、TrustZone、ライフサイクル管理	
I/O ポート	入出力端子	80	46
	入力端子	3	3
	プルアップ抵抗	80	46
	N チャネルオープンドレイン出力	73	39
	5 V トレランス	4	4

注 1. 使用できる端子はピン数によります。詳細は、「1.7. 端子一覧」を参照してください。

1.5 端子機能

表 1.16 端子機能 (1/3)

機能	端子名	入出力	説明
電源	VCC	入力	電源端子。システムの電源に接続してください。この端子は 0.1 μ F のコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。
	VCL/VCL0	入出力	この端子は、内部電源を安定化するための平滑コンデンサを介して VSS 端子に接続してください。コンデンサは端子近くに配置してください。
	VSS	入力	グランド端子。システムの電源 (0 V) に接続してください。
	VRTC	入力	サブクロック発振器 (XCIN, XCOU) と RTC (RTCIC0) 用の独立電源
電圧検出器	EXLVD	入力	外部端子用低電圧検出器
	EXLVDVBAT	入力	バッテリーバックアップ用低電圧検出器
クロック	XTAL	出力	水晶振動子用の接続端子。EXTAL 端子を通じて外部クロック信号の入力が可能です。
	EXTAL	入力	
	XCIN	入力	サブクロック発振器用の入出力端子。XCOU と XCIN の間には、水晶振動子を接続してください。
	XCOU	出力	
	CLKOUT	出力	クロック出力端子
動作モード制御	MD	入力	動作モード設定用の端子。この端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
システム制御	RES	入力	リセット信号入力端子。この端子が Low になると、MCU はリセット状態となります。
CAC	CACREF	入力	測定基準クロックの入力端子
オンチップエミュレータ	SWDIO	入出力	シリアルワイヤデバッグデータの入出力端子
	SWCLK	入力	シリアルワイヤクロック端子
割り込み	NMI	入力	ノンマスクابل割り込み要求端子
	IRQn	入力	マスクابل割り込み要求端子
GPT	GTETRGA, GTETRGB, GTETRG, GTETRGD	入力	外部トリガ入力端子
	GTIOcNA, GTIOcNB	入出力	インプットキャプチャ、アウトプットコンペア、または PWM 出力端子
	GTIU	入力	ホールセンサ入力端子 U
	GTIV	入力	ホールセンサ入力端子 V
	GTIW	入力	ホールセンサ入力端子 W
	GTOUUP	出力	BLDC モーター制御用 3 相 PWM 出力 (正相 U 相)
	GTOULO	出力	BLDC モーター制御用 3 相 PWM 出力 (逆相 U 相)
	GTOVUP	出力	BLDC モーター制御用 3 相 PWM 出力 (正相 V 相)
	GTOVLO	出力	BLDC モーター制御用 3 相 PWM 出力 (逆相 V 相)
	GTOWUP	出力	BLDC モーター制御用 3 相 PWM 出力 (正相 W 相)
	GTOWLO	出力	BLDC モーター制御用 3 相 PWM 出力 (逆相 W 相)
AGT	AGTEEn	入力	外部イベント入力カインール信号
	AGTIOn	入出力	外部イベント入力およびパルス出力端子
	AGTOAn	出力	パルス出力端子
	AGTOAn	出力	アウトプットコンペアマッチ A 出力端子
	AGTOBn	出力	アウトプットコンペアマッチ B 出力端子

表 1.16 端子機能 (2/3)

機能	端子名	入出力	説明
RTC	RTCOUT	出力	1 Hz または 64 Hz のクロック出力端子
	RTCIC0	入力	時間キャプチャイベント入力端子
SCI	SCKn	入出力	クロック用の入出力端子（クロック同期式モード）
	RXDn	入力	受信データ用の入力端子（調歩同期式モード／クロック同期式モード）
	TXDn	出力	送信データ用の出力端子（調歩同期式モード／クロック同期式モード）
	CTS _n _RTS _n	入出力	送受信の開始制御用の入出力端子（調歩同期式モード／クロック同期式モード）、アクティブ Low
	CTS _n	入力	送信の開始用の入力端子
	SCL _n	入出力	IIC クロック用の入出力端子（簡易 IIC モード）
	SDA _n	入出力	IIC データ用の入出力端子（簡易 IIC モード）
	SCK _n	入出力	クロック用の入出力端子（簡易 SPI モード）
	MISO _n	入出力	データのスレーブ送信用の入出力端子（簡易 SPI モード）
	MOSI _n	入出力	データのマスタ送信用の入出力端子（簡易 SPI モード）
	RXD _{Xn}	入力	受信データ入力端子（簡易 LIN モード）
	TXD _{Xn}	出力	送信データ出力端子（簡易 LIN モード）
	SIO _{Xn}	入出力	送受信データ入出力端子（簡易 LIN モード）
	SS _n	入力	チップセレクト入力端子（簡易 SPI モード）、アクティブ Low
IIC	SCL _n	入出力	クロック用の入出力端子
	SDA _n	入出力	データ用の入出力端子
UARTA	RxDAn	入力	シリアルデータ入力信号
	TxDAn	出力	シリアルデータ出力信号
	CLKAn	出力	シリアルクロック出力信号
SPI	RSPCKA, RSPCKB, RSPCKC	入出力	クロック入出力端子
	MOSIA, MOSIB, MOSIC	入出力	マスタからの出力データ用の入出力端子
	MISOA, MISOB, MISOC	入出力	スレーブからの出力データ用の入出力端子
	SSLA0, SSLB0, SSLC0	入出力	スレーブ選択用の入出力端子
	SSLA1~SSLA3, SSLB1~SSLB3, SSLC1~SSLC3	出力	スレーブ選択用の出力端子
CANFD	CRX _n	入力	受信データ
	CTX _n	出力	送信データ
QSPI	QSPCLK	出力	QSPI クロック出力端子
	QSSL	出力	QSPI スレーブ出力端子
	QIO0~QIO3	入出力	Data0~Data3

表 1.16 端子機能 (3/3)

機能	端子名	入出力	説明
アナログ電源	AVCC0	入力	アナログ電圧源端子。それぞれのモジュールのアナログ電源端子として使用されます。この端子には VCC 端子と同じ電圧を供給してください。
	AVSS0	入力	アナロググランド端子。それぞれのモジュールのアナロググランド端子として使用されます。この端子には VSS 端子と同じ電圧を供給してください。
	VREFH0	入力	ADC12 用のアナログ基準電圧源端子。ADC12 を使用しない場合は AVCC0 に接続してください。
	VREFL0	入力	ADC12 用のアナログ基準グランド端子。ADC12 を使用しない場合は AVSS0 に接続してください。
ADC12	AN0n	入力	A/D コンバータで処理されるアナログ信号用の入力端子
	ADTRG0	入力	A/D 変換を開始する外部トリガ信号用の入力端子、アクティブ Low
SLCDC	VL1, VL2, VL3, VL4	入出力	LCD 駆動用電圧端子
	CAPH, CAPL	入出力	LCD コントローラ／ドライバ用のキャパシタ接続
	COM0～COM7	出力	LCD コントローラ／ドライバ用の共通信号出力端子
	SEG0～SEG47	出力	LCD コントローラ／ドライバ用のセグメント信号出力端子
I/O ポート	Pmn	入出力	汎用入出力端子 (m : ポート番号、n : ピン番号)
	P200	入力	汎用入力端子

1.6 ピン配置図

以下にピン配置図（上面図）を示します。

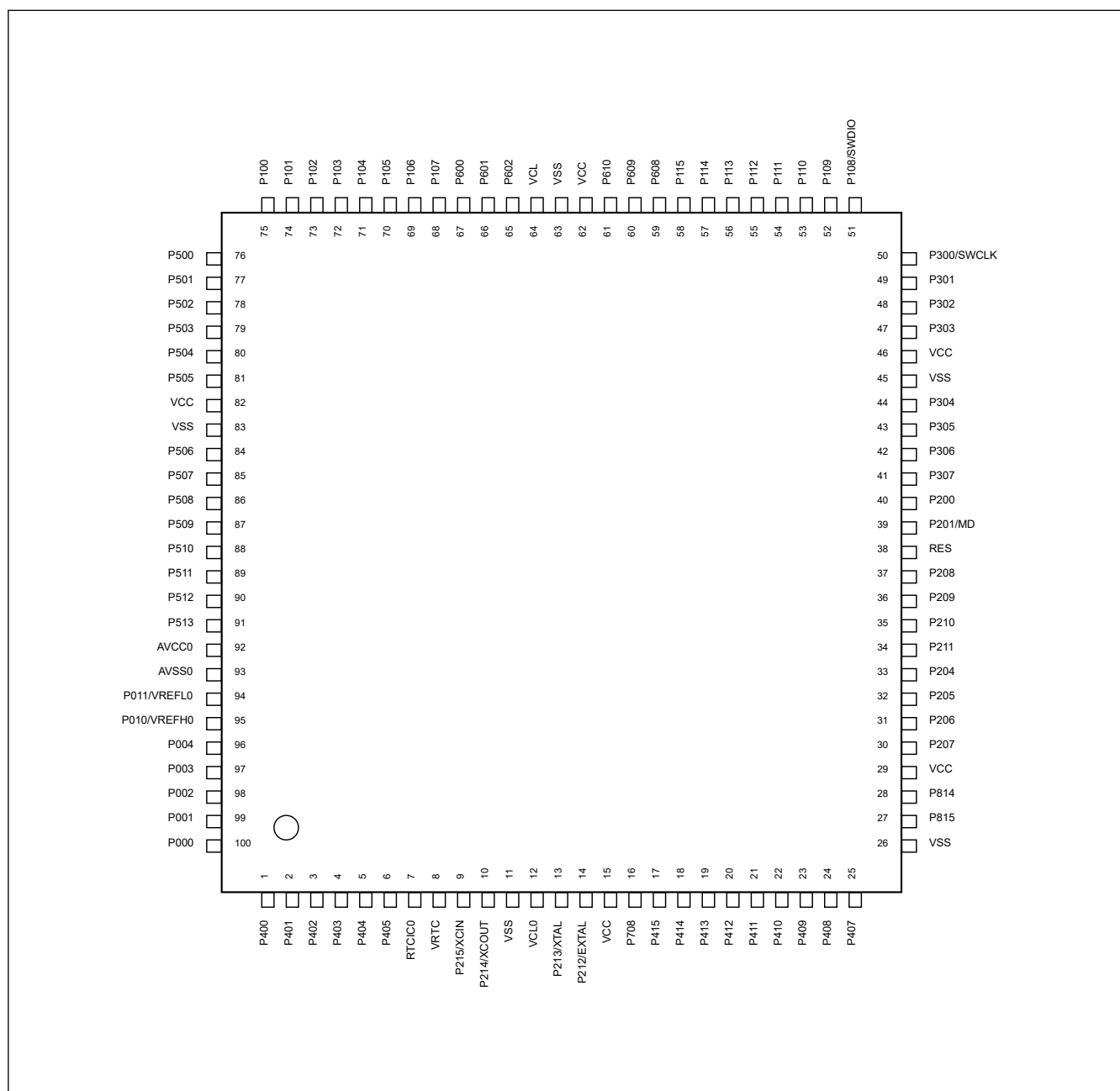


図 1.3 100 ピン LQFP のピン配置

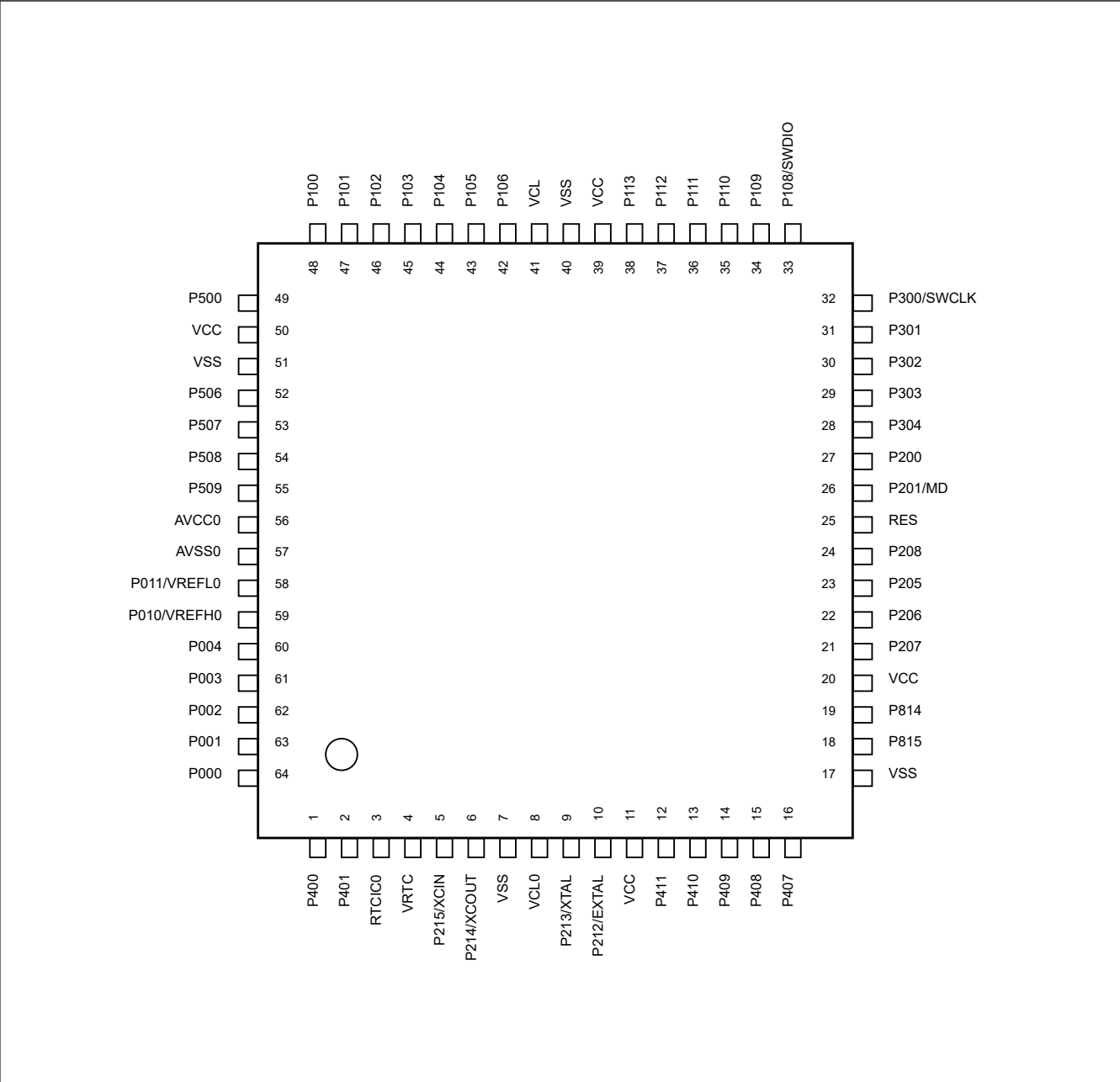


図 1.4 64 ピン LQFP のピン配置

1.7 端子一覧

表 1.17 端子一覧 (1/4)

LQFP100	LQFP64	電源、システム、クロック、デバッグ、CAC	I/O ポート	外部割り込み	SCI/IIC/CANFD/SPI/QSPI/UARTA	GPT/AGT/RTC	ADC12	SLCDC
1	1	—	P400	IRQ0	TXD1/SDA1/ MOSI1/TXDX1/ SIOX1/SCL1_A	GTETRGB/ GTIOC2A/AGTIO1	—	SEG4
2	2	—	P401	IRQ5	RXD1/SCL1/ MISO1/RXDX1/ SDA1_A/CRX0	GTETRGA/ GTIOC2B	—	SEG5
3	—	CACREF	P402	IRQ4	CTS_RTS1/SS1/ CTX0	GTETRGC/ AGTIO0/AGTIO1	—	SEG6
4	—	—	P403	IRQ14	SCK1	AGTIO0/AGTIO1	—	SEG7
5	—	—	P404	IRQ15	TXD5/SDA5/ MOSI5	GTIOC1B/ AGTIO0/AGTIO1	—	SEG23
6	—	—	P405	—	RXD5/SCL5/ MISO5	GTIOC1A	—	SEG24
7	3	RTCIC0	—	—	—	—	—	—
8	4	VRTC	—	—	—	—	—	—
9	5	XCIN	P215	—	—	—	—	—
10	6	XCOUT	P214	—	—	—	—	—
11	7	VSS	—	—	—	—	—	—
12	8	VCLO	—	—	—	—	—	—
13	9	XTAL	P213	IRQ2	TXD0/SDA0/ MOSI0	GTETRGC/ GTIOC0A	—	—
14	10	EXTAL	P212	IRQ3	RXD0/SCL0/ MISO0	GTETRGD/ GTIOC0B/ AGTEE1	—	—
15	11	VCC	—	—	—	—	—	—
16	—	CACREF	P708	IRQ11	—	—	—	SEG8
17	—	—	P415	IRQ8	—	GTIOC0A	—	SEG9
18	—	—	P414	IRQ9	SSLB3_A	GTIOC0B	—	SEG10
19	—	—	P413	—	SSLB2_A	GTOUUP	—	SEG11
20	—	—	P412	—	CTS3/SSLB1_A	GTOULO/AGTEE1	—	SEG12
21	12	—	P411	IRQ4	CTS_RTS3/SS3/ SSLB0_A	GTOVUP/AGTOA1	—	VL1
22	13	—	P410	IRQ5	SCK3/MOSIB_A	GTOVLO/AGTOB1	—	VL2
23	14	—	P409	IRQ6	TXD3/SDA3/ MOSI3/MISO_A	GTOWUP	—	VL4
24	15	—	P408	IRQ7	CTS_RTS4/SS4/ RXD3/SCL3/ MISO3/ RSPCKB_A	GTOWLO/ GTIOC2B	—	VL3
25	16	—	P407	—	CTS4	GTIOC2A/ AGTIO0/RTCOU	ADTRG0	SEG13
26	17	VSS	—	—	—	—	—	—
27	18	—	P815	—	CRX0/TxDA1	—	—	CAPH
28	19	—	P814	—	CTX0/RxDA1	—	—	CAPL

表 1.17 端子一覧 (2/4)

LQFP100	LQFP64	電源、システム、クロック、デバッグ、CAC	I/O ポート	外部割り込み	SCI/IIC/CANFD/SPI/QSPI/UART	GPT/AGT/RTC	ADC12	SLCDC
29	20	VCC	—	—	—	—	—	—
30	21	—	P207	—	TXD4/SDA4/MOSI4/QSSL	GTIOC3A	—	—
31	22	—	P206	IRQ0	RXD4/SCL4/MISO4	GTIU/GTIOC3B	—	—
32	23	CLKOUT	P205	IRQ1	SCK4	GTIV/GTIOC4A/AGTO1	—	COM0
33	—	—	P204	—	CTS_RTS4/SS4/SSLA0_A/QSPCLK	GTIU	—	SEG14
34	—	—	P211	—	MOSIA_A/QIO0	GTIV	—	SEG15
35	—	—	P210	—	MISOA_A/QIO1	GTIW	—	SEG16
36	—	—	P209	—	RSPCKA_A/QIO2	GTOVUP	—	SEG17
37	24	—	P208	IRQ12	QIO3	GTOVLO	—	COM1
38	25	RES	—	—	—	—	—	—
39	26	MD	P201	—	—	—	—	—
40	27	—	P200	NMI	—	—	—	—
41	—	—	P307	—	—	GTOUUP	—	SEG18
42	—	—	P306	—	TxDA0	GTOULO	—	SEG19
43	—	—	P305	IRQ8	RxDA0	GTOUUP	—	SEG20
44	28	—	P304	IRQ9	CTS_RTS5/SS5/CLKA0	GTOVLO/GTIOC3A	—	COM2
45	—	VSS	—	—	—	—	—	—
46	—	VCC	—	—	—	—	—	—
47	29	—	P303	—	SCK5	GTIOC3B	—	COM3
48	30	—	P302	IRQ5	TXD5/SDA5/MOSI5/SCL0_A/SSLA3_B	GTOUUP/GTIOC4A	ADTRG0	SEG21
49	31	—	P301	IRQ6	RXD5/SCL5/MISO5/SDA0_A/SSLA2_B	GTOULO/GTIOC4B/AGTIO0	—	SEG22
50	32	SWCLK	P300	—	CTS5/SSLA1_B	GTOUUP/GTIOC0A	—	SEG23
51	33	SWDIO	P108	—	CTS_RTS9/SS9/SSLA0_B	GTOULO/GTIOC0B	—	SEG24
52	34	CLKOUT	P109	—	TXD9/SDA9/MOSI9/MOSIA_B	GTOVUP/GTIOC1A	—	COM4/SEG0
53	35	—	P110	IRQ3	RXD9/SCL9/MISO9/MISOA_B	GTOVLO/GTIOC1B	—	COM5/SEG1
54	36	—	P111	IRQ4	SCK9/RSPCKA_B	—	—	COM6/SEG2
55	37	—	P112	—	CTS_RTS9/SS9/SSLA0_B/QSSL	—	—	COM7/SEG3
56	38	—	P113	IRQ10	—	AGTIO1	—	SEG25
57	—	—	P114	—	CTS9	—	—	SEG26

表 1.17 端子一覧 (3/4)

LQFP100	LQFP64	電源、システム、クロック、デバッグ、CAC	I/O ポート	外部割り込み	SCI/IIC/CANFD/SPI/QSPI/UART	GPT/AGT/RTC	ADC12	SLCDC
58	—	—	P115	—	TXD1/SDA1/ MOSI1/TXD1/ SIOX1	GTIOC4A	—	SEG27
59	—	—	P608	—	RXD1/SCL1/ MISO1/RXD1	GTIOC4B	—	SEG28
60	—	—	P609	—	SCK1	GTIOC5A	—	SEG29
61	—	—	P610	—	CTS_RTS1/SS1	GTIOC5B	—	SEG30
62	39	VCC	—	—	—	—	—	—
63	40	VSS	—	—	—	—	—	—
64	41	VCL	—	—	—	—	—	—
65	—	—	P602	—	—	—	—	SEG31
66	—	—	P601	—	—	GTIOC2A	—	SEG32
67	—	CACREF/ CLKOUT	P600	—	—	GTIOC2B	—	SEG33
68	—	—	P107	—	—	AGTOA0	—	SEG34
69	42	—	P106	—	CTS3/SSLC3_A	GTETRGD/ AGTOB0	—	SEG35
70	43	—	P105	IRQ0	CTS_RTS3/SS3/ SSLC2_A	GTETRGA/ GTIOC1A	—	SEG36
71	44	—	P104	IRQ1	SCK3/SSLC1_A/ QSPCLK	GTETRGB/ GTIOC1B	—	SEG37
72	45	—	P103	—	CTS_RTS0/SS0/ TXD3/SDA3/ MOSI3/CRX0/ SSLC0_A/QIO2	GTOWUP	—	SEG38
73	46	—	P102	—	SCK0/RXD3/ SCL3/MISO3/ CTX0/RSPCKC_A/ QIO3	GTOWLO/AGTO0	ADTRG0	SEG39
74	47	—	P101	IRQ1	TXD0/SDA0/ MOSI0/SCL0_B/ MOSIC_A/QIO0	GTETRGB/ GTIOC5A/ AGTEE0	—	SEG40
75	48	—	P100	IRQ2	RXD0/SCL0/ MISO0/SDA0_B/ MISOC_A/QIO1	GTETRGA/ GTIOC5B/AGTIO0	—	SEG41
76	49	CACREF	P500	—	CTS0/QSPCLK	GTIU/AGTOA0	AN021	SEG42
77	—	—	P501	IRQ11	QSSL	GTIV/AGTOB0	—	SEG43
78	—	—	P502	IRQ12	QIO0	GTIW	—	SEG44
79	—	—	P503	—	QIO1	GTETRGC	—	SEG45
80	—	—	P504	—	QIO2	GTETRGD	—	SEG46
81	—	—	P505	IRQ14	QIO3	—	—	SEG47
82	50	VCC	—	—	—	—	—	—
83	51	VSS	—	—	—	—	—	—
84	52	—	P506	IRQ13	TXD5/SDA5/ MOSI5/MOSIC_B	GTIOC4A	AN020	—

表 1.17 端子一覧 (4/4)

LQFP100	LQFP64	電源、システム、クロック、デバッグ、CAC	I/O ポート	外部割り込み	SCI/IIC/CANFD/SPI/QSPI/UART	GPT/AGT/RTC	ADC12	SLCDC
85	53	—	P507	—	RXD5/SCL5/ MISO5/MISOC_B/ CLKA0	GTIOC4B	AN019	—
86	54	EXLVDVBAT	P508	—	CTS_RTS5/SS5/ RSPCKC_B/ TxDA0	—	AN018	—
87	55	EXLVD	P509	—	SCK5/SSLC0_B/ RxDA0	—	AN017	—
88	—	—	P510	—	TXD9/SDA9/ MOSI9/SSLC1_B	—	AN025	—
89	—	—	P511	—	RXD9/SCL9/ MISO9/SSLC2_B/ CLKA1	—	AN024	—
90	—	—	P512	—	CTS_RTS9/SS9/ SSLC3_B/TxDA1	—	AN023	—
91	—	—	P513	IRQ15	SCK9/RxDA1	—	AN022	—
92	56	AVCC0	—	—	—	—	—	—
93	57	AVSS0	—	—	—	—	—	—
94	58	VREFL0	P011	IRQ11	—	—	AN004	—
95	59	VREFH0	P010	IRQ10	—	—	AN003	—
96	60	—	P004	IRQ9	—	—	AN002	—
97	61	—	P003	—	—	—	AN001	—
98	62	—	P002	IRQ8	—	—	AN000	—
99	63	—	P001	IRQ7	—	—	AN006	—
100	64	—	P000	IRQ6	—	—	AN005	—

2. CPU

本 MCU は、Arm[®] Cortex[®]-M33 CPU コアをベースにしています。

2.1 概要

2.1.1 CPU

- Arm Cortex-M33
 - リビジョン : r0p4-00rel1
 - Armv8-M アーキテクチャプロファイル
 - 単精度浮動小数点ユニット (ANSI/IEEE 規格 754-2008 に準拠)
- セキュリティ属性ユニット (SAU) : 0 領域
- 実装定義属性ユニット (IDAU) : 8 領域
 - コードフラッシュ (セキュア/非セキュアコーラブル/非セキュア)
 - データフラッシュ (セキュア/非セキュア)
 - SRAM0 (セキュア/非セキュアコーラブル/非セキュア)
- メモリプロテクションユニット (MPU)
 - Armv8 保護メモリシステムアーキテクチャ (PMSAv8)
 - セキュア MPU (MPU_S) : 8 領域
 - 非セキュア MPU (MPU_NS) : 8 領域
- SysTick タイマ
 - 2 個の SysTick タイマ : セキュアおよび非セキュアインスタンス
 - SysTick タイマクロック (SYSTICCLK) またはシステムクロック (ICLK) による駆動

詳細は、「[2.13. 参考資料](#)」の参考資料 1.および参考資料 2.を参照してください。

2.1.2 デバッグ

- Arm[®] CoreSight[™] ETM-M33
 - リビジョン : r0p2-00rel0
 - ARM ETM アーキテクチャ第 4.2 版
- Instrumentation Trace Macrocell (ITM)
- データウォッチポイントとトレースユニット (DWT)
 - ウォッチポイントおよびトリガ用の 4 つのコンパレータ
- ブレークポイントユニット (BPU)
 - ブレークポイント機能が使用可能です。
 - 8 つの命令コンパレータ
 - 0 つのリテラルコンパレータ
- タイムスタンプ発生器 (TSG)
 - ETM および ITM 用のタイムスタンプ
 - CPU クロック駆動
- デバッグレジスタモジュール (DBGREG)
 - リセット制御
 - 停止制御

- デバッグアクセスポート (DAP)
 - シリアルワイヤデバッグポート (SW-DP)
- クロストリガインタフェース (CTI)
- 埋め込みトレースバッファ (ETB)
 - ETB 構成を持つ CoreSight トレースメモリコントローラ
 - バッファサイズ : 2 KB

詳細は、「[2.13. 参考資料](#)」の参考資料 1.および参考資料 2.を参照してください。

2.1.3 動作周波数

MCU の動作周波数は以下のとおりです。

- CPU : 最高 80 MHz
- シリアルワイヤデバッグ (SWD) インタフェース : 最高 12.5 MHz

2.1.4 ブロック図

図 2.1 に Cortex-M33 CPU のブロック図を示します。

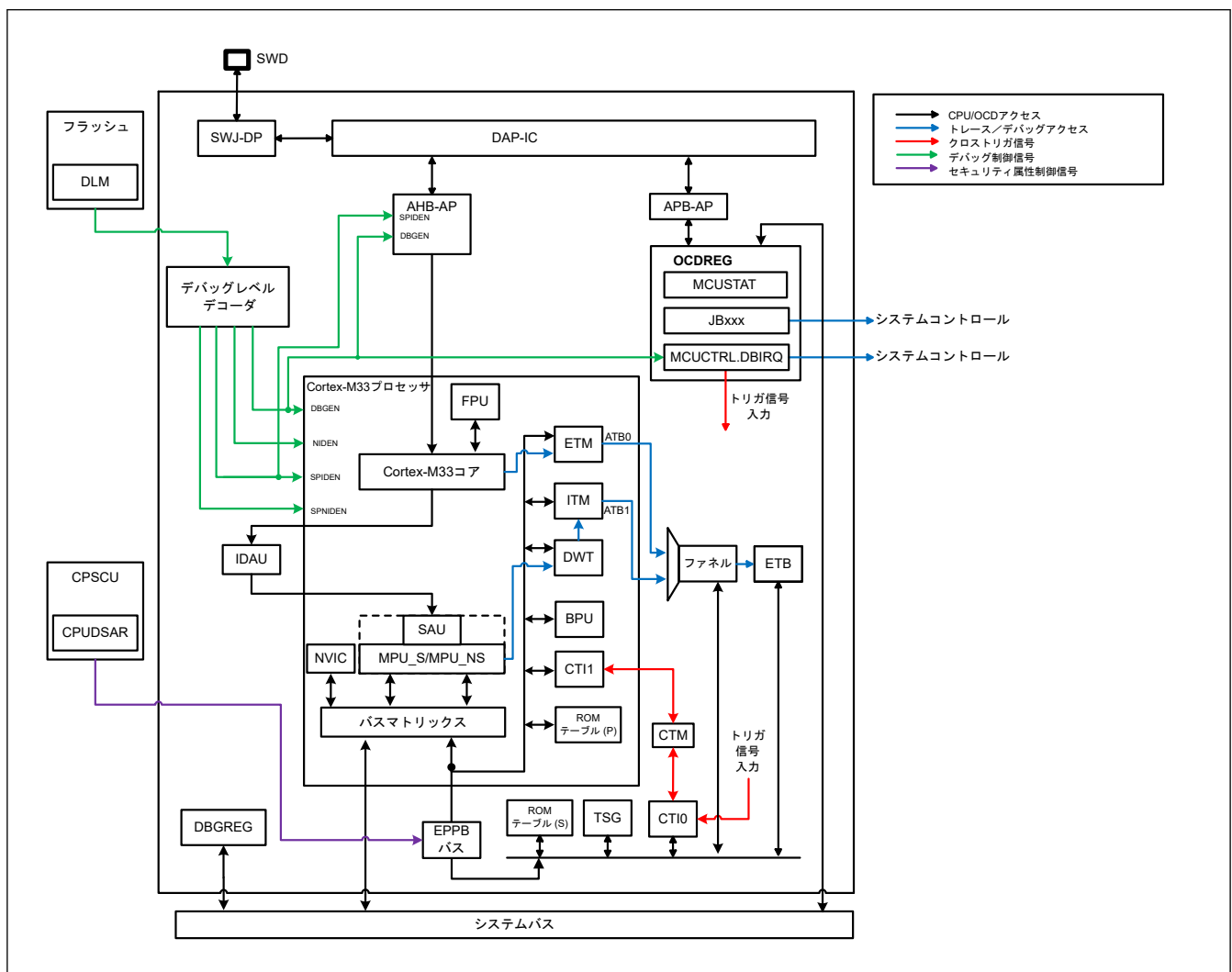


図 2.1 Cortex-M33 CPU のブロック図

2.2 実装オプション

表 2.1 に MCU の実装オプションを示します。

表 2.1 実装オプション

オプション	実装
SAU	なし
IDAU	あり (8 領域)
MPU	あり (セキュア用の 8 領域および非セキュア用の 8 領域)
BPU	あり
クロストリガインタフェース (CTI)	あり
DWT	あり
ウェイクアップ割り込みコントローラ (WIC) の数	なし ICU は、WIC ではなく CPU をウェイクアップできます。詳細は、「 12. 割り込みコントローラユニット (ICU) 」を参照してください。
TPIU	なし
FPU	あり
DSP	あり
エンベデッドトレースマクロセル (ETM)	あり
スリープモードパワーセーブ	スリープモードや他の低消費電力モードがサポートされています。詳細は、「 10. 低消費電力モード 」を参照してください。 注. SCB.SCR.SLEEPDEEP は無視されます。
割り込み	66
優先ビット	4 ビット (16 レベル)
エンディアン	リトルエンディアン
SysTick タイマ	あり
SYST_CALIB レジスタ (0x4000_0147)	ビット[31] = 0 基準クロックが提供されている ビット[30] = 1 TERMS 値が精度異常 ビット[29:24] = 0x00 予約 ビット[23:0] = 0x000147 TERM: (32768 × 10 ms) - 1/32.768 kHz = 326.66 (10 進数) = 327 (スケューを含む) = 0x000147
イベント入出力	なし
グローバル排他的監視	実装なし
システムリセット要求出力	アプリケーション割り込みおよびリセットコントロールレジスタの SYSRESETREQ ビットによって CPU がリセットされます。

2.3 SWD インタフェース

表 2.2 に SWD 端子を示します。

表 2.2 SWD 端子

名称	入出力	機能	未使用時の端子処理
SWCLK	入力	シリアルワイヤクロック端子	プルアップ
SWDIO	入出力	シリアルワイヤデータ入出力端子	プルアップ

2.4 メモリに対するセキュリティ属性

本 MCU では、SAU は実装されていません。IDAU はメモリに対して、領域定義を実行します。[図 2.2](#) に示すように、IDAU はメモリを 8 つの異なる領域に分割します。

コードフラッシュ、データフラッシュ、SRAM はセキュア領域 (S)、非セキュア領域 (NS)、非セキュアコーラブル領域 (NSC) に分割されます。これらのメモリセキュリティ属性は、デバイスのライフサイクルが SSD 状態の場合にシリアルプログラムコマンドにより、不揮発性メモリに設定されます。これらのメモリセキュリティ属性は、アプリケーション実行前に IDAU とメモリコントローラにロードされます。これらのメモリセキュリティ属性はアプリケーションによる更新できませんが、専用レジスタにより読み出し可能です。

注. メモリセキュリティ属性を設定する場合、メモリ領域は表 2.3 で示される最小アドレスユニットの設定条件を満たす必要があります。

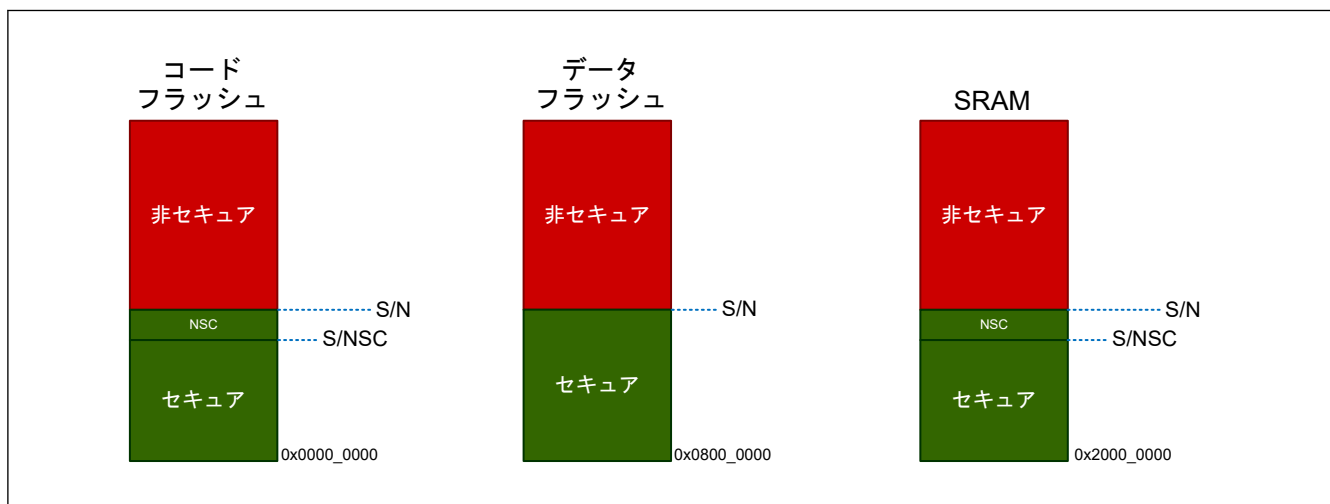


図 2.2 メモリパーティション

表 2.3 S/NS および S/NSC の境界

境界	コードフラッシュ	データフラッシュ	SRAM
S/NS	32 KB	1 KB	8 KB
S/NSC	1 KB	—	1 KB

各領域には以下の専用 ID があります。詳細は、「2.13. 参考資料」を参照してください。

IREGION (IDAU 領域番号)	説明
0x0D	非セキュア SRAM
0x0E	非セキュアコーラブル SRAM
0x0F	セキュア SRAM
0x09	非セキュアデータフラッシュ
0x0B	セキュアデータフラッシュ
0x05	非セキュアコードフラッシュ
0x06	非セキュアコーラブルコードフラッシュ
0x07	セキュアコードフラッシュ

2.5 デバッグ機能

2.5.1 デバッガの接続性

本 MCU では、デバッグ機能には DBG0、DBG1、DBG2 の3つのレベルがあります。DBG0 では、使用できるデバッグ機能はありません。ARMv-8 の非セキュアデバッグとして定義される DBG1 レベルでは、デバッガは定義された非セキュアのデバッグアクセス可能領域にのみアクセスできます。ARMv-8 のセキュアデバッグとして定義される DBG2 レベルでは、セキュアおよび非セキュアのデバッグ機能が有効で、デバッガからそれらにアクセスが可能です。

デバッグレベルは製品のデバイスライフサイクル管理 (DLM) 状態により決まります。

デバッグのアクセス可能領域については、[図 2.1](#) を参照してください。

[表 2.4](#) に、デバッグ機能とその条件を示します。

表 2.4 デバッグ機能とその条件

条件			許可されたデバッグ機能
エミュレータとの接続(注1)	DLM 状態	デバッグレベル	説明
接続	SSD	DBG2	全デバッグ機能が使用可能
接続	NSECSD	DBG1	非セキュアデバッグ機能のみ使用可能
接続	DPL	DBG0	デバッグ接続は使用不可
接続	LCK_DBG	DBG0	デバッグ接続は使用不可
接続	LCK_BOOT	DBG0	デバッグ接続は使用不可
接続	RMA_REQ	DBG0	デバッグ接続は使用不可
接続	RMA_ACK	DBG2	全デバッグ機能が使用可能

注 1. エミュレータとの接続は、SWJ-DP レジスタの CDBGPWRUPREQ ビットの値で判別されます。このビットは OCD によってのみ書き込むことができます。なお、このビットの値は、DBGSTR.CDBGPWRUPREQ ビットの読み出しによって確認できます。

2.5.2 エミュレータ接続

ルネサスは、SWD 通信を使ったデバッグと、SCI または SWD 通信を使ったシリアルプログラミングの両方をサポートするエミュレータを提供しています。

[表 2.5](#) に、本エミュレータを使う場合の 10 ピンと 20 ピンのソケットピン配列を示します。

表 2.5 エミュレータ用端子配置

端子番号	SWD	SCI を使ったシリアルプログラミング
1	VCC	VCC
2	P108/SWDIO	NC
4	P300/SWCLK	P201/MD
6	NC	P109/TXD9
8	NC	P110/RXD9
9	GND 検出	GND 検出
10	nRESET	nRESET
12	NC	NC
14	NC	NC
16	NC	NC
18	NC	NC
20	NC	NC
3, 5, 15, 17, 19	GND	GND
7	NC	NC
11, 13	NC	NC

2.5.3 セルフホスティングデバッグ機能

「[2.6.6. CPUDSAR : CPU デバッグセキュリティ属性レジスタ](#)」に示すように、初期設定では非セキュア状態の CPU から CoreSight デバッグコンポーネントへのアクセスは保護されます。すなわち、セルフホスティングデバッグから CoreSight デバッグコンポーネントへの非セキュアアクセスは、初期設定でデバッグレベルが DBG2 の場合は許可されません。したがって、非セキュア状態の CPU に対してセルフホスティングデバッグ機能を有効にするためには、CPUDSAR.CPUDSA0 ビットを 1 に設定してください。

注. CPU がセキュア状態中は、セルフホスティングデバッグ機能に制約はありません。

2.5.4 デバッグ機能の影響

デバッグ機能は CPU の内部および外部に影響を与えます。

2.5.4.1 低消費電力モード

すべての CoreSight デバッグコンポーネントは、CPU がソフトウェアスタンバイモードまたはスリープモードに入った場合でも、レジスタの設定値を格納することが可能です。ただし、これらの低消費電力モードにおいては、AHB-AP はオンチップデバッグ (OCD) アクセスに応答できません。すなわち、CoreSight デバッグコンポーネントにアクセスするには、OCD は低消費電力モードが解除されるのを待つ必要があります。この場合、OCD は MCUCTRL レジスタの DBIRQ ビットを用いて、低消費電力モードの解除を要求できます。詳細は「[2.6.5.2. MCUCTRL : MCU コントロールレジスタ](#)」を参照してください。

2.5.4.2 リセット

OCD モードでは、一部のリセットは CPU 状態と DBGSTOPCR レジスタの設定内容に従います。

表 2.6 リセット／割り込みおよびモード設定

リセット／割り込み名称	オンチップデバッグ (OCD) モード時の制御	
	OCD ブレークモード	OCD RUN モード
RES 端子リセット	ユーザーモードと同じ	
パワーオンリセット	ユーザーモードと同じ	
独立ウォッチドッグタイマリセット／割り込み	発生しない(注1)	DBGSTOPCR レジスタの設定内容に従う
ウォッチドッグタイマリセット／割り込み	発生しない(注1)	DBGSTOPCR レジスタの設定内容に従う
電圧監視 0 リセット	DBGSTOPCR レジスタの設定内容に従う	
電圧監視 1 リセット／割り込み	DBGSTOPCR レジスタの設定内容に従う	
電圧監視 2 リセット／割り込み	DBGSTOPCR レジスタの設定内容に従う	
SRAM パリティエラーリセット／割り込み	DBGSTOPCR レジスタの設定内容に従う	
SRAM ECC エラーリセット／割り込み	DBGSTOPCR レジスタの設定内容に従う	
キャッシュパリティエラーリセット／割り込み	DBGSTOPCR レジスタの設定内容に従う	
バスマスタ MPU エラーリセット／割り込み	ユーザーモードと同じ	
ソフトウェアリセット	ユーザーモードと同じ	

注. 「OCD ブレークモード」は CPU が停止していることを意味し、「OCD RUN モード」は停止していないことを意味します。

注 1. このモードでは IWDG および WDT は常に停止しています。

2.6 プログラムモデル

2.6.1 アドレス空間

本 MCU のデバッグシステムには、次の 2 つの CoreSight アクセスポート (AP) があります。

- AHB-AP : CPU バスマトリックスに接続され、CPU と同様にシステムアドレス空間にアクセスします。
- APB-AP : 専用のアドレス空間 (OCD アドレス空間) を持ち、OCDREG レジスタに接続します。

図 2.3 に AP 接続とアドレス空間のブロック図を示します。

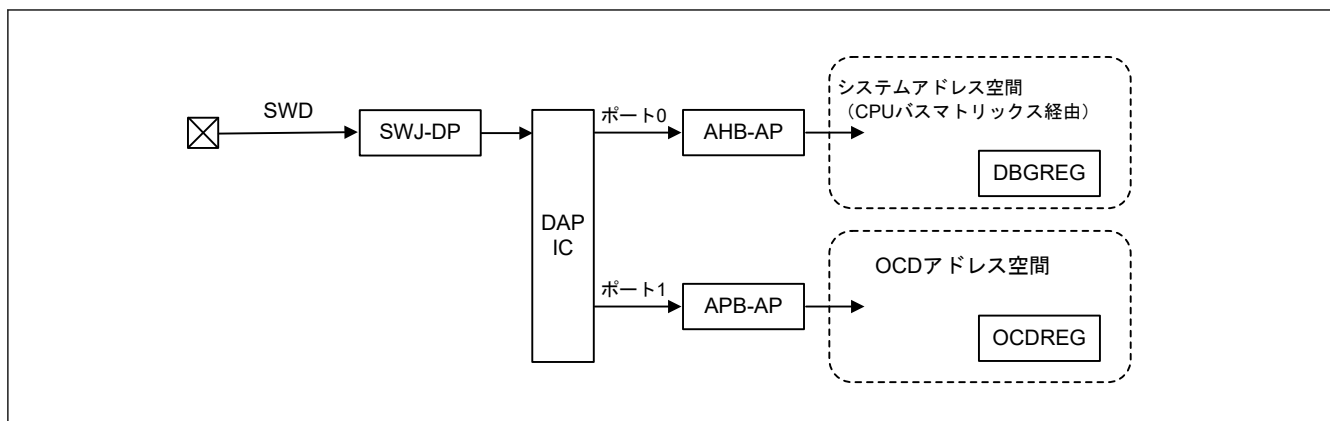


図 2.3 SWD 認証のブロック図

デバッグ用に、DBGREG と OCDREG の 2 つのレジスタモジュールが存在します。DBGREG はシステムアドレス空間に配置され、エミュレータ、CPU、および本 MCU における他のバスマスタからアクセスが可能です。OCDREG は OCD アドレス空間に配置され、エミュレータからのみアクセスが可能です。CPU と他のバスマスタは OCDREG レジスタにアクセスできません。

2.6.2 ペリフェラルアドレスマップ

システムアドレス空間では、Cortex-M33 には CPU と OCD エミュレータからのみアクセス可能な Private Peripheral Bus (PPB) があります。PPB は、本 MCU に対する Cortex-M33 の本来の実装からの拡張です。表 2.7 に Cortex-M33 ペリフェラルアドレスマップを示します。

表 2.7 ペリフェラルアドレスマップ

コンポーネント名	開始アドレス	終了アドレス	参照
ITM	0xE000_0000	0xE000_0FFF	「2.13. 参考資料」の参考資料 2.を参照してください。
DWT	0xE000_1000	0xE000_1FFF	「2.13. 参考資料」の参考資料 2.を参照してください。
BPU	0xE000_2000	0xE000_2FFF	「2.13. 参考資料」の参考資料 2.を参照してください。
セキュア SCS/SCS	0xE000_E000	0xE000_EFFF	「2.13. 参考資料」の参考資料 1.を参照してください。
非セキュア SCS	0xE002_E000	0xE002_EFFF	「2.13. 参考資料」の参考資料 2.を参照してください。
ETM	0xE004_1000	0xE004_1FFF	「2.13. 参考資料」の参考資料 1.を参照してください。
CTI1	0xE004_2000	0xE004_2FFF	「2.13. 参考資料」の参考資料 4.を参照してください。
CTI0	0xE004_4000	0xE004_4FFF	「2.13. 参考資料」の参考資料 4.を参照してください。
ATB ファネル	0xE004_7000	0xE004_7FFF	「2.8. CoreSight ATB ファネル」と「2.13. 参考資料」の参考資料 4.を参照してください。
ETB	0xE004_8000	0xE004_8FFF	「2.13. 参考資料」の参考資料 4.を参照してください。
タイムスタンプ発生器	0xE004_9000	0xE004_9FFF	「2.10. CoreSight タイムスタンプ発生器」と「2.13. 参考資料」の参考資料 4.を参照してください。
システム ROM テーブル	0xE00F_E000	0xE00F_EFFF	「2.13. 参考資料」の参考資料 3.を参照してください。
プロセッサ ROM テーブル	0xE00F_F000	0xE00F_FFFF	「2.13. 参考資料」の参考資料 2.を参照してください。

2.6.3 CoreSight ROM テーブル

本 MCU には、プロセッサ ROM テーブルおよびシステム ROM テーブルという 2 つの CoreSight ROM テーブルがあります。プロセッサ ROM テーブルには、プロセッサ内のデバッグコンポーネントのリストを保持するエントリがあります。システム ROM テーブルには、プロセッサ ROM テーブルやプロセッサ外の他のデバッグコンポーネントのエントリがあります。

2.6.3.1 ROM エントリ

ROM エントリは、システム内のコンポーネントのリストを保持します。OCD エミュレータは、ROM エントリを使用して、システムに実装されているコンポーネントを特定できます。

表 2.8 と表 2.9 はシステム ROM エントリとプロセッサ ROM エントリを示します。詳細は、「2.13. 参考資料」の参考資料 5.を参照してください。

表 2.8 システム ROM エントリ

#	アドレス	アクセスサイズ	R/W	値	対象モジュールポインタ
0	0xE00F_E000	32 ビット	R	0xFFFF46003	CTI0
1	0xE00F_E004	32 ビット	R	0xFFFF49003	ファネル
2	0xE00F_E008	32 ビット	R	0xFFFF4A003	ETB
3	0xE00F_E00C	32 ビット	R	0xFFFF4B003	TSG
4	0xE00F_E010	32 ビット	R	0xFFFF42002	予約
5	0xE00F_E014	32 ビット	R	0x00001003	プロセッサ ROM テーブル
6	0xE00F_E018	32 ビット	R	0x00000000	エントリ終了

表 2.9 プロセッサ ROM エントリ

#	アドレス	アクセスサイズ	R/W	値	対象モジュールポインタ
0	0xE00F_F000	32 ビット	R	0xFFFF0F003	SCS
1	0xE00F_F004	32 ビット	R	0xFFFF02003	DWT
2	0xE00F_F008	32 ビット	R	0xFFFF03003	BPU
3	0xE00F_F00C	32 ビット	R	0xFFFF01003	ITM
4	0xE00F_F014	32 ビット	R	0xFFFF42003	ETM
5	0xE00F_F018	32 ビット	R	0xFFFF43003	CTI1
6	0xE00F_F020	32 ビット	R	0x00000000	エントリ終了

2.6.3.2 CoreSight コンポーネントレジスタ

CoreSight ROM テーブルは、Arm® CoreSight アーキテクチャで定義された CoreSight レジスタを含んでいます。

表 2.10 にこれらのレジスタを示します。各レジスタの詳細は、「2.13. 参考資料」の参考資料 5.を参照してください。

表 2.10 CoreSight ROM テーブルの CoreSight コンポーネントレジスタ

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	0xE00F_EFD0	32 ビット	R	0x00000004
PID5	0xE00F_EFD4	32 ビット	R	0x00000000
PID6	0xE00F_EFD8	32 ビット	R	0x00000000
PID7	0xE00F_EFDC	32 ビット	R	0x00000000
PID0	0xE00F_EFE0	32 ビット	R	0x0000006A
PID1	0xE00F_EFE4	32 ビット	R	0x00000030
PID2	0xE00F_EFE8	32 ビット	R	0x0000000A
PID3	0xE00F_EFEC	32 ビット	R	0x00000000
CID0	0xE00F_EFF0	32 ビット	R	0x0000000D
CID1	0xE00F_EFF4	32 ビット	R	0x00000010
CID2	0xE00F_EFF8	32 ビット	R	0x00000005
CID3	0xE00F_EFFC	32 ビット	R	0x000000B1

2.6.4 DBGREG

DBGREG は、デバッグ機能を制御するレジスタモジュールです。DBGREG は、CoreSight 準拠のコンポーネントとして実装されています。

表 2.11 は、CoreSight コンポーネントレジスタを除いた、DBGREG のレジスタ一覧です。

表 2.11 CoreSight 以外の DBGREG のレジスタ

名称		DAP ポート	アドレス	アクセスサイズ	R/W
デバッグステータスレジスタ	DBGSTR	ポート 0	0x4001_B000	32 ビット	R
デバッグストップコントロールレジスタ	DBGSTOPCR	ポート 0	0x4001_B010	32 ビット	R/W

2.6.4.1 DBGSTR : デバッグステータスレジスタ

Base address: DBG = 0x4001_B000

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	CDBG PWRU PACK	CDBG PWRU PREQ	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
27:0	—	読むと 0 が読めます。	R
28	CDBGPWRUPREQ	デバッグパワーアップ要求 0: エミュレータはデバッグパワーアップを要求していない 1: エミュレータはデバッグパワーアップを要求した	R
29	CDBGPWRUPACK	デバッグパワーアップアクリッジ 0: デバッグパワーアップ要求を受け付けていない 1: デバッグパワーアップ要求を受け付けた	R
31:30	—	読むと 0 が読めます。	R

DBGSTR レジスタは、エミュレータから本 MCU に対してのデバッグパワーアップの要求状況を示すステータスレジスタです。

2.6.4.2 DBGSTOPCR : デバッグストップコントロールレジスタ

Base address: DBG = 0x4001_B000

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DBGS TOP_ CPER	—	—	—	—	—	DBGS TOP_ RECC R	DBGS TOP_ RPER	—	—	—	—	—	DBGS TOP_ L VD2	DBGS TOP_ L VD1	DBGS TOP_ L VD0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DBGS TOP_ WDT	DBGS TOP_ I WDT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
0	DBGSTOP_IWDT	OCD RUN モードでの IWDT リセット／割り込み用のマスク OCD ブレークモードでは、このビットの値に関係なく、リセット／割り込みはマスクされ、IWDT カウンタは停止します。 0: IWDT リセット／割り込みを許可 1: IWDT リセット／割り込みをマスクし、IWDT カウンタを停止	R/W
1	DBGSTOP_WDT	OCD RUN モードでの WDT リセット／割り込み用のマスク OCD ブレークモードでは、このビットの値に関係なく、リセット／割り込みはマスクされ、WDT カウンタは停止します。 0: WDT リセット／割り込みを許可 1: WDT リセット／割り込みをマスクし、WDT カウンタを停止	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	DBGSTOP_LVD0	LVD0 リセット用のマスク 0: LVD0 リセットを許可 1: LVD0 リセットをマスク	R/W
17	DBGSTOP_LVD1	LVD1 リセット／割り込み用のマスク 0: LVD1 リセット／割り込みを許可 1: LVD1 リセット／割り込みをマスク	R/W
18	DBGSTOP_LVD2	LVD2 リセット／割り込み用のマスク 0: LVD2 リセット／割り込みを許可 1: LVD2 リセット／割り込みをマスク	R/W
23:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	DBGSTOP_RPER	SRAM パリティエラーリセット／割り込み用のマスク 0: SRAM パリティエラーリセット／割り込みを許可 1: SRAM パリティエラーリセット／割り込みをマスク	R/W
25	DBGSTOP_RECCR	SRAM ECC エラーリセット／割り込み用のマスク 0: SRAM ECC エラーリセット／割り込みを許可 1: SRAM ECC エラーリセット／割り込みをマスク	R/W
30:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	DBGSTOP_CPER	キャッシュ SRAM パリティエラーリセット／割り込み用のマスク 0: キャッシュ SRAM パリティエラーリセット／割り込みを許可 1: キャッシュ SRAM パリティエラーリセット／割り込みをマスク	R/W

デバッグストップコントロールレジスタ (DBGSTOPCR) は、OCD モード時のリセット／割り込みを制御します。ユーザーモードのときは、DBGSTOPCR レジスタの設定値は本 MCU の動作に影響しません。

2.6.4.3 DBGREG の CoreSight コンポーネントレジスタ

DBGREG は、Arm®CoreSight アーキテクチャで定義された CoreSight コンポーネントレジスタを含んでいます。

表 2.12 にこれらのレジスタを示します。各レジスタの詳細は、「2.13. 参考資料」の参考資料 4. を参照してください。

表 2.12 DBGREG の CoreSight コンポーネントレジスタ一覧 (1/2)

名称	アドレス	アクセスサイズ	R/W	初期値
PIDR4	0x4001_BFD0	32 ビット	R	0x00000004
PIDR5	0x4001_BFD4	32 ビット	R	0x00000000
PIDR6	0x4001_BFD8	32 ビット	R	0x00000000
PIDR7	0x4001_BFDC	32 ビット	R	0x00000000
PIDR0	0x4001_BFE0	32 ビット	R	0x00000005
PIDR1	0x4001_BFE4	32 ビット	R	0x00000030
PIDR2	0x4001_BFE8	32 ビット	R	0x0000000A
PIDR3	0x4001_BFEC	32 ビット	R	0x00000000
CIDR0	0x4001_BFF0	32 ビット	R	0x0000000D

表 2.12 DBGREG の CoreSight コンポーネントレジスター一覧 (2/2)

名称	アドレス	アクセスサイズ	R/W	初期値
CIDR1	0x4001_BFF4	32 ビット	R	0x000000F0
CIDR2	0x4001_BFF8	32 ビット	R	0x00000005
CIDR3	0x4001_BFFC	32 ビット	R	0x000000B1

2.6.5 OCDREG

OCDREG モジュールは、オンチップデバッグ (OCD) エミュレータのみがアクセス可能です。OCDREG は、CoreSight 準拠のコンポーネントとして実装されています。

表 2.13 は OCDREG のレジスター一覧です。

表 2.13 OCDREG のレジスター一覧

名称		DAP ポート	アドレス	アクセスサイズ	R/W
MCU ステータスレジスタ	MCUSTAT	ポート 1	0x8000_0400	32 ビット	R
MCU コントロールレジスタ	MCUCTRL	ポート 1	0x8000_0410	32 ビット	R/W
SWD ブートモード遷移レジスタ(注1)	JBMDR	ポート 1	0x8001_1100 0x4001_b100(注2)	32 ビット	R/W
SWD ブート受信データレジスタ(注1)	JBRDR	ポート 1	0x8001_1120 0x4001_b120(注2)	32 ビット	R/W
SWD ブート送信データレジスタ(注1)	JBTDR	ポート 1	0x8001_1130 0x4001_b130(注2)	32 ビット	R/W
SWD ブートステータスレジスタ(注1)	JBSTR	ポート 1	0x8001_1140 0x4001_b140(注2)	32 ビット	R/W
SWD ブート割り込みコントロールレジスタ(注1)	JBICR	ポート 1	0x8001_1150 0x4001_b150(注2)	32 ビット	R/W

注. OCDREG は専用の OCD アドレス空間に配置されます。このアドレス空間はシステムのアドレス空間から独立しています。

注 1. DAP と CPU の両方からアクセス可能です。その他は DAP のみです。

注 2. CPU からアクセスする場合のアドレスです。

2.6.5.1 MCUSTAT : MCU ステータスレジスタ

Base address: CPU_OCD = 0x8000_0000

Offset address: 0x400

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	SECD BG	DBGF UNCE N	—	—	—	—	—	—	—	—	—	CPUS TOPC LK	CPUS LEEP	—
Value after reset:	0	0	1/0 (注1)	1/0 (注1)	0	0	0	1	0	0	0	0	0	1/0 (注1)	1/0 (注1)	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。	R
1	CPUSLEEP	スリープモード状態 MCU がソフトウェアスタンバイモードまたはスヌーズモードの場合、このビットは不定です。 0: CPU はスリープモードではない 1: CPU はスリープモードである	R

ビット	シンボル	機能	R/W
2	CPUSTOPCLK	CPU クロック状態 0: CPU へのクロックを供給中 1: CPU へのクロックは停止中	R
7:3	—	読むと 0 が読めます。	R
8	—	読むと 1 が読めます。	R
11:9	—	読むと 0 が読めます。	R
12	DBGFUNCEN	デバッグ状態 0: デバッグ接続は使用不可 1: デバッグ機能は有効	R
13	SECDBG	セキュアデバッグ状態 0: セキュアデバッグは使用不可 1: セキュアデバッグは使用可能	R
31:14	—	読むと 0 が読めます。	R

注 1. MCU の状態に依存します。

2.6.5.2 MCUCTRL : MCU コントロールレジスタ

Base address: CPU_OCD = 0x8000_0000

Offset address: 0x410

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUWAIT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DBIRQ	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	DBIRQ(注2)	デバッグ割り込み要求 DBIRQ ビットに 1 を書き込むと、MCU は低消費電力モードから復帰します。DBIRQ ビットに 0 を書き込むと、DBIRQ ビットはクリアされます。 0: デバッグ割り込みを要求しない 1: デバッグ割り込みを要求する	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	CPUWAIT(注2)	CPU 停止設定 CPUWAIT ビットに 1 を書き込むとアサート、0 を書き込むとネゲートです。(注1) 0: CPUWAIT を Low にする 1: CPUWAIT を High にする	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. CPUWAIT はプロセッサがリセット直後にコードを実行開始するのを防ぐために使用されます。

注 2. ビットへのアクセス (R/W) はデバッグレベルが DBG1 または DBG2 のときのみに有効です。

2.6.5.3 JBMDR : SWD ブートモード遷移レジスタ

Base address: CPU_OCD = 0x8000_0000

Offset address: 0x1_1100

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	KEY[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	KEY[7:0]	モード遷移キー 0xA5 が設定されると端子リセットが解除され、システムは SWD ブートモードに遷移します。 システムが SWD ブートモードに遷移すると、MDSR.JBOTS = 1 となります。	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	

JBMDR レジスタは、デバッガからコマンドを設定します。

本レジスタは、POR またはデバッガ切断によって初期化されます。

本 MCU は SWD インタフェースには対応しますが、JTAG インタフェースには対応しません。

2.6.5.4 JBRDR : SWD ブート受信データレジスタ

Base address: CPU_OCD = 0x8000_0000

Offset address: 0x1_1120

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	RDAT[31:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RDAT[31:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	RDAT[31:0]	受信データレジスタ R/W は外部ホストと CPU の両方で可能ですが、次のように使い分けることを推奨します。 W: 外部ホスト R: CPU (ブートファームウェア) JBSTR.RDF = 1 のとき、書き込みができず、エラーが発生します。	R/W

JBRDR レジスタは、デバッガからのデータの受信に使用します。

本レジスタは、システムリセットで初期化されます。

本 MCU は SWD インタフェースには対応しますが、JTAG インタフェースには対応しません。

2.6.5.5 JBTDR : SWD ブート送信データレジスタ

Base address: CPU_OCD = 0x8000_0000

Offset address: 0x1_1130

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	TDAT[31:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TDAT[31:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	TDAT[31:0]	送信データレジスタ R/W は外部ホストと CPU の両方で可能ですが、次のように使い分けることを推奨します。 W: CPU (ブートファームウェア) R: 外部ホスト JBSTR.TDE = 1 のとき、読み出しができず、エラーが発生します。	R/W

JBTDR レジスタは、デバッガへのデータの送信に使用されます。

本レジスタは、システムリセットで初期化されます。

本 MCU は SWD インタフェースには対応しますが、JTAG インタフェースには対応しません。

2.6.5.6 JBSTR : SWD ブートステータスレジスタ

Base address: CPU_OCD = 0x8000_0000

Offset address: 0x1_1140

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TDE	RDF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
0	RDF	受信バッファフル [1 になる条件] - JBRDR への書き込み - JBSTR.RDF への 1 の書き込み [0 になる条件] - JBRDR の読み出し - JBSTR.RDF への 0 の書き込み 0: 受信データなし 1: 受信データあり	R/W

ビット	シンボル	機能	R/W
1	TDE	送信データエンプティ [1 になる条件] - JBTDR の読み出し - JBSTR.TDE への 1 の書き込み [0 になる条件] - JBTDR への書き込み - JBSTR.TDE への 0 の書き込み 0: データ送信あり 1: データ送信なし	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

JBSTR レジスタはブート状態の監視に使用します。

本レジスタは、システムリセットで初期化されます。

本 MCU は SWD インタフェースには対応しますが、JTAG インタフェースには対応しません。

2.6.5.7 JBICR : SWD ブート割り込みコントロールレジスタ

Base address: CPU_OCD = 0x8000_0000

Offset address: 0x1_1150

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RDFIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RDFIE	受信バッファフル割り込み許可 0: RDF = 1 で割り込み要求を禁止 1: RDF = 1 で割り込み要求を許可	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

JBICR レジスタは、SWD ブート中の割り込みを制御するのに使用します。

本レジスタは、システムリセットで初期化されます。

本 MCU は SWD インタフェースには対応しますが、JTAG インタフェースには対応しません。

2.6.5.8 OCDREG の CoreSight コンポーネントレジスタ

OCDREG モジュールは、Arm CoreSight アーキテクチャで定義された CoreSight コンポーネントレジスタを提供します。

表 2.14 は、これらのレジスタの一覧です。各レジスタの詳細は、「2.13. 参考資料」の参考資料 4. を参照してください。

表 2.14 OCDREG の CoreSight コンポーネントレジスタ一覧 (1/2)

名称	アドレス	アクセスサイズ	R/W	初期値
PIDR4	0x8000_0FD0	32 ビット	R	0x00000004
PIDR5	0x8000_0FD4	32 ビット	R	0x00000000
PIDR6	0x8000_0FD8	32 ビット	R	0x00000000
PIDR7	0x8000_0FDC	32 ビット	R	0x00000000

表 2.14 OCDREG の CoreSight コンポーネントレジスター一覧 (2/2)

名称	アドレス	アクセスサイズ	R/W	初期値
PIDR0	0x8000_0FE0	32 ビット	R	0x00000004
PIDR1	0x8000_0FE4	32 ビット	R	0x00000030
PIDR2	0x8000_0FE8	32 ビット	R	0x0000000A
PIDR3	0x8000_0FEC	32 ビット	R	0x00000000
CIDR0	0x8000_0FF0	32 ビット	R	0x0000000D
CIDR1	0x8000_0FF4	32 ビット	R	0x000000F0
CIDR2	0x8000_0FF8	32 ビット	R	0x00000005
CIDR3	0x8000_0FFC	32 ビット	R	0x000000B1

2.6.6 CPUDSAR : CPU デバッグセキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000

Offset address: 0x1B0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUDSA0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0

ビット	シンボル	機能	R/W
0	CPUDSA0	CPU デバッグセキュリティ属性 0 0: セキュリティ 1: 非セキュリティ	R/W
31:1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみ本レジスタへ書き込み可能です。セキュアアクセスと非セキュア読み出しアクセスの両方が許可されます。非セキュア書き込みアクセスは拒否され、TrustZone アクセスエラー発生しません。

注. 本レジスタは PRCR レジスタにより書き込み保護されます。

MCU のデバッグレベルが DBG2 のとき、全 EPPB バスを保護することにより、CPU からデバッグ関連コンポーネントへの非セキュアアクセスは CPUDSA0 ビットの値により完全に制御されます。本ビットは CPU がセキュア状態のときのみ変更可能なので、CoreSight デバッグコンポーネントを使用する前に CPUDSAR レジスタに注意してください。

CPUDSA0 ビット (CPU デバッグセキュリティ属性 0)

CPU のデバッグコンポーネントへアクセスするレジスタのセキュリティ属性

0: デバッグコンポーネントはセキュアアクセスでのみアクセス可能

1: デバッグコンポーネントへアクセス時の制約なし

2.6.7 CPU アクセスにより発生するエラー応答の処理

Arm Cortex-M33 プロセッサ固有のエラー検出仕様に加え、本 MCU は「13. バス」章に記載のいくつかの追加エラー情報も提供します。

したがって、本章は Arm Cortex-M33 プロセッサと競合せずに、その追加エラー情報を取り扱う方法を説明します。

表 2.15 に、エラー検出モジュールを示します。これらについて、「13. バス」でも説明します。これらのエラー検出モジュールは、バスモジュールのエラー情報を提供するだけでなく、プロセッサに例外処理を起動するように通知します。

表 2.15 エラー検出モジュール

	NMI/RESET 要求	割り込み	バスエラーステータスレジスタ	エラーアドレスレジスタ エラー RW レジスタ
スレーブ TZF	NMISR.TZFST	バスフォールト (注1) (ハードフォールト)	BUS.BUSnERRSTAT.STERRSTAT	BUS.BTZFnERRADD BUS.BTZFnERRRW
スレーブバスエラー	—	バスフォールト (注1) (ハードフォールト)	BUS.BUSnERRSTAT.SLERRSTAT	BUS.BUSnERRADD BUS.BUSnERRRW
不正アドレスアクセスエラー	—	バスフォールト (注1) (ハードフォールト)	BUS.BUSnERRSTAT.ILERRSTAT	BUS.BUSnERRADD BUS.BUSnERRRW

注 1. バスフォールトはハードフォールトとして扱うことができます。詳細は、「2.13. 参考資料」の ARM® Cortex®-M33 Device Generic User Guide を参照してください。

意図しない動作を防止するため、例外処理において例外ルーティングに追加処理を行ってください。

表 2.15 に示す検出されたエラーに起因するバスフォールト：

- 対応するレジスタのエラー情報は、「13. バス」を参照してください。
- エラーアドレスに対応したキャッシュのデータはクリアしてください。
- バスモジュール内のエラーステータスレジスタをクリアしてください。
- Arm のガイドに従った操作による例外処理の実施

Renesas の専用エラー検出モジュールで検出できないバスフォールト（Arm Cortex-M33 内部で発生するエラー）の場合、そのケースの処理については ARM® Cortex®-M33 Device Generic User Guide を参照してください。

システムバス仕様においてスレーブ TrustZone フィルタの特定のケースがあり、そこで NMI を生成するエラーが選択された場合、プロセッサがバスフォールト例外処理を実行する前に、より高い優先度の NMI の例外処理を先に実行します。本製品では、このエラーの取り扱いを NMI ハンドラではなく、バスフォールトハンドラで行ってください。つまり、NMI ステータスはクリアする必要がありますが、バスフォールトがエラーの全情報をキャプチャするのを確実にを行うため、エラーステータスビットをクリアしてはなりません。

図 2.4 と図 2.5 に、表 2.15 に説明されるエラーに関する NMI ハンドラと BusFault ハンドラの推奨フローを示します。

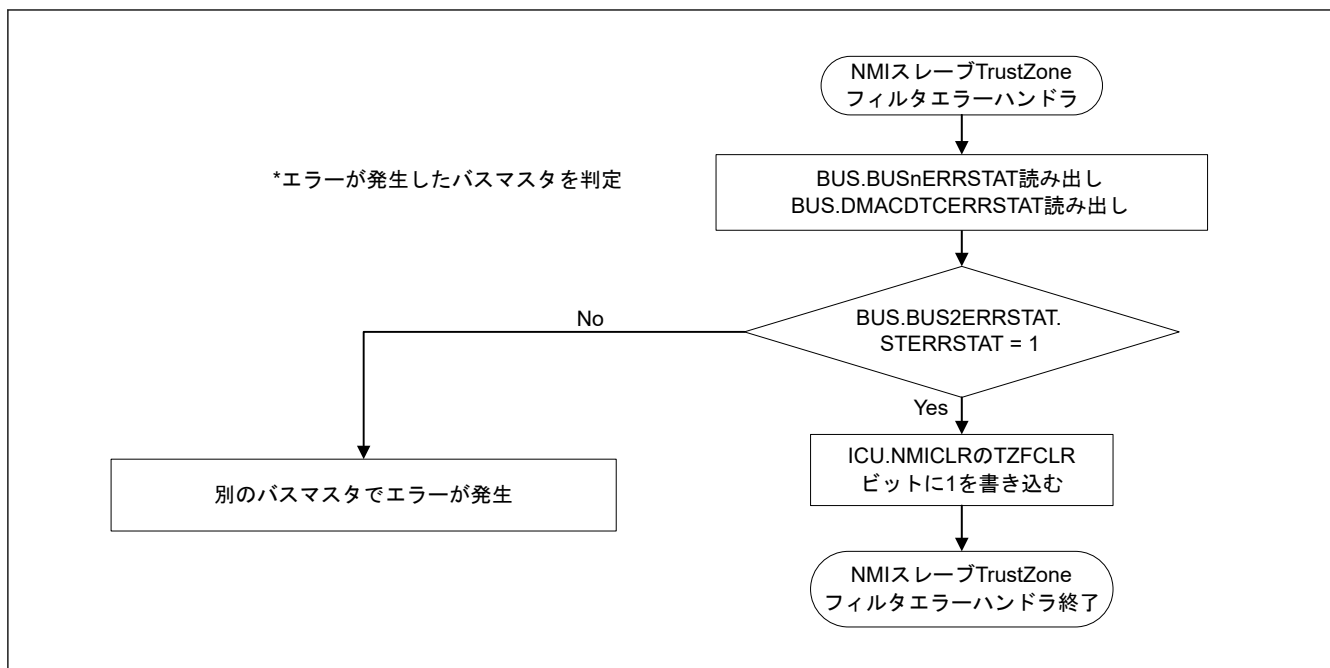


図 2.4 NMI 処理フローチャート

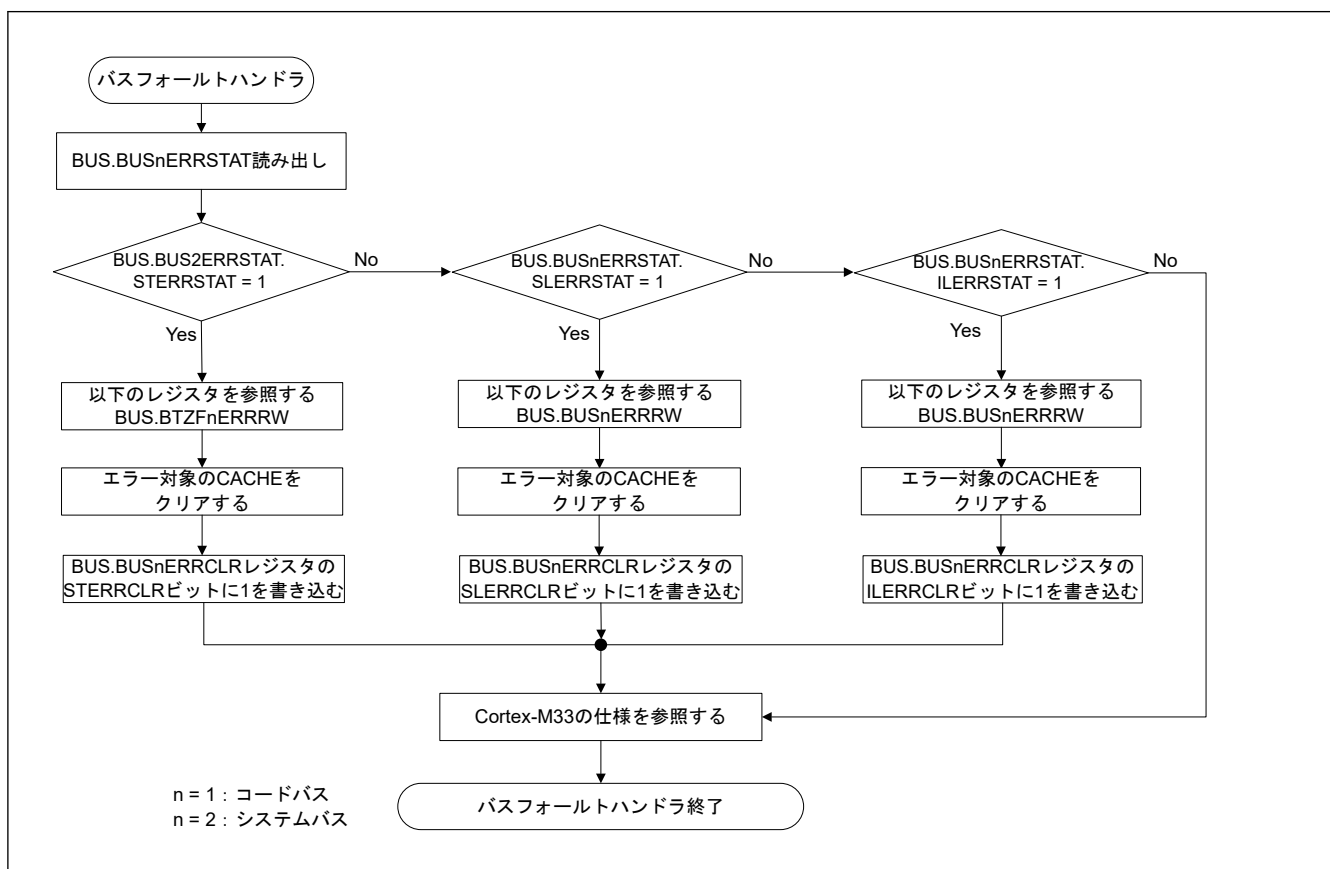


図 2.5 バスフォールト割込み処理フローチャート

2.7 CoreSight クロストリガインタフェース (CTI)

図 2.6 に示すように、CTI (Cross Trigger Interface : クロストリガインタフェース) の入力と出力は 4 つの CTM チャネルを通じて互いにやり取りを行います。ここで、CTI の入力は、4 つの CTM チャネルを通じて他の CTI の出力をトリガするために使うことができます。

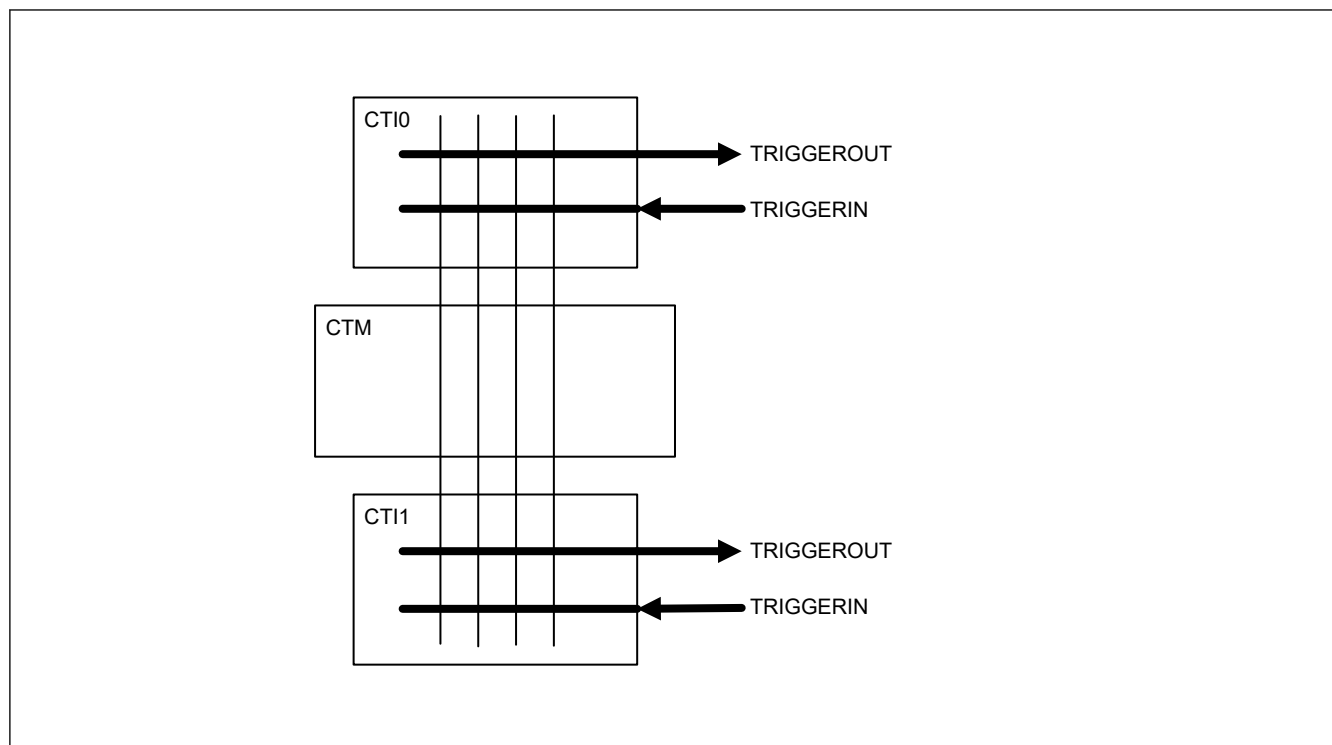


図 2.6 CTI システム

デバッグ割込み要求 (DBGIRQ) は、OCDREG モジュールの MCUCTRL レジスタでコントロールします。

表 2.16 CTI トリガ信号

CTI チャンネル数	CTITRIGIN		CTITRIGOUT	
CTI0 (デバッグ共通)	0	ACQCOMP	0	—
	1	FULL	1	—
	2	DBGIRQ	2	ETB FLUSHIN
	3	—	3	ETB TRIGIN
	4	—	4	—
	5	—	5	—
	6	—	6	—
	7	—	7	—
CTI1 (CPU)	0	プロセッサ停止	0	プロセッサデバッグ要求
	1	DWT コンパレータ出力 0	1	プロセッサ再開始
	2	DWT コンパレータ出力 1	2	CTIIRQ[0] (IRQ64 に接続)
	3	DWT コンパレータ出力 2	3	CTIIRQ[1] (IRQ65 に接続)
	4	ETM イベント出力 0	4	ETM イベント入力 0
	5	ETM イベント出力 1	5	ETM イベント入力 1
	6	—	6	ETM イベント入力 2
	7	—	7	ETM イベント入力 3

2.8 CoreSight ATB ファネル

MCU には 1 つの CoreSight ATB ファネルがあります。ファネルには 2 つの ATB スレーブと 1 つの ATB マスタがあり、ETM および ITM から ETB までのデバッグトレースソースを選択します。図 2.7 に MCU 内の CoreSight ATB 接続を示します。

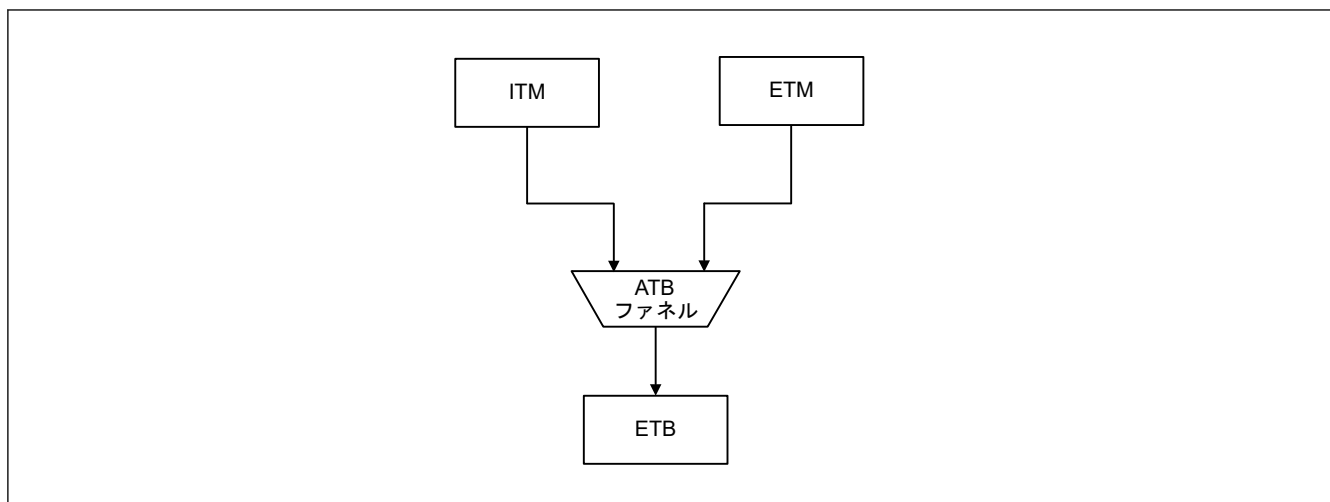


図 2.7 CoreSight ATB 接続

表 2.17 にファネル ATB スレーブ接続を示します。

表 2.17 ATB スレーブ接続

ATB スレーブ番号	接続されたトレースソース
#0	ITM
#1	ETM

ATB とファネルの詳細は、「[2.13. 参考資料](#)」の参考資料 4.を参照してください。

2.9 ブレークポイントユニット

MCU にはブレークポイントユニットがあります。このモジュールのレジスタ説明の詳細については、「[2.13. 参考資料](#)」の参考資料 1.のブレークポイントユニット章を参照してください。

2.10 CoreSight タイムスタンプ発生器

CoreSight タイムスタンプ発生器は、ITM と ETM へ CPU クロックベースのタイムスタンプを供給します。タイムスタンプは 64 ビットカウンタにより生成されます。詳細は、「[2.13. 参考資料](#)」の参考資料 4.を参照してください。

2.11 SysTick タイマ

本 MCU は、非セキュアとセキュアの 2 つの 24 ビットダウンカウンタとなる SysTick タイマを内蔵しています。このタイマは、SysTick タイマクロック (SYSTICCLK) またはシステムクロック (ICLK) を選択できます。

詳細は、「[8. クロック発生回路](#)」および「[2.13. 参考資料](#)」の参考資料 1.を参照してください。

注. SysTick タイマカウンタ動作は、CPU クロック信号との同期により許可されます。よって、CPU クロックの設定が SysTick タイマクロックより遅れる場合は、カウンタは正常に動作しない可能性があります。つまり、クロック設定は次の式を満たさなければなりません。CPU クロック $\geq$ SysTick タイマクロック (LOCO: 32.768 kHz)

2.12 OCD エミュレータ接続

本製品では、非セキュアデバッグと非セキュアチップリソースに対して、デバッグレベルが DBG1 以上であることをチェックすることにより、アクセス許可を確認します。デバッグとチップリソースに対して全アクセスを許可するためには、セキュアデバッグレベル DBG2 が必要です。

図 2.8 に、SWD 認証機構のブロック図を示します。

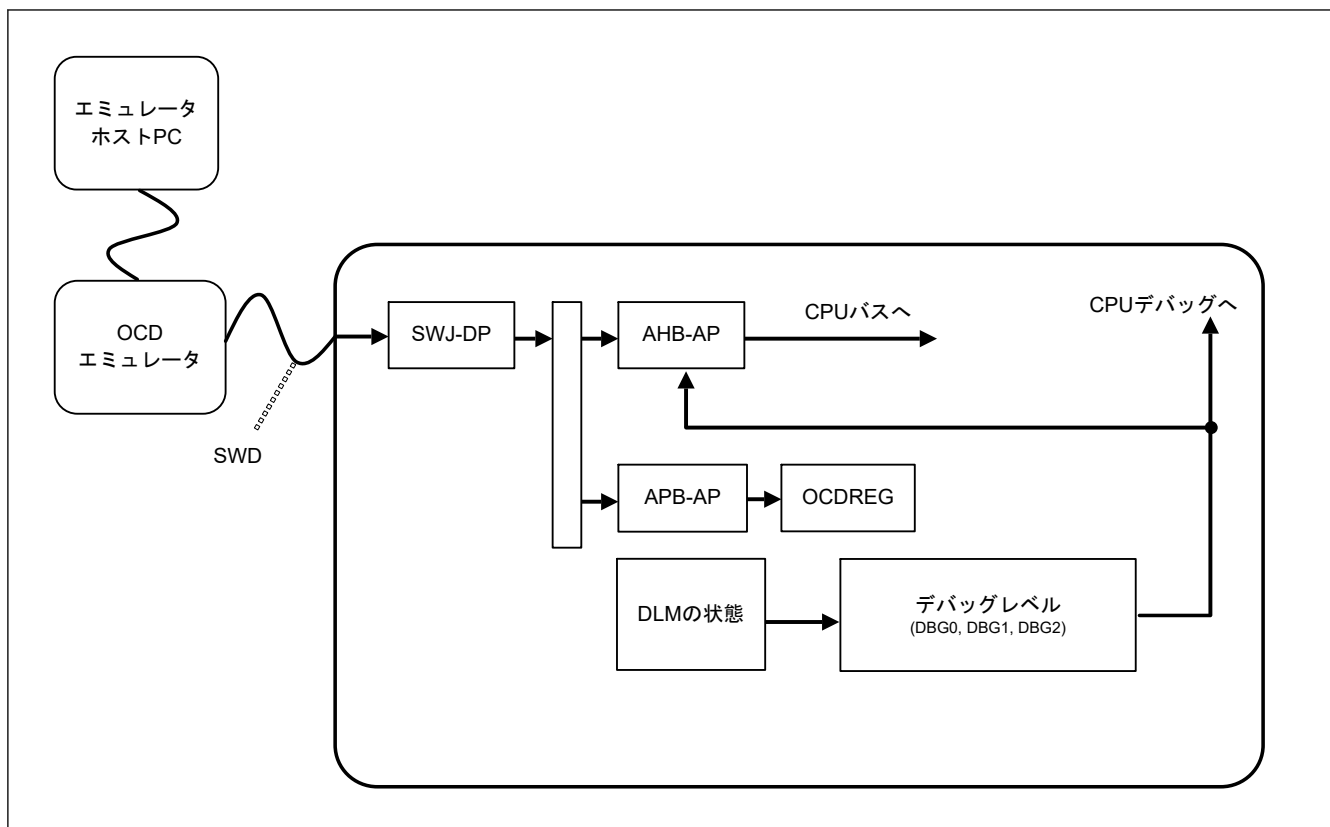


図 2.8 SWD 認証機構のブロック図

デバッグ能力には DBG0、DBG1、DBG2 の 3 つのレベルがあり、それぞれが DLM (Device Level Management) 状態に対応します。デバッグレベルが DBG0 の場合、OCD エミュレータからのデバッグコンポーネントやシステムバスへのアクセスが許可されません。デバッグレベルが DBG1 または DBG2 の場合、デバッグコンポーネントやシステムバスの対応する非セキュアまたはセキュアデバッグが OCD エミュレータからアクセス可能です。デバッグレベルについての詳細は、表 2.4 を参照してください。

2.12.1 DBGEN

OCD エミュレータは、アクセス許可を取得した後、システムコントロール OCD コントロールレジスタ (SYOCD CR) の DBGEN ビットを設定する必要があります。また、OCD エミュレータは切断する前に DBGEN ビットをクリアする必要があります。詳細は、「10. 低消費電力モード」を参照してください。

2.12.2 OCD エミュレータ接続における制限

本節では、エミュレータアクセスにおける制限を説明します。

2.12.2.1 低消費電力モードにおける接続開始

OCD エミュレータから SWD 接続を開始するとき、MCU は通常モードまたはスリープモードでなければなりません。MCU がソフトウェアスタンバイモードまたはスヌーズモードであると、OCD エミュレータは MCU をハングさせる場合があります。

2.12.2.2 OCD モード中の低消費電力モードの変更

本 MCU が OCD モードであるとき、低消費電力モードの変更が可能です。ただし、AHB-AP からのシステムバスアクセスは、ソフトウェアスタンバイモードまたはスヌーズモードでは禁止されます。これらのモードでは、SWJ-DP、APB-AP、および OCDREG に対してのみ、OCD エミュレータからのアクセスが可能です。表 2.18 に制約事項を示します。

表 2.18 各モードの制限

現在のモード	OCD エミュレータの接続 開始	低消費電力モードの変更	AHB-AP とシステムバス へのアクセス	APB-AP と OCDREG へ のアクセス
ノーマル	可能	可能	可能	可能
スリープ	可能	可能	可能	可能
ソフトウェアスタンバイ	不可能	可能	不可能	可能
スヌーズ	不可能	可能	不可能	可能

ソフトウェアスタンバイモードまたはスヌーズモードにおいてシステムバスアクセスが必要な場合は、OCDREG の MCUCTRL.DBIRQ ビットを設定して、MCU を低消費電力モードから復帰させてください。同時に、OCDREG の MCUCTRL.DBIRQ ビットをアサートすることで、OCD エミュレータは、CPU ブレークを用いることにより、CPU の実行を開始することなく、本 MCU を復帰させることができます。

2.12.2.3 接続順序と SWD 認証

1. SWD インタフェースを介して OCD デバッガを本 MCU に接続します。
2. DAP バスにアクセスするよう SWJ-DP を設定します。
設定中に、OCD エミュレータは SWJDP の CDBGPWRUPREQ をアサートしなければなりません。
コントロールステータスレジスタおよび同じレジスタの CDBGPWRUPACK までの待機がアサートされます。
3. OCDREG にアクセスするよう APB-AP を設定します。この APB-AP は DAP バスのポート 1 に接続されます。
4. MCUCTRL.CPUWAIT = 1 にします。
5. MCUSTAT を読み出すことにより、デバイスのデバッグ機能を確認してください。
 - デバッグ機能が無効の場合、本デバイスはデバッグできません。
 - デバッグ機能が有効かつセキュアデバッグが使用不可の場合、非セキュアデバッグのみ使用可能です。
 - デバッグ機能が有効かつセキュアデバッグが使用可能の場合、全デバッグ機能が使用可能です。

デバッグ機能が使用可能な場合、デバッグ関連レジスタを設定し、MCUCTRL.CPUWAIT = 0 にしてください。

6. システムアドレス空間にアクセスするように AHB-AP を設定します。AHB-AP は DAP バスのポート 0 に接続されます。
7. SYOCD CR.DBGEN を 1 に設定します。
8. AHB-AP を使用して、CPU デバッグリソースへのアクセスを開始します。

注 デバッグレベルは製品の現在の DLM の状態により決まります。

2.13 参考資料

1. ARM®v8-M Architecture Reference Manual (ARM DDI 0553B.a)
2. ARM® Cortex®-M33 Processor Technical Reference Manual (ARM 100230)
3. ARM® Cortex®-M33 Device Generic User Guide (ARM 100235)
4. ARM®CoreSight™SoC-400 Technical Reference Manual(ARM DDI 0480G)
5. ARM®CoreSight™Architecture Specification(ARM IHI 0029E)

3. 動作モード

3.1 概要

表 3.1 にモード設定端子による動作モードの選択を示します。詳細は「[3.2. 動作モードの詳細](#)」を参照してください。どの動作モードで起動しても、内蔵フラッシュメモリが有効な状態で動作を開始します。

表 3.1 モード設定端子による動作モードの選択

モード設定端子 (MD)	動作モード	内蔵フラッシュ
1	シングルチップモード/SWD ブートモード	有効
0	SCI ブートモード	有効

3.2 動作モードの詳細

3.2.1 シングルチップモード

シングルチップモードでは、すべての入出力端子が、入出力ポート、周辺機能入出力、または割り込み入力として使用可能です。

MD 端子が High になっているときにリセットが解除されると、MCU はシングルチップモードで起動し、内蔵フラッシュメモリが有効になります。

3.2.2 SCI ブートモード

このモードでは、MCU 内部のブート領域に格納された、内蔵フラッシュメモリ書き込みルーチン (SCI ブートプログラム) が用いられます。調歩同期式シリアル通信インタフェース (UART) SCI を使用して、MCU 外部から内蔵フラッシュメモリ (コードフラッシュメモリ、データフラッシュメモリ) を書き換えることができます。詳細は、「[39. フラッシュメモリ](#)」を参照してください。MD 端子を Low に保持してリセットを解除すると、SCI ブートモードで起動します。

3.2.3 SWD ブートモード

このモードでは、MCU 内部のブート領域に格納された、内蔵フラッシュメモリ書き込みルーチン (SWD ブートプログラム) が用いられます。SWD インタフェースを使用して、MCU 外部から内蔵フラッシュメモリ (コードフラッシュメモリ、データフラッシュメモリ) を書き換えることができます。詳細は「[39. フラッシュメモリ](#)」を参照してください。このモードに入るには、RES 端子リセット中に SWD-I/F から要求を入力する必要があります。

3.3 動作モード遷移

3.3.1 モード設定端子による起動モード遷移

MD 端子の設定による起動モード遷移について、[図 3.1](#) に状態遷移図を示します。

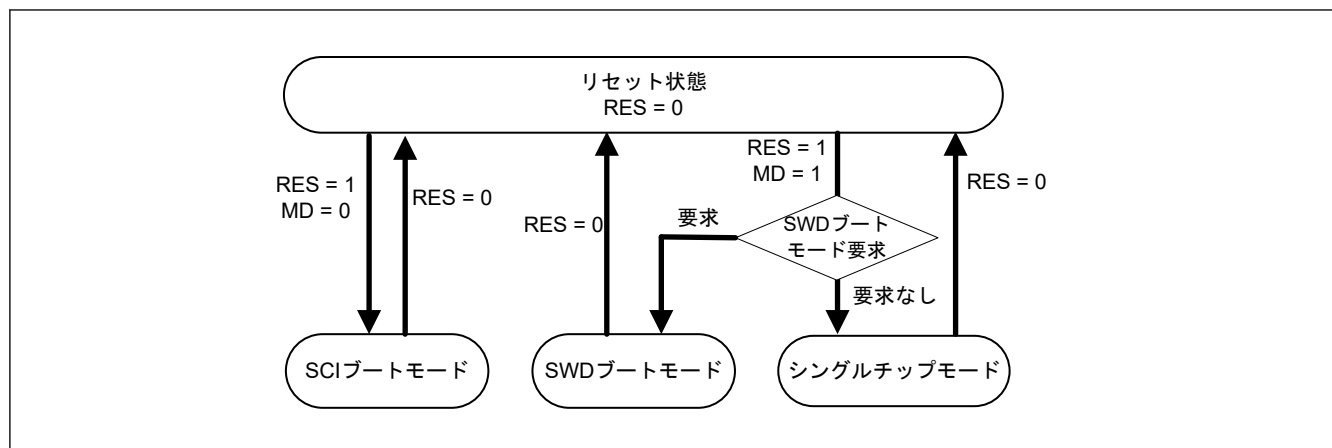


図 3.1 モード設定端子のレベルと動作モード

4. アドレス空間

4.1 アドレス空間

本 MCU は、プログラムとデータの両方を格納できる 4 GB のリニアアドレス空間 (0x0000_0000～0xFFFF_FFFF) をサポートしています。図 4.1 にメモリマップを示します。

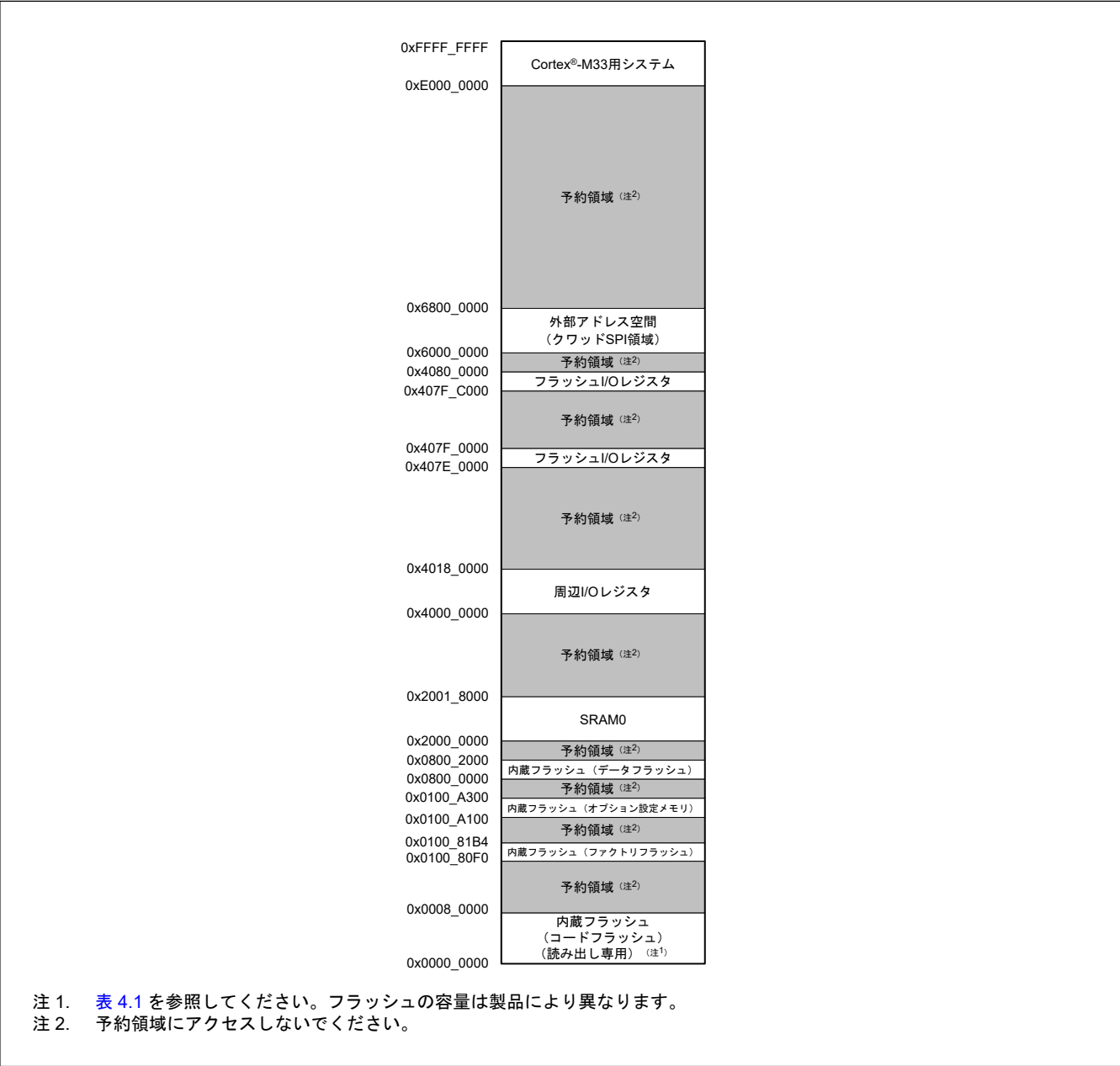


図 4.1 メモリマップ

表 4.1 コードフラッシュメモリ、データフラッシュメモリ、および SRAM0 の容量

コードフラッシュメモリ		データフラッシュメモリ		SRAM0	
容量	アドレス	容量	アドレス	容量	アドレス
512 KB	0x0000_0000～0x0007_FFFF	8 KB	0x0800_0000～0x0800_1FFF	96 KB	0x2000_0000～0x2001_7FFF
256 KB	0x0000_0000～0x0003_FFFF				

5. リセット

5.1 概要

本 MCU は、14 種類のリセットをサポートしています。

表 5.1 にリセットの名称と要因を示します。

表 5.1 リセットの名称と要因

リセット名	要因
RES 端子リセット	RES 端子への入力電圧が Low
パワーオンリセット	VCC の下降（電圧検出：V _{POR} ）（注1）
VRTC ドメインパワーオンリセット (VRTC_POR)	VRTC の下降（電圧検出：V _{VRTC_POR} ）（注1）
独立ウォッチドッグタイマリセット	IWDTC のアンダーフローまたはリフレッシュエラーの発生
ウォッチドッグタイマリセット	WDT のアンダーフローまたはリフレッシュエラーの発生
電圧監視 0 リセット	VCC の下降（電圧検出：V _{det0} ）（注1）
電圧監視 1 リセット	VCC の下降（電圧検出：V _{det1} ）（注1）
電圧監視 2 リセット	VCC または EXLVD の下降（電圧検出：V _{det2} ）（注1）
SRAM パリティエラーリセット	SRAM パリティエラーの検出
SRAM ECC エラーリセット	SRAM ECC エラー検出
バスマスタ MPU エラーリセット	バスマスタ MPU エラーの検出
TrustZone エラーリセット	TrustZone エラー検出
キャッシュパリティエラーリセット	キャッシュパリティエラー検出
ソフトウェアリセット	レジスタ設定（ソフトウェアリセットビット：AIRCR.SYSRESETREQ を使用）

注 1. 監視電圧 (V_{POR}, V_{det0}, V_{det1}, V_{det2}, V_{VRTC_POR}) の詳細については、「7. 低電圧検出回路 (LVD)」と「43. 電気的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。表 5.2 と表 5.3 にリセット種類別の初期化対象を示します。

表 5.2 リセット要因ごとの初期化対象リセット検出フラグ (1/2)

初期化対象フラグ	リセット要因													
	RES 端子リセット	パワーオンリセット	電圧監視 0 リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット	電圧監視 1 リセット	電圧監視 2 リセット	ソフトウェアリセット	SRAM パリティエラーリセット	SRAM ECC エラーリセット	バスマスタ MPU エラーリセット	TrustZone リセットエラー	キャッシュパリティエラーリセット	VRTC ドメインパワーオンリセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	✓	—	—	—	—	—	—	—	—	—	—	—	—	—
電圧監視 0 リセット検出フラグ (RSTSR0.LVD0RF)	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	✓	✓	✓	—	—	—	—	—	—	—	—	—	—	—
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF)	✓	✓	✓	—	—	—	—	—	—	—	—	—	—	—

表 5.2 リセット要因ごとの初期化対象リセット検出フラグ (2/2)

初期化対象フラグ	リセット要因													
	RES 端子リセット	パワーオンリセット	電圧監視 0 リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット	電圧監視 1 リセット	電圧監視 2 リセット	ソフトウェアリセット	SRAM パリティエラーリセット	SRAM ECC エラーリセット	バスマスタ MPU エラーリセット	TrustZone リセットエラー	キャッシュパリティエラーリセット	VRTC ドメインパワーオンリセット
電圧監視 1 リセット検出フラグ (RSTSR0.LVD1RF)	✓	✓	✓	—	—	—	—	—	—	—	—	—	—	—
電圧監視 2 リセット検出フラグ (RSTSR0.LVD2RF)	✓	✓	✓	—	—	—	—	—	—	—	—	—	—	—
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	✓	✓	✓	—	—	—	—	—	—	—	—	—	—	—
SRAM パリティエラーリセット検出フラグ (RSTSR1.RPERF)	✓	✓	✓	—	—	—	—	—	—	—	—	—	—	—
SRAM ECC エラーリセット検出フラグ (RSTSR1.REERF)	✓	✓	✓	—	—	—	—	—	—	—	—	—	—	—
バスマスタ MPU エラーリセット検出フラグ (RSTSR1.BUSMRF)	✓	✓	✓	—	—	—	—	—	—	—	—	—	—	—
TrustZone エラーリセット検出フラグ (RSTSR1.TZERF)	✓	✓	✓	—	—	—	—	—	—	—	—	—	—	—
キャッシュパリティリセット検出フラグ (RSTSR1.CPERF)	✓	✓	✓	—	—	—	—	—	—	—	—	—	—	—
コールドスタート／ウォームスタート判別フラグ (RSTSR2.CWSF)	—	✓	—	—	—	—	—	—	—	—	—	—	—	—
VRTC ドメインパワーオンリセット検出フラグ (VRTSR.PORDET)	—	—	—	—	—	—	—	—	—	—	—	—	—	—

注. ✓ : 0 に初期化される
 — : 初期化されない

表 5.3 リセット種類別の初期化対象（各モジュールの関連レジスタ） (1/5)

初期化対象レジスタ		リセット要因							
		RES 端子リセット	パワーオンリセット	電圧監視 0 リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット	電圧監視 1 リセット	電圧監視 2 リセット	ソフトウェアリセット
独立ウォッチドッグタイマのレジスタ	IWDTRR, IWDTSR	✓	✓	✓	✓	✓	✓	✓	✓
ウォッチドッグタイマのレジスタ	WDTRR, WDTCR, WDTSR, WDTRCR, WDTCSIPR	✓	✓	✓	✓	✓	✓	✓	✓
電圧監視機能 1 のレジスタ	LVD1CR0, LVD1CMP CR	✓	✓	✓	✓	✓	—	—	—
	LVD1CR1/LVD1SR	✓	✓	✓	✓	✓	—	—	—

表 5.3 リセット種類別の初期化対象（各モジュールの関連レジスタ）（2/5）

初期化対象レジスタ		リセット要因							
		RES 端子 リセット	パワーオ ンリセッ ト	電圧監視 0 リセッ ト	独立ウォ ッチドッ グタイマ リセット	ウォッチ ドッグタ イマリセ ット	電圧監視 1 リセッ ト	電圧監視 2 リセッ ト	ソフトウ ェアリセ ット
電圧監視機能 2 のレ ジスタ	LVD2CR0, LVD2CMPCR	✓	✓	✓	✓	✓	—	—	—
	LVD2CR1/LVD2SR	✓	✓	✓	✓	✓	—	—	—
SOSC レジスタ	SOSCCR	—	—	—	—	—	—	—	—
	SOMCR	—	—	—	—	—	—	—	—
	SOMRG	—	—	—	—	—	—	—	—
LOCO レジスタ	LOCOCR	✓	✓	✓	✓	✓	✓	✓	✓
	LOCOUTCR	—	✓	✓	—	—	✓	✓	—
MOSC レジスタ	MOMCR	✓	✓	✓	✓	✓	✓	✓	✓
リアルタイムクロッ ク (RTC) のレジスタ (注1)	RSR.AF	✓	✓	✓	✓	✓	✓	✓	✓
	RSR.CF								
	RSR.PF								
	RCR1.CIE								
	RCR1.RTCOS								
	RCR2.RESET								
	RCR2.ADJ30								
	RCR2.RTCOE								
	RCR4.RTCOHP								
	上記以外	—	—	—	—	—	—	—	—
AGTn レジスタ (n = 0, 1)		—	✓	✓	—	—	✓	✓	—
バス、MPU および TrustZone エラーレ ジスタ (注2)	BUSnERRADD (n = 1~3)	✓	✓	✓	✓	✓	✓	✓	✓
	BUSnERRRW (n = 1 ~3)								
	BTZFnERRADD (n = 1~3)								
	BTZFnERRRW (n = 1~3)								
	BUSnERRSTAT (n = 1~3)								
	DMACDTCERRSTAT								
	BUSnERRCLR (n = 1 ~3)								
	DMACDTCERRCLR								
端子状態 (XCIN/XCOUT 端子以外)		✓	✓	✓	✓	✓	✓	✓	✓
端子状態 (XCIN/XCOUT 端子)		—	—	—	—	—	—	—	—
低消費電力機能のレ ジスタ	SYOCDCCR	—	✓	—	—	—	—	—	—

表 5.3 リセット種類別の初期化対象（各モジュールの関連レジスタ）（3/5）

初期化対象レジスタ		リセット要因							
		RES 端子 リセット	パワーオ ンリセッ ト	電圧監視 0 リセッ ト	独立ウォ ッチドッ グタイマ リセット	ウォッチ ドッグタ イマリセ ット	電圧監視 1 リセッ ト	電圧監視 2 リセッ ト	ソフトウ ェアリセ ット
セキュリティ属性の レジスタ	CPUDSAR, RSTSAR, LVDSAR, CGFSAR, LPMSAR, ICUSARx, BUSSARA, BUSSARB, MMPUSARA, MMPUSARB, DMACSAR, DTCSAR, ELCSARA, ELCSARB, ELCSARC, PmSAR, SRAMSAR, FSAR, PSARB, PSARC, PSARD, PSARE, MSSAR, TZFSAR	✓(注3)	✓	✓(注3)	✓(注3)	✓(注3)	✓(注3)	✓(注3)	✓(注3)
上記以外のレジスタ、CPU、および内部状態		✓	✓	✓	✓	✓	✓	✓	✓

表 5.3 リセット種類別の初期化対象（各モジュールの関連レジスタ）（4/5）

初期化対象レジスタ		リセット要因					
		SRAM パリ ティエラ ーリセッ ト	SRAM ECC エラーリセ ット	バスマスタ MPU エラ ーリセッ ト	TrustZone エラーリセ ット	キャッシュ パリティエ ラーリセッ ト	VRTC ドメ インパワー オンリセッ ト
独立ウォッチドッグタイ マのレジスタ	IWDTRR, IWDTSR	✓	✓	✓	✓	✓	—
ウォッチドッグタイマの レジスタ	WDTRR, WDTCTCR, WDTSR, WDTRCR, WDTCTPR	✓	✓	✓	✓	✓	—
電圧監視機能 1 のレジス タ	LVD1CR0, LVD1CMP CR	—	—	—	—	—	—
	LVD1CR1/LVD1SR	—	—	—	—	—	—
電圧監視機能 2 のレジス タ	LVD2CR0, LVD2CMPCR	—	—	—	—	—	—
	LVD2CR1/LVD2SR	—	—	—	—	—	—
SOSC レジスタ	SOSCCR	—	—	—	—	—	✓
	SOMCR	—	—	—	—	—	✓
	SOMRG	—	—	—	—	—	✓
LOCO レジスタ	LOCOCR	✓	✓	✓	✓	✓	—
	LOCOUTCR	—	—	—	—	—	—
MOSC レジスタ	MOMCR	✓	✓	✓	✓	✓	—

表 5.3 リセット種類別の初期化対象（各モジュールの関連レジスタ）（5/5）

初期化対象レジスタ		リセット要因					
		SRAM パリティエラーリセット	SRAM ECC エラーリセット	バスマスタ MPU エラーリセット	TrustZone エラーリセット	キャッシュパリティエラーリセット	VRTC ドメインパワーオンリセット
リアルタイムクロック (RTC) のレジスタ ^(注1)	RSR.AF	✓	✓	✓	✓	✓	—
	RSR.CF						
	RSR.PF						
	RCR1.CIE						
	RCR1.RTCOS						
	RCR2.RESET						
	RCR2.ADJ30						
	RCR2.RTCOE						
	RCR4.RTCOHP						
	上記以外	—	—	—	—	—	—
AGTn レジスタ (n = 0, 1)		—	—	—	—	—	—
バス、MPU および TrustZone エラーレジスタ ^(注2)	BUSnERRADD (n = 1~3)	✓	✓	—	—	—	—
	BUSnERRRW (n = 1~3)						
	BTZFnERRADD (n = 1~3)						
	BTZFnERRRW (n = 1~3)						
	BUSnERRSTAT (n = 1~3)						
	DMACDTCERRSTAT						
	BUSnERRCLR (n = 1~3)						
端子状態 (XCIN/XCOUT 端子以外)		✓	✓	✓	✓	✓	—
		—	—	—	—	—	✓
低消費電力機能のレジスタ	SYOCDRCR	—	—	—	—	—	—
セキュリティ属性のレジスタ	CPUDSAR, RSTSAR, LVDSAR, CGFSAR, LPMSAR, ICUSARx, BUSSARA, BUSSARB, MMPUSARA, MMPUSARB, DMACSAR, DTCSAR, ELCSARA, ELCSARB, ELCSARC, PmSAR, SRAMSAR, FSAR, PSARB, PSARC, PSARD, PSARE, MSSAR, TZFSAR	✓ ^(注3)	✓ ^(注3)	✓ ^(注3)	✓ ^(注3)	✓ ^(注3)	—
上記以外のレジスタ、CPU、および内部状態		✓	✓	✓	✓	✓	—

注. ✓：初期化される
 —：初期化されない

注 1. RTC にはソフトウェアリセットがあります。一部の制御ビットは、どの種類のリセットによっても初期化されません。対象ビットの詳細については、「[22. リアルタイムクロック \(RTC\)](#)」を参照してください。

注 2. 一部の制御ビットは、どの種類のリセットによっても初期化されません。対象ビットの詳細については、「[13. バス](#)」を参照してください。

注 3. オンチップデバッグが無効 (SYOCDRCR.DBGEN = 0) であっても、デバッグが接続 (DBGSTR.CDBGPWRUPREQ = 1) されているとリセットは発生しません。

RTC はいかなるリセット要因でも初期化されません。SOSC と外部サブクロック入力 は RTC のクロックソースとして選択可能です。

[表 5.4](#) にリセット発生時の SOSC と外部サブクロック入力の状態を示します。[表 5.5](#) にリセット発生時の LOCO の状態を示します。

表 5.4 リセット発生時の SOSC の状態

		リセット要因	
		VRTC_POR	その他
SOSC	有効／無効	初期化（無効）	リセット発生前に選択されていた状態を継続
	駆動能力	ノーマルモードに初期化	リセット発生前に選択されていた状態を継続
	XCIN/XCOUT	ポートモードに初期化	リセット発生前に選択されていた状態を継続
外部サブクロック	有効／無効	初期化（無効）	リセット発生前に選択されていた状態を継続
	外部サブクロック入力	ポートモードに初期化	リセット発生前に選択されていた状態を継続

表 5.5 リセット発生時の LOCO の状態

		リセット要因		
		POR, LVD0, LVD1, LVD2	VRTC_POR	その他
LOCO	有効／無効	初期化（有効）	リセット発生前に選択されていた状態を継続	初期化（有効）
	発振精度	初期化（パワーオンによるトリミングの前の精度（精度： $\pm 10\%$ ））	LOCOUTCR レジスタにより調整された精度を継続	

リセットが解除されると、リセット例外処理を開始します。

表 5.6 にリセット機能に関連する端子を示します。

表 5.6 リセット関連端子

端子名	入出力	機能
RES	入力	リセット端子

5.2 レジスタの説明

5.2.1 RSTSAR：リセットセキュリティ属性レジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x3C4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	NONS EC2	NONS EC1	NONS EC0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	NONSEC0	非セキュア属性ビット 0 対象レジスタ: リセットステータスレジスタ 0 0: セキュア 1: 非セキュア	R/W
1	NONSEC1	非セキュア属性ビット 1 対象レジスタ: リセットステータスレジスタ 1 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
2	NONSEC2	非セキュア属性ビット 2 対象レジスタ: リセットステータスレジスタ 2 0: セキュア 1: 非セキュア	R/W
31:3	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されてい
ますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスメッセージは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

NONSEC0 ビット (非セキュア属性ビット 0)

本ビットは RSTSR0 のセキュリティ属性を制御します。

NONSEC1 ビット (非セキュア属性ビット 1)

本ビットは RSTSR1 のセキュリティ属性を制御します。

NONSEC2 ビット (非セキュア属性ビット 2)

本ビットは RSTSR2 のセキュリティ属性を制御します。

5.2.2 RSTSR0: リセットステータスレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0x410

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	LVD2R F	LVD1R F	LVD0R F	PORF
Value after reset:	0	0	0	0	x(注1)	x(注1)	x(注1)	x(注1)

ビット	シンボル	機能	R/W
0	PORF	パワーオンリセット検出フラグ 0: パワーオンリセット未検出 1: パワーオンリセット検出	R/W(注2)
1	LVD0RF	電圧監視 0 リセット検出フラグ 0: 電圧監視 0 リセット未検出 1: 電圧監視 0 リセット検出	R/W(注2)
2	LVD1RF	電圧監視 1 リセット検出フラグ 0: 電圧監視 1 リセット未検出 1: 電圧監視 1 リセット検出	R/W(注2)
3	LVD2RF	電圧監視 2 リセット検出フラグ 0: 電圧監視 2 リセット未検出 1: 電圧監視 2 リセット検出	R/W(注2)
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスメッセージは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. リセット後の値は、リセット要因で異なります。

注 2. 本レジスタは表 5.2 に示すリセット要因が発生した時、およびフラグをクリアするための 0 書き込みによりクリアされます。クリアしたいフラグ以外は 1 を書き込む必要があります。

PORF フラグ (パワーオンリセット検出フラグ)

PORF フラグはパワーオンリセットが発生したことを示します。

[1 になる条件]

- パワーオンリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- PORF から 1 を読んだ後、PORF に 0 を書いたとき

LVD0RF フラグ（電圧監視 0 リセット検出フラグ）

LVD0RF フラグは VCC 電圧が V_{det0} レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 0 リセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- LVD0RF から 1 を読んだ後、LVD0RF に 0 を書いたとき

LVD1RF フラグ（電圧監視 1 リセット検出フラグ）

LVD1RF フラグは VCC 電圧が V_{det1} レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 1 リセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- LVD1RF から 1 を読んだ後、LVD1RF に 0 を書いたとき

LVD2RF フラグ（電圧監視 2 リセット検出フラグ）

LVD2RF フラグは VCC または EXLVD 電圧が V_{det2} レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 2 リセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- LVD2RF から 1 を読んだ後、LVD2RF に 0 を書いたとき

5.2.3 RSTSR1：リセットステータスレジスタ 1

Base address: SYSC = 0x4001_E000

Offset address: 0x0C0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CPE F	—	TZER F	—	BUSM RF	—	REER F	RPER F	—	—	—	—	—	SWRF	WDTR F	IWDT RF
Value after reset:	x(注1)	0	x(注1)	0	x(注1)	0	x(注1)	x(注1)	0	0	0	0	0	x(注1)	x(注1)	x(注1)

ビット	シンボル	機能	R/W
0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ 0: 独立ウォッチドッグタイマリセット未検出 1: 独立ウォッチドッグタイマリセット検出	R/W(注2)
1	WDTRF	ウォッチドッグタイマリセット検出フラグ 0: ウォッチドッグタイマリセット未検出 1: ウォッチドッグタイマリセット検出	R/W(注2)

ビット	シンボル	機能	R/W
2	SWRF	ソフトウェアリセット検出フラグ 0: ソフトウェアリセット未検出 1: ソフトウェアリセット検出	R/W(注2)
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	RPERF	SRAM パリティエラーリセット検出フラグ 0: SRAM パリティエラーリセット未検出 1: SRAM パリティエラーリセット検出	R/W(注2)
9	REERF	SRAM ECC エラーリセット検出フラグ 0: SRAM ECC エラーリセット未検出 1: SRAM ECC エラーリセット検出	R/W(注2)
10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	BUSMRF	バスマスタ MPU エラーリセット検出フラグ 0: バスマスタ MPU エラーリセット未検出 1: バスマスタ MPU エラーリセット検出	R/W(注2)
12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13	TZERF	TrustZone エラーリセット検出フラグ 0: TrustZone エラーリセット未検出 1: TrustZone エラーリセット検出	R/W(注2)
14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	CPERF	キャッシュパリティエラーリセット検出フラグ 0: キャッシュパリティエラーリセット未検出 1: キャッシュパリティエラーリセット検出	R/W(注2)

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. リセット後の値は、リセット要因で異なります。

注 2. フラグをクリアするための 0 書き込みのみ可能です。フラグは、1 を読んだ後に 0 を書く必要があります。

IWDTRF フラグ (独立ウォッチドッグタイマリセット検出フラグ)

IWDTRF フラグは独立ウォッチドッグタイマリセットが発生したことを示します。

[1 になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- IWDTRF から 1 を読み出して 0 を書いたとき

WDTRF フラグ (ウォッチドッグタイマリセット検出フラグ)

WDTRF フラグはウォッチドッグタイマリセットが発生したことを示します。

[1 になる条件]

- ウォッチドッグタイマリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- WDTRF から 1 を読み出して 0 を書いたとき

SWRF フラグ (ソフトウェアリセット検出フラグ)

SWRF フラグはソフトウェアリセットが発生したことを示します。

[1 になる条件]

- ソフトウェアリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- SWRF から 1 を読み出して 0 を書いたとき

RPERF フラグ (SRAM パリティエラーリセット検出フラグ)

RPERF フラグは SRAM パリティエラーリセットが発生したことを示します。

[1 になる条件]

- SRAM パリティエラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- RPERF から 1 を読み出して 0 を書いたとき

REERF フラグ (SRAM ECC エラーリセット検出フラグ)

REERF フラグは SRAM ECC エラーリセットが発生したことを示します。

[1 になる条件]

- SRAM ECC エラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- REERF から 1 を読み出して 0 を書いたとき

BUSMRF フラグ (バスマスタ MPU エラーリセット検出フラグ)

BUSMRF フラグはバスマスタ MPU エラーリセットが発生したことを示します。

[1 になる条件]

- バスマスタ MPU エラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- BUSMRF から 1 を読み出して 0 を書いたとき

TZERF フラグ (TrustZone エラーリセット検出フラグ)

TZERF フラグは TrustZone エラーリセットが発生したことを示します。

[1 になる条件]

- TrustZone エラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- 1 を読み出して TZERF に 0 を書いたとき

CPERF フラグ (キャッシュパリティエラーリセット検出フラグ)

CPERF フラグはキャッシュパリティエラーリセットが発生したことを示します。

[1 になる条件]

- キャッシュパリティエラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- CPERF から 1 を読み出した後、CPERF に 0 を書いたとき

5.2.4 RSTSR2: リセットステータスレジスタ 2

Base address: SYSC = 0x4001_E000

Offset address: 0x411

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CWSF
Value after reset:	0	0	0	0	0	0	0	x(注1)

ビット	シンボル	機能	R/W
0	CWSF	コールドスタート／ウォームスタート判別フラグ 0: コールドスタート 1: ウォームスタート	R/W(注2)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. リセット後の値は、リセット要因で異なります。

注 2. フラグをセットするための 1 書き込みのみ可能です。

RSTSR2 レジスタは、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを判定するレジスタです。

CWSF フラグ（コールドスタート／ウォームスタート判別フラグ）

CWSF フラグはリセット処理の種類（コールドスタートまたはウォームスタート）を示します。本フラグは、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを示します。CWSF フラグは、パワーオンリセットで初期化されます。RES 端子で生成されたリセット信号では初期化されません。

[1 になる条件]

- プログラムで 1 を書いたとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき

5.3 動作説明

5.3.1 RES 端子リセット

RES 端子によるリセットです。RES 端子が Low になると実行中の処理はすべて打ち切れ、本 MCU はリセット状態になります。本 MCU を適切にリセットするには、電源投入時の規定の電源安定時間だけ RES 端子は Low を保持していなければいけません。

RES 端子が Low から High になったとき、解除後待機時間 (t_{RESWT}) 経過後、内部リセットが解除されます。その後 CPU がリセット例外処理を開始します。

詳細は、「[43. 電気的特性](#)」を参照してください。

5.3.2 パワーオンリセット

パワーオンリセット (POR) は、パワーオンリセット回路により発生する内部リセットです。パワーオンリセットは以下の条件で発生します。

1. RES 端子を High にした状態で、電源を投入した場合
2. RES 端子を High にした状態で、VCC 電圧が V_{POR} 電圧より低下した場合

VCC 電圧が V_{POR} 電圧を超えると、指定したパワーオンリセット時間 (t_{POR}) 経過後、CPU がリセット例外処理を開始します。パワーオンリセット時間は、外部電源と本 MCU 回路が安定するための時間です。

パワーオンリセットが発生すると、RSTSR0.PORF フラグが 1 になります。PORF フラグは、RES 端子リセットによって初期化されます。VCC 電圧が V_{POR} 電圧より低下した場合、パワーオンリセット状態となります。

図 5.1 にパワーオンリセット時の動作例を示します。

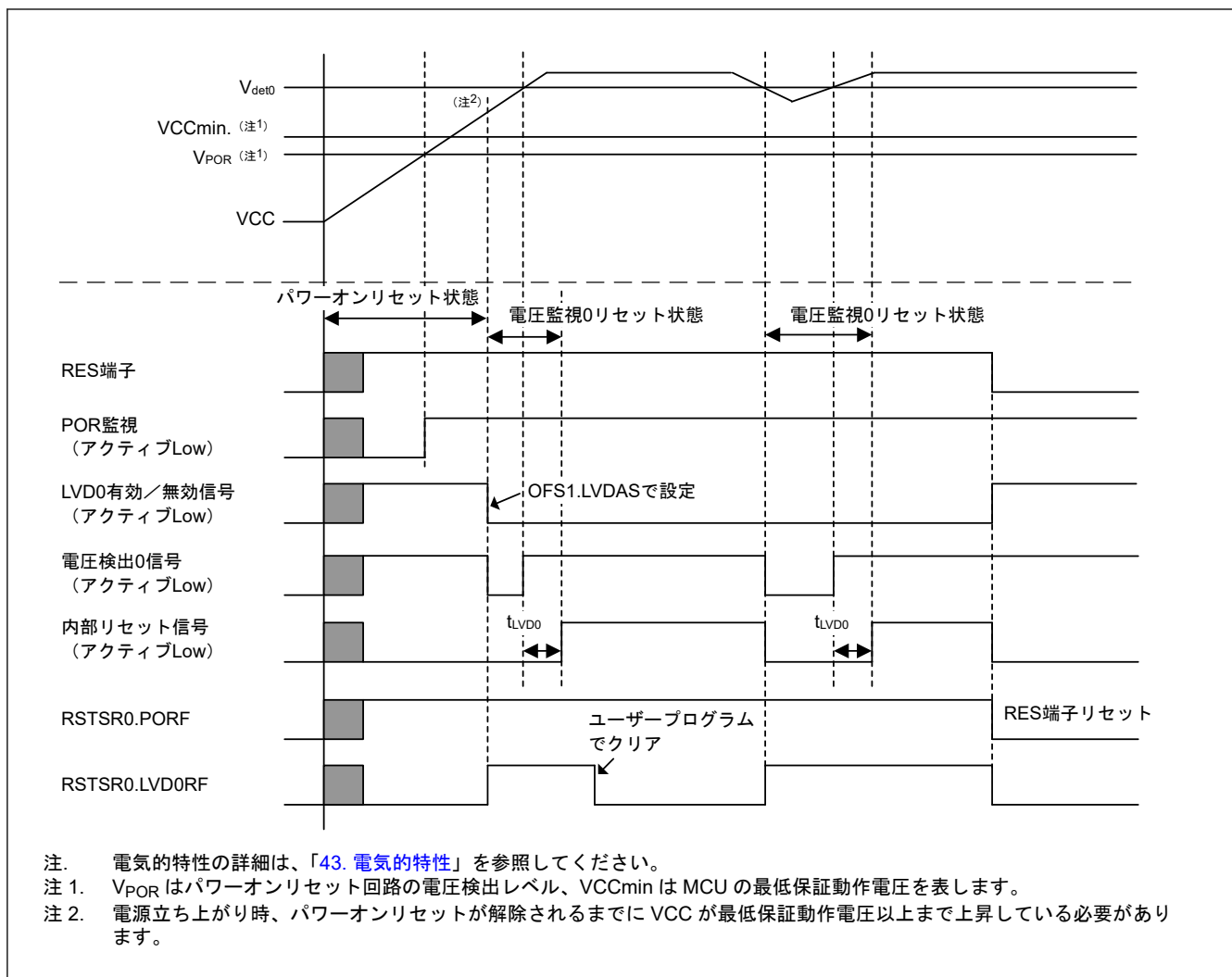


図 5.1 パワーオンリセット時の動作例

5.3.3 電圧監視リセット

電圧監視 i ($i = 0, 1, 2$) リセットは、電圧監視 i 回路により発生する内部リセットです。オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 回路起動ビット (LVDAS) が 0 (リセット後、電圧監視 0 リセット有効) の状態で、VCC が V_{det0} 以下になると、RSTSR0.LVD0RF フラグが 1 になり、電圧検出回路は電圧監視 0 リセットを発生させます。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0 にしてください。VCC が V_{det0} を超えると、電圧監視 0 リセット時間 (t_{LVD0}) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 1 回路コントロールレジスタ 0 (LVD1CR0) の電圧監視 1 割り込み/リセット許可ビット (RIE) が 1 (電圧監視 1 回路によるリセット/割り込み有効) で、かつ電圧監視 1 回路モード選択ビット (RI) が 1 (低電圧検出時、リセット発生) の状態にあるとき、VCC の電圧が V_{det1} 以下になると、RSTSR0.LVD1RF フラグが 1 になり、電圧監視 1 回路は電圧監視 1 リセットを発生させます。

同様に、電圧監視 2 回路コントロールレジスタ 0 (LVD2CR0) の電圧監視 2 割り込み/リセット許可ビット (RIE) が 1 (電圧監視 2 回路によるリセット/割り込み有効) で、かつ電圧監視 2 回路モード選択ビット (RI) が 1 (低

電圧検出時、リセット発生)の状態にあるとき、VCC または EXLVD の電圧が V_{det2} 以下になると、RSTSR0.LVD2RF フラグが 1 になり、電圧監視 2 回路は電圧監視 2 リセットを発生させます。

電圧監視 1 リセットの解除タイミングは、LVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット (RN) で選択可能です。LVD1CR0.RN ビットが 0 で、かつ VCC の電圧が V_{det1} 以下になっている場合、 V_{det1} を超えてから LVD1 リセット時間 (t_{LVD1}) が経過すると、内部リセットが解除され、CPU がリセット例外処理を開始します。また、LVD1CR0.RN ビットが 1 で、かつ VCC の電圧が V_{det1} 以下になっている場合、LVD1 リセット時間 (t_{LVD1}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

電圧監視 2 リセットの解除タイミングは、LDV2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット (RN) で選択可能です。

検出レベル V_{det1} および V_{det2} は、電圧監視コンパレータコントロールレジスタ (LVD1CMPCR/LVD2CMPCR) で変更可能です。

図 5.2 に電圧監視 1 リセットおよび電圧監視 2 リセット時の動作例を示します。電圧監視 1 リセットと電圧監視 2 リセットの詳細は、「7. 低電圧検出回路 (LVD)」を参照してください。

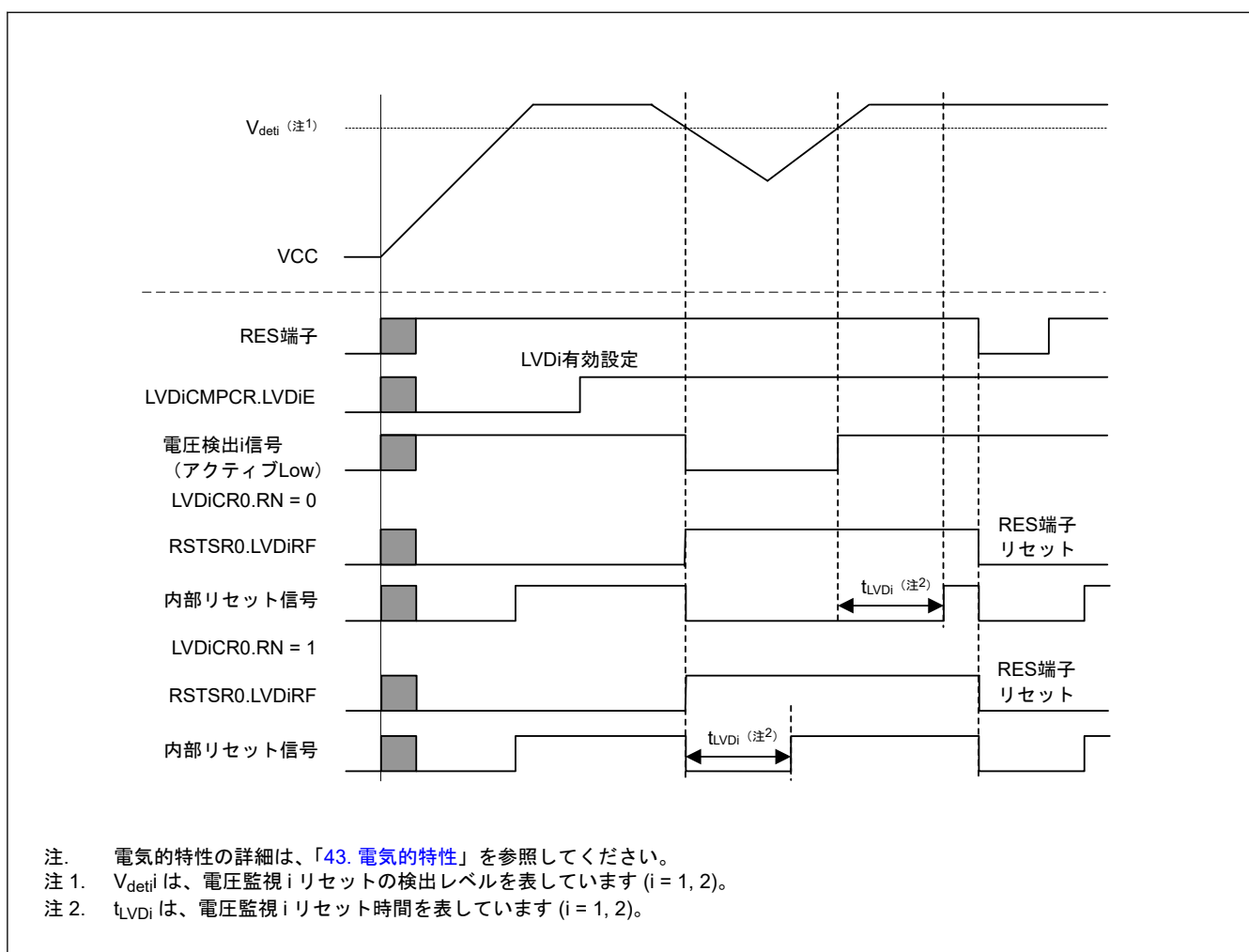


図 5.2 電圧監視 1 リセットおよび電圧監視 2 リセット時の動作例

5.3.4 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマリセットは、独立ウォッチドッグタイマによる内部リセットです。オプション機能選択レジスタ 0 (OFS0) の設定により、独立ウォッチドッグタイマから独立ウォッチドッグタイマリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセットの出力を選択した場合、独立ウォッチドッグタイマがアンダーフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行ったときに、独立ウォッチドッグタイマリセットが発生

します。独立ウォッチドッグタイマリセットの発生後に、内部リセット時間 (t_{RESW2}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は、「[24. 独立ウォッチドッグタイマ \(IWDT\)](#)」を参照してください。

5.3.5 ウォッチドッグタイマリセット

ウォッチドッグタイマリセットは、ウォッチドッグタイマによる内部リセットです。WDT リセットコントロールレジスタ (WDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、ウォッチドッグタイマからウォッチドッグタイマリセットを出力するかどうかを選択できます。

ウォッチドッグタイマリセットの出力を選択した場合、ウォッチドッグタイマがアンダーフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行ったときに、ウォッチドッグタイマリセットが発生します。ウォッチドッグタイマリセットの発生後に、内部リセット時間 (t_{RESW2}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

ウォッチドッグタイマリセットの詳細は、「[23. ウォッチドッグタイマ \(WDT\)](#)」を参照してください。

5.3.6 ソフトウェアリセット

ソフトウェアリセットは、Arm コア内部の AIRCR レジスタの SYSRESETREQ ビットに対するソフトウェア設定によって発生する内部リセットです。SYSRESETREQ ビットを 1 にすると、ソフトウェアリセットが発生します。ソフトウェアリセットの発生後に、内部リセット時間 (t_{RESW2}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

SYSRESETREQ ビットの詳細については、*ARM® Cortex®-M33 Technical Reference Manual* を参照してください。

5.3.7 VRTC ドメインパワーオンリセット

VRTC ドメインパワーオンリセットは、VRTC ドメインのパワーオンリセット回路により発生する内部リセットです。

VRTC が VRTC_POR を超え、指定されている期間 (t_{RTCPOR}) が経過すると、内部リセットが解除されます。内部リセットが解除された状態は、VRTSR.VRTVLD フラグで確認することができます。VRTSR.VRTVLD フラグが 1 になると、VRTC ドメインが使用可能になります。VRTSR.PORDET フラグが 1 になった場合、VRTC_POR が発生したことを示します。VRTC ドメインが使用可能になった後、ソフトウェアでこのフラグをクリアする必要があります。

VRTC が VRTC_POR よりも下降すると、VRTSR.VRTVLD フラグがクリアされ、VRTSR.PORDET フラグが再度設定されます。

VRTSR.VRTVLD と VRTSR.PORDET については「[7. 低電圧検出回路 \(LVD\)](#)」を参照してください。[図 5.3](#) に VRTC ドメインパワーオンリセット時の動作例を示します。

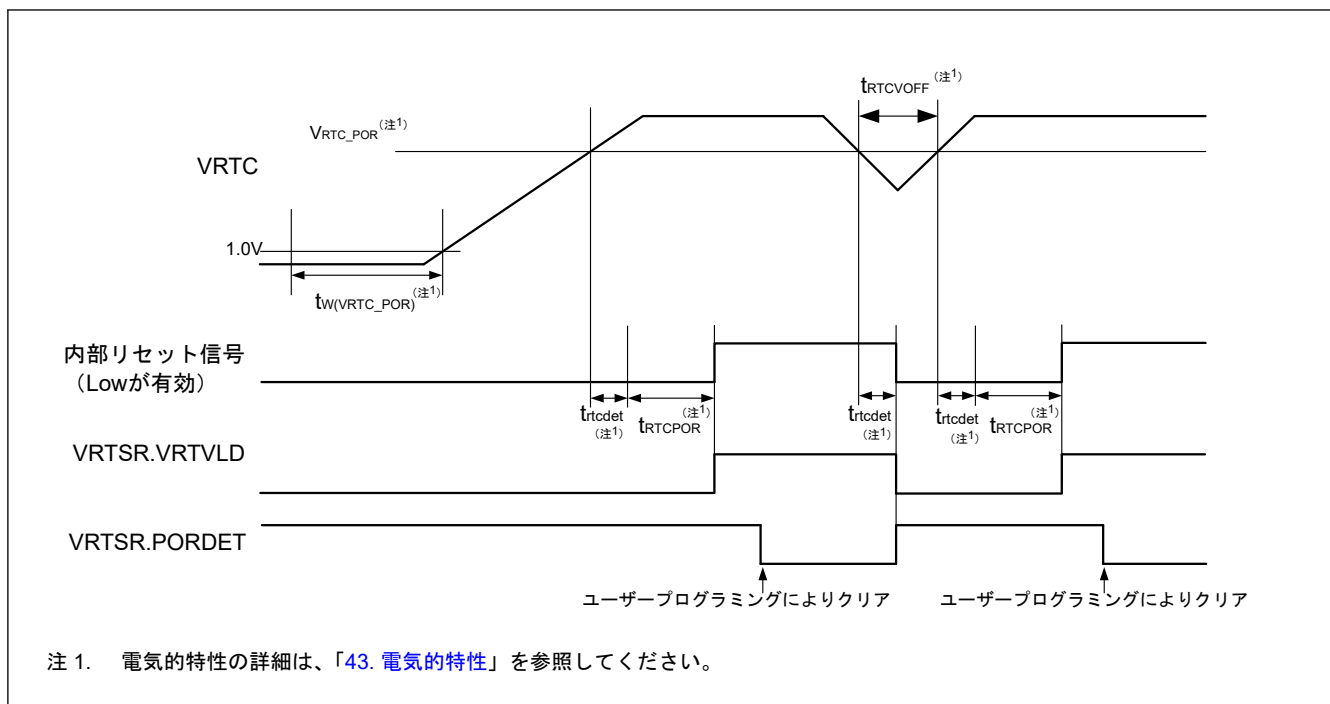


図 5.3 VRTC ドメインパワーオンリセット時の動作例

5.3.8 コールドスタート／ウォームスタート判定機能

RSTSR2.CWSF フラグの読み出しによって、リセット処理の原因、すなわち、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを判定できます。

RSTSR2.CWSF フラグは、パワーオンリセットが発生すると 0（コールドスタート）になります。その他のリセットを行っても 0 になりません。また、プログラムで 1 を書くと 1 になります。0 を書いても 0 になりません。

図 5.4 にコールドスタート／ウォームスタート判定機能の動作例を示します。

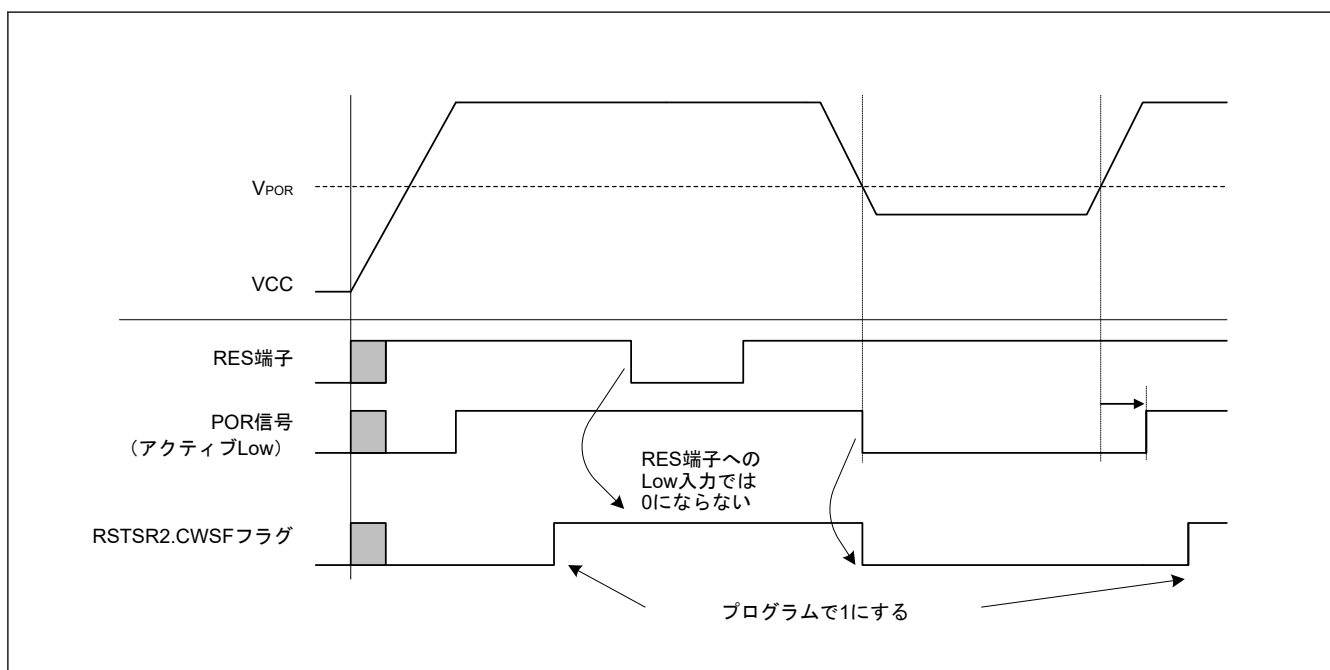


図 5.4 コールドスタート／ウォームスタート判定機能の動作例

5.3.9 リセット発生要因の判定

RSTSR0 レジスタと RSTSR1 レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認できます。

図 5.5 にリセット発生要因の判定フロー例を示します。リセットフラグは、1 を読んだ後、0 を書き込む必要があります。

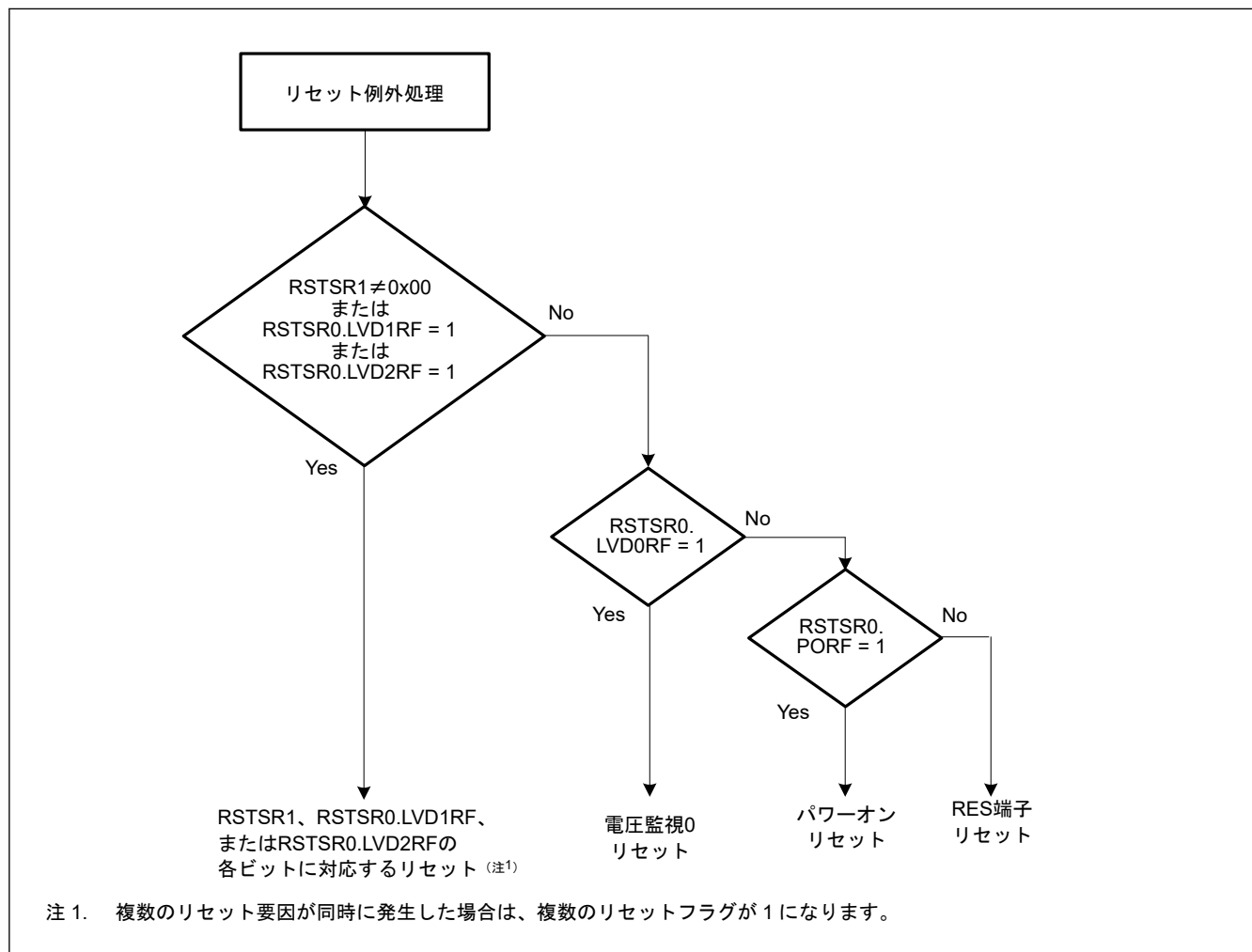


図 5.5 リセット発生要因の判定フロー例

6. オプション設定メモリ

6.1 概要

オプション設定メモリは、MCU のリセット後の状態を決定します。オプション設定メモリは、フラッシュメモリのコンフィグレーション設定領域に割り当てられています。

図 6.1 にオプション設定メモリの領域を示します。オプション設定メモリにはセキュア領域があります。表 6.1 にオプション設定メモリ領域のプログラミング条件を示します。

アドレス		
0x0100_A2CC~0x0100_A2FF	予約領域	セキュア領域
0x0100_A2C0~0x0100_A2CB	ブロック保護設定レジスタ選択 (BPS_SEL)	
0x0100_A294~0x0100_A2BF	予約領域	
0x0100_A290~0x0100_A293	バンク選択レジスタ選択 (BANKSEL_SEL)	
0x0100_A284~0x0100_A28F	予約領域	
0x0100_A280~0x0100_A283	オプション機能選択レジスタ1選択 (OFS1_SEL)	
0x0100_A26C~0x0100_A27F	予約領域	
0x0100_A260~0x0100_A26B	永久ブロック保護設定レジスタセキュア (PBPS_SEC)	
0x0100_A24C~0x0100_A25F	予約領域	
0x0100_A240~0x0100_A24B	ブロック保護設定レジスタセキュア (BPS_SEC)	
0x0100_A214~0x0100_A23F	予約領域	
0x0100_A210~0x0100_A213	バンク選択レジスタセキュア (BANKSEL_SEC)	
0x0100_A204~0x0100_A20F	予約領域	
0x0100_A200~0x0100_A203	オプション機能選択レジスタ1セキュア (OFS1_SEC)	
0x0100_A1EC~0x0100_A1FF	予約領域	
0x0100_A1E0~0x0100_A1EB	永久ブロック保護設定レジスタ (PBPS)	セキュア領域
0x0100_A1CC~0x0100_A1DF	予約領域	
0x0100_A1C0~0x0100_A1CB	ブロック保護設定レジスタ (BPS)	
0x0100_A194~0x0100_A1BF	予約領域	
0x0100_A190~0x0100_A193	バンク選択レジスタ (BANKSEL)	
0x0100_A184~0x0100_A18F	予約領域	
0x0100_A180~0x0100_A183	オプション機能選択レジスタ1 (OFS1)	
0x0100_A138~0x0100_A17F	予約領域	
0x0100_A134~0x0100_A137	スタートアップ領域設定レジスタ (SAS)	
0x0100_A114~0x0100_A133	予約領域	セキュア領域
0x0100_A110~0x0100_A113	デュアルモード選択レジスタ (DUALSEL)	
0x0100_A104~0x0100_A10F	予約領域	
00x0100_A10~0x0100_A103	オプション機能選択レジスタ0 (OFS0)	

図 6.1 オプション設定メモリの領域

表 6.1 オプション設定メモリ領域のプログラミング条件

	セルフプログラミング	シリアルプログラミング	オンチップデバッガによるプログラミング
セキュア領域	セキュアアクセスにより発行されたプログラミングコマンド	デバイスライフサイクルが SSD のとき発行されたプログラミングコマンド	デバッグレベルが DBG2 のとき発行されたプログラミングコマンド
その他の領域	セキュアまたは非セキュアアクセスにより発行されたプログラミングコマンド	デバイスライフサイクルが SSD または NSECSD のとき発行されたプログラミングコマンド	デバッグレベルが DBG2 または DBG1 のとき発行されたプログラミングコマンド

6.2 レジスタの説明

6.2.1 OFS0 : オプション機能選択レジスタ 0

Address: 0x0100_A100

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	WDTS TPCTL	—	WDTR STIRQ S	WDTRPSS[1:0]	WDTRPES[1:0]	WDTCKS[3:0]			WDTTOPS[1:0]			WDTS TRT	—		

Value after reset: ユーザー設定値(注1)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	IWDT STPC TL	—	IWDT RSTIR QS	IWDRPSS[1:0]	IWDRPES[1:0]	IWDTCKS[3:0]			IWDTTOPS[1:0]			IWDT STRT	—		

Value after reset: ユーザー設定値(注1)

ビット	シンボル	機能	R/W
0	—	読むと設定値が読めます。書く場合、1 としてください。	R
1	IWDTSTRT	IWDT スタートモード選択 0: リセット後、IWDT は自動的に起動（オートスタートモード） 1: リセット後、IWDT は停止状態	R
3:2	IWDTTOPS[1:0]	IWDT タイムアウト期間選択 0 0: 128 サイクル (0x007F) 0 1: 512 サイクル (0x01FF) 1 0: 1024 サイクル (0x03FF) 1 1: 2048 サイクル (0x07FF)	R
7:4	IWDTCKS[3:0]	IWDT 専用クロック分周比選択 0x0: 分周なし 0x2: 16 分周 0x3: 32 分周 0x4: 64 分周 0xF: 128 分周 0x5: 256 分周 その他: 設定禁止	R
9:8	IWDRPES[1:0]	IWDT ウィンドウ終了位置選択 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0%（ウィンドウの終了位置設定なし）	R
11:10	IWDRPSS[1:0]	IWDT ウィンドウ開始位置選択 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100%（ウィンドウの開始位置設定なし）	R
12	IWDRSTIRQS	IWDT リセット割り込み要求選択 0: 割り込み 1: リセット	R

ビット	シンボル	機能	R/W
13	—	読むと設定値が読めます。書く場合、1としてください。	R
14	IWDTSTPCTL	IWDT 停止制御 0: カウント継続 1: スリープモード、スヌーズモード、またはソフトウェアスタンバイモードの状態にあるとき、カウント停止	R
16:15	—	読むと設定値が読めます。書く場合、1としてください。	R
17	WDTSTRT	WDT スタートモード選択 0: リセット後、WDT は自動的に起動（オートスタートモード） 1: リセット後、WDT は停止状態（レジスタスタートモード）	R
19:18	WDTTOS[1:0]	WDT タイムアウト期間選択 0 0: 1024 サイクル (0x03FF) 0 1: 4096 サイクル (0x0FFF) 1 0: 8192 サイクル (0x1FFF) 1 1: 16384 サイクル (0x3FFF)	R
23:20	WDTCKS[3:0]	WDT クロック分周比選択 0x1: PCLKB の 4 分周 0x4: PCLKB の 64 分周 0xF: PCLKB の 128 分周 0x6: PCLKB の 512 分周 0x7: PCLKB の 2048 分周 0x8: PCLKB の 8192 分周 その他: 設定禁止	R
25:24	WDRPES[1:0]	WDT ウィンドウ終了位置選択 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0%（ウィンドウの終了位置設定なし）	R
27:26	WDRPSS[1:0]	WDT ウィンドウ開始位置選択 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100%（ウィンドウの開始位置設定なし）	R
28	WDRSTIRQS	WDT リセット割り込み要求選択 0: 割り込み 1: リセット	R
29	—	読むと設定値が読めます。書く場合、1としてください。	R
30	WDTSTPCTL	WDT 停止制御 0: カウント継続 1: スリープモード遷移時にカウント停止	R
31	—	読むと設定値が読めます。書く場合、1としてください。	R

注 1. ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。

IWDTSTRT ビット（IWDT スタートモード選択）

IWDTSTRT ビットは、リセット後の IWDT の起動モード（停止状態、またはオートスタートモード）が選択できます。

IWDTTOS[1:0] ビット（IWDT タイムアウト期間選択）

IWDTTOS[1:0] ビットは、ダウンカウンタがアンダーフローするまでの時間（すなわち、タイムアウト期間）を、IWDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、128 サイクル、512 サイクル、1024 サイクル、または 2048 サイクルから選択します。リフレッシュ動作後、カウンタがアンダーフローするまでの時間は、IWDTCKS[3:0] ビットと IWDTTOS[1:0] ビットの組み合わせにより決定されます。

詳細は「[24. 独立ウォッチドッグタイマ \(IWDT\)](#)」を参照してください。

IWDTCCKS[3:0]ビット (IWDTC 専用クロック分周比選択)

IWDTCCKS[3:0]ビットは、IWDTC 専用クロックを分周するプリスケアラの分周比設定を、1 分周、16 分周、32 分周、64 分周、128 分周、256 分周から選択します。この設定を IWDTCOPS[1:0]ビットと組み合わせて、IWDTC のカウント期間を 128~524288 サイクルの間で設定できます。

詳細は「[24. 独立ウォッチドッグタイマ \(IWDTC\)](#)」を参照してください。

IWDTRPES[1:0]ビット (IWDTC ウィンドウ終了位置選択)

IWDTRPES[1:0]ビットは、ダウンカウンタのウィンドウ終了位置を、カウント値の 75%、50%、25%、0%から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します（ウィンドウ開始位置 > ウィンドウ終了位置）。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

IWDTRPSS[1:0]、IWDTRPES[1:0]ビットで設定したウィンドウ開始／終了位置のカウント値は、IWDTCOPS[1:0]ビットの設定により変わります。

詳細は「[24. 独立ウォッチドッグタイマ \(IWDTC\)](#)」を参照してください。

IWDTRPSS[1:0]ビット (IWDTC ウィンドウ開始位置選択)

IWDTRPSS[1:0]ビットは、ダウンカウンタのウィンドウ開始位置を、カウント期間（カウント開始を 100%、アンダーフロー発生時を 0%）の 100%、75%、50%、25%から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は「[24. 独立ウォッチドッグタイマ \(IWDTC\)](#)」を参照してください。

IWDTRSTIRQS ビット (IWDTC リセット割り込み要求選択)

IWDTRSTIRQS ビットは、ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を選択します。独立ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。

詳細は「[24. 独立ウォッチドッグタイマ \(IWDTC\)](#)」を参照してください。

IWDTCSTPCTL ビット (IWDTC 停止制御)

IWDTCSTPCTL ビットは、スリープモード、スヌーズモード、またはソフトウェアスタンバイモード遷移時にカウントを停止するかどうかを指定します。

詳細は「[24. 独立ウォッチドッグタイマ \(IWDTC\)](#)」を参照してください。

WDTSTRT ビット (WDT スタートモード選択)

WDTSTRT ビットは、リセット後の WDT の起動モード（停止状態、またはオートスタートモードでの起動）を選択できます。オートスタートモードでの起動の場合、WDT の設定は、OFS0 レジスタの設定が有効となります。

WDTTCOPS[1:0] ビット (WDT タイムアウト期間選択)

WDTTCOPS[1:0]ビットは、ダウンカウンタがアンダーフローするまでのタイムアウト期間を、WDTCKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、1024、4096、8192、または 16384 の各サイクル数で指定します。リフレッシュ動作後、アンダーフローするまでの PCLKB サイクル数は、WDTCKS[3:0]ビットと WDTTCOPS[1:0]ビットの組み合わせで決定されます。

詳細は「[23. ウォッチドッグタイマ \(WDT\)](#)」を参照してください。

WDTCKS[3:0]ビット (WDT クロック分周比選択)

WDTCKS[3:0]ビットは、PCLKB を分周するプリスケアラの分周比設定を、4、64、128、512、2048、8192 の各分周から選択します。この設定を WDTTCOPS[1:0]ビット設定と組み合わせることで、WDT のカウント期間は 4096 から 134217728 までの PCLKB サイクル数に設定可能です。

詳細は「[23. ウォッチドッグタイマ \(WDT\)](#)」を参照してください。

WDTTRPES[1:0]ビット (WDT ウィンドウ終了位置選択)

WDTTRPES[1:0]ビットは、ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0%から選択します。ウィンドウ終了位置の値は、ウィンドウ開始位置の値より小さくなくてはなりません。そうでない場合、ウィンドウ開始位置の値のみ有効となります。

WDRPSS[1:0]ビットと WDRPES[1:0]ビットで設定したウィンドウ開始／終了位置に対応するカウンタ値は、WDTTOPS[1:0]ビットの設定により変わります。

詳細は、「[23. ウォッチドッグタイマ \(WDT\)](#)」を参照してください。

WDRPSS[1:0]ビット (WDT ウィンドウ開始位置選択)

WDRPSS[1:0]ビットは、ダウンカウンタのウィンドウ開始位置を、カウンタ値の 100%、75%、50%、25%から選択します。カウンタ開始ポイントを 100%、アンダーフロー発生ポイントを 0%とします。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、

それ以外はリフレッシュ禁止期間となります。

詳細は、「[23. ウォッチドッグタイマ \(WDT\)](#)」を参照してください。

WDRSTIRQS ビット (WDT リセット割り込み要求選択)

WDRSTIRQS ビットは、ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を選択します。ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。

詳細は、「[23. ウォッチドッグタイマ \(WDT\)](#)」を参照してください。

WDTSTPCTL ビット (WDT 停止制御)

WDTSTPCTL ビットは、スリープモード遷移時に、カウンタを停止させるかどうかを選択します。

詳細は、「[23. ウォッチドッグタイマ \(WDT\)](#)」を参照してください。

6.2.2 DUALSEL : デュアルモード選択レジスタ

address: 0x0100_A110

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	ユーザー設定値(注1)															
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	BANKMD[2:0]		
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
2:0	BANKMD[2:0]	バンクモード選択 0 0 0: デュアルモード 1 1 1: リニアモード その他: 設定禁止	R
31:3	—	読んだ場合は、プログラムした値が読めます。書く場合、1 としてください。	R

注 1. ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。

BANKMD[2:0]ビット (バンクモード選択)

BANKMD[2:0]ビットは、コードフラッシュメモリのデュアルバンク機能のバンクモードを選択します。

6.2.3 SAS : スタートアップ領域設定レジスタ

Address: 0x0100_A134

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	BTFLG	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Value after reset: ユーザー設定値

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FSPR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Value after reset: ユーザー設定値

ビット	シンボル	機能	R/W
14:0	—	読むと設定値が読めます。書く場合、1としてください。	R
15	FSPR	スタートアップ領域選択機能の保護 スタートアップ領域選択フラグ (SAS.BTFLG)、およびテンポラリブートスワップ制御に対する書き込み/イレース保護の書き換えを制御します。本ビットは一度0にすると、1に変更できません。 0: スタートアップ領域選択フラグ (SAS.BTFLG) 書き換え用のコンフィグレーション設定コマンドの実行は無効です。 1: スタートアップ領域選択フラグ (SAS.BTFLG) 書き換え用のコンフィグレーション設定コマンドの実行は有効です。	R
30:16	—	読むと設定値が読めます。書く場合、1としてください。	R
31	BTFLG	スタートアップ領域選択フラグ スタートアップ領域のアドレスをブートスワップ機能用に入れ替えるか否かを指定します。デュアルモード (DUALSEL.BANKMD[2:0]ビットは 000b) では、本ビットを 1 にしてください。 0: 最初の 8 KB 領域 (0x0000_0000~0x0000_1FFF) と 2 番目の 8 KB 領域 (0x0000_2000~0x0000_3FFF) が入れ替わる 1: 最初の 8 KB 領域 (0x0000_0000~0x0000_1FFF) と 2 番目の 8 KB 領域 (0x0000_2000~0x0000_3FFF) は入れ替わらない	R

6.2.4 OFS1, OFS1_SEC : 非セキュアおよびセキュア用オプション機能選択レジスタ 1

Address: OFS1: 0x0100_A180
OFS1_SEC: 0x0100_A200

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Value after reset: ユーザー設定値(注1)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	HOCOFREQ[2:0]			HOCEN	—	—	—	—	—	LVDA S	VDSEL[1:0]	

Value after reset: ユーザー設定値(注1)

ビット	シンボル	機能	R/W
1:0	VDSEL[1:0]	電圧検出 0 レベル選択(注2) 0 0: Vdet0_0 0 1: Vdet0_1 1 0: Vdet0_2 1 1: Vdet0_3	R
2	LVDAS	電圧検出 0 回路起動 0: リセット後、電圧監視 0 リセット有効 1: リセット後、電圧監視 0 リセット無効	R

ビット	シンボル	機能	R/W
7:3	—	読むと設定値が読めます。書く場合、1としてください。	R
8	HOCOEN	HOCO 発振有効 0: リセット後、HOCO 発振が有効 1: リセット後、HOCO 発振が無効	R
11:9	HOCOFRQ0[2:0]	HOCO 周波数設定 0 0 0 0: 48 MHz 0 0 1: 64 MHz 0 1 0: 80 MHz 1 0 0: 24 MHz 1 0 1: 32 MHz 1 1 0: 40 MHz その他: 設定禁止	R
31:12	—	読むと設定値が読めます。書く場合、1としてください。	R

注 1. ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。

注 2. 検出対象の電圧レベルの詳細は、「43. 電気的特性」を参照してください。

OFS1 レジスタは、非セキュア開発者用で、OFS1_SEC レジスタはセキュア開発者用です。

VDSEL[1:0]ビット（電圧検出 0 レベル選択）

VDSEL[1:0]ビットは、電圧検出 0 回路の電圧検出レベルを選択します。

LVDAS ビット（電圧検出 0 回路起動）

LVDAS ビットは、リセット後、電圧監視 0 リセットを有効にするか無効にするかを選択します。

HOCOEN ビット（HOCO 発振有効）

HOCOEN ビットは、リセット後、HOCO 発振を有効にするか無効にするかを選択します。本ビットを 0 にすることにより、CPU が動作する前に HOCO の発振を開始でき、発振安定の待ち時間を減らすことができます。

注. HOCOEN ビットを 0 にしても、システムクロックソースは HOCO に切り替わりません。クロックソース選択ビット (SCKSCR.CKSEL[2:0]) を設定することによってのみ、システムクロックソースは HOCO に切り替わります。HOCO クロックを使用する場合は、HOC 周波数設定 0 ビット (OFS1.HOCOFRQ0[2:0]^(注1)) を最適な値に設定してください。

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。

OFS1.HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0]ビットに自動的に転送されるので、OFS1.HOCOEN=1 の場合 HOCO 周波数は HOCOCR2.HCFRQ0[2:0]ビットで設定することもできます。

HOCOFRQ0[2:0]ビット（HOCO 周波数設定 0）

HOCOFRQ0[2:0]ビットは、リセット後の HOCO 周波数を、24、32、40、48、64、80 MHz から選択します。

6.2.5 OFS1_SEL：セキュリティ属性用オプション機能選択レジスタ 1

Address: OFS1_SEL: 0x0100_A280

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Value after reset: ユーザー設定値^(注1)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	HOCOFRQ0[2:0]			HOCOEN	—	—	—	—	—	LVDAS	VDSEL[1:0]	

Value after reset: ユーザー設定値^(注1)

ビット	シンボル	機能	R/W
1:0	VDSEL[1:0]	電圧検出 0 レベル選択のセキュリティ属性 0 0: OFS1_SEC.VDSEL[1:0]を選択 1 1: OFS1.VDSEL[1:0]を選択 その他: 設定禁止	R
2	LVDAS	電圧検出 0 回路起動のセキュリティ属性 0: OFS1_SEC.LVDAS を選択 1: OFS1.LVDAS を選択	R
7:3	—	読むと設定値が読めます。書く場合、1 としてください。	R
8	HOCOEN	HOCO 発振有効のセキュリティ属性 0: OFS1_SEC.HOCOEN を選択 1: OFS1.HOCOEN を選択	R
11:9	HOCOFREQ[2:0]	HOCO 周波数設定 0 のセキュリティ属性 0 0 0: OFS1_SEC.HOCOFREQ[2:0]を選択 1 1 1: OFS1.HOCOFREQ[2:0]を選択 その他: 設定禁止	R
31:12	—	読むと設定値が読めます。書く場合、1 としてください。	R

注 1. ブランク品の値は、0xFFFF_FFFF です。ユーザーがプログラムした値になります。

OFS1_SEL レジスタは、セキュリティ属性を選択します。OFS または OFS_SEC のどちらのセキュリティ属性が適用されるかは、OFS1_SEL レジスタの対応するビットの設定値によって決まります。

詳細は「[6.3.3. オプション設定メモリのセキュリティ属性](#)」を参照してください。

6.2.6 BANKSEL, BANKSEL_SEC : 非セキュアおよびセキュア用バンク選択レジスタ

Address: BANKSEL: 0x0100_A190
BANKSEL_SEC: 0x0100_A210

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BLCKSWP[1:0]

Value after reset: ユーザー設定値(注1)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BANKSWP[2:0]

Value after reset: ユーザー設定値(注1)

ビット	シンボル	機能	R/W
2:0	BANKSWP[2:0]	スタートアップバンク切り替え 本設定はデュアルモードで有効です。 0 0 0: デュアルモードでは、Bank0 の開始アドレスは 0x0020_0000、Bank1 の開始アドレスは 0x0000_0000 1 1 1: デュアルモードでは、Bank0 の開始アドレスは 0x0000_0000、Bank1 の開始アドレスは 0x0020_0000 その他: 設定禁止	R
15:3	—	読んだ場合は、プログラムした値が読めます。書く場合、1 としてください。	R
17:16	BLCKSWP[1:0]	ブロックスワップ選択 全ビットとも 1 の場合ブロックスワップは無効です。1 つでも 0 に設定されているビットがあると、ブロックスワップは有効で、コードフラッシュメモリの対応ブロックがスワップされます。 本設定はリニアモードで有効です。	R
31:18	—	読んだ場合は、プログラムした値が読めます。書く場合、1 としてください。	R

注 1. ブランク品の値は、0xFFFF_FFFF です。ユーザーがプログラムした値になります。

BANKSEL レジスタは、非セキュア開発者用で、BANKSEL_SEC レジスタはセキュア開発者用です。

BANKSWP[2:0]ビット（スタートアップバンク切り替え）

BANKSWP[2:0]ビットは、デュアルモードにおいてコードフラッシュメモリの bank0 と bank1 の開始アドレスを選択します。スタートアップバンク選択の詳細は、「[39.11.4.2. スタートアップバンクの選択](#)」を参照してください。

BLCKSWP[1:0]ビット（ブロックスワップ選択）

BLCKSWP[1:0]ビットは、リニアモードにおいてブロックスワップを有効にし、コードフラッシュメモリの有効ブロックを選択します。図 6.2 にリニアモード時のフラッシュメモリのマッピングを示します。表 6.2 に各製品の BLCKSWP ビットの指定内容を示します。使用されていないビットは予約ビットで、1 に設定します。ブロックスワップの詳細については「[39.11.5. ブロックスワップ機能](#)」を参照してください。

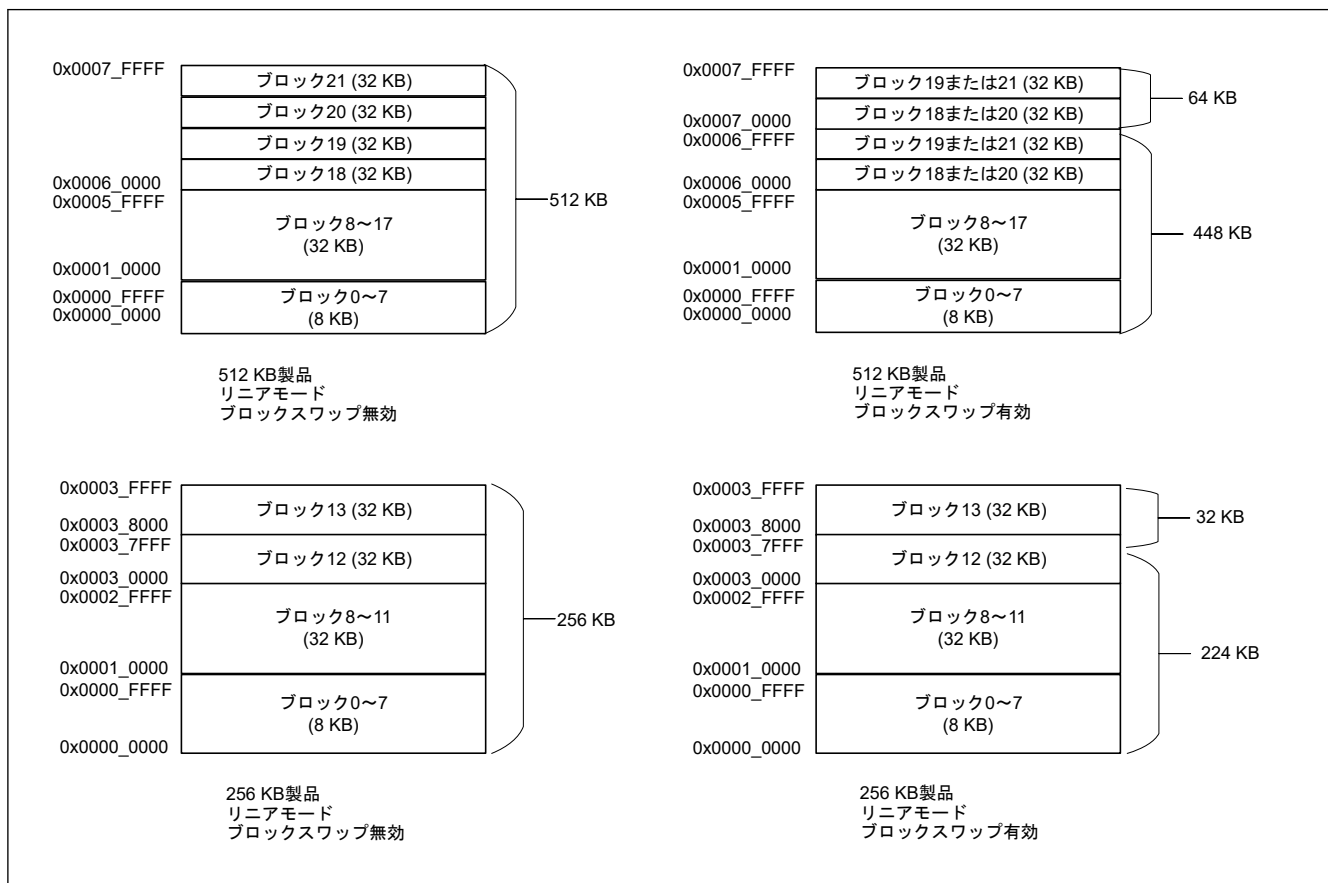


図 6.2 リニアモード時のフラッシュメモリのマッピング

表 6.2 各製品の BLCKSWP ビットの指定内容

	BLCKSWP ビット	0/1 選択
512 KB 製品	BLCKSWP[0]	1: ブロック 18 の開始アドレスは、0x0006_0000 ブロック 20 の開始アドレスは、0x0007_0000 0: ブロック 18 の開始アドレスは、0x0007_0000 ブロック 20 の開始アドレスは、0x0006_0000
	BLCKSWP[1]	1: ブロック 19 の開始アドレスは、0x0006_8000 ブロック 21 の開始アドレスは、0x0007_8000 0: ブロック 19 の開始アドレスは、0x0007_8000 ブロック 21 の開始アドレスは、0x0006_8000
256 KB 製品	BLCKSWP[0]	1: ブロック 12 の開始アドレスは、0x0003_0000 ブロック 13 の開始アドレスは、0x0003_8000 0: ブロック 12 の開始アドレスは、0x0003_8000 ブロック 13 の開始アドレスは、0x0003_0000

6.2.7 BANKSEL_SEL : セキュリティ属性用バンク選択レジスタ

Address: BANKSEL_SEL: 0x0100_A290

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BLCKSWP[1:0]
Value after reset:	ユーザー設定値(注1)															
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BANKSWP[2:0]
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
2:0	BANKSWP[2:0]	スタートアップバンク切り替えのセキュリティ属性 本設定はデュアルモードで有効です。 0 0 0: BANKSEL_SEC.BANKSWP[2:0]を選択 1 1 1: BANKSEL.BANKSWP[2:0]を選択 その他: 設定禁止	R
15:3	—	読むと設定値が読めます。書く場合、1としてください。	R
17:16	BLCKSWP[1:0]	ブロックスワップ選択のセキュリティ属性 BANKSEL_SEL.BLCKSWP[1:0]ビットは、各ビットに対してセキュアアクセスまたは非セキュアアクセスを選択できます。 BANKSEL_SEL レジスタの BLCKSWP[1:0]ビットのビット配置と BANKSEL および BANKSEL_SEC レジスタの BLCKSWP[1:0]ビットのビット配置は、同じブロックを示すように対応しています。 たとえば、BANKSEL_SEL.BLCKSWP[0] = 0 および BANKSEL_SEL.BLCKSWP[1] = 1 のとき、BANKSEL_SEC.BLCKSWP[0]と BANKSEL.BLCKSWP[1]が選択されます。	R
31:18	—	読むと設定値が読めます。書く場合、1としてください。	R

注 1. ブランク品の値は、0xFFFF_FFFF です。ユーザーがプログラムした値になります。

BANKSEL_SEL レジスタは、セキュリティ属性を選択します。BANKSEL または BANKSEL_SEC のどちらのセキュリティ属性が適用されるかは、BANKSEL_SEL レジスタの対応するビットの設定値によって決まります。

詳細は「[6.3.3. オプション設定メモリのセキュリティ属性](#)」を参照してください。

6.2.8 BPS, BPS_SEC, BPS_SEL : ブロック保護設定レジスタ

address:

BPS: 0x0100_A1C0, 0x0100_A1C8
BPS_SEC: 0x0100_A240, 0x0100_A248
BPS_SEL: 0x0100_A2C0, 0x0100_A2C8

Bit position:	31	0
Bit field:		

Value after reset: ユーザー設定値(注1)

注 1. ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。

セキュア開発者のみが BPS_SEC レジスタおよび BPS_SEL レジスタを書き換え可能です。BPS_SEC レジスタは、セキュア開発者用であり、BPS レジスタは非セキュア開発者用です。適用される設定値は、BPS_SEL レジスタの対応ビットの設定値により決まります。詳細は、「[6.3.3. オプション設定メモリのセキュリティ属性](#)」を参照してください。

BPS レジスタおよび BPS_SEC レジスタは、コードフラッシュメモリへのプログラミングおよびイレースを無効にします。本レジスタのビットが 0 の場合、対応するブロックへのプログラミングおよびイレー스는無効です。[図 6.3](#) に、各製品のコードフラッシュのブロック構成を示します。[図 6.4](#) に、レジスタのビットとブロック番号の関係を示します。使用されていないビットは予約ビットで、1 に設定します。

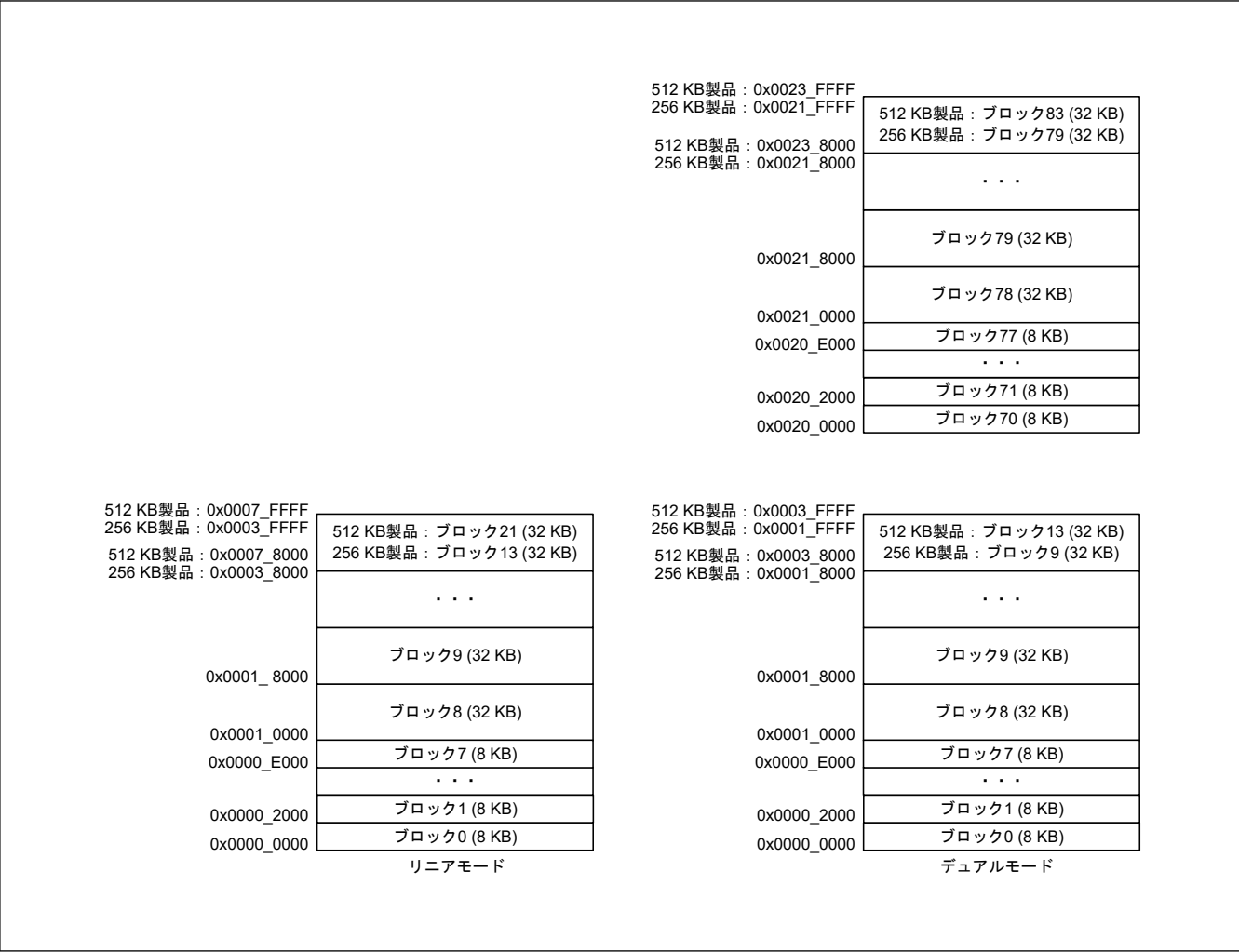


図 6.3 コードフラッシュのブロック構成

レジスタ	アドレス	+31	+30	+29	+28	+27	+26	+25	+24	+23	+22	+21	+20	+19	+18	+17	+16	+15	+14	+13	+12	+11	+10	+9	+8	+7	+6	+5	+4	+3	+2	+1	+0
BPS_SEL	0x0100_A2C8													83	82	81	80	79	78	77	76	75	74	73	72	71	70						
	0x0100_A2C4																																
	0x0100_A2C0											21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	:																																
BPS_SEC	0x0100_A248													83	82	81	80	79	78	77	76	75	74	73	72	71	70						
	0x0100_A244																																
	0x0100_A240											21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	:																																
BPS	0x0100_A1C8													83	82	81	80	79	78	77	76	75	74	73	72	71	70						
	0x0100_A1C4																																
	0x0100_A1C0											21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

図 6.4 レジスタのビットとブロック番号の関係

6.2.9 PBPS, PBPS_SEC : 永久ブロック保護設定レジスタ

Address: PBPS: 0x0100_A1E0, 0x0100_A1E8
PBPS_SEC: 0x0100_A260, 0x0100_A268

Bit position: 31

0

Bit field:

Value after reset:

ユーザー設定値(注1)

注 1. ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。

セキュア開発者のみが PBPS_SEC レジスタを書き換え可能です。PBPS_SEC レジスタはセキュア開発者用で、PBPS レジスタは非セキュア開発者用です。適用される設定値は、BPS_SEL レジスタの対応ビットの設定値により決まります。詳細は「[6.3.3. オプション設定メモリのセキュリティ属性](#)」を参照してください。セキュリティ属性レジスタは、ブロック保護および永久ブロック保護の両方で同じ BPS_SEL レジスタになります。

PBPS レジスタおよび PBPS_SEC レジスタは、BPS レジスタおよび BPS_SEC レジスタのビットへの書き込みをインバリデートします。本レジスタのビットが 0 になるのは、BPS レジスタおよび BPS_SEC レジスタの対応するビットが 0 の場合です。本レジスタのビットが 0 の場合、BPS レジスタおよび BPS_SEC レジスタの対応するビットへの書き込みは無効です。本レジスタのビットは一度 0 にすると、1 に変更できません。表 6.3 に、適用される PBPS レジスタのビットと BPS レジスタのビットとの関係を示します。

本レジスタのビットとブロック番号との関係は、BPS レジスタおよび BPS_SEC レジスタ (「[6.2.8. BPS, BPS_SEC, BPS_SEL : ブロック保護設定レジスタ](#)」) と同じです。使用されていないビットは予約ビットで、1 に設定します。

表 6.3 PBPS、PBPS_SEC レジスタのビットと BPS、BPS_SEC レジスタのビットとの関係

適用される PBPS のビット	適用される BPS のビット	内容
1	1	対応するブロックへのプログラミングおよびイレースは有効。
1	0	対応するブロックへのプログラミングおよびイレースは無効。FBPROT0 または FBPROT1 レジスタにより保護をキャンセル可能。
0	1	この条件は設定不可
0	0	対応するブロックへのプログラミングおよびイレースは永久に無効。

6.3 オプション設定メモリの設定方法

6.3.1 オプション設定メモリへのデータの配置方法

オプション設定メモリにプログラムするデータは、[図 6.1](#) に示すアドレスに配置してください。配置したデータは、フラッシュメモリ書き込みソフトウェアやオンチップデバッガなどのツールで使用されます。

注. プログラミング形式はコンパイラによって異なります。詳細については、コンパイラのマニュアルを参照してください。

6.3.2 オプション設定メモリにプログラムするデータの設定方法

「[6.3.1. オプション設定メモリへのデータの配置方法](#)」に記載した方法でデータを配置するだけでは、オプション設定メモリにデータを書き込むことにはなりません。合わせて、本項に記載されている下記のいずれかを実施してください。

(1) セルフプログラミングでオプション設定メモリを変更する場合

コンフィグレーション設定領域のオプション設定メモリへデータを書き込むには、コンフィグレーション設定コマンドを使用してください。

オプション設定メモリはバックグラウンドオペレーション (BGO) に対応していません。オプション設定メモリに書き込むには、書き込みソフトウェアを SRAM にコピー後 SRAM にジャンプします。

コンフィグレーション設定コマンドの詳細は、「[39. フラッシュメモリ](#)」を参照してください。

(2) OCD によるデバッグ時またはフラッシュライターによってプログラムする場合

この手順は使用するツールによって異なるため、詳細についてはツールのマニュアルを参照してください。

本 MCU には、以下の 2 つの設定手順があります。

- 「6.3.1. オプション設定メモリへのデータの配置方法」に記述されているように配置されたデータを、コンパイラが生成するオブジェクトファイルやモトローラ S 形式ファイルから読み取り、本 MCU へプログラムします
- ツールの GUI インタフェースを使用して、「6.3.1. オプション設定メモリへのデータの配置方法」に記述されているように配置されたデータをプログラムします

6.3.3 オプション設定メモリのセキュリティ属性

いくつかの機能では、セキュリティオプション設定のため非セキュア (FUNC NAME)、セキュア (FUNC NAME_SEC)、セキュリティ属性 (FUNC NAME_SEL) の 3 つのレジスタを備えています。セキュアおよびセキュリティ属性用のレジスタを設定できるのはセキュア開発者のみです。図 6.5 に示すように、セキュリティ属性レジスタのビットが 0 になると、セキュアレジスタの対応ビットが適用されます。セキュリティ属性レジスタのビットが 1 になると、非セキュアレジスタの対応ビットが適用されます。

たとえば、OFS1 レジスタの LVD をセキュアに、OFS1 レジスタの HOCO を非セキュアに設定したい場合、セキュア開発者は OFS1_SEL レジスタを下記のように設定する必要があります。

OFS1_SEL = 0xFFFF_FFF8

このように設定すると、OFS1_SEC レジスタの LVDAS および VDSEL[1:0] ビット値と OFS1 レジスタの HOCOFRQ0[2:0] および HOCOEN ビット値が MCU に適用されます。セキュリティ属性レジスタ (FUNC NAME_SEL) の予約ビットは 1 に設定してください。

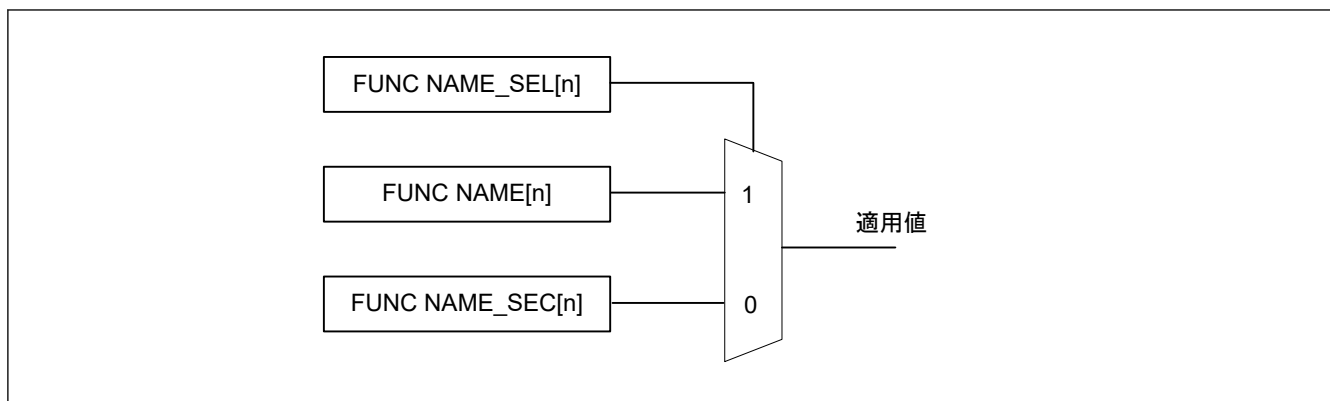


図 6.5 適用される値の選択

6.3.4 設定値のタイミング

SAS、BPS、BPS_SEC、PBPS、PBPS_SEC レジスタにおいて、関連する設定領域とブロック保護の設定値の適用タイミングは、書き込みの直後です。その他のレジスタについては、設定値は MCU リセット後に適用されます。

顧客の工場でのシリアルプログラミングモードでのプログラミングの場合、セキュアユーザー用のブロック保護は MCU リセット後に適用されることに注意してください。ブロック保護のセキュリティ属性レジスタ (BPS_SEL) の初期値は 1（非セキュア）なので、BPS_SEL レジスタの対応ビットが 0（セキュア）に設定されていても、セキュア開発者用のブロック保護設定 (BPS_SEC/PBPS_SEC) は、MCU がリセットされるまで適用されません。

6.4 使用上の注意事項

6.4.1 オプション設定メモリの予約領域および予約ビットにプログラムするデータ

オプション設定メモリの予約領域および予約ビットがプログラム範囲内にある場合、予約領域の全ビットおよび全予約ビットには 1 を書き込んでください。これらのビットに 0 を書き込んだ場合、正常動作は保証されません。

7. 低電圧検出回路 (LVD)

7.1 概要

低電圧検出 (LVD) モジュールは、VCC 端子、EXLVDVBAT 端子、VRTC 端子、および EXLVD 端子への入力電圧レベルを監視します。検出レベルはレジスタ設定で選択できます。LVD モジュールは、6 つの独立した低電圧検出回路 (LVD0、LVD1、LVD2、LVD_EXLVDVBAT、LVD_VRTC、および LVD_EXLVD) で構成されます。LVD0、LVD1、および LVD2 は VCC 端子への入力電圧レベルを測定します。LVD_EXLVDVBAT は EXLVDVBAT 端子への入力電圧レベルを測定します。LVD_VRTC は VRTC 端子への入力電圧レベルを測定します。LVD2 と LVD_EXLVD は EXLVD 端子への入力電圧レベルを測定します。LVD のレジスタにより、アプリケーションを使用してさまざまな電圧しきい値で、VCC 端子、EXLVDVBAT 端子、VRTC 端子、EXLVD 端子への入力電圧の変動を検出できます。

電圧監視レジスタを用いることで、電圧しきい値を通過したときに、LVD に割り込み、イベントリンク出力、またはリセットを発生させることができます。

表 7.1 と表 7.2 に LVD の仕様を示します。図 7.1 に電圧監視 0 リセット発生回路のブロック図を示します。図 7.2 に電圧監視 1 割り込みおよびリセット回路のブロック図を、図 7.3 に電圧監視 2 割り込みおよびリセット回路のブロック図を示します。図 7.4、図 7.5、および図 7.6 に、LVD_EXLVDVBAT 割り込み回路、LVD_VRTC 割り込み回路、および LVD_EXLVD 割り込み回路のブロック図を示します。表 7.3 に入出力端子の一覧を示します。

表 7.1 LVD の仕様

項目		電圧監視 0	電圧監視 1	電圧監視 2
動作設定方法		OFS1 レジスタ	レジスタ	レジスタ
監視対象		VCC 端子入力電圧	VCC 端子入力電圧	VCC 端子または EXLVD 端子入力電圧
監視電圧		V _{det0}	V _{det1}	V _{det2}
検出イベント		電圧が下降して V _{det0} を通過	電圧が上昇または下降して V _{det1} を通過	電圧(注1)が上昇または下降して V _{det2} を通過
検出電圧		OFS1.VDSEL[1:0]ビットで 4 レベルから選択可能	LVD1CMPCR.LVD1LVL[3:0]ビットで 12 レベルから選択可能	LVD2CMPCR.LVD2LVL[2:0]ビットで 8 レベルから選択可能
監視フラグ		なし	LVD1SR.MON フラグ：電圧が V _{det1} より高いか低いかを監視	LVD2SR.MON フラグ：電圧が V _{det2} より高いか低いかを監視
			LVD1SR.DET フラグ：V _{det1} 通過検出	LVD2SR.DET フラグ：V _{det2} 通過検出
電圧検出時の処理	リセット	電圧監視 0 リセット	電圧監視 1 リセット	電圧監視 2 リセット
		V _{det0} > VCC でリセット。 VCC > V _{det0} の一定時間後に CPU 動作再開	V _{det1} > VCC でリセット。 CPU 動作再開タイミングとして、 VCC > V _{det1} の一定時間後、または V _{det1} > VCC の一定時間後を選択可能	V _{det2} > VCC または EXLVD 端子のときにリセット CPU 動作再開タイミングとして、 VCC または EXLVD 端子 > V _{det2} の一定時間後、または V _{det2} > VCC または EXLVD 端子の一定時間後を選択可能
	割り込み	割り込みなし	電圧監視 1 割り込み	電圧監視 2 割り込み
			ノンマスクابل割り込み、またはマスクابل割り込みを選択可能 V _{det1} > VCC および VCC > V _{det1} の両方、またはどちらかのとき割り込み要求	ノンマスクابل割り込み、またはマスクابل割り込みを選択可能 V _{det2} > VCC または EXLVD 端子、および VCC または EXLVD 端子 > V _{det2} の両方、またはどちらかのとき割り込み要求
イベントリンク機能		なし	あり V _{det1} 通過検出時にイベント信号出力	あり V _{det2} 通過検出時にイベント信号出力
TrustZone フィルタ		—	各レジスタに対してセキュリティ属性の設定が可能	

注 1. VCC 端子と EXLVD 端子への入力電圧は、LVD2CMPCR.EXVCCINP2 ビットを使用して切り替えることができます。

表 7.2 LVD_EXLVDVBAT、LVD_VRTC、および LVD_EXLVD の仕様

項目	LVD_EXLVDVBAT	LVD_VRTC	LVD_EXLVD
動作設定方法	レジスタ	レジスタ	レジスタ
監視対象	EXLVDVBAT 端子入力電圧	VRTC 端子入力電圧	EXLVD 端子入力電圧
監視電圧	$V_{det\_lvdvbat}$	V_{det_vrtc}	V_{det_exlvd}
検出イベント	電圧が上昇または下降して $V_{det\_lvdvbat}$ を通過	電圧が上昇または下降して V_{det_vrtc} を通過	電圧が上昇または下降して V_{det_exlvd} を通過
検出電圧	VBTLVDCR.LVL[2:0]ビットを使用して7レベルから選択可能	VRTLVDCR.LVL[2:0]ビットを使用して8レベルから選択可能	固定
監視フラグ	VBTLVDSR.MON フラグ : 電圧が $V_{det\_lvdvbat}$ より高いか低いかを監視	VRTSR.MON フラグ : 電圧が V_{det_vrtc} より高いか低いかを監視	EXLVDSR.MON フラグ : 電圧が V_{det_exlvd} より高いか低いかを監視
	VBTLVDSR.DET フラグ : $V_{det\_lvdvbat}$ 通過検出	VRTSR.DET フラグ : V_{det_vrtc} 通過検出	EXLVDSR.DET フラグ : V_{det_exlvd} 通過検出
電圧検出時の処理	リセット	リセットなし	リセットなし
	割り込み	電圧監視 lvdvbat 割り込み	電圧監視 exlvd 割り込み
		マスカブル割り込み選択可能	マスカブル割り込み選択可能
		$V_{det\_lvdvbat} > EXLVDVBAT$ および $EXLVDVBAT > V_{det\_lvdvbat}$ の両方、またはどちらかのとき割り込み要求	$V_{det\_exlvd} > EXLVD$ および $EXLVD > V_{det\_exlvd}$ の両方、またはどちらかのとき割り込み要求
イベントリンク機能	なし	なし	なし
TrustZone フィルタ	各レジスタに対してセキュリティ属性の設定が可能		

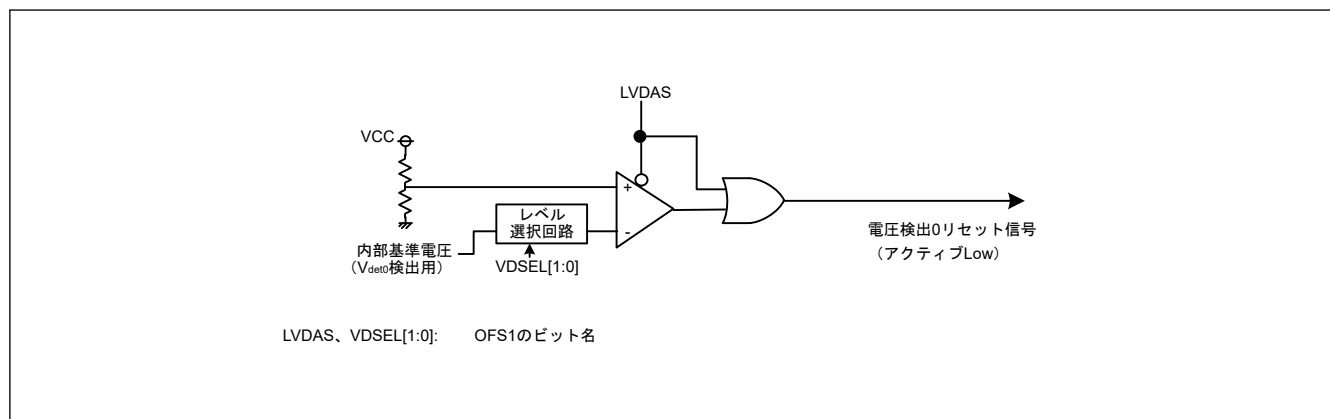


図 7.1 電圧監視 0 リセット発生回路のブロック図

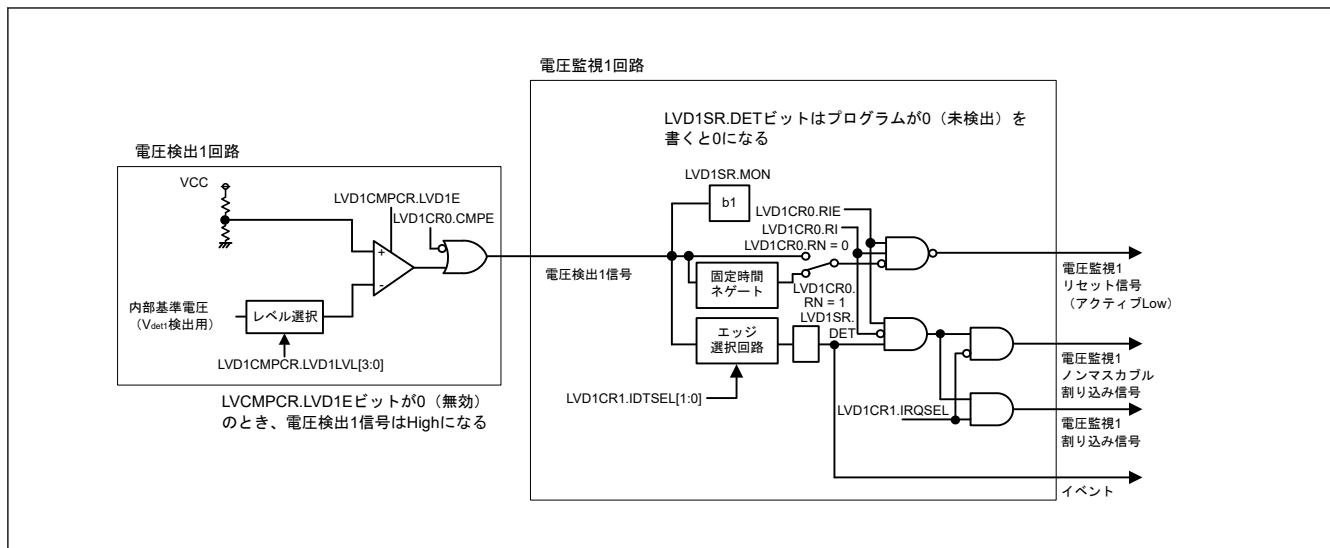


図 7.2 電圧監視 1 割り込み／リセット発生回路のブロック図

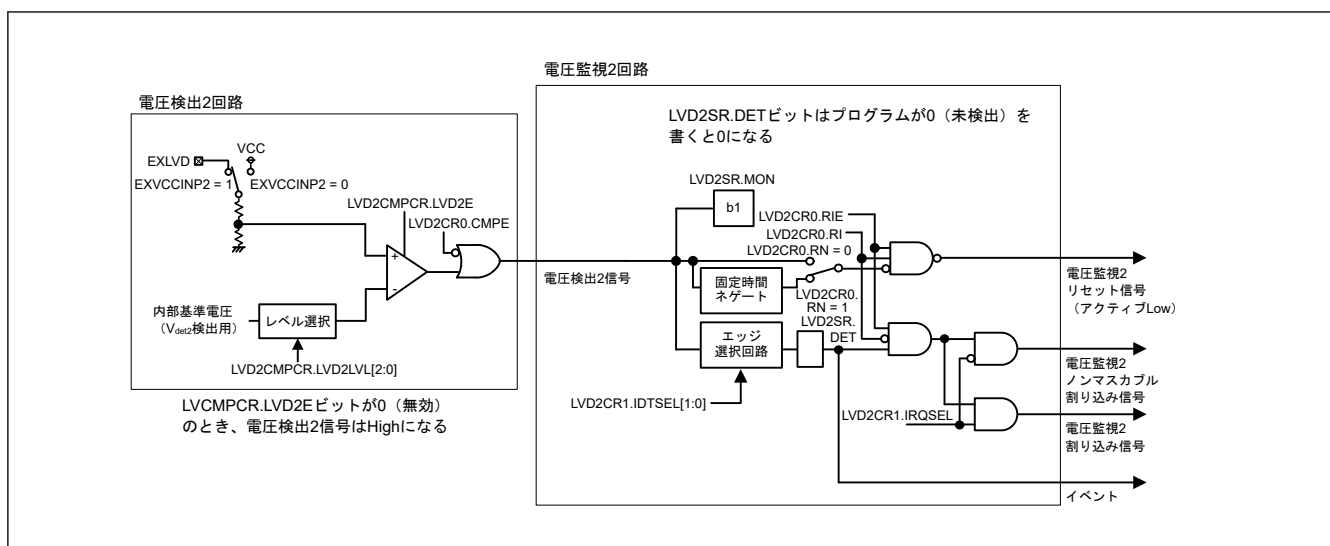


図 7.3 電圧監視 2 割り込み／リセット発生回路のブロック図

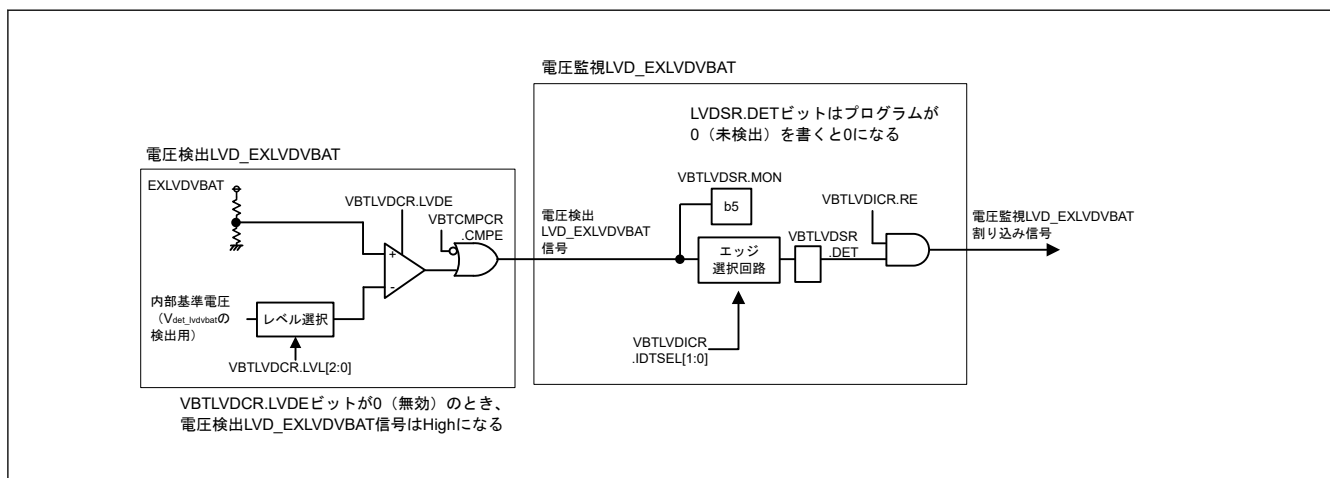


図 7.4 電圧監視 LVD_EXLVDVBAT 割り込み発生回路のブロック図

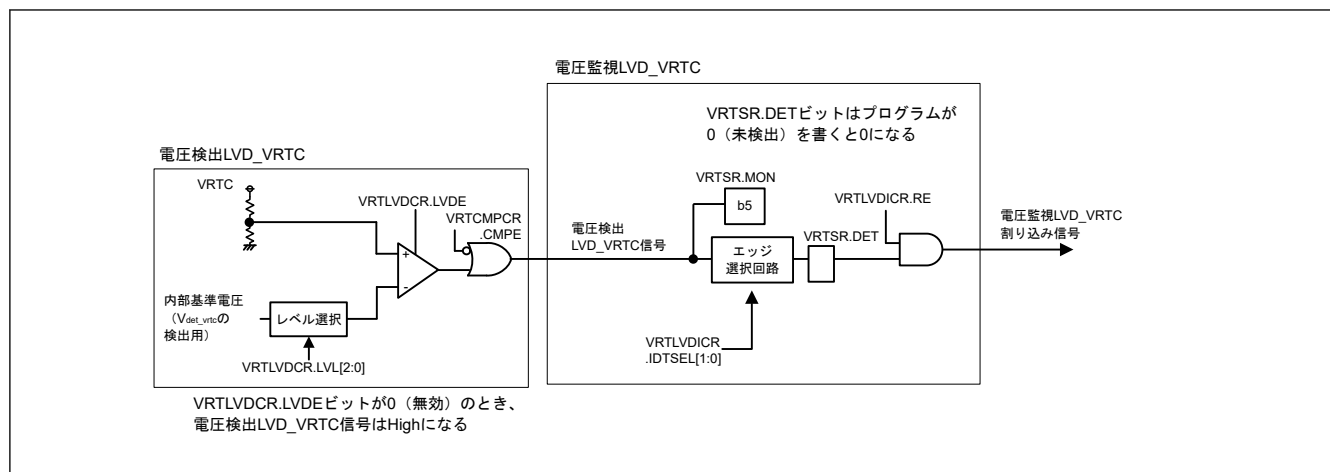


図 7.5 電圧監視 LVD_VRTC 割り込み発生回路のブロック図

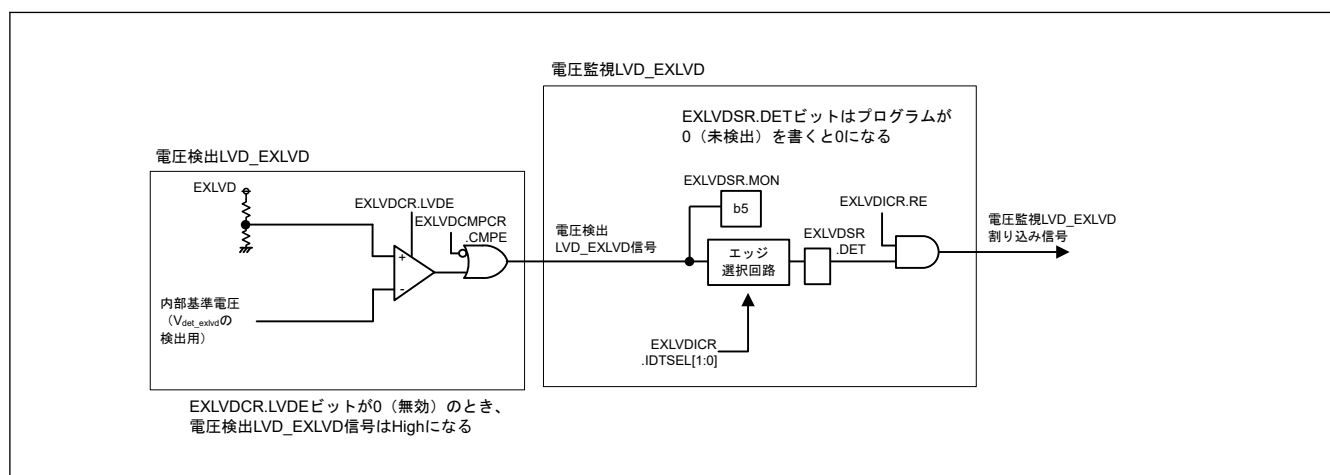


図 7.6 電圧監視 LVD EXLVD 割り込み発生回路のブロック図

表 7.3 LVD 入力端子

端子名	入出力	説明
EXLVDVBAT	入力	LVD_EXLVDVBAT の検出対象電圧端子
VRTC	入力	LVD_VRTC の検出対象電圧端子
EXLVD	入力	電圧検出 2 および LVD_EXLVD の検出対象電圧端子

7.2 レジスタの説明

7.2.1 LVDSAR：低電圧検出セキュリティ属性レジスタ

Base address: SYSC = 0x4001 E000

Offset address: 0x3CC

[illegible]

ビット	シンボル	機能	R/W
0	NONSEC0	非セキュア属性ビット 0 対象レジスタ：LVD1 用レジスタ 0: セキュア 1: 非セキュア	R/W
1	NONSEC1	非セキュア属性ビット 1 対象レジスタ：LVD2 用レジスタ 0: セキュア 1: 非セキュア	R/W
7:2	—	読むと 1 が読めます。書き込み可能な場合、1 としてください。	R/W
8	NONSEC8	非セキュア属性ビット 8 対象レジスタ：LVD_EXLVDBAT 用レジスタ	R/W
9	NONSEC9	非セキュア属性ビット 9 対象レジスタ：LVD_VRTC 用レジスタ	R/W
10	NONSEC10	非セキュア属性ビット 10 対象レジスタ：LVD_EXLVD 用レジスタ	R/W
31:11	—	読むと 1 が読めます。書き込み可能な場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

LVD SAR レジスタは LVD レジスタのセキュア属性を制御します。

NONSEC0 ビット (非セキュア属性ビット 0)

本ビットは LVD1CMPCR、LVD1CR0、LVD1CR1、LVD1SR のセキュリティ属性を制御します。

NONSEC1 ビット (非セキュア属性ビット 1)

本ビットは LVD2CMPCR、LVD2CR0、LVD2CR1、LVD2SR のセキュリティ属性を制御します。

NONSEC8 ビット (非セキュア属性ビット 8)

本ビットは VBTLVDCR、VBTLVDSR、VBTCMPCR、VBTLVDICR のセキュリティ属性を制御します。

NONSEC9 ビット (非セキュア属性ビット 9)

本ビットは VRTLVDICR、VRTSR、VRTCMPCR、VRTLVVICR のセキュリティ属性を制御します。

NONSEC10 ビット (非セキュア属性ビット 10)

本ビットは EXLVDCR、EXLVDSR、EXLVDCMPCR、EXLVVICR のセキュリティ属性を制御します。

7.2.2 LVD1CMPCR：電圧監視 1 コンパレータコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x417

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LVD1E	—	—	—	LVD1LVL[3:0]			

Value after reset: 0 0 0 0 1 0 1 1

ビット	シンボル	機能	R/W
3:0	LVD1LVL[3:0]	電圧検出 1 レベル選択(注1) 0x00: Vdet1_0 0x01: Vdet1_1 0x02: Vdet1_2 0x03: Vdet1_3 0x04: Vdet1_4 0x05: Vdet1_5 0x06: Vdet1_6 0x07: Vdet1_7 0x08: Vdet1_8 0x09: Vdet1_9 0x0A: Vdet1_A 0x0B: Vdet1_B その他: 設定禁止	R/W
6:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	LVD1E	電圧検出 1 有効 0: 電圧検出 1 回路無効 1: 電圧検出 1 回路有効	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注 1. 検出対象の電圧レベルについては、「43. 電氣的特性」を参照してください。LVD1 を使用しない場合は、初期値のままにしてください。LVD0 を使用する場合は、LVD0 の検出電圧より高い LVD1 検出電圧を設定してください。LVD1LVL[3:0] ビットは、リセット後に 1 回だけ書き換えできます。

LVD1CMPCR.LVD1LVL ビットは、LVD1CMPCR.LVD1E ビットと LVD2CMPCR.LVD2E ビットの両方が 0 の時だけ書き換えることができます。また、電圧検出回路 1 と電圧検出回路 2 は、同じ電圧検出レベルに設定しないでください。

LVD1CMPCR.LVD1LVL ビットと LVD1CMPCR.LVD1E ビットを同時に書き換えないでください。

LVD1E ビット (電圧検出 1 有効)

電圧検出 1 の割り込み／リセットまたは LVD1SR.MON ビットを使用する場合、LVD1E ビットを 1 にしてください。LVD1E ビットの値を 0 から 1 に変更した後、 $t_{d(E-A)}$ 経過すると、電圧検出 1 回路が動作を開始します。

7.2.3 LVD2CMPCR : 電圧監視 2 コンパレータコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x418

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LVD2E	EXVC CINP2	—	—	—	LVD2LVL[2:0]		
Value after reset:	0	0	0	0	0	1	1	1

ビット	シンボル	機能	R/W
2:0	LVD2LVL[2:0]	電圧検出 2 レベル選択(注1) 0 0 0: Vdet2_0 0 0 1: Vdet2_1 0 1 0: Vdet2_2 0 1 1: Vdet2_3 1 0 0: Vdet2_4 1 0 1: Vdet2_5 1 1 0: Vdet2_6 1 1 1: Vdet2_7	R/W
5:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
6	EXVCCINP2	電圧検出 2 比較 (電圧外部入力選択) (注2) 0: 電源電圧 (VCC) 1: EXLVD 端子入力電圧	R/W
7	LVD2E	電圧検出 2 有効 0: 電圧検出 2 回路無効 1: 電圧検出 2 回路有効	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注 1. 検出対象の電圧レベルについては、「43. 電氣的特性」を参照してください。LVD2 を使用しない場合は、初期値のままにしてください。LVD0 を使用する場合は、LVD0 の検出電圧より高い LVD2 検出電圧を設定してください。LVD2LVL[2:0] ビットは、リセット後に 1 回だけ書き換えできます。

注 2. EXVCCINP2 を変更できるのは、LVD1CMPCR.LVD1E ビットと LVD2CMPCR.LVD2E ビットの両方が 0 の場合だけです。

LVD2CMPCR.LVD2LVL[2:0] ビットと LVD2CMPCR.EXVCCINP2 ビットは、LVD1CMPCR.LVD1E ビットと LVD2CMPCR.LVD2E ビットの両方が 0 の時だけ書き換えることができます。また、電圧検出回路 1 と電圧検出回路 2 は、同じ電圧検出レベルに設定しないでください。

LVD2CMPCR.LVD2LVL ビットと LVD2CMPCR.LVD2E ビットを同時に書き換えないでください。

LVD2E ビット (電圧検出 2 有効)

電圧検出 2 の割り込み／リセットまたは LVD2SR.MON ビットを使用する場合、LVD2E ビットを 1 にしてください。LVD2E ビットの値を 0 から 1 に変更した後、 $t_{d(E-A)}$ 経過すると、電圧検出 2 回路が動作を開始します。

7.2.4 LVD1CR0 : 電圧監視 1 回路コントロールレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0x41A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RN	RI	—	—	—	CMPE	—	RIE

Value after reset: 1 0 0 0 x 0 0 0

ビット	シンボル	機能	R/W
0	RIE	電圧監視 1 割り込み／リセット許可 0: 禁止 1: 許可	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	CMPE	電圧監視 1 回路比較結果出力許可 0: 電圧監視 1 回路比較結果出力禁止 1: 電圧監視 1 回路比較結果出力許可	R/W
3	—	読み出し値は不定です。書く場合、1 としてください。	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	RI	電圧監視 1 回路モード選択 0: V_{det1} 通過時に電圧監視 1 割り込み発生 1: 下降して V_{det1} 通過時に電圧監視 1 リセット許可	R/W
7	RN	電圧監視 1 リセットネゲート選択 0: $VCC > V_{det1}$ 検出時、一定時間 (t_{LVD1}) 経過後にネゲート 1: LVD1 リセットアサート時、一定時間 (t_{LVD1}) 経過後にネゲート	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注: PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

RIE ビット (電圧監視 1 割り込み／リセット許可)

RIE ビットは電圧監視 1 割り込み／リセットを許可または禁止にします。フラッシュメモリのプログラム／イレース中は、電圧監視 1 割り込みも電圧監視 1 リセットも発生しないように、0 に設定してください。

CMPE ビット (電圧監視 1 回路比較結果出力許可)

CMPE ビットは電圧監視 1 回路比較結果出力を許可または禁止にします。電圧検出 1 回路を有効にして安定時間 ($t_{d(E-A)}$) 経過後に、CMPE ビットを 1 に設定してください。電圧検出 1 回路を停止するときは、CMPE ビットを 0 に設定してから電圧検出 1 回路を無効にしてください。

RN ビット (電圧監視 1 リセットネゲート選択)

RN ビットを 1 (LVD1 リセット信号のアサート後、安定時間経過後にネゲート) にする場合、MOCOCR.MCSTP ビットは 0 (MOCO 動作) にしてください。また、ソフトウェアスタンバイモードに遷移する場合、RN ビットは 0 ($V_{CC} > V_{det1}$ 検出後、安定時間経過後にネゲート) のみが可能です。この場合、RN ビットを 1 にしないでください。

7.2.5 LVD2CR0 : 電圧監視 2 回路コントロールレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0x41B

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RN	RI	—	—	—	CMPE	—	RIE
Value after reset:	1	0	0	0	x	0	0	0

ビット	シンボル	機能	R/W
0	RIE	電圧監視 2 割り込み／リセット許可 0: 禁止 1: 許可	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	CMPE	電圧監視 2 回路比較結果出力許可 0: 電圧監視 2 回路比較結果出力禁止 1: 電圧監視 2 回路比較結果出力許可	R/W
3	—	読み出し値は不定です。書く場合、1 としてください。	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	RI	電圧監視 2 回路モード選択 0: V_{det2} 通過時に電圧監視 2 割り込み発生 1: 下降して V_{det2} 通過時に電圧監視 2 リセット許可	R/W
7	RN	電圧監視 2 リセットネゲート選択 0: VCC または EXLVD 端子 $> V_{det2}$ 検出時、一定時間 (t_{LVD2}) 経過後にネゲート 1: LVD2 リセットアサート時、一定時間 (t_{LVD2}) 経過後にネゲート	R/W

注: セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注: PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

RIE ビット (電圧監視 2 割り込み／リセット許可)

RIE ビットは電圧監視 2 割り込み／リセットを許可または禁止にします。フラッシュメモリのプログラム／イレース中は、電圧監視 2 割り込みも電圧監視 2 リセットも発生しないようにしてください。

CMPE ビット（電圧監視 2 回路比較結果出力許可）

CMPE ビットは、電圧監視 2 回路比較結果出力を許可または禁止します。電圧検出 2 回路が有効になり安定時間 ($t_{d(E-A)}$) が経過した後に、CMPE ビットを 1 に設定してください。電圧検出 2 回路を停止するときは、CMPE ビットを 0 に設定してから電圧検出 2 回路を無効にしてください。

RN ビット（電圧監視 2 リセットネゲート選択）

RN ビットを 1 にする（LVD2 リセットがアサートされ一定時間が経過した後に LVD2 リセットをネゲートする場合、MOCOCR.MCSTP ビットは 0（MOCO 動作）にしてください。また、ソフトウェアスタンバイモードに移移すると、RN ビットは 0（VCC または EXLVD 端子 > V_{det2} 検出後、安定時間経過後にネゲート）のみが可能です。この場合、RN ビットを 1（LVD2 リセット信号のアサート後、安定時間経過後にネゲート）にしないでください。

7.2.6 LVD1CR1：電圧監視 1 回路コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0E0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	IRQSEL	IDTSEL[1:0]	
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
1:0	IDTSEL[1:0]	電圧監視 1 割り込み発生条件選択 0 0: $VCC \geq V_{det1}$ （上昇）検出時に発生 0 1: $VCC < V_{det1}$ （下降）検出時に発生 1 0: 下降または上昇検出時に発生 1 1: 設定禁止	R/W
2	IRQSEL	電圧監視 1 割り込み種類選択 0: ノンマスカブル割り込み 1: マスカブル割り込み ^(注1)	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

注 1. マスカブル割り込みを設定する場合、ICU にある NMICR.LVD1EN ビットをリセット状態から変更しないでください。

7.2.7 LVD1SR：電圧監視 1 回路ステータスレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0E1

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MON	DET
Value after reset:	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
0	DET	電圧監視 1 電圧変化検出フラグ 0: 未検出 1: V_{det1} 通過検出	R/W ^(注1)

ビット	シンボル	機能	R/W
1	MON	電圧監視 1 信号モニタフラグ 0: $V_{CC} < V_{det1}$ 1: $V_{CC} \geq V_{det1}$ または MON 無効	R
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

注 1. このビットは 0 のみ書けます。このビットに 0 を書いた後、このビットで 0 が読み出されるまでにシステムクロックで 2 サイクルの時間が必要です。

DET フラグ（電圧監視 1 電圧変化検出フラグ）

DET フラグは、LVD1CMPCR.LVD1E ビットが 1（電圧検出 1 回路有効）であり、かつ LVD1CR0.CMPE ビットが 1（電圧監視 1 回路比較結果出力許可）のときに有効になります。

V_{det1} を検出するとき、DET フラグを 0 にするのは、LVD1CR0.RIE を 0（禁止）にしてから行ってください。

LVD1CR0.RIE ビットを 0 に設定した後そのビットを 1（許可）に設定する場合は、PCLKB の 2 クロック期間以上待ってから設定してください。

MON フラグ（電圧監視 1 信号モニタフラグ）

MON フラグは、LVD1CMPCR.LVD1E ビットが 1（電圧検出 1 回路有効）であり、かつ LVD1CR0.CMPE ビットが 1（電圧監視 1 回路比較結果出力許可）のときに有効になります。

7.2.8 LVD2CR1：電圧監視 2 回路コントロールレジスタ 1

Base address: SYSC = 0x4001_E000

Offset address: 0x0E2

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	IRQSEL	IDTSEL[1:0]	

Value after reset: 0 0 0 0 0 0 0 0 1

ビット	シンボル	機能	R/W
1:0	IDTSEL[1:0]	電圧監視 2 割り込み発生条件選択 0 0: V_{CC} または EXLVD 端子 $\geq V_{det2}$ （上昇）検出時に発生 0 1: V_{CC} または EXLVD 端子 $< V_{det2}$ （下降）検出時に発生 1 0: 下降または上昇検出時に発生 1 1: 設定禁止	R/W
2	IRQSEL	電圧監視 2 割り込み種類選択 0: ノンマスカブル割り込み 1: マスカブル割り込み ^(注1)	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

注 1. マスカブル割り込みを設定する場合、ICU にある NMIER.LVD2EN ビットをリセット状態から変更しないでください。

7.2.9 LVD2SR : 電圧監視 2 回路ステータスレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0E3

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MON	DET
Value after reset:	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
0	DET	電圧監視 2 電圧変化検出フラグ 0: 未検出 1: V_{det2} 通過検出	R/W ^(注1)
1	MON	電圧監視 2 信号モニタフラグ 0: VCC または EXLVD 端子 < V_{det2} 1: VCC または EXLVD 端子 $\geq V_{det2}$ 、または MON が無効	R
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

注 1. 0 のみ書けます。0 を書いた後、このビットの読み出し値に反映されるまでにシステムクロックで 2 サイクルの時間が必要です。

DET フラグ（電圧監視 2 電圧変化検出フラグ）

DET フラグは、LVD2CMPCR.LVD2E ビットが 1（電圧検出 2 回路有効）であり、かつ LVD2CR0.CMPE ビットが 1（電圧監視 2 回路比較結果出力許可）のときに有効になります。

V_{det2} を検出するとき、DET フラグを 0 にするのは、LVD2CR0.RIE を 0（禁止）にしてから行ってください。

LVD2CR0.RIE ビットを 0 に設定した後そのビットを 1（許可）に設定する場合は、PCLKB の 2 クロック期間以上待ってから設定してください。

MON フラグ（電圧監視 2 信号モニタフラグ）

MON フラグは、LVD2CMPCR.LVD2E ビットが 1（電圧検出 2 回路有効）であり、かつ LVD2CR0.CMPE ビットが 1（電圧監視 2 回路比較結果出力許可）のときに有効になります。

7.2.10 VBTLVDCR : EXLVDVBAT 回路コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x4C0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LVL[2:0]			LVDE	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	LVDE	EXLVDVBAT 端子低電圧検出許可 0: EXLVDVBAT 端子低電圧検出禁止 1: EXLVDVBAT 端子低電圧検出許可	R/W

ビット	シンボル	機能	R/W
7:5	LVL[2:0]	EXLVDVBAT 端子低電圧検出レベル選択 ^(注1) 0 0 0: V _{LVDVBAT0} 0 0 1: V _{LVDVBAT1} 0 1 0: V _{LVDVBAT2} 0 1 1: V _{LVDVBAT3} 1 0 0: V _{LVDVBAT4} 1 0 1: V _{LVDVBAT5} 1 1 0: V _{LVDVBAT6} 1 1 1: 設定禁止	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

注 1. 検出対象の電圧レベルについては、「43. 電気的特性」を参照してください。

LVDE ビット (EXLVDVBAT 端子低電圧検出許可)

LVDE ビットは、EXLVDVBAT 端子の低電圧検出を制御します。

LVL[2:0] ビット (EXLVDVBAT 端子低電圧検出レベル選択)

LVL[2:0] ビットは、EXLVDVBAT 端子の低電圧検出レベルを選択します。

7.2.11 VBTLVDSR : EXLVDVBAT 回路ステータスレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x4C1

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	MON	—	—	—	DET	—
Value after reset:	0	0	1	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	DET	EXLVDVBAT 端子低電圧検出フラグ ^{(注1)(注2)} 0: EXLVDVBAT 端子低電圧未検出 1: EXLVDVBAT 端子低電圧検出	R/W
4:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	MON	EXLVDVBAT 端子低電圧監視フラグ 0: EXLVDVBAT < V _{det_lvdvbat} 1: EXLVDVBAT ≥ V _{det_lvdvbat} または MON フラグが無効	R
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

注 1. 1 を読んだ後に 0 を書き込むことのみ可能です。

注 2. VBTLVDCR.LVDE ビットが 1 のときのみ、本フラグは有効です。VBTLVDCR.LVDE ビットが 0 の場合、本フラグは 0 として読み出されます。

DET フラグ (EXLVDVBAT 端子低電圧検出フラグ)

DET フラグは、EXLVDVBAT 端子の低電圧検出が行われることを示します。

DET フラグを 0 にするのは、VBTLVDICR.IE を 0（禁止）に設定した後にする必要があります。

MON フラグ (EXLVDVBAT 端子低電圧監視フラグ)

MON フラグが有効なのは、VBTLVDCR.LVDE ビットが 1 (EXLVDVBAT 端子低電圧検出回路有効) で、VBTCMPCR.CMPE ビットが 1 (EXLVDVBAT 端子低電圧検出回路比較結果出力許可) であるときです。

7.2.12 VBTCMPCR: EXLVDVBAT コンパレータコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x4C2

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CMPE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CMPE	EXLVDVBAT 端子低電圧検出回路出力許可 0: EXLVDVBAT 端子低電圧検出回路出力禁止 1: EXLVDVBAT 端子低電圧検出回路出力許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

CMPE ビット (EXLVDVBAT 端子低電圧検出回路出力許可)

CMPE ビットは、EXLVDVBAT 端子の低電圧検出回路の出力を制御します。

7.2.13 VBTLVDICR: EXLVDVBAT 端子低電圧検出割り込みコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x4C3

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	IDTSEL[1:0]	—	—	—	—	IE
Value after reset:	0	0	0	1	0	0	0	0

ビット	シンボル	機能	R/W
0	IE	EXLVDVBAT 端子低電圧検出割り込み許可 0: EXLVDVBAT 端子低電圧検出割り込み禁止 1: EXLVDVBAT 端子低電圧検出割り込み許可	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	IDTSEL[1:0]	EXLVDVBAT 端子低電圧検出割り込み発生条件選択 0 0: $EXLVDVBAT \geq V_{det\_lvdvbat}$ (上昇) 検出時に発生 0 1: $EXLVDVBAT < V_{det\_lvdvbat}$ (下降) 検出時に発生 1 0: 下降または上昇検出時に発生 1 1: 設定禁止	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

7.2.14 VRTLVDCCR : VRTC 低電圧検出回路コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x4C4

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LVL[2:0]			LVDE	—	—	—	—
Value after reset:	0	1	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	LVDE	VRTC 端子低電圧検出許可 0: VRTC 端子低電圧検出禁止 1: VRTC 端子低電圧検出許可	R/W
7:5	LVL[2:0]	VRTC 端子低電圧検出レベル選択 ^(注1) 0 0 0: VLVDVRTC0 0 0 1: VLVDVRTC1 0 1 0: VLVDVRTC2 0 1 1: VLVDVRTC3 1 0 0: VLVDVRTC4 1 0 1: VLVDVRTC5 1 1 0: VLVDVRTC6 1 1 1: VLVDVRTC7	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注 1. 検出対象の電圧レベルについては、「43. 電氣的特性」を参照してください。

LVDE ビット (VRTC 端子低電圧検出許可)

LVDE ビットは、VRTC 端子の低電圧検出を制御します。

LVL[2:0] ビット (VRTC 端子低電圧検出レベル選択)

LVL[2:0] ビットは、VRTC 端子の低電圧検出レベルを選択します。

「011～111」から「000～001」への変化の場合、直接の変更は禁じられています。次の手順に従ってください。

1. VRTC 端子の低電圧検出を停止する
2. VRTLVDCCR.LVL[2:0] = 010 を設定する
3. 300 μ s 待機する
4. VRTLVDCCR.LVL[2:0] に値を設定する
5. VRTC 端子の低電圧検出を許可する
6. 「43. 電氣的特性」で説明しているように、VRTC コンパレータの動作安定時間 (td_lvdvrtc) が経過するのを待つ

その他の場合は直接の変更が可能です。次の手順に従ってください。

1. VRTC 端子の低電圧検出を停止する
2. VRTLVDCCR.LVL[2:0] に値を設定する
3. VRTC 端子の低電圧検出を許可する
4. 「43. 電氣的特性」で説明しているように、VRTC コンパレータの動作安定時間 (td_lvdvrtc) が経過するのを待つ

VRTC 端子の低電圧検出を停止したり許可したりする方法については、「[7.8. VRTC 端子低電圧検出手順](#)」を参照してください。

表 7.4 に VRTC 端子の低電圧検出レベルの変更が許可／禁止される場合を示します。

表 7.4 VRTC 端子の低電圧検出レベルの変更が許可／禁止される場合

		変更後							
		000	001	010	011	100	101	110	111
変更前	000	変更許可							
	001								
	010								
	011	禁止。 最初に「010」に変更し、 300 μ s 経過後、「000」ま たは「001」に変更します		変更許可					
	100								
	101								
	110								
	111								

7.2.15 VRTSR : VRTC ステータスレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x4C5

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	MON	VRTV LD	—	—	DET	PORD ET
Value after reset:	0	0	1	0 ^(注4)	0	0	0	1 ^(注1)

ビット	シンボル	機能	R/W
0	PORDET	VRTC ドメインパワーオンリセット検出フラグ ^(注2) 0: VRTC ドメインパワーオンリセット未検出 1: VRTC ドメインパワーオンリセット検出	R/W
1	DET	VRTC 電圧変化検出フラグ ^{(注2)(注3)} 0: V_{det_vrtc} 通過未検出 1: V_{det_vrtc} 通過検出	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	VRTVLD	VRTC ドメイン有効 0: VRTC ドメインが有効でない 1: VRTC ドメインが有効	R
5	MON	VRTC 信号モニタフラグ 0: $VRTC < V_{det\_vrtc}$ 1: $VRTC \geq V_{det\_vrtc}$ または MON フラグが無効	R
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

注 1. このフラグを設定するのは VRTC ドメインパワーオンリセットのみです。

注 2. 1 を読んだ後に 0 を書き込むことのみ可能です。

注 3. VRTLVDCCR.LVDE ビットが 1 のときのみ、本フラグは有効です。VRTLVDCR.LVDE ビットが 0 の場合、本フラグは 0 として読み出されます。

注 4. VRTC 電圧レベルによって異なります。

PORDET フラグ (VRTC ドメインパワーオンリセット検出フラグ)

PORDET フラグは、VRTC ドメインのパワーオンリセットが発生したことを示します。

「[41. 内部電圧レギュレータ](#)」を参照してください。

DET フラグ (VRTC 電圧変化検出フラグ)

DET フラグは、VRTC 端子の低電圧検出が行われることを示します。

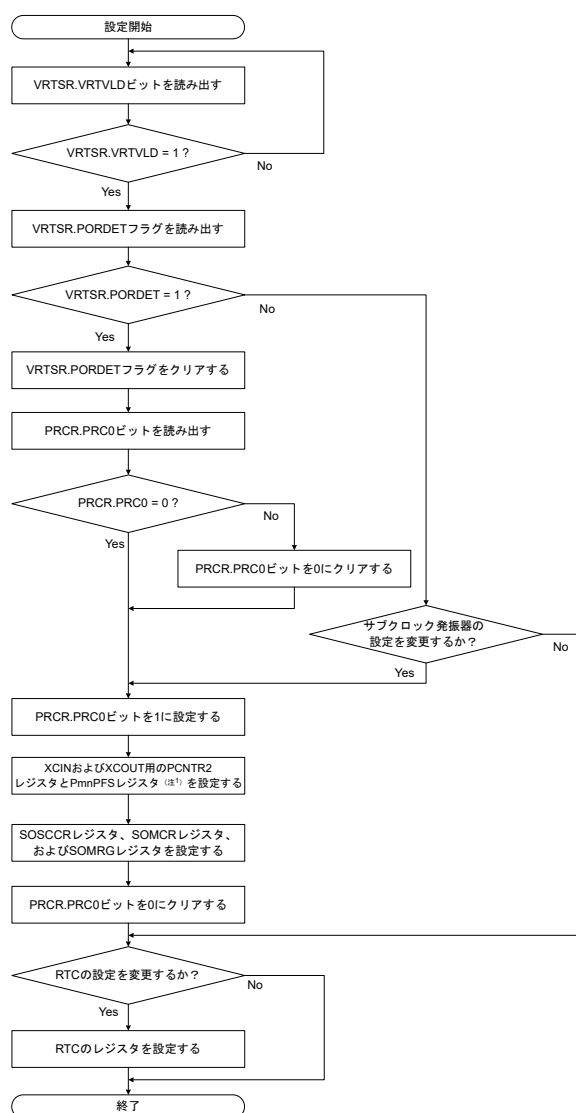
DET フラグを 0 にするのは、VRTLVDCR.IE を 0（禁止）に設定した後にする必要があります。

VRTVLD フラグ (VRTC ドメイン有効)

VRTVLD ビットは、VRTC ドメイン領域が有効かどうかチェックします。以下のレジスタに対して書き込みまたは読み出しを行う前に、VRTVLD ビットが 1 であることを確認してください。

- SOSCCR、SOMCR、および SOMRG については「[8. クロック発生回路](#)」で説明します
- VRTSR.PORDET ビットについては本項で説明します
- すべてのレジスタについては「[22. リアルタイムクロック \(RTC\)](#)」で説明します
- XCIN/XCOUT の PCNTR2 と PmnPFS については「[18. I/O ポート](#)」で説明します

また、次のフローチャートに従って上記のレジスタにアクセスしてください。



注 1. レジスタ設定の詳細は「18. I/O ポート」を参照してください。

図 7.7 VRTC ドメイン領域のレジスタにアクセスする場合のフローチャート

「41. 内部電圧レギュレータ」を参照してください。

MON フラグ (VRTC 信号モニタフラグ)

MON フラグが有効なのは、VRTLVDCR.LVDE ビットが 1 (VRTC 端子低電圧検出回路有効) で、VRTCMPCR.CMPE ビットが 1 (VRTC 端子低電圧検出回路比較結果出力許可) であるときです。

7.2.16 VRTCMPCR: VRTC コンパレータコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x4C6

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CMPE

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	CMPE	VRTC 端子低電圧検出回路出力許可 0: VRTC 端子低電圧検出回路出力禁止 1: VRTC 端子低電圧検出回路出力許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。
- 注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

CMPE ビット（VRTC 端子低電圧検出回路出力許可）

CMPE ビットは、VRTC 端子の低電圧検出回路の出力を制御します。

7.2.17 VRTLVDICR: VRTC 端子低電圧検出割り込みコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x4C7

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	IDTSEL[1:0]	—	—	—	—	IE
Value after reset:	0	0	0	1	0	0	0	0

ビット	シンボル	機能	R/W
0	IE	VRTC 端子低電圧検出割り込み許可 0: VRTC 端子低電圧検出割り込み禁止 1: VRTC 端子低電圧検出割り込み許可	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	IDTSEL[1:0]	VRTC 端子低電圧検出割り込み発生条件選択 0 0: $V_{RTC} \geq V_{det\_vrtc}$ （上昇）検出時に発生 0 1: $V_{RTC} < V_{det\_vrtc}$ （下降）検出時に発生 1 0: 下降または上昇検出時に発生 1 1: 設定禁止	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。
- 注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

7.2.18 EXLVDICR: EXLVD 回路コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x4C8

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	LVDE	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
4	LVDE	EXLVD 端子低電圧検出許可 0: EXLVD 端子低電圧検出禁止 1: EXLVD 端子低電圧検出許可	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。
- 注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

LVDE ビット (EXLVD 端子低電圧検出許可)

LVDE ビットは、EXLVD 端子の低電圧検出を制御します。

7.2.19 EXLVDSR: EXLVD 回路ステータスレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x4C9

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	MON	—	—	—	DET	—
Value after reset:	0	0	1	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	DET	EXLVD 端子低電圧検出フラグ(注1)(注2) 0: EXLVD 端子低電圧未検出 1: EXLVD 端子低電圧検出	R/W
4:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	MON	EXLVD 端子低電圧監視フラグ 0: $EXLVD < V_{det\_exlvd}$ 1: $EXLVD \geq V_{det\_exlvd}$ または MON フラグが無効	R
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。
- 注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
- 注 1. 1 を読んだ後に 0 を書き込むことのみ可能です。
- 注 2. EXLVDCR.LVDE ビットが 1 のときのみ、本フラグは有効です。EXLVDCR.LVDE ビットが 0 の場合、本フラグは 0 として読み出されます。

DET フラグ (EXLVD 端子低電圧検出フラグ)

DET フラグは、EXLVD 端子の低電圧検出が行われることを示します。

DET フラグを 0 にするのは、EXLVDCR.IE を 0（禁止）に設定した後にする必要があります。

MON フラグ (EXLVD 端子低電圧監視フラグ)

MON フラグが有効なのは、EXLVDCR.LVDE ビットが 1（EXLVD 端子低電圧検出回路有効）で、EXLVDCMPCR.CMPE ビットが 1（EXLVD 端子低電圧検出回路比較結果出力許可）であるときです。

7.2.20 EXLVDCMPCR : EXLVD コンパレータコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x4CA

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CMPE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CMPE	EXLVD 端子低電圧検出回路出力許可 0: EXLVD 端子低電圧検出回路出力禁止 1: EXLVD 端子低電圧検出回路出力許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。
- 注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

CMPE ビット (EXLVD 端子低電圧検出回路出力許可)

CMPE ビットは、EXLVD 端子の低電圧検出回路の出力を制御します。

7.2.21 EXLVDICR : EXLVD 端子低電圧検出割り込みコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x4CB

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	IDTSEL[1:0]	—	—	—	—	IE
Value after reset:	0	0	0	1	0	0	0	0

ビット	シンボル	機能	R/W
0	IE	EXLVD 端子低電圧検出割り込み許可 0: EXLVD 端子低電圧検出割り込み禁止 1: EXLVD 端子低電圧検出割り込み許可	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	IDTSEL[1:0]	EXLVD 端子低電圧検出割り込み発生条件選択 0 0: $EXLVD \geq V_{det\_exlvd}$ (上昇) 検出時に発生 0 1: $EXLVD < V_{det\_exlvd}$ (下降) 検出時に発生 1 0: 下降または上昇検出時に発生 1 1: 設定禁止	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。
- 注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

7.3 VCC 入力電圧の監視

7.3.1 V_{det0} の監視

電圧監視 0 の比較結果は、読み出すことができません。

7.3.2 V_{det1} のモニタ

表 7.5 に V_{det1} のモニタの設定手順を示します。設定が完了すると、LVD1SR.MON フラグで電圧監視 1 の比較結果をモニタできます。

表 7.5 V_{det1} のモニタの設定手順

手順	電圧監視 1 による比較結果モニタ
電圧検出 1 回路の設定	1 LVD1CMPCR.LVD1LVL[3:0]ビットへ書き込みを行う前に、LVD1CMPCR.LVD1E を 0 にして電圧検出 1 回路を無効にする
	2 LVD1CMPCR.LVD1LVL[3:0]ビットで検出電圧を選択する
	3 LVD1CMPCR.LVD1E を 1 にして、電圧検出 1 回路を有効にする
	4 LVD1 が有効になった後に動作が安定するまで $t_d(E-A)$ 以上待つ
出力許可の設定	5 LVD1CR0.CMPE を 1 にして、電圧監視 1 の比較結果出力を許可する

7.3.3 V_{det2} のモニタ

表 7.6 に V_{det2} のモニタの設定手順を示します。設定が完了すると、LVD2SR.MON フラグで電圧監視 2 の比較結果をモニタできます。

表 7.6 V_{det2} のモニタの設定手順

手順	電圧監視 2 による比較結果のモニタ
電圧検出 2 回路の設定	1 LVD2CMPCR.LVD2LVL[2:0]ビットへ書き込みを行う前に、LVD2CMPCR.LVD2E を 0 にして電圧検出 2 回路を無効にする
	2 LVD2CMPCR.LVD2LVL[2:0]ビットで検出電圧を選択する
	3 LVD2CMPCR.EXVCCINP2 を 0 (VCC 電圧) または 1 (EXLVD 端子入力電圧) にする
	4 LVD2CMPCR.LVD2E を 1 にして、電圧検出 2 回路を有効にする
	5 $t_d(E-A)$ (LVD2 有効切り替え後の LVD2 動作安定時間) 以上待つ
出力許可の設定	6 LVD2CR0.CMPE を 1 にして、電圧監視 2 の比較結果出力を許可する

7.4 電圧監視 0 リセット

電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0 にクリアして、リセット後、電圧監視 0 リセットを有効にしてください。ただし、ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧監視 0 からのリセットは無効です。

図 7.8 に電圧監視 0 リセットの動作例を示します。

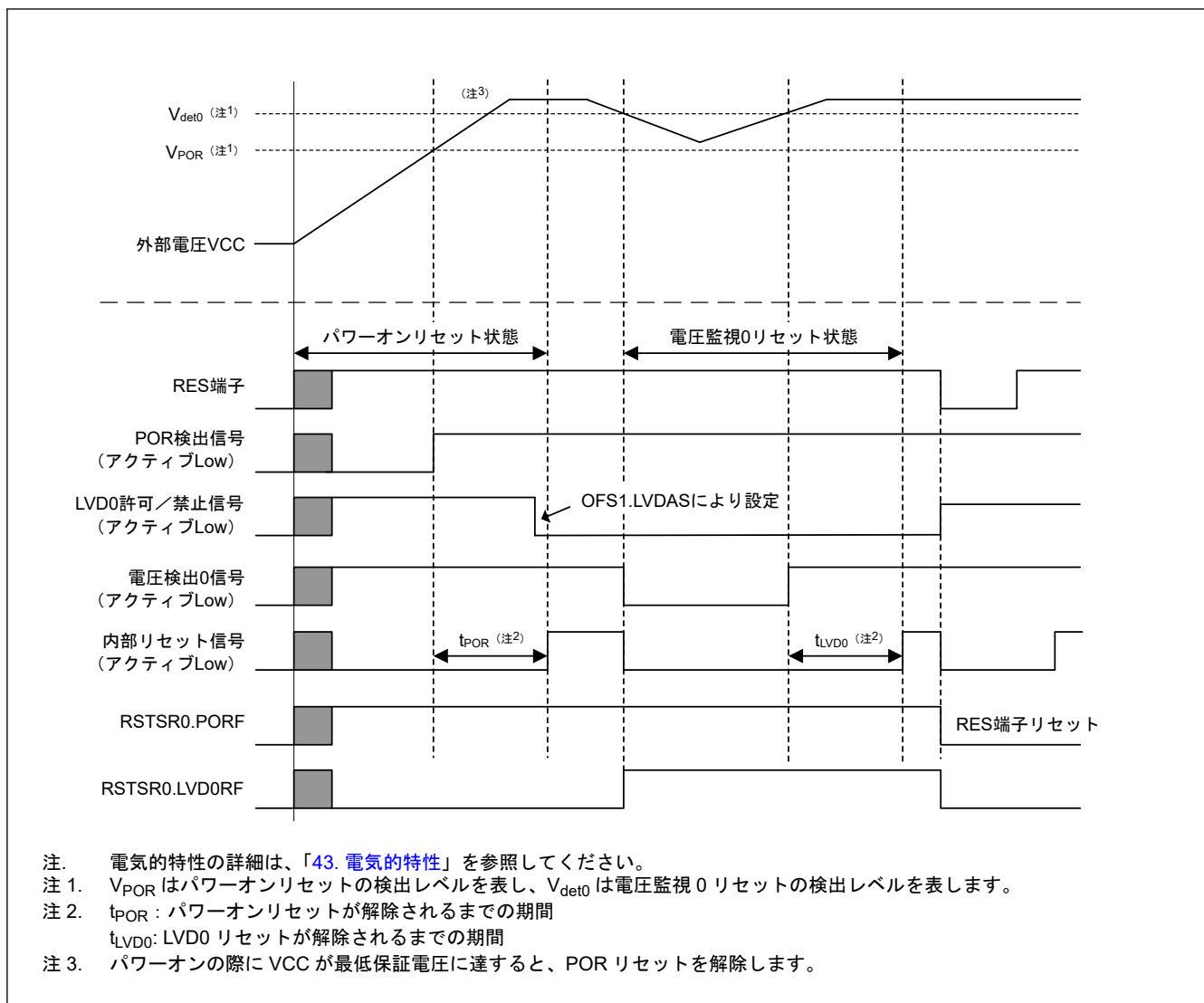


図 7.8 電圧監視 0 リセットの動作例

7.5 電圧監視 1 割り込み、電圧監視 1 リセット

電圧監視 1 回路での比較結果により、割り込みまたはリセットを発生させることができます。

表 7.7 に、電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順を示します。表 7.8 に、電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順を示します。図 7.9 に電圧監視 1 割り込みの動作例を示します。電圧監視 1 リセットの動作については、「5. リセット」の図 5.2 を参照してください。

ソフトウェアスタンバイモードで電圧監視 1 回路を使用する場合は、本節に記載している手順で回路を設定してください。

(1) ソフトウェアスタンバイモード時の設定

- $VCC > V_{det1}$ 検出時、LVD1 動作安定時間経過後に電圧監視 1 リセット信号をネグート (LVD1CR0.RN = 0) にしてください。

表 7.7 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順

手順	電圧監視 1 割り込み (電圧監視 1 ELC イベント出力)	電圧監視 1 リセット
電圧検出 1 回路の設定	1	LVD1CMPCR.LVD1E を 0 にして電圧検出 1 回路を無効にしてから、LVD1CMPCR レジスタに書き込む
	2	LVD1CMPCR.LVD1LVL[3:0] ビットで検出電圧を選択する
	3	LVD1CMPCR.LVD1E を 1 にして、電圧検出 1 回路を有効にする
	4	$t_d(E-A)$ (LVD1 有効切り替え後の LVD1 動作安定時間) 以上待機する
電圧監視 1 割り込み／リセットの設定	5	LVD1CR0.RI を 0 にして、電圧監視 1 割り込みを選択する ● LVD1CR0.RI を 1 にして、電圧監視 1 リセットを選択する ● LVD1CR0.RN ビットでリセットネゲートの種類を選択する
	6	● LVD1CR1.IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する ● LVD1CR1.IRQSEL ビットで割り込みの種類を選択する —
出力許可の設定	7	LVD1SR.DET を 0 にする
	8	LVD1CR0.RIE を 1 にして、電圧監視 1 割り込み／リセットを許可する(注1)
	9	LVD1CR0.CMPE を 1 にして、電圧監視 1 の比較結果出力を許可する

注. 手順 4 の待機時間中に手順 5～8 を行うことができます。 $t_d(E-A)$ の詳細は、「43. 電氣的特性」を参照してください。

注 1. ELC イベント信号のみを出力させる場合、手順 8 は不要です。

表 7.8 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順

手順		電圧監視 1 割り込み（電圧監視 1 ELC イベント出力）、電圧監視 1 リセット
出力許可停止の設定	1	LVD1CR0.CMPE を 0 にして、電圧監視 1 の比較結果出力を禁止する
	2	LVD1CR0.RIE を 0 にして、電圧監視 1 割り込み／リセットを禁止する(注1)
電圧検出 1 回路の停止	3	LVD1CMPCR.LVD1E を 0 にして、電圧検出 1 回路を無効にする

注 1. ELC イベント信号のみを出力させる場合、手順 2 は不要です。

電圧監視 1 割り込み／リセットを使用した後に一度停止してから再度設定する場合は、条件によって停止手順と再設定手順を次のように省略することができます。

- 電圧検出 1 回路の設定を変更しない場合、電圧検出 1 回路の再設定は不要
- 電圧監視 1 割り込みまたは電圧監視 1 リセットの設定を変更しない場合、電圧監視 1 割り込み／リセットに対する再設定は不要

図 7.9 に電圧監視 1 割り込みの動作例を示します。

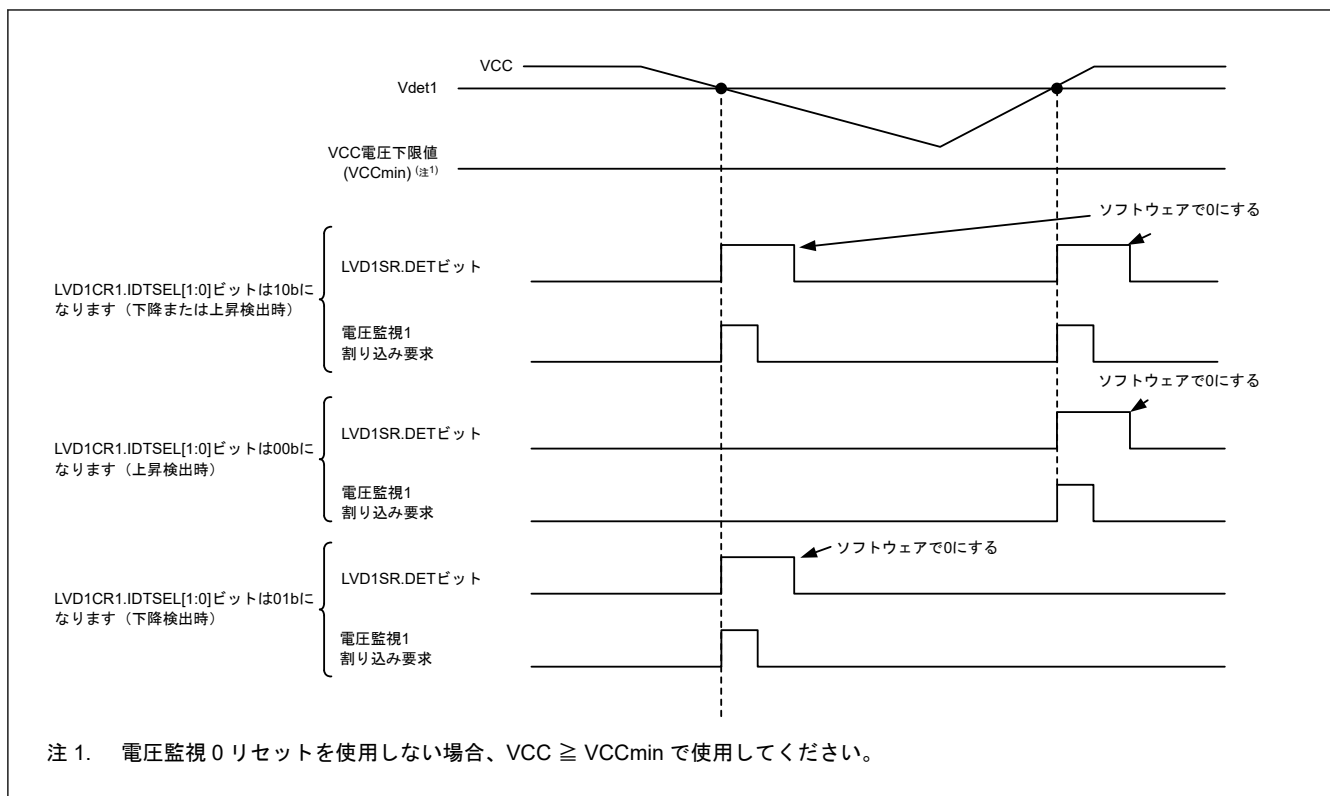


図 7.9 電圧監視 1 割り込みの動作例

7.6 電圧監視 2 割り込み、電圧監視 2 リセット

電圧監視 2 回路での比較結果により、割り込みまたはリセットを発生させることができます。

表 7.9 に、電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順を示します。表 7.10 に、電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順を示します。図 7.10 に電圧監視 2 割り込みの動作例を示します。電圧監視 2 リセットの動作については、「5. リセット」の図 5.2 を参照してください。

ソフトウェアスタンバイモードで電圧監視 2 回路を使用する場合は、回路を次の手順で設定してください。

(1) ソフトウェアスタンバイモード時の設定

- VCC または EXLVD 端子 $> V_{det2}$ 検出時、LVD2 動作安定時間経過後に電圧監視 2 リセット信号をネグート (LVD2CR0.RN = 0) にしてください。

表 7.9 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順 (1/2)

手順	電圧監視 2 割り込み (電圧監視 2 ELC イベント出力)	電圧監視 2 リセット
電圧検出 2 回路の設定	1 LVD2CMPCR.LVD2E を 0 にして電圧検出 2 回路を無効にしてから、LVD2CMPCR レジスタに書き込む	
	2 LVD2CMPCR.LVD2LVL[2:0] ビットで検出電圧を選択する	
	3 LVD2CMPCR.EXVCCINP2 を 0 (VCC 電圧) または 1 (EXLVD 端子入力電圧) にする	
	4 LVD2CMPCR.LVD2E を 1 にして、電圧検出 2 回路を有効にする	
	5 $t_d(E-A)$ (LVD2 有効切り替え後の LVD2 動作安定時間) 以上待機する(注1)	
電圧監視 2 割り込み／リセットの設定	6 LVD2CR0.RI を 0 にして、電圧監視 2 割り込みを選択する	- LVD2CR0.RI を 1 にして、電圧監視 2 リセットを選択する - LVD2CR0.RN ビットでリセットネグートの種類を選択する
	7 - LVD2CR1.IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する - LVD2CR1.IRQSEL ビットで割り込みの種類を選択する	—

表 7.9 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順 (2/2)

手順		電圧監視 2 割り込み (電圧監視 2 ELC イベント出力)	電圧監視 2 リセット
出力許可の設定	8	LVD2SR.DET を 0 にする	
	9	LVD2CR0.RIE を 1 にして、電圧監視 2 割り込み／リセットを許可する(注2)	
	10	LVD2CR0.CMPE を 1 にして、電圧監視 2 の比較結果出力を許可する	

注 1. 手順 5 の待機時間中に手順 6～9 を行うことができます。t_{d(E-A)}の詳細は、「43. 電気的特性」を参照してください。

注 2. ELC イベント信号のみを出力させる場合、手順 9 は不要です。

表 7.10 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順

手順		電圧監視 2 割り込み (電圧監視 2 ELC イベント出力)、電圧監視 2 リセット
出力許可停止の設定	1	LVD2CR0.CMPE を 0 にして、電圧監視 2 の比較結果出力を禁止する
	2	LVD2CR0.RIE を 0 にして、電圧監視 2 割り込み／リセットを禁止する(注1)
電圧検出 2 回路停止の設定	3	LVD2CMPCR.LVD2E を 0 にして、電圧検出 2 回路を無効にする

注 1. ELC イベント信号のみを出力させる場合、手順 2 は不要です。

電圧監視 2 割り込み／リセットを使用した後に一度停止してから再度設定する場合は、条件によって停止手順と再設定手順を次のように省略することができます。

- 電圧検出 2 回路の設定を変更しない場合は当該回路に対する再設定は不要
- 電圧監視 2 割り込みまたは電圧監視 2 リセットの設定を変更しない場合、電圧監視 2 割り込み／リセットに対する再設定は不要

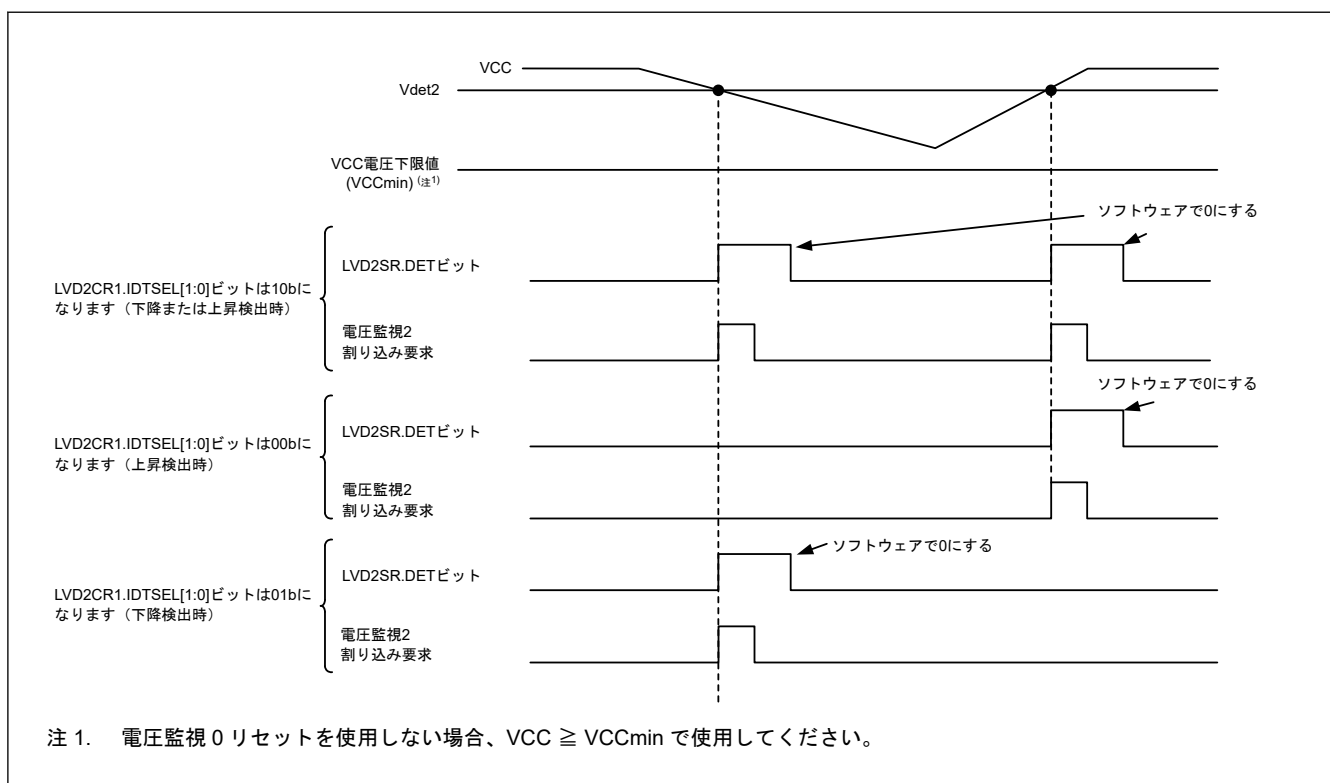


図 7.10 電圧監視 2 割り込みの動作例

7.7 EXLVDVBAT 端子低電圧検出手順

本項の手順を用いることにより、VBTLVDSR.DET フラグと割り込みを使用して EXLVDVBAT 端子の低電圧検出を監視できます。

EXLVDVBAT 端子の低電圧検出を許可にする手順を以下に示します。

1. VBTLVDCR.LVL[2:0]ビットを設定して、検出電圧を指定します (EXLVDVBAT 端子の電圧検出レベル選択)。
2. VBTLVDCR.IDTSEL[1:0]ビットで割り込み要求タイミングを選択します。
3. VBTLVDCR.LVDE ビットを 1 にして EXLVDVBAT 端子の低電圧検出を許可します。
4. 「43. 電气的特性」に記載された EXLVDVBAT コンパレータ動作安定化時間 ($t_{d\_lvdvbat}$) 待機後に、VBTCMPCR.CMPE ビットを 1 にして EXLVDVBAT 端子の電圧検出回路を有効にします。
5. VBTLVDSR.DET フラグが 0 であることを確認してから、VBTLVDCR.IE ビットを 1 にして EXLVDVBAT 端子の低電圧検出割り込み出力を許可します。

図 7.11 に電圧監視 LVD_EXLVDVBAT 割り込みの動作例を示します。

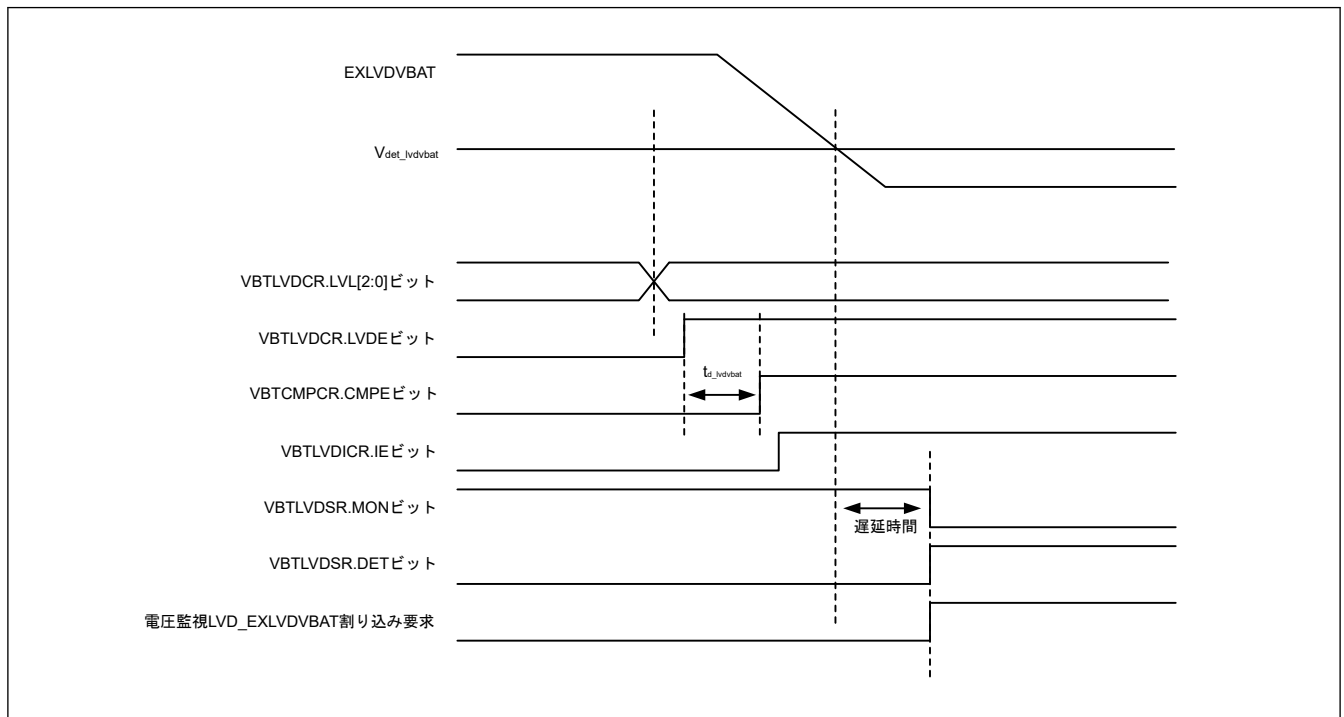


図 7.11 EXLVDVBAT 端子低電圧検出をオンにする場合の基本的動作

EXLVDVBAT 端子の低電圧検出をリセットする手順を以下に示します。

1. VBTLVDSR.DET ビットが 1 であることを確認します。
2. VBTLVDCR.IE ビットを 0 にして電圧検出割り込みを禁止します。
3. VBTLVDSR.DET ビットを 0 にして割り込み検出フラグをクリアします。
4. VBTLVDCR.IE ビットを 1 にして EXLVDVBAT 端子の低電圧検出割り込み出力を許可します。

図 7.12 に EXLVDVBAT 端子の低電圧検出をリセットする方法の例を示します。

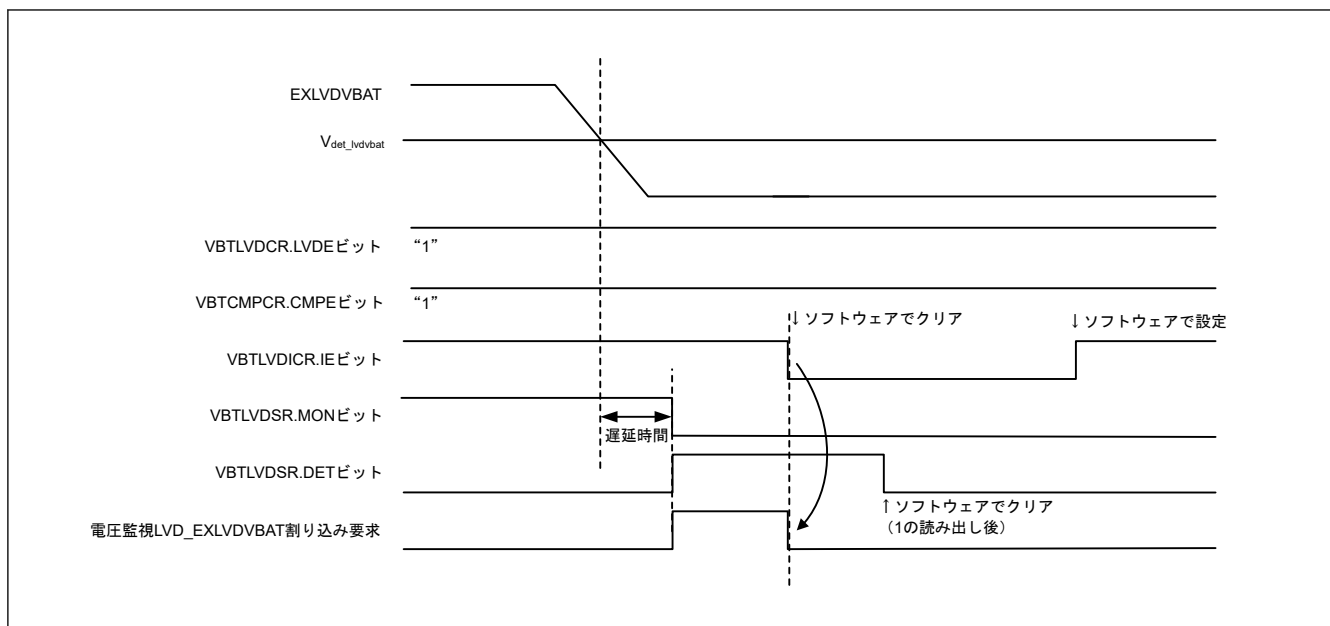


図 7.12 EXLVDVBAT 端子低電圧検出のリセット手順

EXLVDVBAT 端子の低電圧検出を停止する手順を以下に示します。

1. VBTLVDSR.DET ビットが 0 であることを確認します。VBTLVDSR.DET ビットが 1 の場合、VBTLVDSR.DET ビットを 0 にして割り込み検出フラグをクリアします。
2. VBTLVDCR.IE ビットを 0 にして電圧検出割り込みを禁止します。
3. VBTCMPCR.CMPE ビットを 0 にして EXLVDVBAT 端子の電圧検出回路出力を禁止します。
4. VBTLVDCR.LVDE ビットを 0 にして EXLVDVBAT 端子の低電圧出力を禁止します。

7.8 VRTC 端子低電圧検出手順

本項の手順を用いることにより、VRTSR.DET フラグと割り込みを使用して VRTC 端子の低電圧検出を監視できます。

VRTC 端子の低電圧検出を許可する手順を以下に示します。

1. VRTLVDICR.LVL[2:0] ビットを設定して、検出電圧を指定します (VRTC 端子の電圧検出レベル選択)。
2. VRTLVDICR.IDTSEL[1:0] ビットで割り込み要求タイミングを選択します。
3. VRTLVDICR.LVDE ビットを 1 にして、VRTC 端子の低電圧検出を許可します。
4. 「4.3. 電氣的特性」に記載された VRTC コンパレータ動作安定化時間 (td_lvdvrtc) 待機後に、VRTCMPCR.CMPE ビットを 1 にして VRTC 端子の電圧検出回路を有効にします。
5. VRTSR.DET フラグが 0 であることを確認してから、VRTLVDICR.IE ビットを 1 にして VRTC 端子の低電圧検出割り込み出力を許可します。

図 7.13 に電圧監視 LVD_VRTC 割り込みの動作例を示します。

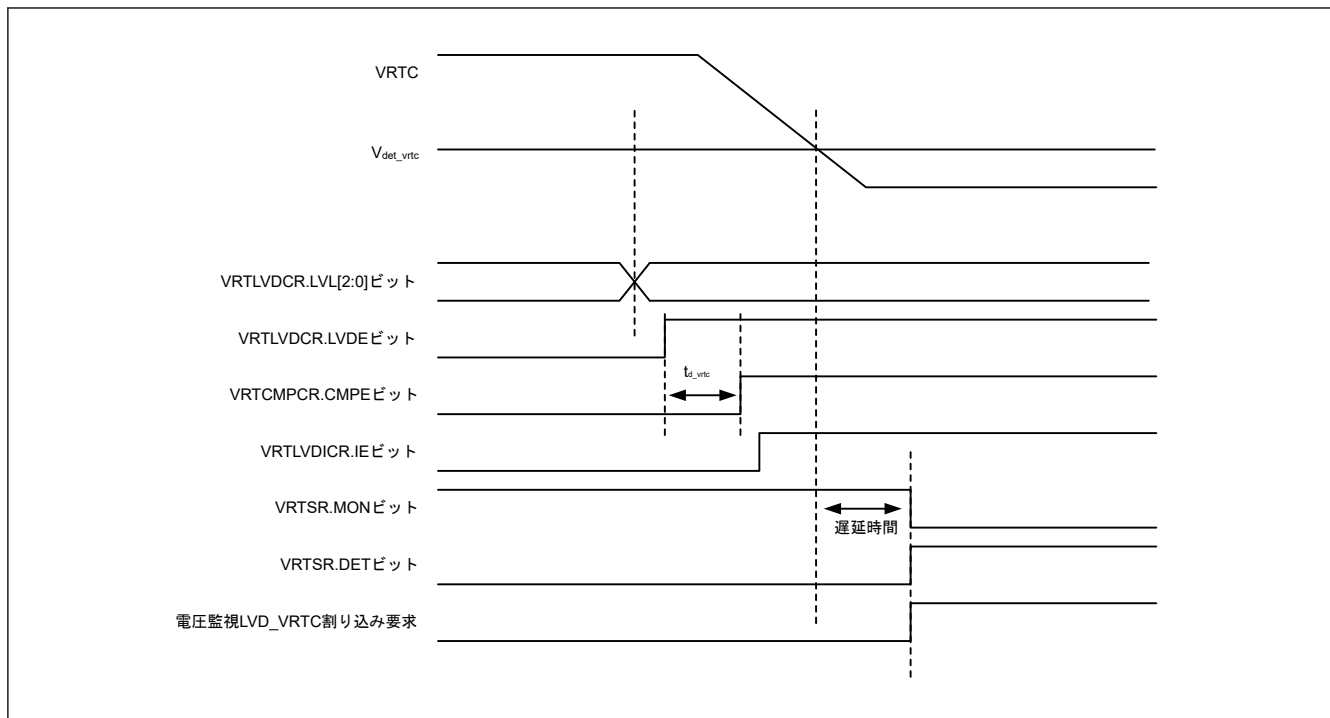


図 7.13 VRTC 端子低電圧検出をオンにする場合の基本的動作

VRTC 端子の低電圧検出をリセットする手順を以下に示します。

1. VRTSR.DET ビットが 1 であることを確認します。
2. VRTLVDICR.IE ビットを 0 にして電圧検出割り込みを禁止します。
3. VRTSR.DET ビットを 0 にして割り込み検出フラグをクリアします。
4. VRTLVDICR.IE ビットを 1 にして VRTC 端子の低電圧検出割り込み出力を許可します。

図 7.14 に VRTC 端子の低電圧検出をリセットする方法の例を示します。

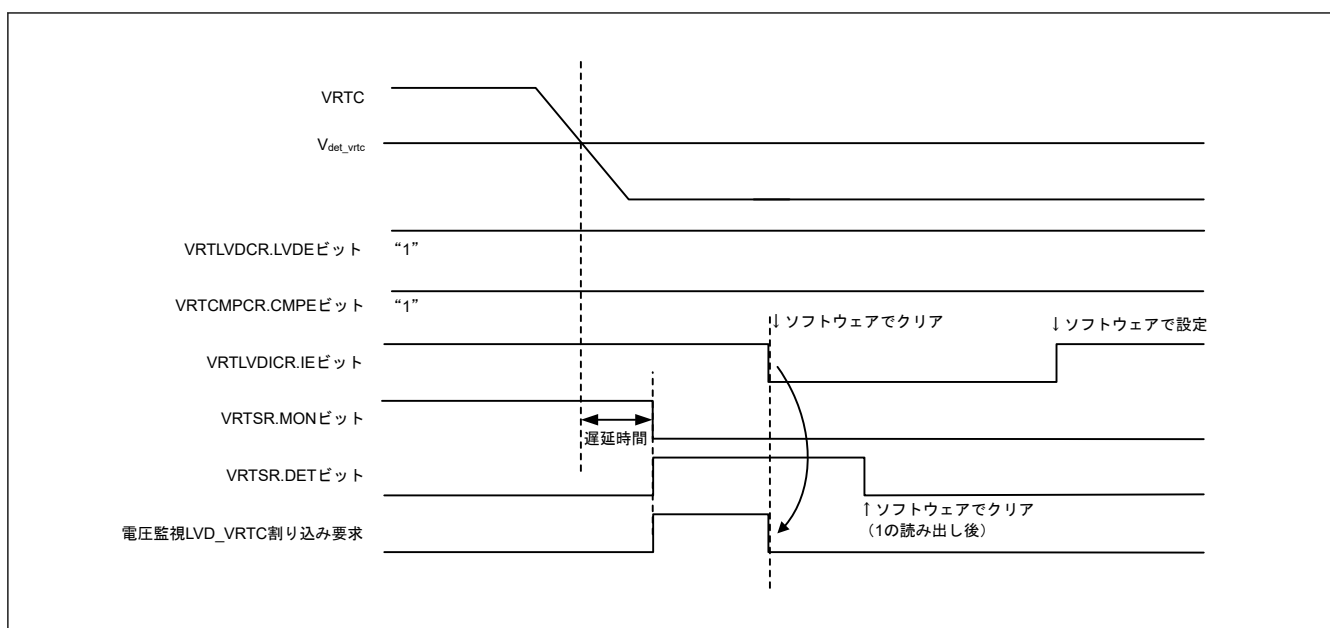


図 7.14 VRTC 端子低電圧検出のリセット手順

VRTC 端子の低電圧検出を停止する手順を以下に示します。

1. VRTSR.DET ビットが 0 であることを確認します。VRTSR.DET ビットが 1 の場合、VRTSR.DET ビットを 0 にして割り込み検出フラグをクリアします。

2. VRTLVDICR.IE ビットを 0 にして電圧検出割り込みを禁止します。
3. VRTCMPCR.CMPE ビットを 0 にして VRTC 端子の電圧検出回路出力を禁止します。
4. VRTLVDICR.LVDE ビットを 0 にして VRTC 端子の低電圧出力を禁止します。

7.9 EXLVD 端子低電圧検出手順

本項の手順を用いることにより、EXLVDSR.DET フラグと割り込みを使用して EXLVD 端子の低電圧検出を監視できます。

EXLVD 端子の低電圧検出を許可にする手順を以下に示します。

1. EXLVDCR.IDTSEL[1:0] ビットで割り込み要求タイミングを選択します。
2. EXLVDCR.LVDE ビットを 1 にして EXLVD 端子の低電圧検出を許可します。
3. 「4.3. 電气的特性」に記載された EXLVD コンパレータ動作安定化時間 (t_{d_exlvd}) 待機後に、EXLVDCMPCR.CMPE ビットを 1 にして EXLVD 端子の電圧検出回路を有効にします。
4. EXLVDSR.DET フラグが 0 であることを確認してから、EXLVDCR.IE ビットを 1 にして EXLVD 端子の低電圧検出割り込み出力を許可します。

図 7.15 に電圧監視 LVD_EXLVD 割り込みの動作例を示します。

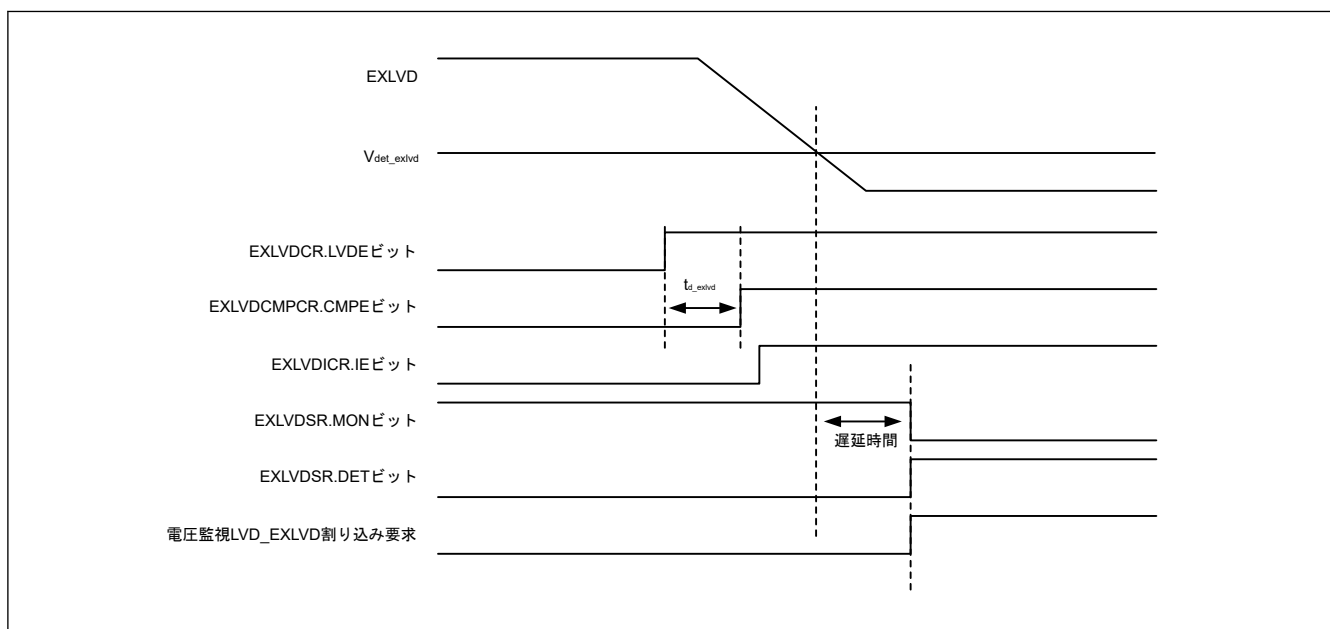


図 7.15 EXLVD 端子低電圧検出をオンにする場合の基本的動作

EXLVD 端子の低電圧検出をリセットする手順を以下に示します。

1. EXLVDSR.DET ビットが 1 であることを確認します。
2. EXLVDCR.IE ビットを 0 にして電圧検出割り込みを禁止します。
3. EXLVDSR.DET ビットを 0 にして割り込み検出フラグをクリアします。
4. EXLVDCR.IE ビットを 1 にして EXLVD 端子の低電圧検出割り込み出力を許可します。

図 7.16 に EXLVD 端子の低電圧検出をリセットする方法の例を示します。

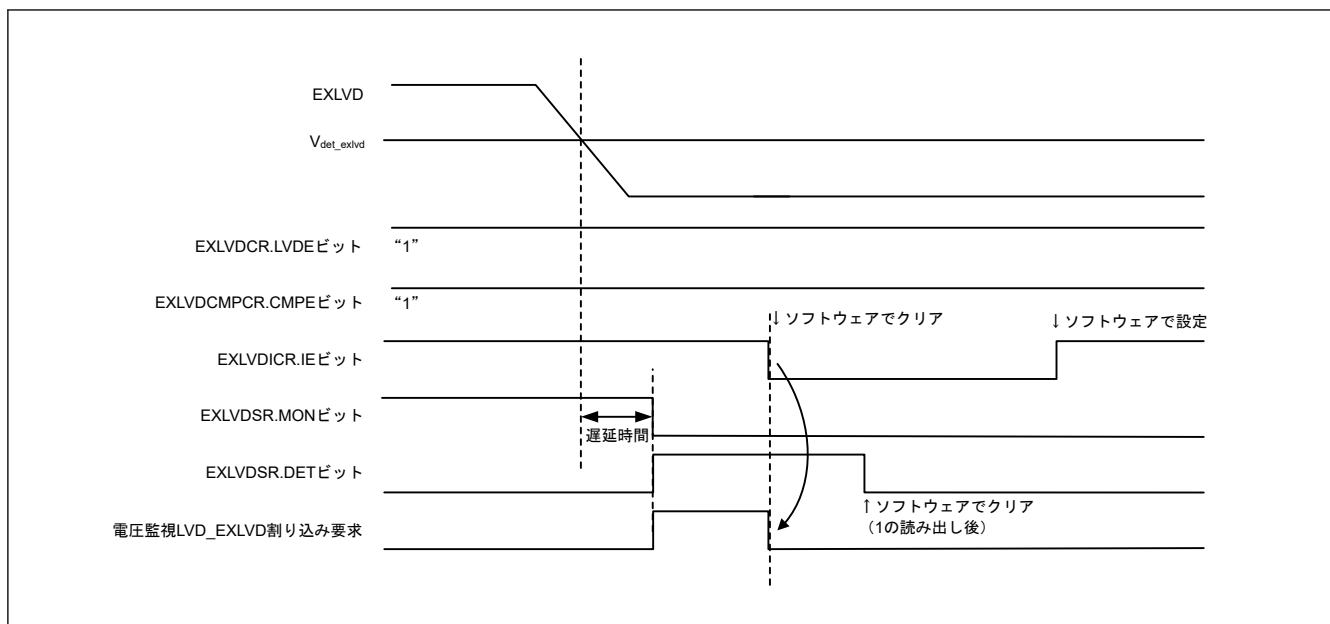


図 7.16 EXLVD 端子低電圧検出のリセット手順

EXLVD 端子の低電圧検出を停止する手順を以下に示します。

1. EXLVDSR.DET ビットが 0 であることを確認します。EXLVDSR.DET ビットが 1 の場合、EXLVDSR.DET ビットを 0 にして割り込み検出フラグをクリアします。
2. EXLVDICR.IE ビットを 0 にして電圧検出割り込みを禁止します。
3. EXLVDCMPCR.CMPE ビットを 0 にして EXLVD 端子の電圧検出回路出力を禁止します。
4. EXLVDCR.LVDE ビットを 0 にして EXLVD 端子の低電圧出力を禁止します。

7.10 ELC によるリンク動作

LVD は、ELC に対してイベント信号出力が可能です。

(1) V_{det1} 通過検出イベント

電圧検出 1 回路有効かつ電圧監視 1 回路比較結果出力許可の状態において、 V_{det1} 通過を検出した場合にイベント信号を出力します。

(2) V_{det2} 通過検出イベント

電圧検出 2 回路有効かつ電圧監視 2 回路比較結果出力許可の状態において、 V_{det2} 通過を検出した場合にイベント信号を出力します。

LVD のイベントリンク出力機能を有効にする場合、LVD を有効にしてから、ELC 側の LVD イベントリンク機能を有効にする必要があります。LVD のイベントリンク出力機能を停止にする場合は、LVD を停止してから、ELC 側の LVD イベントリンク機能を無効にする必要があります。

7.10.1 割り込み処理とイベントリンクの関係

LVD には、電圧監視 1 割り込みと電圧監視 2 割り込みを個別に許可または禁止するビットがあります。割り込み要因が発生し、割り込み許可ビットで割り込みが許可される場合は、割り込み信号が CPU へ出力されます。

これに対してイベントリンク信号は、割り込み許可ビットの状態とは無関係に、割り込み要因が発生するとただちに ELC を介して他のモジュールにイベント信号として出力されます。

ソフトウェアスタンバイモードで電圧監視 1 割り込みと電圧監視 2 割り込みを出力することができます。ソフトウェアスタンバイモードでは、ELC 用のイベント信号が以下のように出力されます。

- ソフトウェアスタンバイモードのときに V_{det1} または V_{det2} 通過イベントを検出した場合、ソフトウェアスタンバイモードではクロックが供給されないため、ELC 用のイベント信号は生成されません。 V_{det1} および

V_{det2} 通過検出フラグは保持されているため、ソフトウェアスタンバイモードから復帰してクロック供給が再開されると、 V_{det1} および V_{det2} 検出フラグ状態にしたがって ELC 用のイベント信号が出力されます。

8. クロック発生回路

8.1 概要

本 MCU はクロック発生回路を内蔵しています。表 8.1 および表 8.2 に、クロック発生回路の仕様を示します。図 8.1 にブロック図、表 8.3 に入出力端子を示します。

表 8.1 クロック発生回路の仕様（クロックソース）

クロックソース	項目	内容
メインクロック発振器 (MOSC)	発振子周波数	1~20 MHz
	外部クロック入力周波数	最高 20 MHz
	外部発振子または付加回路	セラミック発振子、水晶振動子
	接続端子	EXTAL, XTAL
	駆動能力切り替え	あり
	発振停止検出機能	あり
サブクロック発振器 (SOSC)	発振子周波数	32.768 kHz
	外部発振子または付加回路	水晶振動子
	接続端子	XCIN, XCOUT
	外部クロック入力	あり
	駆動能力切り替え	あり
	発振停止検出機能	あり
PLL 回路	入力クロックソース	MOSC, HOCO
	入力分周比	1、4、および 6 分周から選択可能
	入力周波数	4~12.5 MHz
	通倍比	4~15.5 通倍から選択可能 (0.5 ステップ単位)
	出力分周比	なし
	PLL 出力周波数	24~80 MHz
PLL_RTC 回路	入力クロックソース	SOSC
	入力周波数	32.768 kHz
	周波数の通倍比	793
	出力パルス周波数の分周比	なし
	PLL 出力周波数	26 MHz
高速オンチップオシレータ (HOCO)	発振周波数	24/32/40/48/64/80 MHz
	FLL 機能	なし
	ユーザートリミング	あり
中速オンチップオシレータ (MOCO)	発振周波数	8 MHz
	ユーザートリミング	あり
低速オンチップオシレータ (LOCO)	発振周波数	32.768 kHz
	ユーザートリミング	あり
IWDТ 専用オンチップオシレータ (IWDТLOCO)	発振周波数	15 kHz
	ユーザートリミング	なし
SWD 用外部クロック入力 (SWCLK)	入力クロック周波数	最高 12.5 MHz

表 8.2 クロック発生回路の仕様（内部クロック）（1/2）

項目	クロックソース	クロック供給先	内容
システムクロック (ICLK)	MOSC/SOSC/HOCO/MOCO/LOCO/PLL	CPU、DTC、DMAC、フラッシュ、RAM、I/O ポート	最高 80 MHz 分周比：1/2/4/8/16/32/64
周辺モジュールクロック A (PCLKA)	MOSC/SOSC/HOCO/MOCO/LOCO/PLL	周辺モジュール (QSPI、SCI、SPI、CRC、DOC、ADC12、GPT バスクロック、CNECC、IrDA)	最高 80 MHz 分周比：1/2/4/8/16/32/64
周辺モジュールクロック B (PCLKB)	MOSC/SOSC/HOCO/MOCO/LOCO/PLL	周辺モジュール (CAC、ELC、POEG、RTC、WDT、IWDI、AGTW、IIC、CANFD、SLCDC、UARTA、RSIP-E31A)	最高 40 MHz 分周比：1/2/4/8/16/32/64
周辺モジュールクロック C (PCLKC)	MOSC/SOSC/HOCO/MOCO/LOCO/PLL	周辺モジュール (ADC12 変換クロック)	最高 48 MHz 分周比：1/2/4/8/16/32/64
周辺モジュールクロック D (PCLKD)	MOSC/SOSC/HOCO/MOCO/LOCO/PLL	周辺モジュール (GPT カウントクロック)	最高 80 MHz 分周比：1/2/4/8/16/32/64
FlashIF クロック (FCLK)	MOSC/SOSC/HOCO/MOCO/LOCO/PLL	FlashIF、TSN	1~48 MHz (P/E) 最高 48 MHz (読み出し) 分周比：1/2/4/8/16/32/64
CANFD クロック (CANFDCLK)	MOSC/SOSC/HOCO/MOCO/LOCO/PLL	CANFD	最高 40 MHz 分周比：1/2/4/6/8
CAN クロック (CANMCLK)	MOSC	CANFD	1~20 MHz
セグメント LCD ソースクロック (LCDSRCCLK)	MOSC/SOSC/HOCO/LOCO	SLCDC	最高 80 MHz
AGT サブクロック (AGTSCLK)	SOSC	AGTW	32.768 kHz
AGT LOCO クロック (AGTLCLK)	LOCO	AGTW	32.768 kHz
CAC メインクロック (CACMCLK)	MOSC	CAC	最高 20 MHz
CAC サブクロック (CACSCLK)	SOSC	CAC	32.768 kHz
CAC LOCO クロック (CACLCLK)	LOCO	CAC	32.768 kHz
CAC MOCO クロック (CACMOCLK)	MOCO	CAC	8 MHz
CAC HOCO クロック (CACHCLK)	HOCO	CAC	24/32/40/48/64/80 MHz
CAC IWDILOCO クロック (CACILCLK)	IWDILOCO	CAC	15 kHz
UARTA メインクロック (UARTAMCLK)	MOSC	UARTA	最高 20 MHz
UARTA サブクロック (UARTASCLK)	SOSC	UARTA	32.768 kHz
UARTA LOCO クロック (UARTALCLK)	LOCO	UARTA	32.768 kHz
UARTA MOCO クロック (UARTAMOCLK)	MOCO	UARTA	8 MHz
UARTA HOCO クロック (UARTAHCLK)	HOCO	UARTA	24/32/40/48/64/80 MHz
RTC サブクロック (RTCSCLK)	SOSC	RTC	32.768 kHz
RTC 128 Hz クロック (RTCS128CLK)	SOSC	RTC	128 Hz
PLL_RTC クロック (RTCPLLCLK)	PLL_RTC	RTC	26 MHz

表 8.2 クロック発生回路の仕様（内部クロック）（2/2）

項目	クロックソース	クロック供給先	内容
IWDT クロック (IWDTCLK)	IWDTLOCO	IWDT	15 kHz
SysTick タイマクロック (SYSTICCLK)	LOCO	SysTick タイマ	32.768 kHz
シリアルワイヤクロック (SWCLK)	SWCLK	OCD	最高 12.5 MHz
クロック／ブザー出力 (CLKOUT)	MOSC/SOSC/LOCO/MOCO/HOCO	CLKOUT 端子	最高 40 MHz 分周比 : 1/2/4/8/16/32/64/128

注. クロック周波数の設定に関する制限 : $ICLK \geq PCLKA \geq PCLKB$, $PCLKD \geq PCLKA \geq PCLKB$

$ICLK \geq FCLK$

クロック周波数比に関する制限 : (N は最大 64 の整数)

$ICLK: FCLK = 1:1$ ($ICLK \leq 48$ MHz の場合)、 $ICLK: FCLK = 2:1$ (48 MHz $< ICLK \leq 80$ MHz の場合)

$ICLK: PCLKA = N:1$, $ICLK: PCLKB = N:1$, $ICLK: PCLKC = N:1$ または $1:N$, $ICLK: PCLKD = N:1$ または $1:N$

A/D コンバータが有効な場合のクロック周波数比に関する制限 :

$PCLKA: PCLKC = 1:1$, $2:1$, $4:1$, $8:1$, $1:2$, または $1:4$

注. P/E の場合の、最小 FCLK 周波数 1 MHz における制限

注. クロックには、許容周波数範囲があります（表 8.2 を参照してください）。

フラッシュメモリと SRAM にも、各ウェイトサイクルの設定値に許容動作周波数範囲があります（「38. SRAM」および「39. フラッシュメモリ」を参照してください）。

これらのクロック周波数範囲は HOCO 自身に最高または最低周波数があったとしても、必ず満たす必要があります（「43. 電気的特性」を参照してください）。

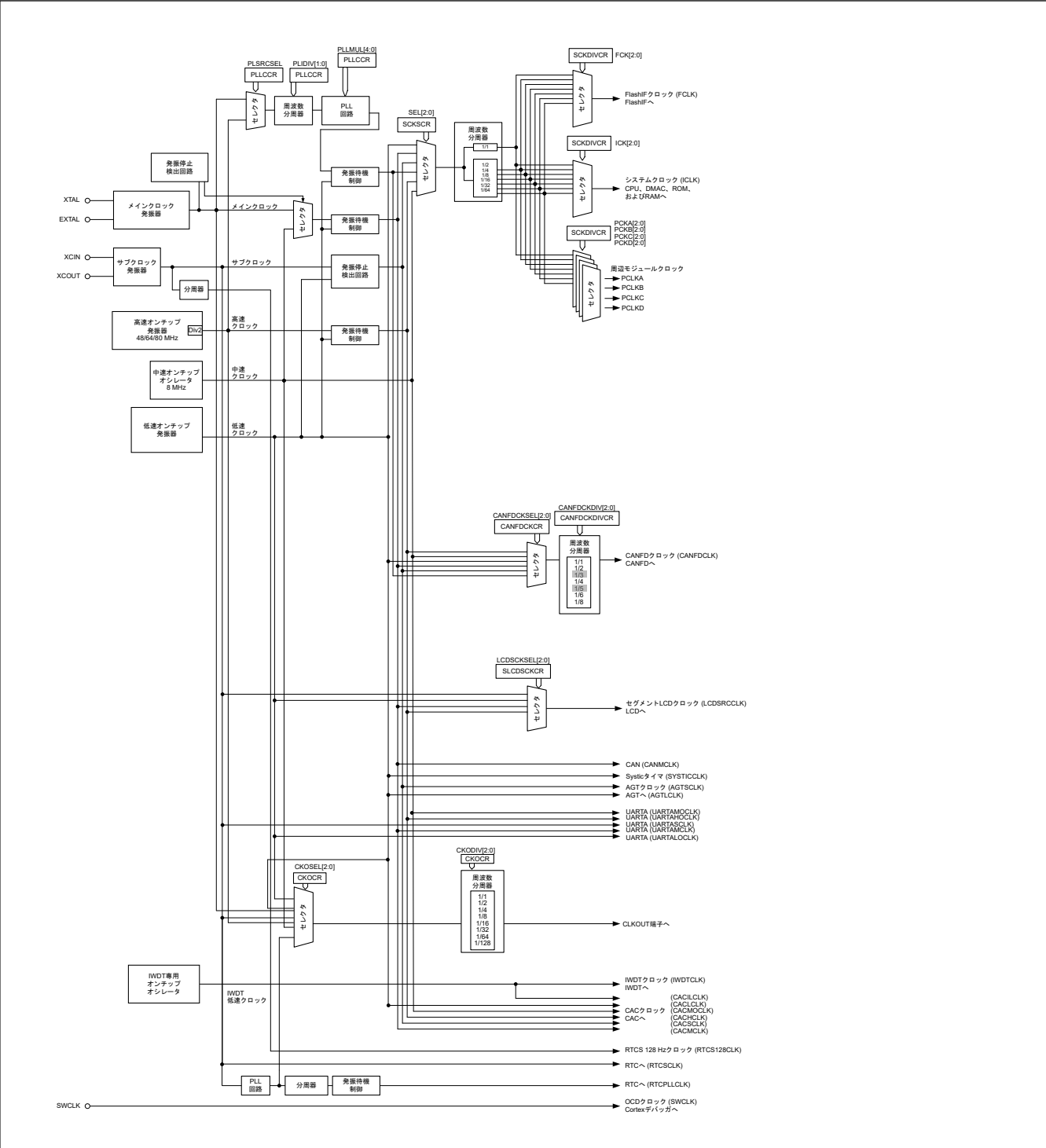


図 8.1 クロック発生回路のブロック図

表 8.3 にクロック発生回路の入出力端子を示します。

表 8.3 クロック発生回路の入出力端子 (1/2)

端子名	入出力	機能
XTAL	出力	これらの端子はセラミック発振子または水晶振動子の接続に使用します。EXTAL 端子は外部クロックの入力にも使用できます。詳細は、「8.3.2. 外部クロックを入力する方法」を参照してください。
EXTAL	入力	
XCIN	入力	32.768 kHz の水晶振動子を接続します。
XCOU	出力	

表 8.3 クロック発生回路の入出力端子 (2/2)

端子名	入出力	機能
SWCLK	入力	SWD 用のクロック入力です。
CLKOUT	出力	CLKOUT/BUZZER クロックを出力します。

8.2 レジスタの説明

ここで、OFS1 とは OFS1、OFS1_SEC、および OFS1_SEL レジスタを表しています。OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。

8.2.1 CGFSAR : クロック発生機能セキュリティ属性レジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x3C0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	NONS EC27	NONS EC26	—	—	—	—	—	—	—	NONS EC18	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	NONS EC11	—	—	NONS EC08	NONS EC07	NONS EC06	NONS EC05	NONS EC04	NONS EC03	NONS EC02	—	NONS EC00
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	NONSEC00 ^(注1)	非セキュア属性ビット 00 対象レジスタ : SCKDIVCR、SCKSCR 対象要素 : システムクロックコントロール 0: セキュア 1: 非セキュア	R/W
1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
2	NONSEC02 ^(注1)	非セキュア属性ビット 02 対象レジスタ : HOCOCR、HOCOCR2、HOCOUTCR 対象要素 : HOCO 0: セキュア 1: 非セキュア	R/W
3	NONSEC03 ^(注1)	非セキュア属性ビット 03 対象レジスタ : MOCOCR、MOCOUTCR 対象要素 : MOCO 0: セキュア 1: 非セキュア	R/W
4	NONSEC04	非セキュア属性ビット 04 対象レジスタ : LOCOCR、LOCOUTCR 対象要素 : LOCO 0: セキュア 1: 非セキュア	R/W
5	NONSEC05	非セキュア属性ビット 05 対象レジスタ : MOSCCR、MOSCWTCR、MOMCR 対象要素 : MOSC 0: セキュア 1: 非セキュア	R/W
6	NONSEC06	非セキュア属性ビット 06 対象レジスタ : OSTDCR、OSTDSR、SOSTDCR 対象要素 : 発振停止検出コントロール 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
7	NONSEC07	非セキュア属性ビット 07 対象レジスタ：SOSCCR、SOMCR、SOMRG 対象要素：SOSC 0: セキュア 1: 非セキュア	R/W
8	NONSEC08(注1)	非セキュア属性ビット 08 対象レジスタ：PLLCCR、PLLCR 対象要素：PLL 0: セキュア 1: 非セキュア	R/W
10:9	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
11	NONSEC11	非セキュア属性ビット 11 対象レジスタ：CKOCR 対象要素：CLKOUT 制御 0: セキュア 1: 非セキュア	R/W
17:12	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
18	NONSEC18	非セキュア属性ビット 18 対象レジスタ：CANFDCKDIVCR、CANFDCKCR 対象要素：CANFDCLK 0: セキュア 1: 非セキュア	R/W
25:19	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
26	NONSEC26	非セキュア属性ビット 26 対象レジスタ：SLCDSCCKR 対象要素：LCDSRCCLK 0: セキュア 1: 非セキュア	R/W
27	NONSEC27	非セキュア属性ビット 27 対象レジスタ：PLLRTCCCR、PLLRTCCR 対象要素：PLL_RTC 0: セキュア 1: 非セキュア	R/W
31:28	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

注 1. デバイスライフサイクルが NSECS (DLMMON.DLMMON[3:0] = 0011b) である場合、これらのビットを非セキュアに設定することを推奨します。詳細は、「42.8.1. セキュリティ属性の設定に関する制限」を参照してください。

CGFSAR レジスタは、クロック発生機能レジスタのセキュリティ属性を制御します。

NONSEC00 ビット (非セキュア属性ビット 00)

本ビットは SCKDIVCR および SCKSCR のセキュリティ属性を制御します。

NONSEC02 ビット (非セキュア属性ビット 02)

本ビットは HOCOCR、HOCOCR2、および HOCOUTCR のセキュリティ属性を制御します。

NONSEC03 ビット (非セキュア属性ビット 03)

本ビットは MOCOCR および MOCOUTCR のセキュリティ属性を制御します。

NONSEC04 ビット (非セキュア属性ビット 04)

本ビットは LOCOCR および LOCOUTCR のセキュリティ属性を制御します。

NONSEC05 ビット (非セキュア属性ビット 05)

本ビットは MOSCCR、MOSCWTCR、および MOMCR のセキュリティ属性を制御します。

NONSEC06 ビット（非セキュア属性ビット 06）

本ビットは OSTDCR、OSTDSR、および SOSTDCR のセキュリティ属性を制御します。

NONSEC07 ビット（非セキュア属性ビット 07）

本ビットは SOSCCR、SOMCR、および SOMRG のセキュリティ属性を制御します。

NONSEC08 ビット（非セキュア属性ビット 08）

本ビットは PLLCCR および PLLCR のセキュリティ属性を制御します。

NONSEC11 ビット（非セキュア属性ビット 11）

本ビットは CKOCR レジスタのセキュリティ属性を制御します。

NONSEC18 ビット（非セキュア属性ビット 18）

本ビットは CANFDCKDIVCR および CANFDCKCR のセキュリティ属性を制御します。

NONSEC26 ビット（非セキュア属性ビット 26）

本ビットは SLCDSCCKCR のセキュリティ属性を制御します。

NONSEC27 ビット（非セキュア属性ビット 27）

本ビットは PLLRTCCCR および PLLRTCCR のセキュリティ属性を制御します。

8.2.2 SCKDIVCR：システムクロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	FCK[2:0]			—	ICK[2:0]			—	—	—	—	—	—	—	—
Value after reset:	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	PCKA[2:0]			—	PCKB[2:0]			—	PCKC[2:0]			—	PCKD[2:0]		
Value after reset:	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0

ビット	シンボル	機能	R/W
2:0	PCKD[2:0] ^(注3)	周辺モジュールクロック D (PCLKD) 選択 0 0 0: 1 分周 0 0 1: 2 分周 0 1 0: 4 分周 0 1 1: 8 分周 1 0 0: 16 分周 1 0 1: 32 分周 1 1 0: 64 分周 その他: 設定禁止	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	PCKC[2:0] ^(注3)	周辺モジュールクロック C (PCLKC) 選択 0 0 0: × 1/1 0 0 1: × 1/2 0 1 0: × 1/4 0 1 1: × 1/8 1 0 0: × 1/16 1 0 1: × 1/32 1 1 0: × 1/64 その他: 設定禁止	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
10:8	PCKB[2:0] ^(注2)	周辺モジュールクロック B (PCLKB) 選択 0 0 0: 1 分周 0 0 1: 2 分周 0 1 0: 4 分周 0 1 1: 8 分周 1 0 0: 16 分周 1 0 1: 32 分周 1 1 0: 64 分周 その他: 設定禁止	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14:12	PCKA[2:0] ^(注2)	周辺モジュールクロック A (PCKA) 選択 0 0 0: 1 分周 0 0 1: 2 分周 0 1 0: 4 分周 0 1 1: 8 分周 1 0 0: 16 分周 1 0 1: 32 分周 1 1 0: 64 分周 その他: 設定禁止	R/W
23:15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26:24	ICK[2:0] ^{(注1)(注2) (注3) (注4)}	システムクロック (ICK) 選択 0 0 0: 1 分周 0 0 1: 2 分周 0 1 0: 4 分周 0 1 1: 8 分周 1 0 0: 16 分周 1 0 1: 32 分周 1 1 0: 64 分周 その他: 設定禁止	R/W
27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
30:28	FCLK[2:0] ^(注1)	FlashIF クロック (FCLK) 選択 0 0 0: 1 分周 0 0 1: 2 分周 0 1 0: 4 分周 0 1 1: 8 分周 1 0 0: 16 分周 1 0 1: 32 分周 1 1 0: 64 分周 その他: 設定禁止	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC0 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注 1. システムクロック (ICK) と FlashIF クロック (FCLK) との間には以下の周波数関係が必要です。
ICK:FCLK = 1:1 (ICK ≤ 48 MHz の場合)、ICK:FCLK = 2:1 (48 MHz < ICK ≤ 80 MHz の場合)

注 2. システムクロック (ICK) と周辺モジュールクロック (PCKA, PCKB) との間には以下の周波数関係が必要です。
ICK:PCKA = N:1, ICK:PCKB = N:1 (N: 整数)

注 3. システムクロック (ICK) と周辺モジュールクロック (PCLKC, PCLKD) との間には次の周波数関係が必要です。
ICK:PCLKC/PCLKD = N:1 または 1:N (N: 整数)

注 4. システムクロック (ICK) の周波数は、メモリウェイトサイクルコントロールレジスタ (MEMWAIT) に制限されます。「8.2.4. MEMWAIT:メモリウェイトサイクルコントロールレジスタ (コードフラッシュ)」を参照してください。

SCKDIVCR レジスタは、システムクロック (ICK)、周辺モジュールクロック (PCKA, PCKB, PCLKC, PCLKD)、FlashIF クロック (FCLK) の周波数を選択します。

8.2.3 SCKSCR : システムクロックソースコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x026

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	CKSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
2:0	CKSEL[2:0]	クロックソース選択ビット 0 0 0: HOCO 0 0 1: MOCO 0 1 0: LOCO 0 1 1: メインクロック発振器 (MOSC) 1 0 0: サブクロック発振器 (SOSC) 1 0 1: PLL 1 1 0: 設定禁止 1 1 1: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

SCKSCR レジスタは、システムクロックのクロックソースを選択します。

CKSEL[2:0]ビット (クロックソース選択ビット)

CKSEL[2:0]ビットは、下記のモジュールに対してソースを選択します。

- システムクロック (ICLK)
- 周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD)
- FlashIF クロック (FCLK)

本ビットは下記のソースから 1 つを選択します。

- 低速オンチップオシレータ (LOCO)
- 中速オンチップオシレータ (MOCO)
- 高速オンチップオシレータ (HOCO)
- メインクロック発振器 (MOSC)
- サブクロック発振器 (SOSC)
- PLL

各クロックソースの動作状態は、クロック発振器の有効設定だけでなく、製品動作モードによっても制御されます。使用する製品動作モードによっては、強制停止となるクロックソースがあります。

各製品の動作モードにおけるクロックソースの動作状態を確認し、停止するクロックソースを SCKSCR で選択しないようにしてください。なお、クロックソースの切り替えは、WDT/IWDT からの割り込みが発生していないタイミングで実施してください。

8.2.4 MEMWAIT:メモリウェイトサイクルコントロールレジスタ（コードフラッシュ）

Base address: SYSC = 0x4001_E000

Offset address: 0x031

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MEMWAIT[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	MEMWAIT[1:0]	メモリウェイトサイクル選択（コードフラッシュ） 0 0: ウェイトなし 0 1: 1ウェイト 1 0: 2ウェイト その他: 設定禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

注. SCKDIVCR.ICLK ビットで 1 分周を選択し、かつ SCKSCR.CKSEL[2:0] ビットで 32 MHz より高速 (ICLK > 32 MHz) のシステムクロックソースを選択している場合、MEMWAIT[1:0] ビットへ 0 を書き込むことは禁止されています。

注. MEMWAIT[1:0] のセキュリティ属性は FSAR.FLWTSa で制御されます。

MEMWAIT[1:0] レジスタはコードフラッシュ読み出しのウェイトサイクルを制御します。

MEMWAIT[1:0] ビット（メモリウェイトサイクル選択（コードフラッシュ））

MEMWAIT[1:0] ビットはコードフラッシュ読み出しアクセスのウェイトサイクルを選択します。リセットが解除された後、コードフラッシュアクセスのウェイトサイクルはウェイトなし (MEMWAIT[1:0] = 00) に設定されます。

MEMWAIT[1:0] ビットに書き込みを行う前に、ICLK 周波数と動作電力制御モードを確認してください。

MEMWAIT[1:0] ビットを含む ICLK および動作電力制御モードの設定時には以下の制限事項が適用されます。周波数の変更は以下の手順で行ってください。

周波数を上げる場合

範囲 1 から範囲 2、範囲 3 に遷移、または範囲 2 から範囲 3 に遷移する場合は、以下の手順に従ってください。各範囲の説明は表 8.4 を参照してください。

1. 必要に応じて FCLK 分周比を確認し設定する。
2. 必要に応じて MEMWAIT[1:0] ビットを確認し設定する。
3. ソースクロックの周波数を変更する。

変更対象の周波数によっては、電源のモード変更が必要です。詳細は、「[10. 低消費電力モード](#)」を参照してください。

周波数を下げる場合

範囲 3 から範囲 2、範囲 1 に遷移、または範囲 2 から範囲 1 に遷移する場合は、以下の手順に従ってください。各範囲の説明は表 8.4 を参照してください。

1. ソースクロックの周波数を変更する。
2. 必要に応じて MEMWAIT[1:0] ビットを確認し設定する。
3. 必要に応じて FCLK 分周比を確認し設定する。

変更対象の周波数によっては、電源のモード変更が必要です。詳細は、「[10. 低消費電力モード](#)」を参照してください。

表 8.4 周波数範囲ごとのケースおよび関連条件 (1/2)

	範囲 1	範囲 2	範囲 3
ICLK の周波数	ICLK ≤ 32 MHz	32 MHz < ICLK ≤ 48 MHz	48 MHz < ICLK ≤ 80 MHz

表 8.4 周波数範囲ごとのケースおよび関連条件 (2/2)

	範囲 1	範囲 2	範囲 3
FCLK の分周比	1 (推奨) 2(注1)	1 (推奨) 2(注1)	2
MEMWAIT[1:0]	00 (0 ウェイト、推奨) 01(注1) (1 ウェイト) 10(注1) (2 ウェイト)	01 (1 ウェイト、推奨) 10(注1) (2 ウェイト)	10 (2 ウェイト)

注 1. 周波数範囲変更処理中は許可

表 8.5 MEMWAIT[1:0]ビットの設定

MEMWAIT[1:0]ビット	MCU 動作パワー制御			
	モード：高速モード以外	High-speed モード		
		ICLK ≤ 32 MHz	32 MHz < ICLK ≤ 48 MHz	48 MHz < ICLK ≤ 80 MHz
00	✓	✓	—	—
01	—	✓	✓	—
10	—	✓	✓	✓

注. ✓：設定可能
—：設定不可

8.2.5 FLDWAITR：データフラッシュメモリウェイトサイクルコントロールレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x3FC4

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FLDWAIT1
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FLDWAIT1	データフラッシュメモリウェイトサイクル選択 0: 1 ウェイトアクセス (デフォルト) 1: 2 ウェイトアクセス	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注. SCKDIVCR.ICK ビットで 1 分周を選択し、かつ SCKSCR.CKSEL[2:0]ビットで 32 MHz より高速 (ICLK > 32 MHz) のシステムクロックソースを選択している場合、FLDWAIT1 ビットへ 0 を書き込むことは禁止されています。

FLDWAITR レジスタはデータフラッシュ読み出しアクセスのウェイトサイクルを制御します。

FLDWAIT1 ビット (データフラッシュメモリウェイトサイクル選択)

このビットはデータフラッシュ読み出しアクセスのウェイトサイクルを選択します。リセットが解除された後、データフラッシュアクセスのウェイトサイクルは 1 ウェイト (FLDWAIT1 = 0) に設定されます。

データフラッシュ読み出しアクセスウェイトサイクルの FLDWAIT1 の設定は以下のとおりです。

- FLDWAIT1 = 0: 1 ウェイトサイクル
- FLDWAIT1 = 1: 2 ウェイトサイクル

FLDWAIT1 ビットに書き込みを行う前に、ICLK 周波数と動作電力制御モードを確認してください。FLDWAIT1 ビットを含む ICLK および動作電力制御モードの設定時には以下の制限事項が適用されます。

- ICLK を 32 MHz より高速 ($\text{ICLK} > 32 \text{ MHz}$) に設定する場合、ICLK が 32 MHz 以下 ($\text{ICLK} \leq 32 \text{ MHz}$) かつ動作電力制御モードが High-speed モード ($\text{OPCCR.OPCM}[1:0] = 00\text{b}$) の状態にあるときに、FLDWAIT1 を 1 にします。動作モードが High-speed モード以外であるときに FLDWAIT1 を 1 にすることは禁止されています。FLDWAIT1 = 0 であるときに 32 MHz より速い ICLK を設定することは禁止されています。
- ICLK を 32 MHz より高速 ($\text{ICLK} > 32 \text{ MHz}$) な状態から 32 MHz 以下 ($\text{ICLK} \leq 32 \text{ MHz}$) に設定するとき、FLDWAIT1 = 1 であるときに ICLK 周波数を 32 MHz 以下に設定する必要があります。ICLK が 32 MHz より高速であるときに FLDWAIT1 を 0 にすることは禁止されています。動作モードが High-speed モード以外であるときに FLDWAIT1 を 1 にすることは禁止されています。ICLK 周波数が 32 MHz 以下で、かつ動作電力制御モードが High-speed モード ($\text{OPCCR.OPCM}[1:0] = 00\text{b}$) であるときは、FLDWAIT1 を 0 にできます。

表 8.6 FLDWAIT1 ビットの設定

FLDWAIT1 ビット	MCU 動作電力制御		
	モード : High-speed モード以外	High-speed モード	
		ICLK $\leq$ 32 MHz	ICLK > 32 MHz
0	✓	✓	—
1	—	✓	✓

注. ✓ : 設定可
 — : 設定不可

図 8.2 に 32 MHz より高速の ICLK を設定しているときのフロー例を示します。

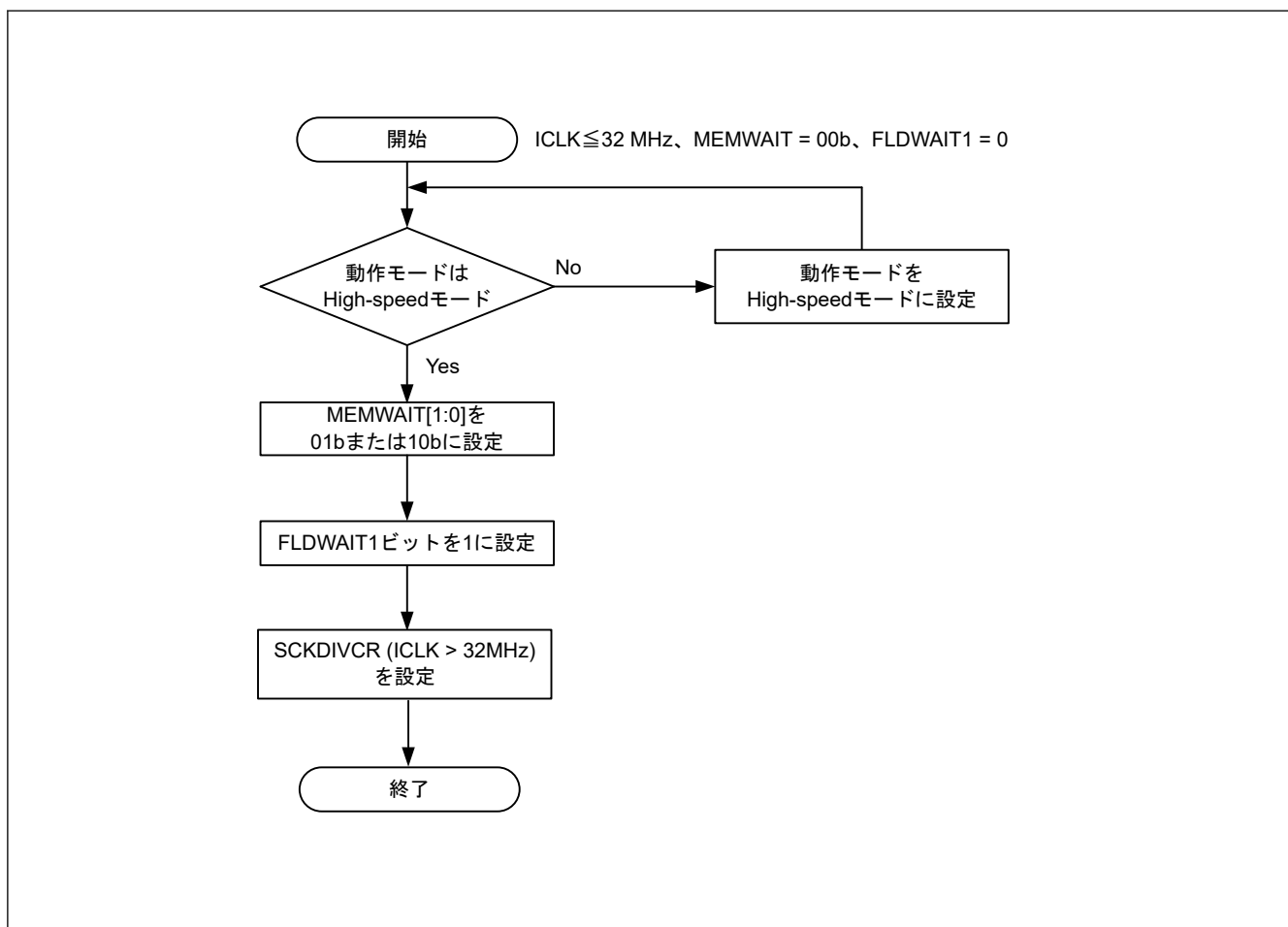


図 8.2 ICLK > 32MHz の場合

図 8.3 に 32 MHz より高速の ICLK を設定している状態から、32 MHz 以下の ICLK を設定するフロー例を示します。

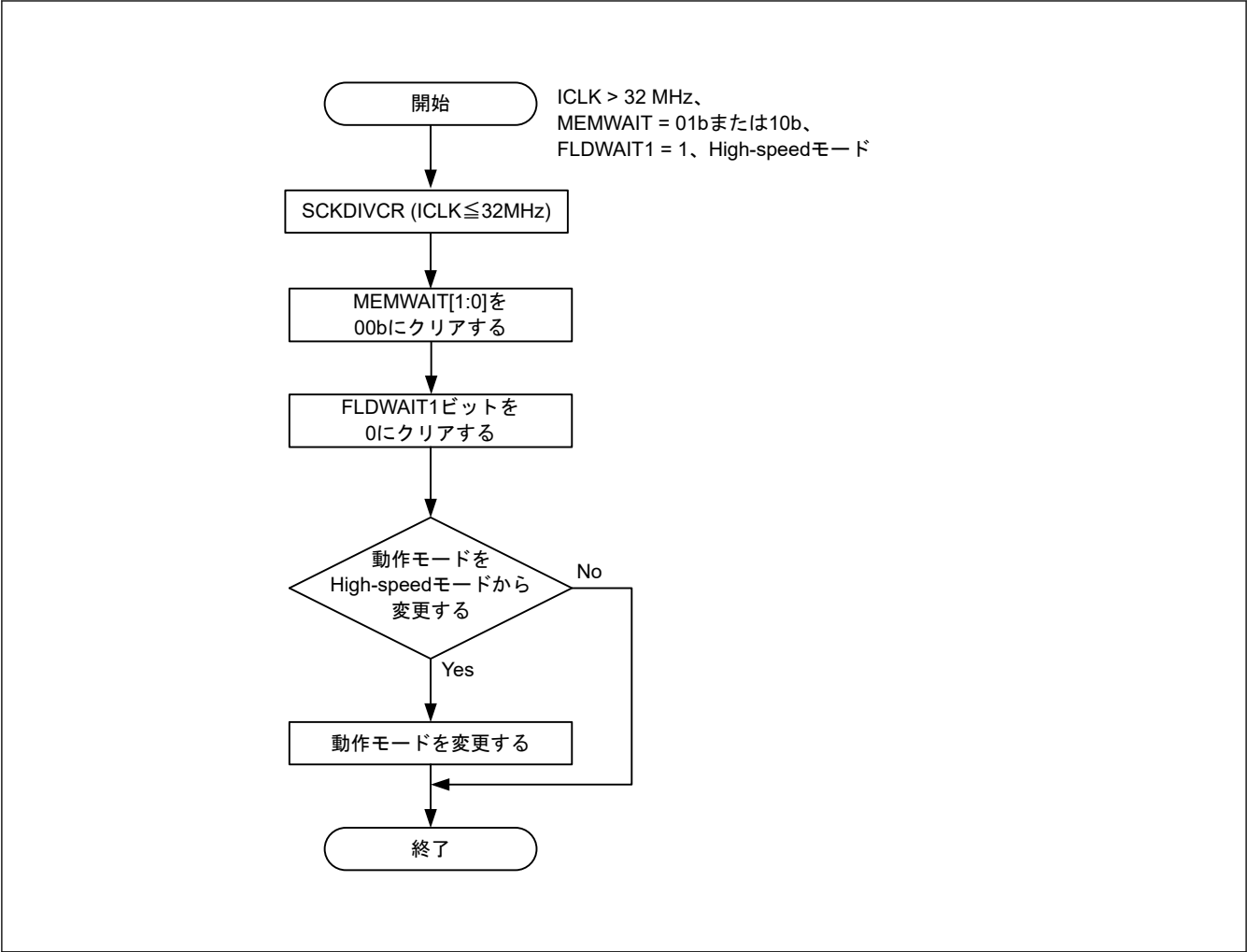


図 8.3 ICLK > 32 MHz の状態から、ICLK ≤ 32 MHz を設定する場合

8.2.6 PLLCCR : PLL クロックコントロールレジスタ

Base address:	SYSC = 0x4001_E000															
Offset address:	0x028															
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	PLLMUL[4:0]				—	—	—	PLSRCSEL	—	—	—	PLIDIV[1:0]	
Value after reset:	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	PLIDIV[1:0](注1)	PLL 入力分周比選択 0 0: 1 分周 0 1: 4 分周 1 0: 6 分周 その他: 設定禁止	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	PLSRCSEL	PLL クロックソース選択 0: メインクロック発振器 1: HOCO	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
12:8	PLLMUL[4:0] ^(注2)	PLL 周波数通倍率選択 0x07: 4 倍（リセット後の値） 0x08: 4.5 倍 0x09: 5 倍 ⋮ 0x1C: 14.5 倍 0x1D: 15 倍 0x1E: 15.5 倍 その他: 設定禁止	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

注 1. PLIDIV[1:0]ビットは、PLL 入力信号の周波数が「8.1. 概要」の範囲に入るように設定してください。

注 2. PLLMUL[4:0]ビットは、PLL 出力信号の周波数が「8.1. 概要」の範囲に入るように設定してください。

PLLCCR レジスタは、PLL 回路の動作を設定するレジスタです。

PLLCCR.PLLSTP ビットが 0（PLL 動作）のとき、PLLCCR レジスタへの書き込みは禁止です。

PLIDIV[1:0]ビット（PLL 入力分周比選択）

PLL のクロックソースの分周比を選択します。

PLSRCSEL ビット（PLL クロックソース選択）

PLL のクロックソースを選択します。

PLLMUL[4:0]ビット（PLL 周波数通倍率選択）

PLL 回路の周波数通倍率を選択します。

8.2.7 PLLCR : PLL コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x02A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	PLLST P
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	PLLSTP	PLL 停止制御 0: PLL が動作中 1: PLL が停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

PLLCCR レジスタは、PLL 回路の動作を制御します。

PLLSTP ビット（PLL 停止制御）

PLL 回路を動作または停止させます。

PLLCCR.PLSRCSEL ビットで、メインクロック発振器をクロックソースとして選択する場合、メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定が必要です。

PLL を動作させるように PLLSTP ビットの設定を変更した後は、OSCSF.PLLSF ビットが 1 になっていることを確認してから、PLL クロックを使用してください。PLL は、動作開始後発振が安定するまでに一定の時間を要します。また、PLL 動作が停止した後も、発振が停止するまでに一定の時間を要します。さらに、PLLSTP ビットで PLL 動作を開始および停止させる場合、以下の制限があります。

- PLL の停止後、動作を再開させる前に OSCSF.PLLSF ビットが 0 であることを確認すること
- PLL を停止させる前に、PLL が動作していること、および OSCSF.PLLSF ビットが 1 であることを確認すること
- PLL クロックをシステムクロックとして選択しているかどうかに関わらず、PLL を動作させた後、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.PLLSF ビットが 1 になっていることを確認した上で WFI 命令を実行すること
- PLL を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.PLLSF ビットが 0 になっていることを確認した上で WFI 命令を実行すること

SCKSCR.CKSEL[2:0] ビットが 101 (システムクロックソース = PLL) のとき、PLLSTP ビットへ 1 を書き込むことは禁止です。

PLLSTP に 0 を書き込む前に、以下の条件が満たされていることを確認してください。

- PLL ソースクロック = MOSC の場合 : MOSCCR.MOSTP = 0 (MOSC 動作)
- PLL ソースクロック = HOCO の場合 : HOCOCR.HCSTP = 0 (HOCO 動作)

8.2.8 PLLRTCCR: PLL_RTC コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x056

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	PLLRTCSTP
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	PLLRTCSTP	PLL_RTC 停止制御 0: PLL_RTC 動作中 1: PLL_RTC 停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

PLLRTCCR レジスタは、PLL 回路の動作を制御します。

PLLRTCSTP ビット (PLL_RTC 停止制御)

本ビットは PLL_RTC 回路を動作または停止させます。

PLL_RTC を動作させるよう PLLRTCSTP ビットの設定を変更した後は、OSCSF.PLLRTCSF ビットが 1 になっていることを確認してから、PLL_RTC クロックだけを使用して動作を開始します。

これは、PLL_RTC を動作させる設定の後、その動作が安定するまでに一定の時間が必要なためです。PLL_RTC の動作を停止する設定の後も、発振が停止するまでに一定の時間を要します。したがって、PLLRTCSTP ビットで PLL_RTC の動作を開始したり停止したりするときには、以下の制限に留意してください。

- PLL_RTC の停止後、動作を再開させる前に OSCSF.PLLRTCSF ビットが 0 であることを確認すること
- PLL_RTC を停止させる前に、PLL_RTC が動作中であること、および OSCSF.PLLRTCSF ビットが 1 であることを確認すること
- ソフトウェアスタンバイモードに設定されているときには PLL_RTC の動作が禁止されていること
- PLL_RTC を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.PLLRTCSF ビットが 0 になっていることを確認したうえで WFI 命令を実行すること

RCR4.RTCOHP = 1（高精度で RTCOUT を出力する）のとき、PLLRTCSTP ビットに 1 を書き込むことは禁止されています。

PLLRTCSTP = 0 を書き込む前に、サブクロックの発振が有効になっていて、発振が安定していることを確認してください（ t_{SUBOSC} が経過している必要があります）。

8.2.9 MOSCCR：メインクロック発振器コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x032

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MOSTP
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	MOSTP	メインクロック発振器停止 0: メインクロック発振器動作(注1) 1: メインクロック発振器停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. MOSTP を 0 にする前に、MOMCR レジスタを設定する必要があります。

MOSCCR レジスタは、メインクロック発振器を制御するレジスタです。

MOSTP ビット（メインクロック発振器停止）

MOSTP ビットは、メインクロック発振器を動作または停止させます。

MOSTP ビット値を変更した場合、必ずそのビット値を読み出して、値が更新されていることを確認してから、次の命令を実行してください。

メインクロックを使用する場合は、MOSTP ビットを 0 にする前に、メインクロック発振器モード発振コントロールレジスタ (MOMCR) およびメインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) を設定する必要があります。MOSTP ビットを 0 にした後、OSCSF.MOSCSF ビットが 1 になっていることを確認してから、メインクロック発振器を使用してください。

メインクロック発振器を動作するように設定してから、発振が安定するまでに一定の待ち時間を要します。また、メインクロック発振器が停止した後も、発振が停止するまでに一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- メインクロック発振器の停止後、動作を再開させる前に OScSF.MOSCSF ビットが 0 であることを確認してください。
- メインクロック発振器を停止させる前に、メインクロック発振器が動作していること、および OScSF.MOSCSF ビットが 1 であることを確認してください。
- メインクロック発振器をシステムクロックとして選択しているかどうかにかかわらず、メインクロック発振器動作後にソフトウェアスタンバイモードへ遷移する場合は、OSCSF.MOSCSF ビットが 1 になっていることを確認したうえで WFI 命令を実行してください。
- メインクロック発振器を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.MOSCSF ビットが 0 になっていることを確認したうえで WFI 命令を実行すること

以下の条件下で MOSTP に 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 011b（システムクロックソース = MOSC）

- PLLCCR.PLSRCSEL = 0 (PLL ソースクロック = MOSC) かつ SCKSCR.CKSEL[2:0] = 101b (システムクロックソース = PLL)
- PLLCCR.PLSRCSEL = 0 (PLL ソースクロック = MOSC) かつ PLLCR.PLLSTP = 0 (PLL 動作)

8.2.10 SOSCCR : サブクロック発振器コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x480

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SOSTP
Value after reset:	0	0	0	0	0	0	0	1 ^(注2)

ビット	シンボル	機能	R/W
0	SOSTP	サブクロック発振器停止 0: サブクロック発振器動作 ^(注1) 1: サブクロック発振器停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. SOSTP を 0 にする前に、SOMCR レジスタを設定する必要があります。

注 2. このビットは VRTC_POR でのみ初期化されます。

SOSCCR レジスタは、サブクロック発振器を制御するレジスタです。

SOSTP ビット (サブクロック発振器停止)

SOSTP ビットは、サブクロック発振器を動作または停止させます。SOSTP ビットの値を変更した場合、必ずビット値を読み出して、値が更新されたことを確認してから、次の命令を実行してください。RTC などの周辺モジュールのソースとしてサブクロック発振器を使用する場合、SOSTP ビットを使用します。サブクロック発振器を使用する場合は、SOSTP ビットを 0 にする前に、サブクロック発振器モードコントロールレジスタ (SOMCR) を設定してください。

動作の開始および停止に関しては、以下の制限があります。

- サブクロック発振器の停止後、動作を再開させる前に SOSC クロックで少なくとも 5 サイクルに相当する停止期間が必要です。
- SOSTP ビットを 0 にした後、サブクロック発振安定時間 ($t_{SUBOSCWT}$) が経過してからサブクロックを使用してください。
- サブクロック発振器をシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードに遷移する場合は、サブクロックの発振が安定していることを確認したうえで WFI 命令を実行してください。
- サブクロック発振器を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、SOSC クロックで 3 サイクル以上待ってから WFI 命令を実行してください。

以下の条件下で SOSTP に 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 100b (システムクロックソース = SOSC)

8.2.11 LOCOCR : 低速オンチップオシレータコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x490

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	LCSTP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LCSTP	LOCO 停止 0: LOCO 動作 1: LOCO 停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

LOCOCR レジスタは、LOCO を制御するレジスタです。

LCSTP ビット (LOCO 停止)

LCSTP ビットは、LOCO を動作または停止させます。

LCSTP ビットを 0 にして LOCO を動作させた後、LOCO クロック発振安定時間 (t_{LOCO}) が経過してから、LOCO クロックを使用してください。LOCO クロックが動作するように設定してから、発振が安定するまでに一定の待機時間を要します。また、LOCO クロックを停止するように設定した後も一定の待機時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- LOCO の停止後、動作を再開させるまでに LOCO クロックで 5 サイクル以上の待ち時間が必要です。
- LOCO を停止させる前に、LOCO クロックの発振が安定していることを確認してください。
- LOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードへ遷移する場合は、LOCO クロックの発振が安定している状態で WFI 命令を実行すること
- LOCO を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、LOCO クロックで 3 サイクル以上待ってから WFI 命令を実行すること

以下の条件下で LCSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 010b (システムクロックソース = LOCO)

8.2.12 HOCOCR : 高速オンチップオシレータコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x036

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	HCSTP
Value after reset:	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	機能	R/W
0	HCSTP	HOCO 停止 0: HOCO 動作(注2)(注3)(注4)(注5) 1: HOCO 停止	R/W

ビット	シンボル	機能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. OFS1.HOCOEN ビットが 0 のとき、HCSTP ビットのリセット後の値は 0 になります。OFS1.HOCOEN ビットが 1 のとき、このビットのリセット後の値は 1 になります。

注 2. HOCO を使用する場合 (HCSTP = 0) は、OFS1.HOCOFREQ[2:0] ビットを最適な値に設定してください。

注 3. HOCOCR.HCSTP = 0 および OSCSF.HOCOSF = 0 (HOCO は安定待機時間カウント中) の状態にあるとき、OPCCR.OPCM[1:0] ビットへの書き込みは禁止されています。

注 4. OPCCR.OPCMTSF = 1、または SOPCCR.SOPCMTSF = 1 (動作電力制御モードの遷移中) の状態にあるとき、HCSTP ビットへの書き込みは禁止されています。

注 5. セルフプログラミングを使用するには、HOCO (HCSTP = 0) を起動して発振が安定した状態 (OSCSF.HOCOSF = 0) であることを確認してからセルフプログラミングを実行する必要があります。

HOCOCR レジスタは、HOCO を制御するレジスタです。

HCSTP ビット (HOCO 停止)

HCSTP ビットは、HOCO を動作または停止させます。

HCSTP ビットを 0 にして HOCO を動作させた後、OSCSF.HOCOSF ビットが 1 になっていることを確認してから、HOCO クロックを使用してください。OFS1.HOCOEN ビットが 0 になっている場合、OSCSF.HOCOSF フラグも 1 になっていることを確認してから、HOCO クロックを使用してください。HOCO クロックが動作するように設定してから、発振が安定するまでに一定の待機時間を要します。また、HOCO クロックを停止するように設定した後も一定の待機時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- HOCO の停止後、動作を再開させる前に OSCSF.HOCOSF が 0 であることを確認すること。
- HOCO を停止させる前に、HOCO クロックが動作していること、および OSCSF.HOCOSF が 1 であることを確認すること。
- HOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、HCSTP ビットで HOCO を動作設定にして MCU をソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOCOSF が 1 になっていることを確認してから WFI 命令を実行すること。
- HOCO を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOCOSF が 0 になっていることを確認したうえで WFI 命令を実行すること。

以下の条件下で HCSTP に 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 000b (システムクロックソース = HOCO)
- PLLCCR.PLSRCSEL = 1 (PLL ソースクロック = HOCO) かつ SCKSCR.CKSEL[2:0] = 101b (システムクロックソース = PLL)
- PLLCCR.PLSRCSEL = 1 (PLL ソースクロック = HOCO) かつ PLLCR.PLLSTP = 0 (PLL 動作)

8.2.13 HOCOCR2 : 高速オンチップオシレータコントロールレジスタ 2

Base address: SYSC = 0x4001_E000

Offset address: 0x037

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	HCFRQ0[2:0]		
Value after reset:	0	0	0	0	0	0/1 (注1)	0/1 (注1)	0/1 (注1)

ビット	シンボル	機能	R/W
2:0	HCFRQ0[2:0]	HOCO 周波数設定 0 ^(注2) 0 0 0: 48 MHz 0 0 1: 64 MHz 0 1 0: 80 MHz 1 0 0: 24 MHz 1 0 1: 32 MHz 1 1 0: 40 MHz その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. HCFRQ0[2:0] ビットのリセット後の値は、OFS1.HOCOFREQ0[2:0] ビットに依存します。

注 2. OFS1.HOCOFREQ0[2:0] ビットの値は、リセット後に HOCOCR2.HCFRQ0[2:0] ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[2:0] ビットで設定することもできます。

HOCOCR2 レジスタは、HOCO クロックを制御します。HOCOCR.HCSTP ビットが 0（HOCO 動作）のとき、HOCOCR2 レジスタへの書き込みは禁止です。

デバッグの接続時は、HOCOCR2 への書き込みは禁止です。

8.2.14 MOCOCR：中速オンチップオシレータコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x038

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MCSTP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MCSTP	MOCO 停止 0: MOCO 動作 1: MOCO 停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

MOCOCR レジスタは、MOCO を制御します。

MCSTP ビット（MOCO 停止）

MCSTP は、MOCO を動作または停止させます。

MCSTP ビットを 0 にした後、MOCO クロック発振安定時間 (t_{MOCO}) が経過してから、MOCO クロックを使用してください。MOCO クロックを動作するように設定してから、発振が安定するまでに一定の時間を要します。また、MOCO クロックを停止に設定した後も、発振が停止するまでに一定の時間を要します。

発振器の開始および停止に関しては、以下の制限があります。

- MOCO の停止後、動作を再開させるまでに MOCO クロックで 5 サイクル以上の待ち時間が必要です。
- MOCO を停止させる前に、MOCO クロックの発振が安定していることを確認してください。
- MOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードへ遷移する場合は、MOCO クロックの発振が安定している状態で WFI 命令を実行すること。

- MOCO クロックを停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、MOCO クロックで 3 サイクル以上待ってから WFI 命令を実行すること。

以下の条件下で MCSTP に 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 001b (システムクロックソース = MOCO)

発振停止検出コントロールレジスタの発振停止検出機能有効ビット (OSTDCR.OSTDE) を有効にしているとき、MCSTP ビットに 1 (MOCO 停止) を書き込むことは禁止されています。

MOCO クロックは他の発振器の発振安定待ち時間を計測しているため、MOCOCR.MCSTP ビットの設定値にかかわらず、発振安定待ち時間の計測中は MOCO クロックが発振しています。そのため、MCSTP ビットが停止に設定されていても、意図せず MOCO クロックが供給される場合があります。

8.2.15 OSCSF : 発振安定フラグレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x03C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	PLLRT CSF	—	PLLSF	—	MOSC SF	—	—	HOCO SF
Value after reset:	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	機能	R/W
0	HOCOSF	HOCO クロック発振安定フラグ 0: HOCO クロックは停止、または発振安定待ち中 1: HOCO クロックは安定、システムクロックとして使用可能	R
2:1	—	読むと 0 が読めます。	R
3	MOSCSF	メインクロック発振安定フラグ 0: メインクロック発振器は停止 (MOSTP = 1) または発振安定待ち中(注2) 1: メインクロック発振器は安定、システムクロックとして使用可能	R
4	—	読むと 0 が読めます。	R
5	PLLSF	PLL クロック発振安定フラグ 0: PLL クロックは停止、または発振安定待ち中 1: PLL クロックは安定であるため、システムクロックとして使用可能	R
6	—	読むと 0 が読めます。	R
7	PLLRTCSF	PLL_RTC クロック発振安定フラグ 0: PLL_RTC クロックは停止、または発振安定待ち中 1: PLL_RTC クロックは安定であるため、クロックを使用可能	R

注 1. リセット後の値は、OFS1.HOCOEN の設定値で決まります。

OFS1.HOCOEN = 1 (HOCO 停止) の場合、HOCOSF のリセット後の値は 0 です。

OFS1.HOCOEN = 0 (HOCO 動作) の場合、リセット解除直後の HOCOSF の値は 0 ですが、HOCO 発振安定時間の経過後、HOCOSF の値は 1 になります。

注 2. メインクロック発振器のウェイトコントロールレジスタに適切な値が設定されている場合に当てはまります。値 (待機時間) が不十分な場合、発振が安定する前に発振安定フラグが 1 になり、内部回路へのクロック信号の供給が開始します。

このレジスタは、CGFSAR レジスタにより制御されません。

OSCSF レジスタは、各発振器の発振安定待ち回路内にあるカウンタの動作状態を示すフラグからなるレジスタです。これらのカウンタは、発振開始後、各発振器の出力クロックが内部回路に供給されるまでの待機時間を計測します。カウンタのオーバーフローは、クロック供給が安定しており、対応する回路で利用可能なことを示します。

HOCOSF フラグ (HOCO クロック発振安定フラグ)

HOCOSF フラグは高速クロック発振器 (HOCO) の待機時間を計測するカウンタの動作状態を示します。

OFS1.HOCOEN が 0 のとき、HOCO クロックを使用する前に OSCSF.HOCOSF フラグが 1 であることを確認してください。

[1 になる条件]

- HOCO 停止時、HOCOCR.HCSTP ビットが 0 になった後、MOCO クロックで HOCO 発振安定時間をカウントし、MCU 内部へ HOCO クロック供給を開始したとき。HOCO 発振安定時間については「[43. 電气的特性](#)」を参照してください。

[0 になる条件]

- HOCO の動作時に、HOCOCR.HCSTP ビットを 1 にした結果、HOCO が発振停止になったとき

MOSCSF フラグ（メインクロック発振安定フラグ）

MOSCSF フラグは、メインクロック発振器の待機時間を計測するカウンタの動作状態を示します。

[1 になる条件]

- メインクロック発振器停止時、MOSCCR.MOSTP ビットが 0 になった後、MOSCWTCR レジスタの設定値に応じた MOCO クロックサイクル数をカウントし、MCU 内部へメインクロック供給を開始したとき

[0 になる条件]

- メインクロック発振器の動作時に、MOSCCR.MOSTP ビットを 1 にした結果、メインクロック発振器が発振停止になったとき

PLLSF フラグ（PLL クロック発振安定フラグ）

PLLSF フラグは、PLL の待機時間を計測するカウンタの動作状態を示します。

[1 になる条件]

- PLL 停止時、PLLCR.PLLSTP ビットが 0 になった後、MOCO クロックで PLL 発振安定時間をカウントし、MCU 内で PLL クロックの供給が開始されたとき。ただし、PLLCR.PLLSTP ビットを 0 にしたときに、PLL クロックソースの発振が安定していなければ、PLL クロックソースの発振が安定した後も MOCO サイクルのカウントは続きます。PLL 発振安定時間については「[43. 電气的特性](#)」を参照してください。

[0 になる条件]

- PLL の動作時に、PLLCR.PLLSTP ビットを 1 にした結果、PLL が発振停止になったとき

PLLRTCSF フラグ（PLL_RTC クロック発振安定フラグ）

PLLRTCSF フラグは、PLL_RTC の待機時間を計測するカウンタの動作状態を示します。

[1 になる条件]

- PLL_RTC 停止し、PLLRTCCR.PLLRTCSTP ビットが 0 になった後、サブクロック発振器で 328 サイクルをカウントし、MCU 内で PLL_RTC クロックの供給を開始したとき。

[0 になる条件]

- PLL_RTC が動作を開始した後に PLLRTCCR.PLLRTCSTP ビットが 1 であると、PLL_RTC の停止が完了します。

8.2.16 OSTDCR：発振停止検出コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x040

Bit position:	7	6	5	4	3	2	1	0
Bit field:	OSTDIE	—	—	—	—	—	—	OSTDIE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OSTDIE	発振停止検出割り込み許可 0: 発振停止検出割り込みを禁止（POEG への通知なし） 1: 発振停止検出割り込みを許可（POEG への通知あり）	R/W
6:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
7	OSTDE	発振停止検出機能有効 0: 発振停止検出機能は無効 1: 発振停止検出機能は有効	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

OSTDCR レジスタは、発振停止検出機能を制御するレジスタです。

OSTDIE ビット（発振停止検出割り込み許可）

OSTDIE ビットは、発振停止検出機能割り込みを許可します。また、発振停止検出を POEG に通知するかどうかを制御します。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) をクリアする必要がある場合、OSTDIE ビットを 0 にしてから OSTDF をクリアしてください。OSTDIE ビットを 1 にする場合は、PCLKB で 2 サイクル以上待ってから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことで、PCLKB の 2 サイクル以上の待ち時間を確保できます。

OSTDE ビット（発振停止検出機能有効）

OSTDE ビットは、発振停止検出機能を有効にします。

OSTDE ビットを 1（有効）にすると、MOCO 停止ビット (MOCOCR.MCSTP) が 0 となり、MOCO が起動します。発振停止検出機能が有効の間は、MOCO クロックは停止できません。MOCOCR.MCSTP ビットへの 1 の書き込み（MOCO 停止）は無効です。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) が 1（メインクロック発振停止検出）のとき、OSTDE ビットへの 0 の書き込みは無効です。

ソフトウェアスタンバイモードへ遷移する前に、OSTDE ビットを 0 にする必要があります。ソフトウェアスタンバイモードへ遷移する場合は、最初に OSTDE ビットを 0 にしてから WFI 命令を実行してください。

発振停止検出機能を使用する場合、以下の制限があります。

低速モードでは、ICLK、FCLK、PCLKA、PCLKB、PCLKC、PCLKD に対する 1 分周、2 分周、4 分周、8 分周の設定は禁止です。

8.2.17 OSTDSR：発振停止検出ステータスレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x041

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	OSTD F
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OSTDF	発振停止検出フラグ 0: メインクロックの発振停止を未検出 1: メインクロックの発振停止を検出	R/W(注1)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. このビットには 0 のみ書けます。本フラグをクリアするには 1 を読んだ後に 0 を書く必要があります。

OSTDSR レジスタは、メインクロック発振器の発振停止の検出状態を示すレジスタです。

OSTDF フラグ（発振停止検出フラグ）

OSTDF フラグは、メインクロック発振器の状態を示します。本フラグが 1 のとき、メインクロックの発振停止が検出されたことを示します。発振停止が検出された後、メインクロックの発振が再開しても OSTDF フラグは 0 になりません。OSTDF フラグをクリアするには 1 を読んだ後に 0 を書く必要があります。

OSTDF に 0 を書き込んでから、0 を読み出せるようになるまで、ICLK で 3 サイクル以上待つ必要があります。メインクロックの発振が停止しているとき、OSTDF フラグを 0 にすると、OSTDF フラグは一度 0 になった後、再度 1 に戻ります。

以下の条件下では、OSTDF フラグは 0 にできません。

- SCKSCR.CKSEL[2:0] = 011b（システムクロックソース = MOSC）
- PLLCCR.PLSRCSEL = 0（PLL ソースクロック = MOSC）かつ SCKSCR.CKSEL[2:0] = 101b（システムクロックソース = PLL）

クロックソースをメインクロック発振器と PLL 以外に切り替えた後、OSTDF フラグを 0 にする必要があります。

[1 になる条件]

- OSTDCR.OSTDE ビットが 1（発振停止検出機能有効）の状態、メインクロックの発振が停止したとき

[0 になる条件]

1 を読んだ後、0 を書いたとき。ただし、以下の条件では 0 になりません。

- SCKSCR.CKSEL[2:0] = 011b（システムクロックソース = MOSC）
- PLLCCR.PLSRCSEL = 0（PLL ソースクロック = MOSC）かつ SCKSCR.CKSEL[2:0] = 101b（システムクロックソース = PLL）

8.2.18 SOSTDCR : サブクロック発振停止検出コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x042

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SOSD CE	SOSD CF	SOST DF	SOST DIE	SOSDCCMP[11:0]											
Value after reset:	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
11:0	SOSDCCMP[11:0]	サブクロック発振停止検出時間 0x004: 検出時間 = 5 サイクル ⋮ 0xFFFF: 検出時間 = 4096 サイクル その他: 設定禁止	R/W
12	SOSTDIE	サブクロック発振停止検出割り込み許可 0: サブクロック発振停止検出割り込みを禁止 1: サブクロック発振停止検出割り込みを許可	R/W
13	SOSTDF	サブクロック発振停止検出フラグ 0: サブクロックの発振停止を未検出 1: サブクロックの発振停止を検出	R
14	SOSDCF	サブクロック発振停止検出器動作の状態 0: サブクロック発振停止検出器の動作停止 1: サブクロック発振停止検出器の動作実行	R
15	SOSDCE	サブクロック発振停止検出器動作の制御 0: サブクロック発振停止検出器の動作停止 1: サブクロック発振停止検出器の動作開始	R/W

注. セキュリティ属性がセキュアに設定されている場合、
● セキュアアクセスと非セキュアリードアクセスが許可されています。

- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

注. サブクロック発振停止検出機能は、低消費電力クロックモード (RCR4.ROPSEL = 1) およびソフトウェアスタンバイモードのときは無効になります。

注. SOSTDCR レジスタは 16 ビットアクセスのみに対応しています。

SOSDCCMP[11:0]ビット（サブクロック発振停止検出時間）

SOSDCCMP[11:0]ビットは発振停止検出時間を指定します。(A - 2) ~ (A + 1) クロックサイクル分 (A はこれらのビットで指定した時間を指す) 発振が停止していると、発振停止として検出されます。発振停止検出時間 = 低速オンチップオシレータクロック (LOCO) サイクル × ((SOSDCCMP11 ~ SOSDCCMP0) の値 + 1)

SOSTDIE ビット（サブクロック発振停止検出割り込み許可）

SOSTDIE ビットはサブクロック発振停止検出機能割り込みを許可または禁止します。

SOSTDF ビット（サブクロック発振停止検出フラグ）

SOSTDF ビットはサブクロックの状態を示すフラグです。SOSTDF フラグが 1 のとき、サブクロックの発振停止が検出されたことを示します。MSTPCRA.MSTPA16 が 1 に設定されると、SOSTDF フラグがクリアされます。

SOSDCF ビット（サブクロック発振停止検出器動作の状態）

SOSDCF ビットは、サブクロック発振停止検出機能の動作状態を示します。SOSDCE ビットに 1 を書き込むと、LOCO と同期して 1 になります。SOSDCE ビットに 0 を書き込んだ場合は、LOCO とは同期せずに 0 になります。

SOSDCE ビット（サブクロック発振停止検出器動作の制御）

SOSDCE ビットはサブクロック発振停止検出機能を有効にします。

SOSDCE ビットを 1（有効）にすると、LOCO 停止ビットが 0 となり、LOCO 動作が開始します。

サブクロック発振停止検出機能が有効である間は、LOCO クロックは停止できません。LOCOCR.LCSTP ビットへの 1 の書き込み（LOCO 停止）は無効です。サブクロック発振停止検出機能を有効にすると、この機能はソフトウェアスタンバイモード中でも動作します。

8.2.19 MOSCWTCR：メインクロック発振器ウェイトコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0A2

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	MSTS[3:0]			

Value after reset: 0 0 0 0 0 1 0 1

ビット	シンボル	機能	R/W
3:0	MSTS[3:0]	メインクロック発振安定時間設定 0x0: 待機時間 = 2 サイクル (0.25 μs) 0x1: 待機時間 = 1024 サイクル (128 μs) 0x2: 待機時間 = 2048 サイクル (256 μs) 0x3: 待機時間 = 4096 サイクル (512 μs) 0x4: 待機時間 = 8192 サイクル (1024 μs) 0x5: 待機時間 = 16384 サイクル (2048 μs) 0x6: 待機時間 = 32768 サイクル (4096 μs) 0x7: 待機時間 = 65536 サイクル (8192 μs) 0x8: 待機時間 = 131072 サイクル (16384 μs) 0x9: 待機時間 = 262144 サイクル (32768 μs) その他: 設定禁止	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。

- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

MSTS[3:0]ビット（メインクロック発振安定時間設定）

MSTS[3:0]ビットは、メインクロック発振器の発振安定時間を指定します。

発振器メーカーが推奨する長さ以上の時間をメインクロック発振安定時間に設定してください。メインクロックが外部から入力される場合、発振安定時間は必要ないので 0x0 に設定してください。

これらのビットに設定した待機時間は、次式を用いてカウントされます。1 サイクル (μs) = $1 / (\text{fMOCO} [\text{MHz}]) = 1/8 = 0.125 (\mu\text{s})$ (typ.) MOCO クロックは、必要であれば、MOCOCR.MCSTP ビットの値にかかわらず、自動的に発振を開始します。設定した待機時間が経過すると、MCU 内部へメインクロック発振器の供給が開始され、OSCSF.MOSCSF フラグは 1 になります。設定した待機時間が短いと、クロックの発振が安定になる前に、メインクロック発振器の供給が開始されます。

MOSCWTCR レジスタの書き換えは、MOSCCR.MOSTP ビットが 1 で、かつ OSCSF.MOSCSF フラグが 0 の場合にのみ行ってください。他の状態ではレジスタの書き換えを行わないでください。

8.2.20 MOMCR：メインクロック発振器モード発振コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x413

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	MOSEL	—	—	MODRV1	—	—	—

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	MODRV1	メインクロック発振器駆動能力 1 切り替え 0: 10 MHz~20 MHz 1: 1 MHz~10 MHz	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	MOSEL	メインクロック発振器切り替え 0: 発振子 1: 外部クロック入力	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

- 注: セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。
- 注: EXTAL/XTAL 端子はポートとしても使用されます。初期状態では、この端子がポートとして設定されます。
- 注: このレジスタを変更する前に、MOSCCR.MOSTP ビットを 1 (MOSC 停止) にする必要があります。
- 注: PRCR.PRC0 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

MODRV1 ビット（メインクロック発振器駆動能力 1 切り替え）

MODRV1 ビットは、メインクロック発振器の駆動能力を切り替えます。

MOSEL ビット（メインクロック発振器切り替え）

MOSEL ビットは、メインクロック発振器の発振源を切り替えます。

8.2.21 SOMCR : サブクロック発振器モードコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x481

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	EXCLKS	—	—	SODRV[1:0]	
Value after reset:	0	0	0	0(注1)	0	0	0(注1)	0(注1)

ビット	シンボル	機能	R/W
1:0	SODRV[1:0]	サブクロック発振器駆動能力切り替え 0 0: 通常モード 0 1: 低消費電力モード 1 1 0: 低消費電力モード 2 1 1: 低消費電力モード 3	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	EXCLKS	サブクロック発振器モード機能切り替え 0: 発振モード 1: 外部クロック入力モード	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

注. このレジスタを変更する前に、SOSCCR.SOSTP ビットを 1（SOSC 停止）にする必要があります。

注 1. このビットは VRTC_POR でのみ初期化されます。

SODRV[1:0]ビット（サブクロック発振器駆動能力切り替え）

SODRV[1:0]ビットは、サブクロック発振器の駆動能力を切り替えます。駆動能力と設定値の関係を以下に示します。

通常モード > 低消費電力モード 1 > 低消費電力モード 2 > 低消費電力モード 3

EXCLKS ビット（サブクロック発振器モード機能切り替え）

EXCLKS ビットは、サブクロック発振器のモード機能を切り替えます。

8.2.22 SOMRG : サブクロック発振器マージンチェックレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x482

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SOSCMRG[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	SOSCMRG[1:0]	サブクロック発振器マージンチェック切り替え 0 0: 通常電流 0 1: 下側マージンチェック 1 0: 上側マージンチェック 1 1: 設定禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SOSCMRG[1:0]ビット（サブクロック発振器マージンチェック切り替え）

SOSCMRG[1:0]ビットは、発振マージンチェックのために SOSC の amp 電流を制御します。

8.2.23 SLCDSCCKR : セグメント LCD ソースクロックコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x050

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LCDSCKEN	—	—	—	—	LCDSCCKSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	LCDSCCKSEL[2:0]	セグメント LCD ソースクロック (LCDSRCCLK) 選択 0 0 0: LOCO 0 0 1: SOSC 0 1 0: MOSC 1 0 0: HOCO その他: 設定禁止	R/W
6:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	LCDSCKEN	セグメント LCD ソースクロック (LCDSRCCLK) 出力許可 0: セグメント LCD ソースクロック出力を禁止 1: セグメント LCD ソースクロック出力を許可	R/W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。
- 注. LCDSCKEN ビットと LCDSCCKSEL[2:0]ビットの同時設定は禁止されています。
- 注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

LCDSCCKSEL[2:0]ビット（セグメント LCD ソースクロック (LCDSRCCLK) 選択）

LCDSCCKSEL[2:0]ビットは、セグメント LCD ソースクロックとして LOCO、SOSC、MOSC、または HOCO クロックを選択します。セグメント LCD ソースクロックを変更する場合、LCDSCKEN ビットを 0 にクリアしてください。

これらのビットを変更する場合は、以下の手順で行ってください。

1. LCDSCKEN を 0 にする（セグメント LCD ソースクロック出力を禁止）。
2. セグメント LCD ソースクロックの 3 サイクル分および ICLK の 2 サイクル分待機してから変更を行う。
3. 変更値を LCDSCCKSEL[2:0]ビットに書き込む。
4. LCDSCCKSEL[2:0]ビットを読み出して、LCDSCCKSEL[2:0]ビットが変更されていることを確認する。

LCDSCKEN ビット（セグメント LCD ソースクロック (LCDSRCCLK) 出力許可）

LCDSCKEN ビットは、セグメント LCD モジュールへのセグメント LCD ソースクロックの出力を許可します。

このビットを 1 にすると、選択されたクロックが出力されます。このビットを変更する場合は、LCDSCCKSEL[2:0]ビットで選択したセグメント LCD ソースクロックが安定していることを確認してください。

このビットを変更した後にソフトウェアスタンバイモードに遷移する場合は、以下の手順で行ってください。

1. このビットを変更する。
2. LCDSCCKSEL[2:0]ビットで選択したソースクロックの 2 サイクル以上待機する。
3. WFI 命令を実行する。

このビットを 0 にクリアした後に、LCDSCCKSEL[2:0]ビットで選択したソースクロックを停止する場合は、以下の手順で行ってください。

1. このビットを 0 にクリアする（LCD ソースクロック出力を禁止）。

2. LCDSCKSEL[2:0]ビットで選択したソースクロックの2サイクル以上待機する。
3. LCDSCKSEL[2:0]ビットで選択したソースクロックを停止する。

8.2.24 CKOCR: クロックアウトコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x03E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CKOEN		CKODIV[2:0]		—	CKOSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CKOSEL[2:0]	クロック出力ソース選択 000: HOCO (リセット後の値) 001: MOCO 010: LOCO 011: MOSC 100: SOSC その他: 設定禁止	R/W
3	—	読むと0が読めます。書く場合、0としてください。	R/W
6:4	CKODIV[2:0]	クロック出力周波数分周比 000: $\times 1/1$ 001: $\times 1/2$ 010: $\times 1/4$ 011: $\times 1/8$ 100: $\times 1/16$ 101: $\times 1/32$ 110: $\times 1/64$ 111: $\times 1/128$	R/W
7	CKOEN	クロック出力許可 0: クロック出力禁止 1: クロック出力許可	R/W

注. PRCR.PRC0 ビットを1 (書き込み許可) にしてから、本レジスタを書き換えてください。

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

CKOSEL[2:0]ビット (クロック出力ソース選択)

CKOSEL[2:0]ビットは、CLKOUT 端子から出力するクロックのソースを選択します。クロックソースを変更する場合、CKOEN ビットを0にしてください。

CKODIV[2:0]ビット (クロック出力周波数分周比)

CKODIV[2:0]ビットは、クロック分周比を設定します。分周比を変更する場合、CKOEN ビットを0にしてください。

CKOEN ビット (クロック出力許可)

CKOEN ビットは、CLKOUT 端子からの出力を許可します。

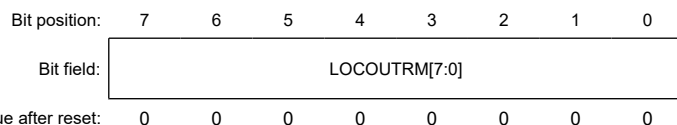
このビットを1にすると、選択されたクロックが出力されます。このビットを0にすると、Low が出力されます。本ビットを変更する場合は、CKOSEL[2:0]ビットで選択したクロック出力のソースクロックが安定していることを確認してください。このビットを変更したとき、出力にグリッチを生じることがあります。

ソフトウェアスタンバイモードでクロック出力のソースクロックが停止する場合は、当該モードに遷移する前にこのビットをクリアしてください。

8.2.25 LOCOUTCR : LOCO ユーザートリミングコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x492



ビット	シンボル	機能	R/W
7:0	LOCOUTRM[7:0]	LOCO ユーザートリミング 0x80: -128 0x81: -127 ⋮ 0xFF: -1 0x00: センターコード 0x01: +1 ⋮ 0x7E: +126 0x7F: +127	R/W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。
- 注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、本レジスタを書き換えてください。

LOCOUTCR レジスタは元の LOCO トリミングデータに追加されます。

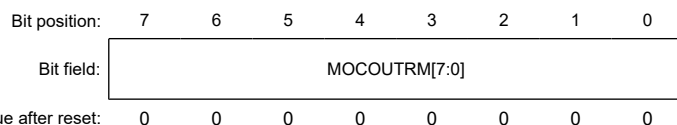
LOCOUTCR に LOCO 周波数を仕様範囲外にする値を設定する場合、MCU の動作は保証されません。LOCOUTCR が修正されると、周波数安定待機時間は MCU の動作開始時の周波数安定待機時間に対応しています。LOCO 周波数と他の発振周波数の比が整数値の場合、LOCOUTCR の値を変更しないでください。

RTC の動作中に LOCOUTCR の変更はしないでください。

8.2.26 MOCOUTCR : MOCO ユーザートリミングコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x061



ビット	シンボル	機能	R/W
7:0	MOCOUTRM[7:0]	MOCO ユーザートリミング 0x80: -128 0x81: -127 ⋮ 0xFF: -1 0x00: センターコード 0x01: +1 ⋮ 0x7E: +126 0x7F: +127	R/W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

MOCOUTCR レジスタは元の MOCO トリミングデータに追加されます。

MOCOUTCR に MOCO 周波数を仕様範囲外にする値を設定する場合、MCU の動作は保証されません。
MOCOUTCR が修正されるとき、周波数安定待機時間は MCU の動作開始時の周波数安定待機時間に対応しています。MOCO 周波数と他の発振周波数の比が整数値の場合、MOCOUTCR の値を変更しないでください。

8.2.27 HOCOUTCR : HOCO ユーザトリミングコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x062

Bit position: 7 6 5 4 3 2 1 0

Bit field: HOCOUTRM[7:0]

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
7:0	HOCOUTRM[7:0]	HOCO ユーザトリミング 0x80: -128 0x81: -127 ⋮ 0xFF: -1 0x00: センターコード 0x01: +1 ⋮ 0x7E: +126 0x7F: +127	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、本レジスタを書き換えてください。

HOCOUTCR レジスタは元の HOCO トリミングデータに追加されます。

HOCOUTCR に HOCO 周波数を仕様範囲外にする値を設定する場合、MCU の動作は保証されません。
HOCOUTCR が修正されるとき、周波数安定待機時間は MCU の動作開始時の周波数安定待機時間に対応しています。

8.2.28 CANFDCKDIVCR : CANFD クロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x06E

Bit position: 7 6 5 4 3 2 1 0

Bit field: CANFDCKDIV[2:0]

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
2:0	CANFDCKDIV[2:0]	CANFD クロック (CANFDCLK) 分周比選択 0 0 0: 1 分周 (リセット後の値) 0 0 1: 2 分周 0 1 0: 4 分周 0 1 1: 6 分周 1 0 0: 8 分周 その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。
- 注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

CANFDCKDIVCR レジスタは、CANFD クロック (CANFDCLK) を制御します。

CANFDCKDIV[2:0]ビット (CANFD クロック (CANFDCLK) 分周比選択)

CANFDCKDIV[2:0]ビットは、CANFD クロック (CANFDCLK) の周波数を選択します。これらのビットの書き換えは、CANFDCKCR.CANFDCKSRDY が 1 のときに行ってください。

分周比の設定を n ($n \neq 1$) から切り替えるときは、MSTPCRC.MSTPC27 = 1 に設定してから CANFDCKCR.CANFDCKSREQ = 1 に設定してください。

8.2.29 CANFDCKCR : CANFD クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x076

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CANFDCKSRDY	CANFDCKSREQ	—	—	—	CANFDCKSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
2:0	CANFDCKSEL[2:0]	CANFD クロック (CANFDCLK) ソース選択 0 0 0: HOCO 0 0 1: MOCO (リセット後の値) 0 1 0: LOCO 0 1 1: メインクロック発振器 1 0 0: サブクロック発振器 1 0 1: PLL その他: 設定禁止	R/W
5:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	CANFDCKSREQ	CANFD クロック (CANFDCLK) 切り替え要求 0: 要求なし 1: 切り替えを要求	R/W
7	CANFDCKSRDY	CANFD クロック (CANFDCLK) 切り替え可能状態フラグ 0: 切り替え不可能 1: 切り替え可能	R

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。
- 注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

CANFDCKCR レジスタは、CANFD クロック (CANFDCLK) を制御します。

クロックソース切り替え時、切り替え前と切り替え後にクロックが安定して出力されるようにしなければなりません。CANFDCKDIVCR.CANFDCKDIV[2:0]ビットと CANFDCKSEL[2:0]ビットの設定値を書き換えるには、以下の手順に従ってください。

1. 分周比の設定を n ($n \neq 1$) から切り替えるときのみ、MSTPCRC.MSTPC27 に 1 を書き込んでください。
2. 分周比の設定を n ($n \neq 1$) から切り替えるときのみ、CANFDCLK を 2 サイクル待機してください。
3. CANFDCKSREQ に 1 を書き込み
4. CANFDCKSRDY フラグが 1 になるまでポーリングする CANFDCKSRDY が 1 である間、CANFDCLK にクロックが出力されない

5. CANFDCKDIVCR.CANFDCKDIV[2:0]ビットと CANFDCKSEL[2:0]ビットに書き込み
6. CANFDCKSREQ に 0 を書き込み
7. CANFDCKSRDY フラグが 0 になるまでポーリングする
8. CANFDCKSRDY フラグが 0 になると、CANFDCLK 出力を開始するクロック切り替えが完了する

ソフトウェアスタンバイモードに遷移する場合は、クロック切り替えを実施している間に WFI 命令を実行しないでください。すなわち、CANFDCKSREQ = 1 かつ CANFDCKSRDY = 0、または、CANFDCKSREQ = 0 かつ CANFDCKSRDY = 1 であるときに WFI 命令を実行しないでください。

CANFDCKSEL[2:0]ビット (CANFD クロック (CANFDCLK) ソース選択)

CANFDCKSEL[2:0]ビットは、CANFD クロック (CANFDCLK) のクロックソースを選択します。書き換えは、CANFDCKCR.CANFDCKSRDY が 1 の時に行ってください。

CANFDCKSREQ ビット (CANFD クロック (CANFDCLK) 切り替え要求)

CANFDCKSREQ ビットは、CANFDCLK の切り替え要求を選択します。

CANFDCKSRDY フラグ (CANFD クロック (CANFDCLK) 切り替え可能状態フラグ)

CANFDCKSRDY フラグは、CANFDCLK の切り替え可能状態を示します。CANFDCKSRDY が 1 である間、CANFDCLK にクロックが出力されません。

8.3 メインクロック発振器

メインクロック発振器にクロック信号を供給するには、以下のいずれかの方法を使用します。

- 発振子を接続
- 外部クロック信号の入力を接続

8.3.1 発振子を接続する方法

図 8.4 に発振子の接続例を示します。必要に応じてダンピング抵抗 (R_d) を挿入してください。

この抵抗値は、振動子と発振駆動能力によって異なるので、振動子メーカーの推奨する値を使用してください。また、振動子メーカーから外部に帰還抵抗 (R_f) を追加するよう指示があった場合は、その指示に従って EXTAL と XTAL の間に R_f を挿入してください。

振動子を接続してクロックを供給する場合、その振動子の周波数は、表 8.1 に記載されているように、メインクロック発振器の発振子周波数の範囲内としてください。

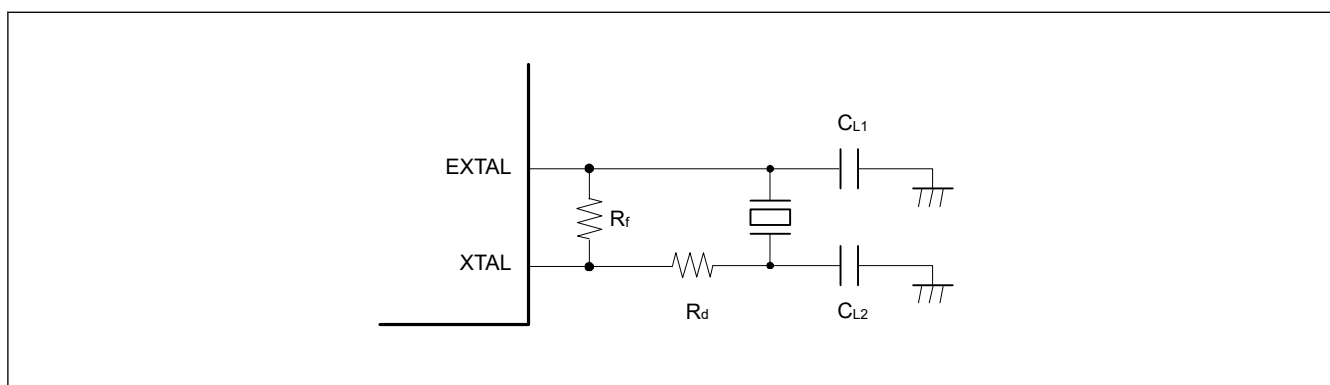


図 8.4 発振子の接続例

図 8.5 に発振子の等価回路を示します。

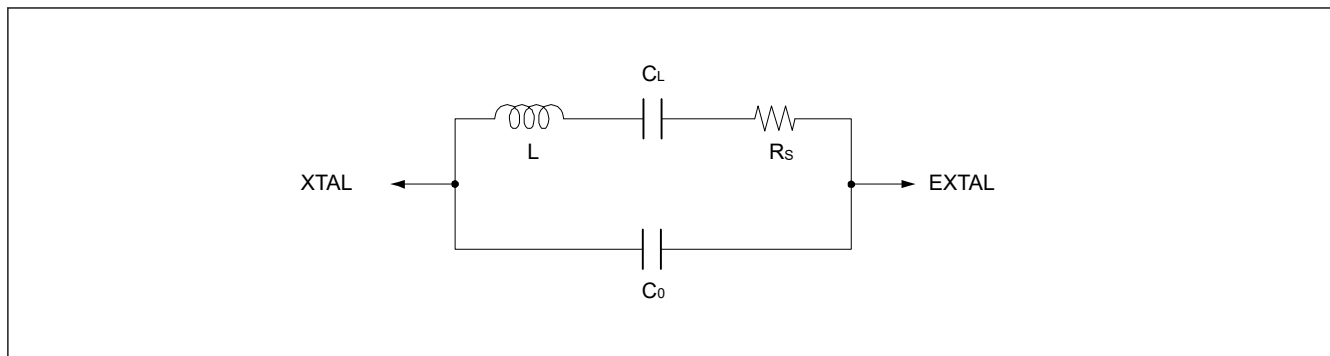


図 8.5 発振子の等価回路

8.3.2 外部クロックを入力する方法

図 8.6 に、外部クロック入力接続例を示します。外部クロックで発振器を動作させるには、MOMCR.MOSEL ビットを 1 にしてください。XTAL 端子はハイインピーダンスになります。

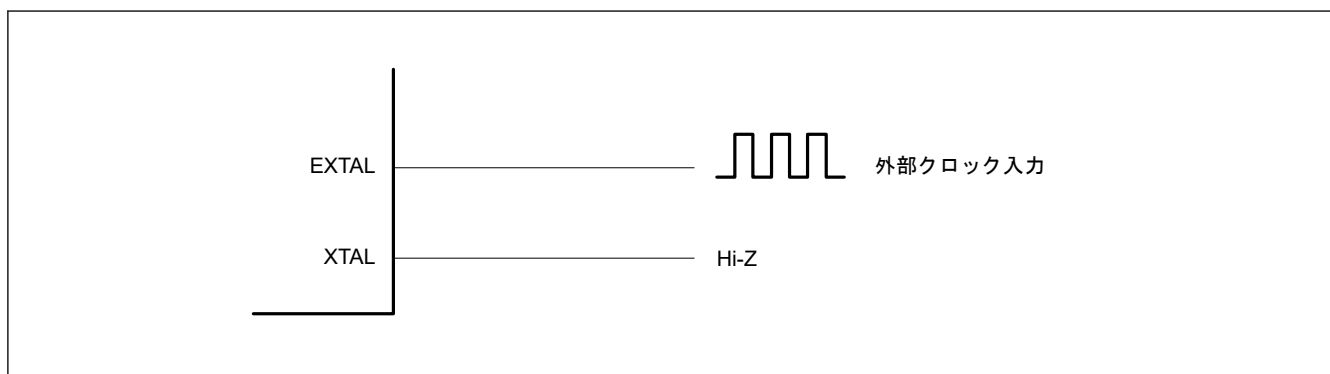


図 8.6 外部クロックの等価回路

8.3.3 外部クロック入力に関する注意事項

外部クロック入力周波数の変更は、メインクロック発振器が動作を停止しているときのみ可能です。メインクロック発振器の停止ビット (MOSCCR.MOSTP) が 0 の場合、外部クロック入力の周波数を変更しないでください。

8.4 サブクロック発振器

サブクロック発振器へクロックを供給するには、水晶振動子を接続してください。

8.4.1 32.768 kHz 水晶振動子を接続する方法

サブクロック発振器へクロックを供給するには、図 8.7 に示すように 32.768 kHz 水晶振動子を接続します。必要に応じてダンピング抵抗 (R_d) を挿入してください。この抵抗値は、振動子と発振駆動能力によって異なるので、振動子メーカーの推奨する値を使用してください。また、振動子メーカーが外部帰還抵抗 (R_f) の使用を推奨している場合は、その指示に従って XCIN と XCOUT の間に R_f を挿入してください。振動子を接続してクロックを供給する場合、その振動子の周波数は、表 8.1 に記載されているように、サブクロック発振器の発振子周波数の範囲内としてください。

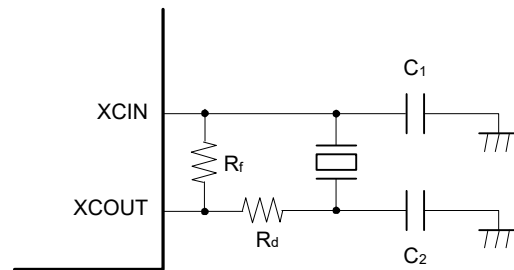


図 8.7 32.768 kHz 水晶振動子の接続例

図 8.8 に 32.768 kHz 水晶振動子の等価回路を示します。

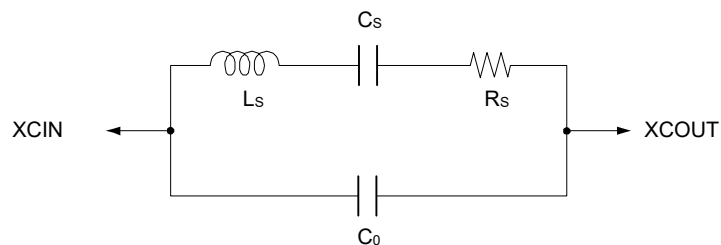


図 8.8 32.768 kHz 水晶振動子の等価回路

8.4.2 外部クロックを入力する方法

図 8.9 に外部サブクロック入力の接続例を示します。外部サブクロック入力 は XCOUT 端子から行い、XCIN 端子はオープン（開放）回路にする必要があります。

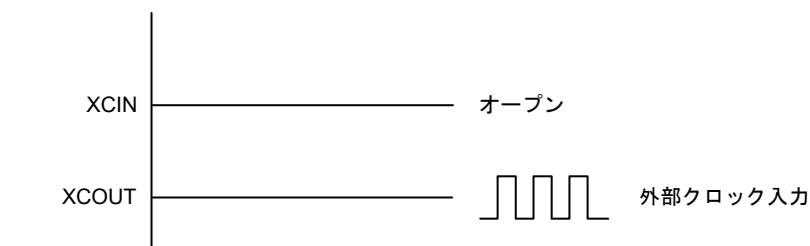


図 8.9 外部クロックの等価回路

8.4.3 外部クロック入力に関する注意事項

外部サブクロック入力として使用できる周波数は 32.768 KHz のみです。外部サブクロック入力の設定が可能なのは、サブクロック発振器の停止中だけです。

8.4.4 サブクロック発振器を使用しない場合の端子処理

サブクロック発振器を使用しない場合、図 8.10 に示すように、XCIN 端子は抵抗を介して VSS に接続（プルダウン）し、XCOUT 端子をオープンとしてください。さらに、サブクロック発振器停止ビット (SOSCCR.SOSTP) を 1 にして発振器を停止してください。

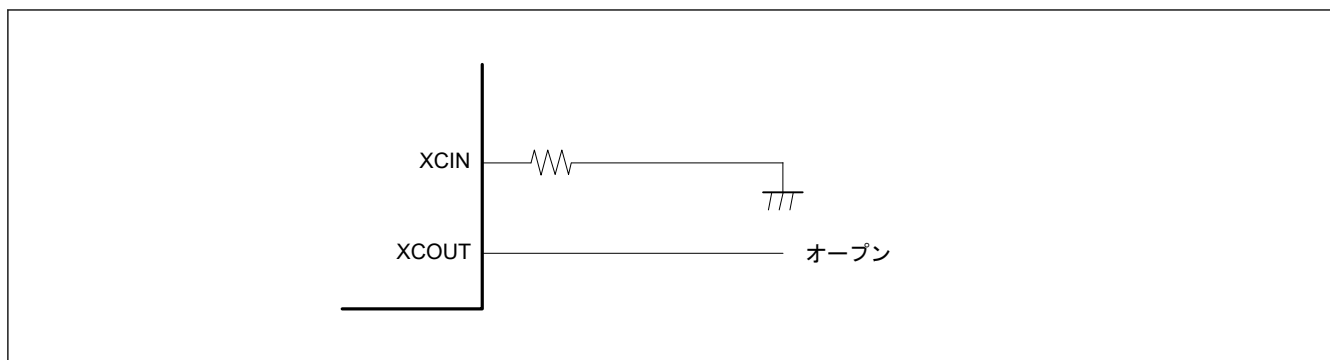


図 8.10 サブクロック発振器を使用しない場合の端子処理

8.5 発振停止検出機能

8.5.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の発振停止を検出します。発振停止が検出されると、システムクロックは以下のように切り替わります。

- SCKSCR.CKSEL[2:0] = 011b (システムクロックソース = MOSC) で発振停止が検出された場合、システムクロックソースは MOCO クロックに切り替わる
- PLLCCR.PLSRCSEL = 0 (PLL ソースクロック = MOSC) および SCKSCR.CKSEL[2:0] = 101b (システムクロックソース = PLL) で発振停止が検出されると、PLL クロックはシステムクロックソースのままとなります。ただし、周波数はフリーラン発振周波数となります。

発振停止検出時には発振停止検出割り込み要求を発生させることができます。さらに、検出時の汎用 PWM タイマ (GPT) 出力をハイインピーダンスにすることが可能です。

メインクロック発振器に異常が発生した場合など、入力クロックが一定期間 0 または 1 のままとなった場合、メインクロックの発振停止が検出されます。「[43. 電気的特性](#)」を参照してください。

メインクロック発振器と MOCO クロックの切り替え、または PLL クロックと PLL フリーランクロックの切り替えは、発振停止検出フラグ (OSTDSR.OSTDF) によって制御されます。

OSTDF は切り替えたクロックを以下のように制御します。

- SCKSCR.CKSEL[2:0] = 011b (システムクロックソース = MOSC) の場合 :
 - OSTDF が 0 から 1 になると、クロックソースは MOCO クロックに切り替わる
 - OSTDF が 1 から 0 になると、クロックソースは MOSC に戻る
- PLLCCR.PLSRCSEL = 0 (PLL ソースクロック = MOSC) かつ SCKSCR.CKSEL[2:0] = 101b (システムクロックソース = PLL) の場合 :
 - OSTDF が 0 から 1 になると、クロックソースは PLL フリーランニング発振クロックに切り替わる
 - OSTDF が 1 から 0 になると、クロックソースは PLL に戻る

発振停止検出後にクロックソースをメインクロックあるいは PLL クロックに戻したい場合は、一度 CKSEL[2:0] ビットの設定をメインクロックおよび PLL クロック以外に変更し、OSTDF フラグを 0 にしてください。さらに、OSTDF フラグが 1 になっていないことを確認した後、所定の発振安定時間が経過してから、CKSEL[2:0] ビットの設定をメインクロックまたは PLL クロックに変更してください。

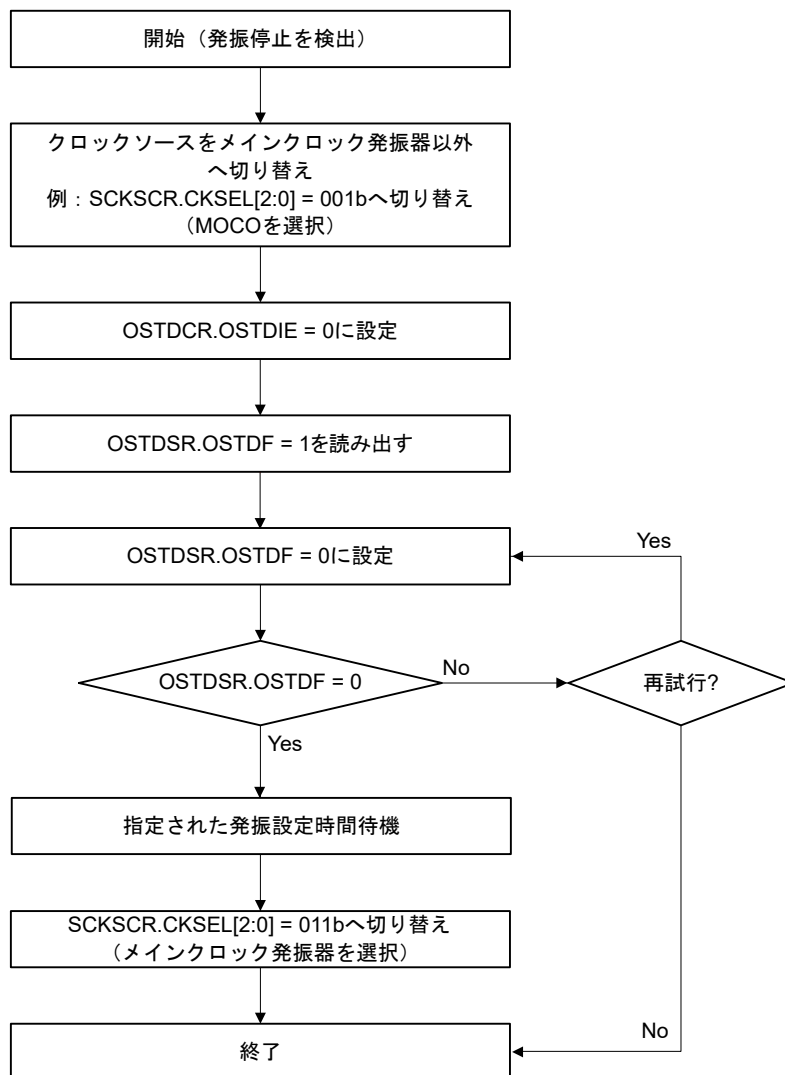
リセット解除後、メインクロック発振器は停止して、発振停止検出機能は無効になります。発振停止検出機能を有効にするには、メインクロック発振器を動作させた後、所定の発振安定時間が経過してから、発振停止検出機能有効ビット (OSTDCR.OSTDE) に 1 を書き込んでください。

発振停止検出機能は、外部要因によってメインクロックが停止したことを検出します。そのため、ソフトウェアによるメインクロック発振器の停止、またはソフトウェアスタンバイモードへの遷移の前に、発振停止検出機能を無効にする必要があります。

発振停止検出機能は、CLKOUT 以外のメインクロックとして選択可能なすべてのクロックを MOCO (システムクロックが MOSC の場合) または PLL フリーラン (システムクロックが PLL の場合) に切り替えます。

MOCO 動作中（システムクロックが MOSC の場合）または PLL フリーラン動作中（システムクロックが PLL の場合）のシステムクロック (ICKL) 周波数は、MOCO 発振周波数と、システムクロック選択ビット (SCKDIVCR.ICK[2:0]) で設定された分周比に指定されます。

発振停止検出後にCKSEL[2:0] = 011b（メインクロック発振器を選択）の場合の復帰例



注. 発振停止状態から復帰する際は、発振を再開できるように、メインクロック発振回路の停止要因をシステムから取り除く必要があります。

図 8.11 発振停止検出時の復帰フロー

8.5.2 発振停止検出割り込み

発振停止検出フラグ (OSTDSR.OSTDF) が 1、かつ発振停止検出コントロールレジスタの発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) が 1（許可）のとき、発振停止検出割り込み (MOSC_STOP) が発生します。このとき GPT 用のポートアウトプットイネーブル (POEG) に、メインクロック発振器の停止が通知されます。POEG はこの通知を受けると、POEG グループ n 設定レジスタの発振停止検出フラグ (POEGGn.OSTPF) (n = A, B, C, D) を 1 にします。

発振停止を検出後、POEGn.OSTPF フラグに書き込む前に、PCLKB で 10 クロックサイクル以上待ってください。OSTDSR.OSTDF フラグのクリアが必要な場合、発振停止検出コントロールレジスタの発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) をクリアした後に行ってください。OSTDCR.OSTDIE ビットを再び 1 にする前に、PCLKB で 2 クロックサイクル以上待ってください。I/O レジスタの読み出しに要するサイクル数によっては、これ以上の PCLKB の待ち時間が必要になる場合があります。

発振停止検出割り込みはノンマスカブル割り込みです。リセット解除後の初期状態ではノンマスカブル割り込みは禁止されているため、発振停止検出割り込みを使用する前にソフトウェアでノンマスカブル割り込みを許可してください。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

8.5.3 サブクロック発振停止検出機能

発振停止検出回路は、低速オンチップオシレータクロック (LOCO) でサブクロック (SOSC) の動作ステータスを監視します。サブクロックの発振が定義済みの間隔より長く停止しているのを発振停止検出回路が検出すると、サブクロック発振器回路のエラーが発生したと見なし、発振停止割り込み信号を出力します。

発振停止が検出されると、システムクロックは以下のように切り替わります。

- SCKSCR.CKSEL[2:0] = 100b (システムクロックソース = SOSC) で発振停止が検出された場合、システムクロックソースは LOCO クロックに切り替わる

システムをリセットした場合、リセット期間終了後に発振停止検出器の動作をソフトウェアで有効にする必要があります。

発振停止検出器の動作はソフトウェアにより停止するか、あるいは発振停止検出器動作は RES 端子からのリセットまたは無効な命令の実行が原因の内部リセットにより停止します。さらに、リセット後は、発振停止検出動作をソフトウェアで有効にしてください。

発振停止検出器がサブクロック停止の検出に使用する期間 (発振停止検出時間) は、SOSTDCR.SOSDCCMP[11:0] ビットで設定できます。

発振停止検出時間 = 低速オンチップオシレータクロック (LOCO) サイクル × ((SOSTDCR.SOSDCCMP[11:0] の値) + 1)

- SOSTDCR.SOSDCCMP [11:0] = 0x004 : 133 μs (最小)、153 μs (Typ.)、180 μs (最大)
- SOSTDCR.SOSDCCMP [11:0] = 0xFFFF : 108 ms (最小)、125 ms (Typ.)、147 ms (最大)

サブクロック発振停止検出機能は、低消費電力クロックモード (RCR4.ROPSEL = 1) およびソフトウェアスタンバイモードのときは無効になります。サブクロック発振停止検出を使用するには、VCC の供給と VRTC の供給の両方を使用する必要があります。

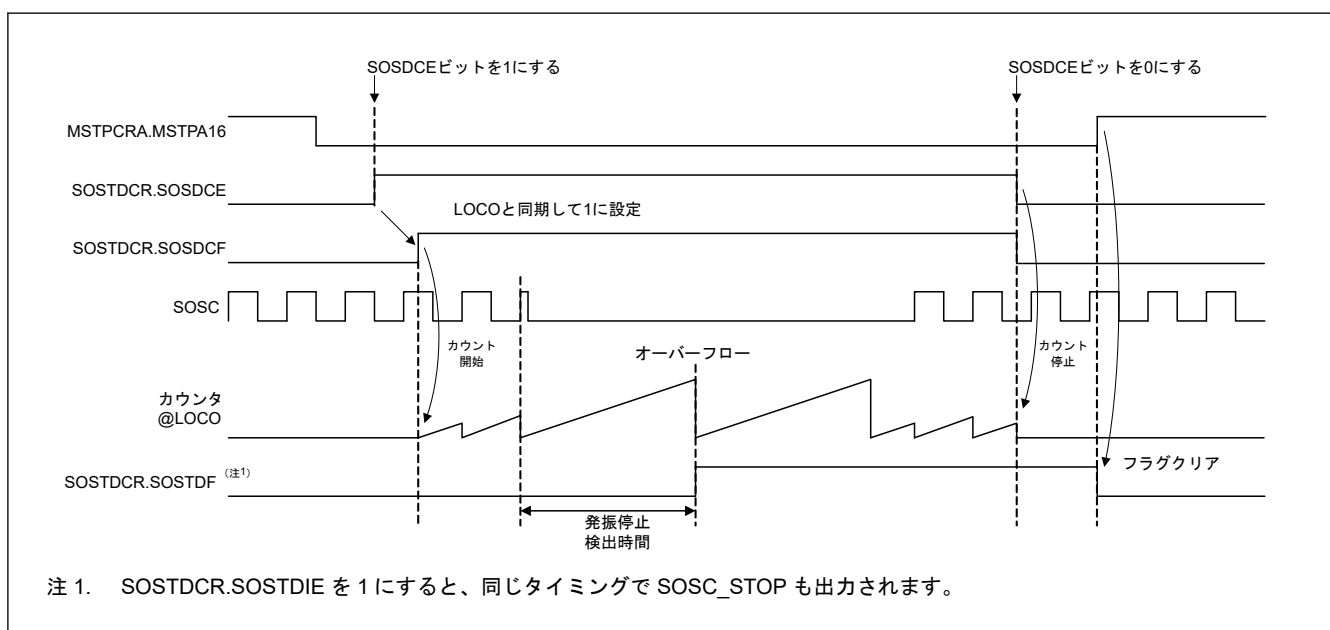


図 8.12 サブクロック発振停止検出器による発振停止検出のタイミング

表 8.7 SCKSCR.CKSEL[2:0] = 100b (サブクロック発振器を選択) でサブクロックの発振停止を検出した場合のフローの例

No.	ステップ名	説明
1	開始	サブクロック発振停止が検出され、システムクロックソースが LOCO クロックに切り替わります。
2	クロックソースの設定	SCKSCR.CKSEL に 100b 以外 (システムクロックソースは SOSC 以外) を設定します。
3	サブクロック発振器の停止	SOSCCR.SOSTP を 1 にします。
4	サブクロック発振停止検出器および割り込みの動作停止	SOSTDCR.SOSTDCE を 0 にし、SOSTDCR.SOSTDIE を 0 にします。
5	サブクロック発振停止検出フラグの確認	SOSTDCR.SOSTDF が 1 であることを確認します。(サブクロックの発振停止を検出)
6	SOSTD モジュールストップ状態へ遷移	MSPTCRA.MSTPA16 を 1 にします。
7	サブクロック発振停止検出フラグクリア待機	SOSTDCR.SOSTDF が 0 (サブクロックの発振停止を未検出) になるまで待機します。
8	終了	サブクロック発振停止検出器の動作は完了です。 必要に応じて、サブクロック発振器、システムクロックソース、およびサブクロック発振停止検出器を再設定します。

注. 発振停止状態から復帰する際は、サブクロック発振を再開できるように、サブクロック発振回路の停止要因をシステムから取り除く必要があります。

8.5.4 サブクロック発振停止検出割り込み

サブクロック発振停止検出フラグ (SOSTDCR.SOSTDF) が 1 で、かつサブクロック発振停止検出コントロールレジスタのサブクロック発振停止検出割り込み許可ビット (SOSTDCR.SOSTDIE) が 1 (許可) のとき、サブクロック発振停止検出割り込み (SOSTD) が発生します。

SOSTDCR.SOSTDF フラグのクリアは、サブクロック発振停止検出コントロールレジスタのサブクロック発振停止検出割り込み許可ビット (SOSTDCR.SOSTDIE) を 0 にした後に行ってください。SOSTDF フラグがクリアされたことを確認してから、SOSTDIE ビットを再び 1 にしてください。

8.6 PLL 回路

PLL 回路には発振器からの周波数を通倍する機能があります。

図 8.13 に PLL 回路のブロック図を示します。

入力クロックソース選択回路では、PLL へのクロックソース入力を選択します。

入力クロック分周回路は、入力クロックを分周し、PLL 基準クロックを生成します。

周波数制御回路は、周波数通倍器の設定に従って、VCO クロックを制御して PLL 基準クロックから生成します。通倍比は、PLLMUL ビットによって決まります。

PLL 入力クロック周波数、PLL 基準クロック周波数、および PLL 出力クロック周波数は、「43. 電气的特性」に記載された値の範囲内である必要があります。

PLL 周波数の設定は、PLL 回路が停止しているときのみ変更が可能です。PLL 停止制御ビット (PLLSTP) が 0 の場合、PLL 周波数設定を変更しないでください。

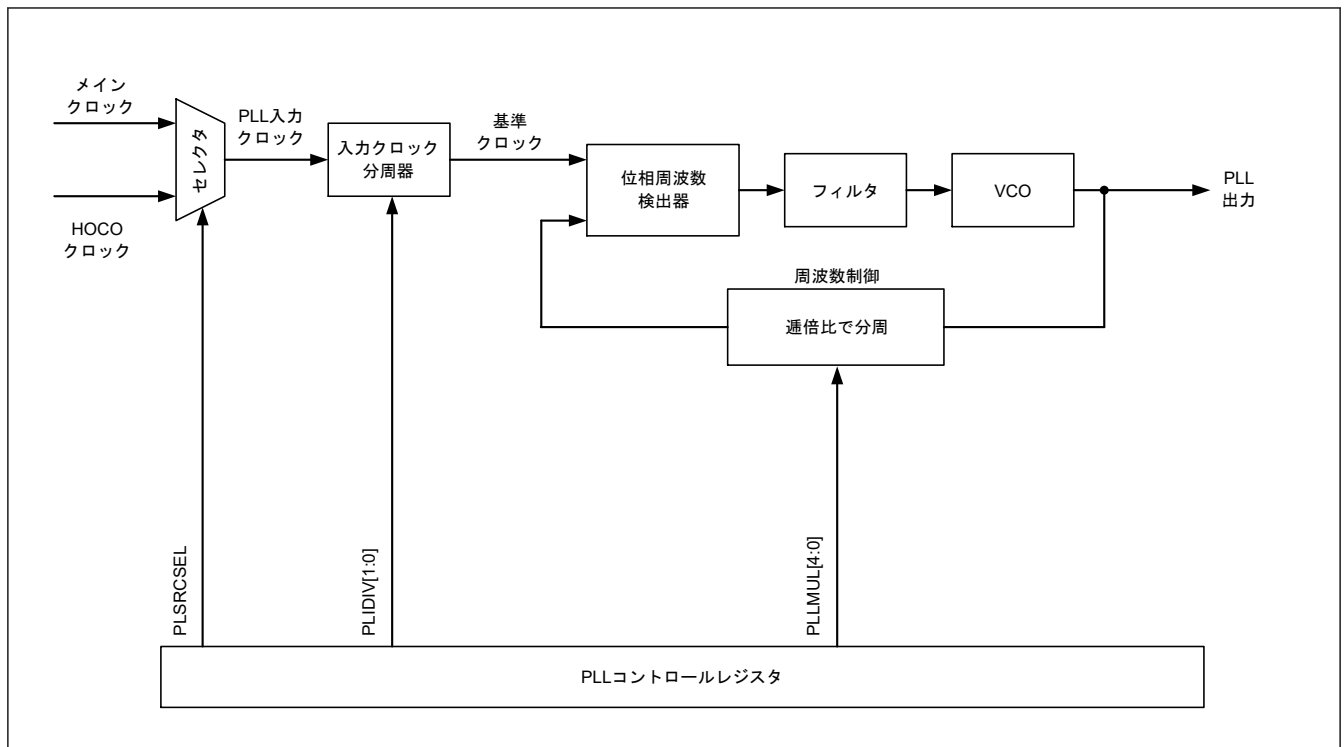


図 8.13 PLL のブロック図

8.7 PLL_RTC 回路

PLL_RTC 回路には、サブクロック発振器からの周波数を通倍する機能があります。

8.8 内部クロック

内部クロック用のクロックソースには以下のものがあります。

- メインクロック
- サブクロック
- HOCO クロック
- MOCO クロック
- LOCO クロック
- PLL クロック
- IWDTC 専用クロック
- SWCLK 用外部クロック

これらのクロックソースから、以下の内部クロックが生成されます。

- CPU、DMAC、DTC、フラッシュ、および SRAM の動作クロック：システムクロック (ICLK)
- 周辺モジュールの動作クロック：周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD)
- FlashIF の動作クロック：FlashIF クロック (FCLK)
- CANFD の動作クロック：CANFD クロック (CANFDCLK)
- CAN の動作クロック：CAN クロック (CANMCLK)
- CAC の動作クロック：CAC クロック (CACCLK)
- RTC の動作クロック：RTC 専用クロック (RTCSCLK, RTCS128CLK, RTCPLLCLK)
- IWDTC の動作クロック：IWDTC 専用クロック (IWDTCCLK)
- AGT の動作クロック：AGT 専用クロック (AGTSCLK, AGTLCLK)

- Systick タイマの動作クロック：Systick タイマ専用クロック (SYSTICCLK)
- セグメント LCD の動作クロック：セグメント LCD ソースクロック (LCDSRCCLK)
- UARTA の動作クロック：UARTA クロック (UARTAMCLK, UARTASCLK, UARTALCLK, UARTAHCLK, UARTAMOCK)
- 外部端子出力のクロック：クロック／ブザー出力クロック (CLKOUT)
- OCD の動作クロック：シリアルワイヤクロック (SWCLK)

内部クロックの周波数設定に使用するレジスタの詳細については、「[8.8.1. システムクロック \(ICLK\)](#)」～「[8.8.14. シリアルワイヤデバッグクロック \(SWCLK\)](#)」を参照してください。

いずれかのビットの値を変更した場合、以降は変更後の値に応じた周波数で動作します。

8.8.1 システムクロック (ICLK)

システムクロック (ICLK) は、CPU、DMAC、DTC、フラッシュメモリ、および SRAM の動作クロックです。

ICLK の周波数は、SCKDIVCR.ICK[2:0]ビット、SCKSCR.CKSEL[2:0]ビット、PLLCCR.PLLMUL[4:0]ビット、PLLCCR.PLIDIV[1:0]ビット、および OFS1.HOCOFREQ[2:0]ビットで設定します。OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。

OFS1.HOCOFREQ[2:0]ビットの値は、リセット後に HOCOCR2.HCFREQ[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFREQ[2:0]ビットで設定することもできます。

ICLK クロックソースの切り替え時、クロックソース切り替えを行う間、ICLK クロックサイクルが長くなります。[図 8.14](#) と [図 8.15](#) を参照してください。

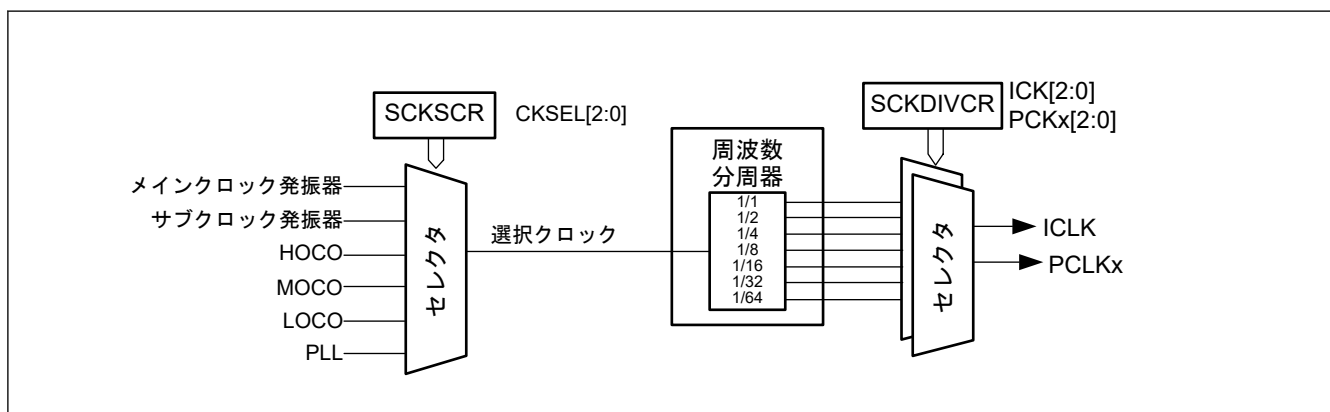


図 8.14 クロックソースセクタのブロック図

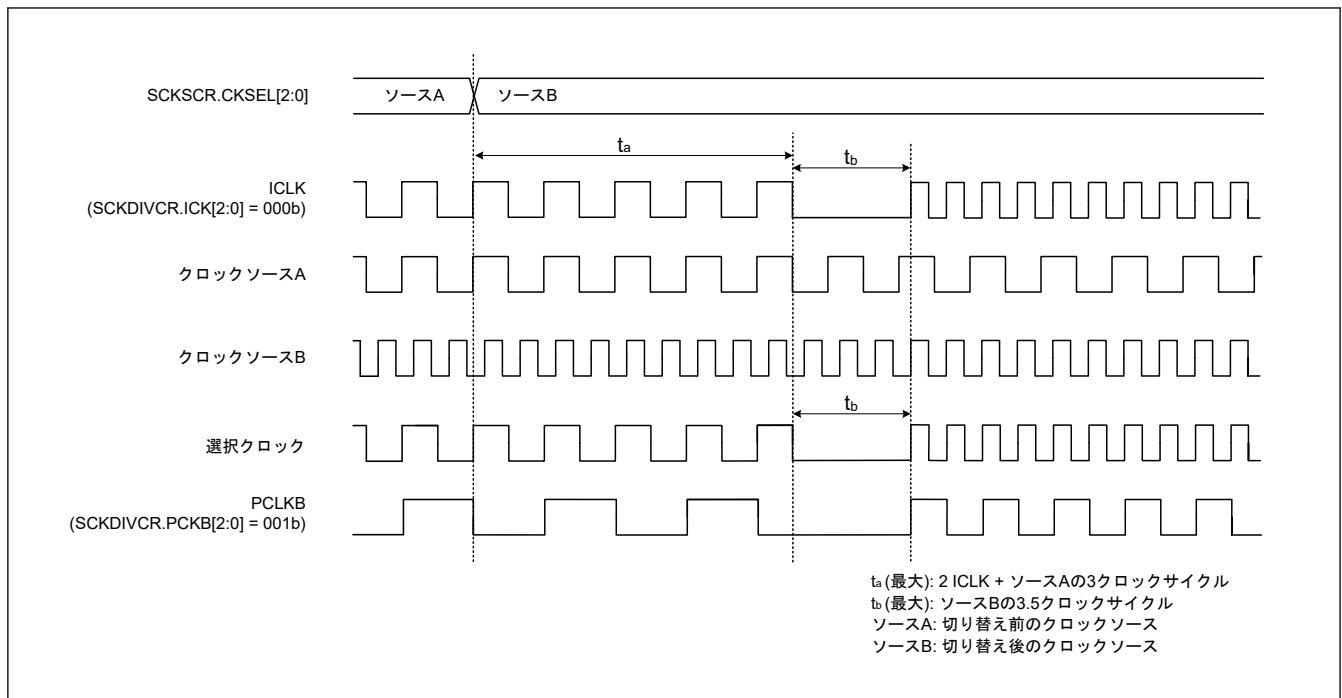


図 8.15 クロックソース切り替えのタイミング

8.8.2 周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD)

周辺モジュールクロック (PCLKA、PCLKB、PCLKC、および PCLKD) は、周辺モジュールが使用する動作クロックです。

各クロックの周波数は、以下のビットで設定します。

- SCKDIVCR.PCKA[2:0]ビット、SCKDIVCR.PCKB[2:0]ビット、SCKDIVCR.PCKC[2:0]ビット、および SCKDIVCR.PCKD[2:0]ビット
- SCKSCR.CKSEL[2:0]ビット
- PLLCCR.PLLMUL[4:0]ビットおよび PLLCCR.PLIDIV[1:0]ビット
- OFS1.HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。

OFS1.HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOFRQ2.HCFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOFRQ2.HCFRQ0[2:0]ビットで設定することもできます。

周辺モジュールクロックのクロックソース切り替え時、クロックソース切り替えを行う間、周辺モジュールクロック周期が長くなります。図 8.14 と図 8.15 を参照してください。

8.8.3 FlashIF クロック (FCLK)

フラッシュインタフェースクロック (FCLK) は、フラッシュメモリーインタフェースの動作クロックです。データフラッシュからの読み出しに加え、コードフラッシュとデータフラッシュのプログラム/イレースに使用されます。

FCLK の周波数は、以下のビットで設定します。

- SCKDIVCR.FCK[2:0]ビット
- SCKSCR.CKSEL[2:0]ビット
- PLLCCR.PLLMUL[4:0]ビットおよび PLLCCR.PLIDIV[1:0]ビット
- OFS1.HOCOFRQ0[2:0]ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。

OFS1.HOCOFRQ0[2:0]ビットの値は、リセット後に HOCOFRQ2.HCOFRQ0[2:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOFRQ2.HCOFRQ0[2:0]ビットで設定することもできます。

8.8.4 CANFD クロック (CANFDCLK)

CANFD クロック (CANFDCLK) は、CANFD モジュールの動作クロックです。

CANFDCLK の周波数は、以下のビットで設定します。

- CANFDCKDIVCR.CANFDCKDIV[2:0]ビット
- CANFDCKCR.CANFDCKSEL[2:0]ビット
- PLLCCR.PLLMUL[4:0]ビットおよび PLLCCR.PLIDIV[1:0]ビット

8.8.5 CAN クロック (CANMCLK)

CAN クロック (CANMCLK) は、CAN モジュールの動作クロックです。CANMCLK は、メインクロック発振器で生成されます。

8.8.6 CAC クロック (CACCLK)

CAC クロック (CACCLK) は、CAC の動作クロックです。CACCLK は下記の発振器で生成されます。

- メインクロック発振器
- サブクロック発振器
- 高速クロック発振器 (HOCO)
- 中速クロック発振器 (MOCO)
- 低速オンチップオシレータ (LOCO)
- IWDТ 専用オンチップオシレータ (IWDTLOCO)

8.8.7 RTC 専用クロック (RTCSCLK, RTCS128CLK, RTCPLLCLK)

RTC 専用クロック (RTCSCLK, RTCS128CLK, RTCPLLCLK) は、RTC の動作クロックです。

RTCSCLK と RTCS128CLK はサブクロック発振器で生成され、RTCPLLCLK は PLL_RTC で生成されます。

8.8.8 IWDТ 専用クロック (IWDTCLK)

IWDТ 専用クロック (IWDTCLK) は、IWDT の動作クロックです。IWDTCLK は、IWDT 専用オンチップオシレータの内部発振によって生成されます。

8.8.9 AGT 専用クロック (AGTSCLK, AGTLCLK)

AGT 専用クロック (AGTSCLK および AGTLCLK) は、AGT の動作クロックです。AGTSCLK はサブクロック発振器で生成され、AGTLCLK は LOCO クロックで生成されます。

8.8.10 SysTick タイマ専用クロック (SYSTICCLK)

SysTick タイマ専用クロック (SYSTICCLK) は、SysTick タイマの動作クロックです。SYSTICCLK は、LOCO クロックで生成されます。

8.8.11 セグメント LCD ソースクロック (LCDSRCCLK)

セグメント LCD ソースクロック (LCDSRCCLK) は、SLCDC モジュールの動作クロックです。

周波数は下記のビットで指定します。

- SLCDSCCKR.LCDSCCKSEL[2:0]ビット

LCDSRCCLK は、SLCDSCKCR.LCDSCKEN を 1 にしたときに出力されます。SLCDSCKCR.LCDSCKSEL[2:0] の値を変更する場合は、SLCDSCKCR.LCDSCKEN の値が 0 であることを確認してください。

8.8.12 UARTA クロック (UARTAMCLK, UARTASCLK, UARTALCLK, UARAHCLK, UARTAMOCKL)

UARTA クロック (UARTAMCLK, UARTASCLK, UARTALCLK, UARAHCLK, UARTAMOCKL) は、UARTA モジュールの動作クロックです。

UARTAMCLK はメインクロック発振器で生成されます。UARTASCLK はサブクロック発振器で生成されます。UARTALCLK は LOCO クロックで生成されます。UARAHCLK は HOCO クロックで生成されます。UARTAMOCKL は MOCO クロックで生成されます。

8.8.13 外部端子出力クロック (CLKOUT)

CLKOUT は、クロック出力またはブザー出力として、CLKOUT 端子から外部に出力されます。CKOCR.CKOEN ビットを 1 にすると、CLKOUT は CLKOUT 端子に出力されます。CKOCR.CKODIV[2:0] ビットまたは CKOCR.CKOSEL[2:0] ビットの値を変更できるのは、CKOCR.CKOEN ビットが 0 の場合だけです。

CLKOUT クロックの周波数はそれぞれ、次のようなビットで指定されます。

- CKOCR.CKODIV[2:0] ビットまたは CKOCR.CKOSEL[2:0] ビット
- OFS1 レジスタの HOCOFREQ0[2:0] ビット(注1)

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。

OFS1.HOCOFREQ0[2:0] ビットの値は、リセット後に HOCOCR2.HCFREQ0[2:0] ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFREQ0[2:0] ビットで設定することもできます。

8.8.14 シリアルワイヤデバッグクロック (SWCLK)

シリアルワイヤデバッグクロック (SWCLK) は、シリアルワイヤデバッグの動作クロックです。

SWCLK は、シリアルワイヤデバッグ (SWCLK 端子) の外部クロックで生成されます。

8.9 使用上の注意

8.9.1 クロック発生回路に関する注意事項

各モジュールへ供給される以下のクロックの周波数は、SCKDIVCR レジスタの設定に従って変わります。

- システムクロック (ICKL)
- 周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD)
- FlashIF クロック (FCLK)

各周波数は、以下の条件を満たす必要があります。

- 各周波数は、AC 特性で規定される動作周波数 (f) の動作保証範囲内に収まるように選択すること。「[43. 電気的特性](#)」を参照してください。
- システムクロックと周辺モジュールクロックは、必ず[表 8.2](#)に従い設定してください。

クロック周波数変更後の処理を確実に実行するには、最初に該当のクロックコントロールレジスタに書き込んで周波数を変更してからレジスタ値を読み出して確認し、最後にその後の処理を実行してください。

8.9.2 発振子に関する制限

発振子の特性はユーザーのボード設計に密接に関係するので、使用する前に十分な評価が必要です。発振子の接続例については[図 8.7](#)を参照してください。発振子の回路定数は、使用する発振子および実装回路の浮動容量によって異なります。回路定数を決定する際は、常に発振子メーカーと相談してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

8.9.3 ボード設計に関する注意事項

水晶振動子を使用する場合は、振動子およびコンデンサはできるだけ XTAL/EXTAL 端子の近くに配置してください。図 8.16 に示すように、発振回路の近くには他の信号線を通過させないでください。電磁誘導によって正常に発振しなくなることがあります。図 8.16 に、メインクロック発振器を使用した場合を示します。サブクロック発振器の場合も図 8.16 と同様です。

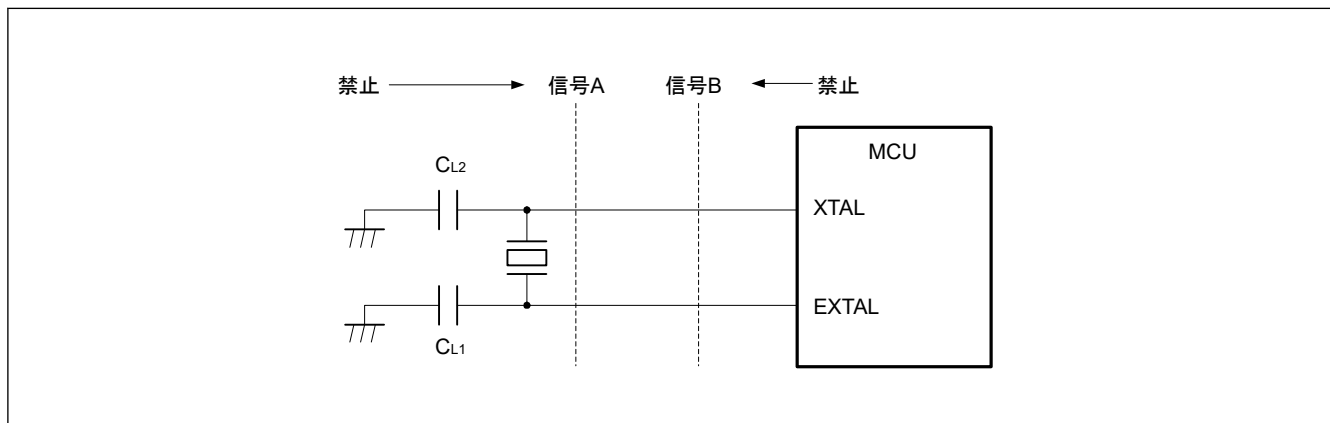


図 8.16 発振回路部のボード設計に関する信号のルーティング

8.9.4 発振子接続端子に関する注意事項

メインクロックを使用しない場合、EXTAL 端子と XTAL 端子は、汎用ポートとして使用可能です。これらの端子を汎用ポートとして使用する場合は、メインクロックを停止させる（MOSCCR.MOSTP ビットを 1 にする）必要があります。

9. クロック周波数精度測定回路 (CAC)

9.1 概要

クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック（測定対象クロック）に対して、測定の基準となるクロック（測定基準クロック）で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるかどうかで精度を判定します。測定終了時、または測定基準クロックで生成した時間内のパルス数が許容範囲内がない時、割り込み要求を発生します。

表 9.1 に CAC の仕様を、図 9.1 に CAC のブロック図を、表 9.2 に CAC の入出力端子を示します。

表 9.1 CAC の仕様

項目	内容
測定対象クロック	以下のクロックの周波数を測定可能 - メインクロック発振器 - サブクロック発振器 - HOCO クロック - MOCO クロック - LOCO クロック - 周辺モジュールクロック B (PCLKB) - IWDT 専用クロック
測定基準クロック	以下のクロックの周波数を測定基準とすることが可能 - CACREF 端子への外部クロック入力 - メインクロック発振器 - サブクロック発振器 - HOCO クロック - MOCO クロック - LOCO クロック - 周辺モジュールクロック B (PCLKB) - IWDT 専用クロック
選択機能	デジタルフィルタ機能
割り込み要因	- 測定終了割り込み - 周波数エラー割り込み - オーバーフロー割り込み
消費電力低減機能	モジュールストップ状態への設定が可能
TrustZone フィルタ	セキュリティ属性を設定できます。

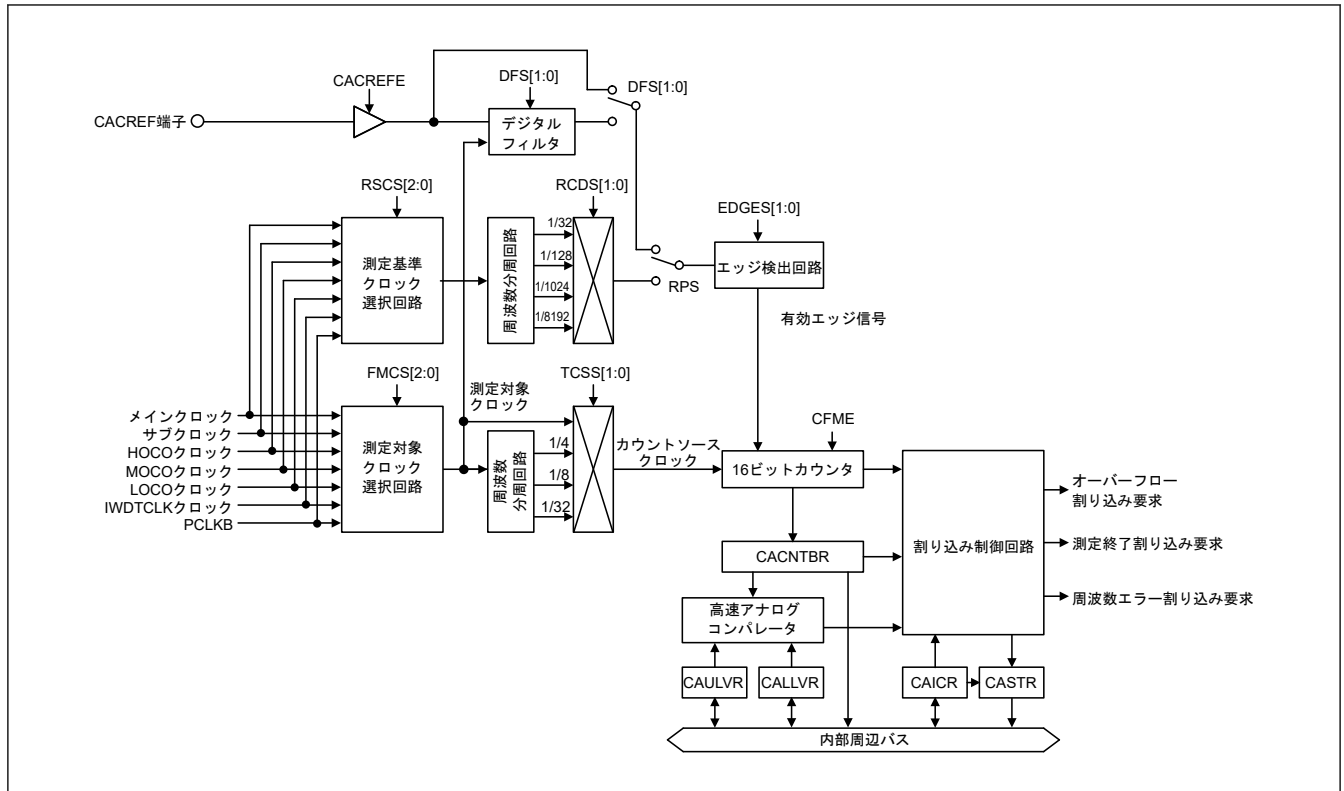


図 9.1 CAC のブロック図

表 9.2 CAC の入出力端子

機能	端子名	入出力	内容
CAC	CACREF	入力	測定基準クロックの入力端子

9.2 レジスタの説明

9.2.1 CACR0 : CAC コントロールレジスタ 0

Base address: CAC = 0x4008_3600

Offset address: 0x00

Bit position: 7 6 5 4 3 2 1 0

Bit field:	—	—	—	—	—	—	CFME

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	CFME	クロック周波数測定有効 0: クロック周波数測定無効 1: クロック周波数測定有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CFME ビット (クロック周波数測定有効)

CFME ビットはクロック周波数の測定機能が有効か無効かを設定します。このビットを書き換えても内部回路に反映されるまでは時間がかかります。書き換えが反映されたかはビットの読み出しで確認できます。

9.2.2 CACR1 : CAC コントロールレジスタ 1

Base address: CAC = 0x4008_3600

Offset address: 0x01

Bit position:	7	6	5	4	3	2	1	0
Bit field:	EDGES[1:0]		TCSS[1:0]		FMCS[2:0]		CACR EFE	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CACREFE	CACREF 端子入力有効 0: CACREF 端子入力無効 1: CACREF 端子入力有効	R/W
3:1	FMCS[2:0]	測定対象クロック選択 0 0 0: メインクロック発振器 0 0 1: サブクロック発振器 0 1 0: HOCO クロック 0 1 1: MOCO クロック 1 0 0: LOCO クロック 1 0 1: 周辺モジュールクロック B (PCLKB) 1 1 0: IWDTC 専用クロック 1 1 1: 設定禁止	R/W
5:4	TCSS[1:0]	タイマカウントクロックソース選択 0 0: 分周なしクロック 0 1: ×4 分周クロック 1 0: ×8 分周クロック 1 1: ×32 分周クロック	R/W
7:6	EDGES[1:0]	有効エッジ選択 0 0: 立ち上がりエッジ 0 1: 立ち下がりエッジ 1 0: 立ち上がり／立ち下がり両エッジ 1 1: 設定禁止	R/W

注: CACR1 レジスタは、CACR0.CFME ビットが0のときに設定してください。

CACREFE ビット (CACREF 端子入力有効)

CACREFE ビットは、CACREF 端子からの入力が有効か無効かを設定します。

FMCS[2:0] ビット (測定対象クロック選択)

FMCS[2:0] ビットは、周波数を測定する測定対象クロックを選択します。

TCSS[1:0] ビット (タイマカウントクロックソース選択)

TCSS[1:0] ビットは、測定対象クロックの分周比を選択します。

EDGES[1:0] ビット (有効エッジ選択)

EDGES[1:0] ビットは、測定基準クロックの有効エッジを選択します。

9.2.3 CACR2 : CAC コントロールレジスタ 2

Base address: CAC = 0x4008_3600

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DFS[1:0]		RCDS[1:0]		RSCS[2:0]		RPS	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RPS	基準信号選択 0: CACREF 端子入力 1: 内部クロック (内部生成信号)	R/W
3:1	RSCS[2:0]	測定基準クロック選択 000: メインクロック発振器 001: サブクロック発振器 010: HOCO クロック 011: MOCO クロック 100: LOCO クロック 101: 周辺モジュールクロック B (PCLKB) 110: IWDI 専用クロック 111: 設定禁止	R/W
5:4	RCDS[1:0]	測定基準クロック分周比選択 00: × 32 分周クロック 01: × 128 分周クロック 10: × 1024 分周クロック 11: × 8192 分周クロック	R/W
7:6	DFS[1:0]	デジタルフィルタ機能選択 00: デジタルフィルタ機能無効 01: 測定対象クロックでサンプリング 10: 測定対象クロックの 4 分周でサンプリング 11: 測定対象クロックの 16 分周でサンプリング	R/W

注. CACR2 レジスタは、CACR0.CFME ビットが 0 のときに設定してください。

RPS ビット (基準信号選択)

RPS ビットは、エッジ検出回路への入力として CACREF 端子入力か内部クロックから生成した内部生成信号のどちらを使用するか選択します。

RSCS[2:0] ビット (測定基準クロック選択)

RSCS[2:0] ビットは、測定基準クロックを選択します。

RCDS[1:0] ビット (測定基準クロック分周比選択)

RCDS[1:0] ビットは、測定基準クロックとして内部クロックが選択されている場合、測定基準クロックの分周比を選択します。RPS = 0 (CACREF 端子入力が測定基準クロックとして使用) の場合、測定基準クロックは分周されません。

DFS[1:0] ビット (デジタルフィルタ機能選択)

DFS[1:0] ビットは、デジタルフィルタのサンプリングクロックを選択します。

9.2.4 CAICR : CAC 割り込み要求許可レジスタ

Base address: CAC = 0x4008_3600

Offset address: 0x03

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	OVFF CL	MEND FCL	FERR FCL	—	OVFIE	MEND IE	FERRI E

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	FERRIE	周波数エラー割り込み要求許可 0: 周波数エラー割り込み要求禁止 1: 周波数エラー割り込み要求許可	R/W
1	MENDIE	測定終了割り込み要求許可 0: 測定終了割り込み要求禁止 1: 測定終了割り込み要求許可	R/W

ビット	シンボル	機能	R/W
2	OVFIE	オーバーフロー割り込み要求許可 0: オーバーフロー割り込み要求禁止 1: オーバーフロー割り込み要求許可	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	FERRFCL	FERRF フラグクリア 0: 影響なし 1: CASTR.FERRF フラグをクリアします。	W
5	MENDFCL	MENDF フラグクリア 0: 影響なし 1: CASTR.MENDF フラグをクリアします。	W
6	OVFFCL	OVFF フラグクリア 0: 影響なし 1: CASTR.OVFF フラグをクリアします。	W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

FERRIE ビット (周波数エラー割り込み要求許可)

FERRIE ビットは、周波数エラー割り込み要求の許可または禁止を設定します。

MENDIE ビット (測定終了割り込み要求許可)

MENDIE ビットは、測定終了割り込み要求の許可または禁止を設定します。

OVFIE ビット (オーバーフロー割り込み要求許可)

OVFIE ビットは、オーバーフロー割り込み要求の許可または禁止を設定します。

FERRFCL ビット (FERRF フラグクリア)

FERRFCL ビットは、1 を書くと CASTR.FERRF フラグをクリアします。

MENDFCL ビット (MENDF フラグクリア)

MENDFCL ビットは、1 を書くと CASTR.MENDF フラグをクリアします。

OVFFCL ビット (OVFF フラグクリア)

OVFFCL ビットは、1 を書くと CASTR.OVFF フラグをクリアします。

9.2.5 CASTR : CAC ステータスレジスタ

Base address: CAC = 0x4008_3600

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	OVFF	MEND F	FERR F

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	FERRF	周波数エラーフラグ 0: クロックの周波数が設定値内 1: クロックの周波数が設定値を外れた (周波数エラー)	R
1	MENDF	測定終了フラグ 0: 測定中 1: 測定が終了	R
2	OVFF	オーバーフローフラグ 0: カウンタがオーバーフローしていない 1: カウンタがオーバーフローしている	R
7:3	—	読むと 0 が読めます。	R

FERRF フラグ（周波数エラーフラグ）

FERRF フラグは測定クロックのカウント値が設定値を外れた（周波数エラー）ことを示します。

[1 になる条件]

- 測定クロックのカウント値が設定値を外れたとき

[0 になる条件]

- CAICR.FERRFCL ビットに 1 を書き込んだとき

MENDF フラグ（測定終了フラグ）

MENDF フラグは測定が終了したことを示します。

[1 になる条件]

- 測定終了したとき

[0 になる条件]

- CAICR.MENDFCL ビットに 1 を書き込んだとき

OVFF フラグ（オーバーフローフラグ）

OVFF フラグはカウンタがオーバーフローしたことを示します。

[1 になる条件]

- カウンタがオーバーフローしたとき

[0 になる条件]

- CAICR.OVFFCL ビットに 1 を書き込んだとき

9.2.6 CAULVR : CAC 上限値設定レジスタ

Base address: CAC = 0x4008_3600

Offset address: 0x06

Bit position: 15

0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
15:0	n/a	許容範囲の上限値 CAULVR レジスタは、周波数の測定に用いるカウンタの上限値を指定する 16 ビットの読み書き可能なレジスタです。このレジスタに指定された値を上回った場合、周波数の異常を検出します。CACR0.CFME ビットが 0 のときに設定してください。 デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により、CACNTBR レジスタに保持されるカウンタ値がずれることがありますので、余裕をもった値を設定してください。	R/W

9.2.7 CALLVR : CAC 下限値設定レジスタ

Base address: CAC = 0x4008_3600

Offset address: 0x08

Bit position: 15

0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
15:0	n/a	許容範囲の下限值 CALLVR レジスタは、周波数の測定に用いるカウンタの下限値を指定する 16 ビットの読み書き可能なレジスタです。このレジスタに指定された値を下回った場合、周波数の異常を検出します。CACR0.CFME ビットが 0 のときに設定してください。 デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により、CACNTBR レジスタに保持されるカウンタ値がずれることがありますので、余裕をもった値を設定してください。	R/W

9.2.8 CACNTBR : CAC カウンタバッファレジスタ

Base address: CAC = 0x4008_3600

Offset address: 0x0A

Bit position: 15

0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
15:0	n/a	測定結果 CACNTBR レジスタは測定基準クロックの有効エッジが入力されたときのカウンタ値を保持する 16 ビットの読み出し専用レジスタです。	R

9.3 動作説明

9.3.1 クロック周波数測定

CAC は、CACREF 端子入力または内部クロックを基準にクロック周波数を測定します。図 9.2 に CAC の動作例を示します。CAC は、クロック周波数測定時、以下のように動作します。

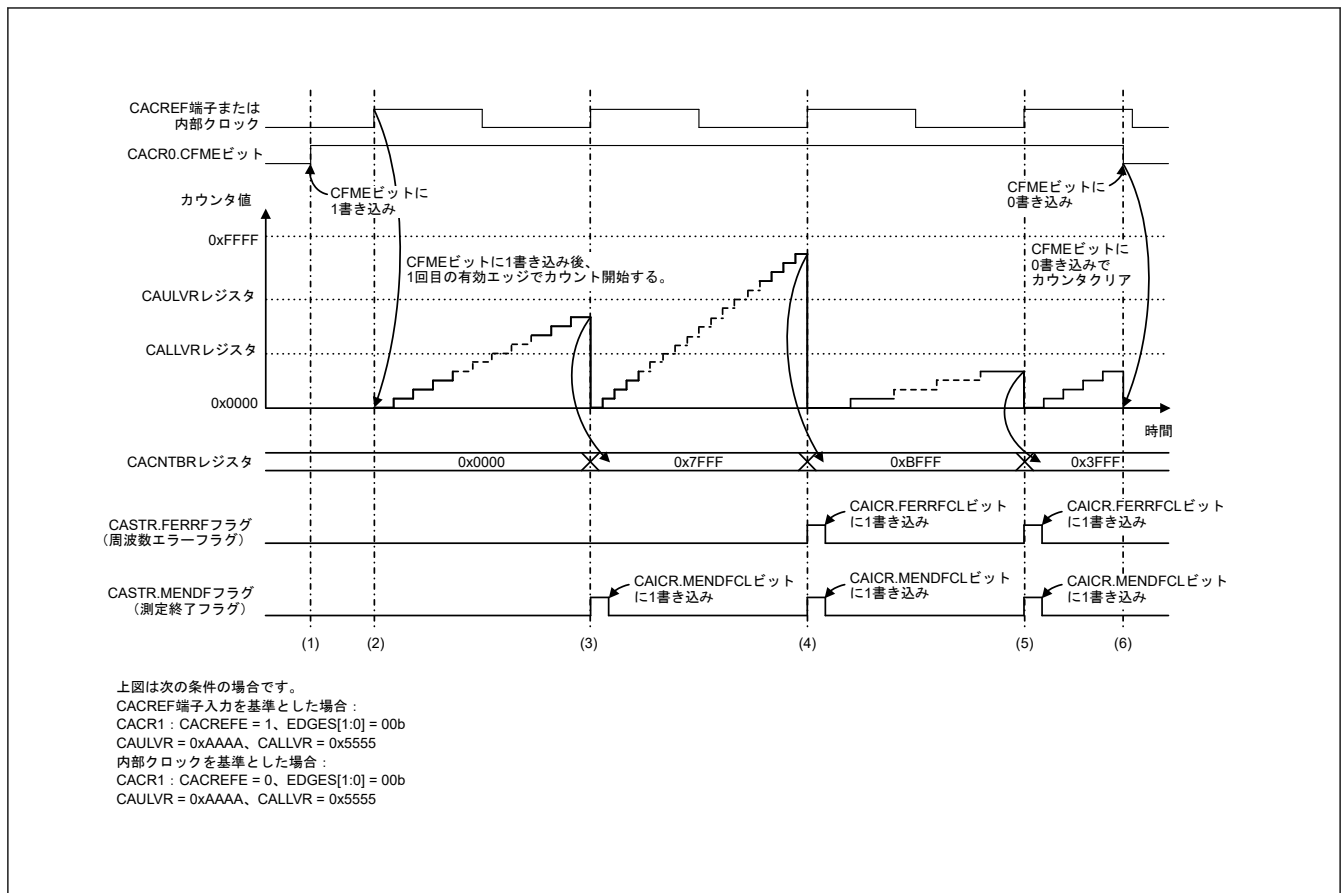


図 9.2 CAC の動作例

図 9.2 におけるイベントは以下の通りです。

1. CACREF 端子入力を基準とした場合 (CACR1.CACREFE = 1) は、CACR2.RPS ビットを 0、CACR1.CACREFE ビットを 1 に設定した状態で、CACR0.CFME ビットに 1 を書き込むとクロック周波数測定が有効になります。一方、内部クロックを基準とした場合 (CACR1.CACREFE = 0) は、CACR2.RPS ビットを 1 に設定した状態で、CACR0.CFME ビットに 1 を書き込むとクロック周波数測定が有効になります。
2. CACREF 端子入力を基準とした場合は、CFME ビットに 1 を書き込み後、CACREF 端子から CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 9.2 では立ち上がりエッジ (CACR1.EDGES[1:0] = 00b)) が入力されるとタイマのカウントアップが開始します。内部クロックを基準とした場合は、CFME ビットに 1 を書き込み後、CACR2.RSCS[2:0] ビットで選択したクロックソースを元に CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 9.2 では立ち上がりエッジ (CACR1.EDGES[1:0] = 00b)) が入力されるとタイマのカウントアップが開始します。
3. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACNTBR レジスタの値 $\leq$ CAULVR レジスタの値かつ CACNTBR レジスタの値 $\geq$ CALLVR レジスタの値のときはクロック周波数が正常なので CASTR.MENDF フラグだけが 1 にセットされます。また、CAICR.MENDIE ビットを 1 に設定している場合は、測定終了割り込みが発生します。
4. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACNTBR レジスタの値 $>$ CAULVR レジスタの値のときはクロック周波数が異常なので CASTR.FERRF フラグが 1 にセットされます。また、CAICR.FERRIE ビットを 1 に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも 1 にセットされます。また、CAICR.MENDIE ビットを 1 に設定している場合は、測定終了割り込みが発生します。
5. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACNTBR レジスタの値 $<$ CALLVR レジスタの値のときはクロック周波数が異常なので CASTR.FERRF フラグが 1 にセットされます。また、CAICR.FERRIE ビットを 1 に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも 1 にセットされます。また、CAICR.MENDIE ビットを 1 に設定している場合は、測定終了割り込みが発生します。

6. CACR0.CFME ビットが 1 の間は、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACR0.CFME ビットに 0 を書き込むと、カウンタをクリアしカウントアップが停止します。

9.3.2 CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期に応じてサンプリングした端子のレベルが 3 回連続で一致した場合、内部に一致したレベルを伝達し、再度サンプリングした端子のレベルが 3 回連続で一致するまで内部へは同じレベルを伝達し続けます。デジタルフィルタ機能はデジタルフィルタ機能の有効/無効とサンプリングクロックが設定できます。

デジタルフィルタと CACREF 端子入力信号の位相差により CACNTBR レジスタに転送されるカウンタ値は、最大サンプリングクロック 1 周期分の誤差があります。カウントソースクロックに分周クロックを選択している場合は、以下の計算式でカウント値誤差を表すことができます。

カウント値誤差 = (カウントソースクロック1周期) / (サンプリングクロック1周期)

9.4 割り込み要求

CAC が要求する割り込み要因には次の 3 種類があります。

- 周波数エラー割り込み
- 測定終了割り込み
- オーバーフロー割り込み

各割り込み要因が発生すると各ステータスフラグが 1 にセットされます。表 9.3 に CAC 割り込み要求を示します。

表 9.3 CAC 割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタ値を CAULVR レジスタ値および CALLVR レジスタ値と比較をした結果が、CACNTBR レジスタ値 > CAULVR レジスタ値または CACNTBR レジスタ値 < CALLVR レジスタ値のとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	● 測定基準クロックの有効エッジが入力されたとき ● ただし、CACR0.CFME ビットを 1 に書き込み後、1 回目の有効エッジでは測定終了割り込みは発生しない。
オーバーフロー割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバーフローしたとき

9.5 使用上の注意事項

9.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、CAC の動作禁止/許可を設定することが可能です。リセット後の値では、CAC は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

10. 低消費電力モード

10.1 概要

本 MCU には、クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな消費電力低減機能があります。

表 10.1 に低消費電力モード機能の仕様を示します。表 10.2 に低消費電力モードへの遷移条件、CPU と周辺モジュールの状態、および各モードの解除方法を示します。リセット後、MCU はプログラム実行状態に遷移しますが、DTC、DMAC、および SRAM のみが動作しています。

表 10.1 低消費電力モード機能の仕様

項目	内容
クロック信号の切り替えによる消費電力の低減	システムクロック (ICLK)、周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD)、およびフラッシュインタフェースクロック (FCLK) に対して、個別に分周比を選択可能 ^(注1)
モジュールストップ	各周辺モジュールに対して、個別に機能停止が可能
低消費電力モード	- スリープモード - ソフトウェアスタンバイモード - スヌーズモード
電力制御モード	- 動作周波数に応じて適切な動作電力制御モードを選択することにより、通常動作時、スリープモード時、およびスヌーズモード時の消費電力を削減可能 - 以下の動作電力制御モードが利用可能 - High-speed モード - Middle-speed モード - Low-speed モード - Subosc-speed モード
TrustZone フィルタ	各レジスタに対してセキュリティ属性の設定が可能

注 1. 詳細は「8. クロック発生回路」を参照してください。

表 10.2 各低消費電力モードの動作状態 (1/2)

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード
遷移条件	SBYCR.SSBY = 0 で [条件 1] または [条件 2] の場合 [条件 1] - WFI 命令 - 有効な割り込み要求^(注1)が CPU で受け付けられない。 (WFI 命令が実行されたときからスリープモードへの遷移が完了するまでの遷移を含む) [条件 2] - SCR.SLEEPONEXIT = 1 - すべての例外ハンドラの実行が完了 - 有効な割り込み要求^(注1)が CPU で受け付けられない。 (WFI 命令が実行されたときからスリープモードへの遷移が完了するまでの遷移を含む)	SBYCR.SSBY = 1 で [条件 1] または [条件 2] の場合 [条件 1] - WFI 命令 - 有効な割り込み要求^(注1)が CPU で受け付けられない。 (WFI 命令が実行されたときからソフトウェアスタンバイモードへの遷移が完了するまでの遷移を含む) [条件 2] - SCR.SLEEPONEXIT = 1 - すべての例外ハンドラの実行が完了 - 有効な割り込み要求^(注1)が CPU で受け付けられない。 (WFI 命令が実行されたときからソフトウェアスタンバイモードへの遷移が完了するまでの遷移を含む)	ソフトウェアスタンバイモードにおけるスヌーズ要求トリガ SNZCR.SNZE = 1
解除方法	すべての割り込み。 このモードで利用可能なすべてのリセット	表 10.3 に示す割り込み。 このモードで利用可能なすべてのリセット	表 10.3 に示す割り込み。 このモードで利用可能なすべてのリセット
割り込みによる解除後の状態	プログラム実行状態	プログラム実行状態	プログラム実行状態
リセットによる解除後の状態	リセット状態	リセット状態	リセット状態
メインクロック発振器	選択可能	停止	選択可能 ^(注6)
サブクロック発振器	選択可能	選択可能	選択可能
高速オンチップオシレータ	選択可能	停止	選択可能
中速オンチップオシレータ	選択可能	停止	選択可能
低速オンチップオシレータ	選択可能	選択可能	選択可能
IWDT 専用オンチップオシレータ	選択可能 ^(注2)	選択可能 ^(注2)	選択可能 ^(注2)

表 10.2 各低消費電力モードの動作状態 (2/2)

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード
PLL	選択可能	停止	選択可能 ^(注6)
PLL_RTC	動作禁止	動作禁止	動作禁止
発振停止検出機能	選択可能	動作禁止	動作禁止
サブ発振停止検出機能	選択可能	選択可能	選択可能
クロック／ブザー出力機能	選択可能	選択可能 ^(注3)	選択可能
CPU	停止（保持）	停止（保持）	停止（保持）
SRAMn (n = 0)	選択可能	停止（保持） ^(注11)	選択可能
フラッシュメモリ	動作	停止（保持）	停止（保持）
DMA コントローラ (DMAC)	選択可能	停止（保持）	動作禁止
データ転送ファクトローラ (DTC)	選択可能	停止（保持）	選択可能
ウォッチドッグタイマ (WDT)	選択可能 ^(注2)	停止（保持）	停止（保持）
独立ウォッチドッグタイマ (IWDT)	選択可能 ^(注2)	選択可能 ^(注2)	選択可能 ^(注2)
リアルタイムクロック (RTC)	選択可能	選択可能	選択可能
低消費電力非同期汎用タイマ (AGTn (n = 0, 1))	選択可能	選択可能 ^(注4)	選択可能 ^(注4)
12 ビット A/D コンバータ (ADC12)	選択可能	停止（保持）	選択可能 ^(注9)
データ演算回路 (DOC)	選択可能	停止（保持）	選択可能
シリアルコミュニケーションインタフェース (SCI0)	選択可能	停止（保持）	選択可能 (スヌーズモードに遷移するのに RXD0 立ち下がりエッジが利用可能) (調歩同期式モード時のみ) (注7)
シリアルコミュニケーションインタフェース (SCIn (n = 1, 3~5, 9))	選択可能	停止（保持）	動作禁止
シリアルインタフェース UARTA (UARTAn (n = 0, 1))	選択可能	選択可能 ^(注12)	選択可能 ^(注12)
I2C バスインタフェース (IIC0)	選択可能	選択可能 ^(注5)	選択可能 ^(注5) ウェイクアップ割り込みのみが利用可能
I2C バスインタフェース (IIC1)	選択可能	停止（保持）	動作禁止
イベントリンクコントローラ (ELC)	選択可能	停止（保持）	選択可能 ^(注8)
セグメント LCD コントローラ／ドライバ (SLCDC)	選択可能	選択可能 ^(注10)	選択可能
IRQn (n = 0~15) 端子割り込み	選択可能	選択可能	選択可能
NMI 端子割り込み	選択可能	選択可能	選択可能
低電圧検出 (LVD)	選択可能	選択可能	選択可能
パワーオンリセット回路	動作	動作	動作
その他の周辺モジュール	選択可能	停止（保持）	動作禁止
I/O ポート	動作	保持	動作

注. 「選択可能」とは、動作または停止がコントロールレジスタによって選択できることを意味します。
「停止（保持）」とは、内部レジスタの内容は保持されるが、動作は中断されることを意味します。
「動作禁止」とは、ソフトウェアスタンバイモードへ遷移する前に、その機能を停止させる必要があることを意味します。
モジュールストップビットが 0 に設定されているモジュールはすべて、スヌーズモード遷移後に PCLK が供給されると、ただちに起動します。スヌーズモード時に消費電力の増大を防ぐには、ソフトウェアスタンバイモードへ遷移する前に、スヌーズモードで不要なモジュールのストップビットを 1 にしてください。

- 注 1. 有効な割り込み要求は、現在の例外処理の優先順位レベルと BASEPRI により設定される優先順位レベルによってマスクされないいずれかの割り込み／例外処理です。また、割り込み要求が IELSRn に基づくものである場合、その割り込みは NVIC_ISERn で許可される必要があります。
- 注 2. IWDTC 専用オンチップオシレータおよび IWDTC の場合、IWDTC オートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の IWDTC 停止制御ビット (IWDTCSTPCTL) の設定により、動作または停止が選択されます。WDT の場合、WDT オートスタートモード時、オプション機能選択レジスタ 0 の WDT 停止制御ビット (OFS0.1WDTSTPCTL) の設定により、動作または停止が選択されます。動作周波数に応じて適切な動作電力制御モードを選択することにより、通常動作時およびスリープモード時の消費電力を削減することができます。
- 注 3. クロックアウトプットソース選択ビット (CKOCR.CKOSEL[2:0]) が 010b (LOCO) および 100b (SOSC) 以外の値に設定されている場合は停止します。
- 注 4. AGT0.AGTMR1.TCK[2:0] ビットで 100b (AGTLCLK) または 110b (AGTSCCLK) が選択されている場合、AGT0 は動作可能です。AGT1.AGTMR1.TCK[2:0] ビットで 100b (AGTLCLK)、110b (AGTSCCLK)、または 101b (AGT0 からのアンダーフローイベント信号) が選択されている場合、AGT1 は動作可能です。
- 注 5. IIC0 ウェイクアップ割り込みが利用可能です。
- 注 6. スヌーズモードで SCI0 を使用する場合、MOSCCR.MOSTP ビットと PLLCR.PLLSTP ビットは 1 でなければなりません。
- 注 7. SCI0 のシリアル通信モードは、調歩同期式モードに限定されます。
- 注 8. イベントは、「10.9.12. スヌーズモードにおける ELC イベント」に記載のものに限定されます。
- 注 9. スヌーズモードで 12 ビット A/D コンバータを使用する場合、ADCMPCR.CMPAE ビットおよび ADCMPCR.CMPBE ビットは 1 でなければなりません。
- 注 10. SLCDSCKCR.LCDSCKSEL[2:0] ビットで 000b (LOCO) または 001b (SOSC) が選択されている場合、動作可能です。
- 注 11. ソフトウェアスタンバイモード時に一部の SRAM 領域を保持するかどうかは、PSMCR レジスタで選択できます。詳細は、「10.2.13. PSMCR: パワーセーブメモリコントロールレジスタ」を参照してください。
- 注 12. UARTA.UTANCK.CK[3:0] ビットで 1000b (UARTALCLK) または 1001b (UARTASCLK) が選択されている場合、UARTAn は動作可能です。

表 10.3 スヌーズモードおよびソフトウェアスタンバイモードを解除するための割り込み要因 (1/2)

割り込み要因	名称	ソフトウェアスタンバイモード	スヌーズモード
NMI		可能	可能
ポート	PORT_IRQn (n = 0~15)	可能	可能
LVD	LVD_LVD1	可能	可能
	LVD_LVD2	可能	可能
	LVD_EXLVDVBAT	可能	可能
	LVD_VRTC	可能	可能
	LVD_EXLVD	可能	可能
IWDTC	IWDTC_NMIUNDF	可能	可能
RTC	RTC_ALM	可能	可能
	RTC_PRD	可能	可能
UARTA	UARTA0_INTUR	可能	可能
	UARTA0_INTURE	可能	可能
	UARTA1_INTUR	可能	可能
	UARTA1_INTURE	可能	可能
SOSTD	SOSC_STOP	可能	可能
AGT1	AGT1_AGTI	可能	可能(注3)
	AGT1_AGTCMAI	可能	可能
	AGT1_AGTCMBI	可能	可能
IIC0	IIC0_WUI	可能	可能
ADC12n (n = 0)	ADC12n_WCMPPM	不可能	SELSR0 で可能(注1) (注3)
	ADC12n_WCMPUM	不可能	SELSR0 で可能(注1) (注3)
SCI0	SCI0_AM	不可能	SELSR0 で可能(注1) (注2)
	SCI0_RXI_OR_ERI	不可能	SELSR0 で可能(注1) (注2)
DTC	DTC_COMPLETE	不可能	SELSR0 で可能(注1) (注3)
DOC	DOC_DOPCI	不可能	SELSR0 で可能 (注1)

表 10.3 スヌーズモードおよびソフトウェアスタンバイモードを解除するための割り込み要因 (2/2)

割り込み要因	名称	ソフトウェアスタンバイモード	スヌーズモード
DMAC/DTC	DMA_TRANSERR	不可能	可能
ICU	ICU_SNZCANCEL	不可能	可能

- 注 1. 割り込み要求をスヌーズモードからの復帰トリガとして使用するには、この割り込み要求を SELSR0 で選択する必要があります。SELSR0 の設定については、「12. 割り込みコントローラユニット (ICU)」を参照してください。SELSR0 で選択したトリガが、WFI 命令の実行後、通常モードからソフトウェアスタンバイモードへの遷移途中に発生した場合は、その要求が受け付けられる可能性はトリガ発生のタイミングに依存します。
- 注 2. SC10_AM または SC10_RXI_OR_ERI のいずれか一方のみ設定可能です。
- 注 3. SNZEDCR0 レジスタで許可されたイベントを使用してはいけません。

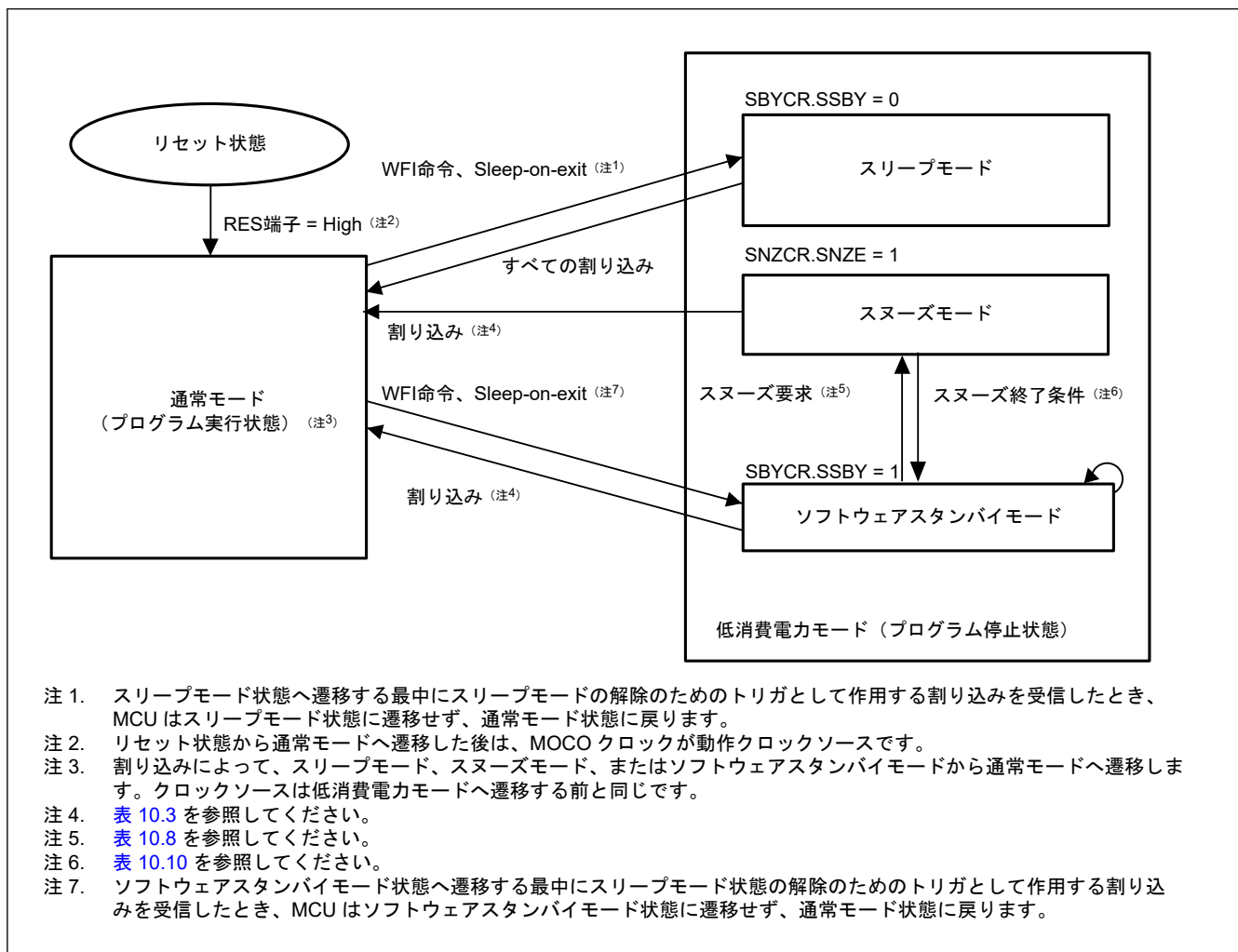


図 10.1 モード遷移

10.2 レジスタの説明

10.2.1 LPMSAR : 低消費電力モードセキュリティ属性レジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x3C8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	NONS EC4	—	NONS EC2	—	NONS EC0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	NONSEC0 ^(注1)	非セキュア属性ビット 0 対象レジスタ : OPCCR、SOPCCR、LDOCR 0: セキュア 1: 非セキュア	R/W
1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
2	NONSEC2	非セキュア属性ビット 2 対象レジスタ : SBYCR、PSMCR、SRMPSCR 0: セキュア 1: 非セキュア	R/W
3	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
4	NONSEC4	非セキュア属性ビット 4 対象レジスタ : SNZCR、SNZEDCR0、SNZREQCR0 0: セキュア 1: 非セキュア	R/W
31:5	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

注 1. デバイスライフサイクルが NSECSD (DLMMON.DLMMON[3:0] = 0011b) である場合、これらのビットを非セキュアに設定することを推奨します。詳細は、「[42.8.1. セキュリティ属性の設定に関する制限](#)」を参照してください。

LPMSAR レジスタは、低消費電力モードレジスタのセキュリティ属性を制御します。

NONSEC0 ビット (非セキュア属性ビット 0)

このビットは OPCCR レジスタ、SOPCCR レジスタ、LDOCR レジスタのセキュリティ属性を制御します。

NONSEC2 ビット (非セキュア属性ビット 2)

このビットは SBYCR、PSMCR、および SRMPSCR のセキュリティ属性を制御します。

NONSEC4 ビット (非セキュア属性ビット 4)

このビットは SNZCR、SNZEDCR0、および SNZREQCR0 のセキュリティ属性を制御します。

10.2.2 SBYCR : スタンバイコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x00C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SSBY	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
14:0	—	読むとリセット値が読めます。書く場合、リセット値を書いてください。	R/W
15	SSBY	ソフトウェアスタンバイモード選択 0: スリープモード 1: ソフトウェアスタンバイモード	R/W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SSBY ビット（ソフトウェアスタンバイモード選択）

SSBY ビットは、WFI 命令実行後の遷移先を設定します。

SSBY ビットが 1 の状態で WFI 命令を実行すると、ソフトウェアスタンバイモードへ遷移します。割り込みによってソフトウェアスタンバイモードから通常モードへ復帰したときは、SSBY ビットは 1 のままです。0 を書き込むことにより、SSBY ビットをクリアできます。

OSTDCR.OSTDE ビットが 1 の場合、SSBY ビットの設定値は無視されます。SSBY ビットが 1 であっても、WFI 命令を実行すると MCU はスリープモードへ遷移します。

FENTRYR.FENTRYC ビットまたは FENTRYR.FENTRYD ビットが 1 の場合、SSBY ビットの設定値は無視されます。SSBY ビットが 1 であっても、WFI 命令を実行すると MCU はスリープモードへ遷移します。

10.2.3 MSTPCRA : モジュールストップコントロールレジスタ A

Base address: MSTP = 0x4008_4000

Offset address: 0x000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	MSTP A22	—	—	—	—	—	MSTP A16
Value after reset:	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSTP A0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0

ビット	シンボル	機能	R/W
0	MSTPA0	SRAM0 のモジュールストップ 対象モジュール : SRAM0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
15:1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

ビット	シンボル	機能	R/W
16	MSTPA16	サブ発振停止検出モジュールストップ設定 対象モジュール：SOSTD 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
21:17	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
22	MSTPA22	DMA コントローラ/データトランスファコントローラモジュールストップ設定(注1) 対象モジュール：DTC、DMAC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31:23	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. MSTPA22 ビットを 0 から 1 に書き換える場合、DMAC および DTC を無効にしてから MSTPA22 ビットを設定してください。

10.2.4 MSTPCRB : モジュールストップコントロールレジスタ B

Base address: MSTP = 0x4008_4000

Offset address: 0x004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MSTP B31	MSTP B30	—	MSTP B28	MSTP B27	MSTP B26	—	—	—	MSTP B22	—	—	MSTP B19	MSTP B18	MSTP B17	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MSTP B9	MSTP B8	—	MSTP B6	MSTP B5	—	—	—	—	MSTP B0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	MSTPB0	シリアルインタフェース UARTA モジュールストップ設定 対象モジュール: UARTA 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
4:1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
5	MSTPB5	IrDA インタフェースモジュールストップ設定 対象モジュール: IrDA 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
6	MSTPB6	クワッドシリアルペリフェラルインタフェースモジュールストップ設定 対象モジュール: QSPI 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
7	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
8	MSTPB8	I ² C バスインタフェース 1 モジュールストップ設定 対象モジュール: IIC1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
9	MSTPB9	I ² C バスインタフェース 0 モジュールストップ設定 対象モジュール: IIC0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
16:10	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

ビット	シンボル	機能	R/W
17	MSTPB17	シリアルペリフェラルインタフェース 2 モジュールストップ設定 対象モジュール: SPI2 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
18	MSTPB18	シリアルペリフェラルインタフェース 1 モジュールストップ設定 対象モジュール: SPI1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
19	MSTPB19	シリアルペリフェラルインタフェース 0 モジュールストップ設定 対象モジュール: SPI0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
21:20	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
22	MSTPB22	シリアルコミュニケーションインタフェース 9 モジュールストップ設定 対象モジュール: SCI9 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
25:23	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
26	MSTPB26	シリアルコミュニケーションインタフェース 5 モジュールストップ設定 対象モジュール: SCI5 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
27	MSTPB27	シリアルコミュニケーションインタフェース 4 モジュールストップ設定 対象モジュール: SCI4 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
28	MSTPB28	シリアルコミュニケーションインタフェース 3 モジュールストップ設定 対象モジュール: SCI3 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
29	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
30	MSTPB30	シリアルコミュニケーションインタフェース 1 モジュールストップ設定 対象モジュール: SCI1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31	MSTPB31	シリアルコミュニケーションインタフェース 0 モジュールストップ設定 対象モジュール: SCI0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

10.2.5 MSTPCRC: モジュールストップコントロールレジスタ C

Base address: MSTP = 0x4008_4000

Offset address: 0x008

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MSTP C31	—	—	—	MSTP C27	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	MSTP C14	MSTP C13	—	—	—	—	—	—	—	—	MSTP C4	—	—	MSTP C1	MSTP C0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	MSTPC0	クロック周波数精度測定回路モジュールストップ設定 ^(注1) 対象モジュール: CAC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
1	MSTPC1	巡回冗長検査演算器モジュールストップ設定 対象モジュール: CRC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
3:2	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
4	MSTPC4	セグメント LCD コントローラモジュールストップ設定 ^(注2) 対象モジュール: SLCD 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
12:5	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
13	MSTPC13	データ演算回路モジュールストップ設定 対象モジュール: DOC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
14	MSTPC14	イベントリンクコントローラモジュールストップ設定 対象モジュール: ELC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
26:15	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
27	MSTPC27	Controller Area Network with Flexible Data-Rate モジュールストップ設定 ^(注3) 対象モジュール: CANFD 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
30:28	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
31	MSTPC31	RSIP-E31A のモジュールストップ設定 対象モジュール: RSIP-E31A 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. MSTPC0 ビットは、CAC クロック (CACMCLK/CACSCLK/CACLCLK/CACMOCLK/CACHCLK/CACILCLK) が安定してから書き込む必要があります。ソフトウェアスタンバイモードに遷移するには、MSTPC0 が変化した後 CACMCLK/CACSCLK/CACLCLK/CACMOCLK/CACHCLK/CACILCLK クロックが 2 サイクル以上経過してから WFI 命令を実行する必要があります。

注 2. MSTPC4 ビットは、セグメント LCD クロック (LCDSRCCLK) が安定してから書き込む必要があります。ソフトウェアスタンバイモードに遷移するには、MSTPC4 が変化した後 LCDSRCCLK クロックが 2 サイクル以上経過してから WFI 命令を実行する必要があります。

注 3. MSTPC27 ビットは、CANFD クロック (CANFDCLK) が安定してから書き込む必要があります。ソフトウェアスタンバイモードに遷移するには、MSTPC27 が変化した後、CANFDCLK クロックが 2 サイクル以上経過してから WFI 命令を実行する必要があります。

10.2.6 MSTPCRD : モジュールストップコントロールレジスタ D

Base address: MSTP = 0x4008_4000

Offset address: 0x00C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSTP D16
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	MSTP D14	MSTP D13	MSTP D12	MSTP D11	—	—	—	—	—	—	—	MSTP D3	MSTP D2	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
1:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
2	MSTPD2	低消費電力非同期汎用タイマ 1 モジュールストップ設定(注1) 対象モジュール: AGT1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
3	MSTPD3	低消費電力非同期汎用タイマ 0 モジュールストップ設定(注2) 対象モジュール: AGT0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
10:4	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
11	MSTPD11	GPT 用ポートアウトプットイネーブルグループ D モジュールストップ設定 対象モジュール: POEGGD 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
12	MSTPD12	GPT 用ポートアウトプットイネーブルグループ C モジュールストップ設定 対象モジュール: POEGGC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
13	MSTPD13	GPT 用ポートアウトプットイネーブルグループ B モジュールストップ設定 対象モジュール: POEGGB 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
14	MSTPD14	GPT 用ポートアウトプットイネーブルグループ A モジュールストップ設定 対象モジュール: POEGGA 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
15	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
16	MSTPD16	12 ビット A/D コンバータ 0 モジュールストップ設定 対象モジュール: ADC120 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31:17	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
 ● セキュアアクセスと非セキュアリードアクセスが許可されています。
 ● 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
 ● セキュアアクセスと非セキュアアクセスが許可されています。

注 1. カウントソースがサブクロック発振器または LOCO の場合、MSTPD2 ビットを 1 にしても、AGT1 のカウントは停止しません。カウントソースがサブクロック発振器または LOCO の場合、AGT1 レジスタにアクセスするときを除いて、本ビットを 1 にする必要があります。

注 2. カウントソースがサブクロック発振器または LOCO の場合、MSTPD3 ビットを 1 にしても、AGT0 のカウントは停止しません。カウントソースがサブクロック発振器または LOCO の場合、AGT0 レジスタにアクセスするときを除いて、本ビットを 1 にする必要があります。

10.2.7 MSTPCRE : モジュールストップコントロールレジスタ E

Base address: MSTP = 0x4008_4000

Offset address: 0x010

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MSTP E31	MSTP E30	MSTP E29	MSTP E28	MSTP E27	MSTP E26	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
25:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
26	MSTPE26	GPT5 のモジュールストップ 対象モジュール: GPT5 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
27	MSTPE27	GPT4 のモジュールストップ 対象モジュール: GPT4 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
28	MSTPE28	GPT3 のモジュールストップ 対象モジュール: GPT3 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
29	MSTPE29	GPT2 のモジュールストップ 対象モジュール: GPT2 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
30	MSTPE30	GPT1 のモジュールストップ 対象モジュール: GPT1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31	MSTPE31	GPT0 のモジュールストップ 対象モジュール: GPT0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

10.2.8 OPCCR : 動作電力コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0A0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	OPCM TSF	—	—	OPCM[1:0]	
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
1:0	OPCM[1:0]	動作電力制御モード選択 0 0: High-speed モード 0 1: Middle-speed モード 1 0: 設定禁止 1 1: Low-speed モード	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	OPCMTSF	動作電力制御モード遷移状態フラグ 0: 遷移完了 1: 遷移中	R
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

OPCCR レジスタは、低い動作周波数を指定することによって、通常モードとスリープモード時の消費電力を低減させるためのレジスタです。

OPCM[1:0]ビット（動作電力制御モード選択）

OPCM[1:0]ビットは、通常モード、スリープモード、およびスヌーズモード時の動作電力制御モードを選択します。表 10.4 は、各動作電力制御モードと、OPCM[1:0]ビットおよび SOPCM ビットの設定値との関係を示しています。

MCU が以下の条件下にあるとき、OPCCR.OPCM[1:0]に書き込むことは禁止されています。

- MCU がスリープモードまたはスヌーズモードのとき、MCU がスリープモードまたはスヌーズモードから通常モードへ遷移中のとき、MCU が通常モードからスリープモード、スヌーズモード、またはソフトウェアスタンバイモードに遷移中のとき、MCU が動作電力制御モード遷移中のとき
- フラッシュがプログラミングモードのとき
- MCU が Subosc-speed モード（SOPCCR.SOPCM ビットが 1）のとき
- データフラッシュが禁止（DFLCTL.DFLEN ビットが 0）のとき
- HOCOCR.HCSTP ビットおよび OSCSF.HOCOSF ビットが 0（HOCO は安定待機時間カウント中）のとき

PLLCCR.PLLSTP ビットが 0（PLL が動作中）のとき、OPCCR.OPCM[1:0]ビットを 11b（Low-speed モード）に設定することは禁止されています。

OPCMTSF フラグ（動作電力制御モード遷移状態フラグ）

OPCMTSF フラグは、動作電力制御モード切り替え時の切り替え制御状態を表します。本フラグは、OPCM ビットが書き換えられると 1、モード遷移が完了すると 0 になります。本フラグを読み取って 0 であることを確認してから次の処理を行ってください。

10.2.9 SOPCCR : サブ動作電力コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0AA

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	SOPC MTSF	—	—	—	SOPC M
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SOPCM	サブ動作電力制御モード選択 0: Subosc-speed モード以外 1: Subosc-speed モード	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SOPCMTSF	動作電力制御モード遷移状態フラグ リード時 0: 遷移完了 1: 遷移中	R
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SOPCCR レジスタは、通常モード、スリープモード、およびスヌーズモード時に消費電力を低減させるために使用します。このレジスタを設定することによって、Subosc-speed モードへの遷移、およびこのモードからの復帰を行います。Subosc-speed モードは、サブクロック発振器または分周なしの LOCO を使用した場合に限り利用可能です。

動作電力制御モードの変更手順については、「[10.5. 動作電力低減機能](#)」を参照してください。

Subosc-speed モードを使用するには、PSMC レジスタと SRMPSCR レジスタを設定する必要があります。詳細は、「[10.2.13. PSMCR: パワーセーブメモリコントロールレジスタ](#)」と「[10.2.14. SRMPSCR: SRAM 電力状態コントロールレジスタ](#)」を参照してください。

SOPCM ビット（サブ動作電力制御モード選択）

SOPCM ビットは、通常モード、スリープモード、およびスヌーズモード時の動作電力制御モードを選択します。このビットを 1 にすることで、Subosc-speed モードへ遷移できます。また、本ビットを 0 にすることで、Subosc-speed モード遷移前の動作モード（OPCCR.OPCM[1:0]で設定された動作モード）へ復帰できます。

表 10.4 は、各動作電力制御モードと、OPCM[1:0]ビットおよび SOPCM ビットの設定値との関係を示しています。

MCU が以下の条件下にあるとき、SOPCCR.SOPCM に書き込むことは禁止されています。

- MCU がスリープモードまたはスヌーズモードであるとき、MCU がスリープモード、スヌーズモード、またはソフトウェアスタンバイモードから通常モードに遷移しているとき、MCU が通常モードからスリープモード、スヌーズモード、またはソフトウェアスタンバイモードに遷移しているとき、あるいは動作電力モード時の MCU が遷移状態にあるとき
- フラッシュがプログラミングモードのとき
- MOSC が動作中のとき（MOSCCR.MOSTP ビットが 0）、HOCO が動作中のとき（HOCOCR.HCSTP ビットが 0）、または MOCO が動作中のとき（MOCOCR.MCSTP ビットが 0）
- PLL が動作中のとき（PLLCCR.PLLSTP ビットが 0）
- PLL_RTC 動作中のとき（PLLRTCCR.PLLRTCSTP ビットが 0）
- SCKDIVCR.ICK[2:0]レジスタの値が 000b でないとき
- データフラッシュが禁止のとき（DFLCTL.DFLEN ビットが 0）

SOPCMTSF フラグ（動作電力制御モード遷移状態フラグ リード時）

SOPCMTSF フラグは、動作電力制御モードを Subosc-speed モードへまたは Subosc-speed モードから切り替えたときの切り替え制御状態を示します。本フラグは、SOPCM ビットが書き換えられると 1、モード遷移が完了すると 0 になります。本フラグを読み取って 0 であることを確認してから次の処理を行ってください。

表 10.4 は、各動作電力制御モードを示しています。

表 10.4 動作電力制御モード

動作電力制御モード	OPCM[1:0]ビット	SOPCM ビット	消費電力
High-speed モード	00b	0	High
Middle-speed モード	01b	0	↓
Low-speed モード	11b	0	↓
Subosc-speed モード	xxb	1	Low

10.2.10 SNZCR : スヌーズコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x092

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SNZE	—	—	—	—	—	SNZD TCEN	RXDR EQEN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RXDREQEN	RXD0 スヌーズ要求許可 0: ソフトウェアスタンバイモード時に RXD0 の立ち下がリエッジを無視 1: ソフトウェアスタンバイモード時に RXD0 の立ち下がリエッジを検出	R/W
1	SNZDTCEN	スヌーズモード時の DTC 許可 0: DTC 動作を禁止 1: DTC 動作を許可	R/W
6:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	SNZE	スヌーズモード許可 0: スヌーズモードを禁止 1: スヌーズモードを許可	R/W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

RXDREQEN ビット（RXD0 スヌーズ要求許可）

RXDREQEN ビットはソフトウェアスタンバイモード時に RXD0 端子の立ち下がリエッジを検出するか否かを指定します。このビットは SCIO が調歩同期式モードで動作しているときのみ使用可能です。RXD0 端子の立ち下がリエッジを検出するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを設定してください。このビットが 1 の場合、ソフトウェアスタンバイモード時に RXD0 端子の立ち下がリエッジが検出されると、MCU はスヌーズモードへ遷移します。

SNZDTCEN ビット（スヌーズモード時の DTC 許可）

SNZDTCEN ビットは、スヌーズモード時に DTC と SRAM を使用するか否かを指定します。スヌーズモードで DTC と SRAM を使用するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを 1 にしてください。このビットが 1 の場合、IELSRn レジスタを設定することで、DTC を起動することが可能です。

SNZE ビット（スヌーズモード許可）

SNZE ビットは、ソフトウェアスタンバイモードからスヌーズモードへの遷移を許可するか否かを指定します。スヌーズモードを使用するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを 1 にしてください。このビットが 1 の場合、ソフトウェアスタンバイモード時に表 10.8 に示すトリガによって、MCU はスヌーズモードへ遷移します。本 MCU がソフトウェアスタンバイモードまたはスヌーズモードから通常モードへ遷移した後、ソフトウェアスタンバイモードへ再遷移する場合は、あらかじめ SNZE ビットを一度 0 にしてから再設定してください。詳細は、「10.8. スヌーズモード」を参照してください。

10.2.11 SNZEDCR0 : スヌーズ終了コントロールレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0x094

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SCI0UMTED	—	—	AD0UMTED	AD0MATED	DTCNZRED	DTCZRED	AGTUNFED
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	AGTUNFED	AGT1 アンダーフロー時スヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
1	DTCZRED	最後の DTC 送信完了時スヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
2	DTCNZRED	最後以外の DTC 送信完了時スヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
3	AD0MATED	ADC12 コンペアマッチスヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
4	AD0UMTED	ADC12 コンペア不一致スヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	SCI0UMTED	SCI0 アドレス不一致スヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

- 注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SNZEDCR0 レジスタは、スヌーズモードからソフトウェアスタンバイモードへの切り替え条件を制御します。表 10.9 に示すトリガをスヌーズモードからソフトウェアスタンバイモードへの切り替え条件として使用する場合は、SNZEDCR0 レジスタの対応するビットを 1 にする必要があります。

表 10.3 に示すように、スヌーズモードから通常モードへ復帰させるためのイベントは、SNZEDCR0 レジスタで許可しないでください。

AGTUNFED ビット（AGT1 アンダーフロー時スヌーズ終了許可）

AGTUNFED ビットは、AGT1 アンダーフローを契機とするスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「21. 低消費電力非同期汎用タイマ (AGTW)」を参照してください。

DTCZRED ビット（最後の DTC 送信完了時スヌーズ終了許可）

DTCZRED ビットは、最後の DTC 送信完了（すなわち、DTC の CRA または CRB レジスタが 0）を契機とする、スヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「[16. データトランスファコントローラ \(DTC\)](#)」を参照してください。

DTCNZRED ビット（最後以外の DTC 送信完了時スヌーズ終了許可）

DTCNZRED ビットは、各 DTC 送信完了（すなわち、DTC の CRA または CRB レジスタが 0 以外）を契機とする、スヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「[16. データトランスファコントローラ \(DTC\)](#)」を参照してください。

AD0MATED ビット（ADC12 コンペアマッチスヌーズ終了許可）

AD0MATED ビットは、変換結果が期待値と一致した場合に、ADC12 イベントを契機とするスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「[35. 12 ビット A/D コンバータ \(ADC12\)](#)」を参照してください。

AD0UMTED ビット（）

AD0UMTED ビットは変換結果が期待値と一致しない場合に、ADC12 イベントを契機とするスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「[35. 12 ビット A/D コンバータ \(ADC12\)](#)」を参照してください。

SCI0UMTED ビット（SCI0 アドレス不一致スヌーズ終了許可）

SCI0UMTED ビットは、ソフトウェアスタンバイモード時に受信したアドレスが期待値と一致しない場合に、SCI0 イベントを契機とするスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「[25. シリアルコミュニケーションインタフェース \(SCI\)](#)」を参照してください。このビットは SCI0 が調歩同期式モードを作動しているときにのみ 1 にしてください。

10.2.12 SNZREQCR0 : スヌーズ要求コントロールレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0x098

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	SNZR EQEN 30	SNZR EQEN 29	SNZR EQEN 28	—	—	SNZR EQEN 25	SNZR EQEN 24	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SNZR EQEN 15	SNZR EQEN 14	SNZR EQEN 13	SNZR EQEN 12	SNZR EQEN 11	SNZR EQEN 10	SNZR EQEN 9	SNZR EQEN 8	SNZR EQEN 7	SNZR EQEN 6	SNZR EQEN 5	SNZR EQEN 4	SNZR EQEN 3	SNZR EQEN 2	SNZR EQEN 1	SNZR EQEN 0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SNZREQEN0	IRQ0 端子のスヌーズ要求許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
1	SNZREQEN1	IRQ1 端子のスヌーズ要求許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
2	SNZREQEN2	IRQ2 端子のスヌーズ要求許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
3	SNZREQEN3	IRQ3 端子のスヌーズ要求許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W

ビット	シンボル	機能	R/W
4	SNZREQEN4	IRQ4 端子のスヌーズ要求許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
5	SNZREQEN5	IRQ5 端子のスヌーズ要求許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
6	SNZREQEN6	IRQ6 端子のスヌーズ要求許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
7	SNZREQEN7	IRQ7 端子のスヌーズ要求許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
8	SNZREQEN8	IRQ8 端子のスヌーズ要求許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
9	SNZREQEN9	IRQ9 端子のスヌーズ要求許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
10	SNZREQEN10	IRQ10 端子のスヌーズ要求許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
11	SNZREQEN11	IRQ11 端子のスヌーズ要求許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
12	SNZREQEN12	IRQ12 端子のスヌーズ要求許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
13	SNZREQEN13	IRQ13 端子のスヌーズ要求許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
14	SNZREQEN14	IRQ14 端子のスヌーズ要求許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
15	SNZREQEN15	IRQ15 端子のスヌーズ要求許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
23:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	SNZREQEN24	RTC アラームのスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
25	SNZREQEN25	RTC 周期のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
27:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	SNZREQEN28	AGT1 アンダーフローのスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
29	SNZREQEN29	AGT1 コンペアマッチ A のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
30	SNZREQEN30	AGT1 コンペアマッチ B のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SNZREQCR0 レジスタは、MCU をソフトウェアスタンバイモードからスリープモードへ切り替えるためのトリガを制御します。WUPEN レジスタ（「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照）の設定によって、トリガがソフトウェアスタンバイモードの解除要求として選択されている場合、SNZREQCR0 レジスタの対応するビットが 1 であっても、そのトリガが発生すると MCU は通常モードへ遷移します。WUPEN_n レジスタの設定値は、SNZREQCR0 レジスタの設定値よりも常に優先順位は高くなります。詳細は、「[10.8. スリープモード](#)」および「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

10.2.13 PSMCR : パワーセーブメモリコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x09F

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	PSMC 5	PSMC 4	PSMC 3	PSMC 2	PSMC 1	PSMC 0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PSMC0	パワーセーブメモリ制御ビット 0 0: 0x2000_0000~0x2000_3FFF 領域の SRAM データは、スタンバイ状態へ遷移し、ソフトウェアスタンバイモードで保持されます。または、SRMPSCR.SPSC[0] = 1 であれば通常モードで保持されます。 1: 0x2000_0000~0x2000_3FFF 領域の SRAM データの電源は遮断され、ソフトウェアスタンバイモードでは保持されません。また、SRMPSCR.SPSC[0] = 1 のときに通常モードで保持されません。	R/W
1	PSMC1	パワーセーブメモリ制御ビット 1 0: 0x2000_4000~0x2000_7FFF 領域の SRAM データは、スタンバイ状態へ遷移し、ソフトウェアスタンバイモードで保持されます。または、SRMPSCR.SPSC[1] = 1 のときは通常モードで保持されます。 1: 0x2000_4000~0x2000_7FFF 領域の SRAM データの電源は遮断され、ソフトウェアスタンバイモードでは保持されません。また、SRMPSCR.SPSC[1] = 1 のときに通常モードで保持されません。	R/W
2	PSMC2	パワーセーブメモリ制御ビット 2 0: 0x2000_8000~0x2000_BFFF 領域の SRAM データは、スタンバイ状態へ遷移し、ソフトウェアスタンバイモードで保持されます。または、SRMPSCR.SPSC[2] = 1 であれば通常モードで保持されます。 1: 0x2000_8000~0x2000_BFFF 領域の SRAM データの電源は遮断され、ソフトウェアスタンバイモードでは保持されません。また、SRMPSCR.SPSC[2] = 1 のときに通常モードで保持されません。	R/W
3	PSMC3	パワーセーブメモリ制御ビット 3 0: 0x2000_C000~0x2000_FFFF 領域の SRAM データは、スタンバイ状態へ遷移し、ソフトウェアスタンバイモードで保持されます。または、SRMPSCR.SPSC[3] = 1 であれば通常モードで保持されます。 1: 0x2000_C000~0x2000_FFFF 領域の SRAM データの電源は遮断され、ソフトウェアスタンバイモードでは保持されません。また、SRMPSCR.SPSC[3] = 1 のときに通常モードで保持されません。	R/W
4	PSMC4	パワーセーブメモリ制御ビット 4 0: 0x2001_0000~0x2001_3FFF 領域の SRAM データは、スタンバイ状態へ遷移し、ソフトウェアスタンバイモードで保持されます。または、SRMPSCR.SPSC[4] = 1 であれば通常モードで保持されます。 1: 0x2001_0000~0x2001_3FFF 領域の SRAM データの電源は遮断され、ソフトウェアスタンバイモードでは保持されません。また、SRMPSCR.SPSC[4] = 1 のときに通常モードで保持されません。	R/W

ビット	シンボル	機能	R/W
5	PSMC5	パワーセーブメモリ制御ビット 5 0: 0x2001_4000～0x2001_7FFF 領域の SRAM データは、スタンバイ状態へ遷移し、ソフトウェアスタンバイモードで保持されます。または、SRMPSCR.SPSC[5] = 1 であれば通常モードで保持されます。 1: 0x2001_4000～0x2001_7FFF 領域の SRAM データの電源は遮断され、ソフトウェアスタンバイモードでは保持されません。また、SRMPSCR.SPSC[5] = 1 のときに通常モードで保持されません。	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

PSMCn ビット（パワーセーブメモリ制御 n ビット (n = 0～5)）

MCU がソフトウェアスタンバイモードへ遷移したとき、または通常モードで SRMPSCR.SPSC ビットが 1 になっているときには、このビットが 1 になっている SRAM 領域の電源が遮断され、SRAM 領域にはアクセスできず、SRAM 領域のデータは保持されません。

一方、MCU がソフトウェアスタンバイモードへ遷移したとき、または通常モードで SRMPSCR.SPSC ビットが 1 になっているときには、このビットが 0 になっている SRAM 領域はスタンバイ状態へ遷移し、SRAM 領域にはアクセスできず、SRAM 領域のデータが保持されます。

PSMCR レジスタを設定してから、WFI 命令を実行するか、SRMPSCR レジスタへの書き込みを行います。

10.2.14 SRMPSCR: SRAM 電力状態コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0F0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	SPSC[5]	SPSC[4]	SPSC[3]	SPSC[2]	SPSC[1]	SPSC[0]

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	SPSC[0]	SRAM 電力状態制御ビット 0 0: 0x2000_0000～0x2000_3FFF 領域の SRAM データは通常状態 1: 0x2000_0000～0x2000_3FFF 領域の SRAM データは低消費電力状態になっていてアクセス不能。保持機能は PSMCR.PSMC[0]に依存	R/W
1	SPSC[1]	SRAM 電力状態制御ビット 1 0: 0x2000_4000～0x2000_7FFF 領域の SRAM データは通常状態 1: 0x2000_4000～0x2000_7FFF 領域の SRAM データは低消費電力状態になっていてアクセス不能。保持機能は PSMCR.PSMC[1]に依存	R/W
2	SPSC[2]	SRAM 電力状態制御ビット 2 0: 0x2000_8000～0x2000_BFFF 領域の SRAM データは通常状態 1: 0x2000_8000～0x2000_BFFF 領域の SRAM データは低消費電力状態になっていてアクセス不能。保持機能は PSMCR.PSMC[2]に依存	R/W
3	SPSC[3]	SRAM 電力状態制御ビット 3 0: 0x2000_C000～0x2000_FFFF 領域の SRAM データは通常状態 1: 0x2000_C000～0x2000_FFFF 領域の SRAM データは低消費電力状態になっていてアクセス不能。保持機能は PSMCR.PSMC[3]に依存	R/W
4	SPSC[4]	SRAM 電力状態制御ビット 4 0: 0x2001_0000～0x2001_3FFF 領域の SRAM データは通常状態 1: 0x2001_0000～0x2001_3FFF 領域の SRAM データは低消費電力状態になっていてアクセス不能。保持機能は PSMCR.PSMC[4]に依存	R/W

ビット	シンボル	機能	R/W
5	SPSC[5]	SRAM 電力状態制御ビット 5 0: 0x2001_4000~0x2001_7FFF 領域の SRAM データは通常状態 1: 0x2001_4000~0x2001_7FFF 領域の SRAM データは低消費電力状態になっていてアクセス不能。保持機能は PSMCR.PSMC[5]に依存	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SRMPSCR レジスタは、PRCR.PRC1 ビットで保護されています。

このレジスタへの書き込みが許可されるのは、ICLK の周波数が 8 MHz 以下の場合だけです。

SPSC[5:0]ビット (SRAM 電力状態制御ビット)

通常モードで SPSC ビットが 1 のとき、対応する SRAM 領域は SRAM 低消費電力状態に遷移します。SRAM 低消費電力状態は 2 種類あります。

- パワーオフ状態
- スタンバイ状態

パワーオフ状態では、SRAM はアクセス不能であり、保持されません。スタンバイ状態状態では、SRAM はアクセス不能ですが保持されます。

SRAM の遷移先がどちらの低消費電力状態であるかは、PSMCR.PSMC ビットによって決まります。

SRAM 領域に対応する PSMCR.PSMC ビットが 1 のとき、SPSC ビットを 1 に設定すると、SRAM 領域はパワーオフ状態に遷移します。一方、SRAM 領域に対応する PSMCR.PSMC ビットが 0 のとき、SPSC ビットを 1 に設定すると、SRAM 領域はスタンバイ状態に遷移します。

Subosc-speed モードには消費電力制限があるため、この SPSC ビットを設定して、Subosc-speed モードに遷移する前に SRAM の消費電力を削減する必要があります。

Subosc-speed モードでの SRAM の消費電力を削減するため、SPSC ビットの設定による 2 種類のオプションが用意されています。

オプション 1：選択された 2 つの (注1) SRAM 領域は、Subosc-speed モードではパワーオフ状態になります。

- Subosc-speed モードへの遷移前に、以下の手順に従って SPSC ビットへの書き込みを行います。
Subosc-speed モードに遷移する手順については、「[10.5.3. 動作電力制御モード変更手順](#)」の (1-4) を参照してください。
 - Subosc-speed モードへの遷移前に、PSMCR の選択した 2 つのビットに 1 を設定します。
 - SRMPSCR の選択した 2 つのビットのうちの 1 つに、1 を設定します。
 - SRMPSCR の選択した 2 つのビットのうち、残りのビットに 1 を設定します。その他の SRMPSCR ビットは変更しないでください。この時点で、SRMPSCR の選択した 2 つのビットは 1 になっていて、対応する 2 つの SRAM 領域は停止されており、パワーオフ状態で保持されていません。
- Subosc-speed モードから元の動作電力制御モード (High-speed、Middle-speed、または Low-speed モード) に戻った後で、以下の手順に従って SPSC ビットへの書き込みを行います。(Subosc-speed モードから戻る手順については、「[10.5.3. 動作電力制御モード変更手順](#)」の 1-1 を参照してください。)
 - SRMPSCR の選択した 2 つのビットのうちの 0 つに、0 を設定します。その他の SRMPSCR ビットは変更しないでください。
 - SRMPSCR の選択した 2 つのビットのうち、残りのビットに 0 を設定します。その他の SRMPSCR ビットは変更しないでください。この時点で、SRMPSCR のすべてのビットは 0 になっています。
 - 1.2 μ s 経過後、2 つの SRAM 領域がアクセス可能になります。

注 1. PSMCR と SRMPSCR を設定してパワーオフにする必要のある SRAM 領域の数は、2 つに制限されています。2 以外のビットの数は禁止されています。

オプション 2：選択された 3 つの (注1) SRAM 領域は、スタンバイ状態になって Subosc-speed モードで保持されます。

- Subosc-speed モードへの遷移前に、以下の手順に従って SPSC ビットへの書き込みを行います。

Subosc-speed モードに遷移する手順については、「[10.5.3. 動作電力制御モード変更手順](#)」の (1-4) を参照してください。

- (a) Subosc-speed モードへの遷移前に、PSMCR のすべてのビットに 0 を設定します。
 - (b) SRMPSCR の選択した 3 つのビットのうちの 1 つに、1 を設定します。
 - (c) SRMPSCR の選択した 3 つのビットのうち、残りの 2 つのビットのいずれかに 1 を設定します。その他の SRMPSCR ビットは変更しないでください。
 - (d) SRMPSCR の選択した 3 つのビットのうち、最後のビットに 1 を設定します。
その他の SRMPSCR ビットは変更しないでください。この時点で、SRMPSCR の選択した 3 つのビットは 1 になっていて、対応する 3 つの SRAM 領域は停止されており、スタンバイ状態で保持されています。
2. Subosc-speed モードから元の動作電力制御モード (High-speed、Middle-speed、または Low-speed モード) に戻った後で、以下の手順で SPSC ビットへの書き込みを行います。Subosc-speed モードから戻る手順については、「[10.5.3. 動作電力制御モード変更手順](#)」の (1-1) を参照してください。
- (a) SRMPSCR の選択した 3 つのビットのうちの 1 つに、0 を設定します。
 - (b) SRMPSCR の選択した 3 つのビットのうち、その他の 1 つに 0 を設定します。その他の SRMPSCR ビットは変更しないでください。
 - (c) SRMPSCR の選択した 3 つのビットのうち、最後のビットに 0 を設定します。その他の SRMPSCR ビットは変更しないでください。この時点で、SRMPSCR のすべてのビットは 0 になっています。
 - (d) 600 ns 経過後、停止されていた SRAM がアクセス可能になり、選択した 3 つの SRAM が保持されていた日付を読み出すことができます。

注 1. SRMPSCR の設定によって停止してスタンバイ状態で保持する必要がある SRAM 領域の数は、3 つに制限されています。3 以外のビットの数は禁止されています。

10.2.15 SYOCDCCR : システムコントロール OCD コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x040E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DBGEN	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	DBGEN	デバッグ有効 オンチップデバッグモードでは最初に 1 にしてください。 0: オンチップデバッグは無効 1: オンチップデバッグは有効	R/W

注. PRCR.PRC1 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

本レジスタはどのセキュリティ属性レジスタ (LPMSAR など) によっても制御されません。

SYOCDCCR レジスタは、DBGSTR.CDBGWRUPREQ = 1 (デバッグ接続) のとき書き込み可能です。

DBGEN ビット (デバッグ有効)

DBGEN ビットは、オンチップデバッグモードを有効にします。このビットは、オンチップデバッグモードでは最初に 1 にする必要があります。

[1 になる条件]

- デバッグの接続時に 1 を書いたとき

[0 になる条件]

- パワーオンリセットが発生したとき
- 0 を書いたとき

注. DBGEN ビットが 1 に設定可能な MCU 状態に関して、特定の制約が適用されます。詳細は、「[2.12.2. OCD エミュレータ接続における制限](#)」を参照してください。

10.2.16 LDOCR : LDO コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0AC

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CHG0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CHG0	チャージアップ 0 0: LDO 通常動作モード 1: LDO 高性能モード	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ICLK = 8 MHz の High-speed モードの場合を除き、このレジスタを変更することは禁止されています。

LDOCR.CHG0 = 1 は、ICLK が 8 MHz 以上の High-speed モードでのみ許可されています。

各レジスタの詳細は、「[10.5.2. 動作電力制御モードの設定方法](#)」を参照してください。

CHG0 ビット (チャージアップ 0)

このビットを 1 にすると、LDO の現在の能力が向上します。

スヌーズモード (CHG0 = 1) を使用する場合は、ソフトウェアスタンバイモードへ遷移する前に MOCOCR.MCSTP を 0 にする必要があります。

10.3 クロックの切り替えによる消費電力の低減

SCKDIVCR レジスタを設定すると、クロック周波数が切り替わります。

モジュールとクロックの対応関係は、「[8.2.2. SCKDIVCR : システムクロック分周コントロールレジスタ](#)」を参照してください。

10.4 モジュールストップ機能

モジュールストップ機能は、各内蔵周辺モジュールへのクロック供給を停止することが可能です。

MSTPCRn (n = A~E) レジスタの MSTPmi ビット (m = A~E, i = 31~0) を 1 にすると、指定したモジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は独立して動作を継続します。MSTPmi ビットを 0 にすることによって、モジュールストップ状態が解除され、バスサイクルの終了時点でモジュールは動作を再開します。

リセット解除後は、DMAC、DTC、SRAMn 以外の全モジュールがモジュールストップ状態になります。MSTPmi ビットが 1 であるときは、対応するモジュールにアクセスしないでください。また、対応するモジュールにアクセス中であるときは、MSTPmi ビットを 1 にしないでください。

10.5 動作電力低減機能

動作周波数応じて適切な動作電力制御モードを選択することにより、通常モード時、スリープモード時、スヌーズモード時の消費電力を削減できます。

10.5.1 動作範囲

図 10.2~図 10.5 に、ICLK の動作電圧と動作周波数を示します。その他のクロック周波数 (FCLK、PCLKA、PCLKB、PCLKC、および PCLKD など) は、ICLK 周波数に関して制限を受けます。詳細は、「[8. クロック発生回路](#)」を参照してください。

High-speed モード

LDOCR.CHG0 = 0 の場合、ICLK の最高動作周波数は 8 MHz です。LDOCR.CHG0 = 1 の場合、ICLK の最高動作周波数は 80 MHz、最低動作周波数は 8 MHz です。

ICLK が 4 MHz 未満の場合、動作電圧範囲は 1.6 V～3.6 V です。ICLK が 4 MHz 以上の場合、動作電圧範囲は 1.8 V～3.6 V です。

FLASH のプログラムまたはイレース時、動作電圧範囲が 1.6 V～3.6 V の場合の動作周波数範囲は 1 MHz～80 MHz です。ただし、FLASH プログラムまたはイレース時では、動作電圧範囲が 1.6 V～1.8 V の場合の ICLK の最高動作周波数は 4 MHz になります。

図 10.2 に、High-speed モードにおける動作電圧と動作周波数を示します。

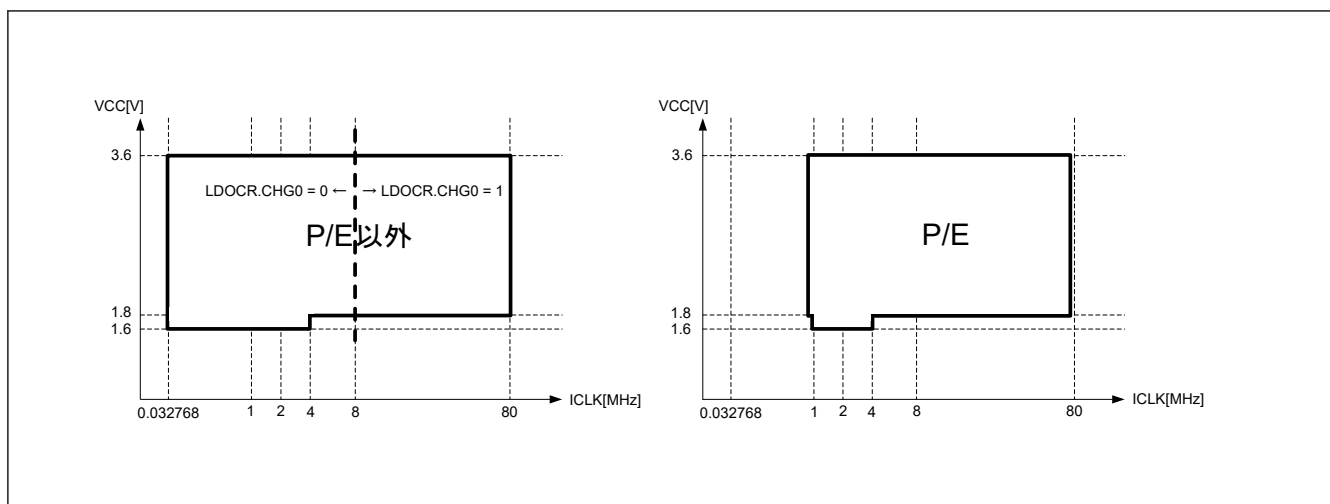


図 10.2 High-speed モードにおける動作電圧と動作周波数

Middle-speed モード

このモードでは、同じ条件下で High-speed モードよりも消費電力を低減できます。ICLK の最高動作周波数は 8 MHz です。ICLK が 4 MHz 未満の場合、動作電圧範囲は 1.6 V～3.6 V です。ICLK が 4 MHz 以上の場合、動作電圧範囲は 1.8 V～3.6 V です。

フラッシュプログラムまたはイレース時、動作電圧範囲が 1.8 V～3.6 V の場合の動作周波数範囲は 1 MHz～8 MHz です。フラッシュプログラムまたはイレース時、動作電圧範囲が 1.6 V～1.8 V の場合の ICLK の最高動作周波数は 4 MHz です。

図 10.3 に、Middle-speed モードにおける動作電圧と動作周波数を示します。

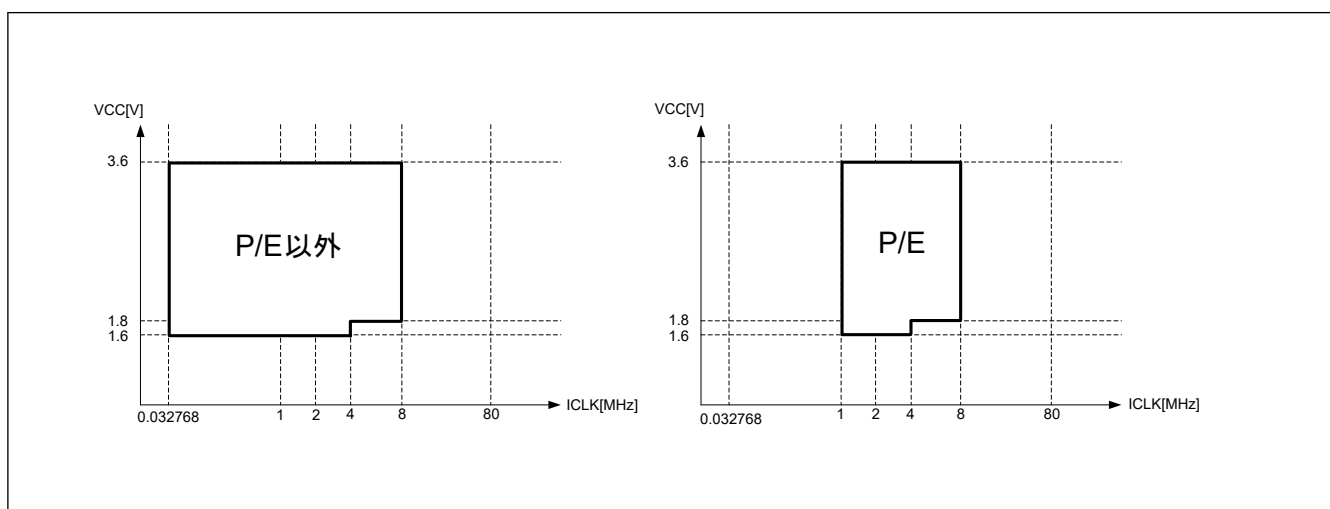


図 10.3 Middle-speed モードにおける動作電圧と動作周波数

Low-speed モード

ICLK の最高動作周波数は 1 MHz です。動作電圧範囲は 1.6 V～3.6 V です。FLASH プログラムまたはイレース時では、動作周波数は 1 MHz、動作電圧範囲は 1.6 V～3.6 V です。

図 10.4 に、Low-speed モードにおける動作電圧と動作周波数を示します。

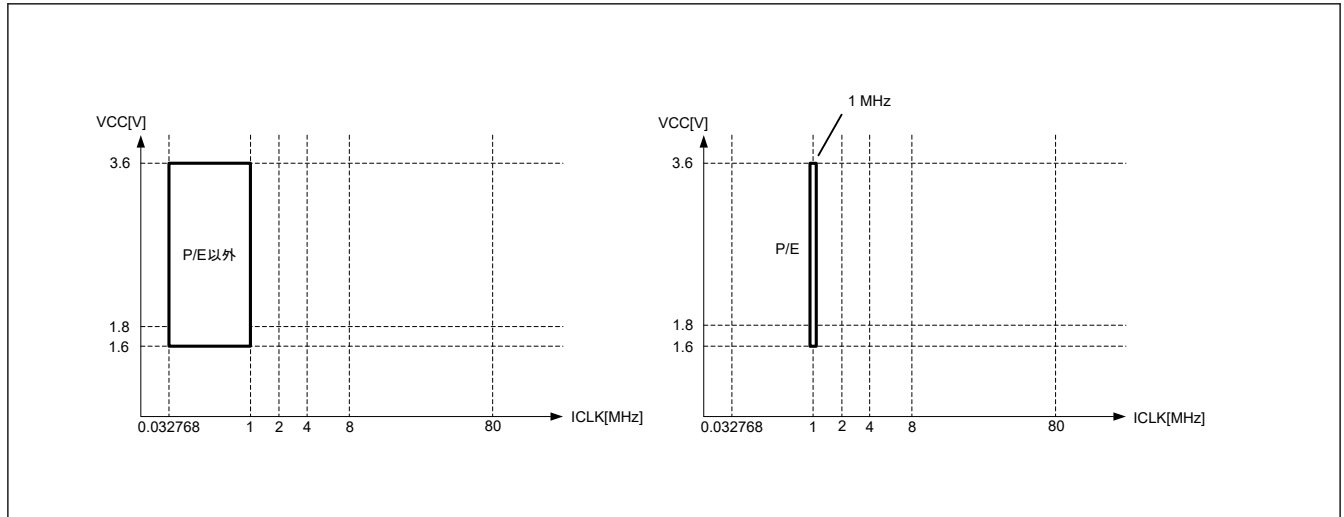


図 10.4 Low-speed モードにおける動作電圧と動作周波数

Subosc-speed モード

ICLK の最高動作周波数は 37.6832 kHz です。動作電圧範囲は 1.6 V～3.6 V です。フラッシュメモリのプログラムおよびイレース動作は禁止です。サブクロック発振器と低速オンチップオシレータ以外の発振器は使用禁止です。

図 10.5 に、Subosc-speed モードにおける動作電圧と動作周波数を示します。

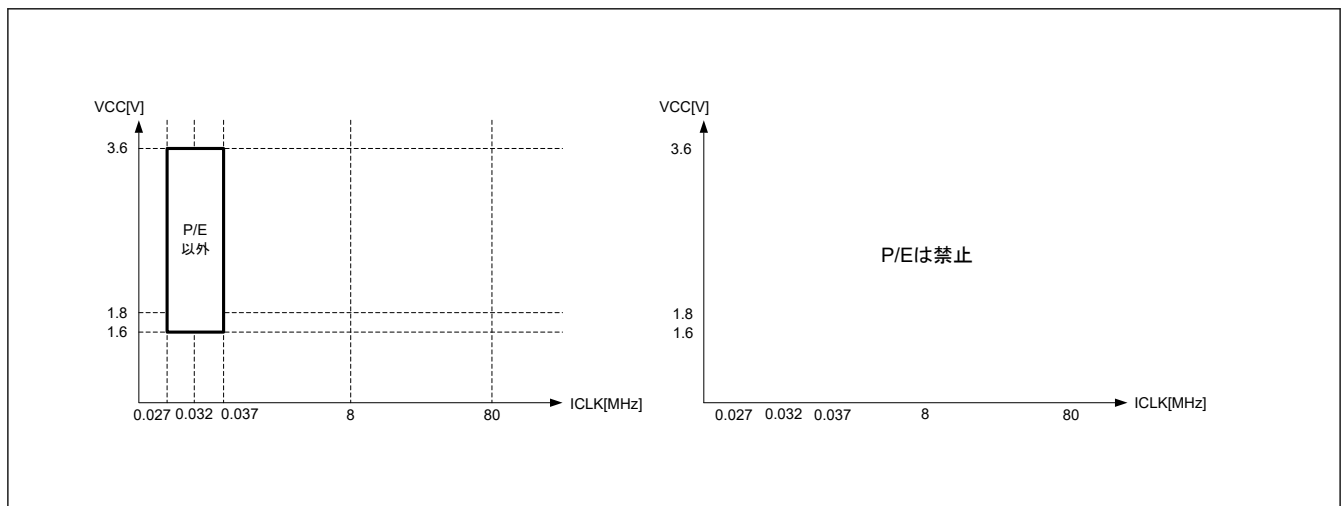


図 10.5 Subosc-speed モードにおける動作電圧と動作周波数

10.5.2 動作電力制御モードの設定方法

動作電力制御モードを切り替える場合は、その前後において、動作条件（周波数範囲）が仕様範囲内に収まっていることを必ず確認してください。また、表 10.5 に各モードで使用可能な発振器を示します。

表 10.5 各モードで使用可能な発振器

モード	発振器							
	PLL	高速オンチップオシレータ	中速オンチップオシレータ	低速オンチップオシレータ	メインクロック発振器	サブクロック発振器	IWDT 専用オンチップオシレータ	PLL_RTC
High-speed	可能	可能	可能	可能	可能	可能	可能	可能
Middle-speed	可能	可能	可能	可能	可能	可能	可能	可能
Low-speed	不可能	可能	可能	可能	可能	可能	可能	不可能
Subosc-speed	不可能	不可能	不可能	可能	不可能	可能	可能	不可能

10.5.3 動作電力制御モード変更手順

動作電力制御モードの切り替え手順を以下に示します。

- 注.
- ICLK = 8 MHz の High-speed モードの場合を除き、LDOCR.CHG0 を変更することは禁止されています。
 - LDOCR.CHG0 = 1 は、ICLK が 8 MHz 以上の High-speed モードでのみ許可されています。
 - その他の動作電力制御モードへの遷移は、LDOCR.CHG0 = 0 の場合のみ許可されています。

表 10.6 動作電力制御モード遷移の概要

						次の状態						
ICLK 周波数						32 kHz	32 kHz～1 MHz	32 kHz～8 MHz	8 MHz(注1)	f1 MHz (8 < f1≦32)	f2 MHz (32 < f2≦48)	f3 MHz (48 < f3≦80)
		OPCCR レジスタ				Sosc- speed	Low-speed	Middle- speed	High- speed	High-speed		
		LDOCR レジスタ				LDO 通常動作モード				LDO 高性能モード		
		MEMWAIT レジスタ				ウェイトなし				ウェイトな し	1 ウェイト	2 ウェイト
		FCLK 最高周波数				ICLK × 1/1				ICLK × 1/1		ICLK × 1/2
現在の状態	32 kHz	Subosc- speed	LDO 通常動 作モード	ウェイトなし	ICLK × 1/1	—	(1-1)			不可		
	32 kHz～1 MHz	Low- speed				(1-4)	—	(1-2)				
	32 kHz～8 MHz	Middle- speed					(1-5)	—	(1-3)			
	8 MHz(注1)	High- speed						(1-6)	—	(2-1)	(2-2)	
	f1 MHz (8 < f1≦32)	High- speed	LDO 高性能 モード	ウェイトなし	ICLK × 1/1	不可			(2-5)	—	(2-3)	(2-4)
	f2 MHz (32 < f2≦48)			1 ウェイト						(2-6)	—	
	f3 MHz (48 < f3≦80)			2 ウェイト							ICLK × 1/2	

注 1. High-speed モードで主に使用する周波数は「8 MHz」と想定して記載されています。ただし実際には、(1-x) の切り替え手順で、[図 10.2](#) (x = 1, 2, 3, 4, 5, 6) に示す 8 MHz 未満の周波数も選択できます。

(1) ICLK = 8 MHz 以下の場合の動作電力制御モード遷移

(1-1) Subosc-speed モードから High-speed、Middle-speed、または Low-speed モードへの遷移

- (Subosc-speed モードで動作)
- SOPCCR.SOPCMTSF フラグが 0 (遷移中ではないことを示す) であることを確認する。
- SOPCCR.SOPCM ビットを 0 にして、MCU を Subosc-speed モードに遷移する前の動作モード (OPCCR.OPCM[1:0] で設定した動作モード (High-speed、Middle-speed、または Low-speed モード)) に復帰させる。
- SOPCCR.SOPCMTSF フラグが 0 (遷移中ではないことを示す) であることを確認する。
- High-speed、Middle-speed、または Low-speed モードに必要な発振器を ON にする。

各クロックの周波数を、High-speed、Middle-speed、または Low-speed モードの最高動作周波数以下に設定する。

6. 「[10.2.13. PSMCR : パワーセーブメモリコントロールレジスタ](#)」と「[10.2.14. SRMPSCR: SRAM 電力状態コントロールレジスタ](#)」に従って、PSMCR レジスタと SRMPSCR レジスタを正しく設定する。
7. (High-speed、Middle-speed、または Low-speed モードで動作)

(1-2) Low-speed モードから High-speed または Middle-speed モードへの遷移

1. (Low-speed モードで動作)
2. OPCCR.OPCMTSF フラグが 0 (遷移中ではないことを示す) であることを確認する。
3. OPCCR.OPCM ビットを 00b (High-speed モード) または 01b (Middle-speed モード) にする。
4. OPCCR.OPCMTSF フラグが 0 (遷移中ではないことを示す) であることを確認する。
5. High-speed または Middle-speed モードに必要な発振器を ON にする。
6. 各クロックの周波数を、High-speed または Middle-speed モードの最高動作周波数以下に設定する。
7. (High-speed または Middle-speed モードで動作)

(1-3) Middle-speed モードから High-speed モードへの遷移

1. (Middle-speed モードで動作)
2. OPCCR.OPCMTSF フラグが 0 (遷移中ではないことを示す) であることを確認する。
3. OPCCR.OPCM ビットを 00b (High-speed モード) にする。
4. OPCCR.OPCMTSF フラグが 0 (遷移中ではないことを示す) であることを確認する。
5. High-speed モードに必要な発振器を ON にする。
6. 各クロックの周波数を、High-speed モードの最高動作周波数以下に設定する。
7. (High-speed モードで動作)

(1-4) High-speed、Middle-speed、または Low-speed モードから Subosc-speed モードへの遷移

1. (最初は High-speed、Middle-speed、または Low-speed モードで動作)
2. LDOCR.CHG0 を 0 にするか、0 であることを確認する。
3. 「[10.2.13. PSMCR : パワーセーブメモリコントロールレジスタ](#)」と「[10.2.14. SRMPSCR: SRAM 電力状態コントロールレジスタ](#)」に従って、PSMCR レジスタと SRMPSCR レジスタを正しく設定する。
4. クロックソースをサブクロック発振器に切り替える。HOCO、MOCO、LOCO メインクロック発振器、および PLL を OFF にする。
5. すべてのクロックソース (サブクロック発振器を除く) が停止していることを確認する。
6. SOPCCR.SOPCMTSF フラグが 0 (遷移中ではないことを示す) であることを確認する。
7. SOPCCR.SOPCM ビットを 1 (Subosc-speed モード) にする。
8. SOPCCR.SOPCMTSF フラグが 0 (遷移中ではないことを示す) であることを確認する。
9. (Subosc-speed モードで動作)

(1-5) High-speed または Middle-speed モードから Low-speed モードへの遷移

1. (最初は High-speed または Middle-speed モードで動作)
2. LDOCR.CHG0 を 0 にするか、0 であることを確認する。
3. 発振器を Low-speed モードで使用するものに変更する。クロックの周波数を、Low-speed モードの最高動作周波数以下に設定する。
4. Low-speed モードで不要な発振器を OFF にする。
5. OPCCR.OPCMTSF フラグが 0 (遷移中ではないことを示す) であることを確認する。
6. OPCCR.OPCM ビットを 11b (Low-speed モード) にする。
7. OPCCR.OPCMTSF フラグが 0 (遷移中ではないことを示す) であることを確認する。

8. (Low-speed モードで動作)

(1-6) High-speed モードから Middle-speed モードへの遷移

1. (最初は High-speed モードで動作しています)
2. LDOCR.CHG0 を 0 にするか、0 であることを確認する。
3. 発振器を Middle-speed モードで使用するものに変更する。クロックの周波数を、Middle-speed モードの最高動作周波数以下に設定する。
4. Middle-speed モードで不要な発振器を OFF にする。
5. OPCCR.OPCMTSF フラグが 0 (遷移中ではないことを示す) であることを確認する。
6. OPCCR.OPCM ビットを 01b (Middle-speed モード) にする。
7. OPCCR.OPCMTSF フラグが 0 (遷移中ではないことを示す) であることを確認する。
8. (Middle-speed モードで動作)

(2) ICLK が 8 MHz より速い場合の動作電力制御モード遷移

(2-1) ICLK 周波数を 8 MHz から f1 または f2 MHz に変更する手順 ($8 < f1 \leq 32$, $32 < f2 \leq 48$)

1. (最初は LDOCR.CHG0 = 0 の High-speed モードで動作)
2. ICLK の周波数を 8 MHz に設定する。
このとき、クロックソースを MOCO に設定し、SCKDIVCR.ICLK[2:0]を 000b に設定する。
3. f1 または f2 MHz に必要な発振器を ON にする。
4. 所望の遷移先周波数 (f1 または f2 MHz) によって、ICLK を除くクロック分周とメモリウェイトサイクルを必要に応じて設定する。詳細は、「[8.2.2. SCKDIVCR: システムクロック分周コントロールレジスタ](#)」および「[8.2.4. MEMWAIT: メモリウェイトサイクルコントロールレジスタ \(コードフラッシュ\)](#)」を参照してください。
5. LDOCR.CHG0 を 1 に設定する。
6. LDO が安定するまで 5 μ s 以上待つ。
7. SCKSCR を設定してクロックソースを MOCO から f1 または f2 MHz の発振器に変更する。
(ICLK 周波数が 48MHz を越えないようにする。)
8. SCKDIVCR.ICLK[2:0]を設定する。
9. (f1 または f2 MHz の High-speed モードで動作)

(2-2) ICLK 周波数を 8 MHz から f3 MHz に変更する手順 ($48 < f3 \leq 80$)

1. (最初は LDOCR.CHG0 = 0 の High-speed モードで動作)
2. ICLK の周波数を 8 MHz に設定する。
このとき、クロックソースを MOCO に設定し、SCKDIVCR.ICLK[2:0]を 000b に設定する。
3. f3 MHz に必要な発振器を ON にする。
4. 所望の遷移先周波数 (f3 MHz) によって、ICLK を除くクロック分周とメモリウェイトサイクルを必要に応じて設定する。詳細は、「[8.2.2. SCKDIVCR: システムクロック分周コントロールレジスタ](#)」および「[8.2.4. MEMWAIT: メモリウェイトサイクルコントロールレジスタ \(コードフラッシュ\)](#)」を参照してください。
5. SCKDIVCR.ICLK[2:0]を 001b に設定する。
(ICLK 周波数は 4 MHz に変わる。)
6. LDOCR.CHG0 を 1 に設定する。
(このとき、LDOCR.CHG0 が 1 かつ ICLK が 8 MHz 未満という、禁止されている状態が出現しますが、これは遷移の途中の状態なので、特別に許容されます。)
7. LDO が安定するまで 5 μ s 以上待つ。
8. SCKSCR を設定してクロックソースを MOCO から f3 MHz の発振器に変更する。
(ICLK は 4 MHz から f3 MHz の半分の周波数に変わる。)
9. LDO が安定するまで 30 μ s 以上待つ。

10. SCKDIVCR.ICLK[2:0]を 000b に設定する。

11. (f3 MHz の High-speed モードで動作)

(2-3) ICLK 周波数を f1 MHz から f2 MHz に変更する手順 ($8 < f1 \leq 32$, $32 < f2 \leq 48$)

1. (最初は f1 MHz かつ LDOCR.CHG0 = 1 の High-speed モードで動作)
2. f2 MHz に必要な発振器を ON にする。
3. 所望の遷移先周波数 (f2 MHz) によって、クロック分周とメモリウェイトサイクルを必要に応じて設定する。
詳細は、「[8.2.2. SCKDIVCR: システムクロック分周コントロールレジスタ](#)」および「[8.2.4. MEMWAIT: メモリウェイトサイクルコントロールレジスタ \(コードフラッシュ\)](#)」を参照してください。
4. SCKSCR を設定してクロックソースを MOCO から f2 MHz の発振器に変更する。
(ICLK 周波数が 48MHz を越えないようにする。)
5. SCKDIVCR.ICLK[2:0]を設定する。
6. (f2 MHz かつ LDOCR.CHG0 = 1 の High-speed モードで動作)

(2-4) ICLK 周波数を f1 または f2 MHz から f3 MHz に変更する手順 ($8 < f1 \leq 32$, $32 < f2 \leq 48$, $48 < f3 \leq 80$)

1. (最初は f1 または f2 MHz かつ LDOCR.CHG0 = 1 の High-speed モードで動作。このとき、SCKDIVCR.ICLK[2:0]を 000b に設定する。)
2. f3 MHz に必要な発振器を ON にする。
3. 所望の遷移先周波数 (f3 MHz) によって、ICLK を除くクロック分周とメモリウェイトサイクルを必要に応じて設定する。詳細は、「[8.2.2. SCKDIVCR: システムクロック分周コントロールレジスタ](#)」および「[8.2.4. MEMWAIT: メモリウェイトサイクルコントロールレジスタ \(コードフラッシュ\)](#)」を参照してください。
4. SCKDIVCR.ICLK[2:0]を 001b に設定する。
(ICLK 周波数は f1 または f2 MHz の半分の周波数に変わる。)
(このとき、LDOCR.CHG0 が 1 かつ ICLK が 8 MHz 未満かもしれないという、禁止されている状態が出現しますが、これは遷移の途中の状態なので、特別に許容されます。)
5. SCKSCR を設定してクロックソースを f3 MHz の発振器に変更する。
(ICLK は f1 または f2 MHz の半分の周波数から f3 MHz の半分の周波数に変わる。)
6. LDO が安定するまで 30 μ s 以上待つ。
7. SCKDIVCR.ICLK[2:0]を 000b に設定する。
8. (f3 MHz かつ LDOCR.CHG0 = 1 の High-speed モードで動作)

(2-5) ICLK 周波数を f1、f2、または f3 MHz から 8 MHz に変更する手順

1. (最初は f1、f2、または f3 MHz かつ LDOCR.CHG0 = 1 の High-speed モードで動作。)
2. ICLK の周波数を 8 MHz に変更する。
3. 所望の遷移先周波数 (8 MHz) によって、クロック分周とメモリウェイトサイクルを必要に応じて設定する。
詳細は、「[8.2.2. SCKDIVCR: システムクロック分周コントロールレジスタ](#)」および「[8.2.4. MEMWAIT: メモリウェイトサイクルコントロールレジスタ \(コードフラッシュ\)](#)」を参照してください。
4. LDOCR.CHG0 を 0 に設定する。
5. (最初は 8 MHz かつ LDOCR.CHG0 = 0 の High-speed モードで動作)

(2-6) ICLK 周波数を f2 または f3 MHz から f1 MHz に変更する手順

1. (最初は f2 または f3 MHz かつ LDOCR.CHG0 = 1 の High-speed モードで動作。)
2. ICLK の周波数を f1 MHz に変更する。
3. 所望の遷移先周波数 (f1 MHz) によって、クロック分周とメモリウェイトサイクルを必要に応じて設定する。
詳細は、「[8.2.2. SCKDIVCR: システムクロック分周コントロールレジスタ](#)」および「[8.2.4. MEMWAIT: メモリウェイトサイクルコントロールレジスタ \(コードフラッシュ\)](#)」を参照してください。
4. (f1 MHz かつ LDOCR.CHG0 = 1 の High-speed モードで動作)

(2-7) ICLK 周波数を f3 MHz から f2 MHz に変更する手順

1. (最初は f3 MHz かつ LDOCR.CHG0 = 1 の High-speed モードで動作)
2. ICLK の周波数を f2 MHz に変更する。
3. 所望の遷移先周波数 (f2 MHz) によって、クロック分周とメモリウェイトサイクルを必要に応じて設定する。
詳細は、「[8.2.2. SCKDIVCR: システムクロック分周コントロールレジスタ](#)」および「[8.2.4. MEMWAIT: メモリウェイトサイクルコントロールレジスタ \(コードフラッシュ\)](#)」を参照してください。
4. (f2 MHz かつ LDOCR.CHG0 = 1 の High-speed モードで動作)

10.5.4 低消費電力モード遷移の特定の手順

f3 MHz の通常モードと、ソフトウェアスタンバイモードまたはスヌーズモードとの間で低消費電力モード遷移を行う場合は、以下の手順が必要です。

注. f3 MHz 以外の通常モードと、ソフトウェアスタンバイモードまたはスヌーズモードとの間で遷移を行う場合は、以下の特別手順は不要です。

(3-1) f3 MHz の通常モードからソフトウェアスタンバイモードへの遷移手順

1. (最初は f3 MHz かつ LDOCR.CHG0 = 1 の High-speed モードで動作)
2. SCKDIVCR.ICLK[2:0] を 000b から 001b に変更する。
(ICLK の周波数を f3 MHz から f3 MHz の半分に変更する。)
(f3 MHz での動作状態からソフトウェアスタンバイモードに遷移することは禁止されています。)
3. f3 MHz の半分の ICLK 周波数として、ICLK を除くクロック分周とメモリウェイトサイクルを必要に応じて設定する。詳細は、「[8. クロック発生回路](#)」の「[8.2.2. SCKDIVCR: システムクロック分周コントロールレジスタ](#)」と「[8.2.4. MEMWAIT: メモリウェイトサイクルコントロールレジスタ \(コードフラッシュ\)](#)」を参照してください。
4. ソフトウェアスタンバイモードに遷移する。
(ソフトウェアスタンバイモード時の状態)

注. LDOCR.CHG0 = 1 の状態でスヌーズモードを使用する場合は、ソフトウェアスタンバイモードへ遷移する前に MOCOCR.MCSTP を 0 にする必要があります。

(3-2) ソフトウェアスタンバイモードまたはスヌーズモードから f3 MHz の通常モードへの遷移手順 ((3-1) の続き)

1. (最初の状態はソフトウェアスタンバイモードまたはスヌーズモード)
2. 解除要因の発生
(f3 MHz の半分かつ LDOCR.CHG0 = 1 の通常モードへの遷移が自動的に実行される。)
3. CPU が動作を開始後、対象遷移先の周波数 (f3 MHz) によって、ICLK を除くクロック分周とメモリウェイトサイクルを必要に応じて設定する。詳細は、「[8. クロック発生回路](#)」の「[8.2.2. SCKDIVCR: システムクロック分周コントロールレジスタ](#)」と「[8.2.4. MEMWAIT: メモリウェイトサイクルコントロールレジスタ \(コードフラッシュ\)](#)」を参照してください。
4. LDO が安定するまで 30 μ s 以上待つ。
5. SCKDIVCR.ICLK[2:0] を 000b に設定する。
(f3 MHz かつ LDOCR.CHG0 = 1 の High-speed モードで動作)

10.6 スリープモード

10.6.1 スリープモードへの遷移

SBYCR.SSBY ビットが 0 の状態で WFI 命令を実行すると、MCU はスリープモードへ遷移します。このモードでは、CPU は動作を停止しますが、CPU の内部レジスタの値は保持されます。CPU 以外の周辺機能は停止しません。スリープモードで利用可能なリセットまたは割り込みが発生すると、スリープモードが解除されます。すべての割り込み要因が利用可能です。割り込みを使用してスリープモードを解除する場合、WFI 命令の実行前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1（スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント停止）の場合、MCU がスリープモードへ遷移すると IWDT はカウントを停止します。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0（スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント継続）の場合、MCU がスリープモードへ遷移しても IWDT はカウントを継続します。

WDT がオートスタートモードであり、かつ OFS0.WDTSTPCTL ビットが 1（スリープモード時に WDT カウント停止）の場合、MCU がスリープモードへ遷移すると WDT はカウントを停止します。同様に、WDT がレジスタスタートモードであり、かつ WDTCSSTPR.SLCSTP ビットが 1（スリープモード時に WDT カウント停止）の場合、MCU がスリープモードへ遷移すると WDT はカウントを停止します。

WDT がオートスタートモードであり、かつ OFS0.WDTSTPCTL ビットが 0（スリープモード時に WDT カウント継続）の場合、MCU がスリープモードへ遷移しても WDT はカウントを継続します。同様に、WDT がレジスタスタートモードであり、かつ WDTCSSTPR.SLCSTP ビットが 0（スリープモード時に WDT カウント継続）の場合、MCU がスリープモードへ遷移しても WDT はカウントを継続します。

10.6.2 スリープモードの解除

スリープモードは以下の方法で解除されます。

- 割り込み
- RES 端子リセット
- パワーオンリセット
- 電圧監視リセット
- SRAM パリティエラーリセット
- SRAM ECC エラーリセット
- バスマスタ MPU エラーリセット
- TrustZone エラーリセット
- IWDT または WDT アンダーフローによるリセット

動作は以下のとおりです。

1. 割り込みによる解除
割り込み要求が発生すると、スリープモードが解除されて、MCU は割り込み処理を開始します。
2. RES 端子リセットによる解除
RES 端子を Low にすると、MCU はリセット状態になります。「43. 電気的特性」に示す規定の期間に従って、RES 端子を Low に保つようにしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
3. IWDT リセットによる解除
IWDT アンダーフローによる内部リセットが発生すると、スリープモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件下では、スリープモード時に IWDT が停止して、スリープモードを解除するための内部リセットが発生しません。
 - OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSTPCTL = 1
4. WDT リセットによる解除
WDT アンダーフローによる内部リセットが発生すると、スリープモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件下では、通常モード時にカウントしている場合でも WDT はスリープモードで停止して、スリープモードを解除するための内部リセットが発生しません。
 - OFS0.WDTSTRT = 0（オートスタートモード）かつ OFS0.WDTSTPCTL = 1
 - OFS0.WDTSTRT = 1（レジスタスタートモード）かつ WDTCSSTPR.SLCSTP = 1
5. スリープモードで利用可能な他のリセットによる解除
その他の利用可能なリセットによってスリープモードは解除され、MCU はリセット例外処理を開始します。

注. 割り込みの正しい設定方法については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

10.7 ソフトウェアスタンバイモード

10.7.1 ソフトウェアスタンバイモードへの遷移

SBYCR.SSBY ビットが 1 の状態で WFI 命令を実行すると、MCU はソフトウェアスタンバイモードへ遷移します。このモードでは、CPU、ほとんどの内蔵周辺機能、および発振器が停止します。ただし、CPU の内部レジスタの値と SRAM データ、内蔵周辺機能と I/O ポートの状態は保持されます(注1)。ソフトウェアスタンバイモードでは、ほとんどの発振器が停止するため、消費電力が大幅に削減されます。表 10.2 には、各内蔵周辺機能と発振器の状態が示されています。ソフトウェアスタンバイモードで利用可能なリセットまたは割り込みが発生すると、ソフトウェアスタンバイモードが解除されます。利用可能な割り込み要因については表 10.3 を、ソフトウェアスタンバイモードからの復帰については、「12.2.18. WUPEN0: ウェイクアップ割り込みイネーブルレジスタ 0」、「12.2.19. WUPEN1: ウェイクアップ割り込みイネーブルレジスタ 1」、「12.2.20. WUPEN2: ウェイクアップ割り込みイネーブルレジスタ 2」を参照してください。割り込みを使用して割り込みを解除する場合、WFI 命令の実行前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

スヌーズモード時に DTC を使用する場合を除き、DMAST.DMST ビットと DTCST.DTCST ビットを 0 にしてから WFI 命令を実行してください。スヌーズモード時に DTC が必要な場合は、DTCST.DTCST ビットを 1 にしてから WFI 命令を実行してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1 (スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント停止) の場合、MCU がソフトウェアスタンバイモードへ遷移すると IWDT はカウントを停止します。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0 (スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント継続) の場合、MCU がソフトウェアスタンバイモードへ遷移しても IWDT はカウントを継続します。

ソフトウェアスタンバイモードへ遷移すると、PCLKB が停止するため WDT はカウントを停止します。

OSTDCR.OSTDE = 1 (発振停止検出機能が有効) の状態で、ソフトウェアスタンバイモードへ遷移しないでください。ソフトウェアスタンバイモードへ遷移する場合は、発振停止検出機能を無効 (OSTDCR.OSTDE = 0) にした後、WFI 命令を実行してください。OSTDCR.OSTDE = 1 の状態で WFI 命令を実行すると、SBYCR.SSBY = 1 であっても、MCU はスリープモードへ遷移します。

フラッシュメモリのプログラム/イレース処理中は、ソフトウェアスタンバイモードへ遷移しないでください。ソフトウェアスタンバイモードへ遷移する場合は、プログラム/イレース処理が完了してから WFI 命令を実行してください。

注 1. RAM 領域の保持は PSMCR レジスタで制御できます。

表 10.7 に、関連する制御ビットの設定値と、WFI 命令実行後に遷移するモードを示します。

表 10.7 WFI 命令実行時にモードに影響を及ぼすビット設定

		SBYCR.SSBY ビットの設定	
		SSBY = 0	SSBY = 1
OSTDCR.OSTDE	0	スリープ	ソフトウェアスタンバイ
	1		スリープ
FENTRYR.FENTRYC FENTRYR.FENTRYD	0	スリープ	ソフトウェアスタンバイ
	1		スリープ
OFS0.IWDTSTPCTL	0	スリープ	ソフトウェアスタンバイ
	1		
LVD1CR0.RI	0	スリープ	ソフトウェアスタンバイ
	1		
LVD2CR0.RI	0	スリープ	ソフトウェアスタンバイ
	1		

10.7.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは以下の方法で解除されます。

- 表 10.3 に示す利用可能な割り込み
- RES 端子リセット
- パワーオンリセット
- 電圧監視リセット
- IWDT アンダーフローによるリセット

ソフトウェアスタンバイモードが解除されると、ソフトウェアスタンバイモードへ遷移する前に動作していた発振器が動作を再開します。すべての発振器が安定してから、MCU はソフトウェアスタンバイモードから通常モードへ復帰します。ソフトウェアスタンバイモードから復帰させる方法については、「12.2.18. WUPEN0: ウェイクアップ割り込みイネーブルレジスタ 0」、「12.2.19. WUPEN1: ウェイクアップ割り込みイネーブルレジスタ 1」、「12.2.20. WUPEN2: ウェイクアップ割り込みイネーブルレジスタ 2」を参照してください。

以下の方法のいずれかによって、ソフトウェアスタンバイモードを解除できます。

1. 割り込みによる解除
利用可能な割り込み要求 (表 10.3 を参照) が発生すると、ソフトウェアスタンバイモードへ遷移する前に動作していた発振器が動作を再開します。すべての発振器が安定してから、MCU はソフトウェアスタンバイモードから通常モードへ復帰し、割り込み処理を開始します。
2. RES 端子リセットによる解除
RES 端子を Low にすると、MCU はリセット状態に遷移し、デフォルトで動作状態にあった発振器が発振を開始します。「43. 電气的特性」に示す規定の期間に従って、RES 端子を Low に保つようにしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
3. パワーオンリセットによる解除
パワーオンリセットによってソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。
4. 電圧監視リセットによる解除
電圧検出回路による電圧監視リセットによってソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。
5. IWDT リセットによる解除
IWDT アンダーフローによる内部リセットが発生すると、ソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。ただし、下記の条件下では、ソフトウェアスタンバイモード時に IWDT が停止して、ソフトウェアスタンバイモードを解除するための内部リセットが発生しません。
 - OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSTPCTL = 1

10.7.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がりエッジ検出時のソフトウェアスタンバイモードへの遷移と、IRQn 端子の立ち上がりエッジによるソフトウェアスタンバイモードの解除の例を図 10.6 に示します。

この例では、通常モードにおいて、ICU の IRQCRi.IRQMD[1:0] ビットが 00b (立ち下がりエッジ) の状態で IRQn 端子の割り込みを受け付けた後、IRQCRi.IRQMD[1:0] ビットを 01b (立ち上がりエッジ) にしています。続いて、SBYCR.SSBY ビットを 1 にした後、WFI 命令を実行しています。その結果、ソフトウェアスタンバイモードへの遷移が完了し、その後、IRQn 端子の立ち上がりエッジによってソフトウェアスタンバイモードが解除されます。

ソフトウェアスタンバイモードからの復帰には、ICU の設定も必要になります。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。図 10.6 の発振安定時間については、「43. 電气的特性」に示されています。

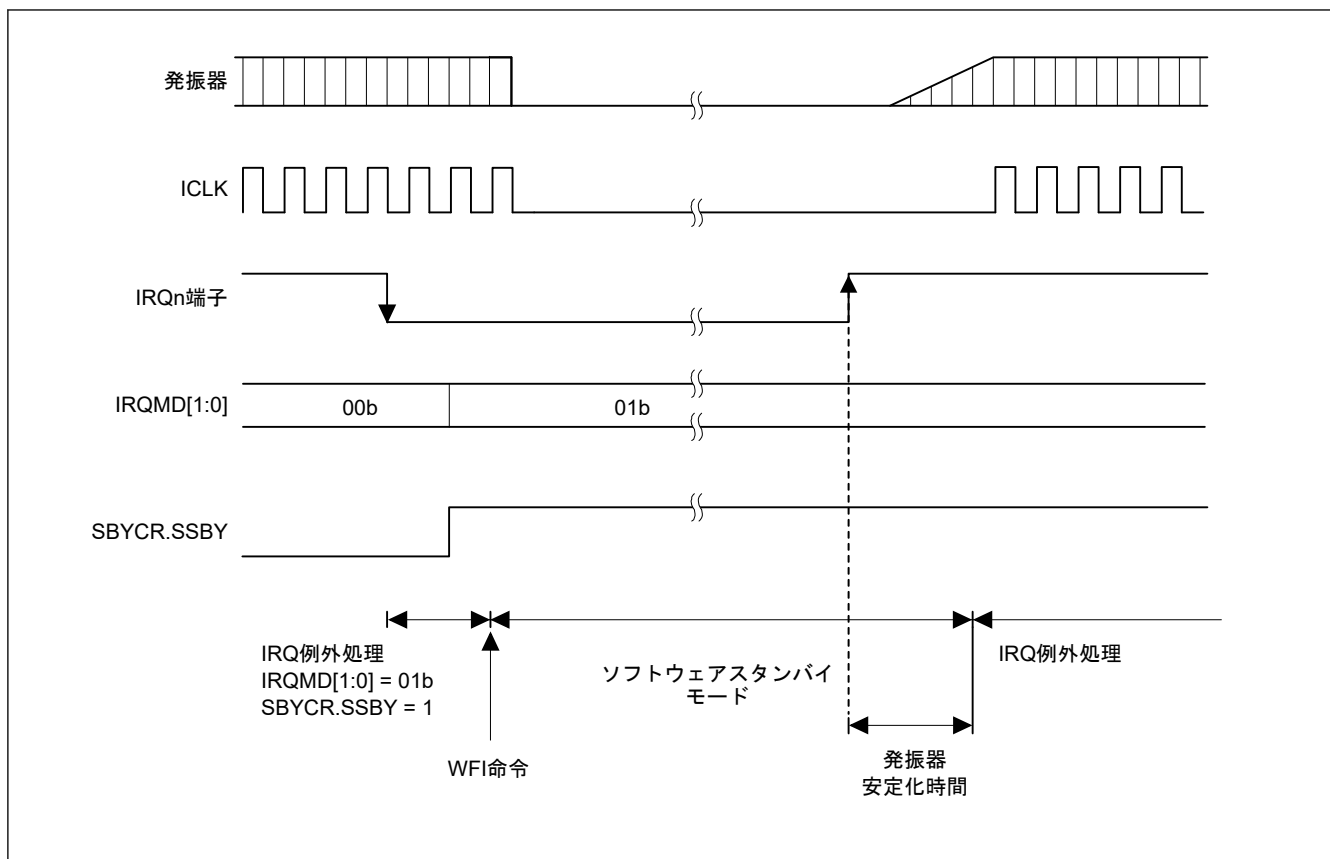


図 10.6 ソフトウェアスタンバイモードの応用例

10.8 スヌーズモード

10.8.1 スヌーズモードへの遷移

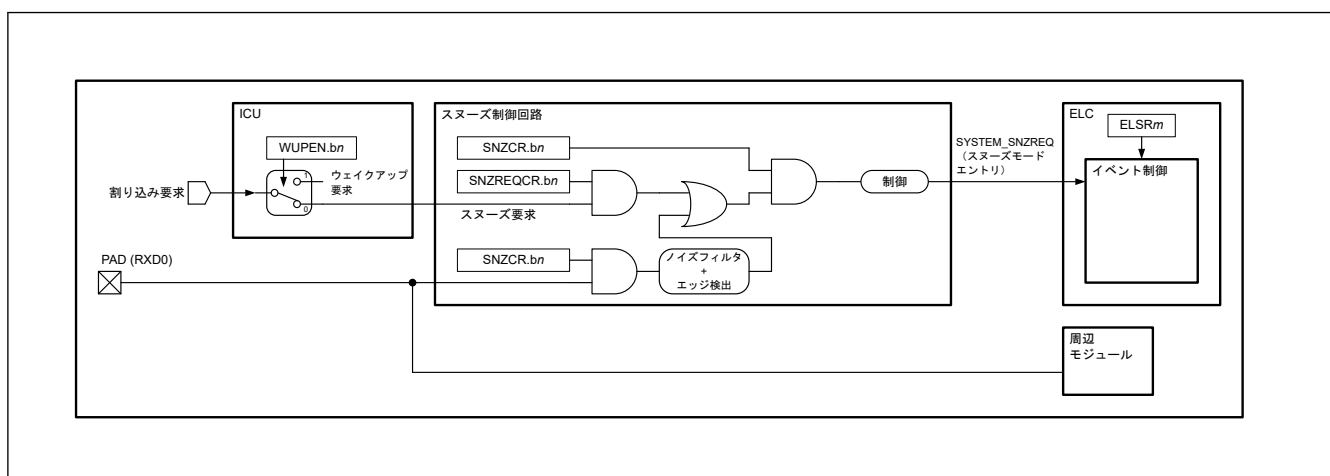


図 10.7 スヌーズモードへの遷移時構成

ソフトウェアスタンバイモード時に、スヌーズ制御回路が利用可能なスヌーズ要求を受け付けると、MCU はスヌーズモードへ遷移します。このモードでは、CPU が復帰していなくても一部の周辺モジュールは動作します。表 10.2 に、スヌーズモードで動作可能な周辺モジュールを示します。また、スヌーズモード時の DTC の動作は、SNZCR.SNZDTCEN ビットで選択できます。

表 10.8 に、MCU をソフトウェアスタンバイモードからスヌーズモードへ切り替えるためのスヌーズ要求を示します。これらのスヌーズ要求をスヌーズモードへ切り替えるためのトリガとして使用するには、ソフトウェアスタンバイモードへ遷移する前に、対応する SNZREQCR0 レジスタの SNZREQENn ビット、または SNZCR レジスタの RXDREQEN ビットを設定する必要があります。

表 10.8 スヌーズモードへの切り替えに利用可能なスヌーズ要求

スヌーズ要求	コントロールレジスタ	
	レジスタ	ビット(注1)
PORT_IRQn (n = 0~15)	SNZREQCR0	SNZREQENn (n = 0~15)
RTC_ALM	SNZREQCR0	SNZREQEN24
RTC_PRD	SNZREQCR0	SNZREQEN25
AGT1_AGTI	SNZREQCR0	SNZREQEN28
AGT1_AGTICMAI	SNZREQCR0	SNZREQEN29
AGT1_AGTICMBI	SNZREQCR0	SNZREQEN30
RXD0 立ち下がりエッジ	SNZCR	RXDREQEN(注2)

注 1. 同時に複数のスヌーズ要求を有効にしないでください。

注 2. 調歩同期式モード以外では、RXDREQEN ビットを 1 にしないでください。

スヌーズモード時に DTC を使用する場合を除き、DMAST.DMST ビットと DTCST.DTCST ビットを 0 にしてから WFI 命令を実行してください。スヌーズモード時に DTC が必要な場合は、DTCST.DTCST ビットを 1 にしてから WFI 命令を実行してください。

10.8.2 スヌーズモードの解除

スヌーズモードは、ソフトウェアスタンバイモードで利用可能な割り込み要求、またはリセットで解除されます。各モードを解除するために使用可能な要求を、表 10.3 に示します。スヌーズモードの解除後、MCU は通常モードへ遷移して、該当の割り込みまたはリセットの例外処理を開始します。SELSR0 で選択した割り込み要求を契機に実行される動作によってスヌーズモードが解除されます。スヌーズモードを解除するための割り込みは、対応する割り込み処理の NVIC とリンクさせるため、IELSRn で選択してください。SELSR0 レジスタと IELSRn レジスタについては、「12. 割り込みコントローラユニット (ICU)」を参照してください。

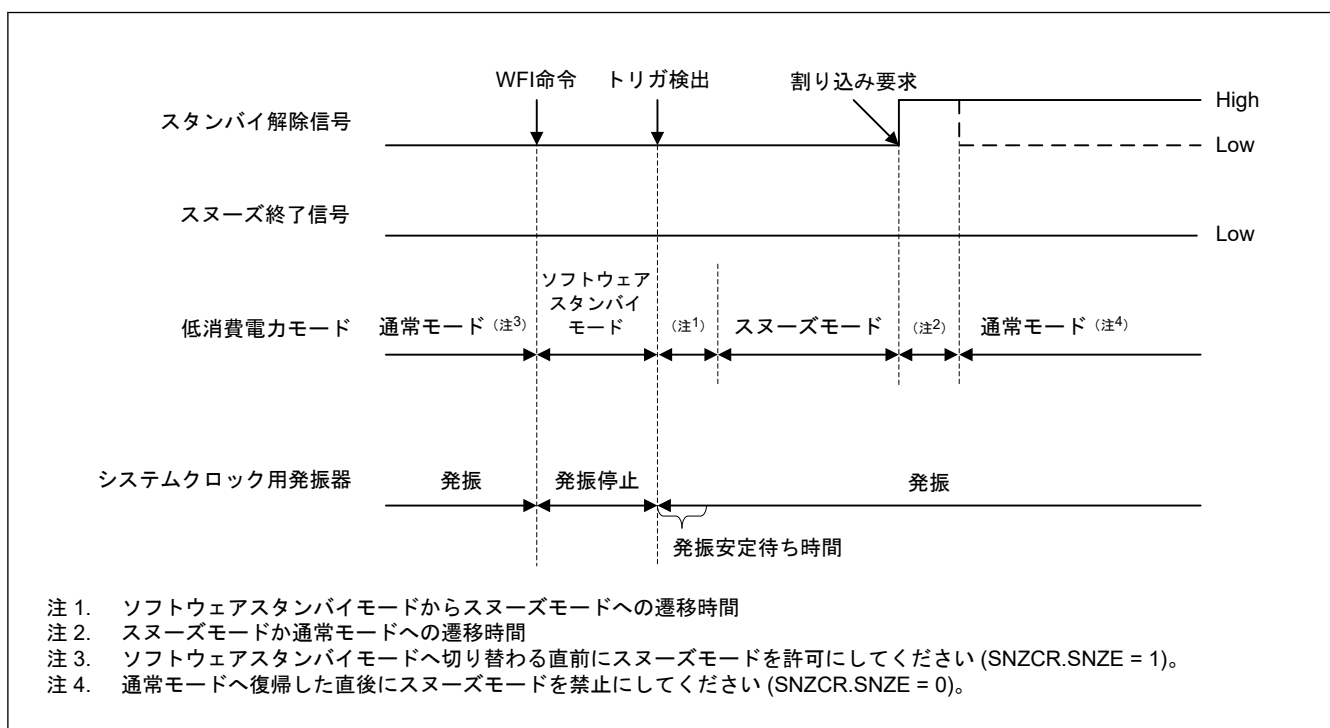


図 10.8 割り込み要求信号が発生する場合のスヌーズモードの解除

10.8.3 スヌーズモードからソフトウェアスタンバイモードへの復帰

表 10.9 に、ソフトウェアスタンバイモードへの復帰トリガとして使用可能なスヌーズ終了要求を示します。スヌーズ終了要求は、スヌーズモードでのみ利用可能です。MCU がスヌーズモード状態でないときに要求が発生し

ても、それらは無視されます。複数の要求を選択した場合、それぞれの要求がスヌーズモードからソフトウェアスタンバイモードへの遷移を行います。

表 10.10 にスヌーズ終了要求と周辺モジュールの条件から成るスヌーズ終了条件を示します。SCI0、ADC12、および DTC の各モジュールは、それらの動作が完了するまで本 MCU をスヌーズモードに保つことができます。ただし、ソフトウェアスタンバイモードへの復帰トリガとしての AGT1 アンダーフローは、SCI0 の動作完了を待たずにスヌーズモードを解除します。

図 10.9 に、スヌーズモードからソフトウェアスタンバイモードへ遷移する際のタイミング図を示します。このモード遷移は、SNZEDCR0 レジスタにスヌーズ終了要求が設定されると発生します。ソフトウェアスタンバイモードへ復帰後、スヌーズ要求は自動的にクリアされます。

表 10.9 利用可能なスヌーズ終了要求（ソフトウェアスタンバイモードへの復帰トリガ）

周辺モジュール	スヌーズ終了要求	許可／禁止制御	
		レジスタ	シンボル
AGT1	AGT1 アンダーフロー (AGT1_AGTI)	SNZEDCR0	AGTUNFED
DTC	最終 DTC 転送終了 (DTC_COMPLETE)	SNZEDCR0	DTCZRED
DTC	最終 DTC 転送未了 (DTC_TRANSFER)	SNZEDCR0	DTCNZRED
ADC120	ウィンドウ A/B コンペアマッチ (ADC120_WCMPPM)	SNZEDCR0	AD0MATED
ADC120	ウィンドウ A/B コンペア不一致 (ADC120_WCMPUM)	SNZEDCR0	AD0UMTED
SCI0	SCI0 アドレス不一致 (SCI0_DCUF)	SNZEDCR0	SCI0UMTED

表 10.10 スヌーズ終了条件

スヌーズ終了要求発生時に動作しているモジュール	スヌーズ終了要求	
	AGT1 アンダーフロー	AGT1 アンダーフロー以外
DTC	本表に記載するすべてのモジュールが動作を完了した後、MCU はソフトウェアスタンバイモードへ遷移する。	本列の左側に記載するすべてのモジュールが動作を完了した後、MCU はソフトウェアスタンバイモードへ遷移する。
ADC120		
SCI0	スヌーズ終了要求の発生後、MCU はただちにソフトウェアスタンバイモードへ遷移する。	
指定以外	スヌーズ終了要求の発生後、MCU はただちにソフトウェアスタンバイモードへ遷移する。	

注. DTC を用いて ADC120 または SCI を起動した場合は、スヌーズ終了要求の発生後、MCU はただちにソフトウェアスタンバイモードへ遷移します。

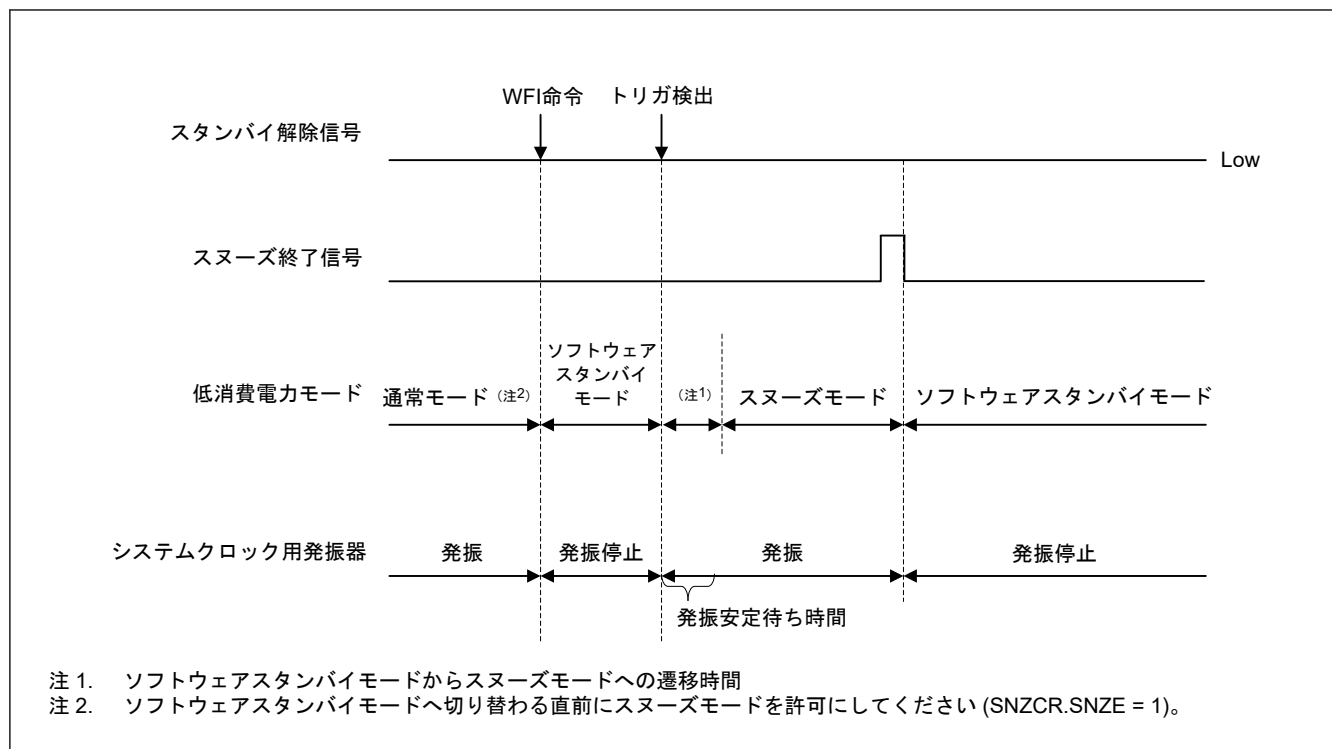
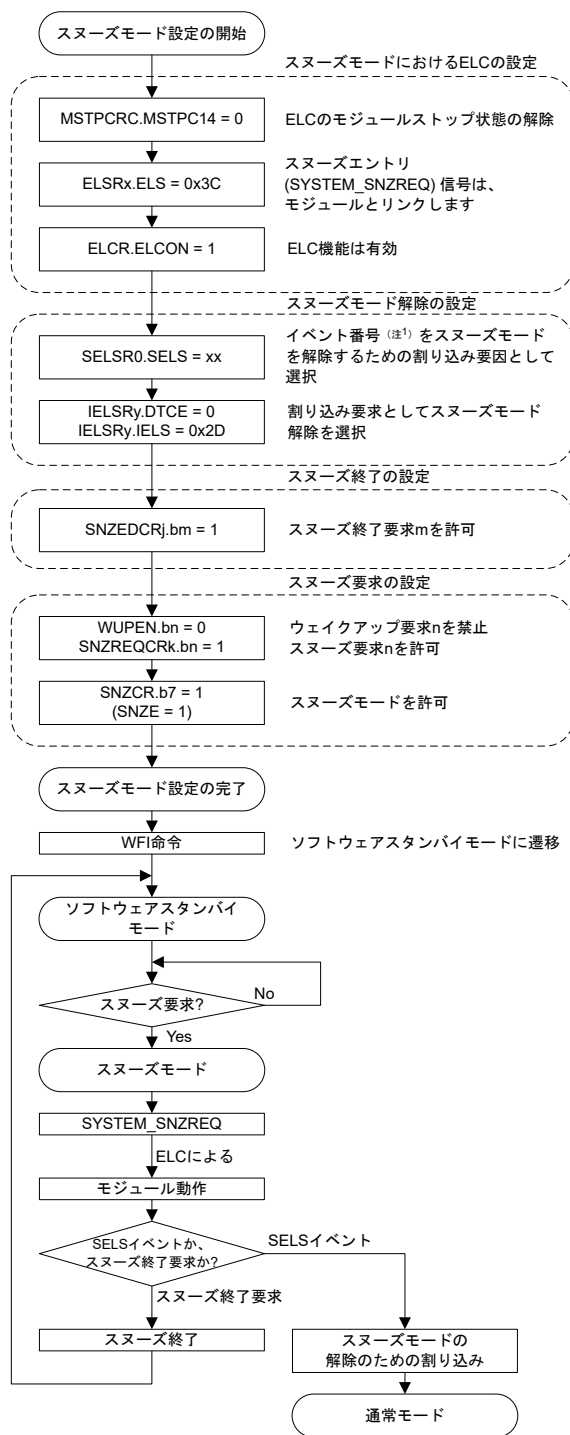


図 10.9 割り込み要求信号が発生しない場合のスヌーズモードの解除

10.8.4 スヌーズモードの動作例

図 10.10 にスヌーズモードで ELC を使用する場合の設定例を示します。



注 1. 表 12.4 を参照してください。

図 10.10 スヌーズモードで ELC を使用する場合の設定例

本 MCU は、CPU を介さずに SCI0 の調歩同期式モードでデータの送受信が可能です。スヌーズモードで SCI0 を使用する場合、High-speed モード、Middle-speed モード、または Low-speed モードのいずれかを使用してください。

Subosc-speed モードは使用しないでください。表 10.11 に、スヌーズモードにおける SCI0 の最大転送速度を示します。

表 10.11 スヌーズモードにおける SCI0 の最大転送速度、HOCO: $\pm 1\%$ (単位 : bps)

ICLK、PCLKB、および PCLKD の最大分周比	HOCO 周波数			
	24 MHz	32 MHz	48 MHz	64 MHz
1	9600 ^(注1)	9600 ^(注4)	—	—
2	9600 ^(注2)	9600 ^(注5)	4800	2400
4	9600 ^(注3)	9600 ^(注6)	4800	2400
8	4800	4800	4800	2400
16	4800	4800	4800	2400
32	2400	2400	2400	2400
64	2400	2400	2400	2400

注 1. 9600 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 0x3D、SCI0.MDDR = 0xCE にしてください。

注 2. 9600 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 0x1E、SCI0.MDDR = 0xCE にしてください。

注 3. 9600 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 0x0D、SCI0.MDDR = 0xBA にしてください。

注 4. 9600 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 0x3E、SCI0.MDDR = 0x9D にしてください。

注 5. 9600 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 0x32、SCI0.MDDR = 0xFE にしてください。

注 6. 9600 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 0x18、SCI0.MDDR = 0xF9 にしてください。

スヌーズモードで SCI0 を使用する場合、以下の設定を使用してください。BGDM = 0、ABCS = 0、ABCSE = 0。これらのビットについての詳細は、「[25. シリアルコミュニケーションインタフェース \(SCI\)](#)」を参照してください。

[図 10.11](#) にスヌーズモードエントリで SCI0 を使用する場合の設定例を示します。

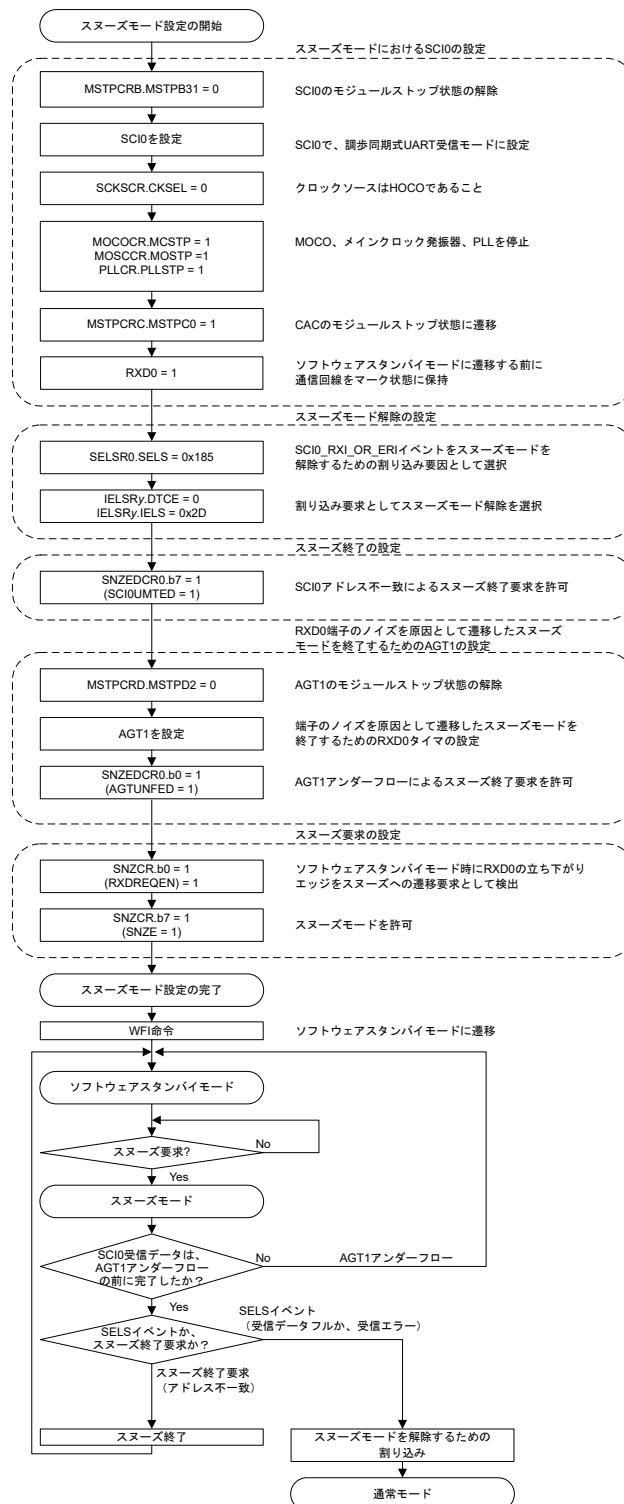


図 10.11 スヌーズモードエントリで SCI0 を使用する場合は設定例

10.9 使用上の注意

10.9.1 レジスタアクセス

(1) 特定モードの期間中または遷移中の無効なレジスタへの書き込みアクセス

下記のいかなる条件においても、レジスタ書き込みを行わないでください。

[レジスタ]

- “SYSTEM”という周辺名をもつ全レジスタ

[条件]

- OPCCR.OPCMTSF = 1 または SOPCCR.SOPCMTSF = 1（動作電力制御モード遷移中）
- WFI 命令の実行から通常モードへ復帰するまでの期間中
- FENTRYR.FENTRY0 = 1 または FENTRYR.FENTRYD = 1（フラッシュ P/E モード、データフラッシュ P/E モード）

(2) クロック関連レジスタに対する有効な設定値

表 10.12 と表 10.13 に、各動作電力制御モードにおけるクロック関連レジスタの有効な設定値を示します。有効な設定値以外の値を書き込まないようにしてください。また、各レジスタには、動作電力制御モード関連以外の特定の条件下で禁止される設定値もあります。各レジスタに対する他の条件については、「8. クロック発生回路」を参照してください。

表 10.12 クロック関連レジスタに対する有効な設定値 (1)

モード	設定有効値								
	SCKSCR. CKSEL[2:0] CKOCR. CKOSEL[2:0]	SCKDIVC R. FCK[2:0] ICK[2:0]	PLLCR. PLLSTP	HOCOCR. HCSTP	MOCOCR. MCSTP	LOCOCR. LCSTP	MOSCCR. MOSTP	SOSCCR. SOSTP	PLLRTCCR. PLLRTCSTP
High-speed または Middle-speed	000b (HOCO) 001b (MOCO) 010b (LOCO) 011b (メインクロック) 100b (サブクロック) 101b (PLL) (注1) 101b (PLL) (注1)	000b (1/1) 001b (1/2) 010b (1/4) 011b (1/8) 100b (1/16) 101b (1/32) 110b (1/64)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)
Low-speed	000b (HOCO) 001b (MOCO) 010b (LOCO) 011b (メインクロック) 100b (サブクロック)		1 (停止)						1 (停止)
Subosc-speed	010b (LOCO) 100b (SOSC)	000b (1/1)	1 (停止)	1 (停止)	1 (停止)	0 (動作) 1 (停止)	1 (停止)	0 (動作) 1 (停止)	1 (停止)

注 1. SCKSCR.CKSEL[2:0]のみ

表 10.13 クロック関連レジスタに対する有効な設定値 (2) (1/2)

動作発振器	設定有効値	
	SOPCCR.SOPCM	OPCCR.OPCM[1:0]
PLL	0	00b、01b
高速オンチップオシレータ	0	00b、01b、11b
中速オンチップオシレータ		
メインクロック発振器		

表 10.13 クロック関連レジスタに対する有効な設定値 (2) (2/2)

動作発振器	設定有効値	
	SOPCCR.SOPCM	OPCCR.OPCM[1:0]
低速オンチップオシレータ	0、1	00b、01b、11b
サブクロック発振器		
IWDT 専用オンチップオシレータ		
PLL_RTC	0	00b、01b

(3) Subosc-speed モードにおける無効なレジスタへの書き込みアクセス

下記の条件では、レジスタ書き込みを行わないでください。

[レジスタ]

- SCKSCR, OPCCR

[条件]

- SOPCCR.SOPCM = 1 (Subosc-speed モード)

(4) DTC または DMAC による無効なレジスタへの書き込みアクセス

DTC または DMAC によって、下記のレジスタに書き込まないでください。

[レジスタ]

- MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD、MSTPCRE

(5) スヌーズモードにおける無効なレジスタへの書き込みアクセス

スヌーズモード時に、下記のレジスタに書き込まないでください。これらのレジスタの設定は、ソフトウェアスタンバイモードへ遷移する前に行ってください。

[レジスタ]

- SNZCR, SNZEDCR0, SNZREQCR0

(6) PRCR.PRC1 ビットが 0 の場合の無効な書き込みアクセス

PRCR.PRC1 ビットが 0 の場合、下記のレジスタに書き込まないでください。

[レジスタ]

- SBYCR, SNZCR, SNZEDCR0, SNZREQCR0, PSMCR, SRMPSCR, OPCCR, SOPCCR, SYOCDCR, LDOCR

(7) PRCR.PRC4 ビットが 0 の場合の無効な書き込みアクセス

PRCR.PRC4 ビットが 0 の場合、下記のレジスタに書き込まないでください。

[レジスタ]

- LPMSAR

10.9.2 I/O ポートの端子状態

ソフトウェアスタンバイモードおよびスヌーズモード（スヌーズモード時に書き換える場合は除く）における I/O ポートの端子状態は、各モードへ遷移する前と同じです。したがって、High を出力している間、消費電力は低減されません。

10.9.3 DTC と DMAC のモジュールストップ状態

MSTPCRA.MSTPA22 ビットを 1 にする前に、DMAC の DMAST.DMST ビットと DTC の DTCST.DTCST ビットを 0 にしてください。詳細は、「[15. DMA コントローラ \(DMAC\)](#)」および「[16. データ転送ファコントローラ \(DTC\)](#)」を参照してください。

10.9.4 内部割り込み要因

モジュールストップ状態では、割り込みの動作ができません。割り込み要求が発生しているときに、モジュールストップビットを設定すると、CPU の割り込み要因や、DTC や DMAC の起動要因をクリアできません。そのため、事前に対応する割り込みを禁止してから、モジュールストップビットを設定してください。

10.9.5 低消費電力モードへの遷移

本 MCU はイベントによるウェイクアップをサポートしていないため、WFI 命令の実行によって低消費電力モード（スリープモード、ソフトウェアスタンバイモードなど）へ遷移させないでください。また、本 MCU は SLEEPDEEP による低消費電力モードをサポートしていないため、Cortex-M33 コアが内蔵するシステムコントロールレジスタの SLEEPDEEP ビットは設定しないでください。

10.9.6 WFI 命令のタイミング

WFI 命令は、I/O レジスタの書き込みが完了する前に実行されることがあり、その場合、意図しない動作を起こす恐れがあります。これは、I/O レジスタへの書き込み直後に WFI 命令が実行された場合に生じます。この問題を避けるには、書き込まれたレジスタを読み戻して、書き込みの完了を確認してください。

10.9.7 スリープモード／スヌーズモード時の DTC／DMAC による WDT／IWDG レジスタの書き込みについて

WDT や IWDG はスリープモードやスヌーズモードに遷移すると停止します。停止中は DTC や DMAC で WDT や IWDG に関連するレジスタを書き換えしないでください。

10.9.8 スヌーズモードにおける発振器について

ソフトウェアスタンバイモードへ遷移して停止した発振器は、スヌーズモードへの切り替えトリガが発生すると、自動的に動作を再開します。すべての発振器が安定するまで、MCU はスヌーズモードへ遷移しません。スヌーズモード時には、ソフトウェアスタンバイモードへ遷移する前に、スヌーズモードで不要な発振器を無効にする必要があります。そうしないと、ソフトウェアスタンバイモードからスヌーズモードへの遷移に時間がかかります。

10.9.9 RXD0 の立ち下がりエッジによるスヌーズモードエントリ

SNZCR.RXDREQEN ビットが 1 のときに、SCI0 の UART をスヌーズモードで使用する場合、RXD0 端子の立ち下がりエッジを使用して本 MCU をソフトウェアスタンバイモードからスヌーズモードへ切り替えます。この場合、SCI0_ERI、SCI0_RXI、またはアドレス不一致イベントなどの割り込みが、スヌーズモードを解除するための要因として使用されます。ただし、RXD0 端子のノイズが原因で、本 MCU が意図せずソフトウェアスタンバイモードからスヌーズモードへ遷移する場合があります。この場合、ノイズ発生後に MCU が RXD0 データを受信しなければ、割り込み（SCI0_ERI、SCI0_RXI など）もアドレス不一致イベントも発生せず、MCU はスヌーズモードを維持します。これは、AGT1 アンダーフローの前に UART 受信データが完了しなければ、AGT1 アンダーフロー割り込みを使用してソフトウェアスタンバイモードまたは通常動作モードへ復帰することで回避できます。ただし UART 通信中は、ソフトウェアスタンバイモードへの復帰要因として AGT1 アンダーフローを使用しないでください。これにより、UART が中途半端な状態で動作を停止します。

10.9.10 スヌーズモードにおける SCI0 の UART の使用

スヌーズモードで UART を使用する場合、スヌーズ要求（RXD0 端子の立ち下がりエッジ）が WUPEN レジスタにて設定されたウェイクアップ要求と競合しないようにしてください。その場合の UART は保証されません。

スヌーズモードで UART を使用する場合は、下記の条件が満たされなければいけません。

- クロックソースは HOCO であること
- MOCO、PLL、メインクロック発振器は、ソフトウェアスタンバイモード遷移前に停止していること
- RXD0 端子は、ソフトウェアスタンバイモード遷移前に High を維持していること
- SCI0 通信中は、ソフトウェアスタンバイモードへの遷移が生じないこと
- ソフトウェアスタンバイモード遷移前に、MSTPCRC.MSTPC0 ビットが 1 であること

10.9.11 スヌーズモードにおける A/D 変換開始条件

スヌーズモードでは、ELC のみが ADC120 の開始トリガとなれます。ソフトウェアトリガや ADTRGn (n = 0, 1) 端子を使用しないでください。

10.9.12 スヌーズモードにおける ELC イベント

本節ではスヌーズモードで利用できる ELC イベントを示します。これ以外のイベントは使用しないでください。スヌーズモードへ遷移後、初めて周辺モジュールを起動する場合は、イベントリンク設定レジスタ (ELSRn) において、スヌーズモードエントリイベント (SYSTEM_SNZREQ) をトリガとして設定する必要があります。

- スヌーズモードへの遷移 (SYSTEM_SNZREQ)
- DTC 転送終了 (DTC_DTCEND)
- ADC120 ウィンドウ A/B コンペアマッチ (ADC120_WCMPPM)
- ADC120 ウィンドウ A/B コンペア不一致 (ADC120_WCMPUM)
- データ演算回路割り込み (DOC_DOPCI)

10.9.13 A/D コンバータのモジュールストップ機能

ソフトウェアスタンバイモードへ遷移する場合は、ADC120 をモジュールストップ状態に設定して消費電力を削減することが推奨されます。この場合、DTC を用いて ADC120 のモジュールストップを解除すると、スヌーズモードで ADC120 が利用可能になります。同様に、スヌーズモードからソフトウェアスタンバイモードへ復帰する前に、DTC を使用してモジュールストップ状態に戻してください。

10.9.14 モジュールストップビット書き込みタイミング

対応するモジュールストップビットの書き込みが完了する前に I/O レジスタへのアクセスを実行することは可能です。この場合、I/O レジスタへのアクセスは意図しない動作を起こす恐れがあります。この問題を避けるには、I/O レジスタにアクセスする前に、モジュールストップビットを読み戻して、書き込みの完了を確認してください。

10.9.15 Sleep-on-exit 機能

低消費電力モードに遷移する方法は 2 つあります。1 つは、WFI 命令であり、もう 1 つは Sleep-on-exit です。Sleep-on-exit を低消費電力モードへの遷移に使う場合、ユーザーズマニュアルハードウェア編に記載の WFI 命令に関するコメントを Sleep-on-exit に適用できます。

10.9.16 低消費電力モードへの遷移中の割り込み

ソフトウェアが「10.9.16.1. 適用条件と注意事項」に示す条件を満たす場合、所望の低消費電力モードに遷移できず、「10.9.16.1. 適用条件と注意事項」に説明する望ましくない状態に遷移することがあります。

「10.9.16.1. 適用条件と注意事項」の注記に示す望ましくない状態を許容できない場合、「10.9.16.2. 回避策」を参照してください。

10.9.16.1 適用条件と注意事項

(1) 適用条件

ソフトウェアスタンバイモードまたはスヌーズモードを使用するために SBYCR.SSBY = 1 に設定した状態では、WFI 命令または SLEEPONEXIT のトリガによりソフトウェアスタンバイモードへの遷移を開始します。

ソフトウェアスタンバイモードに遷移するために指定された間隔 (2 ICLK サイクル) の間は、ソフトウェアスタンバイモードから復帰するための割り込み要因ではない以下の割り込み要因のいずれか 1 つが CPU で受け付けられます。

1. SysTick 割り込み (以下のすべてが適用可能)

- 割り込みベクタテーブルの例外番号 15
- 割り込み要求は、基本優先順位マスクレジスタ (BASEPRI) でマスクされません。
(BASEPRI = 0 または BASEPRI > SHPR3.PRI_15)

2. ソフトウェアスタンバイモードからの復帰のための割り込み要因でないマスカブル割り込み要求（以下のすべてが適用可能）
 - ソフトウェアスタンバイモードからの復帰のために許可されていない割り込みベクタの表の例外番号 16～79 の WUPEN
 - 割り込み要求は、割り込み許可セットレジスタ (NVIC_ISERn) で許可されます。
 - 割り込み要求は、基本優先順位マスクレジスタ (BASEPRI) でマスクされません。
(BASEPRI = 0 または BASEPRI > NVIC_IPRn.PRI_N)
3. 以下の要因でトリガされるノンマスカブル割り込み要求
 - SRAM パリティエラー
 - SRAM ECC エラー
 - バスマスタ MPU エラー
 - TrustZone フィルタエラー

(2) 備考

上記の条件を満たす場合、MCU は以下の望ましくない状態に遷移します。これらの望ましくない状態は、リセットまたはソフトウェアスタンバイモードからの復帰のための割り込み要因の割り込み要求で通常モードに復帰することにより解決します。

1. ソフトウェアスタンバイモード (SBYCR.SSBY = 1, SNZCR.SNZE = 0) に遷移するとき
CPU クロックのみが停止し、かつソフトウェアスタンバイモードに遷移する前に残っているクロックが動作を継続している場合。
 - ソフトウェアスタンバイモードへの遷移を開始する前に、設定によって、タイマまたはほかの周辺機能が動作を継続し、周辺機能に関係する割り込み要求が発生する場合。
 - IWDT と WDT クロック停止機能が無効であるため、設定によって、ソフトウェアスタンバイモードへの遷移を開始する前に IWDT と WDT に対するリセットまたは割り込みが発生する場合。
 - IR フラグ (IELSRn, DELSRn) で割り込み要求が発生する場合。
2. スヌーズモード (SBYCR.SSBY = 1, SNZCR.SNZE = 1) に遷移するとき
スヌーズモードへの遷移が不可能で、かつ「(1) ソフトウェアスタンバイモードに遷移するとき」に示す状態が続いている場合。
スヌーズモードから割り込み要因 (SELSR0) で通常モードへの復帰は、DTC 動作が無効であるときにスヌーズモードから復帰するための割り込み要求 (SELSR0) を発生できるかどうかによります。
スヌーズモードで DTC 動作が無効 (SNZCR.SNZDTCEN = 0) である場合、スヌーズモードから復帰するための割り込み要因 (SELSR0) を発生できるため、通常モードへ復帰できます。
スヌーズモードで DTC 動作が有効 (SNZCR.SNZDTCEN = 1) である場合、スヌーズモードから復帰するための割り込み要因 (SELSR0) を発生できないため、通常モードへ復帰できません。

10.9.16.2 回避策

(1) 回避策

上記の望ましくない状態を回避するため、ソフトウェアスタンバイモードまたはスヌーズモードへの遷移の条件に一致する前に以下を適用してください。（設定手順については、「ソフトウェアスタンバイモードまたはスヌーズモードへの遷移に関する設定手順」を参照してください。）

1. SysTick 割り込み要求を禁止してください。
割り込みベクタテーブルの例外番号 15
2. ソフトウェアスタンバイモードからの復帰のための割り込み要因でないマスカブル割り込み要求を禁止してください。
WUPEN がソフトウェアスタンバイモードからの復帰を許可しない割り込みベクタテーブル例外番号 16～79
3. 以下の要因によりノンマスカブル割り込みがトリガされないようにするため、CPU 以外のバスマスタからのアクセスを停止してください。
 - SRAM パリティエラー
 - SRAM ECC エラー

バスマスタ MPU エラー

TrustZone フィルタエラー

(2) ソフトウェアスタンバイモードまたはスヌーズモードへの遷移に関する設定手順

この項では、望ましくない状態を回避するための手順を説明します。

ソフトウェアスタンバイモードまたはスヌーズモードから復帰した後の割り込み要求の取り扱いは、マスカブル割り込み要求を禁止するための方法によって異なります。どちらか一方を適用する必要があります。

- 手順 A：マスカブル割り込み要求の受け入れを禁止してください。
割り込み要求受け入れを禁止している時に発生する割り込み要求は破棄されます。

表 10.14 ソフトウェアスタンバイモードまたはスヌーズモードへの遷移の前

手順	説明
1	CPU 以外のバスマスタからのバスアクセスを停止してください。(注1)
2	SysTick 割り込み要求を禁止してください。(注2)
3	ソフトウェアスタンバイモードからの復帰のための割り込み要因でないマスカブル割り込み要求を禁止するために、ICU の IELSRn をクリアしてください。
4	ICU の IELSRn がクリアされたことを確認するために、ICU の IELSRn を読み出してください。
5	ソフトウェアスタンバイモードへの遷移 (WFI 命令、SLEEPONEXIT)

注 1. SRAM パリティエラー割り込み、SRAM ECC エラー割り込み、MPU バスマスタエラー割り込み、MPU バススレーブエラー割り込み、または TrustZone フィルタエラー割り込みがノンマスカブル割り込みとして許可されます。

注 2. SysTick 割り込み要求を禁止すると、最新の SysTick 割り込み要求が発生せずに SysTick タイマ 1 サイクル分 SysTick 割り込み要求が遅延することがあります。

表 10.15 ソフトウェアスタンバイモードまたはスヌーズモードからの復帰後

手順	説明
1	SysTick 割り込み要求を許可してください。
2	ソフトウェアスタンバイモードからの復帰のための割り込み要因でないマスカブル割り込み要求を許可するために、ICU の IELSRn を設定してください。
3	CPU 以外のバスマスタからのバスアクセスを許可してください。

- 手順 B：マスカブル割り込み要求を禁止してください。
割り込み要求を禁止している間に発生した割り込み要求は IELSRn.IR フラグに保持されます。したがって、ソフトウェアスタンバイモードまたはスヌーズモードからの復帰し、マスカブル割り込みを許可した後、その割り込みを処理できるようになります。

表 10.16 ソフトウェアスタンバイモードまたはスヌーズモードへの遷移の前

手順	説明
1	CPU 以外のバスマスタからのバスアクセスを停止してください。(注1)
2	SysTick 割り込み要求を禁止してください。(注2)
3	ソフトウェアスタンバイモードからの復帰のための割り込み要因でないマスカブル割り込み要求を禁止するために、CPU の NVIC_ICERn の対応するビットに 1 を書き込んでください。
4	データ同期バリア (DSB) 命令を実行してください。
5	ソフトウェアスタンバイモードへの遷移 (WFI 命令、SLEEPONEXIT)

注 1. SRAM パリティエラー割り込み、SRAM ECC エラー割り込み、MPU バスマスタエラー割り込み、MPU バススレーブエラー割り込み、または TrustZone フィルタエラー割り込みがノンマスカブル割り込みとして許可されます。

注 2. SysTick 割り込み要求を禁止すると、最新の SysTick 割り込み要求が発生せずに SysTick タイマ 1 サイクル分 SysTick 割り込み要求が遅延することがあります。

表 10.17 ソフトウェアスタンバイモードまたはスヌーズモードからの復帰後 (1/2)

手順	説明
1	SysTick 割り込み要求を許可してください。

表 10.17 ソフトウェアスタンバイモードまたはスヌーズモードからの復帰後 (2/2)

手順	説明
2	ソフトウェアスタンバイモードからの復帰のための割り込み要因でないマスカブル割り込み要求を許可するために、CPU の NVIC_ISEr _n の対応するビットに 1 を書き込んでください。
3	CPU 以外のバスマスタからのバスアクセスを許可してください。

11. レジスタライトプロテクション

11.1 概要

レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。

表 11.1 に PRCR レジスタのビットと保護されるレジスタの対応関係を示します。

表 11.1 PRCR レジスタのビットと保護されるレジスタの対応関係

PRCR レジスタ	保護されるレジスタ
PRC0	クロック発生回路に関連するレジスタ : SCKDIVCR, SCKSCR, MEMWAIT, PLLCCR, PLLCR, PLLRTCCCR, PLLRTCCR, MOSCCR, HOCOCR, HOCOCR2, MOCOCR, SOMRG, SLCDSCPCR, CKOCR, OSTDCR, OSTDSR, SOSTDCR, MOCOUTCR, HOCOUTCR, CANFDCKDIVCR, CANFDCKCR, MOSCWTCR, MOMCR, SOSCCR, SOMCR, LOCOCR, LOCOUTCR
PRC1	低消費電力モードに関連するレジスタ SBYCR, SNZCR, SNZEDCR0, PSMCR, SRMPSCR, SNZREQCR0, OPCCR, SOPCCR, SYOCDCR, LDOCR, FLSTOP
PRC3	LVD 関連レジスタ : LVD1CR1, LVD1SR, LVD2CR1, LVD2SR, LVD1CMPCR, LVD2CMPCR, LVD1CR0, LVD2CR0, VBTLVDCR, VRTLVDICR, EXLVDCR, VBTLVDSR, VRTSR, EXLVDSR, VBTCMPCR, VRTCMPCR, EXLVDCMPCR, VBTLVDCR, VRTLVDICR, EXLVDCR
PRC4	セキュリティ機能に関連するレジスタ : CPUDSAR, RSTSAR, LVDSAR, CGFSAR, LPMSAR, ICUSARx (x = A~H, M), BUSSARx (x = A, B), MMPUSARx (x = A, B), DMACSAR, DTCSAR, ELCSARx (x = A~C), PmSAR (m = 0~8), PSAR, SRAMSAR, FSAR, PSARx (x = B~E), MSSAR, TZFSAR

11.2 レジスタの説明

11.2.1 PRCR : プロテクトレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x3FE

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PRKEY[7:0]								—	—	—	PRC4	PRC3	—	PRC1	PRC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PRC0	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
1	PRC1	低消費電力モードに関連するレジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	PRC3	LVD 関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
4	PRC4	セキュリティ機能関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
15:8	PRKEY[7:0]	PRC キーコード PRCR レジスタへの書き込みを制御します。PRCR レジスタを書き換える場合、上位 8 ビットに 0xA5、下位 8 ビットに任意の値を、16 ビット単位で書いてください。	W

PRCn ビット（プロテクトビット n）（n = 0, 1, 3, 4）

PRCn ビットによって、[表 11.1](#)に記載されている保護されるレジスタへの書き込みを許可または禁止します。PRCn ビットを 1 にすると書き込み許可になり、0 にすると書き込み禁止になります。

PRCR および PRCR に制御されるレジスタが連続的に書き込みアクセスされる場合、PRC4 により制御されるレジスタは PRC4 の変更を反映しない可能性があります。連続的な書き込みアクセスを避けるか、または PRC4 の変更後に PRCR を読み出してから、PRC4 で制御されるレジスタに書き込みアクセスをしてください。

12. 割り込みコントローラユニット (ICU)

12.1 概要

割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ (NVIC)、DMA コントローラ (DMAC)、およびデータトランスファコントローラ (DTC) モジュールにリンクされるイベント信号を制御します。ICU はノンマスクابل割り込みも制御します。

表 12.1 に ICU の仕様、図 12.1 に ICU のブロック図、表 12.2 に ICU の入出力端子を示します。

表 12.1 ICU の仕様

項目	内容
マスクابل割り込み	周辺機能割り込み
	外部端子割り込み
	CPU (NVIC) への割り込み要求
	DMAC 制御
	DTC 制御
ノンマスクابل割り込み ^(注2)	NMI 端子割り込み
	WDT アンダーフロー／リフレッシュエラー ^(注3)
	IWDT アンダーフロー／リフレッシュエラー ^(注3)
	低電圧検出 1 ^(注3)
	低電圧検出 2 ^(注3)
	RPEST ^(注5)
	RECCST ^(注5)
	TZFST ^(注5)
	発振停止検出割り込み ^(注3)
	バスマスタ MPU エラー ^(注5)
低消費電力モード	CPEST ^(注5)
	TrustZone フィルタ

注 1. DMAC と DTC の起動要因については、表 12.4 を参照してください。

注 2. リセット解除後に 1 回だけノンマスクابل割り込みを許可することができます。

注 3. これらのノンマスクابل割り込みは、マスクابل割り込みとしても使用可能です。マスクابل割り込みとして使用する場合、NMIER レジスタの値をリセット状態から変更しないでください。電圧監視 1 割り込みと電圧監視 2 割り込みを許可するには、LVD1CR1.IRQSEL ビットと LVD2CR1.IRQSEL ビットを 1 にしてください。

注 4. Low レベル：検出後にクリアしなければ、割り込み検出は中止されません。
注 5. これらのノンマスクابل割り込み要因は、要求要因のクロックが低消費電力モード中に停止している場合はリカバリできません。
図 12.1 に ICU のブロック図を示します。

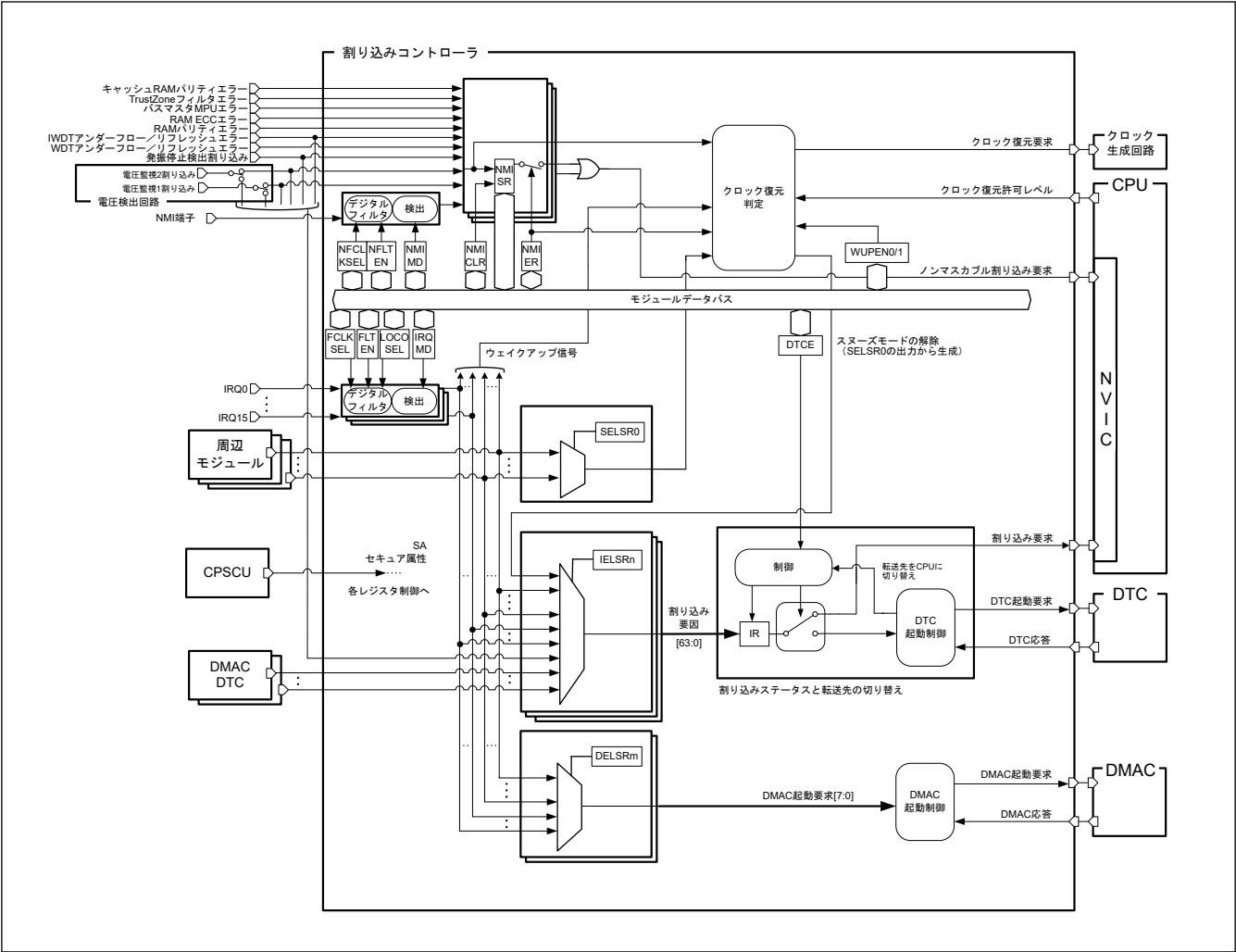


図 12.1 ICU のブロック図

表 12.2 に ICU の入出力端子を示します。

表 12.2 ICU の入出力端子

端子名	入出力	内容
NMI	入力	ノンマスクابل割り込み要求端子
IRQi (i = 0~15)	入力	外部割り込み要求端子

12.2 レジスタの説明

本章では、Arm® NVIC の内部レジスタについては説明していません。これらのレジスタについては、ARM® Cortex®-M33 Processor Technical Reference Manual (ARM 100230) を参照してください。

12.2.1 ICUSARA : 割り込みコントローラセキュリティ属性レジスタ A

Base address: CPSCU = 0x4000_8000

Offset address: 0x40

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SAIRQ CR15	SAIRQ CR14	SAIRQ CR13	SAIRQ CR12	SAIRQ CR11	SAIRQ CR10	SAIRQ CR9	SAIRQ CR8	SAIRQ CR7	SAIRQ CR6	SAIRQ CR5	SAIRQ CR4	SAIRQ CR3	SAIRQ CR2	SAIRQ CR1	SAIRQ CR0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
15:0	SAIRQCR15~ SAIRQCR0	IRQCRn レジスタのためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:16	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスメッセージは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

SAIRQCRn ビット (IRQCRn レジスタのためのレジスタのセキュリティ属性)

対象レジスタは以下です。

- IRQCR0~IRQCR15 レジスタ
- WUPEN0.IRQWUPEN[15:0] ビット

12.2.2 ICUSARB : 割り込みコントローラセキュリティ属性レジスタ B

Base address: CPSCU = 0x4000_8000

Offset address: 0x44

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SANMI
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	SANMI	ノンマスカブル割り込みのためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスメッセージは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

SANMI ビット (ノンマスカブル割り込みのためのレジスタのセキュリティ属性)

SANMI ビットはノンマスカブル割り込みのためのレジスタのセキュリティ属性を指定します。対象のレジスタを以下に示します。

- NMIER
- NMICLR
- NMICR

ARM CPU のアプリケーション割り込みおよびリセットコントロールレジスタの AIRCR.BFHFNMINS (ビット 13) の値は、セキュリティ属性の値と同じである必要があります。AIRC.R.BFHFNMINS ビットと SANMI ビットの初期値は異なります。AIRC.R.BFHFNMINS ビットはセキュア、SANMI ビットは非セキュアです。極性は同じ意味を持ちます。それらが合致するようにプログラミングしてください。

注. ノンマスカブル割り込み関連のレジスタのセキュリティ属性には、セキュアか非セキュアのいずれか一方のみ設定できます。セキュア属性をセキュアとしてプログラムすると、常にセキュア割り込みハンドラにジャンプします。いずれかのノンマスカブル割り込み要因を非セキュアユーザーに解放する必要がある場合は、セキュア用割り込みハンドラから非セキュアプログラムを実行する関数を準備してください。

12.2.3 ICUSARC : 割り込みコントローラセキュリティ属性レジスタ C

Base address: CPSCU = 0x4000_8000

Offset address: 0x48

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	SADM AC7	SADM AC6	SADM AC5	SADM AC4	SADM AC3	SADM AC2	SADM AC1	SADM AC0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	SADMAC7~ SADMAC0	DMAC チャンネルのためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:8	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されません。TrustZone アクセスメッセージは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

SADMACn ビット (DMAC チャンネルのためのレジスタのセキュリティ属性)

SADMACn ビットは DMAC チャンネルのためのレジスタのセキュリティ属性を指定します。本レジスタは ICU および DMAC のレジスタのセキュリティ属性を指定します。

ICU の対象レジスタは以下です。

- DELSRn

DMAC の対象レジスタは以下です。

- DMACn.DMSAR
- DMACn.DMSRR
- DMACn.DMDAR
- DMACn.DMDRR
- DMACn.DMCRA
- DMACn.DMCRB
- DMACn.DMTMD
- DMACn.DMINT

- DMACn.DMAMD
- DMACn.DMOFR
- DMACn.DMCNT
- DMACn.DMREQ
- DMACn.DMSTS
- DMACn.DMSBS
- DMACn.DMDBS
- DMACn.DMBWR

DMAC のレジスタの詳細については、「[15. DMA コントローラ \(DMAC\)](#)」を参照してください。

12.2.4 ICUSARD : 割り込みコントローラセキュリティ属性レジスタ D

Base address: CPSCU = 0x4000_8000

Offset address: 0x4C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SASE LSR0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	SASELSR0	SELSR0 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスメッセージは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

12.2.5 ICUSARE : 割り込みコントローラセキュリティ属性レジスタ E

Base address: CPSCU = 0x4000_8000

Offset address: 0x50

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SAIIC0 WUP	SAAG T1CB WUP	SAAG T1CA WUP	SAAG T1UD WUP	—	—	SART CPRD WUP	SART CALM WUP	—	—	—	—	SALV D2WU P	SALV D1WU P	—	SAIW DTWU P
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
15:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

ビット	シンボル	機能	R/W
16	SAIWDTWUP	WUPEN0.b16 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
17	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
18	SALVD1WUP	WUPEN0.b18 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
19	SALVD2WUP	WUPEN0.b19 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
23:20	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
24	SARTCALMWUP	WUPEN0.b24 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
25	SARTCPRDWUP	WUPEN0.b25 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
27:26	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
28	SAAGT1UDWUP	WUPEN0.b28 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
29	SAAGT1CAWUP	WUPEN0.b29 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
30	SAAGT1CBWUP	WUPEN0.b30 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31	SAIIC0WUP	WUPEN0.b31 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

12.2.6 ICUSARF : 割り込みコントローラセキュリティ属性レジスタ F

Base address: CPSCU = 0x4000_8000

Offset address: 0x54

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	SASO SCWU P	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
6:0	—	読むと 1 が読めます。	R/W
7	SASOSCWUP	WUPEN1.b7 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
31:8	—	読むと 1 が読めます。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

12.2.7 ICUSARG : 割り込みコントローラセキュリティ属性レジスタ G

Base address: CPSCU = 0x4000_8000

Offset address: 0x70

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SAIEL SR31	SAIEL SR30	SAIEL SR29	SAIEL SR28	SAIEL SR27	SAIEL SR26	SAIEL SR25	SAIEL SR24	SAIEL SR23	SAIEL SR22	SAIEL SR21	SAIEL SR20	SAIEL SR19	SAIEL SR18	SAIEL SR17	SAIEL SR16
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SAIEL SR15	SAIEL SR14	SAIEL SR13	SAIEL SR12	SAIEL SR11	SAIEL SR10	SAIEL SR9	SAIEL SR8	SAIEL SR7	SAIEL SR6	SAIEL SR5	SAIEL SR4	SAIEL SR3	SAIEL SR2	SAIEL SR1	SAIEL SR0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	SAIELSR31～SAIELSR0	IELSR31～IELSR0 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

SAIELSRn ビット (IELSR31～IELSR0 のためのレジスタのセキュリティ属性)

ARM CPU NVIC で管理するセキュア属性は、IELSEn (n = 0～31) のセキュリティ属性と一致している必要があります。NVIC の内部レジスタは、NVIC_ITNS0[31:0]にあります。NVIC_ITNS0 と ICUSARG の初期値は異なります。NVIC_ITNS0 はセキュア、ICUSARG は非セキュアです。極性は同じ意味を持ちます。それらが合致するようにプログラミングしてください。

12.2.8 ICUSARH : 割り込みコントローラセキュリティ属性レジスタ H

Base address: CPSCU = 0x4000_8000

Offset address: 0x74

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SAIEL SR63	SAIEL SR62	SAIEL SR61	SAIEL SR60	SAIEL SR59	SAIEL SR58	SAIEL SR57	SAIEL SR56	SAIEL SR55	SAIEL SR54	SAIEL SR53	SAIEL SR52	SAIEL SR51	SAIEL SR50	SAIEL SR49	SAIEL SR48
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SAIEL SR47	SAIEL SR46	SAIEL SR45	SAIEL SR44	SAIEL SR43	SAIEL SR42	SAIEL SR41	SAIEL SR40	SAIEL SR39	SAIEL SR38	SAIEL SR37	SAIEL SR36	SAIEL SR35	SAIEL SR34	SAIEL SR33	SAIEL SR32
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	SAIELSR63～SAIELSR32	IELSR63～IELSR32 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

SAIELSRn ビット (IELSR63~IELSR32 のためのレジスタのセキュリティ属性)

ARM CPU NVIC で管理するセキュア属性は、IELSEn (n = 32~63) のセキュリティ属性と一致している必要があります。NVIC の内部レジスタは、NVIC_ITNS1[31:0]にあります。NVIC_ITNS1 と ICUSARH の初期値は異なります。NVIC_ITNS1 はセキュア、ICUSARH は非セキュアです。極性は同じ意味を持ちます。それらが合致するようにプログラミングしてください。

12.2.9 ICUSARM : 割り込みコントローラセキュリティ属性レジスタ M

Base address: CPSCU = 0x4000_8000

Offset address: 0x58

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	SAEX LVDW UP	SALV DVRT CWUP	SAEX LVDV BATW UP	SAINT URE1 WUP	SAINT UR1W UP	SAINT URE0 WUP	SAINT UR0W UP
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	SAINTUR0WUP	WUPEN2.b0 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
1	SAINTURE0WUP	WUPEN2.b1 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
2	SAINTUR1WUP	WUPEN2.b2 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
3	SAINTURE1WUP	WUPEN2.b3 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
4	SAEXLVDVBATWUP	WUPEN2.b4 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
5	SALVDVRTCWUP	WUPEN2.b5 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
6	SAEXLVDWUP	WUPEN2.b6 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:7	—	読むと 1 が読めます。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

12.2.10 IRQCRi : IRQ コントロールレジスタ i (i = 0~15)

Base address: ICU = 0x4000_6000

Offset address: 0x000 + 0x1 × i

Bit position:	7	6	5	4	3	2	1	0
Bit field:	FLTEN	—	FCLKSEL[1:0]	LOCO SEL	—	—	IRQMD[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	IRQMD[1:0]	IRQi 検出センス選択 0 0: 立ち下がリエッジ 0 1: 立ち上がりエッジ 1 0: 両エッジ 1 1: Low レベル	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	LOCOSEL	IRQi デジタルフィルタサンプリング LOCO クロック選択 0: LOCO を選択しない 1: LOCO 選択時	R/W
5:4	FCLKSEL[1:0]	IRQi デジタルフィルタサンプリングクロック選択 0 0: PCLKB 0 1: PCLKB/8 1 0: PCLKB/32 1 1: PCLKB/64	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	FLTEN	IRQi デジタルフィルタ有効 0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

IRQCRi レジスタの変更には、以下の条件があります。

- CPU 割り込みまたは DTC 起動要因の場合：
IRQCRi レジスタの設定を変更してから、対象の IELSRn レジスタ (n = 0~63) を設定する必要があります。
対象の IELSRn レジスタが 0x0000 の場合にのみ、レジスタ値の変更が可能です。
- DMAC 起動要因の場合：
IRQCRi レジスタの設定を変更してから、対象の DELSRn レジスタ (n = 0~7) を設定する必要があります。
対象の DELSRn レジスタが 0x0000 の場合にのみ、レジスタ値の変更が可能です。
- ウェイクアップ許可信号の場合：
IRQCRi レジスタの設定を変更してから、対象の WUPEN0.IRQWUPEN[n] (n = 0~15) ビットを設定する必要があります。
対象の WUPEN0.IRQWUPEN[n] ビットが 0 の場合に、レジスタ値の変更が可能です。

IRQMD[1:0]ビット (IRQi 検出センス選択)

IRQMD[1:0]ビットは IRQi 外部端子割り込み要因の検出イベントを設定します。外部端子割り込み使用時の設定方法については、「[12.5.6. 外部端子割り込みの設定手順](#)」を参照してください。

LOCOSEL ビット (IRQi デジタルフィルタサンプリング LOCO クロック選択)

LOCOSEL ビットは IRQi 外部端子割り込み要求端子用のデジタルフィルタサンプリングクロックを選択します。LOCO (LOCO サイクル) が選択可能です。

LOCO をデジタルフィルタサンプリングクロックに選択した場合、FCLKSEL[1:0]ビットの設定が無効になります。

FCLKSEL[1:0]ビット (IRQi デジタルフィルタサンプリングクロック選択)

FCLKSEL[1:0]ビットは IRQi 外部端子割り込み要求端子用のデジタルフィルタサンプリングクロックを選択します。以下から選択可能です。

- PCLKB (1 サイクルに 1 回)
- PCLKB/8 (8 サイクルに 1 回)
- PCLKB/32 (32 サイクルに 1 回)
- PCLKB/64 (64 サイクルに 1 回)

デジタルフィルタの詳細は、「[12.5.5. デジタルフィルタ](#)」を参照してください。

FLTEN ビット (IRQi デジタルフィルタ有効)

FLTEN ビットは IRQi 外部端子割り込み要因に使用されるデジタルフィルタを有効にします。デジタルフィルタは、IRQCRi.FLTEN ビットが 1 の場合に有効で、IRQCRi.FLTEN ビットが 0 の場合に無効です。IRQi の端子レベルは IRQCRi.FCLKSEL[1:0]ビットと IRQCRi.LOCOSSEL ビットで指定されるクロックサイクルでサンプリングされます。サンプリングレベルが 3 回一致すると、デジタルフィルタからの出力レベルが変化します。デジタルフィルタの詳細は、「[12.5.5. デジタルフィルタ](#)」を参照してください。

12.2.11 NMISR : ノンマスカブル割り込みステータスレジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x140

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CPES T	—	TZFS T	—	BUSM ST	—	RECC ST	RPES T	NMIST	OSTS T	—	—	LVD2S T	LVD1S T	WDTST	IWDT ST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDTST	IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
1	WDTST	WDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
2	LVD1ST	電圧監視 1 割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
3	LVD2ST	電圧監視 2 割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
5:4	—	読むと 0 が読めます。	R
6	OSTST	メインクロック発振停止検出割り込みステータスフラグ 0: メインクロック発振停止の割り込み要求なし 1: メインクロック発振停止の割り込み要求あり	R
7	NMIST	NMI 端子割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
8	RPEST	SRAM パリティエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
9	RECCST	SRAM ECC エラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
10	—	読むと 0 が読めます。	R

ビット	シンボル	機能	R/W
11	BUSMST	バスマスタ MPU エラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
12	—	読むと 0 が読めます。	R
13	TZFST	TrustZone フィルタエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
14	—	読むと 0 が読めます。	R
15	CPEST	キャッシュ RAM パリティエラーステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R

NMISR レジスタは、ノンマスカブル割り込み要因のステータスを監視します。NMISR レジスタへの書き込みは無視されます。ノンマスカブル割り込みイネーブルレジスタ (NMIER) の設定は、このレジスタには影響しません。ノンマスカブル割り込みの処理ルーチンでは、このレジスタの全ビットが 0 になっていることをチェックして、他の NMI 要求が発生していないことを確認してから、処理を終了してください。

IWDTST フラグ (IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ)

IWDTST フラグは IWDT アンダーフロー／リフレッシュエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.IWDTCLR ビットでクリアされます。

[1 になる条件]

IWDT アンダーフロー／リフレッシュエラー割り込みが発生したとき

[0 になる条件]

NMICLR.IWDTCLR ビットに 1 を書いたとき

WDTST フラグ (WDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ)

WDTST フラグは WDT アンダーフロー／リフレッシュエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.WDTCLR ビットでクリアされます。

[1 になる条件]

WDT アンダーフロー／リフレッシュエラー割り込みが発生したとき

[0 になる条件]

NMICLR.WDTCLR ビットに 1 を書いたとき

LVD1ST フラグ (電圧監視 1 割り込みステータスフラグ)

LVD1ST フラグは電圧監視 1 割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.LVD1CLR ビットでクリアされます。

[1 になる条件]

電圧監視 1 割り込みが発生したとき

[0 になる条件]

NMICLR.LVD1CLR ビットに 1 を書いたとき

LVD2ST フラグ (電圧監視 2 割り込みステータスフラグ)

LVD2ST フラグは電圧監視 2 割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.LVD2CLR ビットでクリアされます。

[1 になる条件]

電圧監視 2 割り込みが発生したとき

[0 になる条件]

NMICLR.LVD2CLR ビットに 1 を書いたとき

OSTST フラグ（メインクロック発振停止検出割り込みステータスフラグ）

OSTST フラグはメインクロック発振停止検出割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.OSTCLR ビットでクリアされます。

[1 になる条件]

メインクロック発振停止検出割り込みが発生したとき

[0 になる条件]

NMICLR.OSTCLR ビットに 1 を書いたとき

NMIST フラグ（NMI 端子割り込みステータスフラグ）

NMIST フラグは NMI 端子割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.NMISCLR ビットでクリアされます。

[1 になる条件]

NMICR.NMIMD ビットで指定したエッジが NMI 端子に入力されたとき

[0 になる条件]

NMICLR.NMISCLR ビットに 1 を書いたとき

RPEST フラグ（SRAM パリティエラー割り込みステータスフラグ）

RPEST フラグは SRAM パリティエラー割り込み要求を示します。

[1 になる条件]

SRAM パリティエラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.RPECLR ビットに 1 を書いたとき

RECCST フラグ（SRAM ECC エラー割り込みステータスフラグ）

RECCST フラグは SRAM ECC エラー割り込み要求を示します。

[1 になる条件]

SRAM ECC エラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.RECCCLR ビットに 1 を書いたとき

BUSMST フラグ（バスマスタ MPU エラー割り込みステータスフラグ）

BUSMST フラグはバスマスタエラー割り込み要求を示します。

[1 になる条件]

バスマスタエラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.BUSMCLR ビットに 1 を書いたとき

TZFST フラグ（TrustZone フィルタエラー割り込みステータスフラグ）

TrustZone フィルタエラー割り込み要求を示します。

[1 になる条件]

TrustZone フィルタエラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.TZFCLR ビットに 1 を書いたとき

CPEST フラグ（キャッシュ RAM パリティエラーステータスフラグ）

CPEST フラグはキャッシュ RAM パリティエラー割り込み要求を示します。

[1 になる条件]

キャッシュ RAM パリティエラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.CPECLR ビットに 1 を書いたとき

12.2.12 NMIER : ノンマスカブル割り込みイネーブルレジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x120

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CPEEN	—	TZFN	—	BUSMEN	—	RECCEN	RPEEN	NMIEN	OSTEN	—	—	LVD2EN	LVD1EN	WDTEN	IWDTEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDTEN	IWDT アンダーフロー／リフレッシュエラー割り込み許可 0: 禁止 1: 有効	R/W(注1) (注2)
1	WDTEN	WDT アンダーフロー／リフレッシュエラー割り込み許可 0: 禁止 1: 有効	R/W(注1) (注2)
2	LVD1EN	電圧監視 1 割り込み許可 0: 禁止 1: 許可	R/W(注1) (注2)
3	LVD2EN	電圧監視 2 割り込み許可 0: 禁止 1: 有効	R/W(注1) (注2)
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	OSTEN	メインクロック発振停止検出割り込み許可 0: 禁止 1: 有効	R/W(注1) (注2)
7	NMIEN	NMI 端子割り込み許可 0: 禁止 1: 許可	R/W(注1)
8	RPEEN	SRAM パリティエラー割り込み許可 0: 禁止 1: 許可	R/W(注1)
9	RECCEN	SRAM ECC エラー割り込み許可 0: 禁止 1: 有効	R/W(注1)
10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	BUSMEN	バスマスタ MPU エラー割り込み許可 0: 禁止 1: 許可	R/W(注1)
12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13	TZFN	TrustZone フィルタエラー割り込み許可 0: 禁止 1: 許可	R/W(注1)
14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	CPEEN	キャッシュ RAM パリティエラー割り込み許可 0: 禁止 1: 許可	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. リセット後、本ビットに 1 回だけ 1 を書き込むことが可能です。以後のライトアクセスは無効です。0 の書き込みは無効です。

注 2. イベント信号として使用する場合、1 にしないでください。

IWDTEN ビット (IWDT アンダーフロー／リフレッシュエラー割り込み許可)

IWDTEN ビットは、NMI の起動要因となる IWDT アンダーフロー／リフレッシュエラー割り込みを許可します。

WDTEN ビット (WDT アンダーフロー／リフレッシュエラー割り込み許可)

WDTEN ビットは、NMI の起動要因となる WDT アンダーフロー／リフレッシュエラー割り込みを許可します。

LVD1EN ビット (電圧監視 1 割り込み許可)

LVD1EN ビットは、NMI の起動要因となる電圧監視 1 割り込みを許可します。

LVD2EN ビット (電圧監視 2 割り込み許可)

LVD2EN ビットは、NMI の起動要因となる電圧監視 2 割り込みを許可します。

OSTEN ビット (メインクロック発振停止検出割り込み許可)

OSTEN ビットは、NMI の起動要因となるメインクロック発振停止検出割り込みを許可します。

NMIEN ビット (NMI 端子割り込み許可)

NMIEN ビットは、NMI の起動要因となる NMI 端子割り込みを許可します。

RPEEN ビット (SRAM パリティエラー割り込み許可)

RPEEN ビットは、NMI の起動要因となる SRAM パリティエラー割り込みを許可します。

RECCEN ビット (SRAM ECC エラー割り込み許可)

RECCEN ビットは、NMI の起動要因となる SRAM ECC エラー割り込みを許可します。

BUSMEN ビット (バスマスタ MPU エラー割り込み許可)

BUSMEN ビットは、NMI の起動要因となるバスマスタエラー割り込みを許可します。

TZFEN ビット (TrustZone フィルタエラー割り込み許可)

TZFEN ビットは、NMI の起動要因となる TrustZone フィルタエラー割り込みを許可します。

CPEEN ビット (キャッシュ RAM パリティエラー割り込み許可)

CPEEN ビットは、NMI の起動要因となるキャッシュ RAM パリティエラー割り込みを許可します。

12.2.13 NMICLR : ノンマスカブル割り込みステータスクリアレジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x130

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CPEC LR	—	TZFCL R	—	BUSM CLR	—	RECC CLR	RPEC LR	NMICL R	OSTC LR	—	—	LVD2C LR	LVD1C LR	WDTC LR	IWDTC CLR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDTC CLR	IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.IWDTST フラグをクリア	R/W(注1)
1	WDTC CLR	WDT アンダーフロー／リフレッシュエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.WDTST フラグをクリア	R/W(注1)
2	LVD1CLR	電圧監視 1 割り込みステータスフラグクリア 0: 影響なし 1: NMISR.LVD1ST フラグをクリア	R/W(注1)

ビット	シンボル	機能	R/W
3	LVD2CLR	電圧監視 2 割り込みステータスフラグクリア 0: 影響なし 1: NMISR.LVD2ST フラグをクリア	R/W(注1)
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	OSTCLR	発振停止検出割り込みステータスフラグクリア 0: 影響なし 1: NMISR.OSTST フラグをクリア	R/W(注1)
7	NMICLR	NMI 端子割り込みステータスフラグクリア 0: 影響なし 1: NMISR.NMIST フラグをクリア	R/W(注1)
8	RPECLR	SRAM パリティエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.RPEST フラグをクリア	R/W(注1)
9	RECCCLR	SRAM ECC エラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.RECCST フラグをクリア	R/W(注1)
10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	BUSMCLR	バスマスタ MPU エラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.BUSMST フラグをクリア	R/W(注1)
12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13	TZFCCLR	TrustZone フィルタエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.TZFST フラグをクリア	R/W(注1)
14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	CPECLR	キャッシュ RAM パリティエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.CPEST フラグをクリア	R/W(注1)

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. このビットには 1 のみ書けます。

IWDTCLR ビット (IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグクリア)

IWDTCLR ビットに 1 を書き込むことにより、NMISR.IWDTST フラグをクリアします。読むと 0 が読めます。

WDTCLR ビット (WDT アンダーフロー／リフレッシュエラー割り込みステータスフラグクリア)

WDTCLR ビットに 1 を書き込むことにより、NMISR.WDTST フラグをクリアします。読むと 0 が読めます。

LVD1CLR ビット (電圧監視 1 割り込みステータスフラグクリア)

LVD1CLR ビットに 1 を書き込むことにより、NMISR.LVD1ST フラグをクリアします。読むと 0 が読めます。

LVD2CLR ビット (電圧監視 2 割り込みステータスフラグクリア)

LVD2CLR ビットに 1 を書き込むことにより、NMISR.LVD2ST フラグをクリアします。読むと 0 が読めます。

OSTCLR ビット (発振停止検出割り込みステータスフラグクリア)

OSTCLR ビットに 1 を書き込むことにより、NMISR.OSTST フラグをクリアします。読むと 0 が読めます。

NMICLR ビット (NMI 端子割り込みステータスフラグクリア)

NMICLR ビットに 1 を書き込むことにより、NMISR.NMIST フラグをクリアします。読むと 0 が読めます。

RPECLR ビット (SRAM パリティエラー割り込みステータスフラグクリア)

RPECLR ビットに 1 を書き込むことにより、NMISR.RPEST フラグをクリアします。読むと 0 が読めます。

RECCCLR ビット (SRAM ECC エラー割り込みステータスフラグクリア)

RECCCLR ビットに 1 を書き込むことにより、NMISR.RECCST フラグをクリアします。読むと 0 が読めます。

BUSMCLR ビット (バスマスタ MPU エラー割り込みステータスフラグクリア)

BUSMCLR ビットに 1 を書き込むことにより、NMISR.BUSMST フラグをクリアします。読むと 0 が読めます。

TZFCLR ビット (TrustZone フィルタエラー割り込みステータスフラグクリア)

TZFCLR ビットに 1 を書き込むことにより、NMISR.TZFST フラグをクリアします。読むと 0 が読めます。

CPECLR ビット (キャッシュ RAM パリティエラー割り込みステータスフラグクリア)

CPECLR ビットに 1 を書き込むことにより、NMISR.CPEST フラグをクリアします。読むと 0 が読めます。

12.2.14 NMICR : NMI 端子割り込みコントロールレジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x100

Bit position:	7	6	5	4	3	2	1	0
Bit field:	NFLTE N	—	NFCLKSEL[1:0]	—	—	—	—	NMIM D
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	NMIMD	NMI 検出設定 0: 立ち下がリエッジ 1: 立ち上がりエッジ	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	NFCLKSEL[1:0]	NMI デジタルフィルタサンプリングクロック選択 0 0: PCLKB 0 1: PCLKB/8 1 0: PCLKB/32 1 1: PCLKB/64	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	NFLTEN	NMI デジタルフィルタ有効 0: 無効 1: 有効	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

NMICR レジスタの設定を変更してから、NMI 端子割り込みを許可 (NMIER.NMIEN ビットを 1) にしてください。

NMIMD ビット (NMI 検出設定)

NMIMD ビットは NMI 端子割り込みの検出イベントを選択します。

NFCLKSEL[1:0] ビット (NMI デジタルフィルタサンプリングクロック選択)

NFCLKSEL[1:0] ビットは NMI 端子割り込み用のデジタルフィルタサンプリングクロックを選択します。以下から選択可能です。

- PCLKB (1 サイクルに 1 回)
- PCLKB/8 (8 サイクルに 1 回)
- PCLKB/32 (32 サイクルに 1 回)
- PCLKB/64 (64 サイクルに 1 回)

デジタルフィルタの詳細は、「[12.5.5. デジタルフィルタ](#)」を参照してください。

NFLTEN ビット (NMI デジタルフィルタ有効)

NFLTEN ビットは、NMI 端子割り込みのデジタルフィルタを有効にします。デジタルフィルタは、NFLTEN ビットが 1 の場合に有効になり、NFLTEN ビットが 0 の場合に無効になります。NMI 端子レベルは、NFCLKSEL[1:0] ビットで指定されたクロックサイクルでサンプリングされます。サンプリングされたレベルが 3 回一致すると、デジタルフィルタからの出力レベルが変化します。デジタルフィルタの詳細は、「[12.5.5. デジタルフィルタ](#)」を参照してください。

12.2.15 IELSRn : ICU イベントリンク設定レジスタ n (n = 0~63)

Base address: ICU = 0x4000_6000

Offset address: 0x300 + 0x4 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	DTCE	—	—	—	—	—	—	—	IR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	IELS[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	IELS[8:0]	ICU イベントリンク選択 0x00: 対応する NVIC モジュールまたは DTC モジュールへの割り込みは禁止 その他: リンクするイベント信号の番号。詳細は、「 12.3.2. イベント番号 」を参照してください。	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	IR	割り込みステータスフラグ 0: 割り込み要求の発生なし 1: 割り込み要求の発生あり	R/W(注1)
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	DTCE	DTC 起動許可 0: DTC 起動禁止 1: DTC 起動許可	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注: セキュリティ属性がセキュアに設定されている場合、
 ● セキュアアクセスと非セキュアリードアクセスが許可されています。
 ● 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
 ● セキュアアクセスと非セキュアアクセスが許可されています。

注: 本レジスタはハーフワードアクセスまたはワードアクセスを要求します。

注 1: 1 を書き込まないでください。

IELSRn レジスタは NVIC により使用される IRQi 要因を選択します。詳細は、[表 12.3](#) を参照してください。
 IELSRn (n = 0~63) は NVIC IRQ 入力要因番号に対応します。

IELS[8:0]ビット (ICU イベントリンク選択)

IELS[8:0]ビットは、対応する NVIC または DTC モジュールにリンクするイベント信号を指定します。イベント選択肢の組み合わせは、8 グループ (グループ 0~7) に分類されています。詳細は、[表 12.3](#) および [表 12.4](#) を参照してください。

IR フラグ (割り込みステータスフラグ)

IR フラグは IELS[8:0]ビットで指定されたイベントからの割り込み要求の有無を示します。

[1 になる条件]

対応する周辺モジュールまたは IRQi 端子から割り込み要求を受信したとき

[0 になる条件]

- 0 を書くことにより、IR フラグは 0 にクリアされます。
- DTC.DISEL = 0 の場合、DTCE = 1 で DTC 転送の最終転送終了時以外は、IR フラグはハードウェアにより再度設定およびクリアされます。
- DTC.DISEL = 1 の場合、DTCE = 1 で DTC 転送の場合、ハードウェアは IR フラグをクリアしません。CPU で 0 を書き込むことにより、フラグは 0 にクリアされます。

最終転送以外の DTC 転送が終了する場合 (DTCE ビットは 1 から 0 になる)

DTCE = 1 のとき、IR レジスタに 0 を書き込まないでください。

レベル検出の場合、IR フラグのクリアは以下の手順に従ってください。

1. 入力割り込み信号をネゲートする。
2. 周辺リードアクセスを 1 回実行し、対象モジュールクロックの 2 クロックサイクル分待つ。
3. 0 を書き込んで IR フラグをクリアする。

DTCE ビット (DTC 起動許可)

DTCE ビットを 1 にすると、対応するイベントが DTC 起動要因として選択されます。

[1 になる条件]

- DTCE ビットに 1 を書いたとき

[0 になる条件]

- 設定の転送数が終了したとき。チェーン転送の場合は、指定された最後のチェーン転送の転送数が終了したとき
- DTCE ビットに 0 を書いたとき

注. DTC 転送中のエラー

DTC 転送中にエラー応答が発生すると、DTC はエラーが発生したことを ICU に通知します。ICU は対象の IELSRn (n = 0~63) のすべてのビットをクリアします。対象外の IELSRn はクリアされません。

注. スヌーズモード時の DTC 転送エラー

スヌーズモード時の DTC 転送エラーが発生したとき、ICU はウェイクアップ要求を発行します。しかし、割り込み要求は自動的に発行されません。DTC エラー発生時に割り込みを設定する方法については、「[16. データ転送フ](#)
[ァコントローラ \(DTC\)](#)」を参照してください。

12.2.16 DELSRn : DMAC イベントリンク設定レジスタ n (n = 0~7)

Base address: ICU = 0x4000_6000

Offset address: 0x280 + 0x4 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DELS[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	DELS[8:0]	DMAC イベントリンク選択 0x00: 対応する DMAC モジュールへの割り込みは禁止 その他: リンクするイベント信号の番号。詳細は、 表 12.4 を参照してください。	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
16	IR	DMAC 起動要求ステータスフラグ 0: DMAC 起動要求なし 1: DMAC 起動要求あり	R/W ^(注1)
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注. 本レジスタはハーフワードアクセスまたはワードアクセスを要求します。

注 1. IR フラグに 1 を書き込まないでください。

DELS[8:0]ビット (DMAC イベントリンク選択)

DELS[8:0]ビットは対応する DMAC モジュールへのイベント信号にリンクします。複数の DELSRn レジスタに同じイベント番号を設定しないでください。

IR フラグ (DMAC 起動要求ステータスフラグ)

IR フラグは DMAC 起動要求のステータスフラグです。このフラグは本レジスタの DELS[8:0]ビットに対応します。

[1 になる条件]

- 本フラグは、対応する周辺モジュールまたは IRQi 端子からの DMAC 起動要求が発生すると、1 になります。

[0 になる条件]

- IR フラグに 0 を書いたとき
- DMAC 起動要求の発生後、DMA 転送が開始したとき

注. IR フラグは DMA 転送終了後に自動的にクリアされます。したがって、アボート発生時以外は 0 を書き込まないでください。0 書き込み時の DMA 転送動作は保証できません。

注. DMAC 転送中のエラー

DMAC 転送中にエラー応答が発生すると、DMAC はエラーが発生したことを ICU に通知します。

ICU は DELSRn (n = 0~7) の対象チャネルのすべてのビットをクリアします。対象チャネル以外の DELSRn はクリアされません。

12.2.17 SELSR0 : SYS イベントリンク設定レジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x200

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SELS[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	SELS[8:0]	SYS イベントリンク選択 0x00: 対応する低消費電力モードのモジュールへのイベント出力無効 その他: リンクするイベント信号の番号詳細は表 12.4 を参照してください。	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

SELSR0 レジスタでは、スヌーズモードから復帰するためのイベント番号を設定します。使用できるイベントは、表 12.4 の「スヌーズモードの解除」に✓が付いているイベントだけです。IELSRn.IELS[8:0]ビットで ICU_SNZCANCEL を選択すると、スヌーズモードを解除する割り込みが発生します。

【使用上の注意】一連の動作に関連する部分に追加されるセキュリティ属性に対して、セキュリティホールが生成されないようにすべてのセキュリティ属性を一致させてください。

一致させるセキュリティ属性は以下です。

- SELSR0 に設定されるイベント要因
- SELSR0
- イベント No. 45 (ICU_SNZCANCEL) を受信する IELSRn (n = 0~63)
- 前項で指定した割り込みの CPU に内蔵されている NVIC 内部レジスタ
- 割り込みハンドラ

12.2.18 WUPEN0: ウェイクアップ割り込みイネーブルレジスタ 0

Base address: ICU = 0x4000_6000

Offset address: 0x1A0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	IIC0WUPEN	AGT1CBWUPEN	AGT1CAWUPEN	AGT1UDWUPEN	—	—	RTCPRDWUPEN	RTCALMWUPEN	—	—	—	—	LVD2WUPEN	LVD1WUPEN	—	IWDTWUPEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	IRQWUPEN[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	IRQWUPEN[15:0]	IRQn 割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可 (n = 0~15) 0: IRQn 割り込みによるソフトウェアスタンバイ／スヌーズモード復帰禁止 1: IRQn 割り込みによるソフトウェアスタンバイ／スヌーズモード復帰許可	R/W
16	IWDTWUPEN	IWDT 割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可 0: IWDT 割り込みによるソフトウェアスタンバイ／スヌーズモード復帰禁止 1: IWDT 割り込みによるソフトウェアスタンバイ／スヌーズモード復帰許可	R/W
17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18	LVD1WUPEN	LVD1 割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可 0: LVD1 割り込みによるソフトウェアスタンバイ／スヌーズモード復帰禁止 1: LVD1 割り込みによるソフトウェアスタンバイ／スヌーズモード復帰許可	R/W
19	LVD2WUPEN	LVD2 割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可 0: LVD2 割り込みによるソフトウェアスタンバイ／スヌーズモード復帰禁止 1: LVD2 割り込みによるソフトウェアスタンバイ／スヌーズモード復帰許可	R/W
23:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	RTCALMWUPEN	RTC アラーム割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可 0: RTC アラーム割り込みによるソフトウェアスタンバイ／スヌーズモード復帰禁止 1: RTC アラーム割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰許可	R/W
25	RTCPRDWUPEN	RTC 周期割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可 0: RTC 周期割り込みによるソフトウェアスタンバイ／スヌーズモード復帰禁止 1: RTC 周期割り込みによるソフトウェアスタンバイ／スヌーズモード復帰許可	R/W
27:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	AGT1UDWUPEN	AGT1 アンダーフロー割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可 0: AGT1 アンダーフロー割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰禁止 1: AGT1 アンダーフロー割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰許可	R/W

ビット	シンボル	機能	R/W
29	AGT1CAWUPEN	AGT1 コンペアマッチ A 割り込みソフトウェアスタンバイモード/スヌーズモード復帰許可 0: AGT1 コンペアマッチ A 割り込みによるソフトウェアスタンバイモード/スヌーズモード復帰禁止 1: AGT1 コンペアマッチ A 割り込みによるソフトウェアスタンバイモード/スヌーズモード復帰許可	R/W
30	AGT1CBWUPEN	AGT1 コンペアマッチ B 割り込みソフトウェアスタンバイモード/スヌーズモード復帰許可 0: AGT1 コンペアマッチ B 割り込みによるソフトウェアスタンバイモード/スヌーズモード復帰禁止 1: AGT1 コンペアマッチ B 割り込みによるソフトウェアスタンバイモード/スヌーズモード復帰許可	R/W
31	IIC0WUPEN	IIC0 アドレスマッチ割り込みソフトウェアスタンバイモード/スヌーズモード復帰許可 0: IIC0 アドレスマッチ割り込みによるソフトウェアスタンバイ/スヌーズモード復帰禁止 1: IIC0 アドレスマッチ割り込みによるソフトウェアスタンバイ/スヌーズモード復帰許可	R/W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。
- 注. 本レジスタのセキュリティ属性は、ウェイクアップイベントごとに設定されます。セキュリティホールの発生を避けるため、ウェイクアップの対象イベントと、本ビットに追加されるセキュリティ属性が一致していなければなりません。

12.2.19 WUPEN1 : ウェイクアップ割り込みイネーブルレジスタ 1

Base address: ICU = 0x4000_6000

Offset address: 0x1A4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	SOSC WUPE N	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	SOSCWUPEN	サブクロック発振停止検出割り込みソフトウェアスタンバイモード/スヌーズモード復帰許可 0: サブクロック発振停止検出割り込みによるソフトウェアスタンバイモード/スヌーズモード復帰禁止 1: サブクロック発振停止検出割り込みによるソフトウェアスタンバイモード/スヌーズモード復帰許可	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。
- 注. 本レジスタのセキュリティ属性は、ウェイクアップイベントごとに設定されます。セキュリティホールの発生を避けるため、ウェイクアップの対象イベントと、本ビットに追加されるセキュリティ属性が一致していなければなりません。

12.2.20 WUPEN2 : ウェイクアップ割り込みイネーブルレジスタ 2

Base address: ICU = 0x4000_6000

Offset address: 0x1A8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	EXLV DWUP EN	LVDV RTCW UPEN	EXLV DVBA TWUP EN	INTUR E1WU PEN	INTUR 1WUP EN	INTUR E0WU PEN	INTUR 0WUP EN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	INTUR0WUPEN	UARTA0 受信転送終了割り込みソフトウェアスタンバイモード/スヌーズモード復帰許可 0: UARTA0 受信転送終了割り込みによるソフトウェアスタンバイモード/スヌーズモード復帰を禁止 1: UARTA0 受信転送終了割り込みによるソフトウェアスタンバイモード/スヌーズモード復帰を許可	R/W
1	INTURE0WUPEN	UARTA0 受信通信エラー発生割り込みソフトウェアスタンバイモード/スヌーズモード復帰許可 0: UARTA0 受信通信エラー発生割り込みによるソフトウェアスタンバイモード/スヌーズモード復帰を禁止 1: UARTA0 受信通信エラー発生割り込みによるソフトウェアスタンバイモード/スヌーズモード復帰を許可	R/W
2	INTUR1WUPEN	UARTA1 受信転送終了割り込みソフトウェアスタンバイモード/スヌーズモード復帰許可 0: UARTA1 受信転送終了割り込みによるソフトウェアスタンバイモード/スヌーズモード復帰を禁止 1: UARTA1 受信転送終了割り込みによるソフトウェアスタンバイモード/スヌーズモード復帰を許可	R/W
3	INTURE1WUPEN	UARTA1 受信通信エラー発生割り込みソフトウェアスタンバイモード/スヌーズモード復帰許可 0: UARTA1 受信通信エラー発生割り込みによるソフトウェアスタンバイモード/スヌーズモード復帰を禁止 1: UARTA1 受信通信エラー発生割り込みによるソフトウェアスタンバイモード/スヌーズモード復帰を許可	R/W
4	EXLVDVBATWUPEN	LVD_EXLVDVBAT 割り込みソフトウェアスタンバイモード/スヌーズモード復帰許可 0: LVD_EXLVDVBAT 割り込みによるソフトウェアスタンバイモード/スヌーズモード復帰禁止 1: LVD_EXLVDVBAT 割り込みによるソフトウェアスタンバイモード/スヌーズモード復帰許可	R/W
5	LVDVRTCWUPEN	LVD_VRTC 割り込みソフトウェアスタンバイモード/スヌーズモード復帰許可 0: LVD_VRTC 割り込みによるソフトウェアスタンバイモード/スヌーズモード復帰禁止 1: LVD_VRTC 割り込みによるソフトウェアスタンバイモード/スヌーズモード復帰許可	R/W
6	EXLVDWUPEN	LVD_EXLVD 割り込みソフトウェアスタンバイモード/スヌーズモード復帰許可 0: LVD_EXLVD 割り込みによるソフトウェアスタンバイモード/スヌーズモード復帰禁止 1: LVD_EXLVD 割り込みによるソフトウェアスタンバイモード/スヌーズモード復帰許可	R/W
31:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されます。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと、非セキュアアクセスが許可されます。

12.3 ベクタテーブル

ICU は、マスカブル割り込みとノンマスカブル割り込みの 2 種類の割り込みを検出します。割り込み優先順位は Arm NVIC で設定されます。これらのレジスタについての情報は、「[12.9. 参考資料](#)」を参照してください。

12.3.1 割り込みベクタテーブル

表 12.3 に割り込みベクタテーブルの内容を示します。割り込みベクタアドレスは、NVIC の仕様に従います。

表 12.3 割り込みベクタテーブル (1/3)

例外番号	IRQ 番号	ベクタオフセット	要因	内容
0	—	0x000	Arm	初期スタックポインタ
1	—	0x004	Arm	初期プログラムカウンタ (リセットベクタ)
2	—	0x008	Arm	ノンマスカブル割り込み (NMI)
3	—	0x00C	Arm	ハード障害
4	—	0x010	Arm	MemManage 障害
5	—	0x014	Arm	バス障害
6	—	0x018	Arm	使用障害
7	—	0x01C	Arm	セキュア障害
8	—	0x020	Arm	予約
9	—	0x024	Arm	予約
10	—	0x028	Arm	予約
11	—	0x02C	Arm	スーパーバイザコール (SVCall)
12	—	0x030	Arm	デバッグ監視
13	—	0x034	Arm	予約
14	—	0x038	Arm	システムサービスに対する保留可能な要求 (PendableSrvReq)
15	—	0x03C	Arm	システムティックタイマ (SysTick)
16	0	0x040	ICU.IELSR0	ICU.IELSR0 レジスタで選択されたイベント
17	1	0x044	ICU.IELSR1	ICU.IELSR1 レジスタで選択されたイベント
18	2	0x048	ICU.IELSR2	ICU.IELSR2 レジスタで選択されたイベント
19	3	0x04C	ICU.IELSR3	ICU.IELSR3 レジスタで選択されたイベント
20	4	0x050	ICU.IELSR4	ICU.IELSR4 レジスタで選択されたイベント
21	5	0x054	ICU.IELSR5	ICU.IELSR5 レジスタで選択されたイベント
22	6	0x058	ICU.IELSR6	ICU.IELSR6 レジスタで選択されたイベント
23	7	0x05C	ICU.IELSR7	ICU.IELSR7 レジスタで選択されたイベント
24	8	0x060	ICU.IELSR8	ICU.IELSR8 レジスタで選択されたイベント
25	9	0x064	ICU.IELSR9	ICU.IELSR9 レジスタで選択されたイベント
26	10	0x068	ICU.IELSR10	ICU.IELSR10 レジスタで選択されたイベント
27	11	0x06C	ICU.IELSR11	ICU.IELSR11 レジスタで選択されたイベント
28	12	0x070	ICU.IELSR12	ICU.IELSR12 レジスタで選択されたイベント
29	13	0x074	ICU.IELSR13	ICU.IELSR13 レジスタで選択されたイベント
30	14	0x078	ICU.IELSR14	ICU.IELSR14 レジスタで選択されたイベント
31	15	0x07C	ICU.IELSR15	ICU.IELSR15 レジスタで選択されたイベント
32	16	0x080	ICU.IELSR16	ICU.IELSR16 レジスタで選択されたイベント

表 12.3 割り込みベクタテーブル (2/3)

例外番号	IRQ 番号	ベクタオフセット	要因	内容
33	17	0x084	ICU.IELSR17	ICU.IELSR17 レジスタで選択されたイベント
34	18	0x088	ICU.IELSR18	ICU.IELSR18 レジスタで選択されたイベント
35	19	0x08C	ICU.IELSR19	ICU.IELSR19 レジスタで選択されたイベント
36	20	0x090	ICU.IELSR20	ICU.IELSR20 レジスタで選択されたイベント
37	21	0x094	ICU.IELSR21	ICU.IELSR21 レジスタで選択されたイベント
38	22	0x098	ICU.IELSR22	ICU.IELSR22 レジスタで選択されたイベント
39	23	0x09C	ICU.IELSR23	ICU.IELSR23 レジスタで選択されたイベント
40	24	0x0A0	ICU.IELSR24	ICU.IELSR24 レジスタで選択されたイベント
41	25	0x0A4	ICU.IELSR25	ICU.IELSR25 レジスタで選択されたイベント
42	26	0x0A8	ICU.IELSR26	ICU.IELSR26 レジスタで選択されたイベント
43	27	0x0AC	ICU.IELSR27	ICU.IELSR27 レジスタで選択されたイベント
44	28	0x0B0	ICU.IELSR28	ICU.IELSR28 レジスタで選択されたイベント
45	29	0x0B4	ICU.IELSR29	ICU.IELSR29 レジスタで選択されたイベント
46	30	0x0B8	ICU.IELSR30	ICU.IELSR30 レジスタで選択されたイベント
47	31	0x0BC	ICU.IELSR31	ICU.IELSR31 レジスタで選択されたイベント
48	32	0x0C0	ICU.IELSR32	ICU.IELSR32 レジスタで選択されたイベント
49	33	0x0C4	ICU.IELSR33	ICU.IELSR33 レジスタで選択されたイベント
50	34	0x0C8	ICU.IELSR34	ICU.IELSR34 レジスタで選択されたイベント
51	35	0x0CC	ICU.IELSR35	ICU.IELSR35 レジスタで選択されたイベント
52	36	0x0D0	ICU.IELSR36	ICU.IELSR36 レジスタで選択されたイベント
53	37	0x0D4	ICU.IELSR37	ICU.IELSR37 レジスタで選択されたイベント
54	38	0x0D8	ICU.IELSR38	ICU.IELSR38 レジスタで選択されたイベント
55	39	0x0DC	ICU.IELSR39	ICU.IELSR39 レジスタで選択されたイベント
56	40	0x0E0	ICU.IELSR40	ICU.IELSR40 レジスタで選択されたイベント
57	41	0x0E4	ICU.IELSR41	ICU.IELSR41 レジスタで選択されたイベント
58	42	0x0E8	ICU.IELSR42	ICU.IELSR42 レジスタで選択されたイベント
59	43	0x0EC	ICU.IELSR43	ICU.IELSR43 レジスタで選択されたイベント
60	44	0x0F0	ICU.IELSR44	ICU.IELSR44 レジスタで選択されたイベント
61	45	0x0F4	ICU.IELSR45	ICU.IELSR45 レジスタで選択されたイベント
62	46	0x0F8	ICU.IELSR46	ICU.IELSR46 レジスタで選択されたイベント
63	47	0x0FC	ICU.IELSR47	ICU.IELSR47 レジスタで選択されたイベント
64	48	0x100	ICU.IELSR48	ICU.IELSR48 レジスタで選択されたイベント
65	49	0x104	ICU.IELSR49	ICU.IELSR49 レジスタで選択されたイベント
66	50	0x108	ICU.IELSR50	ICU.IELSR50 レジスタで選択されたイベント
67	51	0x10C	ICU.IELSR51	ICU.IELSR51 レジスタで選択されたイベント
68	52	0x110	ICU.IELSR52	ICU.IELSR52 レジスタで選択されたイベント
69	53	0x114	ICU.IELSR53	ICU.IELSR53 レジスタで選択されたイベント
70	54	0x118	ICU.IELSR54	ICU.IELSR54 レジスタで選択されたイベント
71	55	0x11C	ICU.IELSR55	ICU.IELSR55 レジスタで選択されたイベント
72	56	0x120	ICU.IELSR56	ICU.IELSR56 レジスタで選択されたイベント
73	57	0x124	ICU.IELSR57	ICU.IELSR57 レジスタで選択されたイベント

表 12.3 割り込みベクタテーブル (3/3)

例外番号	IRQ 番号	ベクタオフセット	要因	内容
74	58	0x128	ICU.IELSR58	ICU.IELSR58 レジスタで選択されたイベント
75	59	0x12C	ICU.IELSR59	ICU.IELSR59 レジスタで選択されたイベント
76	60	0x130	ICU.IELSR60	ICU.IELSR60 レジスタで選択されたイベント
77	61	0x134	ICU.IELSR61	ICU.IELSR61 レジスタで選択されたイベント
78	62	0x138	ICU.IELSR62	ICU.IELSR62 レジスタで選択されたイベント
79	63	0x13C	ICU.IELSR63	ICU.IELSR63 レジスタで選択されたイベント

12.3.2 イベント番号

下表は、イベント番号を記した表 12.4 の各項目の説明です。

項目	説明
割り込み要求発生元	割り込み要求の発生元の名称
名称	割り込みの名称
NVIC への接続	CPU 割り込みとして使用可能な割り込みが✓印で示されています。
DTC の起動	DTC の起動要求に使用可能な割り込みが✓印で示されています。
DMAC の起動	DMAC の起動要求に使用可能な割り込みが✓印で示されています。
スヌーズの解除	スヌーズモードからの復帰要求に使用可能な割り込みが✓印で示されています。
ソフトウェアスタンバイモードの解除	ソフトウェアスタンバイモードからの復帰要求に使用可能な割り込みが✓印で示されています。

表 12.4 イベントテーブル (1/6)

イベント番号	割り込み要求発生元	名称	IELSRn		DELSRn	スヌーズの解除	ソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動		
0x001	ポート	PORT_IRQ0	✓	✓	✓	✓	✓
0x002		PORT_IRQ1	✓	✓	✓	✓	✓
0x003		PORT_IRQ2	✓	✓	✓	✓	✓
0x004		PORT_IRQ3	✓	✓	✓	✓	✓
0x005		PORT_IRQ4	✓	✓	✓	✓	✓
0x006		PORT_IRQ5	✓	✓	✓	✓	✓
0x007		PORT_IRQ6	✓	✓	✓	✓	✓
0x008		PORT_IRQ7	✓	✓	✓	✓	✓
0x009		PORT_IRQ8	✓	✓	✓	✓	✓
0x00A		PORT_IRQ9	✓	✓	✓	✓	✓
0x00B		PORT_IRQ10	✓	✓	✓	✓	✓
0x00C		PORT_IRQ11	✓	✓	✓	✓	✓
0x00D		PORT_IRQ12	✓	✓	✓	✓	✓
0x00E		PORT_IRQ13	✓	✓	✓	✓	✓
0x00F		PORT_IRQ14	✓	✓	✓	✓	✓
0x010		PORT_IRQ15	✓	✓	✓	✓	✓
0x020	DMAC0	DMAC0_INT	✓	✓	—	—	—
0x021	DMAC1	DMAC1_INT	✓	✓	—	—	—
0x022	DMAC2	DMAC2_INT	✓	✓	—	—	—

表 12.4 イベントテーブル (2/6)

イベント番号	割り込み要求発生元	名称	IELSRn		DELSRn	スヌーズの解除	ソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動		
0x023	DMAC3	DMAC3_INT	✓	✓	—	—	—
0x024	DMAC4	DMAC4_INT	✓	✓	—	—	—
0x025	DMAC5	DMAC5_INT	✓	✓	—	—	—
0x026	DMAC6	DMAC6_INT	✓	✓	—	—	—
0x027	DMAC7	DMAC7_INT	✓	✓	—	—	—
0x029	DTC	DTC_COMPLETE	✓	—	—	✓(注3)	—
0x02A		DTC_DTCEND	—	—	—	—	—
0x02B	DMAC/DTC	DMA_TRANSERR	✓	—	—	✓	—
0x02D	ICU	ICU_SNZCANCEL	✓	—	—	✓	—
0x030	FCU	FCU_FIFERR	✓	—	—	—	—
0x031		FCU_FRDYI	✓	—	—	—	—
0x035	LVD	LVD_EXLVDVBAT	✓	—	—	✓	✓
0x036		LVD_VRTC	✓	—	—	✓	✓
0x037		LVD_EXLVD	✓	—	—	✓	✓
0x038		LVD_LVD1	✓	—	—	✓	✓
0x039		LVD_LVD2	✓	—	—	✓	✓
0x03B	MOSC	MOSC_STOP	✓	—	—	—	—
0x03C	LPW	SYSTEM_SNZREQ	—	✓	—	—	—
0x03D	SOSC	SOSC_STOP	✓	—	—	✓	✓
0x040	AGT0	AGT0_AGTI	✓	✓	✓	—	—
0x041		AGT0_AGTCMAI	✓	✓	✓	—	—
0x042		AGT0_AGTCMBI	✓	✓	✓	—	—
0x043	AGT1	AGT1_AGTI	✓	✓	✓	✓	✓
0x044		AGT1_AGTCMAI	✓	✓	✓	✓	✓
0x045		AGT1_AGTCMBI	✓	✓	✓	✓	✓
0x052	IWDT	IWDT_NMIUNDF	✓	—	—	✓	✓
0x053	WDT	WDT_NMIUNDF	✓	—	—	—	—
0x054	RTC	RTC_ALM	✓	—	—	✓	✓
0x055		RTC_PRD	✓	—	—	✓	✓
0x056		RTC_CUP	✓	—	—	—	—
0x059	CANFD	CAN_RXF	✓	—	—	—	—
0x05A		CAN_GLERR	✓	—	—	—	—
0x05B		CAN_RF_DMAREQ0	✓	✓	✓	—	—
0x05C		CAN_RF_DMAREQ1	✓	✓	✓	—	—
0x063		CAN0_TX	✓	—	—	—	—
0x064		CAN0_CHERR	✓	—	—	—	—
0x065		CAN0_COMFRX	✓	—	—	—	—
0x066		CAN0_CF_DMAREQ	✓	✓	✓	—	—
0x067		CAN0_RXMB	✓	—	—	—	—

表 12.4 イベントテーブル (3/6)

イベント番号	割り込み要求発生元	名称	IELSRn		DELSRn	スヌーズの解除	ソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動		
0x073	IIC0	IIC0_RXI	✓	✓	✓	—	—
0x074		IIC0_TXI	✓	✓	✓	—	—
0x075		IIC0_TEI	✓	—	—	—	—
0x076		IIC0_EEI	✓	—	—	—	—
0x077		IIC0_WUI	✓	—	—	✓	✓
0x078	IIC1	IIC1_RXI	✓	✓	✓	—	—
0x079		IIC1_TXI	✓	✓	✓	—	—
0x07A		IIC1_TEI	✓	—	—	—	—
0x07B		IIC1_EEI	✓	—	—	—	—
0x08E	UARTA	UARTA0_TXI	✓	✓	✓	—	—
0x08F		UARTA0_RXI	✓	✓	✓	✓	✓
0x090		UARTA0_ERI	✓	—	—	✓	✓
0x091		UARTA1_TXI	✓	✓	✓	—	—
0x092		UARTA1_RXI	✓	✓	✓	✓	✓
0x093		UARTA1_ERI	✓	—	—	✓	✓
0x09E	CAC	CAC_FERRI	✓	—	—	—	—
0x09F		CAC_MENDI	✓	—	—	—	—
0x0A0		CAC_OVFI	✓	—	—	—	—
0x0B1	PORT	IOPORT_GROUP1	✓	✓(注1)	✓(注1)	—	—
0x0B2		IOPORT_GROUP2	✓	✓(注1)	✓(注1)	—	—
0x0B3		IOPORT_GROUP3	✓	✓(注1)	✓(注1)	—	—
0x0B4		IOPORT_GROUP4	✓	✓(注1)	✓(注1)	—	—
0x0B5	ELC	ELC_SWEVT0	✓(注2)	✓	—	—	—
0x0B6		ELC_SWEVT1	✓(注2)	✓	—	—	—
0x0B7	POEG	POEG_GROUPA	✓	—	—	—	—
0x0B8		POEG_GROUPB	✓	—	—	—	—
0x0B9		POEG_GROUPC	✓	—	—	—	—
0x0BA		POEG_GROUPD	✓	—	—	—	—
0x0C0	GPT0	GPT0_CCMPIA	✓	✓	✓	—	—
0x0C1		GPT0_CCMPIB	✓	✓	✓	—	—
0x0C2		GPT0_CMPC	✓	✓	✓	—	—
0x0C3		GPT0_CMPD	✓	✓	✓	—	—
0x0C4		GPT0_CMPE	✓	✓	✓	—	—
0x0C5		GPT0_CMPF	✓	✓	✓	—	—
0x0C6		GPT0_OVF	✓	✓	✓	—	—
0x0C7		GPT0_UDF	✓	✓	✓	—	—
0x0C8		GPT0_PC	✓	✓	✓	—	—

表 12.4 イベントテーブル (4/6)

イベント番号	割り込み要求発生元	名称	IELSRn		DELSRn	スヌーズの解除	ソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動		
0x0C9	GPT1	GPT1_CCMPA	✓	✓	✓	—	—
0x0CA		GPT1_CCMPB	✓	✓	✓	—	—
0x0CB		GPT1_CMPC	✓	✓	✓	—	—
0x0CC		GPT1_CMPD	✓	✓	✓	—	—
0x0CD		GPT1_CMPE	✓	✓	✓	—	—
0x0CE		GPT1_CMPF	✓	✓	✓	—	—
0x0CF		GPT1_OVF	✓	✓	✓	—	—
0x0D0		GPT1_UDF	✓	✓	✓	—	—
0x0D1		GPT1_PC	✓	✓	✓	—	—
0x0D2	GPT2	GPT2_CCMPA	✓	✓	✓	—	—
0x0D3		GPT2_CCMPB	✓	✓	✓	—	—
0x0D4		GPT2_CMPC	✓	✓	✓	—	—
0x0D5		GPT2_CMPD	✓	✓	✓	—	—
0x0D6		GPT2_CMPE	✓	✓	✓	—	—
0x0D7		GPT2_CMPF	✓	✓	✓	—	—
0x0D8		GPT2_OVF	✓	✓	✓	—	—
0x0D9		GPT2_UDF	✓	✓	✓	—	—
0x0DA		GPT2_PC	✓	✓	✓	—	—
0x0DB	GPT3	GPT3_CCMPA	✓	✓	✓	—	—
0x0DC		GPT3_CCMPB	✓	✓	✓	—	—
0x0DD		GPT3_CMPC	✓	✓	✓	—	—
0x0DE		GPT3_CMPD	✓	✓	✓	—	—
0x0DF		GPT3_CMPE	✓	✓	✓	—	—
0x0E0		GPT3_CMPF	✓	✓	✓	—	—
0x0E1		GPT3_OVF	✓	✓	✓	—	—
0x0E2		GPT3_UDF	✓	✓	✓	—	—
0x0E3		GPT3_PC	✓	✓	✓	—	—
0x0E4	GPT4	GPT4_CCMPA	✓	✓	✓	—	—
0x0E5		GPT4_CCMPB	✓	✓	✓	—	—
0x0E6		GPT4_CMPC	✓	✓	✓	—	—
0x0E7		GPT4_CMPD	✓	✓	✓	—	—
0x0E8		GPT4_CMPE	✓	✓	✓	—	—
0x0E9		GPT4_CMPF	✓	✓	✓	—	—
0x0EA		GPT4_OVF	✓	✓	✓	—	—
0x0EB		GPT4_UDF	✓	✓	✓	—	—
0x0EC		GPT4_PC	✓	✓	✓	—	—

表 12.4 イベントテーブル (5/6)

イベント番号	割り込み要求発生元	名称	IELSRn		DELSRn	スヌーズの解除	ソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動		
0x0ED	GPT5	GPT5_CCMPA	✓	✓	✓	—	—
0x0EE		GPT5_CCMPB	✓	✓	✓	—	—
0x0EF		GPT5_CMPC	✓	✓	✓	—	—
0x0F0		GPT5_CMPD	✓	✓	✓	—	—
0x0F1		GPT5_CMPE	✓	✓	✓	—	—
0x0F2		GPT5_CMPF	✓	✓	✓	—	—
0x0F3		GPT5_OVF	✓	✓	✓	—	—
0x0F4		GPT5_UDF	✓	✓	✓	—	—
0x150	GPT	GPT_UVWEDGE	✓	—	—	—	—
0x160	ADC120	ADC120_ADI	✓	✓	✓	—	—
0x161		ADC120_GBADI	✓	✓	✓	—	—
0x162		ADC120_CMPAI	✓	—	—	—	—
0x163		ADC120_CMPBI	✓	—	—	—	—
0x164		ADC120_WCMPM	—	✓	✓	✓(注3)	—
0x165		ADC120_WCMPUM	—	✓	✓	✓(注3)	—
0x180	SCI0	SCI0_RXI	✓	✓	✓	—	—
0x181		SCI0_TXI	✓	✓	✓	—	—
0x182		SCI0_TEI	✓	—	—	—	—
0x183		SCI0_ERI	✓	—	—	—	—
0x184		SCI0_AM	✓	—	—	✓(注1)	—
0x185		SCI0_RXI_OR_ERI	—	—	—	✓(注1)	—
0x186	SCI1	SCI1_RXI	✓	✓	✓	—	—
0x187		SCI1_TXI	✓	✓	✓	—	—
0x188		SCI1_TEI	✓	—	—	—	—
0x189		SCI1_ERI	✓	—	—	—	—
0x192	SCI3	SCI3_RXI	✓	✓	✓	—	—
0x193		SCI3_TXI	✓	✓	✓	—	—
0x194		SCI3_TEI	✓	—	—	—	—
0x195		SCI3_ERI	✓	—	—	—	—
0x196		SCI3_AM	✓	—	—	—	—
0x198	SCI4	SCI4_RXI	✓	✓	✓	—	—
0x199		SCI4_TXI	✓	✓	✓	—	—
0x19A		SCI4_TEI	✓	—	—	—	—
0x19B		SCI4_ERI	✓	—	—	—	—
0x19C		SCI4_AM	✓	—	—	—	—
0x19E	SCI5	SCI5_RXI	✓	✓	✓	—	—
0x19F		SCI5_TXI	✓	✓	✓	—	—
0x1A0		SCI5_TEI	✓	—	—	—	—
0x1A1		SCI5_ERI	✓	—	—	—	—
0x1A2		SCI5_AM	✓	—	—	—	—

表 12.4 イベントテーブル (6/6)

イベント番号	割り込み要求発生元	名称	IELSRn		DELSRn	スヌーズの解除	ソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動		
0x1B6	SCI9	SCI9_RXI	✓	✓	✓	—	—
0x1B7		SCI9_TXI	✓	✓	✓	—	—
0x1B8		SCI9_TEI	✓	—	—	—	—
0x1B9		SCI9_ERI	✓	—	—	—	—
0x1BA		SCI9_AM	✓	—	—	—	—
0x1BC	SCIX0 ^(注4)	SCIX0_SCIX0	✓	—	—	—	—
0x1BD		SCIX0_SCIX1	✓	—	—	—	—
0x1BE		SCIX0_SCIX2	✓	—	—	—	—
0x1BF		SCIX0_SCIX3	✓	—	—	—	—
0x1C4	SPI0	SPI0_SPRI	✓	✓	✓	—	—
0x1C5		SPI0_SPTI	✓	✓	✓	—	—
0x1C6		SPI0_SPII	✓	—	—	—	—
0x1C7		SPI0_SPEI	✓	—	—	—	—
0x1C8		SPI0_SPCEND	✓	—	—	—	—
0x1C9	SPI1	SPI1_SPRI	✓	✓	✓	—	—
0x1CA		SPI1_SPTI	✓	✓	✓	—	—
0x1CB		SPI1_SPII	✓	—	—	—	—
0x1CC		SPI1_SPEI	✓	—	—	—	—
0x1CD		SPI1_SPCEND	✓	—	—	—	—
0x1D0	CANFD ECC	CAN_MRAM_ERI	✓	—	—	—	—
0x1D1	SPI2	SPI2_SPRI	✓	✓	✓	—	—
0x1D2		SPI2_SPTI	✓	✓	✓	—	—
0x1D3		SPI2_SPII	✓	—	—	—	—
0x1D4		SPI2_SPEI	✓	—	—	—	—
0x1D5		SPI2_SPCEND	✓	—	—	—	—
0x1DA	QSPI	QSPI_INTR	✓	—	—	—	—
0x1DB	DOC	DOC_DOPCI	✓	—	—	✓ ^(注3)	—
0x1EE	RSIP-E31A	RSIP_TADI	✓	—	—	—	—

注 1. 最初のエッジ検出のみが有効です。

注 2. DTC 転送後の割り込みのみがサポートされます。

注 3. SELSR0 を使用します。

注 4. SCIX0_SCIXn (n = 0~3) は SCI1 の簡易 LIN インタフェースにリンクします。

12.4 割り込み動作

ICU は下記の機能を実行します。

- 割り込みの検出
- 割り込みの許可／禁止
- 割り込み要求先の選択（CPU 割り込み、DTC 起動、DMAC 起動など）

12.4.1 割り込みの検出

ICU は、周辺機能割り込みまたは外部端子割り込みから入力されるイベント要因を IELSRn.IELS[8:0] で選択します。

受け付けた割り込み要因は、IELSRn.IR フラグを 1 にして、NVIC へ割り込み要求を伝えます。

外部端子割り込み要求は下記のいずれかにより検出されます。

- エッジ（立ち下がりエッジ、立ち上がりエッジ、または立ち上がり／立ち下がりエッジ）
- 割り込み信号のレベル（低レベル）

IRQi 端子用の検出モードを選択するために、IRQCRi.IRQMD[1:0] ビットを設定してください。周辺モジュールに対応する割り込み要因については、表 12.3 および表 12.4 を参照してください。イベントは、割り込みが発生し CPU で受け付けられる前に、NVIC で受け付けられる必要があります。

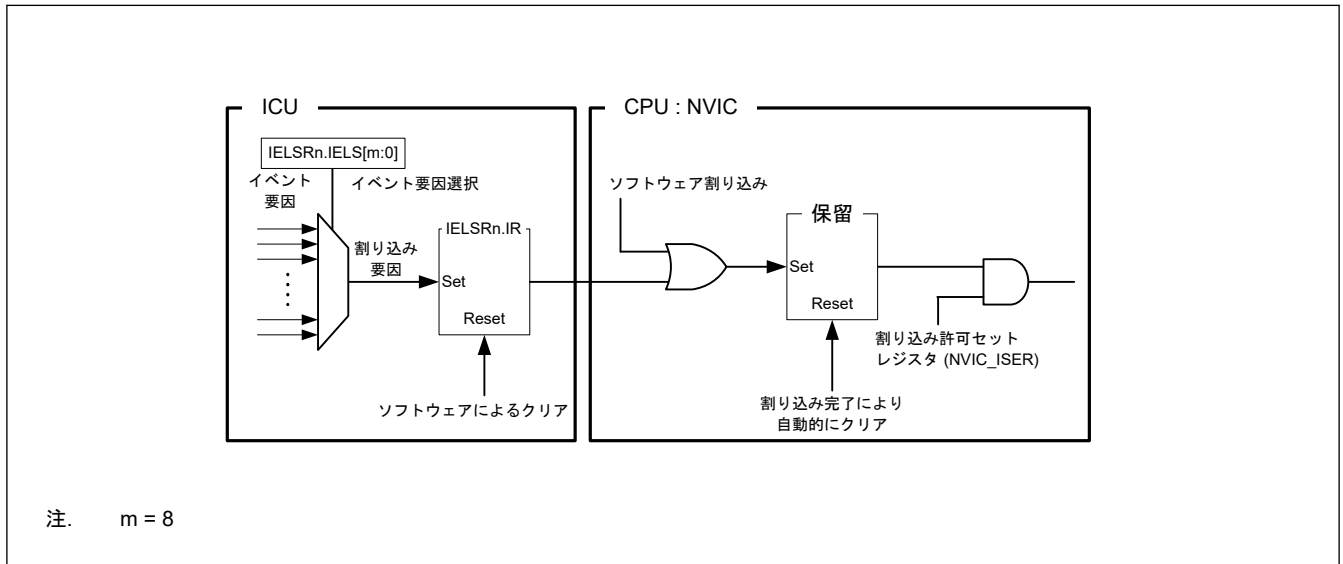


図 12.2 ICU および CPU の割り込み経路 (NVIC)

12.5 割り込みの設定手順

12.5.1 割り込み要求の許可

割り込み要求を許可するための手順を以下に示します。

1. 割り込みセット許可レジスタ (NVIC_ISER) を設定してください。
2. 割り込み要因として、IELSRn.IELS[8:0] ビットを設定します。
3. DMAC の起動 (DELSRn.DELS[8:0] ビットの設定) や、スヌーズモードの解除 (SELSR0.SELS[8:0] ビットの設定)、ソフトウェアスタンバイモードの解除 (WUPEN レジスタの設定) など、イベント要因に対する各種設定を指定してください。

12.5.2 割り込み要求の禁止

割り込み要求を禁止する手順を以下に示します。

1. DMAC の起動 (DELSRn.DELS[8:0] ビットの設定) や、スヌーズモードの解除 (SELSR0.SELS[8:0] ビットの設定)、ソフトウェアスタンバイモードの解除 (WUPEN レジスタの設定) など、イベント要因に対する各種設定を解除してください。
2. 割り込み要因の設定をクリアしてください (IELSRn.IELS[8:0] = 0x00)。
3. 割り込みステータスフラグをクリアしてください (IELSRn.IR = 0)。
4. 割り込みクリア許可レジスタ (NVIC_ICER) と割り込みクリア保留レジスタ (NVIC_ICPR) をクリアしてください。

12.5.3 割り込みのポーリング

割り込み要求をポーリングする手順を以下に示します。

1. 割り込みクリア許可レジスタ (NVIC_ICER) を設定してください。

2. 割り込み要因として、IELSRn.IELS[8:0]ビットを設定します。
3. DMAC の起動 (DELSRn.DELS[8:0]ビットの設定) や、スヌーズモードの解除 (SELSR0.SELS[8:0]ビットの設定)、ソフトウェアスタンバイモードの解除 (WUPEN レジスタの設定) など、イベント要因に対する各種設定を指定してください。
4. 割り込みセット保留レジスタ (NVIC_ISPR) をポーリングしてください。

12.5.4 割り込み要求先の選択

選択可能な要求先は、表 12.3 および表 12.4 に示されているように、割り込みごとに固定されています。

割り込み出力先 (CPU, DMAC, DTC) は、割り込み要因ごとに個別に選択できます。

イベントリスト (「12.3.2. イベント番号」参照) に✓印の記載がある割り込み要求先の設定を使用してください。

注. IELSRn レジスタと DELSRn レジスタで、同じ割り込み要因は設定しないでください。

DMAC または DTC が IRQi 端子からの割り込み要求先として選択された場合、その割り込み要求に対して IRQCRi.IRQMD[1:0]ビットをエッジ検出を選択するために設定してください。

12.5.4.1 CPU への割り込み要求

IELSRn.DTCE = 0 のとき、IELSRn レジスタで指定されたイベントが NVIC に出力されます。対象イベントに対応する IELSRn.IELS[8:0]ビットを設定し、IELSRn.DTCE ビットを 0 にします。

12.5.4.2 DTC の起動

IELSRn.DTCE = 1 のとき、IELSRn レジスタで指定されたイベントが DTC に出力されます。以下の手順に従ってください。

1. 対象イベントに対応する IELSRn.IELS[8:0]ビットを設定し、IELSRn.DTCE ビットを 1 にします。
2. DTC モジュール起動ビット (DTCST.DTCST) を 1 に設定してください。

表 12.5 に DTC が割り込み要求先となる場合の動作を示します。

表 12.5 DTC が割り込み要求先となる場合の動作

割り込み要求先	DISEL (注1)	残り転送数	割り込み要求 1 回あたりの動作	IR(注2)	転送後の割り込み要求先
DTC(注3)	1	≠ 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる。	DTC
		= 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる。	CPU (IELSRn.DTCE ビットは自動的にクリアされる)
	0	≠ 0	DTC 転送	DTC 転送データの読み出し後、DTC データ転送の開始時にクリアされる。	DTC
		= 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる。	CPU (IELSRn.DTCE ビットは自動的にクリアされる)

注 1. DTC.MRB.DISEL ビットで DTC から CPU への割り込み要求の発生の仕方を設定します。

注 2. IELSRn.IR フラグが 1 のとき、再度発生した割り込み要求 (DTC 起動要求) は無視されます。

注 3. チェーン転送の場合は、最後のチェーン転送が終了するまで DTC 転送が継続します。DISEL ビットの状態と残りの転送数によって、転送後の CPU 割り込み発生の有無、IELSRn.IR フラグクリアのタイミング、および割り込み要求先が決まります。「16. データ転送ファクタ (DTC)」の表 16.2 を参照してください。

注. DTC 転送中のエラー

DTC 転送中にエラー応答が発生すると、DTC はエラーが発生したことを ICU に通知します。ICU は対象の IELSRn (n = 0~63) のすべてのビットをクリアします。対象外の IELSRn はクリアされません。

注. スヌーズモード時の DTC 転送エラー

スヌーズモード時の DTC 転送エラーが発生したとき、ICU はウェイクアップ要求を発行します。しかし、割り込み要求は自動的に発行されません。DTC エラー発生時の割り込みの設定方法については、「16. データ転送ファクタ (DTC)」を参照してください。

12.5.4.3 DMAC の起動

DELSRn レジスタで指定されたイベントが DMAC に出力されます。

DMAC に対して割り込み要因を設定するには、以下の手順に従ってください。

1. DELSRn.DELS[8:0]ビットで DMAC の起動イベントを設定する。
2. CPU への割り込みを使用する場合、IELSRn.IELS ビットを DMAC 割り込み要因に設定し、かつ IELSRn.DTCE ビットを 0 に設定する。
3. 対象の DMAC チャンルの起動要因 (DMACm.DMTMD.DCTG[1:0]) を 01b (割り込みモジュール検出) にする。
4. 対象の DMAC チャンルの DMAC 転送許可ビット (DMACm.DMCNT.DTE) を 1 にする。
5. DMAC 動作許可ビット (DMAST.DMST) を 1 にする。

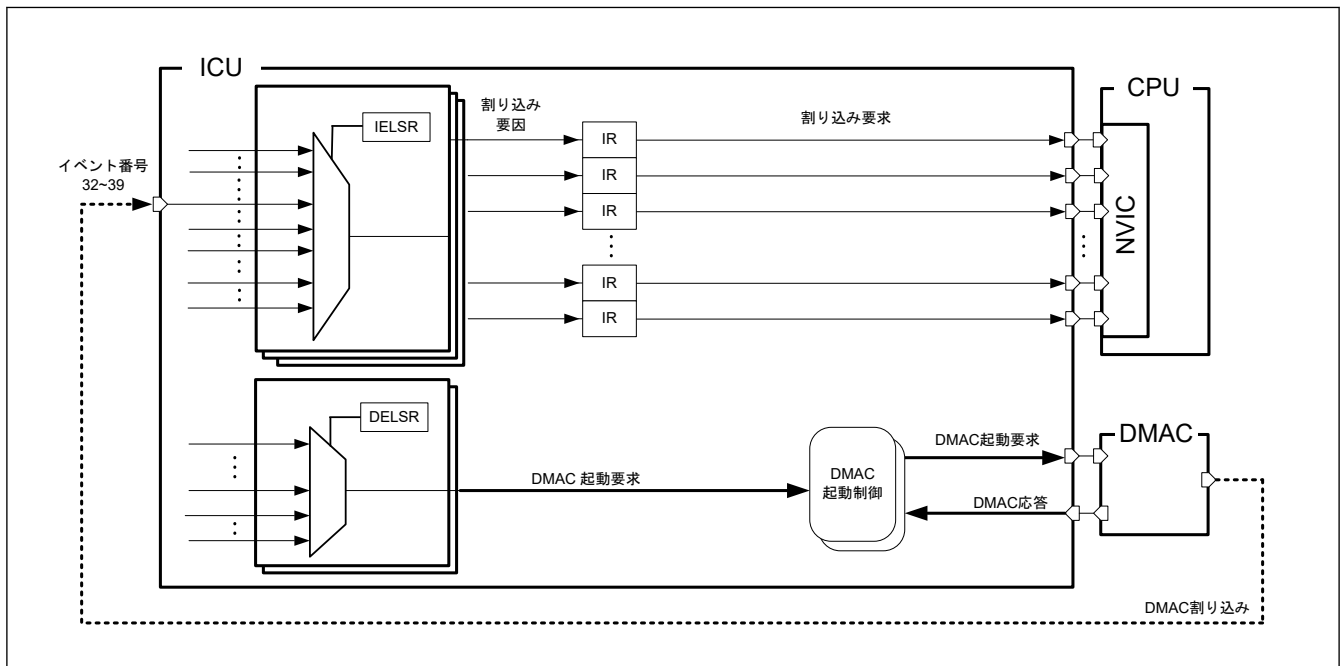


図 12.3 DMAC 要求トリガと割り込み経路

注. DMAC 転送中のエラー

DMAC 転送中にエラー応答が発生した場合、DMAC はエラーの発生を ICU に通知します。

ICU は DELSRn ($n = 0 \sim 7$) の対象チャンネルのすべてのビットをクリアします。対象チャンネル以外の DELSRn ($n = 0 \sim 7$) はクリアされません。

12.5.5 デジタルフィルタ

デジタルフィルタ機能は、外部割り込み要求端子 IRQi ($i = 0 \sim 15$) と NMI 端子割り込みのために用意されています。デジタルフィルタ機能は、フィルタ PCLKB サンプリングクロックの入力信号をサンプリングし、3 サンプリングサイクル以下のパルス幅の信号を除去します。

IRQi 端子に対してデジタルフィルタを用いるには、以下のようになしてください。

1. IRQCRi.FCLKSEL[1:0]ビットと IRQCRi.LOCOSSEL ビット ($i = 0 \sim 15$) で、サンプリングクロックサイクルを設定してください。設定可能なクロックサイクルは PCLKB、PCLKB/8、PCLKB/32、PCLKB/64、または LOCO です。
2. IRQCRi.FLTEN ビット ($i = 0 \sim 15$) を 1 (デジタルフィルタ有効) に設定してください。

デジタルフィルタ用のサンプリングクロックとして LOCO を選択する場合、以下に注意してください。

- 一度 IRQ 端子を設定したら、LOCO クロック 4 サイクル後に IELSR レジスタを設定する必要があります。
- IRQMD[1:0]ビット = 11b は設定禁止です。
- デジタルフィルタ設定 (IRQCRi.FLTEN = 1 かつ IRQCRi.LOCOSSEL = 1) は変更禁止です。

- LOCO の停止は禁止です。

NMI 端子に対してデジタルフィルタを用いるには、以下のようにしてください。

1. NMICR.NFCLKSEL[1:0]ビットで、サンプリングクロックサイクルを設定してください。設定可能なクロックサイクルは PCLKB、PCLKB/8、PCLKB/32、または PCLKB/64 です。
2. NMICR.NFLTEN ビットを 1（デジタルフィルタ有効）に設定してください。

図 12.4 にデジタルフィルタの動作例を示します。

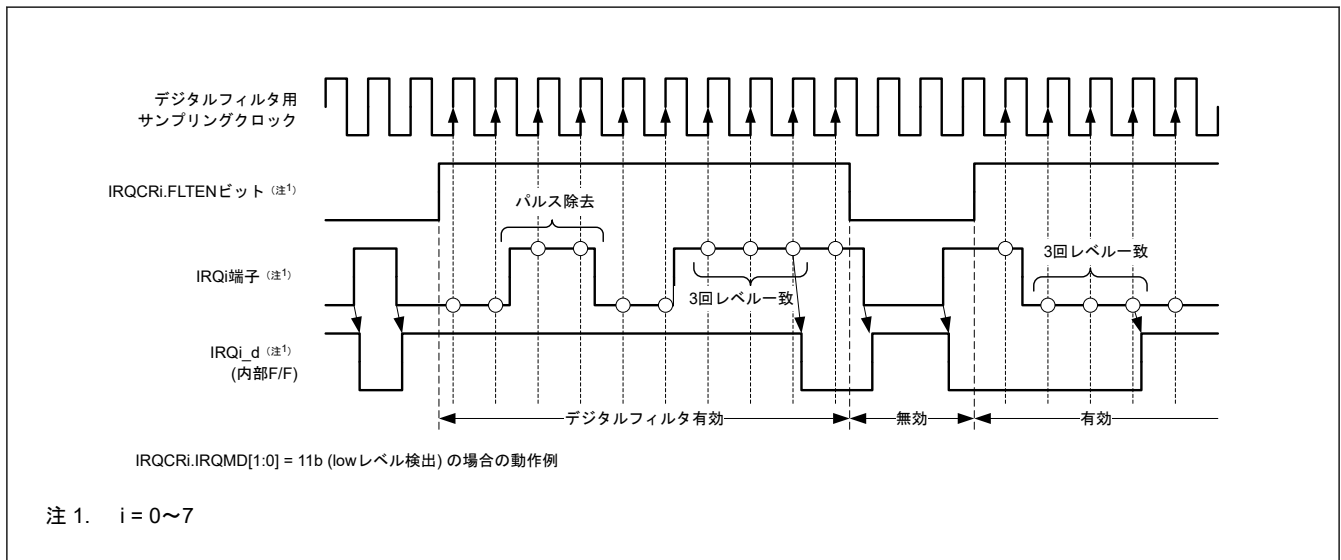


図 12.4 デジタルフィルタの動作例

サンプリングクロックが LOCO でない場合、ソフトウェアスタンバイモードに移移する前に、IRQCRi.FLTEN ビットをクリアすることによりデジタルフィルタを無効にしてください。NMI は LOCO を選択しないため、必ず NMICR.NFLTEN ビットをクリアしてデジタルフィルタを無効にしてください。ソフトウェアスタンバイモードでは、ICU クロックは停止します。

ソフトウェアスタンバイモード終了時、回路はスタンバイモード前後の状態を比較することにより、エッジを検出します。ソフトウェアスタンバイモード中に入力に変化すると、不適切なエッジが検出される可能性があります。ソフトウェアスタンバイモード終了後は、再度、デジタルフィルタを有効にすることができます。

12.5.6 外部端子割り込みの設定手順

外部端子割り込みを使用する時の手順を以下に示します。

1. I/O ポートの設定をしてください。
2. IRQCRi.FLTEN ビット ($i = 0 \sim 15$) を 0（デジタルフィルタ無効）にしてください。
3. IRQCRi レジスタ ($i = 0 \sim 15$) の IRQMD[1:0]ビットと LOCOSSEL ビットを設定して検出センスを選択してください。
4. IRQCRi レジスタの FCLKSEL[1:0]ビットおよび FLTEN ビットを設定してください。
5. IRQ 端子を以下のように選択してください。
 - IRQ 端子を CPU への割り込み要求に使用する場合は、IELSRn.IELS[8:0]ビットを設定し、IELSRn.DTCE ビットを 0 にしてください。
 - IRQ 端子を DTC の起動に使用する場合は、IELSRn.IELS[8:0]ビットを設定し、IELSRn.DTCE ビットを 1 にしてください。
 - IRQ 端子を DMAC の起動に使用する場合は、DELSRn.DELS[8:0]ビットを設定してください。

12.6 ノンマスカブル割り込みの動作

ノンマスカブル割り込みをトリガできるのは、以下の要因です。

- NMI 端子割り込み
- 発振停止検出割り込み
- WDT アンダーフロー／リフレッシュエラー割り込み
- IWDT アンダーフロー／リフレッシュエラー割り込み
- 電圧監視 1 割り込み
- 電圧監視 2 割り込み
- SRAM パリティエラー割り込み
- SRAM ECC エラー割り込み
- バスマスタ MPU エラー割り込み
- TrustZone フィルタエラー割り込み
- キャッシュ RAM パリティエラー割り込み

ノンマスカブル割り込みは CPU でのみ使用可能です。DTC または DMAC の起動には使用できません。ノンマスカブル割り込みは他のすべての割り込みよりも優先します。ノンマスカブル割り込みの状態は、ノンマスカブル割り込みステータスレジスタ (NMISR) で確認できます。NMI ハンドラから復帰する前に、NMISR のビットがすべて 0 であることを確認してください。

ノンマスカブル割り込みは初期設定では禁止になっています。ノンマスカブル割り込みを使用するには、以下の手順で設定してください。

1. NMICR.NFLTEN ビットを 0 にしてください (デジタルフィルタ無効)。
2. NMICR レジスタの NMIMD ビット、NFCLKSEL[1:0] ビット、および NFLTEN ビットを設定してください。
3. NMICLR.NMICLR ビットを 1 にして NMISR.NMIST フラグを 0 にしてください。
4. ノンマスカブル割り込みイネーブルレジスタ (NMIER) の NMIEEN ビットを 1 にしてノンマスカブル割り込みを許可にしてください。

NMIEEN レジスタに 1 が書き込まれた後、NMIEEN.NMIEEN ビットへの書き込みは無視されます。NMI は許可されると、リセットの場合を除き、禁止にすることはできません。

Arm CPU のアプリケーション割り込みおよびリセットコントロールレジスタ (AIRCRL) で管理するセキュア属性は、NMI のセキュリティ属性と一致している必要があります。

CPU の NMI セキュア属性は、AIRCRL.BFHFNMIN の設定で変更します。これは、セキュアプログラムを管理するソフトウェア開発者が管理します。

12.6.1 NMI による TrustZone-M との対応関係

NMI セキュリティは AIRCRL.BFHFNMIN で設定します。CPU としては 1 つの NMI しかありませんが、複数の要因を設定可能です。本項では、NMI のセキュアプログラムと非セキュアプログラムを組み合わせる手順を説明します。その際、ICU の NMI 関連レジスタはセキュアに設定する必要があります。

NMI 関連レジスタ：

- NMIEEN
- NMICLR
- NMICR

ICUSARB.SANMI ビットを 0 に設定してください。

ARM CPU の「アプリケーション割り込みおよびリセットコントロールレジスタ」の AIRCRL.BFHFNMIN (ビット 13) の値は、セキュリティ属性の値と同じでなければなりません。AIRCRL.BFHFNMIN と ICUSARB.SANMI の初期値は異なります。

AIRCRL.BFHFNMIN はセキュア、ICUSARB.SANMI は非セキュアです。極性は同じ意味を持ちます。それらが合致するようにプログラミングしてください。

NMI が発行されたら、NMI ハンドラにジャンプしてください。セキュアプログラムと非セキュアプログラムを組み合わせる際には、NMI ハンドラは TrustZone-M ルールに従って分岐する必要があります。フローを [図 12.5](#) に示します。

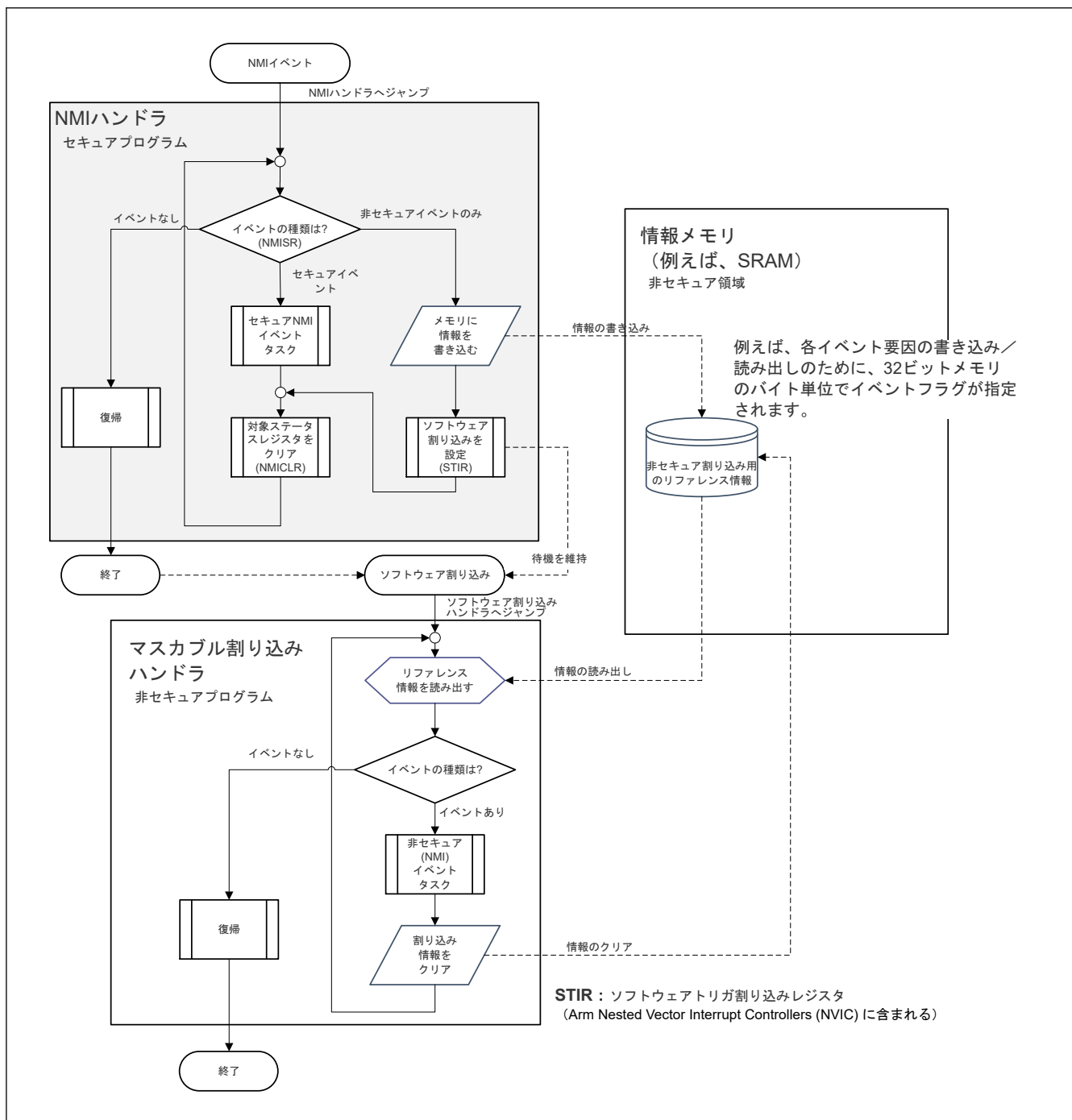


図 12.5 NMI による TrustZone-M との対応関係

セキュアプログラムと非セキュアプログラム間の移行方法の詳細については ARM マニュアルを参照してください。

12.7 低消費電力モードからの復帰

スリープモード、スヌーズモード、またはソフトウェアスタンバイモードを終了させるために使用可能な割り込み要因を、[表 12.4](#) に示します。詳細は、「[10. 低消費電力モード](#)」を参照してください。

12.7.1 スリープモードからの復帰

スリープモードからの復帰は、すべての割り込み要因で可能です。

ノンマスクابل割り込み

- NMIER レジスタによって該当する割り込み要求を許可してください。

マスクابل割り込み

- 割り込み要求先を CPU にしてください。
- NVIC のレジスタを設定して割り込みを許可してください。

12.7.2 ソフトウェアスタンバイモードからの復帰

ICU は、ノンマスクابل割り込みまたはマスクابل割り込みによりソフトウェアスタンバイモードから復帰できます。解除要因のマスクابل割り込みについては、表 12.4 を参照してください。

ソフトウェアスタンバイモードからの復帰方法：

1. ソフトウェアスタンバイモードから復帰可能な割り込み要因を選択してください。
 - ノンマスクابل割り込みの場合は、NMIER レジスタで該当する割り込み要求を許可してください。
 - マスクابل割り込みの場合は、WUPEN レジスタで必要な割り込み要求を復帰許可にしてください。
2. 割り込み要求先として CPU を選択してください。
3. NVIC で割り込みを許可してください。

これらの条件を満たさない IRQn 端子による割り込み要求は、ソフトウェアスタンバイモードでクロックが停止している間は検出されません。

同様に、ソフトウェアスタンバイモードでクロックが停止している要求元からのノンマスクابل割り込みの要求は、検出できません。

ソフトウェアスタンバイモードへの／からの遷移

1. ソフトウェアスタンバイモードに入る前に、復帰対象 (IRQCRI.FLTEN = 0, NMICR.NFLTEN = 0) としての割り込み要因に対するデジタルフィルタを無効にしてください。
2. ソフトウェアスタンバイモードから復帰した後、デジタルフィルタを再度使用するには、デジタルフィルタを有効 (IRQCRI.FLTEN = 1, NMICR.NFLTEN = 1) にしてください。

12.7.3 スヌーズモードからの復帰

ICU は、スヌーズモード用に提供された割り込みを使用して、スヌーズモードから通常モードに復帰することができます。

スヌーズモードから通常モードに復帰するには：

1. SELSR0 レジスタの SELS[8:0] ビットに、必要な割り込み要求の数を設定してください。
2. IELSRn.IELS[8:0] (n = 0~63) に、値 0x02D (ICU_SNZCANCEL) を設定してください。
3. 割り込み要求先を CPU にしてください。
4. NVIC で割り込みを許可してください。

これらの条件を満たさないノンマスクابل割り込み要求は、スヌーズモードでクロックが停止している間は検出されません。

注. スヌーズモードでは、クロックが ICU に供給されます。IELSRn で選択したイベントが検出された場合、ソフトウェアスタンバイモードから通常モードに復帰した後、CPU は割り込みアクリッジを実行できます。DELSRn で選択したイベントが検出された場合、ソフトウェアスタンバイモードから通常モードに復帰した後、DMAC は割り込みアクリッジを実行できます。

12.8 ノンマスカブル割り込みとともに WFI 命令を使用する場合

WFI 命令を実行するときは、常に NMISR レジスタのステータスフラグがすべて 0 であることを確認してください。

12.9 参考資料

- ARM Limited., ARM[®] Cortex[®]-M33 Processor Technical Reference Manual (ARM 100230)

13. バス

13.1 概要

バスは、32 ビットの AHB バスマトリックスより構成されます。表 13.1 にバスマスタおよびバススレーブを、図 13.1 にバスの構成図を示します。

表 13.1 バスの仕様

分類	バスマスタ/スレーブ名	同期クロック	仕様
バスマスタ	コードバス (Cortex-M33)	ICLK	命令およびオペランド用 CPU 命令キャッシュを接続
	システムバス (Cortex-M33)	ICLK	システム用 CPU データキャッシュを接続
	DMAC/DTC	ICLK	DMAC/DTC を接続
バススレーブ	FHBIU	ICLK	コードフラッシュメモリとコンフィグレーション領域を接続
	FLBIU	FCLK	データフラッシュメモリ、FACI、および TSN を接続
	SOBIU	ICLK	SRAM0 に接続
	PSBIU	ICLK	周辺システムモジュール（DTC、DMAC、ICU、フラッシュ、MPU、SRAM、デバッグ/トレースモジュール、システムコントローラ、BUS コントローラ）を接続 周辺モジュール（I/O ポート）を接続
	PLBIU	PCLKB	周辺モジュール（CAC、ELC、POEG、RTC、WDT、IWDI、AGT、IIC、CANFD、SLCDC、UARTA、および RSIP-E31A）を接続
	PHBIU	PCLKA	周辺モジュール（GPT、SCI、SPI、CRC、DOC、ADC12、CNECC、および IrDA）を接続
	EQBIU（QSPI 領域）	PCLKA	QSPI（外部メモリアンタフェース）を接続

注. FHBIU : フラッシュ高速バスインタフェースユニット
 FLBIU : フラッシュ低速バスインタフェースユニット
 SOBIU : SRAM0 バスインタフェースユニット
 PSBIU : 周辺システムバスインタフェースユニット
 PLBIU : 周辺低速バスインタフェースユニット
 PHBIU : 周辺高速バスインタフェースユニット
 EQBIU : 外部メモリアンタフェース QSPI バスインタフェースユニット

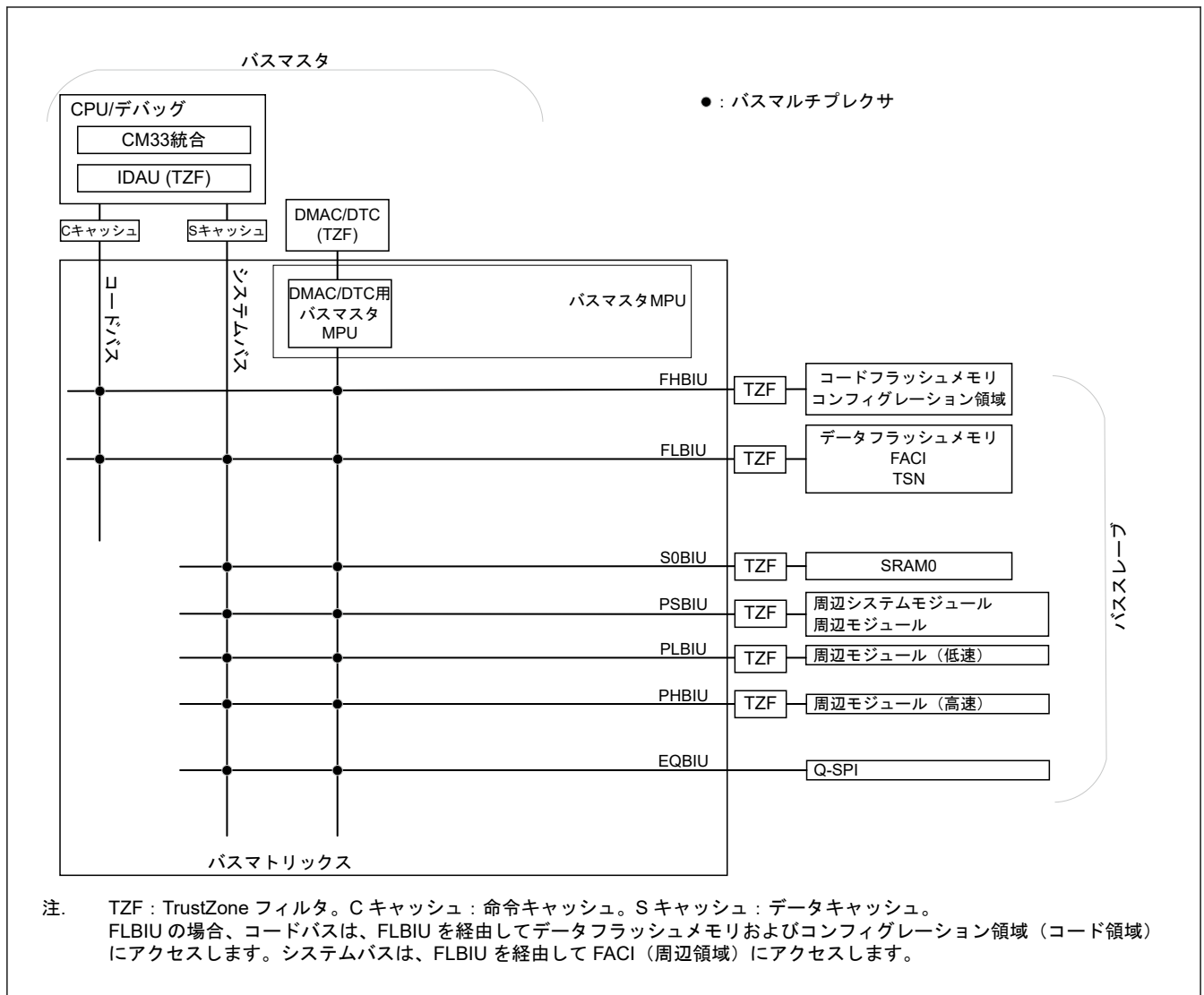


図 13.1 バス接続

13.2 バスの説明

13.2.1 アービトレーション

各スレーブにおけるマスタ間アービトレーションについては、各マスタについて優先順位固定とラウンドロビン方式を選択可能です。詳細は、「[13.3.3. BUSSCNT<slave>: スレーブバスコントロールレジスタ \(<slave> = FHBIU, FLBIU, S0BIU, EQBIU\)](#)」、「[13.3.4. BUSSCNT<slave>: スレーブバスコントロールレジスタ \(<slave> = PSBIU, PLBIU, PHBIU\)](#)」を参照してください。

13.2.2 並列動作

それぞれのバスマスタが異なるスレーブにアクセスする場合、並列に動作可能です。たとえば、CPU がコードフラッシュから命令をフェッチし、SRAM0 からオペランドをフェッチ中に、DMAC は周辺モジュール間の転送を同時に行うことができます。

図 13.2 に並列動作の例を示します。この例では、CPU はコードバスとシステムバスを使用して、それぞれ FHBIU と S0BIU に同時にアクセスします。また、CPU が FHBIU と S0BIU にアクセスする間、DMAC/DTC は周辺バスに同時にアクセスします。

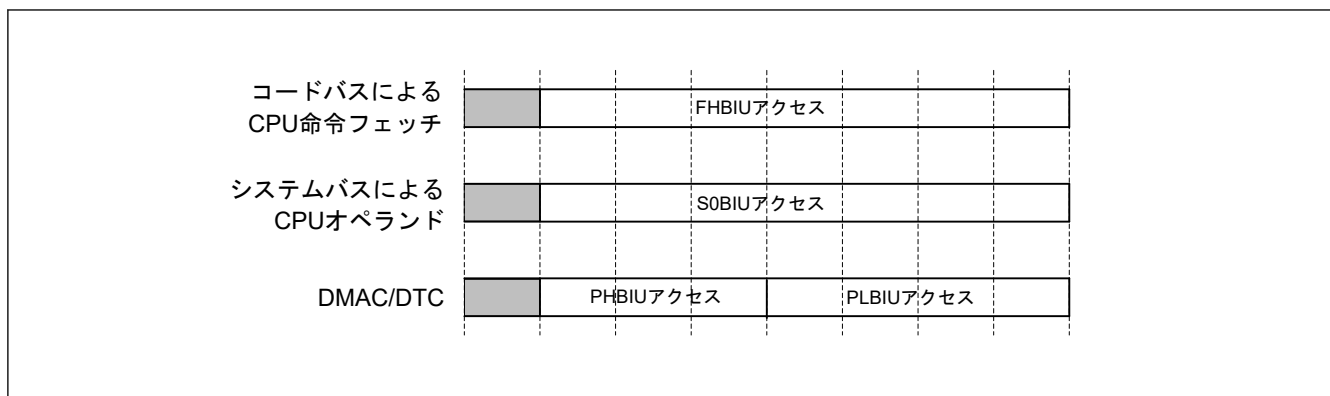


図 13.2 並列動作の例

13.2.3 制約事項

(1) エンディアンに関する制約事項

Cortex®コードを実行するには、メモリ空間はリトルエンディアンでなければいけません。

(2) バッファリング可能ライトアクセス

CPU が PLBIU または PHBIU に対してバッファラブルライトアクセスを実行したときに STZF エラーが発生すると、エラー応答は無効になります。したがって、エラーフラグはセットされませんし、NMI/RESET 要求も発生しません。

CPU が PHBIU に対してバッファラブルライトアクセスを実行したときにスレーブバスエラーが発生すると、エラー応答は無効になり、エラーフラグはセットされません。

エラー応答が必要な場合は、バスマスタをバッファリング不可アクセスに設定してください。

(3) FLBIU および S0BIU の予約領域へのアクセス

FLBIU および S0BIU の予約領域へのアクセスは禁止です。アクセスした場合動作は保証されません。

13.3 レジスタの説明

13.3.1 BUSSARA : バスセキュリティ属性レジスタ A

Base address: CPSCU = 0x4000_8000

Offset address: 0x0100

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BUSSA0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	BUSSA0	バスセキュリティ属性 A0 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 1 が読めます。	R

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

BUSSA0 ビット (バスセキュリティ属性 A0)

レジスタと BIU 名の対応を以下に示します。

接続 (BUSSCNT<slave> = FHBIU/FLBIU/S0BIU/PSBIU/PLBIU/PHBIU/EQBIU)

BIU と BUS 間の接続については図 13.1 を参照してください。

- BUSSCNTFHBIU
- BUSSCNTFLBIU
- BUSSCNTS0BIU
- BUSSCNTPSBIU
- BUSSCNTPLBIU
- BUSSCNTPHBIU
- BUSSCNTEQBIU

13.3.2 BUSSARB : バスセキュリティ属性レジスタ B

Base address: CPSCU = 0x4000_8000

Offset address: 0x0104

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BUSSB0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	BUSSB0	バスセキュリティ属性 B0 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 1 が読めます。	R

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

BUSSB0 ビット (バスセキュリティ属性 B0)

BUSSB0 ビットは、バスエラークリアレジスタおよび DMAC/DTC エラークリアレジスタ用セキュリティ属性を指定します。

BUS1ERRCLR : コードバス

BUS2ERRCLR : システムバス

BUS3ERRCLR: DMAC/DTC

DMACDTCERRCLR: DMAC/DTC (マスタ TZF)

各バスの接続については、図 13.1 を参照してください。

13.3.3 BUSSCNT<slave> : スレーブバスコントロールレジスタ (<slave> = FHBIU, FLBIU, S0BIU, EQBIU)

Base address: BUS = 0x4000_3000

Offset address: 0x1100 (BUSSCNTFHBIU)
0x1104 (BUSSCNTFLBIU)
0x1110 (BUSSCNTS0BIU)
0x1140 (BUSSCNTEQBIU)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ARBS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	ARBS[1:0]	2 マスタのアービトレーション選択 バスマスタの優先順位を指定します。 >: 優先順位固定 ↔: ラウンドロビン 0 0: DMAC/DTC > CPU 0 1: DMAC/DTC ↔ CPU 1 0: 設定禁止 1 1: 設定禁止	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。
- 注. BUSSCNT<slave> : <slave>は、スレーブのバスインタフェースユニット名です。
- 予約ビットを初期値 0 から書き換えることは禁止されています。書き換え中の動作は保証されません。

ARBS[1:0]ビット (2 マスタのアービトレーション選択)

ARBS ビットは、各マスタのアービトレーション方式を設定します。

13.3.4 BUSSCNT<slave> : スレーブバスコントロールレジスタ (<slave> = PSBIU, PLBIU, PHBIU)

Base address: BUS = 0x4000_3000

Offset address: 0x1120 (BUSSCNTPSBIU)
0x1130 (BUSSCNTPLBIU)
0x1134 (BUSSCNTPHBIU)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ARBS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ARBS	2 マスタのアービトレーション選択 バスマスタの優先順位を指定します。 >: 優先順位固定 ↔: ラウンドロビン 0: DMAC/DTC > CPU 1: DMAC/DTC ↔ CPU	R/W
15:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。
- 注: ● BUSSCNT<slave> : <slave>は、スレーブのバスインタフェースユニット名です。
- 予約ビットを初期値 (0) から書き換えることは禁止されています。書き換え中の動作は保証されません。

ARBS ビット (2 マスタのアービトレーション選択)

ARBS ビットは、各マスタのアービトレーション方法を設定します。

13.3.5 BUSnERRADD : バスエラーアドレスレジスタ (n = 1~3)

Base address: BUS = 0x4000_3000

Offset address: 0x1800 + 0x10 × (n - 1)

Bit position: 31

0

Bit field:

BERAD[31:0]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	BERAD[31:0]	バスエラーアドレス バスエラーが発生した場合、そのエラーアドレスを格納します。	R

本レジスタは、MPU および TZF 関連リセット（バスマスタ MPU エラーリセットおよび TrustZone フィルタエラーリセット）以外のリセットによってクリアされます。

MPU、TZF 関連リセットの詳細は、「[5. リセット](#)」、「[14. メモリプロテクションユニット \(MPU\)](#)」、「[42.2. Arm TrustZone セキュリティ](#)」を参照してください。

マスタバスとバスエラーの対応は以下のとおりです。

BUS1ERRADD : コードバス

BUS2ERRADD : システムバス

BUS3ERRADD: DMAC/DTC

BERAD[31:0]ビット (バスエラーアドレス)

BERAD[31:0]ビットは、関連するバスでエラーが起こった場合アドレスを示します。バスで発生するエラーの詳細については、「[13.3.9. BUSnERRSTAT : BUS エラーステータスレジスタ n \(n = 1~3\)](#)」および「[13.4. バスエラー監視部](#)」を参照してください。

バス上でエラーが発生すると、BUSnERRSTAT (n = 1~3) レジスタの ILERRSTAT、MMERRSTAT、SLERRSTAT の対応ビットが 1 になり、同時に、バスエラーアクセスのアドレスが BERAD[31:0]ビットに格納されます。

BUSnERRSTAT (n = 1~3) レジスタの ILERRSTAT、MMERRSTAT、SLERRSTAT の各ビットが 1 である場合のみ、BERAD[31:0]ビットは有効です。

13.3.6 BUSnERRRW : バスエラーリードライトレジスタ (n = 1~3)

Base address: BUS = 0x4000_3000

Offset address: 0x1804 + 0x10 × (n - 1)

Bit position: 7 6 5 4 3 2 1 0

Bit field:

—	—	—	—	—	—	—	RWST AT

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	RWSTAT	エラーアクセスリード／ライト状態 エラー発生時の状態 0: リードアクセス 1: ライトアクセス	R

ビット	シンボル	機能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

本レジスタは、MPU および TZF 関連リセット（バスマスタ MPU エラーリセットおよび TrustZone フィルタエラーリセット）以外のリセットによってクリアされます。

MPU 関連リセットの詳細は、「[5. リセット](#)」および「[14. メモリプロテクションユニット \(MPU\)](#)」を参照してください。

マスタバスとバスエラーの対応は以下のとおりです。

BUS1ERRRW : コードバス

BUS2ERRRW : システムバス

BUS3ERRRW: DMAC/DTC

RWSTAT ビット (エラーアクセスリード/ライト状態)

RWSTAT ビットは、関連するバスでエラーが起こった場合のアクセス状態（ライトアクセスかリードアクセスか）を示します。バスで発生するエラーの詳細については、「[13.3.9. BUSnERRSTAT : BUS エラーステータスレジスタ n \(n = 1~3\)](#)」および「[13.4. バスエラー監視部](#)」を参照してください。

バス上でエラーが発生すると、BUSnERRSTAT (n = 1~3) レジスタの ILERRSTAT、MMERRSTAT、SLERRSTAT の対応ビットが 1 になり、同時に、バスエラーアクセスのリード/ライト状態が RWSTAT ビットに格納されます。

BUSnERRSTAT (n = 1~3) レジスタの ILERRSTAT、MMERRSTAT、SLERRSTAT の各ビットが 1 である場合のみ、RWSTAT ビットは有効です。

13.3.7 BTZFnERRADD : バス TZF エラーアドレスレジスタ (n = 1~3)

Base address: BUS = 0x4000_3000

Offset address: 0x1900 + 0x10 × (n - 1)

Bit position: 31

0

Bit field:

BTZFERAD[31:0]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	BTZFERAD[31:0]	バス TrustZone フィルタエラーアドレス バスエラーが発生した場合、そのエラーアドレスを格納します。	R

本レジスタは、MPU および TZF 関連リセット（バスマスタ MPU エラーリセットおよび TrustZone フィルタエラーリセット）以外のリセットによってクリアされます。

MPU、TZF 関連リセットの詳細は、「[5. リセット](#)」、「[14. メモリプロテクションユニット \(MPU\)](#)」、「[42.2. Arm TrustZone セキュリティ](#)」を参照してください。

マスタバスとバスエラーの対応は以下のとおりです。

BTZF1ERRADD : コードバス

BTZF2ERRADD : システムバス

BTZF3ERRADD: DMAC/DTC

各バスの接続については、[図 13.1](#) を参照してください。

BTZFERAD[31:0]ビット (バス TrustZone フィルタエラーアドレス)

BTZFERAD[31:0]ビットは、関連するバスでエラーが起こった場合のアドレスを示します。バスで発生するエラーの詳細については、「[13.3.9. BUSnERRSTAT : BUS エラーステータスレジスタ n \(n = 1~3\)](#)」および「[13.4. バスエラー監視部](#)」を参照してください。

バス上でエラーが発生すると、BUSnERRSTAT (n = 1~3) レジスタの STERRSTAT の対応ビットが 1 になり、同時に、バスエラーアクセスのアドレスが BTZFERAD[31:0] ビットに格納されます。

BUSnERRSTAT (n = 1~3) レジスタの STERRSTAT ビットが 1 である場合のみ、BTZFERAD[31:0] ビットは有効です。

13.3.8 BTZFnERRRW : バス TZF エラーリードライトレジスタ (n = 1~3)

Base address: BUS = 0x4000_3000

Offset address: 0x1904 + 0x10 × (n - 1)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TRWSTAT
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TRWSTAT	TrustZone フィルタエラーアクセスリード／ライト状態 エラー発生時の状態 0: リードアクセス 1: ライトアクセス	R
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

本レジスタは、MPU および TZF 関連リセット（バスマスタ MPU エラーリセットおよび TrustZone フィルタエラーリセット）以外のリセットによってクリアされます。

MPU、TZF 関連リセットの詳細は、「[5. リセット](#)」、「[14. メモリプロテクションユニット \(MPU\)](#)」、「[42.2. Arm TrustZone セキュリティ](#)」を参照してください。

マスタバスとバスエラーの対応は以下のとおりです。

BTZF1ERRRW : コードバス

BTZF2ERRRW : システムバス

BTZF3ERRRW: DMAC/DTC

各バスの接続については、[図 13.1](#) を参照してください。

TRWSTAT ビット (TrustZone フィルタエラーアクセスリード／ライト状態)

TRWSTAT ビットは、関連するバスでエラーが起こった場合のアクセス状態（ライトアクセスかリードアクセスか）を示します。バスで発生するエラーの詳細については、「[13.3.9. BUSnERRSTAT : BUS エラーステータスレジスタ n \(n = 1~3\)](#)」および「[13.4. バスエラー監視部](#)」を参照してください。

バス上でエラーが発生すると、BUSnERRSTAT (n = 1~3) レジスタの STERRSTAT の対応ビットが 1 になり、同時に、バスエラーアクセスのリード／ライト状態が TRWSTAT ビットに格納されます。BUSnERRSTAT (n = 1~3) レジスタの STERRSTAT ビットが 1 である場合のみ、TRWSTAT ビットは有効です。

13.3.9 BUSnERRSTAT : BUS エラーステータスレジスタ n (n = 1~3)

Base address: BUS = 0x4000_3000

Offset address: 0x1A00 + 0x10 × (n - 1)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	ILERRSTAT	MMERRSTAT	—	STERRSTAT	SLERRSTAT
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SLERRSTAT	スレーブバスエラー状態 0: エラーなし 1: エラー発生	R
1	STERRSTAT	スレーブ TrustZone フィルタエラー状態 0: エラーなし 1: エラー発生	R
2	—	読むと 0 が読めます。	R
3	MMERRSTAT	マスタ MPU エラー状態 0: エラーなし 1: エラー発生	R
4	ILERRSTAT	不正アドレスアクセスエラー状態 0: エラーなし 1: エラー発生	R
7:5	—	読むと 0 が読めます。	R

本レジスタは、MPU および TZF 関連リセット（バスマスタ MPU エラーリセットおよび TrustZone フィルタエラーリセット）以外のリセットによってクリアされます。

MPU および TZF 関連のリセットの詳細は、「[5. リセット](#)」、「[14. メモリプロテクションユニット \(MPU\)](#)」および「[42.2. Arm TrustZone セキュリティ](#)」を参照してください。

マスタバスとバスエラーの対応は以下のとおりです。

BUS1ERRSTAT : コードバス

BUS2ERRSTAT : システムバス

BUS3ERRSTAT: DMAC/DTC

各バスの接続については、[図 13.1](#) を参照してください。

不正アクセスエラー、マスタ MPU エラー、スレーブバスエラーのすべてが同時に発生した場合、STAT ビットは下記の順番でのみ有効になります。左側が優先になります。

マスタ MPU エラー > 不正アクセスエラー、スレーブバスエラー

注. 不正アクセスエラーとスレーブバスエラーは同時には発生しません。

ILERRSTAT、MMERRSTAT、または SLERRSTAT の 1 つが設定されると、これらのビットはクリアされるまで更新されません。

SLERRSTAT ビット（スレーブバスエラー状態）

バスにスレーブエラーが発生すると、BUSnERRSTAT.SLERRSTAT (n = 1~3) が 1 になります。クリア条件がリセットされます。あるいは、BUSnERRCLR.SLERRCLR (n = 1~3) を 1 にしてください。スレーブエラーとは、タイムアウトのようなスレーブに発生するエラーです。バスに発生するスレーブエラーの詳細については、「[13.4. バスエラー監視部](#)」を参照してください。

STERRSTAT ビット（スレーブ TrustZone フィルタエラー状態）

バスにスレーブ TrustZone フィルタエラーが発生すると、BUSnERRSTAT.STERRSTAT (n = 1~3) が 1 になります。クリア条件がリセットされます。あるいは、BUSnERRCLR.STERRCLR (n = 1~3) を 1 にしてください。デバッグがセキュリティ領域にアクセスするときは STERRSTAT ビットはセットされません。バスに発生するスレーブ TrustZone フィルタエラーの詳細については、「[42. セキュリティ機能](#)」を参照してください。

MMERRSTAT ビット（マスタ MPU エラー状態）

バスにマスタ MPU エラーが発生すると、BUSnERRSTAT.MMERRSTAT (n = 1~3) が 1 になります。クリア条件がリセットされます。あるいは、BUSnERRCLR.MMERRCLR (n = 1~3) を 1 にしてください。バスに発生するマスタ MPU エラーの詳細については、「[14. メモリプロテクションユニット \(MPU\)](#)」を参照してください。

注. マスタ MPU エラーが DMAC または DTC アクセス中に発生し、エラーアドレス値がマスタ MPU 領域にない場合、DMAC または DTC アクセス以前に不正アドレスアクセスエラーまたはスレーブエラーが発生しています。エラーアドレス値を参考にしてどのエラーが起きたのかを判断してください。

ILERRSTAT ビット（不正アドレスアクセスエラー状態）

バスに不正アドレスアクセスエラーが発生すると、BUSnERRSTAT.ILERRSTAT (n = 1~3) が 1 になります。クリア条件がリセットされます。あるいは、BUSnERRCLR.ILERRCLR (n = 1~3) を 1 にしてください。バスに発生する不正アドレスアクセスエラーの詳細については、「[13.4. バスエラー監視部](#)」を参照してください。

13.3.10 DMACDTCERRSTAT : DMAC/DTC エラーステータスレジスタ

Base address: BUS = 0x4000_3000

Offset address: 0x1A24

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MTERSTAT
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MTERRSTAT	マスタ TrustZone フィルタエラー状態 0: エラーなし 1: エラー発生	R
7:1	—	読むと 0 が読めます。	R

本レジスタは、MPU および TZF 関連リセット（バスマスタ MPU エラーリセットおよび TrustZone フィルタエラーリセット）以外のリセットによってクリアされます。

MPU および TZF 関連のリセットの詳細は、「[5. リセット](#)」、「[14. メモリプロテクションユニット \(MPU\)](#)」および「[42.2. Arm TrustZone セキュリティ](#)」を参照してください。

MTERRSTAT ビット（マスタ TrustZone フィルタエラー状態）

DMAC または DTC によりマスタ TrustZone フィルタエラーが発生すると、DMACDTCERRSTAT.MTERRSTAT が 1 になります。クリア条件がリセットされ、DMACDTCERRCLR.MTERRCLR が 1 になります。

DMAC または DTC により発生するマスタ TrustZone フィルタエラーの詳細については、「[15. DMA コントローラ \(DMAC\)](#)」および「[16. データトランスファコントローラ \(DTC\)](#)」を参照してください。

13.3.11 BUSnERRCLR : バスエラークリアレジスタ n (n = 1~3)

Base address: BUS = 0x4000_3000

Offset address: 0x1A08 + 0x10 × (n - 1)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	ILERRCLR	MMERRCLR	—	STERRCLR	SLERRCLR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SLERRCLR	スレーブバスエラークリア SLERRCLR ビットに 1 を書くと、BUSnERRSTAT.SLERRSTAT (n = 1~3) がクリアされます。	R/W(注1)
1	STERRCLR	スレーブ TrustZone フィルタエラークリア STERRCLR ビットに 1 を書くと、BUSnERRSTAT.STERRSTAT (n = 1~3) がクリアされます。	R/W(注1)
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	MMERRCLR	マスタ MPU エラークリア MMERRCLR ビットに 1 を書くと、BUSnERRSTAT.MMERRSTAT (n = 1~3) がクリアされます。	R/W(注1)

ビット	シンボル	機能	R/W
4	ILERRCLR	不正アドレスアクセスエラークリア ILERRCLR ビットに 1 を書くと、BUSnERRSTAT.ILERRSTAT (n = 1~3) がクリアされます。	R/W ^(注1)
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. 本ビットには 1 のみ書けます。読むと 0 が読めます。0 の書き込みは無効です。

マスタバスとバスエラーの対応は以下のとおりです。

BUS1ERRCLR : コードバス

BUS2ERRCLR : システムバス

BUS3ERRCLR: DMAC/DTC

BUSnERRCLR (n = 1~3) に 1 を書き込む場合、バスアクセスを停止してください。対応するバスマスタでのエラーの原因になります。

13.3.12 DMACDTCERRCLR : DMAC/DTC エラークリアレジスタ

Base address: BUS = 0x4000_3000

Offset address: 0x1A2C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MTERCLR

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	MTERRCLR	マスタ TrustZone フィルタエラークリア 1 を書き込むことにより、DMACDTCERRSTAT.MTERRSTAT フラグをクリアできます。	R/W ^(注1)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. 本ビットには 1 のみ書けます。読むと 0 が読めます。0 の書き込みは無効です。

DMACDTCERRCLR に 1 を書き込む場合、バスアクセスを停止してください。DMAC/DTC でのエラーの原因になります。

13.4 バスエラー監視部

バスエラー監視システムは、個々の領域を監視して、エラーを検出すると AHB-Lite エラー応答プロトコルを用いてそのエラーを要求マスタ IP に返します。

13.4.1 バスエラーの種類

それぞれのバスでは、下記のエラーが生じる可能性があります。

- 不正アドレスアクセス
- バスマスタ MPU エラー
- TrustZone フィルタエラー
- 各スレーブ IP より送信されるバスエラー

表 13.2 に、アクセスによって不正アドレスアクセスエラーが引き起こされるアドレス範囲を示します。スレーブの予約領域は、不正アドレスアクセスエラーを引き起こしません。バスマスタ MPU については、「14. メモリプロテクションユニット (MPU)」を参照してください。

13.4.2 バスエラー発生時の動作

バスエラーが発生すると、動作は保証されず、要求マスタ IP にエラーが返されます。

図 13.3 に、バス上の各エラー検出からユーザー通知までの動作を示します。

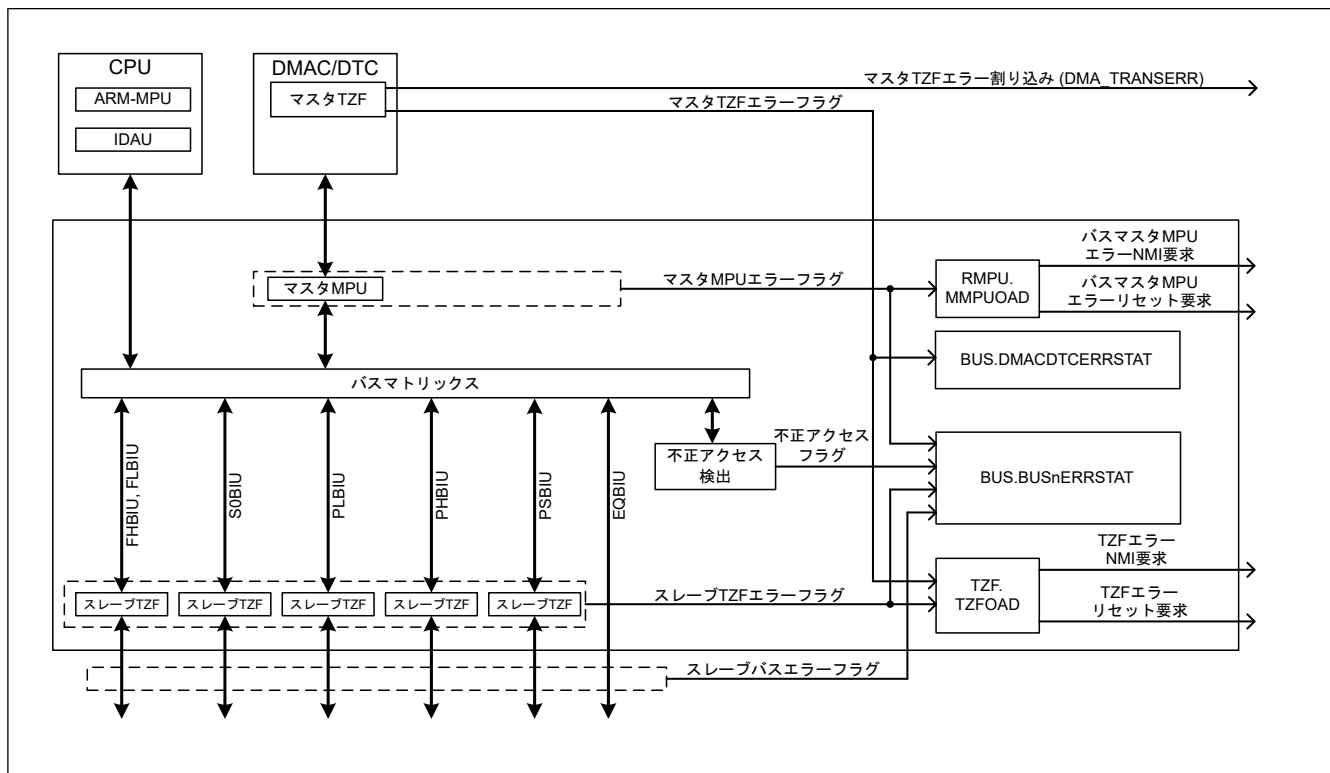


図 13.3 バス上の各エラー検出からユーザー通知までの動作

(1) バスマスタ MPU エラー

DMAC/DTC のバスマスタは、設定されたアドレス領域のアクセス制御のためにマスタ MPU を備えています。CPU には Arm MPU があるので、マスタ MPU はありません。マスタ MPU エラーが検出されると、マスタにエラー応答が返されます。同時に以下の手順を実行します。

1. BUSnERRADD (n = 3) にエラーのアドレスを格納します。
2. BUSnERRRW (n = 3) にエラーのリード/ライト情報を格納します。
3. BUSnERRSTAT (n = 3) レジスタの MMERRSTAT ビットに 1 を設定します。

MMPUOAD.OAD ビットの設定に従って NMI 要求またはリセット要求が発生します（「14. メモリプロテクションユニット (MPU)」参照）。BUSnERRADD (n = 3)、BUSnERRRW (n = 3)、および BUSnERRSTAT (n = 3) の各レジスタは、MPU および TZF 関連リセット以外のリセットまたは BUSnERRCLR (n = 3) でクリアされるまで保持されるので、NMI 処理ルーチン内またはリセット後に確認できます。

NMI 要求は、リセットまたは BUSnERRCLR (n = 3) による BUSnERRSTAT.MMERRSTAT ビット (n = 3) のクリア後の最初のマスタ MPU エラー時にのみ発生します。

(2) 不正アクセスエラー

「13.4.3. 不正アドレスアクセスエラーを引き起こす条件」に不正アクセスエラーの内容を示します。不正アクセスエラーが検出されると、マスタにエラー応答が返されます。同時に以下の手順を実行します。

1. BUSnERRADD (n = 1~3) にエラーのアドレスを格納します。
2. BUSnERRRW (n = 1~3) にエラーのリード/ライト情報を格納します。

3. BUSnERRSTAT (n = 1～3) レジスタの ILERRSTAT ビットに 1 を設定します。

NMI 要求とリセット要求は発生しません。BUSnERRADD (n = 1～3)、BUSnERRRW (n = 1～3)、BUSnERRSTAT (n = 1～3) の各レジスタは、MPU および TZF 関連リセット以外のリセットまたは BUSnERRCLR (n = 1～3) でクリアされるまで保持されるので、バス障害処理ルーチンまたは割り込み処理ルーチン内で確認できます。

(3) マスタ TZF エラー

「42. セキュリティ機能」に示すように、DMAC/DTC には、マスタ TZF エラーがあります。マスタ TZF エラーが検出されると、DMACDTCERRSTAT.MTERRSTAT ビットを 1 にします。DMAC/DTC はバスアクセスを行わないので、BTZF3ERRADD および BTZF3ERRRW レジスタにはバスエラー情報は格納されません。

TZFOAD.OAD ビットの設定に従って NMI 要求またはリセット要求が発生します。マスタ TZF エラーの詳細は、「15. DMA コントローラ (DMAC)」、「16. データトランスファコントローラ (DTC)」を参照してください。

DMACDTCERRSTAT レジスタは、MPU および TZF 関連リセット以外のリセットまたは DMACDTCERRCLR レジスタでクリアされるまで保持されるので、NMI 処理ルーチン内またはリセット後に確認できます。

NMI 要求は、リセットまたは DMACDTCERRCLR による DMACDTCERRSTAT.MTERRSTAT ビットのクリア後の最初のマスタ TZF エラー時にのみ発生します。

(4) スレーブ TZF エラー

「42. セキュリティ機能」に示すように、FHBIU (コードフラッシュ)、FLBIU (データフラッシュ)、S0BIU (SRAM)、PHBIU、PLBIU、および PSBIU にはスレーブ TZF エラーがあります。スレーブ TZF エラーを検出したら、以下の手順を実行します。

1. BTZFnERRADD (n = 1～3) にエラーのアドレスを格納します。
2. BTZFnERRRW (n = 1～3) にエラーのリード/ライト情報を格納します。
3. BUSnERRSTAT (n = 1～3) レジスタの STERRSTAT ビットに 1 を設定します。

TZFOAD.OAD ビットの設定に従って NMI 要求またはリセット要求が発生します。BTZFnERRADD (n = 1～3)、BTZFnERRRW (n = 1～3)、および BUSnERRSTAT (n = 1～3) の各レジスタは、MPU および TZF 関連リセット以外のリセットまたは BUSnERRCLR (n = 1～3) でクリアされるまで保持されるので、NMI 処理ルーチン内またはリセット後に確認できます。

NMI 要求は、リセットまたは BUSnERRCLR (n = 1～3) による BUSnERRSTAT.STERRSTAT ビット (n = 1～3) のクリア後の最初のスレーブ TZF エラー時にのみ発生します。

(5) スレーブバスエラー

スレーブバスエラーはスレーブで発生します。スレーブバスエラーが検出されると、マスタにエラー応答が返されます。同時に以下の手順を実行します。

1. BUSnERRADD (n = 1～3) にエラーのアドレスを格納します。
2. BUSnERRRW (n = 1～3) にエラーのリード/ライト情報を格納します。
3. BUSnERRSTAT (n = 1～3) レジスタの SLERRSTAT ビットに 1 を設定します。

NMI 要求とリセット要求は発生しません。BUSnERRADD (n = 1～3)、BUSnERRRW (n = 1～3)、および BUSnERRSTAT (n = 1～3) の各レジスタは、MPU および TZF 関連リセット以外のリセットまたは BUSnERRCLR (n = 1～3) でクリアされるまで保持されるので、バス障害処理ルーチンまたは割り込み処理ルーチン内で確認できます。バススレーブ MPU エラーが発生すると、要求マスタ IP にエラーが返され、動作は保証されません。

13.4.3 不正アドレスアクセスエラーを引き起こす条件

表 13.2 に、不正アドレスアクセスエラーを引き起こす、バスごとのアドレス空間を示します。

表 13.2 不正アドレスアクセスエラーを引き起こす条件 (1/2)

アドレス	スレーブバス	マスタバス		
		CPU		DMA
		コード	システム	
0x0000_0000～0x01FF_FFFF	FHBIU	—		—

表 13.2 不正アドレスアクセスエラーを引き起こす条件 (2/2)

アドレス	スレーブバス	マスタバス		
		CPU		DMA
		コード	システム	
0x0200_0000~0x07FF_FFFF	予約	E		E
0x0800_0000~0x0803_FFFF	FLBIU	—		—
0x0804_0000~0x0FFF_FFFF	予約	E		E
0x1000_0000~0x100F_FFFF	予約	—		E
0x1010_0000~0x1FFF_FFFF	予約	E		E
0x2000_0000~0x2800_FFFF	S0BIU		—	—
0x2801_0000~0x3FFF_FFFF	予約		E	E
0x4000_0000~0x4000_0FFF	PSBIU		—	—
0x4000_1000~0x4000_1FFF	予約		E	E
0x4000_2000~0x4000_2FFF	PSBIU		—	—
0x4000_3000~0x4000_3FFF	予約		E	E
0x4000_4000~0x4000_8FFF	PSBIU		—	—
0x4000_9000~0x4001_AFFF	予約		E	E
0x4001_B000~0x4001_CFFF	PSBIU		—	—
0x4001_D000~0x4001_DFFF	予約		E	E
0x4001_E000~0x4002_1FFF	PSBIU		—	—
0x4002_2000~0x4007_FFFF	予約		E	E
0x4008_0000~0x400F_FFFF	PLBIU		—	—
0x4010_0000~0x4017_FFFF	PHBIU		—	—
0x4018_0000~0x407D_FFFF	予約		E	E
0x407E_0000~0x407F_FFFF	FLBIU		—	—
0x4080_0000~0x5FFF_FFFF	予約		E	E
0x6000_0000~0x67FF_FFFF	EQBIU		—	—
0x6800_0000~0x87FF_FFFF	予約		E	E
0x8800_0000~0xDFFF_FFFF	予約		E	E
0xE000_0000~0xFFFF_FFFF	Cortex®-M33 用システム			E

注. E : バスエラー発生あり

(空欄) : 転送発生なし

— : バスエラーの発生なし。予約領域がある場合でも、バスエラーは発生していません。

FLBIU および S0BIU の予約領域にはアクセスしないでください。アクセスした場合、スレーブ TZF エラーが発生する可能性があります。

13.4.4 タイムアウト

一部の周辺モジュールでは、モジュールストップ機能によってタイムアウトエラーが発生します。一定期間スレーブから応答がないと、タイムアウトエラーが検出されます。タイムアウトエラーは、AHB-Lite エラー応答プロトコルを用いて要求マスタ IP に返されます。

13.5 参考資料

1. ARM Limited, *ARM® v8-M Architecture Reference Manual* (ARM DDI0553B.v)
2. ARM Limited, *ARM® Cortex®-M33 Processor Technical Reference Manual Revision:r1p0* (ARM 100230_0100_07_en)
3. ARM Limited, *ARM® AMBA® AHB Protocol Specification* (ARM IHI 0033C)
4. ARM Limited, *ARM® AMBA® AXI and ACE Protocol Specification* (ARM IHI 0022H.c)

5. ARM Limited, *ARM® AMBA® APB Protocol Specification* (ARM IHI 0024D)

13.6 キャッシュ

13.6.1 概要

キャッシュには2種類あります。

- コードバス用のCキャッシュ
- システムバス用のSキャッシュ

表 13.3 にキャッシュの仕様を、図 13.4 にキャッシュのブロック図を、図 13.5 にキャッシュの構造を示します。

表 13.3 キャッシュの仕様

項目	C キャッシュ	S キャッシュ
容量	2 KB	2 KB
ウェイ	2 ウェイセットアソシアティブ	2 ウェイセットアソシアティブ
ラインサイズ	32/64 バイト	32/64 バイト
エントリ数	32/16 エントリ/ウェイ	32/16 エントリ/ウェイ
ライトウェイ	書き込みなし	ライトスルー、非書き込み割り当て
置き換えウェイ	2 ウェイ : LRU (least recently used)	2 ウェイ : LRU (least recently used)
キャッシュサポート領域	0x0000_0000~0x1FFF_FFFF	0x2000_0000~0xDFFF_FFFF(注1)

注 1. Arm MPU において、周辺領域 0x4000_0000~0x5FFF_FFFF および QSPI I/O レジスタ領域 0x6400_0000~0x67FF_FFFF の属性はキャッシュ属性ではありません。

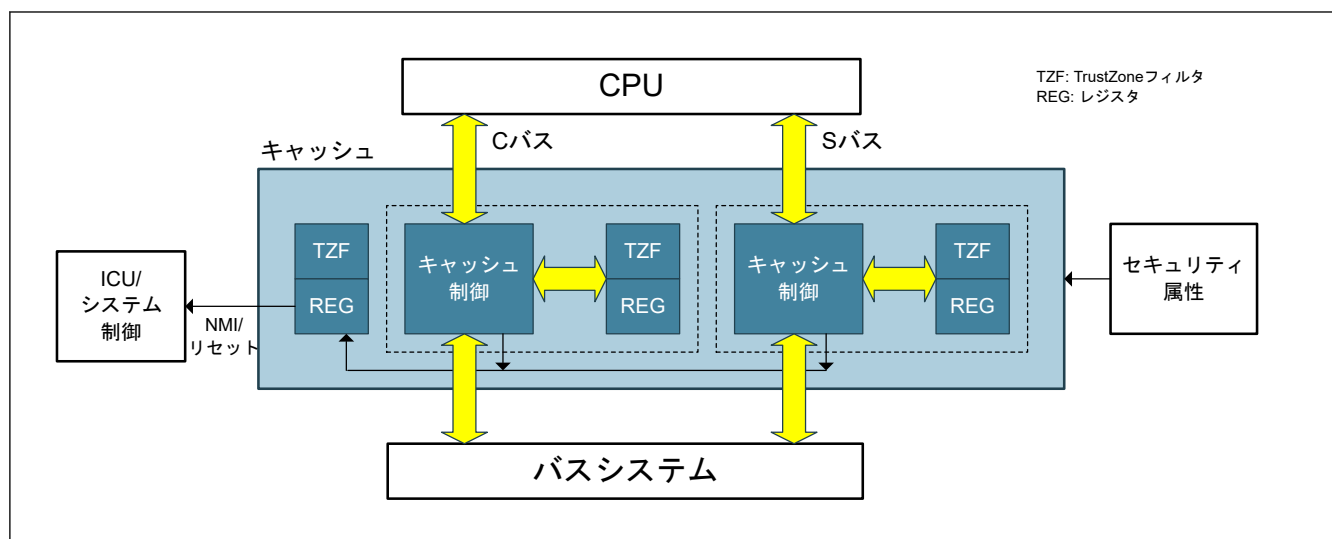


図 13.4 キャッシュのブロック図

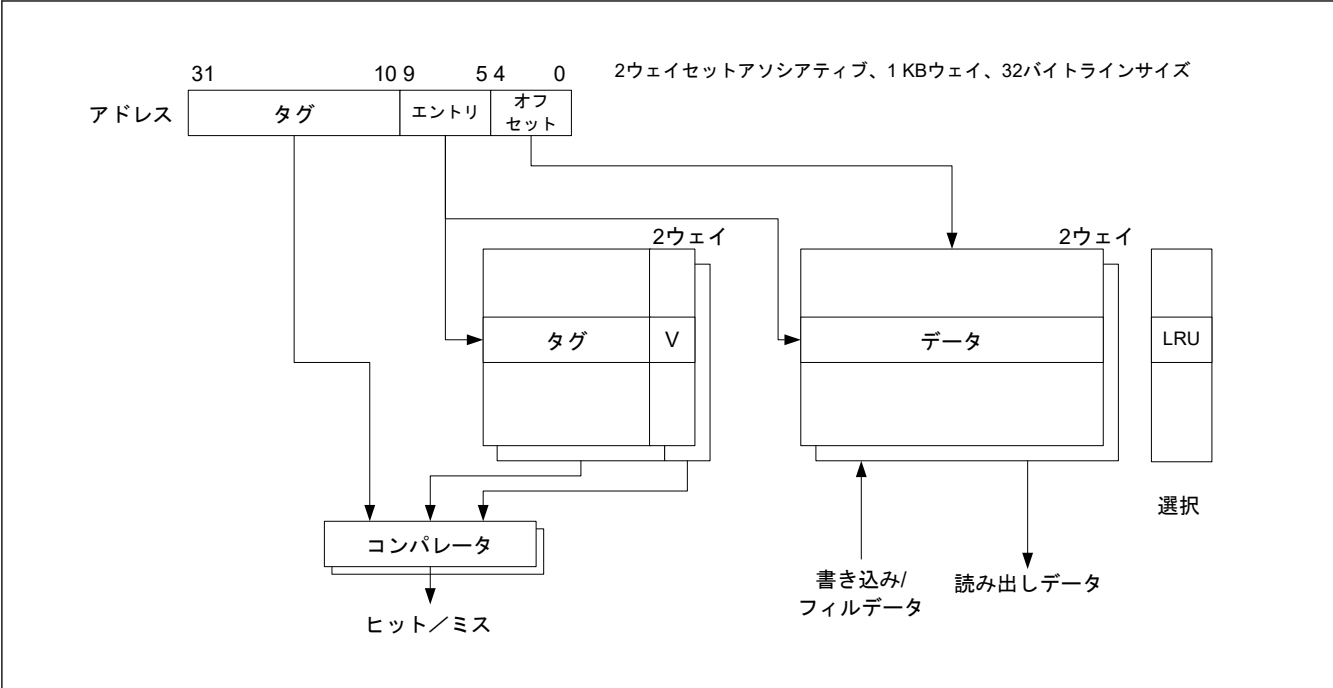


図 13.5 2 KB 容量、32 バイトラインサイズの 2 ウェイセットアソシアティブのキャッシュ構造

13.6.2 レジスタの説明

13.6.2.1 CSAR : キャッシュセキュリティ属性レジスタ

Base address:	CPSCU = 0x4000_8000
Offset address:	0x000
Bit position:	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16
Bit field:	— — — — — — — — — — — — — — —
Value after reset:	1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1
Bit position:	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
Bit field:	— — — — — — — — — — — — CACH EESA CACH ELSA CACH ESA
Value after reset:	1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
0	CACHESA	キャッシュ制御用レジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
1	CACHELSA	キャッシュラインコンフィグレーション用レジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
2	CACHEESA	キャッシュエラー用レジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:3	—	読むと 1 が読めます。	R

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスメーカーは発生しません。

注. 本レジスタへの書き込みは、PRCR レジスタにより保護されています。

CACHESA ビット (キャッシュ制御用レジスタのセキュリティ属性)

CACHESA ビットは、キャッシュ制御用レジスタのセキュリティ属性を示します。対象レジスタは以下です。

- CCACTL
- SCACTL

CACHELSA ビット (キャッシュラインコンフィグレーション用レジスタのセキュリティ属性)

CACHELSA ビットは、キャッシュラインコンフィグレーション用レジスタのセキュリティ属性を示します。対象レジスタは以下です。

- CCALCF
- SCALCF

CACHEESA ビット (キャッシュエラー用レジスタのセキュリティ属性)

CACHEESA ビットは、キャッシュエラー用レジスタのセキュリティ属性を示します。

- CAPOAD
- CAPRCR

13.6.2.2 CCACTL : C キャッシュコントロールレジスタ

Base address: CACHE = 0x4000 7000

Offset address: 0x000

Bit position: 31

0

[illegible]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	ENC	C キャッシュ許可 C キャッシュの許可／禁止を設定します。 0: C キャッシュを禁止 1: C キャッシュを許可	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

ENC ビット (C キャッシュ許可)

ENC ビットは、C キャッシュのキャッシュ許可／禁止を制御します。ENC ビットが 0 から 1 に変化した場合、C キャッシュの VALID ビットはクリアされます。

13.6.2.3 CCAFCT : C キャッシュフラッシュコントロールレジスタ

Base address: **CACHE = 0x4000_7000**

Offset address: 0x004

Bit position: 31

0

[illegible]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	FC	C キャッシュフラッシュ C キャッシュのラインフラッシュを設定します。 0: 動作なし 1: C キャッシュラインフラッシュ (すべてのラインをインバリデート)	R/W

ビット	シンボル	機能	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R

FC ビット (C キャッシュフラッシュ)

FC ビットは、C キャッシュのキャッシュフラッシュを制御します。

[1 になる条件]

- 本ビットに 1 を書き込んだとき
- CCACTL_ENC ビットが 0 から 1 に切り替わったとき

[0 になる条件]

- 本ビットは、キャッシュフラッシュが実行されたとき自動的にクリアされます。

13.6.2.4 CCALCF : C キャッシュラインコンフィグレーションレジスタ

Base address: CACHE = 0x4000_7000

Offset address: 0x008

Bit position: 31

1 0

[illegible]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1

ビット	シンボル	機能	R/W
1:0	CC[1:0]	C キャッシュラインサイズ C キャッシュのラインサイズを設定します。 0 0: 禁止 0 1: キャッシュラインサイズ 32 バイト 1 0: キャッシュラインサイズ 64 バイト 1 1: 禁止	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

CC[1:0]ビット (C キャッシュラインサイズ)

CC[1:0]ビットは、C キャッシュのキャッシュラインサイズを制御します。CCACTL.ENC ビットが 0 の場合に、本ビットに対する書き込みが可能になります。CCACTL.ENC ビットが 0 でない場合は、本ビットに対する書き込みはできません。

13.6.2.5 SCACTL : S キャッシュコントロールレジスタ

Base address: CACHE = 0x4000_7000

Offset address: 0x040

Bit position: 31

0

[illegible]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	ENS	S キャッシュ許可 S キャッシュの許可／禁止を設定します。 0: S キャッシュを禁止 1: S キャッシュを許可	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

ENS ビット (S キャッシュ許可)

ENS ビットは、S キャッシュのキャッシュ有効／無効を制御します。ENS ビットが 0 から 1 に変化した場合、S キャッシュの VALID ビットはクリアされます。

13.6.2.6 SCAFCT: S キャッシュフラッシュコントロールレジスタ

Base address: CACHE = 0x4000_7000

Offset address: 0x044

Bit position: 31

[illegible]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	FS	S キャッシュフラッシュ S キャッシュのラインフラッシュを設定します。 0: 動作なし 1: S キャッシュラインフラッシュ（すべてのラインをインバリデート）	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R

FS ビット (S キャッシュフラッシュ)

FS ビットは、S キャッシュのキャッシュフラッシュを制御します。

「1 になる条件」

本ビットに1を書き込んだとき

SCACTL.ENS ビットが 0 から 1 に切り替わったとき

「0 になる条件」

本ビットは、キャッシュフラッシュが実行されたとき自動的にクリアされます。

13.6.2.7 SCALCF : S キャッシュラインコンフィグレーションレジスタ

Base address: CACHE = 0x4000_7000

Offset address: 0x048

Bit position: 31

[illegible][illegible]

ビット	シンボル	機能	R/W
1:0	CS[1:0]	S キャッシュラインサイズ S キャッシュのラインサイズを設定します。 0 0: 禁止 0 1: キャッシュラインサイズ 32 バイト 1 0: キャッシュラインサイズ 64 バイト 1 1: 禁止	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

CS[1:0]ビット (S キャッシュラインサイズ)

CS[1:0]ビットは、S キャッシュのキャッシュラインサイズを制御します。また、本ビットの書き換えは、SCACTL.ENS ビットが0 のときに行ってください。SCACTL.ENS ビットが0 でない場合は、本ビットに対する書き込みはできません。

「1 になる条件」

また、本ビットの書き換えは、SCACTL.ENS ビットが 0 のときに行ってください。SCACTL.ENS ビットが 0 ではない場合、本ビットに対する書き込みはできません。

13.6.2.8 CAPOAD: キャッシュパリティエラー検出後動作レジスタ

Base address: CACHE = 0x4000 7000

Offset address: 0x200

Bit position: 31

C

[illegible]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 検出後の動作を選択します。 0: ノンマスカブル割り込み 1: リセット	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. セキュリティ属性がセキユアに設定されている場合、

- セキユアアクセスと非セキユアリードアクセスが許可されています。
- 非セキユアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキユアに設定されている場合、

- セキユアアクセスと非セキユアアクセスが許可されています。

OAD ビット（検出後の動作）

OAD ビットは、パリティエラーが検出された場合に、リセットまたはノンマスカブル割り込みのどちらを発生させます。

本レジスタへの書き込みはプロテクトレジスタ (CAPRCR) によって保護されています。まず、プロテクトレジスタ (CAPRCR) の VALID ビットを許可にしてから本ビットへの書き込みを行ってください。CAPOAD レジスタへの書き込みはキャッシュへのアクセスを行っていない状態で行ってください。

13.6.2.9 CAPRCR : キャッシュプロテクトレジスタ

Base address: CACHE = 0x4000_7000

Offset address: 0x204

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	KW[6:0]							PRCR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PRCR	レジスタ書き込み制御 レジスタへの書き込み制御を設定します。 0: 保護対象のレジスタへの書き込みを禁止 1: 保護対象のレジスタへの書き込みを許可	R/W
7:1	KW[6:0]	書き込みキーコード PRCR ビットへの書き込みを許可または禁止します。	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

PRCR ビット（レジスタ書き込み制御）

PRCR ビットは、CAPOAD レジスタのライトモードを制御します。本ビットが 1 のとき、CAPOAD レジスタへの書き込みが許可されます。本ビットに書き込む場合、同時に KW[6:0] ビットに 0x78 を書き込んでください。

KW[6:0] ビット（書き込みキーコード）

KW[6:0] ビットは、PRCR ビットへの書き込みを許可または禁止します。PRCR ビットに書き込む場合、同時に KW[6:0] ビットに 0x78 を書き込んでください。0x78 以外の値を KW[6:0] ビットに書き込むと、PRCR ビットは更新されません。KW[6:0] は読むと常に 0x00 が読み出されます。

13.6.3 動作説明

13.6.3.1 S キャッシュ

図 13.6 に、CPU から S キャッシュへのアクセスフローを示します。

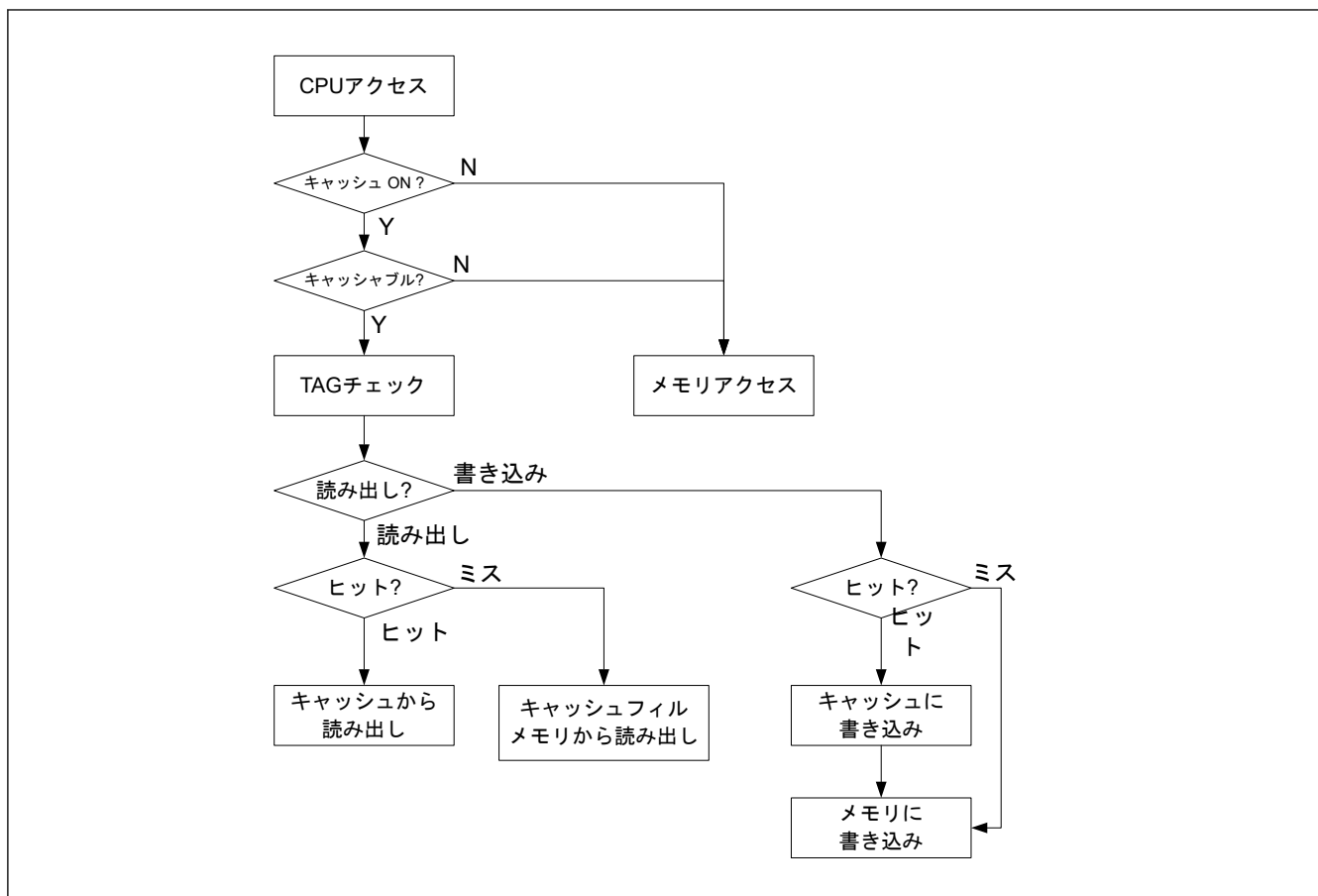


図 13.6 CPU から S キャッシュへのアクセスフロー

キャッシュ機能が動作するのは、キャッシュが有効 (SCACTL.ENS = 1) で、キャッシュャブルアクセスが CPU からの場合です。キャッシュは、CPU アクセス要求およびキャッシュタグ内の要求のアドレスをチェックし、CPU アクセスがヒットなのかミスヒットなのかを判断します。

リードミス

キャッシュはメモリから 1 つのキャッシュラインデータを読み出し、それをキャッシュデータに格納します。続いてキャッシュは必要なデータを CPU に返します。

リードヒット

キャッシュは必要なデータをキャッシュデータから読み出し、それを CPU に戻します。次にアクセスサイクルは、0 ウェイトサイクルであるのでヒットと判断します。

ライトミス

キャッシュはメモリへのライトサイクルのみを処理します。キャッシュデータに影響ありません。

ライトヒット

キャッシュは、キャッシュデータへのライトサイクルおよびメモリへのライトサイクルの両方を処理します。

13.6.3.2 C キャッシュ

図 13.7 に、CPU から C キャッシュへのアクセスフローを示します。

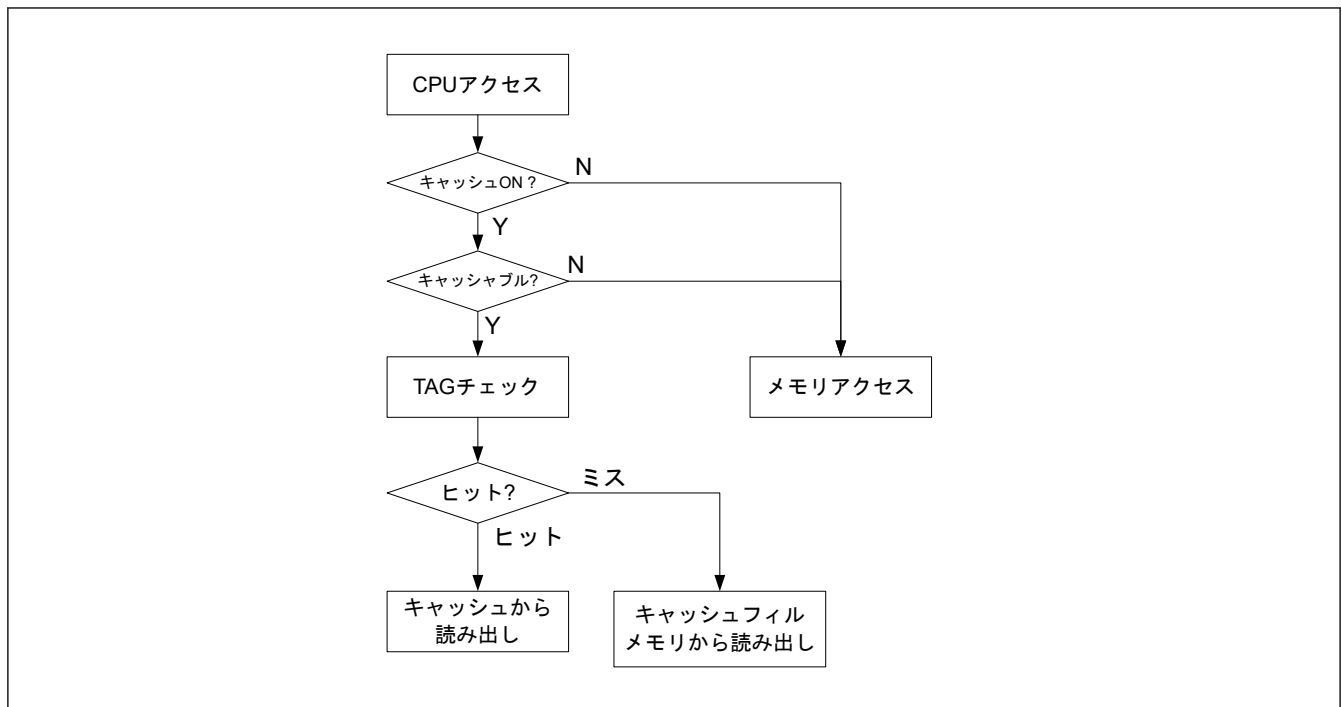


図 13.7 CPU から C キャッシュへのアクセスフロー

キャッシュ機能が動作するのは、キャッシュが有効 (CCACTL.ENC = 1) で、キャッシュャブルアクセスが CPU からの場合です。キャッシュは、CPU アクセス要求およびキャッシュタグ内の要求のアドレスをチェックし、CPU アクセスがヒットなのかミスヒットなのかを判断します。

リードミス

キャッシュはメモリから 1 つのキャッシュラインデータを読み出し、それをキャッシュデータに格納します。続いてキャッシュは必要なデータを CPU に返します。

リードヒット

キャッシュは必要なデータをキャッシュデータから読み出し、それを CPU に戻します。次にアクセスサイクルは、0 ウェイトサイクルであるのでヒットと判断します。

C キャッシュは C キャッシュの ROM 領域では動作せず、読み出し専用アクセスで動作します。

13.6.3.3 キャッシュフラッシュ

VALID ビットは CAFCT レジスタでクリアされます。しかしながら、タグおよびキャッシュデータは CAFCT レジスタにより影響を受けません。

VALID ビットはまた、CACTL レジスタが 0 から 1 になったときクリアされます。

注. キャッシュャブル属性を Arm MPU により変更後、CAFCT レジスタを使って VALID ビットをクリアしてください。

13.6.3.4 LRU と置き換え

キャッシュは、キャッシュ置き換えアルゴリズムとして LRU (Least Recently Used) 方式を使用します。CPU アクセスがヒットまたはミスヒットと判定された場合、キャッシュは最新回復データではないキャッシュデータを置き換えます。さらに、キャッシュはキャッシュデータの LRU において最新データというタグを付けられます。したがって、キャッシュウェイのキャッシュラインがフルの場合、キャッシュはより古いデータを示す LRU を使ってキャッシュデータを置き換えます。

2 ウェイ LRU のアルゴリズムは、たとえばウェイ 0 またはウェイ 1 といった、いずれのウェイが最近格納されたかを示します。

13.6.3.5 パリティチェック

キャッシュには、キャッシュフィルデータとして格納されているキャッシュ RAM に対してパリティチェック機能があります。キャッシュは 32 ビットデータに対して 4 ビットパリティがあります。すなわち、データが読み出されるとき、32 ビットデータ幅の 8 ビットデータごとにパリティビットが付加されます。ヒット状態でデータを読み出すとき、キャッシュはパリティエラーをチェックします。パリティエラーが発生すると、パリティエラー通知が生成されます。

CPU がバイトリードまたはハーフバイトリードを要求している場合でもキャッシュは 32 ビットデータを読み出します。

注. CPU が要求していない、パリティされていないデータのバイトで引き起こされた場合でもパリティエラーが発生する可能性があります。

パリティエラー通知には、CAPOAD レジスタでノンマスカブル割り込みまたはリセット要求を指定できます。しかしながら、デバッグモードによりパリティエラー通知抑止が要求される場合、通知は生成されません。

パリティエラーが発生するとキャッシュはキャッシュフラッシュを実行せず、CPU に対してバスエラーを返ししません。

パリティエラーはノイズにより頻繁に発生します。パリティエラーの原因がノイズか破損かを確認するには、[図 13.8](#) および [図 13.9](#) に示されたキャッシュパリティチェックフローを使用します。

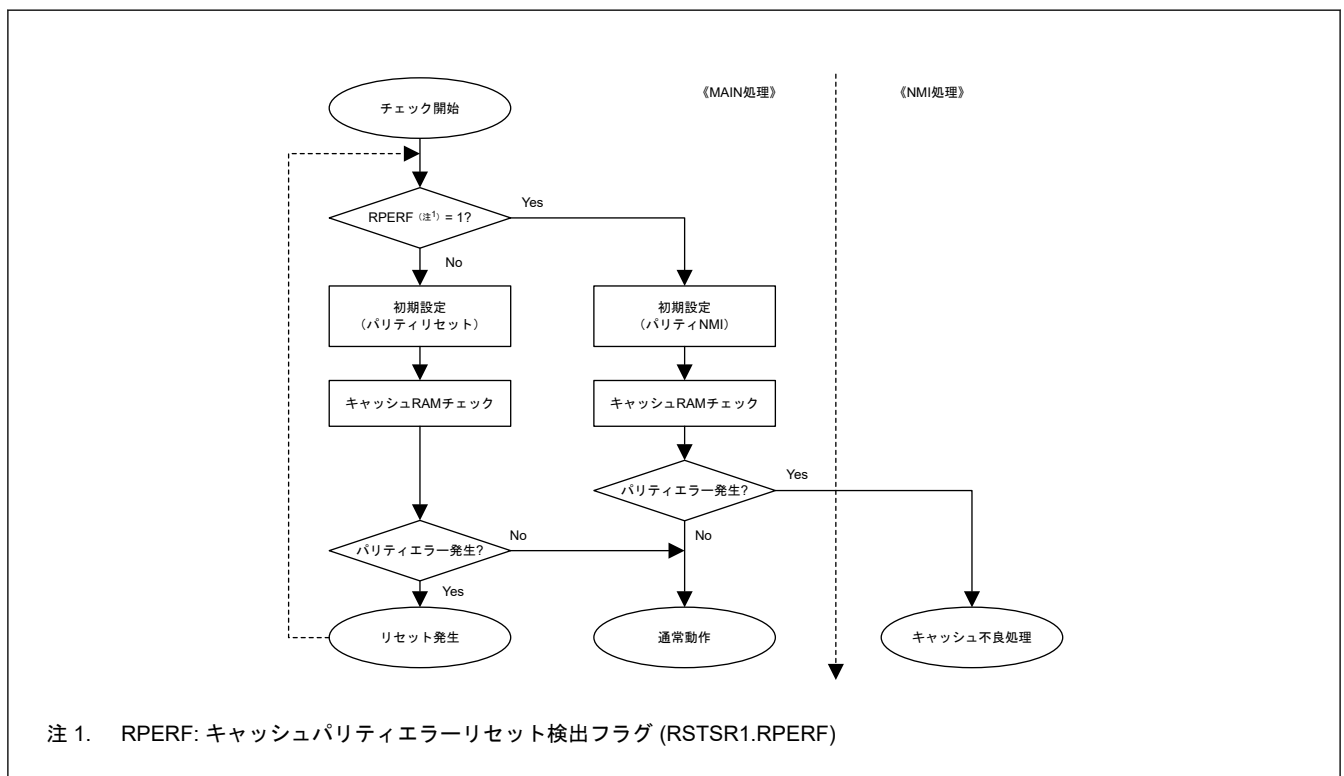


図 13.8 パリティリセット許可の場合のキャッシュパリティチェックのフロー

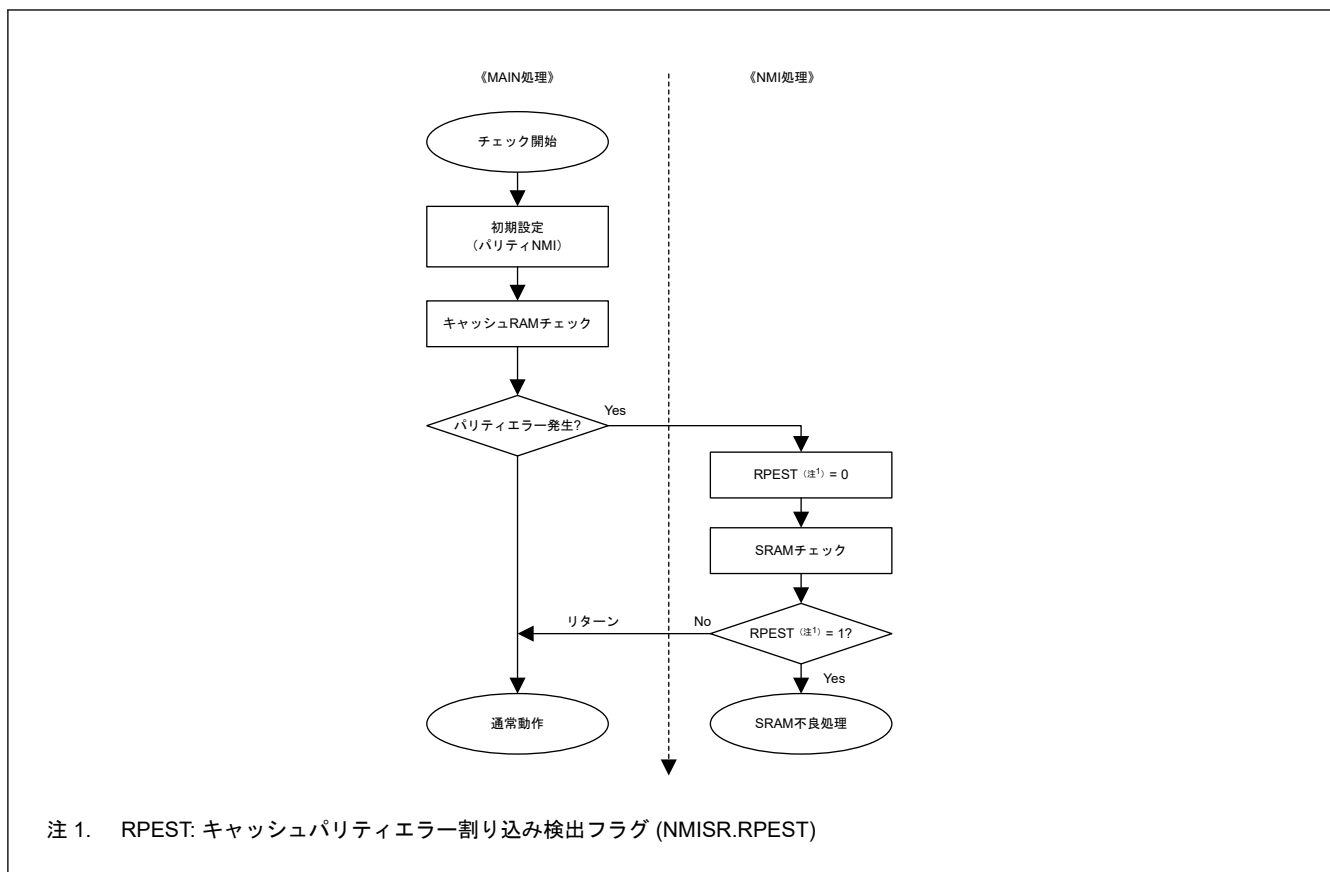


図 13.9 パリティ割り込み許可の場合のキャッシュパリティチェックのフロー

13.6.3.5.1 キャッシュ RAM チェック

キャッシュ RAM のパリティエラーは、「リードヒット」キャッシュ状態での CPU のリードアクセスで発生します。「リードヒット」状態では、キャッシュ RAM チェックを実行する前にいくつかの条件が必要です。S キャッシュをチェックするには、フラッシュメモリでチェックプログラムを実行してください。C キャッシュをチェックするには、SRAM でチェックプログラムを実行してください。

(1) キャッシュ RAM のチェックフロー

1. キャッシュ内の全 VALID ビットをフラッシュし、キャッシュイネーブルビットをクリアします。
2. S キャッシュ用に SRAM のような 2 KB のワークメモリを確保します。MCU 内の各キャッシュは、各ウェイが 1 KB の RAM である、2 ウェイセットアソシアティブキャッシュなので、S キャッシュには合計 2 KB 必要です。対象のアドレスは予約領域として使用しないでください。
3. キャッシュイネーブルビットを 1 にします。
4. CPU を使って 2 KB の対象ワードアドレスからデータを読み出します。キャッシュの状態は、リードミスで、その結果はキャッシュフィルデータとして格納されます。
5. もう一つのウェイからデータを読み出します。そのアドレスはステップ 4. のアドレスに 1 KB アドレスを加算することによって計算されます。キャッシュの状態は、リードミスで、その結果はもう一つのウェイにキャッシュフィルデータとして格納されます。これでライト／リードヒット状態のキャッシュ RAM チェックが完了しました。
6. ステップ 4. と 5. の対象ワードアドレスに試験データを書き込みます。ステップ 4. と 5. のキャッシュの状態は、ライトヒットで、その結果はキャッシュ RAM に書き込まれます。
7. ステップ 4. と 5. の対象ワードアドレスから読み出します。ステップ 4. と 5. のキャッシュ状態はリードヒットになります。ワードデータのパリティチェックが完了です。
8. 別の対象アドレスについてパリティチェックを継続するにはステップ 1. に進む。

13.6.3.6 バスエラー

バスエラーに対するバススレーブの対応について以下で説明します。

キャッシュ OFF の場合

キャッシュは CPU にバスエラーを返します。

非キャッシュャブルアクセスの場合

キャッシュは CPU にバスエラーを返します。

キャッシュフィルのためのリードアクセス中

CPU アクセス要求に対応する最初のデータに対して、キャッシュは CPU にバスエラーを返します。キャッシュラインフィル中のその他のリードデータに対して、「Early Forwarding」でデータを読み出す場合を除いて、キャッシュは CPU にバスエラーを返します。キャッシュがスレーブからのバスエラーを受け付ける場合、キャッシュイネーブルビットがキャッシュラインをクリアします。

ライトヒット状態の場合

キャッシュイネーブルビットがキャッシュラインをクリアしないので、キャッシュはバスエラーを CPU に返しません。

ライトミス状態の場合

キャッシュは CPU にバスエラーを返しません。

13.6.3.7 Early Forwarding 機能

キャッシュにデータをフィルしているとき、CPU 読み出し要求のアドレスとキャッシュフィル要求のアドレスが同一の場合、キャッシュは CPU にデータを返します。表 13.4 に例を示します。

表 13.4 Early Forwarding の例

動作	アクセスシーケンス								
CPU 読み出し要求のアドレス	0x04	0x08	0x0C	0x14	→	0x10	→	→	→
キャッシュフィル要求のアドレス	0x04	0x08	0x0C	0x10	0x14	0x18	0x1C	0x00	—
CPU アクセス状態	読み出し (0x04)	読み出し (0x08)	読み出し (0x0C)	—	読み出し (0x14)	—	—	—	読み出し (0x10)

CPU が読み出しを要求し、そのアドレスが順に 0x04、0x08、0x0C、0x14、0x10 の場合、アドレス 0x04 に対する最初の読み出しはミスヒット状態で、キャッシュはデータをキャッシュにフィル開始します。Early Forwarding 機能は、キャッシュがキャッシュラインをフィル中アクセスがアドレス 0x08、0x0C および 0x14 に対してであった場合、読み出しデータを CPU に返します。一方、アドレス 0x10 に対するアクセスは、キャッシュラインのフィル完了を待つ必要があります。キャッシュは、キャッシュラインのフィルを終了するとアドレス 0x10 のデータを返します。

13.6.4 使用上の注意事項

13.6.4.1 キャッシュラインコンフィグレーションレジスタ

状態がキャッシュ OFF の場合キャッシュラインコンフィグレーションレジスタへの書き込みが可能です (S キャッシュの場合 SCACTL.ENS = 0、C キャッシュの場合 CCACTL.ENC = 0)。

13.6.4.2 コヒーレンシ

キャッシュと内部 SRAM とのコヒーレンシはソフトウェアにより保証する必要があります。

キャッシュ対応エリア内で CPU と DMAC のようなバスマスタ間で共有メモリを割り当てる場合、必要に応じてキャッシュデータを無効としてください。

13.6.4.3 キャッシュャビリティ

キャッシュが有効である場合、キャッシュャブル属性は Cortex-M のデフォルトシステムアドレスマップによるか、もしくはデフォルトシステムアドレスマップまたは Arm MPU 設定に関係なく常に非キャッシュャブルとして取り扱われる 0x2800_0000 から 0x2FFF_FFFF の領域を除く Arm MPU を使用することにより決定されます。

デフォルトシステムアドレスマップを使用する場合、キャッシュャブル属性は以下のように決定されます。

- 0x0000_0000～0x27FF_FFFF : キャッシュャブル
- 0x2800_0000～0x2FFF_FFFF : 非キャッシュャブル
- 0x3000_0000～0x3FFF_FFFF : キャッシュャブル
- 0x4000_0000～0x5FFF_FFFF : 非キャッシュャブル
- 0x6000_0000～0x9FFF_FFFF : キャッシュャブル
- 0xA000_0000～0xFFFF_FFFF : 非キャッシュャブル

注. QSPI を使用する場合、MAIR_ATTR 方式を使用して QSPI の I/O レジスタ領域を決定することを推奨します。

デフォルトシステムアドレスマップを使用しない場合、各 MPU 領域で使用される MAIR_ATTR はキャッシュャブル属性を以下のように決定します。

- MAIR_ATTR[7:4] = 0000b : 非キャッシュャブル (デバイスメモリ)
- MAIR_ATTR[7:4] = 0100b : 非キャッシュャブル (通常のメモリ)
- MAIR_ATTR[7:4] = 1010b : キャッシュャブル
- 本 MCU では他の設定はサポートされません。

注. 以下の領域をアクセスする場合、領域は非キャッシュャブルに設定される必要があります。

- 周辺 I/O レジスタ領域 (0x4000_0000～0x5FFF_FFFF)
- QSPI の I/O レジスタ領域 (0x6400_0000～0x67FF_FFFF)

ARM Limited, *ARM v8-M Architecture Reference Manual* を参照してください。

14. メモリプロテクションユニット (MPU)

14.1 概要

本 MCU は 1 つのメモリプロテクションユニット (MPU) を備えています。

表 14.1 に MPU の仕様を示します。また、表 14.2 に各 MPU エラーの検出動作を示します。

表 14.1 MPU の仕様

項目	モジュール／機能	内容
不正メモリアクセス	Arm® Cortex®-M33 CPU	- Arm CPU はデフォルトのメモリマップを内蔵。CPU が不正アクセスを行うと、例外割り込みが発生 - デフォルトのメモリマップは MPU で変更可能
メモリプロテクション	Arm® MPU	CPU 用のメモリプロテクション機能 セキュアと非セキュアに対するサブ領域とバックグラウンド領域で MPU は (8+8) 領域
	バスマスタ MPU	CPU を除く各バスマスタ用のメモリプロテクション機能： DMAC/DTC：8 領域

表 14.2 MPU エラー検出動作

MPU の種類	通知方法	AHB I/F の HRESP 信号によるエラー応答	エラー検出時のバスアクセス	エラーアクセス情報の格納
Arm MPU	ハードフォルト	なし	- 正しくライトアクセスしない - 正しくリードアクセスしない	Cortex-M33 プロセッサに格納する
バスマスタ MPU	- リセットまたはノンマスカブル割り込み - ハードフォルト	あり	- ライトアクセスは無視 - 読み出しアクセスは 0 が読める	格納

Arm MPU に対するエラーアクセス情報については、「14.4. 参考資料」を参照してください。他の MPU に対するエラーアクセスについては、「13. バス」の「13.3. レジスタの説明」および「13.4. バスエラー監視部」を参照してください。

14.2 Arm MPU

Arm MPU は全アドレス空間 (0x0000_0000～0xFFFF_FFFF) を対象に CPU がアクセスするアドレスを監視しており、次の機能を備えています。

- (8 + 8) 個の保護領域を設定可能
- メモリ領域が重複している場合、コアアクセスが重複領域にヒットすると、プロセッサはフォルトを生成します。
- 保護領域へのアクセス権設定が可能（読み出し、書き込み、実行）
- メモリ属性のシステムへのエクスポート

Arm MPU の不一致およびアクセス違反によって、プログラマブルプライオリティ MemManage フォルト（ハードフォルト）ハンドラが呼び出されます。詳細は、「14.4. 参考資料」を参照してください。

14.3 バスマスタ MPU

バスマスタ MPU は、全アドレス空間 (0x0000_0000～0xFFFF_FFFF) を対象にバスマスタがアクセスするアドレスを監視しています。アクセス制御情報は、DMAC/DTC で 8 領域まで設定可能です。各領域へのアクセスの監視はこの情報に従います。

保護領域に対するアクセスが検出されると、バスマスタ MPU は内部リセットまたはノンマスカブル割り込みを発生させます。エラーアクセスについての詳細は、「13. バス」の「13.3. レジスタの説明」および「13.4. バスエラー監視部」を参照してください。

各領域のアクセス制御情報は、読み出し保護または保護対象外と書き込み保護または保護対象外の情報で構成されます。

表 14.3 にバスマスタ MPU の仕様を示します。

表 14.3 バスマスタ MPU の仕様

項目	内容
マスタグループ	DMAC, DTC
メモリプロテクション対象領域	0x0000_0000~0xFFFF_FFFF
領域数	DMAC/DTC : 8 領域
各領域のアドレス指定	領域の開始アドレスと終了アドレスを設定
各領域のメモリプロテクション有効または無効設定	対応する領域に対し有効または無効を設定
各領域のアクセス制御情報設定	読み出しおよび書き込み許可
検出後の動作	リセットまたはノンマスカブル割り込み
レジスタの保護	バスマスタ MPU レジスタに対する不正書き込みの検出が可能
TrustZone フィルタ	DMAC : 各領域に対してセキュリティ属性の設定が可能

14.3.1 レジスタの説明

MPU レジスタに書き込む前にバスアクセスを停止してください。

14.3.1.1 MMPUSARA : マスタメモリプロテクションセキュリティ属性レジスタ A

Base address: CPSCU = 0x4000_8000

Offset address: 0x130

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	MMPU ASA7	MMPU ASA6	MMPU ASA5	MMPU ASA4	MMPU ASA3	MMPU ASA2	MMPU ASA1	MMPU ASA0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	MMPUASAn	MMPUA セキュリティ属性 (n = 0~7) 0: セキュア 1: 非セキュア	R/W
31:8	—	読むと 1 が読めます。	R(注1)

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

注 1. 本ビットは読み出し専用です。

MMPUASAn ビット (MMPUA セキュリティ属性 (n = 0~7))

MMPUASAn ビットは、バスマスタ MPU 領域設定レジスタ用レジスタのセキュリティ属性を指定します。対象レジスタは以下です。

- MMPUSDMACn (n = 0~7)
- MMPUEDMACn (n = 0~7)
- MMPUACDMACn (n = 0~7)

14.3.1.2 MMPUSARB : マスタメモリプロテクションユニットセキュリティ属性レジスタ B

Base address: CPSCU = 0x4000 8000

Offset address: 0x134

[illegible]

ビット	シンボル	機能	R/W
0	MMPUBSA0	MMPUB セキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 1 が読めます。	R ^(注1)

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスメッセージは発生しません。

注. このレジスタはPRCRレジスタによって書き込み保護されています。

注 1. このビットは読み出しのみ可能です。

MMPUBSA0 ビット (MMPUB セキュリティ属性)

MMPUBSA0 ビットは、バスマスタ MPU 領域設定レジスタ、保護レジスタ、OAD レジスタのセキュリティ属性を指定します。対象レジスタは以下です。

- MMPUENDMAC
- MMPUENPTDMAC
- MMPURPTDMAC
- MMPURPTDMAC_SEC
- MMPUOAD
- MMPUOADPT

MMPUBSA0 ビットが 0（セキュア）である場合は、セキュアユーザーが非セキュアユーザーに対して、MMPURPTDMAC 値を変更するためのセキュア API を提供します。

14.3.1.3 MMPUSDMAC_n : DMAC 用 MMPU スタートアドレスレジスタ (n = 0~7)

Base address: RMPU = 0x4000 0000

Offset address: $0x0204 + 0x010 \times n$

Bit position:	31																					5					0							
Bit field:	MMPUS[31:5]																				—	—	—	—	—									
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:5	MMPUS[31:5]	領域スタートアドレスレジスタ 領域スタートアドレス（領域決定に使用）	R/W

注: セキュリティ属性がセキュアに設定されている場合、

ビット	シンボル	機能	R/W
2	WP	書き込み保護 0: 書き込み許可 1: 書き込み保護	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

領域 n ユニットごとに、ENABLE ビット、RP ビット、WP ビットを個別に設定します。

ENABLE ビット (領域有効)

ENABLE ビットは、DMAC/DTC 領域 n ($n=0\sim7$) ユニットの有効または無効にします。

ENABLE ビットが 1 に設定されると、RP ビットと WP ビットは MMPUSDMACn ($n=0\sim7$) と MMPUEDMACn ($n=0\sim7$) の範囲への読み出し保護および書き込み保護に対するアクセス許可を制御します。

ENABLE ビットを 0 にした場合、DMAC 領域 n ($n=0\sim7$) へのアクセスは領域外となります。

RP ビット (読み出し保護)

RP ビットは、DMAC/DTC 領域 n ($n=0\sim7$) 読み出し保護を有効または無効にします。

ENABLE ビットを 1 に設定すると、RP ビットを使用可能になります。

WP ビット (書き込み保護)

WP ビットは、DMAC/DTC 領域 n ($n=0\sim7$) の書き込み保護を有効または無効にします。

ENABLE ビットを 1 に設定すると、WP ビットを使用可能になります。

表 14.4 DMAC 用領域制御回路の機能

MMPUACDMACn ($n=0\sim7$)			アクセス	領域	DMAC 領域 n ユニットの出力 ($n=0\sim7$)
ENABLE	RP	WP			
0	—	—	リード	—	外部領域
			ライト		外部領域
1	0	0	リード	内部	許可領域
				外部	外部領域
			ライト	内部	許可領域
				外部	外部領域
	0	1	リード	内部	許可領域
				外部	外部領域
			ライト	内部	保護領域
				外部	外部領域
	1	0	リード	内部	保護領域
				外部	外部領域
			ライト	内部	許可領域
				外部	外部領域
	1	1	リード	内部	保護領域
				外部	外部領域
			ライト	内部	保護領域
				外部	外部領域

注. DMAC と DTC の各領域は、MMPUSARA レジスタによりセキュアアクセスまたは非セキュアアクセスに設定されます。この場合では、セキュアアクセスにおける非セキュア領域と、非セキュアアクセスにおけるセキュア領域は領域外となります。

表 14.5 DMAC 用マスタ制御回路の機能

MMPUENDMAC	DMAC 領域 0 ユニットの出力	DMAC 領域 1 ユニットの出力	DMAC 領域 2~7 ユニットの出力	DMAC の機能
ENABLE				
1	保護領域	Don't care	Don't care	エラー発生
	Don't care	保護領域	Don't care	エラー発生
	Don't care	Don't care	保護領域	エラー発生
	外部領域	外部領域	外部領域	エラー発生
上記以外				エラー発生なし

以下の条件でマスタ MPU エラーが発生します。

1. MMPUENDMAC.ENABLE = 1 で、かつ 1 つ以上の領域 n ユニットの出力が保護領域の場合
2. MMPUENDMAC.ENABLE = 1、かつすべての領域 n ユニットの出力が領域外の場合

その他の場合は許可領域として処理される

14.3.1.6 MMPUENDMAC : DMAC 用 MMPU イネーブルレジスタ

Base address: RMPU = 0x4000_0000

Offset address: 0x0100

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	ENABLE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ENABLE	DMAC のバスマスタ MPU 有効 0: DMAC のバスマスタ MPU 無効 1: DMAC のバスマスタ MPU 有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード ENABLE ビットへの書き込みを許可または禁止します。	W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。
- 注. ハーフワードアクセスでの書き込みが必要です。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合の動作は保証しません。

ENABLE ビット (DMAC のバスマスタ MPU 有効)

ENABLE ビットは、マスタグループごとにバスマスタ MPU 機能を有効または無効にします。

ENABLE ビットを 1 に設定すると、MMPUACDMACn (n = 0~7) レジスタを使用可能になります。ENABLE ビットを 0 に設定すると、MMPUACDMACn (n = 0~7) レジスタがすべての領域に対して使用できなくなります。バスマスタ MPU 機能は、各マスタグループの ENABLE ビットを設定します。ENABLE ビットを設定する際は、同時に KEY[7:0] ビットに 0xA5 を書き込んでください。

KEY[7:0] ビット (キーコード)

KEY[7:0] ビットは、ENABLE ビットへの書き込みを許可または禁止します。ENABLE ビットへ書き込む際は、同時に KEY[7:0] ビットに 0xA5 を書き込んでください。0xA5 以外の値を KEY[7:0] ビットに書き込むと、ENABLE ビットは更新されません。KEY[7:0] ビットは、読むと常に 0x00 が読み出されます。

14.3.1.7 MMPUENPTDMAC : DMAC 用 MMPU イネーブル保護レジスタ

Base address: RMPU = 0x4000_0000

Offset address: 0x0104

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: MMPUENDMAC レジスタの書き込みは可能 1: MMPUENDMAC レジスタの書き込みから保護読み出しは可能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。
- 注. ハーフワードアクセスでの書き込みが必要です。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合の動作は保証しません。

PROTECT ビット (レジスタの保護)

PROTECT ビットは、MMPUENDMAC レジスタへの書き込みを許可または禁止します。

PROTECT ビットへ書き込む際は、同時に KEY[7:0] ビットに 0xA5 を書き込んでください。

KEY[7:0] ビット (キーコード)

KEY[7:0] ビットは、PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットへ書き込む際は、同時に KEY[7:0] ビットに 0xA5 を書き込んでください。0xA5 以外の値を KEY[7:0] ビットに書き込むと、PROTECT ビットは更新されません。KEY[7:0] ビットは、読むと常に 0x00 が読み出されます。

14.3.1.8 MMPURPTDMAC : DMAC 用 MMPU 領域保護レジスタ

Base address: RMPU = 0x4000_0000

Offset address: 0x0108

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: DMAC 用バスマスタ MPU レジスタの書き込みは可能 1: DMAC 用バスマスタ MPU レジスタの書き込みから保護。読み出しは可能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。
- 注. ハーフワードアクセスでの書き込みが必要です。

バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合の動作は保証しません。

PROTECT ビット (レジスタの保護)

PROTECT ビットは、保護する関連レジスタへの書き込みを許可または禁止します。

MMPURPTDMAC.PROTECT ビットは以下のレジスタを制御します。

- 非セキュアプログラムの MMPUSDMACn (n = 0～7) レジスタ
- 非セキュアプログラムの MMPUEDMACn (n = 0～7) レジスタ
- 非セキュアプログラムの MMPUACDMACn (n = 0～7) レジスタ

PROTECT ビットに書き込む際は、ハーフワードアクセスを使用して同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット (キーコード)

KEY[7:0]ビットは、PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットへ書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。これ以外の値を書き込むと、PROTECT ビットは更新されません。

KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

14.3.1.9 MMPURPTDMAC_SEC : DMAC セキュア用 MMPU 領域保護レジスタ

Base address: RMPU = 0x4000_0000																
Offset address: 0x010C																
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: DMAC 用バスマスタ MPU レジスタのセキュア書き込みは可能 1: DMAC 用バスマスタ MPU レジスタのセキュア書き込みから保護読み出しは可能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

- 注. セキュリティ属性がセキュアに設定されている場合、
 - セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。セキュリティ属性が非セキュアに設定されている場合、
 - セキュアアクセスと非セキュアアクセスが許可されています。
- 注. ハーフワードアクセスでの書き込みが必要です。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合の動作は保証しません。

PROTECT ビット (レジスタの保護)

PROTECT ビットは、保護する関連レジスタへの書き込みを許可または禁止します。

MMPURPTDMAC_SEC.PROTECT ビットは以下のレジスタを制御します。

- セキュアプログラムの MMPUSDMACn (n = 0～7) レジスタ
- セキュアプログラムの MMPUEDMACn (n = 0～7) レジスタ
- セキュアプログラムの MMPUACDMACn (n = 0～7) レジスタ

PROTECT ビットに書き込む際は、ハーフワードアクセスを使用して同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット (キーコード)

KEY[7:0]ビットは、PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットへ書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。これ以外の値を書き込むと、PROTECT ビットは更新されません。

KEY[7:0]ビットは、読むと常に 0x00 が読み出されます。

14.3.1.10 MMPUOAD : MMPU 検出後の動作レジスタ

Base address: RMPU = 0x4000_0000

Offset address: 0x0000

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	OAD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 0: ノンマスカブル割り込み 1: リセット	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード OAD ビットへの書き込みを許可または禁止します。	W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。
- 注. ハーフワードアクセスでの書き込みが必要です。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合の動作は保証しません。

OAD ビット (検出後の動作)

OAD ビットは、バスマスタ MPU によって保護領域へのアクセスが検出されたとき、リセットまたはノンマスカブル割り込みのどちらを発生させるか指定します。

OAD ビットに書き込む際は、ハーフワードアクセスを使用して同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット (キーコード)

KEY[7:0]ビットは、OAD ビットへの書き込みを許可または禁止します。OAD ビットへ書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。これ以外の値を書き込むと OAD ビットは更新されません。

KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

14.3.1.11 MMPUOADPT : MMPU 検出後の動作保護レジスタ

Base address: RMPU = 0x4000_0000

Offset address: 0x0004

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: MMPUOAD レジスタの書き込みは可能 1: MMPUOAD レジスタの書き込みから保護読み出しは可能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。
- 注. ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合の動作は保証しません。

PROTECT ビット (レジスタの保護)

PROTECT ビットは、保護する関連レジスタへの書き込みを許可または禁止します。

MMPUOADPT.PROTECT ビットは下記のレジスタを制御します。

- MMPUOAD

同時に PROTECT ビットを設定する際は、ハーフワードアクセスによって KEY[7:0] ビットに 0xA5 を書き込んでください。

KEY[7:0] ビット (キーコード)

KEY[7:0] ビットは、PROTECT ビットへの書き込みを許可または禁止します。同時に PROTECT ビットへ書き込む際は、KEY[7:0] ビットに 0xA5 を書き込んでください。これ以外の値を KEY[7:0] ビットに書き込むと、PROTECT ビットは更新されません。KEY[7:0] ビットは、読むと常に 0x00 が読み出されます。

14.3.2 機能説明

14.3.2.1 メモリプロテクション

バスマスタ MPU は、各アクセス制御領域に設定されたアクセス制御情報を用いてメモリアccessを監視します。保護領域に対するアクセスが検出されると、バスマスタ MPU はメモリプロテクションエラーを発生させます。

バスマスタ MPU は最大 8 つの保護領域まで設定可能です。これは、許可領域と保護領域の設定が重複する場合の保護領域です。これは、2 つの保護領域の設定が重複する場合の保護領域です。

バスマスタ MPU には DMAC/DTC のマスタグループがあります。

メモリプロテクション機能は、マスタグループが統合したバスのアドレスをチェックします。したがって、マスタグループによる全アクセスがメモリプロテクション機能で検出されます。

DMAC/DTC 用バスマスタ MPU の領域設定レジスタは、MMPUSARA レジスタを使用したセキュアアクセスおよび非セキュアアクセスに対して設定可能です。各 DMAC/DTC チャンネルや対応するバスマスタ MPU の領域設定レジスタに対して、セキュアアクセスおよび非セキュアアクセスの設定を同じにしてください。

バスマスタ MPU は、リセット後、全領域が許可領域です。MMPUENDMAC.ENABLE = 1 の設定により、全領域が保護されます。

領域ごとに、許可領域が保護領域上に設定されます。保護領域に対するアクセスが検出されると、バスマスタ MPU はエラーを発生させます。

図 14.1 に、バスマスタ MPU の使用例を示します。

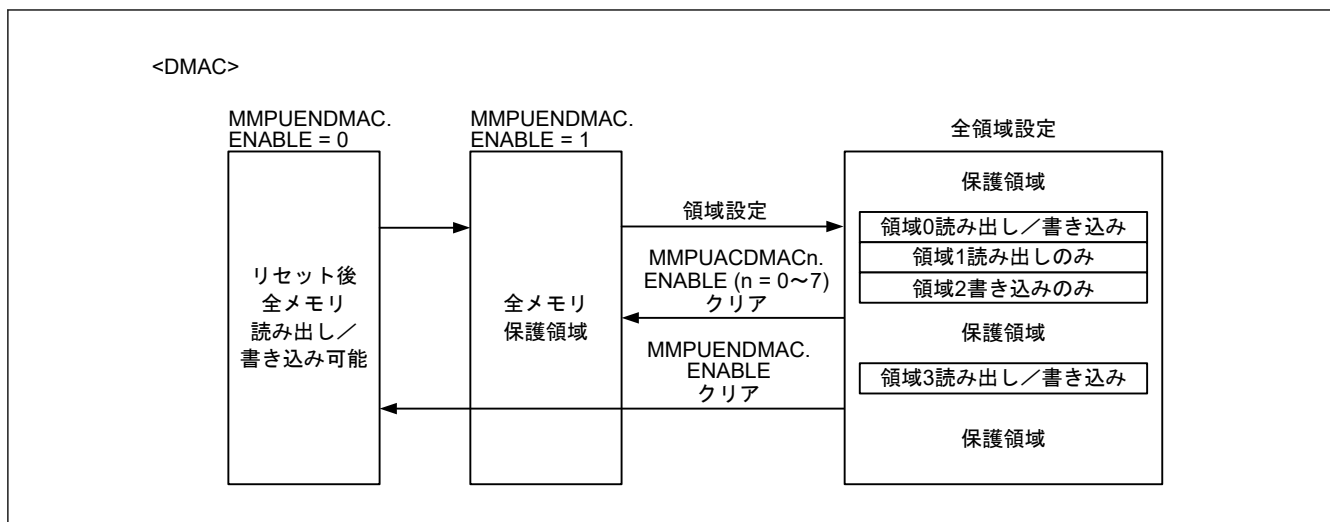


図 14.1 バスマスタ MPU の使用例

図 14.2 に、領域のオーバーラップによるアクセス制御について示します。

オーバーラップ領域へのアクセス制御は以下のとおりです。

- 1 つ以上の領域の出力が保護領域の場合、領域は保護領域として処理されます。
- 全領域の出力が領域外の場合、領域は保護領域として処理されます。
- 他の場合は許可領域として処理されます。

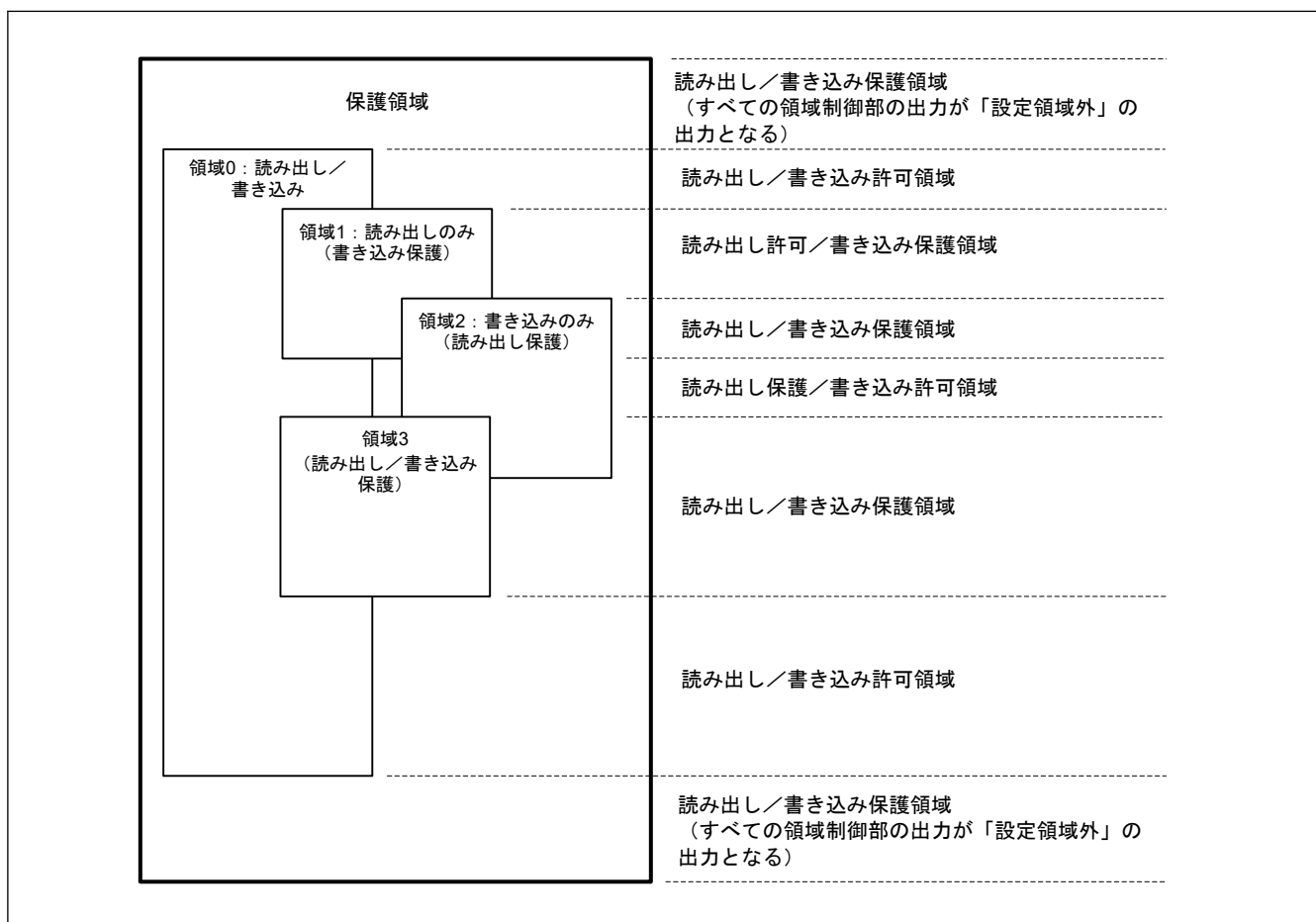


図 14.2 領域のオーバーラップによるアクセス制御

図 14.3 にリセット後のレジスタ設定フローを示します。本レジスタ設定中は、CPU 以外のすべてのバスマスタを停止してください。

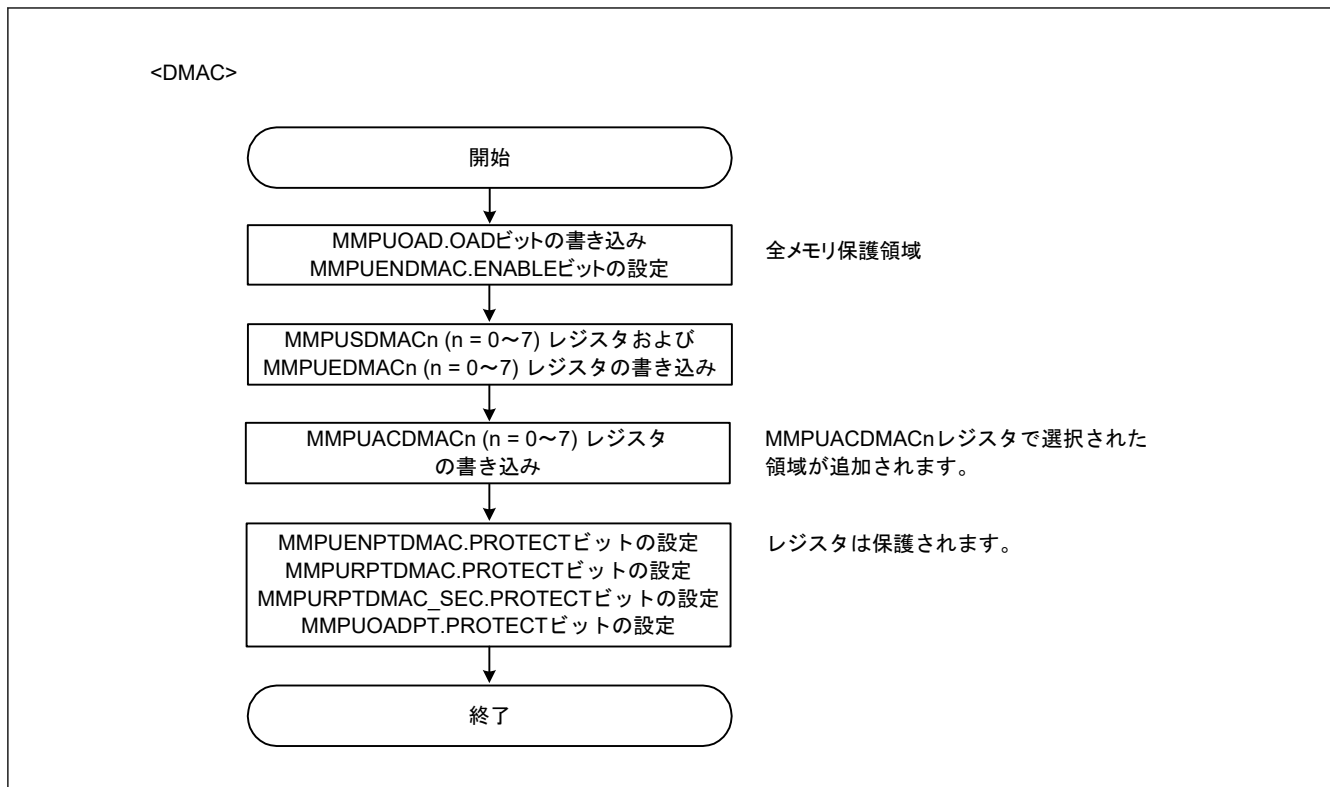


図 14.3 リセット後のバスマスタ MPU のレジスタ設定フロー

図 14.4 に領域追加のレジスタ設定フローを示します。本レジスタ設定中は、CPU 以外のすべてのマスタを停止してください。

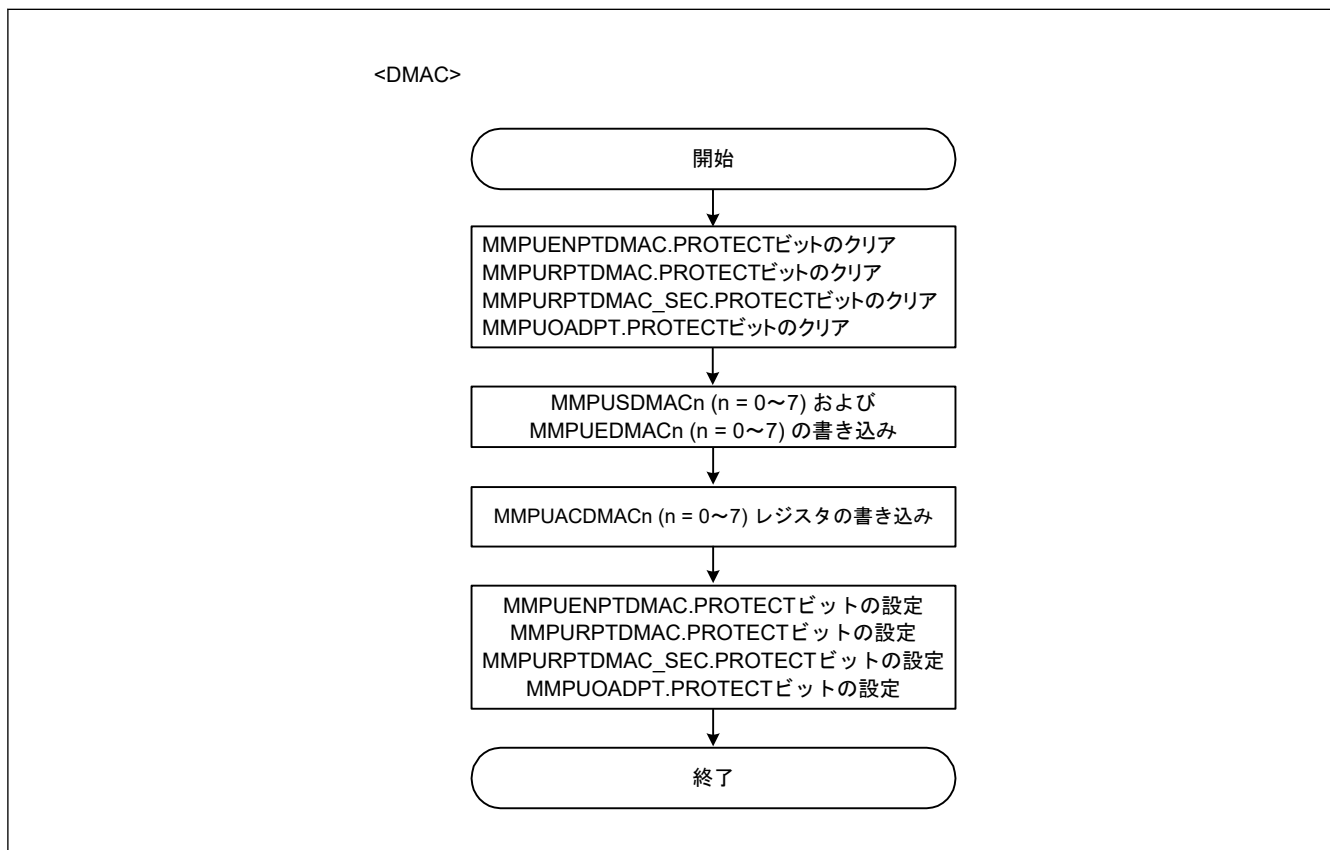


図 14.4 領域追加のレジスタ設定フロー

14.3.2.2 レジスタの保護

バスマスタ MPU 関連のレジスタは、MMPUENPTDMA、MMPURPTDMAC、MMPURPTDMAC_SEC、MMPUOADPT レジスタの PROTECT ビットで保護することが可能です。

表 14.6 PROTECT ビットと保護対象レジスタ

PROTECT ビット	保護対象レジスタ
MMPUENPTDMAC.PROTECT	MMPUENDMAC
MMPURPTDMAC.PROTECT	以下のレジスタは、MMPUSARA.MMPUASAn (n = 0~7) により、非セキュアに設定されます。 MMPUSDMACn (n = 0~7) MMPUEDMACn (n = 0~7) MMPUACDMACn (n = 0~7)
MMPURPTDMAC_SEC.PROTECT	以下のレジスタは、MMPUSARA.MMPUASAn (n = 0~7) により、セキュアに設定されます。 MMPUSDMACn (n = 0~7) MMPUEDMACn (n = 0~7) MMPUACDMACn (n = 0~7)
MMPUOADPT.PROTECT	MMPUOAD

14.3.2.3 メモリプロテクションエラー

保護領域に対するアクセスが検出されると、バスマスタ MPU はエラーを発生させます。OAD ビットを設定して、エラーがノンマスカブル割り込みまたはリセットのどちらで報告されるかを選択できます。

ノンマスカブル割り込みの状態は ICU.NMISR.BUSMST フラグに示されます。詳細は、「[12. 割り込みコントロールユニット \(ICU\)](#)」を参照してください。リセットの状態は SYSTEM.RSTSR1.BUSMRF フラグに示されます。詳細は、「[5. リセット](#)」を参照してください。

14.4 参考資料

1. Arm®v8-M Architecture Reference Manual (ARM DDI0553B.g)
2. Arm® Cortex®-M33 Processor Technical Reference Manual (ARM 100230_0004_00_en)

15. DMA コントローラ (DMAC)

15.1 概要

本 MCU は、8 チャンネルの DMA コントローラ (DMAC) を内蔵しており、CPU を介せずにデータ転送が可能です。DMA 転送要求が発生すると、DMAC は転送元アドレスに格納されているデータを転送先アドレスへ転送します。

表 15.1 に DMAC の仕様を、図 15.1 に DMAC のブロック図を示します。

表 15.1 DMAC の仕様 (1/2)

項目		内容
チャンネル数		8 チャンネル (DMACn (n = 0~7))
転送空間		4 GB (0x0000_0000~0xFFFF_FFFF のうち、予約領域を除く領域)
最大転送データ数		64M データ (ブロック転送モードにおける最大転送数：1,024 データ/ブロック × 65,536 ブロック)
DMAC 起動要因		チャンネルごとに個別に選択可能 - ソフトウェアトリガ - 周辺モジュールからの割り込み要求/外部割り込み入力端子からのトリガ(注1)
チャンネル優先順位		チャンネル 0 > チャンネル 1 > チャンネル 2 > チャンネル 3... > チャンネル 7 (チャンネル 0 : 最高)
転送データ	1 データ	ビット長：8、16、32 ビット
	ブロックサイズ	データ数：1~1024
転送モード	ノーマル転送モード	1 回の DMA 転送要求で 1 データを転送 - 設定可能なフリーランニング機能 (データ転送の全回数の設定の指定なし)
	リピート転送モード	1 回の DMA 転送要求で 1 データを転送 - 転送元または転送先に指定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 - 設定可能な最大リピートサイズ：1024 - 選択可能なフリーランニング機能
	リピートブロック転送モード	1 回の DMA 転送要求で 1 ブロックを転送 - 設定可能な最大ブロックサイズ：1024 - ブロック転送はリピート可能 - 設定可能な最大リピートサイズ：64K - 選択可能なフリーランニング機能
	ブロック転送モード	1 回の DMA 転送要求で 1 ブロックを転送 - 設定可能な最大ブロックサイズ：1024 - 選択可能なフリーランニング機能
選択機能	拡張リピート領域機能	- 転送アドレスレジスタの上位ビット値を固定したまま、特定範囲のアドレス値を繰り返すことでデータ転送が可能 - 拡張リピート領域は 2 バイトから 128 MB まで転送元、転送先に設定可能
DMA 転送エラーの処理		- DMAC 転送エラー発生時に、エラーを発生させたチャンネルの転送を停止 - DMAC エラーチャンネルの起動要求用レジスタのクリア要求を ICU に送信
CPU 割り込み要因 (DMACn_INT)	転送終了割り込み	転送カウンタで設定したデータ数の転送終了時に発生
	転送エスケープ終了割り込み	- リピートサイズ分のデータ転送の終了時に発生 - 拡張リピート領域の転送元アドレスがオーバーフローした時に発生 - 拡張リピート領域の転送先アドレスがオーバーフローした時に発生
CPU 割り込み要因 (DMA_TRANSE RR)	エラー応答検出割り込み	DMAC 転送エラーが生じた時に発生
イベントリンク機能 (DMACn_INT)		各データ転送後 (ブロックの場合は各ブロック転送後)、イベントリンク要求を発生
マスタ TrustZone フィルタ		非セキュアチャンネルがバスにアクセスする前に、フラッシュと SRAM の TrustZone 違反領域を検出
消費電力低減機能		モジュールストップ状態の設定が可能

表 15.1 DMAC の仕様 (2/2)

項目	内容
TrustZone フィルタ	各チャネルに対してセキュリティ属性を設定可能

注. DMAC チャネルのセキュリティ属性レジスタは、ICU.ICUSARC で説明します。
注 1. DMAC の起動要因については、「12. 割り込みコントローラユニット (ICU)」の表 12.4 を参照してください。

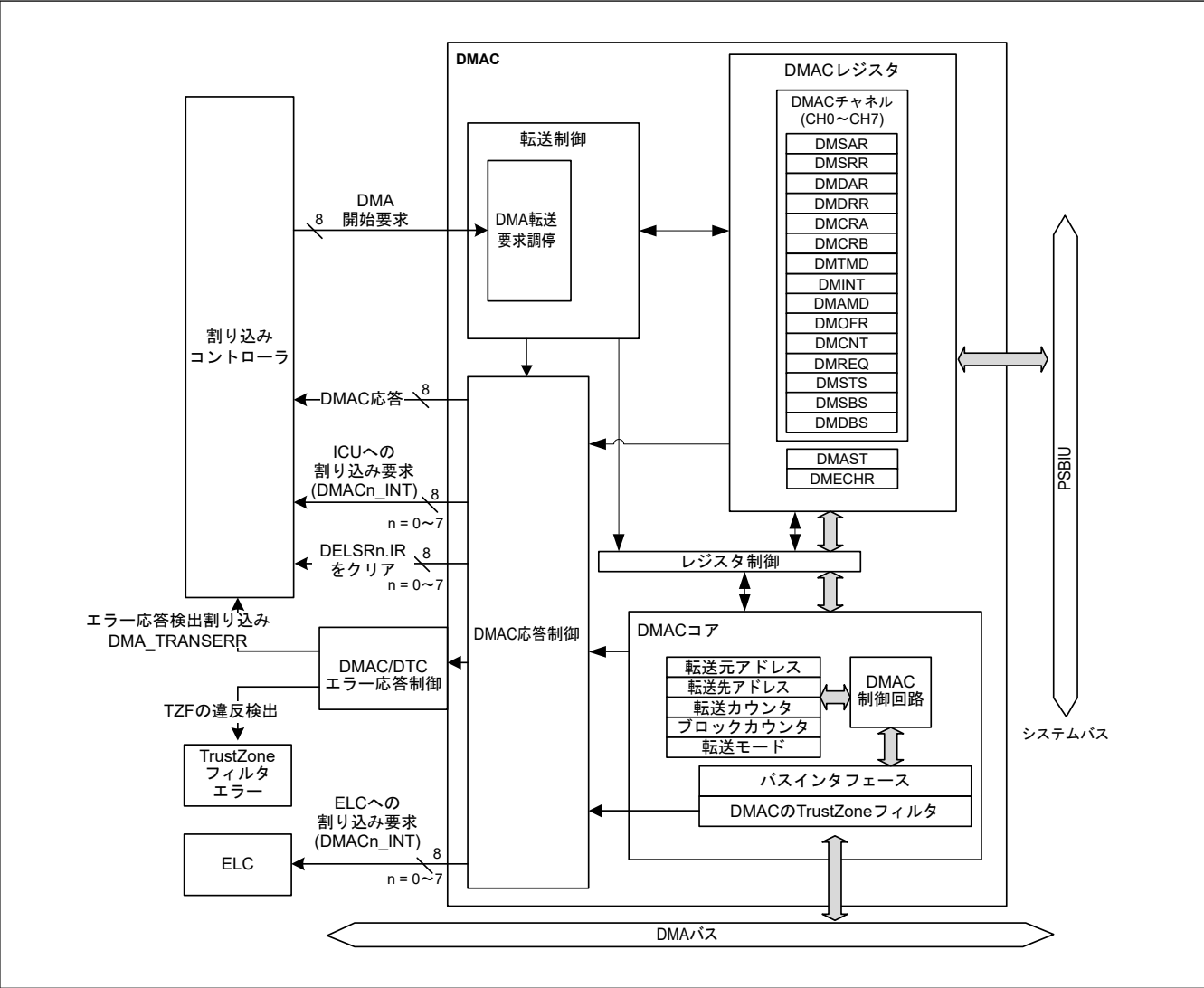


図 15.1 DMAC のブロック図

15.2 レジスタの説明

15.2.1 DMACSAR : DMAC コントローラセキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000

Offset address: 0x34

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMAS TSA
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	DMASTSA	DMAST セキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 1 が読めます。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

DMAC ではセキュリティ属性は各チャネルに設定されます。ただし、本レジスタは DMAST レジスタのセキュリティ属性のみを設定します。各チャネルにおけるセキュリティ属性の設定を「[12.2.3. ICUSARC : 割り込みコントローラセキュリティ属性レジスタ C](#)」に示します。

DMASTSA ビット (DMAST セキュリティ属性)

DMASTSA ビットは DMAST 用レジスタのセキュリティ属性を指定します。DMA 転送が有効またはバスマスタが DMA レジスタに書き込んでいる間は、DMASTSA ビットに書き込まないでください。

15.2.2 DMSAR : DMA 転送元アドレスレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0~7)

Offset address: 0x00

Bit position:	31	0																																	
Bit field:																																			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	転送元の開始アドレスを設定 設定範囲 : 0x0000_0000~0xFFFF_FFFF (4 GB)	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

DMSAR レジスタは、DMAC 起動が無効 (DMAST.DMST = 0) または DMA 転送が無効 (DMCNT.DTE = 0) のときに設定してください。

注. このレジスタのアドレスアライメントは、DMTMD.SZ ビットで選択した転送データサイズ値と一致している必要があります。

15.2.3 DMSRR : DMA 転送元リロードアドレスレジスタ

Base address: $\text{DMACn} = 0x4000\_5000 + 0x0040 \times n$ ($n = 0 \sim 7$)

Offset address: 0x20

Bit position: 31

0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	n/a	転送元リロードアドレス指定 設定範囲 : 0x0000_0000~0xFFFF_FFFF (4 GB)	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

DMSRR レジスタは、DMAC 起動が無効 (DMAST.DMST = 0) または DMA 転送が無効 (DMCNT.DTE = 0) のときに設定してください。

DMSRR は DMSAR の初期値です。リピートブロック転送モードでは、DMSAR は転送終了後に DMSRR の値をリロードします。

ノーマル転送モード、リピート転送モード、およびブロック転送モードでは、DMSRR は使用されず、その設定は無効です。

注. このレジスタのアドレスアライメントは、DMTMD.SZ ビットで選択した転送データサイズ値と一致している必要があります。

15.2.4 DMDAR : DMA 転送先アドレスレジスタ

Base address: $\text{DMACn} = 0x4000\_5000 + 0x0040 \times n$ ($n = 0 \sim 7$)

Offset address: 0x04

Bit position: 31

0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	n/a	転送先の開始アドレスを設定 設定範囲 : 0x0000_0000~0xFFFF_FFFF (4 GB)	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

DMDAR レジスタは、DMAC 起動が無効 (DMAST.DMST = 0) または DMA 転送が無効 (DMCNT.DTE = 0) のときに設定してください。

注. このレジスタのアドレスアライメントは、DMTMD.SZ ビットで選択した転送データサイズ値と一致している必要があります。

15.2.5 DMDRR : DMA 転送先リロードアドレスレジスタ

Base address: $DMACn = 0x4000\_5000 + 0x0040 \times n$ ($n = 0 \sim 7$)

Offset address: 0x24

Bit position: 31

0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	n/a	転送先リロードアドレス指定 設定範囲 : 0x0000_0000~0xFFFF_FFFF (4 GB)	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

DMDRR レジスタは、DMAC 起動が無効 (DMAST.DMST = 0) または DMA 転送が無効 (DMCNT.DTE = 0) のときに設定してください。

DMDRR は DMDAR の初期値です。リピート/ブロック転送モードにおいて、DMDAR は転送終了後に DMDRR の値をリロードします。

ノーマル転送モード、リピート転送モード、およびブロック転送モードでは、DMDRR は使用されず、その設定は無効です。

注. このレジスタのアドレスアライメントは、DMTMD.SZ ビットで選択した転送データサイズ値と一致している必要があります。

15.2.6 DMCRA : DMA 転送カウントレジスタ

Base address: $DMACn = 0x4000\_5000 + 0x0040 \times n$ ($n = 0 \sim 7$)

Offset address: 0x08

Bit position: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Bit field:

—	—	—	—	—	—	DMCRAH[9:0]									

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:

DMCRL[15:0]															

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
15:0	DMCRL[15:0]	転送カウント下位ビット 転送回数を設定	R/W
25:16	DMCRAH[9:0]	転送カウント上位ビット 転送回数を設定	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

リピート転送モード、ブロック転送モード、およびリピートブロック転送モードでは、DMCRAH ビットと DMCRAL ビットに同じ値を設定してください。リピート転送モード、ブロック転送モード、およびリピートブロック転送モードでは、ビット[15:10]は 0 に固定されます。

(1) ノーマル転送モード (DMTMD.MD[1:0] = 00b) の場合

ノーマル転送モードでは、DMCRAL ビットは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が 0x0001 のときは 1 回、0xFFFF のときは 65535 回となります。1 回のデータ転送を行うたびにデクリメント (-1) されます。

設定値が 0x0000 のときは転送回数の指定なしとなり、転送カウンタが停止した状態でデータ転送を行います (フリーランニング機能)。

ノーマル転送モードでは、フリーランニング機能は DMTMD.TKP ビットにより選択されません。

ノーマル転送モードでは、DMCRAH ビットを使用しないでください。DMCRAH ビットへは 0x0000 を書いてください。

(2) リピート転送モード (DMTMD.MD[1:0] = 01b) の場合

リピート転送モードでは、DMCRAH ビットはリピートサイズを指定し、DMCRAL ビットは 10 ビットの転送カウンタとして機能します。

転送回数は、設定値が 0x001 のときは 1 回、0x3FF のときは 1023 回、0x000 のときは 1024 回となります。リピート転送モードでは、0x000~0x3FF (1~1024 回) の範囲の値を DMCRAH ビットと DMCRAL ビットに設定可能です。

DMCRAL[15:10]ビットの設定は無効です。これらのビットには 0 を書いてください。

DMCRAL ビットは 1 回のデータ転送を行うたびにデクリメント (-1) され、0x000 になると DMCRAH ビットの値が DMCRAL ビットにロードされます。

(3) ブロック転送モード (DMTMD.MD[1:0] = 10b) の場合

ブロック転送モードでは、DMCRAH ビットはブロックサイズを指定し、DMCRAL ビットは 10 ビットのブロックサイズカウンタとして機能します。

設定値が 0x001 のときはブロックサイズ 1、0x3FF のときはブロックサイズ 1023、0x000 のときはブロックサイズ 1024 となります。ブロック転送モードでは、0x000~0x3FF の範囲の値を DMCRAH ビットと DMCRAL ビットに設定可能です。

DMCRAL[15:10]ビットの設定は無効です。これらのビットには 0 を書いてください。

DMCRAL ビットは 1 回のデータ転送を行うたびにデクリメント (-1) され、0x000 になると DMCRAH ビットの値が DMCRAL ビットにロードされます。

(4) リピートブロック転送モード (DMTMD.MD[1:0] = 11b) の場合

リピートブロック転送モードでは、DMCRAH ビットはブロックサイズを指定し、DMCRAL ビットは 10 ビットのブロックサイズカウンタとして機能します。

設定値が 0x001 のときはブロックサイズ 1、0x3FF のときはブロックサイズ 1023、0x000 のときはブロックサイズ 1024 となります。このモードでは、DMCRAH ビットと DMCRAL ビットの設定可能範囲は、0x000~0x3FF です。

DMCRAL[15:10]ビットの設定は無効です。これらのビットには 0 を書いてください。

DMCRAL ビットは 1 回のデータ転送を行うたびにデクリメント (-1) され、0x000 になると DMCRAH ビットの値が DMCRAL ビットにロードされます。

15.2.7 DMCRB : DMA ブロック転送カウントレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0~7)

Offset address: 0x0C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DMCRBH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DMCRBL[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DMCRBL[15:0]	ブロック転送回数、リピート転送回数またはリピートブロック転送回数をカウント 0x0001~0xFFFF (1~65535) 0x0000 (65536)	R/W
31:16	DMCRBH[15:0]	ブロック転送回数、リピート転送回数またはリピートブロック転送回数を設定 0x0001~0xFFFF (1~65535) 0x0000 (65536)	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

リピート転送モード、ブロック転送モード、およびリピートブロック転送モードでは、DMCRBH[15:0]ビットとDMCRBL[15:0]ビットに同じ値を設定してください。

DMCRBH[15:0]ビットは、ブロック転送モード時、リピート転送モード時、およびリピートブロック転送モード時の転送回数を指定します。また、DMCRBL[15:0]ビットは、ブロック転送モード時、リピート転送モード時、およびリピートブロック転送モード時に 16 ビットの転送回数カウンタとして機能します。

転送回数は、設定値が 0x0001 のときは 1 回、0xFFFF のときは 65535 回、0x0000 のときは 65536 回となります。

リピート転送モードの場合、1 リピートサイズの最終データ転送時にデクリメント (-1) されます。

ブロック転送モードおよびリピートブロック転送モードの場合、最終ブロックのデータ転送時にデクリメント (-1) されます。

ノーマル転送モードでは、設定は無効ですので、DMCRB レジスタは使用しないでください。

DMTMD.TKP = 1 で 1 リピートサイズまたは 1 ブロックサイズの最終データ転送時に、DMCRBL[15:0]ビットは自動的に DMCRBH[15:0]ビットの値をリロードします。

15.2.8 DMTMD : DMA 転送モードレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0~7)

Offset address: 0x10

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MD[1:0]		DTS[1:0]		—	TKP	SZ[1:0]		—	—	—	—	—	—	DCTG[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	DCTG[1:0]	転送要求元選択 0 0: ソフトウェア 0 1: 周辺モジュールまたは外部割り込み入力端子からの割り込み(注1) 1 0: 設定禁止 1 1: 設定禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	SZ[1:0]	転送データサイズ選択 0 0: 8 ビット 0 1: 16 ビット 1 0: 32 ビット 1 1: 設定禁止	R/W
10	TKP	転送継続 0: 設定した総転送回数完了により転送が終了する 1: 設定した総転送回数完了により転送が終了しない (フリーランニング)	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:12	DTS[1:0]	リピート領域選択 0 0: 転送先をリピート領域またはブロック領域に設定 0 1: 転送元をリピート領域またはブロック領域に設定 1 0: リピート領域、ブロック領域の設定なし 1 1: 設定禁止	R/W
15:14	MD[1:0]	転送モード選択 0 0: ノーマル転送 0 1: リピート転送 1 0: ブロック転送 1 1: リピートブロック転送	R/W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. DMAC の起動要因を選択するには、ICU.DELSRn レジスタを使用してください。DMAC の起動要因の詳細については、「[12. 割り込みコントローラユニット \(ICU\)](#)」の表 12.4 を参照してください。

DTS[1:0]ビット（リピート領域選択）

DTS[1:0]ビットは、リピート転送またはブロック転送モードにおいて、リピート領域としての転送元または転送先を選択します。ノーマル転送モードまたはリピートブロック転送モードでは、これらのビットの設定値は無効です。

TKP ビット（転送継続）

TKP ビットは、リピート転送、ブロック転送、またはリピートブロック転送モードにおいて、設定した総転送回数完了により転送が終了するか、継続するかを選択します。ノーマル転送モードでは、このビットの設定値は無効です。

15.2.9 DMINT : DMA 割り込み設定レジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0~7)

Offset address: 0x13

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	DARIE	転送先アドレス拡張リピート領域オーバーフロー割り込み許可 0: 禁止 1: 許可	R/W

ビット	シンボル	機能	R/W
1	SARIE	転送元アドレス拡張リピート領域オーバーフロー割り込み許可 0: 禁止 1: 許可	R/W
2	RPTIE	リピートサイズ終了割り込み許可 0: 禁止 1: 許可	R/W
3	ESIE	転送エスケープ終了割り込み許可 0: 禁止 1: 許可	R/W
4	DTIE	転送終了割り込み許可 0: 禁止 1: 許可	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

DARIE ビット (転送先アドレス拡張リピート領域オーバーフロー割り込み許可)

DARIE ビットが 1 のときに、転送先アドレスの拡張リピート領域オーバーフローが発生すると、DMCNT.DTE ビットが 0 になります。同時に DMSTS.ESIF フラグが 1 になり、転送先アドレスの拡張リピート領域オーバーフローによって割り込みが要求されることを示します。

拡張リピート領域機能をブロック転送モードと併用する場合は、1 ブロック分のデータ転送終了後に割り込み要求が発生します。転送を終了したチャンネルの DMCNT.DTE ビットを 1 にすると、転送終了時の状態から再び転送を開始することができます。

転送先アドレスに拡張リピート領域を設定していない場合、このビットは無視されます。

リピートブロック転送モードへ設定する場合、本ビットを使用しないでください。

SARIE ビット (転送元アドレス拡張リピート領域オーバーフロー割り込み許可)

SARIE ビットが 1 のときに、転送元アドレスの拡張リピート領域オーバーフローが発生すると、DMCNT.DTE ビットが 0 になります。同時に DMSTS.ESIF フラグが 1 になり、転送元アドレスの拡張リピート領域オーバーフローによって割り込みが要求されることを示します。

拡張リピート領域機能をブロック転送モードと併用する場合は、1 ブロック分のデータ転送終了後に割り込み要求が発生します。転送を終了したチャンネルの DMCNT.DTE ビットを 1 にすると、転送終了時の状態から再び転送を開始することができます。

転送元アドレスに拡張リピート領域を設定していない場合は、このビットは無視されます。

リピートブロック転送モードへ設定する場合、本ビットを使用しないでください。

RPTIE ビット (リピートサイズ終了割り込み許可)

リピート転送モードにおいて RPTIE ビットを 1 にすると、1 リピートサイズ分のデータ転送終了後に DMCNT.DTE ビットが 0 になります。同時に DMSTS.ESIF フラグが 1 になり、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットを 10b (リピート領域、ブロック領域の指定なし) にしたときも、リピートサイズ終了割り込み要求を発生させることができます。

このビットをブロック転送モードで 1 にしたときも、リピート転送モードの場合と同様に 1 ブロックのデータ転送終了後に DMCNT.DTE ビットが 0 になります。同時に DMSTS.ESIF フラグが 1 になり、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットを 10b (リピート領域、ブロック領域の指定なし) にしたときも、リピートサイズ終了割り込み要求を発生させることができます。

リピートブロック転送モードへ設定する場合、本ビットを使用しないでください。

ESIE ビット (転送エスケープ終了割り込み許可)

ESIE ビットは DMA 転送中に発生した転送エスケープ終了割り込み要求 (リピートサイズ終了割り込み要求、拡張リピート領域オーバーフロー割り込み要求) を許可します。

このビットが1のとき割り込みが発生して、DMSTS.ESIF フラグが1になります。転送エスケープ終了割り込みを解除するには、このビットまたは DMSTS.ESIF フラグを0にします。

DTIE ビット（転送終了割り込み許可）

DTIE ビットは指定した回数のデータ転送が終了したときに発生する転送終了割り込み要求を許可します。

このビットが1のとき、DMSTS.DTIF フラグが1になると、転送終了割り込みが発生します。転送終了割り込みを解除するには、このビットまたは DMSTS.DTIF フラグを0にします。

15.2.10 DMAMD : DMA アドレスモードレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0~7)

Offset address: 0x14

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SM[1:0]		SADR	SARA[4:0]				DM[1:0]		DADR	DARA[4:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	DARA[4:0]	転送先アドレス拡張リピート領域設定 転送先アドレスに拡張リピート領域を設定します。設定についての詳細は、表 15.2 を参照してください。	R/W
5	DADR	リロード後の転送先アドレス更新選択 0: リロードのみ 1: リロード後にインデックス追加	R/W
7:6	DM[1:0]	転送先アドレス更新モード設定 00: アドレス固定 01: オフセット加算 10: インクリメント 11: デクリメント	R/W
12:8	SARA[4:0]	転送元アドレス拡張リピート領域設定 転送元アドレスに拡張リピート領域を設定します。設定値についての詳細は、表 15.2 を参照してください。	R/W
13	SADR	リロード後の転送元アドレス更新選択 0: リロードのみ 1: リロード後にインデックス追加	R/W
15:14	SM[1:0]	転送元アドレス更新モード設定 00: アドレス固定 01: オフセット加算 10: インクリメント 11: デクリメント	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

DARA[4:0]ビット（転送先アドレス拡張リピート領域設定）

DARA[4:0]ビットは転送先アドレスに拡張リピート領域を設定します。拡張リピート領域機能は、指定した下位アドレスビットを更新し、残りの上位アドレスビットを固定することで実現されます。拡張リピート領域のサイズは、2 バイトから 128 MB まで設定可能です。設定間隔は2のべき乗バイト単位です。

アドレスのインクリメントにより下位アドレスが拡張リピート領域をオーバーフローすると、拡張リピート領域の開始アドレスが設定されます。同様にアドレスのデクリメントにより下位アドレスが拡張リピート領域をアンダーフローすると、拡張リピート領域の終了アドレスが設定されます。

転送先にリピート領域またはブロック領域を設定している場合、転送先アドレスに拡張リピート領域を設定しないでください。リピート転送またはブロック転送を選択した場合、DMTMD.DTS[1:0] = 00b（転送先にリピート領域またはブロック領域を設定）であれば、DARA[4:0]ビットには 00000b を書いてください。

リピートブロック転送モードでは、DARA[4:0]ビットには 00000b を書いてください。

拡張リピート領域でオーバーフローまたはアンダーフローが発生したとき、割り込みを要求するには、DMINT.DARIE ビットを 1 にしてください。表 15.2 には、各設定値に対応した拡張リピート領域が示されています。

DADR ビット (リロード後の転送先アドレス更新選択)

リピートブロック転送モードでは、本ビットは DMDRR リロード後の DMDAR の動作を指定します。

本ビットに 1 を設定すると、DMDRR リロード後の DMDAR にインデックス値 ((DMDBSH-DMDBSL) × データサイズ) が付加されます。

本ビットに 0 を設定すると、DMDAR は DMDRR はリロードするだけです。本動作を表 15.13 に示します。

通常のリピートブロック転送モードでは、本ビットは無視されます。

DM[1:0]ビット (転送先アドレス更新モード設定)

DM[1:0]ビットは転送先アドレスの更新モードを選択します。

インクリメントを選択し、DMTMD.SZ[1:0]ビットに 00b、01b、または 10b を設定した場合、転送先アドレスはそれぞれ 1、2、または 4 ごとにインクリメントされます。

デクリメントを選択し、DMTMD.SZ[1:0]ビットに 00b、01b、または 10b を設定した場合、転送先アドレスはそれぞれ 1、2、または 4 ごとにデクリメントされます。

オフセット加算を選択した場合、DMOFR レジスタで設定したオフセット値がアドレスに加算されます。

SARA[4:0]ビット (転送元アドレス拡張リピート領域設定)

SARA[4:0]ビットは転送元アドレスに拡張リピート領域を設定します。拡張リピート領域機能は、指定した下位アドレスビットを更新し、残りの上位アドレスビットを固定することで実現されます。拡張リピート領域のサイズは、2 バイトから 128 MB まで設定可能です。設定間隔は 2 のべき乗バイト単位です。

アドレスのインクリメントにより下位アドレスが拡張リピート領域をオーバーフローすると、拡張リピート領域の開始アドレスが設定されます。同様にアドレスのデクリメントにより下位アドレスが拡張リピート領域をアンダーフローすると、拡張リピート領域の終了アドレスが設定されます。

転送元にリピート領域またはブロック領域を設定している場合、転送元アドレスに拡張リピート領域を設定しないでください。リピート転送またはブロック転送を選択した場合、DMTMD.DTS[1:0] = 01b (転送元にリピート領域またはブロック領域を設定) であれば、SARA[4:0]ビットには 00000b を書いてください。

リピートブロック転送モードでは、SARA[4:0]ビットには 00000b を書いてください。

拡張リピート領域でオーバーフローまたはアンダーフローが発生したとき、割り込みを要求するには、DMINT.SARIE ビットを 1 にしてください。表 15.2 には、各設定値に対応した拡張リピート領域が示されています。

SADR ビット (リロード後の転送元アドレス更新選択)

リピートブロック転送モードでは、本ビットは DMSRR リロード後の DMSAR の動作を指定します。

本ビットに 1 を設定すると、DMSRR リロード後の DMSAR にインデックス値 ((DMSBSH-DMSBSL) × データサイズ) が付加されます。

本ビットに 0 を設定すると、DMSAR は DMSRR はリロードするだけです。本動作を表 15.12 に示します。

通常のリピートブロック転送モードでは、本ビットは無視されます。

SM[1:0]ビット (転送元アドレス更新モード設定)

SM[1:0]ビットは転送元アドレスの更新モードを選択します。

インクリメントを選択し、DMTMD.SZ[1:0]ビットに 00b、01b、または 10b を設定した場合、転送元アドレスはそれぞれ 1、2、または 4 ごとにインクリメントされます。

デクリメントを選択し、DMTMD.SZ[1:0]ビットに 00b、01b、または 10b を設定した場合、転送元アドレスはそれぞれ 1、2、または 4 ごとにデクリメントされます。

オフセット加算を選択した場合、DMOFR レジスタで設定したオフセット値がアドレスに加算されます。

表 15.2 SARA[4:0]ビットまたは DARA[4:0]ビットの設定値と対応するリピート領域

SARA[4:0]ビットまたは DARA[4:0]ビット の設定値	拡張リピート領域
00000b	拡張リピート領域を設定しない
00001b	当該アドレスの下位 1 ビット (2 バイト) を拡張リピート領域に設定
00010b	当該アドレスの下位 2 ビット (4 バイト) を拡張リピート領域に設定
00011b	当該アドレスの下位 3 ビット (8 バイト) を拡張リピート領域に設定
00100b	当該アドレスの下位 4 ビット (16 バイト) を拡張リピート領域に設定
00101b	当該アドレスの下位 5 ビット (32 バイト) を拡張リピート領域に設定
00110b	当該アドレスの下位 6 ビット (64 バイト) を拡張リピート領域に設定
00111b	当該アドレスの下位 7 ビット (128 バイト) を拡張リピート領域に設定
01000b	当該アドレスの下位 8 ビット (256 バイト) を拡張リピート領域に設定
01001b	当該アドレスの下位 9 ビット (512 バイト) を拡張リピート領域に設定
01010b	当該アドレスの下位 10 ビット (1 KB) を拡張リピート領域に設定
01011b	当該アドレスの下位 11 ビット (2 KB) を拡張リピート領域に設定
01100b	当該アドレスの下位 12 ビット (4 KB) を拡張リピート領域に設定
01101b	当該アドレスの下位 13 ビット (8 KB) を拡張リピート領域に設定
01110b	当該アドレスの下位 14 ビット (16 KB) を拡張リピート領域に設定
01111b	当該アドレスの下位 15 ビット (32 KB) を拡張リピート領域に設定
10000b	当該アドレスの下位 16 ビット (64 KB) を拡張リピート領域に設定
10001b	当該アドレスの下位 17 ビット (128 KB) を拡張リピート領域に設定
10010b	当該アドレスの下位 18 ビット (256 KB) を拡張リピート領域に設定
10011b	当該アドレスの下位 19 ビット (512 KB) を拡張リピート領域に設定
10100b	当該アドレスの下位 20 ビット (1 MB) を拡張リピート領域に設定
10101b	当該アドレスの下位 21 ビット (2 MB) を拡張リピート領域に設定
10110b	当該アドレスの下位 22 ビット (4 MB) を拡張リピート領域に設定
10111b	当該アドレスの下位 23 ビット (8 MB) を拡張リピート領域に設定
11000b	当該アドレスの下位 24 ビット (16 MB) を拡張リピート領域に設定
11001b	当該アドレスの下位 25 ビット (32 MB) を拡張リピート領域に設定
11010b	当該アドレスの下位 26 ビット (64 MB) を拡張リピート領域に設定
11011b	当該アドレスの下位 27 ビット (128 MB) を拡張リピート領域に設定
11100b~11111b	設定禁止

15.2.11 DMOFR : DMA オフセットレジスタ

Base address: $\text{DMACn} = 0x4000\_5000 + 0x0040 \times n$ ($n = 0 \sim 7$)

Offset address: 0x18

Bit position: 31

0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	n/a	転送元または転送先のアドレス更新モードとしてオフセット加算が選択されている場合、そのオフセット値を設定 0x00000000~0x00FFFFFF (0 バイト~(16M-1) バイト) 0xFF000000~0xFFFFFFFF (-16 MB~-1 バイト)	R/W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

このレジスタへの書き込みは、データ転送中ではなく、DMAC 動作停止中または DMA 転送が禁止されているときに行ってください。

b31～b25 の設定は無効です。b24 の値が b31～b25 へ拡張されます。DMOFR レジスタを読み出した場合、ビット拡張された値が読み出されます。

リピートブロック転送モードでは、オフセット加算が選択された場合、オフセットは DMOFR レジスタにより指定されません。DMOFR レジスタに 0 を書き込んでください。

15.2.12 DMCNT : DMA 転送イネーブルレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x1C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DTE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DTE	DMA 転送許可 0: DMA 転送禁止 1: DMA 転送許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

DTE ビット (DMA 転送許可)

DMA 転送は、DMAST.DMST ビットが 1 (DMAC 動作許可) のとき、対応するチャネルの DTE ビットを 1 にすることで、開始することができます。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 0 を書いたとき
- 設定された総転送データ数の転送が終了したとき
- リピートサイズ終了割り込みによって DMA 転送が停止したとき
- 拡張リピート領域オーバーフロー割り込みによって DMA 転送が停止したとき
- アクセスエラー発生により、DMA 転送が停止したとき。「[15.5. DMA 転送エラーの処理](#)」を参照してください。

15.2.13 DMREQ : DMA ソフトウェア起動レジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0~7)

Offset address: 0x1D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	CLRS	—	—	—	SWREQ
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SWREQ	DMA ソフトウェア起動 0: DMA 転送を要求しない 1: DMA 転送を要求する	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	CLRS	DMA ソフトウェア起動ビット自動クリア選択 0: ソフトウェアによる DMA 転送開始後に SWREQ ビットをクリアする 1: ソフトウェアによる DMA 転送開始後に SWREQ ビットをクリアしない	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

SWREQ ビット (DMA ソフトウェア起動)

SWREQ ビットを 1 にすると DMA 転送要求が発生します。その要求に対して転送が開始されると、CLRS ビットが 0 の場合、SWREQ ビットが 0 になります。CLRS ビットが 1 の場合はクリアされません。DMA 転送要求は、転送終了後に再発行できます。

注. DMTMD.DCTG[1:0]ビットが 00b (DMAC 起動要因がソフトウェア) になっている場合のみ、このビットの設定が有効となり、ソフトウェアによる DMA 転送が可能となります。

DMTMD.DCTG[1:0]ビットが 00b 以外になっている場合、このビットの設定は無効です。

CLRS ビットが 0 の状態でソフトウェアによる DMA 転送を行う場合、SWREQ ビットが 0 であることを確認してから SWREQ ビットに 1 を書いてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- CLRS ビットが 0 (ソフトウェアによる DMA 転送開始後に SWREQ ビットをクリアする) の場合に、ソフトウェアによる DMA 転送要求が受け付けられて DMA 転送が開始したとき
- 0 を書いたとき

CLRS ビット (DMA ソフトウェア起動ビット自動クリア選択)

CLRS ビットは SWREQ ビットを 1 にして転送要求を発生させた場合、その要求に対して DMA 転送が開始した後、SWREQ ビットを 0 にするか否かを設定します。CLRS ビットを 0 にすると、DMA 転送の開始後、SWREQ ビットは 0 になります。1 にすると、SWREQ ビットは 0 にクリアされません。DMA 転送要求は、転送終了後に再発行できます。

15.2.14 DMSTS : DMA ステータスレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0~7)

Offset address: 0x1E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ACT	—	—	DTIF	—	—	—	ESIF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ESIF	転送エスケープ終了割り込みフラグ 0: 割り込み発生なし 1: 割り込み発生あり	R/W(注1)
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	DTIF	転送終了割り込みフラグ 0: 割り込み発生なし 1: 割り込み発生あり	R/W(注1)
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	ACT	DMA アクティブフラグ 0: DMAC が停止中 1: DMAC が動作中	R

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. フラグをクリアするための 0 の書き込みのみ可能です。

ESIF フラグ（転送エスケープ終了割り込みフラグ）

転送エスケープ終了割り込みが発生したことを示します。

[1 になる条件]

- リピート転送モードにおいて、DMINT.RPTIE ビットが 1 の状態で 1 リピートサイズ分のデータ転送が終了したとき
- ブロック転送モードにおいて、DMINT.RPTIE ビットが 1 の状態で 1 ブロック分のデータ転送が終了したとき
- DMINT.SARIE ビットが 1 で、かつ DMAMD.SARA[4:0] ビットが 00000b 以外（転送元アドレスに拡張リピート領域を設定）の状態で、転送元アドレスに拡張リピート領域オーバーフローが発生したとき
- DMINT.DARIE ビットが 1 で、かつ DMAMD.DARA[4:0] ビットが 00000b 以外（転送先アドレスに拡張リピート領域を設定）の状態で、転送先アドレスに拡張リピート領域オーバーフローが発生したとき

[0 になる条件]

- 0 を書いたとき
- DMCNT.DTE ビットに 1 を書いたとき

DTIF フラグ（転送終了割り込みフラグ）

転送終了割り込みが発生したことを示します。

[1 になる条件]

- ノーマル転送モードにおいて、指定した回数のデータ転送が終了したとき（DMCRAL ビットの値が 0 になり転送が終了したとき）
- リピート転送モードにおいて、指定した回数のリピート転送が終了したとき（DMCRBL ビットの値が 0 になり転送が終了したとき (DMTMD.TKP = 0) または DMCRBH をリロードした DMCRBL の値 (DMTMD.TKP = 1))

- ブロック転送モードおよびリピートブロック転送モードにおいて、指定したブロック数の転送が終了したとき (DMCRBL ビットの値が 0 になり転送が終了したとき (DMTMD.TKP = 0) または DMCRBH をリロードした DMCRBL の値 (DMTMD.TKP = 1))

[0 になる条件]

- 0 を書いたとき
- DMCNT.DTE ビットに 1 を書いたとき

ACT フラグ (DMA アクティブフラグ)

DMAC が停止状態であるか、または動作中であることを示します。

[1 になる条件]

- DMAC がデータ転送を開始したとき

[0 になる条件]

- 1 転送要求に対するデータ転送が終了したとき

15.2.15 DMSBS : DMA 転送元バッファサイズレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0~7)

Offset address: 0x28

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DMSBSH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DMSBSL[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DMSBSL[15:0]	リピートブロック転送モードでのデータ転送カウンタ 利用可能な設定は、表 15.3 を参照してください。	R/W
31:16	DMSBSH[15:0]	リピートブロック転送モードでのリピート領域サイズ指定 利用可能な設定は、表 15.3 を参照してください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

リピートブロック転送モードでは、DMSBSH[15:0]と DMSBSL[15:0]に対して、同じ値を設定してください。ノーマル転送モード、リピート転送モード、ブロック転送モードでは、DMSBS に 0x00000000 を書き込んでください。

リピートブロック転送モードでは、DMSBSH[15:0]はバッファサイズを指定し、DMSBSL[15:0]は 16 ビットのバッファサイズカウンタとして機能します。リピートブロック転送モードでは、転送元リピート領域を DMSBSH[15:0]で指定します。

アドレス更新モードがインクリメントアドレスかデクリメントアドレスのいずれかの場合、このレジスタはバッファ全体のデータの数を示します。アドレス更新モードがオフセット加算の場合、このレジスタはそれぞれのバッファのデータの数を示します。オフセット加算の場合、DMSBSH[15:0]と DMSBSL[15:0]に 0x0000 を設定することは禁止です。バッファサイズの最終データが転送されたとき、DMSBSL[15:0]は DMSBSH[15:0]の値をリロードします。アドレス更新モードがアドレス固定の場合、このレジスタは無視されます。表 15.3 に、転送元アドレス更新モードでの転送データサイズに対応した DMA 転送元バッファサイズレジスタの設定値を示します。

表 15.3 リピートブロック転送モードにおいて DMSBS レジスタで利用可能な設定

転送元アドレス更新モード (DMAMD.SM)	転送データサイズ (DMTMD.SZ)	DMSBSH ビットと DMSBSL ビットで利用可能な設定
転送元アドレス固定 (SM = 00b)	Don't care	0x0000 (DMSBS 未使用時)
オフセット加算 (SM = 01b)	8 ビット (SZ = 00b)	0x0001~0xFFFF (1~65535)
	16 ビット (SZ = 01b)	0x0001~0x7FFF (1~32767)
	32 ビット (SZ = 10b)	0x0001~0x3FFF (1~16383)
転送元アドレスがインクリメントアドレスかデクリメントアドレス (SM = 1xb)	Don't care	0x0000 (無限) 0x0001~0xFFFF (1~65535)

ノーマル転送モード、リピート転送モード、およびブロック転送モードでは、DMSBS は使用されず、その設定は無効です。

15.2.16 DMDBS : DMA 転送先バッファサイズレジスタ

Base address: $\text{DMACn} = 0x4000\_5000 + 0x0040 \times n$ ($n = 0 \sim 7$)

Offset address: 0x2C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DMDBSH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DMDBSL[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DMDBSL[15:0]	リピートブロック転送モードでのデータ転送カウンタ 利用可能な設定は、表 15.4 を参照してください。	R/W
31:16	DMDBSH[15:0]	リピートブロック転送モードでのリピート領域サイズ指定 利用可能な設定は、表 15.4 を参照してください。	R/W

注: セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

リピートブロック転送モードでは、DMDBSH[15:0]と DMDBSL[15:0]に対して、同じ値を設定してください。ノーマル転送モード、リピート転送モード、ブロック転送モードでは、DMDBS に 0x00000000 を書き込んでください。

リピートブロック転送モードにおいて、DMDBSH[15:0]はバッファサイズを指定し、DMDBSL[15:0]は 16 ビットバッファサイズカウンタとして機能します。リピートブロック転送モードでは、転送先のリピート領域は DMDBSH[15:0]により指定されます。

アドレス更新モードがインクリメントアドレスかデクリメントアドレスのいずれかの場合、このレジスタはバッファ全体のデータの数を示します。アドレス更新モードがオフセット加算の場合、このレジスタはそれぞれのバッファのデータの数を示します。オフセット加算の場合、DMDBSH[15:0]と DMDBSL[15:0]に 0x0000 を設定することは禁止です。バッファサイズの最終データが転送されたとき、DMDBSL[15:0]は DMDBSH[15:0]の値をリロードします。アドレス更新モードがアドレス固定の場合、このレジスタは無視されます。表 15.4 に、転送先アドレス更新モードでの転送データサイズに対応した転送先バッファサイズレジスタの設定値を示します。

表 15.4 リピートブロック転送モードにおいて DMDBS レジスタで利用可能な設定

転送先アドレス更新モード (DMAMD.DM)	転送データサイズ (DMTMD.SZ)	DMDBSH ビットと DMDBSL ビットで利用可能な設定
転送先アドレス固定 (DM = 00b)	Don't care	0x0000 (DMDBS 未使用時)
オフセット加算 (DM = 01b)	8 ビット (SZ = 00b)	0x0001~0xFFFF (1~65535)
	16 ビット (SZ = 01b)	0x0001~0x7FFF (1~32767)
	32 ビット (SZ = 10b)	0x0001~0x3FFF (1~16383)
転送先アドレスはインクリメントまたはデクリメント (DM = 1xb)	Don't care	0x0000 (無限) 0x0001~0xFFFF (1~65535)

ノーマル転送モード、リピート転送モード、およびブロック転送モードでは、DMDBS は使用されず、その設定は無効です。

15.2.17 DMAST : DMAC モジュール起動レジスタ

Base address: DMA = 0x4000_5200

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DMST
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DMST	DMAC 動作許可 0: DMAC 起動を禁止 1: DMAC 起動を許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注: セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

DMST ビット (DMAC 動作許可)

DMAST.DMST ビットを 1 にすると、DMAC 全チャネルの起動が許可されます。DMST ビットを 1 (DMAC 起動許可) にした場合、複数チャネルの DMCNT.DTE ビットを 1 (DMA 転送許可) にすることで、対応する全チャネルが同時に転送要求受け付け可能状態になります。

DMA 転送中に DMST ビットを 0 にすると、実行中の 1 転送要求に対するデータ転送が終了した後、DMA 転送が一時停止します。DMA 転送を再開するには、再度 DMST ビットを 1 にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 0 を書いたとき

15.2.18 DMECHR : DMAC エラーチャネルレジスタ

Base address: DMA = 0x4000_5200

Offset address: 0x40

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMES TA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DMEC HSAM	—	—	—	—	—	—	—	DMECH
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	DMECH	DMAC エラーチャネル エラーが発生したチャネル番号を示します。 0 0 0: チャネル 0 でエラー発生 0 0 1: チャネル 1 でエラー発生 0 1 0: チャネル 2 でエラー発生 ⋮ 1 1 1: チャネル 7 でエラー発生	R
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R
8	DMECHSAM	DMAC エラーチャネルセキュリティ属性監視 エラーが発生したチャネルのセキュリティ属性を示します。 0: セキュアチャネル 1: 非セキュアチャネル	R
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R
16	DMESTA	DMAC エラーステータス 0: DMA 転送エラー発生なし 1: DMA 転送エラー発生あり	R/W ^(注1)
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R

注 1. DMESTA への書き込みは DMECHSAM の値に依存します。

DMECH[2:0]ビット (DMAC エラーチャネル)

DMA 転送起因の転送エラーが発生した場合、DMECH[2:0]ビットは違反した DMAC のチャネルを格納します。MPU.MMPUOAD.OAD および TZF.TZFOAD.OAD でリセットが選択された場合、本レジスタもリセットされます。プログラムをデバッグする場合はノンマスカブル割り込みを選択してください。

[1 になる条件]

- DMAC 転送エラーが発生し、かつ DMESTA = 0 の場合

[0 になる条件]

- DMESTA に 1 を書く場合

DMECHSAM ビット (DMAC エラーチャネルセキュリティ属性監視)

DMA 転送起因の転送エラーが発生した場合、DMECHSAM ビットは違反した DMAC チャネルのセキュリティ属性を示します。

MPU.MMPUOAD.OAD および TZF.TZFOAD.OAD でリセットが選択された場合、本レジスタもリセットされます。プログラムをデバッグする場合はノンマスカブル割り込みを選択してください。

[1 になる条件]

- DMAC 転送エラーが発生し、かつ DMESTA = 0 の場合

[0 になる条件]

- DMESTA に 1 を書く場合

DMESTA ビット (DMAC エラーステータス)

DMESTA ビットは DMA 転送エラーの発生の有無を示します。

DMESTA に 1 を書くことにより、DMECH、DMECHSAM、DMESTA はクリアされます。DMESTA への 0 の書き込みは無視されます。

MPU.MMPUOAD.OAD および TZF.TZFOAD.OAD でリセットが選択された場合、本レジスタもリセットされます。プログラムをデバッグする場合はノンマスカブル割り込みを選択してください。

[1 になる条件]

- DMAC 転送エラーが発生した場合

[0 になる条件]

- DMESTA に 1 を書く場合

注. DMECHSAM = 1 の場合、セキュア状態と非セキュア状態で本ビットをクリアできます。DMECHSAM = 0 の場合、非セキュア状態では本ビットをクリアできません。

15.3 動作説明

15.3.1 転送モード

15.3.1.1 ノーマル転送モード

ノーマル転送モードでは、1 転送要求に対して 1 データの転送を行います。DMCRAL ビットで転送回数を最大 65535 回まで設定できます。また、これらのビットを 0x0000 にすると、転送回数は指定なしとなり、転送カウンタが停止した状態でデータ転送を行います (フリーランニング機能)。ノーマル転送モードでは、DMCRB レジスタの設定は無効です。フリーランニング機能を除き、指定した転送回数の終了後に転送終了割り込み要求を発生させることができます。

表 15.5 にノーマル転送モードにおけるレジスタ更新動作を、図 15.2 にノーマル転送モードにおける転送動作を示します。

表 15.5 ノーマル転送モードでのレジスタ更新動作

レジスタ	機能	1 転送要求に対する転送終了後の更新動作
DMSAR	転送元アドレス	インクリメント/デクリメント/固定/オフセット加算
DMDAR	転送先アドレス	インクリメント/デクリメント/固定/オフセット加算
DMCRAL	転送カウンタ	1 減算/更新なし (フリーランニング機能時)
DMCRAH	—	更新なし (ノーマル転送モードでは使用しない)
DMCRB	—	更新なし (ノーマル転送モードでは使用しない)

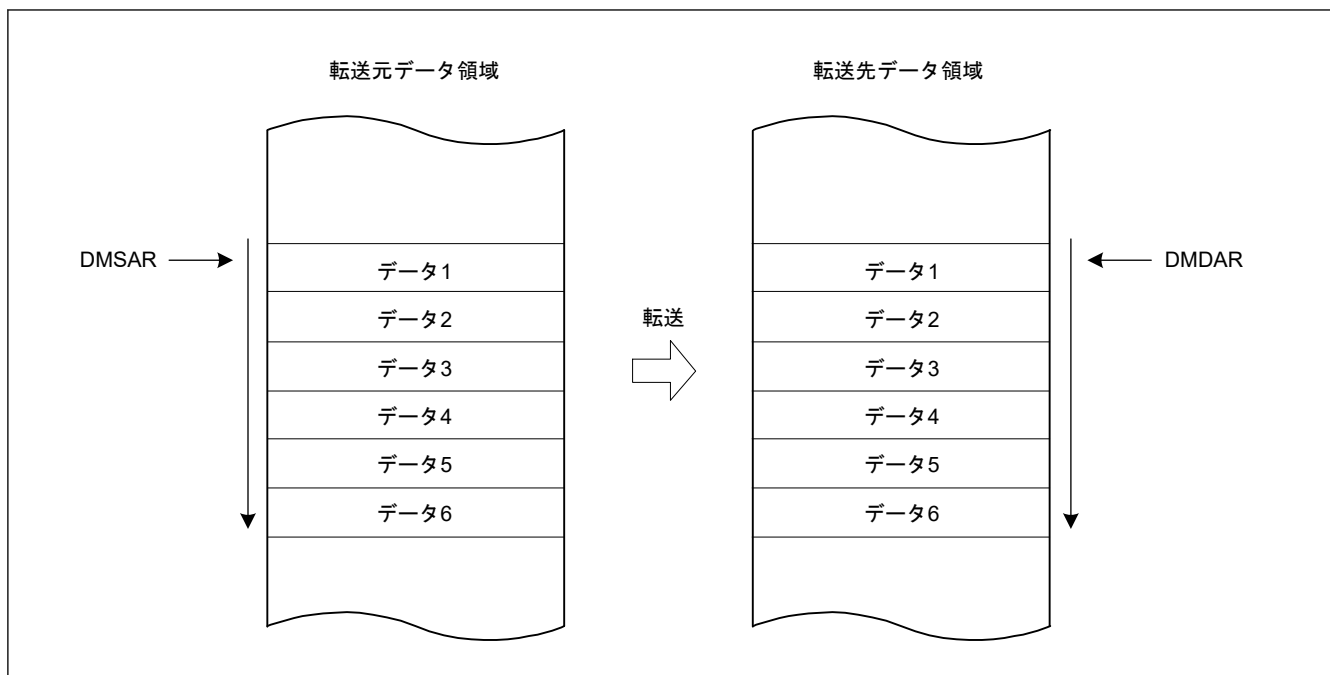


図 15.2 ノーマル転送モードにおける動作

15.3.1.2 リピート転送モード

リピート転送モードは1回の転送要求について1データの転送を行います。

DMCRA レジスタで最大 1K データのリピート転送サイズを設定できます。

DMCRB レジスタで最大 64K 回のリピート転送回数を設定できます。したがって、総データ転送数として最大 64M データ (1K データ × 64K 回のリピート転送) が設定できます。

転送元または転送先のいずれか一方をリピート領域に指定することができます。リピート領域に指定された方のアドレスレジスタ (DMSAR または DMDAR) は、リピートサイズ分のデータ転送が終了すると、転送開始時のアドレスに復帰します。リピート転送モードでは、指定されたリピートサイズ分のデータの転送がすべて終了した時に、DMA 転送を停止させ、リピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMCNT.DTE ビットに 1 を書くと DMA 転送を再開することができます。

また、指定したリピート転送回数の終了後に、転送終了割り込み要求を発生させることができます。

リピート転送モードにおけるレジスタ更新動作を表 15.6 に、リピート転送モードにおける転送動作を図 15.3 に示します。

表 15.6 リピート転送モードでのレジスタ更新動作 (1/2)

レジスタ	機能	1 転送要求に対する転送終了後の更新動作	
		DMCRAL ビットが 1 以外のとき	DMCRAL ビットが 1 のとき (リピートサイズの最終データ転送)
DMSAR	転送元アドレス	インクリメント／デクリメント／固定／オフセット加算	- DMTMD.DTS[1:0] = 00b インクリメント／デクリメント／固定／オフセット加算 - DMTMD.DTS[1:0] = 01b DMSAR の初期値 - DMTMD.DTS[1:0] = 10b インクリメント／デクリメント／固定／オフセット加算

表 15.6 リピート転送モードでのレジスタ更新動作 (2/2)

レジスタ	機能	1 転送要求に対する転送終了後の更新動作	
		DMCRAL ビットが 1 以外するとき	DMCRAL ビットが 1 のとき (リピートサイズの最終データ転送)
DMDAR	転送先アドレス	インクリメント／デクリメント／固定／オフセット加算	- DMTMD.DTS[1:0] = 00b DMDAR の初期値 - DMTMD.DTS[1:0] = 01b インクリメント／デクリメント／固定／オフセット加算 - DMTMD.DTS[1:0] = 10b インクリメント／デクリメント／固定／オフセット加算
DMCRAH	リピートサイズ	更新なし	更新なし
DMCRAL	転送カウンタ	1 減算	DMCRAH
DMCRBH	リピート転送回数	更新なし	更新なし
DMCRBL	リピート転送回数のカウンタ	更新なし	1 減算

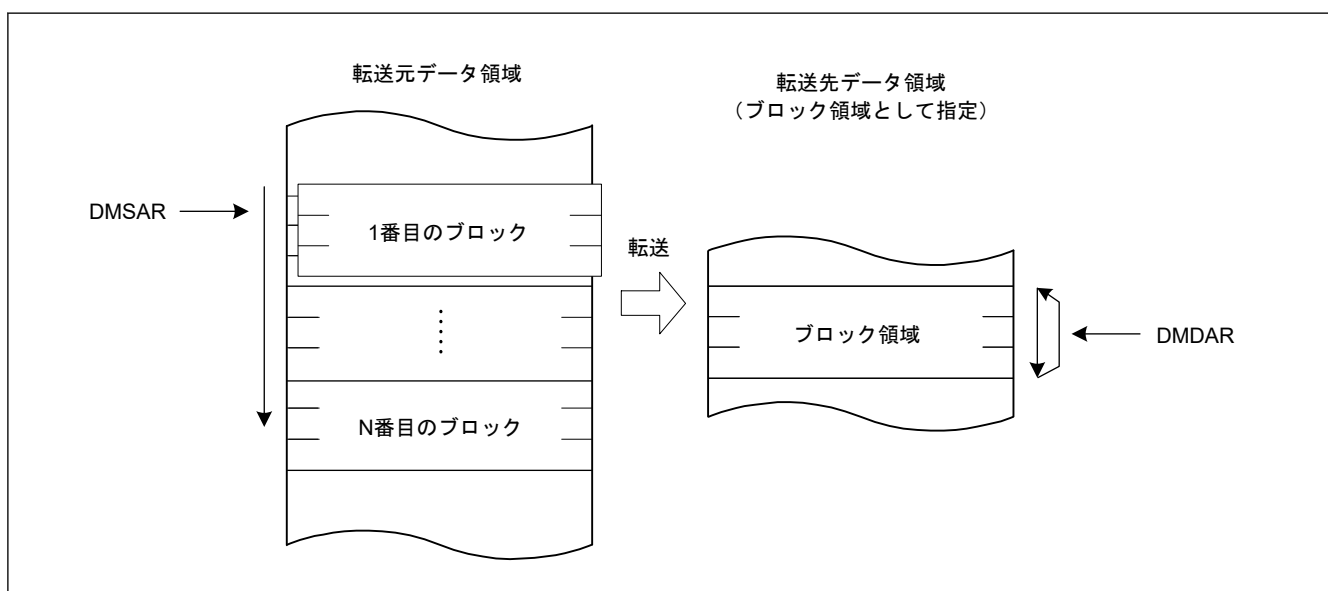


図 15.3 リピート転送モードの動作

15.3.1.3 ブロック転送モード

ブロック転送モードは、1 回の転送要求について 1 ブロックのデータ転送を行います。

DMCRA レジスタで最大 1K データのブロック転送サイズを設定できます。

また、DMCRB レジスタで最大 64K 回の指定ブロック転送回数を設定できます。総データ転送数は最大 1K データ × 64K ブロック転送回数 = 64M データの指定が可能です。

転送元または転送先のいずれか一方をブロック領域に指定することができます。ブロック領域に指定された方のアドレスレジスタ (DMSAR または DMDAR) は、1 ブロック分のデータ転送が終了すると、転送開始時のアドレスに復帰します。ブロック転送モードでは、1 ブロックのデータ転送がすべて終了した時に、DMA 転送を停止し、リピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMCNT.DTE ビットに 1 を書くと DMA 転送を再開することができます。

また、指定したブロック転送回数の終了後に、転送終了割り込み要求を発生させることができます。

ブロック転送モードにおけるレジスタ更新動作を表 15.7 に、ブロック転送モードにおける転送動作を図 15.4 に示します。

表 15.7 ブロック転送モードでのレジスタ更新動作

レジスタ	機能	1 転送要求に対する 1 ブロック転送終了後の更新動作
DMSAR	転送元アドレス	- DMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/オフセット加算 - DMTMD.DTS[1:0] = 01b DMSAR の初期値 - DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算
DMDAR	転送先アドレス	- DMTMD.DTS[1:0] = 00b DMDAR の初期値 - DMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/オフセット加算 - DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算
DMCRAH	ブロックサイズ	更新なし
DMCRAH	転送カウンタ	DMCRAH
DMCRBH	ブロック転送回数	更新なし
DMCRBL	ブロック転送回数のカウンタ	1 減算

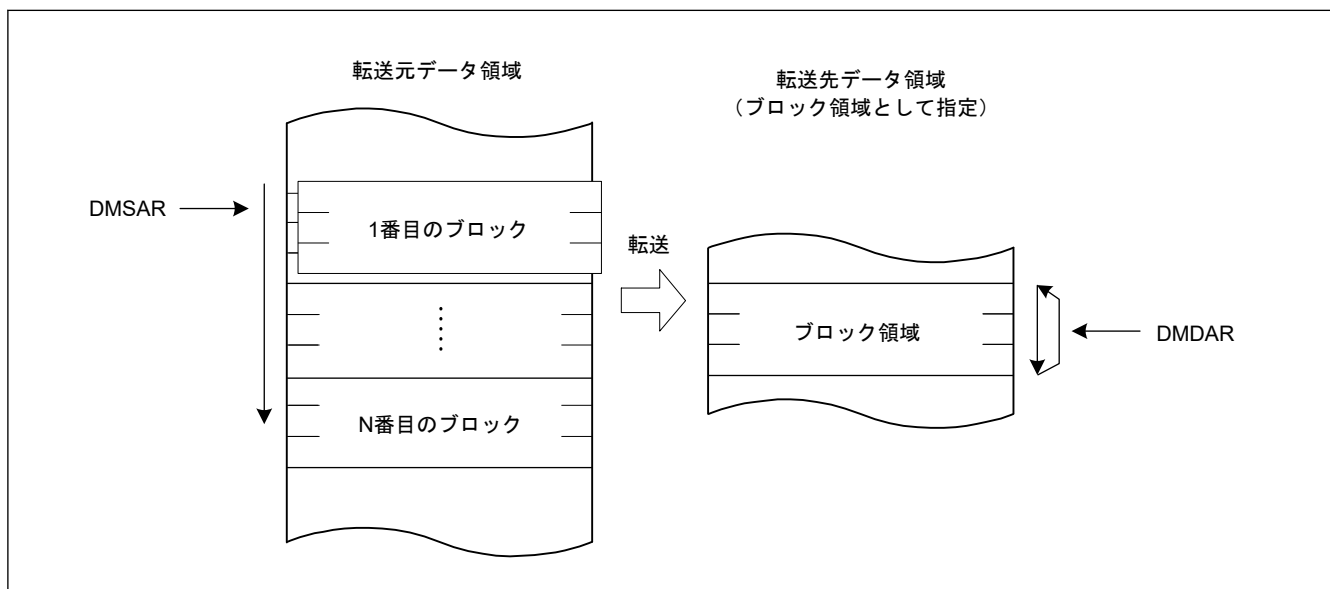


図 15.4 ブロック転送モードの動作

15.3.1.4 リピートブロック転送モード

リピートブロック転送はブロック転送機能に追加された以下の機能をもつ動作モードです。

リピート機能：特定のアドレス領域をリピートする追加機能（リングバッファ）

オフセット機能：オフセットのある複数の領域を 1 ブロック転送内で指定可能

リピート機能とオフセット機能は、リピートブロック転送の転送元と転送先に対して使用可能です。

図 15.5 に転送先へリピート機能を追加する例を示します。

図 15.6 に転送先へオフセット加算するリピートブロック転送の例を示します。

リピートブロック転送モードでは、1 つの転送要求で 1 つのブロックデータが転送されます。

DMACn の DMCRA を使用して、最大 1 K のデータを合計ブロック転送サイズとして設定可能です。

DMACn の DMCRB を使用して、最大 64 K をブロック転送回数として設定可能です。したがって、最大 64 M のデータ（1 K データ × 64 K ブロック転送回数）を合計データ転送サイズとして設定可能です。

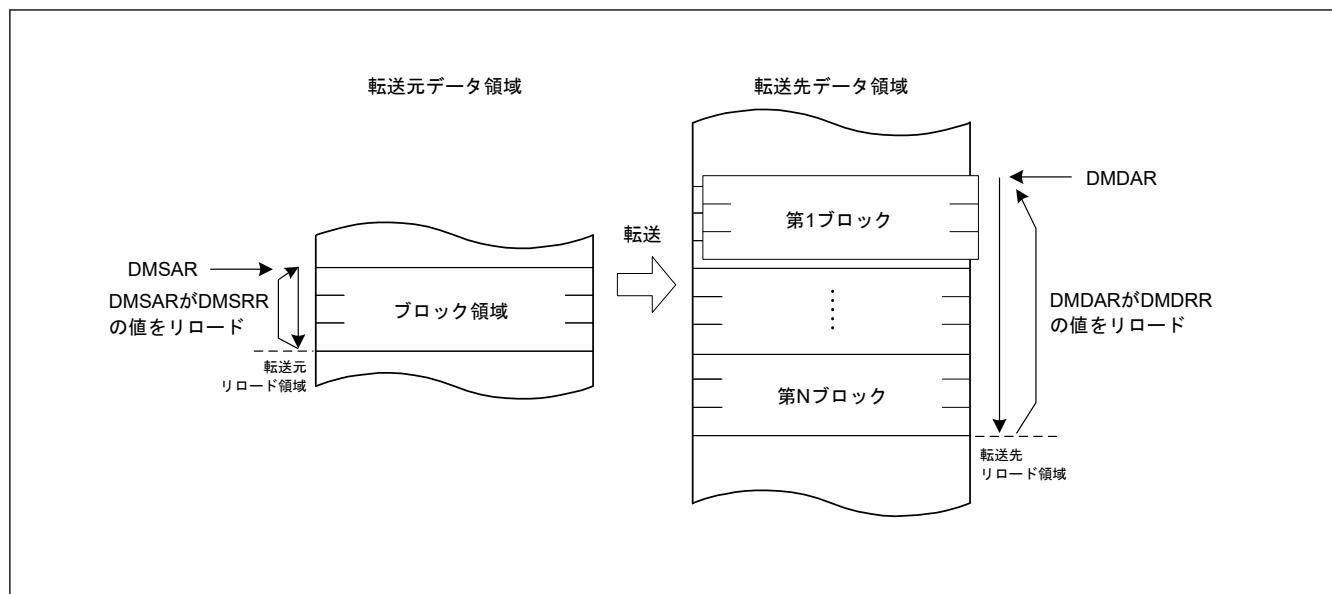


図 15.5 リpeatブロック転送モードの動作

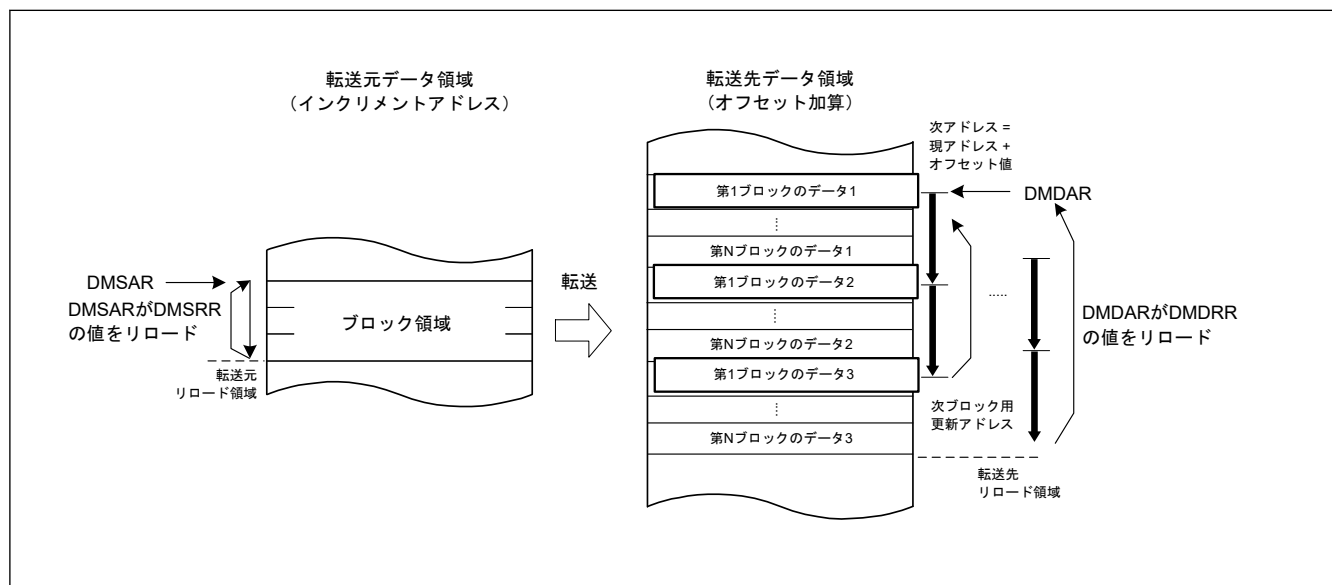


図 15.6 リpeatブロック転送モードの動作 (オフセット加算)

表 15.8～表 15.13 にリpeatブロック転送モードのレジスタ更新動作をまとめます。

表 15.8 リpeatブロック転送モードにおける転送元領域に対応するレジスタ更新動作 (固定アドレス DMAMD.SM[1:0] = 00b) (1/2)

レジスタ	機能	シングルデータ転送後の更新動作		
		DMCRAL[15:0]が1ではない	DMCRAL[15:0]が1 (1ブロックの転送)	
			DMCRBL[15:0]が1ではない	DMCRBL[15:0]が1
DMSRR	転送元リロードアドレス	更新なし	更新なし	更新なし
DMSAR	転送元アドレス	更新なし	更新なし	更新なし
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし
DMCRAL[15:0]	ブロックサイズカウンタ	1減算	DMCRAH[9:0]	DMCRAH[9:0]
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし

表 15.8 リピートブロック転送モードにおける転送元領域に対応するレジスタ更新動作 (固定アドレス DMAMD.SM[1:0] = 00b) (2/2)

レジスタ	機能	シングルデータ転送後の更新動作		
		DMCRAL[15:0]が1ではない	DMCRAL[15:0]が1 (1 ブロックの転送)	
			DMCRBL[15:0]が1ではない	DMCRBL[15:0]が1
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック転送動作のカウント	更新なし	1 減算	0
	DMTMD.TKP = 1 の場合のブロック転送動作のカウント			DMCRBH[15:0]

表 15.9 リピートブロック転送モードにおける転送先領域に対応するレジスタ更新動作 (固定アドレス DMAMD.DM[1:0] = 00b)

レジスタ	機能	シングルデータ転送後の更新動作		
		DMCRAL[15:0]が1ではない	DMCRAL[15:0]が1 (1 ブロックの転送)	
			DMCRBL[15:0]が1ではない	DMCRBL[15:0]が1
DMDRR	転送先リロードアドレス	更新なし	更新なし	更新なし
DMDAR	転送先アドレス	更新なし	更新なし	更新なし
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし
DMCRAL[15:0]	ブロックサイズカウント	1 減算	DMCRAH[9:0]	DMCRAH[9:0]
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック転送動作のカウント	更新なし	1 減算	0
	DMTMD.TKP = 1 の場合のブロック転送動作のカウント			DMCRBH[15:0]

表 15.10 リピートブロック転送モードにおける転送元領域に対応するレジスタ更新動作 (インクリメントアドレスまたはデクリメントアドレス DMAMD.SM[1:0] = 10b または 11b) (1/2)

レジスタ	機能	シングルデータ転送後の更新動作					
		DMSBSL[15:0]が1ではない			DMSBSL[15:0]が1		
		DMCRAL[15:0]が1ではない	DMCRAL[15:0]が1 (1 ブロックの転送)		DMCRAL[15:0]が1ではない	DMCRAL[15:0]が1 (1 ブロックの転送)	
			DMCRBL[15:0]が1ではない	DMCRBL[15:0]が1		DMCRBL[15:0]が1ではない	DMCRBL[15:0]が1
DMSRR	転送元リロードアドレス	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMSAR	DMTMD.SM[1:0] = 10b の場合の転送元アドレス	データサイズによるインクリメント			DMSRR		
	DMTMD.SM[1:0] = 11b の場合の転送元アドレス	データサイズによるデクリメント			DMSRR		
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRAL[15:0]	ブロックサイズカウント	1 減算	DMCRAH[9:0]	DMCRAH[9:0]	1 減算	DMCRAH[9:0]	DMCRAH[9:0]

表 15.10 リピートブロック転送モードにおける転送元領域に対応するレジスタ更新動作 (インクリメントアドレスまたはデクリメントアドレス DMAMD.SM[1:0] = 10b または 11b) (2/2)

レジスタ	機能	シングルデータ転送後の更新動作					
		DMSBSL[15:0]が 1 ではない			DMSBSL[15:0]が 1		
		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1		DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMSBSH[15:0]	転送元バッファサイズ (リピートサイズ)	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMSBSL[15:0]	転送元バッファの転送データカウンタ	1 減算	1 減算	1 減算	DMSBSH	DMSBSH	DMSBSH
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック転送動作のカウンタ	更新なし	1 減算	0	更新なし	1 減算	0
	DMTMD.TKP = 1 の場合のブロック転送動作のカウンタ			DMCRBH[15:0]			DMCRBH[15:0]

表 15.11 リピートブロック転送モードにおける転送先領域に対応するレジスタ更新動作 (インクリメントアドレスまたはデクリメントアドレス DMAMD.DM[1:0] = 10b または 11b) (1/2)

レジスタ	機能	シングルデータ転送後の更新動作					
		DMDBSL[15:0]が 1 ではない			DMDBSL[15:0]が 1		
		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1		DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMDRR	転送先リロードアドレス	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMDAR	DMTMD.DM[1:0] = 10b の場合の転送先アドレス	データサイズによるインクリメント			DMDRR		
	DMTMD.DM[1:0] = 11b の場合の転送先アドレス	データサイズによるデクリメント			DMDRR		
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRAL[15:0]	ブロックサイズカウンタ	1 減算	DMCRAH[9:0]	DMCRAH[9:0]	1 減算	DMCRAH[9:0]	DMCRAH[9:0]
DMDBSH[15:0]	転送先バッファサイズ (リピートサイズ)	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMDBSL[15:0]	転送先バッファの転送データカウンタ	1 減算	1 減算	1 減算	DMDBSH	DMDBSH	DMDBSH

表 15.11 リピートブロック転送モードにおける転送先領域に対応するレジスタ更新動作（インクリメントアドレスまたはデクリメントアドレス DMAMD.DM[1:0] = 10b または 11b） (2/2)

レジスタ	機能	シングルデータ転送後の更新動作					
		DMDBSL[15:0]が 1 ではない			DMDBSL[15:0]が 1		
		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1		DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック転送動作のカウント	更新なし	1 減算	0	更新なし	1 減算	0
	DMTMD.TKP = 1 の場合のブロック転送動作のカウント			DMCRBH[15:0]			DMCRBH[15:0]

表 15.12 リピートブロック転送モードにおける転送元領域に対応するレジスタ更新動作（オフセット加算 DMAMD.SM[1:0] = 01b）

レジスタ	機能	DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)			
			DMSBSL[15:0]が 1 ではない		DMSBSL[15:0]が 1	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1	DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMSRR	転送元リロードアドレス	更新なし	更新なし	更新なし	更新なし	更新なし
DMSAR	DMAMD.SADR = 0 の場合の転送元アドレス	DMSBSH によるオフセット加算	DMSRR		DMSRR	
	DMAMD.SADR = 1 の場合の転送元アドレス		DMSRR + (DMSBSH - DMSBSL) × (データサイズ)			
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRAL[15:0]	ブロックサイズカウンタ	1 減算	DMCRAH[9:0]	DMCRAH[9:0]	DMCRAH[9:0]	DMCRAH[9:0]
DMSBSH[15:0]	転送元バッファサイズ (リピートサイズ)	更新なし	更新なし	更新なし	更新なし	更新なし
DMSBSL[15:0]	転送元バッファの転送データカウンタ	更新なし	1 減算	1 減算	DMSBSH	DMSBSH
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック転送動作のカウント	更新なし	1 減算	0	1 減算	0
	DMTMD.TKP = 1 の場合のブロック転送動作のカウント			DMCRBH[15:0]		DMCRBH[15:0]

**表 15.13 リピートブロック転送モードにおける転送先領域に対応するレジスタ更新動作（オフセット加算
DMAMD.DM[1:0] = 01b）**

レジスタ	機能	DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)			
			DMDBSL[15:0]が 1 ではない		DMDBSL[15:0]が 1	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1	DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMDRR	転送先リロードアドレス	更新なし	更新なし	更新なし	更新なし	更新なし
DMSAR	DMAMD.DADR = 0 の場合の転送先アドレス	DMDBSH による オフセット加算	DMDRR		DMDRR	
	DMAMD.DADR = 1 の場合の転送先アドレス		DMDRR + (DMDBSH - DMDBSL) × (データサイズ)			
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRAL[15:0]	ブロックサイズカウンタ	1 減算	DMCRAH[9:0]	DMCRAH[9:0]	DMCRAH[9:0]	DMCRAH[9:0]
DMDBSH[15:0]	転送先バッファサイズ (リピートサイズ)	更新なし	更新なし	更新なし	更新なし	更新なし
DMDBSL[15:0]	転送先バッファの 転送データカウンタ	更新なし	1 減算	1 減算	DMDBSH	DMDBSH
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック 転送動作のカウント	更新なし	1 減算	0	1 減算	0
	DMTMD.TKP = 1 の場合のブロック 転送動作のカウント			DMCRBH[15:0]		DMCRBH[15:0]

15.3.2 拡張リピート領域機能

DMAC には、転送元アドレスと転送先アドレスに拡張リピート領域を設定する機能があります。拡張リピート領域を設定すると、アドレスレジスタは拡張リピート領域に指定した範囲のアドレス値を繰り返します。

この機能を設定すると、アドレスレジスタは拡張リピート領域に指定した範囲のアドレス値を繰り返します。

転送元アドレスの拡張リピート領域は、DMAMD.SARA[4:0]ビットで設定します。転送先アドレスの拡張リピート領域は、DMAMD.DARA[4:0]ビットで設定します。転送元と転送先に異なるサイズの設定が可能です。

ただし、リピート領域またはブロック領域として設定した転送元または転送先に、拡張リピート領域を設定することはできません。

アドレスレジスタの値が拡張リピート領域の終了アドレスに到達し、拡張リピート領域がオーバーフローすると、DMA 転送を停止させて、拡張リピート領域オーバーフロー割り込み要求を発生させることができます。DMINT.SARIE ビットが 1 のとき、転送元の拡張リピート領域がオーバーフローすると、DMSTS.ESIF フラグが 1 になり、DMCNT.DTE ビットを 0 にして DMA 転送を終了させます。このとき、DMINT.ESIE ビットが 1 になっていると、拡張リピート領域オーバーフロー割り込み要求が発生します。DMINT.DARIE ビットが 1 の場合、この機能は転送先アドレスレジスタが対象になります。DMA 転送を再開させるには、割り込み処理で DMCNT.DTE ビットに 1 を書き込んでください。

図 15.7 に、拡張リピート領域の動作例を示します。

DMSAR の下位 3 ビット (8 バイト) を拡張リピート領域に設定する (DMAMD.SARA[4:0] = 00011b)。データサイズが 8 ビット (DMTMD.SZ[1:0] = 00b) の場合

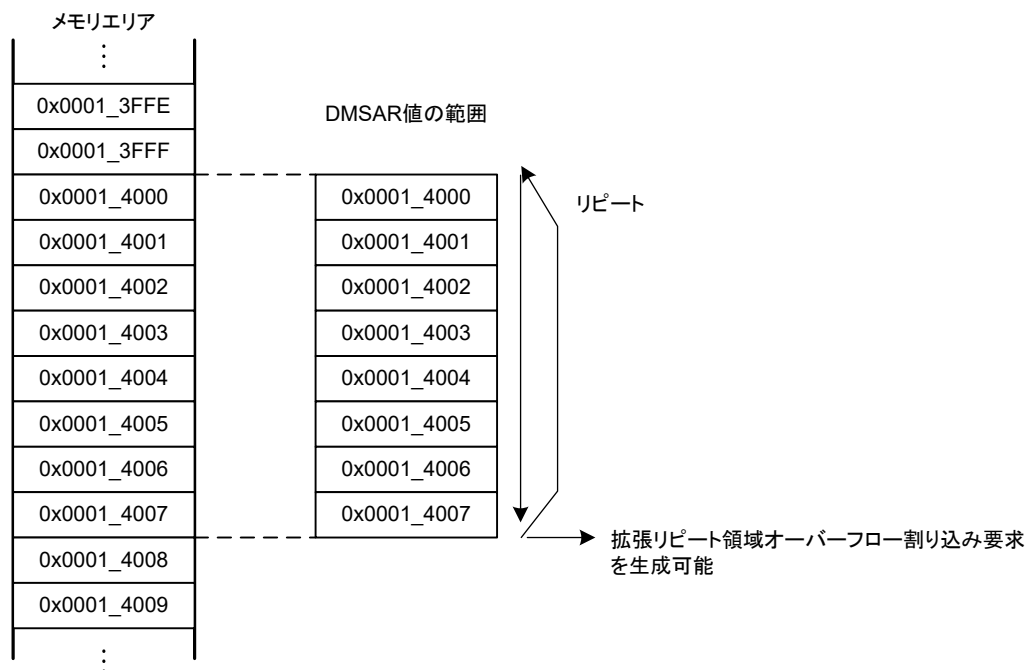


図 15.7 拡張リピート領域の動作例

ブロック転送モードで拡張リピート領域オーバーフロー割り込みを使用する場合は、以下の点に注意してください。

拡張リピート領域オーバーフロー割り込みで転送を終了させる場合、ブロックサイズを 2 のべき乗になるように設定するか、またはブロックサイズの境界と拡張リピート領域の範囲の境界が一致するようにアドレスレジスタの値を設定する必要があります。また、1 ブロックの転送中に拡張リピート領域にオーバーフローが発生した場合、そのブロックの転送が終了するまで拡張リピート領域オーバーフロー割り込みは保留され、転送はオーバーランします。

図 15.8 に、ブロック転送モードにおける拡張リピート領域機能の使用例を示します。

DMSAR の下位 3 ビット (8 バイト) を拡張リピート領域に設定し (DMAMD.SARA[4:0] = 00011b)、ブロック転送モードでブロックサイズを 5 に設定し (DMCRA = 0x00050005)、転送元アドレスをブロック領域に指定しない。データサイズが 8 ビット (DMTMD.SZ[1:0] = 00b) の場合

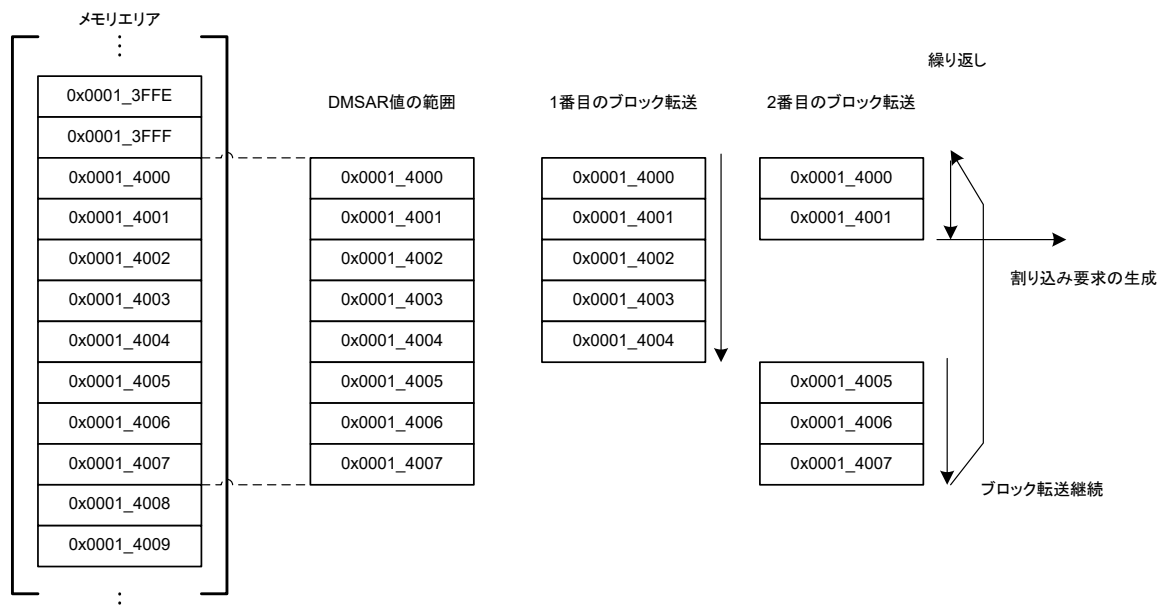


図 15.8 ブロック転送モードにおける拡張リピート領域機能の使用例

15.3.3 フリーランニング機能

DMAC はフリーランニング機能をサポートしています。この機能は割り込みハンドラを再設定することなく、リピート転送を許可します。

15.3.3.1 ノーマル転送モード

ノーマル転送モードで、DMCRA.DMCRA1 ビットが 0x0000 の場合、転送動作の回数は設定されません。データ転送は、転送カウンタ停止で実行されます。

詳細については、「[15.3.1.1. ノーマル転送モード](#)」を参照してください。

15.3.3.2 他の転送モード

リピート転送モード、ブロック転送モード、およびリピートブロック転送モードでは、DMAC は DMTMD.TKP ビットを使用したフリーランニング機能をサポートしています。DMTMD.TKP ビットが 1 に設定される場合、転送動作の指定された全回数の終了により転送は停止せず、繰り返し DMCRBH をリロードします。

図 15.9 にフリーランニング機能がない場合のブロック転送例を示します。

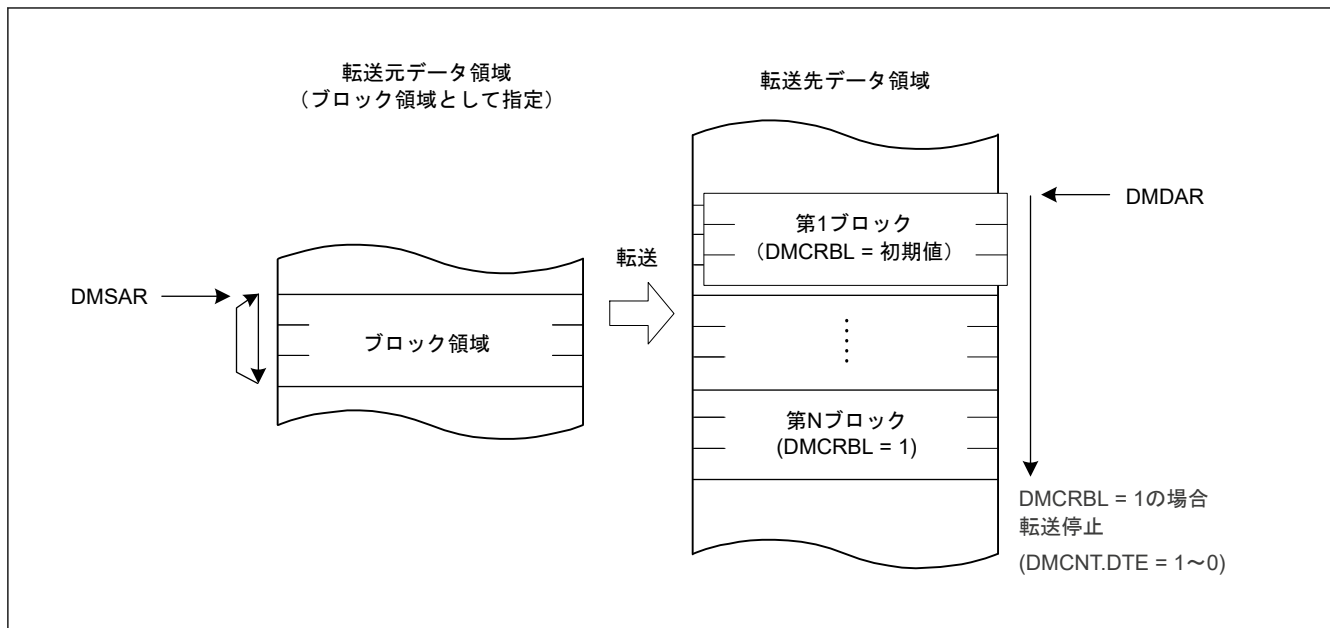


図 15.9 DMTMD.TKP ビットが 0 の場合のブロック転送モードの動作

図 15.10 にフリーランニング機能がある場合のブロック転送例を示します。

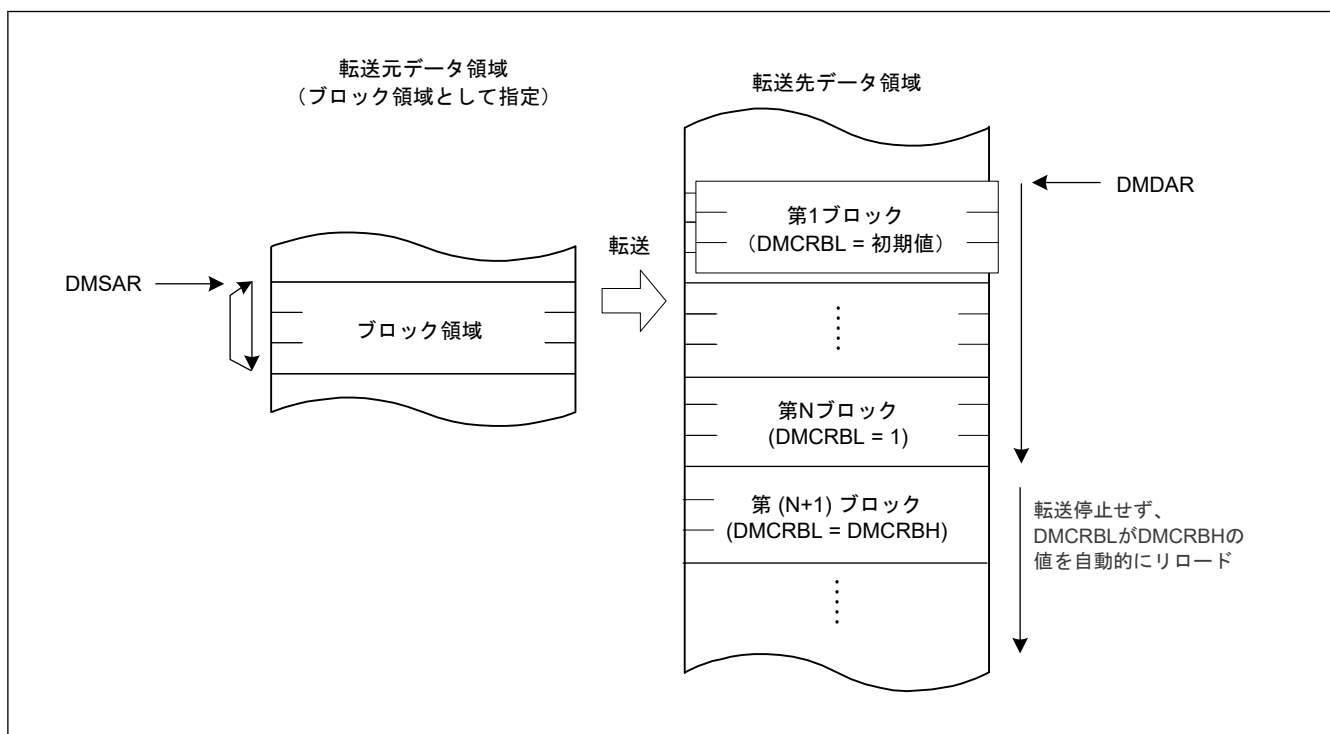


図 15.10 DMTMD.TKP ビットが 1 の場合のブロック転送モードの動作

15.3.4 オフセットを使用したアドレス更新機能

転送元アドレスと転送先アドレスの更新方法には、固定、インクリメント、デクリメントの他にオフセット加算があります。ノーマル、リピート、ブロック転送モードにおいて、オフセット加算では、DMAC が 1 データの転送を実行するたびに、DMA オフセットレジスタ (DMOFR) で設定したオフセット値がアドレスに加算されます。この機能によって、分散した領域にアドレスが割り付けられた状態でデータ転送を実施できます。

また、DMOFR に負の値を設定すると、オフセットによる減算も可能です。負の値は 2 の補数で設定する必要があります。

リピートブロック転送モードでは、DMOFR の代わりに DMSBS または DMDBS が使用されます。詳細については、「15.3.1.4. リピートブロック転送モード」を参照してください。

表 15.14 に各アドレス更新モードにおけるアドレス更新方法を示します。

表 15.14 各アドレス更新モードにおけるアドレス更新方法

アドレス更新モード	アドレス更新モードに対する DMAMD.SM[1:0]および DMAMD.DM[1:0]の設定値	アドレス更新方法 (DMTMD.SZ[1:0]設定値別)		
		SZ[1:0] = 00b	SZ[1:0] = 01b	SZ[1:0] = 10b
アドレス固定	00b	固定		
オフセット加算	01b	+DMOFR(注1)		
インクリメント	10b	+1	+2	+4
デクリメント	11b	-1	-2	-4

注 1. DMA オフセットレジスタに負の値を設定する場合、その値は次式で計算される 2 の補数でなければいけません。
負のオフセット値の 2 の補数表現 = $\sim$ (オフセット値) + 1 ($\sim$: ビット反転)

15.3.4.1 オフセット加算を使用した基本的な転送

図 15.11 にオフセット加算によるアドレス更新機能の動作例を示します。

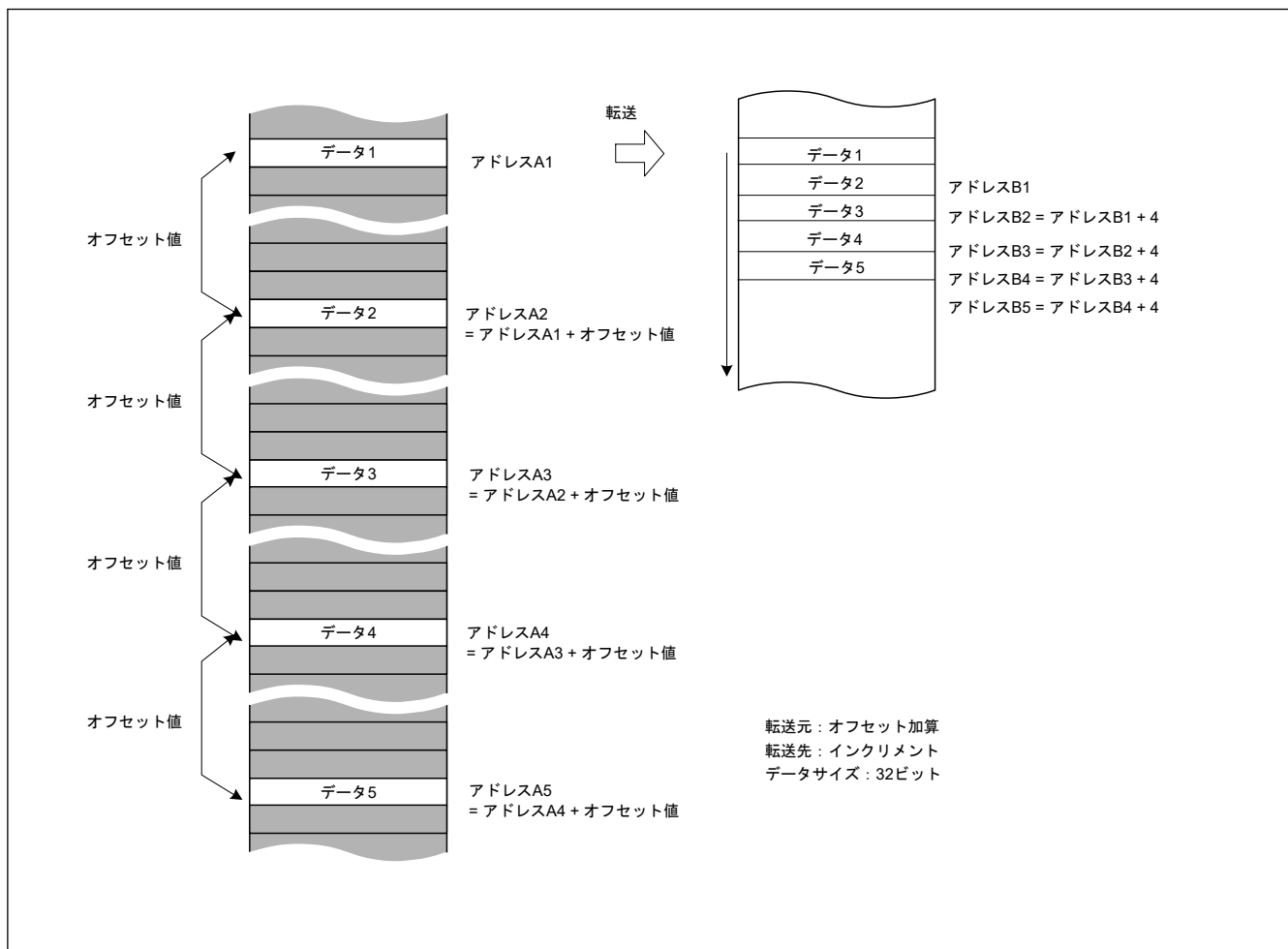


図 15.11 オフセット加算によるアドレス更新機能の動作例

図 15.11 では、以下のように設定しています。

- 転送データサイズは 32 ビット
- 転送元アドレスの更新モードはオフセット加算
- 転送先アドレスの更新モードはインクリメント

2 回目以降のデータは、前回のアドレスにオフセット値を加算することで得られる転送元アドレスから読み出されます。指定された間隔で読み出されたデータは、転送先では連続した領域に書き込まれます。

15.3.4.2 オフセット加算を使用した XY 変換例

図 15.12 に、リピート転送モードとオフセット加算を組み合わせる XY 変換を行うときの動作を示します。設定方法は以下のとおりです。

- DMAMD.SM — 転送元アドレス更新モード：オフセット加算
- DMAMD.DM — 転送先アドレス更新モード：転送先アドレスがインクリメントされる
- DMTMD.SZ — 転送データサイズ選択：32 ビット
- DMTMD.MD — 転送モード選択：リピート転送
- DMTMD.DTS — リピート領域選択：転送元をリピート領域に設定
- DMOFR — オフセットアドレス：0x10
- DMCRA—リピートサイズ：0x4
- DMINT.RPTIE — リピートサイズ終了割り込みを許可

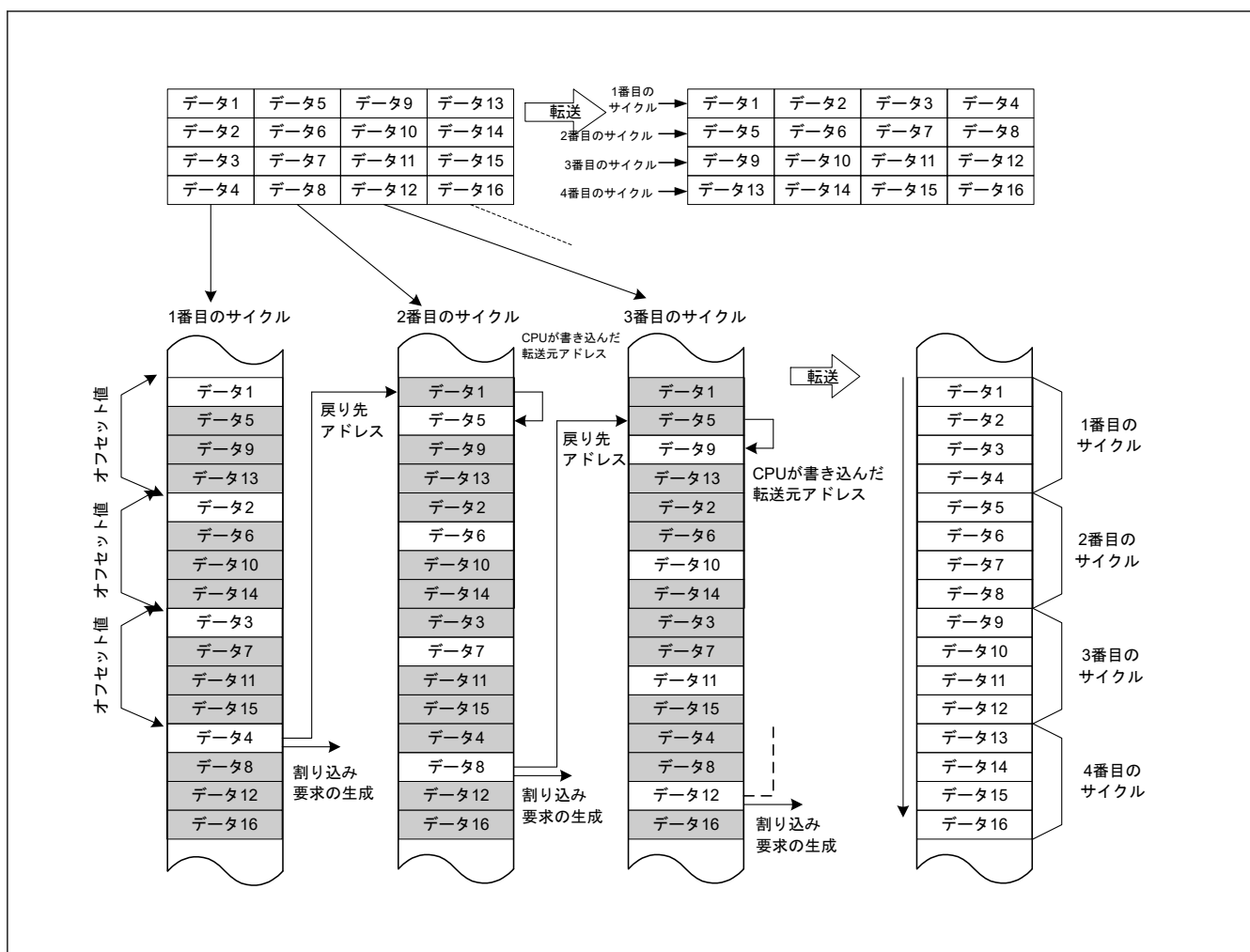


図 15.12 リピート転送モードにおけるオフセット加算による XY 変換動作

転送が開始されると、毎回、転送元アドレスにオフセット値を加算してデータ転送が行われます。転送データは、連続した転送先アドレスに書き込まれます。“データ 4”まで転送されたときの動作は以下のとおりです。

- リピートサイズ分のデータ転送が終了する
- 転送元アドレスは転送開始時のアドレス（転送元の“データ 1”のアドレス）に復帰する

- リピートサイズ終了割り込み要求が発生する

この割り込みによって転送が一時停止している間、以下の処理を行います。

- DMSAR—DMA 転送元アドレスをデータ 5 のアドレスに書き換える
(この例では“データ 1”のアドレスに 4 を加算)
- DMCNT—DTE ビットを 1 にする

DMA 転送が中断したときの状態から DMA 転送が再開されます。以降、同じ処理を繰り返すと、転送元のデータが転送先で配置を入れ替えられます (XY 変換)。

図 15.13 に XY 変換の処理フローを示します。

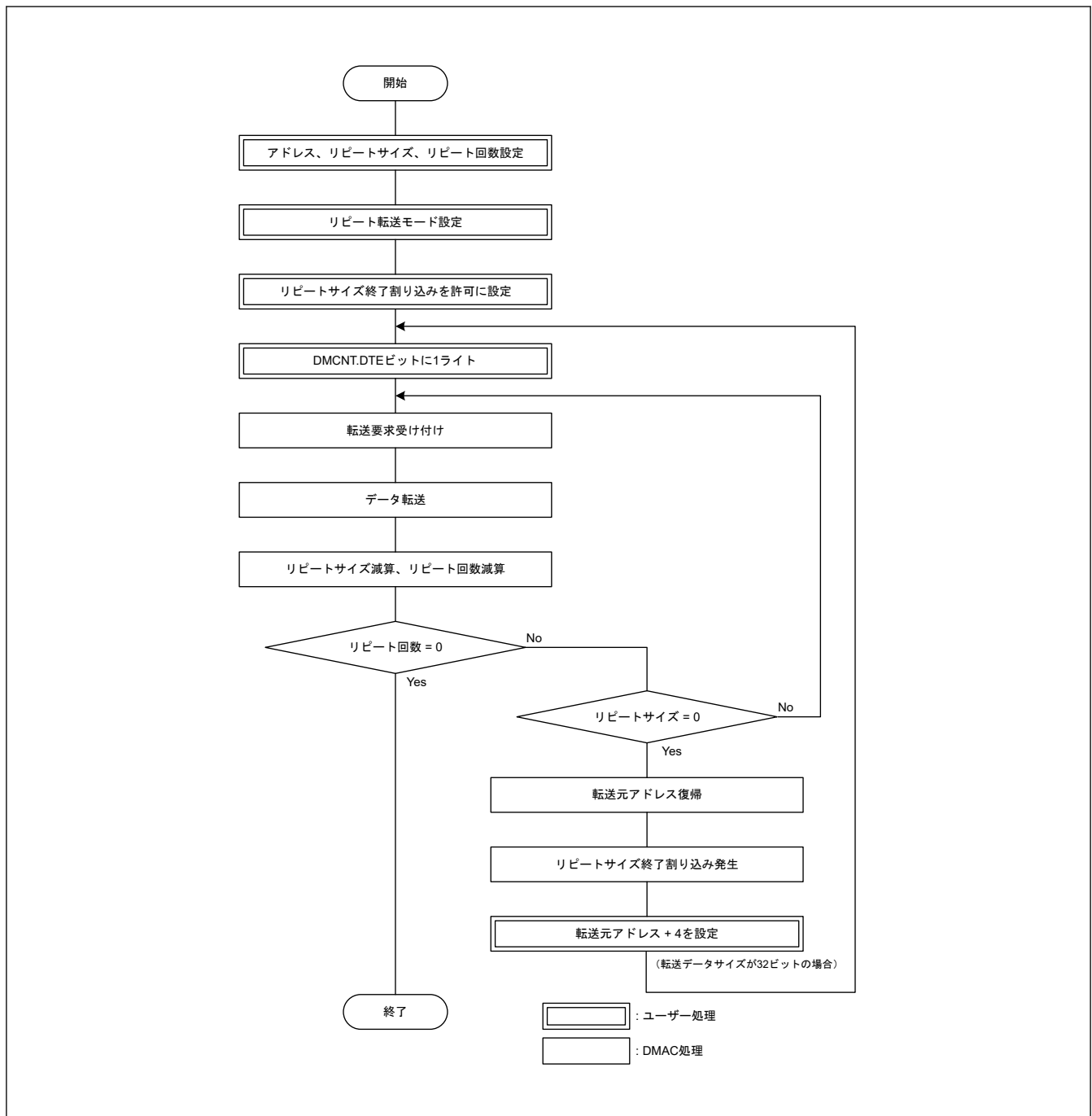


図 15.13 リピート転送モードにおけるオフセット加算による XY 変換フロー

15.3.5 リピートブロック転送モードにおけるアドレス更新機能

リピートブロック転送モードは、リピート転送モードとブロック転送モードの拡張です。ただし、アドレス更新の詳細な動作は、これらの2つのモードでは異なります。ここでは、リピートブロック転送モードにおけるアドレス更新機能の詳細を説明します。

15.3.5.1 固定アドレスモード

DMAMD.SM[1:0]ビットが 00b の場合、転送元のアドレス更新モードは固定アドレスモードです。

DMAMD.DM[1:0]ビットが 00b の場合、転送先のアドレス更新モードは固定アドレスモードです。

固定アドレスモードでは、アドレスは DMSAR と DMDAR の初期値から更新されません。ブロックサイズ (DMCRA) が 1 より大きい場合、1 つの要求に対して同じデータが複数回転送されます。

図 15.14 に固定アドレスモードにおけるアドレス更新を示します。

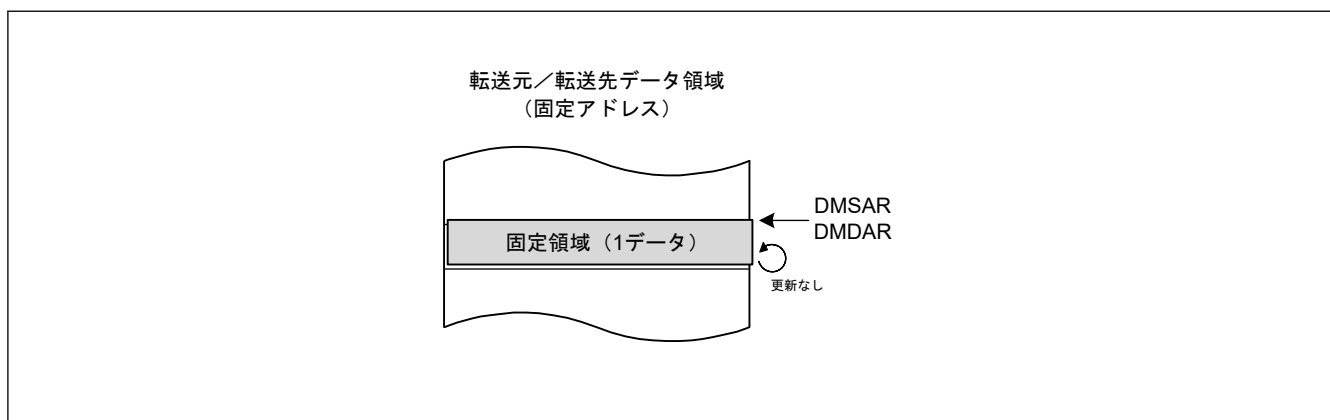


図 15.14 固定アドレスモードにおけるアドレス更新

15.3.5.2 インクリメントアドレスモードとデクリメントアドレスモード

DMAMD.SM[1:0]ビットが 10b の場合、転送元のアドレス更新モードはインクリメントアドレスモードです。

DMAMD.DM[1:0]ビットが 10b の場合、転送先のアドレス更新モードはインクリメントアドレスモードです。

DMAMD.SM[1:0]ビットが 11b の場合、転送元のアドレス更新モードはデクリメントアドレスモードです。

DMAMD.DM[1:0]ビットが 11b の場合、転送先のアドレス更新モードはデクリメントアドレスモードです。

これらの更新モードでは、DMTMD.SZ[1:0]ビットの設定に従って、アドレスはインクリメントまたはデクリメントされます。

これらの更新モードでは、DMSBS と DMDBS はリロード領域を示します。DMSBS と DMDBS の単位はデータ数です。転送開始時に DMSBSL と DMDBSL (DMSBS と DMDBS の下位 16 ビット) はダウンカウンタとして動作し、1 つのデータが転送されるごとにデクリメントします。値が 1 になると、DMSAR と DMDAR は、DMSRR と DMDRR の値をリロードします。

図 15.15 にインクリメントアドレスモードにおけるアドレス更新を示します。

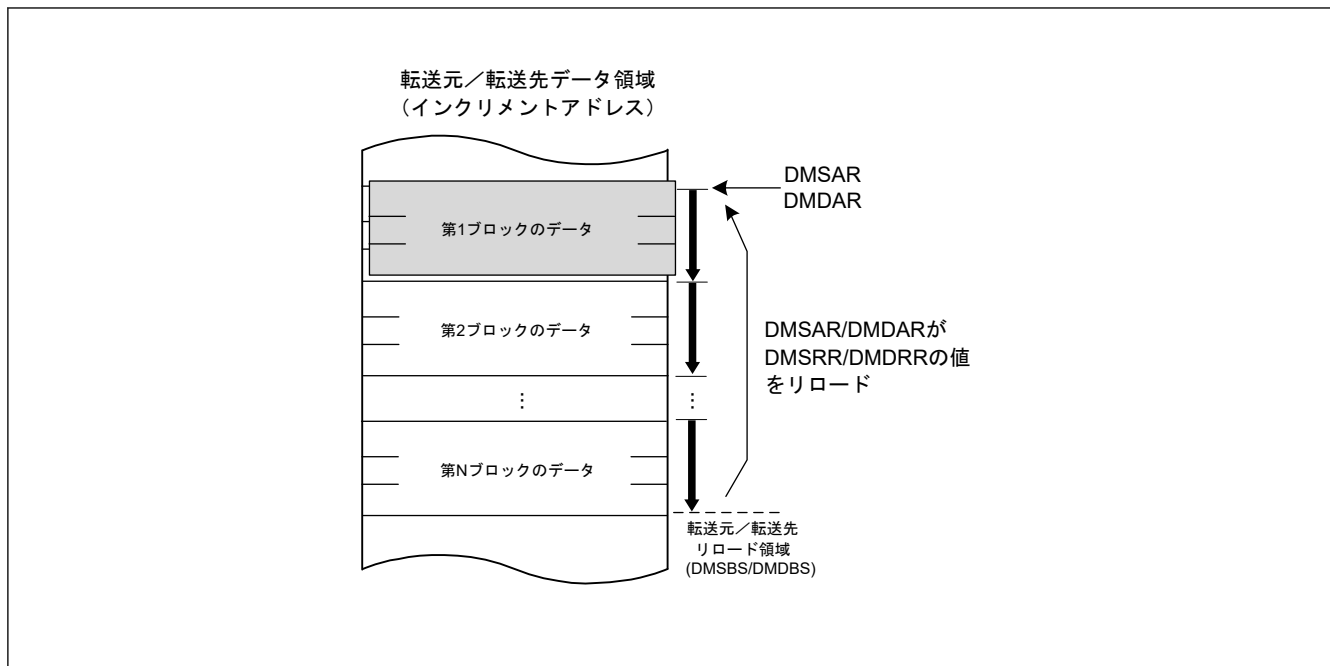


図 15.15 インクリメントアドレスモードにおけるアドレス更新

15.3.5.3 オフセット加算モード

DMAMD.SM[1:0]ビットが 01b の場合、転送元のアドレス更新モードはオフセット加算モードです。
DMAMD.DM[1:0]ビットが 01b の場合、転送先のアドレス更新モードはオフセット加算モードです。

オフセット加算モードでは、DMSBS と DMDBS はリロード領域を示し、アクセスオフセット値としても機能します。他の転送モードとは異なり、DMOFR レジスタはリピートブロック転送モードでは、使用されません。オフセット加算モードでは、DMSBS と DMDBS の単位はブロック数です。転送開始時に DMCRAL はダウンカウンタとして動作し、1つのブロックが転送されるごとに DMSAR と DMDAR は、DMSRR と DMDRR の値をリロードします。さらに、DMSBSL と DMDBSL (DMSBS と DMDBS の下位 16 ビット) はダウンカウンタとしても動作し、1つのブロックが転送されるごとにデクリメントします。DMSBS と DMDBS の値が 1 になると、DMSAR と DMDAR は、DMSRR と DMDRR の値をリロードします。

DMAMD.SADR と DMAMD.DADR が 0 の場合、同じ領域のオフセット加算動作が繰り返されます。DMDAR は DMDRR をリロードするだけです。図 15.16 にオフセット加算モードにおけるアドレス更新 (DMAMD.SADR = 0 かつ DMAMD.DADR = 0 の場合) を示します。

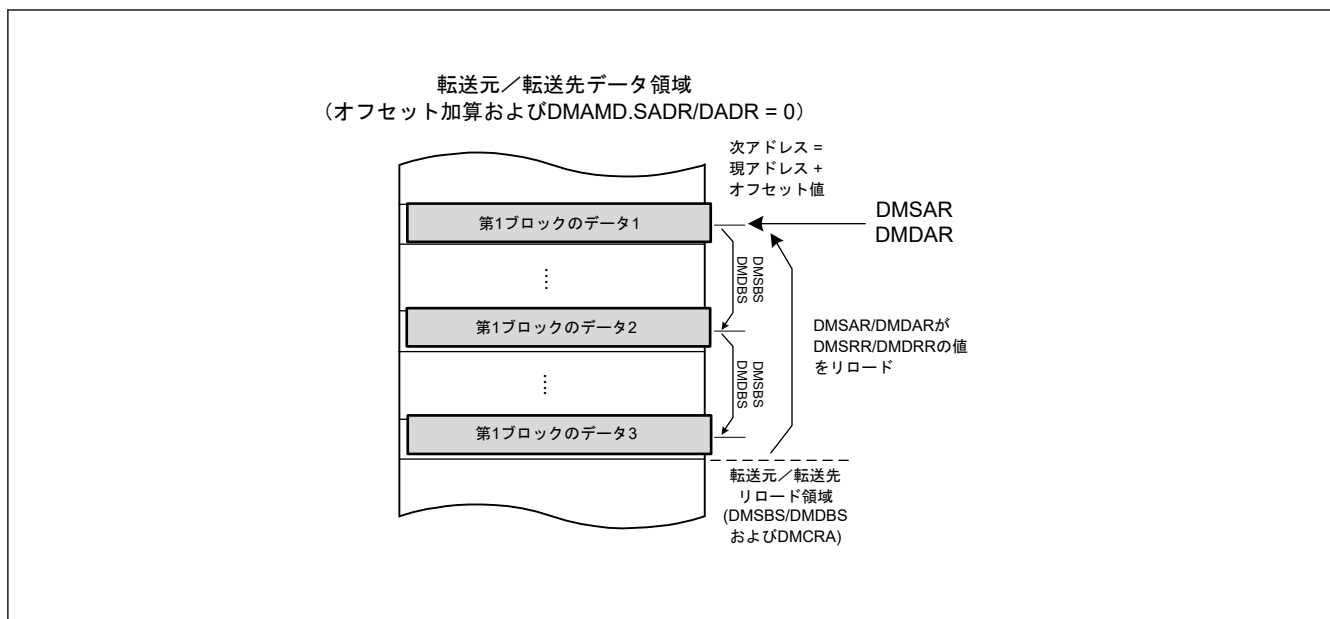


図 15.16 オフセット加算モードにおけるアドレス更新 (DMAMD.SADR = 0 かつ DMAMD.DADR = 0 の場合)

DMAMD.SADR ビットと DMAMD.DADR ビットが 1 の場合、DMSRR と DMDRR が DMCRA = 1 によりリロードされた後に、アドレスは 1 データ単位でインクリメントされます。言い換えると、DMDRR のリロード後にインデックス値 $((\text{DMDBSH} - \text{DMDBSL}) \times \text{データサイズ})$ が DMDAR に加算されます。この動作はマルチリングバッファを実装するのに使用されます。図 15.17 にオフセット加算モードにおけるアドレス更新 (DMAMD.SADR = 1 かつ DMAMD.DADR = 1 の場合) を示します。

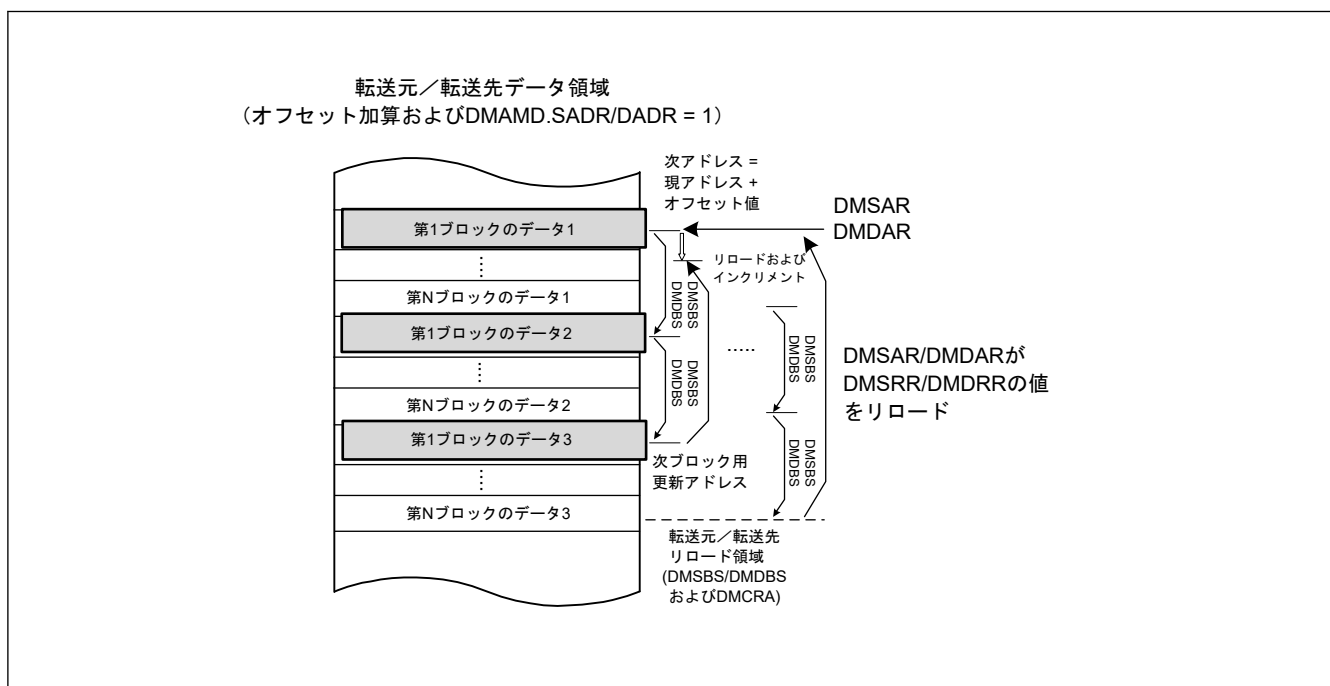


図 15.17 オフセット加算モードにおけるアドレス更新 (DMAMD.SADR = 1 かつ DMAMD.DADR = 1 の場合)

15.3.6 リピートブロック転送モードの使用例

リピートブロック転送モードでは、前述のアドレス更新モードを組み合わせることにより、インターバルデータやシングルリングバッファまたはマルチリングバッファへのリピートアクセスが可能です。以下の節では、いくつかの使用例を示します。

15.3.6.1 インターバルアドレスからシングルリングバッファへ

図 15.18 に、ADC12 モジュールのインターバル ADDR_n レジスタ（データレジスタ）の読み出しおよびシングルリングバッファへの格納の例を示します。1 要求につき、4 ハーフワードごとに 2 データの転送を行います。DMSAR は 1 要求ごとに 1 データ、インクリメントされます。転送要因をオフセット加算および DMAMD.SADR = 1 に、ブロックサイズ (DMCRA) を 2 に、転送元オフセット (DMSBS) を 4 に設定することで、これが可能になります。表 15.15 にこの設定例を示します。

表 15.15 インターバルアドレスからシングルリングバッファへの設定

レジスタ	値	説明
DMSAR, DMSRR	0x4017_0020	初期転送元アドレス
DMDAR, DMDRR	0x2000_0000	初期転送先アドレス
DMTMD.SZ[1:0]	01b	データサイズ：ハーフワード
DMAMD.SADR	1	リロード後のインクリメンタル転送元アドレス
DMAMD.SM[1:0]	01b	転送元の更新モード：オフセット加算
DMAMD.DM[1:0]	10b	転送先の更新モード：インクリメンタルアドレス
DMCRAH, DMCRA	2	転送ブロックサイズ
DMSBSH, DMSBSL	4	転送元の全バッファサイズ（単位はブロック）および転送元のアクセスオフセット（単位はデータ）
DMDBSH, DMDBSL	N × 2 (DMCRA)	転送先のバッファサイズ（単位はデータ）

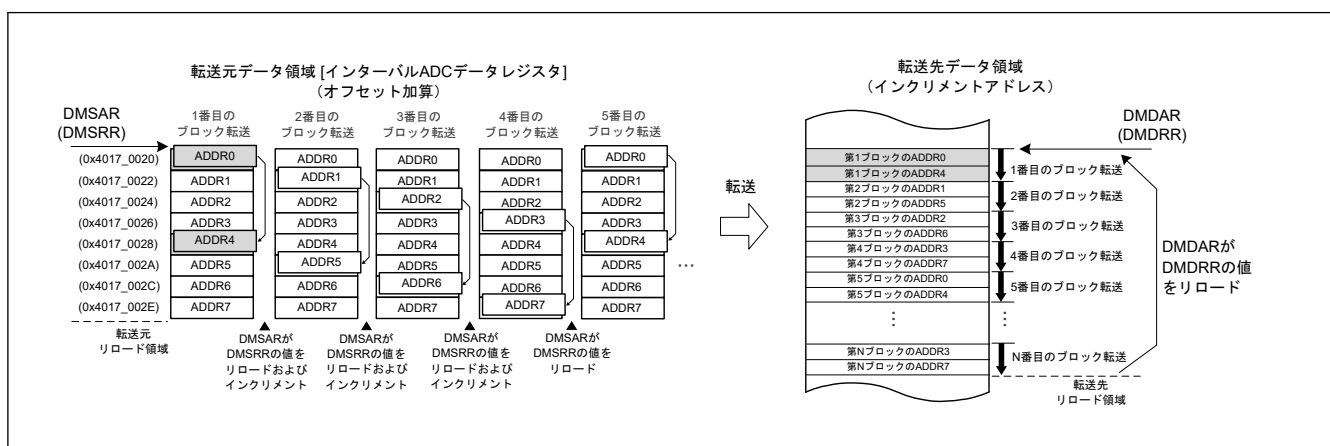


図 15.18 インターバルアドレスからシングルリングバッファへの使用例

15.3.6.2 アラインされていないリングバッファからシングルリングバッファへ

図 15.19 は、ADC12 モジュール（変換結果ストレージリングバッファ）の ADBUF_n レジスタのインクリメンタルな読み出しおよびシングルリングバッファへの格納の例を示します。この例では、ADBUFn レジスタが 4 番目のスキャンでオーバーフローすることによりラッピングが発生しますが、DMAC の転送元アドレスもそれに応じて更新されます。これは転送元をインクリメンタルアドレスに設定し、DMSBS レジスタのビット長を ADBUF_n レジスタと同じ 16 ビットに設定することにより、実現可能です。これにより、割り込みを使用した CPU 処理を実行せずに、転送を継続することが可能です。表 15.16 に設定例を示します。

表 15.16 設定例：アラインされていないリングバッファからシングルリングバッファへ (1/2)

レジスタ	値	内容
DMSAR, DMSRR	0x4017_00B0	初期転送元アドレス
DMDAR, DMDRR	0x2000_0000	初期転送先アドレス
DMTMD.SZ[1:0]	01b	データサイズ：ハーフワード

表 15.16 設定例：アラインされていないリングバッファからシングルリングバッファへ (2/2)

レジスタ	値	内容
DMAMD.SM[1:0]	10b	転送元更新モード：インクリメントアドレス
DMAMD.DM[1:0]	10b	転送先更新モード：インクリメントアドレス
DMCRAH, DMCRAI	5	転送ブロックサイズ
DMSBSH, DMSBSL	16	転送元バッファサイズ（単位は"データ"）
DMDBSH, DMDBSL	N × 5 (DMCRA)	転送先バッファサイズ（単位は"データ"）

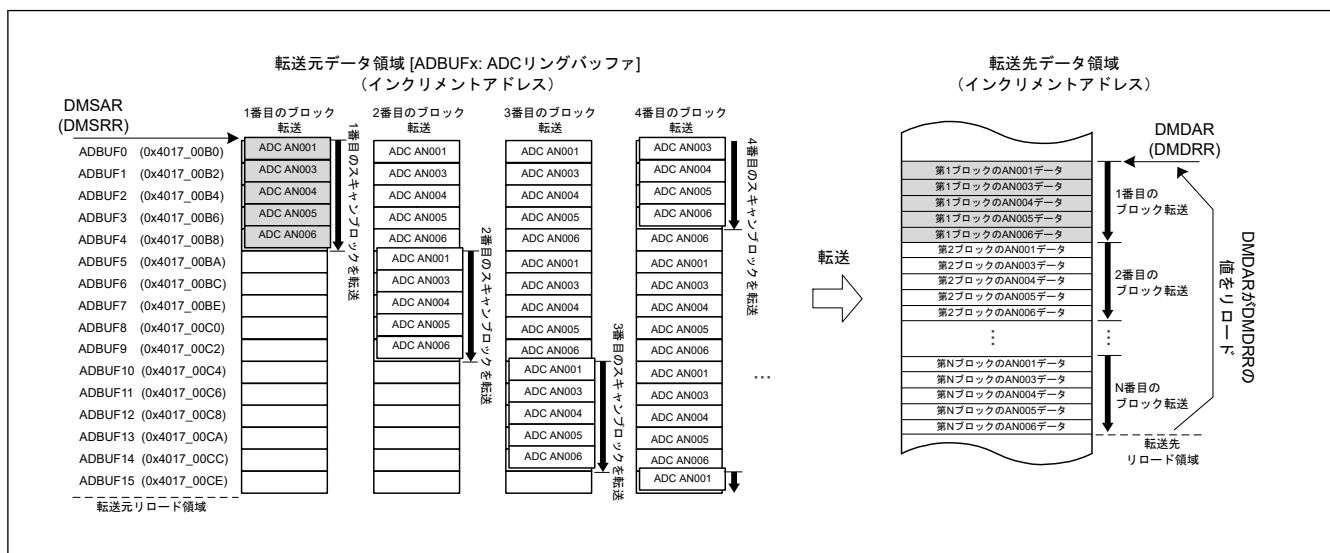


図 15.19 使用例：アラインされていないリングバッファからシングルリングバッファへ

15.3.6.3 シングルブロックからマルチリングバッファへ

図 15.20 に、ADC12 モジュールの連続 ADDRn レジスタ（データレジスタ）の値をマルチリングバッファに個々に格納する例を示します。この例では、シングルブロックの最初の要素 (ADDR0) のみが転送順序に従い配置されるリングバッファが転送先で生成されます。また、次の領域では、2 番目の要素 (ADDR1) のみが転送順序に従い配置されるリングバッファが転送先で生成されます。以下の場合では、長さ N のリングバッファが生成され、DMDBS により定義されます。ブロック内のデータ要素数は 3 であり、これは DMCRA により定義されます。表 15.17 に設定例を示します。

表 15.17 設定例：シングルブロックからマルチリングバッファへ

レジスタ	値	内容
DMSAR, DMSRR	0x4017_0020	初期転送元アドレス
DMDAR, DMDRR	0x2000_0000	初期転送先アドレス
DMTMD.SZ[1:0]	01b	データサイズ：ハーフワード
DMAMD.DADR	1	リロード後のインクリメント転送先アドレス
DMAMD.SM[1:0]	10b	転送元更新モード：インクリメントアドレス
DMAMD.DM[1:0]	01b	転送先更新モード：インクリメントアドレス
DMCRAH, DMCRAI	3	転送ブロックサイズ
DMSBSH, DMSBSL	3	転送元バッファサイズ（単位は"データ"）
DMDBSH, DMDBSL	N	転送先全バッファサイズ（単位は"ブロック"）および転送先アクセスオフセット（単位は"データ"）

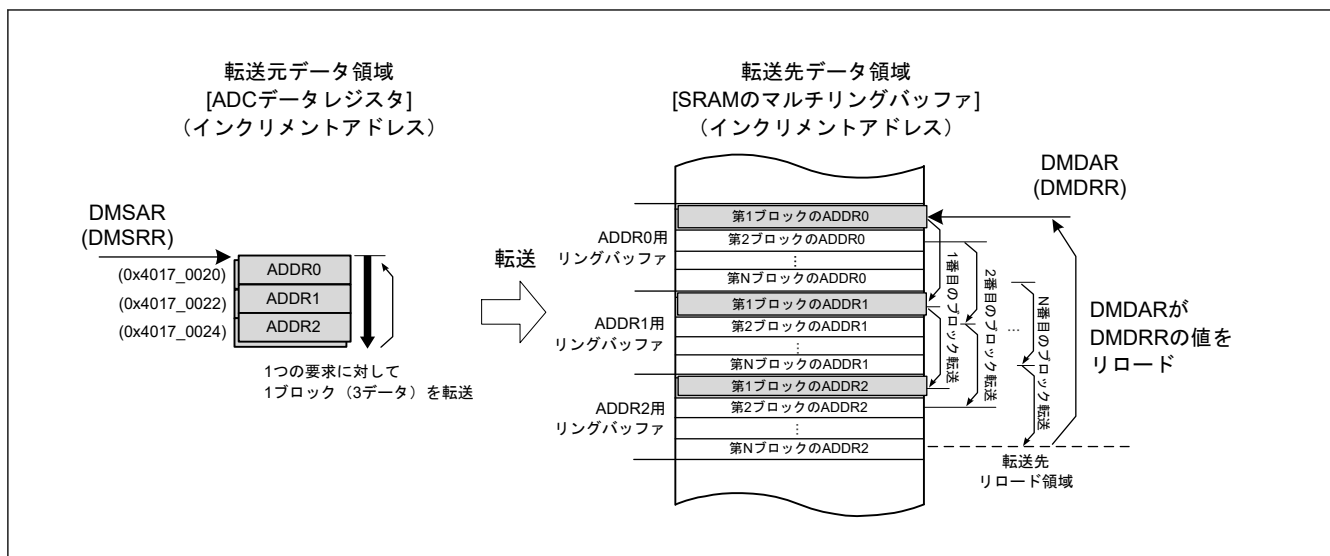


図 15.20 シングルブロックからマルチリングバッファへの使用例

15.3.7 起動要因

ソフトウェア、周辺モジュールからの割り込み要求、および外部割り込み要求は、すべて DMAC 起動要因として指定可能です。起動要因を選択するには、DMTMD.DCTG[1:0]ビットを設定します。

15.3.7.1 ソフトウェアによる DMAC 起動

ソフトウェアによって DMA 転送を開始する場合、以下の手順に従ってください。

1. DMTMD.DCTG[1:0]ビットを 00b にする。
2. DMCNT.DTE ビットを 1 (DMA 転送許可) にする。
3. DMAST.DMST ビットを 1 (DMAC 起動許可) にする。
4. DMREQ.SWREQ ビットを 1 (DMA 転送要求あり) にする。

DMREQ.CLRS ビットが 0 の状態でソフトウェアによる DMAC 起動を行った場合、DMA 転送要求に対する転送が開始されると DMREQ.SWREQ ビットが 0 になります。

DMREQ.CLRS ビットが 1 の状態でソフトウェアによる DMAC 起動を行った場合は、転送を開始しても DMREQ.SWREQ ビットは 0 になりません。要求に対する転送終了後、再び DMA 転送要求が発生します。

15.3.7.2 内蔵周辺モジュール／外部割り込み要求による DMAC 起動

内蔵周辺モジュールからの割り込み要求と外部割り込み要求を、DMAC 起動要因に指定することができます。起動要因は、ICU.DELSRn.DELS[8:0]ビット (n=0~7) でチャンネルごとに個別に選択できます。

内蔵周辺モジュールからの割り込み要求または外部割り込み要求によって DMA 転送を開始する場合、以下の手順に従います。

1. ICU.DELSRn.DELS[8:0]ビット (n=0~7) にイベント番号を設定する (DMAC イベントリンクを選択する)。
2. DMTMD.DCTG[1:0]ビットを 01b (周辺モジュールまたは外部割り込み端子からの割り込み) にする。
3. DMCNT.DTE ビットを 1 (DMA 転送許可) にする。
4. DMAST.DMST ビットを 1 (DMAC 起動許可) にする。

DMAC の起動要因となる割り込み要求については、「12. 割り込みコントローラユニット (ICU)」の表 12.3 を参照してください。

15.3.8 動作タイミング

以下に示すタイミング図は、最小実行サイクル数を示しています。

図 15.21 と図 15.22 に動作タイミングを示します。

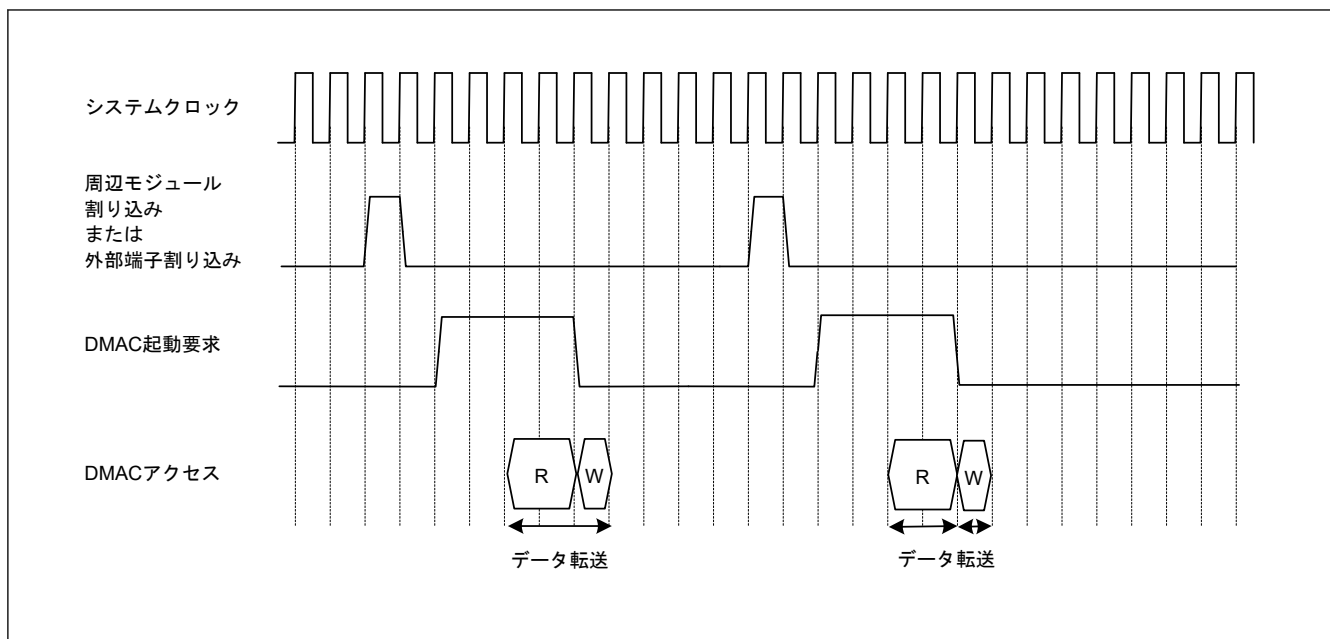


図 15.21 DMAC 動作タイミング例 (1) (周辺モジュール／外部割り込み入力端子からの割り込みによる DMAC 起動、ノーマル転送モード、リピート転送モードの場合)

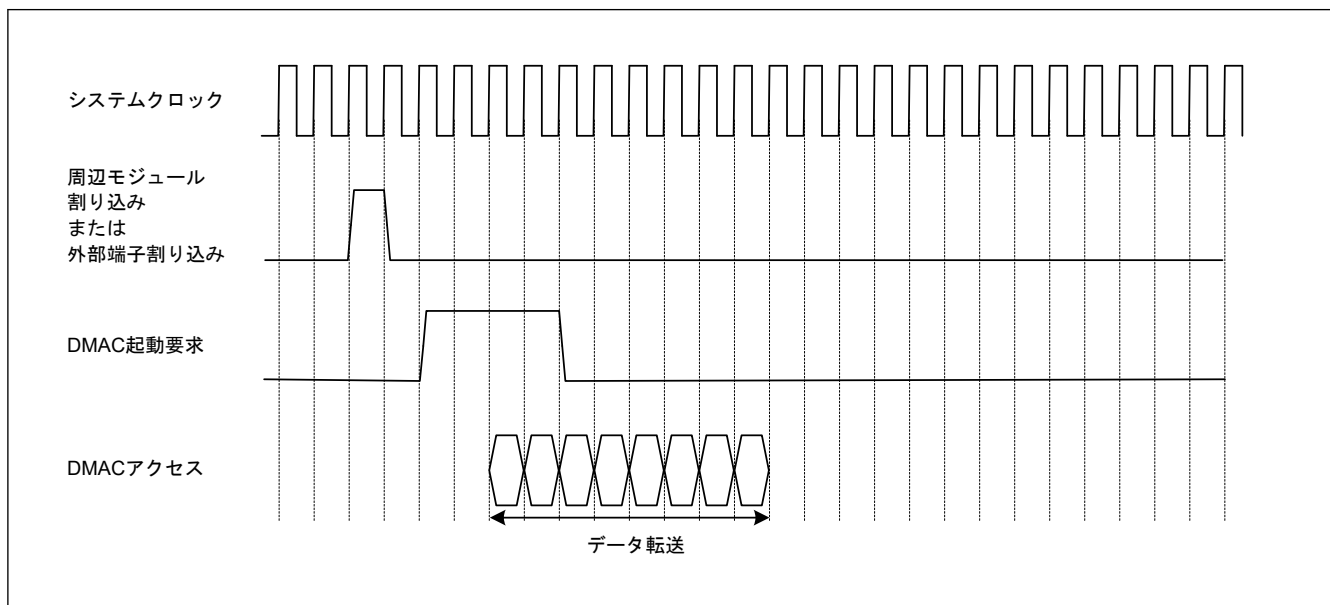


図 15.22 DMAC 動作タイミング例 (2) (周辺モジュール／外部割り込み入力端子からの割り込みによる DMAC 起動、ブロック転送モード、ブロックサイズ = 4 の場合)

15.3.9 DMAC の実行サイクル

表 15.18 に、1 回の DMAC データ転送動作における実行サイクルを示します。

表 15.18 DMAC の実行サイクル

転送モード	データ転送 (読み出し)	データ転送 (書き込み)
ノーマル	$Cr+1$	Cw
リピート	$Cr+1$	Cw
ブロック(注1)	$P \times Cr$	$P \times Cw$

注. P: ブロックサイズ (DMCRAH レジスタの設定値)
 Cr: データリード先アクセスサイクル
 Cw: データライト先アクセスサイクル

注 1. ブロックサイズが 2 以上の場合です。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

Cr と Cw はアクセス先で異なります。各アクセス先に対するサイクル数については、「38. SRAM」、「39. フラッシュメモリ」、および「13. バス」を参照してください。システムクロックと周辺クロックの周波数比も考慮されています。

データ転送（読み出し）列の「+1」の単位は、システムクロック (ICLK) の 1 サイクルです。動作例については、「15.3.8. 動作タイミング」を参照してください。

15.3.10 DMAC の起動

表 15.19 にノーマル転送モード、リピート転送モード、およびブロック転送モードにおけるレジスタの設定手順を示します。また、表 15.20 にリピートブロック転送モードにおけるレジスタの設定手順を示します。

表 15.19 ノーマル転送モード、リピート転送モード、およびブロック転送モードにおけるレジスタの設定手順 (1/2)

No.	手順名	説明
1	DMACn 要求要因となる周辺機能を禁止に設定する。	DMAC 起動要因として周辺機能割り込みを使用する場合 周辺機能のコントロールレジスタを禁止に設定する
2	DMACn 要求要因となる IRQn 端子を禁止に設定する。	DMAC 起動要因として外部端子割り込みを使用する場合
3	DMACn イベントリンク選択 (ICU.DELSRn.DELS[8:0]) ビットを 0x000 に設定する。	DMACn 要求を禁止に設定する。
4	DMCNT.DTE ビットを 0 にクリアする。	DMA 転送を禁止に設定する
5	ICU にて、DMACn 要求要因となる割り込み要求を DMAC イベントリンク設定レジスタ (ICU.DELSRn) に設定する。	DMAC 起動要因として周辺モジュール割り込みまたは外部端子割り込みを使用する場合 起動要因の割り込みビットを許可する。DMACn の起動要因を設定する。
6	DMACn 要求要因となる周辺モジュールを設定する。	DMAC 起動要因として周辺モジュール割り込みを使用する場合 周辺機能の制御レジスタを設定するが、開始させない
7	割り込みコントローラユニット (ICU) にて IRQn 端子機能を設定する	DMAC 起動要因として外部端子割り込みを使用する場合 割り込みコントローラユニット (ICU) にて IRQn 端子機能を設定する
8	DMAMD.DM[1:0] ビットを設定する。 DMAMD.SM[1:0] ビットを設定する。 DMAMD.DARA[4:0] ビットを設定する。 DMAMD.SARA[4:0] ビットを設定する。	転送先アドレス更新モードビットを設定する。 転送元アドレス更新モードビットを設定する。 転送先アドレス拡張リピータ領域ビットを設定する。 転送元アドレス拡張リピータ領域ビットを設定する。
9	DMTMD.DCTG[1:0] ビットを設定する。 DMTMD.SZ[1:0] ビットを設定する。 DMTMD.DTS[1:0] ビットを設定する。 DMTMD.MD[1:0] ビットを設定する。 DMTMD.TKP ビットを設定する。	転送要求選択ビットを設定する。 データ転送サイズビットを設定する。 リピート領域選択ビットを設定する。 転送モード選択ビットを設定する。 転送保持選択ビットを設定する。
10	DMSAR レジスタを設定。 DMDAR レジスタを設定。 DMCRA レジスタを設定。	転送元の開始アドレスを設定する 転送先の開始アドレスを設定する 転送回数を設定する
11	DMCRB レジスタを設定。	ブロック転送モードまたはリピート転送モードの場合 ブロック転送回数を設定する
12	DMOFR レジスタを設定。	オフセットを使ったアドレス更新機能を使用する場合 オフセット値を設定する
13	DMINT.DTIE ビットを 1 に設定する。	DMA 転送終了割り込みを使用する場合 DMACn 転送終了割り込みを許可する。
14	DMINT.RPTIE ビットを設定する。 DMINT.SARIE ビットを設定する。 DMINT.DARIE ビットを設定する。 DMINT.ESIE ビットを 1 に設定する。	DMA 転送エスケープ割り込みを使用する場合 リピートサイズ終了割り込み許可設定をする 転送元アドレス拡張リピータ領域オーバーフロー割り込み許可設定をする 転送先アドレス拡張リピータ領域オーバーフロー割り込み許可設定をする DMA 転送エスケープ終了割り込みを許可する
15	DMCNT.DTE ビットを 1 に設定する。	DMA 転送を許可する
16	DMAST.DMST ビットを 1 に設定する。	DMAC 動作を許可する(注1) DMAC 共通設定

表 15.19 ノーマル転送モード、リピート転送モード、およびブロック転送モードにおけるレジスタの設定手順 (2/2)

No.	手順名	説明
17	DMACn 要求要因となる周辺機能を開始する。	DMAC 起動要因として周辺機能割り込みを使用する場合
18	DMACn 要求要因となる IRQn 端子を許可する。	DMAC 起動要因として外部端子割り込みを使用する場合
19	初期設定終了	ソフトウェアでの起動 初期設定完了後、DMA ソフトウェア起動ビット (DMREQ.SWREQ) に 1 を書き込むと DMA 転送が開始する

注. n : DMAC チャンネル (n = 0~7)

注 1. DMAST.DMST ビットの設定は、各起動要因に対する必要な設定の後である必要はありません。

表 15.20 リピートブロック転送モードにおけるレジスタの設定手順

No.	ステップ名	説明
1	DMACn 要求要因となる周辺機能を禁止に設定する。	DMAC 起動要因として周辺機能割り込みを使用する場合 周辺機能のコントロールレジスタを禁止に設定する
2	DMACn 要求要因となる IRQ 端子を禁止に設定する。	DMAC 起動要因として外部端子割り込みを使用する場合
3	DMACn イベントリンク選択 (ICU.DELSRn.DELS[8:0]) ビットを 0x000 に設定する。	DMACn 要求を禁止に設定する。
4	DMCNT.DTE ビットを 0 にクリアする。	DMACn 転送を禁止に設定する。
5	ICU にて、DMACn 要求要因となる割り込み要求を DMACn イベントリンク設定レジスタ (ICU.DELSRn) に設定する。	DMAC 起動要因として周辺モジュール割り込みまたは外部端子割り込みを使用する場合 起動要因の割り込みビットを許可する DMACn の起動要因を設定する。
6	DMACn 要求要因となる周辺モジュールを設定する。	DMAC 起動要因として周辺モジュール割り込みを使用する場合 周辺機能の制御レジスタを設定するが、開始させない
7	割り込みコントローラユニット (ICU) にて IRQn 端子機能を設定する	DMAC 起動要因として外部端子割り込みを使用する場合 割り込みコントローラユニット (ICU) にて IRQn 端子機能を設定する
8	DMAMD.DM[1:0] ビットを設定する。 DMAMD.SM[1:0] ビットを設定する。 DMAMD.DADR ビットを設定する。 DMAMD.SADR ビットを設定する。	転送先アドレス更新モードビットを設定する。 転送元アドレス更新モードビットを設定する。 リロード後転送先アドレス更新選択ビットを設定する。 リロード後転送元アドレス更新選択ビットを設定する。
9	DMTMD.DCTG[1:0] ビットを設定する。 DMTMD.SZ[1:0] ビットを設定する。 DMTMD.DTS[1:0] ビットを設定する。 DMTMD.MD[1:0] ビットを設定する。 DMTMD.TKP ビットを設定する。	転送要求選択ビットを設定する。 データ転送サイズビットを設定する。 リピート領域選択ビットを設定する。 転送モードをリピートブロック転送モードに設定する。 転送保持選択ビットを設定する。
10	DMSAR レジスタを設定。 DMDAR レジスタを設定。 DMSRR レジスタを設定。 DMDRR レジスタを設定。 DMCRA レジスタを設定。 DMCRB レジスタを設定。	転送元の開始アドレスを設定する。 転送先の開始アドレスを設定する。 転送元の開始アドレスの初期値を設定する。 転送先の開始アドレスの初期値を設定する。 転送回数を設定する。 ブロック転送回数を設定する。
11	DMSBS レジスタを設定。 DMDBS レジスタを設定。	インクリメント、デクリメント、またはオフセットを使ったアドレス更新機能を使用する場合。 転送元バッファサイズとアクセスオフセットを設定する。 転送先バッファサイズとアクセスオフセットを設定する。
12	DMINT.DTIE ビットを 1 に設定する。	DMA 転送終了割り込みを使用する場合 DMACn 転送終了割り込みを許可する。
13	DMCNT.DTE ビットを 1 に設定する。	DMACn 転送を許可する。
14	DMAST.DMST ビットを 1 に設定する。	DMAC 動作を許可する(注1)
15	DMACn 要求要因となる周辺機能を開始する。	DMA 起動要因として周辺機能割り込みを使用する場合。
16	DMACn 要求要因となる IRQ 端子を許可する。	DMA 起動要因として外部端子割り込みを使用する場合。
17	初期設定終了	ソフトウェアでの起動 初期設定完了後、DMA ソフトウェア起動ビット (DMREQ.SWREQ) に 1 を書き込むと DMA 転送が開始する

注. n : DMAC チャンネル (n = 0~7)

注 1. DMAST.DMST ビットの設定は、各起動要因に対する必要な設定の後である必要はありません。

15.3.11 DMA 転送の開始

チャンネル *n* の DMA 転送を有効にするには、DMCNT.DTE ビットを 1 (DMA 転送許可) にして、DMAST.DMST ビットを 1 (DMAC 起動許可) にします。

他の DMAC チャンネルや DTC の転送中は、新たな起動要求は受け付けられません。先行する転送が終了した時点で最も優先順位の高いチャンネルの DMA 転送要求が選択され、そのチャンネルの DMA 転送が開始されます。DMA 転送が始まると、DMSTS.ACT フラグが 1 (DMAC 動作中) になります。

15.3.12 DMA 転送中のレジスタ

DMAC のレジスタは、DMA 転送処理によって値が更新されます。更新される値は、各種設定や転送の状態によって異なります。更新されるレジスタは、DMSAR、DMDAR、DMCRA、DMCRB、DMSBS、DMDBS、DMCNT、および DMSTS です。

DMA 転送元アドレスレジスタ (DMSAR)

1 転送要求に対するデータ転送が終了すると、DMSAR レジスタの内容は、次の転送要求でアクセスするアドレスに更新されます。

各転送モードにおけるレジスタの更新動作の詳細については、表 15.5～表 15.13 を参照してください。

DMA 転送先アドレスレジスタ (DMDAR)

1 転送要求に対するデータ転送が終了すると、DMDAR レジスタの内容は、次の転送要求でアクセスするアドレスに更新されます。

各転送モードにおけるレジスタの更新動作の詳細については、表 15.5～表 15.13 を参照してください。

DMA 転送カウントレジスタ (DMCRA)

1 転送要求に対するデータ転送が終了すると、カウンタ値が更新されます。更新動作は、選択した転送モードによって異なります。

各転送モードにおけるレジスタの更新動作の詳細については、表 15.5～表 15.13 を参照してください。

DMA ブロック転送カウントレジスタ (DMCRB)

1 転送要求に対するデータ転送が終了すると、カウンタ値が更新されます。更新動作は、選択した転送モードによって異なります。

各転送モードにおけるレジスタの更新動作の詳細については、表 15.5～表 15.13 を参照してください。

DMA 転送元バッファサイズレジスタ (DMSBS)

1 転送要求に対するデータ転送が終了すると、カウンタ値が更新されます。更新動作は、選択した転送モードによって異なります。

各転送モードにおけるレジスタの更新動作の詳細については、表 15.8～表 15.13 を参照してください。

DMA 転送先バッファサイズレジスタ (DMDBS)

1 転送要求に対するデータ転送が終了すると、カウンタ値が更新されます。更新動作は、選択した転送モードによって異なります。

各転送モードにおけるレジスタの更新動作の詳細については、表 15.8～表 15.13 を参照してください。

DMA 転送許可ビット (DMCNT.DTE)

DMCNT.DTE ビットは、レジスタを書くことによってデータ転送の許可／禁止を制御します。DMA 転送の状態に応じて自動的に DMAC によって 0 にクリアされます。

DMAC がこのビットをクリアする条件は、以下のとおりです。

- 設定された総転送データ数の転送が終了したとき
- リピートサイズ終了割り込みによって DMA 転送が停止したとき
- 拡張リピート領域オーバーフロー割り込みによって DMA 転送が停止したとき

- DMA 転送エラーが発生したとき

対応する DMCNT.DTE ビットが 1 になっているチャンネルのレジスタへは書き込まないでください (DMCNT レジスタを除く)。このビットを 0 にした後のみ、書き込みが可能になります。

DMA アクティブフラグ (DMSTS.ACT)

DMSTS.ACT フラグは、DMACn がアイドル状態であるか、または動作中であることを示します。

このフラグは DMAC がデータ転送を開始すると 1 になり、1 転送要求に対するデータ転送が終了すると 0 になります。

DMA 転送中に DMCNT.DTE ビットに 0 を書いて DMA 転送を停止させた場合でも、このフラグは DMA 転送が終了するまで 1 を保持します。

転送終了割り込みフラグ (DMSTS.DTIF)

総転送サイズ分の DMA 転送が終了すると、DMSTS.DTIF フラグは 1 になります。

このフラグと DMINT.DTIE ビットがともに 1 の場合、転送終了割り込み要求が発生します。

このフラグが 1 になるタイミングは、DMA 転送のバスサイクルが終了し、DMSTS.ACT フラグが 0 になって DMA 転送終了を示したときです。

割り込み処理中に DMCNT.DTE ビットを 1 にした場合、このフラグは自動的に 0 にクリアされます。

転送エスケープ終了割り込みフラグ (DMSTS.ESIF)

リピートサイズ終了割り込み要求、または拡張リピート領域オーバーフロー割り込み要求が発生したとき、DMSTS.ESIF フラグは 1 になります。このフラグと DMINT.ESIE ビットがともに 1 の場合、転送エスケープ終了割り込み要求が発生します。

このフラグが 1 になるタイミングは、割り込み要求を発生させる要因になった DMA 転送のバスサイクルが終了し、DMSTS.ACT フラグが 0 になって DMA 転送終了を示したときです。

割り込み処理中に DMCNT.DTE ビットを 1 にした場合、このフラグは自動的に 0 にクリアされます。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。

詳細は、「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

15.3.13 チャンネル優先順位

DMAC は、複数の DMA 転送要求が発生したとき、DMA 転送要求のあるチャンネルの優先順位を判断します。

- チャンネル優先順位は、以下の順で固定です。チャンネル 0 > チャンネル 1 > チャンネル 2 > チャンネル 3... > チャンネル 7 (チャンネル 0 : 最高)

データ転送中に DMA 転送要求が発生した場合は、最終データの転送後にチャンネルアービトレーションを行い、最も優先順位の高いチャンネルの転送が開始されます。

15.3.14 チャンネルセキュリティ

DMACn の転送アクセスのセキュリティ属性、DMACn のレジスタへのアクセスのセキュリティ属性、および ICU.DELSRn レジスタへのアクセスのセキュリティ属性は、ICUSARC.SADMACn ビットにより制御されます。ICUSARC レジスタの詳細については、「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

ICUSARC.SADMACn ビットが 0 の場合、DMACn の転送は、読み出しおよび書き込みに対してセキュアアクセスです。同時に、チャンネル n のレジスタと DELSRn レジスタは、非セキュアアクセスから保護されます。

ICUSARC.SADMACn ビットが 1 の場合、DMACn の転送は、読み出しおよび書き込みに対して非セキュアアクセスです。同時に、チャンネル n のレジスタと DELSRn レジスタは、非セキュア属性です。

同じチャンネルの DMA 転送が許可されている、またはバスマスタが同じチャンネルの DMA レジスタに書き込んでいる間は、ICUSARC.SADMACn ビットに書き込まないでください。

[図 15.23](#) に各 DMAC チャンネルに関するセキュリティ属性を示します。

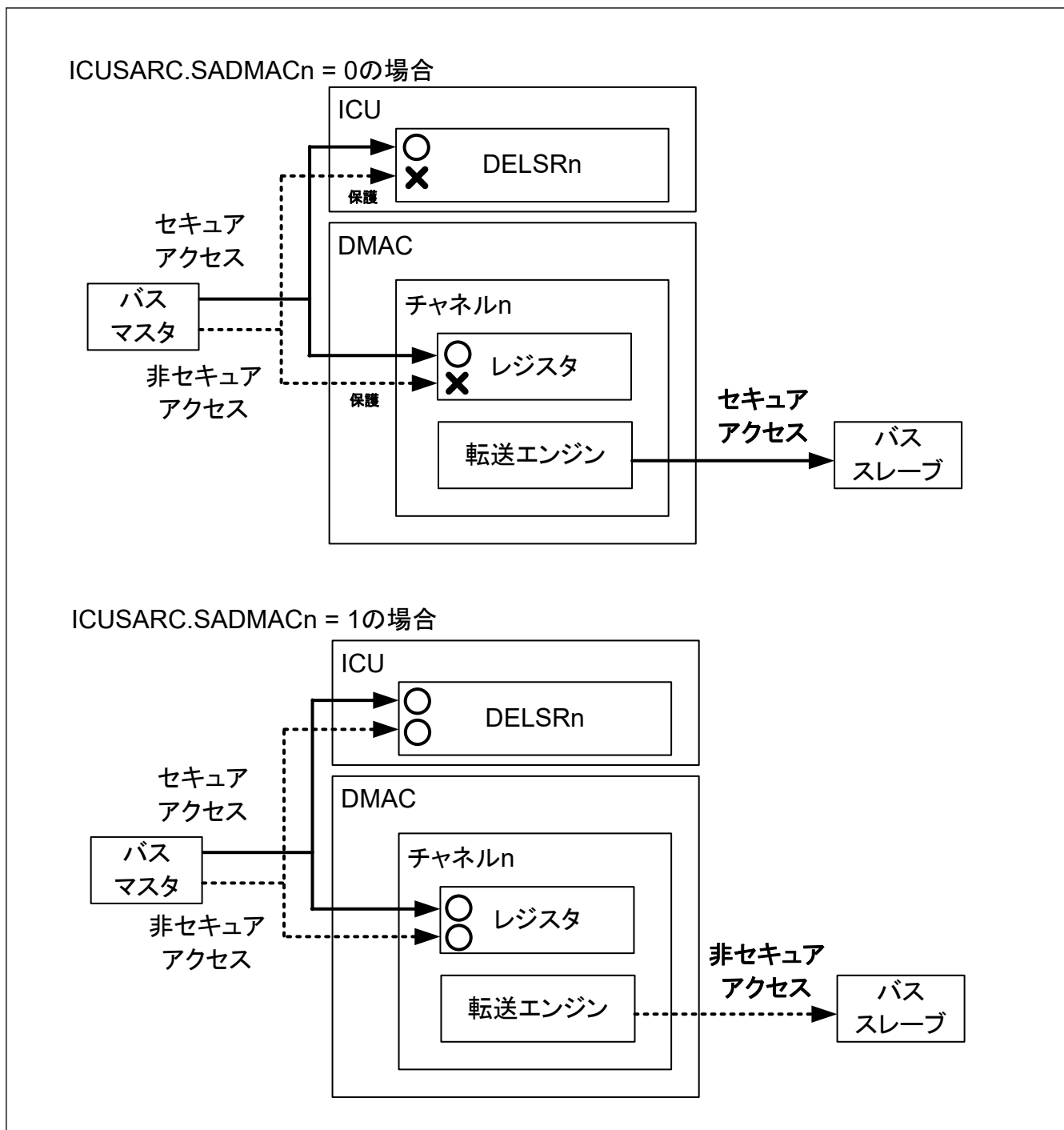


図 15.23 各 DMAC チャンネルに関するセキュリティ属性

15.3.15 DMAC のマスタ TrustZone フィルタ

DMAC には、マスタ TrustZone フィルタがあります。DMAC のマスタ TrustZone フィルタは、IDAU で定義するフラッシュ領域（コードフラッシュとデータフラッシュ）と SRAM 領域（ECC/パリティ RAM）のセキュリティ領域を検出できます。非セキュアチャンネルがこれらのアドレスにアクセスすると、セキュリティ違反を検出できます。セキュリティ違反のアクセスは実行されません。検出したエラーは、マスタ TrustZone フィルタエラーとして扱います。

15.4 DMA 転送の終了

DMA 転送の終了は、転送終了条件によって動作が異なります。DMA 転送が終了すると、DMCNT.DTE ビットと DMSTS.ACT フラグが 1 から 0 になります。

15.4.1 設定した総転送回数完了による転送終了

(1) ノーマル転送モード (DMTMD.MD[1:0] = 00b) の場合

DMCRAL ビットの値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMCNT.DTE ビットが 0 になり、同時に DMSTS.DTIF フラグが 1 になります。このとき DMINT.DTIE ビットが 1 であると、CPU または DTC へ転送終了割り込み要求が送信されます。

(2) リピート転送モード (DMTMD.MD[1:0] = 01b) の場合

DMCRBL ビットの値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMCNT.DTE ビットが 0 になり、DMSTS.DTIF フラグが 1 になります。このとき DMINT.DTIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

DMTMD.TKP ビットが 1 (フリーランニング機能) であると、DMSTS.DTIF ビットは 1 になりますが、DMCNT.DTE ビットは 0 になりません。

(3) ブロック転送モード (DMTMD.MD[1:0] = 10b) の場合

DMCRBL ビットの値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMCNT.DTE ビットが 0 になり、DMSTS.DTIF フラグが 1 になります。このとき DMINT.DTIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。

詳細は、「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

DMTMD.TKP ビットが 1 (フリーランニング機能) であると、DMSTS.DTIF ビットは 1 になりますが、DMCNT.DTE ビットは 0 になりません。

(4) リピートブロック転送モード (DMTMD.MD[1:0] = 11b) の場合

DMCRBL ビットの値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMCNT.DTE ビットが 0 になり、DMSTS.DTIF フラグが 1 になります。このとき DMINT.DTIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

DMTMD.TKP ビットが 1 (フリーランニング機能) であると、DMSTS.DTIF ビットは 1 になりますが、DMCNT.DTE ビットは 0 になりません。

15.4.2 リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、DMINT.RPTIE ビットが 1 であれば、1 リピートサイズ分の転送終了時にリピートサイズ終了割り込み要求が発生します。DMA 転送を終了させる割り込み要求が発生すると、DMTMD.TKP ビットが 1 の場合でも (フリーランニング機能)、DMCNT.DTE ビットが 0 になり、DMSTS.ESIF フラグが 1 になります。このとき DMINT.ESIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。転送を再開させるには、DMCNT.DTE ビットに 1 を書き込んでください。

ブロック転送モードにおいても、リピートサイズ終了割り込み要求を発生させることができます。1 ブロックサイズ分の転送終了時に、リピート転送モードと同様に割り込み要求が発生します。

リピートブロック転送モードにおいては、リピートサイズ終了割り込み要求を発生させることができません。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

15.4.3 拡張リピート領域オーバーフロー割り込みによる転送終了

拡張リピート領域が指定され、かつ DMINT.SARIE ビットまたは DMINT.DARIE ビットが 1 の場合に、DMTMD.TKP ビットが 1 の場合でも (フリーランニング機能)、拡張リピート領域がオーバーフローすると、拡張リピート領域オーバーフロー割り込み要求が発生します。割り込み要求が発生すると、DMA 転送が停止して、DMCNT.DTE ビットが 0 になり、DMSTS.ESIF フラグが 1 になります。このとき DMINT.ESIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

この割り込み要求がリードサイクル中に発生しても、以降のライトサイクルは実行されます。

ブロック転送モードでは、割り込み要求が 1 ブロックの転送中に発生しても、そのブロックの残りのデータが転送されるまで、転送は終了しません。

リピートブロック転送モードでは、拡張リピート領域オーバーフロー割り込み要求はできません。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

15.5 DMA 転送エラーの処理

DMA 転送エラーは、DMAC のマスタ TrustZone フィルタエラー、スレーブ TrustZone フィルタエラー、マスタ MPU エラー、スレーブバスエラー、または不正アクセスエラーによって発生します。DMA 転送中にアクセスエラーが発生すると、DMAC はエラーの発生したチャンネルの転送をただちに停止します。この時、対応するチャンネルの ICU 設定もクリアされます。エラーを引き起こしたチャンネル以外のチャンネルからのリクエストがあれば、そのまま再調停となります。

転送エラー発生時、エラー発生チャンネルの DMCNT.DTE は 0 になります。また、エラー応答は対応するチャンネルの ICU.DELSRn に伝えられます。各レジスタへのライトバックは実行されません。さらに、エラーが DMAC/DTC 転送により発生したことを通知するために、エラー応答検出割り込み要求 (DMA_TRANSERR) が発生します。

マスタ TrustZone フィルタエラー、スレーブ TrustZone エラー、またはマスタ MPU エラーが発生したとき、NMI を選択することで DMAC のエラー情報を確認できます。リセットを選択すると、DMAC エラーチャンネルレジスタはクリアされます。DMAC の転送エラーによって NMI が生成する条件では、2 つの割り込み (NMI と DMA_TRANSERR) を生成します。この場合、NMI は常に最初に応答します。

スレーブバスエラーまたは不正アクセスエラーが発生すると、エラー応答検出割り込み要求 (DMA_TRANSERR) が発生します。さらに、エラー応答検出割り込み要求 (DMA_TRANSERR) が NMI ハンドラでクリアされない場合、ノンマスカブル割り込み後にそれが発生します。

「[15.5.1. NMI ハンドラの処理](#)」に NMI ハンドラの DMAC のエラー情報を確認する方法を示します。

「[15.5.2. エラー応答検出割り込み要求 \(DMA_TRANSERR\) ハンドラの処理](#)」に DMA_TRANSERR ハンドラの DMAC のエラー情報を確認する方法を示します。

転送エラー起因の割り込みとエラー情報を「[15.6.2. 転送エラー割り込み](#)」に示します。

15.5.1 NMI ハンドラの処理

DMA 転送エラーに起因する NMI の原因は、マスタ TrustZone フィルタエラー、スレーブ TrustZone フィルタエラー、またはマスタ MPU エラーです。NMI が DMAC 転送エラーに起因して発生するとき、NMI ハンドラの終了後にエラー応答検出割り込み要求 (DMA_TRANSERR) が発生します。エラーの原因と、エラーの発生した DMAC チャンネルを確認できます。NMI が発生したときは、「[12. 割り込みコントローラユニット \(ICU\)](#)」で説明するフローに従って必要な処理を実行してください。

図 15.24 に DMAC のマスタ TrustZone フィルタエラーが発生したチャンネルを確認するフローを示します。

図 15.25 に DMAC のスレーブ TrustZone フィルタエラーが発生したチャンネルを確認するフローを示します。

図 15.26 に DMAC のマスタ MPU エラーが発生したチャンネルやセキュリティ属性を確認するフローを示します。

NMI ハンドラのすべての処理を終了すると、その後に発生するエラー応答検出割り込み要求 (DMA_TRANSERR) をクリアすることが可能です。

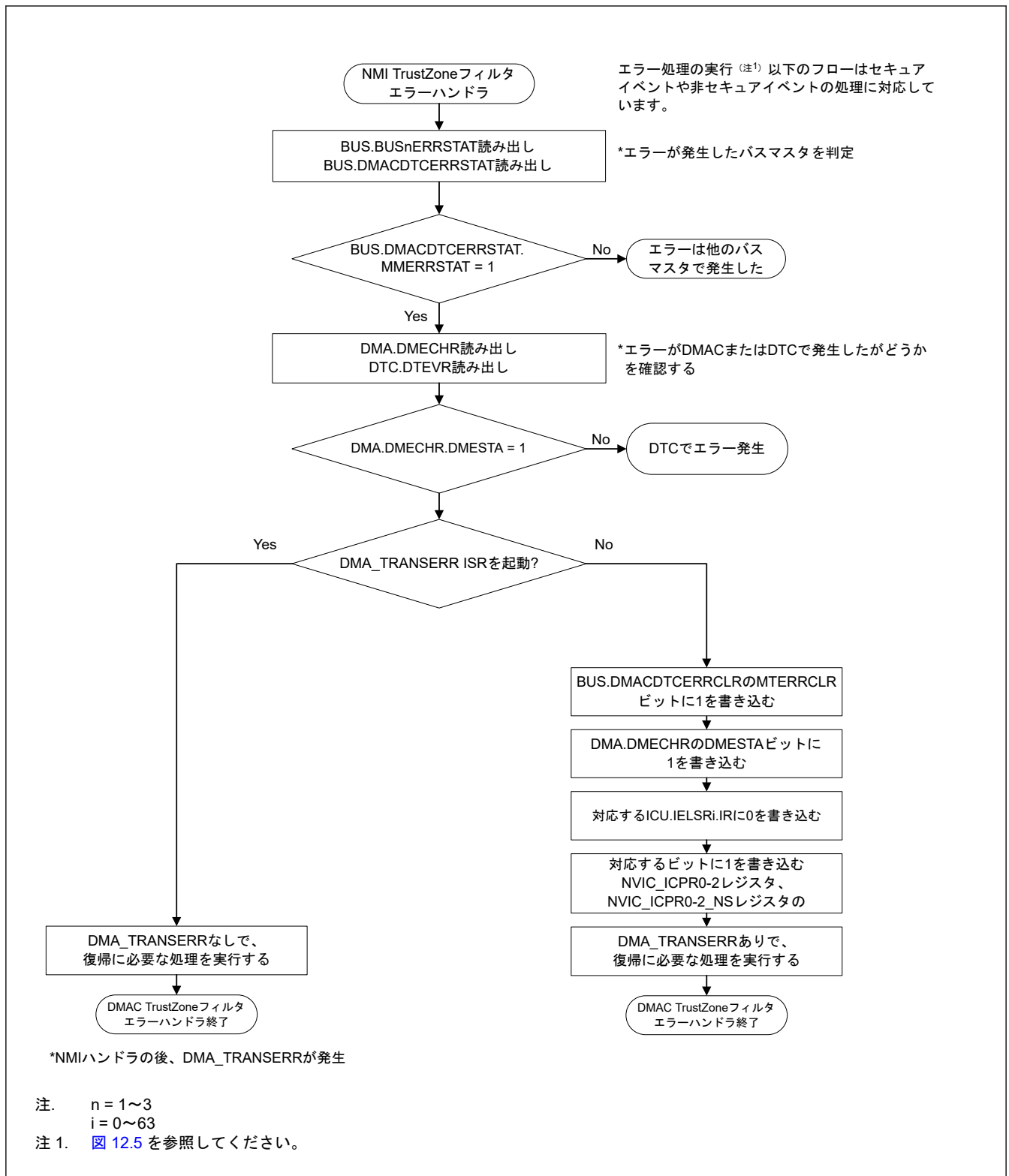


図 15.24 マスタ TrustZone フィルタエラーの NMI ハンドラにおける処理

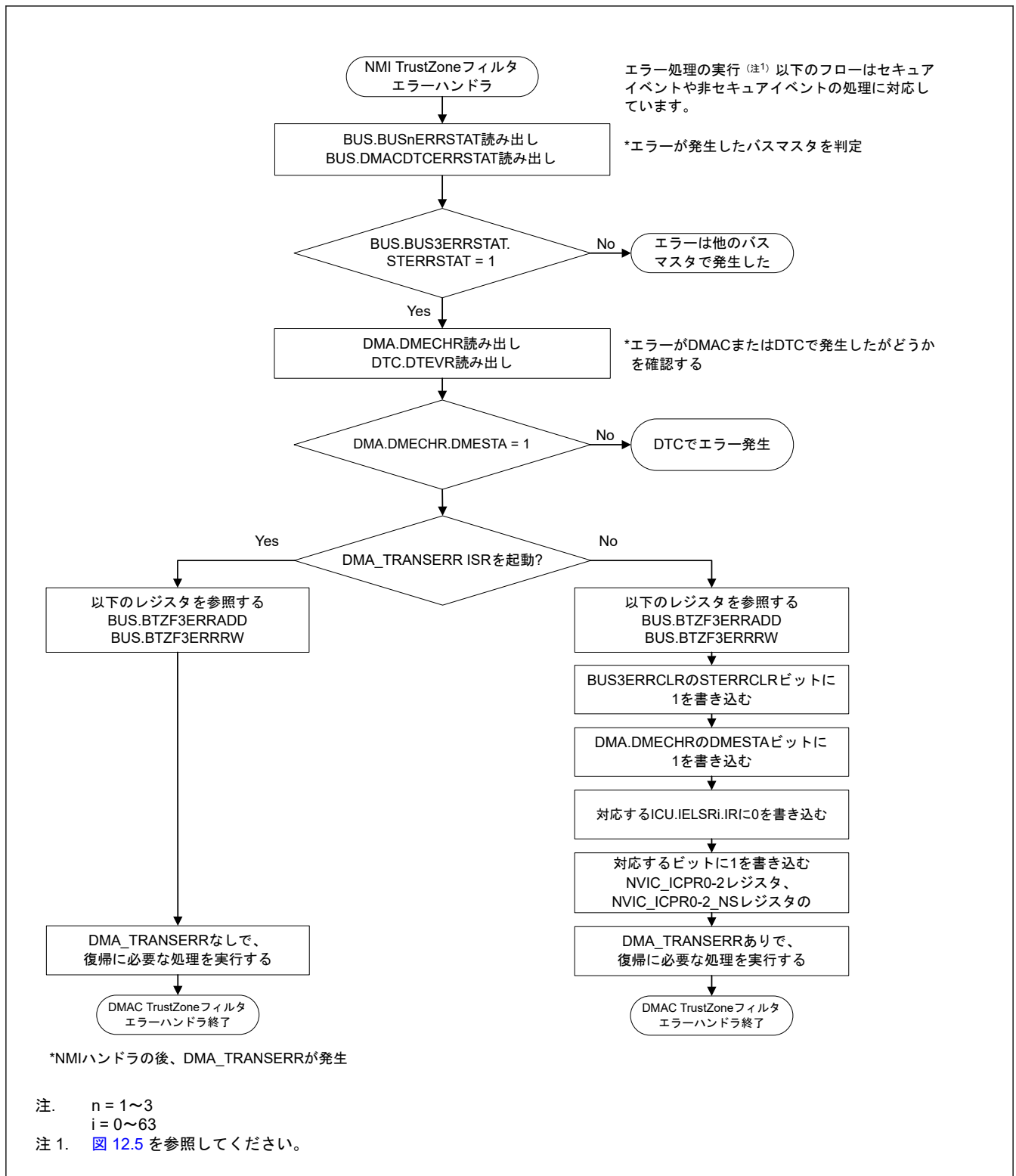


図 15.25 スレーブ TrustZone フィルタエラーの NMI ハンドラにおける処理

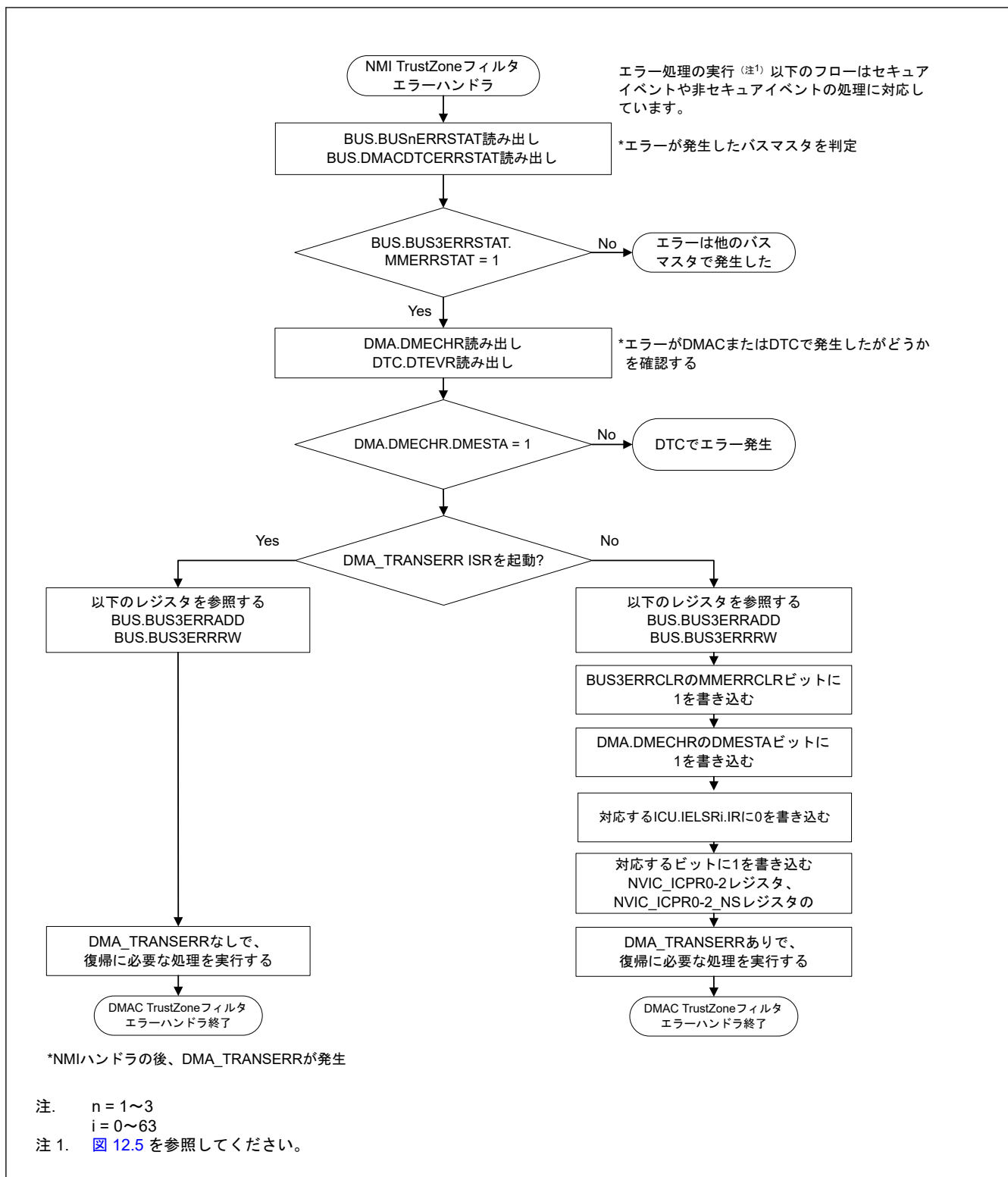


図 15.26 マスタ MPU エラーによる NMI ハンドラでの処理

15.5.2 エラー応答検出割り込み要求 (DMA_TRANSERR) ハンドラの処理

DMA 転送エラーに起因するエラー応答検出割り込み要求 (DMA_TRANSERR) の原因は、スレーブバスエラー、または不正アクセスエラーです。またこのエラーは、NMI ハンドラエラー応答検出割り込み要求 (DMA_TRANSERR) が NMI ハンドラによりクリアされなかった際にも発生します。

エラーの原因とエラーが発生した DMAC のチャンネルを確認することが可能です。

図 15.27 にエラーの原因の確認手順を示します。

- 図 15.28 に DMAC のマスタ TrustZone フィルタエラーが発生したチャンネルを確認するフローを示します。
- 図 15.29 に DMAC のスレーブ TrustZone フィルタエラーが発生したチャンネルを確認するフローを示します。
- 図 15.30 に DMAC のマスタ MPU エラーが発生したチャンネルとセキュリティ属性を確認するフローを示します。
- 図 15.31 に DMAC のスレーブバスエラーが発生したチャンネルとセキュリティ属性を確認するフローを示します。
- 図 15.32 に DMAC の不正アクセスエラーが発生したチャンネルとセキュリティ属性を確認するフローを示します。

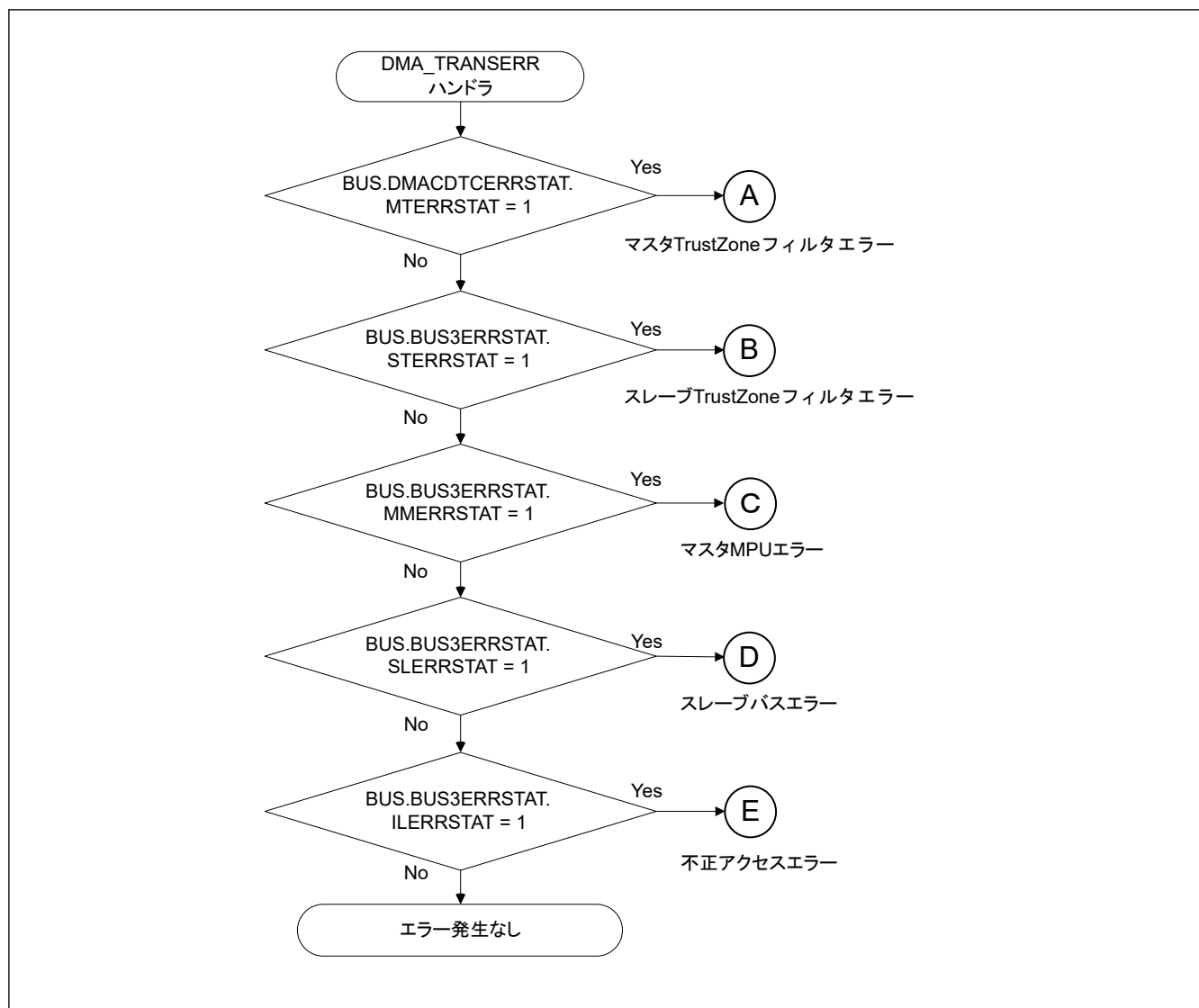


図 15.27 エラー応答検出割り込み (DMA_TRANSERR) 発生時の転送エラー要因判定

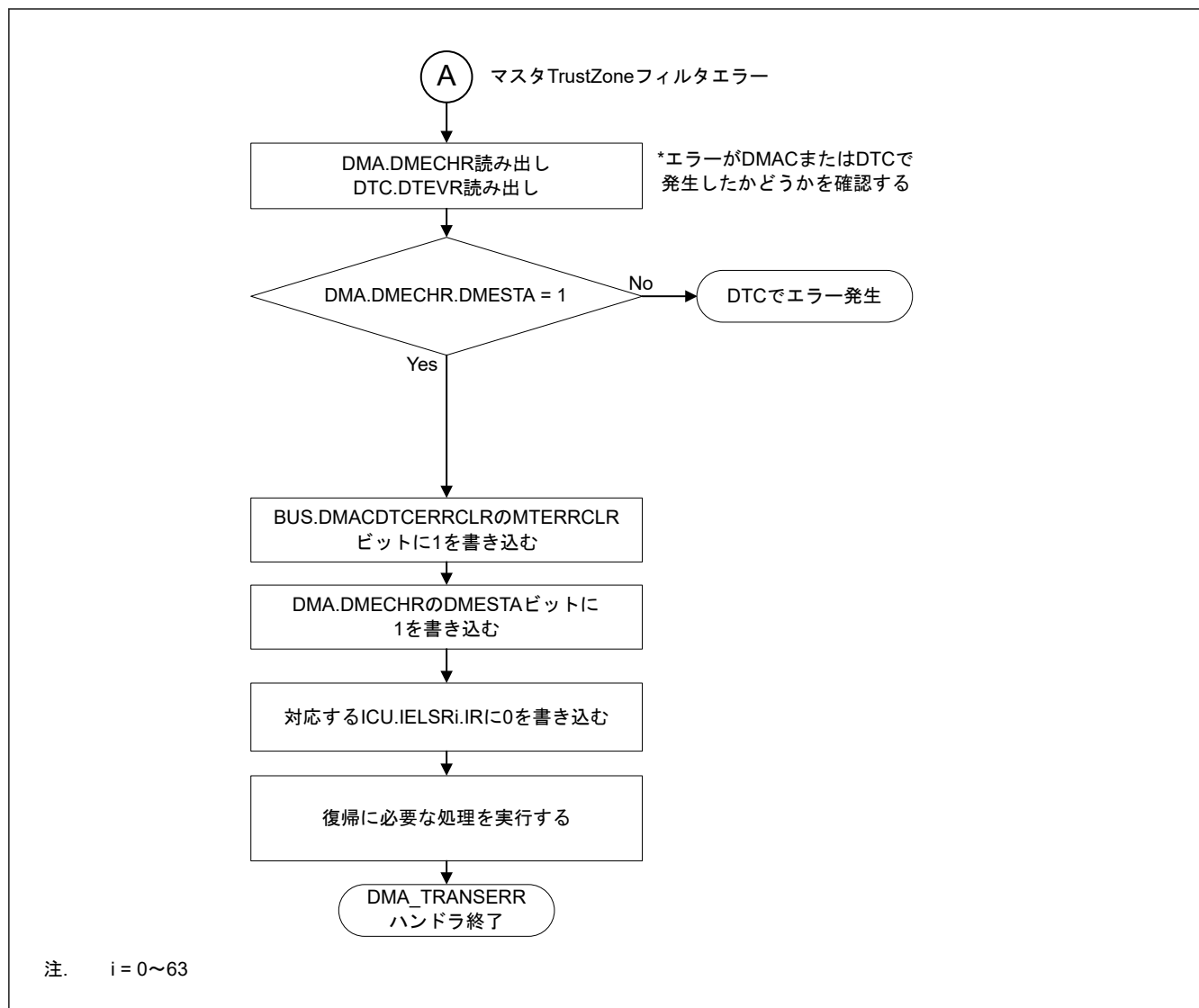


図 15.28 マスタ TrustZone フィルタエラーの DMA_TRANSERR ハンドラにおける処理

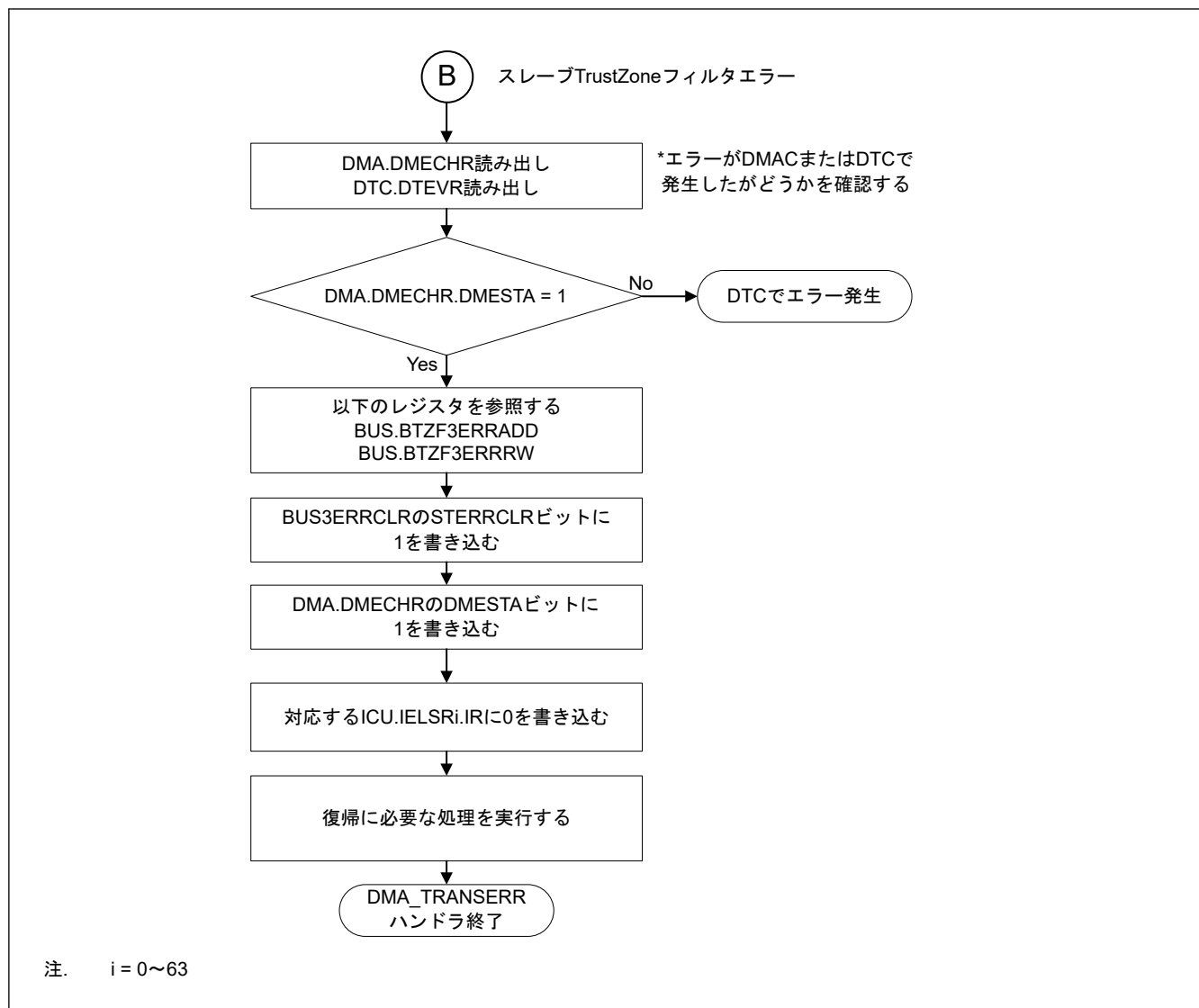


図 15.29 スレーブ TrustZone フィルタエラーの DMA_TRANSERR ハンドラにおける処理

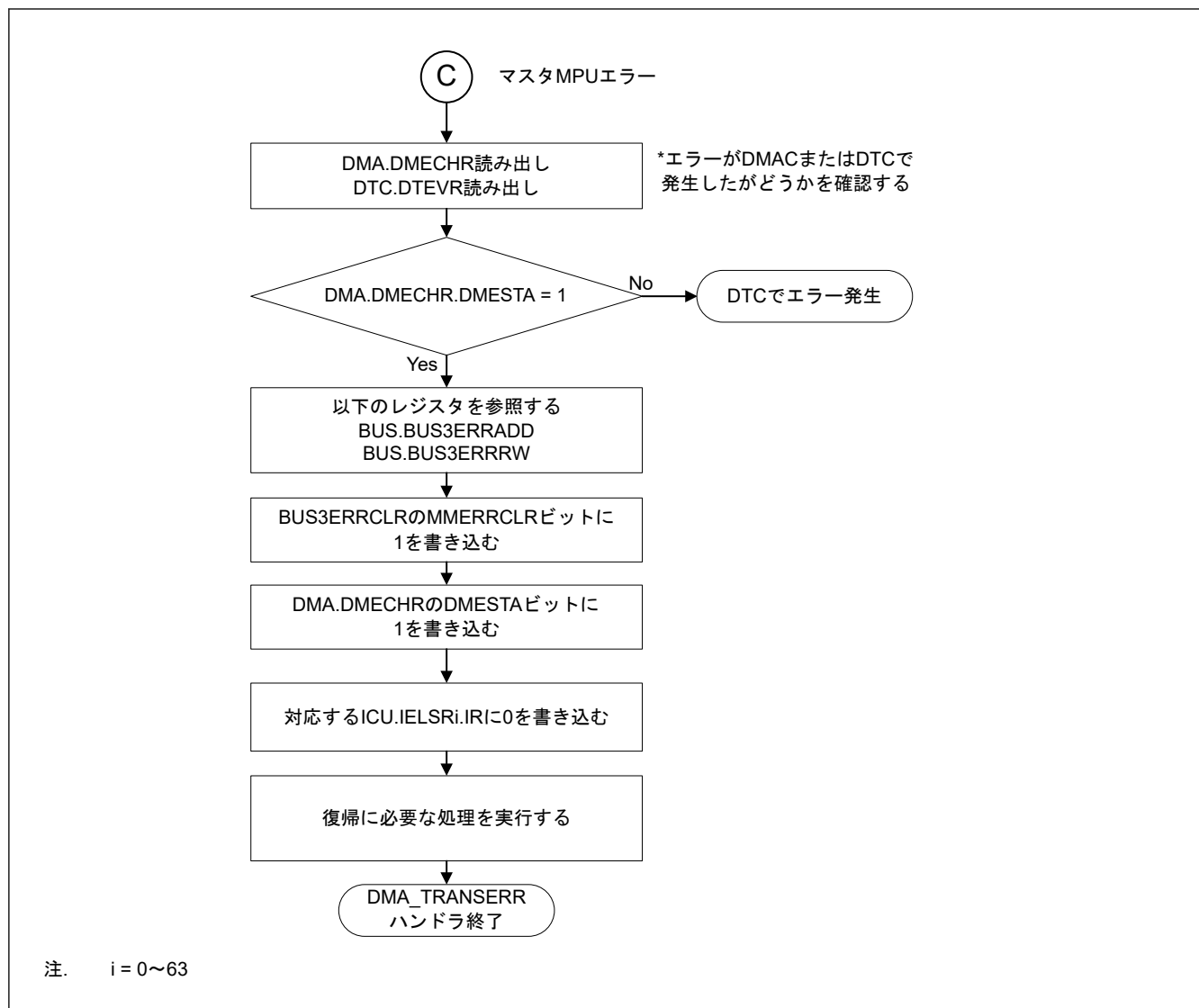


図 15.30 マスタ MPU エラーによる DMA_TRANSERR ハンドラの処理

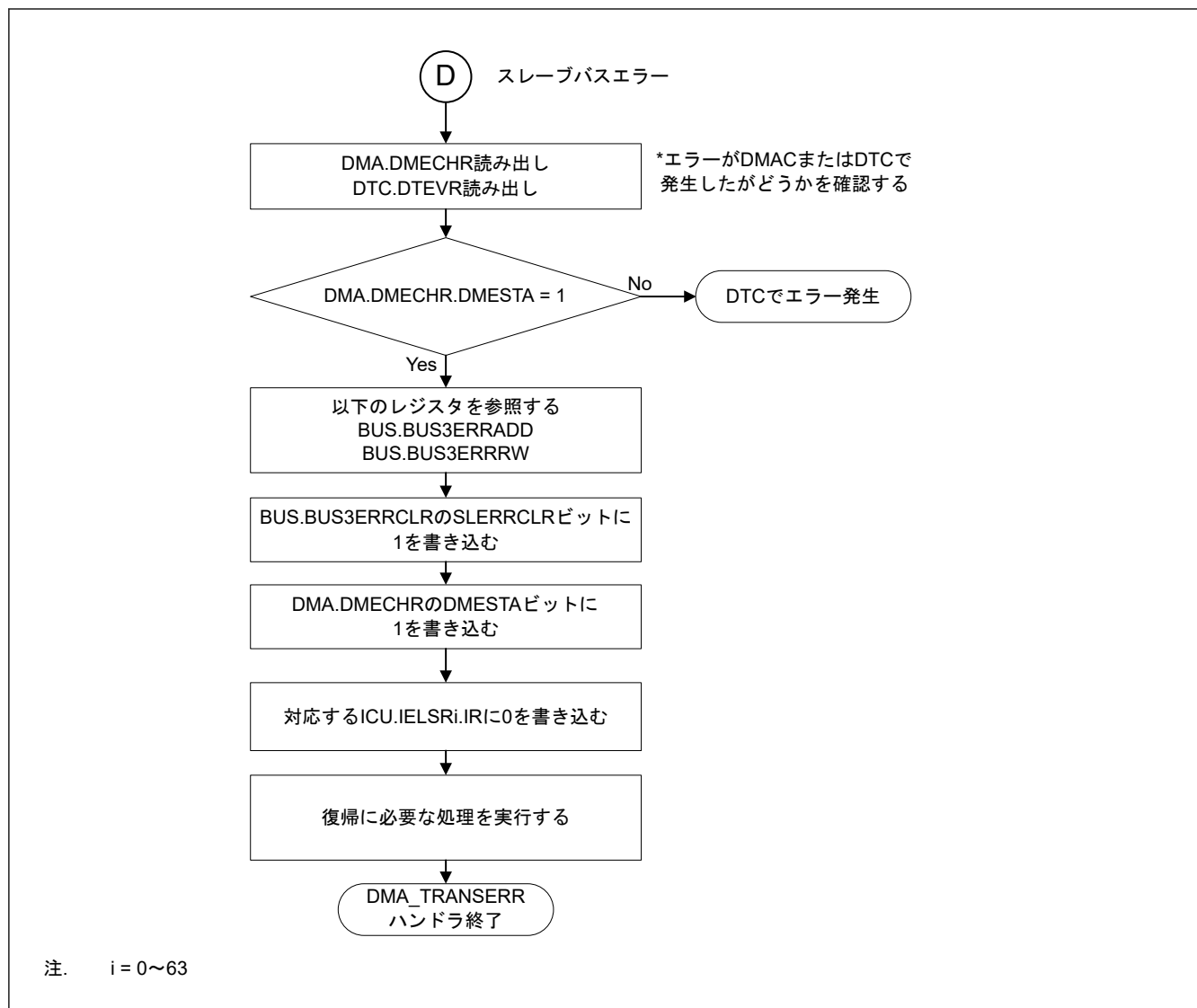


図 15.31 スレーブバスエラーによる DMA_TRANSERR ハンドラの処理

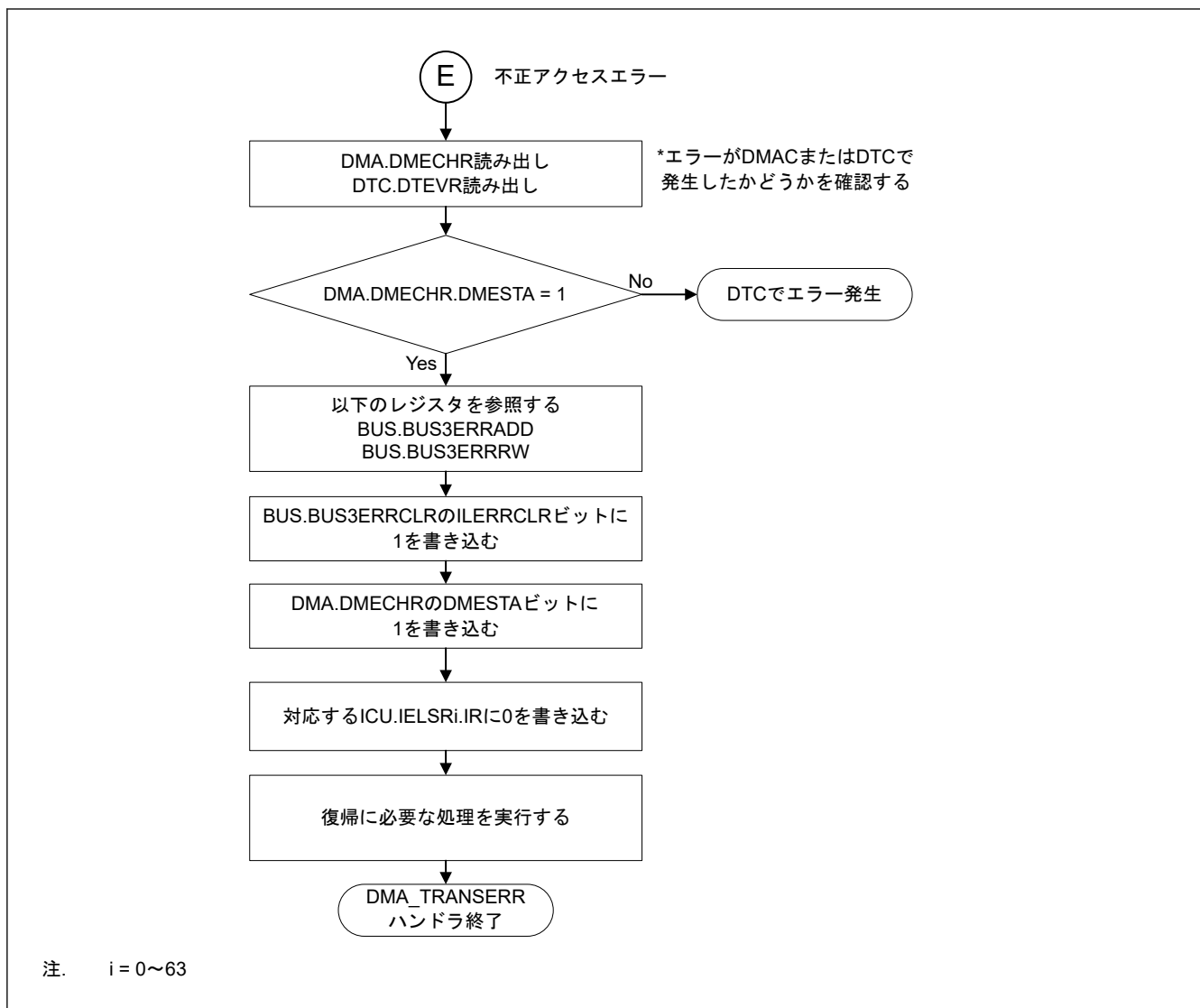


図 15.32 不正アクセスエラーによる DMA_TRANSERR ハンドラの処理

15.6 割り込み

15.6.1 転送終了割り込み

各 DMAC チャンネルは、1 要求分の転送終了後、CPU または DTC へ割り込み要求 (DMACn_INT) を出力することができます。

リピートブロック転送モードでは、エスケープ転送終了割り込みを許可しないでください。

表 15.21 に、各割り込み要因とそれらに対応するステータスフラグおよび許可ビットを示します。図 15.33 に、割り込み出力 (DMACn (n = 0~7)) の概略論理図を示します。図 15.34 に DMAC 割り込み処理ルーチンで DMA 転送を再開/終了する手順を示します。

表 15.21 割り込み要因、割り込みステータスフラグ、割り込み許可ビットの対応関係 (1/2)

割り込み要因	割り込み許可ビット	割り込みステータスフラグ	要求出力許可ビット
転送終了	—	DMSTS.DTIF	DMINT.DTIE

表 15.21 割り込み要因、割り込みステータスフラグ、割り込み許可ビットの対応関係 (2/2)

割り込み要因		割り込み許可ビット	割り込みステータスフラグ	要求出力許可ビット
エスケープ転送終了	リピートサイズ終了	DMINT.RPTIE	DMSTS.ESIF	DMINT.ESIE
	転送元アドレス拡張リピート領域オーバーフロー	DMINT.SARIE		
	転送先アドレス拡張リピート領域オーバーフロー	DMINT.DARIE		

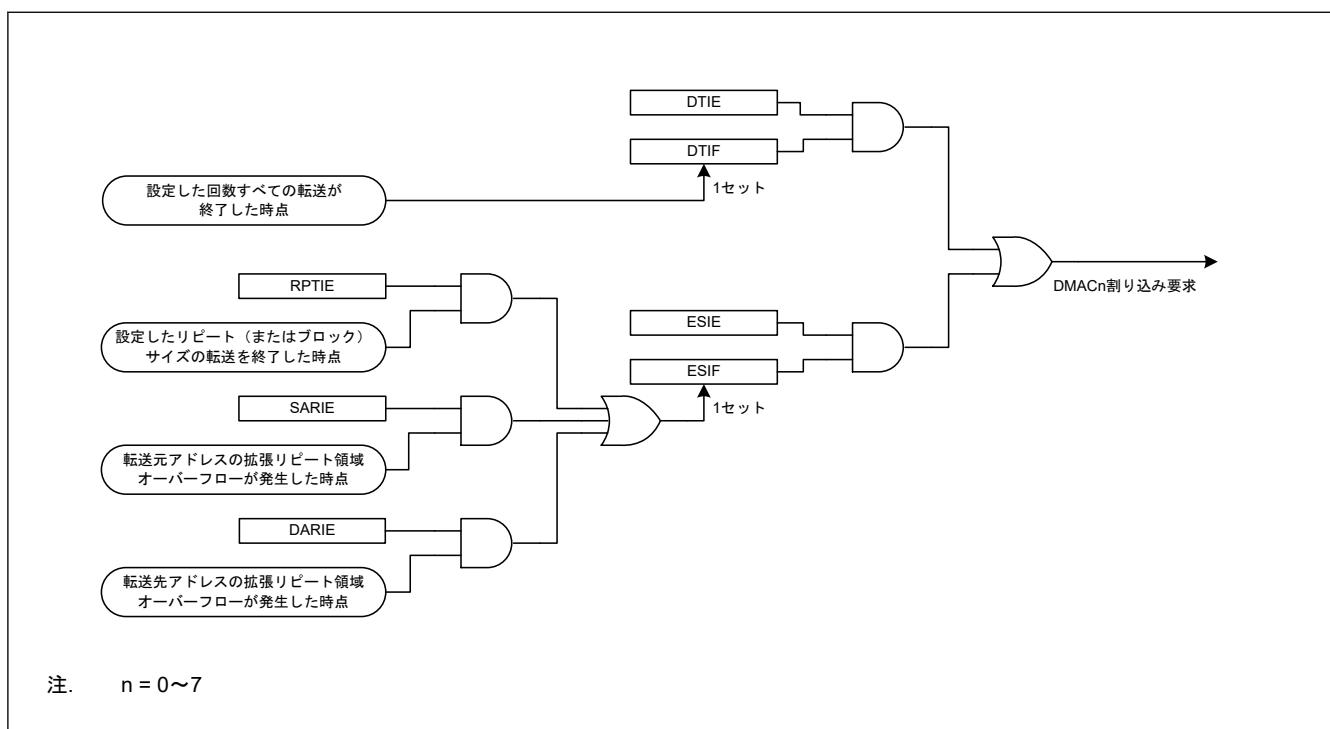


図 15.33 割り込み出力要因 (DMACn) の概略論理図

割り込みを解除して DMA 転送を再開する方法は、以下のケースで異なります。

- DMA 転送を終了した場合
- DMA 転送を継続した場合

15.6.1.1 DMA 転送を終了した場合

転送終了割り込みの場合は、DMSTS.DTIF フラグに 0 を書いてください。また、リピートサイズ割り込みと拡張リピート領域オーバーフロー割り込みの場合は、DMSTS.ESIF フラグに 0 を書いてください。DMACn は停止状態を保ちます。その後、新たな DMA 転送を開始する場合は、必要なレジスタを設定して、DMCNT.DTE ビットを 1 (DMA 転送許可) にしてください。

15.6.1.2 DMA 転送を継続した場合

DMCNT.DTE ビットに 1 を書いてください。自動的に DMSTS.ESIF フラグが 0 にクリア (割り込み要因がクリア) され、DMA 転送が再開します。

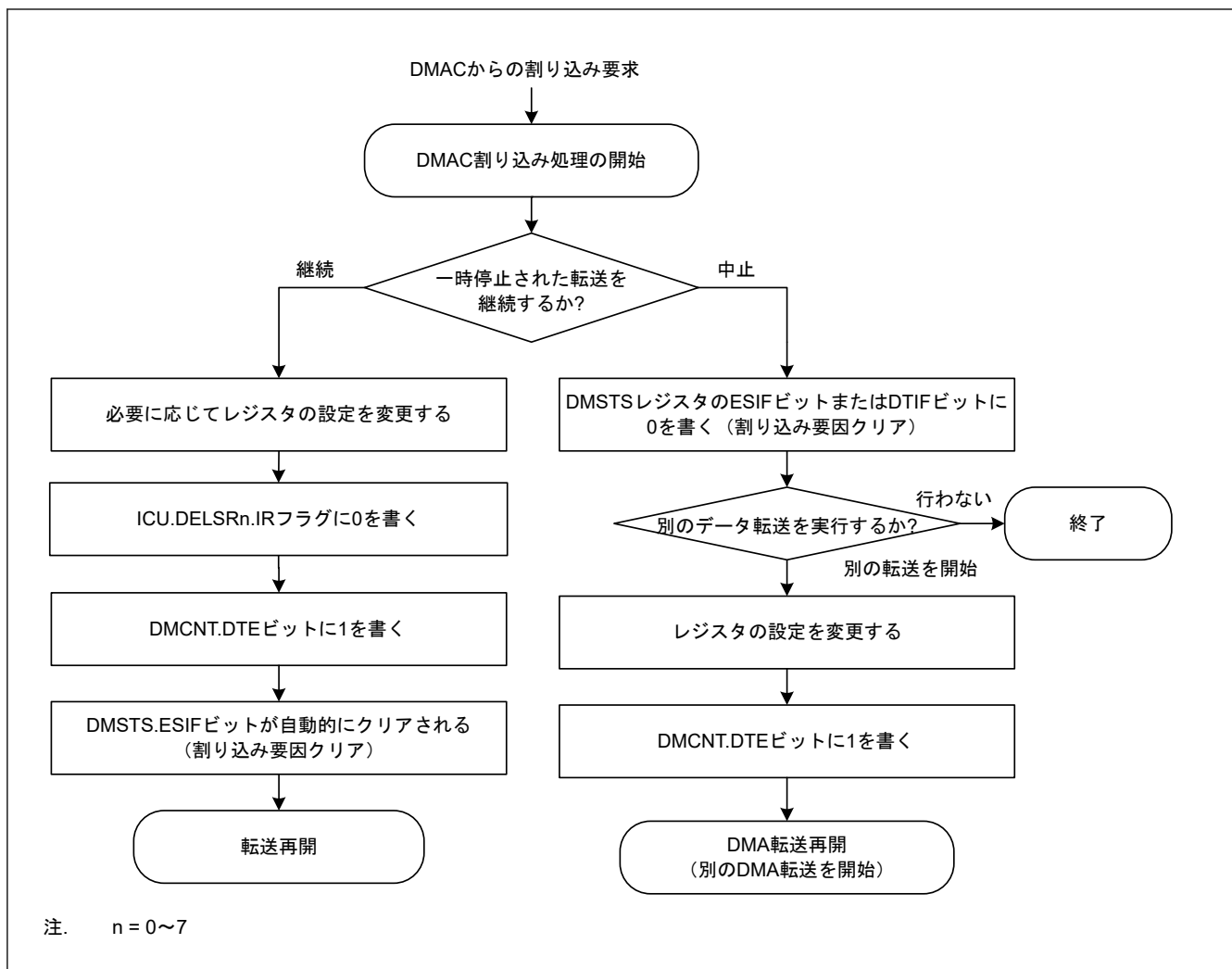


図 15.34 DMAC 割り込み処理ルーチンで DMA 転送を再開/終了する手順

15.6.2 転送エラー割り込み

DMAC 転送中に転送エラーが検出されると、DMAC/DTC からエラー応答検出割り込み要求 (DMA_TRANSERR) が発生します。DMAC 転送エラー発生時に生じる割り込みの種類を表 15.22 に示します。転送エラー発生時に格納されるエラー情報を表 15.22 に示します。

表 15.22 DMAC 転送エラー起因の割り込みとエラー情報

転送エラー要因	NMI/RESET ^(注1) 要求	割り込み要求	バスエラー状態	エラーアドレス エラー R/W	エラーチャネル情報
DMAC/DTC のマスタ TrustZone フィルタ	ICU.NMISR.TZFST ^(注1)	DMA_TRANSERR	BUS.DMACDTCERR STAT.MTERRSTAT ^(注1)	—	DMA.DMECHR
スレーブ TrustZone フィルタ	ICU.NMISR.TZFST ^(注1)	DMA_TRANSERR	BUS.BUS3ERRSTAT .STERRSTAT ^(注1)	BUS.BTZF3ERRADD BUS.BTZF3ERRRW	DMA.DMECHR
マスタ MPU	ICU.NMISR. BUSMST	DMA_TRANSERR	BUS.BUS3ERRSTAT .MMERRSTAT	BUS.BUS3ERRADD BUS.BUS3ERRRW	DMA.DMECHR
スレーブバスエラー	— ^(注2)	DMA_TRANSERR	BUS.BUS3ERRSTAT .SLERRSTAT ^(注2)	BUS.BUS3ERRADD BUS.BUS3ERRRW	DMA.DMECHR
不正アクセスエラー	— ^(注2)	DMA_TRANSERR	BUS.BUS3ERRSTAT .ILERRSTAT ^(注2)	BUS.BUS3ERRADD BUS.BUS3ERRRW	DMA.DMECHR

注 1. マスタ MPU エラーや TrustZone フィルタエラーの検出後の動作として NMI 要求が選択されると、割り込みが発生します。BUS.BUS3ERRSTAT ビットと BUS.DMACDTCERRSTAT ビットを確認することにより、マスタかスレーブかを判定します。

注 2. エラー応答検出割り込み (DMA_TRANSERR) が発生し、かつマスタ MPU の NMI または TrustZone フィルタの NMI が発生しない場合、不正アドレスアクセスエラーまたはスレーブバスエラーとして扱ってください。それは BUS.BUS3ERRSTAT ビットと BUS.DMACDTCERRSTAT ビットによっても判定可能です。

最後の転送データに書き込むときにバスエラーが発生すると、転送終了イベントとエラー応答検出割り込み (DMA_TRANSERR) が発生することに注意してください。

15.7 イベントリンク

各 DMAC チャンネルは、1 回のデータ転送（ブロック転送モードの場合は 1 ブロックの転送）が終了するたびに、イベントリンク要求信号 (DMACn_INT) を出力します。

詳細は、「[17. イベントリンクコントローラ \(ELC\)](#)」を参照してください。

最後の転送データ書き込み時にバスエラーが発生すると、転送終了イベントおよびエラー応答検出割り込み (DMA_TRANSERR) が発生します。

15.8 低消費電力機能

モジュールストップ状態またはソフトウェアスタンバイモードへ遷移する前に、最初に DMAST.DMST ビットを 0 (DMAC モジュールサスペンド) にして、以下のように設定してください。

(1) モジュールストップ機能

MSTPCRA.MSTPA22 ビットに 1 を書くことによって、DMAC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA22 ビットに 1 を書いたとき、DMA 転送が動作中の場合は、DMA 転送終了後にモジュールストップ状態へ遷移します。MSTPCRA.MSTPA22 ビットが 1 のとき、DMAC のレジスタにはアクセスしないでください。MSTPCRA.MSTPA22 ビットに 0 を書くことで、DMAC のモジュールストップ状態は解除されます。

(2) ソフトウェアスタンバイモード

「[10.7.1. ソフトウェアスタンバイモードへの遷移](#)」に記載された設定を使用してください。

WFI 命令実行時に DMA 転送が動作中の場合、DMA 転送が完了してからソフトウェアスタンバイモードへ遷移します。

(3) 低消費電力機能に関する注意事項

WFI 命令とレジスタの設定については、「[10.9.6. WFI 命令のタイミング](#)」を参照してください。

低消費電力モードから復帰後、DMA 転送を行うには、再度 DMAST.DMST ビットを 1 にしてください。ソフトウェアスタンバイモード時に発生した要求を、DMAC 起動要求ではなく CPU への割り込み要求として使用する場合は、「[12.4.1. 割り込みの検出](#)」に示すように、割り込み要求先を CPU に切り替えてから WFI 命令を実行してください。

15.9 使用上の注意事項

15.9.1 DMA 転送中のレジスタアクセスについて

同じチャンネルの DMSTS.ACT フラグが 1 (DMAC 動作中)、または同じチャンネルの DMCNT.DTE ビットが 1 (DMA 転送許可) の状態で、下記のレジスタに書き込まないでください。

- DMSAR
- DMDAR
- DMCRA
- DMCRB
- DMTMD
- DMINT
- DMAMD
- DMOFR
- DMREQ

- DMSBS
- DMDBS
- DMSRR
- DMDRR
- ICUSARC
- DMACSAR

15.9.2 予約領域への DMA 転送について

予約領域への DMA 転送は行わないでください。予約領域へアクセスが発生した場合の転送結果は保証されません。予約領域の詳細は、「[4. アドレス空間](#)」を参照してください。

15.9.3 割り込みコントローラユニットの DMAC イベントリンク設定レジスタ n (ICU.DELSRn) の設定 (n = 0~7)

DMAC イベントリンク設定レジスタ n (ICU.DELSRn) を設定する前に、DMA 転送許可ビット (DMCNT.DTE) が 0 (DMA 転送禁止) であることを確認してください。さらに、ICU.DELSRn レジスタにより設定されている同じイベント番号に対応する DTC 起動許可レジスタ (ICU.IELSRn.DTCE (n = 0~63)) は 1 にしないでください。ICU.IELSRn.DTCE ビットと ICU.DELSRn レジスタの詳細は、「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

15.9.4 DMAC 起動の保留／再開に関する注意事項

DMAC 起動要求を一時停止するために、DMAC イベントリンク選択ビット (ICU.DELSRn.DELS[8:0]) に 0x00 を書き込んでください。DMA 転送を再開するには、「[15.3.10. DMAC の起動](#)」に記載された設定に従い、ICU.DELSRn.DELS[8:0] ビットにイベント番号を書き込んでください。

15.9.5 DMA 転送再開時の注意事項

DMA 転送終了後、次の要求時に DMAC 起動要求が発生する場合があります。このような状況が生じた場合、DMA 転送が開始され、DMAC 起動要求は DMAC 内に保持されます。これを避けるには、ICU の DELSRn.DELS[8:0] ビットを 0 にして、DMAC 起動要求を停止してください。

最後の DMA 転送後に DMAC 起動要求が発生した場合は、以下のいずれかの方法で DMAC 起動要求をクリアしてください。

- ダミーの DMA 転送を用いて DMAC 起動要求をクリアする。
- DMCNT.DTE ビットを 0 に設定した後、ICU.DELSRn.IR フラグを 0 にしてください。

[図 15.35](#) を参照してください。

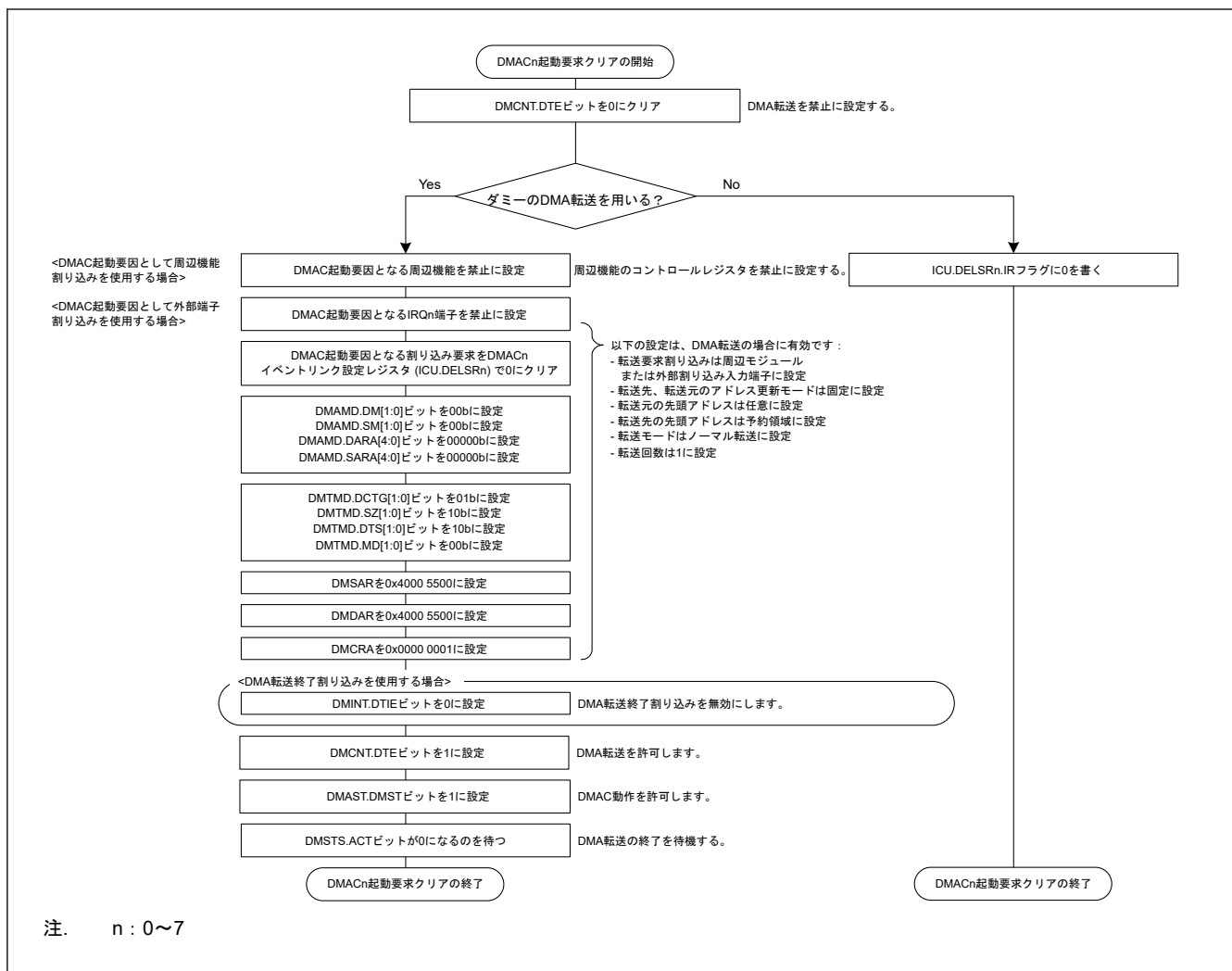


図 15.35 DMAC 起動割り込みをクリアするためのレジスタ設定手順例

16. データトランスファコントローラ (DTC)

16.1 概要

データトランスファコントローラ (DTC) は、割り込み要求によって起動するとデータ転送を行います。

表 16.1 に DTC の仕様を、図 16.1 に DTC のブロック図を示します。

表 16.1 DTC の仕様

項目	内容
転送モード	- ノーマル転送モード 1 回の起動で 1 データを転送 - リピート転送モード 1 回の起動で 1 データを転送 リピートサイズ分のデータを転送すると転送開始時のアドレスに復帰 リピート回数は最大 256 回設定可能で、最大 256 × 32 ビット (1024 バイト) 転送可能 - ブロック転送モード 1 回の起動で 1 ブロックを転送 ブロックサイズは、最大 256 × 32 ビット = 1024 バイト設定可能
転送チャンネル	- 割り込み要因に対応するチャンネルの転送が可能 (ICU からの DTC 起動要求で転送) 1 つの起動要因に対して複数データの転送が可能 (チェーン転送) - チェーン転送は「カウンタが 0 のとき実施」または「毎回実施」のいずれかを選択可能
転送空間	0x0000_0000~0xFFFF_FFFF のうち予約領域を除く 4 GB の領域
データ転送単位	1 データ : 1 バイト (8 ビット)、1 ハーフワード (16 ビット)、1 ワード (32 ビット) 1 ブロックサイズ : 1~256 データ
CPU 割り込み要因	- DTC を起動した割り込み、または DTC_COMPLETE で CPU への割り込み要求を発生可能 1 回のデータ転送後に CPU への割り込み要求を発生可能 - 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能
DTC 転送エラーの処理	- DTC 転送エラーが発生すると、エラーを引き起こした転送が停止 - ICU への DTC エラー番号の起動要求に対して、レジスタのクリアを要求
エラー応答検出割り込み	DTC 転送エラーが生じると発生
イベントリンク機能	1 回のデータ転送後 (ブロックの場合は 1 ブロック転送後)、イベントリンク要求を発生
リードスキップ	転送情報のリードスキップを実行可能
ライトバックスキップ	転送元アドレスまたは転送先アドレスが固定の場合、ライトバックスキップを実行可能
TrustZone	フラッシュや SRAM の TrustZone 違反領域は、バスへのアクセス前に事前に検出されます。
モジュールストップ機能	モジュールストップ状態の設定が可能
TrustZone フィルタ	起動要因ごとにセキュリティ属性を設定できます。

注. DTC のセキュリティ属性レジスタは、ICU.ICUSARG、ICU.ICUSARH、ICU.ICUSARI で説明します。

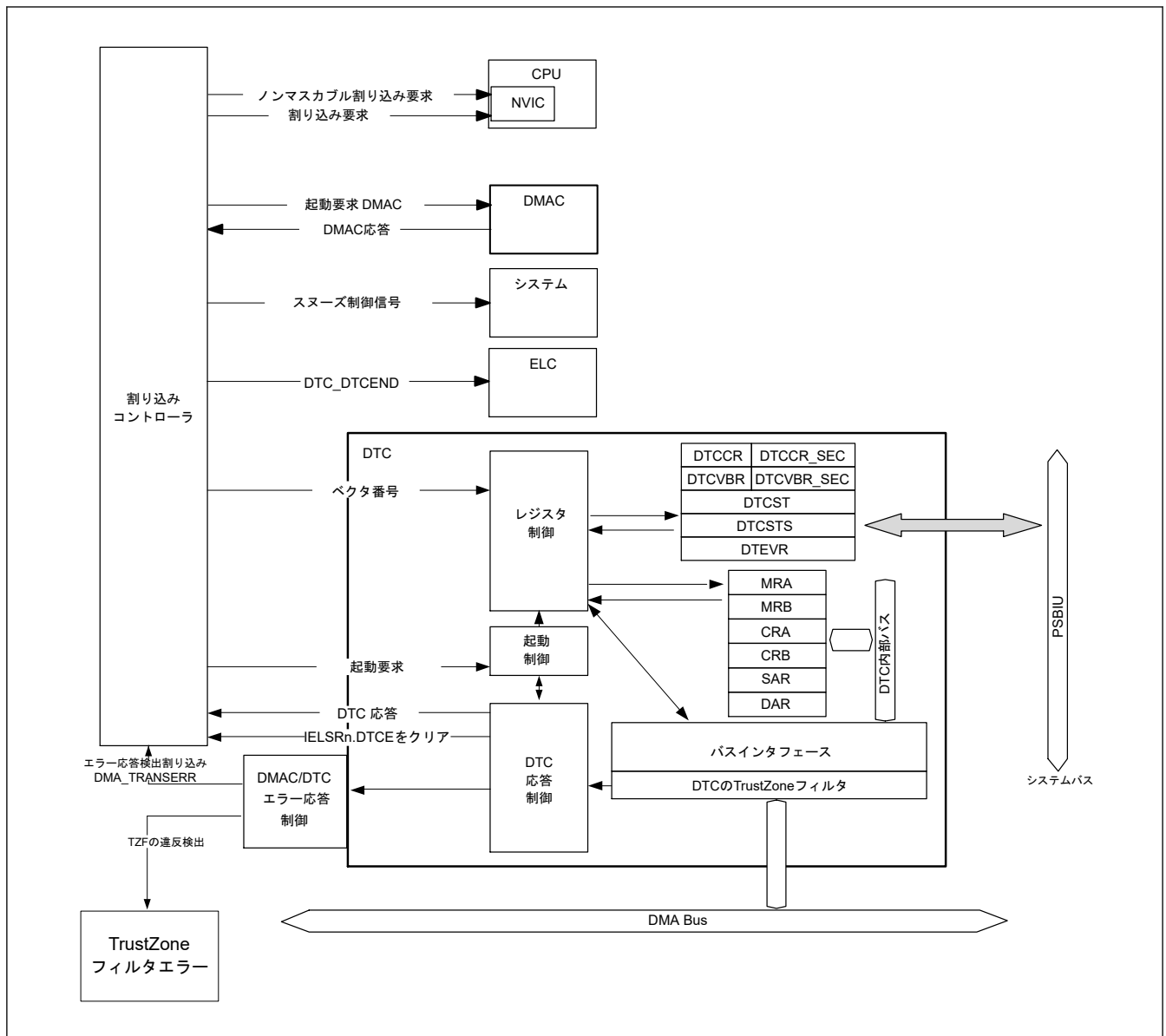


図 16.1 DTC のブロック図

DTC と NVIC (CPU 内) の接続関係については、「[12. 割り込みコントローラユニット \(ICU\)](#)」の「[12.1. 概要](#)」を参照してください。

16.2 レジスタの説明

MRA、MRB、SAR、DAR、CRA、CRB は、すべて DTC の内部レジスタであり、CPU から直接アクセスすることはできません。これら DTC 内部レジスタの設定値は、SRAM 領域に転送情報として配置されます。起動要求が発生すると、DTC は SRAM 領域から転送情報を読み出して、それを DTC の内部レジスタに設定します。データ転送の終了後、内部レジスタの内容は転送情報として SRAM 領域にライトバックされます。

16.2.1 DTCSAR : DTC コントローラセキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000

Offset address: 0x30

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DTCS TSA
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	DTCSTSA	DTC セキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 1 が読めます。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

本レジスタは DTCST セキュリティ属性のみを設定します。

DTCSTSA ビット (DTC セキュリティ属性)

本ビットは DTCST レジスタのセキュリティ属性を設定します。

DTC 転送が有効またはバスマスタが DTC レジスタに書き込み中は、DTCSTSA ビットに書き込まないでください。

16.2.2 MRA : DTC モードレジスタ A

Base address: DTCVBR

Offset address: 0x03 + 0x4 × ベクタ番号

(CPU から直接アクセス不可。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MD[1:0]		SZ[1:0]		SM[1:0]		—	—
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
1:0	—	読み出し値は不定です。書く場合、0 としてください。リセット後の値は不定値です。	—
3:2	SM[1:0]	転送元アドレスアドレッシングモード 0 0: SAR レジスタはアドレス固定 (SAR レジスタへのライトバックをスキップ) 0 1: SAR レジスタはアドレス固定 (SAR レジスタへのライトバックをスキップ) 1 0: 転送後 SAR レジスタをインクリメント : SZ[1:0]ビットが 00b のとき+1 SZ[1:0]ビットが 01b のとき+2 SZ[1:0]ビットが 10b のとき+4 1 1: 転送後 SAR レジスタをデクリメント : SZ[1:0]ビットが 00b のとき-1 SZ[1:0]ビットが 01b のとき-2 SZ[1:0]ビットが 10b のとき-4	—

ビット	シンボル	機能	R/W
5:4	SZ[1:0]	DTC データトランスファサイズ 0 0: バイト (8 ビット) 転送 0 1: ハーフワード (16 ビット) 転送 1 0: ワード (32 ビット) 転送 1 1: 設定禁止	—
7:6	MD[1:0]	DTC 転送モード選択 0 0: ノーマル転送モード 0 1: リピート転送モード 1 0: ブロック転送モード 1 1: 設定禁止	—

MRA レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x03）に MRA レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x03）から、MRA レジスタへ設定値を転送します。「[16.3.1. 転送情報の配置と DTC ベクタテーブル](#)」を参照してください。

16.2.3 MRB : DTC モードレジスタ B

Base address: DTCVBR

Offset address: 0x02 + 0x4 × ベクタ番号

(CPU から直接アクセス不可。「[16.3.1. 転送情報の配置と DTC ベクタテーブル](#)」を参照してください。)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CHNE	CHNS	DISEL	DTS	DM[1:0]	—	—	

Value after reset: x x x x x x x x

ビット	シンボル	機能	R/W
1:0	—	読み出し値は不定です。書く場合、0 としてください。	—
3:2	DM[1:0]	転送先アドレスアドレッシングモード 0 0: DAR レジスタはアドレス固定 (DAR レジスタへのライトバックをスキップ) 0 1: DAR レジスタはアドレス固定 (DAR レジスタへのライトバックをスキップ) 1 0: 転送後 DAR レジスタをインクリメント : MRA.SZ[1:0]ビットが 00b のとき+1 MRA.SZ[1:0]ビットが 01b のとき+2 MRA.SZ[1:0]ビットが 10b のとき+4 1 1: 転送後 DAR レジスタをデクリメント : MRA.SZ[1:0]ビットが 00b のとき-1 MRA.SZ[1:0]ビットが 01b のとき-2 MRA.SZ[1:0]ビットが 10b のとき-4	—
4	DTS	DTC 転送モード選択 0: 転送先にリピート領域またはブロック領域を選択 1: 転送元にリピート領域またはブロック領域を選択	—
5	DISEL	DTC 割り込み選択 0: 指定されたデータ転送の終了時、CPU への割り込み要求が発生 1: DTC データ転送のたびに、CPU への割り込み要求が発生	—
6	CHNS	DTC チェーン転送選択 0: 連続してチェーン転送を行う 1: 転送カウンタが 1→0、または 1→CRAH となったときにのみチェーン転送を行う	—
7	CHNE	DTC チェーン転送許可 0: チェーン転送禁止 1: チェーン転送許可	—

CPU は MRB レジスタに直接アクセスすることができませんが、SRAM 領域（転送情報 (n) の開始アドレス + 0x02）にはアクセスできます。DTC は、SRAM 領域と MRB レジスタの間で設定値を自動的に転送します。「[16.3.1. 転送情報の配置と DTC ベクタテーブル](#)」を参照してください。

DM[1:0]ビット（転送先アドレスアドレッシングモード）

DM[1:0]ビットはDARレジスタのアドレスを固定または転送後のDARレジスタのインクリメント/デクリメントを指定します。

DTS ビット (DTC 転送モード選択)

DTS ビットはリピート転送モードあるいはブロック転送モードにおいて、転送元または転送先をリピート領域またはブロック領域に指定します。

DISEL ビット (DTC 割り込み選択)

DISEL ビットは CPU への割り込み要求を発生する条件を指定します。

CHNS ビット (DTC チェーン転送選択)

CHNS ビットはチェーン転送の条件を選択します。CHNE ビットが 0 のとき、CHNS ビットの設定は無視されます。チェーン転送の条件については、[表 16.3](#) を参照してください。

次の転送がチェーン転送の場合、指定した転送回数の終了判定も、起動要因フラグのクリアも行われず、CPU への割り込み要求は発生しません。

CHNE ビット (DTC チェーン転送許可)

CHNE ビットはチェーン転送を許可します。チェーン転送条件は、CHNS ビットで選択されます。チェーン転送の詳細については、「[16.4.6. チェーン転送](#)」を参照してください。

16.2.4 SAR : DTC 転送元レジスタ

Base address: DTCVBR

Offset address: 0x04 + 0x4 × ベクタ番号
(CPU から直接アクセス不可。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。)

Bit position: 31

0

Bit field:

Value after reset: x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x

SAR レジスタは、転送元の開始アドレスを設定するレジスタです。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x04) に SAR レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x04) から、SAR レジスタへ設定値を転送します。「[16.3.1. 転送情報の配置と DTC ベクタテーブル](#)」を参照してください。

DTC 転送では、アドレスの不整合は禁止です。MRA.SZ[1:0]=01b の場合、ビット 0 は 0 を設定してください。また、MRA.SZ[1:0]=10b の場合、ビット 1 およびビット 0 はともに 0 を設定してください。

16.2.5 DAR : DTC 転送先レジスタ

Base address: DTCVBR

Offset address: 0x08 + 0x4 × ベクタ番号
(CPU から直接アクセス不可。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。)

Bit position: 31

0

Bit field:

Value after reset: x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x

DAR レジスタは、転送先の開始アドレスを設定するレジスタです。CPU は SRAM 領域（転送情報 (n) の開始アドレス 0x08）に DAR レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス 0x08）から、DAR レジスタへ設定値を転送します。「[16.3.1. 転送情報の配置と DTC ベクタテーブル](#)」を参照してください。

DTC 転送では、アドレスの不整合は禁止です。MRA.SZ[1:0]=01b の場合、ビット 0 は 0 を設定してください。また、MRA.SZ[1:0]=10b の場合、ビット 1 およびビット 0 はともに 0 を設定してください。

16.2.6 CRA : DTC 転送カウントレジスタ A

Base address: DTCVBR

Offset address: 0x0E + 0x4 × ベクタ番号

(CPU から直接アクセス不可。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。)

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:

Value after reset: x x x x x x x x x x x x x x x x

ビット	シンボル	機能	R/W
7:0	CRAL	転送カウンタ A 下位 転送回数を設定	—
15:8	CRAH	転送カウンタ A 上位 転送回数を設定	—

注. 転送モードによって機能が異なります。

注. リピート転送モードとブロック転送モードでは、CRAH および CRAL レジスタには同じ値を設定してください。

CRA レジスタは 16 ビットです。CRAL は下位 8 ビット、CRAH は上位 8 ビットです。CRA はノーマル転送モードで使用されます。

CRAL と CRAH はリピート転送モードとブロック転送モードで使用されます。

CRA レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x0E）に CRA レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x0E）から、CRA レジスタへ設定値を転送します。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

(1) ノーマル転送モード (MRA.MD[1:0] = 00b) の場合

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。転送回数は、設定値が 0x0001 のときは 1 回、0xFFFF のときは 65535 回、0x0000 のときは 65536 回となります。CRA レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。

(2) リピート転送モード (MRA.MD[1:0] = 01b) の場合

リピート転送モードでは、CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。転送回数は、設定値が 0x01 のときは 1 回、0xFF のときは 255 回、0x00 のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。0x00 に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

(3) ブロック転送モード (MRA.MD[1:0] = 10b) の場合

ブロック転送モードでは、CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。転送回数は、設定値が 0x01 のときは 1 回、0xFF のときは 255 回、0x00 のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。0x00 に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

16.2.7 CRB : DTC 転送カウントレジスタ B

Base address: DTCVBR

Offset address: 0x0C + 0x4 × ベクタ番号

(CPU から直接アクセス不可。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。)

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:

Value after reset: x x x x x x x x x x x x x x x x

CRB レジスタは、ブロック転送モードのブロック転送回数を指定するレジスタです。転送回数は、設定値が 0x0001 のときは 1 回、0xFFFF のときは 65535 回、0x0000 のときは 65536 回となります。CRB レジスタの値は、

1 ブロックサイズの最終データ転送時にデクリメント (-1) されます。ノーマル転送モードまたはリピート転送モードを選択した場合、本レジスタは使用されず、設定値は無視されます。

CRB レジスタは CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x0C）に CRB レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x0C）から、CRB レジスタへ設定値を転送します。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

16.2.8 DTCCR : DTC コントロールレジスタ

Base address: DTC = 0x4000_5400

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	RRS	—	—	—	—
Value after reset:	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
4	RRS	DTC 転送情報リードスキップ許可 0: 転送情報のリードスキップを行わない 1: ベクタ番号が一致したとき、転送情報のリードスキップを行う	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RRS ビット (DTC 転送情報リードスキップ許可)

RRS ビットはベクタ番号が一致したとき、転送情報のリードスキップを許可します。DTC ベクタ番号は、前回起動時のベクタ番号と比較されます。ベクタ番号が一致し、かつ RRS ビットが 1 になっていると、転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送のときは、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

前回の転送がノーマル転送で転送カウンタ (CRA レジスタ) が 0 になっている場合と、ブロック転送で転送カウンタ (CRB レジスタ) が 0 になっている場合も、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

16.2.9 DTCCR_SEC : DTC コントロールレジスタ (セキュア領域)

Base address: DTC = 0x4000_5400

Offset address: 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	RRS	—	—	—	—
Value after reset:	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
4	RRS	DTC 転送情報リードスキップ許可 (セキュア領域) 0: 転送情報のリードスキップを行わない 1: ベクタ番号が一致したとき、転送情報のリードスキップを行う	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュアアクセスは許可されます。非セキュアアクセスは読み取り専用です。

RRS ビット (DTC 転送情報リードスキップ許可 (セキュア領域))

RRS ビットはベクタ番号が一致したとき、転送情報のリードスキップを許可します。DTC ベクタ番号は、前回起動時のベクタ番号と比較されます。これらのベクタ番号が一致し、かつ RRS ビットが 1 になっていると、転送情報を読み出さずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送のときは、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

前回のノーマル転送で転送カウンタ (CRA レジスタ) が 0 になっている場合と、前回のブロック転送で転送カウンタ (CRB レジスタ) が 0 になっている場合も、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

16.2.10 DTCVBR : DTC ベクタベースアドレス

Base address: DTC = 0x4000_5400

Offset address: 0x04

Bit position: 31

0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	n/a	DTC ベクタベースアドレス DTC ベクタベースアドレスを設定 (下位 10 ビットは 0 にしてください)	R/W

DTCVBR レジスタは、DTC ベクタテーブルのアドレス計算に用いられるベースアドレスを設定するレジスタです。0x0000_0000~0xFFFF_FFFF (4 GB) の範囲内で 1 KB 単位の設定が可能です。

16.2.11 DTCVBR_SEC : DTC ベクタベースレジスタ (セキュア領域)

Base address: DTC = 0x4000_5400

Offset address: 0x14

Bit position: 31

0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	n/a	DTC ベクタベースアドレス (セキュア領域) DTC ベクタベースアドレス (セキュア領域) を設定 (下位 10 ビットは 0 にしてください)	R/W

注: セキュアアクセスは許可されます。非セキュアアクセスは読み取り専用です。

DTCVBR_SEC レジスタは、DTC ベクタテーブルのアドレス計算に用いられるベースアドレスを設定します。0x0000_0000~0xFFFF_FFFF (4 GB) の範囲内で 1 KB 単位の設定が可能です。

16.2.12 DTCST : DTC モジュール起動レジスタ

Base address: DTC = 0x4000_5400

Offset address: 0x0C

Bit position: 7 6 5 4 3 2 1 0

Bit field:

—	—	—	—	—	—	—	DTCST

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	DTCST	DTC モジュール起動 0: DTC モジュール停止 1: DTC モジュール起動	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注: セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

DTCST ビット (DTC モジュール起動)

DTC が転送要求を受け付けられるようにするには、DTCST ビットを 1 にしてください。DTCST ビットを 0 にすると、新たな転送要求を受け付けません。データ転送中に 0 に書き換えた場合、受け付け済みの転送要求は処理が終了するまで有効です。

下記の状態へ遷移する際は、事前に DTCST ビットを 0 にする必要があります。

- モジュールストップ状態
- スヌーズモードへの遷移を伴わないソフトウェアスタンバイモード

これらの遷移については、「[16.10. 低消費電力機能](#)」と「[10. 低消費電力モード](#)」を参照してください。

16.2.13 DTCSTS : DTC ステータスレジスタ

Base address: DTC = 0x4000_5400

Offset address: 0x0E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ACT	—	—	—	—	—	—	—	VECN[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	VECN[7:0]	DTC アクティブベクタ番号モニタ DTC 転送動作中にその起動要因をベクタ番号で示します。 この値は、DTC 転送動作中 (ACT フラグが 1 の場合) にのみ有効です。	R
14:8	—	読むと 0 が読めます。	R
15	ACT	DTC アクティブフラグ 0: DTC 転送動作なし 1: DTC 転送動作中	R

VECN[7:0] ビット (DTC アクティブベクタ番号モニタ)

VECN[7:0] ビットは DTC 転送動作中に、その転送の起動要因をベクタ番号で示します。ACT フラグが 1 (DTC 転送動作中) であれば、読み出された VECN[7:0] ビットの値は有効であり、ACT フラグが 0 (DTC 転送動作なし) であれば、読み出された VECN[7:0] ビットの値は無効です。

ACT フラグ (DTC アクティブフラグ)

ACT フラグは DTC の転送動作状態を示します。

[1 になる条件]

- 転送要求によって DTC が起動したとき

[0 になる条件]

- 転送要求に対する DTC の転送が完了したとき

16.2.14 DTEVR : DTC エラーベクタレジスタ

Base address: DTC = 0x4000_5400

Offset address: 0x20

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DTESTA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DTEVSAM	DTEV[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	DTEV[7:0]	DTC エラーベクタ番号 DTC のエラーベクタを表します。	R
8	DTEVSAM	DTC エラーベクタ番号 SA モニタ エラーを引き起こすベクタ番号の SA を示します。 0: セキュアベクタ番号 1: 非セキュアベクタ番号	R
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R
16	DTESTA	DTC エラーステータスフラグ 0: DTC 転送エラー発生なし 1: DTC 転送エラー発生あり	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R

注: DTESTA への書き込みは DTEVSAM の値に依存します。

DTEV[7:0]ビット (DTC エラーベクタ番号)

DTC 転送起因の転送エラーが発生した場合、DTEV[7:0]ビットは違反した DTC のチャンネルを格納します。

MPU.MMPUOAD.OAD および TZF.TZFOAD.OAD でリセットが選択されたとき、本レジスタもリセットされます。プログラムをデバッグする場合はノンマスカブル割り込みを選択してください。

[1 になる条件]

- DTC 転送エラーが発生し、DTESTA = 0 の場合

[0 になる条件]

- DTEVR.DTESTA に 1 を書き込む場合

DTEVSAM ビット (DTC エラーベクタ番号 SA モニタ)

DTC 転送起因の転送エラーが発生した場合、DTEVSAM ビットは違反した DTC ベクタ番号の SA を示します。

MPU.MMPUOAD.OAD および TZF.TZFOAD.OAD でリセットが選択されたとき、本レジスタもリセットされます。プログラムをデバッグする場合はノンマスカブル割り込みを選択してください。

[1 になる条件]

- DTC 転送エラーが発生し、DTESTA = 0 の場合

[0 になる条件]

- DTEVR.DTESTA に 1 を書き込む場合

DTESTA ビット (DTC エラーステータスフラグ)

DTESTA ビットは DTC 転送エラーの発生の有無を示します。

DTEV、DTEVSAM、DTESTA は DTESTA に 1 を書き込むことによりクリアされます。

DTESTA への 0 の書き込みは無視されます。

MPU.MMPUOAD.OAD および TZF.TZFOAD.OAD でリセットが選択されたとき、本レジスタもリセットされます。プログラムをデバッグする場合はノンマスカブル割り込みを選択してください。

[1 になる条件]

- DTC 転送エラーが発生した場合

[0 になる条件]

- DTEVR.DTESTA に 1 を書き込む場合

注. DTEVSAM = 1 の場合、セキュア状態と非セキュア状態で本ビットをクリアできます。DTEVSAM = 0 の場合、非セキュア状態では本ビットをクリアできません。

16.3 起動要因

DTC は割り込み要求によって起動します。ICU.IELSRn.DTCE ビットを 1 にすると、対応する割り込みによって DTC が起動します。ICU.IELSRn レジスタで設定されたセクタ出力番号 n ($n = 00 \sim 63$) は、割り込みベクタ番号として定義されます。許可された割り込みに対して、各割り込みベクタ番号 n に対応した特定の DTC 割り込み要因が、ICU.IELSRn.IELS[8:0] ($n = 0 \sim 63$) ビットによって選択されます。このビットの設定方法については、「[12. 割り込みコントローラユニット \(ICU\)](#)」の「[12.3.2. イベント番号](#)」を参照してください。ソフトウェアによる起動については、「[17.2.2. ELSEGRn: イベントリンクソフトウェアイベント発生レジスタ \$n\$ \(\$n = 0, 1\$ \)](#)」を参照してください。

割り込みベクタ番号は DTC ベクタテーブル番号と同等です。DTC が起動要求を受け付けると、その要求に対する転送が終了するまで、新たな起動要求は優先順位にかかわらず受け付けません。DTC 転送中に複数の起動要求が発生した場合、転送の終了時点で最も優先順位の高い要求が受け付けられます。DTC モジュール起動ビット (DTCST.DTCST) が 0 の状態で、複数の起動要求が発生した場合、DTC は、その後このビットが 1 になったときに最も優先順位の高い要求を受け付けます。割り込みベクタ番号が小さいほど優先順位は高くなります。

1 回のデータ転送開始時 (チェーン転送の場合、連続した最後の転送時)、DTC は以下のように動作します。

- 指定した回数のデータ転送が終了すると、ICU.IELSRn.DTCE ビットが 0 になり、CPU に割り込み要求が送信される
- MRB.DISEL ビットが 1 の場合、データ転送完了時に CPU に対して割り込み要求が発生する
- 上記のいずれでもない場合、起動要因となった ICU.IELSRn.IR フラグはデータ転送開始時に 0 になる

16.3.1 転送情報の配置と DTC ベクタテーブル

DTC は、起動要因ごとにベクタテーブルから転送情報の開始アドレスを読み出して、このアドレスから始まる転送情報を読み出します。

DTC には、非セキュア側とセキュア側の 2 つのベクタテーブルがあります。それは、DTC に対するトリガとして働く割り込みベクタ番号が非セキュア側とセキュア側に分割されるためです。SA = 1 である割り込みベクタ番号のベクタテーブルを非セキュア側の DTCVBR に配置してください。SA = 0 である割り込みベクタ番号のベクタテーブルをセキュア側の DTCVBR_SEC に配置してください。

ベクタテーブルのベースアドレス (開始アドレス) は、下位 10 ビットが 0 になるように配置する必要があります。DTC ベクタベースレジスタ (DTCVBR) を用いて、DTC ベクタテーブルのベースアドレスを設定してください。転送情報は SRAM 領域に配置します。SRAM 領域では、ベクタ番号 n を持つ転送情報 n の開始アドレスは、ベクタテーブルのベースアドレス + $4n$ 番地でなければいけません。

[図 16.2](#) に DTC ベクタテーブルと転送情報の対応関係を示します。[図 16.3](#) に SRAM 領域上の転送情報の配置を示します。

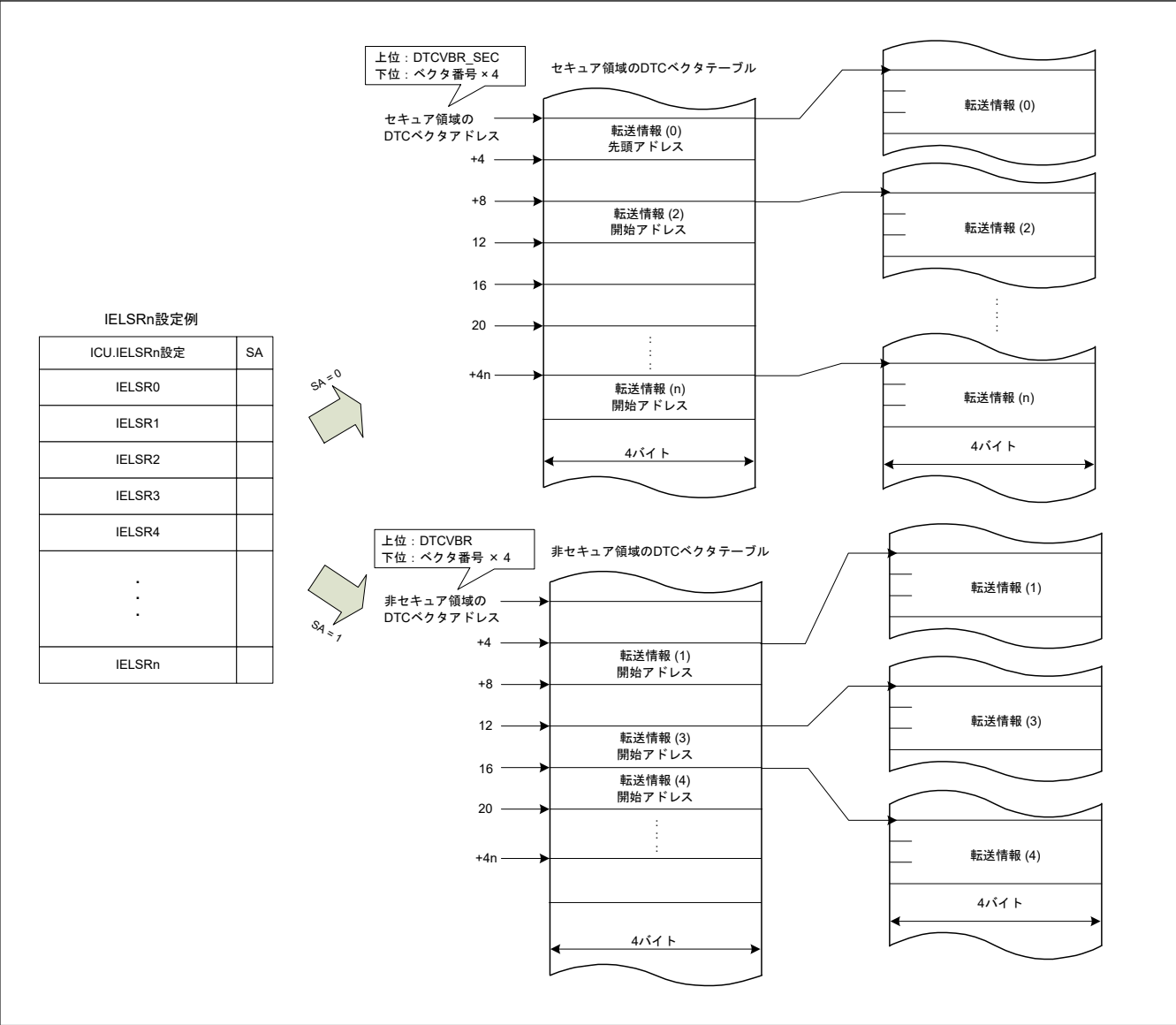


図 16.2 DTC ベクタテーブルと転送情報の対応関係

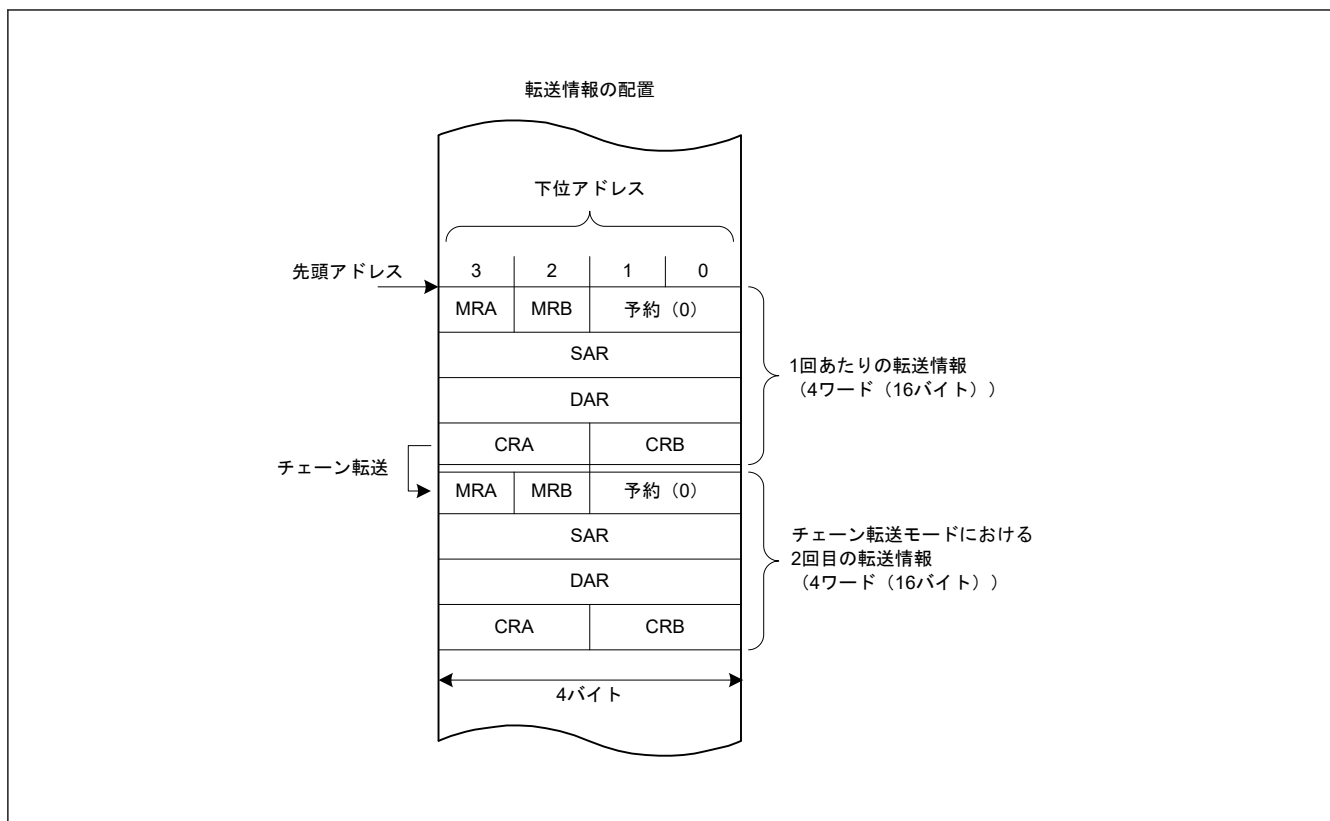


図 16.3 SRAM 領域上の転送情報の配置

16.4 動作説明

DTC は、転送情報に従ってデータを転送します。DTC を動作させるには、あらかじめ転送情報を SRAM 領域に格納しておく必要があります。DTC が起動すると、DTC はベクタ番号に対応する DTC ベクタを読み出します。次に DTC は、DTC ベクタが示す転送情報格納アドレスから転送情報を読み出して、データ転送を行います。データ転送後に、DTC は転送情報のライトバックを行います。転送情報を SRAM 領域に格納することで、任意のチャネル数のデータ転送が可能になります。

転送モードには、下記の 3 種類があります。

- ノーマル転送モード
- リピート転送モード
- ブロック転送モード

DTC は転送元アドレスを SAR レジスタ、転送先アドレスを DAR レジスタで指定します。これらのレジスタ値は、データの転送後、それぞれ個別にインクリメント、デクリメント、あるいはアドレス固定されます。

表 16.2 に DTC の転送モードを示します。

表 16.2 DTC の転送モード

転送モード	1 回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1 バイト (8 ビット) / 1 ハーフワード (16 ビット) / 1 ワード (32 ビット)	1、2、4 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1~65536 回
リピート転送モード (注1)	1 バイト (8 ビット) / 1 ハーフワード (16 ビット) / 1 ワード (32 ビット)	1、2、4 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1~256 回(注3)
ブロック転送モード (注2)	CRAH レジスタで指定したブロックサイズ (1~256 バイト / 1~256 ハーフワード (2~512 バイト) / 1~256 ワード (4~1024 バイト))	1、2、4 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1~65536 回

注 1. 転送元または転送先のいずれかをリピート領域に設定します。

注 2. 転送元または転送先のいずれかをブロック領域に設定します。

注 3. 指定回数の転送終了後は、初期状態に戻り、動作を再開します。

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数転送またはチェーン転送が可能です。指定されたデータ転送終了時にチェーン転送を行う設定も可能です。

図 16.4 に DTC の動作フローチャートを示します。表 16.3 にチェーン転送の条件を示します。この表では、2 番目以降の転送に対する制御情報の組み合わせは省略されています。

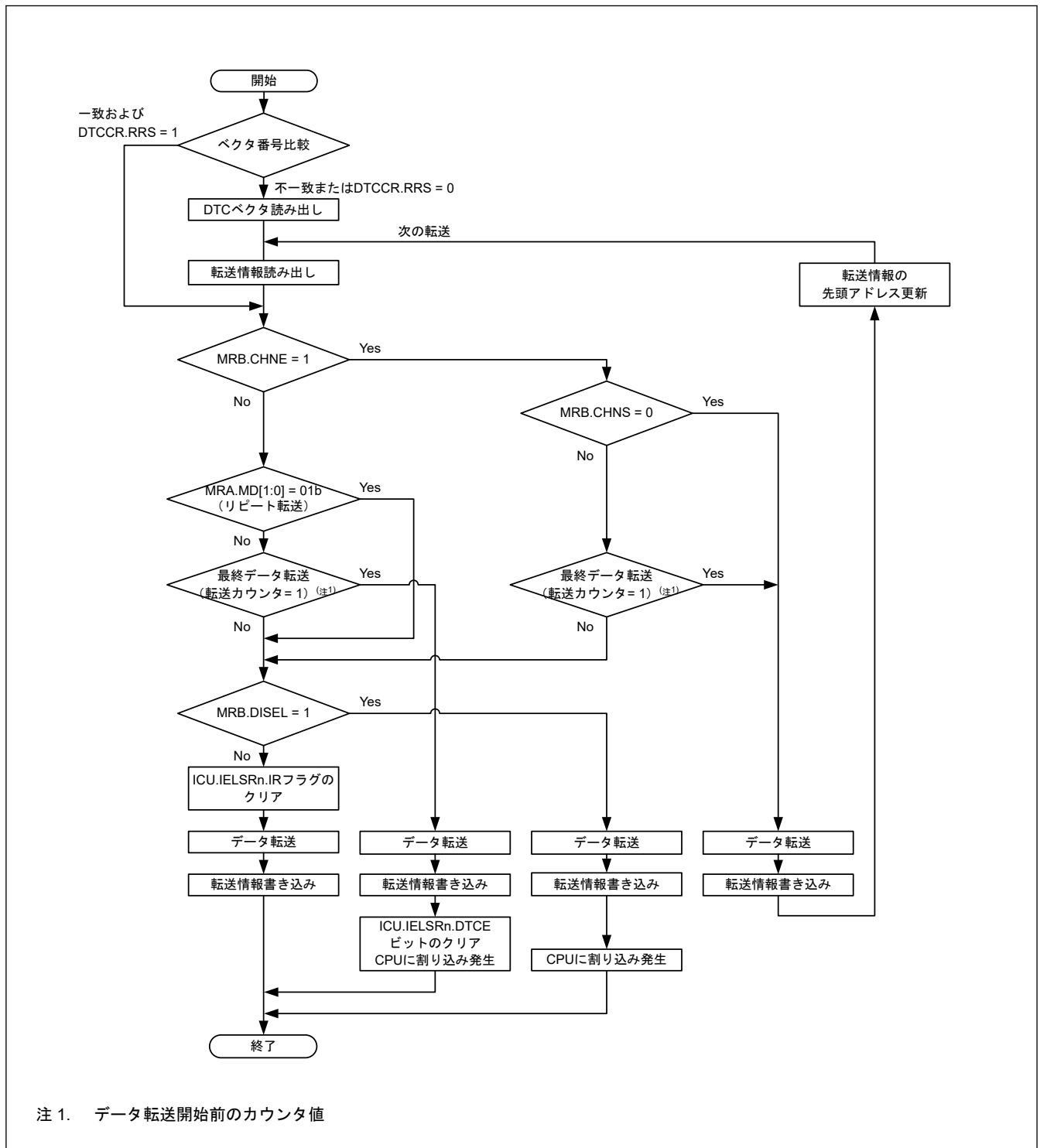


図 16.4 DTC 動作フローチャート

表 16.3 チェーン転送の条件

第 1 転送				第 2 転送 ^(注3)				DTC 転送
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ ^{(注1)(注2)}	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ ^{(注1)(注2)}	
0	—	0	(1→0) 以外	—	—	—	—	第 1 転送で終了
0	—	0	(1→0)	—	—	—	—	第 1 転送で終了し CPU へ 割り込み要求
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	(1→0) 以外	第 2 転送で終了
				0	—	0	(1→0)	第 2 転送で終了し CPU へ 割り込み要求
				0	—	1	—	
1	1	0	(1→*) 以外	—	—	—	—	第 1 転送で終了
1	1	—	(1→*)	0	—	0	(1→0) 以外	第 2 転送で終了
				0	—	0	(1→0)	第 2 転送で終了し CPU へ 割り込み要求
				0	—	1	—	
1	1	1	(1→*) 以外	—	—	—	—	第 1 転送で終了し CPU へ 割り込み要求

注 1. 使用する転送カウンタは、以下のように、各転送モードで異なります。

ノーマル転送モード：CRA レジスタ

リピート転送モード：CRAL レジスタ

ブロック転送モード：CRB レジスタ

注 2. 転送終了時のカウンタ動作は以下の通りです。

ノーマル転送モードとブロック転送モードでは (1→0)

リピート転送モードでは (1→CRAH)

表中の (1→*) は、これら両方の動作を表します。

注 3. 2 番目以降の転送に対してチェーン転送の選択が可能です。第 2 転送と CHNE ビットが 1 の組み合わせに対する条件は省略しています。

16.4.1 転送情報のリードスキップ機能

DTCCR.RRS ビットを設定することにより、ベクタアドレスと転送情報の読み出しをスキップできます。DTC 起動要求発生時に、今回の DTC ベクタ番号と前回起動時の DTC ベクタ番号が比較されます。ベクタ番号が一致し、かつ DTCCR.RRS ビットが 1 になっているときは、ベクタアドレスと転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送の場合は、ベクタアドレスと転送情報が読み出されます。さらに、前回のノーマル転送中に転送カウンタ（CRA レジスタ）が 0 になっている場合と、前回のブロック転送中に転送カウンタ（CRB レジスタ）が 0 になっている場合も、DTCCR.RRS ビットの値にかかわらず転送情報の読み出しが行われます。図 16.12 に転送情報の読み出しがスキップされる場合の例を示します。

DTC ベクタテーブルと転送情報を更新する場合は、DTCCR.RRS ビットを 0 にして、DTC ベクタテーブルと転送情報を更新した後、DTCCR.RRS ビットを 1 に戻してください。DTCCR.RRS ビットを一度 0 にすることによって、格納されていたベクタ番号が破棄されます。次の起動時には、更新された DTC ベクタテーブルと転送情報が読み出されます。

16.4.2 転送情報のライトバックスキップ機能

MRA.SM[1:0]ビットまたは MRB.DM[1:0]ビットを「アドレス固定」に設定すると、転送情報の一部はライトバックされません。表 16.4 に転送情報のライトバックスキップ条件と対応するレジスタを示します。CRA レジスタと CRB レジスタはライトバックされますが、MRA レジスタと MRB レジスタのライトバックはスキップされません。

表 16.4 転送情報ライトバックスキップ条件とライトバックスキップされるレジスタ

MRA.SM[1:0]ビット		MRB.DM[1:0]ビット		SAR レジスタ	DAR レジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

16.4.3 ノーマル転送モード

ノーマル転送モードでは、1つの起動要因で、1バイト（8ビット）、1ハーフワード（16ビット）、1ワード（32ビット）のデータ転送が可能です。転送回数は1～65536回まで設定できます。転送元アドレスと転送先アドレスは、それぞれ個別に、インクリメント、デクリメント、または固定に設定できます。このモードでは指定回数の転送が終了すると、CPUへの割り込み要求を発生させることができます。

表 16.5 にノーマル転送モードのレジスタ機能を、図 16.5 にノーマル転送モードのメモリマップを示します。

表 16.5 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	インクリメント／デクリメント／固定(注1)
DAR	転送先アドレス	インクリメント／デクリメント／固定(注1)
CRA	転送カウンタ A	CRA - 1
CRB	転送カウンタ B	更新なし

注 1. アドレス固定のとき、ライトバックはスキップされます。

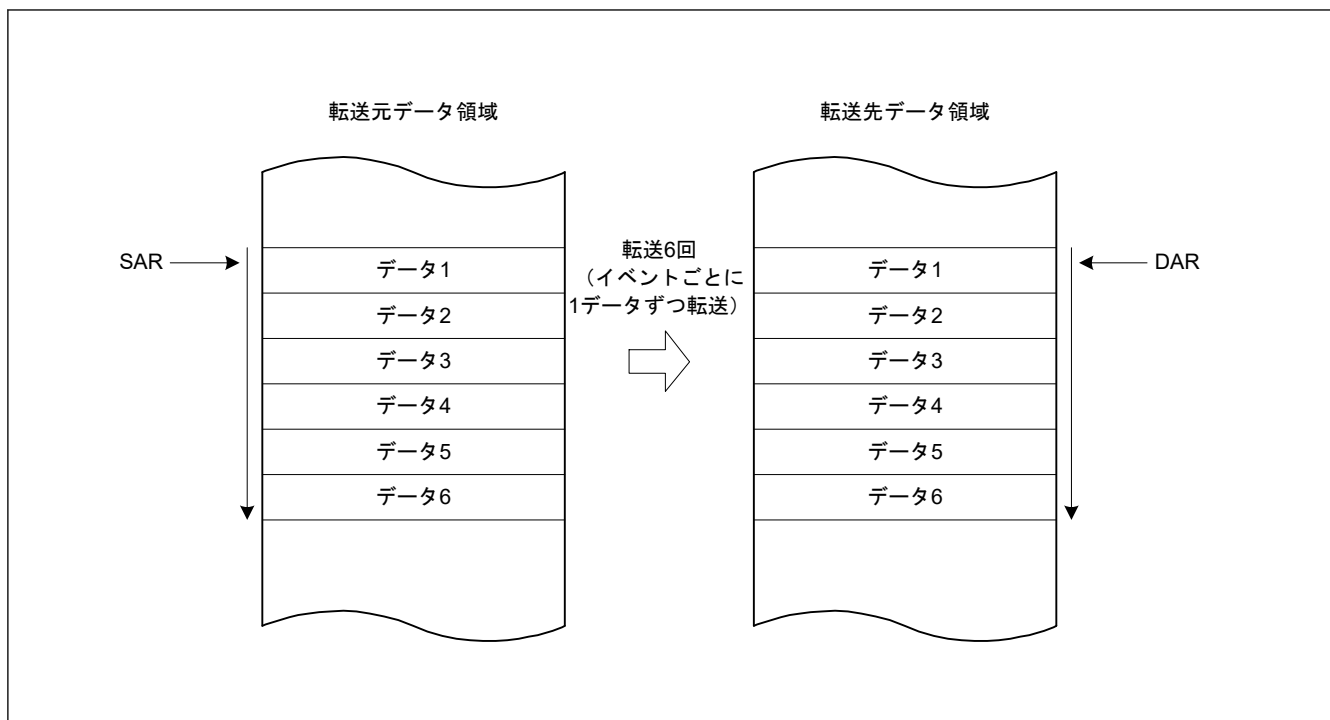


図 16.5 ノーマル転送モードのメモリマップ (MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRA = 0x0006)

16.4.4 リピート転送モード

このモードでは、1つの起動要因で、1バイト（8ビット）、1ハーフワード（16ビット）、または1ワード（32ビット）のデータ転送が可能です。MRB.DTSビットで、転送元と転送先のいずれかをリピート領域に指定する必要があります。転送回数は1～256回まで設定できます。指定回数の転送が終了すると、リピート領域に設定された方のアドレスレジスタは初期値に戻り、転送カウンタも初期値に戻ります。そして転送が繰り返されます。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ（CRALレジスタ）が0x00になると、CRALレジスタの値はCRAHレジスタで設定した値に更新されます。このため、転送カウンタが0x00にならないので、MRB.DISELビットが0になっていると、CPUへの割り込み要求は発生しません。指定されたデータ転送が終了したとき、CPUへの割り込みが発生します。

表 16.6 にリピート転送モードのレジスタ機能を、図 16.6 にリピート転送モードのメモリマップを示します。

表 16.6 リピート転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値	
		CRAL が 1 以外のとき	CRAL が 1 のとき
SAR	転送元アドレス	インクリメント／デクリメント／固定 ^(注1)	（MRB.DTS = 0 のとき）インクリメント／デクリメント／固定^(注1) （MRB.DTS = 1 のとき）SAR レジスタの初期値
DAR	転送先アドレス	インクリメント／デクリメント／固定 ^(注1)	（MRB.DTS = 0 のとき）DAR レジスタの初期値 （MRB.DTS = 1 のとき）インクリメント／デクリメント／固定^(注1)
CRAH	転送カウンタ保持	CRAH	CRAH
CRAL	転送カウンタ A	CRAL - 1	CRAH
CRB	転送カウンタ B	更新なし	更新なし

注 1. アドレス固定のとき、ライトバックはスキップされます。

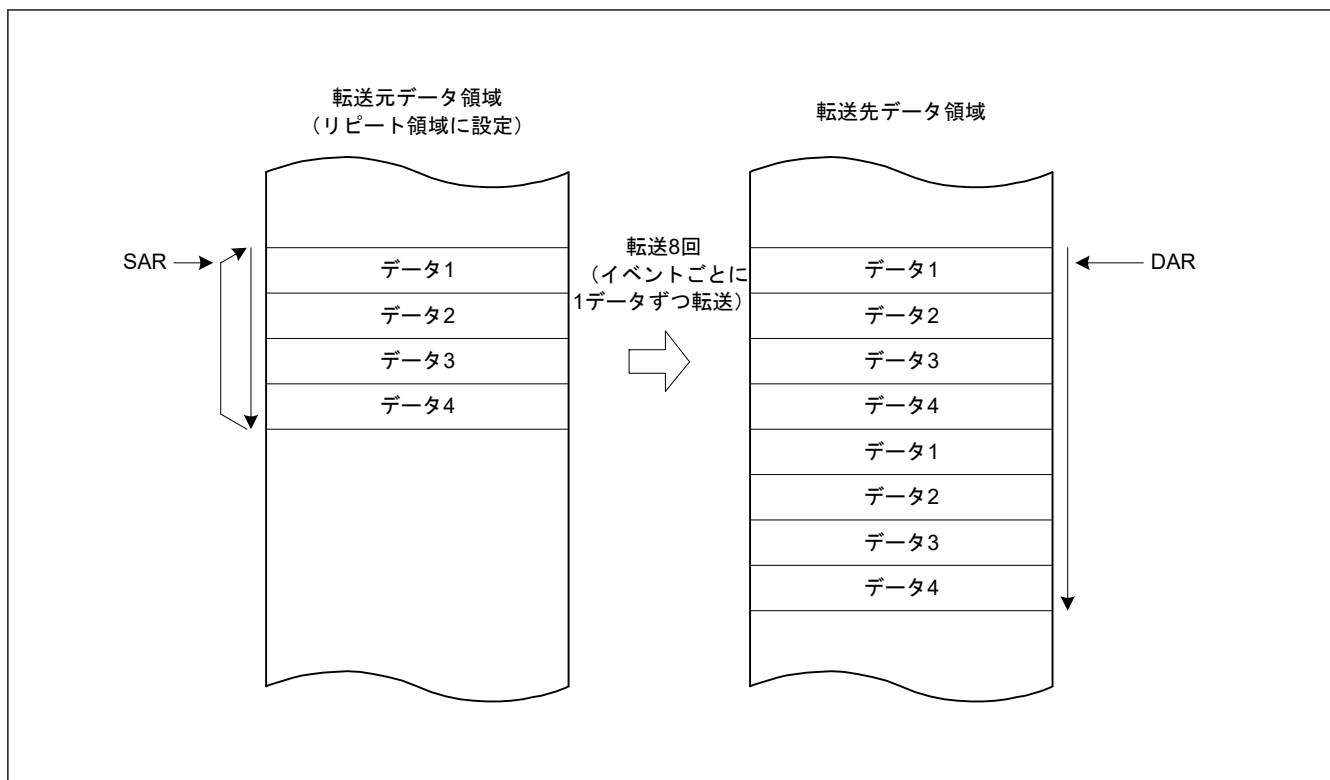


図 16.6 リピート転送モードのメモリマップ (転送元をリピート領域に設定した場合) (MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRAH = 0x04)

16.4.5 ブロック転送モード

このモードでは、1つの起動要因で1ブロックのデータ転送が可能です。MRB.DTS ビットで、転送元と転送先のいずれかをブロック領域に指定する必要があります。ブロックサイズは、1~256 バイト、1~256 ハーフワード (2~512 バイト)、または1~256 ワード (4~1024 バイト) に設定できます。指定された1ブロックの転送が終了すると、ブロックサイズカウンタ (CRAL レジスタ) と、ブロック領域に指定したアドレスレジスタ (MRB.DTS ビットが1のときは SAR レジスタ、MRB.DTS ビットが0のときは DAR レジスタ) は初期値に戻ります。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

転送回数 (ブロック数) は、1~65536 まで指定可能です。指定回数のブロック転送が終了すると、CPU への割り込み要求を発生させることができます。

表 16.7 にブロック転送モードのレジスタ機能を、図 16.7 にブロック転送モードのメモリマップを示します。

表 16.7 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	(MRB.DTS = 0 のとき) インクリメント/デクリメント/固定(注1) (MRB.DTS = 1 のとき) SAR レジスタの初期値
DAR	転送先アドレス	(MRB.DTS = 0 のとき) DAR レジスタの初期値 (MRB.DTS = 1 のとき) インクリメント/デクリメント/固定(注1)
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB - 1

注 1. アドレス固定のとき、ライトバックはスキップされます。

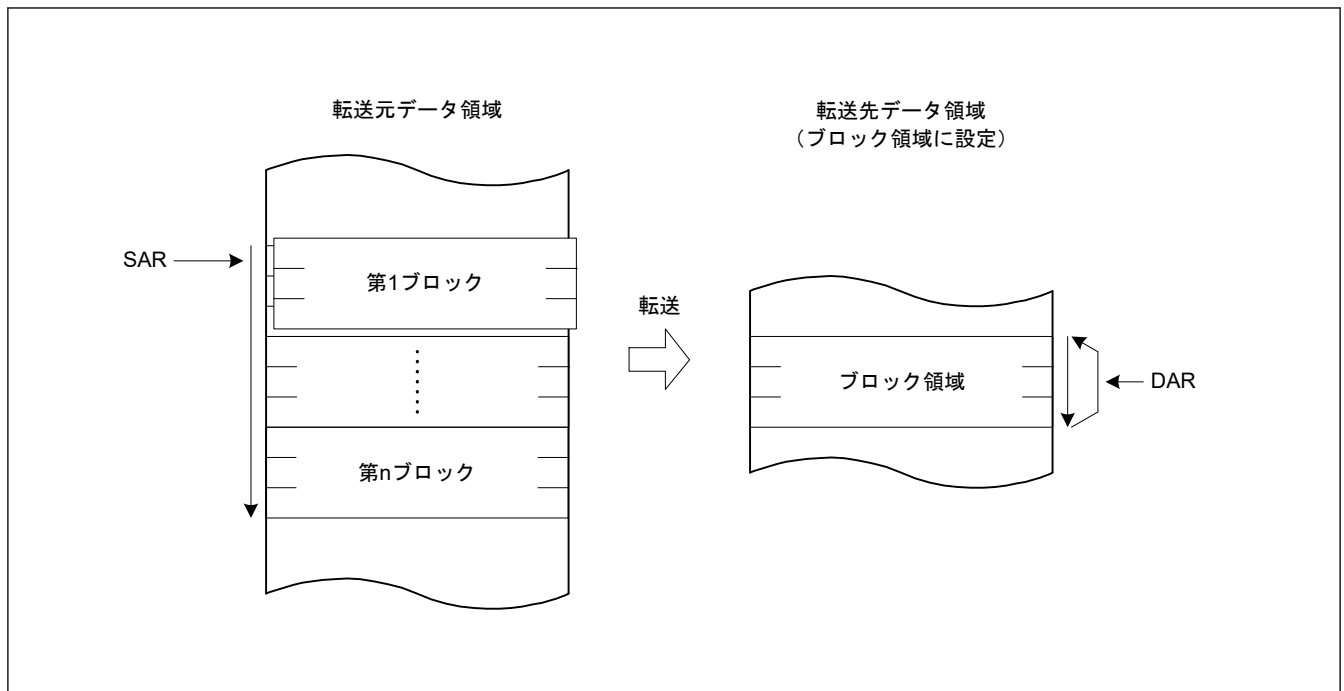


図 16.7 ブロック転送モードのメモリマップ

16.4.6 チェーン転送

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数のデータ転送を連続して行うチェーン転送が可能になります。MRB.CHNE ビットを 1 にして、MRB.CHNS ビットを 0 にした場合は、指定した転送回数の終了による CPU への割り込み要求も、MRB.DISEL = 1 による CPU への割り込み要求も発生しません。割り込み要求は、DTC データ転送のたびに CPU に送信されます。データ転送が、起動要因の ICU.IELSRn.IR フラグに影響を与えることはありません。

データ転送を定義するための SAR、DAR、CRA、CRB、MRA、および MRB レジスタは、それぞれ個別に設定可能です。図 16.8 にチェーン転送の動作を示します。

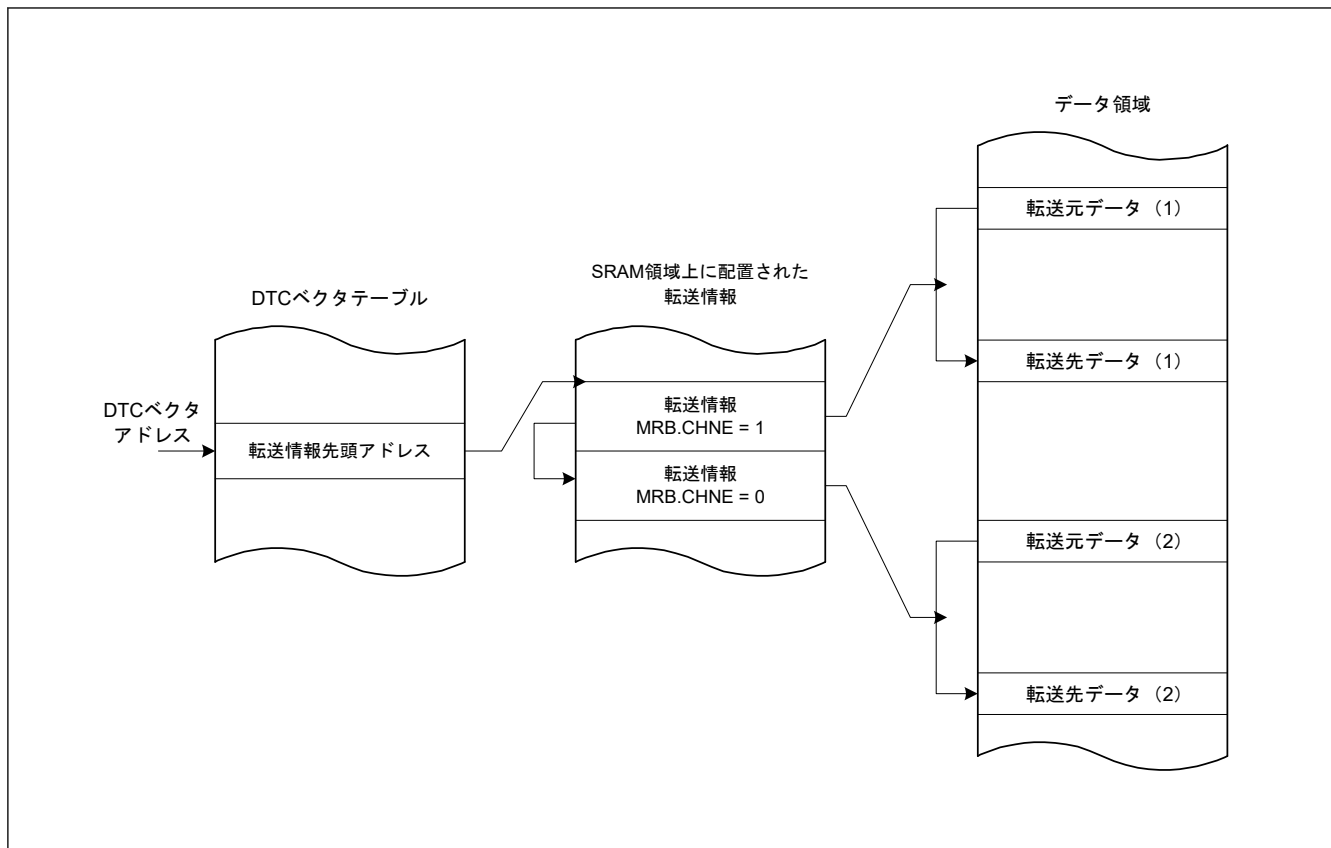


図 16.8 チェーン転送の動作

MRB.CHNE ビットと MRB.CHNS ビットを 1 にした場合、指定されたデータ転送終了時にのみチェーン転送を行います。リピート転送モードでも、指定されたデータ転送の終了時にチェーン転送が実行されます。チェーン転送の条件については、表 16.3 を参照してください。

16.4.7 動作タイミング

図 16.9～図 16.12 に示すタイミング図は、最小実行サイクル数を示しています。

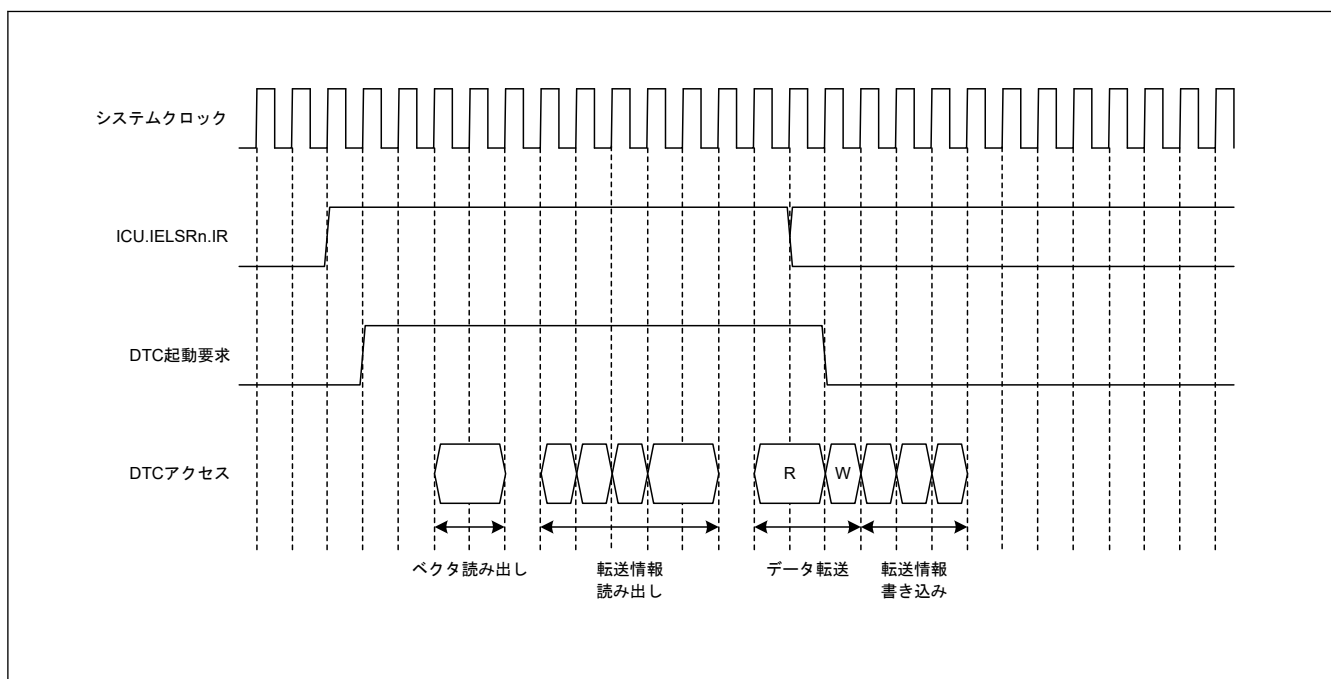


図 16.9 動作タイミング例 (1) (ノーマル転送モード、リピート転送モードの場合)

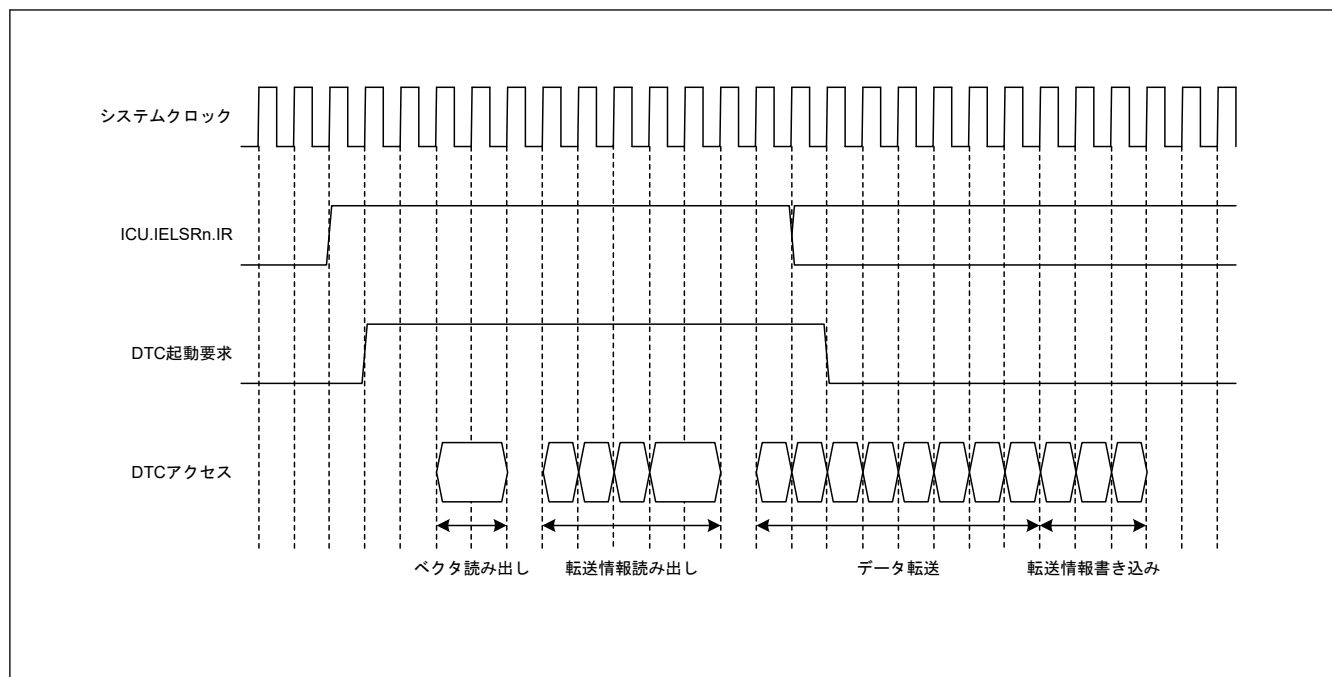


図 16.10 動作タイミング例 (2) (ブロック転送モード、ブロックサイズ = 4 の場合)

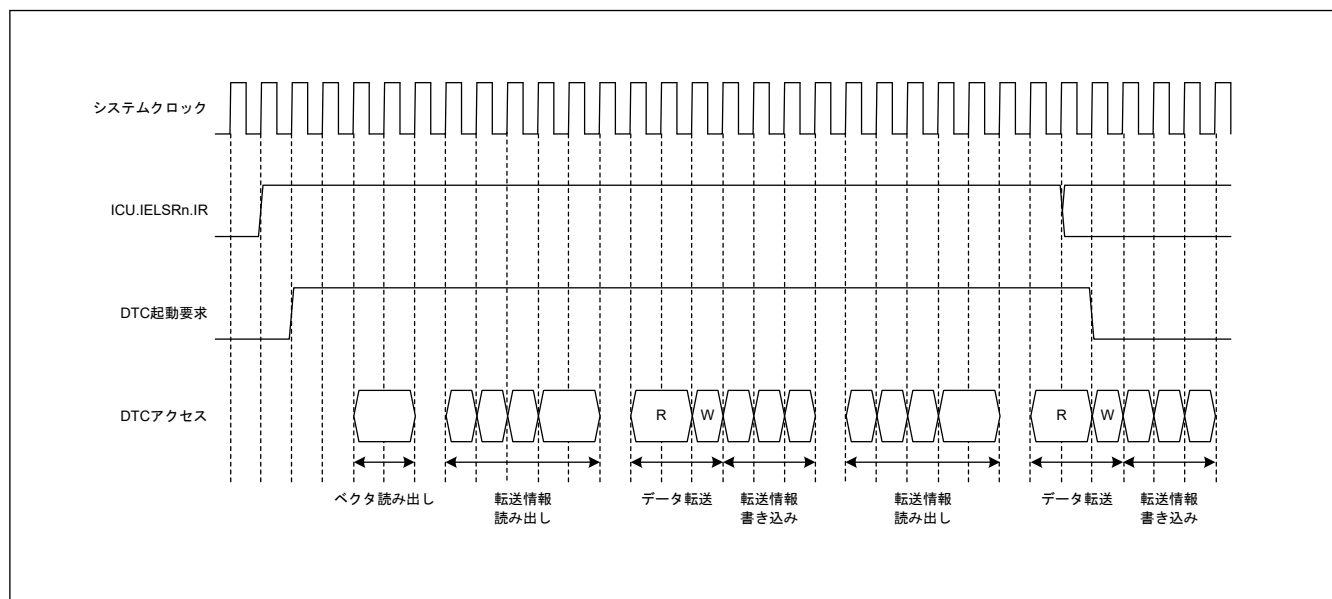


図 16.11 動作タイミング例 (3) (チェーン転送の場合)

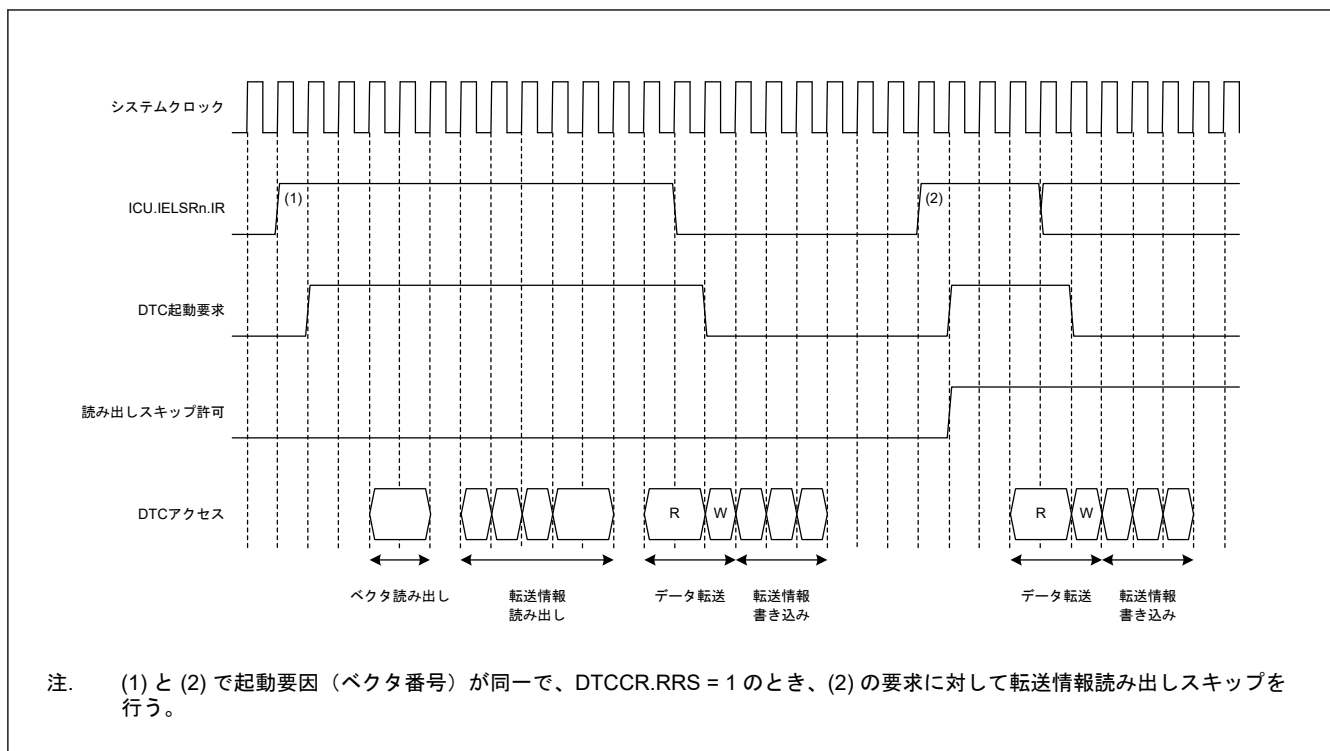


図 16.12 転送情報リードスキップ実行時の動作例（ベクタ、転送情報、転送先データが SRAM にあり、転送元データが周辺モジュールにある場合）

16.4.8 DTC の実行サイクル

表 16.8 に DTC の 1 回のデータ転送の実行サイクルを示します。各実行状態の順序については、「16.4.7. 動作タイミング」を参照してください。

表 16.8 DTC の実行サイクル

P: ブロックサイズ（CRAH および CRAL レジスタの初期設定値）

Cv: ベクタ転送情報格納先へのアクセスサイクル

Ci: 転送情報格納先アドレスへのアクセスサイクル

Cr: データリード先へのアクセスサイクル

Cw: データライト先へのアクセスサイクル

ベクタ読み出し、転送情報読み出し、データ転送読み出しの各列に記載の“+1”の単位と、内部動作の列に記載の“2”の単位は、いずれもシステムクロック (ICLK) です。

Cv、Ci、Cr、Cw は対応するアクセス先で異なります。それぞれのアクセス先に対するサイクル数については、「38. SRAM」、「39. フラッシュメモリ」および「13. バス」を参照してください。

システムクロックと周辺クロックの周波数比も考慮されています。

DTC の応答時間は、DTC の起動要因が検出されてから DTC 転送が始まるまでの時間です。

表 16.8 には、DTC の起動要因がアクティブになってから DTC データ転送が始まるまでの時間は含まれていません。

転送モード	ベクタ読み出し		転送情報読み出し		転送情報書き込み			データ転送		内部動作	
								読み出し	書き込み		
ノーマル	Cv + 1	0(注1)	4 × Ci + 1	0(注1)	3 × Ci + 1(注2)	2 × Ci + 1(注3)	Ci(注4)	Cr + 1	Cw + 1	2	0(注1)
リピート								Cr + 1	Cw + 1		
ブロック(注5)								P × Cr	P × Cw		

注 1. 転送情報がリードスキップされる場合

注 2. SAR レジスタと DAR レジスタがともにアドレス固定でない場合

注 3. SAR レジスタと DAR レジスタのいずれかがアドレス固定の場合

注 4. SAR レジスタと DAR レジスタがともにアドレス固定の場合

注 5. ブロックサイズが 2 以上の場合。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

16.4.9 DTC のバス権解放タイミング

DTC は、転送情報の読み出し中はバス権を解放しません。転送情報の読み出しや書き込みが実施される前に、バスマスタ調停部によって決定された優先順位に従ってバス調停が行われます。バス調停については、「[13. バス](#)」を参照してください。

16.4.10 ベクタセキュリティ

DTC ベクタ n の転送アクセスのセキュリティ属性と ICU の IELSR n ($n=0\sim63$) レジスタへのアクセスのセキュリティ属性は、CPSCU の ICUSAR x ($x=G, H, I$) レジスタの SAIELSR n ビットで制御されます。CPSCU.ICUSAR x レジスタの詳細は、「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

CPSCU.ICUSAR x .SAIELSR n ビットが 0 の場合、DTC ベクタ n の転送は読み出しおよび書き込みの両方に対してセキュアアクセスです。同時に、IELSR n レジスタは非セキュアアクセスから保護されます。

CPSCU.ICUSAR x .SAIELSR n ビットが 1 の場合、DTC ベクタ n の転送は読み出しおよび書き込みの両方に対して非セキュアアクセスです。同時に、IELSR n レジスタは非セキュア属性を有します。

DTC 転送が許可され、バスマスタが同じチャネルの DTC レジスタに書き込んでいる間は、CPSCU.ICUSAR x .SAIELSR n ビットに書き込まないでください。

「[16.3.1. 転送情報の配置と DTC ベクタテーブル](#)」に各 DTC ベクタに関するセキュリティ属性を示します。

16.4.11 DTC のマスタ TrustZone フィルタ

DTC には、マスタ TrustZone フィルタがあります。DTC のマスタ TrustZone フィルタは、IDAU で定義するフラッシュ領域（コードフラッシュとデータフラッシュ）と SRAM 領域（ECC/パリティ RAM）のセキュリティ領域を検出できます。それらのアドレスへの非セキュアアクセスは、セキュリティ違反として検出されます。セキュリティ違反のアクセスは実行されません。検出したエラーは、マスタ TrustZone フィルタエラーとして扱います。

16.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ (DTCVBR) を設定してください。ICU.IELSR n .IELS[8:0] ビットを 0 にしてください。また、NVIC で割り込みを禁止して、[表 16.9](#) の手順で DCT の設定を行ってください。

表 16.9 DTC の設定手順

No.	手順	内容
1	DTCCR ^(注1) .RRS ビットを 0 にします。	DTCCR ^(注1) .RRS ビットを 0 にして、転送情報読み出しスキップフラグをリセットします。その後、DTC を起動したとき、転送情報読み出しはスキップされません。転送情報を更新したときは、この設定を行ってください。
2	転送情報 (MRA, MRB, SAR, DAR, CRA, CRB) を設定します。	転送情報 (MRA, MRB, SAR, DAR, CRA, CRB) を SRAM 領域に配置してください。転送情報の設定は、「 16.2. レジスタの説明 」を参照してください。転送情報の配置方法は、「 16.3.1. 転送情報の配置と DTC ベクタテーブル 」を参照してください。
3	転送情報の先頭アドレスを DTC ベクタテーブルに設定します。	転送情報の先頭アドレスを DTC ベクタテーブルに設定してください。DTC ベクタテーブルの設定方法は、「 16.3.1. 転送情報の配置と DTC ベクタテーブル 」を参照してください。
4	DTCCR ^(注1) .RRS ビットを 1 にします。	DTCCR ^(注1) .RRS ビットを 1 にすることで、同一の割り込み要因による連続した DTC 起動を行う場合の 2 回目以降の転送情報読み出しサイクルをスキップできます。RRS ビットは 1 に設定できますが、DTC 転送中の設定は、次の転送から有効になります。
5	ICU.IELSR n .DTCE ビットを 1 にしてください。 ICU.IELSR n .IELS[8:1] ビットを割り込み要因として設定してください。この割り込みは NVIC で許可に設定する必要があります。	ICU.IELSR n .DTCE ビットを 1 にしてください。また、DTC をトリガする割り込み要因として ICU.IELSR n .IELS[8:0] を設定してください。この割り込みは NVIC で許可に設定する必要があります。「 12. 割り込みコントローラユニット (ICU) 」の「 12.3.2. イベント番号 」を参照してください。
6	起動要因となる割り込みの許可ビットを 1 に設定します。	起動要因となる割り込みの許可ビットを 1 に設定してください。要因となる割り込みが発生すると、DTC が起動されます。割り込み要因許可ビットの設定については、起動要因となるモジュールの設定方法を参照してください。
7	DTCST.DTCST ビットを 1 に設定します。	DTC モジュール起動ビット (DTCST.DTCST) を 1 に設定してください。

- 注. DTCST.DTCST ビットの設定は、各起動要因の設定の後でなくても構いません。
注. 非セキュア状態で使用する場合、DTC SAR.DTCSTSA = 1 または DTCST.DTCST = 1 を設定してください。
注 1. セキュア状態で使用する場合、DTCCR ではなく DTCCR_SEC にアクセスしてください。

16.6 DTC の使用例

16.6.1 ノーマル転送

ここでは、DTC の使用例として、SCI から 128 バイトのデータ受信を行う場合を示します。

(1) 転送情報の設定

MRA レジスタに、転送元アドレス固定 (MRA.SM[1:0] = 00b)、ノーマル転送モード (MRA.MD[1:0] = 00b)、およびバイト転送 (MRA.SZ[1:0] = 00b) を設定します。MRB レジスタには、転送先アドレスのインクリメント (MRB.DM[1:0] = 10b) と、1 回の割り込みで 1 回のデータ転送 (MRB.CHNE = 0 および MRB.DISEL = 0) を設定します。MRB.DTS ビットは任意の値を設定できます。SAR レジスタには SCI の RDR レジスタのアドレス、DAR レジスタにはデータを格納する SRAM 領域の開始アドレス、CRA レジスタには 128 回 (0x0080) を設定します。CRB レジスタは任意の値を設定できます。

(2) DTC ベクタテーブルの設定

RXI 割り込み用の転送情報の開始アドレスを、DTC のベクタテーブルに設定します。

(3) ICU の設定と DTC モジュールの起動

ICU.IELSRn.DTCE ビットを 1 にします。また、SCI 割り込みとして ICU.IELSRn.IELS[8:0] ビットを設定します。この割り込みは NVIC で許可に設定する必要があります。DTCST.DTCST ビットを 1 にします。

(4) SCI の設定

SCI の SCR.RIE ビットを 1 にして SCIn_RXI (n = 0, 1, 3~5, 9) 割り込みを許可します。SCI の受信動作中に受信エラーが発生すると、受信が停止します。これに対処するため、CPU が受信エラー割り込みを受け付けられるような設定を使用してください。

(5) DTC 転送

SCI が 1 バイトのデータ受信を完了するごとに SCIn_RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCI の RDR レジスタから SRAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントが行われます。

(6) 割り込み処理

128 回のデータ転送が終了して CRA レジスタが 0 になると、CPU に対する SCIn_RXI 割り込み要求が発生します。この割り込みに対して割り込み処理ルーチンで処理を終了してください。

16.6.2 チェーン転送

ここでは、DTC のチェーン転送の例として、汎用 PWM タイマ (GPT) によってパルスを出力する場合を示します。チェーン転送を利用して、PWM タイマのコンペア値を転送し、GPT 用 PWM タイマの周期を変更することができます。

チェーン転送の最初の転送には、GPTm.GTCCRC レジスタ (m = 320, 321, 162~165) への転送用にノーマル転送モードを指定します。チェーン転送の 2 番目の転送には、GPTm.GTCCRE レジスタ (m = 320, 321, 162~165) への転送用にノーマル転送モードを指定します。チェーン転送の 3 番目の転送には、GPTm.GTPBR レジスタ (m = 320, 321, 162~165) への転送用にノーマル転送モードを指定します。これは、起動要因のクリアや指定回数の転送終了時の割り込み発生が、チェーン転送の 3 番目の転送、すなわち MRB.CHNE = 0 のときの転送にのみ行われるからです。

以下の例では、DTC の起動要因として、GPT320.GTPR レジスタによるカウンタオーバーフロー割り込みの使用方法を説明します。

(1) 第 1 転送情報の設定

GPT320.GTCCRC レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] = 10b) を選択します。

2. ノーマル転送モード (MRA.MD[1:0] = 00b) とワード転送 (MRA.SZ[1:0] = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] = 00b) を選択し、チェーン転送 (MRB.CHNE = 1 および MRB.CHNS = 0) を設定します。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT320.GTCCRC レジスタのアドレスを設定します。
6. CRAH レジスタおよび CRAL レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(2) 第2転送情報の設定

GPT320.GTCCRE レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] = 00b) とワード転送 (MRA.SZ[1:0] = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] = 00b) を選択し、チェーン転送 (MRB.CHNE = 1, MRB.CHNS = 0) を設定します。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT320.GTCCRE レジスタのアドレスを設定します。
6. CRAH レジスタおよび CRAL レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(3) 第3転送情報の設定

GPT320.GTPBR レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] = 00b) とワード転送 (MRA.SZ[1:0] = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] = 00b) を選択し、1回の割り込みで1回のデータ転送 (MRB.CHNE = 0, MRB.DISEL = 0) を設定します。MRB.DTS ビットは任意の値を設定できます。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT320.GTPBR レジスタのアドレスを設定します。
6. CRA レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(4) 転送情報の配置

GPT320.GTPBR レジスタへの転送で使用する転送情報は、GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタで使用する転送制御情報のすぐ後に配置します。

(5) DTC ベクタテーブルの設定

DTC ベクタテーブルで、GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタへの転送で使用する転送制御情報の開始アドレスを設定します。

(6) ICU の設定と DTC モジュールの起動

1. GPT320 カウンタオーバーフロー割り込みに対応する ICU.IELSRn.DTCE ビットを設定します。
2. ICU.IELSRn.IELS[8:0] ビットを設定して、GPT320 カウンタオーバーフローを指定します。
3. DTCST.DTCST ビットを 1 にします。

(7) GPT の設定

1. GTCCRA レジスタと GTCCRB レジスタがアウトプットコンペアレジスタとして動作できるように、GPT320.GTIOR レジスタを設定します。
2. GPT320.GTCCRA レジスタと GPT320.GTCCRB レジスタには、デフォルトの PWM タイマコンペア値を設定し、GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタには、次の PWM タイマコンペア値を設定します。

3. GPT320.GTPR レジスタには、デフォルトの PWM タイマ周期値を設定し、GPT320.GTPBR レジスタには、次の PWM タイマ周期値を設定します。
4. PmnPFS.PDR ビットを 1 (出力) にして、PmnPFS.PSEL[4:0] ビット (周辺機能選択) を 00011b にします。

(8) GPT の起動

GPT320.GTSTR.CSTRT ビットを 1 にして、GPT320.GTCNT カウンタを開始します。

(9) DTC 転送

GPT320.GTPR レジスタで GPT320 カウンタオーバーフローが発生するたびに、次の PWM タイマコンペア値が GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタへ転送されます。また、次の PWM タイマ周期の設定値が GPT320.GTPBR レジスタへ転送されます。

(10) 割り込み処理

指定した回数の転送終了後 (たとえば、GPT 転送用 CRA レジスタの値が 0 になると)、CPU に対して GPT320 カウンタオーバーフロー割り込み要求が発行されます。割り込み処理ルーチンで終了処理を行ってください。

16.6.3 転送カウンタ = 0 のときのチェーン転送

第 2 転送は第 1 転送の転送カウンタが 0 になったときにだけ実行されます。第 1 転送情報は第 2 転送が実行されるたびに繰り返し変更されます。チェーン転送によって、256 回以上のリピータ転送が可能になります。

以下に、1 KB の入力バッファを構成する例を示します。入力バッファは下位アドレスが 0x00 から始まるように設定されています。図 16.13 に転送カウンタ = 0 のときのチェーン転送を示します。

1. 第 1 転送のデータ入力用にノーマル転送モードを設定します。以下のように設定してください。
 - (a) 転送元アドレス = 固定
 - (b) CRA = 0x0200 (512 回)
 - (c) MRB.CHNE = 1 (チェーン転送許可)
 - (d) MRB.CHNS = 1 (転送カウンタが 0 の場合のみチェーン転送を行う)
 - (e) MRB.DISEL = 0 (指定されたデータ転送の終了時、CPU への割り込み要求が発生)
2. 第 1 転送の転送先アドレスの 512 回ごとに、開始アドレスの上位 8 ビットアドレスを別の領域 (コードフラッシュメモリなど) に用意してください。たとえば、入力バッファを 0x8000~0x83FF にする場合は、0x82 と 0x80 を用意します。
3. 第 2 転送は以下のように設定してください。
 - (a) 第 1 転送の転送カウンタをリセットするため、リピータ転送モード (転送元および転送先アドレスは固定) に設定
 - (b) 転送先として、第 1 転送情報領域の CAR レジスタを指定
 - (c) MRB.CHNE = 1 (チェーン転送許可)
 - (d) MRB.CHNS = 0 (連続チェーン転送を選択)
 - (e) MRB.DISEL = 0 (指定されたデータ転送の終了時、CPU への割り込み要求が発生)
 - (f) CRA = 0x0101 (転送回数は 1 回)
4. 第 3 転送は以下のように設定してください。
 - (a) 第 1 転送の転送先アドレスをリセットするため、リピータ転送モード (転送元をリピータ領域) に設定
 - (b) 転送先として、第 1 転送情報領域の DAR レジスタの上位 8 ビットを指定
 - (c) MRB.CHNE = 0 (チェーン転送禁止)
 - (d) MRB.DISEL = 0 (指定されたデータ転送の終了時、CPU への割り込み要求が発生)
 - (e) 入力バッファを 0x8000~0x83FF にした場合は、転送カウンタ = 2
5. 1 回の割り込みで、第 1 転送が 512 回実行されます。第 1 転送の転送カウンタが 0 になると、第 2 転送がスタートします。第 1 転送の転送カウンタを 0x0200 にしてください。第 1 転送の転送先アドレスの下位 8 ビット (転送カウンタ) は 0x0200 になっています。

6. 1回の割り込みで、第2転送が1回実行されます。第1転送の転送カウンタが0になると、第3転送がスタートします。第1転送の転送先アドレスの上位8ビットを0x82にしてください。転送先アドレスの下位8ビットは0x00、第1転送の転送カウンタは0x0200になっています。
7. 引き続き1回の割り込みで、第1転送用に指定された512回だけ、第1転送が実行されます。第1転送の転送カウンタが0になると、第2転送がスタートします。第1転送の転送カウンタを0x0200にしてください。第1転送の転送先アドレスの下位8ビット（転送カウンタ）は0x0200になっています。
8. 1回の割り込みで、第2転送が1回実行されます。第1転送の転送カウンタが0になると、第3転送がスタートします。第1転送の転送先アドレスの上位8ビットを0x80にしてください。転送先アドレスの下位8ビットは0x00、第1転送の転送カウンタは0x0200になっています。
9. 手順5と8が無限に繰り返されます。第2転送はリピート転送モードのため、CPUへの割り込み要求は発生しません。

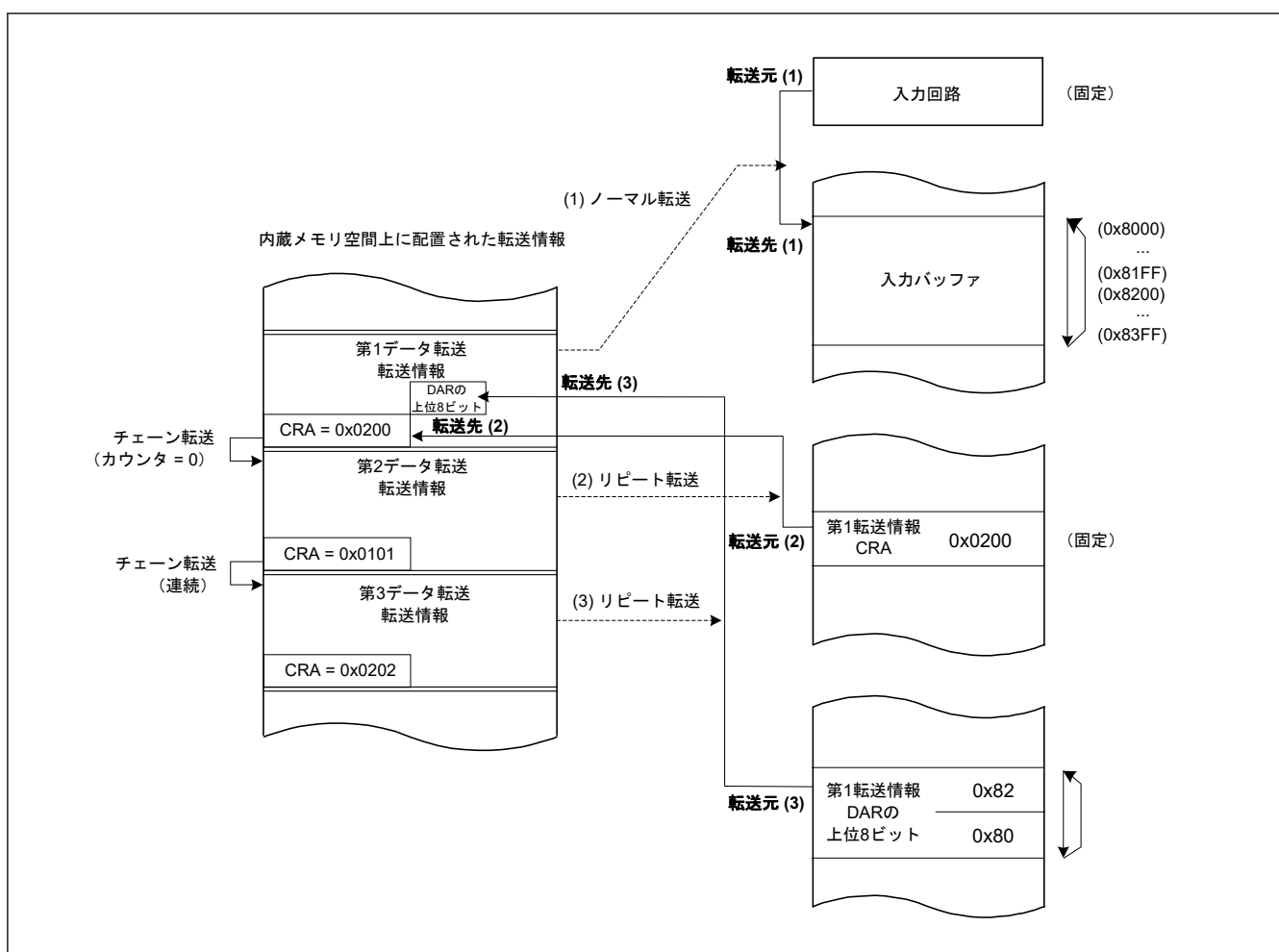


図 16.13 転送カウンタ = 0 のときのチェーン転送

16.7 DTC 転送エラーにおける処理

DTC 転送中にアクセスエラーが発生すると、DTC は即座にアクセスを停止します。エラーを引き起こしたベクタ番号のみを停止させるために、ICU にエラーを引き起こしたベクタ番号を伝え、対応する ICU の設定をクリアしてください。その後、エラーを引き起こしたベクタ番号以外の要求があれば、そのまま再調停となります。DTC の TrustZone フィルタが違反を検出するときに、転送エラー発生状況が示されます。

転送エラーが発生すると、エラー応答が ICU に伝わります。ICU は、転送エラーを引き起こした対応するベクタ番号の ICU.IELSRn をクリアします。さらに、DMAC/DTC 転送によるエラーの発生を通知するために、ICU はエラー応答検出割り込みを発生させます (「16.8.2. 転送エラーの割り込み要求」)。SRAM への書き込みは実行されません。

マスタ TrustZone フィルタエラー、スレーブ TrustZone エラー、またはマスタ MPU エラーが発生したとき、NMI を選択することで DTC のエラー情報を確認できます。リセットを選択すると、DTC エラーベクタレジスタはクリアされます。DTC の転送エラーによって NMI が生成する条件では、2 つの割り込み (NMI と DMA_TRANSERR) を生成します。この場合、NMI は常に最初に応答します。

エラー応答検出割り込み要求 (DMA_TRANSERR) は、スレーブバスエラーまたは不正アクセスエラーが起こる場合に発生します。さらに、それはエラー応答検出割り込み要求 (DMA_TRANSERR) が NMI ハンドラでクリアされない場合の NMI 発生後に起こります。

「16.7.1. NMI ハンドラにおける処理」に NMI ハンドラでの DTC のエラー情報を確認する方法を示します。

「16.7.2. エラー応答検出割り込み要求 (DMA_TRANSERR) ハンドラにおける処理」に DMA_TRANSERR ハンドラでの DTC のエラー情報を確認する方法を示します。

「16.8.2. 転送エラーの割り込み要求」に転送エラー起因で発生した割り込みとエラー情報を示します。

16.7.1 NMI ハンドラにおける処理

DMA 転送エラーに起因する NMI の原因は、マスタ TrustZone フィルタエラー、スレーブ TrustZone フィルタエラー、またはマスタ MPU エラーです。NMI が DTC 転送エラーに起因して発生するとき、NMI ハンドラの終了後にエラー応答検出割り込み要求 (DMA_TRANSERR) が発生します。エラーの原因と、エラーの発生した DTC ベクタ番号を確認できます。NMI が発生したときは、「12. 割り込みコントローラユニット (ICU)」で説明するフローに従って必要な処理を実行してください。

図 16.14 に DTC でマスタ TrustZone フィルタエラーが発生したベクタ番号を確認するためのフローを示します。

図 16.15 に DTC でスレーブ TrustZone フィルタエラーが発生したベクタ番号を確認するためのフローを示します。

図 16.16 に DTC でマスタ MPU エラーが発生したベクタ番号とセキュリティ属性を確認するためのフローを示します。

NMI ハンドラでのすべての処理が終了すると、その後に発生するエラー応答検出割り込み要求 (DMA_TRANSERR) をクリアすることが可能です。

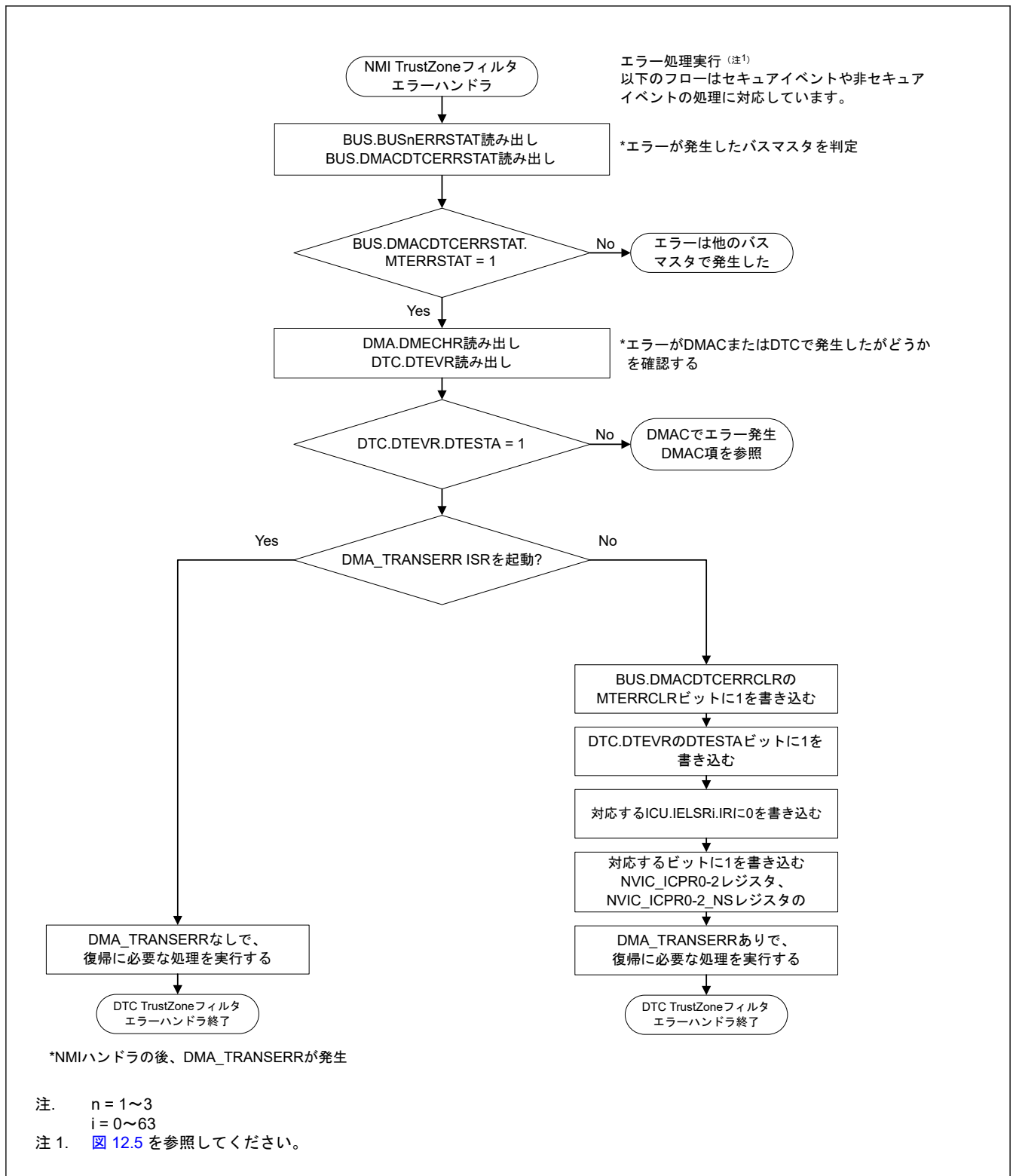


図 16.14 マスタ TrustZone フィルタエラーの NMI ハンドラにおける処理

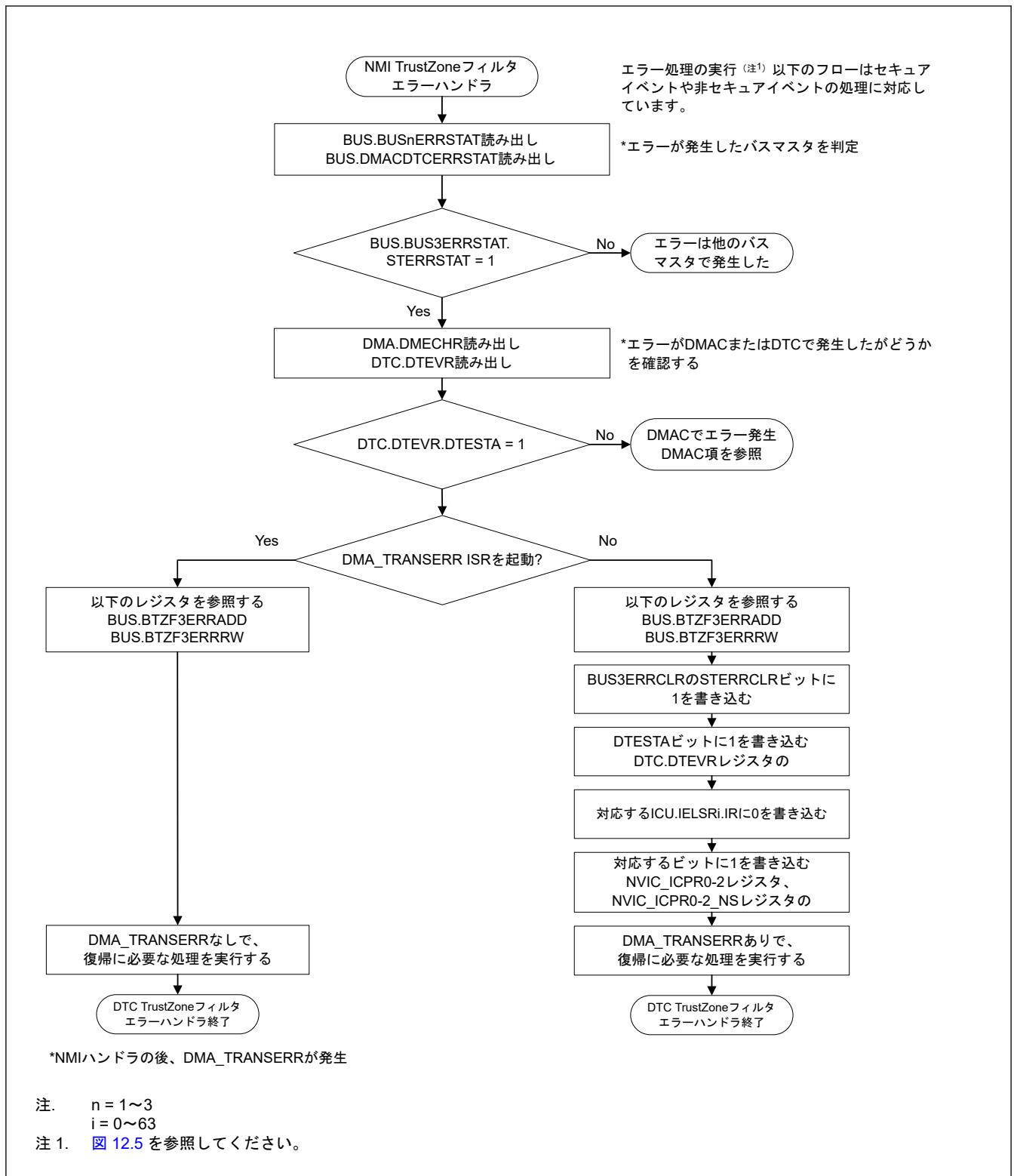


図 16.15 スレーブ TrustZone フィルタエラーの NMI ハンドラにおける処理

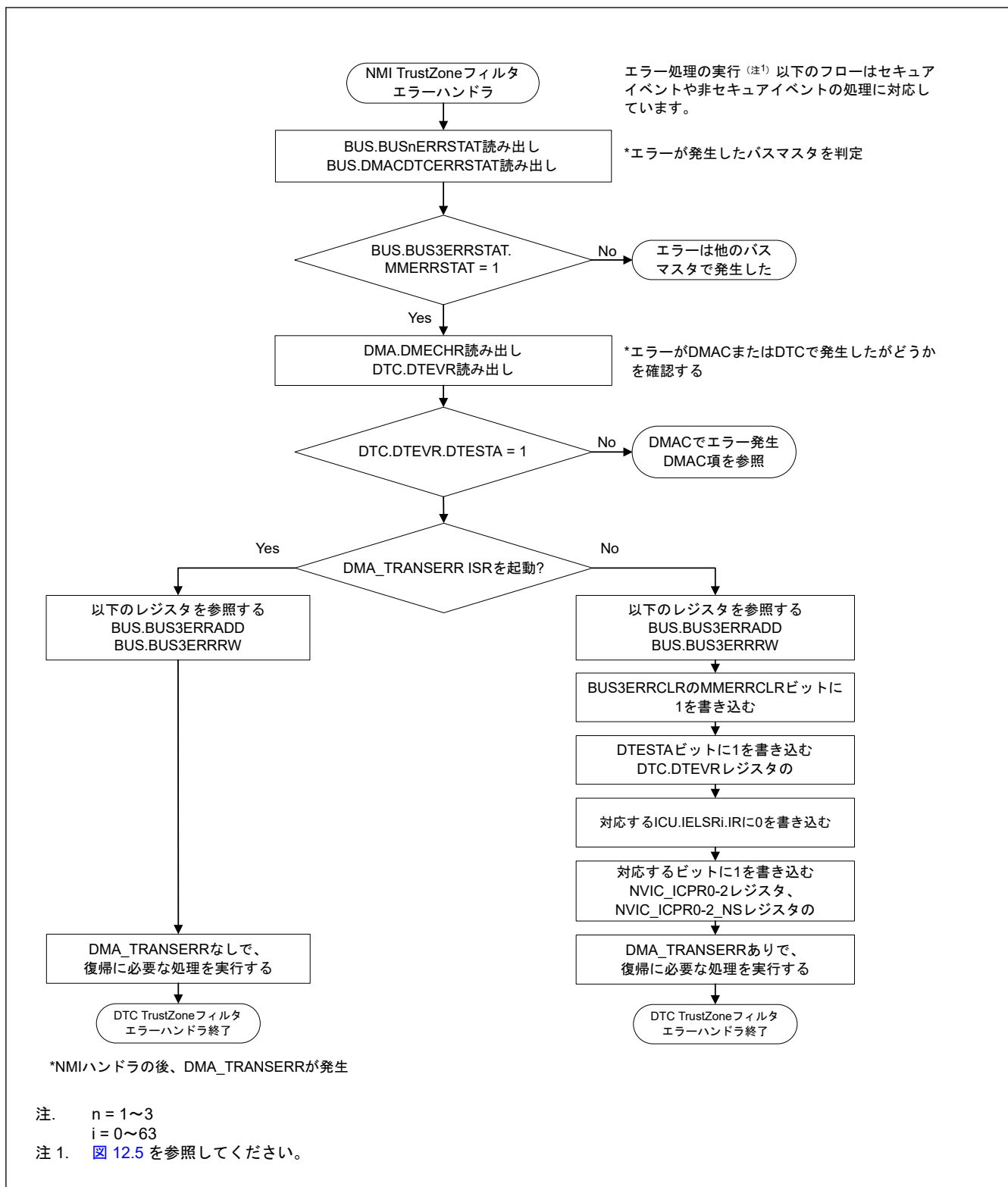


図 16.16 マスタ MPU エラーによる NMI ハンドラでの処理

16.7.2 エラー応答検出割り込み要求 (DMA_TRANSERR) ハンドラにおける処理

DMA 転送エラーに起因するエラー応答検出割り込み要求 (DMA_TRANSERR) の原因は、スレーブバスエラー、または不正アクセスエラーです。またこのエラーは、NMI ハンドラエラー応答検出割り込み要求 (DMA_TRANSERR) が NMI ハンドラによりクリアされなかった際にも発生します。

エラーの原因とエラーが発生した DTC ベクタ番号を確認することが可能です。

図 16.17 にエラー原因確認手順を示します。

図 16.18 に DTC でマスタ TrustZone フィルタエラーが発生したベクタ番号を確認するためのフローを示します。

図 16.19 に DTC でスレーブ TrustZone フィルタエラーが発生したベクタ番号を確認するためのフローを示します。

図 16.20 に DTC のマスタ MPU エラーが発生したベクタ番号とセキュリティ属性を確認するフローを示します。

図 16.21 に DTC のスレーブバスエラーが発生したベクタ番号とセキュリティ属性を確認するフローを示します。

図 16.22 に DTC の不正アクセスエラーが発生したベクタ番号とセキュリティ属性を確認するフローを示します。

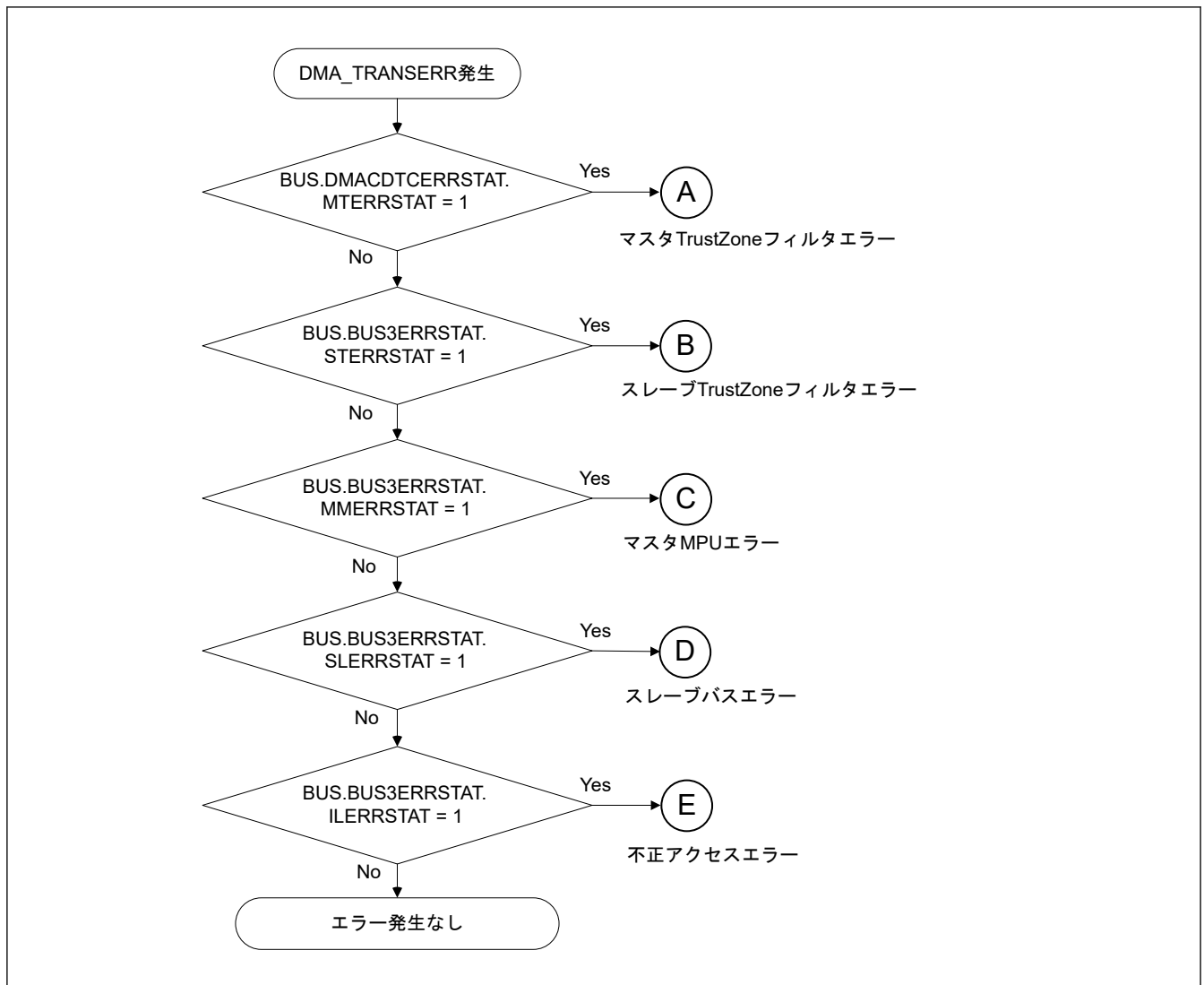


図 16.17 エラー応答検出割り込み (DMA_TRANSERR) 発生時の転送エラー要因判定

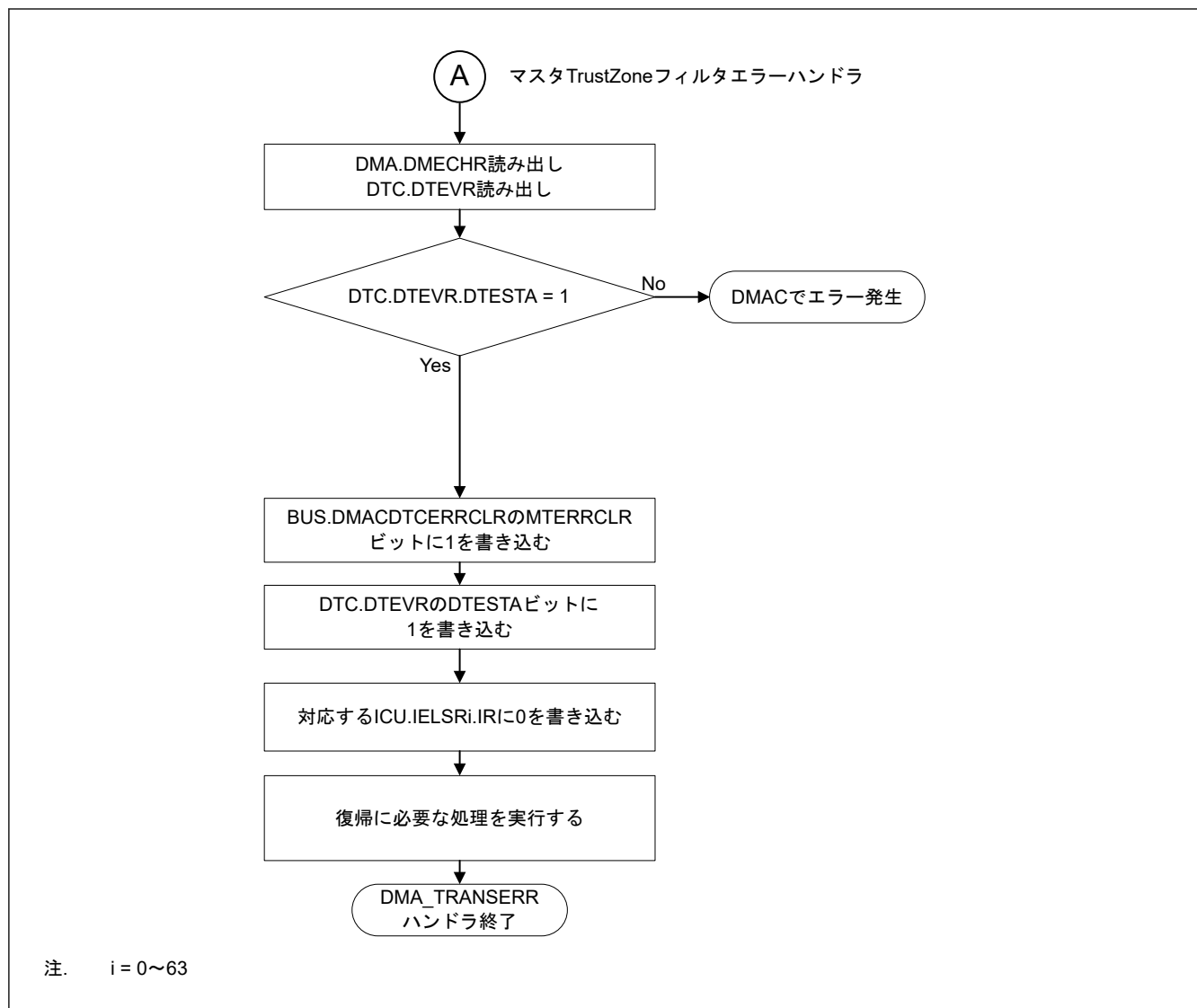


図 16.18 マスタ TrustZone フィルタエラーの DMA_TRANSERR ハンドラにおける処理

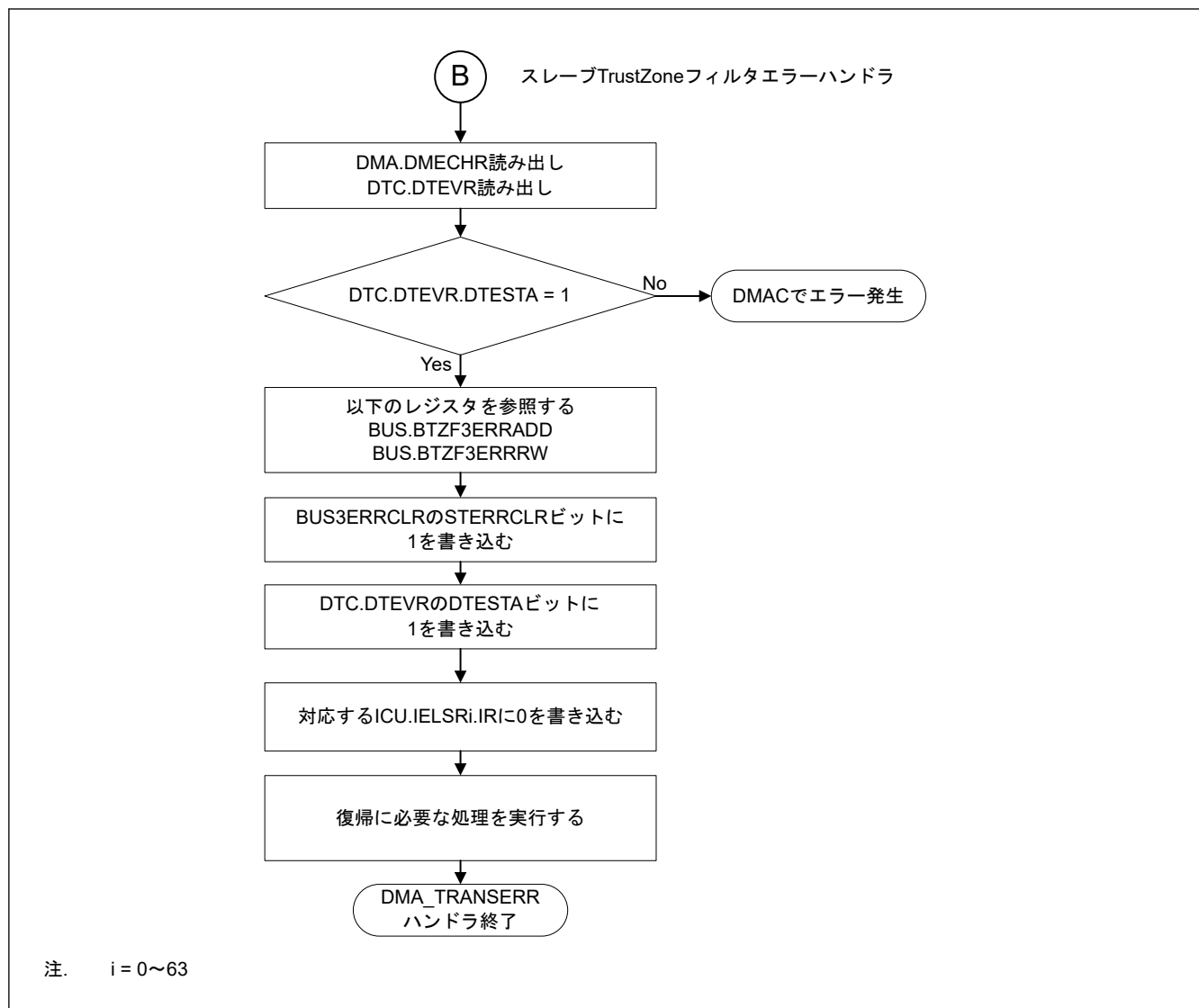


図 16.19 スレーブ TrustZone フィルタエラーの DMA_TRANSERR ハンドラにおける処理

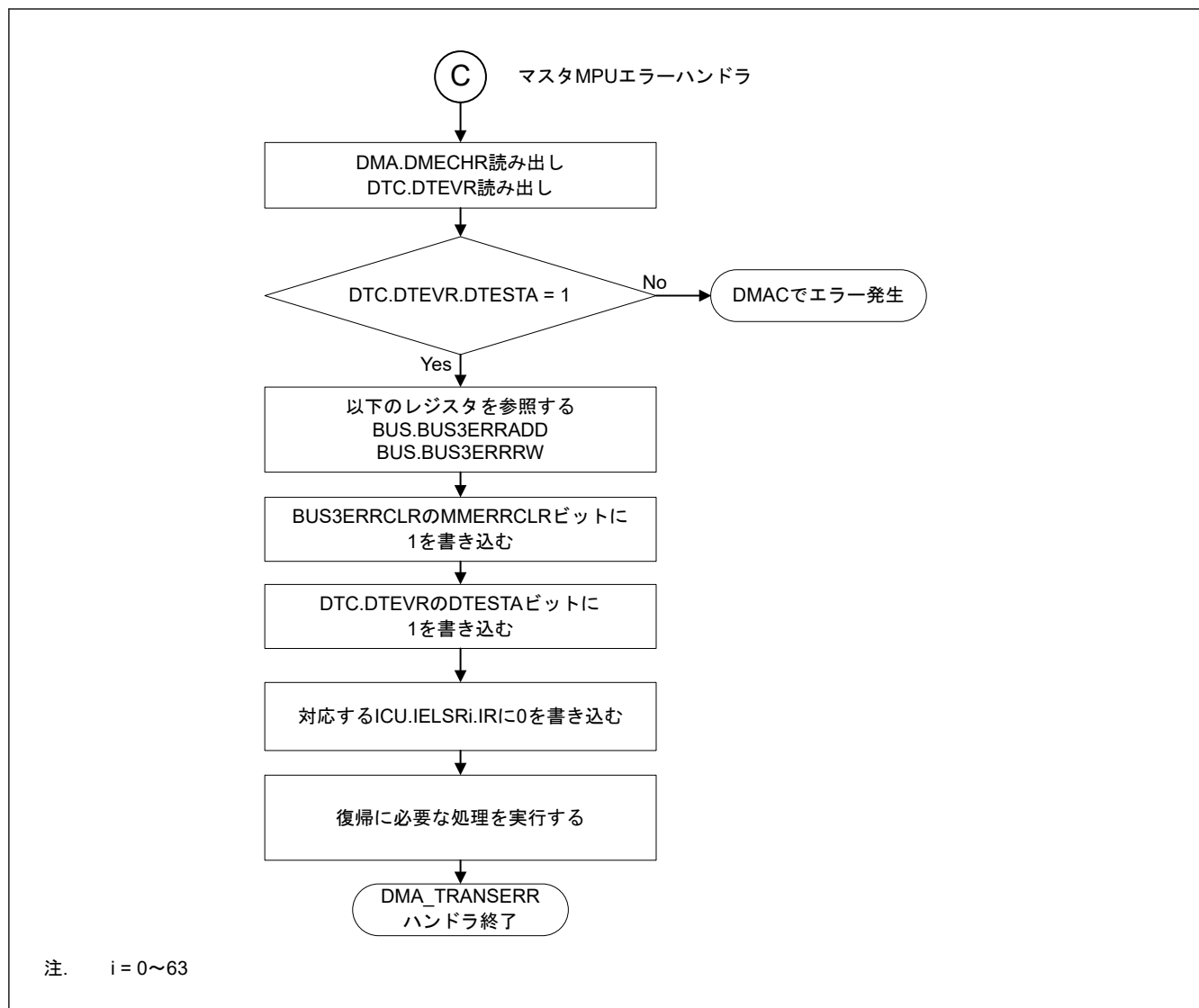


図 16.20 マスタ MPU エラーの DMA_TRANSERR ハンドラにおける処理

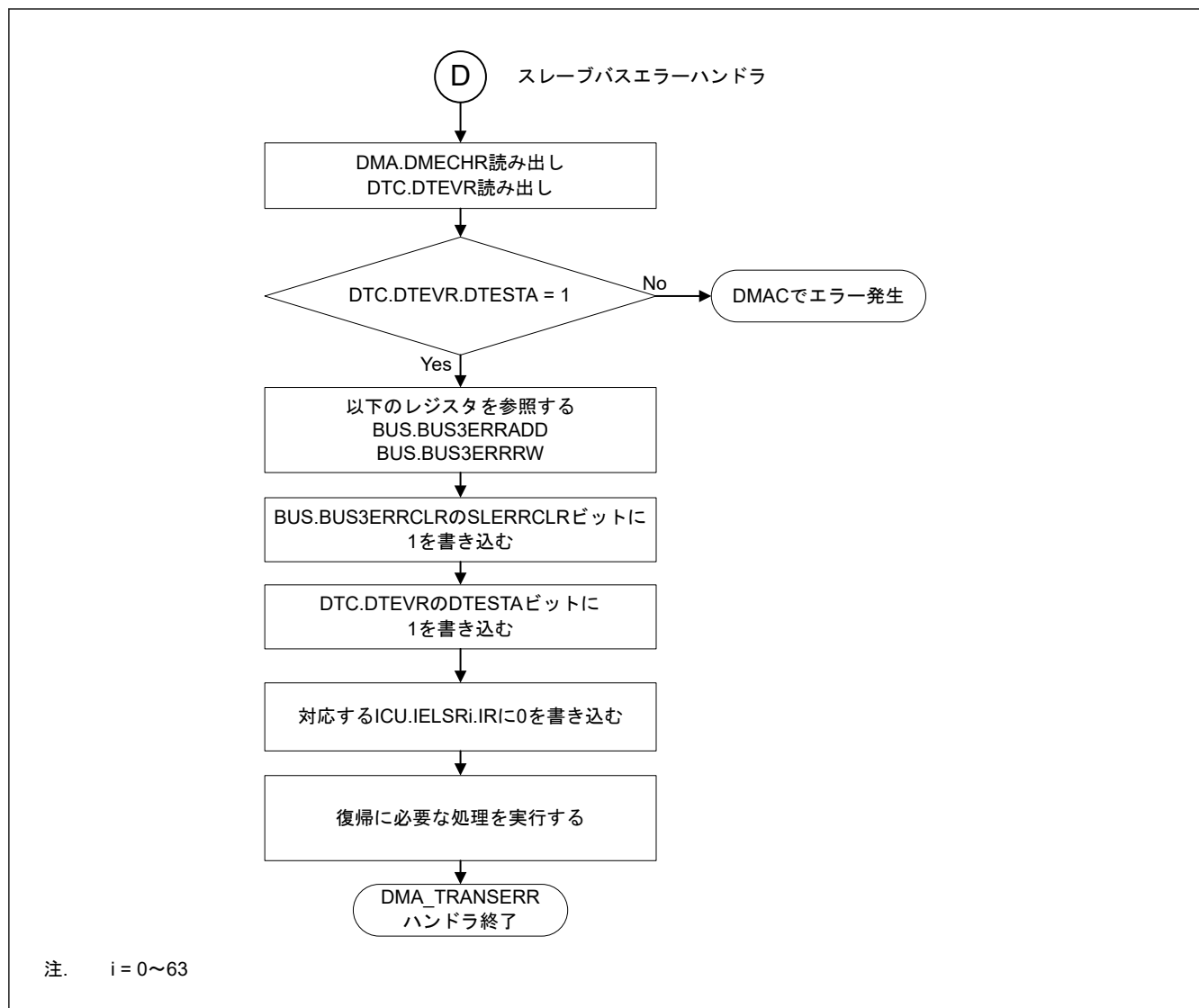


図 16.21 スレーブバスエラーの DMA_TRANSERR ハンドラにおける処理

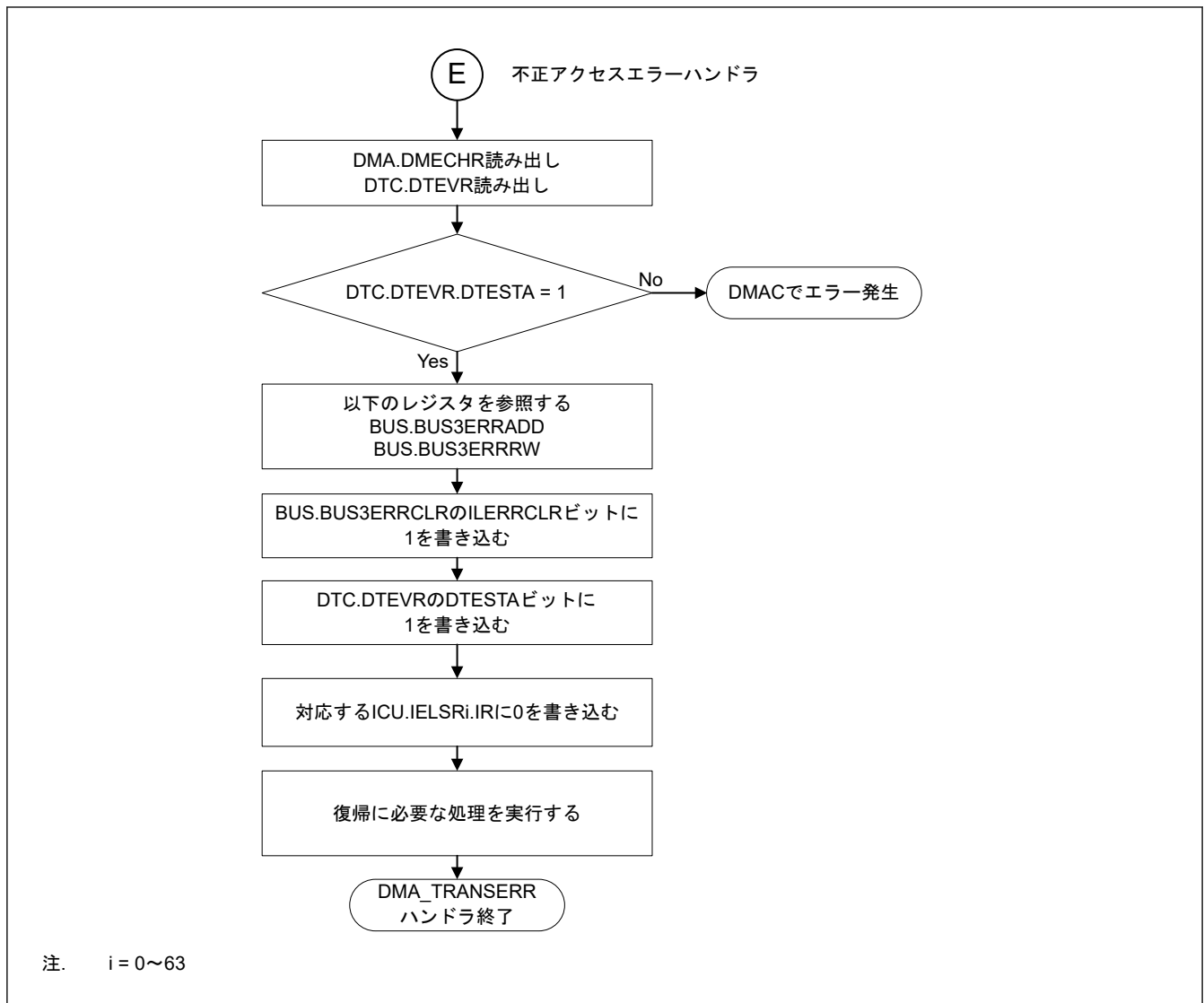


図 16.22 不正アクセスエラーの DMA_TRANSERR ハンドラにおける処理

16.8 割り込み

16.8.1 転送終了割り込み要求

DTC が指定された回数のデータ転送を完了したとき、または MRB.DISEL ビットが 1 の状態でデータ転送が完了したとき、DTC の起動要因によって CPU に対する割り込みが発生します。DTC の起動に起因する割り込み（チャンネルごと）と、イベント信号 DTC_COMPLETE に起因する割り込み（全チャンネル共通）の 2 種類の割り込みが使用可能です。CPU に対する割り込みは、NVIC および ICU.IELSRn.IELS[8:0] ビットの設定に従って制御されます。「12. 割り込みコントローラユニット (ICU)」を参照してください。DTC により決定される起動要因の優先順位は、割り込みベクタ番号が小さいほど高くなります。CPU への割り込みの優先順位は、NVIC の優先順位で決定されます。

16.8.2 転送エラーの割り込み要求

DTC 転送中に転送エラーが検出されると、エラー応答検出割り込み要求 (DMA_TRANSERR) が DMAC または DTC から発生します。表 16.10 に DTC 転送エラー発生時の割り込みの種類を示します。表 16.10 には転送エラー発生時に格納されるエラー情報も示されています。

表 16.10 DTC 転送エラーに起因する割り込みとエラー情報

転送エラー要因	NMI/RESET ^(注1) 要求	割り込み要求	バスエラー状態	エラーアドレス エラー R/W	エラーチャネル情報
DMAC/DTC のマスタ TrustZone フィルタ	ICU.NMISR.TZFST (注1)	DMA_TRANSERR	BUS.DMACDTCERR STAT.MTERRSTAT (注1)	—	DTC.DTEVR
スレーブ TrustZone フィルタ	ICU.NMISR.TZFST (注1)	DMA_TRANSERR	BUS.BUS3ERRSTAT .STERRSTAT ^(注1)	BUS.BTZF3ERRADD BUS.BTZF3ERRRW	DTC.DTEVR
マスタ MPU	ICU.NMISR. BUSMST	DMA_TRANSERR	BUS.BUS3ERRSTAT .MMERRSTAT	BUS.BUS3ERRADD BUS.BUS3ERRRW	DTC.DTEVR
スレーブバスエラー	— ^(注2)	DMA_TRANSERR	BUS.BUS3ERRSTAT .SLERRSTAT ^(注2)	BUS.BUS3ERRADD BUS.BUS3ERRRW	DTC.DTEVR
不正アクセスエラー	— ^(注2)	DMA_TRANSERR	BUS.BUS3ERRSTAT .ILERRSTAT ^(注2)	BUS.BUS3ERRADD BUS.BUS3ERRRW	DTC.DTEVR

注 1. NMI 要求がマスタ MPU エラーと TrustZone フィルタエラーの検出後の動作として選択された場合に、割り込みが発生します。BUS.BUS3ERRSTAT ビットと BUS.DMACDTCERRSTAT ビットを確認することにより、マスタかスレーブかを判定します。

注 2. エラー応答検出割り込み (DMA_TRANSERR) が発生し、かつマスタ MPU の NMI または TrustZone フィルタの NMI が発生しない場合、不正アドレスアクセスエラーまたはスレーブバスエラーとして扱ってください。それは BUS.BUS3ERRSTAT ビットと BUS.DMACDTCERRSTAT ビットによっても判定可能です。

転送の最終データを書き込む際にバスエラーが発生すると、転送終了イベントとエラー応答検出割り込み (DMA_TRANSERR) が発生することに注意してください。

16.9 イベントリンク

1 転送要求分の転送完了時に、DTC はイベントリンク要求を出力できます。

16.10 低消費電力機能

モジュールストップ状態、またはスヌーズモードへの遷移を伴わないソフトウェアスタンバイモードへ遷移する際は、事前に DTCST.DTCST ビットを 0 にしてください。その後、本節に示す動作を実行してください。SYSTEM.SNZCR.SNZDTCEN ビットを 1 にすると、DTC はスヌーズモードでも利用可能です。「[10. 低消費電力モード](#)」を参照してください。

(1) モジュールストップ機能

MSTPCRA.MSTPA22 ビットに 1 を書き込むと、DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA22 ビットに 1 を書き込むと、DTC 転送が動作中の場合は DTC 転送終了後にモジュールストップ状態へ遷移します。MSTPCRA.MSTPA22 ビットが 1 のときは、DTC のレジスタにアクセスしないでください。MSTPCRA.MSTPA22 ビットに 0 を書き込むと、DTC のモジュールストップ状態が解除されます。

(2) ソフトウェアスタンバイモード

「[10.7.1. ソフトウェアスタンバイモードへの遷移](#)」に記載された設定を使用してください。

WFI 命令実行時点で DTC 転送が動作中の場合、DTC 転送が終了してからソフトウェアスタンバイモードへ遷移します。

(3) スヌーズモード

ソフトウェアスタンバイモード時に、スヌーズ制御回路がスヌーズ要求を受信すると、MCU はスヌーズモードへ遷移します。「[10.8.1. スヌーズモードへの遷移](#)」を参照してください。スヌーズモード時の DTC の動作は、SYSTEM.SNZCR.SNZDTCEN ビットで選択できます。スヌーズモード時に DTC 動作を許可にする場合、ソフトウェアスタンバイモードへ遷移する前に、DTCST.DTCST ビットを 1 にしてください。DTC によってソフトウェアスタンバイモードへ復帰させるには、SYSTEM.SNZEDCR0.DTCZRED ビットまたは SYSTEM.SNZEDCR0.DTCNZRED ビットを 1 にしてください。「[10.8.3. スヌーズモードからソフトウェアスタンバイモードへの復帰](#)」を参照してください。SYSTEM.SNZEDCR0.DTCZRED ビットは、最後の DTC 送信完了 (CRA レジスタと CRB レジスタが 0 であることによって検出) 時に、スヌーズ終了要求を許可または禁止にします。SYSTEM.SNZEDCR0.DTCNZRED ビットは、最後以外の DTC 送信完了 (CRA レジスタと CRB レジスタが 0 以外であることによって検出) 時に、スヌーズ終了要求を許可または禁止にします。ソフトウェアスタンバイモード中は ICU からの DTC 起動要求は停止しますが、スヌーズモード中は停止しません。

(4) 低消費電力機能に関する注意事項

WFI 命令とレジスタの設定手順については、「[10. 低消費電力モード](#)」を参照してください。

スリープモードへ遷移しないで低消費電力モードから復帰した後に DTC 転送を行うには、再度 DTCST.DTCST ビットを 1 にしてください。

ソフトウェアスタンバイモード時に発生した要求を、DTC 起動要求ではなく CPU への割り込み要求として使用する場合は、「[12.4.1. 割り込みの検出](#)」に示すように、割り込み要求先を CPU に切り替えてから WFI 命令を実行してください。スリープモード時に DTC 動作を許可する場合、DTC のモジュールストップ機能を使用しないでください。

16.11 使用上の注意

16.11.1 転送情報の開始アドレス

ベクタテーブルに指定する転送情報の開始アドレスは 4n 番地でなければいけません。4n 番地以外を指定すると、アドレスの最下位 2 ビットは 00b としてアクセスされます。

17. イベントリンクコントローラ (ELC)

17.1 概要

イベントリンクコントローラ (ELC) は、各周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。

表 17.1 に ELC の仕様を、図 17.1 にブロック図を示します。

表 17.1 ELC の仕様

項目	内容
イベントリンク機能	162 種類のイベント信号を、直接モジュールに接続可能。ELC イベント信号と、DTC 起動用のイベントの発生
モジュールストップ機能	モジュールストップ状態の設定が可能
TrustZone フィルタ	各レジスタに対してセキュリティ属性の設定が可能

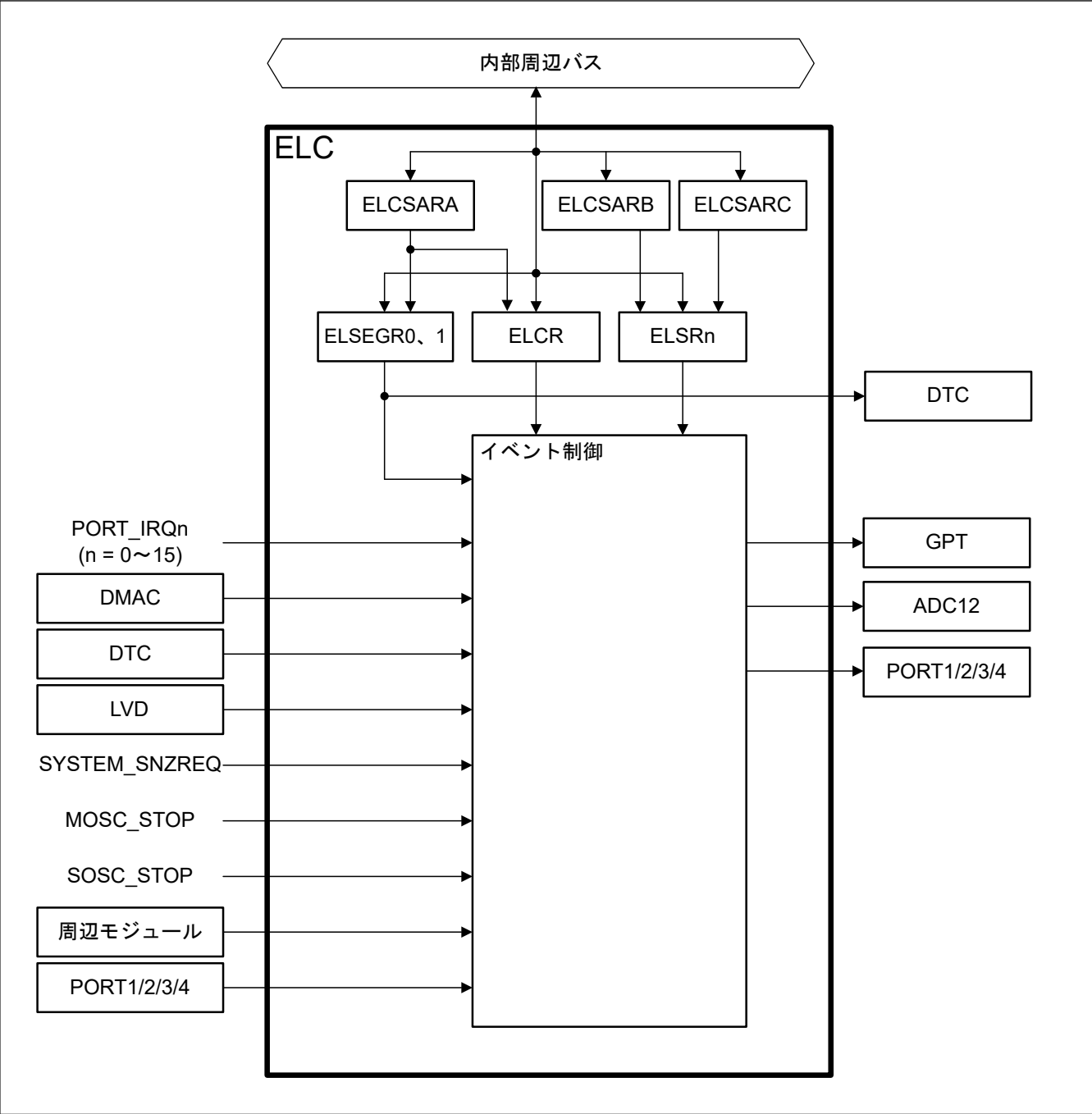


図 17.1 ELC のブロック図

17.2 レジスタの説明

17.2.1 ELCR : イベントリンクコントローラレジスタ

Base address: ELC = 0x4008_2000
Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ELCO N	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	ELCON	全イベントリンク許可 0: ELC 機能は無効 1: ELC 機能は有効	R/W

注: セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

ELCR レジスタは、ELC の動作を制御します。

17.2.2 ELSEGRn : イベントリンクソフトウェアイベント発生レジスタ n (n = 0, 1)

Base address: ELC = 0x4008_2000

Offset address: 0x02 + 0x02 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	WI	WE	—	—	—	—	—	SEG
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SEG	ソフトウェアイベント発生 0: 通常動作 1: ソフトウェアイベント発生	W
5:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	WE	SEG ビット書き込み許可 0: SEG ビットへの書き込み禁止 1: SEG ビットへの書き込み許可	R/W
7	WI	ELSEGR レジスタ書き込み禁止 0: ELSEGR レジスタへの書き込み許可 1: ELSEGR レジスタへの書き込み禁止	W

注: セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

SEG ビット (ソフトウェアイベント発生)

WE ビットが 1 の状態で、SEG ビットに 1 を書くとソフトウェアイベントが発生します。読むと 0 が読めます。1 を書いてもデータは格納されません。WE ビットを 1 にしてから、本ビットに書く必要があります。

ソフトウェアイベントは、DTC に対してイベントリンクをトリガすることができます。

WE ビット (SEG ビット書き込み許可)

WE ビットが 1 の場合にのみ、SEG ビットへの書き込みが可能になります。WI ビットを 0 にクリアしてから、このビットを書く必要があります。

[1 になる条件]

- WI ビットが 0 の状態で、1 を書いたとき

[0 になる条件]

- WI ビットが 0 の状態で、0 を書いたとき

WI ビット (ELSEGR レジスタ書き込み禁止)

WI ビットへの書き込み値が 0 の場合にのみ、ELSEGR レジスタに対する書き込みが可能になります。読むと 1 が読めます。WI ビットを 0 にしてから、WE ビットまたは SEG ビットを設定する必要があります。

17.2.3 ELSRn : イベントリンク設定レジスタ n (n = 0~9, 14~17)

Base address: ELC = 0x4008_2000

Offset address: 0x10 + 0x04 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ELS[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	ELS[8:0]	イベントリンク選択 0x000: 対応する周辺モジュールへのイベント出力は禁止 0x001: リンクするイベント信号の番号を設定 ⋮ 0x1E7: リンクするイベント信号の番号を設定 その他: 設定禁止	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

ELSRn レジスタは、周辺モジュールごとに、リンクするイベント信号を指定します。表 17.2 に、ELSRn レジスタと周辺モジュールの対応を示します。表 17.3 に、ELSRn レジスタに設定するイベント信号名と信号番号の対応関係を示します。

表 17.2 ELSRn レジスタと周辺機能の対応

レジスタ名	周辺機能 (モジュール)	イベント名
ELSR0	GPT (A)	ELC_GPTA
ELSR1	GPT (B)	ELC_GPTB
ELSR2	GPT (C)	ELC_GPTC
ELSR3	GPT (D)	ELC_GPTD
ELSR4	GPT (E)	ELC_GPTE
ELSR5	GPT (F)	ELC_GPTF
ELSR6	GPT (G)	ELC_GPTG
ELSR7	GPT (H)	ELC_GPTH
ELSR8	ADC12A0	ELC_AD00
ELSR9	ADC12B0	ELC_AD01
ELSR14	PORT1	ELC_PORT1
ELSR15	PORT2	ELC_PORT2
ELSR16	PORT3	ELC_PORT3
ELSR17	PORT4	ELC_PORT4

表 17.3 ELSRn.ELS[8:0]ビットに設定するイベント信号名と信号番号の対応 (1/5)

イベント番号	割り込み要求発生元	名称	内容
0x001	ポート	PORT_IRQ0 ^(注1)	外部端子割り込み 0
0x002		PORT_IRQ1 ^(注1)	外部端子割り込み 1
0x003		PORT_IRQ2 ^(注1)	外部端子割り込み 2
0x004		PORT_IRQ3 ^(注1)	外部端子割り込み 3
0x005		PORT_IRQ4 ^(注1)	外部端子割り込み 4
0x006		PORT_IRQ5 ^(注1)	外部端子割り込み 5
0x007		PORT_IRQ6 ^(注1)	外部端子割り込み 6
0x008		PORT_IRQ7 ^(注1)	外部端子割り込み 7
0x009		PORT_IRQ8 ^(注1)	外部端子割り込み 8
0x00A		PORT_IRQ9 ^(注1)	外部端子割り込み 9
0x00B		PORT_IRQ10 ^(注1)	外部端子割り込み 10
0x00C		PORT_IRQ11 ^(注1)	外部端子割り込み 11
0x00D		PORT_IRQ12 ^(注1)	外部端子割り込み 12
0x00E		PORT_IRQ13 ^(注1)	外部端子割り込み 13
0x00F		PORT_IRQ14 ^(注1)	外部端子割り込み 14
0x010		PORT_IRQ15 ^(注1)	外部端子割り込み 15
0x020	DMAC	DMAC0_INT	DMAC 転送終了 0
0x021		DMAC1_INT	DMAC 転送終了 1
0x022		DMAC2_INT	DMAC 転送終了 2
0x023		DMAC3_INT	DMAC 転送終了 3
0x024		DMAC4_INT	DMAC 転送終了 4
0x025		DMAC5_INT	DMAC 転送終了 5
0x026		DMAC6_INT	DMAC 転送終了 6
0x027		DMAC7_INT	DMAC 転送終了 7
0x02A	DTC	DTC_DTCEND ^(注4)	DTC 転送終了
0x038	LVD	LVD_LVD1	電圧監視 1 割り込み
0x039		LVD_LVD2	電圧監視 2 割り込み
0x03B	MOSC	MOSC_STOP	メインクロック発振停止
0x03C	LPW	SYSTEM_SNZREQ ^(注3) (注4)	スヌーズエントリ
0x03D	SOSC	SOSC_STOP	サブクロック発振停止
0x040	AGT0	AGT0_AGTI	AGT 割り込み
0x041		AGT0_AGTCMAI	コンペアマッチ A
0x042		AGT0_AGTCMBI	コンペアマッチ B
0x043	AGT1	AGT1_AGTI	AGT 割り込み
0x044		AGT1_AGTCMAI	コンペアマッチ A
0x045		AGT1_AGTCMBI	コンペアマッチ B
0x052	IWDT	IWDT_NMIUNDF	IWDT アンダーフロー
0x053	CWDT	WDT_NMIUNDF	WDT アンダーフロー
0x055	RTC	RTC_PRD	周期割り込み

表 17.3 ELSRn.ELS[8:0]ビットに設定するイベント信号名と信号番号の対応 (2/5)

イベント番号	割り込み要求発生元	名称	内容
0x073	IIC0	IIC0_RXI	受信データフル
0x074		IIC0_TXI	送信データエンプティ
0x075		IIC0_TEI	送信終了
0x076		IIC0_EEI	転送エラー
0x078	IIC1	IIC1_RXI	受信データフル
0x079		IIC1_TXI	送信データエンプティ
0x07A		IIC1_TEI	送信終了
0x07B		IIC1_EEI	転送エラー
0x08E	UARTA0	UARTA0_TXI	送信転送終了またはバッファエンプティ割り込み
0x08F		UARTA0_RXI	受信転送終了
0x090		UARTA0_ERI	受信通信エラー発生
0x091	UARTA1	UARTA1_TXI	送信転送終了またはバッファエンプティ割り込み
0x092		UARTA1_RXI	受信転送終了
0x093		UARTA1_ERI	受信通信エラー発生
0x0B1	I/O ポート	IOPORT_GROUP1	ポート 1 イベント
0x0B2		IOPORT_GROUP2	ポート 2 イベント
0x0B3		IOPORT_GROUP3	ポート 3 イベント
0x0B4		IOPORT_GROUP4	ポート 4 イベント
0x0B5	ELC	ELC_SWEVT0	ソフトウェアイベント 0
0x0B6		ELC_SWEVT1	ソフトウェアイベント 1
0x0C0	GPT0	GPT0_CCMPEA	コンペアマッチ A
0x0C1		GPT0_CCMPEB	コンペアマッチ B
0x0C2		GPT0_CCMPC	コンペアマッチ C
0x0C3		GPT0_CCMPE	コンペアマッチ D
0x0C4		GPT0_CCMPE	コンペアマッチ E
0x0C5		GPT0_CCMPE	コンペアマッチ F
0x0C6		GPT0_OVF	オーバーフロー
0x0C7		GPT0_UDF	アンダーフロー
0x0C8		GPT0_PC	周期計数機能終了
0x0C9	GPT1	GPT1_CCMPEA	コンペアマッチ A
0x0CA		GPT1_CCMPEB	コンペアマッチ B
0x0CB		GPT1_CCMPC	コンペアマッチ C
0x0CC		GPT1_CCMPE	コンペアマッチ D
0x0CD		GPT1_CCMPE	コンペアマッチ E
0x0CE		GPT1_CCMPE	コンペアマッチ F
0x0CF		GPT1_OVF	オーバーフロー
0x0D0		GPT1_UDF	アンダーフロー
0x0D1		GPT1_PC	周期計数機能終了

表 17.3 ELSRn.ELS[8:0]ビットに設定するイベント信号名と信号番号の対応 (3/5)

イベント番号	割り込み要求発生元	名称	内容
0x0D2	GPT2	GPT2_CCMPA	コンペアマッチ A
0x0D3		GPT2_CCMPB	コンペアマッチ B
0x0D4		GPT2_CMPC	コンペアマッチ C
0x0D5		GPT2_CMPD	コンペアマッチ D
0x0D6		GPT2_CMPE	コンペアマッチ E
0x0D7		GPT2_CMPF	コンペアマッチ F
0x0D8		GPT2_OVF	オーバーフロー
0x0D9		GPT2_UDF	アンダーフロー
0x0DA		GPT2_PC	周期計数機能終了
0x0DB	GPT3	GPT3_CCMPA	コンペアマッチ A
0x0DC		GPT3_CCMPB	コンペアマッチ B
0x0DD		GPT3_CMPC	コンペアマッチ C
0x0DE		GPT3_CMPD	コンペアマッチ D
0x0DF		GPT3_CMPE	コンペアマッチ E
0x0E0		GPT3_CMPF	コンペアマッチ F
0x0E1		GPT3_OVF	オーバーフロー
0x0E2		GPT3_UDF	アンダーフロー
0x0E3		GPT3_PC	周期計数機能終了
0x0E4	GPT4	GPT4_CCMPA	コンペアマッチ A
0x0E5		GPT4_CCMPB	コンペアマッチ B
0x0E6		GPT4_CMPC	コンペアマッチ C
0x0E7		GPT4_CMPD	コンペアマッチ D
0x0E8		GPT4_CMPE	コンペアマッチ E
0x0E9		GPT4_CMPF	コンペアマッチ F
0x0EA		GPT4_OVF	オーバーフロー
0x0EB		GPT4_UDF	アンダーフロー
0x0EC		GPT4_PC	周期計数機能終了
0x0ED	GPT5	GPT5_CCMPA	コンペアマッチ A
0x0EE		GPT5_CCMPB	コンペアマッチ B
0x0EF		GPT5_CMPC	コンペアマッチ C
0x0F0		GPT5_CMPD	コンペアマッチ D
0x0F1		GPT5_CMPE	コンペアマッチ E
0x0F2		GPT5_CMPF	コンペアマッチ F
0x0F3		GPT5_OVF	オーバーフロー
0x0F4		GPT5_UDF	アンダーフロー
0x150	GPT	GPT_UVWEDGE	UVW のエッジイベント
0x160	ADC12	ADC120_ADI	A/D スキャン終了割り込み
0x164		ADC120_WCMPPM ^(注4)	コンペアマッチ
0x165		ADC120_WCMPUM ^(注4)	コンペア不一致

表 17.3 ELSRn.ELS[8:0]ビットに設定するイベント信号名と信号番号の対応 (4/5)

イベント番号	割り込み要求発生元	名称	内容
0x180	SCI0	SCI0_RXI(注2)	受信データフル
0x181		SCI0_TXI(注2)	送信データエンプティ
0x182		SCI0_TEI(注2)	送信終了
0x183		SCI0_ERI	受信エラー
0x184		SCI0_AM	アドレス一致イベント
0x186	SCI1	SCI1_RXI(注2)	受信データフル
0x187		SCI1_TXI(注2)	送信データエンプティ
0x188		SCI1_TEI(注2)	送信終了
0x189		SCI1_ERI	受信エラー
0x192	SCI3	SCI3_RXI(注2)	受信データフル
0x193		SCI3_TXI(注2)	送信データエンプティ
0x194		SCI3_TEI(注2)	送信終了
0x195		SCI3_ERI	受信エラー
0x196		SCI3_AM	アドレス一致イベント
0x198	SCI4	SCI4_RXI(注2)	受信データフル
0x199		SCI4_TXI(注2)	送信データエンプティ
0x19A		SCI4_TEI(注2)	送信終了
0x19B		SCI4_ERI	受信エラー
0x19C		SCI4_AM	アドレス一致イベント
0x19E	SCI5	SCI5_RXI(注2)	受信データフル
0x19F		SCI5_TXI(注2)	送信データエンプティ
0x1A0		SCI5_TEI(注2)	送信終了
0x1A1		SCI5_ERI	受信エラー
0x1A2		SCI5_AM	アドレス一致イベント
0x1B6	SCI9	SCI9_RXI(注2)	受信データフル
0x1B7		SCI9_TXI(注2)	送信データエンプティ
0x1B8		SCI9_TEI(注2)	送信終了
0x1B9		SCI9_ERI	受信エラー
0x1BA		SCI9_AM	アドレス一致イベント
0x1C4	SPI0	SPI0_SPRI	受信バッファフル
0x1C5		SPI0_SPTI	送信バッファエンプティ
0x1C6		SPI0_SPII	アイドル
0x1C7		SPI0_SPEI	エラー
0x1C8		SPI0_SPCEND	通信完了イベント
0x1C9	SPI1	SPI1_SPRI	受信バッファフル
0x1CA		SPI1_SPTI	送信バッファエンプティ
0x1CB		SPI1_SPII	アイドル
0x1CC		SPI1_SPEI	エラー
0x1CD		SPI1_SPCEND	通信完了イベント

表 17.3 ELSRn.ELS[8:0]ビットに設定するイベント信号名と信号番号の対応 (5/5)

イベント番号	割り込み要求発生元	名称	内容
0x1D1	SPI2	SPI2_SPRI	受信バッファフル
0x1D2		SPI2_SPTI	送信バッファエンブティ
0x1D3		SPI2_SPII	アイドル
0x1D4		SPI2_SPEI	エラー
0x1D5		SPI2_SPCEND	通信完了イベント
0x1DB	DOC	DOC_DOPCI ^(注4)	データ演算回路割り込み

注 1. パルス（エッジ検出）のみがサポートされています。

注 2. このイベントは FIFO モードではサポートされていません。

注 3. ELSR8、ELSR9、ELSR14～ELSR18 が、このイベントを選択できます。

注 4. このイベントはスヌーズモードでも発生可能です。

17.2.4 ELCSARA : イベントリンクコントローラセキュリティ属性レジスタ A

Base address: ELC = 0x4008_2000

Offset address: 0x74

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	ELSE GR1	ELSE GR0	ELCR
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	ELCR	イベントリンクコントローラレジスタセキュリティ属性 対象レジスタ : ELCR 0: セキュア 1: 非セキュア	R/W
1	ELSEGR0	イベントリンクソフトウェアイベント発生レジスタ 0 セキュリティ属性 0: セキュア 1: 非セキュア	R/W
2	ELSEGR1	イベントリンクソフトウェアイベント発生レジスタ 1 セキュリティ属性 0: セキュア 1: 非セキュア	R/W
15:3	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスメッセージは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

ELCR レジスタは、ELC の動作を制御するレジスタです。

17.2.5 ELCSARB : イベントリンクコントローラセキュリティ属性レジスタ B

Base address: ELC = 0x4008_2000

Offset address: 0x78

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ELSR[15:0]															
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
15:0	ELSR[15:0]	イベントリンク設定レジスタ n セキュリティ属性 対象レジスタ: ELSRn (n = 0~9, 14, 15) 0: セキュア 1: 非セキュア	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

このレジスタは、ELSRn (n = 0~9, 14, 15) レジスタのセキュリティ属性を指定します。

17.2.6 ELCSARC : イベントリンクコントローラセキュリティ属性レジスタ C

Base address: ELC = 0x4008_2000

Offset address: 0x7C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ELSR[17:16]
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
1:0	ELSR[17:16]	イベントリンク設定レジスタ n セキュリティ属性 (n = 16, 17) 対象レジスタ: ELSRn (n = 16, 17) 0: セキュア 1: 非セキュア	R/W
15:2	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

このレジスタは、ELSRn (n = 16, 17) レジスタのセキュリティ属性を指定します。

17.3 動作説明

17.3.1 割り込み処理とイベントリンクの関係

イベントリンクのイベント番号は、対応する割り込み要因のイベント番号と同一です。イベント信号の発生方法については、各イベント出力元モジュールの章を参照してください。

17.3.2 イベントリンク

イベントリンク設定レジスタ (ELSRn) にトリガとしてすでに設定されていたイベントが発生すると、対応するモジュールが起動します。起動するモジュールの動作は、事前に設定しておく必要があります。表 17.4 にイベント発生時のモジュール動作を示します。

表 17.4 イベント発生時のモジュール動作 (1/2)

モジュール	イベント入力時の動作
GPT	● カウント開始 ● カウント停止 ● カウントクリア ● アップカウント ● ダウンカウント ● インプットキャプチャ

表 17.4 イベント発生時のモジュール動作 (2/2)

モジュール	イベント入力時の動作
I/O ポート	• EORR (リセット) または EOSR (セット) に基づく端子出力の変化 • 端子状態を EIDR にラッチ • ELC で使用可能なポート ポート 1 ポート 2 ポート 3 ポート 4
ADC12	A/D 変換開始
DTC	DTC データ転送開始

17.3.3 イベントリンクの手順例

イベントリンクの手順は以下の通りです。

1. イベントをリンクするモジュールの動作を設定してください。
2. イベントをリンクするモジュールに対して、ELSRn.ELS[8:0]ビットを設定します。
3. ELCR.ELCON ビットを 1 にして、すべてのイベントリンクを有効にしてください。
4. イベント出力元モジュールの設定を行い、モジュールを起動させてください。これにより、2 つのモジュール間のリンクがアクティブになります。
5. モジュール単位でイベントリンク動作を停止させるには、そのモジュールに対応する ELSRn.ELS[8:0]ビットを 0 にします。また、ELCR.ELCON ビットを 0 にすることにより、全モジュールのイベントリンク動作が停止します。

RTC のイベントリンク出力機能を使用する場合は、RTC の設定（初期化、時刻設定など）を行った後、ELC を設定してください。ELC 設定後に RTC の設定を行うと、意図しないイベントが出力することがあります。

LVD のイベントリンク出力機能を使用する場合は、LVD の設定を行った後、ELC を設定してください。LVD を無効にするには、対応する ELSRn レジスタを 0x00 にしてから ELC を設定してください。

17.4 使用上の注意事項

17.4.1 DMAC/DTC 転送終了のイベントリンク使用時の注意事項

DMAC/DTC 転送終了のイベントリンクを使用する場合、その DMAC/DTC 転送先とイベントリンク起動先を同一周辺モジュールに設定しないでください。周辺モジュールへの DMAC/DTC 転送が完了する前に周辺モジュールが起動することがあります。

17.4.2 クロックの設定

イベントリンクを使用するには、ELC と関連モジュールが動作可能な状態でなければなりません。関連モジュールがモジュールストップ状態の場合、または対象モジュールが停止するような低消費電力モード（ソフトウェアスタンバイモード）の場合、そのモジュールは動作できません。

モジュールによっては、スヌーズモードで動作できるものもあります。詳細は、表 17.3 と「10. 低消費電力モード」を参照してください。

17.4.3 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) によって、ELC の動作を禁止または許可することが可能です。リセット後の初期状態では、ELC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップコントロールレジスタを用いて ELC の動作を禁止する場合は、事前に ELCON ビットを 0 にする必要があります。詳細については、表 17.3 および「10. 低消費電力モード」を参照してください。

17.4.4 ELC 遅延時間

図 17.2 に示すように、モジュール A は ELC を介してモジュール B にアクセスします。モジュール A とモジュール B の間には、ELC モジュールでの遅延時間が存在します。表 17.5 に ELC 遅延時間を示します。

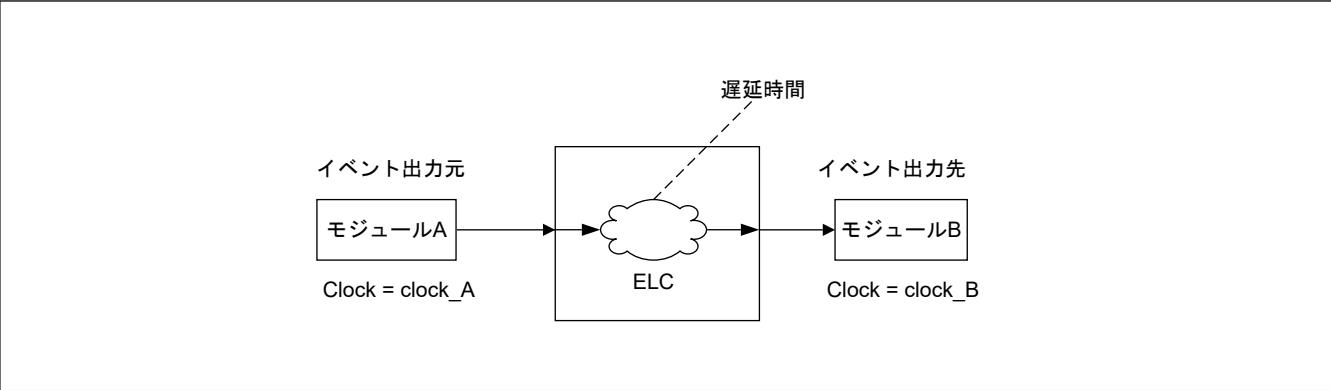


図 17.2 ELC 遅延時間

表 17.5 ELC 遅延時間

クロックドメイン	クロック周波数	ELC 遅延時間
clock_A = clock_B	clock_A = clock_B	0 サイクル
clock_A ≠ clock_B	clock_A = clock_B	1～2 サイクル
	clock_A > clock_B	clock_B 1～2 サイクル
	clock_A < clock_B	clock_A 1～2 サイクル

18. I/O ポート

18.1 概要

I/O ポート端子は、汎用入出力ポート端子、周辺モジュールの入出力端子、割り込み入力端子、アナログ入出力、ELC のポートグループ機能として動作します。

すべての端子は、リセット直後は入力端子として動作しますが、レジスタの設定によって機能を切り替えることができます。各端子の I/O ポートと周辺モジュールは、関連するレジスタで指定されます。

図 18.1 に、I/O ポートレジスタの接続図を示します。パッケージによって、I/O ポートの構成は異なります。表 18.1 にパッケージ別の I/O ポートの仕様を、表 18.2 に I/O ポートの機能を示します。

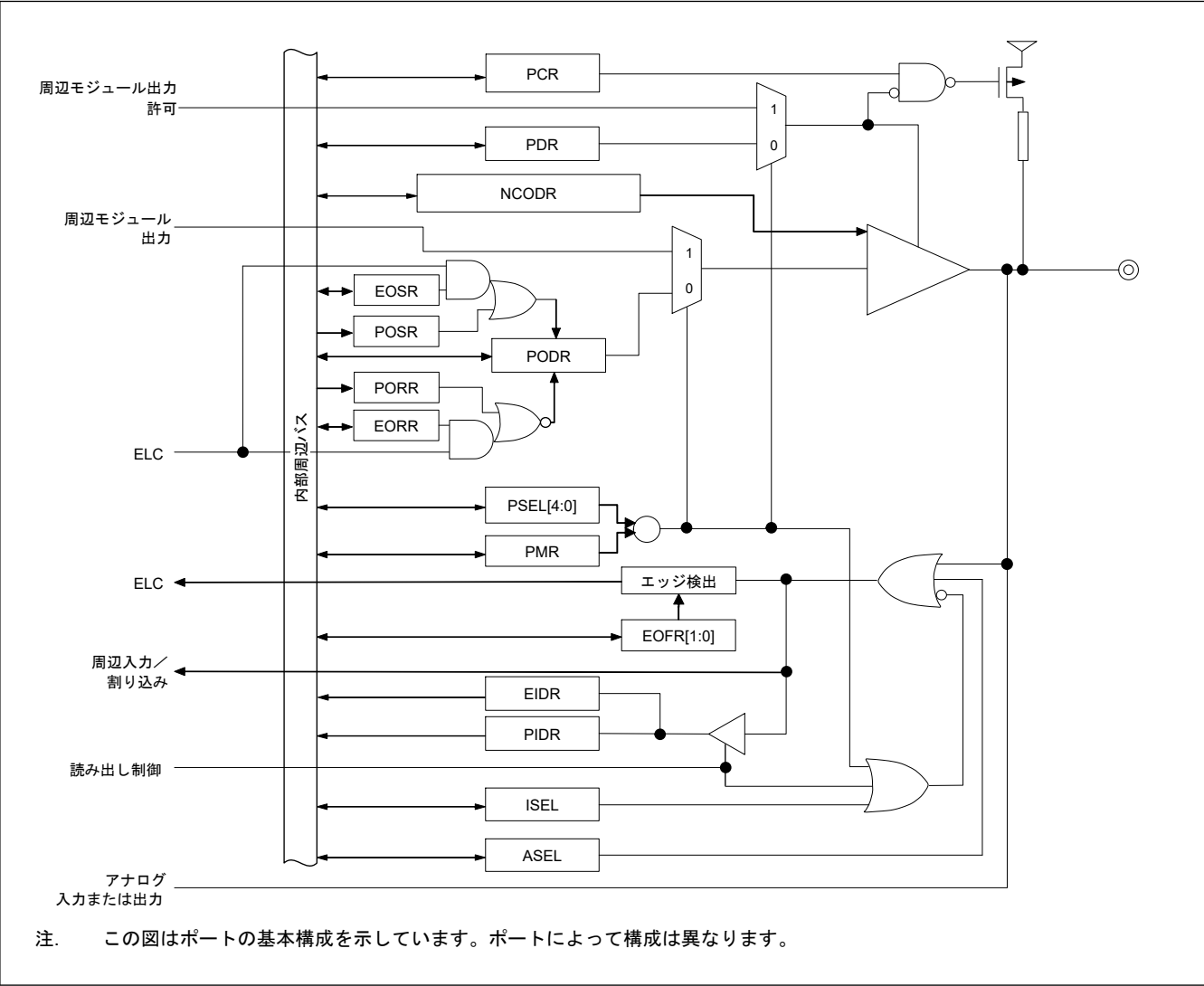


図 18.1 I/O ポートレジスタの接続図

表 18.1 I/O ポートの仕様 (1/2)

ポート	パッケージ		パッケージ	
	100 ピン	本数	64 ピン	本数
Port0	P000~P004、P010、P011	7	P000~P004、P010、P011	7
Port1	P100~P115	16	P100~P106、P108~P113	13
Port2	P200、P201、P204~P215	14	P200、P201、P205~P208、P212~P215	10
Port3	P300~P307	8	P300~P304	5

表 18.1 I/O ポートの仕様 (2/2)

ポート	パッケージ		パッケージ	
	100 ピン	本数	64 ピン	本数
Port4	P400~P405、P407~P415	15	P400、P401、P407~P411	7
Port5	P500~P513	14	P500、P506~P509	5
Port6	P600~P602、P608~P610	6	—	0
Port7	P708	1	—	0
Port8	P814、P815	2	P814、P815	2

表 18.2 I/O ポートの機能

ポート	ポート名	入力プルアップ	入力モード切り替え	オープンドレイン出力	5V トレラント	入出力
Port0	P000~P004、P010、P011	✓	—	—	—	入力／出力
Port1	P100、P101	✓	✓	✓	—	入力／出力
	P102~P115	✓	—	✓	—	入力／出力
Port2	P200、P214、P215	—	—	—	—	入力
	P201、P204~P213	✓	—	✓	—	入力／出力
Port3	P300、P303~P307	✓	—	✓	—	入力／出力
	P301、P302	✓	✓	✓	✓	入力／出力
Port4	P400、P401	✓	✓	✓	✓	入力／出力
	P402~P405、P407~P415	✓	—	✓	—	入力／出力
Port5	P500~P513	✓	—	✓	—	入力／出力
Port6	P600~P602、P608~P610	✓	—	✓	—	入力／出力
Port7	P708	✓	—	✓	—	入力／出力
Port8	P814、P815	✓	—	✓	—	入力／出力

注. ✓ : 利用可能
 — : 設定禁止

18.2 レジスタの説明

18.2.1 PCNTR1/PODR/PDR : ポートコントロールレジスタ 1

Base address: PORTm = 0x4001_F000 + 0x0020 × m (m = 0~8)

Offset address: 0x000 (PCNTR1/PODR)
 0x002 (PDR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PODR 15	PODR 14	PODR 13	PODR 12	PODR 11	PODR 10	PODR 09	PODR 08	PODR 07	PODR 06	PODR 05	PODR 04	PODR 03	PODR 02	PODR 01	PODR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PDR1 5	PDR1 4	PDR1 3	PDR1 2	PDR11	PDR1 0	PDR0 9	PDR0 8	PDR0 7	PDR0 6	PDR0 5	PDR0 4	PDR0 3	PDR0 2	PDR0 1	PDR0 0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	PDR15~PDR00	Pmn 方向 0: 入力 (入力端子として機能) 1: 出力 (出力端子として機能)	R/W(注1)

ビット	シンボル	機能	R/W
31:16	PODR15~PODR00	Pmn 出力データ 0: Low 出力 1: High 出力	R/W(注2)

注. m = 0~8、n = 00~15

注 1. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと、非セキュアリードアクセスが許可されます。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと、非セキュアアクセスが許可されます。

注 2. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスが許可されます。
- 非セキュアリード値は 0 になり、TrustZone アクセスエラーは発生しません。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと、非セキュアアクセスが許可されます。

ポートコントロールレジスタ 1 (PCNTR1/PODR/PDR) は、32 ビットおよび 16 ビットの読み出し／書き込みレジスタで、ポート方向およびポート出力データを制御します。PCNTR1 はポート方向とポート出力データを指定し、32 ビット単位でアクセスされます。PDRn (PCNTR1 のビット[15:0]) および PODRn (PCNTR1 のビット[31:16]) はそれぞれ 16 ビット単位でアクセスされます。

PDRn ビット (Pmn 方向)

PDRn ビットは、汎用入出力端子として設定されている個々のポート端子の入力／出力方向を選択します。ポート m の各端子はそれぞれ PORTm.PCNTR1.PDRn ビットに対応しています。入出力方向は 1 ビット単位で指定できます。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。入力専用ポートの場合、PDRn ビットは予約ビットです。表 18.2 を参照してください。

PORTm.PCNTR1 レジスタの PDRn ビットは、PFS.PmnPFS レジスタの PDR ビットと同じ機能です。

PODRn ビット (Pmn 出力データ)

PODRn ビットは、汎用入出力端子から出力されるデータを格納します。存在しないポート m のビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。入力専用のポートでは、PODRn ビットは予約ビットになります。表 18.2 を参照してください。PORTm.PCNTR1 レジスタの PODRn ビットは、PFS.PmnPFS レジスタの PODR ビットと同じ機能です。

18.2.2 PCNTR2/EIDR/PIDR : ポートコントロールレジスタ 2

Base address: PORTm = 0x4001_F000 + 0x0020 × m (m = 0~8)

Offset address: 0x004 (PCNTR2/EIDR)
0x006 (PIDR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	EIDR1 5	EIDR1 4	EIDR1 3	EIDR1 2	EIDR1 1	EIDR1 0	EIDR0 9	EIDR0 8	EIDR0 7	EIDR0 6	EIDR0 5	EIDR0 4	EIDR0 3	EIDR0 2	EIDR0 1	EIDR0 0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PIDR1 5	PIDR1 4	PIDR1 3	PIDR1 2	PIDR1 1	PIDR1 0	PIDR0 9	PIDR0 8	PIDR0 7	PIDR0 6	PIDR0 5	PIDR0 4	PIDR0 3	PIDR0 2	PIDR0 1	PIDR0 0
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
15:0	PIDR15~PIDR00	Pmn 状態 0: Low レベル 1: High レベル	R
31:16	EIDR15~ EIDR00(注2)	ポートイベント入力データ(注1) ELC_PORTx 信号の発生時 0: Low 入力 1: High 入力	R

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアリードアクセスが許可されます。
 - 非セキュアリード値は 0 になり、TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアおよび非セキュアのリードアクセスが許可されます。

注. m = 0~8、n = 00~15

注 1. x = 1、2、3、または 4 (EIDR のみ)

注 2. ポート 1、2、3、または 4 でサポート

ポートコントロールレジスタ 2 (PCNTR2/EIDR/PIDR) は、32 ビットまたは 16 ビット単位での、Pmn 状態およびポートイベント入力データへのリードアクセスを可能にします。

PCNTR2 は Pmn 状態とポートイベント入力データを表し、32 ビット単位でアクセスされます。

PIDRn (PCNTR2 のビット[15:0]) および EIDRn (PCNTR2 のビット[31:16]) はそれぞれ 16 ビット単位でアクセスされます。存在しない端子に対応するビットは予約ビットです。予約ビットは、読むと不定値が読めます。

PIDRn ビット (Pmn 状態)

PIDRn ビットは、PmnPFS.PMR ビットと PORTm.PCNTR1.PDRn ビットの設定値にかかわらず、個々のポートの端子状態を反映します。PORTm.PCNTR2 レジスタの PIDRn ビットは、PFS.PmnPFS レジスタの PIDR ビットと同じ機能です。

次の機能のいずれかが有効の場合、端子状態は PIDRn に反映できません。

- メインクロック発振器 (MOSC)
- サブクロック発振器 (SOSC)
- アナログ機能 (ASEL = 1)
- セグメント LCD コントローラ (SLCDC)

EIDRn ビット (ポートイベント入力データ)

EIDRn ビットは、ELC_PORTx 信号の発生時に端子状態をラッチします。PmnPFS.PMR = 0 かつ PORTm.PCNTR1.PDRn = 0 の場合にのみ、EIDRn ビットに端子状態を入力できます。PmnPFS.ASEL ビットを 1 にすると、関連する端子状態は EIDRn に反映されません。

18.2.3 PCNTR3/PORR/POSR : ポートコントロールレジスタ 3

Base address: PORTm = 0x4001_F000 + 0x0020 × m (m = 0~8)

Offset address: 0x008 (PCNTR3/PORR)
0x00A (POSR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PORR 15	PORR 14	PORR 13	PORR 12	PORR 11	PORR 10	PORR 09	PORR 08	PORR 07	PORR 06	PORR 05	PORR 04	PORR 03	PORR 02	PORR 01	PORR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	POSR 15	POSR 14	POSR 13	POSR 12	POSR 11	POSR 10	POSR 09	POSR 08	POSR 07	POSR 06	POSR 05	POSR 04	POSR 03	POSR 02	POSR 01	POSR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	POSR15~POSR00	Pmn 出力設定 0: 出力に影響なし 1: High 出力	W
31:16	PORR15~PORR00	Pmn 出力リセット 0: 出力に影響なし 1: Low 出力	W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアライトアクセスが許可されます
 - 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアライトアクセスと非セキュアライトアクセスが許可されます。

注. $m = 0 \sim 8$, $n = 00 \sim 15$

ポートコントロールレジスタ 3 (PCNTR3/PORR/POSR) は、32 ビットおよび 16 ビットの書き込み可能なレジスタで、ポート出力データの設定またはリセットを制御します。

PCNTR3 はポート出力データの設定またはリセットを制御し、32 ビット単位でアクセスされます。

POSR_n (PCNTR3 のビット[15:0]) および PORR_n (PCNTR3 のビット[31:16]) はそれぞれ 16 ビット単位でアクセスされます。

POSR_n ビット (Pmn 出力設定)

POSR がソフトウェア書き込みによって設定されると、PODR が変更されます。たとえば P100 端子の場合、PORT1.PCNTR3.POSR00 = 1 であると、PORT1.PCNTR1.PODR00 は 1 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。入力専用のポートでは、POSR_n ビットは予約ビットになります。表 18.2 を参照してください。

PORR_n ビット (Pmn 出力リセット)

PORR がソフトウェア書き込みによってリセットされると、PODR が変更されます。たとえば P100 端子の場合、PORT1.PCNTR3.PORR00 = 1 であると、PORT1.PCNTR1.PODR00 は 0 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。入力専用のポートでは、PORR_n ビットは予約ビットになります。表 18.2 を参照してください。

注. EORR_n または EOSR_n を設定した場合、PODR_n、PORR_n、および POSR_n への書き込みは禁止されます。

注. PORR_n ビットと POSR_n ビットは、どちらか一方のみ設定してください。

18.2.4 PCNTR4/EORR/EOSR : ポートコントロールレジスタ 4

Base address: PORT_m = 0x4001_F000 + 0x0020 × m ($m = 1 \sim 4$)

Offset address: 0x00C (PCNTR4/EORR)
0x00E (EOSR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	EORR 15	EORR 14	EORR 13	EORR 12	EORR 11	EORR 10	EORR 09	EORR 08	EORR 07	EORR 06	EORR 05	EORR 04	EORR 03	EORR 02	EORR 01	EORR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	EOSR 15	EOSR 14	EOSR 13	EOSR 12	EOSR 11	EOSR 10	EOSR 09	EOSR 08	EOSR 07	EOSR 06	EOSR 05	EOSR 04	EOSR 03	EOSR 02	EOSR 01	EOSR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	EOSR15~EOSR00	Pmn イベント出力設定 ELC_PORTx 信号の発生時 0: 出力に影響なし 1: High 出力	R/W
31:16	EORR15~EORR00	Pmn イベント出力リセット ELC_PORTx 信号の発生時 0: 出力に影響なし 1: Low 出力	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスが許可されます。
- 非セキュアリード値は 0 になり、TrustZone アクセスメッセージは発生しません。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスメッセージは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと、非セキュアアクセスが許可されます。

注. $m = 1 \sim 4$, $n = 00 \sim 15$, $x = 1 \sim 4$

ポートコントロールレジスタ 4 (PCNTR4/EORR/EOSR) は、32 ビットおよび 16 ビットの読み出し／書き込みレジスタで、ELC からのイベント入力によりポート出力データの設定またはリセットを制御します。

PCNTR4 は、ELC からのイベント入力によりポート出力データの設定またはリセットを制御し、32 ビット単位でアクセスされます。

EOSRn (PCNTR4 のビット[15:0]) および EORRn (PCNTR4 のビット[31:16]) はそれぞれ 16 ビット単位でアクセスされます。

EOSRn ビット (Pmn イベント出力設定)

EOSR が ELC_PORTx 信号の発生によって設定されると、PODR が変更されます。たとえば P100 端子の場合、ELC_PORTx の発生時に PORT1.PCNTR4.EOSR00 が 1 になると、PORT1.PCNTR1.PODR00 は 1 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。入力専用のポートでは、EOSRn ビットは予約ビットになります。表 18.2 を参照してください。

EORRn ビット (Pmn イベント出力リセット)

EORR が ELC_PORTx 信号の発生によってリセットされると、PODR が変更されます。たとえば P100 端子の場合、ELC_PORTx の発生時に PORT1.PCNTR4.EORR00 が 1 になると、PORT1.PCNTR1.PODR00 は 0 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。入力専用のポートでは、EOSRn ビットは予約ビットになります。表 18.2 を参照してください。

注. EORRn または EOSRn を設定した場合、PODRn、PORRn、および POSRn への書き込みは禁止されます。

注. EORRn ビットと EOSRn ビットは、どちらか一方のみ設定してください。

18.2.5 PmnPFS/PmnPFS_HA/PmnPFS_BY : ポート mn 端子機能選択レジスタ (m = 0~8, n = 00~15)

Base address: PFS = 0x4001_F800

Offset address: 0x000 + 0x040 × m + 0x004 × n (PmnPFS)
0x002 + 0x040 × m + 0x004 × n (PmnPFS_HA)
0x003 + 0x040 × m + 0x004 × n (PmnPFS_BY)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	PSEL[4:0]				—	—	—	—	—	—	—	—	PMR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0(注1)
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ASEL	ISEL	EOFR[1:0]	—	—	—	—	—	—	NCODR	—	PCR	—	PDR	PIDR	PODR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0(注1)	0	0	x	0

ビット	シンボル	機能	R/W
0	PODR	ポート出力データ 0: Low 出力 1: High 出力	R/W(注3)
1	PIDR	Pmn 状態 0: Low レベル 1: High レベル	R(注4)
2	PDR	ポート方向 0: 入力 (入力端子として機能) 1: 出力 (出力端子として機能)	R/W(注5)
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	PCR	プルアップ制御 0: 入力プルアップ無効 1: 入力プルアップ有効	R/W(注5)
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	NCODR	N チャネルオープンドレイン制御 0: CMOS 出力 1: NMOS オープンドレイン出力	R/W(注5)
11:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
13:12	EOFR[1:0]	立ち下がり時イベント／立ち上がり時イベント(注2) 0 0: Don't care 0 1: 立ち上がりエッジを検出 1 0: 立ち下がりエッジを検出 1 1: 両エッジを検出	R/W(注5)
14	ISEL	IRQ 入力許可 0: IRQn 入力端子として使用しない 1: IRQn 入力端子として使用する	R/W(注5)
15	ASEL	アナログ入力許可 0: アナログ端子として使用しない 1: アナログ端子として使用する	R/W(注5)
16	PMR	ポートモード制御 0: 汎用入出力端子として使用する 1: 周辺機能用の入出力ポートとして使用する	R/W(注5)
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28:24	PSEL[4:0]	周辺機能選択 周辺機能を選択します。各端子の機能については、この章の関連する表を参照してください。	R/W(注5)
31:29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. P108、P201、P300 の初期値は 0x0000_0000 ではありません。P108 は 0x0001_0010、P201 は 0x0000_0010、P300 は 0x0001_0010 です。

注 2. PORTn (n = 1~4) でサポートされています。

注 3. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスが許可されます。
- 非セキュアリード値は 0 になり、TrustZone アクセスエラーは発生しません。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと、非セキュアアクセスが許可されます。

注 4. セキュリティ属性がセキュアに設定されている場合、

- セキュアリードアクセスが許可されます。
- 非セキュアリード値は 0 になり、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアおよび非セキュアのリードアクセスが許可されます。

注 5. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと、非セキュアリードアクセスが許可されます。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと、非セキュアアクセスが許可されます。

ポート mn 端子機能選択レジスタ (PmnPFS/PmnPFS_HA/PmnPFS_BY) は、ポート mn 端子機能を選択する 32 ビット、16 ビット、または 8 ビットの読み出し／書き込みコントロールレジスタで、32 ビット単位でアクセスされます。PmnPFS_HA (PmnPFS[15:0]ビット) は 16 ビット単位でアクセスされます。PmnPFS_BY (PmnPFS[7:0]ビット) は 8 ビット単位でアクセスされます。

使用可能なポート mn 端子は製品により異なります。詳細は、表 18.1 を参照してください。

PODR ビット (ポート出力データ)、PIDR ビット (ポート状態)、PDR ビット (ポート方向)

PDR ビット、PIDR ビット、PODR ビットは、PCNTR レジスタと同じ機能を果たします。これらのビットを読むと、PCNTR レジスタ値が読めます。

PCR ビット (プルアップ制御)

PCR ビットは、ポートの各端子に対して入力プルアップ抵抗を有効または無効にします。端子が入力状態にあって、PmnPFS.PCR の対応するビットが 1 になっている場合、その端子に接続されたプルアップ抵抗が有効になります。汎用ポート出力端子、または周辺機能出力端子に設定されている場合は、PCR の設定値にかかわらず、プルアップ抵抗は無効になります。リセット状態でもプルアップ抵抗は無効になります。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

NCODR ビット (N チャネルオープンドレイン制御)

NCODR ビットは、ポート端子の出力タイプを設定します。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

EOFR[1:0]ビット（立ち下がり時イベント／立ち上がり時イベント）

EOFR[1:0]ビットは、ポートグループ入力信号のエッジ検出方法を選択します。立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を選択できます。EOFR[1:0]ビットを 01b、10b、または 11b にすると、入出力セルの入力許可がアサートされます。それに続いて、外部端子からイベントパルスが入力され、GPIO が ELC にイベントパルスを出力します。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

ISEL ビット（IRQ 入力許可）

ISEL ビットは、IRQ 入力端子を指定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQ_n（外部端子割り込み）を 2 つ以上の端子で許可することは禁止です。未指定の IRQ_n に対する ISEL ビットは予約ビットです。

ASEL ビット（アナログ入力許可）

ASEL ビットは、アナログ端子を設定します。本ビットで、端子をアナログ端子として設定する場合、以下のよう指定します。

1. ポートモード制御ビット (PmnPFS.PMR) で、その端子を汎用入出力ポートに指定します。
2. プルアップ制御ビット (PmnPFS.PCR) で、プルアップ抵抗を無効にします。
3. ポート方向ビット (PmnPFS.PDR) で、入力を指定します。このとき、端子状態を読むことはできません。PmnPFS レジスタは、ライトプロテクトレジスタ (PWPR) によって保護されています。書き込み禁止を解除してから、レジスタを書き換えてください。

未指定のアナログ入出力端子に対する ASEL ビットは予約ビットです。

PMR ビット（ポートモード制御）

PMR ビットは、ポートの端子機能を設定します。存在しない端子に対応するビットは予約ビットです。書く場合、0 としてください。

PSEL[4:0]ビット（周辺機能選択）

PSEL[4:0]ビットは、周辺機能を割り当てます。

18.2.6 PWPR：書き込みプロテクトレジスタ

Base address: PFS = 0x4001_F800

Offset address: 0x503

Bit position:	7	6	5	4	3	2	1	0
Bit field:	BOWI	PFSWE	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	PFSWE	PmnPFS レジスタ書き込み許可 0: PmnPFS レジスタへの書き込みを禁止 1: PmnPFS レジスタへの書き込みを許可	R/W
7	BOWI	PFSWE ビット書き込み禁止 0: PFSWE ビットへの書き込みを許可 1: PFSWE ビットへの書き込みを禁止	R/W

PFSWE ビット（PmnPFS レジスタ書き込み許可）

PFSWE ビットを 1 にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。最初に BOWI ビットに 0 を書いてから、PFSWE ビットを 1 にする必要があります。

BOWI ビット（PFSWE ビット書き込み禁止）

BOWI ビットを 0 にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

18.2.7 PWPRS : セキュア用ライトプロテクトレジスタ

Base address: PFS = 0x4001_F800

Offset address: 0x505

Bit position:	7	6	5	4	3	2	1	0
Bit field:	B0WI	PFSWE	—	—	—	—	—	—

Value after reset: 1 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	PFSWE	PmnPFS レジスタ書き込み許可 0: PmnPFS レジスタへの書き込みを禁止 1: PmnPFS レジスタへの書き込みを許可	R/W
7	B0WI	PFSWE ビット書き込み禁止 0: PFSWE ビットへの書き込みを許可 1: PFSWE ビットへの書き込みを禁止	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

PFSWE ビット (PmnPFS レジスタ書き込み許可)

PFSWE ビットを 1 にしたときのみ、PmSAR レジスタによって「セキュア」に設定された I/O ポート端子の PmnPFS レジスタに対する書き込みが許可されます。最初に B0WI ビットに 0 を書いてから、PFSWE ビットを 1 にする必要があります。

B0WI ビット (PFSWE ビット書き込み禁止)

B0WI ビットを 0 にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

18.2.8 PRWCNTR : ウェイトコントロール設定レジスタ

Base address: PFS = 0x4001_F800

Offset address: 0x50C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	WAIT[3:0]			

Value after reset: 0 0 0 0 0 0 0 1

ビット	シンボル	機能	R/W
3:0	WAIT[3:0]	ウェイトサイクルコントロールビット WAIT ビットは、PRCNT2 レジスタおよび PFS レジスタにアクセスするときと、ELC イベントによってポートの端子状態を読み出すときのウェイトサイクルの数を指定します。 0x0: 設定禁止 0x1: 1 ウェイトサイクル挿入 0x2: 2 ウェイトサイクル挿入 0x3: 3 ウェイトサイクル挿入 0x4: 4 ウェイトサイクル挿入 0x5: 5 ウェイトサイクル挿入 0x6: 6 ウェイトサイクル挿入 0x7: 7 ウェイトサイクル挿入 0x8: 8 ウェイトサイクル挿入 0x9: 9 ウェイトサイクル挿入 0xA: 10 ウェイトサイクル挿入 0xB: 11 ウェイトサイクル挿入 0xC: 12 ウェイトサイクル挿入 0xD: 13 ウェイトサイクル挿入 0xE: 14 ウェイトサイクル挿入 0xF: 15 ウェイトサイクル挿入	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタへの書き込みは、PSAR レジスタにより保護されています。

18.2.9 PmSAR : ポートセキュリティ属性レジスタ (m = 0~8)

Base address: PFS = 0x4001_F800

Offset address: 0x510 + 0x002 × m

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field: PMNSA[15:0]

Value after reset: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
15:0	PMNSA[15:0]	Pmn のセキュリティ属性 対象の I/O ポート端子 : Pmn 0: セキュア 1: 非セキュア	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

注. m = 0~8, n = 00~15

ポートセキュリティ属性レジスタは、各ポートのセキュリティ属性を設定する 16 ビットレジスタです。16 ビット単位のみでアクセスされます。

PMNSA[15:0]ビット (Pmn のセキュリティ属性)

PmnSA ビットは Pmn のセキュリティ属性を指定します。

18.2.10 PSAR : PORT セキュリティ属性レジスタ

Base address: PFS = 0x4001_F800

Offset address: 0x540

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field: — — — — — — — — — — — — — — PORT SA0

Value after reset: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
0	PORTSA0	PRWCNTR セキュリティ属性 0: セキュア 1: 非セキュア	R/W
15:1	—	読むと 0 が読めます。書く場合、1 としてください。	R/W

注: セキュアアクセスのみ本レジスタへ書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注: 本レジスタへの書き込みは、PRCR レジスタにより保護されています。

ポートセキュリティ属性レジスタは PRWCNTR のセキュリティ属性を設定する 16 ビットレジスタで、16 ビット単位でのみアクセスします。

18.3 動作

18.3.1 汎用入出力ポート

P108 と P300 以外のすべての端子は、リセット後は汎用入出力ポートとして動作します。汎用入出力ポートは各ポート 16 ビットで構成され、ポートコントロールレジスタ (PCNTRn; n = 1~4) によるポート単位のアクセス、またはポート mn 端子機能選択レジスタによる端子単位のアクセスが可能です。これらのレジスタの詳細は、「[18.2. レジスタの説明](#)」を参照してください。

各ポートのビットを以下に示します。

- ポートセキュリティ属性レジスタ (PmSAR) (m = 0~8) : セキュリティ属性を示す
- ポート方向ビット (PDRn) : 入力／出力の方向を選択する
- ポート出力データビット (PODRn) : 出力用データを格納する
- ポート入力データビット (PIDRn) : 端子状態を示す
- イベント入力データビット (EIDRn) : ELC_PORTn (n = 1, 2, 3, 4) 信号発生時の端子状態を示す
- ポート出力設定ビット (POSrn) : ソフトウェア書き込み発生時の出力値を示す
- ポート出力リセットビット (PORRn) : ソフトウェア書き込み発生時の出力値を示す
- イベント出力設定ビット (EOSRn) : ELC_PORTn (n = 1, 2, 3, 4) 信号発生時の出力値を示す
- イベント出力リセットビット (EORRn) : ELC_PORTn (n = 1, 2, 3, 4) 信号発生時の出力値を示す

18.3.2 ポート機能選択

各端子の設定時、以下のポート機能を利用できます。

- セキュリティ機能 : 各端子のセキュリティ属性
- 入出力設定 : CMOS 出力または NMOS オープンドレイン出力、およびプルアップ制御
- 汎用入出力ポート : ポート方向、出力データ設定、および読み出し入力データ
- 代替機能 : 端子への機能の割り当て

各端子は、ポート mn 端子機能選択レジスタ (PmnPFS) に関連付けられます。このレジスタには対応するビット PODR、PIDR、および PDR があります。さらに、PmnPFS レジスタには以下のビットがあります。

- PCR : 入力プルアップ MOS のオン／オフを切り替えるためのプルアップ抵抗制御ビット
- NCODR : 各端子の出力タイプを選択するための N チャネルオープンドレイン制御ビット
- EOFR[1:0] : ポートグループから入力されるイベントのエッジを選択
- ISEL : IRQ 入力端子を設定するための IRQ 入力許可ビット
- ASEL : アナログ端子を設定するためのアナログ入力許可ビット
- PMR : 各ポートの端子機能を設定するためのポートモードビット
- PSEL[4:0] : 対応する周辺機能を選択するためのポート機能選択ビット

これらは、ポート mn 端子機能選択レジスタへのシングルレジスタアクセスで設定することができます。詳細は「[18.2.5. PmnPFS/PmnPFS_HA/PmnPFS_BY : ポート \$mn\$ 端子機能選択レジスタ \(\$m = 0 \sim 8, n = 00 \sim 15\$ \)](#)」を参照してください。

18.3.3 ELC のポートグループ機能

本 MCU では、ポート 1～ポート 4 が ELC ポートグループ機能に割り当てられています。

18.3.3.1 ELC から ELC_PORTn ($n = 1, 2, 3, 4$) が入力された場合の動作

ELC から ELC_PORTn ($n = 1, 2, 3, 4$) 信号が入力されたとき、本 MCU は、以下に示す 2 つの機能をサポートしています。

(1) EIDR への入力

GPI 機能 (PmnPFS レジスタの $PDR = 0$ および $PMR = 0$) では、ELC から ELC_PORTn ($n = 1, 2, 3, 4$) 信号が入力されると、入出力セルの入力許可がアサートされ、外部端子からのデータが EIDR ビットに読み込まれます。[図 18.2](#) を参照してください。

GPO 機能 ($PDR = 1$) または周辺モード ($PMR = 1$) では、外部端子から EIDR ビットに 0 が入力されます。

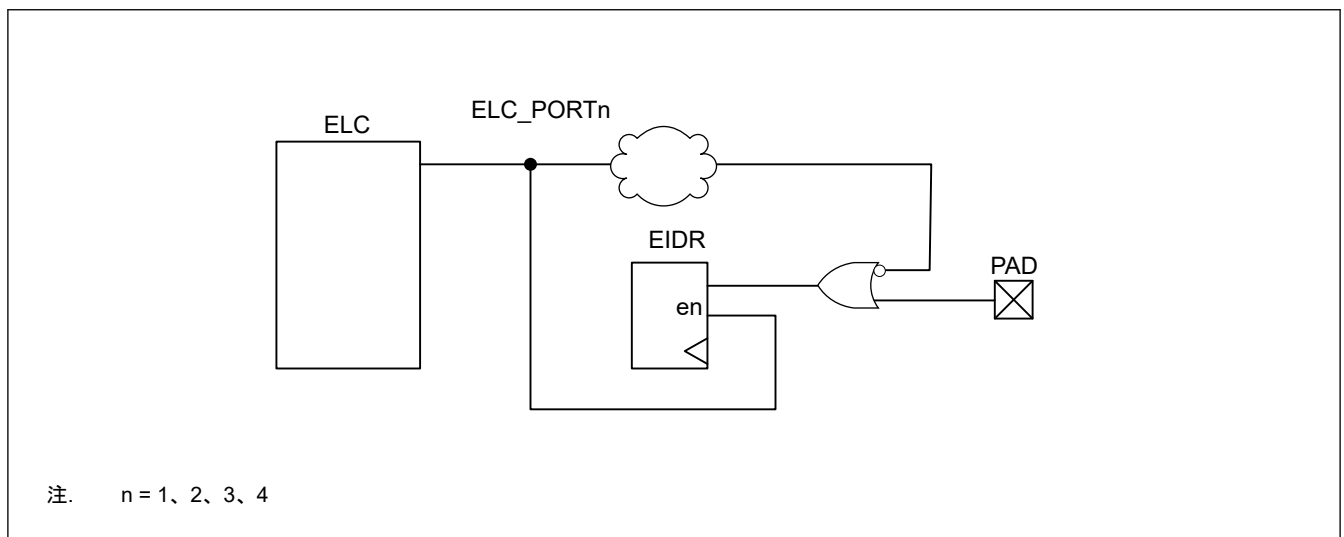


図 18.2 イベントポート入力データ

(2) EOSR および EORR による PODR からの出力

ELC_PORTn ($n = 1, 2, 3, 4$) 信号の発生時に、EOSR および EORR レジスタの設定値に基づいて、PODR から外部端子へデータが出力されます。

- EOSR を 1 にすると、ELC_PORTn ($n = 1, 2, 3, 4$) 信号発生時に PODR レジスタは外部端子へ 1 を出力します。EOSR = 0 の場合、PODR の値が保持されます。
- EORR を 1 にすると、ELC_PORTn ($n = 1, 2, 3, 4$) 信号発生時に PODR レジスタは外部端子へ 0 を出力します。EORR = 0 の場合、PODR の値が保持されます。

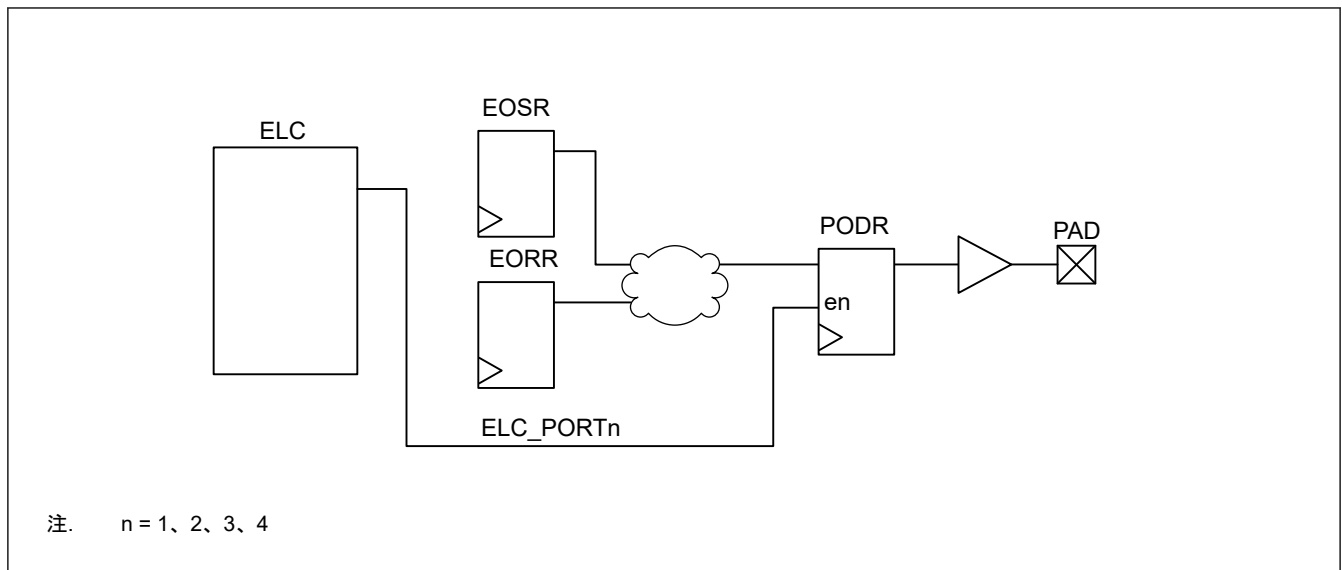


図 18.3 イベントポート出力データ

18.3.3.2 イベントパルスが ELC に出力された場合の動作

外部端子から ELC にイベントパルスを入力するには、PmnPFS レジスタの EOFR[1:0] ビットを設定します。詳細は、「[18.2.5. PmnPFS/PmnPFS_HA/PmnPFS_BY: ポート mn 端子機能選択レジスタ \(m = 0~8, n = 00~15\)](#)」を参照してください。EOFR[1:0] ビットを設定すると、入出力セルの入力許可がアサートされます。

外部端子からのデータが入力となります。たとえばポート 1 に対して、P100 から P115 へデータが入力されると、これら 16 端子のデータは OR 論理で構成されます。このデータは、ワンショットパルスとして形成され、ELC に入力されます。ポート n (n = 2~4) の動作もポート 1 と同様です。[図 18.4](#) を参照してください。

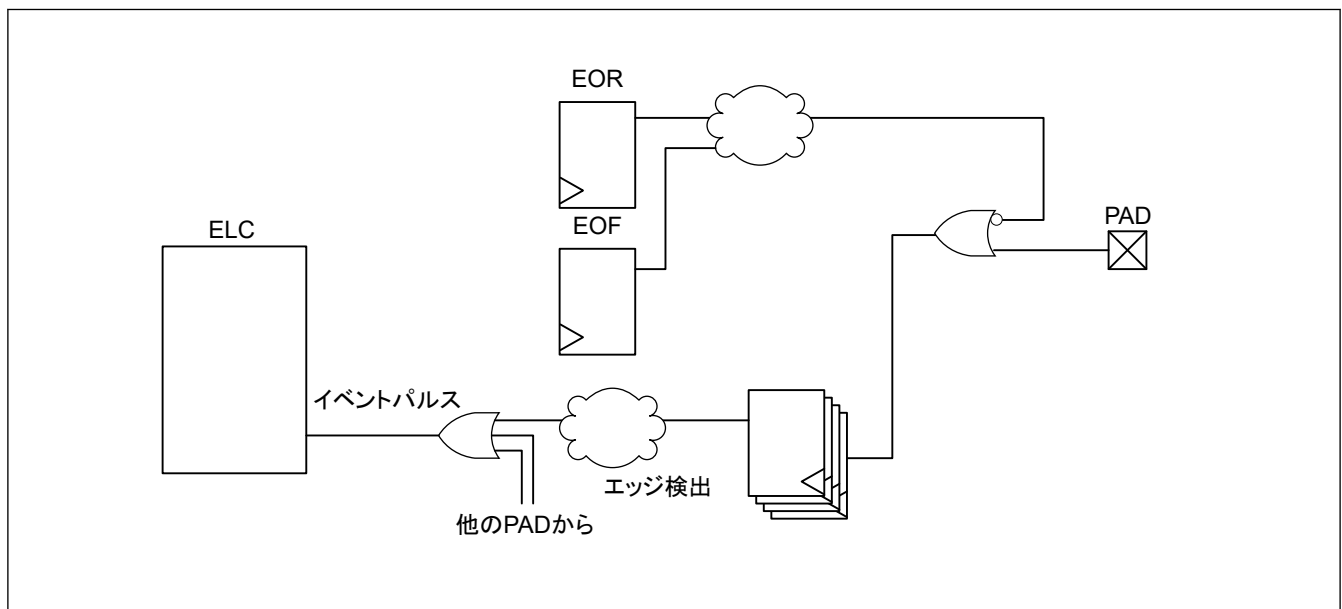


図 18.4 イベントパルスの発生

18.3.4 ポート読み出し時のウェイト機能

ポート入力データを読み出し時のウェイトサイクル数は、PRWCNTR.WAIT[3:0] ビットで以下のように設定できます。

- PRCNT2 または PFS レジスタを読み出すことで、ポート入力データ (PIDR) を読み出します。
- ELC_PORT1~4 信号の発生時に、ポート端子状態をイベント入力データレジスタ (EIDR) にラッチします。

アクセスサイクル数は、PRWCNTR.WAIT[3:0]の値に 1 を足した値です。たとえば、PRWCNTR.WAIT[3:0]が 0010b のとき、ウェイトサイクルは 2 サイクル、アクセスサイクルは 3 クロックサイクルになります。

表 18.3 に、電圧、周波数、ウェイトサイクルの関係を示します。

表 18.3 電圧、周波数、ウェイトサイクルの関係

VCC = AVCC0	アクセスサイクル(注1)	ウェイトサイクル(注2)
2.7 V 超	4～16	3～15
2.4～2.7 V	5～16	4～15
1.8～2.4 V	8～16	7～15
1.6～1.8 V	2～16	1～15

注 1. バスレイテンシは含まれません。

注 2. ウェイトコントロール設定レジスタ (PRWCNTR) に設定されるウェイトサイクル数

18.4 未使用端子の処理

表 18.4 に、未使用端子の処理方法を示します。

表 18.4 未使用端子の処理

端子名	未使用時の処理
P201/MD	モード選択端子として使用
RES	抵抗を介して VCC に接続（プルアップ）
P200/NMI	抵抗を介して VCC に接続（プルアップ）
P212/EXTAL	メインクロック発振器を使用しない場合、MOSCCR.MOSTP ビットを 1（汎用ポート P212）に設定する。この端子をポート P212 として使用しない場合、ポート 1～8 と同じ方法で設定する。
P213/XTAL	メインクロック発振器を使用しない場合、MOSCCR.MOSTP ビットを 1（汎用ポート P213）に設定する。外部クロックが EXTAL 端子に入力される場合、XTAL 端子は P213 として機能する。この端子をポート P213 として使用しない場合、ポート 1～8 と同じ方法で設定する。
P215/XCIN	サブクロック発振器を使用しない場合、SOSCCR.SOSTP ビットを 1（汎用ポート P215）に設定する。この端子をポート P215 として使用しない場合、ポート 1～8 と同じ方法で設定する。
P214/XCOUT	サブクロック発振器を使用しない場合、SOSCCR.SOSTP ビットを 1（汎用ポート P214）に設定する。この端子をポート P214 として使用しない場合、ポート 1～8 と同じ方法で設定する。
P0xx	- 方向を入力 (PCNTR1.PDRn = 0) に設定した場合、対応する端子を抵抗を介して AVCC0 に接続（プルアップ）、または抵抗を介して AVSS0 に接続（プルダウン）(注1) - 方向を出力 (PCNTR1.PDRn = 1) に設定した場合、端子を開放(注1)
P1x～P8x	- 方向を入力 (PCNTR1.PDRn = 0) に設定した場合、対応する端子を抵抗を介して VCC に接続（プルアップ）、または抵抗を介して VSS に接続（プルダウン）(注1)(注2) - 方向を出力 (PCNTR1.PDRn = 1) に設定した場合、端子を開放(注1)
VREFH0	AVCC0 に接続
VREFL0	AVSS0 に接続
RTCIC0	抵抗を介して VSS に接続
VRTC	VSS への直接接続

注 1. PmnPFS.PMR ビット、PmnPFS.ISEL ビット、PmnPFS.PCR ビット、および PmnPFS.ASEL ビットを 0 にクリアしてください。

注 2. P108、P201、および P300 は初期値から入力プルアップを有効にする必要があります (PmnPFS.PCR = 1)。

18.5 使用上の注意

18.5.1 端子機能の設定手順

入出力端子機能を設定するには、下記の手順に従ってください。

1. PWPR.BOWI ビットをクリアします。PWPR.PFSWE ビットに書き込みできるようになります。(注1)
2. PWPR.PFSWE ビットを 1 にします。PmnPFS レジスタへの書き込みが許可されます。(注1)
3. 当該端子の PMR のポートモード制御ビットを 0 にして、汎用入出力ポートに設定します。

4. PmnPFS.PSEL[4:0]ビットによって、この端子の入出力機能を設定します。
5. 必要に応じて PMR ビットを 1 にして、選択した入出力機能に切り替えます。
6. PWPR.PFSWE ビットをクリアします。PmnPFS レジスタへの書き込みが禁止されます。(注1)
7. PWPR.B0WI ビットを 1 にします。PWPR.PFSWE ビットへの書き込みが禁止されます。(注1)

注 1. Pmn のセキュリティ属性が 0 のとき、PmnPFS レジスタへの書き込みをするには PWPRS レジスタを設定する必要があります。

18.5.2 ポートグループ入力の使用手順

ポートグループ入力（ポート n (n = 1~4)）を使用するには、下記の手順に従ってください。

1. ELSRx.ELS[8:0]ビットをすべて 0 にして、意図しないパルスが無視します。詳細は、「[17. イベントリンクコントロール \(ELC\)](#)」を参照してください。
2. PmnPFS レジスタの EOFR[1:0]ビットを設定して、立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を指定します。
3. ダミーリードを実行するか、少しの間（たとえば 100 ns）待ちます。意図しないパルスが無視するかどうかは、外部端子の初期値によって異なります。
4. ELSRx.ELS[8:0]ビットを設定して、イベント信号を許可します。

18.5.3 ポート出力データレジスタ (PODR) の概要

本レジスタは下記のようにデータを出力します。

1. ELC_PORTn (n = 1, 2, 3, 4) 信号発生時に PCNTR4.EORR ビットを 1 にすると、0 を出力する。
2. ELC_PORTn (n = 1, 2, 3, 4) 信号発生時に PCNTR4.EOSR ビットを 1 にすると、1 を出力する。
3. PCNTR3.PORR が 1 になると、0 を出力する。
4. PCNTR3.POSR が 1 になると、1 を出力する。
5. PCNTR1.PODRn が設定されると、0 または 1 を出力する。
6. PmnPFS.PODRn が設定されると、0 または 1 を出力する。

上記の番号は、PODRn への書き込み優先順位に相当しています。たとえば、上記の 1.と 3.が同時に発生した場合、優先順位の高い 1.が実行されます。

18.5.4 アナログ機能使用時の注意事項

アナログ機能を使用するには、ポートモード制御ビット (PMR) とポート方向ビット (PDRn) を両方とも 0 にして、端子が汎用入力ポートとして動作できるようにしてください。その後、ポート mn 端子機能選択レジスタ (PmnPFS.ASEL) のアナログ入力許可ビット (ASEL) を 1 にしてください。

18.5.5 EXLVD 機能使用時の注意事項

P509/EXLVD を EXLVD 機能として使用するとき、ポートモード制御ビット (P509PFS.PMR) とポート方向ビット (P509PFS.PDR) を両方とも 0 にして、端子が汎用入力ポートとして動作できるようにしてください。P509 が EXLVD 端子への中間電位入力を読み出される場合、読み出しアクセスのタイミングで P509 の入力バッファに貫通電流が発生することがあります。また、P509 の読み出し値が不定値になることがあります。したがって、EXLVD 機能を使用するときに、PORT5.PCNTR5/PIDR を使用して P5xx を一気に読み出すことを避け、PmnPFS レジスタを使用して各ポートを個別にアクセスしてください。

18.5.6 EXLVDVBAT 機能使用時の注意事項

P508/EXLVDVBAT を EXLVDVBAT 機能として使用するとき、ポートモード制御ビット (P508PFS.PMR) とポート方向ビット (P508PFS.PDR) を両方とも 0 にして、端子が汎用入力ポートとして動作できるようにしてください。P508 が EXLVDVBAT 端子への中間電位入力を読み出される場合、読み出しアクセスのタイミングで P508 の入力バッファに貫通電流が発生することがあります。また、P508 の読み出し値が不定値になることがあります。したがって、EXLVDVBAT 機能を使用するときに、PORT5.PCNTR5/PIDR を使用して P5xx を一気に読み出すことを避け、PmnPFS レジスタを使用して各ポートを個別にアクセスしてください。

18.6 製品ごとの周辺選択設定

本項では、PmnPFS レジスタを用いた端子機能選択設定について説明します。いくつかの端子名には、接尾語として A、B、C、または D が付加されています。IIC や SPI の機能を割り当てる場合、接尾語が同じ機能端子を選択してください。その他の端子は、接尾語に関係なく選択可能です。ただし、同じ機能を 2 つ以上の端子に同時に割り当てることはしないでください。

1. Pmn 端子機能選択レジスタ (PmnPFS) では、対象端子の PMR ビットが 0 のときに、PSEL ビットを設定する必要があります。PMR ビットが 1 のときに PSEL ビットを設定すると、入力機能の場合は意図しないエッジが入力され、出力機能の場合は意図しないパルスが外部端子に出力される場合があります。
2. PmnPFS レジスタの PSEL ビットでは、許可された値（機能）以外に設定しないでください。このレジスタに許可されていない値を設定した場合、正しい動作は保証されません。
3. PmnPFS レジスタでは、1 つの機能を複数の端子に割り付けしないでください。GPT1、GPT5、SCI3、IIC0、および SPI0 がセキュアに設定され、かつ PmSAR レジスタによってセキュリティ属性が「セキュア」に設定されている端子にこれらの端子機能が割り付けられているとき、セキュリティ属性が「非セキュア」に設定されている他の端子にセキュアな端子に割り付けられているのと同じ機能を設定するための PSEL ビットへの書き込みは無視されます。たとえば、PSARE.PSARE30 ビットが 0（GPT1 がセキュア）、P109PFS.PSEL ビットが 00011b（端子機能は GTIOC1A）で PISAR.109SA ビットが 0（P109 はセキュア）の場合、P4SAR.P405SA ビットが 1（P405 は非セキュア）のときの P405PFS.PSEL ビットへの 00011b の書き込みは無視されます。
4. ポート 0 とポート 5 は、A/D コンバータなどのアナログ機能を持っています。これらの端子をアナログ機能として使用する場合、分解能の低下を防止するため、PMR ビットと PDR ビットは 0 にしてください。その後、ASEL ビットを 1 にしてください。

表 18.5 入出力端子機能のレジスタ設定 (PORT0)

PSEL[4:0]設定	機能	端子						
		P000	P001	P002	P003	P004	P010	P011
00000b (リセット後の値)	Hi-z/SWD	Hi-z						
ASEL ビット		AN005	AN006	AN000	AN001	AN002	AN003/VREFH0	AN004/VREFL0
ISEL ビット		IRQ6	IRQ7	IRQ8	—	IRQ9	IRQ10	IRQ11
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓
NCODR ビット	Nch-OD	—	—	—	—	—	—	—
100 ピン		✓	✓	✓	✓	✓	✓	✓
64 ピン		✓	✓	✓	✓	✓	✓	✓

✓：利用可能
—：設定禁止

表 18.6 入出力端子機能のレジスタ設定 (PORT1) (1/2)

PSEL[4:0]設定	機能	端子															
		P100	P101	P102	P103	P104	P105	P106	P107	P108	P109	P110	P111	P112	P113	P114	P115
00000b (リセット後の値)	Hi-z/SWD	Hi-z								SWDIO	Hi-z						
00001b	AGT	AGTIO0	AGTEE0	AGTO0	—	—	—	AGTOB0	AGTOA0	—	—	—	—	—	AGTIO1	—	—
00010b	GPT	GTETRGA	GTETRGB	GTOWLO	GTOWUP	GTETRGA	GTETRGA	GTETRGD	—	GTOULO	GTOVUP	GTOVLO	—	—	—	—	—
00011b	GPT	GTIOC5B	GTIOC5A	—	—	GTIOC1B	GTIOC1A	—	—	GTIOC0B	GTIOC1A	GTIOC1B	—	—	—	—	GTIOC4A
00100b	SCI	RXD0/SCL0/MISO0	TXD0/SDA0/MOSI0	SCK0	CTS_RTS0/SS0	—	—	—	—	—	—	—	—	—	—	—	—
00101b	SCI	—	—	RXD3/SCL3/MISO3	TXD3/SDA3/MOSI3	SCK3	CTS_RTS3/SS3	CTS3	—	CTS_RTS9/SS9	TXD9/SDA9/MOSI9	RXD9/SCL9/MISO9	SCK9	CTS_RTS9/SS9	—	CTS9	TXD1/SDA1/MOSI1/TXD1/SIOX1
00110b	SPi(注1)	MISOC_A	MOSIC_A	RSPCK_C_A	SSLC0_A	SSLC1_A	SSLC2_A	SSLC3_A	—	SSLA0_B	MOSIA_B	MISOA_B	RSPCK_A_B	SSLA0_B	—	—	—
00111b	IIC(注1)	SDA0_B	SCL0_B	—	—	—	—	—	—	—	—	—	—	—	—	—	—
01001b	RTC/CLKOUT	—	—	—	—	—	—	—	—	—	CLKOUT	—	—	—	—	—	—
01010b	CAC/ADC12	—	—	ADTRG0	—	—	—	—	—	—	—	—	—	—	—	—	—
01101b	SLCDC	SEG41	SEG40	SEG39	SEG38	SEG37	SEG36	SEG35	SEG34	SEG24	COM4/SEG0	COM5/SEG1	COM6/SEG2	COM7/SEG3	SEG25	SEG26	SEG27

表 18.6 入出力端子機能のレジスタ設定 (PORT1) (2/2)

PSEL[4:0]設定	機能	端子															
		P100	P101	P102	P103	P104	P105	P106	P107	P108	P109	P110	P111	P112	P113	P114	P115
10000b	CANFD	—	—	CTX0	CRX0	—	—	—	—	—	—	—	—	—	—	—	—
10001b	QSPI	QIO1	QIO0	QIO3	QIO2	QSPCLK	—	—	—	—	—	—	—	QSSL	—	—	—
ASEL ビット		—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ISEL ビット		IRQ2	IRQ1	—	—	IRQ1	IRQ0	—	—	—	—	IRQ3	IRQ4	—	IRQ10	—	—
PCR ビット	ブルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
NCODR ビット	Nch-OD	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
100 ピン		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
64 ピン		✓	✓	✓	✓	✓	✓	✓	—	✓	✓	✓	✓	✓	✓	—	—

✓：利用可能

—：設定禁止

注 1. 所属グループを示すため、端子名の末尾に“_A”や“_B”などの文字を付加した端子の使用を推奨します。インターフェースについては、電気的特性の AC タイミングを各グループで測定しています。

表 18.7 入出力端子機能のレジスタ設定 (PORT2)

PSEL[4:0]設定	機能	端子															
		P200	P201	P204	P205	P206	P207	P208	P209	P210	P211	P212	P213	P214	P215		
00000b (リセット後の値)	Hi-z/SWD	Hi-z															
00001b	AGT	—	—	—	AGTO1	—	—	—	—	—	—	AGTEE1	—	—	—	—	—
00010b	GPT	—	—	GTIU	GTIV	GTIU	—	GTOVLO	GTOVUP	GTIW	GTIV	GTETRG D	GTETRG C	—	—	—	—
00011b	GPT	—	—	—	GTIOC4A	GTIOC3B	GTIOC3A	—	—	—	—	GTIOC0B	GTIOC0A	—	—	—	—
00100b	SCI	—	—	CTS_RT S4/SS4	SCK4	RXD4/ SCL4/ MISO4	TXD4/ SDA4/ MOSI4	—	—	—	—	RXD0/ SCL0/ MISO0	TXD0/ SDA0/ MOSI0	—	—	—	—
00110b	SP[注1]	—	—	SSLA0_A	—	—	—	—	RSPCKA_A	MISOA_A	MOSIA_A	—	—	—	—	—	—
01001b	RTC/CLKOUT	—	—	—	CLKOUT	—	—	—	—	—	—	—	—	—	—	—	—
01101b	SLCDC	—	—	SEG14	COM0	—	—	COM1	SEG17	SEG16	SEG15	—	—	—	—	—	—
10001b	QSPI	—	—	QSPCLK	—	—	QSSL	QIO3	QIO2	QIO1	QIO0	—	—	—	—	—	—
ASEL ビット		—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ISEL ビット		NMI[注2]	—	—	IRQ1	IRQ0	—	IRQ12	—	—	—	IRQ3	IRQ2	—	—	—	—
PCR ビット	ブルアップ	—	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	—	—	—	—
NCODR ビット	Nch-OD	—	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	—	—	—	—
100 ピン		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
64 ピン		✓	✓	—	✓	✓	✓	✓	—	—	—	✓	✓	✓	✓	✓	✓

✓：利用可能

—：設定禁止

注 1. 所属グループを示すため、端子名の末尾に“_A”や“_B”などの文字を付加した端子の使用を推奨します。インターフェースについては、電気的特性の AC タイミングを各グループで測定しています。

注 2. NMI 端子割り込みを使用する場合、ポートに関連するレジスタの設定は不要です。

表 18.8 入出力端子機能のレジスタ設定 (PORT3) (1/2)

PSEL[4:0]設定	機能	端子							
		P300	P301	P302	P303	P304	P305	P306	P307
00000b (リセット後の値)	Hi-z/SWD	SWCLK	Hi-z	—	—	—	—	—	—
00001b	AGT	—	AGTIO0	—	—	—	—	—	—
00010b	GPT	GTOUUP	GTOULO	GTOUUP	—	GTOVLO	GTOVUP	GTOULO	GTOUUP
00011b	GPT	GTIOC0A	GTIOC4B	GTIOC4A	GTIOC3B	GTIOC3A	—	—	—
00101b	SCI	CTS5	RXD5/SCL5/ MISO5	TXD5/SDA5/ MOSI5	SCK5	CTS_RTSS/SS5	—	—	—
00110b	SP[注1]	SSLA1_B	SSLA2_B	SSLA3_B	—	—	—	—	—
00111b	IIC[注1]	—	SDA0_A	SCL0_A	—	—	—	—	—
01010b	CAC/ADC12	—	—	ADTRG0	—	—	—	—	—
01101b	SLCDC	SEG23	SEG22	SEG21	COM3	COM2	SEG20	SEG19	SEG18
10110b	UARTA	—	—	—	—	CLKA0	RxDA0	TxDA0	—
ASEL ビット		—	—	—	—	—	—	—	—
ISEL ビット		—	IRQ6	IRQ5	—	IRQ9	IRQ8	—	—

表 18.8 入出力端子機能のレジスタ設定 (PORT3) (2/2)

PSEL[4:0]設定	機能	端子							
		P300	P301	P302	P303	P304	P305	P306	P307
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓
NCODR ビット	Nch-OD	✓	✓	✓	✓	✓	✓	✓	✓
100 ピン		✓	✓	✓	✓	✓	✓	✓	✓
64 ピン		✓	✓	✓	✓	✓	—	—	—

✓：利用可能

—：設定禁止

注 1. 所属グループを示すため、端子名の末尾に“_A”や“_B”などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

表 18.9 入出力端子機能のレジスタ設定 (PORT4)

PSEL[4:0]設定	機能	端子														
		P400	P401	P402	P403	P404	P405	P407	P408	P409	P410	P411	P412	P413	P414	P415
00000b（リセット後の値）	Hi-z/SWD	Hi-z														
00001b	AGT	AGTIO1	—	AGTIO0/AGTIO1	AGTIO0/AGTIO1	AGTIO0/AGTIO1	—	AGTIO0	—	—	AGTOB1	AGTOA1	AGTEE1	—	—	—
00010b	GPT	GTETR_GB	GTETR_GA	GTETR_GC	—	—	—	—	GTOWLO	GTOWUP	GTOVLO	GTOVUP	GTOULO	GTOUUP	—	—
00011b	GPT	GTIOC2A	GTIOC2B	—	—	GTIOC1B	GTIOC1A	GTIOC2A	GTIOC2B	—	—	—	—	—	GTIOC0B	GTIOC0A
00100b	SCI	—	—	—	—	—	—	CTS4	CTS_RT_S4/SS4	—	—	—	—	—	—	—
00101b	SCI	TXD1/SDA1/MOSI1/TXDX1/SIOX1	RXD1/SCL1/MISO1/RXDX1/SIOX1	CTS_RT_S1/SS1	SCK1	TXD5/SDA5/MOSI5	RXD5/SCL5/MISO5	—	RXD3/SCL3/MISO3	TXD3/SDA3/MOSI3	SCK3	CTS_RT_S3/SS3	CTS3	—	—	—
00110b	SPI(注1)	—	—	—	—	—	—	—	RSPCKB_A	MISOB_A	MOSIB_A	SSLB0_A	SSLB1_A	SSLB2_A	SSLB3_A	—
00111b	IIC(注1)	SCL1_A	SDA1_A	—	—	—	—	—	—	—	—	—	—	—	—	—
01001b	RTC/CLKOUT	—	—	—	—	—	—	RTCCOUT	—	—	—	—	—	—	—	—
01010b	CAC/ADC12	—	—	CACREF	—	—	—	ADTRG0	—	—	—	—	—	—	—	—
01101b	SLCDC	SEG4	SEG5	SEG6	SEG7	SEG23	SEG24	SEG13	VL3	VL4	VL2	VL1	SEG12	SEG11	SEG10	SEG9
10000b	CANFD	—	CRX0	CTX0	—	—	—	—	—	—	—	—	—	—	—	—
ASEL ビット		—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ISEL ビット		IRQ0	IRQ5	IRQ4	IRQ14	IRQ15	—	—	IRQ7	IRQ6	IRQ5	IRQ4	—	—	IRQ9	IRQ8
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
NCODR ビット	Nch-OD	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
100 ピン		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
64 ピン		✓	✓	—	—	—	—	✓	✓	✓	✓	✓	—	—	—	—

✓：利用可能

—：設定禁止

注 1. 所属グループを示すため、端子名の末尾に“_A”や“_B”などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

表 18.10 入出力端子機能のレジスタ設定 (PORT5) (1/2)

PSEL[4:0]設定	機能	端子													
		P500	P501	P502	P503	P504	P505	P506	P507	P508	P509	P510	P511	P512	P513
00000b（リセット後の値）	Hi-z/SWD	Hi-z													
00001b	AGT	AGTOA0	AGTOB0	—	—	—	—	—	—	—	—	—	—	—	—
00010b	GPT	GTIU	GTIV	GTIW	GTETRG C	GTETRG D	—	—	—	—	—	—	—	—	—
00011b	GPT	—	—	—	—	—	—	GTIOC4A	GTIOC4B	—	—	—	—	—	—
00100b	SCI	CTS0	—	—	—	—	—	—	—	—	—	—	—	—	—
00101b	SCI	—	—	—	—	—	—	TXD5/ SDA5/ MOSI5	RXD5/ SCL5/ MISO5	CTS_RT S5/SS5	SCK5	TXD9/ SDA9/ MOSI9	RXD9/ SCL9/ MISO9	CTS_RT S9/SS9	SCK9
00110b	SPI(注1)	—	—	—	—	—	—	MOSIC_ B	MISOC_ B	RSPCKC_ B	SSLC0_B	SSLC1_B	SSLC2_B	SSLC3_B	—
01010b	CAC/ADC12	CACREF	—	—	—	—	—	—	—	—	—	—	—	—	—
01101b	SLCDC	SEG42	SEG43	SEG44	SEG45	SEG46	SEG47	—	—	—	—	—	—	—	—
10001b	QSPI	QSPCLK	QSSL	QIO0	QIO1	QIO2	QIO3	—	—	—	—	—	—	—	—

表 18.10 入出力端子機能のレジスタ設定 (PORT5) (2/2)

PSEL[4:0]設定	機能	端子													
		P500	P501	P502	P503	P504	P505	P506	P507	P508	P509	P510	P511	P512	P513
10110b	UARTA	—	—	—	—	—	—	—	CLKA0	TxDA0	RxDA0	—	CLKA1	TxDA1	RxDA1
ASEL ビット		AN021	—	—	—	—	—	AN020	AN019	AN018/ EXLVDV BAT	AN017/ EXLVD	AN025	AN024	AN023	AN022
ISEL ビット		—	IRQ11	IRQ12	—	—	IRQ14	IRQ13	—	—	—	—	—	—	IRQ15
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
NCODR ビット	Nch-OD	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
100 ピン		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
64 ピン		✓	—	—	—	—	—	✓	✓	✓	✓	—	—	—	—

✓：利用可能

—：設定禁止

注 1. 所属グループを示すため、端子名の末尾に“_A”や“_B”などの文字を付加した端子の使用を推奨します。インタフェースについては、電氣的特性の AC タイミングを各グループで測定しています。

表 18.11 入出力端子機能のレジスタ設定 (PORT6)

PSEL[4:0]設定	機能	端子					
		P600	P601	P602	P608	P609	P610
00000b (リセット後の値)	Hi-z/SWD	Hi-z					
00011b	GPT	GTIOC2B	GTIOC2A	—	GTIOC4B	GTIOC5A	GTIOC5B
00101b	SCI	—	—	—	RXD1/SCL1/MISO1/ RDX1	SCK1	CTS_RTS1/SS1
01001b	RTC/CLKOUT	CLKOUT	—	—	—	—	—
01010b	CAC/ADC12	CACREF	—	—	—	—	—
01101b	SLCDC	SEG33	SEG32	SEG31	SEG28	SEG29	SEG30
ASEL ビット		—	—	—	—	—	—
ISEL ビット		—	—	—	—	—	—
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓
NCODR ビット	Nch-OD	✓	✓	✓	✓	✓	✓
100 ピン		✓	✓	✓	✓	✓	✓
64 ピン		—	—	—	—	—	—

✓：利用可能

—：設定禁止

表 18.12 入出力端子機能のレジスタ設定 (PORT7)

PSEL[4:0]設定	機能	端子
		P708
00000b (リセット後の値)	Hi-z/SWD	Hi-z
01010b	CAC/ADC12	CACREF
01101b	SLCDC	SEG8
ASEL ビット		—
ISEL ビット		IRQ11
PCR ビット	プルアップ	✓
NCODR ビット	Nch-OD	✓
100 ピン		✓
64pin		—

✓：利用可能

—：設定禁止

表 18.13 入出力端子機能のレジスタ設定 (PORT8) (1/2)

PSEL[4:0]設定	機能	端子	
		P814	P815
00000b (リセット後の値)	Hi-z/SWD	Hi-z	
01101b	SLCDC	CAPL	CAPH
10000b	CANFD	CTX0	CRX0
10110b	UARTA	RxDA1	TxDA1
ASEL ビット		—	—
ISEL ビット		—	—

表 18.13 入出力端子機能のレジスタ設定 (PORT8) (2/2)

PSEL[4:0]設定	機能	端子	
		P814	P815
PCR ビット	プルアップ	✓	✓
NCODR ビット	Nch-OD	✓	✓
100 ピン		✓	✓
64 ピン		✓	✓

✓ : 利用可能
— : 設定禁止

19. GPT 用のポートアウトプットイネーブル (POEG)

19.1 概要

ポートアウトプットイネーブル (POEG) は、以下の方法のいずれかにより、汎用 PWM タイマ (GPT) の出力端子を出力禁止状態にすることが可能です。

- GTETR_{Gn} 端子 (n = A～D) の入力レベル検出
- GPT からの出力禁止要求
- クロック発生回路の発振停止検出
- レジスタ設定値

GTETR_{Gn} 端子 (n = A～D) は、GPT への外部トリガ入力端子として利用可能です。

表 19.1 に POEG の仕様を、図 19.1 にブロック図を、表 19.2 に入力端子を示します。

表 19.1 POEG の仕様

項目	内容
入力レベル検出による出力禁止制御	● 極性とフィルタの選択後、GTETR_{Gn} 端子の立ち上がりエッジまたは High レベルをサンプリングした場合に、GPT 出力端子を出力禁止に設定可能
GPT からの出力禁止要求	● GTIOCxA 端子と GTIOCxB 端子が同時にアクティブレベルとなる場合、GPT は POEG に対して出力禁止要求を発生させる。POEG は、これらの出力禁止要求を受信して、GTIOCxA 端子および GTIOCxB 端子を出力禁止にするか否かの制御が可能
発振停止検出による出力禁止制御	● クロック発生回路による発振が停止した場合に、GPT 出力端子を出力禁止に設定可能
ソフトウェア（レジスタ）による出力禁止制御	● レジスタの設定値を書き換えることにより、GPT 出力端子を出力禁止に設定可能
割り込み	● 外部トリガ入力端子 (GTETR_{Gn} 端子) の入力レベル検出により、割り込みを発生させることが可能 ● GPT 出力端子の出力レベルが同時にアクティブレベルとなる場合に割り込みを発生させることが可能
GPT に対する外部トリガ出力機能	● 極性とフィルタの選択後、GTETR_{Gn} 信号を GPT へ出力可能 (カウント開始/カウント停止/カウントクリア/アップカウント/ダウンカウント/インプットキャプチャ機能)
ノイズフィルタリング	● GTETR_{Gn} 端子からの入力に対して、ノイズフィルタクロックを、PCLKB/1、PCLKB/8、PCLKB/32、PCLKB/128 クロックからそれぞれ選択可能 (選択クロックを用いて、入力信号を 3 回サンプリングすることでフィルタリング) ● どの GTETR_{Gn} 端子からの入力に対しても、正極性、負極性をそれぞれ選択可能 ● 極性およびフィルタ選択後の信号状態のモニタが可能
TrustZone フィルタ	● グループ別にセキュリティ属性を設定できます。

注. n = A～D、x = 0～5

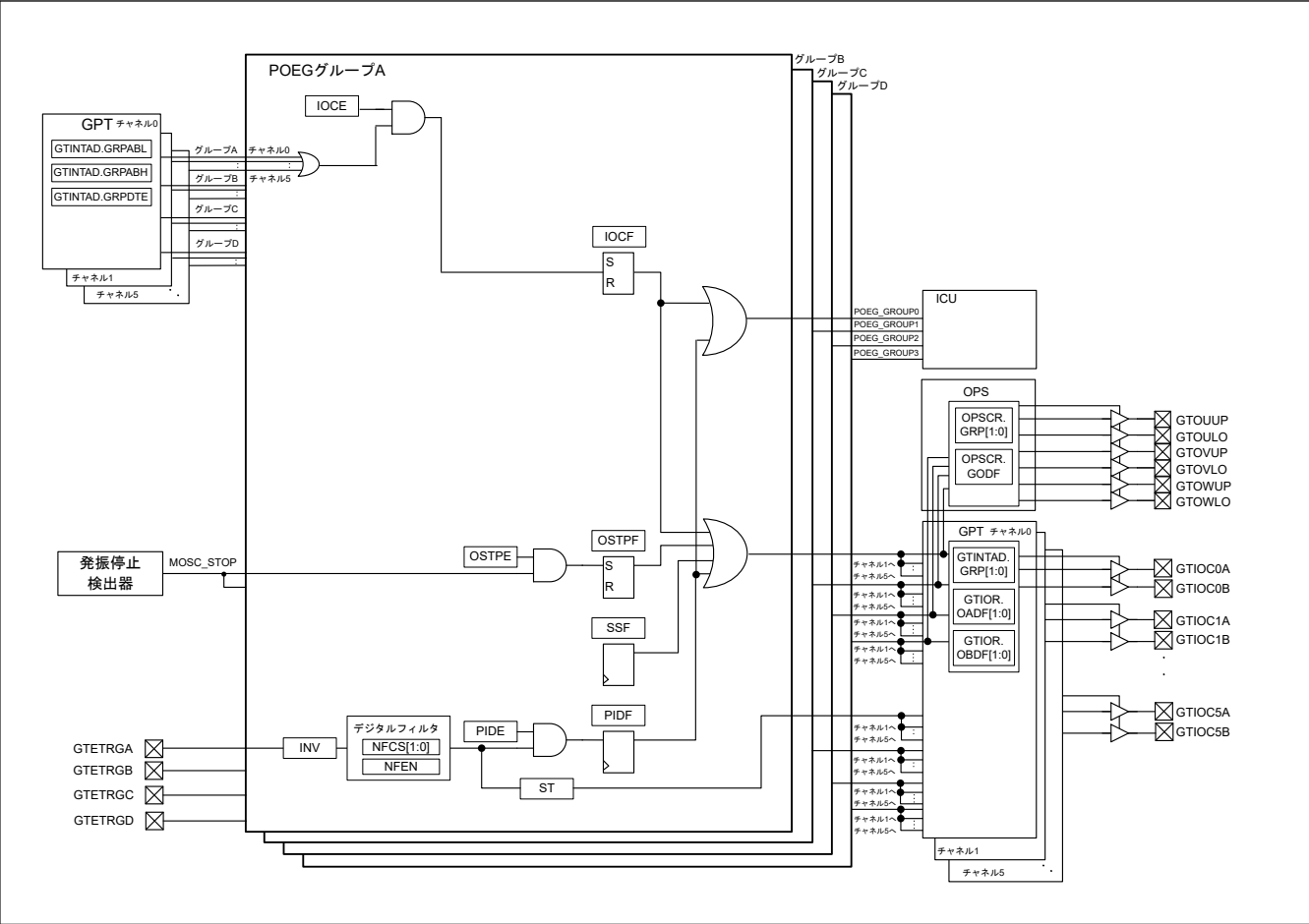


図 19.1 POEG ブロック図

表 19.2 POEG の入力端子

端子名称	入出力	機能
GTETRGA	入力	GPT 出力端子の出力禁止要求信号および GPT 外部トリガ入力端子 A
GTETRGB	入力	GPT 出力端子の出力禁止要求信号および GPT 外部トリガ入力端子 B
GTETRGC	入力	GPT 出力端子の出力禁止要求信号および GPT 外部トリガ入力端子 C
GTETRGD	入力	GPT 出力端子の出力禁止要求信号および GPT 外部トリガ入力端子 D

19.2 レジスタの説明

19.2.1 POEGGn : POEG グループ n 設定レジスタ (n = A~D)

Base address: POEG = 0x4008_A000

Offset address: 0x000 (POEGGA)
 0x100 (POEGGB)
 0x200 (POEGGC)
 0x300 (POEGGD)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	NFCS[1:0]		NFEN	INV	—	—	—	—	—	—	—	—	—	—	—	ST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	OSTP E	IOCE	PIDE	SSF	OSTP F	IOCF	PIDF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PIDF	ポート入力検出フラグ 0: GTETR Gn 端子からの出力禁止要求なし 1: GTETR Gn 端子からの出力禁止要求あり	R/W ^(注1)
1	IOCF	GPT 出力禁止要求検出フラグ 0: GPT からの出力禁止要求なし 1: GPT からの出力禁止要求あり	R/W ^(注1)
2	OSTPF	発振停止検出フラグ 0: 発振停止検出による出力禁止要求なし 1: 発振停止検出による出力禁止要求あり	R/W ^(注1)
3	SSF	ソフトウェア停止フラグ 0: ソフトウェアからの出力禁止要求なし 1: ソフトウェアからの出力禁止要求あり	R/W
4	PIDE	ポート入力検出許可 0: GTETR Gn 端子からの出力禁止要求を禁止 1: GTETR Gn 端子からの出力禁止要求を許可	R/W ^(注2)
5	IOCE	GPT 出力禁止要求許可 0: GPT による出力禁止要求を禁止 1: GPT による出力禁止要求を許可	R/W ^(注2)
6	OSTPE	発振停止検出許可 0: 発振停止検出による出力禁止要求を禁止 1: 発振停止検出による出力禁止要求を許可	R/W ^(注2)
15:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	ST	GTETR Gn 入力ステータスフラグ 0: フィルタリング後の GTETR Gn 入力は 0 1: フィルタリング後の GTETR Gn 入力は 1	R
27:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	INV	GTETR Gn 入力反転 0: GTETR Gn をそのまま入力 1: GTETR Gn を反転して入力	R/W
29	NFEN	ノイズフィルタ有効 0: ノイズフィルタリングを禁止 1: ノイズフィルタリングを許可	R/W

ビット	シンボル	機能	R/W
31:30	NFCS[1:0]	ノイズフィルタクロック選択 0 0: GTETR _{Gn} 端子の入力レベルを PCLKB クロックごとに 3 回サンプリング 0 1: GTETR _{Gn} 端子の入力レベルを PCLKB/8 クロックごとに 3 回サンプリング 1 0: GTETR _{Gn} 端子の入力レベルを PCLKB/32 クロックごとに 3 回サンプリング 1 1: GTETR _{Gn} 端子の入力レベルを PCLKB/128 クロックごとに 3 回サンプリング	R/W

注 1. フラグをクリアするための 0 の書き込みのみ可能です。

注 2. リセット後、1 回のみ書き込み可能です。

POEG_{Gn} (n = A～D) レジスタは、GPT 端子の出力禁止状態、割り込み、および GPT への外部トリガ入力を制御します。

以下の説明で POEG_{Gn} とは、POEG_{Gn} (n = A～D) レジスタを表しています。

19.3 出力禁止制御の動作

以下のいずれかの条件が成立したとき、GTIOCxA、GTIOCxB、および BLDC モーター制御用 3 相 PWM 出力端子を出力禁止に設定できます。

- GTETR_{Gn} 端子の入力レベルまたはエッジ検出
POEG_{Gn}.PIDE ビットが 1 の状態で、POEG_{Gn}.PIDF フラグが 1 になったとき
- GPT からの出力禁止要求
POEG_{Gn}.IOCE ビットが 1 の場合、GTINTAD レジスタで禁止要求が許可されていると、POEG_{Gn}.IOCF フラグが 1 になります。GTINTAD.GRPABH ビットおよび GTINTAD.GRPABL ビットの設定値が、GPT レジスタの GTINTAD.GRP[1:0] ビットまたは OPSCR.GRP[1:0] ビットで選択されたグループに適用されます。

注. GPT と POEG のセキュリティ属性が同じ場合のみ禁止要求は有効です。POEG のセキュリティ属性と異なるセキュリティ属性をもつ GPT からの禁止要求は、セキュリティ属性の判定により無効になります。

- クロック発生回路の発振停止検出
POEG_{Gn}.OSTPE ビットが 1 の状態で、メインクロック発振器の停止が検出され、POEG_{Gn}.OSTPF フラグが 1 になったとき
- SSF ビットの設定
POEG_{Gn}.SSF を 1 に設定すると、GPT と PWM の出力が無効になります。

出力禁止の状態は、GPT モジュールで制御します。GTIOCxA 端子と GTIOCxB 端子の出力禁止は、GPT_x の GTINTAD.GRP[1:0] ビット、GTIOR.OADF[1:0] ビットおよび GTIOR.OBDF[1:0] ビットで設定されます。BLDC モーター制御用 3 相 PWM 出力端子の出力禁止は、GPT_OPS の OPSCR.GRP[1:0] ビットおよび OPSCR.GODF ビットで設定されます。

19.3.1 端子入力レベル検出時の動作

POEG_{Gn}.PIDE ビット、POEG_{Gn}.NFCS[1:0] ビット、POEG_{Gn}.NFEN ビット、および POEG_{Gn}.INV ビットに設定された入力条件が、GTETR_{Gn} 端子で発生すると、GPT 出力端子は出力禁止状態になります。

19.3.1.1 デジタルフィルタ

図 19.2 に、デジタルフィルタによる High 検出時の動作を示します。POEG_{Gn}.INV ビットの極性の設定に対応した High 状態が、POEG_{Gn}.NFCS[1:0] ビットと POEG_{Gn}.NFEN ビットで選択したサンプリングクロックにおいて 3 回連続して検出されたとき、High 検出とみなされて、GPT 出力端子は出力禁止状態になります。このとき、一度でも Low を検出した場合は High 検出とみなされません。さらに、サンプリングクロックが出力されていない期間は、GTETR_{Gn} 端子のレベル変化が無視されます。

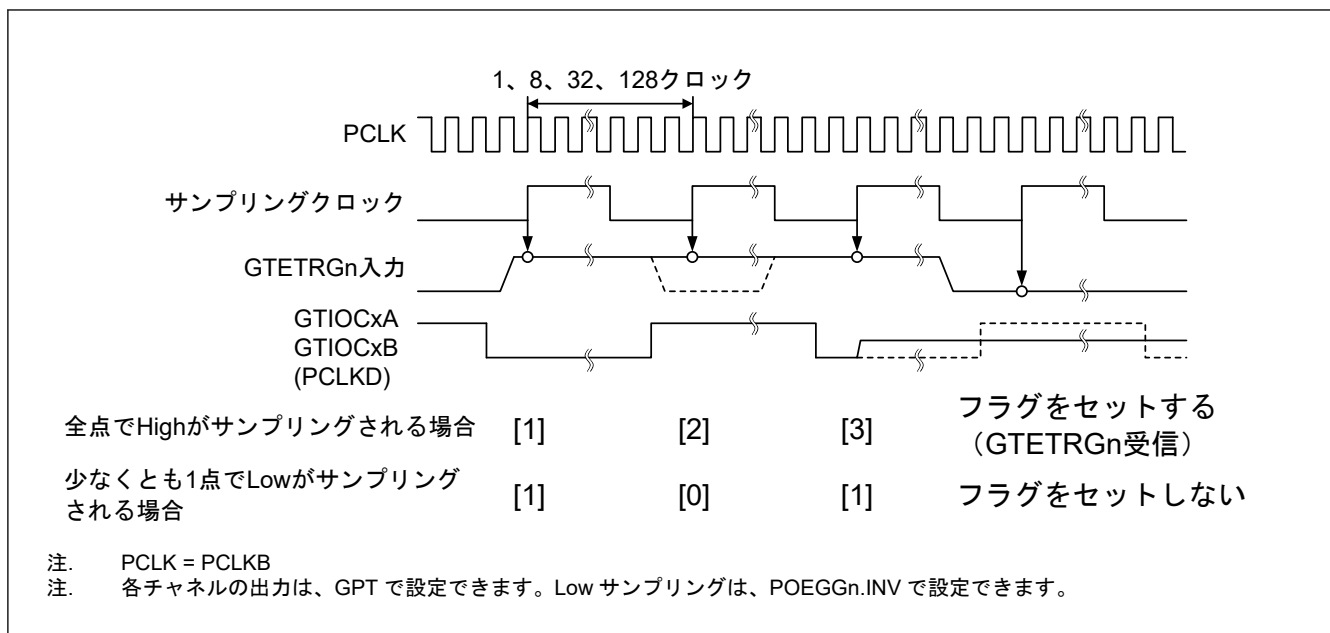


図 19.2 デジタルフィルタの動作例

19.3.2 GPT からの出力禁止要求

動作の詳細については、「[20. 汎用 PWM タイマ \(GPT\)](#)」の GTIOC 端子出力の出力禁止制御の説明を参照してください。

19.3.3 発振停止検出による出力禁止制御

POEGn.OSTPE ビットが 1 の場合、クロック発生回路の発振停止検出機能が発振停止を検出すると、GPT 出力端子はグループごとに出力禁止になります。

19.3.4 レジスタによる出力禁止制御

GPT 出力端子は、ソフトウェア停止フラグ (POEGn.SSF) に 1 を書き込むことで直接制御が可能です。

19.3.5 出力禁止状態の解除

出力禁止状態になっている GPT 出力端子を解放するには、リセットによって初期状態に復帰させるか、または下記のフラグをすべてクリアします。

- POEGn.PIDF
- POEGn.IOCF
- POEGn.OSTPF
- POEGn.SSF

外部入力端子 GTETRn が無効ではなく、かつ POEGn.ST ビットが 0 になっていなければ、POEGn.PIDF フラグに 0 を書いても無視されます (フラグはクリアされません)。

GPT の GTST.OABHF フラグおよび GTST.OABLF フラグがすべて 0 になっている場合にのみ、POEGn.IOCF フラグに 0 を書くこと (フラグをクリアすること) ができます。

クロック発生回路の OSTDSR.OSTDF フラグが 0 になっていない場合、POEGn.OSTPF フラグに 0 を書いても無視されます (フラグはクリアされません)。また、フラグのセットとクリアが同時に発生した場合、セットが優先されます。

図 19.3 に、出力禁止状態の解除タイミングを示します。フラグがクリアされた後、次の GPT カウント周期の開始時に、出力禁止状態が解除されます。

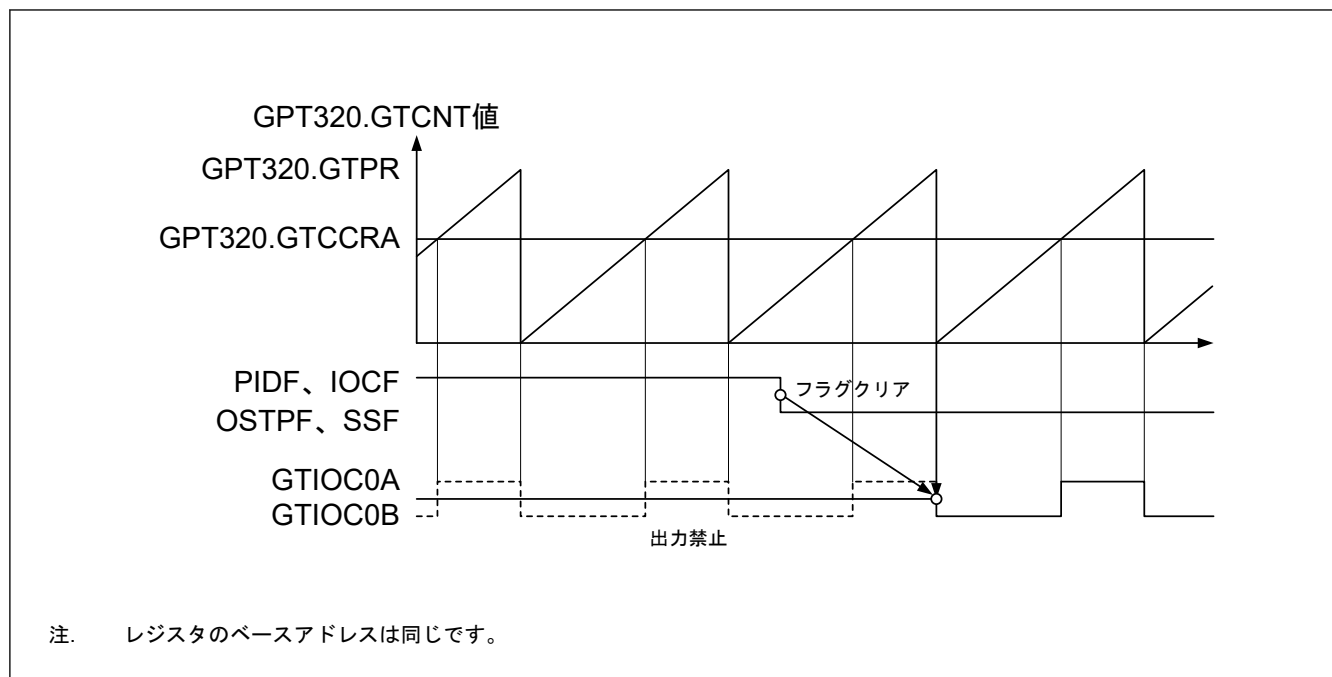


図 19.3 GPT 端子出力の出力禁止状態の解除タイミング

19.4 割り込み要因

POEG は、以下の要因に対して割り込み要求を発生させます。

- 入力レベル検出による出力禁止制御
- GPT からの出力禁止要求

表 19.3 に、割り込み要求の条件を示します。

表 19.3 POE の入力端子

割り込み要因	シンボル	対応するフラグ	トリガ条件
POEG グループ A 割り込み	POEG_GROUPA	POEGGA.IOCF	GPT からの出力禁止要求の発生
		POEGGA.PIDF	GTETRGA 端子からの出力禁止要求の発生
POEG グループ B 割り込み	POEG_GROUPB	POEGGB.IOCF	GPT からの出力禁止要求の発生
		POEGGB.PIDF	GTETRGB 端子からの出力禁止要求の発生
POEG グループ C 割り込み	POEG_GROUPC	POEGGC.IOCF	GPT からの出力禁止要求の発生
		POEGGC.PIDF	GTETRGC 端子からの出力禁止要求の発生
POEG グループ D 割り込み	POEG_GROUPD	POEGGD.IOCF	GPT からの出力禁止要求の発生
		POEGGD.PIDF	GTETRGD 端子からの出力禁止要求の発生

19.5 GPT に対する外部トリガ出力

POEG は、下記の GPT 動作のトリガ信号として、GTETR_{Gn} 端子の入力信号のフィルタリングとレベル検出により発生する信号を出力します。

- カウント開始
- カウント停止
- カウントクリア
- アップカウント
- ダウンカウント
- インพุットキャプチャ

POEGn.INV ビットで設定した極性信号に対し、POEGn.NFCS[1:0]および POEGn.NFEN ビットで選択したサンプリングクロックで同じレベルが 3 回連続して入力されたとき、その値が出力されます。「[19.3.1. 端子入力レベル検出時の動作](#)」の入力レベル検出動作と同様にコントロールレジスタを設定してください。フィルタリング後の状態は POEGn.ST フラグでモニタできます。

図 19.4 に、GPT に対する外部トリガ出力のタイミングを示します。

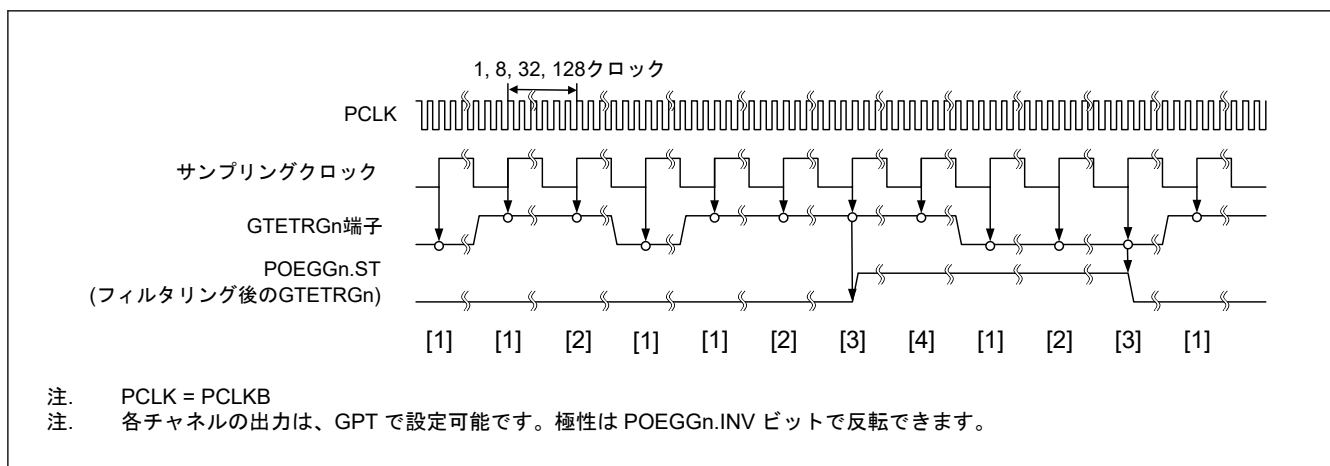


図 19.4 GPT に対する外部トリガ出力のタイミング

19.6 使用上の注意

19.6.1 ソフトウェアスタンバイモードへの遷移

POEG を使用する場合は、ソフトウェアスタンバイモードへ遷移させないでください。このモードでは POEG が停止するため、端子の出力禁止を制御することができません。

19.6.2 GPT 対応端子の指定

POEG は、PmnPFS.PMR ビットおよび PmnPFS.PSEL ビットの設定によって、GPT 対応端子として指定された場合にのみ出力禁止制御を行います。端子が汎用入出力端子として指定されている場合、POEG は出力禁止制御を行いません。

20. 汎用 PWM タイマ (GPT)

20.1 概要

汎用 PWM タイマ (GPT) は、GPT32×2 チャンネルの 32 ビットタイマおよび GPT16×4 チャンネルの 16 ビットタイマにより構成されます。PWM 波形はアップカウンタ、ダウンカウンタ、またはその両方を制御することにより生成が可能です。さらに、ブラシレス DC モーターを制御するために、PWM 波形の生成が可能です。GPT は、汎用タイマとしても使用できます。

表 20.1 に GPT の仕様を、表 20.2 に GPT の機能一覧を示します。また、図 20.1 に GPT のブロック図を示します。

表 20.1 GPT の仕様

項目	内容
機能	32 ビット×2 チャンネル (GPT32n (n = 0, 1)) 16 ビット×4 チャンネル (GPT16m (m = 2~5)) - 各カウンタは、アップカウントもしくはダウンカウント (のこぎり波)、またはアップダウンカウント (三角波) を選択可能 - チャンネルごとに独立したクロックソースを選択可能 - チャンネルごとに 2 本の入出力端子 - チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが 2 本 - 各チャンネル 2 本のアウトプットコンペア/インプットキャプチャレジスタに対し、4 本のバッファレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 - アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称な PWM 波形を生成 - チャンネルごとにフレーム周期設定用レジスタを搭載 (オーバーフロー/アンダーフローで割り込み可能) - PWM 動作の際にデッドタイム生成が可能 - 任意チャンネルのカウンタの同期スタート/ストップ/クリア可能 - 最大 8 つの ELC イベントによるカウントスタート/ストップ/クリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 2 本の入力端子の状態を検出し、カウントスタート/ストップ/クリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 - 最大 4 本の外部トリガによるカウントスタート/ストップ/クリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 - 出力端子間の短絡検出による出力端子無効機能 - ブラシレス DC モーター制御用の PWM 波形生成が可能 - コンペアマッチ A~F イベント、オーバーフローイベント/アンダーフローイベント、および入力 UVW エッジイベントを ELC に出力可能 - インプットキャプチャおよび入力 UVW 用のノイズフィルタが有効 - 周期計数機能 - チャンネル出力間の論理演算 - バスクロック : PCLKA、コアクロック : PCLKD - 周波数比 : PCLKA:PCLKD = 1:N (N = 1/2/4/8/16/32/64)

表 20.2 GPT の機能一覧 (1/2)

項目	内容
カウントクロック	PCLKD PCLKD/2 PCLKD/4 PCLKD/8 PCLKD/16 PCLKD/32 PCLKD/64 PCLKD/256 PCLKD/1024 GTETRGA, GTETRGB, GTETRGC, GTETRGD
アウトプットコンペア/インプットキャプチャレジスタ (GTCCR)	GTCCRA GTCCRB
コンペア/バッファレジスタ	GTCCRC GTCCRD GTCCRE GTCCRF
周期設定レジスタ	GTPR

表 20.2 GPT の機能一覧 (2/2)

項目		内容
周期設定バッファレジスタ		GTPBR
入出力端子		GTIOCnA GTIOCnB (n = 0~5)
外部トリガ入力端子(注1)		GTETRGA GTETRGB GTETRGC GTETRGD
カウンタクリア要因		GTPR レジスタコンペアマッチ インプットキャプチャ 入力端子の状態 ELC イベント入力 GTETR Gn (n = A~D) 端子入力
周期計数機能		使用可能 (GPT32n (n = 0, 1), GPT16m (m = 2~4))
コンペアマッチ出力	Low 出力	使用可能
	High 出力	使用可能
	トグル出力	使用可能
インプットキャプチャ機能		使用可能
デッドタイム自動付加機能		使用可能 (デッドタイムバッファなし)
PWM モード		使用可能
位相計数機能		使用可能
バッファ動作		ダブルバッファ 複数チャンネルへの同時動作無効制御
ワンショット動作		使用可能
DMAC/DTC の起動		すべての割り込み要因
ブラシレス DC モーター制御機能		使用可能
割り込み要因		9 要因 ● GTCCRA コンペアマッチ/インプットキャプチャ (GPTn_CCMPA) ● GTCCRB コンペアマッチ/インプットキャプチャ (GPTn_CCM PB) ● GTCCRC コンペアマッチ (GPTn_CMPC) ● GTCCRD コンペアマッチ (GPTn_CMPD) ● GTCCRE コンペアマッチ (GPTn_CMPE) ● GTCCRF コンペアマッチ (GPTn_CMPF) ● GTCNT オーバーフロー (GTPR コンペアマッチ) (GPTn_OVF) ● GTCNT アンダーフロー (GPTn_UDF) ● GTPC カウント停止 (GPTx_PC) (x = 0~4)
イベントリンク (ELC) 機能		使用可能(注2)
ノイズフィルタ機能		使用可能
チャンネル出力間の論理演算		使用可能
モジュールストップ機能		各チャンネルをモジュールストップ状態に設定して消費電力の削減が可能
TrustZone フィルタ		各チャンネルに対してセキュリティ属性を設定可能

注 1. GTETR Gn は、POEG モジュールを経由して GPT に接続します。そのため、GPT 機能を使用するには、MSTPCRD.MSTPDn (n = 11~14) ビットをクリアして POEG にクロックを供給する必要があります。

注 2. 「20.5. ELC によるリンク動作」を参照してください。

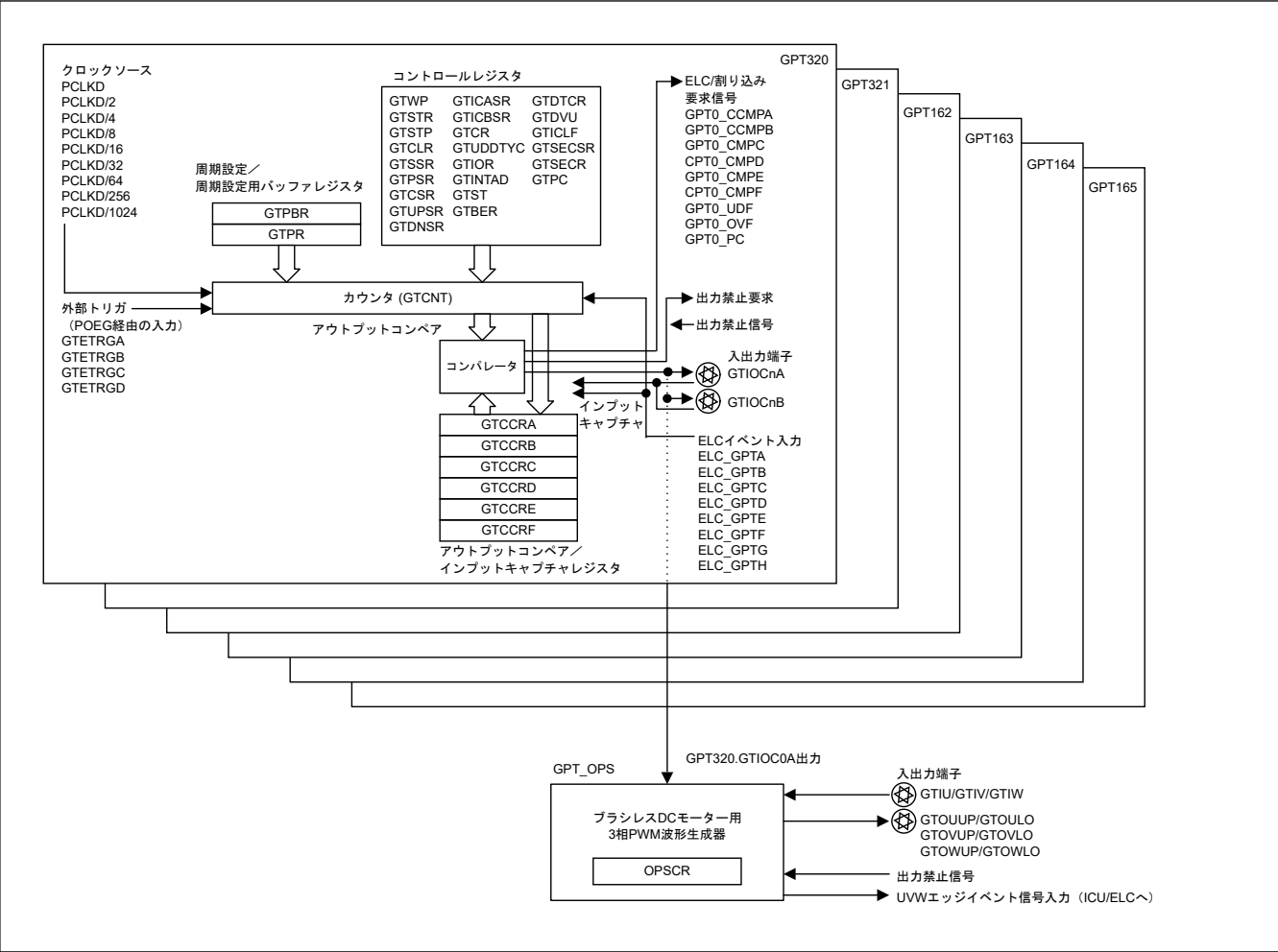


図 20.1 GPT のブロック図

図 20.2 にチャンネルとモジュール名の関係を示します。

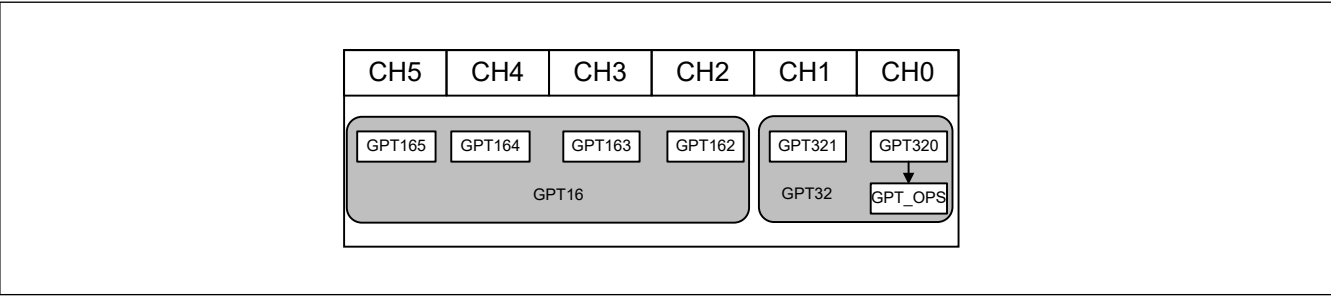


図 20.2 GPT チャンネルとモジュール名の関係

表 20.3 に入出力端子の一覧を示します。

表 20.3 GPT の入出力端子 (1/2)

チャンネル	端子名	入出力	機能
共通	GTETRGx	入力	外部トリガ入力端子 x (POEG 経由の入力)
GPT32n	GTIOCnA	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	GTIOCnB	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子

表 20.3 GPT の入出力端子 (2/2)

チャネル	端子名	入出力	機能
GPT16m	GTIOCMa	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	GTIOCMb	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
GPT OPS	GTIU	入力	ホールセンサ入力端子 U
	GTIV	入力	ホールセンサ入力端子 V
	GTIW	入力	ホールセンサ入力端子 W
	GTOUUP	出力	BLDC モーター制御用 3 相 PWM 出力 (正相 U 相)
	GTOULO	出力	BLDC モーター制御用 3 相 PWM 出力 (逆相 U 相)
	GTOVUP	出力	BLDC モーター制御用 3 相 PWM 出力 (正相 V 相)
	GTOVLO	出力	BLDC モーター制御用 3 相 PWM 出力 (逆相 V 相)
	GTOWUP	出力	BLDC モーター制御用 3 相 PWM 出力 (正相 W 相)
	GTOWLO	出力	BLDC モーター制御用 3 相 PWM 出力 (逆相 W 相)

注. x: A~D
n: 0, 1
m: 2~5

20.2 レジスタの説明

20.2.1 GTWP : 汎用 PWM タイマ書き込み保護レジスタ

Base address: $GPT32n = 0x4016\_9000 + 0x0100 \times n$ ($n = 0, 1$)
 $GPT16m = 0x4016\_9000 + 0x0100 \times m$ ($m = 2 \sim 5$)

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PRKEY[7:0]							—	—	—	CMN WP	CLRWP	STPWP	STRWP	WP	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	WP	レジスタ書き込み禁止 0: レジスタへの書き込みを許可 1: レジスタへの書き込みを禁止	R/W
1	STRWP	GTSTR.CSTRT ビット書き込み禁止 0: ビットへの書き込みを許可 1: ビットへの書き込みを禁止	R/W
2	STPWP	GTSTP.CSTOP ビット書き込み禁止 0: ビットへの書き込みを許可 1: ビットへの書き込みを禁止	R/W
3	CLRWP	GTCLR.CCLR ビット書き込み禁止 0: ビットへの書き込みを許可 1: ビットへの書き込みを禁止	R/W
4	CMNWP	共通レジスタ書き込み禁止 0: レジスタへの書き込みを許可 1: レジスタへの書き込みを禁止	R/W

ビット	シンボル	機能	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	PRKEY[7:0]	GTWP キーコード これらのビットに 0xA5 を書き込むと、WP、STRWP、STPWP、CLRWP、および CMNWP ビットへの書き込みが許可されます。読むと 0 が読めます。	W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTWP レジスタは、誤書き込み防止のためレジスタへの書き込みを許可または禁止するレジスタです。GTWP レジスタによる保護は、CPU による書き込み動作のみを対象としています。CPU 書き込みに連動して発生するレジスタの更新は、保護の対象外です。

WP ビット (レジスタ書き込み禁止)

書き込みが許可または禁止されるレジスタは以下のとおりです。

GTSSR、GTPSR、GTCSSR、GTUPSR、GTDNSR、GTICASR、GTICBSR、GTCR、GTUDDTYC、GTIOR、GTINTAD、GTST、GTBER、GTCNT、GTCCRA、GTCCRB、GTCCRC、GTCCRD、GTCCRE、GTCCRF、GTPR、GTPBR、GTDTCR、GTDVU、GTICLF、GTPC

STRWP ビット (GTSTR.CSTRT ビット書き込み禁止)

STRWP ビットは、GTSTR レジスタのチャンネル番号に対応する CSTRTn ビット (n = 0～5) に書き込むことによるカウンタ値の更新開始を許可または禁止します。

GTSTR レジスタの各 CSTRTn ビットは、ビット位置をチャンネル番号として各チャンネルに割り当てられており、任意のチャンネルの GTSTR レジスタへの書き込みは全チャンネルのレジスタへの書き込みとなります。各チャンネルの STRWP ビットは書き込みを制御するのではなく、すべてのチャンネルに同時に書き込みを行う場合に、そのチャンネルに対応する CSTRT ビットの更新のみを制御します。

したがって、STRWP ビットが 1 (書き込み禁止) に設定されたチャンネルの CSTRT ビットへの書き込みの場合、そのチャンネルの CSTRT ビットは更新されませんが、STRWP ビットが 0 (書き込み許可) に設定されているチャンネルに対応する CSTRT ビットは更新されます。例えば、GPT320.GTWP.STRWP ビットが 0 (書き込み許可) の場合、GPT321.GTSTR.CSTRT0 ビットが 0 であるときこれに 1 を書き込むと、値が更新され、GPT320.GTCNT カウンタがカウント開始します。GPT320.GTWP.STRWP ビットが 1 (書き込み禁止) の場合、GPT321.GTSTR.CSTRT0 ビットが 0 であるときこれに 1 を書き込んでもこの値は 0 のままとなり、GPT320.GTCNT カウンタは動作しません。

GTSTR レジスタの全ビットの更新を保護したい場合は、全チャンネルの STRWP ビットを 1 に設定してください。

STPWP ビット (GTSTP.CSTOP ビット書き込み禁止)

STPWP ビットは、GTSTP レジスタのチャンネル番号に対応する CSTOPn ビット (n = 0～5) に書き込むことによるカウンタ値の更新開始を許可または禁止します。

GTSTP レジスタの各 CSTOPn ビットは、ビット位置をチャンネル番号として各チャンネルに割り当てられており、任意のチャンネルの GTSTP レジスタへの書き込みは全チャンネルのレジスタへの書き込みとなります。各チャンネルの STPWP ビットは書き込みを制御するのではなく、すべてのチャンネルに同時に書き込みを行う場合に、そのチャンネルに対応する CSTOP ビットの更新のみを制御します。

したがって、STPWP ビットが 1 (書き込み禁止) に設定されたチャンネルの CSTOP ビットへの書き込みの場合、そのチャンネルの CSTOP ビットは更新されませんが、STPWP ビットが 0 (書き込み許可) に設定されているチャンネルに対応する CSTOP ビットは更新されます。例えば、GPT320.GTWP.STPWP ビットが 0 (書き込み許可) の場合、GPT321.GTSTP.CSTOP0 ビットが 0 であるときこれに 1 を書き込むと、値が更新され、GPT320.GTCNT カウンタが停止します。GPT320.GTWP.STPWP ビットが 1 (書き込み禁止) の場合、GPT321.GTSTP.CSTOP0 ビットが 0 であるときこれに 1 を書き込んでもこの値は 0 のままとなり、GPT320.GTCNT カウンタは停止しません。

GTSTP レジスタの全ビットの更新を保護したい場合は、全チャンネルの STPWP ビットを 1 に設定してください。

CLRWP ビット (GTCLR.CCLR ビット書き込み禁止)

CLRWP ビットは、GTCLR レジスタのチャンネル番号に対応する CCLRn ビット (n = 0～5) に書き込むことによるカウンタ値の更新開始を許可または禁止します。

GTCLR レジスタの各 CCLRn ビットは、ビット位置をチャンネル番号として各チャンネルに割り当てられており、任意のチャンネルの GTCLR レジスタへの書き込みは全チャンネルのレジスタへの書き込みとなります。各チャンネルの

CLRWP ビットは書き込みを制御するのではなく、すべてのチャンネルに同時に書き込みを行う場合に、そのチャンネルに対応する CCLR ビットの更新のみを制御します。

したがって、CLRWP ビットが 1（書き込み禁止）に設定されたチャンネルの CCLR ビットへの書き込みの場合、そのチャンネルの CCLR ビットは更新されませんが、CLRWP ビットが 0（書き込み許可）に設定されているチャンネルに対応する CCLR ビットは更新されます。例えば、GPT320.GTWP.CLRWP ビットが 0（書き込み許可）の場合、GPT321.GTCLR.CCLR0 ビットが 0 であるときこれに 1 を書き込むと、値が更新され、GPT320.GTCNT カウンタはクリアされます。GPT320.GTWP.CLRWP ビットが 1（書き込み禁止）の場合、GPT321.GTCLR.CCLR0 ビットが 0 であるときこれに 1 を書き込んでもこの値は 0 のままとなり、GPT320.GTCNT カウンタはクリアされません。

GTCLR レジスタの全ビットの更新を保護したい場合は、全チャンネルの CLRWP ビットを 1 に設定してください。

CMNWP ビット（共通レジスタ書き込み禁止）

CMNWP ビットは、GTSECSR レジスタまたは GTSECR レジスタのチャンネル番号に対応する SECSELn ビット (n = 0~5) に書き込むことによるカウンタ値の更新開始を許可または禁止します。

GTSECSR レジスタの各 SECSEL ビットは、ビット位置をチャンネル番号として各チャンネルに割り当てられており、任意のチャンネルの GTSECSR レジスタへの書き込みは全チャンネルのレジスタへの書き込みとなります。いずれかのチャンネルの GTSECR レジスタに書き込むと、すべてのチャンネルのレジスタに書き込まれます。各チャンネルの CMNWP ビットは書き込みを制御するのではなく、すべてのチャンネルに同時に書き込みを行う場合に、そのチャンネルに対応する SECSEL ビットと GTSECR レジスタ値の更新のみを制御します。

したがって、CMNWP ビットが 1（書き込み禁止）に設定されたチャンネルの SECSEL ビットと GTSECR レジスタ値を書き込む場合、そのチャンネルの SECSEL ビットと GTSECR レジスタ値は更新されませんが、CMNWP ビットが 0（書き込み許可）に設定されているチャンネルに対応する SECSEL ビットと GTSECR レジスタ値は更新されます。

例えば、GPT320.GTWP.CMNWP ビットが 0（書き込み許可）の場合、GPT321.GTSECSR.SECSEL0 ビットに値を書き込むと、GPT320.GTSECSR.SECSEL0 ビットの値が更新されます。同様に、GPT321.GTSECR レジスタへの書き込みをすると、GPT320.GTSECR レジスタの値を更新します。GPT320.GTWP.CMNWP ビットが 1（書き込み禁止）であるとき、GPT321.GTSECSR.SECSEL0 ビットに値を書き込んでも GPT320.GTSECSR.SECSEL0 ビットの値は更新されません。同様に、GPT321.GTSECR レジスタへの書き込みをしても、GPT320.GTSECR レジスタの値を更新しません。

GTSECSR レジスタと GTSECR レジスタの全ビットの更新を保護したい場合は、全チャンネルの CMNWP ビットを 1 に設定してください。

PRKEY[7:0]ビット（GTWP キーコード）

このビットは WP、STRWP、STPWP、CLRWP、および CMNWP ビットへの書き込みを制御します。

20.2.2 GTSTR : 汎用 PWM タイマソフトウェアスタートレジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0~1)
GPT16m = 0x4016_9000 + 0x0100 × m (m = 2~5)

Offset address: 0x04

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	CSTR T5	CSTR T4	CSTR T3	CSTR T2	CSTR T1	CSTR T0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	CSTR0~ CSTR5(注1)	チャンネル n GTCNT カウントスタート (n : ビット位置の値と同一) 0: GTCNT カウンタ動作を開始しない 1: GTCNT カウンタ動作を開始する	R/W

ビット	シンボル	機能	R/W
31:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 使用可能なビットは製品により変わります。CSTRn の n は GPT のチャンネル番号と同一です。本製品では、n は 0～5 です。

GTSTR レジスタは、各チャンネル n (n = 0～5) の GTCNT カウンタ動作を開始します。

GTSTR レジスタのビット番号はチャンネル番号に相当します。GTSTR レジスタは各チャンネル共通です。1 が書き込まれた GTSTR レジスタのビット番号に対応するチャンネルの GTCNT カウンタが動作を開始します。0 を書き込んでも、GTCNT カウンタの状態と GTSTR レジスタの値には影響しません。

セキュリティ属性がセキュアとして構成されたチャンネルに対応するビットは非セキュアアクセスで読み出し可能ですが、非セキュアアクセスで書き込みはできません。例えば、GPT チャンネル 0 がセキュアとして構成され、ほかの GPT が非セキュアで構成されている場合、GPT321.GTSTR レジスタへの非セキュアアクセスで CSTR0 ビットへの書き込みはできません。また、GPT チャンネル 0 の GTCNT カウンタ動作ステータスは変更されません。上記の例と同じセキュリティ設定で GPT チャンネル 1 の GTSTR レジスタが非セキュアアクセスにより読み出される場合、GPT チャンネル 0 (CSTR0 ビット) の GTCNT カウンタ動作ステータスは読み出し可能です。

モジュール名とチャンネル番号の関係については、[図 20.2](#) を参照してください。

CSTRn ビット (チャンネル n GTCNT カウントスタート (n = 0～5))

CSTRn ビットはチャンネル n の GTCNT カウンタ動作を開始します。GTSSR.CSTR ビットを 1 にしないかぎり、GTSTR.CSTRn ビット (n = 0～5) への書き込みは無効です。

リードデータは各チャンネルのカウンタ状態 (GTCR.CST ビット値) を示します。0 はカウンタ停止中を、1 はカウンタ動作中を意味します。

20.2.3 GTSTP : 汎用 PWM タイマソフトウェアストップレジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0, 1)
GPT16m = 0x4016_9000 + 0x0100 × m (m = 2～5)

Offset address: 0x08

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	CSTO P5	CSTO P4	CSTO P3	CSTO P2	CSTO P1	CSTO P0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
5:0	CSTOP0～CSTOP5	チャンネル n GTCNT カウントストップ (n : ビット位置の値と同一) 0: GTCNT カウンタ動作を停止しない 1: GTCNT カウンタ動作を停止する	R/W
31:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTSTP レジスタは、各チャンネル n (n = 0～5) の GTCNT カウンタ動作を停止します。

GTSTP レジスタのビット番号はチャンネル番号に相当します。GTSTP レジスタは各チャンネル共通です。1 が書き込まれた GTSTP レジスタのビット番号に対応するチャンネルの GTCNT カウンタが停止します。0 を書き込んでも、GTCNT カウンタの状態と GTSTP レジスタの値には影響しません。

セキュリティ属性がセキュアとして構成されたチャンネルに対応するビットは非セキュアアクセスで読み出し可能ですが、非セキュアアクセスで書き込みはできません。例えば、GPT チャンネル 0 がセキュアに設定され、他の GPT チャンネルが非セキュアに設定されている場合、GPT チャンネル 1 の GTSTP レジスタへの非セキュアアクセスにより、CSTOP0 ビットは書き込みできません。また、GPT チャンネル 0 の GTCNT カウンタ動作ステータスは変更されません。上記の例と同じセキュリティ設定で GPT チャンネル 1 の GTSTP レジスタが非セキュアアクセスにより読み出される場合、GPT チャンネル 0 (CSTOP0 ビット) の GTCNT カウンタ動作ステータスは読み出し可能です。

モジュール名とチャンネル番号の関係については、[図 20.2](#) を参照してください。

CSTOPn ビット (チャンネル n GTCNT カウントストップ (n = 0~5))

CSTOPn ビットはチャンネル n の GTCNT カウンタ動作を停止します。GTPSR.CSTOP ビットを 1 にしないかぎり、GTSTP.CSTOPn ビット (n = 0~5) への書き込みは無効です。リードデータは各チャンネルのカウンタ状態 (GTCR.CST ビットの反転値) を示します。0 はカウンタ動作中を、1 はカウンタ停止中を意味します。

20.2.4 GTCLR : 汎用 PWM タイマソフトウェアクリアレジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0, 1)
GPT16m = 0x4016_9000 + 0x0100 × m (m = 2~5)

Offset address: 0x0C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	CCLR 5	CCLR 4	CCLR 3	CCLR 2	CCLR 1	CCLR 0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	CCLR0~CCLR5	チャンネル n GTCNT カウントクリア (n: ビット値と同一) 0: GTCNT カウンタ値がクリアされない 1: GTCNT カウンタ値がクリアされる	W
31:6	—	書く場合、0 としてください。	W

GTCLR レジスタは書き込み専用レジスタで、各チャンネル n (n = 0~5) の GTCNT カウンタをクリアします。

GTCLR レジスタのビット番号はチャンネル番号に相当します。GTCLR レジスタは各チャンネル共通です。1 が書き込まれた GTCLR レジスタのビット番号に対応するチャンネルの GTCNT カウンタがクリアされます。0 を書き込んでも GTCNT カウンタ値の状態には影響しません。

セキュリティ属性がセキュアに設定されているチャンネルに対応するビットは、非セキュアアクセスにより書き込めません。例えば、GPT チャンネル 0 がセキュアで、他のチャンネルが非セキュアに設定されている場合、GPT チャンネル 1 の GTCLR レジスタへの非セキュアアクセスにより CCLR0 ビットに書き込めません。また、GPT チャンネル 0 の GTCNT カウンタはクリアされません。

モジュール名とチャンネル番号の関係については、[図 20.2](#) を参照してください。

CCLRn ビット (チャンネル n GTCNT カウントクリア (n = 0~5))

GTCR.MD[2:0] ビットで選択されたのこぎり波モードでカウント方向フラグがデクリメント (GTST.TUCF = 0) に設定される場合、GTCNT カウンタ値は CCLRn ビットへの 1 書き込みに対応する GTPR レジスタの値になります。カウンタ値は他の設定で 0x00000000 になります。読むと 0 が読めます。

20.2.5 GTSSR : 汎用 PWM タイマスタート要因選択レジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0, 1)
GPT16m = 0x4016_9000 + 0x0100 × m (m = 2~5)

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CSTR T	—	—	—	—	—	—	—	SSEL CH	SSEL CG	SSEL CF	SSEL CE	SSEL CD	SSEL CC	SSEL CB	SSEL CA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SSCB FAH	SSCB FAL	SSCB RAH	SSCB RAL	SSCA FBH	SSCA FBL	SSCA RBH	SSCA RBL	SSGT RGDF	SSGT RGDR	SSGT RGCF	SSGT RGCR	SSGT RGBF	SSGT RGBR	SSGT RGAF	SSGT RGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SSGTRGAR	GTETRGA 立ち上がり要因カウンタスタート許可 0: GTETRGA 入力の立ち上がりによるカウンタスタートを禁止 1: GTETRGA 入力の立ち上がりによるカウンタスタートを許可	R/W
1	SSGTRGAF	GTETRGA 立ち下がり要因カウンタスタート許可 0: GTETRGA 入力の立ち下がりによるカウンタスタートを禁止 1: GTETRGA 入力の立ち下がりによるカウンタスタートを許可	R/W
2	SSGTRGBR	GTETRGB 立ち上がり要因カウンタスタート許可 0: GTETRGB 入力の立ち上がりによるカウンタスタートを禁止 1: GTETRGB 入力の立ち上がりによるカウンタスタートを許可	R/W
3	SSGTRGBF	GTETRGB 立ち下がり要因カウンタスタート許可 0: GTETRGB 入力の立ち下がりによるカウンタスタートを禁止 1: GTETRGB 入力の立ち下がりによるカウンタスタートを許可	R/W
4	SSGTRGCR	GTETRGC 立ち上がり要因カウンタスタート許可 0: GTETRGC 入力の立ち上がりによるカウンタスタートを禁止 1: GTETRGC 入力の立ち上がりによるカウンタスタートを許可	R/W
5	SSGTRGCF	GTETRGC 立ち下がり要因カウンタスタート許可 0: GTETRGC 入力の立ち下がりによるカウンタスタートを禁止 1: GTETRGC 入力の立ち下がりによるカウンタスタートを許可	R/W
6	SSGTRGDR	GTETRGD 立ち上がり要因カウンタスタート許可 0: GTETRGD 入力の立ち上がりによるカウンタスタートを禁止 1: GTETRGD 入力の立ち上がりによるカウンタスタートを許可	R/W
7	SSGTRGDF	GTETRGD 立ち下がり要因カウンタスタート許可 0: GTETRGD 入力の立ち下がりによるカウンタスタートを禁止 1: GTETRGD 入力の立ち下がりによるカウンタスタートを許可	R/W
8	SSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウンタスタート許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウンタスタートを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウンタスタートを許可	R/W
9	SSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウンタスタート許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウンタスタートを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウンタスタートを許可	R/W
10	SSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウンタスタート許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウンタスタートを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウンタスタートを許可	R/W

ビット	シンボル	機能	R/W
11	SSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウントスタート許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウントスタートを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウントスタートを許可	R/W
12	SSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウントスタート許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウントスタートを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウントスタートを許可	R/W
13	SSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウントスタート許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウントスタートを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウントスタートを許可	R/W
14	SSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウントスタート許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウントスタートを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウントスタートを許可	R/W
15	SSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウントスタート許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウントスタートを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウントスタートを許可	R/W
16	SSELCA	ELC_GPTA イベント要因カウントスタート許可 0: ELC_GPTA イベント入力によるカウントスタートを禁止 1: ELC_GPTA イベント入力によるカウントスタートを許可	R/W
17	SSELCB	ELC_GPTB イベント要因カウントスタート許可 0: ELC_GPTB イベント入力によるカウントスタートを禁止 1: ELC_GPTB イベント入力によるカウントスタートを許可	R/W
18	SSELCC	ELC_GPTC イベント要因カウントスタート許可 0: ELC_GPTC イベント入力によるカウントスタートを禁止 1: ELC_GPTC イベント入力によるカウントスタートを許可	R/W
19	SSELCD	ELC_GPTD イベント要因カウントスタート許可 0: ELC_GPTD イベント入力によるカウントスタートを禁止 1: ELC_GPTD イベント入力によるカウントスタートを許可	R/W
20	SSELCE	ELC_GPTE イベント要因カウントスタート許可 0: ELC_GPTE イベント入力によるカウントスタートを禁止 1: ELC_GPTE イベント入力によるカウントスタートを許可	R/W
21	SSELCF	ELC_GPTF イベント要因カウントスタート許可 0: ELC_GPTF イベント入力によるカウントスタートを禁止 1: ELC_GPTF イベント入力によるカウントスタートを許可	R/W
22	SSELCG	ELC_GPTG イベント要因カウントスタート許可 0: ELC_GPTG イベント入力によるカウントスタートを禁止 1: ELC_GPTG イベント入力によるカウントスタートを許可	R/W
23	SSELCH	ELC_GPTH イベント要因カウントスタート許可 0: ELC_GPTH イベント入力によるカウントスタートを禁止 1: ELC_GPTH イベント入力によるカウントスタートを許可	R/W
30:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	CSTRT	ソフトウェア要因カウントスタート許可 0: GTSTR レジスタによるカウントスタートを禁止 1: GTSTR レジスタによるカウントスタートを許可	R/W

GTSSR レジスタは、GTCNT カウンタのカウントスタートの要因を設定するレジスタです。

GTETRn (n = A~D) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

SSGTRGAR ビット (GTETRGA 立ち上がり要因カウントスタート許可)

SSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGAF ビット (GTETRGA 立ち下がり要因カウントスタート許可)

SSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGBR ビット (GTETRGA 立ち上がり要因カウントスタート許可)

SSGTRGBR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGBF ビット (GTETRGA 立ち下がり要因カウントスタート許可)

SSGTRGBF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGCR ビット (GTETRGA 立ち上がり要因カウントスタート許可)

SSGTRGCR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGCF ビット (GTETRGA 立ち下がり要因カウントスタート許可)

SSGTRGCF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGDR ビット (GTETRGA 立ち上がり要因カウントスタート許可)

SSGTRGDR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGDF ビット (GTETRGA 立ち下がり要因カウントスタート許可)

SSGTRGDF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSCARBL ビット (GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウントスタート許可)

SSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSCARBH ビット (GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウントスタート許可)

SSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSCAFBL ビット (GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウントスタート許可)

SSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSCAFBLH ビット (GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウントスタート許可)

SSCAFBLH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSCBRAL ビット (GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウントスタート許可)

SSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSCBRAH ビット (GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウントスタート許可)

SSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSCBFAL ビット (GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウンタスタート許可)

SSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウンタスタートの許可／禁止を選択します。

SSCBFAH ビット (GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウンタスタート許可)

SSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウンタスタートの許可／禁止を選択します。

SSELCm ビット (ELC_GPTm イベント要因カウンタスタート許可) (m = A~H)

SSELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのカウンタスタートの許可／禁止を選択します。

CSTRT ビット (ソフトウェア要因カウンタスタート許可)

CSTRT ビットは GTSTR レジスタによる GTCNT カウンタのカウンタスタートの許可／禁止を選択します。

20.2.6 GTPSR : 汎用 PWM タイマストップ要因選択レジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0, 1)
GPT16m = 0x4016_9000 + 0x0100 × m (m = 2~5)

Offset address: 0x14

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CSTO P	—	—	—	—	—	—	—	PSEL CH	PSEL CG	PSEL CF	PSEL CE	PSEL CD	PSEL CC	PSEL CB	PSEL CA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PSCB FAH	PSCB FAL	PSCB RAH	PSCB RAL	PSCA FBH	PSCA FBL	PSCA RBH	PSCA RBL	PSGT RGDF	PSGT RGDR	PSGT RGCF	PSGT RGCR	PSGT RGBF	PSGT RGBR	PSGT RGAF	PSGT RGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PSGTRGAR	GTETRGA 立ち上がり要因カウンタストップ許可 0: GTETRGA 入力の立ち上がりによるカウンタストップを禁止 1: GTETRGA 入力の立ち上がりによるカウンタストップを許可	R/W
1	PSGTRGAF	GTETRGA 立ち下がり要因カウンタストップ許可 0: GTETRGA 入力の立ち下がりによるカウンタストップを禁止 1: GTETRGA 入力の立ち下がりによるカウンタストップを許可	R/W
2	PSGTRGBR	GTETRGB 立ち上がり要因カウンタストップ許可 0: GTETRGB 入力の立ち上がりによるカウンタストップを禁止 1: GTETRGB 入力の立ち上がりによるカウンタストップを許可	R/W
3	PSGTRGBF	GTETRGB 立ち下がり要因カウンタストップ許可 0: GTETRGB 入力の立ち下がりによるカウンタストップを禁止 1: GTETRGB 入力の立ち下がりによるカウンタストップを許可	R/W
4	PSGTRGCR	GTETRGC 立ち上がり要因カウンタストップ許可 0: GTETRGC 入力の立ち上がりによるカウンタストップを禁止 1: GTETRGC 入力の立ち上がりによるカウンタストップを許可	R/W
5	PSGTRGCF	GTETRGC 立ち下がり要因カウンタストップ許可 0: GTETRGC 入力の立ち下がりによるカウンタストップを禁止 1: GTETRGC 入力の立ち下がりによるカウンタストップを許可	R/W
6	PSGTRGDR	GTETRGD 立ち上がり要因カウンタストップ許可 0: GTETRGD 入力の立ち上がりによるカウンタストップを禁止 1: GTETRGD 入力の立ち上がりによるカウンタストップを許可	R/W
7	PSGTRGDF	GTETRGD 立ち下がり要因カウンタストップ許可 0: GTETRGD 入力の立ち下がりによるカウンタストップを禁止 1: GTETRGD 入力の立ち下がりによるカウンタストップを許可	R/W

ビット	シンボル	機能	R/W
8	PSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウンタストップ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウンタストップを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウンタストップを許可	R/W
9	PSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウンタストップ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウンタストップを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウンタストップを許可	R/W
10	PSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウンタストップ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウンタストップを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウンタストップを許可	R/W
11	PSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウンタストップ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウンタストップを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウンタストップを許可	R/W
12	PSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウンタストップ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウンタストップを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウンタストップを許可	R/W
13	PSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウンタストップ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウンタストップを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウンタストップを許可	R/W
14	PSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウンタストップ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウンタストップを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウンタストップを許可	R/W
15	PSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウンタストップ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウンタストップを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウンタストップを許可	R/W
16	PSELCA	ELC_GPTA イベント要因カウンタストップ許可 0: ELC_GPTA イベント入力によるカウンタストップを禁止 1: ELC_GPTA イベント入力によるカウンタストップを許可	R/W
17	PSELCB	ELC_GPTB イベント要因カウンタストップ許可 0: ELC_GPTB イベント入力によるカウンタストップを禁止 1: ELC_GPTB イベント入力によるカウンタストップを許可	R/W
18	PSELCC	ELC_GPTC イベント要因カウンタストップ許可 0: ELC_GPTC イベント入力によるカウンタストップを禁止 1: ELC_GPTC イベント入力によるカウンタストップを許可	R/W
19	PSELCD	ELC_GPTD イベント要因カウンタストップ許可 0: ELC_GPTD イベント入力によるカウンタストップを禁止 1: ELC_GPTD イベント入力によるカウンタストップを許可	R/W
20	PSELCE	ELC_GPTE イベント要因カウンタストップ許可 0: ELC_GPTE イベント入力によるカウンタストップを禁止 1: ELC_GPTE イベント入力によるカウンタストップを許可	R/W
21	PSELCF	ELC_GPTF イベント要因カウンタストップ許可 0: ELC_GPTF イベント入力によるカウンタストップを禁止 1: ELC_GPTF イベント入力によるカウンタストップを許可	R/W

ビット	シンボル	機能	R/W
22	PSELCG	ELC_GPTG イベント要因カウンタストップ許可 0: ELC_GPTG イベント入力によるカウンタストップを禁止 1: ELC_GPTG イベント入力によるカウンタストップを許可	R/W
23	PSELCH	ELC_GPTH イベント要因カウンタストップ許可 0: ELC_GPTH イベント入力によるカウンタストップを禁止 1: ELC_GPTH イベント入力によるカウンタストップを許可	R/W
30:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	CSTOP	ソフトウェア要因カウンタストップ許可 0: GTSTP レジスタによるカウンタストップを禁止 1: GTSTP レジスタによるカウンタストップを許可	R/W

GTPSR レジスタは、GTCNT カウンタのカウンタストップの要因を設定するレジスタです。

GTETR_{Gn} (n = A~D) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

PSGTRGAR ビット (GTETRGA 立ち上がり要因カウンタストップ許可)

PSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのカウンタストップの許可／禁止を選択します。

PSGTRGAF ビット (GTETRGA 立ち下がり要因カウンタストップ許可)

PSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのカウンタストップの許可／禁止を選択します。

PSGTRGBR ビット (GTETRGB 立ち上がり要因カウンタストップ許可)

PSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのカウンタストップの許可／禁止を選択します。

PSGTRGBF ビット (GTETRGB 立ち下がり要因カウンタストップ許可)

PSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのカウンタストップの許可／禁止を選択します。

PSGTRGCR ビット (GTETRGC 立ち上がり要因カウンタストップ許可)

PSGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCNT カウンタのカウンタストップの許可／禁止を選択します。

PSGTRGCF ビット (GTETRGC 立ち下がり要因カウンタストップ許可)

PSGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCNT カウンタのカウンタストップの許可／禁止を選択します。

PSGTRGDR ビット (GTETRGD 立ち上がり要因カウンタストップ許可)

PSGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCNT カウンタのカウンタストップの許可／禁止を選択します。

PSGTRGDF ビット (GTETRGD 立ち下がり要因カウンタストップ許可)

PSGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCNT カウンタのカウンタストップの許可／禁止を選択します。

PSCARBL ビット (GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウンタストップ許可)

PSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウンタストップの許可／禁止を選択します。

PSCARBH ビット (GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウンタストップ許可)

PSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウンタストップの許可／禁止を選択します。

PSCAFBL ビット (GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウンタストップ許可)

PSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウンタストップの許可/禁止を選択します。

PSCAFBH ビット (GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウンタストップ許可)

PSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウンタストップの許可/禁止を選択します。

PSCBRAL ビット (GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウンタストップ許可)

PSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウンタストップの許可/禁止を選択します。

PSCBRAH ビット (GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウンタストップ許可)

PSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウンタストップの許可/禁止を選択します。

PSCBFAL ビット (GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウンタストップ許可)

PSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウンタストップの許可/禁止を選択します。

PSCBFAH ビット (GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウンタストップ許可)

PSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウンタストップの許可/禁止を選択します。

PSELCm ビット (ELCm イベント要因カウンタストップ許可) (m = A~H)

PSELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのカウンタストップの許可/禁止を選択します。

CSTOP ビット (ソフトウェア要因カウンタストップ許可)

CSTOP ビットは GTSTP レジスタによる GTCNT カウンタのカウンタストップの許可/禁止を選択します。

20.2.7 GTCSR : 汎用 PWM タイマクリア要因選択レジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0, 1)
GPT16m = 0x4016_9000 + 0x0100 × m (m = 2~5)

Offset address: 0x18

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CCLR	—	—	—	—	—	—	—	CSEL CH	CSEL CG	CSEL CF	CSEL CE	CSEL CD	CSEL CC	CSEL CB	CSEL CA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CSCB FAH	CSCB FAL	CSCB RAH	CSCB RAL	CSCA FBH	CSCA FBL	CSCA RBH	CSCA RBL	CSGT RGDF	CSGT RGDR	CSGT RGCF	CSGT RGCR	CSGT RGBF	CSGT RGBR	CSGT RGAF	CSGT RGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CSGTRGAR	GTETRG A 立ち上がり要因カウンタクリア許可 0: GTETRG A 入力の立ち上がりによるカウンタクリアを禁止 1: GTETRG A 入力の立ち上がりによるカウンタクリアを許可	R/W
1	CSGTRGAF	GTETRG A 立ち下がり要因カウンタクリア許可 0: GTETRG A 入力の立ち下がりによるカウンタクリアを禁止 1: GTETRG A 入力の立ち下がりによるカウンタクリアを許可	R/W

ビット	シンボル	機能	R/W
2	CSGTRGBR	GTETRGB 立ち上がり要因カウンタクリア許可 0: GTETRGB 入力の立ち上がりによるカウンタクリアを禁止 1: GTETRGB 入力の立ち上がりによるカウンタクリアを許可	R/W
3	CSGTRGBF	GTETRGB 立ち下がり要因カウンタクリア許可 0: GTETRGB 入力の立ち下がりによるカウンタクリアを禁止 1: GTETRGB 入力の立ち下がりによるカウンタクリアを許可	R/W
4	CSGTRGCR	GTETRGC 立ち上がり要因カウンタクリア許可 0: GTETRGC 入力の立ち上がりによるカウンタクリアを禁止 1: GTETRGC 入力の立ち上がりによるカウンタクリアを許可	R/W
5	CSGTRGCF	GTETRGC 立ち下がり要因カウンタクリア許可 0: GTETRGC 入力の立ち下がりによるカウンタクリアを禁止 1: GTETRGC 入力の立ち下がりによるカウンタクリアを許可	R/W
6	CSGTRGDR	GTETRGD 立ち上がり要因カウンタクリア許可 0: GTETRGD 入力の立ち上がりによるカウンタクリアを禁止 1: GTETRGD 入力の立ち上がりによるカウンタクリアを許可	R/W
7	CSGTRGDF	GTETRGD 立ち下がり要因カウンタクリア許可 0: GTETRGD 入力の立ち下がりによるカウンタクリアを禁止 1: GTETRGD 入力の立ち下がりによるカウンタクリアを許可	R/W
8	CSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウンタクリア許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを許可	R/W
9	CSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウンタクリア許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを許可	R/W
10	CSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウンタクリア許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウンタクリアを許可	R/W
11	CSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウンタクリア許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウンタクリアを許可	R/W
12	CSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウンタクリア許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウンタクリアを許可	R/W
13	CSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウンタクリア許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウンタクリアを許可	R/W
14	CSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウンタクリア許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウンタクリアを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウンタクリアを許可	R/W
15	CSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウンタクリア許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウンタクリアを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウンタクリアを許可	R/W

ビット	シンボル	機能	R/W
16	CSELCA	ELC_GPTA イベント要因カウンタクリア許可 0: ELC_GPTA イベント入力によるカウンタクリアを禁止 1: ELC_GPTA イベント入力によるカウンタクリアを許可	R/W
17	CSELCB	ELC_GPTB イベント要因カウンタクリア許可 0: ELC_GPTB イベント入力によるカウンタクリアを禁止 1: ELC_GPTB イベント入力によるカウンタクリアを許可	R/W
18	CSELCC	ELC_GPTC イベント要因カウンタクリア許可 0: ELC_GPTC イベント入力によるカウンタクリアを禁止 1: ELC_GPTC イベント入力によるカウンタクリアを許可	R/W
19	CSELCD	ELC_GPTD イベント要因カウンタクリア許可 0: ELC_GPTD イベント入力によるカウンタクリアを禁止 1: ELC_GPTD イベント入力によるカウンタクリアを許可	R/W
20	CSELCE	ELC_GPTE イベント要因カウンタクリア許可 0: ELC_GPTE イベント入力によるカウンタクリアを禁止 1: ELC_GPTE イベント入力によるカウンタクリアを許可	R/W
21	CSELCF	ELC_GPTF イベント要因カウンタクリア許可 0: ELC_GPTF イベント入力によるカウンタクリアを禁止 1: ELC_GPTF イベント入力によるカウンタクリアを許可	R/W
22	CSELGG	ELC_GPTG イベント要因カウンタクリア許可 0: ELC_GPTG イベント入力によるカウンタクリアを禁止 1: ELC_GPTG イベント入力によるカウンタクリアを許可	R/W
23	CSELCH	ELC_GPTH イベント要因カウンタクリア許可 0: ELC_GPTH イベント入力によるカウンタクリアを禁止 1: ELC_GPTH イベント入力によるカウンタクリアを許可	R/W
30:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	CCLR	ソフトウェア要因カウンタクリア許可 0: GTCLR レジスタによるカウンタクリアを禁止 1: GTCLR レジスタによるカウンタクリアを許可	R/W

GTCSR レジスタは、GTCNT カウンタのカウンタクリアの要因を設定するレジスタです。

カウンタクリアは、カウンタが動作中 (GTCR.CST = 1) の場合でも、停止 (GTCR.CST = 0) の場合でも実行可能です。

GTETR_{Gn} (n = A~D) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

CSGTRGAR ビット (GTETRGA 立ち上がり要因カウンタクリア許可)

CSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可/禁止を選択します。

CSGTRGAF ビット (GTETRGA 立ち下がり要因カウンタクリア許可)

CSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可/禁止を選択します。

CSGTRGBR ビット (GTETRGB 立ち上がり要因カウンタクリア許可)

CSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可/禁止を選択します。

CSGTRGBF ビット (GTETRGB 立ち下がり要因カウンタクリア許可)

CSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可/禁止を選択します。

CSGTRGCR ビット (GTETRGC 立ち上がり要因カウンタクリア許可)

CSGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可/禁止を選択します。

CSGTRGCF ビット (GTETRGC 立ち下がり要因カウンタクリア許可)

CSGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGDR ビット (GTETRGD 立ち上がり要因カウンタクリア許可)

CSGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGDF ビット (GTETRGD 立ち下がり要因カウンタクリア許可)

CSGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCARBL ビット (GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウンタクリア許可)

CSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCARBH ビット (GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウンタクリア許可)

CSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCAFBL ビット (GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウンタクリア許可)

CSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCAFBH ビット (GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウンタクリア許可)

CSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCBRAL ビット (GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウンタクリア許可)

CSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCBRAH ビット (GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウンタクリア許可)

CSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCBFAL ビット (GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウンタクリア許可)

CSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCBFAH ビット (GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウンタクリア許可)

CSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSELCm ビット (ELCm イベント要因カウンタクリア許可) (m = A~H)

CSELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CCLR ビット (ソフトウェア要因カウンタクリア許可)

CCLR ビットは GTCLR レジスタによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

20.2.8 GTUPSR : 汎用 PWM タイマアップカウント要因選択レジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0, 1)
 GPT16m = 0x4016_9000 + 0x0100 × m (m = 2~5)

Offset address: 0x1C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	USEL CH	USEL CG	USEL CF	USEL CE	USEL CD	USEL CC	USEL CB	USEL CA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	USCB FAH	USCB FAL	USCB RAH	USCB RAL	USCA FBH	USCA FBL	USCA RBH	USCA RBL	USGT RGDF	USGT RGDR	USGT RGCF	USGT RGCR	USGT RGBF	USGT RGBR	USGT RGAF	USGT RGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	USGTRGAR	GTETRG A 立ち上がり要因アップカウント許可 0: GTETRG A 入力の立ち上がりによるアップカウントを禁止 1: GTETRG A 入力の立ち上がりによるアップカウントを許可	R/W
1	USGTRGAF	GTETRG A 立ち下がり要因アップカウント許可 0: GTETRG A 入力の立ち下がりによるアップカウントを禁止 1: GTETRG A 入力の立ち下がりによるアップカウントを許可	R/W
2	USGTRGBR	GTETRG B 立ち上がり要因アップカウント許可 0: GTETRG B 入力の立ち上がりによるアップカウントを禁止 1: GTETRG B 入力の立ち上がりによるアップカウントを許可	R/W
3	USGTRGBF	GTETRG B 立ち下がり要因アップカウント許可 0: GTETRG B 入力の立ち下がりによるアップカウントを禁止 1: GTETRG B 入力の立ち下がりによるアップカウントを許可	R/W
4	USGTRGCR	GTETRG C 立ち上がり要因アップカウント許可 0: GTETRG C 入力の立ち上がりによるアップカウントを禁止 1: GTETRG C 入力の立ち上がりによるアップカウントを許可	R/W
5	USGTRGCF	GTETRG C 立ち下がり要因アップカウント許可 0: GTETRG C 入力の立ち下がりによるアップカウントを禁止 1: GTETRG C 入力の立ち下がりによるアップカウントを許可	R/W
6	USGTRGDR	GTETRG D 立ち上がり要因アップカウント許可 0: GTETRG D 入力の立ち上がりによるアップカウントを禁止 1: GTETRG D 入力の立ち上がりによるアップカウントを許可	R/W
7	USGTRGDF	GTETRG D 立ち下がり要因アップカウント許可 0: GTETRG D 入力の立ち下がりによるアップカウントを禁止 1: GTETRG D 入力の立ち下がりによるアップカウントを許可	R/W
8	USCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因アップカウント許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるアップカウントを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるアップカウントを許可	R/W
9	USCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因アップカウント許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるアップカウントを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるアップカウントを許可	R/W
10	USCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因アップカウント許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるアップカウントを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるアップカウントを許可	R/W

ビット	シンボル	機能	R/W
11	USCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因アップカウント許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるアップカウントを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるアップカウントを許可	R/W
12	USCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因アップカウント許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるアップカウントを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるアップカウントを許可	R/W
13	USCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因アップカウント許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるアップカウントを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるアップカウントを許可	R/W
14	USCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因アップカウント許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるアップカウントを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるアップカウントを許可	R/W
15	USCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因アップカウント許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるアップカウントを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるアップカウントを許可	R/W
16	USELCA	ELC_GPTA イベント要因アップカウント許可 0: ELC_GPTA イベント入力によるアップカウントを禁止 1: ELC_GPTA イベント入力によるアップカウントを許可	R/W
17	USELCB	ELC_GPTB イベント要因アップカウント許可 0: ELC_GPTB イベント入力によるアップカウントを禁止 1: ELC_GPTB イベント入力によるアップカウントを許可	R/W
18	USELCC	ELC_GPTC イベント要因アップカウント許可 0: ELC_GPTC イベント入力によるアップカウントを禁止 1: ELC_GPTC イベント入力によるアップカウントを許可	R/W
19	USELCD	ELC_GPTD イベント要因アップカウント許可 0: ELC_GPTD イベント入力によるアップカウントを禁止 1: ELC_GPTD イベント入力によるアップカウントを許可	R/W
20	USELCE	ELC_GPTE イベント要因アップカウント許可 0: ELC_GPTE イベント入力によるアップカウントを禁止 1: ELC_GPTE イベント入力によるアップカウントを許可	R/W
21	USELCF	ELC_GPTF イベント要因アップカウント許可 0: ELC_GPTF イベント入力によるアップカウントを禁止 1: ELC_GPTF イベント入力によるアップカウントを許可	R/W
22	USELCG	ELC_GPTG イベント要因アップカウント許可 0: ELC_GPTG イベント入力によるアップカウントを禁止 1: ELC_GPTG イベント入力によるアップカウントを許可	R/W
23	USELCH	ELC_GPTH イベント要因アップカウント許可 0: ELC_GPTH イベント入力によるアップカウントを禁止 1: ELC_GPTH イベント入力によるアップカウントを許可	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTUPSR レジスタは、GTCNT カウンタのアップカウントの要因を設定するレジスタです。

GTUPSR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合、GTCR.TPCS ビットによって設定されたカウントクロックによる GTCNT カウンタのカウントは無効となり、本レジスタで 1 となっている要因によるアップカウントを行います。

複数の要因が同時に発生した場合でも、カウント時のインクリメント数は 1 です。

GTETR_{Gn} (n = A~D) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

USGTRGAR ビット (GTETRGA 立ち上がり要因アップカウント許可)

USGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのアップカウントの許可/禁止を選択します。

USGTRGAF ビット (GTETRGA 立ち下がり要因アップカウント許可)

USGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのアップカウントの許可/禁止を選択します。

USGTRGBR ビット (GTETRGB 立ち上がり要因アップカウント許可)

USGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのアップカウントの許可/禁止を選択します。

USGTRGBF ビット (GTETRGB 立ち下がり要因アップカウント許可)

USGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのアップカウントの許可/禁止を選択します。

USGTRGCR ビット (GTETRGC 立ち上がり要因アップカウント許可)

USGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCNT カウンタのアップカウントの許可/禁止を選択します。

USGTRGCF ビット (GTETRGC 立ち下がり要因アップカウント許可)

USGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCNT カウンタのアップカウントの許可/禁止を選択します。

USGTRGDR ビット (GTETRGD 立ち上がり要因アップカウント許可)

USGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCNT カウンタのアップカウントの許可/禁止を選択します。

USGTRGDF ビット (GTETRGD 立ち下がり要因アップカウント許可)

USGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCNT カウンタのアップカウントの許可/禁止を選択します。

USCARBL ビット (GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因アップカウント許可)

USCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのアップカウントの許可/禁止を選択します。

USCARBH ビット (GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因アップカウント許可)

USCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのアップカウントの許可/禁止を選択します。

USCAFBL ビット (GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因アップカウント許可)

USCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのアップカウントの許可/禁止を選択します。

USAFBH ビット (GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因アップカウント許可)

USAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのアップカウントの許可/禁止を選択します。

USCBRAL ビット (GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因アップカウント許可)

USCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのアップカウントの許可/禁止を選択します。

USCBRAH ビット (GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因アップカウント許可)

USCBRAH ビットは GTIOCnA 端子入力に 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのアップカウントの許可/禁止を選択します。

USCBFAL ビット (GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因アップカウント許可)

USCBFAL ビットは GTIOCnA 端子入力に 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのアップカウントの許可/禁止を選択します。

USCBFAH ビット (GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因アップカウント許可)

USCBFAH ビットは GTIOCnA 端子入力に 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのアップカウントの許可/禁止を選択します。

USELCm ビット (ELC_GPTm イベント要因アップカウント許可) (m = A~H)

USELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのアップカウントの許可/禁止を選択します。

20.2.9 GTDNSR : 汎用 PWM タイマダウンカウント要因選択レジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0, 1)
GPT16m = 0x4016_9000 + 0x0100 × m (m = 2~5)

Offset address: 0x20

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	DSEL CH	DSEL CG	DSEL CF	DSEL CE	DSEL CD	DSEL CC	DSEL CB	DSEL CA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DSCB FAH	DSCB FAL	DSCB RAH	DSCB RAL	DSCA FBH	DSCA FBL	DSCA RBH	DSCA RBL	DSGT RGDF	DSGT RGDR	DSGT RGCF	DSGT RGCR	DSGT RGBF	DSGT RGBR	DSGT RGAF	DSGT RGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DSGTRGAR	GTETRGA 立ち上がり要因ダウンカウント許可 0: GTETRGA 入力の立ち上がりによるダウンカウントを禁止 1: GTETRGA 入力の立ち上がりによるダウンカウントを許可	R/W
1	DSGTRGAF	GTETRGA 立ち下がり要因ダウンカウント許可 0: GTETRGA 入力の立ち下がりによるダウンカウントを禁止 1: GTETRGA 入力の立ち下がりによるダウンカウントを許可	R/W
2	DSGTRGBR	GTETRGA 立ち上がり要因ダウンカウント許可 0: GTETRGA 入力の立ち上がりによるダウンカウントを禁止 1: GTETRGA 入力の立ち上がりによるダウンカウントを許可	R/W
3	DSGTRGBF	GTETRGA 立ち下がり要因ダウンカウント許可 0: GTETRGA 入力の立ち下がりによるダウンカウントを禁止 1: GTETRGA 入力の立ち下がりによるダウンカウントを許可	R/W
4	DSGTRGCR	GTETRGC 立ち上がり要因ダウンカウント許可 0: GTETRGC 入力の立ち上がりによるダウンカウントを禁止 1: GTETRGC 入力の立ち上がりによるダウンカウントを許可	R/W
5	DSGTRGCF	GTETRGC 立ち下がり要因ダウンカウント許可 0: GTETRGC 入力の立ち下がりによるダウンカウントを禁止 1: GTETRGC 入力の立ち下がりによるダウンカウントを許可	R/W
6	DSGTRGDR	GTETRGD 立ち上がり要因ダウンカウント許可 0: GTETRGD 入力の立ち上がりによるダウンカウントを禁止 1: GTETRGD 入力の立ち上がりによるダウンカウントを許可	R/W

ビット	シンボル	機能	R/W
7	DSGTRGDF	GTETRGD 立ち下がり要因ダウンカウント許可 0: GTETRGD 入力の立ち下がりによるダウンカウントを禁止 1: GTETRGD 入力の立ち下がりによるダウンカウントを許可	R/W
8	DSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因ダウンカウント許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるダウンカウントを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるダウンカウントを許可	R/W
9	DSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因ダウンカウント許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるダウンカウントを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるダウンカウントを許可	R/W
10	DSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因ダウンカウント許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるダウンカウントを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるダウンカウントを許可	R/W
11	DSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因ダウンカウント許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるダウンカウントを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるダウンカウントを許可	R/W
12	DSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因ダウンカウント許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるダウンカウントを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるダウンカウントを許可	R/W
13	DSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因ダウンカウント許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるダウンカウントを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるダウンカウントを許可	R/W
14	DSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因ダウンカウント許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるダウンカウントを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるダウンカウントを許可	R/W
15	DSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因ダウンカウント許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるダウンカウントを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるダウンカウントを許可	R/W
16	DSELCA	ELC_GPTA イベント要因ダウンカウント許可 0: ELC_GPTA イベント入力によるダウンカウントを禁止 1: ELC_GPTA イベント入力によるダウンカウントを許可	R/W
17	DSELCB	ELC_GPTB イベント要因ダウンカウント許可 0: ELC_GPTB イベント入力によるダウンカウントを禁止 1: ELC_GPTB イベント入力によるダウンカウントを許可	R/W
18	DSELCC	ELC_GPTC イベント要因ダウンカウント許可 0: ELC_GPTC イベント入力によるダウンカウントを禁止 1: ELC_GPTC イベント入力によるダウンカウントを許可	R/W
19	DSELCD	ELC_GPTD イベント要因ダウンカウント許可 0: ELC_GPTD イベント入力によるダウンカウントを禁止 1: ELC_GPTD イベント入力によるダウンカウントを許可	R/W
20	DSELCE	ELC_GPTE イベント要因ダウンカウント許可 0: ELC_GPTE イベント入力によるダウンカウントを禁止 1: ELC_GPTE イベント入力によるダウンカウントを許可	R/W

ビット	シンボル	機能	R/W
21	DSELCF	ELC_GPTF イベント要因ダウンカウント許可 0: ELC_GPTF イベント入力によるダウンカウントを禁止 1: ELC_GPTF イベント入力によるダウンカウントを許可	R/W
22	DSELCG	ELC_GPTG イベント要因ダウンカウント許可 0: ELC_GPTG イベント入力によるダウンカウントを禁止 1: ELC_GPTG イベント入力によるダウンカウントを許可	R/W
23	DSELCH	ELC_GPTH イベント要因ダウンカウント許可 0: ELC_GPTH イベント入力によるダウンカウントを禁止 1: ELC_GPTH イベント入力によるダウンカウントを許可	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTDNSR レジスタは、GTCNT カウンタのダウンカウントの要因を設定するレジスタです。

GTDNSR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合、GTCR.TPCS ビットによって設定されたカウントクロックによる GTCNT カウンタのカウントは無効となり、本レジスタで 1 となっている要因によるダウンカウントを行います。

複数の要因が同時に発生した場合でも、カウント時のデクリメント数は 1 です。

GTETR_{Gn} (n = A～D) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

DSGTRGAR ビット (GTETRGA 立ち上がり要因ダウンカウント許可)

DSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGAF ビット (GTETRGA 立ち下がり要因ダウンカウント許可)

DSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGBR ビット (GTETRGB 立ち上がり要因ダウンカウント許可)

DSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGBF ビット (GTETRGB 立ち下がり要因ダウンカウント許可)

DSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGCR ビット (GTETRGC 立ち上がり要因ダウンカウント許可)

DSGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGCF ビット (GTETRGC 立ち下がり要因ダウンカウント許可)

DSGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGDR ビット (GTETRGD 立ち上がり要因ダウンカウント許可)

DSGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGDF ビット (GTETRGD 立ち下がり要因ダウンカウント許可)

DSGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCARBL ビット (GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因ダウンカウント許可)

DSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCARBH ビット (GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因ダウンカウント許可)

DSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可/禁止を選択します。

DSCAFBL ビット (GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因ダウンカウント許可)

DSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可/禁止を選択します。

DSCAFBH ビット (GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因ダウンカウント許可)

DSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可/禁止を選択します。

DSCBRAL ビット (GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因ダウンカウント許可)

DSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可/禁止を選択します。

DSCBRAH ビット (GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因ダウンカウント許可)

DSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可/禁止を選択します。

DSCBFAL ビット (GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因ダウンカウント許可)

DSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可/禁止を選択します。

DSCBFAH ビット (GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因ダウンカウント許可)

DSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可/禁止を選択します。

DSELCm ビット (ELC_GPTm イベント要因ダウンカウント許可) (m = A~H)

DSELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのダウンカウントの許可/禁止を選択します。

20.2.10 GTICASR : 汎用 PWM タイマインプットキャプチャ要因選択レジスタ A

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0, 1)
GPT16m = 0x4016_9000 + 0x0100 × m (m = 2~5)

Offset address: 0x24

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	ASEL CH	ASEL CG	ASEL CF	ASEL CE	ASEL CD	ASEL CC	ASEL CB	ASEL CA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ASCB FAH	ASCB FAL	ASCB RAH	ASCB RAL	ASCA FBH	ASCA FBL	ASCA RBH	ASCA RBL	ASGT RGDF	ASGT RGDR	ASGT RGCF	ASGT RGCR	ASGT RGBF	ASGT RGBR	ASGT RGAF	ASGT RGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ASGTRGAR	GTETRG A 立ち上がり要因 GTCCRA インプットキャプチャ許可 0: GTETRG A 入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTETRG A 入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
1	ASGTRGAF	GTETRG A 立ち下がり要因 GTCCRA インプットキャプチャ許可 0: GTETRG A 入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTETRG A 入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W

ビット	シンボル	機能	R/W
2	ASGTRGBR	GTETRGB 立ち上がり要因 GTCCRA インพุットキャプチャ許可 0: GTETRGB 入力の立ち上がりによる GTCCRA インพุットキャプチャを禁止 1: GTETRGB 入力の立ち上がりによる GTCCRA インพุットキャプチャを許可	R/W
3	ASGTRGBF	GTETRGB 立ち下がり要因 GTCCRA インพุットキャプチャ許可 0: GTETRGB 入力の立ち下がりによる GTCCRA インพุットキャプチャを禁止 1: GTETRGB 入力の立ち下がりによる GTCCRA インพุットキャプチャを許可	R/W
4	ASGTRGCR	GTETRGC 立ち上がり要因 GTCCRA インพุットキャプチャ許可 0: GTETRGC 入力の立ち上がりによる GTCCRA インพุットキャプチャを禁止 1: GTETRGC 入力の立ち上がりによる GTCCRA インพุットキャプチャを許可	R/W
5	ASGTRGCF	GTETRGC 立ち下がり要因 GTCCRA インพุットキャプチャ許可 0: GTETRGC 入力の立ち下がりによる GTCCRA インพุットキャプチャを禁止 1: GTETRGC 入力の立ち下がりによる GTCCRA インพุットキャプチャを許可	R/W
6	ASGTRGDR	GTETRGD 立ち上がり要因 GTCCRA インพุットキャプチャ許可 0: GTETRGD 入力の立ち上がりによる GTCCRA インพุットキャプチャを禁止 1: GTETRGD 入力の立ち上がりによる GTCCRA インพุットキャプチャを許可	R/W
7	ASGTRGDF	GTETRGD 立ち下がり要因 GTCCRA インพุットキャプチャ許可 0: GTETRGD 入力の立ち下がりによる GTCCRA インพุットキャプチャを禁止 1: GTETRGD 入力の立ち下がりによる GTCCRA インพุットキャプチャを許可	R/W
8	ASCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インพุットキャプチャを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インพุットキャプチャを許可	R/W
9	ASCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インพุットキャプチャを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インพุットキャプチャを許可	R/W
10	ASCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA インพุットキャプチャを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA インพุットキャプチャを許可	R/W
11	ASCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA インพุットキャプチャを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA インพุットキャプチャを許可	R/W
12	ASCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA インพุットキャプチャを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA インพุットキャプチャを許可	R/W
13	ASCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA インพุットキャプチャを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA インพุットキャプチャを許可	R/W
14	ASCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA インพุットキャプチャを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA インพุットキャプチャを許可	R/W

ビット	シンボル	機能	R/W
15	ASCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA インพุットキャプチャを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA インพุットキャプチャを許可	R/W
16	ASELCA	ELC_GPTA イベント要因 GTCCRA インพุットキャプチャ許可 0: ELC_GPTA イベント入力による GTCCRA インพุットキャプチャを禁止 1: ELC_GPTA イベント入力による GTCCRA インพุットキャプチャを許可	R/W
17	ASELCB	ELC_GPTB イベント要因 GTCCRA インพุットキャプチャ許可 0: ELC_GPTB イベント入力による GTCCRA インพุットキャプチャを禁止 1: ELC_GPTB イベント入力による GTCCRA インพุットキャプチャを許可	R/W
18	ASELCC	ELC_GPTC イベント要因 GTCCRA インพุットキャプチャ許可 0: ELC_GPTC イベント入力による GTCCRA インพุットキャプチャを禁止 1: ELC_GPTC イベント入力による GTCCRA インพุットキャプチャを許可	R/W
19	ASELCD	ELC_GPTD イベント要因 GTCCRA インพุットキャプチャ許可 0: ELC_GPTD イベント入力による GTCCRA インพุットキャプチャを禁止 1: ELC_GPTD イベント入力による GTCCRA インพุットキャプチャを許可	R/W
20	ASELCE	ELC_GPTE イベント要因 GTCCRA インพุットキャプチャ許可 0: ELC_GPTE イベント入力による GTCCRA インพุットキャプチャを禁止 1: ELC_GPTE イベント入力による GTCCRA インพุットキャプチャを許可	R/W
21	ASELCF	ELC_GPTF イベント要因 GTCCRA インพุットキャプチャ許可 0: ELC_GPTF イベント入力による GTCCRA インพุットキャプチャを禁止 1: ELC_GPTF イベント入力による GTCCRA インพุットキャプチャを許可	R/W
22	ASELCG	ELC_GPTG イベント要因 GTCCRA インพุットキャプチャ許可 0: ELC_GPTG イベント入力による GTCCRA インพุットキャプチャを禁止 1: ELC_GPTG イベント入力による GTCCRA インพุットキャプチャを許可	R/W
23	ASELCH	ELC_GPTH イベント要因 GTCCRA インพุットキャプチャ許可 0: ELC_GPTH イベント入力による GTCCRA インพุットキャプチャを禁止 1: ELC_GPTH イベント入力による GTCCRA インพุットキャプチャを許可	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTICASR レジスタは、GTCCRA レジスタへのインพุットキャプチャ要因を設定するレジスタです。

GTICASR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合、GTCCRA レジスタをインพุットキャプチャレジスタとするインพุットキャプチャ動作を行います。

GTETR_{Gn} (n = A~D) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

ASGTRGAR ビット (GTETRGA 立ち上がり要因 GTCCRA インพุットキャプチャ許可)

ASGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCCRA レジスタへのインพุットキャプチャの許可／禁止を選択します。

ASGTRGAF ビット (GTETRGA 立ち下がり要因 GTCCRA インพุットキャプチャ許可)

ASGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCCRA レジスタへのインพุットキャプチャの許可／禁止を選択します。

ASGTRGBR ビット (GTETRGB 立ち上がり要因 GTCCRA インพุットキャプチャ許可)

ASGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCCRA レジスタへのインพุットキャプチャの許可／禁止を選択します。

ASGTRGBF ビット (GTETRGB 立ち下がり要因 GTCCRA インพุットキャプチャ許可)

ASGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCCRA レジスタへのインพุットキャプチャの許可／禁止を選択します。

ASGTRGCR ビット (GTETRGC 立ち上がり要因 GTCCRA インพุットキャプチャ許可)

ASGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCCRA レジスタへのインพุットキャプチャの許可／禁止を選択します。

ASGTRGCF ビット (GTETRGC 立ち下がり要因 GTCCRA インพุットキャプチャ許可)

ASGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCCRA レジスタへのインพุットキャプチャの許可／禁止を選択します。

ASGTRGDR ビット (GTETRGD 立ち上がり要因 GTCCRA インพุットキャプチャ許可)

ASGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCCRA レジスタへのインพุットキャプチャの許可／禁止を選択します。

ASGTRGDF ビット (GTETRGD 立ち下がり要因 GTCCRA インพุットキャプチャ許可)

ASGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCCRA レジスタへのインพุットキャプチャの許可／禁止を選択します。

ASCARBL ビット (GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)

ASCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA レジスタへのインพุットキャプチャの許可／禁止を選択します。

ASCARBH ビット (GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)

ASCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA レジスタへのインพุットキャプチャの許可／禁止を選択します。

ASCAFBL ビット (GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)

ASCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA レジスタへのインพุットキャプチャの許可／禁止を選択します。

ASCAFBH ビット (GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)

ASCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA レジスタへのインพุットキャプチャの許可／禁止を選択します。

ASCBRAL ビット (GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)

ASCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA レジスタへのインพุットキャプチャの許可／禁止を選択します。

ASCBRAH ビット (GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)

ASCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA レジスタへのインพุットキャプチャの許可／禁止を選択します。

ASCBFAL ビット (GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)

ASCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA レジスタへのインพุットキャプチャの許可／禁止を選択します。

ASCBFAH ビット (GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)

ASCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA レジスタへのインพุットキャプチャの許可／禁止を選択します。

ASELCm ビット (ELC_GPTm イベント要因 GTCCRA インพุットキャプチャ許可) (m = A~H)

ASELCm ビットは ELC_GPTm からのイベント入力による GTCCRA レジスタへのインพุットキャプチャの許可／禁止を選択します。

20.2.11 GTICBSR : 汎用 PWM タイマインพุットキャプチャ要因選択レジスタ B

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0, 1)
GPT16m = 0x4016_9000 + 0x0100 × m (m = 2~5)

Offset address: 0x28

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	BSEL CH	BSEL CG	BSEL CF	BSEL CE	BSEL CD	BSEL CC	BSEL CB	BSEL CA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BSCB FAH	BSCB FAL	BSCB RAH	BSCB RAL	BSCA FBH	BSCA FBL	BSCA RBH	BSCA RBL	BSGT RGDF	BSGT RGDR	BSGT RGCF	BSGT RGCR	BSGT RGBF	BSGT RGBR	BSGT RGAF	BSGT RGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BSGTRGAR	GTETRG A 立ち上がり要因 GTCCRB インพุットキャプチャ許可 0: GTETRG A 入力の立ち上がりによる GTCCRB インพุットキャプチャを禁止 1: GTETRG A 入力の立ち上がりによる GTCCRB インพุットキャプチャを許可	R/W
1	BSGTRGAF	GTETRG A 立ち下がり要因 GTCCRB インพุットキャプチャ許可 0: GTETRG A 入力の立ち下がりによる GTCCRB インพุットキャプチャを禁止 1: GTETRG A 入力の立ち下がりによる GTCCRB インพุットキャプチャを許可	R/W
2	BSGTRGBR	GTETRG B 立ち上がり要因 GTCCRB インพุットキャプチャ許可 0: GTETRG B 入力の立ち上がりによる GTCCRB インพุットキャプチャを禁止 1: GTETRG B 入力の立ち上がりによる GTCCRB インพุットキャプチャを許可	R/W
3	BSGTRGBF	GTETRG B 立ち下がり要因 GTCCRB インพุットキャプチャ許可 0: GTETRG B 入力の立ち下がりによる GTCCRB インพุットキャプチャを禁止 1: GTETRG B 入力の立ち下がりによる GTCCRB インพุットキャプチャを許可	R/W
4	BSGTRGCR	GTETRG C 立ち上がり要因 GTCCRB インพุットキャプチャ許可 0: GTETRG C 入力の立ち上がりによる GTCCRB インพุットキャプチャを禁止 1: GTETRG C 入力の立ち上がりによる GTCCRB インพุットキャプチャを許可	R/W
5	BSGTRGCF	GTETRG C 立ち下がり要因 GTCCRB インพุットキャプチャ許可 0: GTETRG C 入力の立ち下がりによる GTCCRB インพุットキャプチャを禁止 1: GTETRG C 入力の立ち下がりによる GTCCRB インพุットキャプチャを許可	R/W
6	BSGTRGDR	GTETRG D 立ち上がり要因 GTCCRB インพุットキャプチャ許可 0: GTETRG D 入力の立ち上がりによる GTCCRB インพุットキャプチャを禁止 1: GTETRG D 入力の立ち上がりによる GTCCRB インพุットキャプチャを許可	R/W
7	BSGTRGDF	GTETRG D 立ち下がり要因 GTCCRB インพุットキャプチャ許可 0: GTETRG D 入力の立ち下がりによる GTCCRB インพุットキャプチャを禁止 1: GTETRG D 入力の立ち下がりによる GTCCRB インพุットキャプチャを許可	R/W
8	BSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インพุットキャプチャを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インพุットキャプチャを許可	R/W
9	BSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インพุットキャプチャを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インพุットキャプチャを許可	R/W

ビット	シンボル	機能	R/W
10	BSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB インพุットキャプチャを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB インพุットキャプチャを許可	R/W
11	BSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB インพุットキャプチャを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB インพุットキャプチャを許可	R/W
12	BSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB インพุットキャプチャを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB インพุットキャプチャを許可	R/W
13	BSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB インพุットキャプチャを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB インพุットキャプチャを許可	R/W
14	BSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB インพุットキャプチャを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB インพุットキャプチャを許可	R/W
15	BSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB インพุットキャプチャを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB インพุットキャプチャを許可	R/W
16	BSELCA	ELC_GPTA イベント要因 GTCCRB インพุットキャプチャ許可 0: ELC_GPTA イベント入力による GTCCRB インพุットキャプチャを禁止 1: ELC_GPTA イベント入力による GTCCRB インพุットキャプチャを許可	R/W
17	BSELCB	ELC_GPTB イベント要因 GTCCRB インพุットキャプチャ許可 0: ELC_GPTB イベント入力による GTCCRB インพุットキャプチャを禁止 1: ELC_GPTB イベント入力による GTCCRB インพุットキャプチャを許可	R/W
18	BSELCC	ELC_GPTC イベント要因 GTCCRB インพุットキャプチャ許可 0: ELC_GPTC イベント入力による GTCCRB インพุットキャプチャを禁止 1: ELC_GPTC イベント入力による GTCCRB インพุットキャプチャを許可	R/W
19	BSELCD	ELC_GPTD イベント要因 GTCCRB インพุットキャプチャ許可 0: ELC_GPTD イベント入力による GTCCRB インพุットキャプチャを禁止 1: ELC_GPTD イベント入力による GTCCRB インพุットキャプチャを許可	R/W
20	BSELCE	ELC_GPTE イベント要因 GTCCRB インพุットキャプチャ許可 0: ELC_GPTE イベント入力による GTCCRB インพุットキャプチャを禁止 1: ELC_GPTE イベント入力による GTCCRB インพุットキャプチャを許可	R/W
21	BSELCF	ELC_GPTF イベント要因 GTCCRB インพุットキャプチャ許可 0: ELC_GPTF イベント入力による GTCCRB インพุットキャプチャを禁止 1: ELC_GPTF イベント入力による GTCCRB インพุットキャプチャを許可	R/W
22	BSELG	ELC_GPTG イベント要因 GTCCRB インพุットキャプチャ許可 0: ELC_GPTG イベント入力による GTCCRB インพุットキャプチャを禁止 1: ELC_GPTG イベント入力による GTCCRB インพุットキャプチャを許可	R/W

ビット	シンボル	機能	R/W
23	BSELCH	ELC_GPTH イベント要因 GTCCRB インพุットキャプチャ許可 0: ELC_GPTH イベント入力による GTCCRB インพุットキャプチャを禁止 1: ELC_GPTH イベント入力による GTCCRB インพุットキャプチャを許可	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTICBSR レジスタは、GTCCRB レジスタへのインพุットキャプチャ要因を設定するレジスタです。

GTICBSR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合、GTCCRB レジスタをインพุットキャプチャレジスタとするインพุットキャプチャ動作を行います。

GTETR_{Gn} (n = A~D) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

BSGTRGAR ビット (GTETRGA 立ち上がり要因 GTCCRB インพุットキャプチャ許可)

BSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCCRB レジスタへのインพุットキャプチャの許可／禁止を選択します。

BSGTRGAF ビット (GTETRGA 立ち下がり要因 GTCCRB インพุットキャプチャ許可)

BSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCCRB レジスタへのインพุットキャプチャの許可／禁止を選択します。

BSGTRGBR ビット (GTETRGB 立ち上がり要因 GTCCRB インพุットキャプチャ許可)

BSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCCRB レジスタへのインพุットキャプチャの許可／禁止を選択します。

BSGTRGBF ビット (GTETRGB 立ち下がり要因 GTCCRB インพุットキャプチャ許可)

BSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCCRB レジスタへのインพุットキャプチャの許可／禁止を選択します。

BSGTRGCR ビット (GTETRGC 立ち上がり要因 GTCCRB インพุットキャプチャ許可)

BSGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCCRB レジスタへのインพุットキャプチャの許可／禁止を選択します。

BSGTRGCF ビット (GTETRGC 立ち下がり要因 GTCCRB インพุットキャプチャ許可)

BSGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCCRB レジスタへのインพุットキャプチャの許可／禁止を選択します。

BSGTRGDR ビット (GTETRGD 立ち上がり要因 GTCCRB インพุットキャプチャ許可)

BSGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCCRB レジスタへのインพุットキャプチャの許可／禁止を選択します。

BSGTRGDF ビット (GTETRGD 立ち下がり要因 GTCCRB インพุットキャプチャ許可)

BSGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCCRB レジスタへのインพุットキャプチャの許可／禁止を選択します。

BSCARBL ビット (GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)

BSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB レジスタへのインพุットキャプチャの許可／禁止を選択します。

BSCARBH ビット (GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)

BSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB レジスタへのインพุットキャプチャの許可／禁止を選択します。

BSCAFBL ビット (GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可)

BSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可/禁止を選択します。

BSCAFBH ビット (GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可)

BSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可/禁止を選択します。

BSCBRAL ビット (GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可)

BSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可/禁止を選択します。

BSCBRAH ビット (GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可)

BSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可/禁止を選択します。

BSCBFAL ビット (GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可)

BSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可/禁止を選択します。

BSCBFAH ビット (GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可)

BSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可/禁止を選択します。

BSELCm ビット (ELC_GPTm イベント要因 GTCCRB インプットキャプチャ許可) (m = A~H)

BSELCm ビットは ELC_GPTm からのイベント入力による GTCCRB レジスタへのインプットキャプチャの許可/禁止を選択します。

20.2.12 GTCR : 汎用 PWM タイマコントロールレジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0, 1)
GPT16m = 0x4016_9000 + 0x0100 × m (m = 2~5)

Offset address: 0x2C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	TPCS[3:0]				—	—	—	—	MD[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CST	カウントスタート 0: カウント動作を停止 1: カウント動作を実行	R/W
15:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
18:16	MD[2:0]	モード選択 000: のこぎり波 PWM モード (シングル/ダブルバッファ可) 001: のこぎり波ワンショットパルスモード (バッファ動作固定) 010: 設定禁止 011: 設定禁止 100: 三角波 PWM モード 1 (谷 32 ビット転送) (シングル/ダブルバッファ可) 101: 三角波 PWM モード 2 (山/谷 32 ビット転送) (シングル/ダブルバッファ可) 110: 三角波 PWM モード 3 (谷 64 ビット転送) (バッファ動作固定) 111: 設定禁止	R/W
22:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26:23	TPCS[3:0]	タイマプリスケラ選択 0000: PCLKD/1 0001: PCLKD/2 0010: PCLKD/4 0011: PCLKD/8 0100: PCLKD/16 0101: PCLKD/32 0110: PCLKD/64 0111: 設定禁止 1000: PCLKD/256 1001: 設定禁止 1010: PCLKD/1024 1011: 設定禁止 1100: GTETRGA (POEG あり) 1101: GTETRGB (POEG あり) 1110: GTETRGC (POEG あり) 1111: GTETRGD (POEG あり)	R/W
31:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTCR レジスタは、GTCNT カウンタを制御するレジスタです。

CST ビット (カウントスタート)

CST ビットは GTCNT カウンタのスタート/ストップを制御します。

[1 になる条件]

- GTSSR.CSTRT ビットが 1 の状態で、GTSTR レジスタの値 (チャンネル番号はビット番号に対応) を 1 にしたとき
- GTSSR レジスタでカウントスタート要因として許可された ELC イベント入力、外部トリガまたは GTIOCnA 入力端子/GTIOCnB 入力端子条件が発生したとき (n = 0~5)
- ソフトウェアで直接 1 を書き込んだとき

[0 になる条件]

- GTPSR.CSTOP ビットが 1 の状態で、GTSTP レジスタの値 (チャンネル番号はビット番号に対応) を 1 にしたとき
- GTPSR レジスタでカウントストップ要因として許可された ELC イベント入力、外部トリガまたは GTIOCnA 入力端子/GTIOCnB 入力端子条件が発生したとき (n = 0~5)
- ソフトウェアで直接 0 を書き込んだとき
- GTPC.ASTP ビットが 1 のとき、周期カウント機能が終了する場合

MD[2:0] ビット (モード選択)

MD[2:0] ビットは GPT の動作モードを選択します。インプットキャプチャ時は、MD[2] ビットだけが有効です。のこぎり波モードのカウントは MD[2] ビットに 0 を設定して行い、三角波モードのカウントは MD[2] ビットに 1 を設定して行います。MD[2:0] ビットの設定は、GTCNT カウンタの動作が停止しているときに行ってください。イベントカウント動作中 (GTUPSR および GTDNSR レジスタのビットのうち 1 ビット以上が 1 に設定されている場合) は、MD[2:0] ビットに初期値 (000b) を設定します。

TPCS[3:0]ビット (タイマプリスケラ選択)

TPCS[3:0]ビットは GTCNT カウンタのクロックを選択します。チャンネルごとに個別にクロックプリスケラの選択が可能です。TPCS[3:0]ビットの設定は、GTCNT カウンタの動作が停止しているときに行ってください。

GTETRGA、GTETRGB、GTETRGC、または GTETRGD が選択された場合、エッジ立ち上がり時の POEG への出力はクロックソースになります。これらの信号の極性を POEG で設定してください。

20.2.13 GTUDDTYC : 汎用 PWM タイマカウント方向、デューティー設定レジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0, 1)
GPT16m = 0x4016_9000 + 0x0100 × m (m = 2~5)

Offset address: 0x30

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	OBDT YR	OBDT YF	OBDTY[1:0]	—	—	—	—	OADT YR	OADT YF	OADTY[1:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UDF	UD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	UD	カウント方向設定 0: GTCNT カウンタはダウンカウント 1: GTCNT カウンタはアップカウント	R/W
1	UDF	カウント方向強制設定 0: 強制設定しない 1: 強制設定する	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	OADTY[1:0]	GTIOCnA 出力デューティー設定 0 0: GTIOCnA 端子のデューティーはコンペアマッチに依存 0 1: GTIOCnA 端子のデューティーはコンペアマッチに依存 1 0: GTIOCnA 端子のデューティーは 0% 1 1: GTIOCnA 端子のデューティーは 100%	R/W
18	OADTYF	GTIOCnA 出力デューティー強制設定 0: 強制設定しない 1: 強制設定する	R/W
19	OADTYR	0%/100%デューティー設定解除後の GTIOCnA 出力値選択 0: 0%/100%デューティー比設定解除後にデューティー比が設定された場合、GTIOA[3:2]ビットで選択された機能が出力値に適用 1: 0%または 100%デューティー比設定解除後に GTIOA[3:2]ビットで選択された機能がマスクされたコンペアマッチ出力値に適用されます。	R/W
23:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	OBDTY[1:0]	GTIOCnB 出力デューティー設定 0 0: GTIOCnB 端子のデューティーはコンペアマッチに依存 0 1: GTIOCnB 端子のデューティーはコンペアマッチに依存 1 0: GTIOCnB 端子のデューティーは 0% 1 1: GTIOCnB 端子のデューティーは 100%	R/W
26	OBDTYF	GTIOCnB 出力デューティー強制設定 0: 強制設定しない 1: 強制設定する	R/W
27	OBDTYR	0%/100%デューティー設定解除後の GTIOCnB 出力値選択 0: 0%/100%デューティー比設定解除後にデューティー比が設定された場合、GTIOB[3:2]ビットで選択された機能が出力値に適用 1: 0%/100%デューティー比設定解除後に GTIOB[3:2]ビットで選択された機能がマスクされたコンペアマッチ出力値に適用	R/W

ビット	シンボル	機能	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. $n = 0 \sim 5$

GTUDDTYC レジスタは、GTCNT カウンタのカウント方向（アップ／ダウン）および GTIOcNA/GTIOcNB 端子出力のデューティを設定するレジスタです。

イベントカウント動作中は、本設定は無効です。

【カウント方向】

● のこぎり波モードの場合

アップカウント中に UD 値を 0 にした場合、オーバーフロー時に（GTCNT カウンタ値が GTPR 値になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。ダウンカウント中に UD 値を 1 にした場合、アンダーフロー時に（GTCNT カウンタ値が 0 になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。

カウント停止中に UDF ビットが 0 の状態で UD 値を 1 から 0 に変更した場合、カウント動作はアップカウントとなり、オーバーフロー時に（GTCNT カウンタ値が GTPR 値になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。カウント停止中に UDF ビットが 0 の状態で UD 値を 0 から 1 に変更した場合、カウント動作はダウンカウントとなり、アンダーフロー時に（GTCNT カウンタ値が 0 になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。

カウント停止中に UDF ビットを 1 にすると、UD ビット値がカウントスタート時のカウント方向に反映されます。

● 三角波モードの場合

カウント中に UD 値を変更しても、カウント方向は切り替わりません。カウントストップ中に UDF ビットが 0 の状態で UD 値を変更しても、カウントスタート時のカウント方向には反映されません。

カウント停止中に UDF ビットを 1 にすると、そのときの UD 値がカウントスタート時のカウント方向に反映されます。

UD ビット（カウント方向設定）

UD ビットは GTCNT カウンタのカウント方向（アップ／ダウン）を設定します。

UDF ビット（カウント方向強制設定）

UDF ビットは GTCNT カウンタスタート時のカウント方向を強制的に UD 値に設定します。カウンタが動作している間は、このビットに 0 以外を書き込まないでください。カウントストップ中に 1 を書いた場合、カウントがスタートする前に 0 に戻してください。

【出力デューティー】

● のこぎり波モードの場合

アップカウント中に OADTY/OBDTY 値を変更すると、オーバーフロー時（GTCNT = GTPR）にデューティーが反映されます。ダウンカウント中に OADTY/OBDTY 値を変更すると、アンダーフロー時（GTCNT = 0）にデューティーが反映されます。

カウント停止中に、OADTYF/OBDTYF ビットが 0 の状態で OADTY/OBDTY 値を変更すると、カウンタ動作スタート時に出力デューティーは反映されません。カウント方向がアップカウントの場合、オーバーフロー時（GTCNT = GTPR）に出力デューティーが反映されます。カウント方向がダウンカウントの場合、アンダーフロー時（GTCNT = 0）に出力デューティーが反映されます。

カウント停止中に、OADTYF/OBDTYF ビットが 1 の状態で OADTY/OBDTY 値を変更すると、カウンタ動作スタート時に出力デューティーが反映されます。

● 三角波モードの場合

カウント中に OADTY/OBDTY 値を変更すると、アンダーフロー時にデューティーが反映されます。

カウント停止中に、OADTYF/OBDTYF ビットが 0 の状態で OADTY/OBDTY 値を変更すると、カウンタ動作スタート時に出力デューティーは反映されません。ただし、アンダーフロー時に出力デューティーが反映されます。

カウント停止中に、OADTYF/OBDTYF ビットが 1 の状態で OADTY/OBDTY 値を変更すると、カウンタ動作スタート時に出力デューティーが反映されます。

のこぎり波モードと三角波モードで、OADTYF/OBDTYF ビットが 0 に戻った場合、および OADTYF/OBDTYF ビットを 1 にして、カウント動作停止中に最初の周期のデューティーに対して OADTY[1:0]/OBDTY[1:0] ビットを

設定した後に OADTY[1:0]/OBDTY[1:0] ビットを設定した場合、カウント動作停止中に設定されたこれらのデューティ周期は、カウント動作開始後の最初の周期と 2 番目の周期に反映されます。

OmDTY[1:0] ビット (GTIOCnm 出力デューティ設定) (m = A、B)

OmDTY[1:0] ビットは GTIOCnm 端子の出力デューティ (0%、100%、またはコンペアマッチ制御) を設定します。

OmDTYF ビット (GTIOCnm 出力デューティ強制設定) (m = A、B)

OmDTYF ビットは出力デューティ比を OmDTY の設定値に強制的に設定します。カウンタの動作中は、このビットを 0 にしてください。

OmDTYR ビット (0%/100%デューティ設定解除後の GTIOCnm 出力値選択) (m = A、B)

制御が 0%/100%デューティ設定から GTIOCnm 端子のコンペアマッチに変更され、かつ GTIOR.GTIOm[3:2] ビットが 00b (周期の終わりで出力保持) または 11b (周期の終わりでトグル出力) に設定された場合、OmDTYR ビットは周期の終わりで出力保持/トグル出力の対象となる値を選択します。

デューティ比 0%/100%動作中に、GPT は内部でコンペアマッチ動作を継続します。OmDTYR ビットを 1 にすると、周期の終わりでコンペアマッチの値が GTIOm[3:2] ビットに適用されます。

20.2.14 GTIOR : 汎用 PWM タイマ I/O コントロールレジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0, 1)
GPT16m = 0x4016_9000 + 0x0100 × m (m = 2~5)

Offset address: 0x34

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	NFC SB[1:0]		NFBEN	—	—	OBD F[1:0]		OBE	OBHLD	OBDFLT	—	GTIOB[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	NFC SA[1:0]		NFAEN	—	—	OAD F[1:0]		OAE	OAHL D	OADF LT	—	GTIOA[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	GTIOA[4:0]	GTIOCnA 端子機能選択 表 20.4 を参照してください。	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	OADFLT	カウントストップ時の GTIOCnA 端子出力値設定 0: カウントストップ時に GTIOCnA 端子は Low を出力 1: カウントストップ時に GTIOCnA 端子は High を出力	R/W
7	OAHL D	カウントスタート/ストップ時の GTIOCnA 端子出力設定 0: カウントスタート/ストップ時の GTIOCnA 端子出力レベルはレジスタ設定値に従う 1: カウントスタート/ストップ時の GTIOCnA 端子出力レベルは保持される	R/W
8	OAE	GTIOCnA 端子出力許可 0: 出力を禁止 1: 出力を許可	R/W
10:9	OADF[1:0]	GTIOCnA 端子禁止値設定 0 0: 以下のいずれも設定しない 0 1: 出力ネゲート制御に対応して GTIOCnA 端子は Hi-Z に設定される 1 0: 出力ネゲート制御に対応して GTIOCnA 端子は 0 に設定される 1 1: 出力ネゲート制御に対応して GTIOCnA 端子は 1 に設定される	R/W
12:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13	NFAEN	GTIOCnA 端子入力ノイズフィルタ有効 0: GTIOCnA 端子のノイズフィルタは無効 1: GTIOCnA 端子のノイズフィルタは有効	R/W

ビット	シンボル	機能	R/W
15:14	NFCSA[1:0]	GTIOCnA 端子入力ノイズフィルタサンプリングクロック選択 0 0: PCLKD/1 0 1: PCLKD/4 1 0: PCLKD/16 1 1: PCLKD/64	R/W
20:16	GTIOB[4:0]	GTIOCnB 端子機能選択 表 20.4 を参照してください。	R/W
21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22	OBDFLT	カウントストップ時の GTIOCnB 端子出力値設定 0: カウントストップ時に GTIOCnB 端子は Low を出力 1: カウントストップ時に GTIOCnB 端子は High を出力	R/W
23	OBHLD	カウントスタート/ストップ時の GTIOCnB 端子出力設定 0: カウントスタート/ストップ時の GTIOCnB 端子出力レベルはレジスタ設定値に従う 1: カウントスタート/ストップ時の GTIOCnB 端子出力レベルは保持される	R/W
24	OBE	GTIOCnB 端子出力許可 0: 出力を禁止 1: 出力を許可	R/W
26:25	OBDF[1:0]	GTIOCnB 端子禁止値設定 0 0: 以下のいずれも設定しない 0 1: 出力ネゲート制御に対応して GTIOCnB 端子は Hi-Z に設定される 1 0: 出力ネゲート制御に対応して GTIOCnB 端子は 0 に設定される 1 1: 出力ネゲート制御に対応して GTIOCnB 端子は 1 に設定される	R/W
28:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29	NFBEN	ノイズフィルタ B 有効 0: GTIOCnB 端子のノイズフィルタは無効 1: GTIOCnB 端子のノイズフィルタは有効	R/W
31:30	NFCSB[1:0]	ノイズフィルタ B サンプリングクロック選択 0 0: PCLKD/1 0 1: PCLKD/4 1 0: PCLKD/16 1 1: PCLKD/64	R/W

注. n = 0~5

GTIOR レジスタは GTIOCnA 端子と GTIOCnB 端子の機能を設定するレジスタです(n = 0~5)

GTIOA[4:0]ビット (GTIOCnA 端子機能選択)

GTIOA[4:0]ビットは GTIOCnA 端子の機能を選択します。詳細は、[表 20.4](#) を参照してください。

OADFLT ビット (カウントストップ時の GTIOCnA 端子出力値設定)

OADFLT ビットはカウントストップ時に、GTIOCnA 端子が High または Low のいずれを出力するかを設定します。

OAHLDB ビット (カウントスタート/ストップ時の GTIOCnA 端子出力設定)

OAHLDB ビットはカウントスタート/ストップ時に、GTIOCnA 端子の出力レベルが保持されるか、レジスタ設定値に従うかを指定します。

[OAHLDB ビットを 0 にした場合]

- カウントスタート時に、GTIOA[4]ビットで指定した値を出力
- カウントストップ時に、OADFLT ビットで指定した値を出力
- カウントストップ中に、OADFLT ビットを書き換えた場合、ただちに出力に反映される

[OAHLDB ビットを 1 にした場合]

- カウントスタート/ストップ時に出力が保持される

OAE ビット (GTIOCN_A 端子出力許可)

OAE ビットは GTIOCN_A 端子出力する/しないを選択します。

GTCCRA レジスタをインプットキャプチャレジスタとして使用する場合 (GTICASR レジスタの少なくともひとつのビットが 1 の状態の場合) は、OAE ビットの設定にかかわらず GTIOCN_A 端子出力を行いません。

OADF[1:0] ビット (GTIOCN_A 端子禁止値設定)

OADF[1:0] ビットは POEG からの出力禁止要求に対応して GTIOCN_A 端子の出力値を選択します。

NFAEN ビット (GTIOCN_A 端子入力ノイズフィルタ有効)

NFAEN ビットは GTIOCN_A 端子からの入力に対してノイズフィルタを有効または無効にします。このビット値を変更すると予想外のエッジが内部で発生する恐れがあるため、GTIOR レジスタの該当端子に対しアウトプットコンペア機能を選択してから、このビットを変更してください。

NFCSA[1:0] ビット (GTIOCN_A 端子入力ノイズフィルタサンプリングクロック選択)

NFCSA[1:0] ビットは GTIOCN_A 端子のノイズフィルタのサンプリング周期を設定します。これらのビットを設定する場合、選択したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能を設定してください。

GTIOB[4:0] ビット (GTIOCN_B 端子機能選択)

GTIOB[4:0] ビットは GTIOCN_B 端子の機能を選択します。詳細は、表 20.4 を参照してください。

OBDFLT ビット (カウントストップ時の GTIOCN_B 端子出力値設定)

OBDFLT ビットはカウントストップ時に、GTIOCN_B 端子が High または Low のいずれを出力するかを設定します。

OBHLD ビット (カウントスタート/ストップ時の GTIOCN_B 端子出力設定)

OBHLD ビットはカウントスタートまたはストップ時に、GTIOCN_B 端子の出力レベルが保持されるか、レジスタ設定値に従うかを指定します。

[OBHLD ビットを 0 にした場合]

- カウントスタート時に、GTIOB[4] ビットで指定した値を出力
- カウントストップ時に、OBDFLT ビットで指定した値を出力
- カウントストップ中に、OBDFLT ビットを書き換えた場合、ただちに出力に反映される

[OBHLD ビットを 1 にした場合]

- カウントスタート/ストップ時に出力が保持される

OBE ビット (GTIOCN_B 端子出力許可)

OBE ビットは GTIOCN_B 端子出力する/しないを選択します。

GTCCRB レジスタをインプットキャプチャレジスタとして使用する場合 (GTICBSR レジスタの少なくともひとつのビットが 1 の状態の場合) は、OBE ビットの設定にかかわらず GTIOCN_B 端子出力を行いません。

OBDF[1:0] ビット (GTIOCN_B 端子禁止値設定)

OBDF[1:0] ビットは POEG からの出力禁止要求に対応して GTIOCN_B 端子の出力値を選択します。

NFBEN ビット (ノイズフィルタ B 有効)

NFBEN ビットは GTIOCN_B 端子からの入力に対してノイズフィルタを有効または無効にします。このビット値を変更すると予想外のエッジが内部で発生する恐れがあるため、GTIOR レジスタの該当端子に対しアウトプットコンペア機能を選択してから、このビットを変更してください。

NFCSB[1:0] ビット (ノイズフィルタ B サンプリングクロック選択)

NFCSB[1:0] ビットは GTIOCN_B 端子のノイズフィルタのサンプリング周期を設定します。これらのビットを設定する場合、選択したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能を設定してください。

表 20.4 GTIOA[4:0]ビットと GTIOB[4:0]ビットの設定値

GTIOA/GTIOB[4:0]ビット					機能		
b4	b3	b2	b1	b0	b4	b3、b2(注1) (注2) (注3)	b1、b0(注2)
0	0	0	0	0	初期出力は Low	周期の終わりで出力保持	GTCCRA/GTCCRB コンペアマッチで出力保持
0	0	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
0	0	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
0	0	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	0	1	0	0		周期の終わりで Low 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	0	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
0	0	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
0	0	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	1	0	0	0		周期の終わりで High 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	1	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
0	1	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
0	1	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	1	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
0	1	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
0	1	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	0	0	0	0	初期出力は High	周期の終わりで出力保持	GTCCRA/GTCCRB コンペアマッチで出力保持
1	0	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	0	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	0	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	0	1	0	0		周期の終わりで Low 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	0	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	0	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	0	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	1	0	0	0		周期の終わりで High 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	1	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	1	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	1	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	1	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	1	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	1	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力

注 1. 周期の終わりとは、のこぎり波モードのときはオーバーフロー（アップカウント動作時に GTCNT が GTPR から 0 になる）、アンダーフロー（ダウンカウント動作時に GTCNT が 0 から GTPR になる）、カウンタクリア、三角波モードのときは谷（GTCNT が 0 から 1 になる）を示します。

注 2. コンペアマッチ動作時に、周期の終わりと GTCCRA/GTCCRB コンペアマッチのタイミングが一致した場合、のこぎり波 PWM モードでは b3 と b2 の設定値が優先され、それ以外のモードでは b1 と b0 の設定値が優先されます。

注 3. イベントカウント動作時（GTUPSR レジスタまたは GTDNSR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合）、b3 と b2 の設定は無効です。

20.2.15 GTINTAD : 汎用 PWM タイマ割り込み出力設定レジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0, 1)
GPT16m = 0x4016_9000 + 0x0100 × m (m = 2~5)

Offset address: 0x38

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	GRPA BL	GRPA BH	—	—	—	GRP[1:0]		—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
23:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	GRP[1:0]	出力禁止要因選択 0 0: グループ A 出力禁止要因を選択 0 1: グループ B 出力禁止要因を選択 1 0: グループ C 出力禁止要因を選択 1 1: グループ D 出力禁止要因を選択	R/W
28:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29	GRPABH	同時出力レベル High 禁止要求許可 0: 同時出力レベル High 禁止要求を禁止 1: 同時出力レベル High 禁止要求を許可	R/W
30	GRPABL	同時出力レベル Low 禁止要求許可 0: 同時出力レベル Low 禁止要求を禁止 1: 同時出力レベル Low 禁止要求を許可	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTINTAD レジスタは、割り込み要求と出力禁止要求を許可または禁止します。

GRP[1:0]ビット（出力禁止要因選択）

GPT から POEG への出力禁止要求のグループと、POEG から GPT への GTIOCnA 端子と GTIOCnB 端子の出力禁止のグループを選択します。

POEG への出力禁止要求は、それぞれの禁止要求許可ビットに続くデッドタイムエラー、同時 High 出力、同時 Low 出力要因とともに、GRP[1:0]ビットで選択されたグループへ出力されます。

GTST.ODF は GRP[1:0]ビットで選択した出力禁止要因グループの要求を示します。GTIOR.OAE ビットと GTIOR.OBE ビットがともに 0 の場合に GRP[1:0]ビットを設定してください。

GPT に接続されたグループ以外の POEG を GRP[1:0]ビットで選択した場合、ODF フラグは常に 0 となり、ステータスが出力禁止状態に変わることはありません。

GRPABH ビット（同時出力レベル High 禁止要求許可）

GRPABH ビットは GTIOCnA 端子と GTIOCnB 端子が同時に 1 を出力する場合に、出力禁止要求を許可または禁止します。

GRPABL ビット（同時出力レベル Low 禁止要求許可）

GRPABL ビットは GTIOCnA 端子と GTIOCnB 端子が同時に 0 を出力する場合に、出力禁止要求を許可または禁止します。

20.2.16 GTST : 汎用 PWM タイマステータスレジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0, 1)
 GPT16m = 0x4016_9000 + 0x0100 × m (m = 2~5)

Offset address: 0x3C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PCF (注2)	OABLF	OABHF	—	—	—	—	ODF	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TUCF	—	—	—	—	—	—	—	TCFPU	TCFPO	TCFF	TCFE	TCFD	TCFC	TCFB	TCFA
Value after reset:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TCFA	インพุットキャプチャ/コンペアマッチフラグ A 0: GTCCRA インพุットキャプチャ/コンペアマッチの発生なし 1: GTCCRA インพุットキャプチャ/コンペアマッチの発生あり	R/W(注1)
1	TCFB	インพุットキャプチャ/コンペアマッチフラグ B 0: GTCCRB インพุットキャプチャ/コンペアマッチの発生なし 1: GTCCRB インพุットキャプチャ/コンペアマッチの発生あり	R/W(注1)
2	TCFC	インพุットコンペアマッチフラグ C 0: GTCCRC コンペアマッチの発生なし 1: GTCCRC コンペアマッチの発生あり	R/W(注1)
3	TCFD	インพุットコンペアマッチフラグ D 0: GTCCRD コンペアマッチの発生なし 1: GTCCRD コンペアマッチの発生あり	R/W(注1)
4	TCFE	インพุットコンペアマッチフラグ E 0: GTCCRE コンペアマッチの発生なし 1: GTCCRE コンペアマッチの発生あり	R/W(注1)
5	TCFF	インพุットコンペアマッチフラグ F 0: GTCCRF コンペアマッチの発生なし 1: GTCCRF コンペアマッチの発生あり	R/W(注1)
6	TCFPO	オーバーフローフラグ 0: オーバーフロー (山) の発生なし 1: オーバーフロー (山) の発生あり	R/W(注1)
7	TCFPU	アンダーフローフラグ 0: アンダーフロー (谷) の発生なし 1: アンダーフロー (谷) の発生あり	R/W(注1)
14:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	TUCF	カウント方向フラグ 0: GTCNT カウンタはダウンカウント 1: GTCNT カウンタはアップカウント	R
23:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	ODF	出力禁止フラグ 0: 出力禁止要求の発生なし 1: 出力禁止要求の発生あり	R
28:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29	OABHF	同時出力レベル High フラグ 0: GTIOCA 端子と GTIOCB 端子の両方で 1 出力の同時発生なし 1: GTIOCA 端子と GTIOCB 端子の両方で 1 出力の同時発生あり	R
30	OABLF	同時出力レベル Low フラグ 0: GTIOCA 端子と GTIOCB 端子の両方で 0 出力の同時発生なし 1: GTIOCA 端子と GTIOCB 端子の両方で 0 出力の同時発生あり	R

ビット	シンボル	機能	R/W
31	PCF(注2)	周期計数機能終了フラグ 0: 周期計数機能終了の発生なし 1: 周期計数機能終了の発生あり	R/W(注1)

注 1. このビットは 0 のみ書けます。1 を書かないでください。

注 2. このビットは GPT320、GPT321、GPT162～GPT164 でのみ使用可能です。GPT165 でこのビットは 0 が読めます。書く場合、0 としてください。

GTST レジスタは、GPT の状態を示します。

TCFA フラグ (インプットキャプチャ/コンペアマッチフラグ A)

TCFA フラグは GTCCRA のインプットキャプチャまたはコンペアマッチのステータスを示します。

[1 になる条件]

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 = GTCCRA レジスタ値になったとき
- GTCCRA レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRA レジスタに転送されたとき

[0 になる条件]

- このフラグに 0 を書いたとき

TCFB フラグ (インプットキャプチャ/コンペアマッチフラグ B)

TCFB フラグは GTCCRB のインプットキャプチャまたはコンペアマッチのステータスを示します。

[1 になる条件]

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 = GTCCRB レジスタ値になったとき
- GTCCRB レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタの値が GTCCRB レジスタに転送されたとき

[0 になる条件]

- このフラグに 0 を書いたとき

TCFC フラグ (インプットコンペアマッチフラグ C)

TCFC フラグは GTCCRC のコンペアマッチのステータスを示します。

GTCCRC がバッファ動作を実行するとき、GTCCRC はコンペアマッチを実行しません。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRC レジスタ値になったとき

[0 になる条件]

- このフラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] = 01b、10b、11b (GTCCRC レジスタがバッファ動作)

TCFD フラグ (インプットコンペアマッチフラグ D)

TCFD フラグは GTCCRD のコンペアマッチのステータスを示します。

GTCCRD がバッファ動作を実行するとき、GTCCRD はコンペアマッチを実行しません。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRD レジスタ値になったとき

[0 になる条件]

- このフラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] = 10b、11b (GTCCRD レジスタがバッファ動作)

TCFE フラグ (インプットコンペアマッチフラグ E)

TCFE フラグは GTCCRE のコンペアマッチのステータスを示します。

GTCCRE がバッファ動作を実行するとき、GTCCRE はコンペアマッチを実行しません。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRE レジスタ値になったとき

[0 になる条件]

- このフラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] = 01b、10b、11b (GTCCRE レジスタがバッファ動作)

TCFF フラグ (インプットコンペアマッチフラグ F)

TCFF フラグは GTCCRF のコンペアマッチのステータスを示します。

GTCCRF がバッファ動作を実行するとき、GTCCRF はコンペアマッチを実行しません。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRF レジスタ値になったとき

[0 になる条件]

- このフラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] = 10b、11b (GTCCRF レジスタがバッファ動作)

TCFPO フラグ (オーバーフローフラグ)

TCFPO フラグはオーバーフローまたは山が発生したことを示します。

[1 になる条件]

- のこぎり波モードにおいて、オーバーフロー (アップカウント時に GTCNT カウンタが GTPR 値から 0 に変化) が発生したとき
- 三角波モードにおいて、山 (GTCNT カウンタが GTPR 値から GTPR 値-1 に変化) が発生したとき
- ハードウェア要因によるカウントで、オーバーフロー (アップカウント時に GTCNT カウンタ値が GTPR 値から 0 に変化) が発生したとき

[0 になる条件]

- このフラグに 0 を書いたとき

TCFPU フラグ (アンダーフローフラグ)

TCFPU フラグはアンダーフローまたは谷が発生したことを示します。

[1 になる条件]

- のこぎり波モードにおいて、アンダーフロー（ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化）が発生したとき
- 三角波モードにおいて、谷（GTCNT カウンタが 0 から 1 に変化）が発生したとき
- ハードウェア要因によるカウントで、アンダーフロー（ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化）が発生したとき

[0 になる条件]

- このフラグに 0 を書いたとき

TUCF フラグ (カウント方向フラグ)

TUCF フラグは GTCNT カウンタのカウント方向を示します。イベントカウント動作で、このフラグはアップカウント時に 1、ダウンカウント時に 0 になります。

ODF フラグ (出力禁止フラグ)

ODF フラグは GRP[1:0] ビットで選択する出力禁止要因グループの要求を示します。

出力が禁止された場合、出力禁止要求がネゲートされる周期内では、出力禁止制御は解除されません。次の周期に解除されます。

OABHF フラグ (同時出力レベル High フラグ)

OABHF フラグは GTIOCnA 端子と GTIOCnB 端子が同時に 1 を出力したことを示します。

GTIOCnA 端子または GTIOCnB 端子が 0 を出力した場合、このフラグは 0 に戻ります。このフラグは読み出し専用です。このフラグをクリアするための 0 の書き込みはしないでください。

OABHF フラグによる出力禁止要求が許可 (GTINTAD.GRPABH ビット = 1) されている場合、OABHF フラグが出力禁止要求として POEG に出力されます。GPT には出力が同時に High に駆動されていることを示す割り込みがありません。割り込みが必要な場合、POEG の割り込み機能を使用します。

[1 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子が同時に 1 を出力したとき

[0 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子の出力値が異なるとき
- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子が同時に 0 を出力したとき
- OAE ビットと OBE ビットのどちらかが 0 になったとき

OABLF フラグ (同時出力レベル Low フラグ)

OABLF フラグは GTIOCnA 端子と GTIOCnB 端子が同時に 0 を出力したことを示します。

GTIOCnA 端子または GTIOCnB 端子が 1 を出力した場合、このフラグは 0 に戻ります。このフラグは読み出し専用です。このフラグをクリアするための 0 の書き込みはしないでください。

OABLF フラグによる出力禁止要求が許可 (GTINTAD.GRPABL ビット = 1) されている場合、OABLF フラグが出力禁止要求として POEG に出力されます。GPT には出力が同時に Low に駆動されていることを示す割り込みがありません。割り込みが必要な場合、POEG の割り込み機能を使用します。

[1 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子が同時に 0 を出力したとき

[0 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOChA 端子と GTIOChB 端子の出力値が異なるとき
- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOChA 端子と GTIOChB 端子が同時に 1 を出力したとき
- OAE ビットと OBE ビットのどちらかが 0 になったとき

OABHF/OABLF フラグを生成する比較対象信号は、出力禁止機能でマスクされる前のコンペアマッチ出力 (PWM 出力) 信号です。出力禁止条件下においても、内部ではコンペアマッチ動作が継続します。OABHF フラグまたは OABLF フラグが動作結果に基づいて更新されます。

PCF(注2)フラグ (周期計数機能終了フラグ)

周期計数機能終了のステータスフラグです。

[1 になる条件]

- GTPC.PCEN ビットが 1、かつ周期の終わりの GTPC.PCNT カウンタが 1 のとき
- GTPC.PCEN ビットが 1、かつカウントクロックの GTPC.PCNT カウンタが 0 のとき

[0 になる条件]

- このビットに 0 を書いたとき

20.2.17 GTBER : 汎用 PWM タイマバッファイネーブルレジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0, 1)
GPT16m = 0x4016_9000 + 0x0100 × m (m = 2~5)

Offset address: 0x40

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	CCRS WT	PR[1:0]		CCRB[1:0]		CCRA[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BD1	BD0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BD0	GTCCR バッファ動作禁止 0: バッファ動作を許可 1: バッファ動作を禁止	R/W
1	BD1	GTPR バッファ動作禁止 0: バッファ動作を許可 1: バッファ動作を禁止	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	CCRA[1:0]	GTCCRA バッファ動作 0 0: バッファ動作しない 0 1: シングルバッファ動作 (GTCCRA ↔ GTCCRC) その他: ダブルバッファ動作 (GTCCRA ↔ GTCCRC ↔ GTCCRD)	R/W
19:18	CCRB[1:0]	GTCCRB バッファ動作 0 0: バッファ動作しない 0 1: シングルバッファ動作 (GTCCRB ↔ GTCCRE) その他: ダブルバッファ動作 (GTCCRB ↔ GTCCRE ↔ GTCCRF)	R/W
21:20	PR[1:0]	GTPR バッファ動作 0 0: バッファ動作しない 0 1: シングルバッファ動作 (GTPBR → GTPR) その他: 設定禁止	R/W

ビット	シンボル	機能	R/W
22	CCRSWT	GTCCRA・GTCCRB 強制バッファ動作 1 を書くと GTCCRA および GTCCRB レジスタのバッファ転送を強制的に行います。このビットは 1 を書いた後、自動的に 0 に戻ります。読むと 0 が読めます。	W
31:23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTBER レジスタは、バッファ動作を設定します。GTBER レジスタは、GTCNT カウンタが停止しているときに設定してください。

BD0 ビット (GTCCR バッファ動作禁止)

BD0 ビットは GTCCRA、GTCCRB、GTCCRC、GTCCRD、GTCCRE、および GTCCRF レジスタを組み合わせたバッファ動作を禁止します。

GTDTCR.TDE ビットが 1 のとき、BD0 ビットを 0 にしても、GTCCRB レジスタはバッファ動作を行いません。GTCCRB レジスタは、デッドタイム付き逆相波形のコンペアマッチ値に自動的に設定されます。

GTSECSR レジスタにより 1 を書き込まれたビットの配置に対応するチャンネルの BD0 ビット値は、GTSECR.SBDCE または GTSECR.SBDCE に 1 が書き込まれた場合に設定可能です。

BD1 ビット (GTPR バッファ動作禁止)

BD1 ビットは GTPR レジスタおよび GTPBR レジスタを組み合わせたバッファ動作を禁止します。

GTSECSR レジスタにより 1 を書き込まれたビットの配置に対応するチャンネルの BD1 ビット値は、GTSECR.SBDPE または GTSECR.SBDPE に 1 が書き込まれた場合に設定可能です。

CCRA[1:0] ビット (GTCCRA バッファ動作)

CCRA[1:0] ビットは GTCCRA、GTCCRC、および GTCCRD レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCR レジスタの設定が優先されます。

のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 (谷での 64 ビット転送) では、バッファ動作モードは固定されます。

CCRB[1:0] ビット (GTCCRB バッファ動作)

CCRB[1:0] ビットは GTCCRB、GTCCRE、および GTCCRF レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCR レジスタの設定が優先されます。

のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 (谷での 64 ビット転送) では、バッファ動作モードは固定されます。

PR[1:0] ビット (GTPR バッファ動作)

PR[1:0] ビットは GTPR レジスタおよび GTPBR レジスタを組み合わせたバッファ動作を設定します。

CCRSWT ビット (GTCCRA・GTCCRB 強制バッファ動作)

CCRSWT ビットに 1 を書くと GTCCRA および GTCCRB レジスタのバッファ転送を強制的に行います。このビットは 1 を書いた後、自動的に 0 に戻ります。このビットは 0 が読み出され、カウントストップ時にコンペアマッチ動作が設定されている場合にのみ有効です。

20.2.18 GTCNT : 汎用 PWM タイマカウンタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0, 1)
GPT16m = 0x4016_9000 + 0x0100 × m (m = 2~5)

Offset address: 0x48

Bit position: 31

0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	n/a	GTCNT は GPT32n (n = 0, 1) 用の 32 ビットの読み出し／書き込みカウンタです。 GPT16m (m = 2~5) の場合、GTCNT は 16 ビットレジスタになります。GTCNT はカウント停止後に書き込みのみ可能です。 GPT16m の場合、32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0x0000 が読み出され、書き込みは無視されます。 GTCNT は、 $0 \leq \text{GTCNT} \leq \text{GTPR}$ の範囲に収まるように設定してください。	R/W

20.2.19 GTCCRk : 汎用 PWM タイマコンペアキャプチャレジスタ k(k = A~F)

Base address: $GPT32n = 0x4016\_9000 + 0x0100 \times n$ ($n = 0, 1$)
 $GPT16m = 0x4016\_9000 + 0x0100 \times m$ ($m = 2 \sim 5$)

Offset address: 0x4C(GTCCRA)
0x50(GTCCRB)
0x54(GTCCRC)
0x58(GTCCRE)
0x5C(GTCCRD)
0x60(GTCCRF)

Bit position: 31 0

Bit field:

[illegible]

ビット	シンボル	機能	R/W
31:0	n/a	GTCCRk レジスタは読み出し／書き込みレジスタです。GTCCRk レジスタの有効ビット幅は、GTCNT カウンタの有効ビット幅と同じ（16 ビットまたは 32 ビット）です。GTCCRk レジスタの有効ビット幅が 16 ビットの場合、32 ビット単位アクセスした場合の上位 16 ビットは、常に 0x0000 が読み出され、書き込みは無視されます。 GTCCRA レジスタと GTCCRB レジスタは、アウトプットコンペア／インプットキャプチャ兼用のレジスタです。GTCCRC レジスタと GTCCRE レジスタはコンペアマッチレジスタであり、GTCCRA レジスタと GTCCRB レジスタ用のバッファレジスタとしても機能します。 GTCCRD レジスタと GTCCRF レジスタはコンペアマッチレジスタであり、GTCCRC レジスタと GTCCRE レジスタ用のバッファレジスタ（GTCCRA レジスタと GTCCRB レジスタ用のダブルバッファレジスタ）としても機能します。	R/W

注 1. GPT16m (m = 2~5) の場合、上位 16 ビット部分のリセット後の値は 0x0000 です。

20.2.20 GTPR: 汎用 PWM タイマ周期設定レジスタ

Base address: $GPT32n = 0x4016\_9000 + 0x0100 \times n$ ($n = 0, 1$)
 $GPT16m = 0x4016\_9000 + 0x0100 \times m$ ($m = 2 \sim 5$)

Offset address: 0x64

Bit position: 31 0

Bit field:

Value after reset: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
31:0	n/a	GTPR レジスタは、読み出し／書き込みレジスタで、GTCNT カウンタのカウント最大値を設定します。GTPR レジスタの有効ビット幅は、GTCNT カウンタの有効ビット幅と同じ（16 ビットまたは 32 ビット）です。GTPR レジスタの有効ビット幅が 16 ビットの場合、32 ビット単位アクセスした場合の上位 16 ビットは、常に 0x0000 が読み出され、書き込みは無視されます。 のこぎり波の場合は、(GTPR+1) の値が周期になります。三角波の場合は、(GTPR×2) の値が周期になります。	R/W

注 1. GPT16m (m = 2~5) の場合、上位 16 ビット部分のリセット後の値は 0x0000 です。

20.2.21 GTPBR : 汎用 PWM タイマ周期設定バッファレジスタ

Base address: $GPT32n = 0x4016\_9000 + 0x0100 \times n$ ($n = 0, 1$)
 $GPT16m = 0x4016\_9000 + 0x0100 \times m$ ($m = 2 \sim 5$)

Offset address: 0x68

Bit position: 31

0

Bit field:

Value after reset: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1
 (注1) (注1) (注1) (注1) (注1) (注1) (注1) (注1) (注1) (注1) (注1) (注1) (注1) (注1) (注1) 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
31:0	n/a	GTPBR レジスタは、読み出し／書き込みレジスタで、GTPR レジスタ用のバッファレジスタとして機能します。GTPBR レジスタの有効ビット幅は、GTCNT カウンタの有効ビット幅と同じ（16 ビットまたは 32 ビット）です。GTPBR レジスタの有効ビット幅が 16 ビットの場合、32 ビット単位アクセスした場合の上位 16 ビットは、常に 0x0000 が読み出され、書き込みは無視されます。	R/W

注 1. GPT16m ($m = 2 \sim 5$) の場合、上位 16 ビット部分のリセット後の値は 0x0000 です。

20.2.22 GTDTCR : 汎用 PWM タイマデッドタイムコントロールレジスタ

Base address: $GPT32n = 0x4016\_9000 + 0x0100 \times n$ ($n = 0, 1$)
 $GPT16m = 0x4016\_9000 + 0x0100 \times m$ ($m = 2 \sim 5$)

Offset address: 0x88

Bit position: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Bit field: — — — — — — — — — — — — — — — —

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field: — — — — — — — — — — — — — — TDE

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	TDE	逆相波形設定 0: GTDVU レジスタを使用しないで、GTCCRB レジスタを設定する 1: GTDVU レジスタを使用して、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定する	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTDTCR レジスタは、デッドタイム付き逆相波形のコンペアマッチ値の自動設定を許可します。GPT にはデッドタイム制御機能があります。デッドタイム値の設定には GTDVU レジスタを使用します。

TDE ビット (逆相波形設定)

TDE ビットは GTDVU レジスタを使用するか否かを指定します。GTDVU レジスタを使用する場合、正相波形のコンペアマッチ値 (GTCCRA 値) とデッドタイム値 (GTDVU 値) から算出されたデッドタイム付き逆相波形のコンペアマッチ値が、GTCCRB レジスタに自動設定されます。

TDE ビットの設定値は、のこぎり波 PWM モードでは無視され、GTCCRB レジスタで自動設定は行われません。

GTCCRB レジスタ値が自動設定されるとき、以下のような上限値と下限値があります。算出された GTCCRB 値がこの上限値と下限値の範囲内に収まらない場合、GTCCRB レジスタには以下の制限値が設定されます。

- 三角波の場合
 上限値: GTPR 値 - 1
 下限値: アップカウント時は 1、ダウンカウント時は 0
- のこぎり波ワンショットパルスモードの場合

上限値 : GTPR 値
下限値 : 0

20.2.23 GTDVU : 汎用 PWM タイマデッドタイム値レジスタ U

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0, 1)
GPT16m = 0x4016_9000 + 0x0100 × m (m = 2~5)

Offset address: 0x8C

Bit position: 31

0

Bit field:

Value after reset: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1
(注1)(注1)(注1)(注1)(注1)(注1)(注1)(注1)(注1)(注1)(注1)(注1)(注1)(注1)(注1)(注1) 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
31:0	n/a	GTDVU レジスタは、読み出し／書き込みレジスタで、デッドタイム付き PWM 波形を生成するためのデッドタイム値を設定します。GTDVU レジスタの有効ビット幅は、GTCNT カウンタの有効ビット幅と同じ（16 ビットまたは 32 ビット）です。GTDVU レジスタの有効ビット幅が 16 ビットの場合、32 ビット単位アクセスしたときの上位 16 ビットは、常に 0x0000 が読み出され、書き込みは無視されます。 のこぎり波の場合、アップカウントかダウンカウントかにかかわらず、GTDVU レジスタが前部のデッドタイムを制御し、GTDVD レジスタが後部のデッドタイムを制御します。GTPR 以上の GTDVU 値は設定しないでください。デッドタイム自動設定機能を使用する場合、波形の変化点がカウント周期を超えるような値を設定しないでください。この設定値は、GTCCRB レジスタを読み出すことによって確認できます。GTDVU レジスタを使用する場合、GTCCRB レジスタへの書き込みはしないでください。このレジスタ値を 0 にすると、デッドタイムなしの波形が出力されます。 GPT の動作中は、GTDVU レジスタ値の変更はしないでください。GTDVU レジスタ値を新しい値に変更するには、GTCR レジスタの CST ビットで GPT を停止してください。	R/W

注 1. GPT16m (m = 2~5) の場合、上位 16 ビット部分のリセット後の値は 0x0000 です。

20.2.24 GTICLF : 汎用 PWM タイマチャネル間論理演算機能設定レジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0, 1)
GPT16m = 0x4016_9000 + 0x0100 × m (m = 2~5)

Offset address: 0xB8

Bit position: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Bit field: — — — — — — ICLFSELD[5:0] — ICLFB[2:0]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field: — — — — — — ICLFSELC[5:0] — ICLFA[2:0]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
2:0	ICLFA[2:0]	GTIOCnA 出力論理演算機能選択 0 0 0: A (遅延なし) 0 0 1: NOT A (遅延なし) 0 1 0: C (1 PCLKD サイクル遅延) 0 1 1: NOT C (1 PCLKD サイクル遅延) 1 0 0: A AND C (1 PCLKD サイクル遅延) (注2) 1 0 1: A OR C (1 PCLKD サイクル遅延) (注2) 1 1 0: A EXOR C (1 PCLKD サイクル遅延) (注2) 1 1 1: A NOR C (1 PCLKD サイクル遅延) (注2)	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
9:4	ICLFSELC[5:0]	チャンネル間信号 C 選択 ^{(注1)(注2)} 0x00: GTIOC0A 0x01: GTIOC0B 0x02: GTIOC1A 0x03: GTIOC1B ⋮ 0x0A: GTIOC5A 0x0B: GTIOC5B その他: 設定禁止	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	ICLFB[2:0]	GTIOCnB 出力論理演算機能選択 0 0 0: B (遅延なし) 0 0 1: NOT B (遅延なし) 0 1 0: D (1 PCLKD サイクル遅延) 0 1 1: NOT D (1 PCLKD サイクル遅延) 1 0 0: B AND D (1 PCLKD サイクル遅延) ^(注3) 1 0 1: B OR D (1 PCLKD サイクル遅延) ^(注3) 1 1 0: B EXOR D (1 PCLKD サイクル遅延) ^(注3) 1 1 1: B NOR D (1 PCLKD サイクル遅延) ^(注3)	R/W
19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:20	ICLFSELD[5:0]	チャンネル間信号 D 選択 ^{(注1)(注3)} 0x00: GTIOC0A 0x01: GTIOC0B 0x02: GTIOC1A 0x03: GTIOC1B ⋮ 0x0A: GTIOC5A 0x0B: GTIOC5B その他: 設定禁止	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 出力禁止制御を実行する前に、信号が選択されます。

注 2. チャンネル自身の GTIOCnA が選択されると、C は 1 として扱われます。

注 3. チャンネル自身の GTIOCnB が選択されると、D は 1 として扱われます。

GTICLF レジスタはコンペアマッチ出力間の論理演算機能を設定します。コンペアマッチ制御後にデューティー 0%/100%処理を行った信号に対して、論理演算が実行されます。(出力禁止制御は論理演算後の信号に対して実行されます。)

GTICLF への 8 ビット単位でのアクセスはしないでください。

ICLFm[2:0]ビット (GTIOCnm 出力論理演算機能選択) (m = A, B)

これらのビットにより、GTIOCnm の出力禁止制御をする前の信号間の論理演算式を選択します。GPT 出力の障害を防ぐため、論理演算後の信号は、PCLKD でデータが取り込まれます。データが取り込まれたら、出力禁止制御を実行します。PCLKD 1 サイクルの遅延を生じる論理演算式を選択したとき、出力許可信号も同様に PCLKD 1 サイクル遅延して出力禁止制御に入力されます。

AND、OR、EXOR、NOR の論理演算を行う信号として同じ信号を選択した場合、一つの信号は 1 として取り扱われます。

ICLFSELk[5:0]ビット (チャンネル間信号 k 選択) (k = C, D)

本ビットは、GTIOCnm に対する出力禁止制御を実行する前に、論理演算が実行される信号 k を選択します。

20.2.25 GTPC : 汎用 PWM タイマ周期カウントレジスタ

Base address: $GPT32n = 0x4016\_9000 + 0x0100 \times n$ ($n = 0, 1$)
 $GPT16m = 0x4016\_9000 + 0x0100 \times m$ ($m = 2 \sim 4$)

Offset address: 0xBC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	PCNT[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ASTP	—	—	—	—	—	—	—	PCEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PCEN	周期計数機能許可 0: 周期計数機能は禁止 1: 周期計数機能は許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	ASTP	自動停止機能許可 0: 自動停止機能は禁止 1: 自動停止機能は許可	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
27:16	PCNT[11:0]	周期カウンタ 周期計数のカウンタ	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTPC レジスタは周期回数をカウントします。

PCEN ビット (周期計数機能許可)

周期計数機能を許可／禁止します。

計数が進行中、停止中いずれにおいても書き込み可能です。

GTSECR.SPCE ビットまたは GTSECR.SPCD ビットのどちらかに 1 が書き込まれたとき、GTSECSR レジスタにより 1 が設定されたチャンネルの PCEN ビットに値が同時に設定されます。

ASTP ビット (自動停止機能許可)

周期計数終了後の GTCNT カウンタ自動停止を許可／禁止します。

PCEN ビットが 0 のとき、書き込み可能です。

PCEN ビットが 1 のとき、書き込み禁止です。

PCEN ビットが 1 のとき、ASTP ビットが 1 でありかつ PCNT カウンタが PCNT = 0 で停止すると、GTCNT カウンタも停止します。ASTP ビットが 0 のときは、GTCNT はカウント動作を継続します。

PCNT[11:0] ビット (周期カウンタ)

周期回数をカウントするカウンタです。

PCEN ビットが 0 のとき、周期回数を書き込み可能です。

PCEN ビットが 1 のとき、書き込みは無効であり、周期の終わりでダウンカウントが実行されます。のこぎり波モードの場合、周期の終わりがオーバーフロー、アンダーフロー、またはカウンタクリアを表します。三角波モードの場合、周期の終わりは谷を表します。

周期の終わりに PCNT カウンタが 1 であるとき、カウンタは 0 になり、計数を停止します。

周期計数機能が許可された状態で、GTCNT カウンタが停止したとき、PCNT カウンタはその値を保持します。GTCNT カウンタがカウントを再開して PCEN ビットが 1 のとき、PCNT カウンタは保持していた値からダウンカウントを再開します。

PCNT カウンタが 0 かつ ASTP ビットが 1 の間に PCEN ビットが 0 から 1 に変化するとき、GTCNT カウンタがその直後にカウントクロックで停止します。

20.2.26 GTSECSR : 汎用 PWM タイマ動作許可ビット同時制御チャネル選択レジスタ

Base address: $GPT32n = 0x4016\_9000 + 0x0100 \times n$ ($n = 0, 1$)
 $GPT16m = 0x4016\_9000 + 0x0100 \times m$ ($m = 2 \sim 5$)

Offset address: 0xD0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	SECS EL5	SECS EL4	SECS EL3	SECS EL2	SECS EL1	SECS EL0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SECSEL0	チャンネル 0 動作許可ビット同時制御チャネル選択 0: 同時制御禁止 1: 同時制御許可	R/W
1	SECSEL1	チャンネル 1 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
2	SECSEL2	チャンネル 2 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
3	SECSEL3	チャンネル 3 動作許可ビット同時制御チャネル選択 0: 同時制御を禁止する 1: 同時制御を許可する	R/W
4	SECSEL4	チャンネル 4 動作許可ビット同時制御チャネル選択 0: 同時制御禁止 1: 同時制御許可	R/W
5	SECSEL5	チャンネル 5 動作許可ビット同時制御チャネル選択 0: 同時制御禁止 1: 同時制御許可	R/W
31:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTSECSR レジスタは、GTSECR レジスタにより動作許可ビットを更新するチャネル n ($n = 0 \sim 5$) を選択します。GTSECSR レジスタのビット位置はチャンネル番号を示します。各チャンネルの GTSECSR レジスタは共通レジスタで、任意のチャンネルの GTSECSR レジスタのビットに 1 を書き込み更新すると、GTSECSR レジスタにより 1 が書き込まれたビット位置に対応するチャンネルを GTSECR レジスタによる動作許可ビットで同時制御できるようにします。

セキュリティ属性がセキュアとして構成されたチャンネルに対応するビットは非セキュアアクセスで読み出し可能ですが、非セキュアアクセスで書き込みはできません。例えば、GPT チャンネル 0 がセキュアとして構成され、ほかの GPT が非セキュアで構成されている場合、GPT321.GTSECSR レジスタへの非セキュアアクセスで SECSEL0 ビットへの書き込みはできません。また、GPT チャンネル 0 の同時制御ステータスは変更されません。前の例と同じセキュリティ構成の非セキュアアクセスで GPT321.GTSECSR レジスタを読み出したときは、GPT チャンネル (SECSEL0 ビット) の同時制御ステータスも読み出せます。

GTSECSR へ 8 ビット単位、16 ビット単位でのアクセスはしないでください。32 ビット単位でアクセスしてください。

SECSELn ビット (動作許可ビット同時コントロールチャネル選択) (n = 0~5)

本ビットはチャネル n の動作許可の同時制御を許可または禁止します。

本ビットを 1 にすると、同時制御が許可されます。本ビットを 0 にすると、同時制御が禁止されます。

20.2.27 GTSECR : 汎用 PWM タイマ動作許可ビット同時制御レジスタ

Base address: GPT32n = 0x4016_9000 + 0x0100 × n (n = 0, 1)
GPT16m = 0x4016_9000 + 0x0100 × m (m = 2~5)

Offset address: 0xD4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	SPCD	—	—	—	—	—	—	—	SPCE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SBDP D	SBD D	—	—	—	—	—	—	SBD E	SBD E
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SBDCE	GTCCR レジスタバッファ動作同時許可 0: GTCCR レジスタバッファ動作を同時許可しない 1: GTCCR レジスタバッファ動作を同時許可する	R/W
1	SBDPE	GTPR レジスタバッファ動作同時許可 0: GTPR レジスタバッファ動作の同時許可を禁止 1: GTPR レジスタバッファ動作を同時許可	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	SBDCE	GTCCR レジスタバッファ動作同時禁止 0: GTCCR レジスタバッファ動作を同時禁止しない 1: GTCCR レジスタバッファ動作を同時禁止する	R/W
9	SBDPE	GTPR レジスタバッファ動作同時禁止 0: GTPR レジスタバッファ動作の同時禁止を禁止 1: GTPR レジスタバッファ動作を同時禁止	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	SPCE	周期計数機能の同時許可(注1) 0: 周期計数機能を同時許可しない 1: 周期計数機能を同時許可する	R/W
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	SPCD	周期計数機能の同時禁止(注1) 0: 周期計数機能を同時禁止しない 1: 周期計数機能を同時禁止する	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このビットは GPT320、GPT321、GPT162~GPT164 でのみ使用可能です。GPT165 でこのビットは 0 が読めます。書く場合、0 としてください。

GTSECR レジスタは、GTSECSR レジスタで設定されたチャネルの動作許可ビットの値を同時に更新します。

任意のチャネルの GTSECR レジスタのビットに 1 を書き込み更新すると、全ての GTSECSR レジスタで 1 が書かれたビット位置に関連する全チャネルの動作許可ビットが更新されます。

セキュリティ属性がセキュアとして構成されているチャネルの GTSECR レジスタは、非セキュアアクセスで書き込みできません。例えば、GPTn がセキュアとして構成されほかの GPT が非セキュアで構成されている場合、たとえ GPTn の同時制御が許可されていても、GPTn.GTSECR レジスタを GPTn+1.GTSECR レジスタへの非セキュアアクセスで書き込みできず、GPTn の同時制御ステータスは変更できません。

GTSECR レジスタの同じ動作許可ビットの許可/禁止ビットを 1 に設定することは禁止です。

1 を書き込んだビットは自動的にクリアされます。GTSECR は読むと 0 が読めます。

GTSECR レジスタは、8 ビットまたは 16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

SBDCE ビット (GTCCR レジスタバッファ動作同時許可)

本ビットに 1 を書いたとき、GTSECSR レジスタで 1 が設定されたチャネルの GTBER.BD[0] ビットに同時に 0 が設定され、GTCCRA、GTCCRC、GTCCRD レジスタと GTCCRB、GTCCRE、GTCCRF レジスタを使ったバッファ動作が許可されます。

SBDCE ビットと SBDCE ビットを同時に 1 に設定することは禁止です。

SBDPE ビット (GTPR レジスタバッファ動作同時許可)

このビットに 1 を書いたとき、GTSECSR レジスタで 1 が設定されたチャネルの GTBER.BD[1] ビットに同時に 0 が設定され、GTPR レジスタおよび GTPBR レジスタを使ったバッファ動作が許可されます。

SBDPE ビットと SBDPE ビットを同時に 1 に設定することは禁止です。

SBDCE ビット (GTCCR レジスタバッファ動作同時禁止)

本ビットに 1 を書いたとき、GTSECSR レジスタで 1 が設定されたチャネルの GTBER.BD[0] ビットに同時に 1 が設定され、GTCCRA、GTCCRC、GTCCRD レジスタと GTCCRB、GTCCRE、GTCCRF レジスタを使ったバッファ動作が禁止されます。

SBDCE ビットと SBDCE ビットを同時に 1 に設定することは禁止です。

SBDPE ビット (GTPR レジスタバッファ動作同時禁止)

このビットに 1 を書いたとき、GTSECSR レジスタで 1 が設定されたチャネルの GTBER.BD[1] ビットに同時に 1 が設定され、GTPR レジスタおよび GTPBR レジスタを使ったバッファ動作が禁止されます。

SBDPE ビットと SBDPE ビットを同時に 1 に設定することは禁止です。

SPCE ビット (周期計数機能の同時許可^(注1))

本ビットに 1 を書いたとき、GTSECSR レジスタで 1 が設定されたチャネルの GTPC.PCEN ビットに同時に 1 が設定され、周期計数機能が許可されます。

SPCE ビットと SPCD ビットを同時に 1 に設定することは禁止です。

SPCD ビット (周期計数機能の同時禁止^(注1))

本ビットに 1 を書いたとき、GTSECSR レジスタで 1 が設定されたチャネルの GTPC.PCEN ビットに同時に 0 が設定され、周期計数機能が禁止されます。

SPCE ビットと SPCD ビットを同時に 1 に設定することは禁止です。

20.2.28 OPSCR : 出力相切り替えコントロールレジスタ

Base address: GPT_OPS = 0x4016_9A00

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	NFCS[1:0]		NFEN	—	—	GODF	GRP[1:0]		—	—	ALIGN	RV	INV	N	P	FB
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	EN	—	W	V	U	—	WF	VF	UF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	UF	入力相ソフト設定	R/W
1	VF	ソフトウェア設定により入力相を設定します。	R/W
2	WF	OPSCR.FB = 1 のとき、これらのビットの設定が有効になります。	R/W

ビット	シンボル	機能	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	U	入力 U 相監視 入力相の状態を監視します。 OPSCR.FB = 0 : PCLKD と同期した外部入力 OPSCR.FB = 1: ソフトウェア設定 (UF ビット)	R
5	V	入力 V 相監視 入力相の状態を監視します。 OPSCR.FB = 0 : PCLKD と同期した外部入力 OPSCR.FB = 1: ソフトウェア設定 (VF ビット)	R
6	W	入力 W 相監視 入力相の状態を監視します。 OPSCR.FB = 0 : PCLKD と同期した外部入力 OPSCR.FB = 1: ソフトウェア設定 (WF ビット)	R
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	EN	出力相許可 0: 出力しない (外部端子は Hi-Z) 1: 出力する ^(注1)	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	FB	外部フィードバック信号許可 入力相をソフトウェア設定値と外部入力から選択します。 0: 外部入力を選択 1: ソフトウェア設定 (OPSCR.UF、VF、WF ビット) を選択	R/W
17	P	正相出力 (P) 制御 0: レベル信号出力 1: PWM 信号出力	R/W
18	N	逆相出力 (N) 制御 0: レベル信号出力 1: PWM 信号出力	R/W
19	INV	出力相反転制御 0: 正論理 (アクティブ High) を出力 1: 負論理 (アクティブ Low) を出力	R/W
20	RV	出力相回転方向反転 0: 正回転 1: 逆回転	R/W
21	ALIGN	入力相アライメント 0: 入力相を PCLKD に調整 1: 入力相を PWM の立ち下がりエッジに調整	R/W
23:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	GRP[1:0]	出力禁止要因選択 0 0: グループ A 出力禁止要因を選択 0 1: グループ B 出力禁止要因を選択 1 0: グループ C 出力禁止要因を選択 1 1: グループ D 出力禁止要因を選択	R/W
26	GODF	グループ出力禁止機能 0: このビット機能を無視 1: グループ禁止で OPSCR.EN ビットをクリア ^(注1)	R/W
28:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29	NFEN	外部入力ノイズフィルタ有効 0: 外部入力にノイズフィルタを使用しない 1: 外部入力にノイズフィルタを使用する	R/W
31:30	NFCS[1:0]	外部入力ノイズフィルタクロック選択 外部入力のノイズフィルタサンプリングクロック設定 0 0: PCLKD/1 0 1: PCLKD/4 1 0: PCLKD/16 1 1: PCLKD/64	R/W

注 1. OPSCR.GODF ビット=1 の場合、OPSCR.GRP[1:0]ビットで選択した信号値が High であると、OPSCR.EN ビットは 0 になります。OPSCR レジスタは、ブラシレス DC モーター制御に必要な信号波形の出力を設定するレジスタです。

UF, VF, WF ビット (入力相ソフト設定)

UF、VF、WF ビットはソフトウェア設定からの入力相を設定します。OPSCR.FB ビットが 1 の場合に、これらのビットが有効になります。UF /VF /WF ビットの設定値が U/V/W 外部入力に代わりになります。

U, V, W ビット (入力相監視)

OPSCR.FB ビットが 0 の場合、PCLKD と同期した外部入力をこれらのビットで監視します。OPSCR.FB ビットが 1 の場合、OPSCR.U、OPSCR.V、および OPSCR.W ビットは OPSCR.UF、OPSCR.VF、および OPSCR.WF ビットを読み出し可能です。

EN ビット (出力相許可)

EN ビットは出力相 (正相／逆相) の出力許可信号を制御します。

OPSCR.EN ビットが 1 の時に出力します。

OPSCR.EN ビットが 0 のとき、まず OPSCR.FB、OPSCR.UF/VF /WF (ソフトウェア設定選択)、OPSCR.P/N、OPSCR.INV、OPSCR.RV、OPSCR.ALIGN、OPSCR.GRP[1:0]、OPSCR.GODF、OPSCR.NFEN、OPSCR.NFCS を設定してください。それから、EN ビットを 1 に設定してください。EN ビットは POEG から出力禁止要求が発生していない場合に設定してください。また、OPSCR.GODF ビットが 1 かつ OPSCR.GRP[1:0]ビットで選択した信号値が High になると、OPSCR.EN ビットは 0 になります。ソフトウェアで 1 が書かれても、EN ビットは 0 のままです。

復帰の場合は、ソフトウェアで出力禁止要求をクリア後に EN ビットを 1 に設定してください。

EN ビットの優先順位は以下のとおりです (競合発生時)。

EN ビットでソフトウェアによる 1 書き込みと出力禁止要求による 0 クリアが競合している場合は、出力禁止要求による 0 クリアが有効です。

FB ビット (外部フィードバック信号許可)

FB ビットは入力相にソフトウェアで設定した値 (OPSCR.UF, VF, WF) を用いるか、ホールエレメントのような外部入力を用いるかを選択します。

P ビット (正相出力 (P) 制御)

P ビットは正相出力 (GTOUUP 端子、GTOVUP 端子、GTOWUP 端子) に対して、レベル信号出力または PWM 信号出力のどちらかを選択します。

N ビット (逆相出力 (N) 制御)

N ビットは逆相出力 (GTOULO 端子、GTOVLO 端子、GTOWLO 端子) に対して、レベル信号出力または PWM 信号出力のどちらかを選択します。

INV ビット (出力相反転制御)

INV ビットは出力相として、正論理 (アクティブ High) 出力、または負論理 (アクティブ Low) 出力のどちらかを選択します。

RV ビット (出力相回転方向反転)

RV ビットは V 相／W 相を入れ替えることにより、モーターの回転方向を反転させます。

ALIGN ビット (入力相アライメント)

ALIGN ビットは入力相のサンプリングとして、PCLKD または PWM を選択します (入力相は OPSCR.FB ビットで指定)。

OPSCR.ALIGN ビットが 0 のとき、入力相は PCLKD に調整されます。

注. チョッピングが実行される場合、出力 PWM パルス幅は出力相切り替えの前後において、チョップに使用された PWM パルス幅よりも短パルスになる場合があります。これは、パルス出力切り替えタイミングと PWM 相の差分によります。

OPSCR.ALIGN ビットが 1 のとき、入力相は PWM の立ち下がりエッジに調整されます。

GRP[1:0]ビット（出力禁止要因選択）

GRP[1:0]ビットは出力禁止要因を選択します。

GODF ビットが 0 のときに GRP ビットを設定してください。GRP ビットが接続グループ以外の POEG を選択するとき、出力端子のステータスは禁止に変わりません。

GODF ビット（グループ出力禁止機能）

OPSCR.GODF=1 かつ OPSCR.GRP[1:0]ビットで選択した要因の信号値が High になると、OPSCR.EN ビットを 0 クリアします。

OPSCR.GODF=0 の時は、本ビットは無視されます。

GODF ビットは POEG から出力禁止要求が発生していない場合に設定してください。

NFEN ビット（外部入力ノイズフィルタ有効）

NFEN ビットは外部入力用のノイズフィルタを選択します。OPSCR.NFEN ビットが 0 の場合、外部入力にノイズフィルタは使用されません。

注. 本ビットの切り替えにより生じる、意図しない内部エッジの発生を避けるために、EN ビットが 0 の間に本ビットを設定してください。

NFCS[1:0]ビット（外部入力ノイズフィルタクロック選択）

NFCS[1:0]ビットは外部入力用のノイズフィルタのクロックを選択します。OPSCR.NFEN ビットが 1 の場合、外部入力のノイズフィルタサンプリングクロック設定が有効になります。

1. NFCS[1:0]ビットを設定します。
2. クロックの 2 周期分待ちます。
3. OPSCR.EN ビットを 1 にします。

20.3 動作説明

20.3.1 基本動作

各チャネルには 32 ビットおよび 16 ビットタイマがあり、各タイマは、カウントクロックとハードウェア要因を用いて周期的なカウント動作を実行します。カウント機能にはアップカウントとダウンカウントの両方があります。GTPR レジスタがカウント周期を制御します。

GTCNT カウンタ値が GTCCRA レジスタまたは GTCCRB レジスタの値に一致すると、対応する GTIOCN_A 端子または GTIOCN_B 端子からの出力を変更できます ($n=0\sim5$)。GTCCRA レジスタまたは GTCCRB レジスタは、ハードウェア要因によるインプットキャプチャレジスタとして使用できます。

GTCCRC および GTCCRD レジスタは、GTCCRA レジスタ用のバッファレジスタとしても機能します。また、GTCCRE および GTCCRF レジスタは、GTCCRB レジスタ用のバッファレジスタとしても機能します。

20.3.1.1 カウンタの動作

(1) カウンタスタート/ストップ

各チャネルのカウンタは、GTCR.CST ビットを 1 にするとカウント動作を開始し、GTCR.CST ビットを 0 にするとカウント動作を停止します。GTCR.CST ビット値は以下の要因によって変化します。

- GTCR レジスタへの書き込み
- GTSSR.CSTRT ビットが 1 になっている場合、GTSTR レジスタの GPT チャネル番号に対応したビットへの 1 の書き込み
- GTPSR.CSTOP ビットが 1 になっている場合、GTSTP レジスタの GPT チャネル番号に対応したビットへの 1 の書き込み
- GTSSR レジスタで選択したハードウェア要因
- GTPSR レジスタで選択したハードウェア要因
- GTPC.ASTP ビットが 1 の状態での周期計数機能の終了

(2) カウントクロックによるアップカウント時の周期カウント動作

各チャネルの GTCNT カウンタは、GTUPSR レジスタおよび GTDNSR レジスタを 0x00000000 にした状態で、対応する GTCR.CST ビットを 1 にすると、アップカウントを開始します。GTCNT カウンタ値が GTPR 値から 0 に変化（オーバーフロー）すると、GTST.TCFPO フラグが 1 になり、オーバーフロー割り込み (GPTn_OVF) も発生します。GTCNT カウンタはオーバーフロー後、0x00000000 からアップカウントを再開します。

図 20.3 にカウントクロックによるアップカウント時の周期カウント動作例を示します。

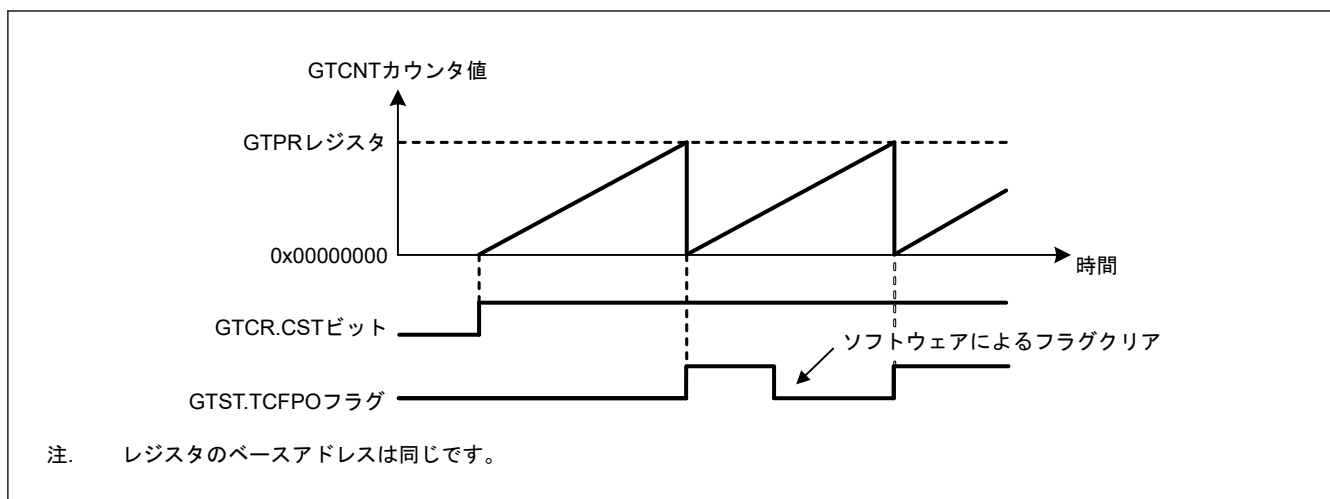


図 20.3 カウントクロックによるアップカウント時の周期カウント動作例

表 20.5 にカウントクロックによるアップカウント時の周期カウント動作の設定例を示します。

表 20.5 カウントクロックによるアップカウント時の周期カウント動作の設定例

No.	手順名	説明
1	動作モード設定	GTCCR.MD[2:0]ビットで動作モードを設定します。 図 20.3 では 000b (のこぎり波 PWM モード) を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.3 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。（図 20.3 では 0x00000000 を設定）
6	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

(3) カウントクロックによるダウンカウント時の周期カウント動作

各チャネルの GTCNT カウンタは、GTUPSR および GTDNSR レジスタを 0x00000000 にした状態で、GTUDDTYC.UD ビットを設定することにより、ダウンカウントを実行できます。GTCNT カウンタ値が 0 から GTPR 値に変化（アンダーフロー）すると、GTST.TCFPU フラグが 1 になり、アンダーフロー割り込み (GPTn_UDF) も発生します。GTCNT カウンタはアンダーフロー後、GTPR 値からダウンカウントを再開します。

図 20.4 にカウントクロックによるダウンカウント時の周期カウント動作例を示します。

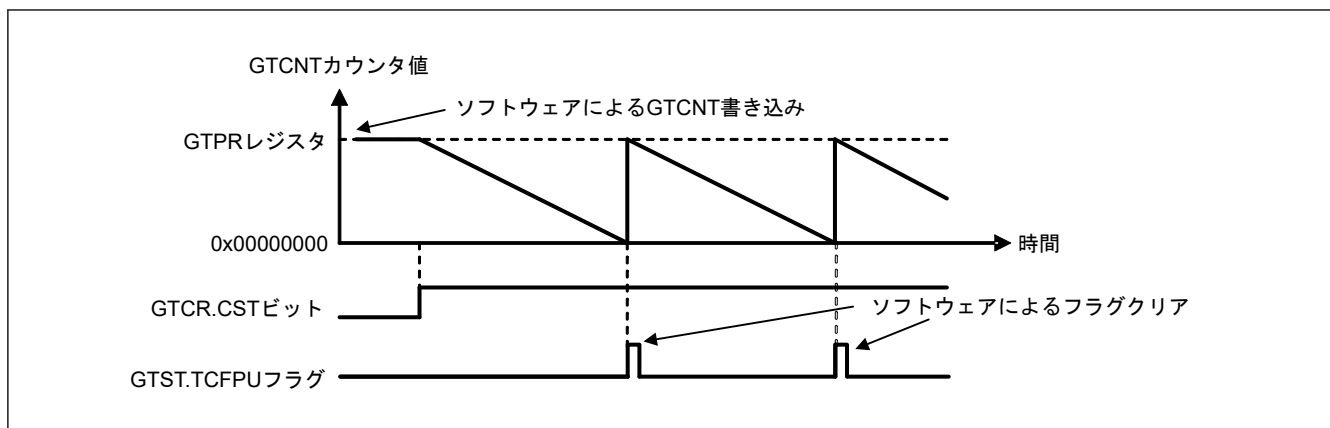


図 20.4 カウントクロックによるダウンカウント時の周期カウント動作例

表 20.6 にカウントクロックによるダウンカウント時の周期カウント動作の設定例を示します。

表 20.6 カウントクロックによるダウンカウント時の周期カウント動作の設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.4 では 000b (のこぎり波 PWM モード) を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向を設定します。 図 20.4 では GTUDDTYC[1:0]ビットに 10b を設定してから GTUDDTYC[1:0]ビットに 00b を設定します (ダウンカウント)。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 20.4 では GTPR 値を設定します。
6	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。 図 20.4 では、CST ビットに 1 を設定します。

(4) ハードウェア要因によるアップカウント時のイベントカウント動作

各チャンネルの GTCNT カウンタは、GTUPSR レジスタで設定したハードウェア要因を使用して、アップカウントを行うことができます。

GTUPSR レジスタが設定されている場合、GTCR.TPCS[3:0]ビットで選択したカウントクロック、および GTUDDTYC.UD ビットで選択したカウント方向は無効です。ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。ハードウェア要因によるアップカウント時のオーバーフロー動作は、カウントクロックによるアップカウント動作と同じです。

アップカウントにハードウェア要因を使用している場合は、GTCR.CST ビットを 1 にしてカウント動作を有効にしてください。カウント動作は GTCR.TPCS[3:0]ビットで選択されたカウントクロックに同期しているため、GTCR.CST ビットを 1 にした後、GTCR.TPCS[3:0]ビットで指定された 1 クロックサイクルの間、カウンタはアップカウント動作を行うことができません。GTCR.CST ビットを 1 にした 1PCLKD 後からアップカウントを行うためには、GTCR.TPCS[3:0]ビットを 000b にしてください。

図 20.5 にハードウェア要因 (GTETRGA 端子入力の立ち上がりエッジ) によるアップカウント時のイベントカウント動作例を示します。

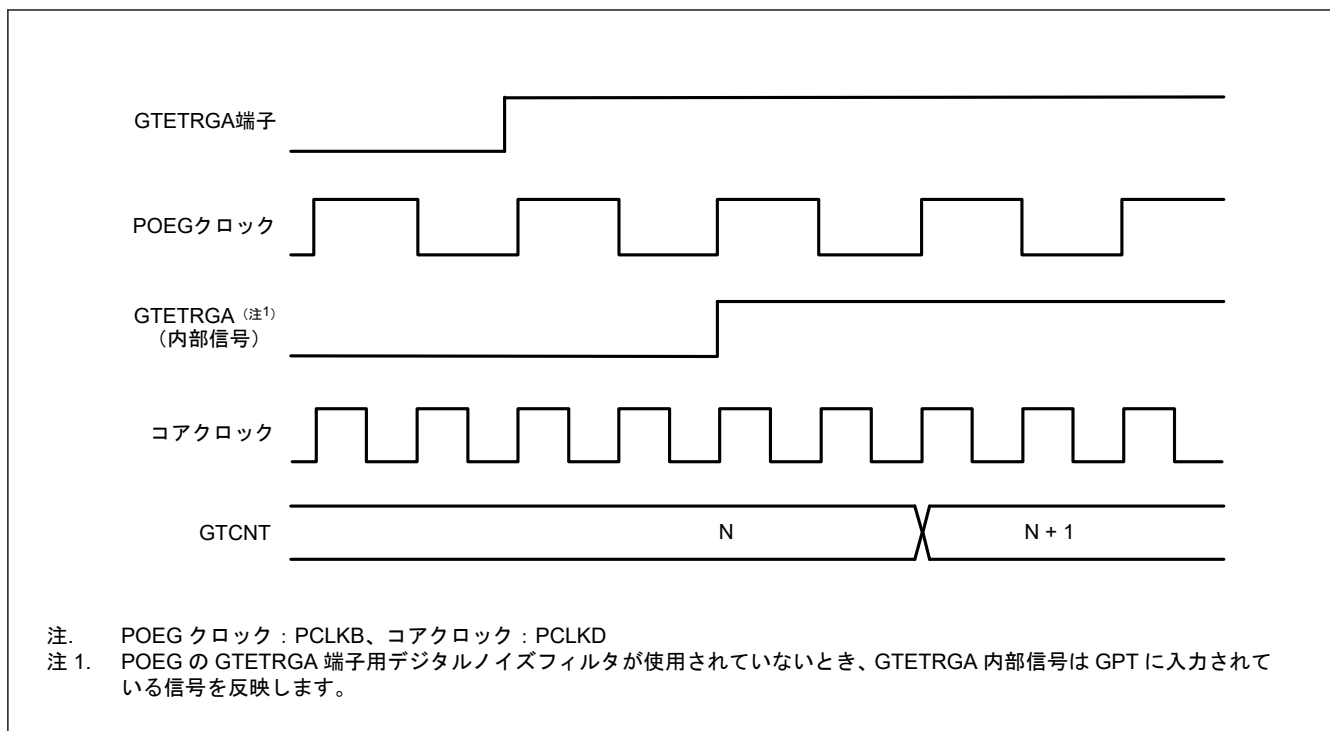


図 20.5 ハードウェア要因によるアップカウント時のイベントカウント動作例

表 20.7 にハードウェア要因によるアップカウント時のイベントカウント動作の設定例を示します。

表 20.7 ハードウェア要因によるアップカウント時のイベントカウント動作の設定例

No.	ステップ名	説明
1	カウント要因設定	GTUPSR レジスタでアップカウントのハードウェア要因を選択します。
2	周期設定	GTPR レジスタに周期を設定します。
3	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
4	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

(5) ハードウェア要因によるダウンカウント時のイベントカウント動作

各チャネルの GTCNT カウンタは、GTDNSR レジスタで設定したハードウェア要因を使用して、ダウンカウントを行うことができます。

GTDNSR レジスタが設定されている場合、GTCR.TPCS[3:0] ビットで選択したカウントクロック、および GTUDDTYC.UD ビットで選択したカウント方向は無効です。ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。ハードウェア要因によるダウンカウント時のアンダーフロー動作は、カウントクロックによるダウンカウント時のアンダーフロー動作と同じです。

GTCR.CST ビットを 1 にしてハードウェア要因によるダウンカウントを行うと、カウント動作が有効になります。カウント動作は GTCR.TPCS[3:0] ビットで選択されたカウントクロックに同期しているため、GTCR.CST ビットを 1 にした後、GTCR.TPCS[3:0] ビットで指定された 1 クロックサイクルの間、カウンタはダウンカウント動作を行うことができません。GTCR.CST ビットを 1 にした 1PCLKD 後からダウンカウントを行うためには、GTCR.TPCS[3:0] ビットを 000b にしてください。

図 20.6 にハードウェア要因 (GTETRGA の立ち上がりエッジ) によるダウンカウント時のイベントカウント動作例を示します。

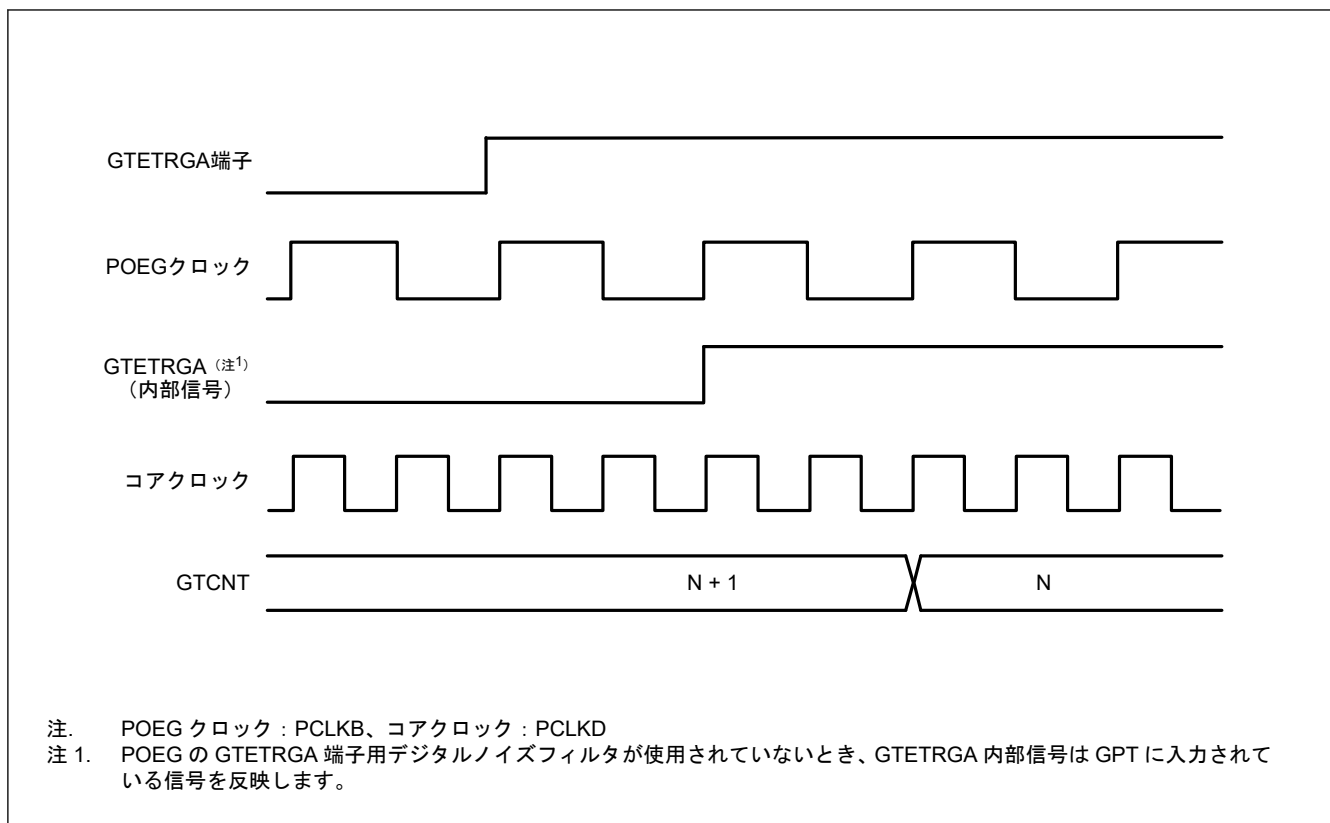


図 20.6 ハードウェア要因によるダウンカウント時のイベントカウント動作例

表 20.8 にハードウェア要因によるダウンカウント時のイベントカウント動作の設定例を示します。

表 20.8 ハードウェア要因によるダウンカウント時のイベントカウント動作の設定例

No.	ステップ名	説明
1	カウント要因設定	GTDNSR レジスタでダウンカウントのハードウェア要因を選択します。
2	周期設定	GTPR レジスタに周期を設定します。
3	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
4	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

(6) カウンタクリア動作

各チャネルのカウンタは、下記の要因でクリアすることが可能です。

- GTCNT レジスタへの 0 の書き込み
- GTCSR.CCLR ビットが 1 の状態での GTCLR レジスタのチャネル番号に対応するビットへの 1 書き込み
- GTCSR レジスタで選択したハードウェア要因

カウント動作中は、GTCNT レジスタに書き込むことはできません。GTCLR レジスタへの 1 の書き込みおよびハードウェア要因によるクリア要求により、GTCNT カウンタが動作中 (GTCR.CST = 1) の場合でも、停止中 (GTCR.CST = 0) の場合でも GTCNT カウンタをクリアすることができます。

GTCR.MD[2:0] ビットで選択されたのこぎり波モードで、カウント方向フラグがデクリメント (GTST.TUCF = 0) の場合、GTCLR レジスタへ 1 を書き込み、かつハードウェア要因によりクリアするとき、GTCNT レジスタは GTPR レジスタの値になります。

のこぎり波モードやダウンカウントではない場合、GTCLR レジスタへ 1 を書き込み、かつハードウェア要因によりクリアするとき、GTCNT レジスタは 0 になります。

GTUPSR レジスタまたは GTDNSR レジスタの少なくとも 1 つのビットが 1 になっている場合のイベントカウント動作では、クリア要因の発生後、GTCLR レジスタへの書き込みとハードウェア要因によるクリアの両方が直

ちに実行され、PCLKD と同期が取られます。その他の設定を使用すると、GTCR.TPCS[3:0] ビットで選択されたカウンタクロックと同期してクリアが実行されます。

20.3.1.2 コンペアマッチによる波形出力機能

コンペアマッチとは、GTCNT カウンタ値が GTCCRA レジスタ値または GTCCRB レジスタ値と一致することを意味します。コンペアマッチが発生すると、イベントカウントを含むカウントクロックと同期して、コンペアマッチフラグが発生します。同時に、GPT は対応する GTIOCN_A 出力端子または GTIOCN_B 出力端子から Low 出力、High 出力、またはトグル出力を行うことができます ($n=0\sim5$)。さらに、GTPR レジスタで決定される周期の終わりにおいても、GTIOCN_A 端子出力または GTIOCN_B 端子出力を Low 出力、High 出力、またはトグル出力にすることができます。

“周期の終わり”とは、以下の場合です。

- アップカウント時ののこぎり波の場合：GTCNT カウンタが GTPR 値から 0 に変化したとき（オーバーフロー）
- ダウンカウント時ののこぎり波の場合：GTCNT カウンタが 0 から GTPR 値に変化したとき（アンダーフロー）
- のこぎり波の場合：GTCNT カウンタがクリアされたとき
- 三角波の場合：GTCNT カウンタが 0 から 1 に変化したとき（谷）

(1) Low 出力／High 出力

図 20.7 に GTCCRA および GTCCRB レジスタのコンペアマッチによる Low 出力／High 出力の動作例を示します。

この例では、GTCNT カウンタがアップカウント動作を行い、GTCCRA レジスタのコンペアマッチによって GTIOCN_A 端子から High が出力され、GTCCRB レジスタのコンペアマッチによって GTIOCN_B 端子から Low が出力されるように設定しています。設定したレベルと端子レベルが一致した場合は、端子レベルは変化しません。

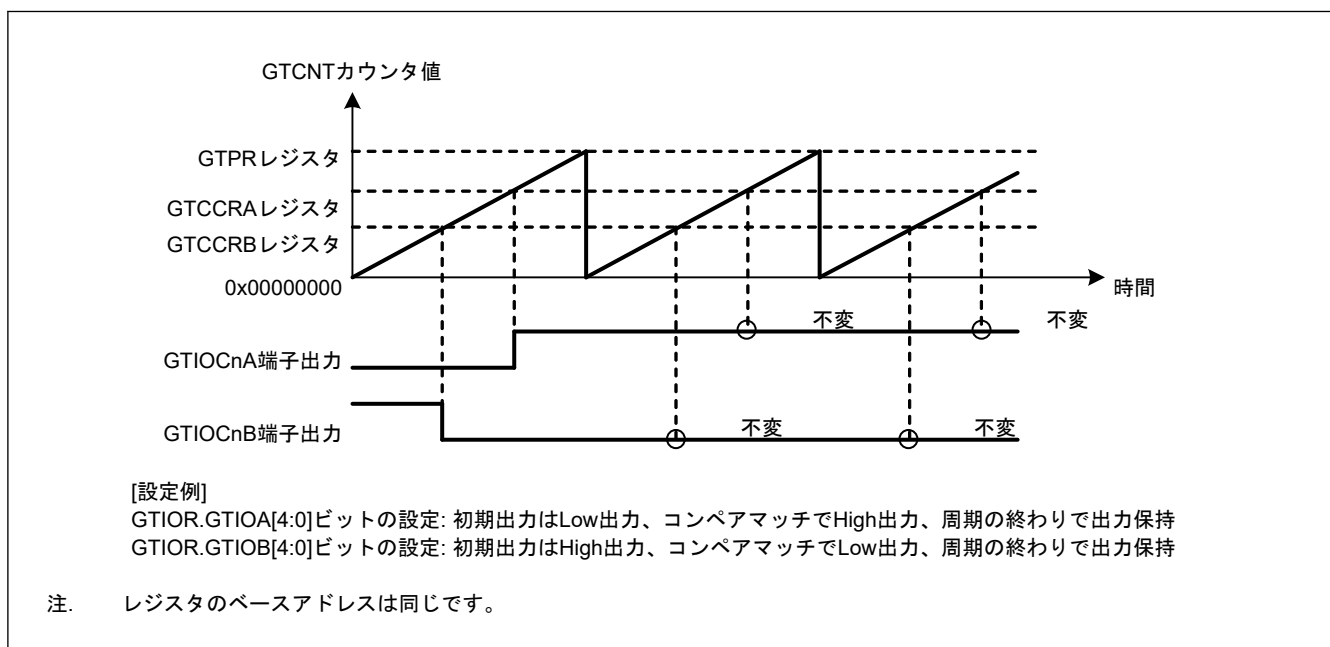


図 20.7 Low 出力／High 出力動作例

表 20.9 に Low 出力／High 出力動作の設定例を示します。

表 20.9 Low 出力／High 出力動作の設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.7 では 000b（のこぎり波 PWM モード）を設定します。

表 20.9 Low 出力/High 出力動作の設定例 (2/2)

No.	手順名	説明
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ/ダウン）を設定します。 図 20.7 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 20.7 では、GTIOA[4:0] = 00010b、GTIOB[4:0] = 10001b
7	GTIOCnm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	コンペアマッチ値設定	GTCCRA レジスタ、GTCCRB レジスタにコンペアマッチ値を設定します。
9	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

注. n : 0~5
m: A, B

(2) トグル出力

図 20.8 および図 20.9 に GTCCRA および GTCCRB レジスタのコンペアマッチによるトグル出力動作例を示します。

図 20.8 は、GTCNT カウンタがアップカウント動作を行い、GTCCRA レジスタのコンペアマッチと、GTCCRB レジスタのコンペアマッチによって、それぞれ GTIOCnA 端子と GTIOCnB 端子がトグル出力となるように設定した例です。

図 20.9 は、GTCNT カウンタがアップカウント動作を行い、GTCCRA レジスタのコンペアマッチによって GTIOCnA 端子がトグル出力となり、周期の終わりで GTIOCnB 端子がトグル出力となるように設定した例です。

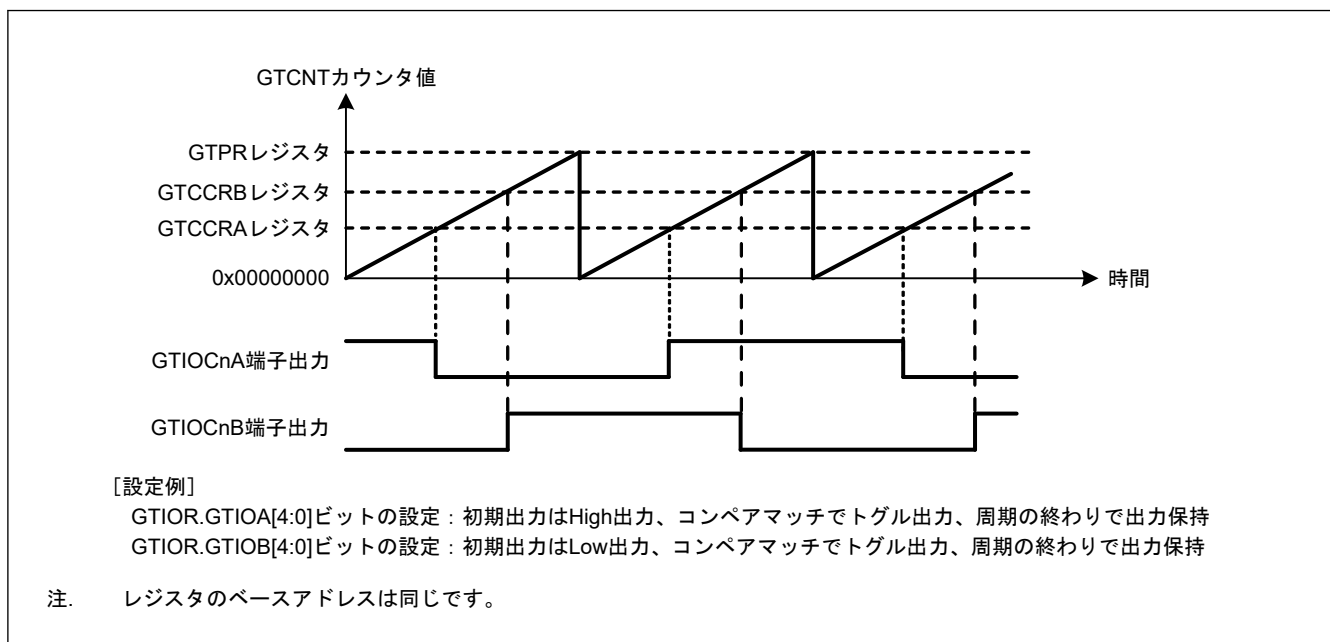
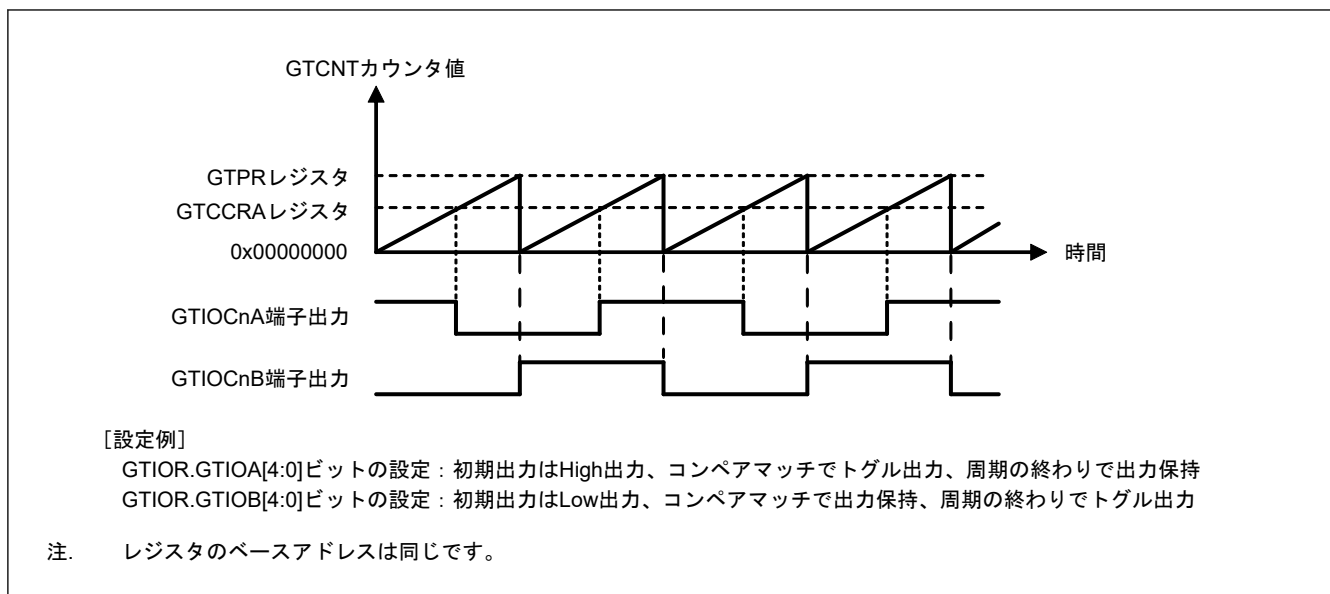


図 20.8 トグル出力動作例 (1)



20.3.1.3 インพุットキャプチャ機能

GTICASR レジスタおよび GTICBSR レジスタに設定されたハードウェア要因の検出時に、GTCCR.A レジスタまたは GTCCRB レジスタのいずれか一方に GTCNT カウンタ値を転送できます。

インพุットキャプチャ機能の動作例を図 20.10 に示します。

この例では、カウントクロックで GTCNT カウンタがアップカウント動作を行い、GTIOAnA 入力端子の両エッジで GTCCR.A レジスタにインพุットキャプチャを実行し、GTIOAnB 入力端子の立ち上がりエッジで GTCCRB レジスタにインพุットキャプチャを実行するように設定しています。

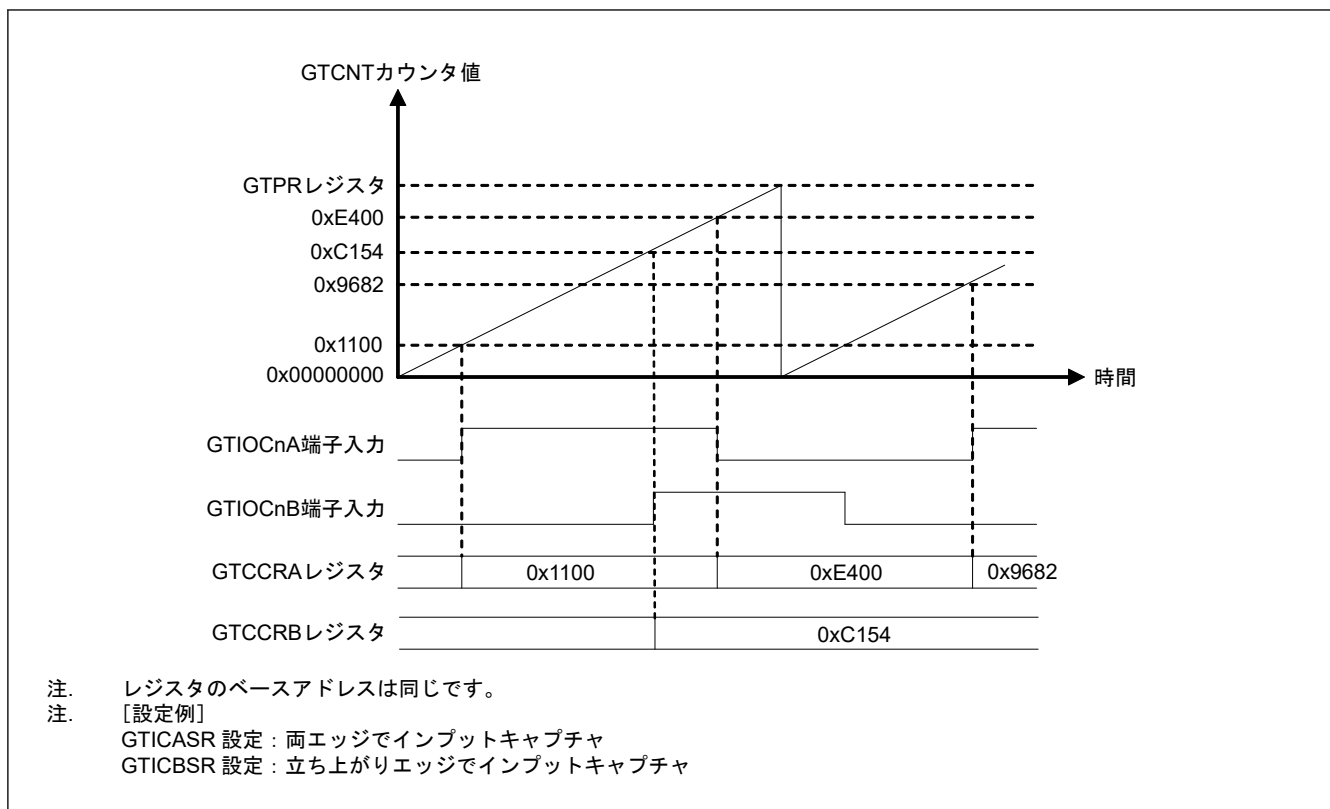


図 20.10 インプットキャプチャ動作例

カウントクロックによるカウント動作でのインプットキャプチャ動作の設定例を表 20.11 と表 20.14 に示します。

表 20.11 インプットキャプチャ動作設定例

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.10 では 000b (のこぎり波 PWM モード) を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向 (アップ/ダウン) を設定します。 図 20.10 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します (アップカウント)。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	インプットキャプチャ要因の選択	GTICASR レジスタおよび GTICBSR レジスタでインプットキャプチャ要因を選択します。 図 20.10 では、GTICASR = 0x00000F00、GTICBSR = 0x00003000
7	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

20.3.2 バッファ動作

GTBER レジスタによって、以下のバッファ動作の設定が可能です。

- GTPR レジスタ、GTPBR レジスタ
- GTCCRA レジスタ、GTCCRC レジスタ、GTCCRD レジスタ
- GTCCRB レジスタ、GTCCRE レジスタ、GTCCRF レジスタ

20.3.2.1 GTPR レジスタのバッファ動作

GTPBR レジスタは、GTPR レジスタ用のバッファレジスタとして機能します。

バッファ転送は、のこぎり波モードまたはイベントカウントでは、オーバーフロー時（アップカウント中）またはアンダーフロー時（ダウンカウント中）に実行されます。また、三角波モードでは谷で実行されます。

のこぎり波モードまたはイベントカウントでは、カウント中に以下のカウンタクリア動作が発生すると、バッファ転送が実行されます。

- ハードウェア要因によるクリア（クリア要因は GTCSR レジスタで選択）
- ソフトウェアによるクリア（GTCSR.CCLR ビットが 1、GTCLR.CCLRn ビットが 1、n = 0～5）

GTPR レジスタをバッファとして機能するように設定する場合は、GTBER.PR ビットを 1 にしてください。GTPR レジスタをバッファとして機能しないように設定する場合は、GTBER.PR ビットを 0 にしてください。

図 20.11～図 20.13 に GTPR レジスタのバッファ動作例を、表 20.12 に GTPR レジスタのバッファ動作の設定例を示します。

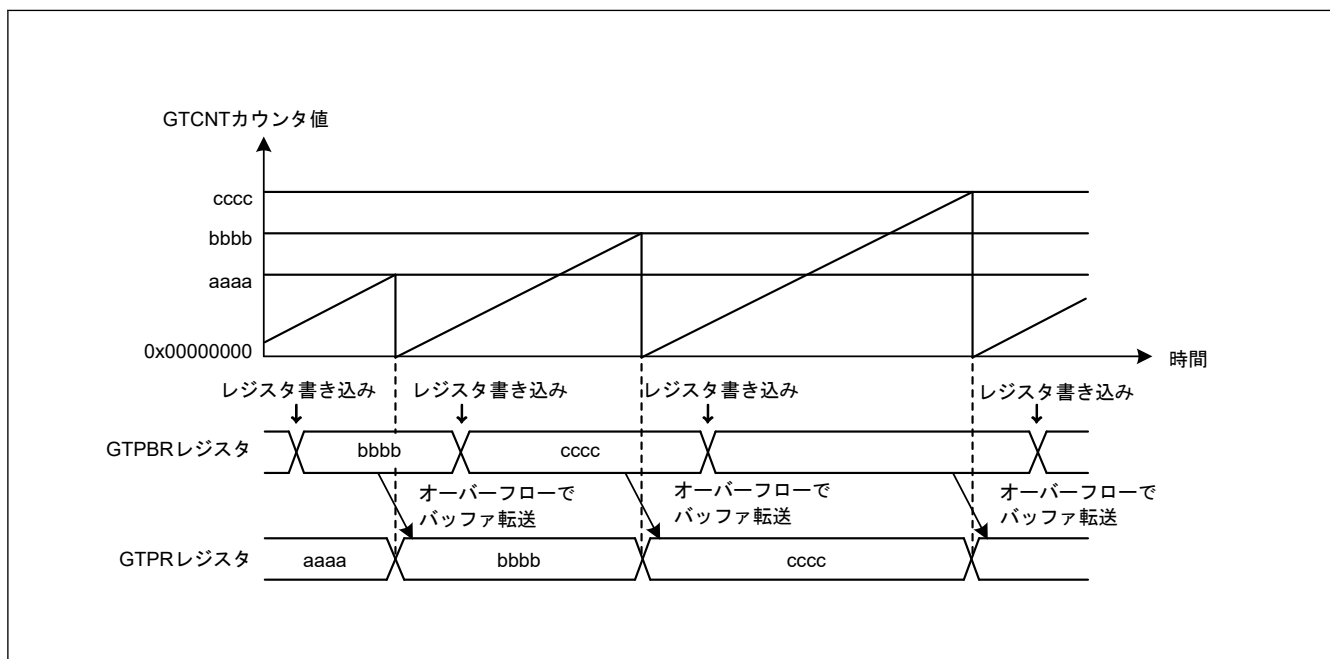


図 20.11 GTPR レジスタのバッファ動作例（のこぎり波でアップカウントの場合）

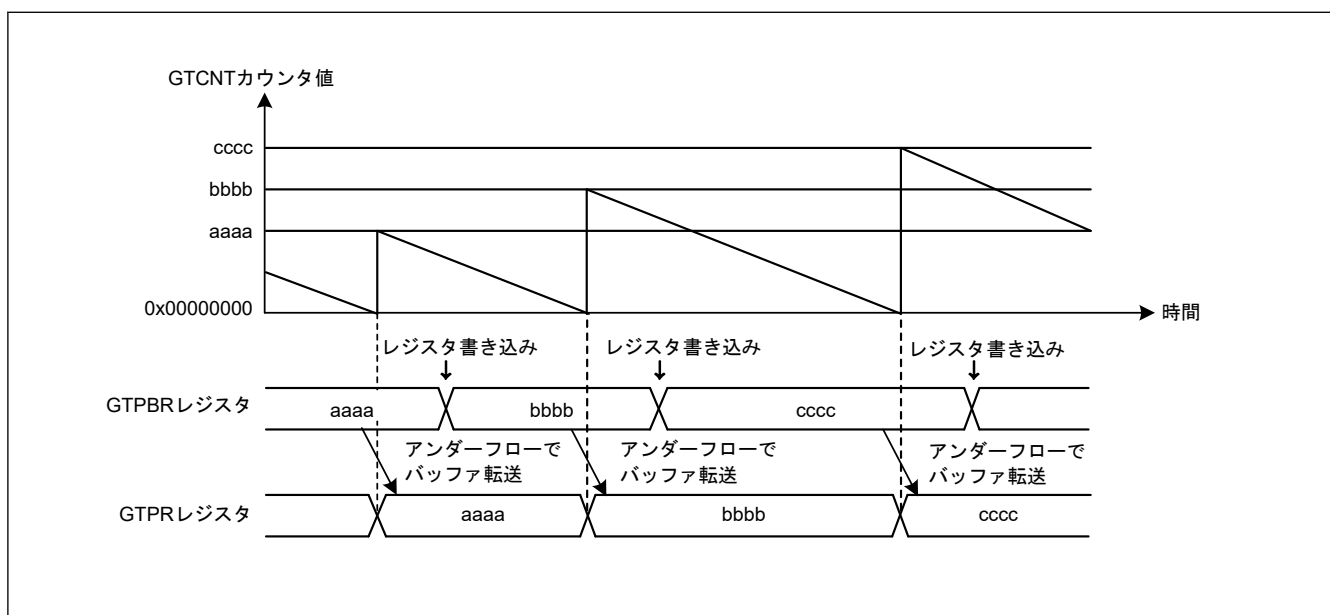


図 20.12 GTPR レジスタのバッファ動作例（のこぎり波でダウンカウントの場合）

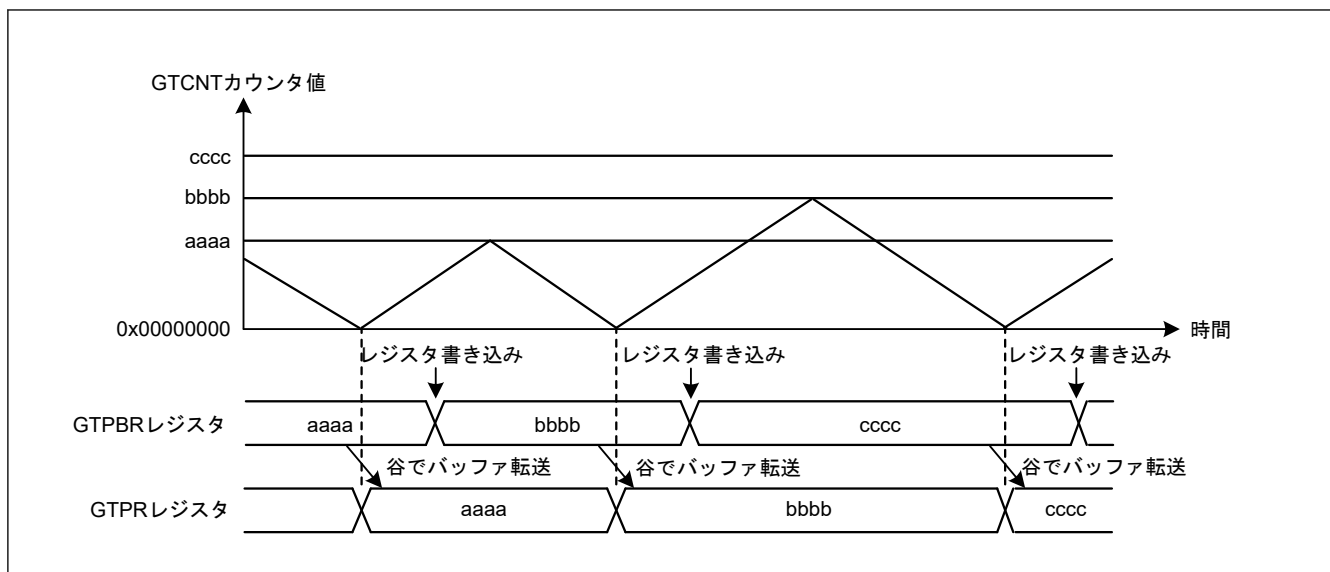


図 20.13 GTPR レジスタのバッファ動作例（三角波の場合）

表 20.12 GTPR レジスタのバッファ動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.11 と図 20.12 では 000b（のこぎり波 PWM モード）、図 20.13 では 100b（三角波 PWM モード 1）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ/ダウン）を設定します。 図 20.11 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。図 20.12 では GTUDDTYC[1:0]ビットに 10b を設定してから GTUDDTYC[1:0]ビットに 00b を設定します（ダウンカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	バッファ動作の設定	GTBER.PR[1:0]ビットでバッファ動作を設定します。図 20.11、図 20.12、および図 20.13 では PR[1:0] = 01b
7	バッファ値設定	バッファ動作時は、現在の周期から 1 周期後の周期を GTPBR レジスタに設定します。
8	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
9	周期ごとのバッファ値設定	バッファ動作時は、現在の周期から 1 周期後の周期を GTPBR レジスタに設定します。

20.3.2.2 GTCCRA、GTCCRB レジスタのバッファ動作

GTCCRC レジスタは GTCCRA レジスタ用のバッファレジスタとして、GTCCRD レジスタは GTCCRC レジスタ用のバッファレジスタ（すなわち、GTCCRA レジスタ用のダブルバッファレジスタ）として機能します。同様に、GTCCRE レジスタは GTCCRB レジスタ用のバッファレジスタとして、GTCCRF レジスタは GTCCRE レジスタ用のバッファレジスタ（すなわち、GTCCRB レジスタ用のダブルバッファレジスタ）として機能します。

GTCCRA または GTCCRB レジスタをダブルバッファ動作させるには、GTBER.CCRA[1:0]または GTBER.CCRB[1:0]ビットを 10b または 11b に設定します。シングルバッファ動作の場合は、01b とします。GTCCRA または GTCCRB レジスタをバッファ動作させない場合は、00b にしてください。

のこぎり波ワンショットパルスモード、三角波 PWM モード 3 では、各 PWM 出力動作モードを指定するバッファ動作は、GTBER.CCRA[1:0]ビットと GTBER.CCRB[1:0]ビットの設定値に関係なく実行されます。

(1) GTCCRA または GTCCRB レジスタがアウトプットコンペアレジスタとして機能する場合

のこぎり波ワンショットパルスモード、三角波 PWM モード 3 では、各 PWM 出力動作モードを指定するバッファ動作は、GTBER.CCRA[1:0]ビットと GTBER.CCRB[1:0]ビットの設定値に関係なく実行されます。詳細は「1.3.3 PWM 出力動作モード」を参照してください。上記の PWM 出力動作モード以外では、バッファ転送は次の場合に実行されます。

- オーバーフロー／アンダーフローによるバッファ転送
のこぎり波モードまたはイベントカウント動作では、オーバーフロー時（アップカウント中）またはアンダーフロー時（ダウンカウント中）に、バッファ転送が実行されます。三角波モードでは、谷（三角波 PWM モード 1）または山および谷（三角波 PWM モード 2）で、バッファ転送が実行されます。
- カウンタクリアによるバッファ転送
のこぎり波モードまたはイベントカウント動作では、カウント中に「[20.3.2.1. GTPR レジスタのバッファ動作](#)」に示される場合と類似したカウンタクリア要因によって、バッファ転送が（同じく、アップカウント中のオーバーフロー時またはダウンカウント中のアンダーフロー時に）実行されます。
三角波モードでは、カウンタクリアによるバッファ転送は実行されません。
- バッファ強制転送
のこぎり波でも三角波でもイベントカウント動作でも、カウント停止中に GTBER.CCRSWT ビットに 1 を書くと、GTCCRA レジスタ、GTCCRB レジスタのバッファ転送を強制的に行います。
さらに、のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 では、GTCCRD レジスタからテンポラリレジスタ A へのバッファ転送、および GTCCRF レジスタからテンポラリレジスタ B へのバッファ転送が実行されます。

図 20.14～図 20.16 に GTCCRA および GTCCRB レジスタのバッファ動作例を、表 20.13 に GTCCRA および GTCCRB レジスタのバッファ動作の設定例を示します。

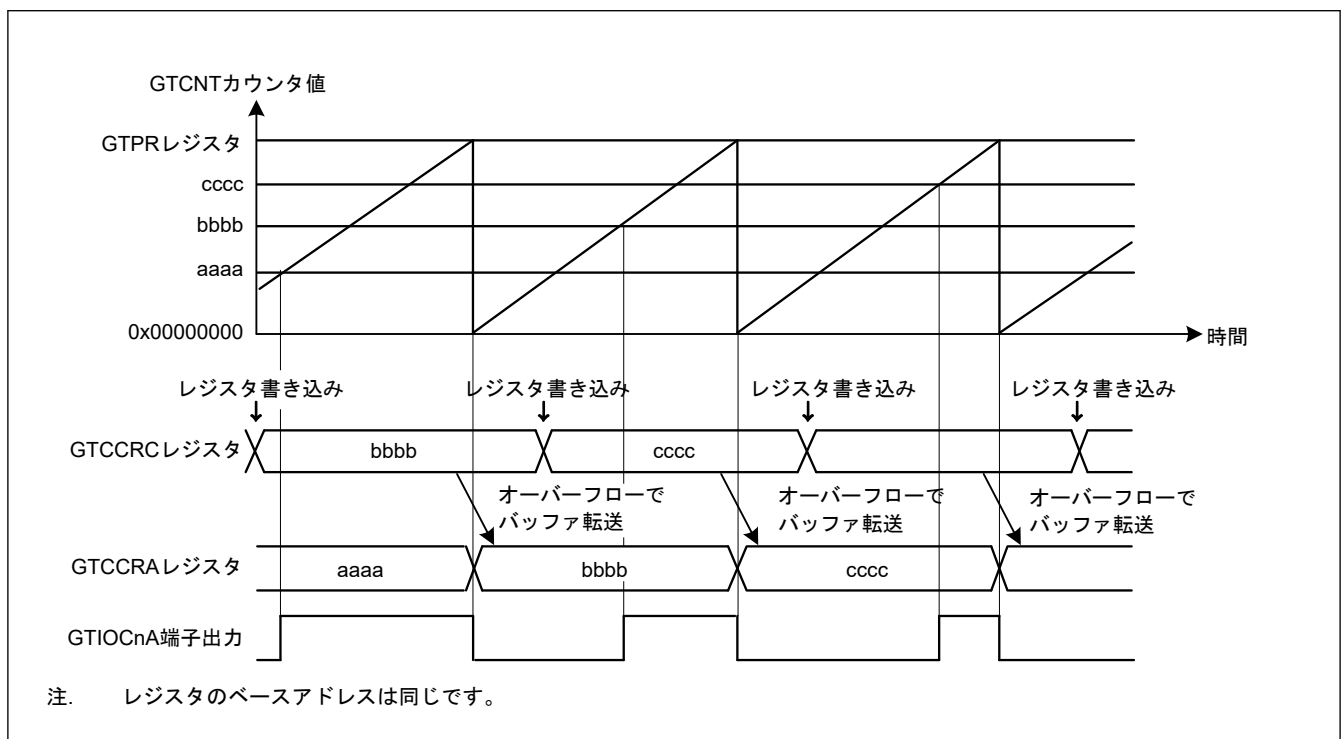


図 20.14 GTCCRA および GTCCRB レジスタのバッファ動作例（アウトプットコンペア、アップカウント時ののこぎり波、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合）

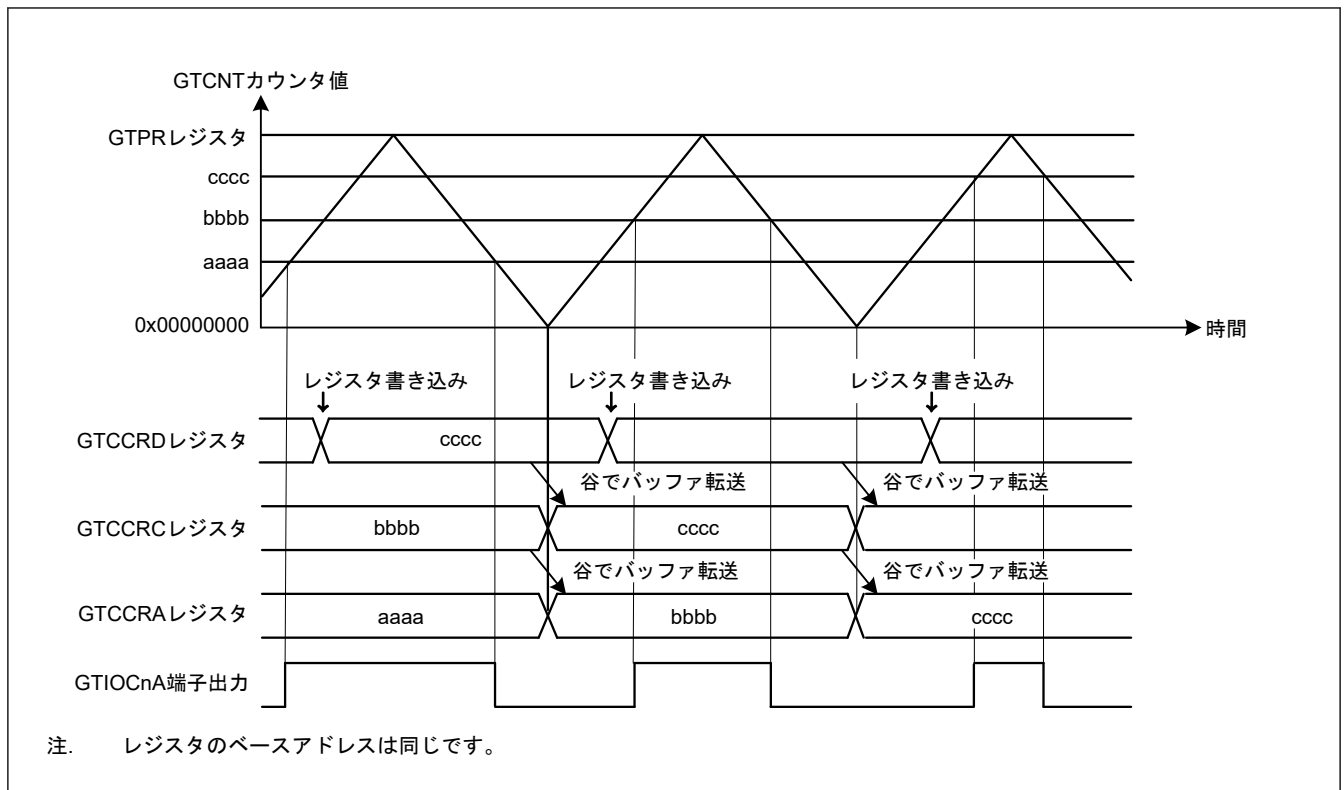


図 20.15 GTCRA および GTCCRB レジスタのダブルバッファ動作例（アウトプットコンペア、三角波、谷でバッファ動作、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合）

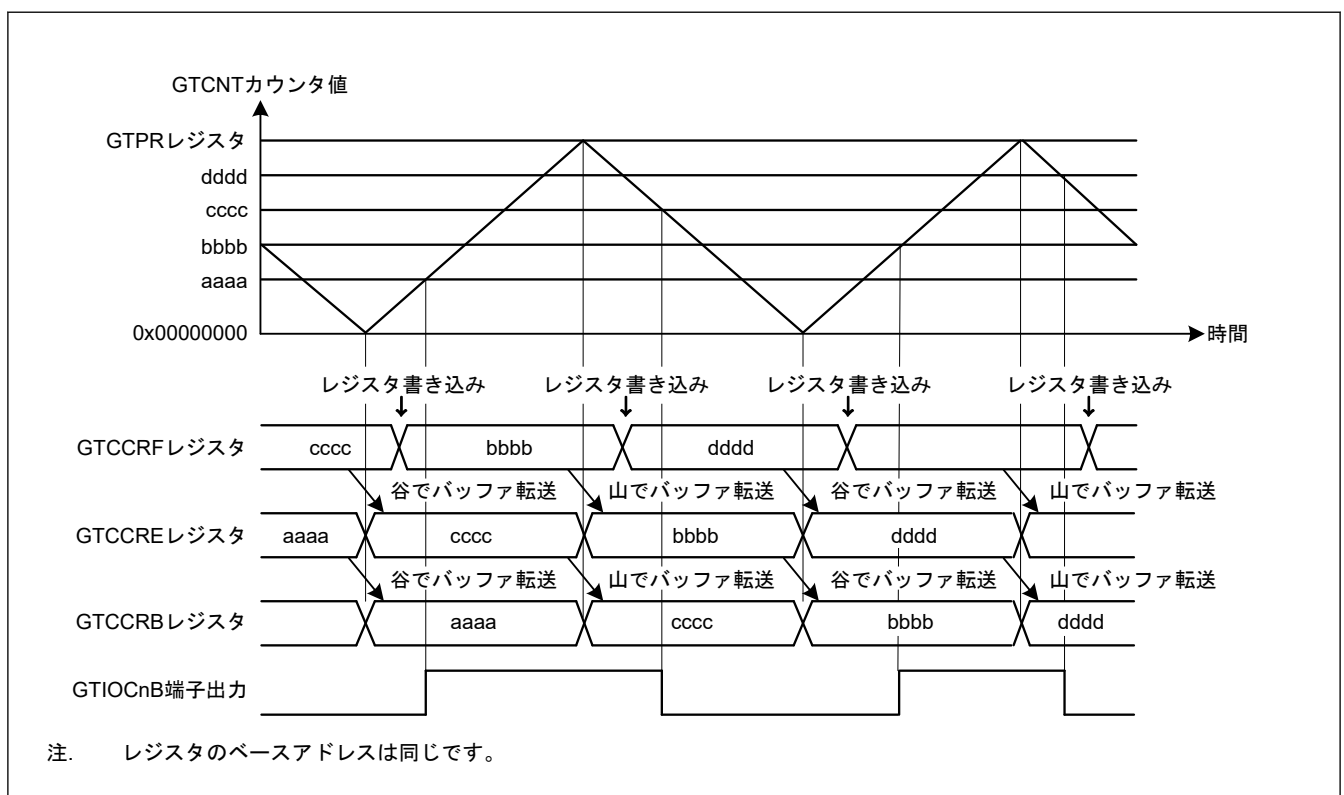


図 20.16 GTCRA および GTCCRB レジスタのダブルバッファ動作例（アウトプットコンペア、三角波、山と谷でバッファ動作、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合）

表 20.13 GTCCRA、GTCCRB レジスタのバッファ動作設定例（アウトプットコンペア時）

No.	ステップ名	説明
1	動作モード設定	GTCCR.MD[2:0]ビットで動作モードを設定します。 図 20.14 では 000b（のこぎり波 PWM モード）、図 20.15 では 100b（三角波 PWM モード 1）、図 20.16 では 101b（三角波 PWM モード 2）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ/ダウン）を設定します。 図 20.14 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 20.14 では GTIOA[4:0] = 00110b、図 20.15 では GTIOA[4:0] = 00011b、図 20.16 では GTIOB[4:0] = 00011b
7	GTIOCnm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	バッファ動作の設定	GTBER レジスタの CCRA[1:0]ビット、CCRB[1:0]ビットで、バッファ動作を設定します。 図 20.14 では CCRA[1:0] = 01b、図 20.15 では CCRA[1:0] = 1xb、図 20.16 では CCRB[1:0] = 1xb
9	コンペアマッチ値設定	GTIOCnA 端子の切り替わりポイントを GTCCRA レジスタに設定します。GTIOCnB 端子の切り替わりポイントを GTCCRB レジスタに設定します。
10	バッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合）もしくは半周期後（三角波モードで谷と山の両方でバッファ転送の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、2 周期後（のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合）もしくは 1 周期後（三角波モードで谷と山の両方でバッファ転送の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。
11	カウント動作開始	GTCCR.CST ビットを 1 にしてカウント動作を開始します。
12	周期ごとのバッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合）もしくは半周期後（三角波モードで谷と山の両方でバッファ転送の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、2 周期後（のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合）もしくは 1 周期後（三角波モードで谷と山の両方でバッファ転送の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。

注. n : 0~5
m : A、B

(2) GTCCRA または GTCCRB レジスタがインプットキャプチャレジスタとして機能する場合

インプットキャプチャが発生すると、GTCNT カウンタ値が GTCCRA および GTCCRB レジスタに転送されると同時に、それまで格納されていた GTCCRA および GTCCRB レジスタ値がバッファレジスタに転送されます。インプットキャプチャ動作では、カウンタクリアによるバッファ転送は実行されません。

図 20.17 と図 20.18 に GTCCRA および GTCCRB レジスタのバッファ動作例を、表 20.14 に GTCCRA および GTCCRB レジスタのバッファ動作の設定例を示します。

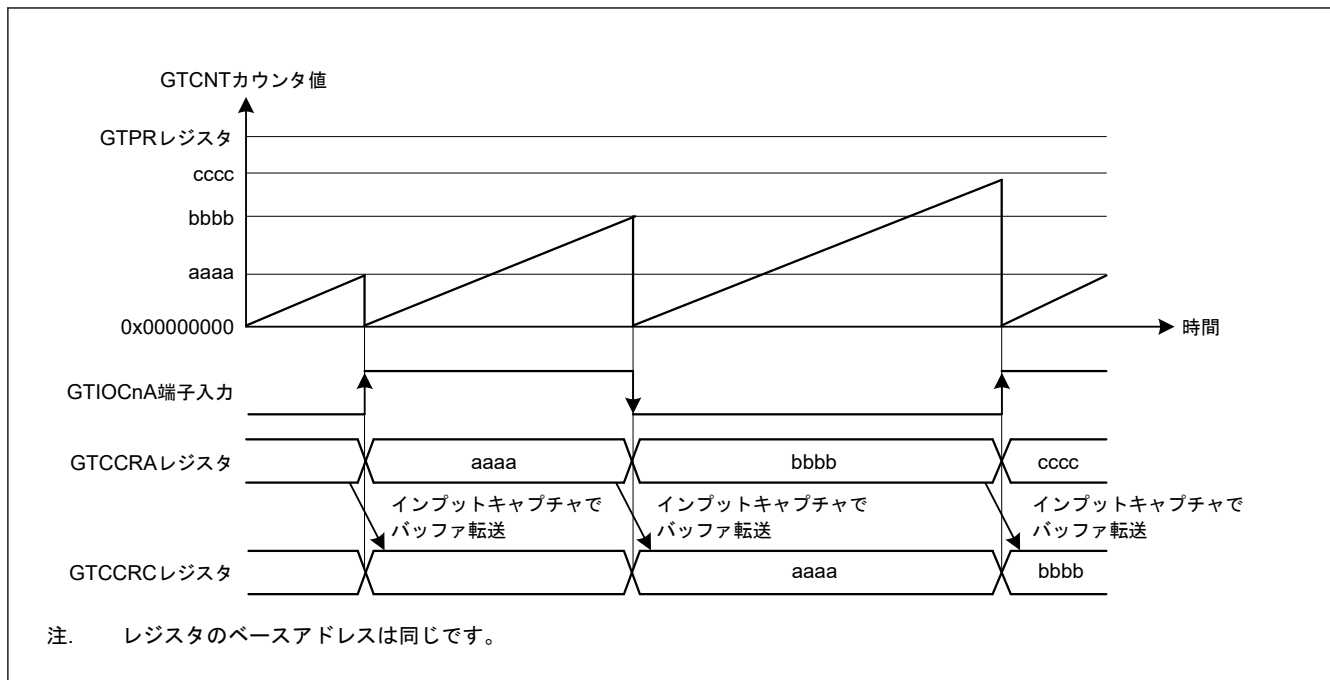


図 20.17 GTCCRA および GTCCRB レジスタのバッファ動作例（GTIOcNA 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOcNA 端子入力の両エッジで GTCNT カウンタクリアの場合）

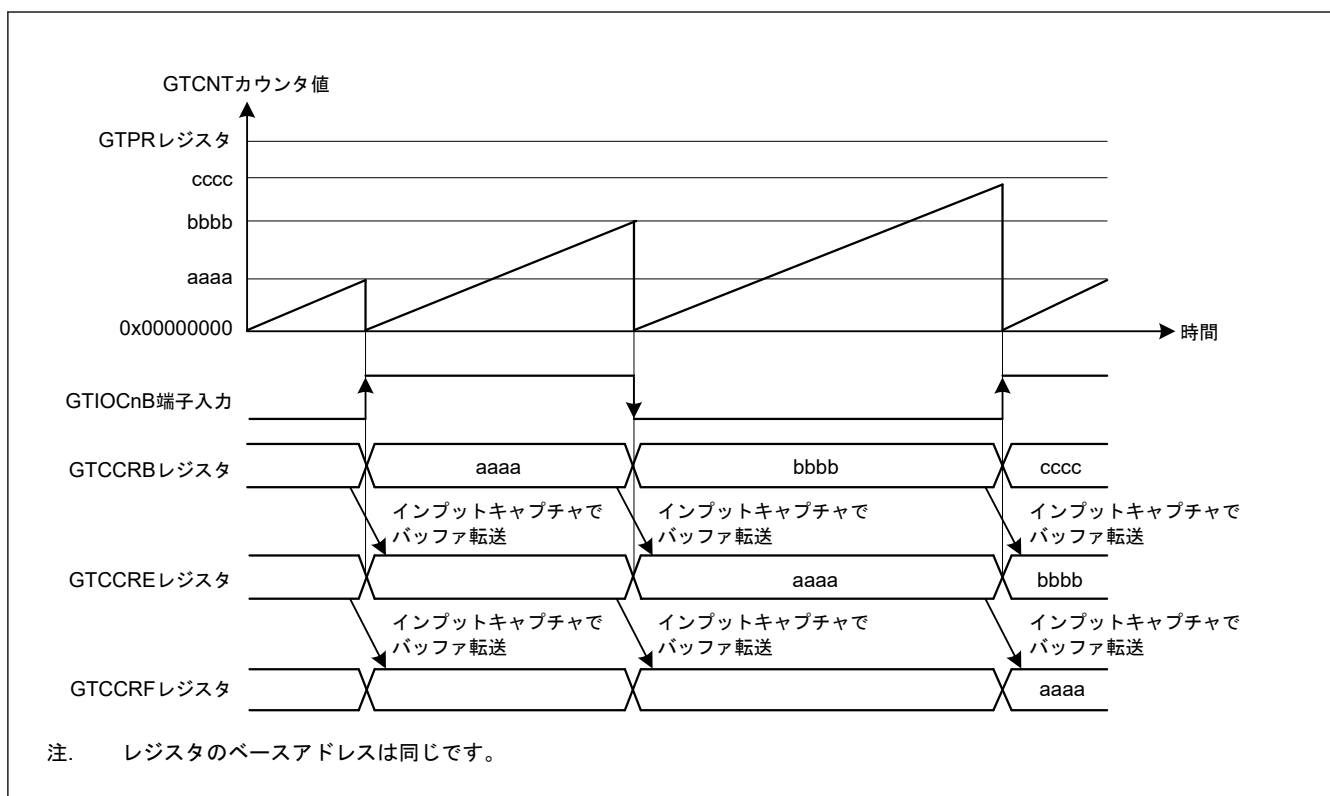


図 20.18 GTCCRA および GTCCRB レジスタのダブルバッファ動作例（GTIOcNB 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOcNB 端子入力の両エッジで GTCNT カウンタクリアの場合）

表 20.14 GTCCRA、GTCCRB レジスタのバッファ動作設定例（インプットキャプチャ時）

No.	ステップ名	説明
1	動作モードとカウンタクリア要因の設定	GTCCR.MD[2:0]ビットで動作モードを設定し、GTCSR レジスタでカウンタクリア要因を設定します。 図 20.17 では MD[2:0] = 000b（のこぎり波 PWM モード）および GTCSR = 0x00000F00、図 20.18 では MD[2:0] = 000b（のこぎり波 PWM モード）および GTCSR = 0x0000F000
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.17 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	インプットキャプチャ要因の選択	GTICASR レジスタおよび GTICBSR レジスタでインプットキャプチャ要因を選択します。 図 20.17 では GTICASR = 0x00000F00、図 20.18 では GTICBSR = 0x0000F000
7	バッファ動作の設定	GTBER レジスタの CCRA ビット、CCRB ビットで、バッファ動作を設定します。 図 20.17 では CCRA[1:0] = 01b、図 20.18 では CCRB[1:0] = 1xb
8	カウント動作開始	GTCCR.CST ビットを 1 にしてカウント動作を開始します。

20.3.3 PWM 出力動作モード

GPT は、GTCNT カウンタと GTCCRA レジスタまたは GTCCRB レジスタとのコンペアマッチに基づいて、GTIOCnA 端子または GTIOCnB 端子 (n = 0～5) へ PWM 波形を出力することができます。

GTDTCCR レジスタおよび GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

20.3.3.1 のこぎり波 PWM モード

のこぎり波 PWM モードでは、GTPR レジスタに周期を設定することにより、GTCNT カウンタにのこぎり波（半波）動作を実行させ、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチ発生時に、GTIOCnA 端子または GTIOCnB 端子 (n = 0～5) に PWM 波形を出力させます。端子の出力値は GTIOR レジスタの設定により、コンペアマッチおよび周期の終わりで、Low 出力、High 出力、トグル出力を選択することができます。

図 20.19 にのこぎり波 PWM モードの動作例を、表 20.15 にのこぎり波 PWM モードの設定例を示します。

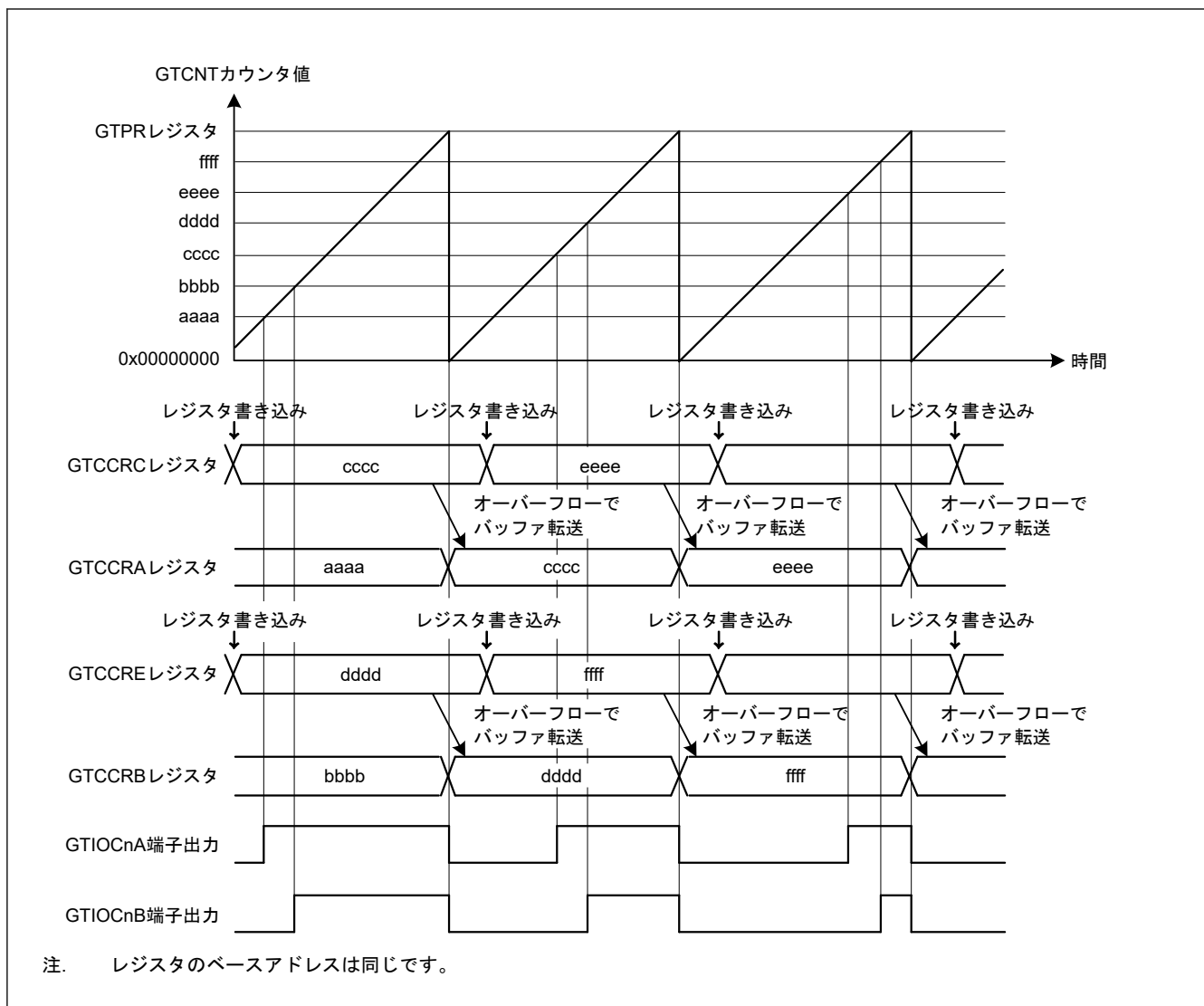


図 20.19 のこぎり波 PWM モードの動作例（アップカウント、バッファ動作、GTCCRA/GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合）

表 20.15 のこぎり波 PWM モードの設定例 (1/2)

No.	ステップ名	説明
1	動作モード設定	GTCCR.MD[2:0]ビットで動作モードを設定します。図 20.19 では 000b（のこぎり波 PWM モード）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ/ダウン）を設定します。図 20.19 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
6	GTIOCNm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCNm 端子の機能を設定します。図 20.19 では GTIOA[4:0] = 00110b、GTIOB[4:0] = 00110b
7	GTIOCNm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCNm 端子出力の許可を設定します。
8	バッファ動作設定	GTBER レジスタの CCRA[1:0]ビット、CCRB[1:0]ビットで、バッファ動作を設定します。図 20.19 では、CCRA[1:0] = 01b、CCRB[1:0] = 01b
9	コンペアマッチ値設定	GTIOCNa 端子の切り替わりポイントを GTCCRA レジスタに設定します。GTIOCNb 端子の切り替わりポイントを GTCCRB レジスタに設定します。

表 20.15 のこぎり波 PWM モードの設定例 (2/2)

No.	ステップ名	説明
10	バッファ値設定	バッファ動作時は、1 周期後の GTIOcNA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOcNB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の GTIOcNA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOcNB 端子の切り替わりポイントを GTCCRF レジスタに設定します。
11	カウント動作開始	GTCCR.CST ビットを 1 にしてカウント動作を開始します。
12	周期ごとのバッファ値設定	バッファ動作時は、1 周期後の GTIOcNA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOcNB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の GTIOcNA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOcNB 端子の切り替わりポイントを GTCCRF レジスタに設定します。

注. n : 0~5
m: A, B

20.3.3.2 のこぎり波ワンショットパルスモード

のこぎり波ワンショットパルスモードは、GTPR レジスタに周期を設定して GTCNT カウンタをのこぎり波（半波）動作させ、バッファ動作固定で、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチにより、GTIOcNA 端子または GTIOcNB 端子 (n = 0~5) に PWM 波形を出力するモードです。

のこぎり波ワンショットパルスモードのバッファ動作は通常のバッファ動作と異なります。バッファ転送は、下記のとおりです。

- 周期の終わりで、GTCCRC レジスタから GTCCRA レジスタ
- 周期の終わりで、GTCCRE レジスタから GTCCRB レジスタ
- 周期の終わりで、GTCCRD レジスタからテンポラリレジスタ A
- 周期の終わりで、GTCCRF レジスタからテンポラリレジスタ B
- GTCCRA レジスタのコンペアマッチで、テンポラリレジスタ A から GTCCRA レジスタ
- GTCCRB レジスタのコンペアマッチで、テンポラリレジスタ B から GTCCRB レジスタ

端子の出力値は GTIOR レジスタの設定により、コンペアマッチおよび周期の終わりで、Low 出力、High 出力、トグル出力を選択することができます。カウントストップ中に GTBER.CCRSWT ビットを 1 にすると、GTCCRD レジスタから一時レジスタ A へ、および GTCCRF レジスタから一時レジスタ B へ、バッファ転送が強制的に実行されます。また、GTDTCR レジスタおよび GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することができます。

図 20.20 に、のこぎり波ワンショットパルスモードの動作例を、表 20.16 に、のこぎり波ワンショットパルスモードの設定例を示します。

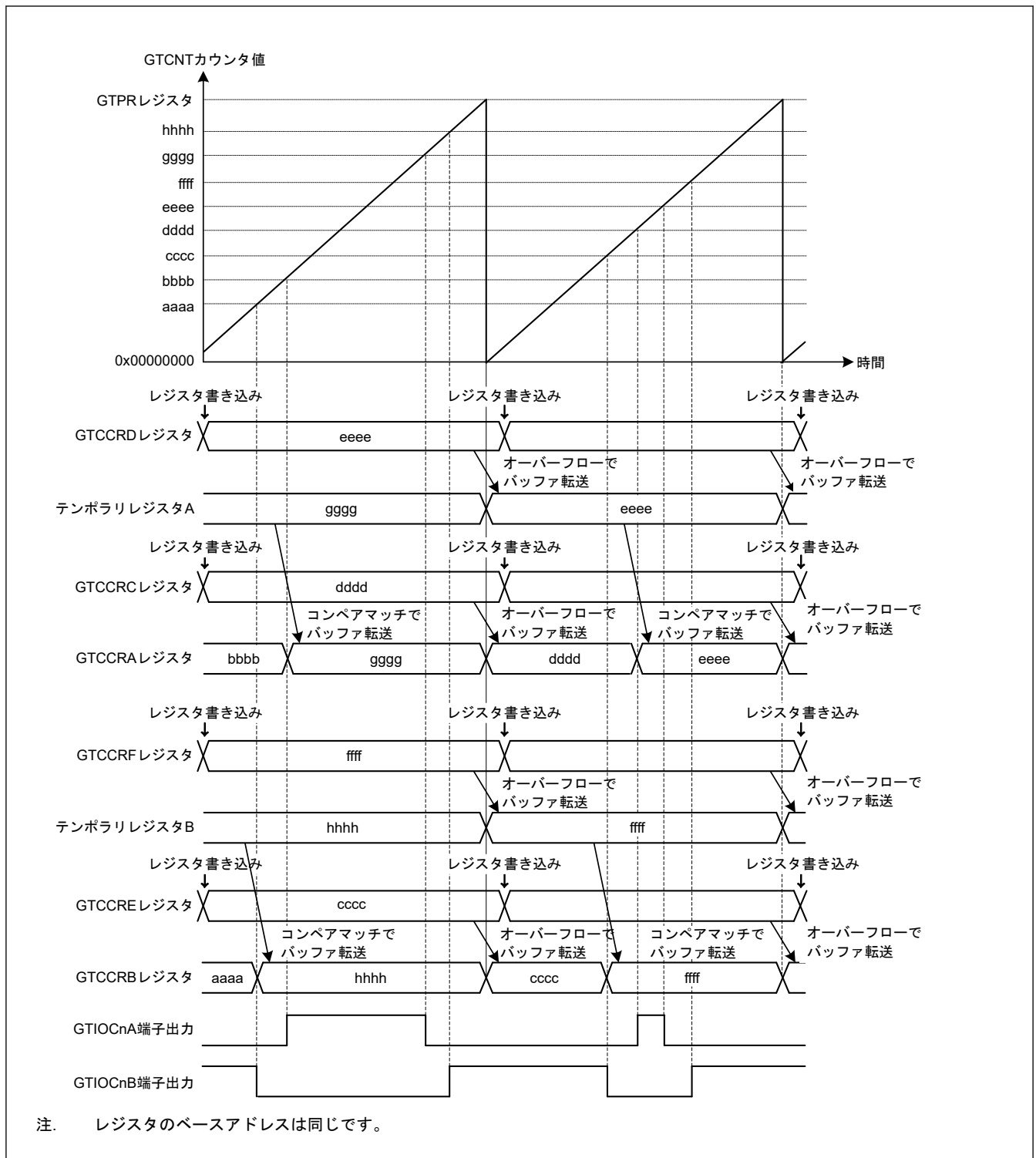


図 20.20 のこぎり波ワンショットパルスモードの動作例（アップカウント、カウントスタート時に GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合）

表 20.16 のこぎり波ワンショットパルスモード設定例 (1/2)

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.20 では 001b (のこぎり波ワンショットパルスモード) を設定します。

表 20.16 のこぎり波ワンショットパルスモード設定例 (2/2)

No.	ステップ名	説明
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.20 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
6	GTIOCNm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCNm 端子の機能を設定します。 図 20.20 では GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
7	GTIOCNm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCNm 端子出力の許可を設定します。
8	コンペアマッチ値設定	カウント開始直後の周期の GTIOCNa 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCNb 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。
9	バッファ強制転送設定	GTBER.CCRSWT ビットを 1 にし、バッファレジスタの強制転送を行います。
10	バッファ値設定	1 周期後の GTIOCNa 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCNb 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。
11	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
12	周期ごとのバッファ値設定	1 周期後の GTIOCNa 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCNb 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。

注. n : 0~5
m: A, B

20.3.3.3 三角波 PWM モード 1（谷 32 ビット転送）

三角波 PWM モード 1 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタに三角波（全波）動作を実行させ、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチ発生時に GTIOCNa 端子または GTIOCNb 端子 (n = 0~5) に PWM 波形を出力させます。バッファ転送は谷で行われます。端子の出力値は GTIOR レジスタの設定により、コンペアマッチおよび周期の終わりで、Low 出力、High 出力、トグル出力を選択することができます。

GTDTCR レジスタおよび GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することができます。

図 20.21 に三角波 PWM モード 1 の動作例を、表 20.17 に三角波 PWM モード 1 の設定例を示します。

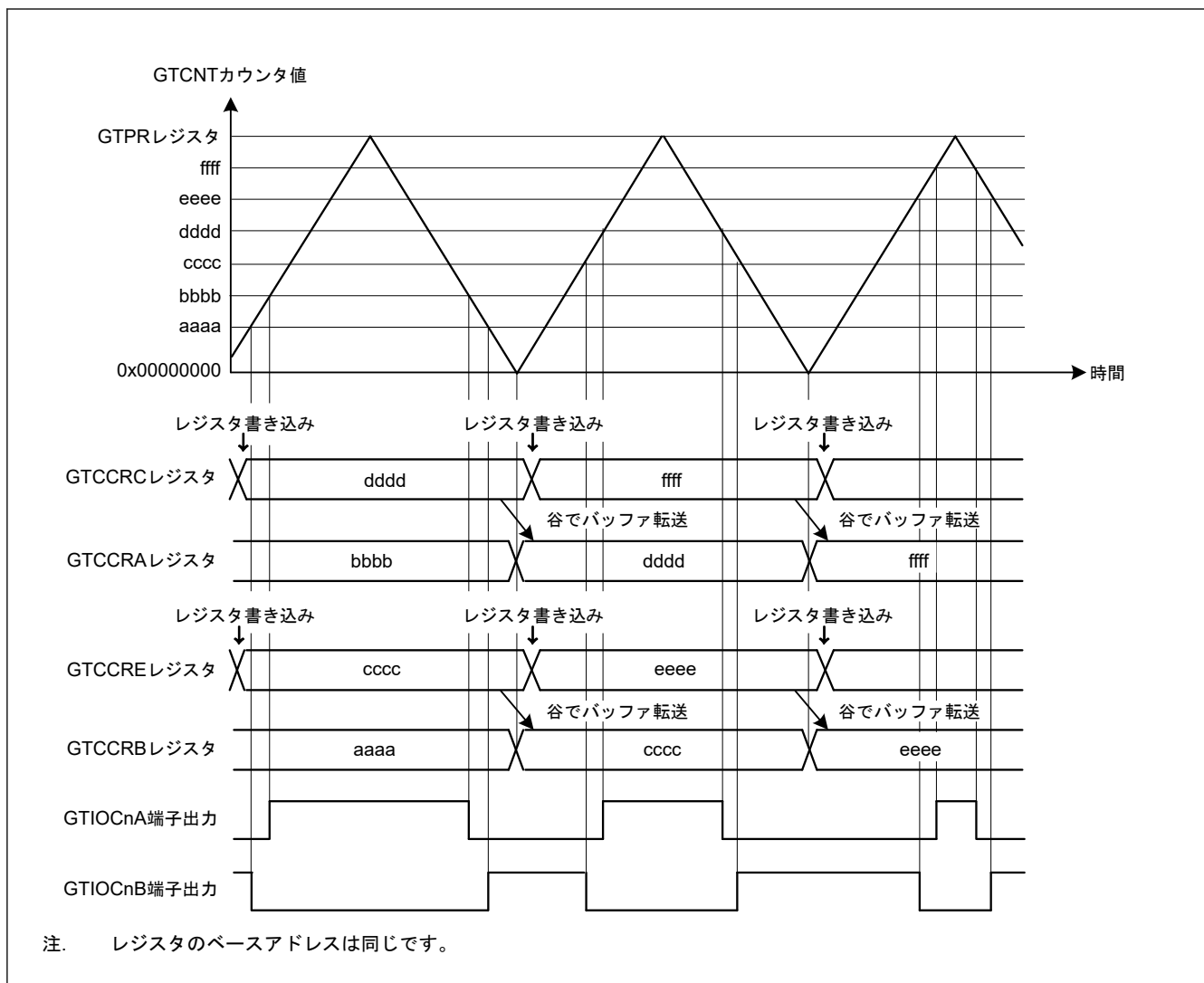


図 20.21 三角波 PWM モード 1 の動作例 (バッファ動作、カウントスタート時に GTIOCN A 端子= Low 出力 / GTIOCN B 端子= High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合)

表 20.17 三角波 PWM モード 1 設定例 (1/2)

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.21 では、100b (三角波 PWM モード 1) を設定します。
2	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
5	GTIOCNm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCNm 端子の機能を設定します。 図 20.21 では、GTIOA[4:0] = 00011b, GTIOB[4:0] = 10011b
6	GTIOCNm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCNm 端子出力の許可を設定します。
7	バッファ動作の設定	GTBER レジスタの CCRA[1:0]ビット、CCRB[1:0]ビットで、バッファ動作を設定します。 図 20.21 では、CCRA[1:0] = 01b, CCRB[1:0] = 01b
8	コンペアマッチ値設定	GTIOCN A 端子の切り替わりポイントを GTCCRA レジスタに設定します。GTIOCN B 端子の切り替わりポイントを GTCCRB レジスタに設定します。
9	バッファ値設定	バッファ動作時は、1 周期後の GTIOCN A 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCN B 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の GTIOCN A 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCN B 端子の切り替わりポイントを GTCCRF レジスタに設定します。

表 20.17 三角波 PWM モード 1 設定例 (2/2)

No.	ステップ名	説明
10	カウント動作開始	GTCCR.CST ビットを 1 にしてカウント動作を開始します。
11	周期ごとのバッファ値設定	バッファ動作時は、1 周期後の GTIOChA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOChB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の GTIOChA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOChB 端子の切り替わりポイントを GTCCRF レジスタに設定します。

注. n : 0~5
 m: A、B

20.3.3.4 三角波 PWM モード 2 (山／谷 32 ビット転送)

三角波 PWM モード 1 と同様に、三角波 PWM モード 2 でも GTPR レジスタに周期を設定します。GTCNT カウンタに三角波（全波）動作を実行させ、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチ発生時に GTIOChA 端子または GTIOChB 端子 (n = 0~5) に PWM 波形を出力させます。山および谷の両方でバッファ転送が行われます。端子の出力値は GTIOR レジスタの設定により、コンペアマッチおよび周期の終わりで、Low 出力、High 出力、トグル出力を選択することができます。

GTDTCR レジスタおよび GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することができます。

図 20.22 に三角波 PWM モード 2 の動作例を、表 20.18 に三角波 PWM モード 2 の設定例を示します。

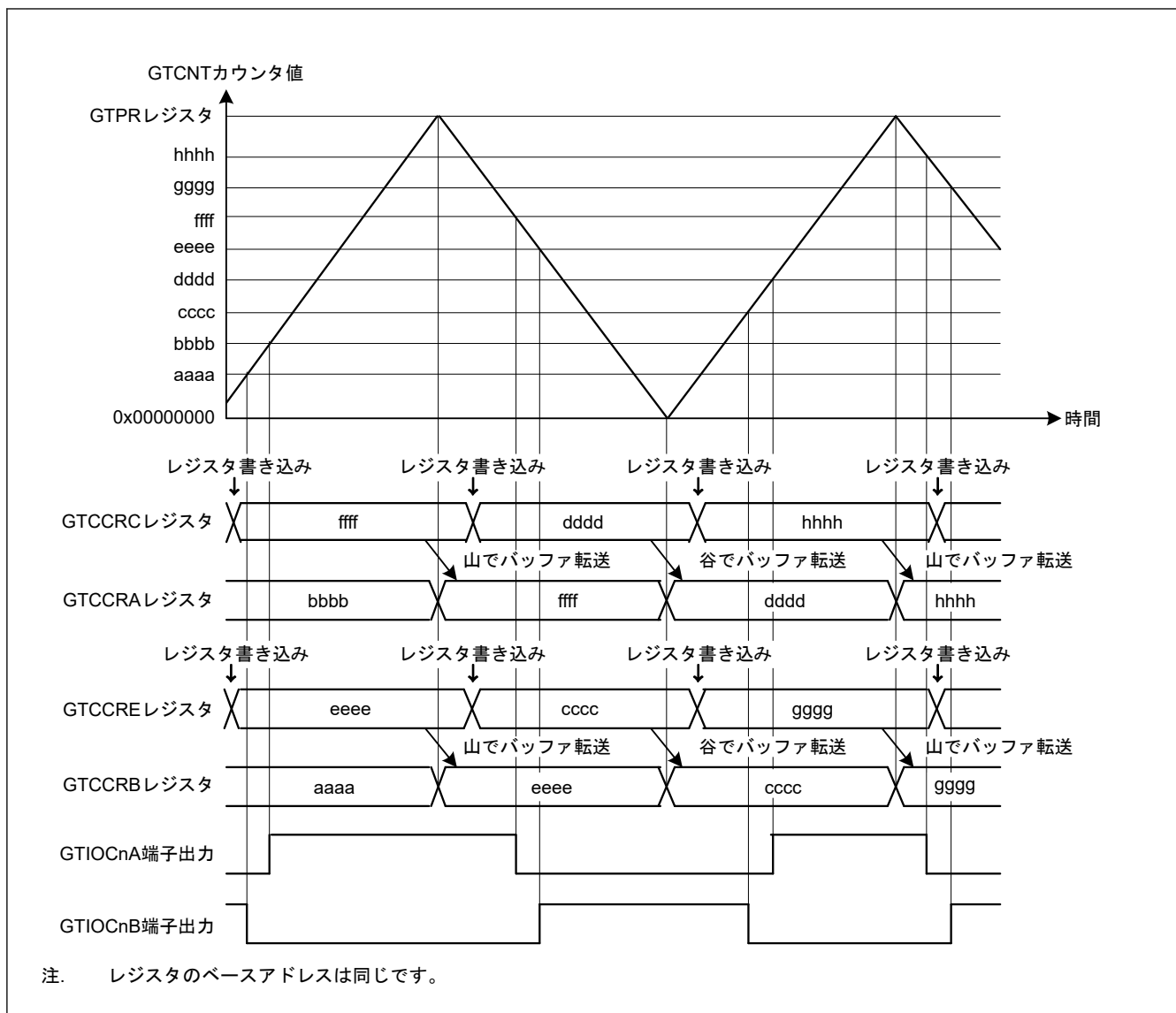


図 20.22 三角波 PWM モード 2 の動作例（バッファ動作、カウントスタート時に GTIOcNA 端子= Low 出力／GTIOcNB 端子= High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合）

表 20.18 三角波 PWM モード 2 設定例 (1/2)

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.22 では、101b（三角波 PWM モード 2）を設定します。
2	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
5	GTIOcNm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOcNm 端子の機能を設定します。 図 20.22 では、GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
6	GTIOcNm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOcNm 端子出力の許可を設定します。
7	バッファ動作の設定	GTBER レジスタの CCRA[1:0]ビット、CCRB[1:0]ビットで、バッファ動作を設定します。 図 20.22 では、CCRA[1:0] = 01b、CCRB[1:0] = 01b
8	コンペアマッチ値設定	GTIOcNA 端子の切り替わりポイントを GTCCRA レジスタに設定します。GTIOcNB 端子の切り替わりポイントを GTCCRB レジスタに設定します。

表 20.18 三角波 PWM モード 2 設定例 (2/2)

No.	ステップ名	説明
9	バッファ値設定	バッファ動作時は、半周期後の GTIOcNA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOcNB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、1 周期後の GTIOcNA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOcNB 端子の切り替わりポイントを GTCCRF レジスタに設定します。
10	カウント動作開始	GTCCR.CST ビットを 1 にしてカウント動作を開始します。
11	半周期ごとのバッファ値設定	バッファ動作時は、半周期後の GTIOcNA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOcNB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、1 周期後の GTIOcNA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOcNB 端子の切り替わりポイントを GTCCRF レジスタに設定します。

注. n : 0~5
m: A、B

20.3.3.5 三角波 PWM モード 3 (谷 64 ビット転送)

三角波 PWM モード 3 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタに三角波（全波）動作を実行させ、バッファ動作固定で、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチにより、GTIOcNA 端子または GTIOcNB 端子 (n = 0~5) に PWM 波形を出力させます。三角波 PWM モード 3 のバッファ動作は通常のバッファ動作と異なります。バッファ転送は、下記のとおりです。

- 谷で、GTCCRC レジスタから GTCCRA レジスタ
- 谷で、GTCCRE レジスタから GTCCRB レジスタ
- 谷で、GTCCRD レジスタからテンポラリレジスタ A
- 谷で、GTCCRF レジスタからテンポラリレジスタ B
- 山で、テンポラリレジスタ A から GTCCRA レジスタ
- 山で、テンポラリレジスタ B から GTCCRB レジスタ

端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力／High 出力／トグル出力、周期の終わりで Low 出力／High 出力／トグル出力、を設定することができます。

GTDTCR レジスタおよび GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することができます。

図 20.23 に三角波 PWM モード 3 の動作例を、表 20.19 に三角波 PWM モード 3 の設定例を示します。

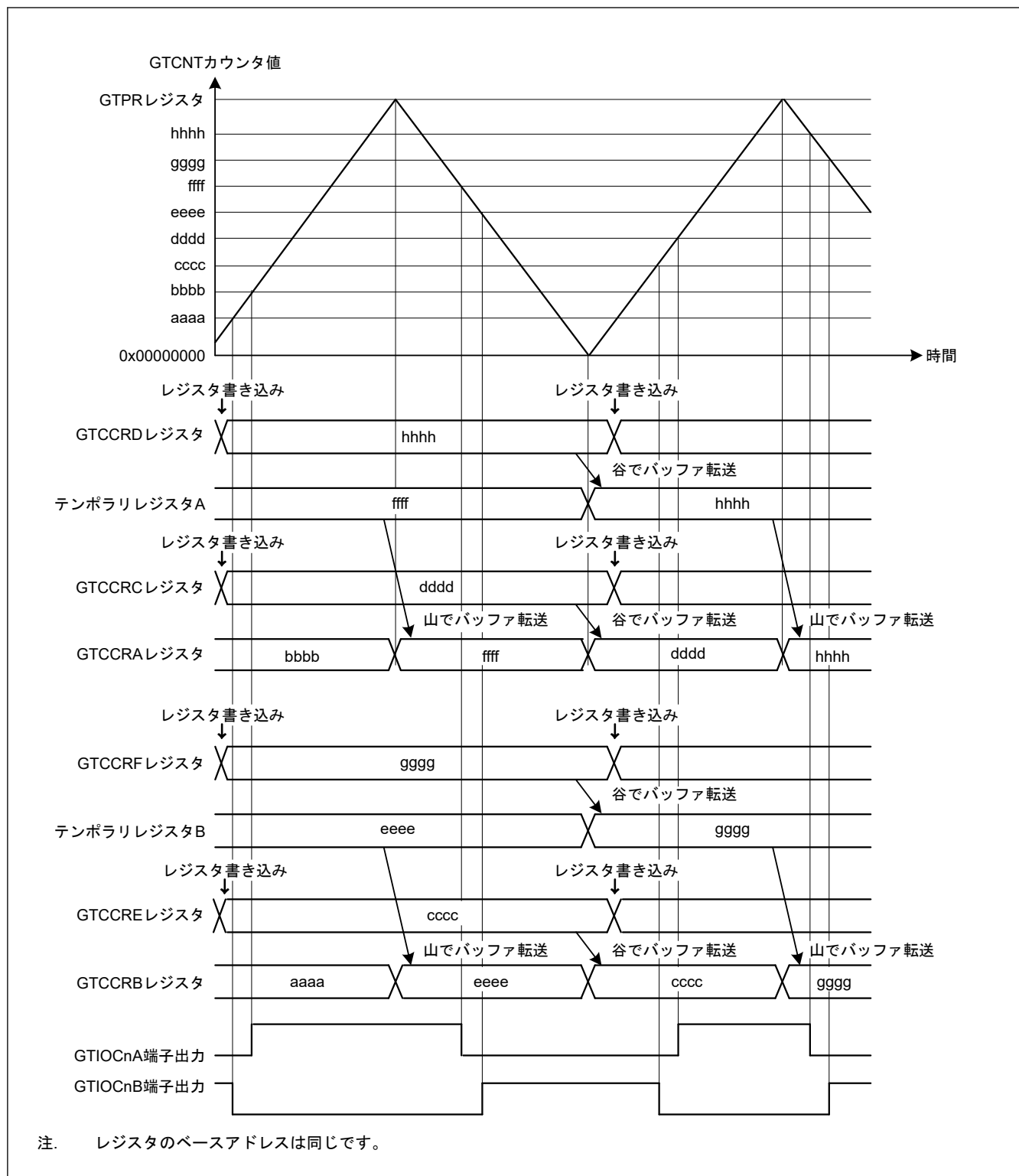


図 20.23 三角波 PWM モード 3 の動作例 (カウントスタート時に GTIOCNB 端子 = Low 出力/GTIOCNB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合)

表 20.19 三角波 PWM モード 3 設定例 (1/2)

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.23 では 110b (三角波 PWM モード 3) を設定します。
2	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。

表 20.19 三角波 PWM モード 3 設定例 (2/2)

No.	ステップ名	説明
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
5	GTIOCNm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCNm 端子の機能を設定します。 図 20.23 では GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
6	GTIOCNm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCNm 端子出力の許可を設定します。
7	コンペアマッチ値設定	カウント開始直後の周期の GTIOCN A 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCN B 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。
8	バッファ強制転送設定	GTBER.CCRSWT ビットを 1 にし、バッファレジスタの強制転送を行います。
9	バッファ値設定	1 周期後の GTIOCN A 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCN B 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。
10	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
11	周期ごとのバッファ値設定	1 周期後の GTIOCN A 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCN B 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。

注. n : 0~5
m: A, B

20.3.4 デッドタイム自動設定機能

GTDTCR レジスタの設定により、正相波形用のコンペアマッチ値 (GTCCRA レジスタ値) とデッドタイム値 (GTDVU レジスタ値) からデッドタイム付き逆相波形用のコンペアマッチ値を生成し、GTCCRB レジスタに自動設定することができます。デッドタイム自動設定機能は、のこぎり波ワンショットパルスモードとすべての三角波 PWM モードで使用できます。

逆相波形の変化点のデッドタイムは GTDVU レジスタに設定します。

デッドタイム自動設定値は、GTCCRB レジスタから読み出せます。デッドタイム自動設定機能を使用するときは、GTCCRB レジスタへの書き込みは禁止です。カウント周期を超えるようなデッドタイム設定も禁止です。

デッドタイムエラー発生時、正相波形用および逆相波形用のコンペアマッチ値は、表 20.20 で示されるデッドタイムの波形を生成するように調整されます。逆相波形用の調整値は GTCCRB レジスタに自動設定されます。正相波形用の調整値は内部信号として使用され、GTCCRA レジスタに設定されません。

のこぎり波ワンショットパルスモードにおいて、デッドタイムエラーが発生して波形の変化点を調整したことによって変化点の順序に不整合が生じた場合や、調整後も変化点がカウント周期を超過している場合、正相と逆相間の相補関係は保証されません。

GTCCRB レジスタへのデッドタイム値の自動設定は、自動設定値の算出に用いるレジスタ値が更新された次のカウントクロックで行われます。三角波モードでは、現在の山の次のカウントクロックで行うこともできます。

表 20.20 デッドタイムエラー発生時の波形変化点の調整

モード	カウント方向	期間	デッドタイムエラー条件	調整後の正相波形の変化点	調整後の逆相波形の変化点
のこぎり波ワンショットパルスモード	アップカウント	前半	$GTCCRA - GTDVU < 0$	GTDVU	0
		後半	$GTCCRA + GTDVU > GTPR$	$GTPR - GTDVU$	GTPR
	ダウンカウント	前半	$GTCCRA + GTDVU > GTPR$	$GTPR - GTDVU$	GTPR
		後半	$GTCCRA - GTDVU < 0$	GTDVU	0
三角波 PWM モード 1/2/3	アップカウント	(前半)	$GTCCRA - GTDVU \leq 0$	$GTDVU + 1$	1
	ダウンカウント	(後半)	$GTCCRA - GTDVU < 0$	GTDVU	0

図 20.24~図 20.27 にデッドタイム自動設定機能の動作例を示します。表 20.21 と表 20.22 に設定例を示します。

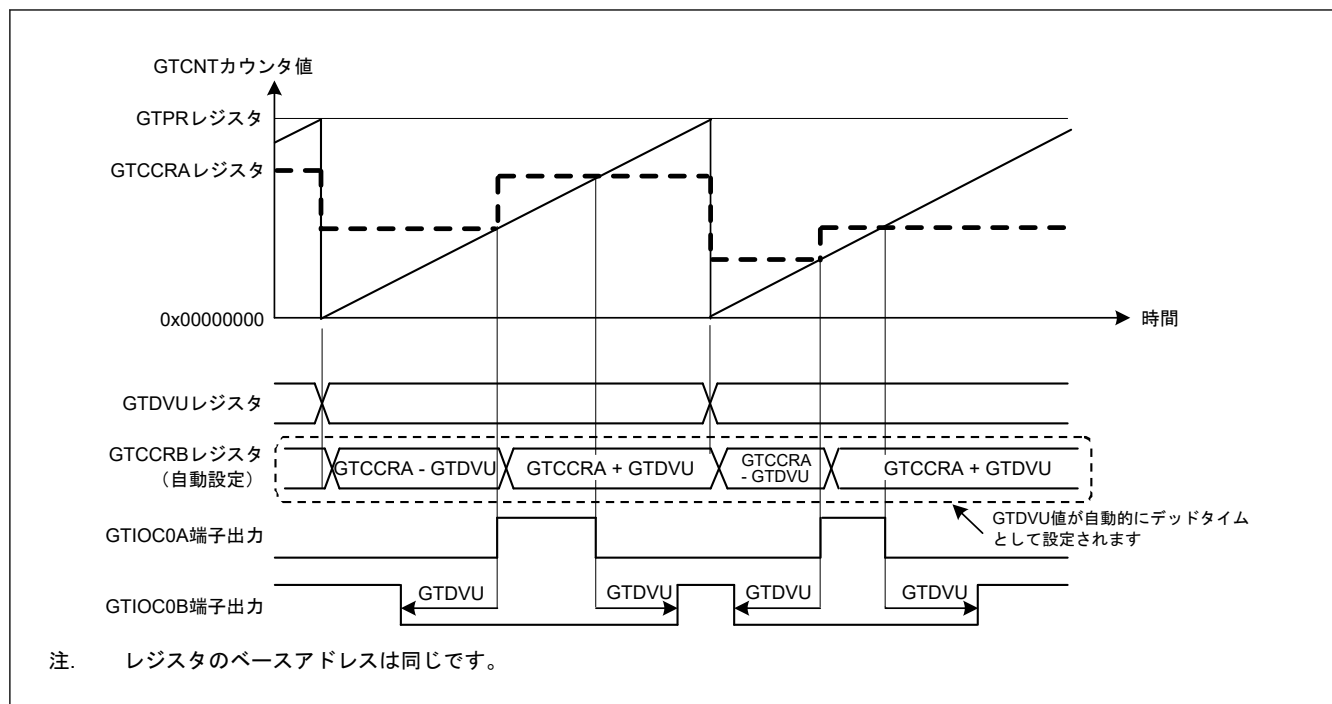


図 20.24 デッドタイム自動設定機能の動作例 (のこぎり波ワンショットパルスモード、アップカウント、アクティブ High の場合)

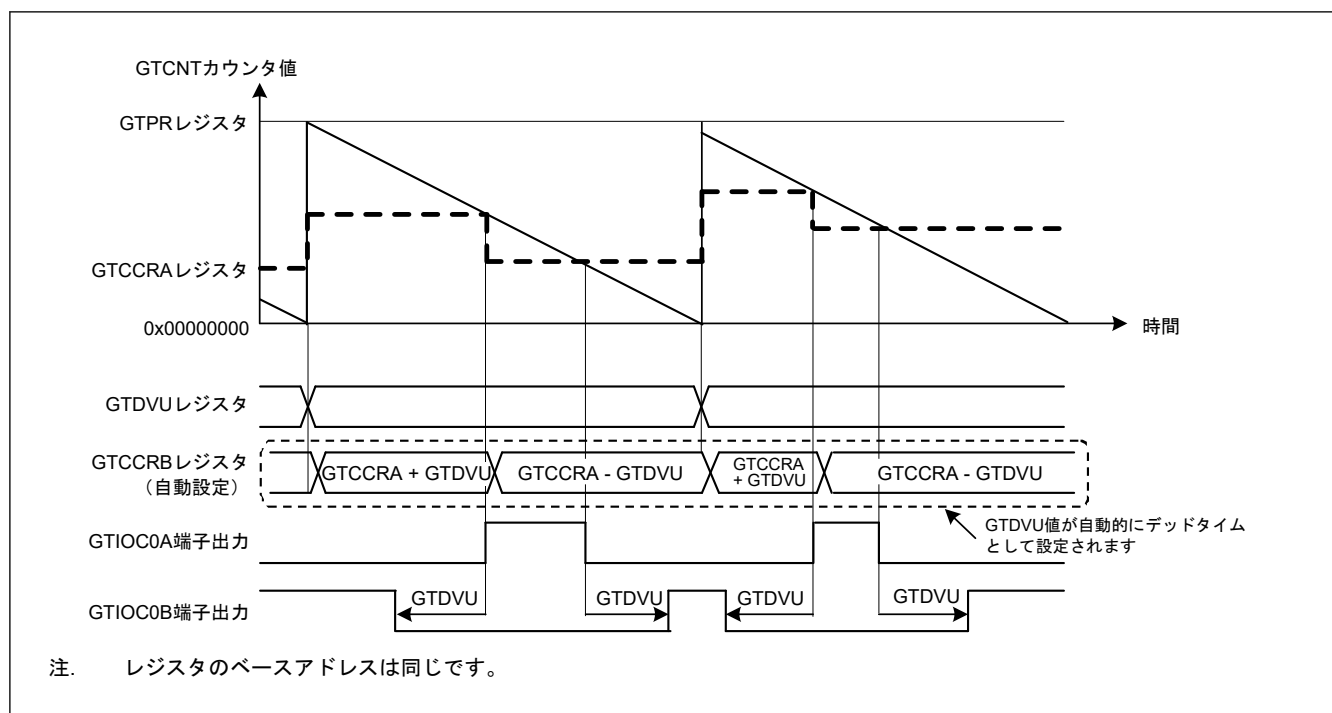


図 20.25 デッドタイム自動設定機能の動作例 (のこぎり波ワンショットパルスモード、ダウンカウント、アクティブ High の場合)

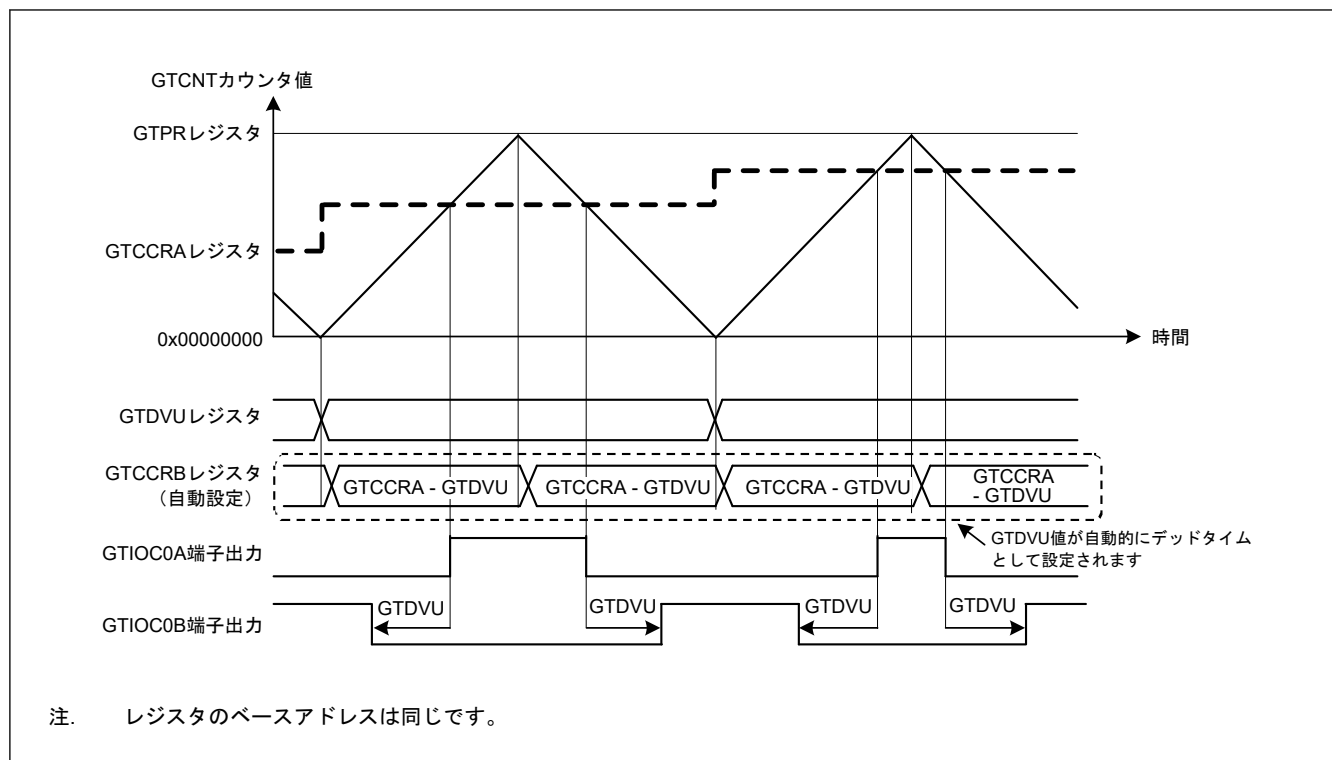


図 20.26 デッドタイム付きコンペアマッチ値の自動設定機能の動作例（三角波 PWM モード 1、アクティブ High の場合）

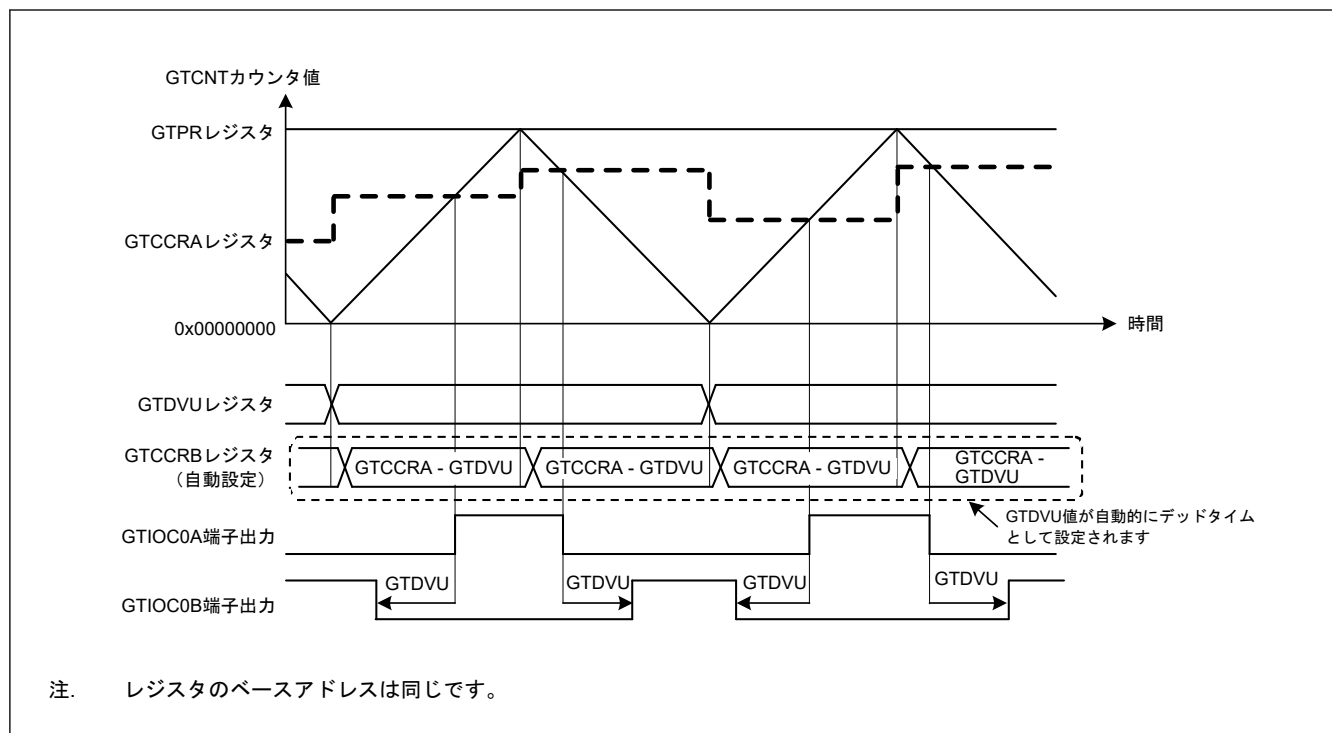


図 20.27 デッドタイム付きコンペアマッチ値の自動設定機能の動作例（三角波 PWM モード 2 または 3、アクティブ High の場合）

表 20.21 デッドタイム自動設定機能の設定例（のこぎり波ワンショットパルスモード、三角波 PWM モード 3 の場合）

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。図 20.24 と図 20.25 では、001b（のこぎり波ワンショットパルスモード）を設定します。図 20.27 では、110b（三角波 PWM モード 3）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップまたはダウン）を選択します。 図 20.24 では、GTUDDTYC[1:0]ビットに 11b を設定してから 01b を設定します（アップカウント）。 図 20.25 では、GTUDDTYC[1:0]ビットに 10b を設定してから 00b を設定します（ダウンカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	GTIOCNm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビットと GTIOB[4:0]ビットに GTIOCNm 端子の機能を設定します。 図 20.24、図 20.25、図 20.27 では GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
7	GTIOCNm 端子出力許可設定	GTIOR レジスタの OAE ビットと OBE ビットで GTIOCNm 端子出力の許可を設定します。
8	コンペアマッチ用バッファ値設定	カウント開始直後の周期の GTIOCNa 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに設定します。
9	コンペアマッチ用バッファ強制転送設定	GTBER.CCRSWT ビットを 1 にし、バッファレジスタデータを GTCCRA レジスタへ強制転送します。
10	コンペアマッチ用バッファ値設定	現在の周期から 1 周期後の GTIOCNa 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに設定します。
11	デッドタイム自動設定機能の設定	GTDTCR.TDE ビットを 1 にして、デッドタイム自動設定機能を有効にします。
12	デッドタイム値設定	デッドタイム値を GTDVU レジスタに設定します。
13	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
14	周期ごとのバッファ値設定	バッファ動作時は、現在の周期から 1 周期後の GTIOCNa 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに設定します。

注: n: 0~5
m: A, B

表 20.22 デッドタイム自動設定機能の設定例（三角波 PWM モード 1 または 2 の場合） (1/2)

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。図 20.26 では、100b（三角波 PWM モード 1）を設定します。図 20.27 では、101b（三角波 PWM モード 2）を設定します。
2	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
5	GTIOCNm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビットと GTIOB[4:0]ビットに GTIOCNm 端子の機能を設定します。 図 20.26 と図 20.27 では、GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
6	GTIOCNm 端子出力許可設定	GTIOR レジスタの OAE ビットと OBE ビットで GTIOCNm 端子出力の許可を設定します。
7	コンペアマッチ用バッファ動作設定	GTBER レジスタの CCRA[1:0]ビットで、バッファ動作を設定します。
8	コンペアマッチ値設定	GTIOCNa 端子の切り替わりポイントを GTCCRA レジスタに設定します。
9	コンペアマッチ用バッファ値設定	バッファ動作時は、現在の周期から 1 周期後（三角波 PWM モード 1 の場合）、あるいは現在の周期から半周期後（三角波 PWM モード 2 の場合）の GTIOCNa 端子の切り替わりポイントを GTCCRC レジスタに設定します。ダブルバッファ動作時は、現在の周期から 2 周期後（三角波 PWM モード 1 の場合）、あるいは現在の周期から 1 周期後（三角波 PWM モード 2 の場合）の GTIOCNa 端子の切り替わりポイントを GTCCRD レジスタに設定します。
10	デッドタイム自動設定機能の設定	GTDTCR.TDE ビットを 1 にして、デッドタイム自動設定機能を有効にします。
11	デッドタイム値設定	デッドタイム値を GTDVU レジスタに設定します。

表 20.22 デッドタイム自動設定機能の設定例（三角波 PWM モード 1 または 2 の場合）(2/2)

No.	ステップ名	説明
12	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
13	周期ごとのバッファ値設定	コンペアマッチレジスタをバッファ動作に使用するときは、現在の周期から 1 周期後（三角波 PWM モード 1 の場合）、あるいは現在の周期から半周期後（三角波 PWM モード 2 の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに設定します。 コンペアマッチレジスタのダブルバッファ動作時は、現在の周期の 2 周期後（三角波 PWM モード 1）、あるいは現在の周期の 1 周期後（三角波 PWM モード 2）の GTIOCnA 端子の変化ポイントを GTCCRD に設定します。

注. n : 0~5
m: A, B

20.3.5 カウント方向切り替え機能

GTUDDTYC.UD ビットの値を書き換えることにより、GTCNT カウンタのカウント方向を切り替えることが可能です。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更すると、オーバーフロー（アップカウント中に変更した場合）またはアンダーフロー（ダウンカウント中に変更した場合）発生時に、カウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その変更値はカウントスタート時に反映されず、オーバーフローまたはアンダーフロー発生時にカウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

三角波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更しても、カウント方向は切り替わりません。同様に、カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その値はカウント動作に反映されません。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

のこぎり波のカウント動作中にカウント方向を変更すると、アップカウント中はアップカウントスタート後の GTPR 値がカウント周期に反映され、ダウンカウント中はダウンカウントスタート後の GTPR 値がカウント周期に反映されます。

図 20.28 にカウント方向切り替え機能の動作例を示します。

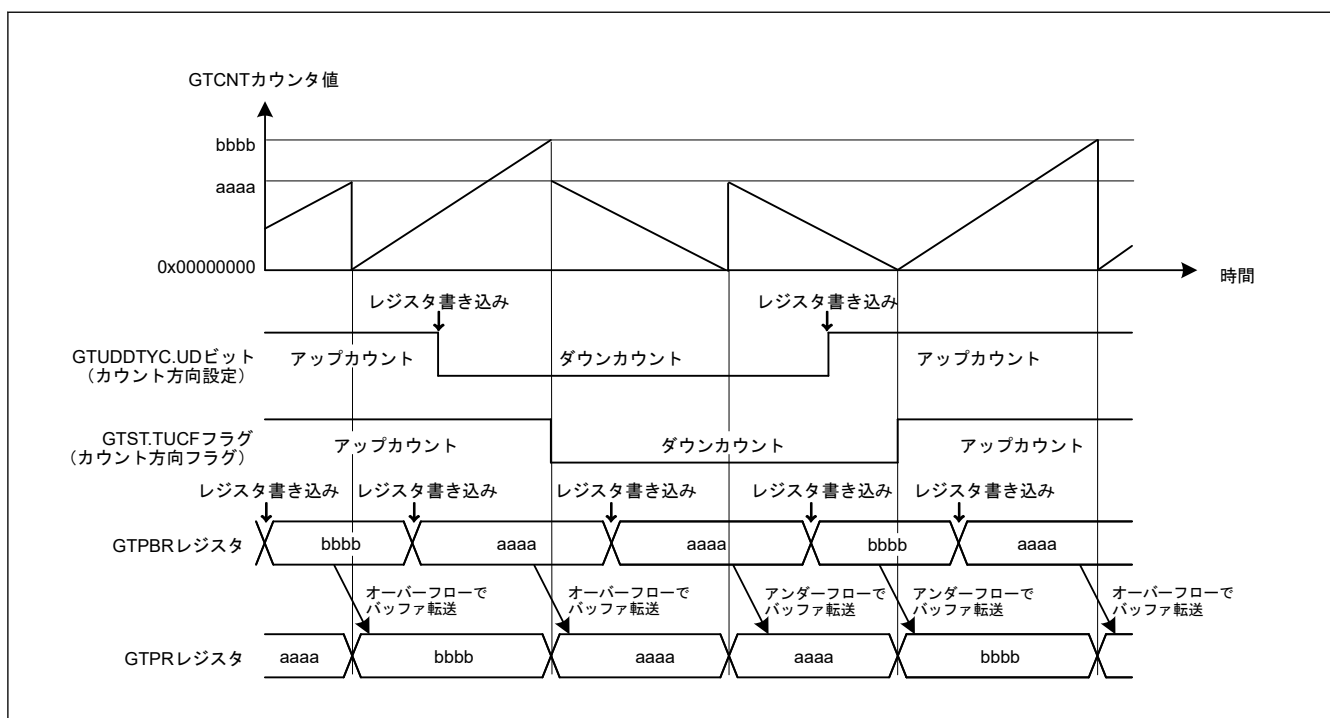


図 20.28 カウント方向切り替え機能の動作例（バッファ動作時）

20.3.6 出力デューティ 0%および出力デューティ 100%機能

GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更することにより、GTIOCnA 端子と GTIOCnB 端子 (n = 0~5) の出力デューティが 0%または 100%に設定されます。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、オーバーフロー（アップカウント中に変更した場合）またはアンダーフロー（ダウンカウント中に変更した場合）発生時に、出力デューティの設定値が反映されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティの変更値はカウントスタート時に反映されません。出力デューティはオーバーフローまたはアンダーフロー発生時に変更されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 1 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、その時の GTUDDTYC.OADTY ビット値または GTUDDTYC.OBDTY ビット値はカウントスタート時に反映されます。

三角波モードの場合、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、アンダーフロー発生時に出力デューティの設定値が反映されます。

カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティの変更値はカウントスタート時に反映されません。アンダーフロー時に出力デューティが変更されます。カウントストップ時に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 1 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、出力デューティの変更値はカウントスタート時に反映されます。

0%または 100%デューティ動作の実行時、GPT は内部で以下の動作を継続します。

- コンペアマッチ動作の実行
- コンペアマッチフラグの設定
- 割り込み出力
- バッファ動作の実行

0%または 100%デューティ設定からコンペアマッチに制御が変更されると、周期の終わりでの GTIOCnA 端子の出力値は、GTIOR.GTIOA[3:2]ビットと GTUDDTYC.OADTYR ビットで決定されます。周期の終わりでの GTIOCnB 端子の出力値は、GTIOR.GTIOB[3:2]ビットと GTUDDTYC.OBDTYR ビットで決定されます。

GTIOR.GTIOA[3:2]ビットと GTIOR.GTIOB[3:2]ビットを 01b にすると、出力端子は周期の終わりで Low 出力となります。GTIOR.GTIOA[3:2]ビットと GTIOR.GTIOB[3:2]ビットを 10b にすると、出力端子は周期の終わりで High 出力となります。

GTIOR.GTIOm[3:2]ビットが 00b（周期の終わりで出力保持）または 11b（周期の終わりでトグル出力）になっている場合、GTUDDTYC.OADTYR ビットでは、周期の終わりで出力保持／トグル出力の対象となる値を選択します。表 20.23 に周期の終わりでの GTIOCnA/GTIOCnB 端子の出力値を示します。

表 20.23 0%または 100%デューティ設定解除後の出力値 (m = A、B)

GTIOR.GTIOm[3:2]	0%/100%デューティ設定でマスクされた周期の終わりでのコンペアマッチ値	GTUDDTYC.OADTYR (デューティ 0%設定時)		GTUDDTYC.OADTYR (デューティ 100%設定時)	
		0	1	0	1
00 (周期の終わりで出力保持)	0	0	0	1	0
	1	0	1	1	1
01 (周期の終わりで Low 出力)	—	0	0	0	0
10 (周期の終わりで High 出力)	—	1	1	1	1
11 (周期の終わりでトグル出力)	0	1	1	0	1
	1	1	0	0	0

図 20.29 に出力デューティ 0%、100%機能の動作例を示します。

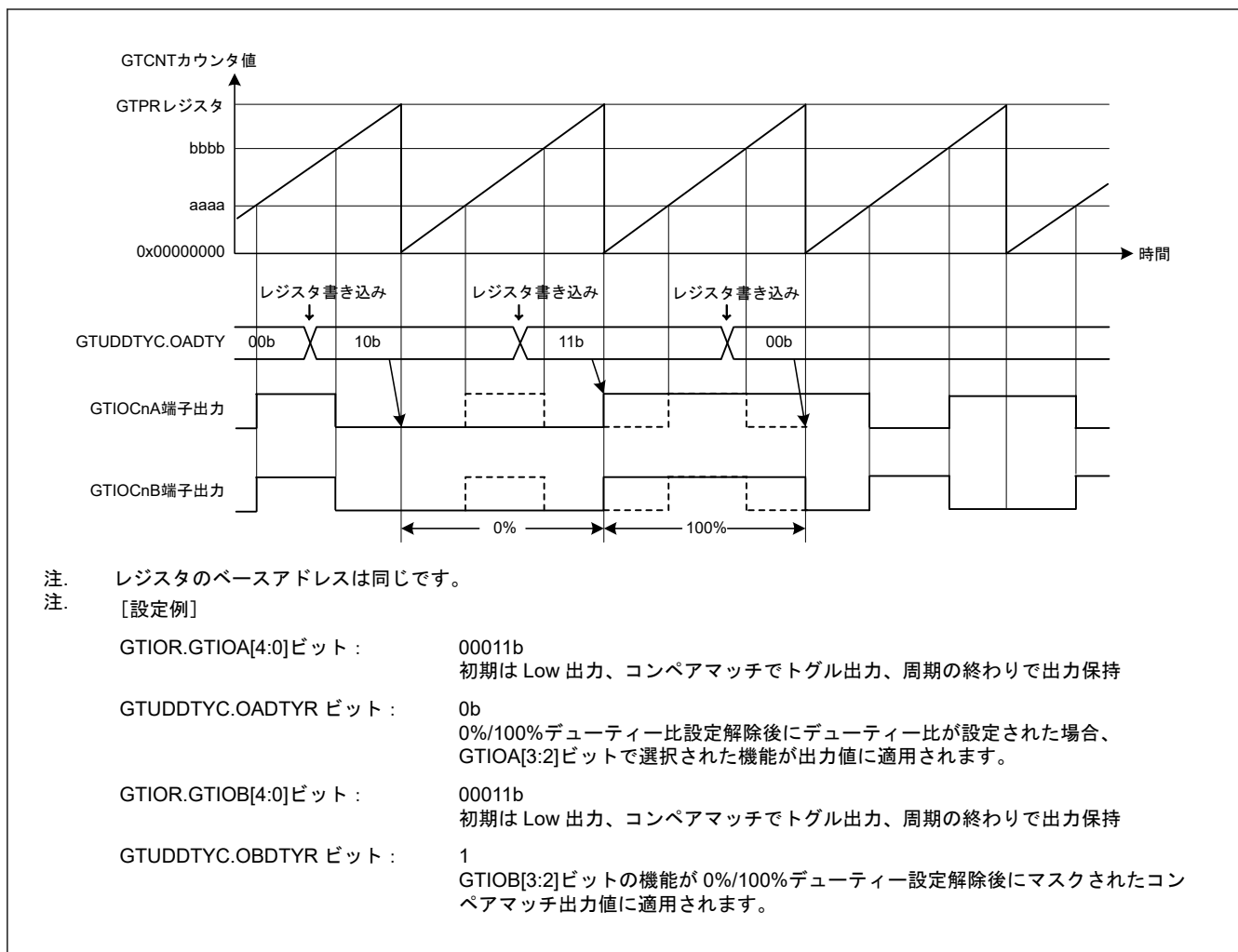


図 20.29 出力デューティ 0%、100%機能動作例

20.3.7 ハードウェアカウントスタート／カウントストップ、カウントクリア動作

下記のハードウェア要因によって、GTCNT カウンタのカウントスタート、カウントストップ、またはカウントクリアが可能です。

- 外部トリガ入力
- ELC イベント入力
- GTIOcNA/GTIOcNB 端子入力 (n = 0～5)

20.3.7.1 ハードウェアスタート動作

GTSSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントスタートが可能です。

図 20.30 にハードウェア要因によるカウントスタートの動作例を示します。表 20.24 に設定例を示します。

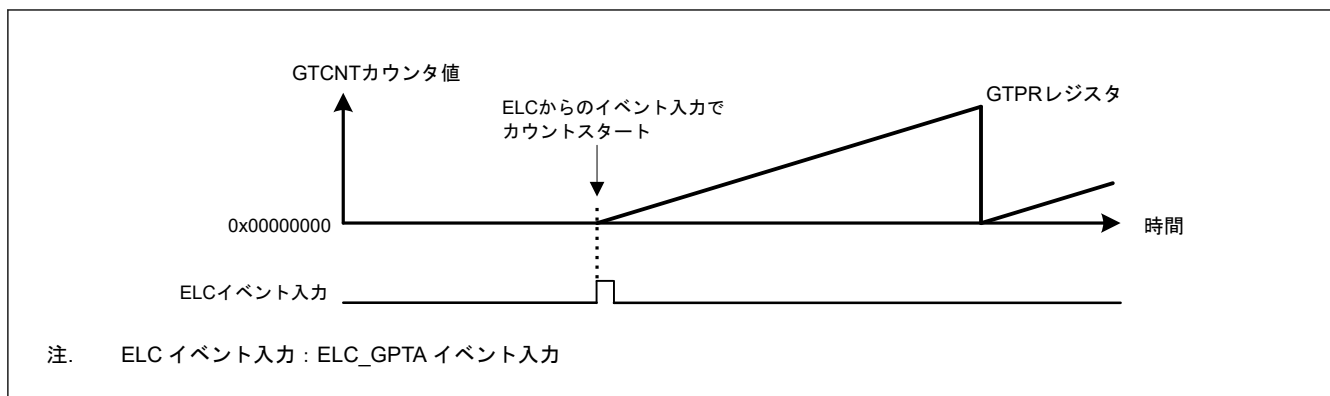


図 20.30 ハードウェア要因によるカウントスタート動作例 (ELC_GPTA イベントからの信号入力時のスタート)

表 20.24 ハードウェア要因によるカウントスタート動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.30 では 000b (のこぎり波 PWM モード) を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向 (アップ/ダウン) を設定します。 図 20.30 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します (アップカウント)。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 20.30 では 0x00000000 を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択します。 図 20.30 では GTSSR.SSELCA = 1
7	ハードウェア要因の動作設定	GTSSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタートさせます。 図 20.30 では ELC_GPTA イベント入力の動作を設定します。

20.3.7.2 ハードウェアストップ動作

GTPSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントストップが可能です。

図 20.31 にハードウェア要因によるカウントストップの動作例を示します。表 20.25 に設定例を示します。この例では、カウント動作が ELC_GPTA イベント入力でストップし、ELC_GPTB イベント入力で再スタートしています。

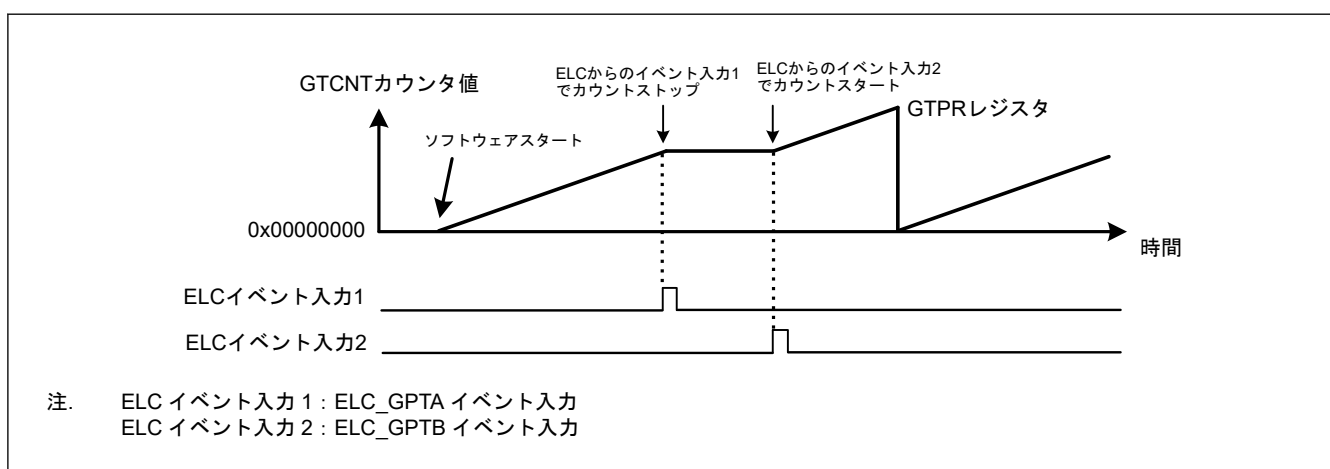


図 20.31 ハードウェア要因によるカウントストップ動作例 (ソフトウェアによるスタート、ELC_GPTA 入力でのストップ、ELC_GPTB 入力での再スタートの場合)

表 20.25 ハードウェア要因によるカウントストップ動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.31 では 000b (のこぎり波 PWM モード) を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向 (アップ/ダウン) を設定します。 図 20.31 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します (アップカウント)。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 20.31 では 0x00000000 を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。図 20.31 では GTSSR.SSELCB = 1
7	ハードウェアカウントストップ設定	GTPSR レジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。図 20.31 では GTPSR.PSELCA = 1
8	ハードウェア要因の動作設定	GTSSR レジスタまたは GTPSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタートまたはストップさせます。図 20.31 では ELC_GPTA 入力と ELC_GPTB 入力の動作を設定します。

図 20.32 にハードウェア要因によるカウントスタート/ストップ動作例を示します。表 20.26 に設定例を示します。この例では、外部トリガ入力 GTETRGA 端子が High の期間に、カウンタが動作しています。

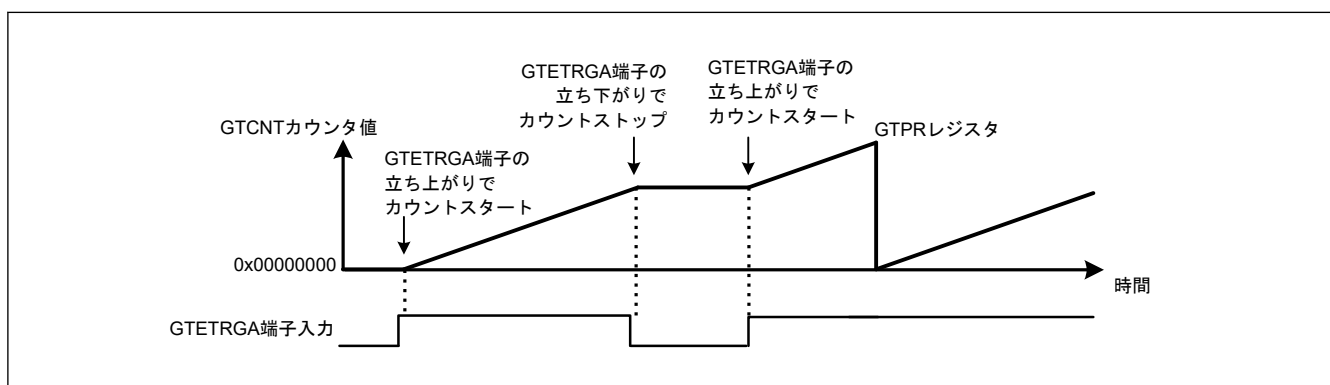


図 20.32 ハードウェア要因によるカウントスタート/ストップ動作例 (GTETRGA 端子入力の立ち上がりエッジでスタート、GTETRGA 端子入力の立ち下がりエッジでストップの場合)

表 20.26 ハードウェア要因によるカウントスタート/ストップ動作設定例 (1/2)

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.32 では 000b (のこぎり波 PWM モード) を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向 (アップ/ダウン) を設定します。 図 20.32 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します (アップカウント)。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 20.32 では 0x00000000 を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。 図 20.32 では GTSSR.SSGTRGAR = 1
7	ハードウェアカウントストップ設定	GTPSR レジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。 図 20.32 では GTPSR.PSGTRGAF = 1

表 20.26 ハードウェア要因によるカウントスタート/ストップ動作設定例 (2/2)

No.	ステップ名	説明
8	ハードウェア要因の動作設定	GTSSR レジスタ、GTPSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタート/ストップさせます。 図 20.32 では GTETRGA 端子の動作を設定します。

20.3.7.3 ハードウェアクリア動作

GTCSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントクリアができます。ハードウェア要因またはソフトウェアによって GTCNT カウンタがクリアされても、GPTn_OVF/GPTn_UDF (n = 0 ~ 5) 割り込み (オーバーフロー/アンダーフロー割り込み) は発生しません。

図 20.33 と図 20.34 にハードウェア要因による GTCNT カウンタのクリア動作例を示します。表 20.27 に設定例を示します。この例では、GTCNT カウンタは ELC_GPTA 入力でスタートし、ELC_GPTB 入力でストップおよびクリアされています。

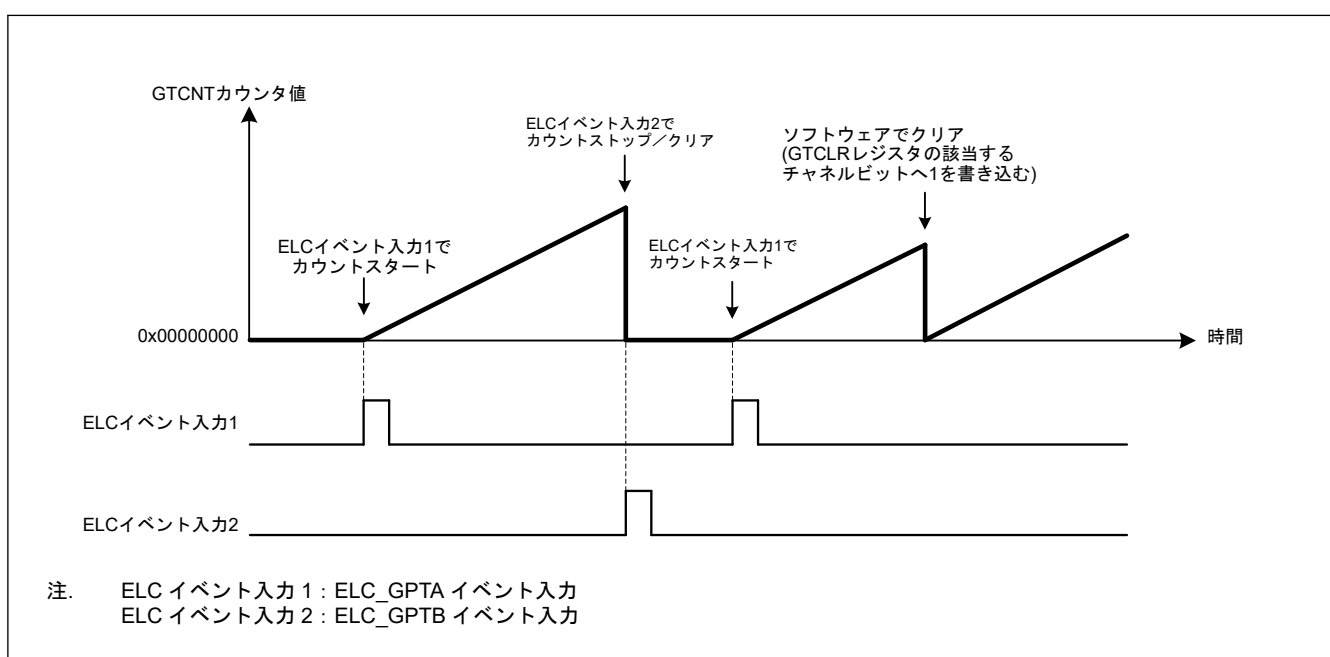


図 20.33 ハードウェア要因によるカウントクリア動作例 (のこぎり波アップカウント、ELC_GPTA 入力でスタート、ELC_GPTB 入力でストップ/クリアの場合)

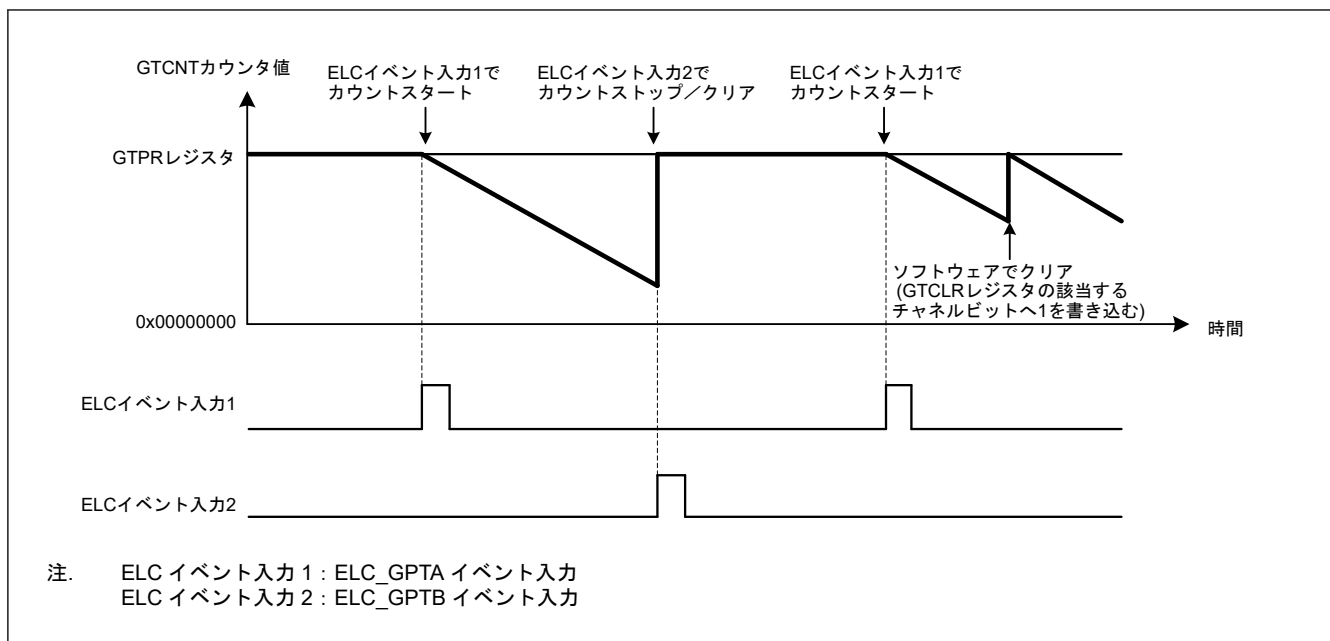


図 20.34 ハードウェア要因によるカウントクリア動作例（のこぎり波ダウンカウント、ELC_GPTA 入力でスタート、ELC_GPTB 入力でストップ/クリアの場合）

表 20.27 ハードウェア要因によるカウントクリア動作設定例

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.33 と図 20.34 では 000b（のこぎり波 PWM モード）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ/ダウン）を設定します。 図 20.33 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。 図 20.34 では GTUDDTYC[1:0]ビットに 10b を設定してから GTUDDTYC[1:0]ビットに 00b を設定します（ダウンカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 20.33 では 0x00000000 を設定します。図 20.34 では GTPR 値を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。図 20.33、図 20.34 では GTSSR.SSELCA = 1
7	ハードウェアカウントストップ設定	GTPSR レジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。図 20.33、図 20.34 では GTPSR.PSELCA = 1
8	ハードウェアカウントクリア設定	GTCSR レジスタでカウントをクリアさせるハードウェア要因を選択し、ハードウェア要因によるカウントクリア待ち状態にします。図 20.33、図 20.34 では GTCSR.CSELCA = 1
9	ハードウェア要因の動作設定	GTSSR レジスタ、GTPSR レジスタ、GTCSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタート/ストップ/クリアさせます。 図 20.33 と図 20.34 では ELC_GPTA 入力と ELC_GPTB 入力を設定します。

ハードウェア要因またはソフトウェアによってカウンタがクリアされても、GPTn_OVF/GPTn_UDF (n = 0~5) 割り込み（オーバーフロー/アンダーフロー割り込み）は発生しません。

図 20.35 にハードウェア要因によるカウンタクリアと GPTn_OVF (n = 0~5) 割り込みの関係を示します。

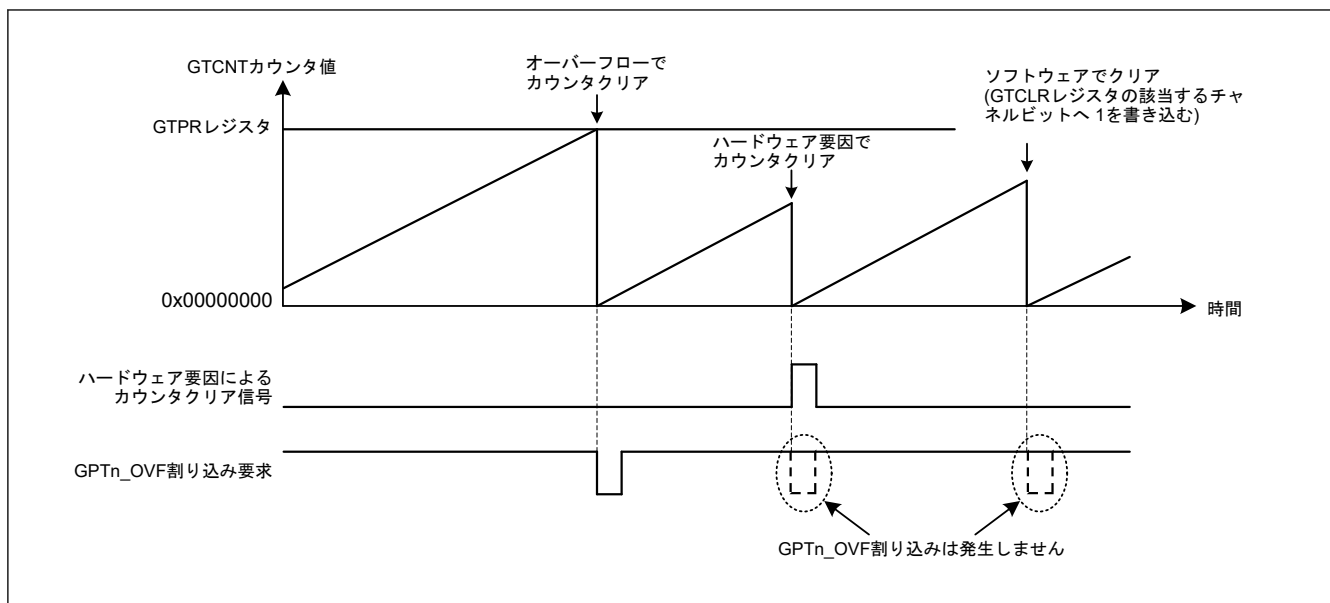


図 20.35 ハードウェア要因によるカウンタクリアと GPTn_OVF (n = 0~5) 割り込みの関係

20.3.8 同期動作

同期スタート/ストップ/クリア動作など、チャネル間の同期動作を実行できます。

20.3.8.1 ソフトウェアによる同期動作

GTCNT カウンタは、対応する GTSTR ビット、GTSTP ビット、または GTCLR ビットを同時に 1 にすることにより、複数のチャネル上でスタート/ストップ/クリアできます。

また、GTCNT カウンタの初期値を設定し、対応する GTSTR ビットを同時に 1 にすることにより、位相の異なるカウントスタートが可能です。

カウント動作のクロックが各チャネルの GTCR.TPCS[3:0] ビットにより選択されるので、同期動作（カウントスタート/ストップ/クリア）を実行する各チャネルのクロック周期が他と異なる場合、チャネルごとの同期動作タイミングは全く同一というわけではありません。

図 20.36 にソフトウェアによる同時スタート/ストップ/クリアの動作例を示します。図 20.37 にソフトウェアによる位相スタートの動作例を示します。図 20.38、図 20.39、図 20.40 に異なるカウント周期の同時スタート/ストップ/クリアの動作例を示します。

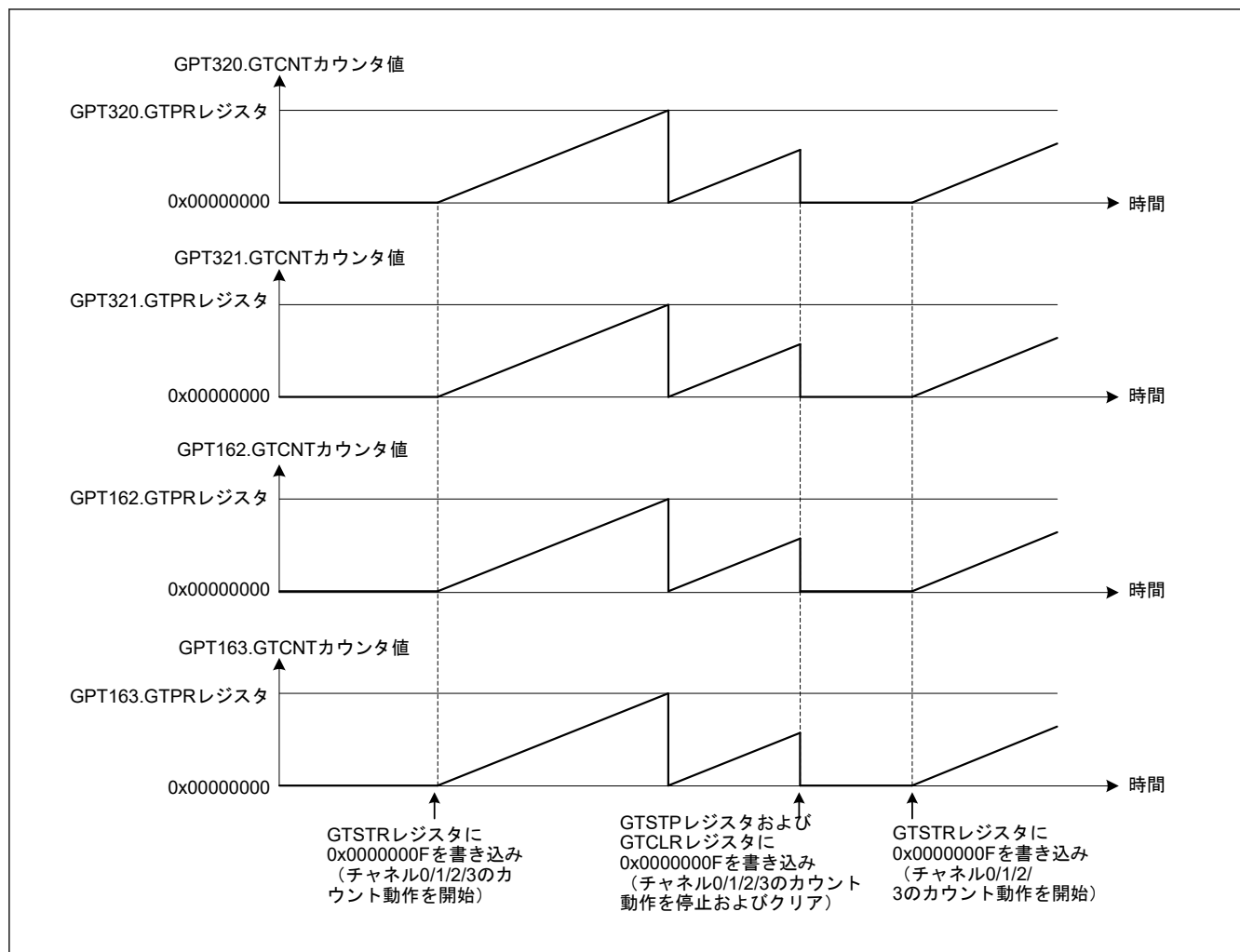


図 20.36 ソフトウェアによる同時スタート/ストップ/クリアの動作例 (カウント周期 (GTPR レジスタ値) が同一のとき)

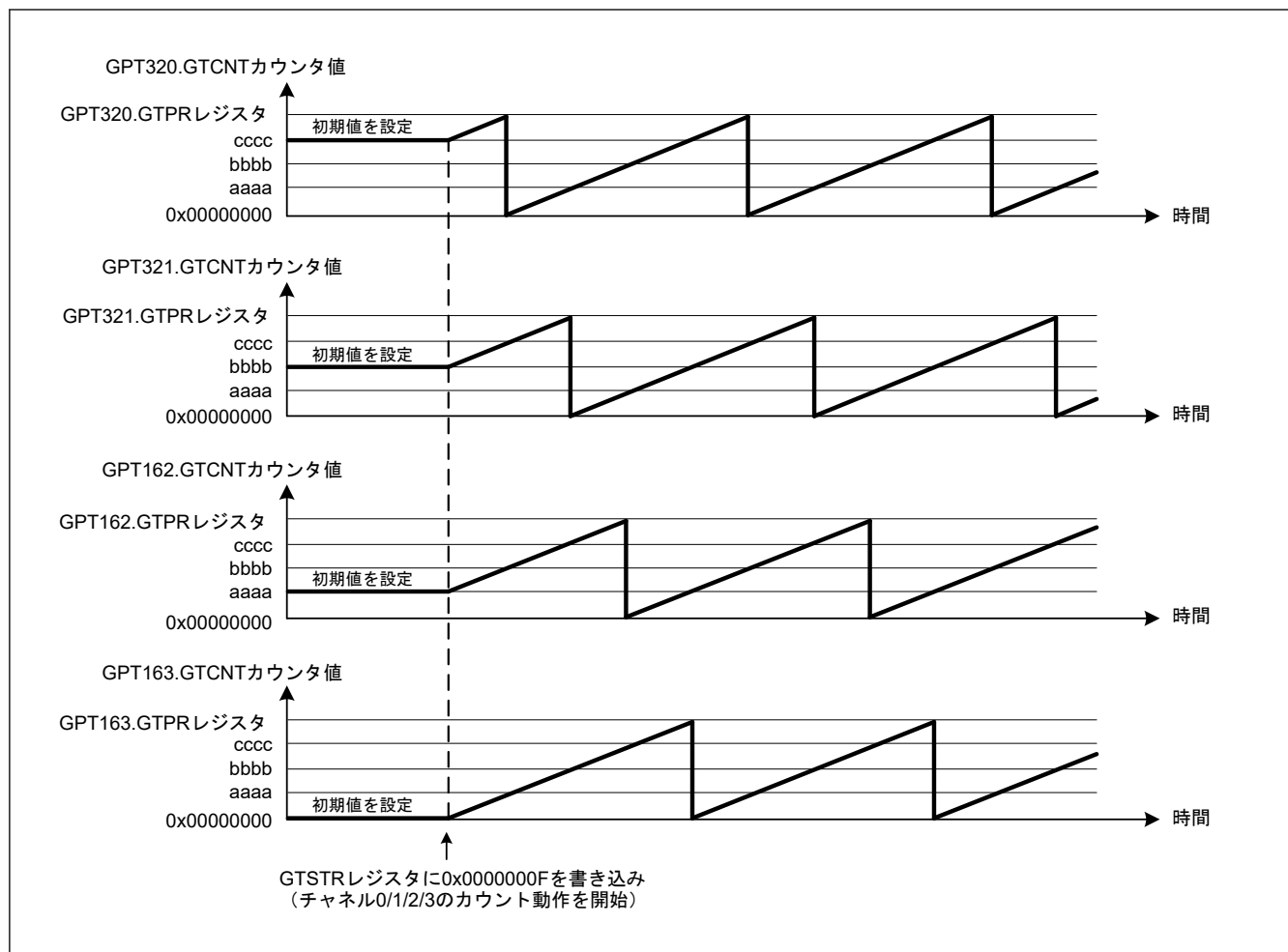


図 20.37 ソフトウェアによる位相スタート動作例（カウント周期（GTPR レジスタ値）が同一のとき）

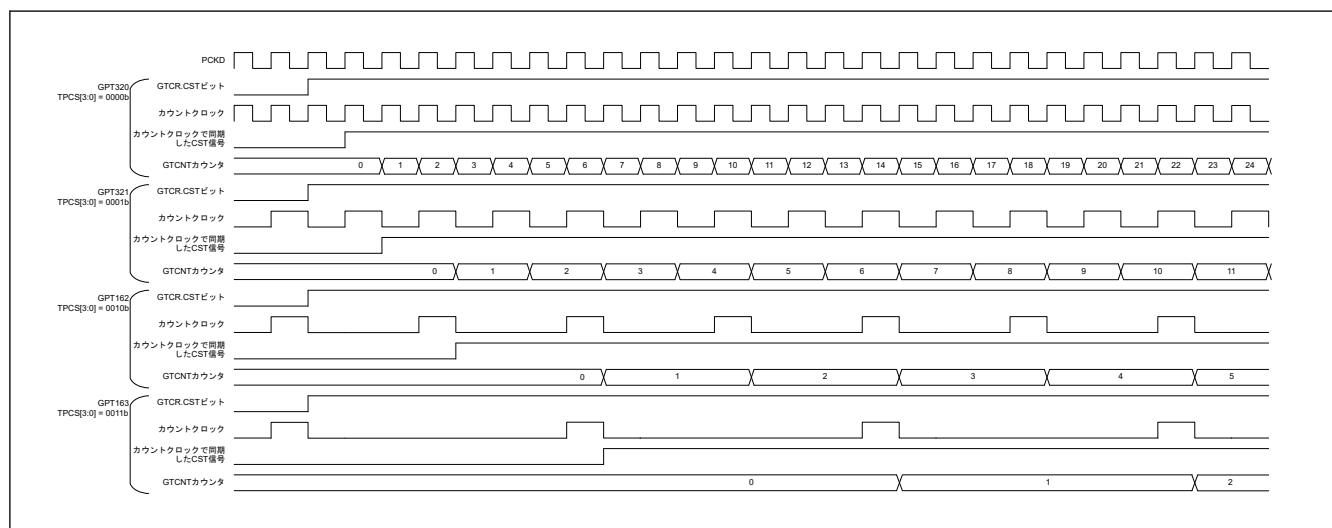


図 20.38 ソフトウェアによる同時スタートの動作例（異なるカウント周期）

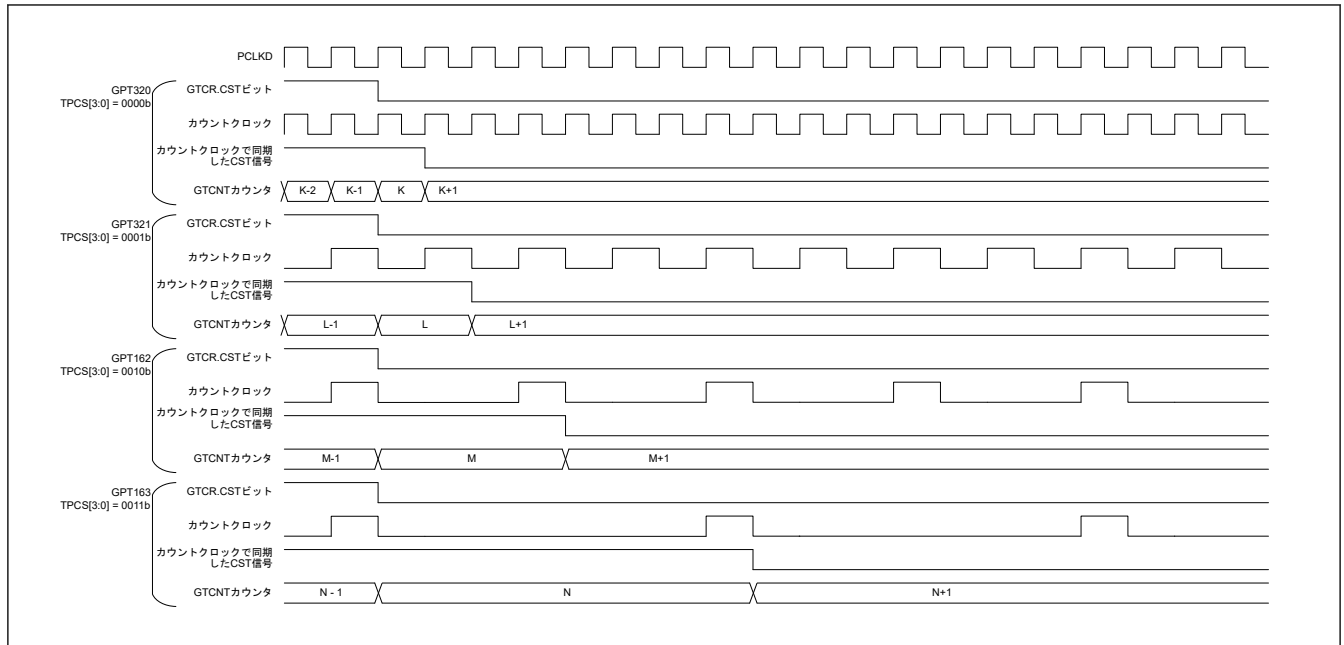


図 20.39 ソフトウェアによる同時ストップの動作例（異なるカウント周期）

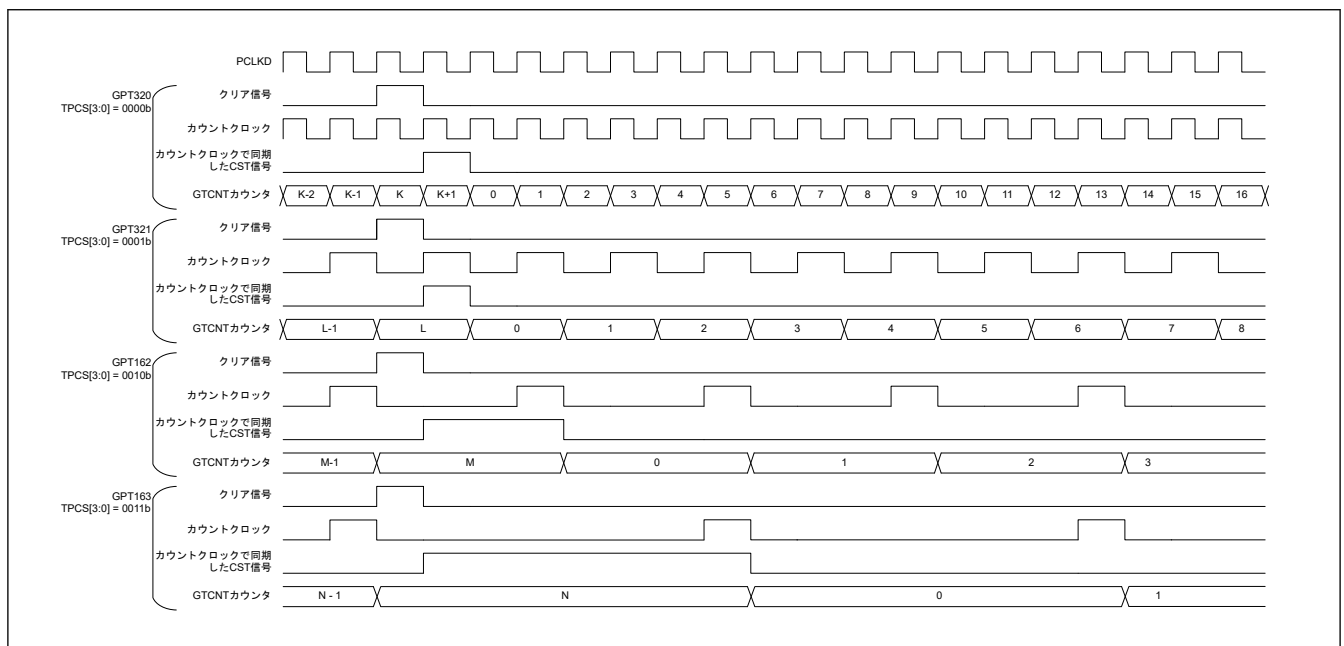


図 20.40 ソフトウェアによる同時クリアの動作例（異なるカウント周期）

20.3.8.2 ハードウェアによる同期動作

ハードウェア要因により、複数のチャンネルのカウンタを同時にスタート、ストップ、クリアすることができます。同期動作が可能なハードウェア要因は、外部トリガ入力と ELC イベント入力です。GTIOChA 端子入力と GTIOChB 端子入力による同期動作は、インプットキャプチャによる ELC イベントをハードウェア要因として設定することで可能です ($n = 0 \sim 5$)。

図 20.41 にハードウェア要因による同時スタート/ストップ/クリアの動作例を示します。表 20.28 に設定例を示します。

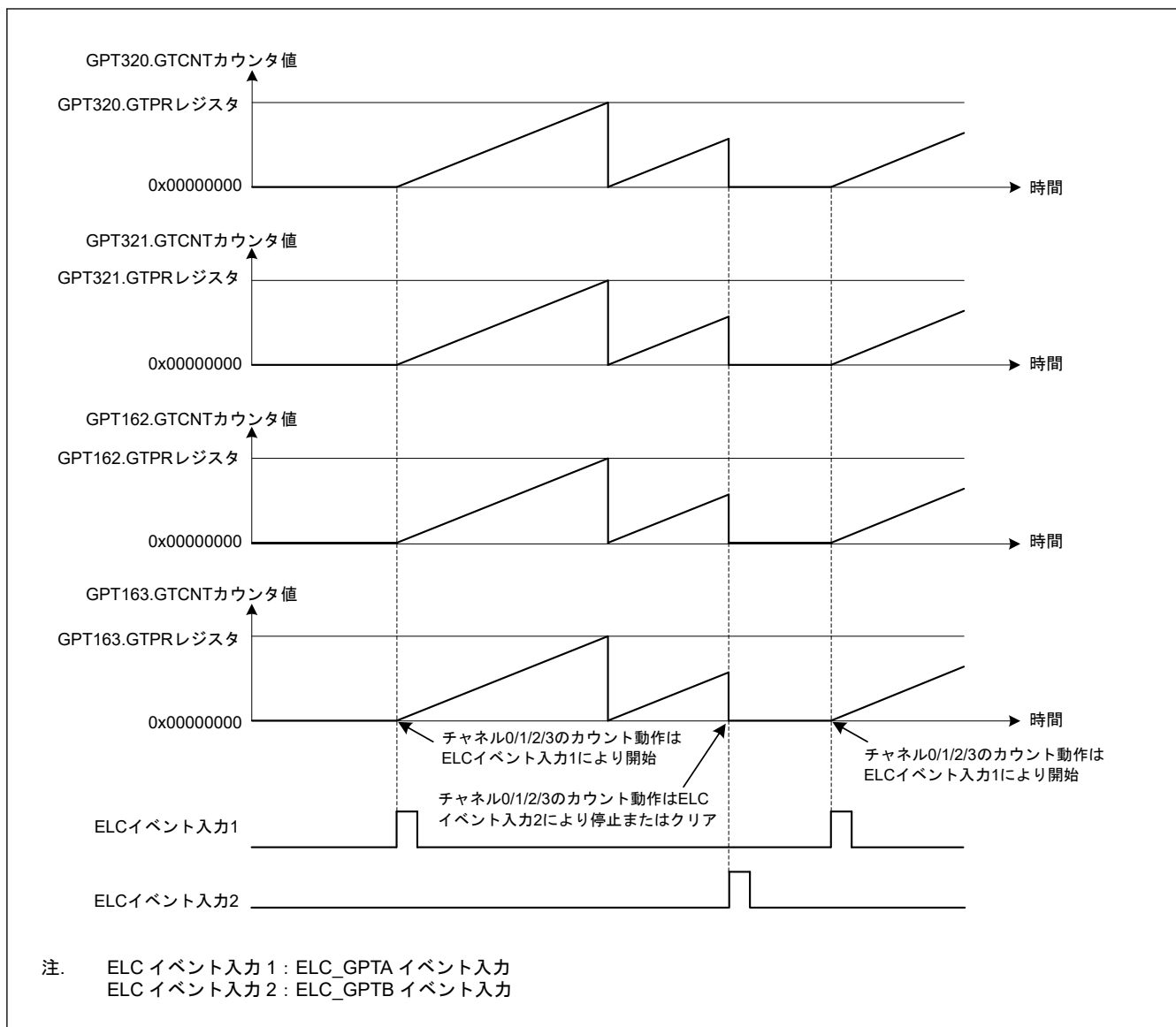


図 20.41 ハードウェア要因による同時スタート/ストップ/クリア動作例（カウント周期（GTPR レジスタ値）が同一のとき）

表 20.28 ハードウェア要因による同時スタート設定例 (1/2)

No.	ステップ名	説明
1	動作モード設定	GTCCR.MD[2:0]ビットで動作モードを設定します。 図 20.41 では 000b（のこぎり波 PWM モード）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ/ダウン）を設定します。 図 20.41 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 20.41 では 0x00000000 を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。 図 20.41 では GTSSR.SSELCA = 1
7	ハードウェアカウントストップ設定	GTPSR レジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。 図 20.41 では GTPSR.PSELCB = 1

表 20.28 ハードウェア要因による同時スタート設定例 (2/2)

No.	ステップ名	説明
8	ハードウェアカウンタクリア設定	GTCSR レジスタでカウントをクリアさせるハードウェア要因を選択し、ハードウェア要因によるカウンタクリア待ち状態にします。 図 20.41 では GTCSR.CSELCB = 1
9	ハードウェア要因の動作設定	GTSSR レジスタ、GTPSR レジスタ、GTCSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタート/ストップ/クリアさせます。 図 20.41 では ELC_GPTA 入力と ELC_GPTB 入力を設定します。

20.3.9 PWM 出力動作例

(1) 同期 PWM 出力

GPT は、最大 8 チャンネルの 8×2 相の連動した PWM 波形を出力します。

図 20.42 に、4 チャンネルをのこぎり波 PWM モードで同期動作させて、8 相の PWM 波形を出力させる例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。GTIOCnB 端子は、初期値として Low 出力、GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。

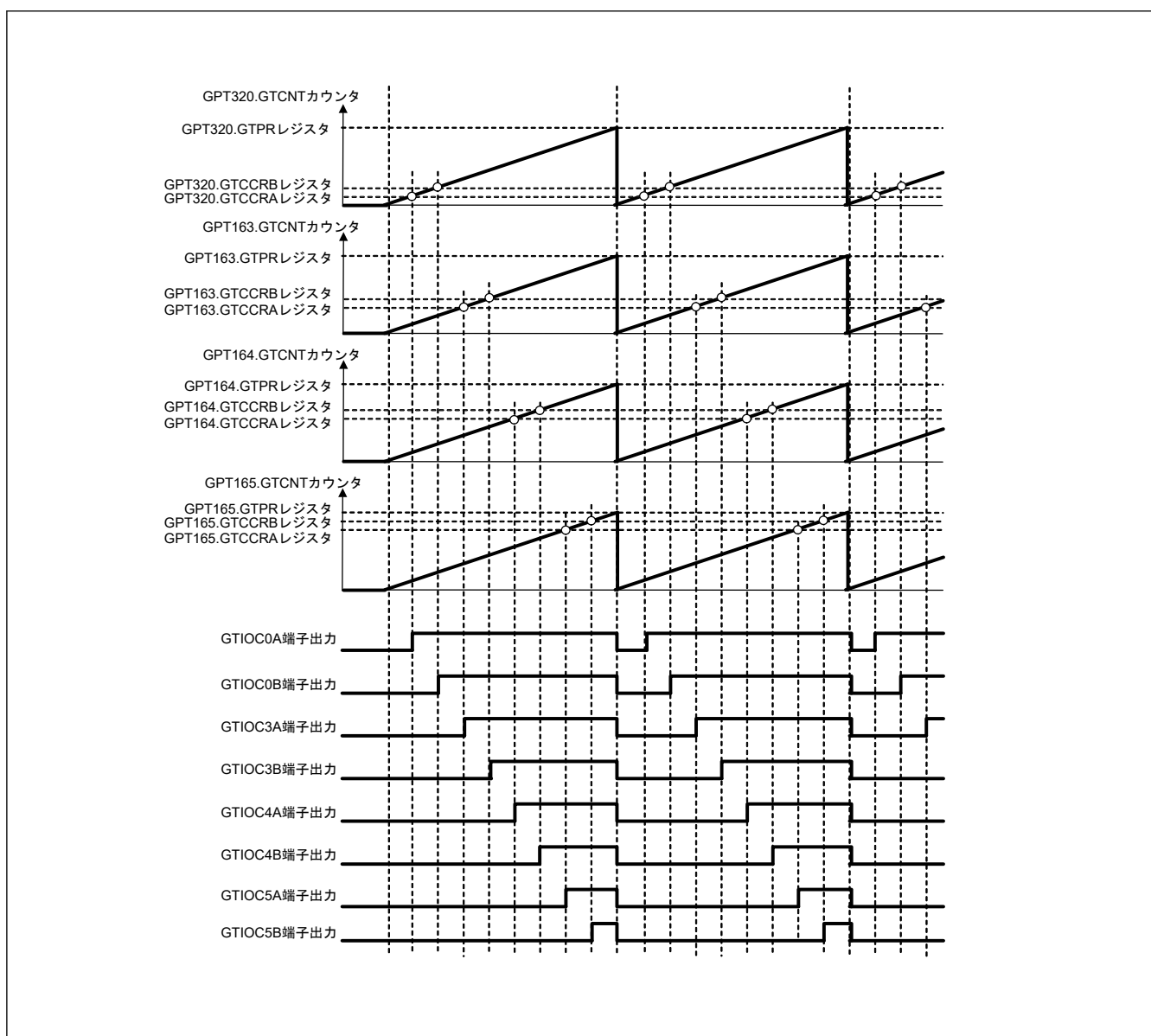


図 20.42 同期 PWM 出力例

(2) のこぎり波 3 相相補 PWM 出力

図 20.43 に、3 チャンネルをのこぎり波 PWM モードで同期動作させて、3 相の相補 PWM 波形を出力させる例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチで Low 出力、周期の終わりで High 出力するように設定されています。

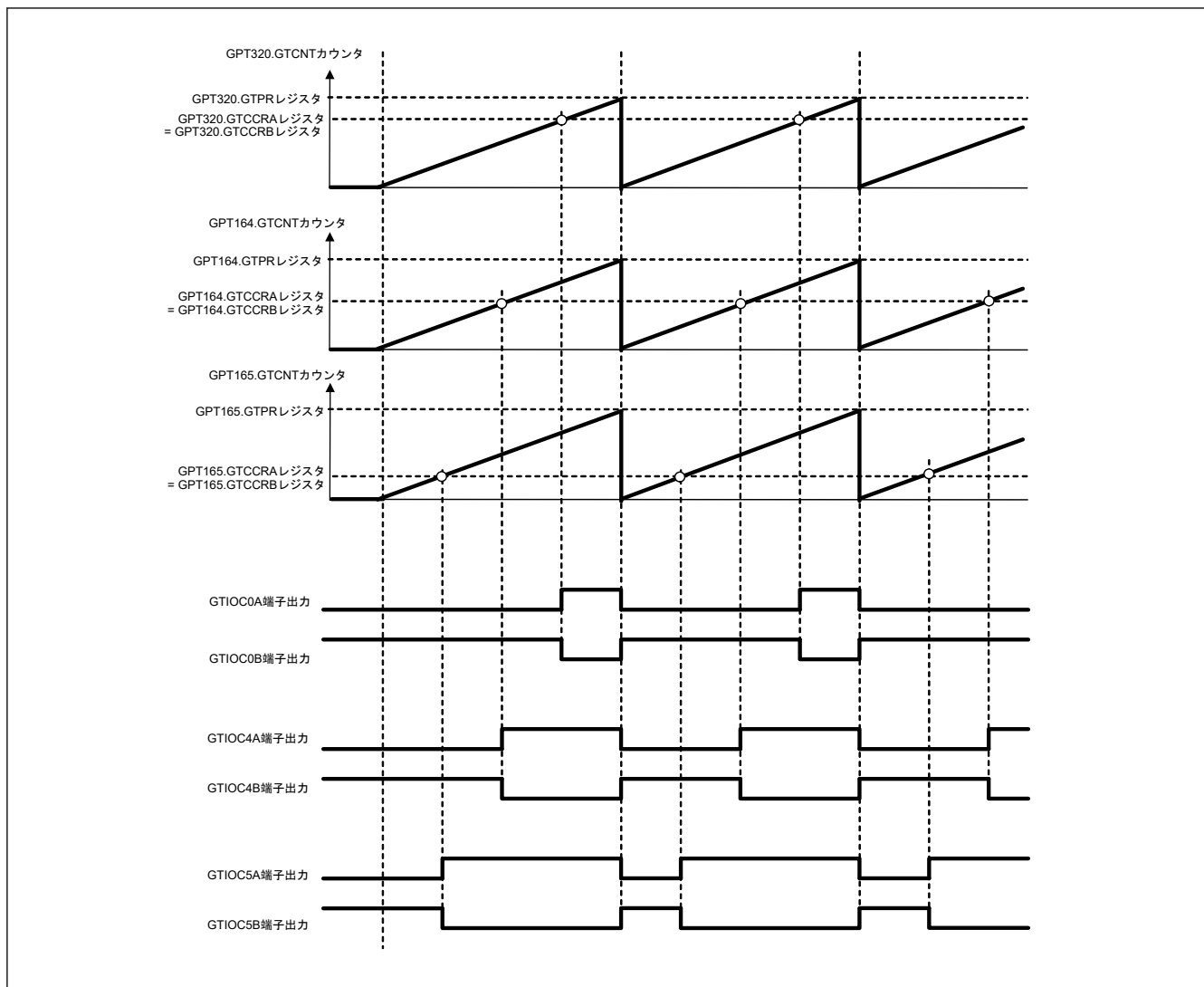


図 20.43 のこぎり波 3 相相補 PWM 出力例

(3) のこぎり波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 20.44 に、デッドタイム自動設定機能を使用して、3 チャンネルをのこぎり波ワンショットパルスモードで同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

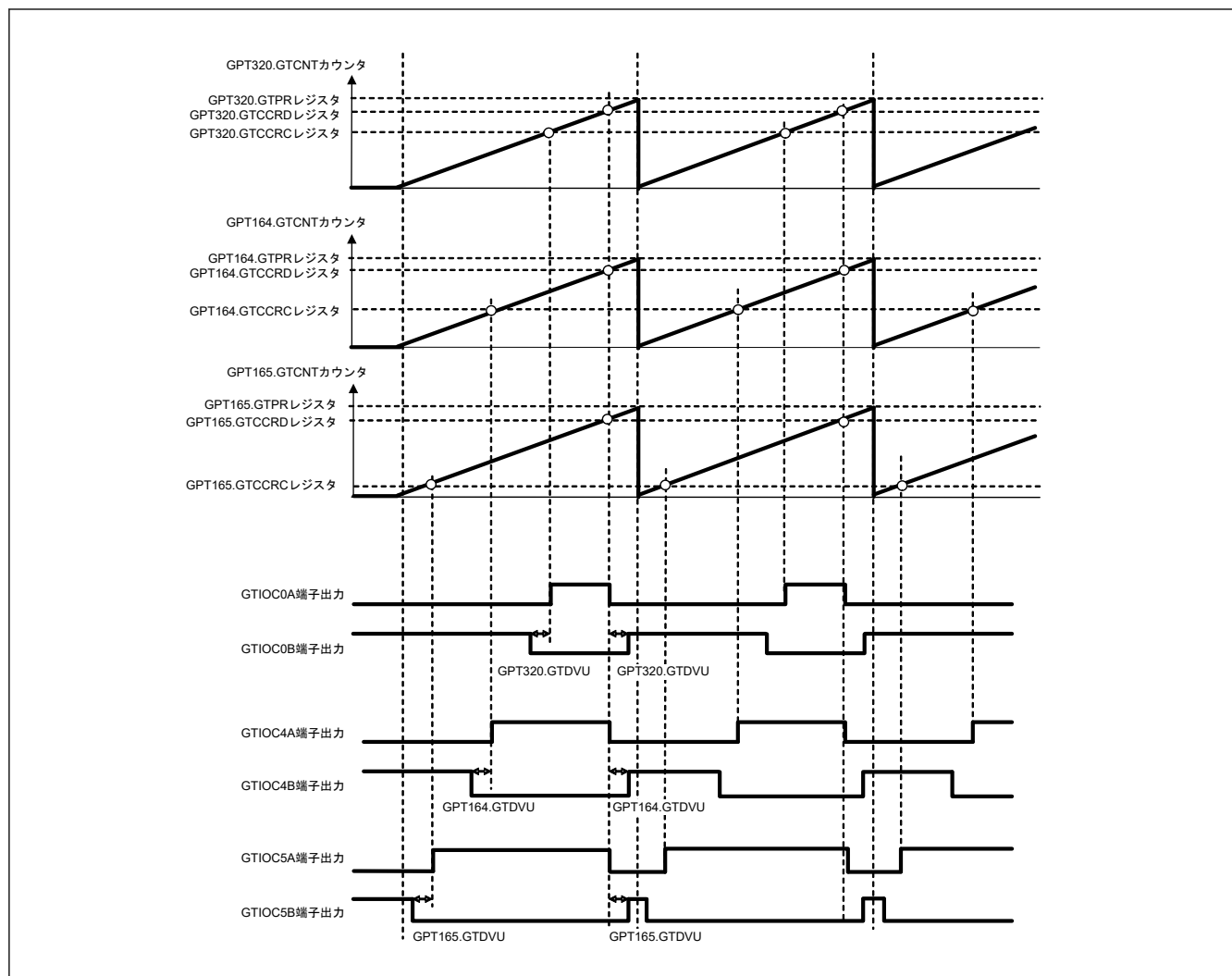


図 20.44 のこぎり波 3 相相補 PWM 出力例 (デッドタイム自動設定)

(4) 三角波 3 相相補 PWM 出力

図 20.45 に、3 チャンネルを三角波 PWM モード 1 で同期動作させて、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

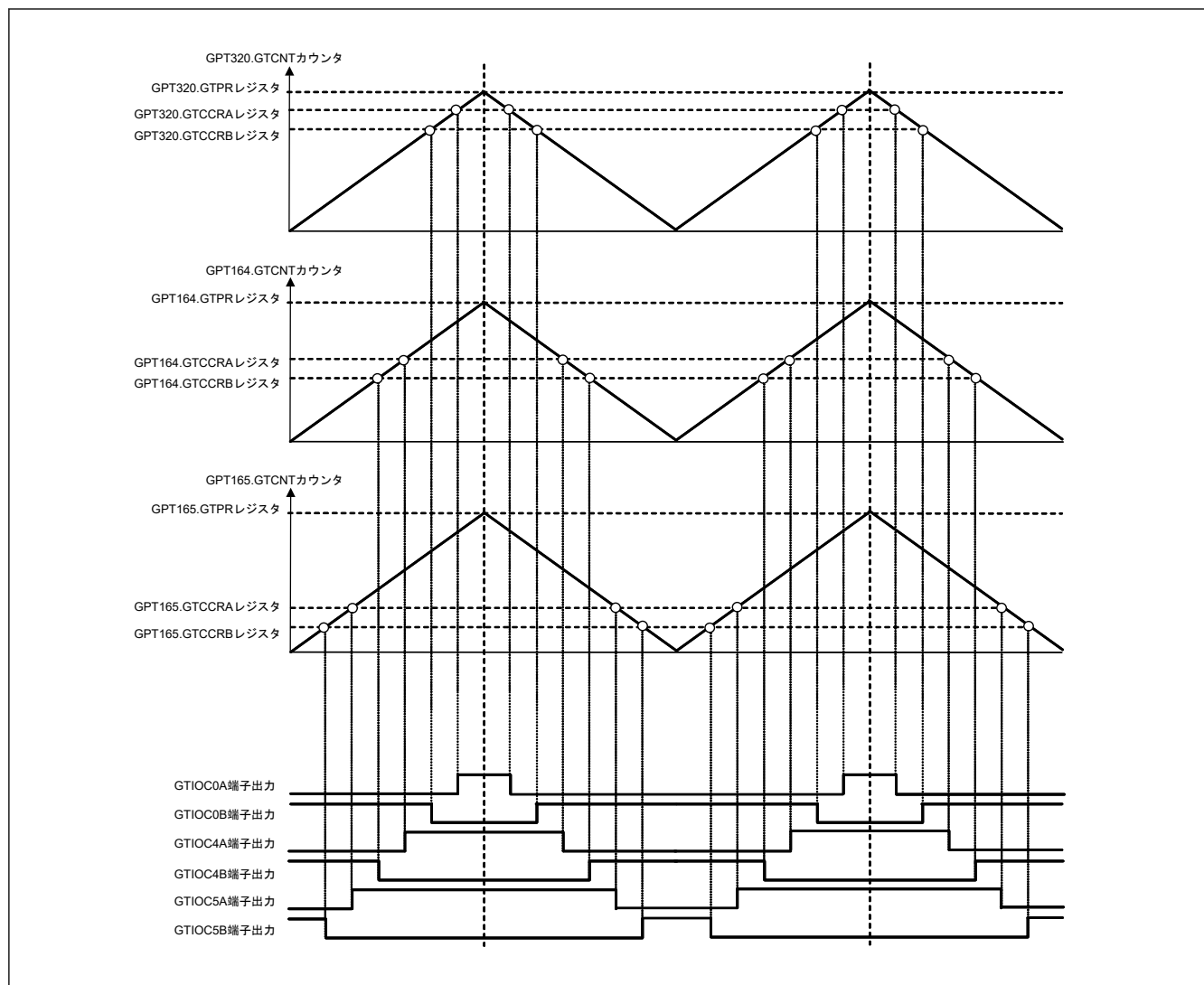


図 20.45 三角波 3 相相補 PWM 出力例

(5) 三角波 3 相相補 PWM 出力（デッドタイム自動設定）

図 20.46 に、デッドタイム自動設定機能を使用して、3 チャンネルを三角波 PWM モード 1 で同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

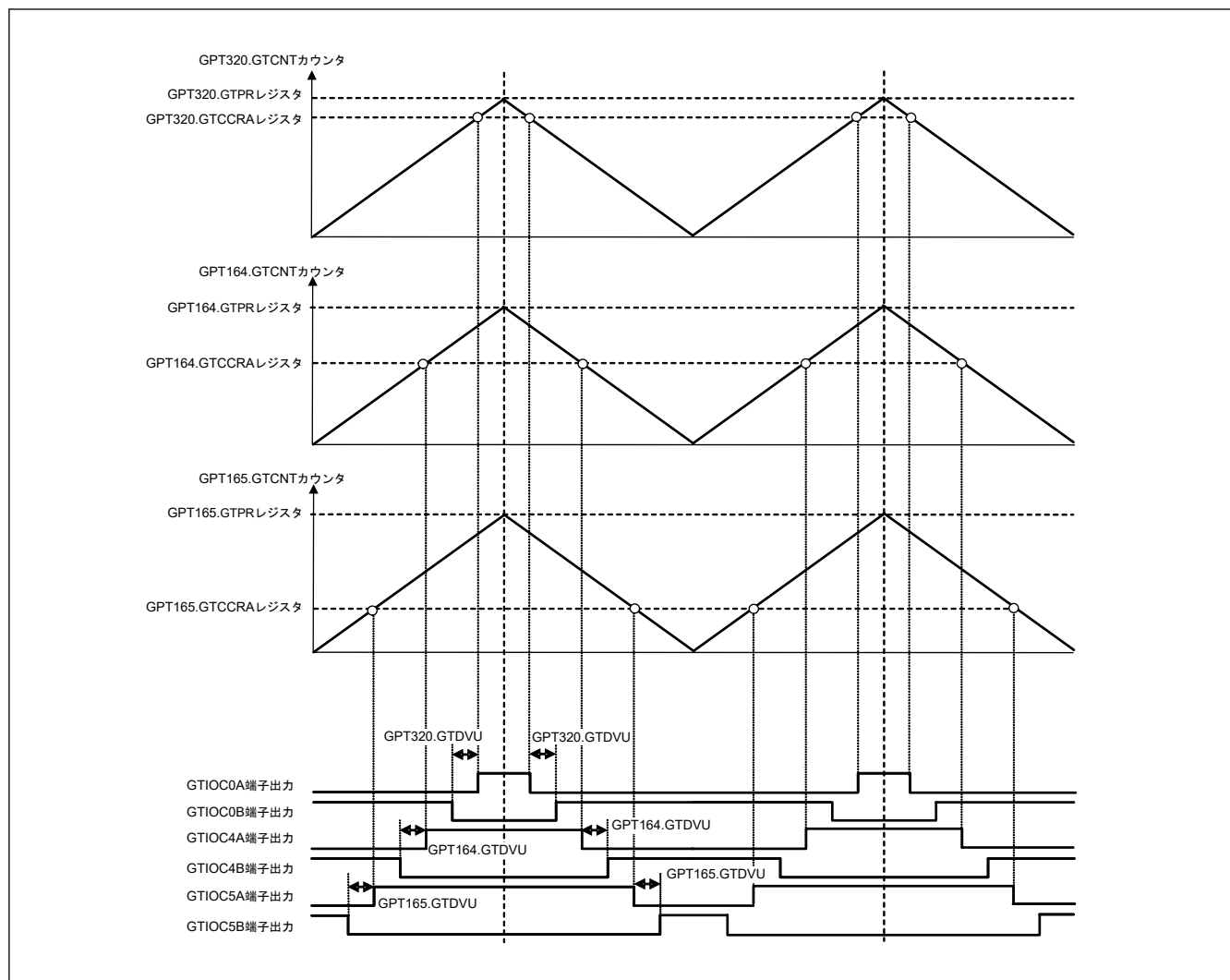


図 20.46 三角波 3 相相補 PWM 出力例 (デッドタイム自動設定)

(6) 非対称三角波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 20.47 に、デッドタイム自動設定機能を使用して、3 チャネルを三角波 PWM モード 3 で同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

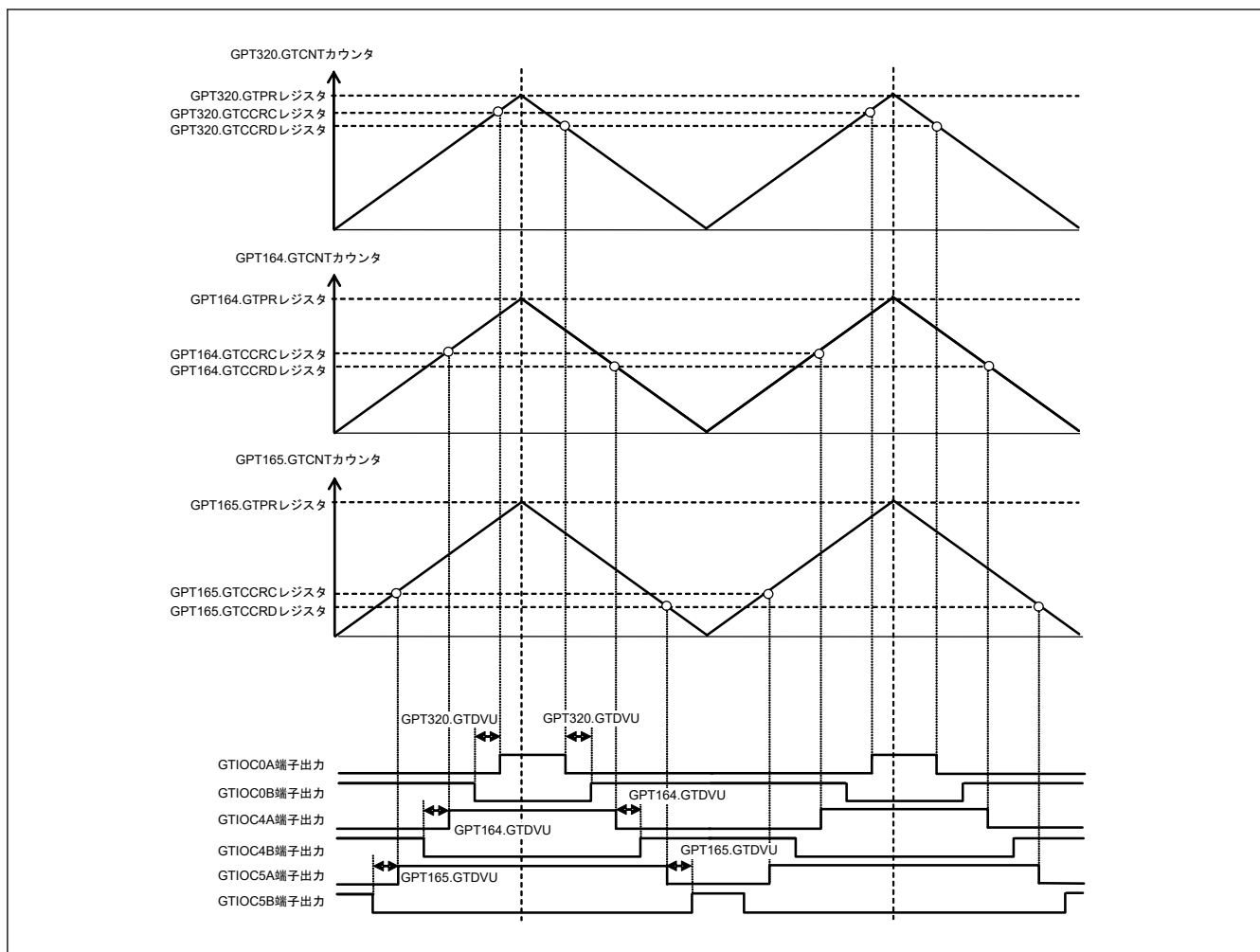


図 20.47 非対称三角波 3 相相補 PWM 出力例 (デッドタイム自動設定)

20.3.10 周期計数機能

GTPC レジスタを設定すると、周期の終了を計数できます。

GTPC.PCEN ビットが 0 の場合、計数する周期の数は GTPC.PCNT カウンタに設定します。PCEN ビットが 1 のとき、PCNT カウンタを読み出せますが、書き込みはできません。PCEN ビットが 1 のとき、周期の終わりでダウンカウントが実行されます。周期の終わりに PCNT カウンタが 1 であるとき、カウンタは 0 になり、計数を停止し周期計数機能を終了します。その時、GTST.PCF フラグが設定され、周期計数機能終了割り込み要求 $GPTn\_PC$ が発生します。GTPC.ASTP ビットが 1 の場合、周期計数機能が終了したときに GTCNT カウンタも同時に停止します。

周期計数機能が許可された状態で、GTCNT カウンタが停止したとき、PCNT カウンタはその値を保持します。GTCNT カウンタがカウントを再開して PCEN ビットが 1 のとき、PCNT カウンタは保持していた値からダウンカウントを再開します。

PCNT カウンタが 0 で ASTP ビットが 1 の状態で PCEN ビットを 0 から 1 に変更した場合、GTCNT カウンタはその直後にカウントクロックで停止します。

GTSECR.SPCE ビットまたは GTSECR.SPCD ビットいずれかが 1 に設定されたとき、GTSECSR レジスタによって 1 に設定されたチャネルの PCEN ビットが、複数のチャネルの周期計数機能を許可／禁止する値に同時に設定されます。

PWM 周期計数機能の例を図 20.48 と図 20.49 に示します。

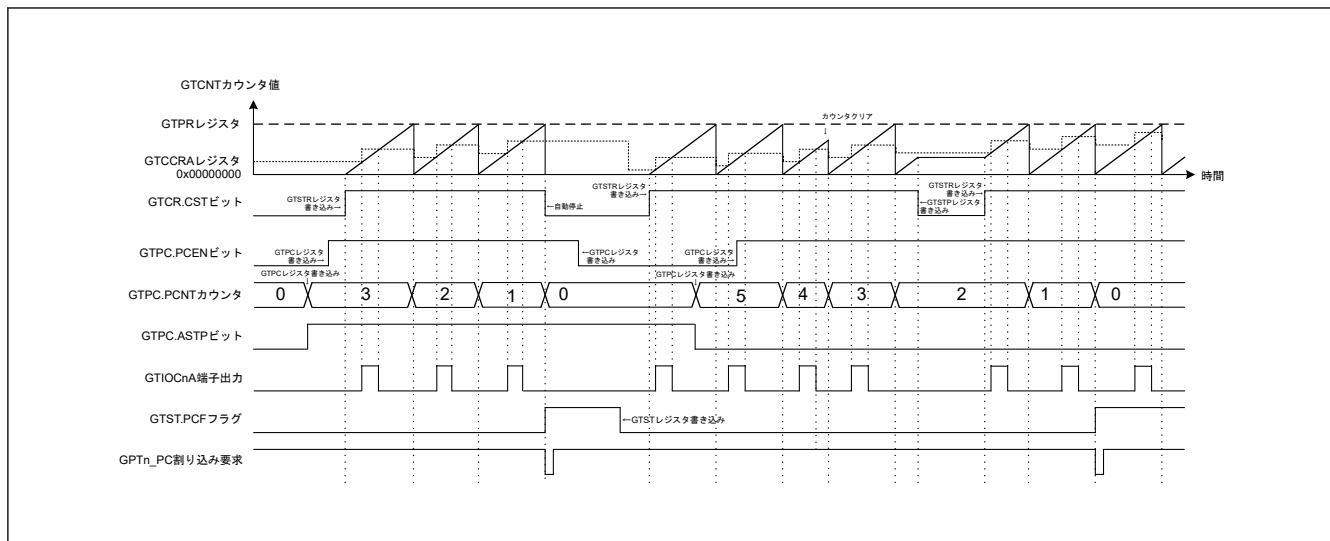


図 20.48 PWM 周期計数機能の例 (のこぎり波ワンショットパルスモード)

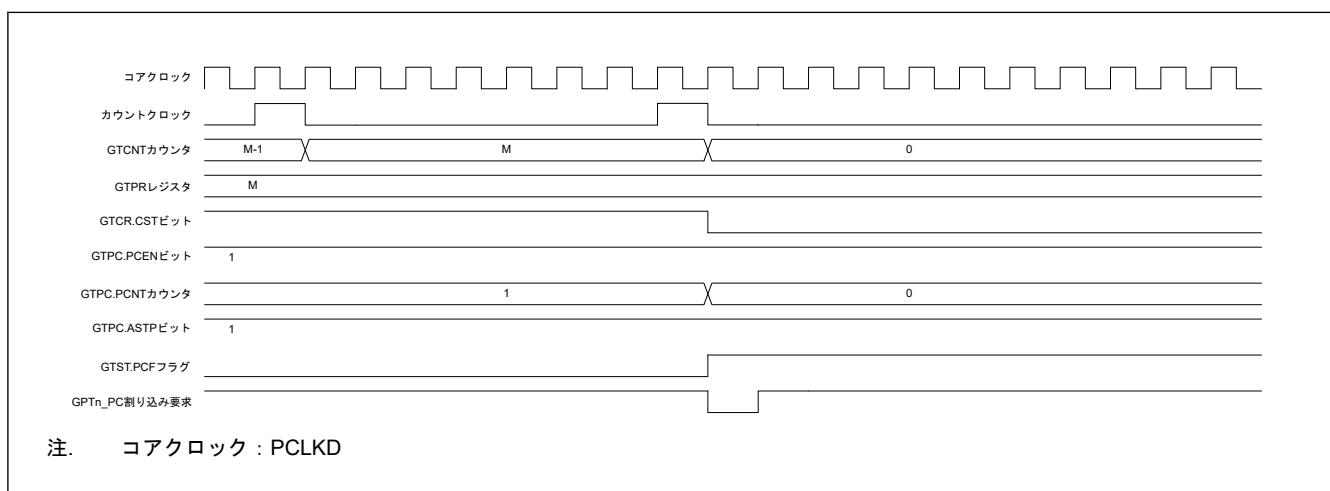


図 20.49 PWM 周期計数機能の動作タイミング例 (のこぎり波ワンショットパルスモード、アップカウント)

20.3.11 位相計数機能

GTIOcNA 端子入力と GTIOcNB 端子入力 ($n = 0 \sim 5$) の間で位相差が検出されると、対応する GTCNT カウンタがアップカウントまたはダウンカウントを実行します。GTUPSR レジスタおよび GTDNSR レジスタに設定されている GTIOcNA 端子入力と GTIOcNB 端子入力のレベルとエッジの関係が、どのような組み合わせであっても位相差を検出できます。カウント動作の詳細については、「[20.3.1.1. カウンタの動作](#)」を参照してください。

図 20.50～図 20.59 に GTIOcNA 端子、GTIOcNB 端子を使用する場合の位相計数モード 1～5 の動作例を示します。表 20.29～表 20.38 にアップカウント/ダウンカウントの条件を、図 20.50～図 20.59 に対応する GTUPSR レジスタおよび GTDNSR レジスタの設定値を示します。

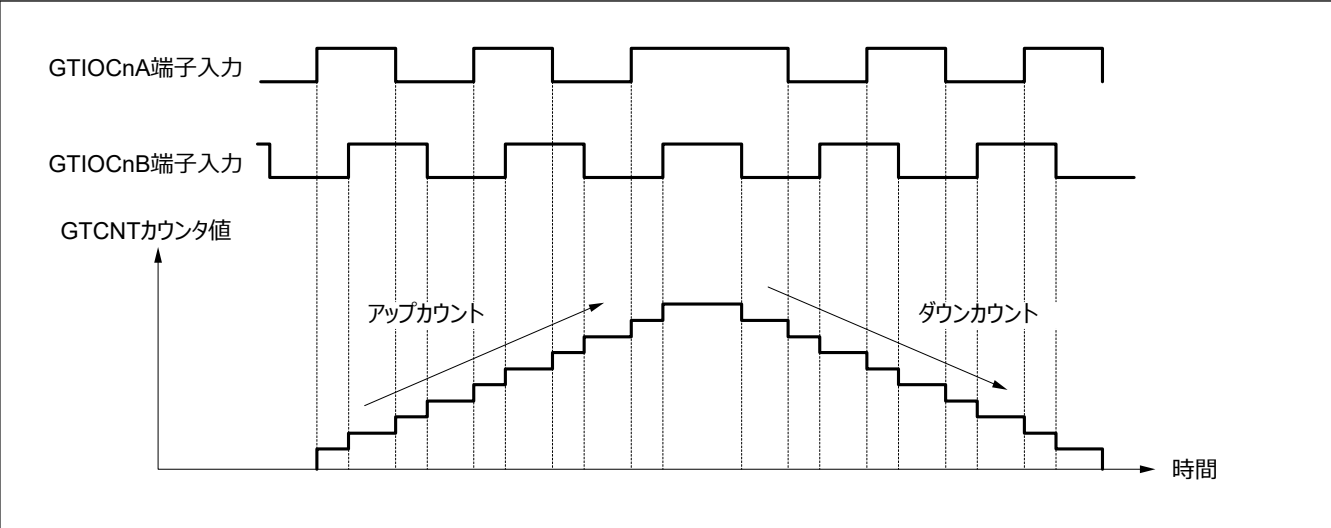


図 20.50 位相計数モード 1 の動作例

表 20.29 位相計数モード 1 でのアップカウント／ダウンカウントの条件

⬆ : 立ち上がりエッジ
⬇ : 立ち下がりエッジ

GTIOcNA 端子入力	GTIOcNB 端子入力	動作	レジスタ設定値
High		アップカウント	GTUPSR = 0x00006900 GTDNSR = 0x00009600
Low			
	Low		
	High		
High		ダウンカウント	
Low			
	High		
	Low		

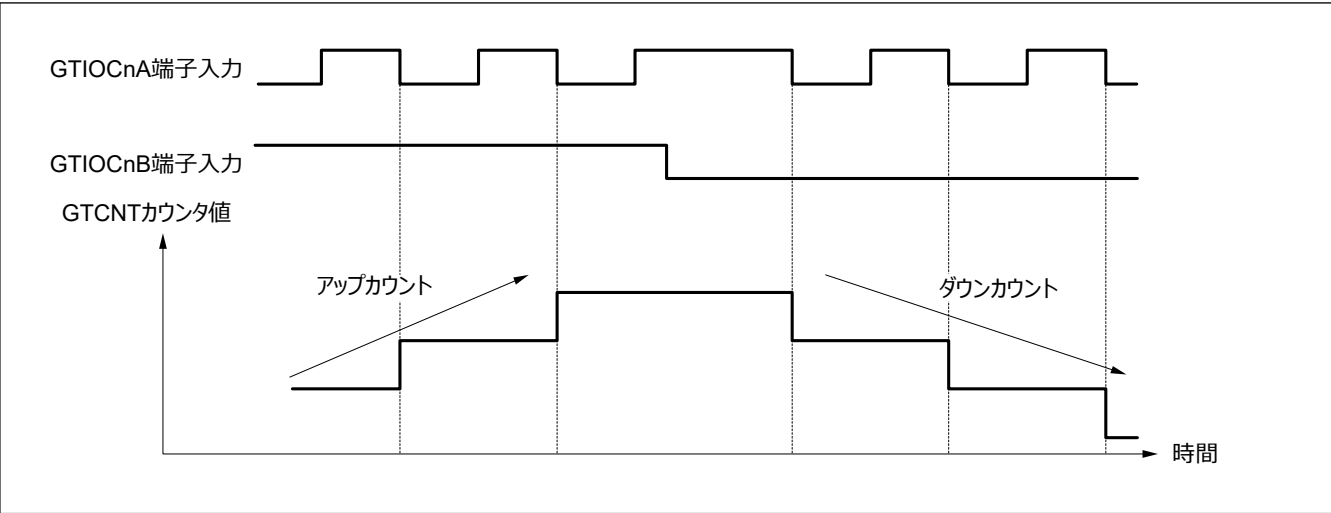


図 20.51 位相計数モード 2 の動作例 (A)

表 20.30 位相計数モード 2 でのアップカウント/ダウンカウントの条件 (A)

⬆ : 立ち上がりエッジ
⬇ : 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x00000800 GTDNSR = 0x00000400
Low			
	Low		
	High	アップカウント	
High		カウントしない	
Low			
	High		
	Low	ダウンカウント	

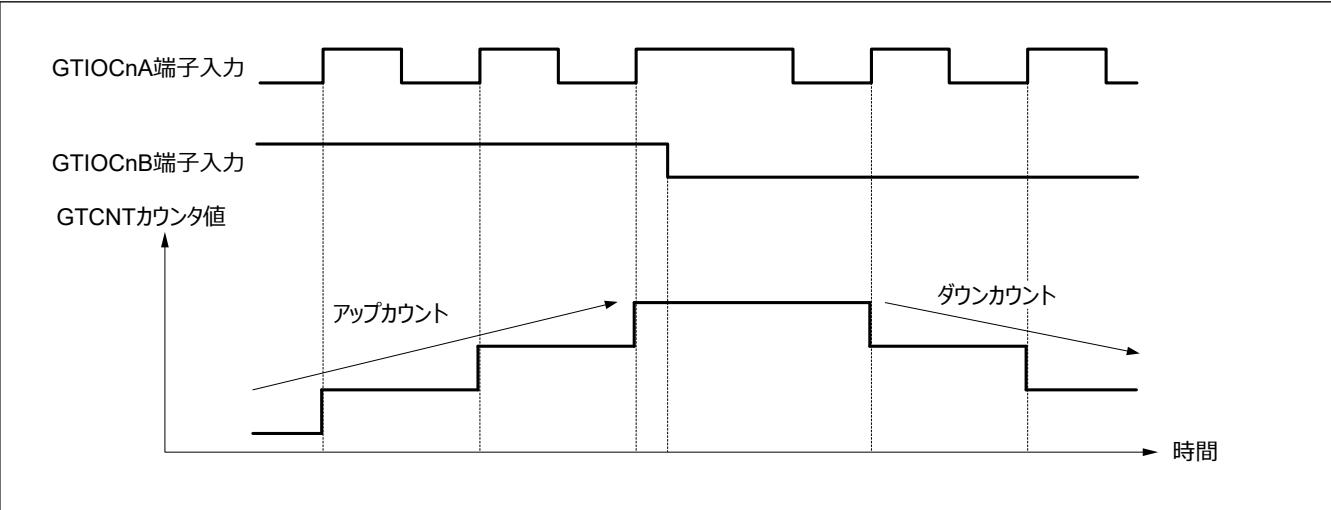


図 20.52 位相計数モード 2 の動作例 (B)

表 20.31 位相計数モード2でのアップカウント/ダウンカウントの条件 (B)

 : 立ち上がりエッジ
 : 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x00000200 GTDNSR = 0x00000100
Low			
	Low	ダウンカウント	
	High	カウントしない	
High			
Low			
	High	アップカウント	
	Low	カウントしない	

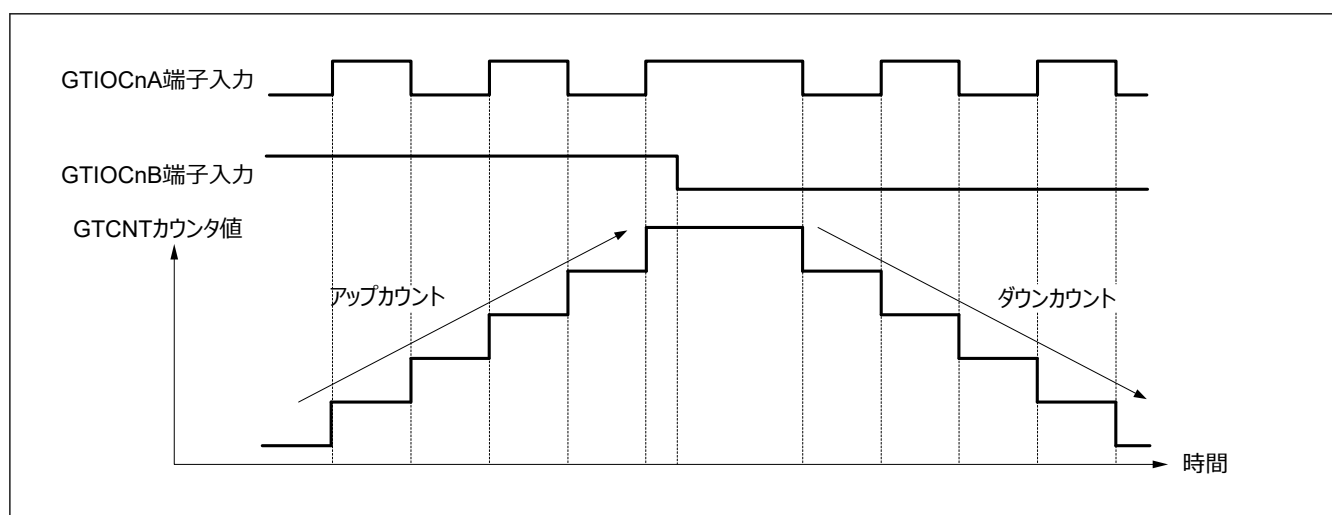


図 20.53 位相計数モード2の動作例 (C)

表 20.32 位相計数モード2でのアップカウント/ダウンカウントの条件 (C)

 : 立ち上がりエッジ
 : 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x00000A00 GTDNSR = 0x00000500
Low			
	Low	ダウンカウント	
	High	アップカウント	
High		カウントしない	
Low			
	High	アップカウント	
	Low	ダウンカウント	

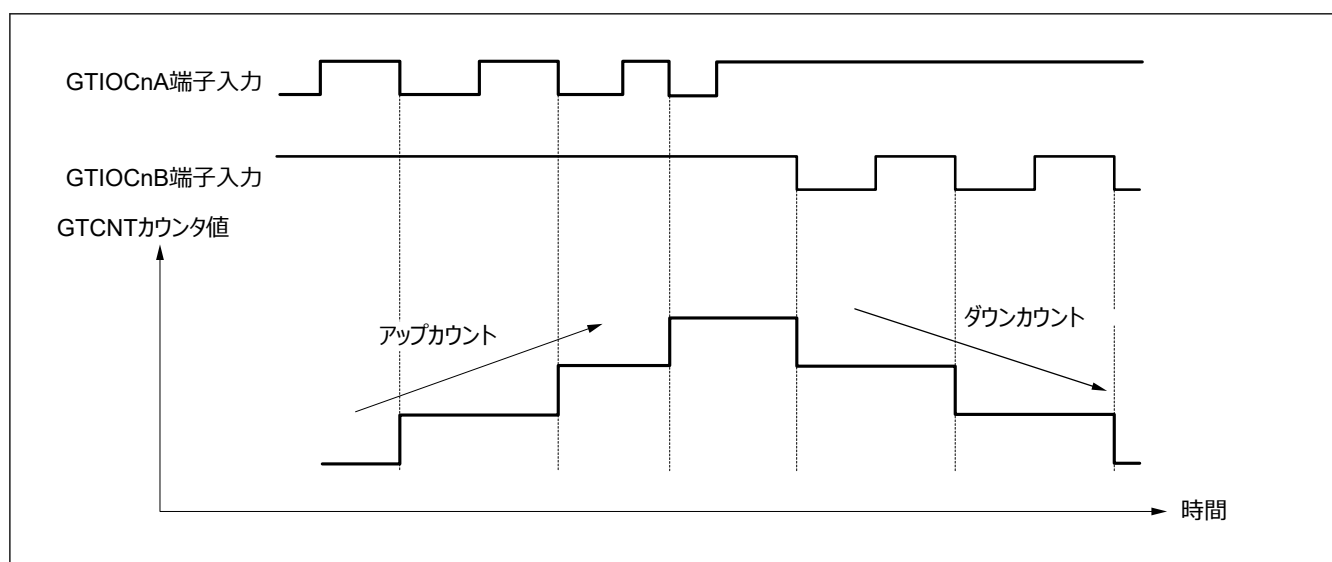


図 20.54 位相計数モード3の動作例 (A)

表 20.33 位相計数モード3でのアップカウント/ダウンカウントの条件 (A)

 : 立ち上がりエッジ
 : 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x00000800 GTDNSR = 0x00008000
Low			
	Low		
	High	アップカウント	
High		ダウンカウント	
Low		カウントしない	
	High		
	Low		

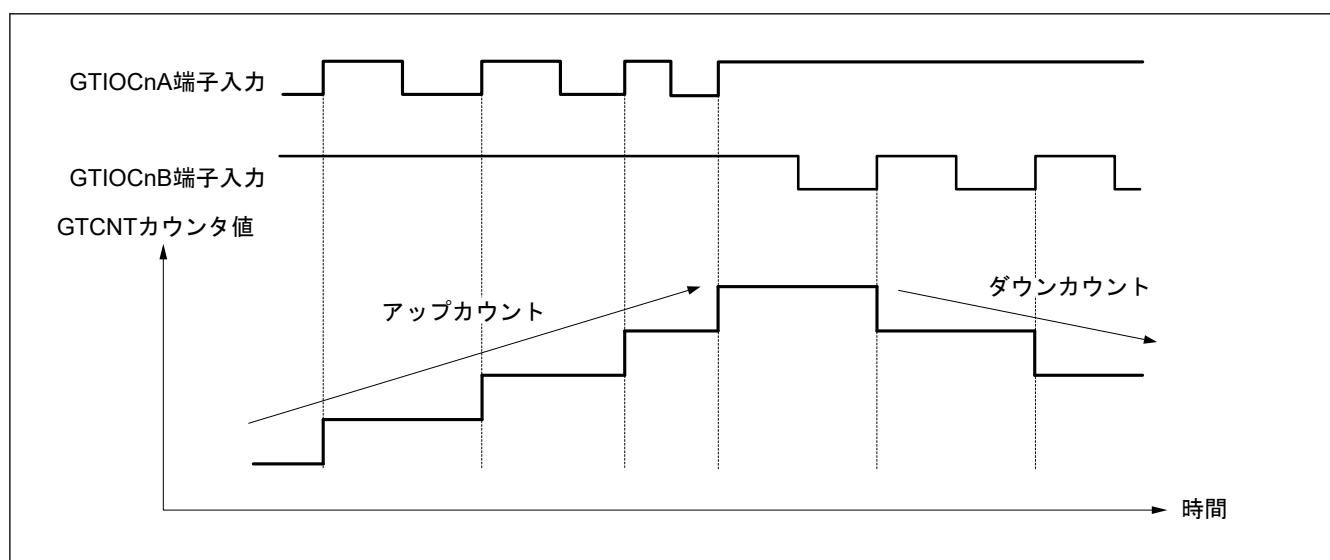


図 20.55 位相計数モード3の動作例 (B)

表 20.34 位相計数モード3でのアップカウント/ダウンカウントの条件 (B)

 : 立ち上がりエッジ
 : 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		ダウンカウント	GTUPSR = 0x00000200 GTDNSR = 0x00002000
Low		カウントしない	
	Low		
	High		
High			
Low			
	High	アップカウント	
	Low	カウントしない	

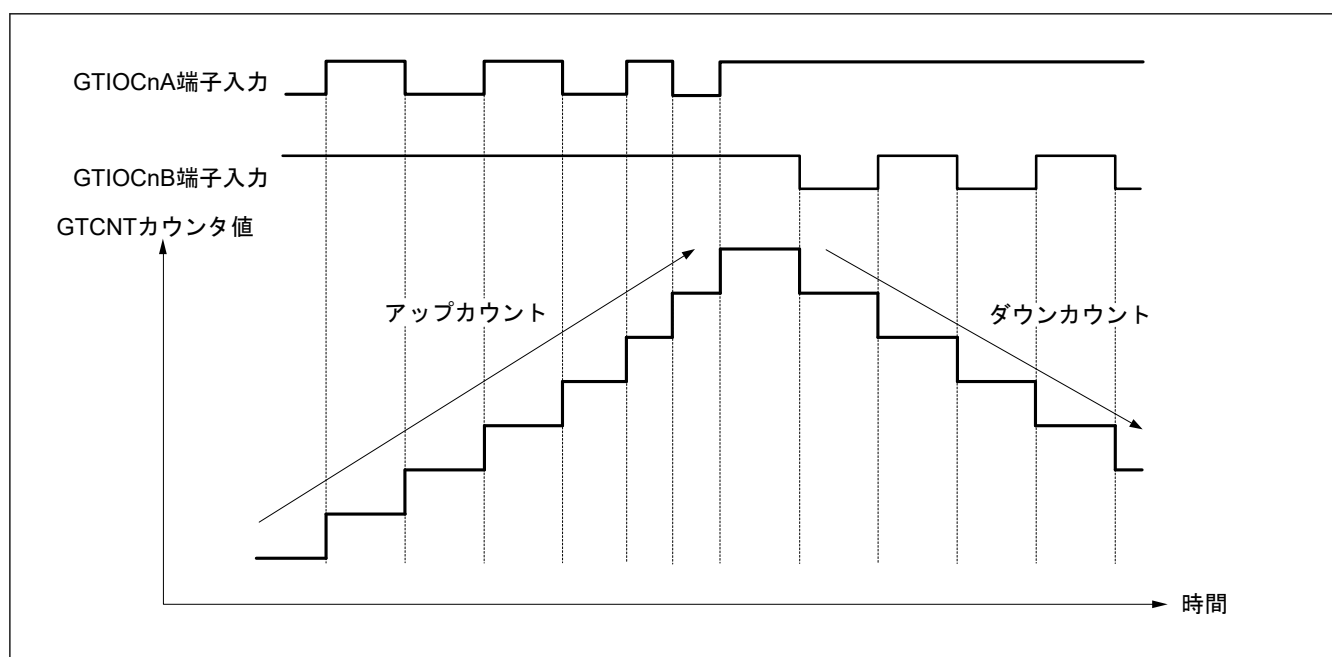


図 20.56 位相計数モード3の動作例 (C)

表 20.35 位相計数モード3でのアップカウント/ダウンカウントの条件 (C)

 : 立ち上がりエッジ
 : 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		ダウンカウント	GTUPSR = 0x00000A00 GTDNSR = 0x0000A000
Low		カウントしない	
	Low		
	High	アップカウント	
High		ダウンカウント	
Low		カウントしない	
	High	アップカウント	
	Low	カウントしない	

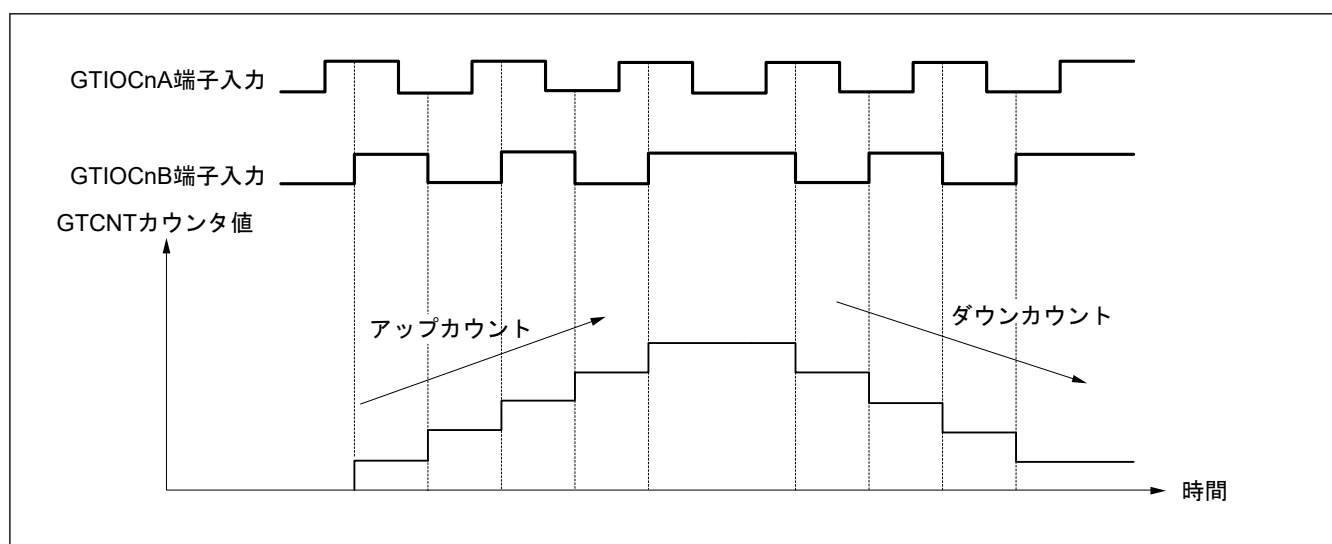


図 20.57 位相計数モード4の動作例

表 20.36 位相計数モード 4 でのアップカウント/ダウンカウントの条件

⬆ : 立ち上がりエッジ
⬇ : 立ち下がりエッジ

GTIOcNA 端子入力	GTIOcNB 端子入力	動作	レジスタ設定値
High		アップカウント	GTUPSR = 0x00006000 GTDNSR = 0x00009000
Low			
	Low	カウントしない	
	High		
High		ダウンカウント	
Low			
	High	カウントしない	
	Low		

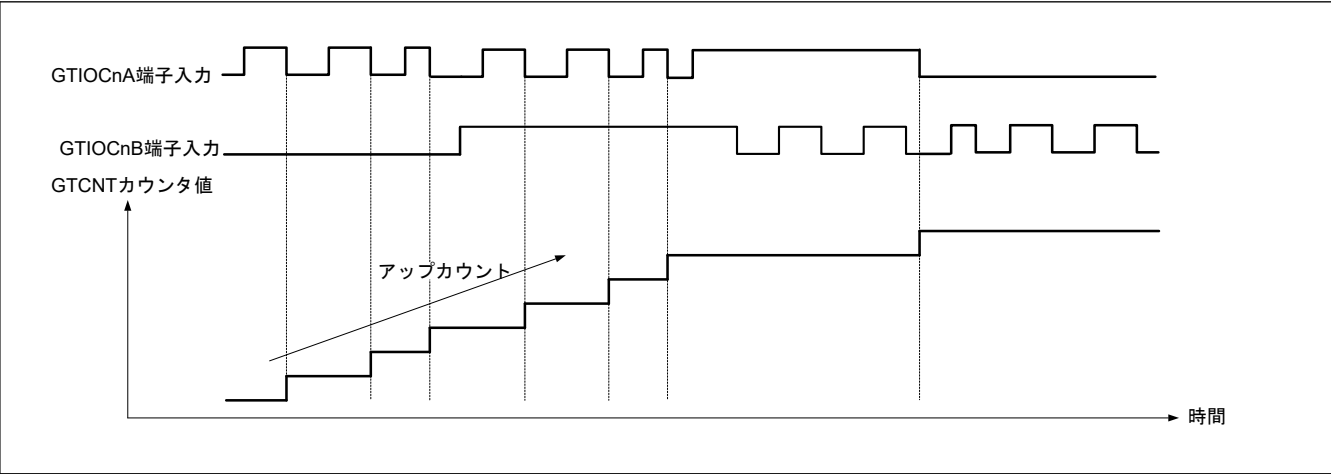


図 20.58 位相計数モード 5 の動作例 (A)

表 20.37 位相計数モード 5 でのアップカウント/ダウンカウントの条件 (A)

 : 立ち上がりエッジ
 : 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x00000C00 GTDNSR = 0x00000000
Low			
	Low		
	High	アップカウント	
High		カウントしない	
Low			
	High		
	Low	アップカウント	

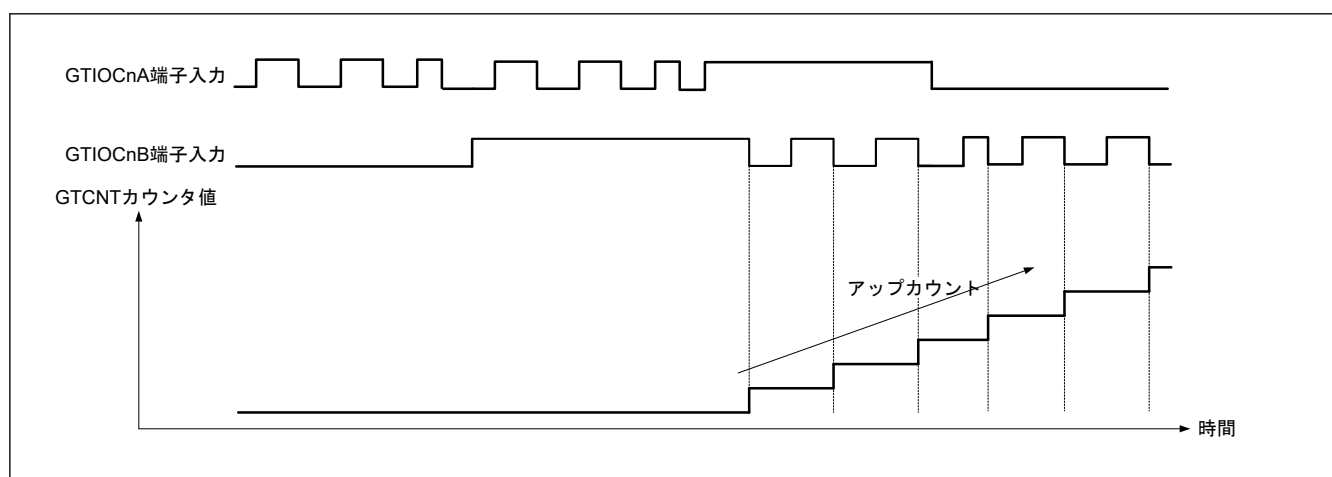


図 20.59 位相計数モード 5 の動作例 (B)

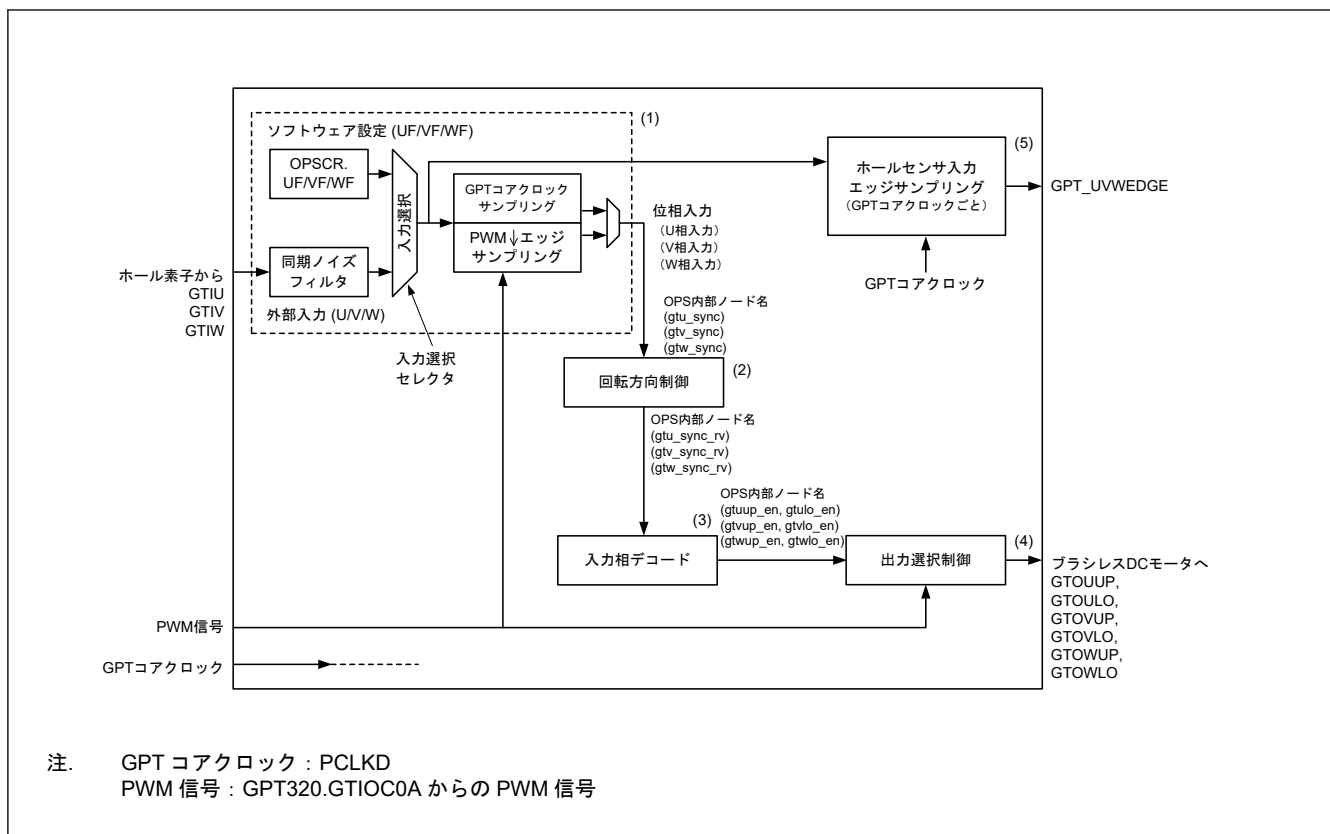


図 20.60 GPT_OPS 制御フロー概念図

図 20.61 に GPT_OPS 動作の 6 相レベル信号出力例を示します。

図 20.61 中の GPT_UVWEDGE 信号は、ELC へ出力するホールセンサ入力エッジになります。

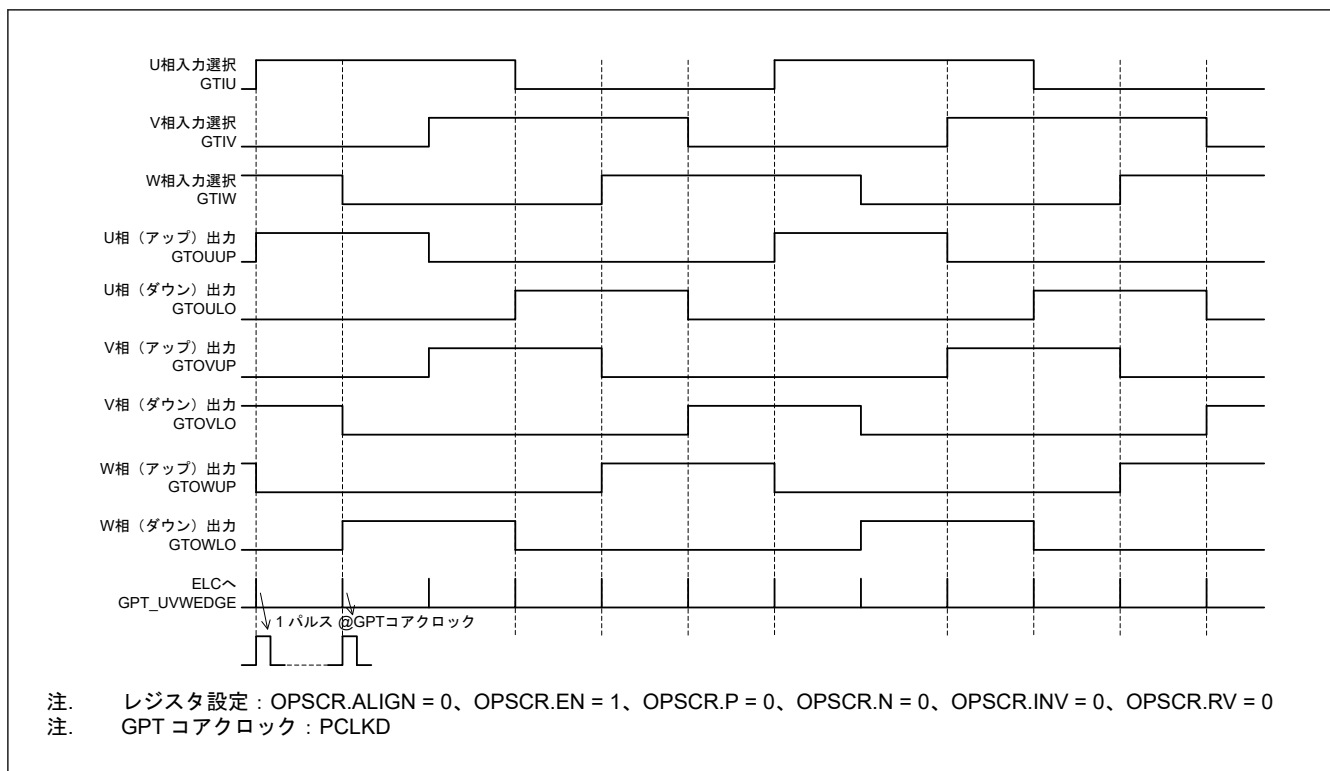


図 20.61 6 相レベル出力動作例

図 20.62 に GPT_OPS 動作の 6 相 PWM 出力例 (チョップパ制御) を示します。

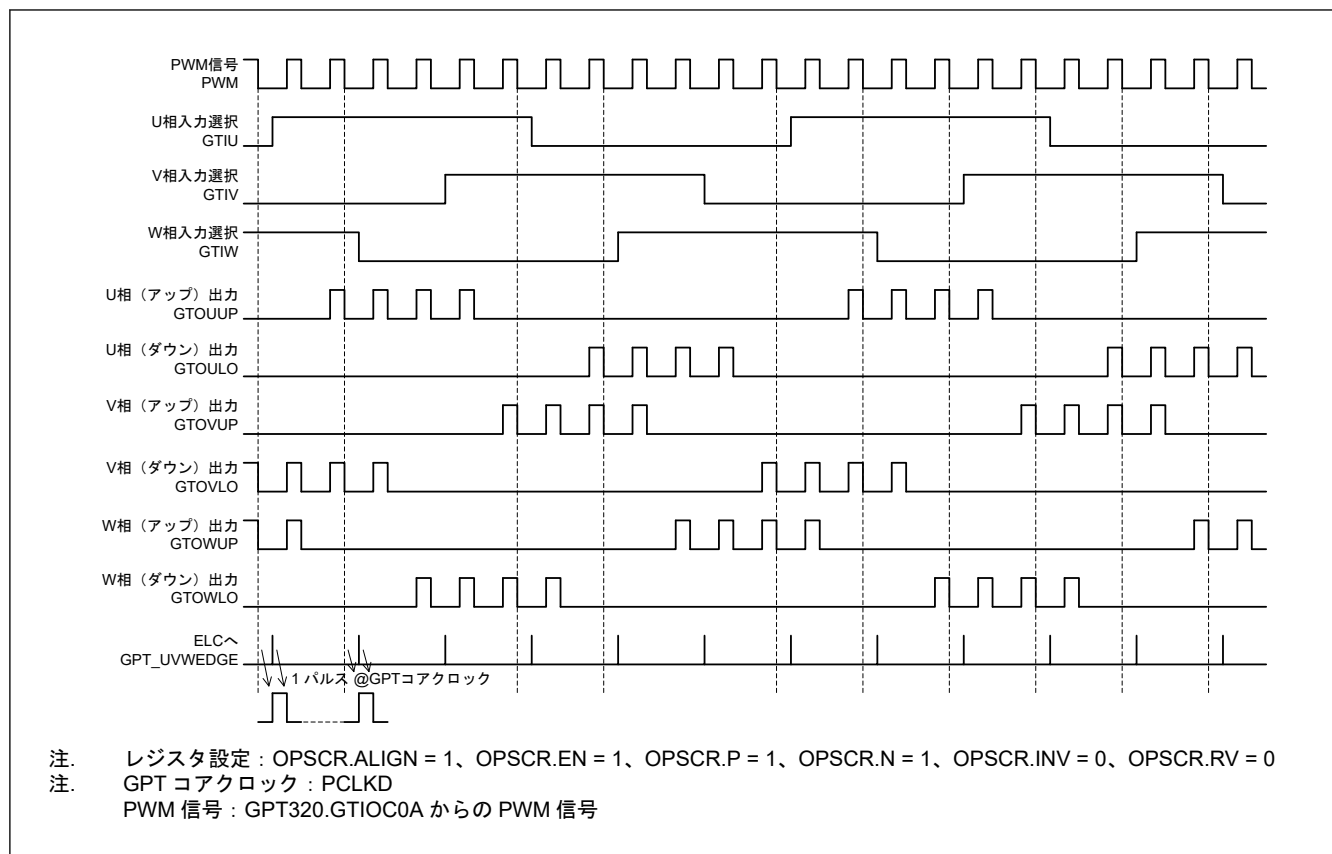


図 20.62 6 相 PWM 出力動作例 (チョッパ制御)

図 20.63 に出力禁止制御の例 (6 相 PWM 出力動作) を示します。

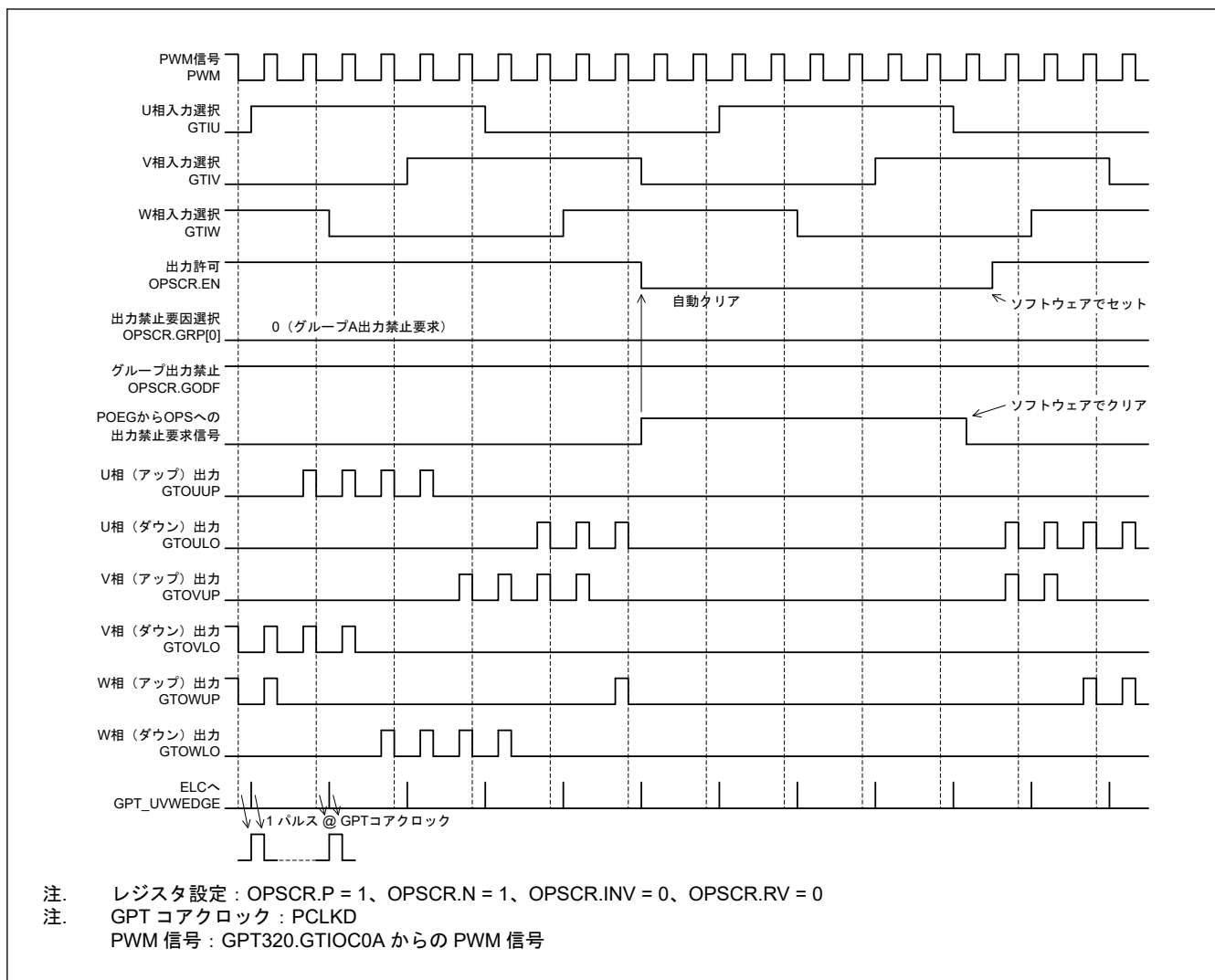


図 20.63 グループ出力禁止制御動作例

20.3.12.1 入力選択と外部入力信号の同期化

図 20.60 に示す GPT_OPS 制御フロー概念図の (1) は、OPSCR.FB ビットによってソフトウェア設定値と外部入力から入力相の選択をします。

OPSCR.FB ビットが 0 の時、外部入力を選択します。GPT コアクロック (PCLKD) と同期後に、入力信号を許可します。ノイズフィルタ (任意選択) を実施後、OPSCR.ALIGN = 1 で立ち下がりエッジサンプリングを実施して、外部入力を PWM (GPT320.GTIOC0A の PWM) の入力相に設定します。

OPSCR.FB ビットが 1 のとき、OPSCR.ALIGN = 1 によって立ち下がりエッジのサンプリングを実施後、PWM (GPT320.GTIOC0A の PWM) の入力相の値でソフトウェア設定値 (OPSCR.UF, VF, WF) を選択します。

OPSCR.ALIGN ビットが 0 のとき、OPSCR.FB ビットが 0 または 1 のいずれの場合も、GPT_OPS は PCLKD 同期の入力相で動作します。ただし、切り替えタイミング (直前/直後) の出力 U/V/W 相 (PWM 出力モード) の PWM パルス幅が短くなる場合があります。

表 20.39 に入力選択処理と対応する OPSCR レジスタのビット設定を示します。

表 20.39 入力選択処理方法

OPSCR レジスタ		入力相サンプリング方法の選択 (U/V/W 相)	同期入出力選択処理 (GPT_OPS 内部ノード名)
FB ビット	ALIGN ビット		
0	1	PWM 立ち下がりエッジサンプリングでの外部入力 (PCLKD 同期 + 立ち下がりエッジサンプル)	入力相 U 相入力 (gtu_sync) V 相入力 (gtv_sync) W 相入力 (gtw_sync)
	0	PCLKD 同期出力での外部入力 (PCLKD 同期 + スルーモード)	
1	1	PWM 立ち下がりエッジサンプリングでのソフトウェア設定 (立ち下がりエッジサンプルの OPSCR.UF、VF、WF ビット)	
	0	ソフトウェア設定値選択 (= OPSCR.UF/VF/WF ビット値) (= PCLKD 同期)	

20.3.12.2 入力サンプリング

OPSCR レジスタの U、V、W ビットは、OPSCR.FB ビットで選択した入力の PCLKD サンプリング結果を示します。

OPSCR.FB = 0 の時、GPT コアクロック (PCLKD) との同期およびノイズフィルタ (任意選択) 処理後、OPSCR レジスタの U、V、W ビットは外部入力のサンプリング結果を示します。OPSCR.FB = 1 の時、ソフトウェア設定値 (OPSCR.UF, VF, WF) が OPSCR レジスタの U、V、W ビットの値になります。

20.3.12.3 入力相デコード

図 20.60 に示す GPT_OPS 制御フロー概念図の (3) は、OPSCR.FB ビットによって選択した入力相をデコードして、GPT_OPS の内部信号処理を行う 6 相許可信号を生成します。

表 20.40 に入力相のデコード表を示します。

表 20.40 入力相デコード表 (OPSCR.RV = 0)

入力相 (U/V/W) (GPT_OPS 内部ノード名)			入力相のデコードによる 6 相許可信号 [U/V/W (Up/Lo)] (GPT_OPS 内部ノード名)					
入力 U 相	入力 V 相	入力 W 相	U 相 (Up)	U 相 (Lo)	V 相 (Up)	V 相 (Lo)	W 相 (Up)	W 相 (Lo)
(gtu_sync)	(gtv_sync)	(gtw_sync)	(gtuup_en)	(gtulo_en)	(gtvup_en)	(gtvlo_en)	(gtwup_en)	(gtwlo_en)
1	0	1	1	0	0	1	0	0
1	0	0	1	0	0	0	0	1
1	1	0	0	0	1	0	0	1
0	1	0	0	1	1	0	0	0
0	1	1	0	1	0	0	1	0
0	0	1	0	0	0	1	1	0
0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0

表 20.41 入力相デコード表 (OPSCR.RV = 1) (1/2)

入力相 (U/V/W) (GPT_OPS 内部ノード名)			入力相のデコードによる 6 相許可信号 [U/V/W (Up/Lo)] (GPT_OPS 内部ノード名)					
入力 U 相	入力 V 相	入力 W 相	U 相 (Up)	U 相 (Lo)	V 相 (Up)	V 相 (Lo)	W 相 (Up)	W 相 (Lo)
(gtu_sync)	(gtv_sync)	(gtw_sync)	(gtuup_en)	(gtulo_en)	(gtvup_en)	(gtvlo_en)	(gtwup_en)	(gtwlo_en)
1	0	1	0	1	1	0	0	0
1	0	0	0	1	0	0	1	0

表 20.41 入力相デコード表 (OPSCR.RV = 1) (2/2)

入力相 (U/V/W) (GPT_OPS 内部ノード名)			入力相のデコードによる 6 相許可信号 [U/V/W (Up/Lo)] (GPT_OPS 内部ノード名)					
入力 U 相	入力 V 相	入力 W 相	U 相 (Up)	U 相 (Lo)	V 相 (Up)	V 相 (Lo)	W 相 (Up)	W 相 (Lo)
(gtu_sync)	(gtv_sync)	(gtw_sync)	(gtuup_en)	(gtulo_en)	(gtvup_en)	(gtvlo_en)	(gtwup_en)	(gtwlo_en)
1	1	0	0	0	0	1	1	0
0	1	0	1	0	0	1	0	0
0	1	1	1	0	0	0	0	1
0	0	1	0	0	1	0	0	1
0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0

20.3.12.4 回転方向制御

図 20.60 に示す GPT_OPS 制御フロー概念図の (3) では、OPSCR.RV ビットを使用して 3 相モーターの回転方向を制御します。

OPSCR.RV ビットが 1 の場合、V 相と W 相を入れ替えることにより、OPSCR.RV ビット設定 0 の回転方向を反転させます。

表 20.42 に、OPSCR.RV ビットへの出力相の割り当て（回転方向制御の実施前後）を示します。

表 20.42 回転方向制御方法

OPSCR レジスタ出力 相回転方向反転	回転方向制御の出力 [U/V/W (正/逆)]					
	(制御後の GPT_OPS 内部ノード名)					
OPSCR.RV ビット	(gtuup_en)	(gtulo_en)	(gtvup_en)	(gtvlo_en)	(gtwup_en)	(gtwlo_en)
0	U 相 (Up) (gtuup_en)	U 相 (Lo) (gtulo_en)	V 相 (Up) (gtvup_en)	V 相 (Lo) (gtvlo_en)	W 相 (Up) (gtwup_en)	W 相 (Lo) (gtwlo_en)
1	U 相 (Up) (gtuup_en)	U 相 (Lo) (gtulo_en)	W 相 (Up) (gtwup_en)	W 相 (Lo) (gtwlo_en)	V 相 (Up) (gtvup_en)	V 相 (Lo) (gtvlo_en)

20.3.12.5 出力選択制御

図 20.60 に示す GPT_OPS 制御フロー概念図の (4) は、OPSCR レジスタのビットを設定することによって出力波形を選択します。

出力選択に関連するビットを以下に示します。

- OPSCR.EN ビット：6 相出力の出力/停止を制御
- OPSCR.P ビットおよび OPSCR.N ビット：出力相に対してレベル信号/PWM 信号（チョップ出力）を選択可能
- 出力相の極性は、OPSCR.INV ビットで正論理/負論理に設定可能

表 20.43 および表 20.44 に、OPSCR レジスタのビットを使用した出力選択制御方法を示します。

表 20.43 出力選択制御方法（正相）(1/2)

出力許可相制御	正相出力 (P) 制御	反転相出力制御	出力ポート名（正相 = Up） (出力選択内部ノード割り当て)	
OPSCR.EN	OPSCR.P	OPSCR.INV	GTOUUP GTOVUP GTOWUP	モード
0	x	x	0	出力停止 (外部端子 Hi-Z) GPT_OPS → 0 出力

表 20.43 出力選択制御方法 (正相) (2/2)

出力許可相制御	正相出力 (P) 制御	反転相出力制御	出力ポート名 (正相 = Up) (出力選択内部ノード割り当て)	
OPSCR.EN	OPSCR.P	OPSCR.INV	GTOUUP GTOVUP GTOWUP	モード
1	0	0	レベル信号 (gtuup_ren) (gtvup_ren) (gtwup_ren)	レベル出力モード (正相) (正論理)
1	0	1	レベル信号 (~gtuup_ren) (~gtvup_ren) (~gtwup_ren)	レベル出力モード (正相) (負論理)
1	1	0	PWM 信号 (PWM & gtuup_ren) (PWM & gtvup_ren) (PWM & gtwup_ren)	PWM 出力モード (正相) (正論理)
1	1	1	PWM 信号 (~(PWM & gtuup_ren)) (~(PWM & gtvup_ren)) (~(PWM & gtwup_ren))	PWM 出力モード (正相) (負論理)

表 20.44 出力選択制御方法 (逆相)

出力許可相制御	逆相出力 (N) 制御	反転相出力制御	出力ポート名 (逆相 = Lo) (出力選択内部ノード割り当て)	
OPSCR.EN	OPSCR.N	OPSCR.INV	GTOULO GTOVLO GTOWLO	モード
0	x	x	0	出力停止 (外部端子 Hi-Z) GPT_OPS → 0 出力
1	0	0	レベル信号 (gtulo_ren) (gtvlo_ren) (gtwlo_ren)	レベル出力モード (逆相) (正論理)
1	0	1	レベル信号 (~gtulo_ren) (~gtvlo_ren) (~gtwlo_ren)	レベル出力モード (逆相) (負論理)
1	1	0	PWM 信号 (PWM & gtulo_ren) (PWM & gtvlo_ren) (PWM & gtwlo_ren)	PWM 出力モード (逆相) (正論理)
1	1	1	PWM 信号 (~(PWM & gtulo_ren)) (~(PWM & gtvlo_ren)) (~(PWM & gtwlo_ren))	PWM 出力モード (逆相) (負論理)

20.3.12.6 出力選択制御 (グループ出力禁止機能)

グループ出力禁止機能は、OPSCR.GODF = 1 かつ OPSCR.GRP ビットで選択した要因の信号値が High になると (出力禁止要求)、非同期で出力を Hi-Z にします。出力禁止要求が発生すると、OPSCR.EN ビットは 0 にクリアされます。復帰は、ソフトウェアで出力禁止要求をクリア後、OPSCR.EN ビットを 1 に設定してください。

出力禁止制御を確実に行うためには、POE のフラグクリアは POEG_GROUPn (n = A~D) 割り込みを使用するか、OPSCR.EN = 0 であることを確認してからフラグをクリアしてください。グループ出力禁止制御の動作例については、図 20.63 を参照してください。

20.3.12.7 イベントリンクコントローラ (ELC) 出力

図 20.60 に示す GPT_OPS 制御フロー概念図の (5) は、ホールセンサ入力エッジ信号を ELC へ出力します。

ホールセンサ入力エッジ信号は、入力相の U 相、V 相、W 相それぞれの立ち上がりエッジと立ち下がりエッジを PCLKD で検出した信号の論理和です。よって、入力相の U 相、V 相、W 相それぞれの High 期間が短い場合、ホールセンサ入力エッジ信号は出力されません。

OPSCR.FB ビットが 0 のとき、ホールセンサ入力エッジ信号は、外部入力相のエッジを PCLKD で検出した信号の論理和です。

OPSCR.FB ビットが 1 のとき、ホールセンサ入力エッジ信号は、ソフトウェア設定値 (OPSCR.UF, VF, WF) のエッジを PCLKD で検出した信号の論理和です。

ELC への出力信号の例については、図 20.61～図 20.63 を参照してください。

20.3.12.8 GPT_OPS スタート動作設定フロー

表 20.45 GPT_OPS スタート動作設定例

No.	手順名	説明
1	GPT320 動作モード設定	GPT320.GTIOC0A は、のこぎり波または三角波の PWM 出力動作モードを設定します。詳細は、「20.3.3. PWM 出力動作モード」を参照してください。
2	GPT320 のカウント動作	GPT320 のカウント動作を開始して、PWM 波形を出力します。
3	GPT_OPS 入力データ設定 (ソフトウェア設定選択時のみ)	OPSCR.UF、VF、WF ビットにソフトウェア設定値の設定をします。
4	GPT_OPS 外部入力ノイズフィルタ設定 (外部入力選択時のみ)	ノイズフィルタを使用する場合、OPSCR.NFCS[1:0] ビットでノイズフィルタのサンプリングクロックを設定してください。次に OPSCR.NFEN ビットを 1 に設定すれば、ノイズフィルタが有効になります。
5	GPT_OPS 入力相選択設定／入力相アライメント設定	OPSCR.FB ビットで外部入力またはソフトウェア設定から入力相を選択してください。OPSCR.ALIGN ビットで入力相のアライメントを選択してください。
6	GPT_OPS 出力相の設定	OPSCR.P、OPSCR.N ビットで出力する正相、逆相のレベル出力／PWM 出力を設定してください。OPSCR.INV ビットで出力相の正論理／負論理を設定してください。OPSCR.RV ビットで回転方向を設定してください。
7	GPT_OPS グループ出力禁止機能設定	OPSCR.GRP ビットで出力禁止要因の選択を設定してください。OPSCR.GODF ビットでグループ出力禁止機能の ON/OFF の設定をしてください。
8	GPT_OPS 動作	OPSCR.EN = 1 に設定して、GPT_OPS からブラシレス DC モーターを駆動する 6 相出力を行います。

20.3.13 チャネル間論理演算機能

コンペアマッチ出力間の論理演算機能が可能です。

図 20.64 に、チャネル間論理演算のブロック図を示します。

GPT 出力の障害を防ぐため、論理演算後の信号は、PCLKD でデータが取り込まれます。データが取り込まれたら、出力禁止制御を実行します。

PCLKD 1 サイクルの遅延を生じる論理演算式を選択したとき、出力許可信号も同様に PCLKD 1 サイクル遅延して出力禁止制御に入力されます。

論理演算機能 AND、OR、EXOR、NOR に対して同じ信号 (C = A または D = B) が選択される場合、C または D は 1 として扱われます。GTIOCnA 端子出力の場合に、同一チャネルの A が C に選ばれたとき、AND の結果は A、OR の結果は 1、EXOR の結果は NOT A、NOR の結果は 0 です。

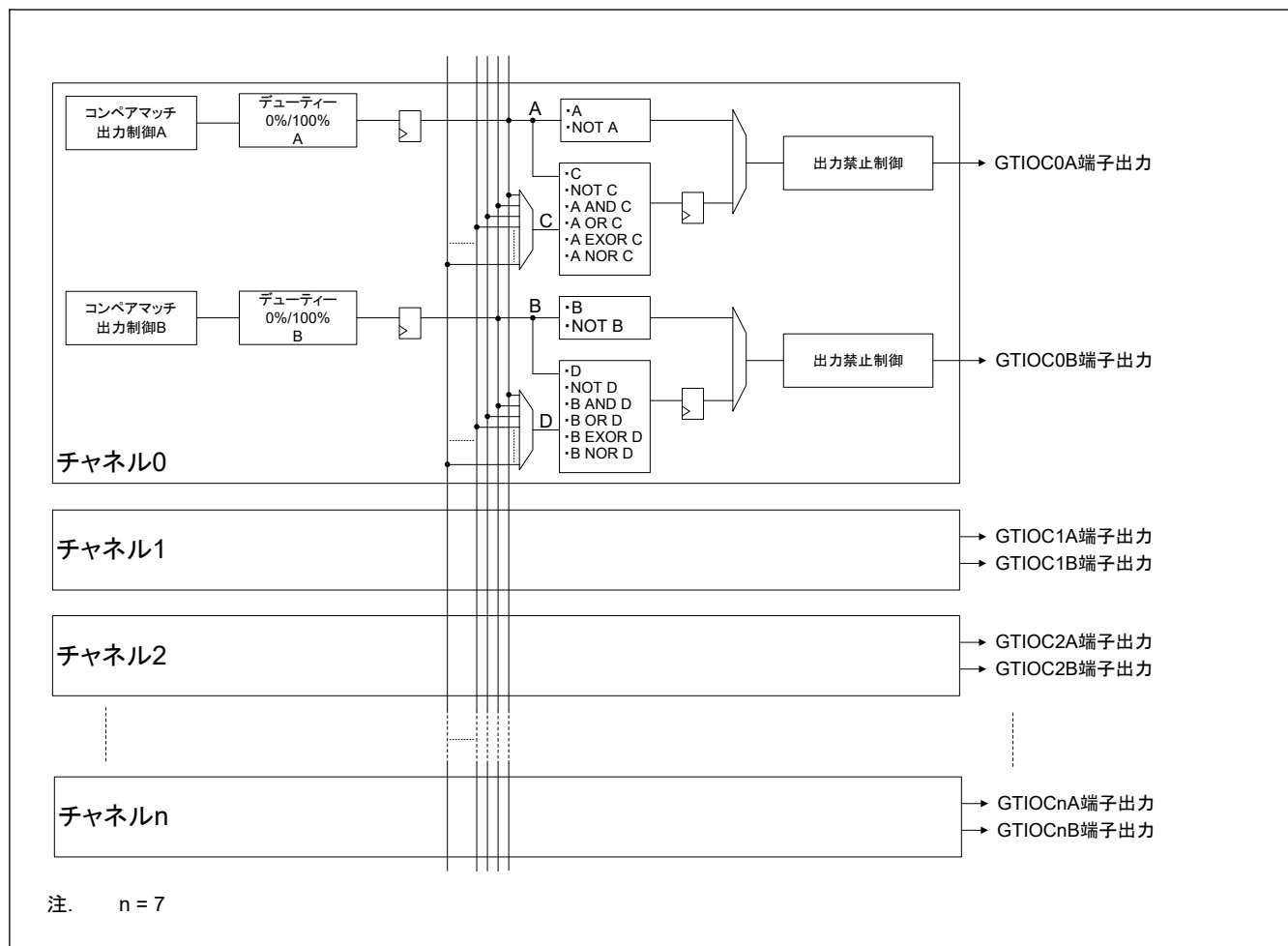


図 20.64 チャンネル間論理演算のブロック図

図 20.65 に、チャンネル間論理演算の例を示します。

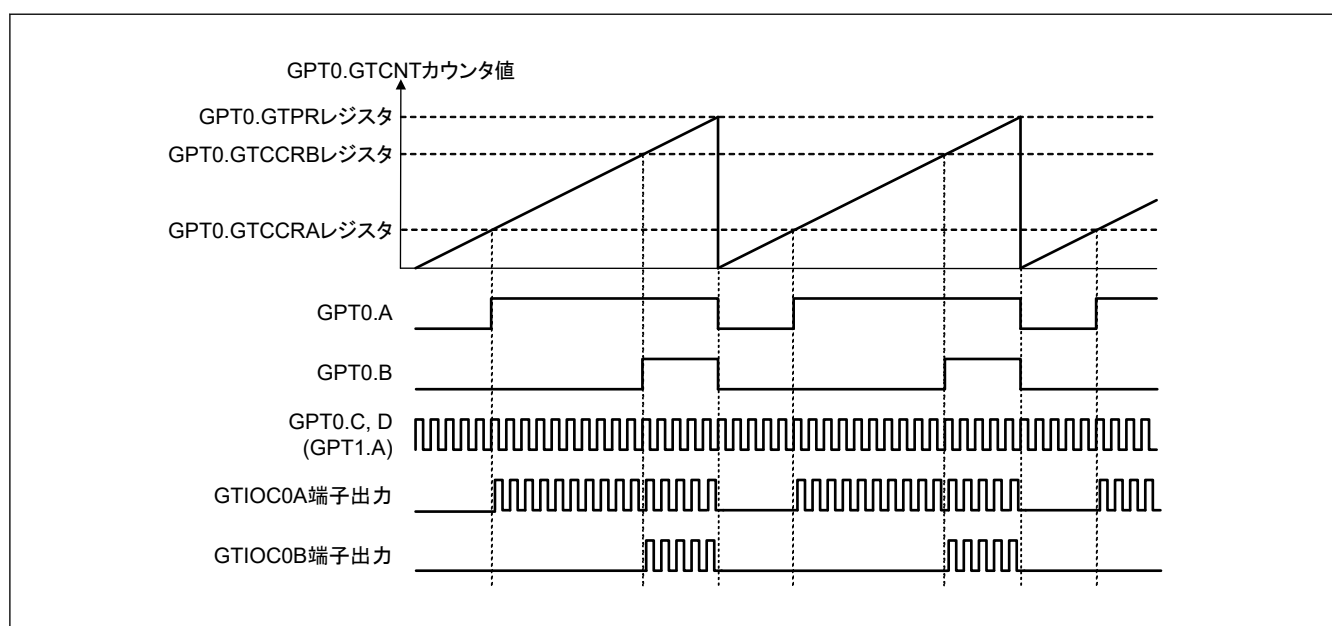


図 20.65 チャンネル間論理演算の例

20.4 割り込み要因

20.4.1 割り込み要因と優先順位

GPT には以下の割り込み要因があります。

- GTCCR のインプットキャプチャ／コンペアマッチ
- GTCNT カウンタのオーバーフロー（GTPR のコンペアマッチ）／アンダーフロー
- 周期計数機能終了

各割り込み要因には、それぞれ専用のステータスフラグがあります。割り込み要因信号が発生すると、GTST レジスタの対応するステータスフラグが 1 になります。GTST レジスタの対応するステータスフラグは、0 を書き込むことでクリアできます。フラグのセットとクリアが同時に発生した場合、フラグのクリアが優先されます。これらのフラグは、内部状態により自動更新されます。割り込みコントローラユニットでは、チャンネル間の優先順位を変更できます。ただし、1 つのチャンネル内での優先順位は固定されています。詳細は、「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

表 20.46 は、GPT の割り込み要因の一覧です。

表 20.46 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DTC の起動
n = 0, 1	GPTn_CCMPA	GPT32n.GTCCRA のインプットキャプチャ／コンペアマッチ	GTST[0] (TCFA)	可能
	GPTn_CCMPB	GPT32n.GTCCRB のインプットキャプチャ／コンペアマッチ	GTST[1] (TCFB)	可能
	GPTn_CMPC	GPT32n.GTCCRC コンペアマッチ	GTST[2] (TCFC)	可能
	GPTn_CMPD	GPT32n.GTCCRD コンペアマッチ	GTST[3] (TCFD)	可能
	GPTn_CMPE	GPT32n.GTCCRE コンペアマッチ	GTST[4] (TCFE)	可能
	GPTn_CMPF	GPT32n.GTCCRF コンペアマッチ	GTST[5] (TCFF)	可能
	GPTn_OVF	GPT32n.GTCNT カウンタのオーバーフロー (GPT32n.GTPR レジスタのコンペアマッチ)	GTST[6] (TCFPO)	可能
	GPTn_UDF	GPT32n.GTCNT アンダーフロー	GTST[7] (TCFPU)	可能
	GPTn_PC	周期計数機能終了 (n = 0, 1)	GTST[31] (PCF)	可能
n = 2~5	GPTn_CCMPA	GPT16n.GTCCRA のインプットキャプチャ／コンペアマッチ	GTST[0] (TCFA)	可能
	GPTn_CCMPB	GPT16n.GTCCRB のインプットキャプチャ／コンペアマッチ	GTST[1] (TCFB)	可能
	GPTn_CMPC	GPT16n.GTCCRC コンペアマッチ	GTST[2] (TCFC)	可能
	GPTn_CMPD	GPT16n.GTCCRD コンペアマッチ	GTST[3] (TCFD)	可能
	GPTn_CMPE	GPT16n.GTCCRE コンペアマッチ	GTST[4] (TCFE)	可能
	GPTn_CMPF	GPT16n.GTCCRF コンペアマッチ	GTST[5] (TCFF)	可能
	GPTn_OVF	GPT16n.GTCNT カウンタのオーバーフロー (GPT16n.GTPR レジスタのコンペアマッチ)	GTST[6] (TCFPO)	可能
	GPTn_UDF	GPT16n.GTCNT アンダーフロー	GTST[7] (TCFPU)	可能
	GPTn_PC	周期計数機能終了 (n = 2~4)	GTST[31] (PCF)	可能

(1) GPTn_CCMPA 割り込み (n = 0~5)

割り込み要求は以下の条件で発生します。

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値が GTCCRA レジスタ値と一致したとき
- GTCCRA レジスタがインプットキャプチャレジスタとして機能している場合に、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRA レジスタに転送されたとき

(2) GPTn_CCMPB 割り込み (n = 0~5)

割り込み要求は以下の条件で発生します。

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値が GTCCRB レジスタ値と一致したとき
- GTCCRB レジスタがインプットキャプチャレジスタとして機能している場合に、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRB レジスタに転送されたとき

(3) GPTn_CMPC 割り込み (n = 0~5)

割り込み要求は以下の条件で発生します。

- GTCCRC レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値が GTCCRC レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われなため、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] = 01b、10b、11b (GTCCRC レジスタがバッファ動作)

(4) GPTn_CMPD 割り込み (n = 0~5)

割り込み要求は以下の条件で発生します。

- GTCCRD レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値が GTCCRD レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われなため、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] = 10b、11b (GTCCRD レジスタがバッファ動作)

(5) GPTn_CMPE 割り込み (n = 0~5)

割り込み要求は以下の条件で発生します。

- GTCCRE レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値が GTCCRE レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われなため、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] = 01b、10b、11b (GTCCRE レジスタがバッファ動作)

(6) GPTn_CMPF 割り込み (n = 0~5)

割り込み要求は以下の条件で発生します。

- GTCCRF レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値が GTCCRF レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われなため、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] = 10b、11b (GTCCRF レジスタがバッファ動作)

(7) GPTn_OVF 割り込み (n = 0~5)

割り込み要求は以下の条件で発生します。

- のこぎり波モードの場合に、オーバーフロー（アップカウント動作中に GTCNT カウンタ値が GTPR から 0 に変化する）で割り込み要求が許可されたとき
- 三角波の場合、山（GTCNT が GTPR から GTPR-1 になる）が発生したとき
- ハードウェア要因によるカウント動作の場合に、オーバーフロー（アップカウント動作時に GTCNT カウンタ値が GTPR から 0 に変化する）が発生したとき

(8) GPTn_UDF 割り込み (n = 0~5)

割り込み要求は以下の条件で発生します。

- のこぎり波モードの場合に、アンダーフロー（ダウンカウント動作中に GTCNT カウンタ値が 0 から GTPR に変化する）で割り込み要求が許可されたとき
- 三角波の場合、谷（GTCNT が 0 から 1 になる）が発生したとき
- ハードウェア要因によるカウント動作の場合に、アンダーフロー（ダウンカウント動作時に GTCNT カウンタ値が 0 から GTPR に変化する）が発生したとき

割り込み信号と割り込みステータスフラグについては、「[20.2.16. GTST : 汎用 PWM タイマステータスレジスタ](#)」を参照してください。

(9) GPTn_PC 割り込み (n = 0~4)

GTPC.PCEN ビットが 1 かつ GTPC.PCNT カウンタが 1 の場合、周期の終わりに割り込み要求が発生します。

20.4.2 DMAC および DTC の起動

各チャネルの割り込みによって、DMAC および DTC を起動することができます。詳細については、「[12. 割り込みコントローラユニット \(ICU\)](#)」、「[15. DMA コントローラ \(DMAC\)](#)」、および「[16. データトランスファコントローラ \(DTC\)](#)」を参照してください。

20.5 ELC によるリンク動作

20.5.1 ELC へのイベント信号出力

GPT では、その割り込み要求信号がイベントリンクコントローラ (ELC) でイベント信号として使用された場合、あらかじめ設定しておいたモジュールとのリンク動作が可能です。

GPT には以下の ELC イベント信号があります。

- コンペアマッチ A 割り込み発生 (GPTn_CCMPA)
- コンペアマッチ B 割り込み発生 (GPTn_CCM PB)
- コンペアマッチ C 割り込み発生 (GPTn_CMPC)
- コンペアマッチ D 割り込み発生 (GPTn_CMPD)
- コンペアマッチ E 割り込み発生 (GPTn_CMPE)
- コンペアマッチ F 割り込み発生 (GPTn_CMPF)
- オーバーフロー割り込み発生 (GPTn_OVF)
- アンダーフロー割り込み発生 (GPTn_UDF)
- 周期計数機能の終了 (GPTm_PC)

注. n = 0~5

m = 0~4

20.5.2 ELC からのイベント信号入力

GPT は、ELC からの最大 8 個のイベントに対して、以下の動作を実行することができます。

- カウントスタート/ストップ/クリア
- アップカウント/ダウンカウント
- インพุットキャプチャ

ELC とイベント信号入力との接続関係は、「[17. イベントリンクコントローラ \(ELC\)](#)」を参照してください。

20.6 ノイズフィルタ機能

GPT のインพุットキャプチャ入力端子とホールセンサ入力端子には、ノイズフィルタが装備されています。ノイズフィルタは、入力信号をサンプリングクロックでサンプリングし、3 サンプリング周期に満たない長さのパルスを除去します。

ノイズフィルタ機能では、端子ごとにノイズフィルタ機能を有効/無効にすることや、チャンネルごとにサンプリングクロックを設定することが可能です。

図 20.66 にノイズフィルタのタイミングを示します。

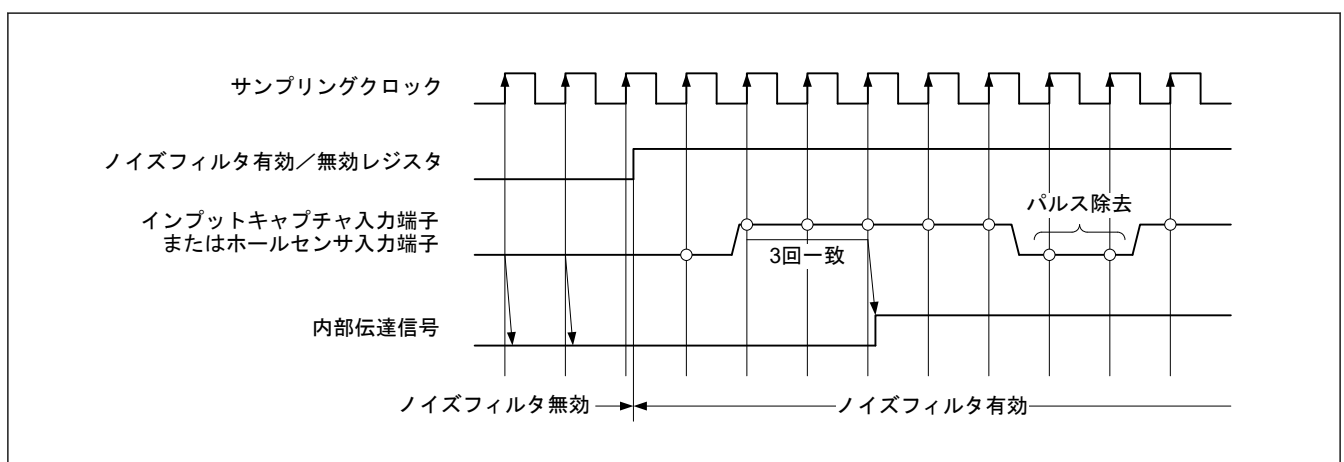


図 20.66 ノイズフィルタのタイミング

ノイズフィルタ機能を有効にすると、(サンプリング周期 × 2 + PCLKD) の最短の遅延の後、ノイズフィルタ対象信号のエッジでインพุットキャプチャ動作またはホールセンサ入力動作が実行されます。この遅延は、インพุットキャプチャ入力またはホールセンサ入力に対するノイズフィルタリングに起因するものです。

20.7 保護機能

20.7.1 レジスタの書き込み保護

レジスタへの誤書き込みを防止するため、GTWP.WP ビットを設定することで、チャンネル単位でレジスタへの書き込みを禁止できます。下記のレジスタに対して、書き込み保護の設定が可能です。

GTSSR, GTPSR, GTCSSR, GTUPSR, GTDNSR, GTICASR, GTICBSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTDTCR, GTDVU, GTICLF, GTPC

GTSTR, GTSTP、および GTCLR レジスタ（他のチャンネルの対応するレジスタを更新することができ、反対に他のチャンネルの対応するレジスタによって更新されることができる）のすべてのビットは、チャンネルごとにそれぞれ GTWP の STRWP、STPWP、および CLRWP ビットを設定することによって保護できます。

同様に、GTSECSR レジスタや GTSECR レジスタ（既定のチャンネルの GTSECSR レジスタや GTSECR レジスタへの書き込みにより、全チャンネルを制御可能）への書き込みは、GTWP.CMNWP ビットの設定により、許可または禁止することができます。

GTWP レジスタによる保護は、CPU による書き込み動作のみを対象としています。CPU 書き込みに連動して発生するレジスタの更新は、保護の対象外です。

20.7.2 バッファ動作の禁止

バッファレジスタへの書き込みのタイミングがバッファ転送のタイミングより遅延している場合、GTBER.BD[1] および BD[0] ビットの設定でバッファ動作の中断が可能です。具体的には、バッファレジスタへの書き込み前に BD[1] および BD[0] ビットを 1 (バッファ動作禁止) にしておき、すべてのバッファレジスタへの書き込み終了後に 0 (バッファ動作許可) にすることによって、バッファレジスタへの書き込み中にバッファ転送条件が発生しても、バッファ転送を一時的に禁止することが可能です。

BD[1] ビットと BD[0] ビットは、GTBER レジスタに直接書き込むことでチャンネル毎に設定できます。あるいは、GTSECSR によって事前に設定された複数のチャンネルに対して GTSECR レジスタを設定することで同時に 0 にすることもできます。

GTBER レジスタに書き込むことによってバッファ動作を禁止にする動作の例を図 20.67 に示します。

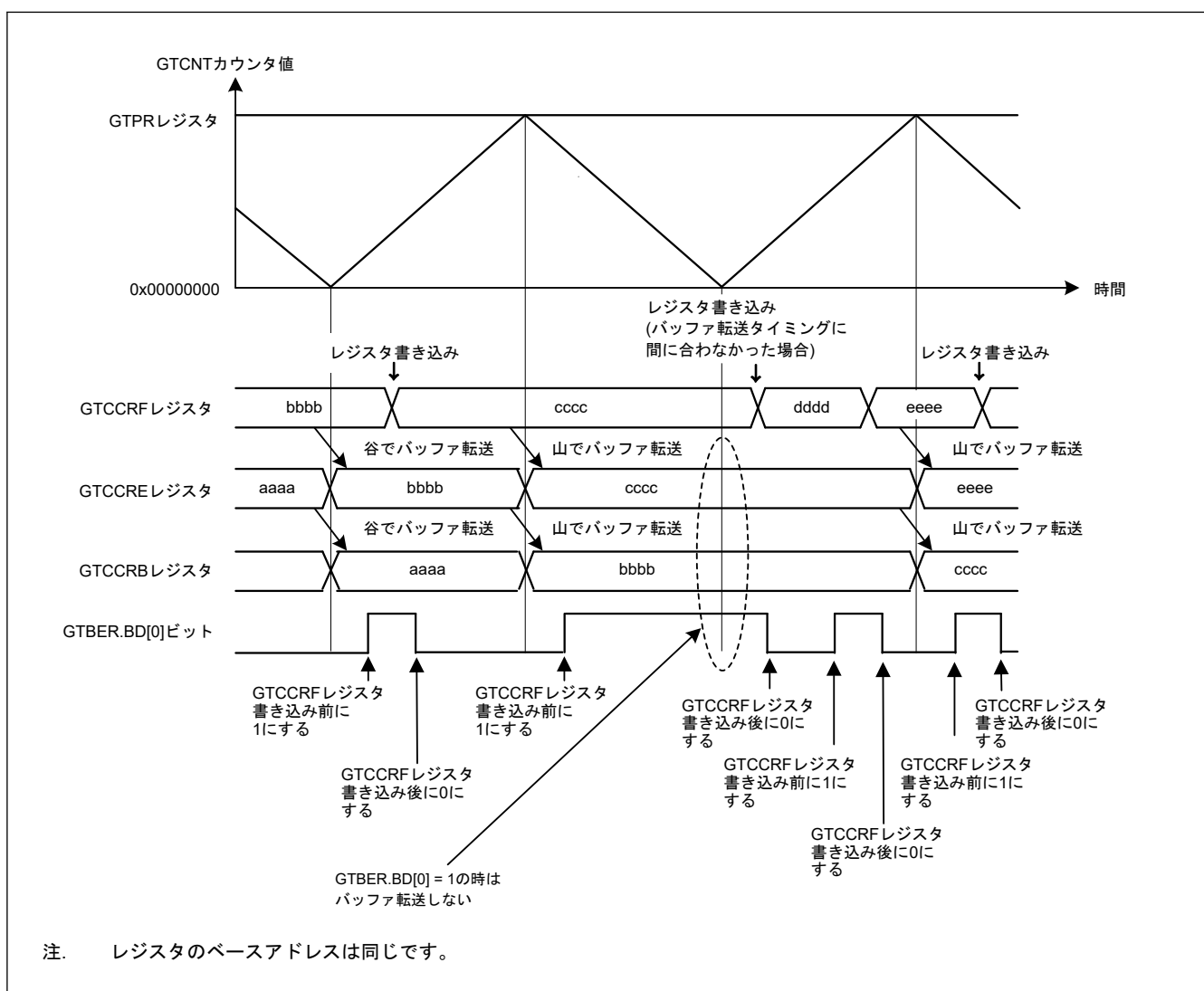


図 20.67 バッファ動作禁止の動作例 (三角波、ダブルバッファ動作、谷および山の両方でバッファ転送の場合)

20.7.2.1 複数チャンネルのバッファ動作の同時制御

GTBER.BD ビットは、チャンネル毎の GTBER レジスタに直接書き込むか、GTSECSR にすでに設定された複数チャンネルの GTSECR レジスタ内に設定を作成することにより設定できます。

複数チャンネルの GTBER.BD ビットを同時に設定するには、以下の手順に従ってください。

1. GTSECSR レジスタによる同時設定用チャンネルを選択してください。
同時設定する GTBER.BD ビットのチャンネルに対応するビット位置の値が 1 になるように、GTSECSR レジスタを設定してください。いずれかのチャンネルの GTSECSR レジスタに書き込むと、全ての GTSECSR レジスタを更新できます。

2. GTSECR レジスタを更新することで、同時に GTBER.BD ビットを設定します。
同時に設定される GTBER.BD ビットの動作（バッファ動作を許可／禁止）を、GTSECR レジスタで設定します。いずれかのチャンネルの GTSECR レジスタに書き込むと、GTSECR レジスタの値に応じて GTSECSR レジスタに 1 が設定されているビットに対応する全てのチャンネルの GTBER.BD ビットを更新します。

複数チャンネルに対するバッファ動作を有効または無効に同時に制御する例を、[図 20.68](#) に示します。

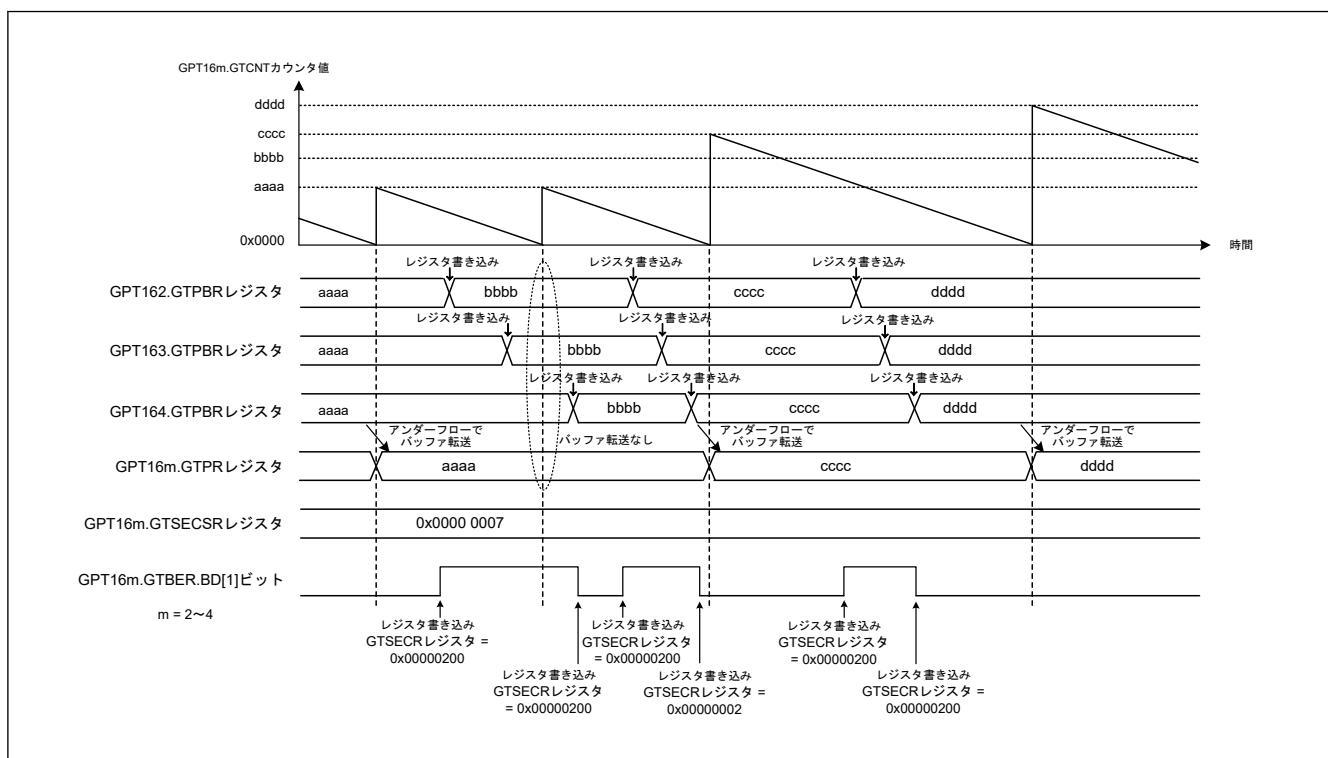


図 20.68 バッファ動作禁止の複数チャンネルの動作例（のこぎり波、シングルバッファ動作）

20.7.3 GTIOCNm 端子出力の出力禁止制御 (n = 0~5, m = A, B)

システム異常時の保護のため、POEG からの出力禁止要求によって、GTIOCNm 端子出力値を強制的に変更する出力禁止制御を、GTIOCNm 端子出力に対して行うことができます。同じ出力レベルが GTIOCNa 端子と GTIOCNb 端子に検出されるとき、出力保護が要求されます。GTINTAD.GRPABH、GTINTAD.GRPABL などの出力禁止要求許可ビットの設定に従って、GPT はこの条件を検出し、POEG に出力禁止要求を発生させます。POEG が各チャンネルからの出力禁止要求と外部入力からの出力禁止要求の論理和をとった後で、POEG は GPT に対して出力禁止要求を発生させます。

GTINTAD.GRP[1:0]ビットを設定することで、GTIOCNa 端子と GTIOCNb 端子共通の出力禁止要求信号として、POEG から入力される 4 本の出力禁止要求から 1 本を選択することができます。選択された出力禁止要求は、GTST.ODF フラグを読むことにより確認することができます。出力禁止時の出力レベルは、GTIOCNa 端子は GTIOR.OADF[1:0]ビット、GTIOCNb 端子は GTIOR.OBDF[1:0]ビットで設定することができます。

出力禁止状態への変更は、POEG から出力禁止要求を発生させることで非同期に実行されます。出力禁止状態の解除は、出力禁止要求を停止させることで周期の終わりに実行されます。出力禁止要求の条件が満たされなくなり、出力禁止要求が解除されるのは、最短で 3PCLKD 目以降です。出力禁止を確実に制御するには、4 サイクルの PCLKD を経過して出力禁止要求の条件が満たされなくなってから、出力を禁止するための POEG のフラグをクリアしてください。

イベントカウント動作時、または周期の終わりを待たずにすぐに出力禁止状態を解除したい場合は、GTIOCNa 端子は GTIOR.OADF[1:0]ビットを 00b に、GTIOCNb 端子は GTIOR.OBDF[1:0]ビットを 00b にしてください。

[図 20.69](#) に GTIOCNm 端子出力禁止制御の動作例を示します (n = 0~5, m = A, B)。

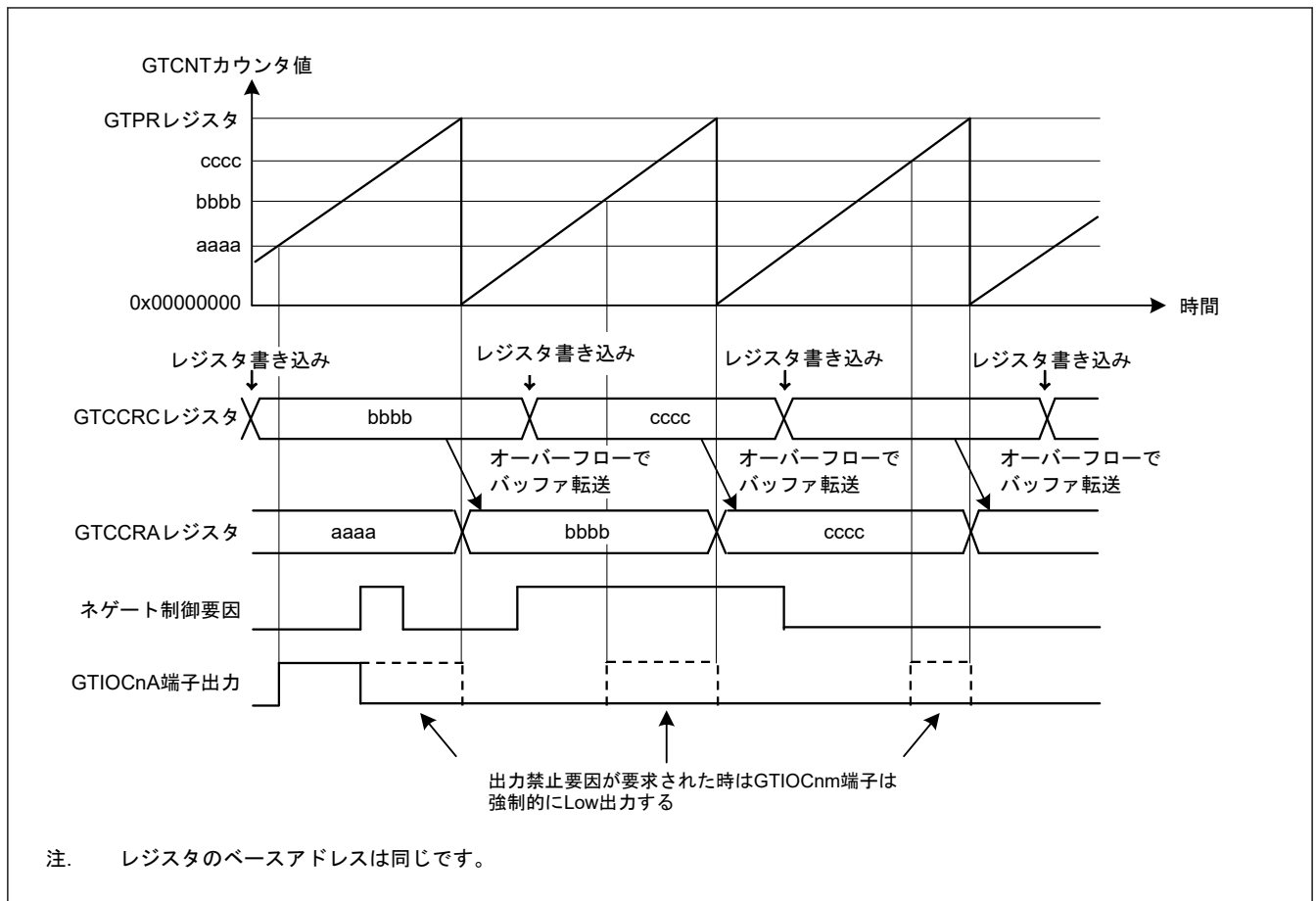


図 20.69 GTIOCnm 端子出力禁止制御の動作例 (のこぎり波でアップカウント、バッファ動作、アクティブレベル 1、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力、出力禁止で Low 出力の場合) (n = 0~5, m = A, B)

20.8 出力端子の初期化方法

20.8.1 リセット後の端子設定

GPT のレジスタはリセット時に初期化されます。ポートのモード選択設定、GTIOR.OAE ビット、GTIOR.OBE ビットの設定を行い、GPT 機能を外部端子出力にした後、カウント動作を開始してください。

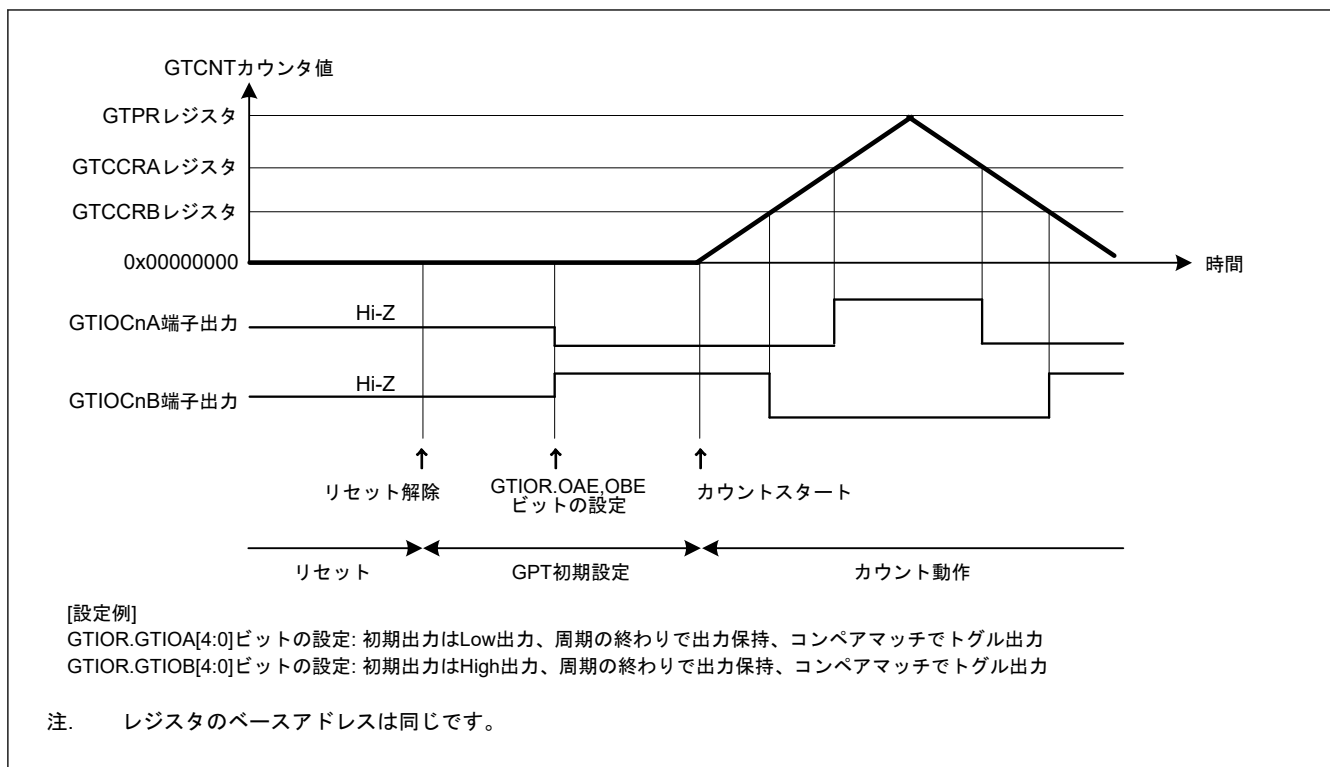


図 20.70 リセット後の端子設定例

20.8.2 動作中の異常による端子の初期化

GPT の動作中に異常が発生した場合、端子を初期化する前に、下記の 4 種類の端子コントロールを実行できます。

- GTIOR レジスタの OAHLD および OBHLD ビットを 1 にして、カウントストップ時の出力を保持する
- GTIOR レジスタの OAHLD および OBHLD ビットを 0 にするとともに、GTIOR レジスタの OADFLT および OBDFLT ビットに任意の出力値を設定して、カウントストップ時に任意の値を出力させる
- あらかじめ I/O ポートの PDR、PODR、PMR ビットを設定することにより、端子が汎用出力ポートとして任意の値を出力するように設定する。GTIOR レジスタの OAE および OBE ビットを 0 にするとともに、端子に対応した PMR ビットの制御ビットを 0 にして、エラー発生時に、汎用出力ポートとして設定した端子から任意の値が出力されるように設定する
- POEG 機能を使用して、出力をハイインピーダンス状態にする

デッドタイムの自動設定を行ったときは、カウントストップ後に GTDTCR.TDE ビットを 0 にしてください。カウントストップ時は、GPT の外部要因によって変更されたレジスタ値のみが変化します。カウントが再開すると、停止していた状態から動作が継続します。カウントを停止させた場合は、各レジスタを初期化してからカウントを開始してください。

20.9 使用上の注意事項

20.9.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) により、GPT の動作禁止／許可を設定することができます。リセット後の値では、GPT の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

20.9.2 コンペアマッチ動作時の GTCCRN レジスタの設定 (n = A~F)

(1) 三角波 PWM モードでデッドタイムの自動設定を行う場合

GTCCRA レジスタは次のすべての条件を満たす必要があります。

- $GTDVU < GTCCRA$
- $0 < GTCCRA < GTPR$

(2) 三角波 PWM モードでデッドタイムの自動設定を行わない場合

GTCCRA レジスタは、 $0 < GTCCRA < GTPR$ の範囲内に設定してください。GTCCRA = 0 もしくは GTCCRA = GTPR が設定されると、周期内で発生するコンペアマッチは、GTCCRA = 0 もしくは GTCCRA = GTPR が成立したときのみとなります。また、GTCCRA > GTPR が設定されると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタは、 $0 < GTCCRB < GTPR$ の範囲内に設定してください。GTCCRB = 0 もしくは GTCCRB = GTPR が設定されると、周期内で発生するコンペアマッチは、GTCCRB = 0 もしくは GTCCRB = GTPR が成立したときのみとなります。また、GTCCRB > GTPR が設定されると、コンペアマッチは発生しません。

(3) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行う場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、デッドタイムを確保した正常な出力波形が得られない場合があります。

- アップカウント時：GTCCRC < GTCCRD, GTCCRC > GTDVU, GTCCRD < GTPR - GTDVU
- ダウンカウント時：GTCCRC > GTCCRD, GTCCRC < GTPR - GTDVU, GTCCRD > GTDVU

(4) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行わない場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時： $0 < GTCCRC < GTCCRD < GTPR$
- ダウンカウント時： $GTPR > GTCCRC > GTCCRD > 0$

同様に、GTCCRE および GTCCRF レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時： $0 < GTCCRE < GTCCRF < GTPR$
- ダウンカウント時： $GTPR > GTCCRE > GTCCRF > 0$

(5) のこぎり波 PWM モードの場合

GTCCRA レジスタは、 $0 < GTCCRA < GTPR$ の範囲に収まるように設定してください。GTCCRA = 0 または GTCCRA = GTPR に設定すると、GTCCRA = 0 または GTCCRA = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRA > GTPR に設定すると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタは、 $0 < GTCCRB < GTPR$ の範囲に収まるように設定してください。GTCCRB = 0 または GTCCRB = GTPR に設定すると、GTCCRB = 0 または GTCCRB = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRB > GTPR に設定すると、コンペアマッチは発生しません。

20.9.3 GTCNT カウンタの範囲設定

GTCNT カウンタレジスタは、 $0 \leq GTCNT \leq GTPR$ の範囲に収まるように設定してください。

20.9.4 GTCNT カウンタのスタート/ストップ

GTCR.CST ビットによる GTCNT カウンタのスタート/ストップ制御タイミングは、GTCR.TPCS[3:0] ビットで選択したカウントクロックと同期しています。GTCR.CST ビットを更新すると、GTCR.TPCS[3:0] ビットで選択したカウントクロックに従って、GTCNT カウンタがスタート/ストップします。このため、GTCNT カウンタが実際にスタートする前に発生したイベントは無視され、結果として GTCR.CST ビットが 0 になってからイベントが受け付けられたり、割り込みが発生したりします。

20.9.5 イベントごとの優先順位

(1) GTCNT レジスタ

表 20.47 に、GTCNT レジスタを更新するイベントの優先順位を示します。

表 20.47 GTCNT を更新する要因の優先順位

GTCNT を更新する要因	優先順位
CPU による書き込み (GTCNT/GTCLR レジスタへの書き込み)	高
GTCSR レジスタで設定したハードウェア要因によるクリア	↑
GTUPSR/GTDNSR レジスタで設定したハードウェア要因によるアップ/ダウンカウント	↑
カウント動作	低

ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。GTCNT レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(2) GTCR.CST ビット

GTSSR/GTPSR レジスタで設定したハードウェア要因によるスタート/ストップと CPU による書き込み (GTCR/GTSTR/GTSTP レジスタへの書き込み) の間で競合があると、CPU による書き込みが優先されます。

周期計数機能によるストップと CPU 書き込み (GTCR/GTSTR レジスタへの書き込み) によるスタートが競合した場合、周期計数機能は GTST.PCF フラグをセットして動作を終了します。CST ビットの状態は変わらず、カウントを継続します。

GTSSR レジスタで設定したハードウェア要因によるスタートと GTPSR レジスタに設定したハードウェア要因によるストップの間で競合があると、GTCR.CST ビット値は変化しません。GTCR.CST ビットの更新と CPU による読み出し (GTCR/GTSTR/GTSTP レジスタからの読み出し) の間で競合があると、更新前のデータが読み出されます。

(3) GTCCRm レジスタ (m = A~F)

インプットキャプチャ/バッファ転送動作と GTCCRm レジスタへの書き込みの間で競合があると、GTCCRm レジスタへの書き込みが優先されます。インプットキャプチャと CPU によるカウンタレジスタへの書き込みおよびハードウェア要因によるカウンタレジスタの更新の間で競合があると、更新前のカウンタ値がキャプチャされます。GTCCRm レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(4) GTPR レジスタ

バッファ転送動作と GTPR レジスタへの書き込みの間で競合があると、GTPR レジスタへの書き込みが優先されます。GTPR レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

21. 低消費電力非同期汎用タイマ (AGTW)

21.1 概要

低消費電力非同期汎用タイマ (AGT) は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウン트에利用可能な 32 ビットのタイマです。このタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGT レジスタでアクセス可能です。

表 21.1 に AGT の仕様、図 21.1 にブロック図、表 21.2 に入出力端子を示します。

表 21.1 AGT の仕様

項目		内容
動作モード	タイマモード	カウントソースをカウント
	パルス出力モード	カウントソースをカウントし、アンダーフローするごとに出力を反転
	イベントカウントモード	外部イベントをカウント
	パルス幅測定モード	外部パルス幅を測定
	パルス周期測定モード	外部パルス周期を測定
構成		32 ビット×2 チャンネル (AGTn (n = 0, 1))
カウントソース（動作クロック）（注2）	タイマモード	PCLKB、PCLKB/2、PCLKB/8、AGTLCLK/d、AGTSCLK/d (d = 1, 2, 4, 8, 16, 32, 64, 128)、または AGT0 のアンダーフロー信号を選択可能 ^(注1)
	パルス出力モード	
	パルス幅測定モード	
	パルス周期測定モード	
	イベントカウントモード	外部イベント入力
割り込みとイベントリンク機能		- アンダーフローイベント信号または測定完了イベント信号 - カウンタがアンダーフローしたとき - パルス幅測定モードで外部入力端子（AGTIO_n 端子）のアクティブ幅の測定が完了したとき - パルス周期測定モードで外部入力端子（AGTIO_n 端子）の設定エッジが入力されたとき - コンペアマッチ A イベント信号 - AGT レジスタと AGTCMA レジスタの値が一致したとき（コンペアマッチ A 機能が有効） - コンペアマッチ B イベント信号 - AGT レジスタと AGTCMB レジスタの値が一致したとき（コンペアマッチ B 機能が有効） - スリープモードまたはソフトウェアスタンバイモードからの復帰後は AGT1_AGTI、AGT1_AGTCMAI、または AGT1_AGTCMBI で実行可能です。^(注3)
選択可能な機能		- コンペアマッチ機能 - コンペアマッチ A レジスタとコンペアマッチ B レジスタの両方または一方を選択可能
TrustZone フィルタ		各チャンネルに対してセキュリティ属性を設定可能

- 注 1. AGT0 ではアンダーフロー信号を使用できません。AGT1 は、AGT0 タイマからのアンダーフローイベント信号に直接接続します。
- 注 2. 周辺モジュールクロック (PCLKB) 周波数 $\geq$ カウントソースクロックの周波数、を満たすように設定してください。AGTLCLK/d または AGTSCLK/d をカウントソースクロックとして選択している場合、PCLKB の周波数はそのカウントソースクロックの周波数の 2 倍以上である必要があります。
- 注 3. 詳細は「10. 低消費電力モード」を参照してください。

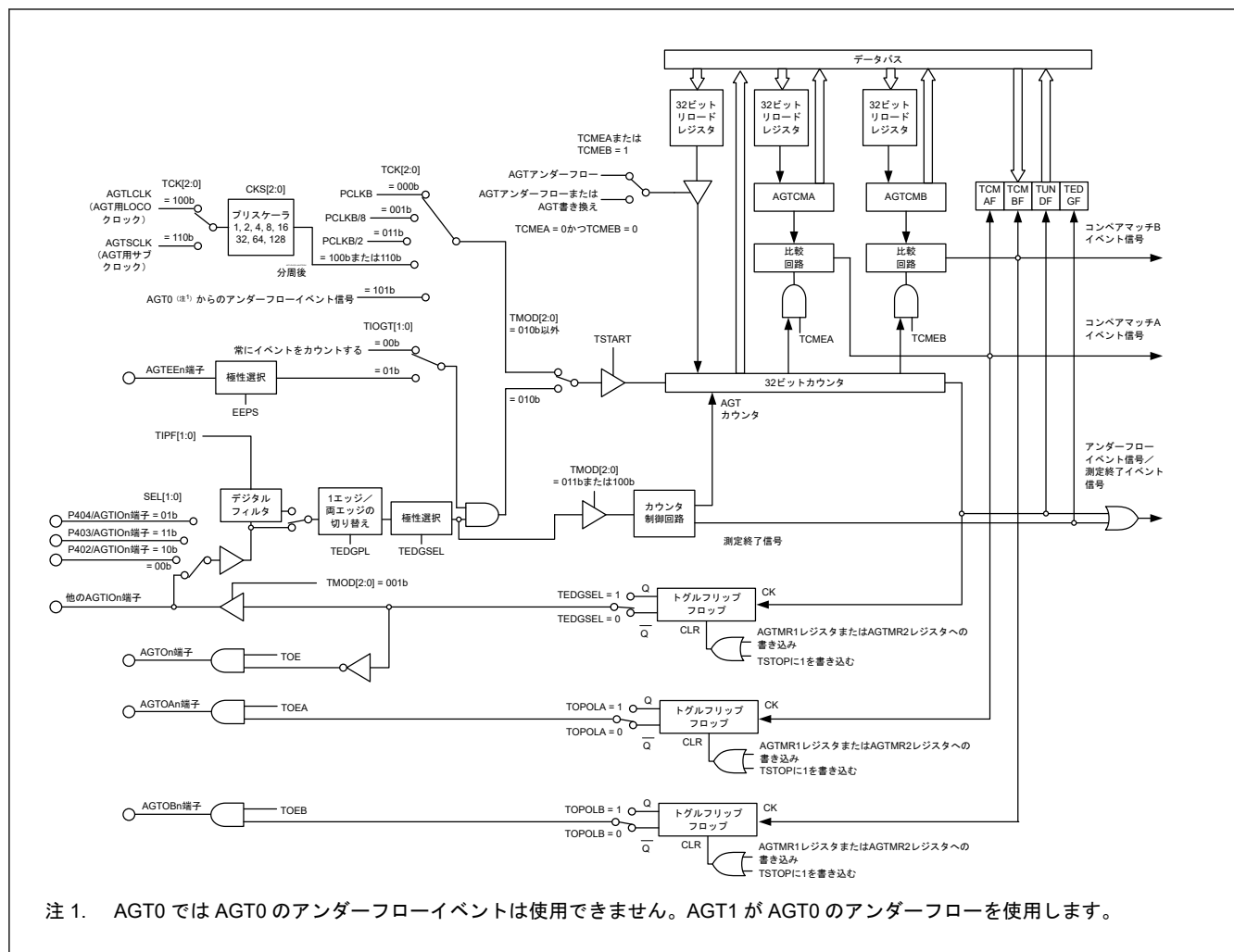


図 21.1 AGT のブロック図

表 21.2 AGT の入出力端子

端子名	入出力	機能
AGTEEn	入力	AGT の外部イベント入力許可
AGTIOn	入出力	AGT の外部イベント入力およびパルス出力
AGTOOn	出力	AGT のパルス出力
AGTOAn	出力	AGT のコンペアマッチ A 出力
AGTOBn	出力	AGT のコンペアマッチ B 出力

注. チャネル番号 : $n = 0, 1$

注: P402~P404 は入力のみ使用可能

21.2 レジスタの説明

21.2.1 AGT : AGT カウンタレジスタ

Base address: $AGTW_n = 0x400E\ 8000 + 0x0100 \times n$ ($n = 0, 1$)

Offset address: 0x00

Bit position: 31

0

Bit field:

[illegible]

ビット	シンボル	機能	R/W
31:0	n/a	32 ビットのカウンタおよびリロードレジスタ 設定範囲: 0x00000000~0xFFFFFFFF	R/W

AGTWn.AGT は 32 ビットのレジスタです。書き込み値はリロードレジスタに書き込まれ、読み出し値はカウンタから読み出されます。

リロードレジスタとカウンタの状態は、AGTCR レジスタの TSTART ビットと AGTCMSR レジスタの TCMEA/TCMEB ビットに応じて変化します。詳細は、「[21.3.1. リロードレジスタおよびカウンタの書き換え動作](#)」を参照してください。

AGTCR レジスタの TSTOP ビットに 1 を書くと、AGT カウンタは強制停止し、0xFFFFFFFF になります。

AGTMR1 レジスタの TCK[2:0] ビットの設定が 001b (PCLKB/8) または 011b (PCLKB/2) 以外の場合、AGT レジスタが 0x00000000 になると、ICU、DTC、DMAC、および ELC への要求信号がカウント開始直後に一度発生します。AGTOn および AGTIO_n 端子はトグル出力となります。

イベントカウントモードで AGT レジスタが 0x00000000 になると、TCK[2:0] ビットの値にかかわらず、ICU、DTC、DMAC、および ELC への要求信号が、カウント開始直後に一度発生します。

また、指定したカウント期間以外の期間も AGTOn 端子出力はトグル出力となります。AGT レジスタが 0x00000001 以上になると、AGT がアンダーフローするたびに要求信号が発生します。

21.2.2 AGTCMA : AGT コンペアマッチ A レジスタ

Base address: AGTWn = 0x400E_8000 + 0x0100 × n (n = 0, 1)

Offset address: 0x04

Bit position: 31

0

Bit field:

Value after reset: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
31:0	n/a	32 ビットのコンペアマッチ A データを格納(注1) 設定範囲: 0x00000000~0xFFFFFFFF	R/W

注 1. コンペアマッチ A を使用しない場合、AGTCMA レジスタは 0xFFFFFFFF にしてください。

AGTCMA レジスタは、AGT カウンタとのコンペアマッチ値を設定するための、読み出し/書き込みレジスタです。リロードレジスタとコンペアレジスタ A の状態は、AGTCR レジスタの TSTART ビットに応じて変化します。詳細は「[21.3.2. リロードレジスタおよび AGT コンペアマッチ A/B レジスタの書き換え動作](#)」を参照してください。

21.2.3 AGTCMB : AGT コンペアマッチ B レジスタ

Base address: AGTWn = 0x400E_8000 + 0x0100 × n (n = 0, 1)

Offset address: 0x08

Bit position: 31

0

Bit field:

Value after reset: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
31:0	n/a	32 ビットのコンペアマッチ B データを格納(注1) 設定範囲: 0x00000000~0xFFFFFFFF	R/W

注 1. コンペアマッチ B を使用しない場合、AGTCMB レジスタは 0xFFFFFFFF にしてください。

AGTCMB レジスタは、AGT カウンタとのコンペアマッチ値を設定するための、読み出し/書き込みレジスタです。リロードレジスタとコンペアレジスタ B の状態は、AGTCR レジスタの TSTART ビットに応じて変化します。

す。詳細は「[21.3.2. リロードレジスタおよび AGT コンペアマッチ A/B レジスタの書き換え動作](#)」を参照してください。

21.2.4 AGTCR : AGT コントロールレジスタ

Base address: AGTWn = 0x400E_8000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TCMB F	TCMA F	TUND F	TEDG F	—	TSTO P	TCST F	TSTA RT
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TSTART	AGT カウント開始(注2) 0: カウント停止 1: カウント開始	R/W
1	TCSTF	AGT カウント状態フラグ(注2) 0: カウント停止 1: カウント中	R
2	TSTOP	AGT カウント強制停止(注1) 0: 書き込みは無効 1: 強制的にカウント停止	W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TEDGF	アクティブエッジ判定フラグ 0: アクティブエッジ未受信 1: アクティブエッジ受信	R/(W) (注3)
5	TUNDF	アンダーフローフラグ 0: アンダーフローなし 1: アンダーフローあり	R/(W) (注3)
6	TCMAF	コンペアマッチ A フラグ 0: 不一致 1: 一致	R/(W) (注3)
7	TCMBF	コンペアマッチ B フラグ 0: 不一致 1: 一致	R/(W) (注3)

注 1. TSTOP ビットに 1 (強制的にカウント停止) を書き込むと、TSTART ビットおよび TCSTF フラグが同時に初期化されます。パルス出力レベルも初期化されます。読むと 0 が読めます。

注 2. TSTART ビットおよび TCSTF フラグの使用方法については、「[21.4.1. カウント動作の開始および停止制御](#)」を参照してください。

注 3. フラグをクリアするための 0 の書き込みのみ可能です。

TSTART ビット (AGT カウント開始)

TSTART ビットに 1 を書き込むとカウント動作が開始し、0 を書き込むとカウント動作が停止します。TSTART ビットを 1 にすると、カウントソースと同期して、TCSTF フラグが 1 (カウント実行中) になります。また、TSTART ビットに 0 を書き込むと、カウントソースと同期して、TCSTF フラグが 0 (カウント停止) になります。詳細は「[21.4.1. カウント動作の開始および停止制御](#)」を参照してください。

TCSTF フラグ (AGT カウント状態フラグ)

TCSTF フラグは AGT のカウント状態を示します。

[1 になる条件]

- TSTART ビットに 1 を書いたとき (カウントソースと同期して、TCSTF フラグが 1 になる)

[0 になる条件]

- TSTART ビットに 0 を書いたとき (カウントソースと同期して、TCSTF フラグが 0 になる)
- TSTOP ビットに 1 を書いたとき

TSTOP ビット (AGT カウント強制停止)

TSTOP ビットに 1 を書くと、強制的にカウントが停止します。読むと 0 が読めます。

TEDGF フラグ (アクティブエッジ判定フラグ)

TEDGF フラグはアクティブエッジが検出されたことを示します。

[1 になる条件]

- パルス幅測定モードで外部入力端子 (AGTIO_n) のアクティブ幅の測定が完了したとき
- パルス周期測定モードで外部入力端子 (AGTIO_n) の設定エッジが入力されたとき

[0 になる条件]

- 本ビットに 0 を書いたとき

TUNDF フラグ (アンダーフローフラグ)

TUNDF フラグはカウンタがアンダーフローしたことを示します。

[1 になる条件]

- カウンタがアンダーフローしたとき

[0 になる条件]

- 本ビットに 0 を書いたとき

TCMAF フラグ (コンペアマッチ A フラグ)

TCMAF フラグはコンペアマッチ A が検出されたことを示します。

[1 になる条件]

- AGT レジスタ値が AGTCMA レジスタ値と一致したとき

[0 になる条件]

- 本ビットに 0 を書いたとき

TCMBF フラグ (コンペアマッチ B フラグ)

TCMBF フラグはコンペアマッチ B が検出されたことを示します。

[1 になる条件]

- AGT レジスタ値が AGTCMB レジスタ値と一致したとき

[0 になる条件]

- 本ビットに 0 を書いたとき

21.2.5 AGTMR1 : AGT モードレジスタ 1

Base address: AGTW_n = 0x400E_8000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—		TCK[2:0]		TEDG PL	TMOD[2:0]		
Value after reset:	0	1	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	TMOD[2:0]	動作モード(注3) 000: タイマモード 001: パルス出力モード 010: イベントカウントモード 011: パルス幅測定モード 100: パルス周期測定モード その他: 設定禁止	R/W
3	TEDGPL	エッジ極性(注4) 0: 片エッジ 1: 両エッジ	R/W
6:4	TCK[2:0]	カウントソース(注1) (注2) (注5) (注7) 000: PCLKB 001: PCLKB/8 011: PCLKB/2 100: AGTMR2 レジスタの CKS[2:0]ビットで設定した分周クロック (AGTLCLK) 101: AGT0(注6)からのアンダーフローイベント信号 110: AGTMR2 レジスタの CKS[2:0]ビットで指定された分周クロック AGTLCLK その他: 設定禁止	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. AGTMR1 レジスタへの書き込みアクセスは、AGTOn、AGTIOOn、AGTOAn、および AGTOBn 端子からの出力を初期化します。初期化時の出力レベルの詳細は、「[21.2.7. AGTIOC : AGT I/O コントロールレジスタ](#)」を参照してください。

注 1. イベントカウントモードを選択した場合、TCK[2:0]ビットの設定にかかわらず、カウントソースとして外部入力端子 (AGTIOOn) が選択されます。

注 2. カウント動作中は、カウントソースを切り替えしないでください。カウントソースは、AGTCR レジスタの TSTART ビットおよび TCSTF フラグが、どちらも 0 (カウント停止) の場合にのみ切り替えてください。

注 3. AGTCR レジスタの TSTART ビットおよび TCSTF フラグが、どちらも 0 (カウント停止) の状態で、カウントが停止している場合にのみ、動作モードを変更できます。カウント動作中は、動作モードを変更しないでください。

注 4. TEDGPL ビットは、イベントカウントモード時に限り有効です。

注 5. ソフトウェアスタンバイモードまたはスヌーズモードで AGT を動作させるには、AGTLCLK または AGTSCLK (TCK[2:0] = 100b, 110b) を選択してください。

注 6. AGT0 では AGT0 のアンダーフローは使用できません (設定禁止)。AGT1 が AGT0 のアンダーフローを使用します。

注 7. AGTMR2 レジスタの CKS[2:0]ビットが 000b 以外の場合は、TCK[2:0]ビットを切り替えしないでください。AGTMR2 レジスタの CKS[2:0]ビットを 000b にした後、TCK[2:0]ビットを切り替えて、カウントソースの 1 サイクル分待機してください。

21.2.6 AGTMR2 : AGT モードレジスタ 2

Base address: AGTWn = 0x400E_8000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LPM	—	—	—	—	CKS[2:0]		

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
2:0	CKS[2:0]	AGTLCLK/AGTSCLK カウントソースクロック周波数分周比(注1) (注2) (注3) 000: 1/1 001: 1/2 010: 1/4 011: 1/8 100: 1/16 101: 1/32 110: 1/64 111: 1/128	R/W
6:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	LPM	低消費電力モード 0: ノーマルモード 1: 低消費電力モード	R/W

注 1. カウント動作中は、CKS[2:0]ビットを書き換えないでください。AGTCR レジスタの TSTART ビットと TCSTF フラグがどちらも 0 (カウント停止) の場合にのみ、CKS[2:0]ビットを書き換えてください。

注 2. カウントソースが AGTLCLK または AGTSCLK の場合、CKS[2:0]ビットの切り替えが有効となります。

注 3. CKS[2:0]ビットが 000b 以外の場合は、AGTMR1 レジスタの TCK[2:0]ビットを切り替えないでください。CKS[2:0]ビットを 000b にした後、AGTMR1 レジスタの TCK[2:0]ビットを切り替えて、カウントソースの 1 サイクル分待機してください。

CKS[2:0]ビット (AGTLCLK/AGTSCLK カウントソースクロック周波数分周比)

CKS[2:0]ビットは AGTLCLK/AGTSCLK カウントソースクロック周波数分周比を選択します。

LPM ビット (低消費電力モード)

LPM ビットは低消費電力動作を設定します。これによって、特定の AGT レジスタへのアクセスに影響があります。低消費電力で動作させるには本ビットを 1 にしてください。

本ビットが 1 の場合、下記のレジスタへはアクセスしないでください。

- AGT/AGTCMA/AGTCMB/AGTCR

本ビットを 1 から 0 に切り替えた後は、最初のレジスタアクセスが以下のように制限されます。

- AGT レジスタから読み出す場合、AGT レジスタを 2 回読み出します。2 回目の読み出しデータのみが有効です。
- AGT、AGTCMA、AGTCMB、および AGTCR レジスタに書き込む場合、カウントソースクロックで 2 サイクル以上の余裕が必要です。
- AGT、AGTCMA、AGTCMB、および AGTCR レジスタに書き込まれた値を確認する場合
 - カウント動作の停止時：データ書き込み後、次のサイクルで読み出し可能です。
 - カウント動作の実行中：データ書き込み後、カウントソースクロックの 4 サイクル後に読み出し可能です。

図 21.2 に LPM ビットの書き込み方法のフローチャートを示します。

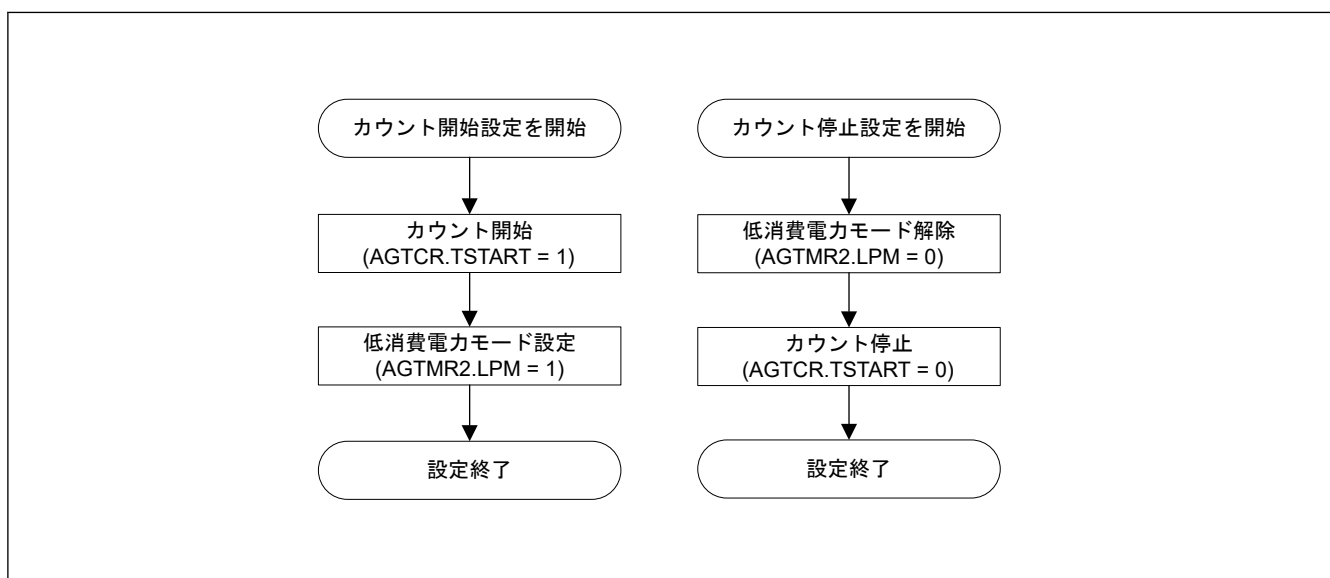


図 21.2 LPM ビットに書き込む方法のフローチャート

21.2.7 AGTIOC : AGT I/O コントロールレジスタ

Base address: AGTWn = 0x400E_8000 + 0x0100 × n (n = 0, 1)

Offset address: 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TIOGT[1:0]		TIPF[1:0]		—	TOE	—	TEDG SEL

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	TEDGSEL	I/O 極性切り替え 動作モードによって機能が異なります。表 21.3 と表 21.4 を参照してください。	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	TOE	AGTOn 端子出力許可 0: AGTOn 端子出力を禁止 1: AGTOn 端子出力を許可	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	TIPF[1:0]	入力フィルタ ^(注3) これらのビットは、AGTIOOn 端子入力用フィルタのサンプリング周波数を指定します。 AGTIOOn 端子への入力がサンプリングされ、3 回連続して値が一致すると、その値が入力値とみなされます。 0 0: フィルタなし 0 1: PCLKB でのフィルタサンプリング 1 0: PCLKB/8 でのフィルタサンプリング 1 1: PCLKB/32 でのフィルタサンプリング	R/W
7:6	TIOGT[1:0]	カウント制御 ^(注1) (注2) 0 0: 常にイベントをカウントする 0 1: AGTEEn 端子に指定された極性の期間に、イベントをカウントする その他: 設定禁止	R/W

注 1. AGTEEn 端子を使用する場合、イベントをカウントするための極性は AGTISR レジスタの EEPS ビットで選択できます。

注 2. TIOGT[1:0]ビットは、イベントカウントモード時に限り有効です。

注 3. ソフトウェアスタンバイモード中にイベントカウントモード動作が実行される場合、デジタルフィルタ機能は使用できません。

TEDGSEL ビット (I/O 極性切り替え)

TEDGSEL ビットは AGTOn 端子の出力極性および AGTIOOn 端子の入出力エッジと極性を切り替えます。

パルス出力モードでは、AGTOn 端子の出力極性と AGTIOOn 端子の出力極性のみが制御されます。AGTOn 端子出力と AGTIOOn 端子出力は、AGTMR1 レジスタに書き込みを行ったとき、または AGTCR レジスタの TSTOP ビットに 1 を書いたときに初期化されます。

TOE ビット (AGTOn 端子出力許可)

TOE ビットは AGTOn 端子出力の禁止または許可を選択します。

TIPF[1:0]ビット (入力フィルタ)

TIPF[1:0]ビットは AGTIOOn 端子入力用フィルタのサンプリング周波数を指定します。AGTIOOn 端子への入力がサンプリングされ、3 回連続して値が一致すると、その値が入力値とみなされます。

TIOGT[1:0]ビット (カウント制御)

TIOGT[1:0]ビットはイベントカウントを制御します。

表 21.3 AGTIOOn 端子の入出力エッジおよび極性切り替え

動作モード	機能
タイマモード	使用しない
パルス出力モード	0: High で出力開始 (初期レベル: High) : 反転出力など 1: Low で出力開始 (初期レベル: Low) : 通常出力など
イベントカウントモード	0: 立ち上がりエッジでカウント 1: 立ち下がりエッジでカウント
パルス幅測定モード	0: Low レベル幅を測定 1: High レベル幅を測定
パルス周期測定モード	0: ある立ち上がりエッジから次の立ち上がりエッジまで測定 1: ある立ち下がりエッジから次の立ち下がりエッジまで測定

注. TOE ビットが 0 の場合、端子の状態は Hi-Z です。

表 21.4 AGTOn 端子の出力極性切り替え

動作モード	機能
全モード	0: Low で出力開始（初期レベル：Low）：通常出力 1: High で出力開始（初期レベル：High）：反転出力

注. TOE ビットが 0 の場合、パルス出力モードにおける TEDGSEL ビットの設定値に従った値を出力します。

21.2.8 AGTISR : AGT イベント端子選択レジスタ

Base address: AGTWn = 0x400E_8000 + 0x0100 × n (n = 0, 1)

Offset address: 0x11

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	EEPS	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	EEPS	AGTEEn 極性選択 0: Low の期間、イベントをカウントする 1: High の期間、イベントをカウントする	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

EEPS ビット (AGTEEn 極性選択)

EEPS ビットはカウントされるイベントの極性を選択します。

21.2.9 AGTCMSR : AGT コンペアマッチ機能選択レジスタ

Base address: AGTWn = 0x400E_8000 + 0x0100 × n (n = 0, 1)

Offset address: 0x12

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	TOPO LB	TOEB	TCME B	—	TOPO LA	TOEA	TCME A
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TCMEA	AGT コンペアマッチ A レジスタ有効 ^(注1) ^(注2) ^(注3) 0: AGT コンペアマッチ A レジスタを無効 1: AGT コンペアマッチ A レジスタを有効	R/W
1	TOEA	AGTOAn 端子出力許可 ^(注1) ^(注2) 0: AGTOAn 端子出力を禁止 1: AGTOAn 端子出力を許可	R/W
2	TOPOLA	AGTOAn 端子極性選択 ^(注1) ^(注2) 0: AGTOAn 端子出力を Low で開始：通常出力 1: AGTOAn 端子出力を High で開始：反転出力	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TCMEB	AGT コンペアマッチ B レジスタ有効 ^(注1) ^(注2) ^(注3) 0: AGT コンペアマッチ B レジスタを無効 1: AGT コンペアマッチ B レジスタを有効	R/W
5	TOEB	AGTOBn 端子出力許可 ^(注1) ^(注2) 0: AGTOBn 端子出力を禁止 1: AGTOBn 端子出力を許可	R/W

ビット	シンボル	機能	R/W
6	TOPOLB	AGTOBn 端子極性選択(注1)(注2) 0: AGTOBn 端子出力を Low で開始：通常出力 1: AGTOBn 端子出力を High で開始：反転出力	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. カウント動作中は、AGTCMSR レジスタを書き換えしないでください。AGTCMSR レジスタは、AGTCR レジスタの TSTART ビットおよび TCSTF フラグが、どちらも 0 (カウント停止) の場合にのみ書き換えてください。

注 2. パルス幅測定モードまたはパルス周期測定モード中は、1 にしないでください。

注 3. AGTCR レジスタの TSTOP ビットに 1 を書くと、TCMEA ビットおよび TCMEB ビットは強制停止し、0 になります。

21.2.10 AGTIOSEL : AGT 端子選択レジスタ

Base address: AGTWn = 0x400E_8000 + 0x0100 × n (n = 0, 1)

Offset address: 0x13

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TIES	—	—	SEL[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	SEL[1:0]	AGTIOOn 端子選択(注1) 0 0: 以下の端子を除く AGTIOOn を選択 0 1: P404/AGTIOOn P404/AGTIOOn を入力専用として選択出力には使用できません。 1 0: P402/AGTIOOn P402/AGTIOOn を入力専用として選択出力には使用できません。 1 1: P403/AGTIOOn P403/AGTIOOn を入力専用として選択出力には使用できません。	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TIES	AGTIOOn 端子入力許可 0: ソフトウェアスタンバイモード中、外部イベント入力を禁止 1: ソフトウェアスタンバイモード中、外部イベント入力を許可	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 端子機能選択レジスタを設定してください。「18. I/O ポート」を参照してください。

AGTIOSEL レジスタは、AGTIOOn 端子をソフトウェアスタンバイモードで使用する場合に、AGTIOOn 端子を設定します。

SEL[1:0]ビット (AGTIOOn 端子選択)

SEL[1:0]ビットは AGTIOOn 端子機能を選択します。

TIES ビット (AGTIOOn 端子入力許可)

TIES ビットは外部イベント入力を許可または禁止します。

21.3 動作説明

21.3.1 リロードレジスタおよびカウンタの書き換え動作

動作モードにかかわらず、リロードレジスタとカウンタへの書き換え動作のタイミングは、AGTCR レジスタの TSTART ビット値、および AGTCMSR レジスタの TCMEA または TCMEB ビット値によって異なります。

TSTART ビットが 0 (カウント停止) の場合、カウンタ値がリロードレジスタとカウンタに直接書き込まれます。TSTART ビットが 1 (カウント開始) で、かつ TCMEA および TCMEB ビットが 0 (AGT コンペアマッチ A/B レジスタが無効) の場合、値がカウンタソースと同期してリロードレジスタに書き込まれた後、次のカウンタソースと同期してカウンタに書き込まれます。TSTART ビットが 1 (カウント開始) で、かつ TCMEA または TCMEB ビットが 1 (AGT コンペアマッチ A/B レジスタが有効) の場合、値がカウンタソースと同期してリロードレジスタに書き込まれた後、カウンタのアンダーフローと同期してカウンタに書き込まれます。

TSTART ビット値および TCMEA/TCMEB ビット値による書き換え動作のタイミングを図 21.3 および図 21.4 に示します。

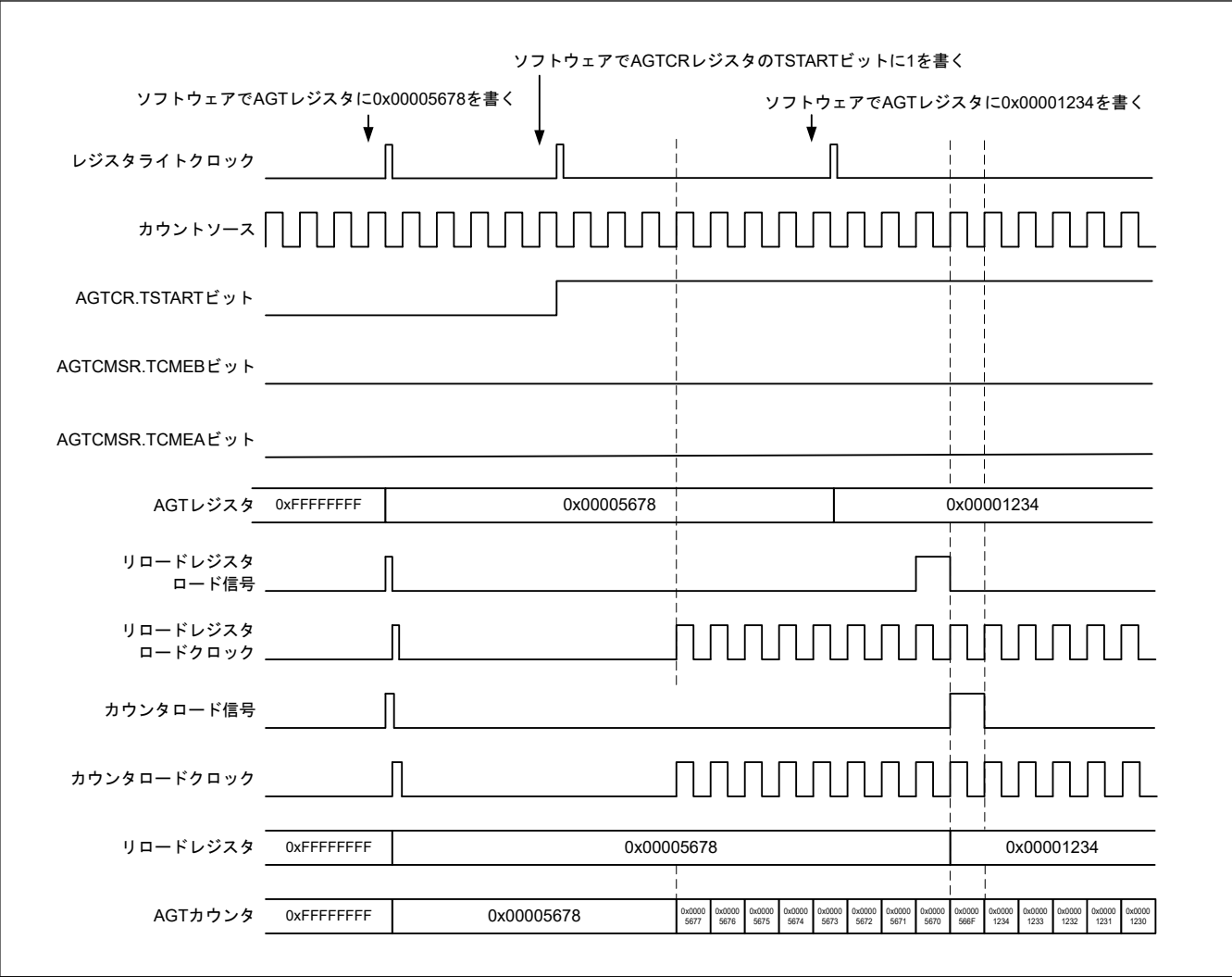


図 21.3 TSTART、TCMEA、TCMEB ビット値による書き換え動作のタイミング (AGT コンペアマッチ A レジスタと AGT コンペアマッチ B レジスタが無効の場合)

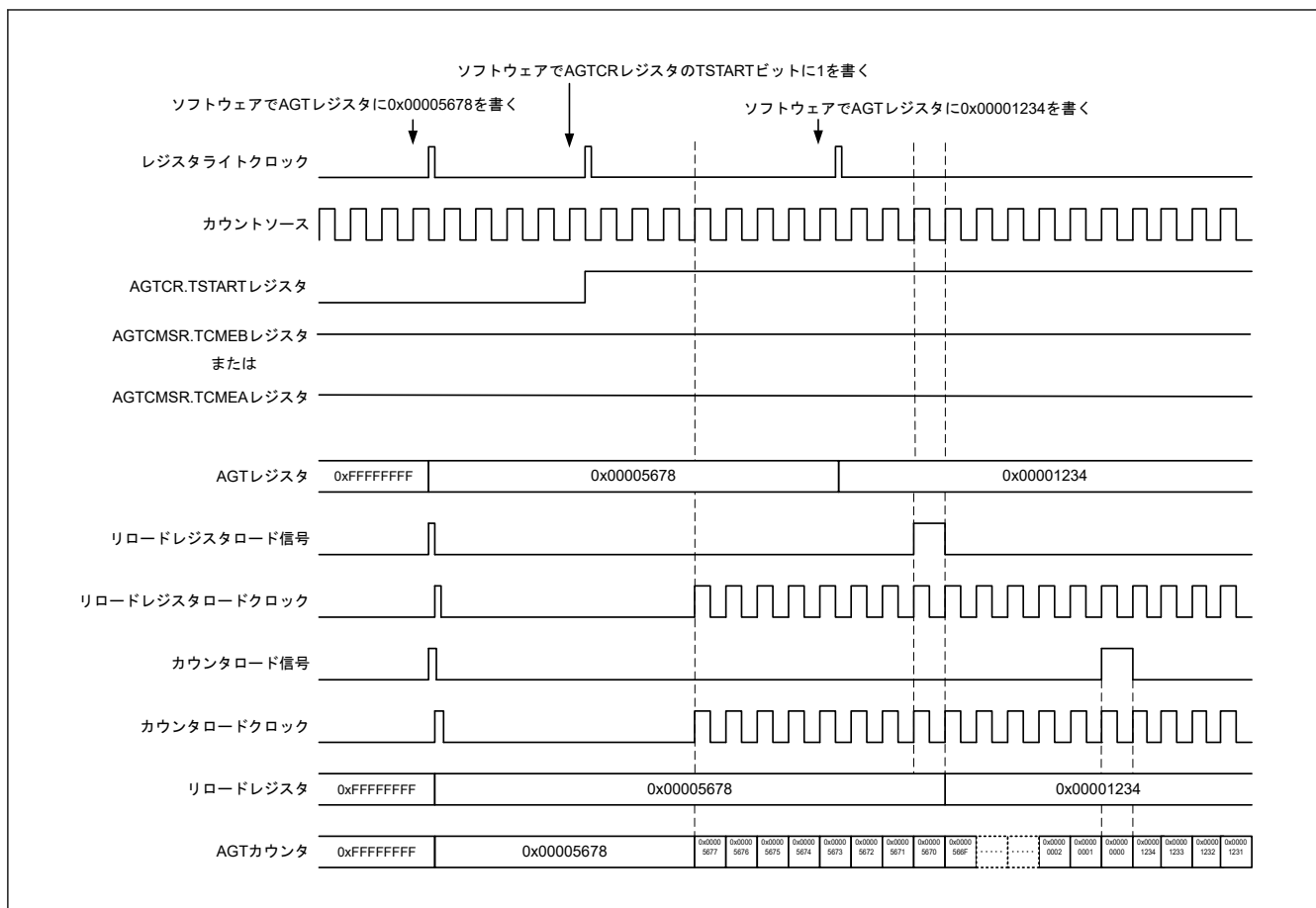


図 21.4 TSTART ビット値と TCMEA または TCMEB ビット値による書き換え動作のタイミング (AGT コンペアマッチ A レジスタまたは AGT コンペアマッチ B レジスタが有効の場合)

21.3.2 リロードレジスタおよび AGT コンペアマッチ A/B レジスタの書き換え動作

動作モードにかかわらず、リロードレジスタと AGT コンペアレジスタ A/B への書き換え動作のタイミングは、AGTCR レジスタの TSTART ビットの値によって異なります。TSTART ビットが 0 (カウント停止) の場合、カウント値がリロードレジスタと AGT コンペアレジスタ A/B に直接書き込まれます。TSTART ビットが 1 (カウント開始) の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、カウンタのアンダーフローと同期してコンペアレジスタに書き込まれます。

TSTART ビット値によるコンペアレジスタ A への書き換え動作のタイミングを図 21.5 に示します。AGT コンペアレジスタ B の場合も AGT コンペアレジスタ A と同じです。

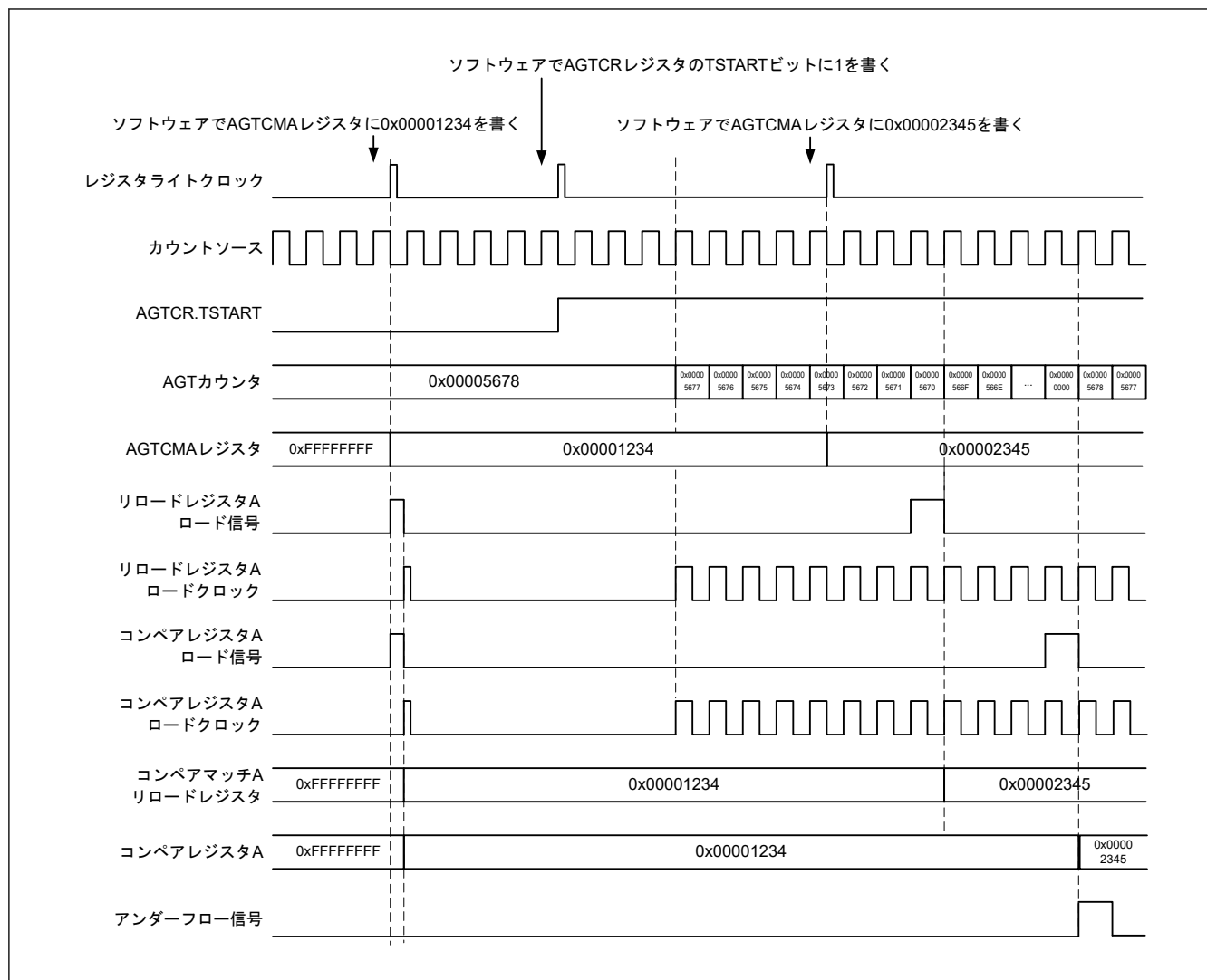


図 21.5 AGT コンペアレジスタ A の TSTART ビット値による書き換え動作のタイミング

21.3.3 タイマモード

タイマモードでは、AGT カウンタは AGTMR1 レジスタの TCK[2:0]ビットで選択したカウントソースによってデクリメントします。タイマモードでは、カウント値がカウントソースの立ち上がりエッジごとに 1 ずつデクリメントします。カウント値が 0x00000000 に達して、次のカウントソースが入力されると、アンダーフローが発生して割り込み要求が生成されます。

図 21.6 にタイマモードでの動作例を示します。

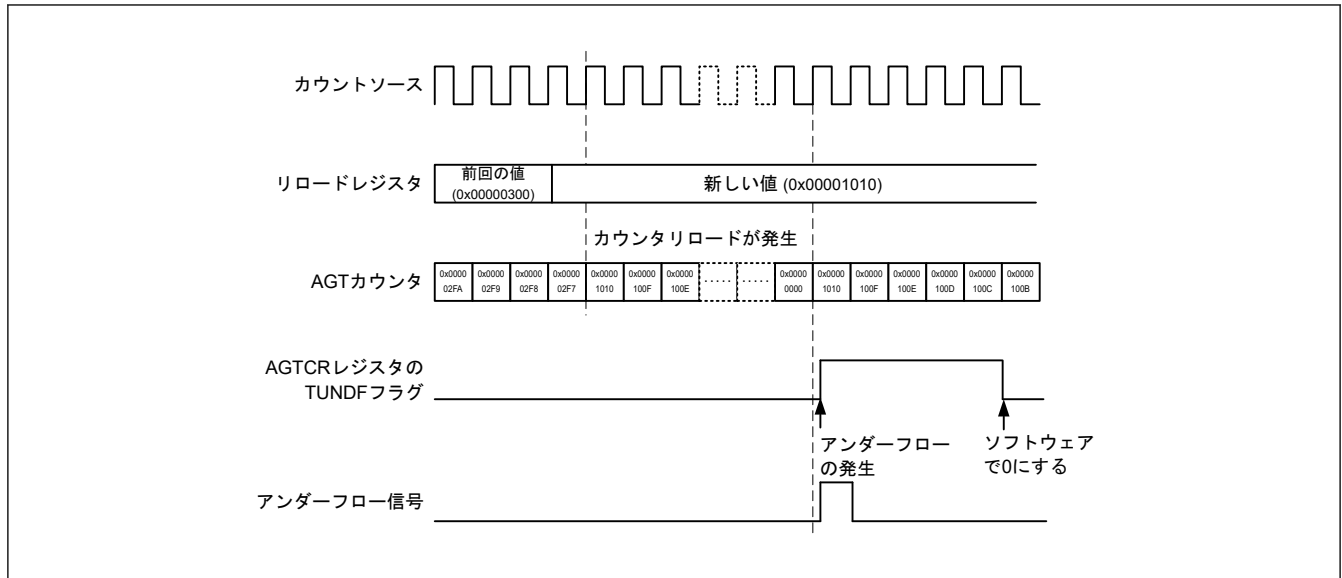


図 21.6 タイマモードでの動作例

21.3.4 パルス出力モード

パルス出力モードでは、カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントし、アンダーフローが発生するたびに AGTIO_n および AGTO_n 端子の出力レベルは反転します。

パルス出力モードでは、カウント値がカウントソースの立ち上がりエッジごとに 1 ずつデクリメントします。カウント値が 0x00000000 に達して、次のカウントソースが入力されると、アンダーフローが発生して割り込み要求が生成されます。さらに、AGTIO_n および AGTO_n 端子からパルスを出力できます。その出力レベルは、アンダーフローが発生するたびに反転します。AGTO_n 端子からのパルス出力は、AGTIOC レジスタの TOE ビットで停止できます。出力レベルは、AGTIOC レジスタの TEDGSEL ビットで選択できます。

パルス出力モードでの動作例を図 21.7 に示します。

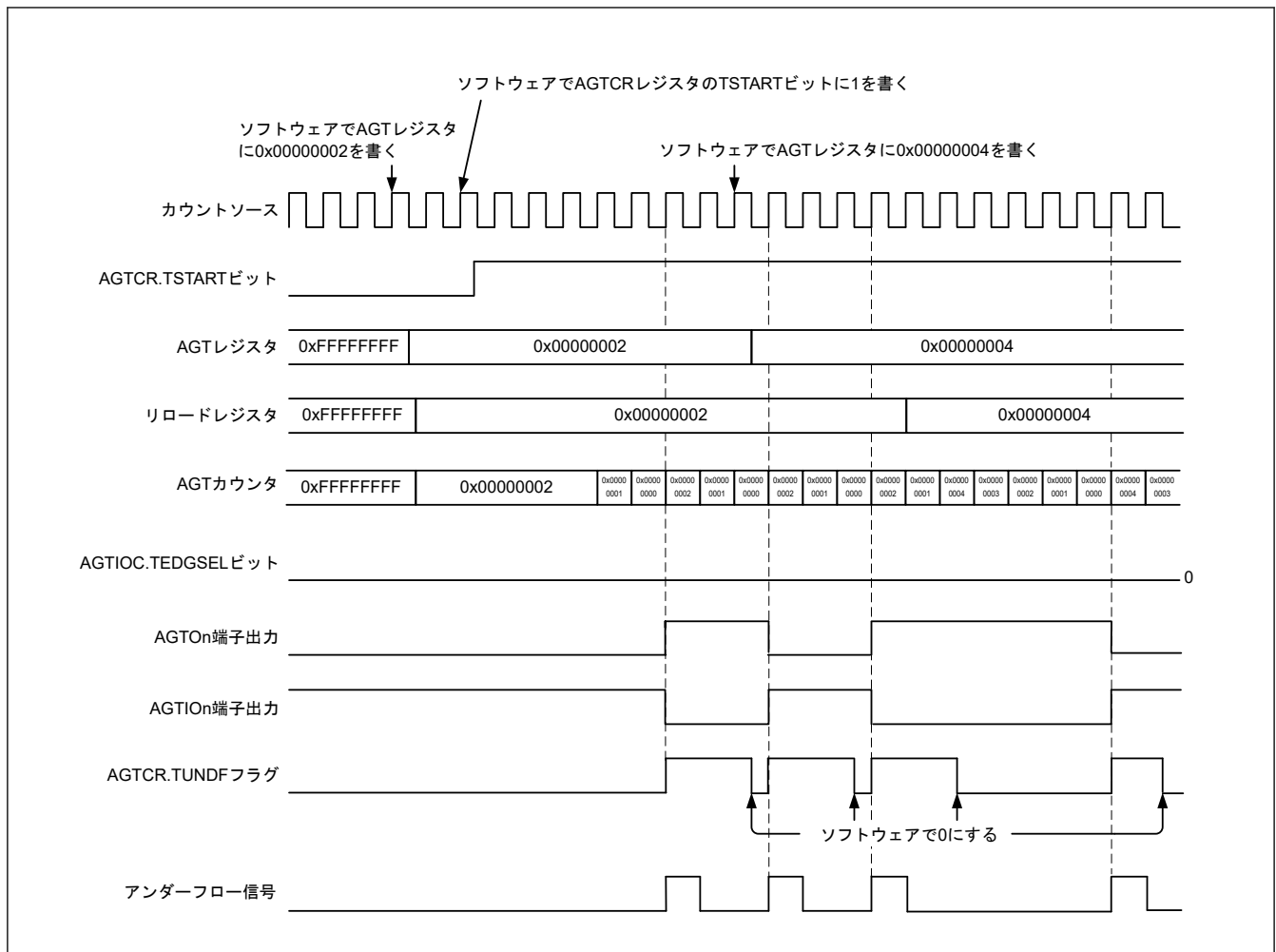


図 21.7 パルス出力モードでの動作例

21.3.5 イベントカウントモード

イベントカウンタモードでは、カウンタは AGTIO_n 端子への外部イベント信号（カウントソース）入力によってデクリメントします。イベントをカウントする期間は、AGTIOC レジスタの TIOGT[1:0]ビットと AGTISR レジスタによってさまざまな設定が可能です。さらに、AGTIOC レジスタの TIPF[1:0]ビットによって、AGTIO_n 端子入力用のフィルタ機能を指定できます。イベントカウンタモードでも、AGTIO_n 端子からトグル出力が可能です。

イベントカウントモードでの動作例を図 21.8 に示します。

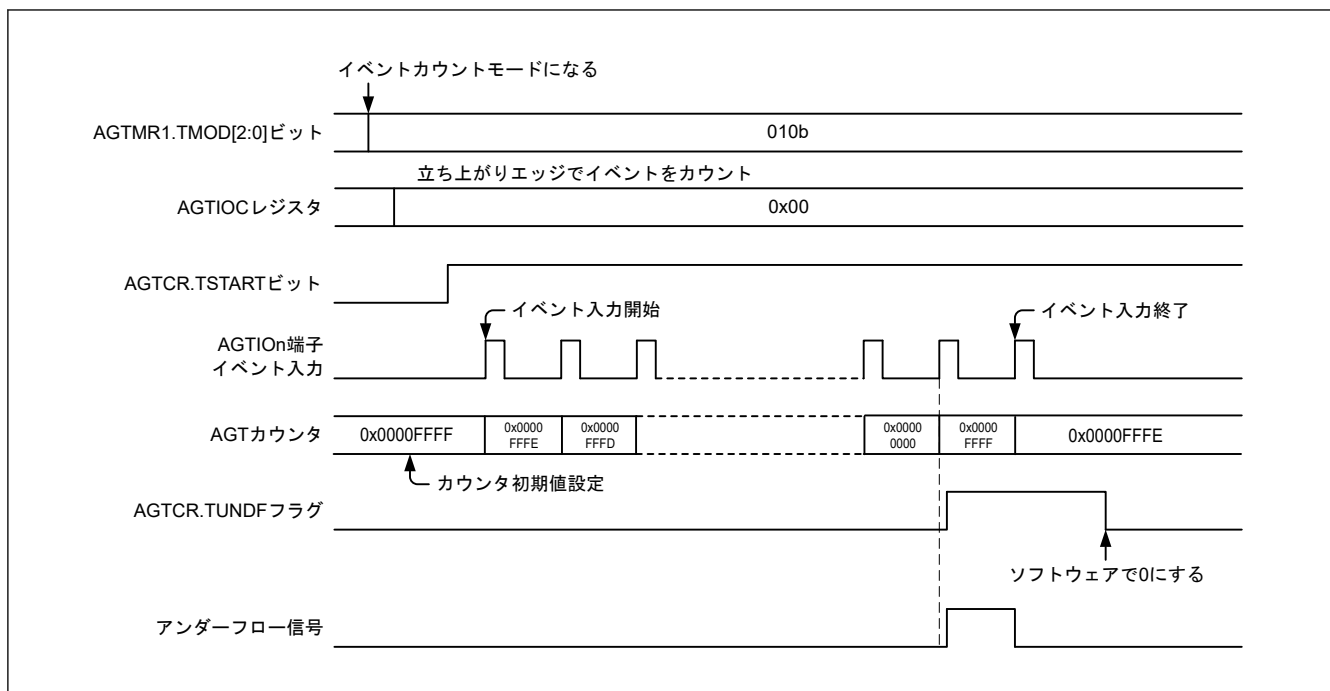


図 21.8 イベントカウントモードでの動作例 1

イベントカウントモード時に、指定された期間にイベントがカウントされるように（AGTIOC レジスタの TIOGT[1:0] ビットを 01b に設定）した場合の動作例を図 21.9 に示します。

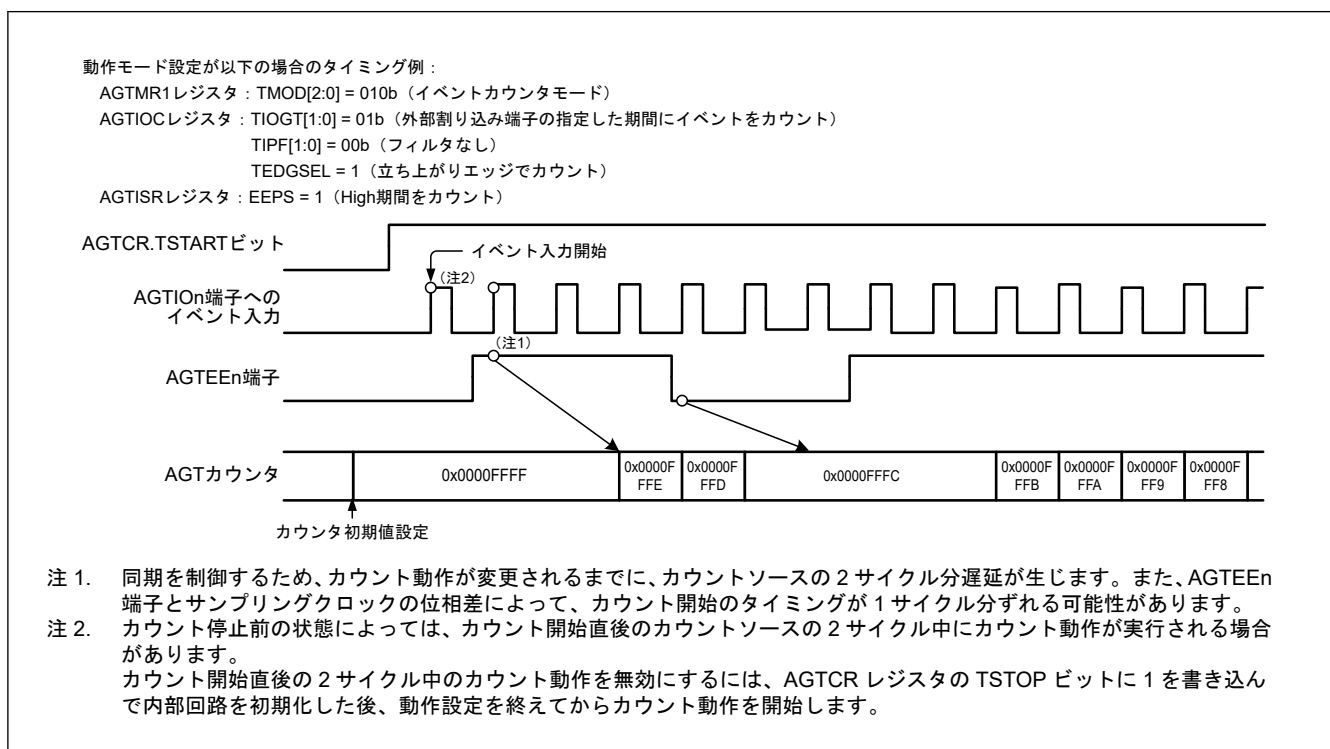


図 21.9 イベントカウントモードでの動作例 2

21.3.6 パルス幅測定モード

パルス幅測定モードでは、AGTIOn 端子に入力される外部信号のパルス幅を測定します。AGTIOC レジスタの TEDGSEL ビットで指定したレベルが AGTIOn 端子に入力されると、カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。指定した AGTIOn 端子レベルが終了すると、カウンタは停止して、AGTCR レジスタの TEDGF フラグが 1（アクティブエッジ受信）になり、割り込み要求が発

生します。カウンタの停止中にカウント値を読み出すことで、パルス幅データが測定されます。また、測定中にカウンタがアンダーフローすると、AGTCR レジスタの TUNDF フラグが 1 になり、割り込み要求が発生します。

図 21.10 にパルス幅測定モードでの動作例を示します。

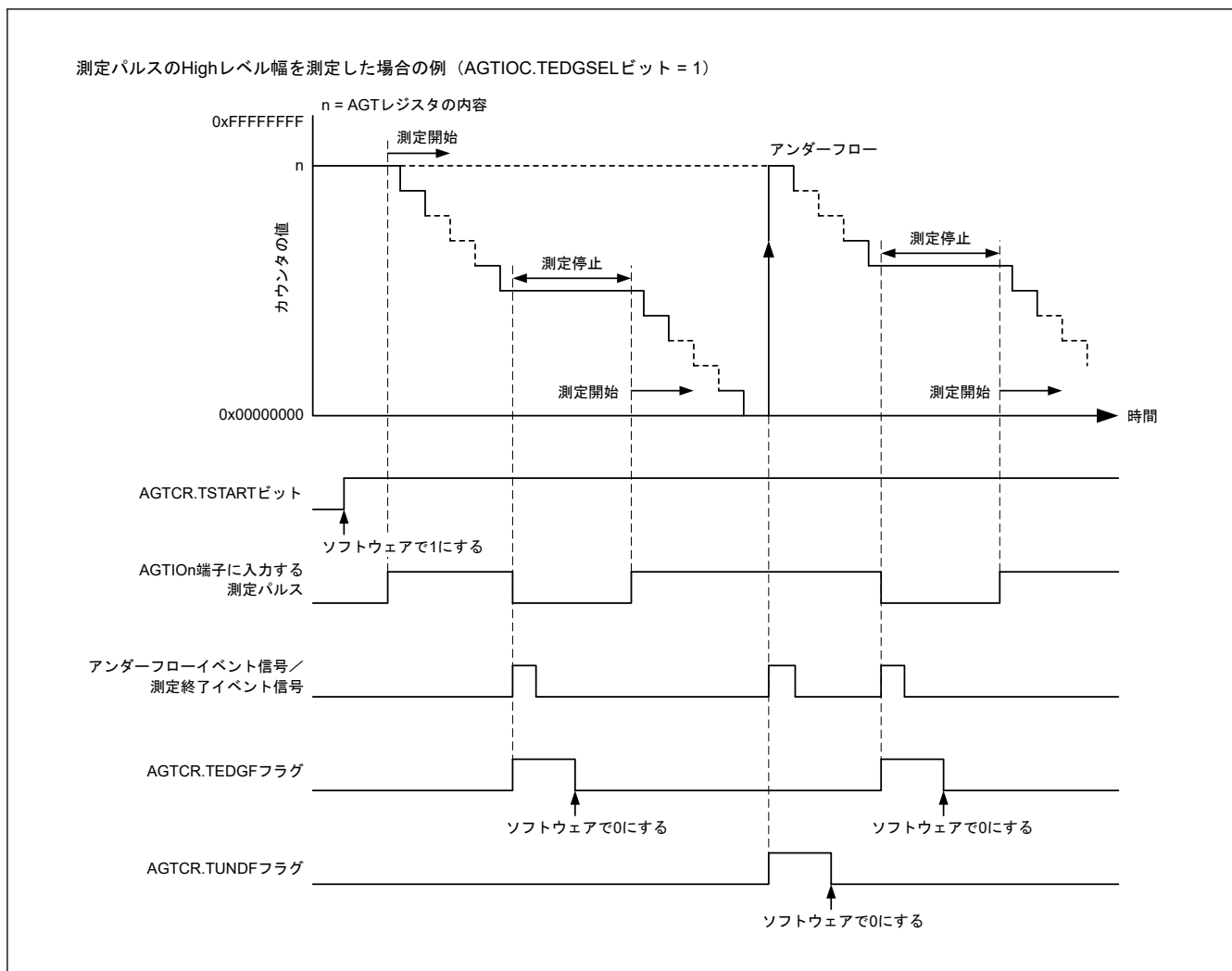


図 21.10 パルス幅測定モードでの動作例

21.3.7 パルス周期測定モード

パルス周期測定モードでは、AGTIO_n 端子に入力される外部信号のパルス周期を測定します。カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。AGTIOC レジスタの TEDGSEL ビットで指定した周期のパルスが AGTIO_n 端子に入力されると、カウントソースの立ち上がりエッジでカウント値を読み出しバッファに転送されます。リロードレジスタの値は、次の立ち上がりエッジでカウンタにロードされます。同時に、AGTCR レジスタの TEDGF フラグが 1 (アクティブエッジ受信) になり、割り込み要求が発生します。この時点で読み出しバッファ (AGT レジスタ) が読み出され、リロード値 (「21.4.6. イベント番号、パルス幅およびパルス周期の計算方法」を参照) との差が入力パルスの周期データとなります。この周期データは、読み出しバッファが読み出されるまで保持されます。カウンタがアンダーフローすると、AGTCR レジスタの TUNDF フラグが 1 (アンダーフロー) になり、割り込み要求が発生します。

パルス周期測定モードでの動作例を図 21.11 に示します。

カウントソース周期の 2 倍よりも長い周期を持つ入力パルスのみが測定されます。また、Low 幅と High 幅は、両方ともカウントソースの周期より長くなければいけません。これらの条件よりも短いパルス周期が入力されると、その入力は無視される場合があります。

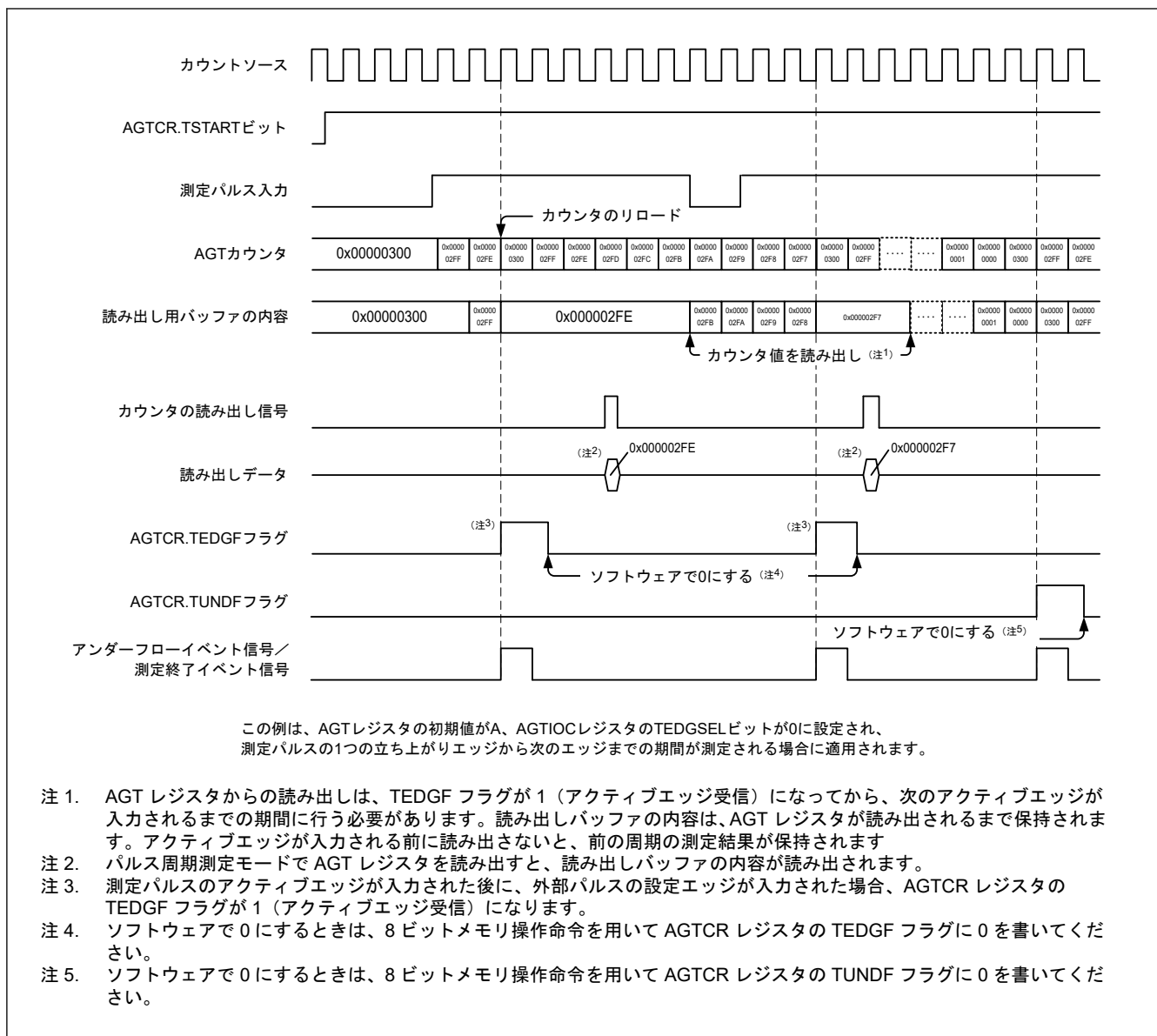


図 21.11 パルス周期測定モードでの動作例

21.3.8 コンペアマッチ機能

コンペアマッチ機能は、AGTCMA/AGTCMB レジスタの内容と AGT レジスタの内容の一致 (コンペアマッチ) を検出します。この機能は、AGTCMSR レジスタの TCMEA または TCMEB ビットが 1 (コンペアマッチ A/B レジスタが有効) の場合に有効となります。カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。AGT の値と AGTCMA/AGTCMB の値が一致した場合、AGTCR レジスタの TCMAF/TCMBF フラグが 1 (一致) になり、割り込み要求が発生します。

コンペアマッチ機能が有効の場合、リロードレジスタとカウンタでは、書き換え動作のタイミングが異なります。詳細は「[21.3.1. リロードレジスタおよびカウンタの書き換え動作](#)」を参照してください。また、AGTOAn、AGTOBn 端子の出力レベルは、一致およびアンダーフローによって反転します。出力レベルは、AGTCMSR レジスタの TOPOLA または TOPOLB ビットで選択できます。

図 21.12 にコンペアマッチ機能の動作例を示します。

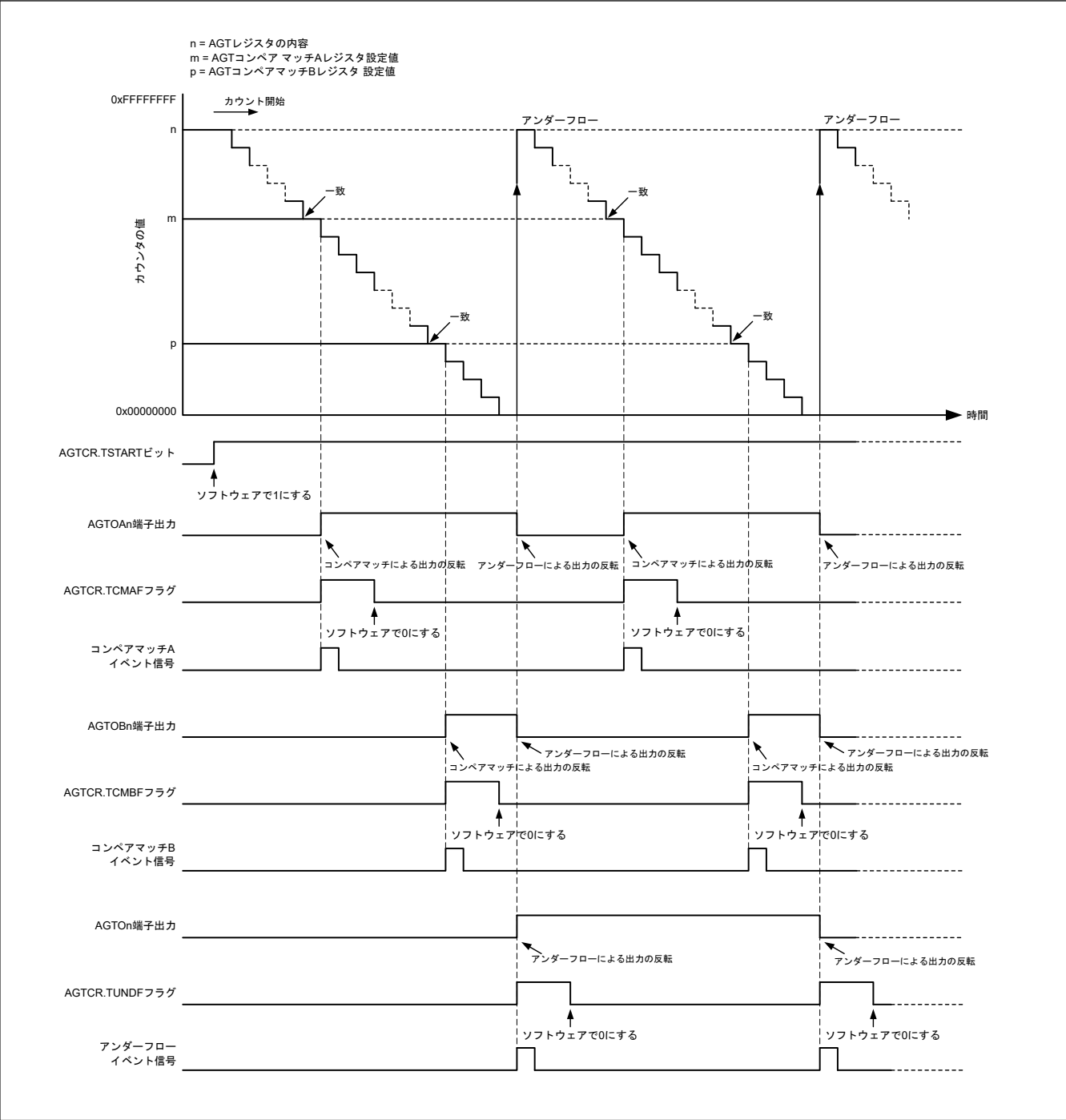


図 21.12 コンペアマッチ機能の動作例 (TOPOLA = 0, TOPOLB = 0)

21.3.9 各モードの出力設定

表 21.5～表 21.8 に各モードでの AGTON、AGTIO、AGTOAn および AGTOBn 端子の状態を示します。

表 21.5 AGTON 端子の設定

動作モード	AGTIOC レジスタ		AGTON 端子出力
	TOE ビット	TEDGSEL ビット	
全モード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止

表 21.6 AGTIO_n 端子の設定

動作モード	AGTIOC レジスタ	AGTIO _n 端子入出力
	TEDGSEL ビット	
タイマモード	0 または 1	入力（使用しない）
パルス出力モード	1	通常出力
	0	反転出力
イベントカウントモード	0 または 1	入力
パルス幅測定モード		
パルス周期測定モード		

表 21.7 AGTOA_n 端子の設定

動作モード	AGTCMSR レジスタ		AGTOA _n 端子出力
	TOEA ビット	TOPOLA ビット	
タイマモード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
パルス出力モード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
イベントカウントモード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
パルス幅測定モード	0	0	禁止
パルス周期測定モード			

表 21.8 AGTOB_n 端子の設定

動作モード	AGTCMSR レジスタ		AGTOB _n 端子出力
	TOEB ビット	TOPOLB ビット	
タイマモード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
パルス出力モード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
イベントカウントモード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
パルス幅測定モード	0	0	禁止
パルス周期測定モード			

21.3.10 スタンバイモード

AGT はソフトウェアスタンバイモードで動作可能です。カウント動作開始 (TSTART = 1, TCSTF = 1) の状態で、ソフトウェアスタンバイモードに設定してください。

表 21.9 と表 21.10 にソフトウェアスタンバイモードで使用可能な設定を示します。

表 21.9 ソフトウェアスタンバイモードで使用可能な設定 (AGT0)

動作モード	AGTMR1.TCK[2:0]	動作クロック	CPU 復帰要因
タイマモード	100b または 110b	AGTLCLK または AGTSCLK	–
パルス出力モード	100b または 110b	AGTLCLK または AGTSCLK	–
イベントカウンタモード(注2) (注3)	–	AGTIO _n (注1)	–
パルス幅測定モード	100b または 110b	AGTLCLK または AGTSCLK	–
パルス周期測定モード	100b または 110b	AGTLCLK または AGTSCLK	–

注. – (無効)

注 1. ソフトウェアスタンバイモードで AGTIO_n 端子を外部イベント入力として使用する場合は、AGTIOSEL.TIES = 1 に設定してください。

注 2. AGTEE 端子はソフトウェアスタンバイモード時には使用できません。外部イベントは常に有効です。

注 3. 外部イベント入力が入力がソフトウェアスタンバイモード中に禁止されている場合 (AGTIOSEL.TIES = 0)、ソフトウェアスタンバイモードに遷移する前にカウント動作を停止してください。ソフトウェアスタンバイモードから復帰した後に、カウント動作を再開してください。

表 21.10 ソフトウェアスタンバイモードで使用可能な設定 (AGT1)

動作モード	AGTMR1.TCK[2:0]	動作クロック	CPU 復帰要因
タイマモード	100b、110b、または 101b(注1)	AGTLCLK、AGTSCLK、または AGT0 アンダーフロー	- アンダーフロー - コンペアマッチ A/B
パルス出力モード	100b、110b、または 101b(注1)	AGTLCLK、AGTSCLK、または AGT0 アンダーフロー	- アンダーフロー - コンペアマッチ A/B
イベントカウンタモード(注3) (注4)	–	AGTIO _n (注2)	- アンダーフロー - コンペアマッチ A/B
パルス幅測定モード	100b、110b、または 101b(注1)	AGTLCLK、AGTSCLK、または AGT0 アンダーフロー	- アンダーフロー - アクティブエッジ
パルス周期測定モード	100b、110b、または 101b(注1)	AGTLCLK、AGTSCLK、または AGT0 アンダーフロー	- アンダーフロー - アクティブエッジ

注. – (無効)

注. ソフトウェアスタンバイモードの解除ができるのは AGT1 のみです。

注. コンペアマッチ A/B はソフトウェアスタンバイモードからの CPU 復帰要因です。

注 1. AGT0 が表 21.9 の状態で動作している場合のみ。

注 2. ソフトウェアスタンバイモードで AGTIO_n 端子を外部イベント入力として使用する場合は、AGTIOSEL.TIES = 1 に設定してください。

注 3. AGTEE 端子はソフトウェアスタンバイモード時には使用できません。外部イベントは常に有効です。

注 4. 外部イベント入力が入力がソフトウェアスタンバイモード中に禁止されている場合 (AGTIOSEL.TIES = 0)、ソフトウェアスタンバイモードに遷移する前にカウント動作を停止してください。ソフトウェアスタンバイモードから復帰した後に、カウント動作を再開してください。

21.3.11 割り込み要因

AGT_n には、表 21.11 に示すように、3 種類の割り込み要因があります。

表 21.11 AGT 割り込み要因

名称	割り込み要因	DMAC/DTC の起動
AGT _n _AGTI	- カウンタがアンダーフローしたとき - パルス幅測定モードで外部入力端子 (AGTIO_n) のアクティブ幅の測定が完了したとき - パルス周期測定モードで外部入力端子 (AGTIO_n) の設定エッジが入力されたとき	可能
AGT _n _AGTCMAI	AGT レジスタと AGTCMA レジスタの値が一致したとき	可能
AGT _n _AGTCMBI	AGT レジスタと AGTCMB レジスタの値が一致したとき	可能

注. チャネル番号 (n = 0, 1)

21.3.12 イベントリンクコントローラ (ELC) へのイベント信号出力

AGT_n (n = 0, 1) は ELC (イベントリンクコントローラ) により、割り込み要求をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。AGT_n (n = 0, 1) は、コンペアマッチ A、コンペ

アマッチ B、およびアンダーフロー／測定完了信号をイベント信号として出力します。詳細は、「[17. イベントリンクコントローラ \(ELC\)](#)」を参照してください。

21.4 使用上の注意事項

21.4.1 カウント動作の開始および停止制御

- 動作モード (表 21.1 を参照) がイベントカウントモードまたはカウントソースが AGTn アンダーフローイベント信号 (TCK[2:0] = 101b) 以外に設定されている場合
 - カウント停止中に AGTCR レジスタの TSTART ビットに 1 (カウント開始) を書き込んでも、AGTCR レジスタの TCSTF フラグは、カウントソースの 3 サイクル間、0 (カウント停止) のままです。TCSTF フラグが 1 (カウント動作中) になるまで、TCSTF フラグ以外の AGT 関連レジスタにはアクセスしないでください。
 - カウント動作中に TSTART ビットに 0 (カウント停止) を書き込んでも、カウントソースの 3 サイクル中は、TCSTF フラグは 1 のままです。TCSTF フラグが 0 になったとき、カウントが停止します。TCSTF フラグが 0 になるまで、TCSTF フラグ以外の AGT 関連レジスタにはアクセスしないでください。
- 動作モード (表 21.1 を参照) がイベントカウントモードまたはカウントソースが AGT1 アンダーフローイベント信号 (TCK[2:0] = 101b) に設定されている場合
 - カウント停止中に AGTCR レジスタの TSTART ビットに 1 (カウント開始) を書き込んでも、AGTCR レジスタの TCSTF フラグは、PCLKB の 2 サイクル中は、0 (カウント停止) のままです。TCSTF フラグが 1 (カウント動作中) になるまで、TCSTF フラグ以外の AGT 関連レジスタにはアクセスしないでください。
 - カウント動作中に TSTART ビットに 0 (カウント停止) を書き込んでも、PCLKB の 2 サイクル中は、TCSTF フラグは 1 のままです。TCSTF フラグが 0 になったとき、カウントが停止します。TCSTF フラグが 0 になるまで、TCSTF フラグ以外の AGT 関連レジスタにはアクセスしないでください。

21.4.2 カウンタレジスタへのアクセス

AGTCR レジスタの TSTART ビットおよび TCSTF フラグがともに 1 (カウント動作中) のときに、AGT レジスタへ連続してライトアクセスする場合には、カウントソースクロックの 3 サイクル以上待ってください。

21.4.3 モード変更時

AGT の動作モードに関連するレジスタ (AGTMR1、AGTMR2、AGTIOC、AGTISR、および AGTCMSR) は、TSTART ビットおよび TCSTF フラグがともに 0 (カウント停止) になって、カウントが停止した場合にのみ変更可能です。カウント動作中は、これらのレジスタを変更しないでください。

AGT の動作モードに関連するレジスタが変更されると、TEDGF、TUNDF、TCMAF、および TCMBF フラグの値は不定となります。カウントを開始する前に、以下のフラグに 0 を書き込んでください。

- TEDGF (アクティブエッジ未受信)
- TUNDF (アンダーフローなし)
- TCMAF (不一致)
- TCMBF (不一致)

21.4.4 出力端子の設定

AGTOn、AGTIOOn、AGTOAn、または AGTOBn 端子を出力端子として使用する場合には、AGT を設定し、出力初期値が決まった後に PmnPFS.PMR ビットを 1 に設定してください。

パルス幅測定モードとパルス周期幅測定モードで AGTIOOn 端子を入力端子として使用する場合には、AGT を設定し、カウント動作開始後に、AGTIOOn 端子から外部イベントを入力してください。また、最初の測定は無効とし、2 回目以降の測定完了処理を有効としてください。

21.4.5 デジタルフィルタ

デジタルフィルタの使用時に、TIPF[1:0] ビットを設定した後、および AGTIOC レジスタの TEDGSEL ビットを変更した場合は、デジタルフィルタクロックの 5 サイクル内はタイマ動作を開始しないでください。

21.4.6 イベント番号、パルス幅およびパルス周期の計算方法

- イベントカウントモードでは、イベント番号が以下の式で求められます。
イベント番号 = カウンタ[AGT レジスタ]の初期値 - アクティブイベント終了のカウンタ値
- パルス幅測定モードでは、パルス幅が以下の式で求められます。
パルス幅 = 測定停止のカウンタ値 - 次の測定停止のカウンタ値
- パルス周期測定モードでは、入力パルス周期が以下の式で求められます。
入力パルス周期 = (カウンタ[AGT レジスタ]の初期値 - 読み出しバッファの読み出し値) + 1

21.4.7 TSTOP ビットで強制的にカウントを停止した場合

AGTCR レジスタの TSTOP ビットでカウンタを強制的に停止した後、カウントソースの 1 サイクル間、下記のレジスタにアクセスしないでください。

- AGT
- AGTCMA
- AGTCMB
- AGTCR
- AGTMR1
- AGTMR2

21.4.8 カウントソースとして AGT0 のアンダーフローイベント信号を選択する場合

カウントソースにアンダーフローイベント信号を選択する場合、以下の手順に従って動作させてください。

(1) 動作開始手順

1. AGT を設定します。
2. AGT1 のカウント動作を開始します。
3. AGT0 のカウント動作を開始します。

(2) 動作停止手順

1. AGT0 のカウント動作を停止します。
2. AGT1 のカウント動作を停止します。
3. AGT1 のカウントソースクロックを停止します (AGTMR1.TCK[2:0]ビットに 000b を書き込む)。

21.4.9 モジュールストップ機能

モジュールストップコントロールレジスタ D (MSTPCRD) により、AGT の動作を無効または有効にすることが可能です。リセット後の初期状態では、AGT モジュールの動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「[10. 低消費電力モード](#)」を参照してください。

21.4.10 ソースクロックの切り替え時

SCKSCR.CKSEL[2:0]ビットを変更してクロックソースを切り替えるとき、セレクトタからのクロック出力は切り替えたクロック 4 サイクル分停止します。そのため、AGTIO_n、AGTEEn の一方または両方の入力を外部イベント入力として使う際は、クロックソースを切り替えしないでください。外部イベント入力を使いながらクロックソースを切り替えるときは、入力パルス幅を切り替え後のクロックで 4 サイクル分延長してください。

22. リアルタイムクロック (RTC)

22.1 概要

RTC (RTCA) には、通常動作モード (NOR モード)、低消費電力クロックモード (LPC モード)、および高精度モード (HP モード) の 3 つの動作モードがあります。RTC には、カレンダーカウントモードとバイナリカウントモードの 2 種類のカウントモードがあり、レジスタの設定を切り替えることにより使用します。カレンダーカウントモードでは、RTC は 2000 年から 2099 年の 100 年間のカレンダーを保持し、うるう年の日付を自動補正します。

バイナリカウントモードでは、RTC は秒をカウントし、その情報をシリアル値として保持します。バイナリカウントモードは、西暦以外のカレンダーに使用可能です。クロックの動作は、クロック動作中にこのモジュールがリセットされた場合でも継続します。

NOR モードと HP モードでは、RTC はサブクロック発振器をプリスケアラで分周して得られた 128 Hz クロックを使用します年、月、日、曜日、午前／午後 (12 時間モード時)、時、分、秒、または 32 ビットバイナリを 1/128 秒単位でカウントします。

LPC モードでは、サブクロック発振器からの 128 Hz クロックがタイムカウンタのカウントソースになります。年、月、日、曜日、午前／午後 (12 時間モード時)、時、分、秒、または 32 ビットバイナリを 1/128 秒単位でカウントします。

表 22.1 に RTC の仕様を、図 22.1 に RTC のブロック図を、表 22.2 に RTC の入出力端子を示します。

表 22.1 RTC の仕様 (1/2)

項目	内容
カウントモード	カレンダーカウントモード／バイナリカウントモード
カウントソース(注1)(注4)	- サブクロック (XCIN) (NOR モード) - サブクロック (XCIN) (HP モード) - サブクロックからの 128 Hz (XCIN) (LPC モード)
時計／カレンダー機能	- カレンダーカウントモード 年、月、日、曜日、時、分、秒をカウント、BCD 表示 12 時間／24 時間モード切り替え機能 30 秒調整機能 (30 秒未満は 00 秒に切り捨て、30 秒以降は 1 分に桁上げ) - うるう年の自動補正機能 - バイナリカウントモード - 秒を 32 ビットでカウント、バイナリ表示 - 両モード共通 - スタート／ストップ機能 - 秒以下の桁のバイナリ表示 (1 Hz、2 Hz、4 Hz、8 Hz、16 Hz、32 Hz、または 64 Hz) - クロック誤差補正機能 (NOR モード／HP モード) - 最小補正量 = 32 kHz クロック中の 1 サイクル - 自動補正、ソフトウェアによる補正 - クロック誤差補正機能 (LPC モード) - 最小補正量 = 128 kHz クロック中の 1 サイクル - 自動補正 - クロック (1 Hz/64 Hz) 出力 - 高精度での 1 Hz 出力 (HP モード)
割り込み	- アラーム割り込み (RTC_ALM) - アラーム割り込み条件として、比較対象を下記から選択可能 - カレンダーカウントモード：年、月、日、曜日、時、分、秒 - バイナリカウントモード：32 ビットバイナリカウンタの各ビット - 周期割り込み (RTC_PRD) - 割り込み周期として、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒(注2)、1/128 秒(注2)、1/256 秒(注2)から選択可能 - 桁上げ割り込み (RTC_CUP) - 次のいずれかの条件で割り込み発生： 64 Hz カウンタから秒カウンタへ桁上げが生じたとき 64 Hz カウンタの変化と R64CNT レジスタの読み出しタイミングが重なったとき (32 kHz カウントモードは、64 Hz カウンタ読み出しのためのみに使用) - アラーム割り込みまたは周期割り込みによる、ソフトウェアスタンバイモードからの復帰が可能

表 22.1 RTC の仕様 (2/2)

項目	内容
時間キャプチャ機能	- 時間キャプチャイベント入力端子のエッジ検出時に、時間のキャプチャが可能。イベント入力ごとに、月、日、時、分、および秒をキャプチャ、または 32 ビットバイナリカウンタ値をキャプチャ - 時間キャプチャイベント入力端子のエッジ検出時に、割り込みを発生可能。時間キャプチャイベント入力端子と IRQ は共有
イベントリンク機能	周期イベント出力 (RTC_PRD) ^(注2) ^(注3)
TrustZone フィルタ	セキュリティ属性を設定可能

注 1. 周辺モジュールクロック (PCLKB) 周波数 ≥ カウントソースクロック周波数となるように設定してください。
注 2. LPC モードではサポートされません。
注 3. VCC および VRTC の両方が供給されたときに限られます。
注 4. サブクロック発振器は VRTC 電源で動作します。RTC パワーオンリセット解除後、VRTC 端子への電源供給がオンになった後に動作することができます。VRTC の電源供給が停止した場合、RTC パワーオンリセットが発生し、サブクロック発振器は停止します。

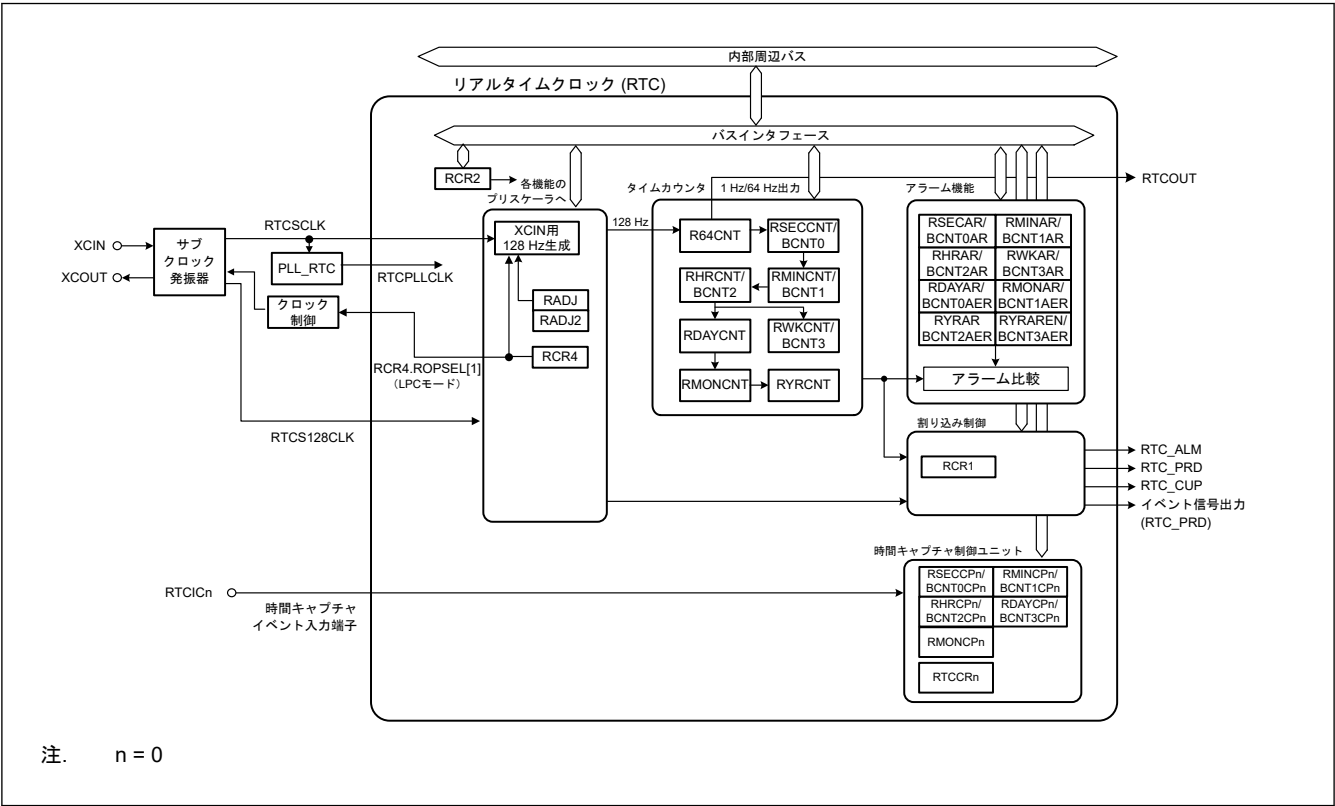


図 22.1 RTC のブロック図

表 22.2 RTC の入出力端子

端子名	入出力	機能
XCIN	入力	32.768 kHz の水晶振動子を接続します。
XCOU	出力	
RTCOUT	出力	1 Hz/64 Hz 波形出力に使用されます。
RTCIC0	入力	時間キャプチャイベント入力端子

22.2 レジスタの説明

RTC レジスタの書き込み／読み出しは、「22.6.5. レジスタの書き込み／読み出し時の注意事項」に従って行ってください。

RTC レジスタのビット一覧で、リセット後の値が x (不定) になっているビットは、リセットで初期化されません。カウント動作時 (たとえば RCR2.START ビットが 1 のとき) に、RTC がリセット状態または低消費電力状態へ遷移した場合、年／月／曜日／日／時／分／秒／64 Hz カウンタは動作を継続します。

注. レジスタへの書き込み中にリセットが発生すると、レジスタ値が破壊されることがあります。また、どのレジスタに対しても、その設定直後は、ソフトウェアスタンバイモードへ遷移しないでください。詳細は「[22.6.4. レジスタ設定後の低消費電力モードへの遷移について](#)」を参照してください。

表 22.3 に、RTC レジスタが存在する電源ドメインと、リセット後のそれらの値を示します。

表 22.3 RTC 制御レジスタ (1/2)

SFR 名	ビット名	電源ドメイン	VRTC ドメイン パワーオンリセット	MCU リセット後		RTC ソフトウェア リセット
				パワーオンリセッ ト	VRTC_POR 以外 のリセット(注1)	
R64CNT	—	VRTC	不定	—	—	0x00
RSECCNT/ BCNT0	—	VRTC	不定	—	—	—
RMINCNT/ BCNT1	—	VRTC	不定	—	—	—
RHRCNT/ BCNT2	—	VRTC	不定	—	—	—
RWKCNT/ BCNT3	—	VRTC	不定	—	—	—
RDAYCNT	—	VRTC	不定	—	—	—
RMONCNT	—	VRTC	不定	—	—	—
RYRCNT	—	VRTC	不定	—	—	—
RSECARn/ BCNT0ARn (n = 0, 1)	—	VRTC	不定	—	—	0x00
RMINARn/ BCNT1ARn (n = 0, 1)	—	VRTC	不定	—	—	0x00
RHRARn/ BCNT2ARn (n = 0, 1)	—	VRTC	不定	—	—	0x00
RWKARn/ BCNT3ARn (n = 0, 1)	—	VRTC	不定	—	—	0x00
RDAYARn/ BCNT0AERn (n = 0, 1)	—	VRTC	不定	—	—	0x00
RMONARn/ BCNT1AERn (n = 0, 1)	—	VRTC	不定	—	—	0x00
RYRARn/ BCNT2AERn (n = 0, 1)	—	VRTC	不定	—	—	0x0000
RYRARENn/ BCNT3AERn (n = 0, 1)	—	VRTC	不定	—	—	0x00
RCR1	AIE	VRTC	不定	—	—	—
	CIE	VCC	—	0	0	—
	PIE	VRTC	不定	—	—	—
	RTCOS	VCC	—	0	0	—
	PES	VRTC	不定	—	—	—

表 22.3 RTC 制御レジスタ (2/2)

SFR 名	ビット名	電源ドメイン	VRTC ドメインパ ワーオンリセット	MCU リセット後		RTC ソフトウェ アリセット
				パワーオンリセッ ト	VRTC_POR 以外 のリセット(注1)	
RCR2	START	VRTC	不定	—	—	—
	RESET	VCC	—	0	0	—
	ADJ30	VCC	—	0	0	0
	RTCOE	VCC	—	0	0	—
	AADJE	VRTC	不定	—	—	0
	AADJP	VRTC	不定	—	—	0
	HR24	VRTC	不定	—	—	—
	CNTMD	VRTC	不定	—	—	—
RCR4	RCKSEL	VRTC	不定	—	—	—
	RTCOHP	VCC	—	0	0	—
	ROPSSEL	VRTC	不定	—	—	—
RADJ	—	VRTC	不定	—	—	0x0000
RADJ2	—	VRTC	不定	—	—	0x0000
RTCCR0	—	VRTC	不定	—	—	0x00
RSECCP0 / BCNT0CP	—	VRTC	不定	—	—	0x00
RMINCP0 / BCNT1CP	—	VRTC	不定	—	—	0x00
RHRCP0 / BCNT2CP	—	VRTC	不定	—	—	0x00
RDAYCP0 / BCNT3CP	—	VRTC	不定	—	—	0x00
RMONCP0	—	VRTC	不定	—	—	0x00

注 1. リセットの要因については、「5. リセット」を参照してください。

22.2.1 R64CNT : 64 Hz カウンタ

Base address: RTC = 0x4008_3000

Offset address: 0x00

Bit position: 7 6 5 4 3 2 1 0

Bit field:	R64O VF	F1HZ	F2HZ	F4HZ	F8HZ	F16HZ	F32HZ	F64HZ

Value after reset: x x x x x x x x

ビット	シンボル	機能	R/W
0	F64HZ	64 Hz フラグ 秒以下の桁の 64 Hz の状態を示します。	R
1	F32HZ	32 Hz フラグ 秒以下の桁の 32 Hz の状態を示します。	R
2	F16HZ	16 Hz フラグ 秒以下の桁の 16 Hz の状態を示します。	R
3	F8HZ	8 Hz フラグ 秒以下の桁の 8 Hz の状態を示します。	R
4	F4HZ	4 Hz フラグ 秒以下の桁の 4 Hz の状態を示します。	R

ビット	シンボル	機能	R/W
5	F2HZ	2 Hz フラグ 秒以下の桁の 2 Hz の状態を示します。	R
6	F1HZ	1 Hz フラグ 秒以下の桁の 1 Hz の状態を示します。	R
7	R64OVF	本ビットは LPC モードにおいて時間誤差補正機能を使用する場合のみ F1HZ のオーバーフローを示します。	R

R64CNT カウンタは、カレンダーカウントモードとバイナリカウントモードの 2 つの動作モード共通で使用されます。64 Hz カウンタ (R64CNT) は 128 Hz クロックでアップカウントすることにより、秒周期を生成します。このカウンタを読み出すことで、秒以下の状態を確認できます。

このカウンタは、RTC ソフトウェアリセットまたは 30 秒調整によって 0x00 にクリアされます。このカウンタを読み出す際は、「[22.3.5. 64 Hz カウンタと時刻の読み出し](#)」に示す手順に従ってください。

22.2.2 RSECCNT : 秒カウンタ（カレンダーカウントモード時）

Base address: RTC = 0x4008_3000

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	SEC10[2:0]			SEC1[3:0]			

Value after reset: x x x x x x x x

ビット	シンボル	機能	R/W
3:0	SEC1[3:0]	1 秒カウント 1 秒ごとに 0 から 9 までカウントします。桁上げが生じると、十の位が+1 されます。	R/W
6:4	SEC10[2:0]	10 秒カウント 0 から 5 までカウントして、60 秒カウントを行います。	R/W
7	—	読み出し値は不定です。書く場合、0 としてください。	R/W

RSECCNT カウンタは、BCD コード化された秒の値を設定およびカウントします。64 Hz カウンタでの 1 秒ごとの桁上げによってカウントします。

設定可能範囲は 10 進 (BCD) で 00~59 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。

このカウンタを読み出す際は、「[22.3.5. 64 Hz カウンタと時刻の読み出し](#)」に示す手順に従ってください。

22.2.3 RMINCNT : 分カウンタ（カレンダーカウントモード時）

Base address: RTC = 0x4008_3000

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	MIN10[2:0]			MIN1[3:0]			

Value after reset: x x x x x x x x

ビット	シンボル	機能	R/W
3:0	MIN1[3:0]	1 分カウント 1 分ごとに 0 から 9 までカウントします。桁上げが生じると、十の位が+1 されます。	R/W
6:4	MIN10[2:0]	10 分カウント 0 から 5 までカウントして、60 分カウントを行います。	R/W
7	—	読み出し値は不定です。書く場合、0 としてください。	R/W

RMINCNT カウンタは、BCD コード化された分の値を設定およびカウントします。秒カウンタでの 1 分ごとの桁上げによってカウントします。

設定可能範囲は 10 進 (BCD) で 00~59 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、「[22.3.5. 64 Hz カウンタと時刻の読み出し](#)」に示す手順に従ってください。

22.2.4 RHRCNT : 時カウンタ (カレンダーカウントモード時)

Base address: RTC = 0x4008_3000

Offset address: 0x06

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	PM	HR10[1:0]	HR1[3:0]				
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	HR1[3:0]	1 時間カウント 1 時間ごとに 0 から 9 までカウントします。桁上げが生じると、十の位が+1 されます。	R/W
5:4	HR10[1:0]	10 時間カウント 一の位からの桁上げごとに 1 回、0 から 2 までカウントします。	R/W
6	PM	時計カウンタの AM/PM の設定 0: 午前 1: 午後	R/W
7	—	読み出し値は不定です。書く場合、0 としてください。	R/W

RHRCNT カウンタは、BCD コード化された時間の値を設定およびカウントします。分カウンタでの 1 時間ごとの桁上げによってカウントします。設定可能範囲は、時間モードビット (RCR2.HR24) の設定値に応じて以下のように異なります。

- RCR2.HR24 ビットが 0 の場合、00~11 (BCD)
- RCR2.HR24 ビットが 1 の場合、00~23 (BCD)

この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。PM ビットは、RCR2.HR24 ビットが 0 の場合にのみ有効です。

それ以外では、PM ビットの設定値は無効です。このカウンタを読み出す際は、「[22.3.5. 64 Hz カウンタと時刻の読み出し](#)」に示す手順に従ってください。

22.2.5 RWKCNT : 曜日カウンタ (カレンダーカウントモード時)

Base address: RTC = 0x4008_3000

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	DAYW[2:0]		
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
2:0	DAYW[2:0]	曜日カウント 000: 日 001: 月 010: 火 011: 水 100: 木 101: 金 110: 土 111: 設定禁止	R/W
7:3	—	読み出し値は不定です。書く場合、0としてください。	R/W

RWKCNT カウンタは、コード化された曜日の値を設定およびカウントします。時カウンタでの1日ごとの桁上げによってカウントします。設定可能範囲は10進(BCD)で0~6です。この範囲にない値が設定されると、RTCは正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット(RCR2.START)でカウント動作を停止させてください。このカウンタを読み出す際は、「[22.3.5. 64 Hz カウンタと時刻の読み出し](#)」に示す手順に従ってください。

22.2.6 BCNTn : バイナリカウンタ n (n = 0~3) (バイナリカウントモード時)

Base address: RTC = 0x4008_3000

Offset address: 0x02+0x02× n

Bit position: 7 6 5 4 3 2 1 0

Bit field: BCNT[7:0]

Value after reset: x x x x x x x x

ビット	シンボル	機能	R/W
7:0	BCNT[7:0]	バイナリカウンタ	R/W

BCNTn レジスタは、32ビットバイナリカウンタのBCNT[31:0]にアクセスする書き込み/読み出し可能な8ビットレジスタです。BCNT3はBCNT[31:24]ビットに、BCNT2はBCNT[23:16]ビットに、BCNT1はBCNT[15:8]ビットに、BCNT0はBCNT[7:0]ビットに指定されます。32ビットバイナリカウンタは、64 Hz カウンタでの1秒ごとの桁上げによってカウント動作を行います。このレジスタへ書き込む際は、事前にスタートビット(RCR2.START)でカウント動作を停止させてください。このカウンタを読み出す際は、「[22.3.5. 64 Hz カウンタと時刻の読み出し](#)」に示す手順に従ってください。

22.2.7 RDAYCNT : 日カウンタ

Base address: RTC = 0x4008_3000

Offset address: 0x0A

Bit position: 7 6 5 4 3 2 1 0

Bit field: — — DATE10[1:0] DATE1[3:0]

Value after reset: 0 0 x x x x x x

ビット	シンボル	機能	R/W
3:0	DATE1[3:0]	1日カウント 1日ごとに0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
5:4	DATE10[1:0]	10日カウント 一の位からの桁上げごとに1回、0から3までカウントします。	R/W
7:6	—	読むと0が読めます。書く場合、0としてください。	R/W

RDAYCNT カウンタは、カレンダーカウントモード時に使用され、BCD コード化された日の値を設定およびカウントします。時カウンタでの1日ごとの桁上げによってカウントします。カウント動作は、月によっても、うるう

年か否かによっても異なります。うるう年は、年カウンタ (RYRCNT) の値が 400、100 および 4 で割り切れるか否かで判定されます。

設定可能範囲は 10 進 (BCD) で 01～31 です。この範囲にない値が設定されると、RTC は正常に動作しません。値を設定する際は、指定可能な日数範囲が月によっても、うるう年か否かによっても異なるので注意してください。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、「22.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。

22.2.8 RMONCNT : 月カウンタ

Base address: RTC = 0x4008_3000

Offset address: 0x0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	MON1 0	MON1[3:0]			
Value after reset:	0	0	0	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	MON1[3:0]	1 月カウンタ 1 月ごとに 0 から 9 までカウントします。桁上げが生じると、十の位が+1 されます。	R/W
4	MON10	10 月カウンタ 一の位からの桁上げごとに 1 回、0 から 1 までカウントします。	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RMONCNT カウンタは、カレンダーカウントモード時に使用され、BCD コード化された月の値を設定およびカウントします。日カウンタでの 1 月ごとの桁上げによってカウントします。

設定可能範囲は 10 進 (BCD) で 01～12 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、「22.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。

22.2.9 RYRCNT : 年カウンタ

Base address: RTC = 0x4008_3000

Offset address: 0x0E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	YR10[3:0]				YR1[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	YR1[3:0]	1 年カウンタ 1 年ごとに 0 から 9 までカウントします。桁上げが生じると、十の位が+1 されます。	R/W
7:4	YR10[3:0]	10 年カウンタ 一の位からの桁上げごとに 1 回、0 から 9 までカウントします。	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RYRCNT カウンタは、カレンダーカウントモード時に使用され、BCD コード化された年の値を設定およびカウントします。月カウンタでの 1 年ごとの桁上げによってカウントします。

設定可能範囲は、10 進 (BCD) で 00～99 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、「22.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。

22.2.10 RSECAR : 秒アラームレジスタ (カレンダーカウントモード時)

Base address: RTC = 0x4008_3000

Offset address: 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB	SEC10[2:0]			SEC1[3:0]			

Value after reset: x x x x x x x x

ビット	シンボル	機能	R/W
3:0	SEC1[3:0]	1 秒 一秒の位の設定値	R/W
6:4	SEC10[2:0]	10 秒 十秒の位の設定値	R/W
7	ENB	ENB 0: このレジスタ値と RSECCNT カウンタ値との比較を行わない 1: このレジスタ値と RSECCNT カウンタ値との比較を行う	R/W

RSECAR レジスタは、BCD コード化された秒カウンタ (RSECCNT) に対応するアラームレジスタです。ENB ビットが 1 のとき、RSECAR レジスタ値が RSECCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

すべての各値が一致する場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。RSECAR レジスタの設定可能範囲は、10 進 (BCD) で 00~59 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

22.2.11 RMINAR : 分アラームレジスタ (カレンダーカウントモード時)

Base address: RTC = 0x4008_3000

Offset address: 0x12

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB	MIN10[2:0]			MIN1[3:0]			

Value after reset: x x x x x x x x

ビット	シンボル	機能	R/W
3:0	MIN1[3:0]	1 分 一分の位の設定値	R/W
6:4	MIN10[2:0]	10 分 十分の位の設定値	R/W
7	ENB	ENB 0: このレジスタ値と RMINCNT カウンタ値との比較を行わない 1: このレジスタ値と RMINCNT カウンタ値との比較を行う	R/W

RMINAR レジスタは、BCD コード化された分カウンタ (RMINCNT) に対応するアラームレジスタです。ENB ビットが 1 のとき、RMINAR レジスタ値が RMINCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

すべての各値が一致する場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。RMINAR レジスタの設定可能範囲は、10 進 (BCD) で 00~59 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

22.2.12 RHRAR : 時アラームレジスタ (カレンダーカウントモード時)

Base address: RTC = 0x4008_3000

Offset address: 0x14

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB	PM	HR10[1:0]	HR1[3:0]				
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	HR1[3:0]	1 時間 一時間の位の設定値	R/W
5:4	HR10[1:0]	10 時間 十時間の位の設定値	R/W
6	PM	時計アラームの AM/PM の設定 0: 午前 1: 午後	R/W
7	ENB	ENB 0: このレジスタ値と RHRCNT カウンタ値との比較を行わない 1: このレジスタ値と RHRCNT カウンタ値との比較を行う	R/W

RHRAR レジスタは、BCD コード化された時カウンタ (RHRCNT) に対応するアラームレジスタです。ENB ビットが 1 のとき、RHRAR レジスタ値が RHRCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

すべての各値が一致する場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。RHRAR レジスタの設定可能範囲は、時間モードビット (RCR2.HR24) の設定値に応じて以下のように異なります。

- RCR2.HR24 ビットが 0 の場合、00~11 (BCD)

- RCR2.HR24 ビットが 1 の場合、00～23 (BCD)

この範囲にない値が設定されると、RTC は正常に動作しません。RCR2.HR24 ビットが 0 の場合、必ず PM ビットを設定してください。RCR2.HR24 ビットが 1 の場合、PM ビットの設定値は無効です。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

22.2.13 RWKAR : 曜日アラームレジスタ (カレンダーカウントモード時)

Base address: RTC = 0x4008_3000

Offset address: 0x16

Bit position:

76543210

Bit field:

ENB	—	—	—	—	DAYW[2:0]		

Value after reset:

xxxxxxxx

ビット	シンボル	機能	R/W
2:0	DAYW[2:0]	曜日 0 0 0: 日 0 0 1: 月 0 1 0: 火 0 1 1: 水 1 0 0: 木 1 0 1: 金 1 1 0: 土 1 1 1: 設定禁止	R/W
6:3	—	読み出し値は不定です。書く場合、0 としてください。	R/W
7	ENB	ENB 0: このレジスタ値と RWKCNT カウンタ値との比較を行わない 1: このレジスタ値と RWKCNT カウンタ値との比較を行う	R/W

RWKAR レジスタは、コード化された曜日カウンタ (RWKCNT) に対応するアラームレジスタです。ENB ビットが 1 のとき、RWKAR レジスタ値が RWKCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

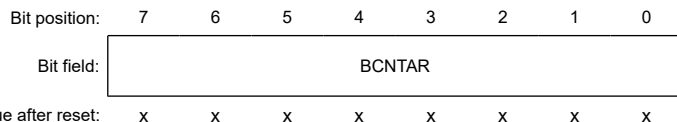
- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

すべての各値が一致する場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。RWKAR レジスタの設定可能範囲は、10 進 (BCD) で 0～6 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

22.2.14 BCNTnAR : バイナリカウンタ n アラームレジスタ (n = 0~3) (バイナリカウントモード時)

Base address: RTC = 0x4008_3000

Offset address: 0x10 + 0x02 × n



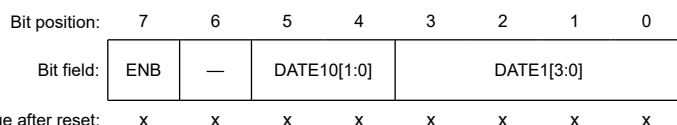
ビット	シンボル	機能	R/W
7:0	BCNTAR	32 ビットバイナリカウンタに対応するアラームレジスタ	R/W

BCNTnAR レジスタは、32 ビットバイナリカウンタに対応する読み出し／書き込み可能なアラームレジスタです。BCNT3AR は BCNTAR[31:24] ビットに、BCNT2AR は BCNTAR[23:16] ビットに、BCNT1AR は BCNTAR[15:8] ビットに、BCNT0AR は BCNTAR[7:0] ビットに指定されます。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

22.2.15 RDAYAR : 日アラームレジスタ (カレンダーカウントモード時)

Base address: RTC = 0x4008_3000

Offset address: 0x18



ビット	シンボル	機能	R/W
3:0	DATE1[3:0]	1 日 一日の位の設定値	R/W
5:4	DATE10[1:0]	10 日 十日の位の設定値	R/W
6	—	読み出し値は不定です。書く場合、0 としてください。	R/W
7	ENB	ENB 0: このレジスタ値と RDAYCNT カウンタ値との比較を行わない 1: このレジスタ値と RDAYCNT カウンタ値との比較を行う	R/W

RDAYAR レジスタは、BCD コード化された日カウンタ (RDAYCNT) に対応するアラームレジスタです。ENB ビットが 1 のとき、RDAYAR レジスタ値が RDAYCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

すべての各値が一致する場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。RDAYAR レジスタの設定可能範囲は、10 進 (BCD) で 01~31 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

22.2.16 RMONAR : 月アラームレジスタ (カレンダーカウントモード時)

Base address: RTC = 0x4008_3000

Offset address: 0x1A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB	—	—	MON1 0	MON1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	MON1[3:0]	1 月 一月の位の設定値	R/W
4	MON10	10 月 十月の位の設定値	R/W
6:5	—	読み出し値は不定です。書く場合、0 としてください。	R/W
7	ENB	ENB 0: このレジスタ値と RMONCNT カウンタ値との比較を行わない 1: このレジスタ値と RMONCNT カウンタ値との比較を行う	R/W

RMONAR レジスタは、BCD コード化された月カウンタ (RMONCNT) に対応するアラームレジスタです。ENB ビットが 1 のとき、RMONAR レジスタ値が RMONCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

すべての各値が一致する場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。RMONAR レジスタの設定可能範囲は、10 進 (BCD) で 01~12 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

22.2.17 RYRAR : 年アラームレジスタ (カレンダーカウントモード時)

Base address: RTC = 0x4008_3000

Offset address: 0x1C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	YR10[3:0]				YR1[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	YR1[3:0]	1 年 一年の位の設定値	R/W
7:4	YR10[3:0]	10 年 十年の位の設定値	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RYRAR レジスタは、BCD コード化された年カウンタ (RYRCNT) に対応するアラームレジスタです。RYRAR レジスタの設定可能範囲は、10 進 (BCD) で 00～99 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 0x0000 になります。

22.2.18 RYRAREN : 年アラームイネーブルレジスタ (カレンダーカウントモード時)

Base address: RTC = 0x4008_3000

Offset address: 0x1E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB	—	—	—	—	—	—	—
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
6:0	—	読み出し値は不定です。書く場合、0 としてください。	R/W
7	ENB	ENB 0: このレジスタ値と RYRCNT カウンタ値との比較を行わない 1: このレジスタ値と RYRCNT カウンタ値との比較を行う	R/W

RYRAREN レジスタは、ENB ビットが 1 のとき、RYRAR レジスタ値が RYRCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

すべての各値が一致する場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

22.2.19 BCNTnAER : バイナリカウンタ n アラームイネーブルレジスタ (n = 0, 1) (バイナリカウントモード時)

Base address: RTC = 0x4008_3000

Offset address: 0x18 + 0x02 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB[7:0]							
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
7:0	ENB[7:0]	32 ビットバイナリカウンタに対応するアラーム許可設定	R/W

BCNTnAER レジスタは、32 ビットバイナリカウンタに対応するアラーム許可 (BCNTAER) 設定用の読み出し／書き込み可能なレジスタです。BCNT3AER レジスタは BCNTAER.ENB[31:24] ビットに、BCNT2AER レジスタは BCNTAER.ENB[23:16] ビットに、BCNT1AER レジスタは BCNTAER.ENB[15:8] ビットに、BCNT0AER レジスタは BCNTAER.ENB[7:0] ビットに指定されます。BCNTAER.ENB[31:0] ビットのうち、1 になっているビットに対応するバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ (BCNTAR) と比較されて、すべてが一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

22.2.20 BCNT2AER : バイナリカウンタ 2 アラームイネーブルレジスタ (バイナリカウンタモード時)

Base address: RTC = 0x4008_3000

Offset address: 0x1C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	ENB[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
7:0	ENB[7:0]	32 ビットバイナリカウンタに対応するアラーム許可設定	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

BCNT2AER レジスタは、32 ビットバイナリカウンタに対応するアラーム許可 (BCNTAER) 設定用の読み出し／書き込み可能なレジスタです。BCNT3AER レジスタは BCNTAER.ENB[31:24] ビットに、BCNT2AER レジスタは BCNTAER.ENB[23:16] ビットに、BCNT1AER レジスタは BCNTAER.ENB[15:8] ビットに、BCNT0AER レジスタは BCNTAER.ENB[7:0] ビットに指定されます。BCNTAER.ENB[31:0] ビットのうち、1 になっているビットに対応するバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ (BCNTAR) と比較されて、すべてが一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

22.2.21 BCNT3AER : バイナリカウンタ 3 アラームイネーブルレジスタ (バイナリカウンタモード時)

Base address: RTC = 0x4008_3000

Offset address: 0x1E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB[7:0]							
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
7:0	ENB[7:0]	32 ビットバイナリカウンタに対応するアラーム許可設定	R/W

BCNT3AER レジスタは、32 ビットバイナリカウンタに対応するアラーム許可 (BCNTAER) 設定用の読み出し／書き込み可能なレジスタです。BCNT3AER レジスタは BCNTAER.ENB[31:24] ビットに、BCNT2AER レジスタは BCNTAER.ENB[23:16] ビットに、BCNT1AER レジスタは BCNTAER.ENB[15:8] ビットに、BCNT0AER レジスタは BCNTAER.ENB[7:0] ビットに指定されます。BCNTAER.ENB[31:0] ビットのうち、1 になっているビットに対応するバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ (BCNTAR) と比較されて、すべてが一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

22.2.22 RCR1 : RTC コントロールレジスタ 1

Base address: RTC = 0x4008_3000

Offset address: 0x22

Bit position:	7	6	5	4	3	2	1	0
Bit field:	PES[3:0]				RTCO S	PIE	CIE	AIE
Value after reset:	x	x	x	x	0	x	0	x

ビット	シンボル	機能	R/W
0	AIE	アラーム割り込み許可 0: アラーム割り込み要求を禁止 1: アラーム割り込み要求を許可	R/W
1	CIE	桁上げ割り込み許可 0: 桁上げ割り込み要求を禁止 1: 桁上げ割り込み要求を許可	R/W
2	PIE	周期割り込み許可 0: 周期割り込み要求を禁止 1: 周期割り込み要求を許可	R/W
3	RTCOS	RTCOUT 出力選択 0: RTCOUT は 1 Hz を出力 1: RTCOUT は 64 Hz を出力	R/W
7:4	PES[3:0]	周期割り込み選択 0x6: 1/256 秒ごとに周期割り込みが発生(注1) 0x7: 1/128 秒ごとに周期割り込みが発生(注1) 0x8: 1/64 秒ごとに周期割り込みが発生(注1) 0x9: 1/32 秒ごとに周期割り込みが発生 0xA: 1/16 秒ごとに周期割り込みが発生 0xB: 1/8 秒ごとに周期割り込みが発生 0xC: 1/4 秒ごとに周期割り込みが発生 0xD: 1/2 秒ごとに周期割り込みが発生 0xE: 1 秒ごとに周期割り込みが発生 0xF: 2 秒ごとに周期割り込みが発生 その他: 上記以外は、周期割り込みを発生しない	R/W

注 1. RTC が LPC モードの場合、サポートしていません。RTC がこの設定の場合、周期割り込みは発生しません。

RCR1 レジスタは、カレンダーカウントモードとバイナリカウントモードの 2 つの動作モード共通で使用されます。AIE、PIE、および PES[3:0] ビットは、カウントソースに同期して更新されます。RCR1 レジスタを書き換えた場合は、全ビットが更新されたことを確認してから次の処理を実行してください。

AIE ビット (アラーム割り込み許可)

AIE ビットはアラーム割り込み要求を許可または禁止します。

CIE ビット (桁上げ割り込み許可)

CIE ビットは RSECCNT/BCNT0 カウンタへの桁上げが生じたとき、または 64 Hz カウンタ (R64CNT) の読み出し中に 64 Hz カウンタへの桁上げが生じたときの割り込み要求を許可または禁止します。

PIE ビット (周期割り込み許可)

PIE ビットは周期割り込み要求を許可または禁止します。

RTCOS ビット (RTCOUT 出力選択)

RTCOS ビットは RTCOUT の出力周期を選択します。RTCOS ビットは、カウント動作停止 (RCR2.START = 0)、かつ RTCOUT 出力禁止 (RCR2.RTCOE = 0) のときに書き換えてください。RTCOUT を外部端子に出力する場合は、RCR2.RTCOE ビットで出力を許可にする必要があります。

PES[3:0] ビット (周期割り込み選択)

PES[3:0] ビットは周期割り込みの周期を設定します。本ビットで設定した周期に応じて周期割り込みが発生します。

22.2.23 RCR2 : RTC コントロールレジスタ 2 (カレンダーカウントモード時)

Base address: RTC = 0x4008_3000

Offset address: 0x24

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CNTM D	HR24	AADJ P	AADJ E	RTCO E	ADJ30	RESE T	START
Value after reset:	x	x	x	x	0	0	0	x

ビット	シンボル	機能	R/W
0	START ^(注2)	スタート 0: プリスケアラと時計カウンタは停止 1: プリスケアラと時計カウンタは通常動作	R/W
1	RESET	RTC ソフトウェアリセット 0: 書き込み時: 書き込みは無効 読み出し時: 通常の時計動作中または RTC ソフトウェアリセット完了 1: 書き込み時: RTC ソフトウェアリセットに対してプリスケアラと対象レジスタを初期化 ^(注1) 読み出し時: RTC ソフトウェアリセット処理中	R/W
2	ADJ30	30 秒調整 0: 書き込み時: 無効 (0 の書き込みは影響なし) 読み出し時: 通常の時計動作中または 30 秒調整が完了 1: 書き込み時: 30 秒調整を実行 読み出し時: 30 秒調整処理中	R/W
3	RTCOE	RTCCOUT 出力許可 0: RTCCOUT 出力を禁止 1: RTCCOUT 出力を許可	R/W
4	AADJE	自動補正有効 ^(注3) 0: 自動補正は無効 1: 自動補正は有効	R/W
5	AADJP	自動補正周期選択 ^(注3) 0: NOR モードでは、1 分ごとにプリスケアラのカウンタ値に対して RADJ.ADJ[6:0] ビットの設定値を調整。LPC モードでは、1 日ごとに 64 Hz カウンタのカウンタ値に対して RADJ.ADJ[6:0] ビットの設定値を調整。 1: NOR モードでは、10 秒ごとにプリスケアラのカウンタ値に対して RADJ.ADJ[6:0] ビットの設定値を調整。LPC モードでは、1 時間ごとに 64 Hz カウンタのカウンタ値に対して RADJ.ADJ[6:0] ビットの設定値を調整	R/W
6	HR24	時間モード ^(注3) 0: RTC は 12 時間モードで動作 1: RTC は 24 時間モードで動作	R/W
7	CNTMD	カウントモード選択 ^(注4) 0: カレンダーカウントモード 1: バイナリカウントモード	R/W

注 1. R64CNT, RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAR, RYRAREN, RADJ, RADJ2, RTCCR0, RSECCPn, RMINCPn, RHRCpN, RDAYCPn, RMONCPn, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP。

注 2. NOR モードでのみ、プリスケアラは動作します。LPC モードでは、プリスケアラは動作しません。

注 3. このビットを書き換えた場合、値が書き変わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「22.6.5. レジスタの書き込み/読み出し時の注意事項」を参照してください。

注 4. このビットを書き換えた場合、値が書き変わったことを確認してから次の処理を実施してください。

RCR2 レジスタは、時間モード、自動補正機能、RTCCOUT 出力許可、30 秒調整、RTC ソフトウェアリセット、およびカウント動作の制御に関するレジスタです。

START ビット (スタート)

START ビットはプリスケアラおよびカウンタ (時計) の停止または動作を制御します。このビットはカウントソースの次のサイクルに同期して更新されます。START ビットを書き換えた場合は、このビットが更新されたことを確認してから次の処理を実行してください。

RESET ビット (RTC ソフトウェアリセット)

RESET ビットはプリスケアラと RTC ソフトウェアリセット対象レジスタを初期化します。このビットに 1 を書くと、カウントソースに同期して初期化が始まります。初期化が完了すると、RESET ビットは自動的に 0 になります。このビットが 0 になったことを確認してから次の処理を実行してください。

ADJ30 ビット (30 秒調整)

ADJ30 ビットは 30 秒調整を行います。

ADJ30 ビットに 1 を書くと、RSECCNT カウンタ値が 30 秒未満の場合は 00 秒に切り捨てられ、30 秒以上の場合は 1 分に切り上げられます。

30 秒調整は、カウントソースに同期して行われます。ADJ30 ビットに 1 を書いた場合、30 秒調整が完了するとこのビットは自動的に 0 になります。ADJ30 ビットに 1 を書いた場合は、このビットが 0 になったことを確認してから次の処理を実行してください。30 秒調整を実行すると、プリスケアラと R64CNT カウンタもリセットされます。ADJ30 ビットは、RTC ソフトウェアリセットによって 0 になります。

RTCOC ビット (RTCCOUT 出力許可)

RTCOC ビットは RTCCOUT 端子からの 1 Hz/64 Hz クロック信号出力を許可します。

RTCOC ビット値を変更する前に、START ビットでカウント動作を停止させてください。カウント動作の停止 (START ビットへの 0 の書き込み) と RTCOC ビット値の変更は、同時に行わないでください。

RTCCOUT を外部端子から出力する場合は、RTCOC ビットで出力を許可するとともに、ポート制御を有効にしてください。

AADJE ビット (自動補正有効)

AADJE ビットは自動補正機能の有効または無効を制御します。

AADJE ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b (補正を行わない) にしてください。

AADJE ビットは、RTC ソフトウェアリセットによって 0 になります。

AADJP ビット (自動補正周期選択)

AADJP ビットは自動補正の周期を選択します。

AADJP ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b (補正を行わない) にしてください。

AADJP ビットは、RTC ソフトウェアリセットによって 0 になります。

HR24 ビット (時間モード)

HR24 ビットは RTC を 12 時間モードと 24 時間モードのどちらで動作させるかを指定します。

HR24 ビット値を変更する前に、START ビットでカウント動作を停止させてください。カウント動作の停止 (START ビットへの 0 の書き込み) と HR24 ビット値の変更は、同時に行わないでください。

CNTMD ビット (カウントモード選択)

CNTMD ビットは、2 つの動作モード時に、RTC をカレンダーカウントモードで動作させるか、バイナリカウントモードで動作させるかを指定します。

カウントモードを設定した場合は、RTC ソフトウェアリセットを実行し、初期設定からやり直してください。本ビットは、カウントソースに同期して更新されます。ただし、カウントモードが切り替わるのは、RTC ソフトウェアリセット後のみになります。(ビットは RTC リセット前に切り替わりますが、モードは RTC リセット後に切り替わります。)

初期設定の詳細は、「[22.3.1. 電源投入後のレジスタ初期設定の概要](#)」を参照してください。

22.2.24 RCR2 : RTC コントロールレジスタ 2 (バイナリカウントモード時)

Base address: RTC = 0x4008_3000

Offset address: 0x24

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CNTM D	—	AADJ P	AADJ E	RTCO E	—	RESE T	START
Value after reset:	x	x	x	x	0	0	0	x

ビット	シンボル	機能	R/W
0	START ^(注2)	スタート 0: 32 ビットバイナリカウンタ、64 Hz カウンタ、およびプリスケアラは停止 1: 32 ビットバイナリカウンタ、64 Hz カウンタ、およびプリスケアラは動作	R/W
1	RESET	RTC ソフトウェアリセット 0: [書き込み時] 書き込みは無効 [読み出し時] 通常の時計動作中または RTC ソフトウェアリセット完了 1: [書き込み時] プリスケアラおよび RTC ソフトウェアリセット対象レジスタ ^(注1) を初期化 [読み出し時] RTC ソフトウェアリセット処理中	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	RTCOE	RTCOUT 出力許可 0: RTCOUT 出力を禁止 1: RTCOUT 出力を許可	R/W
4	AADJE	自動補正有効 ^(注3) 0: 自動補正は無効 1: 自動補正は有効	R/W
5	AADJP	自動補正周期選択 ^(注3) 0: NOR モードでは、32 秒ごとにプリスケアラのカウンタ値に対して RADJ.ADJ[6:0] ビット値を加減算。LPC モードでは、8192 秒ごとに 64 Hz カウンタのカウンタ値に対して RADJ.ADJ[6:0] ビット値を加減算 1: NOR モードでは、8 秒ごとにプリスケアラのカウンタ値に対して RADJ.ADJ[6:0] ビット値を加減算。LPC モードでは、2048 秒ごとに 64 Hz カウンタのカウンタ値に対して RADJ.ADJ[6:0] ビット値を加減算	R/W
6	—	読み出し値は不定です。書く場合、0 としてください。	R/W
7	CNTMD	カウントモード選択 ^(注4) 0: カレンダーカウントモード 1: バイナリカウントモード	R/W

注 1. R64CNT, BCNTnAR, BCNTnAER, RADJ, RADJ2, RTCCR0, BCNTnCP0, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP.

注 2. NOR モードでのみ、プリスケアラは動作します。LPC モードでは、プリスケアラは動作しません。

注 3. このビットを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「22.6.5. レジスタの書き込み/読み出し時の注意事項」を参照してください。

注 4. このビットを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。

バイナリカウントモードにおける RCR2 レジスタは、自動補正機能、RTCOUT 出力許可、RTC ソフトウェアリセット、およびカウントモード制御に関連するレジスタです。

START ビット (スタート)

START ビットはプリスケアラおよびカウンタ (時計) の停止または動作を制御します。START ビットは、カウントソースに同期して更新されます。START ビットを書き換えた場合は、このビットが更新されたことを確認してから次の処理を実行してください。

RESET ビット (RTC ソフトウェアリセット)

RESET ビットはプリスケアラと RTC ソフトウェアリセット対象レジスタを初期化します。RESET ビットに 1 を書くと、カウントソースに同期して初期化が始まります。初期化が完了すると、RESET ビットは自動的に 0 になります。RESET ビットに 1 を書いた場合は、このビットが 0 になったことを確認してから次の処理を実行してください。

RTC OE ビット (RTCO OUT 出力許可)

RTC OE ビットは RTCOUT 端子からの 1 Hz/64 Hz クロック信号出力を許可します。

RTC OE ビット値を変更する前に、START ビットでカウント動作を停止させてください。カウント動作の停止 (START ビットへの 0 の書き込み) と、RTC OE ビット値の変更は、同時に行わないでください。RTCOUT 信号を外部端子から出力する場合は、このビットを許可にするとともに、ポート制御を有効にしてください。

AADJE ビット (自動補正有効)

AADJE ビットは自動補正機能の有効／無効を制御します。

AADJE ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b (補正を行わない) にしてください。AADJE ビットは、RTC ソフトウェアリセットによって 0 になります。

AADJP ビット (自動補正周期選択)

AADJP ビットは自動補正の周期を選択します。

AADJP ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b (補正を行わない) にしてください。AADJP ビットは、RTC ソフトウェアリセットによって 0 になります。

CNTMD ビット (カウントモード選択)

CNTMD ビットは、2 つの動作モード時に、RTC をカレンダーカウントモードで動作させるか、バイナリカウントモードで動作させるかを指定します。

カウントモードを設定した場合は、RTC ソフトウェアリセットを実行し、初期設定からやり直してください。本ビットは、カウントソースに同期して更新されます。ただし、カウントモードが切り替わるのは、RTC ソフトウェアリセット後のみになります。(ビットは RTC リセット前に切り替わりますが、モードは RTC リセット後に切り替わります。)

初期設定の詳細は、「[22.3.1. 電源投入後のレジスタ初期設定の概要](#)」を参照してください。

22.2.25 RCR4 : RTC コントロールレジスタ 4

Base address: RTC = 0x4008_3000

Offset address: 0x28

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ROPSEL[1:0]		RTCO HP	—	—	—	—	RCKSEL
Value after reset:	x	0	0	0	0	0	0	x

ビット	シンボル	機能	R/W
0	RCKSEL	NOR モードにおけるカウントソース選択 0: サブクロック発振器を選択 1: 設定禁止	R/W
4:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	RTCOHP	RTCOUT 高精度 0: 高精度で RTCOUT を出力しない 1: 高精度で RTCOUT を出力する	R/W
7:6	ROPSEL[1:0]	RTC 動作モード選択 0 0: NOR モードを選択 0 1: HP モードを選択 1 0: LPC モードを選択 1 1: 設定禁止	R/W

RCR4 レジスタは、RTC 動作モードとカウントソースを選択するために使用されます。RCR4 レジスタは、カレンダーカウントモードとバイナリカウントモード共通で使用します。

カウントソースの設定の詳細は、「[22.3.1. 電源投入後のレジスタ初期設定の概要](#)」と「[22.3.2. 動作モード、クロックおよびカウントモードの設定手順](#)」を参照してください。カウントソースは、電源投入時、RTC レジスタの初期設定前に一度だけ選択してください。

RCKSEL ビット (NOR モードにおけるカウントソース選択)

RCKSEL ビットは、カウントソースをサブクロック発振器から選択します。

RCKSEL ビットは NOR モードでのみ使用します。RCKSEL ビットを 0 に設定すると、サブクロック発振器でカウントされます。初期値は不定であるため、動作を開始する前にこのビットを設定してください。

RTCOHP ビット (RTCOUT 高精度)

RTCOHP ビットは、高精度用 RTCOUT 出力を設定します。これは HP モードの自動補正機能でのみ使用できます。

このビットを 1 に設定すると、32.768 kHz クロック入力を通倍して 1 秒ごとに RTCOUT が補正されます。

注. このビット値を変更する前に、RCR2.START ビットを設定してカウント動作を停止させてください。

ROPSEL[1:0] ビット (RTC 動作モード選択)

LPC モードでは、サブクロック発振器からの 128 Hz クロックがカウントソースクロックになります。

HP モードでは、自動補正周期が 1 秒に設定され、RADJ2.FADJ が設定可能になります。RCR2.AADJP ビットの設定は無視されます。

動作モードの選択は、電源をオンにした後、RTCA レジスタの初期化中に 1 回だけ行ってください。

22.2.26 RADJ : 時間誤差補正レジスタ

Base address: RTC = 0x4008_3000

Offset address: 0x2E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ADJ6	PMADJ[1:0]	ADJ[5:0]						
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
5:0	ADJ[5:0]	補正值 プリスケアラまたは 64 Hz カウンタの補正值を指定するビットです 補正值は 7 ビット幅 (ビット 8 を含む) で設定されます。設定可能な値は 0x00~0x7E です	R/W
7:6	PMADJ[1:0]	プラスマイナス 0 0: 補正しない 0 1: プリスケアラまたは 64 Hz カウンタに対して値を加算して補正する 1 0: プリスケアラまたは 64 Hz カウンタに対して値を減算して補正する 1 1: 設定禁止	R/W
8	ADJ6	このビットは ADJ[5:0]の上位部に ADJ[6]として付加されます	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RADJ レジスタは、カレンダーカウントモードとバイナリカウントモード共通で使用します。プリスケアラまたは 64 Hz カウンタに対して、値を加算または減算することによって補正されます。自動補正有効ビット (RCR2.AADJE) が 0 の場合、RADJ レジスタへの書き込み時に補正が行われます。RCR2.AADJE ビットが 1 の場合、自動補正周期選択ビット (RCR2.AADJP) で設定した間隔で補正が行われます。

ソフトウェア設定による補正 (自動補正が無効) では、レジスタの設定後、カウントソースの 320 サイクル中に次の補正值を設定すると、現在の補正值の設定が無効となる場合があります。連続して補正を行う場合は、レジスタの設定後、カウントソースで 320 サイクル以上待ってから次の補正值を設定してください。

RADJ は、カウントソースに同期して更新されます。RADJ レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

ADJ6、ADJ[5:0] ビット (補正值)

ADJ6 は ADJ[6]として扱われます。ADJ[6:0]ビットはプリスケアラに対する補正值 (サブクロックのサイクル数) を設定します。

PMADJ[1:0]ビット（プラスマイナス）

ADJ6、ADJ[5:0]ビットで設定した誤差補正值に従って、PMADJ[1:0]ビットは時計を進めるか、遅らせるかを選択します。

22.2.27 RADJ2: 時計誤差補正レジスタ 2

Base address: RTC = 0x4008_3000

Offset address: 0x30

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FADJ[10:0]											—	—	—	—	—
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:5	FADJ[10:0]	小数補正值 0x000: 0 0x001: 0.000488 (= 1/2048) 0x002: 0.000976 (= 2/2048) ⋮ 0x7FF: 0.999511 (= 2047/2048)	R/W

FADJ[10:0]ビット（小数補正值）

FADJ[10:0]ビットは、自動／ソフトウェア補正機能の小数値を設定します。HP モードでのみ使用されます。

RADJ.ADJ ビットは整数値を設定します。

注 RADJ レジスタを設定すると RADJ2 レジスタが更新されるため、これらのビットを変更した後は、必ず RADJ.ADJ ビットを設定する必要があります。

22.2.28 RTCCR0 : 時間キャプチャコントロールレジスタ 0

Base address: RTC = 0x4008_3000

Offset address: 0x40 + 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TCEN	—	TCNF[1:0]	—	TCST	TCCT[1:0]		
Value after reset:	x	0	x	x	0	x	x	x

ビット	シンボル	機能	R/W
1:0	TCCT[1:0]	時間キャプチャ制御 0 0: イベントを検出ししない 0 1: 立ち上がりエッジを検出 1 0: 立ち下がりエッジを検出 1 1: 両エッジを検出	R/W
2	TCST	時間キャプチャステータス 0: イベント検出なし 1: イベント検出あり(注1)	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	TCNF[1:0]	時間キャプチャノイズフィルタ制御 0 0: ノイズフィルタ停止 0 1: 設定禁止 1 0: ノイズフィルタ開始（カウントソース） 1 1: ノイズフィルタ開始（カウントソースの 32 分周）	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
7	TCEN	時間キャプチャイベント入力端子許可 0: RTCIC0 端子が時間キャプチャイベント入力端子として無効 1: RTCIC0 端子が時間キャプチャイベント入力端子として有効	R/W

注 1. イベントが検出されたことを示します。1 の書き込みは無効になります。0 を書き込むと 0 になります。

RTCCR0 レジスタは、カレンダーカウントモードとバイナリカウントモード共通で使用します。RTCCR0 は RTCIC0 端子を制御しています。RTCCR0 は、カウントソースに同期して更新されます。RTCCR0 を書き換えた場合は、TCST ビット以外の全ビットが更新されたことを確認してから次の処理を実行してください。このレジスタは、RTC ソフトウェアリセットによって 0x00 にクリアされます。

TCCT[1:0]ビット（時間キャプチャ制御）

TCCT[1:0]ビットは、時間キャプチャイベント入力端子 RTCIC0 のエッジ検出を制御します。検出するエッジの選択が可能です。TCCT[1:0]ビットは、TCEN ビットが 1 のときに設定する必要があります。

TCST ビット（時間キャプチャステータス）

TCST ビットは、時間キャプチャイベント入力端子 (RTCIC0) のイベントが検出されたことを示します。TCST ビットが 0 の場合、イベントは検出されていません。TCST ビットが 1 の場合、対応する端子のイベントが検出されたこと、およびキャプチャレジスタが有効であることを示します。複数回イベントが検出された場合は、最初のイベントのキャプチャ時刻が保持されます。

イベントは、カウント動作中 (RCR2.START = 1) にのみ検出されます。キャプチャレジスタの読み出しは、本ビットが 1 になったことを確認してから行ってください。

TCST ビットの設定は、TCCT[1:0]ビットが 00b（イベント検出なし）の状態で行ってください。TCST ビットは、カウントソースに同期して 0 になります。TCST ビットを 0 にした場合、このビットが更新されたことを確認してから次の処理を実行してください。

TCNF[1:0]ビット（時間キャプチャノイズフィルタ制御）

TCNF[1:0]ビットは、時間キャプチャイベント入力端子 RTCIC0 のノイズフィルタを制御します。

ノイズフィルタが開始の場合、カウントソースの 1 分周または 32 分周を選択できます。このとき、時間キャプチャイベント入力端子の入力レベルが設定したサンプリング周期で 3 回連続して一致すると、その入力レベルが確定されます。

TCNF[1:0]ビットの設定は、TCCT[1:0]ビットが 00b（イベント検出なし）の状態で行ってください。ノイズフィルタを使用する場合は、TCNF[1:0]ビットの設定後、設定したサンプリング周期の 3 周期分待った後、TCCT[1:0]ビットの設定を行ってください。

TCEN ビット（時間キャプチャイベント入力端子許可）

TCEN ビットは時間キャプチャイベント入力端子 RTCIC0 を有効または無効にします。32 kHz クロックが選択され (RCR4.RCKSEL ビットが 0) かつ 32 kHz クロック発振器が停止している場合、時間キャプチャイベント入力端子 RTCTC0 は無効です。TCEN ビットを 0 にする場合、TCCT[1:0]ビットも 00b にしてください。

本ビットに 1 を設定する前に、カウントソース設定ビット (RCR4.RCKSEL) およびポートコントロール設定ビット (PmnPFS.PDR と PmnPFS.PMR) を必ず設定してください。ポートコントロール設定ビット (PmnPFS.PDR と PmnPFS.PMR) の詳細については、「18. I/O ポート」を参照してください。

22.2.29 RSECCP0 : 秒キャプチャレジスタ 0（カレンダーカウントモード時）

Base address: RTC = 0x4008_3000

Offset address: 0x52 + 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—		SEC10[2:0]			SEC1[3:0]		
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	SEC1[3:0]	1 秒キャプチャ 一秒の位のキャプチャ値を示します。	R
6:4	SEC10[2:0]	10 秒キャプチャ 十秒の位のキャプチャ値を示します。	R
7	—	読み出し値は不定です。	R

RSECCP0 レジスタは、時間キャプチャイベント検出時に RSECCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時刻が RSECCP0 レジスタに格納されます。このレジスタは、RTC ソフトウェアリセットによって 0x00 にクリアされます。このレジスタからの読み出しは、RTCCR0.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

22.2.30 RMINCP0 : 分キャプチャレジスタ 0 (カレンダーカウントモード時)

Base address: RTC = 0x4008_3000

Offset address: 0x54 + 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	MIN10[2:0]			MIN1[3:0]			

Value after reset: x x x x x x x x

ビット	シンボル	機能	R/W
3:0	MIN1[3:0]	1 分キャプチャ 一分の位のキャプチャ値を示します。	R
6:4	MIN10[2:0]	10 分キャプチャ 十分の位のキャプチャ値を示します。	R
7	—	読み出し値は不定です。	R

RMINCP0 レジスタは、時間キャプチャイベント検出時に RMINCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時刻が RMINCP0 レジスタに格納されます。

このレジスタは、RTC ソフトウェアリセットによって 0x00 にクリアされます。このレジスタからの読み出しは、RTCCR0.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

22.2.31 RHRCP0 : 時キャプチャレジスタ 0 (カレンダーカウントモード時)

Base address: RTC = 0x4008_3000

Offset address: 0x56 + 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	PM	HR10[1:0]		HR1[3:0]			

Value after reset: x x x x x x x x

ビット	シンボル	機能	R/W
3:0	HR1[3:0]	1 時間キャプチャ 一時間の位のキャプチャ値を示します。	R
5:4	HR10[1:0]	10 時間キャプチャ 十時間の位のキャプチャ値を示します。	R
6	PM	PM 0: 午前 1: 午後	R

ビット	シンボル	機能	R/W
7	—	読み出し値は不定です。	R

RHRCP0 レジスタは、時間キャプチャイベント検出時に RHRCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時刻が RHRCP0 レジスタに格納されます。

RCR2.HR24 ビットが 0（12 時間モード）の場合にのみ、PM ビットが有効になります。

このレジスタは、RTC ソフトウェアリセットによって 0x00 にクリアされます。読み出しは、RTCCR0.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

22.2.32 RDAYCP0 : 日キャプチャレジスタ 0（カレンダーカウントモード時）

Base address: RTC = 0x4008_3000

Offset address: 0x5A + 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	DATE10[1:0]	DATE1[3:0]				
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	DATE1[3:0]	1 日キャプチャ 一日の位のキャプチャ値を示します。	R
5:4	DATE10[1:0]	10 日キャプチャ 十日の位のキャプチャ値を示します。	R
7:6	—	読み出し値は不定です。	R

RDAYCP0 レジスタは、時間キャプチャイベント検出時に RDAYCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時刻が RDAYCP0 レジスタに格納されます。

このレジスタは、RTC ソフトウェアリセットによって 0x00 にクリアされます。このレジスタからの読み出しは、RTCCR0.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

22.2.33 RMONCP0 : 月キャプチャレジスタ 0（カレンダーカウントモード時）

Base address: RTC = 0x4008_3000

Offset address: 0x5C + 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	MON1 0	MON1[3:0]			
Value after reset:	0	0	0	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	MON1[3:0]	1 月キャプチャ 一月の位のキャプチャ値を示します。	R
4	MON10	10 月キャプチャ 十月の位のキャプチャ値を示します。	R
7:5	—	読むと 0 が読めます。	R

RMONCP0 レジスタは、カレンダーカウントモード時に使用され、時間キャプチャイベント検出時に RMONCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時刻が RMONCP0 レジスタに格納されます。

このレジスタは、RTC ソフトウェアリセットによって 0x00 にクリアされます。このレジスタからの読み出しは、RTCCR0.TCCT[1:0]ビットで時間キャプチャイベント検出を停止させてから行ってください。

22.2.34 BCNTnCP0 : BCNTn キャプチャレジスタ 0 (n= 0~3) (バイナリカウントモード時)

Base address: RTC = 0x4008_3000

Offset address: 0x52 (BCNT0CP0)
0x54 (BCNT1CP0)
0x56 (BCNT2CP0)
0x5A (BCNT3CP0)

Bit position: 7 6 5 4 3 2 1 0

Bit field:

Value after reset: x x x x x x x x

BCNTnCP0 レジスタは、時間キャプチャイベント検出時に BCNTn 値をキャプチャする読み出し専用のレジスタです。BCNT3CP0 は BCNTCP0[31:24]ビットに、BCNT2CP0 は BCNTCP0[23:16]ビットに、BCNT1CP0 は BCNTCP0[15:8]ビットに、BCNT0CP0 は BCNTCP0[7:0]ビットに割り当てられます。RTCIC0 端子によるイベント検出時刻が BCNTnCP0 レジスタに格納されます。

このレジスタは、RTC ソフトウェアリセットによって 0x00 にクリアされます。読み出しは、RTCCR0.TCCT[1:0]ビットで時間キャプチャイベント検出を停止させてから行ってください。

22.3 動作説明

22.3.1 電源投入後のレジスタ初期設定の概要

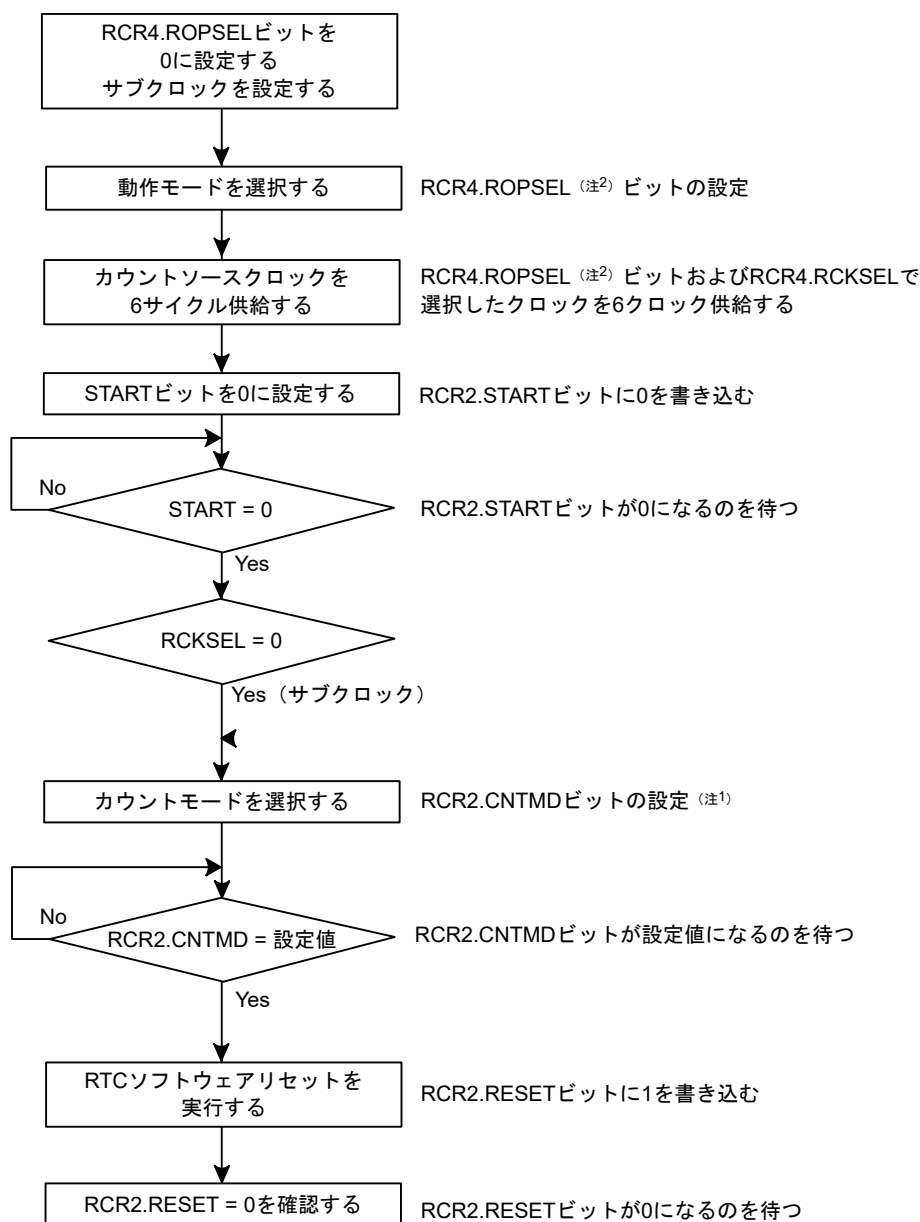
電源投入後は、動作モード、クロック設定、カウントモード設定、時間誤差補正、時刻設定、アラーム、および割り込みに対して、初期設定を行ってください。

表 22.4 電源投入後の初期設定

No.	ステップ名	説明
1	クロック供給、動作モード、およびカウントモード設定	クロック供給、動作モード、およびカウントモードの初期設定
2	時刻を設定	クロックカウンタの時刻設定と時計誤差補正レジスタの初期設定
3	アラームを設定	アラームレジスタの初期設定
4	割り込みを設定	割り込みコントロールレジスタの初期設定
5	時間キャプチャコントロールレジスタ n を設定	時間キャプチャコントロールレジスタ n の初期設定

22.3.2 動作モード、クロックおよびカウントモードの設定手順

図 22.2 および図 22.3 に、動作モード、クロックおよびカウントモードの設定手順を示します。



注 1. START ビットを 0 にすると同時にカウントモードを設定する場合、本手順を省略できます。RCR2.CNTMD ビットには、カウントモード設定に対応する値を書き込んでください。

注 2. LPC モードの場合、RCR4.RCKSEL ビットの設定は不要です。

図 22.2 クロックおよびカウントモードの設定手順 (NOR モードおよび LPC モード)

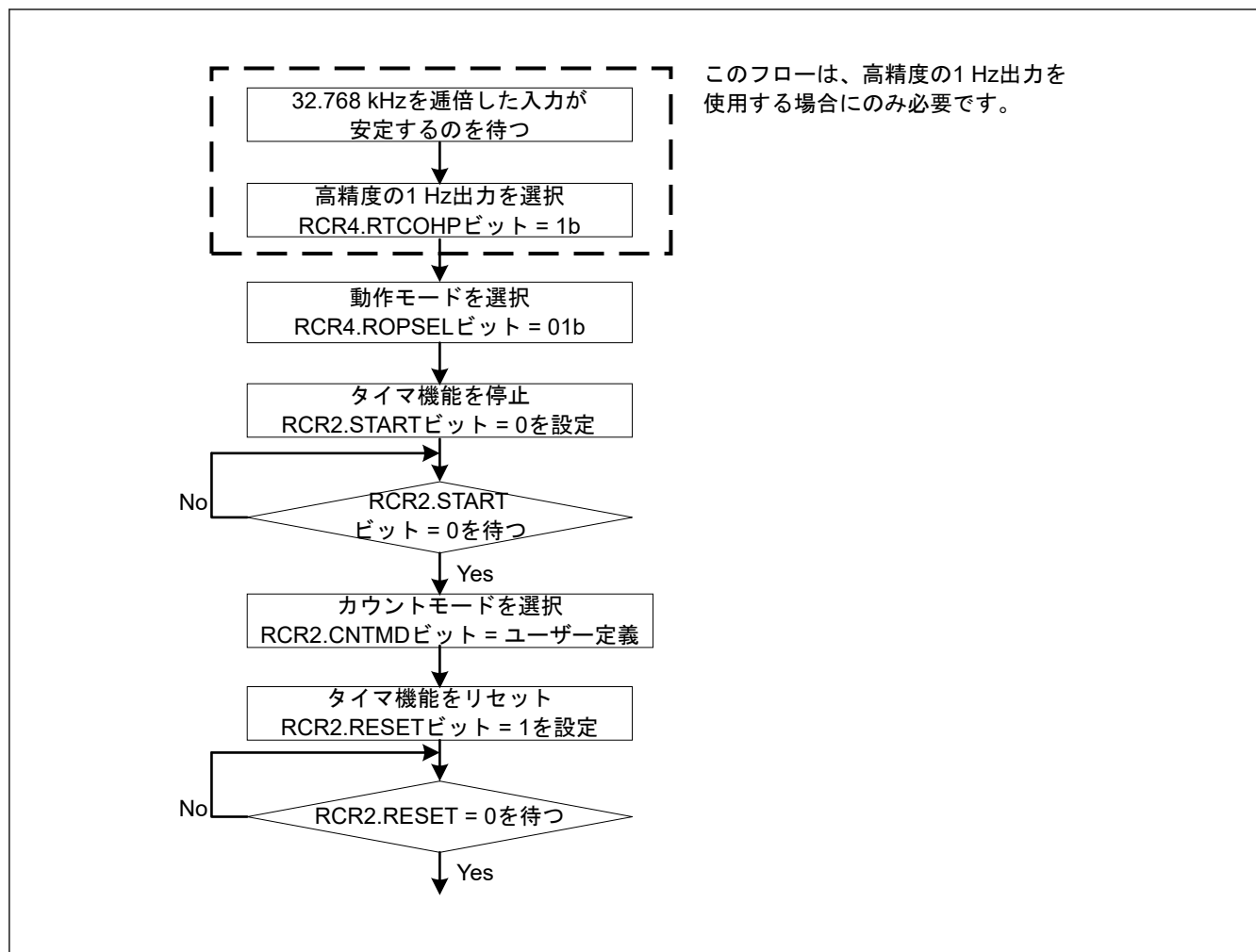


図 22.3 クロックおよびカウントモードの設定手順 (HP モード)

22.3.3 時刻の設定

図 22.4 に時刻の設定手順を示します。

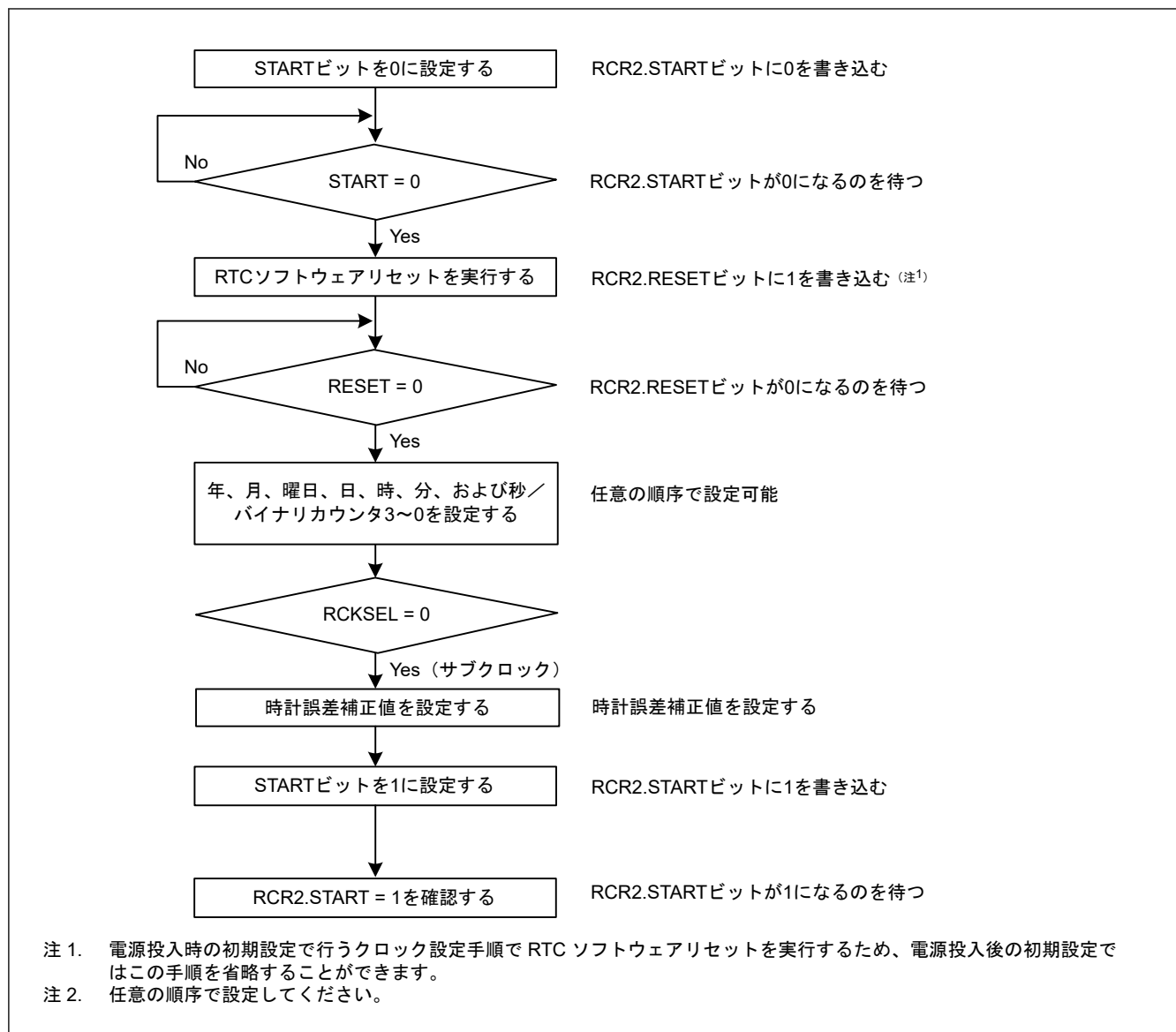


図 22.4 時刻の設定

22.3.4 30 秒調整

図 22.5 に 30 秒調整の実行手順を示します。

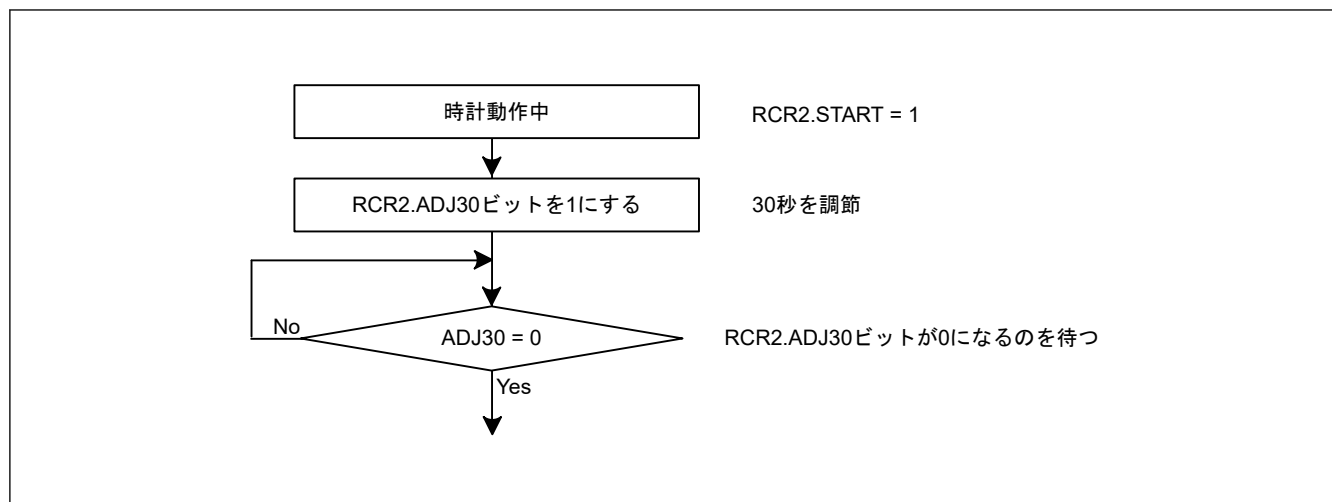
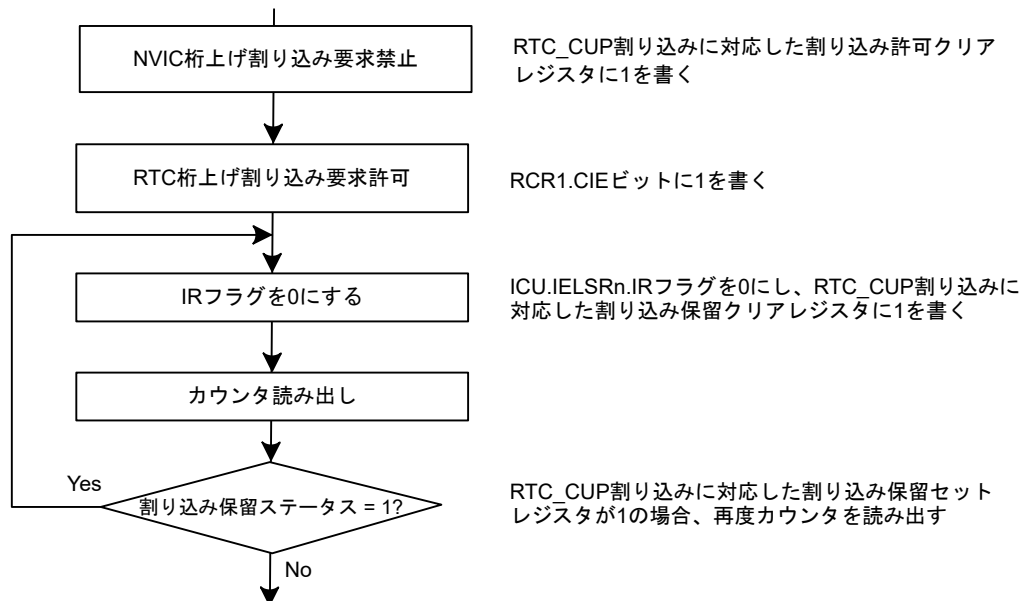


図 22.5 30 秒調整の実行

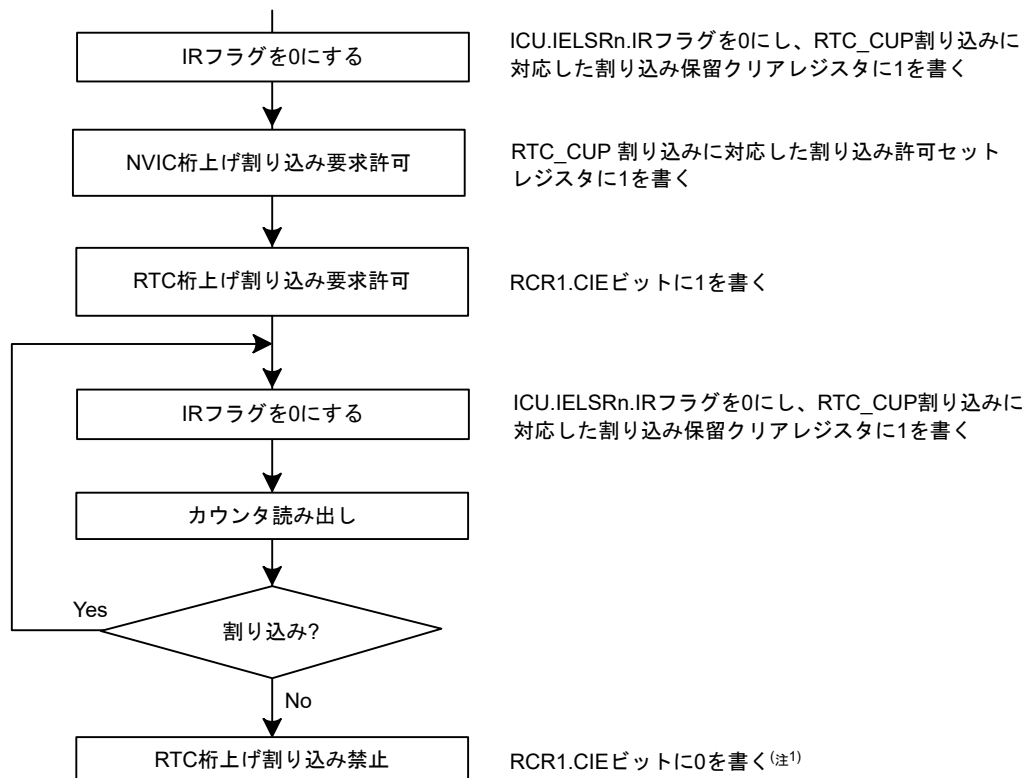
22.3.5 64 Hz カウンタと時刻の読み出し

図 22.6 に 64 Hz カウンタと時刻の読み出し手順を示します。

(a) 割り込みを使用しないで時刻を読み出す方法



(b) 割り込みを使用して時刻を読み出す方法



注 1. 必要に応じて割り込みを禁止してください。

図 22.6 64 Hz カウンタと時刻の読み出し手順

64 Hz カウンタと時刻の読み出し中に桁上げが生じると、正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しないで時刻を読み出す場合の手順を図 22.6 の (a) に、桁上げ割り込みを使用する場合の手順を (b) に示します。通常は、プログラムを簡潔にするため、割り込みを使用しない方法 (a) を推奨します。

LPC モードでは、方法 (a) のみを使用可能です。

22.3.6 アラーム機能

図 22.7 にアラーム機能の使用手順を示します。

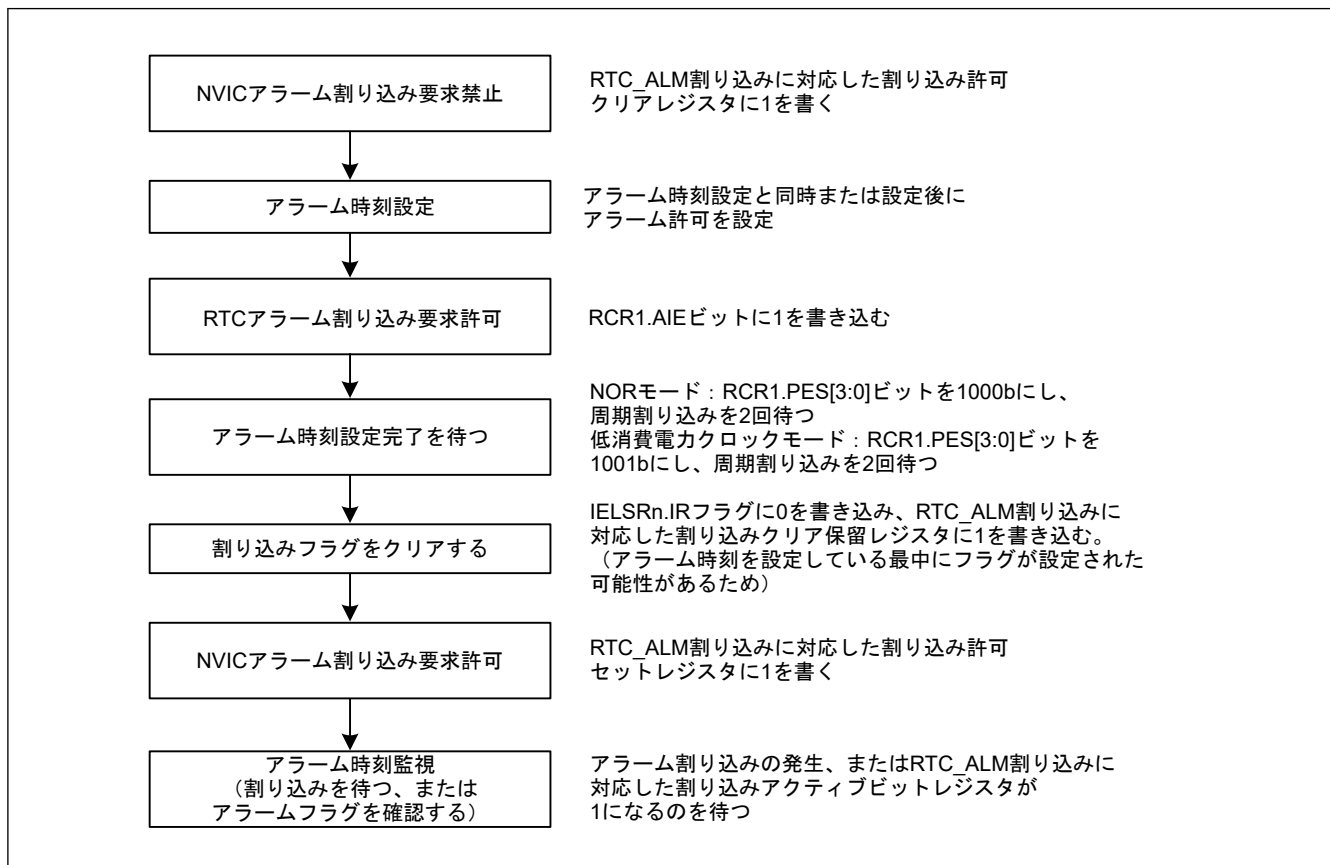


図 22.7 アラーム機能の使用手順

カレンダーカウントモードでは、年、月、日、曜日、時、分、秒のいずれか1つ、またはこれらの任意の組み合わせで、アラームを発生させることができます。アラーム設定をする各アラームレジスタのENBビットに1を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタはENBビットに0を書き込みます。

バイナリカウントモードでは、32ビットの任意ビットの組み合わせでアラームを発生させることができます。アラームの対象とするビットに対応するアラームイネーブルレジスタのENBビットに1を書き込み、アラームレジスタにアラーム時刻を設定します。アラームの対象外とするビットに対しては、アラームイネーブルレジスタ(注1)のENBビットに0を書き込みます。

ENB[31:0]ビットのうち、1になっているビットに対応するバイナリカウンタ(BCNT[31:0])が、バイナリアラームレジスタ(注1)と比較されて、すべてが一致すると、RTC_ALM割り込みに対応したIRフラグが1になり、割り込みセット保留/クリア保留レジスタが1になります。アラームの検出は、RTC_ALM割り込みに対応した割り込みセット保留レジスタを読み出すことで確認できますが、通常は割り込みで行うことを推奨します。

RTC_ALM割り込みに対応した割り込み許可セットレジスタが1になっている場合、アラームイベント発生時にアラーム割り込みが発生し、アラームの検出が可能になります。

RTC_ALM割り込みに対応したIELSRn.IRフラグは、0を書き込むと0になります。割り込みを許可した場合、割り込みハンドラの終了後、RTC_ALM割り込みに対応した割り込みセット保留/クリア保留レジスタが自動的にクリアされます。割り込みを禁止した場合は、RTC_ALM割り込みに対応した割り込みクリア保留レジスタに1を書き込むと、レジスタはクリアされます。

低消費電力状態のときにカウンタとアラーム時刻が一致すると、MCUは低消費電力状態から復帰します。

注1. ENBビットのうち1になっている各ビットに対し、以下のレジスタのうちアラームレジスタの対応する位置の値とカウンタレジスタのカウント値の対応する各ビットが比較されます。

カウンタレジスタ : RSECCNT, RMINCNT, RHRCNT, RWKCNT, RDAYCNT, RMONCNT, RYRCNT

アラームレジスタ : RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN

22.3.7 アラーム割り込み禁止手順

図 22.8 に、許可状態のアラーム割り込み要求を禁止する手順を示します。

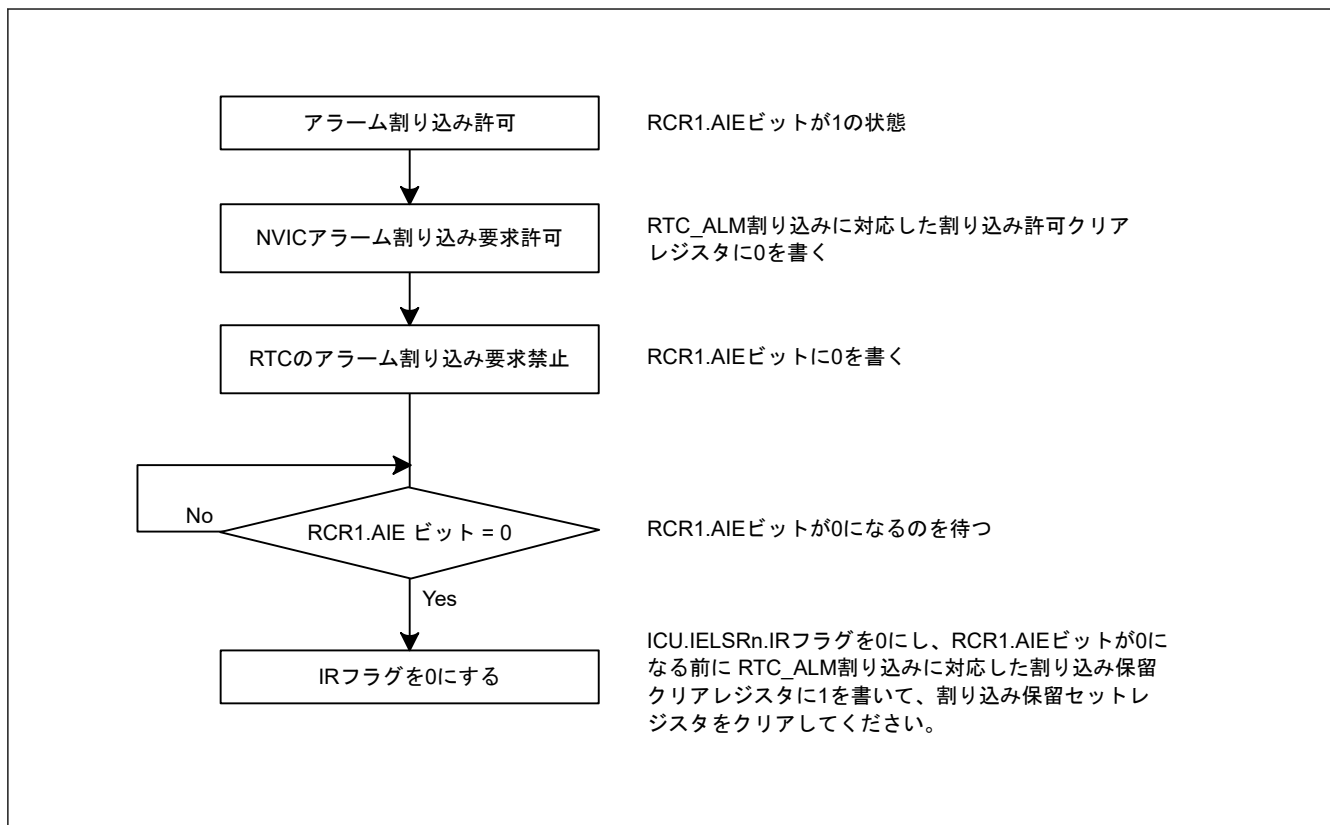


図 22.8 アラーム割り込み要求の禁止手順

22.3.8 時間誤差補正機能

時間誤差補正機能は、サブクロック発振器による発振精度の変動に起因した、時計の誤差（遅れ／進み）を補正するために使用します。NOR モードでは、サブクロック発振器を選択した場合、サブクロック発振器の 32768 サイクルが 1 秒の動作に相当するため、サブクロック発振器の周波数が高いと時計が進み、低いと時計が遅れます。LPC モードでは、128 Hz クロックの 128 サイクルが 1 秒の動作に相当するため、128 Hz クロックの周波数が高いと時計が進み、低いと時計が遅れます。

時間誤差補正機能には以下の種類があります。

- 自動補正
- ソフトウェアによる補正

自動補正またはソフトウェアによる補正は、RCR2.AADJE ビットで選択してください。

LPC モードでは、ソフトウェアによる補正をサポートしていません。

22.3.8.1 自動補正

RCR2.AADJE ビットを 1 にすると、自動補正が有効になります。

NOR モード時、自動補正機能では、RCR2.AADJP ビットで選択した補正周期ごとに、プリスケアラでカウントした値に対して RADJ レジスタと RADJ2 レジスタの値を加算または減算します。表 22.5 に自動補正機能の概要を示します。

表 22.5 自動補正機能

機能		NOR モード (RCR4.ROPSEL = 00b)	LPC モード (RCR4.ROPSEL = 10b)	HP モード (RCR4.ROPSEL = 01b)	コンフィグレーションレジスタ
クロックソース	—	32.768 kHz	32.768 kHz, 128 Hz	32.768 kHz、32.768 kHz クロックを逡倍	—
カレンダーカウンタモード	インターバル	a) 10 秒	a) 1 時間	1 秒	RCR2.AADJP
		b) 60 秒	b) 1 日		
	範囲[ppm]	a) ± 384	a) ± 275	± 3875	RADJ.ADJ
		b) ± 64	b) ± 11.4		RADJ2.FADJ
	分解能[ppm]	a) 30.52 / 10	a) 7812.5 / 3600	0.015	RADJ.ADJ
		b) 30.52 / 60	b) 7812.5 / 3600 $\times$ 24		RADJ2.FADJ
	1 Hz あたりのジッタ [ppm]	a) $\pm 30.52 \times 10$	a) $\pm 7812.5 \times 3600$	± 30.52 ± 0.01925 : 32.768 kHz クロックを逡倍して供給された場合のみ RTCOUT に対して可能 (RCR4.RTCOHP = 1)	—
		b) $\pm 30.52 \times 60$	b) $\pm 7812.5 \times 3600 \times 24$		
バイナリカウンタモード	インターバル	a) 8 秒	a) 2048 秒	カレンダーカウンタモードと同じ	カレンダーカウンタモードと同じ
		b) 32 秒	b) 8192 秒		
	範囲[ppm]	a) ± 480	a) ± 480		
		b) ± 120	b) ± 120		
	分解能[ppm]	a) 30.52 / 8	a) 7812.5 / 2048		
		b) 30.52 / 32	b) 7812.5 / 8192		
	1 Hz あたりのジッタ [ppm]	a) $\pm 30.52 \times 8$	a) $\pm 7812.5 \times 2048$		
		b) $\pm 30.52 \times 32$	b) $\pm 7812.5 \times 8192$		

(1) 例 1 : サブクロック発振器が 32.769 kHz で動作している場合 (NOR モード)

補正方法

サブクロック発振器が 32.769 kHz で動作している場合、32769 クロックサイクルごとに 1 秒経過します。RTC は、32768 クロックサイクルを 1 秒として動作するため、1 秒ごとに 1 クロックサイクル分時計が進みます。時計は、1 分当たり 60 クロックサイクルのペースで早くなるため、1 分ごとに 60 クロックサイクルだけ遅らせる方法で補正が可能です。

レジスタ設定値 : (RCR2.CNTMD = 0 の場合)

- RCR2.AADJP = 0 (1 分ごとに補正)
- RADJ.PMADJ[1:0] = 10b (プリスケアラに対して値を減算して補正)
- RADJ.ADJ[6:0] = 60 (0x3C)

(2) 例 2 : サブクロック発振器が 32.766 kHz で動作している場合 (NOR モード)

補正方法

サブクロック発振器が 32.766 kHz で動作している場合、32766 クロックサイクルごとに 1 秒経過します。RTC は、32768 クロックサイクルを 1 秒として動作するため、1 秒ごとに 2 クロックサイクル分時計が遅れます。時計は、10 秒当たり 20 クロックサイクルのペースで遅くなるため、10 秒ごとに 20 クロックサイクル分時計を進める方法で補正が可能です。

レジスタ設定値 : (RCR2.CNTMD = 0 の場合)

- RCR2.AADJP = 1 (10 秒ごとに補正)
- RADJ.PMADJ[1:0] = 01b (プリスケアラに対して値を加算して補正)

- RCR2.ADJ[6:0] = 20 (0x14)

(3) 例 3 : サブクロック発振器が 32.764 kHz で動作している場合 (NOR モード)

補正方法

サブクロック発振器が 32.764 kHz で動作している場合、32764 クロックサイクルで 1 秒経過します。RTC は、32768 クロックサイクルを 1 秒として動作するため、時計は 1 秒間に 4 クロックサイクル分遅れます。8 秒間では 32 クロックサイクル分遅れるため、8 秒ごとに 32 クロックサイクル分時計を進めることで補正が可能です。

レジスタ設定値 : (RCR2.CNTMD = 1 の場合)

- RCR2.AADJP = 1 (8 秒ごとに補正)
- RADJ.PMADJ[1:0] = 01b (プリスケアラに対して値を加算して補正)
- RADJ.ADJ[6:0] = 32 (0x20)

LPC モード時、自動補正機能では、RCR2.AADJP ビットで選択した補正周期ごとに、64 Hz カウンタでカウントした値に対して RADJ レジスタ値を加算または減算します。

(4) 例 4 : サブクロック発振器が 32.769 kHz で動作している場合 (LPC モード)

補正方法

128 Hz クロックは、サブクロックから 256 分周比で分周して生成します。サブクロック発振器が 32.769 kHz で動作している場合、32,769 サブクロックサイクルごとに 1 秒経過するので、32769/256 カウントソースサイクルです。RTC は、32768/256 クロックサイクルで動作するように設計されているため、1 秒ごとに 1/256 クロックサイクル分時計が進みます。時計は、1 時間当たり $(1/256) \times 3600$ クロックサイクルのペースで早くなるため、1 時間ごとに $(1/256) \times 3600 = 14$ クロックサイクル分時計を遅らせる方法で補正が可能です。

レジスタ設定値 : (RCR2.CNTMD = 0 の場合)

- RCR2.AADJP = 1 (1 時間ごとに補正)
- RADJ.PMADJ[1:0] = 10b (64 Hz カウンタに対して値を減算して補正)
- RADJ.ADJ[6:0] = 14 (0x0E)

(5) 例 5 : サブクロック発振器が 32.764 kHz で動作している場合 (LPC モード)

補正方法

128 Hz クロックは、サブクロックから 256 分周比で分周して生成します。サブクロック発振器が 32.764 kHz で動作している場合、32,764 サブクロックサイクルごとに 1 秒経過するので、32764/256 カウントソースサイクルです。RTC は、32768/256 クロックサイクルを 1 秒として動作するため、時計は 1 秒間に 4/256 クロックサイクル分遅れます。2048 秒間では $4/256 \times 2048 = 32$ クロックサイクル遅れるため、2048 秒ごとに 32 クロックサイクル分時計を進める方法で補正が可能です。

レジスタ設定値 : (RCR2.CNTMD = 1 の場合)

- RCR2.AADJP = 1 (2048 秒ごとに補正)
- RADJ.PMADJ[1:0] = 01b (64 Hz カウンタに対して値を加算して補正)
- RADJ.ADJ[6:0] = 32 (0x20)

(6) 例 6 : サブクロック発振器が 32.7685 kHz で動作している場合 (HP モード)

補正方法

サブクロックが 32.7685 kHz で動作している場合、32,768.5 クロックサイクルごとに 1 秒経過します。そのため、2 秒ごとに 1 クロックサイクル分時計が進みます。

レジスタ設定値 : (RCR2.CNTMD = 0 の場合)

- RCR2.AADJP = 0 (1 分ごとに補正)
- RADJ.PMADJ[1:0] = 10b (プリスケアラに対して値を減算して補正)

- RADJ2.FADJ[10:0] = 0x400 (0.5 = 1024/2048 に相当)
- RADJ.ADJ[6:0] = 0 (0x00)

注. RADJ2.FADJ ビットを変更した後は、常に RADJ.ADJ ビットを設定する必要があります。

22.3.8.2 ソフトウェアによる補正

RCR2.AADJE ビットを 0 にすると、ソフトウェアによる補正が有効になります。ソフトウェアによる補正では、RADJ レジスタへの書き込み命令を実行したタイミングで、プリスケアラでカウントした値に対し RADJ レジスタ値を加算または減算します。LPC モードでは、ソフトウェアによる補正をサポートしていません。

(1) 例 1：サブクロック発振器が 32.769 kHz で動作している場合（NOR モード）

補正方法

サブクロック発振器が 32.769 kHz で動作している場合、32769 クロックサイクルごとに 1 秒経過します。RTC は、32768 クロックサイクルを 1 秒として動作するため、1 秒ごとに 1 クロックサイクル分時計が進みます。時計は、1 秒当たり 1 クロックサイクルのペースで早くなるため、1 秒ごとに 1 クロックサイクル分、時計を遅らせる方法で補正が可能です。

レジスタ設定値：(RCR2.CNTMD = 0 の場合)

- RADJ.PMADJ[1:0] = 10b（プリスケアラに対して値を減算して補正）
- RADJ.ADJ[6:0] = 1 (0x01)
この値を、1 秒の割り込みにつき 1 回、RADJ レジスタに書き込みます。

(2) 例 2：サブクロック発振器が 32.7685 kHz で動作している場合（HP モード）

補正方法

サブクロックが 32.7685 kHz で動作している場合、32,768.5 クロックサイクルごとに 1 秒経過します。そのため、1 秒ごとに半クロックサイクル分時計が進みます。

レジスタ設定

- RADJ.PMADJ[1:0] = 10b（プリスケアラに対して値を減算して補正）
- RADJ2.FADJ[11:0] = 0x400 (0.5 = 1024/2048 に相当)
- RADJ.ADJ[6:0] = 0 (0x00)

22.3.8.3 補正方法の変更手順

補正方法を変更する場合は、RADJ.PMADJ[1:0] ビットを 00b（補正を行わない）にした後、RCR2.AADJE ビットの値を変更してください。

ソフトウェアによる補正から自動補正へ切り替える場合

1. RADJ.PMADJ[1:0] ビットを 00b（補正を行わない）にします。
2. RCR2.AADJE ビットを 1（自動補正有効）にします。
3. RCR2.AADJP ビットで自動補正周期を選択します。
4. RADJ.PMADJ[1:0] ビットに加算または減算を設定し、RADJ.ADJ[6:0] ビットに時間誤差補正值を設定します。

自動補正からソフトウェアによる補正へ切り替える場合

1. RADJ.PMADJ[1:0] ビットを 00b（補正を行わない）にします。
2. RCR2.AADJE ビットを 0（ソフトウェアによる補正を有効）にします。
3. 任意のタイミングで、RADJ.PMADJ[1:0] ビットに加算または減算を設定し、RADJ.ADJ[6:0] ビットに時間誤差補正值を設定することにより、補正を開始します。以降、RADJ レジスタに値を書き込むごとに時間補正が行われます。

22.3.8.4 補正の停止手順

補正機能を停止するには、RADJ.PMADJ[1:0]ビットを 00b (補正しない) にします。

22.3.9 時間キャプチャ機能

RTC は、カレンダーカウントモード時またはバイナリカウントモード時に、時間キャプチャイベント入力端子の信号のエッジ検出によって、月、日、時、分、秒、およびバイナリカウンタ 3~0 の値を格納することができます。

また、時間キャプチャイベント入力端子には、ノイズフィルタを使用できます。ノイズフィルタを有効にした場合、端子の入力レベルが 3 回一致すると RTCCR0.TCST ビットが 1 になります。

時間キャプチャイベント入力端子は、端子ごとにノイズフィルタの開始または停止を設定できます。ノイズフィルタ停止の場合の時間キャプチャ動作タイミングを図 22.9 に、ノイズフィルタ開始の場合の時間キャプチャ動作タイミングを図 22.10 に示します。

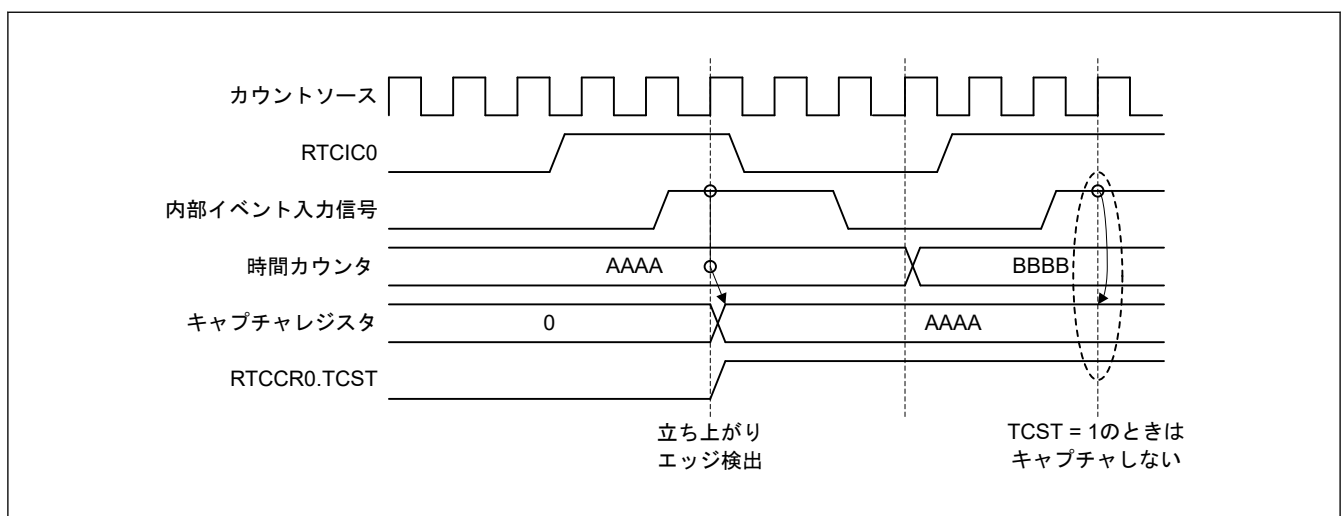


図 22.9 時間キャプチャ動作タイミング (ノイズフィルタオフ)

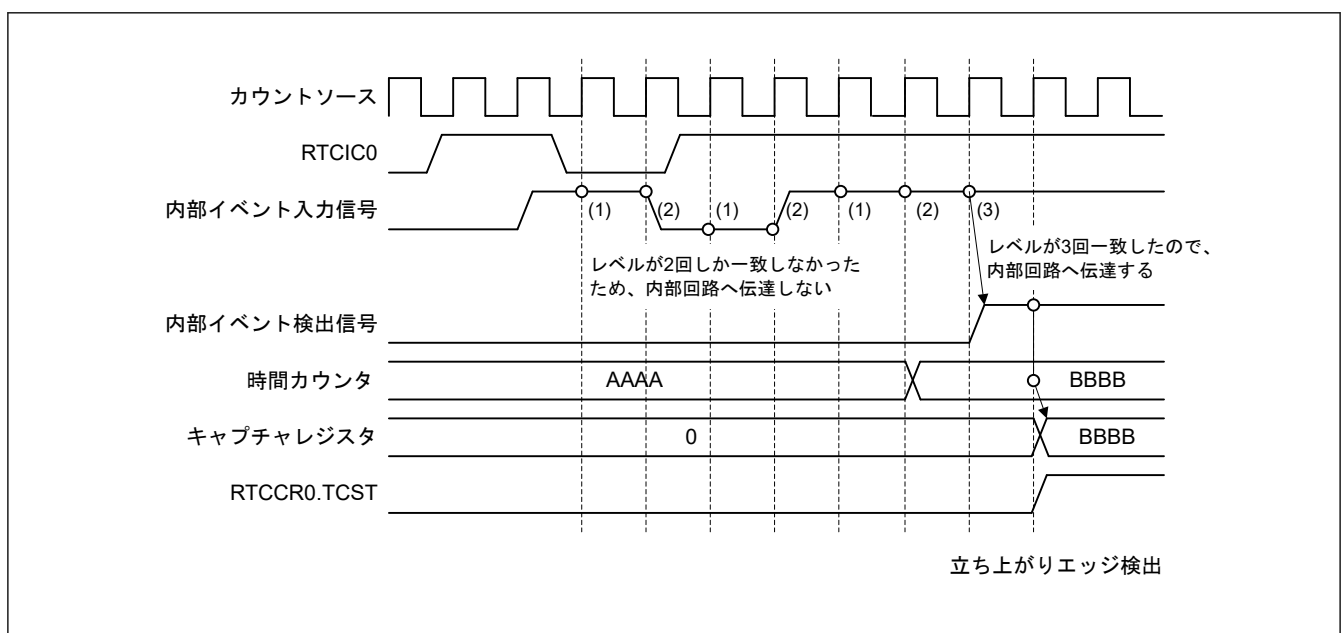


図 22.10 時間キャプチャ動作タイミング (ノイズフィルタオン)

22.4 割り込み要因

RTC には、表 22.6 に示すように、3 種類の割り込み要因があります。

表 22.6 RTC 割り込み要因

名称	割り込み要因
RTC_ALM	アラーム割り込み
RTC_PRD	周期割り込み
RTC_CUP	桁上げ割り込み

(1) アラーム割り込み (RTC_ALM)

この割り込みは、アラームレジスタと RTC カウンタの比較結果に基づいて発生します。詳細は、「[22.3.6. アラーム機能](#)」を参照してください。

アラームレジスタの設定値が時計カウンタと一致したとき、割り込みフラグが 1 になる可能性があるため、アラームレジスタの値を変更した後は、アラーム時刻の設定が確定されるまで待機して、IELSRn.IR フラグと、RTC_ALM 割り込みに対応する割り込みセット保留レジスタを再び 0 にクリアしてください。アラーム割り込みの割り込みフラグが 1 になった後、アラームレジスタと時計カウンタを不一致状態に戻すと、再び一致するかアラームレジスタの値の再設定を行うまでフラグは再び 1 になりません。

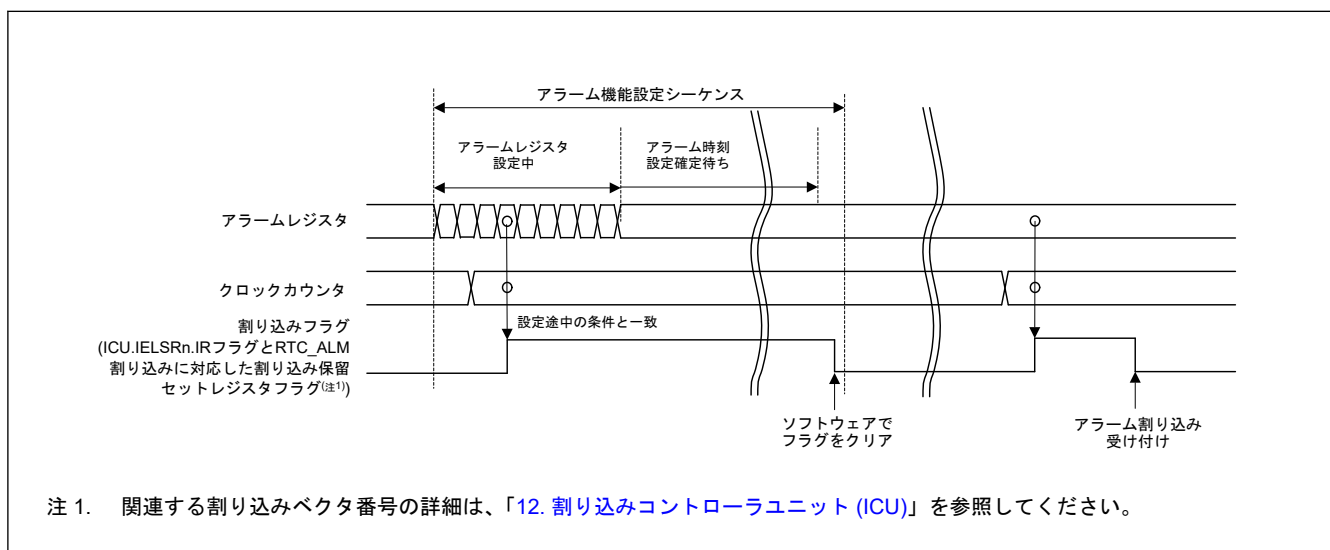


図 22.11 アラーム割り込み (RTC_ALM) のタイミング図

(2) 周期割り込み (RTC_PRD)

この割り込みは、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、または 1/256 秒周期で発生します。RCR1.PES[3:0] ビットによって割り込み周期の選択が可能です。

注. 低消費電力クロックモードでは、1/64 秒、1/128 秒、または 1/256 秒周期で発生する割り込みをサポートしていません。

(3) 桁上げ割り込み (RTC_CUP)

この割り込みは、秒カウンタ/バイナリカウンタ 0 への桁上げが生じたとき、または 64 Hz カウンタの読み出し中に R64CNT カウンタへの桁上げが生じたときに発生します。

注. 桁上げ割り込み (RTC_CUP) ではソフトウェアスタンバイモードで発生した割り込みはサポートしてません。ソフトウェアスタンバイモードに遷移する前に、桁上げ割り込み許可ビット (RCR1.CIE ビット) を 0 にしてからスタンバイモードに遷移するようにしてください。RUN への遷移後は、桁上げ割り込み許可ビット (RCR1.CIE ビット) を 1 にしてから桁上げ割り込みを実行してください。

図 22.12 に桁上げ割り込み (RTC_CUP) のタイミング図を示します。

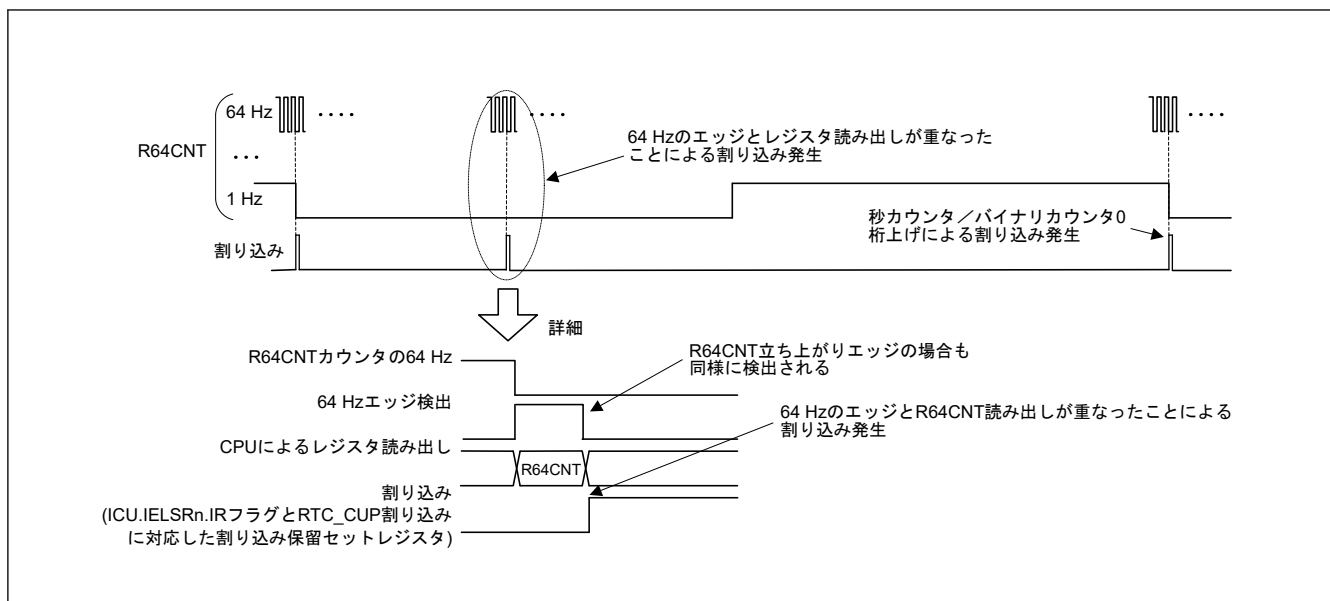


図 22.12 桁上げ割り込み (RTC_CUP) のタイミング図

22.5 イベントリンク出力機能

RTC は、ELC 用の周期イベント出力 (RTC_PRD) のイベント信号を発生させることで、あらかじめ選択しておいた他のモジュールを動作させることが可能です。

注. LPC モードでは、イベントリンク出力機能をサポートしていません。そのため、LPC モードでは、RTC の ELC リンク機能を無効にする必要があります。

RCR1.PES[3:0]ビットの設定により、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒から選択した周期でイベントを出力します。

イベント発生を選択した直後のイベント発生周期は保証されません。

注. RTC からのイベントリンク機能を使用する場合は、必ず RTC の設定（初期化、時刻設定など）を行った後、ELC を設定してください。ELC の設定後に RTC を設定すると、意図しないイベント信号を出力する場合があります。

22.5.1 割り込み処理とイベントリンクの関係

RTC には、周期割り込みを許可または禁止するビットがあります。割り込み要因が発生すると、対応する割り込み許可ビットが許可の場合に、CPU に対して割り込み要求信号を出力します。

これに対して、イベントリンク出力信号は、対応する割り込み許可ビットの設定とは無関係に、割り込み要因が発生すると、ELC を介して他のモジュールにイベント信号として出力します。

注. ソフトウェアスタンバイモード中も、アラーム割り込みと周期割り込みの出力は可能ですが、ELC 用の周期イベント信号は出力しません。

22.6 使用上の注意事項

22.6.1 カウント動作時のレジスタ書き込みについて

カウント動作時 (RCR2.START ビットが 1 のとき) は、以下のレジスタに書き込みを行わないでください。

- RSECCNT/BCNT0
- RMINCNT/BCNT1
- RHRCNT/BCNT2
- RDAYCNT
- RWKCNT/BCNT3
- RMONCNT

- RYRCNT
- RCR1.RTCOS
- RCR2.RTCOE
- RCR2.HR24

上記のレジスタのいずれかに書き込みを行う場合、カウントを停止してから書き込んでください。

22.6.2 周期割り込みの使用について

図 22.13 に周期割り込みの使用方法を示します。

周期割り込みの発生とその周期は、RCR1.PES[3:0]ビットの設定で変更できます。ただし、割り込みの生成にはプリスケアラ、R64CNT と RSECCNT/BCNT0 カウンタが使用されるため、RCR1.PES[3:0]ビットの設定直後は、割り込み発生周期が保証されません。

また、RCR2 レジスタ値を変更して、以下の動作を行うと、割り込み発生周期に影響を与えます。

- カウント動作の停止／動作／リセット
- RTC ソフトウェアリセット
- 30 秒調整

時間誤差補正機能を使用した場合、補正後の割り込み発生周期は、補正值に従って加算または減算されます。

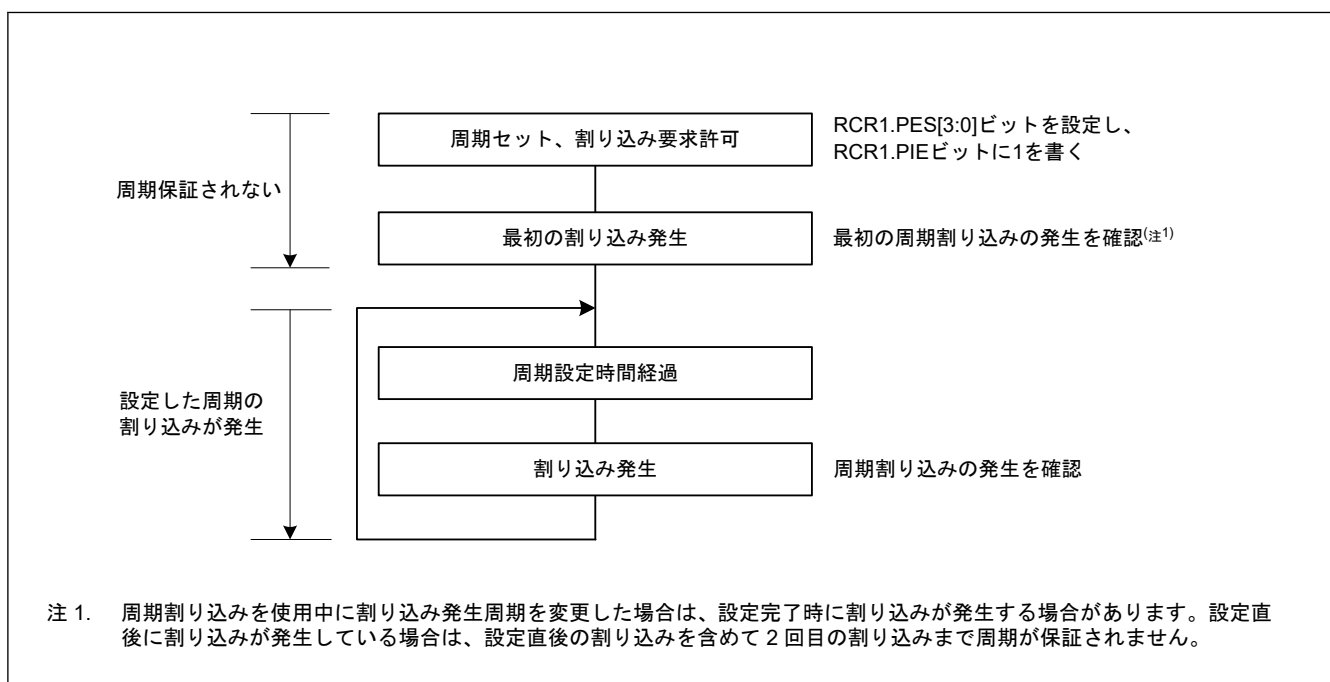


図 22.13 周期割り込み機能の使用手法

22.6.3 RTCOUT (1 Hz/64 Hz) クロック出力について

RCR2 レジスタ値を変更して、カウント動作の停止／動作／リセット、RTC ソフトウェアリセットおよび 30 秒調整を行うと、RTCOUT (1 Hz/64 Hz) 出力周期に影響を与えます。時間誤差補正機能を使用した場合、補正後の RTCOUT (1 Hz/64 Hz) 出力周期は、補正值に従って加算または減算されます。

HP モード (RCR4.ROPSEL = 01b) では、32.768 kHz クロック入力を逡倍して 1 秒ごとに RTCOUT (1 Hz) 出力を補正します。これは、RTCOUT 出力が高精度 (RCR4.RTCOHP = 1b) に設定されている場合の出力です。これによって、1 秒ごとの高精度の 1 Hz 出力の観測が可能になります。表 22.7 に RTCOUT 出力の概要を示します。

表 22.7 RTCOUT 出力の概要

動作モード	インターバル	機能
NOR モード (RCR4.ROPSEL = 00)	1 Hz/64 Hz (RCR1.RTCOS = 0/1) (RCR4.RTCOHP = 0)	- 時間誤差補正機能による開始／停止（自動／ソフトウェア） - RTC ソフトウェアリセットまたは 30 秒補正機能による再設定 - High 幅は時間誤差補正機能がない場合の Low 幅に等しい
LPC モード (RCR4.ROPSEL = 10)	1 Hz/64 Hz (RCR1.RTCOS = 0/1) (RCR4.RTCOHP = 0)	- 時間誤差補正機能による開始／停止（自動） - RTC ソフトウェアリセットまたは 30 秒補正機能による再設定 - High 幅は時間誤差補正機能がない場合の Low 幅に等しい
HP モード (RCR4.ROPSEL = 01)	1 Hz/64 Hz (RCR1.RTCOS = 0/1) (RCR4.RTCOHP = 0)	- 時間誤差補正機能による開始／停止（自動／ソフトウェア） - RTC ソフトウェアリセットまたは 30 秒補正機能による再設定 - High 幅は時間誤差補正機能がない場合の Low 幅に等しい
	高精度の 1 Hz (RCR4.RTCOHP = 1)	- 時間誤差補正機能による開始／停止（自動） - RTC ソフトウェアリセットまたは 30 秒補正機能による再設定は非サポート

注. RTCA 動作中に時間誤差補正を再設定する場合、RTCOUT 出力の最初のインターバルは保証されません。

注. LPC モードでは、低周波数動作のため、自動補正実行時に RTCOUT 出力が増減する可能性があります。これに注意せずに RTCOUT を使用するには、1 Hz 出力 (RTCOS = 0) に設定し、追加補正の場合のみ補正値を 0.5 秒未満に設定します (RADJ.ADJ = 0x40 および RADJ.PMADJ = 0x01)。

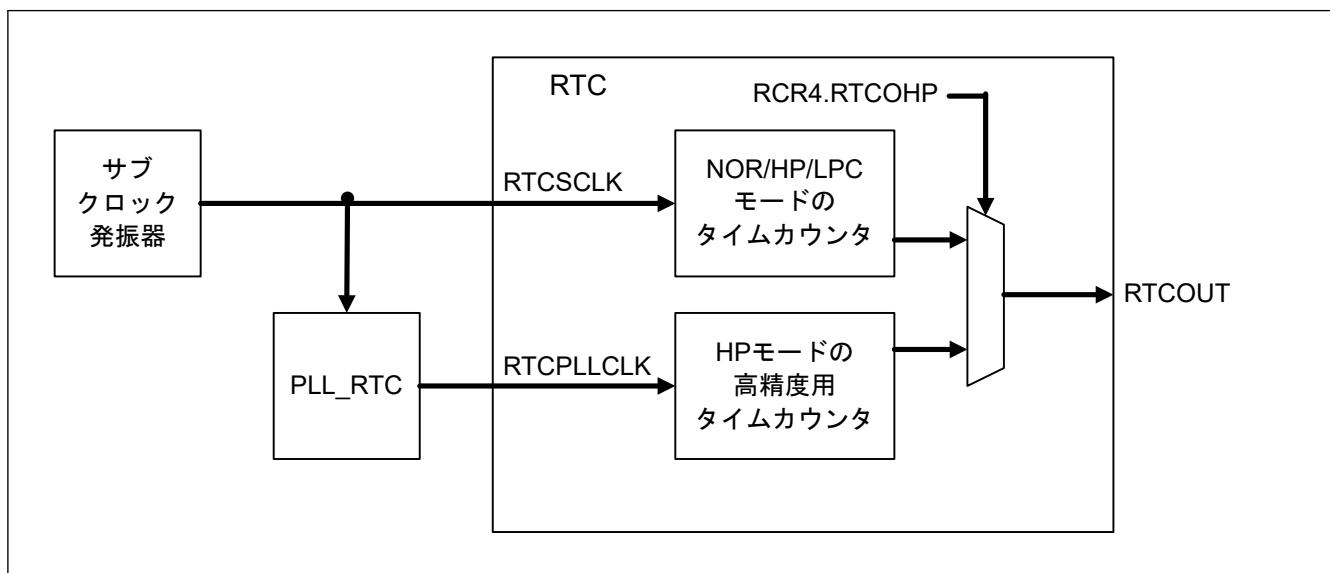


図 22.14 RTCOUT 選択回路

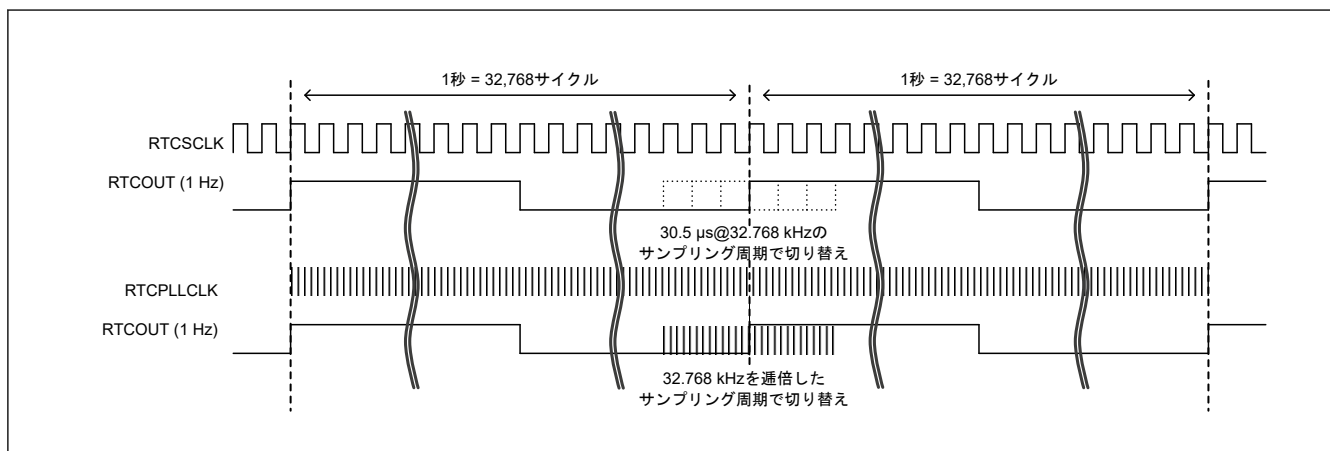


図 22.15 RTCOUT のタイミング図

22.6.4 レジスタ設定後の低消費電力モードへの遷移について

RTC のレジスタへの書き込み中に低消費電力状態（ソフトウェアスタンバイモード）へ遷移すると、RTC レジスタ値が破壊されることがあります。レジスタの設定後は、設定が確定されたことを確認してから低消費電力状態へ遷移してください。

22.6.5 レジスタの書き込み／読み出し時の注意事項

- カウンタレジスタ（秒カウンタなど）へ書き込んだ後、そのカウンタレジスタを読み出す際は、「[22.3.5. 64 Hz カウンタと時刻の読み出し](#)」に示す手順に従ってください。
- カウントレジスタ、アラームレジスタ、年アラームイネーブルレジスタ、RCR2.AADJE、AADJP、HR24 ビット、RCR4 レジスタに書いた値は、書き込み後、4 回目の読み出しから反映されます。
- RCR1.CIE ビット、RCR1.RTCOS ビット、および RCR2.RTCOE ビットは、書き込み直後に書いた値を読み出すことができます。
- リセットあるいはソフトウェアスタンバイモード期間から復帰した後、カウンタの値を読み出す際は、時計が動作中（RCR2.START ビットが 1）の状態、1/128 秒間待ってから読み出しを行ってください。
- リセット発生後、カウントソースクロックが 6 サイクル経過してから、RTC レジスタへ書き込んでください。
- VRTC 端子からの電源供給が停止したとき、RTC 関連レジスタの設定は禁止されます。VRTSR.VRTLVD ビットが 1（VRTC ドメイン領域が有効）であることを確認してください。VRTSR.VRTLVD の詳細については、「[7.2.15. VRTSR : VRTC ステータスレジスタ](#)」を参照してください。

22.6.6 カウントモードの変更について

カウントモード（カレンダーカウントモード／バイナリカウントモード）を変更する場合は、RCR2.START ビットを 0 にしてカウント動作を停止させた後、初期設定からやり直してください。初期設定の詳細は、「[22.3.1. 電源投入後のレジスタ初期設定の概要](#)」を参照してください。

22.6.7 カウント動作停止時における時間キャプチャ設定について

時間キャプチャイベントのエッジ検出設定が有効な場合にカウント動作が停止すると、カウント動作開始後にキャプチャした値は保証されません。

これを回避するために、時間キャプチャ制御ビット（RTCCR0.TCCT[1:0]ビット）を 00b（イベント検出なし）に設定してからカウント動作を停止してください（RCR2.START ビット = 1）。

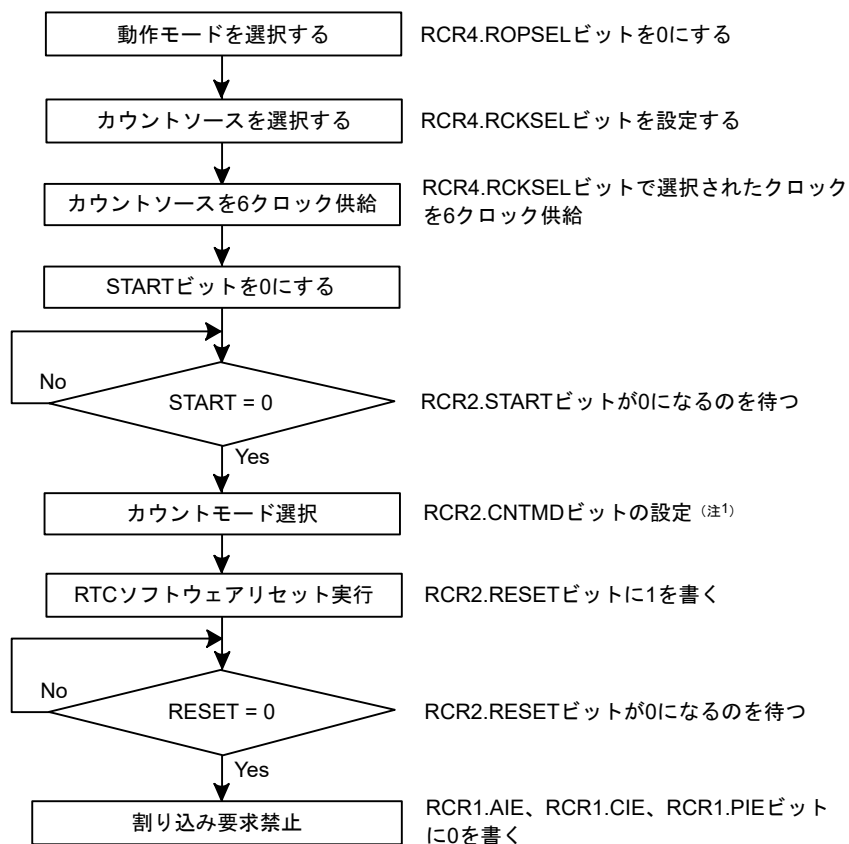
22.6.8 RTC を使用しない場合の初期化手順

RTC 内のレジスタは、リセットによって初期化されません。初期状態によっては、意図しない割り込み要求の発生やカウンタの動作によって、電力消費が多くなります。

RTC を使用しない場合、[図 22.16](#) に示す初期化手順に従って、レジスタを初期化してください。

他の方法として、サブクロック発振器をシステムクロックにも RTC にも使用しない場合は、RCR4.RCKSEL ビットを 0（サブクロック発振器を選択）にした後、サブクロック発振器を停止させることでカウンタを停止できます。サブクロック発振器を停止するには、SOSCCR.SOSTP ビットに 1 を書き込んでください。

SOSCCR.SOSTP ビットの設定については、「[8. クロック発生回路](#)」を参照してください。



注 1. START ビットに 0 を書くのと同時にカウントモードを設定している場合、本手順を省略できます。

図 22.16 RTC を使用しない場合の初期化手順

23. ウォッチドッグタイマ (WDT)

23.1 概要

ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走すると WDT をリフレッシュできなくなるため、カウンタがアンダーフローした際に MCU をリセットするのに使用できます。さらに、WDT はノンマスカブル割り込みまたはアンダーフロー割り込みを発生させるのに使用できます。

表 23.1 に WDT の仕様を、図 23.1 に WDT のブロック図を示します。

表 23.1 WDT の仕様

項目	内容
カウントソース(注1)	周辺クロック (PCLKB)
クロック分周比	4 分周/64 分周/128 分周/512 分周/2048 分周/8192 分周
カウンタ動作	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	- オートスタートモード: リセット後、またはアンダーフロー/リフレッシュエラー発生後に自動的にカウント開始 - レジスタスタートモード: WDTRR レジスタへの書き込みによるリフレッシュ動作でカウント開始 - セキュアデベロッパーのみがオートスタートモードまたはレジスタスタートモードを選択可能
カウント停止条件	- リセット (ダウンカウンタおよび他のレジスタが初期値に戻る) - カウンタのアンダーフローまたはリフレッシュエラー発生時
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
ウォッチドッグタイマリセット要因	- ダウンカウンタのアンダーフロー - リフレッシュ許可期間外でのリフレッシュ動作 (リフレッシュエラー)
ノンマスカブル割り込み/割り込み要因	- ダウンカウンタのアンダーフロー - リフレッシュ許可期間外でのリフレッシュ動作 (リフレッシュエラー)
カウンタ値の読み出し	WDTSR レジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能 (出力)	- ダウンカウンタアンダーフローイベント出力 - リフレッシュエラーイベント出力
出力信号 (内部信号)	- リセット出力 - 割り込み要求出力 - スリープモードカウント停止制御出力
TrustZone フィルタ	セキュリティ属性を設定できます。

注 1. 周辺モジュールクロック (PCLKB) 周波数 $\geq 4 \times$ (カウントクロックソースの分周後周波数) となるように設定してください。

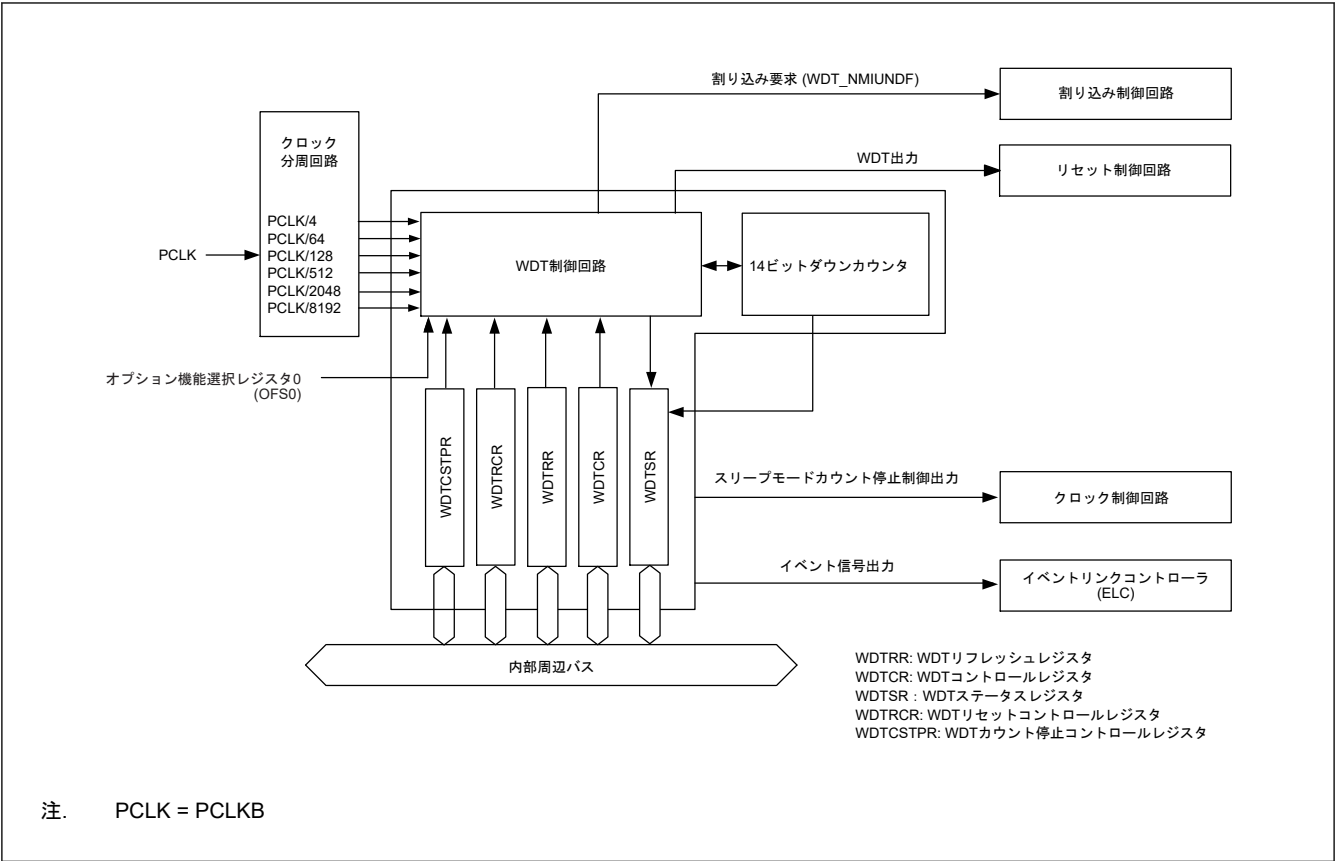


図 23.1 WDT のブロック図

23.2 レジスタの説明

23.2.1 WDTRR : WDT リフレッシュレジスタ

Base address:	WDT = 0x4008_3400
Offset address:	0x00
Bit position:	7 0
Bit field:	
Value after reset:	1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
7:0	n/a	このレジスタに対して、0x00 の書き込み後、0xFF の書き込みでダウンカウンタがリフレッシュ	R/W

WDTRR レジスタは、WDT のダウンカウンタをリフレッシュするためのレジスタです。

リフレッシュ許可期間内に、WDTRR レジスタに 0x00 を書き込んだ後、0xFF を書き込むこと（リフレッシュ動作）により、WDT のダウンカウンタがリフレッシュされます。

オートスタートモードでは WDT タイムアウト期間選択ビット (OFS0.WDTPS[1:0]) で設定した値からダウンカウンタがスタートします。レジスタスタートモードでは、WDT コントロールレジスタのタイムアウト期間選択ビット (WDTCSR.TOPS[1:0]) で設定した値からダウンカウンタがスタートします。

読み出し値は、0x00 を書き込んだ場合は 0x00 であり、0x00 以外の値を書き込んだ場合は 0xFF となります。リフレッシュ動作の詳細は、「23.3.3. リフレッシュ動作」を参照してください。

23.2.2 WDTCR : WDT コントロールレジスタ

Base address: WDT = 0x4008_3400

Offset address: 0x02

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	RPSS[1:0]		—	—	RPES[1:0]		CKS[3:0]			—		—	TOPS[1:0]	
Value after reset:	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	機能	R/W
1:0	TOPS[1:0]	タイムアウト期間選択 0 0: 1024 サイクル (0x03FF) 0 1: 4096 サイクル (0x0FFF) 1 0: 8192 サイクル (0x1FFF) 1 1: 16384 サイクル (0x3FFF)	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:4	CKS[3:0]	クロック分周比選択 0x1: PCLKB/4 0x4: PCLKB/64 0xF: PCLKB/128 0x6: PCLKB/512 0x7: PCLKB/2048 0x8: PCLKB/8192 その他: 設定禁止	R/W
9:8	RPES[1:0]	ウィンドウ終了位置選択 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0% (ウィンドウ終了位置の設定なし)	R/W
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:12	RPSS[1:0]	ウィンドウ開始位置選択 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100% (ウィンドウ開始位置の設定なし)	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

WDTCR レジスタは、レジスタスタートモード時のダウンカウンタがアンダーフローするまでのタイムアウト期間、クロック分周比、リフレッシュのウィンドウ開始／終了位置を設定するレジスタです。

WDTCR レジスタへの書き込みには、いくつかの制限があります。詳細は「[23.3.2. WDTCR、WDTRCR、および WDTCSNPR レジスタへの書き込み制御](#)」を参照してください。

オートスタートモードの場合、WDTCR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。OFS0 レジスタの設定は、WDTCR レジスタと同様の設定が可能です。詳細は、「[23.3.8. オプション機能選択レジスタ 0 \(OFS0\) と WDT のレジスタの対応関係](#)」を参照してください。

TOPS[1:0]ビット (タイムアウト期間選択)

TOPS[1:0]ビットはタイムアウト期間 (ダウンカウンタがアンダーフローするまでの期間) を、CKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル／4096 サイクル／8192 サイクル／16384 サイクルから選択します。ダウンカウンタのリフレッシュ後、アンダーフローするまでの時間 (PCLKB サイクル数) は、CKS[3:0]ビットと TOPS[1:0]ビットの組み合わせで決定されます。

表 23.2 に、CKS[3:0]ビットと TOPS[1:0]ビットの設定値、タイムアウト期間、および PCLKB サイクル数の関係を示します。

表 23.2 タイムアウト期間の設定

CKS[3:0]ビット	TOPS[1:0]ビット	クロック分周比	タイムアウト期間 (サイクル数)	PCLKB クロックサイクル
0x1	00b	PCLKB/4	1024	4096
	01b		4096	16384
	10b		8192	32768
	11b		16384	65536
0x4	00b	PCLKB/64	1024	65536
	01b		4096	262144
	10b		8192	524288
	11b		16384	1048576
0xF	00b	PCLKB/128	1024	131072
	01b		4096	524288
	10b		8192	1048576
	11b		16384	2097152
0x6	00b	PCLKB/512	1024	524288
	01b		4096	2097152
	10b		8192	4194304
	11b		16384	8388608
0x7	00b	PCLKB/2048	1024	2097152
	01b		4096	8388608
	10b		8192	16777216
	11b		16384	33554432
0x8	00b	PCLKB/8192	1024	8388608
	01b		4096	33554432
	10b		8192	67108864
	11b		16384	134217728

CKS[3:0]ビット（クロック分周比選択）

CKS[3:0]ビットはダウンカウンタで使用するクロックの分周比を設定します。分周比は、PCLKB クロックの 4 分周／64 分周／128 分周／512 分周／2048 分周／8192 分周から選択できます。TOPS[1:0]ビットの設定と組み合わせて、WDT のカウント期間を PCLKB クロックの 4096～134217728 サイクルから選択できます。

RPES[1:0]ビット（ウィンドウ終了位置選択）

RPES[1:0]ビットはリフレッシュ許可期間を示すウィンドウ終了位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 75%、50%、25%、0%から選択できます。ウィンドウ終了位置には、ウィンドウ開始位置より小さい値を設定してください（ウィンドウ開始位置 > ウィンドウ終了位置）。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効であり、ウィンドウ終了位置は 0%になります。

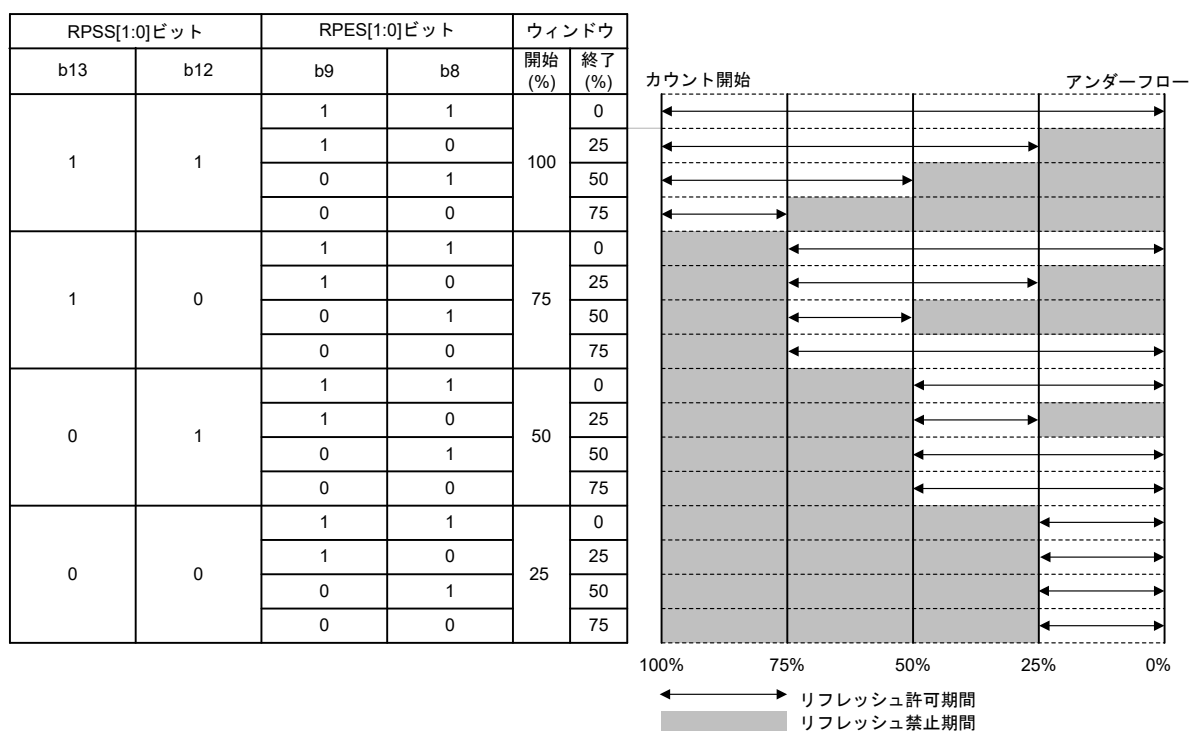
RPSS[1:0]ビット（ウィンドウ開始位置選択）

RPSS[1:0]ビットはリフレッシュ許可期間を示すウィンドウ開始位置を設定します。ウィンドウ開始位置は、タイムアウト期間の 100%、75%、50%、25%から選択できます。ウィンドウ開始位置には、ウィンドウ終了位置より大きい値を設定してください。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効であり、ウィンドウ終了位置は 0%になります。

表 23.3 にウィンドウ開始、終了位置のカウント値を、図 23.2 に RPSS[1:0]、RPES[1:0]、TOPS[1:0]ビットで設定されるリフレッシュ許可期間を示します。

表 23.3 タイムアウト期間とウィンドウ開始／終了カウンタ値の対応表

TOPS[1:0] ビット	タイムアウト期間		ウィンドウ開始／終了カウンタ値			
	サイクル数	カウンタ値	100%	75%	50%	25%
00b	1024	0x03FF	0x03FF	0x02FF	0x01FF	0x00FF
01b	4096	0x0FFF	0x0FFF	0x0BFF	0x07FF	0x03FF
10b	8192	0x1FFF	0x1FFF	0x17FF	0x0FFF	0x07FF
11b	16384	0x3FFF	0x3FFF	0x2FFF	0x1FFF	0x0FFF



注. ウィンドウ終了位置設定 $\geq$ ウィンドウ開始位置設定の場合、ウィンドウ終了位置設定は 0%になります。

図 23.2 RPSS[1:0]および RPES[1:0]ビットとリフレッシュ許可期間

23.2.3 WDTSR : WDT ステータスレジスタ

Base address: WDT = 0x4008_3400

Offset address: 0x04

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field: REFE F UNDF F CNTVAL[13:0]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
13:0	CNTVAL[13:0]	ダウンカウンタ値 ダウンカウンタのカウンタ値	R
14	UNDF	アンダーフローフラグ 0: アンダーフローなし 1: アンダーフロー発生	R/W(注1)

ビット	シンボル	機能	R/W
15	REFEF	リフレッシュエラーフラグ 0: リフレッシュエラーなし 1: リフレッシュエラー発生	R/W(注1)

注 1. フラグをクリアするための 0 書き込みのみ可能です。

WDTSR レジスタは、ダウンカウンタのカウント値表示、およびアンダーフロー、リフレッシュエラーの発生状態を表示するレジスタです。

CNTVAL[13:0]ビット（ダウンカウンタ値）

CNTVAL[13:0]ビットを読み出すことにより、ダウンカウンタの値を確認できます。読み出し値は、実際のカウント値から 1 カウントずれる場合があります。

UNDFE フラグ（アンダーフローフラグ）

UNDFE フラグを読み出すことにより、ダウンカウンタのアンダーフロー発生状態を確認できます。読み出し値が 1 のとき、ダウンカウンタがアンダーフローしたことを示します。値を 0 にするには 0 を書き込んでください。1 の書き込みは無効です。

UNDFE フラグのクリアには、PCLKB クロックの N+1 サイクルを要します。また、アンダーフローの発生から PCLKB クロックの N+1 サイクルの間は、このフラグをクリアする動作は無視されます。N は以下のように、WDTCR.CKS[3:0]ビットで指定されます。

- WDTCR.CKS[3:0] = 0x1 の時、N = 4
- WDTCR.CKS[3:0] = 0x4 の時、N = 64
- WDTCR.CKS[3:0] = 0xF の時、N = 128
- WDTCR.CKS[3:0] = 0x6 の時、N = 512
- WDTCR.CKS[3:0] = 0x7 の時、N = 2048
- WDTCR.CKS[3:0] = 0x8 の時、N = 8192

REFEF フラグ（リフレッシュエラーフラグ）

REFEF フラグを読み出すことにより、リフレッシュエラー発生状態を確認できます。本フラグは禁止期間中にリフレッシュ動作が実行されたことを示します。読み出し値が 1 のとき、リフレッシュエラーが発生したことを示します。値を 0 にするには、0 を書き込んでください。1 の書き込みは無効です。

REFEF フラグのクリアには、PCLKB クロックの N+1 サイクルを要します。また、リフレッシュエラーの発生から PCLKB クロックの N+1 サイクルの間は、このフラグをクリアする動作は無視されます。N は以下のように、WDTCR.CKS[3:0]ビットで指定されます。

- WDTCR.CKS[3:0] = 0x1 の時、N = 4
- WDTCR.CKS[3:0] = 0x4 の時、N = 64
- WDTCR.CKS[3:0] = 0xF の時、N = 128
- WDTCR.CKS[3:0] = 0x6 の時、N = 512
- WDTCR.CKS[3:0] = 0x7 の時、N = 2048
- WDTCR.CKS[3:0] = 0x8 の時、N = 8192

23.2.4 WDTSCR : WDT リセットコントロールレジスタ

Base address: WDT = 0x4008_3400

Offset address: 0x06

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RSTIR QS	—	—	—	—	—	—	—

Value after reset: 1 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	RSTIRQS	WDT 動作選択 0: 割り込み 1: リセット	R/W

WDTRCR レジスタは、WDT のダウンカウンタのアンダーフローによるリセット出力、または割り込み要求出力の制御を行うレジスタです。

WDTRCR レジスタへの書き込みには、いくつかの制限があります。詳細は、「[23.3.2. WDTCR、WDTRCR、および WDTCSNTPR レジスタへの書き込み制御](#)」を参照してください。

オートスタートモードの場合、WDTRCR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。OFS0 レジスタの設定は、WDTRCR レジスタと同様の設定が可能です。詳細は、「[23.3.8. オプション機能選択レジスタ 0 \(OFS0\) と WDT のレジスタの対応関係](#)」を参照してください。

23.2.5 WDTCSNTPR : WDT カウント停止コントロールレジスタ

Base address: WDT = 0x4008_3400

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SLCS TP	—	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	SLCSNTP	スリープモードカウント停止コントロールレジスタ 0: カウント停止を禁止 1: スリープモード遷移時にカウント停止	R/W

WDTCSNTPR レジスタは、スリープモードにおいて、WDT カウンタを停止させるか否かを制御します。

WDTCSNTPR レジスタへの書き込みには、いくつかの制限があります。詳細は、「[23.3.2. WDTCR、WDTRCR、および WDTCSNTPR レジスタへの書き込み制御](#)」を参照してください。

オートスタートモードの場合、WDTCSNTPR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。OFS0 レジスタの設定は、WDTCSNTPR レジスタと同様の設定が可能です。詳細は、「[23.3.8. オプション機能選択レジスタ 0 \(OFS0\) と WDT のレジスタの対応関係](#)」を参照してください。

SLCSNTP ビット (スリープモードカウント停止コントロールレジスタ)

SLCSNTP ビットは、スリープモード遷移時に、カウントを停止させるかどうかを選択します。

23.2.6 オプション機能選択レジスタ 0 (OFS0)

OFS0 レジスタの詳細は、「[23.3.8. オプション機能選択レジスタ 0 \(OFS0\) と WDT のレジスタの対応関係](#)」を参照してください。

23.3 動作説明

23.3.1 スタートモード別のカウント動作

WDT には、次の 2 つのスタートモードがあります。

- オートスタートモード：リセット状態の解除後、自動的にカウント開始
- レジスタスタートモード：レジスタへの書き込みによるリフレッシュでカウント開始

オートスタートモードでは、リセット状態の解除後、フラッシュメモリ内のオプション機能選択レジスタ 0 (OFS0) の設定に従って自動的にカウントを開始します。

レジスタスタートモードでは、リセット状態の解除後、各レジスタを設定してから WDTRR レジスタへの書き込みによるリフレッシュを行うと、カウントを開始します。

オートスタートモードまたはレジスタスタートモードの選択は、OFS0 レジスタの WDT スタートモード選択ビット (OFS0.WDTSTRT) で行います。

オートスタートモードを選択した場合、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSPTPR) の設定値は無効となり、OFS0 レジスタの設定値が有効となります。

レジスタスタートモードを選択した場合、OFS0 レジスタの設定値は無効となり、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSPTPR) の設定値が有効となります。

23.3.1.1 レジスタスタートモード

WDT スタートモード選択ビット (OFS0.WDTSTRT) が 1 の場合、レジスタスタートモードが選択されて、OFS0 レジスタが無効となり、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSPTPR) が有効となります。

リセット状態の解除後、以下の設定をしてください。

- WDTCR レジスタのクロック分周比
- WDTCR レジスタのウィンドウ開始／終了位置
- WDTCR レジスタのタイムアウト期間
- WDTRCR レジスタのリセット出力または割り込み要求出力
- WDTCSPTPR レジスタのスリープモード遷移時のカウンタ停止制御

WDT リフレッシュレジスタ (WDTRR) がダウンカウンタをリフレッシュします。結果として、タイムアウト期間選択ビット (WDTCR.TOPS[1:0]) で設定した値からダウンカウントを開始します。

以降、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、リフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウントが継続する間、WDT はリセット信号またはノンマスクابل割り込み要求／割り込み要求を出力しません。ただし、プログラムの暴走によってダウンカウンタのリフレッシュができないためにダウンカウンタがアンダーフローした場合、またはリフレッシュ許可期間外のカウンタのリフレッシュによってリフレッシュエラーが発生した場合、WDT はリセット信号またはノンマスクابل割り込み要求／割り込み要求 (WDT_NMIUNDF) を出力します。リセット出力または割り込み要求出力は、WDT リセット割り込み要求選択ビット (WDTRCR.RSTIRQS) で選択できます。ノンマスクابل割り込み要求を許可する割り込みは、WDT アンダーフロー／リフレッシュエラー割り込み許可ビット (NMIER.WDTEN) で選択できます。

図 23.3 に、下記の条件下での動作例を示します。

- レジスタスタートモード (OFS0.WDTSTRT = 1)
- WDT リセット割り込み要求選択 (WDTRCR.RSTIRQS = 1)
- ウィンドウ開始位置 75% (WDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (WDTCR.RPES[1:0] = 10b)

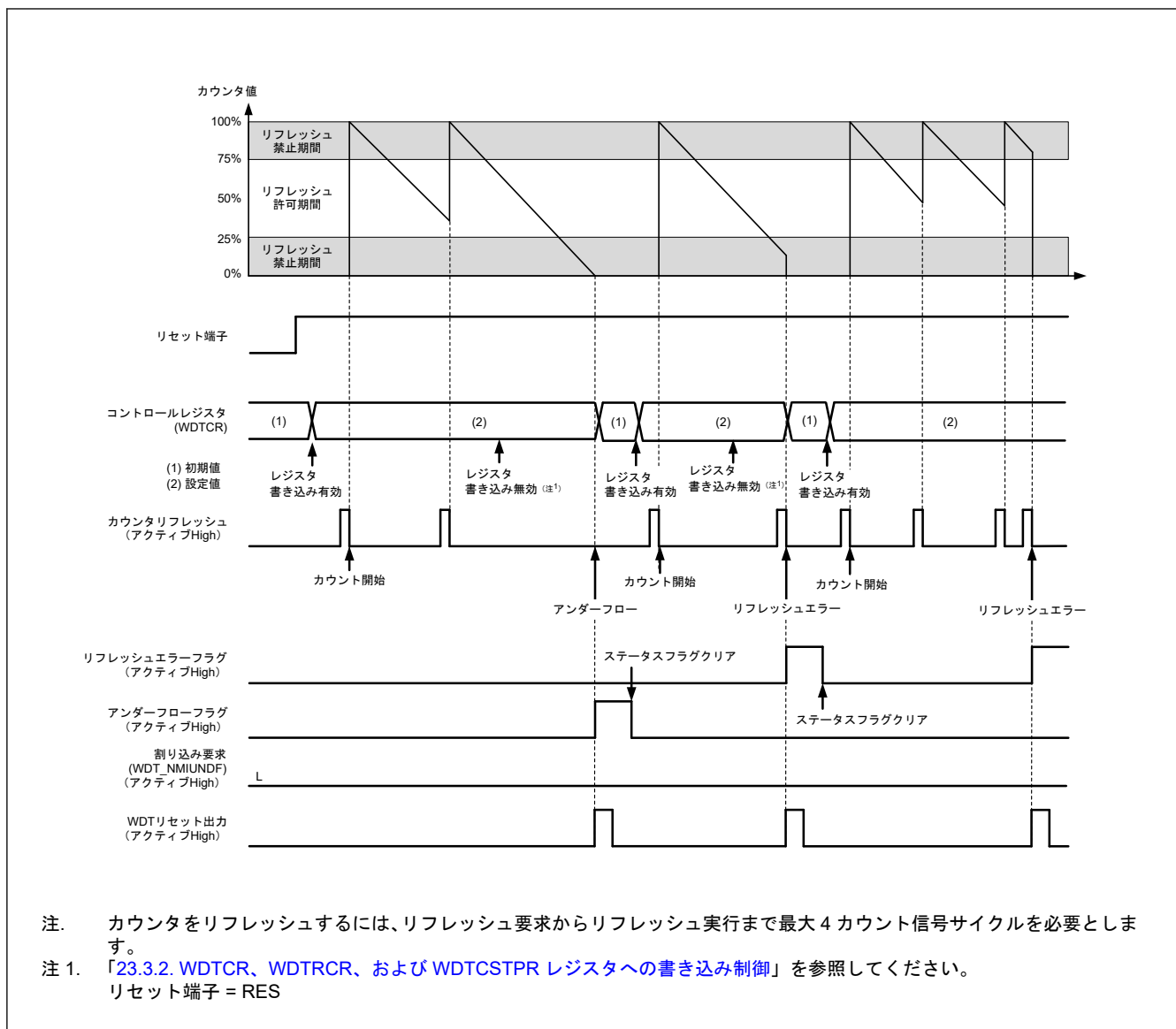


図 23.3 レジスタスタートモードでの動作例

23.3.1.2 オートスタートモード

WDT スタートモード選択ビット (OFS0.WDTSTRT) が 0 の場合、オートスタートモードが選択されます。WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTCR), および WDT カウント停止コントロールレジスタ (WDTCSR) の設定値は無効となり、OFS0 レジスタの設定値が有効となります。

リセット状態の間に、オプション機能選択レジスタ 0 (OFS0) の下記の設定値が WDT のレジスタに設定されます。

- クロック分周比
- ウィンドウ開始／終了位置
- タイムアウト期間
- リセット出力または割り込み要求
- スリープモード遷移時のカウンタ停止制御

リセット状態が解除されると、WDT タイムアウト期間選択ビット (OFS0.WDTPS[1:0]) で設定された値からダウンカウンタが自動でダウンカウントを開始します。

以降、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、カウンタのリフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウンタが継続する間、WDT はリセット信号また

はノンマスカブル割り込み要求／割り込み要求 (WDT_NMIUNDF) を出力しません。ただし、プログラムの暴走によってダウンカウンタのリフレッシュができないためにダウンカウンタがアンダーフローした場合、またはリフレッシュ許可期間外のカウンタのリフレッシュによってリフレッシュエラーが発生した場合、WDT はリセット信号またはノンマスカブル割り込み要求／割り込み要求 (WDT_NMIUNDF) を出力します。

リセット信号またはノンマスカブル割り込み要求／割り込み要求が発生してから 1 サイクルカウント後に、カウンタはタイムアウト期間をリロードします。ダウンカウンタにタイムアウト期間の値が設定され、カウントが再開します。

リセット出力または割り込み要求出力は、WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を設定することにより選択できます。ノンマスカブル割り込み要求または割り込み要求は、WDT アンダーフロー／リフレッシュエラー割り込み許可ビット (NMIER.WDTEN) で選択できます。

図 23.4 に、下記の条件下での動作（ノンマスカブル割り込み）例を示します。

- オートスタートモード (OFS0.WDTSTRT = 0)
- WDT 動作選択：割り込み (OFS0.WDTRSTIRQS = 0)
- ノンマスカブル割り込み：WDT アンダーフロー／リフレッシュエラー割り込み許可 (NMIER.WDTEN = 1)
- ウィンドウ開始位置 75% (OFS0.WDTRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.WDTRPES[1:0] = 10b)

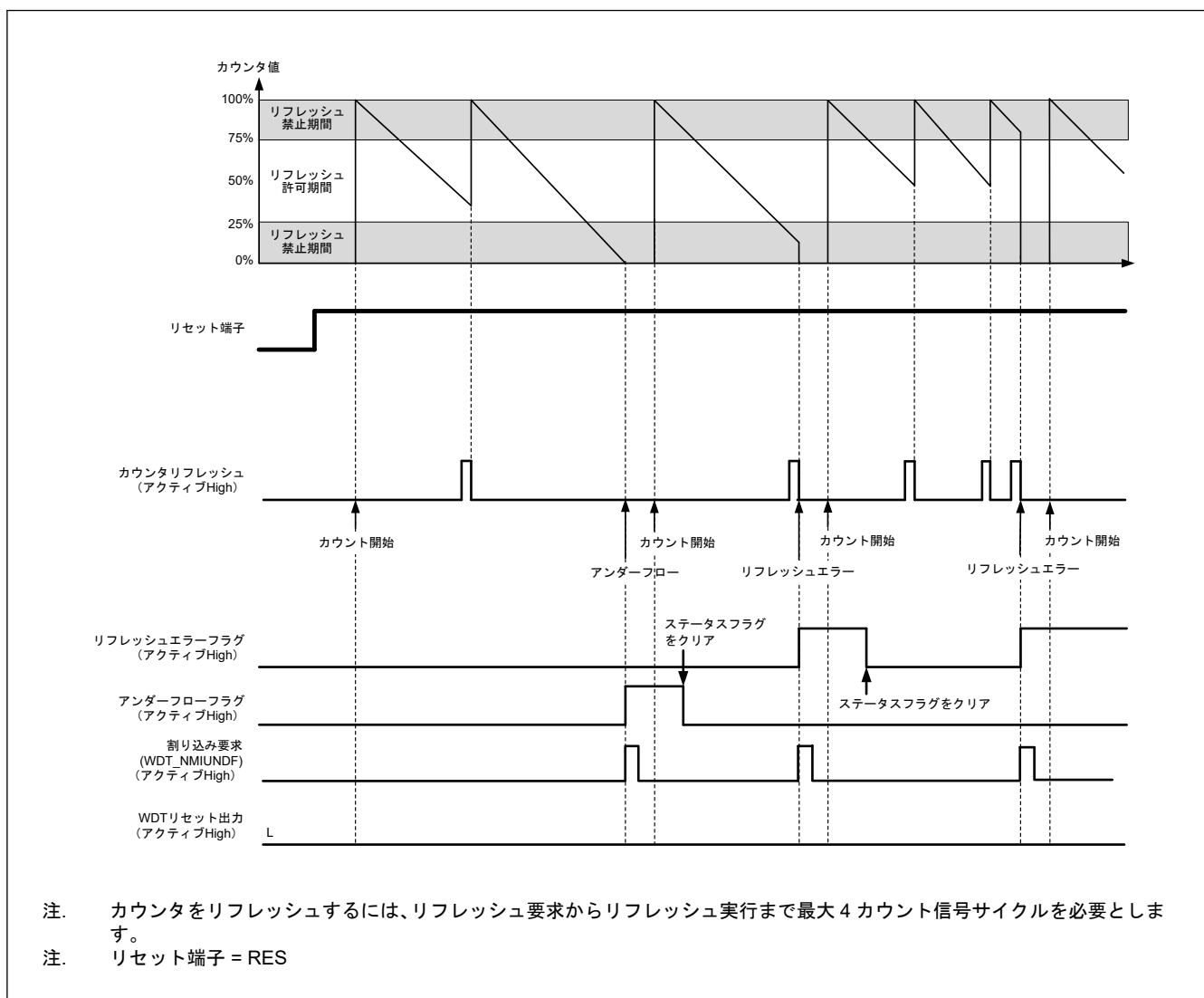


図 23.4 オートスタートモードでの動作例

23.3.2 WDTCR、WDTRCR、および WDTCSR レジスタへの書き込み制御

WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSR) への書き込みは、リセット状態の解除から最初のリフレッシュ動作までの間に 1 回可能です。

リフレッシュ (カウントスタート) 後、あるいは WDTCR、WDTRCR、または WDTCSR レジスタへ書き込み後に、WDT 内部のプロテクト信号が 1 となり、以後 WDTCR、WDTRCR、および WDTCSR レジスタへの書き込みを保護します。この保護動作は、WDT のリセット要因によって解除されます。それ以外のリセット要因では解除されません。

図 23.5 に、WDTCR レジスタへの書き込みに対して生成される制御波形を示します。

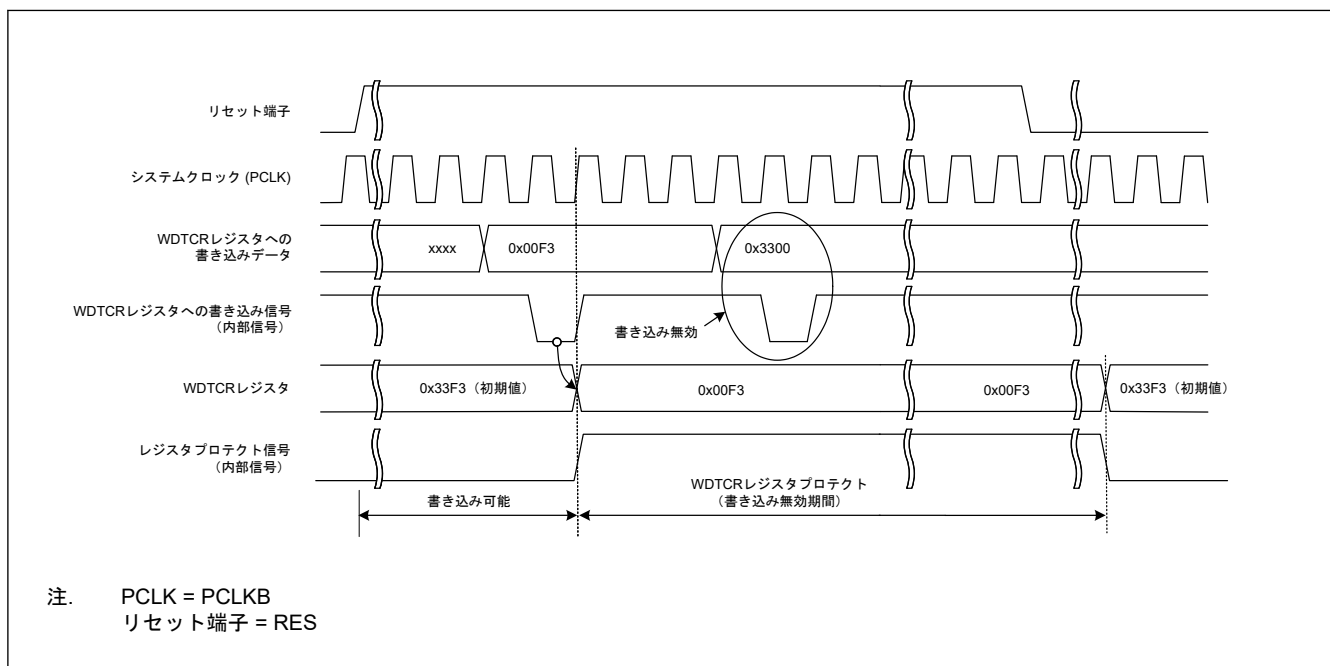


図 23.5 WDTCR レジスタへの書き込みに対して生成される制御波形

23.3.3 リフレッシュ動作

ダウンカウンタをリフレッシュしてカウント動作を開始するには、WDT リフレッシュレジスタ (WDTRR) に 0x00 の書き込みに続けて 0xFF を書き込んでください。0x00 の書き込み後に 0xFF 以外の値を書き込むと、ダウンカウンタはリフレッシュされません。無効な値を書き込んだ場合は、WDTRR レジスタに 0x00 の書き込みに続けて 0xFF を書き込むことにより、リフレッシュが正常に行われます。

WDTRR レジスタへの 0x00 書き込みと 0xFF 書き込みの間に、WDTRR のレジスタ以外へのアクセス、または WDTRR レジスタの読み出しを行った場合も正常なリフレッシュを行います。カウンタをリフレッシュするための書き込みは、リフレッシュ許可期間中に行う必要があります、この判定は 0xFF の書き込み時に行われます。そのため、0x00 の書き込みがリフレッシュ許可期間外であっても、リフレッシュは正常に行われます。

【カウンタのリフレッシュに有効な書き込み順序の例】

- 0x00 → 0xFF
- 0x00 (n-1 回目) → 0x00 (n 回目) → 0xFF
- 0x00 → 別レジスタへのアクセスまたは WDTRR レジスタの読み出し → 0xFF

【カウンタのリフレッシュに無効な書き込み順序の例】

- 0x23 (0x00 以外の値) → 0xFF
- 0x00 → 0x54 (0xFF 以外の値)
- 0x00 → 0xAA (0x00 および 0xFF 以外の値) → 0xFF

ダウンカウンタのリフレッシュには、WDT リフレッシュレジスタ (WDTRR) に 0xFF を書き込んでから、カウンタ信号のサイクル数で最大 4 サイクルを要します。この要件を満たすには、ダウンカウンタのアンダーフローが発生する 4 カウントサイクル前までに、WDTRR レジスタへの 0xFF の書き込みを完了する必要があります。

図 23.6 に、クロック分周比が PCLKB/64 である場合の WDT リフレッシュ動作波形を示します。

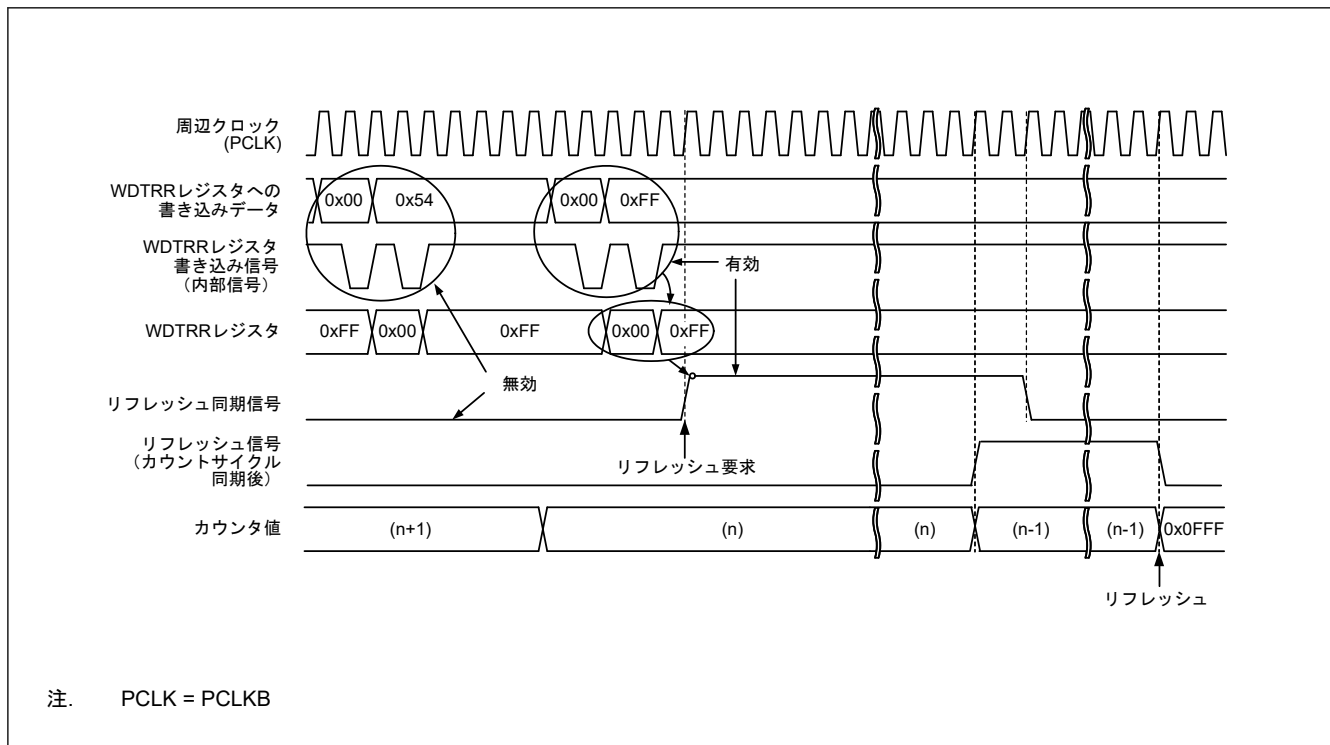


図 23.6 WDT リフレッシュ動作波形 (WDTCR.CKS[3:0] = 0x4、WDTCR.TOPS[1:0] = 01b の場合)

注. リフレッシュ時間を設定する際は、PCLKB と WDTCLK のクロックソースの発振精度を考慮してください。発振精度による誤差の範囲で周期が変動してもリフレッシュできる値を設定してください。

23.3.4 ステータスフラグ

リフレッシュエラーフラグ (WDTSR.REFEF) とアンダーフローフラグ (WDTSR.UNDF) は、WDT の割り込み要求が発生した場合の割り込み要因を保持します。割り込み要求の発生後に、WDTSR.REFEF フラグと WDTSR.UNDF フラグを読み出すことで、割り込み要因の発生状態を確認できます。各フラグは、0 を書くことによってクリアされます。1 の書き込みは無効です。ステータスフラグをそのままにしても、動作に影響を与えません。次に WDT が割り込み要求を出力したとき、フラグがクリアされていなければ、古い割り込み要因はクリアされて、新しい割り込み要因が書き込まれます。なお、各フラグに 0 を書いてから、その値が反映されるまでの時間は、「23.2.3. WDTSR : WDT ステータスレジスタ」を参照してください。

23.3.5 リセット出力

レジスタスタートモードでリセット割り込み要求選択ビット (WDTRCR.RSTIRQS) を 1 にした場合、またはオートスタートモードでオプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を 1 にした場合、ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号を 1 サイクル間出力します。

レジスタスタートモードでは、リセット信号の出力後、ダウンカウンタが初期化され (全ビットが 0 になり)、その状態のまま停止します。リセット状態が解除されて、プログラムが再起動した後は、リフレッシュ動作によってカウンタが設定され、ダウンカウントを再開します。オートスタートモードでは、リセット状態の解除後、自動的にダウンカウントを開始します。

23.3.6 割り込み要因

レジスタスタートモードでリセット割り込み要求選択ビット (WDTRCR.RSTIRQS) を 0 にした場合、またはオートスタートモードでオプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット

(OFS0.WDTRSTIRQS) を 0 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、割り込み (WDT_NMIUNDF) 信号が発生します。この割り込みは、ノンマスカブル割り込みまたは割り込みとして使用可能です。詳細は、「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

表 23.4 WDT の割り込み要因

名称	割り込み要因	CPU への割り込み	DMAC または DTC の起動
WDT_NMIUNDF	- ダウンカウンタのアンダーフロー - リフレッシュエラー	可能	不可能

23.3.7 ダウンカウンタ値の読み出し

WDT は、カウンタ値を WDT ステータスレジスタのダウンカウンタ値ビット (WDTSR.CNTVAL[13:0]) に格納します。これらのビットを確認して、カウンタ値を取得してください。ダウンカウンタの読み出し値は、実際のカウンタから 1 カウントずれる場合があります。

図 23.7 に、クロック分周比が PCLKB/64 である場合の WDT ダウンカウンタ値の読み出し処理を示します。

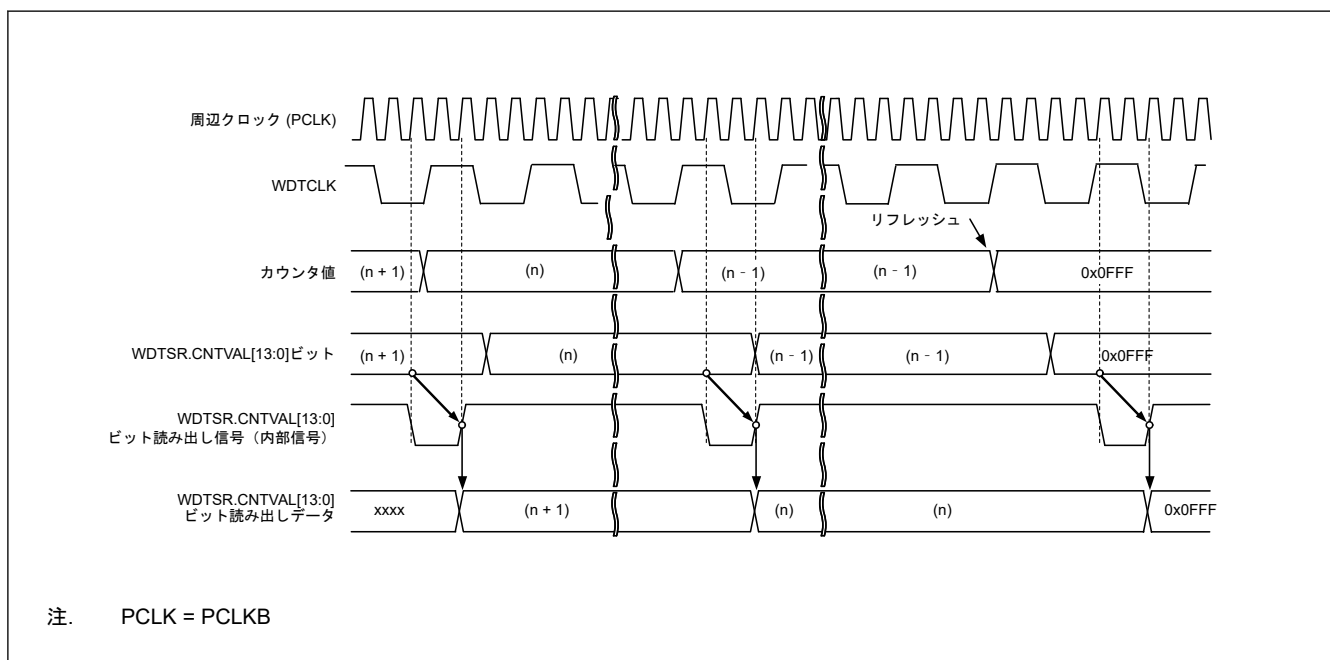


図 23.7 WDT ダウンカウンタ値の読み出し処理 (WDTCR.CKS[3:0] = 0x4、WDTCR.TOPS[1:0] = 01b の場合)

23.3.8 オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係

表 23.5 に、オートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) と、レジスタスタートモードで使用するレジスタの対応関係を示します。オプション機能選択レジスタ 0 (OFS0) の詳細については、「[6.2.1. OFS0 : オプション機能選択レジスタ 0](#)」を参照してください。

表 23.5 オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係 (1/2)

制御対象	機能	OFS0 レジスタ (オートスタートモードで有効) OFS0.WDTSTRT = 0	WDT のレジスタ (レジスタスタートモードで有効) OFS0.WDTSTRT = 1
ダウンカウンタ	タイムアウト期間選択	OFS0.WDTPPS[1:0]	WDTCR.TOPPS[1:0]
	クロック分周比選択	OFS0.WDTCKS[3:0]	WDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.WDTRPSS[1:0]	WDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.WDTRPES[1:0]	WDTCR.RPES[1:0]

表 23.5 オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係 (2/2)

制御対象	機能	OFS0 レジスタ (オートスタートモードで有効) OFS0.WDTSTRT = 0	WDT のレジスタ (レジスタスタートモードで有効) OFS0.WDTSTRT = 1
リセット出力／割り込み要求出力	リセット割り込み要求を選択	OFS0.WDTRSTIRQS	WDTRCR.RSTIRQS
カウント停止	スリープモードカウント停止制御	OFS0.WDTSTPCTL	WDTCSTPR.SLCSTP

23.4 イベントリンクコントローラ (ELC) への出力

ELC が割り込み要求信号をイベント信号として使用する場合、WDT は設定したモジュールに対してリンク動作が可能です。イベント信号はカウンタのアンダーフローまたはリフレッシュエラーによって出力されます。イベント信号は、レジスタスタートモードでは WDTRCR.RSTIRQS ビットの設定とは無関係に、オートスタートモードでは OFS0.WDTRSTIRQS ビットの設定とは無関係に出力されます。リフレッシュエラーフラグ (WDTSR.REFEF) またはアンダーフローフラグ (WDTSR.UNDFE) が 1 の状態で次の割り込み要因が発生した場合も、イベント信号の出力が可能です。詳細は、「[17. イベントリンクコントローラ \(ELC\)](#)」を参照してください。

23.5 使用上の注意事項

23.5.1 ICU イベントリンク設定レジスタ n (IELSRn) の設定に関する制限

WDT リセット割り込み要求選択ビットをクリアした場合 (OFS0.WDTRSTIRQS = 0 または WDTRCR.RSTIRQS = 0) またはイベントリンク動作を許可にした場合 (ELSRn.ELS[8:0] = 0x53)、ICU イベントリンク設定レジスタ n (ICU.IELSRn) に 0x53 を設定することは禁止されています。

24. 独立ウォッチドッグタイマ (IWDT)

24.1 概要

独立ウォッチドッグタイマ (IWDT) は 14 ビットのダウンカウンタで、システム暴走時に MCU をリセットすることができます。IWDT は、MCU をリセットする機能や、カウンタのアンダーフロー発生時に、割り込み／ノンマスカブル割り込みを発生させることが可能です。

IWDT の機能は、WDT とは以下の点で異なります。

- カウントソースとして IWDT 専用クロック (IWDTCLK) を分周したものを使用 (PCLKB の影響を受けない)
- IWDT はレジスタスタートモードを非サポート

表 24.1 に IWDT の仕様を、図 24.1 に IWDT のブロック図を示します。

表 24.1 IWDT の仕様

項目	内容
カウントソース ^(注1)	IWDT 専用クロック (IWDTCLK)
クロック分周比	1 分周／16 分周／32 分周／64 分周／128 分周／256 分周
カウンタ動作	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	● リセット後、自動的にカウント開始 ● セキュアデベロッパーのみが IWDT を開始可能
カウント停止条件	● リセット (ダウンカウンタおよび他のレジスタが初期値に戻る) ● カウンタのアンダーフローまたはリフレッシュエラー発生時 (自動的にカウント再開)
ウィンドウ機能	ウィンドウ開始／終了位置を設定可能 (リフレッシュ許可／禁止期間)
独立ウォッチドッグタイマリセット要因	● ダウンカウンタのアンダーフロー ● リフレッシュ許可期間外でのリフレッシュ動作 (リフレッシュエラー)
ノンマスカブル割り込み／割り込み要因	● ダウンカウンタのアンダーフロー ● リフレッシュ許可期間外でのリフレッシュ動作 (リフレッシュエラー)
カウンタ値の読み出し	IWDTSR レジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能	● ダウンカウンタアンダーフローイベント出力 ● リフレッシュエラーイベント出力
出力信号 (内部信号)	● リセット出力 ● 割り込み要求出力 ● スリープモードカウント停止制御出力
オートスタートモード	以下のトリガに対して設定可能： ● リセット後のクロック分周比の選択 (OFS0.IWDTCKS[3:0]ビット) ● 独立ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDTTOPS[1:0]ビット) ● 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDRPSS[1:0]ビット) ● 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDRPES[1:0]ビット) ● リセット出力または割り込み要求出力の選択 (OFS0.IWDRSTIRQS ビット) ● スリープモード、スヌーズモード、またはソフトウェアスタンバイモード遷移時のダウンカウント停止機能の選択 (OFS0.IWDTSTPCTL ビット)
TrustZone フィルタ	セキュリティ属性を設定可能

注 1. 周辺モジュールクロック (PCLKB) 周波数 $\geq 4 \times$ (カウントクロックソースの分周後の周波数) となるように設定してください。

バスインタフェース部とレジスタ部は PCLKB で動作し、14 ビットカウンタと制御回路は IWDTCLK で動作します。

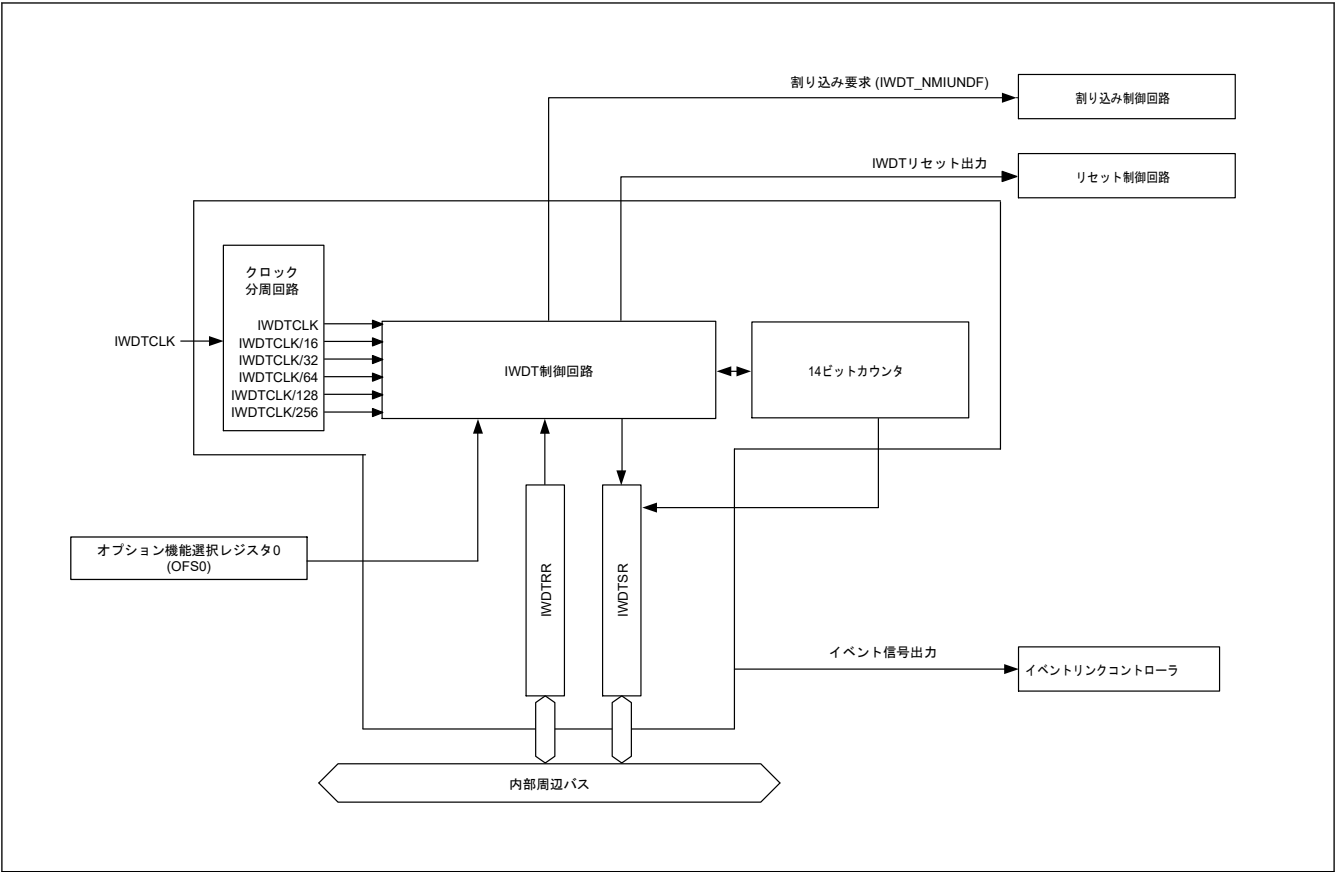


図 24.1 IWDT のブロック図

24.2 レジスタの説明

24.2.1 IWDTRR : IWDT リフレッシュレジスタ

Base address: IWDT = 0x4008_3200

Offset address: 0x00

Bit position: 7 0

Bit field:

Value after reset: 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
7:0	n/a	このレジスタに対して、0x00 の書き込み後、0xFF の書き込みでダウンカウンタがリフレッシュ	R/W

IWDTRR レジスタは、IWDT のダウンカウンタをリフレッシュするためのレジスタです。リフレッシュ許可期間内に、IWDTRR レジスタに 0x00 を書き込んだ後、0xFF を書き込むこと（リフレッシュ動作）により、IWDT のダウンカウンタがリフレッシュされます。ダウンカウンタがリフレッシュされると、オプション機能選択レジスタ 0 (OFS0) の IWDT タイムアウト期間選択ビット (OFS0.IWDTT0PS[1:0]) で設定した値からダウンカウントがスタートします。

読み出し値は、0x00 を書き込んだ場合は 0x00 であり、0x00 以外の値を書き込んだ場合は 0xFF となります。リフレッシュ動作の詳細は、「[24.3.2. リフレッシュ動作](#)」を参照してください。

24.2.2 IWDTSR : IWDT ステータスレジスタ

Base address: IWDT = 0x4008_3200

Offset address: 0x04

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	REFE F	UNDF F	CNTVAL[13:0]													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
13:0	CNTVAL[13:0]	ダウンカウンタ値 ダウンカウンタのカウント値	R
14	UNDF	アンダーフローフラグ 0: アンダーフローなし 1: アンダーフロー発生	R/W(注1)
15	REFE	リフレッシュエラーフラグ 0: リフレッシュエラーなし 1: リフレッシュエラー発生	R/W(注1)

注 1. フラグをクリアするための 0 書き込みのみ可能です。

IWDTSR レジスタは、ダウンカウンタのカウント値表示、およびアンダーフロー、リフレッシュエラーの発生状態を表示するレジスタです。

CNTVAL[13:0]ビット (ダウンカウンタ値)

CNTVAL[13:0]ビットを読み出すことにより、ダウンカウンタの値を確認できます。読み出し値は、実際のカウント値から 1 カウントずれる場合があります。

UNDF フラグ (アンダーフローフラグ)

UNDF フラグを読み出すことにより、ダウンカウンタのアンダーフロー発生状態を確認できます。読み出し値が 1 のとき、ダウンカウンタがアンダーフローしたことを示します。値を 0 にするには、UNDF フラグに 0 を書き込んでください。1 の書き込みは無効です。

UNDF フラグのクリアには、IWDTCLK クロックの N+2 サイクルと PCLKB クロックの 2 サイクルを要します。また、アンダーフローの発生から IWDTCLK クロックの N+2 サイクルの間は、このフラグをクリアする動作は無視されます。N は以下のように、IWDTCKS[3:0]ビットで指定されます。

- OFS0.IWDTCKS[3:0] = 0x0 の時、N = 1
- OFS0.IWDTCKS[3:0] = 0x2 の時、N = 16
- OFS0.IWDTCKS[3:0] = 0x3 の時、N = 32
- OFS0.IWDTCKS[3:0] = 0x4 の時、N = 64
- OFS0.IWDTCKS[3:0] = 0xF の時、N = 128
- OFS0.IWDTCKS[3:0] = 0x5 の時、N = 256

REFE フラグ (リフレッシュエラーフラグ)

REFE フラグを読み出すことにより、リフレッシュエラー発生状態を確認できます。読み出し値が 1 のとき、リフレッシュエラーが発生したことを示します。値を 0 にするには、REFE フラグに 0 を書き込んでください。1 の書き込みは無効です。

REFE フラグのクリアには、IWDTCLK クロックの N+2 サイクルと PCLKB クロックの 2 サイクルを要します。また、リフレッシュエラーの発生から IWDTCLK クロックの N+2 サイクルの間は、このフラグをクリアする動作は無視されます。N は以下のように、IWDTCKS[3:0]ビットで指定されます。

- OFS0.IWDTCKS[3:0] = 0x0 の時、N = 1
- OFS0.IWDTCKS[3:0] = 0x2 の時、N = 16
- OFS0.IWDTCKS[3:0] = 0x3 の時、N = 32

- OFS0.IWDТCKS[3:0] = 0x4 の時、N = 64
- OFS0.IWDТCKS[3:0] = 0xF の時、N = 128
- OFS0.IWDТCKS[3:0] = 0x5 の時、N = 256

24.2.3 OFS0 : オプション機能選択レジスタ 0

オプション機能選択レジスタ 0 (OFS0) の詳細は、「[6.2.1. OFS0 : オプション機能選択レジスタ 0](#)」を参照してください。

IWDТТОPS[1:0]ビット (IWDТ タイムアウト期間選択)

IWDТТОPS[1:0]ビットはタイムアウト期間（ダウンカウンタがアンダーフローするまでの期間）を、IWDТCKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、128 サイクル／512 サイクル／1024 サイクル／2048 サイクルから選択します。

ダウンカウンタのリフレッシュ後、アンダーフローするまでの時間（IWDТCLK サイクル数）は、IWDТCKS[3:0]ビットと IWDТТОPS[1:0]ビットの組み合わせで決定されます。

表 24.2 に、IWDТCKS[3:0]および IWDТТОPS[1:0]ビットの設定値、タイムアウト期間、および IWDТCLK サイクル数の関係を示します。

表 24.2 タイムアウト期間の設定

IWDТCKS[3:0]ビット				IWDТТОPS[1:0]ビット		クロック分周比	タイムアウト期間（サイクル数）	IWDТCLK クロックサイクル数
b7	b6	b5	b4	b3	b2			
0	0	0	0	0	0	IWDТCLK	128	128
				0	1		512	512
				1	0		1024	1024
				1	1		2048	2048
0	0	1	0	0	0	IWDТCLK/16	128	2048
				0	1		512	8192
				1	0		1024	16384
				1	1		2048	32768
0	0	1	1	0	0	IWDТCLK/32	128	4096
				0	1		512	16384
				1	0		1024	32768
				1	1		2048	65536
0	1	0	0	0	0	IWDТCLK/64	128	8192
				0	1		512	32768
				1	0		1024	65536
				1	1		2048	131072
1	1	1	1	0	0	IWDТCLK/128	128	16384
				0	1		512	65536
				1	0		1024	131072
				1	1		2048	262144
0	1	0	1	0	0	IWDТCLK/256	128	32768
				0	1		512	131072
				1	0		1024	262144
				1	1		2048	524288

IWDТCKS[3:0]ビット (IWDТ 専用クロック分周比選択)

IWDТCKS[3:0]ビットはダウンカウンタで使用するクロックの分周比を設定します。分周比は、IWDТ 専用クロック (IWDТCLK) の 1 分周/16 分周/32 分周/64 分周/128 分周/256 分周から選択できます。IWDТTOPS[1:0] ビット設定と組み合わせて、IWDТ のカウント期間を IWDТCLK の 128~524288 サイクルから選択できます。

IWDТRPES[1:0]ビット (IWDТ ウィンドウ終了位置選択)

IWDТRPES[1:0]ビットはリフレッシュ許可期間を示すウィンドウ終了位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 75%、50%、25%、0%から選択できます。ウィンドウ終了位置には、ウィンドウ開始位置より小さい値を設定してください (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効であり、ウィンドウ終了位置は 0%になります。

IWDТRPSS[1:0]ビット (IWDТ ウィンドウ開始位置選択)

IWDТRPSS[1:0]ビットはリフレッシュ許可期間を示すウィンドウ開始位置を設定します。ウィンドウ開始位置は、タイムアウト期間の 100%、75%、50%、25%から選択できます。ウィンドウ開始位置には、ウィンドウ終了位置より大きい値を設定してください。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効であり、ウィンドウ終了位置は 0%になります。

ウィンドウ開始、終了位置のカウント値を表 24.3 に、IWDТRPSS[1:0]、IWDТRPES[1:0]、IWDТTOPS[1:0]ビットで設定されるリフレッシュ許可期間を図 24.2 に示します。

表 24.3 タイムアウト期間とウィンドウ開始/終了カウンタ値の対応表

IWDТTOPS[1:0]ビット		タイムアウト期間		ウィンドウ開始/終了カウンタ値			
b3	b2	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	128	0x007F	0x007F	0x005F	0x003F	0x001F
0	1	512	0x01FF	0x01FF	0x017F	0x00FF	0x007F
1	0	1024	0x03FF	0x03FF	0x02FF	0x01FF	0x00FF
1	1	2048	0x07FF	0x07FF	0x05FF	0x03FF	0x01FF

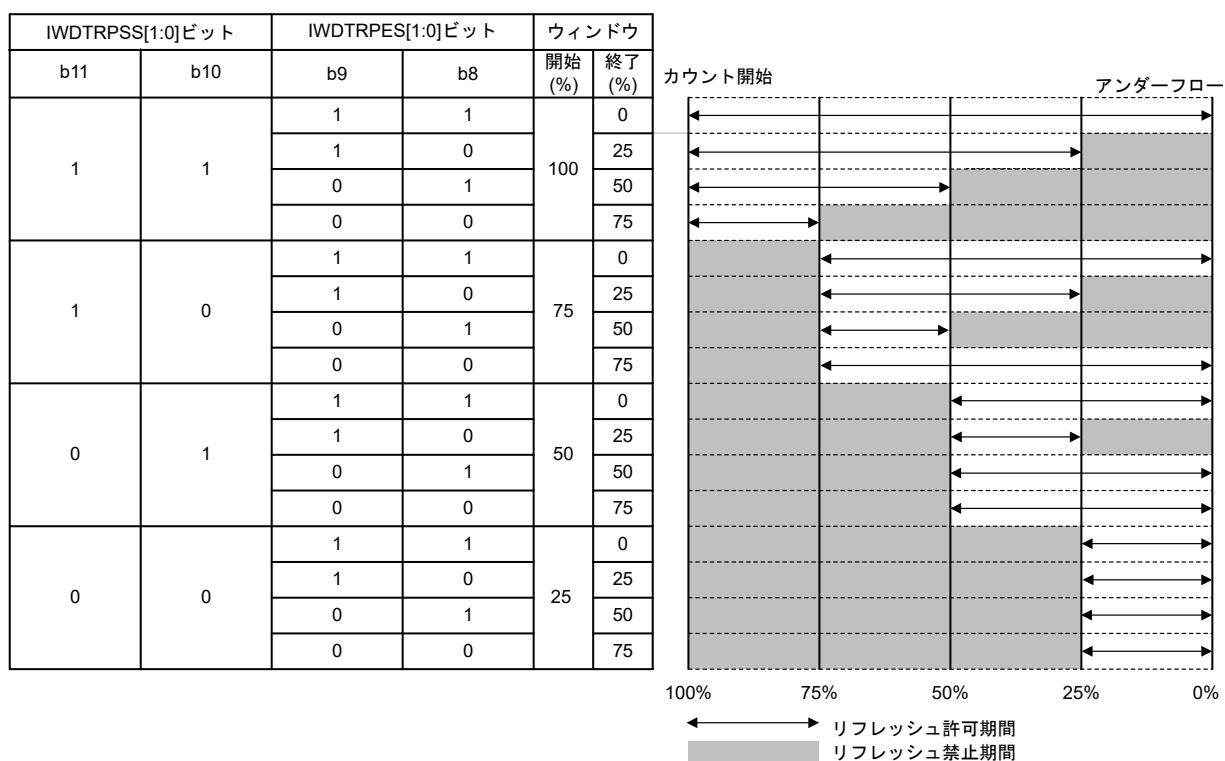


図 24.2 IWDRPSS[1:0]およびIWDRPES[1:0]ビットとリフレッシュ許可期間

IWDRSTIRQS ビット (IWDT リセット割り込み要求選択)

IWDRSTIRQS ビットは、アンダーフローまたはリフレッシュエラー発生時の動作を指定します。1 にすると、リセット出力が選択されます。0 にすると、割り込みが選択されます。

IWDTSTPCTL ビット (IWDT 停止制御)

IWDTSTPCTL ビットは、スリープモード、スヌーズモード、またはソフトウェアスタンバイモードに遷移した時にカウントを停止させるかどうかを選択します。

24.3 動作説明**24.3.1 オートスタートモード**

オプション機能選択レジスタ 0 の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が 0 の場合、オートスタートモードが選択されています。OFS0.IWDTSTRT ビットが 1 の場合、リセット後の IWDT は停止状態です。

リセット状態の間に、オプション機能選択レジスタ 0 (OFS0) の下記の設定値が IWDT のレジスタに設定されます。

- クロック分周比 (OFS0.IWDTCKS[3:0])
- ウィンドウ開始および終了位置 (OFS0.IWDRPSS[1:0]、OFS0.IWDRPES[1:0])
- タイムアウト期間 (OFS0.IWDTTOPS[1:0])
- リセット出力または割り込み要求 (OFS0.IWDRSTIRQS)

リセット状態が解除されると、IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定された値からダウンカウンタが自動でダウンカウントを開始します。

以降、プログラムが正常に動作し続けて、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、リフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウント継続中は、IWDT はリセット信号を出力しません。プログラムの暴走によりダウンカウンタのリフレッシュが行われず、ダウンカ

ウンタのアンダーフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセットを出力するか、もしくはノンмасカブル割り込み要求または割り込み要求 (IWDT_NMIUNDF) を出力します。

リセット信号またはノンмасカブル割り込み要求／割り込み要求が発生してから 1 サイクルカウント後に、カウンタはタイムアウト期間をリロードします。ダウンカウンタにタイムアウト期間の値が設定され、カウントを開始します。リセット出力または割り込み要求出力は、IWDT リセット割り込み要求選択ビット (OFS0.IWDTRSTIRQS) で選択できます。ノンмасカブル割り込み要求を許可する割り込みは、IWDT アンダーフロー／リフレッシュエラー割り込み許可ビット (NMIER.IWDTEN) で選択できます。

図 24.3 に、下記の条件下での動作例（ノンмасカブル割り込み）を示します。

- オートスタートモード (OFS0.IWDTSTRT = 0)
- IWDT 動作選択：割り込み (OFS0.IWDTRSTIRQS = 0)
- ノンмасカブル割り込み：IWDT アンダーフロー／リフレッシュエラー割り込み許可 (NMIER.IWDTEN = 1)
- ウィンドウ開始位置 75% (OFS0.IWDTRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.IWDTRPES[1:0] = 10b)

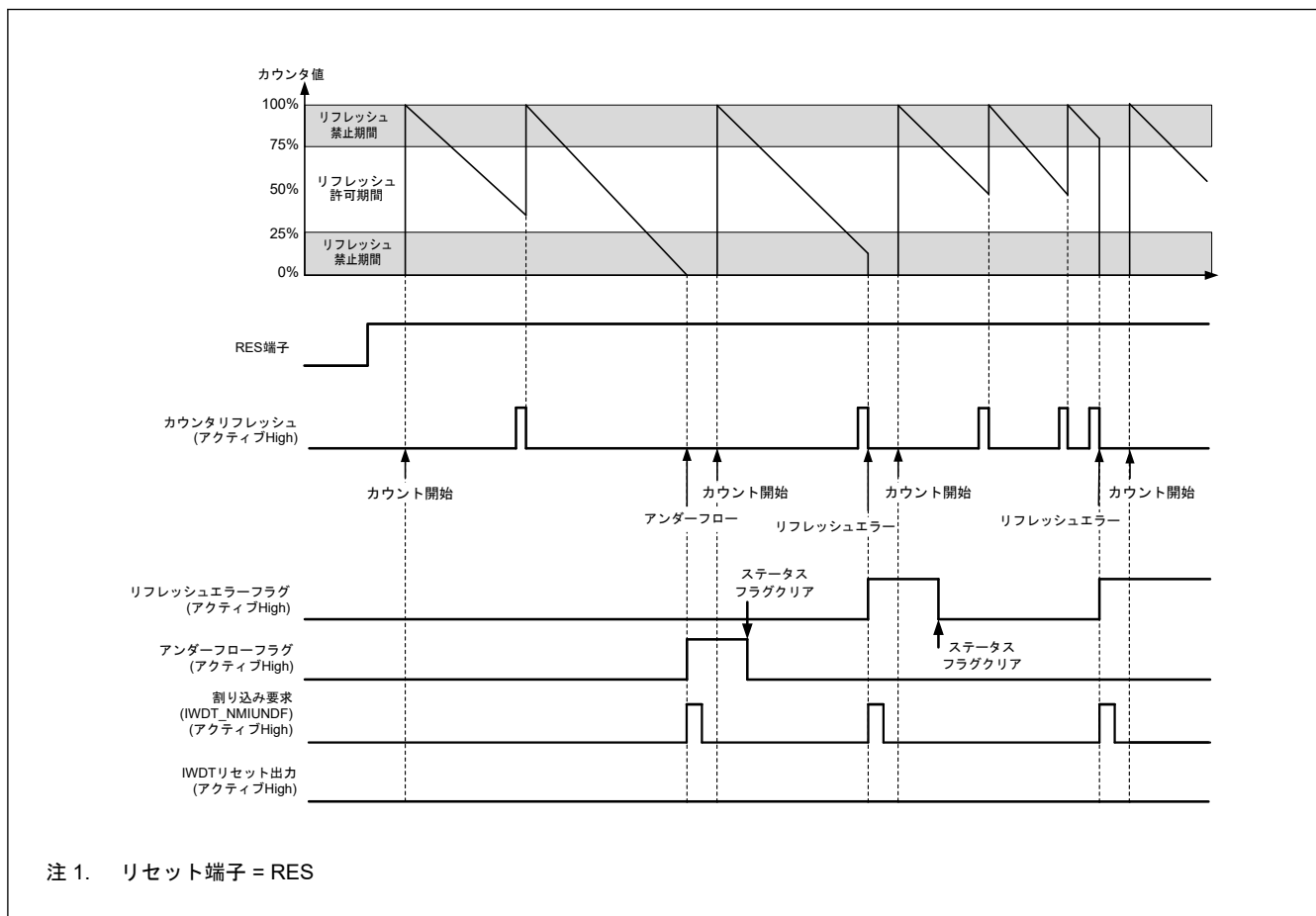


図 24.3 オートスタートモードでの動作例

24.3.2 リフレッシュ動作

ダウンカウンタをリフレッシュしてカウント動作を開始するには、IWDT リフレッシュレジスタ (IWDTRR) に 0x00 の書き込みに続けて 0xFF を書き込んでください。0x00 の書き込み後に 0xFF 以外の値を書き込むと、ダウンカウンタはリフレッシュされません。無効な値を書き込んだ場合は、IWDTRR レジスタに 0x00 の書き込みに続けて 0xFF を書き込むことにより、リフレッシュが正常に行われます。

0x00 (1 回目) → 0x00 (2 回目) の順で書き込みを行った場合でも、その後に 0xFF を書き込めば、0x00 → 0xFF の書き込み順序が成立します。0x00 (n-1 回目) → 0x00 (n 回目) → 0xFF という書き込み順序は有効であり、

正常にリフレッシュを行います。0x00 より前の書き込み値が 0x00 以外であっても、動作に 0x00 → 0xFF という書き込み順序が含まれている限り、正常にリフレッシュを行います。

また、IWDTRR レジスタへの 0x00 の書き込みと 0xFF の書き込みの間に、IWDTRR 以外のレジスタにアクセスするか、または IWDTRR レジスタを読み出しても、正常にリフレッシュを行います。カウンタをリフレッシュするための書き込みは、リフレッシュ許可期間中に行う必要があります。この判定は 0xFF の書き込み時に行われます。そのため、0x00 の書き込みがリフレッシュ許可期間外であっても、リフレッシュは正常に行われます。

【カウンタのリフレッシュに有効な書き込み順序の例】

- 0x00 → 0xFF
- 0x00 (n-1 回目) → 0x00 (n 回目) → 0xFF
- 0x00 → 別レジスタへのアクセスまたは IWDTRR レジスタの読み出し → 0xFF

【カウンタのリフレッシュに無効な書き込み順序の例】

- 0x23 (0x00 以外の値) → 0xFF
- 0x00 → 0x54 (0xFF 以外の値)
- 0x00 → 0xAA (0x00 および 0xFF 以外の値) → 0xFF

カウンタのリフレッシュには、IWDTRR レジスタに 0xFF を書き込んでから、カウント信号のサイクル数で最大 4 サイクルを要します (1 サイクル間の IWDTRR 専用クロック (IWDTRRCLK) 数は、IWDTRR 専用クロック分周比選択ビット (OFS0.IWDTRRCKS[3:0]) の設定値により異なります)。この要件を満たすには、リフレッシュ許可期間の終了またはダウンカウンタのアンダーフローが発生する 4 カウントサイクル前までに、IWDTRR レジスタへの 0xFF 書き込みを完了してください。カウンタの値はカウンタ値ビット (IWDTRR.CNTVAL[13:0]) で確認できます。

【リフレッシュ動作タイミング例】

- ウィンドウ開始位置を 0x1FFF とした場合、IWDTRR レジスタへの 0x00 の書き込みが 0x1FFF より前 (たとえば 0x2002) であっても、IWDTRR.CNTVAL[13:0] ビット値が 0x1FFF になってから IWDTRR へ 0xFF を書き込めば、リフレッシュが発生します。
- ウィンドウ終了位置を 0x1FFF とした場合、IWDTRR レジスタへ 0x00 → 0xFF を書き込んだ直後に IWDTRR.CNTVAL[13:0] ビットから読み出した値が 0x2003 (0x1FFF の 4 カウントサイクル前) 以上であれば、リフレッシュを行います。
- リフレッシュ許可期間が 0x0000 まで続く場合、アンダーフローの直前でリフレッシュが可能です。この場合、IWDTRR レジスタへ 0x00 → 0xFF を書き込んだ直後に IWDTRR.CNTVAL[13:0] ビットから読み出した値が 0x0003 (アンダーフローの 4 カウントサイクル前) 以上であれば、アンダーフローは発生しないでリフレッシュを行います。

図 24.4 に、PCLKB > IWDTRRCLK、かつクロック分周比が IWDTRRCLK の 1 分周である場合の IWDTRR リフレッシュ動作波形を示します。

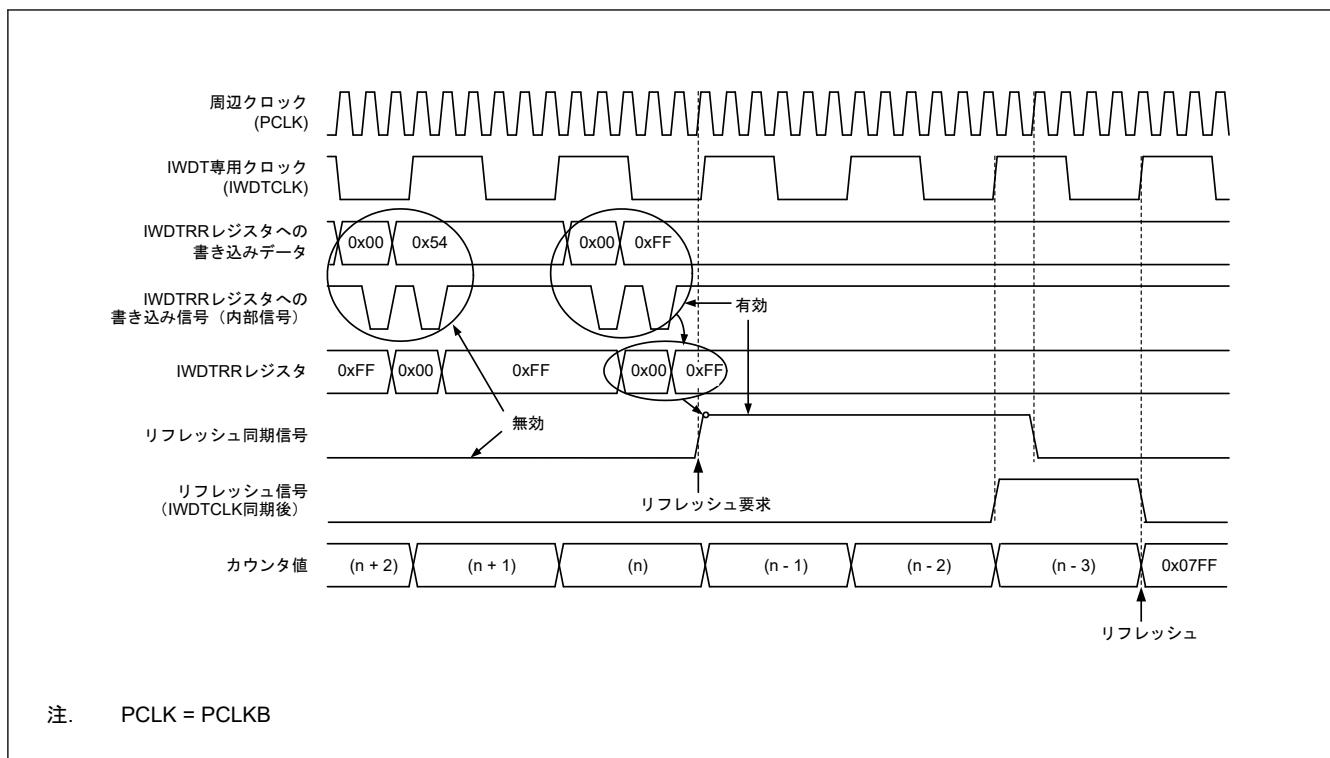


図 24.4 IWDT リフレッシュ動作波形 (OFS0.IWDTCKS[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合)

24.3.3 ステータスフラグ

リフレッシュエラーフラグ (IWDTSR.REFEF) とアンダーフローフラグ (IWDTSR.UNDF) は、IWDT の割り込み要求が発生した場合の割り込み要因を保持します。割り込み要求の発生後に、IWDTSR.REFEF フラグと IWDTSR.UNDF フラグを読み出すことで、割り込み要因の発生状態を確認できます。各フラグは、0 を書くことによってクリアされます。1 の書き込みは無効です。

ステータスフラグをそのままにしても、動作に影響を与えません。次に IWDT が割り込み要求を出力したときに、現在のフラグの値にかかわらず、新しい割り込み要因が書き込まれます。なお、各フラグに 0 を書いてから、その値が反映されるまでの時間は、「24.2.2. IWDTSR : IWDT ステータスレジスタ」を参照してください。

24.3.4 リセット出力

オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) を 1 にした場合、ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号を出力します。リセットが解除された後、自動でダウンカウントを開始します。

24.3.5 割り込み要因

オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) を 0 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、割り込み信号 (IWDT_NMIUNDF) を生成します。この割り込みは、ノンマスカブル割り込みと割り込みの両方に対応しています。詳細は「12. 割り込みコントローラユニット (ICU)」を参照してください。

表 24.4 IWDT の割り込み要因

名称	割り込み要因	CPU への割り込み	DMAC または DTC の起動
IWDT_NMIUNDF	- ダウンカウンタのアンダーフロー - リフレッシュエラー	可能	不可能

24.3.6 ダウンカウンタ値の読み出し

IWDT のカウンタは IWDT 専用クロック (IWDTCLK) で動作しているため、カウンタ値を直接読み出すことはできません。IWDT は、カウンタ値を周辺クロック (PCLKB) に同期させて、IWDT ステータスレジスタのダウンカ

ウンタ値ビット (IWDTSR.CNTVAL[13:0]) へ格納します。これらのビットを確認して、間接的にカウンタ値を取得してください。

カウンタ値の読み出しには PCLKB クロックで数サイクル (最大 4 クロックサイクル) を要するため、読み出されるカウンタ値は、実際のカウンタ値から 1 カウントずれる場合があります。

図 24.5 に、 $PCLKB > IWDTCLK$ 、かつクロック分周比が $IWDTCLK \times 1$ 分周である場合の IWDT カウンタ値の読み出し処理を示します。

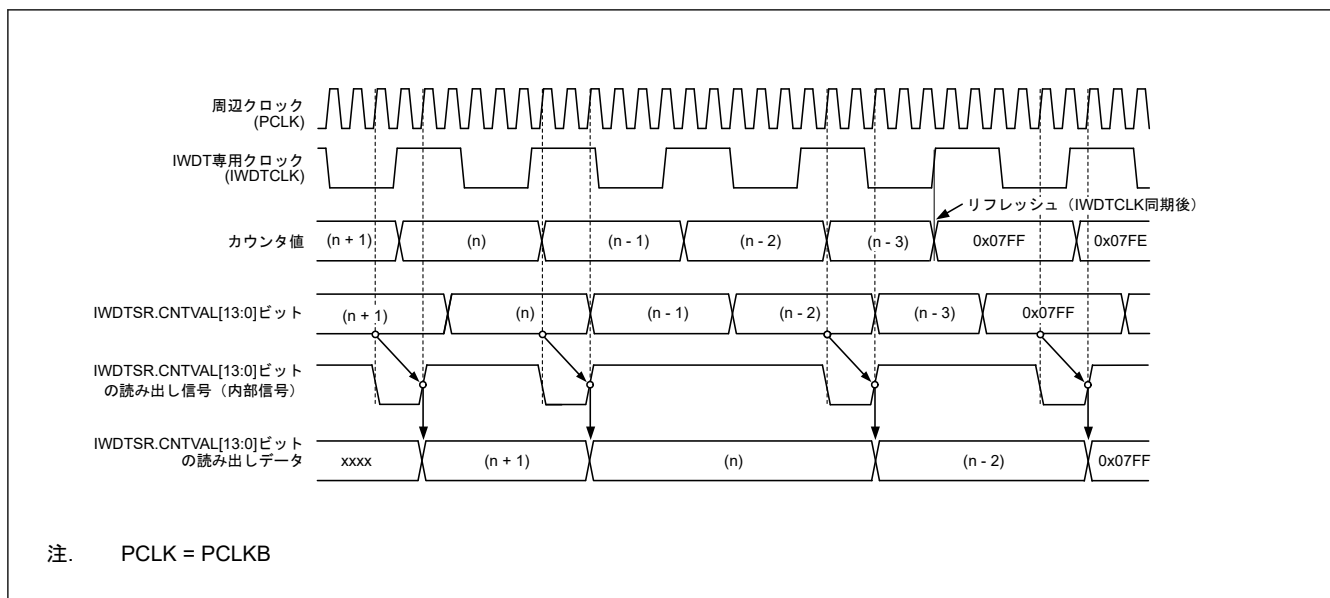


図 24.5 IWDT ダウンカウンタ値の読み出し処理 (OFS0.IWDTCKS[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合)

24.4 イベントリンクコントローラ (ELC) への出力

ELC が割り込み要求信号をイベント信号として使用する場合、IWDT は設定したモジュールに対してリンク動作が可能です。イベント信号はカウンタのアンダーフローまたはリフレッシュエラーによって出力されます。

イベント信号は、OFS0.WDTRSTIRQS ビットの設定とは無関係に出力されます。また、リフレッシュエラーフラグ (IWDTSR.REFEF) またはアンダーフローフラグ (IWDTSR.UNDF) が 1 の状態で次の割り込み要因が発生した場合も、イベント信号の出力が可能です。詳細は、「17. イベントリンクコントローラ (ELC)」を参照してください。

24.5 使用上の注意事項

24.5.1 リフレッシュ動作

リフレッシュ時間を設定する際は、PCLKB と IWDTCLK のクロックの発振精度を考慮してください。発振精度による誤差の範囲で周期が変動してもリフレッシュできる値を設定してください。

24.5.2 クロック分周比の設定に関する制限

周辺モジュールクロック (PCLKB) 周波数 $\geq 4 \times$ (カウンタクロックソースの分周後の周波数) となるように設定してください。

24.5.3 ICU イベントリンク設定レジスタ n (IELSRn) の設定に関する制限

IWDT リセットアサートを許可 (OFS0.IWDRSTIRQS = 0) にした場合、またはイベントリンク動作を許可 (IELSRn.ELS[8:0] = 0x52) にした場合、ICU イベントリンク設定レジスタ n (IELSRn.IELS[8:0]) に 0x52 を設定することは禁止されています。

25. シリアルコミュニケーションインタフェース (SCI)

25.1 概要

シリアルコミュニケーションインタフェース (SCI) × 6 チャンネルには、調歩同期式および同期式のシリアルインタフェースがあります。

- 調歩同期式インタフェース (UART および調歩同期式通信インタフェースアダプタ (ACIA))
- 8 ビットクロック同期式インタフェース
- 簡易 IIC (マスタのみ)
- 簡易 SPI
- スマートカードインタフェース
- マンチェスタインタフェース
- 簡易 LIN

スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。SCI_n (n = 0, 3~5, 9) は FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データ転送速度の個別設定が可能です。

本章に記載している PCLK とは PCLKA を指します。

表 25.1 に SCI の仕様、図 25.1 に SCI のブロック図、表 25.3 に SCI の入出力端子を示します。

表 25.1 SCI の仕様 (1/3)

項目		内容
モジュール数		6 (SCI _n (n = 0, 1, 3~5, 9))
シリアル通信方式		● 調歩同期式 ● クロック同期式 ● 簡易 IIC ● 簡易 SPI ● スマートカードインタフェース ● マンチェスタインタフェース (SCI_n (n = 3, 4)) ● 簡易 LIN (SCI_n (n = 1))
転送速度		内蔵のボーレートジェネレータにより任意のビットレートを設定可能
全二重通信		● 送信部：ダブルバッファによる連続送信が可能 ● 受信部：ダブルバッファによる連続受信が可能
データ転送		LSB ファースト転送または MSB ファースト転送を選択可能
通信端子 (RXD _n , TXD _n) のためのインバータ		各端子 (RXD _n , TXD _n) (SCI _n (n = 0, 1, 3~5, 9)) に選択できるインバータ
割り込み要因		● 送信終了、送信データエンプティ、受信データフル、および受信エラー ● 受信データレディおよびアドレス一致 (SCI1 以外のすべてのチャンネルでサポート) ● スタートコンディション、リスタートコンディション、またはストップコンディションの生成完了 (簡易 IIC モードの場合)
モジュールストップ機能		チャンネルごとにモジュールストップ状態の設定が可能
スヌーズ終了要求		SCI0 アドレス不一致 (SCI0_DCUF)
クロック同期式モード	データ長	8 ビット
	受信エラー検出機能	オーバーランエラー
	クロックソース	内部クロック (マスタモード) または外部クロック (スレーブモード) の選択が可能
	ハードウェアフロー制御	CTS _n _RTS _n 端子を用いた送受信制御が可能
	送信/受信	1 段レジスタまたは 16 段 FIFO のいずれかを選択可能 (SCI _n (n = 0, 3~5, 9) のみ FIFO をサポート)

表 25.1 SCI の仕様 (2/3)

項目	内容
調歩同期式モード	データ長
	7 ビット、8 ビット、または 9 ビット
	送信ストップビット
	1 ビットまたは 2 ビット
	受信サンプリングタイミングの調整
	デフォルトタイミングから前または後に調整可能な受信サンプリングタイミング
	送信タイミングの調整
	レジスタの設定値によって制御される送信波形の調整可能エッジタイミング
	パリティ
	偶数パリティ、奇数パリティ、パリティなし
	受信エラー検出機能
	- パリティエラー - オーバーランエラー - フレーミングエラー
	ハードウェアフロー制御
	CTSn_RTSn 端子を用いた送受信制御が可能
	送信／受信
	1 段レジスタまたは 16 段 FIFO のいずれかを選択可能 (SCIn (n = 0, 3~5, 9) で FIFO をサポート)
スマートカードインタフェースモード	アドレス一致
	受信データとコンペアマッチレジスタの値が一致したとき、割り込み要求／イベント出力の発行が可能 (SCIn (n = 0, 3~5, 9) サポート)
	アドレス不一致 (SCI0 のみ) 受信データ
	受信データとコンペアマッチレジスタ内の値が一致しないとき、スヌーズ終了要求の発行が可能
	スタートビットの検出
	Low 検出または立ち下がリエッジ検出を選択可能
	ブレークの検出
	SPTR レジスタを読み出すことで、フレーミングエラーからのブレークの検出が可能
	クロックソース
	内部クロックまたは外部クロックの選択が可能 GPT からの転送レートクロック入力が可能 (SCIn (n = 1))
マンチェスタモード	倍速モード
	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能
	複数プロセッサ間でシリアル通信が可能
	ノイズ除去
	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
	エラー処理
	受信中にパリティエラーを検出するとエラーシグナルを自動送出 送信中にエラーシグナルを受信するとデータを自動再送信
	データタイプ
	ダイレクトコンベンションとインバースコンベンションをサポート
マンチェスタモード	通信フォーマット
	プレフィスとスタートビットが付加されたマンチェスタコード
	データ長
	7 ビット、8 ビット、または 9 ビット
	送信ストップビット
	1 ビットまたは 2 ビット
	パリティ機能
	偶数パリティ、奇数パリティ、またはパリティなし
	受信エラー検出機能
	パリティエラー、オーバーランエラー、フレーミングエラー、マンチェスタエラー
	ハードウェアフロー制御
	CTSn 端子と RTSn 端子を用いた送信制御が可能
	クロックソース
	内部クロックのみが使用可能
マンチェスタモード	倍速モード
	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能
	複数プロセッサ間のシリアル通信機能
	ノイズ除去
	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
	プレフィスを設定／検出する機能
マンチェスタモード	設定されたプレフィスパターンを出力し検出する
	スタートビットを設定／検出する機能
マンチェスタモード	設定されたスタートビットパターンを出力し検出する
	受信再タイミング機能
	受信信号の各ビットに対してタイミングを補正

表 25.1 SCI の仕様 (3/3)

項目		内容
簡易 IIC モード	通信フォーマット	I ² C バスフォーマット (MSB ファーストのみ)
	動作モード	マスタ (シングルマスタ動作のみ)
	転送速度	最大 400 kbps
	ノイズ除去	SCLn 端子と SDA _n 端子の入力経路にデジタルノイズフィルタを内蔵し、ノイズ除去幅の調整が可能
簡易 SPI モード	データ長	8 ビット
	エラー検出	オーバーランエラー
	クロックソース	内部クロック (マスタモード) または外部クロック (スレーブモード) の選択が可能
	SS _n 入力端子機能	SS _n 端子を High にすることで、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を 4 種類から選択可能
簡易 LIN モード	Start Frame 送信	- Break Field Low width の出力が可能／出力完了割り込み機能あり - バス衝突検出機能あり／検出割り込み機能あり
	Start Frame 受信	- Break Field Low width の検出が可能／検出完了割り込み機能あり - Control Field 0、Control Field 1 のデータ比較／一致割り込み機能あり - Control Field 1 にはプライマリ／セカンダリの 2 種類の比較データを設定可能 - Control Field 1 にプライオリティインタラプトビットを設定可能 - Break Field がない Start Frame にも対応可能 - Control Field 0 がない Start Frame にも対応可能 - ビットレート測定機能あり
	入出力制御機能	- TXDX_n 信号と RXDX_n 信号の極性選択が可能 - RXDX_n 信号にデジタルフィルタ機能を設定可能 - 同じ端子で RXDX_n 信号と TXDX_n 信号を兼用した半二重通信が可能 - RXDX_n 端子受信データサンプリングタイミング選択可能 - 簡易 LIN モード制御部 OFF 時、RXDX_n 受信信号を SCI_n (n = 1) ヘスルー出力可能
	タイマ機能	リロードタイマ機能として使用可能
ビットレートモジュレーション機能		内蔵ボーレートジェネレータの出力補正により誤差の低減が可能
イベントリンク機能		受信エラーまたはエラー信号検出におけるエラーイベント出力 (SCI _n _ERI) (n = 0, 1, 3~5, 9)
		受信データフルイベント出力 (SCI _n _RXI) (n = 0, 1, 3~5, 9)
		送信データエンプティイベント出力 (SCI _n _TXI) (n = 0, 1, 3~5, 9)
		アドレス一致イベント出力 (SCI _n _AM) (n = 0, 3~5, 9)
		送信終了イベント出力 (SCI _n _TEI) (n = 0, 1, 3~5, 9)
その他の機能		AGT 出力 (AGTOA0) を使用した TXD 出力マスク機能 (SCI5)
TrustZone フィルタ		各チャネルに対してセキュリティ属性を設定可能

表 25.2 SCI チャンネルの機能 (1/2)

項目	SCI0, SCI5, SCI9	SCI3, SCI4	SCI1
調歩同期式モード	使用可能	使用可能	使用可能
クロック同期式モード	使用可能	使用可能	使用可能
スマートカードインタフェースモード	使用可能	使用可能	使用可能
簡易 I2C モード	使用可能	使用可能	使用可能
簡易 SPI モード	使用可能	使用可能	使用可能
FIFO モード	使用可能	使用可能	使用不可能
アドレス一致	使用可能	使用可能	使用不可能

表 25.2 SCI チャンネルの機能 (2/2)

項目	SCI0, SCI5, SCI9	SCI3, SCI4	SCI1
マンチェスタモード	使用不可能	使用可能	使用不可能
簡易 LIN モード	使用不可能	使用不可能	使用可能
GPT クロック入力	使用不可能	使用不可能	使用可能

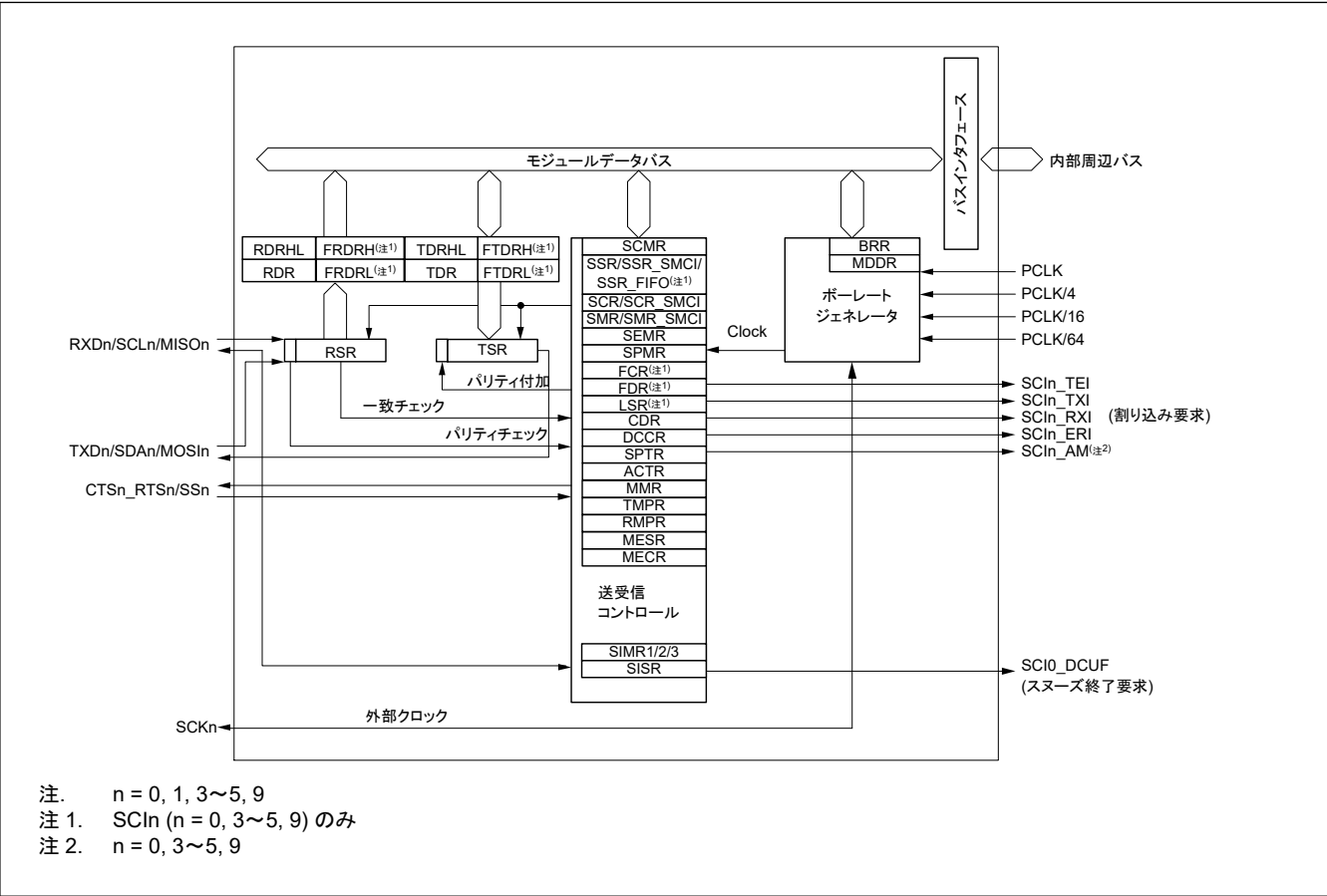


図 25.1 SCI のブロック図

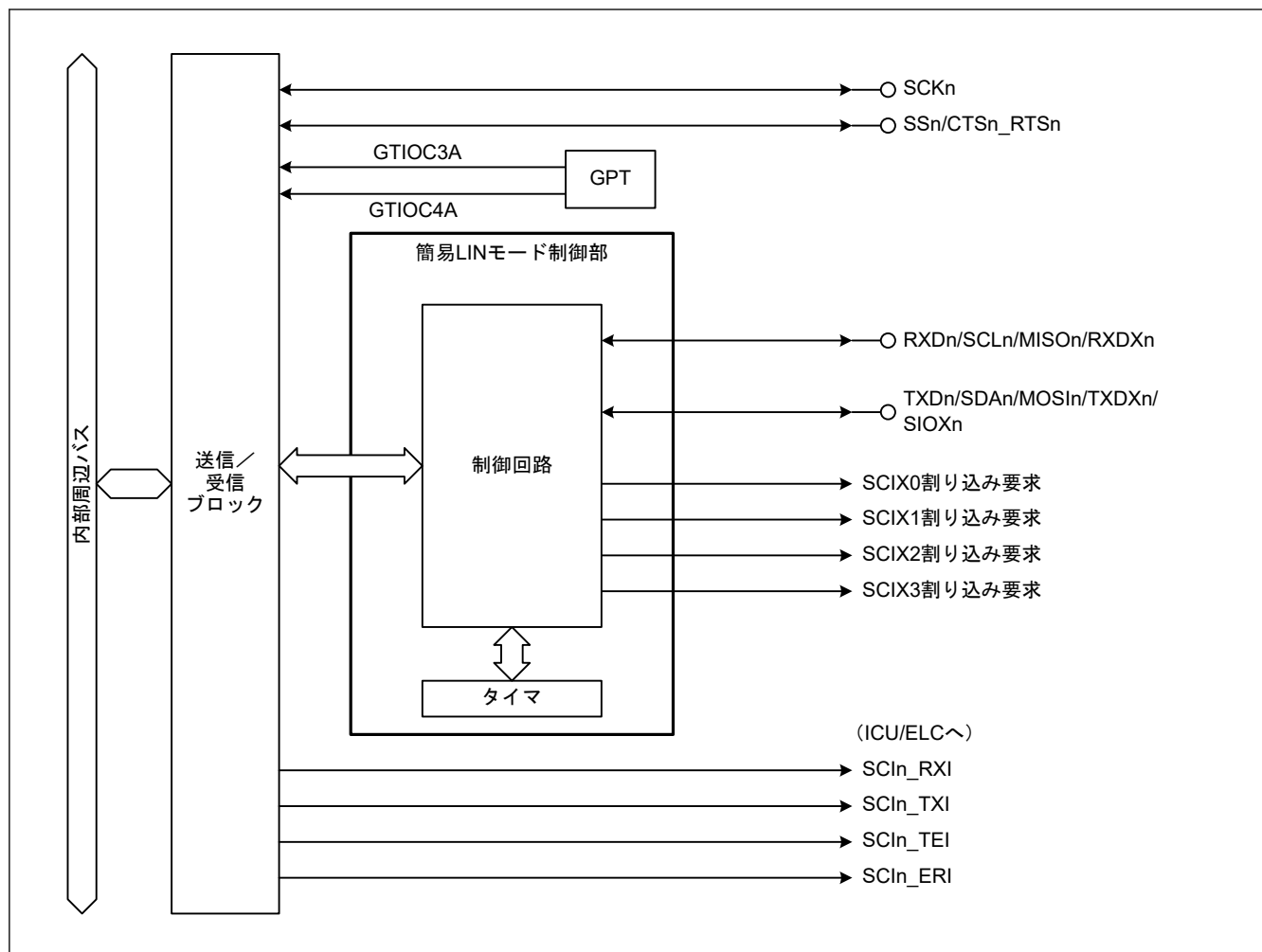


図 25.2 SCIn (n = 1) 簡易 LIN モードコントローラのブロック図

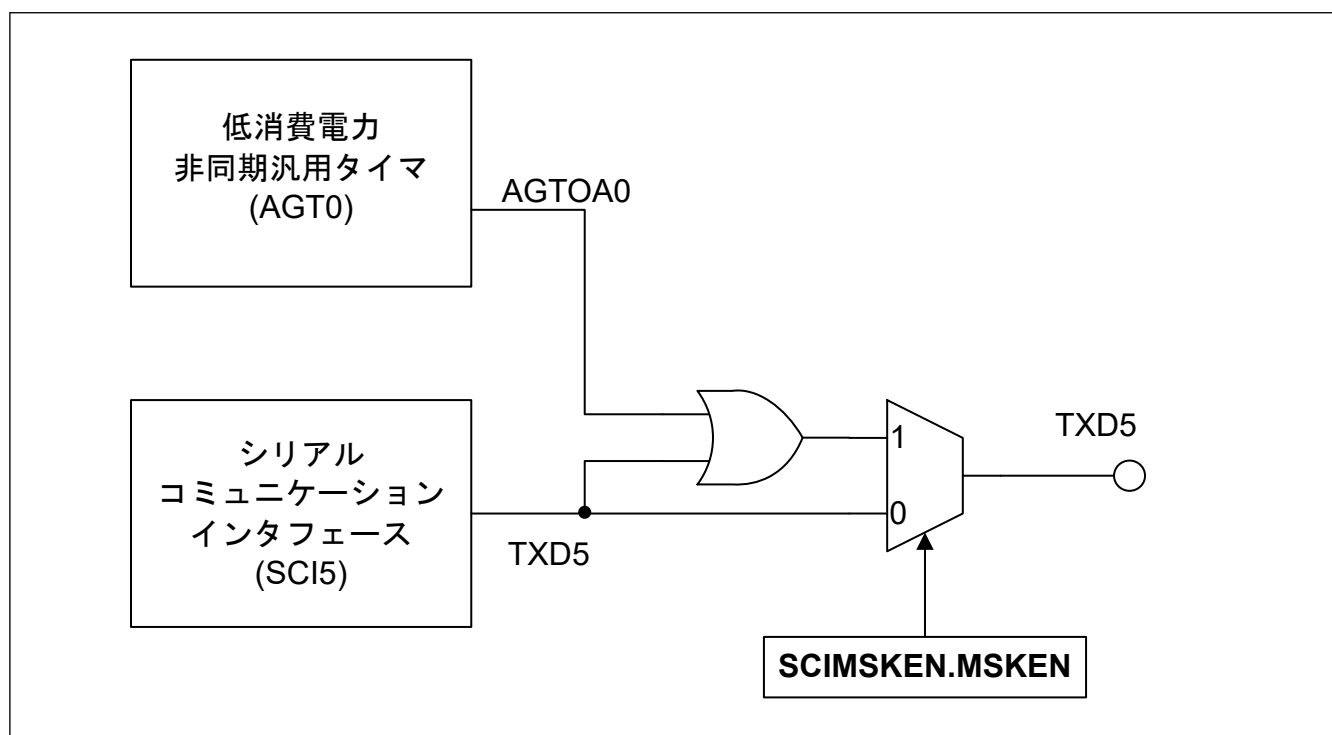


図 25.3 SCI5 TXD 出力マスク機能のブロック図

表 25.3 SCI の入出力端子

機能	端子名	入出力	説明
SCI _n (n = 0, 1, 3 ~ 5, 9)	RXD _n /SCL _n /MISO _n	入出力	SCI _n の受信データ入力 SCI _n の I ² C クロック入出力 SCI _n のスレーブ送信データ入出力
	TXD _n /SDA _n /MOSI _n	入出力	SCI _n の送信データ出力 SCI _n の I ² C データ入出力 SCI _n のマスタ送信データ入出力
	SS _n /CTS _n _RTS _n	入出力	SCI _n のチップセレクト入力、アクティブ Low SCI _n の送受信開始制御用入出力、アクティブ Low
	CTS _n (n = 0, 3~5, 9)	入力	SCI _n の送受信開始制御用入力、アクティブ Low
	RXD _{Xn} (n = 1)	入出力	SCI _n 受信データ入力 (簡易 LIN モード)
	TXD _{Xn} /SIO _{Xn} (n = 1)	入出力	SCI _n 送信データ出力 (簡易 LIN モード) SCI _n 送信データ入出力 (簡易 LIN モード)
	SCK _n	入出力	SCI _n のクロック入出力

25.2 レジスタの説明

25.2.1 RSR : 受信シフトレジスタ

RSR レジスタは、RXD_n 端子から入力されたシリアルデータをパラレルデータに変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR レジスタ、RDRHL レジスタ、または受信 FIFO レジスタへ転送されます。CPU から RSR レジスタに直接アクセスすることはできません。

25.2.2 RDR:受信データレジスタ

Base address: SCI_n = 0x4011_8000 + 0x0100 × n (n = 0, 5, 9)
 SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)
 SCI1 = 0x4011_8100

Offset address: 0x05

Bit position:	7	6	5	4	3	2	1	0
Bit field:								

Value after reset: 0 0 0 0 0 0 0 0 0

RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。1 フレーム分のシリアルデータを受信すると、受信データは RSR レジスタからこのレジスタへ転送され、RSR レジスタは次のデータを受信できるようになります。RSR レジスタと RDR レジスタはダブルバッファとして機能するため、連続受信動作が可能になります。

RDR レジスタの読み出しは、受信データフル割り込み (SCI_n_RXI) 要求が発生したときに 1 回だけ行ってください。

注. 受信データを RDR レジスタから読み出す前に次の 1 フレーム分のデータを受け取ると、オーバーランエラーになります。CPU から RDR レジスタに書き込むことはできません。

25.2.3 RDRHL : 非マンチェスタモード用受信データレジスタ (MMR.MANEN = 0)

Base address: SCI_n = 0x4011_8000 + 0x0100 × n (n = 0, 5, 9)
 SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)
 SCI1 = 0x4011_8100

Offset address: 0x10

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	RDAT[8:0]								

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
8:0	RDAT[8:0]	シリアル受信データ	R
15:9	—	読むと 0 が読めます。	R

RDRHL レジスタは、受信データを格納するための 16 ビットのレジスタです。調歩同期式モードおよび 9 ビットデータ長選択時に使用します。

RDRHL レジスタの下位 8 ビットは RDR レジスタのシャドーレジスタであるため、RDRHL レジスタへアクセスすると RDR レジスタに影響を与えます。7 ビットまたは 8 ビットのデータ長を選択した場合、RDRHL レジスタへのアクセスはしないでください。

1 フレーム分のデータを受信すると、受信データは RSR レジスタから RDR/RDRHL レジスタへ転送されるため、RSR レジスタは次のデータを受信できるようになります。

RSR レジスタと RDRHL レジスタはダブルバッファとして機能するため、連続受信動作が可能になります。RDRHL レジスタの読み出しは、受信データフル割り込み (SCI_{IN}_RXI) 要求が発生した場合にのみ行ってください。受信データを RDRHL から読み出す前に次の 1 フレーム分のデータを受け取ると、オーバーランエラーになります。CPU から RDRHL レジスタに書き込むことはできません。

25.2.4 RDRHL_MAN : マンチェスタモード用受信データレジスタ (MMR.MANEN = 1)

Base address: SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)

Offset address: 0x10

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	RSYN C	—	—	MPB	RDAT[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	RDAT[8:0]	シリアル受信データ シリアル受信データの読み出しが可能です。	R
9	MPB	マルチプロセッサビット シリアル受信データ (RDAT[8:0]) に対応したマルチプロセッサビットの読み出しが可能です。 0: データ送信サイクル 1: ID 送信サイクル	R
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R
12	RSYNC	受信 SYNC データビット マンチェスタモードで MMR.SBSEL = 1 であるときに有効です。それ以外の場合 0 が読み出されます。 0: 受信したスタートビットは DATA SYNC です。 1: 受信したスタートビットは COMMAND SYNC です。	R
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R

RDRHL_MAN レジスタは、受信データを格納するための 16 ビットのレジスタです。調歩同期式モードおよび 9 ビットデータ長選択時に使用します。RDRHL_MAN レジスタの下位 8 ビットは RDR レジスタのシャドーレジスタであるため、RDRHL_MAN レジスタへアクセスすると RDR レジスタに影響を与えます。7 ビットまたは 8 ビットのデータ長を選択した場合、RDRHL_MAN レジスタへアクセスしないでください。

1 フレーム分のデータを受信すると、受信データは RSR レジスタから RDR/RDRHL_MAN レジスタへ転送されるため、RSR レジスタは次のデータを受信できるようになります。

RSR レジスタと RDRHL_MAN レジスタはダブルバッファとして機能するため、連続受信動作が可能になります。

RDRHL_MAN レジスタの読み出しは、受信データフル割り込み (SCI_{IN}_RXI) 要求が発生した場合にのみ行ってください。受信データを RDRHL_MAN レジスタから読み出す前に次の 1 フレーム分のデータを受け取ると、オーバーランエラーになります。

CPU から RDRHL_MAN レジスタに書き込むことはできません。

RDAT[8:0]ビット（シリアル受信データ）

RDAT[8:0]ビットではシリアル受信データの読み出しが可能です。

MPB ビット（マルチプロセッサビット）

MPB ビットは受信フレーム中のマルチプロセッサビットの値を格納します。SCR.RE ビットが 0 のときは変化しません。

RSYNC ビット（受信 SYNC データビット）

このビットは、マンチェスタモードで MMR.SBSEL = 1 であるとき、受信したスタートビットの SYNC のタイプを示します。そのほかの設定では、0 に固定されています。

25.2.5 FRDRHL/FRDRH/FRDRL:受信 FIFO データレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 5, 9)
SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)

Offset address: 0x10(FRDRHL/FRDRH)
0x11(FRDRL)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	RDF	ORER	FER	PER	DR	MPB	RDAT[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	RDAT[8:0]	シリアル受信データ シリアル受信データを格納します。 調歩同期式モード（マルチプロセッサモードを含む）およびクロック同期式モードにおいて、FIFO 選択時にのみ有効です。	R
9	MPB	マルチプロセッサ シリアル受信データ (RDAT[8:0]) に関連するマルチプロセッサビットの値を格納します。 調歩同期式モードにおいて、SMR.MP = 1 および FIFO 選択時にのみ有効です。 0: データ送信サイクル 1: ID 送信サイクル	R
10	DR	受信データレディフラグ このフラグは SSR_FIFO.DR と同じです。 0: 受信中であるか、または正常に受信を完了した後、FRDRH レジスタおよび FRDRL レジスタに受信データが残っていない 1: 正常に受信を完了した後、次の受信データが一定期間来ない	R ^(注1)
11	PER	パリティエラーフラグ 0: FRDRH および FRDRL の第 1 データにパリティエラーの発生なし 1: FRDRH および FRDRL の第 1 データにパリティエラーの発生あり	R
12	FER	フレーミングエラーフラグ 0: FRDRH および FRDRL の第 1 データにフレーミングエラーの発生なし 1: FRDRH および FRDRL の第 1 データにフレーミングエラーの発生あり	R
13	ORER	オーバーランエラーフラグ このフラグは SSR_FIFO.ORER と同じです。 0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R ^(注1)
14	RDF	受信 FIFO データフルフラグ このフラグは SSR_FIFO.RDF と同じです。 0: FRDRH と FRDRL に書き込まれた受信データ量が指定された受信トリガ数より少ない 1: FRDRH と FRDRL に書き込まれた受信データ量が指定された受信トリガ数以上である	R ^(注1)
15	—	読むと 0 が読めます。	R

注 1. 本フラグを読むと、SSR_FIFO レジスタと同じ値が読み出されます。フラグをクリアする場合は、SSR_FIFO レジスタに 0 を書いてください。

FRDRHL レジスタは、8 ビットの FRDRH レジスタと FRDRL レジスタからなる 16 ビットのレジスタです。FRDRH は FRDRHL[15:8] ビットに割り当てられ、FRDRHL と同じアドレスに割り付けられます。FRDRL は FRDRHL[7:0] ビットに割り当てられ、FRDRHL のアドレス+1 のアドレスに割り付けられます。

FRDRH と FRDRL は、ソフトウェアで読み出し可能なシリアル受信データと関連するステータス情報を格納するための 16 段の FIFO レジスタを構成します。このレジスタは、調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。

SCI は、受信データを受信シフトレジスタ (RSR) から FRDRH と FRDRL へ転送し格納することで、1 フレーム分のシリアルデータの受信動作を完了します。16 段が格納されるまで連続受信が実行されます。FRDRH と FRDRL に受信データが存在しない場合、データを読み出すと、その値は不定値です。FRDRH と FRDRL がいっぱいになると、それ以降のシリアル受信データは失われます。CPU から FRDRH レジスタと FRDRL レジスタを読み出すことはできますが、書き込むことはできません。

FRDRH レジスタの RDF、ORER、または DR フラグから 1 を読むことは、SSR_FIFO レジスタの対応するビットを読むことと同等です。FRDRH レジスタの読み出し後、SSR_FIFO レジスタのフラグに 0 を書いてクリアする場合は、クリアするフラグにのみ 0 を書いて、他のフラグには 1 を書いてください。

FRDRH レジスタと FRDRL レジスタの両方を読み出す場合は、FRDRH から FRDRL の順に読んでください。FRDRHL レジスタは 16 ビット単位でアクセスが可能です。

25.2.6 TDR:送信データレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 5, 9)
 SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)
 SCI1 = 0x4011_8100

Offset address: 0x03

Bit position:	7	6	5	4	3	2	1	0
Bit field:								

Value after reset: 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
7:0	n/a	シリアル送信データ	R/W

TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

SCI は、TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データを TSR レジスタへ転送し、送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファとして機能するため、連続送信動作が可能になります。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば、SCI はそれを TSR レジスタへ転送して送信を続けます。

CPU からいつでも TDR レジスタの読み出し／書き込みが可能です。TDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み (SCIn_TXI) 要求が発生するごとに 1 回だけ行ってください。

25.2.7 TDRHL : 非マンチェスタモード用送信データレジスタ (MMR.MANEN = 0)

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 5, 9)
 SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)
 SCI1 = 0x4011_8100

Offset address: 0x0E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TDAT[8:0]								

Value after reset: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
8:0	TDAT[8:0]	シリアル送信データ	R/W
15:9	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

TDRHL レジスタは、送信データを格納するための 16 ビットのレジスタです。調歩同期式モードおよび 9 ビットデータ長選択時に使用します。

TDRHL レジスタの下位 8 ビットは TDR レジスタのシャドーレジスタであるため、TDRHL レジスタへアクセスすると TDR レジスタに影響を与えます。7 ビットまたは 8 ビットのデータ長を選択した場合、TDRHL レジスタへアクセスしないでください。

TSR レジスタに空きが検出されると、TDRHL レジスタに書き込まれている送信データが TSR レジスタへ転送されて、送信が開始されます。

TSR レジスタと TDRHL レジスタはダブルバッファとして機能するため、連続送信動作が可能になります。1 フレーム分のデータを送信したとき、TDRHL レジスタに次の送信データが書き込まれていれば、TSR レジスタへ転送されて、送信動作が継続します。

CPU から TDRHL レジスタの読み出し／書き込みが可能です。TDRHL レジスタのビット[15:9]は 1 に固定されています。これらビットから読むと 1 が読めます。書く場合、1 としてください。

TDRHL レジスタへの送信データの書き込みは、送信データエンプティ割り込み (SCI_{IN}_TXI) 要求が発生したときに 1 回だけ行ってください。

25.2.8 TDRHL_MAN : マンチェスタモード用送信データレジスタ (MMR.MANEN = 1)

Base address: SCIClk = 0x4011_8000 + 0x0100 × k (k = 3, 4)

Offset address: 0x0E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TSYN C	—	—	MPBT	TDAT[8:0]								
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
8:0	TDAT[8:0]	シリアル送信データ シリアル送信データの設定が可能です。	R/W
9	MPBT	マルチプロセッサ通信ビットフラグ 送信フレーム中のマルチプロセッサビットの値 0: データ送信サイクル 1: ID 送信サイクル	R/W
11:10	—	書く場合、1 としてください。	R
12	TSYNC	送信 SYNC データビット マンチェスタモードで MMR.SBSEL = 1 かつ MMR.SYNSEL = 1 であるときに有効です。 0: スタートビットは DATA SYNC として送信されます。 1: スタートビットは COMMAND SYNC として送信されます。	R/W
15:13	—	書く場合、1 としてください。	R

TDRHL_MAN レジスタは、送信データを格納するための 16 ビットのレジスタです。調歩同期式モードおよび 9 ビットデータ長選択時に使用します。

TDRHL_MAN レジスタの下位 8 ビットは TDR レジスタのシャドーレジスタであるため、TDRHL_MAN レジスタへアクセスすると TDR レジスタに影響を与えます。7 ビットまたは 8 ビットのデータ長を選択した場合、TDRHL_MAN レジスタへアクセスしないでください。

TSR レジスタに空きが検出されると、TDRHL_MAN レジスタに書き込まれている送信データが TSR レジスタへ転送されて、送信が開始されます。

TSR レジスタと TDRHL_MAN レジスタはダブルバッファとして機能するため、連続送信動作が可能になります。1 フレーム分のデータを送信したとき、TDRHL_MAN レジスタに次の送信データが書き込まれていれば、TSR レジスタへデータが転送されて、送信動作が継続します。

TDRHL_MAN レジスタへの送信データの書き込みは、送信データエンプティ割り込み (SCI_{IN}_TXI) 要求が発生したときに 1 回だけ行ってください。

TDAT[8:0]ビット（シリアル送信データ）

TDAT[8:0]ビットは、シリアル送信データを設定します。

MPBT ビット（マルチプロセッサ通信ビットフラグ）

MPBT ビットは送信フレームのマルチプロセッサビットを選択します。

TSYNC ビット（送信 SYNC データビット）

マンチェスタモードで、MMR.SBSEL = 1 かつ MMR.SYNSEL = 1 のとき、このビットに従って選択した SYNC のタイプが、送信フレームのスタートビットになります。

25.2.9 FTDRHL/FTDRH/FTDRL : 送信 FIFO データレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 5, 9)
SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)

Offset address: 0x0E(FTDRHL/FTDRH)
0x0F(FTDRL)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MPBT	TDAT[8:0]								
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
8:0	TDAT[8:0]	シリアル送信データ シリアル送信データを設定します。 調歩同期式モード（マルチプロセッサモードを含む）およびクロック同期式モードにおいて、FIFO 選択時にのみ有効です。	W
9	MPBT	マルチプロセッサ転送ビットフラグ 送信フレーム中のマルチプロセッサビットを設定します。調歩同期式モードにおいて、SMR.MP = 1 および FIFO 選択時にのみ有効です。調歩同期式モード（マルチプロセッサモードを含む）、クロック同期式モード、および FIFO 選択に対してのみ有効です。 0: データ送信サイクル 1: ID 送信サイクル	W
15:10	—	書く場合、1 としてください。	W

FTDRHL レジスタは、8 ビットの FTDRH レジスタと FTDRL レジスタからなる 16 ビットのレジスタです。FTDRH は FTDRHL[15:8]ビットに割り当てられ、FTDRHL と同じアドレスに割り付けられます。FTDRL は FTDRHL[7:0]ビットに割り当てられ、FTDRHL のアドレス+1 のアドレスに割り付けられます。

FTDRH と FTDRL は、シリアル送信データとマルチプロセッサ転送ビットを格納するための 16 段の FIFO レジスタを構成します。このレジスタは、調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。

SCI は、送信シフトレジスタ (TSR) に空きを検出すると、FTDRH レジスタと FTDRL レジスタに書き込まれたデータを TSR レジスタに転送し、シリアル送信を開始します。FTDRH と FTDRL に送信データが残っていない状態になるまで、連続シリアル送信が実行されます。FTDRHL レジスタが送信データでフルになると、次のデータを書き込むことはできません。新たに書き込みを試みても、そのデータは無視されます。CPU から FTDRH と FTDRL に書き込むことはできますが、読み出すことはできません。

FTDRH レジスタと FTDRL レジスタの両方に書き込む場合は、FTDRH から FTDRL の順に書いてください。

TDAT[8:0]ビット（シリアル送信データ）

TDAT[8:0]ビットは、シリアル送信データを設定します。調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードにおいて、FIFO 選択時にのみ有効です。

MPBT フラグ (マルチプロセッサ転送ビットフラグ)

MPBT フラグは、送信フレームのマルチプロセッサビットの値を指定します。FCR.FM = 1 の場合、SSR.MPBT ビットは無効です。

25.2.10 TSR : 送信シフトレジスタ

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。シリアルデータ送信を行う場合、SCI は最初、TDR、TDRHL、または送信 FIFO から TSR レジスタへ送信データを自動転送し、その後、そのデータを TXDn 端子に送出します。CPU から TSR レジスタに直接アクセスすることはできません。

25.2.11 SMR:非スマートカードインタフェースモード用シリアルモードレジスタ (SCMR.SMIF = 0)

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 5, 9)
 SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)
 SCi1 = 0x4011_8100

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
1:0	CKS[1:0]	クロック選択 0 0: PCLK クロック (n = 0) ^(注1) 0 1: PCLK/4 クロック (n = 1) ^(注1) 1 0: PCLK/16 クロック (n = 2) ^(注1) 1 1: PCLK/64 クロック (n = 3) ^(注1)	R/W ^(注4)
2	MP	マルチプロセッサモード 調歩同期式モードでのみ有効です。 0: マルチプロセッサ通信機能は無効 1: マルチプロセッサ通信機能は有効	R/W ^(注4)
3	STOP	ストップビット長 調歩同期式モードでのみ有効です。 0: 1 ストップビット 1: 2 ストップビット	R/W ^(注4)
4	PM	パリティモード PE ビット = 1 の場合にのみ有効です。 0: 偶数パリティ 1: 奇数パリティ	R/W ^(注4)
5	PE	パリティ許可 調歩同期式モードでのみ有効です。 0: 送信時パリティビットを付加しない 受信時パリティビットをチェックしない 1: 送信時パリティビットを付加する 受信時パリティビットをチェックする	R/W ^(注4)
6	CHR	キャラクタ長 調歩同期式モードでのみ有効です。 ^(注2) SCMR.CHR1 ビットと組み合わせて送受信キャラクタ長を選択します。 0: SCMR.CHR1 = 0: データ長 9 ビットで送受信 SCMR.CHR1 = 1: データ長 8 ビットで送受信 (初期値) 1: SCMR.CHR1 = 0: データ長 9 ビットで送受信 SCMR.CHR1 = 1: データ長 7 ビットで送受信 ^(注3)	R/W ^(注4)
7	CM	通信モード 0: 調歩同期式モードまたは簡易 IIC モード 1: クロック同期式モードまたは簡易 SPI モード	R/W ^(注4)

注 1. n は BRR レジスタの設定値を 10 進表記で示します。「25.2.20. BRR : ビットレートレジスタ」を参照してください。

注 2. 調歩同期式モード以外では、本ビットの設定は無効であり、データ長は 8 ビット固定です。

注 3. LSB ファースト固定となり、送信モードでは TDR レジスタの MSB (ビット[7]) は送信されません。

注 4. SCR.TE ビットと SCR.RE ビットが 0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

SMR レジスタは、通信フォーマットと、内蔵ボーレートジェネレータのクロックソースを設定するためのレジスタです。

CKS[1:0]ビット (クロック選択)

CKS[1:0]ビットは内蔵ボーレートジェネレータのクロックソースを選択します。これらのビットの設定値とボーレートの関係については、「[25.2.20. BRR : ビットレートレジスタ](#)」を参照してください。

MP ビット (マルチプロセッサモード)

MP ビットは、マルチプロセッサ通信機能を有効または無効にします。マルチプロセッサモードでは、PE および PM ビットの設定は無効です。

STOP ビット (ストップビット長)

STOP ビットは、送信データのストップビット長を選択します。

受信時には、このビットの設定にかかわらず、受信したストップビットの 1 ビット目のみがチェックされます。2 ビット目が 0 の場合は、次の送信フレームのスタートビットと見なされます。

PM ビット (パリティモード)

PM ビットは、送受信時のパリティ (偶数パリティ/奇数パリティ) を選択します。マルチプロセッサモードでは、PM ビットの設定は無効です。

PE ビット (パリティ許可)

PE ビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。マルチプロセッサフォーマットでは、PE ビットの設定にかかわらず、パリティビットの付加、チェックは行いません。

CHR ビット (キャラクタ長)

CHR ビットは、SCMR.CHR1 ビットと組み合わせて、送受信データのデータ長を選択します。調歩同期式モード以外では、データ長は 8 ビット固定です。

CM ビット (通信モード)

CM ビットは、通信モードを以下から選択します。

- 調歩同期式モードまたは簡易 IIC モード
- クロック同期式モードまたは簡易 SPI モード

25.2.12 SMR_SMCI:スマートカードインタフェースモード用シリアルモードレジスタ (SCMR.SMIF = 1)

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 5, 9)
 SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)
 SCI1 = 0x4011_8100

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CKS[1:0]	クロック選択 0 0: PCLK クロック (n = 0) ^(注1) 0 1: PCLK/4 クロック (n = 1) ^(注1) 1 0: PCLK/16 クロック (n = 2) ^(注1) 1 1: PCLK/64 クロック (n = 3) ^(注1)	R/W ^(注2)

ビット	シンボル	機能	R/W
3:2	BCP[1:0]	基本クロックパルス SCMR.BCP2 ビットと組み合わせて基本クロックのサイクル数を選択します。表 25.4 に、SCMR.BCP2 ビットと SMR.BCP[1:0]ビットの組み合わせを示します。	R/W ^(注2)
4	PM	パリティモード PE ビット = 1 の場合にのみ有効です。 0: 偶数パリティ 1: 奇数パリティ	R/W ^(注2)
5	PE	パリティ許可 PE ビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースモードでは、本ビットを 1 にしてください。	R/W ^(注2)
6	BLK	ブロック転送モード 0: 通常モードで動作します 1: ブロック転送モードで動作	R/W ^(注2)
7	GM	GSM モード 0: 通常モードで動作します 1: GSM モードで動作	R/W ^(注2)

注 1. n は BRR レジスタの設定値を 10 進表記で示します。「25.2.20. BRR : ビットレートレジスタ」を参照してください。

注 2. SCR_SMCI.TE ビットと SCR_SMCI.RE ビットが 0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

SMR_SMCI レジスタは、通信フォーマットと、内蔵ボーレートジェネレータのクロックソースを設定するためのレジスタです。

CKS[1:0]ビット (クロック選択)

CKS[1:0]ビットは内蔵ボーレートジェネレータのクロックソースを選択します。これらのビットの設定値とボーレートの関係については、「25.2.20. BRR : ビットレートレジスタ」を参照してください。

BCP[1:0]ビット (基本クロックパルス)

BCP[1:0]ビットは、スマートカードインタフェースモードにおいて、1 ビット転送期間中の基本クロック数を選択します。SCMR.BCP2 ビットと組み合わせて設定します。

詳細は「25.7.4. 受信データサンプリングタイミングと受信マージン」を参照してください。

表 25.4 SCMR.BCP2 ビットと SMR_SMCI.BCP[1:0]ビットの組み合わせ

SCMR.BCP2 ビット	SMR_SMCI.BCP[1:0]ビット	1 ビット転送時間中の基本クロック数 ^(注1)
0	00b ビット	93 クロック (S = 93)
0	01b ビット	128 クロック (S = 128)
0	10b ビット	186 クロック (S = 186)
0	11b ビット	512 クロック (S = 512)
1	00b ビット	32 クロック (S = 32) (初期値)
1	01b ビット	64 クロック (S = 64)
1	10b ビット	372 クロック (S = 372)
1	11b ビット	256 クロック (S = 256)

注 1. S は BRR レジスタの S の値を表します (「25.2.20. BRR : ビットレートレジスタ」を参照してください)。

PM ビット (パリティモード)

PM ビットは、送受信時のパリティモード (偶数パリティ/奇数パリティ) を選択します。スマートカードインタフェースモードにおけるこのビットの使用方法については、「25.7.2. データフォーマット (ブロック転送モード時を除く)」を参照してください。

PE ビット (パリティ許可)

PE ビットを 1 にする。送信時はパリティビットを付加し、受信時はパリティチェックを行います。

BLK ビット (ブロック転送モード)

BLK ビットを 1 にすると、ブロック転送モードで動作します。詳細は「[25.7.3. ブロック転送モード](#)」を参照してください。

GM ビット (GSM モード)

GM ビットを 1 にすると、GSM モードで動作します。GSM モードでは、SSR_SMCI.TEND フラグのセットタイミングが、先頭ビットから 11.0 etu (elementary time unit = 1 ビット転送時間) に繰り上げられ、クロック出力制御が追加されます。詳細は、「[25.7.6. シリアルデータの送信 \(ブロック転送モードを除く\)](#)」および「[25.7.8. クロック出力制御](#)」を参照してください。

25.2.13 SCR:非スマートカードインタフェースモード用シリアルコントロールレジスタ (SCMR.SMIF = 0)

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 5, 9)
 SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)
 SCI1 = 0x4011_8100

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
1:0	CKE[1:0]	クロック許可 0 0: 調歩同期式モードでは、入出力ポートの設定に基づき、SCKn 端子は入出力ポートとして使用できます。 クロック同期モードでは、SCKn 端子はクロック出力端子となります。 0 1: 調歩同期式モードでは、SCKn 端子からビットレートと同じ周波数のクロックを出力します。 クロック同期モードでは、SCKn 端子はクロック出力端子となります。 その他: 調歩同期式モードでは、SEMR.ABCS ビットが 0 の場合、SCKn 端子からビットレートの 16 倍の周波数のクロックを入力してください。SEMR.ABCS ビットが 1 の場合、ビットレートの 8 倍の周波数のクロック信号を入力してください。GPT クロック ^(注4) 使用時は、I/O ポートの設定に従って、SCKn 端子は入出力ポートとして使用できます。 クロック同期モードでは、SCKn 端子はクロック入力端子となります。	R/W ^(注1)
2	TEIE	送信終了割り込み許可 0: SCIn_TEI 割り込み要求を禁止 1: SCIn_TEI 割り込み要求を許可	R/W
3	MPIE	マルチプロセッサ割り込み許可 調歩同期式モードで、SMR.MP ビット = 1 のとき有効です。 0: 通常の受信動作 1: マルチプロセッサビットが 0 のデータを受信した場合、そのデータは読み出されず、SSR レジスタの RDRF、ORER および FER の各ステータスフラグを 1 にすることはできません。また、MESR レジスタのステータスフラグ SYER、PFER、および SBER が無効になります。 マルチプロセッサビットが 1 のデータを受信した場合、MPIE ビットは自動的に 0 にクリアされ、通常の受信動作に戻ります。	R/W ^(注3)
4	RE	受信許可 0: シリアル受信動作を禁止 1: シリアル受信動作を許可	R/W ^(注2)
5	TE	送信許可 0: シリアル送信動作を禁止 1: シリアル送信動作を許可	R/W ^(注2)
6	RIE	受信割り込み許可 0: SCIn_RXI および SCIn_ERI 割り込み要求を禁止 1: SCIn_RXI および SCIn_ERI 割り込み要求を許可	R/W

ビット	シンボル	機能	R/W
7	TIE	送信割り込み許可 0: SCIn_TXI 割り込み要求を禁止 1: SCIn_TXI 割り込み要求を許可	R/W

注 1. TE ビット = 0 かつ RE ビット = 0 の場合にのみ書き込み可能です。

注 2. SMR.CM ビットが 1 のとき、TE ビット = 0 かつ RE ビット = 0 の場合にのみ 1 の書き込みが可能です。TE ビットまたは RE ビットを 1 にした後は、TE ビットと RE ビットには 0 の書き込みのみが可能です。SMR.CM ビットが 0、かつ SIMR1.IICM ビットが 0 の場合、任意のタイミングで書き込みが可能です。

注 3. マルチプロセッサモード (SMR.MP ビット = 1) では、このレジスタの MPIE ビット以外のビットに新しい値を書き込む場合、ビット操作命令を用いたときにリードモディファイライト命令によって MPIE ビットが誤って 1 になってしまうのを防ぐため、ストア命令を用いて MPIE ビットに 0 を書いてください。

注 4. SCI1 では、GPT クロックを選択することができます。

SCR レジスタは、送受信の制御とクロックソース選択を行うためのレジスタです。

CKE[1:0]ビット (クロック許可)

CKE[1:0]ビットは、クロックソースと SCKn 端子機能を選択します。

TEIE ビット (送信終了割り込み許可)

TEIE ビットは、SCIn_TEI 割り込み要求を許可または禁止します。SCIn_TEI 割り込み要求を禁止にするには、TEIE ビットを 0 にしてください。

簡易 IIC モードでは、開始／再開始／停止条件の発行完了時の割り込み (STIn 割り込み) に SCIn_TEI 割り込みが割り当てられます。この場合、TEIE ビットによって STI 割り込み要求を許可または禁止することが可能です。

MPIE ビット (マルチプロセッサ割り込み許可)

MPIE ビットを 1 にすると、マルチプロセッサビットが 0 のデータを受信した場合、そのデータは読み出されず、SSR/SSR_FIFO レジスタの RDRF、ORER、FER、RDF、および DR の各ステータスフラグを 1 にすることはできません。マルチプロセッサビットが 1 のデータを受信した場合、MPIE ビットは自動的に 0 になり、通常の受信動作に戻ります。詳細は、「[25.4. マルチプロセッサ通信機能](#)」を参照してください。

SSR レジスタの MPB ビットが 0 のときは、RSR レジスタから RDR レジスタへ受信データは転送されず、受信エラーも検出されません。また、ORER フラグと FER フラグを 1 にすることはできません。

MPB ビットが 1 であると、MPIE ビットは自動的に 0 に設定され、SCIn_RXI および SCIn_ERI 割り込み要求が許可されます (SCR.RIE ビットが 1 の場合)。また、ORER フラグと FER フラグを 1 に設定できます。

マルチプロセッサ通信機能を使用しない場合、MPIE ビットを 0 にしてください。

RE ビット (受信許可)

RE ビットは、シリアル受信動作を許可または禁止します。RE ビットを 1 にすると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力を検出することによって、シリアル受信を開始します。RE ビットを 1 にする前に、SMR レジスタに受信フォーマットを設定してください。

非 FIFO 動作では、RE ビットを 0 にして受信動作を停止させても、SSR レジスタの RDRF、ORER、FER、および PER の各フラグは影響を受けず、以前の値が保持されます。

FIFO 動作選択時は、RE ビットを 0 にして受信動作を停止させても、SSR_FIFO レジスタの RDF、ORER、FER、PER、および DR の各フラグは影響を受けず、以前の値が保持されます。

TE ビット (送信許可)

TE ビットはシリアル送信動作を許可または禁止します。

TE ビットを 1 にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。TE ビットを 1 にする前に、SMR レジスタに送信フォーマットを設定してください。

RIE ビット (受信割り込み許可)

RIE ビットは、SCIn_RXI および SCIn_ERI 割り込み要求を許可または禁止します。

RIE ビットを 0 にすると、SCIn_RXI および SCIn_ERI 割り込み要求が禁止されます。

SCIn_ERI 割り込み要求は、SSR/SSR_FIFO レジスタの ORER、FER、または PER フラグから 1 を読み出した後に 0 にするか、または RIE ビットを 0 にすることによって、解除できます。

TIE ビット (送信割り込み許可)

TIE ビットは SCIn_TXI 割り込み要求を許可または禁止します。TIE ビットを 0 にすると、SCIn_TXI 割り込み要求が禁止されます。

注. FIFO モードで TIE ビット値を 0 から 1 に切り替えるには、TIE ビットと TE ビットを同時に 1 に設定するか、TE = 1 のときに TIE ビットを 1 に設定します。FIFO モードで TE = 0 の場合、TIE ビットを 1 に設定することは禁止されています。

25.2.14 SCR_SMCI:スマートカードインタフェースモード用シリアルコントロールレジスタ (SCMR.SMIF = 1)

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 5, 9)
 SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)
 SCI1 = 0x4011_8100

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CKE[1:0]	クロック許可 0 0: SMR_SMCI.GM = 0 の場合: 出力禁止 SCKn 端子は、入出力ポートの設定でセットアップされている場合は入出力ポートとして使用できます。 SMR_SMCI.GM = 1 の場合: 出力を Low に固定 0 1: SMR_SMCI.GM = 0 の場合: 出力クロック SMR_SMCI.GM = 1 の場合: 出力クロック 1 0: SMR_SMCI.GM = 0 の場合: 設定禁止 SMR_SMCI.GM = 1 の場合: 出力を High に固定 1 1: SMR_SMCI.GM = 0 の場合: 設定禁止 SMR_SMCI.GM = 1 の場合: 出力クロック	R/W(注1)
2	TEIE	送信終了割り込み許可 スマートカードインタフェースモードでは、このビットを 0 にしてください。	R/W
3	MPIE	マルチプロセッサ割り込み許可 スマートカードインタフェースモードでは、本ビットを 0 にしてください。	R/W
4	RE	受信許可 0: シリアル受信動作を禁止 1: シリアル受信動作を許可	R/W(注2)
5	TE	送信許可 0: シリアル送信動作を禁止 1: シリアル送信動作を許可	R/W(注2)
6	RIE	レシーブインタラプト許可 0: SCIn_RXI および SCIn_ERI 割り込み要求を禁止 1: SCIn_RXI および SCIn_ERI 割り込み要求を許可	R/W
7	TIE	送信割り込み許可 0: SCIn_TXI 割り込み要求を禁止 1: SCIn_TXI 割り込み要求を許可	R/W

注 1. TE ビット = 0 かつ RE ビット = 0 の場合にのみ書き込み可能です。

注 2. TE ビット = 0 かつ RE ビット = 0 の場合にのみ、1 の書き込みが可能です。TE ビットまたは RE ビットを 1 にした後は、TE ビットと RE ビットには 0 のみ書き込み可能です。

SCR_SMCI レジスタは、送受信制御、割り込み制御、および送受信のクロックソース選択を行うためのレジスタです。

各割り込み要求については、「[25.12. 割り込み要因](#)」を参照してください。

CKE[1:0]ビット（クロック許可）

CKE[1:0]ビットは SCK_n 端子からのクロック出力を制御します。GSM モードでは、クロック出力を動的に切り替えることが可能です。詳細は、「[25.7.8. クロック出力制御](#)」を参照してください。

TEIE ビット（送信終了割り込み許可）

スマートカードインタフェースモードでは、TEIE ビットを 0 にしてください。

MPIE ビット（マルチプロセッサ割り込み許可）

スマートカードインタフェースモードでは、MPIE ビットを 0 にしてください。

RE ビット（受信許可）

RE ビットはシリアル受信動作を許可または禁止します。RE ビットを 1 にすると、スタートビットを検出することでシリアル受信を開始します。RE ビットを 1 にする前に、SMR_SMCI レジスタに受信フォーマットを設定してください。

RE ビットを 0 にして受信動作を停止しても、SSR_SMCI レジスタの ORER、FER、および PER の各フラグは影響を受けず、以前の値を保持します。

TE ビット（送信許可）

TE ビットはシリアル送信動作を許可または禁止します。TE ビットを 1 にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。TE ビットを 1 にする前に、SMR_SMCI レジスタに送信フォーマットを設定してください。

RIE ビット（レシーブインタラプト許可）

RIE ビットは SCIn_RXI および SCIn_ERI 割り込み要求を許可または禁止します。

RIE ビットを 0 にすると、SCIn_RXI および SCIn_ERI 割り込み要求が禁止されます。

SCIn_ERI 割り込み要求の解除は、SSR_SMCI レジスタの ORER、FER、または PER フラグから 1 を読み出した後にフラグを 0 にするか、あるいは RIE ビットを 0 にすることで行うことができます。

TIE ビット（送信割り込み許可）

TIE ビットは SCIn_TXI 割り込み要求を許可または禁止します。TIE ビットを 0 にすると、SCIn_TXI 割り込み要求が禁止されます。

25.2.15 SSR：非スマートカードインタフェースおよび非 FIFO モード用シリアルステータスレジスタ（SCMR.SMIF = 0、FCR.FM = 0、および MMR.MANEN = 0）

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 5, 9)
 SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)
 SC11 = 0x4011_8100

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
Value after reset:	1	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
0	MPBT	マルチプロセッサビット転送 送信フレーム中のマルチプロセッサビットの値を設定します。 0: データ送信サイクル 1: ID 送信サイクル	R/W
1	MPB	マルチプロセッサ 受信フレーム中のマルチプロセッサビットの値 0: データ送信サイクル 1: ID 送信サイクル	R

ビット	シンボル	機能	R/W
2	TEND	送信終了フラグ 0: キャラクタを送信中 1: キャラクタを送信終了	R
3	PER	パリティエラーフラグ 0: パリティエラーの発生なし 1: パリティエラーの発生あり	R(/W) (注1)
4	FER	フレーミングエラーフラグ 0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R(/W) (注1)
5	ORER	オーバーランエラーフラグ 0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R(/W) (注1)
6	RDRF	受信データフルフラグ 0: RDR レジスタに受信データなし 1: RDR レジスタに受信データあり	R(/W) (注1)
7	TDRE	送信データエンプティフラグ 0: TDR レジスタに送信データあり 1: TDR レジスタに送信データなし	R(/W) (注1)

注 1. フラグをクリアするため、1 を読んだ後に 0 を書き込むことのみ可能です。

SSR レジスタは、SCI ステータスフラグと送受信マルチプロセッサビットを設定するためのレジスタです。

MPBT ビット (マルチプロセッサビット転送)

MPBT ビットは、送信フレームのマルチプロセッサビットの値を設定します。

MPB ビット (マルチプロセッサ)

MPB ビットは受信フレーム中のマルチプロセッサビットの値を格納します。SCR.RE ビットが 0 のときは変化しません。

TEND フラグ (送信終了フラグ)

TEND フラグは、送信が終了したことを示します。

[1 になる条件]

- SCR.TE ビットが 0 (シリアル送信動作を禁止)、かつ FCR.FM ビットが 0 (非 FIFO 選択時) のとき。SCR.TE ビットが 1 のときは、TEND フラグは影響を受けず、1 の値を保持します。
- 送信キャラクタの末尾ビットの送信時、TDR レジスタが更新されないとき

[0 になる条件]

- SCR.TE ビットが 1 の状態で、TDR レジスタに送信データを書いたとき
- SCR.TE ビットが 1 の状態で、TDRE = 1 を読んだ後、TDRE に 0 を書いたとき

PER フラグ (パリティエラーフラグ)

PER フラグは調歩同期式モードでの受信時に、パリティエラーが発生して異常終了したことを示します。

[1 になる条件]

- 調歩同期式モードでの受信時に、アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、パリティエラーが検出されたとき
パリティエラーが発生した場合、受信データは RDR レジスタへ転送されますが、SCI_n RXI 割り込み要求は発生しません。PER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- PER = 1 を読んだ後、PER = 0 を書いたとき。PER フラグに 0 を書いた後は、PER フラグを読み出して、実際に 0 になっていることを確認してください。

SCR.RE ビットを 0 (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず、以前の値を保持します。

FER フラグ (フレーミングエラーフラグ)

FER フラグは、調歩同期式モードで、受信中にフレーミングエラーが発生して異常終了したことを示します。

[1 になる条件]

- 調歩同期式モードでの受信時に、アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、ストップビットとして 0 がサンプリングされたとき
2 ストップビットモードでは、ストップビットの 1 ビット目のみがチェックされます。2 ビット目はチェックされません。フレーミングエラーが発生した場合、受信データは RDR レジスタへ転送されますが、SCI_{IN}_RXI 割り込み要求は発生しません。FER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- FER = 1 を読んだ後、FER = 0 を書いたとき。FER フラグに 0 を書いた後は、FER フラグを読み出して、実際に 0 になっていることを確認してください。

SCR.RE ビットを 0 (シリアル受信動作を禁止) にしても、FER フラグは影響を受けず、以前の値を保持します。

ORER フラグ (オーバーランエラーフラグ)

ORER フラグは受信時にオーバーランエラーが発生して異常終了したことを示します。

[1 になる条件]

- RDR レジスタからパリティエラーもフレーミングエラーもない受信データを読み出す前に、次のデータを受信したとき
オーバーランエラーが発生する前に受信したデータは RDR レジスタに保持されますが、発生後に受信したデータは失われます。ORER フラグが 1 の状態では、受信データは RDR レジスタへ転送されません。クロック同期式モードでは、シリアル送受信は停止します。

[0 になる条件]

- ORER = 1 を読んだ後、ORER = 0 を書いたとき。ORER フラグに 0 を書いた後は、ORER フラグを読み出して、実際に 0 になっていることを確認してください。

SCR.RE ビットを 0 (シリアル受信動作を禁止) にしても、ORER フラグは影響を受けず、以前の値を保持します。

RDRF フラグ (受信データフルフラグ)

RDRF フラグは RDR レジスタ内の受信データの有無を示します。

[1 になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタに受信データが転送されたとき

[0 になる条件]

- RDRF = 1 を読んだ後、RDRF = 0 を書いたとき
- RDR レジスタからデータを転送したとき

TDRE フラグ (送信データエンプティフラグ)

TDRE フラグは TDR レジスタ内の送信データの有無を示します。

[1 になる条件]

- SCR.TE ビットが 0 のとき
- TDR レジスタから TSR レジスタにデータが送信されたとき

[0 になる条件]

- TDRE = 1 を読んだ後、TDRE = 0 を書いたとき
- SCR.TE ビットが 1 の状態で、データを TDR レジスタに書いたとき

25.2.16 SSR_FIFO : 非スマートカードインタフェースおよび FIFO モード用シリアルステータスレジスタ (SCMR.SMIF = 0、FCR.FM = 1、および MMR.MANEN = 0)

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 5, 9)
 SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TDFE	RDF	ORER	FER	PER	TEND	—	DR

Value after reset: 1 0 0 0 0 0 x 0

ビット	シンボル	機能	R/W
0	DR	受信データレディフラグ 0: 受信中であるか、または正常に受信を完了した後、FRDRHL に受信データが残っていない (受信 FIFO が空である) 1: FIFO に格納されているデータ数が受信トリガ数以下であるとき、正常に受信を完了した後、次の受信データが一定期間来ない	R/W ^(注1)
1	—	読み出し値は不定です。書く場合、1 としてください。	R/W
2	TEND	送信終了フラグ 0: キャラクタを送信中 1: キャラクタを送信終了	R/W ^(注1)
3	PER	パリティエラーフラグ 0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/W ^(注1)
4	FER	フレーミングエラーフラグ 0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/W ^(注1)
5	ORER	オーバーランエラーフラグ 0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/W ^(注1)
6	RDF	受信 FIFO データフルフラグ 0: FRDRHL に書き込まれた受信データ量が指定された受信トリガ数より少ない 1: FRDRHL に書き込まれた受信データ量が指定された受信トリガ数以上である	R/W ^(注1)
7	TDFE	送信 FIFO データエンptyフラグ 0: FTDRHL に書き込まれた送信データ量が指定された送信トリガ数を超過している 1: FTDRHL に書き込まれた送信データ量が指定された送信トリガ数以下である	R/W ^(注1)

注 1. フラグをクリアするため、1 を読んだ後に 0 を書き込むことのみ可能です。

SSR_FIFO レジスタは、FIFO モード用のステータスフラグのためのレジスタです。

DR フラグ (受信データレディフラグ)

DR フラグは、受信 FIFO データレジスタ (FRDRHL) に格納されたデータ量が指定された受信トリガ数より少ないこと、および調歩同期式モードにおいて最後のストップビットから 15 etu (Elementary Time Unit) 経過しても次のデータが受信されていないことを示します。本フラグは、調歩同期式モード (マルチプロセッサモードを含む) において、FIFO 動作選択時にのみ有効です。

クロック同期式モードでは、DR フラグは 1 になりません。

[1 になる条件]

- FRDRHL 内のデータ数が指定された受信トリガ数より少なく、最後のストップビットから 15 etu^(注1)経過しても次のデータが受信されておらず、かつ SSR_FIFO.FER および SSR_FIFO.PER フラグが 0 のとき

[0 になる条件]

- 受信データをすべて読み出した後、DR フラグから 1 を読み出したとき
- FCR.FM ビットが 0 から 1 に切り替わったとき

注 1. 15ETU は、8 ビットフォーマットで 1 ストップビットが選択されている場合の 1.5 フレーム分に相当します。

DR フラグは、調歩同期式モード（マルチプロセッサモードを含む）において、FIFO 選択時にのみ 1 になります。他の動作モードでは 1 になりません。

TEND フラグ（送信終了フラグ）

TEND フラグは、シリアルキャラクタの最後尾ビットの送信時に、FTDRHL レジスタに有効なデータがなく、送信が停止したことを示します。

[1 になる条件]

- 1 バイトのシリアル送信キャラクタの最後尾ビット送信時に、FTDRHL レジスタに送信データがないとき

[0 になる条件]

- SCR.TE ビットが 1 の状態で、FTDRHL レジスタ(注1)に送信データを書いたとき
- SCR.TE ビットが 1 の状態で、TEND から 1 を読み出した後、TEND に 0 を書き込んだとき
- FCR.FM ビットが 0 から 1 に切り替わったとき

注 1. SCIn_TXI 割り込み要求に応じて DTC が FTDRHL レジスタにデータを書き込む場合は、TEND ビットを送信終了フラグとして使用しないでください。

PER フラグ（パリティエラーフラグ）

PER フラグは、アドレス一致検出機能が無効 (DCCR.DCME = 0) のとき、調歩同期式モードで FRDRHL レジスタから読み出したデータにパリティエラーが存在するか否かを示します。

[1 になる条件]

- アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、データ受信時にパリティエラーが検出されたとき

[0 になる条件]

- PER=1 を読んだ後、PER=0 を書いたとき

データ受信中にパリティエラーが発生しても、受信動作は継続し、受信データが FRDRHL レジスタに格納されます。

SCR.RE ビットを 0（シリアル受信動作を禁止）にしても、PER フラグは影響を受けず、以前の値を保持します。

FER フラグ（フレーミングエラーフラグ）

FER フラグは、アドレス一致検出機能が無効 (DCCR.DCME = 0) のとき、調歩同期式モードで FRDRHL レジスタから読み出したデータにフレーミングエラーが存在するか否かを示します。

[1 になる条件]

- アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、受信時にストップビットとして 0 がサンプリングされたとき

[0 になる条件]

- FER=1 を読んだ後、FER=0 を書いたとき

データ受信中にフレーミングエラーが発生しても、受信動作は継続し、受信データが FRDRHL レジスタに格納されます。

SCR.RE ビットを 0（シリアル受信動作を禁止）にしても、FER フラグは影響を受けず、以前の値を保持します。

ORER フラグ（オーバーランエラーフラグ）

ORER フラグは、オーバーランエラーの発生が原因で受信動作が異常停止したことを示します。

[1 になる条件]

- 受信 FIFO が 16 バイトの受信データでフルになった状態で、次のシリアル受信を完了したとき

[0 になる条件]

- ORER=1 を読んだ後、ORER=0 を書いたとき

SCR.RE ビットを 0（シリアル受信動作を禁止）にしても、ORER フラグは影響を受けず、以前の値を保持します。

RDF フラグ（受信 FIFO データフルフラグ）

RDF フラグは、受信データが FRDRHL レジスタへ転送されて、FRDRHL 内のデータ量が指定された受信トリガ数と等しいか、または超えたことを示します。RTRG が 0 の場合は、受信 FIFO 内のデータ数が 0 であっても、RDF フラグは 1 になりません。

[1 になる条件]

- 指定された受信トリガ数以上の受信データ量が FRDRHL レジスタ(注1)に格納され、かつ FIFO が空状態ではないとき

[0 になる条件]

- RDF=1 を読んだ後、RDF=0 を書いたとき
- FRDRHL レジスタが DTC によって読み出されたとき（ブロック転送が最終送信の場合のみ）
- 1 になる条件と 0 になる条件が同時に発生したとき この場合、RDF フラグは 0 になります。その後、FRDRHL レジスタに格納されたデータ量が RTRG の値以上になると、1PCLK 後に RDF フラグは 1 になります。

注 1. FRDRHL は 16 段の FIFO レジスタであるため、RDF が 1 のときに読み出し可能な最大のデータ数は、指定された受信トリガ数と同等です。FRDRHL 内のデータをすべて読み出した後に、さらに読み出しを実行すると、不定値が読み出されます。

TDFE フラグ（送信 FIFO データエンptyフラグ）

TDFE フラグは、データが FTDRHL レジスタから TSR レジスタへ転送され、FTDRHL 内のデータ量が指定された送信トリガ数を下回り、FTDRHL への送信データの書き込みが可能になったことを示します。

[1 になる条件]

- SCR.TE ビットが 0 のとき
- FTDRHL に書き込まれた送信データ量が、指定された送信トリガ数以下であるとき(注1)

[0 になる条件]

- DTC が起動している状態で、最終送信に対する FTDRHL への書き込みが実行されたとき
- TDFE=1 を読んだ後、TDFE フラグに 0 を書いたとき(注2)
TE=0 のときは、1 になる条件が優先されます。1 になる条件と 0 になる条件が同時に発生した場合、TDFE フラグは 0 になります。その後、FTDRHL レジスタに格納されたデータ量が TTRG の値以下になると、1PCLK 後に TDFE フラグは 1 になります。

注 1. FTDRHL レジスタは 16 段の FIFO レジスタであるため、TDFE フラグが 1 のときに FTDRHL レジスタに書き込み可能なデータの最大バイト数は“16 - FDR.T[4:0]”になります。さらにデータを書き込んでも、そのデータは破棄されます。

注 2. DTC によるブロック転送処理中には、TDFE フラグをクリアしないでください。

25.2.17 SSR_SMCI : スマートカードインタフェースモード用シリアルステータスレジスタ (SCMR.SMIF = 1 かつ MMR.MANEN = 0)

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 5, 9)
SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)
SC11 = 0x4011_8100

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT

Value after reset: 1 0 0 0 0 1 0 0

ビット	シンボル	機能	R/W
0	MPBT	マルチプロセッサビット転送 スマートカードインタフェースモードでは、本ビットを 0 にしてください。	R/W
1	MPB	マルチプロセッサ スマートカードインタフェースモードでは、本ビットを 0 にしてください。	R
2	TEND	送信終了フラグ 0: キャラクタを送信中 1: キャラクタを送信終了	R
3	PER	パリティエラーフラグ 0: パリティエラーなし 1: パリティエラーの発生あり	R/W(注1)
4	ERS	エラーシグナルステータスフラグ 0: エラーシグナル Low 応答なし 1: エラーシグナル Low 応答あり	R/W(注1)
5	ORER	オーバーランエラーフラグ 0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/W(注1)
6	RDRF	受信データフルフラグ 0: RDR レジスタに受信データなし 1: RDR レジスタに受信データあり	R/W(注1)
7	TDRE	送信データエンプティフラグ 0: TDR レジスタに送信データあり 1: TDR レジスタに送信データなし	R/W(注1)

注 1. フラグをクリアするため、1 を読んだ後に 0 を書き込むことのみ可能です。

SSR_SMC1 レジスタは、スマートカードインタフェースモード用のステータスフラグのためのレジスタです。

TEND フラグ (送信終了フラグ)

受信側からエラー信号がなく、次の転送データが TDR レジスタに転送可能となったとき、TEND フラグは 1 になります。

[1 になる条件]

- SCR_SMC1.TE = 0 (シリアル送信動作を禁止) のとき
SCR_SMC1.TE ビットを 0 から 1 に変更しても、TEND フラグは影響を受けず、1 の値を保持します。
- 1 バイトの最終データを送信してから指定した期間が経過した後、ERS フラグが 0 で、TDR レジスタが更新されないとき

1 になるタイミングは、以下のように、レジスタの設定値によって決定されます。

- SMR_SMC1.GM = 0、SMR_SMC1.BLK = 0 のとき、送信開始から 12.5etu 経過後
- SMR_SMC1.GM = 0、SMR_SMC1.BLK = 1 のとき、送信開始から 11.5etu 経過後
- SMR_SMC1.GM = 1、SMR_SMC1.BLK = 0 のとき、送信開始から 11.0etu 経過後
- SMR_SMC1.GM = 1、SMR_SMC1.BLK = 1 のとき、送信開始から 11.0etu 経過後

[0 になる条件]

- SCR_SMC1.TE ビットが 1 の状態で、TDR レジスタに送信データを書いたとき
- SCR_SMC1.TE ビットが 1 の状態で、TDRE = 1 を読んだ後、TDRE に 0 を書いたとき

PER フラグ (パリティエラーフラグ)

PER フラグは調歩同期式モードでの受信時に、パリティエラーが発生して異常終了したことを示します。

[1 になる条件]

- 受信中にパリティエラーが検出されたとき。パリティエラーが発生した場合、受信データは RDR レジスタへ転送されますが、SCI_{in} RXI 割り込み要求は発生しません。PER フラグが 1 になった後は、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- PER=1 を読んだ後、PER=0 を書いたとき。PER フラグに 0 を書いた後は、フラグを読み出して、実際に 0 になっていることを確認してください。

SCR_SMCI.RE ビットを 0 (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず、以前の値を保持します。

ERS フラグ (エラーシグナルステータスフラグ)

[1 になる条件]

- エラーシグナル Low をサンプリングしたとき

[0 になる条件]

- ERS=1 を読んだ後、ERS=0 を書いたとき

ORER フラグ (オーバーランエラーフラグ)

ORER フラグは受信時にオーバーランエラーが発生して異常終了したことを示します。

[1 になる条件]

- RDR レジスタからパリティエラーのない受信データを読み出す前に、次のデータを受信したとき。オーバーランエラーが発生する前に受信したデータは RDR レジスタに保持されますが、発生後に受信したデータは失われます。ORER フラグが 1 の状態では、受信データは RDR レジスタへ転送されません。

[0 になる条件]

- ORER=1 を読んだ後、ORER=0 を書いたとき。ORER フラグに 0 を書いた後は、フラグを読み出して、実際に 0 になっていることを確認してください。

SCR_SMCI.RE ビットを 0 にしても、ORER フラグは影響を受けず、以前の値を保持します。

RDRF フラグ (受信データフルフラグ)

RDRF レジスタ内の受信データの有無を示します。

[1 になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[0 になる条件]

- RDRF=1 を読んだ後、RDRF=0 を書いたとき
- RDR レジスタからデータを転送したとき

TDRE フラグ (送信データエンプティフラグ)

TDRE フラグは TDR レジスタ内の送信データの有無を示します。

[1 になる条件]

- SCR_SMCI.TE ビットが 0 のとき
- TDR レジスタから TSR レジスタへデータが転送されたとき

[0 になる条件]

- TDRE=1 を読んだ後、TDRE=0 を書いたとき
- SCR_SMCI.TE ビットが 1 の状態でデータを TDR レジスタに書き込んだとき

25.2.18 SSR_MANC : マンチェスタモード用シリアルステータスレジスタ (SCMR.SMIF = 0 かつ MMR.MANEN = 1)

Base address: SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MER
Value after reset:	1	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
0	MER	マンチェスタエラーフラグ マンチェスタモードでのみ有効 0: マンチェスタエラーの発生なし 1: マンチェスタエラーの発生あり	R/(W) (注1)
1	MPB	マルチプロセッサ 受信フレーム中のマルチプロセッサビットの値 0: データ送信サイクル 1: ID 送信サイクル	R
2	TEND	送信終了フラグ 0: キャラクタを送信中 1: キャラクタを送信終了	R
3	PER	パリティエラーフラグ 0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
4	FER	フレーミングエラーフラグ 0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/(W) (注1)
5	ORER	オーバーランエラーフラグ 0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/(W) (注1)
6	RDRF	受信データフルフラグ 0: RDR レジスタに受信データなし 1: RDR レジスタに受信データあり	R/(W) (注1)
7	TDRE	送信データエンプティフラグ 0: TDR レジスタに送信データあり 1: TDR レジスタに送信データなし	R/(W) (注1)

注1. フラグが1になっていることを確認した（読み出した）後、フラグをクリアするために0のみ書き込みが可能です。

SSR は SCI のステータスフラグと受信マルチプロセッサビット内に構成されます。

MER フラグ（マンチェスタエラーフラグ）

マンチェスタモードでデータを受信すると、マンチェスタエラーが検出され表示されます。

[1 になる条件]

- マンチェスタモードでの受信中に、受信フレームのデータ領域でマンチェスタコードエラーを検出したとき。
エラー発生時は受信データが RDR レジスタに転送されますが、RXI 割り込み要求は発生せず、ERI 割り込み要求が発生します。
マンチェスタエラーフラグが1の状態では、以降の受信データは RDR レジスタへ転送されません。
マンチェスタエラーの詳細については、「[25.5.11. マンチェスタモードにおけるエラー](#)」を参照してください。

[0 になる条件]

- MER から1を読んだ後、0を書いたとき（0を書いた後は、MER ビットを読んで実際に0になっていることを確認してください）
SCR.RE ビットを0（シリアル受信動作を禁止）にしても、MER フラグは影響を受けず、以前の値を保持します。

MPB フラグ (マルチプロセッサ)

受信フレーム中のマルチプロセッサビットの値を格納します。SCR.RE ビットが 0 のときは変化しません。

TEND フラグ (送信終了フラグ)

送信が終了したことを示します。

[1 になる条件]

- SCR.TE ビットが 0 (シリアル送信動作を禁止)、かつ FCR.FM ビットが 0 (非 FIFO 選択時) のとき SCR.TE ビットを 0 から 1 に変更しても、TEND フラグは影響を受けず、1 の値を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき

[0 になる条件]

- SCR.TE ビットが 1 の状態で、TDR レジスタに送信データを書いたとき
- SCR.TE ビットが 1 の状態で、TDRE = 1 を読んだ後、TDRE に 0 を書いたとき

PER フラグ (パリティエラーフラグ)

調歩同期式モードでの受信時に、パリティエラーが発生して異常終了したことを示します。

[1 になる条件]

- 調歩同期式モードでの受信時に、アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、パリティエラーが検出されたとき
パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- PER から 1 を読んだ後、0 を書いたとき (0 を書いた後は、PER ビットを読んで実際に 0 になっていることを確認してください)

SCR.RE ビットを 0 (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず、以前の値を保持します。

FER フラグ (フレーミングエラーフラグ)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。

[1 になる条件]

- 調歩同期式モードでの受信時に、アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、ストップビットとして 0 がサンプリングされたとき
2 ストップビットモードでは、ストップビットの 1 ビット目のみが 1 であるかチェックされ、2 ビット目はチェックされません。なお、フレーミングエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。さらに、FER フラグが 1 にされた状態では、以降の受信データは RDR レジスタに転送されません。

[0 になる条件]

- FER から 1 を読んだ後、0 を書いたとき (0 を書いた後は、FER ビットを読んで実際に 0 になっていることを確認してください)

SCR.RE ビットを 0 にしても、FER フラグは影響を受けず、以前の値を保持します。

ORER フラグ (オーバーランエラーフラグ)

受信時にオーバーランエラーが発生して異常終了したことを示します。

[1 になる条件]

- RDR レジスタから受信エラーのない受信データを読み出す前に次のデータを受信したとき
RDR レジスタは、オーバーランエラーが発生する前の受信データを保持しますが、後から受信したデータは失われます。ORER フラグが 1 の状態では、受信データは RDR レジスタへ転送されません。なお、クロック同期式モードでは、シリアル送受信は停止します。

[0 になる条件]

- ORER から 1 を読んだ後、0 を書いたとき (0 を書いた後は、ORER ビットを読んで実際に 0 になっていることを確認してください)

SCR.RE ビットを 0 にしても、ORER フラグは影響を受けず、以前の値を保持します。

RDRF フラグ (受信データフルフラグ)

RDR レジスタ内の受信データの有無を示します。

[1 になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタに受信データが転送されたとき

[0 になる条件]

- RDRF から 1 を読んだ後、0 を書いたとき
- RDR レジスタからデータを読み出したとき

TDRE フラグ (送信データエンプティフラグ)

TDR レジスタ内の送信データの有無を示します。

[1 になる条件]

- SCR.TE ビットが 0 のとき
- TDR レジスタから TSR レジスタにデータが転送されたとき

[0 になる条件]

- TDRE から 1 を読んだ後、0 を書いたとき
- SCR.TE ビットが 1 の状態で、TDR レジスタへ書き込んだとき

注. 通信が中断されない限り、RDRF と TDRE は SSR レジスタを使用してクリアしないでください。

25.2.19 SCMR:スマートカードモードレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 5, 9)
 SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)
 SCI1 = 0x4011_8100

Offset address: 0x06

Bit position:	7	6	5	4	3	2	1	0
Bit field:	BCP2	—	—	CHR1	SDIR	SINV	—	SMIF

Value after reset: 1 1 1 1 0 0 1 0

ビット	シンボル	機能	R/W
0	SMIF	スマートカードインタフェースモード選択 0: 非スマートカードインタフェースモード (調歩同期式モード、クロック同期式モード、簡易 SPI モード、または簡易 IIC モード) 1: スマートカードインタフェースモード	R/W(注1)
1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

ビット	シンボル	機能	R/W
2	SINV	送受信データ反転 簡易 IIC モードで動作させる場合は、SINV ビットを 0 にしてください。 通信端子 (RXD, TXD) のレベルは、本ビットと SPTR.TINV/RINV ビットの組み合わせにより制御されます。詳細は図 25.6 を参照してください。 SINV ビットは以下のモードで使用可能です。 - スマートカードインタフェースモード - 調歩同期式モード (マルチプロセッサモードを含む) - クロック同期式モード - 簡易 SPI モード 0: TDR レジスタの内容をそのまま送信。受信データをそのまま RDR レジスタに格納。 1: TDR レジスタの内容を反転して送信。受信データを反転して RDR レジスタに格納。	R/W(注1)
3	SDIR	送受信データ転送方向 簡易 IIC モードで動作させる場合は、SDIR ビットを 1 にしてください。 SDIR ビットは以下のモードで使用可能です。 - スマートカードインタフェースモード - 調歩同期式モード (マルチプロセッサモードを含む) - クロック同期式モード - 簡易 SPI モード 0: LSB ファースト転送 1: MSB ファースト転送	R/W(注1)
4	CHR1	キャラクタ長 1 調歩同期式モードでのみ有効です。(注2) SMR.CHR ビットと組み合わせて送受信キャラクタ長を選択します。 0: SMR.CHR = 0 : データ長 9 ビットで送受信 SMR.CHR = 1 : データ長 9 ビットで送受信 1: SMR.CHR = 0 : データ長 8 ビットで送受信 (初期値) SMR.CHR = 1 : データ長 7 ビットで送受信(注3)	R/W(注1)
6:5	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
7	BCP2	基本クロックパルス 2 SMR_SMCI.BCP[1:0]ビットと組み合わせて基本クロックのサイクル数を選択します。 表 25.5 に、SCMR.BCP2 ビットと SMR_SMCI.BCP[1:0]ビットの組み合わせを示します。	R/W(注1)

注 1. SCR/SCR_SMCI レジスタの TE ビットと RE ビットが 0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

注 2. 調歩同期式モード以外では、本ビットの設定は無効であり、データ長は 8 ビット固定となります。

注 3. LSB ファーストを選択する必要があります。TDR レジスタの MSB (ビット [7]) の値は送信されません。

SCMR レジスタは、スマートカードインタフェースと通信フォーマットを選択するためのレジスタです。

SMIF ビット (スマートカードインタフェースモード選択)

SMIF ビットを 1 にすると、スマートカードインタフェースモードが選択されます。本ビットを 0 にすると、下記のすべてのモードが選択されます。

- 調歩同期式モード (マルチプロセッサモードを含む)
- クロック同期式モード
- 簡易 SPI モード
- 簡易 IIC モード

SINV ビット (送受信データ反転)

SINV ビットは、送受信データのロジックレベルを反転します。本ビットは、パリティビットのロジックレベルには影響を与えません。パリティビットを反転させる場合は、SMR または SMR_SMCI レジスタの PM ビットを反転してください。

CHR1 ビット (キャラクタ長 1)

CHR1 ビットは、SMR レジスタの CHR ビットと組み合わせて、送受信データのデータ長を選択します。調歩同期式モード以外では、データ長は 8 ビット固定です。

BCP2 ビット (基本クロックパルス 2)

BCP2 ビットは、スマートカードインタフェースモードにおける、1 ビット転送時間中の基本クロックのサイクル数を選択します。SMR_SMCI.BCP[1:0]ビットと組み合わせて設定します。

表 25.5 SCMR.BCP2 ビットと SMR_SMCI.BCP[1:0]ビットの組み合わせ

SCMR.BCP2 ビット	SMR_SMCI.BCP[1:0]ビット	1 ビット転送時間中の基本クロック数
0	00b	93 クロック (S = 93) ^(注1)
0	01b	128 クロック (S = 128) ^(注1)
0	10b	186 クロック (S = 186) ^(注1)
0	11b	512 クロック (S = 512) ^(注1)
1	00b	32 クロック (S = 32) (初期値) ^(注1)
1	01b	64 クロック (S = 64) ^(注1)
1	10b	372 クロック (S = 372) ^(注1)
1	11b	256 クロック (S = 256) ^(注1)

注 1. S は「25.2.20. BRR : ビットレートレジスタ」レジスタの S の値を表します。

25.2.20 BRR : ビットレートレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 5, 9)
 SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)
 SCI1 = 0x4011_8100

Offset address: 0x01

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	1	1	1	1	1	1	1	1

BRR レジスタは、ビットレートを調整するための 8 ビットのレジスタです。

SCI はチャンネルごとにボーレートジェネレータが独立しているため、それぞれ異なるビットレートの設定が可能です。表 25.6 に通常の調歩同期式モード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モード、および簡易 IIC モードにおける、BRR レジスタの設定値 N とビットレート B の関係を示します。

BRR レジスタの初期値は 0xFF です。BRR レジスタは、CPU から読み出しは可能ですが、書き込みは SCR/SCR_SMCI レジスタの TE および RE ビットが 0 の場合にのみ可能です。

表 25.6 BRR レジスタの設定値 N とビットレート B の関係 (1/2)

モード	SEMR レジスタの設定			BRR レジスタの設定	誤差
	BGDM ビット	ABCS ビット	ABCS E ビット		
調歩同期式、マルチプロセッサ通信	0	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	0	1	0		
	1	1	0	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	Don't care	Don't care	1	$N = \frac{PCLK \times 10^6}{12 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$

表 25.6 BRR レジスタの設定値 N とビットレート B の関係 (2/2)

モード	SEMR レジスタの設定			BRR レジスタの設定	誤差
	BGDM ビット	ABCS ビット	ABCS E ビット		
クロック同期式、簡易 SPI				$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	—
スマートカードインタフェース				$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	$\text{誤差 (\%)} = \left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$
簡易 IIC ^(注1)				$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	—

注. B : ビットレート (bps)

N : 内蔵ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)

PCLK : 動作周波数 (MHz)

n および S : 表 25.8 と表 25.9 に示すように、SMR/SMR_SMCI レジスタと SCMR レジスタの設定値によって決まります。

注 1. 簡易 IIC モードでは、SCLn 出力の High/Low 幅が I²C バス規格を満たすように、ビットレートを調整してください。

表 25.7 SCLn の High レベル幅と Low レベル幅の計算

モード	SCLn	算出式 (結果は秒単位)
IIC	High 幅 (min 値)	$(N+1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{PCLK \times 10^6}$
	Low 幅 (min 値)	$(N+1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{PCLK \times 10^6}$

表 25.8 クロックソースの設定

SMR または SMR_SMCI.CKS[1:0] ビットの設定値	クロックソース	n
CKS[1:0] ビット		
00b	PCLK クロック	0
01b	PCLK/4 クロック	1
10b	PCLK/16 クロック	2
11b	PCLK/64 クロック	3

表 25.9 スマートカードインタフェースモード時の基本クロックの設定

SCMR.BCP2 ビットの設定値	SMR_SMCI.BCP[1:0] ビットの設定値	1 ビット期間中の基本クロックサイクル数	S
BCP2 ビット	BCP[1:0] ビット		
0	00b	93 クロックサイクル	93
0	01b	128 クロックサイクル	128
0	10b	186 クロックサイクル	186
0	11b	512 クロックサイクル	512
1	00b	32 クロックサイクル	32
1	01b	64 クロックサイクル	64
1	10b	372 クロックサイクル	372
1	11b	256 クロックサイクル	256

表 25.10 と表 25.11 に、通常の調歩同期式モードにおける BRR レジスタ値 N の設定例を示します。表 25.12 に各動作周波数において設定可能な最大ビットレートを示します。表 25.16 にスマートカードインタフェースモードにおける BRR レジスタ値 N の設定例を示します。

スマートカードインタフェースモードでは、1 ビットデータ転送時間における基本クロックのサイクル数 S を選択できます。詳細は、「25.7.4. 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 25.13 と表 25.15 に、外部クロック入力時の最大ビットレートを示します。

調歩同期式モードにおいて、簡易 LIN モード (SEMR) の調歩同期基本クロック選択ビット (ABCS) またはボーレートジェネレータ倍速モード選択ビット (BGDM) のいずれか一方を 1 にした場合、ビットレートは表 25.17 に記載された値の 2 倍になります。両ビットとも 1 にした場合、ビットレートは記載値の 4 倍になります。

表 25.10 各ビットレートに対する BRR の設定例 (調歩同期式モード) (1) (1/2)

ビットレート (bps)	動作周波数 PCLK (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

表 25.10 各ビットレートに対する BRR の設定例 (調歩同期式モード) (1) (2/2)

ビットレ ート (bps)	動作周波数 PCLK (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	70	0.03	3	75	0.48	3	79	-0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00
1200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00
2400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00
4800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00
9600	0	45	-0.93	0	51	0.16	0	55	0.00	0	58	-0.69	0	63	0.00
19200	0	22	-0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00
31250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	-1.70
38400	—	—	—	0	12	0.16	0	13	0.00	0	14	-2.34	0	15	0.00

注. この例は、SEMR.ABCS = 0、SEMR.ABCSE = 0、および SEMR.BGDM = 0 の場合を示しています。
 ABCS ビットまたは BGDM ビットのいずれか一方を 1 にした場合は、ビットレートが 2 倍になります。
 ABCS = 1 かつ BGDM = 1 の場合は、ビットレートが 4 倍になります。

表 25.11 各ビットレートに対する BRR の設定例 (調歩同期式モード) (2) (1/3)

ビットレート (bps)	動作周波数 PCLK (MHz)														
	20			25			30			33			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	88	-0.25	3	110	-0.02	3	132	0.13	3	145	0.33	3	177	-0.25
150	3	64	0.16	3	80	0.47	3	97	-0.35	3	106	0.39	3	129	0.16
300	2	129	0.16	2	162	-0.15	2	194	0.16	2	214	-0.07	3	64	0.16
600	2	64	0.16	2	80	0.47	2	97	-0.35	2	106	0.39	2	129	0.16

表 25.11 各ビットレートに対する BRR の設定例 (調歩同期式モード) (2) (2/3)

ビットレ ート (bps)	動作周波数 PCLK (MHz)														
	20			25			30			33			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
1200	1	129	0.16	1	162	-0.15	1	194	0.16	1	214	-0.07	2	64	0.16
2400	1	64	0.16	1	80	0.47	1	97	-0.35	1	106	0.39	1	129	0.16
4800	0	129	0.16	0	162	-0.15	0	194	0.16	0	214	-0.07	1	64	0.16
9600	0	64	0.16	0	80	0.47	0	97	-0.35	0	106	0.39	0	129	0.16
19200	0	32	-1.36	0	40	-0.76	0	48	-0.35	0	53	-0.54	0	64	0.16
31250	0	19	0.00	0	24	0.00	0	29	0.00	0	32	0.00	0	39	0.00
38400	0	15	1.73	0	19	1.73	0	23	1.73	0	26	-0.54	0	32	-1.36

表 25.11 各ビットレートに対する BRR の設定例 (調歩同期式モード) (2) (3/3)

ビットレ ート (bps)	動作周波数 PCLK (MHz)								
	50			60			80		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	221	-0.02	—	—	—	—	—	—
150	3	162	-0.15	3	194	0.16	—	—	—
300	3	80	0.47	3	97	-0.35	3	129	0.16
600	2	162	-0.15	3	48	-0.35	3	64	0.16
1200	2	80	0.47	2	97	-0.35	2	129	0.16
2400	1	162	-0.15	2	48	-0.35	2	64	0.16
4800	1	80	0.47	1	97	-0.35	1	129	0.16
9600	0	162	-0.15	1	48	-0.35	1	64	0.16
19200	0	80	0.47	0	97	-0.35	0	129	0.16
31250	0	49	0.00	0	59	0.00	0	79	0.00
38400	0	40	-0.76	0	48	-0.35	0	64	0.16

注. この例は、SEMR.ABCS = 0、SEMR.ABCSE = 0、および SEMR.BGDM = 0 の場合を示しています。
 ABCS ビットまたは BGDM ビットのいずれか一方を 1 にした場合は、ビットレートが 2 倍になります。
 ABCS = 1 かつ BGDM = 1 の場合は、ビットレートが 4 倍になります。

表 25.12 各動作周波数における最大ビットレート (調歩同期式モード) (1/2)

PCLK (MHz)	SEMR レジスタの設定					最大ビット レート (bps)	PCLK (MHz)	SEMR レジスタの設定					最大ビット レート (bps)
	BGDM ビ ット	ABCS ビ ット	ABCSE ビット	n	N			BGDM ビ ット	ABCS ビ ット	ABCSE ビット	n	N	
8	0	0	0	0	0	250,000	16	0	0	0	0	0	500,000
		1	0	0	0	500,000			1	0	0	0	1,000,000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1,000,000			1	0	0	0	2,000,000
	Don't care	Don't care	1	0	0	1,333,333		Don't care	Don't care	1	0	0	2,666,666
9.8304	0	0	0	0	0	307,200	17.2032	0	0	0	0	0	537,600
		1	0	0	0	614,400			1	0	0	0	1,075,200
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1,228,800			1	0	0	0	2,150,400
	Don't care	Don't care	1	0	0	1,638,400		Don't care	Don't care	1	0	0	2,867,200

表 25.12 各動作周波数における最大ビットレート (調歩同期式モード) (2/2)

PCLK (MHz)	SEMR レジスタの設定					最大ビットレート (bps)	PCLK (MHz)	SEMR レジスタの設定					最大ビットレート (bps)
	BGDM ビット	ABCS ビット	ABCSE ビット	n	N			BGDM ビット	ABCS ビット	ABCSE ビット	n	N	
10	0	0	0	0	0	312,500	18	0	0	0	0	0	562,500
		1	0	0	0	625,000			1	0	0	0	1,125,000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1,250,000			1	0	0	0	2,250,000
	Don't care	Don't care	1	0	0	1,666,666		Don't care	Don't care	1	0	0	3,000,000
12	0	0	0	0	0	375,000	19.6608	0	0	0	0	0	614,400
		1	0	0	0	750,000			1	0	0	0	1,228,800
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1,500,000			1	0	0	0	2,457,600
	Don't care	Don't care	1	0	0	2,000,000		Don't care	Don't care	1	0	0	3,276,800
12.288	0	0	0	0	0	384,000	20	0	0	0	0	0	625,000
		1	0	0	0	768,000			1	0	0	0	1,250,000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1,536,000			1	0	0	0	2,500,000
	Don't care	Don't care	1	0	0	2,048,000		Don't care	Don't care	1	0	0	3,333,333
14	0	0	0	0	0	437,500	25	0	0	0	0	0	781,250
		1	0	0	0	875,000			1	0	0	0	1,562,500
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1,750,000			1	0	0	0	3,125,000
	Don't care	Don't care	1	0	0	2,333,333		Don't care	Don't care	1	0	0	4,166,666
30	0	0	0	0	0	937,500	50	0	0	0	0	0	1,562,500
		1	0	0	0	1,875,000			1	0	0	0	3,125,000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	3,750,000			1	0	0	0	6,250,000
	Don't care	Don't care	1	0	0	5,000,000		Don't care	Don't care	1	0	0	8,333,333
33	0	0	0	0	0	1,031,250	60	0	0	0	0	0	1,875,000
		1	0	0	0	2,062,500			1	0	0	0	3,750,000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	4,125,000			1	0	0	0	7,500,000
	Don't care	Don't care	1	0	0	5,500,000		Don't care	Don't care	1	0	0	10,000,000
40	0	0	0	0	0	1,250,000	80	0	0	0	0	0	2,500,000
		1	0	0	0	2,500,000			1	0	0	0	5,000,000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	5,000,000			1	0	0	0	10,000,000
	Don't care	Don't care	1	0	0	6,666,666		Don't care	Don't care	1	0	0	13,333,333

表 25.13 外部クロック入力時の最大ビットレート (調歩同期式モード) (1/2)

最大ビットレート (bps)			
PCLK (MHz)	外部入力クロック (MHz)	SEMR.ABCS = 0	SEMR.ABCS = 1
8	2.0000	125,000	250,000

表 25.13 外部クロック入力時の最大ビットレート (調歩同期式モード) (2/2)

最大ビットレート (bps)			
PCLK (MHz)	外部入力クロック (MHz)	SEMR.ABCS = 0	SEMR.ABCS = 1
9.8304	2.4576	153,600	307,200
10	2.5000	156,250	312,500
12	3.0000	187,500	375,000
12.288	3.0720	192,000	384,000
14	3.5000	218,750	437,500
16	4.0000	250,000	500,000
17.2032	4.3008	268,800	537,600
18	4.5000	281,250	562,500
19.6608	4.9152	307,200	614,400
20	5.0000	312,500	625,000
25	6.2500	390,625	781,250
30	7.5000	468,750	937,500
33	8.2500	515,625	1,031,250
40	10.0000	625,000	1,250,000
50	12.5000	781,250	1,562,500
60	15.0000	937,500	1,875,000
80	20.000	1,250,000	2,500,000

表 25.14 各ビットレートに対する BRR の設定例 (クロック同期式モード、簡易 SPI モード) (1/2)

ビット レート (bps)	動作周波数 PCLK (MHz)																					
	8		10		16		20		25		30		33		40		50		60		80	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110																						
250	3	124	—	—	3	249																
500	2	249	—	—	3	124	—	—			3	233										
1 k	2	124	—	—	2	249	—	—	3	97	3	116	3	128	3	155	3	194	3	233		
2.5 k	1	199	1	249	2	99	2	124	2	155	2	187	2	205	2	249	3	77	3	93	3	124
5 k	1	99	1	124	1	199	1	249	2	77	2	93	2	102	2	124	2	155	3	46	2	249
10 k	0	199	0	249	1	99	1	124	1	155	1	187	1	205	1	249	2	77	2	93	2	124
25 k	0	79	0	99	0	159	0	199	0	249	1	74	1	82	1	99	1	124	1	149	1	199
50 k	0	39	0	49	0	79	0	99	0	124	0	149	0	164	1	49	1	61	1	74	1	99
100 k	0	19	0	24	0	39	0	49	0	62	0	74	0	82	0	99	0	124	0	149	0	199
250 k	0	7	0	9	0	15	0	19	0	24	0	29	0	32	0	39	0	49	0	59	0	79
500 k	0	3	0	4	0	7	0	9	—	—	0	14	—	—	0	19	0	24	0	29	0	39
1 M	0	1			0	3	0	4	—	—	—	—	—	—	0	9	—	—	0	14	0	19
2.5 M			0	0 (注1)			0	1	—	—	0	2	—	—	0	3	0	4	0	5	0	7
5 M							0	0 (注1)	—	—	—	—	—	—	0	1	—	—	0	2	0	3
7.5 M											0	0 (注1)							0	1	—	—

表 25.14 各ビットレートに対する BRR の設定例（クロック同期式モード、簡易 SPI モード）（2/2）

ビット レート (bps)	動作周波数 PCLK (MHz)																	
	8		10		16		20		25		30		33		40		50	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
10 M															0	0 (注1)		
15 M																	0	0 (注1)

注. 空欄：設定禁止

—：設定可能ですが誤差が生じます。

注 1. 連続送受信はできません。1 フレームの送受信後、次のフレームの送受信を開始するまでに 1 ビット期間の間隔が空きます。すなわち、同期クロックの出力が 1 ビット期間停止します。そのため、1 フレーム（8 ビット）のデータ転送に 9 ビット分の時間がかかり、平均転送レートはビットレートの 8/9 倍になります。FIFO 選択時は、この設定（BRR = 0x00 かつ SMR.CKS[1:0] = 00b）は利用できません。

表 25.15 外部クロック入力時の最大ビットレート（クロック同期式モード、簡易 SPI モード）

PCLK (MHz)	外部入力クロック (MHz)	最大ビットレート (Mbps)
8	1.3333	1.3333333
10	1.6667	1.6666667
12	2.0000	2.0000000
14	2.3333	2.3333333
16	2.6667	2.6666667
18	3.0000	3.0000000
20	3.3333	3.3333333
25	4.1667	4.1666667
30	5.0000	5.0000000
33	5.5000	5.5000000
40	6.6667	6.6666667
50	8.3333	8.3333333
60	10.0000	10.0000000
80	13.3333	13.3333333

表 25.16 各ビットレートに対する BRR の設定（スマートカードインタフェースモード、n = 0、S = 372 の場合）（1/4）

ビットレート (bps)	動作周波数 PCLK (MHz)											
	7.1424			10.00			10.7136			13.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	0	0.00	0	1	30	0	1	25	0	1	8.99

表 25.16 各ビットレートに対する BRR の設定（スマートカードインタフェースモード、n = 0、S = 372 の場合）（2/4）

ビットレート (bps)	動作周波数 PCLK (MHz)											
	14.2848			16.00			18.00			20.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	1	0.00	0	1	12.01	0	2	15.99	0	2	6.66

表 25.16 各ビットレートに対する BRR の設定 (スマートカードインタフェースモード、n = 0、S = 372 の場合) (3/4)

ビットレート (bps)	動作周波数 PCLK (MHz)											
	25.00			30.00			33.00			40.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	3	12.49	0	3	5.01	0	4	7.59	0	5	-6.66

表 25.16 各ビットレートに対する BRR の設定 (スマートカードインタフェースモード、n = 0、S = 372 の場合) (4/4)

ビットレート (bps)	動作周波数 PCLK (MHz)								
	50.00			60.00			80.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	6	0.01	0	7	5.01	0	10	1.82

表 25.17 各動作周波数における最大ビットレート (スマートカードインタフェースモード、S = 32 の場合)

PCLK (MHz)	最大ビットレート (bps)	n	N
10.00	156,250	0	0
10.7136	167,400	0	0
13.00	203,125	0	0
16.00	250,000	0	0
18.00	281,250	0	0
20.00	312,500	0	0
25.00	390,625	0	0
30.00	468,750	0	0
33.00	515,625	0	0
40.00	625,000	0	0
50.00	781,250	0	0
60.00	937,500	0	0
80.00	1,250,000	0	0

表 25.18 各ビットレートに対する BRR の設定例 (簡易 IIC モード) (1/4)

ビットレート (bps)	動作周波数 PCLK (MHz)											
	8			10			16			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10 k	0	24	0.0	0	31	-2.3	1	12	-3.8	1	15	-2.3
25 k	0	9	0.0	0	12	-3.8	1	4	0.0	1	6	-10.7
50 k	0	4	0.0	0	6	-10.7	1	2	-16.7	1	3	-21.9
100 k	0	2	-16.7	0	3	-21.9	0	4	0.0	0	6	-10.7
250 k	0	0	0.0	0	1	-37.5	0	1	0.0	0	2	-16.7
350 k										0	1	-10.7
400 k										0	1	-21.9

表 25.18 各ビットレートに対する BRR の設定例 (簡易 IIC モード) (2/4)

ビットレート (bps)	動作周波数 PCLK (MHz)											
	25			30			33			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10 k	1	19	-2.3	1	23	-2.3	1	25	-0.8	0	124	0.00

表 25.18 各ビットレートに対する BRR の設定例 (簡易 IIC モード) (3/4)

ビットレート (bps)	動作周波数 PCLK (MHz)											
	25			30			33			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
25 k	1	7	-2.3	1	9	-6.3	1	10	-6.3	0	40	0.00
50 k	1	3	-2.3	1	4	-6.3	1	5	-14.1	0	24	0.00
100 k	1	1	-2.3	1	2	-21.9	1	2	-14.1	0	12	-3.85
250 k	0	3	-21.9	0	3	-6.3	0	4	-17.5	0	4	0.00
350 k	0	2	-25.6	0	2	-10.7	0	2	-1.8	0	3	-10.71
400 k	0	1	-2.3	0	1	17.2	0	2	-14.1	0	2	4.17

表 25.18 各ビットレートに対する BRR の設定例 (簡易 IIC モード) (4/4)

ビットレート (bps)	動作周波数 PCLK (MHz)								
	50			60			80		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10 k	2	9	-2.3	1	46	-0.27	1	62	-0.79
25 k	2	3	-2.3	0	74	0.00	0	99	0.00
50 k	2	1	-2.3	0	37	-1.32	0	49	0.00
100 k	1	3	-2.3	0	18	-1.32	0	24	0.00
250 k	0	6	-10.7	0	7	-6.25	0	9	0.00
350 k	0	4	-10.7	0	4	7.14	0	6	2.04
400 k	0	3	-2.34	0	4	-6.25	0	5	4.17

表 25.19 複数のビットレート設定での SCL の High/Low 幅最小値 (簡易 IIC モード) (1/4)

ビットレート (bps)	動作周波数 PCLK (MHz)											
	8			10			16			20		
	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)
10 k	0	24	43.75/50.00	0	31	44.80/51.20	1	12	45.5/52.00	1	15	44.80/51.20
25 k	0	9	17.50/20.00	0	12	18.2/20.80	1	4	17.50/20.00	1	6	19.60/22.40
50 k	0	4	8.75/10.00	0	6	9.80/11.20	1	2	10.50/12.00	1	3	11.20/12.80
100 k	0	2	5.25/6.00	0	3	5.60/6.40	0	4	4.37/5.00	0	6	4.90/5.60
250 k	0	0	1.75/2.00	0	1	2.80/3.20	0	1	1.75/2.00	0	2	2.10/2.40
350 k										0	1	1.40/1.60
400 k										0	1	1.40/1.60

表 25.19 複数のビットレート設定での SCL の High/Low 幅最小値 (簡易 IIC モード) (2/4)

ビットレート (bps)	動作周波数 PCLK (MHz)											
	25			30			33			40		
	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)
10 k	1	19	44.80/51.20	1	23	44.80/51.20	1	25	44.12/50.42	1	32	46.20/52.80
25 k	1	7	17.92/20.48	1	9	18.66/21.33	1	10	18.66/21.33	1	12	18.20/20.80
50 k	1	3	8.96/10.24	1	4	9.33/10.66	1	5	10.18/11.63	1	6	9.80/11.20
100 k	1	1	4.48/5.12	1	2	5.60/6.40	1	2	5.09/5.81	0	13	4.90/5.60
250 k	0	3	2.24/2.56	0	3	1.86/2.13	0	4	2.12/2.42	0	4	1.75/2.00

表 25.19 複数のビットレート設定での SCL の High/Low 幅最小値 (簡易 IIC モード) (3/4)

ビットレート (bps)	動作周波数 PCLK (MHz)											
	25			30			33			40		
	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)
350 k	0	2	1.68/1.92	0	2	1.40/1.60	0	2	1.27/1.45	0	3	1.40/1.60
400 k	0	1	1.12/1.28	0	1	0.93/1.07	0	2	1.27 /1.45	0	2	1.05/1.20

表 25.19 複数のビットレート設定での SCL の High/Low 幅最小値 (簡易 IIC モード) (4/4)

ビットレート (bps)	動作周波数 PCLK (MHz)								
	50			60			80		
	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)
10 k	2	9	44.80/51.20	1	46	44.80/51.20	1	62	44.10/50.40
25 k	2	3	17.92/20.48	0	74	17.50/20.00	0	99	17.50/20.00
50 k	2	1	8.96/10.24	0	37	8.87/10.13	0	49	8.75/10.00
100 k	1	3	4.48/5.12	0	18	4.43/5.07	0	24	4.38/5.00
250 k	0	6	1.96/2.24	0	7	1.87/2.13	0	9	1.75/2.00
350 k	0	4	1.40/1.60	0	4	1.17/1.33	0	6	1.23/1.40
400 k	0	3	1.12/1.28	0	4	1.17/1.33	0	5	1.05/1.20

25.2.21 MDDR : 変調デューティレジスタ

Base address: $SCI_n = 0x4011\_8000 + 0x0100 \times n$ ($n = 0, 5, 9$)
 $SCI_k = 0x4011\_8000 + 0x0100 \times k$ ($k = 3, 4$)
 $SCI1 = 0x4011\_8100$

Offset address: $0x12$

Bit position: 7 6 5 4 3 2 1 0

Bit field:

Value after reset: 1 1 1 1 1 1 1 1

MDDR レジスタは、BRR レジスタで調整されたビットレートを補正します。

SEMR.BRME ビットが 1 のとき、内蔵ボーレートジェネレータにより生成されるビットレートは、MDDR レジスタの設定 (M/256) に応じて均等に補正されます。表 25.20 に MDDR レジスタの設定値 M とビットレート B の関係を示します。

MDDR レジスタの初期値は 0xFF です。本レジスタのビット[7]は 1 に固定されています。

MDDR レジスタは、CPU から読み出しは可能ですが、書き込みは SCR/SCR_SMCI レジスタの TE ビットと RE ビットが 0 の場合にのみ可能です。

表 25.20 ビットレート変調機能使用時の MDDR レジスタ設定値 M とビットレート B の関係

B : ビットレート (bps)

M : MDDR 設定 ($128 \leq \text{MDDR} \leq 256$)N : ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)

PCLK : 動作周波数 (MHz)

n および S : 「25.2.20. BRR : ビットレートレジスタ」の表 25.8 と表 25.9 に示すように、SMR/SMR_SMCI レジスタと SCMR レジスタの設定値によって決まります。

モード	SEMR レジスタの設定			BRR の設定値	誤差
	BGDM ビット	ABCS ビット	ABCE ビット		
調歩同期式マルチプロセッサ転送	0	0	0	$N = \frac{\text{PCLK} \times 10^6}{64 \times 2^{2n-1} \times \left(\frac{256}{M}\right) \times B} - 1$	$\text{誤差}(\%) = \left\{ \frac{\text{PCLK} \times 10^6}{B \times 64 \times 2^{2n-1} \times \left(\frac{256}{M}\right) \times (N+1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{\text{PCLK} \times 10^6}{32 \times 2^{2n-1} \times \left(\frac{256}{M}\right) \times B} - 1$	$\text{誤差}(\%) = \left\{ \frac{\text{PCLK} \times 10^6}{B \times 32 \times 2^{2n-1} \times \left(\frac{256}{M}\right) \times (N+1)} - 1 \right\} \times 100$
	0	1	0	$N = \frac{\text{PCLK} \times 10^6}{32 \times 2^{2n-1} \times \left(\frac{256}{M}\right) \times B} - 1$	$\text{誤差}(\%) = \left\{ \frac{\text{PCLK} \times 10^6}{B \times 32 \times 2^{2n-1} \times \left(\frac{256}{M}\right) \times (N+1)} - 1 \right\} \times 100$
	1	1	0	$N = \frac{\text{PCLK} \times 10^6}{16 \times 2^{2n-1} \times \left(\frac{256}{M}\right) \times B} - 1$	$\text{誤差}(\%) = \left\{ \frac{\text{PCLK} \times 10^6}{B \times 16 \times 2^{2n-1} \times \left(\frac{256}{M}\right) \times (N+1)} - 1 \right\} \times 100$
	×	×	1	$N = \frac{\text{PCLK} \times 10^6}{12 \times 2^{2n-1} \times \left(\frac{256}{M}\right) \times B} - 1$	$\text{誤差}(\%) = \left\{ \frac{\text{PCLK} \times 10^6}{B \times 12 \times 2^{2n-1} \times \left(\frac{256}{M}\right) \times (N+1)} - 1 \right\} \times 100$
クロック同期式、簡易 SPI ^(注1)				$N = \frac{\text{PCLK} \times 10^6}{8 \times 2^{2n-1} \times \left(\frac{256}{M}\right) \times B} - 1$	—
スマートカードインタフェース				$N = \frac{\text{PCLK} \times 10^6}{S \times 2^{2n+1} \times \left(\frac{256}{M}\right) \times B} - 1$	$\text{誤差}(\%) = \left\{ \frac{\text{PCLK} \times 10^6}{B \times S \times 2^{2n+1} \times \left(\frac{256}{M}\right) \times (N+1)} - 1 \right\} \times 100$
簡易 IIC ^(注2)				$N = \frac{\text{PCLK} \times 10^6}{64 \times 2^{2n-1} \times \left(\frac{256}{M}\right) \times B} - 1$	—

注 1. クロック同期式モードまたは簡易 SPI モードの最高速設定 (SMR.CKS[1:0] = 00b、SCR.CKE[1] = 0、かつ BRR = 0) では、この機能を使用しないでください。

注 2. 簡易 IIC モードでは、SCLn 出力の High/Low 幅が IIC 規格を満たすように、ビットレートを調整してください。

表 25.21 と表 25.22 に通常の調歩同期式モードにおける、BRR レジスタ値 N と MDDR レジスタ値 M の設定例を示します。

表 25.21 各ビットレートに対する BRR と MDDR の設定例 (調歩同期式モード) (1) (1/3)

ビットレート (bps)	動作周波数 PCLK (MHz)														
	8					9.8304					16				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	5	236	0	0.03	0	7	(256) (注1)	0	0.00	0	10	173	1	-0.01
57600	0	3	236	0	0.03	0	4	240	0	0.00	0	4	236	0	0.03
115200	0	1	236	0	0.03	0	1	192	0	0.00	0	4	236	1	0.03
230400	0	0	236	0	0.03	0	0	192	0	0.00	0	1	189	1	0.14
460800	0	0	236	1	0.03	0	0	192	1	0.00	0	0	189	1	0.14

表 25.21 各ビットレートに対する BRR と MDDR の設定例 (調歩同期式モード) (1) (2/3)

ビット レート (bps)	動作周波数 PCLK (MHz)														
	12					12.288					14				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	8	236	0	0.03	0	9	(256) (注1)	0	0.00	0	16	191	1	0.00
57600	0	5	236	0	0.03	0	4	192	0	0.00	0	13	236	1	0.03
115200	0	2	236	0	0.03	0	4	192	1	0.00	0	6	236	1	0.03
230400	0	2	236	1	0.03	0	2	230	1	-0.17	0	2	202	1	-0.11
460800	0	0	157	1	-0.18	0	0	154	1	-0.26	0	0	135	1	0.14

表 25.21 各ビットレートに対する BRR と MDDR の設定例 (調歩同期式モード) (1) (3/3)

ビット レート (bps)	動作周波数 PCLK (MHz)														
	16					17.2032					18				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	11	236	0	0.03	0	13	(256) (注1)	0	0.00	0	18	166	1	-0.01
57600	0	7	236	0	0.03	0	6	192	0	0.00	0	18	249	1	-0.01
115200	0	3	236	0	0.03	0	6	192	1	0.00	0	8	236	1	0.03
230400	0	1	236	0	0.03	0	3	219	1	-0.20	0	1	210	0	0.14
460800	0	1	236	1	0.03	0	1	219	1	-0.20	0	0	210	0	0.14

注 1. この例は、SEMR レジスタの ABCS ビットと ABCSE ビットが 0 の場合を示しています。SEMR.BRME = 0 (M = 256) の場合、ビットレート変調機能は無効になります。

表 25.22 各ビットレートに対する BRR と MDDR の設定例 (調歩同期式モード) (2) (1/3)

ビット レート (bps)	動作周波数 PCLK (MHz)														
	19.6608					20					25				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	15	(256) (注1)	0	0.00	0	10	173	0	-0.01	0	11	151	0	0.00
57600	0	9	240	0	0.00	0	9	236	0	0.03	0	7	151	0	0.00
115200	0	4	240	0	0.00	0	4	236	0	0.03	0	3	151	0	0.00
230400	0	1	192	0	0.00	0	4	236	1	0.03	0	1	151	0	0.00
460800	0	0	192	0	0.00	0	0	189	0	0.14	0	0	151	0	0.00

表 25.22 各ビットレートに対する BRR と MDDR の設定例 (調歩同期式モード) (2) (2/3)

ビット レート (bps)	動作周波数 PCLK (MHz)														
	30					33					40				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	36	194	1	0.01	0	14	143	0	0.01	0	21	173	0	-0.01
57600	0	10	173	0	-0.01	0	9	143	0	0.01	0	38	230	1	-0.01
115200	0	10	173	1	-0.01	0	4	143	0	0.01	0	9	236	0	0.03
230400	0	6	220	1	-0.09	0	4	143	1	0.01	0	4	236	0	0.03
460800	0	3	252	1	0.14	0	1	229	0	0.10	0	4	236	1	0.03

表 25.22 各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード）(2) (3/3)

ビット レート (bps)	動作周波数 PCLK (MHz)														
	50					60					80				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	23	151	0	0.00	0	36	194	0	0.01	0	116	230	1	-0.01
57600	0	15	151	0	0.00	0	21	173	0	-0.01	0	39	236	0	0.03
115200	0	7	151	0	0.00	0	10	173	0	-0.01	0	19	236	0	0.03
230400	0	3	151	0	0.00	0	10	173	1	-0.01	0	9	236	0	0.03
460800	0	1	151	0	0.00	0	6	220	1	-0.09	0	9	236	1	0.03

注 1. この例は、SEMR レジスタの ABCS ビットと ABCSE ビットが 0 の場合を示しています。
SEMR.BRME = 0 (M = 256) の場合、ビットレート変調機能は無効になります。

25.2.22 SEMR : 簡易 LIN モードレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 5, 9)
SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)
SCI1 = 0x4011_8100

Offset address: 0x07

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RXDE SEL	BGDM	NFEN	ABCS	ABCSE	BRME	PADIS	ACS0

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	ACS0	調歩同期式モードクロックソース選択 調歩同期式モードでのみ有効 0: 外部クロック入力 1: 内部 GPT からのコンペアマッチ出力の論理積 SCIn (n = 1) 以外の SCI チャンネルのビットは予約ビットです。	R/W(注1)
1	PADIS	プリアンプ機能無効 調歩同期式モードでのみ有効 0: プリアンプ出力機能有効 1: プリアンプ出力機能無効 SCIn (n = 0, 3~5, 9) 以外の SCI チャンネルのビットは予約ビットです。	R/W
2	BRME	ビットレート変調有効 0: ビットレート変調機能は無効 1: ビットレート変調機能は有効	R/W(注1)
3	ABCSE	調歩同期拡張基本クロック選択 1 調歩同期式モードにおいて、SCR.CKE[1] = 0 の場合にのみ有効です。 0: 1 ビット期間のクロックサイクル数は、SEMR レジスタの BGDM ビットと ABCS ビットの組み合わせにより決定 1: ボーレートは 1 ビット期間に対して基本クロックの 6 サイクル SCIn (n = 0, 3~5, 9) 以外の SCI チャンネルのビットは予約ビットです。	R/W(注1)
4	ABCS	調歩同期基本クロック選択 調歩同期式モードでのみ有効 0: 1 ビット期間に対して基本クロックの 16 サイクルを選択 1: 1 ビット期間に対して基本クロックの 8 サイクルを選択	R/W(注1)
5	NFEN	デジタルノイズフィルタ機能有効 他のすべてのモードでは、NFEN ビットは 0 でなければなりません。 0: 調歩同期式モードの場合: RXDn 入力信号のノイズ除去機能は無効 簡易 I ² C モードの場合: SCLn と SDA _n の入力信号のノイズ除去機能は無効 1: 調歩同期式モードの場合: RXDn 入力信号のノイズ除去機能は有効 簡易 I ² C モードの場合: SCLn と SDA _n の入力信号のノイズ除去機能は有効	R/W(注1)

ビット	シンボル	機能	R/W
6	BGDM	ボーレートジェネレータ倍速モード選択 調歩同期式モードにおいて、SCR.CKE[1] = 0 の場合にのみ有効です 0: ボーレートジェネレータから通常の周波数のクロックを出力 1: ボーレートジェネレータから 2 倍の周波数のクロックを出力	R/W(注1)
7	RXDESEL	調歩同期スタートビットエッジ検出選択 調歩同期式モードでのみ有効です。 0: RXDn 端子入力の Low レベルでスタートビットを検出 1: RXDn 端子入力の立ち下がりエッジでスタートビットを検出	R/W(注1)

注 1. SCR/SCR_SMCI レジスタの TE ビットと RE ビットが 0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

SEMR レジスタは、調歩同期式モードにおいて、1 ビット期間のクロックソースを選択するためのレジスタです。

ACS0 ビット (調歩同期式モードクロックソース選択)

調歩同期式モードにおける、クロックソースを選択します。

ACS0 ビットは、調歩同期式モード (SMR.CM ビット = 0) で、かつ外部クロック入力 (SCR.CKE[1:0] ビット = 10b または 11b) のときに有効です。このビットは、外部クロック入力か、内部 GPT からのコンペアマッチ出力の論理積を選択するのに使用します。

調歩同期式モード以外では、ACS0 ビットを 0 にしてください。

SCI1 では、GPT の GTIOCnA 出力 (n = 3, 4) をシリアル転送基本クロックにできます。詳細は、表 25.23 を参照してください。

SCI1 以外の SCI チャンネルのビットは予約ビットです。SCI1 以外のビットでは書き込み値は 0 にしてください。

表 25.23 SCI チャンネルとコンペアマッチ出力の対応関係

SCI	GPT	コンペアマッチ出力
SCI1	GPT3	GTIOC3A
	GPT4	GTIOC4A

GTIOC3A および GTIOC4A が出力に選択されている場合の設定例を図 25.4 および図 25.5 に示します。

この図は、GPT クロックが SCI1 に入力される場合の例を示します。

PCLKD = 32 MHz で GPT 平均転送レートが 187.5 kbps の場合：

- 基本クロックとして GTIOC3A を使って 4 MHz の周波数を生成する。
- 基本クロックの 3/4 クロックイネーブルを生成し、GTIOC4A を使って $3 \text{ MHz}/16 = 187.5 \text{ kbps}$ の平均転送レートを設定する。

GPT および SCI の設定例

- GPT3.GTSSR = 0x80000000、GPT4.GTSSR = 0x80000000 (ソフトウェアカウンタ開始許可)
- GPT3.GTPR = 0x00000007、GPT4.GTPR = 0x0000001F (GTCNT の最大カウント値)
- GPT3.GTCCRA = 0x00000003、GPT4.GTCCRA = 0x00000007 (コンペアマッチ値)
- GPT3.GTCR = 0x00000000、GPT4.GTCR = 0x00000000 (のこぎり波 PWM モード、タイマプリスケラは PCLKD/1)
- GPT3.GTIOR = 0x00000306、GPT4.GTIOR = 0x00000306

(初期出力 Low、GTCCRA コンペアマッチで High 出力、周期の終わりで Low 出力)

- SCR.SCK[1:0] = 10b (外部クロック入力または GPT クロック入力を選択)
- SEMR = 0x01 (1 ビット期間に対して基本クロックの 16 サイクルで TMR クロック入力を選択)
- GPT3.GTSTR = 0x00000018 (ソフトウェア起動 GTCNT カウンタ)

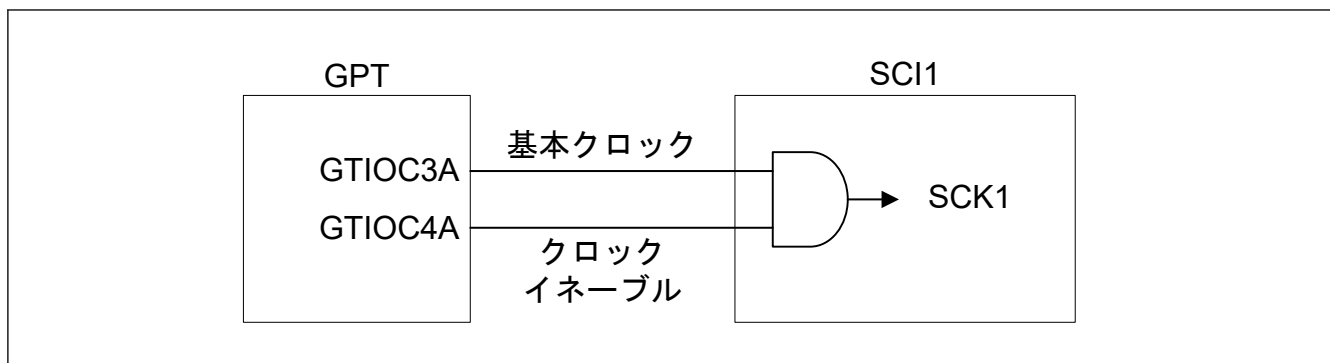


図 25.4 GPT と SCI の接続例

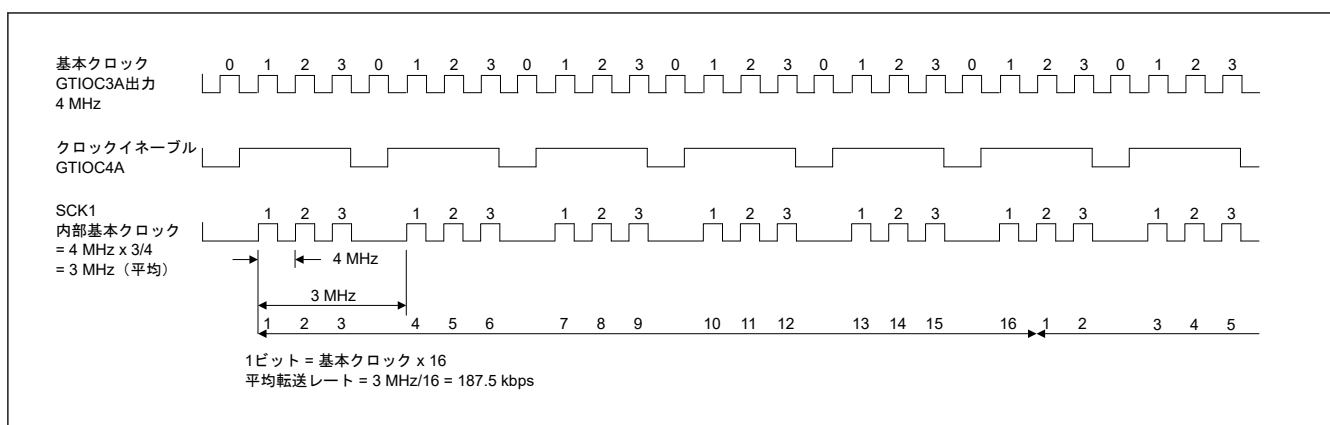


図 25.5 GPT クロック入力時の平均転送レート設定例

PADIS ビット (プリアンブル機能無効)

調歩同期式モードでは、プリアンブル機能の有効/無効を選択します。マンチェスタモードでは、プリアンブルは本ビットの設定に関係なく出力されません。

BRME ビット (ビットレート変調有効)

BRME ビットは、ビットレート変調機能を有効または無効にします。有効にすると、内蔵ボーレートジェネレータにより生成されるビットレートを均等に補正します。マンチェスタモードでは 0 にしてください。

ABCSE ビット (調歩同期拡張基本クロック選択 1)

ABCSE ビットは、1 ビット期間における基本クロックのパルス数を 6 に設定します。ボーレートジェネレータからは 2 倍の周波数のクロックが出力されます。バスクロック周波数を分周しているときにビットレートを 6 にする場合、本ビットを使用し、かつ SMR.CKS[1:0] = 00b、BRR = 0 に設定してください。

調歩同期式モード以外では、本ビットを 0 にしてください。調歩同期式モードにおいても、外部クロックを使用している場合は本ビットを 0 にしてください。

ABCS ビット (調歩同期基本クロック選択)

ABCS ビットは、1 ビット期間のクロックサイクル数を選択します。

調歩同期式モードおよびマンチェスタモード以外ではこのビットを 0 にしてください。

NFEN ビット (デジタルノイズフィルタ機能有効)

NFEN ビットは、デジタルノイズフィルタ機能を有効または無効にします。

デジタルノイズフィルタ機能を有効にした場合：

- 調歩同期式モードでは、RXDn 入力信号のノイズを除去する。
- 簡易 I²C モードでは、SDAn 入力信号と SCLn 入力信号のノイズを除去する。

他のすべてのモードでは、NFEN ビットを 0 にして、デジタルノイズフィルタ機能を無効にしてください。デジタルノイズフィルタ機能を無効にすると、受信した信号がそのまま内部信号として転送されます。

BGDM ビット (ボーレートジェネレータ倍速モード選択)

BGDM ビットは、ボーレートジェネレータから出力する基本クロックの周波数を 2 倍にするかどうかを選択します。

BGDM ビットは、調歩同期式モード (SMR.CM ビット = 0) またはマンチェスタモード (MMR.MANEN ビット = 1) において、クロックソースに内蔵ボーレートジェネレータ (SCR.CKE[1] ビット = 0) を選択したとき有効です。外部クロック選択時 (SCR.CKE[1] ビット = 1)、0 にしてください。ボーレートジェネレータから出力されるクロックは基本クロックの生成に使用されます。BGDM ビットを 1 にすると、基本クロックの周期が 1/2 倍になり、ビットレートが 2 倍になります。

本ビットは、調歩同期式モードまたはマンチェスタモード以外では 0 にしてください。

RXDESEL ビット (調歩同期スタートビットエッジ検出選択)

RXDESEL ビットは、調歩同期式モードで受信する場合のスタートビットの検出方法を選択します。本ビットの設定により、ブレイク時のデータ受信動作が異なります。ブレイク中に受信動作を停止させたい場合、またはブレイク終了後に RXDn 端子入力を 1 フレーム期間以上 High レベルに保持せずに受信を開始したい場合、本ビットを 1 にしてください。

このビットは、調歩同期式モード以外では 0 にしてください。

25.2.23 SNFR: ノイズフィルタ設定レジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 5, 9)
 SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)
 SCI1 = 0x4011_8100

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	NFCS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	NFCS[2:0]	ノイズフィルタクロック選択 調歩同期式モードの場合、基本クロックの標準設定を選択します。 簡易 I ² C モードの場合、SMR.CKS[1:0] ビットで選択した内蔵ボーレートジェネレータのクロックソースの標準設定を選択します。 0 0 0: 調歩同期式モードの場合：1 分周のクロックをノイズフィルタに使用 簡易 I ² C モードの場合：設定禁止 0 0 1: 調歩同期式モードの場合：設定禁止 簡易 I ² C モードの場合：1 分周のクロックをノイズフィルタに使用 0 1 0: 調歩同期式モードの場合：設定禁止 簡易 I ² C モードの場合：2 分周のクロックをノイズフィルタに使用 0 1 1: 調歩同期式モードの場合：設定禁止 簡易 I ² C モードの場合：4 分周のクロックをノイズフィルタに使用 1 0 0: 調歩同期式モードの場合：設定禁止 簡易 I ² C モードの場合：8 分周のクロックをノイズフィルタに使用 その他: 設定禁止	R/W ^(注1)
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SCR/SCR_SMCI レジスタの TE ビットと RE ビットが 0 (シリアル送信動作を禁止、かつ受信動作を禁止) の場合にのみ書き込み可能です。

SNFR レジスタは、デジタルノイズフィルタのクロックを設定するためのレジスタです。

NFCS[2:0] ビット (ノイズフィルタクロック選択)

NFCS[2:0] ビットは、デジタルノイズフィルタのサンプリングクロックを選択します。調歩同期式モードでノイズフィルタを使用する場合、これらのビットを 000b にしてください。簡易 I²C モードで、SEMR レジスタの基本クロック選択ビットにおいて 32 個のクロックが 1 ビット期間として選択された場合、NFCS[2:0] ビットを 001b ~ 100b の範囲に設定してください。基本クロック選択ビットにおいて他の値が選択されている場合は、NFCS ビットを 001b に設定してください。

25.2.24 SIMR1:IIC モードレジスタ 1

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 5, 9)
 SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)
 SCI1 = 0x4011_8100

Offset address: 0x09

Bit position:	7	6	5	4	3	2	1	0
Bit field:	IICDL[4:0]				—	—	IICM	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IICM	簡易 IIC モード選択 0: SCMR.SMIF = 0 : 調歩同期式モード、マルチプロセッサモード、クロック同期式モード、または簡易 SPI モード SCMR.SMIF = 1 : スマートカードインタフェースモード 1: SCMR.SMIF = 0 : 簡易 IIC モード SCMR.SMIF = 1 : 設定禁止	R/W(注1)
2:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:3	IICDL[4:0]	SDAn 遅延出力選択 内蔵ポーレートジェネレータからのクロック信号のサイクル数で示す SDAn 信号出力遅延です。 0x00: 出力遅延なし その他: (IICDL - 1) サイクル～(IICDL) サイクル	R/W(注1)

注 1. SCR.TE ビットと SCR.RE ビットが 0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

SIMR1 レジスタは、簡易 IIC モードと SDAn 出力の遅延段数を選択するためのレジスタです。

IICM ビット (簡易 IIC モード選択)

IICM ビットは、SCMR.SMIF ビットとの組み合わせで動作モードを選択します。

IICDL[4:0]ビット (SDAn 遅延出力選択)

IICDL[4:0]ビットは、SCLn 端子出力の立ち下がりに対する SDAn 端子出力の遅延を指定します。

内蔵ポーレートジェネレータからのクロック信号を基準として、「遅延なし」から 31 サイクルまでの範囲で設定が可能です。SMR.CKS[1:0]ビットの設定によって分周された PCLK クロックが、内蔵ポーレートジェネレータからのクロック信号として供給されます。簡易 IIC モード以外では、IICDL[4:0]ビットを 00000b に設定してください。簡易 IIC モードでは、これらのビットを 00001b～11111b の範囲で設定してください。

表 25.24 各通信モードで IICDL[4:0]ビットに設定可能な値

通信モード	ABCS	IICDL[4:0]ビットに設定可能な値
簡易 IIC モード以外	Don't care	00000b
簡易 IIC モード	0	00001b～11111b
	1	00001b～00100b

25.2.25 SIMR2:IIC モードレジスタ 2

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 5, 9)
 SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)
 SCI1 = 0x4011_8100

Offset address: 0x0A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	IICAC KT	—	—	—	IICCS C	IICINT M
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IICINTM	IIC 割り込みモード選択 0: ACK/NACK 割り込みを使用 1: 受信割り込み、送信割り込みを使用	R/W(注1)
1	IICCSC	クロック同期化 0: クロック信号と同期しない 1: クロック信号と同期する	R/W(注1)
4:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	IICACKT	ACK 送信データ 0: ACK 送信 1: NACK 送信または ACK/NACK 受信	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SCR.RE ビットと SCR.TE ビットが 0 (シリアル受信動作およびシリアル送信動作を禁止) の場合にのみ書き込み可能です。

SIMR2 レジスタは、簡易 IIC モードにおいて、送受信の制御方法を選択するためのレジスタです。

IICINTM ビット (IIC 割り込みモード選択)

IICINTM ビットは、簡易 IIC モードにおいて、割り込み要求の要因を選択します。

IICCSC ビット (クロック同期化)

他のデバイスがウェイトを挿入したため SCLn 端子が Low になったとき、内部で生成する SCLn クロック信号を同期化する場合は、IICCSC ビットを 1 にしてください。

IICCSC ビットを 0 にすると、SCLn クロック信号は同期化されません。SCLn 端子の入力レベルにかかわらず、BRR レジスタで選択したビットレートに従って SCLn クロック信号を生成します。

デバッグ時を除いて、IICCSC ビットは 1 にしてください。

IICACKT ビット (ACK 送信データ)

送信データは ACK ビットを含みます。ACK/NACK ビット受信時は、IICACKT ビットを 1 にしてください。

25.2.26 SIMR3:IIC モードレジスタ 3

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 5, 9)
 SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)
 SCI1 = 0x4011_8100

Offset address: 0x0B

Bit position:	7	6	5	4	3	2	1	0
Bit field:	IICSCLS[1:0]		IICSDAS[1:0]		IICSTIF	IICSTPREQ	IICRS TARE Q	IICSTA REQ

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	IICSTAREQ	開始条件生成 0: 開始条件を生成しない 1: 開始条件を生成する(注1)(注3)(注5)(注6)	R/W
1	IICRSTAREQ	再開条件生成 0: 再開条件を生成しない 1: 再開条件を生成する(注2)(注3)(注5)(注6)	R/W
2	IICSTPREQ	停止条件生成 0: 停止条件を生成しない 1: 停止条件を生成する(注2)(注3)(注5)(注6)	R/W
3	IICSTIF	開始/再開/停止条件生成完了フラグ 0: 各条件の生成要求がない状態、または生成中の状態 1: 開始条件、再開条件、停止条件の生成が完了した状態 IICSTIF ビットに 0 を書くと、0 になります。(注4)	R/W(注4)

ビット	シンボル	機能	R/W
5:4	IICSDAS[1:0]	SDAn 出力選択 0 0: シリアルデータ出力 0 1: 開始条件、再開条件、または停止条件の生成 1 0: SDAn 端子には Low を出力 1 1: SDAn 端子はハイインピーダンス状態	R/W
7:6	IICSCLS[1:0]	SCLn 出力選択 0 0: シリアルクロック出力 0 1: 開始条件、再開条件、または停止条件の生成 1 0: SCLn 端子には Low を出力 1 1: SCLn 端子はハイインピーダンス状態	R/W

- 注 1. バスの状態を確認し、バスフリー状態のときにのみ開始条件を生成してください。
 注 2. バスの状態を確認し、バスビジー状態のときに再開条件または停止条件を生成してください。
 注 3. IICSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットは、2 つ以上を 1 にしないでください。
 注 4. 0 のみを書いてください。1 を書くと、その値は無視されます。
 注 5. IICSTIF フラグを 0 にしてから、各条件生成を行ってください。
 注 6. 1 の状態にあるとき、0 を書かないでください。このビットが 1 の状態にあるとき 0 を書くと、条件生成が中断します。

SIMR3 レジスタは、簡易 I²C モードの開始条件、再開条件、停止条件生成、および、SSDAn 端子、SSCLn 端子の出力値固定を制御するためのレジスタです。

IICSTAREQ ビット（開始条件生成）

開始条件の生成を行うときは、IICSTAREQ ビットを 1 にするとともに、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットをそれぞれ 01b にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 開始条件の生成が完了したとき

IICRSTAREQ ビット（再開条件生成）

再開条件の生成を行うときは、IICRSTAREQ ビットを 1 にするとともに、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットをそれぞれ 01b にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 再開条件の生成が完了したとき

IICSTPREQ ビット（停止条件生成）

停止条件の生成を行うときは、IICSTPREQ ビットを 1 にするとともに、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットをそれぞれ 01b にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 停止条件の生成が完了したとき

IICSTIF フラグ（開始/再開/停止条件生成完了フラグ）

IICSTIF フラグは、各条件の生成後に、生成が完了したことを示します。IICSTAREQ ビット、IICRSTAREQ ビット、または IICSTPREQ ビットを用いて各条件の生成を行うときは、IICSTIF フラグを 0 にしてから生成を実行してください。

SCR.TEIE ビットで割り込み要求が許可されているとき、IICSTIF フラグが 1 の場合に STI 要求が出力されます。

[1 になる条件]

- 開始条件、再開条件、停止条件の生成が完了したとき
1 になる条件が 0 になる条件と競合した場合は、0 になる条件が優先されます。

[0 になる条件]

- 0 を書いたとき。IICSTIF ビットに 0 を書いた後は、ビットを読み出して、実際に 0 になっていることを確認してください。
- SIMR1.IICM ビットに 0 を書いたとき（簡易 IIC モード以外の場合）
- SCR.TE ビットに 0 を書いたとき

IICSDAS[1:0]ビット（SDAn 出力選択）

IICSDAS[1:0]ビットは、SDAn 端子からの出力を制御します。通常動作時は、IICSDAS[1:0]ビットと IICSCLS[1:0]ビットは同じ値にしてください。

IICSCLS[1:0]ビット（SCLn 出力選択）

IICSCLS[1:0]ビットは、SCLn 端子からの出力を制御します。通常動作時は、IICSDAS[1:0]ビットと IICSCLS[1:0]ビットは同じ値にしてください。

25.2.27 SISR:IIC ステータスレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 5, 9)
 SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)
 SCI1 = 0x4011_8100

Offset address: 0x0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	IICACKR

Value after reset: 0 0 x x 0 x 0 0

ビット	シンボル	機能	R/W
0	IICACKR	ACK 受信データフラグ 0: ACK 受信 1: NACK 受信	R
1	—	読むと 0 が読めます。	R
2	—	読み出し値は不定です。	R
3	—	読むと 0 が読めます。	R
5:4	—	読み出し値は不定です。	R
7:6	—	読むと 0 が読めます。	R

SISR レジスタは、簡易 IIC モードにおける状態をモニタするためのレジスタです。

IICACKR フラグ（ACK 受信データフラグ）

IICACKR フラグから、受信された ACK/NACK ビットを読み出すことができます。IICACKR フラグは、受信された ACK/NACK ビットに対して SCLn クロックの立ち上がりエッジで更新されます。

25.2.28 SPMR:SPI モードレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 5, 9)
 SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)
 SCI1 = 0x4011_8100

Offset address: 0x0D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CKPH	CKPOL	—	MFF	CTSPEN	MSS	CTSE	SSE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SSE	SSn 端子機能有効 0: SSn 端子機能は無効 1: SSn 端子機能は有効	R/W(注1)
1	CTSE	CTS 有効 0: CTS 機能は無効 (RTS 出力機能は有効) 1: CTS 機能は有効	R/W(注1)
2	MSS	マスタスレーブ選択 0: TXDn 端子は送信、RXDn 端子は受信 (マスタモード) 1: TXDn 端子は受信、RXDn 端子は送信 (スレーブモード)	R/W(注1)
3	CTSPEN	CTS 外部端子許可 0: 1 つの端子で CTS 機能および RTS 機能を交互に使用するための設定 1: CTS 機能および RTS 機能をそれぞれ別の端子で専用を使用するための設定 SCIn (n = 0, 3~5, 9) 以外の SCI チャンネルのビットは予約ビットです。	R/W
4	MFF	モードフォルトフラグ 0: モードフォルトエラーなし 1: モードフォルトエラーあり	R/W(注2)
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	CKPOL	クロック極性選択 0: クロック極性反転なし 1: クロック極性反転あり	R/W(注1)
7	CKPH	クロック位相選択 0: クロック遅延なし 1: クロック遅延あり	R/W(注1)

注 1. SCR.TE ビットと SCR.RE ビットが 0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

注 2. フラグをクリアするための 0 書き込みのみ可能です。

SPMR レジスタは、調歩同期式モードおよびクロック同期式モードの拡張設定を選択するためのレジスタです。

SSE ビット (SSn 端子機能有効)

簡易 SPI モードで SSn 端子を用いて送受信制御を行うには、SSE ビットを 1 にしてください。他のすべてのモードでは、本ビットを 0 にしてください。簡易 SPI モードでは、マスタモード (SCR.CKE[1:0] = 00b および SPMR.MSS = 0) 選択時にシングルマスタが存在する場合は、送受信制御にマスタ側の SSn 端子は必要ありません。そのような場合は、SSE ビットを 0 にしてください。SSE ビットと CTSE ビットの両方を 1 にしないでください。両方を有効にした場合、これらのビットを 0 にしたときと同じ動作になります。

CTSE ビット (CTS 有効)

SSn 端子を CTS 制御信号入力として用いて送受信制御を行う場合、CTSE ビットを 1 にしてください。本ビットを 0 にした場合は RTS 信号が出力されます。スマートカードインタフェースモード、簡易 SPI モード、および簡易 IIC モードでは、本ビットを 0 にしてください。CTSE ビットと SSE ビットの両方を 1 にしないでください。両方を有効にした場合、これらのビットを 0 にしたときと同じ動作になります。

MSS ビット (マスタスレーブ選択)

MSS ビットは、簡易 SPI モードにおいて、マスタ動作またはスレーブ動作を選択します。本ビットを 1 にすると、TXDn 端子と RXDn 端子の機能が逆になり、データは TXDn 端子を介して受信され、RXDn 端子を介して送信されます。

簡易 SPI モード以外では、本ビットを 0 にしてください。

CTSPEN ビット (CTS 外部端子許可)

CTS 機能と RTS 機能の両機能使用時、端子の使用方法を選択します。

MFF フラグ (モードフォルトフラグ)

MFF フラグは、モードフォルトエラーが発生したことを示します。マルチマスタ構成では、本フラグを読み出すことでモードフォルトエラーの発生を判定できます。

[1 になる条件]

- 簡易 SPI モードでマスタモード (SSE ビット = 1 かつ MSS ビット = 0) の場合に、SSn 端子入力が Low になったとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

CKPOL ビット (クロック極性選択)

CKPOL ビットは、SCKn 端子からのクロック信号出力の極性を選択します。詳細は、[図 25.100](#) を参照してください。簡易 SPI モードおよびクロック同期式モード以外のすべてのモードで、CKPOL ビットを 0 としてください。

CKPH ビット (クロック位相選択)

CKPH ビットは、SCKn 端子からのクロック信号出力の位相を選択します。詳細は、[図 25.100](#) を参照してください。簡易 SPI モードおよびクロック同期式モード以外のすべてのモードで、CKPH ビットを 0 としてください。

25.2.29 FCR:FIFO コントロールレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 5, 9)
SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)

Offset address: 0x14

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RSTRG[3:0]				RTRG[3:0]				TTRG[3:0]				DRES	TFRS T	RFRS T	FM
Value after reset:	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FM	FIFO モード選択 調歩同期式モード (マルチプロセッサモードを含む) またはクロック同期式モードでのみ有効です。 0: 非 FIFO モード。 通信には TDR/RDR または TDRHL/RDRHL レジスタが選択されます。 1: FIFO モード 通信には FTDRHL/FRDRHL レジスタが選択されます。	R/W ^(注1)
1	RFRST	受信 FIFO データレジスタリセット FCR.FM= 1 の場合にのみ有効です。 0: FRDRHL レジスタをリセットしない 1: FRDRHL レジスタをリセットする	R/W
2	TFRST	送信 FIFO データレジスタリセット FCR.FM= 1 の場合にのみ有効です。 0: FTDRHL レジスタをリセットしない 1: FTDRHL レジスタをリセットする	R/W
3	DRES	受信データレディエラー選択 受信データレディ検出時に要求する割り込みを選択します。 0: 受信データフル割り込み (SCIn_RXI) 1: 受信エラー割り込み (SCIn_ERI)	R/W

ビット	シンボル	機能	R/W
7:4	TTRG[3:0]	送信 FIFO データトリガ数 調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。 トリガ番号は、TTRG[3:0]ビットで指定されます。	R/W
11:8	RTRG[3:0]	受信 FIFO データトリガ数 調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。 トリガ番号は、RTRG[3:0]ビットで指定されます。	R/W
15:12	RSTRG[3:0]	RTS 出力アクティブトリガ数選択 調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードにおいて、FCR.FM=1、SPMR.CTSE=0、および SPMR.SSE=0 の場合にのみ有効です。 トリガ番号は、RSTRG[3:0]ビットで指定されます。	R/W

注 1. TE ビット=0、RE ビット=0 の場合のみ書き込み可能です。

FCR レジスタは、FIFO モードの選択、FTDRHL レジスタと FRDRHL レジスタのリセット、送受信用 FIFO データトリガ数の選択、および RTS 出力アクティブトリガ数の選択を行います。

FM ビット (FIFO モード選択)

FM ビットを 1 にすると、通信には FTDRHL と FRDRHL が選択されます。FM ビットを 0 にすると、通信には TDR、RDR もしくは TDRHL、RDRHL が選択されます。

RFRST ビット (受信 FIFO データレジスタリセット)

RFRST ビットを 1 にすると、FRDRHL レジスタがリセットされ、受信データ数は 0 にリセットされます。1 を書いてから 1PCLK 経過後、RFRST ビットは 0 にクリアされます。

TFRST ビット (送信 FIFO データレジスタリセット)

TFRST ビットを 1 にすると、FTDRHL レジスタがリセットされ、送信データ数は 0 にリセットされます。1 を書いてから 1PCLK 経過後、TFRST ビットは 0 にクリアされます。

DRES ビット (受信データレディエラ選択)

受信データレディエラ検出時、SCI_{IN}_RXI 割り込み要求または SCI_{IN}_ERI 割り込み要求を選択できます。

TTRG[3:0]ビット (送信 FIFO データトリガ数)

FTDRHL レジスタ内の送信データ数が TTRG[3:0]ビットに指定された送信トリガ数以下の場合、TDFE フラグが 1 になり、ソフトウェアによる FTDRHL レジスタへのデータ書き込みが可能になります。SCR.TIE=1 の場合は、SCI_{IN}_TXI 割り込み要求が発生します。

RTRG[3:0]ビット (受信 FIFO データトリガ数)

FRDRHL レジスタ内の受信データ数が RTRG[3:0]ビットに指定された受信トリガ数以上の場合、RDF フラグが 1 になり、ソフトウェアによる FRDRHL レジスタからのデータ読み出しが可能になります。SCR.RIE=1 の場合は、SCI_{IN}_RXI 割り込み要求が発生します。

RTRG[3:0]ビットが 0 の場合は、受信 FIFO 内のデータ数が 0 であっても、RDF フラグはセットされず、SCI_{IN}_RXI 割り込み要求も発生しません。

RSTRG[3:0]ビット (RTS 出力アクティブトリガ数選択)

FRDRHL レジスタに格納された受信データ数が RSTRG[3:0]ビットに指定された受信トリガ数以上の場合、RTS 信号は High 状態になります。

RSTRG[3:0]ビットが 0 の場合は、FRDRHL レジスタのデータ数が 0 であっても、RTS 信号は High 状態になりません。

25.2.30 FDR:FIFO データ数レジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 5, 9)
 SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)

Offset address: 0x16

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	T[4:0]				—	—	—	R[4:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	R[4:0]	受信 FIFO データ 調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードにおいて、FCR.FM = 1 の場合にのみ有効です。 FRDRHL レジスタに格納された受信データ量を示します。	R
7:5	—	読むと 0 が読めます。	R
12:8	T[4:0]	送信 FIFO データ数 調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードにおいて、FCR.FM = 1 の場合にのみ有効です。 FTDRHL レジスタに格納された未送信データ量を示します。	R
15:13	—	読むと 0 が読めます。	R

FDR レジスタは、FRDRHL/FTDRHL レジスタに格納されたデータ量を示します。

R[4:0]ビット（受信 FIFO データ）

R[4:0]ビットは、FRDRHL レジスタに格納された受信データ量を示します。値 0x00 は受信データがないことを意味します。また、値 0x10 は最大数の受信データが FRDRHL レジスタに格納されていることを意味します。

T[4:0]ビット（送信 FIFO データ数）

T[4:0]ビットは、FTDRHL レジスタに格納された未送信データ量を示します。値 0x00 は送信データがないことを意味します。また、値 0x10 は全送信データ（最大数）が FTDRHL レジスタに格納されていることを意味します。

25.2.31 LSR:ラインステータスレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 5, 9)
 SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)

Offset address: 0x18

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	PNUM[4:0]				—	FNUM[4:0]				—	ORER		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ORER	オーバーランエラーフラグ 調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードにおいて、FIFO 選択時にのみ有効です。 0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R(注1)
1	—	読むと 0 が読めます。	R
6:2	FNUM[4:0]	フレーミングエラー数 FRDRHL レジスタに格納された受信データ中の、フレーミングエラーのあるデータ数を示します。	R
7	—	読むと 0 が読めます。	R

ビット	シンボル	機能	R/W
12:8	PNUM[4:0]	パリティエラー数 FRDRHL レジスタに格納された受信データ中の、パリティエラーのあるデータ数を示します。	R
15:13	—	読むと 0 が読めます。	R

注 1. SSR_FIFO.ORER に 0 を書いて、フラグをクリアしてください。

LSR レジスタは受信エラー状況を示すレジスタです。

ORER フラグ (オーバーランエラーフラグ)

ORER フラグは、SSR_FIFO.ORER の値を反映します。

FNUM[4:0]ビット (フレーミングエラー数)

FNUM[4:0]ビットの値は、FRDRHL レジスタ中のフレーミングエラーのあるデータ数を示します。

PNUM[4:0]ビット (パリティエラー数)

PNUM[4:0]ビットの値は、FRDRHL レジスタ中のパリティエラーのあるデータ数を示します。

25.2.32 CDR:コンペアマッチデータレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 5, 9)
SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)

Offset address: 0x1A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CMPD[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	CMPD[8:0]	コンペアマッチデータ アドレス一致ウェイクアップ機能用の比較データパターンを格納します。	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CDR レジスタは、アドレス一致検出機能用の比較データを設定するためのレジスタです。

CMPD[8:0]ビット (コンペアマッチデータ)

CMPD[8:0]ビットは、アドレス一致検出機能が有効 (DCCR.DCME = 1) のとき、アドレス一致検出機能で受信データと比較するデータを設定します。

以下の 3 種類のビット長から選択できます。

- 7 ビット長の CMPD[6:0]
- 8 ビット長の CMPD[7:0]
- 9 ビット長の CMPD[8:0]

25.2.33 DCCR:データコンペアマッチコントロールレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 5, 9)
SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)

Offset address: 0x13

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DCME	IDSEL	—	DFER	DPER	—	—	DCMF
Value after reset:	0	1	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DCMF	データコンペアマッチフラグ 0: 不一致 1: 一致	R(/W) (注1)
2:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	DPER	データコンペアマッチパリティエラーフラグ 0: パリティエラーの発生なし 1: パリティエラーの発生あり	R(/W) (注1)
4	DFER	データコンペアマッチフレーミングエラーフラグ 0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R(/W) (注1)
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	IDSEL	ID フレーム選択 調歩同期式モード（マルチプロセッサモードを含む）でのみ有効です。 0: MPB ビット値とは無関係に、常にデータを比較する 1: MPB ビットが 1（ID フレーム）の場合にのみデータを比較する	R/W
7	DCME	データコンペアマッチ有効 調歩同期式モード（マルチプロセッサモードを含む）でのみ有効です。 0: アドレス一致検出機能は無効 1: アドレス一致検出機能は有効	R/W

注 1. フラグをクリアするため、1 を読んだ後に 0 を書き込むことのみ可能です。

DCCR レジスタは、アドレス一致検出機能を制御するためのレジスタです。

DCMF フラグ（データコンペアマッチフラグ）

DCMF フラグは、SCI が受信データと比較データ (CDR.CMPD) の一致を検出したことを示します。

[1 になる条件]

- DCCR.DCME=1 の状態で、受信データが比較データ (CDR.CMPD) と一致したとき

[0 になる条件]

- DCMF から 1 を読んだ後、0 を書いたとき

SCR.RE ビットを 0 にしても、DCMF フラグは影響を受けず、以前の値を保持します。

DPER フラグ（データコンペアマッチパリティエラーフラグ）

DPER フラグは、アドレス一致検出（受信データの一致検出）時に、パリティエラーが発生したことを示します。

[1 になる条件]

- アドレス一致が検出されたフレームでパリティエラーが検出されたとき

[0 になる条件]

- DPER から 1 を読んだ後、0 を書いたとき

SCR.RE ビットを 0（シリアル受信動作を禁止）にしても、DPER フラグは影響を受けず、以前の値を保持します。

DFER フラグ（データコンペアマッチフレーミングエラーフラグ）

DFER フラグは、アドレス一致検出（受信データの一致検出）時に、フレーミングエラーが発生したことを示します。

[1 になる条件]

- アドレス一致が検出されたフレームのストップビットが 0 のとき
2 ストップビットモードの場合、ストップビットの 1 ビット目のみが 1 であるかチェックされます（2 ビット目はチェックされません）。

[0 になる条件]

- DFER から 1 を読んだ後、0 を書いたとき

SCR.RE ビットを 0（シリアル受信動作を禁止）にしても、DFER フラグは影響を受けず、以前の値を保持します。

IDSEL ビット（ID フレーム選択）

IDSEL ビットは、アドレス一致検出機能が有効な場合、MPB ビットの値とは無関係に比較を行うか、または SSR.MPB ビット = 1（ID フレーム）の場合にのみ比較を行うかを選択します。

DCME ビット（データコンペアマッチ有効）

DCME ビットは、アドレス一致検出機能（データコンペアマッチ機能）の有効／無効を選択します。

SCI によって受信データと比較データ (CDR.CMPD) の一致が検出された場合、DCME ビットは自動的にクリアされ、その後、SCI の動作モードは通常の実受信モードになります。「[25.3.6. アドレス一致（受信データ一致）検出機能](#)」を参照してください。

調歩同期式モード以外では、書き込み値は 0 にする必要があります。

25.2.34 SPTR：シリアルポートレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 5, 9)
SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)

Offset address: 0x1C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ATEN	ASEN	TINV	RINV	—	SPB2IO	SPB2DT	RXDMON
Value after reset:	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
0	RXDMON	シリアル入力データモニタ RXDn 端子の状態を示します。 0: RINV = 0 のとき、RXDn 端子は Low になる RINV = 1 のとき、RXDn 端子は High になる 1: RINV = 0 のとき、RXDn 端子は High になる RINV = 1 のとき、RXDn 端子は Low になる	R
1	SPB2DT	シリアルポートブレイクデータ選択 SCR.TE = 0 の場合、TXDn 端子の出力レベルを選択します。 0: TINV = 0 のとき、TXDn 端子は Low を出力する TINV = 1 のとき、TXDn 端子は High を出力する 1: TINV = 0 のとき、TXDn 端子は High を出力する TINV = 1 のとき、TXDn 端子は Low を出力する	R/W
2	SPB2IO	シリアルポートブレイク入出力 ^(注1) TXDn 端子へ SPB2DT の値を出力するか否かを選択します。 0: SPB2DT ビットの値を TXDn 端子に出力しない 1: SPB2DT ビットの値を TXDn 端子に出力する	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	RINV	RXDn 反転 0: RXDn 端子からの受信データを反転せずに入力する ^(注2) 1: RXDn 端子からの受信データを反転して入力する	R/W ^(注3)
5	TINV	TXDn 反転 0: 送信データを反転せずに TXDn 端子に出力する ^(注2) 1: 送信データを反転し TXDn 端子に出力する	R/W ^(注3)
6	ASEN	受信サンプリングタイミング調整許可 このビットは内部クロックを使用して、調歩同期式モードで有効になります。 この機能で受信サンプリングタイミングを調整できます。 内部クロックを使用する調歩同期式モードの詳細については、「 25.3.10. 受信サンプリングタイミング調整機能（調歩同期式モード） 」を参照してください。 0: サンプリングタイミング調整を禁止 1: サンプリングタイミング調整を許可	R/W ^(注3)

ビット	シンボル	機能	R/W
7	ATEN	送信タイミング調整許可 このビットは内部クロックを使用して、調歩同期式モードで有効になります。 この機能で TXDn 波形の送信エッジを調整できます。詳細は「 25.3.11. 送信タイミング調整機能（調歩同期式モード） 」を参照してください。 0: 送信タイミング調整を禁止 1: 送信タイミング調整を許可	R/W(注3)

注 1. 本ビットを調歩同期式モードおよびマンチェスタモードで使用してください。他のモードでの動作は保証されません。

注 2. スマートカードインタフェースモード、および簡易 IIC モードでは、RINV/TINV を 0 に設定してください。

注 3. これらのビット値の変更は、SCR.TE = SCR.RE = 0 の状態で行ってください。

SPTR レジスタは、シリアル受信端子（RXDn 端子）の状態を確認し、送信端子と受信端子の状態を設定するためのレジスタです。

また、SPTR レジスタには受信サンプリングタイミングと送信タイミングの調整機能を許可するビットがあります。

表 25.25 に示すように、TXDn 端子の状態は、SCR.TE ビット、SPTR.SPB2IO ビット、および SPTR.SPB2DT ビットの各設定値の組み合わせで決定されます。

RDR のデータは RINV と SCMR.SINV によって制御されます。また、TXDn 端子からのデータは TINV と SCMR.SINV によって制御されます。RINV/TINV による制御は通信端子 (RXDn/TXDn) に対して実施されます。したがって、データビットだけでなく他のビット（スタートビット、ストップビット、パリティビット）も制御可能です。詳細は、[図 25.6](#) を参照してください。

表 25.25 TXDn 端子の状態

SCR.TE ビットの値	SPTR.SPB2IO ビットの値	SPTR.SPB2DT ビットの値	TXDn 端子の状態
0	0	—	Hi-Z（初期値）
0	1	0	Low を出力
0	1	1	High を出力
1	—	—	シリアル送信データを出力

注. — : Don't care

注. SPTR レジスタは調歩同期式モードでのみ使用してください。他のモードでの使用は保証されません。

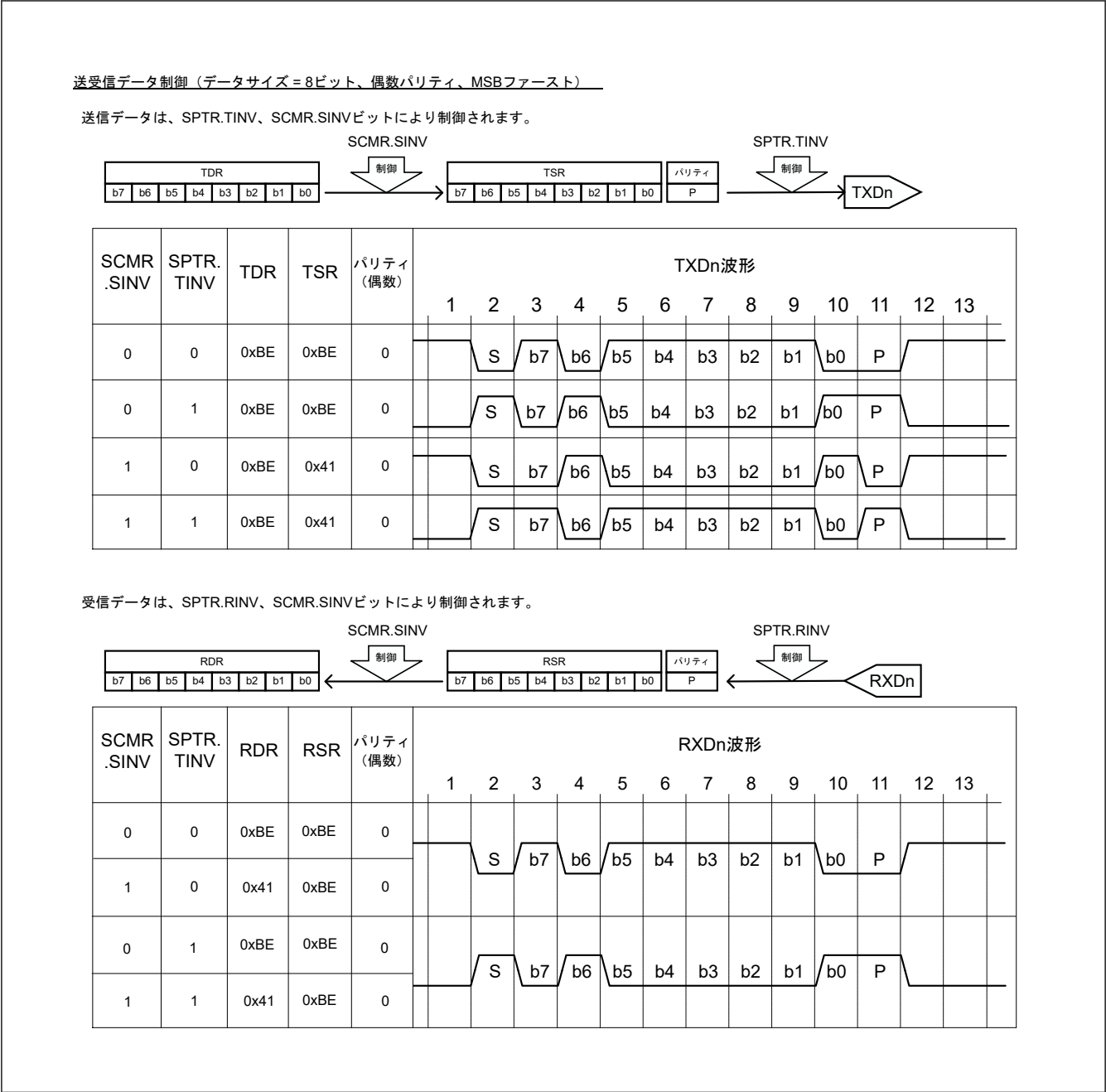


図 25.6 受信/送信データ制御の例

25.2.35 ACTR : 通信タイミング調整レジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 5, 9)
SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)

Offset address: 0x1D

Bit position: 7 6 5 4 3 2 1 0

Bit field:	AET	ATT[2:0]	AJD	AST[2:0]
Value after reset:	0	0 0 0	0	0 0 0

ビット	シンボル	機能	R/W
2:0	AST	受信サンプリングタイミングの調整値 RXD 端子のサンプリングタイミングは、次の式によってビットの中心から調整されます。 調整サンプリングタイミング = 基本クロック × AST[2:0]の設定値 このビットは SPTR.ASEN = 1 の場合のみに有効になります。この設定タイミングは基本クロックサイクル数の設定によって制限されます。詳細は、「 25.3.10. 受信サンプリングタイミング調整機能（調歩同期式モード） 」を参照してください。	R/W(注1)
3	AJD	受信サンプリングタイミングの調整方向 RXD の受信サンプリングタイミングの調整方向はこのビットによって決定されます。 0: サンプリングタイミングはビットの中心に向かって後ろに調整されます。 1: サンプリングタイミングはビットの中心に向かって前に調整されます。 このビットは SPTR.ASEN = 1 の場合のみに有効になります。詳細は、「 25.3.10. 受信サンプリングタイミング調整機能（調歩同期式モード） 」を参照してください。	R/W(注1)
6:4	ATT	送信タイミングの調整値 TXD のエッジ選択タイミングは次の式によって調整されます。 調整エッジタイミング = 基本クロック × AST[2:0]の設定値 このビットは SPTR.ATEN = 1 の場合のみに有効になります。この設定タイミングは基本クロックサイクル数の設定によって制限されます。詳細は、「 25.3.11. 送信タイミング調整機能（調歩同期式モード） 」を参照してください。	R/W(注2)
7	AET	送信タイミングの調整エッジ 調整可能エッジはこのビットによって設定されます。 SPTR.TINV ビットが 0 のとき： 0: 立ち上がりエッジタイミングを調整します。 1: 立ち下がりエッジタイミングを調整します。 SPTR.TINV ビットが 1 のとき： 0: 立ち下がりエッジタイミングを調整します。 1: 立ち上がりエッジタイミングを調整します。 このビットは SPTR.ATEN = 1 の場合のみに有効になります。詳細は、「 25.3.11. 送信タイミング調整機能（調歩同期式モード） 」を参照してください。	R/W(注2)

注 1. このビットへの書き込みは、SPTR.ASEN = 0 の場合のみに行ってください。

注 2. このビットへの書き込みは、SPTR.ATEN = 0 の場合のみに行ってください。

このレジスタは受信サンプリングタイミングと送信タイミングの調整を行います。このレジスタは内部クロックを使用した調歩同期式モードの場合にのみ有効になります。

このレジスタによる受信サンプリングタイミングの調整の詳細は、「[25.3.10. 受信サンプリングタイミング調整機能（調歩同期式モード）](#)」を参照してください。

このレジスタによる送信タイミングの調整の詳細は、「[25.3.11. 送信タイミング調整機能（調歩同期式モード）](#)」を参照してください。

注. IP 動作（「[25.1. 概要](#)」、「[25.2. レジスタの説明](#)」、「[25.3.10. 受信サンプリングタイミング調整機能（調歩同期式モード）](#)」、および「[25.3.11. 送信タイミング調整機能（調歩同期式モード）](#)」を除く）の詳細とタイミング図は、受信サンプリングタイミングと送信タイミングの調整機能が無効（SPTR.ASEN = 0, SPTR.ATEN = 0）の場合を説明したものです。

25.2.36 MMR : マンチェスタモードレジスタ

Base address: SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)

Offset address: 0x20

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MANE N	SBSE L	SYNS EL	SYNV AL	—	ERTE N	TMPO L	RMPO L
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RMPO L	受信マンチェスタコードの極性 受信マンチェスタコードの極性を設定します 0: 論理 0 がマンチェスタコードの 0 から 1 の遷移によってコード化されます 論理 1 がマンチェスタコードの 1 から 0 の遷移によってコード化されます 1: 論理 0 がマンチェスタコードの 1 から 0 の遷移によってコード化されます 論理 1 がマンチェスタコードの 0 から 1 の遷移によってコード化されます	R/W(注1)

ビット	シンボル	機能	R/W
1	TMPOL	送信マンチェスタコードの極性 送信マンチェスタコードの極性を設定します 0: 論理 0 がマンチェスタコードの 0 から 1 の遷移によってコード化されます 論理 1 がマンチェスタコードの 1 から 0 の遷移によってコード化されます 1: 論理 0 がマンチェスタコードの 1 から 0 の遷移によってコード化されます 論理 1 がマンチェスタコードの 0 から 1 の遷移によってコード化されます	R/W(注1)
2	ERTEN	マンチェスタエッジ再タイミング有効 受信再タイミング機能を設定します 0: 受信再タイミング機能が無効 1: 受信再タイミング機能が有効	R/W(注1)
3	—	読むと 0 が読めます。書く場合、0 としてください。	R
4	SYNVAL	SYNC 値設定 マンチェスタコードのスタートビットの SYNC タイプを設定します。 スタートビット領域が 1 ビットの場合 (SBSEL = 0) • 送信時 0: 0 から 1 に遷移するスタートビットが追加されます。 1: 1 から 0 に遷移するスタートビットが追加されます。 • 受信時 0: スタートビットが 0 から 1 に遷移した場合のみにデータが受信されます。他のケースはエラーと判断されます。 1: スタートビットが 1 から 0 に遷移した場合のみにデータが受信されます。他のケースはエラーと判断されます。 スタートビット領域が 3 ビットで構成される場合 (SBSEL = 1) • 送信時 0: 0 から 1 に遷移するスタートビットが追加されます (DATA SYNC)。 1: 1 から 0 に遷移するようにスタートビットがコーディングされます (COMMAND SYNC)。 • 受信時 スタートビット領域が 3 ビットの場合、このビットとは関係なしにデータが受信されます。	R/W(注1)
5	SYNSEL	SYNC 選択 0: スタートビットパターンが SYNVAL ビットで設定されます。 1: スタートビットパターンが TSYNC ビットで設定されます。	R/W(注1)
6	SBSEL	スタートビットの選択 0: スタートビット領域が 1 ビットで構成されます。 1: スタートビット領域が 3 ビットで構成されます (COMMAND SYNC または DATA SYNC)。	R/W(注1)
7	MANEN	マンチェスタモード有効 マンチェスタモードを設定します 0: マンチェスタモードを無効にします 1: マンチェスタモードを有効にします	R/W(注1)

注. このレジスタのビット[6:0]はビット 7 でマンチェスタモードが有効にされている場合 (MANEN = 1) のみに有効です。

注 1. SCR.TE ビットと SCR.RE ビットが 0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合にのみ書き込み可能です。

このレジスタはマンチェスタモードの有効または無効、スタートビット領域の設定、および論理極性の設定のために使用します。

RMPOL ビット (受信マンチェスタコードの極性)

受信マンチェスタコードの極性を設定します。詳細は「[25.5.7. シリアルデータの受信 \(マンチェスタモード\)](#)」をご参照ください。

TMPOL ビット (送信マンチェスタコードの極性)

送信マンチェスタコードの極性を設定します。詳細は「[25.5.6. シリアルデータの送信 \(マンチェスタモード\)](#)」をご参照ください。

ERTEN ビット (マンチェスタエッジ再タイミング有効)

マンチェスタコードの受信再タイミング機能を設定します。

受信再タイミング機能については、「[25.5.9. 受信再タイミング](#)」を参照してください。

SYNVAL ビット (SYNC 値設定)

このビットはこのレジスタの SYNSEL ビットが 0 に設定されている場合に有効です。

SYNC タイプはこのビットと SBSEL ビットを組み合わせることによって設定できます。

このビットと SBSEL ビットを組み合わせることによって決まるスタートビット領域については、[図 25.53](#) と [図 25.54](#) を参照してください。

SYNSEL ビット (SYNC 選択)

このビットはこのレジスタの SBSEL ビットが 1 に設定されている場合に有効です。このビットは、マンチェスタフレームに追加されるスタートビット領域の SYNC タイプを設定する際の、参照先を指定します。

このビットが 0 のとき、このレジスタの SYNVAL ビットが参照されます。

このビットが 1 のとき、TDRH レジスタの TSYNC ビットが参照されます。

詳細については、「[25.2.36. MMR: マンチェスタモードレジスタ](#)」のビットテーブルを参照してください。

SBSEL ビット (スタートビットの選択)

このビットはマンチェスタフレームのスタートビット領域を設定します。

このビットが 1 に設定されているときは、各フレームに追加されるスタートビット領域は 3 ビットで構成され、このレジスタの SYNSEL ビットと SYNVAL ビットが有効になります。

このビットが 0 に設定されているときは、各フレームに追加されるスタートビット領域は 1 ビットで構成されません。

MANEN ビット (マンチェスタモード有効)

マンチェスタモードを設定します。

このビットを 0 にすると、マンチェスタモードが無効になります。

このビットを 1 にすると、マンチェスタモードが有効になります。

25.2.37 TMPR: マンチェスタプレフィス設定レジスタの転送

Base address: SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)

Offset address: 0x22

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	TPPAT[1:0]	TPLEN[3:0]				
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	TPLEN	送信プレフィス長 マンチェスタモードの送信データのプレフィス長を設定します 0x0: 送信プレフィスの生成を無効にします その他: 送信プレフィス長 (ビット長)	R/W(注1)
5:4	TPPAT	送信プレフィスパターン 送信データのプレフィスパターンを設定します 0 0: ALL ZERO 設定時 0 1: ZERO ONE 設定時 1 0: ONE ZERO 設定時 1 1: ALL ONE 設定時	R/W(注1)
7:6	—	読み出し値は不定です。書く場合、0 としてください。	R

注: このレジスタはマンチェスタモードが有効の場合 (MMR.MANEN = 1) のみに有効です。

注 1. SCR.TE ビットと SCR.RE ビットが 0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合にのみ書き込み可能です。

このレジスタは、マンチェスタモードでの送信データのプレフィス長とプレフィスパターンを設定するために使用します。

TPLEN ビット (送信プレフィス長)

これらビットは、マンチェスタモードにおける送信データのプレフィスビット長を設定します。

設定可能な範囲は 0x0~0xF (0~15) です。0x0 を設定した場合、送信プレフィスが無効になり、付加されなくなります。

TPPAT ビット (送信プレフィスパターン)

これらのビットはマンチェスタモードの 4 つのプレフィスパターンのうちのいずれかに設定されます。

これらビットが 00b に設定されている場合、プレフィス領域はすべて 0 に設定されます。

これらビットが 01b に設定されている場合、プレフィス領域は 0-1-0-1 のパターンに設定されます。

これらビットが 10b に設定されている場合、プレフィス領域は 1-0-1-0 のパターンに設定されます。

これらビットが 11b に設定されている場合、プレフィス領域はすべて 1 に設定されます。

注. TPPAT ビットが設定されている場合の送信データと受信データについては、[図 25.52](#) を参照してください。

25.2.38 RMPR : マンチェスタプレフィス設定レジスタの受信

Base address: SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)

Offset address: 0x23

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	RPPAT[1:0]		RPLEN[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	RPLEN	受信プレフィス長 マンチェスタモードが有効時に、プレフィス長を設定します 0: 受信プレフィスの生成を無効にします その他: 受信プレフィス長 (ビット長)	R/W(注1)
5:4	RPPAT	受信プレフィスパターン 受信フレームのプレフィスパターンを設定します 0 0: ALL ZERO 設定時 0 1: ZERO ONE 設定時 1 0: ONE ZERO 設定時 1 1: ALL ONE 設定時	R/W(注1)
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. このレジスタはマンチェスタモードが有効の場合 (MMR.MANEN = 1) のみに有効です。

注 1. SCR.TE ビットと SCR.RE ビットが 0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合にのみ書き込み可能です。

このレジスタは、マンチェスタモードでの受信フレームのプレフィス長とプレフィスパターンを設定するために使用します。

RPLEN ビット (受信プレフィス長)

これらビットは、マンチェスタモードにおける受信フレームのプレフィスビット長を設定します。

設定可能な範囲は 0x0~0xF (0~15) です。0x0 を設定した場合、受信プレフィスが無効になり、付加されなくなります。0x1~0xF が設定された場合は、設定値が受信プレフィスビット長として扱われます。

RPPAT ビット (受信プレフィスパターン)

これらのビットはマンチェスタモードの 4 つのプレフィスパターンのうちのいずれかに設定されます。

これらビットが 00b に設定されている場合は、プレフィス領域はすべて 0 として扱われます。

これらビットが 01b に設定されている場合、プレフィス領域は 0-1-0-1 のパターンとして扱われます。

これらビットが 10b に設定されている場合、プレフィス領域は 1-0-1-0 のパターンとして扱われます。

これらビットが 11b に設定されている場合は、プレフィス領域はすべて 1 として扱われます。

注. RPPAT ビットが設定されている場合の送信データと受信データについては、[図 25.52](#) を参照してください。

25.2.39 MESR : マンチェスタ拡張エラーステータスレジスタ

Base address: SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)

Offset address: 0x24

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SBER	SYER	PFER
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PFER	プレフィスエラーフラグ このビットはプレフィスエラー（パターン不一致）が検出されたときに設定されます。 0: プレフィスエラー未検出 1: プレフィスエラー検出	R/(W) (注1)
1	SYER	SYNC エラーフラグ このビットは受信再タイミング時の調整可能範囲でエッジが検出されなかった場合に設定されます。 0: 受信 SYNC エラーの検出なし 1: 受信 SYNC エラーの検出あり	R/(W) (注1)
2	SBER	スタートビットエラーフラグ このビットはスタートビット領域でパターン不一致が検出されたときに設定されます。 0: スタートビットエラーの検出なし 1: スタートビットエラーの検出あり	R/(W) (注1)
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. このレジスタはマンチェスタモードが有効の場合 (MMR.MANEN = 1) のみに有効です。

注 1. フラグをクリアするための 0 書き込みのみ可能です。フラグをクリアするには、フラグが 1 であることを確認してから 0 を書いてください。

このレジスタはマンチェスタモードでのフレーム受信時のエラー状態を示します。

プレフィスエラー、受信 SYNC エラー、スタートビットエラーの検出を示します。

PFER ビット（プレフィスエラーフラグ）

このビットはマンチェスタモードでのフレーム受信時にプレフィスエラーを検出したことを示します。

[1 になる条件]

- マンチェスタモードでのフレーム受信時にプレフィスエラーが検出されたとき
プレフィスエラーが発生したときに以下の動作が行われます。
(MECR.PFEREN = 1 の場合)
受信データは RDR レジスタに転送されず、RXI 割り込み要求も発生しません。代わりに ERI 割り込み要求が発生します。なお、PFER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。
(MECR.PFEREN = 0 の場合)
受信データが RDR レジスタに転送され、RXI 割り込み要求が発生します。ERI 割り込み要求は発生しません。
PFER フラグが 1 になっていても以降の受信動作には影響しません。

[0 になる条件]

- ビットから 1 を読み出した後に 0 を書き込んだとき

SCR.RE ビットを 0 にクリアしても、PFER フラグは影響を受けず、以前の状態を保持します。

SYER ビット（SYNC エラーフラグ）

このビットはマンチェスタモードで MMR.ERTEN = 1（マンチェスタエッジ再タイミング許可）の場合のフレーム受信時に受信 SYNC エラーを検出したことを示します。

[1 になる条件]

- マンチェスタモードでのフレーム受信時に受信 SYNC エラーが検出されたとき
受信 SYNC エラーが発生したときに以下の動作が行われます。

(MECR.SYEREN = 1 の場合)

受信データが RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。代わりに ERI 割り込み要求が発生します。なお、SYER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

(MECR.SYEREN = 0 の場合)

受信データが RDR レジスタに転送され、RXI 割り込み要求が発生します。ERI 割り込み要求は発生しません。SYER フラグが 1 になっていても以降の受信動作には影響しません。

[0 になる条件]

- ビットから 1 を読み出した後に 0 を書き込んだとき

SCR.RE ビットを 0 にクリアしても、SYER フラグは影響を受けず、以前の状態を保持します。

SBER ビット (スタートビットエラーフラグ)

このビットはマンチェスタモードでのフレーム受信時にスタートビットエラーを検出したことを示します。

[1 になる条件]

- マンチェスタモードでのフレーム受信時にスタートビットエラーが検出されたとき
スタートビットエラーが発生したときに以下の動作が行われます。

(MECR.SBEREN = 1 の場合)

受信データは RDR レジスタに転送されず、RXI 割り込み要求も発生しません。代わりに ERI 割り込み要求が発生します。なお、SBER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

(MECR.SBEREN = 0 の場合)

受信データが RDR レジスタに転送され、RXI 割り込み要求が発生します。ERI 割り込み要求は発生しません。SBER フラグが 1 になっていても以降の受信動作には影響しません。

[0 になる条件]

- ビットから 1 を読み出した後に 0 を書き込んだとき

SCR.RE ビットを 0 にクリアしても、SBER フラグは影響を受けず、以前の状態を保持します。

25.2.40 MECR : マンチェスタ拡張エラーコントロールレジスタ

Base address: SCIk = 0x4011_8000 + 0x0100 × k (k = 3, 4)

Offset address: 0x25

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SBER EN	SYER EN	PFER EN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PFEREN	プレフィスエラー許可 プレフィスエラーを割り込み要因として扱うかどうかを指定します 0: プレフィスエラーを割り込み要因として扱わない 1: プレフィスエラーを割り込み要因として扱う	R/W
1	SYEREN	受信 SYNC エラー許可 受信 SYNC エラーを割り込み要因として扱うかどうかを指定します 0: 受信 SYNC エラーを割り込み要因として扱わない 1: 受信 SYNC エラーを割り込み要因として扱う	R/W
2	SBEREN	スタートビットエラー許可 スタートビットエラーを割り込み要因として扱うかどうかを指定します 0: スタートビットエラーを割り込み要因として扱わない 1: スタートビットエラーを割り込み要因として扱う	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R

注: このレジスタはマンチェスタモードが有効の場合 (MMR.MANEN = 1) のみに有効です。

このレジスタは、マンチェスタモードにおいてプレフィスエラー、受信 SYNC エラー、またはスタートビットエラーを割り込み要因として扱うかどうかを指定します。これらエラーが割り込み要因として扱われると、各エラ

一発生時に割り込み要求とイベント要求が生成され、対応するエラーフラグがクリアされるまで受信が中断します。

MMR.MANEN = 0 の状態でこのレジスタを設定してください。ただし、通信中はこのレジスタを変更しないでください。

PFEREN ビット（プレフィスエラー許可）

プレフィスエラーを割り込み要因として扱うかどうかを指定します。

0 に設定されると、プレフィスエラーが割り込み要因として扱われません。1 に設定されると、プレフィスエラーが割り込み要因として扱われます。

SYEREN ビット（受信 SYNC エラー許可）

受信 SYNC エラーを割り込み要因として扱うかどうかを指定します。

0 に設定されると、受信 SYNC エラーが割り込み要因として扱われません。1 に設定されると、受信 SYNC エラーが割り込み要因として扱われます。

SBEREN ビット（スタートビットエラー許可）

スタートビットエラーを割り込み要因として扱うかどうかを指定します。

0 に設定されると、スタートビットエラーが割り込み要因として扱われません。1 に設定されると、スタートビットエラーが割り込み要因として扱われます。

25.2.41 ESMER：簡易 LIN モード有効レジスタ

Base address: SCI1 = 0x4011_8100

Offset address: 0x20

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ESME

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	ESME	簡易 LIN モード有効 0: 簡易 LIN モード無効 1: 簡易 LIN モード有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ESME ビット（簡易 LIN モード有効）

ESME ビットが 1 の場合、簡易 LIN モード制御部が有効となります。

ESME ビットが 0 の場合、簡易 LIN モード制御部が初期化されます。

表 25.26 ESMER ビットの設定とタイマ動作モード

ESME ビット	タイマモード	Break Field Low width 判定モード	Break Field Low width 出力モード
0	使用可能(注1)	使用不可	使用不可
1	使用可能	使用可能	使用可能

注 1. PCLK 選択時のみ動作します。

25.2.42 CR0 : コントロールレジスタ 0

Base address: SCI1 = 0x4011_8100

Offset address: 0x21

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	BRME	RXDS F	SFSF	—

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	SFSF	Start Frame ステータスフラグ 0: Start Frame 検出機能無効状態 1: Start Frame 検出機能有効状態	R
2	RXDSF	RXD _{Xn} 入力ステータスフラグ 0: RXD _{Xn} 入力を許可 1: RXD _{Xn} 入力を禁止	R
3	BRME	ビットレート測定イネーブルビット 0: ビットレート測定無効 1: ビットレート測定有効	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

25.2.43 CR1 : コントロールレジスタ 1

Base address: SCI1 = 0x4011_8100

Offset address: 0x22

Bit position:	7	6	5	4	3	2	1	0
Bit field:	PIBS[2:0]			PIBE	CF1DS[1:0]		CF0R E	BFE

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	BFE	Break Field イネーブルビット 0: Break Field の検出が無効 1: Break Field の検出が有効	R/W
1	CF0RE	Control Field 0 受信イネーブルビット 0: Control Field 0 受信無効 1: Control Field 0 受信有効	R/W
3:2	CF1DS[1:0]	Control Field 1 データレジスタ選択ビット 0 0: PCF1DR を比較データに選択 0 1: SCF1DR を比較データに選択 1 0: PCF1DR および SCF1DR を比較データに選択 1 1: 設定禁止	R/W
4	PIBE	プラリオリティインタラプトビットイネーブルビット 0: プライオリティインタラプトビット無効 1: プライオリティインタラプトビット有効	R/W

ビット	シンボル	機能	R/W
7:5	PIBS[2:0]	プラリオリティインタラプトビットセレクトビット 0 0 0: Control Field 1 0 ビット目 0 0 1: Control Field 1 1 ビット目 0 1 0: Control Field 1 2 ビット目 0 1 1: Control Field 1 3 ビット目 1 0 0: Control Field 1 4 ビット目 1 0 1: Control Field 1 5 ビット目 1 1 0: Control Field 1 6 ビット目 1 1 1: Control Field 1 7 ビット目	R/W

25.2.44 CR2 : コントロールレジスタ 2

Base address: SCI1 = 0x4011_8100

Offset address: 0x23

Bit position: 7 6 5 4 3 2 1 0

Bit field:	RTS[1:0]	BCCS[1:0]	—	DFCS[2:0]

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
2:0	DFCS[2:0]	RXDXn 信号デジタルフィルタクロック選択ビット 0 0 0: フィルタ無効 0 0 1: フィルタクロックは SCI 基本クロック (注1) (注2) 0 1 0: フィルタクロックは PCLK/8 0 1 1: フィルタクロックは PCLK/16 1 0 0: フィルタクロックは PCLK/32 1 0 1: フィルタクロックは PCLK/64 1 1 0: フィルタクロックは PCLK/128 1 1 1: 設定禁止	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	BCCS[1:0]	バス衝突検出クロック選択ビット - SEMR.BGDM ビットが 0、または SEMR.BGDM ビットが 1 かつ SMR.CKS[1:0] ビットが 00b 以外の場合 0 0: SCI 基本クロック 0 1: SCI 基本クロックの 2 分周 1 0: SCI 基本クロックの 4 分周 1 1: 設定禁止 - SEMR.BGDM ビットが 1 かつ SMR.CKS[1:0] ビットが 00b の場合 0 0: SCI 基本クロックの 2 分周 0 1: SCI 基本クロックの 4 分周 1 0: 設定禁止 1 1: 設定禁止	R/W
7:6	RTS[1:0]	RXDXn 受信サンプリングタイミング選択ビット - SCIn.SEMR.ABCS = 0 の場合 0 0: SCI 基本クロックの 8 クロック目の立ち上がり 0 1: SCI 基本クロックの 10 クロック目の立ち上がり 1 0: SCI 基本クロックの 12 クロック目の立ち上がり 1 1: SCI 基本クロックの 14 クロック目の立ち上がり - SCIn.SEMR.ABCS = 1 の場合 0 0: SCI 基本クロックの 4 クロック目の立ち上がり 0 1: SCI 基本クロックの 5 クロック目の立ち上がり 1 0: SCI 基本クロックの 6 クロック目の立ち上がり 1 1: SCI 基本クロックの 7 クロック目の立ち上がり	R/W

注. SCI 基本クロックとは、SCIn.SEMR.ABCS = 0 のとき、1 データ期間の 1/16 の周期、SCIn.SEMR.ABCS = 1 のとき、1 データ期間の 1/8 の周期です。

注 1. SCI 基本クロックを使用する場合、SCIn.SCR.TE または SCIn.SCR.RE ビットを 1 にしてください。

注 2. SEMR.BGDM ビットが 1 かつ SMR.CKS[1:0] ビットが 00b の場合は SCI 基本クロックの 2 分周がフィルタクロックとなります。

25.2.45 CR3 : コントロールレジスタ 3

Base address: SCI1 = 0x4011_8100

Offset address: 0x24

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SDST
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SDST	Start Frame 検出開始ビット 0: Start Frame の検出を行わない 1: Start Frame の検出を行う	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SDST ビット (Start Frame 検出開始ビット)

SDST ビットを 1 にすると Start Frame の検出を開始します。読むと 0 が読めます。

25.2.46 PCR : ポートコントロールレジスタ

Base address: SCI1 = 0x4011_8100

Offset address: 0x25

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	SHAR PS	—	—	RDX PS	TXDX PS
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TXDXPS	TXDXn 信号極性選択ビット 0: TXDXn 信号極性を反転せずに出力 1: TXDXn 信号極性を反転して出力	R/W
1	RDXPS	RDXn 信号極性選択ビット 0: RDXn 信号極性を反転せずに入力 1: RDXn 信号極性を反転して入力	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SHARPS	TXDXn/RDXn 端子兼用選択ビット 0: TXDXn 端子、RDXn 端子独立 1: TXDXn/RDXn 端子兼用	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SHARPS ビット (TXDXn/RDXn 端子兼用選択ビット)

SHARPS ビットが 1 の場合、TXDXn/RDXn 端子を兼用した半二重通信が可能となります。

25.2.47 ICR : 割り込みコントロールレジスタ

Base address: SCI1 = 0x4011_8100

Offset address: 0x26

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	AEDIE	BCDIE	PIBDI E	CF1MI E	CF0MI E	BFDIE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BFDIE	Break Field Low width 検出割り込み許可ビット 0: Break Field Low width 検出割り込み禁止 1: Break Field Low width 検出割り込み許可	R/W
1	CF0MIE	Control Field 0 一致割り込み許可ビット 0: Control Field 0 一致割り込み禁止 1: Control Field 0 一致割り込み許可	R/W
2	CF1MIE	Control Field 1 一致割り込み許可ビット 0: Control Field 1 一致割り込み禁止 1: Control Field 1 一致割り込み許可	R/W
3	PIBDIE	プライオリティインタラプトビット検出割り込み許可ビット 0: プライオリティインタラプトビット検出割り込み禁止 1: プライオリティインタラプトビット検出割り込み許可	R/W
4	BCDIE	バス衝突検出割り込み許可ビット 0: バス衝突検出割り込み禁止 1: バス衝突検出割り込み許可	R/W
5	AEDIE	有効エッジ検出割り込み許可ビット 0: 有効エッジ検出割り込み禁止 1: 有効エッジ検出割り込み許可	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

25.2.48 STR : ステータスレジスタ

Base address: SCI1 = 0x4011_8100

Offset address: 0x27

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	AEDF	BCDF	PIBDF	CF1MF	CF0MF	BDFD

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	BDFD	Break Field Low width 検出フラグ [1 になる条件] - Break Field Low width 検出したとき - Break Field Low width 出力完了したとき - タイマがアンダーフローしたとき [0 になる条件] - STCR.BFDCL ビットに 1 を書いたとき	R
1	CF0MF	Control Field 0 一致フラグ [1 になる条件] - Control Field 0 受信データが設定データと一致したとき [0 になる条件] - STCR.CF0MCL ビットに 1 を書いたとき	R
2	CF1MF	Control Field 1 一致フラグ [1 になる条件] - Control Field 1 受信データが設定データと一致したとき [0 になる条件] - STCR.CF1MCL ビットに 1 を書いたとき	R
3	PIBDF	プライオリティインタラプトビット検出フラグ [1 になる条件] - プライオリティインタラプトビットを検出したとき [0 になる条件] - STCR.PIBDCL ビットに 1 を書いたとき	R

ビット	シンボル	機能	R/W
4	BCDF	バス衝突検出フラグ [1になる条件] • バス衝突を検出したとき [0になる条件] • STCR.BCDCL ビットに 1 を書いたとき	R
5	AEDF	有効エッジ検出フラグ [1になる条件] • 有効エッジを検出したとき [0になる条件] • STCR.AEDCL ビットに 1 を書いたとき	R
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R

25.2.49 STCR : ステータスクリアレジスタ

Base address: SCI1 = 0x4011_8100

Offset address: 0x28

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	AEDC L	BCDC L	PIBDC L	CF1M CL	CF0M CL	BFDC L

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	BFDC	BFDF クリアビット BFDC ビットを 1 にすると STR.BFDF フラグをクリアします。読むと 0 が読めます。	R/W
1	CF0MCL	CF0MF クリアビット CF0MCL ビットを 1 にすると STR.CF0MF フラグをクリアします。読むと 0 が読めます。	R/W
2	CF1MCL	CF1MF クリアビット CF1MCL ビットを 1 にすると STR.CF1MF フラグをクリアします。読むと 0 が読めます。	R/W
3	PIBDC	PIBDF クリアビット PIB DCL ビットを 1 にすると STR.PIBDF フラグをクリアします。読むと 0 が読めます。	R/W
4	BCDC	BCDF クリアビット BCDC ビットを 1 にすると STR.BCDF フラグをクリアします。読むと 0 が読めます。	R/W
5	AEDCL	AEDF クリアビット AEDCL ビットを 1 にすると STR.AEDF フラグをクリアします。読むと 0 が読めます。	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

25.2.50 CF0DR : Control Field 0 データレジスタ

Base address: SCI1 = 0x4011_8100

Offset address: 0x29

Bit position:	7	6	5	4	3	2	1	0
Bit field:								

Value after reset: 0 0 0 0 0 0 0 0

CF0DR レジスタは、Control Field 0 の比較データを格納する 8 ビットの読み出し／書き込み可能なレジスタです。

25.2.51 CF0CR : Control Field 0 コンペアイネーブルレジスタ

Base address: SCI1 = 0x4011_8100

Offset address: 0x2A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CF0C E7	CF0C E6	CF0C E5	CF0C E4	CF0C E3	CF0C E2	CF0C E1	CF0C E0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CF0CE0	Control Field 0 0 ビットコンペアイネーブルビット 0: Control Field 0 のビット 0 コンペアイ無効 1: Control Field 0 のビット 0 コンペアイ有効	R/W
1	CF0CE1	Control Field 0 1 ビットコンペアイネーブル 0: Control Field 0 のビット 1 コンペアイ無効 1: Control Field 0 のビット 1 コンペアイ有効	R/W
2	CF0CE2	Control Field 0 2 ビットコンペアイネーブル 0: Control Field 0 のビット 2 コンペアイ無効 1: Control Field 0 のビット 2 コンペアイ有効	R/W
3	CF0CE3	Control Field 0 3 ビットコンペアイネーブル 0: Control Field 0 のビット 3 コンペアイ無効 1: Control Field 0 のビット 3 コンペアイ有効	R/W
4	CF0CE4	Control Field 0 4 ビットコンペアイネーブル 0: Control Field 0 のビット 4 コンペアイ無効 1: Control Field 0 のビット 4 コンペアイ有効	R/W
5	CF0CE5	Control Field 0 5 ビットコンペアイネーブル 0: Control Field 0 のビット 5 コンペアイ無効 1: Control Field 0 のビット 5 コンペアイ有効	R/W
6	CF0CE6	Control Field 0 6 ビットコンペアイネーブル 0: Control Field 0 のビット 6 コンペアイ無効 1: Control Field 0 のビット 6 コンペアイ有効	R/W
7	CF0CE7	Control Field 0 7 ビットコンペアイネーブル 0: Control Field 0 ビット 7 コンペアイ無効 1: Control Field 0 のビット 7 コンペアイ有効	R/W

25.2.52 CF0RR : Control Field 0 受信データレジスタ

Base address: SCI1 = 0x4011_8100

Offset address: 0x2B

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	0	0	0	0	0	0	0	0

CF0RR は Control Field 0 内に受信した値を保持する読み出し可能なレジスタです。

25.2.53 PCF1DR : プライマリ Control Field 1 データレジスタ

Base address: SCI1 = 0x4011_8100

Offset address: 0x2C

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	0	0	0	0	0	0	0	0

PCF1DR レジスタは、Control Field 1 のプライマリ比較データを格納する 8 ビットの読み出し／書き込み可能なレジスタです。

25.2.54 SCF1DR : セカンダリ Control Field 1 データレジスタ

Base address: SCI1 = 0x4011_8100

Offset address: 0x2D

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	0	0	0	0	0	0	0	0

SCF1DR レジスタは、Control Field 1 のセカンダリ比較データを格納する 8 ビットの読み出し／書き込み可能なレジスタです。

25.2.55 CF1CR : Control Field 1 コンペアイネーブルレジスタ

Base address: SCI1 = 0x4011_8100

Offset address: 0x2E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CF1C E7	CF1C E6	CF1C E5	CF1C E4	CF1C E3	CF1C E2	CF1C E1	CF1C E0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CF1CE0	Control Field 1 0 ビットコンペアイネーブル 0: Control Field 1 のビット 0 コンペア無効 1: Control Field 1 のビット 0 コンペア有効	R/W
1	CF1CE1	Control Field 1 1 ビットコンペアイネーブル 0: Control Field 1 のビット 1 コンペア無効 1: Control Field 1 のビット 1 コンペア有効	R/W
2	CF1CE2	Control Field 1 2 ビットコンペアイネーブル 0: Control Field 1 のビット 2 コンペア無効 1: Control Field 1 ビット 2 コンペア有効	R/W
3	CF1CE3	Control Field 1 3 ビットコンペアイネーブル 0: Control Field 1 のビット 3 コンペア無効 1: Control Field 1 のビット 3 コンペア有効	R/W
4	CF1CE4	Control Field 1 4 ビットコンペアイネーブル 0: Control Field 1 のビット 4 コンペア無効 1: Control Field 1 のビット 4 コンペア有効	R/W
5	CF1CE5	Control Field 1 5 ビットコンペアイネーブル 0: Control Field 1 のビット 5 コンペア無効 1: Control Field 1 のビット 5 コンペア有効	R/W

ビット	シンボル	機能	R/W
6	CF1CE6	Control Field 1 6 ビットコンペアイネーブル 0: Control Field 1 のビット 6 コンペアイ無効 1: Control Field 1 のビット 6 コンペアイ有効	R/W
7	CF1CE7	Control Field 1 7 ビットコンペアイネーブル 0: Control Field 1 のビット 7 コンペアイ無効 1: Control Field 1 のビット 7 コンペアイ有効	R/W

25.2.56 CF1RR : Control Field 1 受信データレジスタ

Base address: SCI1 = 0x4011_8100

Offset address: 0x2F

Bit position: 7 6 5 4 3 2 1 0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0

CF1RR は Control Field 1 内に受信した値を保持する読み出し可能なレジスタです。

25.2.57 TCR : タイマコントロールレジスタ

Base address: SCI1 = 0x4011_8100

Offset address: 0x30

Bit position: 7 6 5 4 3 2 1 0

Bit field:

—	—	—	—	—	—	—	TCST

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	TCST	タイマカウント開始ビット 0: タイマカウント停止 1: タイマカウント開始	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

25.2.58 TMR : タイマモードレジスタ

Base address: SCI1 = 0x4011_8100

Offset address: 0x31

Bit position: 7 6 5 4 3 2 1 0

Bit field:

—	TCSS[2:0]	TWRC	—	TOMS[1:0]

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
1:0	TOMS[1:0]	タイマ動作モード選択ビット(注1) 0 0: タイマモード 0 1: Break Field Low width 判定モード 1 0: Break Field Low width 出力モード 1 1: 設定禁止	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	TWRC	カウンタ書き込み制御ビット 0: リロードレジスタとカウンタへの書き込み 1: リロードレジスタのみ書き込み	R/W

ビット	シンボル	機能	R/W
6:4	TCSS[2:0]	タイマカウントクロックソース選択(注1) 0 0 0: PCLK 0 0 1: PCLK/2 0 1 0: PCLK/4 0 1 1: PCLK/8 1 0 0: PCLK/16 1 0 1: PCLK/32 1 1 0: PCLK/64 1 1 1: PCLK/128	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. TOMS[1:0]および TCSS[2:0]ビットの書き換えは、タイマカウント停止時 (TCST = 0) に行ってください。

TWRC ビット (カウンタ書き込み制御ビット)

TCNT、TPRE レジスタにライトしたときに、リロードレジスタのみ書き込むのか、リロードレジスタとカウンタに書き込むのか選択します。

25.2.59 TPRE : タイマプリスケアラレジスタ

Base address: SCI1 = 0x4011_8100

Offset address: 0x32

Bit position:	7	6	5	4	3	2	1	0
Bit field:								

Value after reset: 1 1 1 1 1 1 1 1

TPRE レジスタは、8 ビットのリロードレジスタ、リードバッファおよびのカウンタで構成され、初期値はそれぞれ 0xFF です。TMR.TCSS[2:0]ビットで選択されたカウントクロックソースでダウンカウントを行い、アンダーフローするとカウンタへリロードレジスタの値がロードされます。またアンダーフローは TCNT レジスタのカウントクロックソースとなります。リロードレジスタとリードバッファは同一のアドレスに配置されています。書き込み時にリロードレジスタにデータが書き込まれ、読み出し時にはリードバッファに転送されたカウンタ値が返却されます。

なお、リロードレジスタ値をカウンタへロードする際は、PCLK の 1 クロックが必要です。

25.2.60 TCNT : タイマカウントレジスタ

Base address: SCI1 = 0x4011_8100

Offset address: 0x33

Bit position:	7	6	5	4	3	2	1	0
Bit field:								

Value after reset: 1 1 1 1 1 1 1 1

TCNT レジスタは、8 ビットのリロードレジスタ、リードバッファおよびのカウンタで構成され、初期値はそれぞれ 0xFF です。TPRE レジスタのアンダーフローをダウンカウントし、TCNT レジスタがアンダーフローするとカウンタへリロードレジスタの値がロードされます。リロードレジスタとリードバッファは同一のアドレスに配置されています。書き込み時にリロードレジスタにデータが書き込まれ、読み出し時にはリードバッファに転送されたカウンタ値が返却されます。

なお、リロードレジスタ値をカウンタへロードする際は、PCLK の 1 クロックが必要です。

25.2.61 SCIMSKEN: SCI5 TXD 出力マスクイネーブルレジスタ

Base address: SCI5 = 0x4011_8500

Offset address: 0x3C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MSKEN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MSKEN	SCI5 TXD 出力マスク許可 0: SCI5 TXD 出力マスク機能禁止 1: SCI5 TXD 出力マスク機能許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

MSKEN ビット (SCI5 TXD 出力マスク許可)

SCIMSKEN ビットは、SCI5 TXD 出力マスク機能を許可します。MSKEN ビットが 1 の場合、SCI5 の TXD 出力は AGTOA0 出力でマスクできます。

元の TXD パスからは 1 PCLKA サイクルの遅延があります。PCLKA 周波数を低くした場合も遅延が増大し、通信に影響する可能性があります。

以下の制限事項を順守する必要があります。

$f(\text{PCLKA}) > f(\text{AGTOA0 出力})$

この機能を使用する場合のブロック図については、[図 25.3](#) を参照してください。

注 SCI5 と AGT0 のセキュリティ属性が同じ場合のみこの機能は有効です。

25.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを[図 25.7](#)に示します。1 フレームは、スタートビット (Low) で始まり、送受信データ、パリティビット、ストップビット (High) の順に構成されます。調歩同期式シリアル通信では、通信回線は通常、マーク状態 (High) に保たれています。

SCI は通信回線を監視します。SCI が Low を検出すると、スタートビットとみなしてシリアル通信を開始します。

SCI 内部では送信部と受信部は独立しており、全二重通信が可能です。また、送信部と受信部はどちらも FIFO モードに加えてダブルバッファ構成になっているため、送受信中でもデータの読み出し／書き込みが可能であり、連続送受信動作が実現されます。

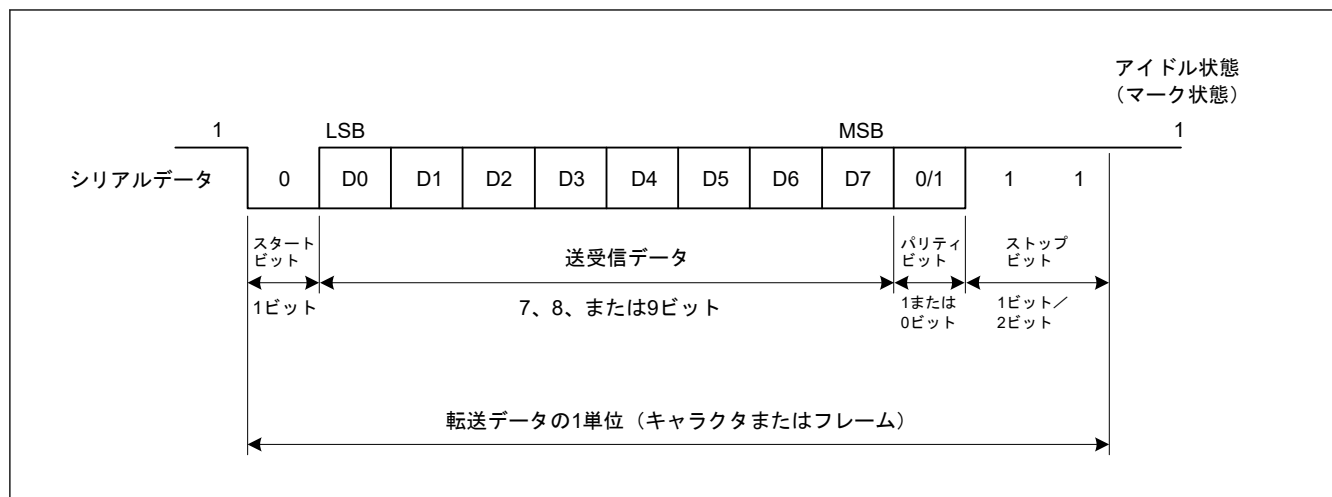


図 25.7 調歩同期式シリアル通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの場合)

25.3.1 シリアル転送フォーマット

調歩同期式モードで設定できるシリアル送信/受信フォーマットを表 25.27 に示します。フォーマットは 18 種類あり、SMR レジスタおよび SCMR レジスタの設定で選択できます。マルチプロセッサ機能の詳細については「25.4. マルチプロセッサ通信機能」を参照してください。

表 25.27 シリアル転送フォーマット (調歩同期式モード) (1/2)

SCMR 設定値	SMR 設定値				シリアル送信／受信フォーマットとフレーム長												
CHR1	CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	13
0	0	0	0	0	ST	9 ビットデータ									SP		
0	0	0	0	1	ST	9 ビットデータ									SP	SP	
0	0	1	0	0	ST	9 ビットデータ									P	SP	
0	0	1	0	1	ST	9 ビットデータ									P	SP	SP
1	0	0	0	0	ST	8 ビットデータ									SP		
1	0	0	0	1	ST	8 ビットデータ									SP	SP	
1	0	1	0	0	ST	8 ビットデータ									P	SP	
1	0	1	0	1	ST	8 ビットデータ									P	SP	SP
1	1	0	0	0	ST	7 ビットデータ									SP		
1	1	0	0	1	ST	7 ビットデータ									SP	SP	
1	1	1	0	0	ST	7 ビットデータ									P	SP	
1	1	1	0	1	ST	7 ビットデータ									P	SP	SP

表 25.27 シリアル転送フォーマット（調歩同期式モード）(2/2)

SCMR 設定値	SMR 設定値				シリアル送信／受信フォーマットとフレーム長												
CHR1	CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	13
0	0	—	1	0	ST	9 ビットデータ									MPB	SP	
0	0	—	1	1	ST	9 ビットデータ									MPB	SP	SP
1	0	—	1	0	ST	8 ビットデータ								MPB	SP		
1	0	—	1	1	ST	8 ビットデータ								MPB	SP	SP	
1	1	—	1	0	ST	7 ビットデータ							MPB	SP			
1	1	—	1	1	ST	7 ビットデータ							MPB	SP	SP		

ST: スタートビット
 SP: ストップビット
 P: パリティビット
 MPB: マルチプロセスサビット

25.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍^(注1)の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がりエッジを基本クロックでサンプリングして内部を同期化します。^(注2)

また、図 25.8 に示すように、受信データは基本クロックの 8 パルス目^(注1)の立ち上がりエッジでサンプリングされるため、各ビットの途中でデータが取り込まれます（サンプリング時間を調整しない場合 (SPTR.ASEN = 0)）。調歩同期式モードでの受信マージンは以下の式 (1) で決定されます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100 [\%] \quad \dots \text{式 (1)}$$

注. M: 受信マージン

N: クロックに対するビットレートの比

(SEMR.ABCSE = 0 かつ SEMR.ABCS = 0 の場合、N = 16、

SEMR.ABCS = 1 の場合、N = 8

SEMR.ABCSE = 1 の場合、N = 6)

D: クロックのデューティサイクル (D = 0.5~1.0)

L: フレーム長 (L = 9~13)

F: クロック周波数の偏差の絶対値

式 (1) で、F = 0、D = 0.5 とすると、受信マージンは下記の式で算出されます。

$$M = \{0.5 - 1/(2 \times 16)\} \times 100 (\%) = 46.875 \%$$

これは計算上の値を表しています。システム設計の際には 20~30%の余裕を持たせることが推奨されます。

注 1. この例で、SEMR.ABCS ビットは 0、SEMR.ABCSE ビットは 0 です。ABCS ビットが 1 で ABCSE ビットが 0 の場合は、ビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロックの 4 パルス目の立ち上がりエッジでサンプリングされます。

ABCSE ビットが 1 の場合は、ビットレートの 6 倍の周波数が基本クロックとなり、受信データは基本クロックの 3 パルス目の立ち上がりエッジでサンプリングされます。

注 2. スタートビットの決定条件は以下の通りです。

サンプリングタイミング調整機能がオフ (ASEN = 0) :

スタートビットの決定条件は、Low 状態がビットの中間点より後ろまで続くことです。サンプリングタイミングと同様です。図 25.8 では、スタートビットを検出するためには Low 状態が 8 サイクルより長く続く必要があります。Low 状態が 8 サイクルより長く続かなかった場合は、IP はこれをノイズと判断します。したがって IP は受信を開始せず、スタートビットを待ちます。

サンプリングタイミング調整機能がオン (ASEN = 1) :

スタートビットの決定条件は、Low 状態がサンプリングタイミングまで継続することです。サンプリングタイミングを前に調整 (AJD = 1) すると、ノイズをスタートビットと誤って判断する可能性が増します。

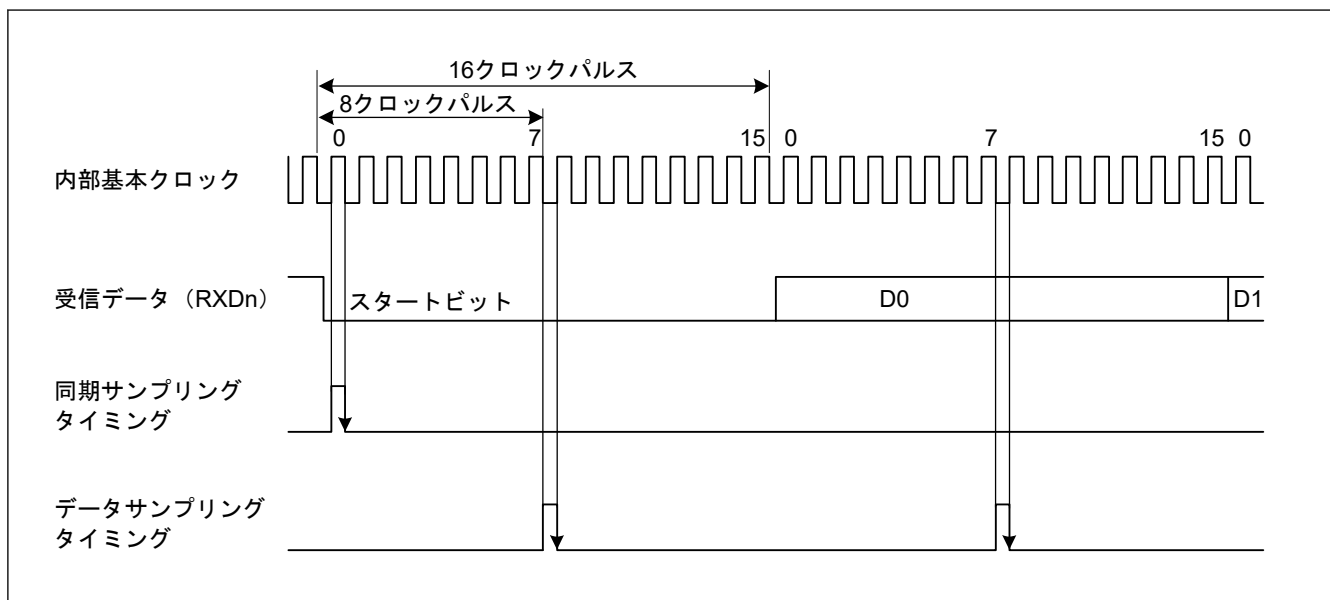


図 25.8 調歩同期式モードでの受信データサンプリングタイミング

25.3.3 クロック

SCI の送受信クロックは、SMR.CM ビットと SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子に入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn 端子にビットレートの 16 倍 (SEMR.ABCS ビット = 0 のとき)、または 8 倍 (SEMR.ABCS ビット = 1 のとき) の周波数のクロックを入力する必要があります。

内部クロックで動作させるときは、SCKn 端子からクロックを出力させることができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 25.9 に示すように、送信データの中にクロックの立ち上がりエッジが来るように設定されます。

クロック出力を選択した場合は、SCR.TE = 1 もしくは SCR.RE = 1 に設定した後でクロック出力が行われます。

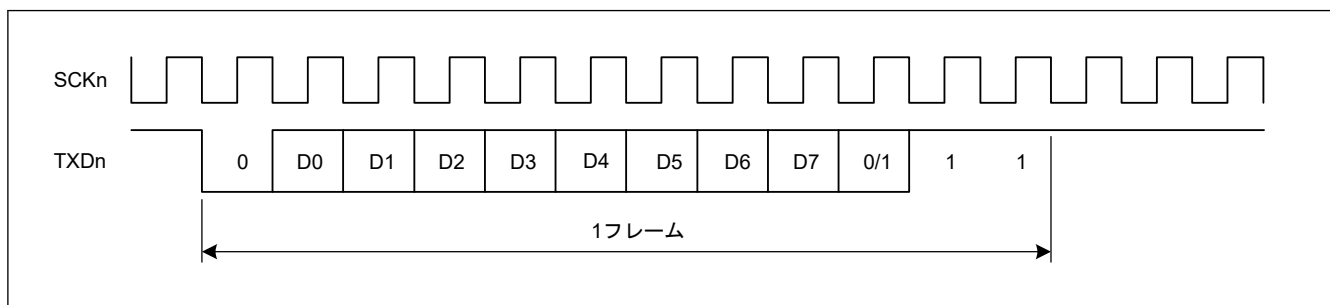


図 25.9 出力クロックと送信データの位相関係 (調歩同期式モード: SMR.CHR = 0、PE = 1、MP = 0、および STOP = 1)

25.3.4 倍速動作とビットレートの 6 倍の周波数

SEMR.ABCS ビットを 1 にして、1 ビット期間として基本クロックの 8 パルスを選択した場合、ABCS ビットが 0 の場合に比べて、SCI は 2 倍のビットレートで動作します。SEMR.BGDM ビットが 1 になっていると、基本クロックの周期は 1/2 倍になり、ビットレートは BGDM ビットが 0 の場合の 2 倍になります。SCR.CKE[1] ビット

を 0 にして、内蔵ボーレートジェネレータを選択した場合、ABCS ビットと BGDM ビットを 1 にすることにより、ABCS ビットと BGDM ビットが 0 の場合に比べて、SCI は 4 倍のビットレートで動作できるようになります。

SEMR.ABCSE ビットが 1 になっている場合、基本クロックのパルス数は 1 ビット期間中 6 になり、SEMR.ABCS ビット、SEMR.BGDM ビット、および SEMR.ABCSE ビットが 0 の場合に比べて、SCI は 16/3 倍のビットレートで動作します。

「25.3.2. 調歩同期式モードの受信データサンプリングタイミングと受信マージン」の式 (1) に示すとおり、SEMR.ABCS ビットまたは SEMR.ABCSE ビットが 1 の場合、受信マージンは減少します。そのため、ABCS ビットまたは ABCSE ビットが 0 の状態で目的とするビットレートが達成できるのであれば、ABCS ビットと ABCSE ビットを 0 にして SCI を使用することが推奨されます。

25.3.5 CTS、RTS 機能

CTS 機能は、CTSn_RTSn 端子入力を使用して送信制御を行う機能です。SPMR.CTSE ビットを 1 にすると、CTS 機能が有効になります。CTS および RTS 機能については、1 つの端子で CTS 機能および RTS 機能を交互に使用するための設定と各機能をそれぞれ別の端子で専用に使用するための設定を選択できます。この設定は、SPMR.CTSPEN ビットで行います。

CTS 機能が有効な場合、CTSn_RTSn 端子入力が Low になると送信が開始されます。

送信中に CTSn_RTSn 端子入力を High にしても、送信中のフレームは影響を受けません。

RTS 機能は、CTSn_RTSn 端子出力を使用して、受信可能な状態になると Low を出力します。Low および High を出力する条件は以下のとおりです。

[Low になる条件]

下記条件をすべて満たす場合

非 FIFO 選択時

- SCR.RE ビットの値が 1
- 受信動作中ではない
- 読み出し前の受信データがない
- SSR レジスタの ORER、FER、PER フラグがすべて 0

FIFO 選択時

- SCR.RE ビットの値が 1
- FRDRHL に書き込まれた受信データ数が FCRH.RSTRG[3:0]の設定値以下
- SSR_FIFO レジスタの ORER フラグ (FRDRH.ORER) が 0

[High になる条件]

- Low になる条件を満たさない場合

25.3.6 アドレス一致（受信データ一致）検出機能

アドレス一致検出機能は、調歩同期式モードでのみ使用可能です。

DCCR.DCME ビットを 1 にした場合、1 フレーム分のデータを受信すると、SCI は受信データと CDR.CMPD ビットの値を比較します。SCI によって受信データと比較データ (CDR.CMPD^(注1)) の一致が検出された場合、SCI_{In}_RXI 割り込み要求を発生させることができます。

SMR.MP ビットが 0 の場合は、受信フォーマットの有効データのみが比較対象になります。マルチプロセッサモード (SMR.MP ビット = 1) では、DCCR.IDSEL ビットが 1 の場合、MPB ビット = 1 の受信データがアドレス一致の比較対象となり、MPB ビット = 0 の受信データは、常に不一致として処理されます。

DCCR.IDSEL ビットが 0 の場合、受信データの MPB ビットの値にかかわらず、SCI はアドレス一致検出を実行します。

受信データと比較データ (CDR.CMPD^(注1)) の一致が検出されるまで、受信データが読み飛ばされる（廃棄される）ので、SCI はパリティエラーもフレーミングエラーも検出することができません。

SCI が一致を検出すると、DCCR.DCME ビットは自動的にクリアされ、DCCR.DCMF フラグは 1 になります。DCCR.IDSEL ビットが 1 であれば、SCR.MPIE ビットが自動的にクリアされます。DCCR.IDSEL ビットを 0 にすると、SCR.MPIE ビットの内容は保持されます。SCR.RIE ビットを 1 にすると、SCI は SCI_{in}_RXI 割り込み要求を発行します。

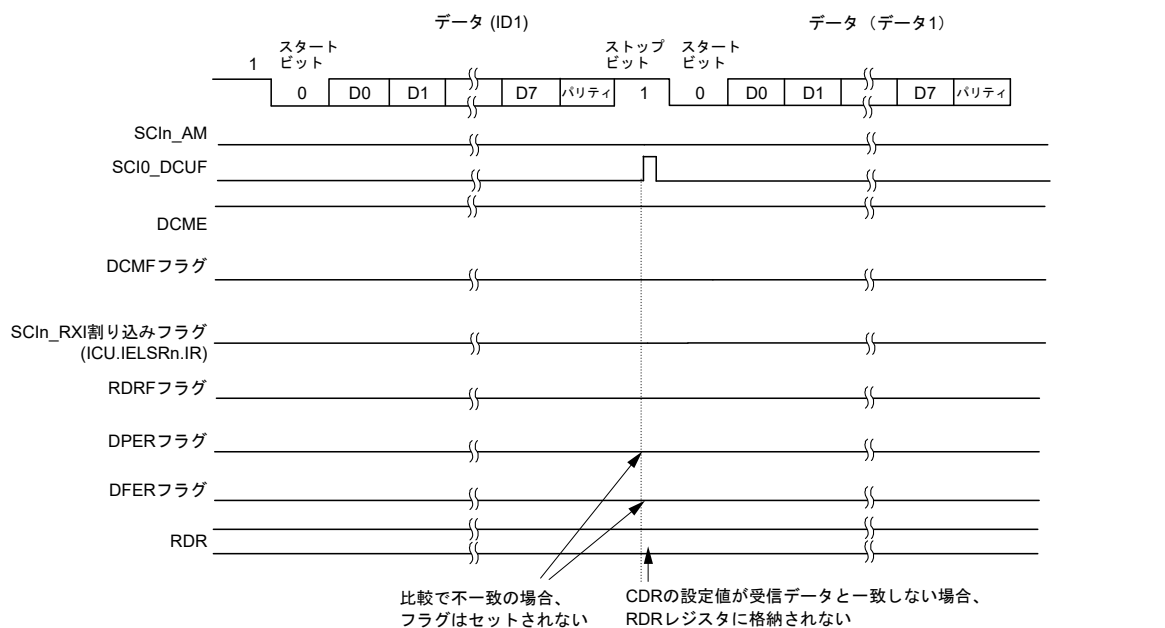
一致が検出された受信データで SCI がフレーミングエラーを検出すると、DCCR.DFER フラグが 1 になります。また、そのフレームにパリティエラーを検出すると、DCCR.DPER フラグが 1 になります。比較された受信データは RDR レジスタに格納されません。また、SSR.RDRF フラグは 0 を保持します。FCR.FM = 1 の場合、RDR レジスタは FRDRHL レジスタを示します。SSR.RDRF フラグは SSR_FIFO.RDF フラグを示します。

SCI が一致を検出すると、DCCR.DCME ビットは自動的にクリアされ、SCI は現在のレジスタ設定に基づいて次のデータを連続して受信します。

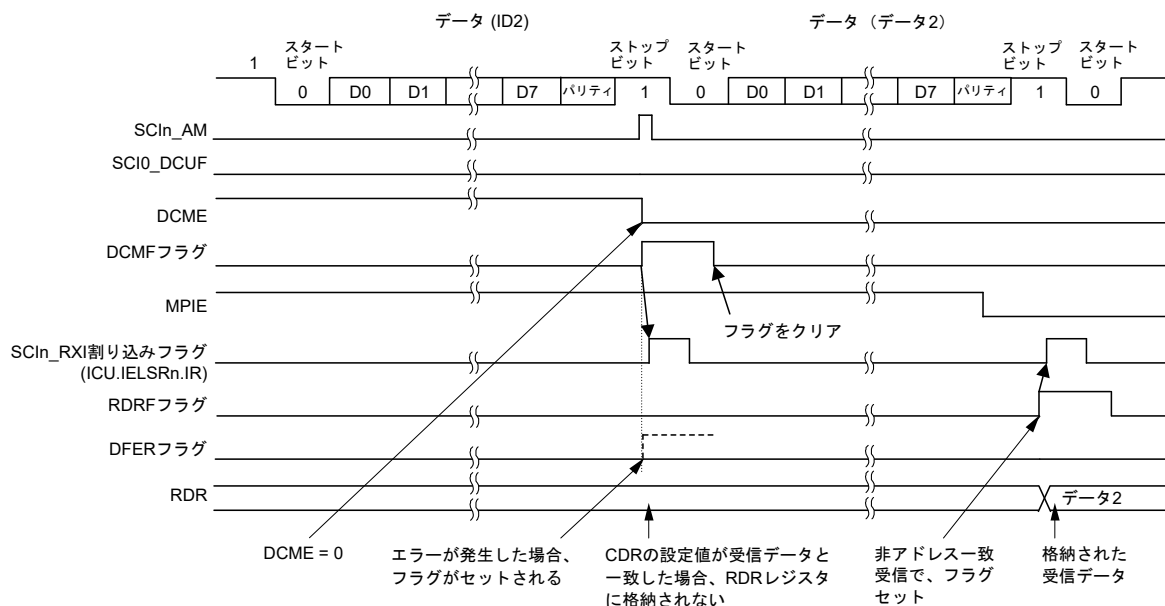
DCCR.DFER フラグまたは DCCR.DPER フラグが 1 の状態では、アドレス一致の検出は実行されません。アドレス一致検出機能を有効にする場合は、事前に DCCR.DFER フラグと DCCR.DPER フラグを 0 にしてください。

アドレス一致検出機能の例を図 25.10 と図 25.11 に示します。

注 1. 比較対象は、以下の 3 種類のビット長から選択できます。7 ビット長の CMPD[6:0]、8 ビット長の CMPD[7:0]、および 9 ビット長の CMPD[8:0]



(a) 受信データとCDRの比較結果が不一致の場合の例 (8ビット長/パリティ/非マルチプロセッサモード)



(b) 受信データとCDRの比較結果が一致した場合の例 (8ビット長/パリティ/非マルチプロセッサモード)

図 25.10 アドレス一致検出の例 (1) (通常モード)

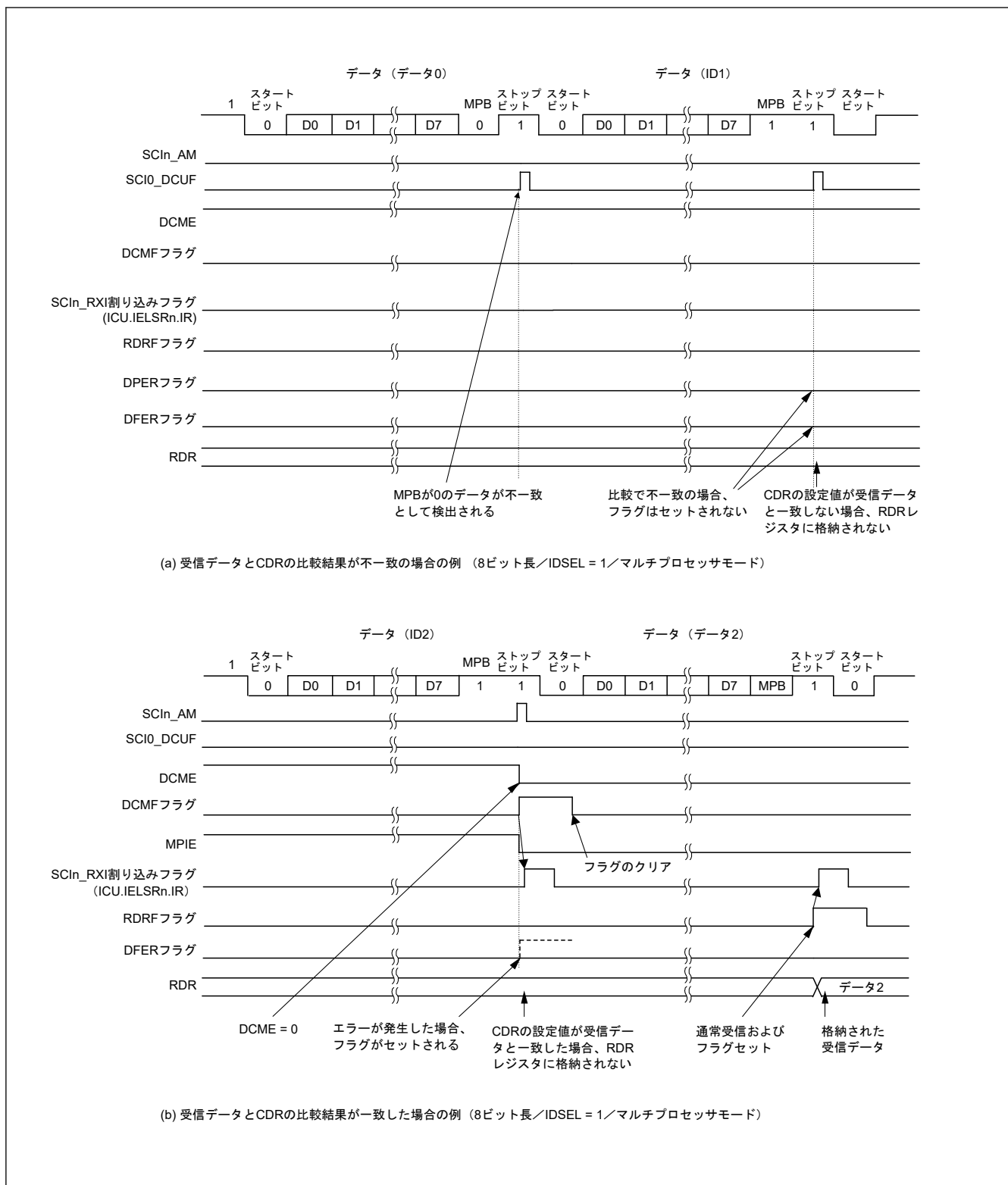


図 25.11 アドレス一致検出の例 (2) (マルチプロセッサモード)

25.3.7 SCI の初期化 (調歩同期式モード)

データを送受信する前に、最初に初期値 0x000 を SCR レジスタに書き込み、次に SCI の初期設定 (非 FIFO 選択時または FIFO 選択時) を表 25.28 と表 25.29 のフローチャートに従って続けてください。動作モードまたは通信フォーマットを変更する場合も、SCR レジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

注. SCR.RE ビットを 0 にしても、SSR/SSR_FIFO レジスタの ORER、FER、RDRF、RDFR、PER、DR の各フラグ、ならびに RDR レジスタと RDRHL レジスタは初期化されません。TE ビットが 0 の場合、選択した FIFO バッファに対する TEND フラグは初期化されません。

注. 非 FIFO モードにおいて、SCR.TIE ビットが 1 の状態で、SCR.TE ビットを 1 から 0、または 0 から 1 に変更すると、SCI_n_TXI 割り込み要求が発生します。

表 25.28 非 FIFO を選択した調歩同期式モードにおける SCI 初期化の手順例

番号	ステップ名	説明
1	初期化を開始	
2	SCR.TIE、RIE、TE、RE、および TEIE ビットを 0 に設定	
3	FCR.FM ビットを 0 に設定	FCR.FM ビットを 0 に設定
4	SCR.CKE[1:0] ビットを設定	SCR レジスタにクロック選択を設定します。 調歩同期モードでクロック出力を選択した場合は、SCR 設定の完了後、ただちにクロックが出力されます。
5	SIMR1.IICM ビットを 0 に設定 SPMR.CKPH ビットと SPMR.CKPOL ビットを 0 に設定します。	SIMR1.IICM ビットを 0 に設定 SPMR.CKPH ビットと SPMR.CKPOL ビットを 0 に設定します。 これらの値が初期値から変更されていない場合、手順 5 は省略できます。
6	SMR、SCMR、および SEMR レジスタに送信／受信フォーマットを設定	SMR、SCMR、および SEMR レジスタに送信／受信フォーマットを設定します。
7	SPTR レジスタおよび ACTR レジスタに値を設定	SPTR レジスタに通信端子状態を、ACTR レジスタに調整可能なサンプリング値を設定します。
8	BRR に値を設定	BRR レジスタにビットレートに対応する値を書き込みます。 外部クロックを使用する場合、この手順は不要です。
9	MDDR に値を設定	MDDR レジスタにビットレート誤差補正値を書き込みます。SEMR.BRME ビットを 0 にした場合、または外部クロックを使用する場合、この手順は不要です。
10	I/O ポート機能の設定	I/O ポートを設定して、TXD _n 、RXD _n 、および SCK _n 端子に必要な入出力機能を有効にします。
11	SCR_SMC _I .TE ビットまたは SCR_SMC _I .RE ビットを 1 にし、 SCR_SMC _I .TIE ビットと SCR_SMC _I .RIE ビットを設定	SCR.TE ビットまたは SCR.RE ビットを 1 にします。SCR.TIE ビットおよび SCR.RIE ビットも設定します。 TE ビットおよび RE ビットを設定することで、TXD _n および RXD _n が使用可能となります。
12	初期化の完了	

表 25.29 FIFO を選択した調歩同期式モードにおける SCI 初期化の手順例 (1/2)

番号	ステップ名	説明
1	初期化を開始	
2	SCR.TIE、RIE、TE、RE、および TEIE ビットを 0 に設定	
3	FCR.FM ビット、FCR.TFRST ビット、および FCR.RFRST ビットを 1 にします。 FCR.TTRG[3:0] ビット、 RTRG[3:0] ビット、および RSTRG[3:0] ビットを設定します。	FCR.FM、TFRST、および RFRST ビットを 1 にします (FIFO モードが有効、送信/受信 FIFO がエンプティ)。 FCR.TTRG[3:0] ビット、RTRG[3:0] ビット、および RSTRG[3:0] ビットを設定します。
4	SCR.CKE[1:0] ビットを設定	SCR レジスタにクロック選択を設定します。 調歩同期モードでクロック出力を選択した場合は、SCR 設定の完了後、ただちにクロックが出力されます。
5	SIMR1.IICM ビットを 0 に設定 SPMR.CKPH ビットと SPMR.CKPOL ビットを 0 に設定します。	SIMR1.IICM ビットを 0 に設定 SPMR.CKPH ビットと SPMR.CKPOL ビットを 0 に設定します。 これらの値が初期値から変更されていない場合、手順 5 は省略できます。

表 25.29 FIFO を選択した調歩同期式モードにおける SCI 初期化の手順例 (2/2)

番号	ステップ名	説明
6	SMR、SCMR、および SEMR レジスタに送信／受信フォーマットを設定	SMR、SCMR、および SEMR レジスタに送信／受信フォーマットを設定します。
7	SPTR レジスタおよび ACTR レジスタに値を設定	SPTR レジスタに通信端子状態を、ACTR レジスタに調整可能なサンプリング値を設定します。
8	BRR に値を設定	BRR レジスタにビットレートに対応する値を書き込みます。 外部クロックを使用する場合、この手順は不要です。
9	MDDR に値を設定	MDDR レジスタにビットレート誤差補正値を書き込みます。SEMR.BRME ビットを 0 にした場合、または外部クロックを使用する場合、この手順は不要です。
10	FCR.TFRST ビットと FCR.RFRST ビットを 0 に設定	FCR.TFRST ビットと FCR.RFRST ビットを 0 に設定
11	I/O ポート機能の設定	I/O ポートを設定して、TXDn、RXDn、および SCKn 端子に必要な入出力機能を有効にします。
12	SCR_SMCI.TE ビットまたは SCR_SMCI.RE ビットを 1 にし、SCR_SMCI.TIE ビットと SCR_SMCI.RIE ビットを設定	SCR.TE ビットまたは SCR.RE ビットを 1 にします。SCR.TIE ビットおよび SCR.RIE ビットも設定します。 TE ビットおよび RE ビットを設定することで、TXDn および RXDn が使用可能となります。
13	初期化の完了	

25.3.8 シリアルデータの送信（調歩同期式モード）

(1) 非 FIFO 選択時

図 25.12 図 25.13 および図 25.14 に、調歩同期式モードにおけるシリアル送信の動作例を示します。

本項では、シリアル送信時の SCI の動作について説明します。SCR.TE ビットが 1 の場合、1 フレーム分の High レベルが TXDn 端子に出力されます。ただし、SEMR.PADIS ビットが 1 の場合、このプリアンプルは出力されません。プリアンプルが出力されない場合の動作例を図 25.15 に示します。

- SCI_{in}_TXI 割り込み処理ルーチンで TDR レジスタ(注1)にデータが書き込まれると、SCI は TDR レジスタ(注1)から TSR レジスタへデータを転送します。
なお、送信開始時の SCI_{in}_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることで発生します。
- SPMR.CTSE ビットが 0 (CTS 機能は無効) であるか、または CTS_n_RTS_n 端子の入力が Low であると、TDR レジスタ(注1)から TSR レジスタへデータが転送され、送信が開始されます。SCR.TIE ビットが 1 であれば、SCI_{in}_TXI 割り込み要求が発生します。この SCI_{in}_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が完了する前に、TDR レジスタ(注1)に次の送信データを書き込むことで連続送信が可能になります。SCI_{in}_TEI 割り込み要求を使用する場合、SCI_{in}_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを TDR レジスタ(注1)に書き込んだ後、SCR.TIE ビットを 0 (SCI_{in}_TXI 割り込み要求を禁止) にして、SCR.TEIE ビットを 1 (SCI_{in}_TEI 割り込み要求を許可) にします。
- データは、以下の順に TXDn 端子から送り出されます。
 - スタートビット
 - 送信データ
 - パリティビットまたはマルチプロセッサビット（フォーマットによっては、ない場合もある）
 - ストップビット
- ストップビットを送り出すタイミングで、SCI は TDR レジスタの更新をチェックします。
- TDR レジスタが更新されていると、SPMR.CTSE ビットが 0 (CTS 機能は無効)、または CTS_n_RTS_n 端子の入力が Low に設定されていれば、次の送信データが TDR レジスタ(注1)から TSR レジスタへ転送され、ストップビット送出後、次のフレームのシリアル送信が開始されます。
- TDR レジスタが更新されていない場合は、SSR.TEND フラグが 1 になり、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき、SCR.TEIE ビットが 1 になっていると、SSR.TEND フラグが 1 になり、SCI_{in}_TEI 割り込み要求が発生します。

注 1. 9 ビットデータ長選択時は、TDR レジスタは TDRHL レジスタになります。

図 25.12、図 25.13、および図 25.14 に、調歩同期式モードにおけるシリアル送信の動作例を示します。

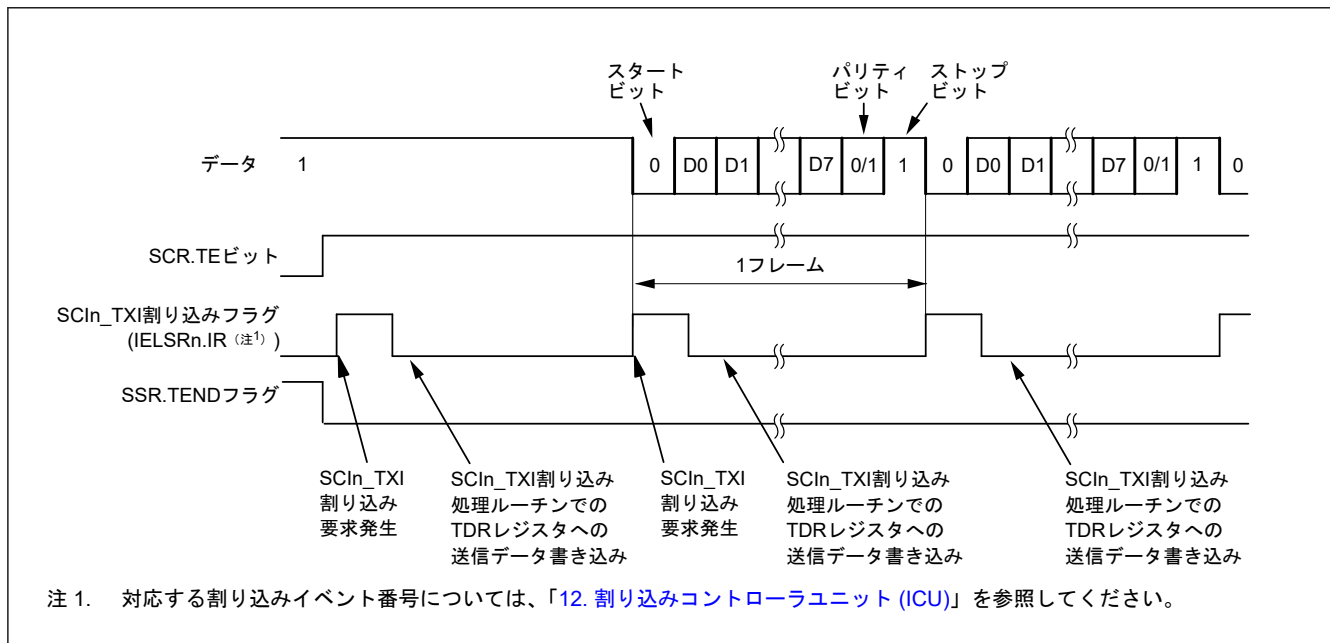


図 25.12 調歩同期式モードにおけるシリアル送信の動作例 (1) (8 ビットデータ/パリティあり/1 ストップビット/CTS 機能不使用/送信開始時)

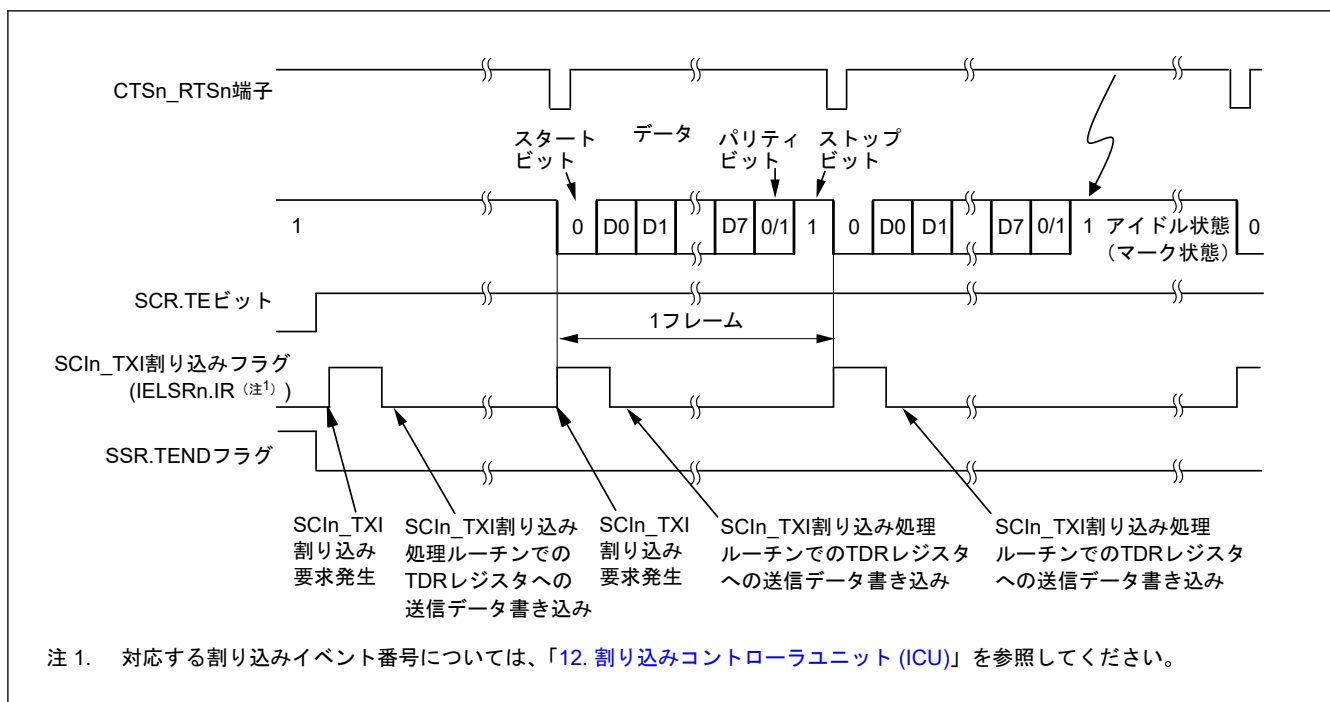


図 25.13 調歩同期式モードにおけるシリアル送信の動作例 (2) (8 ビットデータ/パリティあり/1 ストップビット/CTS 機能使用/送信開始時)

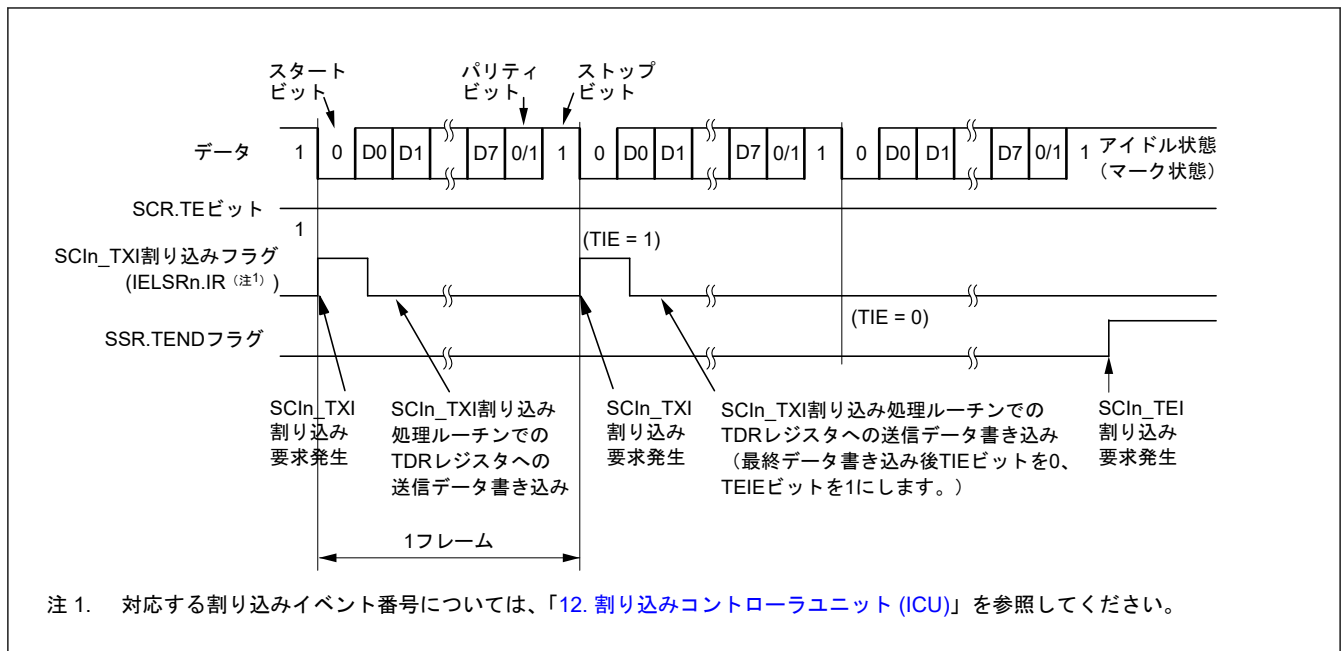


図 25.14 調歩同期式モードにおけるシリアル送信の動作例 (3) (8 ビットデータ/パリティあり/1 ストップビット/CTS 機能不使用/送信途中～送信完了時)

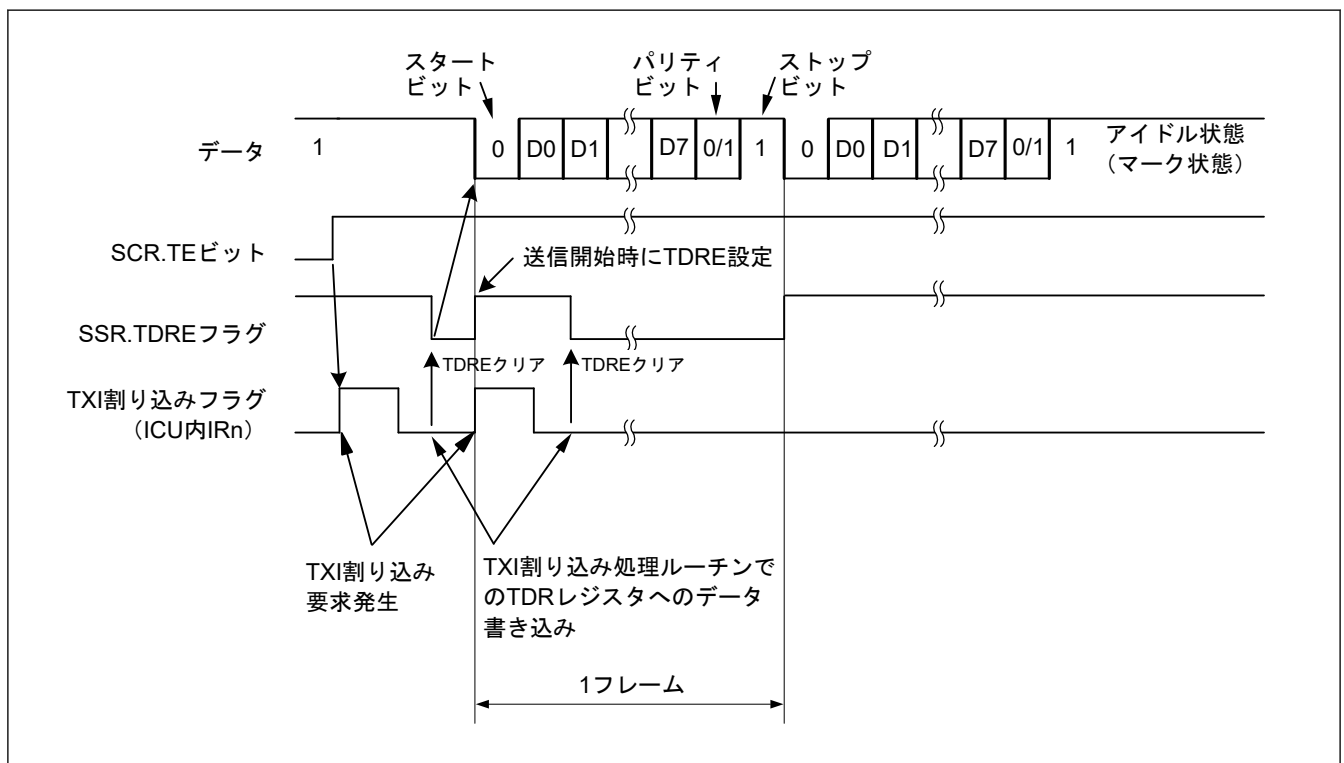


図 25.15 調歩同期式モードにおけるシリアル送信の動作例 (4)
(8 ビットデータ／パリティあり／1 ストップビット／CTS 機能不使用／送信途中～送信完了時、プリアンブル停止)

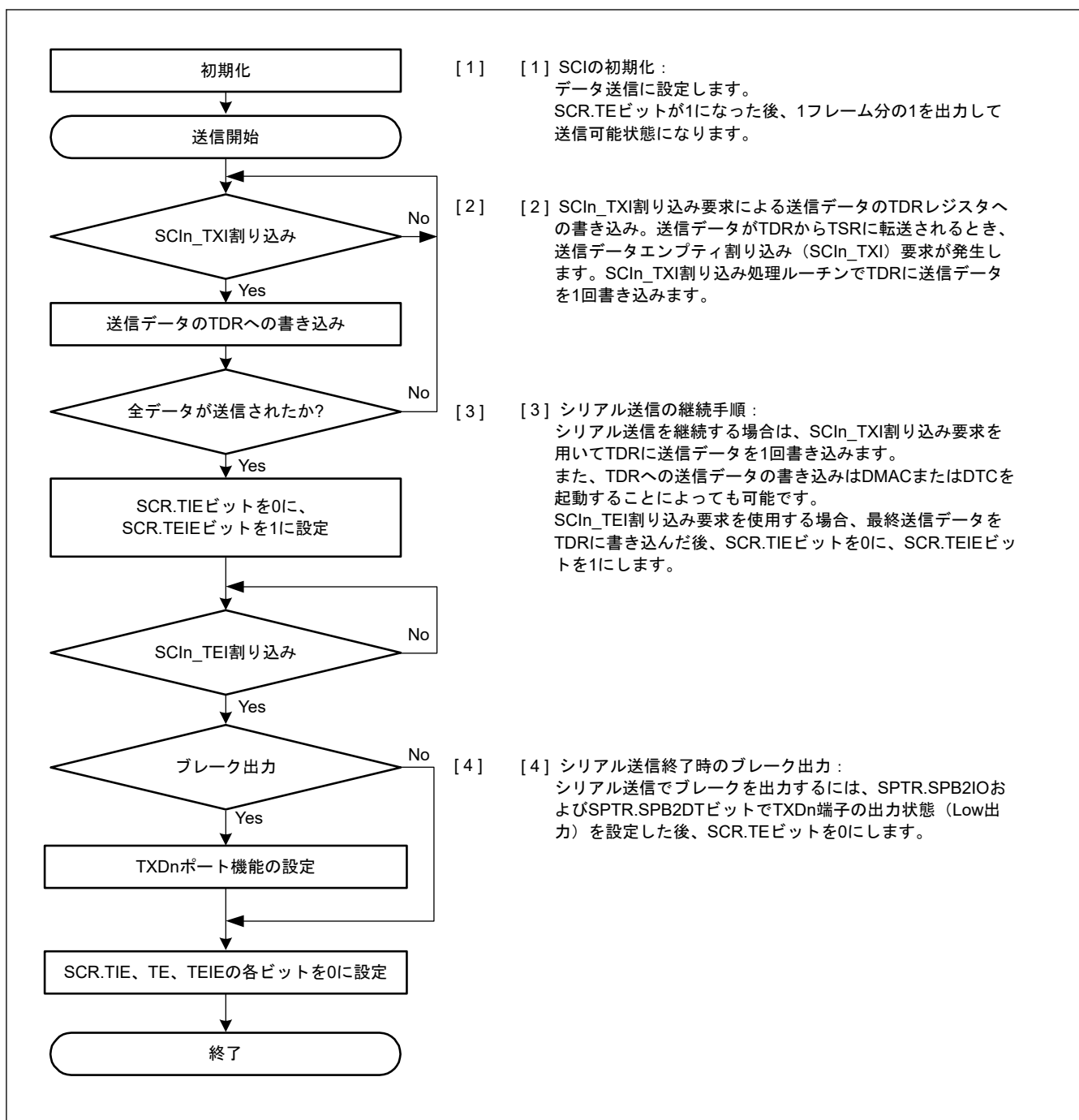


図 25.16 調歩同期式モードにおけるシリアル送信のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

図 25.17 に、調歩同期式モードにおいて FTDRH レジスタと FTDRL レジスタに書き込まれるデータフォーマットの例を示します。

データ長に対応したデータが、FTDRH レジスタと FTDRL レジスタに設定されます。使用しないビットには 0 を書いてください。FTDRH レジスタ→FTDRL レジスタの順に書いてください。

データ長	レジスタ設定		FTDRH、FTDRL内の送信データ															
			FTDRHL															
	SCMR. CHR1	SMR. CHR	b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
8ビット	1	1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
9ビット	0	Don't care	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

注. —: 無効書く場合、0としてください。

図 25.17 FTDRH と FTDRL に書き込まれるデータフォーマット (FIFO 選択時)

本項では、シリアル送信時の SCI の動作について説明します。TE ビットが 1 の場合、1 フレーム（プリアンブル）分の High レベルが TXDn 端子に出力されます。

- SCI_{in}_TXI 割り込み処理ルーチンで FTDRL レジスタ(注1)にデータが書き込まれると、SCI は FTDRL レジスタ(注1)から TSR レジスタへデータを転送します。FTDRL レジスタに書き込み可能なデータのバイト数は 16 - FDR.T[4:0]です。なお、送信開始時の SCI_{in}_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることで発生します。
- SPMR.CTSE ビットが 0 (CTS 機能は無効) であるか、または CTS_n_RTS_n 端子の入力が Low であると、FTDRL レジスタ(注1)から TSR レジスタへデータが転送され、送信が開始されます。FTDRL レジスタに書き込まれた送信データ数が、指定された送信トリガ数以下のとき、SSR_FIFO.TDFE ビットが 1 になります。SCR.TIE ビットが 1 であれば、SCI_{in}_TXI 割り込み要求が発生します。この SCI_{in}_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が完了する前に、FTDRL レジスタ(注1)に次の送信データを書き込むことで連続送信が可能になります。SCI_{in}_TEI 割り込み要求を使用する場合、SCI_{in}_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを FTDRL レジスタ(注1)(注2)に書き込んだ後、SCR.TIE ビットを 0 (SCI_{in}_TXI 割り込み要求を禁止) にして、SCR.TEIE ビットを 1 (SCI_{in}_TEI 割り込み要求を許可) にします。
- データは、以下の順に TXDn 端子から送り出されます。
 - スタートビット
 - 送信データ
 - パリティビットまたはマルチプロセッサビット（フォーマットによっては、ない場合もある）
 - ストップビット
- ストップビットを送り出すタイミングで、SCI は FTDRL レジスタ(注3)に未送信データが残っていないかチェックします。
- FTDRL(注3)レジスタにデータが設定されている場合、SPMR.CTSE ビットを 0 (CTS 機能は無効) にするか、あるいは CTS_n_RTS_n 端子の入力を Low にすると、次の送信データが FTDRL レジスタ(注1)から TSR レジスタへ転送され、ストップビット送出後、次のフレームのシリアル送信が開始されます。
- FTDRL(注3)レジスタにデータがない場合、SSR_FIFO レジスタの TEND フラグが 1 になり、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき、SCR.TEIE ビットが 1 になっていると、SSR_FIFO.TEND フラグが 1 になり、SCI_{in}_TEI 割り込み要求が発生します。

注 1. FTDRL レジスタのみへの書き込みデータではなく、FTDRH レジスタと FTDRL レジスタへの書き込みデータになります。

注 2. データ長 9 ビット選択時は、FTDRH→FTDRL の順にデータを書き込んでください。

注 3. データ長 9 ビット選択時、SCI は FTDRL レジスタの更新のみを確認し、FTDRH レジスタの更新は確認しません。

図 25.18 に、調歩同期式モードにおける FIFO 選択時のシリアル送信のフローチャート例を示します。

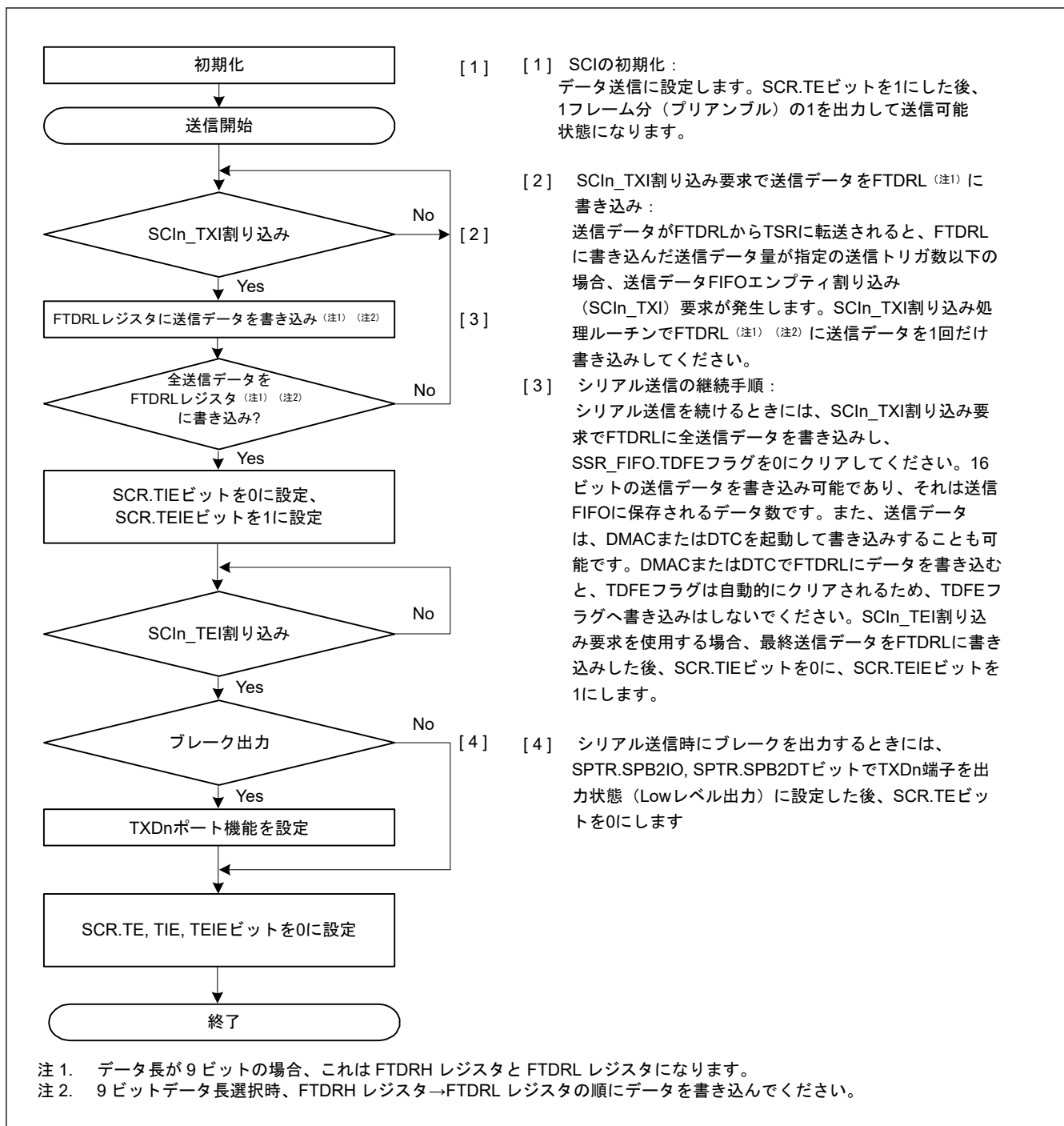


図 25.18 調歩同期式モードにおけるシリアル送信のフローチャート例（FIFO 選択時）

25.3.9 シリアルデータの受信（調歩同期式モード）

(1) 非 FIFO 選択時

図 25.19 と図 25.20 に、調歩同期式モードにおけるシリアルデータ受信の動作例を示します。

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが 1 になると、CTSn_RTSn 端子出力が Low になります。
2. SCI が通信回線を監視し、スタートビットを検出すると、内部を同期化して受信データを RSR に取り込みます。
3. マルチプロセッサ通信機能が許可されている場合 (SMR.MP = 1)、「25.4.2. マルチプロセッサシリアルデータ受信」を参照してください。アドレスマッチ機能（データコンペアマッチ機能）が許可されている場合

(DCCR.DCME = 1)、SCI が受信データとコンペアデータ (CDR.CMPD^(注1)) が一致するのを検出するまでの間、受信データはスキップ (廃棄) されるため、SCI はパリティエラーとフレーミングエラーを検知できません。

4. SCI がアドレスマッチを検出すると、DCCR.DCME ビットは自動的にクリアされ、DCCR.DCMF フラグが 1 になり、SCIn_AM 割り込み^(注2)要求が発生します。SCIn_RXI 割り込み要求の生成を許可するには、SCR.RIE ビットを 1 にしてください。比較された受信データは RDR レジスタ^(注3)に格納されません。SSR.RDRF フラグは 0 を保持します。
5. アドレスマッチが検出された受信データで、SCI がフレーミングエラーを検出すると、DCCR.DFER フラグが 1 になります。また、そのフレームにパリティエラーを検出すると、DCCR.DPER フラグが 1 になります。SCIn_ERI 割り込み要求の生成を許可するには、SCR.RIE ビットを 1 にしてください。
6. SCIn_AM 割り込み処理ルーチン内でフレーミングエラーまたはパリティエラーを検出した場合 (DCCR.DFER フラグか DCCR.DPER フラグが 1 の場合)、アドレスマッチ機能を再び許可するため、DCCR.DFER フラグと DCCR.DPER フラグを 0 にして、DCCR.DCME ビットを 1 にします。フレーミングエラーもパリティエラーも検出されなかった場合 (DCCR.DFER フラグも DCCR.DPER フラグもどちらも 0 の場合)、DCCR.DCMF フラグを 0 に設定してください。図 25.10 を参照してください。
7. オーバーランエラーが発生した場合、SSR.ORER フラグが 1 になります。SCR.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。受信データは RDR レジスタ^(注3)へ転送されません。
8. パリティエラーが検出された場合は、SSR.PER フラグが 1 になり、受信データが RDR レジスタ^(注3)へ転送されます。SCR.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。
9. フレーミングエラーが検出された場合は、SSR.FER フラグが 1 になり、受信データが RDR レジスタ^(注3)へ転送されます。SCR.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。
10. 正常に受信したときは、受信データが RDR レジスタ^(注3)へ転送されます。SCR.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。この SCIn_RXI 割り込み処理ルーチンにおいて、次のデータ受信が終了する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。RDR レジスタへ転送された受信データを読み出されると、CTSn_RTSn 端子出力が Low になります。

注 1. このコンペアの範囲は 3 種類の長さから 1 つ選択できます。CMPD[6:0]は 7 ビット長、CMPD[7:0]は 8 ビット長、CMPD[8:0]は 9 ビット長です。

注 2. SCIn_AM 割り込みには割り込み許可ビットが割り当てられないため、割り込み要求は DCCR.DCMF ビットを 1 にすることで生成します。

注 3. 9 ビットデータ長選択時は、RDRHL レジスタのデータだけを読み出してください。

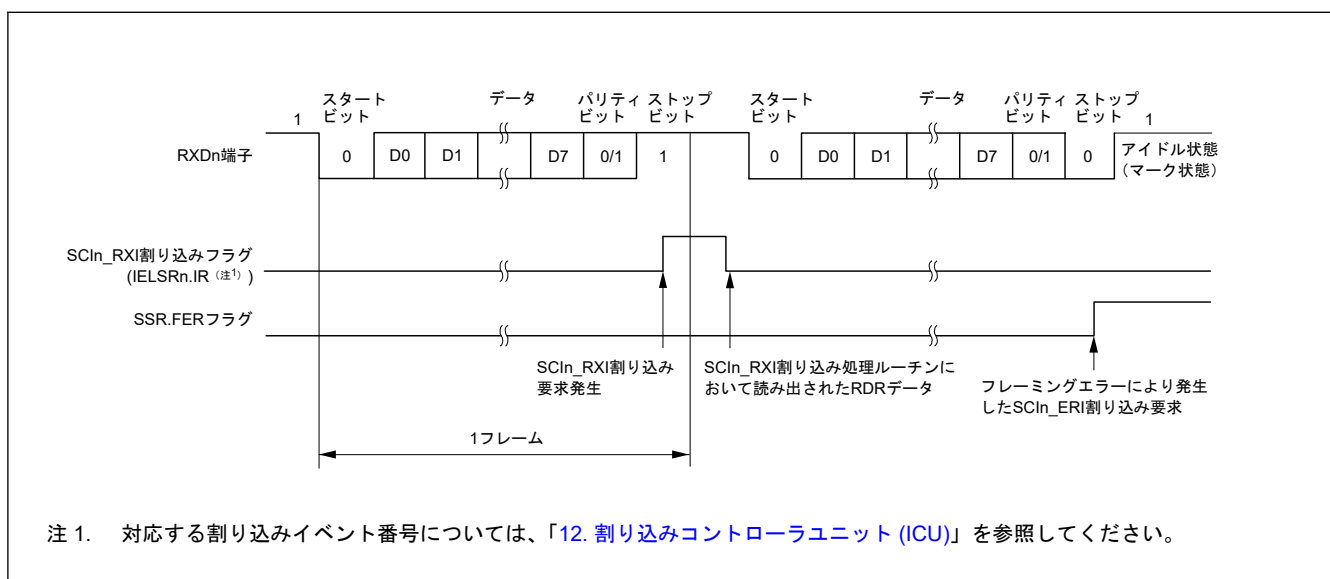


図 25.19 調歩同期式モードにおけるシリアル受信の動作例 (1) (RTS 機能を使用しない場合) (8 ビットデータ／パリティあり／1 ストップビットの場合)

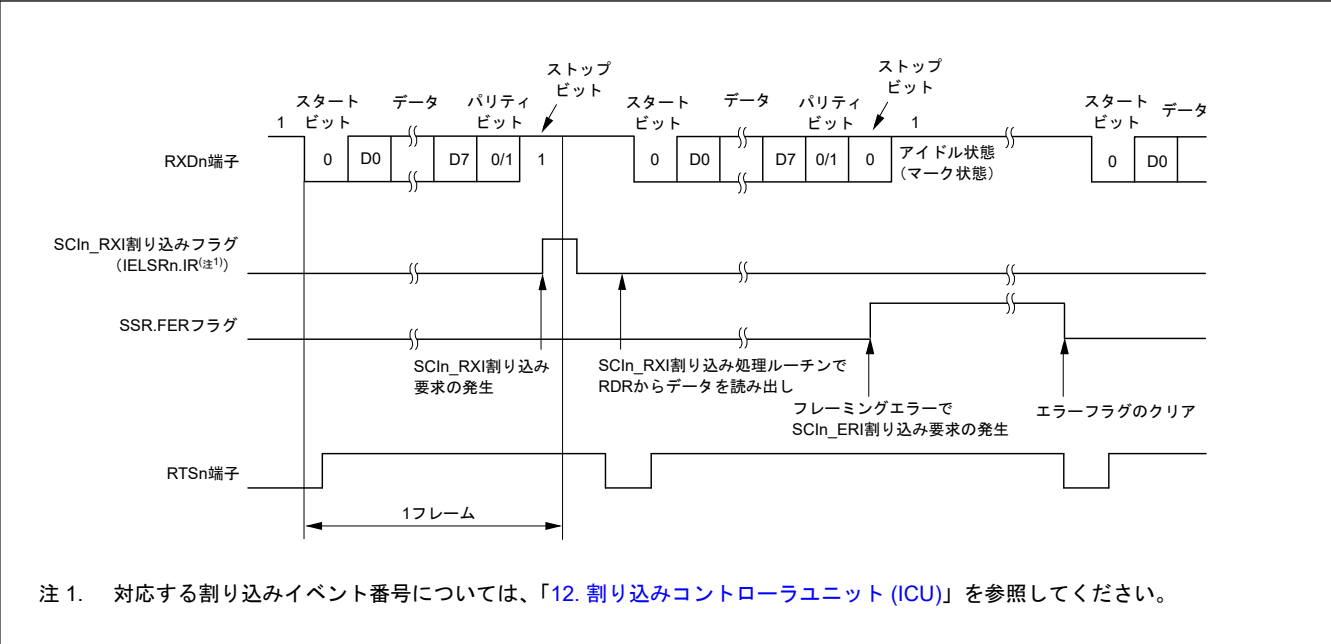


図 25.20 調歩同期式モードにおけるシリアル受信の動作例 (2) (RTS 機能を使用する場合) (8 ビットデータ/パリティあり/1 ストップビットの場合)

表 25.30 に、受信エラーが検出された場合の SSR レジスタの各フラグの状態と受信データの処理を示します。

受信エラーが検出されると、SCI_{in}_ERI 割り込み要求は発生しますが、SCI_{in}_RXI 割り込み要求は発生しません。受信エラーフラグが 1 の状態では受信動作を再開できません。したがって、ORER、FER、および PER フラグを 0 にしてから受信を再開してください。また、オーバーランエラー処理では、必ず RDR または RDRHL レジスタを読み出してください。受信動作中に SCR.RE ビットを 0 にして受信動作を強制終了させた場合、RDR (または RDRHL) レジスタに読み出し前の受信データが残っている可能性があるため、RDR (または RDRHL) レジスタを読み出す必要があります。

図 25.21 と図 25.22 に、シリアル受信のフローチャート例を示します。

表 25.30 SSR ステータスレジスタのフラグの状態と受信データの処理

SSR ステータスレジスタのフラグ			受信データ	受信エラーの種類
ORER	FER	PER		
1	0	0	消失	オーバーランエラー
0	1	0	RDR(注1)へ転送	フレーミングエラー
0	0	1	RDR(注1)へ転送	パリティエラー
1	1	0	消失	オーバーランエラー+フレーミングエラー
1	0	1	消失	オーバーランエラー+パリティエラー
0	1	1	RDR(注1)へ転送	フレーミングエラー+パリティエラー
1	1	1	消失	オーバーランエラー+フレーミングエラー+パリティエラー

注 1. データ長 9 ビット選択時は、RDRHL レジスタのデータだけを読み出してください。

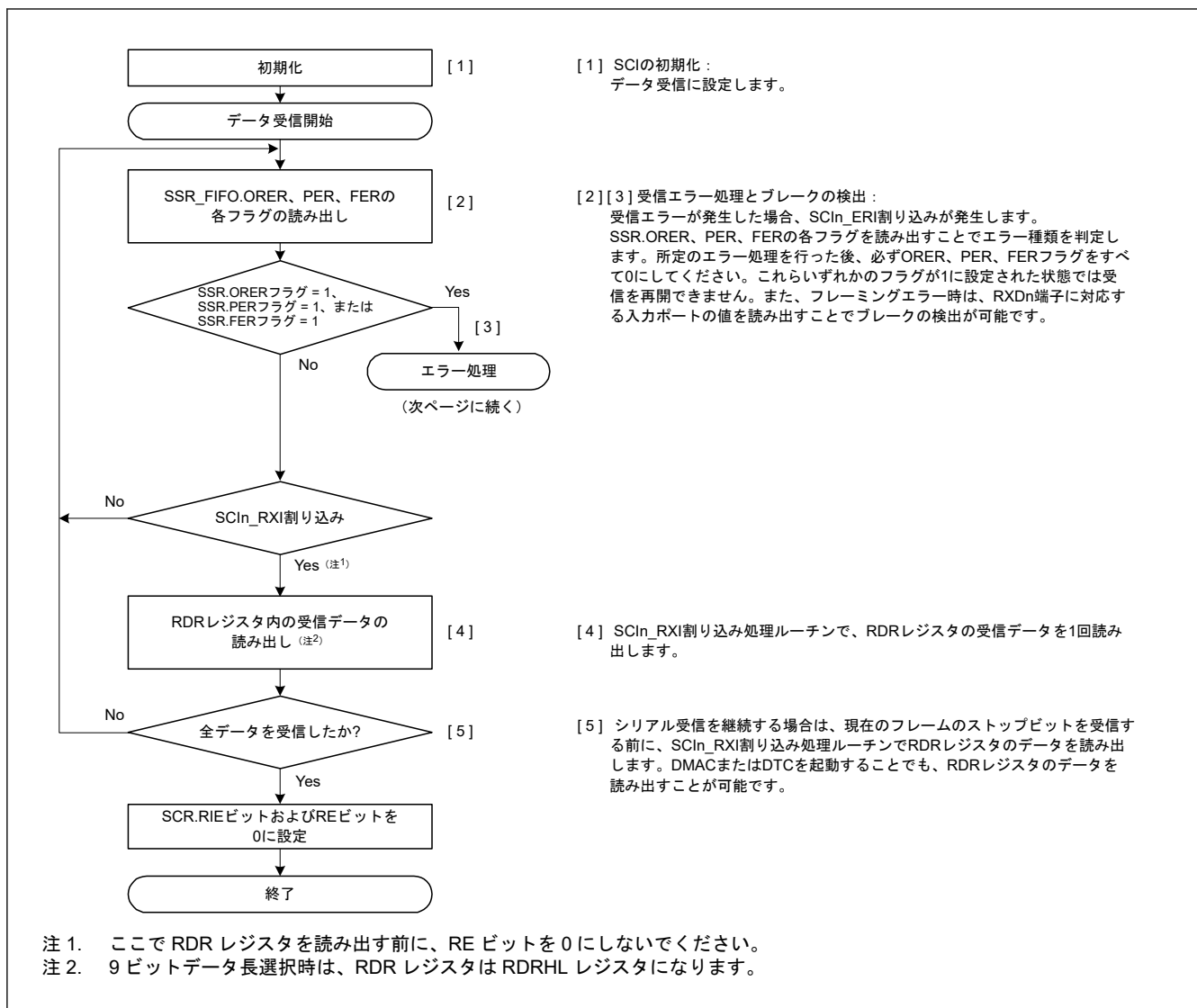


図 25.21 調歩同期式モードにおけるシリアル受信のフローチャート例（非 FIFO 選択、アドレス一致検出無効時）
(1)

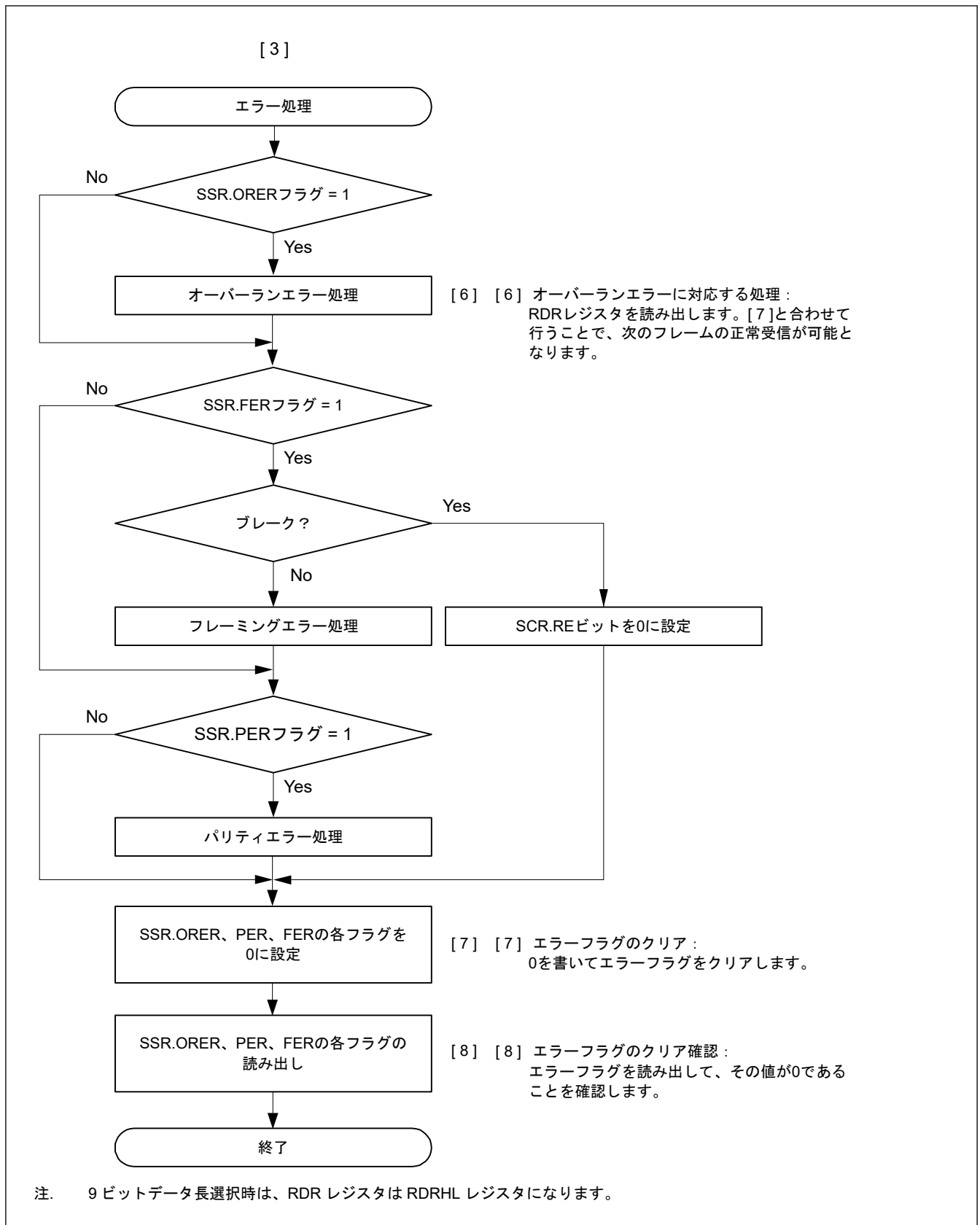


図 25.22 調歩同期式モードにおけるシリアル受信のフローチャート例（非 FIFO 選択、アドレス一致検出無効時）
(2)

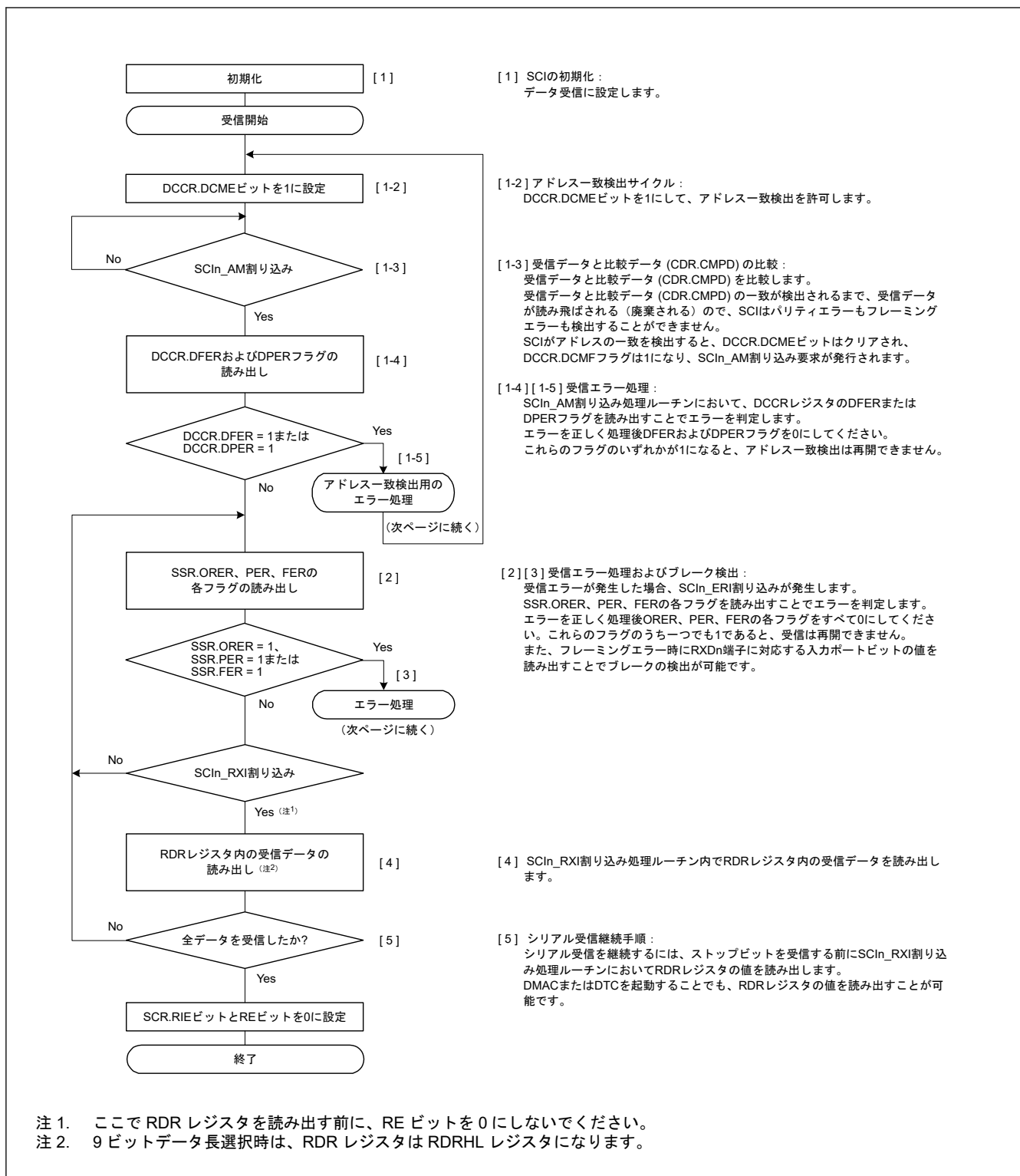


図 25.23 調歩同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択なし、アドレス一致検出有効時）(1)

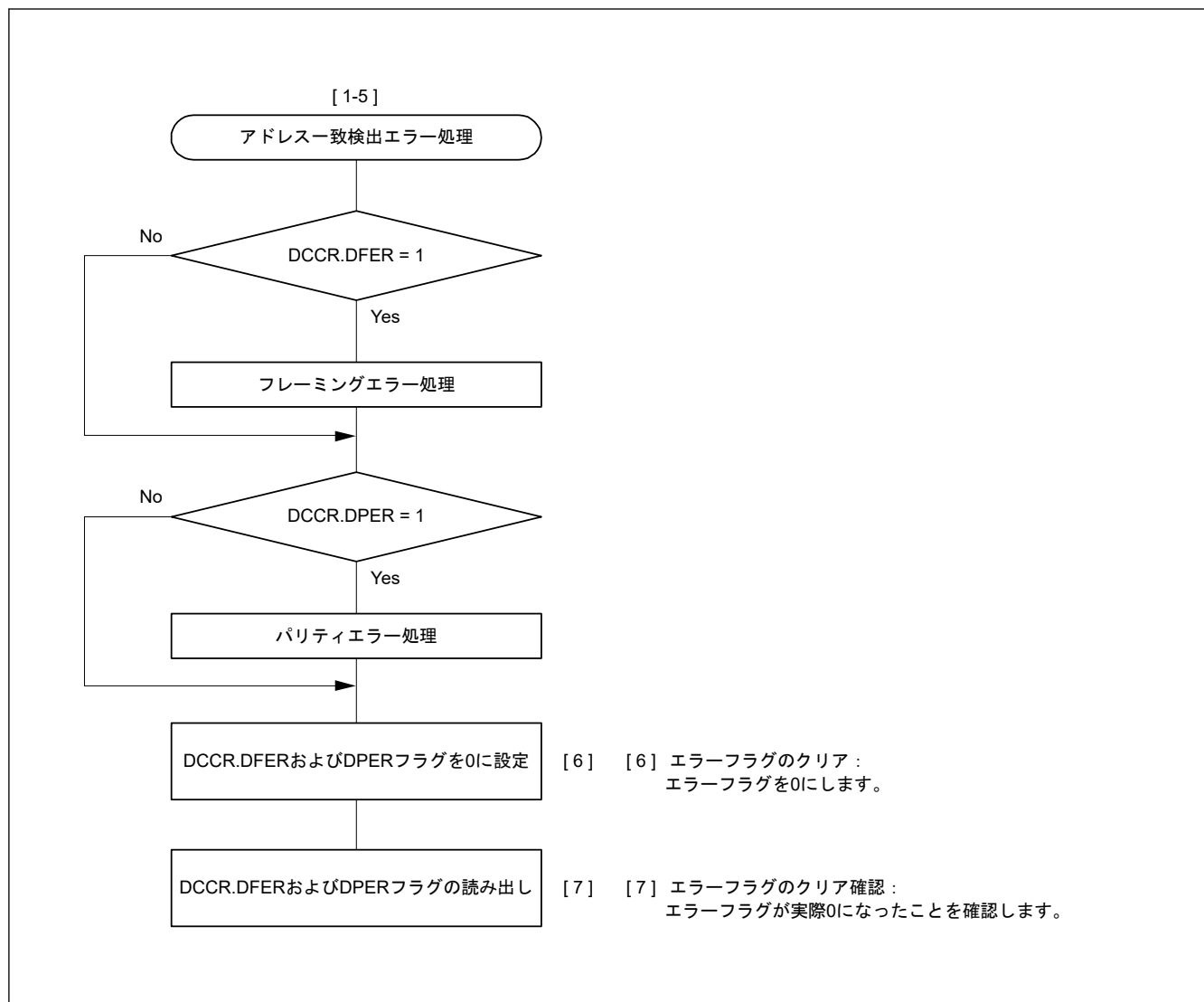


図 25.24 調歩同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択なし、アドレス一致検出有効時）(2)

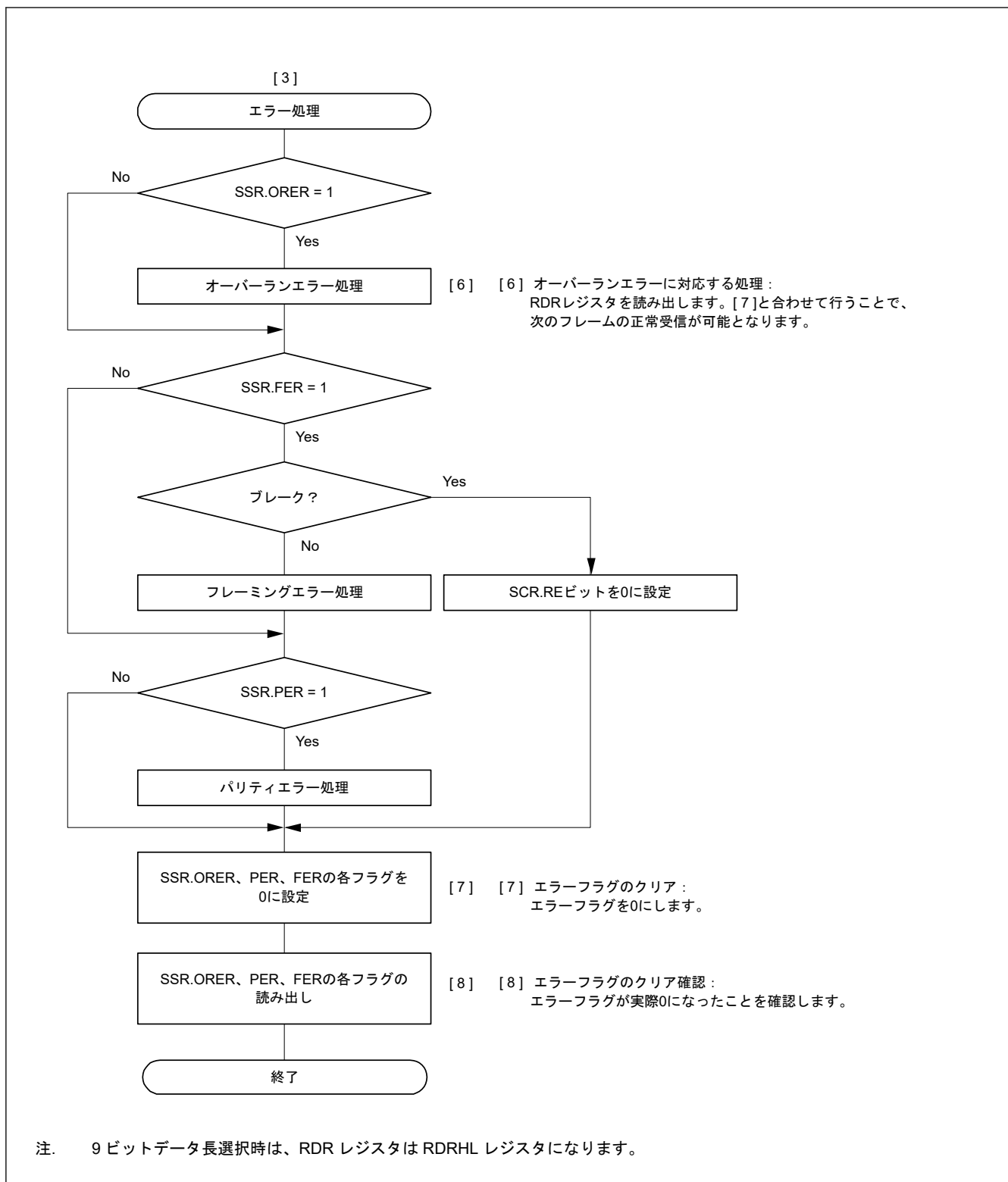


図 25.25 調歩同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択なし、アドレス一致検出有効時）(3)

(2) FIFO 選択時

図 25.26 に、調歩同期式モードにおいて FRDRH レジスタと FRDRL レジスタに書き込まれるデータフォーマットの例を示します。

調歩同期式モードでは、FRDRH レジスタの MPB ビットに 0 が書き込まれます。データ長に対応したデータが FRDRH レジスタと FRDRL レジスタに書き込まれます。使用されないビットには、0 が書き込まれます。FRDRH レジスタ→FRDRL レジスタの順に読み出してください。ソフトウェアが FRDRL レジスタを読み出す

と、SCI は FRDRH レジスタの FER、PER、および受信データ (RDAT[8:0]) を次のデータで更新します。FRDRH レジスタの RDF、ORER、および DR フラグは、常に SSR_FIFO レジスタの対応するフラグを反映しています。

データ長	レジスタ設定		FRDRH、FRDRLの受信データ																
			FRDRHL																
	SCMR. CHR1	SMR. CHR	FRDRH								FRDRL								
			b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
7ビット	1	0	-	RDF	ORER	FER	PER	DR	0	0	0	7ビットの受信データ							
8ビット	1	1	-	RDF	ORER	FER	PER	DR	0	0	8ビットの受信データ								
9ビット	0	Don't care	-	RDF	ORER	FER	PER	DR	0	9ビットの受信データ									

注. MPB ビット (FRDRH[1]) では常に 0 が読み出されます。
 データ長が 7 ビットの場合、FRDRH[0] と FRDRL[7] では常に 0 が読み出されます。
 データ長が 8 ビットの場合、FRDRH[0] では常に 0 が読み出されます。
 FRDRH[7] ビットは不定値として読み出されます。

図 25.26 FRDRH と FRDRL に格納されるデータフォーマット (FIFO 選択時)

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが 1 になると、CTS_n_RTS_n 端子出力が Low になります。
2. SCI が通信回線を監視し、スタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込みます。
3. マルチプロセッサ通信機能が許可されている場合 (SMR.MP = 1)、「[25.4.2. マルチプロセッサシリアルデータ受信](#)」を参照してください。アドレスマッチ機能 (データコンペアマッチ機能) が許可されている場合 (DCCR.DCME = 1)、SCI が受信データとコンペアデータ (CDR.CMPD^(注1)) が一致するのを検出するまでの間、受信データはスキップ (廃棄) されるため、SCI はパリティエラーとフレーミングエラーを検知できません。
4. SCI がアドレスマッチを検出すると、DCCR.DCME ビットは自動的にクリアされ、DCCR.DCMF フラグが 1 になり、SCIn_AM 割り込み^(注2)要求が発生します。SCIn_RXI 割り込み要求の生成を許可するには、SCR.RIE ビットを 1 にしてください。比較された受信データは RDR レジスタ^(注3)に格納されません。SSR.RDRF フラグは 0 を保持します。
5. アドレスマッチが検出された受信データで、SCI がフレーミングエラーを検出すると、DCCR.DFER フラグが 1 になります。また、そのフレームにパリティエラーを検出すると、DCCR.DPER フラグが 1 になります。SCIn_ERI 割り込み要求の生成を許可するには、SCR.RIE ビットを 1 にしてください。
6. SCIn_AM 割り込み処理ルーチン内でフレーミングエラーまたはパリティエラーを検出した場合 (DCCR.DFER フラグか DCCR.DPER フラグが 1 の場合)、アドレスマッチ機能を再び許可するため、DCCR.DFER フラグと DCCR.DPER フラグを 0 にして、DCCR.DCME ビットを 1 にします。フレーミングエラーもパリティエラーも検出されなかった場合 (DCCR.DFER フラグも DCCR.DPER フラグもどちらも 0 の場合)、DCCR.DCMF フラグを 0 に設定してください。図 25.10 を参照してください。
7. 通常の通信でオーバーランエラーが発生した場合、SSR_FIFO.ORER フラグが 1 になります。SCR の SCR.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。受信データは FRDRL レジスタ^(注3)へ転送されません。
8. パリティエラーが検出された場合は、PER フラグと受信データが FRDRL レジスタ^(注3)へ転送されます。このとき、SCR.RIE ビットが 1 になっていると、SCIn_ERI 割り込み要求が発生します。
9. フレーミングエラーが検出された場合は、FER フラグと受信データが FRDRL レジスタ^(注3)へ転送されます。このとき、SCR.RIE ビットが 1 になっていると、SCIn_ERI 割り込み要求が発生します。
10. フレーミングエラーが検出された後、SCI によって連続受信データが 1 フレーム分 0 であることが検出された場合、受信動作が停止します。
11. FRDRL レジスタに格納されたデータ数が、指定された受信トリガ数より少なく、かつ、調歩同期式モードにおいて最後のストップビットから 15 ETU 経過しても次のデータが受信されていない場合は、SSR_FIFO.DR

フラグが 1 になります。SCR.RIE ビットが 1 で、FCR.DRES ビットが 0 の場合、SCI は SCIn_RXI 割り込み要求を発生させます。FCR.DRES ビットが 1 の場合、SCI は SCIn_ERI 割り込み要求を発生させます。

12. 正常に受信したときは、受信データが FRDRL レジスタ(注3)へ転送されます。FRDRHL に書き込まれた受信データ数が、指定された受信トリガ数以上であると、RDF ビットが 1 になります。SCR の SCR.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。この SCIn_RXI 割り込み処理ルーチンにおいて、オーバーランエラーが発生する前に、FRDRL レジスタ(注4)へ転送された受信データを読み出すことで連続受信が可能になります。FRDRL レジスタ(注5)へ転送された受信データ数が RTS トリガ数未満であると、CTSn_RTSn 端子出力が Low になります。

- 注 1. コンペアの対象として、3 種類の長さから 1 つ選択できます。CMPD[6:0]は 7 ビット長、CMPD[7:0]は 8 ビット長、CMPD[8:0]は 9 ビット長です。
 注 2. SCIn_AM 割り込みには割り込み許可ビットが割り当てられないため、割り込み要求は DCCR.DCMF ビットを 1 にすることで生成します。
 注 3. データ長 9 ビット選択時は、FRDRH レジスタと FRDRL レジスタのデータだけを読み出してください。
 注 4. データ長 9 ビット選択時は、FRDRH→FRDRL の順にデータを読み出してください。
 注 5. データ長 9 ビット選択時、SCI は FRDRL レジスタの更新のみを確認し、FRDRH レジスタの更新は確認しません。

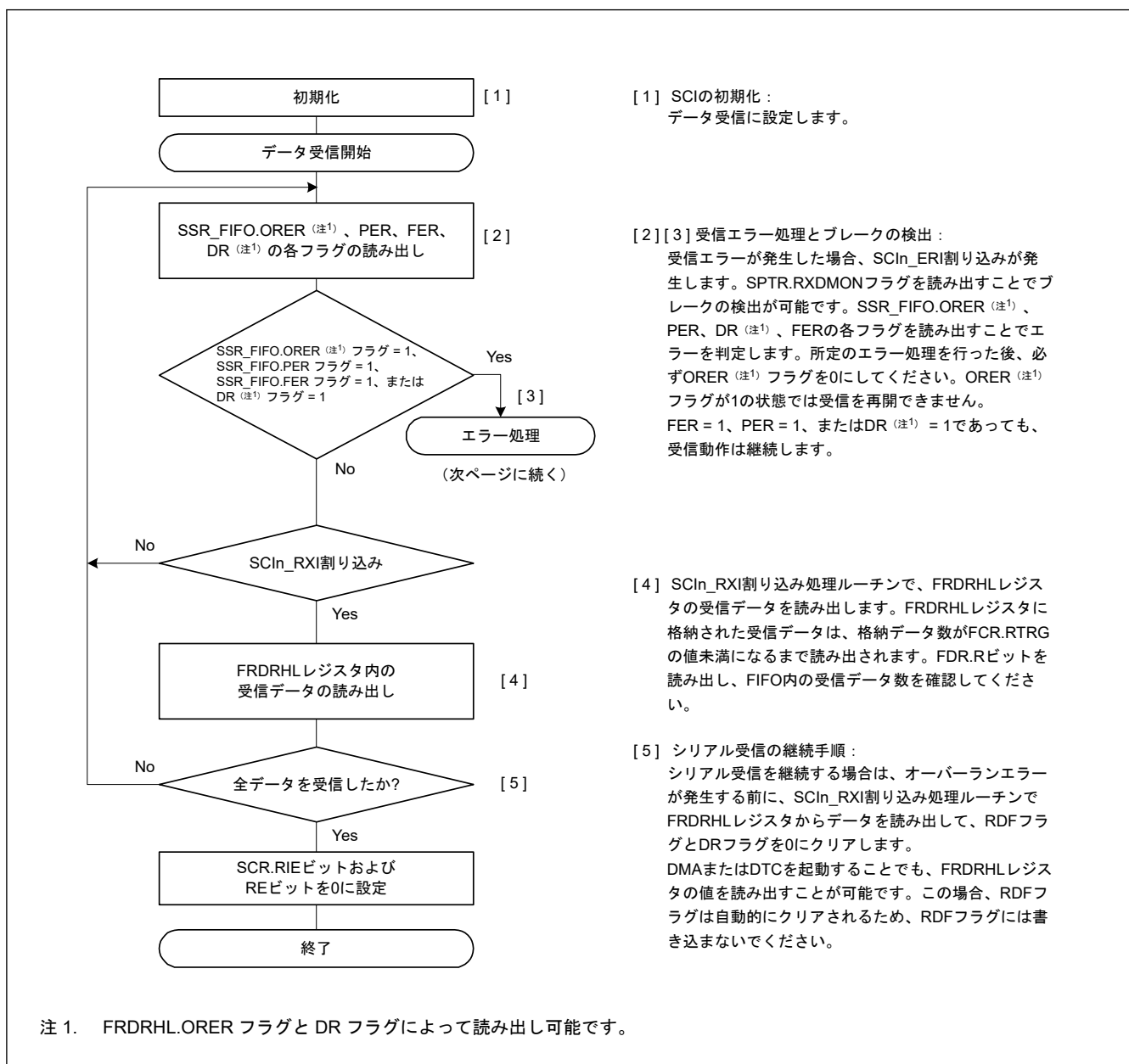


図 25.27 調歩同期式モードにおけるシリアル受信のフローチャート例 (FIFO 選択、アドレス一致検出有効時) (1)

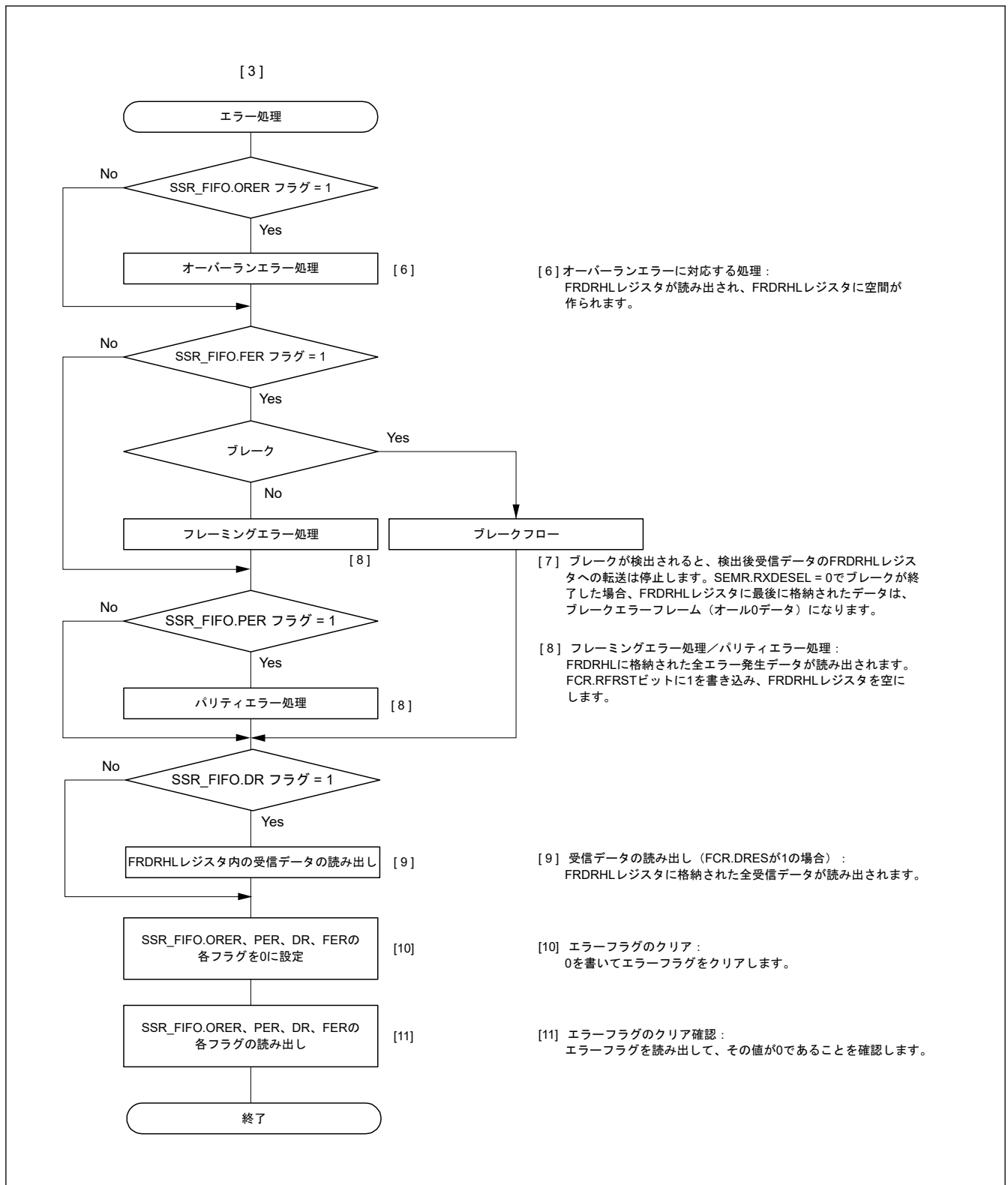


図 25.28 調歩同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択、アドレス一致検出無効時）(2)

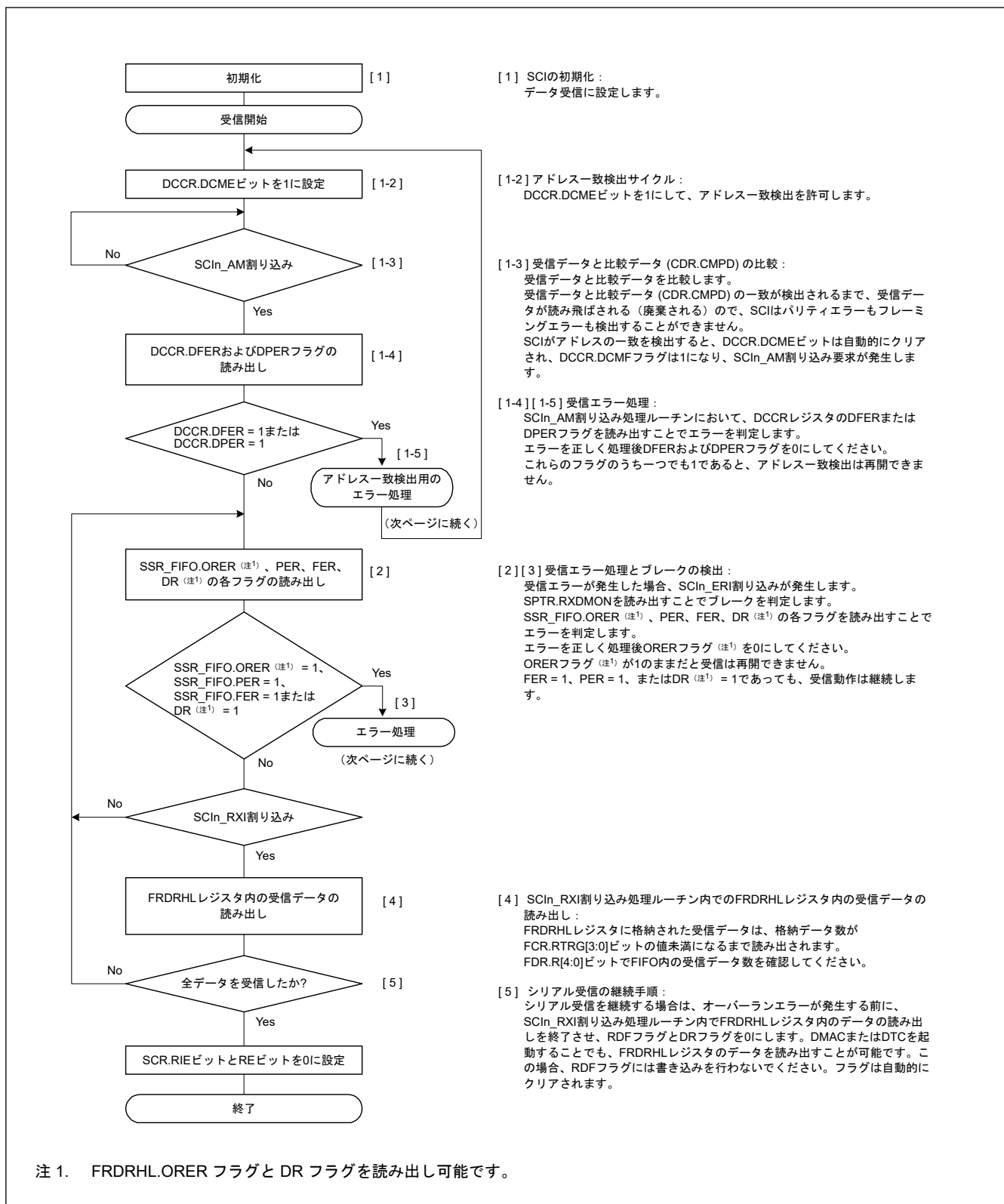


図 25.29 調歩同期式モードにおけるシリアル受信のフローチャート例 (FIFO 選択、アドレス一致検出有効時) (1)

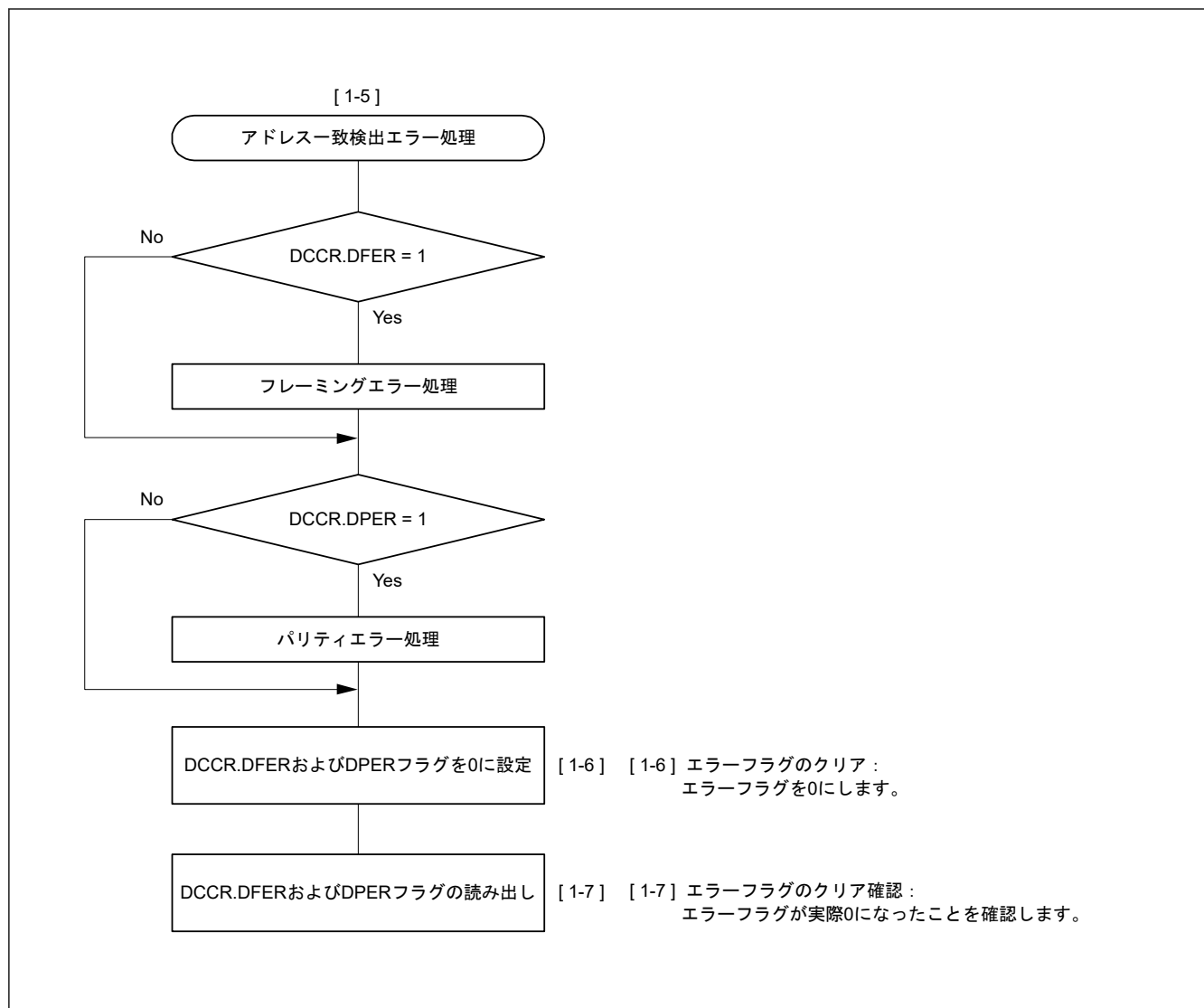


図 25.30 調歩同期式モードにおけるシリアル受信のフローチャート例 (FIFO 選択、アドレス一致検出有効時) (2)

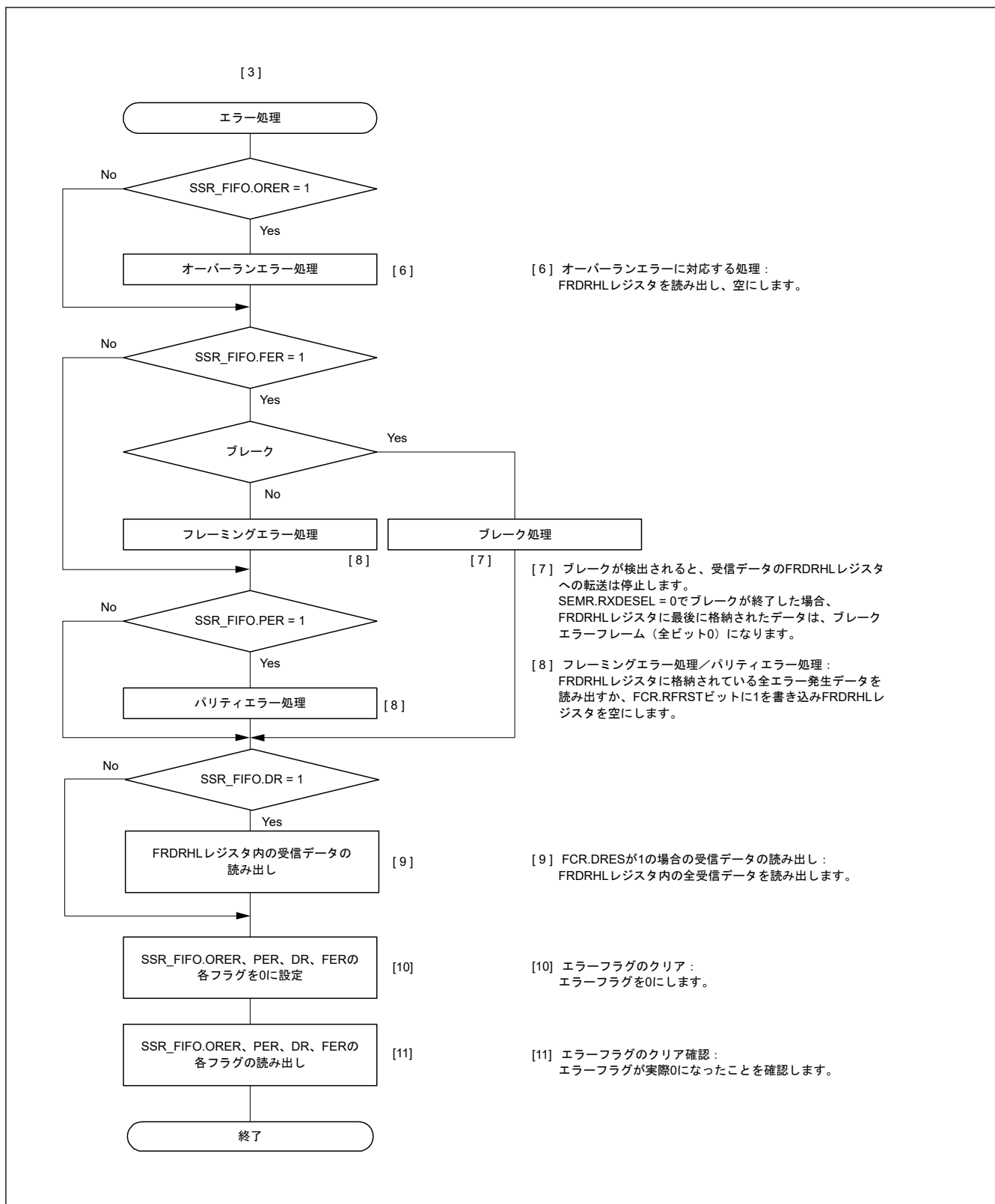


図 25.31 調歩同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択、アドレス一致検出有効時）(3)

25.3.10 受信サンプリングタイミング調整機能（調歩同期式モード）

フォトカプラ通過後の波形で立ち上がり転送時間と立ち下がり転送時間の差がある場合、ビットの中間部分での受信サンプリングタイミングが受信マージンに影響します。この場合、この機能を利用することで受信サンプリングタイミングをビットの中間部分から最適なタイミングに調整できます。

受信サンプリングタイミングは、下記の式によりビットの中間部分から調整します。また、調整方向は ACTR.AJD ビットで設定されます。後方向に調整 (ACTR.AJD ビット = 0) の場合は AJD = +1 とし、前方向に調整 (ACTR.AJD ビット = 1) の場合は AJD = -1 とします。

調整後のサンプリングタイミング = ビットの中央 + AJD × (基本クロック × ACTR.AST[2:0 ビットの設定値])

設定タイミングは、1 ビットごとの基本クロックサイクル数により制限されます。詳細は、表 25.31 を参照してください。

この機能を使用した場合の、フォトカプラを通過する通信の受信動作の概要を図 25.32、図 25.33 と図 25.34 に、本機能の動作の説明を図 25.35 に示します。

立ち上がり転送時間と立ち下がり転送時間に差がない場合はこの機能を使用しないでください。受信マージンに悪影響を及ぼす可能性があります。

表 25.31 ACTR レジスタの許容値 (内部クロックを使用した調歩同期式モード)

SEMR.ABCSE	SEMR.ABCS	1 ビットごとの基本クロックサイクル数	ACTR の許容値	
			ACTR.AJD	ACTR.AST
1	x	6	0	000b~010b(注1)
			1	
0	1	8	0	000b~011b(注1)
			1	
0	0	16	0	000b~111b
			1	

注. x: Don't care

注 1. ACTR.AST の値が許容値を超えている場合、サンプリングはデフォルトのタイミングで行われます。(サンプリングの調整は行われません。)

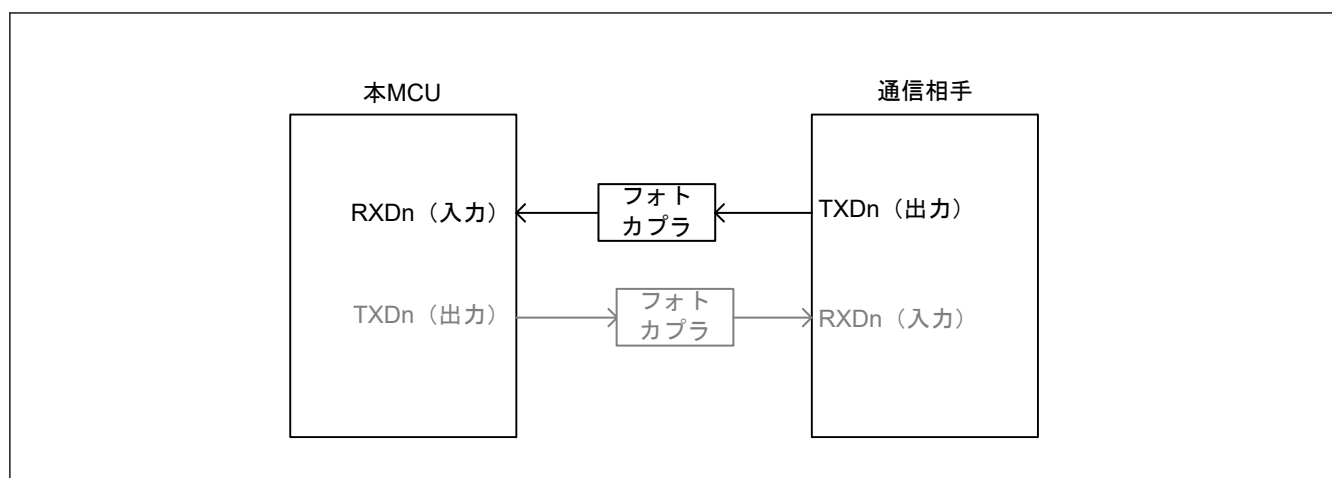
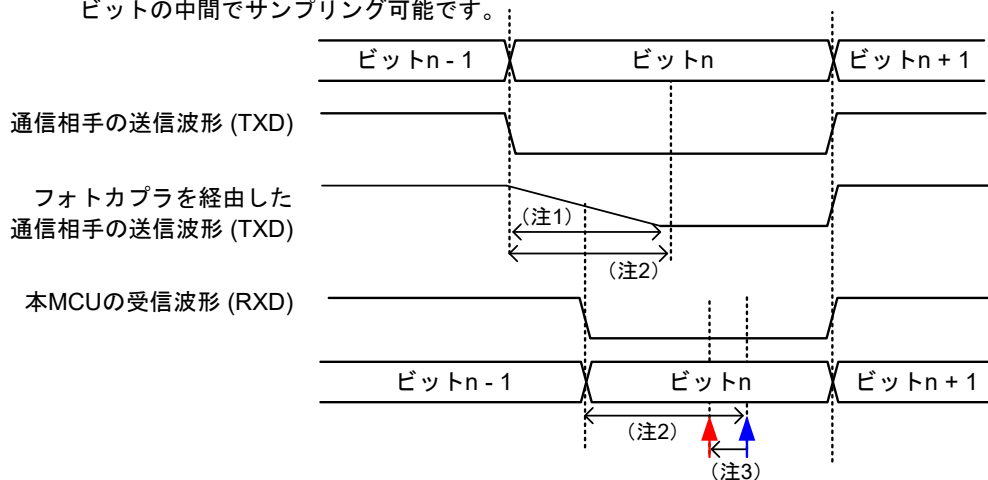


図 25.32 フォトカプラを通過する受信のブロック図イメージ

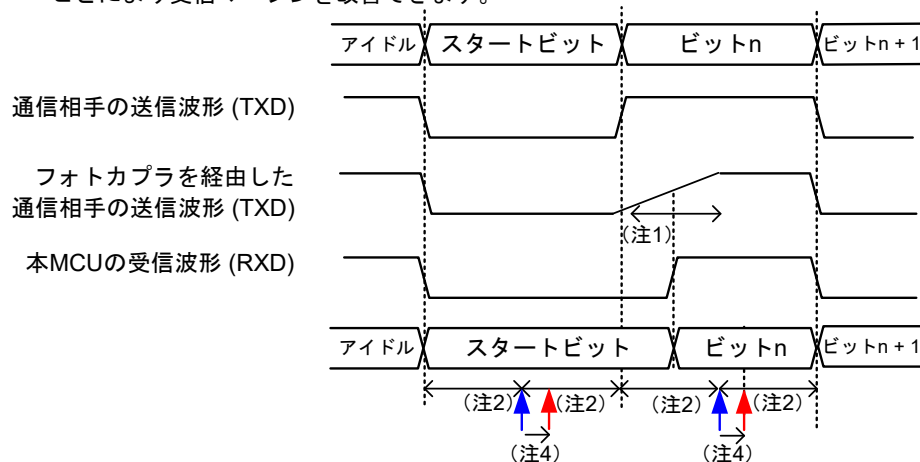
(a) 「立ち下がり転送時間 >> 立ち上がり転送時間」の場合

受信波形の立ち下がりエッジは下図に示すように鈍くなります。
 この場合、受信サンプリングタイミングを前方向に調整すると (AJD = 1)、
 ビットの間でサンプリング可能です。



(b) 「立ち下がり転送時間 << 立ち上がり転送時間」の場合

受信波形の立ち上がりエッジは下図に示すように鈍くなります。したがって、通信相手の
 受信マージンは悪化します。この場合、受信サンプリングタイミングを後方向に調整する
 ことにより受信マージンを改善できます。



↑ 未調整時の受信サンプリングタイミング
 (ビットの中間部分)

↑ 調整された受信サンプリングタイミング

注. この波形は受信サンプリングタイミング調整の動作イメージを示します。

注 1. フォトカプラの不感時間設定

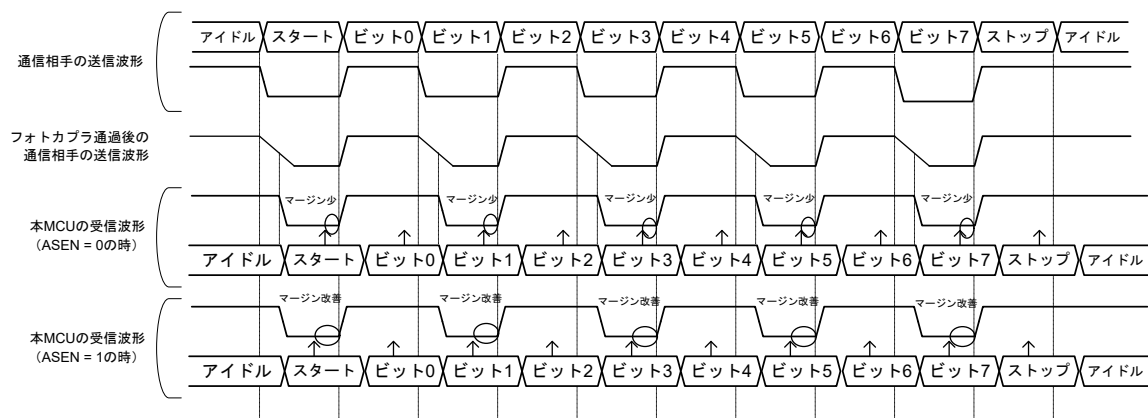
注 2. 通信レートでのビット中央タイミング

注 3. ACTR.AJD が 1 の場合、受信サンプリングタイミングを、ACTR.AST[2:0]ビットの設定値により前方向にシフトします。

注 4. ACTR.AJD が 0 の場合、受信サンプリングタイミングを、ACTR.AST[2:0]ビットの設定値により後ろ方向にシフトします。

図 25.33 フォトカプラを通過する通信の受信動作の概要

「立ち下がり転送時間 >> フォトカプラによる立ち上がり転送時間」の場合



「立ち下がり転送時間 << フォトカプラによる立ち上がり転送時間」の場合

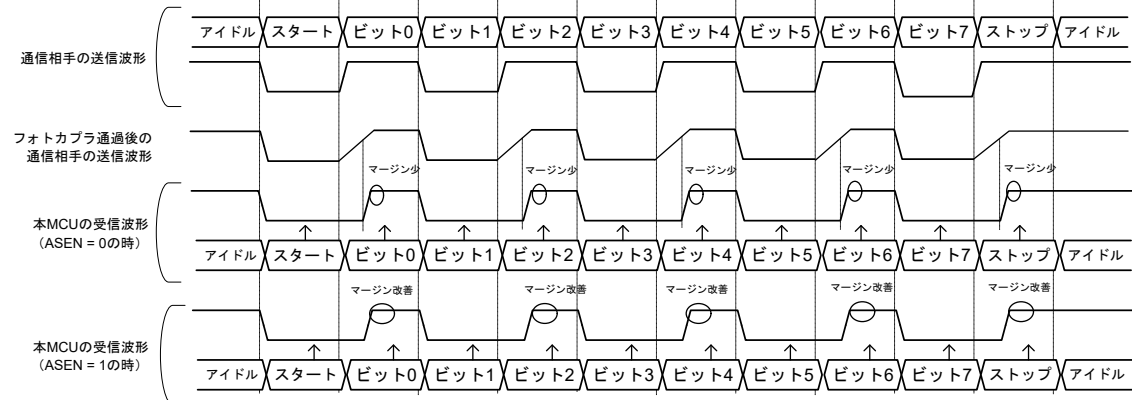


図 25.34 受信サンプリングタイミング調整機能による受信マージン向上の例

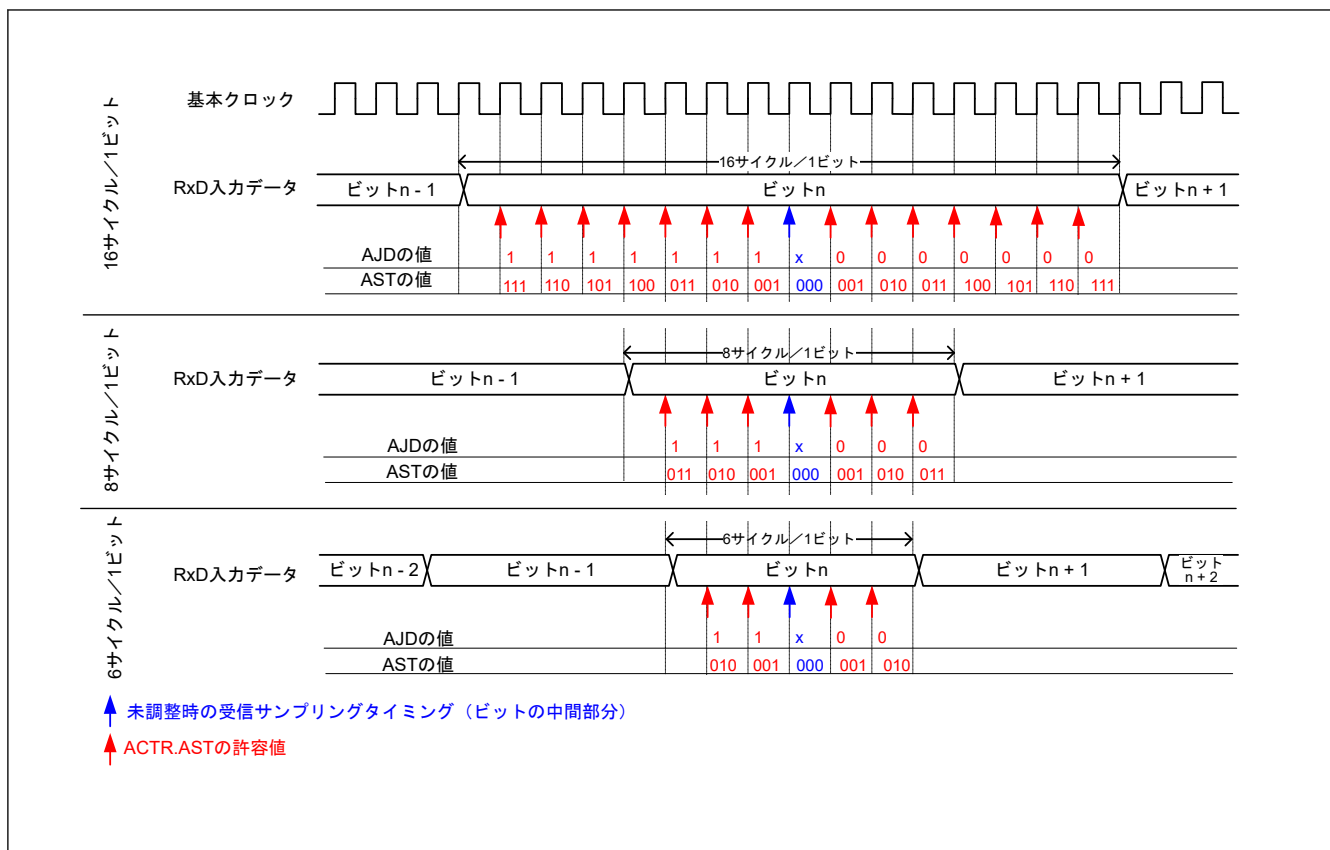


図 25.35 受信サンプリングタイミングの調整動作の概要（内部クロックを使用した調歩同期式モード）

25.3.11 送信タイミング調整機能（調歩同期式モード）

フォトカプラなどを経由した通信では、TXDn 出力信号の立ち上がりまたは立ち下りの遷移時間が長い場合に、通信先で受信する波形が鈍くなります。この場合、受信マージンに影響する可能性があります。

このような場合は、通信先で送信タイミング調整機能を使用してビットの中間部分でサンプリングするようにします。

SPTR.ATEN が 1 の場合に、この機能により、ACTR.AET により設定されたエッジに対してエッジタイミングを次の式で算出されるタイミングに調整できます。

調整エッジタイミング = 基本クロック × ACTR.ATT[2:0]

さらに、調整エッジタイミングの上限は基本クロックの設定によって制限されます。詳細は、表 25.32 を参照してください。

この機能を使用した場合の、フォトカプラを通過する通信の送信動作イメージ図を図 25.36、図 25.37 と図 25.38 に、本機能の動作の概要を図 25.39 と図 25.40 に示します。

立ち上がり転送時間と立ち下り転送時間に差がない場合はこの機能を使用しないでください。通信相手の受信マージンに悪影響を及ぼす可能性があります。

表 25.32 ACTR.AET と ACTR.ATT の許容値（内部クロックを使用した調歩同期式モード）（1/2）

ABCSE	ABCS	1 ビットごとの基本クロックサイクル数	ACTR の許容値	
			AET	ATT[2:0]
1	x	6	0	000b~101b
			1	
0	1	8	0	000b~111b
			1	

表 25.32 ACTR.AET と ACTR.ATT の許容値（内部クロックを使用した調歩同期式モード）（2/2）

ABCSE	ABCS	1ビットごとの基本クロックサイクル数	ACTR の許容値	
			AET	ATT[2:0]
0	0	16	0	000b~111b
			1	

注. x: Don't care
注. ACTR.AET または ATT の値が許容範囲内にない場合、この SCI モジュールは送信タイミングの調整を行いません。

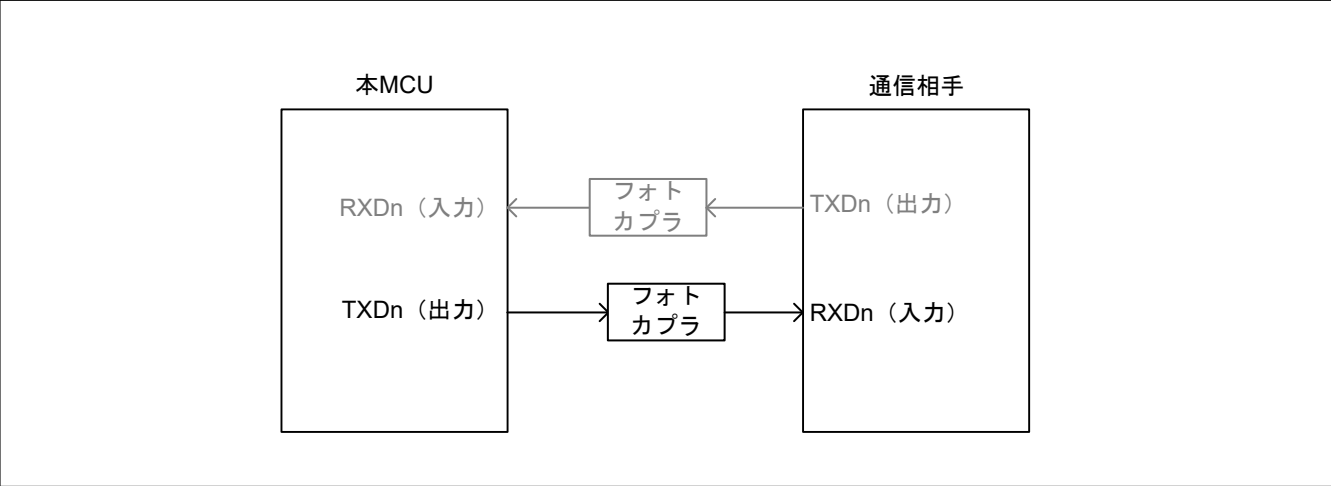
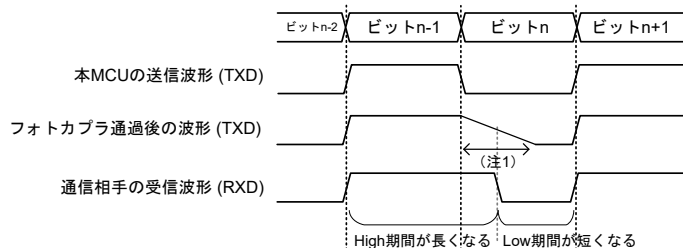


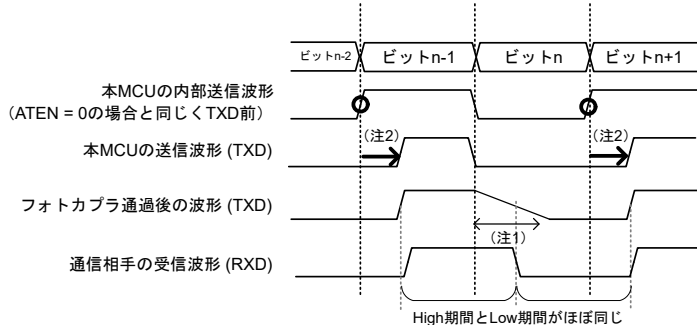
図 25.36 フォトカプラを通過する送信のブロック図イメージ

(a) 「立ち下がり転送時間 >> 立ち上がり転送時間」の場合

(a-1) 送信波形調整機能OFF (ATEN = 0) 時

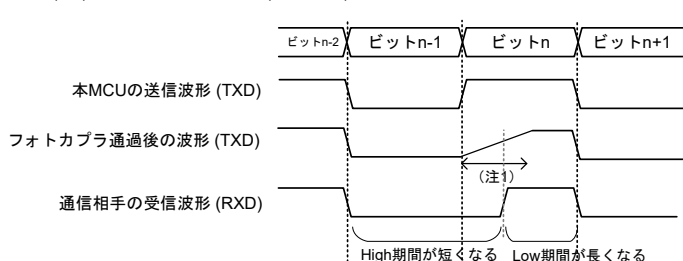


(a-2) 送信波形調整機能ON (ATEN = 1) かつ立ち上がりエッジ調整時 (AET = 0)

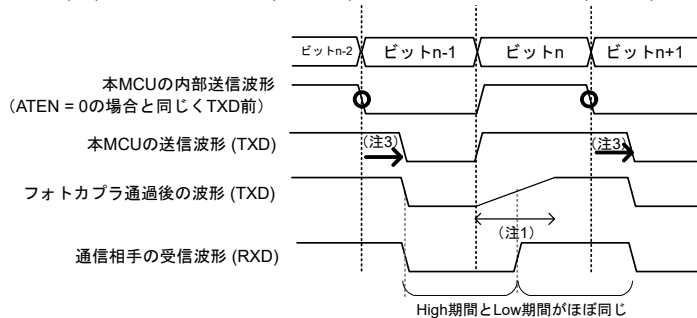


(b) 「立ち下がり転送時間 << 立ち上がり転送時間」の場合

(b-1) 送信波形調整機能OFF (ATEN = 0) 時



(b-2) 送信波形調整機能ON (ATEN = 1) かつ立ち下がりエッジ調整時 (AET = 1)



注. この波形は送信タイミング調整の動作イメージを示します。

注 1. フォトカブラの不感時間

注 2. ACTR.AET が 0 の場合、送信波形タイミングの立ち上がりエッジを、ACTR.ATT[2:0]ビットの設定値により後ろにシフトします。このIP 送信波形は、立ち下がりエッジを相対的に前にシフトします。

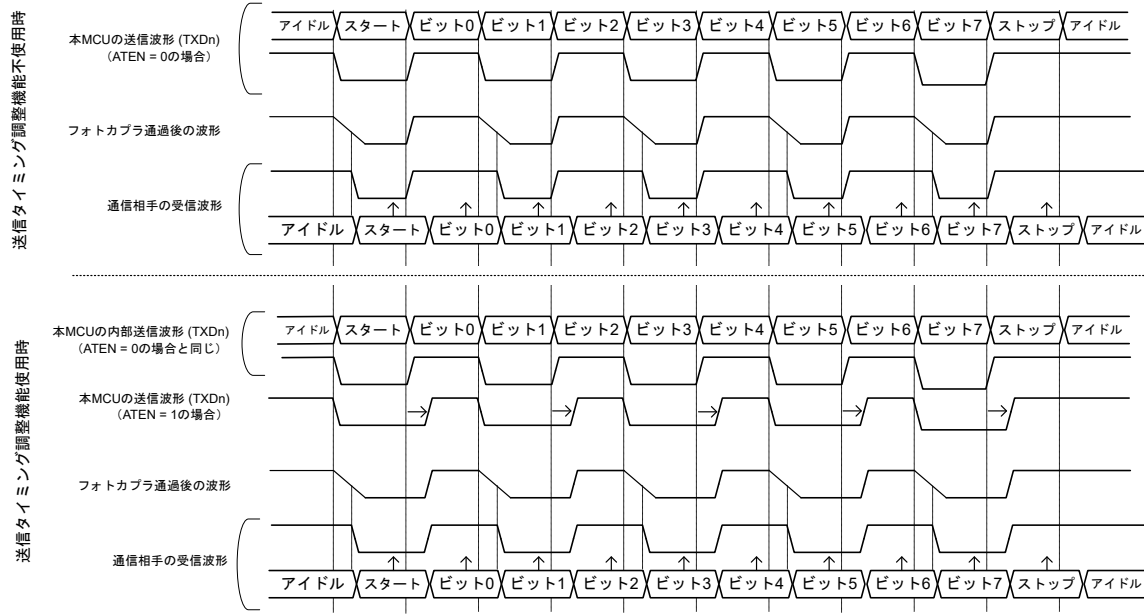
注 3. ACTR.AET が 1 の場合、送信波形タイミングの立ち下がりエッジを、ACTR.ATT[2:0]ビットの設定値により後ろにシフトします。このIP 送信波形は、立ち下がりエッジを相対的に前にシフトします。

図 25.37 フォトカブラを通過する通信の送信動作の概要

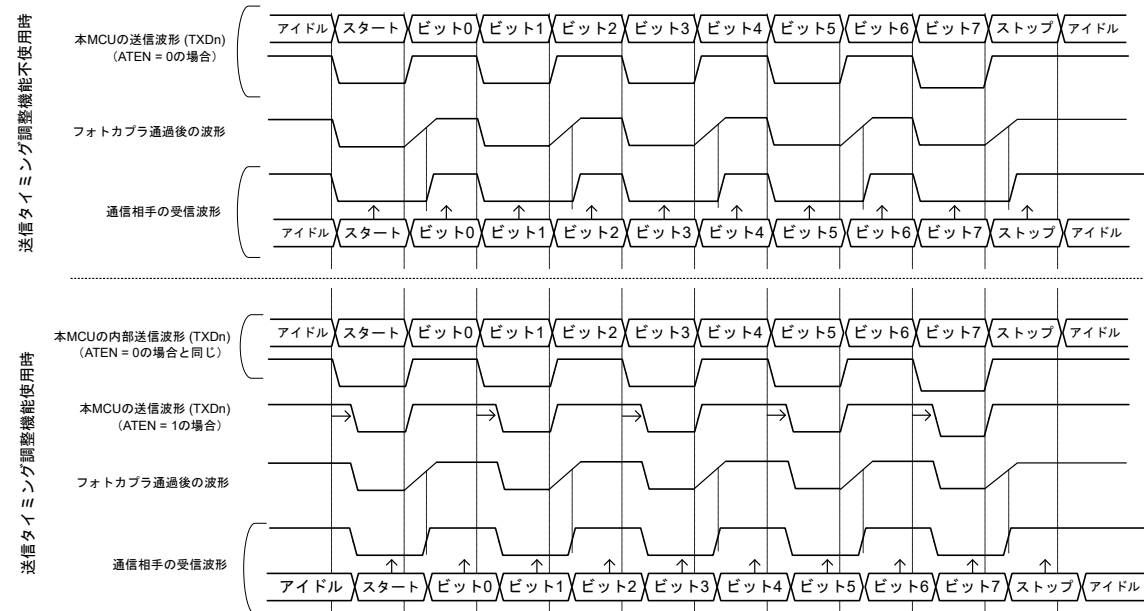
送信タイミング調整機能使用時のフォトカブラを経由した通信の送信波形の説明

送信タイミング調整機能の使用時は、送信波形のエッジタイミングを調整し、通信相手の受信波形を補正してください。
次の例は、8ビット長のデータの場合です。

(a) 「立ち下がりエッジ転送時間 >> 立ち上がり転送時間」の場合



(b) 「立ち下がりエッジ転送時間 << 立ち上がり転送時間」の場合



→ : この機能を使用したエッジタイミングの調整

↑ : 通信相手のサンプリングタイミング

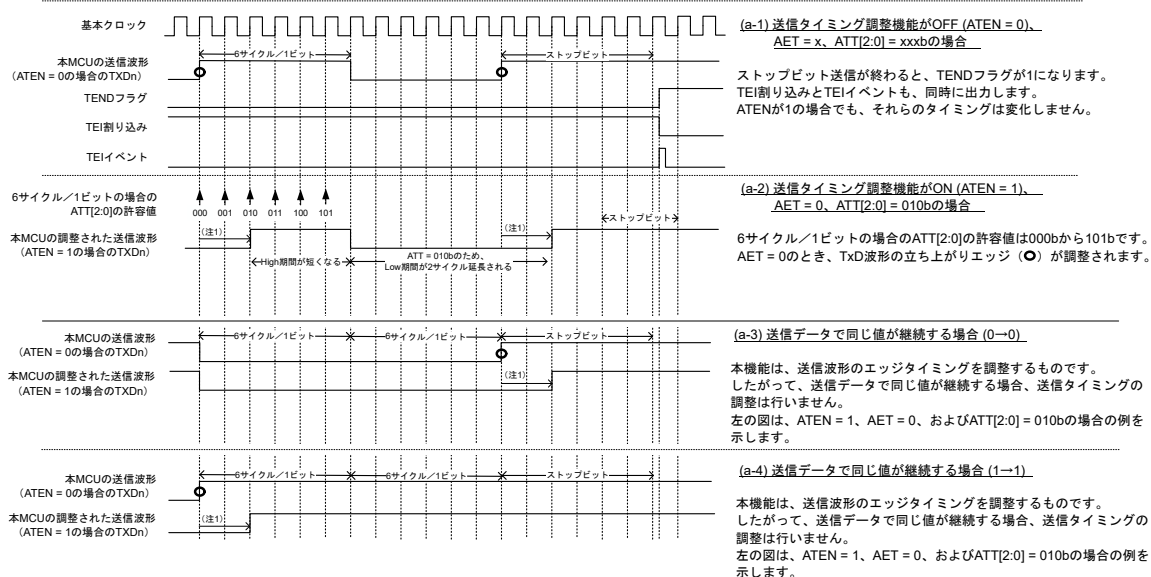
図 25.38 フォトカブラを経由する送信波形の説明

送信タイミング調整動作の説明

(a) 「立ち下がり転送時間 >> 立ち上がり転送時間」の場合

この場合、通信相手の受信波形のHigh期間が長くなり、Low期間が短くなります。そのため、本MCUは立ち下がりエッジのタイミングを調整することでエッジを相対的に前にシフトして波形を転送します。通信相手にとって1ビットあたりのLow期間と1ビットあたりのHigh期間が等しくなるように調整値 (ATT[2:0]) を設定してください。

この機能の動作を、6サイクル/1ビットの事例で説明します。



注 1. 送信タイミング立ち上がりエッジを、ACTR.ATT[2:0]ビットの設定値により後ろにシフトします。

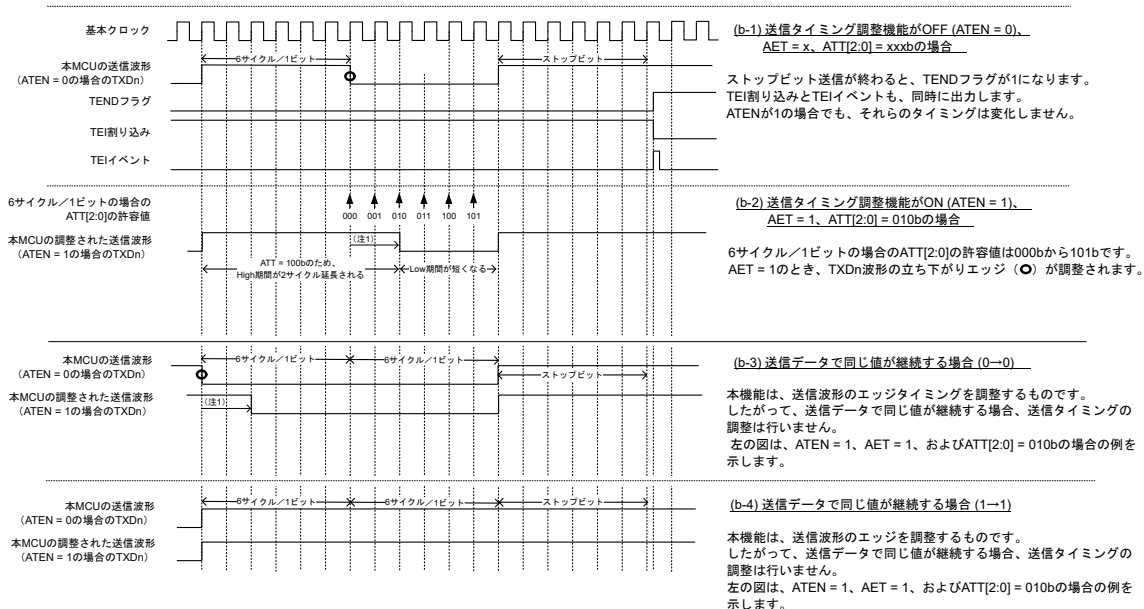
図 25.39 AET が 0 の場合の送信タイミング調整動作の説明

送信タイミング調整動作の説明

(b) 「立ち下がり転送時間 << 立ち上がり転送時間」の場合

この場合、通信相手の受信波形のLow期間が長くなり、High期間が短くなります。そのため、本MCUは立ち下がりエッジのタイミングを調整することでエッジを相対的に前にシフトして波形を転送します。通信相手にとって1ビットあたりのLow期間と1ビットあたりのHigh期間が等しくなるように調整値 (ATT[2:0]) を設定してください。

この機能の動作を、6サイクル/1ビットの事例で説明します。



注 1. 送信タイミング立ち下がりエッジを、ACTR.ATT[2:0]ビットの設定値により後ろにシフトします。

図 25.40 AET が 1 の場合の送信タイミング調整動作の説明

25.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信の回線を共有することにより、複数のプロセッサ間でデータの送受信が可能になります。マルチプロセッサ通信では、各受信局にそれぞれ固有の ID コードが割り付けられます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと、指定された受信局にデータを送信するためのデータ送信サイクルで構成されます。

ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。

- マルチプロセッサビットが 1 のとき、送信サイクルは ID 送信サイクル
- マルチプロセッサビットが 0 のとき、送信サイクルはデータ送信サイクル

図 25.41 に、マルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードに 1 を設定したマルチプロセッサビットを付加した通信データを送信します。続いて、送信データに 0 を設定したマルチプロセッサビットを付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると、受信した ID を自局の ID と比較します。2 つが一致した場合、受信局は、続いて送信される通信データを受信します。一致しなかった場合、マルチプロセッサビットが 1 の通信データを受信するまで、受信局は通信データを読み飛ばします。

(1) 非 FIFO 選択時

SCIはこの機能をサポートするため、SCR.MPIE ビットを設けています。MPIE ビットを 1 にすると、マルチプロセッサビットが 1 のデータを受信するまで、下記の動作が禁止されます。

- RSR レジスタから RDR レジスタ (データ長 9 ビット選択時は RDRHL レジスタ) への受信データの転送
- 受信エラーの検出
- SSR レジスタの RDRF、ORER、FER の各ステータスフラグの設定

マルチプロセッサビットが 1 のキャラクタを SCI が受信すると、SSR.MPBT ビットが 1 になるとともに、SCR.MPIE ビットが自動的にクリアされ、SCI は通常の受信動作に戻ります。このとき、SCR.RIE ビットが 1 になっていると、SCIn_RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビット機能は無効です。それ以外は、通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも、通常の調歩同期式モードで使用するクロックと同一です。

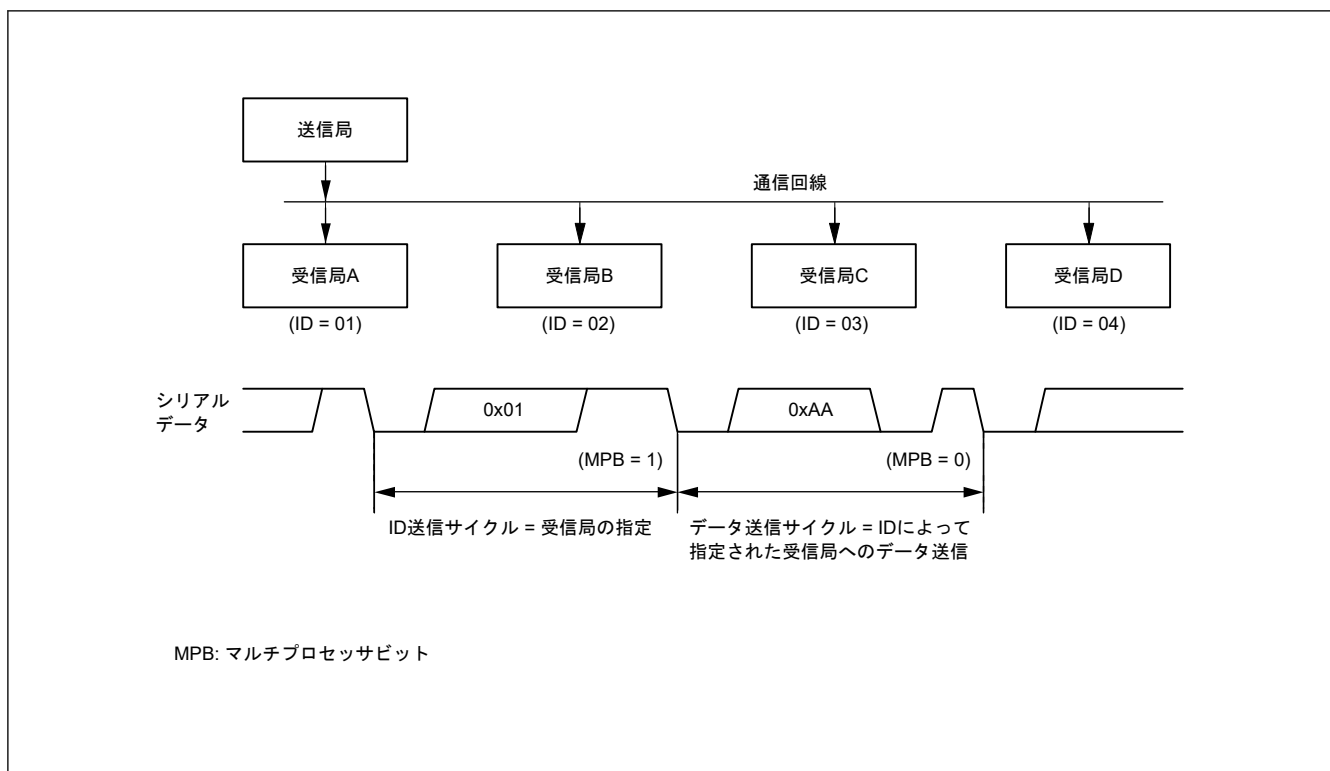


図 25.41 マルチプロセッサフォーマットを使用した通信例（データ 0xAA を受信局 A に送信する場合）

(2) FIFO 選択時

データ送信では、ソフトウェアは FTDRHL.TDAT 内の送信データに対応する FTDRHL.MPBT ビットにデータを書き込む必要があります。データ受信では、受信データの一部であるマルチプロセッサビットが FTDRHL.MPB ビットに書き込まれ、受信データは FRDRL レジスタに書き込まれます。

MPIE ビットを 1 にすると、マルチプロセッサビットが 1 のデータを受信するまで、下記の動作が禁止されます。

- RSR レジスタから FRDRHL レジスタへの受信データの転送
- 受信エラーの検出
- ブレーク
- SSR_FIFO レジスタの RDF、ORER、FER の各ステータスフラグの設定

マルチプロセッサビットが 1 の 8 ビットキャラクタを SCI が受信すると、FTDRHL.MPB ビットが 1 になるとともに、受信データが FRDRHL.RDAT に書き込まれます。SCR.MPIE ビットが自動的にクリアされ、SCI は通常の受信動作に戻ります。このとき、SCR.RIE ビットが 1 になっていると、SCIn_RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビット機能は無効です。それ以外は通常の調歩同期式モードの FIFO 選択時と変わりません。

25.4.1 マルチプロセッサシリアルデータ送信

(1) 非 FIFO 選択時

図 25.42 に、マルチプロセッサデータ送信のフロー例を示します。ID 送信サイクルでは、SSR.MPBT ビットを 1 にして ID を送信してください。データ送信サイクルでは、MPBT ビットを 0 にしてデータを送信してください。その他の動作は、調歩同期式モードの動作と同じです。FTDRH から FTDRL の順に書いてください。

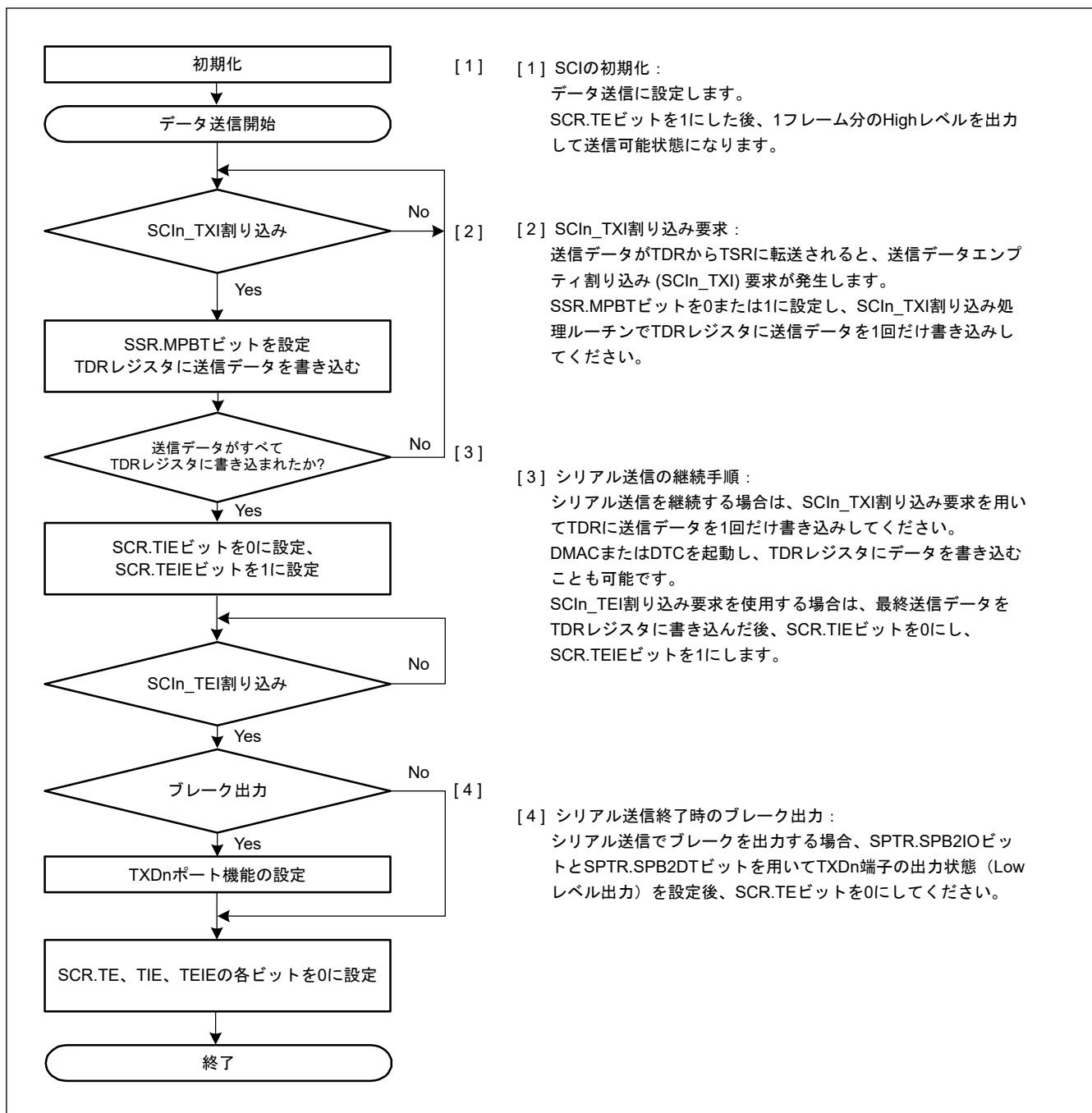


図 25.42 マルチプロセッサシリアル送信のフローチャート例 (非 FIFO 選択時)

(2) FIFO 選択時

図 25.43 に、マルチプロセッサモードにおいて FTDRH レジスタと FTDRL レジスタに書き込まれるデータフォーマットの例を示します。FTDRH.MPBT ビットは 1 になります。適切なデータ長のデータが FTDRH レジスタと FTDRL レジスタに書き込まれます。使用しないビットには 0 を書いてください。FTDRH レジスタ→FTDRL レジスタの順に書いてください。

データ長	レジスタ設定		FTDRH、FTDRLの送信データ																
			FTDRHL																
	SCMR. CHR1	SMR. CHR	FTDRH								FTDRL								
			b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
7ビット	1	0	-	-	-	-	-	-	MPBT	-	-	7ビットの送信データ							
8ビット	1	1	-	-	-	-	-	-	MPBT	-	8ビットの送信データ								
9ビット	0	Don't care	-	-	-	-	-	-	MPBT	9ビットの送信データ									

注. — : 無効。書く場合、0としてください。

図 25.43 マルチプロセッサモードにおいて FTDRH レジスタと FTDRL レジスタに書き込まれるデータフォーマット (FIFO 選択時)

図 25.44 に、FIFO 選択時のマルチプロセッサシリアル送信のフローチャート例を示します。ID 送信サイクルでは、FTDRH.MPBT ビットを 1 にして ID を送信してください。データ送信サイクルでは、MPBT ビットを 0 にしてデータを送信してください。その他の動作は、調歩同期式モードにおける FIFO 選択時の動作と同じです。

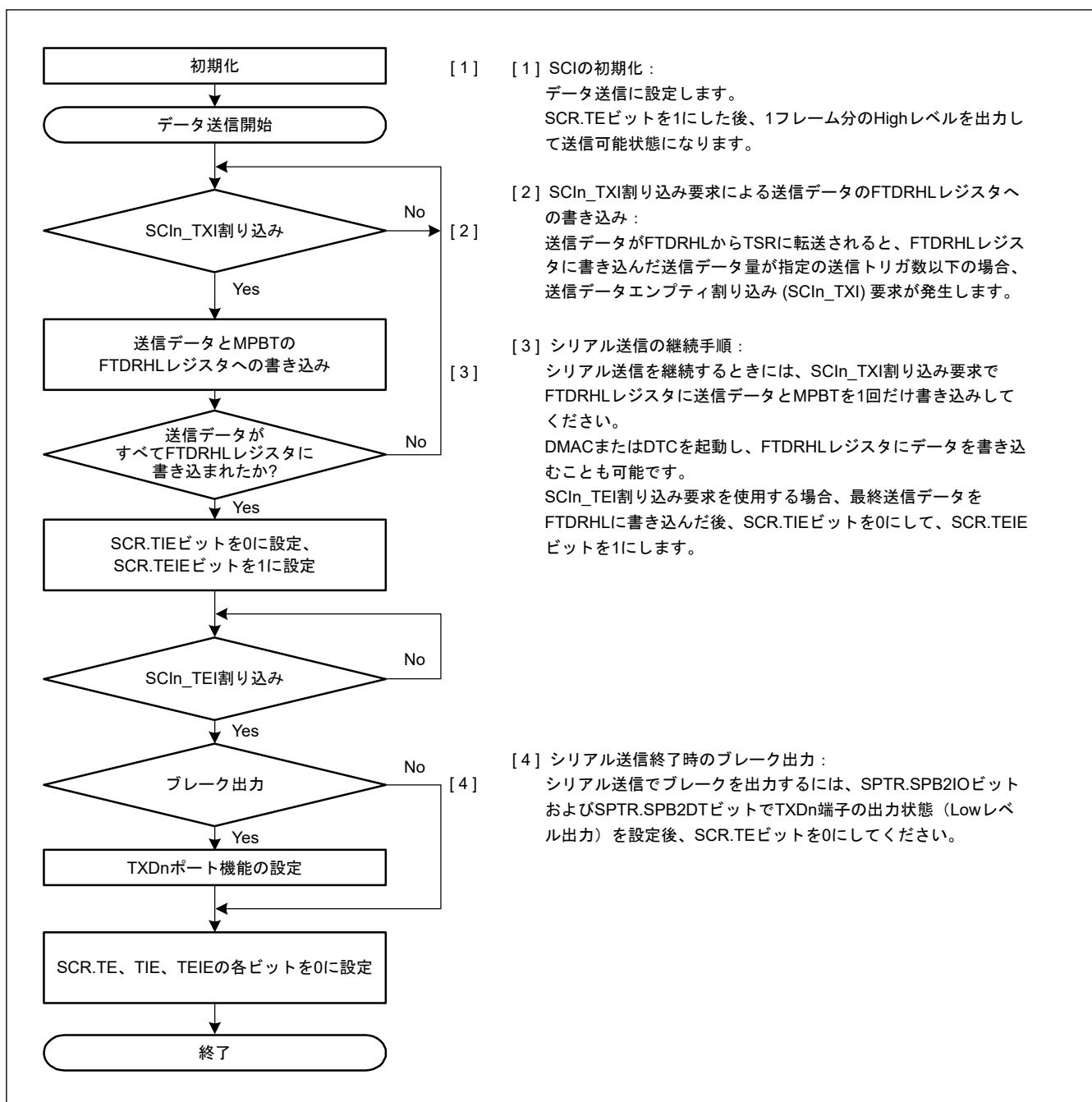


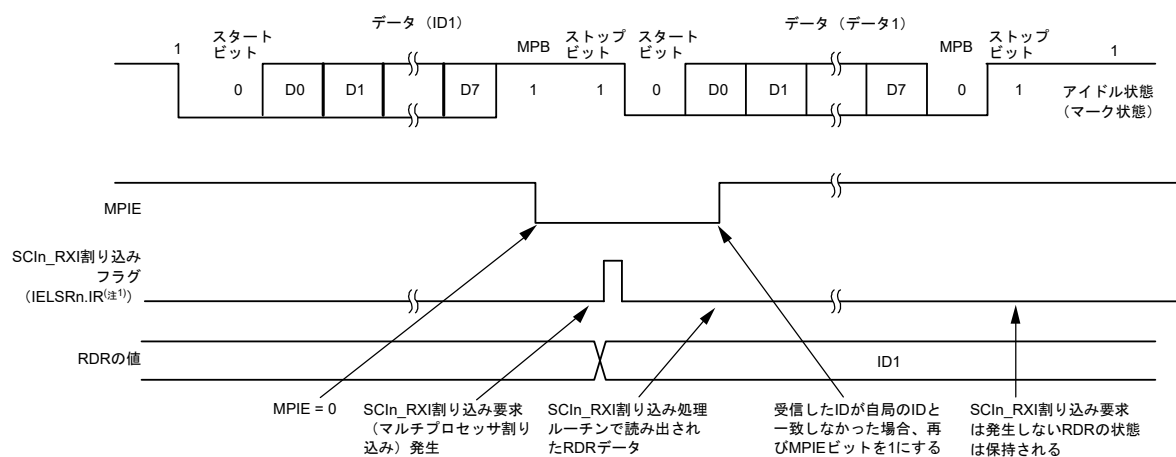
図 25.44 マルチプロセッサモードにおけるシリアル送信のフローチャート例 (FIFO 選択時)

25.4.2 マルチプロセッサシリアルデータ受信

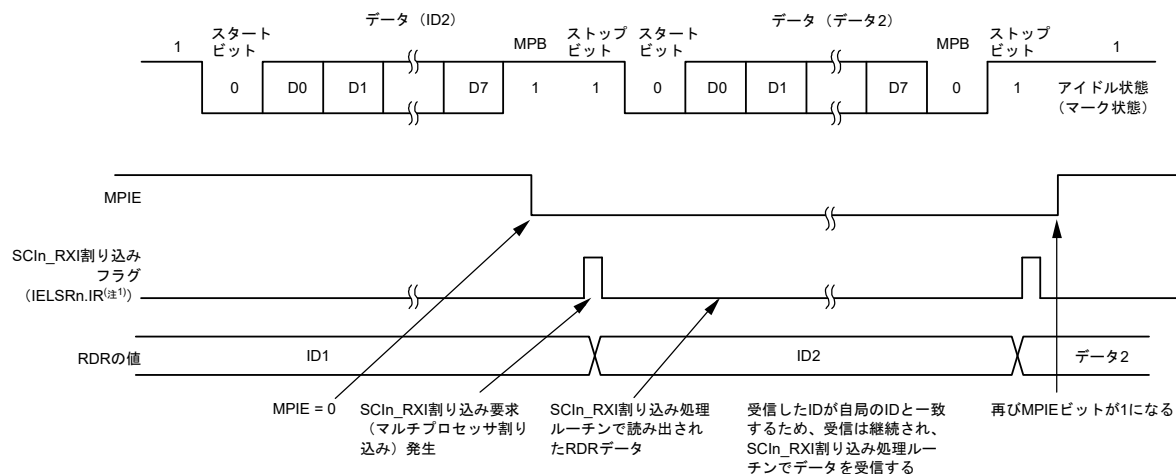
(1) 非 FIFO 選択時

図 25.46 と図 25.47 に、マルチプロセッサシリアル受信のフローチャート例を示します。SCR.MPIE ビットを 1 にすると、マルチプロセッサビットが 1 の通信データを受信するまで、通信データは読み飛ばされます。マルチプロセッサビットが 1 の通信データを受信すると、その受信データは RDR レジスタ (データ長 9 ビット選択時は RDRHL レジスタ) へ転送され、SCIn_RXI 割り込み要求が発生します。その他の動作は、調歩同期式モードの動作と同じです。FRDRH から FRDRL の順に読み出してください。

図 25.45 に、データ受信時の動作例を示します。



(a) 受信したIDが自局のIDと一致しない場合



(b) 受信したIDが自局のIDと一致する場合

注 1. 対応する割り込みイベント番号については、「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

図 25.45 SCI の受信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの場合)

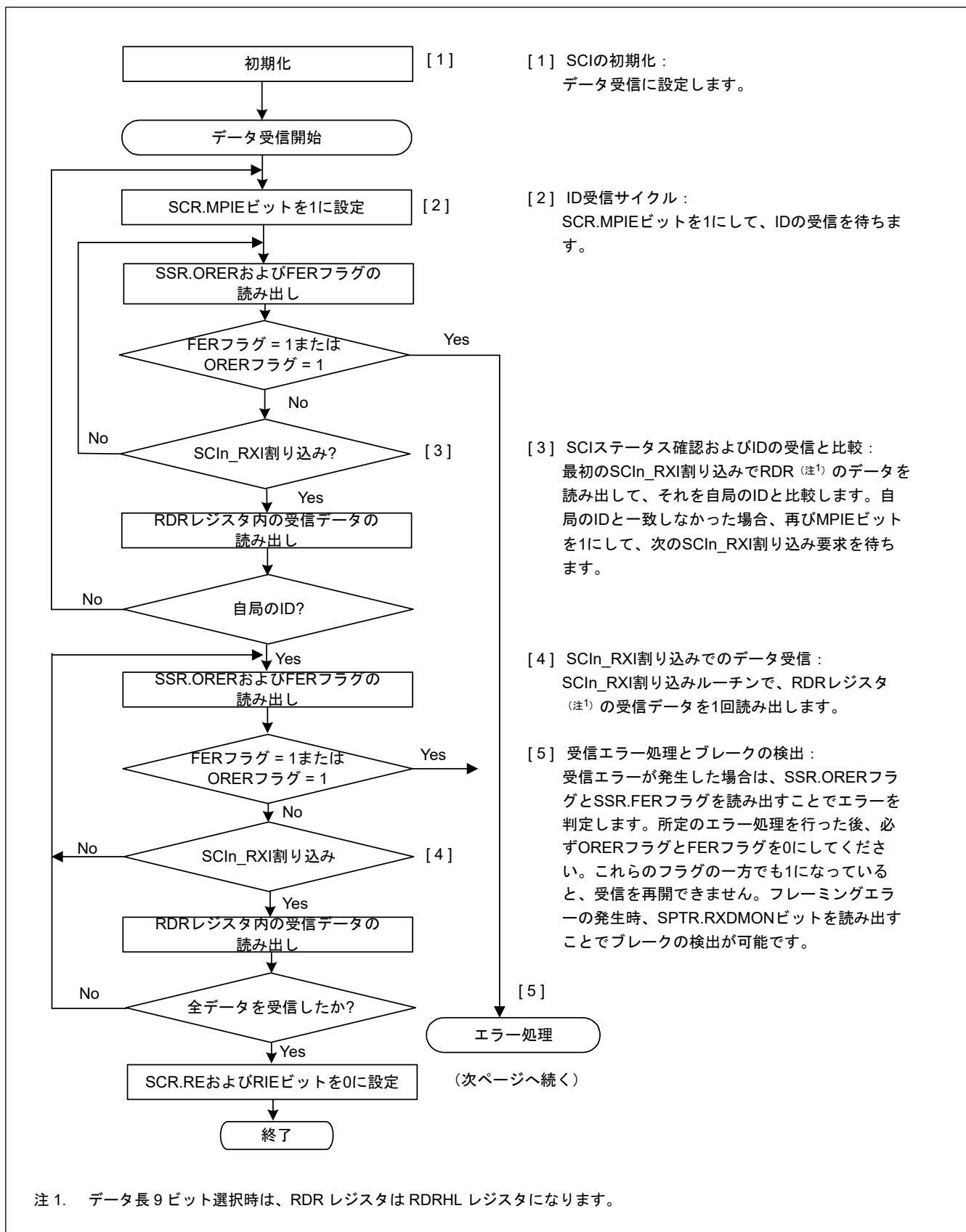


図 25.46 マルチプロセッサシリアル受信のフローチャート例（非 FIFO 選択時）(1)

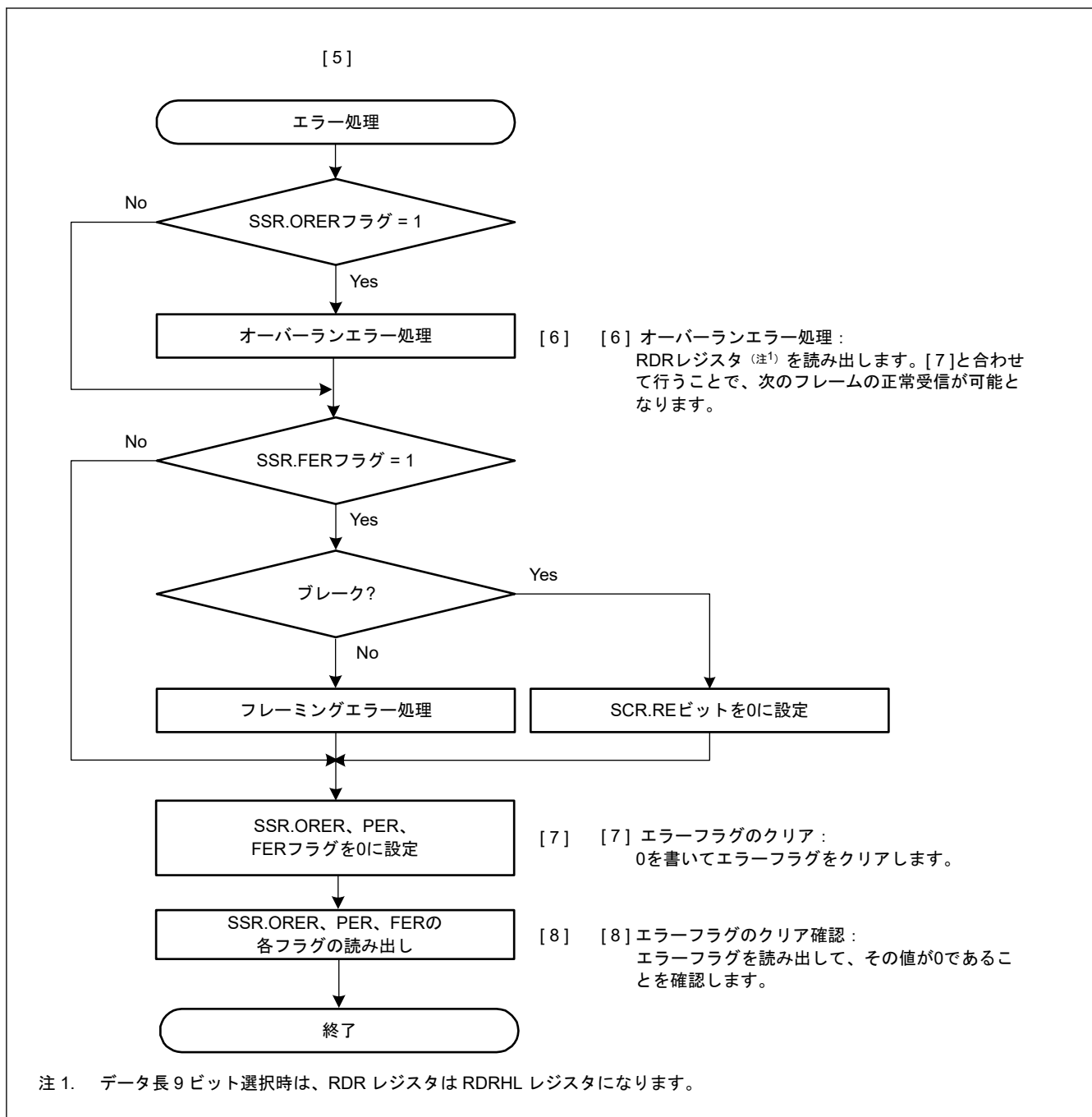


図 25.47 マルチプロセッサシリアル受信のフローチャート例（非 FIFO 選択時）(2)

(2) FIFO 選択時

図 25.48 に、マルチプロセッサモードにおいて FRDRH レジスタと FRDRL レジスタに書き込まれるデータフォーマットの例を示します。

マルチプロセッサモードでは、受信データの一部である MPB の値が FRDRH.MPB ビットに書き込まれます。FRDRH.PER フラグに 0 が書き込まれます。適切なデータ長のデータが FRDRH レジスタと FRDRL レジスタに書き込まれます。使用されないビットには、0 が書き込まれます。FRDRH レジスタ→FRDRL レジスタの順に読み出してください。ソフトウェアが FRDRL レジスタを読み出すと、SCI は FRDRL レジスタの FER、MPB、および受信データ (RDAT[8:0]) を次のデータで更新します。FRDRH レジスタの RDF、ORER、および DR フラグは、常に SSR_FIFO レジスタの対応するフラグを反映しています。

データ長	レジスタ設定		FRDRH、FRDRLの受信データ															
			FRDRHL															
	SCMR. CHR1	SMR. CHR	FRDRH								FRDRL							
			b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	0	–	RDF	ORER	FER	0	DR	MPB	0	0							
8ビット	1	1	–	RDF	ORER	FER	0	DR	MPB	0								
9ビット	0	Don't care	–	RDF	ORER	FER	0	DR	MPB									

注. データ長が7ビットの場合、FRDRH[0]とFRDRL[7]では常に0が読み出されます。
 データ長が8ビットの場合、FRDRH[0]では常に0が読み出されます。
 FRDRHL[15]ビットは不定値として読み出されます。

図 25.48 マルチプロセッサモードにおいて FRDRH レジスタと FRDRL レジスタに格納されるデータフォーマット (FIFO 選択時)

図 25.49 に、FIFO 選択時のマルチプロセッサデータ受信のフローチャート例を示します。SCR.MPIE ビットを 1 にすると、マルチプロセッサビットが 1 の通信データを受信するまで、通信データは読み飛ばされます。マルチプロセッサビットが 1 の通信データを受信すると、その受信データ、MPB、および関連のエラーが FRDRHL レジスタへ転送されます。SCR.MPIE ビットは自動的にクリアされ、通常の実受信動作が継続します。

フレーミングエラーが発生して SSR_FIFO.FER フラグが 1 になると、SCI はデータ受信を継続します。その他の動作は、調歩同期式モードにおける FIFO 選択時の動作と同じです。

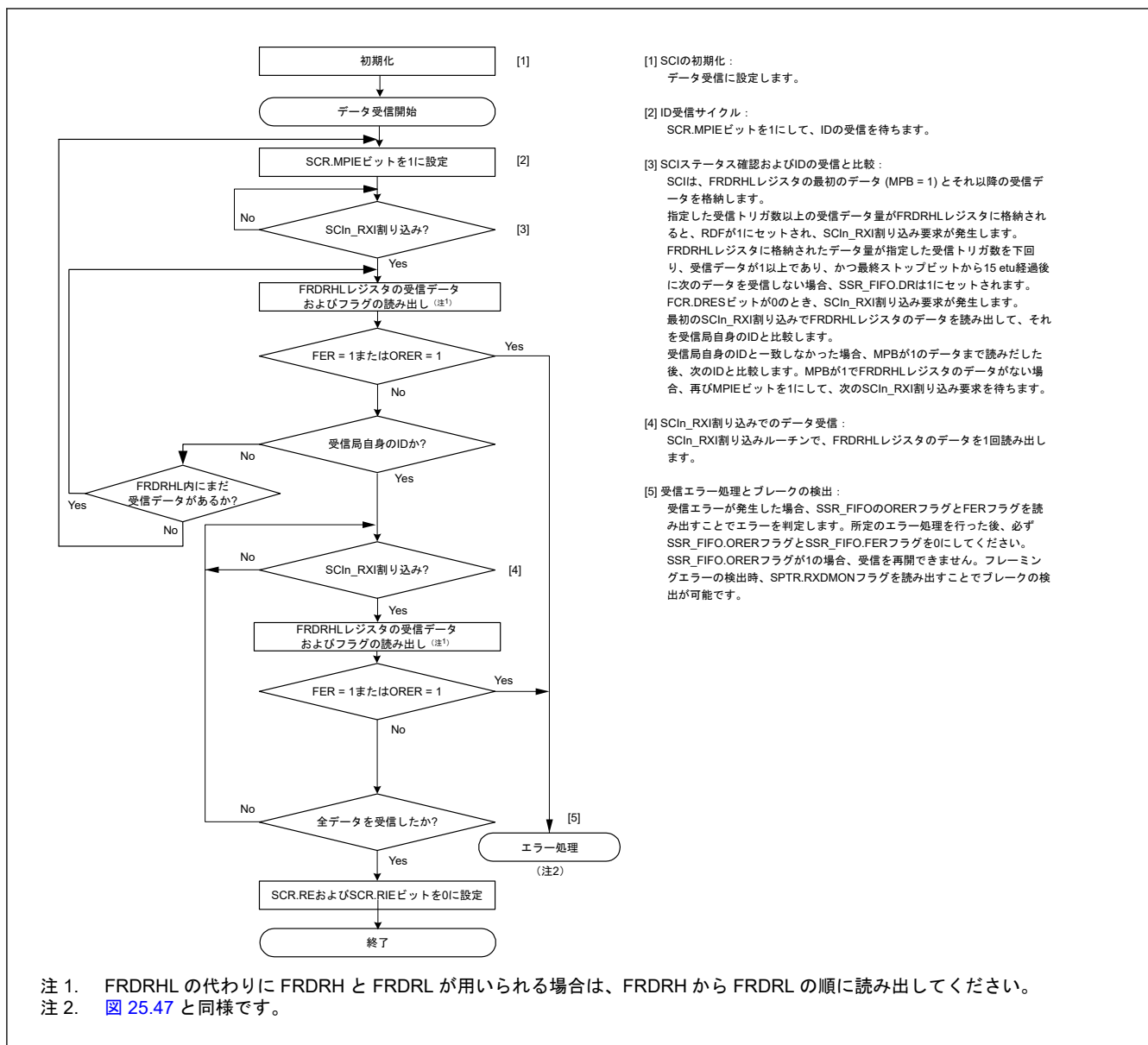


図 25.49 マルチプロセッサモードにおけるシリアル受信のフローチャート例 (FIFO 選択時)

25.5 マンチェスタモードの動作

マンチェスタモードにおいては、受信または送信されるシリアルデータはマンチェスタエンコードによってコード化されます。

図 25.50 にマンチェスタエンコードのイメージを示します。

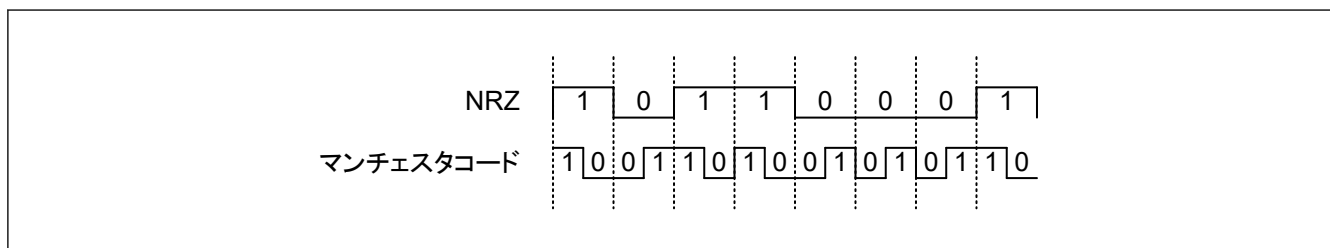


図 25.50 マンチェスタエンコードの例

マンチェスタモードでは、プレフィスとスタートビット領域がレジスタ内の送信データに追加され、送信フレームが構成されます。送信時に、データはマンチェスタエンコードでコード化されます。データが受信される時に、送信フレームと同じフォーマットのフレームが検出され、マンチェスタデコードが行われます。

フレームフォーマットの詳細については、「[25.5.1. フレームフォーマット](#)」を参照してください。

25.5.1 フレームフォーマット

図 25.51 にマンチェスタモードでのフレームフォーマットを示します。

図の上半分に関する設定レジスタを示します。

プレフィス領域とデータ領域はマンチェスタエンコーディングでコーディングされます。

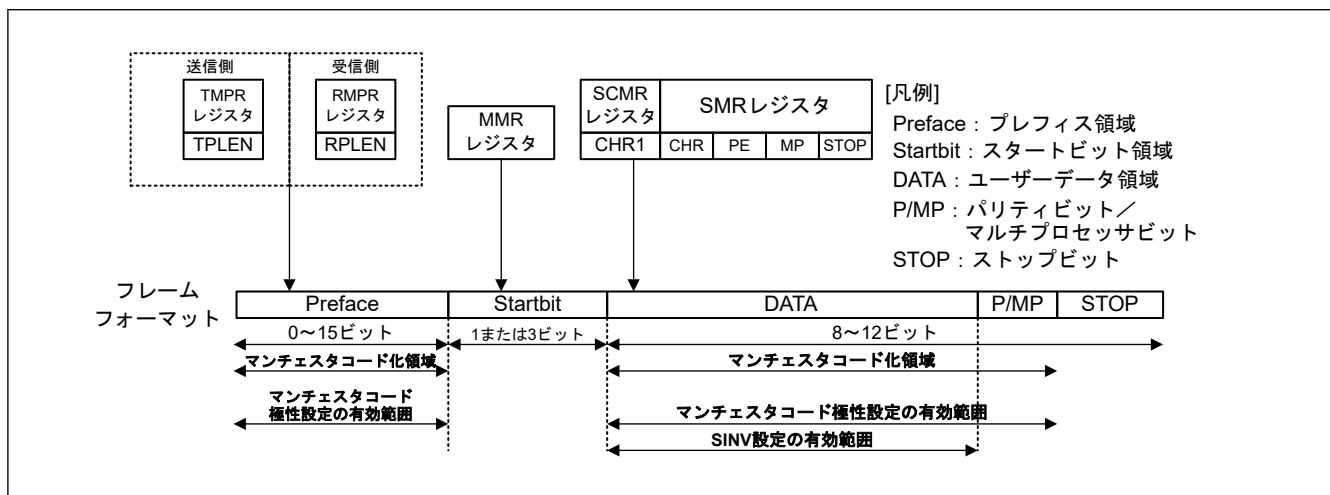


図 25.51 マンチェスタモードでのフレームフォーマット

(1) プレフィス領域

この領域は固定パターンであり、各フレームの先頭に位置しています。

プレフィス領域の送信と受信の設定のためにいくつかのレジスタが使用されます。送信時のプレフィス長は TMPR.TPLEN[3:0] の設定で決まります。受信については RMPR.RPLEN[3:0] の設定で決まります。

0 に設定されると、送信プレフィスは無効になり付加されません。

1d~15d に設定されると、この設定で決まる長さのプレフィスが付加されます。

(例えば 1d に設定されると 1 ビット長のプレフィスが付加されます。15d に設定されると 15 ビット長のプレフィスが付加されます。)

送信時と受信時のプレフィスパターンは、それぞれ TMPR.TPPAT[1:0] と RMPR.RPPAT[1:0] により 4 パターンから選択されます。

図 25.52 にプレフィスがどのように設定されるかを示します。プレフィス領域とスタートビット領域が各通信フレームに付加されます。

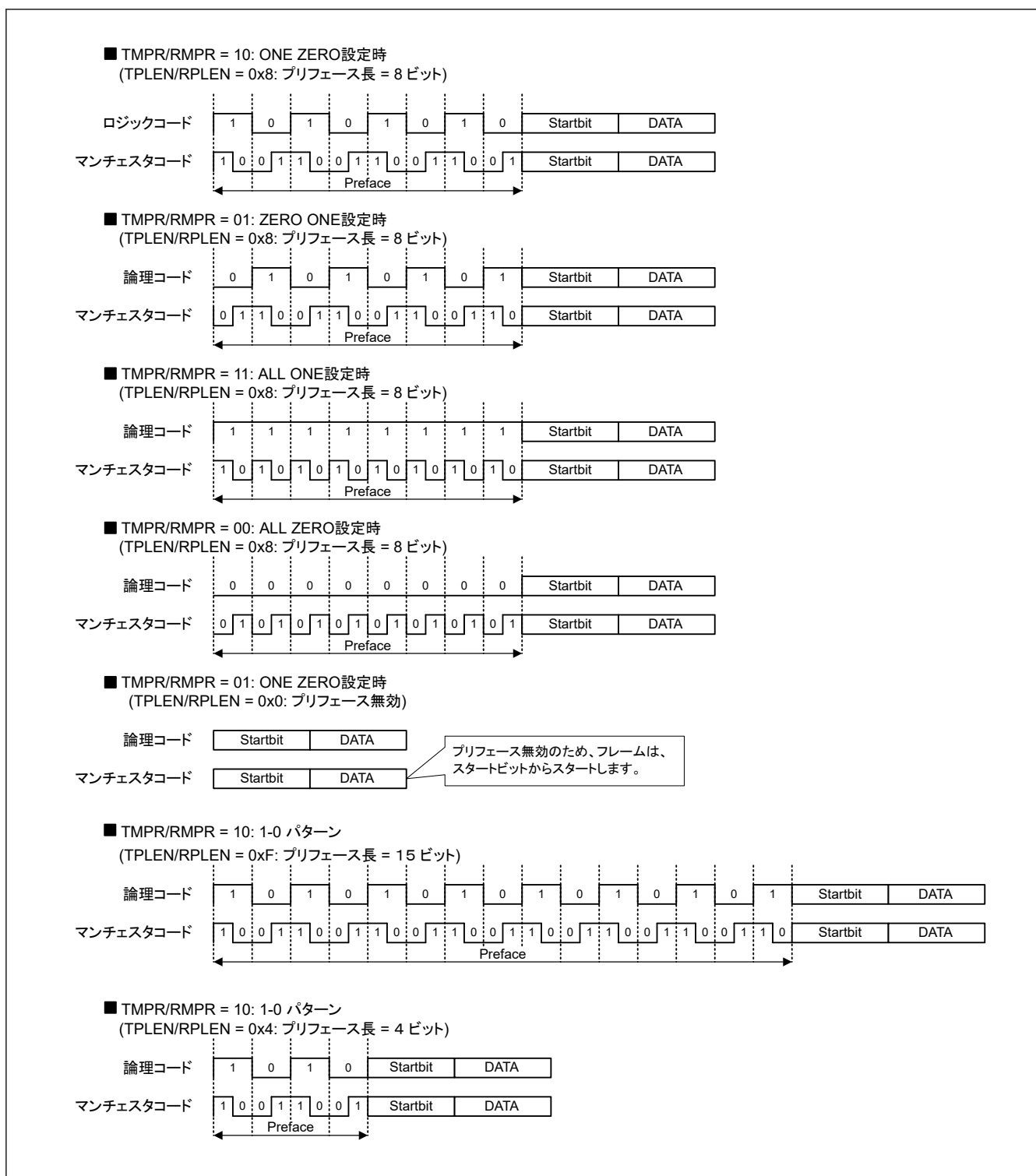


図 25.52 プレフィスパターンの設定例

(2) スタートビット領域

フレーム内の有効データの開始を示します。この領域はプレフィス領域の後に追加されます。

スタートビット長は MMR.SBSEL の設定によって決まります。MMR.SBSEL = 0 の場合は、スタートビット長が 1 ビットです。

MMR.SBSEL = 1 の場合は、スタートビット長が 3 ビットです。

MMR.SBSEL = 1 の場合は、SYNC タイプをコマンド SYNC とデータ SYNC から選択できます。

コマンド SYNC は 3 ビットが 1 から 0 への遷移として付加されることを意味します。

データ SYNC は 3 ビットが 0 から 1 への遷移として付加されることを意味します。

SYNC タイプは MMR.SYNSEL、MMR.SYNVAL、および TDRH_MAN.TSYNC の設定によって決まります。

(受信時は、RDRH_MAN.RSYNC に受信結果が適用されます。)

MMR.SBSEL = 0 の場合は、スタートビットが 0 から 1 または 1 から 0 への遷移として付加されます。

どちらにするかは MMR.SYNVAL の設定によって決まります。

MMR.SYNSEL ビットは送信設定時の参照先を示します。

MMR.SYNSEL ビットが 1 のとき、MMR.SYNVAL の設定が参照されます。MMR.SYNSEL ビットが 0 のとき、TDRH_MAN.TSYNC の設定が参照されます。

図 25.53 に MMR.SYNSEL レジスタ、MMR.SYNVAL レジスタ、および TDRH_MAN.TSYNC レジスタの設定によって決まる送信時のスタートビット領域の状態を示します。図 25.54 に受信の場合を示します。

スタートビットは MMR.TMPOL や MMR.RMPOL の設定の影響を受けません。

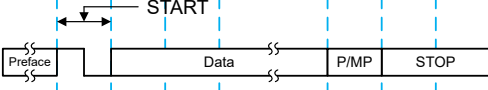
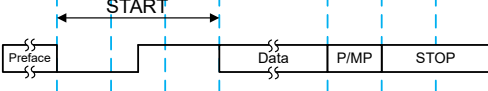
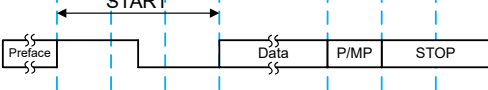
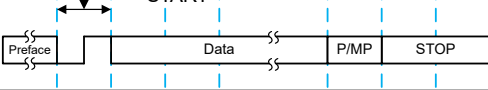
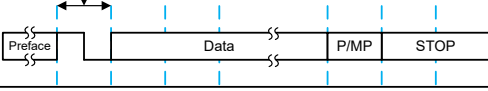
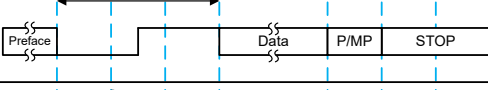
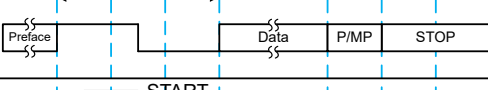
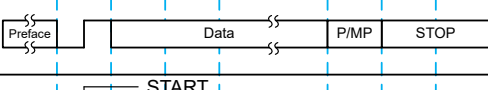
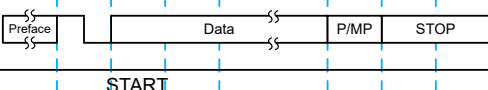
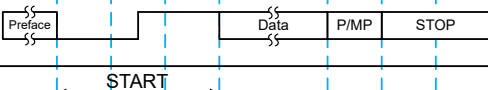
* d.c.=don't care、Preface=プレフィス領域、START=スタートビット領域、Data=ユーザーデータ領域、
P=パリティビット、MP=マルチプロセスビット、STOP=ストップビット

レジスタ設定				出力信号				スタートビット 出力
MMR			TDRHL_ MAN	TXDn出力波形				
SBSEL	SYNSEL	SYNVAL	TSYNC					
0	d.c.	0	d.c.					1ビット 0->1遷移
0	d.c.	1	d.c.					1ビット 1->0遷移
1	0	0	d.c.					3ビット 0->1遷移 (データ同期)
1	0	1	d.c.					3ビット 1->0遷移 (コマンド同期)
1	1	d.c.	0					3ビット 0->1遷移 (データ同期)
1	1	d.c.	1					3ビット 1->0遷移 (コマンド同期)

図 25.53 送信時のスタートビット領域に関する設定とフォーマット

スタートビット領域が3ビット長の場合、SYNVALビットは参照されません。

d.c.=don't care、Preface=プレフィス領域、START=スタートビット領域、Data=データ領域
P=パリティビット、MP=マルチプロセスビット、STOP=ストップビット

レジスタ設定				入力信号	スタート ビット検出 結果 (注1)	レジスタ表示
MMR			TDRHL_ MAN	RXDn入力波形		RDRHL_MAN.R SYNC
SBSEL	SYNSEL	SYNVAL	TSYNC			
0	d.c.	0	d.c.		スタートビット 正常 (1ビット : 0->1 遷移)	0
					スタートビット エラー	0
					スタートビット エラー	0
					スタートビット エラー	0
0	d.c.	1	d.c.		スタートビット エラー	0
					スタートビット 正常 (1ビット : 1->0 遷移)	0
					スタートビット エラー	0
					スタートビット エラー	0
1	d.c.	d.c.	d.c.		スタートビット エラー	0
					スタートビット エラー	0
					データ同期	0
					コマンド同期	1

注 1. スタートビット以外のデータは正常であると仮定します。

図 25.54 受信時のスタートビット領域に関する設定と判定

(3) DATA

データ領域のフォーマットについては、調歩同期式モードと同様ですので「[25.3.1. シリアル転送フォーマット](#)」を参照してください。

図 25.50 マンチェスタモードでのフレームフォーマットに示される通り、ストップビットはマンチェスタエンコーディングの範囲に含まれません。

25.5.2 クロック

SMR.CKS[1:0]ビットを設定することによって、マンチェスタモードでの送受信クロックとして内蔵ボーレートジェネレータから生成されるクロックが使用されます。

また、SEMR.ABCS ビットによってオーバーサンプリング（1 ビット時間の転送速度）を設定することも可能です。

SEMR.ABCS ビットが 0 に設定されると、1 ビット時間を基本クロックの 16 サイクルとして、オーバーサンプリング x16 が選択されます。SEMR.ABCS ビットが 1 に設定されると、1 ビット時間を基本クロックの 8 サイクルとして、オーバーサンプリング x8 が選択されます。

25.5.3 マンチェスタモードにおける SCI の初期化

データの送受信前に、SCR レジスタに初期値 0x00 を書き込み、図 25.55 のフローチャート例に従って、SCI を初期化してください。

動作モードまたは通信フォーマットを変更する場合も、SCR レジスタを初期値にしてから変更してください。

SCR.RE ビットを 0 にしても、SSR_MANC レジスタの ORER、FER、PER、MER、RDRF フラグ、MESR レジスタの SYER、PFER、SBER フラグ、ならびに RDR レジスタ、RDRHL_MAN レジスタは初期化されません。

また、SCR.TIE が 1 のときに SCR.TE の値を 0 から 1 に変化させると、SCI_{In}_TXI 割り込み要求が生成されることにも注意してください。

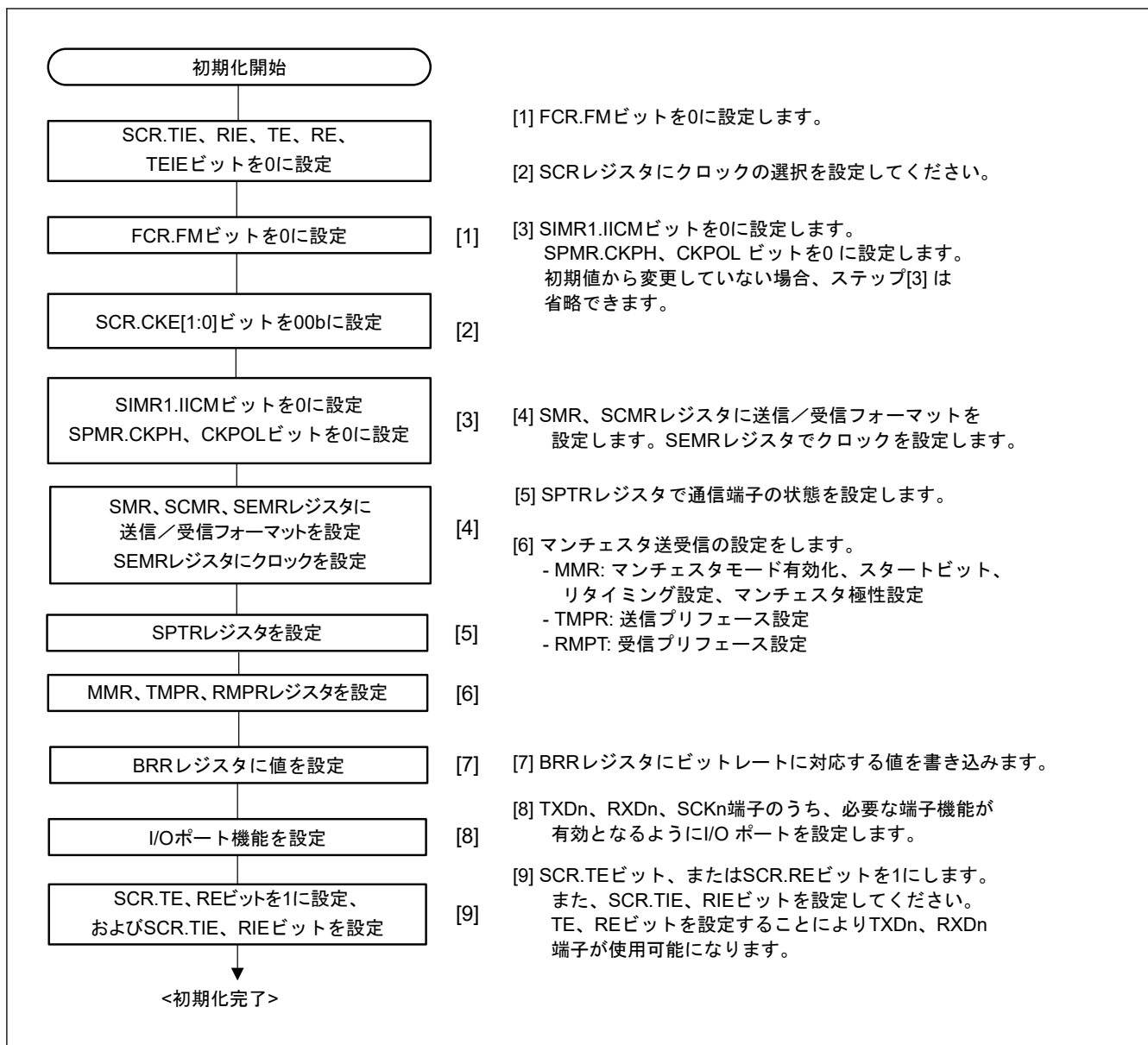


図 25.55 SCI の初期化フロー（マンチェスタモード）

25.5.4 倍速動作

SEMR.ABCS ビットを1にして、1ビット期間として基本クロックの8パルスを選択した場合、ABCS ビットが0の場合に比べて、SCIは2倍のビットレートで動作します。

SEMR.BGDM ビットを1にすると、基本クロックの周期は1/2倍に減少し、SCIのビットレートはABCS ビットが0の場合の2倍になります。

SEMR レジスタの ABCS ビットと BGDM ビットが1に設定されているときは、SEMR レジスタの ABCS ビットと BGDM ビットが0に設定されているときと比べて、SCIは4倍のビットレートで動作します。

25.5.5 CTS、RTS 機能

CTS 機能は、CTS_n_RTS_n 端子入力を使用して送信制御を行う機能です。SPMR.CTSE ビットを1にすると、CTS 機能が有効になります。CTS_n_RTS_n 端子は、1つの端子がいずれの機能にも使用できる兼用端子としても設定できますし、各端子が単一の機能に対応する専用端子としても設定できます。この設定を行うには、SPMR.CTSPEN ビットを使ってください。

CTS 機能有効時、CTS_n_RTS_n 端子が Low の場合のみ受信開始します。

送信開始後に CTS_n_RTS_n 端子入力を High にしても、送信中のフレームは影響を受けず、送信を継続します。

RTS 機能は、CTS_n_RTS_n 端子出力を使用して送信要求を行います。SCI は受信可能になると、CTS_n_RTS_n 端子に Low を出力します。Low および High を出力する条件は以下のとおりです。

[Low になる条件]

以下の条件がすべて満たされる場合：

- SCR.RE ビットが 1
- SCI が受信可能状態
- 読み出し前の受信データがない
- 以下のすべてのフラグが 0 になっている：SSR_MANC レジスタの ORER、FER、PER、MER フラグ、MES レジスタの SYER フラグ (SYEREN = 1 の場合)、PFER フラグ (PFEREN = 1 の場合)、SBER フラグ (SBEREN = 1 の場合)

[High になる条件]

- Low になる条件を満たさない場合

25.5.6 シリアルデータの送信（マンチェスタモード）

SCI はマンチェスタエンコーディングによりデータをコード化し、その結果をマンチェスタモードで送信します。

極性設定 (MMR.TMPOL) が 0 の場合、論理 0 はマンチェスタコードで 0 から 1 への遷移、論理 1 はマンチェスタコードで 1 から 0 への遷移としてエンコーディングされます。

極性設定 (MMR.TMPOL) が 1 の場合、論理 0 はマンチェスタコードで 1 から 0 への遷移、論理 1 はマンチェスタコードで 0 から 1 への遷移としてエンコーディングされます。

そのため、マンチェスタエンコードされたデータのレベル遷移が各論理データの間で発生します。（[図 25.50](#) を参照してください。）

送信部はデータにプレフィスを付加し極性設定に従ってスタートビットを設定したうえで、特定のフォーマットで送信フレームを作成します。そして作成されたシリアルデータを送信します。

フレームフォーマットの詳細については、「[25.5.1. フレームフォーマット](#)」を参照してください。

[図 25.56](#) に送信のフローチャートを示します。[図 25.57](#)、[図 25.58](#)、および[図 25.59](#)にマンチェスタモードのシリアル送信の動作例を示します。

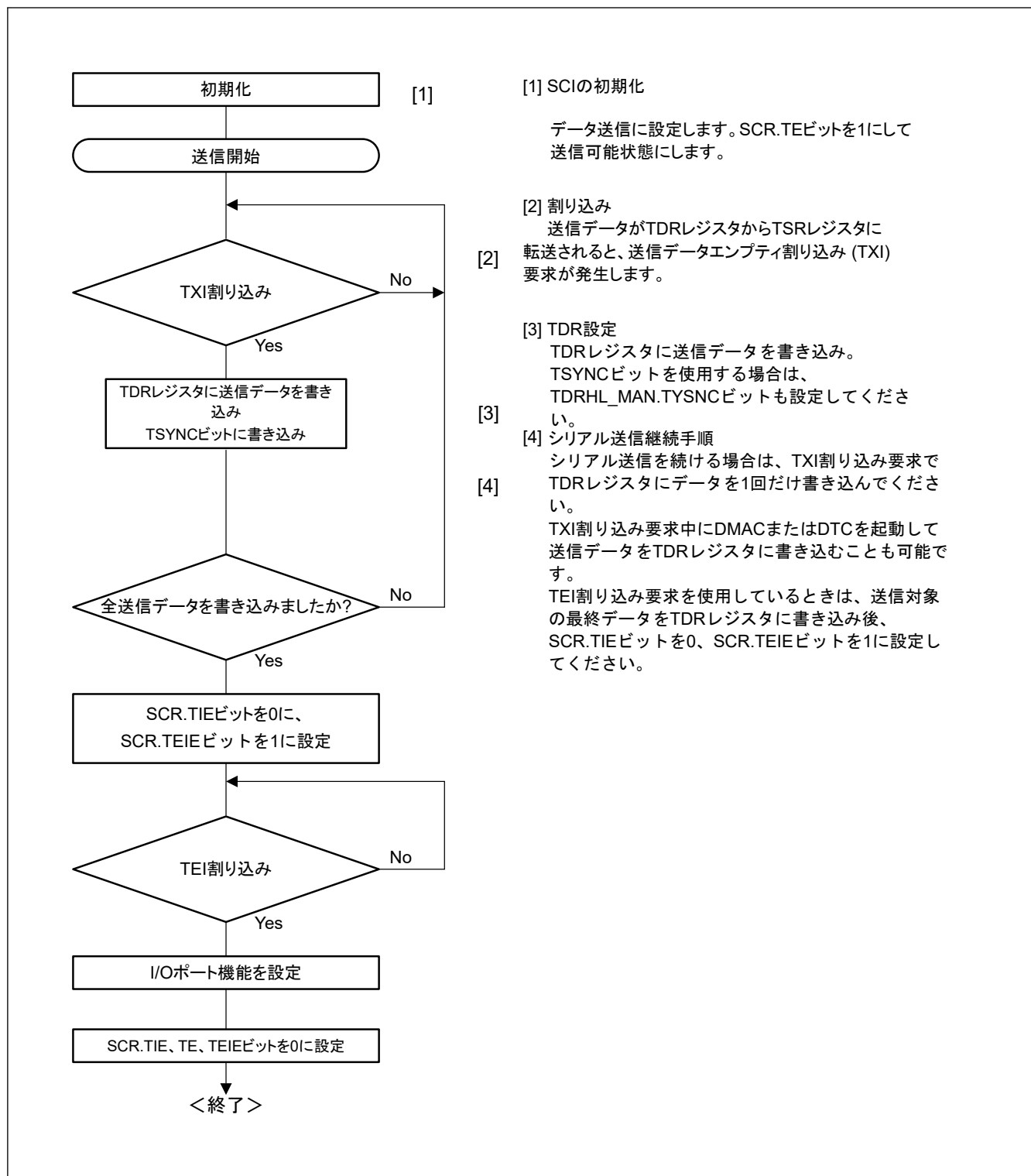
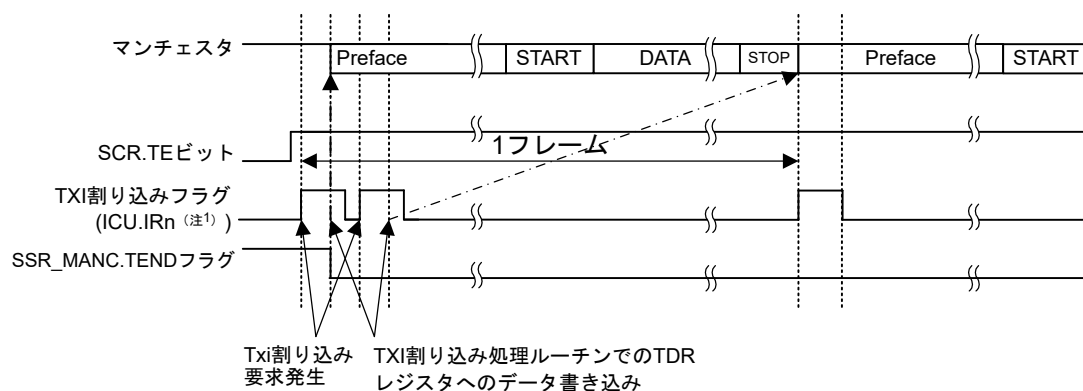
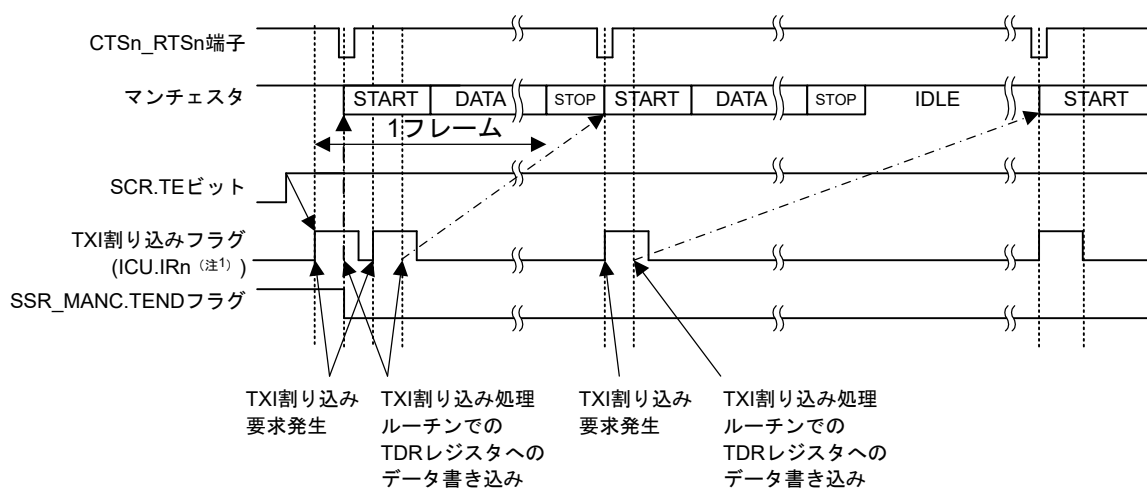


図 25.56 マンチェスタモードのシリアル送信のフローチャート例



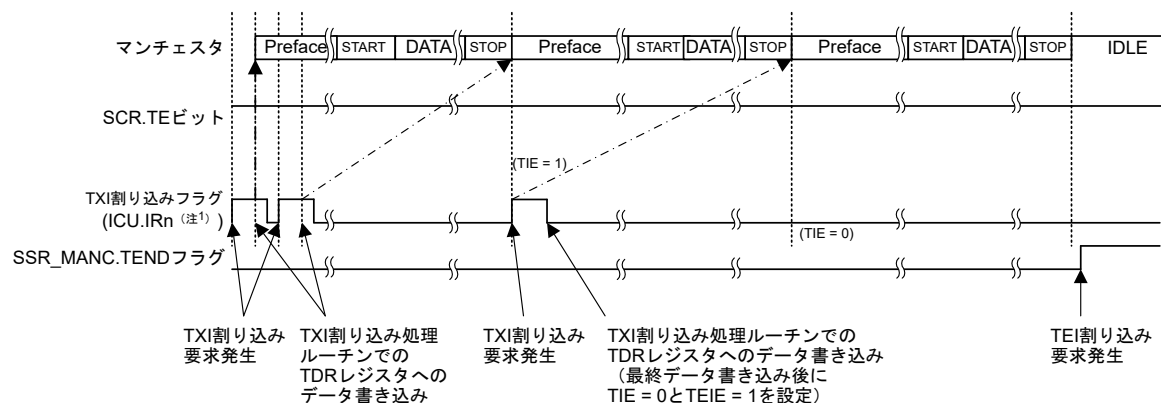
注 1. 対応する割り込み番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 25.57 マンチェスタモードにおけるシリアル送信の送信開始動作の例（プレフィスあり、CTS 機能なし）



注 1. 対応する割り込み番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 25.58 マンチェスタモードにおけるシリアル送信の送信開始動作の例（プレフィスなし、CTS 機能あり）



注 1. 対応する割り込み番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 25.59 マンチェスタモードにおけるシリアル送信の終了動作の例（プレフィスあり、CTS 機能なし）

25.5.7 シリアルデータの受信（マンチェスタモード）

マンチェスタモードでは、SCIはビットレートの16倍^(注1)の周波数の基本クロックで動作します。受信は、基本クロックでの受信データの立ち下がりエッジのサンプリングによって開始します。図 25.60 に示す通り、受信は受信データの立ち下がりエッジで開始し、受信データが1/4ビットの間 Low 状態を維持すると受信が継続します。受信データが1/4ビットの間で High になると、SCIはエラーと判断し、次の立ち下がりエッジを待機します。

受信データの前半において High レベルであることが予想されると、SCIは1基本クロックサイクルの Low レベルをエラーと判断し、Low レベルへの変化を無視します。

注 1. これは SEMR.ABCS = 0 の場合です。SEMR.ABCS = 1 の場合、SCIはビットレートの8倍の周波数の基本クロックで動作します。

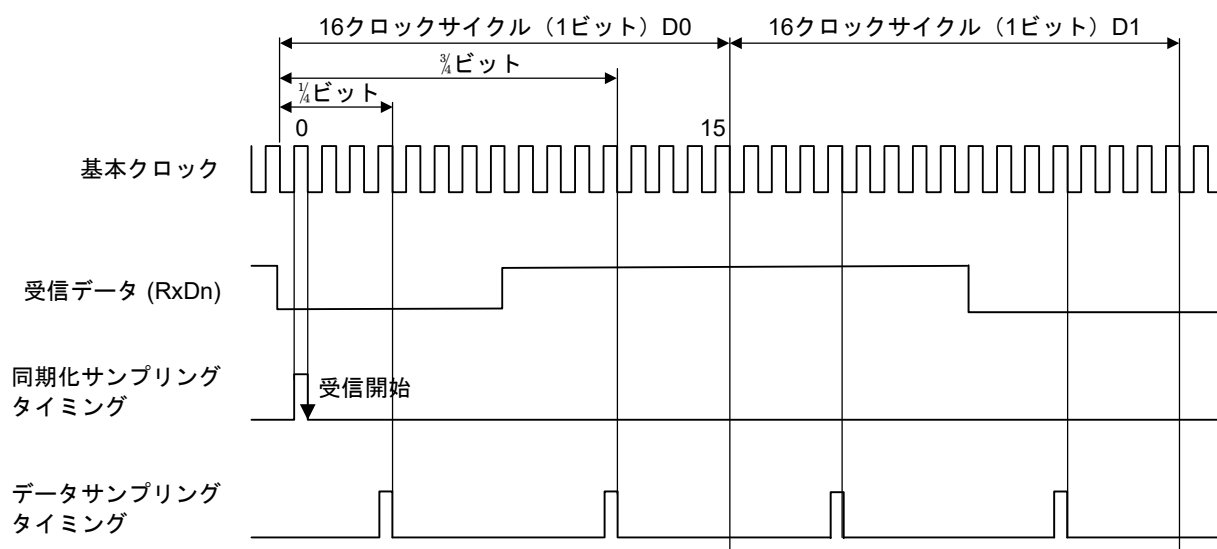


図 25.60 マンチェスタモードでのデータ受信サンプリングタイミング

マンチェスタモードでは、データ受信はプレフィスとスタートビット領域の検出で開始します。

SCI は $RXDn$ 端子からの入力をチェックし、 $RMPR.RPLEN$ の値に基づいてプレフィスが追加されているかどうかを判断します。

プレフィスが無効の場合 ($RMPR.RPLEN = 0$)、プレフィス検出は行わずスタートビット領域の検出動作に移ります。

プレフィスが有効の場合、 $RMPR.RPPAT$ の設定値に基づいてプレフィスパターン設定を特定し、それを RxD 入力と比較してプレフィスパターンの検出を行います。

プレフィスパターンの一致を検出すると、それを正常プレフィスと判断し、スタートビット領域の検出動作に移ります。

プレフィス領域においてプレフィスパターンの不一致またはマンチェスタコードエラーを検出すると、プレフィスエラーと判断してプレフィスエラー (PFER) をアサートします。

スタートビットの検出のために、SCI はレジスタ設定 ($MMR.SBSE$ と $SYNVAL$) に基づいて期待値を選択し、これと $RXDn$ 入力とのパターンマッチングによってスタートビット領域を検出します。スタートビットのパターン一致を検出すると、これを正常なスタートビット領域と判断してデータ処理動作に移行します。

プレフィスとスタートビット領域を正常に検出した場合のみ、データ受信の次のフェーズに移行します。

スタートビットのパターン不一致を検出すると、スタートビットエラーフラグ (SBER) をアサートします。

データ処理において、SCI はレジスタ設定 ($SCMR.CHR1$ と $SMR.CHR$) に基づいて、 RSR レジスタによって期待受信データ長だけデータをシフトします。受信データの 1 ビット内の 2 つのサンプル点が一致すると、SCI はこれをマンチェスタコードエラーと判断します。

詳細については、「[25.5.11. マンチェスタモードにおけるエラー](#)」(4)を参照してください。

パリティ機能が無効の場合 ($SMR.PE = 0$) は、SCI はストップビット検出の次のフェーズに移行します。パリティ機能が有効の場合 ($SMR.PE = 1$) は、SCI はパリティチェックを行います。パリティエラーを検出すると、パリティエラーフラグ (PER) をアサートしてストップビット検出動作に移行します。

ストップビットの検出においては、SCI は受信フレームのストップビット領域内で以下をチェックします。

ビット内に 2 つのサンプリング点があります。両方のサンプリング点が High レベルの場合、そのビットは正常なストップビットとみなされ、データが RDR レジスタに保存されます。Low レベル点が少なくとも 1 つあると異常ストップビットと判断され、フレームエラーフラグ (FER) が設定されます。エラーが検出された場合でも、受信データは異常データとして RDR レジスタに保存されます。

図 25.61 にマンチェスタモードにおけるシリアル受信の動作例を示します。

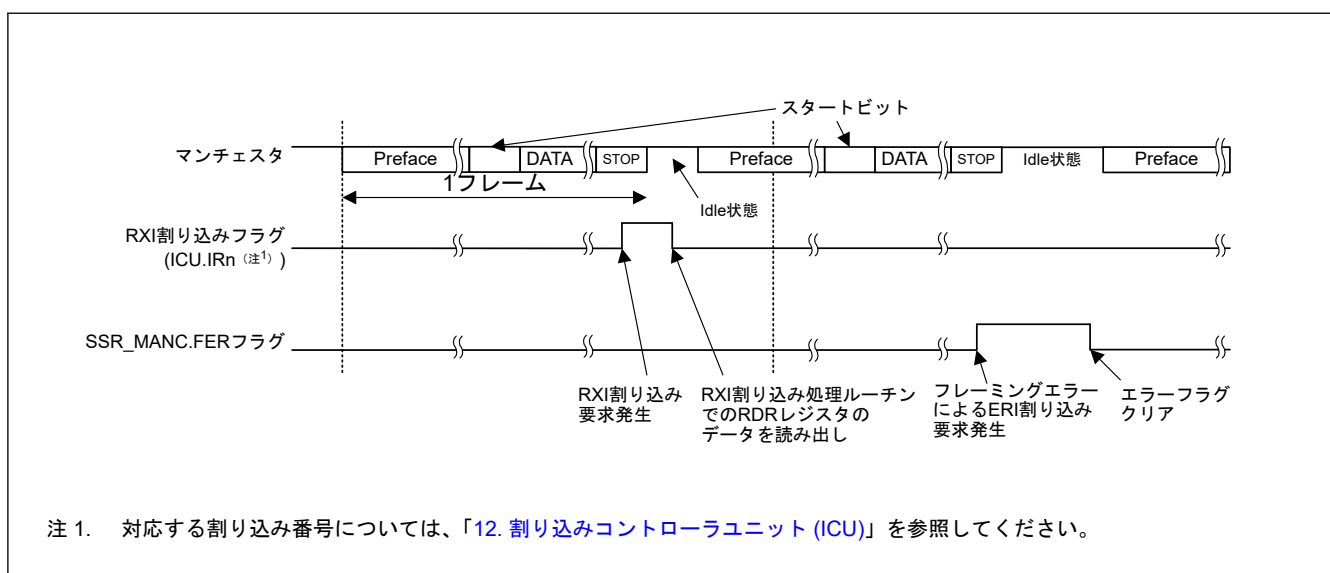


図 25.61 マンチェスタモードにおけるシリアルデータ受信の動作例 (プレフィスあり)

受信エラーが検出された場合の SSR_MANC レジスタの各ステータスフラグの状態と $RXDn$ 入力処理については、「[25.5.11. マンチェスタモードにおけるエラー](#)」を参照してください。

受信エラーが検出されると、 $SCIIn\_ERI$ 割り込み要求は発生しますが、 $SCIIn\_RXI$ 割り込み要求は発生しません。

受信エラーフラグが 1 の状態では受信動作を再開できません。したがって、ORER、FER、PER、MER、SYER(注1)、PFER(注1)、および SBER(注1)フラグを 0 にしてから受信を再開してください。また、オーバーランエラー処理では、必ず RDR（または RDRHL_MAN）レジスタを読み出してください。受信動作中に SCR.RE ビットを 0 にして受信動作を強制終了させた場合、RDR（または RDRHL_MAN）レジスタに読み出し前の受信データが残っている可能性があるため、RDR（または RDRHL_MAN）レジスタを読み出す必要があります。

図 25.62 と図 25.63 に、マンチェスタモードにおけるシリアルデータ受信フローチャートの例を示します。

注 1. 対応するビットが有効のときに有効になります。

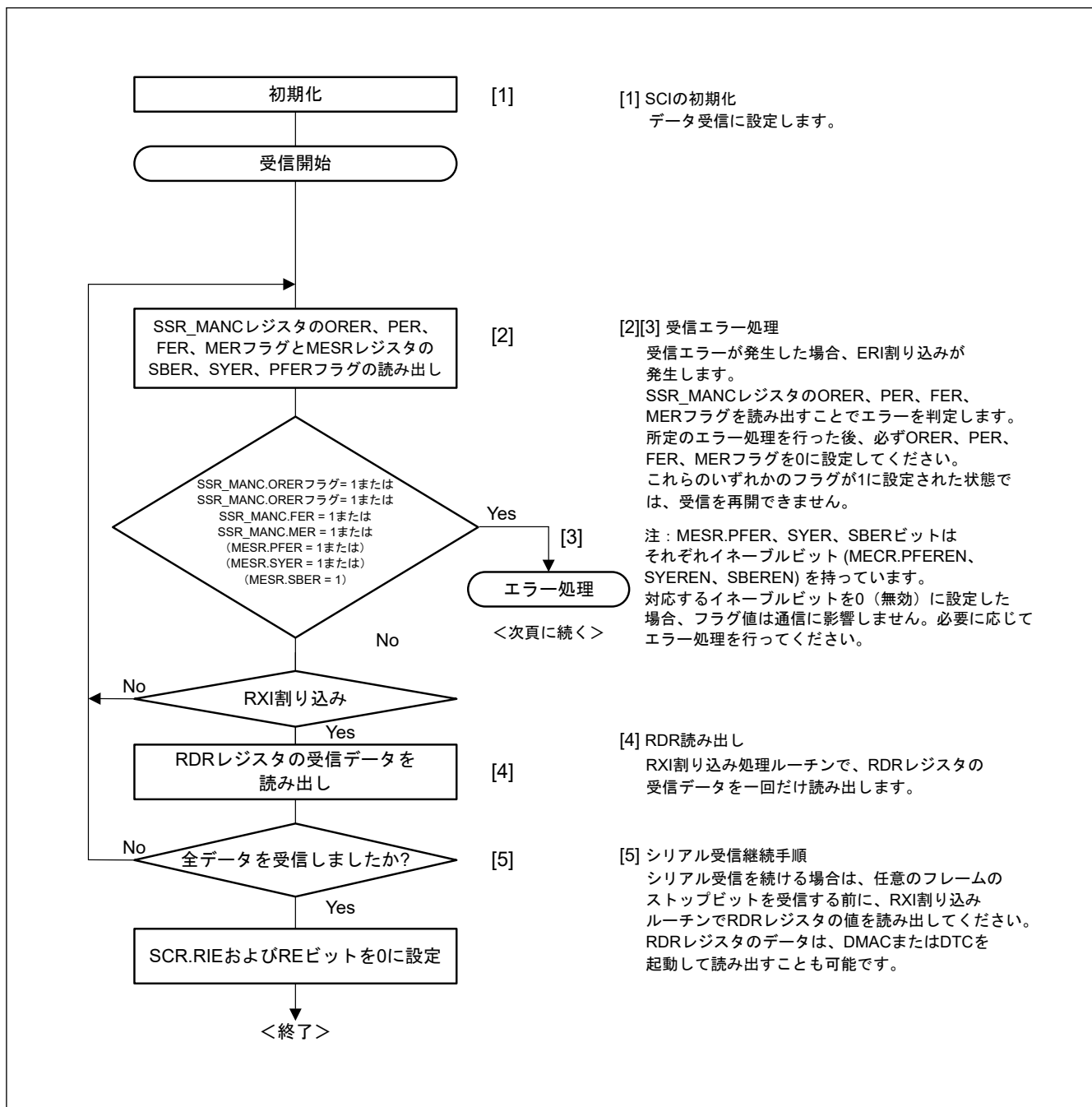


図 25.62 マンチェスタモードにおけるシリアルデータ受信フローチャートの例（正常受信）

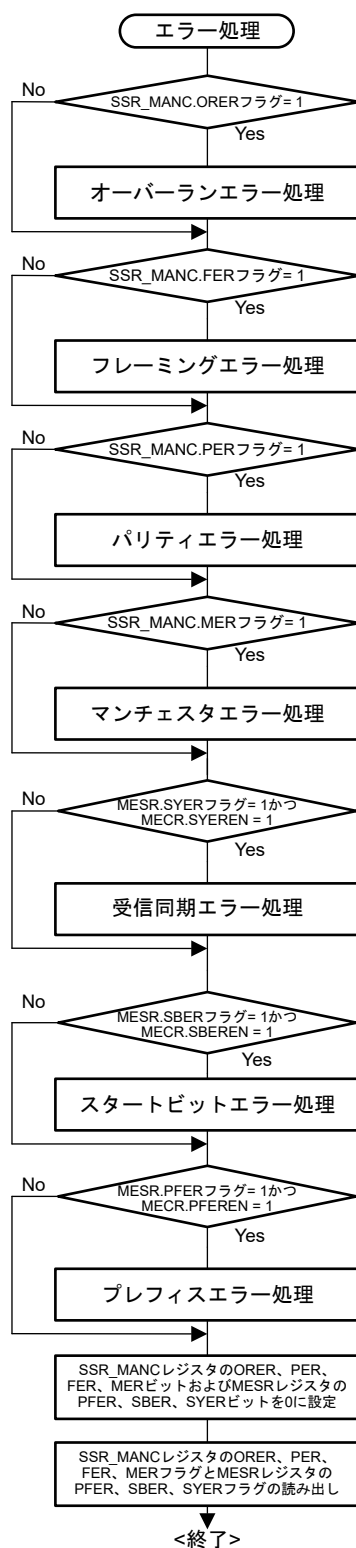


図 25.63 マンチェスタモードにおけるシリアル受信フローチャートの例（エラー処理）

25.5.8 マルチプロセッサが使用されている場合の動作

マルチプロセッサが使用されている場合のマンチェスタモードにおける動作については、「[25.4. マルチプロセッサ通信機能](#)」(1) の場合と同じなのでこれを参照してください。

マンチェスタモードではフレームフォーマットにプレフィスとスタートビット領域が追加されます。受信フローチャートのマンチェスタモードにおけるエラー処理については、[図 25.63](#) を参照してください ([図 25.47](#))。各種エラーを検出した際の動作状態については、[表 25.35](#) を参照してください。

25.5.9 受信再タイミング

この機能は、マンチェスタコードにおいてビットのエッジが中央にあることを利用して、各ビットの中央エッジのタイミングを補正します。

受信再タイミング機能は MMR レジスタの ERTEN ビットの設定によってオンまたはオフにできます。

受信再タイミング機能がオフのとき (MMR.ERTEN = 0) は再タイミングが実施されません。その結果内部クロックと RXDn 入力のずれが蓄積し受信マージンが減少します。

受信再タイミング機能がオンのとき (MMR.ERTEN = 1) は、再タイミングがプレフィス領域、スタートビット領域^(注1)、およびデータ領域（ストップビットを除く）に対して実施されます。

注 1. プレフィス長が 0 でスタートビット長が 3 のときは、スタートビット領域の再タイミングが実施されません。

例として、オーバーサンプリング x16 が選択されているときの受信再タイミングを以下に示します。

RXDn 入力エッジを期待位置よりも 2~4 サイクル前で検出したときは、1 サンプル CLK サイクルだけ受信処理が短くなります。

RXDn 入力エッジを期待位置よりも 2~3 サイクル後ろで検出したときは、1 サンプル CLK サイクルだけ受信処理が長くなります。

(クロックとデータのずれが 2 サイクルより大きくても、各ビットで 1 サイクルだけ補正されます。)

[図 25.64](#) に受信再タイミング範囲の概念図を示します。

エッジを図の許容領域で検出したときは、補正なしでデータをそのまま受信します。

エッジを図の SyncJump 領域で検出したときは、補正してデータを受信します。

エッジを図の SyncError 領域で検出したときは、補正を行わず異常データとして受信します。

マンチェスタコードエラー（1/4 相と 3/4 相のサンプリングポイントでデータが一致したとき）に対しては、SCI がコードエラーを報告します。

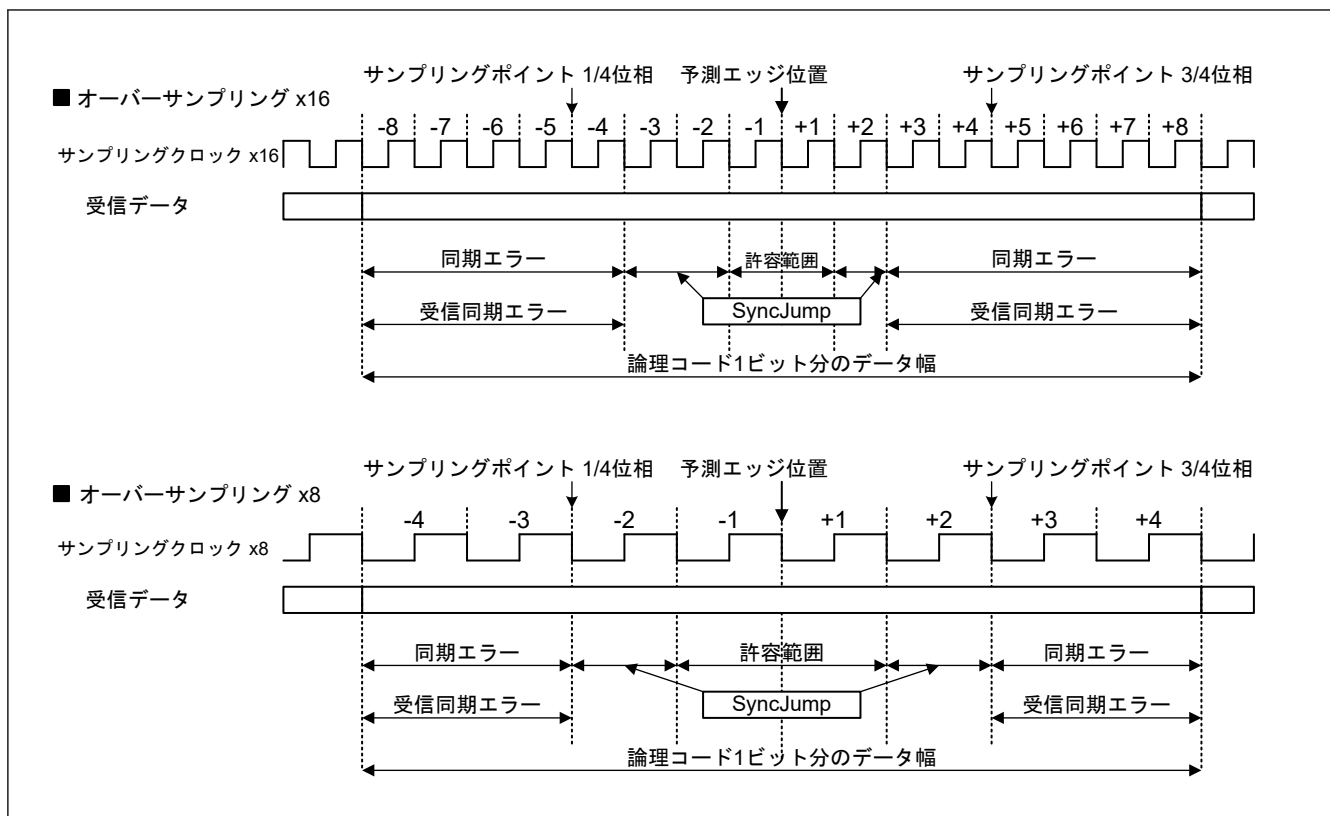


図 25.64 受信再タイミング範囲の概念図

25.5.10 マンチェスタコードの極性設定

マンチェスタコードの極性はマンチェスタモードレジスタ (MMR) で設定できます。

極性は送信と受信に対して個別に設定できます。送信の極性は MMR.TMPOL ビット、受信の極性は MMR.RMPOL ビットを使用して設定します。

マンチェスタコードの極性設定は、プレフィス領域、データ領域、およびパリティまたはマルチプロセッサ領域で有効です。

マンチェスタコードの極性に初期設定値 (TMPOL/RMPOL = 0) が使用される場合、論理 0 はマンチェスタコード内での 0 から 1 への遷移、論理 1 はマンチェスタコード内での 1 から 0 への遷移としてエンコーディングされます。設定が TMPOL/RMPOL = 1 に変更されると、論理 0 はマンチェスタコード内での 1 から 0 への遷移、論理 1 はマンチェスタコード内での 0 から 1 への遷移としてエンコーディングされます。図 25.65 に設定と動作の概念図を示します。

上記の機能とは別に、データ領域内の送信データと受信データは受信/送信データ反転機能 (SCMR.SINV) によって反転できます。マンチェスタコードの極性 (MMR.TMPOL/RMPOL) は送信/受信データ反転機能 (SCMR.SINV) とは別に設定できるので、これら両方を反転に設定すると (MMR.TMPOL/RMPOL = 1 かつ SCMR.SINV = 1)、送信データと受信データが初期状態 (反転 + 反転 = 正常) になります。

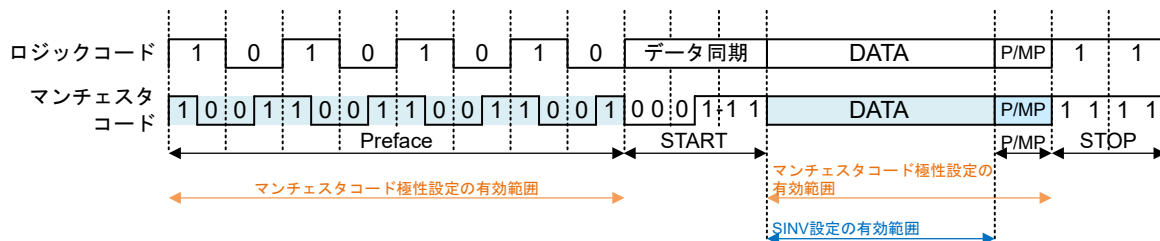
スタートビット領域の極性は上記のレジスタとは別のレジスタにより設定されます。

別のレジスタが使用されるので、スタートビット領域の極性は上記のマンチェスタコード極性設定の影響を受けません。

スタートビット領域の設定については、「25.5.1. フレームフォーマット」の (2) を参照してください。

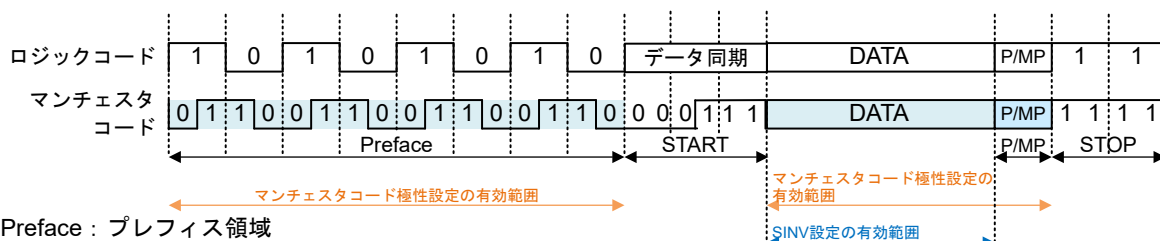
■ TMPOL/RMPOL = 0 : 通常時

(TPLEN/RPLEN = 0x8, TPPAT/RPPAT = 01: One-zero設定時、SYNSEL = 0、SYNVAL = 0: データ同期)



■ TMPOL/RMPOL = 1 : 反転時

(TPLEN/RPLEN = 0x8, TPPAT/RPPAT = 01: One-zero設定時、SYNSEL = 0、SYNVAL = 0: データ同期)



Preface : プレフィス領域

START : スタートビット領域

DATA : ユーザーデータ領域

P/M/P : パリティビット/マルチプロセッサビット

STOP : ストップビット

図 25.65 マンチェスタコード極性設定の有効範囲

25.5.11 マンチェスタモードにおけるエラー

マンチェスタモードには以下のエラーがあります。

1. パリティエラー
2. オーバーランエラー
3. フレーミングエラー
4. マンチェスタエラー
5. プレフィスエラー
6. スタートビットエラー
7. 受信 SYNC エラー

(1)～(3) のエラーについては調歩同期式モードと同様ですので、「[25.3.9. シリアルデータの受信 \(調歩同期式モード\)](#)」の (1) を参照してください。

各エラーは個別の領域で判定されますが、フラグと動作への反映はストップビット領域の 3/4 ビットサンプリングのタイミングで実施されます。プレフィスエラーまたはスタートビットエラーが検出されると、後続データは受信されません。したがって他のエラーは検出されず、エラーフラグは前の情報を保持します。

表 25.33 にエラーを検出した時のシリアルステータスレジスタの状態と RDR へのデータ保存の判断について示します。

表 25.34 にマンチェスタフレームの各領域で検出される可能性のあるエラーを示します。

プレフィスエラーまたはスタートビットエラーが検出されると、後続データは受信されません。したがって他のエラーは検出されず、エラーフラグは前のフレームを受信した結果を保持します。また、前のフレームでエラーが検出されると、データ受信は行われませんがプレフィス領域とスタートビット領域のエラーによるフラグの更新は行われます。表 25.35 にそれぞれの場合におけるフラグと動作について示します。

(4) マンチェスタエラー

マンチェスタエラーはマンチェスタコードにエラーが検出されたときに生成されます。

マンチェスタコードでは、ビットの中心にエッジ（遷移）が存在する必要があります。

受信フレームのデータ領域（パリティ/マルチプロセッサコードを含む）において、1/4-ビットと 3/4-ビットのサンプリングポイント値が各受信ビットでチェックされ、これら 2 つの値が一致するとマンチェスタコードエラーと判定されます。

マンチェスタコードエラーが検出されると、マンチェスタエラーフラグ (SSR_MANC.MER) がアサートされます。マンチェスタエラーが発生すると、割り込み要因およびイベント要因として扱われます。マンチェスタエラーが検出されると、対応するエラーフラグがクリアされるまで次の受信処理は実施されません。

(5) プレフィスエラー

プレフィスエラーは、プレフィスパターンと一致しない場合またはプレフィス領域でマンチェスタコードエラーが検出された場合に生成されます。プレフィスエラーが検出されると、プレフィスエラーフラグ (SSR_MANC.PFER) がアサートされます。

MECR レジスタの設定によって、このエラーフラグを割り込み要因として使用するかどうかを指定できます。

MECR.PFEREN = 1 の場合は、プレフィスエラーが割り込み要因またはイベント要因として扱われます。プレフィスエラーが検出されると、対応するエラーフラグがクリアされるまで次の受信処理は実施されません。

MECR.PFEREN = 0 の場合はプレフィスエラーが割り込み要因またはイベント要因として扱われず、受信処理が継続します。ただし、プレフィスエラーは MESR.PFER に通知されます。

(6) スタートビットエラー

スタートビットエラーは、受信フレームのスタートビット領域が事前設定されたスタートビットパターンに一致しない場合に生成されます。スタートビットエラーが検出されると、スタートビットエラーフラグ (MESR.SBER) がアサートされます。

MECR レジスタの設定によって、スタートビットエラーを割り込み要因として使用するかどうかを指定できます。

MECR.SBEREN = 1 の場合は、スタートビットエラーが割り込み要因またはイベント要因として扱われます。スタートビットエラーが検出されると、対応するエラーフラグがクリアされるまで次の受信処理は実施されません。

MECR.SBEREN = 0 の場合はスタートビットエラーが割り込み要因またはイベント要因として扱われず、受信処理が継続します。ただし、スタートビットエラーは MESR.SBER に通知されます。

(7) 受信 SYNC エラー

「25.5.9. 受信再タイミング」で説明されている受信再タイミング機能が有効化されている場合に、受信再タイミング動作が実行されます。

受信タイミング動作中に受信再タイミング範囲（図 25.64 の SyncError 領域）でエッジが検出されない場合に、受信 SYNC エラーが生成されます。受信 SYNC エラーが検出されると、受信 SYNC エラーフラグ (MESR.SYER) がアサートされます。再タイミングの対象でない領域については、受信 SYNC エラーが検出されません。

受信再タイミング動作が実行されるプレフィス領域^(注1)、スタートビット領域^(注1)、^(注2)、およびデータ領域（ストップビットを除く）がチェックされます。

MECR レジスタの設定によって、受信 SYNC エラーを割り込み要因として使用するかどうかを指定できます。

MECR.SYEREN = 1 の場合は、受信 SYNC エラーが割り込み要因またはイベント要因として扱われます。受信 SYNC エラーが検出されると、対応するエラーフラグがクリアされるまで次の受信処理は実施されません。

MECR.SYEREN = 0 の場合は受信 SYNC エラーが割り込み要因またはイベント要因として扱われず、受信処理が継続します。ただし、受信 SYNC エラーは MESR.SYER に通知されます。

注 1. 最初のビットが High であると期待されるパターンで開始するフレームの場合は再タイミングの対象外です。

注 2. スタートビット領域にプレフィス長と 3 ビットのスタートビットが存在しない場合は再タイミングの対象外です。

また、3 ビットのスタートビットが設定されている場合は、第 1 ビットと第 2 ビットは再タイミングの対象外です。

表 25.33 マンチェスタモードにおける SSR_MANC レジスタのフラグと受信データ処理

SSR_MANC レジスタのフラグ				MESR レジスタのフラグ			受信データ	受信エラーの状態 (ERI 割り込み/イベントの生成)
ORE R	FER	PER	MER	SBER(注1)	PFER(注1)	SYER		
0	0	0	0	0	0	0	RDR へ転送	エラーなし
0	1	0	0	0	0	0	RDR へ転送	フレーミングエラー
0	0	1	0	0	0	0	RDR へ転送	パリティエラー
0	1	1	0	0	0	0	RDR へ転送	フレーミングエラー+パリティエラー
0	0	0	1	0	0	0	RDR へ転送	マンチェスタエラー
0	1	0	1	0	0	0	RDR へ転送	フレーミングエラー+マンチェスタエラー
0	0	1	1	0	0	0	RDR へ転送	パリティエラー+マンチェスタエラー
0	1	1	1	0	0	0	RDR へ転送	フレーミングエラー+パリティエラー+マンチェスタエラー
1	0	0	0	0	0	0	消失	オーバーランエラー
1	1	0	0	0	0	0	消失	オーバーランエラー+フレーミングエラー
1	0	1	0	0	0	0	消失	オーバーランエラー+パリティエラー
1	1	1	0	0	0	0	消失	オーバーランエラー+フレーミングエラー+パリティエラー
1	0	0	1	0	0	0	消失	オーバーランエラー+マンチェスタエラー
1	1	0	1	0	0	0	消失	オーバーランエラー+フレーミングエラー+マンチェスタエラー
1	0	1	1	0	0	0	消失	オーバーランエラー+パリティエラー+マンチェスタエラー
1	1	1	1	0	0	0	消失	オーバーランエラー+フレーミングエラー+パリティエラー+マンチェスタエラー
0	上記の組み合わせ			0	0	0	RDR へ転送	上記のエラー+受信 SYNC エラー(注2)
1				0	0	0	消失	上記のエラー+受信 SYNC エラー(注2)
保持	保持	保持	保持	0	1	0	消失	プレフィスエラー(注3)
保持	保持	保持	保持	1	0	0	消失	スタートビットエラー(注3)
保持	保持	保持	保持	0	1	1	消失	プレフィスエラー(注3)+受信 SYNC エラー(注2)
保持	保持	保持	保持	1	0	1	消失	スタートビットエラー(注3)+受信 SYNC エラー(注2)

注 1. スタートビットエラーとプレフィスエラーが同時に 1 になることはありません。

注 2. MECSYEREN = 1 の場合、SCIn_ERI 割り込み/イベントが SYER ファクタによって生成されます。

注 3. MECPFEREN = 1 または MECSBEREN = 1 の場合、対応するフラグが設定されているときに SCIn_ERI 割り込み/イベントが生成されます。

表 25.34 各領域で検出されるエラー

	プレフィスエラー (PFER)	スタートビットエラー (SBER)	マンチェスタエラー (MER)	受信 SYNC エラー (SYER)	パリティエラー (PER)	フレーミングエラー (FER)
プレフィス領域	✓	—	—(注1)	✓(注2)	—	—
スタートビット領域	—	✓	—	✓(注2)	—	—
データ領域	—	—	✓	✓	—	—
パリティ領域	—	—	✓	✓	✓	—
マルチプロセッサ領域	—	—	✓	✓	—	—
ストップビット領域	—	—	—	—	—	✓

注. ✓ : 検出、— : 検出せず

注 1. プレフィス領域でマンチェスタコードエラーが発生すると、プレフィスエラーとして扱われます。

注 2. 受信 SYNC エラーの検出対象ではありません。詳細については「25.5.11. マンチェスタモードにおけるエラー」(7) の説明を参照してください。

表 25.35 前のフレームのエラーの有無による動作状態およびマルチプロセッサモードにおける動作状態のリスト (1/2)

前のフレーム	フレームの各領域					PFERE N	SBERE N	SYERE N	受信データ	エラーフラグ	割り込み要求	イベント信号
	プレフィス	スタートビット	データ	パリティ	ストップ							
エラーなし	PFER	エラーなし	Don't care	Don't care	Don't care	0	Don't care	Don't care	消失	PFER を設定 ^(注1)	出力なし	出力なし
	SYER なし ^(注1)					1					出力	出力
	エラーなし	SBER	Don't care	Don't care	Don't care	Don't care	0	Don't care	消失	SBER を設定 ^(注1)	出力なし	出力なし
		SYER なし ^(注1)					1				出力	出力
	SYER PFER なし	エラーなし	Don't care	Don't care	Don't care	Don't care	Don't care	0	RDR へ転送	SYER を設定	出力なし	出力なし
								1	消失		出力	出力
	エラーなし	SYER	Don't care	Don't care	Don't care	Don't care	Don't care	0	RDR へ転送	SYER を設定	出力なし	出力なし
		SBER なし						1	消失		出力	出力
	エラーなし	エラーなし	SYER		エラーなし	Don't care	Don't care	0	RDR へ転送	SYER を設定	出力なし	出力なし
								1	消失		出力	出力
エラーなし	エラーなし	MER		エラーなし	Don't care	Don't care	Don't care	RDR へ転送	MER を設定	出力	出力	
エラーなし	エラーなし	Don't care	PER	エラーなし	Don't care	Don't care	Don't care	RDR へ転送	PER を設定	出力	出力	
エラーなし	エラーなし	Don't care	Don't care	FER	Don't care	Don't care	Don't care	RDR へ転送	FER を設定	出力	出力	
エラーあり ORER					Don't care	Don't care	Don't care	消失	フラグを設定 ^(注2)	出力	出力	
エラーなし	エラーなし	エラーなし	エラーなし	エラーなし ORER	Don't care	Don't care	Don't care	消失	ORER を設定	出力	出力	

表 25.35 前のフレームのエラーの有無による動作状態およびマルチプロセッサモードにおける動作状態のリスト (2/2)

前のフレーム	フレームの各領域					PFERE N	SBERE N	SYERE N	受信データ	エラーフラグ	割り込み要求	イベント信号
	プレフィクス	スタートビット	データ	パリティ	ストップ							
エラーあり(注3) (注6)	PFER SYER なし(注1)	エラーなし	Don't care	Don't care	Don't care	0	Don't care	Don't care	消失	PFER を設定(注1)	出力(注4)	出力なし(注5)
						1						
	エラーなし	SBER SYER なし(注1)	Don't care	Don't care	Don't care	Don't care	0	Don't care				
							1					
	SYER PFER なし	エラーなし	Don't care	Don't care	Don't care	Don't care	Don't care	0		SYER を設定		
								1				
	エラーなし	SYER SBER なし	Don't care	Don't care	Don't care	Don't care	Don't care	0		SYER を設定		
								1				
	エラーなし	エラーなし	SYER		エラーなし	Don't care	Don't care	0		フラグを設定しない		
								1				
エラーなし	エラーなし	MER		エラーなし	Don't care	Don't care	Don't care					
エラーなし	エラーなし	Don't care	PER	エラーなし	Don't care	Don't care	Don't care					
エラーなし	エラーなし	Don't care	Don't care	FER	Don't care	Don't care	Don't care					
エラーあり ORER					Don't care	Don't care	Don't care					
エラーなし	エラーなし	エラーなし	エラーなし	エラーなし ORER	Don't care	Don't care	Don't care					

注 1. SYER が検出されると SYER フラグも設定されます。他の動作についてはこの表に示す通りです。

注 2. 検出された他のエラーフラグ (ORER など) も設定されます。

注 3. ストップビット判定の前にすべてのエラーフラグがクリアされると、この表に示される、前のフレームにエラーがなかった場合の動作と同様になります。

注 4. SCIn_ERI 割り込み要求はレベル出力であるため、対象フレームにおけるエラーの有無にかかわらず前のフレームのエラーによってアクティブの状態が継続します。

注 5. エラー要因の検出は継続的に実施されるため、対象フレームにおけるエラーの有無にかかわらず、SCIn_ERI イベントが新たに出力されることはありません。

注 6. PFER、SBER、および SYER は、それぞれの許可ビットが禁止に設定されているとエラーなしとして扱われます。

表 25.36 マルチプロセッサモード (MPIE = 0) で MPIE = 1 の場合の動作

MPB (注1)	フレームの各領域					PFERE N	SBERE N	SYERE N	受信データ	エラーフラグ	割り込み要求	イベント信号
	プレフィクス	スタートビット	データ	パリティ	ストップ							
1	エラーなし	エラーなし	Don't care	Don't care	Don't care	Don't care	Don't care	Don't care	RDR へ転送	フラグを設定	出力(注2)	出力(注2)
	PFER なし	SBER なし	Don't care	Don't care	Don't care	Don't care	Don't care	0				
	SYER (注3)	SYER (注3)						1	消失	フラグを設定しない	出力なし	出力なし
	PFER	エラーなし	Don't care	Don't care	Don't care	Don't care	Don't care	Don't care				
	エラーなし	SBER	Don't care	Don't care	Don't care	Don't care	Don't care					

注 1. 受信 MPB ビットが 0 の場合はフレームを受信しておらず、動作はこの表における受信データの消失の場合と同様になります。

- 注 2. エラーが検出されない場合は SCIn_RXI の割り込み要求またはイベントが出力されます。それが検出されると、SCIn_ERI の割り込み要求またはイベントが出力されます。
- 注 3. プレフィス領域またはスタートビット領域で SYER が検出された場合は、エラーとしての処理の動作は SYEREN ビットの変化に依存します。

25.6 クロック同期式モードの動作

図 25.66 にクロック同期式シリアル通信のデータフォーマットを示します。

クロック同期式モードでは、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCI は、データ送信時に同期クロックの立ち下がりエッジから次の立ち下がりエッジまでデータを出力します。SCI は、データ受信時に同期クロックの立ち上がりエッジに同期してデータを受信します。8 ビットデータを送力後に、送信ラインは最終ビットの出力状態を保ちます。スリープモードにおいて SPMR.CKPH ビットが 1 の場合、送信ラインは第 1 ビットの出力状態を保ちます。

SCI 内部では送信部と受信部は独立しており、クロックを共有することで全二重通信が可能です。送信部と受信部はどちらもダブルバッファ構成になっているため、送信中に次の送信データの書き込み、または受信中に前の受信データの読み出しが可能であり、連続データ転送が実現されます。

ただし、最高速ビットレートの設定 (BRR[7:0] = 0x00 かつ SMR.CKS[1:0] = 00b) では、連続転送動作が不可能です。そのため FIFO 選択時は、この設定 (BRR[7:0] = 0x00 かつ SMR.CKS[1:0] = 00b) は利用できません。

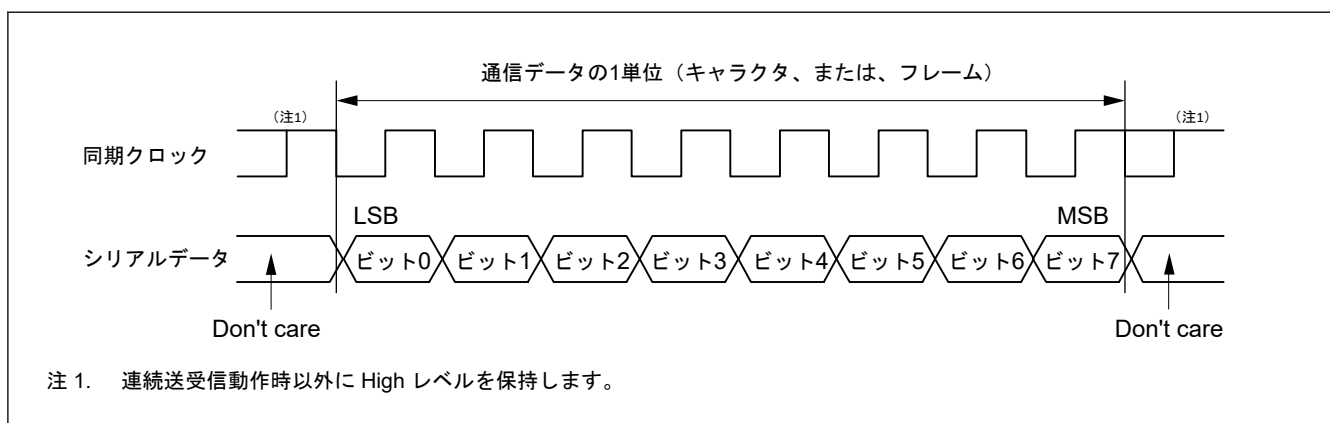


図 25.66 クロック同期式シリアル通信のデータフォーマット (LSB ファーストの並び順の場合)

25.6.1 クロック

SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子に入力される外部同期クロックのいずれかを選択できます。

SCI が内部クロックで動作する場合、SCKn 端子から同期クロックが出力されます。1 キャラクタの転送で 8 パルスの同期クロックが出力されます。転送を行わないとき、クロックは High に保持されます。ただし、受信動作のみで CTS 機能が無効な場合は、SCR.RE ビットが 1 になると、同期クロックの出力が始まります。オーバーランエラーが発生するか、または SCR.RE ビットが 0 になると、同期クロックは High レベル(注1)になったところで停止します。

受信動作のみで CTS 機能が有効な場合は、SCR.RE ビットが 1 になっても CTSn_RTSn 端子入力が High であれば、クロック出力は始まりません。SCR.RE ビットが 1 になったとき、CTSn_RTSn 端子入力が Low であれば、同期クロックの出力が始まります。その後、フレームの受信が完了した時点で CTSn_RTSn 端子入力が High であれば、同期クロック出力は High レベルになったところで停止します。CTSn_RTSn 端子入力が引き続き Low であれば、オーバーランエラーが発生するか、または SCR.RE ビットが 0 になったときに、同期クロックは High レベル(注1)になったところで停止します。

- 注 1. (SPMR.CKPH = 0 かつ SPMR.CKPOL = 1) または (SPMR.CKPH = 1 かつ SPMR.CKPOL = 1) の状態にあるとき、信号は High で保持されます。(SPMR.CKPH = 0 かつ SPMR.CKPOL = 1) または (SPMR.CKPH = 1 かつ SPMR.CKPOL = 0) の状態にあるとき、信号は Low で保持されます。

25.6.2 CTS、RTS 機能

CTS 機能では、クロックソースが内部クロックの場合に、CTS_{Sn}_RTS_{Sn} 端子入力を使用してデータ送受信の開始制御を行います。SPMR.CTSE ビットを 1 にすると、CTS 機能が有効になります。CTS 機能が有効な場合、CTS_{Sn}_RTS_{Sn} 端子入力が Low になると、データの送受信が開始されます。

データ送信またはデータ受信の実行中に CTS_{Sn}_RTS_{Sn} 端子入力を High にしても、処理中のフレームの送受信は影響を受けません。

RTS 機能では、クロックソースが外部同期クロックの場合に、CTS_{Sn}_RTS_{Sn} 端子出力を使用してデータ送受信の開始要求を行います。シリアル通信が可能な状態になると、CTS_{Sn}_RTS_{Sn} 出力が Low になります。CTS_{Sn}_RTS_{Sn} が Low を出力する条件と High を出力する条件は以下のとおりです。

[Low になる条件]

以下の条件がすべて満たされる場合：

非 FIFO 選択時に、以下の条件がすべて満たされた場合

- SCR.RE ビットまたは SCR.TE ビットの値が 1
- 送受信動作中でない
- 読み出し前の受信データがない (SCR.RE ビットが 1 のとき)
- 送信データを書き込み済み (SCR.TE ビットが 1、かつ SCR.CKE[1] ビットが 0 の場合)
- TSR レジスタに送信用データがある (SCR.TE ビットが 1、SCR.CKE[1] ビットが 1 の場合)
- SSR.ORER フラグが 0

FIFO 選択時に、下記条件がすべて満たされたとき

- SCR.RE ビットまたは SCR.TE ビットの値が 1
- 送受信動作中でない
- FRDRHL に書き込まれた受信データ数が、FCRH.RSTRG[3:0] の設定値より少ない (SCR.RE ビットが 1 のとき)
- FTDRHL レジスタに未送信用データがある (SCR.TE ビットが 1、SCR.CKE[1] ビットが 0 の場合)
- TSR レジスタに送信用データがある (SCR.TE ビットが 1、SCR.CKE[1] ビットが 1 の場合)
- SSR_FIFO.ORER フラグが 0

[High になる条件]

- Low になる条件を満たさない場合

25.6.3 SCI の初期化（クロック同期式モード）

データを送受信する前に、最初に SCR レジスタに初期値 0x00 を書き込み、次に「25.6.2. CTS、RTS 機能」の非 FIFO と FIFO の選択を説明した項目に従って SCI の初期設定を続けてください。動作モードまたは通信フォーマットを変更する場合は常に、SCR レジスタを初期値にしてから変更してください。

注. SCR.RE ビットを 0 にしても、SSR/SSR_FIFO レジスタの ORER、FER、PER の各フラグ、ならびに RDR レジスタは初期化されません。TE ビットが 0 の場合、選択した FIFO バッファに対する TEND フラグは初期化されません。

注. 非 FIFO モードにおいて、SCR.TIE ビットが 1 のときに、SCR.TE ビットを 1 から 0、または 0 から 1 に変更すると、SCI_n_TXI 割り込み要求が発生します。

表 25.37 クロック同期式モードにおける SCI の初期化フローチャート例（非 FIFO 選択時） (1/2)

No.	ステップ名	説明
1	初期化を開始	
2	SCR.TIE、RIE、TE、RE、および TEIE ビットを 0 に設定	
3	FCR.FM ビットを 0 に設定	FCR.FM ビットを 0 に設定

表 25.37 クロック同期式モードにおける SCI の初期化フローチャート例（非 FIFO 選択時）（2/2）

No.	ステップ名	説明
4	SCR.CKE[1:0]ビットを設定	SCR レジスタにクロック選択を設定します。
5	SIMR1.IICM ビットを 0 に設定 また、SPMR.CKPH ビットと SPMR.CKPOL ビットを設定し ます。	SIMR1.IICM ビットを 0 に設定 また、SPMR.CKPH ビットと SPMR.CKPOL ビットを設定します。 これらの値が初期値から変更されていない場合、手順 5 は省略できます。
6	SMR、SCMR、および SEMR レ ジスタに送信／受信フォーマッ トを設定	SMR、SCMR、および SEMR レジスタに送信／受信フォーマットを設定します。
7	SPTR に値を設定	SPTR に通信端子状態を設定します。
8	BRR に値を設定	BRR レジスタにビットレートに対応する値を書き込みます。 外部クロックを使用する場合、この手順は不要です。
9	MDDR に値を設定	MDDR レジスタにビットレート誤差補正値を書き込みます。SEMR.BRME ビットを 0 にした場 合、または外部クロックを使用する場合、この手順は不要です。
10	I/O ポート機能の設定	I/O ポートを設定して、TXDn、RXDn、および SCKn 端子に必要な入出力機能を有効にします。
11	SCR_SMCI.TE ビットまたは SCR_SMCI.RE ビットを 1 に し、SCR_SMCI.TIE ビットと SCR_SMCI.RIE ビットを設定	SCR.TE ビットまたは SCR.RE ビットを 1 にします。SCR.TIE ビットおよび SCR.RIE ビットも 設定します。 TE ビットおよび RE ビットを設定することで、TXDn および RXDn 端子が使用可能となります。
12	初期化を完了	

注. 同時送受信動作では、SCR.TE ビットと SCR.RE ビットの両方を同時に 0 または 1 にする必要があります。

表 25.38 クロック同期式モードにおける SCI 初期化の手順例（FIFO 選択時）（1/2）

No.	ステップ名	説明
1	初期化を開始	
2	SCR.TIE、RIE、TE、RE、およ び TEIE ビットを 0 に設定	
3	FCR.FM ビット、FCR.TFRST ビット、および FCR.RFRST ビ ットを 1 にします。 FCR.TTRG[3:0]ビット、 RTRG[3:0]ビット、および RSTRG[3:0]ビットを設定しま す。	FCR.FM、TFRST、および RFRST ビットを 1 にします（FIFO モードが有効、送信/受信 FIFO が エンプティ）。 FCR.TTRG[3:0]ビット、RTRG[3:0]ビット、および RSTRG[3:0]ビットを設定します。
4	SCR.CKE[1:0]ビットを設定	SCR レジスタにクロック選択を設定します。
5	SIMR1.IICM ビットを 0 に設定 また、SPMR.CKPH ビットと SPMR.CKPOL ビットを設定し ます。	SIMR1.IICM ビットを 0 に設定 また、SPMR.CKPH ビットと SPMR.CKPOL ビットを設定します。 これらの値が初期値から変更されていない場合、手順 5 は省略できます。
6	SMR、SCMR、および SEMR レ ジスタに送信／受信フォーマッ トを設定	SMR、SCMR、および SEMR レジスタに送信／受信フォーマットを設定します。
7	SPTR に値を設定	SPTR に通信端子状態を設定します。
8	BRR に値を設定	BRR レジスタにビットレートに対応する値を書き込みます。 外部クロックを使用する場合、この手順は不要です。
9	MDDR に値を設定	MDDR レジスタにビットレート誤差補正値を書き込みます。SEMR.BRME ビットを 0 にした場 合、または外部クロックを使用する場合、この手順は不要です。
10	FCR.TFRST ビットと FCR.RFRST ビットを 0 に設定	FCR.TFRST ビットと FCR.RFRST ビットを 0 に設定
11	I/O ポート機能を設定	I/O ポートを設定して、TXDn、RXDn、および SCKn 端子に必要な入出力機能を有効にします。
12	SCR_SMCI.TE ビットまたは SCR_SMCI.RE ビットを 1 に し、SCR_SMCI.TIE ビットと SCR_SMCI.RIE ビットを設定	SCR.TE ビットまたは SCR.RE ビットを 1 にします。SCR.TIE ビットおよび SCR.RIE ビットも 設定します。 TE ビットおよび RE ビットを設定することで、TXDn および RXDn 端子が使用可能となります。

表 25.38 クロック同期式モードにおける SCI 初期化の手順例 (FIFO 選択時) (2/2)

No.	ステップ名	説明
13	初期化を完了	

注. 同時送受信動作では、SCR.TE ビットと SCR.RE ビットの両方を同時に 0 または 1 にする必要があります。

25.6.4 シリアルデータの送信 (クロック同期式モード)

(1) 非 FIFO 選択時

図 25.67、図 25.68、および図 25.69 に、クロック同期式モードにおけるシリアル送信の動作例を示します。

シリアルデータの送信時、SCI は以下のように動作します。

1. SCIn_TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、SCI は TDR レジスタから TSR レジスタへデータを転送します。なお、送信開始時の SCIn_TXI 割り込み要求は、SCR レジスタの TIE ビットを 1 にした後 TE ビットを 1 にするか、これら 2 つのビットを 1 命令で同時に 1 にすることで発生します。
2. SCI は、TDR レジスタから TSR レジスタへデータを転送した後、送信を開始します。このとき、SCR.TIE ビットが 1 になっていると、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、TDR レジスタに次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合、SCIn_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを TDR レジスタに書き込んだ後、SCR.TIE ビットを 0 にして、SCR.TEIE ビットを 1 にします。
3. クロック出力モードを指定したときは出力クロックに同期して、外部クロックを指定したときは入力クロックに同期して、TXDn 端子から 8 ビットのデータが送信されます。クロック信号出力は、SPMR.CTSE ビットが 1 のとき、CTS 信号入力 Low になるまで待機します。
4. 最終ビットを送り出すタイミングで、SCI は TDR レジスタの更新をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタに次の送信データを転送し、次のフレームのシリアル送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを 1 にします。TXDn 端子は最終ビットの出力状態を保持します。このとき、SCR.TEIE ビットが 1 になっていると、SCIn_TEI 割り込み要求が発生し、SCKn 端子は High に固定されます。

図 25.67、図 25.68、および図 25.69 に、シリアルデータ送信の例を示します。

受信エラーフラグ (SSR レジスタの ORER、FER、または PER ビット) が 1 の状態では、送信は開始されません。送信を開始する前に、受信エラーフラグは必ず 0 にしてください。

注. 受信エラーフラグは、SCR.RE ビットを 0 にしてもクリアされません。

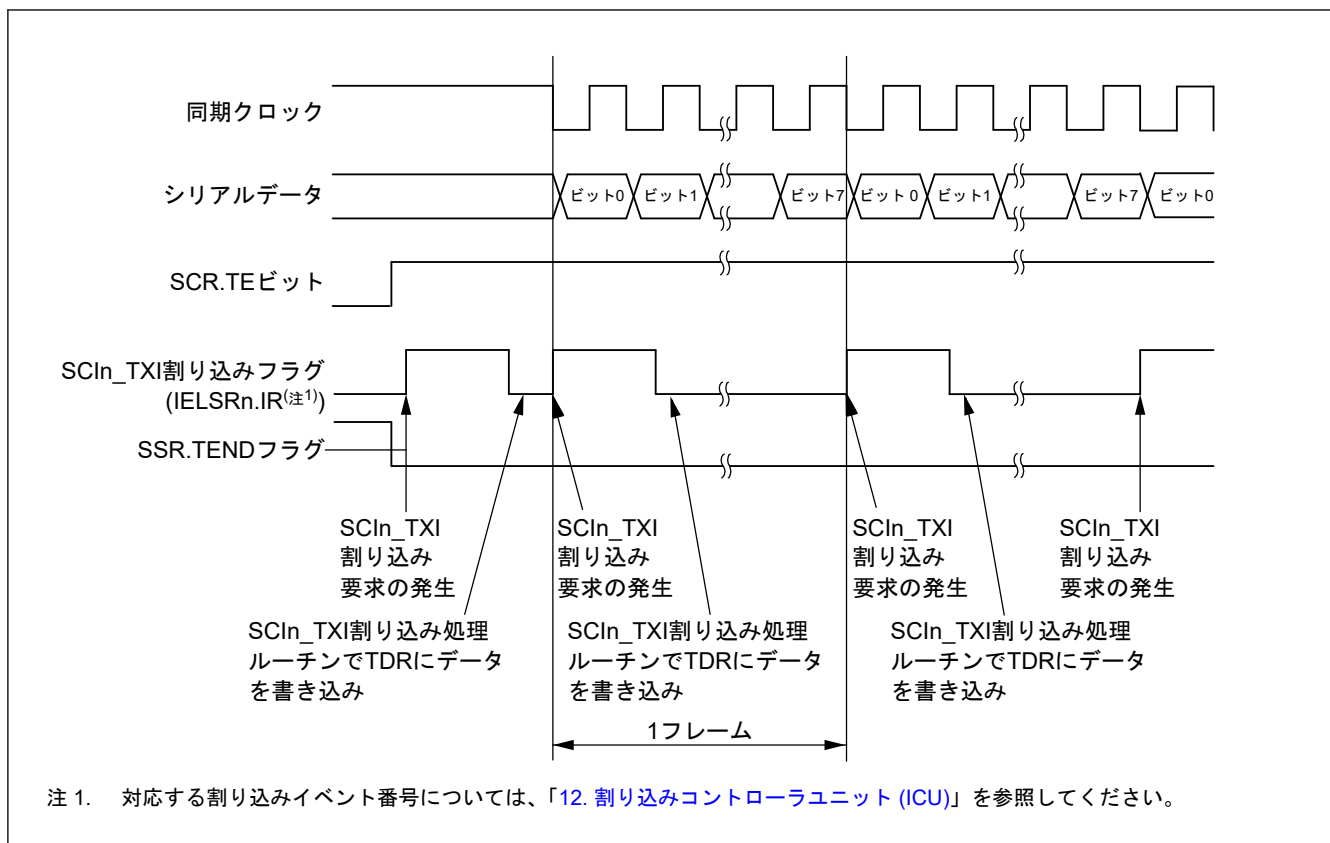


図 25.67 クロック同期式モードにおけるシリアル送信の動作例（送信開始時に CTS 機能を使用しない場合）

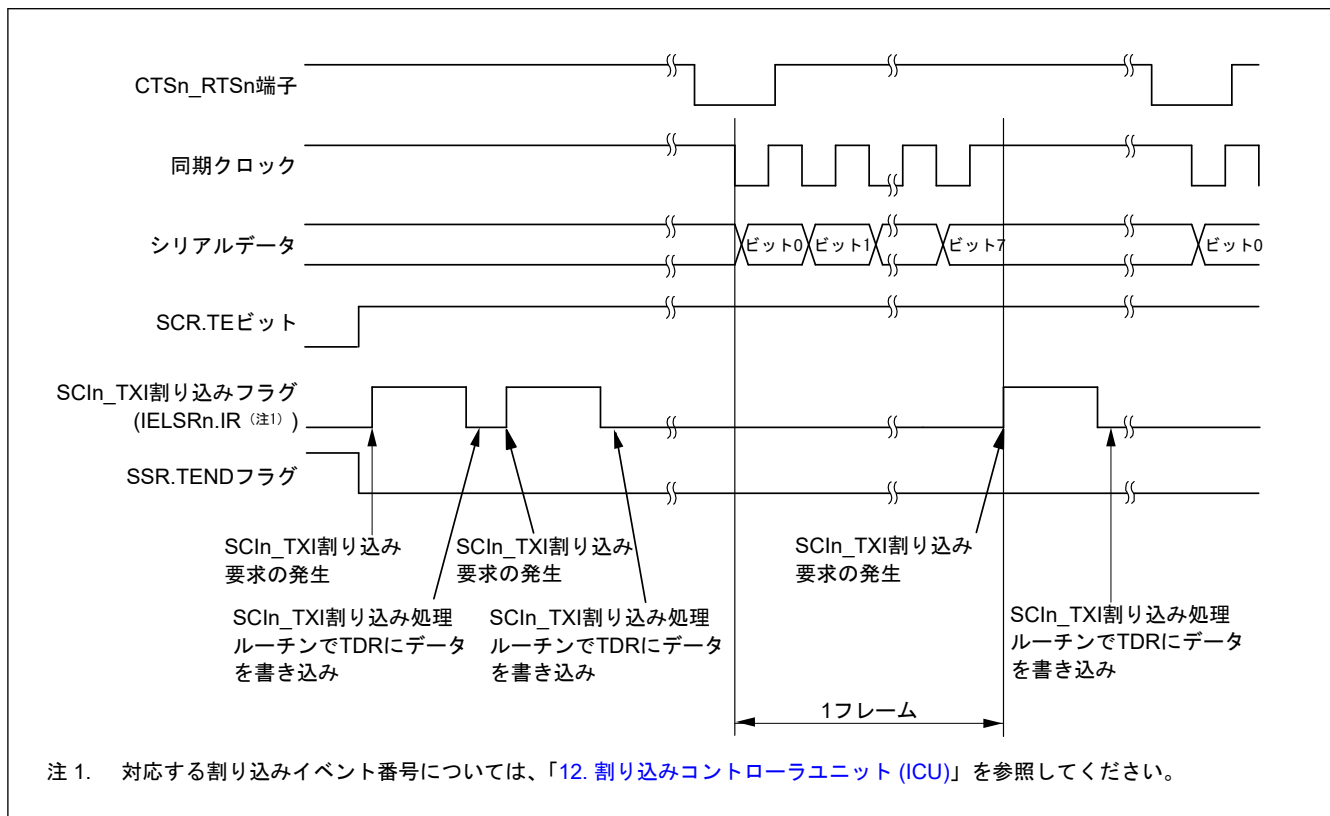


図 25.68 クロック同期式モードにおけるシリアル送信の動作例（送信開始時に CTS 機能を使用する場合）

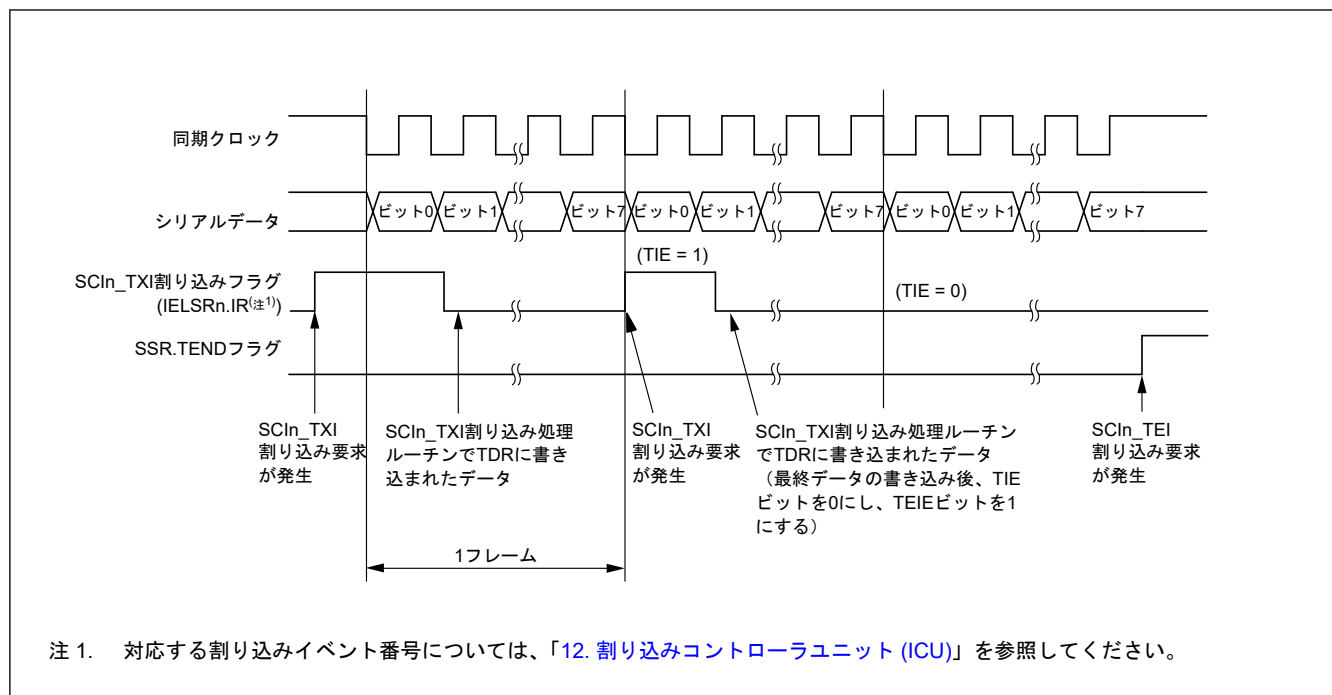


図 25.69 クロック同期式モードにおけるシリアル送信の動作例 (送信中～送信終了時)

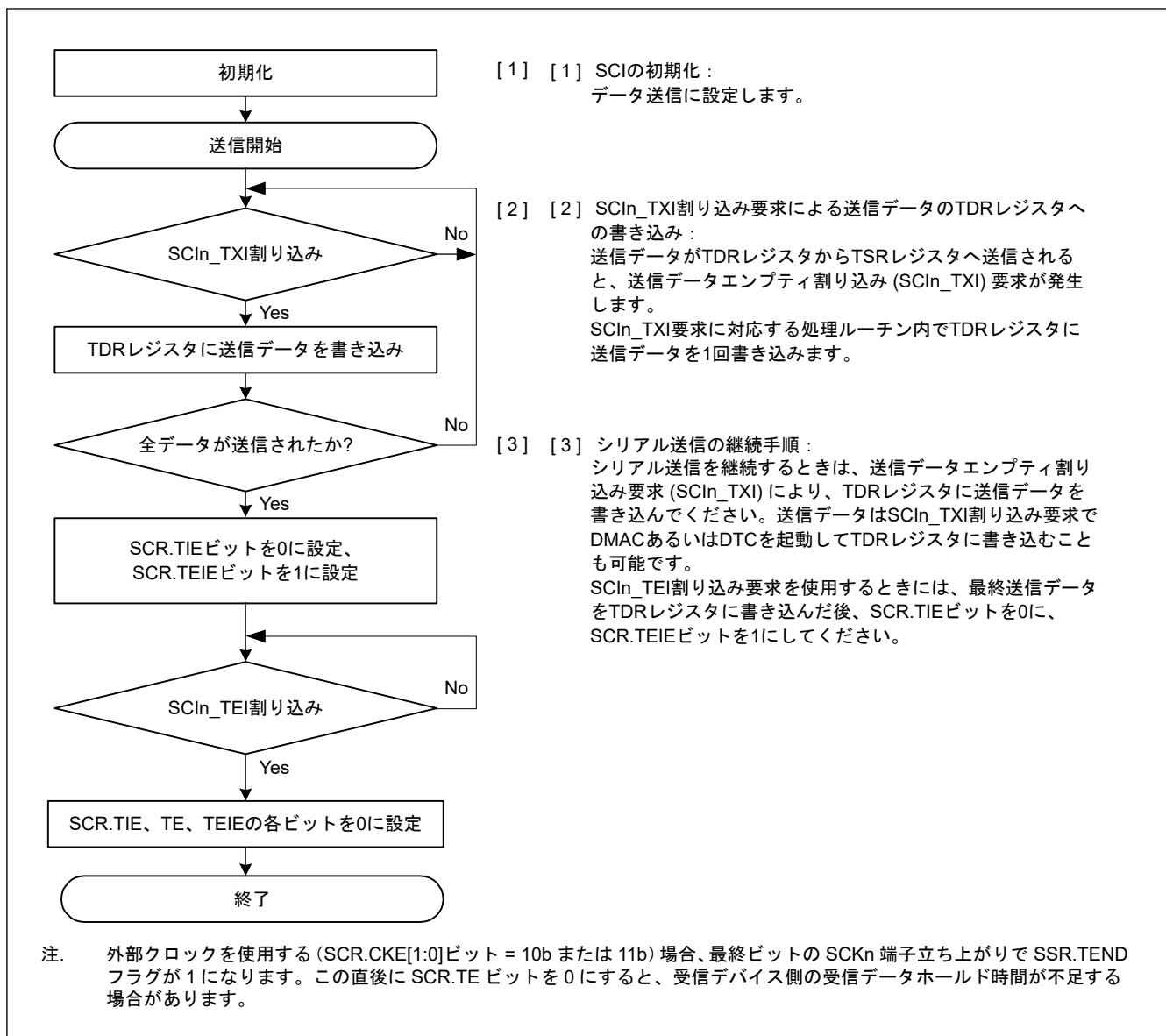


図 25.70 クロック同期式モードにおけるシリアル送信のフローチャート例 (非 FIFO 選択時)

(2) FIFO 選択時

図 25.71 に、クロック同期式モードにおける FIFO 選択時のシリアル送信のフローチャート例を示します。

シリアルデータの送信時、SCI は以下のように動作します。

1. SCIn_TXI 割り込み処理ルーチンで FTDRL レジスタ(注1)にデータが書き込まれると、SCI は FTDRL レジスタ(注1)から TSR レジスタへデータを転送します。FTDRL レジスタに書き込み可能なデータのバイト数は 16 - FDR.T[4:0]です。なお、送信開始時の SCIn_TXI 割り込み要求は、SCR.TIE ビットを1にした後に SCR.TE ビットを1にするか、これら2つのビットを1命令で同時に1にすることで発生します。
2. SCI は、FTDRL レジスタから TSR レジスタへデータを転送した後、送信を開始します。FTDRL レジスタに書き込まれた送信データ数が、指定された送信トリガ数以下のとき、SSR_FIFO.TDFE ビットが1になります。このとき、SCR.TIE ビットが1になっていると、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、FTDRL レジスタに次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合、SCIn_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを FTDRL レジスタに書き込んだ後、SCR.TIE ビットを0にして、SCR.TEIE ビットを1にします。
3. クロック出力モードを指定したときは出力クロックに同期して、外部クロックを指定したときは入力クロックに同期して、TXDn 端子から8ビットのデータが送信されます。クロック信号出力は、SPMR.CTSE ビットが1のとき、CTS 信号入力が Low になるまで待機します。

4. ストップビットの出力タイミングで、SCI は FTDRL レジスタに未送信データが残っていないかをチェックします。
5. FTDRL レジスタが更新されていれば、FTDRL レジスタから TSR レジスタに次の送信データを転送し、次のフレームのシリアル送信を開始します。
6. FTDRL レジスタが更新されていなければ、SSR_FIFO.TEND フラグを 1 にします。TXDn 端子は最終ビットの出力状態を保持します。このとき、SCR.TEIE ビットが 1 になっていると、SCIn_TEI 割り込み要求が発生し、SCKn 端子は High に固定されます。

注 1. クロック同期式モードでは、FTDRH レジスタを使用しません。

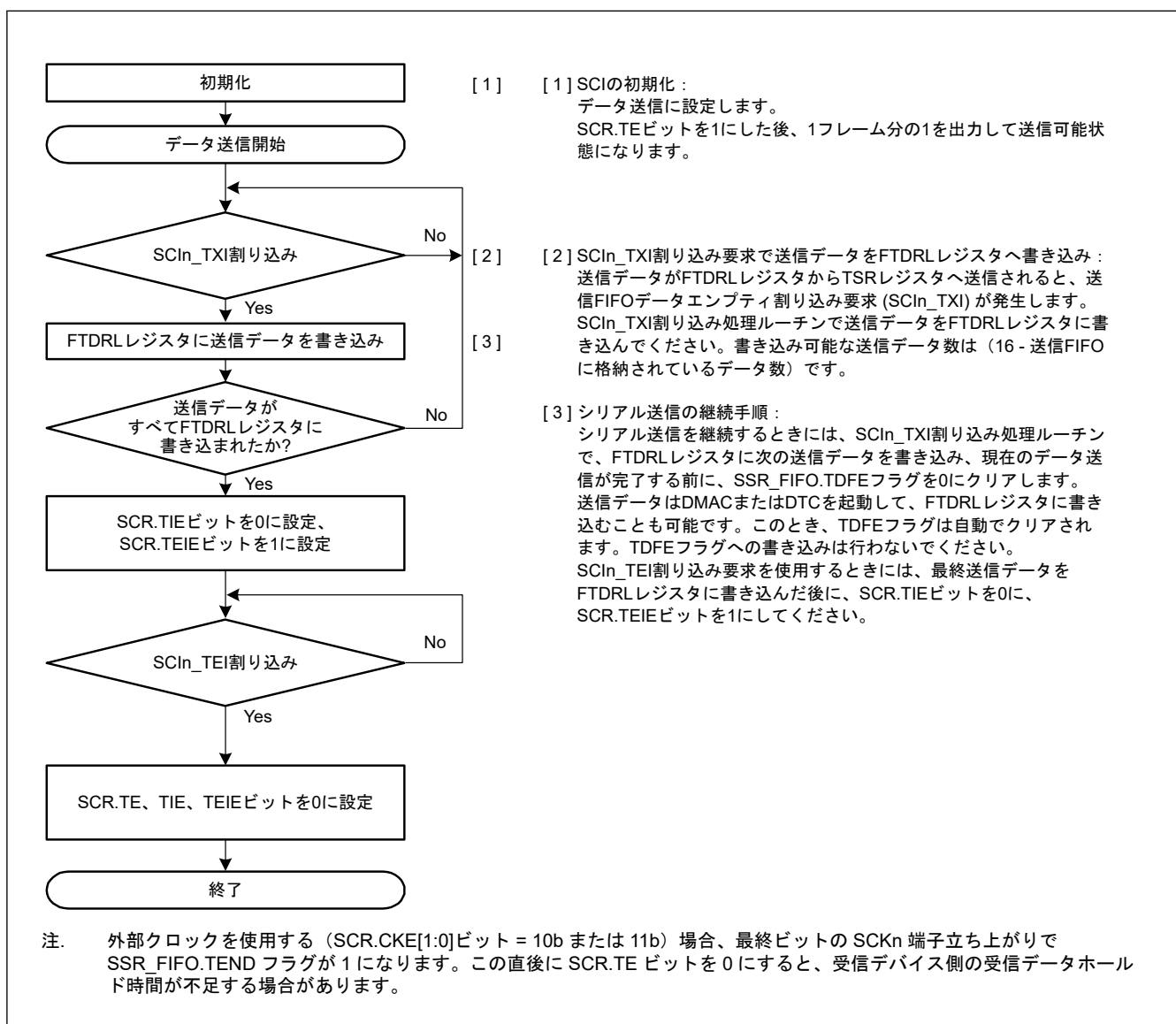


図 25.71 クロック同期式モードにおけるシリアル送信のフローチャート例 (FIFO 選択時)

25.6.5 シリアルデータの受信 (クロック同期式モード)

(1) 非 FIFO 選択時

図 25.72 と図 25.73 に、クロック同期式モードにおけるシリアル受信の SCI 動作例を示します。

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが 1 になると、CTS_nRTS_n 端子出力が Low になります。
2. SCI は内部を初期化し、同期クロックの入力または出力に同期して受信を開始して、受信データを RSR レジスタに取り込みます。

3. オーバーランエラーが発生した場合、SSR.ORER フラグが 1 になります。SCR.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。受信データは RDR レジスタへ転送されません。
4. 正常に受信したときは、受信データが RDR レジスタへ転送されます。SCR.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。この SCIn_RXI 割り込み処理ルーチンにおいて、次のデータ受信が終了する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。RDR レジスタへ転送された受信データを読み出されると、CTSn_RTSn 端子出力が Low になります。

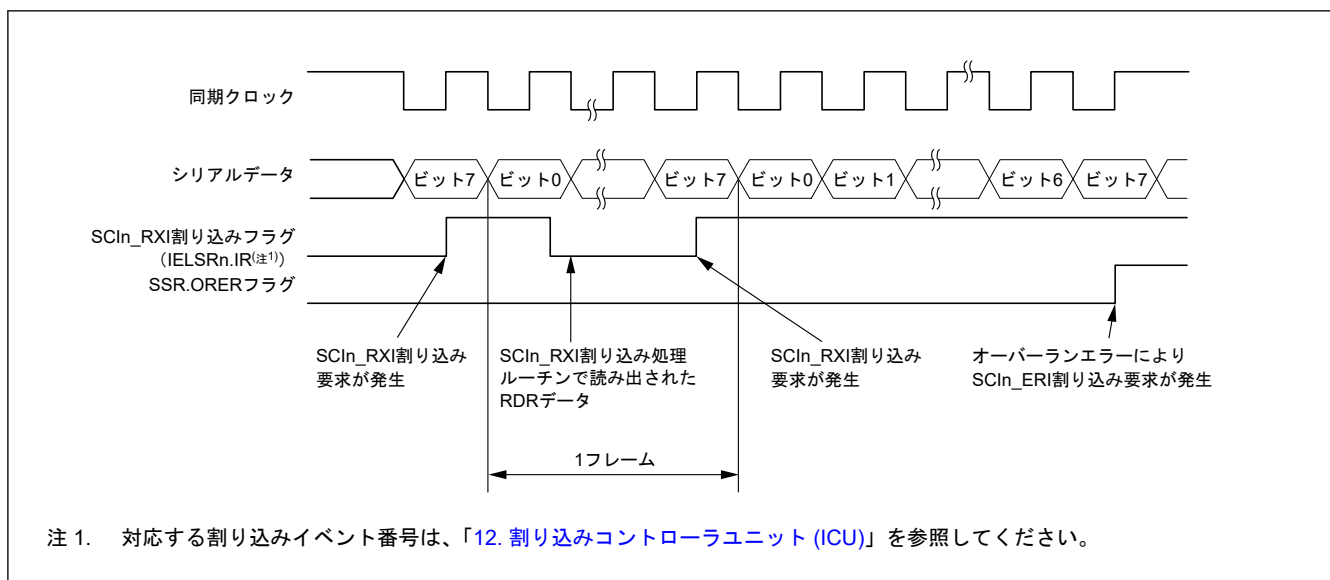


図 25.72 クロック同期式モードにおけるシリアル受信の動作例 (1) (RTS 機能を使用しない場合)

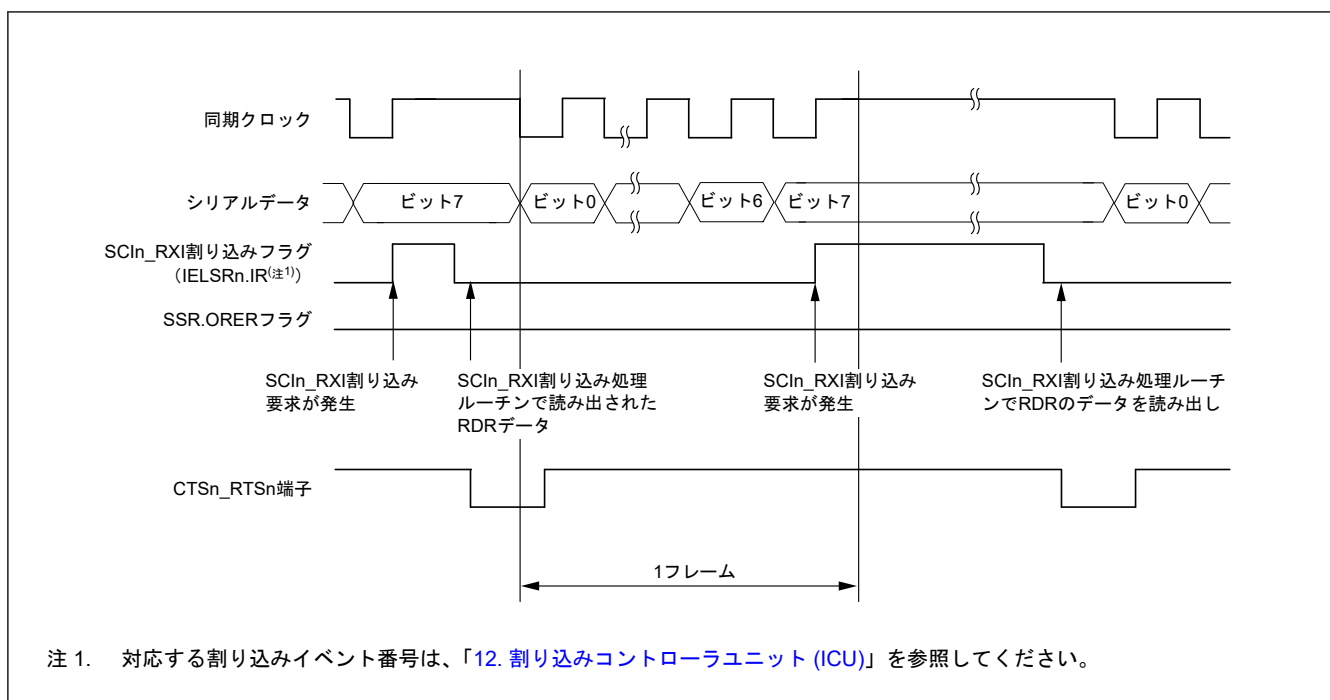


図 25.73 クロック同期式モードにおけるシリアル受信の動作例 (2) (RTS 機能を使用する場合)

受信エラーフラグが 1 の状態では、送受信動作を再開できません。したがって、SSR レジスタの ORER、FER、および PER フラグを 0 にしてから受信を再開してください。また、オーバーランエラー処理では、必ず RDR レジスタを読み出してください。受信動作中に SCR.RE ビットに 0 を書いてデータ受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

図 25.74 に、シリアル受信のフローチャート例を示します。

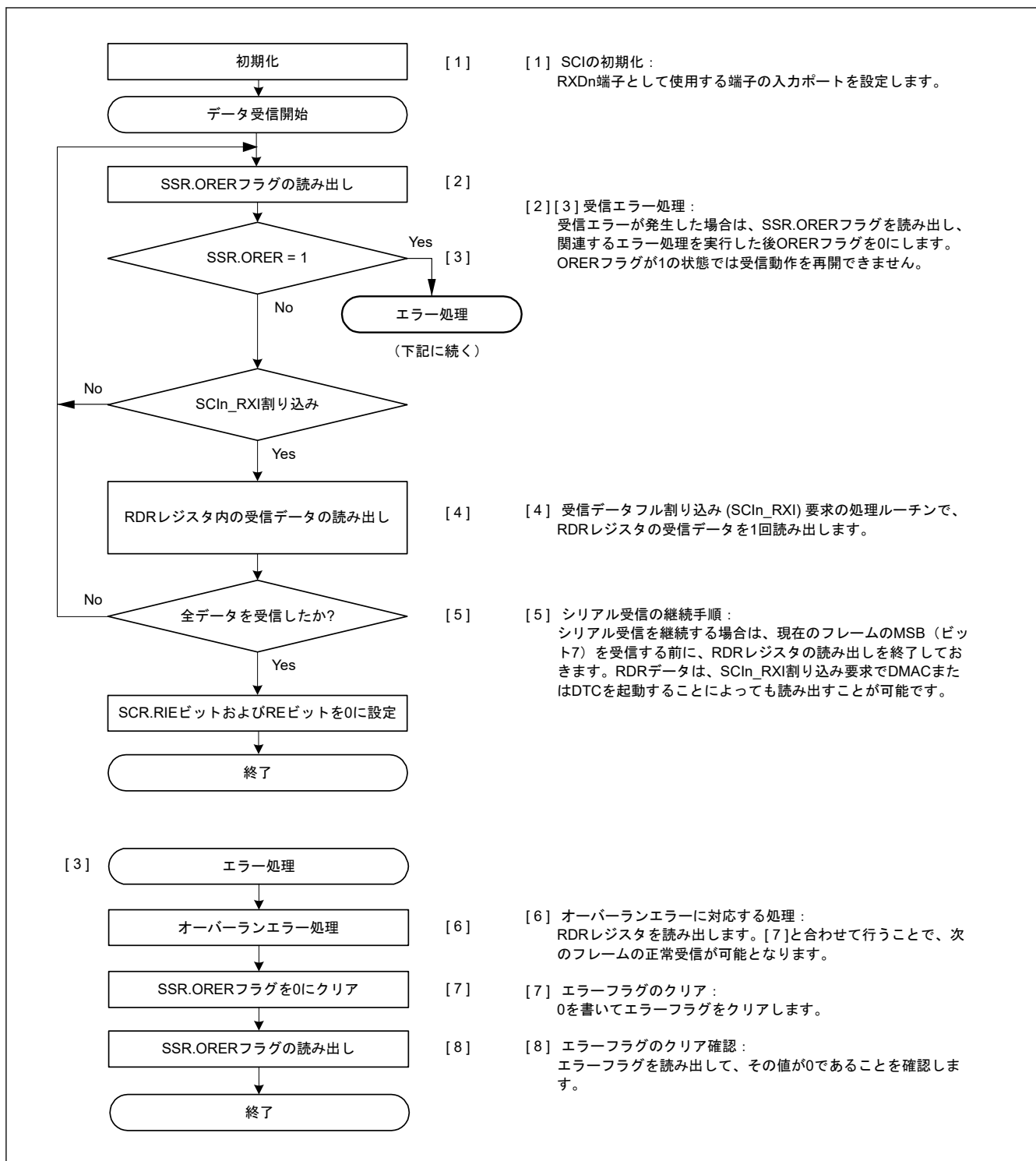


図 25.74 クロック同期式モードにおけるシリアル受信のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

図 25.75 に、クロック同期式モードにおける FIFO 選択時のシリアル受信のフローチャート例を示します。

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが 1 になると、CTS_n_RTS_n 端子出力が Low になります。
2. SCI は内部を初期化し、同期クロックの入力または出力に同期して受信を開始して、受信データを RSR レジスタに取り込みます。
3. オーバーランエラーが発生した場合、SSR_FIFO.ORER フラグが 1 になります。SCR.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。受信したデータは FRDRL^(注1)レジスタへ転送されません。

4. 正常にデータを受信したときは、受信データが FRDRL^(注1)レジスタへ転送されます。FRDRL に格納された受信データ数が、指定された受信トリガ数以上であると、RDF フラグが 1 になります。SCR.RIE ビットが 1 であれば、SCI_{in}_RXI 割り込み要求が発生します。この SCI_{in}_RXI 割り込み処理ルーチンにおいて、オーバーランエラーが発生する前に、FRDRL^(注2)レジスタへ転送された受信データを読み出すことで連続受信が可能になります。FRDRL レジスタへ転送された受信データ数が指定の受信トリガ数未満であると、CTS_n_RTS_n 端子出力が Low になります。

注 1. クロック同期式モードでは、FRDRH レジスタを使用しません。

注 2. RDF と ORER を受信データとともに読み出す場合は、FRDRH→FRDRL の順に読み出してください。

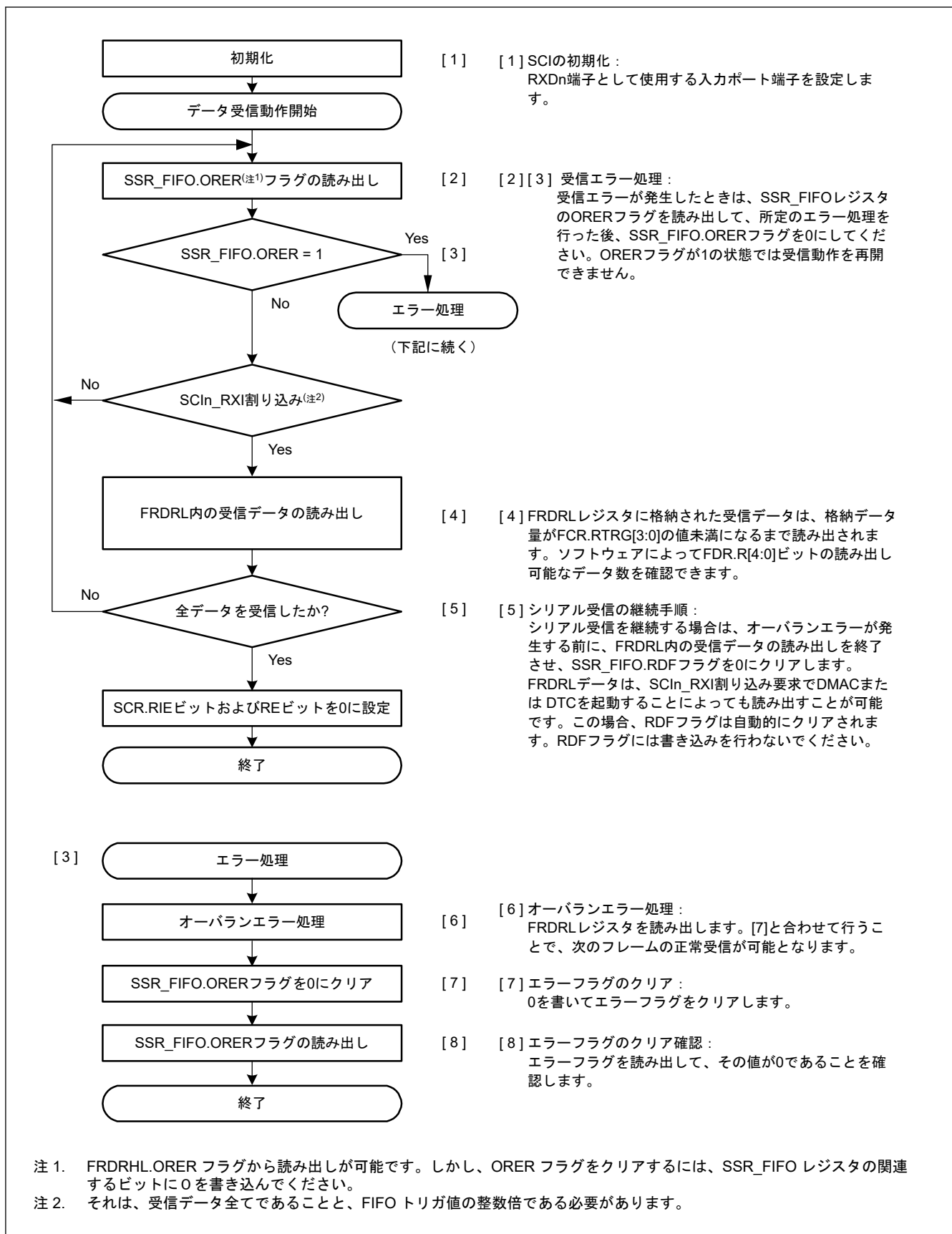


図 25.75 クロック同期式モードにおけるシリアル受信のフローチャート例 (FIFO 選択時)

25.6.6 シリアルデータの同時送受信（クロック同期式モード）

(1) 非 FIFO 選択時

図 25.76 に、クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例を示します。シリアル同時送受信動作は、SCI の初期化後、以下の手順に従ってください。

送信モードから同時送受信モードへ切り替えるとき、

1. SCI が送信完了状態であることを SSR.TEND フラグが 1 になっていることで確認してください。
2. SCR レジスタを初期化してから、SCR レジスタの TIE、RIE、TE、および RE の各ビットを 1 命令で同時に 1 にしてください。

受信モードから同時送受信モードへ切り替えるとき、

1. SCI がデータ受信完了状態であることを確認してください。
2. RIE ビットと RE ビットを 0 にした後、受信エラーフラグ (SSR.ORER) が 0 になっていることを確認します。
3. その後、SCR レジスタの TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。

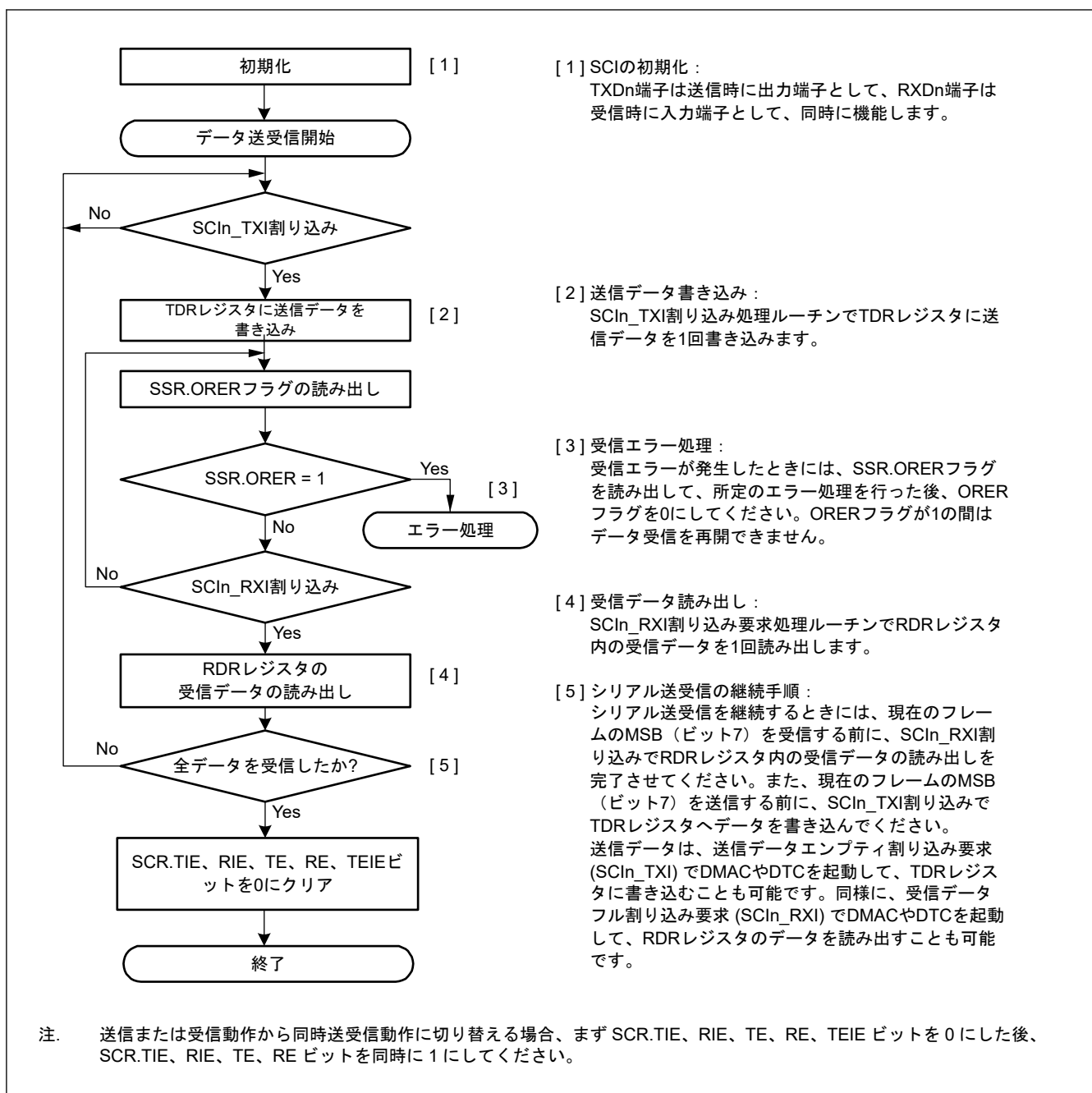


図 25.76 クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

図 25.77 に、クロック同期式モードにおける FIFO 選択時のシリアル同時送受信動作のフローチャート例を示します。

SCI の初期化後、シリアルデータ同時送受信動作は以下の手順に従ってください。

送信モードから同時送受信モードへ切り替えるとき、

1. SCI が送信完了状態であることを SSR_FIFO.TEND フラグが 1 になっていることで確認してください。
2. SCR レジスタを初期化してから、SCR レジスタの TIE、RIE、TE、および RE の各ビットを 1 命令で同時に 1 にしてください。

受信モードから同時送受信モードへ切り替えるとき、

1. SCI が受信完了状態であることを確認してください。
2. RIE ビットと RE ビットを 0 にしてください。

3. 受信エラーフラグ (SSR_FIFO.ORER) が 0 になっていることを確認した後、SCR レジスタの TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。

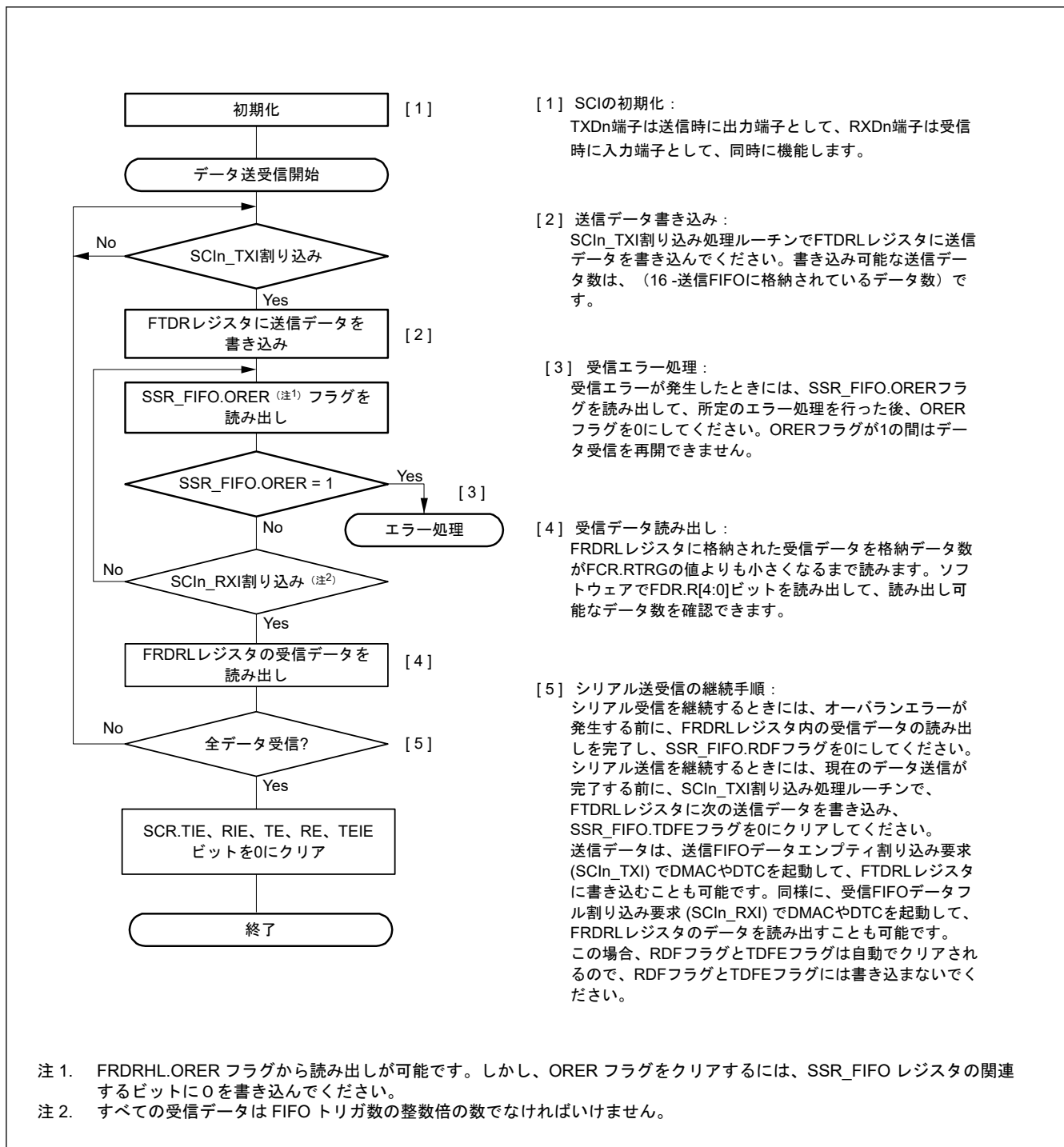


図 25.77 クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例 (FIFO 選択時)

25.7 スマートカードインタフェースモードの動作

SCI は拡張機能として、ISO/IEC 7816-3 (Identification Card 規格) に対応したスマートカード (IC カード) インタフェースをサポートしています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

25.7.1 接続例

図 25.78 に、スマートカード (IC カード) と本 MCU の接続例を示します。図 25.78 に示すように、MCU と IC カードは 1 本のデータ伝送線で通信を行うため、TXDn 端子と RXDn 端子を結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で SCR_SMCI.TE ビットと SCR_SMCI.RE ビットを 1 にすると、閉ループの送受信が実現され、自己診断が可能になります。SCI で生成するクロックパルスを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には、MCU の出力ポートを使用できます。

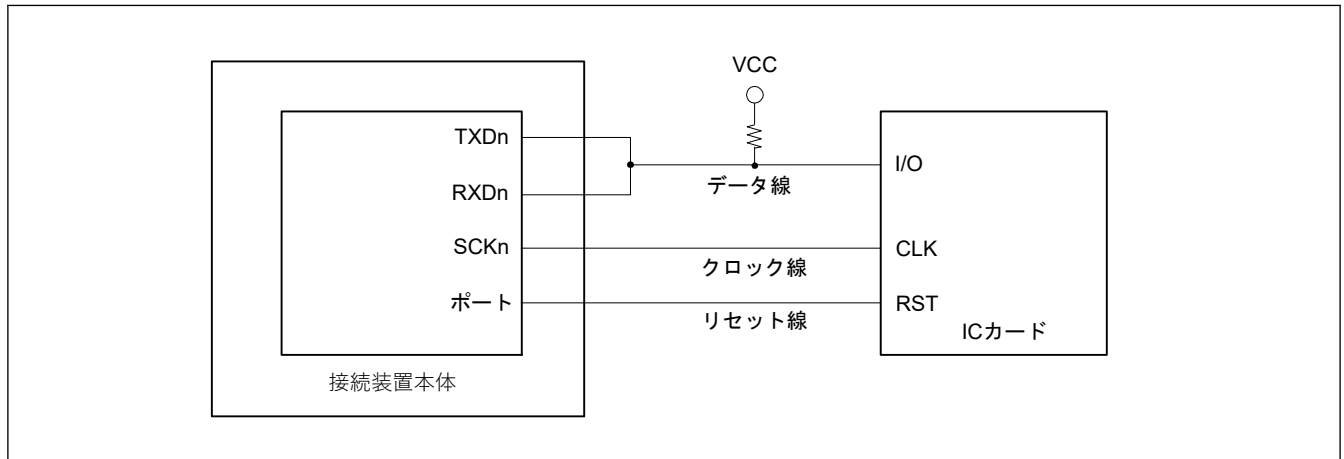


図 25.78 スマートカード (IC カード) との接続例

25.7.2 データフォーマット (ブロック転送モード時を除く)

図 25.79 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式モードでは、1 フレームは 8 ビットデータとパリティビットで構成
- 送信中は、パリティビットの終了から次のフレーム開始まで、2 etu (Elementary Time Unit = 1 ビット転送時間) 以上のガードタイムが必要
- 受信中にパリティエラーを検出した場合、スタートビットから 10.5 etu 経過後、エラー信号 (Low) を 1 etu 期間出力
- 送信時にエラー信号をサンプリングすると、2 etu 以上経過後、自動的に同じデータを再送信

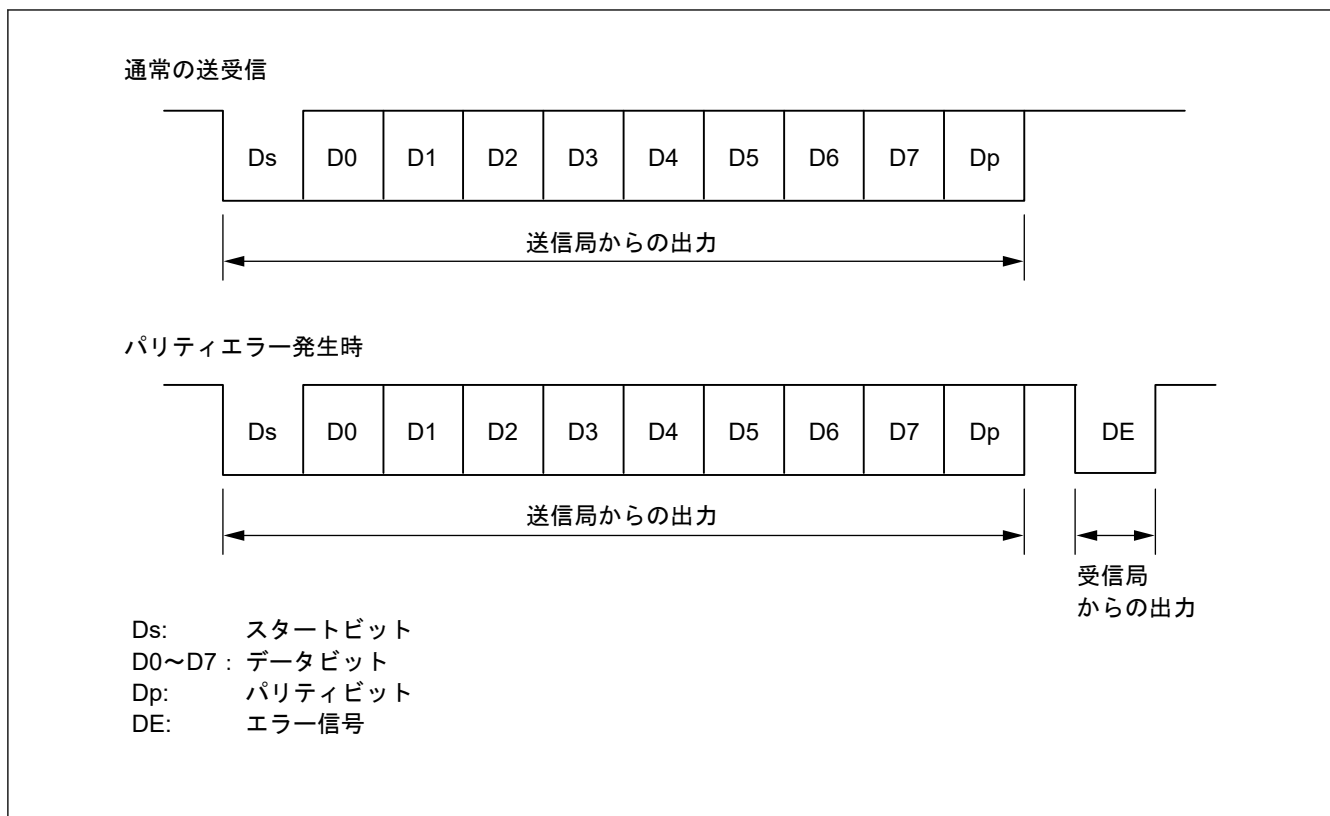


図 25.79 スマートカードインタフェースモードにおけるデータフォーマット

本節では、ダイレクトコンベンションタイプと、インバースコンベンションタイプの 2 種類の IC カードと送受信する場合について説明します。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプでは、図 25.80 に示すように、ロジックレベル 1 は状態 Z を、ロジックレベル 0 は状態 A をそれぞれ表し、開始キャラクタに対して LSB ファーストでデータが転送されます。したがって、この図の開始キャラクタでは、データは 0x3B となります。

ダイレクトコンベンションタイプを使用する場合、SCMR.SDIR ビットと SCMR.SINV ビットの両方を 0 にしてください。また、スマートカードの規格により、偶数パリティとなるように SMR_SMCI.PM ビットは 0 にしてください。

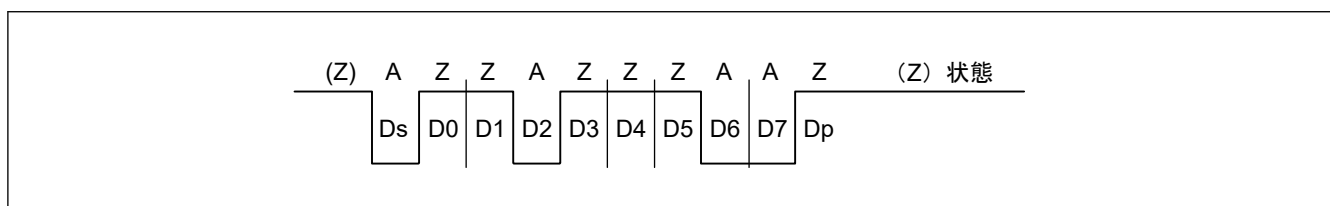


図 25.80 ダイレクトコンベンション (SCMR.SDIR ビット = 0、SCMR.SINV ビット = 0、SMR_SMCI.PM ビット = 0)

(2) インバースコンベンションタイプ

インバースコンベンションタイプでは、図 25.81 に示すように、ロジックレベル 1 は状態 A を、ロジックレベル 0 は状態 Z をそれぞれ表し、開始キャラクタに対して MSB ファーストでデータが転送されます。したがって、この図の開始キャラクタでは、データは 0x3F となります。

インバースコンベンションタイプを使用する場合、SCMR.SDIR ビットと SCMR.SINV ビットの両方を 1 にしてください。また、スマートカードの規格に従って偶数パリティとするために、パリティビットは状態 Z に対応するロジックレベル 0 になります。本 MCU では、SINV ビットはデータビット D7~D0 のみを反転させます。そのため、送信時と受信時の両方において、SMR_SMCI.PM ビットに 1 を書いてパリティビットを反転させてください。

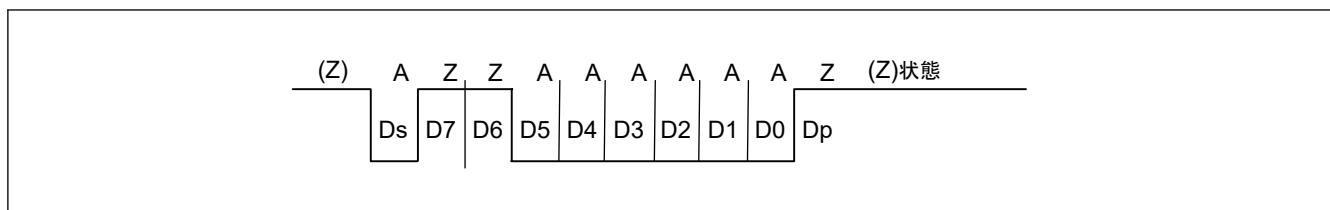


図 25.81 インバースコンペンション (SCMR.SDIR ビット = 1、SCMR.SINV ビット = 1、SMR_SMCI.PM ビット = 1)

25.7.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースモードと比較して以下の点が異なります。

- 受信中にパリティエラーが検出されても、エラー信号は出力されません。エラー検出時に SSR_SMCI.PER フラグがセットされるので、次のフレームのパリティビットを受信する前に PER フラグをクリアしてください。
- 送信中は、パリティビットの終了から次のフレーム開始までのガードタイムとして 1 etu 以上が必要です。
- 同じデータの再送信を行わないため、送信開始から 11.5 etu 経過後に、SSR_SMCI.TEND フラグがセットされます。
- ブロック転送モードでは、SSR_SMCI.ERS フラグは通常のスマートカードインタフェースモードと同じエラー信号状態を示します。ただし、エラー信号が転送されないため、このフラグの読み出し値は 0 となります。

25.7.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータが生成する内部クロックのみです。

スマートカードインタフェースモードでは、SCMR.BCP2 ビットと SMR_SMCI.BCP[1:0] ビットの設定により、ビットレートの 32 倍、64 倍、372 倍、256 倍、93 倍、128 倍、186 倍、または 512 倍の周波数の基本クロックで SCI は動作できます。通常の調歩同期式モードでは、周波数はビットレートの 16 倍に固定されています。

受信時は、スタートビットの立ち下がりをもとに基本クロックでサンプリングして内部を同期化します。

また、図 25.82 に示すように、受信データは基本クロックのそれぞれ 16 番目、32 番目、186 番目、128 番目、46 番目、64 番目、93 番目、256 番目の立ち上がりエッジでサンプリングされるため、各ビットの途中でデータが取り込まれます。受信マージンは次式で表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100 [\%]$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N = 32, 64, 372, 256)

D: クロックのデューティ (D = 0 ~ 1.0)

L: フレーム長 (L = 10)

F: クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次式のようにになります。

$$M = \{0.5 - 1/(2 \times 372)\} \times 100 [\%] = 49.866 \%$$

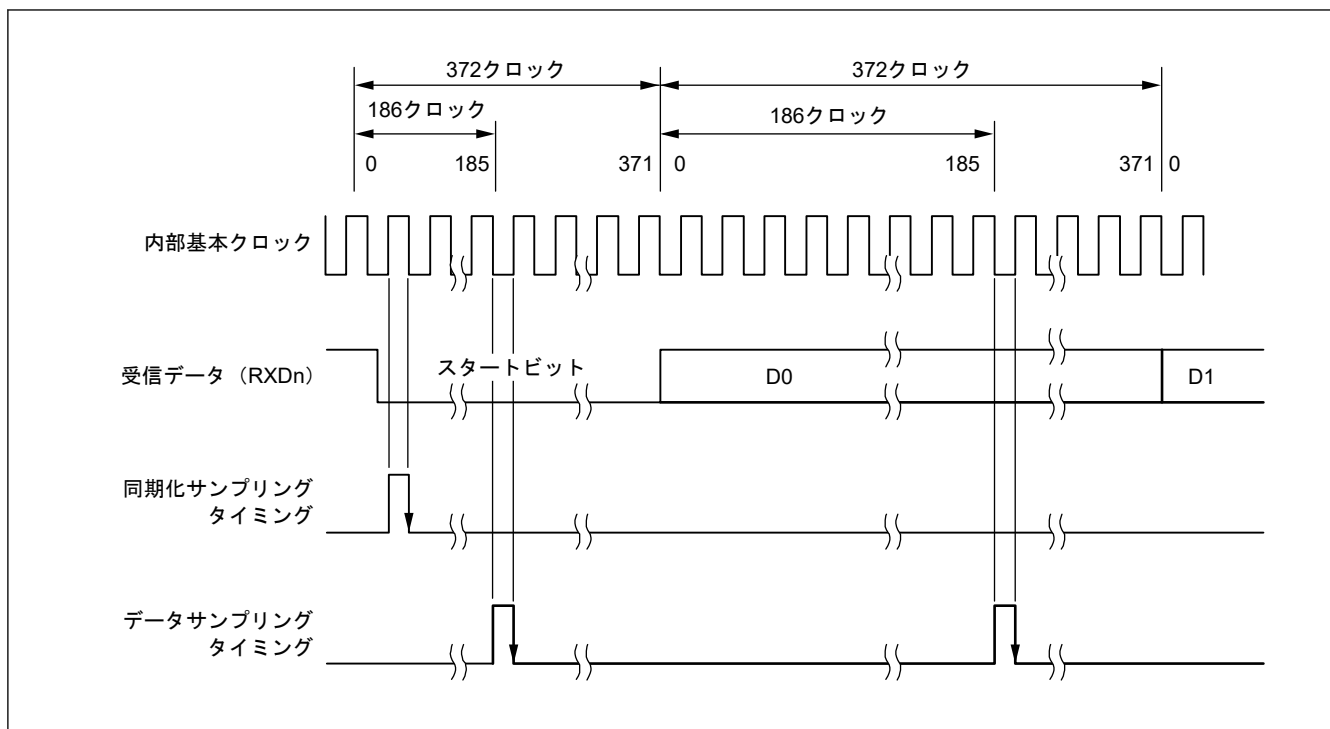


図 25.82 スマートカードインタフェースモードにおける受信データのサンプリングタイミング（ビットレートの372 倍のクロック周波数の場合）

25.7.5 SCI の初期化（スマートカードインタフェースモード）

データの送受信前に、SCR_SMCI レジスタに初期値 0x00 を書き込み、表 25.39 に示すフローチャートの例に従って、SCI を初期化してください。

送信モードから受信モードへ（またはその逆へ）切り替える場合、必ず事前に SCR_SMCI レジスタの TIE、RIE、TE、RE、および TEIE ビットに初期値を設定してください。なお、SCR_SMCI.RE ビットを 0 にしても RDR レジスタは初期化されません。

受信モードから送信モードへ切り替える場合、受信動作が完了していることを確認してから、SCI を初期化してください。初期化の最後では、SCR_SMCI.TE = 1、SCR_SMCI.RE = 0 にしてください。受信動作の完了は、SCI_{in}_RXI 割り込み要求、SSR_SMCI レジスタの ORER フラグまたは PER フラグで確認できます。

送信モードから受信モードへ切り替える場合、送信動作が完了していることを確認してから、SCI を初期化してください。初期化の最後では、SCR_SMCI.TE = 0、SCR_SMCI.RE = 1 にしてください。送信動作の完了は SSR_SMCI.TEND フラグで確認できます。

表 25.39 スマートカードインタフェースモードにおける SCI 初期化の手順例 (1/2)

番号	ステップ名	説明
1	初期化を開始	
2	SCR_SMCI の TIE、RIE、TE、RE、TEIE、および CKE[1:0] ビットを 0 に設定	通信を停止し、SKE[1:0] を初期化します。
3	SIMR1.IICM ビットに 0 を設定 SCMR.SMIF ビットに 1 を設定	スマートカードインタフェースモードにします。
4	SSR_SMCI の ORER、ERS、PER ビットに 0 を設定	SSR_SMCI レジスタを読み出した後に、SSR_SMCI レジスタに書き込みを行います。
5	SPMR.CKPH ビットと SPMR.CKPOL ビットを設定	SPMR レジスタに送信または受信フォーマットを設定します。
6	SMR_SMCI の GM、BLK、PM、BCP[1:0]、CKS[1:0] を設定し、SMR_SMCI.PE に 1 を設定	SMR_SMCI レジスタに動作モードおよび送信または受信フォーマットを設定します。

表 25.39 スマートカードインタフェースモードにおける SCI 初期化の手順例 (2/2)

番号	ステップ名	説明
7	SCMR.BCP2、SDIR、SINV ビットを設定	SCMR レジスタに送信または受信フォーマットを設定します。
8	SPTR を初期値に設定	SPTR を初期値に設定します。
9	SEMR.BRME ビットと SEMR.RXDESEL ビットを 0 に設定	SEMR.BRME ビットと SEMR.RXDESEL ビットを 0 に設定します。
10	BRR に値を設定	ビットレートに対応する値を BRR レジスタに書き込みます。
11	I/O ポート機能の設定	I/O ポート機能を TXDn、RXDn、および SCKn に設定します。
12	SCR_SMCI.CKE[1:0]に値を設定	SCR_SMCI.CKE[1:0]を設定します。SMR_SMCI.GM に依存する機能であっても、CKE[0]ビットを 1 にした場合は、SCKn 端子からクロックが出力されます。
13	SCR_SMCI.TE ビットまたは SCR_SMCI.RE ビットを 1 にし、SCR_SMCI.TIE ビットと SCR_SMCI.RIE ビットを設定	SCR_SMCI レジスタの TE ビットまたは RE ビットを 1 にし、次に TIE ビットおよび RIE ビットを設定します。自己診断以外は TE ビットと RE ビットを同時に 1 にしないでください。
14	初期化の完了	

25.7.6 シリアルデータの送信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル送信（ブロック転送モード時を除く）では、エラー信号のサンプリングと再送信処理があるため、非スマートカードインタフェースモードと動作が異なります。送信中の再転送動作を図 25.83 に示します。

- 1 フレーム分の送信を完了した後、受信側からのエラーシグナルがサンプリングされると、SSR_SMCI.ERS フラグが 1 になります。SCR_SMCI.RIE ビットが 1 であれば、SCI_{In}_ERI 割り込み要求が発生します。次のパリティビットがサンプリングされる前に、ERS フラグを 0 にクリアしてください。
- エラーシグナルを受信したフレームでは、SSR_SMCI.TEND フラグはセットされません。TDR レジスタから TSR レジスタへ再度データが転送され、自動的に再送信が行われます。
- 受信側からエラー信号が返ってこない場合、ERS フラグは 1 になりません。
- この場合、SCI は再転送を含む 1 フレーム分の送信が完了したと判断し、TEND フラグがセットされます。SCR_SMCI.TIE ビットが 1 であれば、SCI_{In}_TXI 割り込み要求が発生します。送信データを TDR レジスタに書き込むことにより次のデータが送信されます。

図 25.85 に、シリアル送信のフロー例を示します。これら一連の処理は、SCI_{In}_TXI 割り込み要求で DTC または DMAC を起動することによって、自動的に行うことができます。

送信時に SSR_SMCI.TEND フラグが 1 になっていると、SCR_SMCI.TIE ビットが 1 の場合、SCI_{In}_TXI 割り込み要求が発生します。

DTC または DMAC の起動要因として SCI_{In}_TXI 割り込み要求をあらかじめ設定しておけば、SCI_{In}_TXI 割り込み要求によって DTC または DMAC が起動され、送信データの転送が可能になります。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に 0 になります。

エラーが発生した場合は、SCI が自動的に同じデータを再送信します。再送信中、TEND フラグは 0 のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が、指定されたバイト数を自動的に送信します。ただし、ERS フラグは自動的にクリアされないため、RIE ビットを 1 にしておくことで、エラー発生時に SCI_{In}_ERI 割り込み要求が発生させて、ERS フラグをクリアしてください。

なお、DTC または DMAC を使用して送受信を行う場合は、必ず DTC または DMAC を有効にしてから SCI の設定を行ってください。

DTC または DMAC の設定方法については、「16. データトランスファコントローラ (DTC)」、「15. DMA コントローラ (DMAC)」を参照してください。

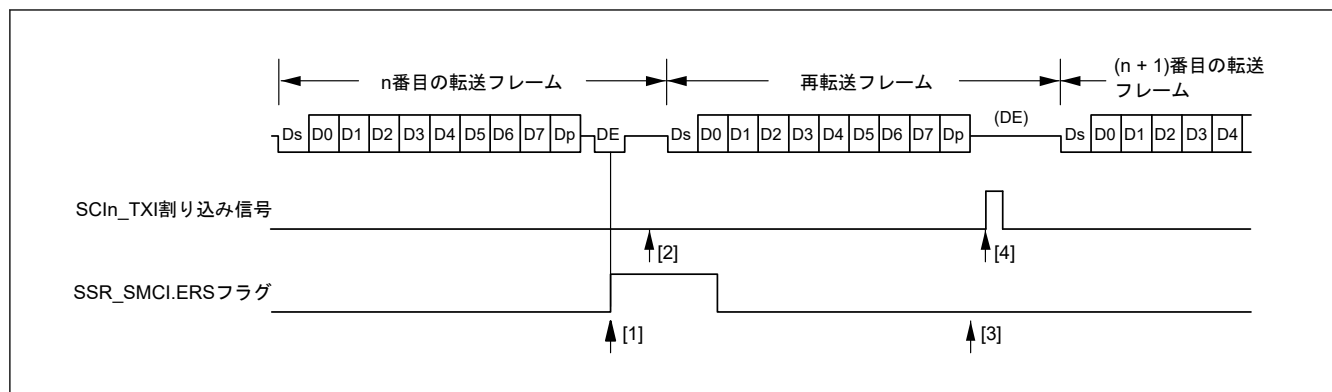


図 25.83 スマートカードインタフェース送信モードでのデータ再送信動作

SMR_SMCI.GM ビットの設定によって、SSR_SMCI.TEND フラグが 1 になるタイミングが異なります。図 25.84 に、TEND フラグの発生タイミングを示します。

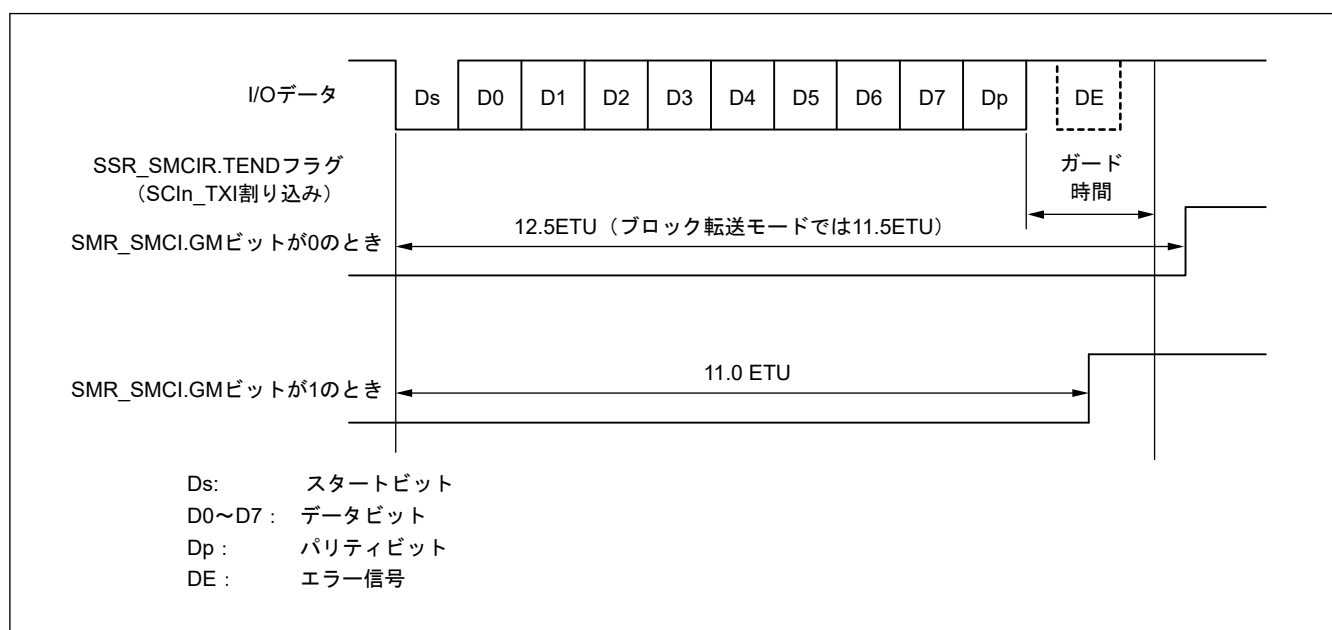


図 25.84 送信中の SSR.TEND フラグの発生タイミング

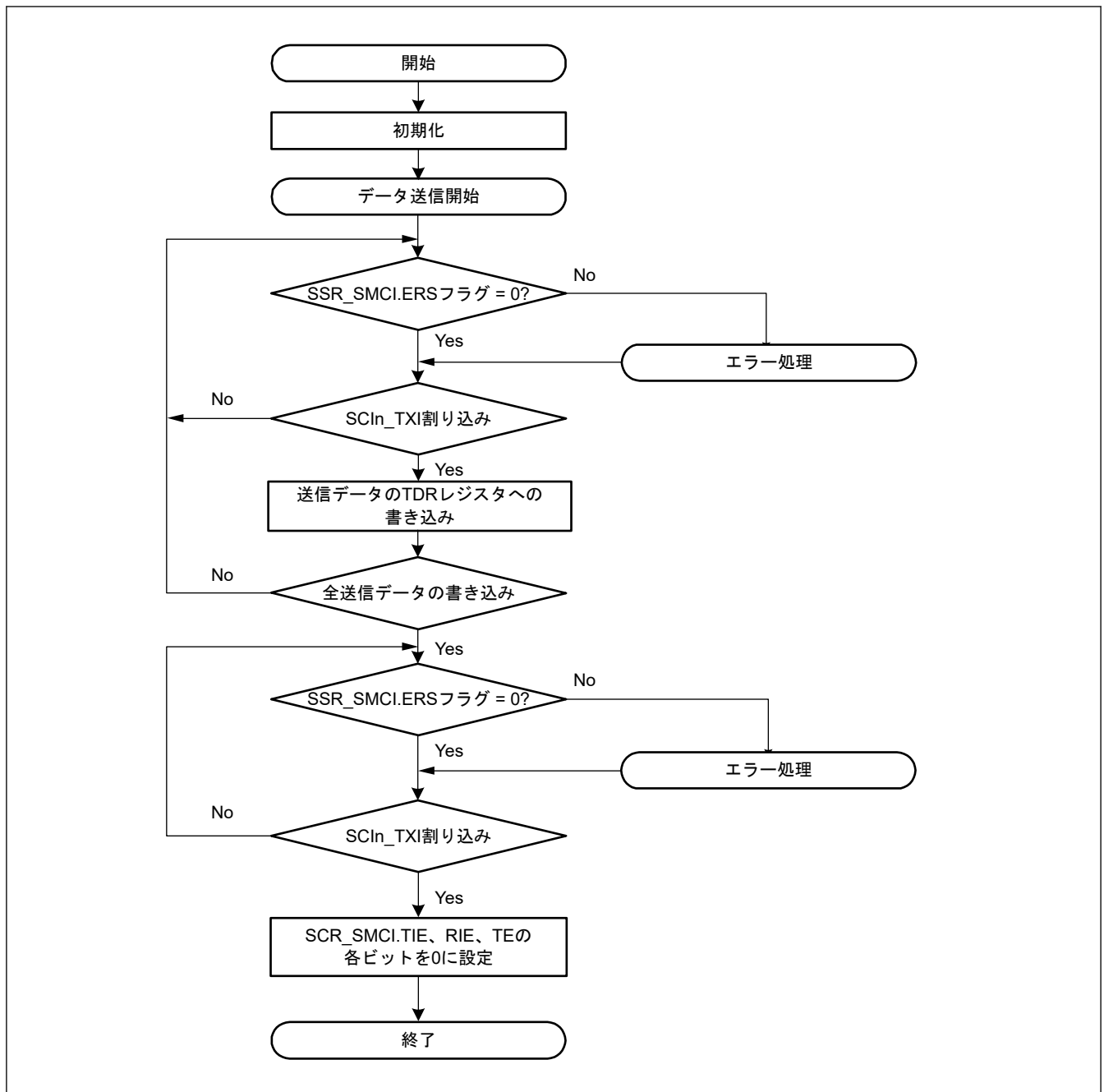


図 25.85 スマートカードインタフェース送信のフローチャート例

25.7.7 シリアルデータの受信（ブロック転送モード時を除く）

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードでの再転送動作を [図 25.86](#) に示します。

1. 受信データにパリティエラーが検出されると、SSR_SMCI.PER フラグが 1 になります。SCR_SMCI.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。次のパリティビットがサンプリングされる前に、PER フラグを 0 にクリアしてください。
2. パリティエラーが検出されたフレームに対しては、SCIn_RXI 割り込みは発生しません。
3. パリティエラーが検出されない場合、SCR_SMCI.PER フラグは 1 になりません。
4. この場合、正常に受信が完了したと判断されます。SCR_SMCI.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。

図 25.87 に、シリアル受信のフローチャート例を示します。これら一連の処理は、SCIn_RXI 割り込み要求で DTC または DMAC を起動することによって、自動的に行うことができます。

受信動作では、RIE ビットを 1 にしておくと、SCIn_RXI 割り込み要求が発生します。DTC または DMAC の起動要因として SCIn_RXI 割り込み要求をあらかじめ設定しておけば、SCIn_RXI 割り込み要求によって DTC または DMAC が起動され、受信データの転送が可能になります。

また、受信時にエラーが発生して SSR_SMC レジスタの ORER フラグまたは PER フラグのいずれかが 1 になると、受信エラー割り込み (SCIn_ERI) 要求が発生します。エラー発生後に、エラーフラグをクリアしてください。エラーが発生した場合、DTC も DMAC も起動されず、受信データはスキップされます。そのため、DTC または DMAC に指定されたバイト数だけ受信データが転送されます。

なお、受信中にパリティエラーが発生して PER フラグが 1 になった場合でも、受信したデータは RDR レジスタへ転送されるので、このデータを読み出すことは可能です。

また、受信動作中に SCR_SMCI.RE ビットを 0 にして受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

注. ブロック転送モードの場合は、「25.3.9. シリアルデータの受信 (調歩同期式モード)」を参照してください。

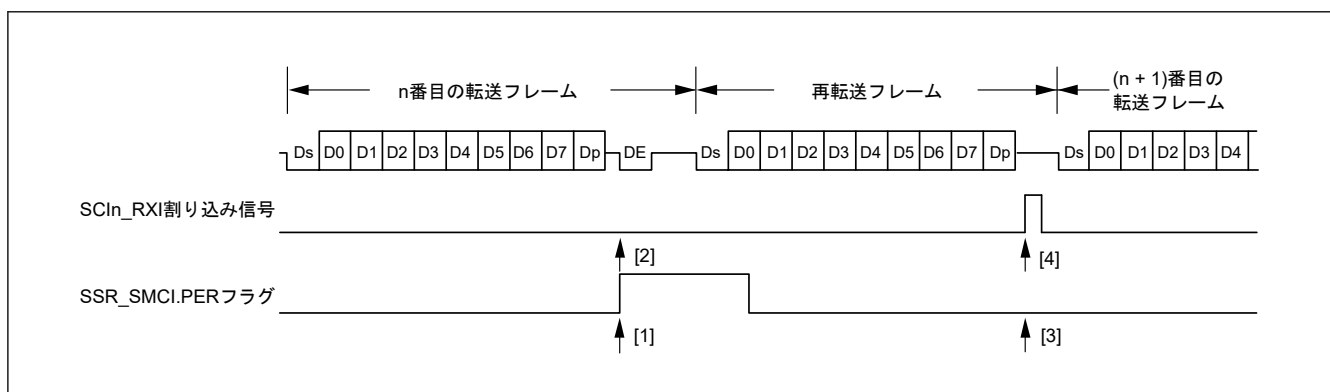


図 25.86 スマートカードインタフェース受信モードでの再転送動作

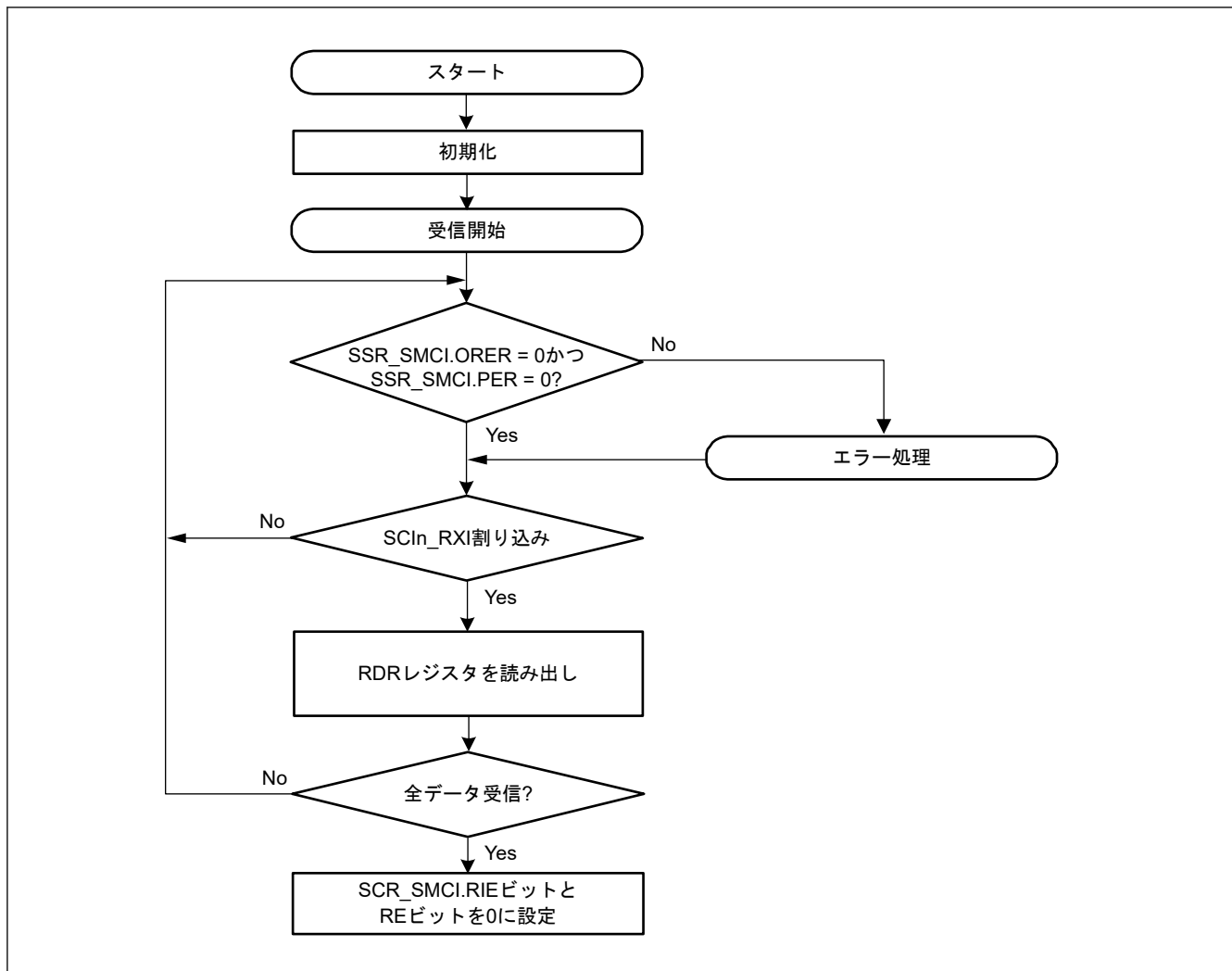


図 25.87 スマートカードインタフェース受信のフローチャート例

25.7.8 クロック出力制御

SMR_SMC1.GM ビットを 1 にすると、SCR_SMC1.CKE[1:0] ビットでクロック出力の制御が可能です。CKE[1:0] ビットの詳細については、「[25.2.14. SCR_SMC1: スマートカードインタフェースモード用シリアルコントロールレジスタ \(SCMR.SMIF = 1\)](#)」を参照してください。クロック出力を設定すると、「[25.7.4. 受信データサンプリングタイミングと受信マージン](#)」で説明されている基本クロックになります。

図 25.88 に、SCR_SMC1 レジスタの CKE[1] ビットを 0 にして SCR_SMC1 レジスタの CKE[0] ビットを制御する場合のクロック出力制御のタイミング例を示します。

SMR_SMC1 レジスタの GM ビットが 0 の場合、SCR_SMC1 レジスタの CKE[0] ビットで制御される出力は、SCK_n 端子にただちに反映されます。したがって、意図しない幅のパルスが SCK_n 端子から出力される可能性があります。

SMR_SMC1.GM ビットを 1 にすると、SCR_SMC1 レジスタの CKE[0] ビットが変更されても基本クロックと同じパルス幅のクロックが出力されます。

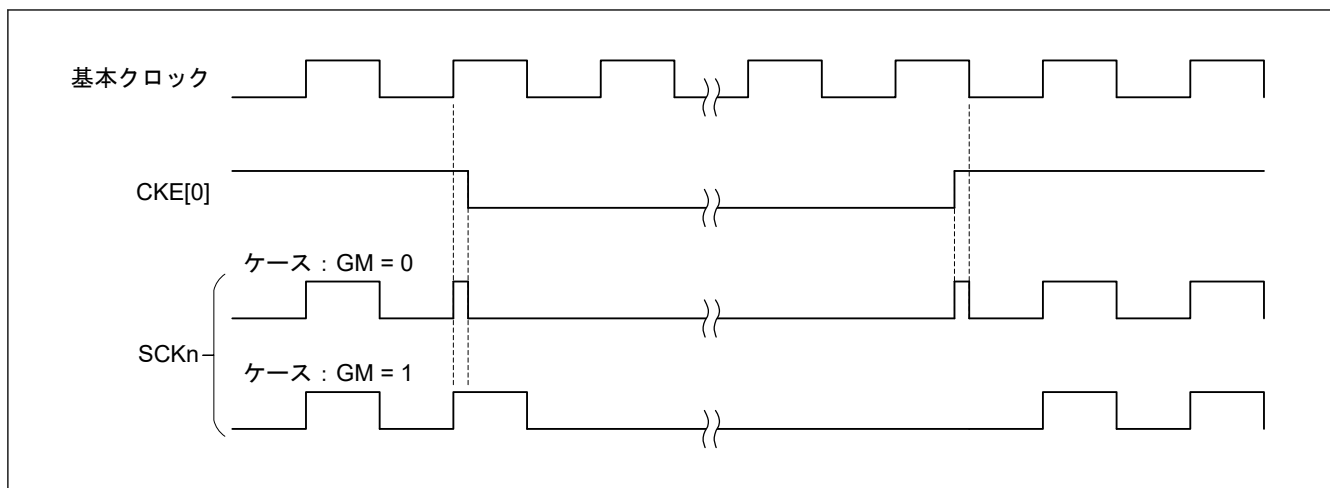
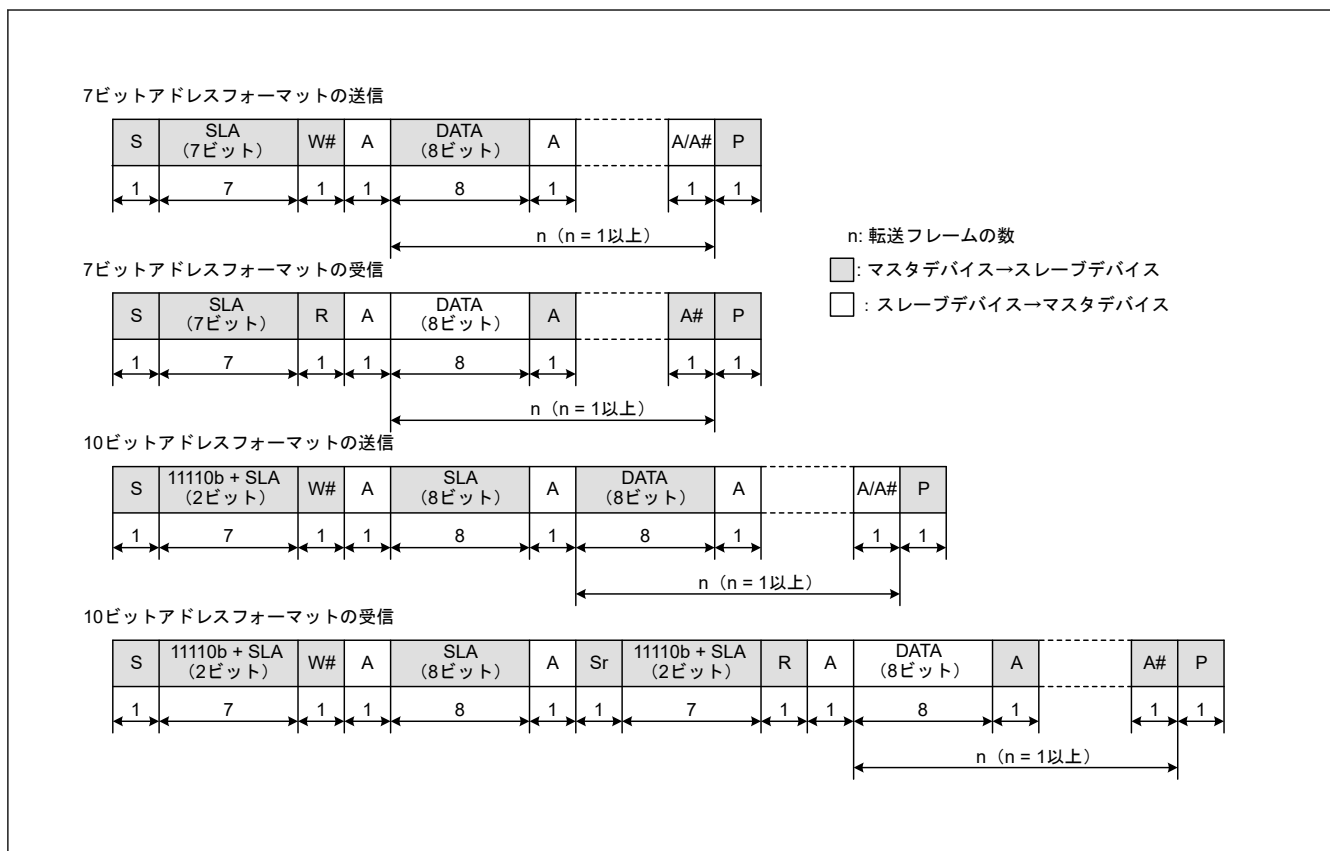


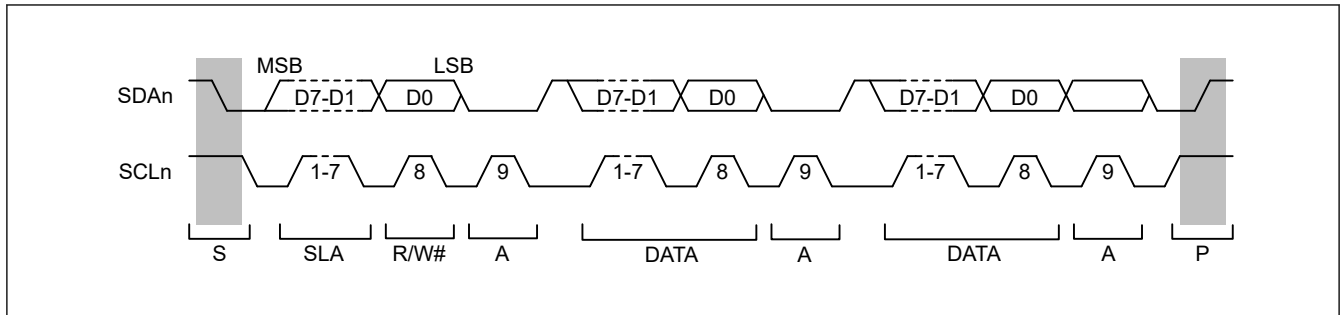
図 25.88 クロック出力タイミング

25.8 簡易 IIC モードの動作

簡易 IIC モードフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開始条件に続くフレームはスレーブアドレスのフレームであり、マスタデバイスは、通信先であるスレーブデバイスを指定するために使用します。指定されたスレーブデバイスは、新たにスレーブデバイスが指定されるか、または停止条件が満たされるまで有効です。各フレーム内の 8 ビットのデータは、MSB から順に送信されます。

図 25.89 に、I²C バスフォーマットを、図 25.90 に、I²C バスタイミングを示します。

図 25.89 I²C バスフォーマット

図 25.90 I²C バスタイミング (SLA = 7 ビットの場合)

- S : 開始条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、SDAn ラインのレベルを High から Low へ変化させます。
- SLA : スレーブアドレスを示します。これによってマスタデバイスがスレーブデバイスを選択します。
- R/W# : 転送方向 (送信/受信) を示します。値 1 のときはスレーブデバイスからマスタデバイスへ、値 0 のときはマスタデバイスからスレーブデバイスへデータを送信します。
- A/A# : アクノリッジを示します。マスタ送信モードでは、スレーブデバイスがアクノリッジを返します。マスタ受信モードでは、マスタデバイスがアクノリッジを返します。Low を返すことで ACK を、High を返すことで NACK を示します。
- Sr : 再開始条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、セットアップ時間経過後に SDAn ラインのレベルを High から Low へ変化させます。
- DATA : 送受信データを示します。
- P : 停止条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、SDAn ラインのレベルを Low から High へ変化させます。

25.8.1 開始条件、再開始条件、停止条件の生成

SIMR3.IICSTAREQ ビットに 1 を書き込むことにより、開始条件の生成を行います。開始条件の生成では、以下の動作が行われます。

- SDAn ラインを立ち下げ (High から Low へ変化)、SCLn ラインは解放状態を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、開始条件のホールド時間に設定
- SCLn ラインを立ち下げ (High から Low へ変化)、SIMR3.IICSTAREQ ビットを 0 にして、開始条件生成割り込み要求を出力

SIMR3.IICRSTAREQ ビットに 1 を書き込むことにより、再開始条件の生成を行います。再開始条件の生成では、以下の動作が行われます。

- SDAn ラインを解放、SCLn ラインは Low を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、SCLn ラインの Low 期間に設定
- SCLn ラインを解放 (Low から High へ変化)
- SCLn ラインの High を検出後、BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、再開始条件のセットアップ時間に設定
- SDAn ラインを立ち下げ (High から Low へ変化)
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、再開始条件のホールド時間に設定
- SCLn ラインを立ち下げ (High から Low へ変化)、SIMR3.IICRSTAREQ ビットを 0 にして、再開始条件生成割り込み要求を出力

SIMR3.IICSTPREQ ビットに 1 を書き込むことにより、停止条件の生成を行います。停止条件の生成では、以下の動作が行われます。

- SDAn ラインを立ち下げ (High から Low へ変化)、SCLn ラインは Low を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、SCLn ラインの Low 期間に設定

- SCLn ラインを解放 (Low から High へ変化)
- SCLn ラインの High を検出後、BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、停止条件のセットアップ時間に設定
- SDA_n ラインを解放 (Low から High へ変化)、SIMR3.IICSTPREQ ビットを 0 にして、停止条件生成割り込み要求を出力

図 25.91 に開始条件、再開始条件、停止条件生成の動作タイミングを示します。

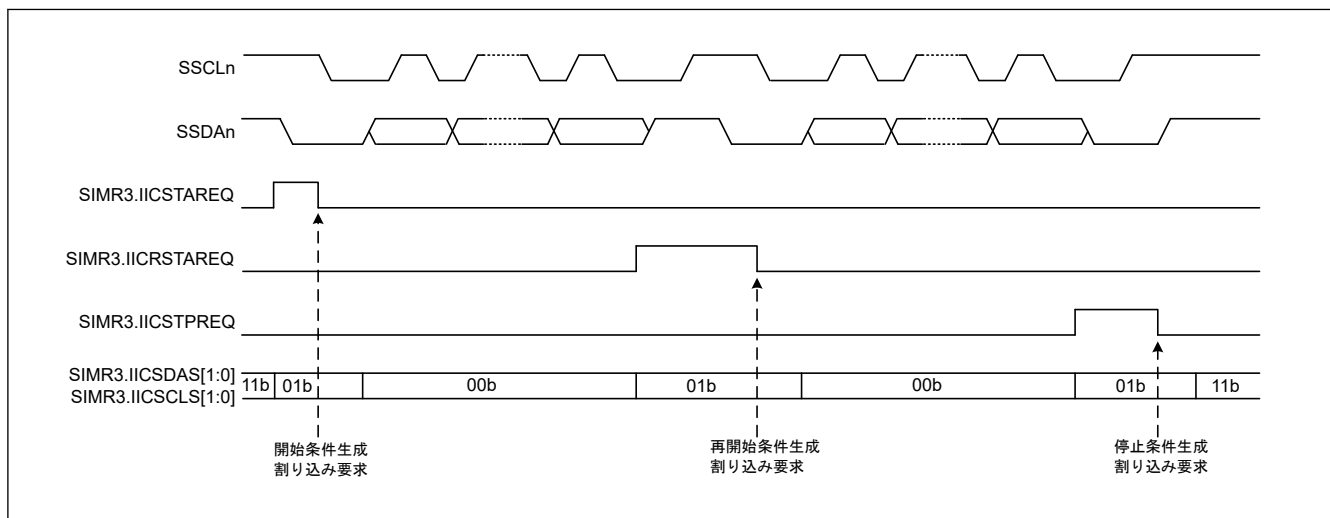


図 25.91 開始条件、再開条件、停止条件生成の動作タイミング

25.8.2 クロック同期化

転送先のスレーブデバイスがウェイトを挿入するときに、SCLn ラインを Low にする場合があります。SIMR2.IICCSC ビットを 1 にすると、内部 SCLn クロック信号が SCLn 端子入力のレベルと異なる場合に、同期を取るための制御を行います。

SIMR2.IICCSC ビットを 1 にすると、内部 SCLn クロック信号が Low から High へ変化します。SCLn 端子入力が Low の間は High 期間のカウントを停止します。SCLn 端子入力が High へ変化すると、High 期間のカウントを開始します。

このとき、SCLn 端子が High へ変化して High 期間のカウントを開始するまでの間隔は、SCLn 端子出力遅延、SCLn 端子入力のノイズフィルタ遅延 (ノイズフィルタのサンプリングクロックで 2~3 サイクル)、内部処理遅延 (PCLK で 1~2 サイクル) の合計になります。この間、他のデバイスが SCLn ラインを Low にしていなくても、内部 SCLn クロックの High 期間が延長されます。

SIMR2.IICCSC ビットが 1 の場合、データの送受信は、SCLn 端子入力と内部 SCLn クロックの論理積に同期して行われます。SIMR2.IICCSC ビットが 0 の場合は、データの送受信は、内部 SCLn クロックに同期して行われます。

開始条件、再開条件、または停止条件の生成要求発行後、内部 SCLn クロック信号が Low から High へ変化するまでの間にスレーブデバイスからウェイトが挿入された場合、その期間分、生成までの時間が延長されます。

内部 SCLn クロック信号が Low から High へ変化した後、スレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。

図 25.92 に、クロック同期化の動作例を示します。

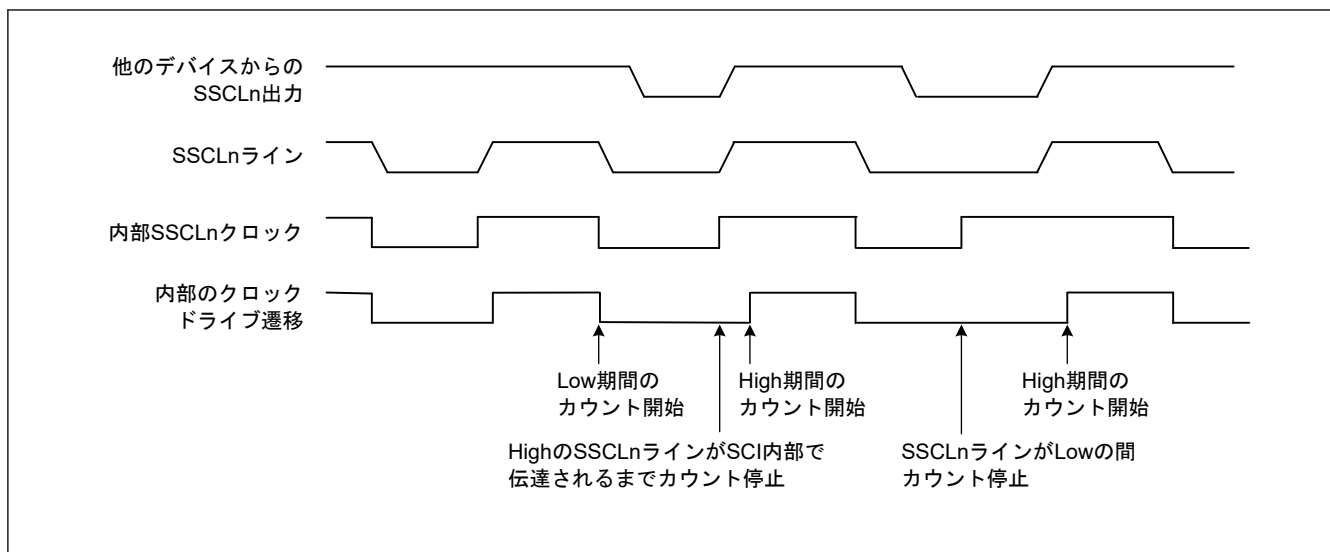


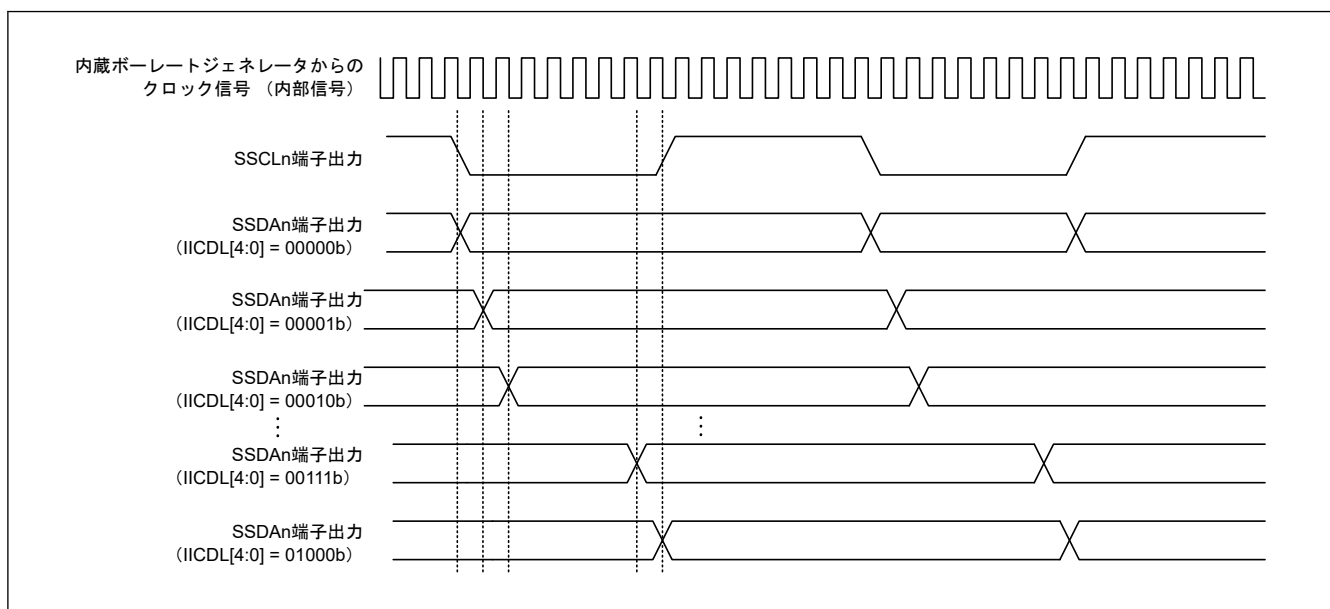
図 25.92 クロック同期化の動作例

25.8.3 SDA_n 出力遅延

SIMR1.IICDL[4:0]ビットを用いて、SCL_n 端子出力の立ち下がりエッジに対し、SDA_n 端子出力を遅延させることが可能です。遅延時間は0~31 サイクルから選択できます。これは、対応する内蔵ボーレートジェネレータからのクロック信号のサイクル数を表します (SMR.CKS[1:0]ビットで選択した分周ベースクロック (PCLK) を基準とします)。SDA_n 端子出力の遅延は、開始条件／再開始条件／停止条件の各信号、8 ビットの送信データ、およびアクノリッジビットに適用されます。

SDA_n 端子出力遅延が SCL_n 端子出力の立ち下がり時間より短い場合、SCL_n 端子出力の立ち下がり中に SDA_n 端子出力が変化を開始して、スレーブデバイスが誤動作する可能性があります。SDA_n 端子出力遅延は、SCL_n 端子出力の立ち下がり時間 (IIC の標準モードとファストモードでは 300 ns) より大きくなるように設定してください。

図 25.93 に SDA_n 出力遅延のタイミングを示します。

図 25.93 SDA_n 出力遅延のタイミング

25.8.4 SCI の初期化 (簡易 IIC モード)

データの送受信前に、SCR レジスタに初期値 0x00 を書き込み、表 25.40 のフローチャート例に従って、インタフェースを初期化してください。

動作モードまたは転送フォーマットを変更する前に、必ず SCR レジスタを初期値にしてください。また、簡易 IIC モード時の通信ポートのオープンドレイン設定は、ポート側で行ってください。

表 25.40 簡易 IIC モードにおける SCI 初期化の手順例

No.	ステップ名	説明
1	初期化開始	
2	SCR レジスタの TIE、RIE、TE、RE、TEIE、および CKE[1:0] ビットを 0 に設定	
3	I/O ポート機能を設定	SSCLn 端子および SSDAn 端子機能が (N チャネルオープンドレイン出力端子で) 使用可能となるように I/O ポートを設定します。
4	SIMR3 レジスタの IICSDAS[1:0] ビットと IICSCLS[1:0] ビットを 11b に設定	SSCLn 端子および SSDAn 端子を、開始条件生成を行うときまでハイインピーダンス状態にします。
5	SMR レジスタと SCMR レジスタに送信／受信フォーマットを設定	SMR レジスタおよび SCMR レジスタに送信／受信フォーマットを設定します。 SMR レジスタでは、CKS[1:0] ビットに任意の値を設定し、その他のビットを 0 にします。 SCMR レジスタでは、SDIR ビットを 1 にし、SINV ビットと SMIF ビットを 0 にします。
6	SPTR を初期値に設定します。	SPTR を初期値に設定します。
7	BRR に値を設定	BRR レジスタに目的のビットレート値を書き込みます。
8	MDDR に値を設定	MDDR レジスタにビットレート誤差補正値を書き込みます。SEMR.BRME ビットが 0 に設定されている場合、この手順は不要です。
9	SEMR レジスタ、SNFR レジスタ、SIMR1 レジスタ、SIMR2 レジスタ、および SPMR レジスタに値を設定	SEMR レジスタ、SNFR レジスタ、SIMR1 レジスタ、SIMR2 レジスタ、および SPMR レジスタに値を設定します。 SEMR レジスタの NFEN ビットと BRME ビットを設定します。SNFR レジスタで、NFCS[2:0] ビットを設定します。 SIMR1 レジスタでは、IICM ビットを 1 にし、IICDL[4:0] ビットには必要に応じた値を設定します。 SIMR2 レジスタでは、IICACKT ビットと IICCSC ビットを 1 にし、IICINTM ビットには必要に応じた値を設定します。 SPMR レジスタでは、すべてのビットを 0 にします。
10	SCR.RE ビットおよび SCR.TE ビットを 1 にし、SCR.TIE ビット、SCR.RIE ビット、および SCR.TEIE ビットを設定	SCR レジスタの RE ビットと TE ビットを 1 にしてください。その後で、SCR.TIE、RIE、TEIE ビットを設定します(送信用で SIMR2.IICINTM ビットが 1 の状態の場合は、RIE ビットを 0 にします)。TE ビットと RE ビットを 1 にすることで、SSCLn および SSDAn 端子の機能が有効となります。
11	送信または受信の開始	

25.8.5 マスタ送信動作（簡易 IIC モード）

図 25.94 と図 25.95 にマスタ送信の動作例を、図 25.96 にデータ送信のフローチャート例を示します。

図 25.94 に、SIMR2.IICINTM ビットが 1（受信割り込み、送信割り込みを使用）で、かつ SCR.RIE ビットが 0（SCIn_RXI および SCIn_ERI 割り込み要求を禁止）の場合の動作例を示します。

STI 割り込みについては、表 25.45 を参照してください。

図 25.96 に、SIMR2.IICINTM ビットが 1 のときの、CPU によるアドレス送信と DTC または DMAC によるデータ送信のフローチャートを示します。10 ビットスレーブアドレスの使用時は、[3]と[4]の手順を 2 回繰り返します。

簡易 IIC モードでの送信データエンプティ割り込み (SCIn_TXI) は、クロック同期式送信時の SCIn_TXI 割り込み要求発生のタイミングとは異なり、1 フレームの通信を完了した時点で発生します。

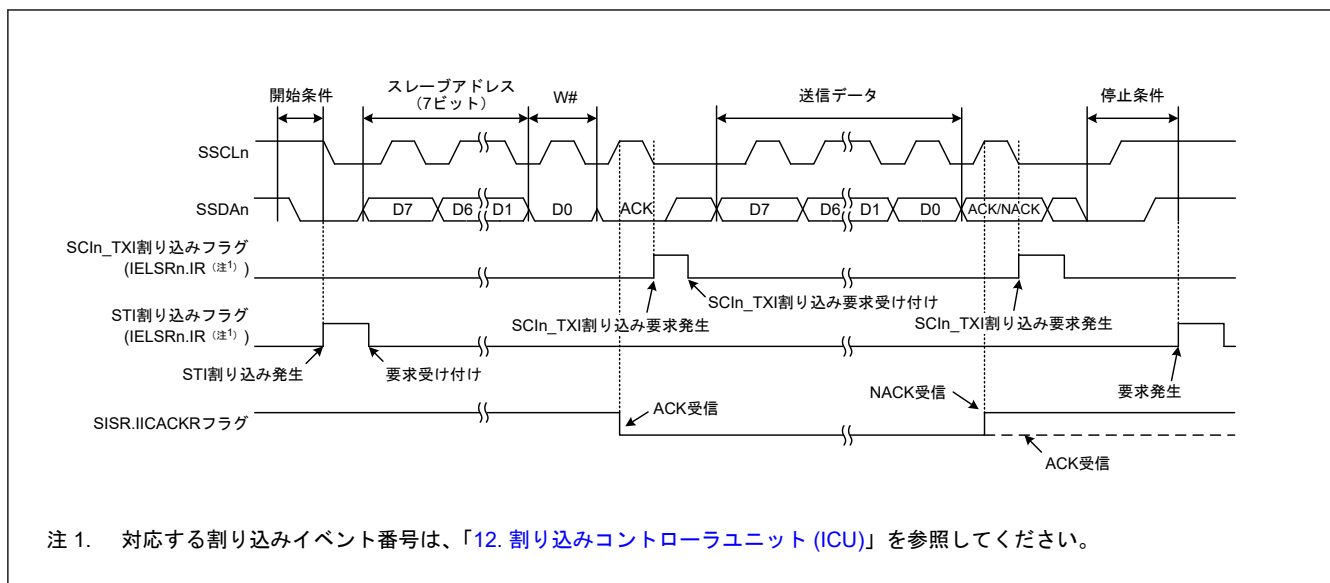


図 25.94 簡易 IIC モードにおけるマスタ送信の動作例 1 (7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

マスタ送信で、SIMR2.IICINTM ビットを 0 (ACK 割り込み、NACK 割り込みを使用) にした場合、ACK 割り込みをトリガにして DTC または DMAC を起動し、データを必要バイト数送信します。NACK を受信した場合は、NACK 割り込みをトリガにして、送信中止や再送信などのエラー処理を行います。

TDR にデータを書き込んだ後に、なんらかの理由で通信をリスタートさせたい場合は以下の手順に従ってください。

1. SCR レジスタの TE、RE ビットを 0 にして通信停止させてください
2. SIMR3 レジスタに 0xF0 を設定し、I²C バスを解放し、各条件生成をクリアしてください
3. SSR レジスタの RDRF フラグがセットされている場合、RDRF フラグをクリアします
4. SCR レジスタの TE、RE ビットに 1 を設定し、次の通信を開始してください

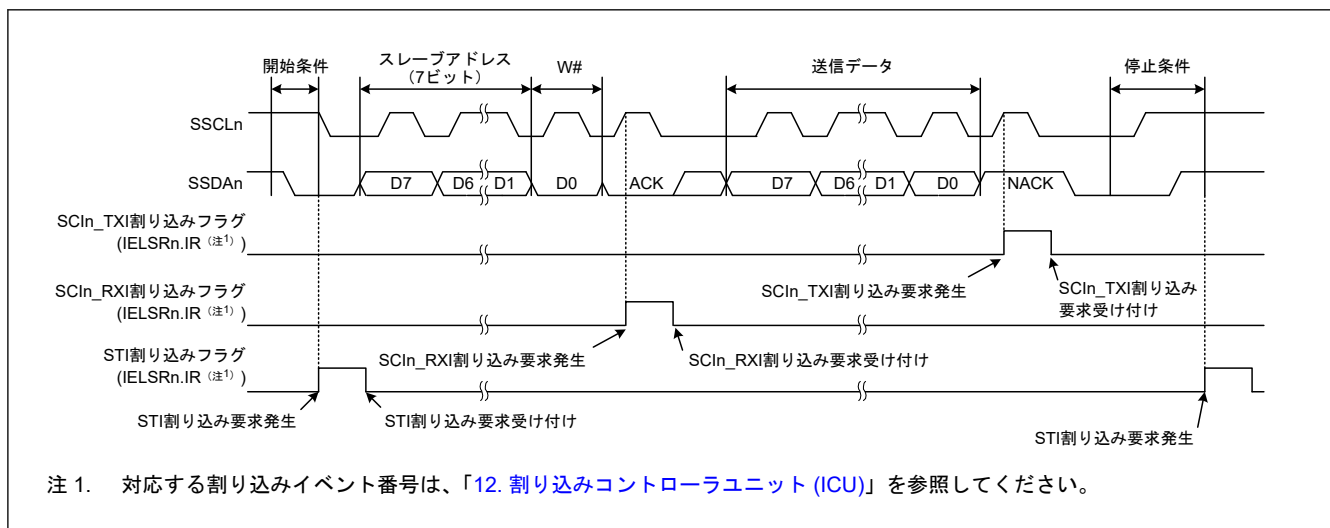


図 25.95 簡易 IIC モードにおけるマスタ送信の動作例 2 (7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時)

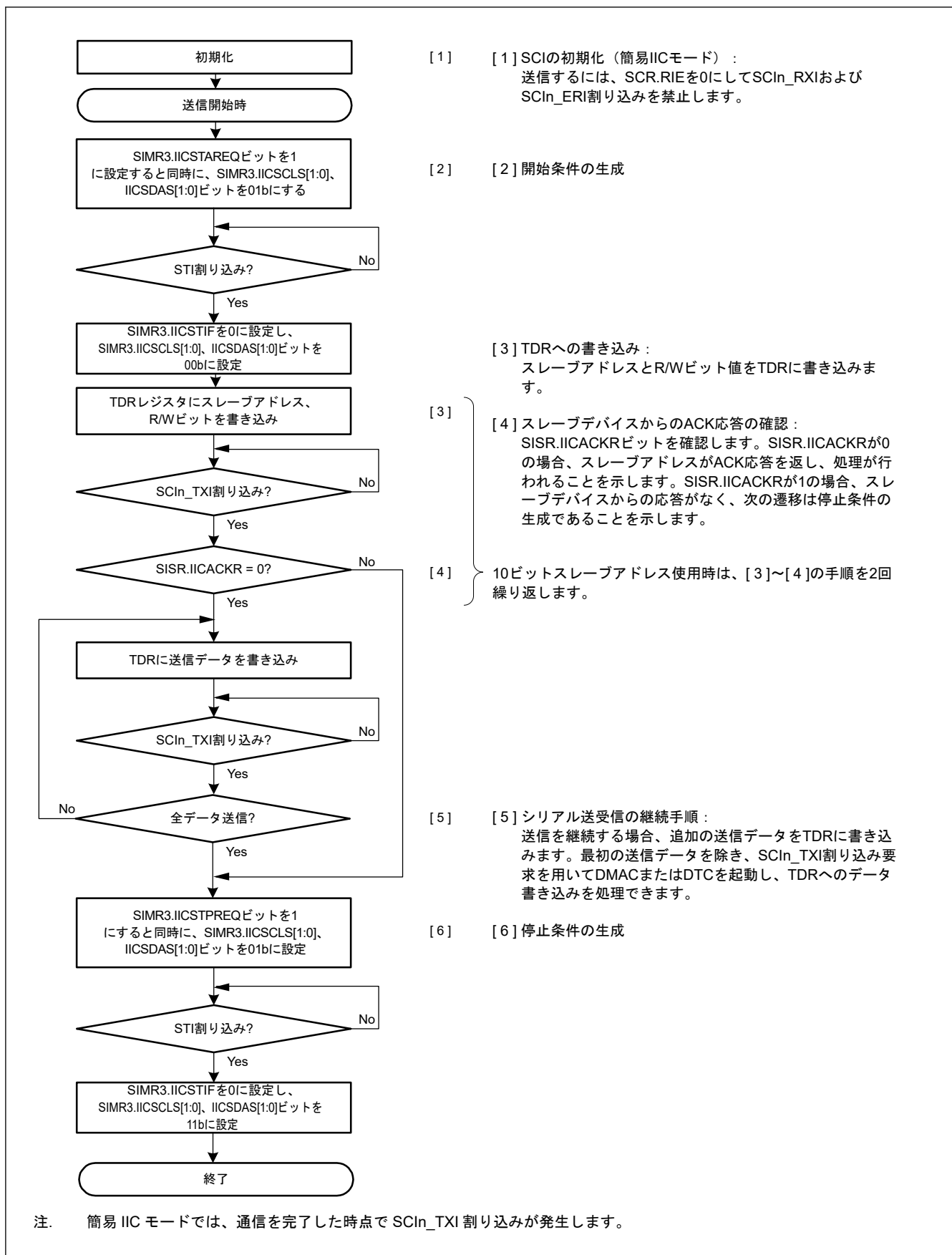


図 25.96 簡易 IIC モードにおけるマスタ送信のフローチャート例（送信割り込み、受信割り込み使用時）

25.8.6 マスタ受信動作（簡易 IIC モード）

図 25.97 に簡易 IIC モードにおけるマスタ受信の動作例を、図 25.98 にマスタ受信のフローチャート例を示します。

下図では、SIMR2.IICINTM ビットが 1（受信割り込み、送信割り込みを使用）の場合を想定しています。

簡易 IIC モードでの送信データエンプティ割り込み (SCIn_TXI) は、クロック同期式送信時の SCIn_TXI 割り込み要求発生タイミングとは異なり、1 フレームの通信を完了した時点で発生します。

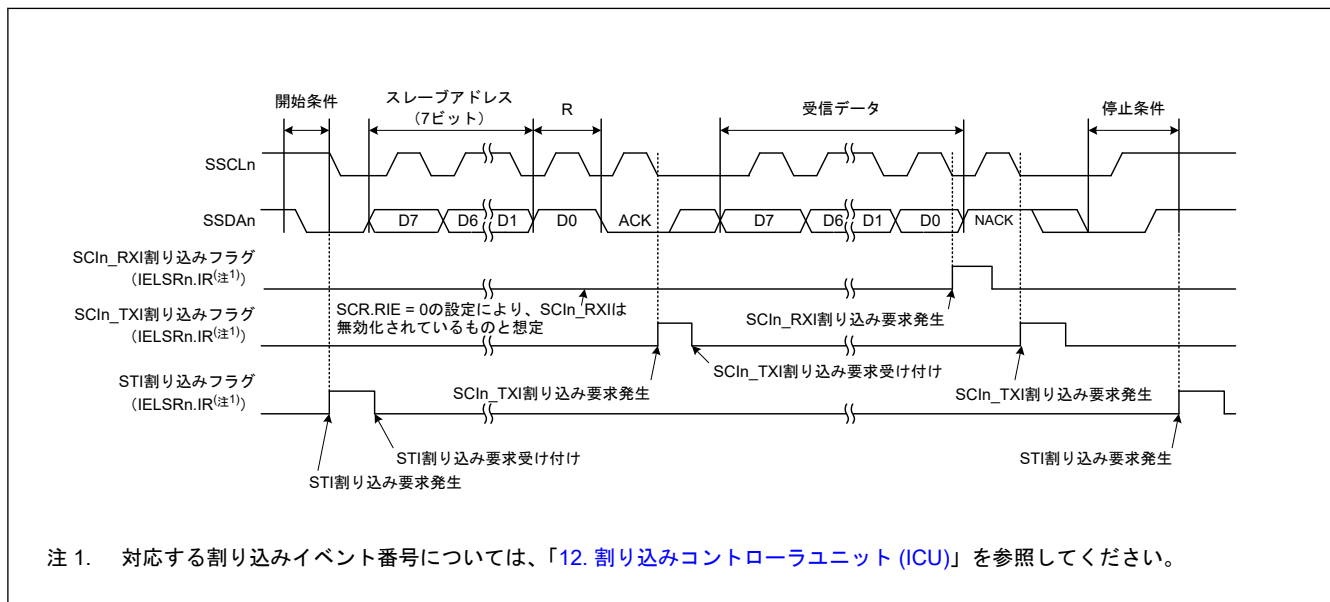
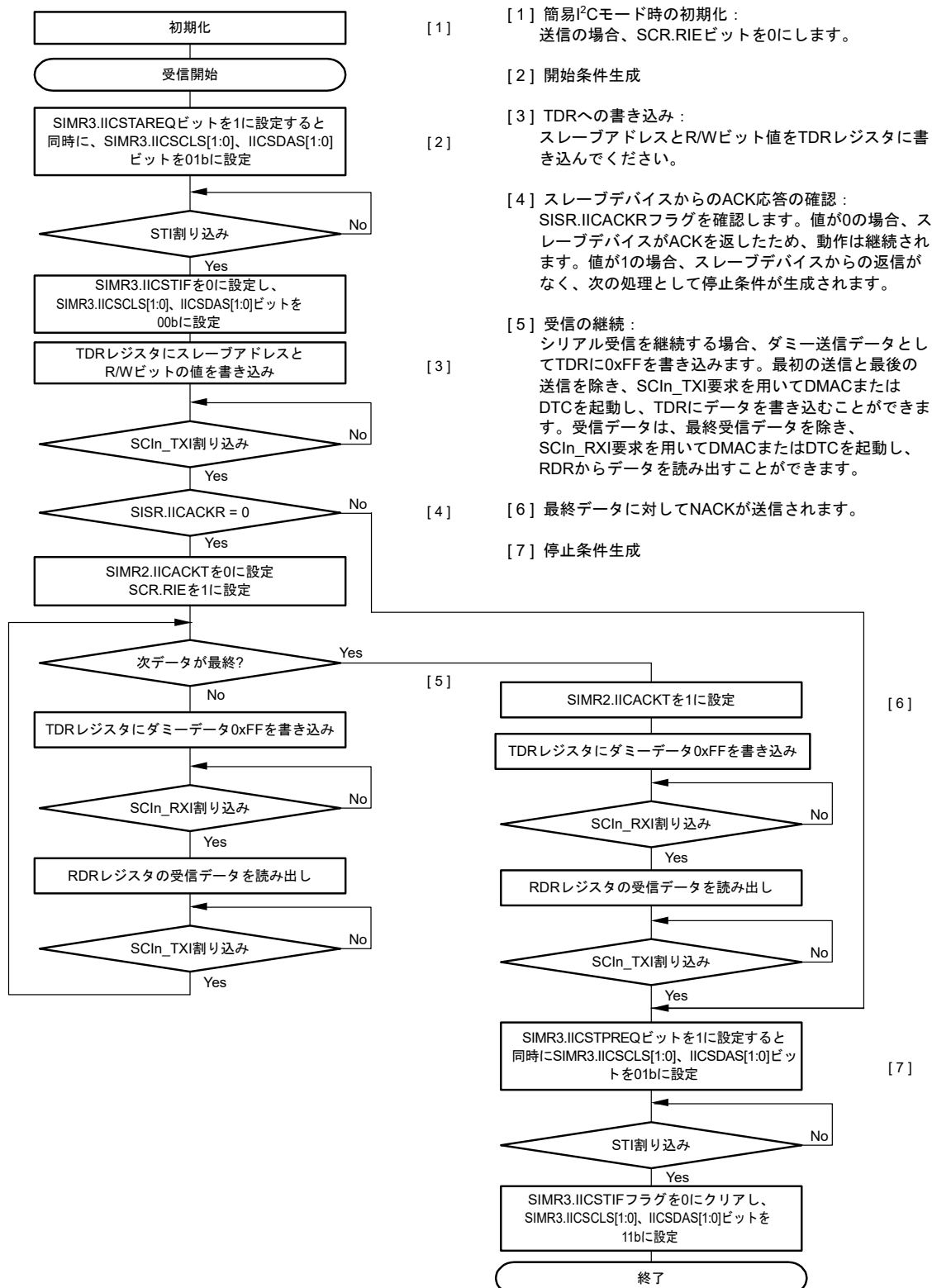


図 25.97 簡易 IIC モードにおけるマスタ受信の動作例（7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時）



注. 簡易 IIC モードでは、通信を完了した時点で SCIn_TXI 割り込み要求が発生します。

図 25.98 簡易 IIC モードにおけるマスタ受信のフローチャート例（送信割り込み、受信割り込み使用時）

25.9 簡易 SPI モードの動作

SCI は拡張機能として、1 つまたは複数のマスタと複数のスレーブとの間で通信が可能な、簡易 SPI モードをサポートしています。

クロック同期式モードの設定 (SCMR.SMIF = 0, SIMR1.IICM = 0, SMR.CM = 1) を使用するとともに、SPMR.SSE ビットを 1 にすることによって、SCI は簡易 SPI モードになります。ただし、構成がシングルマスタのみの場合は、簡易 SPI モードでマスタとして使用されるデバイスの接続に、マスタ側の SSn 端子機能は不要です。よって、そのような場合は、SPMR.SSE ビットを 0 にしてください。

図 25.99 に、簡易 SPI モードの接続例を示します。マスタからの SSn 信号出力については、汎用ポートで制御してください。

簡易 SPI モードでは、クロック同期式モードと同様に、クロックパルスに同期してデータを転送します。転送データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。SCMR.SINV ビットを 1 にすることで、転送データを反転できます。

SCI 内部では送信部と受信部は独立しており、クロックを共有することで全二重通信が可能です。また、送信部と受信部はどちらもバッファ構成になっているため、送信中に次の送信データを書き込むことや、受信中に前の受信データを読み込むことが可能です。これにより、連続転送が可能となります。

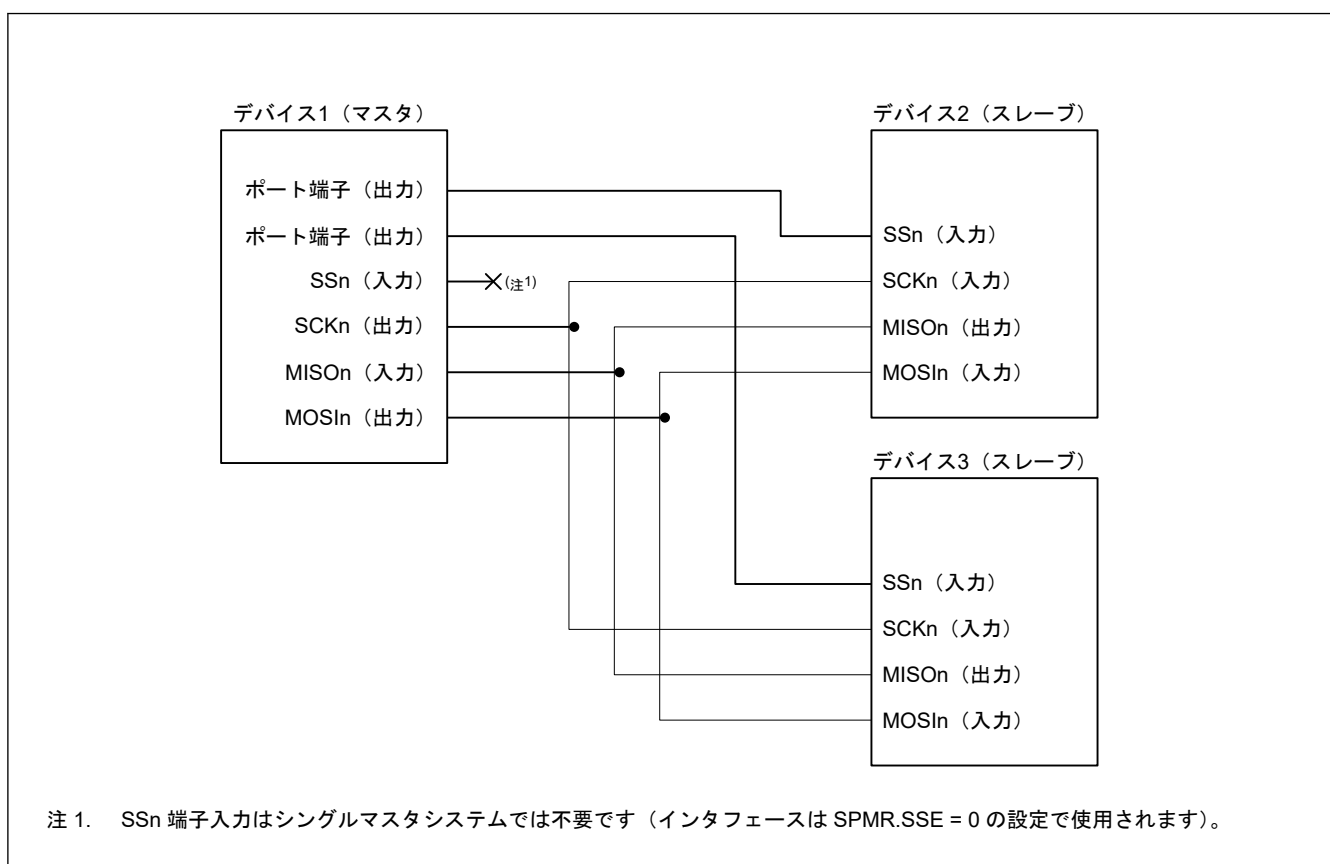


図 25.99 簡易 SPI モードでの接続例 (シングルマスタモード時、SPMR.SSE = 0)

25.9.1 マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード (SCR.CKE[1:0] = 00b または 01b、かつ SPMR.MSS = 0) と、スレーブモード (SCR.CKE[1:0] = 10b または 11b、かつ SPMR.MSS = 1) で、各端子の入出力方向が異なります。

表 25.41 に、端子状態、モード、および SSn 端子入力レベルの間の関係を示します。

表 25.41 モードおよび SSn 端子入力と各端子状態の関係

モード	SSn 端子入力	MOSIn 端子状態	MISOn 端子状態	SCKn 端子状態
マスタモード(注1)	High (通信可能)	送信データ出力(注2)	受信データ入力	クロック出力(注3)
	Low (通信不可)	ハイインピーダンス	受信データ入力 (無効)	ハイインピーダンス
スレーブモード	High レベル (通信不可)	受信データ入力 (無効)	ハイインピーダンス	クロック入力 (無効)
	Low レベル (通信可能)	受信データ入力	送信データ出力	クロック入力

注 1. シングルマスタ構成 (SPMR.SSE = 0) のみの場合、SSn 端子の入力レベルにかかわらず、転送可能となります。これは、SSn 端子入力が High のときと等価です。

注 2. シリアル送信禁止 (SCR.TE = 0) の場合、MOSIn 端子出力はハイインピーダンスです。

注 3. マルチマスタ構成 (SPMR.SSE ビット = 1) では、シリアル送受信禁止 (SCR.TE ビット = 0 かつ SCR.RE ビット = 0) の場合、SCKn 端子出力はハイインピーダンスです。

25.9.2 マスタモード時の SS 機能

SCR.CKE[1:0]ビットを 00b または 01b にして、SPMR.MSS ビットを 0 にすると、マスタモードになります。シングルマスタ構成 (SPMR.SSE = 0) では SSn 端子が使用されないため、SSn 端子の値にかかわらず送受信動作が可能です。

マルチマスタ構成 (SPMR.SSE = 1) において SSn 端子入力が High の場合、他にマスタが存在しないこと、あるいは別のマスタが送受信動作を行っていることを示すために、マスタデバイスは SCKn 端子からクロック信号を出力した後、送受信動作を開始します。

マルチマスタ構成 (SPMR.SSE = 1) において SSn 端子入力が Low の場合は、別のマスタが存在し、送受信動作中です。MOSIn 端子出力と SCKn 端子出力はハイインピーダンスになり、送受信動作を開始することができません。また、モードフォルトエラーとして SPMR.MFF ビットが 1 になります。マルチマスタ構成では、SPMR.MFF フラグを読むことでエラー処理を開始してください。なお、送受信動作中にモードフォルトエラーが発生しても、送受信動作は停止しませんが、転送動作完了後の MOSIn 出力と SCKn 出力はハイインピーダンス状態です。

汎用ポート端子を使用して、マスタからの SS 出力信号を生成してください。

25.9.3 スレーブモード時の SS 機能

SCR.CKE[1:0]ビットを 10b または 11b にして、SPMR.MSS ビットを 1 にすると、スレーブモードになります。SSn 端子入力が High のとき、MISOn 出力端子の状態はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送信または受信動作が可能になります。

送信または受信動作中に SSn 端子入力が Low から High に変化した場合、MISOn 出力端子の状態はハイインピーダンスになります。なお、内部的な送信または受信処理は、SCKn 端子から入力されるクロックレートで継続し、1 キャラクタ分の送受信が完了すると、動作が停止して、適切な割り込み (SCIn_TXI、SCIn_RXI、または SCIn_TEI) が発生します。

25.9.4 クロックと送受信データの関係

SPMR レジスタの CKPOL ビットと CKPH ビットを用いて、送受信に用いるクロックを 4 種類から選択できます。[図 25.100](#) にクロック信号と送受信データの関係を示します。マスタモードとスレーブモードの両方で、クロックと送受信データの関係は同一です。これは、SSn 端子入力が High のときと等価です。

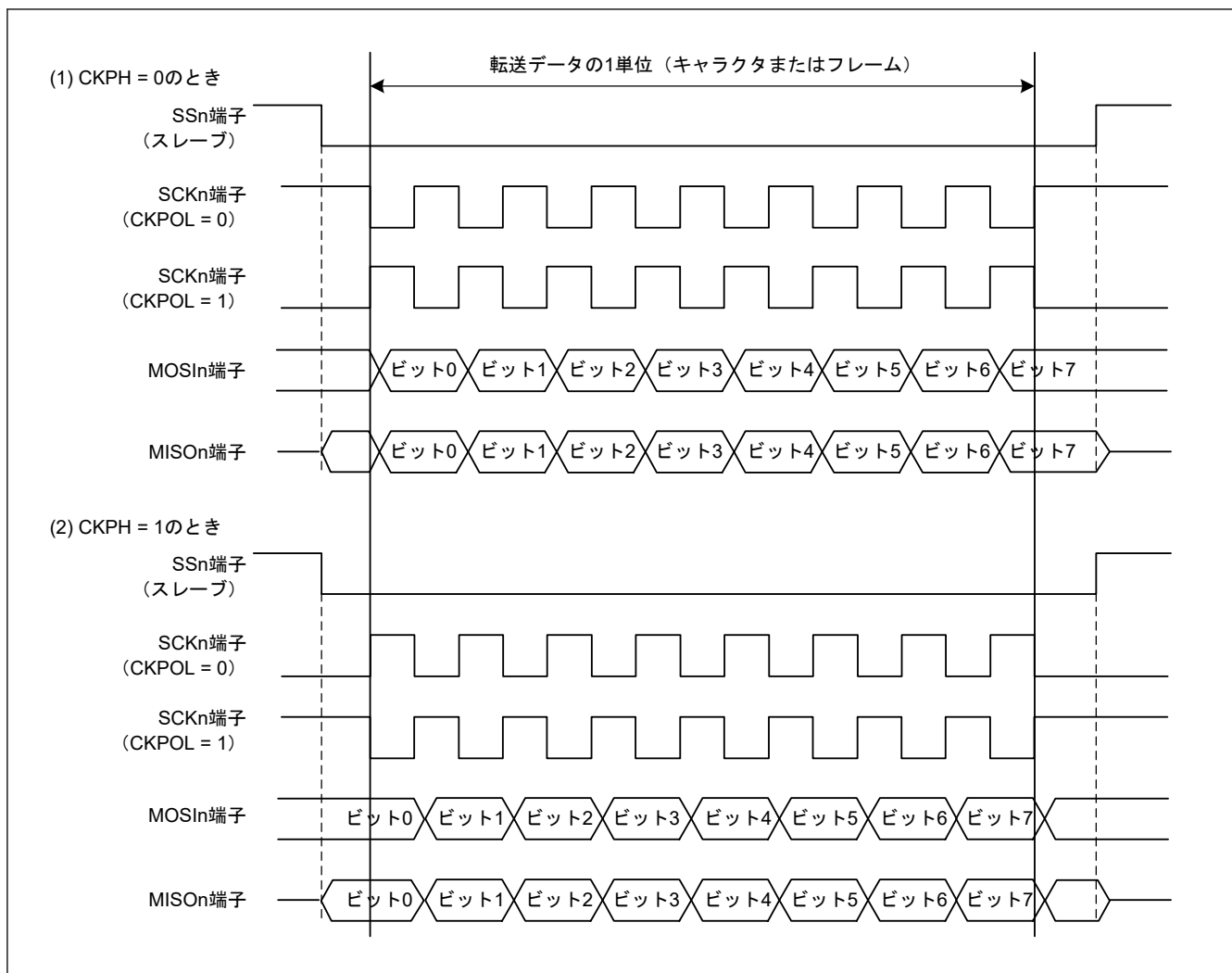


図 25.100 簡易 SPI モードにおけるクロックと送受信データの関係

25.9.5 SCI の初期化（簡易 SPI モード）

簡易 SPI モードでの初期化は、クロック同期式モードの場合と同じです。初期化フローの例は、「[25.6.3. SCI の初期化（クロック同期式モード）](#)」を参照してください。SPMR レジスタの CKPOL ビットと CKPH ビットは、マスタデバイスとスレーブデバイスの両方に適切なクロック信号となるように設定する必要があります。

動作モードや転送フォーマットに変更を加える場合は、必ず SCR レジスタを初期化してから行ってください。

注 0 になるのは RE ビットのみです。SSR.ORER、FER、PER、RDR の各フラグは初期化されません。

SCR レジスタの TIE ビットが 1 のときに、TE ビットの値を 1 から 0、または 0 から 1 に変更すると、送信データエンプティ割り込み (SCI_{TXI}) が発生します。

25.9.6 シリアルデータの送受信（簡易 SPI モード）

マスタモードの動作では、転送先のスレーブデバイスの SSn 端子を、転送開始前に Low にして、転送終了後に High にしてください。それ以外の手順はクロック同期式モードと同様です。

25.10 ビットレート変調機能

ビットレート変調機能では、SMR/SMR_SMCI レジスタの CKS[1:0] ビットで選択された内部クロックの 256 クロックサイクルの間で、MDDR レジスタで指定した数を用いて、ビットレートを均等に補正することが可能です。

調歩同期式モードにおいて、PCLK が SMR/SMR_SMCI レジスタの CKS[1:0] ビットで選択されたとき、BRR と MDDR がそれぞれ 0 と 160 の場合の例を [図 25.101](#) に示します。この例では、基本クロックの周期が均等に 256/160 に補正され、同時にビットレートも 160/256 に補正されています。

注. 内部クロックを有効にするとパイアスが発生し、内部基本クロックのパルス幅に伸縮が生じます。

クロック同期式モードおよび簡易 SPI モードの最高速設定（SMR.CKS[1:0]ビット = 00b、SCR.CKE[1]ビット = 0、および BRR = 0）では、この機能を使用しないでください。

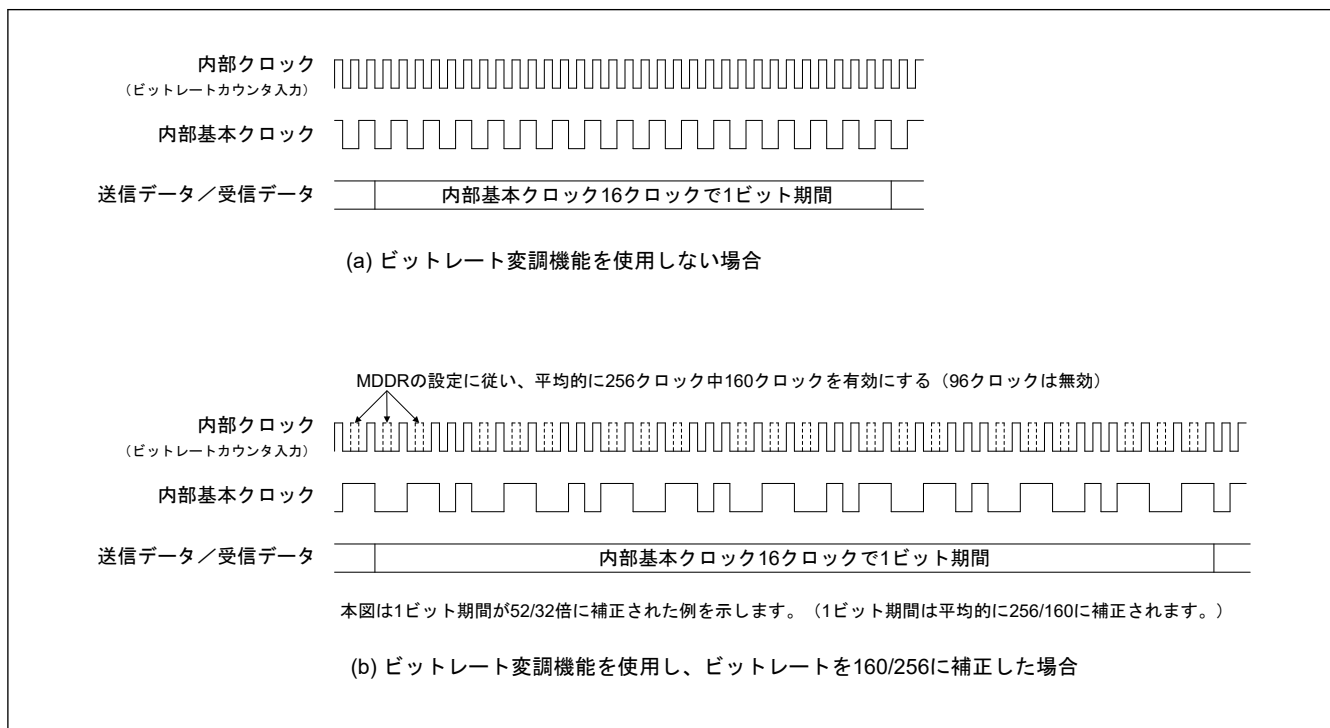


図 25.101 ビットレート変調機能使用時の内部基本クロックの例

25.11 簡易 LIN モードの動作

25.11.1 シリアル通信プロトコル

SCI は簡易 LIN モードをサポートします。これは、スタートフレームとインフォメーションフレームで構成されるシリアル通信プロトコルです。詳細は図 25.102 を参照してください。

Start Frame は Break Field、Control Field 0、および Control Field 1 で構成されています。Information Frame はいくつかの Data Field、および CRC16 Upper Field、CRC16 Lower Field で構成されています。

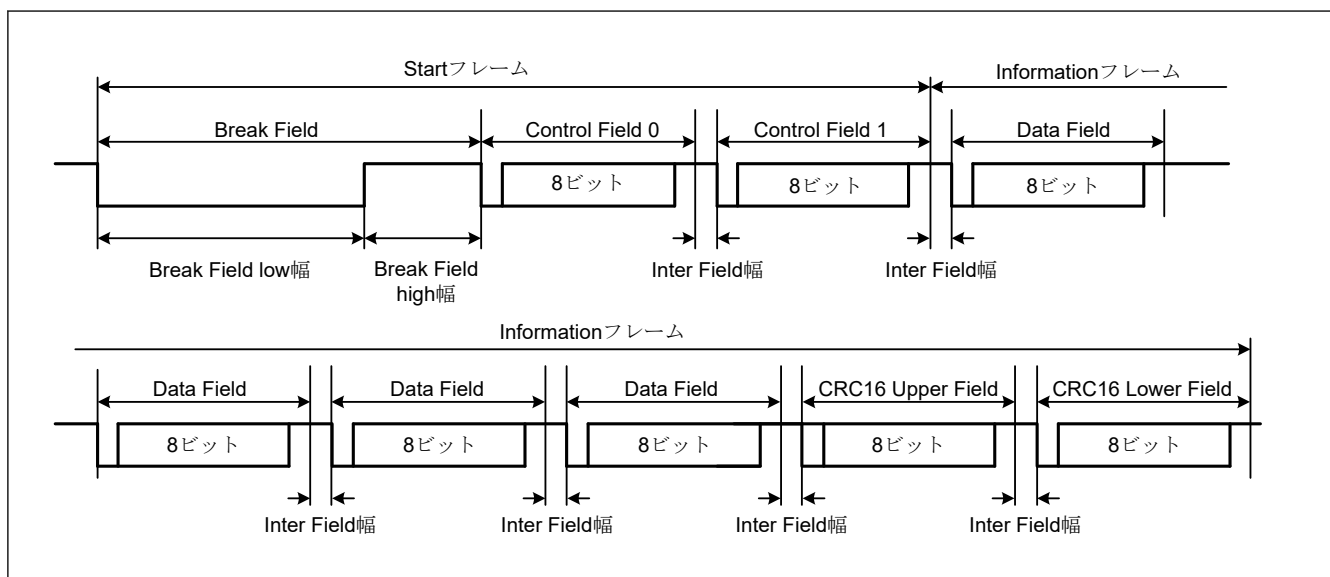


図 25.102 簡易 LIN モード制御部によるシリアル通信のプロトコル

25.11.2 Start Frame 送信

図 25.103 に Break Field Low width、Control Field 0 および Control Field 1 で構成される Start Frame の送信時の動作例を示します。図 25.104 と図 25.105 は Start Frame 送信のフローチャートです。

簡易 LIN モード制御部は、Start Frame 送信時、以下のように動作します。なお、SCI_n (n = 1) は調歩同期式モードで使します。

1. タイマの動作モードを Break Field Low width 出力モードにした状態で、TCR.TCST に 1 を書き込むと、タイマがカウントを開始し、TCNT レジスタと TPRES レジスタに設定した期間、TXDX_n 端子 (n = 1) から Low を出力します。
2. タイマカウンタがアンダーフローすると TXDX_n 端子の出力が反転します。また、STR.BFDF フラグが 1 に設定されます。
ICR.BFDIE を 1 にしている場合は、SCIX0 割り込みが発生します。
3. タイマによるカウントを停止するために TCR.TCST ビットに 0 を書き込み、SCI_n を使用して Control Field 0 のデータを送信します。
Break Field low width 出力の後で、次のアンダーフローが発生する前にカウントを停止します。
4. Control Field 0 のデータの送信が完了後、Control Field 1 のデータを送信します。
5. Control Field 1 のデータの送信が完了後、Information Frame を送信します。

Start Frame の構成にあわせて Break Field および Control Field 0 を省略してください。

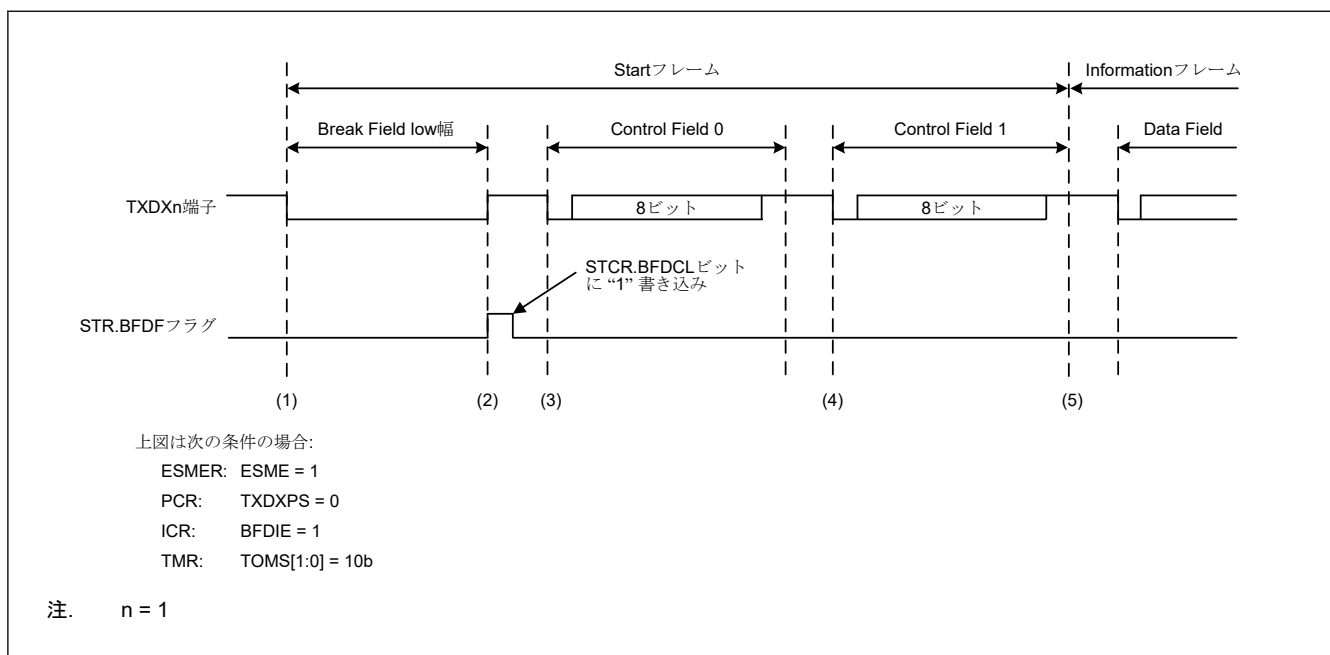


図 25.103 Start Frame 送信時の動作例

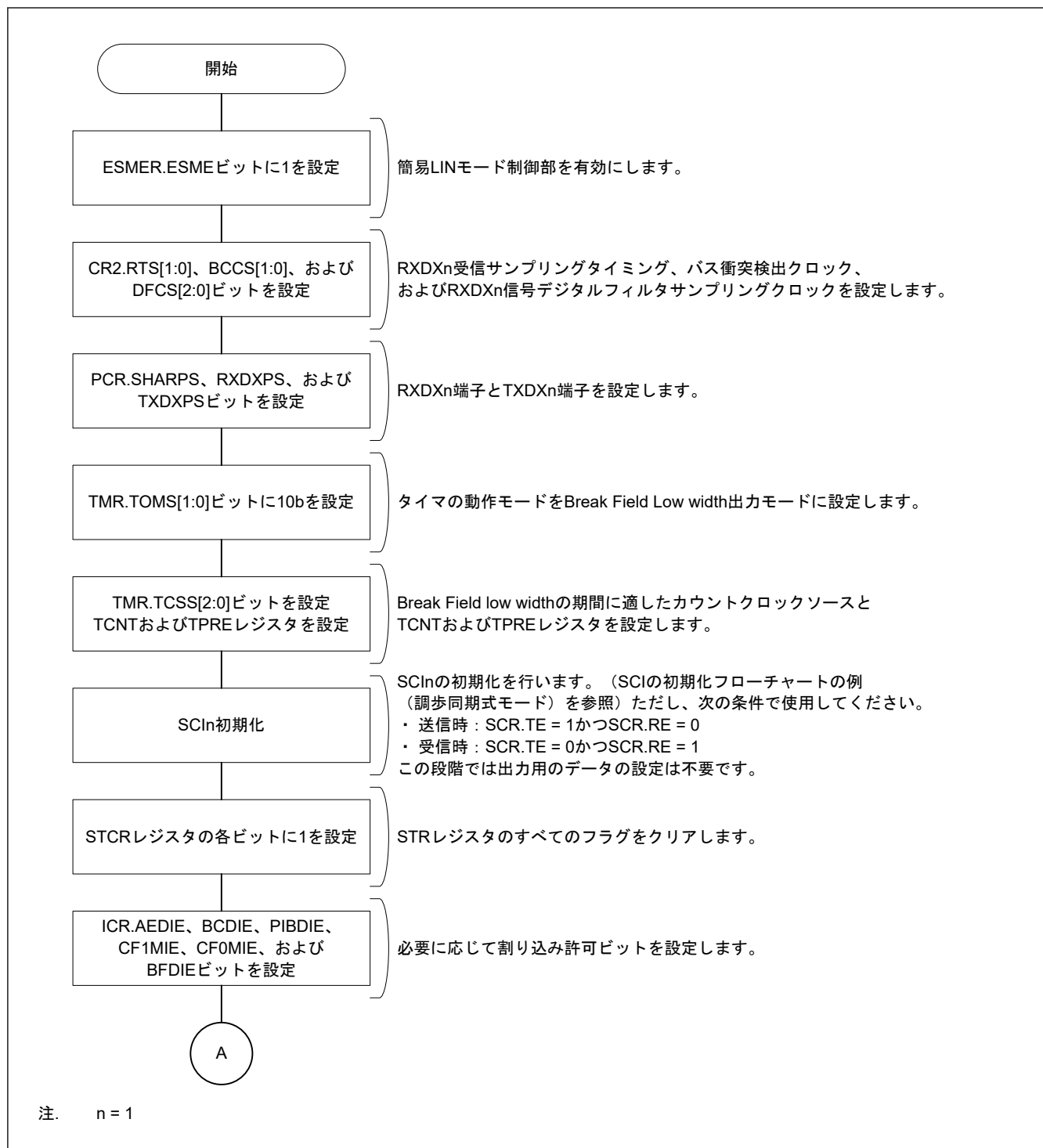


図 25.104 Start Frame 送信フローチャート例 (1/2)

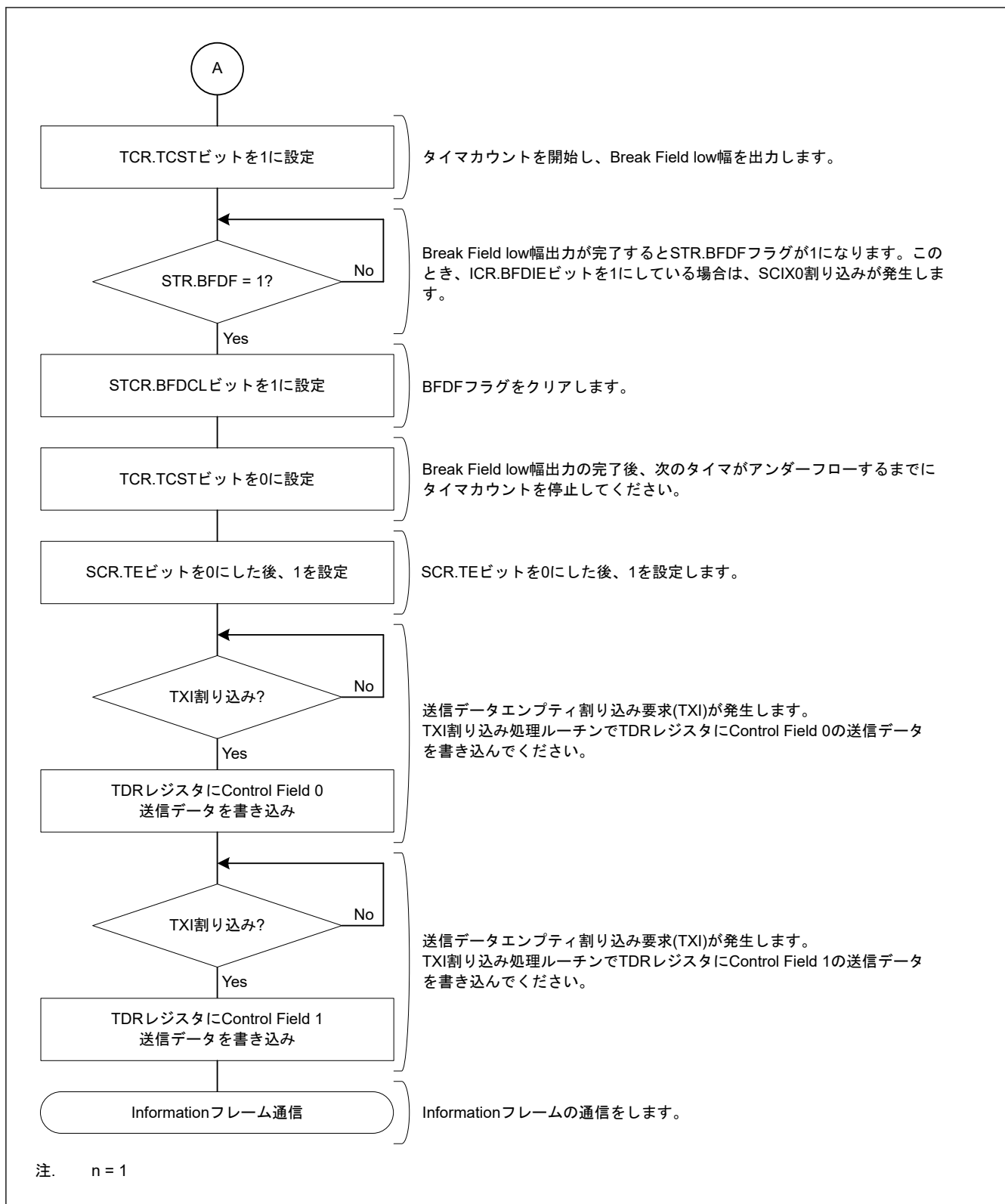


図 25.105 Start Frame 送信フローチャート例 (2/2)

25.11.3 Start Frame 受信

簡易 LIN モード制御部では、図 25.106 のような構成の Start Frame を受信することができます。

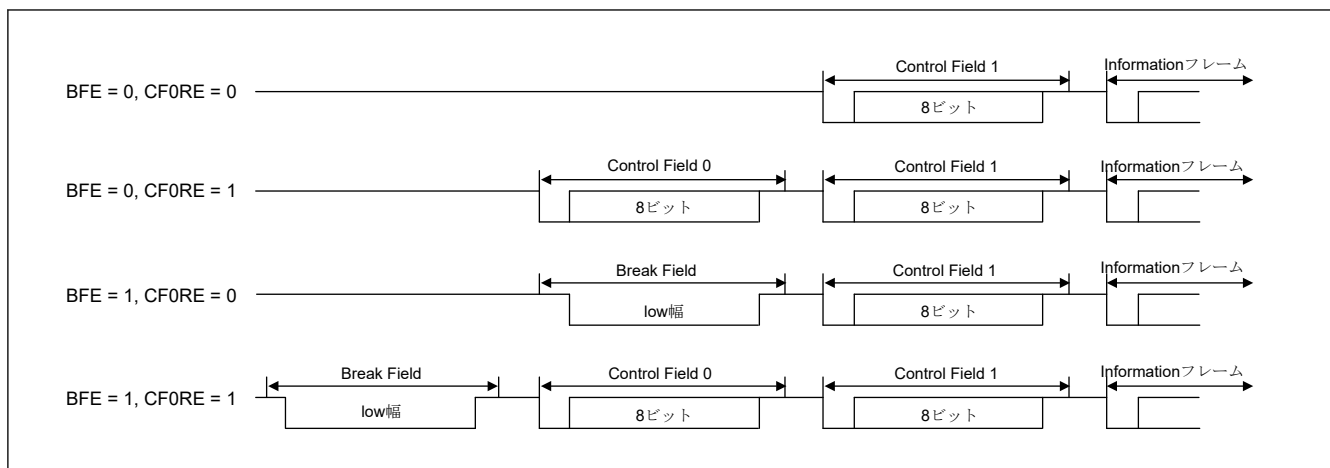


図 25.106 Start Frame の構成

図 25.107 に Break Field Low width、Control Field 0 および Control Field 1 で構成される Start Frame の受信時の動作例を示します。図 25.108 と図 25.109 に Start Frame 受信のフローチャート、図 25.110 に簡易 LIN モード制御部の状態遷移図を示します。

簡易 LIN モード制御部は、Start Frame 受信時、以下のように動作します。なお、SCIn (n = 1) は調歩同期式モードで使用します。

1. タイマの動作モードを Break Field Low width 検出モードに設定して、CR3.SDST に 1 を書き込むと、Break Field Low width 検出が可能になります。このとき、SCIn への RXDXn 入力は禁止となります。
2. タイマの TCNT レジスタと TPRES レジスタに設定した期間以上の Low が RXDXn 端子から入力されると、Break Field Low width として検出します。このとき STR.BFDF フラグが 1 になります。また、ICR.BFDIE を 1 にしている場合は、SCIX0 割り込みが発生します。
3. Break Field Low width 検出後、RXDXn 端子からの入力が High になると CR0.RXDSF フラグが 0 になり、SCIn により、Control Field 0 の受信を開始します。
4. Control Field 0 で受信したデータが CF0DR レジスタに設定されているデータと一致すると、STR.CF0MF フラグが 1 になります。また、ICR.CF0MIE を 1 にしている場合は、SCIX1 割り込みが発生します。SCIn による Control Field 1 の受信はその後に開始します。Control Field 0 で受信したデータが CF0DR レジスタに設定したデータと一致しない場合は、Break Field Low width 検出前の状態に遷移します。
5. Control Field 1 で受信したデータが PCF1DR レジスタおよび SCF1DR レジスタに設定されているデータと一致すると、STR.CF1MF フラグが 1 になります。また、ICR.CF1MIE を 1 にしている場合は、SCIX1 割り込みが発生します。SCIn による Information Frame の送信はその後に開始します。Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータのどちらとも一致しない場合は、Break Field Low width 検出前の状態に遷移します。

Start Frame の構成にあわせ、Break Field および Control Field 0 の処理を省略してください。

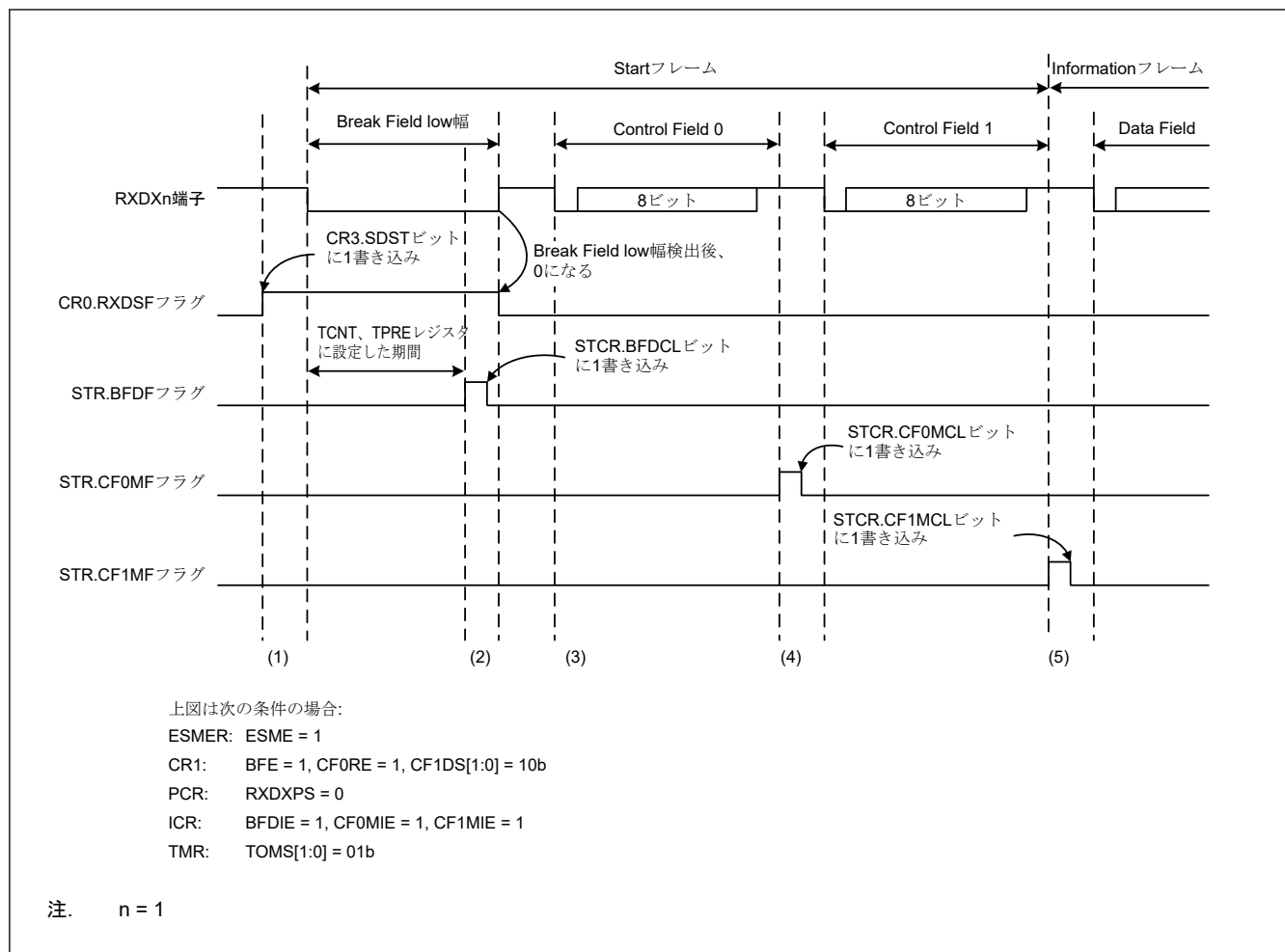


図 25.107 Start Frame 受信時の動作例

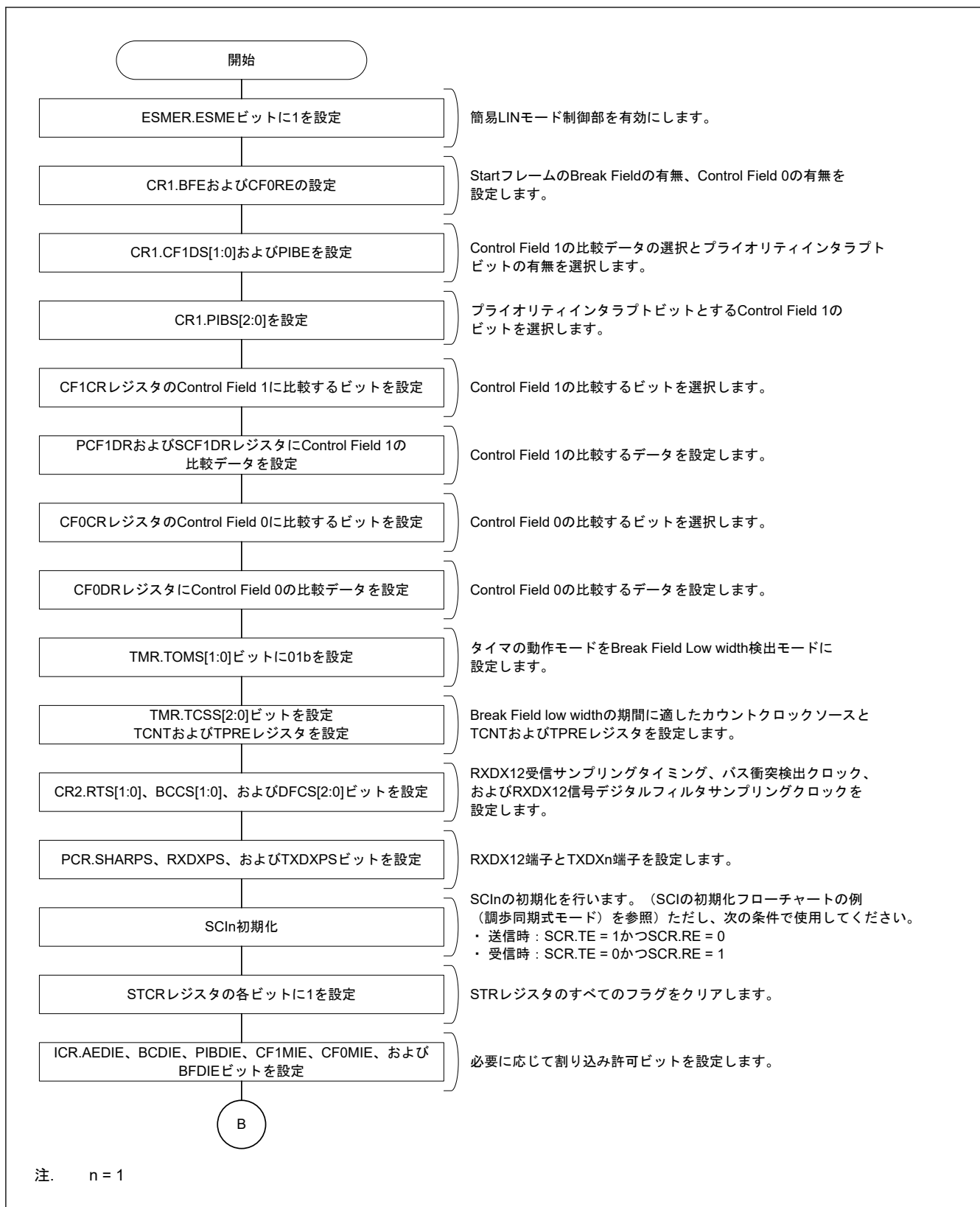


図 25.108 Start Frame 受信フローチャート例 (1)

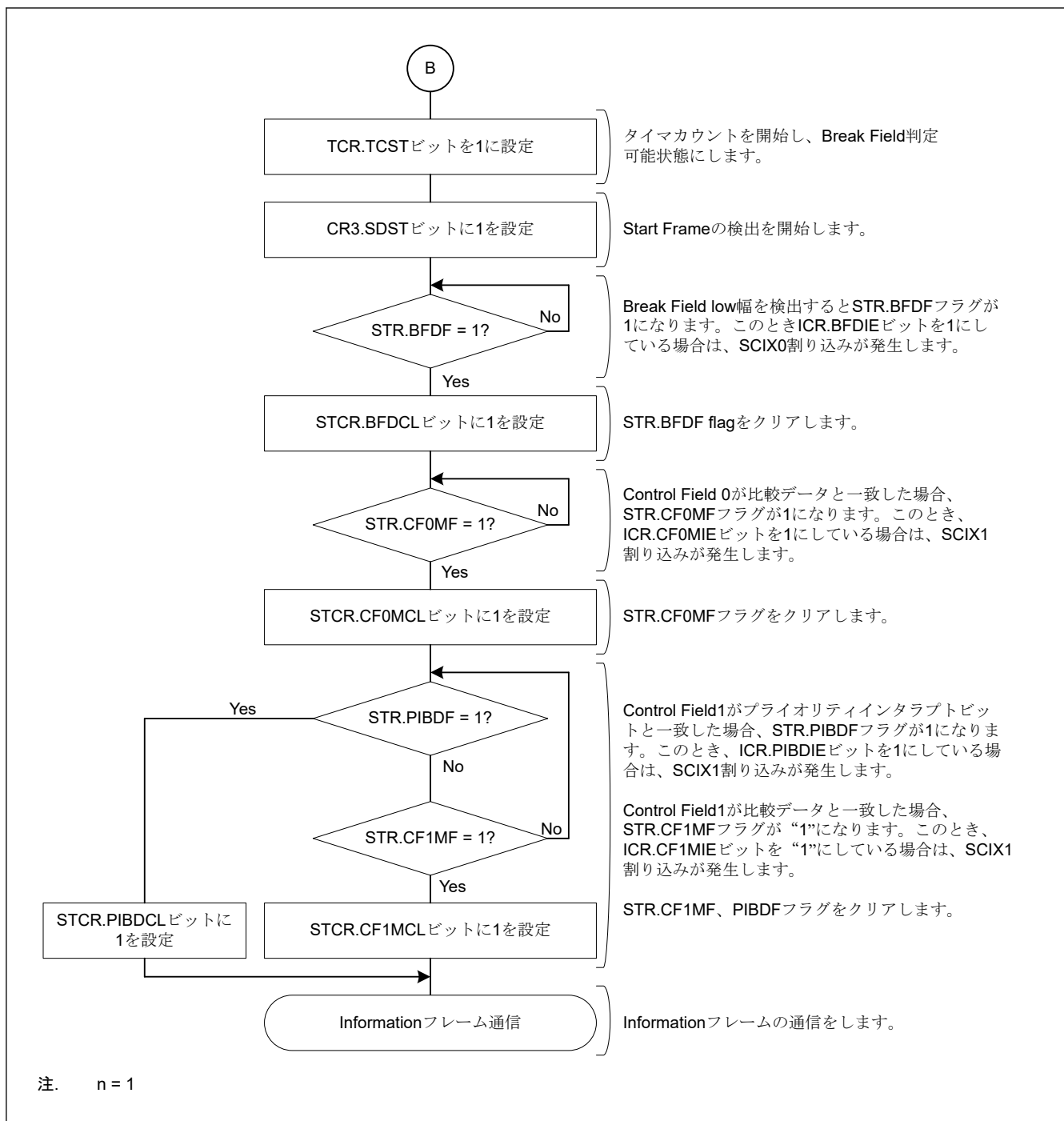


図 25.109 Start Frame 受信フローチャート例 (2)

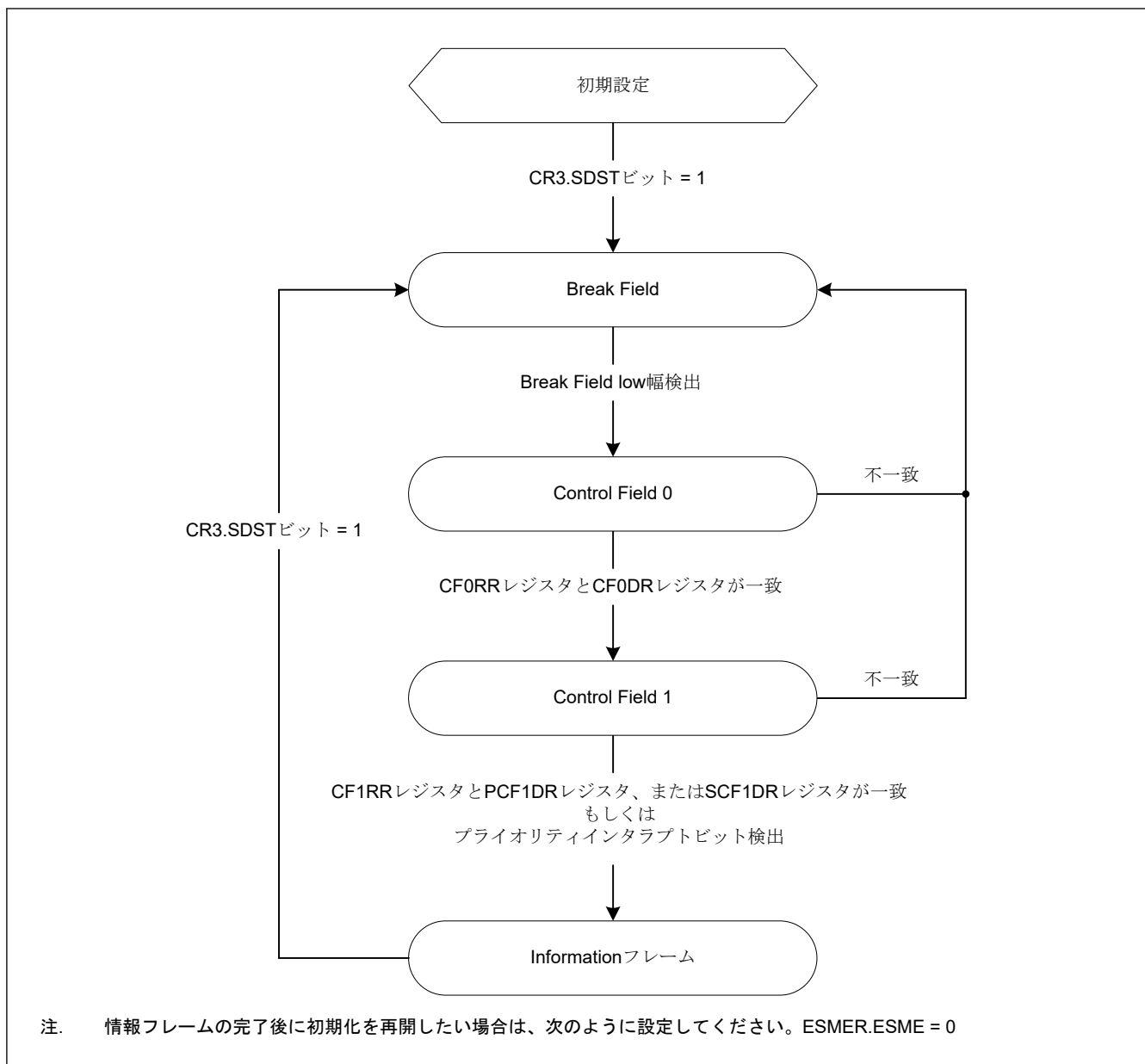


図 25.110 Start Frame 受信時の状態遷移図

25.11.3.1 プライオリティインタラプトビット

図 25.111 にプライオリティインタラプトビットを使用した Start Frame 受信時の動作例を示します。プライオリティインタラプトビットは CR1.PIBE ビットを 1 にすると有効になります。

簡易 LIN モード制御部は、プライオリティインタラプトビットを使用した Start Frame 受信時、以下のように動作します。

(1)～(4) は図 25.107 の Start Frame 受信時の動作例 (1)～(4) と同様になります。

(5) CR1.PIBS[2:0]ビットで選択されたビットの値が PCF1DR レジスタの対応するビットの値と一致すると、STR.PIBDF フラグが 1 になります。また、ICR.PIBDIE を 1 にしている場合は、SCIX1 割り込みが発生します。SCI_n (n = 1) による Information Frame の送信はその後に開始します。Control Field 1 で受信したデータが PCF1DR レジスタおよび SCF1DR レジスタに設定したデータのどちらとも一致せず、プライオリティインタラプトビットも検出しない場合は、Break Field Low width 検出前の状態に遷移します。

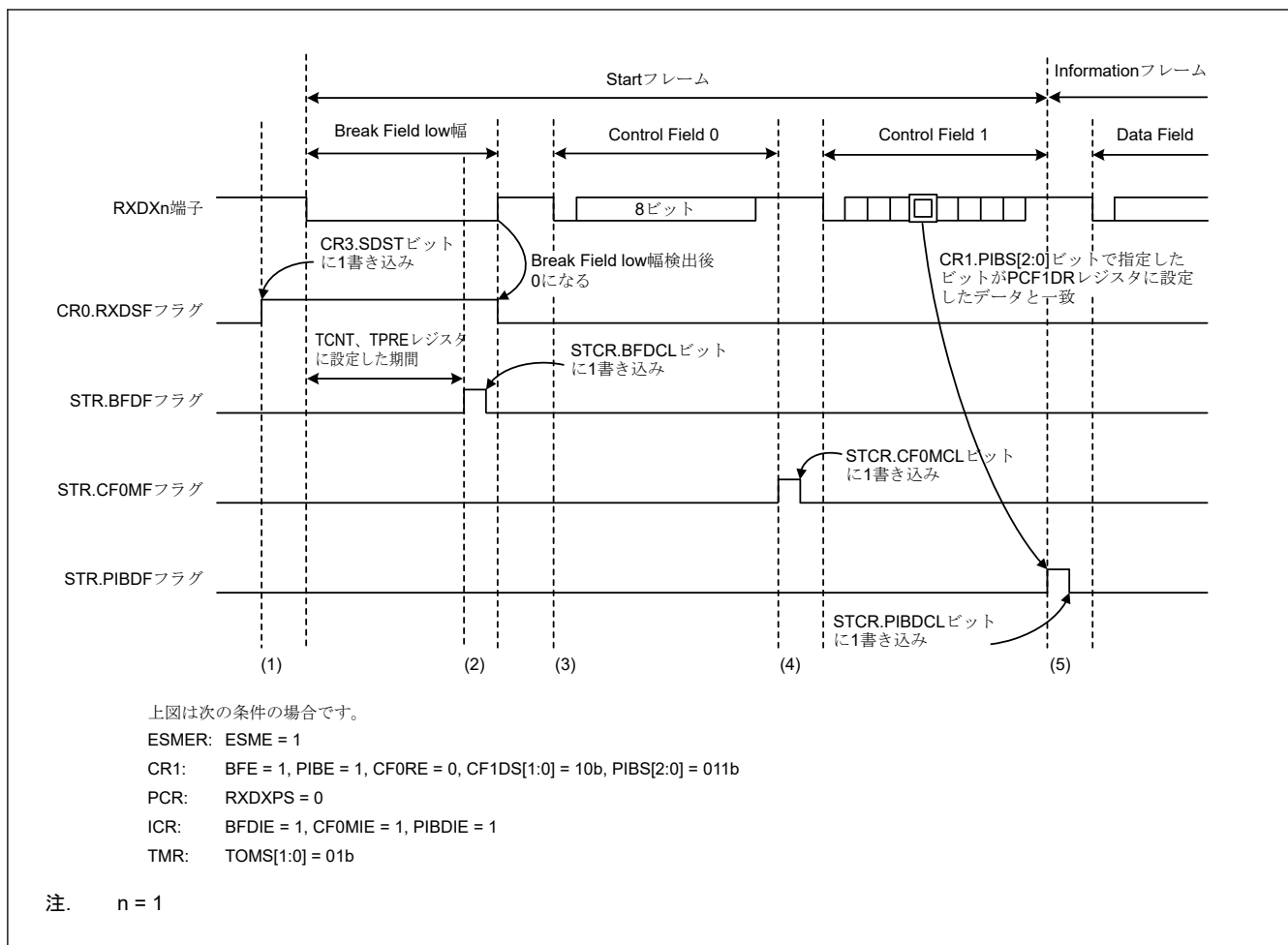


図 25.111 Start Frame の受信時の動作例 (CR1.PIBE ビットが 1 の場合)

25.11.4 バス衝突検出機能

ESMER.ESME ビットと SCIn.SCI の TE ビットが 1 の状態で、Break Field Low width 出力中および SCIn (n = 1) によりデータを送信中に、バス衝突検出機能が動作します。

図 25.112 にバス衝突検出機能の動作例を示します。TXDXn 端子の出力と RXDXn 端子の入力を CR2 の BCCS[1:0] ビットで設定されたバス衝突検出クロックでサンプリングし、3 回連続不一致が発生すると STR.BCDF フラグが 1 になります。また、ICR.BCDIE ビットを 1 にしている場合は、SCIX2 割り込みが発生します。

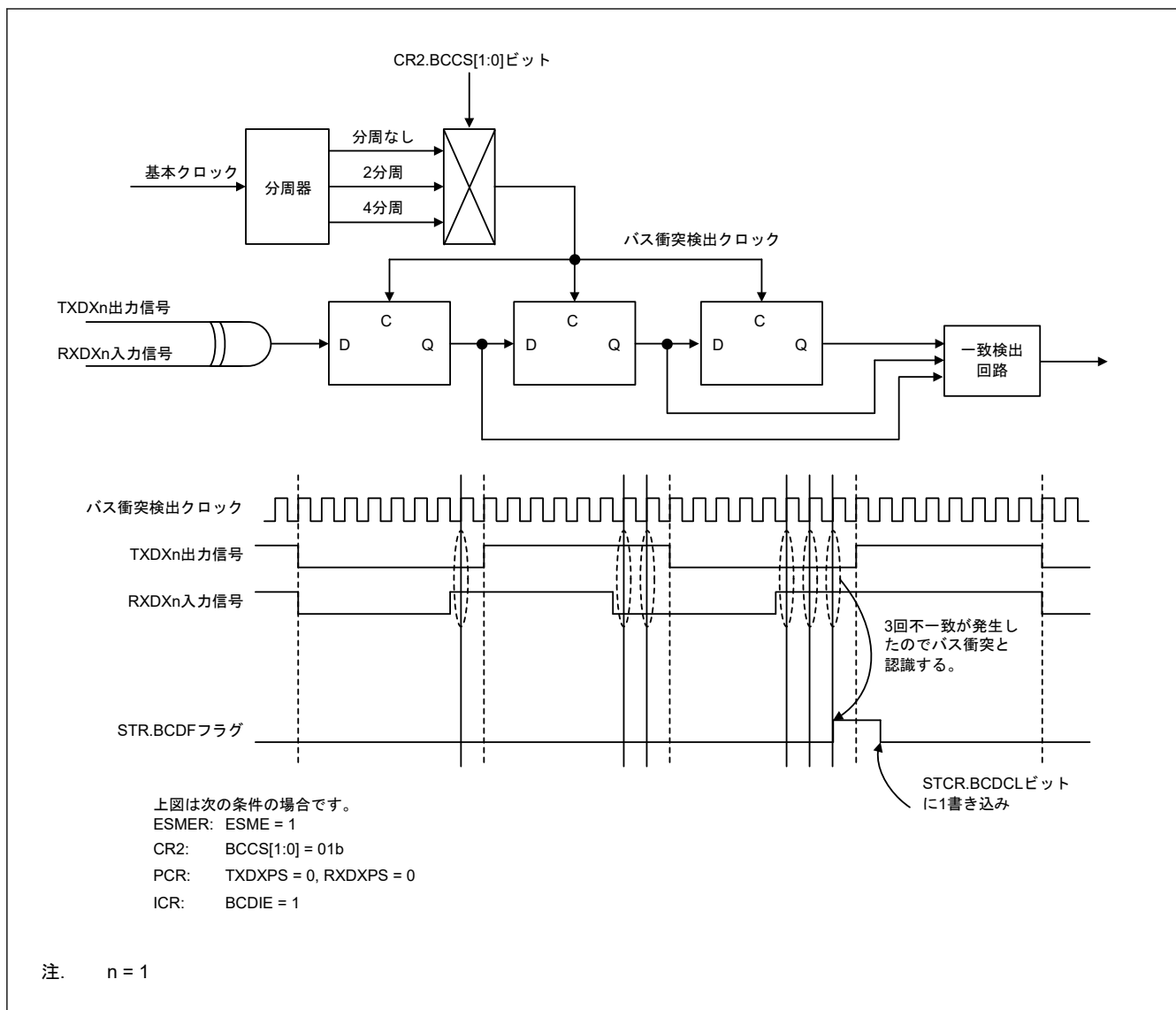


図 25.112 バス衝突検出機能の動作例

25.11.5 RXDXn (n = 1) 端子入力デジタルフィルタ機能

RXDXn 端子の入力信号は、デジタルフィルタ回路を通して内部に取り込むことができます。デジタルフィルタ回路は、3 段直列に接続されたフリップフロップ回路と一致検出回路で構成されます。CR2.DFCS[2:0]ビットは、RXDXn 端子入力信号のサンプリングクロックを選択します。3 つのラッチ出力がすべて一致すると、そのレベルが次の回路に送られます。一致しないときは、前の値を保持します。すなわち、3 サンプリングクロック以上同一のレベルを保持した場合は信号として認識しますが、3 サンプリングクロック以下の信号変化はノイズとして判断し、信号変化として認識しません。図 25.113 にデジタルフィルタ機能の動作例を示します。

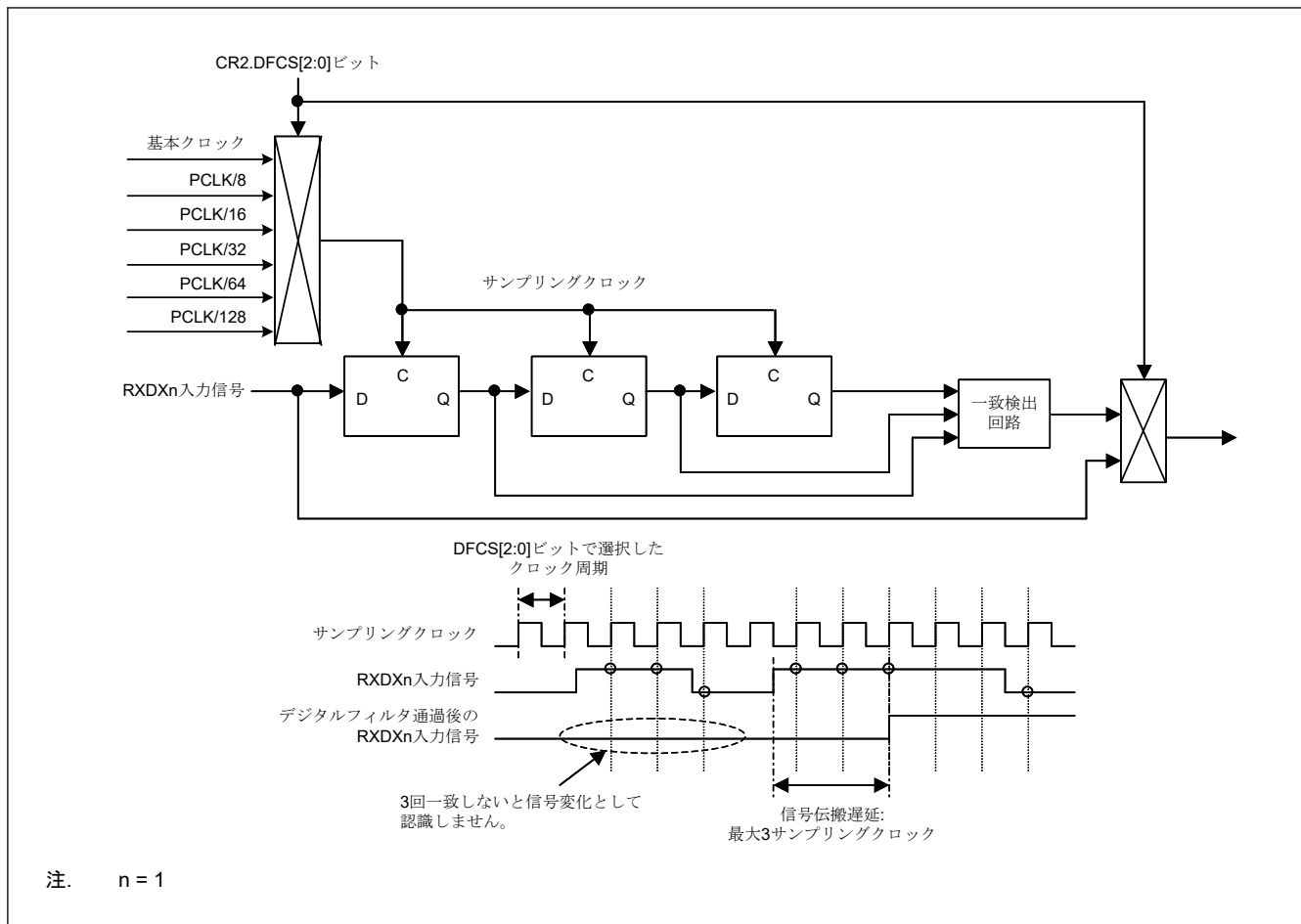


図 25.113 デジタルフィルタ機能の動作例

25.11.6 ビットレート測定機能

RXDXn (n = 1) 端子から入力される信号の立ち上がりー立ち下がり間または、立ち下がりー立ち上がり間を測定する機能です。図 25.114 にビットレート測定機能の動作例を示します。

1. CR0.BRME に 1 を書き込むとビットレート測定が有効となります。BRME ビットは、ビットレートを測定したいときにのみ 1 を設定してください。また、BRME ビットを 1 にしても、Break Field 中はビットレートの測定動作が行われません。
2. Break Field Low width を検出後、RXDXn 端子の入力が High になると、ビットレート測定が開始します。
3. ビットレート測定開始後、RXDXn 端子から有効エッジ（立ち上がりエッジおよび立ち下がりエッジ）が入力されるとタイマはそのときのカウンタ値を読み出しバッファに保持し、カウンタをリロードします。また、ICR.AEDIE ビットを 1 にしている場合は、SCIX3 割り込みが発生します。TCNT レジスタと TPRE レジスタによる値の保持はこれらのレジスタから値を読み出したときに解除されます。
4. 有効エッジ間のカウンタ値からビットレートを算出し、SCIn の設定を変更することで、ビットレートを調整することができます。Control Field 1 一致後、ビットレート測定機能を無効にする場合は CR0.BRME ビットに 0 を書き込んでください。

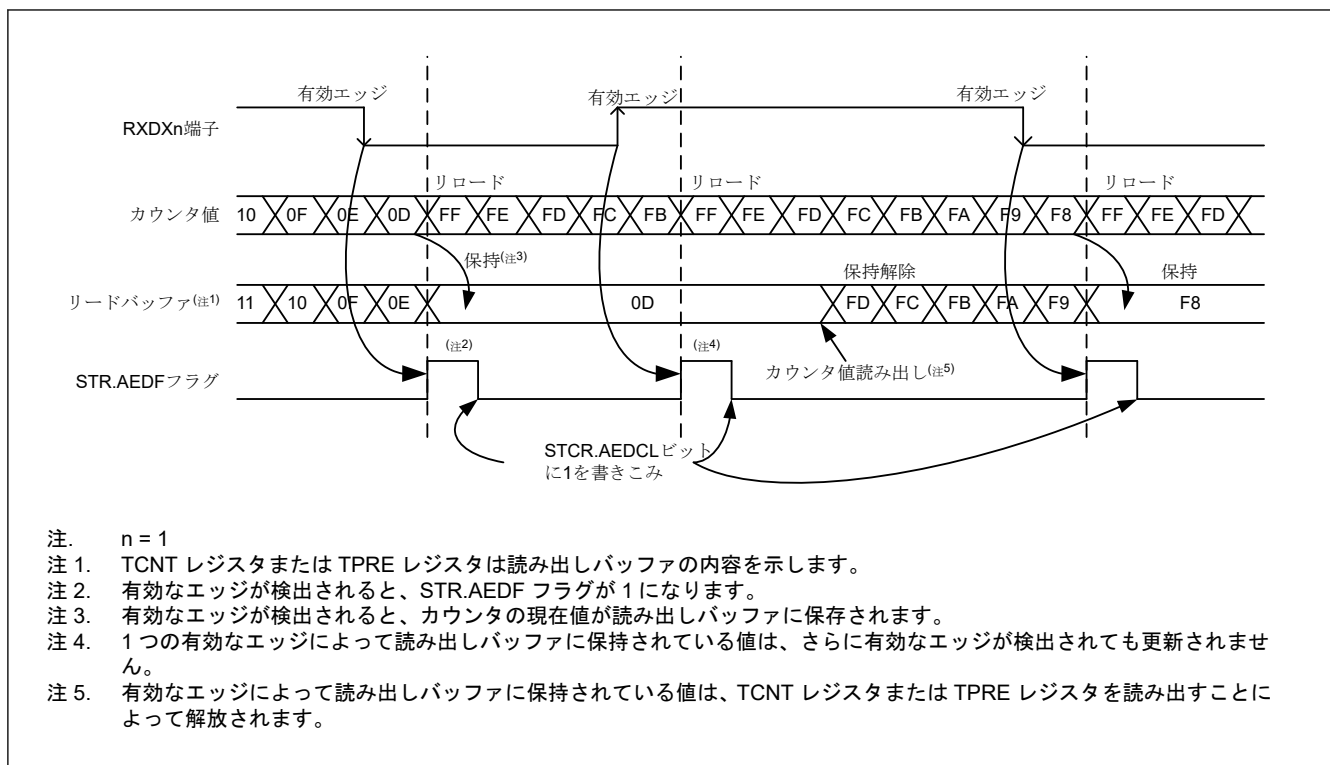


図 25.114 ビットレート測定機能の動作例

25.11.7 RXDXn (n = 1) 受信データサンプリングタイミング選択機能

簡易 LIN モード制御部では、SCI_n の RXDX_n 受信データのサンプリングタイミングを CR2.RTS[1:0] ビットにより、SCI 基本クロックの第 8 クロックの立ち上がり、第 10 クロックの立ち上がり、第 12 クロックの立ち上がり、および第 14 クロックの立ち上がりから選択することができます。SEMR.ABCS ビットの値が 1 の場合、これらビットにより SCI_n の PCLK クロックの第 4、第 5、第 6、または第 7 サイクルの立ち上がりエッジが選択されます。図 25.115 に、RXDX_n 端子で受信するデータのサンプリングタイミングを示します。

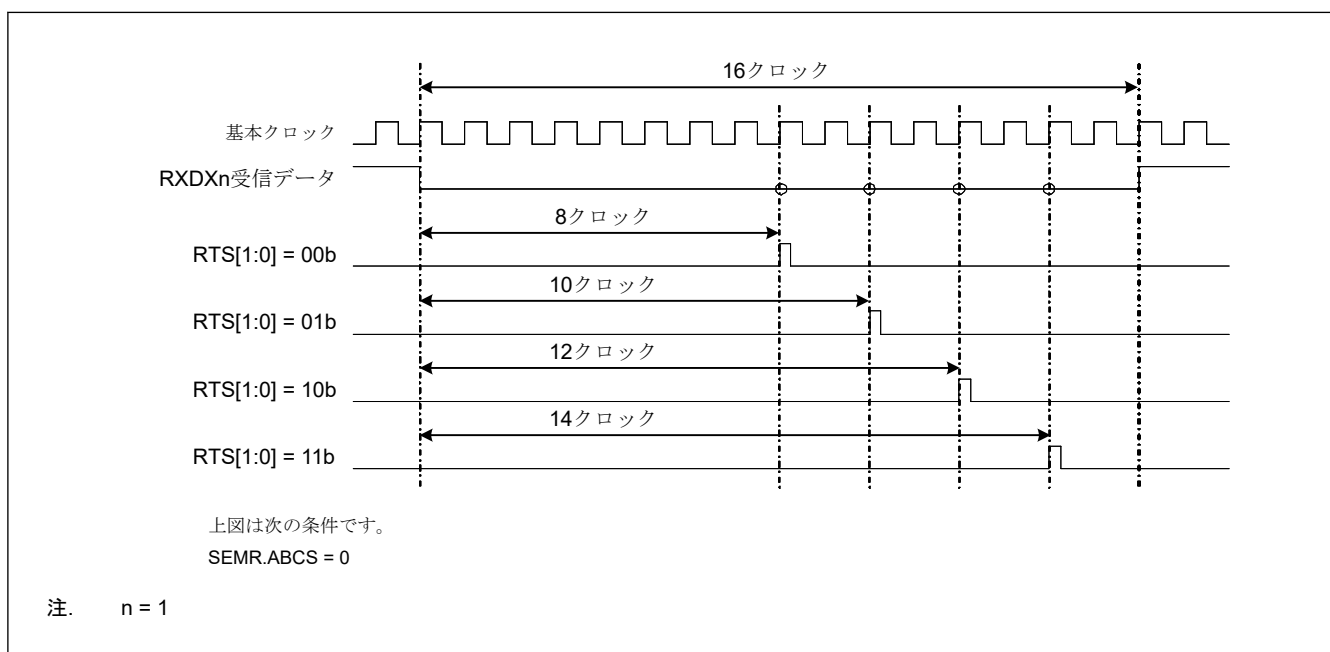


図 25.115 RXDXn 受信データサンプリングタイミング

25.11.8 タイマ

タイマには次の動作モードがあります。

(1) Break Field Low width 出力モード

Start Frame 送信時、Break Field Low width の Low を TXDXn (n = 1) 端子から出力するモードです。TMR.TOMS[1:0]を 10b に設定すると、Break Field Low width 出力モード動作になります。カウントクロックソースはMR.TCSS[2:0]ビットで選択します。TCR.TCST ビットに 1 を書き込むと、TXDXn 端子の出力を Low にし、カウントを開始します。タイマがアンダーフローすると、TXDXn 端子の出力が High になり STR.BFDF フラグが 1 に設定されます。ICR.BFDIE を 1 にしている場合は、SCIX0 割り込みが発生します。TCR.TCST ビットに 0 が書き込まれると、TPRE レジスタと TCNT レジスタのリロード後にカウントが停止します。Break Field low width の出力が完了したら、アンダーフローが再度発生する前にタイマを停止します。図 25.116 に Break Field low width 出力モードの動作例を示します。

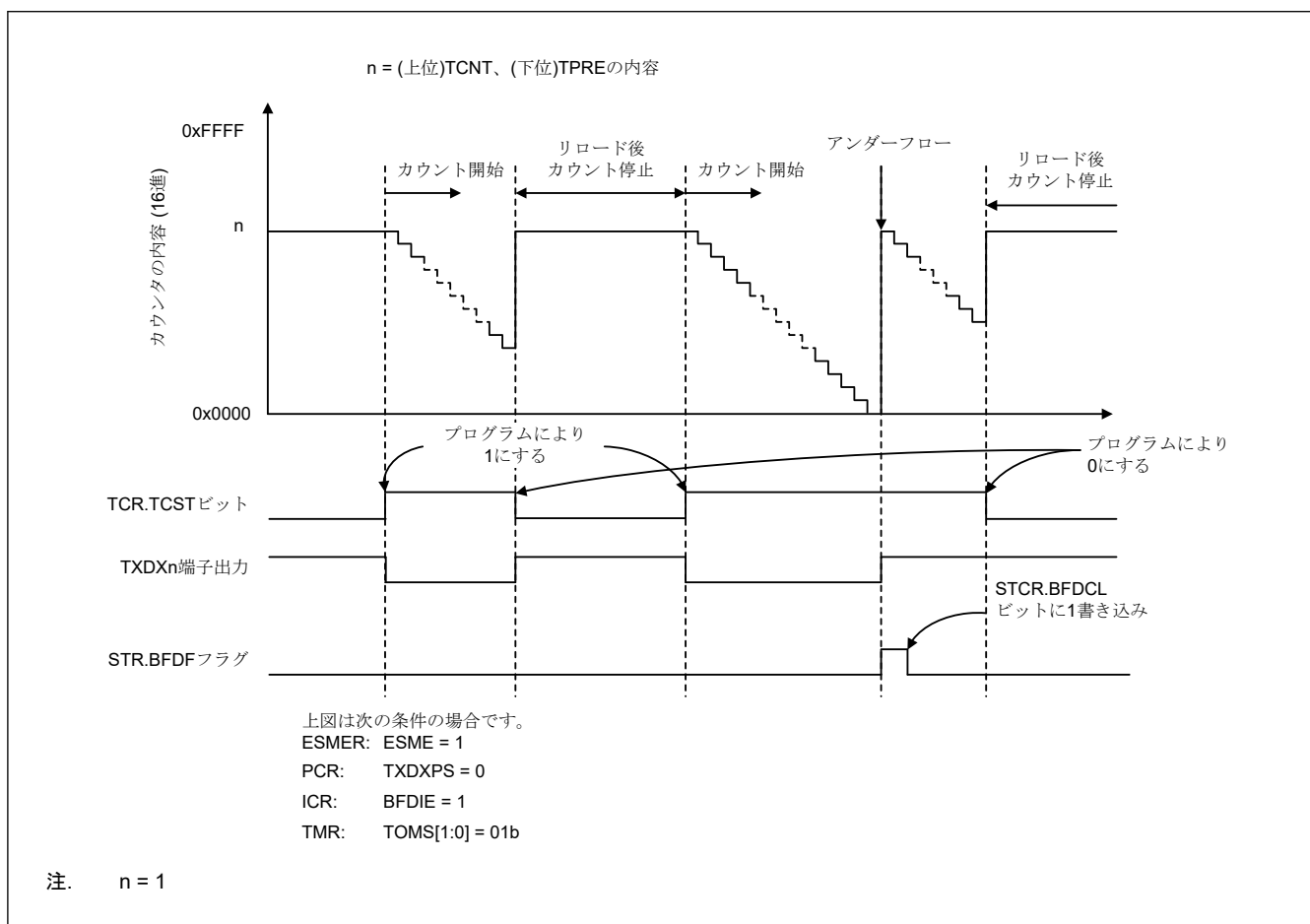


図 25.116 Break Field Low width 出力モードの動作例

(2) Break Field Low width 判定モード

Start Frame 受信時、RXDXn (n = 1) 端子への入力信号の Break Field Low width を判定するモードです。TMR.TOMS[1:0]を 01b に設定すると、Break Field Low width 判定モード動作になります。カウントクロックソースはMR.TCSS[2:0]ビットで選択します。TCR.TCST ビットが 1 に設定されると、インタフェースは Break Field Low width 判定可能状態になります。RXDXn 端子から Low が入力されると判定を開始します。RXDXn 端子から High が入力されると TPRE レジスタおよび TCNT レジスタはリロードを行い Break Field Low width 判定可能状態になります。Break Field low width 判定時にタイマがアンダーフローすると、STR.BFDF フラグが 1 に設定されます。ICR.BFDIE を 1 にしている場合は、SCIX0 割り込みが発生します。データ送信中にタイマのアンダーフローが発生すると割り込みが発生して問題になる場合は、Break Field low width 判定後にタイマを停止してください。図 25.117 に Break Field low width 判定モードの動作例を示します。

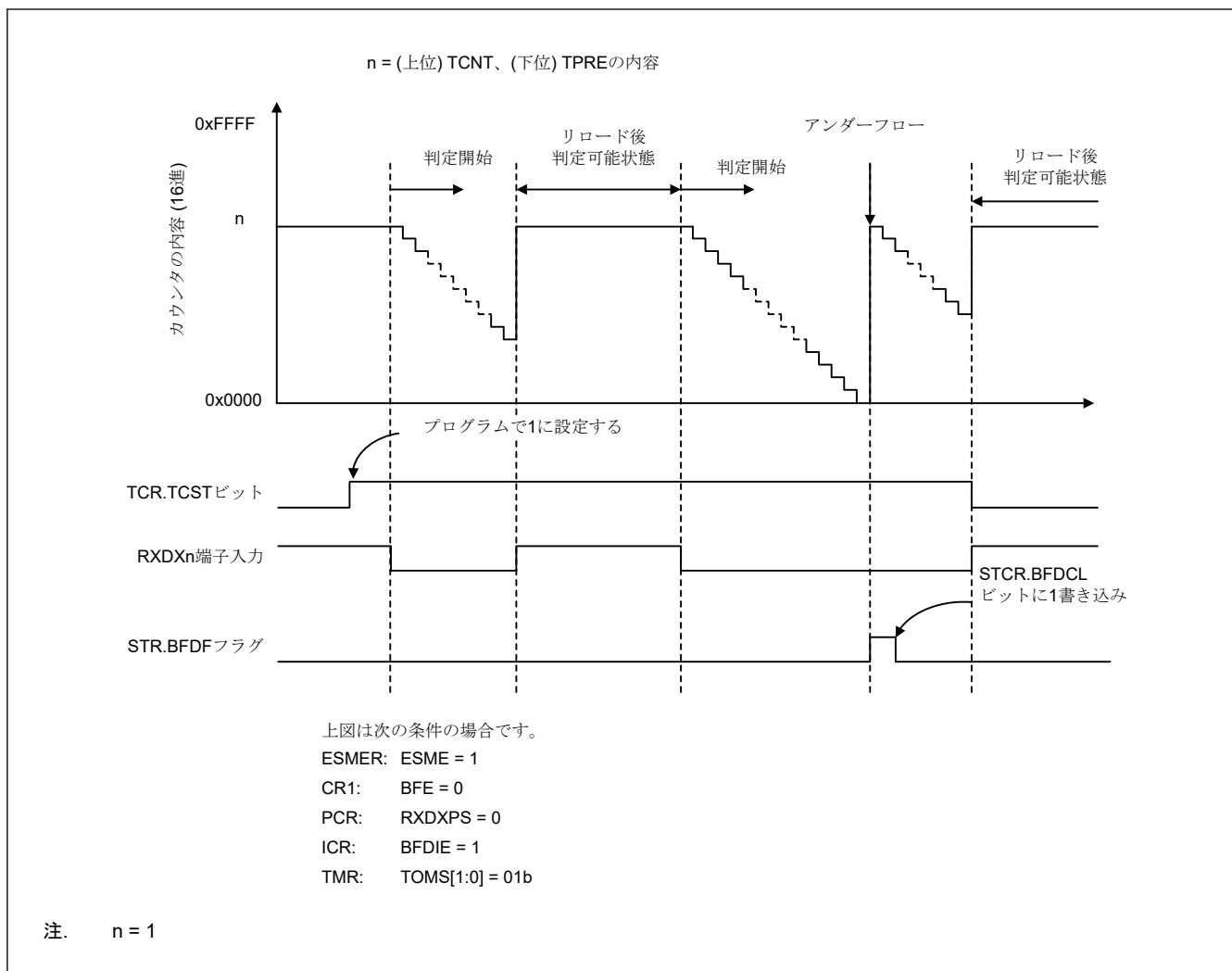


図 25.117 Break Field Low width 判定モードの動作例

(3) タイマモード

内部クロックをカウントクロックソースとしてカウントするモードです。TMR.TOMS[1:0]を 00b に設定すると、タイマモード動作になります。カウントクロックソースは MR.TCSS[2:0]ビットで選択します。TCR.TCST ビットに 1 を書き込むと、カウントを開始し、TCST ビットに 0 を書き込むとカウントを停止します。TPRE レジスタと TCNT レジスタが両方ともダウンカウントします。TPRE レジスタがカウント用のクロックソースサイクルをカウントし、TPRE レジスタのアンダーフローが TCNT レジスタによるカウントのクロックソースになります。タイマがアンダーフローすると、STR.BFDF フラグが 1 になります。また、ICR.BFDIE を 1 にしている場合は、SCIX0 割り込みが発生します。

25.12 割り込み要因

25.12.1 SCIn_TXI および SCIn_RXI 割り込みのバッファ動作（非 FIFO 選択時）

ICU の割り込みステータスフラグが 1 のときは、SCIn_TXI 割り込みと SCIn_RXI 割り込みの発生条件が成立していても、ICU は割り込み要求を出力せず、内部で保存します（内部で保存できる容量は、1 要因ごとに 1 要求までです）。

ICU の割り込みステータスフラグが 0 になると、ICU 内に保持されていた割り込み要求が出力されます。割り込み要求が出力されると、内部で保持されていた割り込みは自動的に破棄されます。また、内部で保持されていた割り込み要求は、対応する割り込み許可ビット（SCR/SCR_SMCI レジスタの TIE ビットまたは RIE ビット）をクリアすることでも破棄できます。

25.12.2 SCIn_TXI および SCIn_RXI 割り込みのバッファ動作 (FIFO 選択時)

ICU の割り込みステータスフラグを 1 にすると、SCIn_TXI 割り込みと SCIn_RXI 割り込みは、ICU に対して割り込み要求を出力しません。ICU の割り込みステータスフラグを 0 にした場合に、SCIn_TXI 割り込みと SCIn_RXI 割り込みの条件が満たされていれば、割り込み要求が発生します。

25.12.3 調歩同期式モード、マンチェスタモード、クロック同期式モード、および簡易 SPI モードにおける割り込み

(1) 非 FIFO 選択時

表 25.42 に調歩同期式モード、マンチェスタモード、クロック同期式モードおよび簡易 SPI モードにおける割り込み要因を示します。

各割り込み要因には、異なる割り込みベクタの割り当てが可能です。SCR レジスタの許可ビットによって、割り込み要因を個別に許可または禁止することができます。

SCR.TIE ビットが 1 のとき、送信データが TDR レジスタまたは TDRHL レジスタ^(注1)から TSR レジスタへ転送されると、SCIn_TXI 割り込み要求が発生します。また、SCIn_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることでも発生します。SCIn_TXI 割り込み要求を用いて DTC または DMAC を起動し、データ転送を行うことができます。

SCIn_TXI 割り込み要求は、SCR.TIE ビットが 0 の状態で SCR.TE ビットを 1 にした場合、または SCR.TE ビットが 1 の状態で SCR.TIE ビットを 1 にした場合には発生しません。^(注2)

SCR.TEIE ビットが 1 のとき、送信データの最終ビットを送信するタイミングまでに次のデータが書き込まれていないと、SSR.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。また、SCR.TE ビットを 1 にしてから TDR レジスタまたは TDRHL レジスタ^(注1)に送信データを書き込むまでの間は、SSR.TEND フラグは 1 を保持しており、SCR.TEIE ビットを 1 にすると SCIn_TEI 割り込み要求が発生します。

TDR レジスタまたは TDRHL レジスタ^(注1)にデータを書き込むと、SSR.TEND フラグがクリアされて SCIn_TEI 割り込み要求は取り消されますが、取り消されるまである程度時間がかかります。

SCR.RIE ビットが 1 のとき、受信データが RDR レジスタに格納されると、SCIn_RXI 割り込み要求が発生します。SCIn_RXI 割り込み要求を用いて DTC または DMAC を起動し、データ転送を行うことができます。

SCR.RIE ビットが 1 のとき、SSR レジスタの ORER、FER、PER、MER^(注3)のいずれかのフラグが 1 になると、SCIn_ERI 割り込み要求が発生します。

このとき、SCIn_RXI 割り込み要求は発生しません。これら全てのフラグ (ORER、FER、PER、MER^(注3)、SYER^(注3)、PFER^(注3)、SBER^(注3)) のすべてをクリアすることによって、SCIn_ERI 割り込み要求を取り消すことができます。

注 1. 調歩同期式モードにおいて、データ長 9 ビットを選択した場合です。

注 2. 最終データの送信時に SCIn_TXI 割り込みを一時的に禁止して、送信終了割り込みによる処理を行った後、新たにデータ送信を開始したい場合は、SCR.TIE ビットではなく、ICU の割り込み要求許可ビットを用いて、割り込みの発行を制御してください。この方法によって、新しいデータの送信時に、SCIn_TXI 割り込み要求の発生が抑止されるのを防ぐことができます。

注 3. MER、SYER、PFER、および SBER は、マンチェスタモードにおいてのみ SCIn_ERI 割り込み要因になります。SYER、PFER、および SBER はまた、その許可ビット (MECR の SYEREN、PFEREN、SBEREN) が 1 の場合のみ機能します。

(2) FIFO 選択時

表 25.43 に、FIFO モード選択時の割り込み要因を示します。

SCR.TIE ビットが 1 のとき、FTDRL レジスタに格納されたデータ量が FCR.TTRG で示されたしきい値以下になると、SCIn_TXI 割り込み要求が発生します。また、SCIn_TXI 割り込み要求は、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に 1 にする、または SCR.TE が 1 のときに SCR.TIE を 1 にすることでも発生します。

SCIn_TXI 割り込み要求は、SCR.TIE が 0 の状態で SCR.TE を 1 にした場合は発生しません。

SCR.TEIE ビットが 1 のとき、送信データの最終ビットを送信するタイミングまでに次のデータが FTDRL レジスタに書き込まれていないと、SSR_FIFO.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。

SCR.RIE ビットが 1 のとき、FRDRL レジスタに格納されたデータ数が FCR.RTRG で指示されたしきい値以上になると、SCIn_RXI 割り込み要求が発生します。RTRG が 0 の場合は、受信 FIFO 内のデータ数が 0 であっても、SCIn_RXI 割り込み要求は発生しません。

SCR.RIE ビットが 1 のとき、SSR_FIFO.ORER フラグが 1 になるか、あるいは、フレーミングエラーまたはパリティエラーのあるデータが FRDRL レジスタに格納されると、SCIn_ERI 割り込み要求が発生します。FRDRL レジスタに格納されたデータ数がしきい値以上であると、同時に SCIn_RXI 割り込み要求も発生します。SSR_FIFO の ORE、FER、PER フラグをすべてクリアすることで、SCIn_ERI 割り込み要求を取り消すことができます。

表 25.42 SCI の割り込み要因（非 FIFO 選択時）

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC または DMAC の起動
SCIn_ERI (n = 0, 1, 3~5, 9)	受信エラー(注1)	SSR.ORER、SSR.FER、SSR.PER、DCCR.DFER、DCCR.DPER、(SSR.MER、MESR.SYER、MESR.PFER、MESR.SBER) (注2)	SCR.RIE	不可
SCIn_RXI	(n = 0, 1, 3~5, 9) 受信データフル	SSR.RDRF	SCR.RIE	可能
	(n = 0, 3~5, 9) アドレス一致	DCCR.DCMF	SCR.RIE	可能
SCIn_AM (n = 0, 3~5, 9)	アドレス一致	DCCR.DCMF	—	不可
SCIn_TXI (n = 0, 1, 3~5, 9)	受信データエンプティ	SSR.TDRE	SCR.TIE	可能
SCIn_TEI (n = 0, 1, 3~5, 9)	送信完了	SSR.TEND	SCR.TEIE	不可

注 1. 割り込みフラグが ORE になるのはクロック同期式モードおよび簡易 SPI モードのみです。

注 2. MER、SYER、PFER、および SBER は、マンチェスタモードにおいてのみ ERI 割り込み要因になります。SYER、PFER、および SBER はまた、その許可ビット（MECR の SYEREN、PFEREN、SBEREN）が 1 の場合のみ機能します。

表 25.43 SCI の割り込み要因（FIFO 選択時）

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC または DMAC の起動
SCIn_ERI (n = 0, 3~5, 9)	受信エラー(注1)	SSR_FIFO.ORER、SSR_FIFO.FER、SSR_FIFO.PER、DCCR.DFER、DCCR.DPER	SCR.RIE	不可
		SSR_FIFO.DR (FCR.DRES = 1 の場合)	SCR.RIE	不可
SCIn_RXI (n = 0, 3~5, 9)	受信データフル	SSR_FIFO.RDF	SCR.RIE	可能
	受信データレディ	SSR_FIFO.DR (FCR.DRES = 0 の場合)	SCR.RIE	可能
	アドレス一致	DCCR.DCMF	SCR.RIE	可能
SCIn_AM (n = 0, 3~5, 9)	アドレス一致	DCCR.DCMF	—	不可
SCIn_TXI (n = 0, 3~5, 9)	受信データエンプティ	SSR_FIFO.TDFE	SCR.TIE	可能
SCIn_TEI (n = 0, 3~5, 9)	送信完了	SSR_FIFO.TEND	SCR.TEIE	不可

注 1. 割り込みフラグが ORE になるのはクロック同期式モードおよび簡易 SPI モードのみです。

25.12.4 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 25.44 の割り込み要因があります。このモードでは、送信終了割り込み (SCIn_TEI) 要求とアドレス一致 (SCIn_AM) 要求は使用できません。

表 25.44 SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC または DMAC の起動
SCIn_ERI (n = 0, 1, 3~5, 9)	受信エラー、エラー信号検出	SSR_SMCI.ORER、SSR_SMCI.PER、SSR_SMCI.ERS	SCR_SMCI.RIE	不可
SCIn_RX (n = 0, 1, 3~5, 9)	受信データフル	SSR_SMCI.RDRF	SCR_SMCI.RIE	可能
SCIn_TXI (n = 0, 1, 3~5, 9)	送信データエンプティ	SSR_SMCI.TEND	SCR_SMCI.TIE	可能

スマートカードインタフェースモードの場合も、通常の SCI モードと同様に、DTC または DMAC を使用した送受信が可能です。送信時に SSR_SMCI.TEND フラグが 1 であれば、SCIn_TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因として SCIn_TXI 割り込み要求を設定しておけば、SCIn_TXI 割り込み要求によって DTC または DMAC が起動され、送信データの転送が可能になります。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に 0 になります。

エラーが発生した場合は、SCI が自動的に同じデータを再送信します。再送信中は、TEND フラグが 0 のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生後の再送信を含め、SCI と DTC または DMAC が、指定されたバイト数を自動的に送信します。ただし、エラー発生時に SSR_SMCI.ERS フラグは自動的に 0 になりません。そのため、あらかじめ SCR_SMCI.RIE ビットを 1 にしておき、エラー発生時に SCIn_ERI 割り込み要求を発生させることで、ERS フラグをクリアしてください。

なお、DTC または DMAC を使用して送受信を行う場合は、必ず DTC または DMAC を有効にしてから SCI の設定を行ってください。DTC または DMAC の設定方法については、「16. データトランスファコントローラ (DTC)」、「15. DMA コントローラ (DMAC)」を参照してください。

受信動作では、受信データが RDR レジスタに格納されると、SCIn_RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DTC または DMAC が起動され、送信データの転送が可能になります。エラーが発生した場合は、エラーフラグがセットされます。そのため、DTC または DMAC は起動せず、代わりに CPU に対して SCIn_ERI 割り込み要求が発行されます。エラーフラグをクリアしてください。

25.12.5 簡易 IIC モードにおける割り込み

表 25.45 に、簡易 IIC モードにおける割り込み要因を示します。STI 割り込みは、送信終了割り込み (SCIn_TEI) 要求に割り当てられます。受信エラー割り込み (SCIn_ERI) 要求とアドレス一致 (SCIn_AM) 要求は使用できません。

簡易 IIC モードにおいても、DTC または DMAC を使用した送受信が可能です。

SIMR2.IICINTM ビットが 1 のとき：

- SCLn 信号の 8 ビット目の立ち下がりで、SCIn_RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DTC または DMAC が起動され、受信データの転送が可能になります。
- また、SCLn 信号の 9 ビット目（アクノリッジビット）の立ち上がりエッジで、SCIn_TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因として SCIn_TXI 割り込み要求を設定しておけば、SCIn_TXI 割り込み要求によって DTC または DMAC が起動され、送信データの転送が可能になります。

SIMR2.IICINTM ビットが 0 のとき：

- SCLn 信号の 9th ビット目（アクノリッジビット）の立ち上がりエッジで、SDAn 端子入力が Low であると、SCIn_RXI 割り込み要求（ACK 検出）が発生します。
- SCLn 信号の 9th ビット目（アクノリッジビット）の立ち上がりエッジで、SDAn 端子入力が High であると、SCIn_TXI 割り込み要求（NACK 検出）が発生します。
- あらかじめ DTC または DMAC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DTC または DMAC が起動され、受信データの転送が可能になります。

なお、DTC または DMAC を使用して送受信を行う場合は、必ず DTC または DMAC を有効にしてから SCI の設定を行ってください。

SIMR3.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いて開始条件、再開条件、停止条件を生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 25.45 SCI の割り込み要因 (1/2)

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC または DMAC の起動
SCIn_RX (n = 0, 1, 3~5, 9)	受信、ACK 検出	—	SCMR.RIE	可能(注1)
SCIn_TXI (n = 0, 1, 3~5, 9)	送信、NACK 検出	—	SCMR.TIE	可能

表 25.45 SCI の割り込み要因 (2/2)

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC または DMAC の起動
SCIn_TEI (STIn) (n = 0, 1, 3~5, 9)	開始条件、再開条件、停止条件生成終了	SIMR3.IICSTIF	SCMR.TEIE	不可

注 1. SIMR2.IICINTM ビットが 1 (受信割り込み、送信割り込みを使用) の場合にのみ、DTC または DMAC の起動が可能です。

25.12.6 簡易 LIN モード制御部の割り込み要求

簡易 LIN モード制御部が生成する割り込み要求には、SCIX0 割り込み (Break Field Low width 検出)、SCIX1 割り込み (Control Field 0 一致、Control Field 1 一致、プライオリティインタラプトビット検出)、SCIX2 割り込み (バス衝突検出)、および SCIX3 割り込み (有効エッジ検出) の計 6 種類があります。割り込み要因が発生すると、対応するステータスフラグが 1 になります。表 25.46 にすべての割り込み要求の詳細が記載されています。

表 25.46 簡易 LIN モード制御部の割り込み要因

割り込み要求	ステータスフラグ	割り込み要因
SCIX0 割り込み (Break Field Low width 検出)	BDFD	• タイマに設定した期間より長い Break Field Low width を検出したとき • タイマに設定した期間、Break Field Low width 出力が完了したとき • タイマがアンダーフローしたとき
SCIX1 割り込み (Control Field 0 一致)	CF0MF ビット	Control Field 0 の受信データが CF0DR に設定したデータと一致したとき
SCIX1 割り込み (Control Field 1 一致)	CF1MF ビット	Control Field 1 の受信データが PCF1DR または SCF1DR に設定したデータと一致したとき
SCIX1 割り込み (プライオリティインタラプトビット検出)	PIBDF	プライオリティインタラプトビットに指定したビットのデータが PCF1DR に設定したデータと一致したとき
SCIX2 割り込み (バス衝突検出)	BCDF	RXDn (n = 1) 端子の出力レベルと RXDn 端子の入力レベルをバス衝突検出クロックでサンプリングし、3 回連続不一致が発生とき
SCIX3 割り込み (有効エッジ検出)	AEDF	ビットレート測定中、有効エッジを検出したとき

25.13 イベントリンク機能

SCIn は、各割り込み要因をイベントとしてイベントリンクコントローラ (ELC) へ出力し、あらかじめ設定しておいたモジュールを動作させることが可能です。

イベントは、対応する割り込みの割り込み要求許可ビットの設定に関係なく出力させることが可能です。

(1) エラーイベント出力 (受信エラーまたはエラーシグナル検出時) (SCIn_ERI, n = 0, 1, 3~5, 9)

- 調歩同期式モードで、受信中にパリティエラーが発生して異常終了したことを示します。
- 調歩同期式モードで、受信中にフレーミングエラーが発生して異常終了したことを示します。
- 受信中にオーバーランエラーが発生して異常終了したことを示します。
- スマートカードインタフェースモードで、送信時にエラー信号が検出されたことを示します。
- FIFO 選択時かつ FCR.DRES ビットが 1 の場合、SSR_FIFO レジスタの FER フラグと PER フラグが 0 であり、受信 FIFO データトリガ数より少ない受信データが受信 FIFO バッファに格納され、15 ETU 経過したことを示します。

(2) 受信データフルイベント出力 (SCIn_RXI, n = 0, 1, 3~5, 9)

- 簡易 IIC モードで、SIMR2.IICINTM ビットが 0 のとき、ACK が検出されたことを示します。
- 簡易 IIC モードで、SIMR2.IICINTM ビットが 1 のとき、SCLn 信号の 8 ビット目の立ち下がりが検出されたことを示します。
- 簡易 IIC モードでのマスタ送信時に、SIMR2.IICINTM ビットが 1 のときは、受信データフルイベントを使用しないようにイベントリンクコントローラ (ELC) を設定してください。

非 FIFO 選択時

- 受信データが受信データレジスタ (RDR または RDRHL) に格納されたことを示します。

FIFO 選択時

- このイベント出力は使用しないでください。

(3) 送信データエンプティイベント出力 (SCIn_TXI, n = 0, 1, 3~5, 9)

- SCR/SCR_SMCLTE ビットが 0 から 1 に変化したことを示します。
- スマートカードインタフェースモードで、送信が完了したことを示します。
- 簡易 IIC モードで、SIMR2.IICINTM ビットが 0 のとき、NACK が検出されたことを示します。
- 簡易 IIC モードで、SIMR2.IICINTM ビットが 1 のとき、SCLn 信号の 9 ビット目の立ち下がりが検出されたことを示します。

非 FIFO 選択時

- 送信データが送信データレジスタ (TDR または TDRHL) から送信シフトレジスタ (TSR) へ転送されたことを示します。

FIFO 選択時

- このイベント出力は使用しないでください。

(4) 送信終了イベント出力 (SCIn_TEI, n = 0, 1, 3~5, 9)

- 送信が完了したことを示します。
- 簡易 IIC モードで、開始条件、再開条件、停止条件の生成が完了したことを示します。

注. FIFO が選択されている場合、このイベント出力は使用しないでください。

(5) アドレス一致イベント出力 (SCIn_AM, n = 0, 1, 3~5, 9)

- 調歩同期式モード (マルチプロセッサモードを含む) において、DCCR.DCME ビットが 1 の場合、比較データ (CDR.CMPD) と受信データの 1 フレームが一致したことを示します。

25.14 アドレス不一致イベント出力 (SCI0_DCUF)

SCI0_DCUF は、調歩同期式モード (マルチプロセッサモードを含む) において、DCCR.DCME ビットが 1 の場合、比較データ (CDR.CMPD) と受信データの 1 フレームが一致しなかったことを示します。このイベントは、スヌーズ終了要求に対してのみ使用可能です。詳細は、「10. 低消費電力モード」を参照してください。

25.15 ノイズ除去機能

図 25.118 に、ノイズ除去機能に用いるノイズフィルタの構成を示します。ノイズフィルタは 2 段のフリップフロップ回路と一致検出回路で構成されます。ノイズフィルタの入力信号と、2 段のフリップフロップ回路の出力信号が完全に一致したとき、一致したレベルが内部信号として伝えられます。一致しない場合は前の値が保持されます。ノイズフィルタのサンプリングクロックで、同じレベルが 3 サイクル以上保持された場合、有効な受信信号とみなされます。3 サイクルに達する前にパルスが変化した場合、それは受信信号ではなく、ノイズとみなされます。

調歩同期式モードでは、RXDn 端子に入力される受信信号にノイズ除去機能を使用できます。RXDn 端子の受信レベルは、調歩同期式モードの基本クロックを使用して、ノイズフィルタのフリップフロップ回路に取り込まれます。

- SEMR.ABCS = 0 かつ SEMR.ABCSE = 0 の場合、周期は 1 ビット期間の 1/16 となります。
- SEMR.ABCS = 1 かつ SEMR.ABCSE = 0 の場合、周期は 1 ビット期間の 1/8 となります。
- SEMR.ABCSE = 1 の場合、周期は 1 ビット期間の 1/6 となります。

簡易 IIC モードでは、SDAn 端子と SCLn 端子の各入力信号に、この機能を使用できます。サンプリングクロックは、ボーレートジェネレータの分周クロックの設定 (SNFR.NFCS[2:0]) から選択されます。

ノイズフィルタが有効な状態で基本クロックを一度停止させ、その後、基本クロック入力を再開させた場合、ノイズフィルタは、クロック停止時の状態から動作を再開します。基本クロックの入力中に SCR.TE ビットと SCR.RE ビットを 0 にすると、ノイズフィルタのフリップフロップ値はすべて 1 に初期化されます。したがって、受信再開時の入力データが 1 の場合は、レベル一致が検出されたと判断され、その結果が内部信号として伝えられます。入力レベルが 0 の場合は、サンプリングサイクルで連続して 3 回信号のレベルが一致するまで、ノイズフィルタの最初の出力値が保持されます。

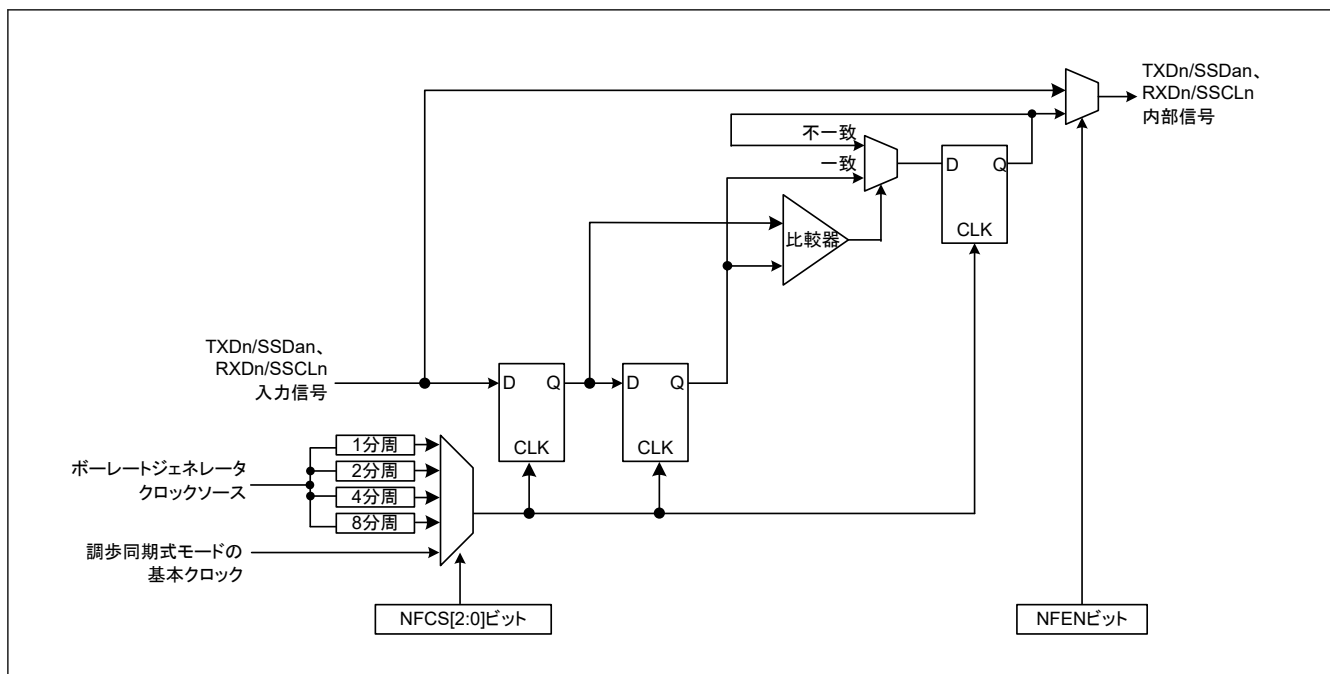


図 25.118 デジタルノイズフィルタ回路のブロック図

25.16 使用上の注意

25.16.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SCI の動作禁止/許可を設定できます。SCI は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[10. 低消費電力モード](#)」を参照してください。

25.16.2 低消費電力状態での SCI の動作

(1) 送信

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、TXDn 端子を汎用入出力ポート機能に切り替えた後、送信動作を停止 (SCR/SCR_SMCI レジスタの TIE、TE、および TEIE ビットを 0) にしてください。入出力ポートを SCI 接続に設定すると、SPTR レジスタによって TXDn 端子状態の制御が可能になります。TE ビットを 0 にすることにより、TSR レジスタが初期化され、SSR/SSR_SMCI レジスタの TEND ビットは、1 にリセットされます (非 FIFO 選択時)。また、FIFO 選択時には値が保持されます。モジュールストップ状態またはソフトウェアスタンバイモードから復帰した後の出力端子の状態は、ポートの設定と SPTR レジスタの設定に依存し、低消費電力状態へ遷移する前のレベルを出力する場合があります。送信中に低消費電力状態へ遷移すると、送信中のデータは不定になります。

低消費電力状態を解除した後、同じ送信モードで送信する場合は、以下の手順を実行します。

1. TE ビットを 1 に設定します。
2. SSR/SSR_FIFO/SSR_SMCI を読み出します。
3. 連続して TDR レジスタへの書き込みを行い、データ送信を開始します。

異なる送信モードで送信する場合は、SCI の初期化からやり直してください。

図 25.119 に、送信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。図 25.120 と図 25.121 に、ソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

DTC 転送または DMAC 転送による送信モードから、モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、最初に、送信動作を停止 (TE ビットを 0) にしてください。低消費電力状態の解除後に DTC または DMAC による送信を開始する場合は、TE ビットを 1 にしてください。SCIn_TXI 割り込みフラグが 1 になり、DTC または DMAC による送信が始まります。

(2) 受信

ウェイクアップ条件としてアドレス一致検出機能を使用しない場合

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、最初に、受信動作を停止 (SCR/SCR_SMCI.RE = 0) にしてください。受信中に遷移すると、受信中のデータは無効になります。

図 25.122 に、受信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。

ウェイクアップ条件としてアドレス一致検出機能を使用する場合

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する前に、以下の手順を実行します。

1. 低消費電力状態解除後の動作を設定します。
2. CDR.CMPD ビットと DCCR.DCME ビットを 1 にします。
3. 受信動作を許可 (SCR/SCR_SMCI.RE = 1) にします。
4. モジュールストップ状態またはソフトウェアスタンバイモードを設定します。

SCI が低消費電力モードへ遷移するとき、受信データ端子 (RXDn) が Low であれば、SEMR.RXDESEL を 0 にしてください。

SEMR.RXDESEL が 1 になっていると、低消費電力モードの解除時にスタートビット (RXDn 端子の立ち下がり) が検出されない可能性があります。

図 25.123 に、アドレス一致を用いて受信中にソフトウェアスタンバイモードへ遷移する場合のフロー例を示します。

SCI0 をスヌーズモードで使用する場合

SCI0 をスヌーズモードで使用する場合は、最大ビットレートなどのいくつかの制約事項があります。詳細は、「10. 低消費電力モード」を参照してください。

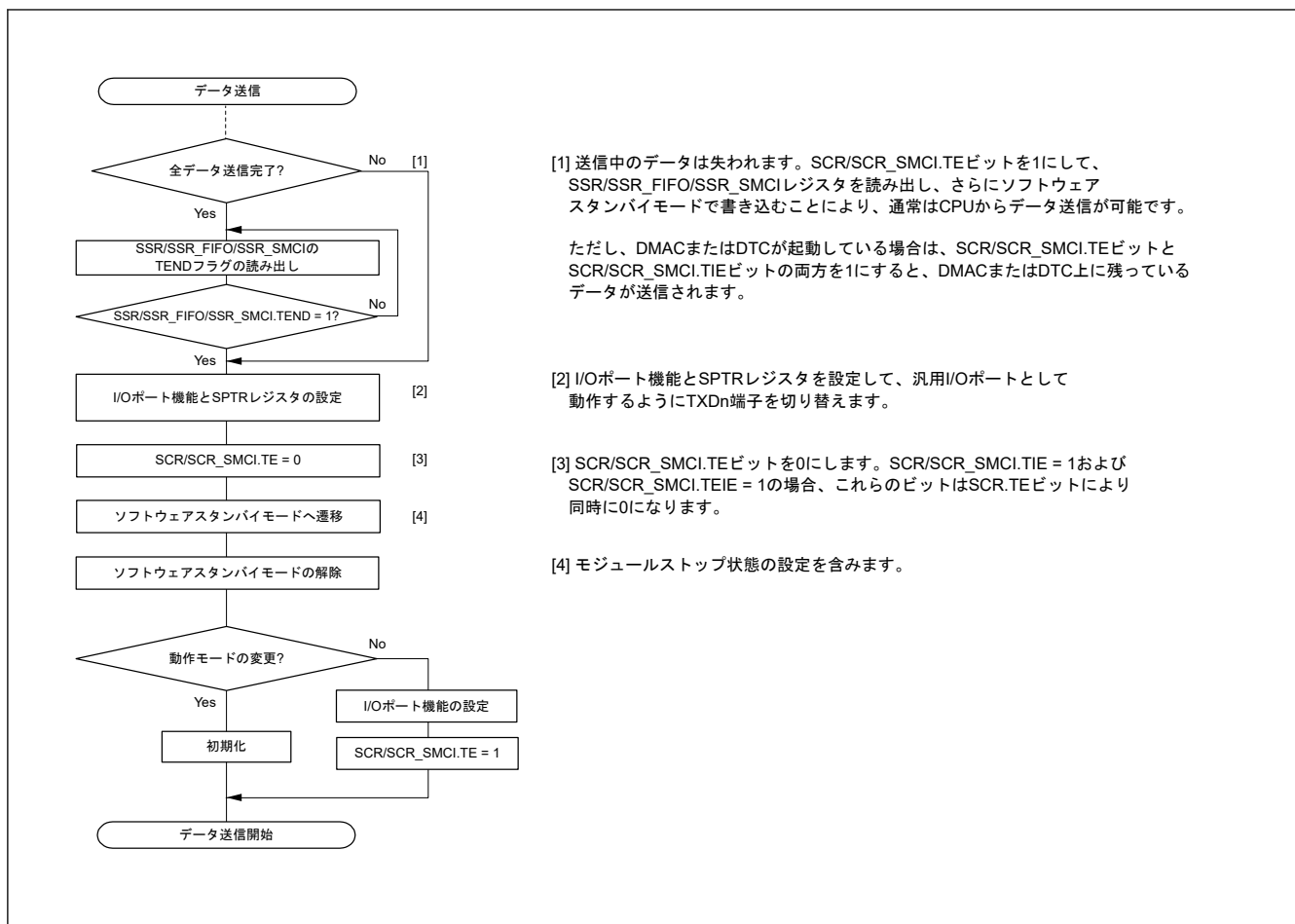


図 25.119 送信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

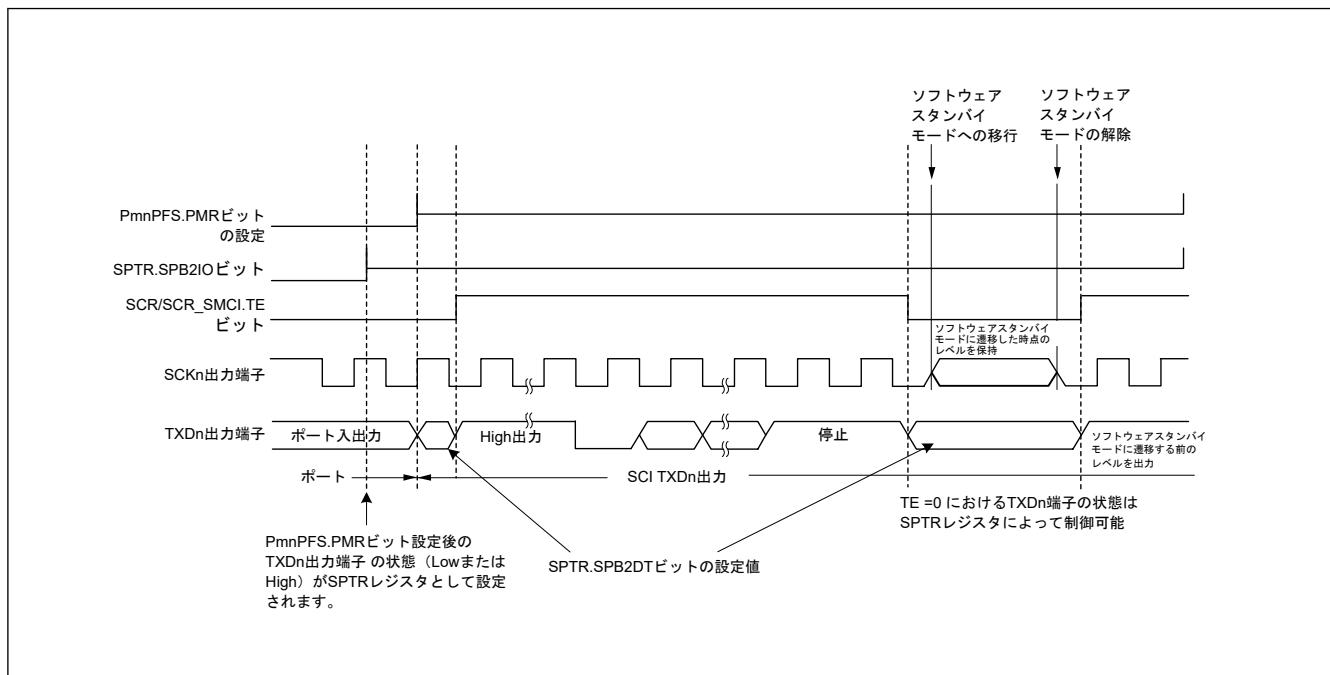


図 25.120 ソフトウェアスタンバイモード遷移中のポートの端子状態（内部クロック、調歩同期式送信）

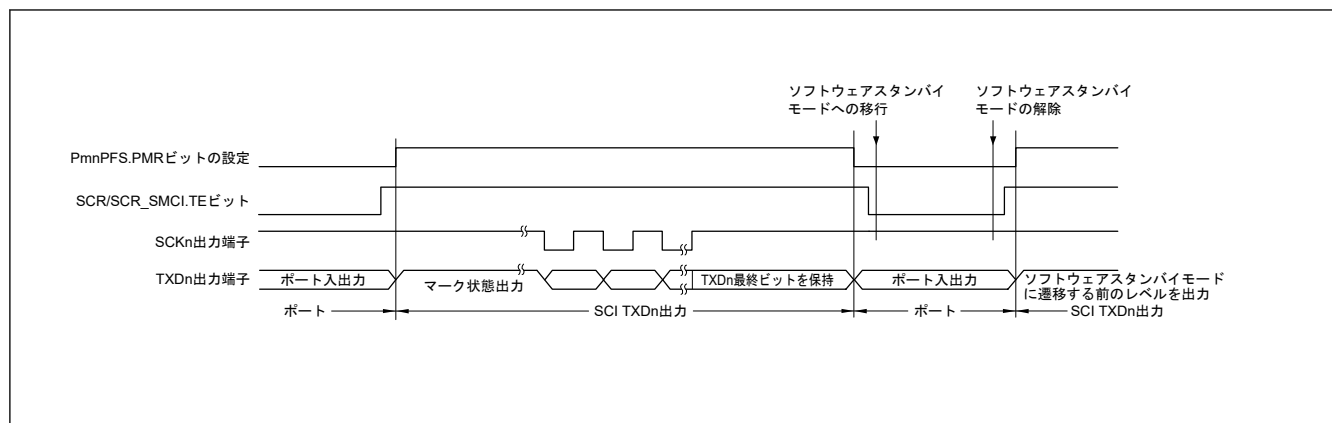


図 25.121 ソフトウェアスタンバイモード遷移中のポートの端子状態（内部クロック、クロック同期式送信）

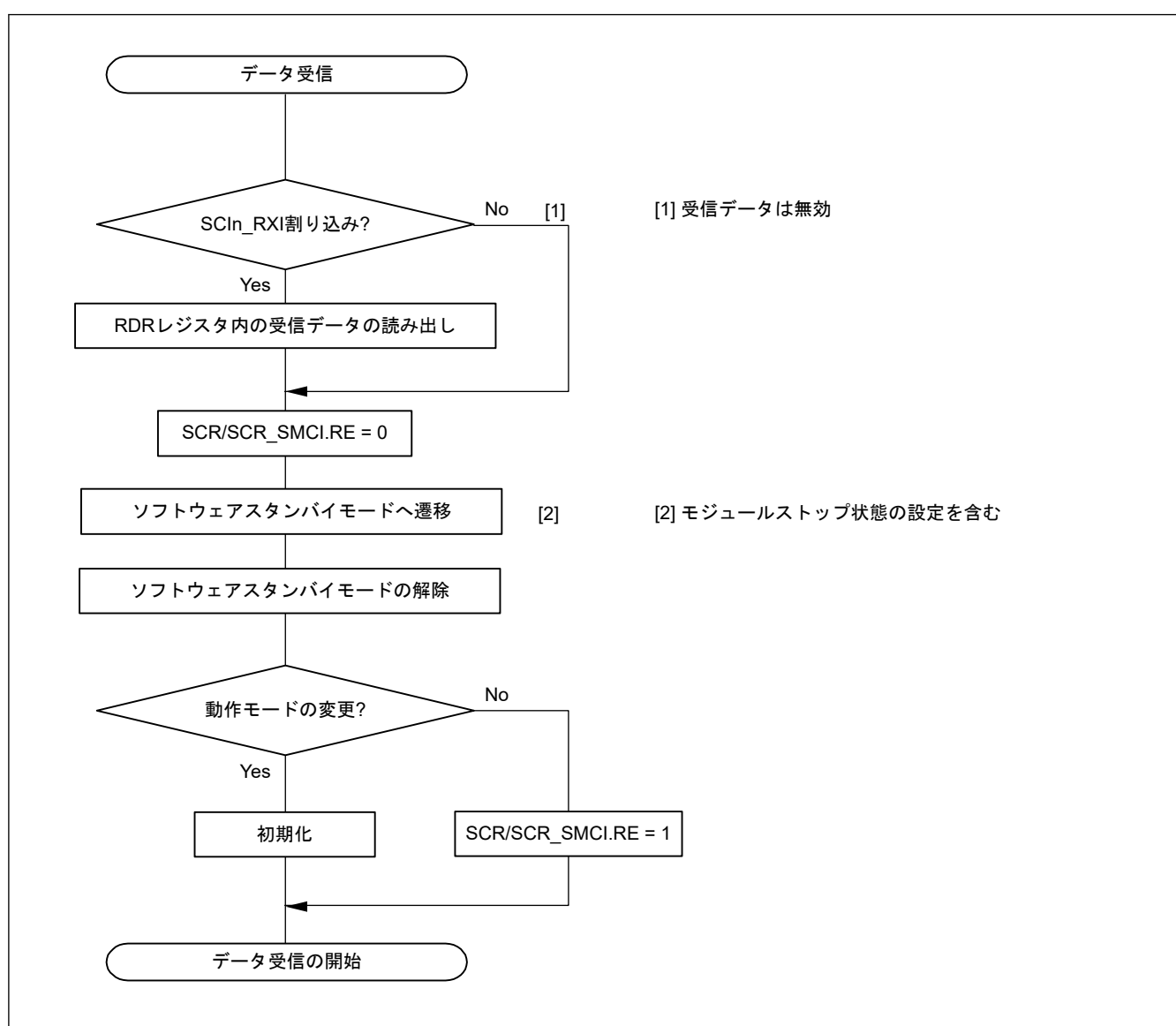


図 25.122 受信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

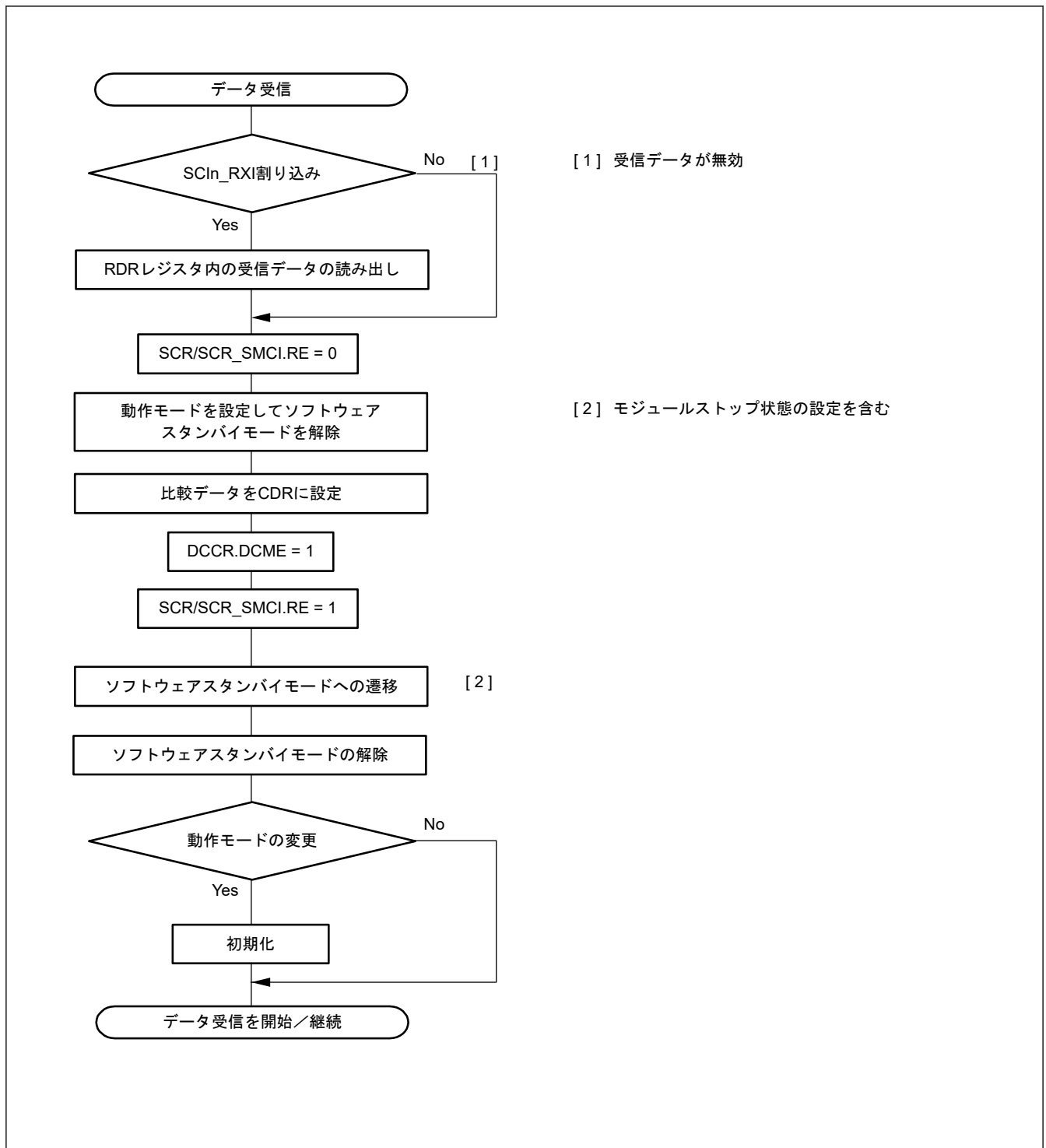


図 25.123 アドレス一致を用いて受信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

25.16.3 ブレークの検出と処理について

(1) 非 FIFO 選択時

フレーミングエラー検出時に、RXD_n 端子の値を直接読み出すことでブレークを検出できます。ブレークでは、RXD_n 端子からの入力すべてが 0 になるため、SSR.FER フラグが 1（フレーミングエラーの発生あり）になり、さらに SSR.PER フラグも 1（パリティエラーの発生あり）になる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって、FER フラグを 0（フレーミングエラーの発生なし）にしても、再び FER フラグが 1 になります。SEMR.RXDESEL ビットが 1 のとき、SCI は、SSR.FER フラグを 1 にして、次のデ

ータフレームのスタートビットが検出されるまで、受信動作を停止します。このとき、SSR.FER フラグが 0 であれば、ブレイク中は SSR.FER フラグは 0 を保持します。

RXDn 端子が 1 になってブレイクが終了した後、最初の RXDn 端子の立ち下がりエッジでスタートビットの先頭を検出すれば、受信動作を開始させることが可能です。

(2) FIFO 選択時

フレーミングエラーが検出された後、SCI によって 1 フレーム分の連続する受信データが 0 であることが検出された場合、受信動作が停止します。フレーミングエラー検出時に、SPTR.RXDMON フラグの値を読み出すことでブレイクの検出が可能です。RXDn 信号が High になってブレイクが終了した後、FRDRHL レジスタへのデータ受信が再開されます。

25.16.4 マーク状態とブレイクの送出

SCR/SCR_SMCI.TE ビットが 0 (シリアル送信動作を禁止) のとき、SPTR.SPB2IO ビットと SPTR.SPB2DT ビットを用いて TXDn 端子状態の設定が可能です。この方法により、TXDn 端子をマーク状態にして、ブレイクを送出できます。

SCR/SCR_SMCI.TE ビットを 1 (シリアル送信動作を許可) にする前に、SPB2IO ビットと SPB2DT ビットによって通信回線をマーク状態 (1 の状態) に設定し、I/O ポート機能を用いて TXDn 端子を変更してください。データ送信時にブレイクを出力したいときは、SPB2IO ビットと SPB2DT ビットによって TXDn 端子を 0 出力に設定した後、I/O ポート機能を用いて TXDn 端子を変更し、SCR/SCR_SMCI.TE ビットを 0 にしてください。SCR/SCR_SMCI.TE ビットを 0 にすると、現在の送信状態とは無関係に送信部は初期化されます。

25.16.5 受信エラーフラグと送信動作について (クロック同期式モードおよび簡易 SPI モード)

受信エラーフラグ (SSR/SSR_FIFO.ORER) が 1 の状態では、TDR または FTDRL レジスタ^(注1)にデータを書き込んでも、送信は開始できません。送信を開始する前に、受信エラーフラグは必ず 0 にしてください。

注. SCR/SCR_SMCI.RE ビットを 0 (シリアル受信動作を禁止) にしても、受信エラーフラグは 0 にできません。

注 1. 簡易 SPI モードでは、FTDRH レジスタを使用しないでください。

25.16.6 クロック同期送信に関する制限事項 (クロック同期式モードおよび簡易 SPI モード)

同期クロックに外部クロックソースを使用する場合、以下の制限事項があります。

(1) 送信開始時

TDR レジスタへの送信データの書き込みから、外部クロック入力 of の開始まで、下記に示す以上の待機時間を確保してください。

1 PCLK + スレーブのデータ出力遅延時間 (t_{DO}) + マスタのセットアップ時間 (t_{SU})。図 25.124 を参照してください。

(2) 連続送信時

送信クロックのビット[7]の立ち下がりエッジ以前に、TDR レジスタまたは TDRHL レジスタに次の送信データを書き込んでください。図 25.124 を参照してください。

ビット[7]送信開始以降に TDR レジスタを更新する場合は、同期クロックが Low の期間に TDR レジスタを更新し、かつ送信クロックの 7 ビット目の High 幅を、4 PCLK サイクル以上にしてください。図 25.124 を参照してください。

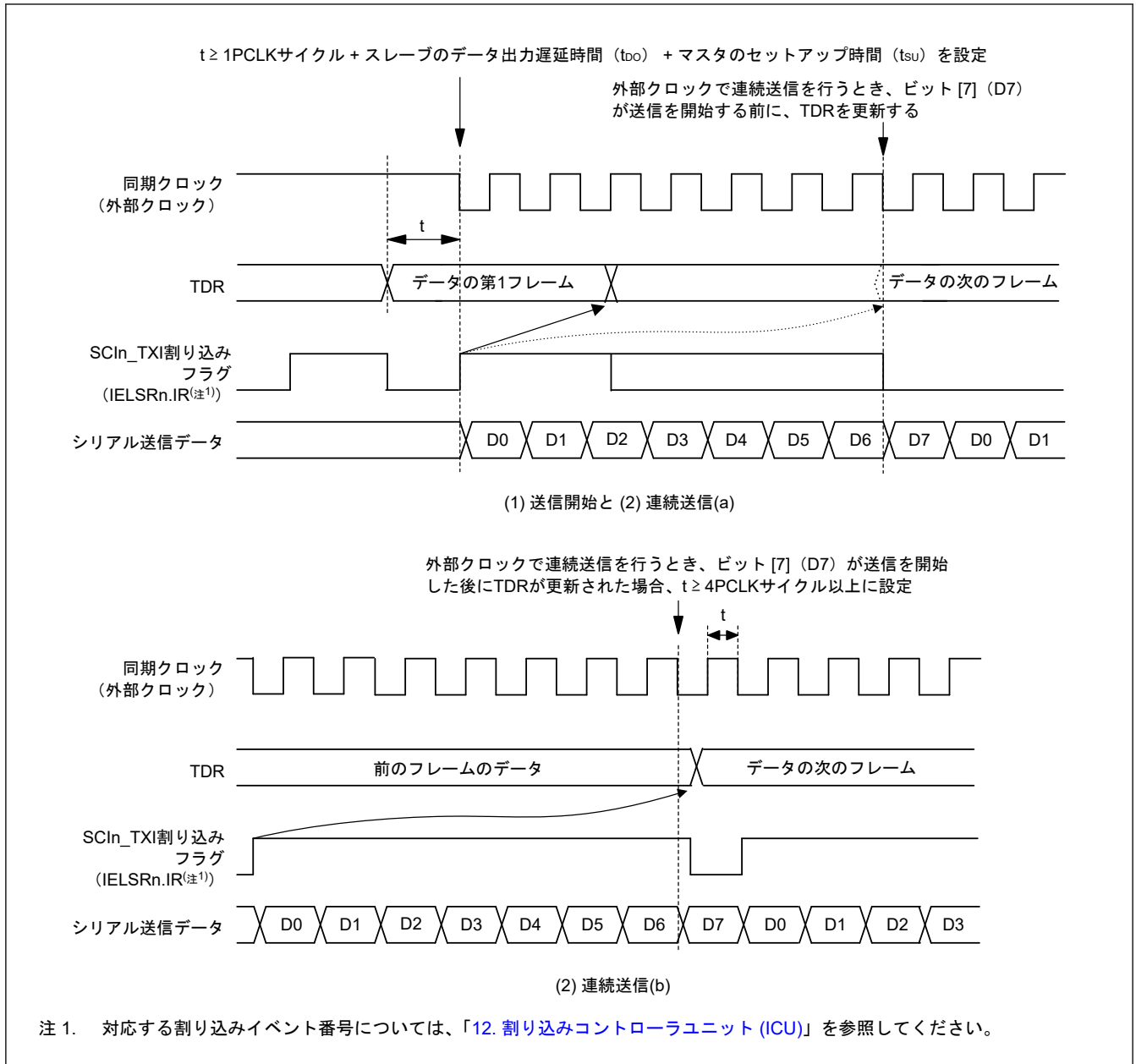


図 25.124 クロック同期式送信時の外部クロック使用に関する制約事項

25.16.7 DTC または DMAC 使用時の制約事項

DTC または DMAC による送受信動作中は、DTC または DMAC に転送データを設定しないでください。

(1) TDR (FTDRHL) レジスタへの書き込み

非 FIFO 選択時

TDR および TDRHL レジスタにデータを書き込むことが可能です。ただし、TDR または TDRHL レジスタに送信データが残っている状態で、TDR または TDRHL レジスタに新しいデータを書き込むと、残っていたデータは TSR レジスタへ転送されず、失われます。DTC または DMAC を使用する場合、TDR または TDRHL レジスタへの送信データの書き込みは、必ず SCIn_TXI 割り込み要求の処理ルーチンで行ってください。

FIFO 選択時

SCR.TE ビットが 1 の場合に、FTDRH レジスタおよび FTDRL レジスタにデータを書き込むことが可能です。FDR.T[4:0] ビットによって、書き込み可能なデータ数を確認してください。

(2) RDR (FRDRHL) レジスタからの読み出し

DTC または DMAC を用いて RDR および RDRHL レジスタを読み出すときは、対応する SCI の起動要因として、必ず受信データフル割り込み (SCI_{IN_RXI}) を設定してください。

25.16.8 通信の開始に関する注意事項

転送開始時点で ICU の割り込みステータスフラグ (IELSR_n.IR フラグ) が 1 のときは、動作許可 (SCR/SCR_SMCI.TE ビットまたは SCR/SCR_SMCI.RE ビットを 1) にする前に、以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

1. 転送が停止していること (SCR/SCR_SMCI.TE ビットまたは SCR/SCR_SMCI.RE ビットが 0 になっていること) を確認します。
2. 対応する割り込み許可ビット (SCR/SCR_SMCI.TIE ビットまたは SCR/SCR_SMCI.RIE ビット) を 0 にします。
3. 対応する割り込み許可ビット (SCR/SCR_SMCI.TIE ビットまたは SCR/SCR_SMCI.RIE ビット) を読み出して、実際に 0 になっていることを確認します。
4. ICU の割り込みステータスフラグ (IELSR_n.IR フラグ) を 0 にします。

25.16.9 クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力

クロック同期式モードと簡易 SPI モードでは、外部クロック SCK_n 入力を下記のように設定してください。

High パルス期間および Low パルス期間は 2PCLK 以上、周期は 6PCLK 以上

25.16.10 簡易 SPI モードに関する制限事項

(1) マスタモード

- SPMR.SSE ビットが 1 の場合、SPMR.CKPH ビットと CKPOL ビットで設定した送受信クロックの初期値に合わせて、クロック線を抵抗でプルアップまたはプルダウンしてください。
これによって、SCR.TE ビットを 0 にしたときにクロック線がハイインピーダンス状態になったり、SCR.TE ビットを 0 から 1 に変更したときにクロック線に意図しないエッジが発生したりするのを防止できます。シングルマスタモードで SPMR.SSE ビットが 0 の場合は、SCR.TE ビットを 0 にしてもクロック線はハイインピーダンスにならないので、プルアップまたはプルダウンは不要です。
- クロック遅れあり (SPMR.CKPH ビット = 1) では、[図 25.125](#) に示すように、SCK_n 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み (SCI_{IN_RXI}) が発生します。SCR レジスタの TE ビットと RE ビットを SCK_n 端子の最終クロックエッジより前に 0 にすると、SCK_n 端子出力がハイインピーダンスとなり、送受信クロックの最後のクロックパルス幅が短くなります。また、SCI_{IN_RXI} 割り込みの発生によって、SCK_n 端子の最終クロックエッジより前に接続先スレーブの SS_n 端子入力信号が High になった場合、スレーブが誤動作する可能性があります。
- マルチマスタ構成では、キャラクタ転送中にモードフォルトエラーが発生すると、SS_n 端子入力が Low の間に、SCK_n 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

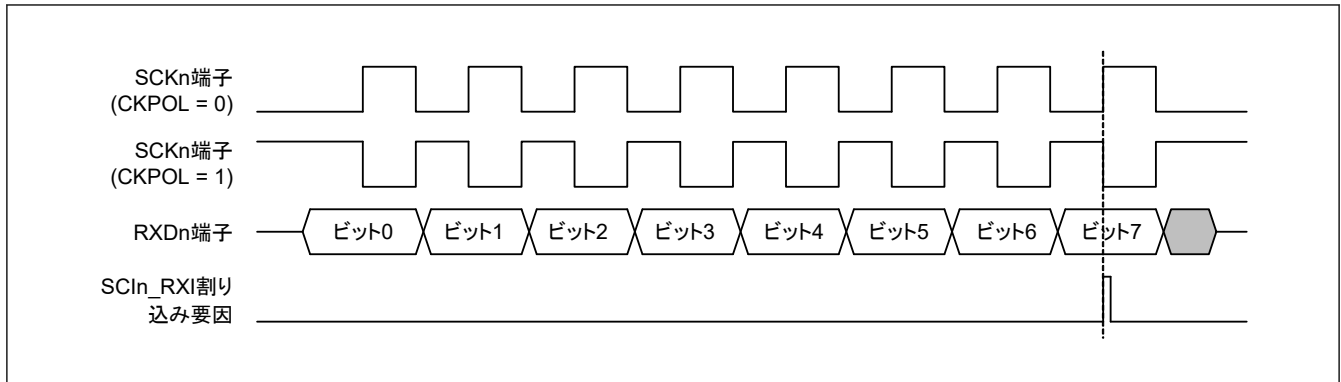


図 25.125 簡易 SPI モードにおける SCIIn_RXI 割り込みの発生タイミング (クロック遅れあり)

(2) スレーブモード

- TDR レジスタへの送信データの書き込みから、外部クロック入力開始まで、下記に示す以上の待機時間を確保してください。

$1PCLK + \text{スレーブのデータ出力遅延時間 (t}_{DO}) + \text{マスタのセットアップ時間 (t}_{SU})$

また、SSn 端子への Low 入力から、外部クロック入力開始までについても、5PCLK 以上の待機時間を確保してください。

- マスタからの外部クロックの供給は、転送データ長に合わせてください。
- SSn 端子入力は、データ転送開始前と完了後に制御してください。
- キャラクタの転送中に SSn 端子への入力レベルが Low から High に変化した場合は、SCR レジスタの TE ビットと RE ビットを 0 にして、設定を回復後に 1 バイト目から転送をやり直してください。

25.16.11 トランスミットイネーブルビット (SCR.TE) に関する注意事項

SCR.TE ビットが 0 のとき、初期レジスタ値において、TXDn 端子の状態が高インピーダンスになります。以下のいずれかの方法により、TXDn ラインが高インピーダンスにならないようにしてください。

1. プルアップ抵抗を TXDn ラインに接続します。
2. SCR.TE ビットが 0 になる前に、端子機能を汎用の出力ポートに変更する。その後、SCR.TE ビットを 1 にした後、端子機能を TXDn に変更する。
3. 調歩同期式モードでは、SCR.TE ビットが 0 の間に、SPTR レジスタを設定して TXDn 端子レベルを決定できます。

簡易 SPI モードのスレーブ動作では、MISO_n 端子は上記 TXDn 端子と同様の動作をします。MISO_n 端子は TXDn 端子と同様に、上記の 1. と 2. により、高インピーダンスにしないでください。

25.16.12 簡易 LIN モード制御部の使用上の制約事項 1

PCR.SHARPS ビットを 1 にした場合、TXDX_n/RXDX_n (n = 1) 端子は以下のときのみ出力となります。

- SCI_n モジュールのタイマを Break Field Low width 出力モードで TCR.TCST ビットを 1 にしたとき (TCR の TCST を 1 にし、Low が出力されるまで、最大でタイマカウンタクロックソースの 1 サイクルの High が出力されます。)
- SCI_n.SCR.TE ビットの値が 1

25.16.13 簡易 LIN モード制御部の使用上の制約事項 2

簡易 LIN モードを有効にした場合も、SCI_n ERI、SCI_n RXI、SCI_n TXI、および SCI_n TEI (n = 1) は生成されます。ただし、スタートフレーム受信中はこれらの割り込みを使用しないでください。

この対応として下記 2 つがあります。

1. SCI_n の SCR.RIE ビットを 0 にし、割り込み要求出力を禁止してください。この場合受信エラーが発生した場合に ERI 割り込みが発生しないため、スタートフレームの受信終了タイミングで、SCI_n の SSR レジスタのエ

ラーフラグをチェックしてください。スタートフレーム受信完了後インフォメーションフレームの第1バイト受信完了するまでの間に、SCI_nのSCR.RIEビットを1に切り替えてください。

2. SCI_nのSCR.RIEビットを1にし、ICUのRXI割り込みを禁止し、ICUのERI割り込みを許可してください。スタートフレーム受信完了後インフォメーションフレームの第1バイト受信完了するまでの間に、ICUのRXI割り込みに対応するIR_n.IRフラグをクリアし、ICUのRXI割り込みを許可に切り替えてください。
3. なお、受信エラーを検出したときは、[図 25.126](#)に従ってSCI_nのエラーフラグのクリアおよびSCI_n制御部の初期化を実施してください。

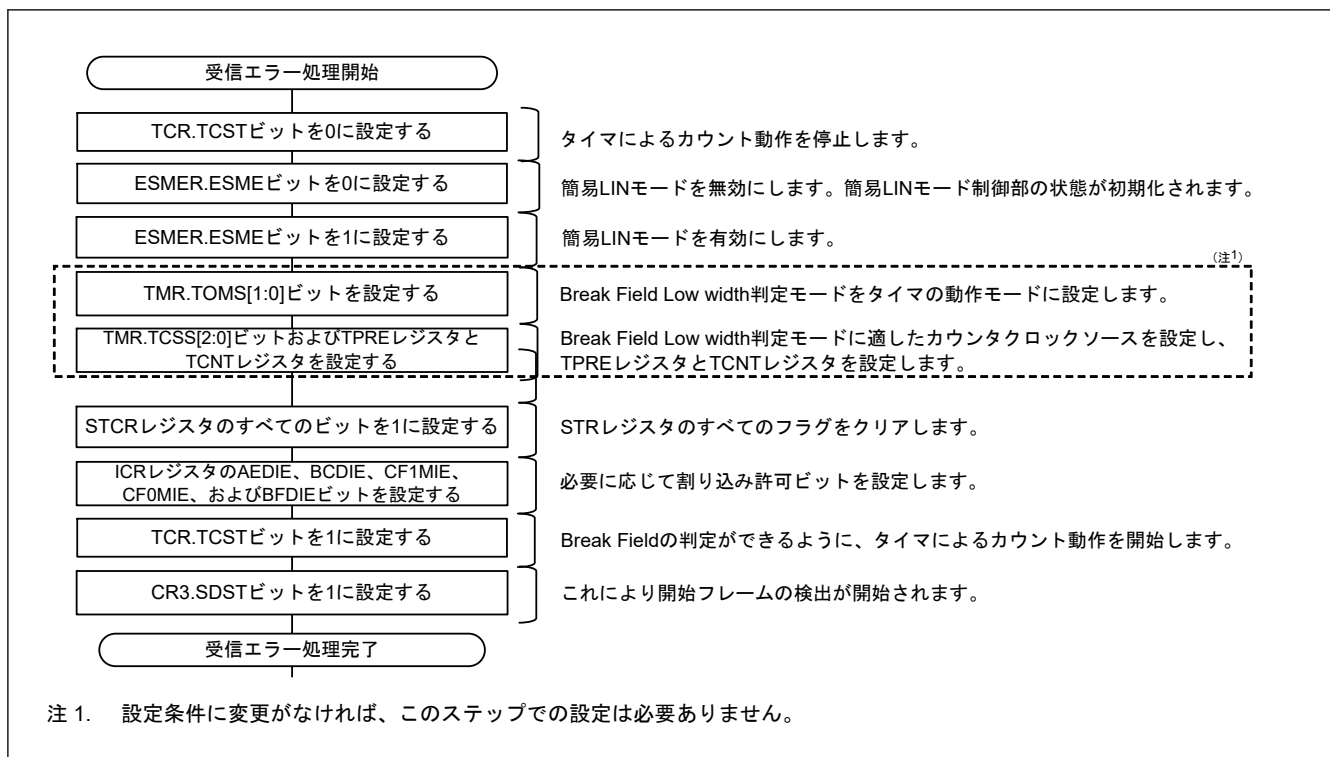


図 25.126 受信エラー処理のフローチャートの例（スタートフレーム受信時）

25.16.14 調歩同期式モードで RTS 機能を使用した時の受信の停止について

調歩同期式モードにおいて、SCR.RE ビットを 0 に設定してから RTS 信号ジェネレータを停止するまでに PCLK の 1 クロックサイクルが必要です。

SCR.RE ビットを 0 に設定した後で RDR（または RDRHL）レジスタから読み出すときは、これら 2 つの処理が続けて実行されることを防ぐために、RDR（または RDRHL）レジスタから読み出す前に SCR.RE ビットが 0 に設定されていることを確認してください。

26. IrDA インタフェース (IrDA)

26.1 概要

IrDA インタフェースは、SCI5 と連携して IrDA (Infrared Data Association) 規格バージョン 1.0 に基づく IrDA 通信波形の送受信を行います。

IRCR レジスタの IRE ビットで IrDA 機能を有効にすると、SCI5 の TXD5 信号と RXD5 信号は IrDA 規格バージョン 1.0 に準拠した波形にエンコード/デコードされます (IRTXD5/IRRXD5 端子)。この波形を赤外線送受信機と接続することにより、IrDA 規格バージョン 1.0 システムに準拠した赤外線データ通信を実現します。

IrDA 規格バージョン 1.0 システムでは、9600bps の転送レートで通信を開始し、その後、必要に応じて転送レートを変化させることが可能です。IrDA インタフェースは、自動的に転送レートを変更する機能を内蔵していないため、転送レートは、ソフトウェアで変更する必要があります。

図 26.1 に、IrDA インタフェースと SCI5 の連携イメージを示します。

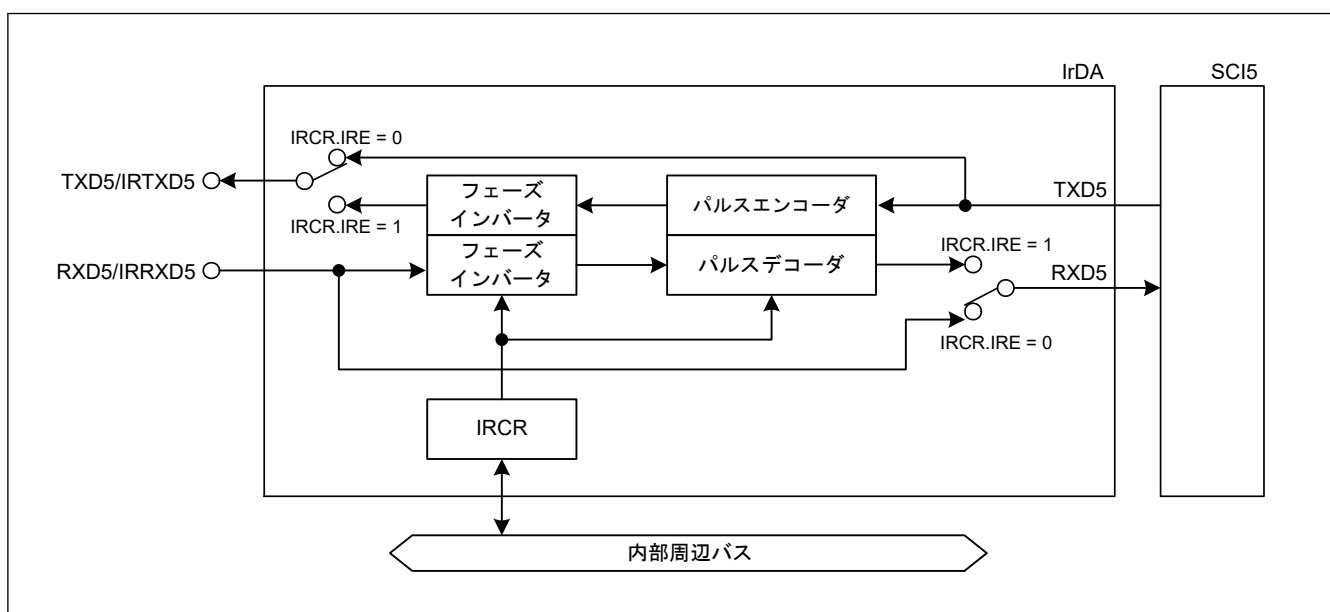


図 26.1 IrDA インタフェースと SCI5 の連携

表 26.1 IrDA の入出力端子

端子名	入出力	機能
IRTXD5	出力	送信データ
IRRXD5	入力	受信データ

26.2 レジスタの説明

26.2.1 IRCR : IrDA コントロールレジスタ

Base address: SCI5 = 0x4011 8500

Offset address: 0xA00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	IRE	—	—	—	IRTXI NV	IRRXI NV	—	—

Value after reset:	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
2	IRRXINV	IRRXD 極性切り替えビット 0: IRRXD 端子からの入力を受信データとしてそのまま使用 1: IRRXD 端子からの入力を極性反転して受信データとして使用	R/W
3	IRTXINV	IRTXD 極性切り替えビット 0: 送信データをそのまま IRTXD 端子から出力 1: 送信データを極性反転して IRTXD 端子から出力	R/W
6:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	IRE	IrDA 有効ビット 0: シリアル入出力端子を通常のシリアル通信に使用 1: シリアル入出力端子を IrDA データ通信に使用	R/W

IRRXINV ビット (IRRXD 極性切り替えビット)

IRRXINV ビットは、IRRXD 端子からの入力のロジックレベルを反転します。

IRTXINV ビット (IRTXD 極性切り替えビット)

IRTXINV ビットは、IRTXD 端子からの出力のロジックレベルを反転します。

IRE ビット (IrDA 有効ビット)

IRE ビットは、入出力端子を通常の通信モード用、または IrDA 通信モード用にするかを設定します。

26.3 動作説明

26.3.1 IrDA インタフェースの設定手順

IrDA インタフェースの動作は、下記の手順で設定してください。

1. ポート mn 端子機能選択レジスタで、当該端子の I/O ポート機能を IRTXD5 端子と IRRXD5 端子に割り当てます (PmnPFS.PSEL[4:0] = 00101b)。
2. ポート mn 端子機能選択レジスタで、I/O ポート機能を周辺機能に設定します (PmnPFS.PMR = 1)。
3. IRCR レジスタで IrDA 機能を設定します。
4. シリアルコミュニケーションインタフェース (SCI) の SCI1 関連レジスタを設定します。

26.3.2 送信

送信時には、SCI5 からの出力信号 (UART フレーム) は IrDA インタフェースによって IR フレームに変換されます (図 26.2 参照)。IRCR.IRTXINV ビットが 0 で、シリアルデータが 0 の場合、ビット周期 (1 ビット幅の期間) の 3/16 の High パルスが出力されます (初期設定)。IrDA 規格では、High パルス幅は最小で 1.41 μ s と定められています。シリアルデータが 1 の場合、パルスは出力されません。

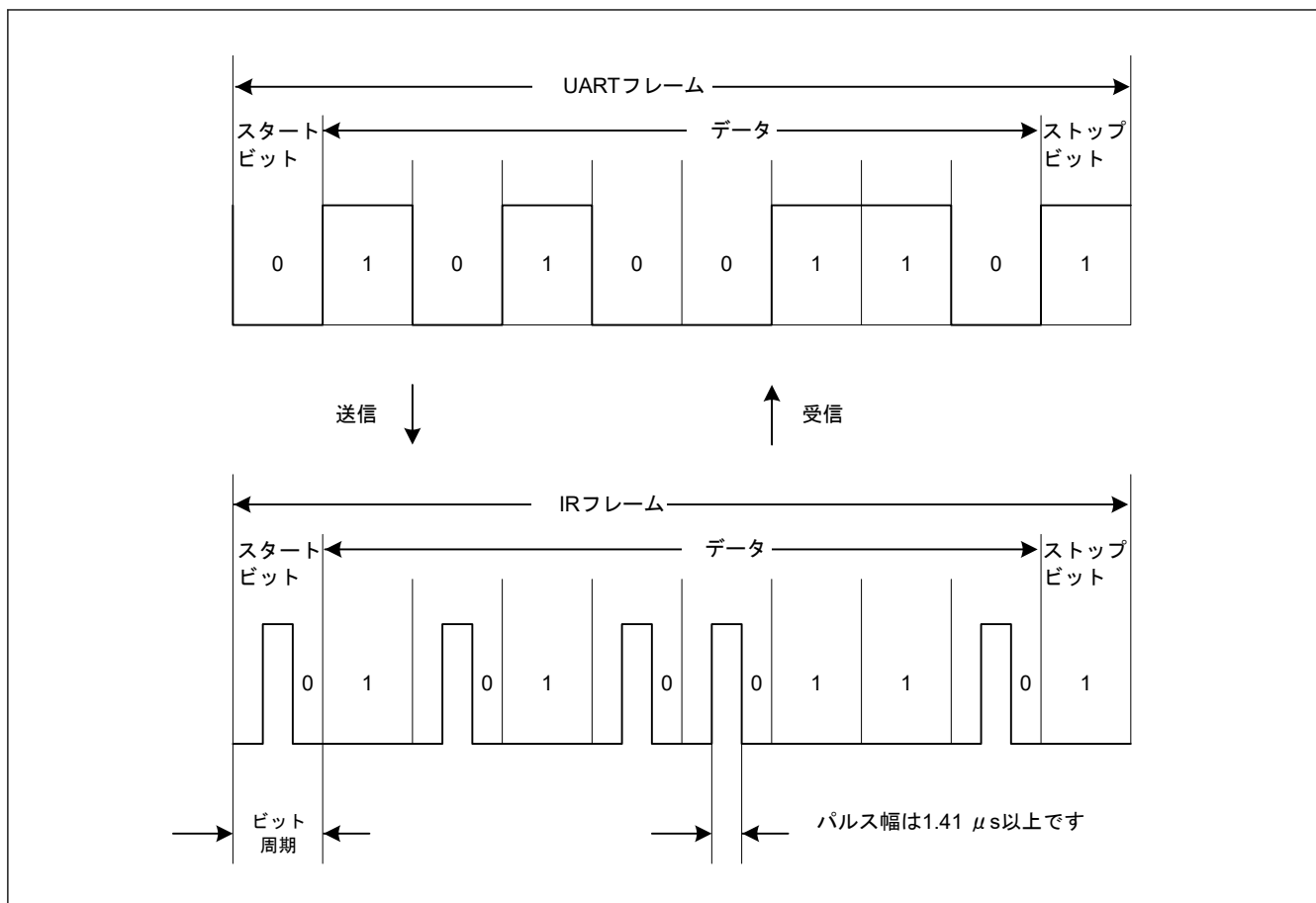


図 26.2 IrDA インタフェースの送信／受信動作

26.3.3 受信

受信時には、IR フレームのデータは IrDA インタフェースによって UART フレームに変換され、SCI5 に入力されます。IRCR.IRRXINV ビットが 0 で、High パルスが検出されたときに、Low データが SCI5 に入力されます。1 ビット期間中にパルスが検出されないと、High データが SCI5 に入力されます。

26.4 使用上の注意事項

26.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、IrDA の動作の禁止または許可を設定することが可能です。リセット後の値では、IrDA の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[10. 低消費電力モード](#)」を参照してください。

26.4.2 調歩同期式モードにおける SCI5 の基準クロック

IrDA はビットレートの 16 倍の周波数のクロックを SCI5 から受信し、SCI5 と連携して動作します。IrDA を使用する場合は、SCI5.SEMR.ABCSE ビット、SCI5.SEMR.ABCS ビット、および SCI5.SEMR.BGDM ビットを 0 にしてください。

27. I²C バスインタフェース (IIC)

27.1 概要

I²C バスインタフェース (IIC) には 2 チャンネルあります。IIC モジュールは、NXP 社の I²C (Inter-Integrated Circuit) バスインタフェース方式に準拠しており、そのサブセット機能を備えています。

表 27.1 に IIC の仕様を、図 27.1 に IIC のブロック図を、図 27.2 に入出力端子の外部回路接続例 (I²C バス構成例) を示します。表 27.2 に IIC の入出力端子を示します。

表 27.1 IIC の仕様 (1/2)

項目	内容
通信フォーマット	- I²C バスフォーマットまたは SMBus フォーマット - マスタ/スレーブモードを選択可能 - 転送速度に応じたセットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	ファストモードプラス対応 (～1 Mbps)
SCL クロック	マスタ動作時、SCL クロックのデューティ比を 4%～96%の範囲で設定可能
コンディション発行・コンディション検出	- スタートコンディション/リスタートコンディション/ストップコンディションの自動生成 - スタートコンディション (リスタートコンディション含む) /ストップコンディションの検出が可能
スレーブアドレス	- 異なるスレーブアドレスを 3 種類まで設定可能 7 ビット/10 ビットアドレスフォーマット対応 (混在可能) - ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能
アクノリッジ応答	- 送信時、アクノリッジビットの自動ロード ノットアクノリッジビット検出時に次送信データ転送の自動中断が可能 - 受信時、アクノリッジビットの自動送出 8 クロック目と 9 クロック目の間にウェイトありを選択すると、受信値に応じたアクノリッジビット値のソフトウェア制御が可能
ウェイト機能	受信時、SCL クロックの Low ホールドによる下記期間のウェイトが可能： 8 クロック目と 9 クロック目の間をウェイト 9 クロック目と次転送の 1 クロック目の間をウェイト
SDA 出力遅延機能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能
アービトレーション	- マルチマスタ対応 - 他のマスタとの SCL クロック衝突時、SCL クロックの同期が可能 - スタートコンディション発行がバスで競合した場合、SDA 内部信号と SDA ラインの状態の不一致によるアービトレーションロストを検出可能 - マスタ動作時、SDA 内部信号と SDA ラインの状態の不一致によるアービトレーションロストを検出可能 - バスビジー中のスタートコンディション発生によるアービトレーションロストを検出可能 (スタートコンディションの二重発行防止) - ノットアクノリッジビット送信時、SDA 内部信号と SDA ラインの状態の不一致によるアービトレーションロストを検出可能 - スレーブ送信時、データの SDA 内部信号と SDA ラインの状態の不一致によるアービトレーションロストを検出可能
タイムアウト検出機能	SCL クロックの長時間停止を内部で検出
ノイズ除去	- SCL および SDA 信号用のデジタルノイズフィルタ - フィルタによるノイズ除去幅をプログラマブルに調整可能
割り込み要因	- 通信エラーまたはイベント発生：アービトレーションロスト検出、NACK、タイムアウト、スタート/リスタートコンディション、またはストップコンディション - 受信データフル (スレーブアドレス一致時含む) - 送信データエンプティ (スレーブアドレス一致時含む) - 送信終了
モジュールストップ機能	モジュールストップ状態の設定が可能
IIC の動作モード	- マスタ送信 - マスタ受信 - スレーブ送信 - スレーブ受信

表 27.1 IIC の仕様 (2/2)

項目	内容
イベントリンク機能（出力）	- 通信エラーまたはイベント発生：アービトレーションロスト検出、NACK、タイムアウト、スタート／リスタートコンディション、またはストップコンディション - 受信データフル（スレーブアドレス一致時含む） - 送信データエンプティ（スレーブアドレス一致時含む） - 送信終了
ウェイクアップ機能(注1)	CPU はウェイクアップイベントを使用して、ソフトウェアスタンバイモードから復帰可能
TrustZone フィルタ	各チャンネルに対してセキュリティ属性を設定可能

注 1. この機能は、IIC0 のみ使用可能です。IIC1 はサポートしていません。

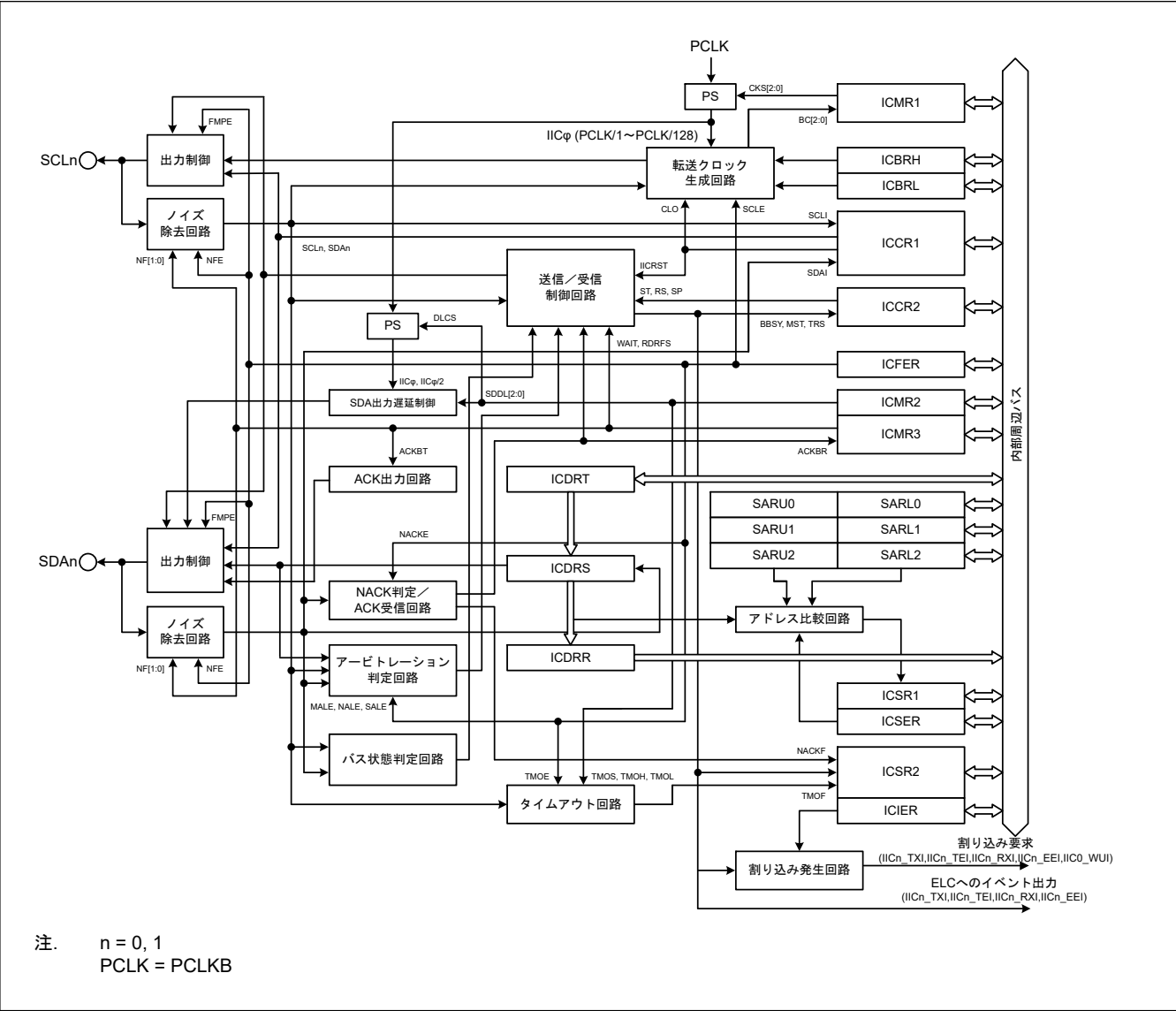


図 27.1 IIC のブロック図

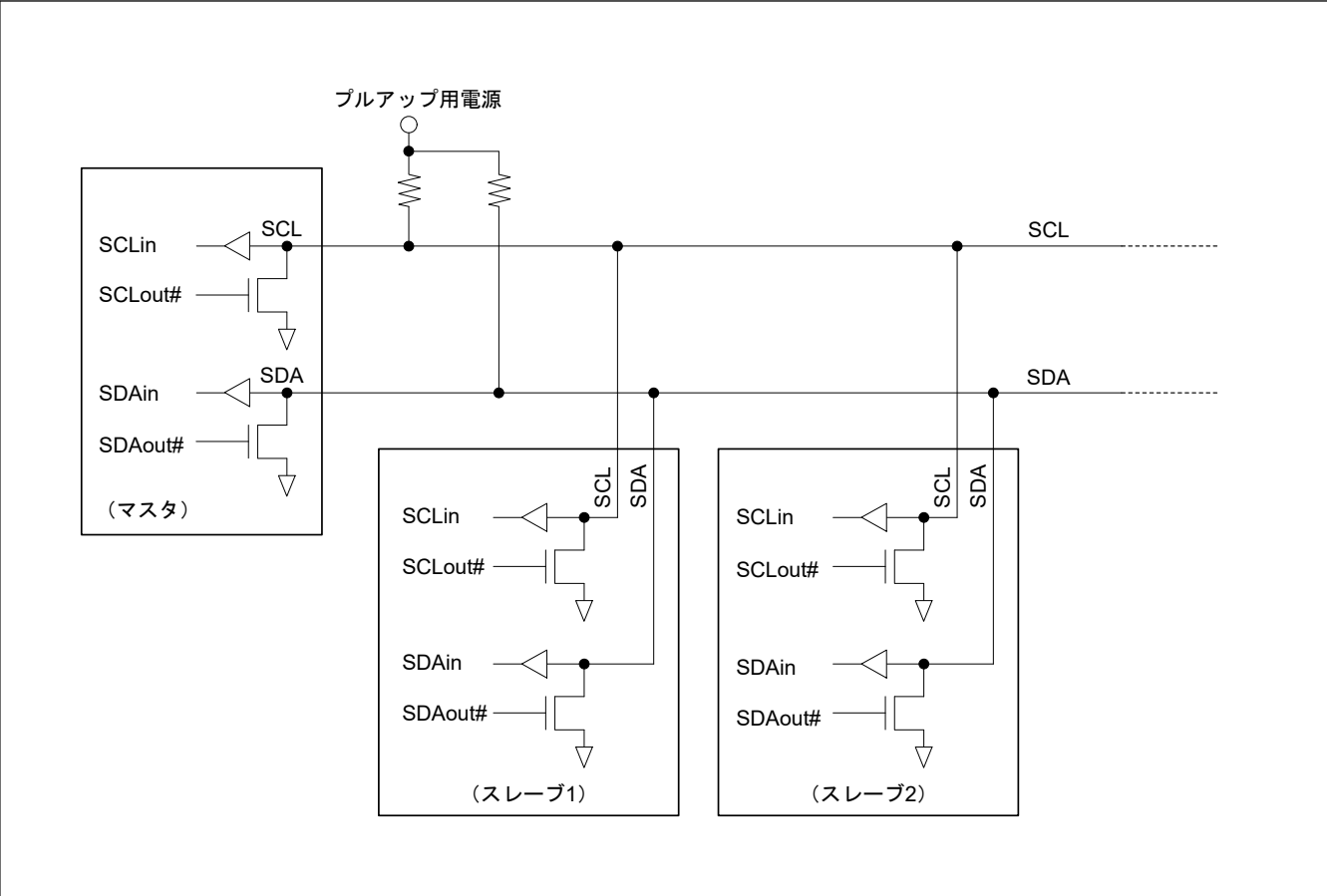


図 27.2 入出力端子の外部回路接続例 (I²C バス構成例)

IIC の各信号の入力レベルは、I²C バス選択時 (ICMR3.SMBS = 0) は CMOS レベルであり、SMBus 選択時 (ICMR3.SMBS = 1) は TTL レベルです。

表 27.2 IIC の入出力端子

チャネル	端子名	入出力	機能
IICn	SCLn	入出力	IICn シリアルクロック入出力端子
	SDAn	入出力	IICn シリアルデータ入出力端子

注. n = 0, 1

27.2 レジスタの説明

27.2.1 ICCR1 : I²C バスコントロールレジスタ 1

Base address: IICn = 0x4009_F000 + 0x0100 × n (n = 0, 1)

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ICE	IICRS T	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
Value after reset:	0	0	0	1	1	1	1	1

ビット	シンボル	機能	R/W
0	SDAI	SDAn ラインモニタフラグ 0: SDAn ラインは Low 1: SDAn ラインは High	R

ビット	シンボル	機能	R/W
1	SCLI	SCLn ラインモニタフラグ 0: SCLn ラインは Low 1: SCLn ラインは High	R
2	SDAO	SDA 出力制御／モニタ 0: 読み出し時：IIC は SDA _n 端子を Low にする 書き込み時：IIC は SDA _n 端子を Low にする 1: 読み出し時：IIC は SDA _n 端子を解放する 書き込み時：IIC は SDA _n 端子を解放する	R/W
3	SCLO	SCL 出力制御／モニタ 外部プルアップ抵抗を使用して信号を High にしてください。 0: 読み出し時：IIC は SCL _n 端子を Low にする 書き込み時：IIC は SCL _n 端子を Low にする 1: 読み出し時：IIC は SCL _n 端子を解放する 書き込み時：IIC は SCL _n 端子を解放する	R/W
4	SOWP	SCLO/SDAO ライトプロテクト 読むと 1 が読めます。 0: SCLO ビットおよび SDAO ビットの書き込みを許可 1: SCLO ビットおよび SDAO ビットの書き込みを禁止	W
5	CLO	SCL クロック追加出力 1 クロック出力後、自動的に 0 になります。 0: SCL クロックを追加で出力しない 1: SCL クロックを追加で出力する	R/W
6	IICRST	I ² C インタフェース内部リセット これにより、ビットカウンタをクリアし、SCL _n /SDA _n 出力ラッチを解除します。 0: IIC リセットまたは内部リセットを解除する 1: IIC リセットまたは内部リセットを行う	R/W
7	ICE	I ² C インタフェース許可 IICRST ビットとの組み合わせで、IIC リセット、または内部リセットを選択します。 0: 無効 (SCL _n および SDA _n 端子は非駆動状態) 1: 有効 (SCL _n および SDA _n 端子は駆動状態)	R/W

SDAO ビット (SDA 出力制御／モニタ)、SCLO ビット (SCL 出力制御／モニタ)

SDAO ビットおよび SCLO ビットは、IIC から出力される SDA_n 信号と SCL_n 信号を直接操作します。これらのビットに書き込む場合は、SOWP ビットにも 0 を書いてください。これらのビットを設定すると、入力バッファを介して IIC に入力されます。スレープモードに設定していると、ビットの設定によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディションの期間中、または送受信中に、これらのビットを書き換えしないでください。これらの期間に書き換えた場合の動作は保証されません。これらのビットを読んだ場合は、そのとき IIC が出力している信号の状態が読めます。

CLO ビット (SCL クロック追加出力)

CLO ビットは、SCL クロックを 1 クロック単位で追加出力できるようにするもので、デバッグ時またはエラー処理時に使用します。通常は 0 にしてください。通常の通信状態でこのビットを 1 にすると、通信エラーの原因になります。この機能の詳細については、「[27.12.2. SCL クロック追加出力機能](#)」を参照してください。

IICRST ビット (I²C インタフェース内部リセット)

IICRST ビットは、IIC の内部状態をリセットします。このビットを 1 にすると、IIC リセットまたは内部リセットを起動できます。IIC リセットまたは内部リセットのどちらが起動するかは、ICE ビットとの組み合わせにより決定されます。[表 27.3](#) に IIC のリセットの種類を示します。

IIC リセットでは、IIC の ICCR1.ICE ビットと ICCR1.IICRST ビットを除く全レジスタと内部状態が初期化されます。内部リセットでは、IIC の内部状態に加えて、以下を初期化します。

- ビットカウンタ (ICMR1.BC[2:0]ビット)
- I²C バスシフトレジスタ (ICDRS)
- I²C バスステータスレジスタ (ICSR1、ICSR2)
- SDAO、SCLO 出力制御／モニタ (ICCR1.SDAO ビット、ICCR1.SCLO ビット)

● I²C バスコントロールレジスタ 2 (ICCR2.BBSY ビットを除く)

各レジスタのリセット条件については、「[27.15. 各コンディション発行時のリセット、レジスタ、機能の状態](#)」を参照してください。

動作中に (ICE = 1 の状態で) IICRST ビットを 1 にして内部リセットを行うと、ポートの設定と IIC のコントロールレジスタや設定レジスタを初期化することなく、IIC の内部状態がリセットされます。また、IIC が Low を出力したままハングアップした場合、内部状態をリセットすることで、Low 出力状態が解除され、SCLn 端子と SDA_n 端子がハイインピーダンスの状態でバスが解放されます。

注. スレーブモード時に、マスタデバイスとの通信中に生じたバスのハングアップに対して IICRST ビットで内部リセットを行うと、ビットカウンタ情報の差異が原因で、スレーブデバイスとマスタデバイスが異なる状態になることがあります。そのため、スレーブモード時には内部リセットは行わないでください。復帰処理はマスタデバイスから行うようにしてください。スレーブモード時に SCLn ラインが Low 出力状態のまま IIC がハングアップしたため、内部リセットが必要になった場合は、内部リセット後にマスタデバイスからリスタートコンディションを発行するか、またはストップコンディションを発行して、スタートコンディションから通信をやり直してください。スレーブデバイスのみでリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディションの発行がないまま通信が再開されると、マスタデバイスとスレーブデバイスが非同期で動作するため、同期ずれが発生します。

表 27.3 IIC のリセットの種類

IICRST	ICE	状態	内容
1	0	IIC リセット	IIC の ICCR1.IICRST ビットと ICCR1.ICE ビットを除く全レジスタと内部状態をリセット
	1	内部リセット	以下をリセット ● ICMR1.BC[2:0]ビット ● ICSR1, ICSR2, ICDRS レジスタ ● SDAO、SCLO 出力制御/モニタ (ICCR1.SDAO ビット、ICCR1.SCLO ビット) ● I²C バスコントロールレジスタ 2 (ICCR2.BBSY ビットを除く) ● IIC の内部状態

ICE ビット (I²C インタフェース許可)

ICE ビットは、SCLn および SDA_n 端子の駆動状態または非駆動状態を選択します。また、IICRST ビットと組み合わせ、2 種類のリセットを起動することもできます。リセットの説明については、[表 27.3](#) を参照してください。

IIC を使用するときは、ICE ビットを 1 にしてください。ICE ビットを 1 にすると、SCLn および SDA_n 端子は駆動状態になります。IIC を使用しないときは、ICE ビットを 0 にしてください。ICE ビットを 0 にすると、SCLn および SDA_n 端子は非駆動状態になります。端子機能制御を設定するときに、SCLn または SDA_n 端子を IIC に割り当てないでください。これらの端子が IIC に割り当てられると、スレーブアドレス比較が行われます。

27.2.2 ICCR2 : I²C バスコントロールレジスタ 2

Base address: IIC_n = 0x4009_F000 + 0x0100 × n (n = 0, 1)

Offset address: 0x01

Bit position:	7	6	5	4	3	2	1	0
Bit field:	BBSY	MST	TRS	—	SP	RS	ST	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	ST	スタートコンディション発行要求 0: スタートコンディション要求を発行しない 1: スタートコンディション要求を発行する	R/W
2	RS	リスタートコンディション発行要求 0: リスタートコンディション要求を発行しない 1: リスタートコンディション要求を発行する	R/W

ビット	シンボル	機能	R/W
3	SP	ストップコンディション発行要求 0: ストップコンディション要求を発行しない 1: ストップコンディション要求を発行する	R/W
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	TRS	送信／受信モード 0: 受信モード 1: 送信モード	R/W(注1)
6	MST	マスタ／スレーブモード 0: スレーブモード 1: マスタモード	R/W(注1)
7	BBSY	バスビジー検出フラグ 0: I ² C バスは解放状態（バスフリー状態） 1: I ² C バスは占有状態（バスビジー状態）	R

注 1. ICMR1.MTWP ビットが 1 のとき、MST および TRS ビットへの書き込みが可能です。

ST ビット（スタートコンディション発行要求）

ST ビットは、マスタモードへの遷移を要求し、スタートコンディションを発行します。このビットを 1 にすると、BBSY フラグが 0（バスフリー状態）のときに、スタートコンディションが発行されます。この機能の詳細については、「[27.11. スタートコンディション、リスタートコンディション、ストップコンディション発行機能](#)」を参照してください。

[1 になる条件]

- ST ビットに 1 を書いたとき

[0 になる条件]

- ST ビットに 0 を書いたとき
- スタートコンディションが発行されたとき（スタートコンディションが検出されたとき）
- ICSR2.AL（アービトラレーションロスト）フラグが 1 になったとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. BBSY フラグが 0（バスフリー状態）のときに、ST ビットを 1（スタートコンディション発行要求）にしてください。BBSY フラグが 1（バスビジー状態）のときに、ST ビットを 1（スタートコンディション要求）にすると、アービトラレーションロストが発生する場合があります。

RS ビット（リスタートコンディション発行要求）

RS ビットは、マスタモード時にリスタートコンディションの発行を要求します。このビットを 1 にしてリスタートコンディションを要求すると、BBSY フラグが 1（バスビジー状態）かつ MST ビットが 1（マスタモード）のときに、リスタートコンディションが発行されます。この機能の詳細については、「[27.11. スタートコンディション、リスタートコンディション、ストップコンディション発行機能](#)」を参照してください。

[1 になる条件]

- ICCR2.BBSY フラグが 1 の状態で、RS ビットに 1 を書いたとき

[0 になる条件]

- RS ビットに 0 を書いたとき
- リスタートコンディションが発行されたとき（スタートコンディションが検出されたとき）
- ICSR2.AL（アービトラレーションロスト）フラグが 1 になったとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. ストップコンディション発行中に RS ビットを 1 にしないでください。

注. スレーブモードで RS ビットを 1（リスタートコンディション要求）にすると、リスタートコンディションは発行されず、RS ビットは 1 のままになります。RS ビットがクリアされていない状態で動作モードをマスタモードに変更すると、リスタートコンディションが発行される場合があります。

SP ビット (ストップコンディション発行要求)

SP ビットは、マスタモード時にストップコンディションの発行を要求します。このビットを 1 にすると、BBSY フラグが 1 (バスビジー状態) かつ MST ビットが 1 (マスタモード) のときに、ストップコンディションが発行されます。この機能の詳細については、「[27.11. スタートコンディション、リスタートコンディション、ストップコンディション発行機能](#)」を参照してください。

[1 になる条件]

- ICCR2.BBSY フラグと ICCR2.MST ビットが両方とも 1 の状態で、SP ビットに 1 を書いたとき

[0 になる条件]

- SP ビットに 0 を書いたとき
- ストップコンディションが発行されたとき (ストップコンディションが検出されたとき)
- ICSR2.AL (アービトラージョンロスト) フラグが 1 になったとき
- スタートコンディションおよびリスタートコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. BBSY フラグが 0 (バスフリー状態) のとき、SP ビットへの書き込みはできません。

注. リスタートコンディション発行中に SP ビットを 1 にしないでください。

TRS ビット (送信/受信モード)

TRS ビットは、送信モードであるか、受信モードであるかを示します。IIC は、TRS ビットが 0 のときは受信モード、1 のときは送信モードになります。このビットと MST ビットの組み合わせで IIC の動作モードを示します。

スタートコンディションの発行または検出時、および R/W#ビットの設定時に、TRS ビット値は自動的に 1 (送信モード) または 0 (受信モード) に変化します。ICMR1.MTWP ビットが 1 のとき、TRS ビットへ書き込むことは可能ですが、通常の使用時は、書き込む必要はありません。

[1 になる条件]

- スタートコンディション要求によってスタートコンディションが正常に発行されたとき (ST ビットが 1 の状態で、スタートコンディションが検出されたとき)
- リスタートコンディション要求によってリスタートコンディションが正常に発行されたとき (RS ビットが 1 の状態で、リスタートコンディションが検出されたとき)
- マスタモード時、スレーブアドレスに付加した R/W#ビットが 0 になったとき
- スレーブモードで受信したアドレスが ICSEI レジスタで有効にしたアドレスと一致し、かつ R/W#ビットが 1 になったとき
- ICMR1.MTWP ビットが 1 の状態で、TRS ビットに 1 を書いたとき

[0 になる条件]

- ストップコンディションが検出されたとき
- ICSR2.AL (アービトラージョンロスト) フラグが 1 になったとき
- マスタモード時、スレーブアドレスに付加した R/W#ビットが 1 になったとき
- スレーブモード時、受信したアドレスが ICSEI レジスタで有効にしたアドレスと一致し、かつ受信した R/W#ビットの値が 0 のとき (ジェネラルコールアドレスを受信した場合を含む)
- スレーブモード時、リスタートコンディションが検出されたとき (ICCR2.BBSY = 1、ICCR2.MST = 0 の状態でスタートコンディションが検出されたとき)
- ICMR1.MTWP ビットが 1 の状態で、TRS ビットに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

MST ビット (マスタ/スレーブモード)

MST ビットは、マスタモードであるか、スレーブモードであるかを示します。IIC は、MST ビットが 0 のときはスレーブモード、1 のときはマスタモードになります。MST ビットと TRS ビットの組み合わせで IIC の動作モードを示します。

スタートコンディションの発行時、あるいはストップコンディションの発行または検出時、MST ビットの値は自動的に 1 (マスタモード) または 0 (スレーブモード) に変化します。ICMR1.MTWP ビットが 1 のとき、MST ビットへ書き込むことは可能ですが、通常の使用時は、書き込む必要はありません。

[1 になる条件]

- スタートコンディション要求によってスタートコンディションが正常に発行されたとき (ST ビットが 1 の状態で、スタートコンディションが検出されたとき)
- ICMR1.MTWP ビットが 1 の状態で、MST ビットに 1 を書いたとき

[0 になる条件]

- ストップコンディションが検出されたとき
- ICSR2.AL (アービトラクションロスト) フラグが 1 になったとき
- ICMR1.MTWP ビットが 1 の状態で、MST ビットに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

BBSY フラグ (バスビジー検出フラグ)

BBSY フラグは、I²C バスが占有されているか (バスビジー状態)、解放されているか (バスフリー状態) を示します。SCLn ラインが High のときに SDA_n ラインが High から Low に変化すると、スタートコンディションが発行されたとみなされて、このフラグは 1 になります。バスフリー時間 (ICBRL レジスタの設定) にスタートコンディションが検出されないと、ストップコンディションが発行されたとみなされて、このフラグは 0 になります。

[1 になる条件]

- スタートコンディションが検出されたとき

[0 になる条件]

- ストップコンディション検出後、バスフリー時間 (ICBRL レジスタの設定) スタートコンディションが検出されないとき
- ICCR1.ICE ビットが 0 の状態で、ICCR1.IICRST ビットに 1 を書いたとき (IIC リセット)

27.2.3 ICMR1 : I²C バスモードレジスタ 1

Base address: IICn = 0x4009_F000 + 0x0100 × n (n = 0, 1)

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MTWP	CKS[2:0]			BCWP	BC[2:0]		
Value after reset:	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
2:0	BC[2:0]	ビットカウンタ 0 0 0: 9 ビット 0 0 1: 2 ビット 0 1 0: 3 ビット 0 1 1: 4 ビット 1 0 0: 5 ビット 1 0 1: 6 ビット 1 1 0: 7 ビット 1 1 1: 8 ビット	R/W(注1)

ビット	シンボル	機能	R/W
3	BCWP	BC ライトプロテクト 読むと 1 が読めます。 0: BC[2:0]ビットの書き込み許可 1: BC[2:0]ビットの書き込み禁止	W(注1)
6:4	CKS[2:0]	内部基準クロック選択 IIC の内部基準クロックソース (IICφ) を選択します。 IICφ = (PCLKB / 2 ^{CKS[2:0]}) クロック	R/W
7	MTWP	MST/TRS ライトプロテクト 0: ICCR2.MST、TRS ビットの書き込み禁止 1: ICCR2.MST、TRS ビットの書き込み許可	R/W

注 1. BC[2:0]ビットを書き換える場合は、同時に BCWP ビットを 0 にしてください。

BC[2:0]ビット (ビットカウンタ)

BC[2:0]ビットは、SCLn ラインの立ち上がりエッジの検出時に、残りの転送ビット数を示すカウンタです。

BC[2:0]ビットは読み出しおよび書き込みは可能ですが、通常はこれらのビットへのアクセスは不要です。

なお、これらのビットへ書き込む場合は、SCLn ラインが Low の状態で、転送するデータのビット数+1 (追加のアクノリッジビット分) を転送フレーム間で指定してください。BC[2:0]ビットの値は、アクノリッジビットを含むデータ転送の終了時、あるいはスタートコンディションまたはリスタートコンディションの検出時に 000b に戻ります。

27.2.4 ICMR2 : I²C バスモードレジスタ 2

Base address: IICn = 0x4009_F000 + 0x0100 × n (n = 0, 1)

Offset address: 0x03

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DLCS	SDDL[2:0]			—	TMOH	TMOL	TMOS

Value after reset: 0 0 0 0 0 1 1 0

ビット	シンボル	機能	R/W
0	TMOS	タイムアウト検出時間選択 0: ロングモードを選択 1: ショートモードを選択	R/W
1	TMOL	タイムアウト L カウント制御 0: SCLn ラインが Low の間カウント無効 1: SCLn ラインが Low の間カウント有効	R/W
2	TMOH	タイムアウト H カウント制御 0: SCLn ラインが High の間カウント無効 1: SCLn ラインが High の間カウント有効	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	SDDL[2:0]	SDA 出力遅延カウンタ 0 0 0: 出力遅延なし 0 0 1: 1IICφ サイクル (ICMR2.DLCS = 0 (IICφ) のとき) 1 または 2IICφ サイクル (ICMR2.DLCS = 1 (IICφ/2) のとき) 0 1 0: 2IICφ サイクル (ICMR2.DLCS = 0 (IICφ) のとき) 3 または 4IICφ サイクル (ICMR2.DLCS = 1 (IICφ/2) のとき) 0 1 1: 3IICφ サイクル (ICMR2.DLCS = 0 (IICφ) のとき) 5 または 6IICφ サイクル (ICMR2.DLCS = 1 (IICφ/2) のとき) 1 0 0: 4IICφ サイクル (ICMR2.DLCS = 0 (IICφ) のとき) 7 または 8IICφ サイクル (ICMR2.DLCS = 1 (IICφ/2) のとき) 1 0 1: 5IICφ サイクル (ICMR2.DLCS = 0 (IICφ) のとき) 9 または 10IICφ サイクル (ICMR2.DLCS = 1 (IICφ/2) のとき) 1 1 0: 6IICφ サイクル (ICMR2.DLCS = 0 (IICφ) のとき) 11 または 12IICφ サイクル (ICMR2.DLCS = 1 (IICφ/2) のとき) 1 1 1: 7IICφ サイクル (ICMR2.DLCS = 0 (IICφ) のとき) IICφ の 13 または 14 サイクル (ICMR2.DLCS = 1 (IICφ/2) のとき)	R/W

ビット	シンボル	機能	R/W
7	DLCS	SDA 出力遅延クロックソース選択 0: SDA 出力遅延カウンタのクロックソースに内部基準クロック (IICφ) を選択 1: SDA 出力遅延カウンタのクロックソースに内部基準クロックの 2 分周 (IICφ/2) を選択(注1)	R/W

注 1. DLCS=1 (IICφ/2) の設定は、SCL が Low のときのみ有効です。SCL が High のとき、DLCS=1 の設定は無効となり、クロックソースは内部基準クロック (IICφ) となります。

TMOS ビット (タイムアウト検出時間選択)

TMOS ビットは、タイムアウト機能が有効 (ICFER.TMOE = 1) の場合に、タイムアウト検出時間としてロングモードまたはショートモードを選択します。本ビットを 0 にすると、ロングモードが選択されます。本ビットを 1 にすると、ショートモードが選択されます。ロングモードでは、タイムアウト検出用の内部カウンタが 16 ビットカウンタとして機能します。ショートモードでは、このカウンタが 14 ビットカウンタとして機能します。SCLn ラインが、このカウンタを TMOH ビットと TMOL ビットの指定どおり動作させる状態にあるとき、このカウンタは内部基準クロック (IICφ) をカウントソースとして同期してアップカウントを行います。この機能の詳細については、「[27.12.1. タイムアウト検出機能](#)」を参照してください。

TMOL ビット (タイムアウト L カウント制御)

TMOL ビットは、SCLn ラインが Low ホールドであり、かつタイムアウト機能が有効 (ICFER.TMOE = 1) のときに、タイムアウト機能の内部カウンタによるアップカウントを有効または無効にします。

TMOH ビット (タイムアウト H カウント制御)

TMOH ビットは、SCLn ラインが High ホールドであり、かつタイムアウト機能が有効 (ICFER.TMOE = 1) のときに、タイムアウト機能の内部カウンタによるアップカウントを有効または無効にします。

SDDL[2:0]ビット (SDA 出力遅延カウンタ)

SDDL[2:0]ビットを使用して、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースで動作します。この機能の設定値は、アクノリッジビット送出を含むすべての種類の SDA 出力に適用されます。

SDA 出力遅延時間は、データ有効時間/アクノリッジ有効時間(注1)に対する I²C バス規格、または SMBus 規格を満たすように、「データホールド時間 (300 ns 以上+SCL クロックの Low 幅) - データセットアップ時間 (250 ns)」の範囲内で設定してください。規格外に設定すると、デバイス間の通信に誤動作を引き起こすか、バスの状態によってはスタートコンディションまたはストップコンディションを誤って表示することがあります。

この機能の詳細については、「[27.5. SDA 出力遅延機能](#)」を参照してください。

注 1. データ有効時間/アクノリッジ有効時間

3,450 ns (～100 kbps) : スタンダードモード (Sm)

900 ns (～400 kbps) : ファストモード (Fm)

450 ns (～1 Mbps) : ファストモードプラス (Fm+)

27.2.5 ICMR3 : I²C バスモードレジスタ 3

Base address: IICn = 0x4009_F000 + 0x0100 × n (n = 0, 1)

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SMBS	WAIT	RDRF S	ACKW P	ACKB T	ACKB R	NF[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	NF[1:0]	ノイズフィルタ段数選択 0 0: 1IICφ サイクル以下のノイズを除去 (フィルタは 1 段) 0 1: 2IICφ サイクル以下のノイズを除去 (フィルタは 2 段) 1 0: 3IICφ サイクル以下のノイズを除去 (フィルタは 3 段) 1 1: 4IICφ サイクル以下のノイズを除去 (フィルタは 4 段)	R/W

ビット	シンボル	機能	R/W
2	ACKBR	受信アクノリッジ 0: アクノリッジビットに 0 を受信 (ACK 受信) 1: アクノリッジビットに 1 を受信 (NACK 受信)	R
3	ACKBT	送信アクノリッジ 0: アクノリッジビットに 0 を送出 (ACK 送信) 1: アクノリッジビットに 1 を送出 (NACK 送信)	R/W ^(注1)
4	ACKWP	ACKBT ライトプロテクト 0: ACKBT ビットの書き込み禁止 1: ACKBT ビットの書き込み許可	R/W
5	RDRFS	RDRF フラグセットタイミング選択 Low ホールドは ACKBT ビットへの書き込みで解除されます。 0: SCL クロックの 9 クロック目の立ち上がりで RDRF フラグをセット、8 クロック目の立ち下がりで SCLn ラインの Low ホールドを行わない 1: SCL クロックの 8 クロック目の立ち上がりで RDRF フラグをセット、8 クロック目の立ち下がりで SCLn ラインの Low ホールドを行う	R/W ^(注2)
6	WAIT	Low ホールドは ICDRR レジスタの読み出しで解除されます。 0: ウェイトなし (9 クロック目と 1 クロック目の間で SCLn の Low ホールドを行わない) 1: ウェイトあり (9 クロック目と 1 クロック目の間で SCLn の Low ホールドを行う)	R/W ^(注2)
7	SMBS	SMBus/I ² C バス選択 0: I ² C バスを選択 1: SMBus を選択	R/W

注 1. ACKBT ビットに書き込む場合は、ACKWP ビットが 1 の状態であるときにのみ行ってください。ACKWP ビットと ACKBT ビットに同時に 1 を書き込んでも、ACKBT ビットは 1 になりません。

注 2. WAIT ビットと RDRFS ビットは、受信モードでのみ有効（送信モードでは無効）です。

NF[1:0]ビット（ノイズフィルタ段数選択）

NF[1:0]ビットは、デジタルノイズフィルタの段数を選択します。デジタルノイズフィルタ機能の詳細については、「[27.6. デジタルノイズフィルタ回路](#)」を参照してください。

注. ノイズフィルタで除去するノイズ幅は、SCLn ラインの High 幅または Low 幅よりも狭くなるように設定してください。ノイズ幅の設定が [SCL クロックの幅 : High 幅または Low 幅のいずれか短い方] - [1.5 内部基準クロック (IICΦ) サイクル + アナログノイズフィルタ : 120 ns (参考値)] の値以上の場合、SCL クロックはノイズとみなされ、IIC が正常に動作しない可能性があります。

ACKBR ビット（受信アクノリッジ）

ACKBR ビットは、送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

[1 になる条件]

- ICCR2.TRS ビットが 1 の状態で、アクノリッジビットに 1 を受信したとき

[0 になる条件]

- ICCR2.TRS ビットが 1 の状態で、アクノリッジビットに 0 を受信したとき
- ICCR1.ICE ビットが 0 の状態で、ICCR1.IICRST ビットに 1 を書いたとき (IIC リセット)

ACKBT ビット（送信アクノリッジ）

ACKBT ビットは、受信モード時に送出されるアクノリッジビットを設定します。

[1 になる条件]

- ACKWP ビットが 1 の状態で、このビットに 1 を書いたとき

[0 になる条件]

- ACKWP ビットが 1 の状態で、このビットに 0 を書いたとき
- ストップコンディションの発行が検出されたとき (ICCR2.SP ビットが 1 の状態で、ストップコンディションが検出されたとき)
- ICCR1.ICE ビットが 0 の状態で、ICCR1.IICRST ビットに 1 を書いたとき (IIC リセット)

ACKWP ビット (ACKBT ライトプロテクト)

ACKWP ビットは、ACKBT ビットの書き込みを制御します。

RDRFS ビット (RDRF フラグセットタイミング選択)

RDRFS ビットは、受信モード時の RDRF フラグのセットタイミングと、SCL クロックの 8 クロック目の立ち下がりで SCLn ラインを Low にホールドするかどうかを選択します。

RDRFS ビットが 0 のとき、SCL クロックの 8 クロック目の立ち下がりで SCLn ラインの Low ホールドは行わず、SCL クロックの 9 クロック目の立ち上がりで RDRF フラグを 1 にします。

RDRFS ビットが 1 のとき、SCL クロックの 8 クロック目の立ち上がりで RDRF フラグを 1 にし、SCL クロックの 8 クロック目の立ち下がりで SCLn ラインの Low ホールドを行います。この SCLn ラインの Low ホールドは、ACKBT ビットへの書き込みによって解除されます。

この設定でデータを受信した後、アクノリッジビット送出前に、SCLn ラインは自動的に Low ホールドされます。これによって、受信データの内容に応じた ACK (ACKBT = 0) または NACK (ACKBT = 1) の送出処理が可能となります。

WAIT ビット (WAIT)

ビットは、受信モードにおいて 1 バイト受信ごとに、I²C バス受信データレジスタ (ICDRR) の読み出しが完了するまで、SCL クロックの 9 クロック目と 1 クロック目の間を強制的に Low ホールドするかどうかを制御します。

WAIT ビットが 0 のとき、SCL クロックの 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま続けます。RDRFS ビットと WAIT ビットがともに 0 のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが 1 のとき、1 バイト受信ごとに、9 クロック目の立ち下がり以降、ICDRR レジスタ値が読み出されるまでの間、SCLn ラインを Low にホールドします。これによって、1 バイトごとの受信動作が可能になります。

注. WAIT ビットの値を読み出す場合は、最初に ICDRR レジスタを読み出してください。

SMBS ビット (SMBus/I²C バス選択)

SMBS ビットを 1 にすると、SMBus が選択されて、ICSER.HOAE ビットが有効になります。

27.2.6 ICFER : I²C バスファンクションイネーブルレジスタ

Base address: IICn = 0x4009_F000 + 0x0100 × n (n = 0, 1)

Offset address: 0x05

Bit position:	7	6	5	4	3	2	1	0
Bit field:	FMPE	SCLE	NFE	NACK E	SALE	NALE	MALE	TMOE
Value after reset:	0	1	1	1	0	0	1	0

ビット	シンボル	機能	R/W
0	TMOE	タイムアウト検出機能有効 0: 無効 1: 有効	R/W
1	MALE	マスターアービトレーションロスト検出有効 0: アービトレーションロスト検出機能を無効にして、アービトレーションロスト発生による ICCR2.MST および TRS ビットの自動クリアを禁止します。 1: アービトレーションロスト検出機能を有効にして、アービトレーションロスト発生による ICCR2.MST および TRS ビットの自動クリアを許可します。	R/W
2	NALE	NACK 送信アービトレーションロスト検出有効 0: 無効 1: 有効	R/W
3	SALE	スレーブアービトレーションロスト検出有効 0: 無効 1: 有効	R/W

ビット	シンボル	機能	R/W
4	NACKE	NACK 受信転送中断許可 0: NACK 受信時、転送を中断しない（転送中断禁止） 1: NACK 受信時、転送を中断する（転送中断許可）	R/W
5	NFE	デジタルノイズフィルタ回路有効 0: デジタルノイズフィルタ回路を使用しない 1: デジタルノイズフィルタ回路を使用する	R/W
6	SCLE	SCL 同期回路有効 0: SCL 同期回路を使用しない 1: SCL 同期回路を使用する	R/W
7	FMPE ^(注1)	ファストモードプラス有効 0: SCLn 端子と SDA _n 端子に Fm+のスロープ制御回路を使用しない 1: SCLn 端子と SDA _n 端子に Fm+のスロープ制御回路を使用する	R/W

注 1. ファストモードプラス有効ビット (FMPE) は IIC0 (SCL0_A, SDA0_A) および IIC1 (SCL1_A, SDA1_A) に対応しています。ファストモードに対応していない端子 IIC0 (SCL0_B, SDA0_B) ではビット[7]は予約ビットです。

TMOE ビット（タイムアウト検出機能有効）

TMOE ビットは、タイムアウト検出機能を有効または無効にします。タイムアウト検出機能の詳細については、「[27.12.1. タイムアウト検出機能](#)」を参照してください。

MALE ビット（マスタアービトレーションロスト検出有効）

MALE ビットは、マスタモード時にアービトレーションロスト検出機能を使用するかどうかを指定します。通常の動作では、このビットを 1 にしてください。

NALE ビット（NACK 送信アービトレーションロスト検出有効）

NALE ビットは、受信モード時で NACK 送出中に ACK が検出された場合（同じアドレスのスレーブがバス上に存在した場合や、2 つ以上のマスタが同時に同一のスレーブデバイスを選択し、それぞれ受信バイト数が異なる場合など）に、アービトレーションロストを発生させるかどうかを選択します。

SALE ビット（スレーブアービトレーションロスト検出有効）

SALE ビットは、スレーブ送信モード時に、送出中の値と異なる値がバス上で検出された場合（同じアドレスのスレーブがバス上に存在した場合や、ノイズが原因で送信データとの不一致が生じた場合など）、アービトレーションロストを発生させるかどうかを選択します。

NACKE ビット（NACK 受信転送中断許可）

NACKE ビットは、送信モード時に NACK を受信した場合、転送動作を継続するか中断するかを選択します。通常は、このビットを 1 にしてください。

NACKE ビットが 1 の状態で NACK を受信した場合、次の転送動作が中断されます。NACKE ビットが 0 の場合は、受信したアクノリッジの内容にかかわらず、次の転送動作が継続されます。

NACK 受信転送中断機能の詳細については、「[27.9.2. NACK 受信転送中断機能](#)」を参照してください。

SCLE ビット（SCL 同期回路有効）

SCLE ビットは、SCL クロックを SCL 入力クロックと同期させるか否かを選択します。通常は、このビットを 1 にしてください。

SCLE ビットを 0（SCL 同期回路を使用しない）にすると、IIC は SCL クロックを SCL 入力クロックと同期させません。この設定の場合、SCLn ラインの状態にかかわらず、IIC は、ICBRH および ICBRL レジスタで設定した転送速度の SCL クロックを出力します。そのため、I²C バスラインのバス負荷が規格値よりも大幅に大きい場合や、マルチマスタにおいて SCL クロック出力が重なった場合に、規格外の短い SCL クロックが出力される場合があります。また、SCL 同期回路を使用しないと、スタートコンディション、リスタートコンディション、ストップコンディションの発行、および追加の SCL クロックサイクルの連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合を除き、0 にしないでください。

FMPE ビット（ファストモードプラス有効）

FMPE ビットは、ファストモードプラス (Fm+) 用のスロープ制御回路を使用するか否かを指定します。

本ビットを 1 にすると、I²C バスのファストモードプラス (Fm+) 規格 (tof) に準拠したスロープ制御回路が選択されます。本ビットを 0 にすると、I²C バスのスタンダードモード (Sm) およびファストモード (Fm) 規格 (tof) に準拠したスロープ制御回路が選択されます。

通信速度を～1 Mbps (ファストモードプラス (Fm+) 規格) で使用する場合、本ビットを 1 にしてください。それ以外の通信速度 (～100 kbps (Sm), ～400 kbps (Fm)) または SMBus (10 kbps～100 kbps) で使用の場合は、本ビットを 0 にしてください。

27.2.7 IC SER : I²C バスステータスイネーブルレジスタ

Base address: IICn = 0x4009_F000 + 0x0100 × n (n = 0, 1)

Offset address: 0x06

Bit position:	7	6	5	4	3	2	1	0
Bit field:	HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E
Value after reset:	0	0	0	0	1	0	0	1

ビット	シンボル	機能	R/W
0	SAR0E	スレーブアドレスレジスタ 0 有効 0: SARL0 および SARU0 のスレーブアドレスは無効 1: SARL0 および SARU0 のスレーブアドレスは有効	R/W
1	SAR1E	スレーブアドレスレジスタ 1 有効 0: SARL1 および SARU1 のスレーブアドレスは無効 1: SARL1 および SARU1 のスレーブアドレスは有効	R/W
2	SAR2E	スレーブアドレスレジスタ 2 有効 0: SARL2 および SARU2 のスレーブアドレスは無効 1: SARL2 および SARU2 のスレーブアドレスは有効	R/W
3	GCAE	ジェネラルコールアドレス有効 0: ジェネラルコールアドレス検出は無効 1: ジェネラルコールアドレス検出は有効	R/W
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	DIDE	デバイス ID アドレス検出有効 0: デバイス ID アドレス検出は無効 1: デバイス ID アドレス検出は有効	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	HOAE	ホストアドレス有効 0: ホストアドレス検出は無効 1: ホストアドレス検出は有効	R/W

SARnE ビット (スレーブアドレスレジスタ n 有効) (n = 0～2)

SARnE ビットは、受信したスレーブアドレスと、SARLn および SARUn レジスタで設定したスレーブアドレスを有効または無効にします。

このビットを 1 にすると、SARLn および SARUn レジスタで設定したスレーブアドレスが有効になり、受信したスレーブアドレスと比較されます。SARnE ビットを 0 にすると、SARLn および SARUn レジスタで設定したスレーブアドレスが無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE ビット (ジェネラルコールアドレス有効)

GCAE ビットは、ジェネラルコールアドレス (0000 000b + 0[W] : すべて 0) を受信した場合、それを無視するかどうかを選択します。

このビットを 1 にした場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、IIC は、SARLn および SARUn レジスタ (n = 0～2) で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをジェネラルコールアドレスと認識し、データ受信動作を行います。このビットを 0 にした場合、受信したスレーブアドレスは、ジェネラルコールアドレスと一致しても無視されます。

DIDE ビット (デバイス ID アドレス検出有効)

DIDE ビットは、スタートコンディションまたはリスタートコンディション検出後の第 1 フレームでデバイス ID (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが 1 のときに、受信した第 1 フレームがデバイス ID と一致すると、IIC はデバイス ID アドレスを受信したと認識します。続く R/W#ビットが 0[W]の場合、IIC は第 2 フレーム以降をスレーブアドレスとみなして、受信動作を継続します。DIDE ビットが 0 の場合、IIC は受信した第 1 フレームがデバイス ID アドレスと一致してもそれを無視し、第 1 フレームを通常のスレーブアドレスと認識します。

この機能の詳細については、「[27.7.3. デバイス ID アドレス検出機能](#)」を参照してください。

HOAE ビット (ホストアドレス有効)

HOAE ビットは、ICMR3.SMBS ビットが 1 の場合、受信したホストアドレス (0001 000b) を無視するかどうかを選択します。

このビットが 1 で、かつ ICMR3.SMBS ビットも 1 の場合、受信したスレーブアドレスがホストアドレスと一致すると、IIC は SARLn および SARUn レジスタ (n = 0~2) で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをホストアドレスとして認識し、受信動作を行います。

ICMR3.SMBS ビットまたは HOAE ビットが 0 の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

27.2.8 ICIER : I²C バス割り込みイネーブルレジスタ

Base address: IICn = 0x4009_F000 + 0x0100 × n (n = 0, 1)

Offset address: 0x07

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	TMOIE	タイムアウト割り込み要求許可 0: タイムアウト割り込み (TMOI) 要求を禁止 1: タイムアウト割り込み (TMOI) 要求を許可	R/W
1	ALIE	アービトレーションロスト割り込み要求許可 0: アービトレーションロスト割り込み (ALI) 要求を禁止 1: アービトレーションロスト割り込み (ALI) 要求を許可	R/W
2	STIE	スタートコンディション検出割り込み要求許可 0: スタートコンディション検出割り込み (STI) 要求を禁止 1: スタートコンディション検出割り込み (STI) 要求を許可	R/W
3	SPIE	ストップコンディション検出割り込み要求許可 0: ストップコンディション検出割り込み (SPI) 要求を禁止 1: ストップコンディション検出割り込み (SPI) 要求を許可	R/W
4	NAKIE	NACK 受信割り込み要求許可 0: NACK 受信割り込み (NAKI) 要求を禁止 1: NACK 受信割り込み (NAKI) 要求を許可	R/W
5	RIE	受信データフル割り込み要求許可 0: 受信データフル割り込み (IICn_RXI) 要求を禁止 1: 受信データフル割り込み (IICn_RXI) 要求を許可	R/W
6	TEIE	送信終了割り込み要求許可 0: 送信終了割り込み (IICn_TEI) 要求を禁止 1: 送信終了割り込み (IICn_TEI) 要求を許可	R/W
7	TIE	送信データエンプティ割り込み要求許可 0: 送信データエンプティ割り込み (IICn_TXI) 要求を禁止 1: 送信データエンプティ割り込み (IICn_TXI) 要求を許可	R/W

TMOIE ビット (タイムアウト割り込み要求許可)

TMOIE ビットは、ICSR2.TMOF フラグが 1 のとき、タイムアウト割り込み (TMOI) 要求を許可または禁止します。TMOI 割り込み要求を解除するには、TMOF フラグまたは TMOIE ビットを 0 にします。

ALIE ビット (アービトレーションロスト割り込み要求許可)

ALIE ビットは、ICSR2.AL フラグが 1 のとき、アービトレーションロスト割り込み (ALI) 要求を許可または禁止します。ALI 割り込み要求を解除するには、AL フラグまたは ALIE ビットを 0 にします。

STIE ビット (スタートコンディション検出割り込み要求許可)

STIE ビットは、ICSR2.START フラグが 1 のとき、スタートコンディション検出割り込み (STI) 要求を許可または禁止します。STI 割り込み要求を解除するには、START フラグまたは STIE ビットを 0 にします。

SPIE ビット (ストップコンディション検出割り込み要求許可)

SPIE ビットは、ICSR2.STOP フラグが 1 のとき、ストップコンディション検出割り込み (SPI) 要求を許可または禁止します。SPI 割り込み要求を解除するには、STOP フラグまたは SPIE ビットを 0 にします。

NAKIE ビット (NACK 受信割り込み要求許可)

NAKIE ビットは、ICSR2.NACKF フラグが 1 のとき、NACK 受信割り込み (NAKI) 要求を許可または禁止します。NAKI 割り込み要求を解除するには、NACKF フラグまたは NAKIE ビットを 0 にします。

RIE ビット (受信データフル割り込み要求許可)

RIE ビットは、ICSR2.RDRF フラグが 1 のとき、受信データフル割り込み (IICn_RXI) 要求を許可または禁止します。

TEIE ビット (送信終了割り込み要求許可)

TEIE ビットは、ICSR2.TEND フラグが 1 のとき、送信終了割り込み (IICn_TEI) 要求を許可または禁止します。IICn_TEI 割り込み要求を解除するには、TEND フラグまたは TEIE ビットを 0 にします。

TIE ビット (送信データエンプティ割り込み要求許可)

TIE ビットは、ICSR2.TDRE フラグが 1 のとき、送信データエンプティ割り込み (IICn_TXI) 要求を許可または禁止します。

27.2.9 ICSR1 : I²C バスステータスレジスタ 1

Base address: IICn = 0x4009_F000 + 0x0100 × n (n = 0, 1)

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	HOA	—	DID	—	GCA	AAS2	AAS1	AAS0

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	AAS0	スレーブアドレス 0 検出フラグ 0: スレーブアドレス 0 未検出 1: スレーブアドレス 0 検出	R/(W) (注1)
1	AAS1	スレーブアドレス 1 検出フラグ 0: スレーブアドレス 1 未検出 1: スレーブアドレス 1 検出	R/(W) (注1)
2	AAS2	スレーブアドレス 2 検出フラグ 0: スレーブアドレス 2 未検出 1: スレーブアドレス 2 検出	R/(W) (注1)
3	GCA	ジェネラルコールアドレス検出フラグ 0: ジェネラルコールアドレス未検出 1: ジェネラルコールアドレス検出	R/(W) (注1)

ビット	シンボル	機能	R/W
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	DID	デバイス ID アドレス検出フラグ スタートコンディション検出直後に受信した第 1 フレームが、[デバイス ID (1111 100b) + 0[W]]の値と一致した場合、1 になります。 0: デバイス ID コマンド未検出 1: デバイス ID コマンド検出	R/(W) (注1)
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	HOA	ホストアドレス検出フラグ 受信したスレーブアドレスが、ホストアドレス (0001 000b) と一致した場合、1 になります。 0: ホストアドレス未検出 1: ホストアドレス検出	R/(W) (注1)

注 1. フラグをクリアするための 0 書き込みのみ可能です。

AASn フラグ (スレーブアドレス n 検出フラグ) (n = 0~2)

AASn フラグは、スレーブアドレス n が検出されたかどうかを示します。

[1 になる条件]

【7 ビットアドレスフォーマット選択時 (SARUn.FS = 0)】

- ICSER.SARnE ビットが 1 (スレーブアドレス n 検出有効) の状態で、受信したスレーブアドレスが SARLn.SVA[6:0]ビット値と一致したとき。
AASn フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になります。

【10 ビットアドレスフォーマット選択時 (SARUn.FS = 1)】

- ICSER.SARnE ビットが 1 (スレーブアドレス n 検出有効) の状態で、受信したスレーブアドレスが (11110b + SARUn.SVA[1:0]) の値と一致し、かつ、それに続くアドレスが SARLn レジスタの値と一致したとき
AASn フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になります。

[0 になる条件]

- AASn = 1 を読んだ後、AASn フラグに 0 を書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

【7 ビットアドレスフォーマット選択時 (SARUn.FS = 0)】

- ICSER.SARnE ビットが 1 (スレーブアドレス n 検出有効) の状態で、受信したスレーブアドレスが SARLn.SVA[6:0]ビット値と不一致のとき
AASn フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。

【10 ビットアドレスフォーマット選択時 (SARUn.FS = 1)】

- ICSER.SARnE ビットが 1 (スレーブアドレス n 検出有効) の状態で、受信したスレーブアドレスが (11110b + SARUn.SVA[1:0]) の値と不一致のとき
AASn フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
- ICSER.SARnE ビットが 1 (スレーブアドレス n 検出有効) の状態で、受信したスレーブアドレスが (11110b + SARUn.SVA[1:0]) の値と一致し、かつ、それに続くアドレスが SARLn レジスタの値と不一致のとき
AASn フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。

GCA フラグ (ジェネラルコールアドレス検出フラグ)

GCA フラグは、ジェネラルコールアドレスが検出されたかどうかを示します。

[1 になる条件]

- ICSER.GCAE ビットが 1 (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスが ジェネラルコールアドレス (0000 000b + 0[W]) と一致したとき
GCA フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になります。

[0 になる条件]

- GCA=1 を読んだ後、GCA フラグに 0 を書いたとき
- ストップコンディションが検出されたとき
- IC SER.GCAE ビットが 1 (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と不一致のとき
GCA フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

DID フラグ (デバイス ID アドレス検出フラグ)

DID フラグは、デバイス ID アドレスが検出されたかどうかを示します。

[1 になる条件]

- IC SER.DIDE ビットが 1 (デバイス ID アドレス検出有効) の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームが (デバイス ID (1111 100b) + 0[W]) の値と一致したとき
DID フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になります。

[0 になる条件]

- DID=1 を読んだ後、DID フラグに 0 を書いたとき
- ストップコンディションが検出されたとき
- IC SER.DIDE ビットが 1 (デバイス ID アドレス検出有効) の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームがデバイス ID (1111 100b) と不一致のとき
DID フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
- IC SER.DIDE ビットが 1 (デバイス ID アドレス検出有効) の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームが (デバイス ID (1111 100b) + 0[W]) の値と一致し、かつ、第 2 フレームがスレーブアドレス 0~2 のすべてと不一致のとき
DID フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

HOA フラグ (ホストアドレス検出フラグ)

HOA フラグは、ホストアドレスが検出されたかどうかを示します。

[1 になる条件]

- IC SER.HOAE ビットが 1 (ホストアドレス検出有効) の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と一致したとき
HOA フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になります。

[0 になる条件]

- HOA=1 を読んだ後、HOA フラグに 0 を書いたとき
- ストップコンディションが検出されたとき
- IC SER.HOAE ビットが 1 (ホストアドレス検出有効) の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と不一致のとき
HOA フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

27.2.10 ICSR2 : I²C バスステータスレジスタ 2

Base address: IICn = 0x4009_F000 + 0x0100 × n (n = 0, 1)

Offset address: 0x09

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TDRE	TEND	RDRF	NACK F	STOP	START	AL	TMOF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TMOF	タイムアウト検出フラグ 0: タイムアウト未検出 1: タイムアウト検出	R/(W) (注1)
1	AL	アービトレーションロストフラグ 0: アービトレーションロスト未発生 1: アービトレーションロスト発生	R/(W) (注1)
2	START	スタートコンディション検出フラグ 0: スタートコンディション未検出 1: スタートコンディション検出	R/(W) (注1)
3	STOP	ストップコンディション検出フラグ 0: ストップコンディション未検出 1: ストップコンディション検出	R/(W) (注1)
4	NACKF	NACK 検出フラグ 0: NACK 未検出 1: NACK 検出	R/(W) (注1)
5	RDRF	受信データフルフラグ 0: ICDRR レジスタに受信データなし 1: ICDRR レジスタに受信データあり	R/(W) (注1)
6	TEND	送信終了フラグ 0: データ送信中 1: データ送信完了	R/(W) (注1)
7	TDRE	送信データエンプティフラグ 0: ICDRT レジスタに送信データあり 1: ICDRT レジスタに送信データなし	R

注 1. フラグをクリアするための 0 の書き込みのみ可能です。

TMOF フラグ (タイムアウト検出フラグ)

TMOF フラグは、SCLn ラインの状態が一定期間変化しないために IIC がタイムアウトを検出すると、1 になります。

[1 になる条件]

- マスタモードまたはスレーブモード時に、ICFER.TMOE ビットが 1 (タイムアウト機能有効) かつ受信したスレーブアドレスが一致した状態で、ICMR2.TMOH、TMOL、および TMOS ビットで指定した期間 SCLn ライン状態が変化しなかったとき

[0 になる条件]

- TMOF=1 を読んだ後、TMOF フラグに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

AL フラグ (アービトレーションロストフラグ)

AL フラグは、スタートコンディション発行時やアドレスおよびデータ送信時に、バス競合などが原因で、バス占有権がアービトレーションロストしたことを示します。IIC は、送信中に SDA_n ラインのレベルを監視し、そのラインのレベルと出力中のビット値が一致していないと、AL フラグを 1 にすることで、バスが他のデバイスによって占有されていることを示します。

さらに、IIC では設定により、AL フラグをセットすることで、NACK 送信中やデータ送信中に、アービトレーションロストを検出することも可能です。

[1 になる条件]

【マスタアービトレーションロスト検出有効時 (ICFER.MALE = 1)】

- マスタ送信モード時のデータ送信中の ACK 期間を除き、SCL クロックの立ち上がりで出力した SDA 信号と SDA_n ライン上の信号の状態が一致しなかったとき
- ICCR2.ST ビットが 1 (スタートコンディション要求) の状態でスタートコンディションが検出されたとき、または、出力した SDA 信号と SDA_n ライン上の信号の状態が一致しなかったとき
- ICCR2.BBSY フラグが 1 の状態で、ICCR2.ST ビットを 1 (スタートコンディション要求) にしたとき

【NACK アービトレーションロスト検出有効時 (ICFER.NALE = 1)】

- 受信モードでの NACK 送信中に、ACK 期間において、内部の SDA 出力状態が SCL クロックの立ち上がりで SDA_n ラインレベルと不一致のとき

【スレーブアービトレーションロスト検出有効時 (ICFER.SALE = 1)】

- スレーブ送信モード時のデータ送信中の ACK 期間を除き、内部の SDA 出力状態が SCL クロックの立ち上がりで SDA_n ラインレベルと不一致のとき

[0 になる条件]

- AL=1 を読んだ後、AL フラグに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

表 27.4 アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

ICFER			ICSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	ICCR2.ST が 1 の状態で、スタートコンディション検出時に、出力した SDA 信号と SDA _n ライン上の信号の状態が不一致のとき
					ICCR2.BBSY が 1 の状態で、ICCR2.ST を 1 にしたとき
			1	送信データ不一致	マスタ送信モード時に、送信データ (スレーブアドレス含む) とバス状態が不一致のとき
x	1	x	1	NACK 送信不一致	マスタまたはスレーブ受信モード時に、NACK 送信中に ACK を検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モード時に、送信データとバス状態が不一致のとき

x: Don't care

START フラグ (スタートコンディション検出フラグ)

START フラグは、スタートコンディションが検出されたことを示します。

[1 になる条件]

- スタートコンディション (またはリスタートコンディション) が検出されたとき

[0 になる条件]

- START=1 を読んだ後、START フラグに 0 を書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

STOP フラグ (ストップコンディション検出フラグ)

STOP フラグは、ストップコンディションが検出されたことを示します。

[1 になる条件]

- ストップコンディションが検出されたとき

[0 になる条件]

- STOP=1 を読んだ後、STOP フラグに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

NACKF フラグ (NACK 検出フラグ)

NACKF フラグは、NACK が検出されたことを示します。

[1 になる条件]

- ICFER.NACKF ビットが 1 (転送中断許可) の状態で、送信モード時に受信デバイスからアクノリッジを受信しなかった (NACK を受信した) とき

[0 になる条件]

- NACKF=1 を読んだ後、NACKF フラグに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. NACKF フラグが 1 になると、IIC はデータ送受信動作を中断します。NACKF フラグが 1 の状態では、送信モード時に ICDRT レジスタへ書き込みや、受信モード時に ICDRR レジスタから読み出しを行っても、データ送受信動作は許可されません。データ送受信動作を再開するには、NACKF フラグを 0 にしてください。

RDRF フラグ (受信データフルフラグ)

RDRF フラグは、ICDRR レジスタに受信データがあることを示します。

[1 になる条件]

- ICDRS レジスタから ICDRR レジスタへ受信データが転送されたとき
RDRF フラグは、SCL クロックの 8 クロック目または 9 クロック目 (ICMR3 レジスタの RDRFS ビットで選択) の立ち上がりで 1 になる
- ICCR2.TRS ビットが 0 の状態で、スタートコンディションまたはリスタートコンディション検出後、受信したスレーブアドレスが一致したとき

[0 になる条件]

- RDRF=1 を読んだ後、RDRF フラグに 0 を書いたとき
- ICDRR レジスタからデータを読んだとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

TEND フラグ (送信終了フラグ)

TEND フラグは送信が終了したことを示します。

[1 になる条件]

- TDRE フラグが 1 の状態での SCL クロックの 9 クロック目の立ち上がり時

[0 になる条件]

- TEND=1 を読んだ後、TEND フラグに 0 を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

TDRE フラグ (送信データエンプティフラグ)

TDRE フラグは、ICDRT レジスタに送信データがないことを示します。

[1 になる条件]

- ICDRT レジスタから ICDRS レジスタへデータが転送され、ICDRT レジスタが空になったとき

- ICCR2.TRS ビットが 1 になったとき
- TRS ビットが 1 の状態で、受信したスレーブアドレスが一致したとき

[0 になる条件]

- ICDRT レジスタヘデータを書いたとき
- ICCR2.TRS ビットが 0 になったとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. ICFER.NACKC ビットが 1 のとき、NACKF フラグが 1 になると、IIC はデータ送受信動作を中断します。このとき、TDRE フラグが 0 (次の送信データがすでに書き込まれている状態) であれば、9 クロック目の立ち上がりで ICDRS レジスタヘデータが転送され、ICDRT レジスタが空になりますが、TDRE フラグは 1 になりません。

27.2.11 ICWUR : I²C バスウェイクアップユニットレジスタ

Base address: IIC0WU = 0x4009_F014

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	WUE	WUIE	WUF	WUACK	—	—	—	WUAF A
Value after reset:	0	0	0	1	0	0	0	0

ビット	シンボル	機能	R/W
0	WUAF A	ウェイクアップアナログフィルタ追加選択 0: ウェイクアップアナログフィルタを追加しない 1: ウェイクアップアナログフィルタを追加する	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	WUACK	ウェイクアップモード用 ACK ICCR1.IICRST ビットと WUACK ビットの組み合わせで、4 つの応答モードから選択します。表 27.5 を参照してください。	R/W
5	WUF	ウェイクアップイベント発生フラグ 0: ウェイクアップ時にスレーブアドレス不一致 1: ウェイクアップ時にスレーブアドレス一致	R/W
6	WUIE	ウェイクアップ割り込み要求許可 0: ウェイクアップ割り込み要求 (IIC0_WUI) を禁止 1: ウェイクアップ割り込み要求 (IIC0_WUI) を許可	R/W
7	WUE	ウェイクアップ機能有効 0: ウェイクアップ機能無効 1: ウェイクアップ機能有効	R/W

表 27.5 ウェイクアップモード

IICRST	WUACK	動作モード	機能
0	0	ノーマルウェイクアップモード 1	SCL クロックの 9 クロック目で ACK 応答を行い、9 クロック目の後で SCL の Low ホールドを行う。
0	1	ノーマルウェイクアップモード 2	即時 ACK 応答せず、SCL クロックの 8 クロック目と 9 クロック目の間で SCL の Low ホールドを行う。SCL クロックの 9 クロック目で SCL の Low ホールドを解除し、ACK 応答を行う。
1	0	コマンドリカバリモード	SCL クロックの 9 クロック目で ACK 応答を行い、SCL の Low ホールドは行わない。
1	1	ECP 応答モード	SCL クロックの 9 クロック目で NACK 応答を行い、SCL の Low ホールドは行わない。

WUF フラグ (ウェイクアップイベント発生フラグ)

WUF フラグは、ウェイクアップ時にスレーブアドレスが一致しているかどうかを示します。

[1 になる条件]

- ウェイクアップモード時、最初の SCL クロックの 8 クロック目で SCL が Low となり、スレーブアドレスが一致した後、PCLKB が供給されたとき

[0 になる条件]

- WUF = 1 を読んだ後、WUF フラグに 0 を書いたとき
- ICE = 0 かつ IICRST = 1 のとき

27.2.12 ICWUR2 : I2C バスウェイクアップユニットレジスタ 2

Base address: IIC0WU = 0x4009_F014

Offset address: 0x03

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	WUSY F	WUAS YF	WUSE N
Value after reset:	1	1	1	1	1	1	0	1

ビット	シンボル	機能	R/W
0	WUSEN	ウェイクアップ機能同期有効 0: IIC 非同期回路有効 1: IIC 同期回路有効	R/W
1	WUASYF	ウェイクアップ機能非同期動作ステータスフラグ 0: IIC 同期回路有効条件 1: IIC 非同期回路有効条件	R
2	WUSYF	ウェイクアップ機能同期動作ステータスフラグ 0: IIC 非同期回路有効条件 1: IIC 同期回路有効条件	R
7:3	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

WUSEN ビット (ウェイクアップ機能同期有効)

WUSEN ビットは、ウェイクアップ機能が有効な場合 (ICWUR.WUE = 1) に PCLKB の同期動作と非同期動作を切り替えるために、WUASYF フラグ (または WUSYF フラグ) との組み合わせで使用されます。

PCLKB の動作は、以下の場合に同期動作から非同期動作に切り替わります。

ICCR2.BBSY フラグが 0 のとき、WUASYF フラグが 0 の間に WUSEN ビットに 0 を書いた場合、ウェイクアップイベント検出時に PCLKB が非同期動作に切り替わった後、PCLKB の動作 (PCLKB 停止) とは関係なく受信が発生します。

PCLKB の動作は、以下の場合に非同期動作から同期動作に切り替わります。

- ウェイクアップイベント検出時に、WUASYF フラグが 1 の状態で WUSEN ビットに 1 を書いた場合 1 を書いた直後に、WUASYF フラグは 0 になります。
- ウェイクアップイベント未検出時に、停止条件が検出された場合

WUASYF フラグ (ウェイクアップ機能非同期動作ステータスフラグ)

WUASYF フラグは、ウェイクアップ機能が有効な場合 (ICWUR.WUE = 1) に IIC を PCLKB の非同期動作にすることができます。

[1 になる条件]

- ICCR2.BBSY フラグが 0 のとき、ICWUR.WUE ビットが 1 の状態で WUSEN ビットに 0 を設定した場合

[0 になる条件]

- ICWUR.WUE ビットが 1 の状態でウェイクアップイベント検出後に、WUSEN ビットに 1 を書いた場合
- WUASYF フラグと ICWUR.WUE ビットが 1 の状態でウェイクアップイベント検出前に、WUSEN ビットが 1 の状態でストップコンディションが検出された場合

- WUASYF フラグが 1 でウェイクアップイベントが ICWUR.WUE = 1 の状態で、WUSEN ビットに 1 を書いた場合
- ICCR1.ICE = 0 かつ ICCRST = 1 (ICC リセット)
- ICWUR.WUE = 0

WUSYF フラグ (ウェイクアップ機能同期動作ステータスフラグ)

WUSYF フラグは、ウェイクアップ機能が有効な場合 (ICWUR.WUE = 1) に IIC を PCLKB の同期動作にすることができます。本フラグは WUASYF フラグが常に予約となるような値になります。

[1 になる条件]

- WUSYF フラグが 0 で ICWUR.WUE ビットが 1 の状態でウェイクアップイベント検出後に、WUSEN ビットに 1 を書いた場合
- WUSYF フラグが 0 で ICWUR.WUE ビットが 1 の状態でウェイクアップイベント検出前に、WUSEN ビットが 1 の状態で停止条件が検出された場合
- ICCR1.ICE = 0 かつ ICCRST = 1 (ICC リセット)
- ICWUR.WUE = 0

[0 になる条件]

- WUSEN ビットに 0 を書いた後に ICWUR.WUE ビットが 1 の状態で、ICCR2.BBSY フラグが 0 の場合

27.2.13 SARLy : スレーブアドレスレジスタ Ly (y = 0~2)

Base address: IICn = 0x4009_F000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0A+0x02× y

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SVA[6:0]							SVA0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SVA0	10 ビットアドレス最下位 スレーブアドレス設定	R/W
7:1	SVA[6:0]	7 ビットアドレス/10 ビットアドレス下位 スレーブアドレス設定	R/W

SVA0 ビット (10 ビットアドレス最下位)

10 ビットアドレスフォーマット選択時 (SARUy.FS = 1)、SVA0 ビットは 10 ビットアドレスの最下位ビットとして機能します。また、SVA[6:0] ビットと組み合わせて 10 ビットアドレスの下位 8 ビットを形成します。

このビットは、ICSER.SARyE ビットが 1 (SARLy および SARUy レジスタ有効) で、かつ SARUy.FS ビットが 1 の場合に有効です。SARUy.FS ビットまたは SARyE ビットが 0 の場合、このビットの設定値は無視されます。

SVA[6:0] ビット (7 ビットアドレス/10 ビットアドレス下位)

7 ビットアドレスフォーマット選択時 (SARUy.FS = 0)、SVA[6:0] ビットは 7 ビットアドレスとして機能します。10 ビットアドレスフォーマット選択時 (SARUy.FS = 1)、これらのビットは、SVA0 ビットと組み合わせて 10 ビットアドレスの下位 8 ビットを形成します。

ICSER.SARyE ビットが 0 の場合、これらのビットの設定値は無視されます。

27.2.14 SARUy : スレーブアドレスレジスタ Uy (y = 0~2)

Base address: IICn = 0x4009_F000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0B+0x02× y

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SVA[1:0]	FS	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FS	7 ビット／10 ビットアドレスフォーマット選択 0: 7 ビットアドレスフォーマットを選択 1: 10 ビットアドレスフォーマットを選択	R/W
2:1	SVA[1:0]	10 ビットアドレス上位 スレーブアドレス設定	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

FS ビット (7 ビット／10 ビットアドレスフォーマット選択)

FS ビットは、スレーブアドレス y (SARLy および SARUy レジスタ) に対して、7 ビットアドレスまたは 10 ビットアドレスを選択します。

ICSER.SARyE ビットが 1 (SARLy および SARUy レジスタ有効) で、かつ SARUy.FS ビットが 0 の場合、スレーブアドレス y には 7 ビットアドレスフォーマットが選択され、SARLy.SVA[6:0] ビットの設定値が有効になり、SVA[1:0] ビットと SARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが 1 (SARLy および SARUy レジスタ有効) で、かつ SARUy.FS ビットが 1 の場合、スレーブアドレス y には 10 ビットアドレスフォーマットが選択され、SVA[1:0] ビットおよび SARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが 0 (SARLy および SARUy レジスタ無効) の場合、SARUy.FS ビットの設定値は無効です。

SVA[1:0] ビット (10 ビットアドレス上位)

10 ビットアドレスフォーマット選択時 (FS=1)、SVA[1:0] ビットは 10 ビットアドレスの上位 2 ビットとして機能します。

これらのビットは、ICSER.SARyE ビットが 1 (SARLy および SARUy レジスタ有効) で、かつ SARUy.FS ビットが 1 の場合に有効です。SARUy.FS ビットまたは SARyE ビットが 0 の場合、これらのビットの設定値は無視されます。

27.2.15 ICBRL : I²C バスビットレート Low レジスタ

Base address: IICn = 0x4009_F000 + 0x0100 × n (n = 0, 1)

Offset address: 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	BRL[4:0]				
Value after reset:	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
4:0	BRL[4:0]	ビットレート Low 幅設定 SCL クロックの Low 幅	R/W
7:5	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

BRL[4:0] ビット (ビットレート Low 幅設定)

BRL[4:0] ビットは、SCL クロックの Low 幅を設定するビットです。ICBRL は、ICMR1.CKS[2:0] ビットで指定した内部基準クロックソース (IICφ) で Low 幅をカウントします。ICBRL レジスタは、SCL 自動 Low ホールド機能

(「[27.9. SCL の自動 Low ホールド機能](#)」を参照) のデータセットアップ時間を生成します。IIC をスレーブモードのみで使用する場合、BRL[4:0]ビットはデータセットアップ時間 (注1) 以上の値を設定してください。

デジタルノイズフィルタ回路を有効 (ICFER.NFE = 1) にした場合、BRL[4:0]ビットにはノイズフィルタの段数 + 1 以上の値を設定してください。この段数の詳細は、「[27.2.5. ICMR3 : I²C バスモードレジスタ 3](#)」の NF[1:0]ビットの説明を参照してください。

注 1. データセットアップ時間 (t_{SU}: DAT)

250 ns (～100 kbps) : スタンダードモード (Sm)

100 ns (～400 kbps) : ファストモード (Fm)

50 ns (～1 Mbps) : ファストモードプラス (Fm+)

27.2.16 ICBRH : I²C バスビットレート High レジスタ

Base address: IICn = 0x4009_F000 + 0x0100 × n (n = 0, 1)

Offset address: 0x11

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	BRH[4:0]				
Value after reset:	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
4:0	BRH[4:0]	ビットレート High 幅設定 SCL クロックの High 幅	R/W
7:5	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

BRH[4:0]ビット (ビットレート High 幅設定)

BRH[4:0]ビットは、SCL クロックの High 幅を設定するビットです。BRH[4:0]ビットはマスタモードで有効になります。IIC をスレーブモードのみで使用する場合、BRH[4:0]ビットの設定は不要です。

ICBRH レジスタは、ICMR1.CKS[2:0]ビットで指定した内部基準クロックソース (IICφ) で High 幅をカウントします。

デジタルノイズフィルタ回路を有効 (ICFER.NFE = 1) にした場合、これらのビットにはノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、「[27.2.5. ICMR3 : I²C バスモードレジスタ 3](#)」の NF[1:0]ビットの説明を参照してください。

IIC 転送速度と SCL クロックのデューティー比は、次式で計算されます。

1. ICFER.SCLE = 0 の場合

$$\text{転送速度} = 1 / [\{ (BRH + 1) + (BRL + 1) \} / IIC\phi^{(\text{注1})} + tr^{(\text{注2})} + tf^{(\text{注2})}]$$

$$\text{デューティー比} = [tr + \{ (BRH + 1) / IIC\phi \}] / [tr + tf + \{ (BRH + 1) + (BRL + 1) \} / IIC\phi]$$

2. ICFER.SCLE = 1、ICFER.NFE = 0、CKS[2:0] = 000b (IICφ = PCLKB) の場合

$$\text{転送速度} = 1 / [\{ (BRH + 3) + (BRL + 3) \} / IIC\phi + tr + tf]$$

$$\text{デューティー比} = [tr + \{ (BRH + 3) / IIC\phi \}] / [tr + tf + \{ (BRH + 3) + (BRL + 3) \} / IIC\phi]$$

3. ICFER.SCLE = 1、ICFER.NFE = 1、CKS[2:0] = 000b (IICφ = PCLKB) の場合

$$\text{転送速度} = 1 / [\{ (BRH + 3 + nf^{(\text{注3})}) + (BRL + 3 + nf) \} / IIC\phi + tr + tf]$$

$$\text{デューティー比} = [tr + \{ (BRH + 3 + nf) / IIC\phi \}] / [tr + tf + \{ (BRH + 3 + nf) + (BRL + 3 + nf) \} / IIC\phi]$$

4. ICFER.SCLE = 1、ICFER.NFE = 0、CKS[2:0] ≠ 000b の場合

$$\text{転送速度} = 1 / [\{ (BRH + 2) + (BRL + 2) \} / IIC\phi + tr + tf]$$

$$\text{デューティー比} = [tr + \{ (BRH + 2) / IIC\phi \}] / [tr + tf + \{ (BRH + 2) + (BRL + 2) \} / IIC\phi]$$

5. ICFER.SCLE = 1、ICFER.NFE = 1、CKS[2:0] ≠ 000b の場合

$$\text{転送速度} = 1 / [\{ (BRH + 2 + nf) + (BRL + 2 + nf) \} / IIC\phi + tr + tf]$$

$$\text{デューティー比} = [tr + \{ (BRH + 2 + nf) / IIC\phi \}] / [tr + tf + \{ (BRH + 2 + nf) + (BRL + 2 + nf) \} / IIC\phi]$$

注 1. IICφ = PCLKB × 分周比

注 2. SCLn ライン立ち上がり時間[tr]および SCLn ライン立ち下がり時間[tf]は、バスライン総容量[C_b]とプルアップ抵抗[R_p]に依存します。詳細については、NXP 社の I²C バス規格書を参照してください。

注 3. nf = ICMR3.NF ビットで選択したデジタルノイズフィルタの段数

表 27.6 SCLE = 0 の場合の転送速度に対する ICBRH/ICBRL レジスタの設定例

転送速度 (kbps)	CKS[2:0] (ICMR1)	BRH[4:0] (ICBRH)	BRL[4:0] (ICBRL)	PCLKB (MHz)	NF[1:0]	計算式
100	011b	19 (0xF3)	23 (0xF7)	40	—	(1)
400	010b	6 (0xE6)	11 (0xEB)	40	—	(1)
1000	000b	10 (0xEA)	18 (0xF2)	40	—	(1)

表 27.7 SCLE = 1 かつ NFE = 0 の場合の転送速度に対する ICBRH/ICBRL レジスタの設定例

転送速度 (kbps)	CKS[2:0] (ICMR1)	BRH[4:0] (ICBRH)	BRL[4:0] (ICBRL)	PCLKB (MHz)	NF[1:0]	計算式
100	100b	8 (0xE8)	10 (0xEA)	40	—	(4)
400	001b	9 (0xE9)	25 (0xF9)	40	—	(4)
1000	000b	7 (0xE7)	17 (0xF1)	40	—	(2)

表 27.8 SCLE = 1 かつ NFE = 1 の場合の転送速度に対する ICBRH/ICBRL レジスタの設定例

転送速度 (kbps)	CKS[2:0] (ICMR1)	BRH[4:0] (ICBRH)	BRL[4:0] (ICBRL)	PCLKB (MHz)	NF[1:0]	計算式
100	011b	16 (0xF0)	20 (0xF4)	40	01b	(5)
400	001b	8 (0xE8)	22 (0xF6)	40	01b	(5)
1000	000b	5 (0xE5)	15 (0xEF)	40	01b	(3)

27.2.17 ICDRT : I²C バス送信データレジスタ

Base address: IICn = 0x4009_F000 + 0x0100 × n (n = 0, 1)

Offset address: 0x12

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	1	1	1	1	1	1	1	1

ICDRT レジスタは、I²C バスシフトレジスタ (ICDRS) の空きを検出すると、ICDRT レジスタに書き込まれた送信データを ICDRS レジスタへ転送し、送信モードでデータ送信を開始します。ICDRT レジスタと ICDRS レジスタはダブルバッファ構成になっているため、ICDRS レジスタのデータ送信中に、次に送信するデータを ICDRT レジスタに書けば、連続送信動作が可能になります。

ICDRT レジスタは常に読み出しと書き込みが可能です。ICDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み (IICn_TXI) 要求が発生したときに 1 回だけ行ってください。

27.2.18 ICDRR : I²C バス受信データレジスタ

Base address: IICn = 0x4009_F000 + 0x0100 × n (n = 0, 1)

Offset address: 0x13

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	0	0	0	0	0	0	0	0

1 バイトのデータを受信すると、受信したデータは I²C バスシフトレジスタ (ICDRS) から ICDRR レジスタへ転送され、次のデータを受信可能にします。ICDRS レジスタと ICDRR レジスタはダブルバッファ構成になっている

ため、ICDRS レジスタのデータ受信中に、すでに受信したデータを ICDRR レジスタから読み出せば、連続受信動作が可能になります。ICDRR レジスタに書き込むことはできません。ICDRR レジスタからの読み出しは、受信データフル割り込み (IICn_RXI) 要求が発生したときに 1 回だけ行ってください。

現在のデータを ICDRR レジスタから読み出す前に (ICSR2.RDRF フラグが 1 の場合に)、ICDRR レジスタが次の受信データを受け取ると、RDRF フラグが次に 1 になるタイミングの 1 つ手前の SCL クロックで、IIC は自動的に Low ホールドを行います。

27.2.19 ICDRS : I²C バスシフトレジスタ

Base address: n/a

Offset address: n/a

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	—	—	—	—	—	—	—	—

ICDRS レジスタは、データを送受信するための 8 ビットのシフトレジスタです。送信時は、送信データが ICDRT レジスタから ICDRS レジスタへ転送されて、SDAn 端子からデータが送出されます。受信時は、1 バイトのデータ受信後に、データが ICDRS レジスタから ICDRR レジスタへ転送されます。ICDRS レジスタは、直接アクセスすることはできません。

27.3 動作説明

27.3.1 通信データフォーマット

I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションまたはリスタートコンディションに続くフレームは、マスタデバイスの通信先であるスレーブデバイスを指定するアドレスフレームです。指定されたスレーブは、新たにスレーブが指定されるか、またはストップコンディションが発行されるまで有効です。

図 27.3 に I²C バスフォーマットを、図 27.4 に I²C バスタイミングを示します。

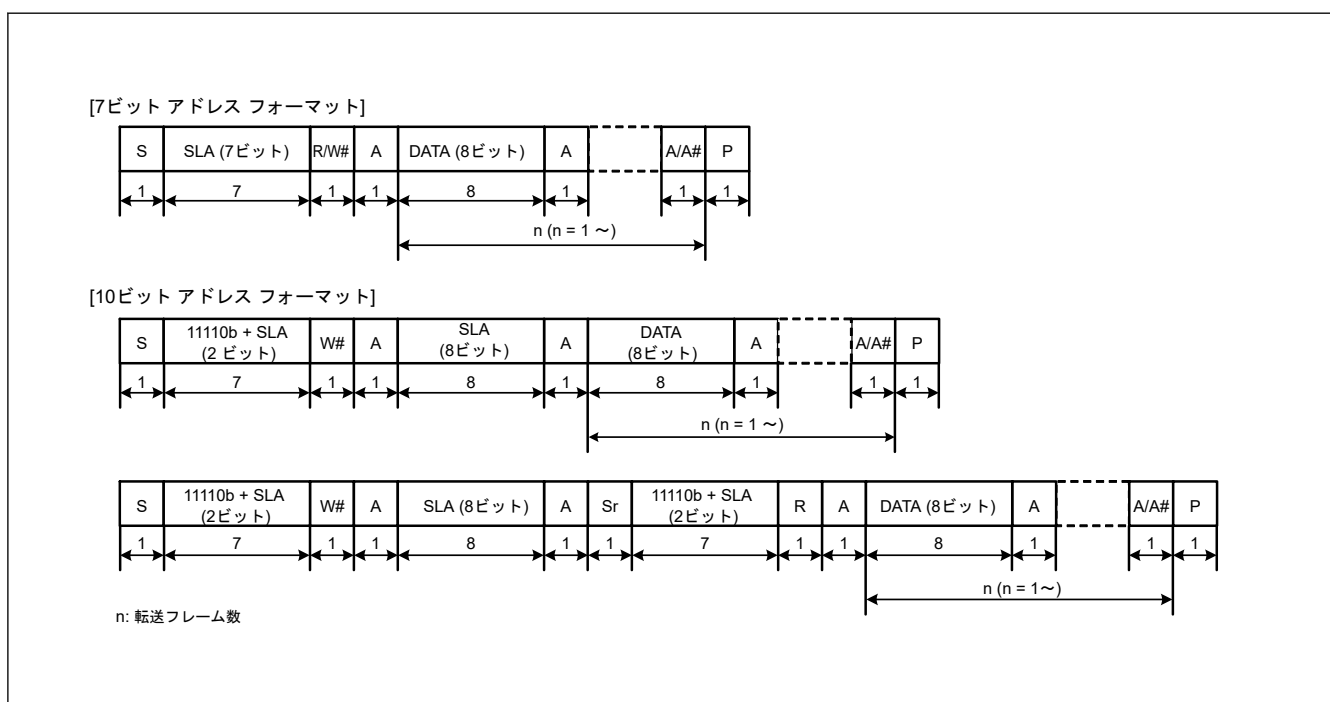


図 27.3 I²C バスフォーマット

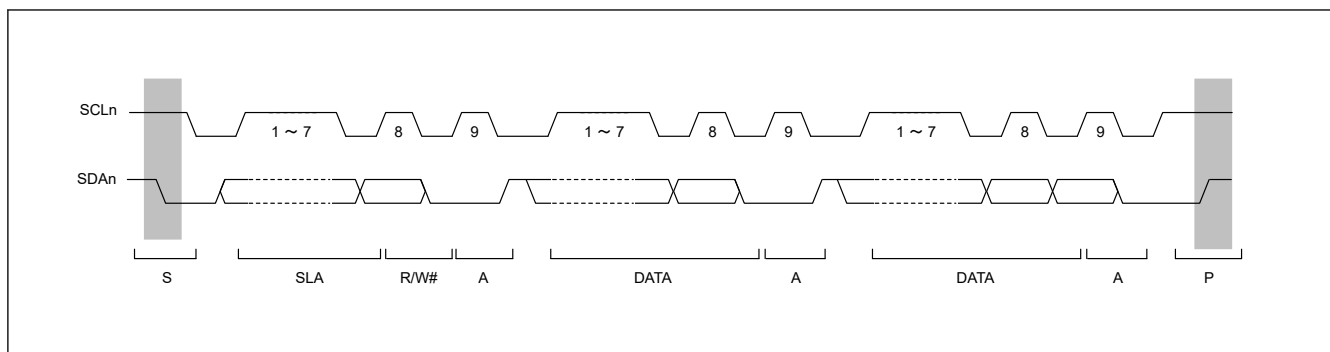


図 27.4 I²C バスタイミング (SLA = 7 ビットの場合)

- S: スタートコンディションを表します。SCLn ラインが High のとき、マスタデバイスが SDAAn ラインを High から Low に変化させます。
- SLA: スレーブアドレスを表します。これによって、マスタデバイスがスレーブデバイスを選択します。
- R/W#: データ転送の方向を表します。1 のとき、スレーブデバイスからマスタデバイスの方向、0 のとき、マスタデバイスからスレーブデバイスの方向になります。
- A: アクノリッジを表します。受信デバイスが SDAAn ラインを Low にします。マスタ送信モードでは、スレーブデバイスがアクノリッジを返します。マスタ受信モードでは、マスタデバイスがアクノリッジを返します。
- A#: ノットアクノリッジを表します。受信デバイスが SDAAn ラインを High にします。
- Sr: リスタートコンディションを表します。SCLn ラインが High のときに、セットアップ時間が経過した後、マスタデバイスが SDAAn ラインを High から Low に変化させます。
- DATA: 送信データまたは受信データを表します。
- P: ストップコンディションを表します。SCLn ラインが High のときに、マスタデバイスが SDAAn ラインを Low から High に変化させます。

27.3.2 初期設定

データの送受信を開始する前に、図 27.5 に示す手順に従って IIC を初期化してください。

1. ICCR1.ICE ビットを 0 に設定して、SCLn および SDAAn 端子を非アクティブ状態に設定します。
2. ICCR1.IICRST ビットを 1 に設定して、IIC リセットします。
3. ICCR1.ICE ビットを 1 に設定して、内部リセットを開始します。
4. SARLy、SARUy、ICSER、ICMR1、ICBRH、および ICBRL レジスタ (y = 0~2) を設定し、必要に応じてその他のレジスタを設定します。IIC の初期設定については、図 27.5 を参照してください。
5. 必要なレジスタ設定が完了したら、ICCR1.IICRST ビットを 0 に設定して IIC リセットを解除します。

すでに IIC の初期化が完了している場合、この手順は不要です。

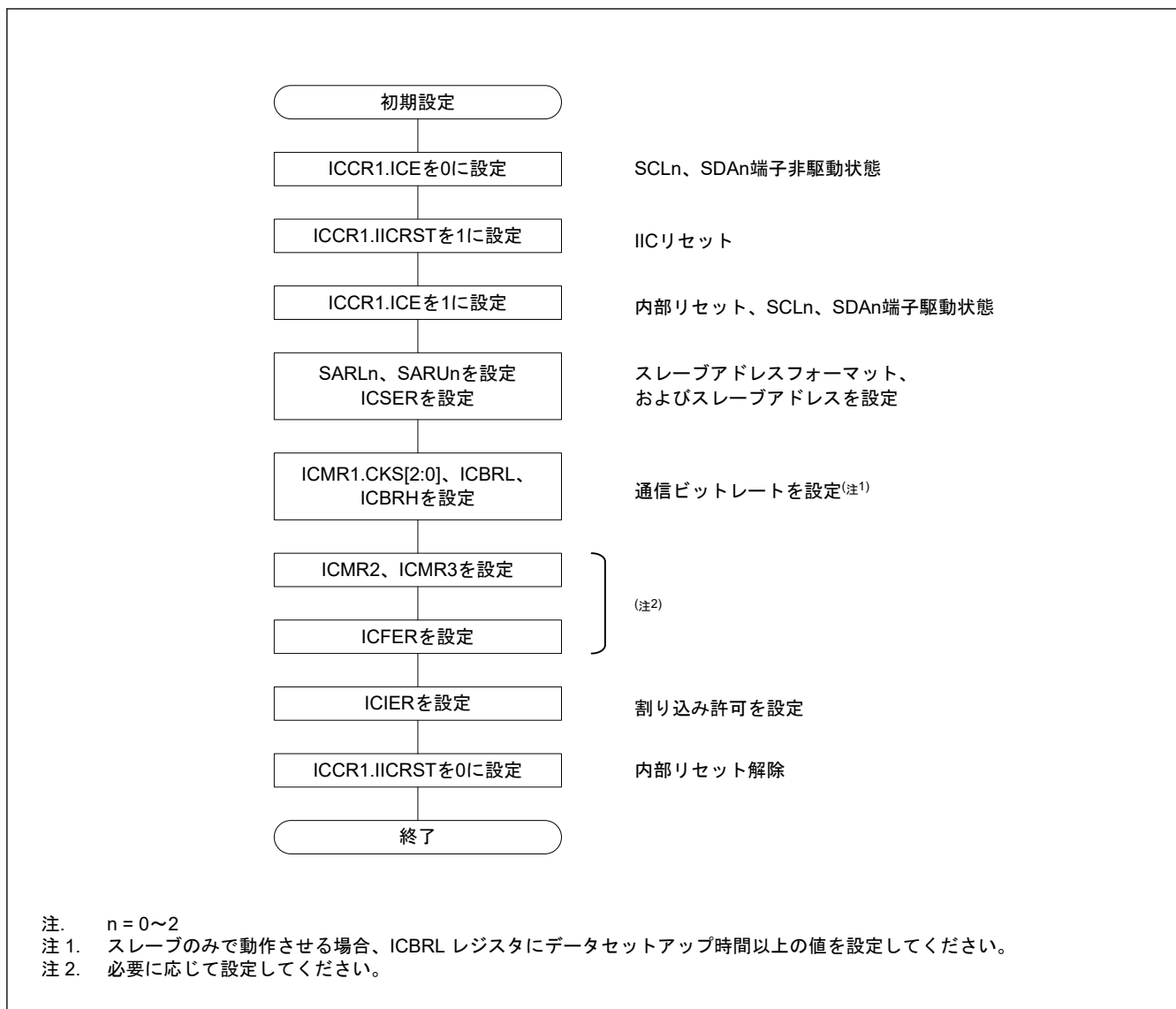


図 27.5 IIC の初期化フローチャート例

27.3.3 マスタ送信動作

マスタ送信動作では、マスタデバイスである IIC が SCL クロックと送信データ信号を出力し、スレーブデバイスがアクノリッジを返します。図 27.6 にマスタ送信の例を、図 27.7~図 27.9 にマスタ送信の動作タイミングを示します。

マスタ送信の設定および実行は以下の手順で行います。

1. 初期設定を行います。詳細は、「27.3.2. 初期設定」を参照してください。
2. ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットを 1 (スタートコンディション要求) にします。IIC はスタートコンディション要求を受け付けると、スタートコンディションを発行します。同時に、ICCR2.BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ST ビットが自動的に 0 になります。このとき、ST ビットが 1 の状態でスタートコンディションが検出され、かつ、SDA 出力状態の内部レベルと SDA_n ラインのレベルが一致していれば、IIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST、TRS ビットが自動的に 1 になり、IIC はマスタ送信モードになります。ICSR2.TDRE フラグは、TRS ビットが 1 になることにより自動的に 1 になります。
3. ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データが書き込まれると、TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタへデータが転送されて、再び TDRE フラグが 1 になります。スレーブアドレスと R/W# ビットを含むバイトの送信後、送信された R/W# ビットの値に応じて TRS ビットの値が

自動的に更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W#ビットの値が0であったなら、IICはマスタ送信モードの状態を継続します。

このとき ICSR2.NACKF フラグが1であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに1を書いて、ストップコンディションを発行してください。

データを10ビットフォーマットのアドレスで送信する場合は、最初に、1回目のアドレス送信処理で ICDRT レジスタに11110b + スレーブアドレスの上位2ビットとWを書きます。次に、2回目のアドレス送信処理では、ICDRT レジスタにスレーブアドレスの下位8ビットを書いてください。

4. ICSR2.TDRE フラグが1であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションが発行されるまで、IICは自動的に SCLn ラインを Low にホールドします。
5. 送信データの全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが1に戻るまで待つてから、ICCR2.SP ビットを1 (ストップコンディション要求) にしてください。IICは、ストップコンディション要求を受け付けると、ストップコンディションを発行します。ストップコンディション発行の詳細については、「[27.11.3. ストップコンディション発行動作](#)」を参照してください。
6. IICはストップコンディションを検出すると、ICCR2.MST ビットと ICCR2.TRS ビットを自動的に0にして、スレーブ受信モードへ遷移します。さらにIICは、TDRE フラグと TEND フラグを自動的に0にして、ICSR2.STOP フラグを1にします。
7. ICSR2.STOP フラグが1であることを確認した後、次の転送動作のために、ICSR2.NACKF フラグと ICSR2.STOP フラグを0にしてください。

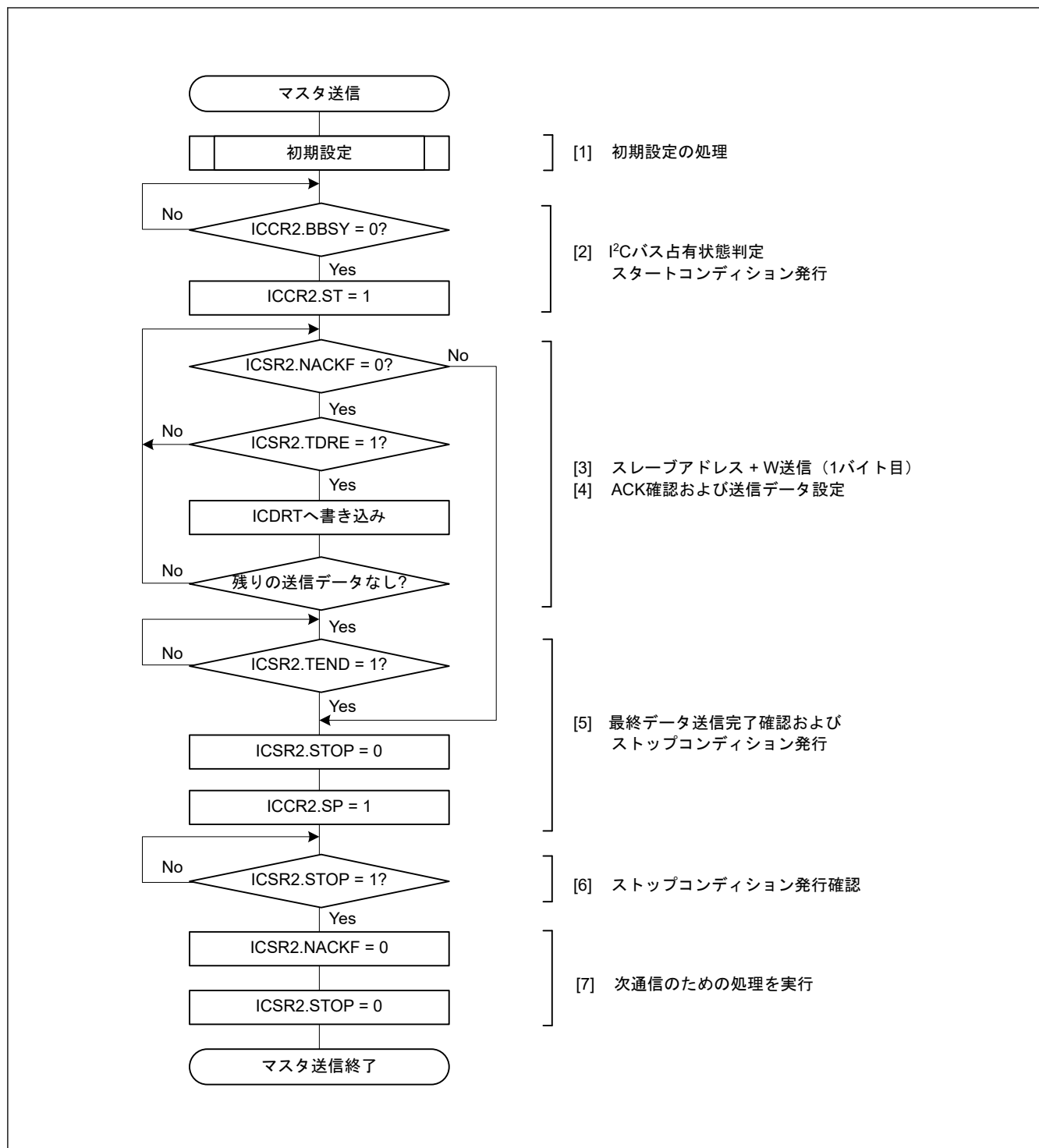


図 27.6 マスタ送信のフローチャート例

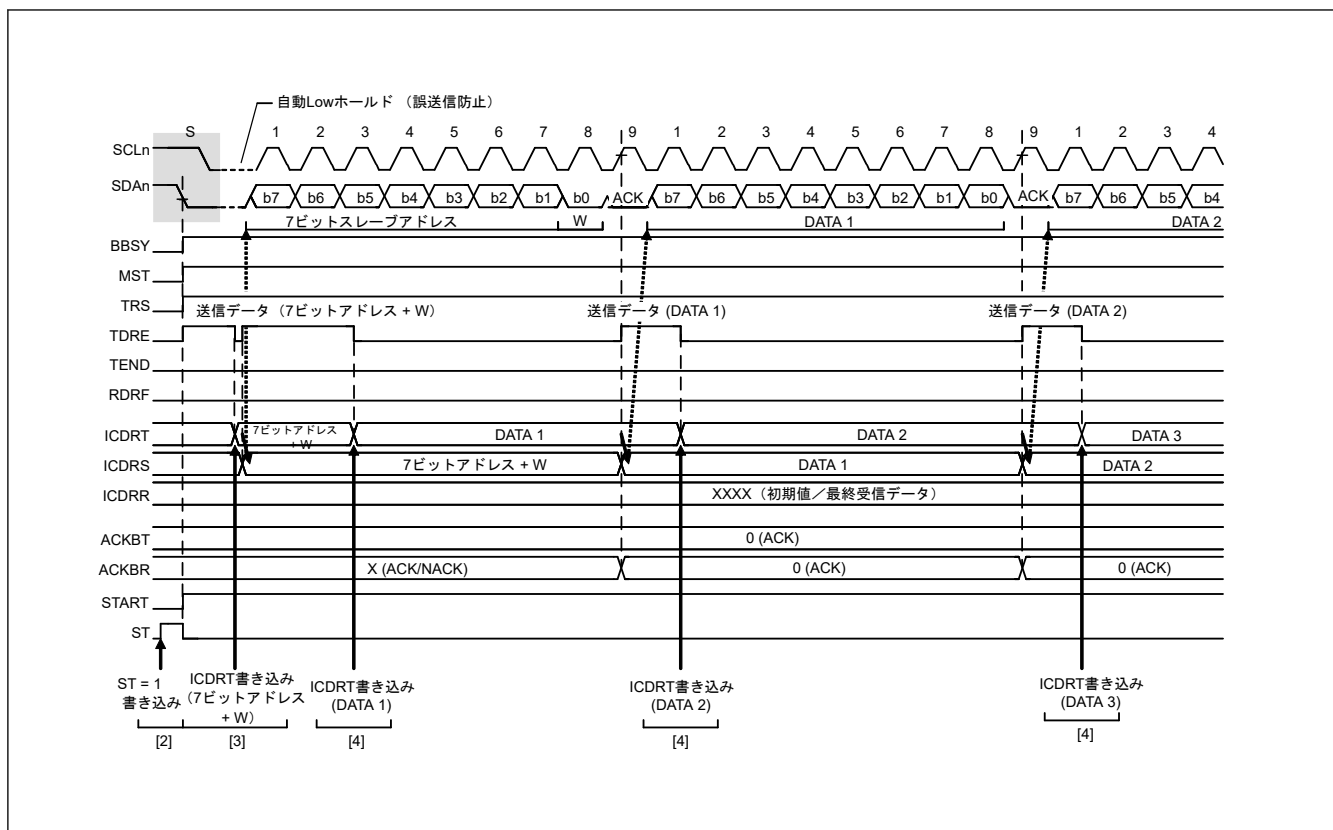


図 27.7 マスタ送信の動作タイミング (1) (7 ビットアドレスフォーマット)

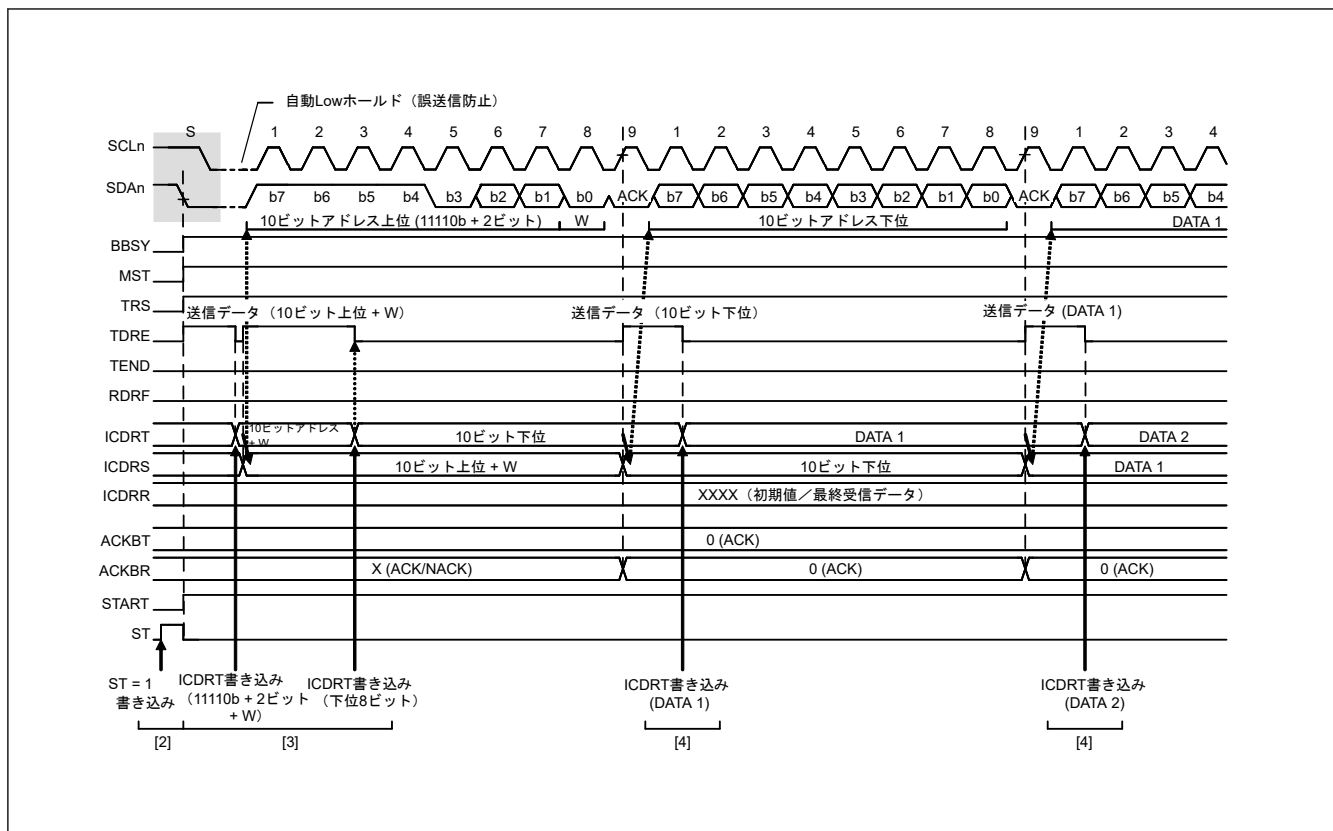


図 27.8 マスタ送信の動作タイミング (2) (10 ビットアドレスフォーマット)

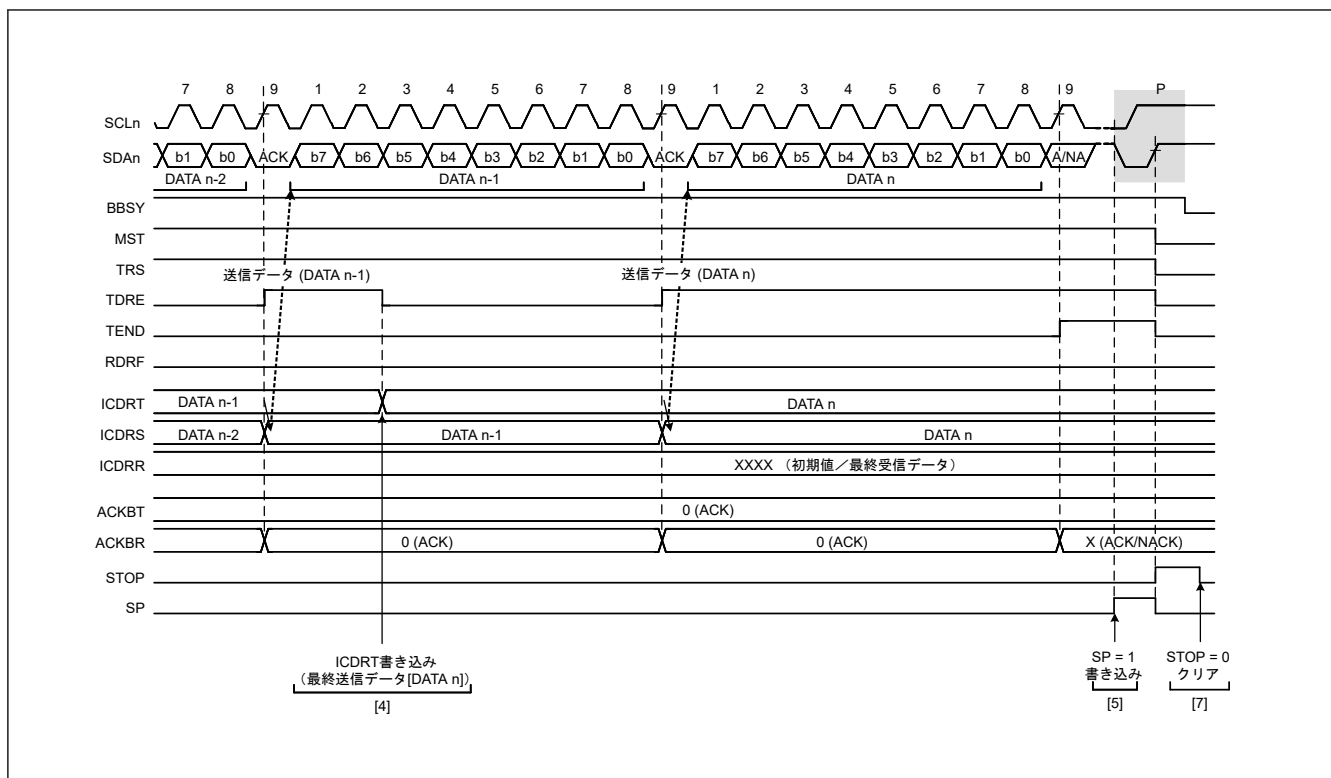


図 27.9 マスタ送信の動作タイミング (3)

27.3.4 マスタ受信動作

マスタ受信動作では、マスタデバイスである IIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アックノリッジを返します。最初に、対応するスレーブデバイスにスレーブアドレスを送信するため、手順のこの部分ではマスタ送信モードで実行し、その後の手順ではマスタ受信モードで実行します。

図 27.10 と図 27.11 にマスタ受信の例（7 ビットアドレスフォーマットの場合）を、図 27.12～図 27.14 にマスタ受信の動作タイミングを示します。

マスタ受信の設定および実行は以下の手順で行います。

1. 初期設定を行います。詳細は、「27.3.2. 初期設定」を参照してください。
 2. ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットを 1（スタートコンディション要求）にします。IIC はスタートコンディション要求を受け付けると、スタートコンディションを発行します。IIC がスタートコンディションを検出すると、ICCR2.BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ST ビットが自動的に 0 になります。このとき、ST ビットが 1 の状態でスタートコンディションが検出され、かつ SDA 出力のレベルと SDA_n ラインのレベルが一致したならば、IIC は ST ビットで要求したスタートコンディション発行が正しく完了したと認識し、ICCR2.MST ビットと ICCR2.TRS ビットが自動的に 1 になって、IIC はマスタ送信モードになります。ICSR2.TDRE フラグは、TRS ビットが 1 になることにより自動的に 1 になります。
 3. ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ（1 バイト目はスレーブアドレスと R/W#ビットの値を示す）を書いてください。ICDRT レジスタに送信データが書き込まれると、TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタへデータが転送されて、再び TDRE フラグが 1 になります。スレーブアドレスと R/W#ビットを含むバイトが送信されると、送信された R/W#ビットの値に応じて ICCR2.TRS ビットの値が自動的に更新され、送信モードまたは受信モードが選択されます。R/W#ビットの値が 1 の場合、SCL クロックの 9 クロック目の立ち上がりで TRS ビットが 0 になり、IIC はマスタ受信モードになります。このとき、TDRE フラグが 0 になり、ICSR2.RDRF フラグが自動的に 1 になります。このとき ICSR2.NACKF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。
- なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、11110b+スレーブアドレスの上位 2 ビットと R ビットを送信することで、IIC はマスタ受信モードになります。

4. ICSR2.RDRF フラグが 1 であることを確認した後、ICDRR レジスタをダミーリードします。これにより、IIC は SCL クロックの出力とデータ受信動作を開始します。
5. 1 バイトのデータの受信後、ICMR3.RDRFS ビットで設定した SCL クロックの 8 クロック目または 9 クロック目の立ち上がりで、ICSR2.RDRF フラグが 1 になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に 0 になります。また、SCL クロックの 9 クロック目のアクノリッジビットには、ICMR3.ACKBT ビットに設定した値が返信されます。次に受信するバイトが最後から 2 番目のバイトの場合、そのデータ（最後から 2 番目のバイト）を含む ICDRR レジスタを読む前に、ICMR3.WAIT ビットを 1 (WAIT あり) にしてください。これにより、手順 (6) の ICMR3.ACKBT ビットを 1 (NACK) にする処理が割り込みなどの他の処理によって遅れた場合でも、NACK 出力が可能になるとともに、最終バイトの受信時に 9 クロック目の立ち上がりで SCLn ラインを Low に固定して、ストップコンディションの発行が可能になります。
6. ICMR3.RDRFS ビットが 0 で、かつスレーブデバイスに対して、次および最終バイトの転送でデータ受信が終了することを通知する必要がある場合は、ICMR3.ACKBT ビットを 1 (NACK) にしてください。
7. 最後から 2 番目のバイトを ICDRR レジスタから読み出した後、ICSR2.RDRF フラグが 1 であれば、ICCR2.SP ビットを 1 (ストップコンディション要求) にした後、ICDRR レジスタの最終バイトを読み出してください。ICDRR レジスタの読み出し時、IIC は WAIT 状態から解除され、9 クロック目の Low 出力終了後または SCLn ラインの Low ホールド解除後に、ストップコンディションを発行します。
8. IIC はストップコンディションを検出すると、ICCR2.MST ビットと ICCR2.TRS ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。また、ストップコンディションの検出によって、ICSR2.STOP フラグが 1 になります。
9. ICSR2.STOP フラグが 1 であることを確認した後、次の転送動作のために、ICSR2.NACKF フラグと ICSR2.STOP フラグを 0 にしてください。

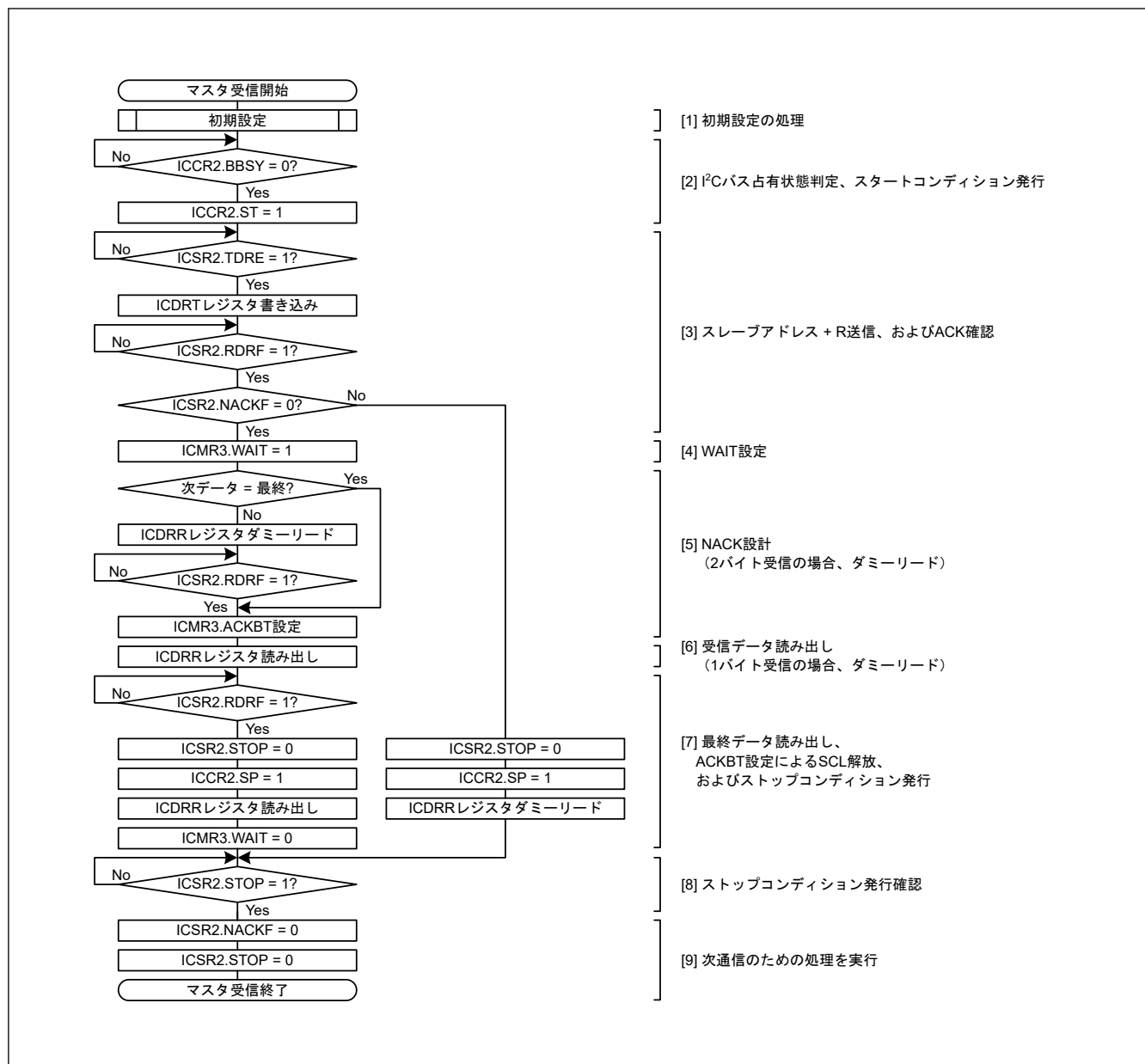


図 27.10 マスタ受信の例 (7 ビットアドレスフォーマットで 1 または 2 バイト受信の場合)

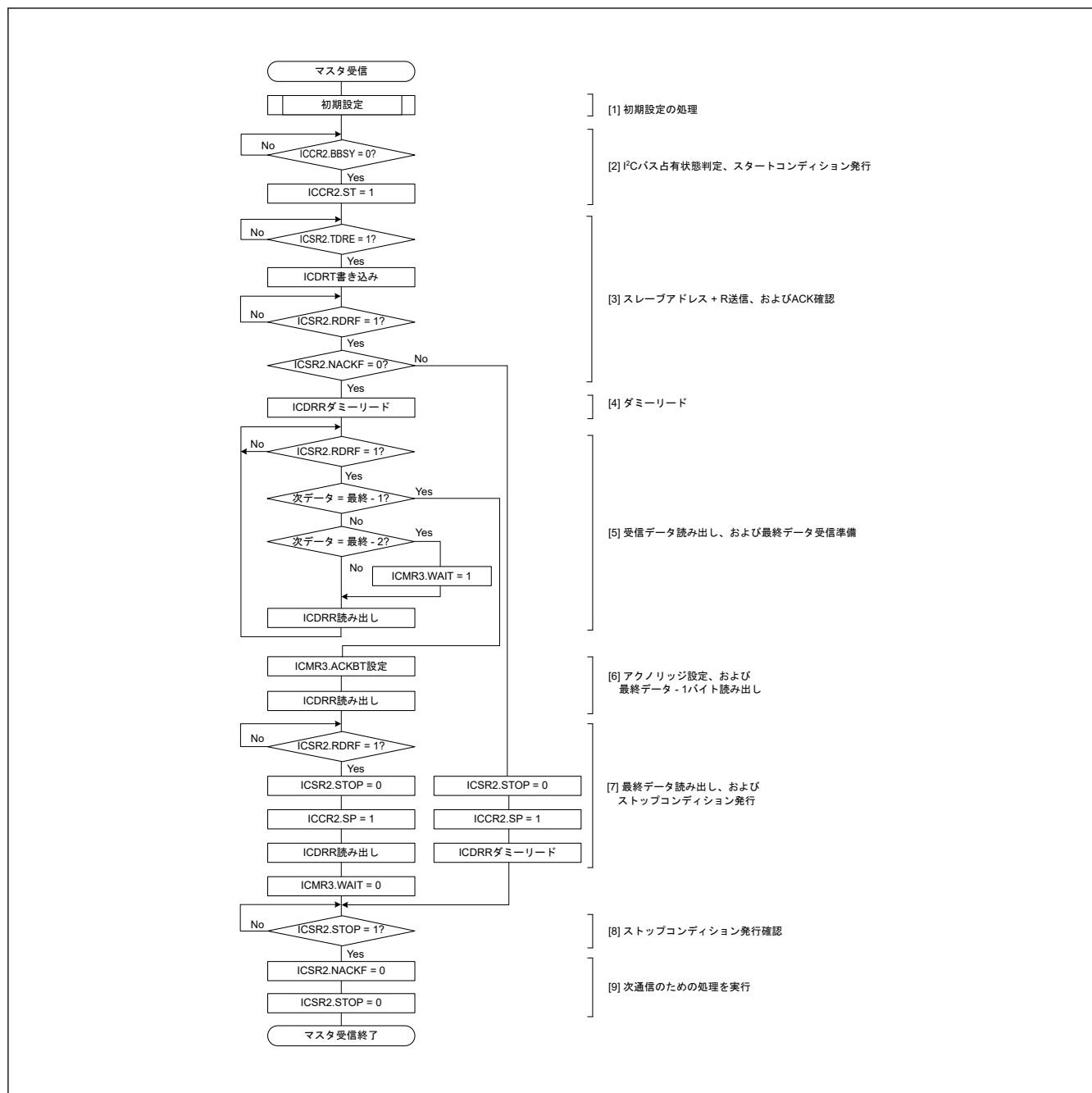


図 27.11 マスタ受信の例 (7 ビットアドレスフォーマットで 3 バイト以上受信の場合)

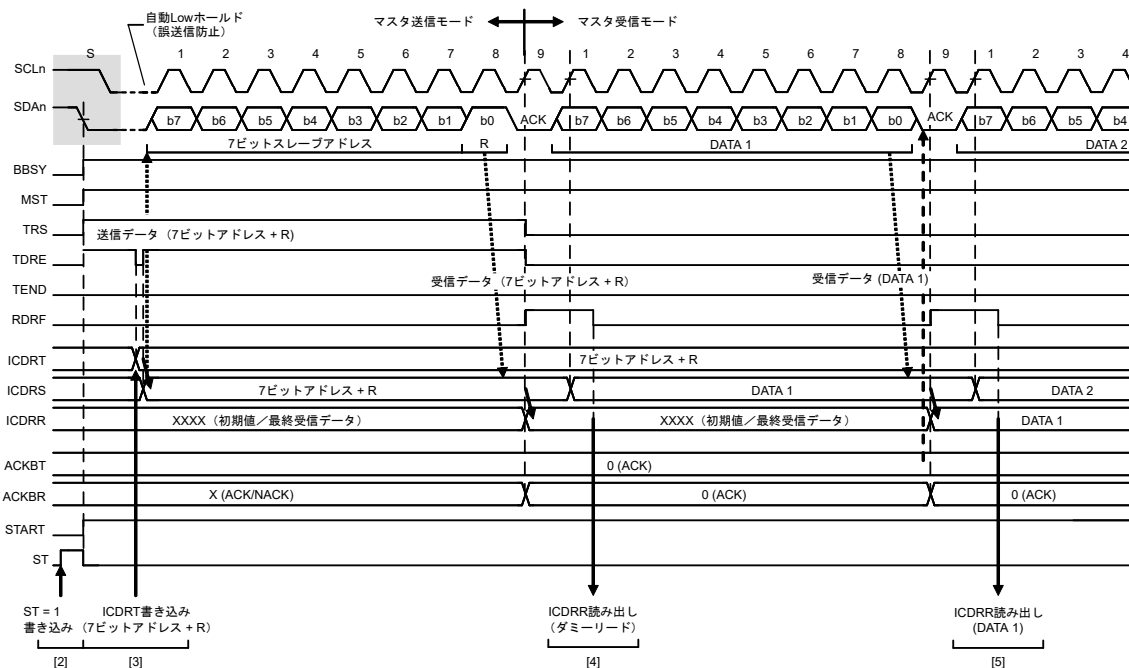


図 27.12 マスタ受信の動作タイミング (1) (7 ビットアドレスフォーマットで RDRFS = 0 の場合)

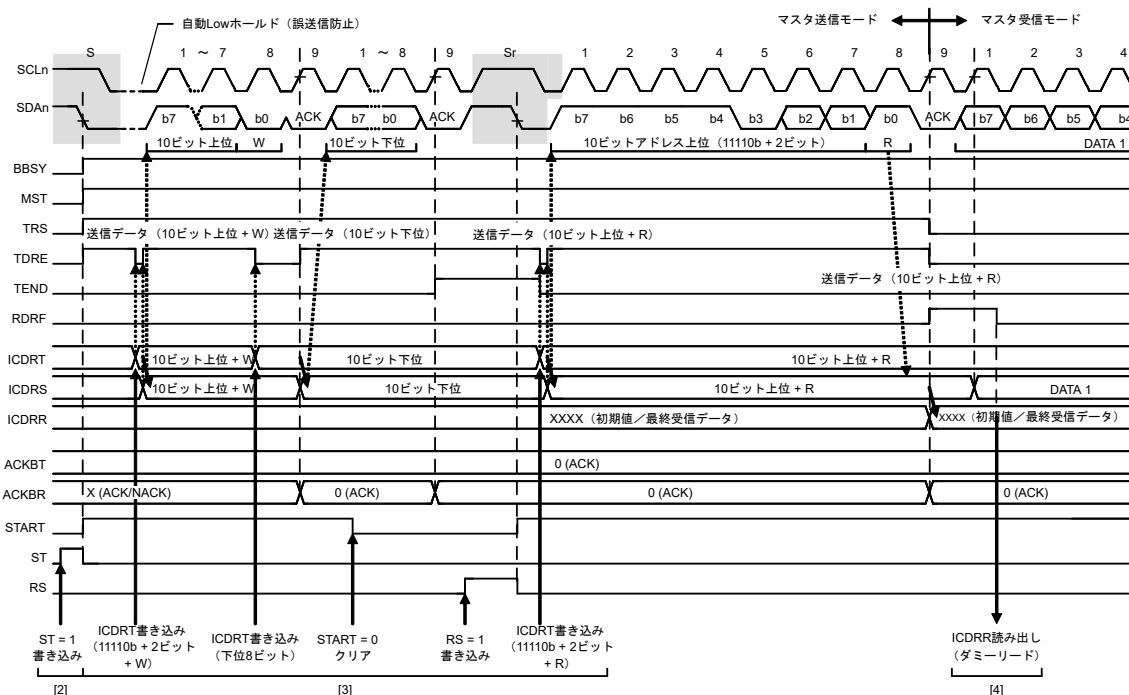


図 27.13 マスタ受信の動作タイミング (2) (10 ビットアドレスフォーマットで RDRFS = 0 の場合)

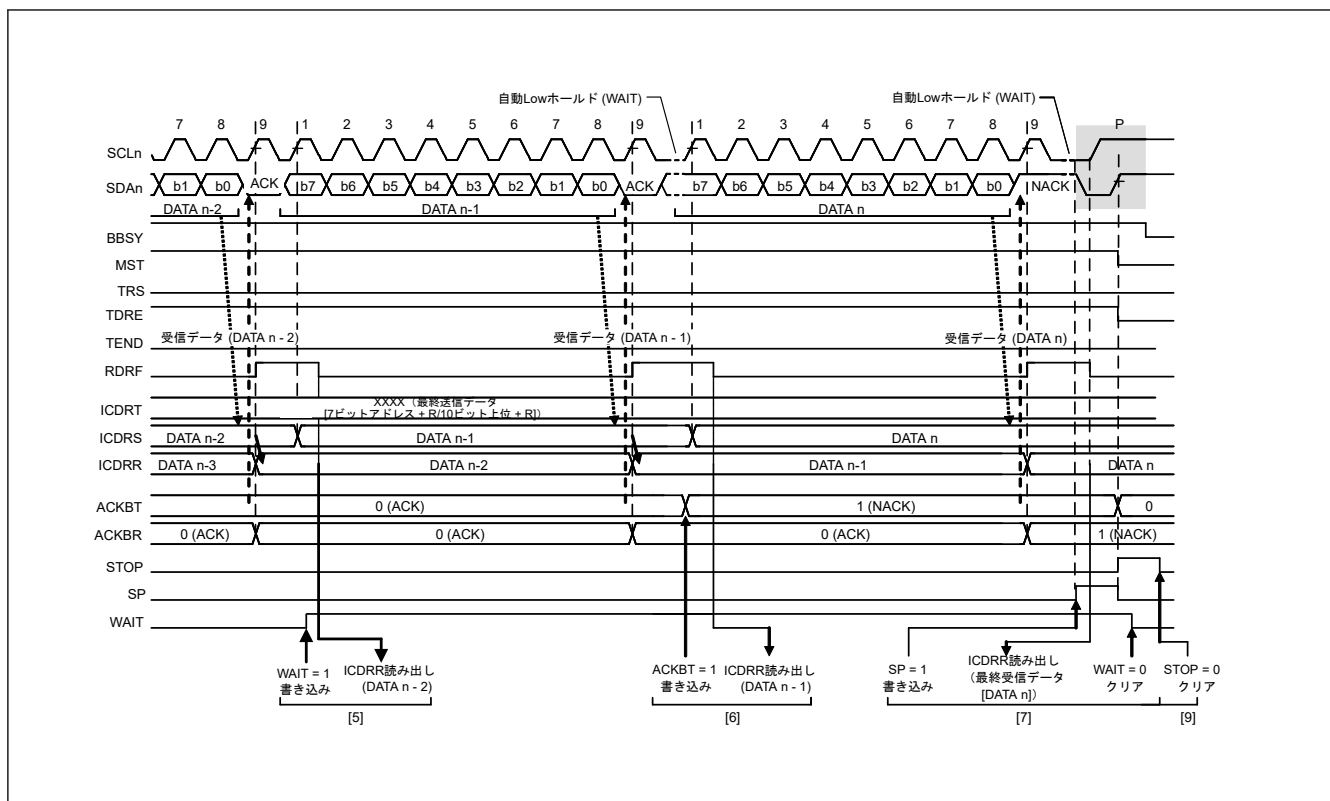


図 27.14 マスタ受信の動作タイミング (3) (RDRFS = 0 の場合)

27.3.5 スレーブ送信動作

スレーブ送信動作では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである IIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 27.15 にスレーブ送信の例を、図 27.16～図 27.17 にスレーブ送信の動作タイミングを示します。

スレーブ送信の設定および実行は以下の手順で行います。

1. 初期設定を行います。詳細は、「27.3.2. 初期設定」を参照してください。
初期設定完了後、IIC は受信したスレーブアドレスが一致するまで待機状態となります。
2. スレーブアドレスが一致した後、IIC は対応する ICSR1.HOA、GCA、AASn フラグ (n = 0～2) のいずれかを SCL クロックの 9 クロック目の立ち上がりで 1 にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットの設定値を出力します。このとき、同時に受信した R/W# ビットの値が 1 であれば、IIC は ICCR2.TRS ビットと ICSR2.TDRE フラグの両方を 1 にすることで、自動的にスレーブ送信モードに切り替わります。
3. ICSR2.TDRE フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書いてください。このとき、ICFER.NACKF ビットが 1 の状態でマスタデバイスからアクノリッジを受信しなかった (NACK を受信した) 場合、IIC は次の転送動作を中断します。
4. ICSR2.NACKF フラグが 1 になるか、または最終送信バイトを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが 1 の状態で、ICSR2.TEND フラグが 1 になるまで待ってください。ICSR2.NACKF フラグが 1 または TEND フラグが 1 の場合、IIC は SCL クロックの 9 クロック目の立ち下がりで SCLn ラインを Low にします。
5. ICSR2.NACKF フラグが 1 または ICSR2.TEND フラグが 1 の場合、終了処理のため ICDRR レジスタをダミーリードしてください。これによって SCLn ラインが解放されます。
6. IIC はストップコンディションを検出すると、ICSR1.HOA、GCA、AASn フラグ (n = 0～2)、ICSR2.TDRE、TEND フラグ、および ICCR2.TRS ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。
7. ICSR2.STOP フラグが 1 であることを確認した後、次の転送動作のために、ICSR2.NACKF フラグと ICSR2.STOP フラグを 0 にしてください。

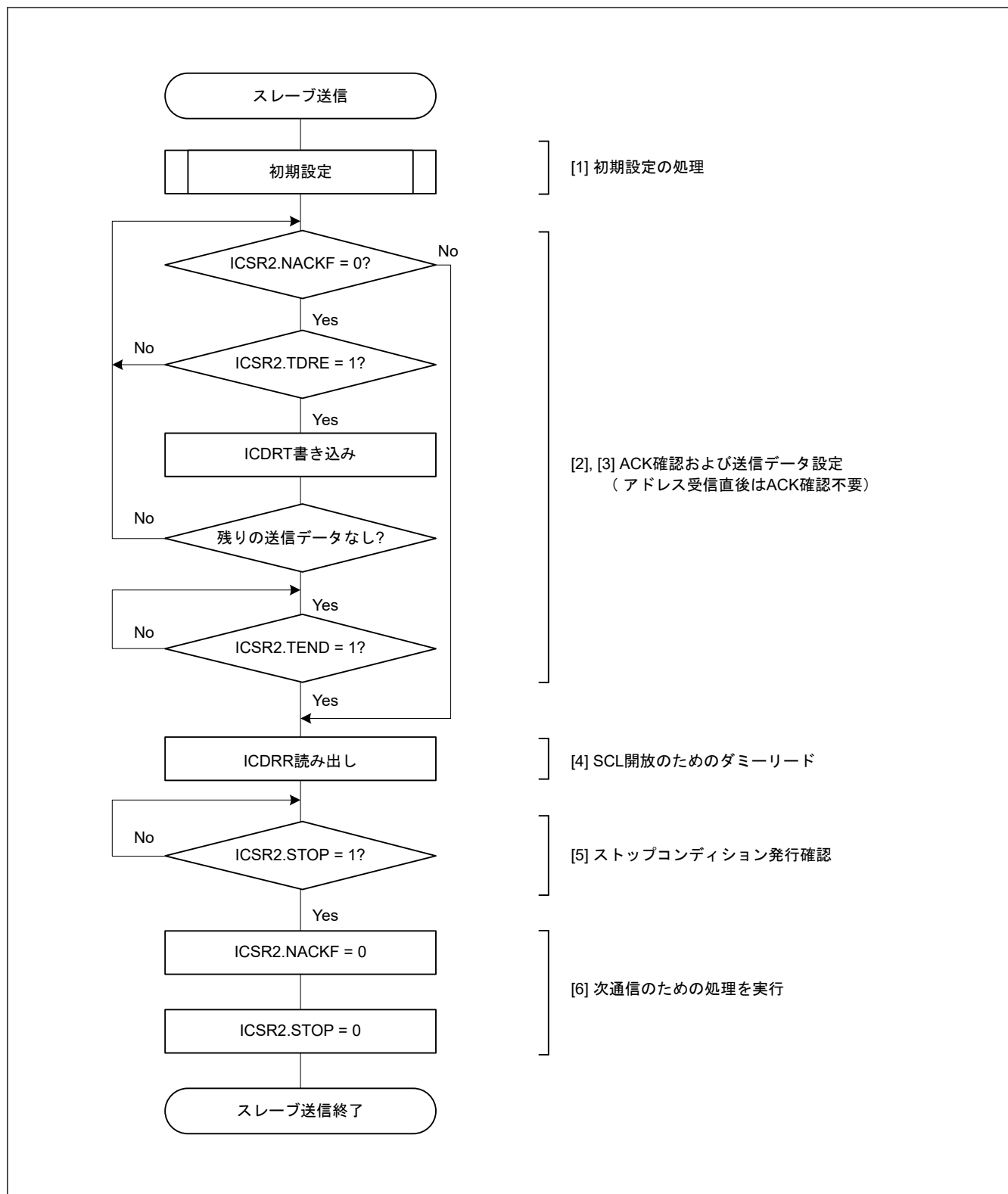


図 27.15 スレーブ送信のフローチャート例

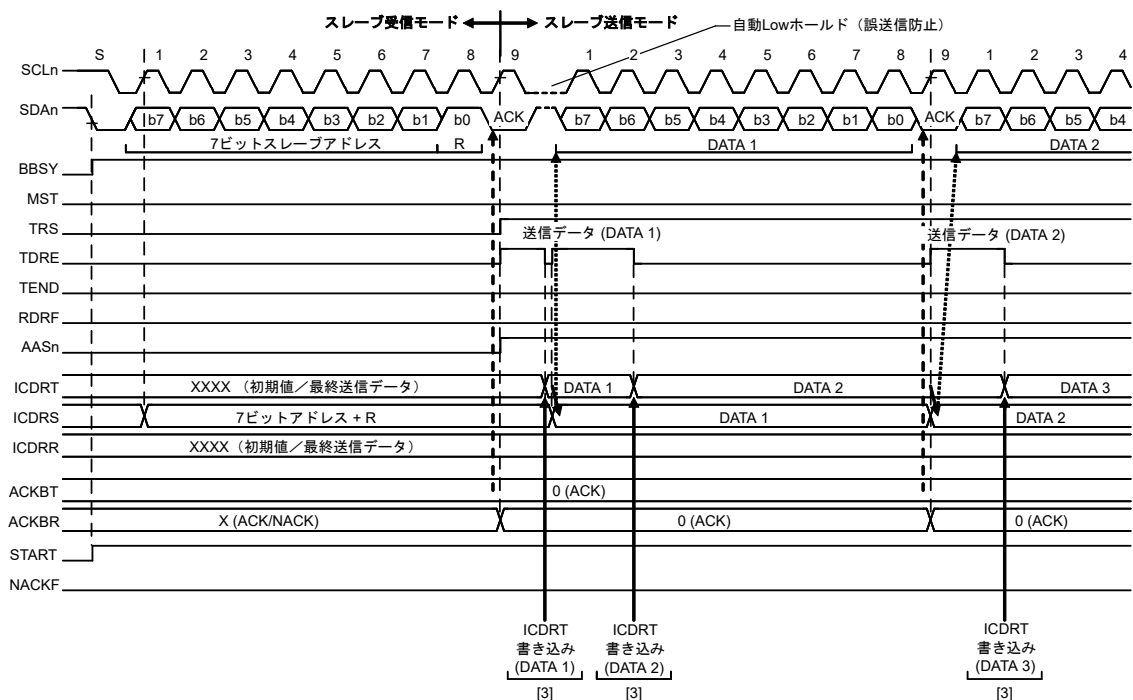


図 27.16 スレーブ送信の動作タイミング (1) (7 ビットアドレスフォーマット)

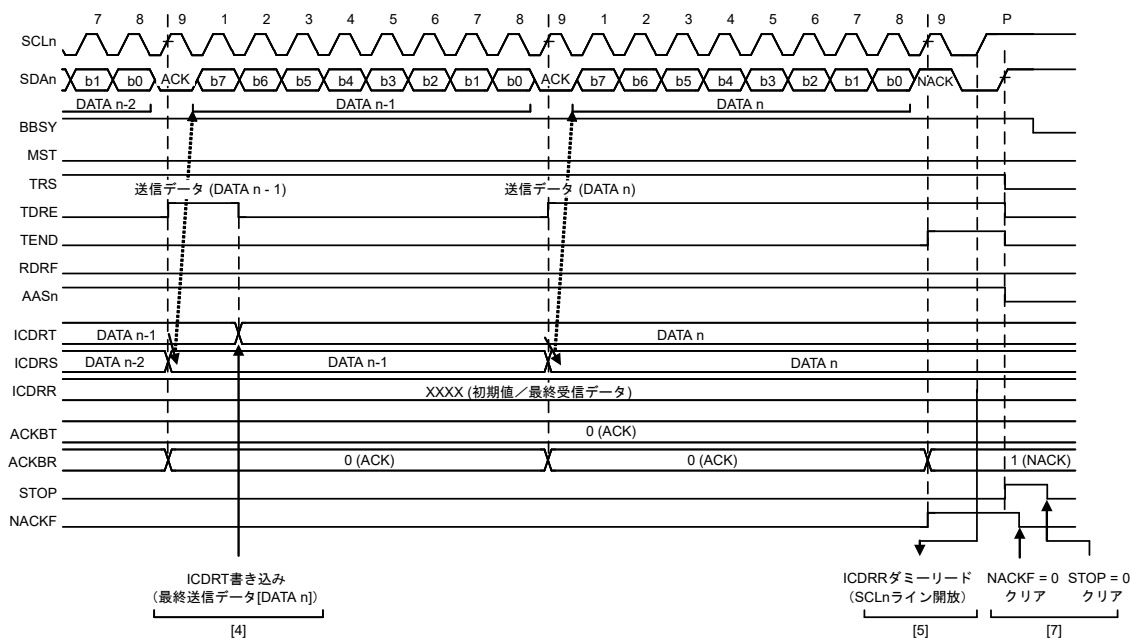


図 27.17 スレーブ送信の動作タイミング (2)

27.3.6 スレーブ受信動作

スレーブ受信動作では、マスタデバイスが SCL クロックと送信データを出し、スレーブデバイスである IIC がアックノリッジを返します。

図 27.18 にスレーブ受信の例を、図 27.19 と図 27.20 にスレーブ受信の動作タイミングを示します。

スレーブ受信の設定および実行は以下の手順で行います。

1. 初期設定を行います。詳細は、「27.3.2. 初期設定」を参照してください。
初期設定完了後、IIC は受信したスレーブアドレスが一致するまで待機状態となります。
2. スレーブアドレスが一致した後、IIC は対応する ICSR1.HOA、GCA、AASn フラグ (n = 0~2) のいずれかを SCL クロックの 9 クロック目の立ち上がりで 1 にし、SCL クロックの 9 クロック目のアックノリッジビットに ICMR3.ACKBT ビットの設定値を出力します。このとき、同時に受信した R/W#ビットの値が 0 であれば、IIC はスレーブ受信モードを継続し、ICSR2.RDRF フラグを 1 にします。
3. ICSR2.STOP フラグが 0 であることと、ICSR2.RDRF フラグが 1 であることを確認し、ICDRR レジスタをダミーで読んでください。ダミーリードした値は、7 ビットアドレスフォーマット選択時はスレーブアドレス + R/W#ビット、10 ビットアドレスフォーマット選択時は下位 8 ビットアドレスです。
4. ICDRR レジスタが読み出されると、IIC は ICSR2.RDRF フラグを自動的に 0 にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが 1 になった状態で次のバイトを受信すると、IIC は RDRF フラグが設定されるポイントの SCL クロックの 1 サイクル手前で SCLn ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され、IIC は SCLn ラインを解放します。
ICSR2.STOP フラグが 1 で、かつ ICSR2.RDRF フラグが 1 の場合、全データの受信が完了するまで ICDRR レジスタを読み出してください。
5. IIC はストップコンディションを検出すると、ICSR1.HOA、GCA、AASn フラグ (n = 0~2) を自動的に 0 にします。
6. ICSR2.STOP フラグが 1 であることを確認した後、次の転送動作のために ICSR2.STOP フラグを 0 にしてください。

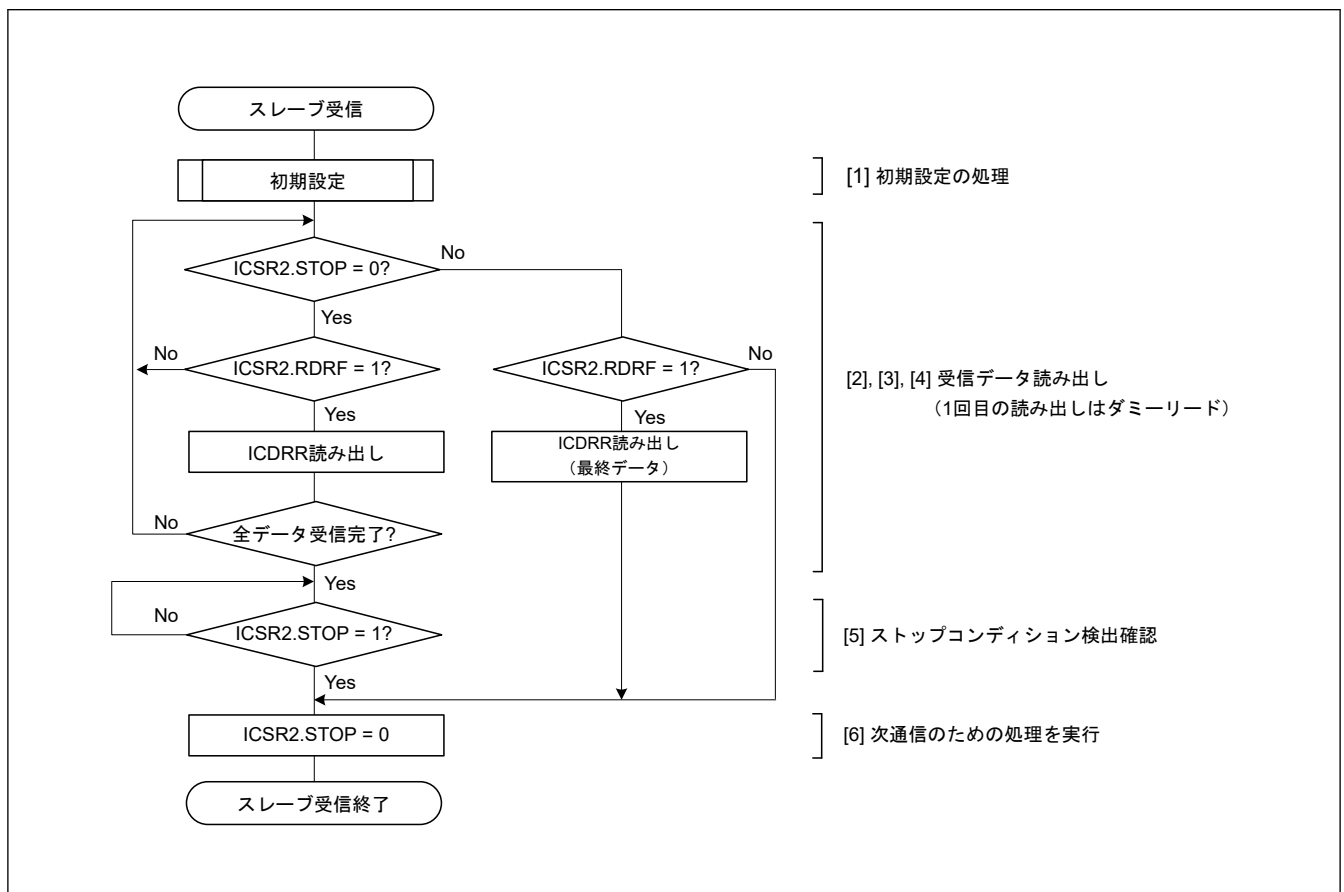


図 27.18 スレーブ受信のフローチャート例

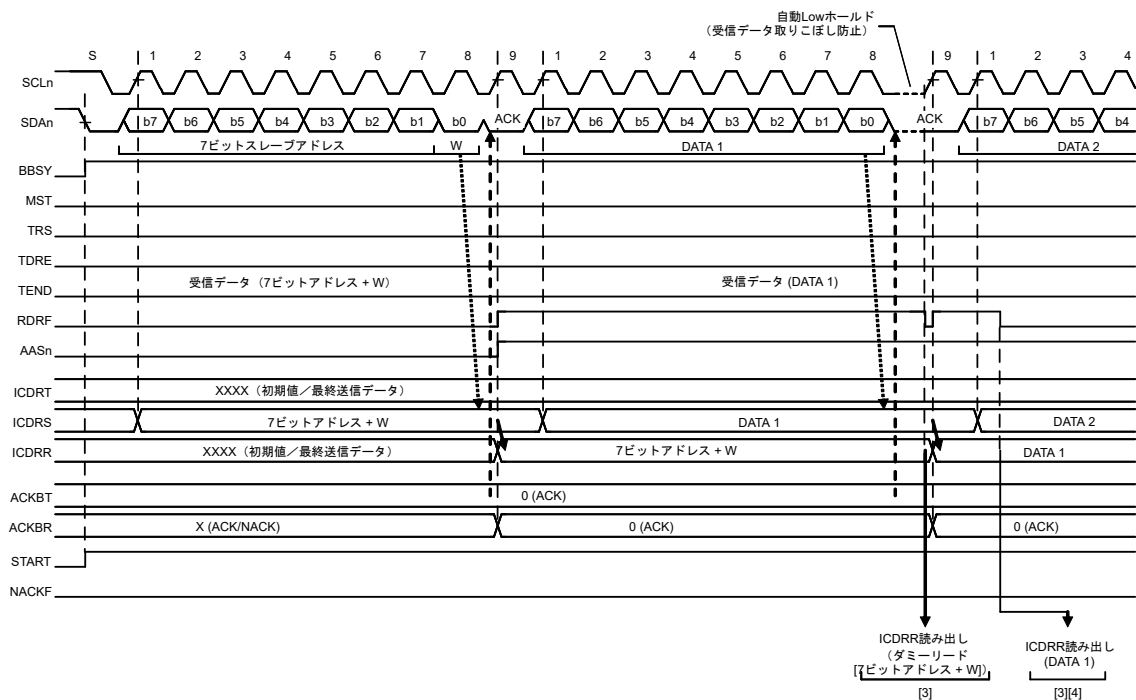


図 27.19 スレープ受信の動作タイミング (1) (7 ビットアドレスフォーマットで RDRFS = 0 の場合)

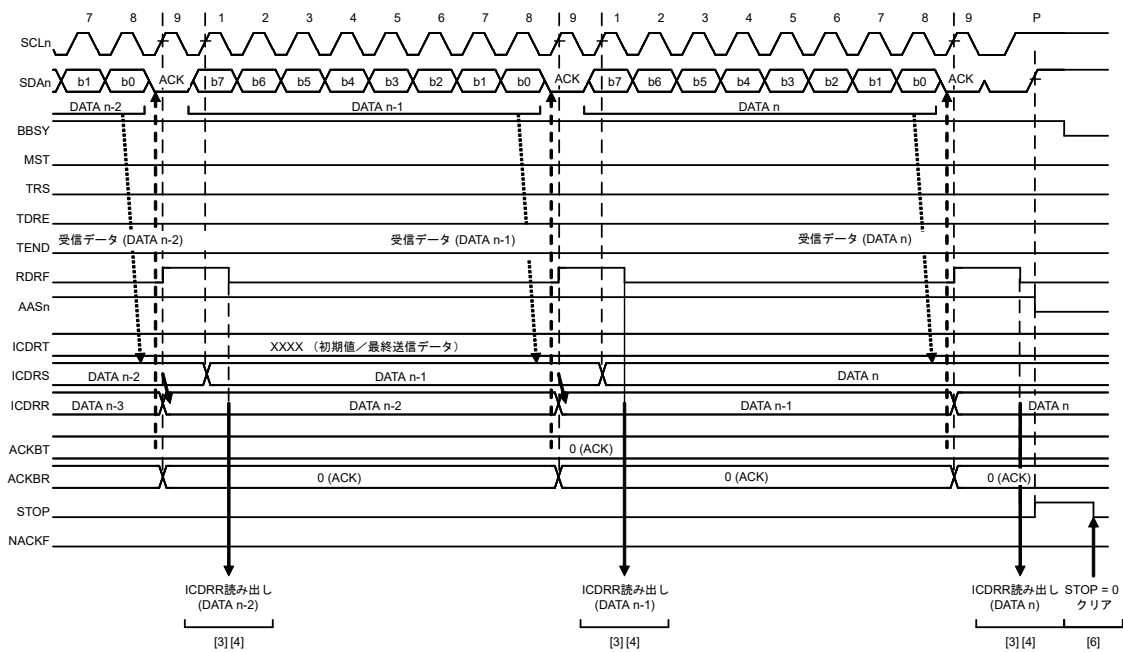


図 27.20 スレープ受信の動作タイミング (2) (RDRFS = 0 の場合)

27.4 SCL 同期回路

SCL クロック生成では、IIC が SCLn ラインの立ち上がりを検出すると、ICBRH レジスタで設定した High 幅のカウントを開始し、カウントが終了すると SCLn ラインを Low にします。また、IIC が SCLn ラインの立ち下がり検出すると、ICBRL レジスタで設定した Low 幅のカウントを開始し、カウントが終了すると SCLn ラインを解放します。IIC はこのプロセスを繰り返すことによって、SCL クロックを生成します。

I²C バスをマルチマスタで使用する場合、他のマスタデバイスとの競合により SCL 信号同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL 信号の同期化を行う必要があります。この SCL 信号の同期はビットごとに行う必要があるため、IIC はマスタモード時に SCLn ラインを監視することで、ビットごとに SCL クロック信号の同期を取る SCL 同期回路を備えています。

IIC が SCLn ラインの立ち上がりを検出して、ICBRH レジスタで設定した High 幅のカウントを開始したとき、他のマスタデバイスが生成している SCL 信号によって SCLn ラインが Low にされた場合、IIC は以下のように動作します。

1. IIC は SCLn ラインの立ち下がり検出すると、High 幅のカウント動作を中断します。
2. SCLn ラインを Low にします。
3. ICBRL レジスタで設定した Low 幅のカウントを開始します。

Low 幅のカウントが終了すると、IIC は SCLn ラインを解放します。このとき、他のマスタデバイスからの SCL クロック信号の Low 幅が、IIC 側で設定した Low 幅よりも長いと、SCL クロックの Low 幅が延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCLn ラインの解放によって SCL クロックが立ち上がります。

IIC が SCL クロックの Low 幅の出力を終了すると、SCLn ラインが解放され、SCL クロックが立ち上がります。すなわち、マルチマスタによる SCL 信号衝突時の SCL 信号の High 幅は、High 幅の短いクロックに同期化され、SCL 信号の Low 幅は、Low 幅の長いクロックに同期化されます。この SCL 同期は、ICFER.SCLE ビットが 1 のときのみ有効です。

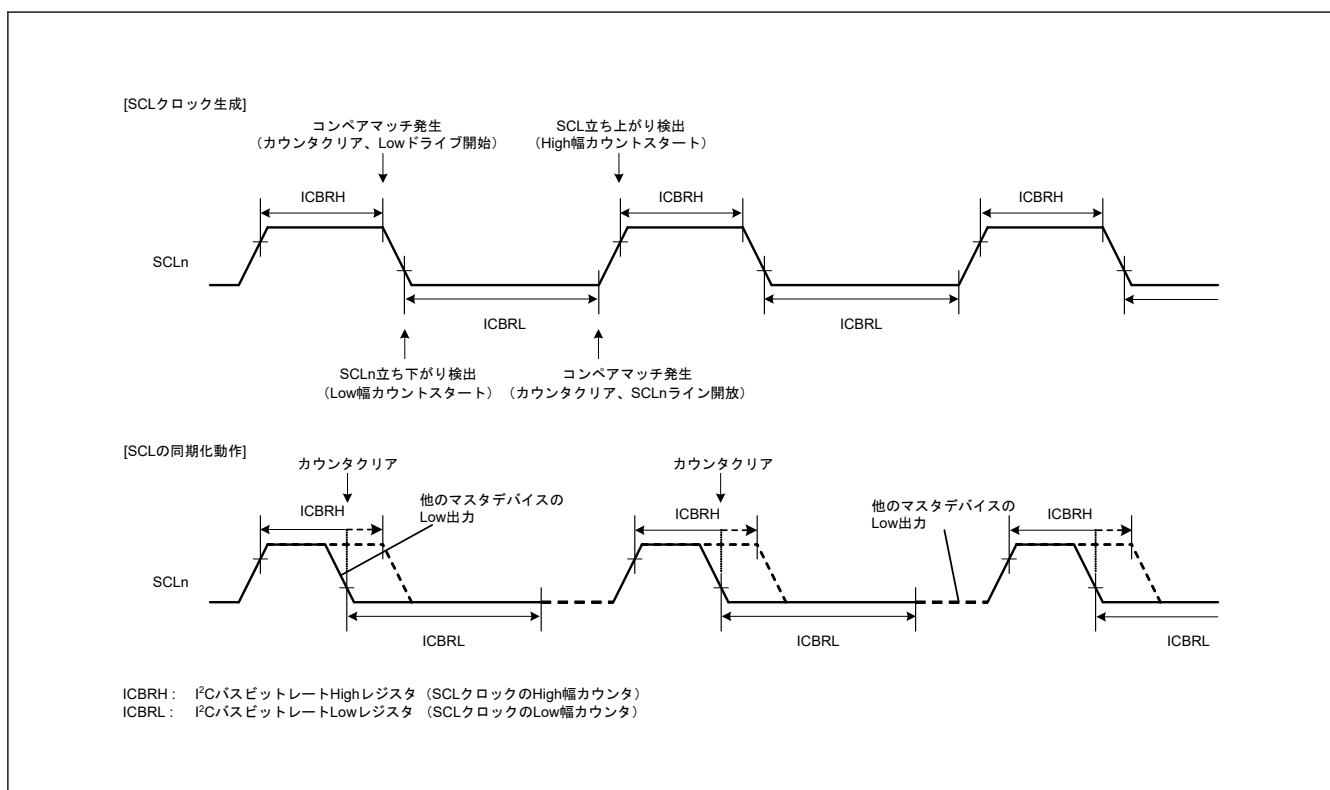


図 27.21 IIC の SCL クロック生成および SCL 同期化動作

27.5 SDA 出力遅延機能

IIC は SDA 出力遅延機能を備えています。SDA 出力遅延機能は、すべての SDA 出力タイミング（スタート/リスタート/ストップコンディションの発行、データ出力、ACK/NACK 出力）を遅延させることができます。

この機能は、SCL 信号の立ち下がり検出から SDA 出力を遅延させ、SCL クロックが Low である期間中に確実に SDA 信号が出力されるようにします。この方法により、SMBus 仕様の最小データホールド時間 (300 ns) の要件を満たして、通信デバイスの誤動作を防止できるようになります。この SDA 出力遅延機能は、ICMR2.SDDL[2:0] ビットが 000b 以外のとき有効で、SDDL[2:0] ビットが 000b のとき無効です。

SDA 出力遅延機能が有効 (ICMR2.SDDL[2:0] ビットが 000b 以外) になっているとき、ICMR2.DLCS ビットでは、SDA 出力遅延カウンタが使用するクロックソースを、内部基準クロック (IIC ϕ) またはその 2 分周クロック (IIC ϕ /2) として選択します。カウンタは、ICMR2.SDDL[2:0] ビットに設定されたサイクル数をカウントします。遅延サイクルのカウント終了後、IIC は SDA ライン上で必要な出力 (スタート/リスタート/ストップコンディション、データ、ACK/NACK 信号) を行います。

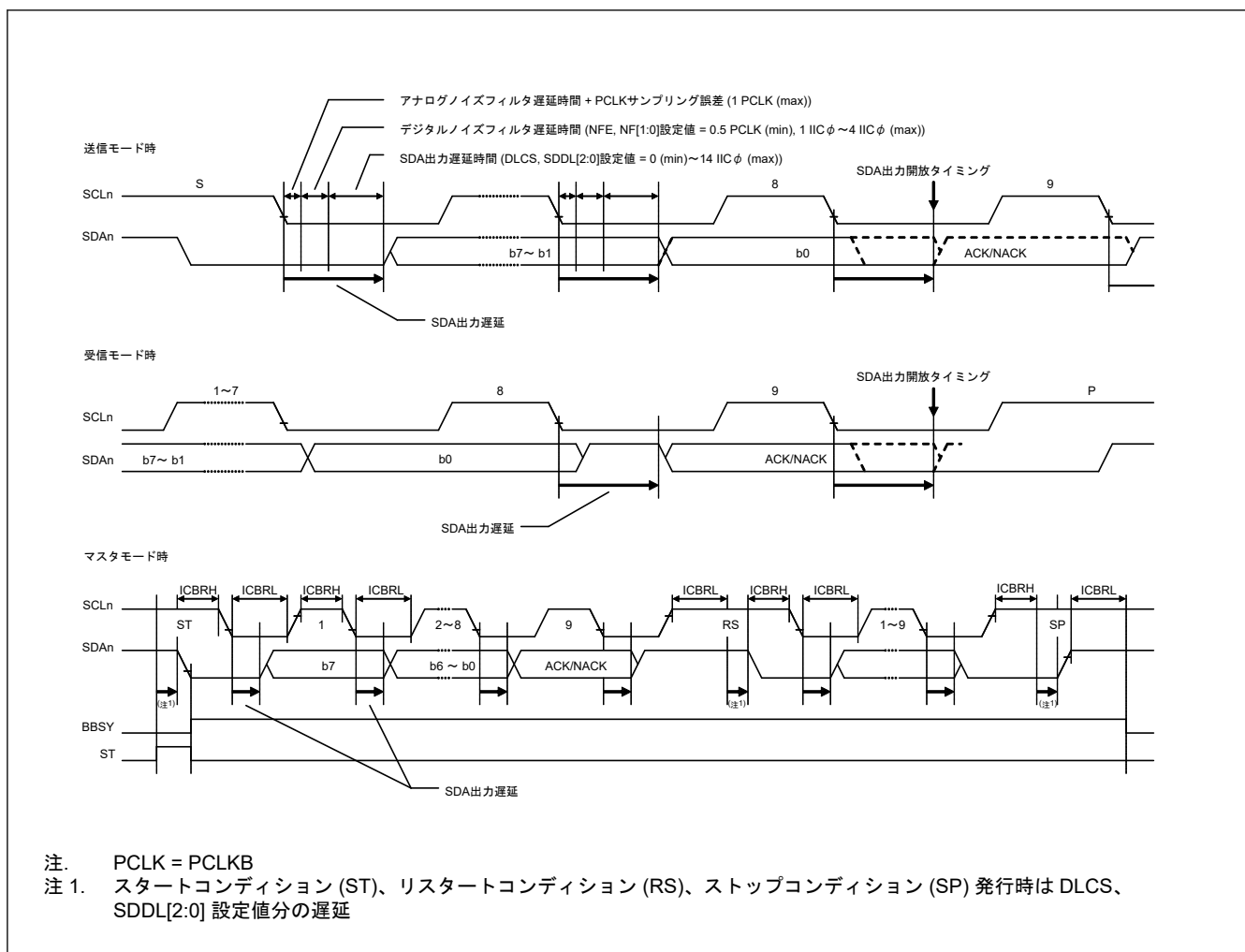


図 27.22 SDA 出力遅延機能

27.6 デジタルノイズフィルタ回路

SCLn 端子および SDA 端子の状態は、アナログノイズフィルタ回路とデジタルノイズフィルタ回路を経由して内部に取り込まれます。図 27.23 にデジタルノイズフィルタ回路のブロック図を示します。

IIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択します。ノイズ除去能力は、選択した有効段数に応じて 1IIC ϕ ~ 4IIC ϕ サイクル分となります。

SCLn 端子 (または SDA 端子) への入力信号は、IIC ϕ 信号の立ち下がりエッジでサンプリングされます。入力信号レベルが、ICMR3.NF[1:0] ビットで選択した有効なフリップフロップ回路段数の出力レベルと一致したとき、その信号レベルが後続の段数に伝えられます。信号レベルが一致しない場合は、前の値が保持されます。

たとえば、PCLKB = 4 MHz 時の 400 kbps データ転送のように、内部動作クロック (PCLKB) と転送速度の周波数の比が小さい場合、デジタルノイズフィルタは要求信号をノイズとして除去する可能性があります。そのような

場合は、ICFER.NFE ビットを 0 にすることでデジタルノイズフィルタ回路を無効にし、アナログノイズフィルタ回路のみを使用することができます。

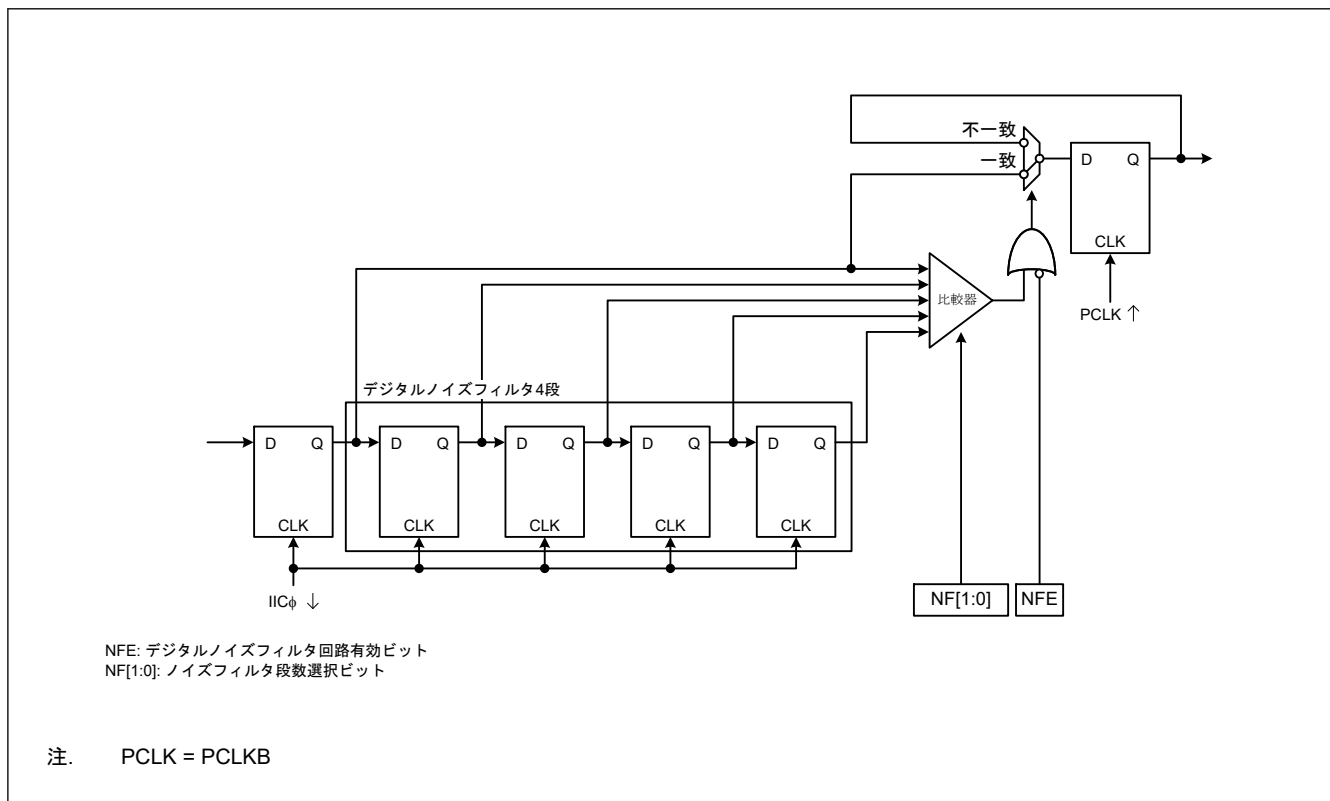


図 27.23 デジタルノイズフィルタ回路のブロック図

27.7 アドレス一致検出機能

IIC は、ジェネラルコールアドレス、ホストアドレスの他に 3 種類の固有のスレーブアドレスの設定が可能です。またスレーブアドレスには、7 ビットアドレスまたは 10 ビットアドレスを設定できます。

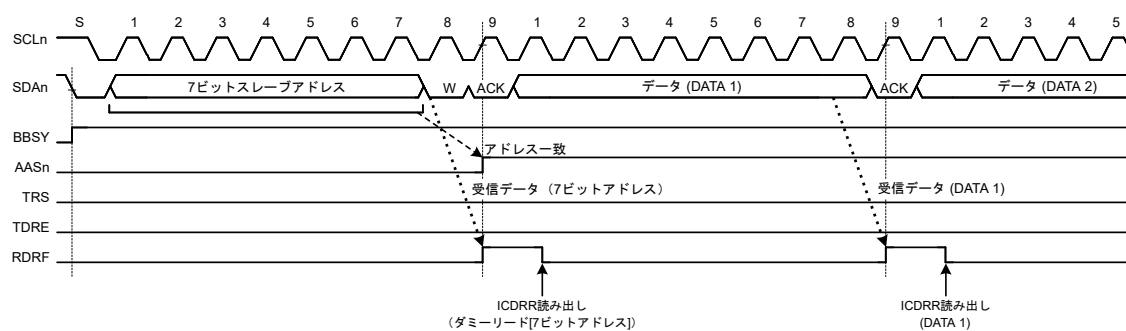
27.7.1 スレーブアドレス一致検出機能

IIC は 3 種類の固有のスレーブアドレスの設定が可能であり、それぞれに対してスレーブアドレス検出機能を備えています。ICSER.SARnE ビット ($n = 0 \sim 2$) が 1 のとき、SARUn および SARLn レジスタ ($n = 0 \sim 2$) に設定されたスレーブアドレスを検出できます。

IIC が設定されたスレーブアドレス一致を検出すると、対応する ICSR1.AASn フラグ ($n = 0 \sim 2$) が SCL クロックの 9 クロック目の立ち上がりで 1 になり、続く R/W# ビットにより ICSR2.RDRF フラグまたは ICSR2.TDRE フラグが 1 になります。これによって、受信データフル割り込み (IICn_RXI) または送信データエンpty割り込み (IICn_TXI) を発生させることができます。どのスレーブアドレスが指定されたかは AASn フラグで識別できます。

図 27.24 ～ 図 27.26 に AASn フラグが 1 になるタイミングを 3 つのケースで示します。

[7ビットアドレスフォーマット：スレーブ受信動作]



[7ビットアドレスフォーマット：スレーブ送信動作]

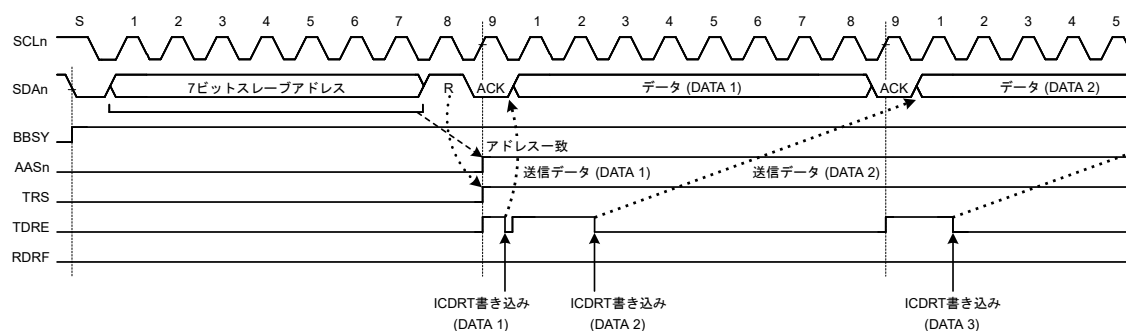
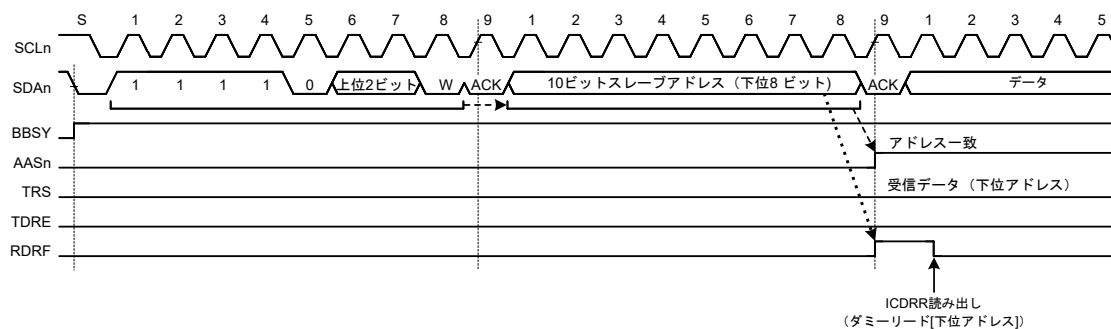


図 27.24 AASn フラグが1になるタイミング (7ビットアドレスフォーマット選択時)

[10ビットアドレスフォーマット: スレーブ受信動作]



[10ビットアドレスフォーマット: スレーブ送信動作]

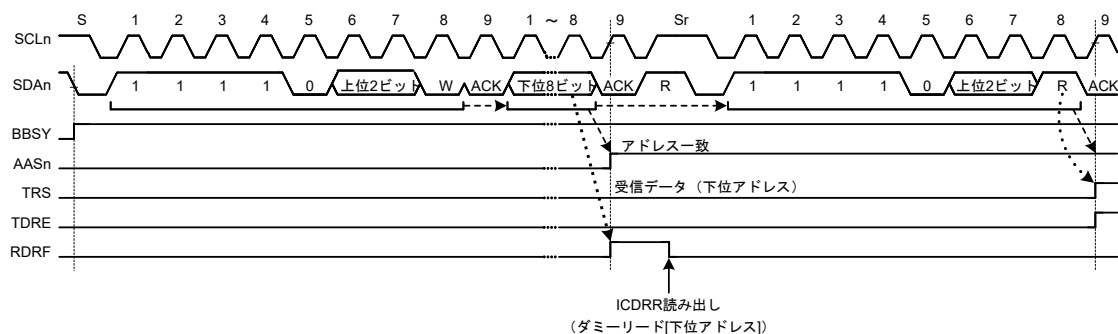


図 27.25 AASn フラグが 1 になるタイミング (10 ビットアドレスフォーマット選択時)

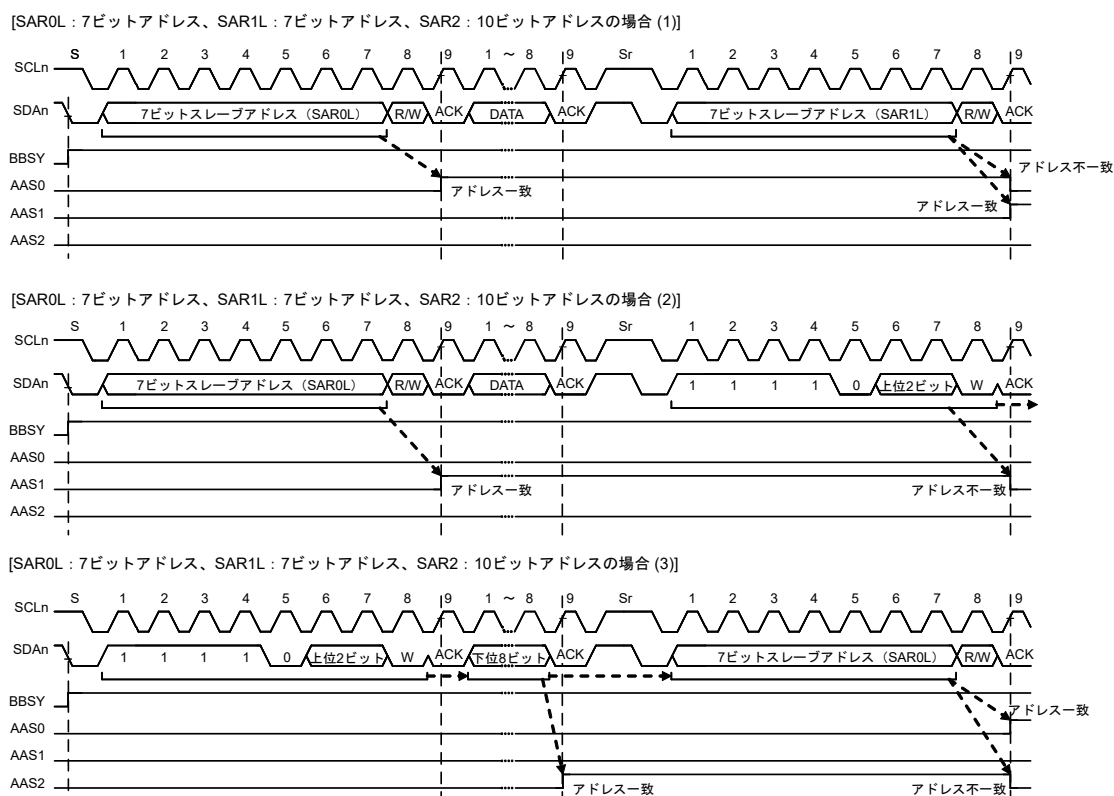


図 27.26 AASn フラグが 1 または 0 になるタイミング (7 ビット/10 ビットアドレスフォーマット混在)

27.7.2 ジェネラルコールアドレス検出機能

IIC は、ジェネラルコールアドレス (0000 000b + 0[W]) の検出機能を備えています。この機能は、ICSER.GCAE ビットを 1 にすることで有効になります。

スタートコンディションまたはリスタートコンディション発行後に受信したアドレスが 0000 000b + 1[R] (開始バイト) の場合は、IIC はスレーブアドレスの内容はすべて 0 であるとみなし、ジェネラルコールアドレスは認識しません。

IIC がジェネラルコールアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりで ICSR1.GCA フラグと ICSR2.RDRF フラグが 1 になります。これによって、受信データフル割り込み (IICn_RXI) が発生します。GCA フラグを確認することで、ジェネラルコールアドレスが送信されたことを確認できます。

なお、ジェネラルコールアドレス検出後の動作は、通常のスレーブ受信動作と同じです。

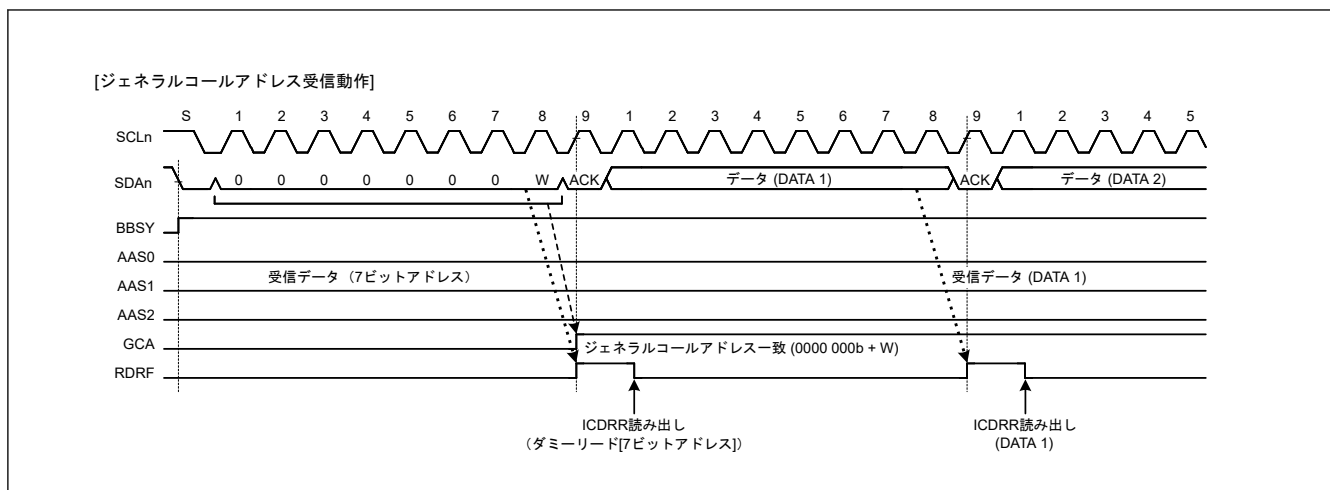


図 27.27 ジェネラルコールアドレス受信時に GCA フラグが1になるタイミング

27.7.3 デバイス ID アドレス検出機能

IIC は、I²C バス仕様 (リビジョン 03) に準拠したデバイス ID アドレスの検出機能を備えています。ICSR.DIDE ビットを 1 にした状態で、スタートコンディションまたはリスタートコンディション発行後の 1 バイト目に 1111 100b を受信すると、IIC はこのアドレスをデバイス ID アドレスと認識し、続く R/W#ビットが 0 のとき、SCL クロックの 9 クロック目の立ち上がりで ICSR1.DID フラグを 1 にした後、2 バイト目以降と自スレーブアドレスとの比較動作を行います。この 2 バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、IIC は対応する ICSR1.AASn フラグ (n = 0~2) を 1 にします。

その後、スタートコンディションまたはリスタートコンディション発行後の 1 バイト目が再びデバイス ID アドレス (1111 100b) と一致し、続く R/W#ビットが 1 のとき、IIC は続く 2 バイト目以降はアドレス比較を行わず、ICSR2.TDRE フラグを 1 にします。

デバイス ID アドレス検出機能では、IIC スレーブアドレスと一致しなかった場合、あるいは IIC スレーブアドレスが一致し、リスタートコンディションの検出後のアドレスがデバイス ID アドレスと一致しなかった場合、IIC は DID フラグを 0 にします。スタートコンディションまたはリスタートコンディション検出後の 1 バイト目がデバイス ID アドレス (1111 100b) と一致し、かつ R/W#ビットが 0 の場合は、IIC は DID フラグを 1 にして、続く 2 バイト目以降を IIC のスレーブアドレスと比較します。R/W#ビットが 1 の場合、DID フラグは前値の状態を継続し、IIC は 2 バイト目以降の比較を行いません。このようにして、TDRE = 1 の確認後、DID フラグを読むことで、デバイス ID アドレスを受信したことを確認することができます。

なお、一連のデバイス ID フィールド受信後にホストに送信するデバイス ID フィールドとして必要な情報 (3 バイトデータ: メーカー情報[12 ビット]+部品識別[9 ビット]+リビジョン[3 ビット]) を、通常の送信データとして準備しておいてください。デバイス ID フィールドに含める必要のある情報については、NXP 社にお問い合わせください。

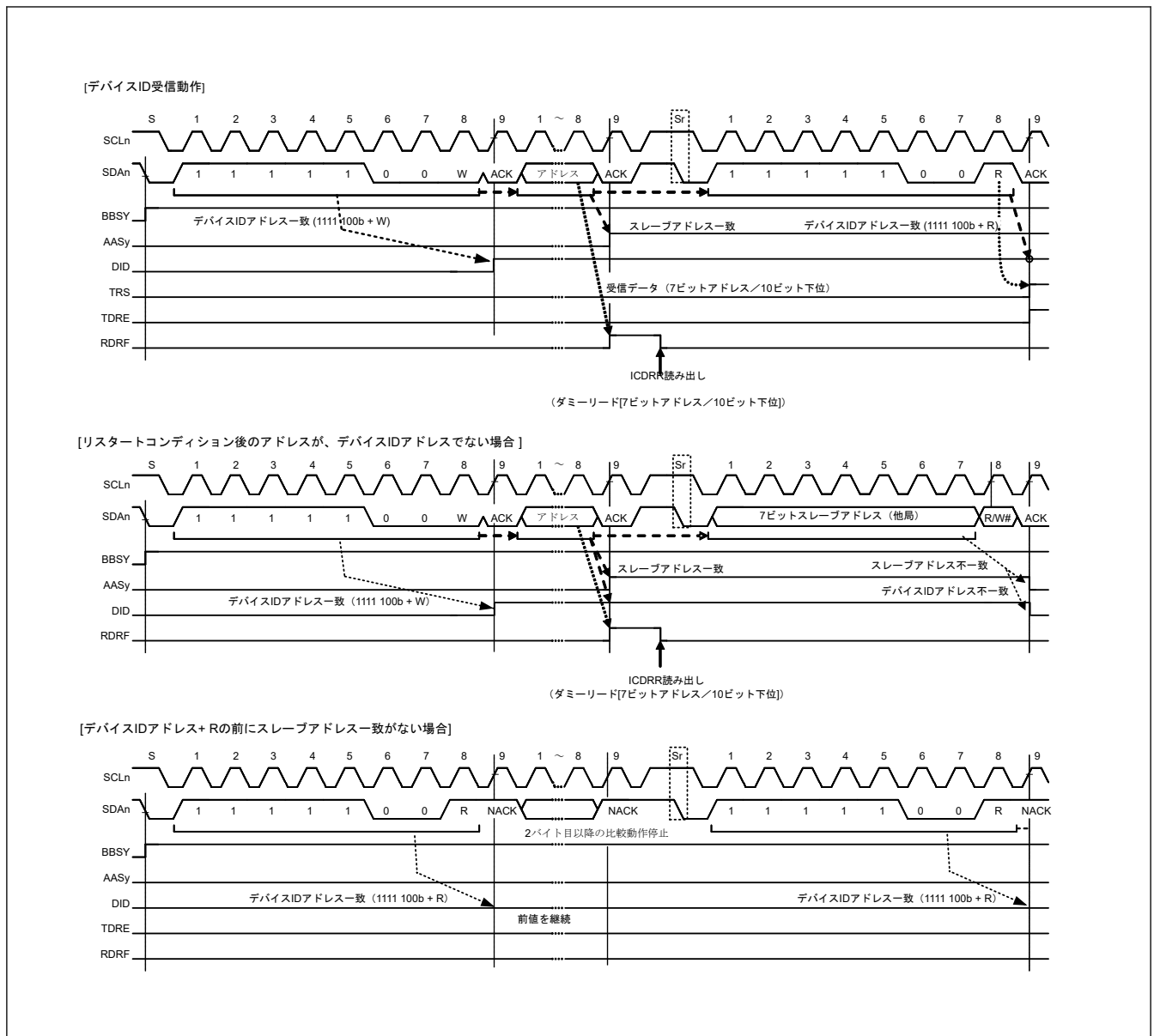


図 27.28 デバイス ID 受信時の AASn、DID フラグのセット/クリアタイミング

27.7.4 ホストアドレス検出機能

IIC は、SMBus 動作時のホストアドレス検出機能を備えています。ICMR3.SMBS ビットが 1 のとき ICSEH.HOAE ビットを 1 にすると、スレーブ受信モード (ICCR2.MST, TRS = 00b) 時に、ホストアドレス (0001 000b) の検出が可能です。

IIC がホストアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりで ICSR1.HOA フラグが 1 になり、R/W# ビットが 0 (Wr ビット) のとき、ICSR2.RDRF フラグが 1 になります。これによって、受信データフル割り込み (IICn_RXI) が発生します。HOA フラグは、他のデバイスからホストアドレスが送信されたことを示します。

なお、ホストアドレス (0001 000b) に続くビットが Rd ビット (R/W# = 1) の場合にも、ホストアドレスの検出が可能です。ホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

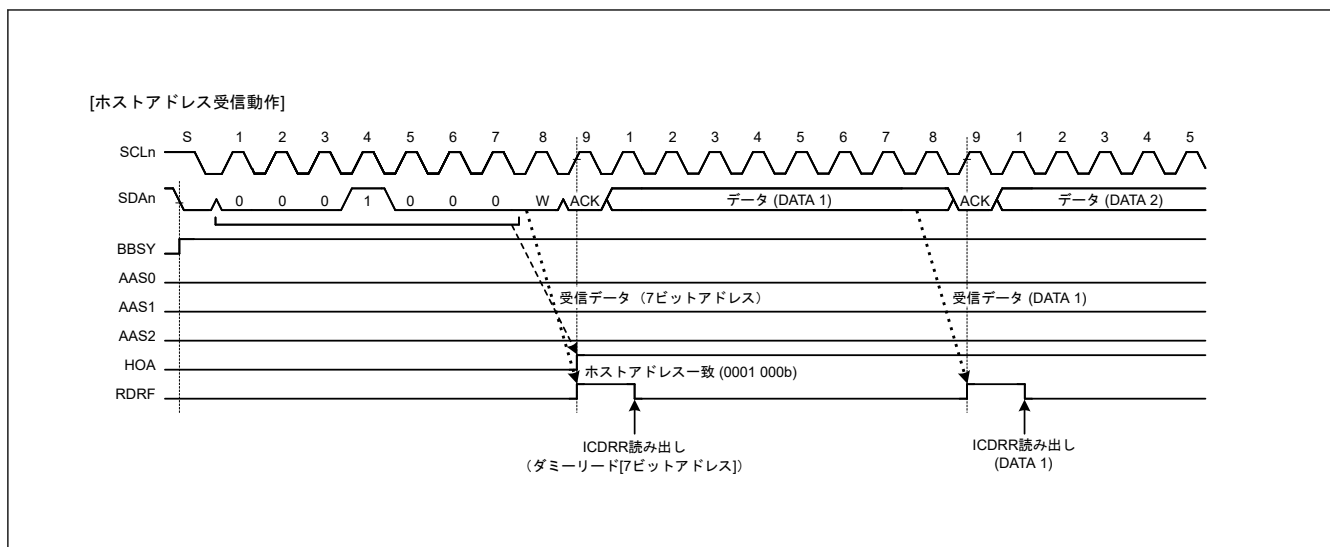


図 27.29 ホストアドレス受信時に HOA フラグが 1 になるタイミング

27.8 ウェイクアップ機能

IIC は、MCU をソフトウェアスタンバイモードまたはスリープモードから通常動作に移させるウェイクアップ機能を備えています。ウェイクアップ機能は、システムクロック (PCLKB) 停止時にデータの受信を許可し、受信データのスレーブアドレスが一致した場合にウェイクアップ割り込み信号を生成します。このウェイクアップ割り込み信号が、通常動作への復帰をトリガします。ウェイクアップ割り込み発生後、通信が継続できるように IIC を PCLKB 同期動作に切り替えてください。

ウェイクアップ機能には、以下の 4 つの動作モードがあります。

- ノーマルウェイクアップモード 1
- ノーマルウェイクアップモード 2
- コマンドリカバリモード
- EEP 応答モード

表 27.9 に各モードの動作を示します。

表 27.9 ウェイクアップ動作モード

動作モード	ACK 応答タイミング	PCLKB 同期動作に対するウェイクアップ前の ACK 応答	PCLKB 同期動作に対するウェイクアップ時の SCL 状態
ノーマルウェイクアップモード 1	PCLKB 同期動作に対してウェイクアップ前 ^(注1)	ACK	Low に固定
ノーマルウェイクアップモード 2	PCLKB 同期動作に対してウェイクアップ後 ^(注2)	ウェイクアップ前：応答なし (NACK レベル保持) ウェイクアップ後：ACK 応答	Low に固定
コマンドリカバリモード	PCLKB 同期動作に対してウェイクアップ前 ^(注1)	ACK	オープン
EEP 応答モード	PCLKB 同期動作に対してリカバリ前 ^(注1)	NACK	オープン

注 1. PCLKB 非同期動作から PCLKB 同期動作へのタイミング切り替えは、9 番目の SCL クロックの立ち下がりエッジで発生します。

注 2. PCLKB 非同期動作から PCLKB 同期動作へのタイミング切り替えは、8 番目の SCL クロックの立ち下がりエッジで発生します。

ウェイクアップ割り込み要因として以下の要因が選択可能です。

- ホストアドレス検出 (ICSER.HOAE = 1 の場合に有効)
- ジェネラルコールアドレス検出 (ICSER.GCAE = 1 の場合に有効)
- スレーブアドレス 0^(注1)検出 (ICSER.SAR0E = 1 の場合に有効)
- スレーブアドレス 1^(注1)検出 (ICSER.SAR1E = 1 の場合に有効)

- スレーブアドレス 2^(注1)検出 (ICSER.SAR2E = 1 の場合に有効)

注 1. 7 ビットアドレスのみ設定可能 SARUy (y = 0~2) レジスタの FS ビットに 0 を設定してください。

ウェイクアップ機能使用時の注意事項

- ICWUR2 レジスタの WUASYF フラグが 1 (PCLKB 非同期動作時) の間は、ICIER レジスタと ICWUR2 レジスタの WUSEN ビットを除き、IIC レジスタの内容を変更しないでください。
- PCLKB 非同期モードに切り替える前に、ICWUR.WUE ビットと ICWUR.WUIE ビットを 1 に、ICCR2.MST ビットと ICCR2.TRS ビットを 0 (スレーブ受信モード) にしてください。
- デバイス ID および 10 ビットスレーブアドレスはウェイクアップ割り込み要因に選択できません。ICSER レジスタの DIDE ビットおよび SARUy (y = 0~2) レジスタの FS ビットを 0 に設定してください。
- PCLKB 非同期動作 (ICWUR2.WUASYF = 1) に切り替えた後に、ICIER レジスタのビット (TIE、TEIE、RIE、NAKIE、SPIE、STIE、ALIE、TMOIE) を 0 (割り込み禁止) にしてください。
- ウェイクアップ機能を有効にする場合、タイムアウト機能を使用しないでください (ICWUR.WUE = 1)。
- PCLKB 非同期動作時 (ICWUR2.WUASYF = 1 の場合) にウェイクアップ割り込みが発生した場合でも、スレーブアドレスが PCLKB 同期モード (ICWUR2.WUASYF = 0) であれば、ウェイクアップ割り込みは発生せず、WUF フラグは設定されません。
- ICWUR2.WUSEN ビットに 0 を書き込むタイミングと開始条件を検出するタイミングが競合する場合、IIC は PCLKB 同期動作モードで次の受信を開始する可能性があります。この場合、データ通信完了時に ICWUR2.WUASYF フラグは 1 になり (PCLKB 非同期モードへ切り替え)、停止条件が検出され、ウェイクアップイベントの検出を開始します。
- ICWUR2.WUSEN ビットに 0 を書き込んだ後、モードが PCLKB 同期動作から PCLKB 非同期動作に切り替わるまで (ICWUR2.WUASYF フラグが 1 の間)、IIC 動作モード設定に関連するレジスタ (ICMR3、ICSER、および SARLy レジスタ) を変更しないでください。割り込み処理または他の要因により、この周期の間にレジスタ値が変化する場合、非同期動作へ切り替える前に IIC が誤作動する可能性があります。

27.8.1 ノーマルウェイクアップモード 1

以下では、ノーマルウェイクアップモード 1 の動作、タイミング、および動作例について説明します。

スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。

ウェイクアップ前: IIC の自スレーブアドレスとともに受信したデータに対して ACK を送信する。

ウェイクアップ中: SCL の 9 クロック目で ACK 応答を行ってから、SCL の Low ホールドを行う^(注1)。

ウェイクアップ後: 通常動作が継続する。

注 1. ウェイクアップ中の 9 クロック目と 1 クロック目の間では、WAIT = 1 は無効です。

スレーブアドレスが不一致の場合、SCL の 9 クロック目の立ち下がり後に SCL ラインの Low ホールドは行われず、スレーブ動作が継続します。図 27.30 に動作例を、図 27.32 に詳細なタイミングを示します。

ウェイクアップ割り込み以外の割り込み (たとえば IRQn など) で、ソフトウェアスタンバイモードまたはスリープモードからの遷移がトリガされると、WUF フラグは 1 に設定されません。図 27.31 に動作例を示します。

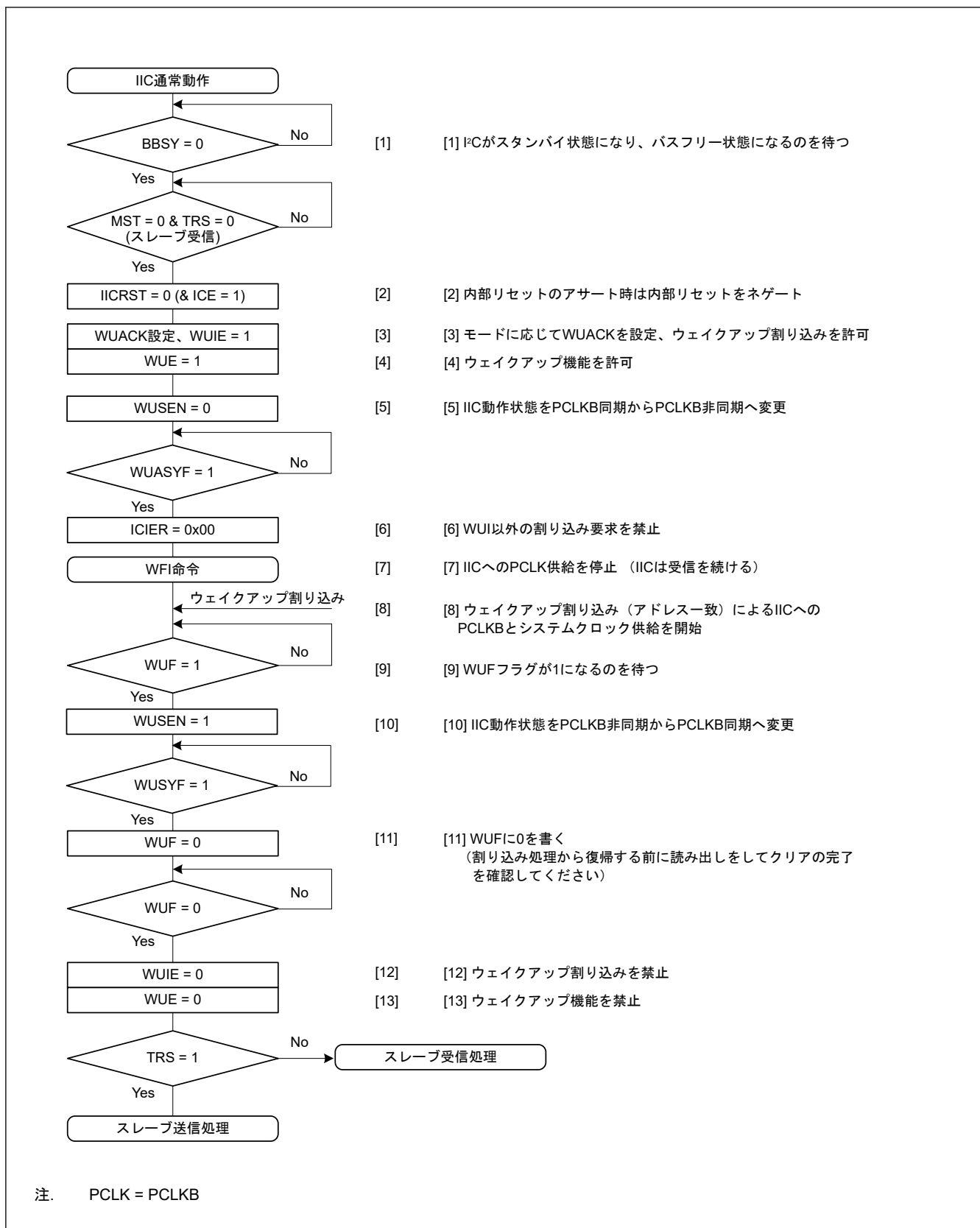


図 27.30 ノーマルウェイクアップモード1の動作例 (スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合)

注. [ウェイクアップ機能使用時の注意事項](#)を参照してください。

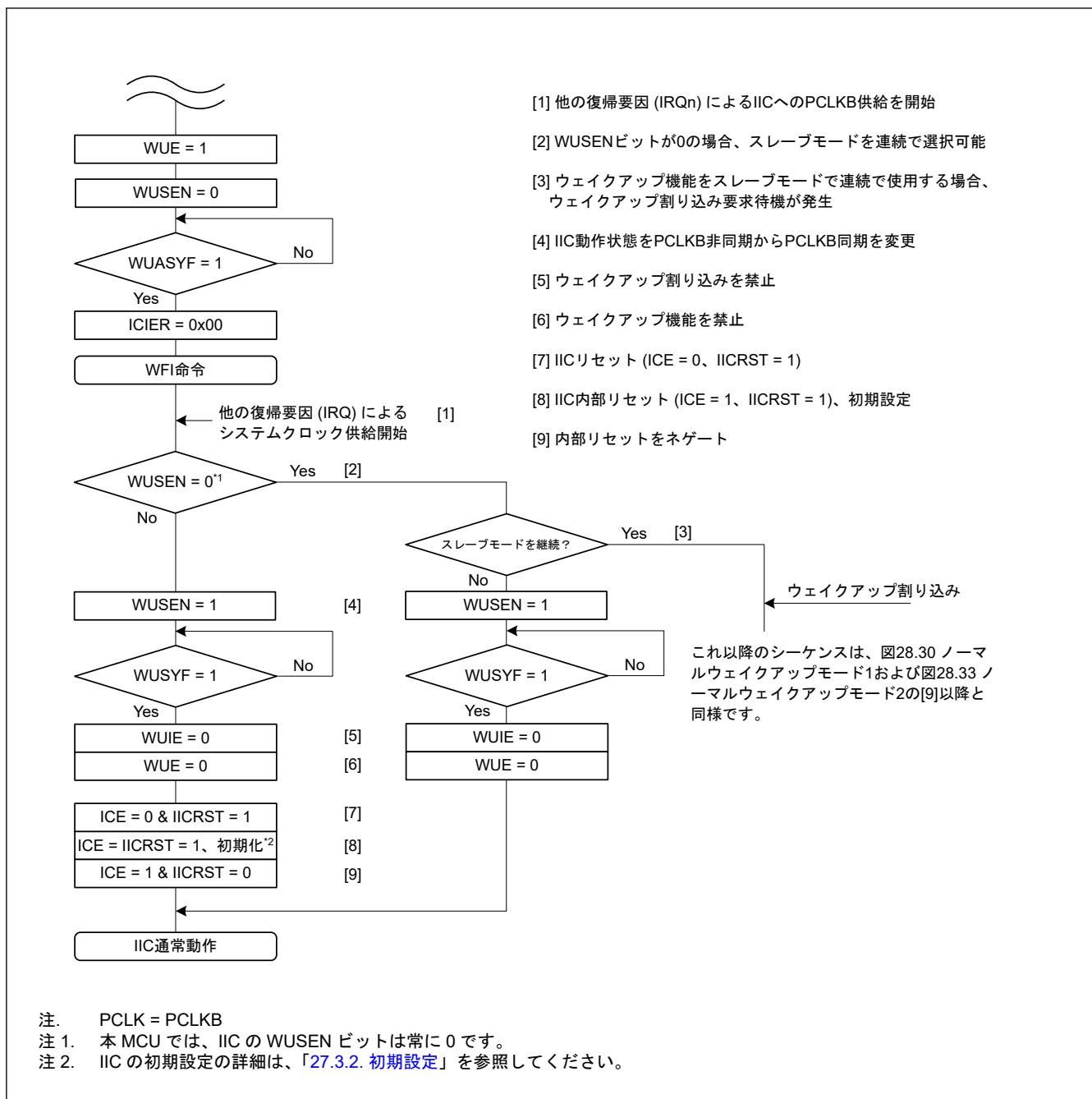
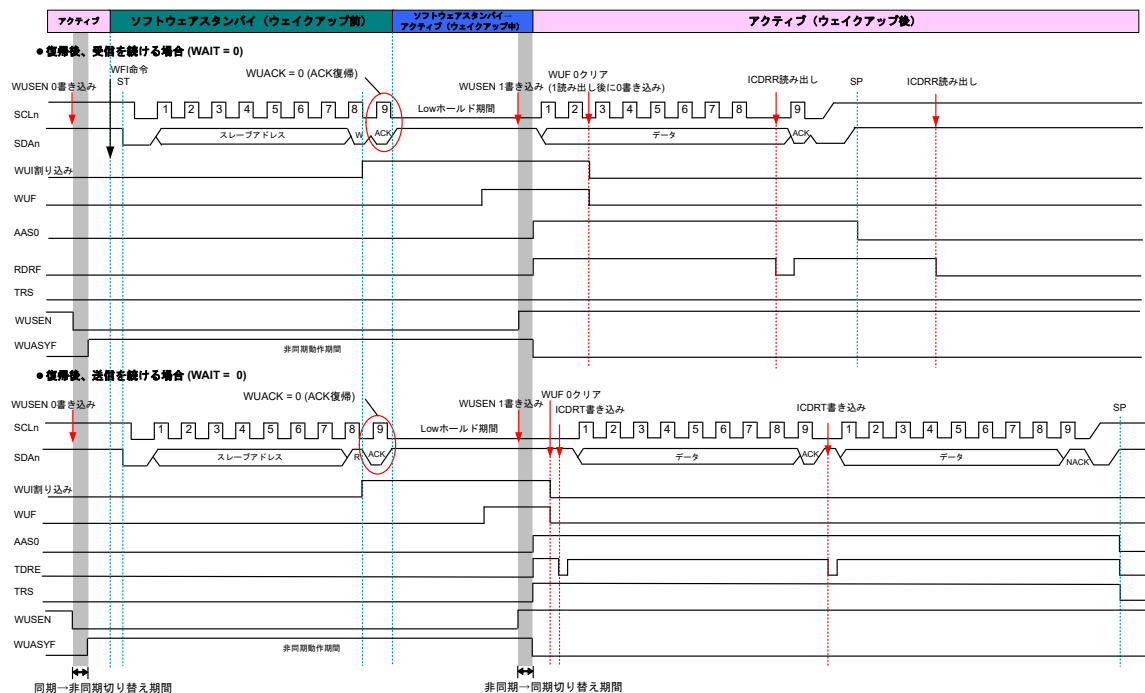


図 27.31 ノーマルウェイクアップモード1および2の動作例 (IIC ウェイクアップ割り込み以外の割り込み (たとえば IRQn) によるウェイクアップの場合)

注. IIC 初期設定の詳細は、「[27.3.2. 初期設定](#)」を参照してください。

【ノーマルウェイクアップモード1】 通常動作と同様、ACKはIICの自スレーブアドレスと一致した時に応答し、復帰するまでの期間、SCLをLowレベルに保ちます。

■ ウェイクアップ前：自スレーブACK応答。ウェイクアップ中：9番目のSCL以降、SCLはLowホールド。ウェイクアップ後：通常動作を継続。



注. $n = 0$

図 27.32 ノーマルウェイクアップモード1のタイミング

27.8.2 ノーマルウェイクアップモード2

以下では、ノーマルウェイクアップモード2の動作、タイミング、および動作例について説明します。

スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。

ウェイクアップ前： SCL8 クロック目の終わりまでは、自スレーブアドレスで受信したデータへの応答はありません。

ウェイクアップ中： SCL ラインは8クロック目と9クロック目の間で Low を保持します。

ウェイクアップ後: SCL9 クロック目で ACK を返し、通常動作が継続します。

スレーブアドレスが一致しない場合、SCL ラインは SCL8 クロック目の後で Low を保持せずに、スレーブ動作が継続します。図 27.33 に動作例を、図 27.34 にタイミングの詳細を示します。

ウェイクアップ割り込み以外の割り込み（たとえば IRQn など）で、ソフトウェアスタンバイモードまたはスリープモードからの遷移がトリガされると、WUF フラグは 1 に設定されません。図 27.31 に動作例を示します。

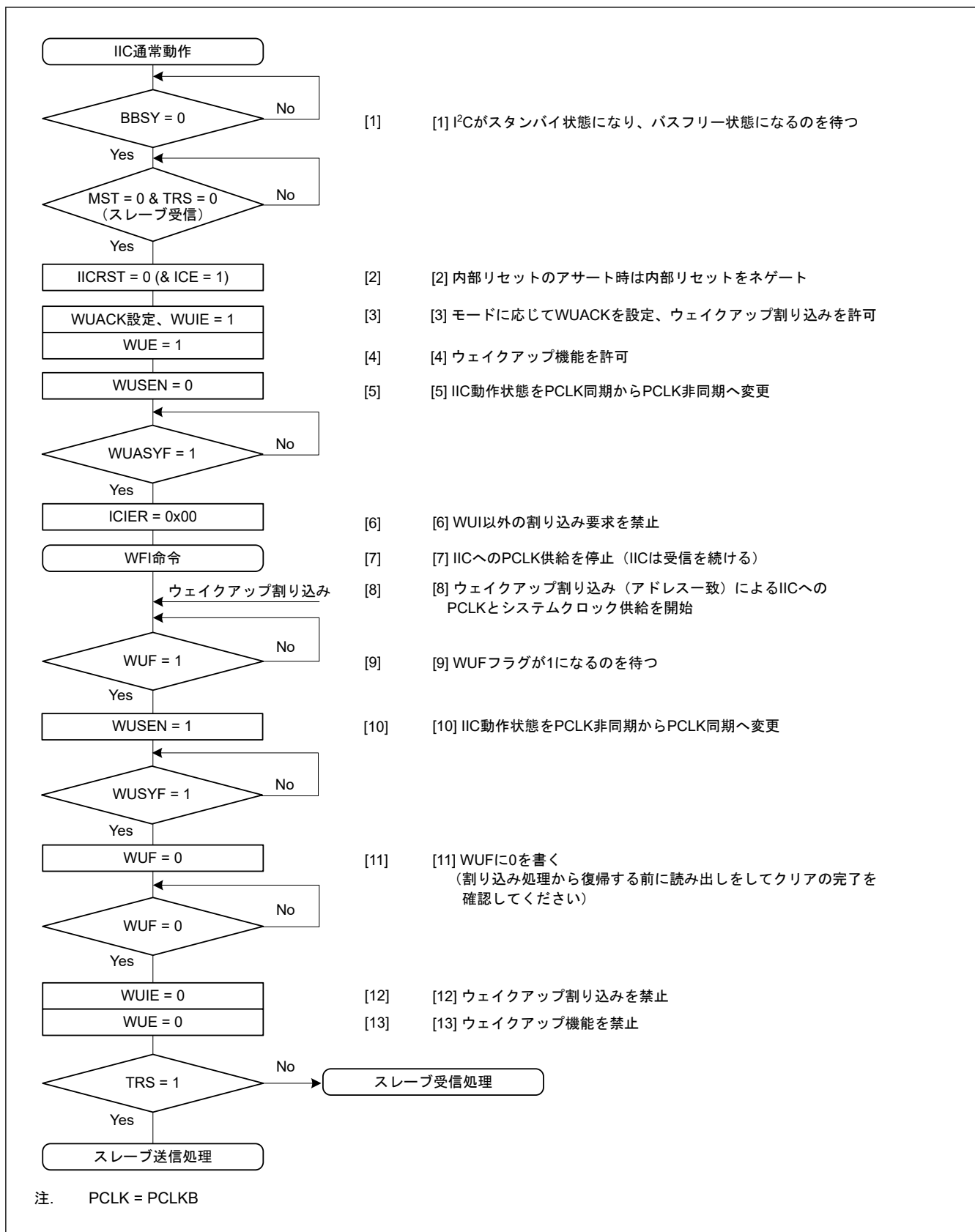


図 27.33 ノーマルウェイクアップモード2の動作例（スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合）

注. [ウェイクアップ機能使用時の注意事項](#)を参照してください。

[ノーマルウェイクアップモード2] IICは自スレーブアドレスと一致した時にウェイクアップまでの期間、SCLをLowレベルに保ちます。ACKはウェイクアップ後に応答します。

■ウェイクアップ前：自スレーブACK応答。ウェイクアップ中：8番目と9番目のSCLの間、SCLはLowホールド。ウェイクアップ後：自スレーブACK応答後に通常動作を継続。

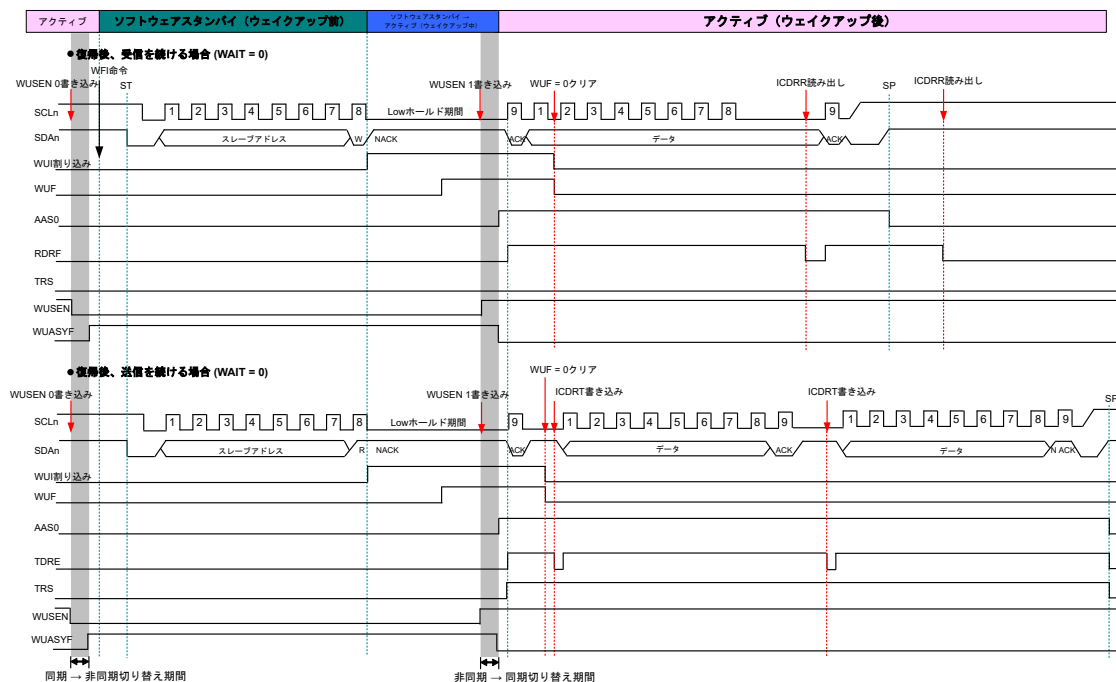


図 27.34 ノーマルウェイクアップモード2のタイミング

27.8.3 コマンドリカバリモードとEEP 応答モード（特殊ウェイクアップモード）

以下では、コマンドリカバリモードとEEP 応答モードの動作、タイミング、および動作例について説明します。コマンドリカバリモードとEEP 応答モードでは、ウェイクアップ期間中（SCLの9クロック目の立ち上がり後）にSCLラインのLowホールドを行いません。よって、他のIICデバイスはこの期間にI²Cバスを利用できます。スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。

ウェイクアップ前： 自スレーブアドレスとともに受信したデータに対して、IICはACK（コマンドリカバリモードの場合）またはNACK（EEP 応答モードの場合）を返す。

ウェイクアップ中： SCLラインのLowホールドを行わない。

ウェイクアップ後： IICの初期化後、通常動作が継続する。

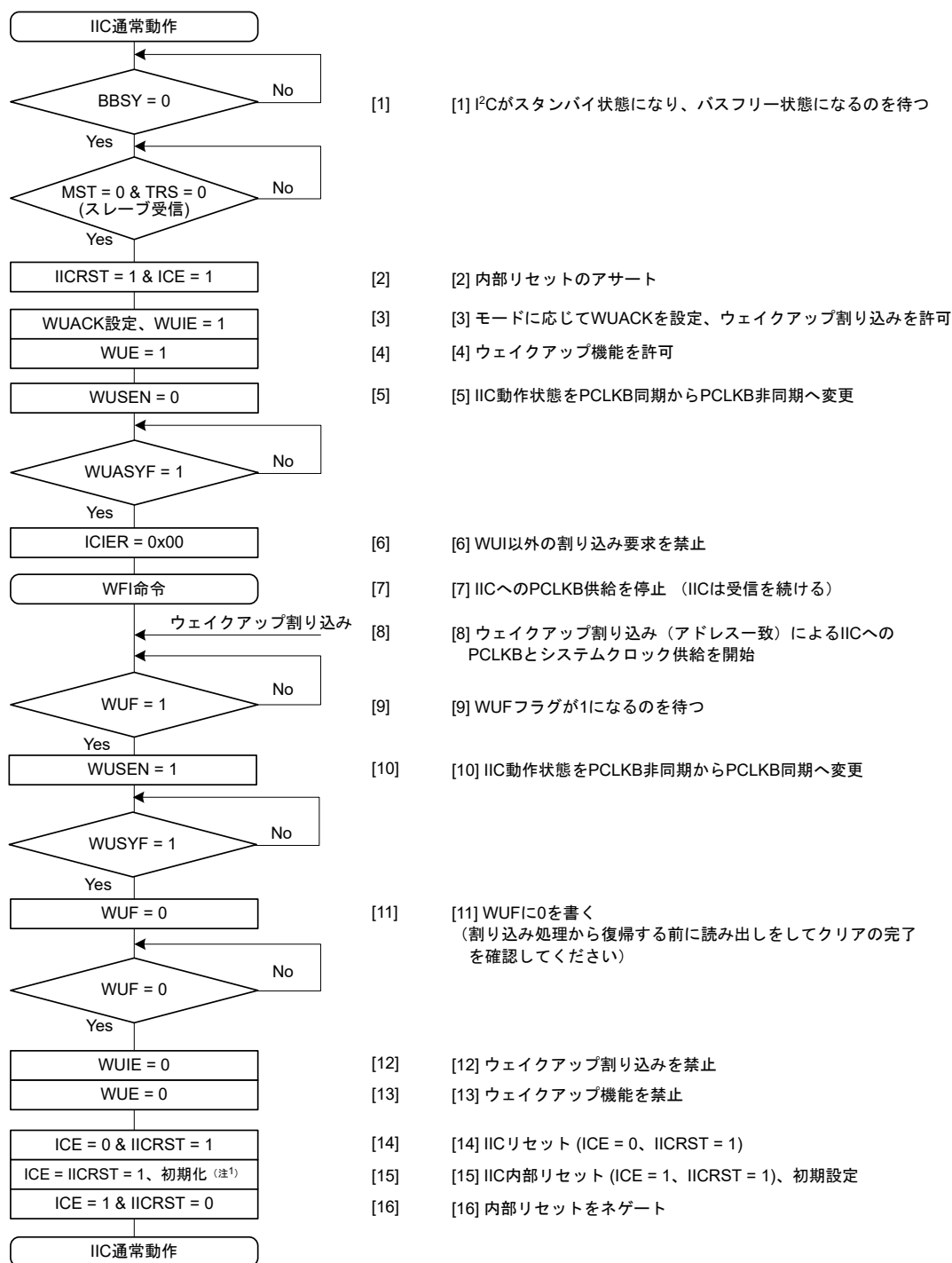
スレーブアドレスが不一致の場合、スレーブ動作が継続します。

注. ウェイクアップ中にSCLラインのLowホールドは行われないので、スレーブアドレスの後続データは送受信できません。

注. コマンドリカバリモードとEEP 応答モードは、内部リセット状態（ICE = IICRST = 1）です。したがって、スレーブアドレスが一致しても、ICSR1レジスタのフラグ（HOA、GCA、ASS0、ASS1、ASS2）は設定されません。

図 27.35 にコマンドリカバリモードとEEP 応答モードの動作例を示します。図 27.37 に詳細なタイミングを示します。

ウェイクアップ割り込み以外の割り込み（IRQ_nなど）で、ソフトウェアスタンバイモードまたはスヌーズモードからの遷移がトリガされると、WUFフラグは1に設定されません。図 27.36 に示す処理に従ってください。



注. PCLK = PCLKB

注 1. IICの初期化の詳細は、「27.3.2. 初期設定」を参照してください。

図 27.35 コマンドリカバリモードとEEP 応答モードの動作例 (スレープアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合)

注. ウェイクアップ機能使用時の注意事項を参照してください。

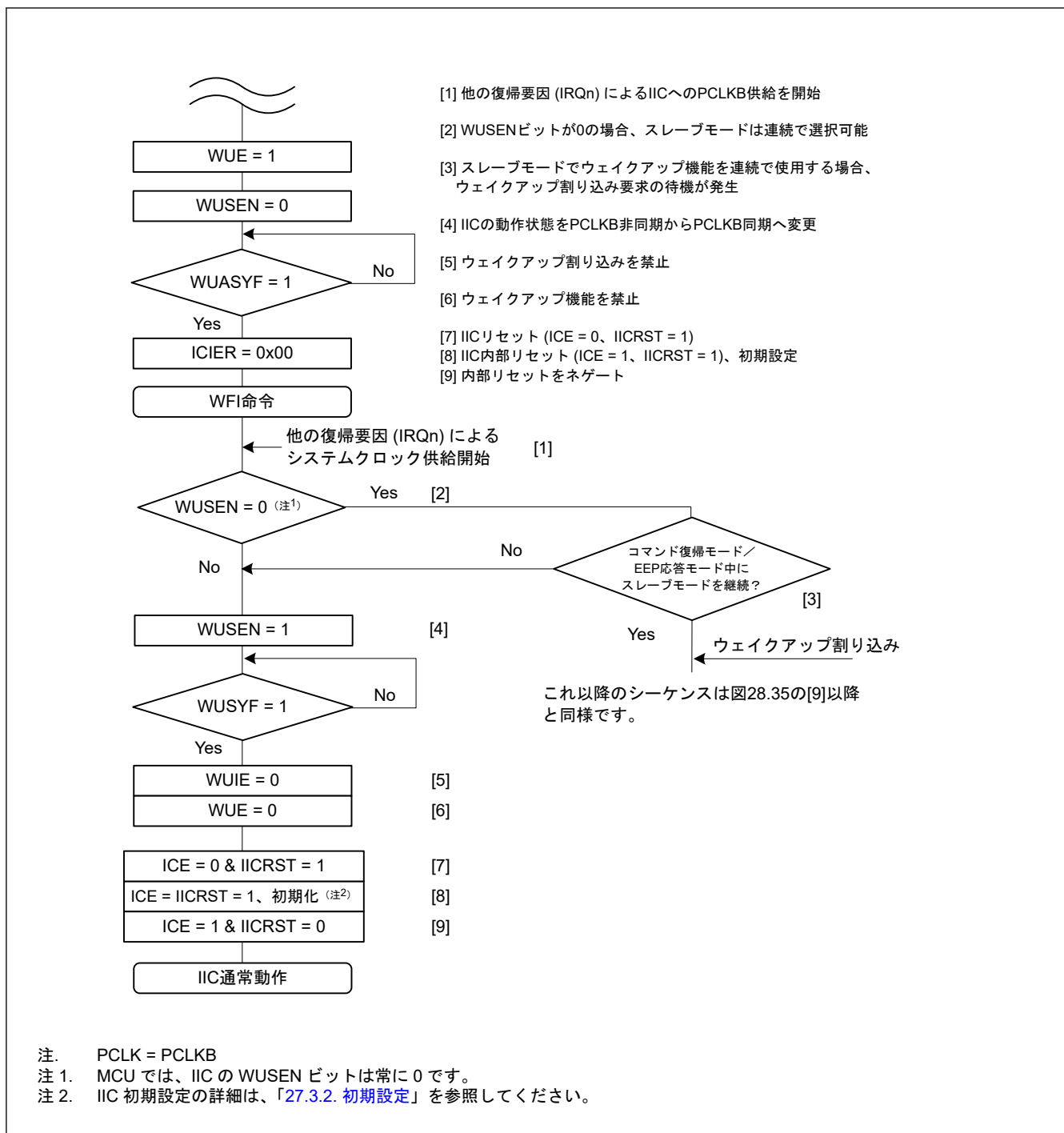


図 27.36 コマンドリカバリモードとEEP 応答モードの動作例 (IIC ウェイクアップ割り込み以外の割り込み (たとえば IRQn) によるウェイクアップの場合)

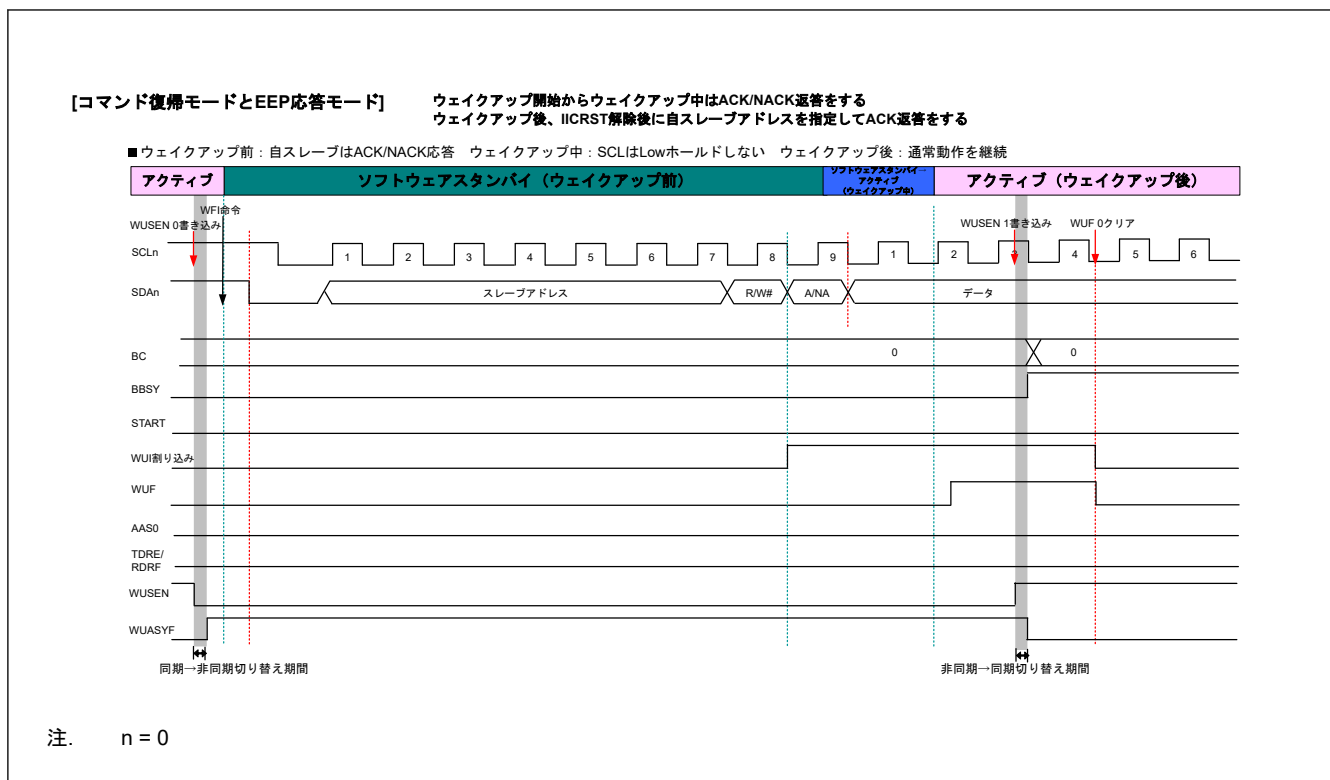


図 27.37 コマンドリカバリモードとEEP 応答モードのタイミング

27.9 SCL の自動 Low ホールド機能

27.9.1 送信データの誤送信防止機能

IIC が送信モード (ICCR2.TRS = 1) のとき、I²C バスシフトレジスタ (ICDRS) が空の状態、かつ I²C バス送信データレジスタ (ICDRT) にデータが書かれていないと、以下に示す区間、自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは、送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。

マスタ送信モード

- スタートコンディション／リスタートコンディション発行後の Low 区間
- 9クロック目と1クロック目の間の Low 区間

スレーブ送信モード

- 9クロック目と1クロック目の間の Low 区間

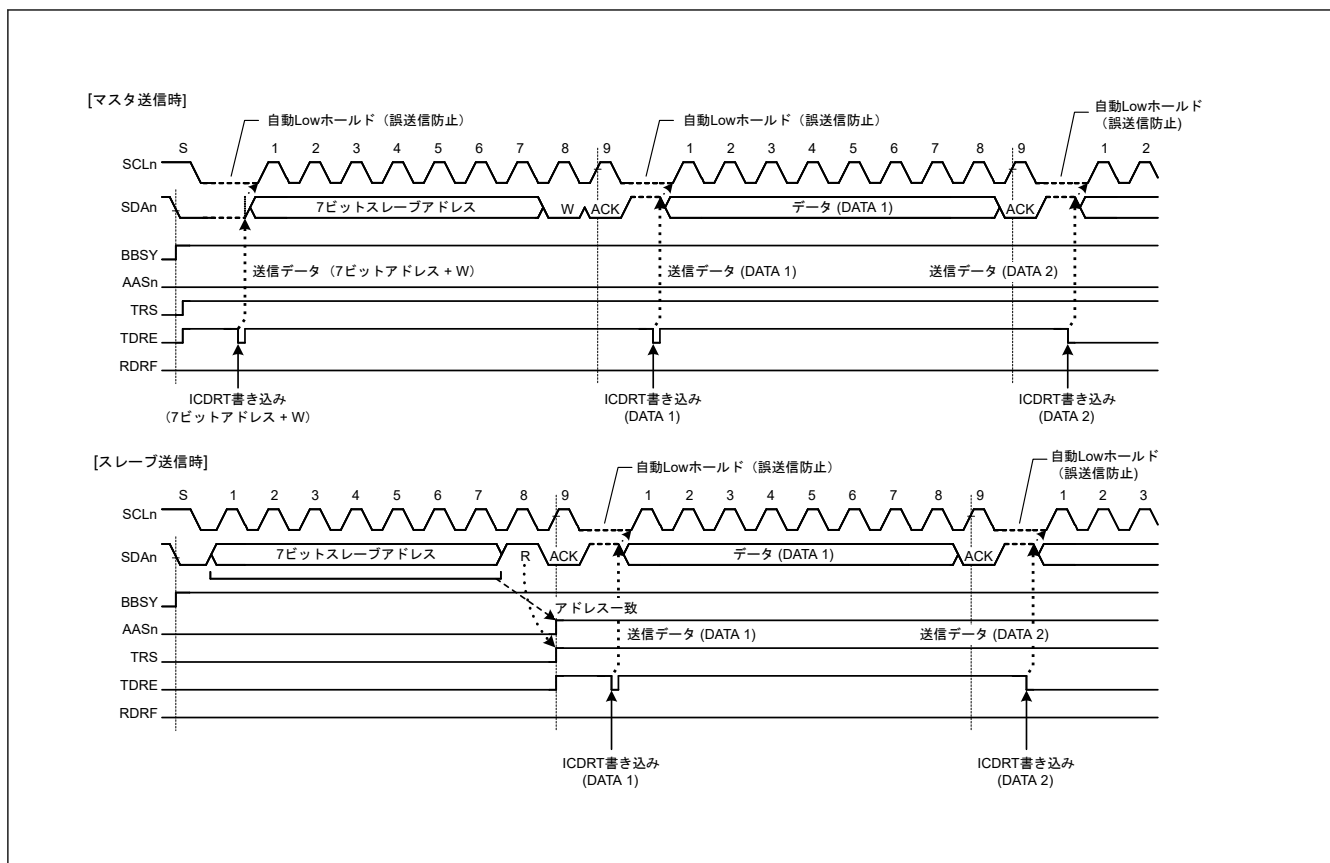


図 27.38 送信モード時の自動 Low ホールド動作

27.9.2 NACK 受信転送中断機能

この機能は、送信モード時 (ICCR2.TRS = 1)、NACK を受信した場合に転送動作を中断します。この機能は、ICFER.NACKF ビットが 1 のとき有効になります。NACK 受信時にすでに次の送信データが書き込まれていた場合 (ICSR2.TDRE = 0)、SCL クロックの 9 クロック目の立ち下がり、次のデータ送信を自動的に中断します。これによって、次送信データの MSB が 0 の場合、SDA_n ライン Low 出力固定を防止することができます。

この機能によって転送動作が中断された場合 (ICSR2.NACKF = 1)、以後の送受信動作は行われません。送受信動作を再開するには、リスタートコンディション発行後に NACKF フラグを 0 にし、再試行する必要があります。あるいは、ストップコンディション発行後に NACKF フラグを 0 にしてから、スタートコンディションの発行により送受信動作を再開してください。

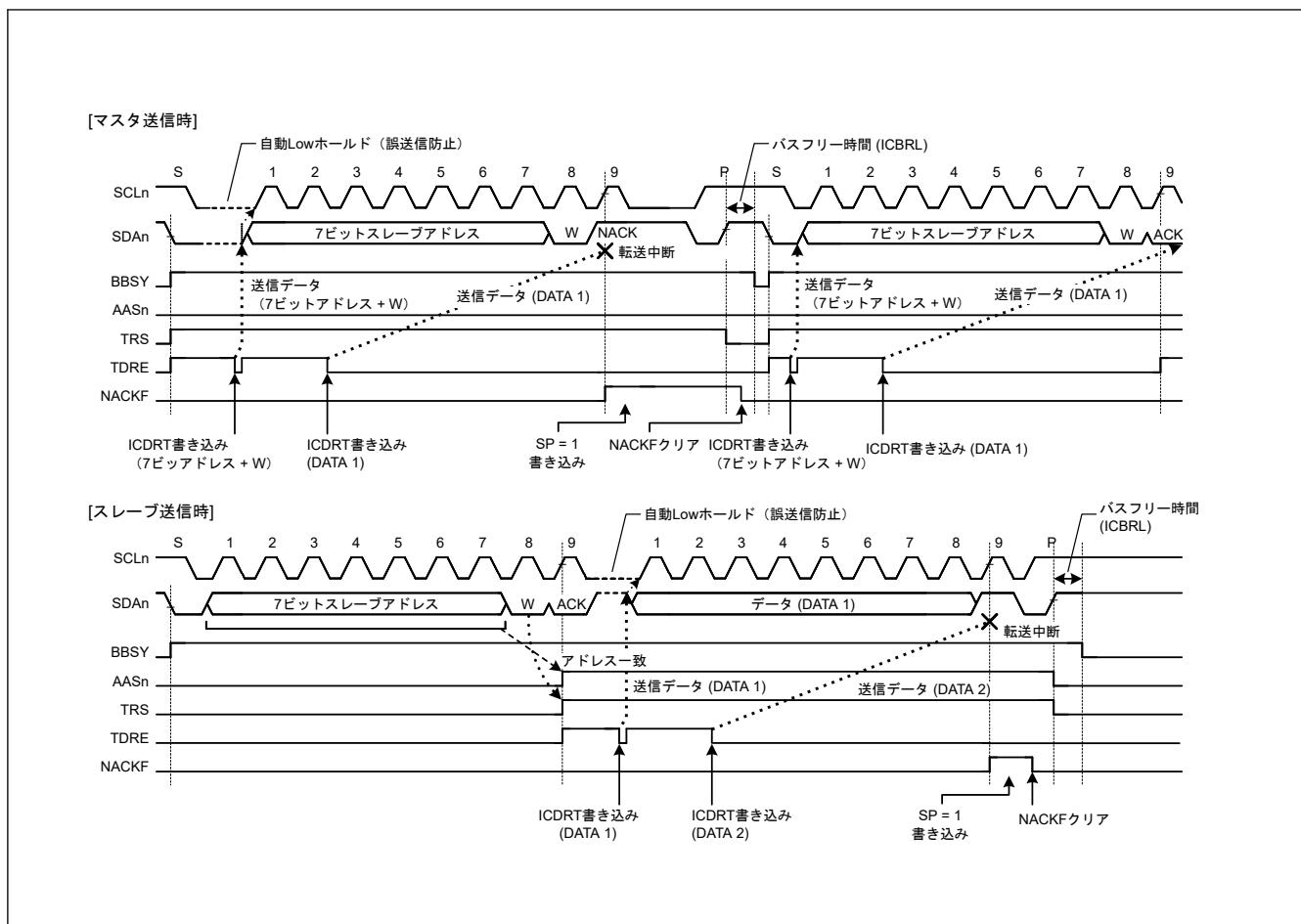


図 27.39 NACK 受信時のデータ転送中断動作 (NACK = 1 の場合)

27.9.3 受信データ取りこぼし防止機能

受信モード時 (ICCR2.TRS = 0) に、受信データフル (ICSR2.RDRF = 1) の状態で受信データ (ICDRR レジスタ) の読み出しが 1 転送フレーム以上遅れるなどの応答処理遅延が発生した場合、IIC は次のデータ受信の直前で自動的に SCLn ラインの Low ホールドを行い、受信データの取りこぼしを防止します。

この機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディションが発行され、IIC スレーブアドレスが指定された場合でも有効です。ストップコンディション発行後に自スレーブアドレスとの不一致が発生した場合は、IIC は SCLn ラインの Low ホールドを行わないため、本機能によって他の通信を妨げることはありません。

また、ICMR3 レジスタの WAIT ビットと RDRFS ビットの組み合わせにより、SCLn ラインが Low ホールドされる期間を選択できます。

(1) WAIT ビットによる 1 バイト受信動作／自動 Low ホールド機能

ICMR3.WAIT ビットを 1 にすると、IIC は WAIT ビット機能を用いた 1 バイト受信動作を行います。また、ICMR3.RDRFS ビットが 0 の場合、SCL クロックの 8 クロック目の立ち下がりから 9 クロック目の立ち下がりまでの期間、IIC はアクノリッジビットに対し自動的に ICMR3.ACKBT ビットの内容を送出し、9 クロック目の立ち下がりを検出すると、WAIT ビット機能を用いて自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは、ICDRR レジスタからデータを読み出すことで解除されます。そのため 1 バイトごとの受信動作が可能となります。

なお WAIT ビット機能は、マスタ受信モードまたはスレーブ受信モード時に、ジェネラルコールアドレスとホストアドレスを含む IIC スレーブアドレスとの一致があった以降の受信フレームから有効になります。

(2) RDRFS ビットによる 1 バイト受信動作 (ACK/NACK 送出制御)／自動 Low ホールド機能

ICMR3.RDRFS ビットを 1 にすると、IIC は RDRFS ビット機能を用いた 1 バイト受信動作を行います。RDRFS ビットを 1 にすると、SCL の 8 クロック目の立ち上がりで ICSR2.RDRF フラグが 1 (受信データフル) になり、

8 クロック目の立ち下がりで自動的に SCLn ラインの Low ホールドが行われます。この Low ホールドは、ICMR3.ACKBT ビットに値を書き込むことで解除されますが、ICDRR レジスタからデータを読み出しても解除されません。そのため、1 バイトごとに受信したデータの内容に応じて ACK/NACK の送信を制御することにより、受信動作が可能となります。

なお RDRFS ビット機能は、マスタ受信モードまたはスレーブ受信モード時に、ジェネラルコールアドレスとホストアドレスを含む IIC スレーブアドレスとの一致があった以降の受信フレームから有効になります。

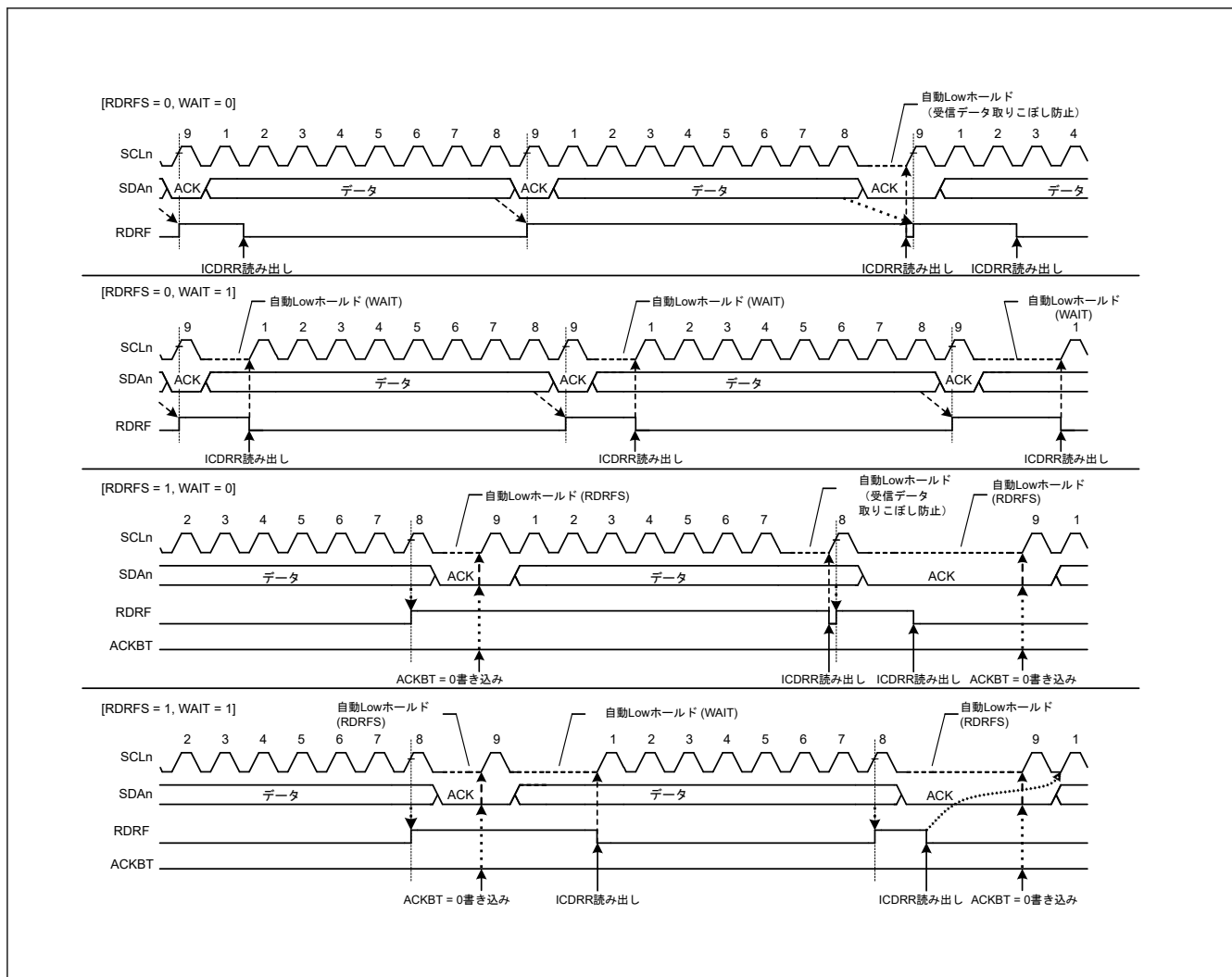


図 27.40 受信モード時の自動 Low ホールド動作 (RDRFS および WAIT ビットを使用)

27.10 アービトレーションロスト検出機能

IIC は、I²C バス規格で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止機能、NACK 送信時のアービトレーションロスト検出機能、およびスレーブ送信モード時のアービトレーションロスト検出機能を備えています。

27.10.1 マスタアービトレーションロスト検出機能 (MALE ビット)

IIC はスタートコンディション発行の際、SDAn ラインを Low にします。ただし、これよりも早く他のマスタデバイスがスタートコンディションを発行して SDAn ラインを Low にした場合、IIC は自身のスタートコンディションをエラーと判断し、これをアービトレーションロストとみなします。他のマスタデバイスによる転送の方が優先されます。同様に、バスビジー (ICCR2.BBSY = 1) の状態で ICCR2.ST ビットを 1 にすることでスタートコンディション発行を要求すると、IIC はこれをスタートコンディションの二重発行エラーと判断し、自身がアービトレーションロストを発生させたとみなします。この機能は、転送中のスタートコンディション発行による転送の失敗を防止します。

スタートコンディション発行が正常に行われた場合、アドレスビットを含む送信データ（内部の SDA 出力レベル）と SDA_n ラインのレベルが不一致の場合（内部 SDA 出力として High 出力、すなわち SDA_n 端子がハイインピーダンス状態で、SDA_n ラインに Low が検出されたとき）、IIC はアービトレーションロストを発生させます。

マスタアービトレーションロストが発生した後、IIC はただちにスレーブ受信モードへ遷移します。このとき、ジェネラルコールアドレスを含むスレーブアドレスが自身のアドレスと一致していれば、IIC はスレーブ動作を継続します。

なお、マスタアービトレーションロストは、ICFER.MALE ビットが 1（マスタアービトレーションロスト検出有効）の状態、以下に示す条件が成立したとき検出されます。

[マスタアービトレーションロスト条件]

- ICCR2.BBSY フラグが 0 の状態で ICCR2.ST ビットを 1 にしてスタートコンディションを発行した後、SDA の内部出力レベルと SDA_n ラインのレベルが不一致のとき（スタートコンディション発行エラー）
- ICCR2.BBSY フラグが 1 の状態で ICCR2.ST ビットを 1 にしたとき（スタートコンディション二重発行エラー）
- マスタ送信モード時 (ICCR2.MST, TRS = 11b)、アクノリッジを除く送信データ（内部の SDA 出力レベル）と SDA_n ラインのレベルが不一致のとき

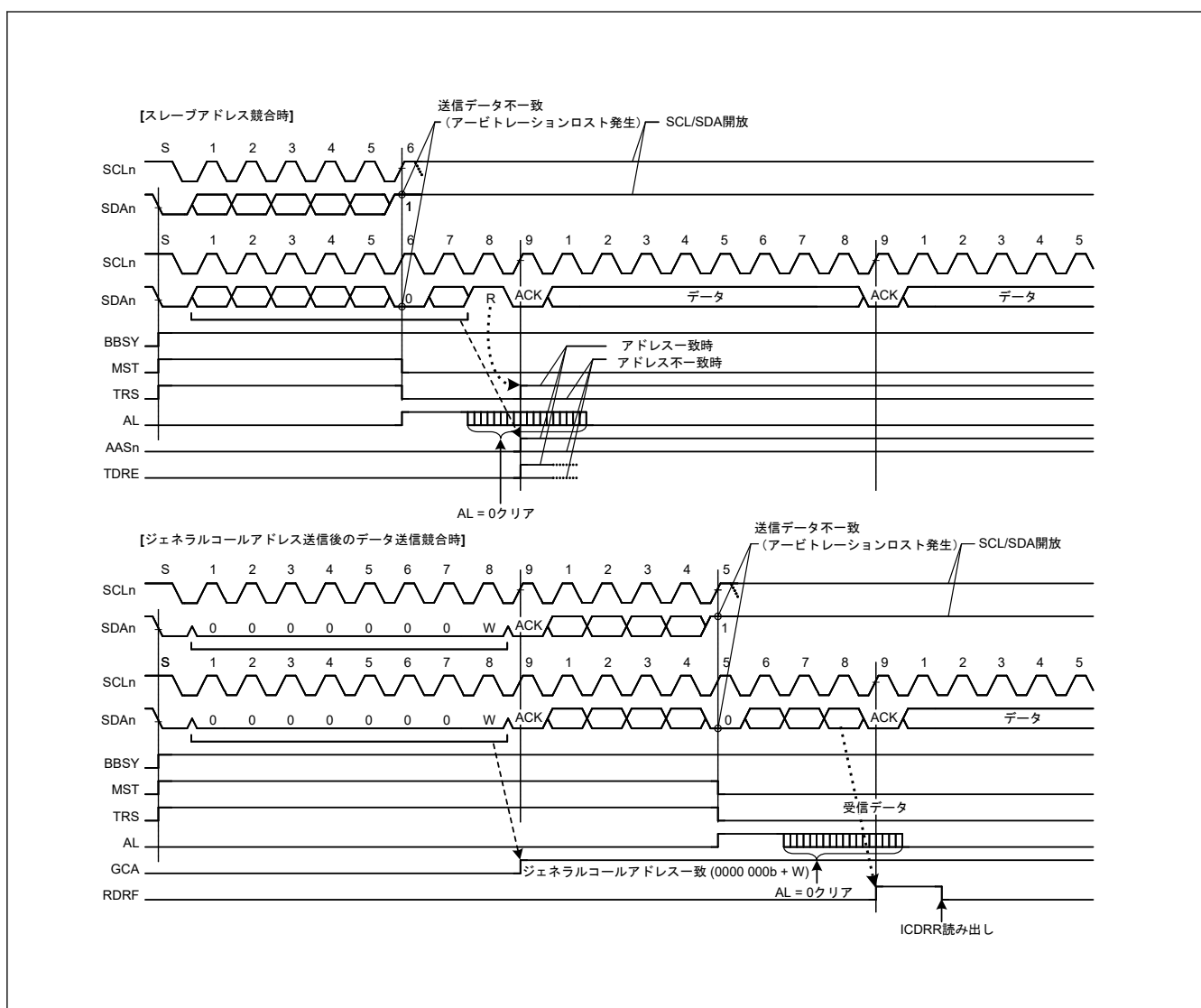


図 27.41 マスタアービトレーションロスト検出動作例 (MALE = 1 の場合)

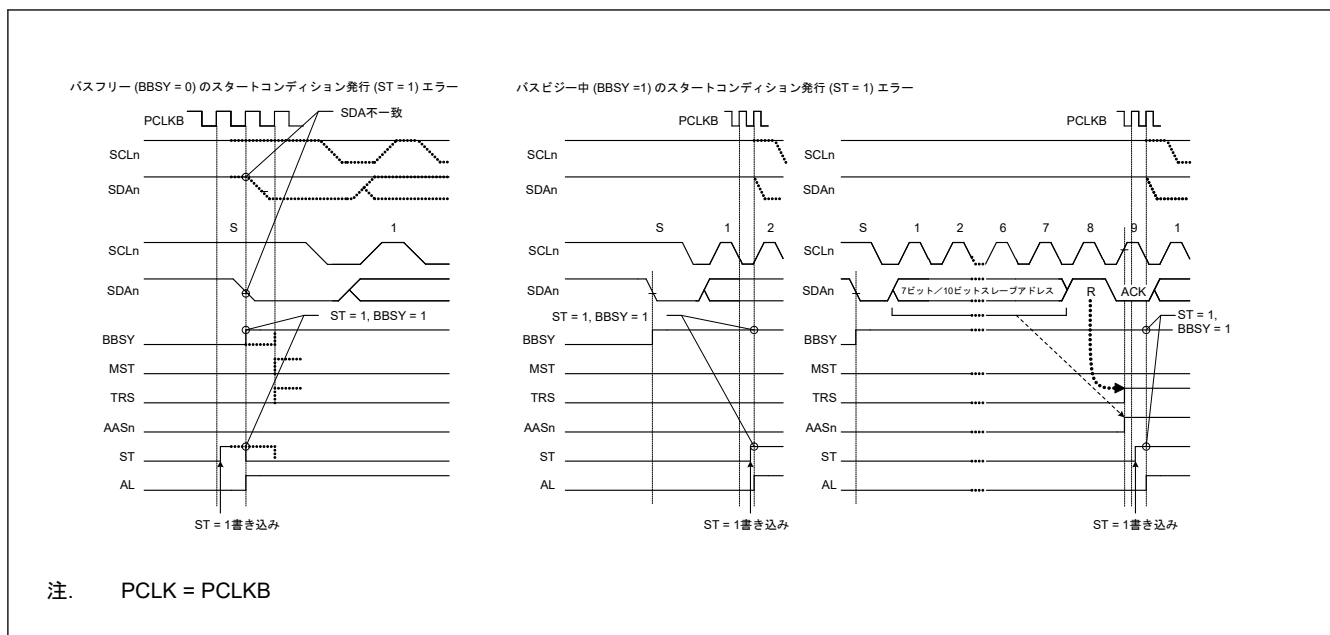


図 27.42 スタートコンディション発行時のアービトレーションロスト (MALE = 1 の場合)

27.10.2 NACK 送信中のアービトレーションロスト検出機能 (NALE ビット)

この機能は、受信モードで NACK 送信時に、内部の SDA 出力レベルと SDA_n ラインのレベルに不一致が生じた場合（内部 SDA 出力が High 出力（SDA_n 端子はハイインピーダンス状態）で、SDA_n ラインで Low を検出したとき）、アービトレーションロストを発生させます。マルチマスタのシステムにおいて、2 つ以上のマスタデバイスが同じスレーブデバイスから同時にデータを受信するとき、NACK 送信と ACK 送信の衝突が原因で、アービトレーションロストが発生します。このような衝突は、複数のマスタデバイスが 1 つのスレーブデバイスに対して同じ情報を送受信する際に生じます。図 27.43 に、NACK 送信中のアービトレーションロスト検出の動作例を示します。

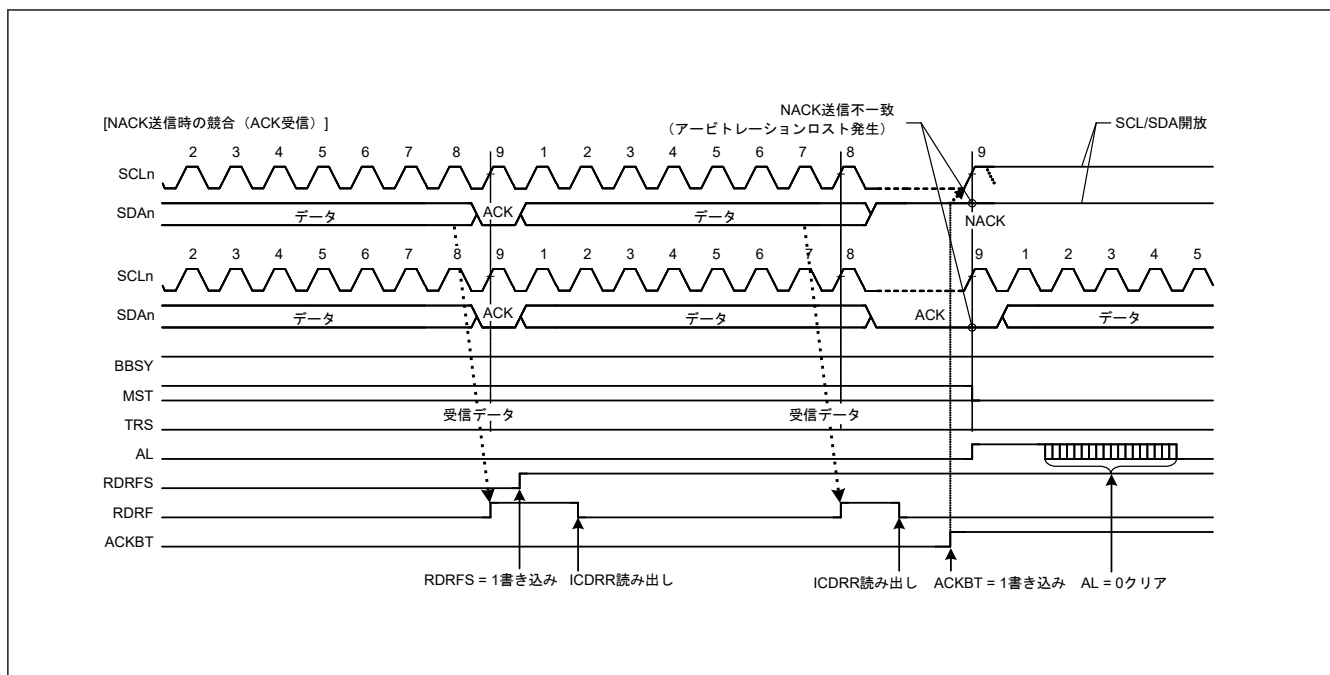


図 27.43 NACK 送信中のアービトレーションロスト検出の動作例 (NALE = 1 の場合)

以下では、2 つのマスタデバイス（マスタ A、B）と 1 つのスレーブデバイスがバス上に接続されている場合を例に挙げてアービトレーションロストを説明します。マスタ A はスレーブデバイスから 2 バイト受信、マスタ B はスレーブデバイスから 4 バイト分のデータ受信を行うものとします。

マスタ A とマスタ B が同時にスレーブデバイスにアクセスした場合、スレーブアドレスが同じであるため、スレーブデバイスアクセス中にマスタ A にも B にもアービトレーションロストは発生しません。マスタ A とマスタ B は、どちらもバス権を取得したものと認識して動作します。ここでマスタ A は、スレーブデバイスから最終バイトである 2 バイト分の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスからの受信データが必要な 4 バイト受信に満たないため ACK 送信を行います。このときマスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。一般的に、このような衝突が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できずにストップコンディションを発行します。このストップコンディションの発行は、マスタ B の SCL クロック出力と競合し、通信を中断させます。

IIC は、NACK 送信時に ACK を受信した場合、他のマスタデバイスと競合負けが発生したことを検知し、アービトレーションロストを発生させることができます。NACK 送信時にアービトレーションロストが発生すると、IIC はただちにスレーブ一致状態を解除して、スレーブ受信モードへ遷移します。この機能は、ストップコンディション発行を未然に防ぎ、バスの通信エラーを防止します。

同様に、SMBus の ARP コマンド処理においても、NACK 送信中のアービトレーションロスト検出機能を用いて、割り付けられたアドレスコマンド後の Get UDID 汎用処理で割り付けられたアドレスの UDID (ユニークデバイス ID) が不一致の場合に、0xFF 送信処理などの追加クロック処理を省くことができます。

ICFER.NALE ビットが 1 (NACK 送信中アービトレーションロスト検出有効) の状態で、以下に示す条件が成立したとき、IIC は NACK 送信中のアービトレーションロストを検出します。

[NACK 送信中アービトレーションロスト条件]

- NACK 送信時 (ICMR3.ACKBT = 1)、内部の SDA 出力レベルと SDA_n ラインの状態 (ACK 受信) が不一致のとき

27.10.3 スレーブアービトレーションロスト検出機能 (SALE ビット)

この機能は、スレーブ送信モード時に、送信データ (内部の SDA 出力レベル) と SDA_n ラインのレベルに不一致が生じた場合 (内部 SDA 出力が High 出力 (SDA_n 端子はハイインピーダンス状態) で、SDA_n ラインで Low を検出したとき)、アービトレーションロストを発生させます。このアービトレーションロスト検出機能は、主に SMBus での UDID (ユニークデバイス ID) 送信時に使用します。

スレーブアービトレーションロストが発生した場合、IIC はただちにスレーブ一致状態を解除してスレーブ受信モードへ遷移します。この機能によって、SMBus での UDID 送信時のデータ衝突を検出し、以降の余剰な 0xFF 送信処理を省くことができます。

ICFER.SALE ビットが 1 (スレーブアービトレーションロスト検出有効) の状態で、以下に示す条件が成立したとき、IIC はスレーブアービトレーションロストを検出します。

[スレーブアービトレーションロスト条件]

- スレーブ送信モード時 (ICCR2.MST, TRS = 01b)、アクノリッジを除く送信データ (内部 SDA 出力レベル) と SDA_n ラインが不一致のとき

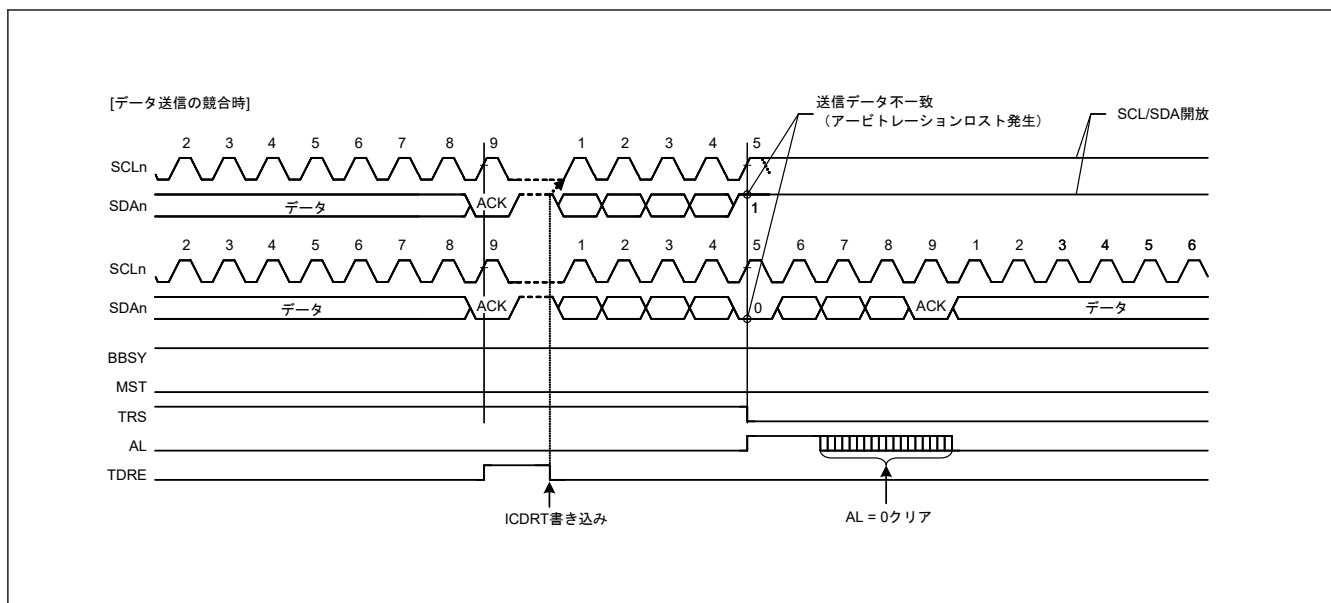


図 27.44 スレーブアービトラージョンロスト検出動作例 (SALE = 1 の場合)

27.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

27.11.1 スタートコンディション発行動作

IIC は、ICCR2.ST ビットが 1 のときにスタートコンディションを発行します。ST ビットを 1 にすると、スタートコンディション要求が行われ、ICCR2.BBSY フラグが 0 (バスフリー状態) の場合、IIC はスタートコンディションを発行します。スタートコンディションが正常に発行された場合、IIC は自動的にマスタ送信モードへ遷移します。

スタートコンディションの発行方法：

1. SDA_n ラインを立ち下げる (High から Low に遷移)。
2. ICBRH レジスタで設定した時間とスタートコンディションのホールド時間が経過したことを確認する。
3. SCL_n ラインを立ち下げる (High から Low に遷移)。
4. SCL_n ラインの Low を検出後、ICBRL レジスタで設定した SCL_n ラインの Low 幅が経過したことを確認する。

27.11.2 リスタートコンディション発行動作

IIC は、ICCR2.RS ビットが 1 のときリスタートコンディションを発行します。RS ビットを 1 にすると、リスタートコンディション要求が行われ、ICCR2.BBSY フラグが 1 (バスビジー状態) で、かつ ICCR2.MST ビットが 1 (マスタモード) の場合、IIC はリスタートコンディションを発行します。

リスタートコンディションの発行方法：

1. SDA_n ラインを解放する。
2. ICBRL レジスタで設定した SCL_n ラインの Low 幅が経過したことを確認する。
3. SCL_n ラインを解放する (Low から High に遷移)。
4. SCL_n ラインの High を検出後、ICBRL レジスタで設定した時間とリスタートコンディションのセットアップ時間が経過したことを確認する。
5. SDA_n ラインを立ち下げる (High から Low に遷移)。
6. ICBRH レジスタで設定した時間とリスタートコンディションのホールド時間が経過したことを確認する。
7. SCL_n ラインを立ち下げる (High から Low に遷移)。
8. SCL_n ラインの Low を検出後、ICBRL レジスタで設定した SCL_n ラインの Low 幅が経過したことを確認する。

注. リスタートコンディション要求の発行時、ICCR2.RS が 0 であることを確認してから、ICDRT レジスタにスレーブアドレスを書いてください。ICCR2.RS が 1 のときに書き込まれたデータは、以前の再送条件と判断されるため、転送されません。

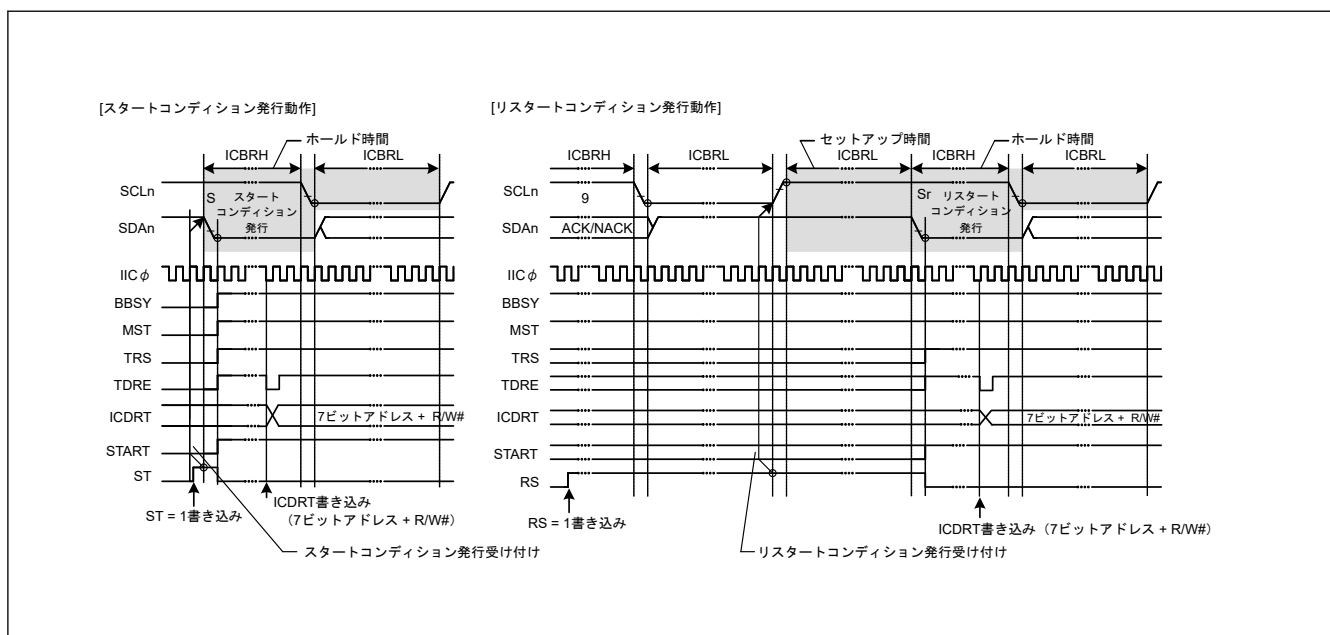


図 27.45 スタートコンディション/リスタートコンディション発行動作タイミング (ST、RS ビット)

図 27.46 に、マスタ送信後にリスタートコンディションが発行されたときの動作タイミングを示します。

[マスタ送信後のリスタートコンディション発行動作]

1. 初期設定を行います。詳細は、「[27.3.2. 初期設定](#)」を参照してください。
2. ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットを 1 (スタートコンディション要求) にします。IIC はスタートコンディション要求を受け付けると、スタートコンディションを発行します。同時に、ICCR2.BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ST ビットが自動的に 0 になります。このとき、ST ビットが 1 の状態でスタートコンディションが検出され、かつ、内部の SDA 出力レベルと SDA_n ラインのレベルが一致していれば、IIC は ST ビットによるスタートコンディション発行が正常に行われたと認識し、ICCR2.MST、TRS ビットが自動的に 1 になり、IIC はマスタ送信モードになります。TRS ビットが 1 になるのに応じて、ICSR2.TDRE フラグも自動的に 1 になります。
3. ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データが書き込まれると、TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタへデータが転送されて、再び TDRE フラグが 1 になります。スレーブアドレスと R/W# ビットを含むバイトの送信が完了すると、送信された R/W# ビットの値に応じて自動的に TRS ビットの値が更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W# ビットの値が 0 であったなら、IIC はマスタ送信モードの状態を継続します。このとき ICSR2.NACKF フラグが 1 であるため、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。データを 10 ビットフォーマットのアドレスで送信する場合は、最初に、1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b + スレーブアドレスの上位 2 ビットと W を書きます。次に、2 回目のアドレス送信処理では、ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
4. ICSR2.TDRE フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、あるいは、リスタートコンディションまたはストップコンディションが発行されるまでの間、IIC は自動的に SCL_n ラインを Low にホールドします。
5. 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが 1 に戻るのを待ってから、ICSR2.START フラグが 1 であることを確認した後、ICSR2.START フラグを 0 にしてください。
6. ICCR2.RS ビットを 1 (リスタートコンディション要求) にします。IIC はこの要求を受け付けると、リスタートコンディションを発行します。
7. ICSR2.START フラグが 1 であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。

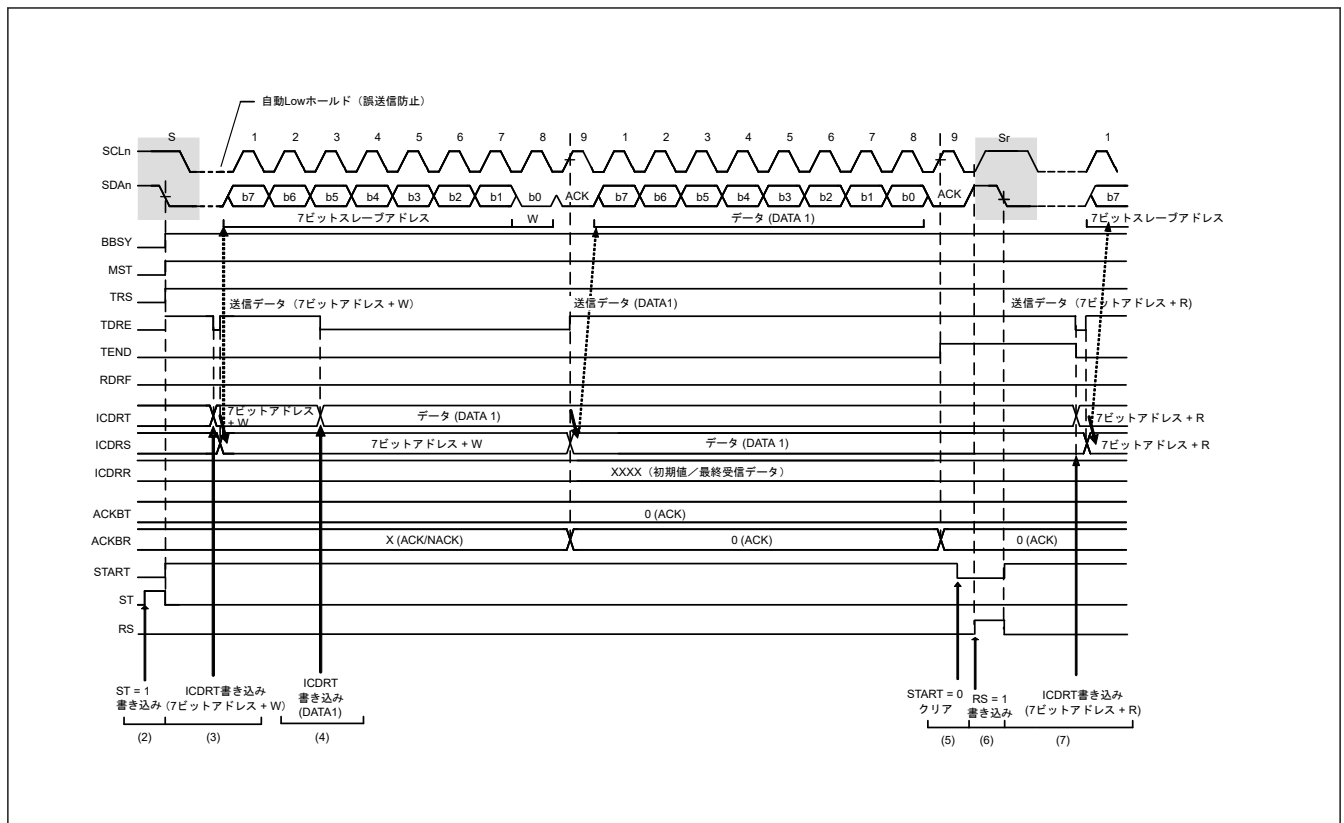


図 27.46 マスタ送信後のリスタートコンディション発行タイミング

27.11.3 ストップコンディション発行動作

IIC は、ICCR2.SP ビットが 1 のときストップコンディションを発行します。SP ビットを 1 にすると、ストップコンディション要求が行われ、ICCR2.BBSY フラグが 1 (バスビジー状態) で、かつ ICCR2.MST ビットが 1 (マスタモード) の場合、IIC はストップコンディションを発行します。

ストップコンディションの発行方法：

1. SDA_n ラインを立ち下げる (High から Low に遷移)。
2. ICBRL レジスタで設定した SCL_n ラインの Low 幅が経過したことを確認する。
3. SCL_n ラインを解放する (Low から High に遷移)。
4. SCL_n ラインの High 検出後、ICBRH レジスタで設定した時間とストップコンディションのセットアップ時間が経過したことを確認する。
5. SDA_n ラインを解放する (Low から High に遷移)。
6. ICBRL レジスタで設定した時間とバスフリー時間が経過したことを確認する。
7. BBSY フラグをクリアしてバス権を解放する。

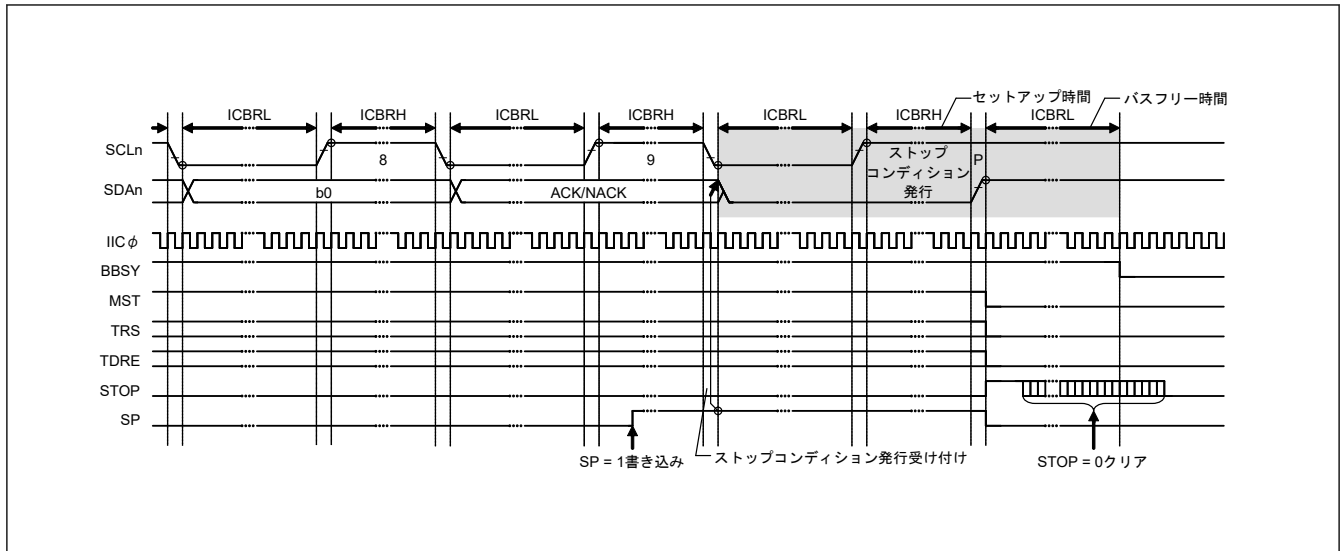


図 27.47 ストップコンディション発行タイミング (SP ビットの使用)

27.12 バスハングアップ

I²C バスではノイズなどの影響によりマスタデバイスとスレーブデバイス間で同期ズレが発生すると、SCLn ラインや SDAn ライン上のレベルが固定されたままバスハングアップを起こす場合があります。

バスハングアップを管理するため、IIC は SCLn ラインを監視してハングアップを検出するためのタイムアウト検出機能と、以下のようなバス状態を解除するための SCL クロック追加出力機能を備えています。

- 同期ズレによるバスハングアップ状態
- IIC リセット機能
- 内部リセット機能

ICCR1.SCLO、SDAO、SCLI、SDAI の各ビットをチェックすることで、IIC 自身と通信相手のどちらが SCLn ラインまたは SDAn ラインを Low にしているのか確認することが可能です。

27.12.1 タイムアウト検出機能

タイムアウト検出機能では、SCLn ラインに一定時間以上変化が見られない状態を検出できます。IIC は、SCLn ラインが Low または High に固定されたまま一定時間以上経過したことを監視して、バスの異常状態を検出することができます。

タイムアウト検出機能は SCLn ラインの状態を監視し、Low または High の時間を内部カウンタでカウントします。タイムアウト検出機能は、SCLn ラインの変化（立ち上がり／立ち下がり）があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCLn ラインに変化がないために内部カウンタがオーバーフローすると、IIC はタイムアウトを検出してバスハングアップ状態を報告します。

タイムアウト検出機能は、ICFER.TMOE ビットが 1 のときのみ有効です。以下の条件で SCLn ラインが Low 固定または High 固定の場合にバスハングアップを検出します。

- マスタモード (ICCR2.MST = 1) で、バスビジー (ICCR2.BBSY = 1)
- スレーブモード (ICCR2.MST = 0) で、IIC スレーブアドレス検出 (ICSR1 ≠ 0x00) かつバスビジー (ICCR2.BBSY = 1)
- スタートコンディション要求中 (ICCR2.ST = 1) で、バスフリー (ICCR2.BBSY = 0)

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0] ビットで設定された内部基準クロック (IICφ) をカウントソースとして使用します。このカウンタは、ロングモード選択時 (ICMR2.TMOS = 0) は 16 ビットカウンタ、ショートモード選択時 (ICMR2.TMOS = 1) は 14 ビットカウンタとして機能します。

また、内部カウンタのカウント動作は、SCLn ラインが Low のときカウントさせるか、High のときカウントさせるか、あるいはその両方をカウントさせるかを ICMR2.TMOH、TMOL ビットで選択することが可能です。TMOL ビットと TMOH ビットの両方を 0 にした場合、内部カウンタは動作しません。

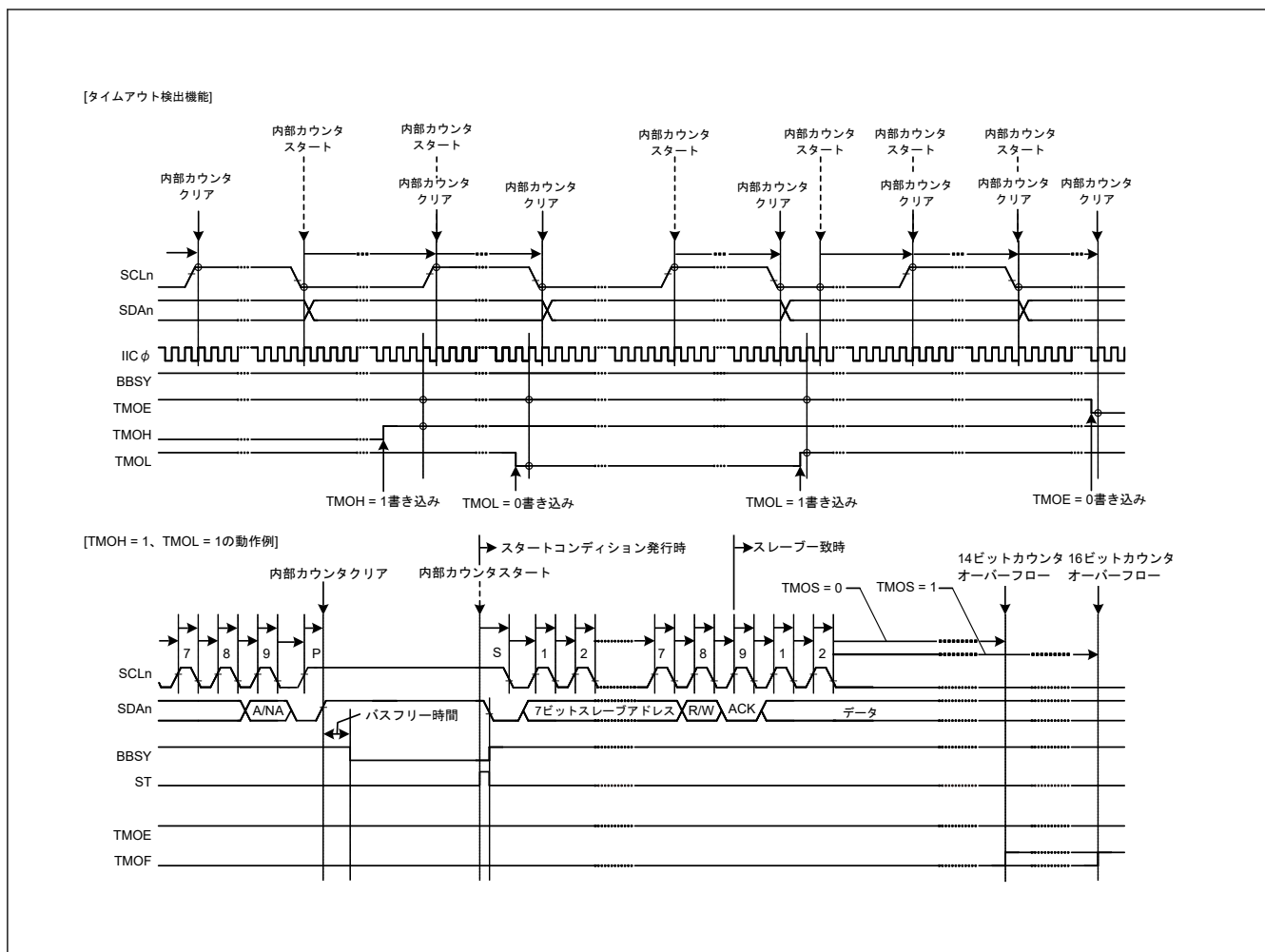


図 27.48 タイムアウト検出機能 (TMOE、TMOS、TMOH、TMOL ビットの使用)

27.12.2 SCL クロック追加出力機能

マスタモード時、この機能は SCL クロックを追加出力して、スレーブデバイスとの同期ズレによるスレーブデバイスの SDA_n ライン Low 固定状態を解放します。この機能は主にマスタモードで使用され、SCL クロックを IIC から追加出力することによって、スレーブデバイスの SDA_n ラインを Low 固定から解放します。この機能は、スレーブデバイスが SDA_n ラインを Low 固定しているため、IIC がストップコンディションを発行できない状態のバスエラー発生時に、SCL クロックを 1 クロック単位で使用します。通常はこの機能を使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

マスタモードで ICCR1.CLO ビットを 1 にすると、ICMR1.CKS[2:0] ビットおよび ICBRH、ICBRL レジスタで設定した周波数で、SCL クロックが 1 クロック分追加クロックとして出力されます。1 クロック分の追加クロック出力が終了すると CLO ビットは自動的に 0 になります。このとき、ICCR2.BBSY = 1 の場合、SCL 端子は Low を出力し、ICCR2.BBSY = 0 の場合、SCL 端子は High になります。また、ソフトウェアで CLO ビットが 0 であることを確認した後、CLO ビットに 1 を書くことにより、追加クロックを連続的に出力することができます。

IIC がマスタモードであるとき、ノイズなどによるスレーブデバイスとの同期ズレが原因で、スレーブデバイスが SDA_n ラインを Low に固定したままであると、ストップコンディションを出力できません。この機能を使用して SCL 追加クロックを 1 クロックずつ出力することで、スレーブデバイスの SDA_n ラインの Low 固定状態を解放させ、バスを使用できない状態から回復させることができます。スレーブデバイスによる SDA_n ラインの解放は、ICCR1.SDAI フラグを読みだすことで確認できます。スレーブデバイスによる SDA_n ラインの解放を確認した後、通信を終了させるため再度ストップコンディション発行してください。

[ICCR1.CLO ビット使用時の出力条件]

- バスフリー状態 (ICCR2.BBSY = 0) またはマスタモード (ICCR2.MST = 1、BBSY = 1) のとき
- 通信デバイスが SCL_n ラインを Low ホールドにしていない状態のとき

図 27.49 に SCL クロック追加出力機能 (CLO ビット) の動作タイミングを示します。

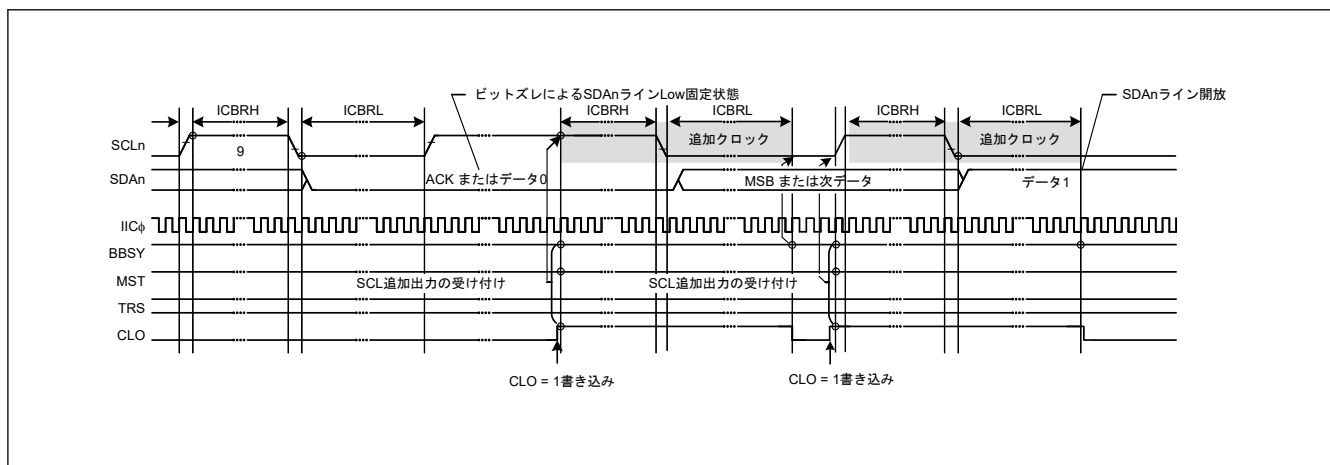


図 27.49 SCL クロック追加出力機能 (CLO ビット)

27.12.3 IIC リセット、内部リセット

IIC は自身をリセットする機能を備えています。IIC では 2 種類のリセットが用いられます。

- ICCR2.BBSY フラグを含めた全レジスタの初期化を行う IIC リセット
- 各種設定値を保持したまま IIC をスレーブアドレス一致状態から解放し内部カウンタの初期化を行う内部リセット

リセット後は、ICCR1.IICRST ビットを 0 にしてください。いずれのリセットも、SCLn 端子 / SDAn 端子の出力状態を解除してハイインピーダンスに戻すため、バスハングアップ状態の解除に有効です。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ズレを引き起こす原因になるので、使用は極力避けてください。また、IIC リセット (ICCR1.ICE, IICRST = 01b) 中は、スタートコンディションの有無など、バス状態の監視はできません。

IIC リセットと内部リセットの詳細については、「27.15. 各コンディション発行時のリセット、レジスタ、機能の状態」を参照してください。

27.13 SMBus 動作

IIC は、SMBus 仕様 (Ver.2.0) に準拠した通信動作が可能です。SMBus 通信を行うには、ICMR3.SMBS ビットを 1 にしてください。転送速度が SMBus 規格の 10 kbps~100 kbps の範囲に収まるように、ICMR1.CKS[2:0] ビットと ICBRH および ICBRL レジスタを設定してください。また、データホールド時間の規定値 300 ns 以上を満たすように、ICMR2.DLCS ビットおよび ICMR2.SDDL[2:0] ビットの値を指定してください。IIC をスレーブデバイスとしてのみ使用する場合は、転送速度の設定は不要ですが、ICBRL レジスタにはデータセットアップ時間 (250 ns) 以上の値を設定してください。

なお、SMBus デバイスデフォルトアドレス (1100 001b) には、スレーブアドレスレジスタ L0~L2 (SARL0、SARL1、SARL2) のいずれか 1 本を使用し、対応する SARUy.FS ビット (y = 0~2) (7 ビットまたは 10 ビットアドレスフォーマット選択ビット) を 0 (7 ビットアドレスフォーマット) にしてください。

また、UDID (ユニークデバイス ID) 送信時には、ICFER.SALE ビットを 1 にして、スレーブアービトレーションロスト検出機能を有効にしてください。

27.13.1 SMBus タイムアウト測定

(1) スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは下記に示す区間 (タイムアウト間隔: $T_{\text{LOW:SEXT}}$) を計測する必要があります。

- スタートコンディションからストップコンディションまで

スレーブデバイスでタイムアウト測定を行うには、IIC スタートコンディション検出割り込み (STIn) とストップコンディション検出割り込み (SPIn) を利用して、スタートコンディション検出からストップコンディション検出までの期間を GPT を使用して計測してください。測定したタイムアウト時間は、SMBus 規格のクロック Low 累積時間 (スレーブデバイス) $T_{\text{LOW:SEXT}}$: 25 ms (max) 以内でなければなりません。

GPT で計測した時間が、SMBus 規格のクロック Low 検出のタイムアウト T_{TIMEOUT} : 25 ms (min) を超えた場合、スレーブデバイスは ICCR1.IICRST ビットに 1 を書き込み IIC の内部リセットを発行してバス解放動作を行う必要があります。内部リセットを行うと IIC は SCLn 端子と SDA_n 端子のバス駆動を中止し、両端子の出力をハイインピーダンスにすることができます。これによりバス解放を行うことができます。

(2) マスタデバイスのタイムアウト測定

SMBus 通信では、マスタデバイスは下記に示す区間 (タイムアウト間隔: $T_{\text{LOW:MEXT}}$) を計測する必要があります。

- スタートコンディションからアクノリッジビットまで
- アクノリッジビットから次のアクノリッジビットまで
- アクノリッジビットからストップコンディションまで

マスタデバイスでタイムアウト測定を行うには、IIC スタートコンディション検出割り込み (STIn)、ストップコンディション検出割り込み (SPIn)、送信終了割り込み (IICn_TEI)、または受信データフル割り込み (IICn_RXI) を利用して、GPT を使用して計測してください。測定したタイムアウト時間は、SMBus 規格のクロック Low 累積延長時間 (マスタデバイス) $T_{\text{LOW:MEXT}}$: 10 ms (max) 以内であり、かつスタートコンディションからストップコンディションまでのすべての $T_{\text{LOW:MEXT}}$ の値の合計が $T_{\text{LOW:SEXT}}$: 25 ms (max) 以内でなければなりません。

ACK 受信タイミング (SCL クロックの 9 クロック目の立ち上がり) は、マスタ送信モード時 (マスタトランスミッタ) は ICSR2.TEND フラグ、マスタ受信モード時 (マスタレシーバ) は ICSR2.RDRF フラグで監視します。マスタ送信モード時は 1 バイト送信動作を行い、マスタ受信モード時は最終バイト受信の直前まで ICMR3.RDRFS ビットを 0 に保持してください。RDRFS ビットが 0 のとき、RDRF フラグは SCL クロックの 9 クロック目の立ち上がりで 1 になります。

GPT で計測した時間が、SMBus 規格のクロック Low 累積延長時間 (マスタデバイス) $T_{\text{LOW:MEXT}}$: 10 ms (max) を超えた場合、または各計測時間の合計が、SMBus 規格のクロック Low 検出のタイムアウト T_{TIMEOUT} : 25 ms (min) を超えた場合は、マスタデバイスはストップコンディションを発行してトランザクションを中止する必要があります。マスタ送信モード時には即座に送信動作 (ICDRT レジスタへの書き込み) を中止してください。

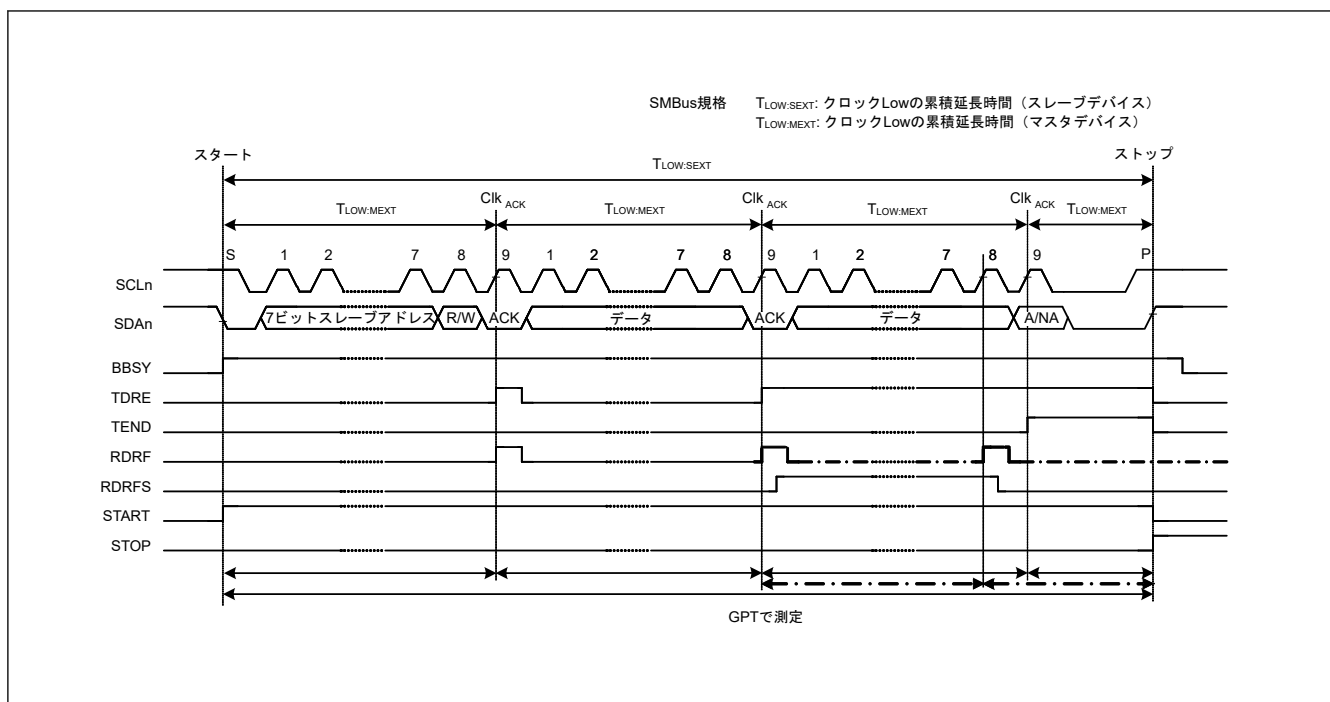


図 27.50 SMBus タイムアウト測定

27.13.2 パケットエラーコード (PEC)

本 MCU は CRC 演算器を内蔵しており、この CRC 演算器を利用して、パケットエラーコード (PEC) の送信や IIC の SMBus データ通信時の受信データチェックを行うことができます。CRC 演算器の生成多項式については「[33. 巡回冗長検査 \(CRC\)](#)」を参照してください。

マスタ送信モード時の PEC データは、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで生成することができます。

マスタ受信モード時の PEC データは、全受信データを CRC 演算器の CRCDIR レジスタに書き、取得した CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することでチェックできます。

PEC コードチェックの結果として最終バイトを受信したとき、結果（一致／不一致）に応じて ACK/NACK 送出を行う場合は、最終バイト受信時の SCL の 8 クロック目の立ち上がりまでに ICMR3.RDRFS ビットを 1 にし、8 クロック目の立ち下がりまで SCLn ラインを Low にホールドしてください。

27.13.3 SMBus ホスト通知プロトコル (Notify ARP Master コマンド)

SMBus 通信では、スレーブデバイスが一時的にマスタデバイスとなり、SMBus ホスト（または ARP マスタ）に対して自スレーブアドレスを通知したり、SMBus ホストに対して自スレーブアドレスを要求したりできます。

本 MCU を使用する製品を SMBus ホストまたは ARP マスタとして動作させる場合、スレーブデバイスからのホストアドレス (0001 000b) 送信をスレーブアドレスとして検出するため、IIC はホストアドレス検出機能を備えています。ホストアドレスをスレーブアドレスとして検出するには、ICMR3.SMBS ビットを 1、ICSER.HOAE ビットを 1 にしてください。ホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

27.14 割り込み要因

IIC が発行する割り込み要求には、以下の 5 種類があります。

- 通信エラー／イベント発生（アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出）
- 受信データフル
- 送信データエンプティ
- 送信終了
- ウェイクアップ機能中のアドレス一致

表 27.10 に割り込み要因の詳細を示します。受信データフル割り込みおよび送信データエンプティ割り込みにより、DTC または DMAC を起動してデータ転送を行うことができます。

表 27.10 割り込み要因

シンボル	割り込み要因	割り込みフラグ	DTC または DMAC の起動	割り込み発生条件
IICn_EEI(注5)	通信エラー／イベント発生	ICSR2.AL	不可能	AL = 1, ALIE = 1
		ICSR2.NACKF		NACKF = 1, NAKIE = 1
		ICSR2.TMOF		TMOF = 1, TMOIE = 1
		ICSR2.START		START = 1, STIE = 1
		ICSR2.STOP		STOP = 1, SPIE = 1
IICn_RXI(注2)(注5)	受信データフル	ICSR2.RDRF	可能	RDRF = 1, RIE = 1
IICn_TXI(注1)(注5)	送信データエンプティ	ICSR2.RDRF	可能	TDRE = 1, TIE = 1
IICn_TEI(注3)(注5)	送信終了	ICSR2.TEND	不可能	TEND = 1, TEIE = 1
IIC0_WUI(注4)	ウェイクアップ機能中のスレーブアドレス一致	ICSR2.WUF	不可能	スレーブアドレス一致 スレーブ受信完了 RWAK 動作 ASY0 = 1 WUIE = 1

注. CPU による周辺モジュールへの書き込み命令の実行と、実際にモジュールに書き込まれるタイミングとの間には、遅延があります。割り込みフラグをクリアまたはマスクした場合は、関連するフラグを再度読み出し、クリアまたはマスク処理の完了を確認した後、割り込み処理から復帰させてください。そうしないと、同じ割り込み処理が繰り返されることがあります。

- 注 1. IICn_TXI 割り込みはエッジ検出割り込みであるため、クリアの必要はありません。また IICn_TXI 割り込みの条件となる ICSR2.TDRE フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出 (ICSR2.STOP = 1) で自動的に 0 になります。
- 注 2. IICn_RXI 割り込みはエッジ検出割り込みであるため、クリアの必要はありません。また IICn_RXI 割り込みの条件となる ICSR2.RDRF フラグは、ICDRR レジスタの読み出しで自動的に 0 になります。
- 注 3. IICn_TEI 割り込みを使用する場合、IICn_TEI 割り込み処理で ICSR2.TEND フラグをクリアしてください。ICSR2.TEND フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出 (ICSR2.STOP = 1) で自動的に 0 になります。
- 注 4. チャンネル 0 のみウェイクアップ機能があり、IIC0_WUI はチャンネル 0 のみです。
- 注 5. チャンネル番号 (n = 0, 1)。

割り込み処理の中でそれぞれのフラグをクリアまたはマスクしてください。

27.14.1 IICn_TXI 割り込みおよび IICn_RXI 割り込みのバッファ動作

対応する ICU.IELSRn.IR フラグが 1 のときに、IICn_TXI 割り込みまたは IICn_RXI 割り込みの発生条件が成立した場合、割り込み要求は ICU へ出力されず、内部に保存されます。1 要因あたり 1 要求を内部に保持できます。

ICU.IELSRn.IR フラグが 0 になると、ICU に保存されていた割り込み要求が出力されます。通常の状態では、内部的に保存されていた割り込み要求が自動的にクリアされます。これらは、対応する周辺モジュール側の割り込み許可ビットを 0 にすることでもクリアが可能です。

27.15 各コンディション発行時のリセット、レジスタ、機能の状態

IIC は、リセット、IIC リセット、および内部リセットの機能を備えています。表 27.11 に、各コンディション発行時のリセット、レジスタ、機能の状態間の関係を示します。

表 27.11 各コンディション発行時のリセット、レジスタ、機能の状態 (1/2)

レジスタ		リセット	IIC のリセット (ICE = 0, IICRST = 1)	内部リセット (ICE = 1, IICRST = 1)	スタートコンディション またはリスタート コンディション検出	ストップコンディション 検出
ICCR1	ICE, IICRST	リセット	保持	保持	保持	保持
	SCLO, SDAO		リセット	リセット		
	その他			保持		
ICCR2	BBSY	リセット	リセット	保持	セット	リセット
	ST, RS			リセット	リセット	保持
	SP				セットまたは保持	リセット
	TRS					
	MST					
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	保持
	その他			保持	保持	
ICMR2		リセット	リセット	保持	保持	保持
ICMR3	ACKBT	リセット	リセット	保持	保持	リセット
	その他					保持
ICFER		リセット	リセット	保持	保持	保持
ICSER		リセット	リセット	保持	保持	保持
ICIER		リセット	リセット	保持	保持	保持
ICSR1		リセット	リセット	リセット	保持	リセット
ICSR2	TEND	リセット	リセット	リセット	保持	リセット
	TDRE				セットまたは保持	
	START				セット	
	STOP				保持	セット
	その他				保持	保持
ICWUR		リセット	リセット	保持	保持	保持

表 27.11 各コンディション発行時のリセット、レジスタ、機能の状態 (2/2)

レジスタ	リセット	IIC のリセット (ICE = 0, IICRST = 1)	内部リセット (ICE = 1, IICRST = 1)	スタートコンディショ ンまたはリスタートコ ンディション検出	ストップコンディショ ン検出
SARL0, SARL1, SARL2 SARU0, SARU1, SARU2	リセット	リセット	保持	保持	保持
ICBRH, ICBRL	リセット	リセット	保持	保持	保持
ICDRT	リセット	リセット	保持	保持	保持
ICDRR	リセット	リセット	保持	保持	保持
ICDRS	リセット	リセット	リセット	保持	保持
タイムアウト検出機能	リセット	リセット	リセット	動作	動作
バスフリー時間計測	リセット	リセット	動作	動作	動作
ICWUR2	WUSEN	リセット	保持	保持	保持
	その他				保持または動作またはリ セット

27.16 イベントリンク出力機能

IIC0 モジュールは、ELC に対して以下の要因によってイベント出力を行います。

(1) 通信エラーイベント

通信エラーイベントが発生すると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(2) 受信データフル

受信データレジスタが受信データフルになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(3) 送信データエンプティ

送信データレジスタが送信データエンプティになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(4) 送信終了

転送が終了すると、対応するイベント信号を ELC によって他のモジュールに出力できます。

27.16.1 割り込み処理とイベントリンクの関係

IIC の各割り込み（表 27.10 参照）には、対応する割り込み信号の許可または禁止を制御する許可ビットがあります。対応する割り込み許可ビットがセットされている場合に割り込み要因の条件が成立すると、CPU に対して割り込み要求信号が出力されます。

割り込み要因が発生すると、割り込み許可ビットの設定にかかわらず、対応するイベントリンク出力信号が ELC によって他のモジュールにイベント信号として出力されます。各割り込み要因については、表 27.10 を参照してください。

27.17 使用上の注意事項

27.17.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、IIC の動作禁止／許可を設定することが可能です。リセット後の値では、IIC の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

27.17.2 転送開始に関する注意事項

転送開始 (ICCR1.ICE = 1) 時点で IIC の割り込みに対応した ICU.IELSRn.IR フラグが 1 であれば、動作を許可する前に下記の手順で割り込み要求をクリアしてください。ICCR1.ICE ビットが 1 の状態で ICU.IELSRn.IR フラグ

を 1 にして転送を開始すると、転送開始後、割り込み要求が内部で保持されるため、ICU.IELSRn.IR フラグが予期しない動作となることがあります。

転送開始前に割り込みをクリアする方法：

1. ICCR1.ICE ビットが 0 であることを確認する。
2. 周辺機能で対応する割り込み許可ビット (ICIER.TIE など) を 0 にする。
3. 周辺機能で対応する割り込み許可ビット (ICIER.TIE など) を読み出して、それらの値が 0 であることを確認する。
4. ICU.IELSRn.IR フラグを 0 にする。

28. シリアルインタフェース UARTA (UARTA)

28.1 概要

表 28.1 にシリアルインタフェース UARTA の仕様を示します。

表 28.1 UARTA の仕様

項目	仕様
シリアルインタフェースモード	- 動作停止モード - UART モード
インタフェース	- TxDAn: 送信データ出力端子 - RxDAn: 受信データ入力端子 - CLKAn: 送信クロック出力端子
動作クロックソース	システム/周辺モジュールクロックから独立した動作クロックを UARTAMCLK、UARTALCLK、UARTASCLK、UARTAHCLK、および UARTAMOCKL から選択可能
転送速度	最大 153.6 kbps
ボーレート	専用の内部 8 ビットボーレートジェネレータで設定可能
データフォーマット	- MSB ファーストまたは LSB ファーストを選択可能 - 転送ビット長を 5 ビット、7 ビット、8 ビットから選択可能
割り込み要因	- 転送完了割り込み - 受信転送終了 - 受信エラー割り込み
その他の機能	- 送信と受信が互いに独立（全二重通信） - 通信論理レベルの反転制御あり
モジュールストップ機能	消費電力低減のためにモジュールストップ状態を設定可能
TrustZone フィルタ	セキュリティ属性を設定可能

- 注.
- UARTAMCLK: UARTA 外部クロック
 - UARTASCLK: UARTA サブクロック
 - UARTAHCLK: UARTA HOCO クロック
 - UARTAMOCKL: UARTA MOCO クロック
 - UARTALCLK: UARTA LOCO クロック

注. n: ユニット番号 (n = 0, 1)

図 28.1 に UARTAn のブロック図を、表 28.2 に UARTAn の端子構成を示します。

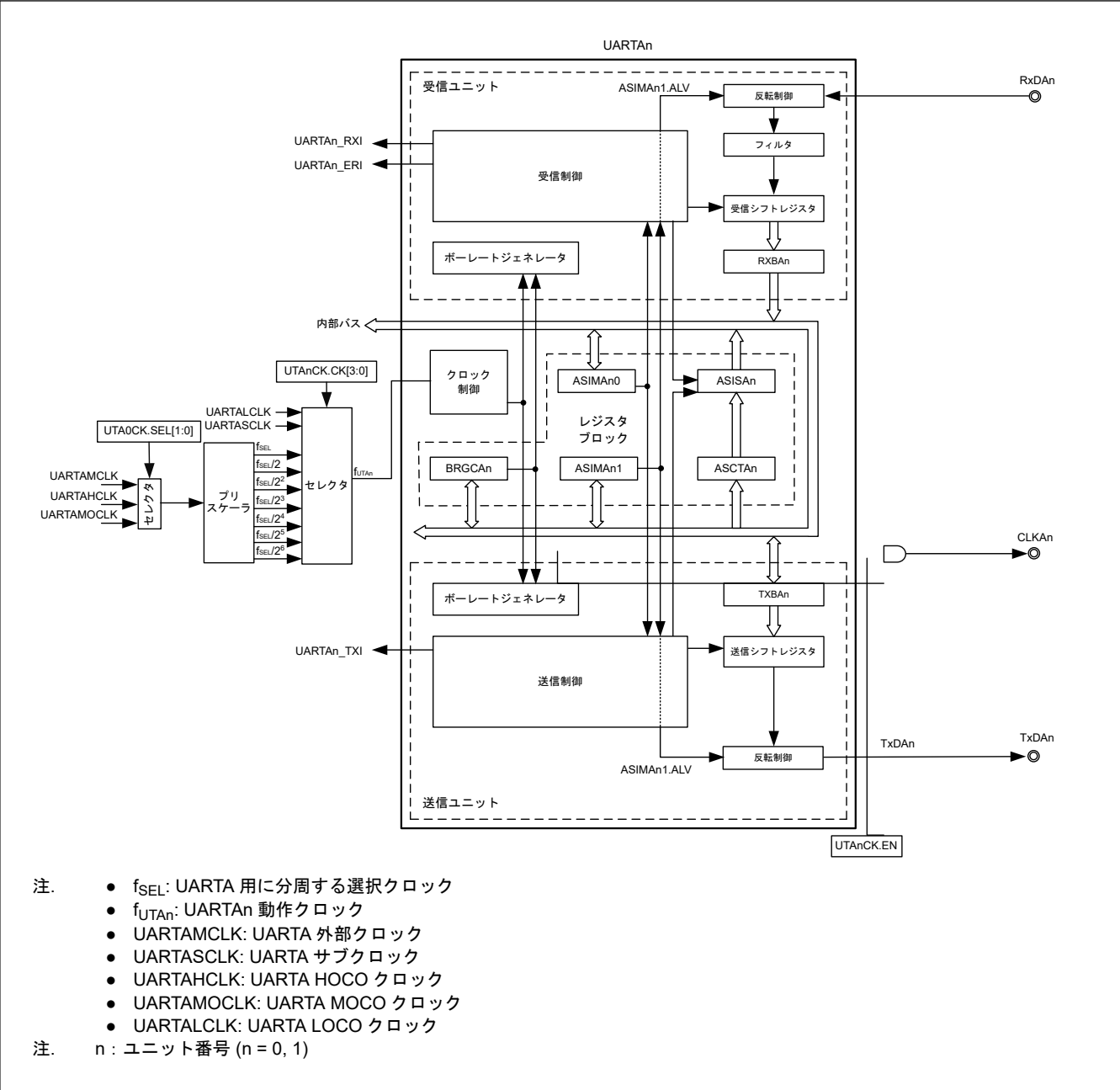


図 28.1 UARTAn のブロック図

表 28.2 UARTAn 端子構成

名称	入出力	機能
RxDA _n	入力	シリアルデータ入力信号
TxDA _n	出力	シリアルデータ出力信号
CLKA _n	出力	シリアルクロック出力信号

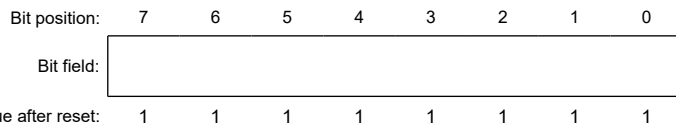
注. n : ユニット番号 ($n = 0, 1$)

28.2 レジスタの説明

28.2.1 TXBAn : 送信バッファレジスタ n (n = 0, 1)

Base address: UARTA = 0x4009_7000

Offset address: 0x00 + 0x8 × n



ビット	シンボル	機能	R/W
7:0	n/a	送信データバッファ	R/W

TXBAn は、送信データを設定するためのバッファレジスタです。

送信用データを TXBAn レジスタに書き込むことにより、送信開始します。

8 ビットのキャラクタ長を指定した場合：

- TXBAn のビット[7:0]のデータが転送されます。

7 ビットのキャラクタ長を指定した場合：

- TXBAn のビット[6:0]のデータが MSB ファーストモードまたは LSB ファーストモードで転送されます。ビット 7 は無効です。

5 ビットのキャラクタ長を指定した場合：

- TXBAn のビット[4:0]のデータが MSB ファーストモードまたは LSB ファーストモードで転送されます。ビット[7:5]は無効です。

注. ASISAn レジスタの TXBFA ビットが 1 のときは、送信用データを TXBAn レジスタに書き込まないでください。

注. ASIMAn0 レジスタの TXEA ビットを 1 にした後、UARTAn 動作クロック (f_{UTAn}) の 1 サイクル以上の期間待ってから、最初の送信用データを TXBAn レジスタに設定してください。ASIMAn0.TXEA ビットを 1 にしてから UARTAn 動作クロックの 1 サイクル以内に送信用データを設定すると、送信開始が UARTAn 動作クロックの 1 サイクル分遅れます。

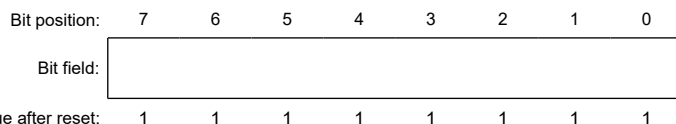
注. データは TXBAn レジスタから本レジスタに転送されてから、シリアルデータとして TxDAn 端子を介して送信されます。最初の送信では、TXBAn レジスタにデータを書き込んだ直後に TXBAn レジスタから本レジスタにデータが転送されます。連続送信では、1 フレームの送信後の転送完了割り込みの発生直前にデータが転送されます。

送信シフトレジスタはソフトウェアで直接操作できません。

28.2.2 RXBAn : 受信バッファレジスタ n (n = 0, 1)

Base address: UARTA = 0x4009_7000

Offset address: 0x01 + 0x8 × n



ビット	シンボル	機能	R/W
7:0	n/a	受信データバッファ	R

RXBAn レジスタは、受信シフトレジスタが変換したパラレルデータを格納します。1 バイト分のデータを受信するたびに、次の受信データが受信シフトレジスタ(注1)から本レジスタに転送されます。

注 1. 受信シフトレジスタは、RxDAn 端子を介して入力したシリアルデータをパラレルデータに変換します。

受信シフトレジスタはソフトウェアで直接操作できません。

8 ビットのキャラクタ長を指定した場合：

- 受信データは本レジスタのビット[7:0]に転送されます。

7 ビットのキャラクタ長を指定した場合：

- 受信データは本レジスタのビット[6:0]に MSB ファーストモードまたは LSB ファーストモードで転送されます。ビット 7 は常に 0 です。

5 ビットのキャラクタ長を指定した場合：

- 受信データは本レジスタのビット[4:0]に MSB ファーストモードまたは LSB ファーストモードで転送されます。ビット[7:5]は常に 0 です。

注. オーバーランエラー (ASISAn.OVEA) が発生した場合、その時点で受信したデータは RXBAn レジスタに格納されません。

28.2.3 ASIMAn0 : 動作モード設定レジスタ n0 (n = 0, 1)

Base address: UARTA = 0x4009_7000

Offset address: 0x02 + 0x8 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	EN	TXEA	RXEA	—	—	—	ISSMA	ISRMMA

Value after reset: 0 0 0 0 0 0 0 0 1

ビット	シンボル	機能	R/W
0	ISRMMA	受信割り込みモード選択 0: 受信エラー発生時に UARTAn_ERI 割り込みを発生させる (UARTAn_RXI は発生しない) 1: 受信エラー発生時に UARTAn_RXI 割り込みを発生させる (UARTAn_ERI は発生しない)	R/W
1	ISSMA	送信割り込みモード選択 0: 送信完了時に UARTAn_TXI 割り込みを発生させる 1: 送信バッファが空になったときに UARTAn_TXI 割り込みを発生させる (連続送信の場合)	R/W
4:2	—	読むと 0 が読めます。書く場合、0 としてください。(注1)	R/W
5	RXEA	受信許可 0: 受信禁止 (受信回路をリセット) 1: 受信許可	R/W
6	TXEA	送信許可 0: 送信禁止 (送信回路をリセット) 1: 送信許可	R/W
7	EN ^(注2)	UART 動作許可 0: UART 動作クロック禁止 (内部回路をリセット ^(注3)) 1: UART 動作クロック許可	R/W

注 1. ビット[4:2]には、必ず 0 を設定してください。

注 2. EN = 0 のとき、TxDA_n 端子から出力するレベルと RxDAn 端子から入力するレベルは以下に示すように ASIMAn1.ALV ビット設定に従って決定されます。

- ASIMAn1.ALV = 0 の場合、TxDA_n 端子からの出力は High
- ASIMAn1.ALV = 1 の場合、TxDA_n 端子からの出力は Low

注 3. ASISAn レジスタと RXBAn レジスタは、EN ビットを 0 にすることによりリセットされます。

ASIMAn0 レジスタは、シリアルインタフェース UARTAn のシリアル通信を制御します。

送信を開始するには、EN ビットを 1 にした後、TXEA ビットを 1 にしてください。送信を停止するには、TXEA ビットを 0 にした後、EN ビットを 0 にしてください。

受信を開始するには、EN ビットを 1 にした後、RXEA ビットを 1 にしてください。受信を停止するには、RXEA ビットを 0 にした後、EN ビットを 0 にしてください。

EN ビットを 1 にした後、RXEA ビットを 1 にする場合は、以下の手順で行います。

- ASIMAn1.ALV = 0 の場合
RxDAn 端子に入力中のレベルが High のときに設定を行う必要があります。それ以外の場合、その時点で受信が開始され、フレーミングエラーになる可能性があります。
- ASIMAn1.ALV = 1 の場合
RxDAn 端子に入力中のレベルが Low のときに設定を行う必要があります。それ以外の場合、その時点で受信が開始され、フレーミングエラーになる可能性があります。

TXEA ビットと RXEA ビットは UARTAn 動作クロック (f_{UARTAn}) と同期されます。

送信または受信を再度許可するには、TXEA ビットまたは RXEA ビットを 0 にしてから UARTAn 動作クロックの 2 サイクル以上後に、TXEA ビットまたは RXEA ビットを 1 にします。0 にしてから UARTAn 動作クロックの 2 サイクル以内にビットを 1 にすると、送信または受信回路が初期化できない場合があります。

TXEA ビットを 1 にした後、UARTAn 動作クロック (f_{UARTAn}) の 1 サイクル以上待ってから送信データを TXBAn レジスタに設定してください。

ISRMA ビットを変更する前に、RXEA ビットを 0 にしてください。

28.2.4 ASIMAn1 : 動作モード設定レジスタ n1 (n = 0, 1)

Base address: UARTA = 0x4009_7000

Offset address: 0x03 + 0x8 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	PS[1:0]	CL[1:0]	SL	DIR	ALV		
Value after reset:	0	0	0	1	1	0	1	0

ビット	シンボル	機能	R/W
0	ALV	送受信レベル設定 0: 正論理 (待機時 = High レベル、スタートビット = Low レベル、ストップビット = High レベル) 1: 負論理 (待機時 = Low レベル、スタートビット = High レベル、ストップビット = Low レベル)	R/W
1	DIR	送受信順序設定 0: MSB ファースト 1: LSB ファースト	R/W
2	SL	送信ストップビット長設定 0: ストップビット長 = 1 ビット 1: ストップビット長 = 2 ビット	R/W
4:3	CL[1:0]	送受信キャラクタ長設定 0 0: データのキャラクタ長 = 5 ビット 0 1: 設定禁止 1 0: データのキャラクタ長 = 7 ビット 1 1: データのキャラクタ長 = 8 ビット	R/W
6:5	PS[1:0]	送受信パリティビット設定 0 0: 送信: パリティビットの出力なし。 受信: パリティなしでデータ受信。 0 1: 送信: ゼロパリティを出力。 受信: ゼロパリティでデータ受信(注1)。 1 0: 送信: 奇数パリティを出力。 受信: 奇数パリティのチェックを実行。 1 1: 送信: 偶数パリティを出力。 受信: 偶数パリティのチェックを実行。	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 「ゼロパリティでデータ受信」を設定すると、パリティチェックは実行されません。したがって、ASISAn レジスタの PEA ビットは設定されず、受信エラー割り込みは発生しません。

ASIMAn1 レジスタは、シリアルインタフェース UARTAn のシリアル通信を制御します。

ASIMAn1 レジスタの変更は、ASIMAn0.TXEA = 0 かつ ASIMAn0.RXEA = 0 のときに行う必要があります。

ASIMAn1 レジスタを変更する前に、ASIMAn0.TXEA ビットと RXEA ビットを 0 にしてください。受信は常にストップビットを含むものとして扱われます。SL ビットの設定値は受信には影響しません。

28.2.5 BRGCA_n : ボーレートジェネレータコントロールレジスタ n (n = 0, 1)

Base address: UARTA = 0x4009_7000

Offset address: 0x04 + 0x8 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:								

Value after reset: 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
7:0	n/a	UART ボーレート（シリアル転送速度）を制御する 8 ビットカウンタ出力クロック ($f_{\text{UTAn}} / \text{BRGCA}_n$) の選択 0x02: $f_{\text{UTAn}}/2$ 0x03: $f_{\text{UTAn}}/3$: : 0xFC: $f_{\text{UTAn}}/252$ 0xFD: $f_{\text{UTAn}}/253$ 0xFE: $f_{\text{UTAn}}/254$ 0xFF: $f_{\text{UTAn}}/255$ その他: 設定禁止	R/W

BRGCA_n レジスタは、シリアルインタフェース UARTAn の 8 ビットカウンタの分周比を設定します。

ASIMAn0.TXEA ビットと RXEA ビットが 0（送受信停止状態）のときに、BRG[7:0] ビットを変更してください。ボーレートは、8 ビットカウンタからの出力信号クロックの周波数の 2 分の 1 です。ボーレート設定の例については、[\(c\) ボーレート設定例](#)を参照してください。

28.2.6 ASISAn : ステータスレジスタ n (n = 0, 1)

Base address: UARTA = 0x4009_7000

Offset address: 0x05 + 0x8 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	TXBFA	TXSFA	—	PEA	FEA	OVEA

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	OVEA	オーバーランエラーフラグ 0: エラーの発生なし 1: エラーの発生あり	R
1	FEA	フレーミングエラーフラグ 0: エラーの発生なし 1: エラーの発生あり	R
2	PEA	パリティエラーフラグ 0: エラーの発生なし 1: エラーの発生あり	R
3	—	読むと 0 が読めます。	R

ビット	シンボル	機能	R/W
4	TXSFA	送信シフトレジスタデータフラグ 0: データ送信中ではない 1: データ送信中	R
5	TXBFA	送信バッファデータフラグ 0: TXBAn レジスタに有効データなし 1: TXBAn レジスタに有効データあり	R
7:6	—	読むと 0 が読めます。	R

ASISAn レジスタは、シリアルインタフェース UARTAn の受信完了時のエラー状態および送信状態を示します。このレジスタは 3 つのエラーフラグビット (PEA、FEA、および OVEA) と 2 つの送信ステータスフラグビット (TXBFA および TXSFA) で構成されます。

PEA ビット、FEA ビット、OVEA ビットは、ASIMAn0.EN ビットまたは RXEA ビットを 0 にすることにより初期化されます。これらのビットは ASCTAn レジスタの対応するビットに書き込みをすることでもクリアされます。TXBFA フラグと TXSFA フラグは、ASIMAn0.EN ビットまたは TXEA ビットを 0 にすることにより初期化されます。

連続送信の場合、最初の送信データ (1 バイト目) を TXBAn レジスタに書き込んだ後、必ず TXBFA フラグが 0 であることを確認してから、次の送信データ (2 バイト目) を TXBAn レジスタに書き込んでください。そうしないと、送信データは不定となります。ただし、バッファ空き割り込み (ASIMAn0.ISSMA ビット = 1) を使用して連続送信を実行する場合は、TXBFA フラグの確認は不要です。

連続送信の完了後に送信ユニットを初期化する (ASIMAn0.TXEA = 0) 場合は、転送完了割り込みの発生後に、必ず TXSFA フラグが 0 であることを確認してからユニットを初期化してください。そうしないと、送信データは不定となります。

PEA ビットの動作は ASIMAn1 レジスタの PS[1:0] ビットの設定値に依存します。受信データの場合、ストップビット長にかかわらずストップビットの最初の 1 ビットのみ確認します。オーバーランエラーが発生すると、次の受信データを RXBAn レジスタに書き込まずに破棄します。

OVEA フラグ (オーバーランエラーフラグ)

[0 になる条件]

- ASIMAn0.EN ビットまたは RXEA ビットを 0 にしたとき。
- ASCTAn.OVECTA ビットに 1 を書き込んだとき。

[1 になる条件]

- RXBAn レジスタの受信データを読み出す前に次の受信が完了したとき。

FEA フラグ (フレーミングエラーフラグ)

[0 になる条件]

- ASIMAn0.EN ビットまたは RXEA ビットを 0 にしたとき。
- ASCTAn.FECTA ビットに 1 を書き込んだとき。

[1 になる条件]

- データの受信時にストップビットが検出されないとき。

PEA フラグ (パリティエラーフラグ)

[0 になる条件]

- ASIMAn0.EN ビットまたは RXEA ビットを 0 にしたとき。
- ASCTAn.PECTA ビットに 1 を書き込んだとき。

[1 になる条件]

- 受信データのパリティがパリティビットに一致しないとき。

TXSFA フラグ (送信シフトレジスタデータフラグ)

[0 になる条件]

- ASIMAn0.EN ビットまたは TXEA ビットを 0 にしたとき。
- 転送完了後に TXBAn レジスタより次のデータ転送がなかったとき。

[1 になる条件]

- TXBAn レジスタからデータを転送したとき。(データ送信中のとき)

TXBFA フラグ (送信バッファデータフラグ)

[0 になる条件]

- ASIMAn0.EN ビットまたは TXEA ビットを 0 にしたとき。
- 送信シフトレジスタにデータを転送したとき。

[1 になる条件]

- TXBAn レジスタにデータを書き込んだとき。(TXBAn レジスタにデータが存在するとき)

28.2.7 ASCTAn : ステータスクリアトリガレジスタ n (n = 0, 1)

Base address: UARTA = 0x4009_7000

Offset address: 0x06 + 0x8 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	PECT A	FECT A	OVEC TA
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OVECTA ^(注1)	オーバーランエラーフラグクリアトリガ 0: ASISAn.OVEA フラグをクリアしない (フラグを保持) 1: ASISAn.OVEA フラグをクリア	R/W
1	FECTA ^(注1)	フレーミングエラーフラグクリアトリガ 0: ASISAn.FEA フラグをクリアしない (フラグを保持) 1: ASISAn.FEA フラグをクリア	R/W
2	PECTA ^(注1)	パリティエラーフラグクリアトリガ 0: ASISAn.PEA フラグをクリアしない (フラグを保持) 1: ASISAn.PEA フラグをクリア	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. ASCTAn レジスタを読むと、0 が返されます。

ASCTAn レジスタは、シリアルインタフェース UARTAn の受信の完了時にエラー状態をクリアするトリガを設定します。本レジスタには 3 ビットのエラークリアトリガフラグ (PECTA、FECTA、および OVECTA) が含まれます。

ASCTAn レジスタの読み出し値は常に 0x00 になります。

PECTA ビット、FECTA ビット、および OVECTA ビットに 1 を書き込むと、ASISAn レジスタの PEA フラグ、FEA フラグ、OVEA フラグがそれぞれクリアされます。0 を書き込んだとき、対応するエラーフラグはクリアされません。

トリガビットに 1 を書き込んだ後、対応するエラーフラグは動作クロック (f_{UTAn}) の次の立ち上がりエッジでクリアされます。したがって、トリガビットに 1 を書き込んだ直後に ASISAn レジスタを読み出すときは、対応するエラーフラグがまだクリアされていないことがあります。

28.2.8 UTA0CK : UARTA クロック選択レジスタ 0

Base address: UARTA = 0x4009_7000

Offset address: 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	EN	—	SEL[1:0]	CK[3:0]				

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
3:0	CK[3:0]	UARTA0 動作クロック選択 (f_{UTA0}) 0x0: f_{SEL} 0x1: $f_{SEL}/2$ 0x2: $f_{SEL}/4$ 0x3: $f_{SEL}/8$ 0x4: $f_{SEL}/16$ 0x5: $f_{SEL}/32$ 0x6: $f_{SEL}/64$ 0x8: UARTLCLK 0x9: UARTSCLK その他: 設定禁止	R/W
5:4	SEL[1:0]	f_{SEL} クロック選択 0 0: 停止 0 1: UARTAMCLK 1 0: UARTAHCLK 1 1: UARTAMOCLK	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	EN	UARTA0 クロック出力機能の許可 0: CLKA0 出力を禁止 1: CLKA0 出力を許可	R/W

- 注.
- f_{SEL} : UARTA 用に分周する選択クロック
 - UARTAMCLK: UARTA 外部クロック
 - UARTASCLK: UARTA サブクロック
 - UARTAHCLK: UARTA HOCO クロック
 - UARTAMOCLK: UARTA MOCO クロック
 - UARTALCLK: UARTA LOCO クロック
 - $PCLKB > f_{UTA0}$

UTA0CK レジスタは UARTAn の動作クロックを選択します。SEL[1:0]ビットは、UARTAn のクロックソース (f_{SEL}) を UARTAMCLK、UARTAHCLK、および UARTAMOCLK から選択します。CK[3:0]ビットは、UARTA0 の動作クロックを $f_{SEL} \sim f_{SEL}/64$ 、UARTALCLK、および UARTASCLK から選択します。

EN ビットを 1 にすると、UARTA0 クロック出力モードが選択され、UARTA0 の動作クロックは CLKA0 端子から出力されます。

ASIMAn0.TXEA ビットおよび RXEA ビットが 0 (送受信停止状態) のときに、本レジスタを読み書きしてください。

28.2.9 UTA1CK : UARTA クロック選択レジスタ 1

Base address: UARTA = 0x4009_7000

Offset address: 0x11

Bit position:	7	6	5	4	3	2	1	0
Bit field:	EN	—	—	—	CK[3:0]			

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
3:0	CK[3:0]	UARTA1 動作クロック選択 (f_{UTA1}) 0x0: f_{SEL} 0x1: $f_{SEL}/2$ 0x2: $f_{SEL}/4$ 0x3: $f_{SEL}/8$ 0x4: $f_{SEL}/16$ 0x5: $f_{SEL}/32$ 0x6: $f_{SEL}/64$ 0x8: UARTLCLK 0x9: UARTSCLK その他: 設定禁止	R/W
6:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	EN	UARTA1 クロック出力機能の許可 0: CLKA1 出力を禁止 1: CLKA1 出力を許可	R/W

- 注.
- f_{SEL} : UARTA 用に分周する選択クロック
 - UARTALCLK: UARTA LOCO クロック
 - UARTASCLK: UARTA サブクロック
 - $PCLKB > f_{UTA1}$

UTA1CK レジスタは UARTA1 の動作クロックを選択します。CK[3:0]ビットは、UARTA1 の動作クロックを f_{SEL} ~ $f_{SEL}/64$ 、UARTALCLK、および UARTASCLK から選択します。

EN ビットを 1 にすると、UARTA1 クロック出力モードが選択され、UARTA1 の動作クロックは CLKA1 端子から出力されます。

ASIMA10.TXEA ビットおよび RXEA ビットが 0 (送受信停止状態) のときに、本レジスタを読み書きしてください。

28.3 動作

UARTAn は次の 2 つのモードで動作します。

- 動作停止モード
- UART モード

28.3.1 動作停止モード

動作停止モードではシリアル通信を行わないので、消費電力を削減できます。また、このモードでは各端子を通常ポート端子として使用できます。動作停止モードを設定するには、ASIMAn0 レジスタの EX ビット、TXEA ビット、RXEA ビットをすべて 0 にしてください。

28.3.2 UART モード

本モードでは、1 バイトのデータが送信され、スタートビットに続いて 1 バイトが受信されます。これは全二重モードの動作を意味します。

UART 専用のボーレートジェネレータが組み込まれているので、広範囲のボーレートで通信が実行できます。

(1) 通信手順

表 28.3 に通信手順を示します。

表 28.3 通信手順

手順		プロセス	詳細説明
通信手順	<1>	クロック供給許可	MSTPCRB レジスタのビット 0 を 0 にする。
	<2>	ボーレート設定	BRGCAn レジスタを設定する。
	<3>	動作モード設定 1	ASIMAn1 レジスタの ALV、DIR、SL、CL[1:0]、PS[1:0] ビットを設定する。
	<4>	動作モード設定 2	ASIMAn0 レジスタの ISSMA ビットと ISRMA ビットを設定する。
	<5>	動作許可	ASIMAn0 レジスタの EN ビットを 1 にする。
	<6>	通信許可	ASIMAn0 レジスタの TXEA ビットを 1 にして送信を許可する。 ASIMAn0 レジスタの RXEA ビットを 1 にして受信を許可する。
	<7>	送信データ書き込み	送信データを TXBAn レジスタに書き込む。
	<8>	送信開始	—

注. I/O ポートを設定して、TXDAn、RXDAn、および CLKAn 端子に必要な入出力機能を事前に有効にします。詳細は、「18. I/O ポート」を参照してください。

注. n : ユニット番号 (n = 0, 1)

(2) 送受信データのフォーマットと波形例

UARTAn の通信データフォーマットについて以下に説明します。

図 28.2 にデータフォーマットを示します。

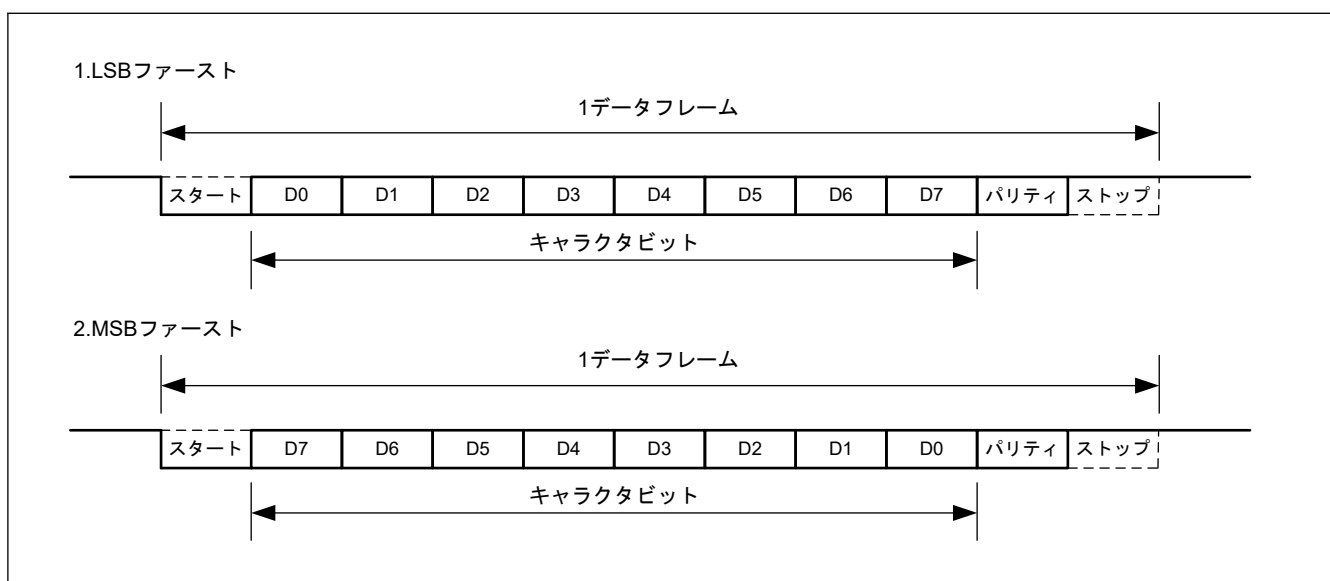


図 28.2 送受信データフォーマット

1 データフレームは以下のビットで構成されています。

- スタートビット : 1 ビット
- キャラクタビット : 5 ビット、7 ビット、または 8 ビット
- パリティビット : 偶数パリティ、奇数パリティ、ゼロパリティ、またはパリティなし
- ストップビット : 1 ビットまたは 2 ビット

1 データフレームのキャラクタビット長、パリティ、ストップビット長、転送方向 (LSB ファーストまたは MSB ファースト)、TxDAn 端子出力 (直接または反転) は ASIMAn1 レジスタで指定します。

注. n : ユニット番号 (n = 0, 1)

図 28.3 に送受信データ波形の例を示します。

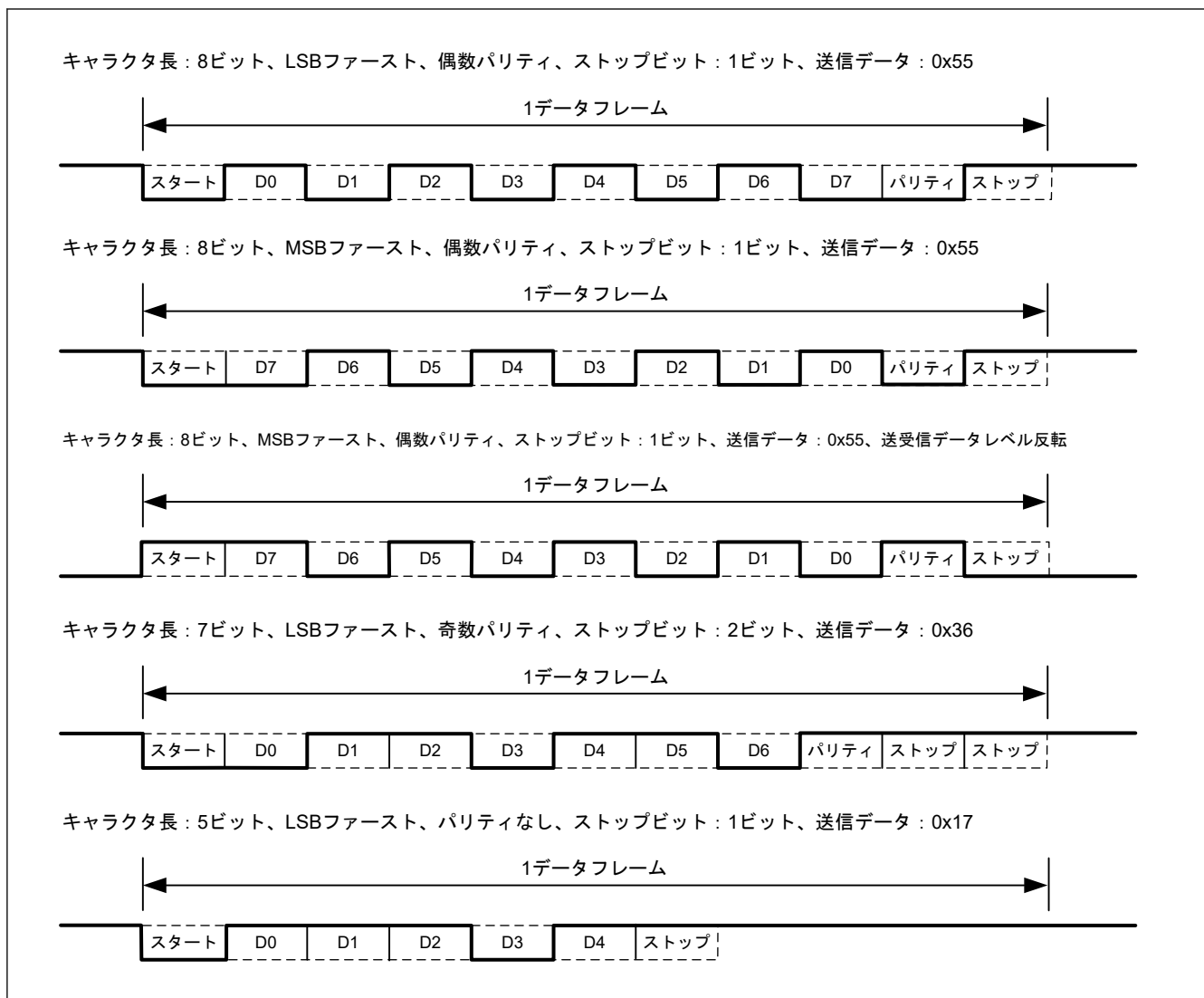


図 28.3 送受信データ波形の例

(3) パリティの種類と動作

パリティビットは通信データ内のビットエラーの検出に使用します。通常は、送信側と受信側で同じ種類のパリティビットを使用します。偶数および奇数パリティの場合、1ビット（奇数個）エラーが検出できます。ゼロパリティおよびパリティなしの場合、エラーは検出できません。

(a) 偶数パリティ

- 送信時
パリティビットを含む送信用データ内の、値が1のビット数が偶数個になるように制御します。パリティビットの値は以下のように設定します。
送信用データ内の値が1のビット数が奇数個の場合：1
送信用データ内の値が1のビット数が偶数個の場合：0
- 受信時
パリティビットを含む受信用データ内の、値が1のビット数をカウントし、奇数個の場合、パリティエラーが発生します。

(b) 奇数パリティ

- 送信時
偶数パリティとは異なり、パリティビットを含む送信用データ内の、値が1のビット数が奇数個になるように制御します。
送信用データ内の値が1のビット数が奇数個の場合：0
送信用データ内の値が1のビット数が偶数個の場合：1

- 受信時

パリティビットを含む受信用データ内の、値が 1 のビット数をカウントし、偶数個の場合、パリティエラーが発生します。

(c) ゼロパリティ

送信データにかかわらず、データの送信時にパリティビットを 0 にします。

データの受信時にパリティビットの検出を行いません。したがって、パリティビットが 0 でも 1 でもパリティエラーは発生しません。

(d) パリティなし

送信データにパリティを付加しません。

受信はパリティビットなしを想定して行います。パリティビットがないのでパリティエラーは発生しません。

(4) 通常送信

動作モード設定レジスタ 0 (ASIMAn0) の EN ビットを 1 にしてから ASIMAn0 の TXEA ビットを 1 にすることにより、送信許可します。送信用データを送信バッファレジスタ (TXBAn) に書き込むことにより、送信開始できます。データにはスタートビット、パリティビット、ストップビットが自動的に付加されます。送信開始時、TXBAn レジスタのデータが送信シフトレジスタに転送されます。その後、送信シフトレジスタから TxDAn 端子に、送信データが指定された転送方向で順次出力されます。送信完了すると、ASIMAn0 レジスタで設定したパリティビットとストップビットが付加され、転送完了割り込み要求信号 (UARTAn_TXI) が発生します。

次の送信データが TXBAn レジスタに書き込まれるまで、送信はサスペンド状態になります。

図 28.4 に転送完了割り込み要求信号 (UARTAn_TXI) のタイミングを示します。UARTAn_TXI は以下のタイミングで発行されます。

- ASIMAn0.ISSMA = 0 のとき (UARTAn_TXI は転送完了割り込みとして機能)
UARTAn_TXI は最終ストップビットの出力後に発行されます。
- ASIMAn0.ISSMA = 1 のとき (UARTAn_TXI はバッファエンプティ割り込みとして機能)
UARTAn_TXI はスタートビットの出力時に発行されます。

注. n : ユニット番号 (n = 0, 1)

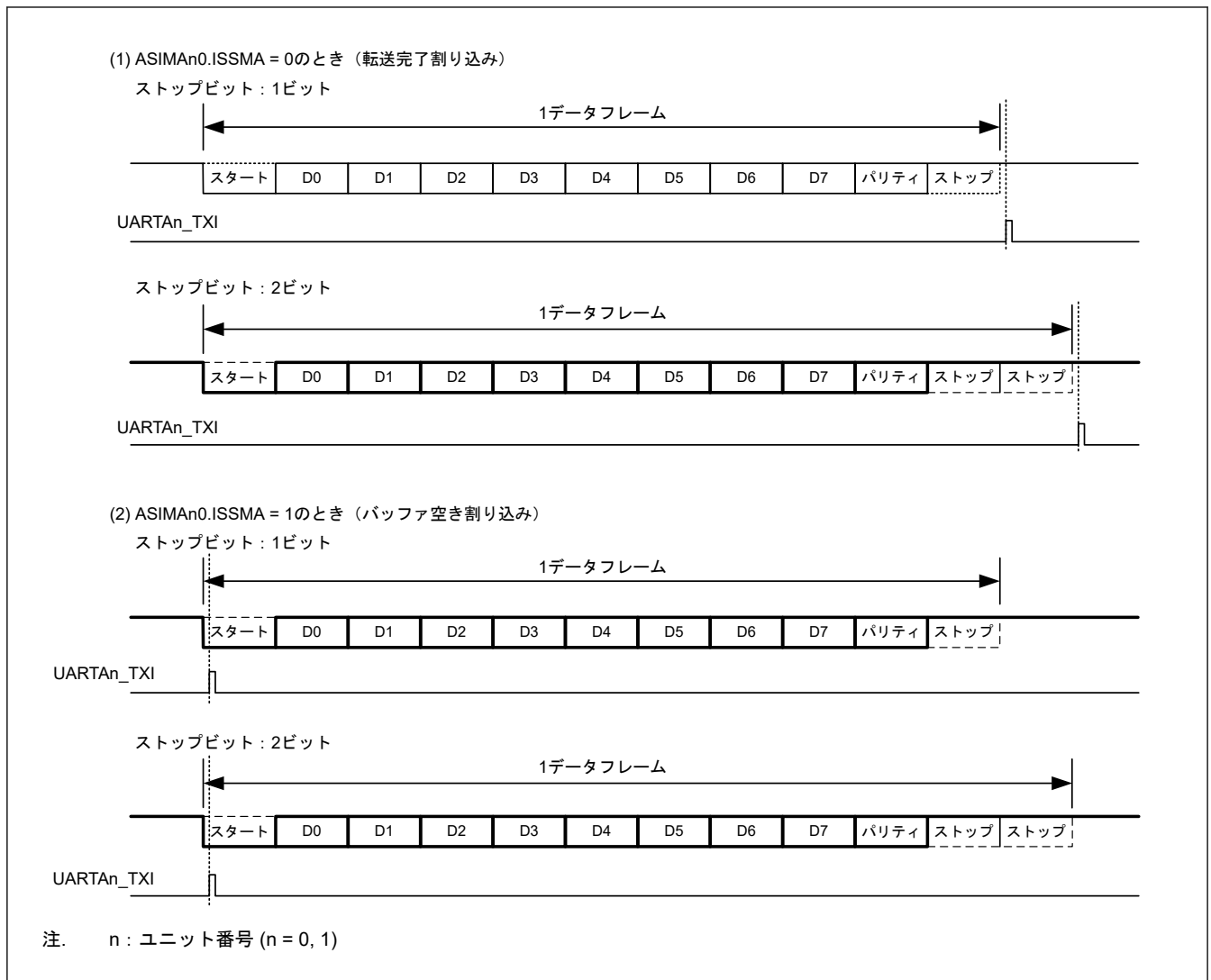


図 28.4 割り込み出力タイミング

(5) 連続送信

UARTAn では連続送信を実現するために送信バッファレジスタ (TXBAn) と送信シフトレジスタを分離しています。

送信シフトレジスタがシフト動作を開始した時点で、次の送信データを送信バッファレジスタ (TXBAn) に書き込むことができます。この動作により連続送信が可能となり、それにより通信レートを向上できます。

バッファ空き割り込みの発生から以下に定義した最大クロックサイクル数以内に TXBAn への書き込みが完了しなければ、連続送信はできないので注意してください。

最大クロックサイクル数 = データ転送長 × 2k - (2k + 3)

k : BRGCAn レジスタの設定値 (k = 2, 3, 4, 5, 6, ..., 255)

最大クロックサイクル数の算出例を以下に説明します。BRGCAn レジスタ = 0x02 (k = 2)、

スタートビット = 1 ビット、キャラクタ長 = 8 ビット、パリティ使用、ストップビット = 1 ビットの場合

最大クロックサイクル数 = 転送長 × 2k - (2k + 3) = 11 × 2 × 2 - (2 × 2 + 3) = 37

(UARTAn 動作クロック (f_{UTAn}) の 37 サイクル以内に書き込みを完了させる必要があります。)

連続送信には以下の 2 つの方法があります。

(a) ポーリングによる連続送信

ステータスレジスタ (ASISAn) の TXBFA フラグと TXSFA フラグのポーリングにより、連続送信を実現します。

この方法を使用する場合は、動作モード設定レジスタ 0 (ASIMAn0) の ISSMA ビットを 0 にしてください。

連続送信の開始時および連続送信中

連続送信開始時は、TXBAn レジスタに 1 バイト目のデータを書き込み、送信バッファデータフラグ (ASISAn.TXBFA) が 0 であることを確認してから 2 バイト目のデータを書き込みます。同様に、ASISAn.TXBFA フラグが 0 であることを確認してから、以降のデータを TXBAn レジスタに書き込みます。

表 28.4 に連続送信開始時の TXBAn レジスタへの書き込み許可／禁止を示す判別フラグを示します。

表 28.4 連続送信開始時の TXBAn レジスタへの書き込み許可／禁止を示す判別フラグ

ASISAn.TXBFA	内容
0	書き込み許可
1	書き込み禁止

注. 連続送信を許可しているか禁止しているかを判別するには、ASISAn.TXBFA フラグのみを確認します。ASISAn.TXSFA フラグをこのフラグと組み合わせて判定に使用することはできません。

注. n : ユニット番号 (n = 0, 1)

連続送信の完了

連続送信では、必要数のデータを TXBAn レジスタに書き込んだ後に送信シフトレジスタおよび TXBAn レジスタ内のデータを送信したときに連続送信が完了します。完了を確認するには、送信シフトレジスタデータフラグ (ASISAn.TXSFA) の設定を確認します。

表 28.5 に送信中かどうかを示す確認フラグを示します。

表 28.5 送信中かどうかを示す確認フラグ

ASISAn.TXSFA	内容
0	送信完了
1	送信中

注. 連続送信完了後に送信ユニットを初期化する場合は、転送完了割り込みの発生後に ASISAn.TXSFA フラグが 0 であることを確認してから、ユニットを初期化してください。

注. 連続送信中は、1 データフレームの送信後、UARTAn_TXI 割り込み処理の実行前に次の送信が完了する可能性があります。対策として、送信データ数をカウントするプログラムを組み込み、ASISAn.TXSFA フラグを参照することで検出できます。

注. n : ユニット番号 (n = 0, 1)

表 28.6 に、ポーリングによる連続送信処理手順の例を示します。

表 28.6 ポーリングによる連続送信処理手順の例

手順	プロセス	詳細説明
ポーリングによる連続送信処理手順の例	<1> レジスタの設定	ASISAn0.ISSMA = 0
	<2> 必要数の送信データを TXBAn レジスタに書き込んだかどうか確認する。 「はい」の場合は<5>に進む 「いいえ」の場合は<3>に進む	—
	<3> ASISAn.TXBFA フラグがクリアされるまで待つ。	データを送信シフトレジスタへ転送する。
	<4> 送信データを TXBAn レジスタに書き込む。 <2>に進む。	—
	<5> ASISAn.TXSFA フラグがクリアされるまで待つ。	送信シフトレジスタからデータを転送し、転送完了後に TXBAn レジスタから次のデータ転送がなかったとき。
	<6> 送信処理の終了	—

注. n : ユニット番号 (n = 0, 1)

(b) 割り込みを使用した連続送信

割り込み (UARTAn_TXI) を使用して連続送信を実現します。

動作モード設定レジスタ 0 (ASISAn0) の ISSMA ビットを 1 にすることにより、送信バッファレジスタ (TXBAn) のデータを送信シフトレジスタに転送したときに割り込みを発生させることができます。

これにより、バッファ空き割り込み発生時に TXBAn レジスタにデータを書き込むことにより、連続送信が可能になります。

さらに、最後の送信データを TXBAn レジスタに書き込んだ後に ISSMA ビットを 0 にすることにより、連続送信の完了時に転送完了割り込みを発生させることができます。

表 28.7 に、割り込みを使用した連続送信手順の例を示します。

表 28.7 割り込みを使用した連続送信手順の例

手順	プロセス	詳細説明
割り込みを使用した連続送信手順の例	<1> レジスタの設定	ASIMAn0.ISSMA = 1
	<2> TXBAn レジスタへの書き込み	—
	<3> UARTAn_TXI の待機	バッファ空き割り込み
	<4> UARTAn_TXI の発生	—
	<5> 必要数の送信データを TXBAn レジスタに書き込んだかどうか確認する。 「はい」の場合は<6>に進む。 「いいえ」の場合は<2>に進む。	—
	<6> ASIMAn0 レジスタの設定	ASIMAn0.ISSMA = 0
	<7> UARTAn_TXI の待機	転送完了割り込み
	<8> UARTAn_TXI の発生	—
	<9> 送信処理の終了	—

注. n : ユニット番号 (n = 0, 1)

図 28.5 に連続送信開始のタイミングを、図 28.6 に連続送信完了のタイミングを示します。

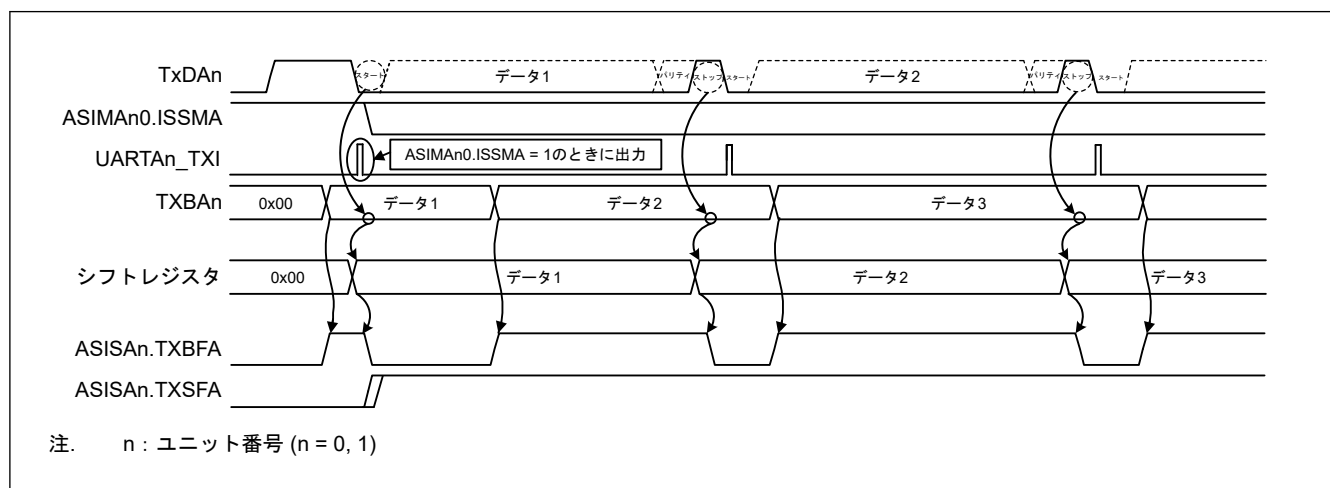


図 28.5 連続送信開始のタイミング

注. ASISAn レジスタを読むと、ASISAn.TXBFA フラグと TXSFA フラグの両方が 1 の期間が存在します。したがって、ASISAn.TXBFA フラグのみを使用して書き込み許可／禁止を判定してください。

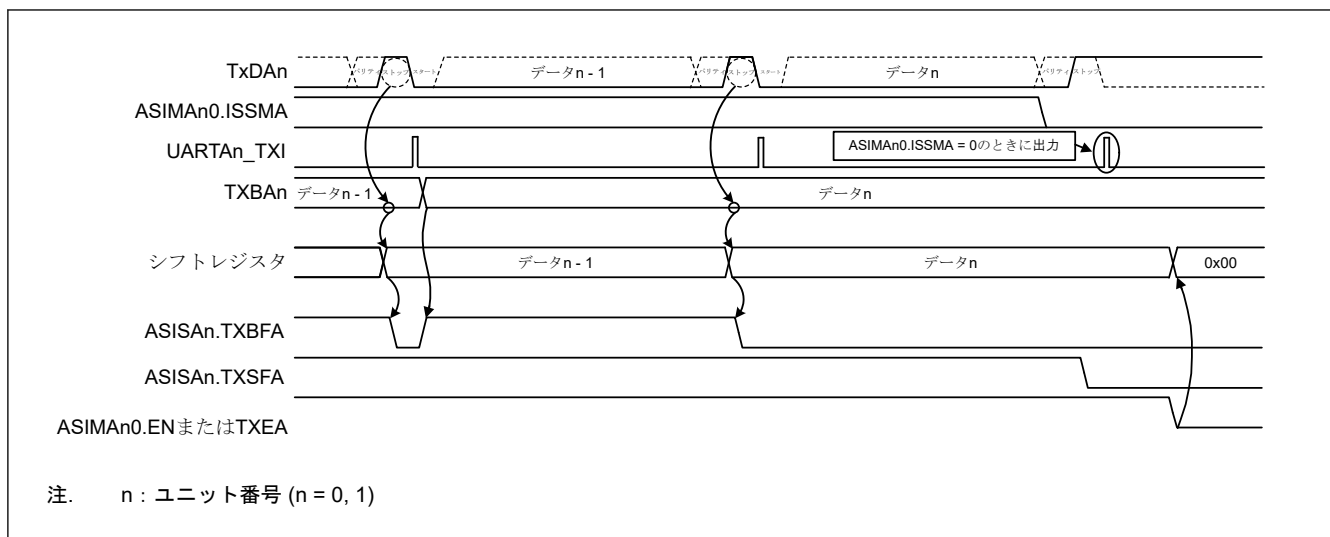


図 28.6 連続送信完了のタイミング

(6) 通常の受信動作

動作モード設定レジスタ 0 (ASIMAn0) の EN ビットを 1 にしてから ASIMAn0 レジスタの RXEA ビットを 1 にすると、受信許可状態となり、RxDAn 端子への入力のサンプリングを実行します。

ASIMAn1.ALV ビットが 0 の場合、ボーレートジェネレータの 8 ビットカウンタは RxDAn 端子の立ち下がりエッジの検出でカウントを開始します。カウンタがボーレートジェネレータコントロールレジスタ (BRGCAn) の設定値に達すると、RxDAn 端子への入力が (図 28.7 の▽で示すポイントで) 再度サンプリングされます。RxDAn 端子が Low の場合、スタートビットと見なされます。

ASIMAn1.ALV ビットが 1 の場合、ボーレートジェネレータの 8 ビットカウンタは RxDAn 端子の立ち上がりエッジの検出でカウントを開始します。カウンタがボーレートジェネレータコントロールレジスタ (BRGCAn) の設定値に達すると、RxDAn 端子への入力が (図 28.7 の▽で示すポイントで) 再度サンプリングされます。RxDAn 端子が High の場合、スタートビットと見なされます。

図 28.7 に、受信動作のタイミング図を示します。

スタートビットを検出すると受信動作を開始し、シリアルデータを指定されたボーレートで受信シフトレジスタに順次格納します。ストップビットを受信すると転送完了割り込み (UARTAn_RXI) が発生し、同時に受信シフトレジスタ内のデータが受信バッファレジスタ (RXBA[n]) に書き込まれます。

オーバーランエラー (ASISAn.OVEA) が発生した場合、エラー発生時に受信したデータは RXBA[n] レジスタに書き込まれないので注意してください。

受信中にパリティエラー (ASISAn.PEA) またはフレーミングエラー (ASISAn.FEA) が発生した場合、ストップビットを受信するまで受信継続します。受信完了後 ASIMAn0.ISRMA ビットに設定した受信エラー割り込み (UARTAn_RXI または UARTAn_ERI) が発生します。

受信エラーが発生した場合、ステータスレジスタ (ASISAn) を読み出してから受信バッファレジスタ (RXBA[n]) を読み出してエラーフラグをクリアしてください。

受信バッファレジスタ (RXBA[n]) を読み出さないと、次データの受信時にオーバーランエラーが発生し、受信エラー状態が継続します。

受信は常にストップビットを含むものとして扱われます。したがって、2 ビット目のストップビットは無視されます。

注. n : ユニット番号 (n = 0, 1)

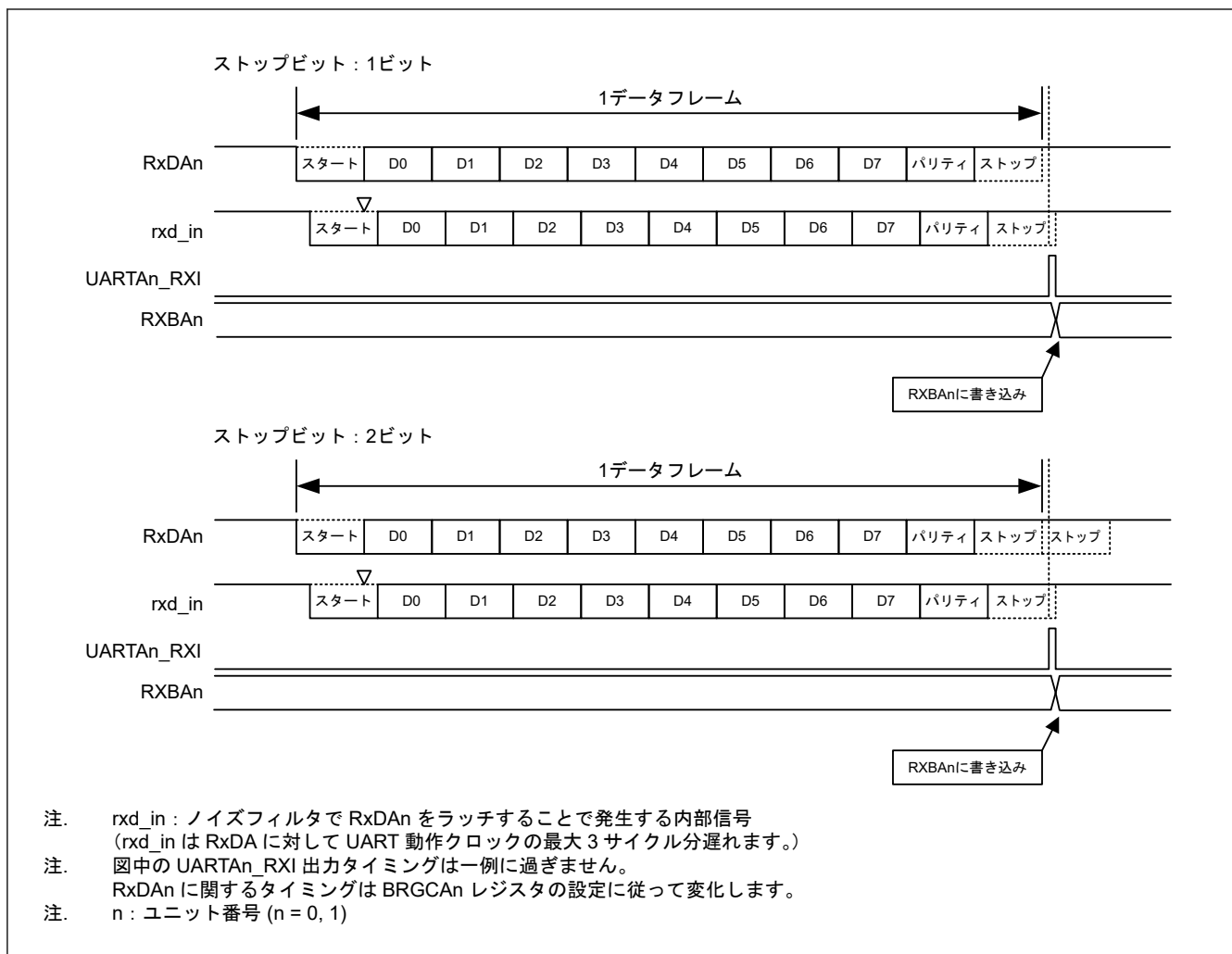


図 28.7 UART 受信動作のタイミング

(7) 受信エラー

受信中に発生する可能性があるエラーはパリティエラー、フレーミングエラー、オーバーランエラーの 3 種類です。

このようなエラーが発生した場合、対応するエラーフラグがステータスレジスタ (ASISAn) に設定されて、受信エラー割り込み要求信号 (UARTAn_RXI または UARTAn_ERI) が発生します。

ステータスレジスタ (ASISAn) の内容を読み出して確認する受信エラー割り込み処理ルーチンにより、受信エラーの種類を識別できます。

ASISAn レジスタの内容は、ステータスクリアトリガレジスタ (ASCTAn) の対応するビットを 1 にすることで 0 になります。

表 28.8 に各受信エラーの要因を示します。

表 28.8 受信エラーの要因

エラーフラグ	受信エラー	要因
ASISAn.PEA	パリティエラー	受信用に指定したパリティが受信データのパリティに一致しない。
ASISAn.FEA	フレーミングエラー	ストップビットが検出されない。
ASISAn.OVEA	オーバーランエラー	受信バッファから受信データを読み出す前に、次データの受信が完了。

動作モード設定レジスタ 0 (ASIMAn0) の ISRMA ビットを 0 にすると、受信エラー割り込みを UARTAn_RXI から分離して、UARTAn_ERI として発生させる事ができます。

図 28.8 に、ASIMAn0.ISRMA ビット設定値によって変化する割り込み出力波形を示します。

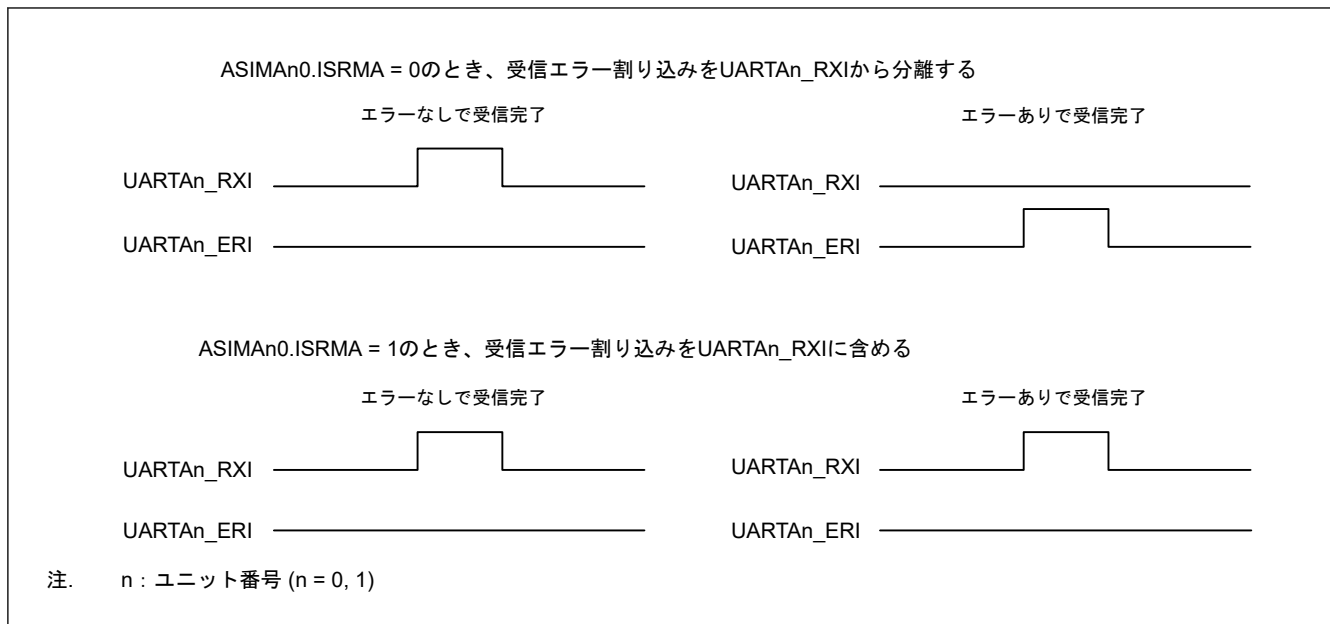


図 28.8 ASIMAn0.ISRMA 設定値によって変化する割り込み出力

28.3.3 受信データノイズフィルタ

本フィルタは受信データ (RxDAn) をサンプリングし、2 回一致したらレベルが確定したとみなします。回路構成により、受信データは動作クロックの最大 3 サイクル分遅れします。

図 28.9 にノイズフィルタ回路を示します。

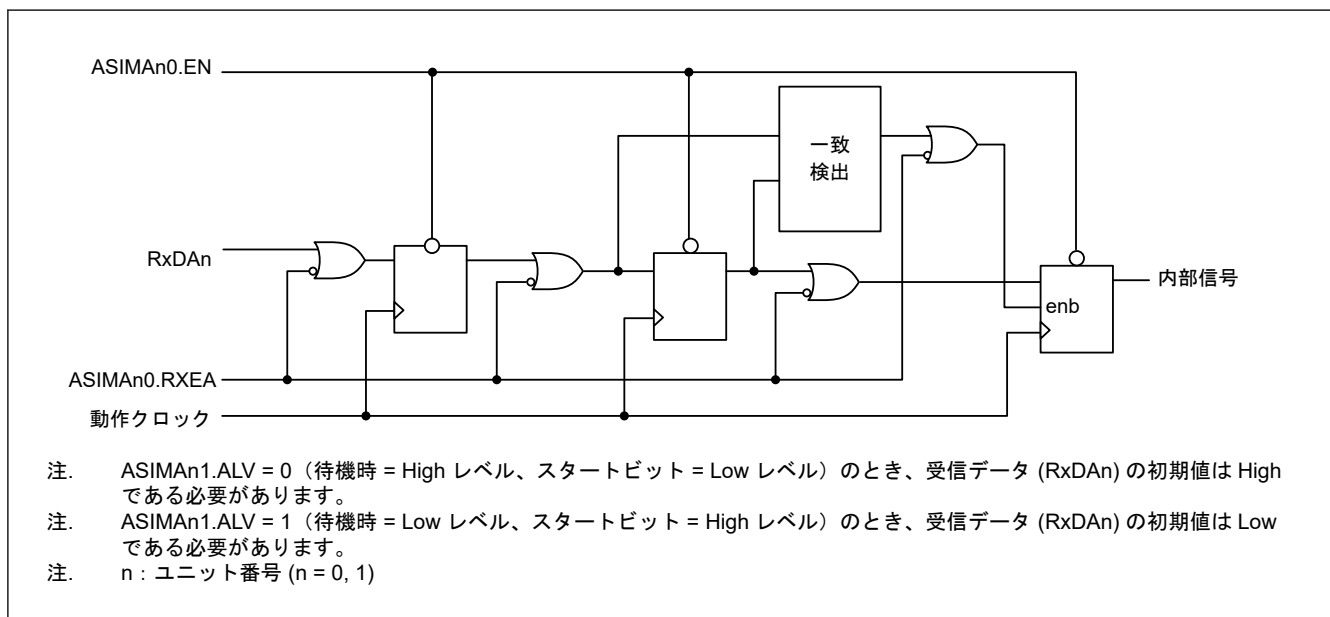


図 28.9 ノイズフィルタ

28.3.4 ボーレートジェネレータ

ボーレートジェネレータは 8 ビットプログラマブルカウンタで構成され、UARTAn の送受信用のシリアルクロックを発生させます。

送信用と受信用にそれぞれ一つずつ 8 ビットカウンタが存在します。

(1) ボーレートジェネレータの構成

(a) UARTAn 動作クロック

ASIMAn0.EN = 1 のとき、UARTAn 動作クロック (f_{UTAn}) が各モジュールに供給されます。ASIMAn0.EN = 0 のとき、UARTAn 動作クロックは Low 状態に固定されます。

(b) 送信カウンタ

ASIMAn0.EN = 0 または ASIMAn0.TXEA = 0 になると、このカウンタは 0 にクリアされて停止します。ASIMAn0.EN = 1 かつ ASIMAn0.TXEA = 1 のときに、カウントを再開します。

最初の送信データを送信バッファレジスタ (TXBAn) に書き込むと、カウンタが 0 にクリアされます。

連続送信を行う場合、1 フレーム分のデータの送信が完了すると、カウンタが再度 0 にクリアされます。次に送信するデータがない場合、カウンタは 0 にクリアされず、ASIMAn0.EN ビットまたは TXEA ビットが 0 にクリアされるまでカウントを継続します。ASIMAn0.EN = 0 または ASIMAn0.TXEA = 0 の場合、カウンタは 0x00 で停止します。

(c) 受信カウンタ

ASIMAn0.EN = 0 または ASIMAn0.RXEA = 0 になると、このカウンタは 0 にクリアされて停止します。スタートビットの検出時にカウントを開始します。

1 フレームの受信後、次のスタートビットが検出されるまでカウンタ動作を停止します。ASIMAn0.EN = 0 または ASIMAn0.RXEA = 0 の場合、カウンタは 0x00 で停止します。

注. n : ユニット番号 (n = 0, 1)

図 28.10 にボーレートジェネレータの構成を示します。

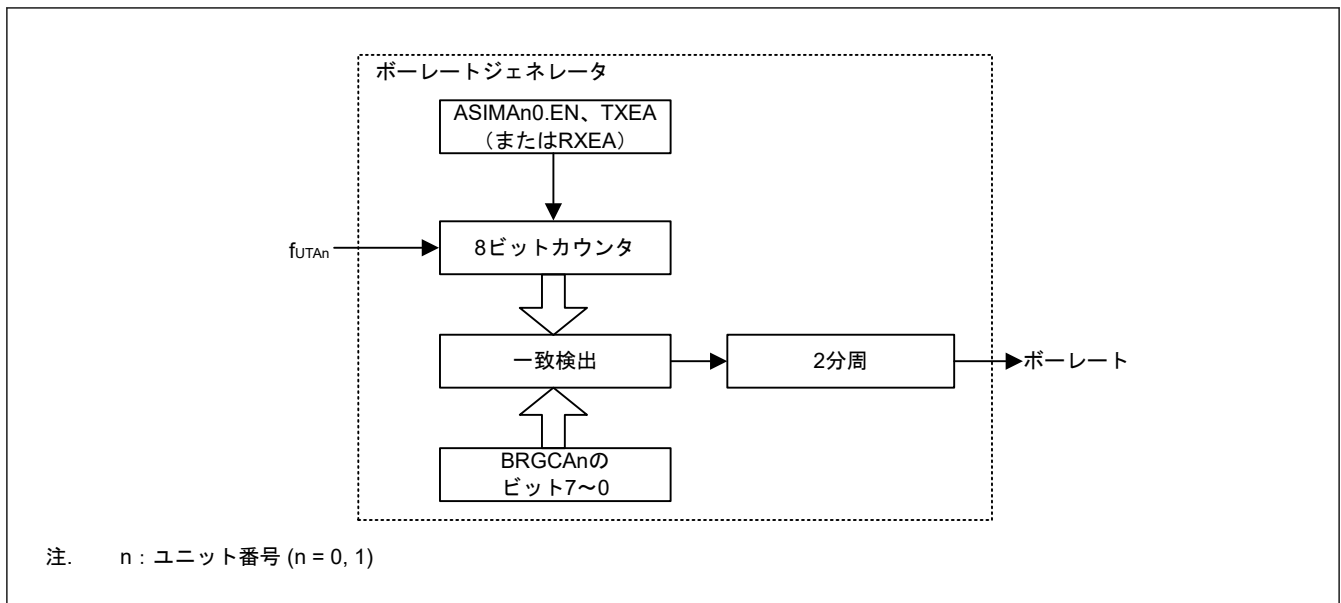


図 28.10 ボーレートジェネレータの構成

(2) シリアルクロックの生成

生成対象のシリアルクロックはボーレートジェネレータコントロールレジスタ (BRGCAn) を使って指定できます。

ボーレートジェネレータは、8 ビットカウンタへの入力クロック信号 (f_{UTAn}) の周波数を、BRGCAn レジスタで設定した除数で分周します。この分周結果をさらに 2 分周してシリアルクロックを生成します。

(3) ボーレートの計算

(a) ボーレートの計算式

ボーレートは以下の式で算出できます。

$$\text{ボーレート} = f_{UTAn} \div (2 \times k) \text{ [bps]}$$

f_{UTAn} : 動作クロックの周波数

k: BRGCAn レジスタのビット 7～0 で設定した値 (k = 2, 3, 4, ..., 255)

(b) ボーレート誤差

ボーレート誤差は以下の式で算出できます。

$$\text{誤差} = \left[\frac{\text{実際のボーレート(誤差ありのボーレート)}}{\text{所望のボーレート(正確なボーレート)}} - 1 \right] \times 100[\%]$$

注. 送信時のボーレート誤差は、受信側の許容誤差範囲内に抑えてください。

注. 受信時のボーレート誤差が、受信時の許容ボーレート誤差範囲を満たすようにしてください。受信時の許容ボーレート誤差は、(d) 受信時の許容ボーレート範囲で説明します。

注. n : ユニット番号 (n = 0, 1)

(c) ボーレート設定例

表 28.9～表 28.12 にボーレートジェネレータの設定データを示します。

表 28.9 ボーレートジェネレータの設定データ (1/4)

所望のボーレート	UARTAHCLK = 80 MHz (UTA0CK.SEL[1:0] = 10b) で動作時													
	分周なし		2 分周		4 分周		8 分周		16 分周		32 分周		64 分周	
	(UTAnCK.CK[3:0] = 0x0)		(UTAnCK.CK[3:0] = 0x1)		(UTAnCK.CK[3:0] = 0x2)		(UTAnCK.CK[3:0] = 0x3)		(UTAnCK.CK[3:0] = 0x4)		(UTAnCK.CK[3:0] = 0x5)		(UTAnCK.CK[3:0] = 0x6)	
	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差
200 bps	禁止		禁止		禁止		禁止		禁止		禁止		禁止	
300 bps	禁止		禁止		禁止		禁止		禁止		禁止		禁止	
600 bps	禁止		禁止		禁止		禁止		禁止		禁止		禁止	
1200 bps	禁止		禁止		禁止		禁止		禁止		禁止		禁止	
2400 bps	禁止		禁止		禁止		禁止		禁止		禁止		255	2.12%
4800 bps	禁止		禁止		禁止		禁止		禁止		255	2.12%	130	0.16%
9600 bps	禁止		禁止		禁止		禁止		255	2.12%	130	0.16%	65	0.16%
19200 bps	禁止		禁止		禁止		255	2.12%	130	0.16%	65	0.16%	33	-1.36%
38400 bps	禁止		禁止		255	2.12%	130	0.16%	65	0.16%	33	-1.36%	16	1.73%
76800 bps	禁止		255	2.12%	130	0.16%	65	0.16%	33	-1.36%	16	1.73%	8	1.73%
115200 bps	禁止		174	-0.22%	87	-0.22%	43	0.94%	22	-1.36%	11	-1.36%	禁止	
153600 bps	255	2.12%	130	0.16%	65	0.16%	33	-1.36%	16	1.73%	8	1.73%	4	1.73%

表 28.10 ボーレートジェネレータの設定データ (2/4) (1/2)

所望のボーレート	UARTAMOCK = 8 MHz (UTA0CK.SEL[1:0] = 11b) で動作時													
	分周なし		2 分周		4 分周		8 分周		16 分周		32 分周		64 分周	
	(UTAnCK.CK[3:0] = 0x0)		(UTAnCK.CK[3:0] = 0x1)		(UTAnCK.CK[3:0] = 0x2)		(UTAnCK.CK[3:0] = 0x3)		(UTAnCK.CK[3:0] = 0x4)		(UTAnCK.CK[3:0] = 0x5)		(UTAnCK.CK[3:0] = 0x6)	
	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差
200 bps	禁止		禁止		禁止		禁止		禁止		禁止		禁止	
300 bps	禁止		禁止		禁止		禁止		禁止		禁止		208	0.16%
600 bps	禁止		禁止		禁止		禁止		禁止		208	0.16%	104	0.16%
1200 bps	禁止		禁止		禁止		禁止		208	0.16%	104	0.16%	52	0.16%
2400 bps	禁止		禁止		禁止		208	0.16%	104	0.16%	52	0.16%	26	0.16%

表 28.10 ポーレートジェネレータの設定データ (2/4) (2/2)

所望のボーレート	UARTAMCLK = 8 MHz (UTA0CK.SEL[1:0] = 11b) で動作時													
	分周なし		2 分周		4 分周		8 分周		16 分周		32 分周		64 分周	
	(UTAnCK.CK[3:0] = 0x0)		(UTAnCK.CK[3:0] = 0x1)		(UTAnCK.CK[3:0] = 0x2)		(UTAnCK.CK[3:0] = 0x3)		(UTAnCK.CK[3:0] = 0x4)		(UTAnCK.CK[3:0] = 0x5)		(UTAnCK.CK[3:0] = 0x6)	
	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差
4800 bps	禁止		禁止		208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%
9600 bps	禁止		208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%	禁止	
19200 bps	208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%	禁止		禁止	
38400 bps	104	0.16%	52	0.16%	26	0.16%	13	0.16%	禁止		禁止		禁止	
76800 bps	52	0.16%	26	0.16%	13	0.16%	禁止		禁止		禁止		禁止	
115200 bps	35	-0.79%	17	2.12%	禁止		禁止		禁止		禁止		禁止	
153600 bps	26	0.16%	13	0.16%	禁止		禁止		禁止		禁止		禁止	

表 28.11 ポーレートジェネレータの設定データ (3/4)

希望のポーレート	UARTAMCLK = 20 MHz (UTA0CK.SEL[1:0] = 01b) で動作時													
	分周なし		2 分周		4 分周		8 分周		16 分周		32 分周		64 分周	
	(UTAnCK.CK[3:0] = 0x0)		(UTAnCK.CK[3:0] = 0x1)		(UTAnCK.CK[3:0] = 0x2)		(UTAnCK.CK[3:0] = 0x3)		(UTAnCK.CK[3:0] = 0x4)		(UTAnCK.CK[3:0] = 0x5)		(UTAnCK.CK[3:0] = 0x6)	
	k	希望のポーレートからの誤差	k	希望のポーレートからの誤差	k	希望のポーレートからの誤差	k	希望のポーレートからの誤差	k	希望のポーレートからの誤差	k	希望のポーレートからの誤差	k	希望のポーレートからの誤差
200 bps	禁止		禁止		禁止		禁止		禁止		禁止		禁止	
300 bps	禁止		禁止		禁止		禁止		禁止		禁止		禁止	
600 bps	禁止		禁止		禁止		禁止		禁止		禁止		255	2.12%
1200 bps	禁止		禁止		禁止		禁止		禁止		255	2.12%	130	0.16%
2400 bps	禁止		禁止		禁止		禁止		255	2.12%	130	0.16%	65	0.16%
4800 bps	禁止		禁止		禁止		255	2.12%	130	0.16%	65	0.16%	33	-1.36%
9600 bps	禁止		禁止		255	2.12%	130	0.16%	65	0.16%	33	-1.36%	16	1.73%
19200 bps	禁止		255	2.12%	130	0.16%	65	0.16%	33	-1.36%	16	1.73%	8	1.73%
38400 bps	255	2.12%	130	0.16%	65	0.16%	33	-1.36%	16	1.73%	8	1.73%	4	1.73%
76800 bps	130	0.16%	65	0.16%	33	-1.36%	16	1.73%	8	1.73%	4	1.73%	禁止	
115200 bps	87	-0.22%	43	0.94%	22	-1.36%	11	-1.36%	禁止		禁止		禁止	
153600 bps	65	0.16%	33	-1.36%	16	1.73%	8	1.73%	4	1.73%	禁止		禁止	

表 28.12 ポーレートジェネレータの設定データ (4/4) (1/2)

希望のポーレート	UARTALCLK = 32.768 kHz で動作時 (UTAnCK.CK[3:0] = 0x8)	
	k	希望のポーレートからの誤差
200 bps	82	-0.10%
300 bps	55	-0.70%
600 bps	27	-1.14%

表 28.12 ポーレートジェネレータの設定データ (4/4) (2/2)

所望のポーレート	UARTALCLK = 32.768 kHz で動作時 (UTAnCK.CK[3:0] = 0x8)	
	k	所望のポーレートからの誤差
1200 bps	14	-2.48%
2400 bps	7	-2.48%
4800 bps	禁止	
9600 bps	禁止	
19200 bps	禁止	
38400 bps	禁止	
76800 bps	禁止	
115200 bps	禁止	
153600 bps	禁止	

- 注:
- UARTAMCLK: UARTA 外部クロック
 - UARTASCLK: UARTA サブクロック
 - UARAHCLK: UARTA HOCO クロック
 - UARTAMOCK: UARTA MOCO クロック
 - UARTALCLK: UARTA LOCO クロック

- 注: k: ポーレートジェネレータコントロールレジスタ (BRGCAn) のビット 7~0 で設定した値 (k = 2, 3, 4, ..., 255)
n: ユニット番号 (n = 0, 1)

(d) 受信時の許容ポーレート範囲

図 28.11 に、受信時の送信側のポーレートの許容誤差を示します。

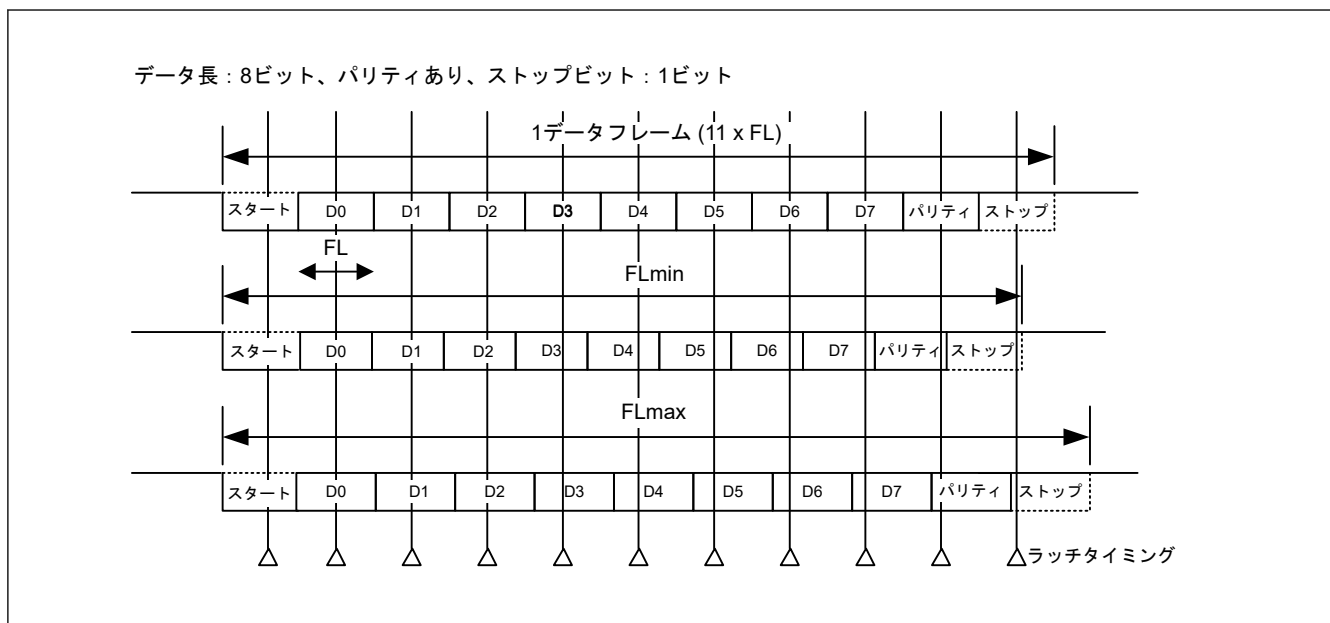


図 28.11 受信時の許容ポーレート範囲

- 注: 受信時のポーレート誤差が許容誤差範囲内になるように設定を行ってください。誤差が許容範囲内かどうかは以下の計算式で確認してください。

スタートビットの検出後、ポーレートジェネレータコントロールレジスタ (BRGCAn) で指定したカウンタにより、受信データのラッチタイミングが決定されます。ストップビットを含むフレーム全体をこのラッチより前に受信していれば、正常に受信できます。

11 ビットのデータを受信したと仮定した場合、理論値は以下のように算出できます。

- 1 ビットデータ長とポーレートとの関係

$$FL = (\text{Brate}) - 1$$
 Brate: UART のポーレート

k: BRGCAn レジスタの値を設定します。

FL: 1 ビットデータ長

ラッチタイミングのマージン : 2 クロック

- 許容最小データフレーム長 (FLmin)

$$FLmin = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

- 受信可能な送信先の許容最大ボーレート (BRmax)

$$BRmax = \frac{22k+1}{22k} Brate (k = 2 \text{ の場合})$$

$$BRmax = (FLmin/11)^{-1} = \frac{22k}{21k+2} Brate (k \geq 3 \text{ の場合})$$

- 許容最大データフレーム長 (FLmax)

$$FLmax = \frac{21k+2}{20k} FL \times 11$$

- 受信可能な送信先の許容最小ボーレート (BRmin)

$$BRmin = \frac{22k-1}{22k} Brate (k = 2 \text{ の場合})$$

$$BRmin = (FLmax/11)^{-1} = \frac{20k}{21k-2} Brate (k \geq 3 \text{ の場合})$$

表 28.13 に、上記の最大および最小ボーレート式から算出できる、UART と送信側との間の許容ボーレート誤差を示します。

表 28.13 許容最大／最小ボーレート誤差

分周比 (k)	許容最大ボーレート誤差	許容最小ボーレート誤差
2	+2.27%	-2.27%
4	+2.33%	-2.44%
8	+3.53%	-3.61%
20	+4.27%	-4.31%
50	+4.56%	-4.58%
100	+4.66%	-4.67%
255	+4.72%	-4.73%

注. 受信の許容誤差は、1 フレームのビット数、入力クロック周波数、および分周比 (k) に依存します。

入力クロック周波数と分周比 (k) が高いほど、許容誤差も大きくなります。

注. k: BRGCAn レジスタの値を設定します。

注. n : ユニット番号 (n = 0, 1)

28.4 使用上の注意事項

28.4.1 RxDAn 端子のポート設定

ASIMAn1.ALV = 0 (待機時 = High レベル、スタートビット = Low レベル) のとき、受信データ (RxDAn) の初期値は High である必要があります。ASIMAn1.ALV = 1 (待機時 = Low レベル、スタートビット = High レベル) のとき、受信データ (RxDAn) の初期値は Low である必要があります。したがって、ASIMAn0.EN = 1 を設定する前に RxDAn 端子のポート設定が必要です。

28.4.2 UARTAn 動作クロック (f_{UTAn}) を選択するときの注意点

f_{UTAn} に UARTAMOCK を選択すると、中速オンチップオシレータの発振周波数精度により通信が正しく実行されないことがあります。したがって、MOCO ユーザトリミングコントロールレジスタ (MOCOUTCR) を使って精度を調整してください。

f_{UTAn} に低速オンチップオシレータ周辺クロック (UARTALCLK) を選択すると、低速オンチップオシレータの発振周波数精度により通信が正しく実行されないことがあります。したがって、LOCO ユーザトリミングコントロールレジスタ (LOCOUTCR) を使って精度を調整してください。

29. CAN フレキシブルデータレート (CANFD)

29.1 概要

フレキシブルデータレート付き CAN (CANFD) は以下の機能をサポートします。

- CAN フレキシブルデータレート(注1)

注 1. この機能は、クラシカル CAN 機能では使用できません。

CANFD モジュールは、各種アプリケーションの要件を満たすフレキシブルなメッセージバッファおよび FIFO 構造を持っています。本モジュールは、モジュールの高試験性能を実現する各種テストモードも提供し、パワーオンテストに使用可能です。

本仕様書は、CANFD モジュールについて説明します。

29.1.1 CANFD モジュール

表 29.1 CANFD モジュールの仕様 (1/2)

項目		仕様
通信		CANFD ISO 11898-1 (2015) に準拠した CAN 機能
プロトコルエンジンのバージョン		RS-CANFD_PE V3.0
データ転送レート	CANFD(注1)	アービトレーションフェーズに最大 1 Mbps、データフェーズに最大 8 Mbps
	クラシカル CAN	最大 1 Mbps
周辺モジュールクロックの動作周波数		40 MHz (PCLKB) RAM クロック : 80 MHz (PCLKA)
データリンクレイヤ (DLL) クロック		8~40 MHz 以下のクロックを選択可能 ● CANMCLK : 外部発振器クロック ● CANFDCLK : CANFD コアクロック
入出力端子		CRXn/CTXn (n = 0)
CAN チャンネル		1 チャンネル
選択可能な ID タイプ		11 ビットの標準 ID
		11 ビットの標準 ID + 18 ビットの拡張 ID
選択可能なフレームタイプ		データフレーム (RTR = 0) (CAN フレームと CANFD フレーム)
		リモートフレーム (RTR = 1) (CAN フレームのみ)
データフレームの可変データバイト数		DLC 範囲 : 0~F
メッセージバッファ		最大 16 個の受信メッセージバッファ
		4 個の送信メッセージバッファ
		1 個の送信キュー 送信キューへの自動メッセージ転送をサポート
FIFO 番号		2 個の受信 FIFO バッファ
		1 個の COMMON FIFO を個々に下記のように設定可能 ● 受信 FIFO ● 送信 FIFO
送信用自動遅延インターバルタイマ		遅延タイマは下記に適用可能 ● 送信 FIFO

表 29.1 CANFD モジュールの仕様 (2/2)

項目	仕様
拡張受信フィルタ	11 ビットおよび 29 ビットの CAN ID をサポート
	各エントリに、プログラム可能 29 ビット CAN ID アクセプタンスフィルタマスク
	各 FIFO および受信メッセージバッファに、プログラム可能ルーティング機能（最大 2 つのルーティング先）
	RTR および IDE マスキング
	データ長コード (DLC) フィルタ
	メッセージバッファペイロードのオーバーロード保護
	ペイロードフィルタ
	通信中のアクセプタンスフィルタリスト (AFL) エントリ更新
一般ソフトウェアサポート	受信メッセージに自動ラベル情報付加（上位ソフトウェアレイヤサポート用）
タイマ	TX および RX タイムスタンプ機能
パワーダウン機能	CAN ノードにモジュールスタートストップ機能（チャンネルモードおよびグローバルスリープモード）
RAM	RAM ECC 保護（2 ビットエラー検出および 1 ビットエラー訂正）
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減
TrustZone フィルタ	セキュリティ属性を設定可能

注 1. 通信可能なビットレートは、ボードの設計や外部環境によって変わりますので、実際の対象ハードウェアに対して十分な評価の上、決定してください。

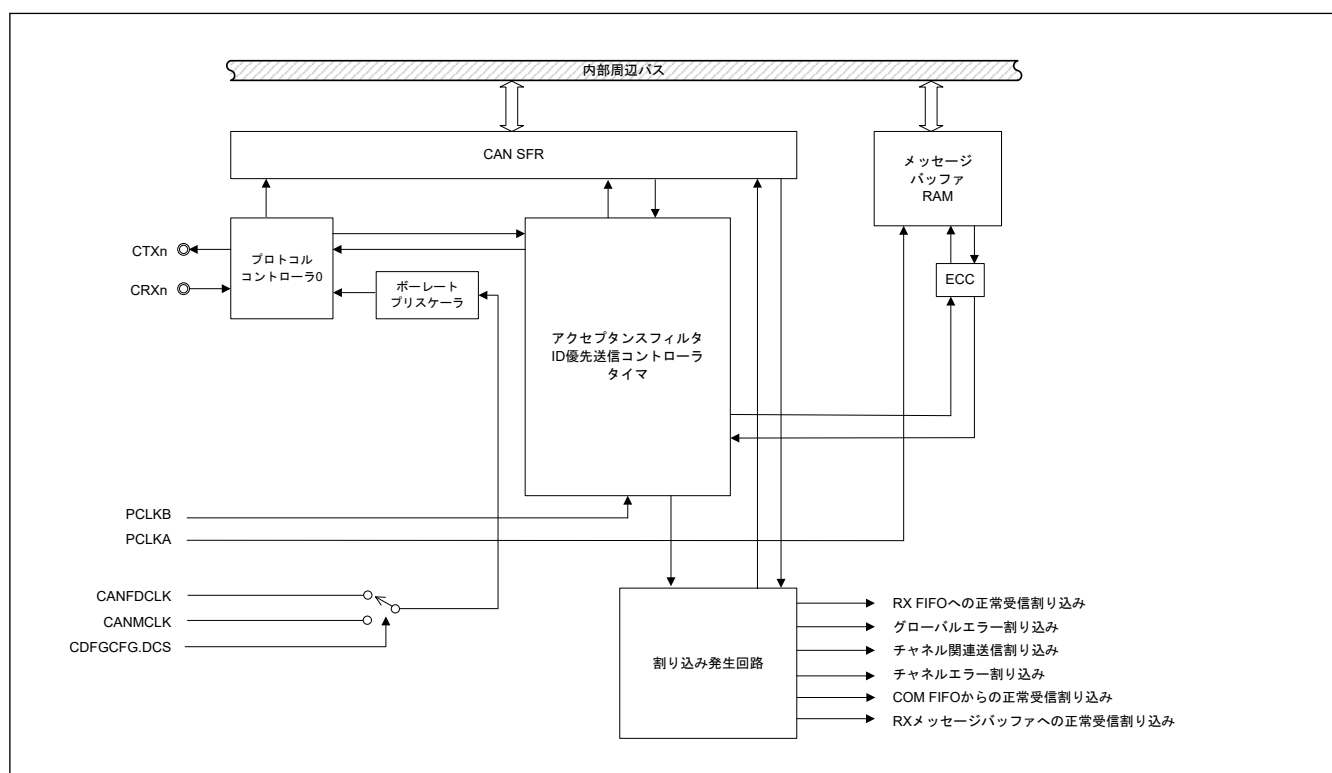


図 29.1 CANFD モジュールの概要

- CRXn/CTXn :
CANFD モジュールの入出力端子
- プロトコルコントローラ :
バスアービトラージや送受信時のビットタイミング、スタッフ処理、エラー処理などの CAN プロトコル処理を行います。

- メッセージバッファ RAM (MBRAM) :
本 RAM は、受信後のメッセージを格納するため、および通常のメッセージバッファまたは FIFO を使って送信するために使用されます。各メッセージエントリは、上位レイヤアプリケーション用およびタイムスタンプ用に個別の ID、データ長コード、データフィールド、メッセージポインタを持っています。
本 RAM は、メッセージアクセプタンスフィルタエントリを格納するのに使用されます。各アクセプタンスフィルタエントリは、上位レイヤアプリケーション用およびメッセージ方向ポインタ用に個別の ID、データ長コード、データフィールド、メッセージポインタを持っています。
- アクセプタンスフィルタリスト RAM (AFLRAM) :
受信メッセージのフィルタ処理を行います。アクセプタンスフィルタリスト RAM のエントリは、フィルタ処理に使用されます。
- 2 つのタイマ :
 - 受信タイムスタンプ機能
 - FIFO バッファ用送信セパレーション時間
- 割り込み発生回路 :
各種グローバル割り込みおよびチャネル割り込みを発生します。
- CAN 特殊機能レジスタ (SFR) :
CAN 関連レジスタ : 「[29.2. レジスタの説明](#)」を参照してください。

29.1.2 クロックの制限事項

CAN 通信において、以下のクロックの制限事項を満たす必要があります。

- $PCLKA / 2 = PCLKB \geq CANFDCLK$
- $PCLKA / 2 = PCLKB \geq CANMCLK$

イベントの消失を避けるため、CAN エンジンのクロック (CANFDCLK または CANMCLK) の周波数は PCLKB クロック周波数より必ず低くしなければなりません。

CAN メッセージの損失を避けるため、PCLKB は CAN 通信ボーレートに従った周波数のクロックに設定する必要があります。このボーレートと PCLKB クロックの間の制限を、[表 29.2](#) に示します。

表 29.2 クロックの制限事項

	ボーレート	PCLKB
CANFD	1 Mbps ノミナル 8 Mbps データ ^(注1)	PCLKB = 40 MHz
	500 Kbps ノミナル 5 Mbps データ	PCLKB $\geq$ 32 MHz
クラシカル CAN	1 Mbps データ	PCLKB $\geq$ 32 MHz

注 1. 通信可能なビットレートは、ボードの設計や外部環境によって変わりますので、実際の対象ハードウェアに対して十分な評価の上、決定してください。

CANFDCLK と CANMCLK の周波数は、必要なボーレートに依存します。ボーレートの設定方法については、「[29.4.1.3. ボーレート](#)」を参照してください。

29.2 レジスタの説明

29.2.1 レジスタ表

RAM 領域 (CFDGAFLIDr, CFDGAFLMr, CFDGAFLP0r, CFDGAFLP1r, CFDRMBBCPb, CFDRFMBBCPb, CFDCFMBCP0, CFDTMBBCPb, CFDTHLACC0, CFDTHLACC1, CFDRPGACCK) について示されるリセット値は、ハードウェアリセットの初期化後有効です。初期化処理の詳細は、「[29.4.2. ハードウェアリセット後の CAN モジュールの構成](#)」を参照してください。

8 ビットまたは 16 ビットサイズで RAM 領域に書き込みを行うと、RAM は ECC モジュールを介した 32 ビットアクセスが必要なため、CANFD モジュールはその RAM 位置にリードモディファイライトを実行します。

1 ビットエラーの場合は、正しいデータがライトバックされます。複数ビットエラーの場合は、不定データがライトバックされます。

レジスタが割り当てられていないアドレス空間のアクセスは禁止です。

レジスタが割り当てられていないアドレス空間からの読み出しデータは不定です。

29.2.2 CFDC0NCFG : 公称ボーレートコンフィグレーションレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x0000

Bit position:	31	25	24	17	16	10	9	0																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
Bit field:	NTSEG2[6:0]						NTSEG1[7:0]				NSJW[6:0]				NBRP[9:0]																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0</

ビット	シンボル	機能	R/W
9:0	NBRP[9:0]	チャンネル公称ボーレートプリスケアラ 公称ボーレートプリスケアラ分周比	R/W
16:10	NSJW[6:0]	再同期ジャンプ幅 0x00: 1 Tq 0x01: 2 Tq ⋮ 0x7E: 127 Tq 0x7F: 128 Tq	R/W
24:17	NTSEG1[7:0]	タイミングセグメント 1 0x00: 予約 0x01: 2 Tq 0x02: 3 Tq 0x03: 4 Tq ⋮ 0xFE: 255 Tq 0xFF: 256 Tq	R/W
31:25	NTSEG2[6:0]	タイミングセグメント 2 0x00: 予約 0x01: 2 Tq ⋮ 0x7E: 127 Tq 0x7F: 128 Tq	R/W

注: Tq はタイムクオンタム (time quantum) を表します。

本レジスタは、チャンネルの送受信公称ボーレートパラメータを設定します。

NBRP[9:0]ビット (チャンネル公称ボーレートプリスケアラ)

NBRP[9:0]ビットは、Tq (Time Quantum) に含まれる周辺バスクロック期間を定義するのに使用されます。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD チャンネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

NSJW[6:0]ビット (再同期ジャンプ幅)

NSJW[6:0]ビットは同期ジャンプ幅を指定します。1~128Tq の値が設定可能です。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD チャンネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

NTSEG1[7:0]ビット (タイミングセグメント 1)

NTSEG1[7:0]ビットは、正相エラーが起きた CAN バス上でエッジを補償するためにセグメント TSEG1 を設定します。これらのビットには、伝播時間セグメントが含まれます。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD チャンネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

また、Tq 値は 2～256 (2 と 256 を含む) の範囲で設定してください。詳細は、「[29.4.1.2. CAN のビットタイミン](#)グ」を参照してください。

NTSEG2[6:0]ビット (タイミングセグメント 2)

NTSEG2[6:0]ビットは、逆相エラーが起きた CAN バス上でエッジを補償するためにセグメント TSEG2 を設定します。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD チャンネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

また、Tq 値は 2～128 (2 と 128 を含む) の範囲で設定してください。

29.2.3 CFDC0CTR : コントロールレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x0004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ROM	BFT	—	—	—	CTMS[1:0]	CTME	ERRD	BOM[1:0]	—	TDCV FIE	SOCO IE	EOCO IE	TAIE		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE	—	—	—	—	RTBO	CSLPR	CHMDC[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	機能	R/W
1:0	CHMDC[1:0]	チャンネルモード制御 0 0: チャンネルオペレーションモード要求 0 1: チャンネルリセット要求 1 0: チャンネル halt 要求 1 1: 現在値を維持	R/W
2	CSLPR	チャンネルスリープ要求 0: チャンネルスリープ要求禁止 1: チャンネルスリープ要求許可	R/W
3	RTBO	バスオフからの復帰 0: チャンネルはバスオフからの復帰を強制されていない 1: チャンネルはバスオフからの復帰を強制されている	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	BEIE	バスエラー割り込み許可 0: バスエラー割り込み禁止 1: バスエラー割り込み許可	R/W
9	EWIE	エラーワーニング割り込み許可 0: エラーワーニング割り込み禁止 1: エラーワーニング割り込み許可	R/W
10	EPIE	エラーパッシブ割り込み許可 0: エラーパッシブ割り込み禁止 1: エラーパッシブ割り込み許可	R/W
11	BOEIE	バスオフ開始割り込み許可 0: バスオフ開始割り込み禁止 1: バスオフ開始割り込み許可	R/W
12	BORIE	バスオフ復帰割り込み許可 0: バスオフ復帰割り込み禁止 1: バスオフ復帰割り込み許可	R/W

ビット	シンボル	機能	R/W
13	OLIE	オーバーロード割り込み許可 0: オーバーロード割り込み禁止 1: オーバーロード割り込み許可	R/W
14	BLIE	バスロック割り込み許可 0: バスロック割り込み禁止 1: バスロック割り込み許可	R/W
15	ALIE	アービトレーションロスト割り込み許可 0: アービトレーションロスト割り込み禁止 1: アービトレーションロスト割り込み許可	R/W
16	TAIE	送信アボート割り込み許可 0: TX アボート割り込み禁止 1: TX アボート割り込み許可	R/W
17	EOCOIE	エラー発生カウンタオーバーフロー割り込み許可 0: エラー発生カウンタオーバーフロー割り込み禁止 1: エラー発生カウンタオーバーフロー割り込み許可	R/W
18	SOCOIE	成功発生カウンタオーバーフロー割り込み許可 0: 成功発生カウンタオーバーフロー割り込み禁止 1: 成功発生カウンタオーバーフロー割り込み許可	R/W
19	TDCVFIE ^(注1)	トランシーバ遅延補償違反割り込み許可 0: トランシーバ遅延補償違反割り込み禁止 1: トランシーバ遅延補償違反割り込み許可	R/W
20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22:21	BOM[1:0]	チャンネルバスオフモード 0 0: 通常モード (ISO 11898-1 に準拠) 0 1: バスオフ開始で自動的に halt モードへ遷移 1 0: バスオフ終了で自動的に halt モードへ遷移 1 1: ソフトウェア要求により (バスオフ復帰期間中に) halt モードへ遷移	R/W
23	ERRD	チャンネルエラー表示 0: エラーコードの最初のセットのみ表示 1: 蓄積したエラーコードを表示	R/W
24	CTME	チャンネルテストモード許可 0: チャンネルテストモード禁止 1: チャンネルテストモード許可	R/W
26:25	CTMS[1:0]	チャンネルテストモード選択 0 0: 基本テストモード 0 1: リッスンオンリーモード 1 0: セルフテストモード 0 (外部ループバックモード) 1 1: セルフテストモード 1 (内部ループバックモード)	R/W
29:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
30	BFT	ビットフリップテスト 0: 受信ストリームの最初のデータビットを反転しない 1: 受信ストリームの最初のデータビットを反転する	R/W
31	ROM ^(注1)	制限付きオペレーションモード 0: 制限オペレーションモード禁止 1: 制限オペレーションモード許可	R/W

注 1. これらのビットは、クラシカル CAN 機能では使用できません。

各チャンネルコントロールレジスタは、関連するチャンネルのモードを制御します。本チャンネルに接続された CAN バスでエラーが発生した場合、割り込みの発生を許可するのに使用されます。チャンネルをテストモードに設定するのにも使用されます。

CHMDC[1:0]ビット (チャンネルモード制御)

CHMDC[1:0]ビットを使用して、CAN チャンネルのモードを設定することができます。

CAN モードの遷移については「[29.3.3. チャンネルモード](#)」に詳述しています。

CHMDC[1:0]ビットの 11b への設定は無効です。CANFD モジュールが GL_HALT モードの場合、これらのビットは 10b か 01b にしか設定できません。これらのビットは CH_SLEEP モードでは設定できません。

これらのビットは、CFDC0CTR.BOM を設定することにより停止モードに遷移すると自動的に変更されます。

(CFDC0CTR.BOM = 01b でバスオフの開始時または CFDC0CTR.BOM = 10b でバスオフの終了時) CAN チャネルが停止モードに入ったと同時に CPU が CFDC0CTR.CHMDC に書き込みを行うと、CPU の書き込みが最優先されます。

CFDC0CTR.CHMDC の値が 00b (オペレーションモード) の場合のみ、CAN チャネルは、指定されたケースでチャネルコントロールレジスタの CFDC0CTR.CHMDC の値を変更します。

CSLPR ビット (チャネルスリープ要求)

CSLPR ビットが 1 のとき、対応する CAN チャネルに対してスリープモード要求が発生します。

本ビットが 0 のとき、関連する CANFD チャネルに対してスリープモードからの復帰要求が発生します。

関連する CANFD チャネルが CH_RESET モードまたは CH_SLEEP モードの場合のみ本ビットへの書き込みを行ってください。

RTBO ビット (バスオフからの復帰)

CAN チャネルのプロトコルコントローラがバスオフ状態になると、チャネルコントロールレジスタの RTBO ビットを 1 にすることによりバスオフ状態からの復帰を強制できます。

最大 1 CAN ビット時間を統合するために、バスオフ状態からエラー状態に変わります。

RTBO ビットが 1 のとき、REC レジスタおよび TEC レジスタは初期化され、バスオフステータスビット (チャネルバスオフ状態、CFDC0STS.BOSTS) が 0 になります。

REC レジスタおよび TEC レジスタ以外のレジスタは、本コマンドにより初期化されません。CFDC0CTR.BORIE が 1 の場合でも、このバスオフ状態からの復帰によって、バスオフ復帰割り込み要求は発生しません。

RTBO ビットは CH_SLEEP モードでは設定できません。バスオフ状態以外の状態で本ビットを 1 にしても無効で、ビットはただちにクリアされます。読むと常に 0 が読めます。

バスオフ復帰コマンドは、CFDC0CTR.BOM が 00b に設定されている場合のみ使用してください。

関連する CANFD チャネルが CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。本ビットは、ソフトウェアにより自動的にクリアされます。

BEIE ビット (バスエラー割り込み許可)

BEIE ビットと CFDC0ERFL.BEF ビットが両方とも 1 の場合、エラー割り込み要求が発生します。

このビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

EWIE ビット (エラーワーニング割り込み許可)

EWIE ビットと CFDC0ERFL.EWF ビットが両方とも 1 の場合、エラー割り込み要求が発生します。

EWIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

EPIE ビット (エラーパッシブ割り込み許可)

EPIE ビットと CFDC0ERFL.EPF ビットが両方とも 1 の場合、エラー割り込み要求が発生します。

EPIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

BOEIE ビット (バスオフ開始割り込み許可)

BOEIE ビットと CFDC0ERFL.BOEF ビットが両方とも 1 の場合、エラー割り込み要求が発生します。

BOEIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

BORIE ビット (バスオフ復帰割り込み許可)

BORIE ビットと CFDC0ERFL.BORF ビットが両方とも 1 の場合、エラー割り込み要求が発生します。

BORIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

OLIE ビット (オーバーロード割り込み許可)

OLIE ビットと CFDC0ERFL.OVLF ビットが両方とも 1 の場合、エラー割り込み要求が発生します。

CH_SLEEP モードのとき、本ビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

BLIE ビット (バスロック割り込み許可)

BLIE ビットと CFDC0ERFL.BLF ビットが両方とも 1 の場合、エラー割り込み要求が発生します。

CH_SLEEP モードのとき、本ビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

ALIE ビット (アービトレーションロスト割り込み許可)

ALIE ビットと CFDC0ERFL.ALF ビットが両方とも 1 の場合、エラー割り込み要求が発生します。

CH_SLEEP モードのとき、本ビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

TAIE ビット (送信アボート割り込み許可)

TAIE ビットが 1 で、対応する CAN チャネルに属する TX MB からの送信アボートに成功した場合、割り込み要求が発生します。

CH_SLEEP モードのとき、本ビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

EOCOIE ビット (エラー発生カウンタオーバーフロー割り込み許可)

EOCOIE ビットが 1 で、対応する CAN チャネルに属する CFDC0FDSTS.EOCO ビットが 1 の場合、エラー割り込み要求が発生します。

EOCOIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

SOCOIE ビット (成功発生カウンタオーバーフロー割り込み許可)

SOCOIE ビットが 1 で、対応する CAN チャネルに属する CFDC0FDSTS.SOCO ビットが 1 の場合、エラー割り込み要求が発生します。

SOCOIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

TDCVFIE ビット (トランシーバ遅延補償違反割り込み許可)

TDCVFIE ビットが 1 で、対応する CAN チャネルに属する CFDC0FDSTS.TDCVF ビットが 1 の場合、エラー割り込み要求が発生します。

TDCVFIE ビットは CH_SLEEP モードでは設定できません。

関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。クラシカル CAN モードのとき本ビットを設定しないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

BOM[1:0] ビット (チャネルバスオフモード)

BOM[1:0] ビットは、CANFD チャネルのバスオフモードからの復帰のタイミングを制御します。

CH_SLEEP モードのとき、これらのビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

関連する CANFD チャネルが CH_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

ERRD ビット (チャネルエラー表示)

ERRD ビットは、チャネルエラーフラグレジスタ (CFDC0ERFL) のエラーフラグビット[14:8]の表示モードを制御します。

ERRD ビットが 0 で、同時に 2 つ以上のエラーが起きると、エラーフラグビットが、同時に発生したエラーすべてに対して設定されます。CFDC0ERFL[14:8]がクリアされるまでこれ以上エラーフラグは立ちません。

CH_SLEEP モードのとき、ERRD ビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

CTME ビット (チャネルテストモード許可)

CTME ビットは、チャネルテストモードを有効にします。

CH_SLEEP モードのとき、本ビットに書き込まないでください。関連する CANFD チャネルが CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

CTMS[1:0]ビット (チャネルテストモード選択)

CTMS[1:0]ビットは、必要なテストモードを選択するのに使用されます。

CH_SLEEP モードまたは CH_RESET モードのとき、これらのビットに書き込まないでください。関連する CANFD チャネルが CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

これらのビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

BFT ビット (ビットフリップテスト)

BFT ビットは、プロトコルコントローラの内部 CRC 生成器ロジックをチェックします。

受信中の CAN メッセージデータストリームの第 1 ビット (ID ビット) を反転するので、内部で生成した CRC 結果がフレームの受信した CRC 値と一致しくなくなります。本機能を使用する場合、(反転のため) CRC エラーではなくスタッフエラーを受信する可能性があるため、ビットスタッフィングルールを参照してください。

内部で生成した CRC 値は、常に下記のレジスタで確認できます。

- CFDC0ERFL.CRCREG (クラシカル CAN フレーム)
- CFDC0FDCRC.CRCREG (CANFD フレーム) (注1)

注 1. この機能は、クラシカル CAN 機能では使用できません。

本ビット使用上ではいくつかの制限があります。

他の CAN ノードが基準メッセージを送信し、受信ノードは着信ビットストリームの 1 つのビットを反転可能です。

注. 送信部と受信部のモードでは同じ CRC 生成器が共有されるため、テストするときにモードを別々に検討する必要はありません。

BFT ビット (ビットストリームの第 1 ビットを反転する新規の制御信号) および CTME ビットが 1 であり、かつ CFDC0CTR.CTMS ビットが 00b のとき、ビットフリップテストモードが有効になります。

この機能を送信ノードで使用すると、ビットエラーまたはアービトラジョンロストが発生します。

CH_SLEEP モードのとき、BFT ビットに書き込まないでください。セルフテストモード 1 (内部ループバックモード) のときは、この機能を使わないでください。関連する CANFD チャネルが CH_HALT モードの場合のみ、本ビットへの書き込みを行ってください。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

ROM ビット (制限付きオペレーションモード)

ROM ビットと CTME ビットが両方とも 1 の場合、制限付きのオペレーションモードが有効になります。本モードは、基本テストモード (CFDC0CTR.CTMS[1:0] = 00b) でのみ使用してください。

ROM ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。クラシカル CAN モードのとき本ビットを設定しないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

29.2.4 CFDC0STS : ステータスレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x0008

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	TEC[7:0]								REC[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ESIF	COMSTS	RECS TS	TRMS TS	BOST S	EPST S	CSLP STS	CHLT STS	CRST STS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	機能	R/W
0	CRSTSTS	チャンネルリセットステータス 0: チャンネルはリセットモード中ではない 1: チャンネルはリセットモード中	R
1	CHLTSTS	チャンネル halt ステータス 0: チャンネルは halt モード中ではない 1: チャンネルは halt モード中	R
2	CSLPSTS	チャンネルスリープステータス 0: チャンネルはスリープモード中ではない 1: チャンネルはスリープモード中	R
3	EPSTS	チャンネルエラーパッシブステータス 0: チャンネルはエラーパッシブ状態ではない 1: チャンネルはエラーパッシブ状態	R
4	BOSTS	チャンネルバスオフステータス 0: チャンネルはバスオフ状態ではない 1: チャンネルはバスオフ状態	R
5	TRMSTS	チャンネル送信ステータス 0: チャンネルは送信中ではない 1: チャンネルは送信中	R
6	RECS TS	チャンネル受信ステータス 0: チャンネルは受信中ではない 1: チャンネルは受信中	R
7	COMSTS	チャンネル通信ステータス 0: チャンネルは通信可状態ではない 1: チャンネルは通信可状態	R
8	ESIF ^(注1)	エラー状態表示フラグ 0: ESI フラグが設定されているときに CANFD メッセージは 1 つも受信されていない 1: ESI フラグが設定されているときに少なくとも 1 つの CANFD メッセージが受信された	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	REC[7:0]	受信エラー数 これらのビットは、受信中の CAN チャンネルのエラー状態によってカウンタ値を増減させます。	R
31:24	TEC[7:0]	送信エラー数 これらのビットは、送信中の CAN チャンネルのエラー状態によってカウンタ値を増減させます。	R

注 1. このビットは、クラシカル CAN 機能では使用できません。

各チャンネルステータスレジスタは、関連するチャンネルのモード、エラー状態、および送受信状態を、受信および送信エラー数の値とともに示します。

CRSTSTS ビット (チャネルリセットステータス)

CRSTSTS ビットは、関連する CAN チャネルがリセットモードかどうかを示します。

本ビットは、関連する CAN チャネルがチャネルリセットモードになると自動的に 1 になります。モードがリセットモードからスリープモードに遷移しても、CRSTSTS ビットは 1 のままです。

本ビットは、スリープモードへの遷移の場合を除いて、関連する CAN チャネルがチャネルリセットモードを抜けると自動的にクリアされます。

CHLTSTS ビット (チャネル halt ステータス)

CRSTSTS ビットは、関連する CAN チャネルが halt モードかどうかを示します。

本ビットは、関連する CAN モジュールが halt モードになると自動的に 1 になり、halt モードを抜けると自動的にクリアされます。

CSLPSTS ビット (チャネルスリープステータス)

CSLPSTS ビットは、関連する CAN チャネルがスリープモードかどうかを示します。

本ビットは、関連する CANFD チャネルがスリープモードになると自動的に 1 になり、スリープモードを抜けると自動的にクリアされます。

EPSTS ビット (チャネルエラーパッシブステータス)

EPSTS ビットは、関連する CANFD チャネルがエラーパッシブ状態になったかどうかを示します。

本ビットは、CAN 送受信カウンタレジスタの値が 0x7F を超えた場合自動的に 1 になります。

本ビットは、関連する CANFD チャネルがエラーパッシブ状態を抜けるかリセットモードになると自動的にクリアされます。

BOSTS ビット (チャネルバスオフステータス)

BOSTS ビットは、関連する CANFD チャネルがエラーバスオフ状態になったかどうかを示します。

本ビットは、関連する CAN 送信エラー数レジスタの値が 0xFF を超え、関連する CANFD チャネルがバスオフ状態になる (CAN 送信エラー数レジスタ > 0xFF) と自動的に 1 になります。

本ビットは、関連する CANFD チャネルがバスオフ状態を抜けると自動的にクリアされます。

TRMSTS ビット (チャネル送信ステータス)

TRMSTS ビットは、関連する CANFD チャネルがメッセージを送信中かどうかを示します。

本ビットは、関連する CANFD チャネルが送信ノードとして動作するかバスオフ状態になると自動的に 1 になります。

本ビットは、関連する CANFD チャネルがバスアイドル状態になるか受信ノードとして動作開始すると自動的にクリアされます。

RECSTS ビット (チャネル受信ステータス)

RECSTS ビットは、関連する CANFD チャネルがメッセージを受信中かどうかを示します。

本ビットは、関連する CANFD チャネルが受信ノードとして動作中の場合、自動的に 1 になります。

本ビットは、関連する CANFD チャネルがバスアイドル状態になるか送信ノードとして動作開始すると自動的にクリアされます。

COMSTS ビット (チャネル通信ステータス)

COMSTS ビットは、関連する CANFD チャネルが通信可能状態かどうかを示します。

本ビットは、リセットモードか halt モードを抜けて、11 個の連続レセシブビットの検出後、関連する CANFD チャネルが通信可能状態であると、自動的に 1 になります。

本ビットは、関連する CANFD チャネルが CH_RESET モードまたは CD_HALT になると自動的にクリアされます。

注. 本ビットはバスオフ状態中 1 です。

ESIF ビット (エラー状態表示フラグ)

ESIF ビットは、ESI ビットがエラーのない受信 CAN メッセージに対してレセシブとしてサンプリングされると 1 になります。ループバックモードまたはミラーモード時、自分で送信したメッセージが受信メッセージと見なされます。

CANFD チャネルからの設定と書き込みによるクリアが同時に起きた場合は、ビットは 1 になります。

また、0 を書くことによってクリアされます。本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

注. このビットは、クラシカル CAN 機能では使用できません。

REC[7:0]ビット (受信エラー数)

REC[7:0]ビットは、受信中の CANFD チャネルのエラー状態によってカウンタ値を増減させ、REC エラーカウンタの値を表示します。

バスオフ状態時の値は不定になります。

これらのビットは、CANFD モジュールが GL_RESET モードになるか、CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

TEC[7:0]ビット (送信エラー数)

TEC[7:0]ビットは、送信中の CANFD チャネルのエラー状態によってカウンタ値を増減させ、TEC エラーカウンタの値を表示します。

テストモード時でかつ CANFD チャネルが CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

これらのビットは、CANFD モジュールが GL_RESET モードになるか、CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

29.2.5 CFDC0ERFL : エラーフラグレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x000C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	CRCREG[14:0]														
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	ADER R	B0ER R	B1ER R	CERR	AERR	FERR	SERR	ALF	BLF	OVLF	BORF	BOEF	EPF	EWf	BEF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BEF	バスエラーフラグ 0: チャネルバスエラー未検出 1: チャネルバスエラー検出	R/W
1	EWf	エラーワーニングフラグ 0: チャネルエラーワーニング未検出 1: チャネルエラーワーニング検出	R/W

ビット	シンボル	機能	R/W
2	EPF	エラーパッシブフラグ 0: チャンネルエラーパッシブ未検出 1: チャンネルエラーパッシブ検出	R/W
3	BOEF	バスオフ開始フラグ 0: チャンネルバスオフ開始未検出 1: チャンネルバスオフ開始検出	R/W
4	BORF	バスオフ復帰フラグ 0: チャンネルバスオフ復帰未検出 1: チャンネルバスオフ復帰検出	R/W
5	OVLf	オーバーロードフラグ 0: チャンネルオーバーロード未検出 1: チャンネルオーバーロード検出	R/W
6	BLF	バスロックフラグ 0: チャンネルバスロック未検出 1: チャンネルバスロック検出	R/W
7	ALF	アービトレーションロストフラグ 0: チャンネルアービトレーションロスト未検出 1: チャンネルアービトレーションロスト検出	R/W
8	SERR	スタッフエラー 0: チャンネルスタッフエラー未検出 1: チャンネルスタッフエラー検出	R/W
9	FERR	フォームエラー 0: チャンネルフォームエラー未検出 1: チャンネルフォームエラー検出	R/W
10	AERR	ACK エラー 0: チャンネル ACK エラー未検出 1: チャンネル ACK エラー検出	R/W
11	CERR	CRC エラー 0: チャンネル CRC エラー未検出 1: チャンネル CRC エラー検出	R/W
12	B1ERR	ビット 1 エラー 0: チャンネルビット 1 エラー未検出 1: チャンネルビット 1 エラー検出	R/W
13	B0ERR	ビット 0 エラー 0: チャンネルビット 0 エラー未検出 1: チャンネルビット 0 エラー検出	R/W
14	ADERR	ACK デリミタエラー 0: チャンネル ACK デリミタエラー未検出 1: チャンネル ACK デリミタエラー検出	R/W
15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
30:16	CRCREG[14:0]	CRC レジスタ値 これらのビットは、CAN2.0 CAN フレームに対して計算された CRC 値を示します。	R
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

各チャンネルエラーフラグレジスタは、関連する CAN チャンネルエラー割り込み許可レジスタの設定にかかわらず検出可能な各種エラー条件の状態を示します。それらのレジスタは、CAN チャンネルにより検出可能な各種バスエラーの状態も示します。各エラー条件がいつ発生するかを確認するには CAN 仕様 (ISO 11898-1) を参照してください。

本レジスタについては、ソフトウェアによりクリア可能なのは 1 ビットのみです。ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

アセンブリ言語で CFDC0ERFL.BEF ビットをクリアする例

```
mov.b #0x0FE, CFDC0ERFL ;
```

BEF ビット (バスエラーフラグ)

BEF ビットは、本レジスタのビット[14:8]により示される CAN チャネルバスエラー状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットは、バスエラー検出時自動的に設定され、また関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

CAN チャネルからの設定と書き込みによるクリアが同時に起きた場合は、ビットは 1 に設定されます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

EWF ビット (エラーワーニングフラグ)

EWF ビットは、CAN チャネルに対してエラーワーニング条件が検出されたかどうかを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットは、TEC または REC が 0x5F を超えると自動的に 1 になります。

本ビットが 1 になるのは、TEC または REC が初めて 0x5F を超えた場合のみです。したがって、TEC または REC が > 0x5F のままで EWF ビットがソフトウェアによりクリアされた場合、TEC と REC の両方が 0x60 以下になるか、または TEC または REC が再び 0x5F から > 0x5F になるまで、本ビットは再び 1 になりません。

1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

EPF ビット (エラーパッシブフラグ)

EPF ビットは、CAN チャネルのエラーパッシブ状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットは、CAN エラー状態がパッシブ状態になると自動的に 1 になります。

本ビットが 1 になるのは、TEC または REC が初めて 0x7F を超えた場合のみです。したがって、TEC または REC が > 0x7F のままで本ビットがソフトウェアによりクリアされた場合、TEC と REC の両方が 0x80 以下になるか、または TEC または REC が再び ≤ 0x7F から > 0x7F になるまで、本ビットは再び 1 になりません。

1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

BOEF ビット (バスオフ開始フラグ)

BOEF ビットは、CAN チャネルのバスオフ開始状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットは、CAN エラー状態がバスオフ状態になると自動的に 1 になります。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

BORF ビット (バスオフ復帰フラグ)

BORF ビットは、CAN チャネルのバスオフ復帰状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

CAN チャンネルが、下記の条件下で、バスオフ状態から復帰した場合、本ビットは自動的に 1 になります。

- CFDC0CTR.BOM が 00b で、通常復帰（11 個の連続レセシブビット x128 回検出）が発生したとき
- CFDC0CTR.BOM が 10b で、通常復帰（11 個の連続レセシブビット x128 回検出）が発生したとき
- CFDC0CTR.BOM が 11b で、通常復帰（11 個の連続レセシブビット x128 回検出）が発生したとき

CAN チャンネルが、下記の条件下で、バスオフ状態から復帰した場合、本ビットは 1 になりません。

- CAN リセットモードが要求されたとき
- CFDC0CTR.RTBO が 1 に設定されたとき（CAN チャンネルはエラーアクティブに戻る）
- CFDC0CTR.BOM が 01b のとき
- CFDC0CTR.BOM が 11b で、CAN チャンネルがバスオフ状態終了に達する前に停止要求がアサートされたとき

本ビットは、関連する CANFD チャンネルが CH_RESET モードになると自動的にクリアされます。1 になる条件と 0 になる条件が同時に発生した場合、フラグは 1 になります。

関連する CANFD チャンネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

OVLF ビット（オーバーロードフラグ）

OVLF ビットは、CAN チャンネルのオーバーロード状態が検出されたことを示します。

OVLF ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットは、オーバーロード状態が検出されると自動的に 1 になります。1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。

本ビットは、関連する CANFD チャンネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャンネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ、本ビットへの書き込みを行ってください。

BLF ビット（バスロックフラグ）

BLF ビットは、CAN チャンネルのバスロック状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

CAN チャンネルがオペレーションモードのとき、CAN バス上に 32 個の連続するドミナントビットが検出されると、本ビットは自動的に 1 になります。

1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。本ビットは、関連する CANFD チャンネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャンネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

本ビットは、関連する CANFD チャンネルが CH_RESET モードになると自動的にクリアされます。

ALF ビット（アービトレーションロストフラグ）

ALF ビットは、CAN チャンネルのバスアービトレーションロスト状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

CAN チャンネルがオペレーションモードのとき、CAN バス上にアービトレーションロスト状態が検出されると、本ビットは自動的に 1 になります。

1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。本ビットは、関連する CANFD チャンネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

SERR ビット (スタッフエラー)

SERR ビットは、CAN スタッフエラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていない場合は、ステップ 1 に戻る

本ビットは、スタッフエラーが検出されると自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、このビットは 1 に設定されます。

このビットは、関連する CANFD チャネルが CH_RESET モードの時に自動的にクリアされます。CFDC0CTR.ERRD が 0 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8] のうち一つでもビットがすでに 1 の場合このビットはクリアされます。CFDC0ERFL[14:8] が 0000000b の場合は、このビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

FERR ビット (フォームエラー)

FERR ビットは、CAN フォームエラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていない場合は、ステップ 1 に戻る

本ビットは、フォームエラーが検出されると自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、このビットは 1 に設定されます。

このビットは、関連する CANFD チャネルが CH_RESET モードの時に自動的にクリアされます。CFDC0CTR.ERRD が 0 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8] のうち一つでもビットがすでに 1 の場合このビットはクリアされます。CFDC0ERFL[14:8] が 0000000b の場合は、このビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

AERR ビット (ACK エラー)

AERR ビットは、CAN ACK エラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていない場合は、ステップ 1 に戻る

本ビットは、ACK エラーが検出されると自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、このビットは 1 に設定されます。

このビットは、関連する CANFD チャネルが CH_RESET モードの時に自動的にクリアされます。CFDC0CTR.ERRD が 0 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8] のうち一つでもビットがすでに 1 の場合このビットはクリアされます。CFDC0ERFL[14:8] が 0000000b の場合は、このビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

CERR ビット (CRC エラー)

CERR ビットは、CAN CRC エラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていない場合は、ステップ 1 に戻る

本ビットは、CRC エラーが検出されると自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、このビットは 1 に設定されます。

このビットは、関連する CANFD チャネルが CH_RESET モードの時に自動的にクリアされます。CFDC0CTR.ERRD が 0 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8] のうち一つでもビットがすでに 1 の場合このビットはクリアされます。CFDC0ERFL[14:8] が 0000000b の場合は、このビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

B1ERR ビット (ビット 1 エラー)

B1ERR ビットは、レセプビットエラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていない場合は、ステップ 1 に戻る

本ビットは、レセプビットエラー（期待されたレセプビットがドミナントビットとしてサンプリングされた）が検出されると自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、このビットは 1 に設定されます。

このビットは、関連する CANFD チャネルが CH_RESET モードの時に自動的にクリアされます。CFDC0CTR.ERRD が 0 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8] のうち一つでもビットがすでに 1 の場合このビットはクリアされます。CFDC0ERFL[14:8] が 0000000b の場合は、このビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

B0ERR ビット (ビット 0 エラー)

B0ERR ビットは、ドミナントビットエラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す

3. クリアされている場合、継続する。クリアされていない場合は、ステップ 1 に戻る

本ビットは、ドミナントビットエラー（期待されたドミナントビットがレセシブビットとしてサンプリングされた）が検出されると自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、このビットは 1 に設定されます。

このビットは、関連する CANFD チャンネルが CH_RESET モードの時に自動的にクリアされます。CFDC0CTR.ERRD が 0 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8] のうち一つでもビットがすでに 1 の場合このビットはクリアされます。CFDC0ERFL[14:8] が 0000000b の場合は、このビットは 1 になります。

関連する CANFD チャンネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

ADERR ビット (ACK デリミタエラー)

ADERR ビットは、ACK デリミタビットエラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていない場合は、ステップ 1 に戻る

本ビットは、フレーム送信の ACK デリミタ状態中にフォームエラーが検出されると自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、このビットは 1 に設定されます。

このビットは、関連する CANFD チャンネルが CH_RESET モードの時に自動的にクリアされます。CFDC0CTR.ERRD が 0 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8] のうち一つでもビットがすでに 1 の場合このビットはクリアされます。CFDC0ERFL[14:8] が 0000000b の場合は、このビットは 1 になります。

関連する CANFD チャンネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

CRCREG[14:0] ビット (CRC レジスタ値)

CRCREG[14:0] ビットは、該当チャンネルに対して CFDC0CTR.CTME ビットが 1 のとき、計算された CRC 値を読み出します。

CFDC0CTR.CTME ビットが 0 の場合、これらのビットは読むと常に 0 が読み出されます。

これらのビットは、CTME ビットが有効のとき、CANFD チャンネルロジックにより計算された CAN2.0 CRC 値を示します。

CFDC0ERFL.CRCREG の値は、CAN フレーム（送受信）の CRC フィールドの第 1 ビットにおいて更新されます。

これらのビットは、関連する CANFD チャンネルが CH_RESET モードになると自動的にクリアされます。

29.2.6 CFDC0DCFG : データボーレートコンフィグレーションレジスタ

このレジスタは、クラシカル CAN 機能では使用できません。

Base address: CANFD = 0x400B_0000

Offset address: 0x0100

Bit position:	31					27						24							19					16						12					8	7									0
Bit field:	—	—	—	—	DSJW[3:0]					—	—	—	—	DTSEG2[3:0]					—	—	—	DTSEG1[4:0]					DBRP[7:0]																		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	DBRP[7:0]	チャンネルデータボーレートプリスケアラ データボーレートプリスケアラ分周比	R/W
12:8	DTSEG1[4:0]	タイミングセグメント 1 0x00: 予約 0x01: 2Tq 0x02: 3Tq 0x03: 4Tq ⋮ 0x1E: 31Tq 0x1F: 32Tq	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
19:16	DTSEG2[3:0]	タイミングセグメント 2 0x0: 予約 0x1: 2Tq ⋮ 0xE: 15Tq 0xF: 16Tq	R/W
23:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
27:24	DSJW[3:0]	再同期ジャンプ幅 0x0: 1Tq 0x1: 2Tq ⋮ 0xF: 16Tq	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. Tq はタイムクオンタム (time quantum) を表します。

データボーレートコンフィグレーションレジスタは、そのチャンネルの送受信データのボーレートパラメータを設定します。

クラシカル CAN モードのチャンネルは、本レジスタの設定を行いません。

DBRP[7:0]ビット (チャンネルデータボーレートプリスケアラ)

DBRP[7:0]ビットは、Tq (Time Quantum) に含まれる周辺バスクロック期間を定義します。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

関連する CANFD チャンネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

DTSEG1[4:0]ビット (タイミングセグメント 1)

DTSEG1[4:0]ビットは、正相エラーが起きた CAN バス上でエッジを補償するためにセグメント TSEG1 を設定します。2~32Tq の値が設定可能です。

DTSEG1[4:0]ビットは、伝播時間セグメントを設定するのにも使用されます。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

関連する CANFD チャンネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。これらのビットに上記以外の値を書き込まないでください。詳細は、「[29.4.1.2. CAN のビットタイミング](#)」を参照してください。

DTSEG2[3:0]ビット (タイミングセグメント 2)

DTSEG2[3:0]ビットは、逆相エラーが起きた CAN バス上でエッジを補償するためにセグメント TSEG2 を設定します。2~16Tq の値が設定可能です。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

関連する CANFD チャンネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。これらのビットに上記以外の値を書き込まないでください。

DSJW[3:0]ビット (再同期ジャンプ幅)

DSJW[3:0]ビットは、同期ジャンプ幅を設定します。1~16Tq の値が設定可能です。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

関連する CANFD チャンネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

29.2.7 CFDC0FDCFG : CANFD コンフィグレーションレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x0104

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	CLOE	REFE	FDOE	—	—	—	—	TDCO[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	ESIC	TDCE	TDCO C	—	—	—	—	—	EOCCFG[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	EOCCFG[2:0]	エラー発生カウンタ構成 0 0 0: すべての送受信 CAN フレーム 0 0 1: すべての送信 CAN フレーム 0 1 0: すべての受信 CAN フレーム 0 1 1: 予約 1 0 0: 送受信 CANFD データ相 (fast bits) のみ 1 0 1: 送信 CANFD データ相 (fast bits) のみ 1 1 0: 受信 CANFD データ相 (fast bits) のみ 1 1 1: 予約	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	TDCOC ^(注1)	トランシーバ遅延補償オフセット構成 0: 測定値 + オフセット 1: オフセットのみ	R/W
9	TDCE ^(注1)	トランシーバ遅延補償許可 0: トランシーバ遅延補償禁止 1: トランシーバ遅延補償許可	R/W
10	ESIC ^(注1)	エラー状態表示構成 0: フレーム内に ESI ビットがあると、ノード自体がエラー状態であることを示します。 1: フレーム内に ESI ビットがあると、ノード自体がエラーパッシブ状態である場合、メッセージバッファがエラー状態であることを示します。ノードがエラーパッシブ状態であると、ESI ビットはノード自体により駆動されます。	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	TDCO[7:0] ^(注1)	トランシーバ遅延補償オフセット	R/W
27:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	FDOE ^(注1)	FD only 許可 0: FD only モード禁止 1: FD only モード許可	R/W
29	REFE	RX エッジフィルタ有効 0: RX エッジフィルタ無効 1: RX エッジフィルタ有効	R/W
30	CLOE ^(注1)	クラシカル CAN 許可 0: クラシカル CAN モード禁止 1: クラシカル CAN モード許可	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. これらのビットは、クラシカル CAN 機能では使用できません。

CANFD コンフィグレーションレジスタは、どの通信方向（送信／受信）のエラーがカウントされるかを設定します。

EOCCFG[2:0]ビット（エラー発生カウンタ構成）

EOCCFG[2:0]ビットは、プロトコルエラーを含めて、どの種類の CAN フレーム設定と方向をカウントするかを選択します。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

TDCOC ビット（トランシーバ遅延補償オフセット構成）（注1）

TDCOC ビットは、CANFD チャネルの第二サンプルポイント (SSP) の位置を定義する場合にどのオフセットを使用するかを選択します。本ビットが 0 に設定されると、SSP の位置は測定されたトランシーバ遅延+固定オフセットです。本ビットが 1 に設定されている場合、SSP の位置はオフセットのみで決まります。

CH_OPERATION モードまたは CH_SLEEP モードのとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。クラシカル CAN モードのとき本ビットを設定しないでください。

TDCE ビット（トランシーバ遅延補償許可）（注1）

TDCE ビットは、CANFD チャネルのトランシーバ遅延補償を有効にします。

CH_OPERATION モードまたは CH_SLEEP モードのとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。クラシカル CAN モードのとき本ビットを設定しないでください。

ESIC ビット（エラー状態表示構成）（注1）

ESIC ビットは、ESI フラグ情報または ESI フラグ情報のメッセージ (CFDCFFDCSTS.CFESI ないし CFDTMFDCTb.TMESI) のどちらを送信するかを選択します。

CH_OPERATION モードまたは CH_SLEEP モードのとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。クラシカル CAN モードのとき本ビットを設定しないでください。

TDCO[7:0]ビット（トランシーバ遅延補償オフセット）（注1）

TDCO[7:0]ビットは、二次サンプルポイントのオフセットを設定します。この値がどのように使用されるかは CFDC0FDCFG.TDCOC の設定によります。

CFDC0FDCFG.TDCOC = 0 の場合、トランシーバ遅延補償結果は、Trv_Delay（測定された遅延）+ CFDC0FDCFG.TDCO の値 (Tq の最も近い整数に切り捨て) です。CFDC0FDCFG.TDCOC = 0 でない場合、結果は CFDC0FDCFG.TDCO の値と等しくなります。CFDC0FDCFG.TDCO がどのように使用されるかは、「[29.4.1.5. トランスミッタ遅延補償](#)」を参照してください。

実際のオフセット値は、TDCO + 1 と判断されます。たとえば、TDCO に 4 が設定されている場合、オフセットは 5 クロックサイクルです。クロックサイクルは、CAN チャネル DLL クロックの 1 サイクルです。

CH_OPERATION モードまたは CH_SLEEP モードのとき、TDCO[7:0]ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。クラシカル CAN モードのとき本ビットを設定しないでください。

FDOE ビット（FD only 許可）（注1）

FDOE ビットは、CANFD only フレームの送受信を有効にします。有効時、クラシカル CAN フレームフォーマットでの通信はできません。メッセージバッファの FDF ビットが Don't care ビット (CFDCFFDCSTS.CFFDF/CFDTMFDCTb.TMFDF) なので、クラシカル CAN フレームは送信できません。

クラシカル CAN フレームフォーマットのメッセージを受信した場合、プロトコルコントローラは、このようなメッセージを無効フレームとして取り扱い、エラーフレームで応答します。クラシカル CAN フレームが送信に設定されている場合、FDF ビットはレセプブとして送信され、その結果 FD フレームが送信されます。データ長コード (DLC) が 9 バイト以上に設定されている場合、残りのデータバイトは 0xCC でパディングされます。

FDOE ビットは CH_OPERATION モード、CH_HALT モードまたは CH_SLEEP モードでは書き込みできません。CFDC0FDCFG.FDOE と CFDC0FDCFG.CLOE を同時に 1 にしないでください。

REFE ビット (RX エッジフィルタ有効)

REFE ビットは、IDLE 検出 (バス統合) 中、RX エッジフィルタを有効にします。ビット有効時、同期エッジを検出するには、ドミナント Tq が 2 つ連続することが必要です。

REFE ビットは CH_OPERATION モード、CH_HALT モードおよび CH_SLEEP モードでは書き込みできません。クラシカル CAN モードのとき本ビットを 1 にしないでください。

CLOE ビット (クラシカル CAN 許可) (注1)

CLOE ビットは、クラシカル CAN モードを許可にします。本ビットが 1 のとき、プロトコルコントローラは、クラシカルフレームのみを送信可能で、FD フレームのフォーマットエラーまたは CRC エラーで応答します。

CFDC0FDCFG.CLOE と CFDC0FDCFG.FDOE を同時に 1 にしないでください。

CFDC0FDCFG.CLOE	CFDC0FDCFG.FDOE	チャネルモード
0	0	CANFD モード
0	1	FD only モード
1	0	クラシカル CAN モード
1	1	予約

CH_OPERATION モード、CH_HALT モードまたは CH_SLEEP モードのとき、本ビットに書き込まないでください。

CANFD チャネルが CH_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

注 1. これらのビットは、クラシカル CAN 機能では使用できません。

29.2.8 CFDC0FDCTR : CANFD コントロールレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x0108

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOCCLR	EOCCLR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	EOCCLR	エラー発生カウンタクリア 0: エラー発生カウンタをクリアしない 1: エラー発生カウンタをクリア	R/W
1	SOCCLR	成功発生カウンタクリア 0: 成功発生カウンタをクリアしない 1: 成功発生カウンタをクリア	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CANFD コントロールレジスタは、エラー発生と成功発生のカウントを制御します。

EOCCLR ビット (エラー発生カウンタクリア)

EOCCLR ビットは、エラー発生カウンタのクリアに使用されます。

CH_SLEEP モードまたは CH_RESET モードのとき、本ビットに書き込まないでください。読むと常に 0 が読めます。

本ビットは、CANFD モジュールロジックによって、かつ関連する CANFD チャンネルが CH_RESET モードになると自動的にクリアされます。

SOCCLR ビット（成功発生カウンタクリア）

SOCCLR ビットは、成功発生カウンタのクリアに使用されます。

CH_SLEEP モードまたは CH_RESET モードのとき、本ビットに書き込まないでください。読むと常に 0 が読めます。

本ビットは、CANFD モジュールロジックによって、かつ関連する CANFD チャンネルが CH_RESET モードになると自動的にクリアされます。

29.2.9 CFDC0FDSTS : CANFD ステータスレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x010C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SOC[7:0]								EOC[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TDCV F	—	—	—	—	—	SOCO	EOCO	TDCR[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TDCR[7:0](注1)	トランシーバ遅延補償結果	R
8	EOCO	エラー発生カウンタオーバーフロー 0: エラー発生カウンタがオーバーフローしていない 1: エラー発生カウンタがオーバーフローした	R/W
9	SOCO	成功発生カウンタオーバーフロー 0: 成功発生カウンタがオーバーフローしていない 1: 成功発生カウンタがオーバーフローした	R/W
14:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	TDCVF(注1)	トランシーバ遅延補償違反フラグ 0: トランシーバ遅延補償違反は発生していない 1: トランシーバ遅延補償違反が発生した	R/W
23:16	EOC[7:0]	エラー発生カウンタ これらのビットは、エラー発生カウンタ値を示します。	R
31:24	SOC[7:0]	成功発生カウンタ これらのビットは、成功発生カウンタ値を示します。	R

注 1. これらのビットは、クラシカル CAN 機能では使用できません。

CANFD ステータスレジスタは、トランシーバ遅延補償結果および関連する FIFO メッセージロスステータスを示します。

TDCR[7:0]ビット（トランシーバ遅延補償結果）

TDCR[7:0]ビットは、トランシーバ遅延の測定が完了したときに設定されます。

測定された遅延は、CAN チャンネル DLL クロックの倍数です。この結果は、CFDC0FDCFG.TDCOC の設定と CFDC0FDCFG.TDCO のオフセット値に依存します。この値がどのように導き出されるかの詳細については、「[29.4.1.5. トランスミッタ遅延補償](#)」を参照してください。

TDCR[7:0]ビットは、CFDC0FDCFG.TDCOC = 0 で、トランシーバ遅延補償が許可されているとき (CFDC0FDCFG.TDCE = 1)、FDF ビットと RES ビット間の立ち下がりエッジで更新されます。

これらのビットは関連する CANFD チャンネルが CH_RESET モードになると自動的にクリアされます。

注. これらのビットは、クラシカル CAN 機能では使用できません。

EOCO ビット (エラー発生カウンタオーバーフロー)

EOCO ビットは、関連する CAN チャンネルのエラー発生カウンタがオーバーフローしたかどうかを示します。このビットは 0 を書き込むことによってクリアされます。1 の書き込みは無効です。

このビットは、CFDC0FDSTS.EOC が 0xFF で、CFDC0FDCFG.EOCCFG で定義されている設定に基づき CAN バスエラーが検出されると自動的に 1 になります。

CAN チャンネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

本ビットは、関連する CANFD チャンネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャンネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

SOCO ビット (成功発生カウンタオーバーフロー)

SOCO ビットは、関連する CAN チャンネルの成功発生カウンタがオーバーフローしたかどうかを示します。このビットは 0 を書き込むことによってクリアされます。1 の書き込みは無効です。

このビットは、CFDC0FDSTS.SOC が 0xFF で、メッセージ受信成功またはメッセージ送信成功が発生すると自動的に 1 になります。

CAN チャンネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

本ビットは、関連する CANFD チャンネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャンネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

TDCVF ビット (トランシーバ遅延補償違反フラグ)

CANFD モジュールは、送信データをビット単位で内部でキャプチャします。本データは次に、トランシーバレベル遅延分だけ遅延している受信 CAN バスレベルと比較されます。

トランシーバ遅延は、温度のような物理パラメータにより多少変動します。結果ビット CFDC0FDSTS.TDCR は、メッセージごとに更新されます。しかしながら、一時的な最大遅延違反は見逃される場合があります。したがって、TDCVF ビットは本違反をキャプチャします。

このビットは 0 を書き込むことによってクリアされます。1 の書き込みは無効です。

本ビットは、トランシーバ遅延補償が最大遅延補償より大きく (6 データビット時間 - 2 clk_dlc)、内部ビットがオーバーランした場合に自動的に 1 になります。

CAN チャンネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

本ビットは、関連する CANFD チャンネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャンネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

注. このビットは、クラシカル CAN 機能では使用できません。

EOC[7:0]ビット（エラー発生カウンタ）

EOC[7:0]ビットは、SOC[7:0]ビットと一緒に使用され、縮小ペイロードビット長を利用するメッセージが他のメッセージと比べてエラー率が著しく高くなっている場合、ホスト制御により、アービトレーションビットレートと等しいペイロードビットレートまでフォールバックするオプションをサポートします。

高くなったエラー率は、CFDC0FDCFG.EOCCFG ビットの設定により検出可能です。

EOC[7:0]ビットは、CANFD モジュールロジックによってのみ設定されます。また、CFDC0FDCTR.EOCCLR に 1 を書くことによってクリアされます。他の値の書き込みは無効です。

これらのビットは、CFDC0FDCFG.EOCCFG ビットの設定により、エラー発生時更新されます。カウンタ値が 0xFF に達すると、更新は停止します。

これらのビットは関連する CANFD チャネルが CH RESET モードになると自動的にクリアされます。

SOC[7:0]ビット（成功発生カウンタ）

SOC[7:0]ビットは、EOC[7:0]ビットと一緒に使用され、縮小ペイロードビット長を利用するメッセージが他のメッセージと比べてエラー率が著しく高くなっている場合、ホスト制御により、アービトレーションビットレートと等しいペイロードビットレートまでフォールバックするオプションをサポートします。

SOC[7:0]ビットは、CANFD モジュールロジックによってのみ設定されます。他の値の書き込みは無効です。

これらのビットは、送受信においてバス上にエラーのないメッセージの発生が検出されると更新されます。カウンタ値が 0xFF に達すると、更新は停止します。

注. ループバックモードでは、カウンタは2回インクリメントされます。

また、CFDC0FDCTR.SOCCLR に 1 を書くことによってクリアされます。

これらのビットは関連する CANFD チャネルが CH RESET モードになると自動的にクリアされます。

29.2.10 CFDC0FDCRC : CANFD CRC レジスタ

このレジスタは、クラシカル CAN 機能では使用できません。

Base address: CANFD = 0x400B 0000

Offset address: 0x0110

[illegible]

ビット	シンボル	機能	R/W
20:0	CRCREG[20:0]	CRC レジスタ値 これらのビットは、CANFD フレームに対して計算された CRC 値を示します。	R
23:21	—	読むと 0 が読めます。	R
27:24	SCNT[3:0]	スタッフビット数 これらのビットは、CANFD フレームのスタッフビット数 (mod 8) を示します。	R
31:28	—	読むと 0 が読めます。	R

CANFD CRC レジスタは、CANFD フレームについて計算された CRC 値を保持します。

CRCREG[20:0]ビット (CRC レジスタ値)

CRCREG[20:0]ビットは、CFDC0CTR.CTME ビットが有効のとき、CANFD チャネルロジックにより計算されたCRC 値を示します。

CFDC0FDCRC.CRCREG の値は、CANFD フレーム（送受信）の CRC フィールドの第 1 ビットにおいて更新されます。

CFDC0CTR.CTME ビットが 0 の場合、CRCREG[20:0]ビットは読むと常に 0 が読み出されます。

CRC フィールドの 17 番目のビットが使用されると、CRCREG[20:17]ビットは読むと常に 0 が読み出されます。

これらのビットは関連する CANFD チャンネルが CH_RESET モードになると自動的にクリアされます。

SCNT[3:0]ビット (スタッフビット数)

SCNT[3:0]ビットは、CANFD フレームのスタッフカウント値を示します。これらのビットは、CFDC0FDCRC.SCNT[3:1]において CFDC0CTR.CTME ビットが有効になっていると、CANFD フレームの挿入されたスタッフビット数 (モジュロ 8、グレイコード化) を示します。SCNT[0]はパリティビットです。

CFDC0CTR.CTME ビットが 0 の場合、SCNT[3:0]ビットは読むと常に 0 が読み出されます。

SCNT 値は、CANFD フレーム (送受信) の CRC フィールドの第 1 ビットにおいて更新されます。

これらのビットは関連する CANFD チャンネルが CH_RESET モードになると自動的にクリアされます。

29.2.11 CFDGCFCFG : グローバルコンフィグレーションレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x0014

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ITRCP[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TSSS	TSP[3:0]			—	—	CMPOC	DCS	MME	DRE	DCE	TPRI	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TPRI	送信優先順位 0: ID 優先 1: メッセージバッファ番号優先	R/W
1	DCE	DLC チェック有効 0: DLC チェック無効 1: DLC チェック有効	R/W
2	DRE	DLC 置換有効 0: DLC 置換無効 1: DLC 置換有効	R/W
3	MME	ミラーモード有効 0: ミラーモード無効 1: ミラーモード有効	R/W
4	DCS	データリンクコントローラクロック選択 0: CANFD コアクロック (CANFDCCLK) 1: 外部発振器クロック (CANMCLK)	R/W
5	CMPOC ^(注1)	CANFD メッセージペイロードオーバーフロー設定 0: メッセージを拒否 1: メッセージペイロードを設定メッセージサイズにカット	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11:8	TSP[3:0]	タイムスタンププリスケアラ 0x0: タイムスタンププリスケアラ = 1 0x1: タイムスタンププリスケアラ = 2 0x2: タイムスタンププリスケアラ = 4 0x3 : タイムスタンププリスケアラ = 8 ⋮ 0xD: タイムスタンププリスケアラ = 8192 0xE: タイムスタンププリスケアラ = 16384 0xF: タイムスタンププリスケアラ = 32768	R/W
12	TSSS	タイムスタンプソース選択 0: タイムスタンプカウンタのソースクロックは周辺クロック 1: タイムスタンプカウンタのソースクロックはビットタイムクロック	R/W

ビット	シンボル	機能	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:16	ITRCP[15:0]	インターバルタイマ基準クロックプリスケアラ FIFO インターバルタイマプリスケアラ値	R/W

注 1. このビットは、クラシカル CAN 機能では使用できません。

グローバルコンフィグレーションレジスタは、全 TX メッセージバッファで使用される送信優先および CAN チャネルの CAN プロトコルエンジンのクロックソースを選択するのに使用されます。CFDGCFCFG レジスタは、タイムスタンプクロックのソースを選択したり、タイムスタンプクロックおよびインターバルタイマ基準クロックの周波数を設定するのににも使用されます。

TPRI ビット (送信優先順位)

TPRI ビットは、CAN チャネルの送信優先を選択します。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

メッセージバッファ番号優先は、TX キュー送信と一緒に使用しないでください。

DCE ビット (DLC チェック有効)

DCE ビットは、CAN チャネルのデータ長コード (DLC) チェックを有効にします。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

DRE ビット (DLC 置換有効)

DRE ビットも DCE ビットも 1 のとき、CANFD は、DLC チェックにパスした場合、DLC の設定値 (CFDGAFLP0r.GAFLDLC) を RX メッセージの宛先バッファまたは FIFO バッファに格納します。その他の場合は、RX メッセージの宛先バッファまたは FIFO バッファの DLC 値は変化しません。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

MME ビット (ミラーモード有効)

MME ビットは、CAN チャネルのミラーモードを有効にします。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

DCS ビット (データリンクコントローラクロック選択)

DCS ビットは、CAN 通信のクロックソースとして CANFDCLK または CANMCLK を選択します。

GL_SLEEP モードまたは GL_OPERATION モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

CMPOC ビット (CANFD メッセージペイロードオーバーフロー設定)

CMPOC ビットは、受信したペイロードがメッセージバッファペイロードサイズ (CFDRMNb.RMPLS, CFDRFCCa.RFPLS, CFDCFCC.CFPLS) より大きい場合、メッセージペイロードアクセプタンスメカニズムを制御します。受信したメッセージのペイロードは、常にメッセージバッファの使用可能なメッセージペイロードサイズと比較されます。

GL_SLEEP モードまたは GL_OPERATION モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

本ビットが 1 のときにペイロードオーバーフローが起こると、DLC 値は変更されずに RX メッセージバッファまたは FIFO バッファに格納されます。

注. このビットは、クラシカル CAN 機能では使用できません。

TSP[3:0] ビット (タイムスタンププリスケアラ)

TSP[3:0] ビットに設定された値は、タイムスタンプカウンタで使用されるクロックソースの期間を定義します。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

TSSS ビット (タイムスタンプソース選択)

TSSS ビットでは、タイムスタンプカウンタのクロックソースを選択できます。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。さらに、CANFD 通信使用中は本ビットを 1 にしないでください。
(注1)

注. ビットタイムクロックは、公称およびデータレートビット設定に応じて変わります。

注 1. この機能は、クラシカル CAN 機能では使用できません。

ITRCP[15:0]ビット (インターバルタイマ基準クロックプリスケアラ)

ITRCP[15:0]ビットでは、FIFO インターバルタイマソースクロックの基準クロックを定義できます。

これらのビットが 0x0000 のとき、タイマは無効です。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

29.2.12 CFDGCTR : グローバルコントロールレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x0018

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSRS T
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	CMPO FIE	THLEI E	MEIE	DEIE	—	—	—	—	—	GSLP R	GMDC[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	機能	R/W
1:0	GMDC[1:0]	グローバルモード制御 0 0: グローバルオペレーションモード要求 0 1: グローバルリセットモード要求 1 0: グローバル halt モード要求 1 1: 現在値を維持	R/W
2	GSLPR	グローバルスリープ要求 0: グローバルスリープ要求禁止 1: グローバルスリープ要求許可	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	DEIE	DLC チェック割り込み許可 0: DLC チェック割り込み禁止 1: DLC チェック割り込み許可	R/W
9	MEIE	メッセージロストエラー割り込み許可 0: メッセージロストエラー割り込み禁止 1: メッセージロストエラー割り込み許可	R/W
10	THLEIE	TX 履歴リストエントリロスト割り込み許可 0: TX 履歴リストエントリロスト割り込み禁止 1: TX 履歴リストエントリロスト割り込み許可	R/W
11	CMPOFIE ^(注1)	CANFD メッセージペイロードオーバーフローフラグ割り込み許可 0: CANFD メッセージペイロードオーバーフローフラグ割り込み禁止 1: CANFD メッセージペイロードオーバーフローフラグ割り込み許可	R/W

ビット	シンボル	機能	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	TSRST	タイムスタンプリセット 0: タイムスタンプはリセットされない 1: タイムスタンプはリセットされる	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このビットは、クラシカル CAN 機能では使用できません。

グローバルコントロールレジスタは、CANFD モジュールのグローバルモードおよびタイムスタンプ機能を制御します。本レジスタは、グローバルエラー割り込みの許可および禁止も行います。

GMDC ビット (グローバルモード制御)

GMDC ビットを使用して、CANFD モジュールのモードを設定することができます。さらに、CANFD モジュールがリセットモードのとき CFGDCTR.GSLPR ビットが 1 であれば、CANFD モジュールはグローバルスリープモードに遷移します。

GMDC ビットの 11b への設定は無効です。モードの遷移については「[29.3.2. グローバルモード](#)」に詳述しています。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

GSLPR ビット (グローバルスリープ要求)

GSLPR ビットは、CAN チャンルを含めて、CANFD モジュールへのスリープ要求をグローバルに選択します。チャネルスリープ要求は自動でチャネルに設定されます。

CANFD モジュールが GL_RESET モードまたは GL_SLEEP モードの場合のみ本ビットへの書き込みを行ってください。

DEIE ビット (DLC チェック割り込み許可)

DEIE ビットが 1 のとき、受信フレームに DLC エラーが検出された場合割り込みが発生します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

MEIE ビット (メッセージロストエラー割り込み許可)

MEIE ビットが 1 のとき、メッセージロスト状態が起きると割り込みが発生します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

THLEIE ビット (TX 履歴リストエントリロスト割り込み許可)

THLEIE ビットが 1 のとき、TX 履歴リストエントリロスト状態が起きると割り込みが発生します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

CMPOFIE ビット (CANFD メッセージペイロードオーバーフローフラグ割り込み許可)

CMPOFIE ビットが 1 のとき、CANFD メッセージペイロードオーバーフロー状態が起きると割り込みが発生します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

TSRST ビット (タイムスタンプリセット)

TSRST ビットが 1 のとき、グローバルタイムスタンプレジスタは 0x0000 にリセットされます。

CANFD モジュールが GL_SLEEP モードまたは GL_RESET モードの場合は本ビットへの書き込みは行わないでください。

読むと常に 0 が読めます。

本ビットは、CANFD モジュールロジックにより自動的にクリアされます。

29.2.13 CFDGSTS : グローバルステータスレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x001C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	GRAM INIT	GSLP STS	GHLT STS	GRST STS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1

ビット	シンボル	機能	R/W
0	GRSTSTS	グローバルリセットステータス 0: リセットモードではない 1: リセットモードである	R
1	GHLTSTS	グローバル halt ステータス 0: halt モードではない 1: halt モードである	R
2	GSLPSTS	グローバルスリープステータス 0: スリープモードではない 1: スリープモードである	R
3	GRAMINIT	グローバル RAM 初期化 0: RAM 初期化完了 1: RAM 初期化実行中	R
31:4	—	読むと 0 が読めます。	R

グローバルステータスレジスタは CANFD モジュールのグローバルステータスを表示するレジスタです。

GRSTSTS ビット (グローバルリセットステータス)

GRSTSTS ビットは、グローバル CANFD モジュールリセットモードの状態を表示します。

本ビットは、CANFD モジュールが GL_RESET モードになると自動的に 1 になります。モードが GL_RESET から GL_SLEEP に遷移しても、本ビットは 1 のままです。

本ビットは、CANFD モジュールが GL_RESET モードから抜けると自動的にクリアされます。

GHLTSTS ビット (グローバル halt ステータス)

GHLTSTS ビットは、グローバル CANFD モジュール halt モードの状態を表示します。

本ビットは、CANFD モジュールが GL_HALT モードになると自動的に 1 になります。

本ビットは、CANFD モジュールが GL_HALT モードから抜けると自動的にクリアされます。

GSLPSTS ビット (グローバルスリープステータス)

GSLPSTS ビットは、グローバル CANFD モジュールスリープモードの状態を表示します。

本ビットは、CANFD モジュールが GL_SLEEP モードになると自動的に 1 になります。

本ビットは、CANFD モジュールが GL_SLEEP モードから抜けると自動的にクリアされます。

GRAMINIT ビット (グローバル RAM 初期化)

GRAMINIT ビットは、グローバル CANFD モジュール RAM 初期化の状態を表示します。

本ビットは、CANFD モジュールがハードウェアリセット後 GL_SLEEP モードになると自動的に 1 になります。

本ビットは、CANFD モジュールが RAM 初期化を完了すると自動的にクリアされます。

本ビットは、test_mode 入力ポートが 1 に設定されるとクリアされます。

29.2.14 CFDGERFL : グローバルエラーフラグレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x0020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—		EEF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	CMPO F	THLE S	MES	DEF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DEF	DLC エラーフラグ 0: DLC エラー未検出 1: DLC エラー検出	R/W
1	MES	メッセージロストエラーステータス 0: メッセージロストエラー未検出 1: メッセージロストエラー検出	R
2	THLES	TX 履歴リストエントリロストエラーステータス 0: TX 履歴リストエントリロストエラー未検出 1: TX 履歴リストエントリロストエラー検出	R
3	CMPOF ^(注1)	CANFD メッセージペイロードオーバーフローフラグ 0: CANFD メッセージペイロードオーバーフロー未検出 1: CANFD メッセージペイロードオーバーフロー検出	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	EEF0	ECC エラーフラグ 0: TX-SCAN 中 ECC エラー未検出 1: TX-SCAN 中 ECC エラー検出	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このビットは、クラシカル CAN 機能では使用できません。

グローバルエラーフラグレジスタは、グローバルエラーが検出されたことを示します。

DEF ビット (DLC エラーフラグ)

DEF ビットは、DLC のエラー状態を示します。

CANFD モジュールが GL_SLEEP モードまたは GL_RESET モードの場合は本ビットへの書き込みは行わないでください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

受信フレームに DLC エラーを検出すると、本ビットは自動的に 1 になります。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合、本ビットは 1 が設定されます。

また、0 を書くことによって 0 になります。

このビットは GL_RESET モードで自動的にクリアされます。

MES ビット (メッセージロストエラーステータス)

MES ビットは、メッセージロストエラーの状態を示します。

FIFO メッセージロストエラーを検出すると、本ビットは自動的に 1 になります。

本ビットは以下の場合自動的にクリアされます。

- FIFO メッセージロストフラグがすべてクリアされたとき

- CANFD モジュールが GL_RESET モードであるとき

THLES ビット (TX 履歴リストエントリロストエラーステータス)

THLES ビットは、TX 履歴リストエントリロストエラーの状態を示します。

TX 履歴リストエントリロストエラーを検出すると、本ビットは自動的に 1 になります。

本ビットは以下の場合自動的にクリアされます。

- TX 履歴リストエントリロストフラグがすべてクリアされたとき
- CANFD モジュールが GL_RESET モードであるとき

CMPOF ビット (CANFD メッセージペイロードオーバーフローフラグ)

CMPOF ビットは、少なくとも 1 つのチャネルで CANFD メッセージペイロードオーバーフローが検出されると自動的に 1 になります。

CANFD モジュールが GL_SLEEP モードまたは GL_RESET モードの場合は本ビットへの書き込みは行わないでください。

また、0 を書くことによって 0 になります。1 の書き込みは無効です。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合、本ビットは 1 が設定されます。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

このビットは GL_RESET モードで自動的にクリアされます。

注. このビットは、クラシカル CAN 機能では使用できません。

EEF0 ビット (ECC エラーフラグ)

EEF0 ビットは、ECC エラーが発生したかどうかを指定します。

CANFD モジュールが GL_SLEEP モードまたは GL_RESET モードの場合は本ビットへの書き込みは行わないでください。1 の書き込みは無効です。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合、本ビットは 1 が設定されます。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

また、0 を書くことによって 0 になります。このビットは GL_RESET モードで自動的にクリアされます。

29.2.15 CFDGTINTSTS : グローバル TX 割り込みステータスレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x00A4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	THIF0	CFTIF0	TQIF0	TAI0	TSIF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TSIF0	TX 成功割り込みフラグ 0: チャンネル n の TX 成功割り込みフラグ未設定 1: チャンネル n の TX 成功割り込みフラグ設定	R
1	TAI0	TX アボート割り込みフラグ 0: チャンネル n の TX アボート割り込みフラグ未設定 1: チャンネル n の TX アボート割り込みフラグ設定	R
2	TQIF0	TX キュー割り込みフラグ 0: チャンネル n の TX キュー割り込みフラグ未設定 1: チャンネル n の TX キュー割り込みフラグ設定	R
3	CFTIF0	COM FIFO TX モード割り込みフラグ 0: チャンネル n の COM FIFO TX モード割り込みフラグ未設定 1: チャンネル n の COM FIFO TX モード割り込みフラグ設定	R
4	THIF0	TX 履歴リスト割り込み 0: チャンネル n の TX 履歴リスト割り込みフラグ未設定 1: チャンネル n の TX 履歴リスト割り込みフラグ設定	R
31:5	—	読むと 0 が読めます。	R

グローバル TX 割り込みステータスレジスタは、送信固有の割り込みの検出を示します。

TSIF0 ビット (TX 成功割り込みフラグ)

TSIF0 ビットは、(割り込みが許可されているとき) 関連するチャンネルの TX 成功割り込みフラグが設定されると 1 になります。

本ビットは以下の場合に自動的にクリアされます。

- (割り込み許可が無効な場合) 関連する TX MB 結果ステータスビットがクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

TAI0 ビット (TX アボート割り込みフラグ)

TAI0 ビットは、(割り込みが許可されているとき) 関連するチャンネルの TX アボート割り込みフラグが設定されると 1 になります。

本ビットは以下の場合に自動的にクリアされます。

- (割り込み許可が無効な場合) 関連する TX MB 結果ステータスビットがクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

TQIF0 ビット (TX キュー割り込みフラグ)

TQIF0 ビットは、(割り込みが許可されているとき) 関連するチャンネルの TX キュー割り込みフラグが設定されると 1 になります。

本ビットは以下の場合に自動的にクリアされます。

- (割り込み許可が無効な場合) 関連する TX キュー割り込みフラグがクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

CFTIF0 ビット (COM FIFO TX モード割り込みフラグ)

CFTIF0 ビットは、(割り込みが許可されているとき) 関連する COM TX FIFO モード割り込みフラグ (CFDCFSTS.CFTXIF) が設定されると 1 になります。

本ビットは以下の場合に自動的にクリアされます。

- (割り込み許可が無効な場合) 関連する COM TX FIFO モード割り込みフラグ (CFDCFSTS.CFTXIF) がクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

THIF0 ビット (TX 履歴リスト割り込み)

THIF0 ビットは、(割り込みが許可されているとき) 関連する TX 履歴リスト割り込みフラグ (CFDTHLSTS.THLIF) が設定されると 1 になります。

本ビットは以下の場合に自動的にクリアされます。

- (割り込み許可が無効な場合) 関連する TX 履歴リスト割り込みフラグ (CFDTHLSTS.THLIF) がクリアされたとき
- GL RESET モードまたは CH RESET モードのとき

29.2.16 CFDTGTSC : グローバルタイムスタンプカウンタレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x0024

[illegible]

ビット	シンボル	機能	R/W
15:0	TS[15:0]	タイムスタンプ値	R
31:16	—	読むと 0 が読めます。	R

グローバルタイムスタンプカウンタレジスタは、選択された設定に基づきタイムスタンプを格納します。

TS[15:0]ビット (タイムスタンプ値)

タイムスタンプ値は、TSSS、TSBTCS および TSP の設定に基づきグローバルタイムスタンプカウンタレジスタに格納されます。halt 状態に遷移中はタイムスタンプカウンタの精度は保証されません。

タイムスタンプ値は、TSSS、TSBTCS および TSP の設定に基づき本レジスタに格納されます。

CANFD モジュールが GL_RESET モードまたは GL_SLEEP モードの場合は TS[15:0]ビットへの書き込みは行わないでください。

TS[15:0]ビットは、GL RESET モードのとき自動的にクリアされます。

29.2.17 CFDGAFLECTR : グローバルアクセプタンスフィルタリストエントリコントロールレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x0028

[illegible]

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	AFLDAE	アクセプタンスフィルタリストデータアクセス許可 0: アクセプタンスフィルタリストデータアクセス禁止 1: アクセプタンスフィルタリストデータアクセス許可	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

グローバルアクセプタンスフィルタリストエントリコントロールレジスタは、グローバルアクセプタンスフィルタリストからエントリを読み出したり書き込んだりするグローバルアクセプタンスフィルタリストページを選択するのに使用されます。

AFLDAE ビット (アクセプタンスフィルタリストデータアクセス許可)

AFLDAE ビットは、アクセプタンスフィルタリストの設定後クリアされた場合、アクセプタンスフィルタリストへの書き込みを防止します。

本ビットの状態に関係なくアクセプタンスフィルタリストからデータを読み出し可能です。

CANFD モジュールが GL SLEEP モードの場合は本ビットへの書き込みは行わないでください。アクセプタンスフィルタリストへの書き込みを許可するには本ビットを 1 にしてください。

29.2.18 CFDGAFLCFG: グローバルアクセプタンスフィルタリストコンフィギュレーションレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x002C

[illegible]

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20:16	RNC0[4:0]	ルール番号 専用ルールの数	R/W
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

グローバルアクセプタンスフィルタリストコンフィギュレーションレジスタは、アクセプタンスフィルタリスト内のエントリ用ルール数を定義するのに使用されます。

アクセプタンスフィルタリスト内で使用可能なエントリの総数は16です。

RNC0[4:0]ビット (ルール番号)

RNC0[4:0]ビットは、アクセプタンスフィルタリスト内のルール数を定義します。

CANFD モジュールが GL_RESET モードの場合のみ、これらのビットへの書き込みを行ってください。16 ルールの場合、これらのビットは 5 ビットに設定できます。

29.2.19 CFDGAFIDr: グローバルアクセプタンスフィルタリスト ID レジスタ (r = 1~16)

Base address: CANFD = 0x400B 0000

Offset address: $0x0120 + 0x0010 \times (r - 1)$

[illegible]

ビット	シンボル	機能	R/W
28:0	GAFLID[28:0]	グローバルアクセプタンスフィルタリストエントリ ID フィールド グローバルアクセプタンスフィルタリストエントリの ID 部分	R/W
29	GAFLLB	グローバルアクセプタンスフィルタリストエントリループバック設定 0: 属性 RX によるアクセプタンスフィルタ処理用グローバルアクセプタンスフィルタリストエントリ ID 1: 属性 TX によるアクセプタンスフィルタ処理用グローバルアクセプタンスフィルタリストエントリ ID	R/W
30	GAFLRTR	グローバルアクセプタンスフィルタリストエントリ RTR フィールド 0: データフレーム 1: リモートフレーム	R/W
31	GAFLIDE	グローバルアクセプタンスフィルタリストエントリ IDE フィールド 0: ルールエントリ ID の標準 ID がアクセプタンスフィルタ処理に有効 1: ルールエントリ ID の拡張 ID がアクセプタンスフィルタ処理に有効	R/W

グローバルアクセプタンスフィルタリスト ID レジスタは、グローバルアクセプタンスフィルタリストにおけるエントリループ用 ID フィールドを設定するのに使用されます。

GAFLID[28:0]ビット (グローバルアクセプタンスフィルタリストエントリ ID フィールド)

GAFLID[28:0]ビットは、グローバルアクセプタンスフィルタリスト内の各エントリの CAN ID フィールドを表します。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、これらのビットに書き込まないでください。

関連する CANFD チャンネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

GAFLLB ビット (グローバルアクセプタンスフィルタリストエントリループバック設定)

GAFLLB ビットは、グローバルアクセプタンスフィルタリスト内のエントリの属性が RX なのか TX なのかを選択します。

本属性は、ミラーモード、ループバックモード、および標準（非ループバック）受信の際、エントリが有効かどうかを決定します。送受信、ループバックモードのタイプ、および RX/TX 属性別の、グローバルアクセプタンスフィルタリストエントリの有効性についての詳しい説明は「[29.5.5. ループバックモード](#)」を参照してください。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、このビットに書き込まないでください。

関連する CANFD チャンネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

GAFLRTR ビット (グローバルアクセプタンスフィルタリストエントリ RTR フィールド)

GAFLRTR ビットにより、グローバルアクセプタンスフィルタリストの各エントリについて、指定されたフレームフォーマット（データフレームまたはリモートフレーム）が設定できます。CAN チャンネルの各ルールエントリについて、アクセプタンスフィルタ処理は、受信した CAN メッセージの RTR ビットと本ビットを比較します。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、このビットに書き込まないでください。

関連する CANFD チャンネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

GAFLIDE ビット (グローバルアクセプタンスフィルタリストエントリ IDE フィールド)

GAFLIDE ビットにより、グローバルアクセプタンスフィルタリストの各エントリについて、ID フォーマット（標準 ID または拡張 ID）が設定できます。CAN チャンネルの各ルールエントリについて、アクセプタンスフィルタ処理は、受信した CAN メッセージの IDE ビットと本ビットを比較します。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、このビットに書き込まないでください。

関連する CANFD チャンネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

29.2.20 CFDGAFLEMr: グローバルアクセプタンスフィルタリストマスクレジスタ (r = 1 ~ 16)

Base address: CANFD = 0x400B_0000

Offset address: 0x0124 + 0x0010 × (r - 1)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	GAFLI DEM	GAFL RTRM	GAFLI FL1	GAFLIDM[28:16]												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	GAFLIDM[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
28:0	GAFLIDM[28:0]	グローバルアクセプタンスフィルタリスト ID マスクフィールド ID フィールド用グローバルアクセプタンスフィルタリストマスクフィールドビット	R/W
29	GAFLIFL1	グローバルアクセプタンスフィルタリスト情報ラベル 1 グローバルアクセプタンスフィルタリスト情報ラベルビット 1	R/W
30	GAFLRTRM	グローバルアクセプタンスフィルタリストエントリ RTR マスク 0: RTR ビットは ID 一致に使用されない 1: RTR ビットは ID 一致に使用される	R/W
31	GAFLIDEM	グローバルアクセプタンスフィルタリスト IDE マスク 0: IDE ビットは ID 一致に使用されない 1: IDE ビットは ID 一致に使用される	R/W

グローバルアクセプタンスフィルタリストマスクレジスタは、グローバルアクセプタンスフィルタリストにおける各エントリルールのマスクフィールドを設定するのに使用されます。

GAFLIDM[28:0]ビット (グローバルアクセプタンスフィルタリスト ID マスクフィールド)

GAFLIDM[28:0]ビットは、各グローバルアクセプタンスフィルタリストエントリの CAN ID フィールド内の関連ビットのフィルタマスクビットです。

0	対応する STD-ID/EXT-ID ビットは ID 一致に使用されない
1	対応する STD-ID/EXT-ID ビットは ID 一致に使用される

CFDGAFLECTR.AFLDAE ビットが 0 のとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

GAFLIFL1 ビット (グローバルアクセプタンスフィルタリスト情報ラベル 1)

GAFLIFL1 ビットにより、グローバルアクセプタンスフィルタリスト内の関連エントリにより受け付けられた受信メッセージに付けられる 2 ビットの情報ラベルが設定できます。本ビットは、情報ラベルの MSB ビットです。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

本ビットは、着信メッセージの格納位置の情報ラベルフィールド[1] (CFDRMFDSTSb.RMIFL [1]、CFDRFFDSTSb.RFIFL [1]、CFDCFFDCSTS.CFIFL [1]) に格納されます。

GAFLRTRM ビット (グローバルアクセプタンスフィルタリストエントリ RTR マスク)

GAFLRTRM ビットにより、グローバルアクセプタンスフィルタリストの各エントリについて、RTR マスクビットが設定できます。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャンネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

GAFLIDEM ビット (グローバルアクセプタンスフィルタリスト IDE マスク)

GAFLIDEM ビットにより、グローバルアクセプタンスフィルタリストの各エントリについて、IDE マスクビットが設定できます。

IDE マスクビットが 0 のとき、ID 比較は受信した IDE ビットによります。

受信した IDE ビットが 0 の場合、STD-ID 比較が行われます。

受信した IDE ビットが 1 の場合、EXT-ID 比較が行われます。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャンネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

29.2.21 CFDGAFLP0r : グローバルアクセプタンスフィルタリストポインタ 0 レジスタ (r = 1~16)

Base address: CANFD = 0x400B_0000

Offset address: 0x0128 + 0x0010 × (r - 1)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	GAFLPTR[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	GAFL RMV	—	—	GAFLRMDP[4:0]					GAFLI FL0	—	—	—	GAFLDLC[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	GAFLDLC[3:0]	グローバルアクセプタンスフィルタリスト DLC フィールド 受け付けに必要なデータフレーム内の最小データバイト数	R/W
6:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	GAFLIFL0	グローバルアクセプタンスフィルタリスト情報ラベル 0	R/W
12:8	GAFLRMDP[4:0]	グローバルアクセプタンスフィルタリスト RX メッセージバッファ方向ポインタ 受信メッセージ格納用 RX メッセージバッファ番号	R/W
14:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	GAFLRMV	グローバルアクセプタンスフィルタリスト RX メッセージバッファ有効 0: 単一のメッセージバッファ方向ポインタは無効 1: 単一のメッセージバッファ方向ポインタは有効	R/W
31:16	GAFLPTR[15:0]	グローバルアクセプタンスフィルタリストポインタ	R/W

グローバルアクセプタンスフィルタリストポインタ 0 レジスタは、グローバルアクセプタンスフィルタリスト内の各ルールエントリについて、データ長コード (DLC)、ソフトウェアポインタ、単一メッセージバッファ選択、およびメッセージバッファ方向ポインタを設定するのに使用されます。

GAFLDLC[3:0] ビット (グローバルアクセプタンスフィルタリスト DLC フィールド)

GAFLDLC[3:0] ビットにより、グローバルアクセプタンスフィルタリスト (自動 DLC フィルタ機能) 内の関連エントリにより受け付けられるメッセージについて、最小データ長コード (DLC) 値が設定できます。

グローバルアクセプタンスフィルタリスト内のエントリにより受け付けられたメッセージの DLC 値が、本関連グローバルアクセプタンスフィルタリストエントリに設定された DLC 値以上の場合のみ、DLC フィルタ処理は合格となります。本フィールドが 0 の場合、対応するルールエントリについて自動 DLC フィルタ機能は無効です。

表 29.3 に、設定可能な DLC 値を示します。

表 29.3 DLC 値の設定

フォーマット	DLC[3]	DLC[2]	DLC[1]	DLC[0]	説明
CAN および CANFD	0	0	0	0	受信メッセージの DLC = 0 以上 (DLC フィルタチェックは無効)
CAN および CANFD	0	0	0	1	受信メッセージの DLC = 1 以上
CAN および CANFD	0	0	1	0	受信メッセージの DLC = 2 以上
CAN および CANFD	0	0	1	1	受信メッセージの DLC = 3 以上
CAN および CANFD	0	1	0	0	受信メッセージの DLC = 4 以上
CAN および CANFD	0	1	0	1	受信メッセージの DLC = 5 以上
CAN および CANFD	0	1	1	0	受信メッセージの DLC = 6 以上
CAN および CANFD	0	1	1	1	受信メッセージの DLC = 7 以上
CAN	1	x	x	x	受信メッセージの DLC = 8 以上
CANFD	1	0	0	0	受信メッセージの DLC = 8 以上(注1)
CANFD	1	0	0	1	受信メッセージの DLC = 12 以上(注1)
CANFD	1	0	1	0	受信メッセージの DLC = 16 以上(注1)
CANFD	1	0	1	1	受信メッセージの DLC = 20 以上(注1)
CANFD	1	1	0	0	受信メッセージの DLC = 24 以上(注1)
CANFD	1	1	0	1	受信メッセージの DLC = 32 以上(注1)
CANFD	1	1	1	0	受信メッセージの DLC = 48 以上(注1)
CANFD	1	1	1	1	受信メッセージの DLC = 64(注1)

注 1. この設定は、クラシカル CAN 機能では使用できません。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

GAFLIFL0 ビット (グローバルアクセプタンスフィルタリスト情報ラベル 0)

GAFLIFL0 ビットにより、関連するグローバルアクセプタンスフィルタリストエントリにより受け付けられた受信メッセージに付けられる 2 ビットの情報ラベルが設定できます。本ビットは、情報ラベルの LSB ビットです。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットへは書き込みできません。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこのビットへの書き込みを行ってください。

本ビットは、着信メッセージの格納位置の情報ラベルフィールド[0] (CFDRMFDSTSb.RMIFL[0], CFDRFFDSTSb.RFIFL[0], CFDCFFDCSTS.CFIFL[0]) に格納されます。

GAFLRMDP[4:0] ビット (グローバルアクセプタンスフィルタリスト RX メッセージバッファ方向ポインタ)

GAFLRMDP[4:0] ビットにより、関連するグローバルアクセプタンスフィルタリストエントリのアクセプタンスチェックを合格した受信メッセージに対して、単一の受信メッセージバッファを宛先に設定できます。入力される値は、単一の宛先メッセージバッファ番号です。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

CFDRMNB.NRXMB[4:0]は、RX メッセージバッファ数を設定するために RX メッセージバッファ数レジスタで入力された値です。CFDGAFLP0r.GAFLRMDP[4:0]ビットで入力できる値は、0x00 と CFDRMNB.NMB[4:0]～1 間の値のみです。

CFDRMNB.NRXMB[4:0] = 0x00 の場合、GAFLRMV ビットは 0 に設定してください。

GAFLRMV ビット (グローバルアクセプタンスフィルタリスト RX メッセージバッファ有効)

GAFLRMV ビットにより、関連するグローバルアクセプタンスフィルタリストエントリのアクセプタンスチェックを合格した受信メッセージに対して、宛先としての単一の受信メッセージバッファを有効または無効にできます。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

GAFLPTR[15:0]ビット (グローバルアクセプタンスフィルタリストポインタ)

GAFLPTR[15:0]ビットにより、関連するグローバルアクセプタンスフィルタリストエントリにより受け付けられた受信メッセージに付けられる 16 ビットのポインタが設定できます。ポインタは、メッセージバッファ領域へのメッセージ格納中に追加され、アプリケーションによりサポート機能として使用可能です。ポインタ情報は、たとえば、AUTOSAR システムにおける受信メッセージの PDU ID 割り当てをサポートするのに使用可能です。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

29.2.22 CFDGAFLP1r: グローバルアクセプタンスフィルタリストポインタ 1 レジスタ (r = 1～16)

Base address: CANFD = 0x400B_0000

Offset address: 0x012C + 0x0010 × (r - 1)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	GAFL FDP8	—	—	—	—	—	—	GAFL FDP1	GAFL FDP0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	GAFLFDP0	グローバルアクセプタンスフィルタリスト FIFO 方向ポインタ 受信メッセージ格納用の FIFO 方向ポインタビット 0: RX FIFO 0 を受信宛先として無効にする 1: RX FIFO 0 を受信宛先として有効にする	R/W
1	GAFLFDP1	グローバルアクセプタンスフィルタリスト FIFO 方向ポインタ 受信メッセージ格納用の FIFO 方向ポインタビット 0: RX FIFO 1 を受信宛先として無効にする 1: RX FIFO 1 を受信宛先として有効にする	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	GAFLFDP8	グローバルアクセプタンスフィルタリスト FIFO 方向ポインタ 受信メッセージ格納用の FIFO 方向ポインタビット 0: 共通 FIFO を受信宛先として無効にする 1: 共通 FIFO を受信宛先として有効にする	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GAFLFDP8、GAFLFDP1、GAFLFDP0 ビット (グローバルアクセプタンスフィルタリスト FIFO 方向ポインタ)

最大 2 個の宛先 FIFO バッファ、または 1 個の宛先 FIFO バッファ+RX メッセージバッファ 1 個のみ構成する必要があります。

RX メッセージバッファ数レジスタは、チャンネルに割り当てられた RX メッセージバッファの総数を設定するのに使用されます。

0~16 (0 と 16 を含む) の範囲でのみ値を設定してください。ここで、0x00 は、RX メッセージバッファは割り当てられないことを示します。

CANFD モジュールが GL RESET モードの場合のみこれらのビットへの書き込みを行ってください。

29.2.24 CFDRMND : RX メッセージバッファ新規データレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x0034

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RMNS[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	RMNS[15:0]	RX メッセージバッファ新規データステータス 0: 新規データは対応する RX メッセージバッファに格納されない 1: 新規データは対応する RX メッセージバッファに格納される	R/W

RX メッセージバッファ新規データステータスレジスタは、RX メッセージバッファの新規データ格納状態を指定します。

RMNS[15:0]ビット (RX メッセージバッファ新規データステータス)

RMNS[15:0]ビットは、対応する RX メッセージバッファの新規データの状態を示します。RMNS ビット[0]は、RX メッセージバッファ[0]に対応し、順次同様に対応します。

CFDRMND のビット位置は、RXMB のバッファ番号に対応します。

CANFD モジュールが GL_RESET モードまたは GL_SLEEP モードの場合は、これらのビットへの書き込みは行わないでください。1 の書き込みは無効です。

これらのビットは、対応する RX メッセージバッファへのメッセージ格納が実行中の場合はクリアできません。これらのビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

これらのビットは、新規メッセージの格納が対応する RX メッセージバッファに行われる場合に自動的に 1 になります。これらのビットは、0 を書くことによってクリアされます。これらのビットは、CANFD モジュールが GL_RESET モードのとき自動的にクリアされます。

CFDRMNB.RMPLS = 000b (最大 8 バイトのペイロード) の場合、メッセージ格納期間は PCLKB で 6 サイクルです。

CFDRMNB.RMPLS > 000b の場合、メッセージ格納期間は、PCLKB で 6 サイクル + 4 バイトごとに 1 (64 バイトの場合、PCLKB で最大 20 サイクル)

注. この機能は、クラシカル CAN 機能では使用できません。

29.2.25 CFDRFCCa : RX FIFO コンフィグレーション/コントロールレジスタ a (a = 0~1)

Base address: CANFD = 0x400B_0000

Offset address: 0x003C + 0x04 × a

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RFIGCV[2:0]			RFIM		—		RFDC[2:0]		—		RFPLS[2:0]		—		RFE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RFE	RX FIFO 許可 0: FIFO 禁止 1: FIFO 許可	R/W
1	RFIE	RX FIFO 割り込み許可 0: FIFO 割り込み発生禁止 1: FIFO 割り込み発生許可	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	RFPLS[2:0] ^(注1)	Rx FIFO ペイロードデータサイズコンフィグレーション 0 0 0: 8 バイト 0 0 1: 12 バイト 0 1 0: 16 バイト 0 1 1: 20 バイト 1 0 0: 24 バイト 1 0 1: 32 バイト 1 1 0: 48 バイト 1 1 1: 64 バイト	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	RFDC[2:0]	RX FIFO 容量構成 0 0 0: FIFO 容量 = 0 メッセージ 0 0 1: FIFO 容量 = 4 メッセージ 0 1 0: FIFO 容量 = 8 メッセージ 0 1 1: FIFO 容量 = 16 メッセージ 1 0 0: FIFO 容量 = 32 メッセージ 1 0 1: FIFO 容量 = 48 メッセージ 1 1 0: 予約 1 1 1: 予約	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	RFIM	RX FIFO 割り込みモード 0: RX FIFO カウンタが、RFIGCV より小さい値から RFIGCV に達したとき割り込み発生 1: 各受信メッセージの格納終了時に割り込み発生	R/W
15:13	RFIGCV[2:0]	RX FIFO 割り込み発生カウンタ値 0 0 0: FIFO が 1/8 フルになると割り込み発生 0 0 1: FIFO が 1/4 フルになると割り込み発生 0 1 0: FIFO が 3/8 フルになると割り込み発生 0 1 1: FIFO が 1/2 フルになると割り込み発生 1 0 0: FIFO が 5/8 フルになると割り込み発生 1 0 1: FIFO が 3/4 フルになると割り込み発生 1 1 0: FIFO が 7/8 フルになると割り込み発生 1 1 1: FIFO がフルになると割り込み発生	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. これらのビットは、クラシカル CAN 機能では使用できません。

RX FIFO コンフィグレーション／コントロールレジスタは、2 つの RX FIFO を設定および制御するのに使用されます。

RFE ビット (RX FIFO 許可)

RFE ビットは、FIFO を有効にします。本ビットを 0 にすると、RX FIFO がクリアされエンプティになります。

CANFD モジュールが GL_HALT モードまたは GL_OPERATION の場合のみ本ビットへの書き込みを行ってください。

このビットは、設定された FIFO の深さが 0x000 より大きい (CFDRFCCa.RFDC > 0x000)、かつ 0x110 より小さい場合のみ 1 に設定できます。

RFE ビットは、CFDRFCCa レジスタの他のビットが全部 1 に設定された後、CFDRFCCa レジスタに個別に書き込んで 1 に設定してください。

本ビットは、CANFD モジュールが GL_RESET モードのとき自動的にクリアされます。

RFIE ビット (RX FIFO 割り込み許可)

RFIE ビットは、FIFO 割り込みの発生を許可します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

RFPLS[2:0] ビット (Rx FIFO ペイロードデータサイズコンフィグレーション)

RFPLS[2:0] ビットは、RAM 内のメッセージデータペイロード割り当てを定義します。

これは、本 FIFO が受信できる最大バイト数です。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

注. これらのビットは、クラシカル CAN 機能では使用できません。

RFDC[2:0] ビット (RX FIFO 容量構成)

RFDC[2:0] ビットは、FIFO の容量をメッセージ数で選択します。FIFO 容量が 0 メッセージに設定されている場合、FIFO は使用できません。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

RFIM ビット (RX FIFO 割り込みモード)

RFIM ビットは、FIFO の割り込み発生条件を選択します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

RFIGCV[2:0] ビット (RX FIFO 割り込み発生カウンタ値)

RFIGCV[2:0] ビットは、FIFO 割り込みを発生させる FIFO のカウンタ値を選択します。これらの値は、割り込みが発生する FIFO 容量の分数を表します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

RFIGCV[2:0] ビットの設定は、RFDC[2:0] ビットと同期している必要があります。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

29.2.26 CFDRFSTS_a : RX FIFO ステータスレジスタ a (a = 0, 1)

Base address: CANFD = 0x400B_0000

Offset address: 0x0044 + 0x04 × a

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	RFMC[5:0]						—	—	—	—	RFIF	RFMLT	RFFLL	RFEMP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	RFEMP	RX FIFO エンプティ 0: FIFO はエンプティではない 1: FIFO はエンプティ	R
1	RFFLL	RX FIFO フル 0: FIFO はフルではない 1: FIFO はフル	R
2	RFMLT	RX FIFO メッセージロスト 0: FIFO メッセージロスト発生なし 1: FIFO メッセージロスト発生あり	R/W

ビット	シンボル	機能	R/W
3	RFIF	RX FIFO 割り込みフラグ 0: FIFO 割り込み条件は成立していない 1: FIFO 割り込み条件は成立している	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:8	RFMC[5:0]	RX FIFO メッセージ数 FIFO に格納されているメッセージ数	R
31:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RX FIFO ステータスレジスタは、対応する FIFO バッファに格納されているメッセージの状態を示します。

RFEMP ビット (RX FIFO エンプティ)

RFEMP ビットは、以下の場合自動的に 1 になります。

- RFMC ビットが 0 のとき
- CFDRFCCa.RFE ビットを 0 に設定することにより RX FIFO が禁止されたとき
- CANFD モジュールが GL_RESET モードであるとき

RFEMP ビットは、最初のメッセージが RX FIFO バッファに格納されると自動的にクリアされます。

RFFLL ビット (RX FIFO フル)

RFFLL ビットは、FIFO バッファに格納されている CAN メッセージ数が設定されている FIFO 容量と一致すると自動的に 1 になります。

RFFLL ビットは以下の場合自動的にクリアされます。

- FIFO バッファに格納されている CAN メッセージ数が設定されている FIFO 容量以下になったとき
- CFDRFCCa.RFE ビットを 0 に設定することにより RX FIFO が禁止されたとき
- CANFD モジュールが GL_RESET モードであるとき

RFMLT ビット (RX FIFO メッセージロスト)

CANFD モジュールが GL_HALT モードまたは GL_OPERATION の場合のみ RFMLT ビットへの書き込みを行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

本ビットは、FIFO がすでに満杯のときに格納しようとしたことにより、メッセージが失われた場合、自動的に 1 になります。CAN チャネルからの設定と書き込みによるクリアが同時に起きた場合は、ビットは 1 に設定されます。

本ビットは以下の場合クリアされます。

- 0 を書いたとき
- CANFD モジュールが GL_RESET モードであるとき

RFIF ビット (RX FIFO 割り込みフラグ)

RFIF ビットは、設定されている割り込み条件が成立すると自動的に 1 になります。本ビットは、RX FIFO バッファが禁止されると自動的にクリアされます。

CANFD モジュールが GL_HALT モードまたは GL_OPERATION の場合のみ本ビットへの書き込みを行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

CAN チャネルからの設定と書き込みによるクリアが同時に起きた場合は、本ビットは 1 に設定されます。

本ビットは、0 を書き込むことによってクリアされます。本ビットは、CANFD モジュールが GL_RESET モードのときも自動的にクリアされます。

ビット	シンボル	機能	R/W
2	CFTXIE	共通 FIFO TX 割り込み許可 0: フレーム TX に対して FIFO 割り込み発生を禁止 1: フレーム TX に対して FIFO 割り込み発生を許可	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	CFPLS[2:0] ^(注1)	共通 FIFO ペイロードデータサイズコンフィグレーション 0 0 0: 8 バイト 0 0 1: 12 バイト 0 1 0: 16 バイト 0 1 1: 20 バイト 1 0 0: 24 バイト 1 0 1: 32 バイト 1 1 0: 48 バイト 1 1 1: 64 バイト	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	CFM	共通 FIFO モード 0: RX FIFO モード 1: TX FIFO モード	R/W
9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	CFITSS	共通 FIFO インターバルタイムソース選択 0: 基準クロック (× 1 / × 10 期間) 1: 関連チャンネルのビットタイムクロック (FIFO は固定チャンネルにリンク付け)	R/W
11	CFITR	共通 FIFO インターバルタイム分解能 0: 基準クロック期間 × 1 1: 基準クロック期間 × 10	R/W
12	CFIM	共通 FIFO 割り込みモード 0: RX FIFO モード: 共通 FIFO カウンタが下位の値から CFGICV 値に達したときに RX 割り込み発生 TX FIFO モード: 共通 FIFO が最後のメッセージ送信に成功したとき TX 割り込み発生 1: RX FIFO モード: 各受信メッセージの格納終了時に RX 割り込み発生 TX FIFO モード: メッセージ送信成功ごとに割り込み発生	R/W
15:13	CFGICV[2:0]	共通 FIFO 割り込み発生カウンタ値 0 0 0: FIFO が 1/8 フルになると割り込み発生 0 0 1: FIFO が 1/4 フルになると割り込み発生 0 1 0: FIFO が 3/8 フルになると割り込み発生 0 1 1: FIFO が 1/2 フルになると割り込み発生 1 0 0: FIFO が 5/8 フルになると割り込み発生 1 0 1: FIFO が 3/4 フルになると割り込み発生 1 1 0: FIFO が 7/8 フルになると割り込み発生 1 1 1: FIFO がフルになると割り込み発生	R/W
17:16	CFTML[1:0]	共通 FIFO TX メッセージバッファリンク 対応するチャンネルの送信スキャンリンク位置	R/W
20:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:21	CFDC[2:0]	共通 FIFO 容量構成 0 0 0: FIFO 容量 = 0 メッセージ 0 0 1: FIFO 容量 = 4 メッセージ 0 1 0: FIFO 容量 = 8 メッセージ 0 1 1: FIFO 容量 = 16 メッセージ 1 0 0: FIFO 容量 = 32 メッセージ 1 0 1: FIFO 容量 = 48 メッセージ 1 1 0: FIFO 容量 = 予約 1 1 1: FIFO 容量 = 予約	R/W
31:24	CFITT[7:0]	共通 FIFO インターバル送信時間 TX モードに設定時 FIFO からの送信開始を遅らせます。遅延は、基本インターバルタイムクロック源の周期の単位の倍数です。	R/W

注 1. これらのビットは、クラシカル CAN 機能では使用できません。

CFE ビット (共通 FIFO 許可)

CFE ビットを 1 にすると、FIFO が許可されます。CFE ビットを 0 にクリアすると、FIFO が禁止されます。

本ビットを 0 にクリアすることにより、TX モードに設定時共通 FIFO からの送信をアボートしたり、RX モードに設定時共通 FIFO への受信を停止するのにも使用されます。

本ビットへの書き込みは、CANFD モジュールが GL_HALT モードか GL_OPERATION モードで、かつ関連する CANFD チャンネルが TX FIFO として設定されている FIFO に対して CH_RESET モードでない場合のみ行ってください。

本ビットは、設定された FIFO 容量が 0x000 より大きい (CFDCFCC.CFDC > 0x000)、かつ 0x110 より小さい (0x110 > CFDCFCC.CFDC > 0x000) 場合のみ 1 に設定できます。

CFE ビットは、本レジスタの他のビットが全部 1 に設定された後、CFDCFCC レジスタに個別に書き込んで 1 に設定してください。

本ビットは、CANFD モジュールが GL_RESET モードのとき自動的にクリアされます。

本ビットは、FIFO が TX モードに設定されている場合、関連するチャンネルが CH_RESET モードのときも自動的にクリアされます。

CFRXIE ビット (共通 FIFO RX 割り込み許可)

CFRXIE ビットは、対応する FIFO バッファでフレームを受信後に割り込みフラグが設定されると FIFO 割り込み発生を許可します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

CFTXIE ビット (共通 FIFO TX 割り込み許可)

CFTXIE ビットは、対応する FIFO バッファからフレームを送信後に割り込みフラグが設定されると共通 FIFO 割り込み発生を許可します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

CFPLS[2:0] ビット (共通 FIFO ペイロードデータサイズコンフィグレーション)

CFPLS[2:0] ビットは、RAM 内のメッセージデータペイロード割り当てを定義します。これは、FIFO バッファが送受信できる最大バイト数です。

詳細は、「[29.6. FIFO バッファと通常のメッセージバッファの構成](#)」を参照してください。

CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

注. これらのビットは、クラシカル CAN 機能では使用できません。

CFM ビット (共通 FIFO モード)

CFM ビットは、FIFO のモードを選択します。ハードウェアリセットが適用されると、共通 FIFO バッファはすべて RX FIFO モードに設定されます。

GL_OPERATION モードまたは GL_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

CFITSS ビット (共通 FIFO インターバルタイマソース選択)

CFITSS ビットは、インターバル送信タイマの基本クロックソースを選択します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。また、CFE ビットが 1 の場合も本ビットに書き込まないでください。

CANFD 通信使用時に本ビットに 1 を書き込まないでください。(注1)

注. ビットタイムクロックは、公称およびデータレートビット設定に応じて変わります。

注 1. この機能は、クラシカル CAN 機能では使用できません。

CFITR ビット (共通 FIFO インターバルタイマ分解能)

CFITR ビットは、インターバル送信タイマの基準クロックの分解能を選択します (周辺クロックが基準クロックのソースです)。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。また、CFE ビットが 1 の場合も本ビットに書き込まないでください。

CFIM ビット (共通 FIFO 割り込みモード)

CFIM ビットは、FIFO バッファの割り込み発生条件を選択します。

GL_SLEEP モードのとき、本ビットに書き込まないでください。

CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

CFIGCV[2:0]ビット (共通 FIFO 割り込み発生カウンタ値)

CFIGCV[2:0]ビットは、FIFO 割り込み発生メッセージカウンタ値を選択します。これらの値は、割り込み発生対象の FIFO 容量の分数を表します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

これらのビットの設定は、CFDC[2:0]ビットと同期している必要があります。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

CFTML[1:0]ビット (共通 FIFO TX メッセージバッファリンク)

CFTML[1:0]ビットは、送信スキャン用に、TX FIFO のリンク先である通常の送信メッセージバッファ位置を選択します。

GL_OPERATION モードまたは GL_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

CFDC[2:0]ビット (共通 FIFO 容量構成)

CFDC[2:0]ビットは、共通 FIFO の容量をメッセージ数で選択します。FIFO 容量が 0 メッセージに設定されている場合、FIFO は使用できません。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

CFITT[7:0]ビット (共通 FIFO インターバル送信時間)

CFITT[7:0]ビットは、TX モードに設定時、本 FIFO バッファから送信される全メッセージの送信開始遅延を選択します。遅延は、基本インターバルタイマクロックソース期間の倍数です (基準クロック × 1、基準クロック × 10、または関連 CAN チャネルのビットタイムクロック)。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

CFE ビットが 1 のとき、これらのビットに書き込まないでください。

CFDGCFG.ITRCP[15:0] = 0x0000 のとき、CFITT[7:0]ビットは 0x0000 に設定してください。

29.2.29 CFDCFSTS : 共通 FIFO ステータスレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x0058

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	CFMC[5:0]						—	—	—	CFTXF	CFRXIF	CFMLT	CFLL	CFEMP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	CFEMP	共通 FIFO エンプティ 0: FIFO はエンプティではない 1: FIFO はエンプティ	R
1	CFFLL	共通 FIFO フル 0: FIFO はフルではない 1: FIFO はフル	R
2	CFMLT	共通 FIFO メッセージロスト 0: FIFO で失われたメッセージ数 1: FIFO メッセージロスト発生あり	R/W
3	CFRXIF	共通 RX FIFO 割り込みフラグ 0: フレーム受信後 FIFO 割り込み条件が不成立 1: フレーム受信後 FIFO 割り込み条件が成立	R/W
4	CFTXIF	共通 TX FIFO 割り込みフラグ 0: フレーム送信後 FIFO 割り込み条件が不成立 1: フレーム送信後 FIFO 割り込み条件が成立	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:8	CFMC[5:0]	共通 FIFO メッセージ数 FIFO に格納されているメッセージ数	R
31:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CFEMP ビット (共通 FIFO エンプティ)

CFEMP ビットは、以下の場合自動的に 1 になります。

- CPU が RX モードに設定されている FIFO からのメッセージをすべて読み出したとき
- すべてのメッセージが TX モードに設定されている FIFO から送信されたとき
- CFE ビットを 0 に設定することにより FIFO が禁止されているとき
- CANFD モジュールが GL_RESET モードであるとき
- FIFO が TX モードに設定されているときに、関連する CANFD チャンネルが CH_RESET モードであるとき

CFEMP ビットは、以下の場合自動的にクリアされます。

- RX モードに設定時最初の受信メッセージが FIFO バッファに格納されたとき
- TX モードに設定時最初の送信メッセージが FIFO バッファに格納されたとき

CFFLL ビット (共通 FIFO フル)

CFFLL ビットは、FIFO に格納されている CAN メッセージ数が設定されている FIFO 容量と一致すると自動的に 1 になります。

CFFLL ビットは、以下の場合自動的にクリアされます。

- FIFO に格納されている CAN メッセージ数が設定されている FIFO 容量以下になったとき
- CFE ビットを 0 に設定することにより FIFO が禁止されているとき
- CANFD モジュールが GL_RESET モードであるとき
- FIFO バッファが TX モードに設定されているときに、関連する CANFD チャンネルが CH_RESET モードであるとき

CFMLT ビット (共通 FIFO メッセージロスト)

CFMLT ビットは、RX モードで FIFO がすでに満杯のときに新しいメッセージを格納しようとしたことにより、メッセージが失われた場合、自動的に 1 になります。

CAN チャンネルからの設定と書き込みによるクリアが同時に起きた場合は、本ビットは 1 に設定されます。

本ビットへの書き込みは、CANFD モジュールが GL_HALT モードか GL_OPERATION モードで、かつ関連する CANFD チャンネルが TX FIFO として設定されている FIFO に対して CH_RESET モードでない場合のみ行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

CFMLT ビットは以下の場合クリアされます。

- 0 を書いたとき
- CANFD モジュールが GL_RESET モードであるとき
- FIFO バッファが TX モードに設定されている場合に、関連する CANFD チャンネルが CH_RESET モードであるとき

CFRXIF ビット (共通 RX FIFO 割り込みフラグ)

CFRXIF ビットは、共通 FIFO バッファが禁止されても自動的にクリアされません。

本ビットへの書き込みは、CANFD モジュールが GL_HALT モードか GL_OPERATION モードで、かつ関連する CANFD チャンネルが TX FIFO として設定されている FIFO に対して CH_RESET モードでない場合のみ行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

本ビットは、RX モードに設定されているときに、共通 FIFO バッファに設定されている割り込み条件が成立したとき自動的に 1 になります。

CAN チャンネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

CFRXIF ビットは以下の場合クリアされます。

- 0 を書いたとき
- CANFD モジュールが GL_RESET モードであるとき

CFTXIF ビット (共通 TX FIFO 割り込みフラグ)

CFTXIF ビットは、共通 FIFO バッファが禁止されても自動的にクリアされません。

本ビットへの書き込みは、CANFD モジュールが GL_HALT モードか GL_OPERATION モードで、かつ関連する CANFD チャンネルが TX FIFO として設定されている FIFO バッファに対して CH_RESET モードでない場合のみ行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

本ビットは、TX モードに設定されている共通 FIFO バッファに対して設定されている割り込み条件が成立したとき自動的に 1 になります。

CAN チャンネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

CFTXIF ビットは以下の場合クリアされます。

- 0 を書いたとき
- CANFD モジュールが GL_RESET モードであるとき
- FIFO バッファが TX モードに設定されている場合に、関連する CANFD チャンネルが CH_RESET モードであるとき

CFMC[5:0] ビット (共通 FIFO メッセージ数)

CFMC[5:0] ビットは以下を示します。

- TX モードに設定されている FIFO バッファ内で送信を待っている、CPU により格納された CAN メッセージ数
- RX モードに設定されている FIFO バッファ内で CPU 読み出しを待っている、CANFD モジュールにより格納された CAN メッセージ数

CFMC[5:0] ビットは、以下の場合自動的にクリアされます。

- 29.2.30 CFDCFPCTR: 共通 FIFO ポインタコントロールレジスタ

Offset address: 0x005C

0

CFPC[7:0]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

共通 FIFO ポインタコントロールレジスタを使って、対応する共通 FIFO バッファの読み出し／書き込みポイントをインクリメントできます。

値 0xFF が CFPC[7:0]ビットに書き込まれると、(RX モードに設定時) 対応する共通 FIFO バッファの読み出しポインタ、または (TX モードに設定時) 対応する FIFO バッファの書き込みポインタが次の FIFO エントリに移動します。

CANFD モジュールが GL_HALT モードまたは GL_OPERATION モードの場合のみこれらのビットへの書き込みを行ってください。

- RX モードに設定されている場合、共通 FIFO バッファが有効にされており、エンプティではないとき
- TX モードに設定されている場合、共通 FIFO バッファが有効にされており、フルではないとき

29.2.31 CFDFESTS : FIFO エンプティステータスレジスタ

Offset address: 0x0060

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RFXEMP[1:0]

Value after reset: 0 0 0 0 0 0 0 1 0 0 0 0 0 0 1 1

ビット	シンボル	機能	R/W
1:0	RFXEMP[1:0]	RX FIFO 空ステータス 0: 対応 FIFO はエンプティではない 1: 対応 FIFO はエンプティ	R
7:2	—	読むと 0 が読めます。	R
8	CFEMP	共通 FIFO 空ステータス 0: 対応 FIFO はエンプティではない 1: 対応 FIFO はエンプティ	R
31:9	—	読むと 0 が読めます。	R

FIFO エンプティステータスレジスタは、FIFO バッファのエンプティビットの状態を示します。

RFXEMP[1:0]ビット (RX FIFO 空ステータス)

RFXEMP[1:0]ビットは、CANFD モジュールが GL_RESET モードのときにセットされます。

各ビットは、RX FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。

各ビットは、RX FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

CFEMP ビット (共通 FIFO 空ステータス)

CFEMP ビットは、CANFD モジュールが GL_RESET モードのときにセットされます。

各ビットは、共通 FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。

各ビットは、共通 FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

29.2.32 CFDFFSTS : FIFO フルスステータスレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x0064

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFLL	—	—	—	—	—	—	—	RFXFLL[1:0]
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	RFXFLL[1:0]	RX FIFO フルスステータス 0: 対応 FIFO はフルではない 1: 対応 FIFO はフル	R
7:2	—	読むと 0 が読めます。	R
8	CFLL	共通 FIFO フルスステータス 0: 対応 FIFO はフルではない 1: 対応 FIFO はフル	R
31:9	—	読むと 0 が読めます。	R

FIFO フルスステータスレジスタは、FIFO バッファのフルビットの状態を示します。

RFXFLL[1:0]ビット (RX FIFO フルスステータス)

RFXFLL[1:0]ビットは、CANFD モジュールが GL_RESET モードのときにクリアされます。

各ビットは、RX FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。

各ビットは、RX FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

CFLL ビット (共通 FIFO フルスステータス)

CFLL ビットは、CANFD モジュールが GL_RESET モードのときにクリアされます。

各ビットは、共通 FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。

各ビットは、共通 FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

29.2.33 CFDFMSTS : FIFO メッセージロストステータスレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x0068

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFMLT	—	—	—	—	—	—	—	RFXMLT[1:0]
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	RFXMLT[1:0]	RX FIFO メッセージロストステータス 0: 対応する FIFO メッセージロストフラグが設定されていない 1: 対応する FIFO メッセージロストフラグが設定されている	R
7:2	—	読むと 0 が読めます。	R
8	CFMLT	共通 FIFO メッセージロストステータス 0: 対応する FIFO メッセージロストフラグが設定されていない 1: 対応する FIFO メッセージロストフラグが設定されている	R
31:9	—	読むと 0 が読めます。	R

FIFO メッセージロストステータスレジスタは、FIFO バッファのメッセージロストビットの状態を示します。

RFXMLT[1:0]ビット (RX FIFO メッセージロストステータス)

RFXMLT[1:0]ビットは、CANFD モジュールが GL_RESET モードのときクリアされます。

各ビットは、RX FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。

各ビットは、RX FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

CFMLT ビット (共通 FIFO メッセージロストステータス)

CFMLT ビットは、CANFD モジュールが GL_RESET モードのときクリアされます。

各ビットは、共通 FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。

各ビットは、共通 FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

29.2.34 CFDRFISTS : RX FIFO 割り込みフラグステータスレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x006C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RFXIF[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	RFXIF[1:0]	RX FIFO[x]割り込みフラグステータス 0: 対応する RX FIFO 割り込みフラグが設定されていない 1: 対応する RX FIFO 割り込みフラグが設定されている	R
31:2	—	読むと 0 が読めます。	R

FIFO 割り込みフラグステータスレジスタは、RX FIFO バッファの割り込みフラグビットの状態を示します。

RFXIF[1:0]ビット (RX FIFO[x]割り込みフラグステータス)

各ビットは、RX FIFO ステータスレジスタの対応する割り込みフラグビットを 1 にすると自動的に 1 になります。

RFXIF[1:0]ビットは、CANFD モジュールが GL_RESET モードのときクリアされます。

各ビットは、RX FIFO ステータスレジスタの対応する割り込みフラグビットがクリアされると自動的にクリアされます。

29.2.35 CFDCDTCT : DMA 転送コントロールレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x00C8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFDM AE	—	—	—	—	—	—	RFDMAE1	RFDMAE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RFDMAE0	RXFIFO 0 の DMA 転送許可 0: DMA 転送要求を禁止 1: DMA 転送要求を許可	R/W
1	RFDMAE1	RXFIFO 1 の DMA 転送許可 0: DMA 転送要求を禁止 1: DMA 転送要求を許可	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
8	CFDMAE	共通 FIFO 0 の DMA 転送許可 0: DMA 転送要求を禁止 1: DMA 転送要求を許可	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

DMA 転送コントロールレジスタは、DMA 転送動作の開始と停止を制御します。

RFDMAEe (e = 0~1) ビット (RXFIFO e の DMA 転送許可)

RFDMAEe ビットは GL_SLEEP モードまたは GL_RESET モードでは設定できません。

本ビットは、CANFD モジュールが GL_RESET モードのときクリアされます。

CFDMAE ビット (共通 FIFO の DMA 転送許可)

CFDMAE ビットは、共通 FIFO に対して DMA 転送要求を許可または禁止します。

CFDMAE ビットは GL_SLEEP モードまたは GL_RESET モードでは設定できません。

TX FIFO として設定されている共通 FIFO に対して DMA 転送を許可しないでください。

本ビットは、CANFD モジュールが GL_RESET モードのときクリアされます。

29.2.36 CFDCDTSTS : DMA 転送ステータスレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x00CC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFDM ASTS	—	—	—	—	—	—	RFDMA ASTS1	RFDMA ASTS0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RFDMASTS0	RX FIFO 0 の DMA 転送ステータス 0: DMA 転送停止 1: DMA 転送実行中	R
1	RFDMASTS1	RX FIFO 1 の DMA 転送ステータス 0: DMA 転送停止 1: DMA 転送実行中	R
7:2	—	読むと 0 が読めます。	R
8	CFDMASTS	共通 FIFO 専用 DMA 転送ステータス 0: DMA 転送停止 1: DMA 転送実行中	R
31:9	—	読むと 0 が読めます。	R

DMA 転送ステータスレジスタは、DMA 転送の状態を示します。

RFDMASTS_e (n = 0~1) ビット (RX FIFO e の DMA 転送ステータス)

各ビットは、対応する DMA 許可ビットが設定され、対応する DMA FIFO がエンプティでない場合自動的に 1 になります。

各ビットは、DMA が禁止されるか DMA FIFO がエンプティになったため DMA 転送が停止すると自動的にクリアされます。

対応する FIFO に対して DMA 転送実行中に CFDCDTCT.RFDMAEe (「[29.2.35. CFDCDTCT : DMA 転送コントロールレジスタ](#)」の CFDCDTCT.RFDMAEe ビット参照) が 0 に設定されると、DMA 転送完了時 RFDMASTSe ビットは 0 になります。

本ビットは、CANFD モジュールが GL_RESET モードのときにクリアされます。

CFDMASTS ビット (共通 FIFO 専用 DMA 転送ステータス)

各ビットは、対応する DMA 許可ビットが設定され、対応する DMA FIFO がエンプティでない場合自動的に 1 になります。

各ビットは、DMA が禁止されるか DMA FIFO がエンプティになったため DMA 転送が停止すると自動的にクリアされます。

対応する FIFO に対して DMA 転送実行中に CFDCDTCT.CFDMAE (「[29.2.35. CFDCDTCT : DMA 転送コントロールレジスタ](#)」の CFDCDTCT.CFDMAE ビット参照) が 0 に設定されると、DMA 転送完了時 CFDMASTS ビットは 0 になります。

本ビットは、CANFD モジュールが GL_RESET モードのときにクリアされます。

29.2.37 CFDTMCI : TX メッセージバッファコントロールレジスタ i (i = 0~3)

Base address: CANFD = 0x400B_0000

Offset address: 0x0070 + 0x01 × i

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	TMOM	TMTAR	TMTR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TMTR	TX メッセージバッファ送信要求 0: TX メッセージバッファ送信の要求なし 1: TX メッセージバッファ送信の要求あり	R/W
1	TMTAR	TX メッセージバッファ送信アボート要求 0: TX メッセージバッファ送信要求アボートの要求なし 1: TX メッセージバッファ送信要求アボートの要求あり	R/W
2	TMOM	TX メッセージバッファワンショットモード 0: TX メッセージバッファはワンショットモードに設定されていない 1: TX メッセージバッファはワンショットモードに設定されている	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

TX メッセージバッファコントロールレジスタは、TX メッセージバッファ機能を設定します。

TMTR ビット (TX メッセージバッファ送信要求)

TMTR ビットを 1 にすると、CANFD モジュールロジックは、対応するメッセージバッファに格納されているメッセージの送信を試みます。

関連する CANFD モジュールが CH_HALT モードまたは CH_OPERATION モードの場合のみ、本ビットへの書き込みを行ってください。

対応する TX メッセージバッファが TX モードの COM FIFO にリンクされている、または TX キューの一部である場合、このビットを 1 にしないでください。

本ビットは、CPU 書き込みによる直接クリアはできません。

本ビットは、メッセージバッファに対応する CFDTMSTSj レジスタの送信結果フラグビット (CFDTMSTSj.TMTRF) が 00b にクリアされた場合のみ 1 にできます。

TMTR ビットは、以下により自動的にクリアされます。

- 送信成功後の CANFD モジュールロジック
- 対応する CFDTMCI.TMTAR ビットにより要求された、送信アボート完了後の CANFD モジュールロジック

- メッセージバッファに対して CFDTMCI.TMOM ビットが設定されている場合、CAN バスエラーまたはアービトレーションロスト検出時の CANFD モジュールロジック
- CANFD モジュールが GL_RESET モードまたは関連するチャンネルが CH_RESET モードの場合の CANFD モジュールロジック

TMTAR ビット (TX メッセージバッファ送信アボート要求)

TMTAR ビットを 1 にすると、CANFD モジュールロジックは、対応するメッセージバッファに格納されているフレーム送信のアボートを試みます。

多くの場合、送信のための内部スキャンが完了し、メッセージバッファがすでに送信用に選択済みの場合、送信はアボートできません。この場合、フレームはメッセージバッファからの送信に成功する可能性があります。メッセージバッファの選択は、CH_HALT モードになると解除されます。

しかしながら、CAN ノードが、選択されたメッセージバッファから送信を開始する前にバス (RX 端子) 上に新しいメッセージを検出した場合、送信用に選択されたメッセージバッファはアボート要求によりアボート可能です。

関連する CANFD チャンネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ、TMTAR ビットへの書き込みを行ってください。本ビットは、関連する送信要求 TMTR ビットが 1 の場合のみ、1 にすることができます。

TMTAR ビットは、CPU 書き込みによるクリアはできません。CANFD による本ビットのクリアは、CPU 書き込みによる設定に優先されます。

TMTAR ビットは、以下により自動的にクリアされます。

- 送信成功後の CANFD モジュールロジック
- 送信アボート後の CANFD モジュールロジック
- CAN バスエラーまたはアービトレーションロスト検出時の CANFD モジュールロジック
- CANFD モジュールが GL_RESET モードまたは関連するチャンネルが CH_RESET モードに遷移した場合の CANFD モジュールロジック

TMOM ビット (TX メッセージバッファワンショットモード)

TMOM ビットを 1 にすると、CANFD モジュールロジックはメッセージの送信を 1 回だけ試みます。

送信に成功すると、CFDTMSTSj.TMTRF ビットは 10b または 11b に設定されます。バスエラーまたはバスアービトレーションロストにより送信に失敗した場合、送信は自動的にアボートされ、CFDTMSTSj.TMTRF ビットは 01b に設定されます。

送信成功時またはエラーやアービトレーションロストによりアボートされた場合、TMOM ビットは 1 のままです。

関連する CANFD チャンネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ、本ビットへの書き込みを行ってください。

本ビットは、TMTR ビットと同時に設定してください。また、本ビットのクリアは書き込みで行ってください。

あるメッセージの送信がすでに要求されている場合、そのメッセージ送信が成功するかアボートされるまで本ビットに書き込みを行わないでください。

TMOM ビットは、CANFD モジュールが GL_RESET モードまたは関連するチャンネルが CH_RESET モードの場合、CANFD モジュールロジックにより自動的にクリアされます。

29.2.38 CFDTMSTSj: TX メッセージバッファステータスレジスタ j (j = 0~3)

Base address: CANFD = 0x400B_0000

Offset address: 0x0074 + 0x01 × j

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TMTRM	TMTRM	TMTRF[1:0]	TMSTS	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TMTSTS	TX メッセージバッファ送信ステータス 0: 実行中の送信なし 1: 送信実行中	R
2:1	TMTRF[1:0]	TX メッセージバッファ送信結果フラグ 0 0: 結果なし 0 1: TX メッセージバッファからの送信アボート 1 0: TX メッセージバッファからの送信成功かつ送信アボートの要求なし 1 1: TX メッセージバッファからの送信成功かつ送信アボートの要求あり	R/W
3	TMTRM	TX メッセージバッファ送信要求のミラー 0: TX メッセージバッファ送信の要求なし 1: TX メッセージバッファ送信の要求あり	R
4	TMTARM	TX メッセージバッファ送信アボート要求のミラー 0: TX メッセージバッファ送信要求アボートの要求なし 1: TX メッセージバッファ送信要求アボートの要求あり	R
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

TX メッセージバッファステータスレジスタは、対応するメッセージバッファの送信状態および送信アボートの状態を示します。

TMTSTS ビット (TX メッセージバッファ送信ステータス)

TMTSTS ビットは、対応する TX メッセージバッファからの送信開始で自動的に 1 になります。

本ビットは以下の場合に自動的にクリアされます。

- 送信が停止したとき
- CANFD モジュールが GL_RESET モードであるとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

TMTRF[1:0] ビット (TX メッセージバッファ送信結果フラグ)

TMTRF[1:0] ビットは、対応する TX メッセージバッファの結果を示します。状態は以下のとおりです。

- 00: 送信実行中または要求されていない
- 01: 対応する TX メッセージバッファからの送信アボート
- 10: 対応する TX メッセージバッファからの送信が成功し、本 TX メッセージバッファに対して CFDTMCi.TMTAR ビットが 1 ではない
- 11: 対応する TX メッセージバッファからの送信が成功したが、本 TX メッセージバッファに対して CFDTMCi.TMTAR ビットが 1 である

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ、これらのビットへの書き込みを行ってください。

CANFD モジュールが GL_RESET モードになるか、関連するチャネルが CH_RESET モードになると TMTRF[1:0] ビットは自動的にクリアされます。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合、本ビットは 1 が設定されます。

TMTRM ビット (TX メッセージバッファ送信要求のミラー)

TMTRM ビットは、対応する CFDTMCi レジスタの CFDTMCi.TMTR ビットが 1 のとき、1 になります。

本ビットは、対応する CFDTMCi レジスタの CFDTMCi.TMTR ビットがクリアされると、クリアされます。

TMTARM ビット (TX メッセージバッファ送信アボート要求のミラー)

TMTARM ビットは、対応する CFDTMCi レジスタの CFDTMCi.TMTAR ビットが 1 のとき、1 になります。

本ビットは、対応する CFDTMCi レジスタの CFDTMCi.TMTAR ビットがクリアされると、クリアされます。

各ビットは以下の場合自動的にクリアされます。

- TX メッセージバッファコントロールレジスタの対応ビットがクリアされたとき
- CANFD モジュールが GL_RESET モードであるとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

29.2.41 CFDTMTCSTS : TX メッセージバッファ送信完了ステータスレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x0080

Bit position: 31

3 2 1 0

Bit field:

[illegible]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
3:0	CFDTCSTS3～CFDTCSTS0	TX メッセージバッファ n 送信完了ステータス (n = 0～3) 0: 送信未完了 1: 送信完了	R
31:4	—	読むと 0 が読めます。	R

これらのビットは、対応する TX メッセージバッファに対して TX メッセージバッファの送信完了状態を示します。

CFDTCSTSn ビット (TX メッセージバッファ n 送信完了ステータス (n = 0~3))

CFDTMTCSTS_n ビットは、TX メッセージバッファステータスレジスタの送信完了状態を示します。

各ビットは、TX メッセージバッファステータスレジスタの対応するビットが 1 になると自動的に 1 になります。

各ビットは以下の場合、自動的にクリアされます。

- TX メッセージバッファステータスレジスタの対応ビットがクリアされたとき
- CANFD モジュールが GL_RESET モードであるとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

CAN チャンネルが CH RESET モードになると、そのチャンネルに関連するビットはクリアされます。

29.2.42 CFDTMTASTS : TX メッセージバッファ送信中断ステータスレジスタ

Base address: CANFD = 0x400B 0000

Offset address: 0x0084

Bit position: 31

3 2 1 0

Bit field:

[illegible][illegible]

ビット	シンボル	機能	R/W
3:0	CFD TMTASTS3～ CFD TMTASTS0	TX メッセージバッファ n 送信中断ステータス (n = 0～3) 0: 送信は中断されていない 1: 送信は中断された	R
31:4	—	読むと 0 が読めます。	R

これらのビットは、対応する TX メッセージバッファに対して TX メッセージバッファの送信中断状態を示します。

CFDTMTASTSn ビット (TX メッセージバッファ n 送信中断ステータス (n = 0~3))

CFDTMTASTSn ビットは、対応する TX メッセージバッファの送信アボート成功状態を示します。

各ビットは、対応する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF ビットが 01b になると自動的に 1 になります。

各ビットは以下の場合、自動的にクリアされます。

- 対応する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF ビットがクリアされたとき
- CANFD モジュールが GL_RESET モードであるとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

29.2.43 CFDTMIEC : TX メッセージバッファ割り込み許可コンフィグレーションレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x0088

Bit position: 31

[illegible]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
3:0	TMIE3~TMIE0	TX メッセージバッファ n 割り込み許可 (n = 0~3) 0: TX メッセージバッファ割り込み禁止 1: TX メッセージバッファ割り込み許可	R/W
31:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

これらのビットは、対応する TX メッセージバッファの TX メッセージバッファ割り込み許可を示します。

TMIE_n ビット (TX メッセージバッファ n 割り込み許可 (n = 0~3))

TMIE_n ビットを 1 にすると、対応するメッセージバッファからの送信完了時に割り込みが発生します。

TX メッセージバッファ割り込みの仕様については、「[29.7. 割り込みと DMA](#)」を参照してください。

以下のとき、TMIE_n ビットに書き込まないでください。

- CANFD モジュールが GL_SLEEP モードであるとき
- 関連する CANFD チャネルが CH_SLEEP モードであるとき
- 対応する TX メッセージバッファが CFDCFCC.CFTML ビットで共通 FIFO にリンクされているとき

29.2.44 CFDTXQCC : TX キューコンフィグレーション／コントロールレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x008C

Bit position:

[illegible][illegible]

Bit position:

position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TXQDC[1:0]	TXQIM	—	TXQT XIE	—	—	—	—	—	TXQE

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	TXQE	TX キュー許可 0: TX キュー禁止 1: TX キュー許可	R/W
4:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	TXQTXIE	TX キュー TX 割り込み許可 0: TX キュー TX 割り込み禁止 1: TX キュー TX 割り込み許可	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	TXQIM	TX キュー割り込みモード 0: 最後のメッセージの送信に成功したとき 1: 各送信成功時	R/W
9:8	TXQDC[1:0]	TX キュー深さ構成 0x00: 0 メッセージ 0x01: 予約 0x10: 3 メッセージ 0x11: 4 メッセージ	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

TX キューコンフィグレーション/コントロールレジスタは、TX キュー送信を設定するのに使用されます。

TXQE が許可に設定されているとき、TXQ は、TXMB0～TXMB3（最大）から構成されています。

TXQE ビット (TX キュー許可)

TXQE ビットは、設定されている TX キューの深さが 0x00 (CFDTXQCC.TXQDC = 0x00) の場合 1 に設定できません。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

関連する CANFD チャネルが CH_RESET モードまたは CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

TXQE ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

TXQTXIE ビット (TX キュー TX 割り込み許可)

TXQTXIE ビットを 1 にすると、TXQIM ビットの設定に基づき割り込みが発生します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

関連する CANFD チャネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

TXQIM ビット (TX キュー割り込みモード)

TXQIM ビットは、TX キューの割り込み発生条件を選択します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

関連する CANFD チャネルが下記のモードのいずれかの場合、本ビットへ書き込みを行わないでください。

- CH_SLEEP
- CH_HALT
- CH_OPERATION

TXQDC[1:0] ビット (TX キュー深さ構成)

TXQDC[1:0] ビットは、送信キューの容量を指定します。メッセージバッファ選択は、設定容量に従って MB[0] から開始し、最高 MB[3] までです。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

関連する CANFD チャネルが下記のモードのいずれかの場合、本ビットへ書き込みを行わないでください。

- CH_SLEEP
- CH_HALT

● CH_OPERATION

29.2.45 CFDTXQSTS : TX キューステータスレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x0090

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	TXQMC[2:0]			—	—	—	—	—	TXQT XIF	TXQF LL	TXQE MP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	TXQEMP	TX キューエンプティ 0: TX キューはエンプティではない 1: TX キューはエンプティ	R
1	TXQFLL	TX キューフル 0: TX キューはフルではない 1: TX キューはフル	R
2	TXQTXIF	TX キュー TX 割り込みフラグ 0: フレーム送信後 TX キュー割り込み条件が不成立 1: フレーム送信後 TX キュー割り込み条件が成立	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	TXQMC[2:0]	TX キューメッセージ数 TX キュー内のメッセージ数	R
31:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

TX キューステータスレジスタは、対応する CAN チャンルの TX キューの状態を示します。

TXQEMP ビット (TX キューエンプティ)

TXQEMP ビットは、TX キューが禁止されている、または TX キューにメッセージが格納されていない場合、自動的に 1 になります。

本ビットは以下の場合自動的に 1 になります。

- TX キューから最後のメッセージが送信されたとき
- 関連する CANFD チャンネルが CH_RESET モードであるとき

本ビットは、送信対象の最初のメッセージが TX キューに格納されると自動的にクリアされます。

TXQFLL ビット (TX キューフル)

TXQFLL ビットは、TX キューに格納されている CAN メッセージ数が設定されている TX キュー容量と一致すると自動的に 1 になります。

本ビットは以下の場合自動的にクリアされます。

- TX キューに格納されている CAN メッセージ数が設定されている TX キュー容量以下になったとき
- 関連する CANFD チャンネルが CH_RESET モードであるとき

TXQTXIF ビット (TX キュー TX 割り込みフラグ)

TXQTXIF ビットは、TX キューが禁止されても自動的にクリアされません。

TX キューを停止する場合、TXQE を禁止し、TX キューがエンプティであることを確認後、本ビットをクリアしてください。

- 0を書いたとき
- 関連する CANFD チャネルが CH RESET モードであるとき

これらのビットは、関連する CANFD チャネルが CH RESET モードになると自動的にクリアされます。

- 対応する TX キューが有効にされており、フルではないとき
- 共通 FIFO が有効です。

29.2.47 CFDTHLCC : TX 履歴リストコンフィグレーション/コントロールレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x0098

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	THLDT TE	THLIM	THLIE	—	—	—	—	—	—	—	THLE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	THLE	TX 履歴リスト許可 0: TX 履歴リスト禁止 1: TX 履歴リスト許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	THLIE	TX 履歴リスト割り込み許可 0: TX 履歴リスト割り込み禁止 1: TX 履歴リスト割り込み許可	R/W
9	THLIM	TX 履歴リスト割り込みモード 0: TX 履歴リストレベルが TX 履歴リスト容量の 3/4 になると割り込み発生 1: エントリ格納に成功するたびに割り込み発生	R/W
10	THLDTE	TX 履歴リスト専用 TX 許可 0: TX FIFO + TX キュー 1: フラット TX MB + TX FIFO + TX キュー	R/W
31:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

TX 履歴リストコンフィグレーション/コントロールレジスタは、TX 履歴リスト機能を設定します。

THLE ビット (TX 履歴リスト許可)

THLE ビットを 1 にすると、TX 履歴リストバッファが許可されます。

関連する CANFD チャネルが CH_RESET モードまたは CH_SLEEP モードの場合、本ビットへは書き込みできません。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

THLIE ビット (TX 履歴リスト割り込み許可)

THLIE ビットを 1 にすると、TX 履歴リスト割り込み発生が許可されます。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

THLIM ビット (TX 履歴リスト割り込みモード)

THLIM ビットは、FIFO の割り込み発生条件を選択します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

CANFD モジュールが GL_HALT モードまたは GL_OPERATION モードの場合は本ビットへの書き込みは行わないでください。

THLDTE ビット (TX 履歴リスト専用 TX 許可)

THLDTE ビットは、送信成功後 TX 履歴リストにエントリを格納する条件を選択します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

CANFD モジュールが GL_HALT モードまたは GL_OPERATION モードの場合は本ビットへの書き込みは行わないでください。

29.2.48 CFDTHLSTS : TX 履歴リストステータスレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x009C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	THLMC[3:0]				—	—	—	—	THLIF	THLELT	THLFL	THLEMP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	THLEMP	TX 履歴リストがエンプティ 0: TX 履歴リストがエンプティではない 1: TX 履歴リストがエンプティ	R
1	THLFL	TX 履歴リストがフル 0: TX 履歴リストがフルではない 1: TX 履歴リストがフル	R
2	THLELT	TX 履歴リストのエントリロスト 0: TX 履歴リストにエントリロストなし 1: TX 履歴リストにエントリロストあり	R/W
3	THLIF	TX 履歴リスト割り込みフラグ 0: TX 履歴リスト割り込み条件が不成立 1: TX 履歴リスト割り込み条件が成立	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11:8	THLMC[3:0]	TX 履歴リストメッセージ数 TX 履歴リストに格納されているメッセージ数	R
31:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

TX 履歴リストステータスレジスタは、TX 履歴リストバッファに格納されているデータの状態を示します。

THLEMP ビット (TX 履歴リストがエンプティ)

THLEMP ビットは、CPU が TX 履歴リストバッファから全エントリの読み出しを完了すると自動的に 1 になります。

本ビットは、最初のエントリが TX 履歴リストに格納されると自動的にクリアされます。

本ビットは以下の場合、自動的に 1 になります。

- TX 履歴リストが禁止されているとき
- 関連する CANFD チャンネルが CH_RESET モードであるとき

THLFL ビット (TX 履歴リストがフル)

THLFL ビットは、TX 履歴リストバッファに格納されているエントリ数が設定されている TX 履歴リスト容量と一致すると自動的に 1 になります。

各 TX 履歴リストには最大 8 個のエントリを格納できます。

本ビットは以下の場合、自動的にクリアされます。

- TX 履歴リストバッファ内のエントリ数が TX 履歴リスト容量より小さいとき
- TX 履歴リストが禁止されているとき
- 関連する CANFD チャンネルが CH_RESET モードであるとき

THLELT ビット (TX 履歴リストのエントリロスト)

THLELT ビットは、関連する TX 履歴リストバッファがすでに満杯のため新規エントリが保存できない場合 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

本ビットは以下の場合、クリアされます。

- 0 を書いたとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

THLIF ビット (TX 履歴リスト割り込みフラグ)

THLIF ビットは、設定されている割り込み条件が成立すると 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

本ビットは以下の場合、クリアされます。

- 0 を書いたとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

このビットは、0 を書き込むことによってクリアされます。

本ビットは CH_RESET モードでは自動的にクリアされます。

THLMC[3:0] ビット (TX 履歴リストメッセージ数)

THLMC[3:0] ビットは、TX 履歴リストに格納された送信済みメッセージの数を示します。

これらのビットは関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

29.2.49 CFDTHLACC0 : TX 履歴リストアクセスレジスタ 0

Base address: CANFD = 0x400B_0000

Offset address: 0x0740

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	TMTS[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	BN[1:0]		BT[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	BT[2:0]	バッファタイプ 0 0 1: フラット TX メッセージバッファ 0 1 0: TX FIFO メッセージバッファ番号 1 0 0: TX キューメッセージバッファ番号	R
4:3	BN[1:0]	バッファ番号 メッセージバッファ番号	R
15:5	—	読むと 0 が読めます。	R
31:16	TMTS[15:0]	送信タイムスタンプ ソフトウェアドライバの送信タイムスタンプ値	R

TX 履歴リストアクセスレジスタ 0 は、読み出したタイムスタンプ値に基づき、TX 履歴リスト内エントリへのアクセスを提供します。

BT[2:0]ビット (バッファタイプ)

BT[2:0]ビットは、FIFO バッファ、TX キューまたは TX メッセージバッファからの送信に引き続き、データが格納されたかどうかを示します。

BN[1:0]ビット (バッファ番号)

BN[1:0]ビットは、送信が成功したメッセージバッファを示します。共通 FIFO からメッセージが送信された場合、これらのビットは、送信のために共通 FIFO にリンクされているメッセージバッファを示します。

TMTS[15:0]ビット (送信タイムスタンプ)

TMTS[15:0]ビットは、ソフトウェアドライバで使用するタイムスタンプを示します。

29.2.50 CFDTHLACC1 : TX 履歴リストアクセスレジスタ 1

Base address: CANFD = 0x400B_0000

Offset address: 0x0744

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TIFL[1:0]
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TID[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	TID[15:0]	送信 ID これらのビットは、メッセージバッファリファレンス ID、TX FIFO リファレンス ID、または AFL ポインタフィールドがソフトウェアドライバ用に格納されたことを示します。	R
17:16	TIFL[1:0]	送信情報ラベル これらのビットは、メッセージバッファ情報ラベル、TX FIFO 情報ラベル、または AFL 情報ラベルがソフトウェアドライバ用に格納されたことを示します。	R
31:18	—	読むと 0 が読めます。	R

TX 履歴リストアクセスレジスタ 1 は、読み出したポインタ値に基づき、TX 履歴リスト内エントリへのアクセスを提供します。

TID[15:0]ビット (送信 ID)

TID[15:0]ビットは、ソフトウェアドライバがメッセージバッファリファレンス ID (CFDTMFDCTRb.TMPTR) または TX FIFO リファレンス ID (CFDCFFDCSTS.CFPTR) を使用可能かどうかを示します。

SRST ビット (SW リセット)

SRST ビットを 1 にすると、CANFD モジュールはハードウェアリセットと同じ状態になります。リセットが必要な場合は、本ビットに 1 を書いた後 0 を書きます。

本ビットは、CANFD モジュールが GL_SLEEP モードのときクリアされます。

本ビットがクリアされると、RAM 初期化シーケンスは動作しません。RAM の設定はソフトウェアが行います。

RAM 初期化中にソフトウェアリセットが実行されると、RAM は初期化されません。ソフトウェアは、RAM の初期化を実行する必要があります。

KEY[7:0]ビット (キーコード)

0xC4 が KEY[15:8]ビットに書き込まれると、SRST ビットへの書き込みが有効になります。

読み取り値は常に 0x00 です。

CFDGRSTC.SRST ビットと CFDGRSTC.KEY ビットは同時に書いてください。

29.2.53 CFDGTSTCFG : グローバルテストコンフィグレーションレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x00A8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	RTMPS[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
19:16	RTMPS[3:0]	RAM テストモードページ選択 RAM テストモードページを選択します。	R/W
31:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

グローバルテストコンフィグレーションレジスタは、RAM テストモードページを設定するのに使用されます。

RTMPS[3:0]ビット (RAM テストモードページ選択)

RTMPS[3:0]ビットは、CANFD モジュールが RAM テストモードに設定されているとき、CPU 読み出し／書き込みアクセスの RAM ページモードを選択します。

RAM のテストモード仕様については、「[29.9.2.1. RAM テストモード](#)」を参照してください。

CANFD モジュールが GL_RESET モードまたは GL_SLEEP モードの場合はこれらのビットへの書き込みは行わないでください。

メッセージバッファ RAM に対して、0~8 (0x008) 間の値のみを入力してください。

CANFD モジュールが GL_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

これらのビットは、関連する CANFD チャンネルが GL_RESET モードになると自動的にクリアされます。

29.2.54 CFDGTSTCTR : グローバルテストコントロールレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x00AC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	RTME	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	RTME	RAM テストモード許可 0: RAM テストモード禁止 1: RAM テストモード許可	R/W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

グローバルテストコントロールレジスタは、CANFD モジュールのグローバルテストモードを制御するのに使用されます。

RTME ビット (RAM テストモード許可)

RTME ビットを 1 にすると、CANFD モジュールは RAM テストモードに設定されます。RAM のテストモード仕様については、「[29.9.2.1. RAM テストモード](#)」を参照してください。

CANFD モジュールが GL_HALT モードの場合のみ本ビットへの書き込みを行ってください。

CANFD モジュールが GL_HALT モードの場合、本ビットをクリアしてください。

本ビットは、CANFD モジュールが GL_RESET モードのときに自動的にクリアされます。

29.2.55 CFDGFDCFG : グローバル FD コンフィグレーションレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x00B0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TSCCFG[1:0]	—	—	—	—	—	—	—	—	RPED
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RPED	RES ビットプロトコル例外禁止 0: プロトコル例外事象検出許可 1: プロトコル例外事象検出禁止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
9:8	TSCCFG[1:0]	タイムスタンプキャプチャ設定 0 0: SOF (フレーム先頭) のサンプルポイントでタイムスタンプキャプチャ 0 1: フレーム有効表示時タイムスタンプキャプチャ 1 0: RES ビットのサンプルポイントでタイムスタンプキャプチャ 1 1: 予約ビット	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RPED ビット (RES ビットプロトコル例外禁止)

RPED ビットは、ISO 11898-1 に従って、プロトコル例外事象処理を設定します。

本ビットが有効に設定されていると、プロトコル例外事象検出時 (RES ビットはレセシブとしてサンプリングされる)、プロトコル例外事象検出は禁止され、プロトコルコントローラはエラーフレームを送信します。

CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

TSCCFG[1:0] ビット (タイムスタンプキャプチャ設定)

TSCCFG[1:0] ビットは、送受信に対して異なるタイムスタンプキャプチャポイントを設定します。

CFDGFDCFG.TSCCFG[1:0] が 10b のとき、RES ビットで CANFD フレームのタイムスタンプキャプチャを、そしてフレーム先頭でクラシカルフレームのタイムスタンプキャプチャを実行します。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

29.2.56 CFDGLOCKK : グローバルロックキーレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x00B8

Bit position:	31															15																	0																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																	
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LOCK[15:0]																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0</

ビット	シンボル	機能	R/W
15:0	LOCK[15:0]	ロックキー テストモード保護をロック解除するためのキービット	W
31:16	—	書く場合、0 としてください。	W

グローバルロックキーレジスタは、特殊なテストビットの保護をロック解除するのに使用される書き込み専用のレジスタです。

ロックキー仕様については、「[29.9.2. グローバルテストモード](#)」を参照してください。

LOCK[15:0] ビット (ロックキー)

キーロック解除シーケンスを LOCK[15:0] ビットに書き込み、CANFD モジュールを FIFO OTB 禁止および RAM テストモードに設定する必要があります。

読み取り値は常に 0x0000 です。

CANFD モジュールが GL_SLEEP モードまたは GL_RESET モードの場合はこれらのビットへ書き込みできません。

CANFD モジュールが GL_OPERATION モードの場合はこれらのビットへの書き込みは行わないでください。

29.2.57 CFDRPGACCK: RAM テストページアクセスレジスタ k (k = 0~63)

Base address: CANFD = 0x400B_0000

Offset address: 0x0280 + 0x0004 × k

Bit position: 31

0

Bit field:

RDTA[31:0]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	RDTA[31:0]	RAM データテストアクセス RAM データバイト	R/W

RDTA[31:0]ビット (RAM データテストアクセス)

CANFD モジュールが RAM テストモードに設定されている場合、RDTA[31:0]ビットからのデータの読み出しまたは書き込みが可能です。

CANFD モジュールが GL_HALT モードで RAM テストモードが許可されている場合のみ本ビットへの書き込みを行ってください。

RAM テストモード時ソフトウェアは RAM テストページアクセスレジスタから読み出し／書き込みを行うものとします。

29.2.58 CFDGAFLIGNENT: グローバル AFL 無視エントリレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x00C0

Bit position: 31

3

0

Bit field:

IRN[3:0]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
3:0	IRN[3:0]	イグノアルール番号 AFL エントリを無視するルール番号を定義します。	R/W
31:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

IRN[3:0]ビット (イグノアルール番号)

IRN[3:0]ビットは、AFL エントリを更新するルール番号を定義します。

入力する値は 0~15 (0x0F) (0 と 15 を含む) 間の値のみとします。

CFDGAFLIGNCTR.IREN ビットが 0 の場合のみ、これらのビットに書き込んでください。

CANFD モジュールが GL_SLEEP モードの場合はこれらのビットへは書き込みできません。

29.2.59 CFDGAFLIGNCTR : グローバル AFL 無視コントロールレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x00C4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	IREN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IREN	無視ルール許可 0: AFL エントリ番号は無視されない 1: AFL エントリ番号は無視される	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード これらのビットは IREN ビット書き換えの有効性を制御します。	W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

IREN ビット（無視ルール許可）

IREN ビットを 1 にすると、(CFDGAFLIGNCTR レジスタで選択された) エントリ番号は無視されます。
本ビットは、CANFD モジュールが GL_RESET モードのとき自動的にクリアされます。

KEY[7:0] ビット（キーコード）

0xC4 が KEY[7:0] ビットに書き込まれると、IREN ビットへの書き込みが有効になります。

読み取り値は常に 0x00 です。

CFDGAFLIGNCTR.IREN ビットと CFDGAFLIGNCTR.KEY ビットは同時に書いてください。

29.2.60 CFDRMIEC : RX メッセージバッファ割り込み許可コンフィグレーションレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x0038

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RMIE[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	RMIE[15:0]	RX メッセージバッファ割り込み許可 0: 対応する RX メッセージバッファに対して RX メッセージバッファ割り込みを禁止 1: 対応する RX メッセージバッファに対して RX メッセージバッファ割り込みを許可	R/W

これらのビットは、対応する RX メッセージバッファに対して RX メッセージバッファ割り込みを許可するかどうかを示します。CFDRMIEC ビット 0 は、RX メッセージバッファ 0 に対応し、順次同様に対応します。

CFDRMIEC のビット位置は、RXMB のバッファ番号に対応します。

RMIE[15:0]ビット (RX メッセージバッファ割り込み許可)

本ビットを 1 にすると、対応するメッセージバッファからの受信完了時割り込みが発生します。

詳細は、「[29.7.1. 割り込み](#)」を参照してください。

CANFD モジュールが GL_SLEEP モードの場合は、本ビットへは書き込みできません。

29.2.61 ID ビットアライメント

標準 ID (11 ビット) フォーマット : ID28~ID18 は b10~b0 にアラインし、b11~b28 は 0 とします。

拡張 ID (29 ビット) フォーマット : ID28~ID0 は b28~b0 にアラインします。

表 29.4 標準 ID (11 ビットフォーマット)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
IDE = 0	RTR	—	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0	ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18

表 29.5 拡張 ID (29 ビットフォーマット)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
IDE = 1	RTR	—	ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18	ID17	ID16
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0

29.2.62 メッセージバッファコンポーネントの構造**29.2.62.1 開始アドレス**

各メッセージバッファコンポーネントの開始アドレスは、関連するメッセージバッファコンポーネント数を使って計算されます。

メッセージバッファコンポーネント内の各レジスタの開始アドレスを[表 29.6](#)に示します。

表 29.6 メッセージバッファコンポーネントレジスタの開始アドレス (1/2)

b = メッセージバッファコンポーネントインデックス	MBCP	p	レジスタ	開始アドレス
[0...15] b = [0...7]	RMBCPb[0]	x	RMID	0x0920 + b × 0x004C
		x	RMPTR	0x0924 + b × 0x004C
		x	RMFDSTS b	0x0928 + b × 0x004C
		[1...15]	RMDFbp	0x092C + b × 0x004C + p × 0x0004
[0...15] b = [8...15]	RMBCPb[0]	x	RMIDb	0x0D20 + (b-8) × 0x004C
		x	RMPTRb	0x0D24 + (b-8) × 0x004C
		x	RMFDSTS b	0x0D28 + (b-8) × 0x004C
		[1...15]	RMDFbp	0x0D2C + (b-8) × 0x004C + p × 0x0004
[0...1]	RFMBCPb[0]	x	RFIDb	0x0520 + b × 0x004C
		x	RFPTRb	0x0524 + b × 0x004C
		x	RFFDSTS b	0x0528 + b × 0x004C
		[1...15]	RFDFbp	0x052C + b × 0x004C + p × 0x0004

表 29.6 メッセージバッファコンポーネントレジスタの開始アドレス (2/2)

b = メッセージバッファコンポーネントインデックス	MBCP	p	レジスタ	開始アドレス
[0]	CFMBCPb[0]	x	CFID	0x05B8
		x	CFPTR0	0x05BC
		x	CFFDCST S0	0x05C0
		[1...15]	CFDFp0	0x05C4 + p × 0x0004
[0...3]	TMBCPb[0]	x	TMIDb	0x0604 + b × 0x004C
		x	TMPTRb	0x0608 + b × 0x004C
		x	TMFDCTR b	0x060C + b × 0x004C
		[1...15]	TMDFbp	0x0610 + b × 0x004C + p × 0x0004

メッセージバッファの構成は、4 種類のメッセージバッファコンポーネントで構成されます。

- RX メッセージバッファコンポーネント (CFDRMBCPb[0])
- RX FIFO アクセスメッセージバッファコンポーネント (CFDRFMBCPb[0])
- 共通 FIFO アクセスメッセージバッファコンポーネント (CFDCFMBCPb[0])
- TX メッセージバッファコンポーネント (CFDTMBCPb[0])

ここで、b はメッセージバッファコンポーネントの種類により範囲が変わるメッセージバッファコンポーネントインデックスです。

本構成の概要については、図 29.28 を参照してください。メッセージバッファ数および種類についての詳細な説明については、「29.6. FIFO バッファと通常のメッセージバッファの構成」を参照してください。

「29.2. レジスタの説明」に示すように、各メッセージバッファコンポーネントは下記のレジスタから構成されます。

- 識別子 (ID)
- ポインタ (PTR)
- データフィールド (DFp)

ここで、p はメッセージバッファコンポーネントの種類により範囲が変わるデータフィールドレジスタインデックスです。

Rc はメッセージバッファコンポーネントレジスタですが、ここで c はメッセージバッファコンポーネントの種類により範囲が変わるメッセージバッファコンポーネントレジスタインデックスです。

レジスタおよび関連するビットとそのアクセスの説明を、下記の概要と各コンポーネントの詳細図に示します。

各図において、‘-‘を含むセルは予約済みを意味し、「29.2.62. メッセージバッファコンポーネントの構造」のレジスタの予約ビットと同じ動作をします。

29.2.62.2 CFDRMBCPb[0] : RX メッセージバッファコンポーネント b (b = 0~15)

Base address: CANFD = 0x400B_0000

Offset address: 表 29.6 を参照

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	Rc[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	Rc[15:0]	RX メッセージバッファコンポーネント c 本メッセージバッファコンポーネント内に含まれる各レジスタとその関連するビットの詳細については、表 29.7、表 29.8 および以下の説明を参照してください。	R/W

図 29.28 に示す CFDRMBCPb = 16 の総数です (c = RX メッセージバッファコンポーネントレジスタインデックス = [0...18])。

Rc[15:0]ビット (RX メッセージバッファコンポーネント c)

RX メッセージバッファコンポーネントは下記のレジスタより構成されます。CFDRMIDb、CFDRMPTRb、CFDRMFDSTSb、CFDRMDFbp。本バッファコンポーネントの構造の解釈方法およびそれぞれのレジスタへのアクセス方法の詳細については、表 29.8 を参照してください。

表 29.7 RX メッセージバッファコンポーネントの概要

RX メッセージバッファコンポーネント (RMBCP)	
Rc	CANFD モード (CAN_FD_MODE = 1)
R0	RX メッセージバッファ (b) ID レジスタ
R1	RX メッセージバッファ (b) ポインタレジスタ
R2	RX メッセージバッファ (b) CANFD ステータスレジスタ
R3	RX メッセージバッファ (b) データフィールド 0 レジスタ
R4	RX メッセージバッファ (b) データフィールド 1 レジスタ
R5	RX メッセージバッファ (b) データフィールド 2 レジスタ
R6	RX メッセージバッファ (b) データフィールド 3 レジスタ
R7	RX メッセージバッファ (b) データフィールド 4 レジスタ
R8	RX メッセージバッファ (b) データフィールド 5 レジスタ
R9	RX メッセージバッファ (b) データフィールド 6 レジスタ
R10	RX メッセージバッファ (b) データフィールド 7 レジスタ
R11	RX メッセージバッファ (b) データフィールド 8 レジスタ
R12	RX メッセージバッファ (b) データフィールド 9 レジスタ
R13	RX メッセージバッファ (b) データフィールド 10 レジスタ
R14	RX メッセージバッファ (b) データフィールド 11 レジスタ
R15	RX メッセージバッファ (b) データフィールド 12 レジスタ
R16	RX メッセージバッファ (b) データフィールド 13 レジスタ
R17	RX メッセージバッファ (b) データフィールド 14 レジスタ
R18	RX メッセージバッファ (b) データフィールド 15 レジスタ
R[19...31]	—

表 29.8 RX メッセージバッファコンポーネント (RMBCP) の詳細 (1/2)

Rc	p	シンボル	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R0	x	CFDRMI Db	RMIDb	RMIDb	—	RMID																												
R1	x	CFDRM PTRb	RMDLC			—	—	—	—	—	—	—	—	—	—	—	—	RMTS																
R2	x	CFDRM FDSTSb	RMPTR																—	—	—	—	—	—	RMIFL	—	—	—	—	—	RMFDF	RMBS	RMES	

表 29.8 RX メッセージバッファコンポーネント (RMBCP) の詳細 (2/2)

Rc	p	シンボル	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R3	0	CFDRM DFbp	RMDB_HH								RMDB_HL								RMDB_LH								RMDB_LL							
R[4... 18]	[1... 15]	CFDRM DFbp	RMDB_HH								RMDB_HL								RMDB_LH								RMDB_LL							

29.2.62.3 CFDRMIDb : RX メッセージバッファ ID レジスタ (b = 0~15)

Base address: CANFD = 0x400B_0000

Offset address: 0x0920 + 0x004C × b (b = 0~7)
0x0D20 + 0x004C × (b - 8) (b = 8~15)

Bit position: 31 30 29

0

Bit field:

RMIDE	RMRTR	—	RMID[28:0]																										

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
28:0	RMID[28:0]	RX メッセージバッファ ID フィールド STD-ID/EXT-ID フィールド	R
29	—	読むと 0 が読めます。	R
30	RMRTR	RX メッセージバッファ RTR 0: データフレーム 1: リモートフレーム	R
31	RMIDE	RX メッセージバッファ IDE 0: STD-ID が格納される 1: EXT-ID が格納される	R

RX メッセージバッファ ID レジスタ b (b = 0~15) は、受信メッセージの ID フィールド、IDE ビット、および RTR ビットを格納します。

RMID[28:0]ビット (RX メッセージバッファ ID フィールド)

RMID[28:0]ビットは、RX メッセージバッファに格納されているメッセージの STD-ID/EXT-ID フィールドのビットです。

本バッファコンポーネントの構造の解釈方法の詳細については、「[29.2.62.1. 開始アドレス](#)」を参照してください。

RMRTR ビット (RX メッセージバッファ RTR)

RMRTR ビットは、データフレームまたはリモートフレームのいずれが RX メッセージバッファに格納されたかを示します。

注. CANFD フォーマットにはリモートフレームはありません。CANFD フレームを受信すると、レジスタは受信値 (FD フレームフォーマットの RRS ビット) の状態を反映します。

RMIDE ビット (RX メッセージバッファ IDE)

RMIDE ビットは、標準 ID または拡張 ID のメッセージのいずれが RX メッセージバッファに格納されたかを示します。

29.2.62.4 CFDRMPTRb : RX メッセージバッファポインタレジスタ (b = 0~15)

Base address: CANFD = 0x400B_0000

Offset address: $0x0924 + 0x004C \times b$ ($b = 0 \sim 7$)
 $0x0D24 + 0x004C \times (b - 8)$ ($b = 8 \sim 15$)

Bit position: 31 28 15 0

[illegible]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
15:0	RMTS[15:0]	RX メッセージバッファタイムスタンプフィールド RX メッセージバッファ内のメッセージ用に格納されたタイムスタンプ値	R
27:16	—	読むと 0 が読めます。	R
31:28	RMDLC[3:0]	RX メッセージバッファ DLC フィールド CAN フレームで受信されたデータバイト数	R

RX メッセージバッファポインタレジスタ **b** (**b** = 0~15) は、受信メッセージの DLC およびタイムスタンプフィールドを格納します。

RMTS[15:0]ビット (RX メッセージバッファタイムスタンプフィールド)

RMTS[15:0]ビットは、受信メッセージのCFDGFDCFG.TSCCFGにより設定されたキャプチャポイントで取得されたタイムスタンプ値を格納します。

RMDLC[3:0]ビット (RX メッセージバッファ DLC フィールド)

RMDLC[3:0]ビットは、RX メッセージバッファで受信されたデータバイト数を格納します。

受信データバイト数の定義の詳細については、ISO 11898-1 (2015) 仕様の表 5 を参照してください。

注. バッファの最大容量は CFDRMNB.RMPLS に依存します。これは、クラシカル CAN 機能で使用できません。

29.2.62.5 CFDRMFDSTS_b : RX メッセージバッファ CANFD ステータスレジスタ (b = 0 ~15)

Base address: CANFD = 0x400B 0000

Offset address: $0x0928 + 0x004C \times b$ ($b = 0 \sim 7$)
 $0x0D28 + 0x004C \times (b - 8)$ ($b = 8 \sim 15$)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

Bit field:	RMPTR[15:0]

[illegible]

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bit field:	—	—	—	—	—	—	RMIFL[1:0]	—	—	—	—	—	RMFD F	RMBR S	RMESI

[illegible]

ビット	シンボル	機能	R/W
0	RMES ^(注1)	エラー状態表示 0: エラーアクティブノードから受信した CANFD フレーム 1: エラーパッシブノードから受信した CANFD フレーム	R
1	RMBRS ^(注1)	ビットレートスイッチ 0: ビットレートスイッチなしで受信した CANFD フレーム 1: ビットレートスイッチ付きで受信した CANFD フレーム	R

ビット	シンボル	機能	R/W
2	RMFDF(注1)	CAN-FD フォーマット 0: 非 CANFD フレーム受信 1: CANFD フレーム受信	R
7:3	—	読むと 0 が読めます。	R
9:8	RMIFL[1:0]	RX メッセージバッファ情報ラベルフィールド	R
15:10	—	読むと 0 が読めます。	R
31:16	RMPTR[15:0]	RX メッセージバッファポインタフィールド	R

注 1. このビットは、クラシカル CAN 機能では使用できません。

RX メッセージバッファ CANFD ステータスレジスタ b (b = 0~15) は、受信した CANFD フレームの FDF ビット、BRS ビット、および ESI ビットの状態とポインタを示します。

RMESI ビット (エラー状態表示)

RMESI ビットは受信した CANFD フレームの ESI ビットと同じ値になります。

受信した FDF ビットが 0 のとき、CAN2.0 フレームが受信されたことを意味し、本ビットに 0 が格納されます。

注. このビットは、クラシカル CAN 機能では使用できません。

RMBRS ビット (ビットレートスイッチ)

RMBRS ビットは受信した CANFD フレームの BRS ビットと同じ値になります。

受信した FDF ビットが 0 のとき、CAN2.0 フレームが受信されたことを意味し、本ビットに 0 が格納されます。

注. このビットは、クラシカル CAN 機能では使用できません。

RMFDF ビット (CAN-FD フォーマット)

RMFDF ビットは受信した CANFD フレームの FDF ビットと同じ値になります。

注. このビットは、クラシカル CAN 機能では使用できません。

RMIFL[1:0] ビット (RX メッセージバッファ情報ラベルフィールド)

RMIFL[1:0] ビットは、関連するグローバルアクセプタンスフィルタリストエントリの情報ラベル値を格納します。

RMPTR[15:0] ビット (RX メッセージバッファポインタフィールド)

RMPTR[15:0] ビットは、関連するグローバルアクセプタンスフィルタリストエントリのポインタ値を格納します。

29.2.62.6 CFDRMDFb_p : RX メッセージバッファデータフィールド p レジスタ (p = 0~15, b = 0~15)

Base address: CANFD = 0x400B_0000

Offset address: 0x092C + 0x004C × b + 0x0004 × p (b = 0~7, p = 0~15)
0x0D2C + 0x004C × (b - 8) + 0x0004 × p (b = 8~15, p = 0~15)

Bit position: 31 24 23 16 15 8 7 0

Bit field:	RMDB_HH[7:0]	RMDB_HL[7:0]	RMDB_LH[7:0]	RMDB_LL[7:0]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
7:0	RMDB_LL[7:0]	RX メッセージバッファデータバイト (p × 4)	R
15:8	RMDB_LH[7:0]	RX メッセージバッファデータバイト ((p × 4) + 1)	R
23:16	RMDB_HL[7:0]	RX メッセージバッファデータバイト ((p × 4) + 2)	R
31:24	RMDB_HH[7:0](注1)	RX メッセージバッファデータバイト ((p × 4) + 3)	R

注 1. これらのビットは、クラシカル CAN 機能では使用できません。

RX メッセージバッファデータフィールド p レジスタ b ($p = 0 \sim 15, b = 0 \sim 15$) は、受信メッセージのデータバイト ($p \times 4$) ～データバイト $((p \times 4) + 3)$ を格納します。

RMDB_LL[7:0]ビット (RX メッセージバッファデータバイト ($p \times 4$))

RMDB_LL[7:0]ビットは、RX メッセージバッファにあるメッセージのデータバイト ($p \times 4$) を格納します。
未使用データバイトは 0x00 で埋められます。

RMDB_LH[7:0]ビット (RX メッセージバッファデータバイト $((p \times 4) + 1)$)

RMDB_LH[7:0]ビットは、RX メッセージバッファにあるメッセージのデータバイト $((p \times 4) + 1)$ を格納します。
未使用データバイトは 0x00 で埋められます。

RMDB_HL[7:0]ビット (RX メッセージバッファデータバイト $((p \times 4) + 2)$)

RMDB_HL[7:0]ビットは、RX メッセージバッファにあるメッセージのデータバイト $((p \times 4) + 2)$ を格納します。
未使用データバイトは 0x00 で埋められます。

RMDB_HH[7:0]ビット (RX メッセージバッファデータバイト $((p \times 4) + 3)$)

RMDB_HH[7:0]ビットは、RX メッセージバッファにあるメッセージのデータバイト $((p \times 4) + 3)$ を格納します。
未使用データバイトは 0x00 で埋められます。

29.2.62.7 CFDRFMBCPb[0] : RX FIFO アクセスメッセージバッファコンポーネント b ($b = 0 \sim 1$)

Base address: CANFD = 0x400B_0000

Offset address: 表 29.6 を参照

Bit position: 31

0

Bit field:

Rc[31:0]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	Rc[31:0]	RX FIFO アクセスメッセージバッファコンポーネント c 本メッセージバッファコンポーネント内に含まれる各レジスタとその関連するビットの詳細については、表 29.9、表 29.10 および以下の説明を参照してください。	R

ここで、図 29.28 に示すように、CFDRFMBCPb の合計数 = 2 です ($c = \text{RX FIFO アクセスメッセージバッファコンポーネントレジスタインデックス} = [0 \dots 18]$)。

Rc[31:0]ビット (RX FIFO アクセスメッセージバッファコンポーネント c)

RX FIFO アクセスメッセージバッファコンポーネントは下記のレジスタから構成されます。

- CFDRFIDb
- CFDRFPTRb
- CFDRFFDSTsb
- CFDRFDFbp

本バッファコンポーネントの構造の解釈方法およびそれぞれのレジスタへのアクセス方法の詳細については、表 29.10 を参照してください。

表 29.9 RX FIFO アクセスメッセージバッファコンポーネントの概要 (1/2)

Rc	
R0	RX FIFO アクセス ID レジスタ
R1	RX FIFO アクセスポインタレジスタ

Rc	
R2	RX FIFO アクセス CANFD ステータスレジスタ
R3	RX FIFO アクセスデータフィールド 0 レジスタ
R4	RX FIFO アクセスデータフィールド 1 レジスタ
R5	RX FIFO アクセスデータフィールド 2 レジスタ
R6	RX FIFO アクセスデータフィールド 3 レジスタ
R7	RX FIFO アクセスデータフィールド 4 レジスタ
R8	RX FIFO アクセスデータフィールド 5 レジスタ
R9	RX FIFO アクセスデータフィールド 6 レジスタ
R10	RX FIFO アクセスデータフィールド 7 レジスタ
R11	RX FIFO アクセスデータフィールド 8 レジスタ
R12	RX FIFO アクセスデータフィールド 9 レジスタ
R13	RX FIFO アクセスデータフィールド 10 レジスタ
R14	RX FIFO アクセスデータフィールド 11 レジスタ
R15	RX FIFO アクセスデータフィールド 12 レジスタ
R16	RX FIFO アクセスデータフィールド 13 レジスタ
R17	RX FIFO アクセスデータフィールド 14 レジスタ
R18	RX FIFO アクセスデータフィールド 15 レジスタ
R[19...31]	—

Rc	p	シンボル	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R0	x	CFDRMI Db	RMIDe	RMIDTr	—	RMID																												
R1	x	CFDRM PTRb	RMDLC			—	—	—	—	—	—	—	—	—	—	—	—	—	RMTS															
R2	x	CFDRM FDSTsb	RMPTR																—	—	—	—	—	—	RMIFL	—	—	—	—	—	RMFDF	RMBRs	RMESi	
R3	0	CFDRM DFbp	RMDb_HH								RMDb_HL								RMDb_LH							RMDb_LL								
R[4... 18]	[1... 15]	CFDRM DFbp	RMDb_HH								RMDb_HL								RMDb_LH						RMDb_LL									

29.2.62.10 CFDRFFDSTSB : RX FIFO アクセス CANFD ステータスレジスタ b (b = 0~1)

Base address: CANFD = 0x400B_0000

Offset address: 0x0528 + 0x004C × b

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CFDRFPTR[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	RFIFL[1:0]		—	—	—	—	—	RFFD F	RFBR S	RFESI
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RFESI ^(注1)	エラー状態表示 0: エラーアクティブノードから受信した CANFD フレーム 1: エラーパッシブノードから受信した CANFD フレーム	R
1	RFBR ^(注1)	ビットレートスイッチ 0: ビットレートスイッチなしで受信した CANFD フレーム 1: ビットレートスイッチ付きで受信した CANFD フレーム	R
2	RFFDF ^(注1)	CAN FD フォーマット 0: 非 CANFD フレーム受信 1: CANFD フレーム受信	R
7:3	—	読むと 0 が読めます。	R
9:8	RFIFL[1:0]	RX FIFO バッファ情報ラベルフィールド	R
15:10	—	読むと 0 が読めます。	R
31:16	CFDRFPTR[15:0]	RX FIFO バッファポインタフィールド	R

注 1. このビットは、クラシカル CAN 機能では使用できません。

RX FIFO アクセス CANFD ステータスレジスタ b (b = 0~1) は、受信した CANFD フレームのポインタを含めて、FDF ビット、BRS ビット、ESI ビットの状態を示します。

RFESI ビット (エラー状態表示)

RFESI ビットは受信した CANFD フレームの ESI ビットと同じ値になります。

受信した FDF ビットが 0 のとき、CAN2.0 フレームが受信されたことを意味し、本ビットに 0 が格納されます。

注. このビットは、クラシカル CAN 機能では使用できません。

RFBR ビット (ビットレートスイッチ)

RFBR ビットは受信した CANFD フレームの BRS ビットと同じ値になります。

受信した FDF ビットが 0 のとき、CAN2.0 フレームが受信されたことを意味し、本ビットに 0 が格納されます。

注. このビットは、クラシカル CAN 機能では使用できません。

RFFDF ビット (CAN FD フォーマット)

RFFDF ビットは受信した CANFD フレームの FDF ビットと同じ値になります。

注. このビットは、クラシカル CAN 機能では使用できません。

RFIFL[1:0] ビット (RX FIFO バッファ情報ラベルフィールド)

RFIFL[1:0] ビットは、関連するグローバルアクセプタンスフィルタリストエントリの情報ラベル値を格納します。

CFDRFPTR[15:0]ビット (RX FIFO バッファポインタフィールド)

CFDRFPTR[15:0]ビットは、関連するグローバルアクセプタンスフィルタリストエントリのポインタ値を格納します。

29.2.62.11 CFDRFDFb_p : RX FIFO アクセスデータフィールド p レジスタ b (p = 0~15, b = 0~1)

Base address: CANFD = 0x400B_0000

Offset address: 0x052C + 0x004 × p + 0x04C × b

Bit position:	31	24	23	16	15	8	7	0
Bit field:	RFDB_HH[7:0]				RFDB_HL[7:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	RFDB_LL[7:0]	RX FIFO バッファデータバイト (p × 4)	R
15:8	RFDB_LH[7:0]	RX FIFO バッファデータバイト ((p × 4) + 1)	R
23:16	RFDB_HL[7:0]	RX FIFO バッファデータバイト ((p × 4) + 2)	R
31:24	RFDB_HH[7:0]	RX FIFO バッファデータバイト ((p × 4) + 3)	R

RX FIFO アクセスデータフィールド p レジスタ b (p = 0~15, b = 0~1) は、受信メッセージのデータバイト (p × 4) ~ データバイト ((p × 4) + 3) を格納します。

RFDB_LL[7:0]ビット (RX FIFO バッファデータバイト (p × 4))

RFDB_LL[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト (p × 4) を格納します。

未使用データバイトは、CFDRFCCa.RFPLS で設定されたデータペイロードサイズに従って、0x00 で埋められます。

RFDB_LH[7:0]ビット (RX FIFO バッファデータバイト ((p × 4) + 1))

RFDB_LH[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト ((p × 4) + 1) を格納します。

未使用データバイトは 0x00 で埋められます。

RFDB_HL[7:0]ビット (RX FIFO バッファデータバイト ((p × 4) + 2))

RFDB_HL[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト ((p × 4) + 2) を格納します。

未使用データバイトは 0x00 で埋められます。

RFDB_HH[7:0]ビット (RX FIFO バッファデータバイト ((p × 4) + 3))

RFDB_HH[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト ((p × 4) + 3) を格納します。

未使用データバイトは 0x00 で埋められます。

29.2.62.12 CFDCFMBCP0[0] : 共通 FIFO アクセスメッセージバッファコンポーネント

Base address: CANFD = 0x400B_0000

Offset address: 表 29.6 を参照

Bit position:	31	0
Bit field:	Rc[31:0]	
Value after reset:	0	0

ビット	シンボル	機能	R/W
31:0	Rc[31:0]	共通 FIFO アクセスメッセージバッファコンポーネント c 本メッセージバッファコンポーネント内に含まれる各レジスタとその関連するビットの詳細については、表 29.11、表 29.12、および以下の説明を参照してください。	R

ここで、図 29.28 に示すように CFDCFMBCP0 の合計数 = 1 (c = 共通 FIFO メッセージバッファコンポーネント
レジスタインデックス = [0...18])

Rc[31:0]ビット (共通 FIFO アクセスメッセージバッファコンポーネント c)

共通 FIFO アクセスメッセージバッファコンポーネントは次のレジスタより構成されます：CFDCFID、CFDCFPTR、CFFDSTS0、および CFDCFDFp。本バッファコンポーネントの構造の解釈方法およびそれぞれのレジスタへのアクセス方法の詳細については、表 29.12 を参照してください。

表 29.11 共通 FIFO アクセスメッセージバッファコンポーネントの概要

共通 FIFO アクセスメッセージバッファコンポーネント (CFMBCP)	
Rc	CANFD モード (CAN_FD_MODE = 1)
R0	共通 FIFO アクセス ID レジスタ
R1	共通 FIFO アクセスポインタレジスタ
R2	共通 FIFO アクセス CANFD ステータスレジスタ
R3	共通 FIFO アクセスデータフィールド 0 レジスタ
R4	共通 FIFO アクセスデータフィールド 1 レジスタ
R5	共通 FIFO アクセスデータフィールド 2 レジスタ
R6	共通 FIFO アクセスデータフィールド 3 レジスタ
R7	共通 FIFO アクセスデータフィールド 4 レジスタ
R8	共通 FIFO アクセスデータフィールド 5 レジスタ
R9	共通 FIFO アクセスデータフィールド 6 レジスタ
R10	共通 FIFO アクセスデータフィールド 7 レジスタ
R11	共通 FIFO アクセスデータフィールド 8 レジスタ
R12	共通 FIFO アクセスデータフィールド 9 レジスタ
R13	共通 FIFO アクセスデータフィールド 10 レジスタ
R14	共通 FIFO アクセスデータフィールド 11 レジスタ
R15	共通 FIFO アクセスデータフィールド 12 レジスタ
R16	共通 FIFO アクセスデータフィールド 13 レジスタ
R17	共通 FIFO アクセスデータフィールド 14 レジスタ
R18	共通 FIFO アクセスデータフィールド 15 レジスタ
R[19...31]	—

表 29.12 共通 FIFO アクセスメッセージバッファコンポーネント (CFMBCP) の詳細 (1/2)

Rc	p	シンボル	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
R0	x	CFDCFI D	CFIDE	CFRTR	THLEN	CFID																																		
R1	x	CFDCFPTR	CFDLC			—	—	—	—	—	—	—	—	—	—	—	—	CFTS																						
R2	x	CFDCFF DCSTS	CFPTR															—	—	—	—	—	—	CFIFL	—	—	—	—	—	CFDF	CFBRS	CFESI								

表 29.12 共通 FIFO アクセスメッセージバッファコンポーネント (CFMBCP) の詳細 (2/2)

Rc	p	シンボル	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R3	0	CFDCF DFp	CFDB_HH								CFDB_HL								CFDB_LH								CFDB_LL							
R[4...18]	[1...15]	CFDCF DFp	CFDB_HH								CFDB_HL								CFDB_LH								CFDB_LL							
R[19...31]	x	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	

29.2.62.13 CFDCFID : 共通 FIFO アクセス ID レジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x05B8

Bit position: 31 30 29 28

0

Bit field:

CFIDE	CFRTR	THLEN	CFID[28:0]																									

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
28:0	CFID[28:0]	共通 FIFO バッファ ID フィールド STD-ID/EXT-ID フィールド	R/W
29	THLEN	THL エントリ許可 TX FIFO モード : 0: TX 成功後エントリを THL に格納しない 1: TX 成功後エントリを THL に格納する RX FIFO モード : 予約ビット。読むと 0 が読めます。	R/W
30	CFRTR	共通 FIFO バッファ RTR ビット 0: データフレーム 1: リモートフレーム	R/W
31	CFIDE	共通 FIFO バッファ IDE ビット 0: STD-ID を送信予定あるいは受信済み 1: EXT-ID を送信予定あるいは受信済み	R/W

共通 FIFO アクセス ID レジスタは、メッセージの ID フィールド、IDE ビット、および RTR ビットを格納します。

TX モードでは、書き込みポインタ値に基づき、（他のエントリではなく）現在のエントリに対してのみ FIFO からデータを読み出し可能です。

CFID[28:0]ビット（共通 FIFO バッファ ID フィールド）

これらのビットは、FIFO バッファにあるメッセージの STD-ID/EXT-ID フィールドのビットです。

TX モードでは、FIFO バッファに対して書き込みおよび読み出しが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

THLEN ビット（THL エントリ許可）

このビットは、送信成功後、TX 履歴リストにある送信メッセージに対応するエントリの格納を制御します。

TX モードでは、FIFO バッファに対して書き込みおよび読み出しが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

CFRTR ビット（共通 FIFO バッファ RTR ビット）

このビットは、データフレームまたはリモートフレームを FIFO バッファから送信するのか、または FIFO バッファに受信したのかを示します。

注.CANFD フォーマットにはリモートフレームはありません。CANFD フレームを受信すると (RX モード)、レジスタは受信値 (FD フレームフォーマットの RRS ビット) の状態を反映します。CANFD 送信時 (TX モード、CFDCFDID.CFFDF=1)、本ビットは常にドミナント (データフレーム) として送信されます。

TX モードでは、FIFO バッファに対して書き込みおよび読み出しが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

CFIDE ビット（共通 FIFO バッファ IDE ビット）

このビットは、EXT-ID または STD-ID のメッセージを FIFO バッファから送信するのか、または FIFO バッファに受信したのかを示します。

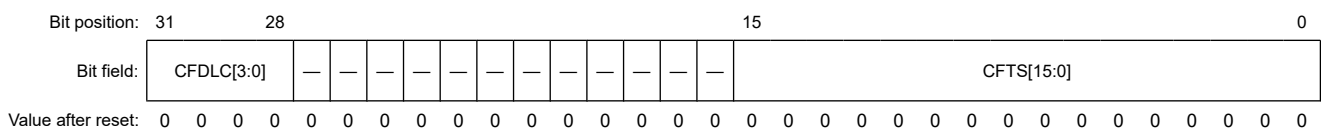
TX モードでは、FIFO バッファに対して書き込みおよび読み出しが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

29.2.62.14 CFDCFPTR : 共通 FIFO アクセスポインタレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x05BC



ビット	シンボル	機能	R/W
15:0	CFTS[15:0]	共通 FIFO タイムスタンプ値 受信した CAN フレームのタイムスタンプ値 (FIFO は RX モード)	R/W
27:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:28	CFDLC[3:0]	共通 FIFO バッファ DLC フィールド CAN フレームで受信された、または CAN フレームで送信されるデータバイト数	R/W

共通 FIFO アクセスポインタレジスタは、DLC およびタイムスタンプフィールドを格納します。

TX モードでは、書き込みポインタ値に基づき、（他のエントリではなく）現在のエントリに対してのみ FIFO バッファからデータを読み出し可能です。

CFTS[15:0]ビット（共通 FIFO タイムスタンプ値）

CFTS[15:0]ビットは、受信メッセージのCFDGFDCFG.TSCCFG ビットにより設定されたキャプチャポイントで取得されたタイムスタンプ値を格納します（FIFO が RX モードに設定されている場合）。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

CFDLC[3:0]ビット（共通 FIFO バッファ DLC フィールド）

CFDLC[3:0]ビットは、FIFO バッファで受信された、または送信予定のデータバイト数を格納します。

データバイト数の定義の詳細については、ISO 11898-1 (2015) 仕様の表 5 を参照してください。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。TX モードに設定時、FIFO 内の他のエントリ用のデータを読み出さないでください。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

29.2.62.15 CFDCFFDCSTS : 共通 FIFO アクセス CANFD コントロール/ステータスレジスタ

Base address: CANFD = 0x400B_0000

Offset address: 0x05C0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CFPTR[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CFIFL[1:0]	—	—	—	—	—	—	CFFD F	CFBR S	CFESI
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CFESI ^(注1)	エラー状態表示ビット 0: エラーアクティブノードにより受信または送信する CANFD フレーム 1: エラーパッシブノードにより受信または送信する CANFD フレーム	R/W
1	CFBRS ^(注1)	ビットレートスイッチビット 0: ビットレートスイッチなしで受信または送信する CANFD フレーム 1: ビットレートスイッチ付きで受信または送信する CANFD フレーム	R/W
2	CFFDF ^(注1)	CAN FD フォーマットビット 0: 非 CANFD フレーム受信または送信 1: CANFD フレーム受信または送信	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	CFIFL[1:0]	共通 FIFO バッファ情報ラベルフィールド	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:16	CFPTR[15:0]	共通 FIFO バッファポインタフィールド	R/W

注 1. このビットは、クラシカル CAN 機能では使用できません。

共通 FIFO アクセス CANFD コントロール/ステータスレジスタは、受信したまたは送信する CANFD フレームのポインタを含めて、FDF ビット、BRS ビット、ESI ビットの状態を示します。

TX モードでは、書き込みポインタ値に基づき、(他のエントリではなく) 現在のエントリに対してのみ FIFO からデータを読み出し可能です。

CFESI ビット (エラー状態表示ビット)

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。本モードでは、CANFD モジュールがエラーパッシブでない場合、CFESI ビットは書き込み値と等しくなります。CANFD モジュールがエラーパッシブの場合、本ビットは Don't care ビットとなり、CAN バス上を 1 (エラーパッシブノードであることを示す) として送信されます。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モード時、CANFD フレームを受信すると、CFESI ビットは CANFD フレームの ESI ビット値で更新され、送信ノードのエラー状態を示します。RX モード時、受信した FDF ビットが 0 の場合はこのビットに 0 が格納され、これは CAN 2.0 フレームが受信されたことを意味します。

注. このビットは、クラシカル CAN 機能では使用できません。

CFBRS ビット (ビットレートスイッチビット)

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。本モードで CANFD モジュールは、0 を送信しフレーム内でビットレートスイッチは送信されないことを示すか、または 1 を送信しフレーム内でビットレートスイッチを送信することを示します。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モード時、CANFD フレームを受信すると、CFBRS ビットは CANFD フレームの BRS ビット値で更新され、ビットレートスイッチの (1) または (0) のいずれが存在するかを示します。

RX モード時、受信した FDF ビットが 0 の場合 CFBRS ビットに 0 が格納され、これは CAN 2.0 フレームが受信されたことを意味します。

注 このビットは、クラシカル CAN 機能では使用できません。

CFFDF ビット (CAN FD フォーマットビット)

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。本モードで CANFD モジュールは、0 を送信し CAN 2.0 フレームが送信されることを示すか、または 1 を送信し CANFD フレームが送信されることを示します。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モード時、CAN フレームを受信すると、CFFDF ビットは CAN フレームの FDF ビット値で更新され、それが CAN 2.0 フレーム (0) であるか CANFD フレーム (1) であるかを示します。

注 このビットは、クラシカル CAN 機能では使用できません。

CFIFL[1:0]ビット (共通 FIFO バッファ情報ラベルフィールド)

共通 FIFO が TX モードに設定されている場合は、メッセージ送信成功後、CFDCFFDCSTS.CFIFL[1:0]に書かれている値が追加のメッセージ情報と一緒に TX 履歴リストに格納されます。

関連するグローバルアクセプタンスフィルタリストエントリの情報ラベル値がこれらのビットに格納されます (FIFO が RX モードに設定時)。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

CFPTR[15:0]ビット (共通 FIFO バッファポインタフィールド)

共通 FIFO が TX モードに設定されている場合は、メッセージ送信成功後、CFDCFFDCSTS.CFPTR[15:0]に書かれている値が追加のメッセージ情報と一緒に TX 履歴リストに格納されます。

関連するグローバルアクセプタンスフィルタリストエントリのポインタ値がこれらのビットに格納されます (FIFO が RX モードに設定時)。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

29.2.62.16 CFDCDFp : 共通 FIFO アクセスデータフィールド p レジスタ (p = 0~15)

Base address: CANFD = 0x400B_0000

Offset address: 0x05C4 + 0x004 × p

Bit position:	31	24	23	16	15	8	7	0
Bit field:	CFDB_HH[7:0]				CFDB_HL[7:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	CFDB_LL[7:0]	共通 FIFO バッファデータバイト (p * 4)	R/W
15:8	CFDB_LH[7:0]	共通 FIFO バッファデータバイト ((p * 4) + 1)	R/W
23:16	CFDB_HL[7:0]	共通 FIFO バッファデータバイト ((p * 4) + 2)	R/W
31:24	CFDB_HH[7:0]	共通 FIFO バッファデータバイト ((p * 4) + 3)	R/W

FIFO アクセスデータフィールド p レジスタ (p = 0~15) は、メッセージのデータバイト (p * 4) ~ データバイト ((p * 4) + 3) を格納します。

TX モードでは、書き込みポインタ値に基づき、(他のエントリではなく) 現在のエントリに対してのみ FIFO からデータを読み出し可能です。

CFDB_LL[7:0]ビット (共通 FIFO バッファデータバイト (p * 4))

CFDB_LL[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト (p * 4) を格納します。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モードでは、未使用データバイトは、CFDCFCC.CFPLS で設定されたデータペイロードサイズに従って、0x00 で埋められます。(注1)

CFDB_LH[7:0]ビット (共通 FIFO バッファデータバイト ((p * 4) + 1))

CFDB_LH[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト ((p * 4) + 1) を格納します。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モードでは、未使用データバイトは、CFDCFCC.CFPLS で設定されたデータペイロードサイズに従って、0x00 で埋められます。(注1)

CFDB_HL[7:0]ビット (共通 FIFO バッファデータバイト ((p * 4) + 2))

CFDB_HL[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト ((p * 4) + 2) を格納します。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モードでは、未使用データバイトは、CFDCFCC.CFPLS で設定されたデータペイロードサイズに従って、0x00 で埋められます。(注1)

CFDB_HH[7:0]ビット (共通 FIFO バッファデータバイト ((p * 4) + 3))

CFDB_HH[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト ((p * 4) + 3) を格納します。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モードでは、未使用データバイトは、CFDCFCC.CFPLS で設定されたデータペイロードサイズに従って、0x00 で埋められます。(注1)

注 1. RX モードでは、未使用データバイトは、CFDCFCC.CFPLS で設定されたデータペイロードサイズに従って、0x00 で埋められます。これは、クラシカル CAN 機能にはない CANFD 機能です。

29.2.62.17 CFDTMBCPb[0] : Tx メッセージバッファコンポーネント b (b = 0~3)

Base address: CANFD = 0x400B_0000

Offset address: 表 29.6 を参照

Bit position: 31

0

Bit field:

Rc[31:0]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	Rc[31:0]	TX メッセージバッファコンポーネント c 本メッセージバッファコンポーネント内に含まれる各レジスタとその関連するビットの詳細については、表 29.13、表 29.14 および以下の説明を参照してください。	R

ここで、図 29.28 に示すように、CFDTMBCPn の合計数 = 4 です (c = TX メッセージバッファコンポーネントレジスタインデックス = [0...18])。

Rc[31:0]ビット (TX メッセージバッファコンポーネント c)

TX メッセージバッファコンポーネント c

TX メッセージバッファコンポーネントは下記のレジスタより構成されます。CFDTMIDb、CFDTMPTRb、CFDTMFDCTRb、およびCFDTMDFbp。本バッファコンポーネントの構造の解釈方法およびそれぞれのレジスタへのアクセス方法の詳細については、表 29.14 を参照してください。

表 29.13 TX メッセージバッファコンポーネントの概要

TX メッセージバッファコンポーネント (TMBCP)	
Rc	CANFD モード (CAN_FD_MODE = 1b)
R0	TX メッセージバッファ (b) ID レジスタ
R1	TX メッセージバッファ (b) ポインタレジスタ
R2	TX メッセージバッファ (b) CANFD ステータスレジスタ
R3	TX メッセージバッファ (b) データフィールド 0 レジスタ
R4	TX メッセージバッファ (b) データフィールド 1 レジスタ
R5	TX メッセージバッファ (b) データフィールド 2 レジスタ
R6	TX メッセージバッファ (b) データフィールド 3 レジスタ
R7	TX メッセージバッファ (b) データフィールド 4 レジスタ
R8	TX メッセージバッファ (b) データフィールド 5 レジスタ
R9	TX メッセージバッファ (b) データフィールド 6 レジスタ
R10	TX メッセージバッファ (b) データフィールド 7 レジスタ
R11	TX メッセージバッファ (b) データフィールド 8 レジスタ
R12	TX メッセージバッファ (b) データフィールド 9 レジスタ
R13	TX メッセージバッファ (b) データフィールド 10 レジスタ
R14	TX メッセージバッファ (b) データフィールド 11 レジスタ
R15	TX メッセージバッファ (b) データフィールド 12 レジスタ
R16	TX メッセージバッファ (b) データフィールド 13 レジスタ
R17	TX メッセージバッファ (b) データフィールド 14 レジスタ
R18	TX メッセージバッファ (b) データフィールド 15 レジスタ
R[19...31]	—

表 29.14 TX メッセージバッファコンポーネント (TMBCP) の詳細

Rc	p	シンボル	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
R0	x	CFDTMI Db	TMIDb	TMIDb	TMIDb	TMID																																		
R1	x	CFDTM PTRb	TMDLC			—	—	—	—	—	—	—	—	—	—	—	—	CFTS																						
R2	x	CFDTM FDCTRb	TMPTR															—	—	—	—	—	—	TMIFL	—	—	—	—	—	—	—	—	—	—	—	—	—			
R3	0	CFDTM DFbp	TMDB_HH					TMDB_HL					TMDB_LH					TMDB_LL																						
R[4...15]	[1...15]	CFDTM DFbp	TMDB_HH					TMDB_HL					TMDB_LH					TMDB_LL																						

29.2.62.18 CFDTMIDb : TX メッセージバッファ ID レジスタ (b = 0~3)

Base address: CANFD = 0x400B_0000

Offset address: 0x0604 + 0x004C × b

Bit position: 31 30 29

0

Bit field:



Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
28:0	TMID[28:0]	TX メッセージバッファ ID フィールド STD-ID/EXT-ID フィールド	R/W
29	THLEN	Tx 履歴リストエントリ 0: TX 成功後エントリを THL に格納しない 1: TX 成功後エントリを THL に格納する	R/W
30	TMRTR	TX メッセージバッファ RTR 0: データフレーム 1: リモートフレーム	R/W
31	TMIDE	TX メッセージバッファ IDE 0: STD-ID が送信される 1: EXT-ID が送信される	R/W

各 TX メッセージバッファ ID レジスタ b (b = 0~3) は、関連するバッファから送信するメッセージの ID、IDE、RTR の各フィールドおよび履歴構成を格納するのに使用されます。

TMID[28:0]ビット (TX メッセージバッファ ID フィールド)

TMID[28:0]ビットは、本 TX メッセージバッファに格納されているメッセージの STD-ID/EXT-ID フィールドのビットです。

関連する CANFD チャンネルが CH_SLEEP モードの場合、これらのビットへ書き込みを行わないでください。

THLEN ビット (Tx 履歴リストエントリ)

THLEN ビットは、送信成功後、TX 履歴リストにある送信メッセージに対応するエントリの格納を制御します。

関連する CANFD チャンネルが CH_SLEEP モードの場合、これらのビットへ書き込みを行わないでください。

TMRTR ビット (TX メッセージバッファ RTR)

TMRTR ビットは、本 TX メッセージバッファからデータフレームを送信するのかまたはリモートフレームを送信するのかを選択します。

注. CANFD フォーマットにはリモートフレームはありません。CANFD 送信時 (CFDTMFDCTRb.CFFDF = 1)、本ビットは常にドミナント (データフレーム) として送信されます。

関連する CANFD チャンネルが CH_SLEEP モードの場合、これらのビットへ書き込みを行わないでください。

TMIDE ビット (TX メッセージバッファ IDE)

TMIDE ビットは、本 TX バッファから EXT-ID 付きのメッセージを送信するのかまたは STD-ID 付きのメッセージを送信するのかを選択します。

関連する CANFD チャンネルが CH_SLEEP モードの場合、これらのビットへ書き込みを行わないでください。

29.2.62.19 CFDTMPTRb : TX メッセージバッファポインタレジスタ (b = 0~3)

Base address: CANFD = 0x400B_0000

Offset address: $0x0608 + 0x004C \times b$

Bit position: 31 28 0

[illegible]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
27:0	—	読み出し値は不定です。書く場合、0としてください。	R/W
31:28	TMDLC[3:0]	TX メッセージバッファ DLC フィールド CAN フレームで送信するデータバイト数	R/W

各 TX メッセージバッファポインタレジスタ **b** (**b** = 0~3) は、対応するバッファから送信するためのメッセージの DLC フィールドを格納するために使用されます。

TMDLC[3:0]ビット (TX メッセージバッファ DLC フィールド)

TMDLC[3:0]ビットは、対応する TMRTR ビットが 0 に設定されているとき、本 TX メッセージバッファから送信するデータバイト数を選択します。

送信するデータバイト数の定義の詳細については、ISO 11898-1 (2015) 仕様の表 5 を参照してください。

関連する CANFD チャンネルが CH SLEEP モードの場合、これらのビットへ書き込みを行わないでください。

29.2.62.20 CFDTMFDCTRb : TX メッセージバッファ CANFD コントロールレジスタ (b = 0~3)

Base address: CANFD = 0x400B 0000

Offset address: $0x060C + 0x004C \times b$

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

Bit field:	TMPTR[15:0]

[illegible]

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:	—	—	—	—	—	—	TMIFL[1:0]	—	—	—	—	—	TMFD F	TMBR S	TMESI

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	TMESI(注1)	エラー状態表示ビット 0: エラーアクティブノードにより送信する CANFD フレーム 1: エラーパッシブノードにより送信する CANFD フレーム	R/W
1	TMBRS(注1)	ビットレートスイッチビット 0: ビットレートスイッチなしで送信する CANFD フレーム 1: ビットレートスイッチ付きで送信する CANFD フレーム	R/W
2	TMFDF(注1)	CAN FD フォーマットビット 0: 非 CANFD フレームを送信 1: CANFD フレームを送信	R/W
7:3	—	読み出し値は不定です。書く場合、0 としてください。	R/W
9:8	TMIFL[1:0]	TX メッセージバッファ情報ラベルフィールド	R/W
15:10	—	読み出し値は不定です。書く場合、0 としてください。	R/W
31:16	TMPTR[15:0]	TX メッセージバッファポインタフィールド	R/W

注 1. このビットは、クラシカル CAN 機能では使用できません。

TX メッセージバッファ CANFD コントロールレジスタ b (b=0~3) は、送信する CANFD フレームのポインタフィールドを含めて、FDF ビット、BRS ビット、および ESI ビットの状態を示します。

TMESI ビット (エラー状態表示ビット)

チャンネルがエラーパッシブでない場合、TMESI ビットは書き込み値と等しくなります。チャンネルがエラーパッシブの場合、本ビットは Don't care ビットとなり、CAN バス上を 1 (エラーパッシブノードであることを示す) として送信されます。

関連する CANFD チャンネルが CH_SLEEP モードの場合、TMESI ビットへ書き込みを行わないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

TMBRS ビット (ビットレートスイッチビット)

関連する CANFD チャンネルが CH_SLEEP モードの場合、TMBRS ビットへ書き込みを行わないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

TMFDF ビット (CAN FD フォーマットビット)

関連する CANFD チャンネルが CH_SLEEP モードの場合、TMFDF ビットへ書き込みを行わないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

TMIFL[1:0] ビット (TX メッセージバッファ情報ラベルフィールド)

TMIFL[1:0] ビットは、メッセージの送信成功後、コピー対象の情報ラベル値を追加のメッセージ情報とともに TX 履歴リストに格納します。

関連する CANFD チャンネルが CH_SLEEP モードの場合、これらのビットへ書き込みを行わないでください。

TMPTR[15:0] ビット (TX メッセージバッファポインタフィールド)

TMPTR[15:0] ビットは、メッセージの送信成功後、コピー対象のポインタ値を追加のメッセージ情報とともに TX 履歴リストに格納します。

関連する CANFD チャンネルが CH_SLEEP モードの場合、これらのビットへ書き込みを行わないでください。

29.2.62.21 CFDTMDFb_p : TX メッセージバッファデータフィールドレジスタ (p=0~15, b=0~3)

Base address: CANFD = 0x400B_0000

Offset address: 0x0610 + 0x004 × p + 0x004C × b

Bit position:	31	24	23	16	15	8	7	0																																
Bit field:	<table><tr><td colspan="8">TMDB_HH[7:0]</td><td colspan="8">TMDB_HL[7:0]</td><td colspan="8">TMDB_LH[7:0]</td><td colspan="8">TMDB_LL[7:0]</td></tr></table>								TMDB_HH[7:0]								TMDB_HL[7:0]								TMDB_LH[7:0]								TMDB_LL[7:0]							
TMDB_HH[7:0]								TMDB_HL[7:0]								TMDB_LH[7:0]								TMDB_LL[7:0]																
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																																							

ビット	シンボル	機能	R/W
7:0	TMDB_LL[7:0]	TX メッセージバッファデータバイト (p × 4)	R/W
15:8	TMDB_LH[7:0]	TX メッセージバッファデータバイト ((p × 4) + 1)	R/W
23:16	TMDB_HL[7:0]	TX メッセージバッファデータバイト ((p × 4) + 2)	R/W
31:24	TMDB_HH[7:0]	TX メッセージバッファデータバイト ((p × 4) + 3)	R/W

各 TX メッセージバッファデータフィールド p レジスタ b (p=0~15, b=0~3) は、関連するバッファから送信するメッセージのデータバイト (p × 4) ~ データバイト ((p × 4) + 3) を格納します。

TMDB_LL[7:0] ビット (TX メッセージバッファデータバイト (p × 4))

TMDB_LL[7:0] ビットは、TX メッセージバッファにあるメッセージのデータバイト (p × 4) を格納します。

関連する CANFD チャンネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

TMDB_LH[7:0]ビット (TX メッセージバッファデータバイト $((p \times 4) + 1)$)

TMDB_LH[7:0]ビットは、TX メッセージバッファにあるメッセージのデータバイト $((p \times 4) + 1)$ を格納します。関連する CANFD チャンネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

TMDB_HL[7:0]ビット (TX メッセージバッファデータバイト $((p \times 4) + 2)$)

TMDB_HL[7:0]ビットは、TX メッセージバッファにあるメッセージのデータバイト $((p \times 4) + 2)$ を格納します。関連する CANFD チャンネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

TMDB_HH[7:0]ビット (TX メッセージバッファデータバイト $((p \times 4) + 3)$)

TMDB_HH[7:0]ビットは、TX メッセージバッファにあるメッセージのデータバイト $((p \times 4) + 3)$ を格納します。関連する CANFD チャンネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

29.3 動作の概要

29.3.1 概要

CANFD モジュールのモードは、次の 2 つのグループに分けられます。

- グローバルモード
- チャンネルモード

29.3.2 グローバルモード

これらのモードは、CANFD モジュール全体に適用されることから、グローバルモードと呼ばれます。CANFD モジュールのグローバルモードには、以下のものがあります。

- グローバルスリープ
- グローバルリセット
- グローバル Halt
- グローバルオペレーション

図 29.2 に、グローバルモード間で行うことができる遷移を示します。

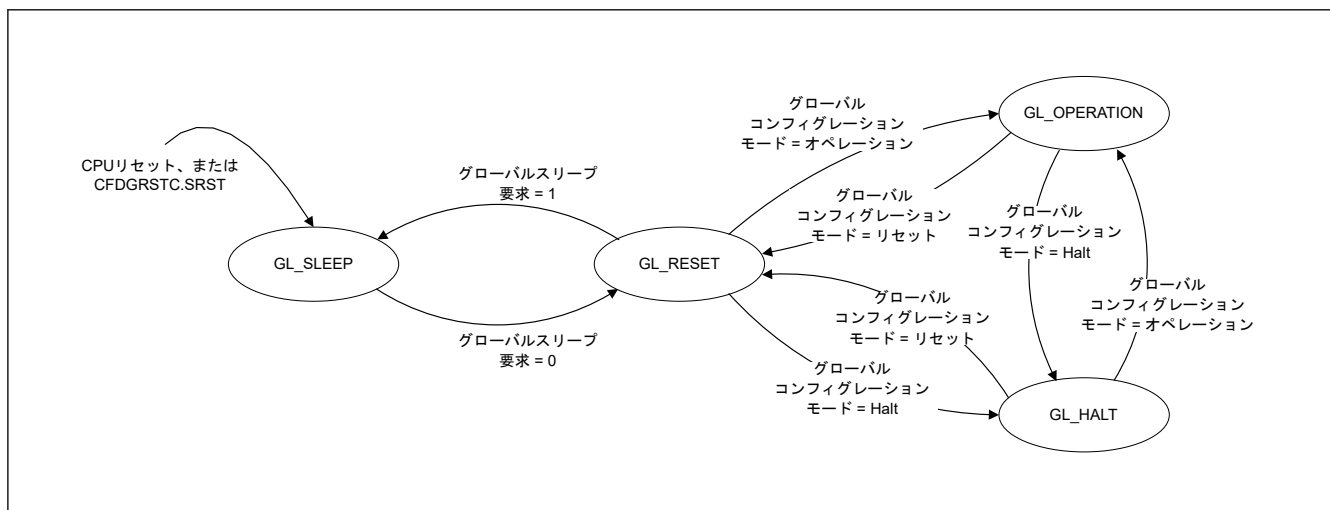


図 29.2 CANFD グローバルモード間の遷移

グローバルモードを変更すると、チャンネルモードに影響を与えることがあります。表 29.15 に、グローバルモードの遷移がチャンネルモードに与える影響を示します。

表 29.15 可能な CANFD チャネルモードとグローバルモード

現在のグローバルモード	ターゲットグローバルモード			
	スリープ	リセット	Halt	オペレーション
スリープ		チャネルスリープ：Keep チャネルリセット：なし チャネル Halt：なし チャネルオペレーション：なし		
リセット	チャネルスリープ：Keep チャネルリセット：→ チャネルスリープ チャネル Halt：なし チャネルオペレーション：なし		チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：なし チャネルオペレーション：なし	チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：なし チャネルオペレーション：なし
Halt		チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：→ チャネルリセット チャネルオペレーション：なし		チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：Keep チャネルオペレーション：なし
オペレーション		チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：→ チャネルリセット チャネルオペレーション：→ チャネルリセット	チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：Keep チャネルオペレーション：→ チャネル Halt	

29.3.2.1 グローバルスリープモード

ハードウェアリセットが解除された後、または CFDGRSTC.SRST ビットがセット／クリアされた後、CANFD モジュールは自動的にグローバルスリープモードに遷移します。

CANFD モジュールは、グローバルリセットモード中にグローバルスリープ要求ビットがセットされたときも、グローバルスリープモードに遷移します。グローバル Halt モードやグローバルオペレーションモードでは、この制御ビットはセットできません。

グローバルスリープ要求ビットをセットすると、すべてのチャネルスリープ要求ビットがセットされ、チャネルは強制的にチャネルスリープモードになります。

スリープモードは、消費電力を削減するために使用されます。CANFD モジュールがグローバルスリープモードのとき、グローバルスリープモード要求ビットへの CPU 書き込み用のクロックのみがアクティブになります。その他すべてのクロックは停止され、CANFD モジュールのその他すべての機能はサスペンド状態になります。

すべてのレジスタの読み出しは可能で、すべてのレジスタ値は保持されます。

グローバルスリープ要求ビットをセットした後、このビットを再度クリアする前に、グローバルスリープステータスが更新されていること、つまり、グローバルスリープモードへの遷移が正常に行われたことを確認する必要があります。

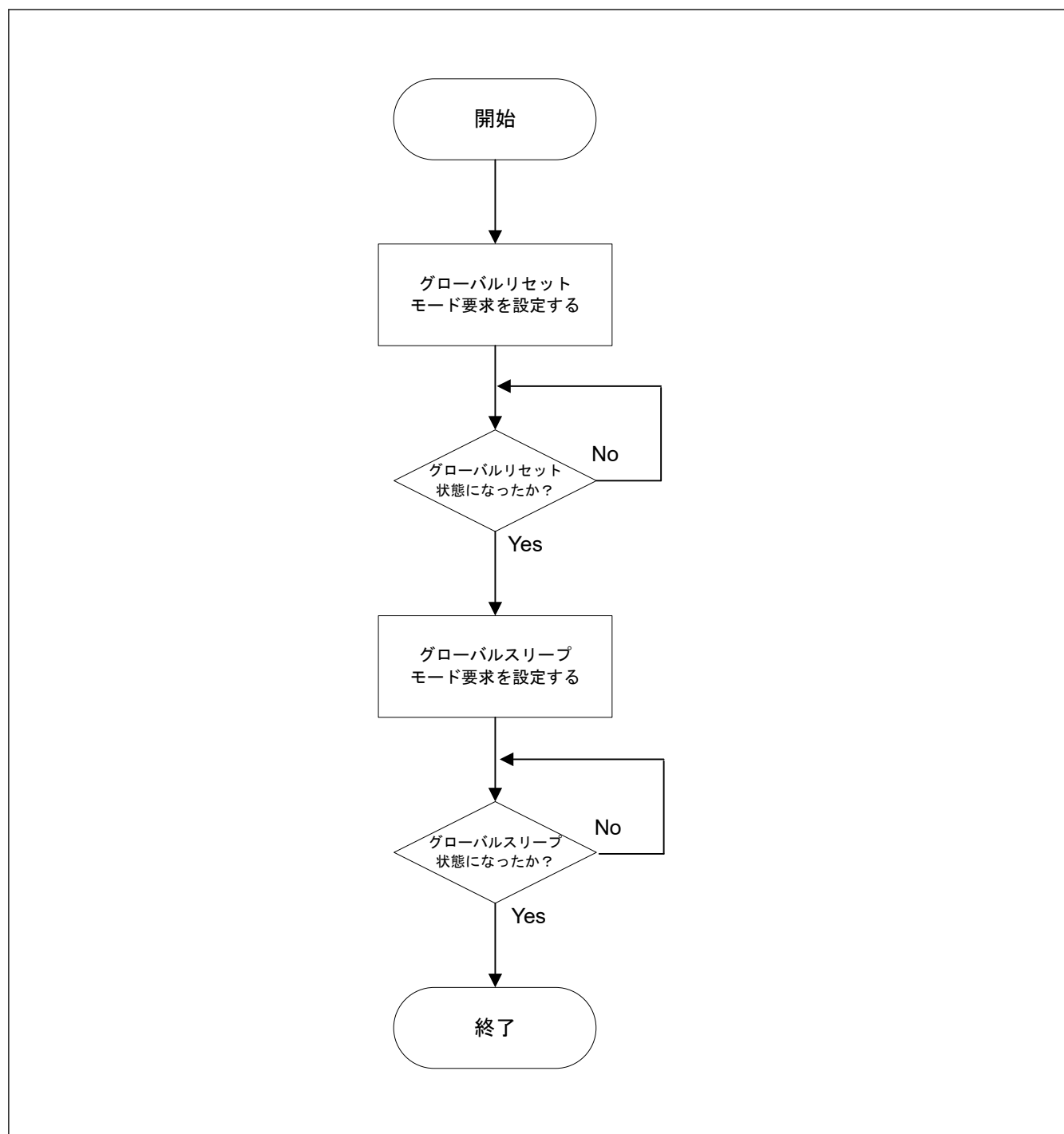


図 29.3 グローバルスリープモードへの遷移手順

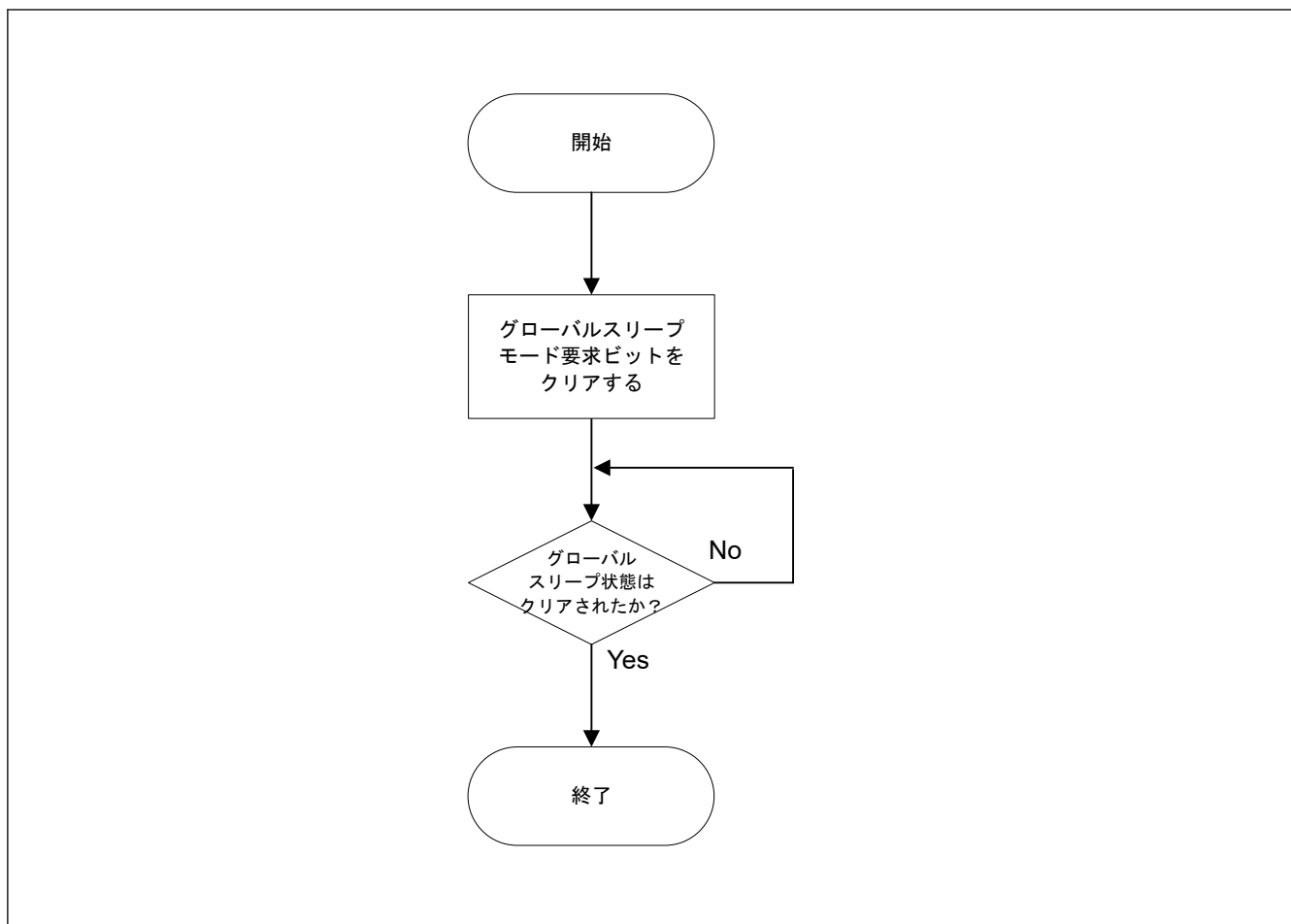


図 29.4 グローバルスリープモードの解除手順

29.3.2.2 グローバルリセットモード

CANFD モジュールは、以下の方法でこのモードに遷移します。

- CANFD モジュールがグローバル Halt モードまたはグローバルオペレーションモードのとき、グローバルコントロールレジスタのグローバルモード制御ビット `CFDGCTR.GMDC` がグローバルリセットモードに設定される。
- CANFD モジュールがグローバルスリープモードのとき、グローバルスリープモード要求ビットがクリアされる。

グローバルリセットモードでは、CANFD モジュールのすべての機能がサスペンド状態になり、すべてのステータスレジスタおよびフラグレジスタが初期化されます。

さらに、すべての FIFO および TX キューが無効になり、送信制御ビットがクリアされます。

このモードでは、コンフィグレーションレジスタ（テストモードレジスタを除く）は MCU リセット値に初期化されないため、CANFD モジュールの構成は可能です。

グローバルリセットモードへの遷移が行われるときの全レジスタの動作の詳細については、「[29.3.4. グローバルモード遷移とチャンネルモード遷移の相互作用](#)」を参照してください。

グローバルコントロールレジスタのグローバルモード制御ビット `CFDGCTR.GMDC` を 01b にセットすることにより、グローバルモードをリセットに設定すると、チャンネルコントロールレジスタのチャンネルモード制御ビット `CFDC0CTR.CHMDC` が 01b にセットされ、チャンネルが強制的にチャンネルリセットモードになります。

すでにチャンネルリセットモードまたはチャンネルスリープモードになっているチャンネルについては、この自動遷移は行われません（関連するチャンネルの `CFDC0CTR.CHMDC` がすでに 01b にセットされている場合）。

グローバルモード制御ビット `CFDGCTR.GMDC` をリセットモードに設定した後、`CFDGCTR.GMDC` を再度変更する前に、グローバルステータスレジスタのリセットモードステータスビット `CFDGSTS.GRSTSTS` が更新されていること、つまり、グローバルリセットモードへの遷移が正常に行われたことを確認する必要があります。

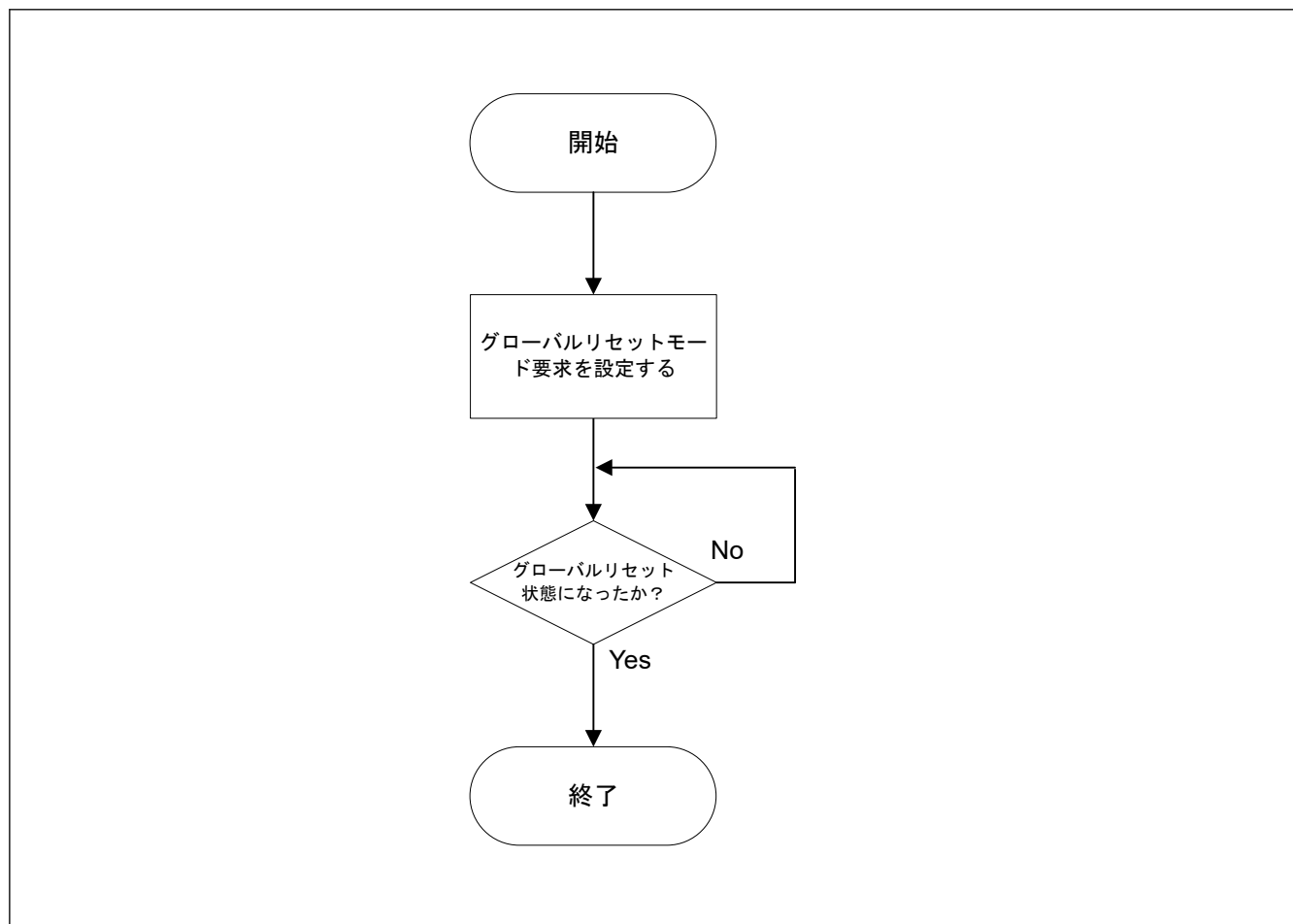


図 29.5 グローバルリセットモードへの遷移手順

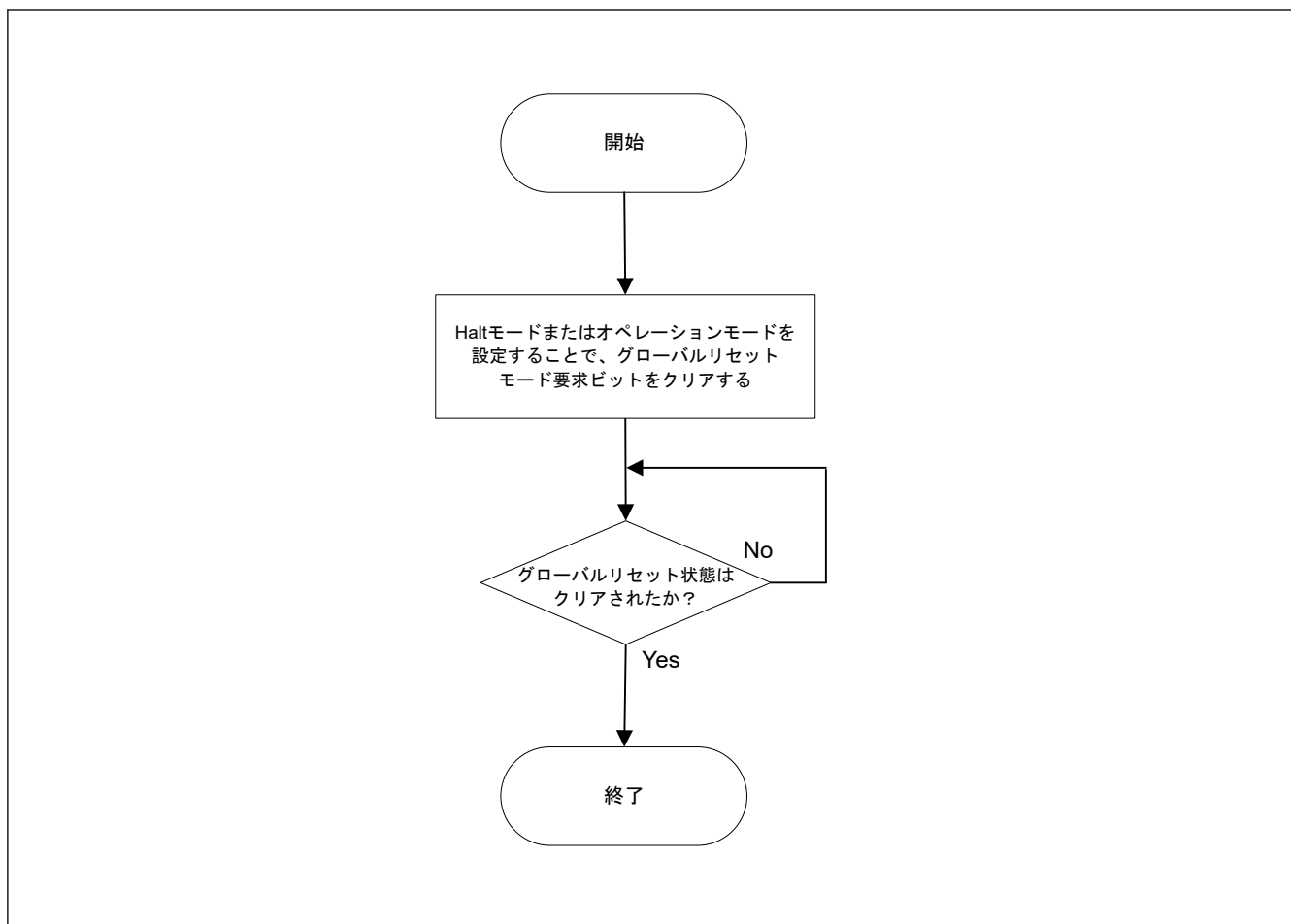


図 29.6 グローバルリセットモードの解除手順

29.3.2.3 グローバル Halt モード

CANFD モジュールは、以下の方法でこのモードに遷移します。

- CANFD モジュールがグローバルリセットモードのとき、グローバルコントロールレジスタのグローバルモード制御ビット `CFDGCTR.GMDC` がグローバル Halt モードに設定される。
 - チャンネルはチャンネルリセットモードかチャンネルスリープモードのいずれかであり、そのモードのまま保たれる。
- CANFD モジュールがグローバルオペレーションモードのとき、グローバルコントロールレジスタのグローバルモード制御ビット `CFDGCTR.GMDC` がグローバル Halt モードに設定される。
 - チャンネルリセットモード、チャンネル停止モード、チャンネルスリープモードのチャンネルは、そのモードのまま保たれる。
 - チャンネルオペレーションモードのチャンネルは、チャンネル停止モードに遷移する。
 - チャンネルがチャンネルオペレーションモードから遷移すると、グローバル停止モードステータスビットがセットされる。

チャンネルが送信または受信を実行中の場合、通信が完了するまでチャンネル Halt モードへの遷移は遅延されます。同様に、チャンネルがバスオフ状態の場合、チャンネルの構成に応じて、完全なバスオフ復帰シーケンスが遅延されることがあります。

グローバル Halt モードでは、すべての通信がサスペンド状態になり、CANFD ロジックによりステータスレジスタおよびフラグレジスタが変更されることはありません（チャンネルがバスオフ状態であるときのみ、REC 値と TEC 値がクリアされます）。また、このモードでは、テストモードの構成やコントロールレジスタは初期化されません。

グローバル Halt モードは、グローバルモジュールテストモードを構成するために使用します。

グローバル Halt モードへの遷移が行われるときの全レジスタの動作の詳細については、「[29.3.4. グローバルモード遷移とチャンネルモード遷移の相互作用](#)」を参照してください。

グローバルコントロールレジスタのグローバルモード制御ビット `CFDGCTR.GMDC` を 10b にセットすることにより、グローバルモードを停止に設定すると、チャンネルオペレーションモードになっているチャンネルのチャンネルコントロールレジスタのチャンネルモード制御ビット `CFDC0CTR.CHMDC` が 10b にセットされ、強制的にチャンネル停止モードになります。

すでにチャンネルリセットモード、チャンネル停止モード、またはチャンネルスリープモードになっているチャンネルについては、この自動遷移は行われません。

したがって、グローバル Halt モード要求は、メッセージをロストしたり関連する CAN バスを混乱させることなく（チャンネル上の受信／送信プロセスを中断せずに）、すべての CANFD チャンネル通信を遮断するために使用できます。

グローバルモード制御ビット `CFDGCTR.GMDC` を Halt モードに設定した後、グローバルステータスレジスタの Halt モードステータスビット `CFDGSTS.GHLTSTS` が更新されていること、つまり、グローバル Halt モードへの遷移が正常に行われたことを確認する必要があります。`CFDGSTS.GHLTSTS` がセットされていることを確認するまでは、他の SFR 設定を指定しないでください。

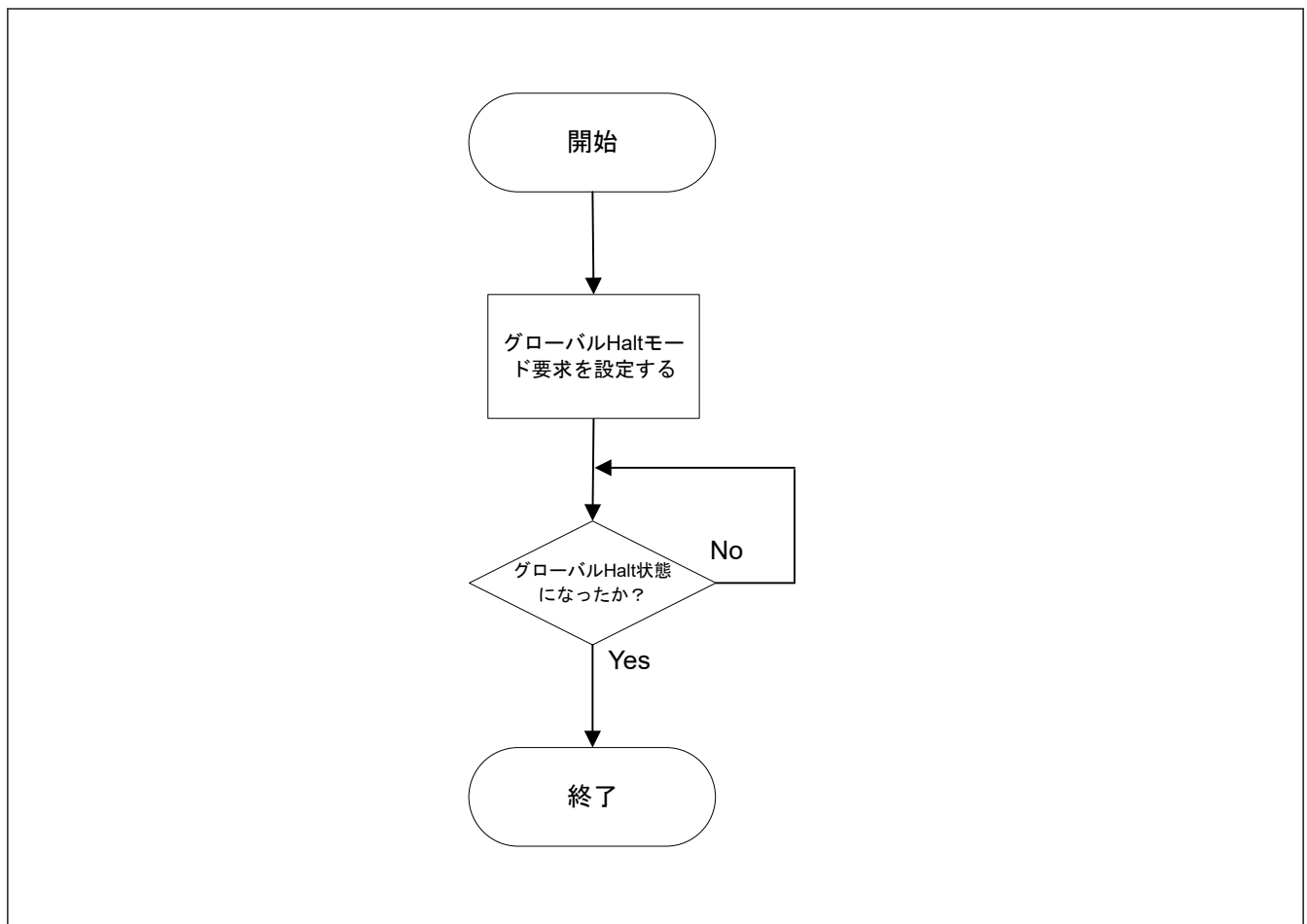


図 29.7 グローバル Halt モードへの遷移手順

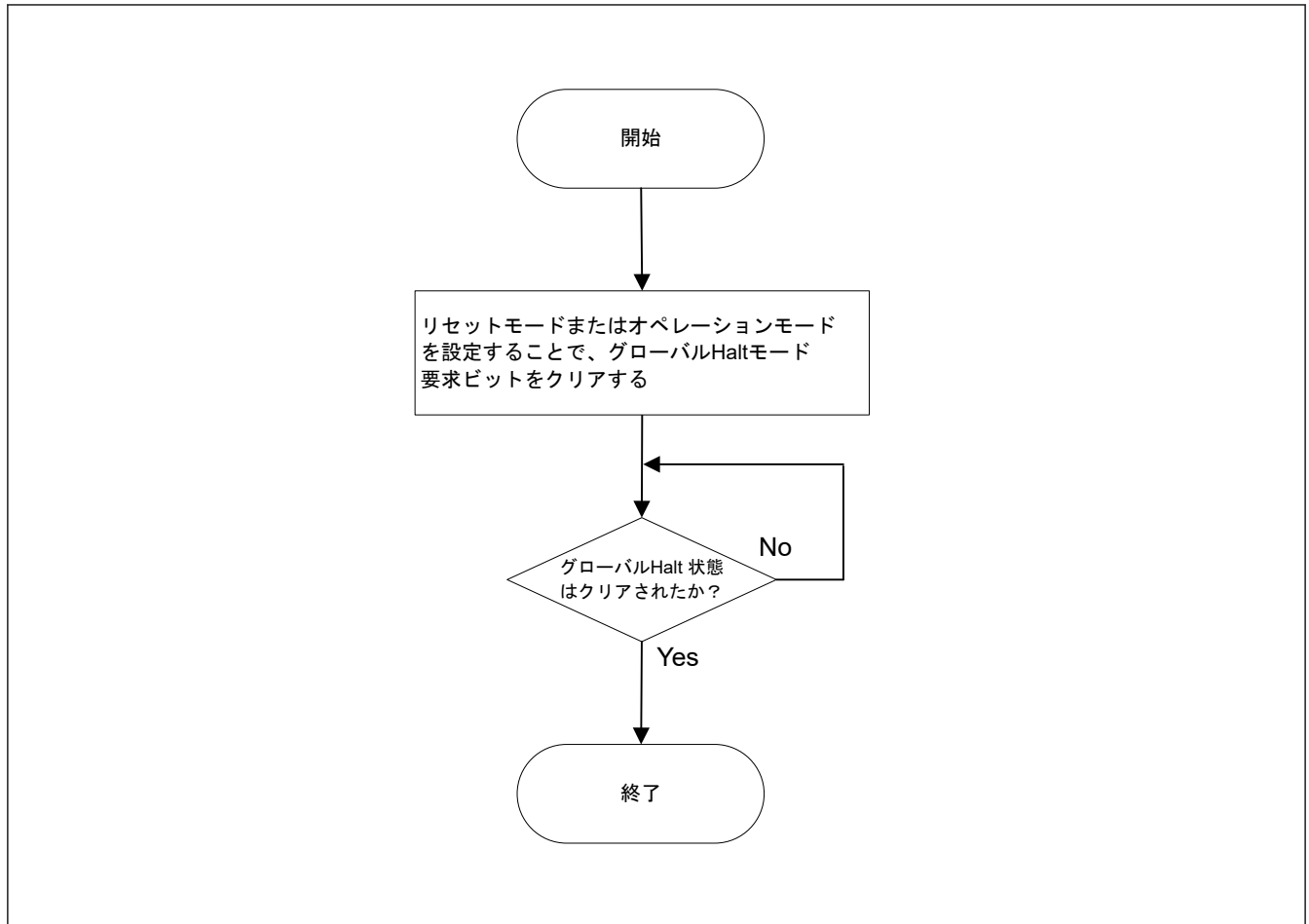


図 29.8 グローバル Halt モードの解除手順

29.3.2.4 グローバルオペレーションモード

CANFD モジュールは、グローバルモードコンフィグレーションビットがグローバルオペレーションモードに設定されたとき、このモードに遷移します。

CANFD がグローバルオペレーションモードのときのみ、CANFD チャネルをチャネルオペレーションモードに設定して、CAN 通信を開始することができます。

グローバルモード制御ビット `CFDGCTR.GMDC` をグローバルオペレーションモードに設定した後、`CFDGCTR.GMDC` を再度変更する前に、グローバルステータスレジスタのグローバルリセットモードステータスビット `CFDGSTS.GRSTSTS` およびグローバル Halt モードステータスビット `CFDGSTS.GHLTSTS` が更新されていること、つまり、グローバルオペレーションモードへの遷移が正常に行われたことを確認する必要があります。

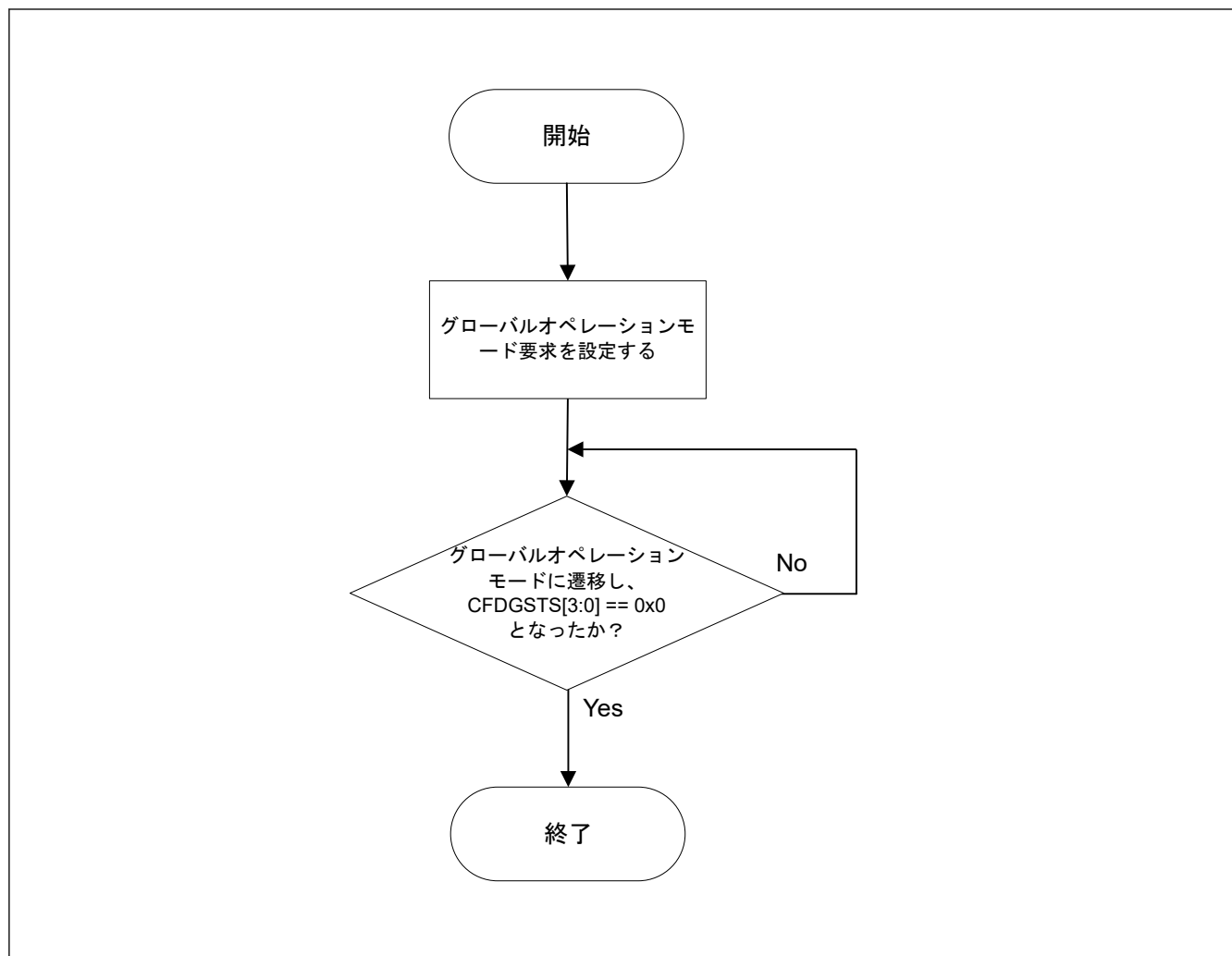


図 29.9 グローバルオペレーションモードへの遷移手順

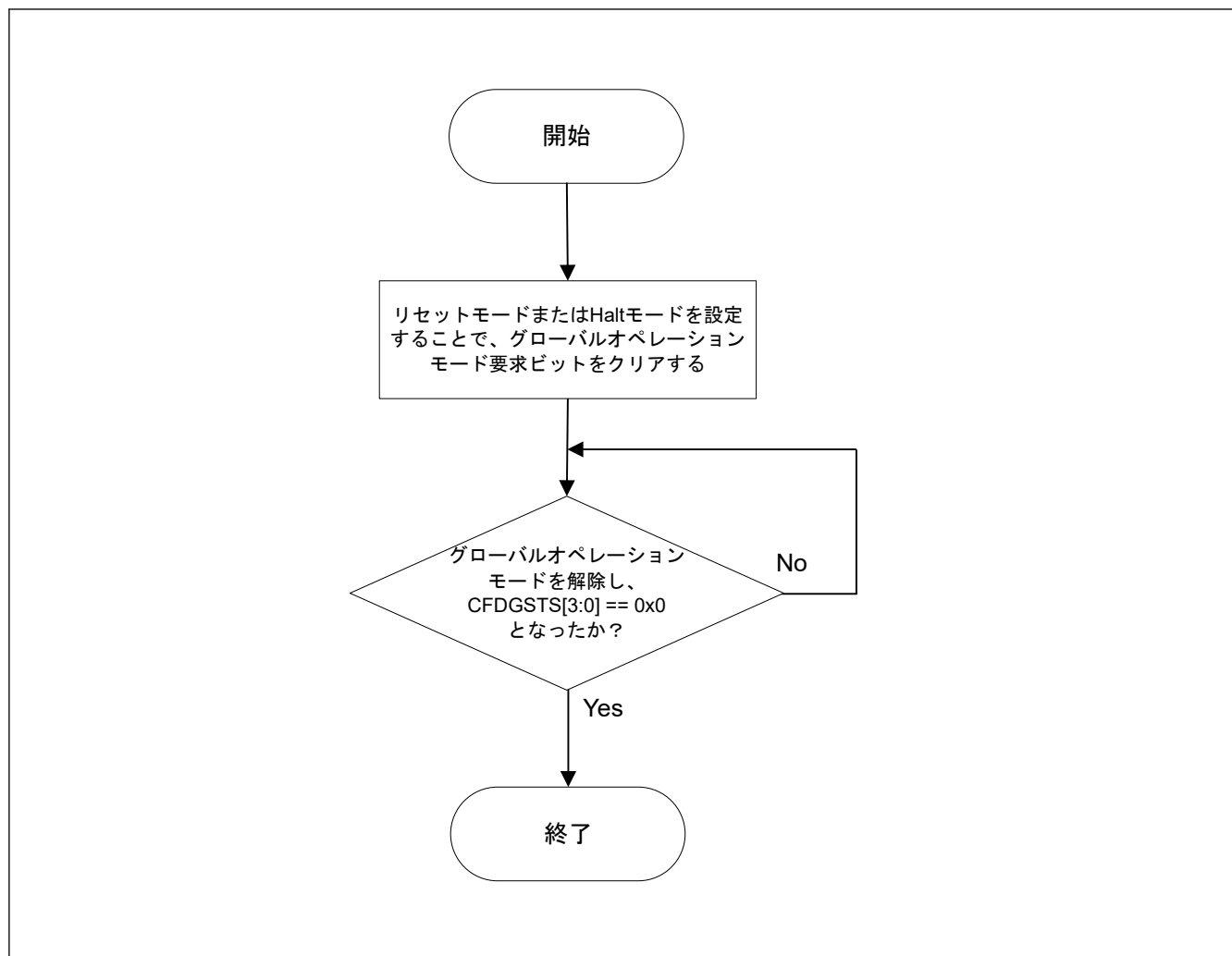


図 29.10 グローバルオペレーションモードの解除手順

29.3.3 チャネルモード

CAN チャネルのチャネルモードには以下の 4 つがあります。

- リセット
- Halt
- オペレーション
- スリープ

図 29.11 に、チャネルモード間で行うことができる遷移を示します。

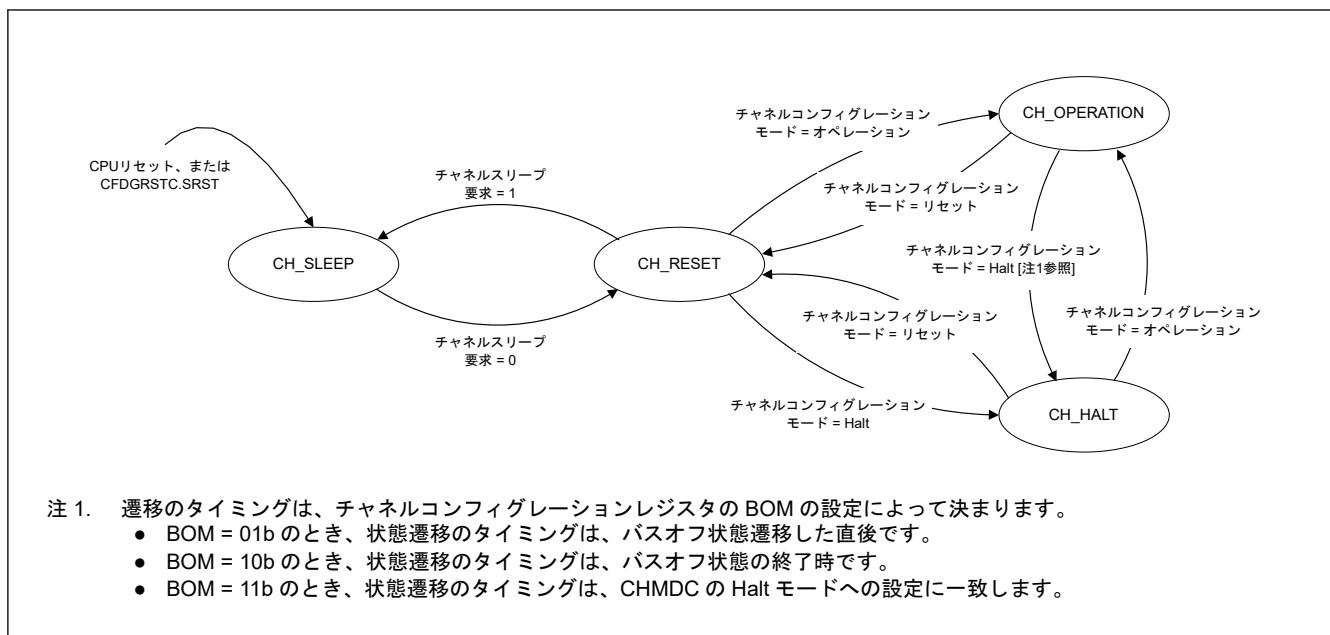


図 29.11 CAN チャンネルモード間の遷移

29.3.3.1 CAN チャンネルスリープモード

ハードウェアリセットが解除された後、または CFDGRSTC.SRST ビットがセットおよびクリアされた後、CANFD モジュールの CAN チャンネルは自動的にチャンネルスリープモードに遷移します。

CAN チャンネルは、チャンネルリセットモード中にチャンネルスリープモード要求ビットがセットされたときも、チャンネルスリープモードに遷移します。チャンネル停止モードまたはチャンネルオペレーションモードでは、この制御ビットをセットしないでください。

CAN チャンネルスリープモードに遷移すると、即座に CAN チャンネルユニットへのクロック供給が停止され、消費電力が低減されます。

チャンネルスリープモード要求ビットをセットした後、このビットを再度クリアする前に、チャンネルスリープモードステータスが更新されていること、つまり、チャンネルスリープモードへの遷移が正常に行われたことを確認する必要があります。

チャンネルスリープモード中は、チャンネル関連のレジスタに書き込みを行わないでください。読み出し動作は可能です。

29.3.3.2 CAN チャンネルリセットモード

CANFD CAN チャンネルは、以下の方法でこのモードに遷移します。

- 関連する CAN チャンネルがチャンネル停止モードまたはチャンネルオペレーションモードのとき、チャンネルコントロールレジスタのチャンネルモード制御ビット CFDC0CTR.CHMDC がチャンネルリセットモードに設定される。
- 関連する CAN チャンネルがチャンネルスリープモードのとき、チャンネルスリープモード要求ビットがクリアされる。
- グローバルモード制御ビット CFDGCTR.GMDC がグローバルリセットモードに設定され、かつ、CAN チャンネルがチャンネルスリープモードまたはチャンネルリセットモードではない。

チャンネルリセットモードでは、CAN チャンネルのすべてのステータスレジスタとフラグレジスタが初期化されます。

さらに、すべてのチャンネル関連の送信制御ビットがクリアされ、チャンネル関連の TX キューが無効になります。このモードでは、コンフィグレーションレジスタ（チャンネルテストモードレジスタを除く）は初期化されないため、CAN チャンネルの通信を構成することは可能です。

チャンネルリセットモードへの遷移が行われるときの全レジスタの動作の詳細については、「[29.3.4. グローバルモード遷移とチャンネルモード遷移の相互作用](#)」を参照してください。

チャンネルモード制御ビット CFDC0CTR.CHMDC をチャンネルリセットモードに設定した後、関連する CFDC0CTR.CHMDC ビットを再度変更する前に、関連するチャンネルステータスレジスタのリセットモードステータスビット CFDC0STS.CRSTSTS が更新されていること、つまり、チャンネルリセットモードへの遷移が正常に行われたことを確認する必要があります。

CAN 通信中にチャンネルリセットモードに遷移する動作については、表 29.16 を参照してください。

29.3.3.3 CAN チャンネル Halt モード

CANFD CAN チャンネルは、以下の方法でこのモードに遷移します。

- 関連する CAN チャンネルがチャンネルリセットモードまたはチャンネルオペレーションモードのとき、チャンネルコントロールレジスタのチャンネルモード制御ビット CFDC0CTR.CHMDC がチャンネル停止モードに設定される。
- グローバルモード制御ビット CFDGCTR.GMDC がグローバル Halt モードに設定され、かつ、CAN チャンネルがチャンネルオペレーションモードである。

チャンネル Halt モードでは、すべてのチャンネル CAN 通信がサスペンド状態になりますが、すべてのステータスレジスタとフラグレジスタはチャンネル Halt モードに遷移する間変化しません (バスオフの場合を除きます。バスオフの場合、そのチャンネルの REC 値と TEC 値がクリアされます)。

また、このモードでは、チャンネルテストモードの構成やコントロールレジスタは初期化されません。

チャンネル Halt モードは、チャンネルテストモードを構成するために使用します。

チャンネル Halt モードへの遷移が行われるときの全レジスタの動作の詳細については、「29.3.4. グローバルモード遷移とチャンネルモード遷移の相互作用」を参照してください。

チャンネルモード制御ビット CFDC0CTR.CHMDC をチャンネル停止モードに設定した後、関連する CFDC0CTR.CHMDC を再度変更する前に、関連するチャンネルステータスレジスタの停止モードステータスビット CFDC0STS.CHLTSTS が更新されていること、つまり、チャンネル停止モードへの遷移が正常に行われたことを確認する必要があります。

CAN 通信中にチャンネル Halt モードに遷移する動作については、表 29.16 を参照してください。

表 29.16 CAN リセットモードおよび Halt モードの遷移動作

モード	状態		
	受信	送信	バスオフ
CAN チャンネルリセットモード (CFDC0CTR.CHMDC = 01b)	CAN チャンネルは実行中の受信の完了を待たずに、チャンネルリセットモードに遷移します。(注1)	CAN チャンネルは実行中の送信の完了を待たずに、チャンネルリセットモードに遷移します。(注1)	CAN チャンネルは、バスオフ復帰の完了を待たずにチャンネルリセットモードに遷移します。
CAN チャンネル Halt モード (CFDC0CTR.CHMDC = 10b)	CAN チャンネルは、実行中の受信またはエラーの終了時にチャンネル Halt モードに遷移します。(注2)	CAN チャンネルは、実行中の送信の完了後にチャンネル Halt モードに遷移します。	CFDC0CTR.BOM が 00b のとき、チャンネル停止モード要求は、完全なバスオフ復帰シーケンスが完了した後でのみ受け付けられます。 CFDC0CTR.BOM が 10b のとき、CAN チャンネルはバスオフ復帰の完了を待ってから、チャンネル停止モードに自動的に遷移します。 CFDC0CTR.BOM が 01b のとき、CAN チャンネルはバスオフ復帰の完了を待たずに、チャンネル停止モードに自動的に遷移します。 CFDC0CTR.BOM が 11b のとき、CAN チャンネルはチャンネル停止モードが要求されるとすぐに (バスオフ復帰の完了を待たずに) チャンネル停止モードに遷移します。

注 1. 現在実行中の通信の終了時にチャンネルリセットモードに遷移すればよい場合、先にチャンネル Halt モードを要求することで、チャンネルリセットモードに直接遷移して CAN 通信が中断するのを防ぐことができます。CAN チャンネルがチャンネル Halt モードに遷移した後、チャンネルリセットモードを要求することができます。

注 2. エラーフラグ後に CAN 通信がドミナントレベルでロックされている場合、ソフトウェアでチャンネル関連のバスロックフラグを監視することでこの状況を検出し、CAN チャンネルをチャンネルリセットモードに設定してロック状態を解除できます。

29.3.3.4 CAN チャンネルオペレーションモード

チャンネルオペレーションモードは、CFDC0CTR.CHMDC ビットを 00b にセットすることでアクティブになります。CAN オペレーションモードに遷移した後、11 の連続するレセプビットを検出すると、CFDC0STS.COMSTS ビットがセットされ、CAN チャンネルは以下を行います。

- チャンネルを CAN ネットワーク上のアクティブノードにすることで、チャンネル通信の機能を有効にする。
- 受信および送信エラーカウンタを含む、内部のフォルト隔離ロジックを解除する。

この時点で、CAN チャンネルは CAN メッセージの送受信を開始できます。

チャンネルは、実行している機能のタイプによって、CAN チャンネルオペレーションモード内でさらに 4 種類のサブモードに分けられます (図 29.12 を参照)。

- チャンネルアイドル: CAN チャンネルは受信も送信も行っていない
- チャンネル受信: チャンネルは別の CAN ノードから送信された CAN メッセージを受信している
- チャンネル送信: チャンネルは CAN メッセージを送信している

注. セルフテストモードが有効な場合、チャンネルは同時に自メッセージを受信する可能性があります。

- チャンネルがバスオフ状態: CAN チャンネルが CAN バス通信から切り離されている

チャンネルモード制御ビット CFDC0CTR.CHMDC をチャンネルオペレーションモードに設定した後、関連する CFDC0CTR.CHMDC ビットを再度変更する前に、チャンネルステータスレジスタのチャンネルリセットモードステータスビット CFDC0STS.CRSTSTS およびチャンネル停止モードステータスビット CFDC0STS.CHLTSTS が更新されていること、つまり、チャンネルオペレーションモードへの遷移が正常に行われたことを確認する必要があります。

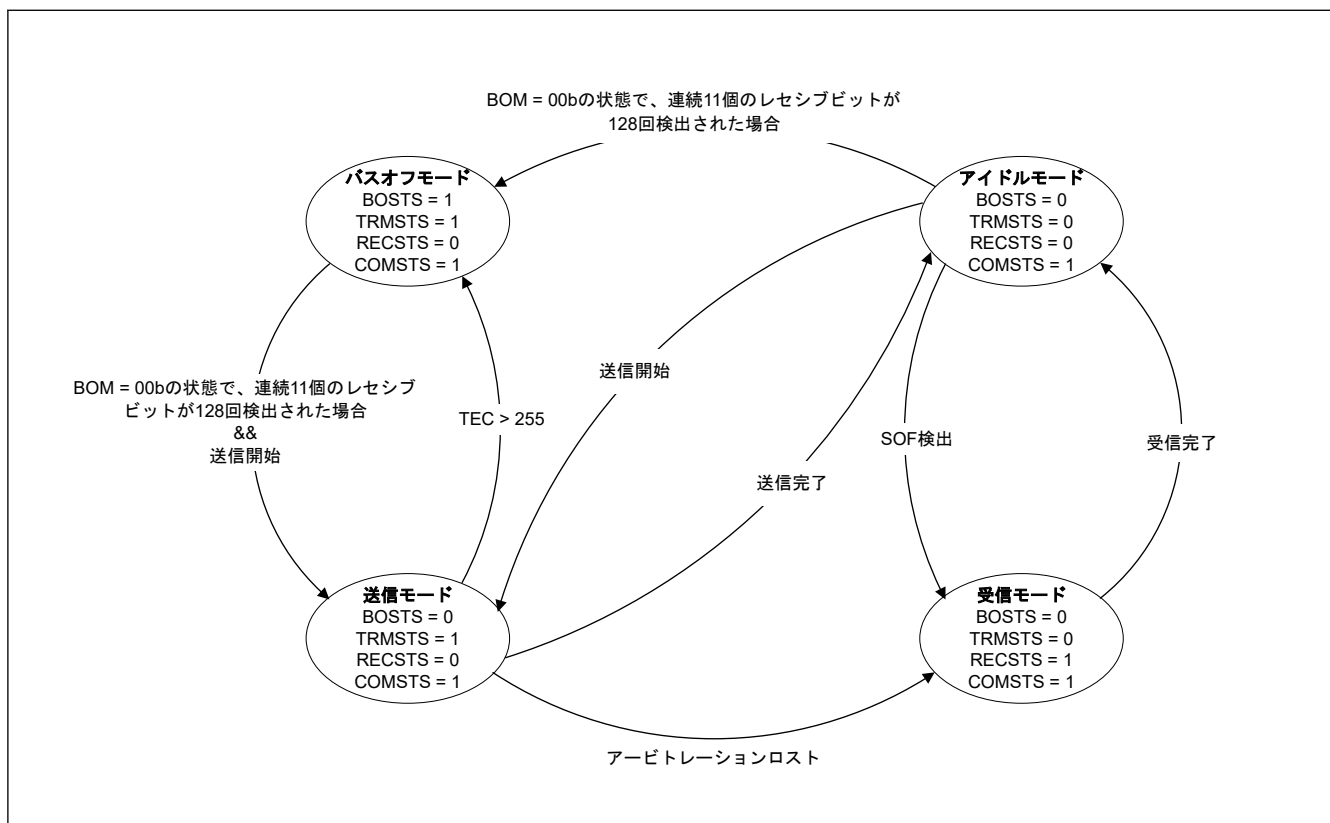


図 29.12 CAN チャンネルオペレーションモードのサブモード (BOM = 00b のときのみ)

29.3.3.5 CAN チャンネルバスオフ状態

CAN チャンネルバスオフ状態へは、CAN 仕様のフォルト隔離規則に従って遷移します。バスオフ状態から CAN チャンネルオペレーションモードへの復帰について、以下のモードを構成できます。

- **CFDC0CTR.BOM = 00b :**
バスオフからの復帰は ISO 11898-1 に準拠します。すなわち、CAN チャンネルは、11 個の連続するレセシブビットを 128 回検出後、再び CAN 通信（エラーアクティブ状態）に入ります。TEC カウンタと REC カウンタは 0 に初期化されます。この場合、バスオフ復帰フラグ CFDC0ERFL.BORF がセットされます。
- **CFDC0CTR.BOM = 01b :**
CAN チャンネルは、バスオフ状態に遷移すると、CAN チャンネルコントロールレジスタ内の CFDC0CTR.CHMDC ビットの値を 10b に変更した後、自動的にチャンネル停止モードに即座に遷移します。TEC カウンタと REC カウンタは 0 に初期化されます。この場合、バスオフ復帰フラグ CFDC0ERFL.BORF はセットされません。
- **CFDC0CTR.BOM = 10b :**
CAN チャンネルは、バスオフ状態に遷移すると、即座に CAN チャンネルコントロールレジスタの CFDC0CTR.CHMDC ビットの値を 10b に変更し、CAN チャンネルがバスオフ復帰シーケンス（11 個の連続するレセシブビットを 128 回検出）を完了した後、チャンネル停止モードに自動的に遷移します。TEC カウンタと REC カウンタは 0 に初期化されます。この場合、バスオフ復帰フラグ CFDC0ERFL.BORF がセットされます。
- **CFDC0CTR.BOM = 11b :**
バスオフ復帰が開始されますが、チャンネル Halt モードへの遷移が要求された場合、CAN チャンネルはバスオフ状態であっても即座にチャンネル Halt モードに遷移することができます。
TEC カウンタと REC カウンタは 0 に初期化されます。バスオフ復帰フラグ CFDC0ERFL.BORF はセットされません。
CFDC0CTR.CHMDC [1:0] = 10b に設定せずに、11 個のレセシブビットが 128 回連続で検出された場合、遷移条件は CFDC0CTR.BOM = 00b と同じになります。

注. このモードで、バスオフ復帰が正常に（11 個の連続するレセシブビット 128 回のシーケンスを待機した後で）行われた場合、かつ、その間に停止要求が発生しなかった場合、バスオフ復帰フラグ CFDC0ERFL.BORF がセットされます。

CAN チャンネルが停止モードに遷移すると同時に（CFDC0CTR.BOM = 01b の場合、バスオフ開始時、CFDC0CTR.BOM = 10b の場合、バスオフ終了時）に、ソフトウェアが CFDC0CTR.CHMDC ビットに書き込みを行うと、ソフトウェア要求が最も優先されます。

注. 上記の場合、CFDC0CTR.CHMDC ビットをチャンネル停止モードに設定する要求の自動設定は、CFDC0CTR.CHMDC ビットの値があらかじめ 00b（チャンネルオペレーションモード）に設定されていたときに実行されます。

さらに、CFDC0CTR.RTBO を 1 にセットすると、CAN チャンネルをバスオフ状態から強制的に復帰させることができます。最大で 1 CAN ビット時間の遅延時間でエラー状態がバスオフ状態から統合状態に変わり、11 個の連続するレセシブビットが検出された後に、CAN 通信が再度可能になります。この場合、バスオフ復帰フラグはセットされません。TEC カウンタと REC カウンタは 0 に初期化されます。

CFDC0CTR.RTBO を 1 にセットする前に、TX メッセージバッファ、TX キュー、または TX モードの共通 FIFO からのすべての保留中の送信を無効にしなければなりません。

保留中の送信メッセージバッファ、TX キュー、または FIFO が無効化されたことを、対応するアクノリッジフラグで確認する必要があります。

TX メッセージバッファの場合、アクノリッジフラグは送信結果フラグ (CFDTMSTSj.TMTRF) です。TX キューの場合、TX キューエンプティフラグ (CFDTXQSTS.TXQEMP) です。FIFO の場合、FIFO エンプティフラグ (CFDCFSTS.CFEMP) です。

CFDC0CTR.RTBO ビットは、CFDC0CTR.BOM が 00b にセットされているときに限り、バスオフ復帰のために使用します。

このビットをバスオフ以外の状態でセットしても無効で、即座にクリアされます。

表 29.17 に、CFDC0CTR.BOM のさまざまな設定に対する、バスオフ開始フラグ CFDC0ERFL.BOEF とバスオフ復帰フラグ CFDC0ERFL.BORF の設定を示します。

表 29.17 バスオフ開始フラグとバスオフ復帰フラグの動作 (1/2)

BOM	BOEF ビットの設定	BORF ビットの設定
00b	常に設定（バスオフ開始時）	常に設定（バスオフ終了時）

表 29.17 バスオフ開始フラグとバスオフ復帰フラグの動作 (2/2)

BOM	BOEF ビットの設定	BORF ビットの設定
00b CFDC0CTR.RTBO は 1 に設定	常に設定 (バスオフ開始時)	ソフトウェアによって CFDC0CTR.RTBO が 1 にセットされる前に通常のバスオフ復帰が発生した場合のみ
01b	常に設定 (バスオフ開始時)	設定しない
10b	常に設定 (バスオフ開始時)	常に設定 (バスオフ終了時)
11b	常に設定 (バスオフ開始時)	ソフトウェアが Halt 要求を発行する前に通常のバスオフ復帰が発生した場合のみ

効率的なソフトウェア手順のために、バスオフ復帰シーケンスの終了を待つ必要はありません。

バスオフ復帰中、送信の再初期化を行うことができます。これを行うには、[図 29.13](#) に示す推奨ソフトウェアフローに従います。

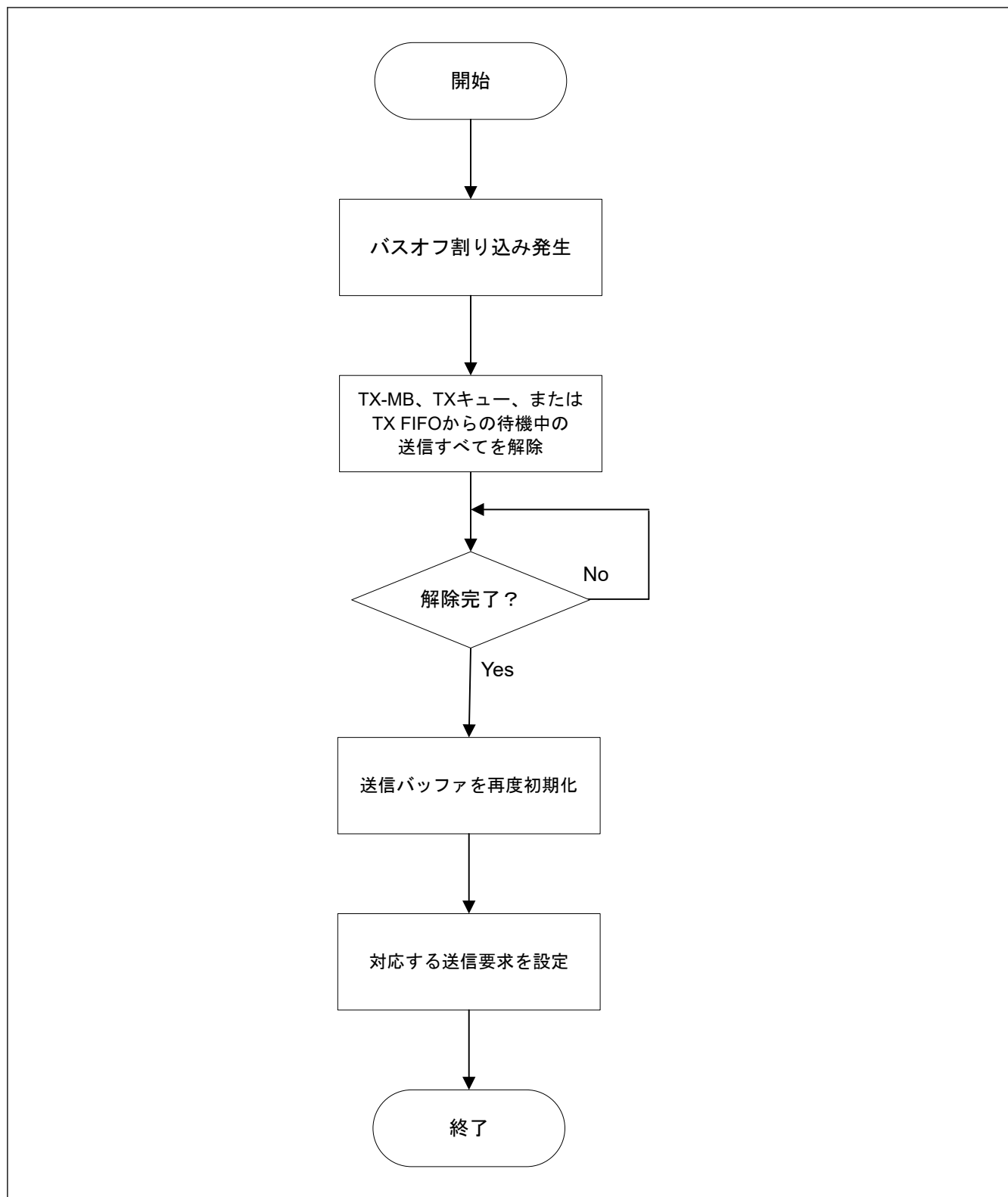


図 29.13 バスオフ中の送信の再初期化

29.3.4 グローバルモード遷移とチャネルモード遷移の相互作用

グローバルモード設定とチャネルモード設定の間には、以下のような相互作用があります。

- チャネルコントロールレジスタのチャネルモード制御ビット CFDC0CTR.CHMDC を変更しても、グローバルモード制御ビット CFDGCTR.GMDC は変化しない。

- グローバルモード制御ビット CFDGCTR.GMDC を変更すると、表 29.18 に示すようにチャンネルモードの制御が変化する。

表 29.18 グローバルモード遷移とチャンネルモード遷移の相互作用

グローバルモードの変更	チャンネルモード	チャンネルモードの遷移動作
スリープ → リセット	スリープ	チャンネルはスリープモードのまま
スリープ → Halt	— (グローバルモード変更不可能)	
スリープ → オペレーション	— (グローバルモード変更不可能)	
リセット → スリープ	スリープ	チャンネルはスリープモードのまま
	リセット	チャンネルスリープ要求ビットが自動的にセットされ、チャンネルはスリープモードに遷移
リセット → Halt	スリープ	チャンネルはスリープモードのまま
	リセット	チャンネルはリセットモードのまま
リセット → オペレーション	スリープ	チャンネルはスリープモードのまま
	リセット	チャンネルはリセットモードのまま
Halt → スリープ	— (グローバルモード変更不可能)	
Halt → リセット	スリープ	チャンネルはスリープモードのまま
	リセット	チャンネルはリセットモードのまま
	Halt	チャンネルモード制御がリセットモードにセットされ、チャンネルはリセットモードに遷移
Halt → オペレーション	スリープ	チャンネルはスリープモードのまま
	リセット	チャンネルはリセットモードのまま
	Halt	チャンネルは Halt モードのまま
オペレーション → スリープ	— (グローバルモード変更不可能)	
オペレーション → リセット	スリープ	チャンネルはスリープモードのまま
	リセット	チャンネルはリセットモードのまま
	Halt	チャンネルモード制御がリセットモードにセットされ、チャンネルはリセットモードに遷移
	オペレーション	チャンネルモード制御がリセットモードにセットされ、チャンネルはリセットモードに遷移
オペレーション → Halt	スリープ	チャンネルはスリープモードのまま
	リセット	チャンネルはリセットモードのまま
	Halt	チャンネルは Halt モードのまま
	オペレーション	チャンネルモード制御が Halt モードにセットされ、チャンネルは通信終了後に Halt モードに遷移

29.3.4.1 グローバルモード変更のタイミング

グローバルモード変更時の遷移時間を以下の表に示します。

表 29.19 グローバルモード変更時の最大遷移時間 (1/2)

遷移前	遷移後	最大遷移時間
GL_SLEEP	GL_RESET	3 周辺クロックサイクル(注2)
GL_RESET	GL_SLEEP	3 周辺クロックサイクル
GL_RESET	GL_HALT	10 周辺クロックサイクル
GL_RESET	GL_OPERATION	10 周辺クロックサイクル
GL_HALT	GL_RESET	2 CAN ビット時間
GL_HALT	GL_OPERATION	3 周辺クロックサイクル

表 29.19 グローバルモード変更時の最大遷移時間 (2/2)

遷移前	遷移後	最大遷移時間
GL_OPERATION	GL_RESET	2 CAN ビット時間
GL_OPERATION	GL_HALT	3 CAN フレーム ^(注1) ^(注3)

- 注 1. ここに示す遷移時間は、バスにエラーが発生していない場合の値です。エラーが発生した場合、遷移時間は予測不可能なほど長くなることがあります。遷移時間は、RX ラインのロックまたは継続的なエラー状態によって膠着状態になることがあります。
- 注 2. GL_SLEEP モードからの遷移は、CFDGSTS.GRAMINIT がクリアされているときのみ行ってください。
- 注 3. TQ、CAN フレーム、および CAN ビットは、個々のチャネルに関連しています。最大遷移時間を得るには、ボーレートが最も低いチャネルを使用する必要があります。

29.3.4.2 チャネルモード変更のタイミング

チャネルモード変更時の遷移時間を以下の表に示します。

表 29.20 チャネルモード変更時の最大遷移時間

遷移前	遷移後	最大遷移時間
CH_SLEEP	CH_RESET	3 周辺クロックサイクル
CH_RESET	CH_SLEEP	3 周辺クロックサイクル
CH_RESET	CH_HALT	3 CAN ビット時間
CH_RESET	CH_OPERATION	4 CAN ビット時間
CH_HALT	CH_RESET	2 CAN ビット時間
CH_HALT	CH_OPERATION	4 CAN ビット時間 ^(注3)
CH_OPERATION	CH_RESET	2 CAN ビット時間
CH_OPERATION	CH_HALT	2 CAN フレーム ^(注1) ^(注2)

- 注 1. この遷移で指定した時間には、チャネルがバスオフ状態に入った場合を含みません。バスオフの場合、タイミングは CFDC0CTR.BOM[1:0] ビットの設定によって変わります。
- 注 2. ここに示す遷移時間は、バスにエラーが発生していない場合の値です。エラーが発生した場合、遷移時間は予測不可能なほど長くなることがあります。遷移時間は、RX ラインのロックまたは継続的なエラー状態によって膠着状態になることがあります。
- 注 3. 一般に、CH_HALT モードでボーレートプリスケアラ値 CFDC0NCFG.NBRP が変更されると、遷移時間がずれることがあります。内部プリスケアラは TQ クロックを生成するフリーランニングダウンカウンタで、カウンタが値 0 に到達したときに新しい BRP 値がキャプチャされます。

29.4 初期化

CAN 通信に参加する前に、以下の設定を行います。

- クロックの設定
- ビットタイミングの設定（公称レートとデータレート）
- ボーレートの設定（公称レートとデータレート）
- CANFD 設定
- アクセプタンスフィルタの設定（グローバルアクセプタンスフィルタリストの構成）
- 送信、受信、および GW FIFO の設定
- CAN オペレーションモードの設定

29.4.1 CAN クロック、ビットタイミング、ボーレートの初期化

29.4.1.1 ビットタイミングの条件

各セグメントの構成と、セグメントの設定に適用される制約条件を以下に示します。

1. 各セグメントの設定
 - SS = 1 TQ 固定
 - TSEG1 = (CFDC0NCFG) と (CFDC0DCFG) ^(注1)を参照
 - TSEG2 = (CFDC0NCFG) と (CFDC0DCFG) ^(注1)を参照

SJW = (CFDC0NCFG) と (CFDC0DCFG) (注1)を参照

SS + TSEG1 + TSEG2 = 5~49 TQ (データビットレートの場合) / 8~385 TQ (公称ビットレートの場合)

2. TSEG1、TSEG2、SJW の制約条件

$TSEG1(N) > TSEG2(N) \geq SJW(N)$

$TSEG1(D) \geq TSEG2(D) \geq SJW(D)$ (注1)

従来型のフレームのみを使用する場合、CFDC0DCFG のビットフィールド TSEG1 および TSEG2 に有効な値を設定します。

注 1. この機能は、クラシカル CAN 機能では使用できません。

表 29.21 に、必要なサンプルポイント設定を得るためのビットタイミング設定方法の例を示します。

表 29.21 ビットタイミングの例

1 ビット	設定値 (TQ)				サンプルポイント (%)
	SS	TSEG1	TSEG2	SJW	
5TQ	1	2	2	1	60.00
8TQ	1	4	3	1	62.50
	1	5	2	1	75.00
10TQ	1	6	3	1	70.00
	1	7	2	1	80.00
12TQ	1	8	3	1	75.00
	1	9	2	1	83.33
15TQ	1	10	4	1	73.33
	1	11	3	1	80.00
16TQ	1	10	5	1	68.75
	1	11	4	1	75.00
20TQ	1	12	7	1	65.00
	1	13	6	1	70.00
24TQ	1	15	8	1	66.66
	1	16	7	1	70.83
50TQ	1	39	10	4	80.00

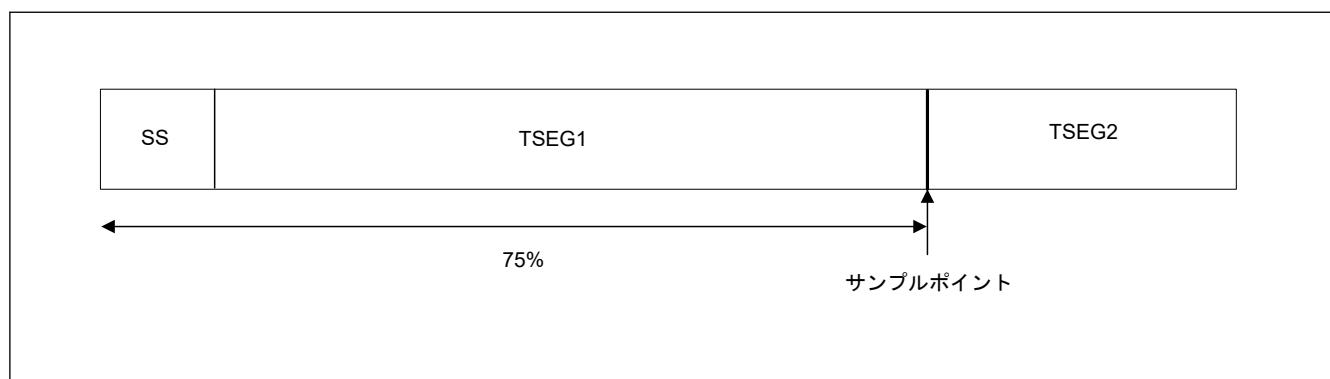


図 29.14 サンプルポイント (75%の場合)

29.4.1.2 CAN のビットタイミング

CAN プロトコルでは、通信フレームの各ビットは、CFDC0NCFG レジスタおよび CFDC0DCFG (注1) レジスタを使用して、チャネルごとに独立して構成できる 3 つのセグメントで構成されます。

注 1. このレジスタは、クラシカル CAN 機能では使用できません。

図 29.15 に、各ビットのセグメント構成と、ビット内のサンプルポイントを示します。

これらのセグメントのうち、タイムセグメント 1 (TSEG1) とタイムセグメント 2 (TSEG2) は、サンプルポイントの位置を指定するために使用されます。TSEG1 と TSEG2 の値を変更することで、CAN バス上の各ビットをサンプリングするタイミングを変えることができます。

このタイミングの最小単位を TQ (Time Quantum) と呼びます。TQ の長さは、CAN チャネルに供給されるクロック周波数と、ボーレートプリスケアラの N 分周値 (公称レートおよびデータレート) によって決まります。

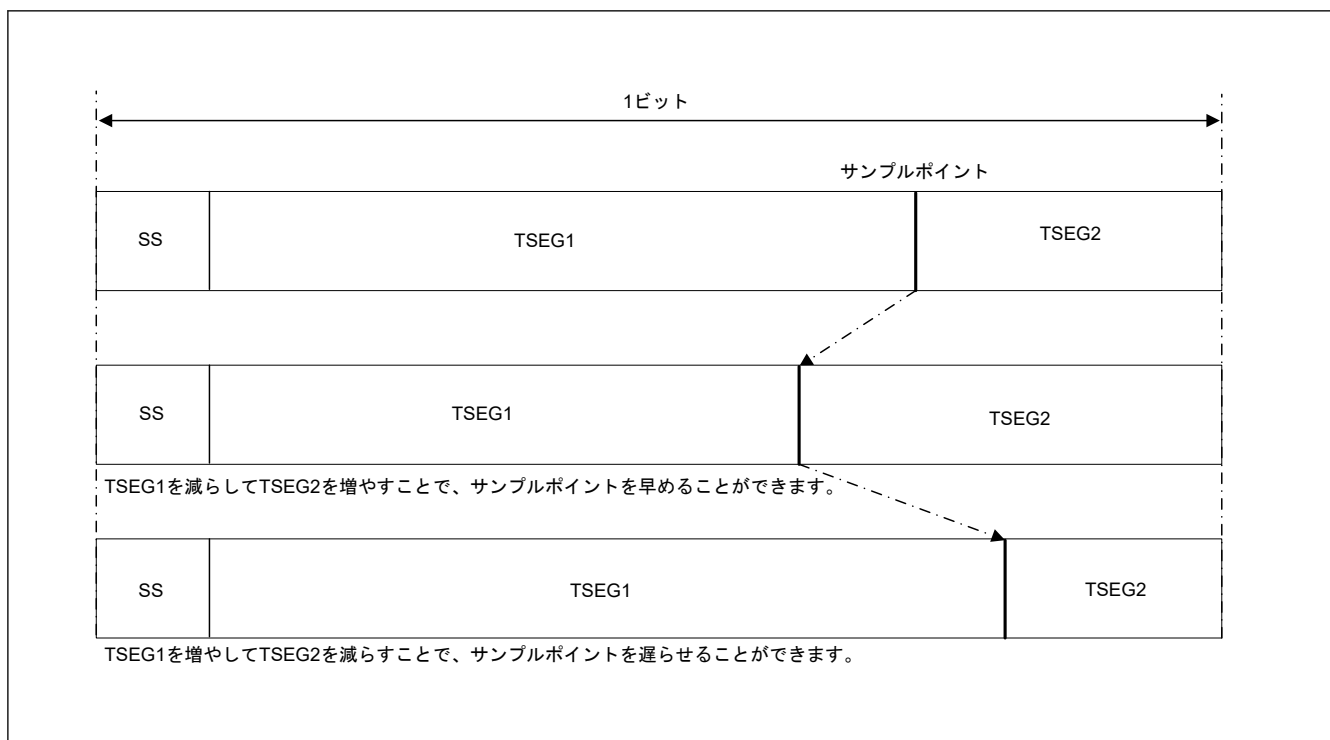


図 29.15 ビット内のセグメント構成とサンプルポイント

1. SS : シンクロナイゼーションセグメント
インターフレームスペース中のリセシブからドミナントへのエッジをモニタして、ビットを同期するセグメントです。インターフレームスペースは、インターミッション、サスペンドトランスミッション、バスアイドルで構成され、バスアイドル中に全ノードが送信を開始することができます。
2. TSEG1: タイムセグメント 1
CAN ネットワーク上の物理的な遅延を吸収するセグメントです。ネットワーク上の物理的な遅延は、バス上の遅延、入力コンパレータの遅延、出力ドライバの遅延の総和の 2 倍になります。SJW によって伸ばすことができます。
3. TSEG2 : タイムセグメント 2
再同期を実行してフェーズエラーを補償するセグメントです。SJW によって縮めることができます。メッセージの送受信中、発振器の周波数ドリフトや伝送路の遅延により、一部ノード間の通信フレームの同期がずれる場合があります。これをフェーズエラーと言います。
4. SJW : 再同期ジャンプ幅
フェーズエラーによる同期ズレを補償できる最大ビット幅です。

図 29.15 には、1 つのシンボリックなサンプルポイントのみを示しています。

29.4.1.3 ボーレート

CAN 通信クロックとして、CANFD コアクロック (CANFDCLK) または外部発振器クロック (CANMCLK) のいずれかをグローバルに選択することができます。

転送速度は、DLL クロック、ボーレートプリスケアラの N 分周値、および 1 ビットに含まれる TQ の数によって決まります。

$$\text{ボーレート} = \frac{\text{DLLクロック}}{(\text{1ビット当たりのTQ数}) \times (\text{BRP} + 1)}$$

図 29.16 に CAN チャネル通信クロックを生成する回路のブロック図を示します。表 29.22 にボーレートの例を示します。

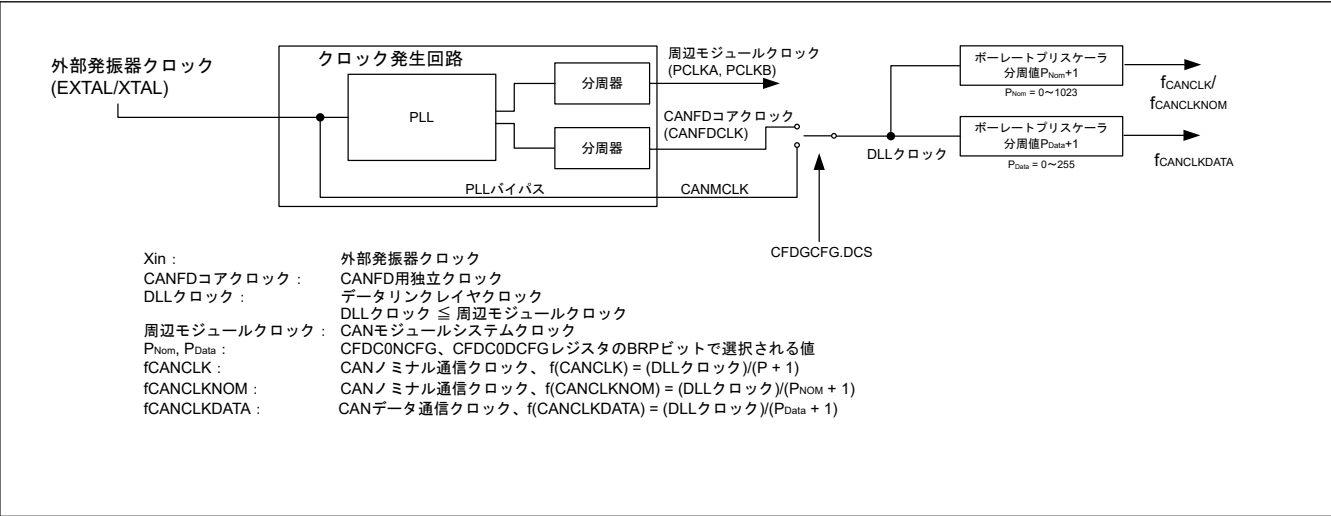


図 29.16 CAN チャネルの通信クロックを生成する回路のブロック図

表 29.22 公称ボーレートの計算式と CAN 通信の構成例

ボーレートの 計算式	(DLL クロック) (ボーレートプリスケアラの N 分周値(注1)) × (1 ビット当たりの TQ 数)							
	40 MHz	32 MHz	30 MHz	24 MHz	20 MHz	16 MHz	10 MHz	8 MHz(注2)
1 Mbps	8TQ (5) 20TQ (2)	8TQ (4) 16TQ (2)	10TQ (3) 15TQ (2)	8TQ (3) 12TQ (2) 24TQ (1)	10TQ (2) 20TQ (1)	8TQ (2) 16TQ (1)	10TQ (1)	8TQ (1)
500 Kbps	8TQ (10) 20TQ (4)	8TQ (8) 16TQ (4)	10TQ (6) 15TQ (4) 20TQ (3)	8TQ (6) 12TQ (4) 24TQ (2)	10TQ (4) 20TQ (2)	8TQ (4) 16TQ (2)	10TQ (2) 20TQ (1)	8TQ (2) 16TQ (1)
250 Kbps	8TQ (20) 20TQ (8)	8TQ (16) 16TQ (8)	10TQ (12) 15TQ (8) 20TQ (6)	8TQ (12) 12TQ (8) 24TQ (4)	10TQ (8) 20TQ (4)	8TQ (8) 16TQ (4)	10TQ (4) 20TQ (2)	8TQ (4) 16TQ (2)
125 Kbps	8TQ (40) 20TQ (16)	8TQ (32) 16TQ (16)	10TQ (24) 15TQ (16) 20TQ (12)	8TQ (24) 12TQ (16) 24TQ (8)	10TQ (16) 20TQ (8)	8TQ (16) 16TQ (8)	10TQ (8) 20TQ (4)	8TQ (8) 16TQ (4)
83.3 Kbps	8TQ (60) 12TQ (40) 16TQ (30) 24TQ (20)	8TQ (48) 12TQ (32) 16TQ (24) 24TQ (16)	8TQ (45) 10TQ (36) 12TQ (30) 15TQ (24) 20TQ (18) 24TQ (15)	8TQ (36) 12TQ (24) 16TQ (18) 24TQ (12)	8TQ (30) 10TQ (24) 12TQ (20) 15TQ (16) 16TQ (15) 20TQ (12) 24TQ (10)	8TQ (24) 12TQ (16) 16TQ (12) 24TQ (8)	8TQ (15) 10TQ (12) 12TQ (10) 15TQ (8) 20TQ (6) 24TQ (5)	8TQ (12)
33.3 Kbps	8TQ (150) 12TQ (100) 16TQ (75) 20TQ (60) 24TQ (50)	8TQ (120) 10TQ (96) 12TQ (80) 15TQ (64) 16TQ (60) 20TQ (48) 24TQ (40)	10TQ (90) 12TQ (75) 15TQ (60) 20TQ (45)	8TQ (90) 10TQ (72) 12TQ (60) 15TQ (48) 16TQ (45) 20TQ (36) 24TQ (30)	8TQ (75) 10TQ (60) 12TQ (50) 15TQ (40) 20TQ (30) 24TQ (25)	8TQ (60) 10TQ (48) 12TQ (40) 15TQ (32) 16TQ (30) 20TQ (24) 24TQ (20)	10TQ (30) 12TQ (25) 15TQ (20) 20TQ (15)	8TQ (30)

注. 括弧内の数字はボーレートプリスケアラの N 分周値を示しています。
注 1. ボーレートプリスケアラの N 分周値 = P + 1 (P = 0 - 1023)。ここで、P はチャネルコンフィグレーションレジスタの BRP ビットによって選択された値です。
注 2. 最大公称ボーレート 1 Mbps を実現するための最小周波数です。

表 29.23 公称ビットレートおよびデータビットレート CAN 通信構成に対するボーレートの計算例

ボーレートの計算式	(DLL クロック) (ボーレートプリスケアラの N 分周値 ^(注1)) × (1 ビット当たりの TQ 数)	
	40 MHz	20 MHz
公称 1 Mbps データ 8 Mbps	40TQ (1)	20TQ (1)
	5TQ (1)	不可
公称 1 Mbps データ 5 Mbps	40TQ (1)	20TQ (1)
	8TQ (1)	不可
公称 500 Kbps データ 2 Mbps	80TQ (1)	40TQ (1)
	20TQ (1)	10TQ (1)

注. 括弧内の数字はボーレートプリスケアラの N 分周値を示しています。この表は、クラシカル CAN 機能では使用できません。

注 1. ボーレートプリスケアラの N 分周値 = P + 1 (P = 0 - 1023)。ここで、P はチャンネルコンフィグレーションレジスタの BRP ビットによって選択された値です。

FD フレームフォーマットを使用するネットワークで、最適なクロックトレランスを実現するには、公称ビット時間とデータビット時間とで TQ の長さを同じにしなければなりません。つまり、CFDC0NCFG.NBRP = CFDC0DCFG.DBRP にします。

また、トランシーバ遅延補償を使用する場合は、CFDC0DCFG.DBRP ビットを 1 より大きい値に設定してはなりません。1 は、2 で割ることを意味するためです。

29.4.1.4 CAN のクロック、ビットタイミング、ボーレートの設定

図 29.17 に、CAN のチャンネルのクロックとボーレートを設定する手順を示します。

これらの設定は、該当する CAN チャンネルがチャンネルリセットモード（コンフィグレーションモード）のときに行う必要があります。

ボーレートは、チャンネル通信状態に入る前に設定しなければなりません。ボーレートが設定されていない場合、モードの切り替えが正しく行われません。

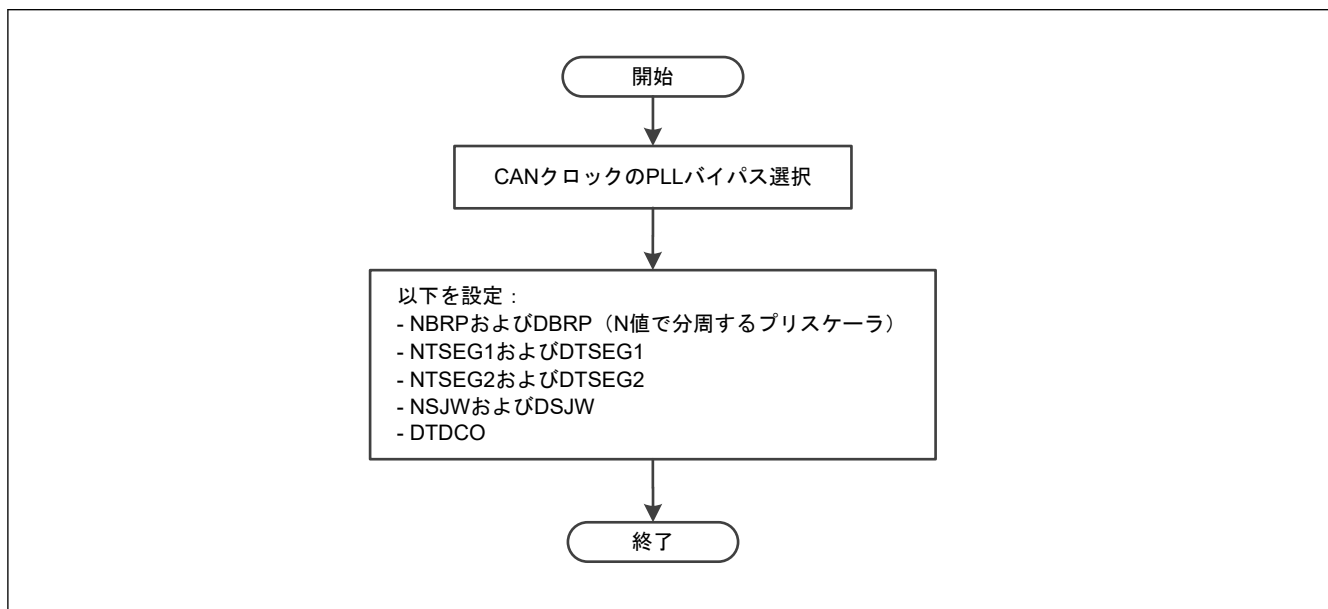


図 29.17 CAN のビットタイミングとボーレートを設定する手順

29.4.1.5 トランスミッタ遅延補償

この章は、クラシカル CAN 機能に対しては適用されません。

データフェーズに 5~8 Mbps のような高いボーレートを使用した場合、トランスミッタ遅延が TSEG1 より大きくなる場合があります。この場合、トランスミッタは CANFD フレームのデータフェーズのビットエラーを常に

検出します。TDC は、トランスミッタ自身が送信したビットを、そのビットのサンプルポイントで受信できない場合を補償します。

もう 1 つのシンボリックなサンプルポイントとして、CANFD フレームのデータフェーズのみで使用するセカンダリサンプルポイント (SSP) があります。図 29.18 に示すように、SSP はトランシーバ遅延補償結果ビット (CFDC0FDSTS.TDCR) から導出されます。

構成の分解能、測定値およびオフセット値は、CAN チャネルの DLL クロックに基づきます。

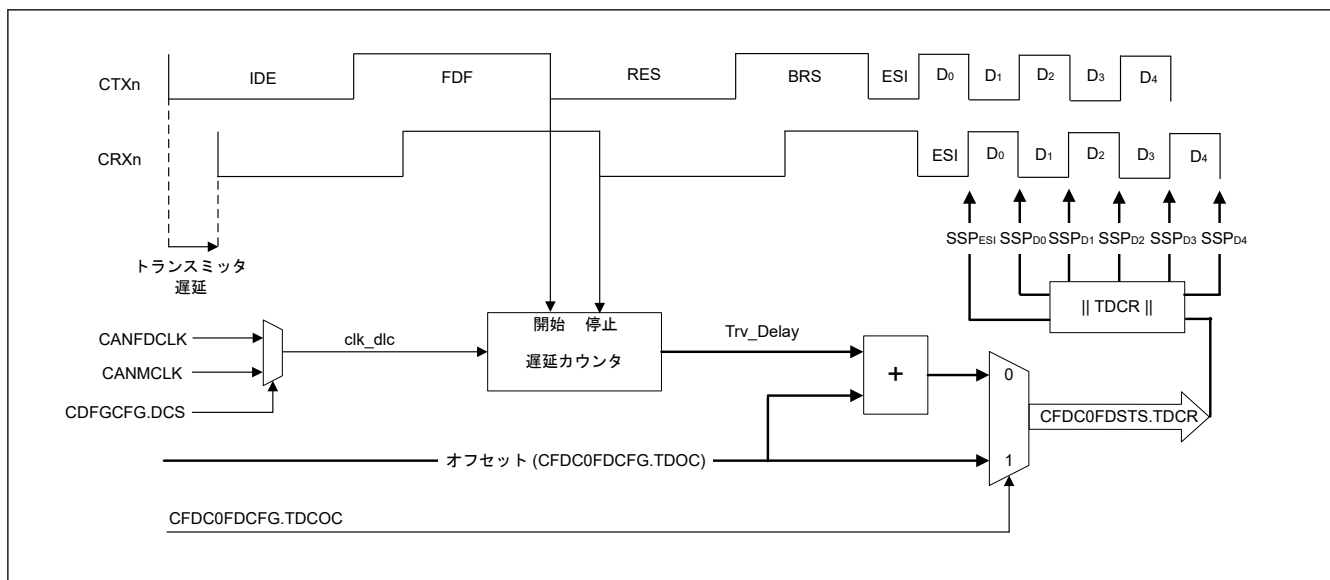


図 29.18 トランスミッタ遅延補償

測定された遅延時間である Trv_Delay は、 clk_dlc クロックサイクル数に基づきます。この遅延時間は、ドミナント値が $CRXn$ に現れるまで、開始されるクロックごとに 1 ずつカウントアップされます。図 29.19 に測定結果を示します。 Trv_Delay が各 clk_dlc クロックで最大 127 までカウントされます。

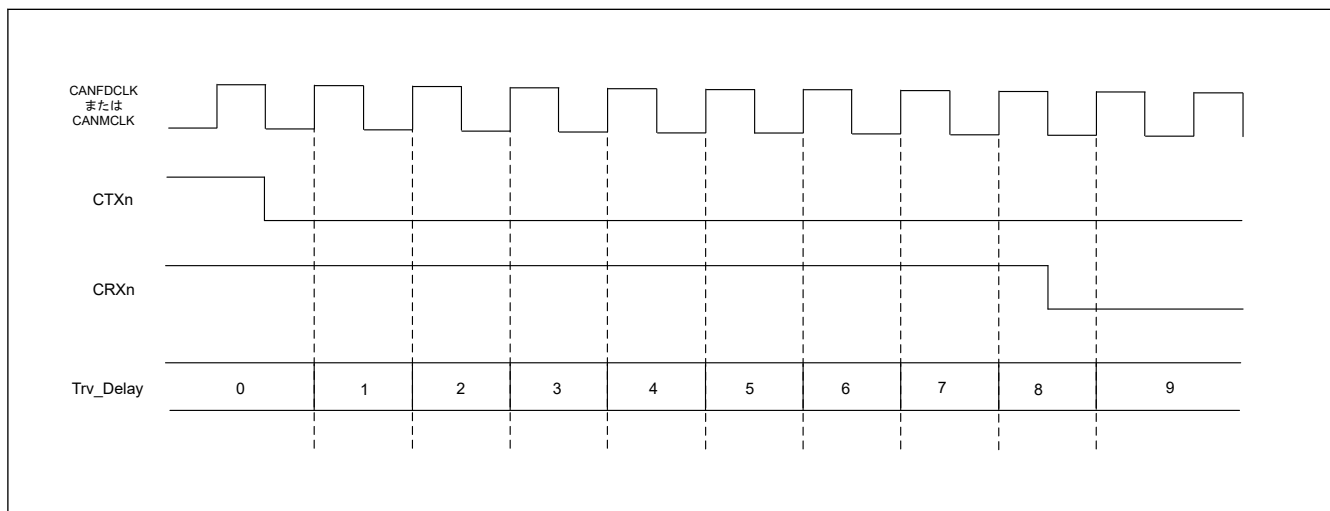


図 29.19 Trv_Delay の測定例

SSP は、CFDC0FDSTS.TDCR の結果を取り、その値をデータ TQ の最も近い整数値に切り捨てることで計算されます。

図 29.20 にセカンダリサンプルポイントの位置を示します。CFDC0FDCFG.TDCOC が 0 のとき、SSP は Trv_Delay (測定された遅延時間) + CFDC0FDCFG.TDCO を、TQ の最も近い整数値に切り捨てた値と等しくなります。通常、TDCO の値は、SSP をサンプルポイントの理論上の位置に配置するため、(SyncSegmentdata + TSEG1data) の大きさを持ちます。

CFDC0FDCFG.TDCOC が 1 のとき、SSP は CFDC0FDCFG.TDCO によって決まります。CFDC0DCFG.DBRP が 0 より大きい場合、この値も TQ の最も近い整数値に切り捨てられます。

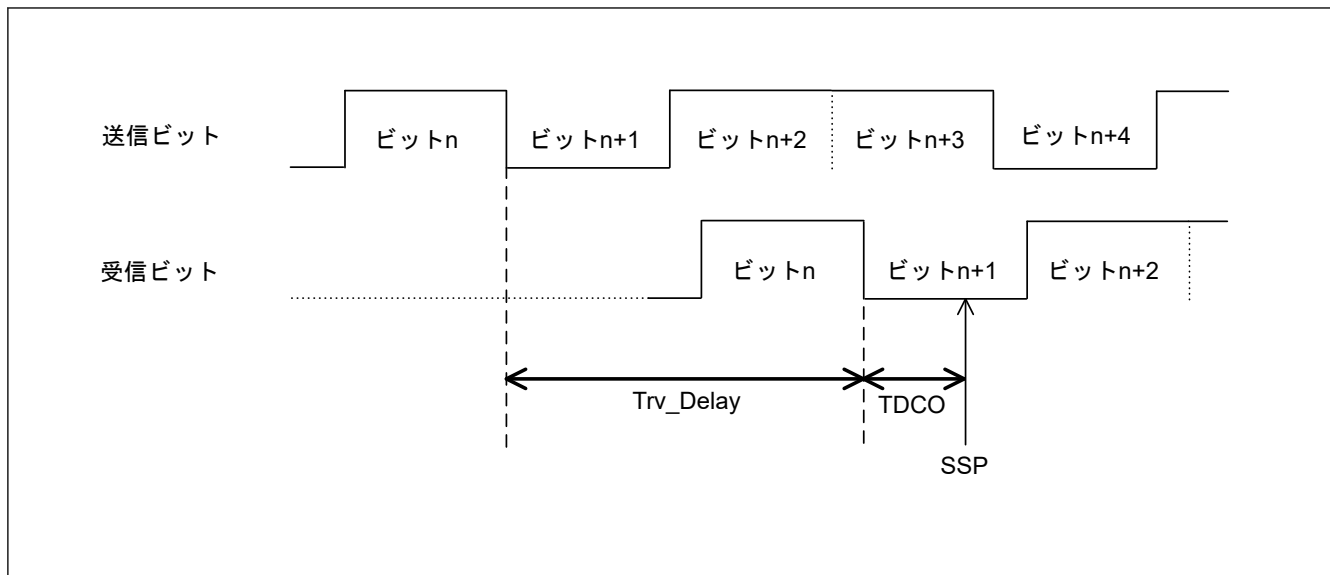


図 29.20 セカンダリサンプルポイントの位置

CANFD モジュールによって補償可能な最大遅延時間 ($\text{Trv\_Delay} + \text{TDCO}$) は、 $(6 \text{ データビット} - 2\text{clk\_dlc})$ です。ISO 11898-1 では、 BRP_data と BRP_nom に異なる値を設定することが許容されています。

CFDC0NCFG.NBRP と CFDC0DCFG.DBRP に異なる値を使用した場合、BRS ビットのサンプルポイントの後で、ビットレートが公称ビットレートからデータビットレートに変化した時点で、2つの CAN ノードの同期がずれることがあります。この条件を図 29.21 に示します。

公称ビット時間とデータビット時間で、TQ の長さを同じにする必要があります。つまり、 $\text{CFDC0NCFG.NBRP} = \text{CFDC0DCFG.DBRP}$ にします。

タイムセグメントに異なる設定値を選択することで、ビットレートを変えることができます。公称ビットレートは 8~385 TQ の間、データビットレートは 5~49 TQ の間で設定できます。

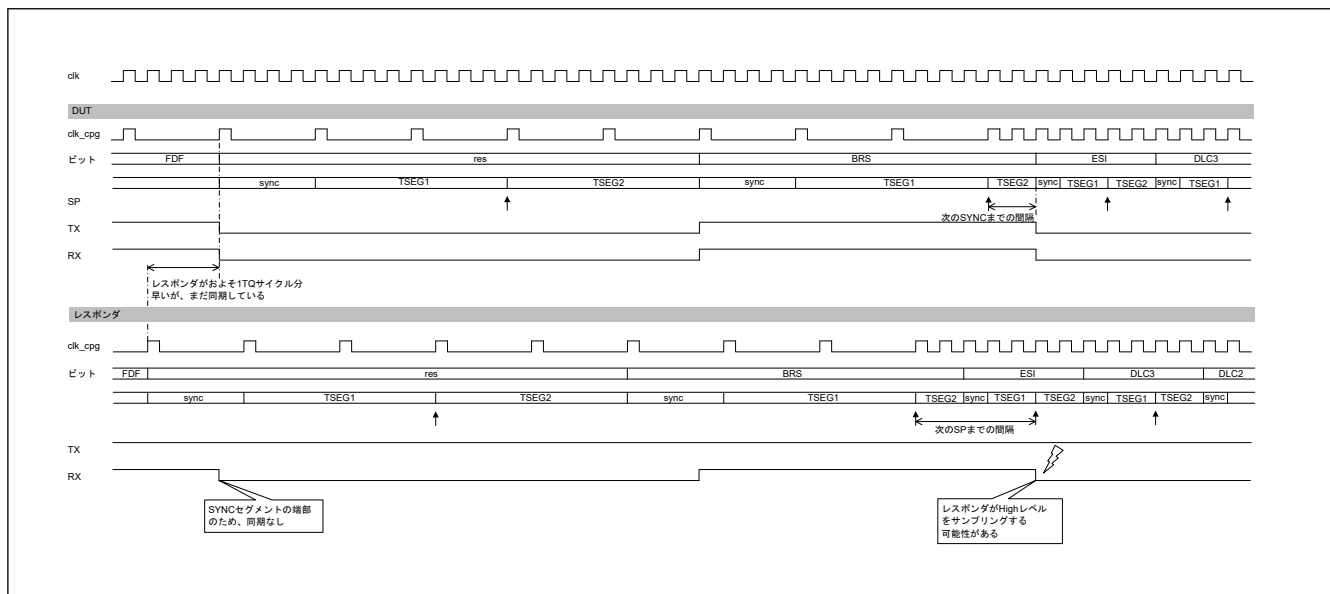


図 29.21 2つのCANノード間の同期ズレ

適切に構成した場合 ($\text{CFDC0FDCFG.TDCE} = 1$, $\text{CFDC0FDCFG.TDCOC} = 0$)、トランスミッタ遅延補償の測定結果は、FDF ビットから RES ビットへの立ち下がりエッジで更新されます。

図 29.22 は、トランスミッタ遅延補償測定結果を取得するための読み出しフローを示しています。

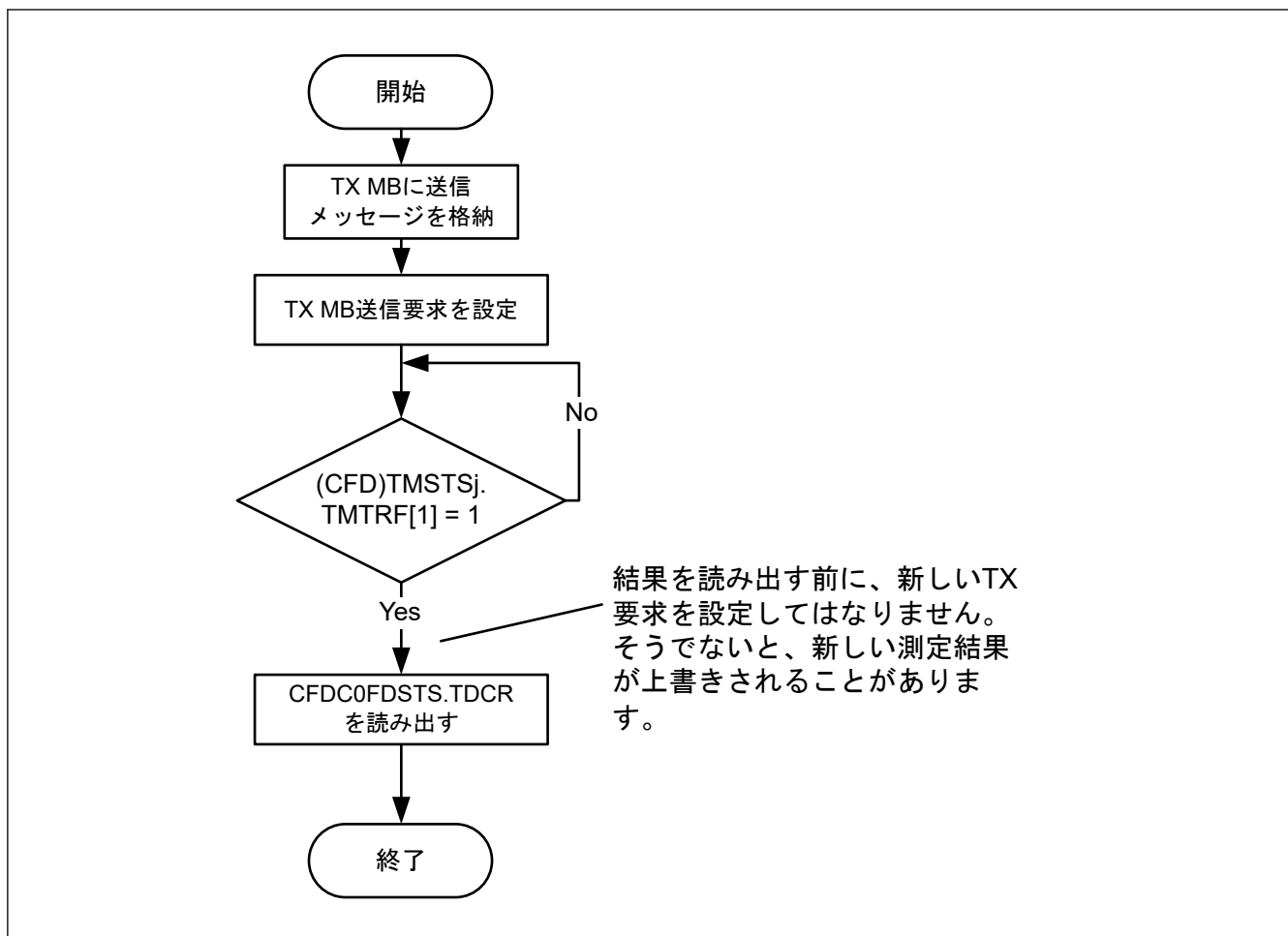


図 29.22 TDC 結果読み出しフロー

29.4.2 ハードウェアリセット後の CAN モジュールの構成

ハードウェアリセット（パワーオンリセット）後、または CFDCGRSTC.SRST ビットがセット／クリアされた後、CANFD モジュールは自動的にグローバルスリープモードに遷移します。

CANFD モジュールの構成を行うには、グローバルスリープ要求ビット CFDCGCTR.GSLPR を 0 にクリアして、スリープモードを解除する必要があります。

ハードウェアリセット後、モジュールは RAM の初期化を開始します。このとき、グローバルステータスレジスタの CFDCGSTS.GRAMINIT ビットが自動的にセットされ、CANFD ロジックが RAM を初期化中であることを示します。

このビットは、RAM の初期化が完了すると自動的にクリアされます。

RAM の初期化は、ハードウェアリセットで RAM に存在するランダムデータがリセットされた後に誤って ECC エラーフラグがセットされるのを防ぐために必要です。

RAM の初期化が終わり、CFDCGSTS.GRAMINIT ビットがクリアされるまでは、読み出ししか書き込みかを問わず、CANFD のレジスタにアクセスしてはなりません。

通信モードに入る前に、グローバルアクセプタンスフィルタリストとメッセージ FIFO バッファを構成する必要があります。また、CAN のビットタイミングなど、CAN チャネルの設定を行う必要があります。この設定については、CAN チャネルにおいて、チャネルスリープモードを解除し、通信をチャネルリセットモード（コンフィグレーションモード）に設定する必要があります。

図 29.23 に構成手順を示します。各ステップの詳細については、「[29.5. グローバルアクセプタンスフィルタリスト \(AFL\) を使用したアクセプタンスフィルタ機能](#)」、「[29.6. FIFO バッファと通常のメッセージバッファの構成](#)」、「[29.7. 割り込みと DMA](#)」、および「[29.4.1.3. ボーレート](#)」を参照してください。

CFDCGRSTC.SRST を設定することによってソフトウェアリセットが行われた場合、CANFD モジュールは RAM 初期化シーケンスを実行しません。

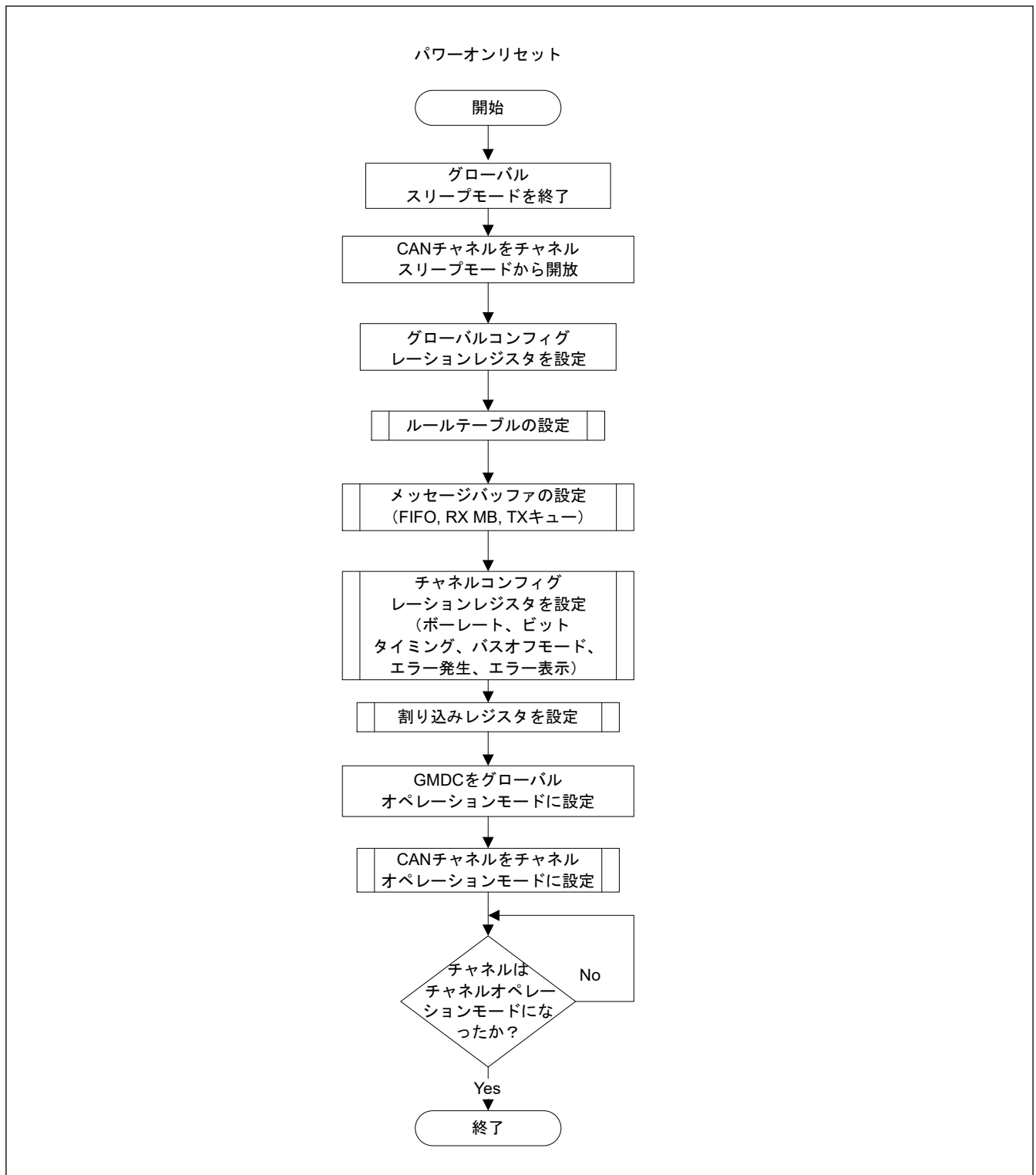


図 29.23 ハードウェアリセット後の構成手順

29.5 グローバルアクセプタンスフィルタリスト (AFL) を使用したアクセプタンスフィルタ機能

29.5.1 概要

CANFD モジュールでは、グローバルアクセプタンスフィルタリスト (以後、AFL と呼ぶ) を使用して、メッセージのアクセプタンスフィルタ処理を行うことができます。AFL の各要素により、特定のチャンネルで受信メッセージに対するフィルタルールが定義されます。

AFL のエントリに基づき、以下のアクションが実行されます。

- 受信 CAN ID およびマスクに基づくアクセプタンスフィルタ処理
- 受信 DLC 値に基づく DLC フィルタ処理
- CFDCFG.CMPOC ビットによるメッセージデータペイロード(注1)
- 受け入れたメッセージを、関連する AFL エントリに定義されたメッセージバッファオブジェクトに格納
- 16 ビットのポインタを関連する AFL エントリに定義された格納されるメッセージに付加 (例: AUTOSAR アプリケーションをサポートするため)
- 2 ビットの情報ラベルを関連する AFL エントリに定義された格納されるメッセージに付加

注 1. この機能は、クラシカル CAN 機能では使用できません。

CANFD モジュールは、最大の 16 個の AFL エントリを許可します。

アクセプタンスフィルタの処理中、アクセプタンスフィルタユニットは、チャンネル内の各 AFL エントリを、受信メッセージと照らし合わせてチェックします。チェックは、そのチャンネルで最も小さい AFL エントリ番号を持つエントリから開始されます。

受信した ID が設定した ID/マスクの組み合わせと一致したとき、あるいは、受信した ID が関連するチャンネルのすべての AFL エントリと照合されたとき、AFL 検索は停止します。一致しない場合、受信メッセージは拒否されます。この場合、アプリケーションに通知は送られません。

さらに、DLC チェックがグローバルに有効化されている場合、受け入れた各メッセージについて、自動 DLC フィルタ処理が行われます。受信メッセージの DLC 値が、一致した AFL エントリに設定された DLC 値以上の場合、DLC チェックはパスします。

DLC 置換 (CFDCFG.DRE ビット) が有効で、一致した AFL エントリに設定された DLC 値が 0x0 より大きく、DLC チェックにパスした場合、一致した AFL エントリに設定された DLC 値が格納先の RX メッセージバッファまたは FIFO バッファに格納されます。

受信した DLC 値が一致した AFL エントリに設定された DLC 値よりも大きい場合、CAN バス上で受信した追加のデータバイトは格納先の RX メッセージバッファまたは FIFO バッファに格納されません。これらの追加データバイトは、格納先の RX メッセージバッファまたは FIFO バッファに、0x00 として格納されます。

DLC 置換が有効で、一致する AFL エントリの DLC 値が 0x0 の場合、受信した DLC 値が格納先の RX メッセージバッファまたは FIFO バッファに格納されます。

DLC 置換 (CFDCFG.DRE ビット) が無効で、DLC チェックにパスした場合、CAN バス上で受信した DLC 値が、格納先の RX メッセージバッファまたは FIFO バッファに格納されます。

受信した DLC 値が、一致した AFL エントリに設定された DLC 値よりも大きい場合、CAN バスから受信した追加のデータバイトも、格納先の RX メッセージバッファまたは FIFO バッファに格納されます。

受信メッセージの DLC 値が、一致した AFL エントリに設定された DLC 値よりも小さい場合、DLC チェックは失敗します。その場合、受信メッセージは拒否され、RX メッセージバッファまたは FIFO バッファに格納されません。

また、DLC チェックに失敗すると、グローバルエラーフラグレジスタで DLC エラーフラグが設定されます。設定されている場合、エラー割り込みも発生します。DLC チェックに失敗した場合、DLC 置換の設定は影響しません。

メッセージがアクセプタンスフィルタ処理と DLC フィルタ処理の両方にパスした場合、受信メッセージ用のシングルバッファおよび/または受信機能に設定された FIFO バッファにメッセージが格納されます。

このメッセージ格納先情報も、同じ AFL エントリに定義されています。構成されていない AFL エントリに対してターゲットを設定してはなりません。

受け入れた各受信メッセージは、最大で 2 つの格納先 (受信メッセージ用のシングルバッファおよび/または FIFO バッファ) に格納できます。

格納先は 2 つまでしか設定することはできません。それより多い格納先を設定した場合、内部タイミングに競合が発生し、受信されたメッセージはメッセージ RAM に格納されません。この格納先の数、アプリケーション側で正しく設定する必要があります。

受信メッセージに、格納先 (CFDRMNB.RMPLS、CFDRFCCa.RFPLS、または CFDCFCC.CFPLS) に保存可能なサイズよりも多くのデータペイロードバイトが含まれる場合のために、追加の保護機構があります。

CFDGCFG.CMPOC = 0 の場合、メッセージ全体が拒否され、格納先に保存されます。CFDGCFG.CMPOC = 0 であり、受信メッセージを含む RX FIFO または共通 FIFO フルに格納先 (CFDRMNB.RMPLS、CFDRFCCa.RFPLSS、または CFDCFCC.CFPLS) に保存可能なサイズよりも多くのデータペイロードバイトが含まれる場合、対応する CFDFMSTS.RFxMLT または CFDFMSTS.CFxMLT ビットは 1 に設定されません。

CFDGCFG.CMPOC = 1 のとき、CFDRMNB.RMPLS を超える受信データバイトが拒否されます。

CFDGCFG.CMPOC = 1 であり、受信メッセージを含む RX FIFO または共通 FIFO フルに格納先 (CFDRMNB.RMPLS、CFDRFCCa.RFPLS、または CFDCFCC.CFPLS) に保存可能なサイズよりも多くのデータペイロードバイトが含まれる場合、対応する CFDFMSTS.RFxMLT または CFDFMSTS.CFxMLT ビットは 1 に設定されます。

CFDGCFG.DRE ビットの設定に応じて、受信した元の DLC 値か、AFL エントリに設定された DLC 値のいずれかが格納されます。

CFDGCFG.CMPOC ビットの設定にかかわらず、ペイロードオーバーフロー条件が検出された場合、CFDGERFL.CMPOF は 1 に設定されます。

DLC フィルタ処理は、ペイロードオーバーフロー機能より前に実行されます。そのため、1つの受信フレームについて、CFDGERFL.DEF または CFDGERFL.CMPOF(注1)によって同時に 1つのフラグのみを設定できます。

注 1. このビットは、クラシカル CAN 機能では使用できません。

29.5.2 AFL エントリの割り当て

AFL エントリの数は、関連するグローバルアクセプタンスフィルタコンフィグレーションレジスタの専用のフィールドを使用して設定できます (図 29.24 を参照)。

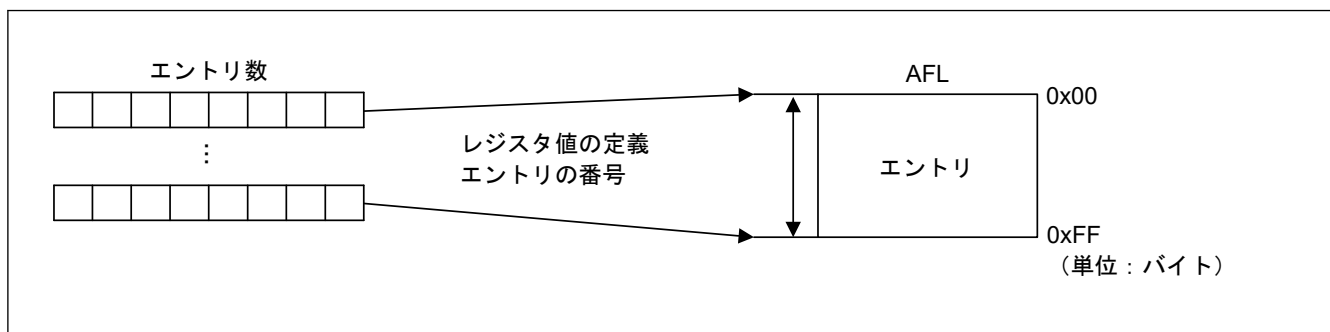


図 29.24 各チャネルの AFL の構成

最小エントリ数は 0 (チャネルにエントリが定義されていない状態) で、1 チャネル当たりの最大エントリ数は 16 です。

1つのチャネルの全エントリは一意で、エントリの重複や共有はサポートされていません。AFL を正しく構成することは、アプリケーションの責任です。

CANFD モジュールは、AFL の構成に関連するエラーにフラグを立てません。

29.5.3 AFL エントリの説明

各 AFL エントリは、16 バイトで構成されます。すべてのエントリで、フィールドは同一です。

各エントリには、アクセプタンスフィルタ処理と DLC フィルタ処理に使用される以下の情報が含まれます。

- ID (標準フレームフォーマットでは 11 ビット、拡張フレームフォーマットでは 29 ビット) :
アクセプタンスフィルタユニットは、受信したメッセージの ID フィールドを、各 AFL エントリの ID フィールドと照合します (ID ビットに対してフル 29 ビットマスク処理が可能です。下記の情報を参照してください)。
- IDE ビット :
アクセプタンスフィルタユニットは、受信したメッセージの IDE ビットをこのビットと照合し、ID フィールドからアクセプタンスフィルタ処理に関連する部分を選択します (IDE ビットに対してマスク処理が可能です。下記の情報を参照してください)。
- RTR ビット :

アクセプタンスフィルタユニットは、このビットの設定に従って、データフレーム (RTR=0) またはリモートフレーム (RTR=1) のみを受け入れます (RTR ビットに対してマスク処理が可能です。下記の情報を参照してください)。

- ループバックコンフィグレーションビット：
このビットにより、ループバック構成またはミラーモード条件に応じて AFL エントリの有効/無効を設定できます。
- ID ビットのマスク (29 ビット)：
ID マスクの各ビットは、アクセプタンスフィルタ処理中、AFL エントリ内の対応する ID ビットをマスクできます。図 29.25 を参照してください。
- IDE ビットのマスク：
標準 ID フォーマットと拡張 ID フォーマットの両方において、このマスクビットで AFL エントリの IDE ビットをマスクした場合、この AFL エントリでメッセージが受け入れられます。標準 ID フォーマットのメッセージの場合、受信したメッセージの ID が AFL エントリの標準 ID 部分と比較されます。拡張 ID フォーマットのメッセージの場合、受信したメッセージの ID が AFL エントリの拡張 ID 部分と比較されます。
- RTR ビットのマスク：
両方のフレームフォーマットにおいて、このマスクビットは、AFL エントリの RTR ビットをマスクします。この AFL エントリでは、データフレームとリモートフレームフォーマットが受け入れられます。
- ポインタ情報 (16 ビット)：
この 16 ビットのポインタは、関連する AFL エントリによって受け入れられた受信メッセージに付加されます。このポインタは、メッセージバッファ領域へのメッセージ格納中に追加され、アプリケーションによりサポート機能として使用できます。たとえば、ポインタ情報を使用して、AUTOSAR システムにおける受信メッセージへの PDU ID 割り当てをサポートできます。
- 情報ラベル (2 ビット)：
この 2 ビットのラベルは、関連する AFL エントリによって受け入れられたメッセージに付加されます。このラベルは、メッセージバッファ領域へのメッセージ格納中に追加され、アプリケーションによりサポート機能として使用できます。
- 自動 DLC フィルタ処理のための DLC 値：
受信したメッセージの DLC 値が設定した DLC 値以上である場合、DLC チェックにパスします。

この AFL エントリの DLC 値を 0 に設定すると、そのエントリについて DLC フィルタ処理が実質的に無効化されます (受け入れられたすべてのメッセージが DLC フィルタ処理をパスします)。

各 AFL エントリは、受信したメッセージを処理するために以下の情報を含みます。

- 受信したメッセージの格納先として使用される単一の受信メッセージバッファのメッセージバッファ番号
- 受信したメッセージの格納先として、単一の受信メッセージバッファ番号の有効または無効を設定する単一受信メッセージバッファ有効ビット
- FIFO 宛先ポインタ - FIFO 宛先ポインタの各ビットは、受信したメッセージの格納先の候補として、専用の FIFO を構成します。

このようなメッセージの格納に対するハードウェア保護は提供されていません。そのため、FIFO 宛先ポインタを設定する際は注意が必要です。

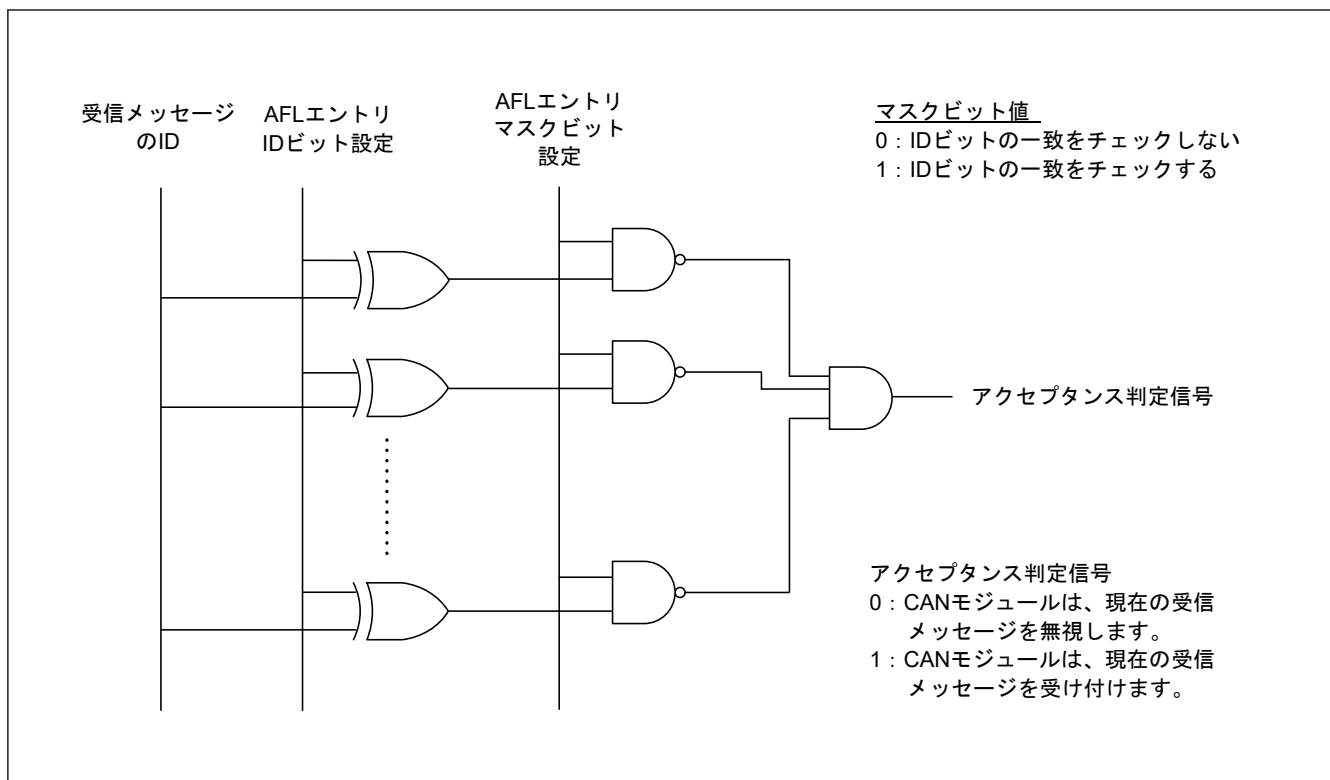


図 29.25 アクセプタンス機能

29.5.4 AFL へのエントリの入力

アプリケーションソフトウェアは、以下のレジスタを使用して AFL に 1 つのエントリ全体を入力できます。

- グローバル AFL ID エントリレジスタ : AFL エントリのパート 1
- グローバル AFL マスクエントリレジスタ : AFL エントリのパート 2
- グローバル AFL ポインタ 0 エントリレジスタ : AFL エントリのパート 3
- グローバル AFL ポインタ 1 エントリレジスタ : AFL エントリのパート 4

これらのレジスタ 16 組で、1 つの AFL エントリのグループを構成します。AFL は CH_RESET モードまたは CH_HALT モードのみで構成するものとします。

AFL をプログラムするには、図 29.26 に示す構成に従ってください。

AFL への不要な書き込みを防止するため、コンフィグレーションモードですべてのエントリを入力した後、AFL アクセスをロックする必要があります。

ロックビットがセットされている場合、すべてのグローバルモード (GL_RESET, GL_HALT, GL_OPERATION) 中、書き込み保護が有効になります。

すべてのグローバルモード中、AFL データアクセスが無効であっても、AFL の読み出しは可能です（実行時に AFL の内容の整合性チェックが可能です）。

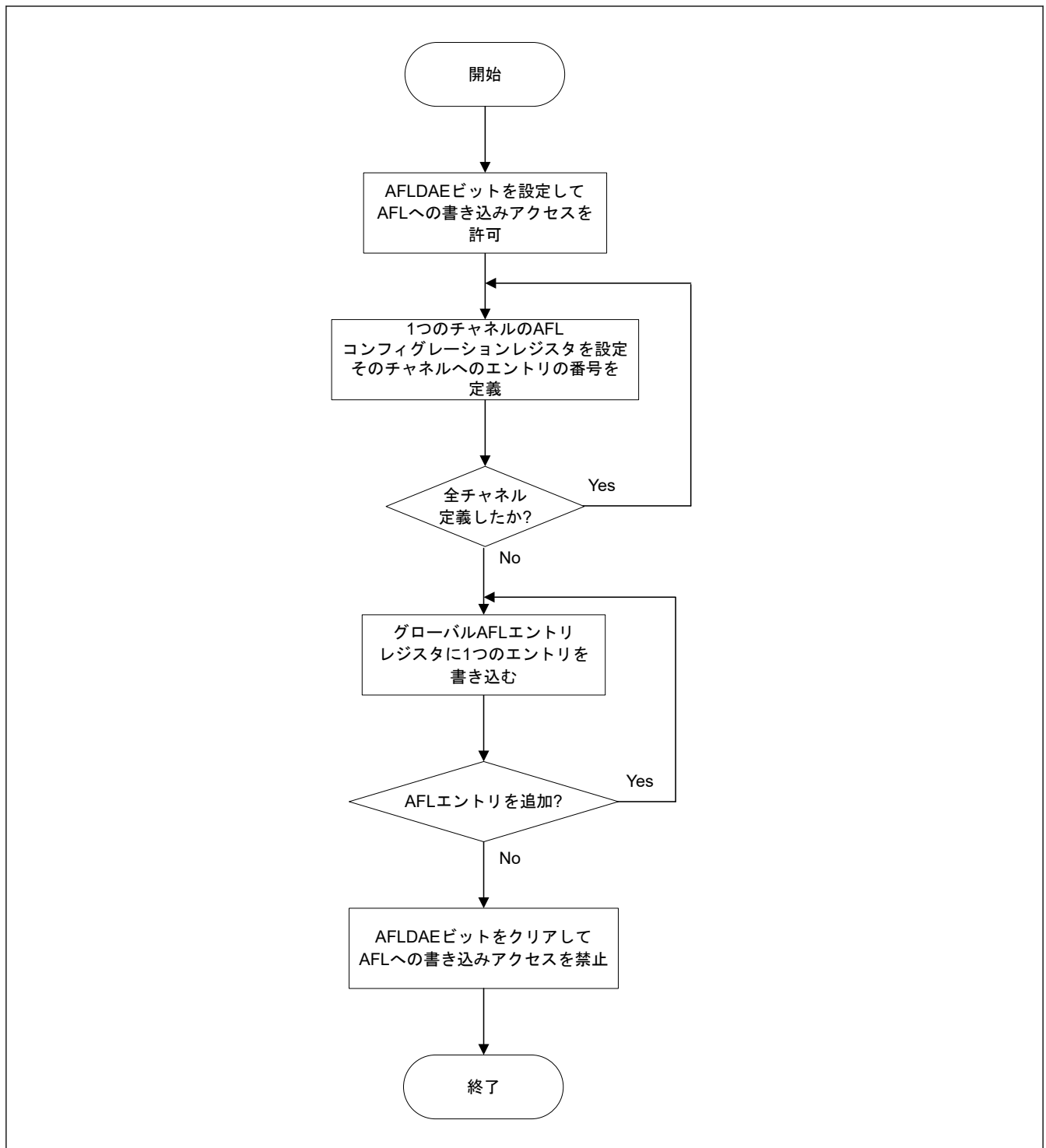


図 29.26 AFL の構成フロー

29.5.5 ループバックモード

ループバックコンフィグレーションビットがセットされている場合、AFL エントリは、CAN チャンネル自らが送信したメッセージを受信する、ループバックテストモード (セルフテストモード 0 またはセルフテストモード 1) またはミラーモードのみで有効になります。

AFL エントリは、ループバックモードで受信した、バス上のその他の CAN ノードによって送信されたメッセージについては無効です。ここで、関連するエントリが有効、無効という表現は、その AFL エントリが受信したメッセージ ID と照合されるかどうかを示します。

ループバックコンフィグレーションビットが 0 の場合、その AFL エントリは以下のときのみ有効になります。

- 通常のモード（ループバック以外のモード）およびミラーモードで受信した、バス上のその他の CAN ノードによって送信されたメッセージ
- ループバックテストモードで受信した、他の CAN ノードまたは CAN チャンネル自らが送信したメッセージ

ミラーモードは、グローバルコンフィグレーションレジスタの CFDGCFG.MME ビットで有効化できます。CFDGCFG.MME ビットがセットされている場合、そのチャンネルの AFL に一致するエントリが設定されている場合、送信に成功したメッセージが RX メッセージバッファまたは FIFO バッファに格納されます。

このフレームを格納するには、一致する AFL エントリのループバックコンフィグレーションビットがセットされている必要があります。

ミラーモードとループバックテストモードが同時に構成されている場合、ループバックテストモードの動作が適用されます。

表 29.24 に、関連する入力信号の設定に応じたアクセプタンスフィルタユニットの動作を示します。

表 29.24 AFL エントリ内のループバックコンフィグレーションの設定に基づくアクセプタンスフィルタの動作

ミラーモード有効 (MME コンフィグレーションビット)	テストモード (セルフテストモード 0 またはセルフテストモード 1) のループバック	チャンネルモード	AFL エントリのループバックコンフィグレーションビット	AFL エントリ
0	0	受信	0	有効
			1	無効
		送信	0	無効
			1	無効
	1	受信	0	有効
			1	無効
		送信	0	有効
			1	有効
1	0	受信	0	有効
			1	無効
		送信	0	無効
			1	有効
	1	受信	0	有効
			1	無効
		送信	0	有効
			1	有効

注: ここで、関連するエントリが有効、無効という表現は、その AFL エントリが受信したメッセージ ID と照合されるかどうかを示します。

29.5.6 IDE マスク処理

AFL エントリの GAFLIDEM ビットが 0 のとき、その AFL エントリに設定された IDE ビットは ID のマッチングに使用されません。この場合、受信した IDE ビットに基づいて、ID[10:0]または ID[28:0]マッチングの使用が選択されます。

次の例を考えてみましょう。

- AFL エントリ x の ID フィールドとマスクフィールドが次のように設定されているとします。
 - CFDGAFLLID [x] = 0xC0553A20 → IDE = 1、RTR = 1、LLB = 0、ID[10:0] = 0x220 / ID[28:0] = 0x00553A20
 - CFDGAFLLMr = 0x0000FFFF → IDEM = 0、RTRM = 0、IDM[10:0] = 0x7FF / IDM[28:0] = 0x0000FFFF
- AFL エントリ x での 4 つの異なる受信 ID の比較結果を以下に示します。
 - IDE = 0、ID = 0x220 のフレームを受信した場合、一致とみなされます。
 - IDE = 0、ID = 0x320 のフレームを受信した場合、不一致とみなされます。
 - IDE = 1、ID = 0x1FFF3A20 のフレームを受信した場合、一致とみなされます。

- IDE = 1、ID = 0x08803220 のフレームを受信した場合、不一致とみなされます。

29.5.7 通信中の AFL エントリの更新

AFL エントリは、CAN 通信を阻害することなく更新できます。AFL エントリ番号を設定して更新するエントリ番号を選択し、イネーブルビットは無視します。

エントリの更新中、このエントリ番号は AFL マッチングから無視されます。

図 29.27 に AFL エントリの更新フローを示します。

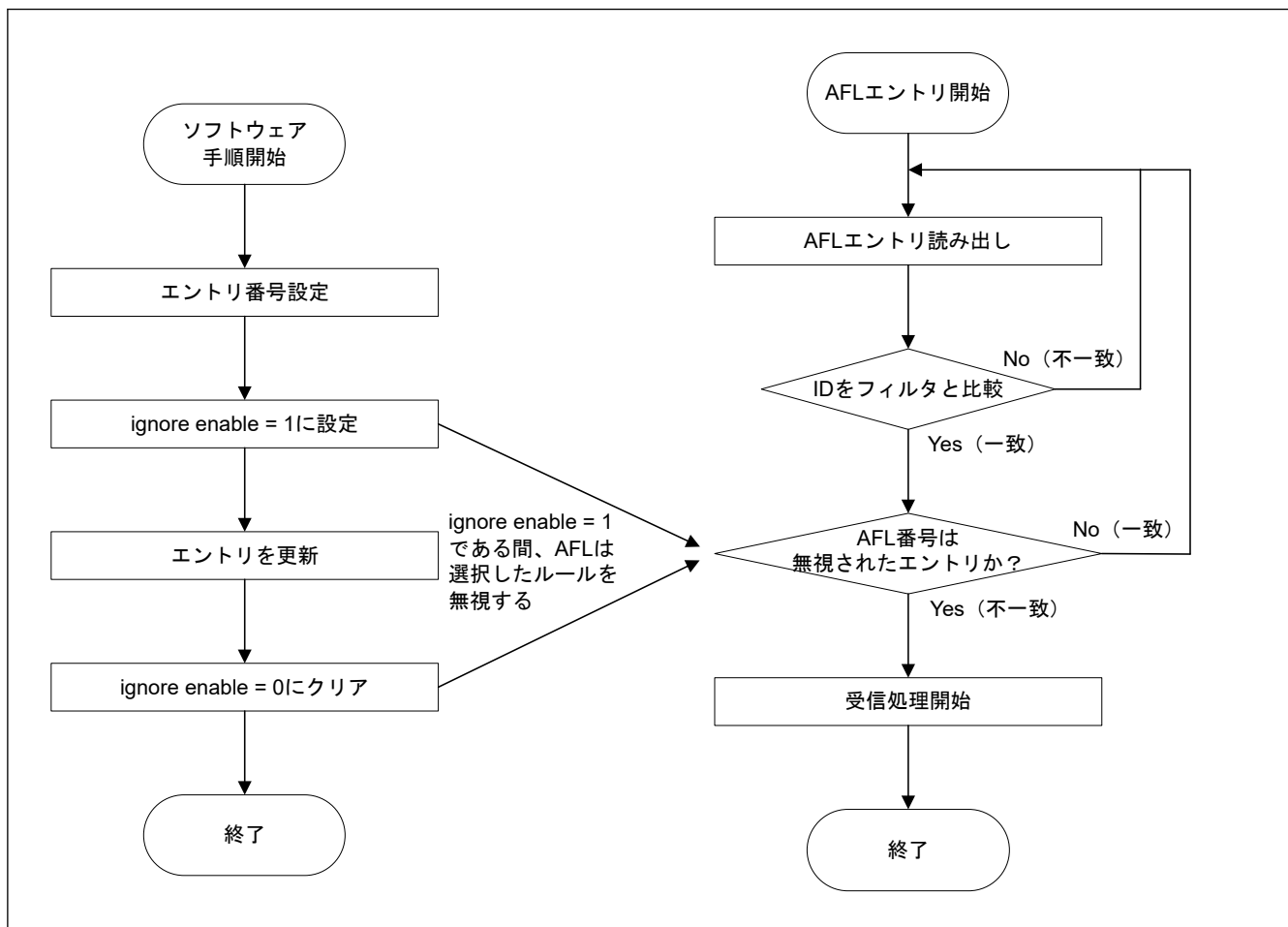


図 29.27 AFL エントリの更新フロー

AFL エントリを更新する方法は以下のとおりです。

1. CFDAFLIGNENT レジスタにエントリ番号を設定します。
2. CFDAFLIGNCTR レジスタに値 0xC401 (キーコードと有効ビット) を設定します。
3. CFDAFLECTR.AFLDAE が 1 にセットされます。
4. CFDAFLIDr、CFDAFLMr、CFDAFLP0r、CFDAFLP1r レジスタに新しいルールを設定します。
5. CFDAFLECTR.AFLDAE が 0 にクリアされます。
6. CFDAFLIGNCTR レジスタに値 0xC400 (キーコードおよびクリア有効ビット) を設定します。

注. このエントリ番号は (2) から (5) までの期間、無視されます。

(1) 例 1 : エントリの削除

合計エントリ数が 6 チャンネルの場合にエントリ 3 を削除するとします。

全エントリ = 6	エントリ0	0	ID = 0x050	← ルールを削除
	エントリ1	1	ID = 0x051	
	エントリ2	2	ID = 0x052	
	エントリ3	3	ID = 0x053	
	エントリ4	4	ID = 0x054	
	エントリ5	5	ID = 0x055	

エントリを削除する方法

1. CFDGAFLIGNENT レジスタに 0x00000003 を設定します。
2. CFDGAFLIGNCTR レジスタに 0x0000C401 を設定します。
3. CFDGAFLECTR レジスタに 0x00000100 を設定します。
4. CFDGAFLIDr、CFDGAFLMr、CFDGAFLP0r、CFDGAFLP1r (r はエントリ 3 を示す 3 となります) をアクセスして、前と同じルールを設定します。
5. CFDGAFLECTR レジスタに 0x00000000 を設定します。
6. CFDGAFLIGNCTR レジスタに 0x0000C400 を設定します。

これでエントリ 3 が削除されます。

全エントリ = 5 エントリ2 = エントリ3	エントリ0	0	ID = 0x050	← 前の値と同じ値を設定
	エントリ1	1	ID = 0x051	
	エントリ2	2	ID = 0x052	
	エントリ3	3	ID = 0x052	
	エントリ4	4	ID = 0x054	
	エントリ5	5	ID = 0x055	

(2) 例 2 : エントリの追加

合計エントリ数が 6 の場合にエントリ 3 へ新しいエントリを追加するとします。

全エントリ = 5 エントリ2 = エントリ3	エントリ0	0	ID = 0x050	← この位置に新ルールを追加
	エントリ1	1	ID = 0x051	
	エントリ2	2	ID = 0x052	
	エントリ3	3	ID = 0x052	
	エントリ4	4	ID = 0x054	
	エントリ5	5	ID = 0x055	

エントリを追加する方法

1. CFDGAFLIGNENT レジスタに 0x00000003 を設定します。
2. CFDGAFLIGNCTR レジスタに 0x0000C401 を設定します。
3. CFDGAFLECTR レジスタに 0x00000100 を設定します。
4. CFDGAFLIDr、CFDGAFLMr、CFDGAFLP0r、CFDGAFLP1r (r はエントリ 3 を示す 3 となります) をアクセスして、新しいルールを設定します。
5. CFDGAFLECTR レジスタに 0x00000000 を設定します。
6. CFDGAFLIGNCTR レジスタに 0x0000C400 を設定します。

これで、新しいエントリが追加されました。

全エントリ = 6	エントリ0	0	ID = 0x050	← 新ルールを追加
	エントリ1	1	ID = 0x051	
	エントリ2	2	ID = 0x052	
	エントリ3	3	ID = 0x056	
	エントリ4	4	ID = 0x054	
	エントリ5	5	ID = 0x055	

AFL フィルタは CFDGAFLCFG を設定するために使用でき、エントリの追加／削除が可能です。そのため、CFDGAFLCFG に使用できる最大数を設定する必要があります。

29.6 FIFO バッファと通常のメッセージバッファの構成

本項では、CANFD モジュールの RX メッセージバッファ、FIFO バッファ、およびフラット TX メッセージバッファの数を構成する手順を説明します。メッセージバッファは、[図 29.28](#) に示すようにマッピングされています。

RX メッセージバッファには、RX メッセージバッファレジスタでアクセスできます。

RX FIFO バッファと、RX モードまたは TX モードに設定された共通 FIFO バッファは、FIFO アクセスレジスタでのみアクセスできます。

共通 FIFO が TX モードで構成されている場合、FIFO アクセスレジスタによる FIFO バッファへのデータの書き込みのみが可能です。

共通 FIFO が RX モードに設定されている場合、FIFO アクセスレジスタからのデータの読み込みのみが可能です。

TX メッセージバッファには、TX メッセージバッファレジスタでアクセスできます。

未使用のメッセージバッファ位置を読み出した場合、そのメッセージバッファ位置は不明な値として読み出されます。

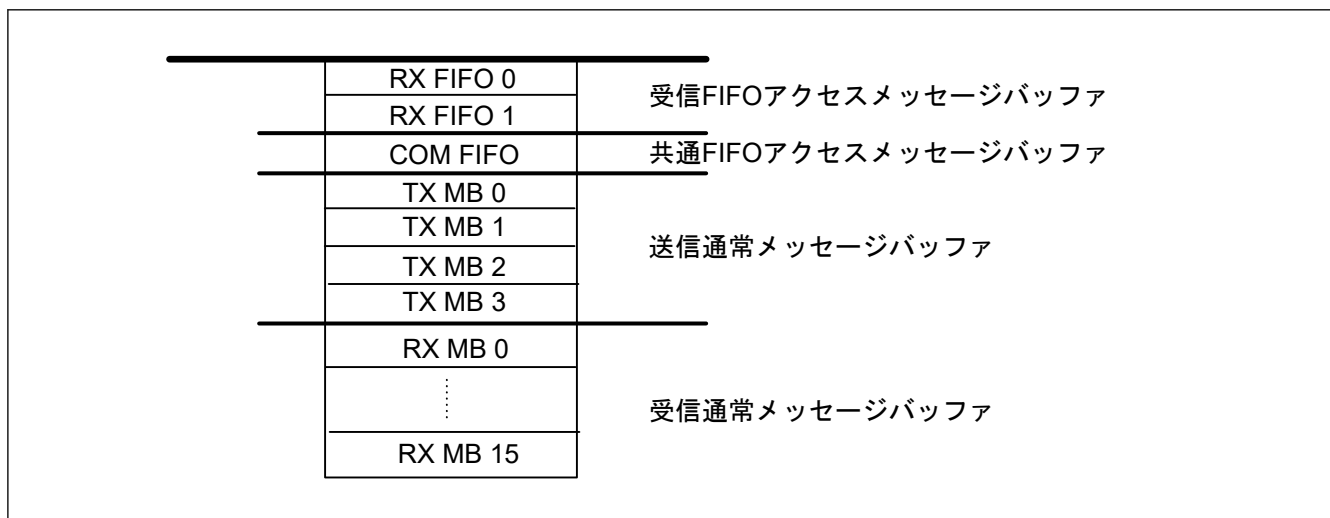


図 29.28 メッセージバッファの構成

29.6.1 通常の RX メッセージバッファ

CANFD モジュールでは受信したフレームを、AFL エントリの構成に基づいて通常の RX メッセージバッファに格納することができます。

また、システムに必要な通常の RX メッセージバッファの数を、固定された最大数までの間で選択できます。

29.6.1.1 通常の RX メッセージバッファの構成

CANFD モジュールの通常の RX メッセージバッファの数は、RX メッセージバッファ数レジスタへの書き込みによって設定できます。

メッセージバッファ数は、以下の範囲内で構成します。

- 最小数 = 0x00 (通常の RX メッセージバッファなし)
- 最大値 = 0x10

上記範囲外の値を使用してはなりません。

システム要件に合わせて AFL エントリを構成し、受信したメッセージを通常の RX メッセージバッファにルーティングできるようにする必要があります。

また、AFL エントリの構成は正しく行ってください。通常の RX メッセージバッファを指定する AFL エントリの数が、RX メッセージバッファ数レジスタに構成されたメッセージバッファ数を超えてはなりません。

注. CANFD モジュールには、AFL の間違っただ設定を発見するための内部チェック手順がありません。

RX メッセージバッファのデータフィールドサイズは、CFDRMNB.RMPLS ビットで構成できます。デフォルトサイズは 8 バイトで、最大データペイロードサイズは 64 バイトです。

受信フレームがこのデータフィールドサイズを上回る場合、受け入れ（メッセージを拒否するか、データペイロードを切り捨てるか）は CFDGCFCF.CMPOC の構成によって決まります。

注. RMPLS ビットおよび CMPOC ビットは、クラシカル CAN 機能では使用できません。これらの特長はクラシカル CAN では有効ではありません。

29.6.2 FIFO バッファ

CANFD モジュールには、送信機能と受信機能のためのフレームの格納をサポートするために、決まった数の FIFO バッファがあります。

受信専用の FIFO バッファ数は 2 に固定されています。ただし、送信機能または受信機能のためのメッセージを格納するために共通 FIFO バッファを設定できます。

これらの FIFO バッファは有効または無効にでき、システム要件に合わせて以下のパラメータを設定できます。

- サイズ
- 割り込み構造
- メッセージロスト機構
- FIFO バッファのメッセージオーバーライト機構
- TX FIFO の位置

受信フレームがこのデータフィールドサイズを上回る場合、受け入れ（メッセージを拒否するか、データペイロードを切り捨てるか）は CFDCFG.CMPOC ビットの構成によって決まります。

29.6.2.1 FIFO バッファの構成

CANFD モジュールでは、FIFO バッファをシステム要件に合わせて構成できます。

FIFO バッファの総数 = RX FIFO バッファ 2 個 + 共通 FIFO バッファ 1 個 = FIFO バッファ 3 個

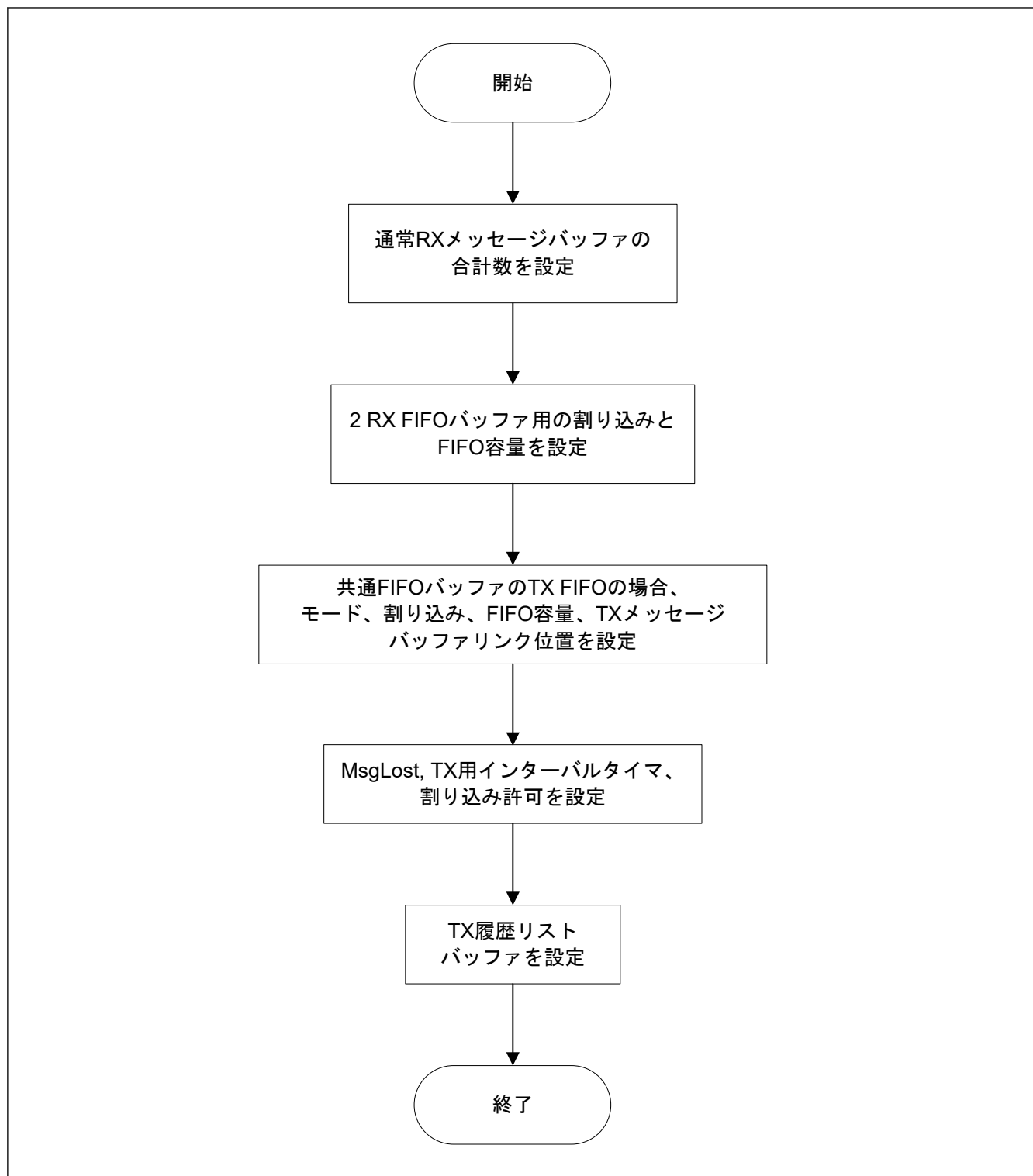


図 29.29 CANFD モジュールにおける FIFO バッファの構成フロー

図 29.29 に示すように、RX FIFO コンフィグレーション/コントロールレジスタと共通 FIFO コンフィグレーション/コントロールレジスタへの書き込みによって、さまざまな FIFO バッファを構成することができます。

2 つの RX FIFO バッファに対しては、以下のパラメータを構成できます。

- 割り込み
- FIFO の深さ
- FIFO ペイロードデータサイズ

共通 FIFO バッファに対しては、以下のパラメータを設定できます。

- モード
- 割り込み FIFO の深さ
- FIFO ペイロードデータサイズ
- FIFO TX リンク位置

(1) 共通 FIFO バッファの FIFO モード設定

共通 FIFO バッファのモードは、共通 FIFO コンフィグレーション/コントロールレジスタの CFDCFCC.CFM[1:0]ビットへの書き込みによって設定できます。共通 FIFO バッファに設定可能なモードは以下のとおりです。

- 0b RX モード (ハードウェアリセット後のデフォルトモード)
- 1b TX モード

RX FIFO バッファと、RX モードに設定された共通 FIFO バッファからは、メッセージの読み出しのみが可能です。これらの FIFO バッファには、AFL エントリに基づいて、CAN モジュールによってメッセージが格納されます。

TX モードに設定された共通 FIFO バッファでは、メッセージの読み出しと書き込みが可能です。これらのメッセージは、適切な CAN チャンネル上で送信されます。

ポインタは、新しいメッセージが FIFO バッファに格納されたときにのみインクリメントでき、CANFD モジュールによりメッセージが対応する CAN チャンネル上に送信されたときにのみデクリメントできます。

ハードウェアリセット後、共通 FIFO バッファはデフォルトで RX モードに設定されます。共通 FIFO バッファを必要なモードに設定してから、FIFO バッファを有効にするようにしてください。

(2) FIFO TX メッセージバッファとのリンクの構成

共通 FIFO を TX FIFO として設定するとき、CAN チャンネルの送信スキャンに参加するため、FIFO バッファを通常の TX メッセージバッファにリンクする必要があります。

いずれかの共通 FIFO バッファにリンクされた TX メッセージバッファにデータを書き込んではありません。また、いずれかの共通 FIFO バッファにリンクされた TX メッセージバッファを TX キューの構成要素にしてはありません。

各共通 FIFO バッファの TX メッセージバッファとのリンクは、共通 FIFO コンフィグレーション/コントロールレジスタの CFDCFCC.CFTML[1:0]ビットへの書き込みによって設定できます。TX メッセージバッファのリンク構成では、以下のオプションを使用できます。

- 0x00: TX メッセージバッファ 0
- 0x01: TX メッセージバッファ 1
- 0x10: TX メッセージバッファ 2
- 0x11: TX メッセージバッファ 3

(3) FIFO 容量の構成

各 FIFO バッファの深さは、RX FIFO コンフィグレーション/コントロールレジスタの CFDRFCCa.RFDC[2:0]ビットと、共通 FIFO コンフィグレーション/コントロールレジスタの CFDCFCC.CFDC[2:0]ビットへの書き込みによって設定できます。深さの設定には、以下の 6 個のオプションを使用できます。

- 0x000: 0 メッセージ (FIFO バッファを有効にできない)
- 0x001: 4 メッセージ
- 0x010: 8 メッセージ
- 0x011: 16 メッセージ
- 0x100: 32 メッセージ
- 0x101: 48 メッセージ

RX メッセージバッファおよび FIFO バッファに割り当てられる RAM は、64 データバイトのメッセージ 16 個分に制限されます。この上限を超える RX メッセージバッファおよび FIFO バッファを構成してはなりません。

CANFD モジュールのロジックでは、構成が正しいかどうかはチェックされません。

注. 共通 FIFO の FIFO の深さが 4 メッセージ以上 (CFDCFCC.CFDC[2:0] > 000b) の場合、この FIFO が無効の場合も有効の場合も、共通 FIFO と TX メッセージバッファのリンクは有効になります。

FIFO 容量が 0 メッセージの場合、この FIFO が無効の場合も有効の場合も、共通 FIFO と TX メッセージバッファのリンクは無効です。

(4) FIFO ペイロードサイズの構成

各 FIFO バッファのデータサイズは、RX FIFO コンフィグレーション/コントロールレジスタの CFDRFCCa.RFPLS[2:0] ビットと、共通 FIFO コンフィグレーション/コントロールレジスタの CFDCFCC.CFPLS[2:0] ビットへの書き込みによって設定できます。深さの構成には、以下の 8 つのオプションを使用できます。

- 000b: 8 バイト
- 001b: 12 バイト
- 010b: 16 バイト
- 011b: 20 バイト
- 100b: 24 バイト
- 101b: 32 バイト
- 110b: 48 バイト
- 111b: 64 バイト

RX メッセージバッファおよび FIFO バッファに割り当てられる RAM は、64 データバイトのメッセージ 16 個分に制限されます。この上限を超える RX メッセージバッファおよび FIFO バッファを構成してはなりません。

CANFD モジュールのロジックでは、構成が正しいかどうかはチェックされません。

注. この機能は、クラシカル CAN 機能では使用できません。

(5) FIFO 割り込みの構成

FIFO バッファの割り込み発生条件は、RX FIFO コンフィグレーション/コントロールレジスタの CFDRFCCa.RFIM ビットと、共通 FIFO コンフィグレーション/コントロールレジスタの CFDCFCC.CFIM ビットへの書き込みによって設定できます。以下の 2 つのオプションを使用できます。

- 0:
 - RX FIFO モード: 共通 FIFO カウンタが CFDRFCCa.RFIGCV/CFDCFCC.CFIGCV の値に達したとき、割り込みが発生します。
 - TX FIFO モード: 共通 FIFO が最後のメッセージを正常に送信したとき、割り込みが発生します。
- 1:
 - RX FIFO モード: 各受信メッセージの格納が終了したとき、割り込みが発生します。
 - TX FIFO モード: メッセージが正常に送信されるたびに、割り込みが発生します。

RX FIFO の割り込みモードビットが 0 の場合、CFDRFCCa.RFIGCV[2:0] ビットの設定に従って割り込みが発生します。

同様に、RX モードに設定された共通 FIFO の割り込みモードビットが 0 の場合、CFDCFCC.CFIGCV[2:0] ビットの設定に従って割り込みが発生します。

割り込みを発生させる FIFO カウンタの値を構成するには、以下の 8 つのオプションを使用できます。

- 000b: FIFO が 1/8 フルになると割り込み発生
- 001b: FIFO が 1/4 フルになると割り込み発生
- 010b: FIFO が 3/8 フルになると割り込み発生

- 011b: FIFO が 1/2 フルになると割り込み発生
- 100b: FIFO が 5/8 フルになると割り込み発生
- 101b: FIFO が 3/4 フルになると割り込み発生
- 110b: FIFO が 7/8 フルになると割り込み発生
- 111b: FIFO がフルになると割り込み発生

この場合、メッセージ数が設定した値と一致すると、割り込みが発生します。

ただし、CFDRFCCa.RFIGCV[2:0]ビットと CFDCFCC.CFIGCV[2:0]ビットの設定には、FDC[2:0]ビット（FIFO の深さ設定）に応じて、いくつかの制限があります。表 29.25 を参照してください。

表 29.25 FIFO 割り込み発生カウンタと FIFO 容量の構成

RFDC[2:0] (CFDC[2:0])	RFIGCV[2:0] (CFIGCV[2:0])							
	111b	110b	101b	100b	011b	010b	001b	000b
000b	Don't care (FIFO を有効化できない)							
001b	可能	不可能	可能	不可能	可能	不可能	可能	不可能
010b	可能							
011b	可能							
100b	可能							
101b	可能							
110b	可能							
111b	可能							

29.6.2.2 FIFO バッファの制御

FIFO 割り込みを有効にするには、RX FIFO コンフィグレーション／コントロールレジスタの以下のビットのいずれかをセットする必要があります。

- CFDRFCCa.RFIE

また、FIFO 割り込みを有効にするには、共通 FIFO コンフィグレーション／コントロールレジスタの以下のビットのいずれかをセットする必要があります。

- CFDCFCC.CFRXIE
- CFDCFCC.CFTXIE

コンフィグレーションの完了後、各 FIFO を有効にするには、RX FIFO コンフィグレーション／コントロールレジスタおよび共通 FIFO コンフィグレーション／コントロールレジスタの CFDRFCCa.RFE ビットおよび CFDCFCC.CFE ビットを設定して、メッセージの送受信を可能にします。

29.7 割り込みと DMA

29.7.1 割り込み

CANFD モジュールは、いくつかの割り込みを発生させます。割り込み出力は、割り込みコントローラユニット (ICU) に接続されており、対応する割り込み許可ビットによって制御できます。

ステータスフラグは、この許可ビットとは無関係にセットされます。

チャンネル送信割り込みには、もう 1 つ別のステータスフラグレジスタがあり、そのステータスビットは対応する割り込み許可がセットされている場合のみセットされます。

この割り込みはいくつかのトリガ要因によって発生するため、このレジスタはチャンネル送信に対する割り込み要因の特定をサポートします。

CANFD モジュールの割り込みは、グローバル割り込みとチャンネル割り込みの 2 つのグループに分けられます。

- グローバル割り込み：

CANFD モジュールは、3 種類のグローバル割り込みを発生させることができます。

- 2 つの RX FIFO バッファへの正常受信のグローバル割り込み
- グローバルエラー割り込み
- 16 個の RX メッセージバッファへの正常受信のグローバル割り込み

● チャンネル割り込み：

CANFD モジュールの各チャンネルは、3 種類のチャンネル割り込みを発生させることができます。

1. チャンネル送信

- チャンネルからの送信完了
- チャンネルからの送信アボート
- チャンネルの TX キューからの送信
- チャンネル THL 割り込み
- チャンネルの TX モードの共通 FIFO からの正常送信

2. チャンネルエラー割り込み

3. チャンネルの RX モードの共通 FIFO への正常受信

対応するフラグビットがクリアされるか、割り込み許可ビットがクリアされると、割り込みはクリアされます。

以下の表 29.26 に、さまざまな割り込み出力に対する割り込み要因の概要をまとめます。割り込み出力はアクティブ High です。

表 29.26 割り込み要因の概要 (1/2)

項目	割り込み	名称	割り込み要因	割り込みのクリア
グローバル割り込み	少なくとも 1 つの RX FIFO への正常受信	CAN_RXF	割り込みが許可されている対応する RX FIFO の割り込みフラグ	割り込みが許可されている対応する RX FIFO バッファの割り込みフラグのクリア
	グローバルエラー	CAN_GLERR	以下のいずれか： ● DLC エラーフラグ ● メッセージロストステータスビット ● TX 履歴エントリロストステータスビット ● CANFD メッセージペイロードオーバーフローフラグ	以下をすべてクリア： ● DLC エラーフラグ ● すべての FIFO ステータスレジスタのメッセージロストフラグ ● TX 履歴リストエントリロストフラグ ● CANFD メッセージペイロードオーバーフローフラグ
	1 つ以上の RXMB への正常受信	CANn_RXMB (n = 0)	割り込みが許可されている対応する RXMB の割り込みフラグ	割り込みが許可されている対応する RXMB バッファの割り込みフラグのクリア
チャンネル送信割り込み	チャンネル正常送信	CANn_TX (n = 0)	割り込みが許可されているとき、任意のチャンネル関連の TXMB 正常フラグ ^(注1)	割り込みが許可されている、すべてのチャンネル関連の TXMB 結果ステータスビットのクリア
	チャンネルアボート		割り込みが許可されているとき、任意のチャンネル関連の TXMB アボートフラグ ^(注1)	グローバルで割り込みが許可されている、すべてのチャンネル関連の TXMB 結果ステータスビットのクリア
	TX キューからのチャンネル送信		関連するチャンネルの TX キュー割り込みフラグ	関連するチャンネルの TX キュー割り込みフラグのクリア
	チャンネル THL 割り込み		チャンネル THL 割り込みステータスフラグ	関連する THL 割り込みステータスフラグのクリア
	チャンネル共通 FIFO TX 割り込み		関連するチャンネルに属する TX モードの共通 FIFO の割り込みフラグ	関連するチャンネルに属する TX モードの共通 FIFO の割り込みフラグのクリア

表 29.26 割り込み要因の概要 (2/2)

項目	割り込み	名称	割り込み要因	割り込みのクリア
チャンネルエラー 割り込み	チャンネルエラー	CANn_CHERR (n = 0)	チャンネルエラー割り込み許可レジスタで割り込みが許可されている、チャンネルエラーフラグレジスタの任意のチャンネル関連のエラーフラグ	チャンネルエラー割り込み許可レジスタで割り込みが許可されている、チャンネルエラーフラグレジスタのすべてのチャンネル関連のエラーフラグのクリア
チャンネル共通 RX FIFO 割り込み	チャンネル共通 FIFO RX 割り込み	CANn_COMFRX (n = 0)	関連するチャンネルに属する RX モードの共通 FIFO の割り込みフラグ	関連するチャンネルに属する RX モードの共通 FIFO の割り込みフラグのクリア

注 1. これらの割り込みは、許可された TX キューに属しておらず、共通 FIFO を参照していない TX メッセージバッファのみに設定されます。
共通 FIFO バッファと TX キューには、別々の割り込みが提供されます。

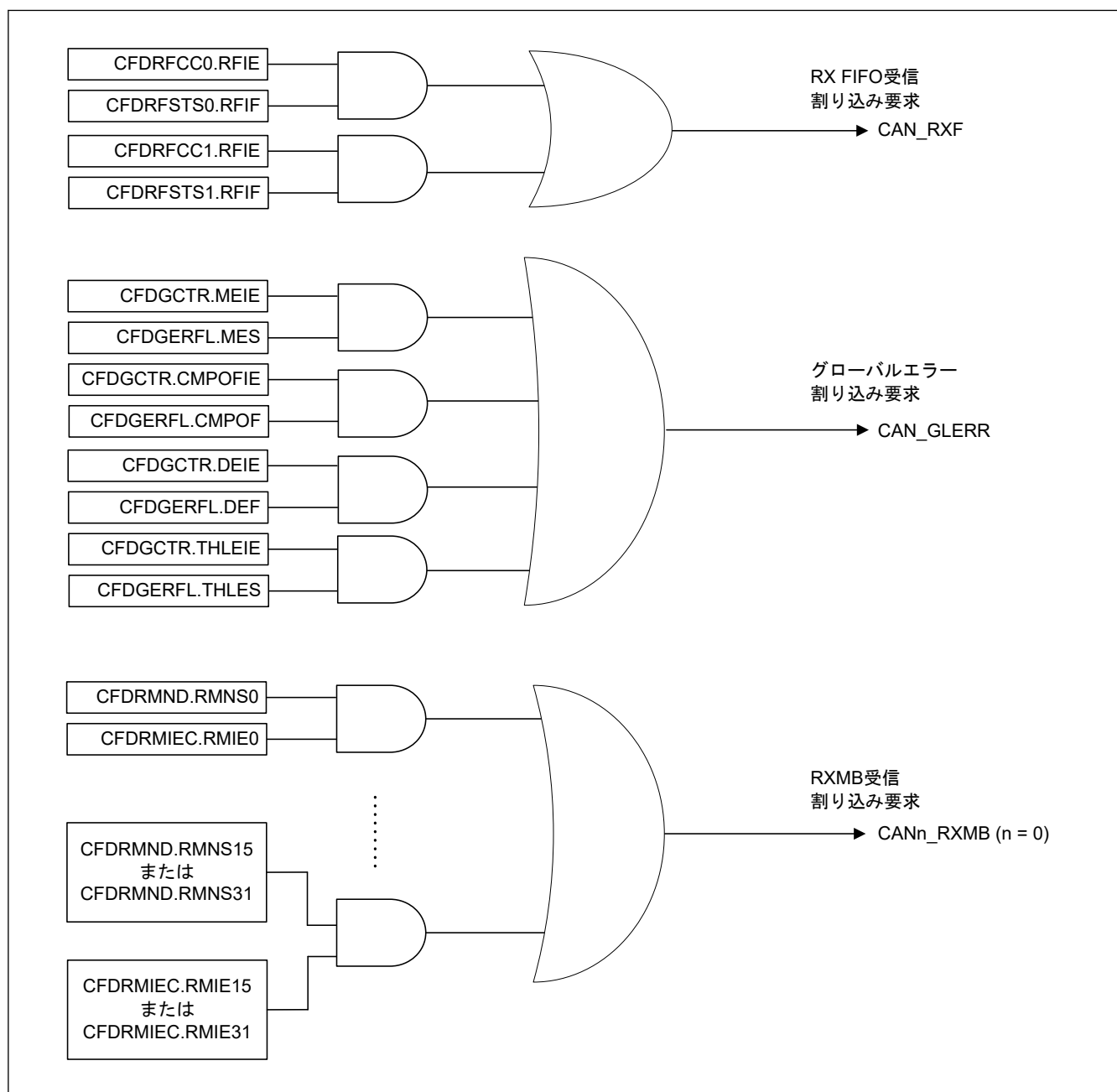


図 29.30 グローバル割り込みのブロック図

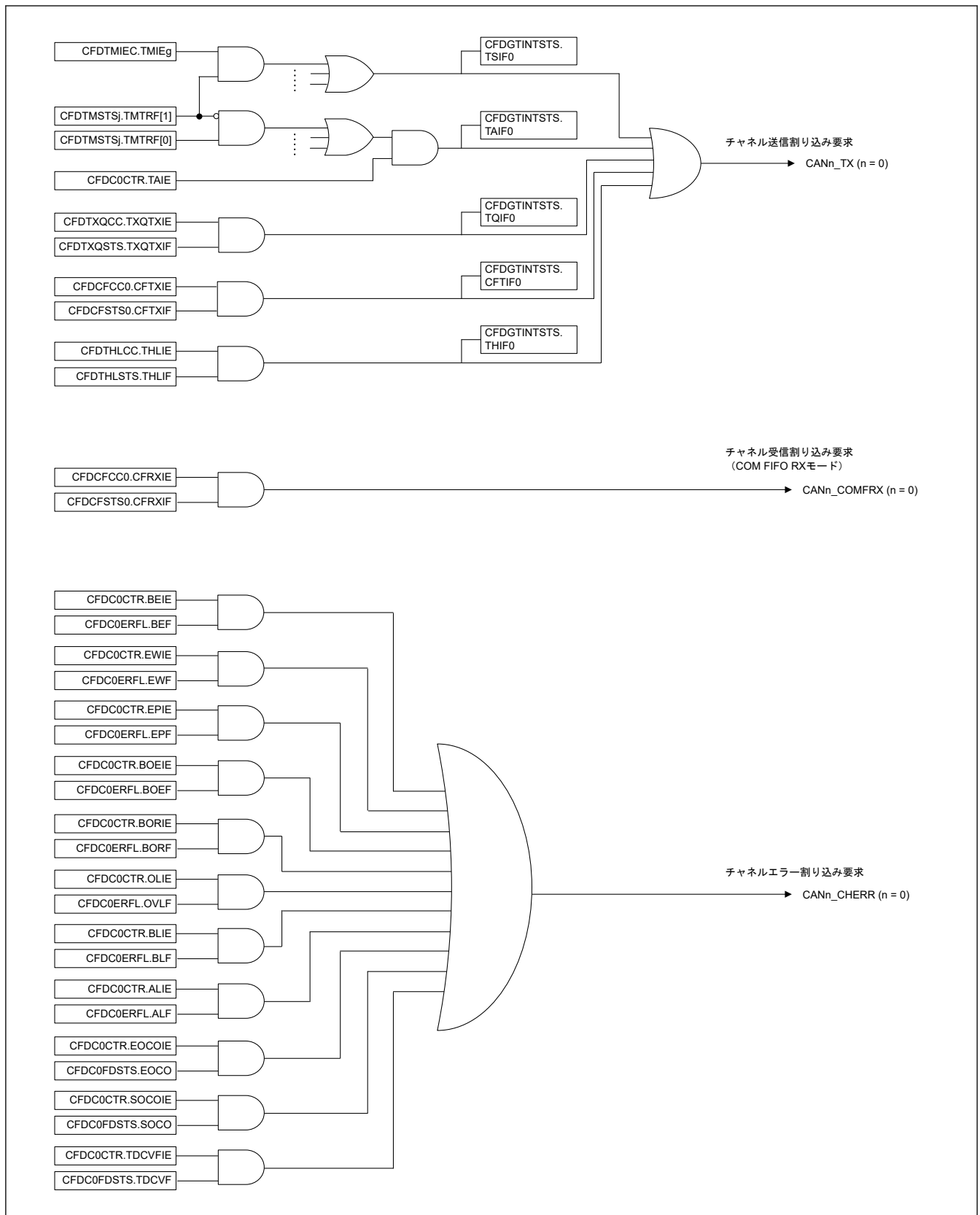


図 29.31 チャンネル割り込みのブロック図

29.7.2 DMA 転送

CANFD モジュールには、DMA チャンネルと関連付け可能ないくつかのメッセージバッファがあります。

- 受信 DMA
 - 2 つの RX FIFO メッセージバッファ
 - 共通 FIFO メッセージバッファ

図 29.32 は、可能な DMA チャンネルを示しています。

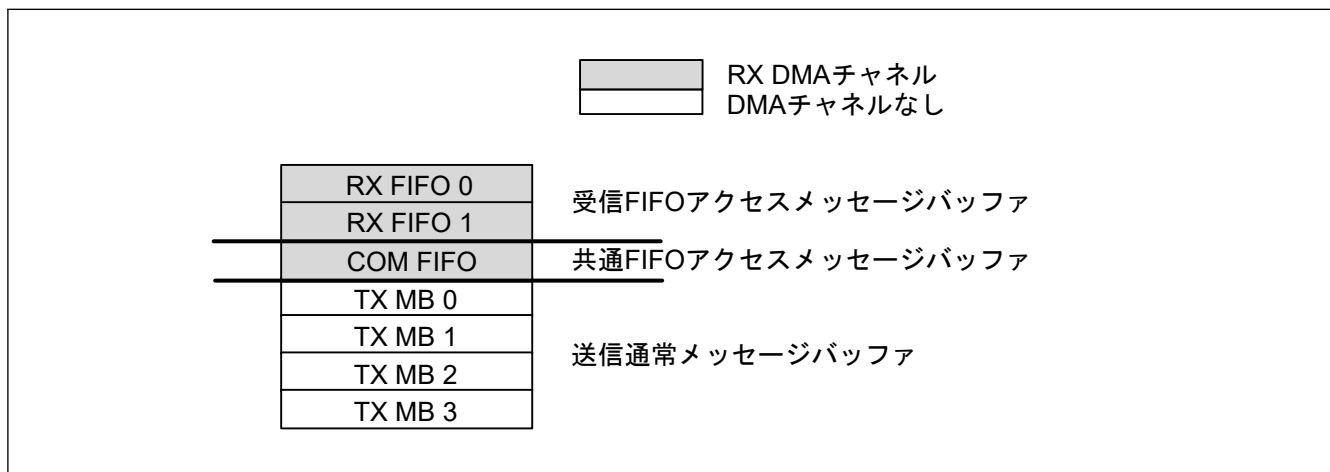


図 29.32 DMA チャンネルに接続可能なメッセージバッファ

DMA チャンネル転送要求は、関連する CFDCDTCT.RFDMAE または CFDCDTCT.CFDMAE が 1 にセットされ、属する FIFO がエンプティでないときに、DMAC への各 FIFO エントリについて生成されます。

この特定の FIFO (CFDRFCCa.RFIE または CFDCFCC.CFRXIE) については、受信 FIFO 割り込みを無効にする必要があります。

DMA アクセスウィンドウのアドレスには通常の開始アドレスを使用します。図 29.33 を参照してください。

表 29.27 DMA チャンネルのアクセスウィンドウのアドレス

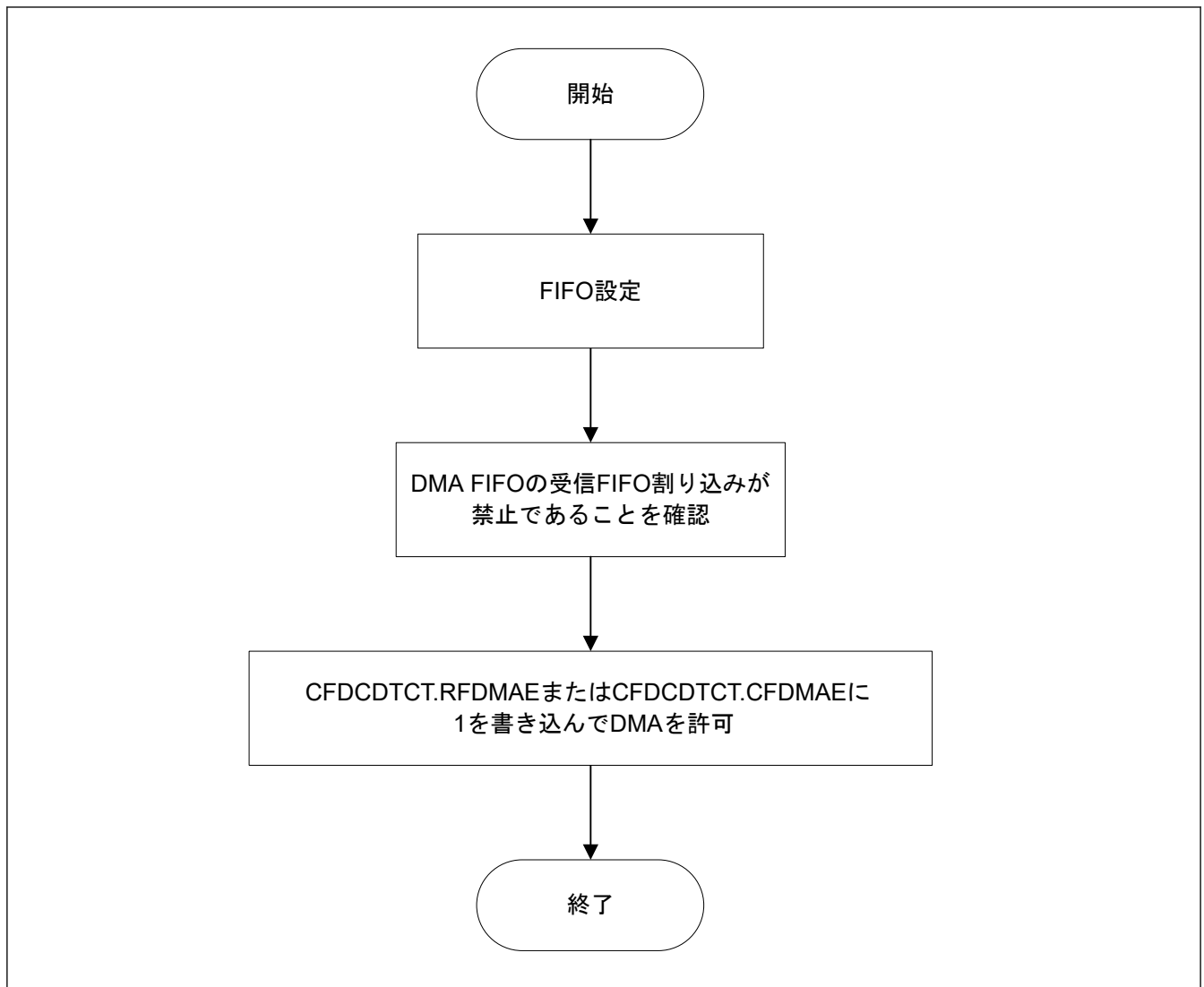
b = メッセージバッファコンポーネント インデックス	メッセージバッファ コンポーネント	レジスタ	P	通常の開始アドレス
b = [0...1]	RFMBCPb[0]	CFDRFIDb	x	0x0520 + b × 0x004C
		CFDRFPTRb	x	0x0524 + b × 0x004C
		CFDRFFDSTSb	x	0x0528 + b × 0x004C
		CFDRFDFbp	[0...15]	0x052C + p × 0x0004 + b × 0x004C
—	CFMBCP0[0]	CFDCFID	x	0x05B8
		CFDCFPTR	x	0x05BC
		CFDCFFDCSTS	x	0x05C0
		CFDCFDFp	[0...15]	0x05C4 + p × 0x0004

データペイロードバイト (CFDRFCCa.RFPLS または CFDCFCC.CFPLS) の末尾を読み出すと、DMA FIFO ポインタのデクリメントが自動的行われます。

注. DMA は、構成されたデータペイロードサイズ (CFDRFCCa.RFPLS または CFDCFCC.CFPLS) の長さを正確に読み出す必要があります。

注. CFDRFCCa.RFPLS と CFDCFCC.CFPLS はクラシカル CAN 機能にないため、この機能はクラシカル CAN 機能では使用できません。

DMA 有効時、FIFO コントロールレジスタに書き込まないでください。特定の DMA FIFO (CFDCDTCT.RFDMAE または CFDCDTCT.CFDMAE) の DMA 許可はいつでも設定できます。図 29.33 に、初期セットアップ時の構成手順を示します。

**図 29.33 DMA 許可手順**

DMA 転送要求を禁止するには、特定の DMA 許可ビット (CFDCDTCT.RFDMAE または CFDCDTCT.CFDMAE) を禁止に設定してください。転送中に禁止を設定した場合、その後の操作は、転送が完了してから行う必要があります。転送のステータスは、CFDCDTSTS.RFDMASSTS ビットまたは CFDCDTSTS.CFDMASSTS ビットで確認できます。DMA 禁止の手順については、[図 29.34](#) を参照してください。DMA が禁止されている場合、その受信 FIFO 宛ての残りのメッセージや新しく受信するメッセージの扱い方の検討が必要です。

FIFO が禁止されていない場合、FIFO の受信は続行されます。

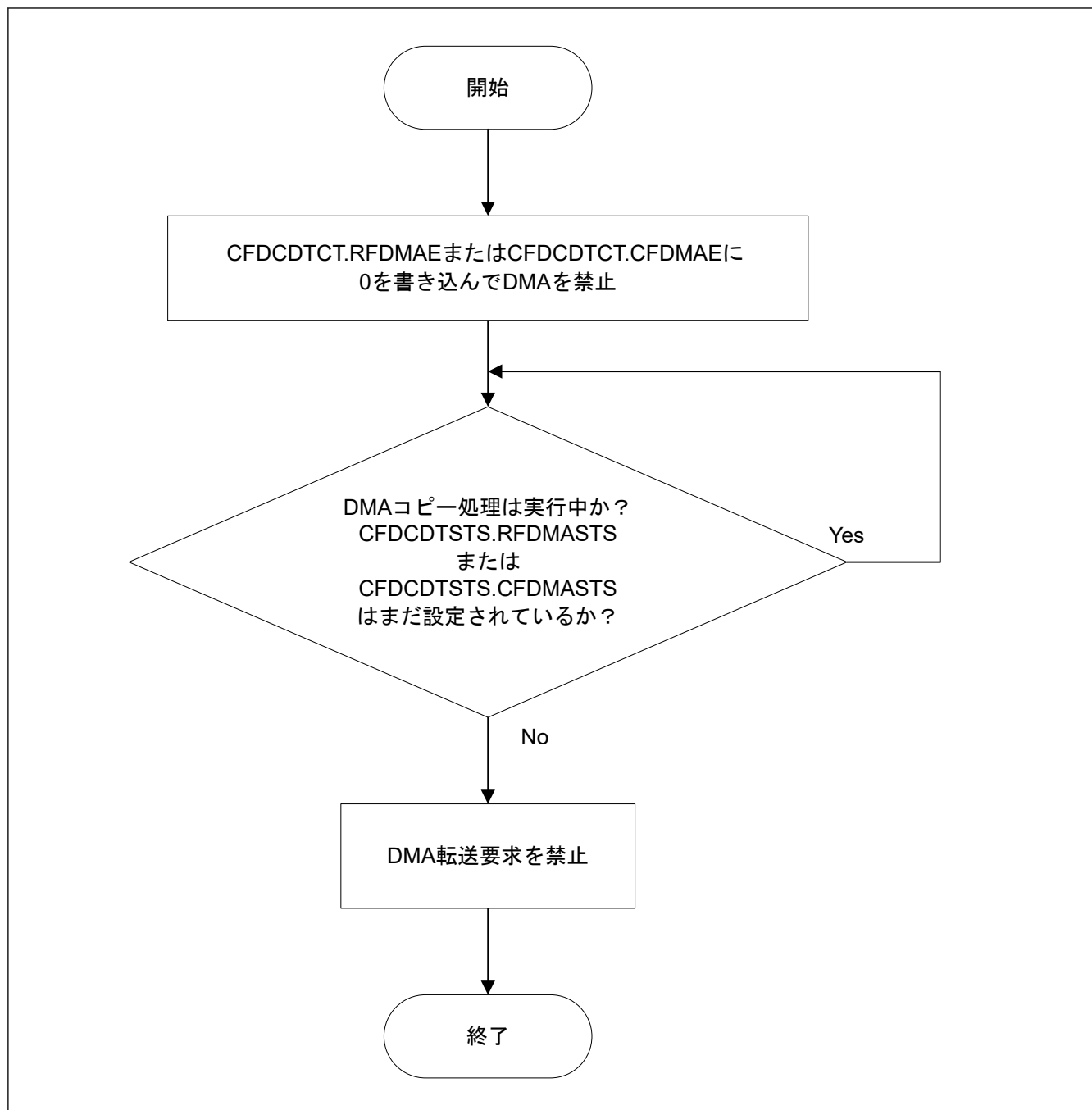


図 29.34 DMA 禁止手順

29.8 受信／送信

29.8.1 受信

CANFD モジュールでは、任意のチャネルで受信した CAN メッセージを、アクセプタンスフィルタリストのエントリに従い、RX メッセージバッファ、RX FIFO バッファ、または RX モードで構成された共通 FIFO バッファに格納されます。

- 構成可能な RX メッセージバッファの数は最大 16 個
- 利用可能な RX FIFO バッファの数は 2 個
- RX モードに設定可能な共通 FIFO バッファの数は 1 個

29.8.1.1 RX メッセージバッファへのメッセージの格納

メッセージが正常に受信されて RX メッセージバッファに格納されると、RX メッセージバッファ新規データレジスタに、対応する新規データフラグがセットされます。

格納された CAN メッセージは、対応する RX メッセージバッファから読み出しできます。

RX メッセージバッファに格納されたメッセージが読み出される前に、その RX メッセージバッファに新しいメッセージが格納されると、元のメッセージは上書きされます。新しいメッセージによって RX メッセージバッファの現在のメッセージが上書きされるのを防止するための機構は存在しません。このようなメッセージの消失を許容できない場合、RX FIFO を使用して関連するメッセージを格納する必要があります。

注. 割り込みを使用する場合も、既存のソフトウェア手順と同様の処理を行ってください。(図 29.36 を参照してください。)

注. 未使用のデータバイトは、DLC の値に応じて 0x00 によって埋められます。

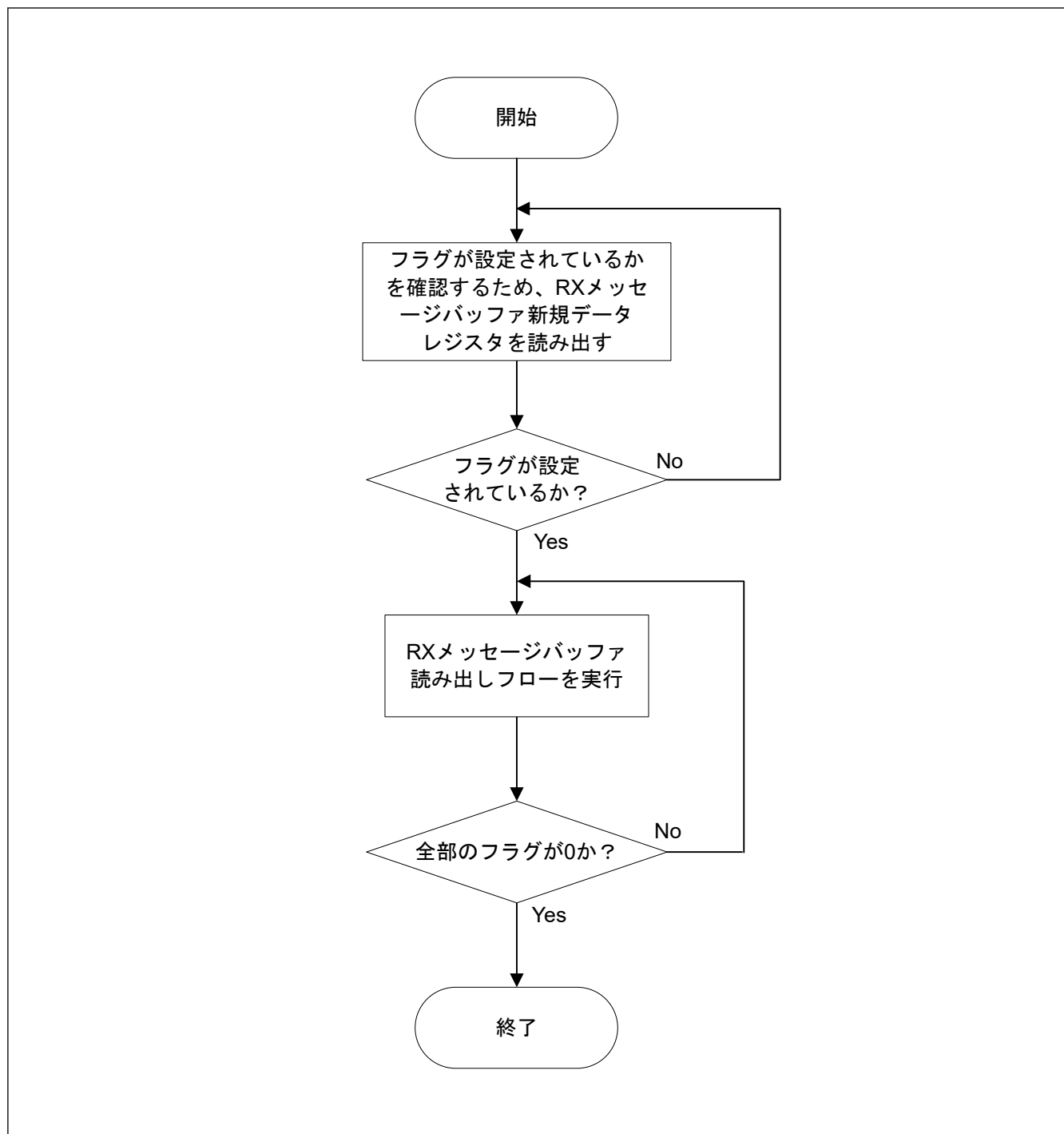


図 29.35 RX メッセージバッファのアクセスフロー (ポーリング)

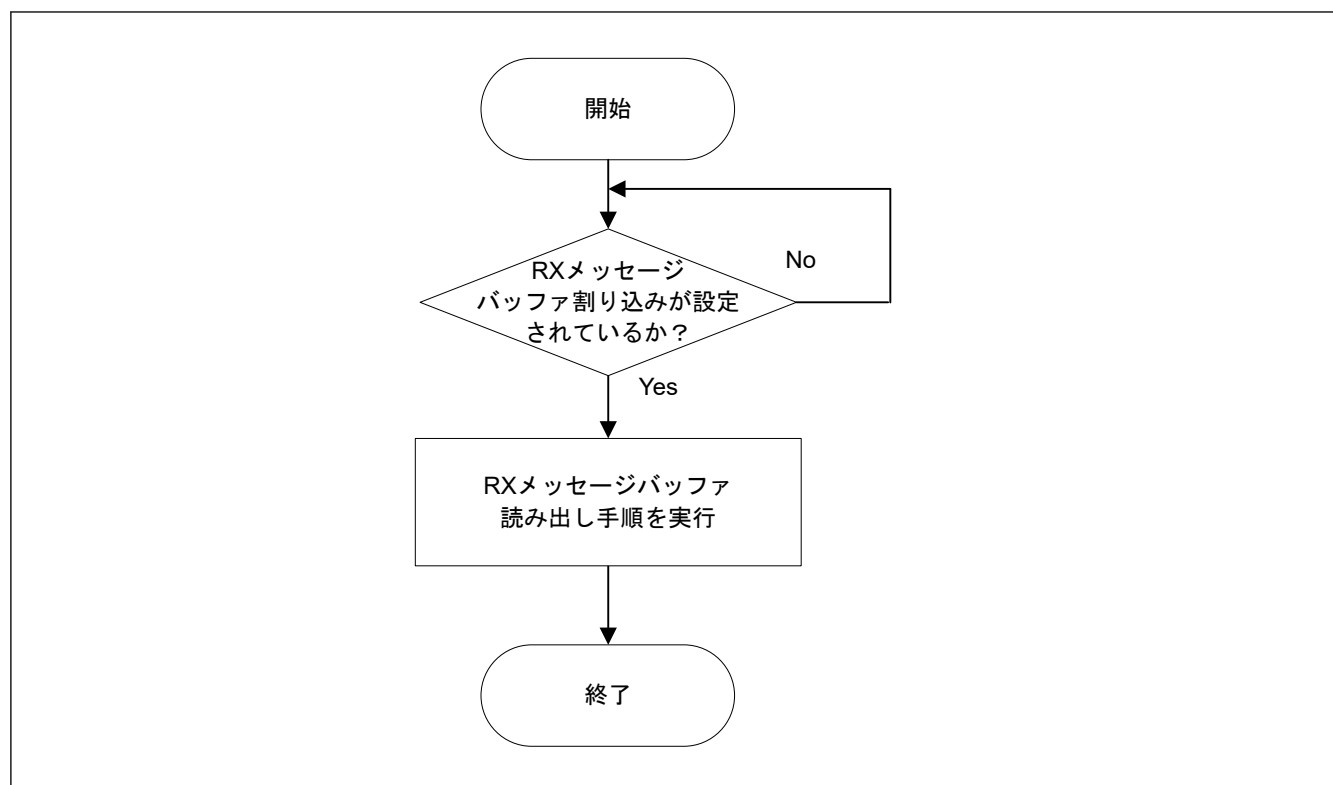


図 29.36 RX メッセージバッファのメッセージアクセスフロー (割り込み)

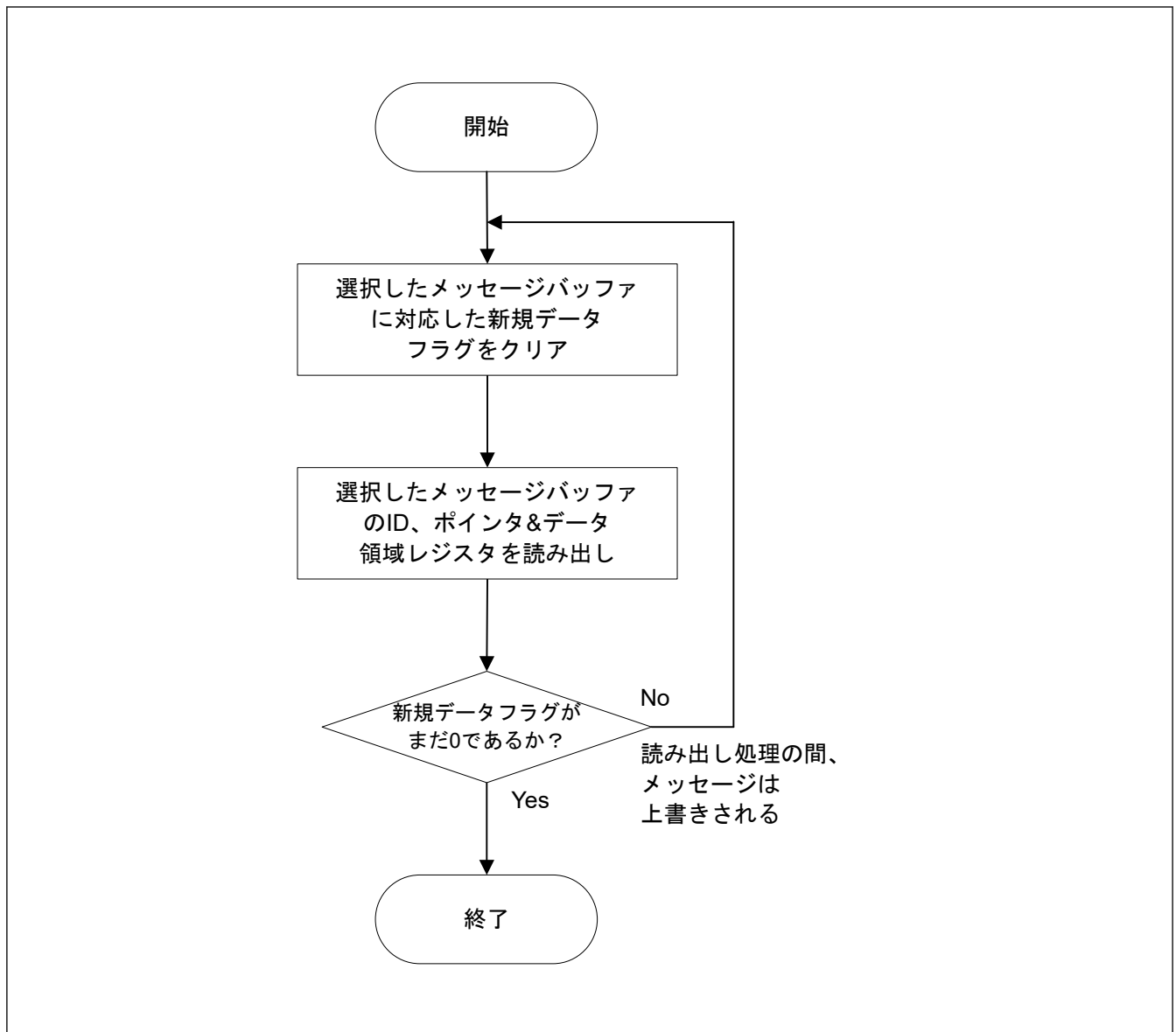


図 29.37 RX メッセージバッファの読み出しフロー

29.8.1.2 FIFO バッファへのメッセージの格納

システム要件に合わせて AFL エントリを設定し、受信したメッセージを、RX FIFO バッファ、または RX モードに設定された共通 FIFO バッファにルーティングできるようにする必要があります。

一致した AFL エントリの `CFDGAFLP1r.GAFLFDP[8.1:0]` フィールドによって、関連する受信メッセージを格納する FIFO バッファが選択されます。

1 つ以上の RX FIFO バッファまたは RX モードに設定された共通 FIFO バッファに受信メッセージが格納されると、対応する RX FIFO ステータスレジスタまたは共通 FIFO ステータスレジスタのメッセージカウンタの値がインクリメントされます。

FIFO バッファの構成によっては、割り込みが発生することもあります。

メッセージは、対応する FIFO アクセスレジスタから読み出せます。

注. FIFO バッファには多くのメッセージを格納できるため、FIFO バッファに格納されている最新のメッセージを読み出すには、複数のメッセージの読み出しが必要になる場合があります。

メッセージ数が FIFO 容量と一致すると、FIFO フルフラグがセットされます。

対応する FIFO ポインタコントロールレジスタに値 `0xFF` が書き込まれると、メッセージ数は 1 デクリメントされます。

FIFO ポインタコントロールレジスタへの 0xFF を書き込むときは、対応する FIFO の FIFO アクセスレジスタからメッセージを完全に読み出した後に行ってください。

FIFO に格納されたすべてのメッセージが読み出されると、FIFO エンプティフラグがセットされます。

FIFO メッセージ数が FIFO 容量と一致するとき（FIFO フル条件）に FIFO に新しいメッセージが格納されると、FIFO メッセージロストフラグがセットされ、新しいメッセージは失われます（既に格納されているメッセージの上書きは行われません）。

警告レベルとして適切な値を設定し、FIFO フル条件になる前に割り込みを発生させ、オーバーラン条件によるメッセージの消失を防ぐことができます。

注. メッセージロストフラグは、RX モードのときに、CAN 側によってのみセットできます。CPU 側が FIFO バッファをオーバーロードしているときはメッセージロストフラグはセットされません。

RX FIFO バッファと、RX モードに設定された共通 FIFO バッファはいつでも無効化できます。無効化するには、それぞれ、RX FIFO コンフィグレーション/コントロールレジスタの CFDRFCCa.RFE ビット、共通 FIFO コンフィグレーション/コントロールレジスタの CFDCFCC.CFE ビットをクリアします。

CFDRFCCa.RFE ビットまたは CFDCFCC.CFE ビットがクリアされると、FIFO のメッセージリードポインタおよびライトポインタがクリアされ、非アクティブになります。そのため、FIFO バッファ内のすべてのメッセージが失われ、以降その FIFO にメッセージを格納することはできなくなります。

RX FIFO バッファまたは RX モードに設定された共通 FIFO バッファが、DMA チャンネルとして割り当てられている場合、ソフトウェアでその FIFO バッファの FIFO アクセスレジスタにアクセスしたり、FIFO ポインタコントロールレジスタ（CFDCFPCTR.CFPC または CFDRFPCTRa.RFPC）に 0xFF を書き込んではいけません。意図せずに FIFO メッセージがデクリメントされる恐れがあります。DMA チャンネルでは、FIFO のデクリメントが自動的に制御されます。

注. 割り込みフラグがセットされている FIFO バッファを無効化した場合、割り込みフラグは自動的にクリアされません。FIFO を無効化する前に、割り込みフラグをクリアしてください。

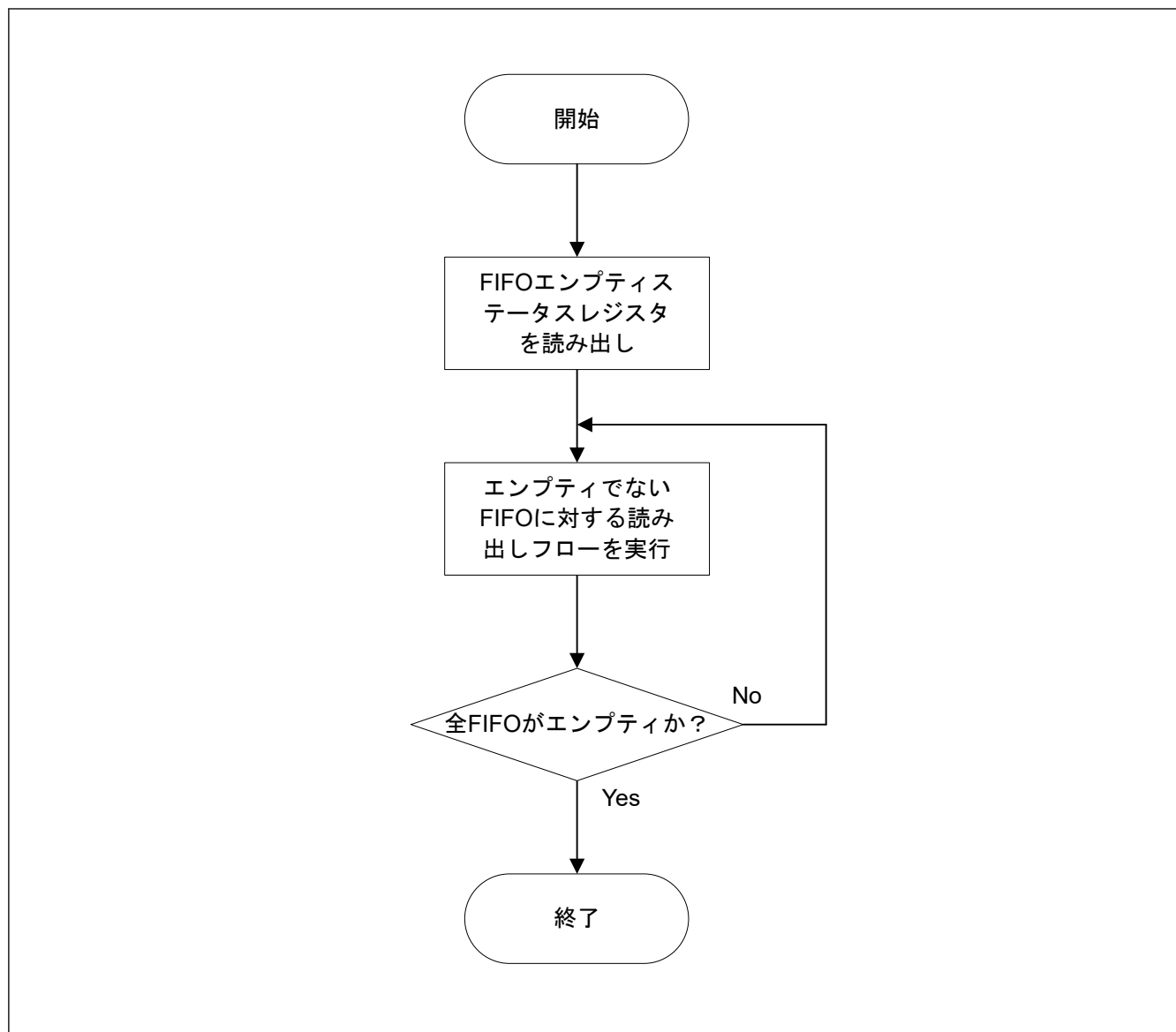


図 29.38 FIFO バッファのメッセージアクセスフロー（ポーリングの場合の例）

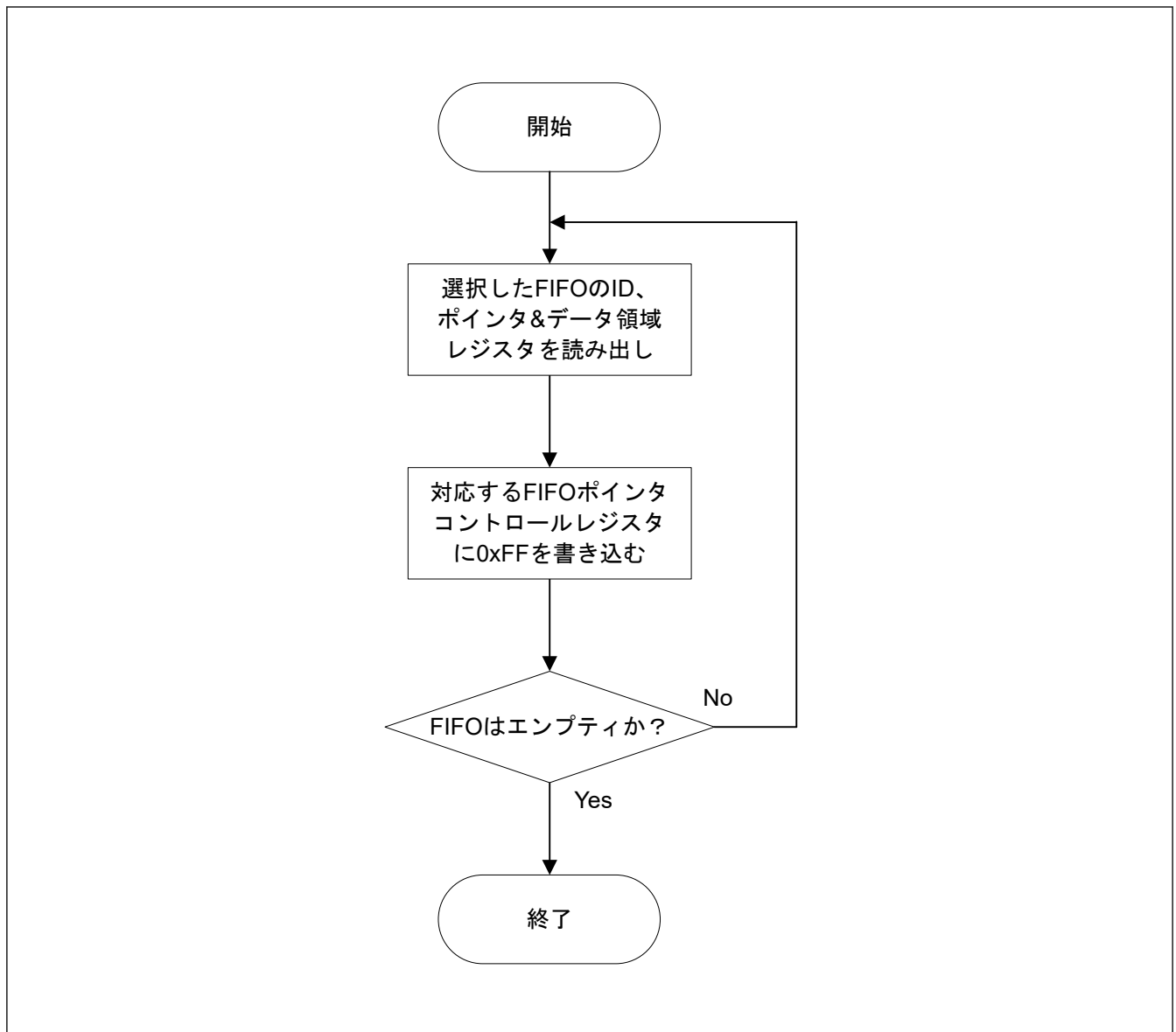


図 29.39 RX FIFO バッファの読み出しフロー（ポーリングの場合の例）

注. 受信の完了割り込みフラグをクリアする前に次のフレームを受信した場合、受信の完了割り込みは再度セットされません。

受信処理の完了後に「割り込みフラグ」をクリアしたとしても、すでに受信済みである割り込みフラグはセットされません。

受信完了処理は、次のフレーム受信完了前に行い、割り込みフラグをクリアしておく必要があります。

処理が間に合わない場合、受信データが空であることを確認してから、割り込みフラグをクリアし、受信データが空であることをもう一度確認します。

29.8.1.3 タイムスタンプ

タイムスタンプカウンタは、受信したメッセージの受信時間、または正常に送信されたメッセージの送信時間をチェックするために使用可能なフリーランニングカウンタです。タイムスタンプカウンタの値は、CFDGFDCFG.TSCCFG[1:0]の設定に基づいて（SOF (Start of Frame) のサンプルポイント、またはフレームが有効な時点、または CANFD フレームでは RES ビットのサンプルポイントで）キャプチャされます。受信時のタイムスタンプカウンタ値は、メッセージ ID およびデータと一緒に、格納先の RX メッセージバッファまたは RX FIFO に格納されます。

メッセージ送信時のタイムスタンプカウンタ値は、TX 履歴リストエントリの一部として格納されます。

カウンタには、周辺クロックから、または CAN チャンネルのビットタイミングクロックからクロックを供給できます。カウンタのソースクロックは、グローバルコンフィグレーションレジスタの `CFDGCFG.TSSS` ビットで構成できます。このビットが 0 の場合、周辺クロックが使用されます。このビットが 1 の場合、選択した CAN チャンネルのビット時間クロックが使用されます。

チャンネルの選択は、グローバルコンフィグレーションレジスタの `CFDGCFG.TSBTCS` ビットによって行います。クロックソースとして、選択した CAN チャンネルのビット時間クロックを使用する場合は、注意が必要です。そのチャンネルがチャンネル Halt モードまたはチャンネルリセットモードに遷移した場合、タイムスタンプカウンタは停止してしまいます。つまり、その他の CAN チャンネルについても、タイムスタンプカウンタの値が更新されなくなります。

タイムスタンプカウンタのクロックソースとして周辺クロックを選択した場合は、タイムスタンプカウンタの機能がチャンネルモードの影響を受けることはありません。

タイムスタンプカウンタのソースクロックは、グローバルコンフィグレーションレジスタの `CFDGCFG.TSP` ビット（タイムスタンププリスケラ）で定義された分周比で分周できます。

タイムスタンプカウンタは、`CFDGCTR.TSRST` ビット（タイムスタンプリセット）によって、`0x0000` にリセットすることができます。

29.8.2 送信

設定可能な送信方式には以下のものがあります。

- 通常送信
- FIFO 送信

- TX キュー送信

決まった数の送信メッセージバッファ（4 個の TX メッセージバッファ）が用意されています。これらのメッセージバッファは送信専用で、受信用に構成することはできません。

さらに、TX キューまたは TX モードの共通 FIFO から送信するよう設定することができます。設定方法は次のとおりです（[図 29.40](#) を参照）。

- TX キュー：最大 4 個の送信メッセージバッファをグループ化して、1 つのアクセスウィンドウを共有する TX キュー (TXQ) を構成できます。
上部の送信メッセージバッファを使用して TXQ が構成されます。
TXQ はアクセスウィンドウを持ちます。

- TXQ は送信メッセージバッファ 0 です。

- 共通 FIFO (TX モード)：TX モードの共通 FIFO が専用のチャンネルにリンクされます。
チャンネルには 1 つ（数は固定）の共通 FIFO が割り当てられます。チャンネル内で、TX モードに設定された共通 FIFO を、送信メッセージバッファ 0~3 に自由にリンク（割り当て）できます（1 つの送信メッセージバッファに対して 1 つの FIFO のみリンク可能）。
リンク先の送信メッセージバッファは、その共通 FIFO バッファによって置き換えられます。
これらの送信メッセージバッファについて、送信コントロールレジスタや送信ステータスレジスタを使用してはなりません。

関連するチャンネルへの共通 FIFO バッファの割り当てについては、[図 29.28](#) を参照してください。

注. 共通 FIFO バッファは、すでに TX キューの構成要素になっている TX メッセージバッファに対してリンクしてはなりません。

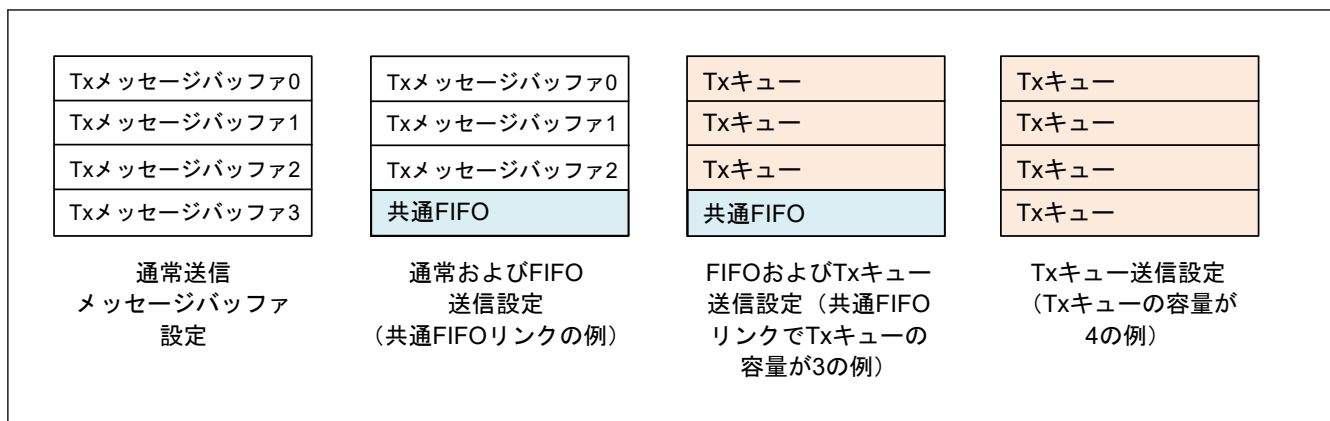


図 29.40 チャネル送信メッセージバッファの構成

29.8.2.1 送信優先順位

1つのチャネルで2つ以上の送信メッセージバッファが送信用に構成されている場合、CANFD モジュール内の送信優先順位は、以下の2つのモードから選択できます。

- CAN ID 優先
- メッセージバッファ番号優先

送信優先順位モードは、すべてのメッセージバッファで共通です。グローバルコンフィグレーションレジスタのCFDGCFG.TPRI ビットで構成できます。

メッセージバッファ番号優先送信の場合、送信要求がある中で最も小さいメッセージバッファ番号が、最も高い送信優先順位を持ちます。これには、TX モードに設定された共通 FIFO バッファにリンクされた TX メッセージバッファも含まれます。

ただし、TX キューが有効化されている場合は、メッセージバッファ番号優先モードを使用してはなりません。

CAN ID 優先送信の場合、ID の優先順位は、(ISO 11898-1 仕様に定められた) CAN バスアービトレーションルールに準拠します。送信用に構成されたメッセージバッファの ID 優先順位の比較対象には、すべての TX メッセージバッファを含めることができます。これには、TX モードに設定された共通 FIFO バッファにリンクされた TX メッセージバッファや、TX キューメッセージバッファも含まれます。

同じ ID をもつメッセージバッファが2つ以上存在する場合、メッセージバッファ番号が小さい方が、高い送信優先順位を持ちます。

注. TX モードに設定された共通 FIFO バッファの場合、現在 FIFO リードポインタが指しているメッセージのみを送信アービトレーションに含めることができます。

その FIFO がメッセージ送信中の場合、その FIFO 内の次の待機メッセージが送信アービトレーションの対象となります。

これに対して TX キューでは、TX キューのすべての送信メッセージバッファが内部送信アービトレーションの対象となります。

図 29.41 に、送信構成フローを示します。

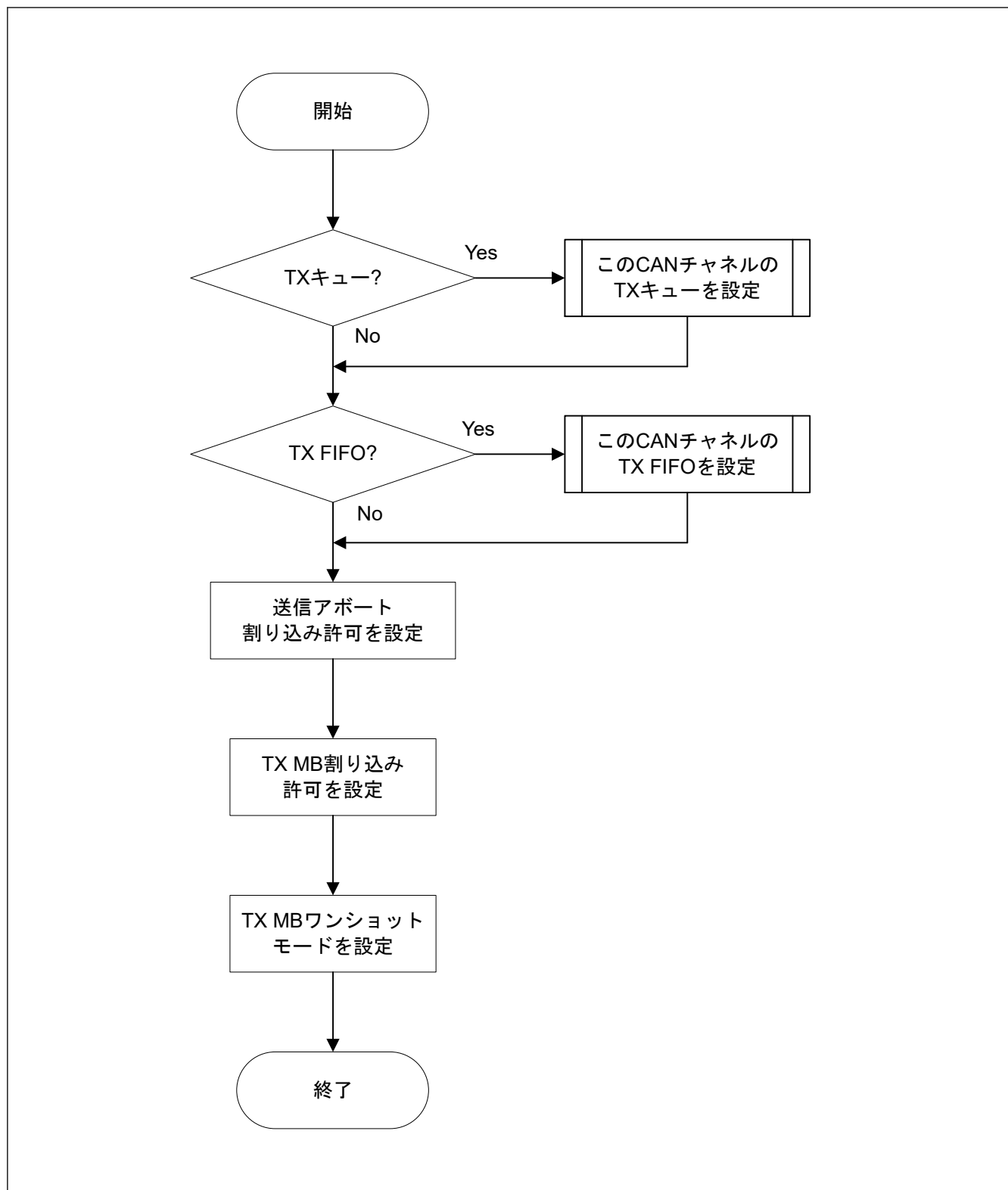


図 29.41 送信構成フロー

29.8.2.2 通常送信

各送信メッセージバッファには、次の2つのメッセージ送信モードがあります。

1. 通常送信モード

メッセージバッファが通常送信モードに設定されている場合、メッセージバッファに設定されたデータフレームまたはリモートフレームを送信できます。

通常送信が完了したかどうかは、関連する TX メッセージバッファステータスレジスタの TX メッセージバッファ送信結果フラグビット (CFDTMSTSj.TMTRF) によってチェックできます。これらのビットは、通常送信が正常に行われると、10b または 11b にセットされます。

アービトレーションが失われるか、エラーが発生した場合、その送信メッセージバッファに送信アボート要求が設定されていなければ、メッセージの送信が再試行されます。

送信要求があるすべてのメッセージバッファを対象に、そのチャンネルで新しい内部送信アービトレーションが行われます。

2. ワンショット送信モード

TX メッセージバッファコントロールレジスタの CFDTMCi.TMOM ビットがセットされている場合、その送信メッセージバッファはワンショット送信モードに設定されます。このモードでは、メッセージの送信を 1 回のみ試みます。

ワンショット送信が完了したかどうかは、関連する TX メッセージバッファステータスレジスタの TX メッセージバッファ送信結果フラグビット (CFDTMSTSj.TMTRF) によってチェックできます。ワンショット送信が正常に行われると、CFDTMSTSj.TMTRF ビットは 10b または 11b にセットされます。

アービトレーションが失われるか、関連するメッセージバッファの送信中にエラーが発生すると、CFDTMSTSj.TMTRF ビットは 01b にセットされます。

この場合、メッセージ送信は再試行されません。

構成後の通常送信要求手順を [図 29.42](#) に示します。

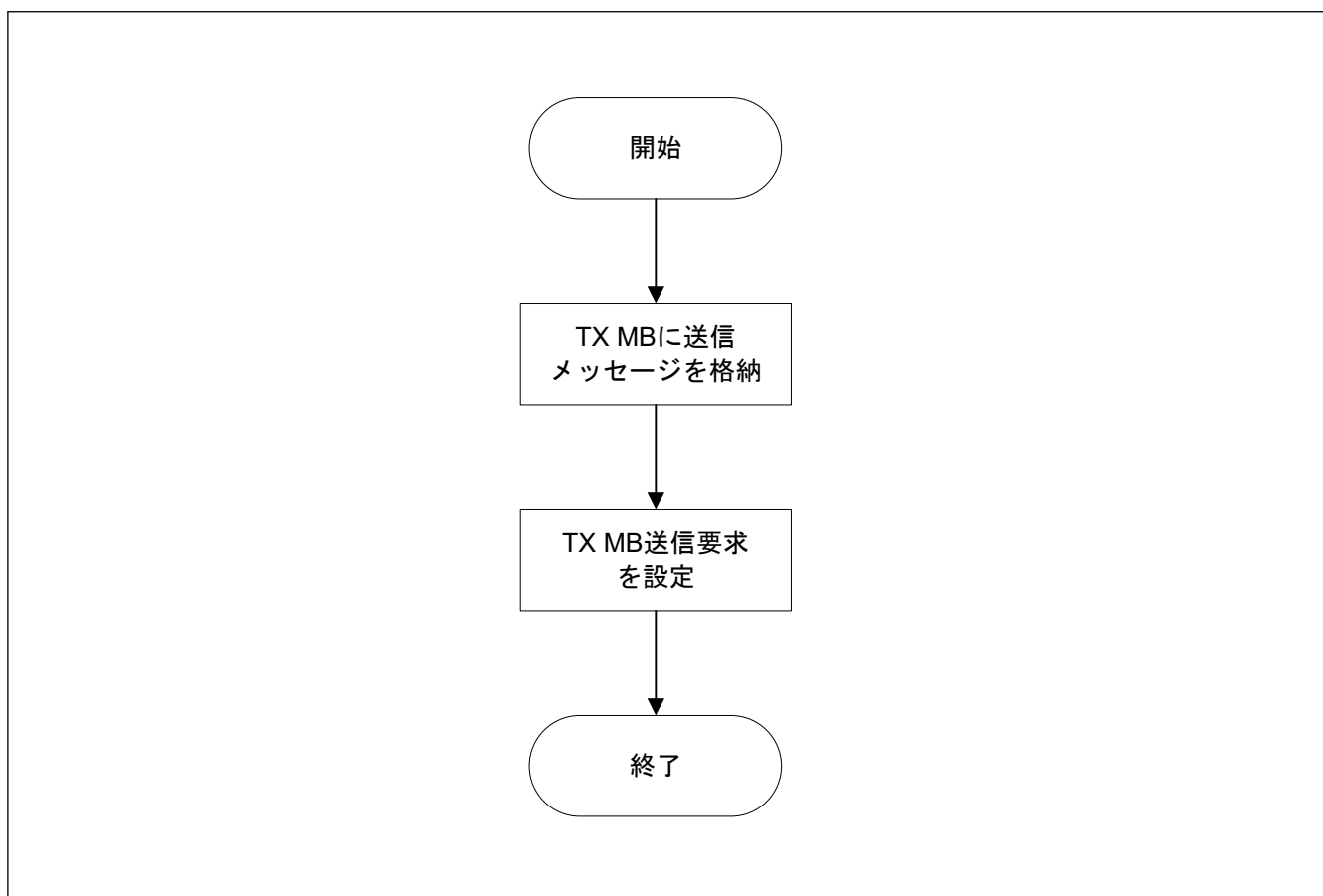


図 29.42 通常 TX メッセージバッファモードを使用した送信要求手順

(1) TX メッセージバッファコントロールレジスタの設定

[表 29.28](#) に、通常 CAN 送信モードの構成を示します。

表 29.28 CAN 送信モードの構成

送信要求 CFDTMCi.TMTR	送信アボート要求 CFDTMCi.TMTAR	ワンショット許可 CFDTMCi.TMOM	通信アクティビティ
0	0	0	メッセージバッファは無効
0	0	1	メッセージバッファは無効
1	0	0	データフレームまたはリモートフレーム用の送信メッセージバッファとして設定されている
1	0	1	データフレームまたはリモートフレーム用のワンショット送信メッセージバッファとして設定されている
1	1	0	送信アボートが要求されている
1	1	1	ワンショット送信アボートが要求されている

これらのコンフィグレーションビットは、TX メッセージバッファコントロールレジスタで構成できます。

図 29.43 に、2 つのメッセージバッファの正常送信のタイミングを示します。

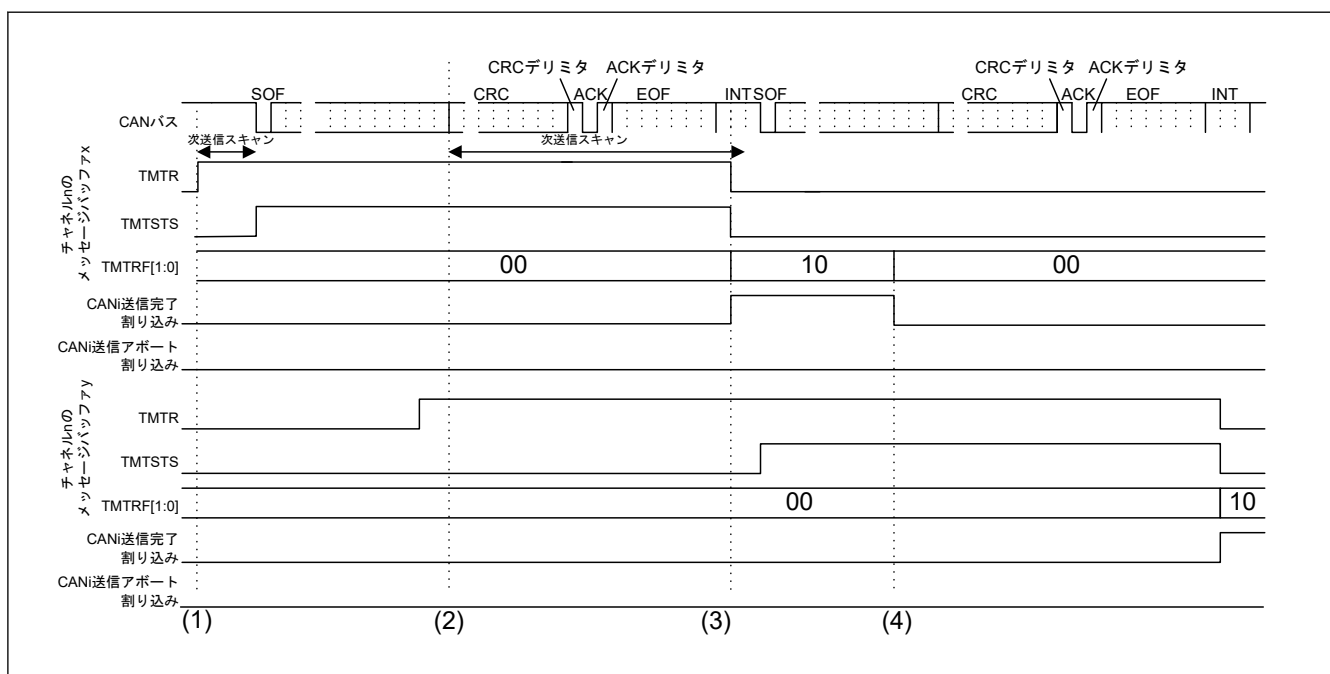


図 29.43 正常送信の要求およびフラグビットのタイミング

- TX メッセージバッファコントロールレジスタの CFDTMCi.TMTR ビットがバスアイドル状態に設定されている場合、メッセージバッファスキャン手順が開始され、送信優先順位が最も高いメッセージバッファが決定されます。
送信メッセージバッファが決定されると、関連する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTSTS ビットがセットされ（送信側／トランスミッタ）、CAN チャンネルが送信を開始します（注1）。
- 保留中の送信要求が存在する場合、CRC の 1 ビット目で、次の送信用の送信スキャン手順が開始されます。
- メッセージが正常に送信されると、対応する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF[1:0] ビットが 10b にセットされ、CFDTMSTSj.TMTSTS ビットと CFDTMCi.TMTR ビットがクリアされます。
TX メッセージバッファ割り込み許可コンフィグレーションレジスタの TMIE ビットがセットされる（割り込みが許可される）と、CAN 正常送信割り込み要求が発生します。
関連する割り込みラインをクリアするには、CFDTMSTSj.TMTRF フラグビットをクリアする必要があります。
- 次の送信を開始する前に、CFDTMSTSj.TMTRF ビットをクリアしてください。送信メッセージバッファ内の次のメッセージを読み込み、CFDTMCi.TMTR ビットを再度セットします。
CFDTMCi.TMTR ビットを再度セットするには、先に CFDTMSTSj.TMTRF[1:0] ビットをクリアする必要があります。

注 1. CAN チャンネルが送信を開始した後にアービトレーションが失われると、CFDTMSTSj.TMTSTS ビットがクリアされます。

1 つ目の CRC ビットの先頭から、もう一度送信スキャン手順が行われ、優先順位が最も高い送信メッセージバッファが検索されます。

送信中またはアービトレーションロスト後にエラーが発生した場合は、エラーフレーム中に送信スキャン手順が再度行われ、最も優先順位の高い送信メッセージバッファが検索されます。

注. CFDTMSTSj.TMTST が設定されるポイントは、常に SOF の先頭になるとは限りません。PLL バイパス用に実装された同期ロジックにより、最大で、標準 ID の開始点まで遅れることがあります。

図 29.44 に、2 つのメッセージバッファの送信アボートのタイミングを示します。

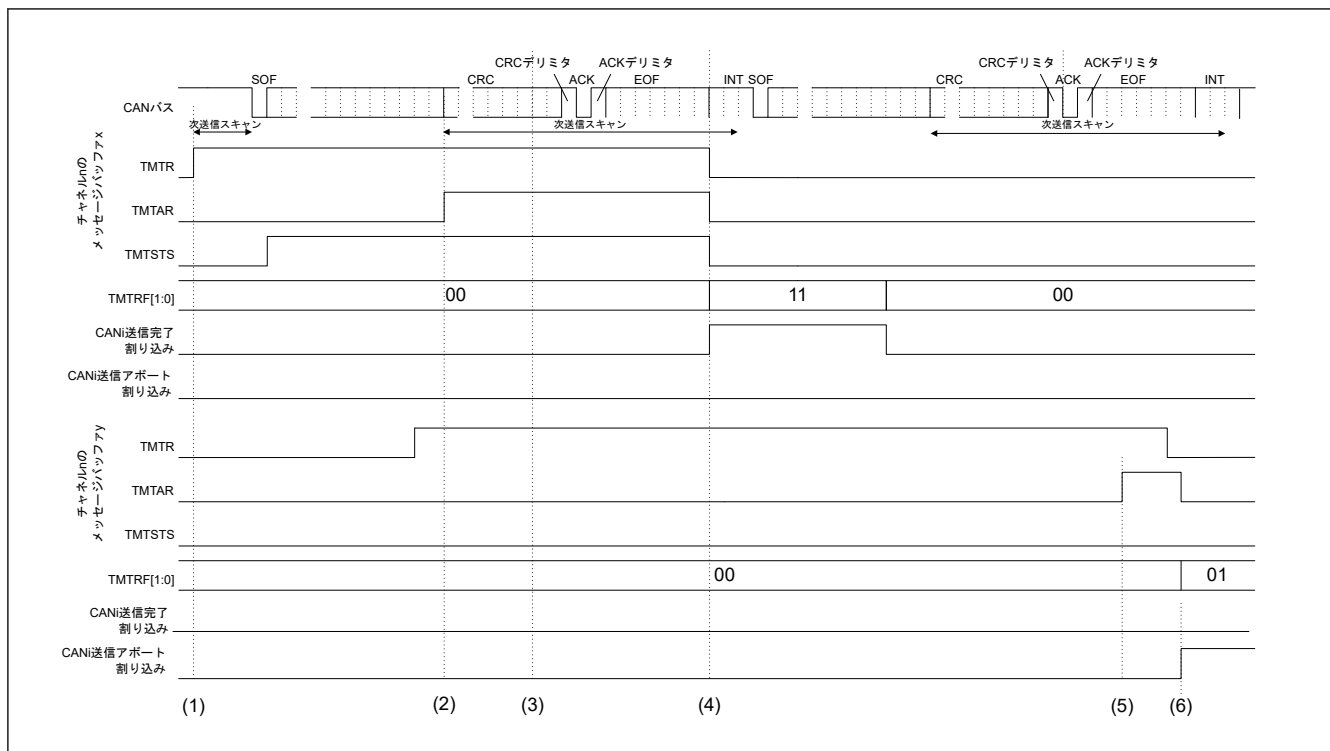


図 29.44 送信アボートの要求およびフラグビットのタイミング

- TX メッセージバッファコントロールレジスタの CFDTMCI.TMTR ビットがバスアイドル状態に設定されている場合、メッセージバッファスキャン手順が開始され、送信優先順位が最も高いメッセージバッファが決定されます。
送信メッセージバッファが決定されると、TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTSTS ビットがセットされ（送信側／トランスミッタ）、CAN チャンネルが送信を開始します（注1）。
- すでに送信用に選択されているか、現在送信中のメッセージバッファに対して CFDTMCI.TMTAR ビットがセットされた場合は、エラーが発生したりアービトレーションが失われたりしない限り、メッセージはアボートされません。
- 1 つ目の CRC ビットで、次の送信用の送信スキャン手順が開始されます。このタイミングチャート例では、メッセージバッファ y は次の送信メッセージバッファとして選択されていません。
- メッセージが正常に送信されると、対応する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF[1:0] ビットが 11b にセットされ、CFDTMSTSj.TMTSTS ビットと CFDTMCI.TMTR ビットがクリアされます。
TX メッセージバッファ割り込み許可コンフィグレーションレジスタの TMIE ビットがセットされる（割り込みが許可される）と、CAN 正常送信割り込み要求が発生します。
関連する割り込みラインをクリアするには、CFDTMSTSj.TMTRF[1:0] ビットをクリアする必要があります。
- CAN バス上では、別の CAN ノードが送信中です（CFDTMSTSj.TMTSTS はセットされていません）。関連するチャンネルが送信スキャン中に CFDTMCI.TMTAR ビットがセットされた場合、送信要求はクリアできません。

6. 内部処理時間が経過した後、送信はアボートされ、CFDTMSTSj.TMTRF[1:0]ビットが 01b にセットされます。そのメッセージバッファが送信中でなく、次の送信メッセージバッファとして選択されてもならず、送信スキャン中でもない場合、アボートは即座に受け入れられ、対応する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF[1:0]ビットが 01b にセットされます。
- また、CFDTMCi.TMTR ビットと CFDTMCi.TMTAR ビットは自動的にクリアされます。
- 関連するチャンネルコントロールレジスタの送信アボート割り込み許可 (TAIE) ビットがセットされている場合は、送信が正常にアボートされると割り込みが生成されます。
- 関連する割り込みラインをクリアするには、CFDTMSTSj.TMTRF ビットをクリアする必要があります。

- 注 1. CAN チャンネルが送信を開始した後にアービトレーションが失われると、CFDTMSTSj.TMTSTS ビットがクリアされます。
- 1 つ目の CRC ビットの先頭から、もう一度送信スキャン手順が行われ、優先順位が最も高い送信メッセージバッファが検索されます。
- 送信中またはアービトレーションロスト後にエラーが発生した場合は、エラーフレーム中に送信スキャン手順が再度行われ、最も優先順位の高い送信メッセージバッファが検索されます。

29.8.2.3 TX FIFO 送信

CANFD モジュールには共通 FIFO バッファが一つ割り当てられています。この FIFO バッファは、TX モードに設定された場合、共通 FIFO コンフィグレーション/コントロールレジスタの CFDCFCC.CFTML ビットによって、そのチャンネルの通常の TX メッセージバッファの任意の位置にリンクすることができます。

送信スキャンが開始したときに、その TX メッセージバッファに対応する FIFO バッファが有効化されている場合、その FIFO バッファ内の関連するメッセージが送信スキャンの対象となります。

TX モードの FIFO バッファにリンクされた TX メッセージバッファに対して設定を行ってはなりません。

(1) TX FIFO の動作

TX FIFO に CAN メッセージを書き込むには、対応する FIFO アクセスレジスタに書き込みます。

対応する FIFO ポインタコントロールレジスタに値 0xFF が書き込まれると、関連する FIFO のメッセージ数が 1 インクリメントされます。

FIFO ポインタコントロールレジスタに書き込むときは、対応する FIFO アクセスレジスタにメッセージを完全に書き終わってから行ってください。メッセージ数が FIFO 容量と一致すると、FIFO フルフラグがセットされます。

対応する CANFD モジュールチャンネルロジックにより、TX FIFO 内の最も古いメッセージが送信スキャン対象に含まれます。

TX FIFO がメッセージを正常に送信すると、メッセージ数の値が 1 デクリメントされます。FIFO からすべてのメッセージが送信されると、FIFO エンプティフラグがセットされます。

TX FIFO バッファの割り込み発生条件は、対応する共通 FIFO コンフィグレーション/コントロールレジスタの CFDCFCC.CFIM ビットによって設定できます。

CFDCFCC.CFIM ビットが 0 の場合、TX FIFO バッファから最後のメッセージが正常に送信されたときに割り込みが発生します。

CFDCFCC.CFIM ビットが 1 の場合、TX FIFO バッファからメッセージが正常に送信されるたびに、割り込みが発生します。

共通 FIFO は、CAN フレームの送信が完了したときに割り込みを設定できます。

TX モードに設定された共通 FIFO バッファは、共通 FIFO コンフィグレーション/コントロールレジスタの CFDCFCC.CFE ビットをクリアすることで、無効化できます。このビットが 0 にクリアされると、以下のタイミングで FIFO エンプティフラグがセットされます。

- TX FIFO からの次の送信予定がなく、また送信中でもない場合：即時
- TX FIFO からの次の送信予定があるか、現在送信中の場合：送信完了後、または CAN バスエラー検出後、またはアービトレーションロスト後、またはチャンネルまたはグローバル Halt モード遷移後

- 注. CFDCFCC.CFE ビットクリア後に共通 FIFO バッファが無効とみなされるのは、対応する共通 FIFO バッファにエンプティフラグがセットされている場合のみです。

TX FIFO にその他の送信保留中メッセージがある場合、そのメッセージは失われるため、送信を再度要求する必要があります。再び CFDCFCC.CFE をセットする前に、CFDCFSTS.CFEMP ビットがセットされており、かつ、その TX FIFO に保留中のアボートがないことを確認してください。

CFDCFCC.CFE ビットがクリアされると、FIFO のメッセージリードポインタおよびライトポインタがクリアされ、非アクティブになります。そのため、FIFO バッファ内のすべてのメッセージが失われ、以降その FIFO にメッセージを格納することはできなくなります。

構成後の FIFO 送信要求手順を図 29.45 に示します。

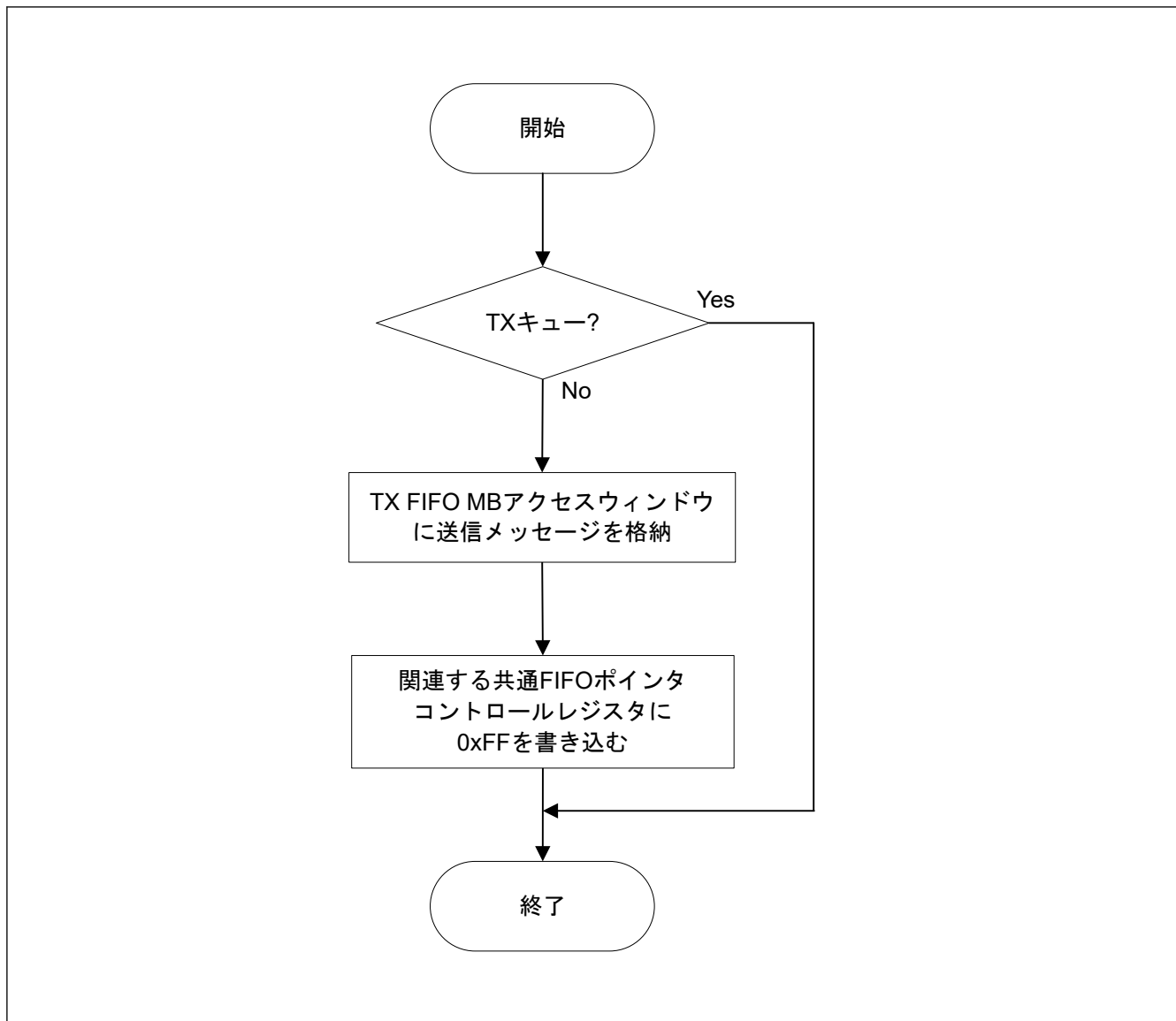


図 29.45 TX FIFO の送信要求手順

(2) FIFO 送信のインターバルタイマ

TX モードの各共通 FIFO において、1 つの FIFO バッファから送信されるよう構成された 2 つの連続するメッセージ間の遅延を指定することができます。この遅延をインターバル時間と呼びます。このインターバル時間は、CFDCFCC.CFE ビットがセットされ、FIFO バッファの最初のメッセージが正常に送信された後に開始されます。

TX モードの共通 FIFO が有効の場合、最初のメッセージは、このインターバル時間を考慮することなく送信されます。

以下のとき、インターバルタイマはカウントを停止します。

- CFDCFCC.CFE ビットのクリアによって FIFO が無効化されたとき
- CAN チャネルが CH_RESET モードのとき

インターバル時間は、共通 FIFO コンフィグレーション／コントロールレジスタの CFDFCC.CFITT の値により、0～255 のタイマ単位で指定されます。

タイマ単位は、インターバルタイマ用の 2 つの異なるソースクロックに基づいて定義できます。FIFO 送信のインターバルタイマを無効にするには、値 0 を選択します。

タイマソースは、共通 FIFO コンフィグレーション／コントロールレジスタのコンフィグレーションビット CFITSS によって選択できます。

クロックソースとして CAN チャネルビット時間クロックを選択し、CAN チャネルが CH_HALT モードまたは CH RESET モードまたは CH SLEEP モードに遷移した場合、そのチャネルのインターバルタイマは停止します。

インターバルタイマのクロックソースとして周辺クロックを選択した場合、インターバルタイマが停止するのは、CAN チャンネルが CH RESET モードまたは CH SLEEP モードになったときのみです。

基準クロックを使用して、インターバル時間を固定の時間単位で構成できます。これは、周辺クロックに基づきます。グローバルコンフィグレーションレジスタの基準クロックプリスケール値 `CFDGCFG.ITRCP` は、周辺クロックの周波数／周期と基準クロック周期の関係を定義します。

周辺クロックの周波数／周期に基づいて異なる基準クロック周期を実現するための CFDGCFG.ITRCP の設定値については、表 29.29 を参照してください。

表 29.29 **FIFO インターバルタイマの基準クロックの構成例**

基準クロック 周辺クロック	1 μ s	100 μ s	500 μ s
16 MHz/62.5 ns	16	1600	8000
20 MHz/50 ns	20	2000	10000
32 MHz/31.25 ns	32	3200	16000
50 MHz/20 ns	50	5000	25000

さらに、共通 FIFO コンフィグレーション/コントロールレジスタのインターバルタイマ基準クロック分解能値 CFDCFCC、CFITR を使用して、基準クロックの分解能を指定できます。

インターバル時間は、基準クロック周期を設定値で逡倍（x1 または x10）した値に基づきます。基準クロックベースのインターバルタイムを使用すると、ISO 15765-2 のセパレーション時間の要件に準拠することができます。100 μ s ~ 127 ms の全範囲のセパレーション時間をカバーできます。

指定したインターバル時間は、正常送信イベント後（CAN プロトコルの EOF7 状態の後）に開始されます。

インターバル時間が経過すると、関連する TX FIFO によって次の送信要求が出されます。したがって、インターバル時間により、1 つの FIFO から送信される 2 つのメッセージ間の最小間隔が定義されます。

次のメッセージが送信されるのは、最も早くても、このインターバル時間の後になります。図 29.46 に内部処理のタイミング例を示します。

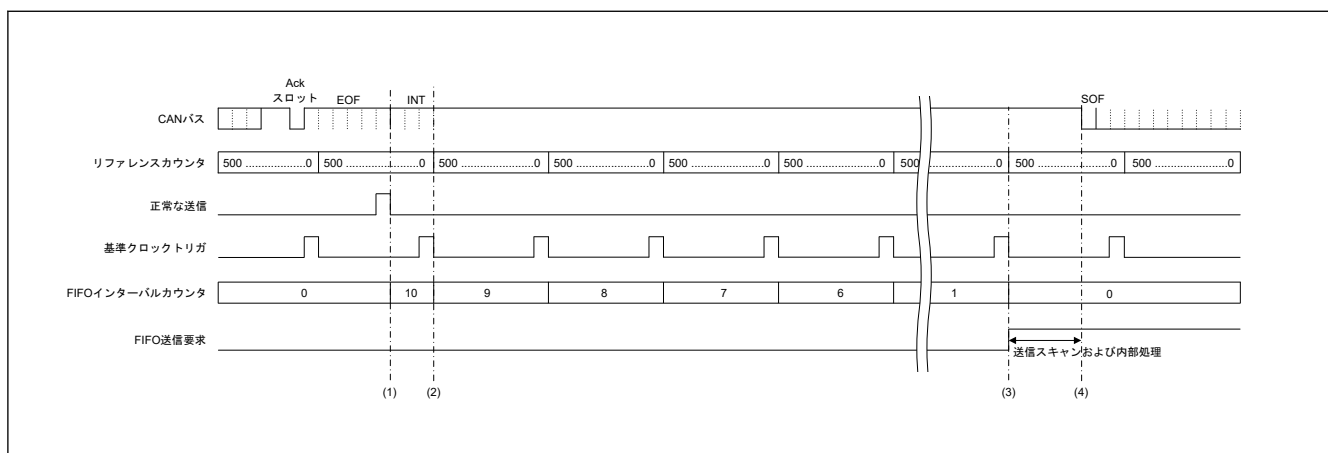


図 29.46 インターバル処理時間の例

図 29.46 のタイミングの構成は以下のとおりです。

- 周辺クロック周波数 = 50 MHz

- インターバルタイマ基準クロック (CFDGCFG.ITRCP) = 500 カウント
 - 図 29.46 の設定による基準クロック = 10 μ s
 - 共通 FIFO インターバルタイマ源選択 (CFDCFCC.CFITSS) = 0
 - 共通 FIFO インターバルタイマ分解能 (CFDCFCC.CFITR) = 0
 - 共通 FIFO インターバル送信時間 (CFDCFCC.CFITT) = 10 カウント
 - 理論上のメッセージセパレーションインターバル = 100 μ s
1. 正常送信結果が発生すると、内部 FIFO インターバルタイマはリスタートされます。このリスタートは、基準クロックのトリガとは同期されません。そのため、最初のインターバルのカウントは、1 基準クロックインターバルと同じか、それ以下になります。
 2. 次の基準クロックトリガで、FIFO インターバルタイマはデクリメントされます。
 3. FIFO インターバルタイマが値 0 に達すると、FIFO 送信要求がセットされます。
 4. FIFO が送信用に選択されている場合、送信はほどなく開始されます。内部処理のため、通常、3.で内部 FIFO 送信要求がセットされてから、実際に送信されるまでに 3CAN ビット時間未満の時間がかかります。

すべてのチャンネル上で受信スキャン、内部メッセージルーティング、送信スキャンなどの複数のイベントが同時に発生するワーストケースでは、最大で 120 周辺クロックサイクルかかる場合があります。

図 29.46 に示すように、最小インターバル時間が常に設定値と等しくなる保証はありません。最小時間を決して逸脱してはならない場合は、CFDCFCC.CFITT を必要な最小値+1 に設定する必要があります。

1 つのチャンネルに対して、その他の TX メッセージバッファまたは TX FIFO が送信用に構成されている場合、TX FIFO から送信される 2 つのメッセージ間の実際の遅延時間は、インターバル時間に設定した時間よりもかなり長くなることがあります。これは、TX メッセージバッファまたは TX FIFO から高優先順位のメッセージが送信されることによります。

図 29.47 に FIFO インターバル時間生成回路のブロック図を示します。

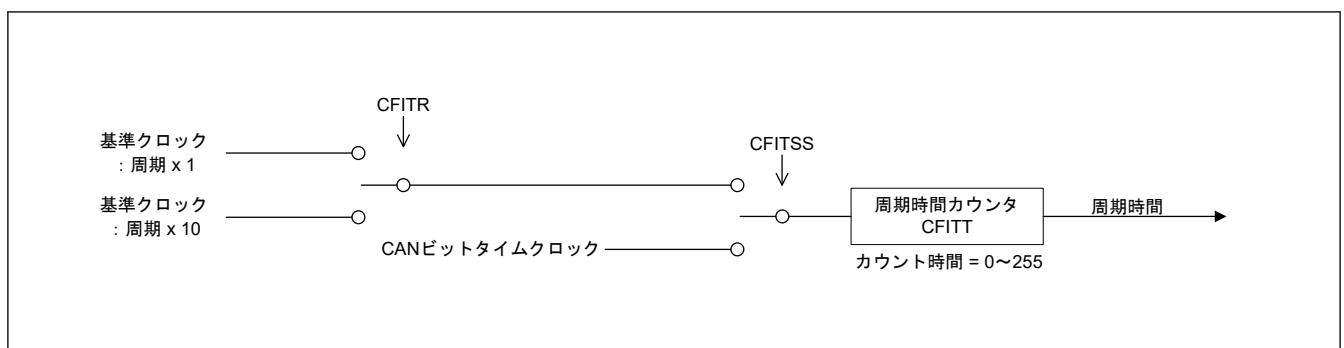


図 29.47 FIFO インターバルタイマのブロック図

29.8.2.4 TX キュー

ある特定のチャンネルに対して有効化される各 TX キューは、3～4 個の TX メッセージバッファによって構成され、1 つのアクセスウィンドウを介してアクセスされます。

- 1 つ目の TX キューは、容量 3 の最大 4 つのバッファによって構成され、TX メッセージバッファ No. 0 をアクセスウィンドウとして使用します（これを TXQ と呼びます）。

TXQ のすべてのメッセージは、送信優先順位比較の対象になります。この場合、ID 優先 (CFDGCFG.TPRI = 0) のみを使用するものとします。

TXQ 用のレジスタを以下に示します。

- CFDTXQCC
- CFDTXQSTS
- CFDTXQPCTR

アクセスウィンドウ TXQ0 を使用する場合、関連するアクセスレジスタ TX メッセージバッファ ID レジスタ (TMID[m]), TX メッセージバッファポインタレジスタ (TMPTR[m]), TX メッセージバッファデータフィールド 0 レジスタおよび TX メッセージバッファデータフィールド 1 レジスタ (TMDf[0:1][m]) を参照してください。

各 TXQ バッファの容量は、TX キューコンフィグレーション/コントロールレジスタの CFDTXQCC.TXQDC[1:0] ビットへの書き込みによって構成できます。TXQ は、最大で TXMB0 から TXMB3 までを 1 つのキューバッファとして設定できます。

TXQ バッファの容量の構成には、以下の 4 個のオプションを使用できます。

- 0x00: TX キュー禁止
- 0x01 : 予約
- 0x10: 3 メッセージ
- 0x11: 4 メッセージ

TX キューを構成するすべての TX メッセージバッファには、直接アクセスしないでください (TX キューのアクセスウィンドウとして機能する TX メッセージバッファ No. 0 を除く)。

システムが TX キューに書き込む際、システムは TX キューの状態をチェックした後に、送信データを書き込む必要があります。

また、関連する TX メッセージバッファコントロールレジスタへのユーザーによるアクセスおよび構成は禁止されています。

TX キューのアクセスウィンドウに格納されたメッセージは、その TX キュー内の空いているバッファに内部的に格納されます。

バッファがフルになると、フルの状態が解除されるまで、キューへのアクセスは行われません。TX キューのバッファがフルのときにソフトウェア書き込みによってアクセスされた場合、送信データは上書きされます。

TX キューは、TX キューコンフィグレーション/コントロールレジスタの TXQE ビットをクリアすることによって無効化できます。このビットがクリアされると、以下のように TX キューエンプティフラグがセットされます。

- TX キューからの次の送信予定がなく、また送信中でもない場合：即時
- TX キューからの次の送信予定があるか、現在送信中の場合：送信完了後、または CAN バスエラー検出後、またはアービトラクションロスト後、またはチャネルまたはグローバル Halt モード遷移後

注. TX キューが無効化されるのは、対応する TX キューの TXQE ビットがクリアされた後、エンプティフラグがセットされたときのみです。

TX キューにその他の送信保留中メッセージがある場合、そのメッセージは失われるため、送信を再度要求する必要があります。

再び TXQE をセットする前に、CFDTXQSTS.TXQEMP ビットがセットされていること、およびその TX キューに保留中のアボートがないことを確認してください。

TXQE ビットがクリアされると、TX キューバッファ内のすべてのメッセージが失われ、以降その TX キューにメッセージを格納することはできなくなります。

TX キューにすでにメッセージが格納されている状態で、TX キューポインタコントロールレジスタに 0xFF を書き込んでください。これにより、送信要求が自動的に設定され、内部メッセージバッファポインタが TX キュー内の次の空いているメッセージバッファ位置に変更されます。

注. 同じ ID を持つ 2 つのメッセージが TX キューに格納された場合、これらのメッセージの送信順序が、TX キューに格納された順序とは変わる可能性があります。

この条件を回避するため、同じ ID を持つ新しいメッセージを TX キューに格納する前に、同じ ID を持つ前のメッセージが正常に送信されたことを確認することが重要です。

TX キューでは、TX キューコンフィグレーション/コントロールレジスタの TXQIE ビットをセットすることにより、専用の割り込みを有効化できます。

割り込みモードについては、同じレジスタの CFDTXQCC.TXQIM ビットによって、メッセージが送信されるごとに割り込みを発生させるか、最後に送信されるメッセージに対して割り込みを発生させるかを選択できます。

構成後の TX キュー送信要求手順を [図 29.48](#) に示します。

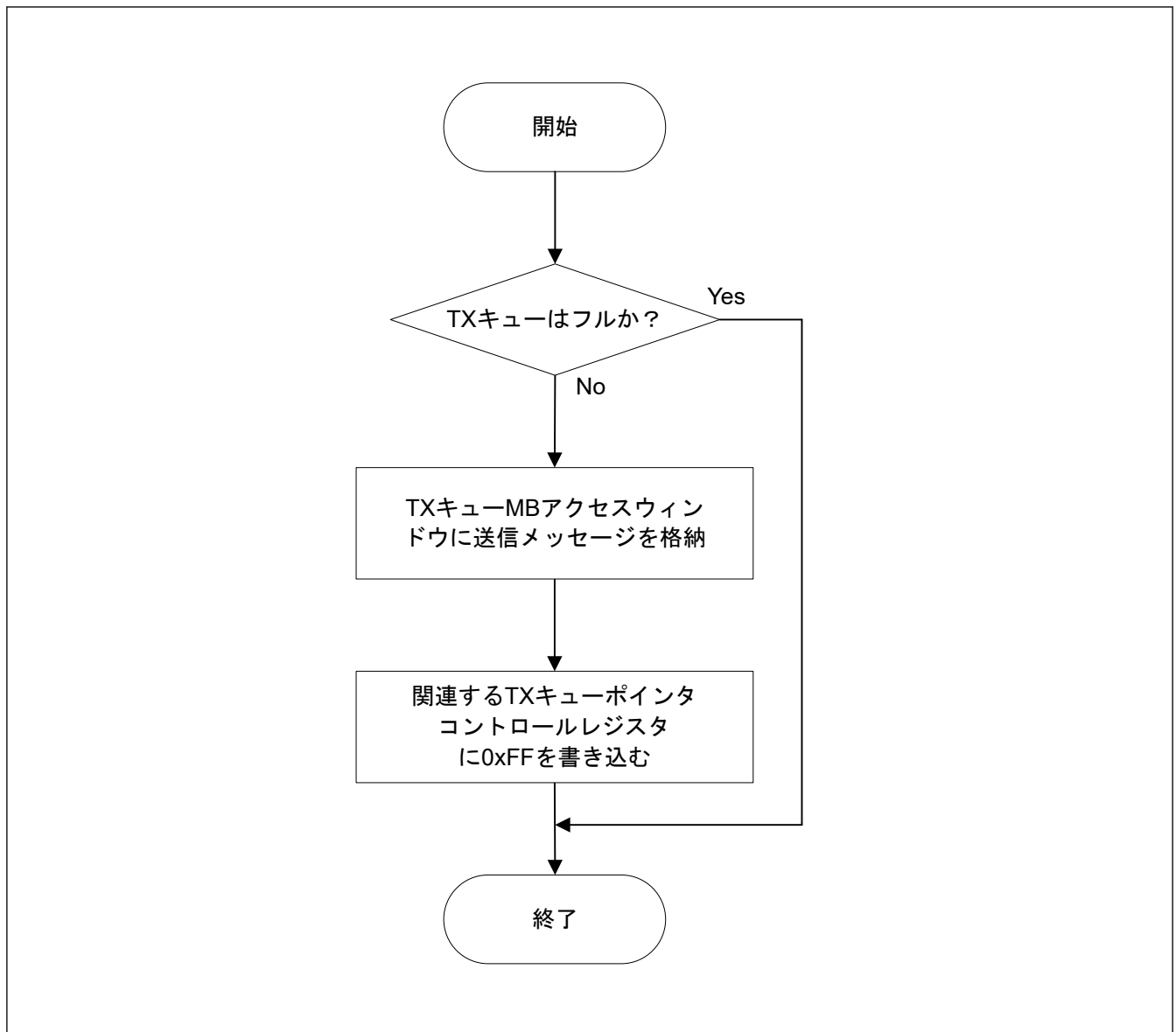


図 29.48 TX キュー送信要求

29.8.2.5 TX 履歴リスト

TX 履歴リストとは、正常に送信されたメッセージの情報を TX 履歴リストバッファ (THL バッファ) に記録する機能です。TX 履歴リスト (THL) バッファは二つあり、各 THL バッファは最大 8 個の THL エントリを格納できます。

TX 履歴リストコンフィグレーション/コントロールレジスタの CFDTHLCC.THLDTE ビットを使用して、TX FIFO/TX キューから送信されたメッセージの情報のみを TX 履歴リストに格納するか、TX キュー、TX FIFO、または通常の TX メッセージバッファから送信されたすべてのメッセージに関する情報を格納するかを設定できます。

メッセージバッファポインタレジスタの CFDCFID.THLEN ビットを使用すると、各送信メッセージの TX 履歴リストへの受け入れを個別に設定できます。

メッセージ情報は、メッセージが正常に送信された後、CAN チャネルの TX 履歴リストバッファに格納されます。

リストへの格納は、TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF[1:0] ビットのステータスとは同期されません。

内部処理のため、正常送信が通知された後、リストに格納されるまでに遅延が生じることがあります。

TX 履歴リストにデータが格納されたかどうかは、THLIE が 1 に設定されている場合は THLIF が 1 にセットされたことによって、または TX 履歴リストカウンタ CFDTHLSTS.THLMC[5:0]が増分されたことによって認識できます。

受信スキャン、内部メッセージルーティングなどの複数イベントが発生するワーストケースでは、以下のようになります。

- CFDTMSTSj.TMTRF をセットしてから TX 履歴リストデータが格納されるまでの最大遅延時間は、70 周辺バスクロックサイクルです。

履歴リストは、送信したメッセージについて次の情報を記録します。

- バッファの種類：
 - 001: TX メッセージバッファ
 - 010: TX FIFO
 - 100: TX キュー
- バッファ番号：

送信が発生した TX メッセージバッファ、TX キューメッセージバッファ、または共通 FIFO バッファの TX メッセージバッファリンク。この番号は、バッファの種類によって決まります。表 29.30 を参照してください。
- 送信 ID：

送信メッセージに格納された送信ポインタ
- 送信タイムスタンプ：

CFDGFDCFG.TSCCFG によって構成されたキャプチャポイントで取得されたメッセージのタイムスタンプ。
- 送信情報ラベル：

送信メッセージに格納された送信情報ラベル。

表 29.30 TX 履歴リストバッファ番号エントリ

バッファ番号	BT[2:0]バッファの種類		
	001b TX メッセージバッファ	101b TX FIFO	100b TX キュー
00b	メッセージバッファ 0	表示の番号は、関連する共通 FIFO 構成の共通 FIFO TX メッセージバッファリンク CFTML に対応します。	表示の番号は、フレームが送信された TX キューに属するメッセージバッファに対応します。
01b	メッセージバッファ 1		
10b	メッセージバッファ 2		
11b	メッセージバッファ 3		

TX FIFO または TX キューの番号だけでは識別に不十分なため、送信 ID エントリを使用して、TX FIFO または TX キューのどのメッセージが正常に送信されたかを識別します。

そのため、TX FIFO または TX キューに格納された各送信メッセージに一意の番号を付加できます。この一意の ID 番号は、TX FIFO の場合は共通 FIFO アクセスポインタレジスタの CFDCFFDCSTS.CFPTR[15:0]部分、また、TX キューアクセスウィンドウメッセージバッファの場合は TX メッセージバッファポインタレジスタの CFDTMFDCTb.TMPTR[15:0]部分に書き込みます。

メッセージが正常に送信されると、この ID 番号は他のメッセージ関連情報とともに TX 履歴リストに格納され、TX 履歴リストアクセスレジスタの送信 ID (TID) を介して読み出すことができます。

通常の TX メッセージバッファの場合、TX メッセージバッファポインタレジスタの CFDTMFDCTb.TMPTR[15:0]部分も送信履歴リストに格納されます。情報ラベルも同様です。

図 29.49 に、TX 履歴リストを使用する場合の送信準備フローを示します。

TX 履歴リストアクセスレジスタへのリードアクセスは、すべてのエントリに対して行われます。

1つのエントリを読み出した後、対応する TX 履歴リストポインタコントロールレジスタに 0xFF を書き込んで、次のエントリにアクセスできるようにする必要があります。これを TX 履歴リストがエンプティになるまで続けます。

図 29.50 に、TX 履歴リスト情報の処理フローの例を示します。

TX 履歴リストには専用の割り込みがあり、対応する TX 履歴リストコンフィグレーション/コントロールレジスタの CFDTLCC.THLIM ビットで設定できます。この割り込みは、同じレジスタの CFDTLCC.THLIE ビットで有効化でき、履歴リストが充填レベル 75%に達したときに割り込みを発生させるか、新しい TX 履歴リストエントリで毎回割り込みを発生させるかを選択できます。

エントリロストの表示は、TX 履歴リストステータスレジスタの CFDTLSTS.THLELT ビットによりフラグが立てられます。このビットのステータスは、グローバルエラーフラグレジスタの THLES ビットによっても示されます。

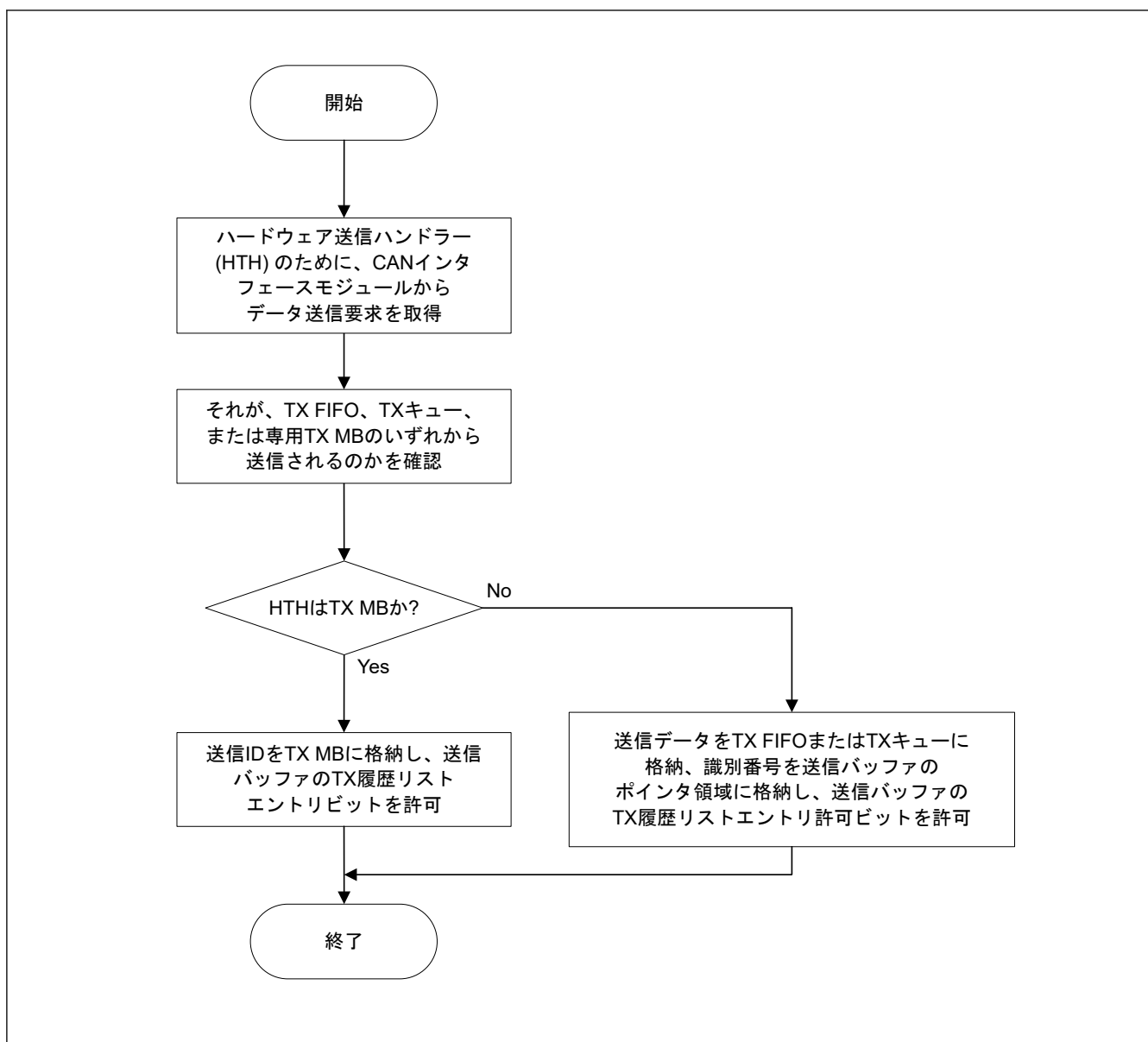


図 29.49 TX 履歴リストの準備手順

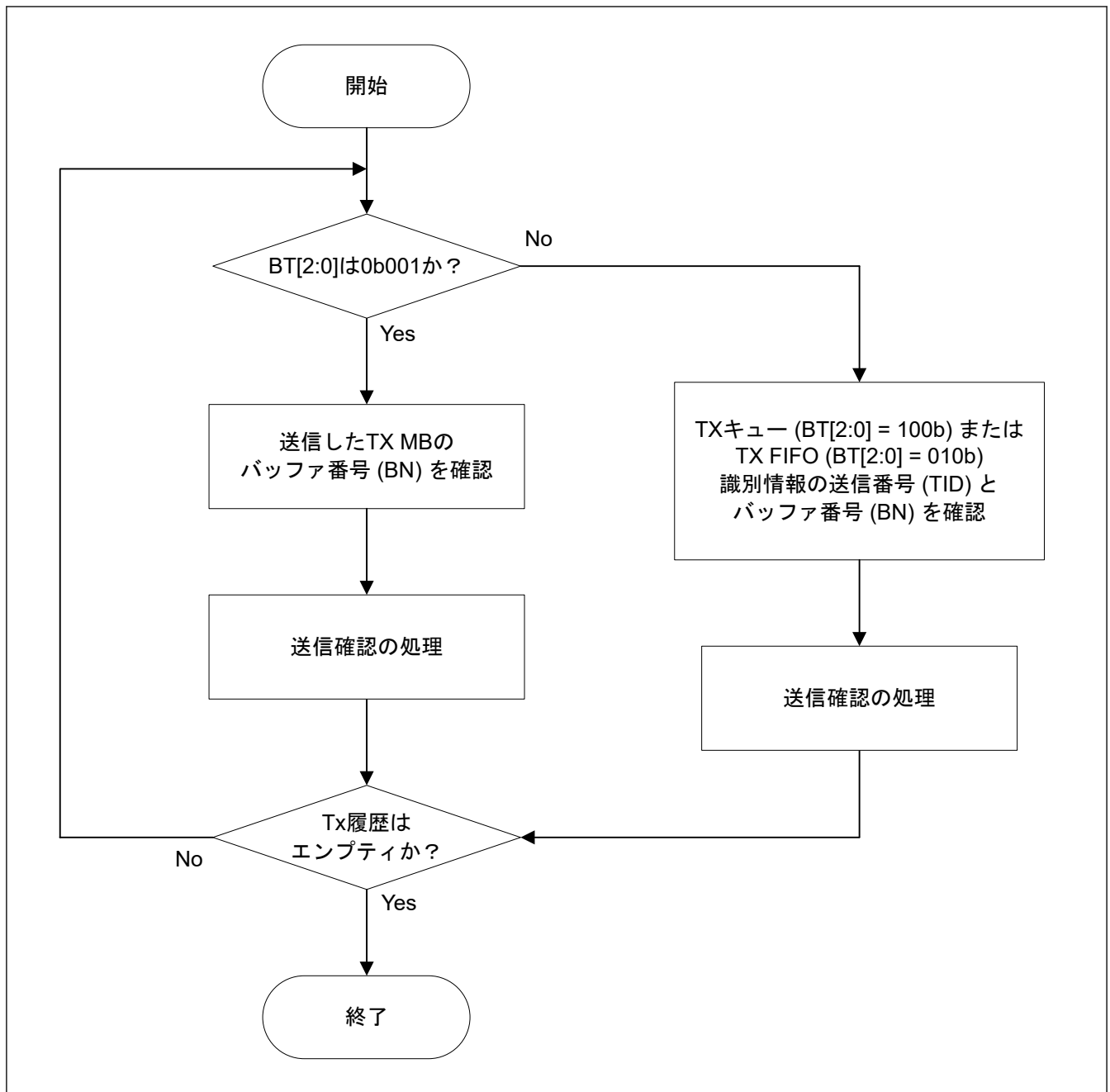


図 29.50 TX 履歴リストの処理手順

29.8.2.6 送信データパディング

この章は、クラシカル CAN 機能に対しては適用されません。

送信メッセージのデータ長コード (DLC) のデータバイト数がバッファサイズより大きい場合、制限範囲を超えるデータバイトは、0xCC 値のバイトによって置き換えられます。

これは、TX モードに設定された共通 FIFO において、送信メッセージの DLC が CFDCFCC.CFPLS よりも大きいときに発生することがあります。

また、FD only モードでも、クラシカルフレームが 8 より大きい DLC で構成されている場合に発生することがあります。

29.9 テストモード

特定の機能のテストを行うために、CANFD モジュールをテストモードに設定することができます。これらの機能は、特別な目的のためにのみ提供されているものであり、CANFD モジュールをテストモードに設定する際には注意が必要です。

注. 一部機能が他のテストモードでも有効化できると明示的に記載されていない限り、すべてのテストモードは相互排他的関係にあります。

本項に記載する複数のテストモードを同時に有効にしないでください。

テストモードは、次の 2 つのグループに大きく分けられます。

- チャンネル固有のテストモード
- グローバルテストモード

29.9.1 チャンネル固有のテストモード

CAN チャンネルに設定できるテストモードを以下に示します。

- 基本テストモード
- リススンオンリモード
- セルフテストモード 0 (外部ループバックモード)
- セルフテストモード 1 (内部ループバックモード)
- 制限付きオペレーションモード

29.9.1.1 基本テストモード

基本テストモードは、リススンオンリモードやセルフテストモード以外の特定のテスト設定を有効にする必要がある場合に使用します。

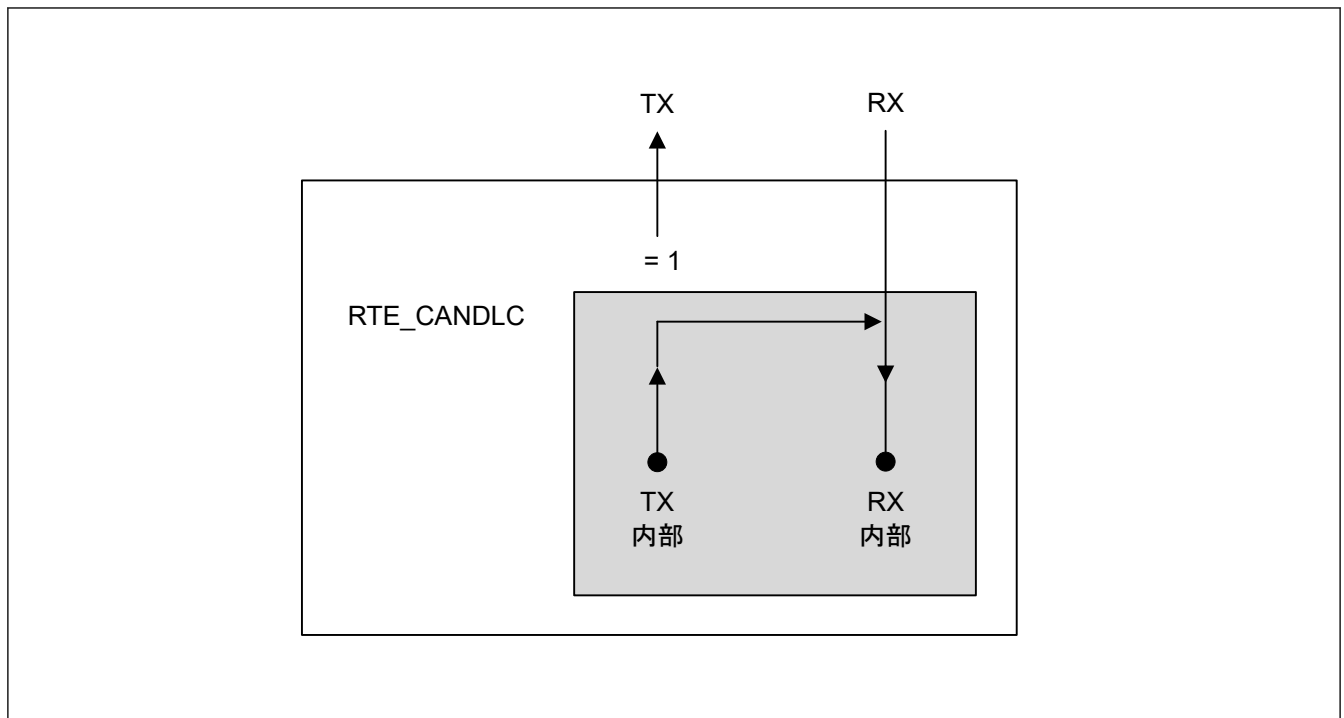
29.9.1.2 リススンオンリモード

ISO 11898-1 では、オプションのバスモニタモードが推奨されています。このモードでは、CAN チャンネルは有効なデータフレームおよび有効なリモートフレームを受信できます。しかし、CAN バス上でレセシブビットを送信するのみで、データの送信は許可されません。

CAN エンジンがドミナントビット (ACK ビット、オーバーロードフラグ、アクティブエラーフラグ) を送信する必要がある場合、ビットが内部的にルーティングされ、CAN エンジンがそれをドミナントビットとしてモニタします。外部の TX 端子はレセシブ状態のままです。

このモードは、ボーレート検出に使用できます。このモードでは、バスエラーが発生し、かつ割り込みが許可されている場合、エラー割り込みが発生します。

このモードでは、通常の TX メッセージバッファや TX-FIFO からの送信を要求することはできません。

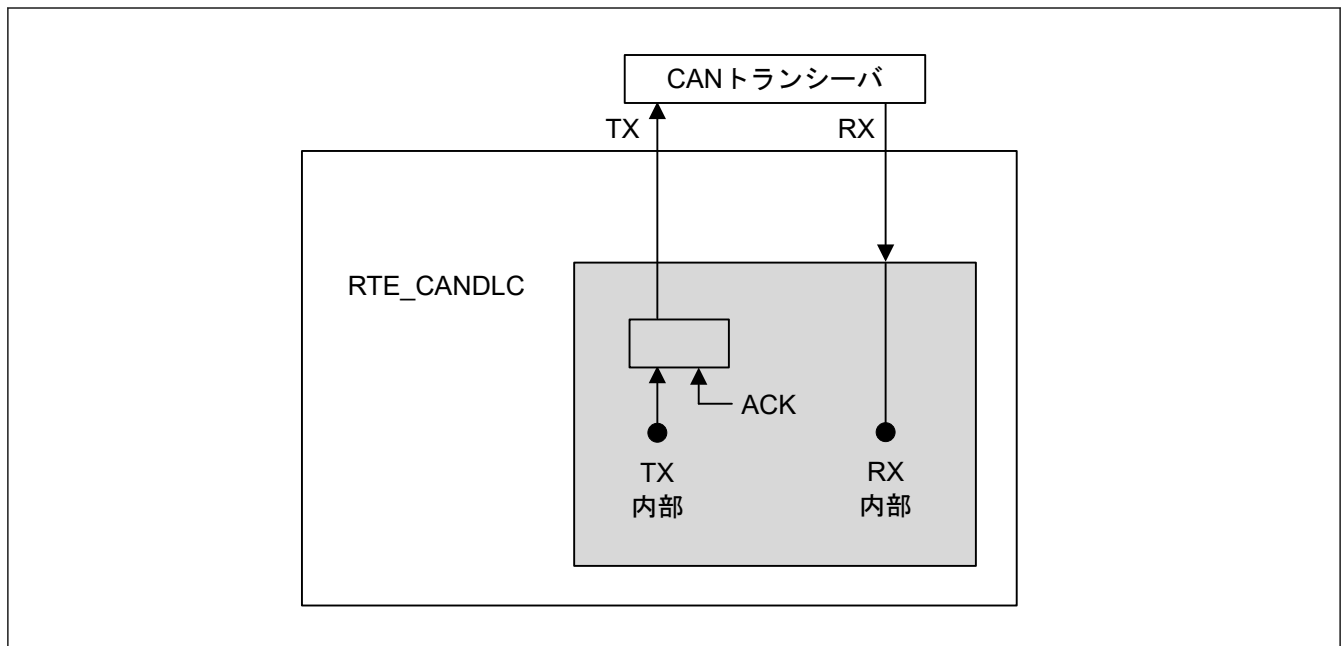


29.9.1.3 セルフテストモード 0（外部ループバックモード）

セルフテストモード 0 では、CAN エンジンが自らが送信したメッセージを CAN トランシーバ経由で受信したメッセージとして取り扱い、受信メッセージバッファに格納します。

外部の刺激に影響されないようにするため、CAN エンジン独自のアクノリッジビットを生成します。

このテストは、CAN トランシーバのテストに使用できます。Rx 端子/Tx 端子をトランシーバに接続する必要があります。



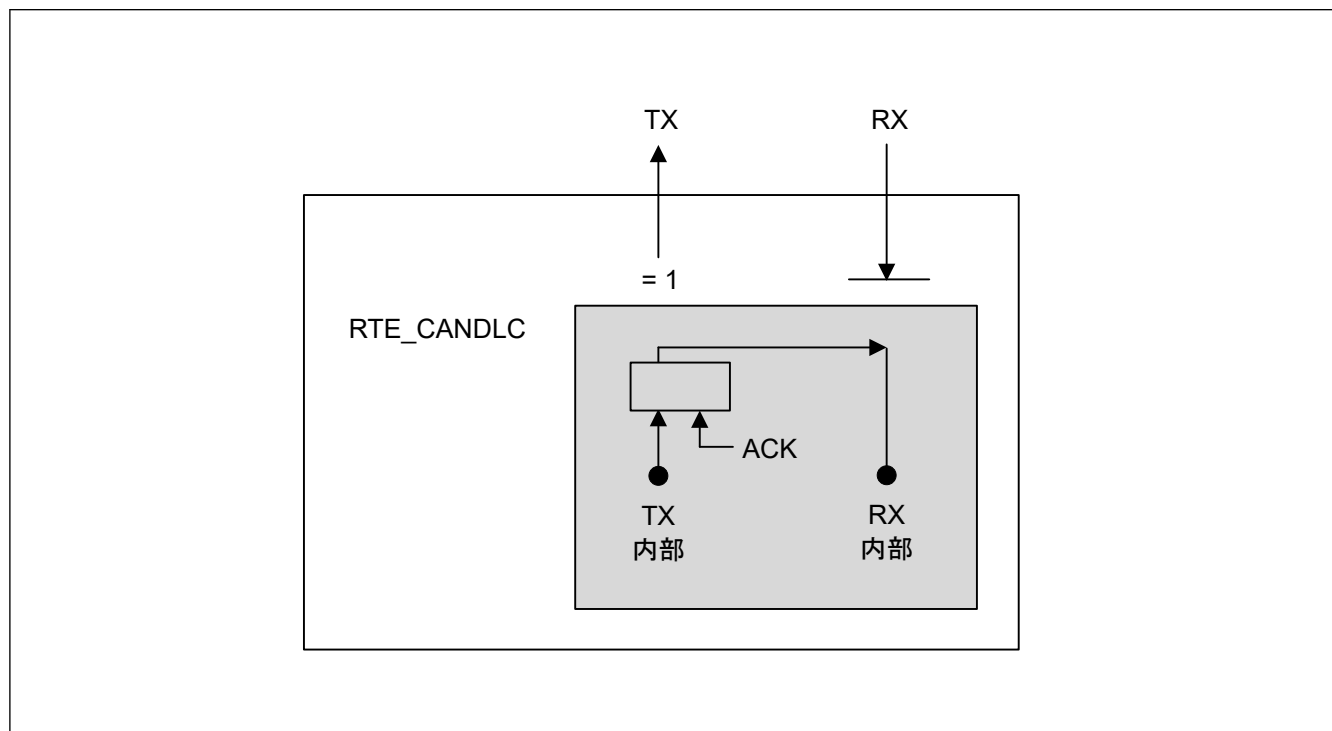
29.9.1.4 セルフテストモード 1（内部ループバックモード）

セルフテストモード 1 では、CAN エンジンが自らが送信したメッセージを受信したメッセージとして取り扱い、受信バッファに格納します。このモードは、セルフテスト機能用です。外部の刺激に影響されないようにするた

め、CAN エンジン独自のアクノリッジビットを生成します。このモードでは、CAN エンジン Tx 内部から Rx 内部への内部フィードバックを実行します。外部 Rx 入力の実際の値は、CAN エンジンによって無視されます。

外部 TX 端子はレセシブビットのみを出力します。Rx 端子/TX 端子は、CAN バスや他のどの外部デバイスにも接続する必要がありません。

注: チャンネルの各端子は、内部 CAN バス通信ラインからも切り離されます。



29.9.1.5 制限付きオペレーションモード

この章は、クラシカル CAN 機能に対しては適用されません。

制限付きオペレーションモードでは、CAN ノードは有効なデータフレームとリモートフレームを受信して、アクノリッジビットを生成することができます。

アクティブエラーフレームとオーバーロードフレームは送信できません。その代わりに、エラー条件またはオーバーロード条件が発生した後、バスアイドル状態になるまで待機してから CAN 通信に再同期します。

さらに、受信エラーカウンタ (REC) と送信エラーカウンタ (TEC) は、エラーの発生とは無関係にフリーズされています。このモードの仕様は ISO 11898-1 に準拠します。また、任意の送信要求を設定することができます。

29.9.2 グローバルテストモード

CANFD モジュールは、以下のテストモードに構成できます。

- RAM テストモード
- ビットフリップテスト

以下の表に示すテストモードは、モードの有効化が特別なソフトウェア手順によって保護されています。このソフトウェア手順は、以下の表に示す特定のロック解除キーによって、テストモードへの書き込みを許可します。

テストモード	ロック解除キー 1	ロック解除キー 2
RAM テストモード	0x7575	0x8A8A

2 つの連続するロック解除キー書き込み（ハーフワードまたはワードアクセス）のソフトウェアシーケンスが、レジスタへのその他の書き込みによって中断された場合、またはグローバルロック解除キーレジスタに不正なデ

ータが書かれた場合、対応するテストモードは設定できず、シーケンスを初めからやり直さなければなりません。

2つのロック解除キーを書き込んだ後、続けて対応するテストモード許可ビットをセットする書き込みを行う必要があります。これが守られない場合、ロック解除機構はリセットされ、テストモード許可ビットはセットできず、ロック解除シーケンスを初めからやり直さなければなりません。

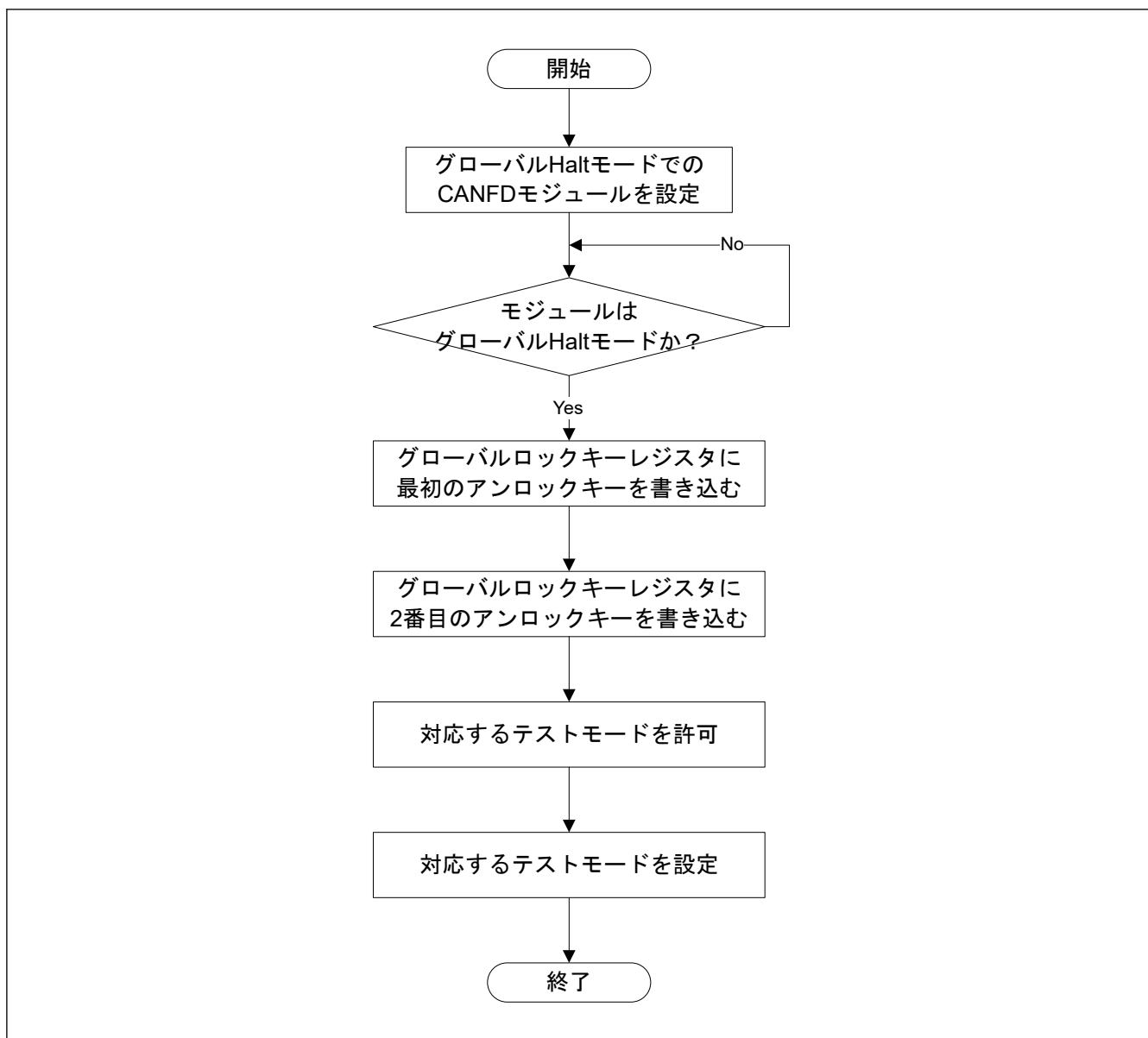


図 29.51 ソフトウェア保護のロック解除ルーチン

29.9.2.1 RAM テストモード

対応するロックキーを先に書き込んでから、グローバルテストコントロールレジスタの CFDGTSTCTR.RTME ビットをセットすることにより、CANFD モジュールを RAM テストモードに設定できます。このモードは特別なテストモードであり、RAM 領域全体にアクセスできます。

注. 実際の RAM は、ハードウェアリセット後に初期化される RAM 領域よりも大きいサイズを持っています。そのため、CANFD モジュールを RAM テストモードにしたとき、CPU がこの初期化されていない RAM 領域からデータを読み出すことで、(ECC マクロの) ECC エラーフラグがセットされることがあります。

このモードでは、RAM 領域は各 256 バイトの複数のページ (pn) に分割されます。これには、CFDRPGACCK レジスタでアクセスできます。

グローバルテストコントロールレジスタの `CFDGTSTCFG.RTMPS[3:0]` ビットに書き込み、ページのリードアクセス/ライトアクセスを選択します。すると、RAM テストページアクセスレジスタのデータの読み出しまたは書き込みが可能になります。

図 29.52 に、RAM テストモード実行時の RAM 内のページ構造を示します。

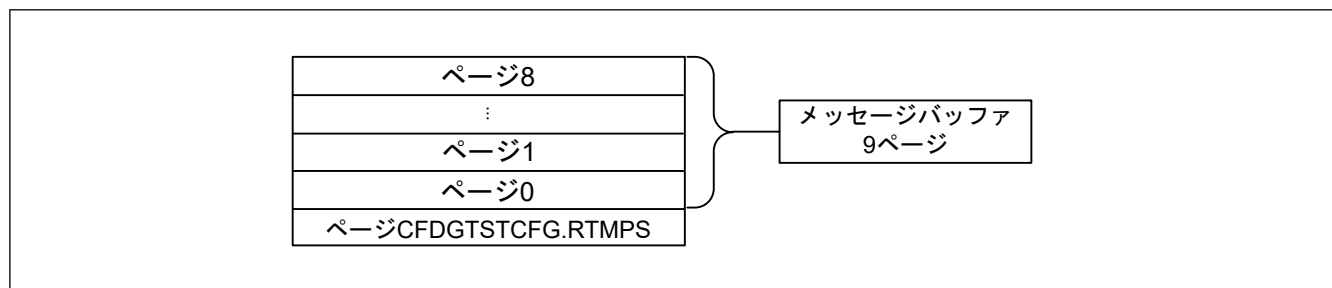


図 29.52 RAM のページ構造

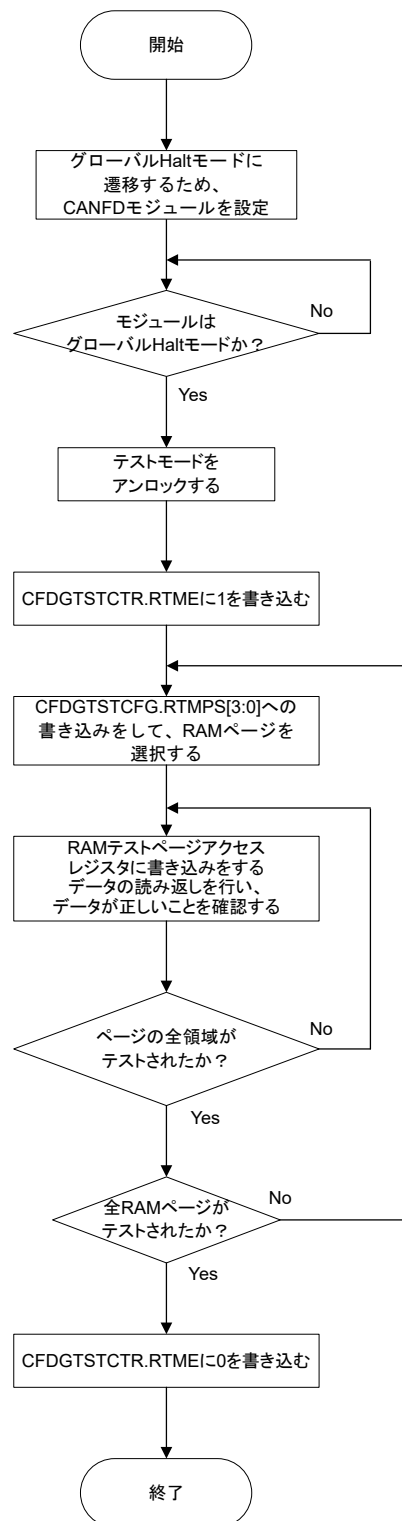
メッセージバッファ RAM のうちで利用可能な領域の合計サイズは 2072 バイトです。

メッセージバッファ RAM の `pn` と `CFDGTSTCFG.RTMPS[3:0]` の値は、次のように計算されます。

$pn = \text{ceil}(\text{総 RAM サイズ[バイト]} / \text{ページ当たりバイト数})$

- MB RAM :
 $pn = \text{ceil}(2072 / 256) = 9 \text{ ページ}$
`CFDGTSTCFG.RTMPS[3:0] = 0~8` (0 と 8 を含む)

図 29.53 に、RAM テストモードのソフトウェアフローを示します。



注 1. RAM テストモードに変更する前に、以下のステータスに変更してください。

- 送信要求をキャンセルする
- すべての FIFO および TX キューを無効化する
- 受信バッファの受信フラグをクリアする

図 29.53 RAM テストモードのソフトウェアフロー

このテストモードを解除するには、CFDGTSTCTR.RTME ビットをクリアしなければなりません。CFDGTSTCTR.RTME ビットは、0 を書き込むことによりクリアされます。

CANFD モジュールがテストモードからグローバルリセットモードに遷移すると、CFDGTSTCTR.RTME ビットは自動的にクリアされます。

29.9.2.2 ビットフリップテスト

ビットフリップテストは、受信するビットストリームの最初のビット (ID の 1 番目のビット) を反転できます。この機能を送信ノードで使用すると、ビットエラーまたはアービトレーションロストが発生します。

この機能を受信ノードで使用すると、CRC エラーまたはスタッフエラーが発生します。

本機能を使用する場合、(反転のため) CRC エラーではなくスタッフエラーを受信する可能性があるため、ビットスタッフィングルールを参照する必要があります。

CRC エラーテストを実施するには、以下のシーケンスを使う必要があります。以下のシーケンスで、CANFD モジュールが受信側です。

1. 送信ノードから受信するビットストリームの 1 番目のビットを反転するために、CFDC0CTR.BFT ビットを 1 に設定します。
2. CANn_CHERR (n = 0) 出力信号が 1 になるのを待機します。
3. CFDC0ERFL.CRCREG ビットまたは CFDC0FDCRC.CRCREG ビットのいずれか (受信したフレームのタイプが従来型か FD かによる) を読み出します。値は、送信側ノードから受信した基準メッセージの CRC 値とは異なっていなければなりません。
4. CFDC0ERFL.CERR ビットが 1 であることを確認します。

CRC 生成ロジックは RX と TX で共有されているため、TX CRC エラーテストを別に作成する必要はありません。

29.10 使用上の注意事項

29.10.1 モジュールストップ機能

モジュールストップコントロールレジスタ C (MSTPCRC) により、CANFD の動作を無効または有効に設定することが可能です。リセット後の初期状態では、CANFD モジュールの動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[10. 低消費電力モード](#)」を参照してください。

30. CANFD ECC (CNECC)

30.1 概要

MBRAM は、2 ビット ECC エラー検出および 1 ビット ECC エラー検出および訂正の ECC 機能を持っています。
(注1)ECC モジュールは、32 ビット RAM データに 7 ビット ECC データを付加します。

注 1. ECC モジュールは 3 ビット以上のエラー検出はできません。なお、その場合 ECC モジュールは 1 ビットまたは 2 ビットエラーを検出できますが、設定により、エラーを検出しないか、または間違っているビットを間違ったデータに訂正します。すべての RAM データが 0 または 1 に固定されている場合、2 ビット ECC エラーとして検出されます。

30.2 レジスタの説明

30.2.1 EC710CTL : ECC コントロールレジスタ

Base address: ECCMB = 0x4012_F000

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECDE DF0	ECSE DF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	EMCA[1:0]	—	—	ECOV FF	ECER 2C	ECER 1C	—	—	ECER VF	EC1E CP	EC2E DIC	EC1E DIC	ECER 2F	ECER 1F	ECER F	ECER F
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	機能	R/W
0	ECERMF	ECC エラーメッセージフラグ 0: 現在の RAM 出力データにビットエラーはない 1: 現在の RAM 出力データにビットエラーがある	R
1	ECER1F	1 ビット ECC エラー検出／訂正フラグ 0: このビットをクリアしてから 1 ビットエラーの検出と訂正は発生していない 1: 1 ビットエラーの検出と訂正が発生した	R
2	ECER2F	2 ビット ECC エラー検出フラグ 0: このビットをクリアしてから 2 ビットエラーは検出されていない 1: 2 ビットエラーが検出された	R
3	EC1EDIC	1 ビット ECC エラー検出割り込み制御 0: 1 ビットエラー検出割り込み要求禁止 1: 1 ビットエラー検出割り込み要求許可	R/W
4	EC2EDIC	2 ビット ECC エラー検出割り込み制御 0: 2 ビットエラー検出割り込み要求禁止 1: 2 ビットエラー検出割り込み要求許可	R/W
5	EC1ECP	1 ビット ECC エラー訂正許可 0: 1 ビットエラー検出時の訂正を許可する 1: 1 ビットエラー検出時の訂正を禁止する	R/W
6	ECERVF	ECC エラー検出許可 0: エラー検出を禁止する 1: エラー検出を許可する	R/W
8:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	ECER1C	蓄積 ECC エラー検出および訂正フラグクリア 0: フラグをクリアしない 1: 蓄積 ECC エラー検出および訂正フラグをクリア	R/W
10	ECER2C	2 ビット ECC エラー検出フラグクリア 0: フラグをクリアしない 1: 2 ビット ECC エラー検出フラグをクリア	R/W

ビット	シンボル	機能	R/W
11	ECOVFF	ECC オーバーフロー検出フラグ 0: フラグをクリアしない 1: フラグをクリアする	R
13:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:14	EMCA[1:0]	ECC エラー検出許可ビットアクセス制御 01: ECC エラー検出許可ビット (ECERVF) への書き込みを許可する その他: ECERVF ビットへの書き込みを禁止する	R/W
16	ECSEDF0	1 ビット ECC エラーアドレス検出フラグ 0: リセットまたは ECER1F ビットのクリア後に 1 ビットエラーは発生していない 1: 1 ビットエラーが発生しアドレスがキャプチャされた	R
17	ECDEDF0	2 ビット ECC エラーアドレス検出フラグ 0: リセットまたは ECER2F ビットのクリア後に 2 ビットエラーは発生していない 1: 2 ビットエラーが発生しアドレスがキャプチャされた	R
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ECEMF ビット (ECC エラーメッセージフラグ)

ECEMF ビットは現在の読み出しデータバスにエラーがあることを示します。このビットは、RAM 出力データごとに更新されます。

RAM 出力データが不定で ECERVF ビットが 1 の場合、本ビットの値は不定です。

[1 になる条件]

エラー検出が有効で、現在の RAM 出力データにビットエラーがある

[0 になる条件]

- デコーダへの入力データに 1 ビットエラーがない
- ECC エラー検出が無効なとき (ECERVF = 0)

ECER1F ビット (1 ビット ECC エラー検出／訂正フラグ)

ECER1F ビットは、エラー検出が有効時、RAM 読み出しで RAM 読み出しデータ[38:0]の一つの部分にビットエラーが検出されたことを示します。

1 ビットエラー割り込み出力が有効時、本フラグの設定でエラー割り込みが発生します。

このビットは読み出し専用なので、1 や 0 を書いても影響を受けません。

このビットをクリアするには、ECER1C ビットに 1 を書き込む必要があります。

本ビットがセットされているときは 1 ビットエラーが再度検出されても、割り込みは発生しません。

[1 になる条件]

- エラー検出が有効で、RAM 出力データに 1 ビットエラーがあるとき (ECER1C = 1 を書き込まない場合)

[0 になる条件]

- ECER1C = 1 書き込み時
- ECC エラー検出が無効なとき (ECERVF = 0)

ECER2F ビット (2 ビット ECC エラー検出フラグ)

ECER2F ビットは、エラー検出が有効時、RAM 読み出しで RAM 読み出しデータ[38:0]の二つの部分にビットエラーが検出されたことを示します。

2 ビットエラー割り込み出力が有効時、本フラグの設定でエラー割り込みが発生します。

本ビットは読み出し専用なので、1 や 0 を書いても影響を受けません。

このビットをクリアするには、ECER2C ビットに 1 を書き込む必要があります。

本ビットがセットされているときは 2 ビットエラーが再度検出されても、割り込みは発生しません。

[1 になる条件]

- エラー検出が有効で、RAM 出力データに 2 ビットエラーがあるとき (ECER2C = 1 を書き込まない場合)

[0 になる条件]

- ECER2C = 1 書き込み時
- ECC エラー検出が無効なとき (ECERVF = 0)

EC1EDIC ビット (1 ビット ECC エラー検出割り込み制御)

EC1EDIC ビットは、1 ビットエラー検出時の割り込み出力を制御します。本ビットを 1 に設定すると、1 ビットエラー検出時、1 ビットエラー割り込みが出力されます。

EC2EDIC ビット (2 ビット ECC エラー検出割り込み制御)

EC2EDIC ビットは、2 ビットエラー検出時の割り込み出力を制御します。このビットを 1 に設定すると、2 ビットエラー検出時、2 ビットエラー割り込みが出力されます。

EC1ECP ビット (1 ビット ECC エラー訂正許可)

EC1ECP ビットは、ECC エラー検出および訂正が有効時、1 ビットエラーの訂正を許可するかどうかを設定します。このビットを 1 に設定すると、1 ビットエラー検出時、訂正されていないデータが出力されます。

ECERVF ビット (ECC エラー検出許可)

ECERVF ビットを 1 にすることで、エラー検出を有効にします。出力データの訂正および割り込み出力は、EC1ECP ビット、EC2EDIC ビットおよび EC1EDIC ビットの設定に依存します。

EMCA[1:0]の書き込み値が 01b の場合、このビットへの書き込みは有効です。したがって、このビットへの書き込みは、16 ビットまたは 32 ビット動作コマンドのみ有効です。

ECER1C ビット (蓄積 ECC エラー検出および訂正フラグクリア)

ECER1C ビットは、ECER1F ビットのステータスフラグをクリアします。

読むと常に 0 が読めます。0 を書き込んでも内部状態に変化はありません。本ビットへの 1 書き込みと ECER1F ビットが競合した場合、前者が優先されます。

ECER1F ビットは、ECER1F ビットが設定されているときに、本ビットに 1 を書き込むことでクリアされます。さらに、オーバーフロー検出フラグ (ECOVFF)、ECC デュアルビットエラーフラグ (ECDEDF0) および ECC シングルビットエラーフラグ (ECSEDF0) もクリアされます。

ECER2C ビット (2 ビット ECC エラー検出フラグクリア)

ECER2C ビットは、ECER2F ビットのステータスフラグをクリアします。

読むと常に 0 が読めます。0 を書き込んでも内部状態に変化はありません。本ビットへの 1 書き込みと ECER2F ビットが競合した場合、前者が優先されます。

ECER2F ビットは、ECER2F ビットが設定されているときに、本ビットに 1 を書き込むことでクリアされます。さらに、オーバーフロー検出フラグ (ECOVFF)、ECC デュアルビットエラーフラグ (ECDEDF0) および ECC シングルビットエラーフラグ (ECSEDF0) もクリアされます。

ECOVFF ビット (ECC オーバーフロー検出フラグ)

エラーアドレスがすでに EC710EAD0 レジスタ内にキャプチャされている場合に新しいエラーアドレスが検出されると、ECOVFF ビットが 1 になり、オーバーフロー割り込みが出力されます。このビットがセットされ、新しいエラーが検出されると、オーバーフロー割り込みが再び出力されます。

本ビットは読み出し専用なので、1 や 0 を書いても影響を受けません。

本ビットをクリアするには、ECER2C ビットおよび ECER1C ビットに 1 を書き込む必要があります。

[1 になる条件]

- エラーアドレスがすでに EC710EAD0 レジスタ内にキャプチャされているときに新しいエラーアドレスがキャプチャされた場合 (ECER2C = 1 または ECER1C = 1 を書き込まない場合)

[0 になる条件]

- ECER2C = 1 または ECER1C = 1 書き込み時

- ECC エラー検出が無効なとき (ECERVF = 0)

EMCA[1:0]ビット (ECC エラー検出許可ビットアクセス制御)

EMCA[1:0]ビットは、ECERVF ビットへの書き込みトリガ予約ビットです。読むと常に 0 が読めます。これらのビットの値が 01b の場合、ECERVF ビットに書き込み可能です。これらのビットの値が 01b でない場合、ECERVF ビットへの書き込みは無視され、値は書き込まれません。

ECSEDF0 ビット (1 ビット ECC エラーアドレス検出フラグ)

ECSEDF0 ビットは、エラー検出有効時、エラーがエラーアドレスレジスタにキャプチャされていることを示します。本ビットは、1 ビットエラー検出により設定されます。

2 ビットエラーアドレスがすでに EC710EAD0 レジスタ内にキャプチャされた後に 1 ビットエラーが検出されると、本ビットは更新されず、EC710EAD0 レジスタが更新されます。

このビットは読み出し専用なので、1 や 0 を書いても影響を受けません。このビットをクリアするには、ECER1C ビットに 1 を書き込む必要があります。

[1 になる条件]

- エラー検出が許可されているときに、RAM 出力データに 1 ビットエラーがあり、かつエラーアドレスが EC710EAD0 にキャプチャされている場合 (ECER1C = 1 を書き込まない場合)

[0 になる条件]

- ECER1C = 1 書き込み時
- ECC エラー検出が無効なとき (ECERVF = 0)

ECDEDF0 ビット (2 ビット ECC エラーアドレス検出フラグ)

ECDEDF0 ビットは、エラー検出有効時、エラーがエラーアドレスレジスタにキャプチャされていることを示します。本ビットは、2 ビットエラー検出により設定されます。

1 ビットエラーアドレスがすでに EC710EAD0 レジスタ内にキャプチャされた後に 2 ビットエラーが検出されると、本ビットは更新されず、EC710EAD0 レジスタが更新されます。

このビットは読み出し専用なので、1 や 0 を書いても影響を受けません。このビットをクリアするには、ECER2C ビットに 1 を書き込む必要があります。

[1 になる条件]

- エラー検出が許可されているときに、RAM 出力データに 2 ビットエラーがあり、かつエラーアドレスが EC710EAD0 にキャプチャされている場合 (ECER2C = 1 を書き込まない場合)

[0 になる条件]

- ECER2C = 1 書き込み時
- ECC エラー検出が無効なとき (ECERVF = 0)

30.2.2 EC710TMC : ECC テストモードコントロールレジスタ

Base address: ECCMB = 0x4012_F000

Offset address: 0x04

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ETMA[1:0]	—	—	—	—	—	—	—	ECTM CE	—	—	—	—	—	ECDC S	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
1	ECDCS	ECC デコーダ入力選択 0: デコーダのデータ領域に RAM 出力データの下位 32 ビットを入力する 1: デコーダのデータ領域に EC710TED レジスタの ECEDB31-0 を入力する	R/W
6:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	ECTMCE	ECC テストモードコントロール許可 0: テストモードレジスタおよびビットへのアクセスは無効 1: テストモードレジスタおよびビットへのアクセスは有効	R/W
13:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:14	ETMA[1:0]	ECC テストモードビットアクセスコントロール これらのビットは、ECTMCE ビットへの書き込みを有効または無効にします。	R/W

ECDCS ビット (ECC デコーダ入力選択)

ECDCS ビットは、デコーダへの入力信号として、RAM からの下位 32 ビットデータ値か内部テストレジスタからの値 (EC710TED 内の ECEDB[31:0]) のいずれかを選択します。

ECTMCE = 1 の場合、本ビットへの書き込みは有効です。(それらを同時に設定することも可能です。)

本ビットは、ECTMCE = 0 によりクリアされます。

ECTMCE ビット (ECC テストモードコントロール許可)

ECTMCE ビットは、テストレジスタおよびテストコントロールビットへのアクセス有効または無効を選択します。

ETMA[1:0]ビットの値が 10b の場合、本ビットへの書き込みは有効です。

ETMA[1:0]ビット (ECC テストモードビットアクセスコントロール)

ETMA[1:0]ビットは、ECTMCE ビットへの書き込みトリガ予約ビットです。読むと常に 0 が読めます。これらのビットの値が 10b の場合、ECTMCE ビットに書き込み可能です。これらのビットの値が 10b でない場合、ECTMCE ビットへの書き込みは無視され、値は書き込まれません。

30.2.3 EC710TED : ECC テスト置換データレジスタ

Base address: ECCMB = 0x4012_F000

Offset address: 0x0C

Bit position: 31

0

Bit field:

ECEDB[31:0]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	ECEDB[31:0]	ECC テスト置換データ ECC テストモードでの置換データ	R/W

本レジスタは、ECC デコーダ用の 32 ビットデータ用のレジスタです。ECTMCE = 1 状態での 32 ビット動作コマンドにより読み書きが可能です。ECTMCE = 0 の場合は、すべてのビットが常に 0 です。

ECEDB[31:0]ビット (ECC テスト置換データ)

EC710TMC レジスタの ECDCS が 1 の場合、本レジスタの値は、デコーダへの入力データのビット[31:0]です。

30.2.4 EC710EAD0 : ECC エラーアドレスレジスタ

Base address: ECCMB = 0x4012_F000

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	ECEAD[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	ECEAD[9:0]	ECC エラーアドレス	R
31:10	—	読むと 0 が読めます。	R

本レジスタは、ECC エラーが発生したアドレスを保持する読み出し専用レジスタです。

ECEAD[9:0]ビット (ECC エラーアドレス)

ECC エラーが検出されると、検出信号をトリガとして RAM アドレスがキャプチャされ、エラー発生アドレスとして保持されます。同じ要因で保持されているアドレスに再びエラーが発生するとエラーアドレスはキャプチャされません。

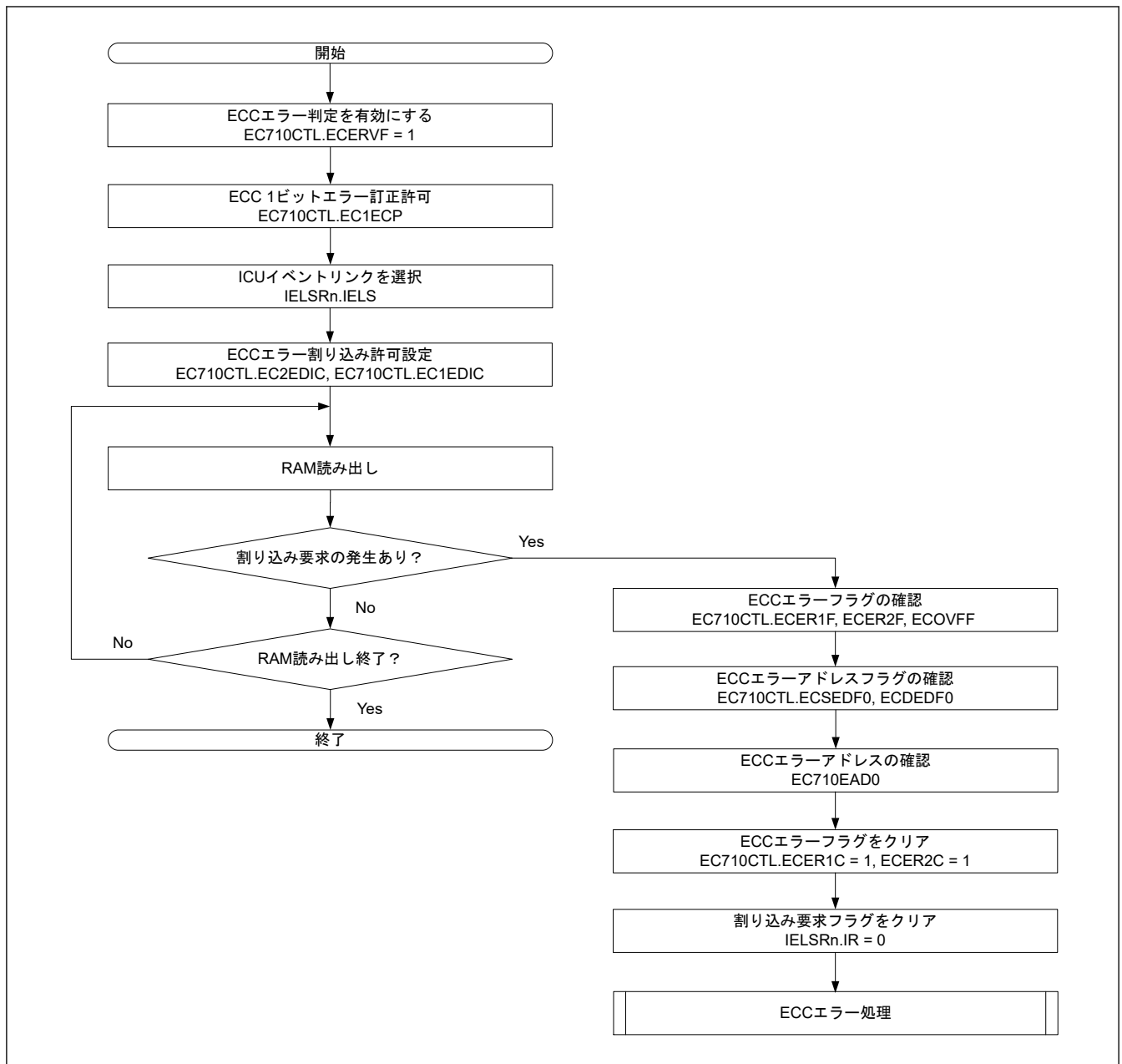
1 ビットエラーアドレスがすでにキャプチャされているときに 2 ビットエラーが発生すると、2 ビットエラーアドレスは上書きされ、ECDEDF0 ビットは 1 になります。

2 ビットエラーアドレスがすでにキャプチャされているときに 1 ビットエラーが発生した場合は、1 ビットエラーアドレスは上書きされず、ECSEDF0 ビットも 1 になりません。

30.3 動作説明

30.3.1 ECC 機能設定

図 30.1 に、ECC 機能設定の手順を示します。



30.3.2 ECC デコーダのテスト方法

ECC 割り込みは、ECC テストモードにより意図的に発生させることができます。図 30.2 に、ECC デコーダのテスト手順を示します。

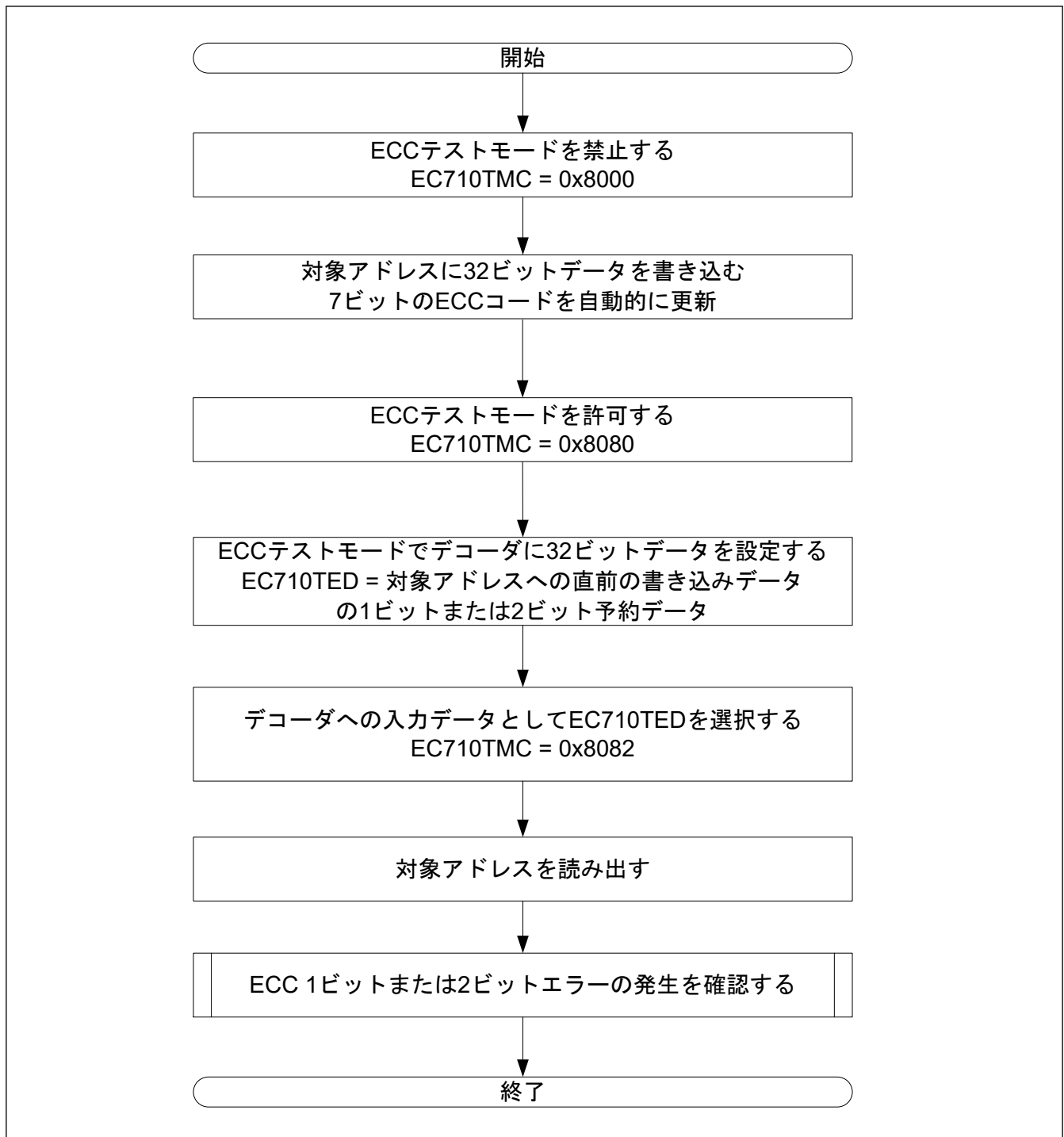


図 30.2 ECC デコーダのテスト手順

30.4 割り込み

ECC モジュールは次の 1 種類の割り込み要求を出します。

- CANn_MRAM_ERI (n = 0)

割り込み要求の割り込み要因には下記があります。

- 1 ビット ECC エラー
- 2 ビット ECC エラー
- ECC エラーオーバーフロー

31. シリアルペリフェラルインタフェース (SPI)

31.1 概要

シリアルペリフェラルインタフェース (SPI) には 3 つのチャネルがあります。SPI によって、複数のプロセッサおよび周辺デバイスとの高速な全二重同期式シリアル通信が可能です。表 31.1 に SPI の仕様、図 31.1 にブロック図、表 31.2 に入出力端子を示します。

表 31.1 SPI の仕様 (1/2)

項目	内容
チャネル数	3 つのチャネル
SPI 転送機能	• MOSI (Master Out/Slave In)、MISO (Master In/Slave Out)、SSL (Slave Select)、RSPCK (SPI Clock) の各信号を使用して、SPI 動作 (4 線式) またはクロック同期式動作 (3 線式) によるシリアル通信が可能 • 送信のみの動作が可能 • 受信のみの動作が可能 (スレーブモードのみ) • 通信モードは全二重式または送信のみを選択可能 • RSPCK 極性切り替え • RSPCK 位相切り替え
データフォーマット	• MSB ファーストまたは LSB ファーストを選択可能 • 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 • 128 ビットの送信および受信バッファ • 1 度の送受信で最大 4 フレームを転送可能 (1 フレームは最大 32 ビット) • バイトスワップ動作機能 • 送信データと受信データは反転可能
ビットレート	• マスタモード時、内蔵ボーレートジェネレータで PCLKA を分周して RSPCK を生成 (分周比は 2~4096 分周) • スレーブモード時は、PCLKA の最小 4 分周のクロックを、RSPCK として入力可能 (RSPCK の最高周波数は PCLKA の 4 分周) High レベルの幅 : PCLKA の 2 サイクル、Low 幅 : PCLKA の 2 サイクル
バッファ構成	• 送信および受信バッファはそれぞれダブルバッファ構造 • 送信バッファと受信バッファは 128 ビット
エラー検出	• モードフォルトエラー検出 • アンダーランエラー検出 • オーバーランエラー検出^(注1) • パリティエラー検出
SSL 制御機能	• 1 チャネルあたり 4 本の SSL 端子 (SSLn: SSLn0~SSLn3) (n = A) • シングルマスタモード時、SSLn0~SSLn3 端子は出力 • マルチマスタモード時、SSLn0 端子は入力、SSLn1~SSLn3 端子は出力または未使用 • スレーブモード時、SSLn0 端子は入力、SSLn1~SSLn3 端子は未使用 • SSL 出力のアサートから RSPCK 動作までの遅延 (RSPCK 遅延) を制御可能 設定範囲 : 1~8 RSPCK 周期 (設定単位 : 1 RSPCK 周期) • RSPCK 停止から SSL 出力のネゲートまでの遅延 (SSL ネゲート遅延) を制御可能 設定範囲 : 1~8 RSPCK 周期 (設定単位 : 1 RSPCK 周期) • 次アクセスの SSL 出力アサートのウェイト (次アクセス遅延) を制御可能 設定範囲 : 1~8 RSPCK 周期 (設定単位 : 1 RSPCK 周期) • SSL 極性変更機能 • バースト転送時のフレーム間遅延を設定可能
マスタ転送時の制御方式	• 最大 8 コマンドで構成された転送を連続してループ実行可能 • 各コマンドに以下の項目を設定可能 : SSL 信号値、ビットレート、RSPCK 極性と位相、転送データ長、MSB/LSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、および次アクセス遅延 • 送信バッファへの書き込みによる転送起動 • SSL ネゲート時の MOSI 信号値を設定可能 • RSPCK 自動停止機能
割り込み要因	割り込み要因 : • 受信バッファフル割り込み • 送信バッファエンプティ割り込み • SPI エラー割り込み (モードフォルトエラー、オーバーランエラー、パリティエラー) • SPI アイドル割り込み (SPI アイドル) • 送信完了割り込み

表 31.1 SPI の仕様 (2/2)

項目	内容
イベントリンク機能	以下のイベントをイベントリンクコントローラ (ELC) へ出力可能： ● 受信バッファフル信号 ● 送信バッファエンプティ信号 ● モードフォルト／アンダーラン／オーバーラン／パリティエラー信号 ● SPI アイドル信号 ● 通信終了信号
その他	● CMOS 出力／オープンドレイン出力の切り替え ● SPI 初期化機能 ● ループバックモード
モジュールストップ機能	消費電力低減のためにモジュールストップ状態を設定可能
TrustZone フィルタ	セキュリティ属性を設定可能

注 1. マスタ受信時に RSPCK 自動停止機能が有効な場合は、オーバーランエラーが検出されると転送クロックが停止するため、オーバーランエラーは発生しません。

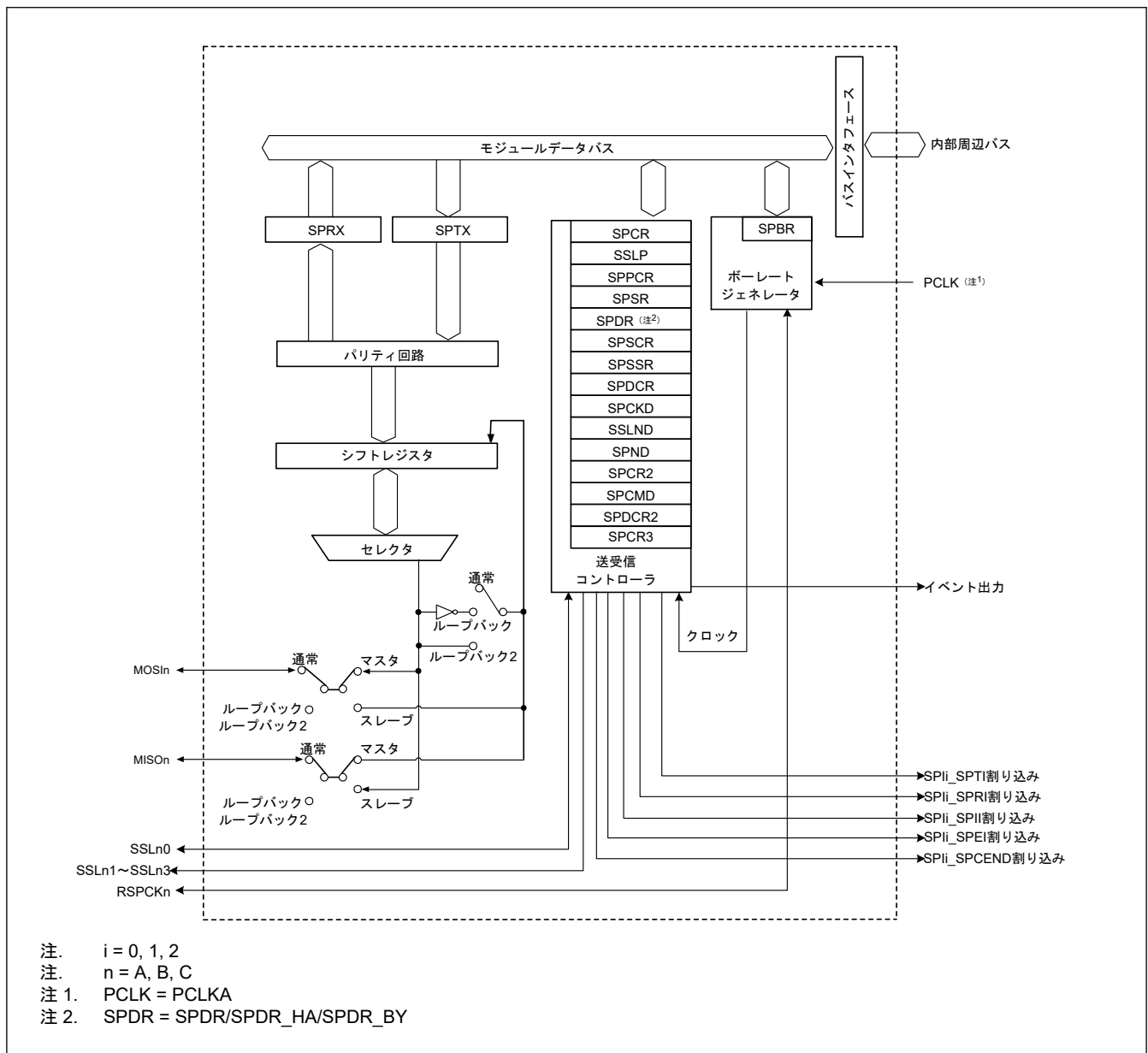


図 31.1 SPI のブロック図

SSLn0 端子の入出力方向は、SPI が自動的に切り替えます。SSLn0 端子は、SPI がシングルマスタの場合は出力状態、マルチマスタまたはスレーブの場合は入力状態になります。RSPCKn、MOSIn、および MISOn 端子の入出力方向は、マスタ/スレーブ設定と SSLn0 端子の入力レベルに応じて、SPI が自動的に切り替えます。詳細は「31.3.2. SPI 端子の制御」を参照してください。

表 31.2 SPI の端子構成

チャネル	端子名	入出力	内容
SPI0	RSPCKA	入出力	クロック入出力端子
	SSLA0	入出力	スレーブ選択入出力
	SSLA1~SSLA3	出力	スレーブ選択出力
	MOSIA	入出力	マスタ送信データ入出力
	MISOA	入出力	スレーブ送信データ入出力
SPI1	RSPCKB	入出力	クロック入出力端子
	SSLB0	入出力	スレーブ選択入出力
	SSLB1~SSLB3	出力	スレーブ選択出力
	MOSIB	入出力	マスタ送信データ入出力
	MISOB	入出力	スレーブ送信データ入出力
SPI2	RSPCKC	入出力	クロック入出力端子
	SSLC0	入出力	スレーブ選択入出力
	SSLC1~SSLC3	出力	スレーブ選択出力
	MOSIC	入出力	マスタ送信データ入出力
	MISOC	入出力	スレーブ送信データ入出力

31.2 レジスタの説明

31.2.1 SPCR : SPI コントロールレジスタ

Base address: SPI_n = 0x4011_A000 + 0x0100 × n (n = 0~2)

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	SPMS	SPI モード選択 0: SPI 動作 (4 線式) を選択 1: クロック同期式動作 (3 線式) を選択	R/W
1	TXMD	通信動作モード選択 0: 全二重同期式シリアル通信を選択 1: 送信のみのシリアル通信を選択	R/W
2	MODFEN	モードフォルトエラー検出許可 0: モードフォルトエラー検出を禁止 1: モードフォルトエラー検出を許可	R/W
3	MSTR	SPI マスタ/スレーブモード選択 0: スレーブモードを選択 1: マスタモードを選択	R/W
4	SPEIE	SPI エラー割り込み許可 0: SPI エラー割り込み要求を禁止 1: SPI エラー割り込み要求を許可	R/W

ビット	シンボル	機能	R/W
5	SPTIE	送信バッファエンプティ割り込み許可 0: 送信バッファエンプティ割り込み要求を禁止 1: 送信バッファエンプティ割り込み要求を許可	R/W
6	SPE	SPI 機能有効 0: SPI 機能を無効 1: SPI 機能を有効	R/W
7	SPRIE	SPI 受信バッファフル割り込み許可 0: SPI 受信バッファフル割り込み要求を禁止 1: SPI 受信バッファフル割り込み要求を許可	R/W

SPMS ビット (SPI モード選択)

SPMS ビットは SPI 動作 (4 線式) またはクロック同期式動作 (3 線式) を選択します。

クロック同期式動作では SSLn0～SSLn3 端子は使用しません。RSPCKn 端子、MOSIn 端子、および MISO_n 端子を用いて通信を行います。マスタモード (MSTR=1) のクロック同期式動作では、SPCMDm.CPHA ビットを 0 または 1 に設定できます。スレーブモード (MSTR=0) のクロック同期式動作では、常に CPHA ビットを 1 にしてください。スレーブモード (MSTR=0) のクロック同期式動作では、CPHA ビットが 0 である場合、動作を行わないでください。

TXMD ビット (通信動作モード選択)

TXMD ビットは全二重同期式のシリアル通信または送信のみのシリアル通信を選択します。TXMD ビットを 1 にして通信を行う場合、SPI は送信のみを行い、受信動作を行いません (「31.3.6. データ転送モード」を参照)。また、TXMD ビットを 1 にした場合、受信バッファフルの割り込み要求を使用することはできません。

受信専用スレーブモードでは、TXMD の設定は無効です。

MODFEN ビット (モードフォルトエラー検出許可)

MODFEN ビットはモードフォルトエラーの検出を許可または禁止します (「31.3.10. エラー検出」を参照)。また、SPI は MODFEN ビットと MSTR ビットとの組み合わせに基づいて、SSLn_i 端子の入出力方向を決定します (「31.3.2. SPI 端子の制御」を参照)。

MSTR ビット (SPI マスタ/スレーブモード選択)

MSTR ビットは SPI に対してマスタモードまたはスレーブモードを選択します。SPI は MSTR ビットの設定に従って、RSPCKn、MOSIn、MISO_n、および SSLn_i 端子の方向を決定します。

SPEIE ビット (SPI エラー割り込み許可)

SPEIE ビットは、以下の場合に、SPI エラー割り込み要求の発生を許可または禁止します。

- SPI がモードフォルトエラーまたはアンダーランエラーを検出し、SPSR.MODF フラグを 1 にした場合
- SPI がオーバーランエラーを検出し、SPSR.OVRF フラグを 1 にした場合
- SPI がパリティエラーを検出し、SPSR.PERF フラグを 1 にした場合

詳細は「31.3.10. エラー検出」を参照してください。

SPTIE ビット (送信バッファエンプティ割り込み許可)

SPTIE ビットは SPI が送信バッファエンプティを検出したときの、送信バッファエンプティ割り込み要求の発生を許可または禁止します。送信開始時の送信バッファエンプティ割り込み要求は、SPE ビットと SPTIE ビットを同時に 1 にするか、または SPTIE ビットを 1 にした後、SPE ビットを 1 にすることで発生します。

SPI 機能を無効 (SPE ビットを 0 に変更) にしても、SPTIE ビットが 1 であると、割り込みが発生します。

SPE ビット (SPI 機能有効)

SPE ビットは SPI 機能を有効または無効にします。SPSR.MODF フラグが 1 の場合、SPE ビットを 1 にすることはできません。詳細は、「31.3.10. エラー検出」を参照してください。

SPE ビットを 0 にすると、SPI 機能が無効になり、このモジュール機能の一部が初期化されます。詳細は、「31.3.11. SPI の初期化」を参照してください。また、SPE ビットを 0 から 1 へまたは 1 から 0 へ切り替えると、送信バッファエンプティ割り込み要求が発生します。

SPRIE ビット (SPI 受信バッファフル割り込み許可)

SPRIE ビットは SPI がシリアル転送完了後の受信バッファフルを検出したときの、SPI 受信バッファフル割り込み要求の発生を許可または禁止します。

31.2.2 SSLP : SPI スレーブ選択極性レジスタ

Base address: $\text{SPIn} = 0x4011\_A000 + 0x0100 \times n$ ($n = 0 \sim 2$)

Offset address: 0x01

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SSL0P	SSLn0 端子の信号極性設定 0: SSLn0 端子の信号はアクティブ Low 1: SSLn0 端子の信号はアクティブ High	R/W
1	SSL1P	SSLn1 端子の信号極性設定 0: SSLn1 端子の信号はアクティブ Low 1: SSLn1 端子の信号はアクティブ High	R/W
2	SSL2P	SSLn2 信号極性設定 0: SSLn2 端子の信号はアクティブ Low 1: SSLn2 端子の信号はアクティブ High	R/W
3	SSL3P	SSLn3 信号極性設定 0: SSLn3 端子の信号はアクティブ Low 1: SSLn3 端子の信号はアクティブ High	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

31.2.3 SPPCR : SPI 端子コントロールレジスタ

Base address: $\text{SPIn} = 0x4011\_A000 + 0x0100 \times n$ ($n = 0 \sim 2$)

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SPLP	SPI ループバック 0: 通常モード 1: ループバックモード (受信データ = 送信データの反転)	R/W
1	SPLP2	SPI ループバック 2 0: 通常モード 1: ループバックモード (受信データ = 送信データ)	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	MOIFV	MOSI アイドル固定値 0: MOSI アイドル時の MOSIn 端子の出力レベルを Low に設定 1: MOSI アイドル時の MOSIn 端子の出力レベルを High に設定	R/W
5	MOIFE	MOSI アイドル値固定許可 0: MOSI 出力値は前回転送の最終データに設定 1: MOSI 出力値は MOIFV ビットの設定値に設定	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPLP ビット (SPI ループバック)

SPLP ビットは SPI の端子モードを選択します。SPLP ビットが 1 の場合、SPCR.MSTR ビットが 1 であれば、SPI は MISO_n 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSI_n 端子とシフトレジスタ間の経路を遮断します。その後、SPI はシフトレジスタの入力経路の値を反転し、出力経路に接続します (ループバックモード)。詳細は、「[31.3.14. ループバックモード](#)」を参照してください。

SPLP2 ビット (SPI ループバック 2)

SPLP2 ビットは SPI の端子モードを選択します。SPLP2 ビットが 1 の場合、SPCR.MSTR ビットが 1 であれば、SPI は MISO_n 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSI_n 端子とシフトレジスタ間の経路を遮断します。その後、SPI はシフトレジスタの入力経路の値を反転せず出力経路に接続します (ループバックモード)。詳細は、「[31.3.14. ループバックモード](#)」を参照してください。

MOIFV ビット (MOSI アイドル固定値)

マスタモードで MOIFE ビットが 1 の場合、MOIFV ビットは SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) における MOSI_n 端子の出力値を決定します。

MOIFE ビット (MOSI アイドル値固定許可)

MOIFE ビットは、SPI がマスタモードで SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) である場合、MOSI_n 端子の出力値を固定します。MOIFE ビットが 0 の場合、SPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSI_n 端子に出力します。MOIFE ビットが 1 の場合、SPI は MOIFV ビットに設定された固定値を MOSI_n 端子に出力します。

31.2.4 SPSR : SPI ステータスレジスタ

Base address: SPI_n = 0x4011_A000 + 0x0100 × n (n = 0~2)

Offset address: 0x03

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SPRF	CEND F	SPTE F	UDRF	PERF	MODF	IDLNF	OVRF
Value after reset:	0	0	1	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OVRF	オーバーランエラーフラグ 0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/W(注1)
1	IDLNF	SPI アイドルフラグ 0: SPI がアイドル状態 1: SPI が転送状態	R
2	MODF	モードフォルトエラーフラグ 0: モードフォルトエラーおよびアンダーランエラーの発生なし 1: モードフォルトエラーおよびアンダーランエラーの発生あり	R/W(注1)
3	PERF	パリティエラーフラグ 0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/W(注1)
4	UDRF	アンダーランエラーフラグ MODF フラグが 1 の場合、UDRF ビットは有効です。 0: モードフォルトエラー発生 (MODF = 1) 1: アンダーランエラー発生 (MODF = 1)	R/W(注1) (注2)
5	SPTEF	SPI 送信バッファエンプティフラグ 0: 送信バッファにデータあり 1: 送信バッファにデータなし	R/W(注3)
6	CENDF	通信終了フラグ 0: 通信中または通信なし 1: 通信終了	R/W(注1)

ビット	シンボル	機能	R/W
7	SPRF	SPI 受信バッファフルフラグ 0: SPDR レジスタに有効なデータなし 1: SPDR レジスタに有効なデータあり	R/W(注3)

注 1. フラグをクリアするため、1 を読んだあとに 0 を書き込むことのみ可能です。

注 2. MODF フラグをクリアすると同時に、UDRF フラグをクリアしてください。

注 3. 書く場合、1 としてください。

OVRF フラグ（オーバーランエラーフラグ）

OVRF フラグはオーバーランエラーの発生を示します。マスタモード（SPCR.MSTR ビット = 1）かつ RSPCK クロック自動停止機能有効（SPCR1.SCKASE ビット = 1）の場合、オーバーランエラーは発生せず、このフラグは 1 になりません。詳細は「[31.3.10.1. オーバーランエラー](#)」を参照してください。

[1 になる条件]

受信バッファフルの状態、次のシリアル転送が終了し、かつ以下の 1 つを満たしたとき

- SPCR.TXMD = 0（送受信マスタモード、送受信スレーブモード、または受信スレーブモード）
- SPCR.MSTR = 0 かつ SPCR3.ETXMD = 1（受信スレーブモード）

[0 になる条件]

- OVRF フラグが 1 の状態で SPSR レジスタを読んだ後、OVRF フラグに 0 を書いたとき

IDLNF フラグ（SPI アイドルフラグ）

IDLNF フラグは SPI の転送状況を示します。

[1 になる条件]

マスタモード

- このフラグの [0 になる条件] に示した、マスタモード時のいずれの条件も満たさないとき

スレーブモード

- SPCR.SPE ビットが 1（SPI 機能が有効）のとき

[0 になる条件]

マスタモード

条件 1 が満たされたとき、または他のすべての条件が満たされたとき

条件 1: SPCR.SPE ビットが 0（SPI 初期化）のとき

条件 2: 送信バッファ (SPTX) がエンプティである（次転送データがセットされていない）とき

条件 3: SPI 内部シーケンサがアイドル状態へ遷移したとき（次アクセス遅延までの動作が完了した状態）

条件 4: SPSSR.SPCP[2:0] ビットが 000b（シーケンス制御の先頭）であるとき

スレーブモード

- 条件 1 が満たされたとき

MODF フラグ（モードフォルトエラーフラグ）

MODF フラグはモードフォルトエラーまたはアンダーランエラーの発生を示します。発生したエラーの種類は UDRF フラグによって示されます。

[1 になる条件]

マルチマスタモード

- SPCR.MSTR ビットが 1（マスタモード）、SPCR.MODFEN ビットが 1（モードフォルトエラー検出を許可）の状態、SSLni 端子の入力レベルがアクティブレベルになり、モードフォルトエラーが発生したとき

スレーブモード

- 条件 1 または 2 が満たされたとき

- 条件 1: SPCR.MSTR ビットが 0 (スレーブモード)、かつ SPCR.MODFEN ビットが 1 (モードフォルトエラー検出許可) の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSLni 端子がネゲートされ、モードフォルトエラーが発生した場合
- 条件 2: SPCR.MSTR ビットが 0 (スレーブモード)、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態で、シリアル転送が開始されたため、アンダーランエラーが発生した場合

なお、SSLni 信号のアクティブレベルは、SSLP.SSLiP ビット (SSLi 信号極性設定ビット) によって決定されます。

[0 になる条件]

- 本フラグが 1 の状態で SPSR レジスタを読んだ後、本フラグに 0 を書いたとき

PERF フラグ (パリティエラーフラグ)

PERF フラグはパリティエラーの発生を示します。

[1 になる条件]

SPCR2.SPPE ビットが 1 の状態で、シリアル転送が終了し、パリティエラーが発生し、かつ以下の 1 つを満たしたとき

- SPCR.TXMD = 0 (送受信マスタモード、送受信スレーブモード、または受信スレーブモード)
- SPCR.MSTR = 0 かつ SPCR3.ETXMD = 1 (受信スレーブモード)

[0 になる条件]

- このフラグが 1 の状態で SPSR レジスタを読んだ後、このフラグに 0 を書いたとき

UDRF フラグ (アンダーランエラーフラグ)

UDRF フラグはアンダーランエラーの発生を示します。

[1 になる条件]

- SPCR.MSTR ビットが 0 (スレーブモード)、SPCR3.ETXMD ビットが 0 (送受信スレーブモードまたは送信スレーブモード)、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態で、シリアル転送が開始されたため、アンダーランエラーが発生したとき

[0 になる条件]

- このフラグが 1 の状態で SPSR レジスタを読んだ後、このフラグに 0 を書いたとき

SPTEF フラグ (SPI 送信バッファエンプティフラグ)

SPTEF フラグは SPI データレジスタ (SPDR/SPDR_HA) の送信バッファの状態を示します。

[1 になる条件]

- 以下の条件 1 または条件 2 が満たされたとき
 1. SPCR.SPE ビットが 0 (SPI 初期化) であるとき
 2. 送信データ (SPDCR.SPFC[1:0] ビットで指定されるフレームサイズ) が送信バッファからシフトレジスタへ転送されたとき

[0 になる条件]

- SPDR/SPDR_HA/SPDR_BY レジスタに書き込まれたデータが、SPI データコントロールレジスタ (SPDCR) の SPFC[1:0] ビットに設定したフレーム数に等しいとき

SPTEF フラグが 1 の場合のみ、データを SPDR/SPDR_HA/SPDR_BY に書き込むことができます。SPTEF フラグが 0 のときに SPDR/SPDR_HA の送信バッファにデータが書き込まれた場合、送信バッファのデータは更新されません。

CENDF フラグ (通信終了フラグ)

本フラグは、SPI の通信終了ステータスを示します。通信終了時に 1 となり、次の通信開始時に 0 となります。

[1 になる条件]

マスタモード

以下 3 つの条件を満たしたとき

- 送信バッファ (SPTX) が空である (次の送信データが存在しない)
- SPSSR.SPCP[2:0] ビットが 000b である (連続制御の先頭を意味する)
- SPI 内部シーケンサが、アイドル状態に遷移した (次アクセス遅延完了を意味する)

SPI シリアル通信、送受信／送信のみスレーブモード (4 線式 : SPCR.SPMS ビット = 0 のとき)

以下 3 つの条件を満たしたとき

- 送信バッファ (SPTX) が空である (次の送信データが存在しない)
- 送信シフトレジスタが空である (SPI がシリアル転送をしないことを意味する)
- SSL0 がネゲートされた

クロック同期モード、送受信／送信のみスレーブモード (3 線式 : SPCR.SPMS ビット = 1 のとき)

以下 3 つの条件を満たしたとき

- 送信バッファ (SPTX) が空である (次の送信データが存在しない)
- 送信シフトレジスタが空である (SPI がシリアル転送をしないことを意味する)
- 最終データの RSPCK の最終偶数エッジを検出した (SPCMD.CPHA ビット = 1 のとき)

SPI シリアル通信、受信のみスレーブモード (4 線式 : SPCR.SPMS ビットが 0)

以下の条件を満たしたとき

- 受信バッファに最終データが書き込まれた後、SSL0 がネゲートされた

クロック同期モード、受信のみスレーブモード (3 線式 : SPCR.SPMS ビット = 1 のとき)

以下の条件を満たしたとき

- 最終データの RSPCK の最終偶数エッジを検出した (SPCMD.CPHA ビット = 1 のとき)

[0 になる条件]

マスタモード

以下のいずれかの条件を満たしたとき

- 次の送信データが送信バッファ (SPTX) に書かれたとき
- CENDF フラグが 1 のとき SPSR レジスタ読み出し後 CENDF フラグに 0 が書き込まれたとき

送受信／送信のみスレーブモード

以下のいずれかの条件を満たしたとき

- 次の送信データが送信バッファ (SPTX) に書かれたとき
- CENDF フラグが 1 のとき SPSR レジスタ読み出し後 CENDF フラグに 0 が書き込まれたとき

SPI シリアル通信、受信のみスレーブモード (4 線式 : SPCR.SPMS ビットが 0)

以下のいずれかの条件を満たしたとき

- 次のデータの SSL0 アサートを検出した
- CENDF フラグが 1 のとき SPSR レジスタ読み出し後 CENDF フラグに 0 が書き込まれたとき

クロック同期モード、受信のみスレーブモード (3 線式 : SPCR.SPMS ビット = 1 のとき)

以下のいずれかの条件を満たしたとき

- 次のデータの RSPCK の最初のエッジを検出した
- CENDF フラグが 1 のとき SPSR レジスタ読み出し後 CENDF フラグに 0 が書き込まれたとき

SPRF フラグ (SPI 受信バッファフルフラグ)

SPRF フラグは、SPI データレジスタ (SPDR/SPDR_HA) の受信バッファの状態を示します。

[1 になる条件]

- SPRF フラグが 0 の状態で、SPDCR.SPFC[1:0]ビットで指定されるフレームサイズの受信データがシフトレジスタから SPDR レジスタへ転送されたとき。また、以下のうちいずれかを満たしたとき。ただし、OVRF フラグが 1 の場合、SPRF フラグは 0 から 1 に変更されません。
 - SPCR.TXMD = 0 (送受信マスタモード、送受信スレーブモード、または受信専用スレーブモード)
 - SPCR.MSTR = 0 かつ SPCR3.ETXMD = 1 (受信専用スレーブモード)

[0 になる条件]

- 受信データが SPDR/SPDR_HA レジスタから読み出されたとき

31.2.5 SPDR/SPDR_HA/SPDR_BY : SPI データレジスタ

Base address: SPIn = 0x4011_A000 + 0x0100 × n (n = 0~2)

Offset address: 0x04

Bit position: 31

0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	n/a	SPI データ	R/W

SPDR/SPDR_HA/SPDR_BY レジスタは、SPI 送受信のデータを格納するバッファとのインタフェースです。ワードアクセス (SPDCR.SPLW ビットが 1) の場合は、SPDR レジスタにアクセスしてください。ハーフワードアクセス (SPLW ビットが 0) の場合は、SPDR_HA レジスタにアクセスしてください。バイトアクセス (SPDCR.SPBYP ビットが 1) の場合は、SPDR_BY レジスタにアクセスしてください。

送信バッファ (SPTX) と受信バッファ (SPRX) は独立したバッファですが、SPDR レジスタにマッピングされています。図 31.2 に、SPDR レジスタの構成図を示します。

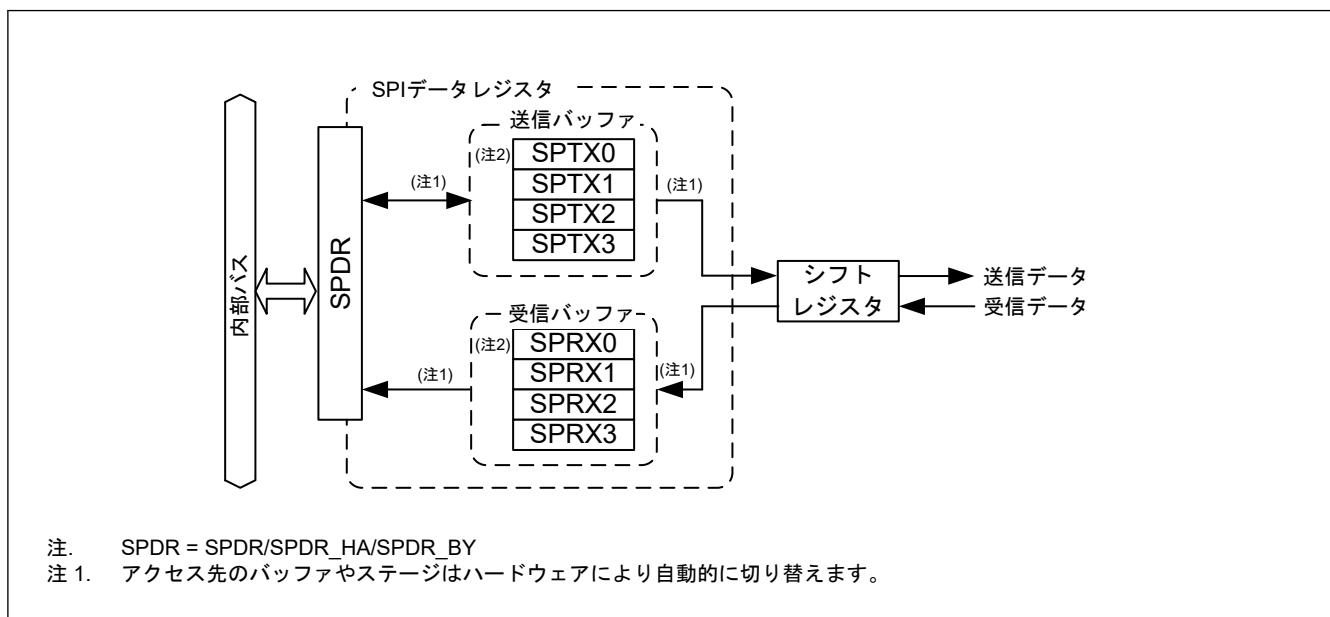


図 31.2 SPDR/SPDR_HA/SPDR_BY レジスタの構成図

送信バッファと受信バッファそれぞれに 4 個ずつのステージがあります。SPDR/SPDR_HA/SPDR_BY レジスタの 1 アドレスに、この 8 バッファステージすべてがマッピングされます。

SPDR/SPDR_HA/SPDR_BY レジスタへ書き込まれたデータは、送信バッファステージ (SPTXn) (n = 0~3) へ書き込まれた後、バッファから送信されます。受信バッファは、受信完了時に受信データを格納します。オーバーランが発生すると、受信バッファは更新されません。

また、データ長が 32 ビット以外の場合、SPRXn (n = 0~3) の関連ビットには、SPTXn (n = 0~3) の非参照ビットが格納されます。たとえば、データ長が 9 ビットのデータを受信した場合、SPRXn[8:0] ビットには受信データが格納され、SPRXn[31:9] ビットには SPTXn[31:9] ビットが格納されます。

(1) バスインタフェース

SPDR/SPDR_HA/SPDR_BY は、32 ビットの送信および受信バッファとのインタフェースであり、それぞれのバッファが 1 個のステージを持ち、合計 32 バイトになります。この 32 バイトを SPDR/SPDR_HA/SPDR_BY の 4 バイトのアドレス空間にマッピングしています。また、SPDR/SPDR_HA/SPDR_BY へのアクセスの単位は、SPI データコントロールレジスタの SPI ワードアクセス/ハーフワードアクセス設定ビット (SPDCR.SPLW) で選択されます。SPDR へのアクセスは、SPI データコントロールレジスタの SPI バイトアクセスビット (SPDCR.SPBYT) で設定したアクセスサイズでも行うことができます。

送信データは、LSB 詰めで書いてください。受信データは LSB 詰めで格納されます。

以下では、SPDR/SPDR_HA/SPDR_BY レジスタに対する書き込みおよび読み出しに関連する動作について説明します。

書き込み

SPDR/SPDR_HA/SPDR_BY に書き込んだデータは、送信バッファ (SPTXn) に書き込まれます。SPDR/SPDR_HA/SPDR_BY の読み出し時と異なり、書き込みは SPDCR.SPRDTD ビットの値に影響されません。送信バッファには送信バッファ書き込みポインタがあり、SPDR/SPDR_HA/SPDR_BY レジスタへデータを書き込むたびに、ポインタが自動更新され、次のステージを参照するようになります。

図 31.3 に SPDR/SPDR_HA/SPDR_BY レジスタへの書き込み時の送信バッファ付きバスインタフェースの構成を示します。

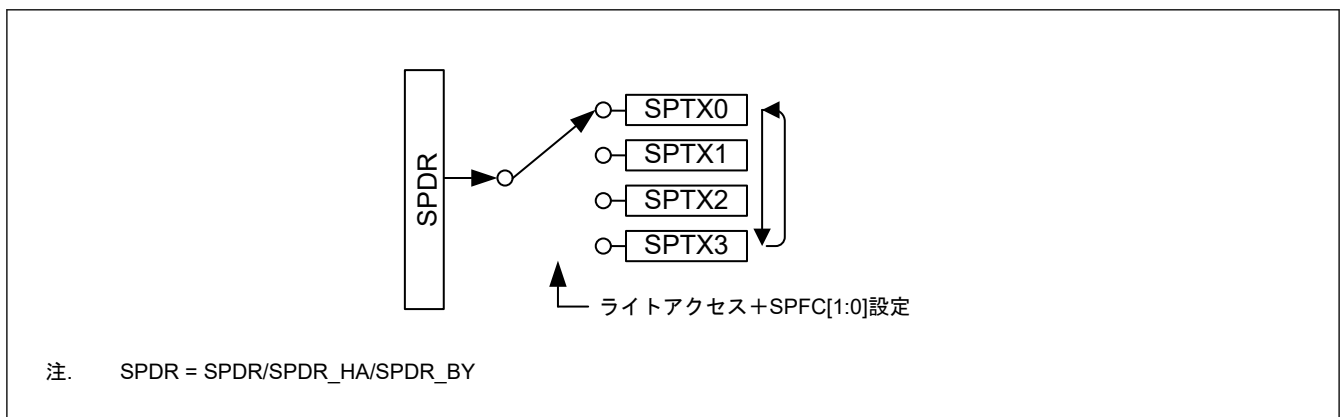


図 31.3 書き込みアクセス時の SPDR/SPDR_HA/SPDR_BY レジスタの構成図

送信バッファ書き込みポインタの切り替えシーケンスは、SPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) の設定と異なります。SPFC[1:0] の設定と SPTX0~SPTX3 のポインタ切り替えのシーケンスの関係は以下の通りです。

- SPFC[1:0] = 00b の場合 SPTX0 → SPTX0 → SPTX0 → ...
- SPFC[1:0] = 01b の場合 SPTX0 → SPTX1 → SPTX0 → SPTX1 → ...
- SPFC[1:0] = 10b の場合 SPTX0 → SPTX1 → SPTX2 → SPTX0 → SPTX1 → ...
- SPFC[1:0] = 11b の場合 SPTX0 → SPTX1 → SPTX2 → SPTX3 → SPTX0 → SPTX1 → ...

SPI コントロールレジスタの SPI 機能有効ビット (SPCR.SPE) の値が 0 の状態で、同ビットに 1 を書くと、次の書き込み先は SPTX0 になります。

送信バッファエンプティ割り込みの発生後 (SPSR.SPTEF = 1)、送信バッファ (SPTXn) へ書き込む際は、SPI データコントロールレジスタ (SPDCR) の SPFC[1:0] ビットで設定したフレーム数分を書き込んでください。送信バッ

ファ (SPTX_n) に指定したフレーム数を書き込んでも、書き込み完了後、次の送信バッファエンブティ割り込みが発生するまでの期間 (SPTEF = 0) は、バッファの値は更新されません。

読み出し

SPDR/SPDR_HA/SPDR_BY にアクセスすることによって、受信バッファ (SPRX_n) または送信バッファ (SPTX_n) の値を読み出すことができます。SPI データコントロールレジスタの SPI 受信/送信データ選択ビット (SPDCR.SPRDTD) の設定によって、受信バッファと送信バッファのどちらの内容を読み出すかが決まります。SPDR/SPDR_HA/SPDR_BY レジスタの読み出し順序は、独立した受信バッファ読み出しポインタと送信バッファ読み出しポインタによって制御されます。

図 31.4 に、SPDR/SPDR_HA/SPDR_BY レジスタからの読み出し時の受信および送信バッファのバスインタフェースの構成図を示します。

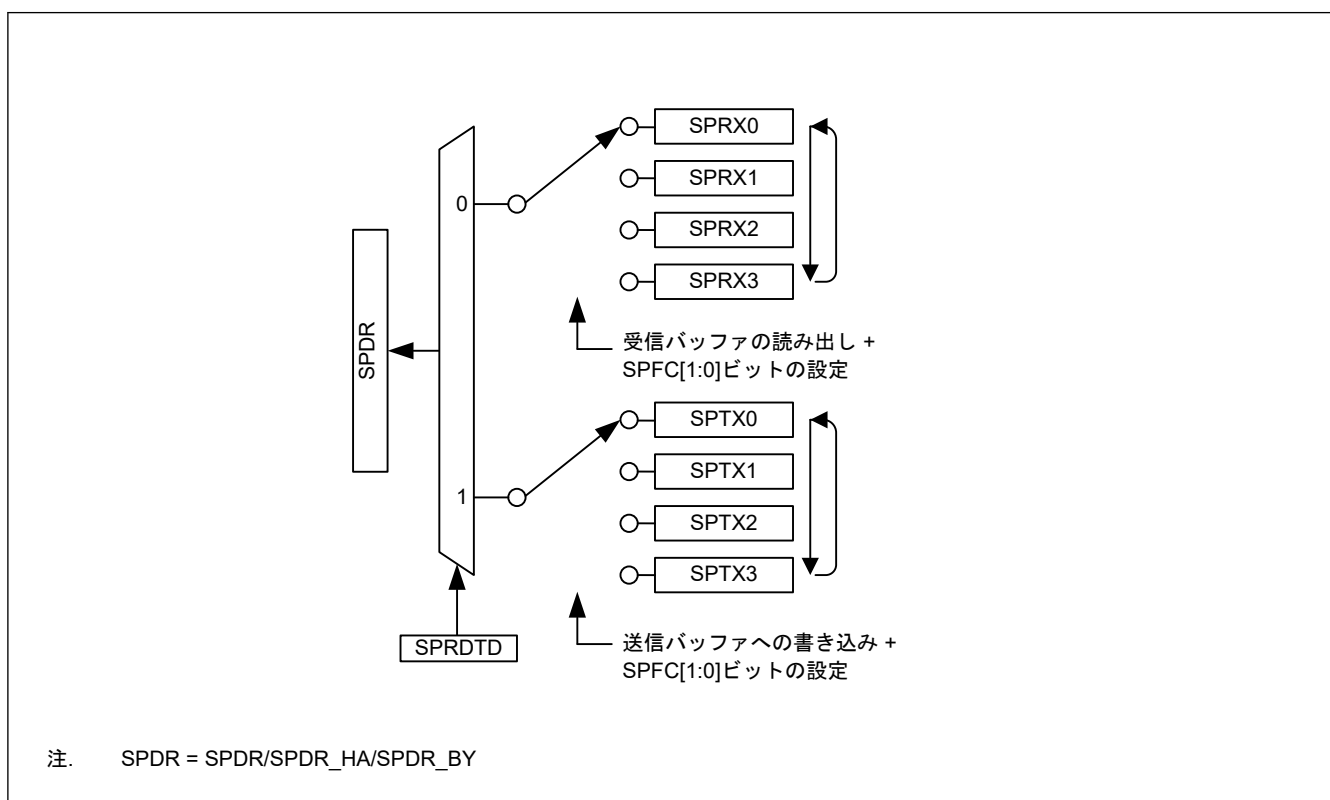


図 31.4 読み出しアクセス時の SPDR/SPDR_HA/SPDR_BY レジスタの構成図

受信バッファを読み出すと、受信バッファ読み出しポインタが次のバッファに自動的に切り替わります。受信バッファ読み出しポインタの切り替え順序は、送信バッファ書き込みポインタと同じです。ただし、SPI コントロールレジスタの SPI 機能有効ビット (SPCR.SPE) が 1 の状態で、本ビットに 1 を書くと、次の読み出し時はバッファ読み出しポインタによって SPRX0 が参照されます。

送信バッファ読み出しポインタは、SPDR/SPDR_HA/SPDR_BY レジスタへの書き込み時に更新され、送信バッファからの読み出し時には更新されません。送信バッファを読み出すと、SPDR/SPDR_HA/SPDR_BY レジスタに最後に書き込まれた値が読み出せます。

ただし、送信バッファエンブティ割り込み発生後、SPDCR.SPFC[1:0] ビットで設定したフレーム数分のデータ書き込み完了から次の送信バッファエンブティ割り込み発生 (SPTEF = 0) までの期間は、送信バッファからの読み出し値がすべて 0 となります。

31.2.6 SPSCR : SPI シーケンスコントロールレジスタ

Base address: SPIn = 0x4011_A000 + 0x0100 × n (n = 0~2)

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SPSLN[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	SPSLN[2:0]	SPI シーケンス長設定 これらのビットで設定したシーケンス長によって、SPCMD0~SPCMD7 レジスタの参照順序が決まります。また、シーケンス長と、SPI が参照する SPCMD0~SPCMD7 レジスタの関係が定義されます。スレーブモードでは、SPI は SPCMD0 レジスタを参照します。 0 0 0: 1 0→0→... 0 0 1: 2 0→1→0→... 0 1 0: 3 0→1→2→0→... 0 1 1: 4 0→1→2→3→0→... 1 0 0: 5 0→1→2→3→4→0→... 1 0 1: 6 0→1→2→3→4→5→0→... 1 1 0: 7 0→1→2→3→4→5→6→0→... 1 1 1: 8 0→1→2→3→4→5→6→7→0→...	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPSCR レジスタは、SPI がマスタモードで動作する場合のシーケンス長を指定するためのレジスタです。SPCR.MSTR および SPCR.SPE ビットがともに 1 の状態で SPSLN[2:0] ビットを変更する場合、事前に SPSR.IDLNF フラグが 0 であることを確認してください。

SPSLN[2:0]ビット (SPI シーケンス長設定)

SPSLN[2:0]ビットはマスタモードの SPI がシーケンス動作する場合のシーケンス長を指定します。マスタモードの SPI は、このシーケンス長の設定に応じて、参照する SPCMD0~SPCMD7 レジスタとその参照順序を変更します。スレーブモードでは、SPCMD0 レジスタが参照されます。

31.2.7 SPSSR : SPI シーケンスステータスレジスタ

Base address: SPIn = 0x4011_A000 + 0x0100 × n (n = 0~2)

Offset address: 0x09

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	SPECM[2:0]			—	SPCP[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	SPCP[2:0]	SPI コマンドポインタ 0 0 0: SPCMD0 0 0 1: SPCMD1 0 1 0: SPCMD2 0 1 1: SPCMD3 1 0 0: SPCMD4 1 0 1: SPCMD5 1 1 0: SPCMD6 1 1 1: SPCMD7	R
3	—	読むと 0 が読めます。	R

ビット	シンボル	機能	R/W
6:4	SPECM[2:0]	SPI エラーコマンド 0 0 0: SPCMD0 0 0 1: SPCMD1 0 1 0: SPCMD2 0 1 1: SPCMD3 1 0 0: SPCMD4 1 0 1: SPCMD5 1 1 0: SPCMD6 1 1 1: SPCMD7	R
7	—	読むと 0 が読めます。	R

SPSSR レジスタは、SPI がマスタモードで動作する場合のシーケンス制御の状態を示します。SPSSR レジスタへの書き込みは無効です。

SPCP[2:0]ビット (SPI コマンドポインタ)

SPCP[2:0]ビットは SPI によるシーケンス制御中に、ポインタで参照されている SPCMD_m レジスタを示します。SPI のシーケンス制御については、「[31.3.12.1. マスタモード動作](#)」を参照してください。

SPECM[2:0]ビット (SPI エラーコマンド)

SPECM[2:0]ビットは SPI によるシーケンス制御中にエラーが検出されたとき、SPCP[2:0]ビットで指定した SPCMD_m レジスタを示します。SPI は、エラー検出時にのみ SPECM[2:0]ビットを更新します。SPSR.OVRF および SPSR.MODF フラグがともに 0 で、エラーが発生していない場合、SPECM[2:0]ビット値には意味がありません。

SPI のエラー検出機能については、「[31.3.10. エラー検出](#)」を参照してください。SPI のシーケンス制御については、「[31.3.12.1. マスタモード動作](#)」を参照してください。

31.2.8 SPBR : SPI ビットレートレジスタ

Base address: SPIn = 0x4011_A000 + 0x0100 × n (n = 0~2)

Offset address: 0x0A

Bit position:	7	6	5	4	3	2	1	0
Bit field:								

Value after reset: 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
7:0	n/a	ビットレート	R/W

SPBR レジスタは、マスタモード時のビットレートを設定します。

SPI をスレーブモードで使用する場合、SPBR と SPCMD_m.BRDV[1:0]ビット (ビットレート分周設定ビット) の設定に関係なく、ビットレートは入力クロックのビットレートに依存します。入力クロックには、常にデバイスの電気的特性を満たすビットレートを使用してください。

ビットレートは、SPI コマンドレジスタの SPBR と SPCMD_m.BRDV[1:0]の設定の組み合わせで決定されます。次式でビットレートを計算してください。

$$\text{ビットレート} = \frac{f(\text{PCLK})}{2 \times (n + 1) \times 2^N}$$

(PCLK = PCLKA)

この式で、n は SPBR レジスタの設定値 (0, 1, 2, ..., 255)、N は SPCMD_m.BRDV[1:0] ビットの設定値 (0, 1, 2, 3) です。

SPBR レジスタの設定値、BRDV[1:0]ビットの設定値、およびビットレートの関係の例を表 [31.3](#) に示します。

表 31.3 SPBR レジスタ設定値、BRDV[1:0]ビット設定値、およびビットレートの関係

SPBR(n)	BRDV[1:0]ビット (N)	分周比	ビットレート
			PCLKA = 32 MHz
0	0	2	16.0 Mbps
1	0	4	8.00 Mbps
2	0	6	5.33 Mbps
3	0	8	4.00 Mbps
4	0	10	3.20 Mbps
5	0	12	2.67 Mbps
5	1	24	1.33 Mbps
5	2	48	667 kbps
5	3	96	333 kbps
255	3	4096	7.81 kbps

31.2.9 SPDCR : SPI データコントロールレジスタ

Base address: SPIn = 0x4011_A000 + 0x0100 × n (n = 0~2)

Offset address: 0x0B

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	SPBY T	SPLW	SPRD TD	—	—	SPFC[1:0]	

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
1:0	SPFC[1:0]	フレーム数設定 0 0: 1 フレーム 0 1: 2 フレーム 1 0: 3 フレーム 1 1: 4 フレーム	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SPRDTD	SPI 受信／送信データ選択 0: SPDR レジスタの値は受信バッファから読み出す 1: SPDR レジスタの値は送信バッファから読み出す（ただし、送信バッファが空の場合）	R/W
5	SPLW	SPI ワードアクセス／ハーフワードアクセス設定 0: SPDR_HA レジスタが有効（ハーフワードアクセス） 1: SPDR レジスタが有効（ワードアクセス）	R/W
6	SPBYT	SPI バイトアクセス設定 0: SPDR/SPDR_HA レジスタへのアクセスはハーフワードアクセスまたはワードアクセス（SPLW 有効） 1: SPDR_BY へのアクセスはバイトアクセス（SPLW 無効）	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPI データコントロールレジスタ (SPDCR) は、SPDR レジスタに格納できるフレーム数、SPDR レジスタの読み出し、SPDR レジスタへのアクセス幅をワードアクセス／ハーフワードアクセス／バイトアクセスに設定するためのレジスタです。1 回の送受信で最大 4 フレームを送受信できます。各転送におけるデータ量は、SPCMDm.SPB[3:0]ビット、SPSCR.SPSLN[2:0]ビット、および SPFC[1:0]ビットの組み合わせで制御されます。

SPCR.SPE ビットが 1 の状態で、SPFC[1:0]ビットを変更する場合、SPSR.IDLNF フラグが 0 であることを確認してください。

SPFC[1:0]ビット（フレーム数設定）

SPFC[1:0]ビットは1回の転送起動で SPDR/SPDR_HA レジスタに格納できるフレーム数を設定します。1回の送受信で最大4フレームを送受信できます。

SPFC[1:0]ビットで指定したフレーム数分の送信データが、SPDR/SPDR_HA レジスタに書き込まれると、SPIはSPSR.SPTEFフラグを0にして送信を開始します。その後、SPFC[1:0]ビットで指定されたフレーム数分の送信データがシフトレジスタに送信されると、SPIは送信バッファエンプティ割り込みを発生させます（SPSR.SPTEFが1になります）。

SPFC[1:0]ビットで指定されたフレーム数分のデータが受信されると、SPIは受信バッファフル割り込みを発生させます（SPSR.SPRFが1になります）。

表 31.4 SPSLN[2:0]ビットと SPFC[1:0]ビットの設定可能な組み合わせ

設定	SPSLN[2:0]	SPFC[1:0]	1シーケンスで転送するフレーム数	送信バッファ/受信バッファがフルになるフレーム数
1-1	000b	00b	1	1
1-2	000b	01b	2	2
1-3	000b	10b	3	3
1-4	000b	11b	4	4
2-1	001b	01b	2	2
2-2	001b	11b	4	4
3	010b	10b	3	3
4	011b	11b	4	4
5	100b	00b	5	1
6	101b	00b	6	1
7	110b	00b	7	1
8	111b	00b	8	1

SPRDTD ビット（SPI 受信/送信データ選択）

SPRDTD ビットは SPDR/SPDR_HA レジスタが、値を受信バッファと送信バッファのどちらから読み出すかを選択します。送信バッファから読み出す場合、SPDR/SPDR_HA レジスタへ最後に書き込まれた値が読み出されます。送信バッファの読み出しは、SPI 送信バッファエンプティ割り込みの発生後、SPFC[1:0]ビットで設定したフレーム数のデータの書き込み終了前（SPSR.SPTEF フラグ=1 のとき）までに行ってください。

詳細は、「[31.2.5. SPDR/SPDR_HA/SPDR_BY : SPI データレジスタ](#)」を参照してください。

SPLW ビット（SPI ワードアクセス/ハーフワードアクセス設定）

SPLW ビットは SPDR レジスタへのアクセス幅を設定します。SPLW ビットが0の場合、SPDR_HA レジスタへのハーフワードアクセスが有効となり、SPLW ビットが1の場合、SPDR レジスタへのワードアクセスが有効となります。また、このビットが0のとき、SPI データ長設定ビット（SPCMDm.SPB[3:0]ビット）は8～16ビットに設定してください。20、24、または32ビットのデータ長に設定した場合、いかなる動作も行わないでください。

SPBYT ビット（SPI バイトアクセス設定）

SPBYT ビットは、SPI データレジスタ (SPDR) にアクセスする際のデータ幅を設定するのに使用します。SPBYT = 0 のとき、SPDR/SPDR_HA レジスタへのアクセスは、ワードアクセスまたはハーフワードアクセスを使用してください。SPBYT = 1（この場合 SPLW は無効）の場合、SPDR_BY レジスタへのアクセスにはバイトアクセスを使用してください。

SPBYT = 1 の場合、SPI コマンドレジスタ m (SPCMDm) の SPI データ長ビット (SPB[3:0]) を8ビットに設定してください。SPB[3:0]を9～16、20、24 または32ビットに設定した場合、その後の動作は保証されません。

31.2.10 SPCKD : SPI クロック遅延レジスタ

Base address: SPIn = 0x4011_A000 + 0x0100 × n (n = 0~2)

Offset address: 0x0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SCKDL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	SCKDL[2:0]	RSPCK 遅延設定 0 0 0: 1 RSPCK 0 0 1: 2 RSPCK 0 1 0: 3 RSPCK 0 1 1: 4 RSPCK 1 0 0: 5 RSPCK 1 0 1: 6 RSPCK 1 1 0: 7 RSPCK 1 1 1: 8 RSPCK	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPCKD は、SPCMDm.SCKDEN ビットが 1 の場合の RSPCK 遅延 (SSLni 信号アサート開始から RSPCK 発振までの期間) を指定します。

SCKDL[2:0]ビット (RSPCK 遅延設定)

SCKDL[2:0]ビットは SPCMDm.SCKDEN ビットが 1 の場合の RSPCK 遅延値を設定します。SPI をスレーブモードで使用する場合は、SCKDL[2:0]ビットを 000b にしてください。

31.2.11 SSLND : SPI スレーブ選択ネゲート遅延レジスタ

Base address: SPIn = 0x4011_A000 + 0x0100 × n (n = 0~2)

Offset address: 0x0D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SLNDL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	SLNDL[2:0]	SSL ネゲート遅延設定 0 0 0: 1 RSPCK 0 0 1: 2 RSPCK 0 1 0: 3 RSPCK 0 1 1: 4 RSPCK 1 0 0: 5 RSPCK 1 0 1: 6 RSPCK 1 1 0: 7 RSPCK 1 1 1: 8 RSPCK	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

レジスタは、SPI コマンドレジスタ m (SPCMDm) の SLNDEN ビットが 1 の場合に、マスタモードの SPI がシリアル転送の最終 RSPCK エッジを送信してから SSLni 信号をネゲートするまでの期間 (SSL ネゲート遅延) を設定するためのレジスタです。

SLNDL[2:0]ビット (SSL ネゲート遅延設定)

SLNDL[2:0]ビットは SPI がマスタモードのとき、SSL ネゲート遅延値を設定します。SPI をスレーブモードで使用する場合は、SLNDL[2:0]ビットを 000b にしてください。

31.2.12 SPND : SPI 次アクセス遅延レジスタ

Base address: SPIn = 0x4011_A000 + 0x0100 × n (n = 0~2)

Offset address: 0x0E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SPNDL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	SPNDL[2:0]	SPI 次アクセス遅延設定 0 0 0: 1 RSPCK + 2 PCLKA 0 0 1: 2 RSPCK + 2 PCLKA 0 1 0: 3 RSPCK + 2 PCLKA 0 1 1: 4 RSPCK + 2 PCLKA 1 0 0: 5 RSPCK + 2 PCLKA 1 0 1: 6 RSPCK + 2 PCLKA 1 1 0: 7 RSPCK + 2 PCLKA 1 1 1: 8 RSPCK + 2 PCLKA	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPND は、SPCMDm.SPNDEN ビットが 1 の場合の次アクセス遅延（シリアル転送終了後の SSLni 信号の非アクティブ期間）を指定します。

SPNDL[2:0]ビット（SPI 次アクセス遅延設定）

SPNDL[2:0]ビットは SPCMDm.SPNDEN ビットが 1 の場合の次アクセス遅延を設定します。SPI をスレーブモードで使用する場合は、SPNDL[2:0]ビットを 000b にしてください。

31.2.13 SPCR2 : SPI コントロールレジスタ 2

Base address: SPIn = 0x4011_A000 + 0x0100 × n (n = 0~2)

Offset address: 0x0F

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	SCKA SE	PTE	SPIIE	SPOE	SPPE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SPPE	パリティ許可 0: 送信データにパリティビットを付加せず、受信データのパリティビットをチェックしない 1: (SPCR.TXMD = 0 の場合) 送信データにパリティビットを付加し、受信データのパリティビットをチェックする (SPCR.TXMD = 1 の場合) 送信データにパリティビットを付加するが、受信データのパリティビットをチェックしない	R/W
1	SPOE	パリティモード 0: 送受信に偶数パリティを選択 1: 送受信に奇数パリティを選択	R/W
2	SPIIE	SPI アイドル割り込み許可 0: アイドル割り込み要求禁止 1: アイドル割り込み要求許可	R/W
3	PTE	パリティ自己診断 0: パリティ回路自己診断機能は無効 1: パリティ回路自己診断機能は有効	R/W

ビット	シンボル	機能	R/W
4	SCKASE	RSPCK 自動停止機能有効 0: RSPCK 自動停止機能は無効 1: RSPCK 自動停止機能は有効	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPPE ビット (パリティ許可)

SPPE ビットはパリティ機能を有効または無効にします。

SPCR.TXMD ビットが 0 で、SPCR2.SPPE ビットが 1 のとき、送信データにパリティビットを付加し、受信データのパリティチェックを行います。

SPCR.TXMD ビットが 1 で、SPCR2.SPPE ビットが 1 のとき、送信データにパリティビットを付加しますが、受信データのパリティチェックは行いません。

SPOE ビット (パリティモード)

SPOE ビットは偶数パリティまたは奇数パリティを設定します。

偶数パリティを設定すると、パリティビットと送受信キャラクタを合わせて、値が 1 のビットの総数が偶数になるようにパリティビットが付加されます。同様に、奇数パリティを設定すると、パリティビットと送受信キャラクタを合わせて、値が 1 のビットの総数が奇数になるようにパリティビットが付加されます。

SPOE ビットは、SPPE ビットが 1 の場合にのみ有効です。

SPIIE ビット (SPI アイドル割り込み許可)

SPIIE ビットは SPI のアイドル状態が検出されて SPSR.IDLNF フラグが 0 になった場合の、SPI アイドル割り込み要求の発生を許可または禁止します。

PTE ビット (パリティ自己診断)

PTE ビットはパリティ機能が正常であることを確認するための、パリティ回路の自己診断機能を有効または無効にします。

SCKASE ビット (RSPCK 自動停止機能有効)

SCKASE ビットは RSPCK 自動停止機能を有効または無効にします。この機能を有効にした場合、マスタモードでのデータ受信時に、オーバーランエラーが発生する前に RSPCK クロックが停止します。詳細は、「[31.3.10.1. オーバーランエラー](#)」を参照してください。

31.2.14 SPCMDm : SPI コマンドレジスタ m (m = 0~7)

Base address: SPI_n = 0x4011_A000 + 0x0100 × n (n = 0~2)

Offset address: 0x10 + 0x02 × m

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SCKD EN	SLND EN	SPND EN	LSBF	SPB[3:0]			SSLK P	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA	
Value after reset:	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

ビット	シンボル	機能	R/W
0	CPHA	RSPCK 位相設定 0: データが奇数エッジでサンプリングされ、偶数エッジで変更される 1: データが奇数エッジで変更され、偶数エッジでサンプリングされる	R/W
1	CPOL	RSPCK 極性設定 0: アイドル時の RSPCK が Low 1: アイドル時の RSPCK が High	R/W

ビット	シンボル	機能	R/W
3:2	BRDV[1:0]	ビットレート分周設定 0 0: ベースのビットレート 0 1: ベースのビットレートの 2 分周 1 0: ベースのビットレートの 4 分周 1 1: ベースのビットレートの 8 分周	R/W
6:4	SSLA[2:0]	SSL 端子の信号アサート設定 0 0 0: SSL0 0 0 1: SSL1 0 1 0: SSL2 0 1 1: SSL3 その他: 設定禁止	R/W
7	SSLKP	SSL 信号レベル保持 0: 転送終了時に全 SSL 信号をネゲート 1: 転送終了後から次アクセス開始まで SSL 信号レベルを保持	R/W
11:8	SPB[3:0]	SPI データ長設定 0x0: 20 ビット 0x1: 24 ビット 0x2: 32 ビット 0x3: 32 ビット 0x8: 9 ビット 0x9: 10 ビット 0xA: 11 ビット 0xB: 12 ビット 0xC: 13 ビット 0xD: 14 ビット 0xE: 15 ビット 0xF: 16 ビット その他: 8 ビット	R/W
12	LSBF	SPI LSB ファースト 0: MSB ファースト 1: LSB ファースト	R/W
13	SPNDEN	SPI 次アクセス遅延許可 0: 次アクセス遅延は 1 RSPCK + 2 PCLKA を選択 1: 次アクセス遅延は SPI 次アクセス遅延レジスタ (SPND) の設定値	R/W
14	SLNDEN	SSL ネゲート遅延設定許可 0: SSL ネゲート遅延は 1RSPCK 1: SSL ネゲート遅延は SPI スレーブ選択ネゲート遅延レジスタ (SSLND) の設定値	R/W
15	SCKDEN	RSPCK 遅延設定許可 0: RSPCK 遅延は 1RSPCK 1: RSPCK 遅延は SPI クロック遅延レジスタ (SPCKD) の設定値	R/W

SPCMDm レジスタは、マスタモードの SPI に対して転送フォーマットを指定します。チャンネルごとに 8 つの SPCMDm (m = 0~7) があります。SPCMD0 レジスタの一部のビットは、スレーブモードの SPI に対して転送モードを設定するために使用されます。マスタモードの SPI は、SPSCR.SPSSLN[2:0] ビットの設定に従ってシーケンシャルに SPCMDm レジスタを参照し、参照した SPCMDm レジスタに設定されたシリアル転送を実行します。

SPCMDm レジスタの設定は、送信バッファが空の (SPSR.SPTEF = 1 で、次転送のデータがセットされていない) 状態で、その SPCMDm レジスタが参照されたときに送信されるデータの設定前に行ってください。

マスタモードの SPI が参照している SPCMDm レジスタは、SPSSR.SPCP[2:0] ビットで確認できます。

CPHA ビット (RSPCK 位相設定)

CPHA ビットはマスタモードまたはスレーブモードの SPI に対して、RSPCK の位相を設定します。SPI モジュール間でデータ通信を行う場合、モジュール間では同一の RSPCK 位相を設定する必要があります。

CPOL ビット (RSPCK 極性設定)

CPOL ビットはマスタモードまたはスレーブモードの SPI に対して、RSPCK の極性を設定します。SPI モジュール間でデータ通信を行う場合、モジュール間では同一の RSPCK 極性を設定する必要があります。

BRDV[1:0]ビット（ビットレート分周設定）

BRDV[1:0]ビットは SPBR レジスタの設定値との組み合わせでビットレートを決定します。（「[31.2.8. SPBR : SPI ビットレートレジスタ](#)」を参照してください。）SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0]ビットの設定値は、ベースのビットレートに対して分周なし／2 分周／4 分周／8 分周したビットレートを選択します。SPCMD0 レジスタには、それぞれ異なる BRDV[1:0]ビット値を指定できます。これにより、コマンドごとに異なるビットレートでシリアル転送を実行できます。

SSLA[2:0]ビット（SSL 端子の信号アサート設定）

SSLA[2:0]ビットはマスタモードの SPI がシリアル転送を行う際の、SSLni 信号のアサートを制御します。SSLni 信号アサート時の信号極性は、関連する SSLP レジスタの設定値で決定されます。マルチマスタモードで SSLA[2:0]ビットを 000b にした場合、SSLn0 端子は入力になるため、全 SSL 信号がネゲート状態でシリアル転送が実行されます。

SPI をスレーブモードで使用する場合は、SSLA[2:0]ビットを 000b にしてください。

SSLKP ビット（SSL 信号レベル保持）

SSLKP ビットは、マスタモードの SPI がシリアル転送を行う際に、現コマンドに対応する SSL ネゲートから次コマンドに対応する SSL アサートまでの間、現コマンドの SSLni 信号レベルを保持するか、またはネゲートするかを設定します。SSLKP ビットを 1 にすると、バースト転送が可能になります。詳細は「[31.3.12.1. マスタモード動作](#)」を参照してください。SPI をスレーブモードで使用する場合は、SSLKP ビットを 0 にしてください。

SPB[3:0]ビット（SPI データ長設定）

SPB[3:0]ビットはマスタモードまたはスレーブモードの SPI に対して、転送データ長を指定します。

LSBF ビット（SPI LSB ファースト）

LSBF ビットはマスタモードまたはスレーブモードの SPI に対して、そのデータフォーマットを MSB ファーストまたは LSB ファーストに設定します。

SPNDEN ビット（SPI 次アクセス遅延許可）

SPNDEN ビットは次アクセス遅延（マスタモードの SPI がシリアル転送を終了して SSLni 信号を非アクティブにしてから、SPI が次アクセスの SSLni 信号アサートを可能にするまでの期間）を指定します。SPNDEN ビットが 0 のとき、SPI は次アクセス遅延を $1 \text{ RSPCK} + 2 \text{ PCLKA}$ に設定します。SPNDEN ビットが 1 のとき、SPI は SPND の設定に従って次アクセス遅延を挿入します。

SPI をスレーブモードで使用する場合は、SPNDEN ビットを 0 にする必要があります。

SLNDEN ビット（SSL ネゲート遅延設定許可）

SLNDEN ビットはマスタモードの SPI が、RSPCK を発振停止してから SSLni 信号を非アクティブにするまでの期間（SSL ネゲート遅延）を設定します。SLNDEN ビットが 0 のとき、SPI は SSL ネゲート遅延を 1 RSPCK に設定します。SLNDEN ビットが 1 のとき、SPI は SSLND レジスタの設定に従った SSL ネゲート遅延で SSLni 信号をネゲートします。

SPI をスレーブモードで使用する場合は、SLNDEN ビットを 0 にする必要があります。

SCKDEN ビット（RSPCK 遅延設定許可）

SCKDEN ビットはマスタモードの SPI が、SSLni 信号をアクティブにしてから RSPCK の発振を開始するまでの期間（SPI クロック遅延）を設定します。SCKDEN ビットが 0 のとき、SPI は RSPCK 遅延を 1 RSPCK にします。SCKDEN ビットが 1 のとき、SPI は SPCKD レジスタの設定に従った RSPCK 遅延で RSPCK の発振を開始します。

SPI をスレーブモードで使用する場合は、SCKDEN ビットを 0 にする必要があります。

31.2.15 SPDCR2 : SPI データコントロールレジスタ 2

Base address: SPIn = 0x4011_A000 + 0x0100 × n (n = 0~2)

Offset address: 0x20

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SINV	BYSW
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BYSW	バイトスワップ動作モード選択 0: バイトスワップ OFF 1: バイトスワップ ON	R/W
1	SINV	シリアルデータ反転ビット 0: シリアルデータ反転なし 1: シリアルデータ反転あり	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPI データコントロールレジスタ 2 (SPDCR2) は、送受信データのバイト単位スワップの設定と、シリアルデータの反転を設定する設定レジスタです。スレーブモードで SPI が有効 (SPCR.SPE = 1) な状態でこれらのビットが修正されると、その後の動作は保証されません。

BYSW ビット (バイトスワップ動作モード選択)

本ビットは、送受信データのバイト単位スワップの設定をする設定レジスタです。バイトアクセスが有効 (SPDCR.SPBYT = 1) な状態ではバイトスワップは無効です。バイトスワップが有効なとき、パリティ機能は無効 (SPCR2.SPPE ビット = 0) でなければなりません。BYSW ビットの設定変更は、SPCR.SPE ビット = 0 でなければなりません。

バイトスワップ後のデータは、指定のデータ長だけ異なります (SPCMD.SPB[3:0]の設定)。

バイトスワップ時、データ長 (SPB[3:0]ビットの設定) は 32 ビットか 16 ビットでなければなりません。ほかのデータ長 (すなわち 8~15、20、24 ビット長) のケースでは、バイトスワップ動作は保証されません。スワップ前と後の状態を以下に示します (データ長 (32 ビット/16 ビット))。

- データ長 32 ビット (SPB[3:0] = 0010b または 0011b)
スワップ前 : [31:24] [23:16] [15:8] [7:0]
スワップ後 : [7:0] [15:8] [23:16] [31:24]
- データ長 16 ビット (SPB[3:0] = 1111b)
スワップ前 : [31:24] [23:16]
スワップ後 : [23:16] [31:24]

バイトアクセスモード (SPDCR.SPBT = 1) の場合、バイトスワップ設定は無効です。

バイトスワップが有効なとき、パリティ機能は無効 (SPCR2.SPPE = 0) でなければなりません。パリティ機能を有効に設定すると、動作は保証されません。

SINV ビット (シリアルデータ反転ビット)

本ビットは、送信データと受信データの反転に使用します。

SINV ビットが 1 に設定されるとき、送信バッファ (SPTX) データは送信データと受信データを反転するために反転されます。それから、反転したデータを受信バッファに格納します。パリティビットは、反転した送受信データに対応した値になります。

31.2.16 SPCR3 : SPI コントロールレジスタ 3

Base address: SPIn = 0x4011_A000 + 0x0100 × n (n = 0~2)

Offset address: 0x21

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	CENDIE	—	—	BFDS	ETXMD
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ETXMD	拡張通信モード選択 0: 全二重同期式または送信のみシリアル通信 [SPCR.TXMD ビットが有効] 1: スレーブモードの受信のみシリアル通信 (SPCR.MSTR ビット = 0) [SPCR.TXMD ビットが無効] マスターモードでは設定禁止 (SPCR.MSTR ビット = 1)	R/W
1	BFDS	バースト転送フレーム間遅延選択 0: バースト転送時、フレーム間に遅延 (RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延) を挿入する。 1: バースト転送時にフレーム間の遅延を挿入しない。	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	CENDIE	SPI 通信終了割り込み許可 0: 通信終了割り込み要求禁止 1: 通信終了割り込み要求許可	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPI コントロールレジスタ 3 (SPCR3) は動作モードのコントロールレジスタです。SPCR.SPE ビットの値が 1 の状態で ETXMD ビットと BFDS ビットの値を変更すると、SPI 動作は保証されません。

ETXMD ビット (拡張通信モード選択)

本ビットは、スレーブモード時のみ有効です (SPCR.MSTR ビット = 0)。このビットは受信のみ動作の選択をします。スレーブモードで ETXMD ビットが 1 のとき、通信は受信のみとなり送信をしません (「[31.3.6. データ転送モード](#)」参照)。ETXMD ビットが 1 のとき、送信データエンプティ割り込みを使用できません。

モード毎の通信状態 (マスターモード、スレーブモード) を以下に示します。ETXMD ビット、SPCR.MSTR ビット、TXMD ビットで制御します。

表 31.5 SPI 通信状態 (マスタ/スレーブモード)

SPCR.MSTR ビット	SPCR3.ETXMD ビット	SPCR.TXMD ビット	通信状態
1	0	0	送受信マスターモード
1	0	1	送信マスターモード
0	0	0	送受信スレーブモード (デフォルト)
0	0	1	送信スレーブモード
0	1	—	受信スレーブモード

BFDS ビット (バースト転送フレーム間遅延選択)

バースト転送フレーム間に遅延時間を挿入するかどうかを制御します。

マスターモード (SPCR.MSTR ビットが 1) で SPCMD.SSLKP ビットが 1 のとき有効です。

本ビットはスレーブモードでは 0 に設定してください。転送フレーム間 SSL 遅延制御の使用方法を以下に示します。詳細は、[\(4\) バースト転送](#)を参照してください。

表 31.6 送信フレーム間 SSL 遅延制御の使用方法 (マスタモード)

送信		SPCMD. SSLKP ビット	SPCR3.B FDS ビッ ト	SSL 遅延制御レジスタ ^(注1) (RSPCK クロック遅延、SSL ネゲート遅延、次アクセ ス遅延)
非バースト転送		0	0	任意値。RSPCK クロック遅延、SSL ネゲート遅延、次 アクセス遅延の設定に従い、遅延の値を制御可能です。
フレーム間遅延ありバース ト転送	最初のフレームから最後の 一つ手前のフレームまで	1	0	
	最後のフレーム	0	0	
フレーム間遅延なしバース ト転送	最初のフレームから最後の 一つ手前のフレームまで	1	1	任意値。但し、遅延は以下の場合のみ挿入されます。 ● 最初のフレームの RSPCK クロック遅延 ● 最後のフレームの SSL ネゲート遅延と次アクセス 遅延
	最後のフレーム	0	1	

注 1. 以下のビットの設定値が有効であるかどうかは、SPCMD.SPNDEN ビットの設定値によります。(「31.2.14. SPCMDm : SPI コマンド
レジスタ m (m = 0~7)」を参照)
SPCKD.SCKDL[2:0]ビット : RSPCK 遅延
SSLND.SLNDL[2:0]ビット : SSL ネゲート遅延
SPND.SPNDL[2:0]ビット : 次アクセス遅延

CENDIE ビット (SPI 通信終了割り込み許可)

通信終了割り込み要求の発生を制御します。

31.3 動作説明

本節では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期
間を意味する用語として使用しています。

31.3.1 SPI 動作の概要

SPI は、下記のモードでの同期式シリアル転送が可能です。

- スレーブモード (SPI 動作)
- シングルマスタモード (SPI 動作)
- マルチマスタモード (SPI 動作)
- スレーブモード (クロック同期式動作)
- マスタモード (クロック同期式動作)

SPI のモードは、SPCR.MSTR、SPCR.MODFEN、および SPCR.SPMS ビットで選択できます。表 31.7 に SPI のモ
ードと SPCR レジスタの設定値との関係、および各モードの概要を示します。

表 31.7 SPI のモードと SPCR レジスタの設定値との関係、および各モードの概要 (1/2)

モード	スレーブ (SPI 動 作)	シングルマスタ (SPI 動作)	マルチマスタ (SPI 動作)	スレーブ (クロック 同期式動作)	マスタ (クロック同 期式動作)
MSTR ビットの設定値	0	1	1	0	1
MODFEN ビットの設定	0 または 1	0	1	0	0
SPMS ビットの設定	0	0	0	1	1
RSPCKn 端子	入力	出力	出力/Hi-Z	入力	出力
MOSIn 端子	入力	出力	出力/Hi-Z	入力	出力
MISO _n 端子	出力/Hi-Z	入力	入力	出力	入力
SSL _{n0} 端子	入力	出力	入力	Hi-Z ^(注1)	Hi-Z ^(注1)
SSL _{n1} ~SSL _{n3} 端子	Hi-Z ^(注1)	出力	出力/Hi-Z	Hi-Z ^(注1)	Hi-Z ^(注1)
SSL 極性変更機能	あり	あり	あり	—	—
最大転送レート	PCLKA/4	PCLKA/2	PCLKA/2	PCLKA/4	PCLKA/2
クロックソース	RSPCK 入力	内蔵ボーレートジ ェネレータ	内蔵ボーレートジ ェネレータ	RSPCK 入力	内蔵ボーレートジ ェネレータ

表 31.7 SPI のモードと SPCR レジスタの設定値との関係、および各モードの概要 (2/2)

モード	スレーブ (SPI 動作)	シングルマスタ (SPI 動作)	マルチマスタ (SPI 動作)	スレーブ (クロック同期式動作)	マスタ (クロック同期式動作)
クロック極性	2 種				
クロック位相	2 種	2 種	2 種	1 種 (CPHA = 1)	2 種
先頭転送ビット	MSB/LSB				
転送データ長	8~16、20、24、32 ビット				
バースト転送	可能 (CPHA = 1)	可能 (CPHA = 0, 1)	可能 (CPHA = 0, 1)	—	—
RSPCK 遅延制御	なし	あり	あり	なし	あり
SSL ネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送トリガ	SSL 入力アクティブまたは RSPCK 発振	送信バッファエンプティ割り込み要求発生で送信バッファに書き込み (SPTEF = 1)	送信バッファエンプティ割り込み要求発生で送信バッファに書き込み (SPTEF = 1)	RSPCK 発振	送信バッファエンプティ割り込み要求発生で送信バッファに書き込み (SPTEF = 1)
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンプティ検出	あり(注5)				
受信バッファフル検出	あり(注2)				
オーバーランエラー検出	あり(注2)	あり(注2)(注4)	あり(注2)(注4)	あり(注2)	あり(注2)
パリティエラー検出	あり(注3)(注2)				
モードフォルトエラー検出	あり (MODFEN = 1)	なし	あり	なし	なし
アンダーランエラー検出	あり(注5)	なし	なし	あり(注5)	なし

注 1. この機能は本モードでは使用しません。

注 2. SPCR.TXMD ビットが 1 のときは、受信バッファフル検出、オーバーランエラー検出、およびパリティエラー検出を行いません。

注 3. SPCR2.SPPE ビットが 0 のときは、パリティエラー検出を行いません。

注 4. SPCR2.SCKASE ビットが 1 のときは、オーバーランエラー検出を行いません。

注 5. SPI が受信のみスレーブモードの場合、送信バッファエンプティエラーとアンダーランエラーはいずれも検出されません。

31.3.2 SPI 端子の制御

SPI は、SPCR.MSTR、SPCR.MODFEN、SPCR.SPMS ビットの設定と入出力ポートの PmnPFS.NCODR ビットの設定に基づき、端子の状態を切り替えます。端子状態と各ビットの設定値との関係を表 31.8 に示します。入出力ポートの PmnPFS.NCODR ビットの設定値を 0 にすると、CMOS 出力となります。設定値を 1 にするとオープンドレイン出力となります。入出力ポートの設定も同じとなるよう設定してください。

表 31.8 端子状態とビット設定値の関係 (1/2)

モード	端子	端子状態(注2)	
		入出力ポートの PmnPFS.NCODR = 0	入出力ポートの PmnPFS.NCODR = 1
シングルマスタモード (SPI 動作) (MSTR = 1, MODFEN = 0, SPMS = 0)	RSPCKn	CMOS 出力	オープンドレイン出力
	SSLn0~SSLn3	CMOS 出力	オープンドレイン出力
	MOSIn	CMOS 出力	オープンドレイン出力
	MISOn	入力	入力
マルチマスタモード (SPI 動作) (MSTR = 1, MODFEN = 1, SPMS = 0)	RSPCKn(注3)	CMOS 出力/Hi-Z	オープンドレイン出力/Hi-Z
	SSLn0	入力	入力
	SSLn1~SSLn3(注3)	CMOS 出力/Hi-Z	オープンドレイン出力/Hi-Z
	MOSIn(注3)	CMOS 出力/Hi-Z	オープンドレイン出力/Hi-Z

表 31.8 端子状態とビット設定値の関係 (2/2)

モード	端子	端子状態 ^(注2)	
		入出力ポートの PmnPFS.NCODR = 0	入出力ポートの PmnPFS.NCODR = 1
スレーブモード (SPI 動作) (MSTR = 0, SPMS = 0)	MISO _n	入力	入力
	RSPCK _n	入力	入力
	SSL _{n0}	入力	入力
	SSL _{n1} ～SSL _{n3} ^(注5)	Hi-Z ^(注1)	Hi-Z ^(注1)
	MOSI _n	入力	入力
マスタモード (クロック同期式動作) (MSTR = 1, MODFEN = 0, SPMS = 1)	MISO _n ^(注4)	CMOS 出力/Hi-Z	オープンドレイン出力/Hi-Z
	RSPCK _n	CMOS 出力	オープンドレイン出力
	SSL _{n0} ～SSL _{n3} ^(注5)	Hi-Z ^(注1)	Hi-Z ^(注1)
	MOSI _n	CMOS 出力	オープンドレイン出力
	MISO _n	入力	入力
スレーブモード (クロック同期式動作) (MSTR = 0, SPMS = 1)	RSPCK _n	入力	入力
	SSL _{n0} ～SSL _{n3} ^(注5)	Hi-Z ^(注1)	Hi-Z ^(注1)
	MOSI _n	入力	入力
	MISO _n	CMOS 出力	オープンドレイン出力

注 1. この機能は本モードでは使用しません。

注 2. SPI 機能が選択されていない兼用端子には、SPI の設定値は反映されません。

注 3. SSL_{n0} がアクティブレベルの場合、端子の状態は Hi-Z になります。入力信号がアクティブレベルかどうかは、SSLP.SSL0P ビットの設定値で決まります。

注 4. SSL_{n0} が非アクティブレベルまたは SPCR.SPE ビットが 0 の場合、端子の状態は Hi-Z になります。入力信号がアクティブレベルかどうかは、SSLP.SSL0P ビットの値で決まります。

注 5. これらの端子は入出力ポート端子として使用できます。

シングルマスタモード (SPI 動作) またはマルチマスタモード (SPI 動作) の SPI は、SPPCR レジスタの MOIFE ビットと MOIFV ビットの設定値に基づいて、SSL ネゲート期間 (バースト転送中の SSL 保持期間を含む) の MOSI 信号値を表 31.9 のように決定します。

表 31.9 SSL ネゲート期間の MOSI 端子の信号値の決定方法

SPPCR.MOIFE ビット	SPPCR.MOIFV ビット	SSL ネゲート期間の MOSI _n 信号値
0	0, 1	前回転送の最終データ
1	0	Low
1	1	High

31.3.3 SPI システム構成例

31.3.3.1 シングルマスタとシングルスレーブ (MCU はマスタ)

図 31.5 に、MCU がマスタである場合のシングルマスタとシングルスレーブの SPI システム構成例を示します。シングルスレーブ/シングルスレーブの構成では、MCU (マスタ) の SSL_{ni} 出力は使用しません。SPI スレーブの SSL 入力は Low レベルに固定され、SPI スレーブは選択された状態で維持されます。(注1)

注 1. SPCMDm.CPHA ビットが 0 であるときに構成された転送フォーマットでは、いくつかのスレーブデバイスに対する SSL 信号はアクティブレベルに固定することができません。このような場合は、常に MCU の SSL_{ni} 出力をスレーブデバイスの SSL 入力に接続してください。

MCU (マスタ) は、RSPCK_n および MOSI_n 信号をドライブします。SPI スレーブは、MISO 信号をドライブします。

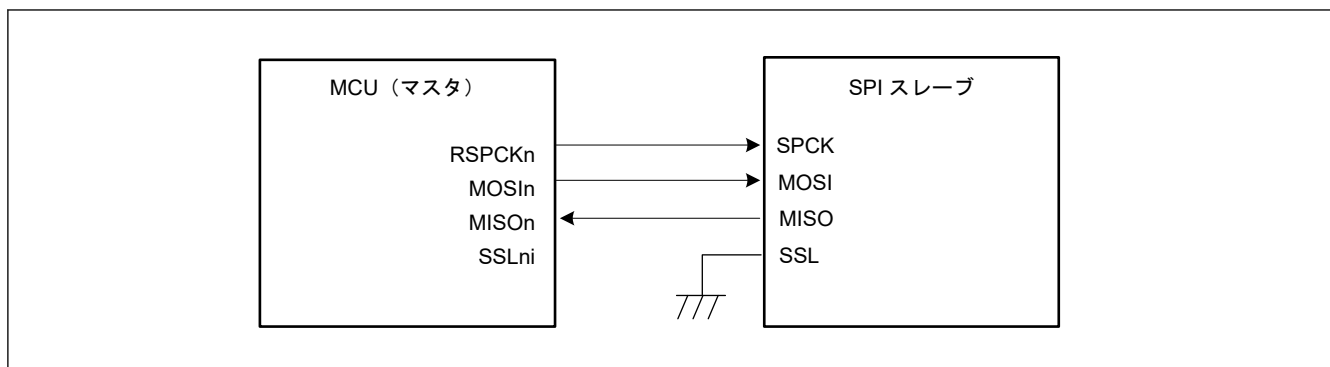


図 31.5 シングルマスタとシングルスレーブの構成例 (MCU はマスタ)

31.3.3.2 シングルマスタとシングルスレーブ (MCU はスレーブ)

図 31.6 に、MCU がスレーブである場合のシングルマスタとシングルスレーブの SPI システム構成例を示します。MCU がスレーブとして動作する場合は、SSL_{n0} 端子を SSL 入力として使用します。SPI マスタは、RSPCK および MOSI 信号をドライブします。MCU スレーブは、MISO_n 信号をドライブします。(注1)

注 1. SSL_{n0} が非アクティブレベルの場合、端子状態が Hi-Z になります。

SPCMDm.CPHA ビットが 1 のときのシングルスレーブ構成では、MCU (スレーブ) の SSL_{n0} 入力は Low レベルに固定され、MCU (スレーブ) は選択された状態で維持されます。これによりシリアル転送の実行が可能になります (図 31.7)。ただし、SSL₀ 入力が図 31.7 のように固定されると、通信終了割り込みは出力されません。

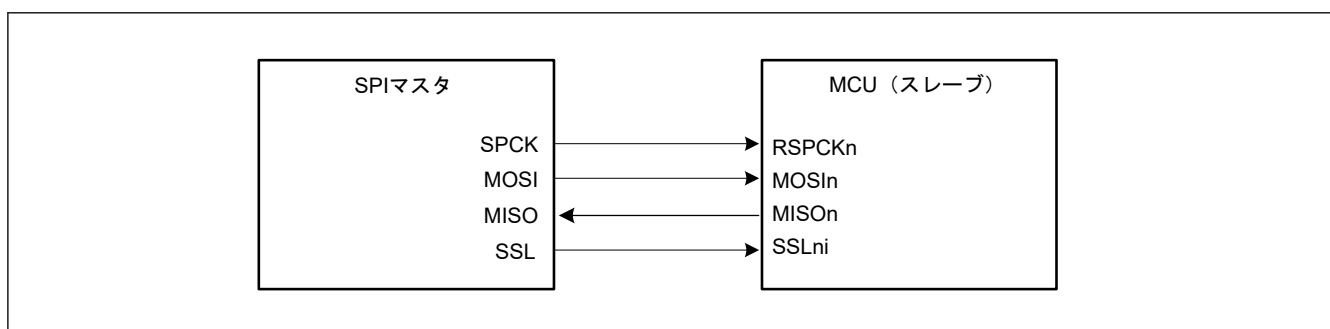


図 31.6 シングルマスタとシングルスレーブの構成例 (MCU はスレーブ、SPCMDm.CPHA = 0)

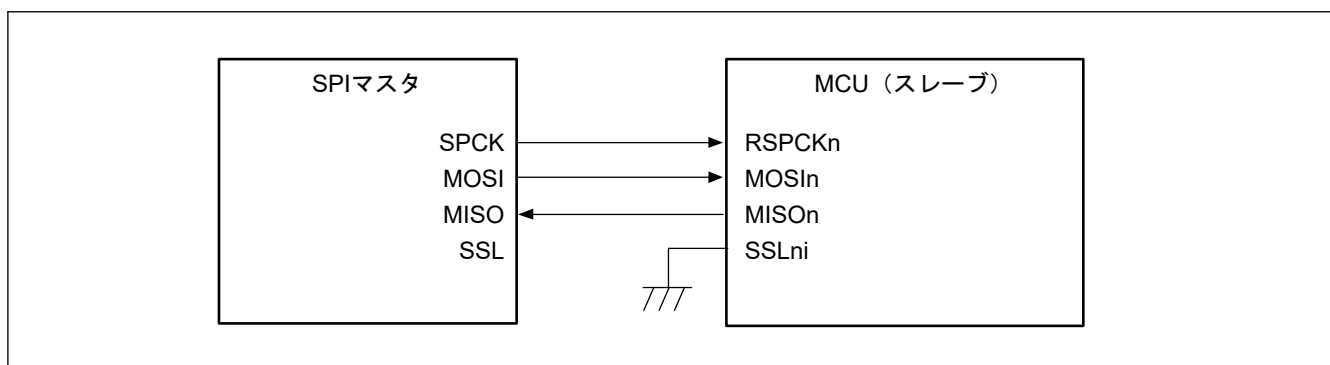


図 31.7 シングルマスタとシングルスレーブの構成例 (MCU はスレーブ、SPCMDm.CPHA = 1)

31.3.3.3 シングルマスタとマルチスレーブ (MCU はマスタ)

図 31.8 に、MCU がマスタである場合のシングルマスタとマルチスレーブの SPI システム構成例を示します。この例では、MCU (マスタ) と 4 つのスレーブ (SPI スレーブ 0～SPI スレーブ 3) で SPI システムを構成しています。

MCU (マスタ) の RSPCK_n 出力と MOSI_n 出力は、SPI スレーブ 0～SPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 0～SPI スレーブ 3 の MISO 出力は、すべて MCU (マスタ) の MISO_n 入力に接続し

ます。MCU（マスタ）の SSLn0～SSLn3 出力は、それぞれ SPI スレーブ 0～SPI スレーブ 3 の SSL 入力に接続します。

MCU（マスタ）は、RSPCKn、MOSIn、および SSLn0～SSLn3 信号をドライブします。SPI スレーブ 0～SPI スレーブ 3 のうち、SSL 入力に Low を入力されているスレーブが、MISO 信号をドライブします。

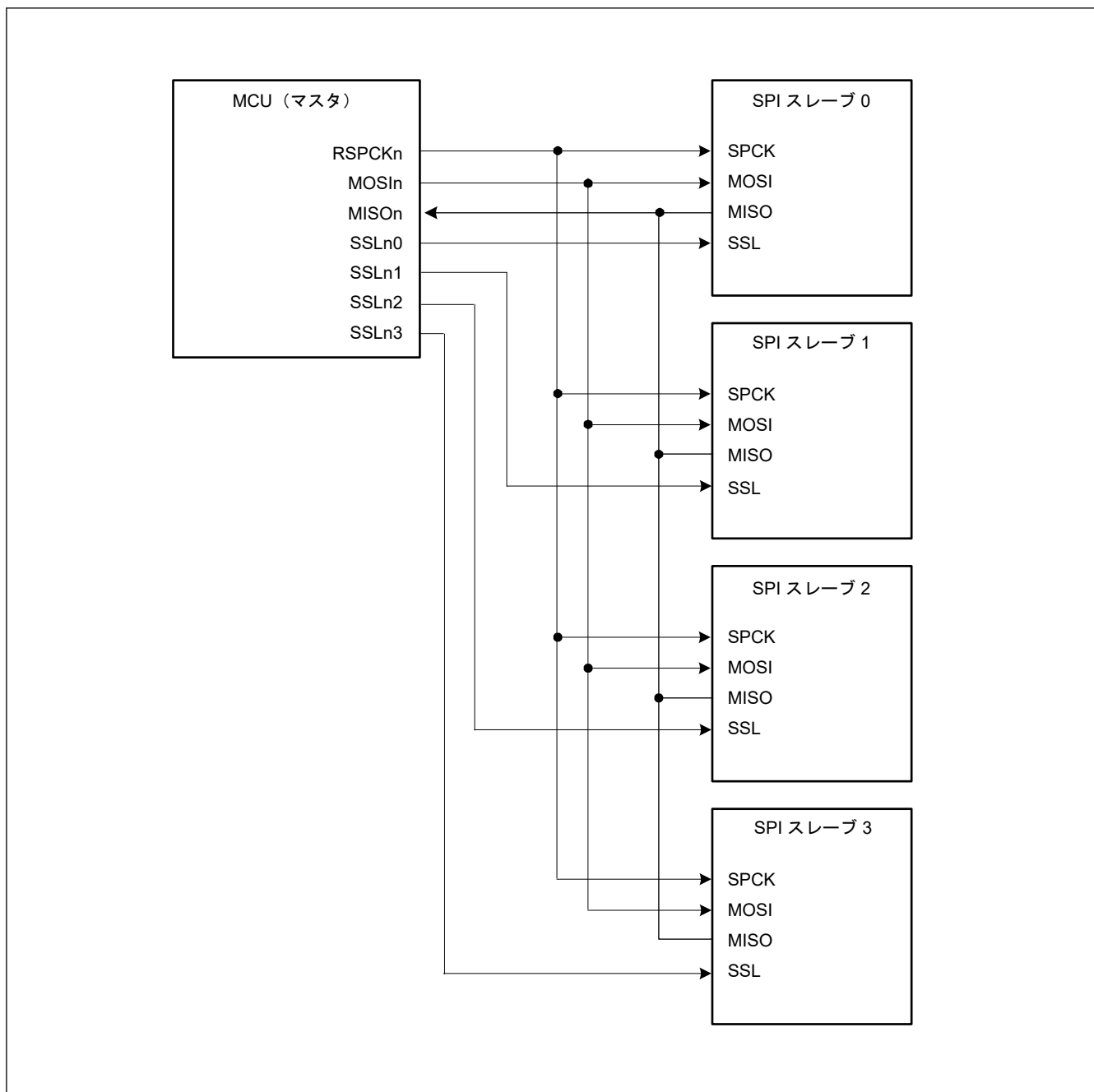


図 31.8 シングルマスタとマルチスレーブの構成例 (MCU はマスタ)

31.3.3.4 シングルマスタとマルチスレーブ (MCU はスレーブ)

図 31.9 に、MCU がスレーブである場合のシングルマスタ／マルチスレーブの SPI システム構成例を示します。この例では、SPI マスタと 2 つの MCU（スレーブ X、スレーブ Y）から SPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、MCU（スレーブ X、スレーブ Y）の RSPCK_n 入力と MOSIn 入力に接続します。MCU（スレーブ X、スレーブ Y）の MISO_n 出力は、すべて SPI マスタの MISO 入力に接続します。SPI マスタの SSLX 出力、SSLY 出力は、それぞれ MCU（スレーブ X、スレーブ Y）の SSLn0 入力に接続します。

SPI マスタは、SPCK、MOSI、SSLX、SSLY をドライブします。MCU (スレーブ X、スレーブ Y) のうち、SSLn0 入力に Low を入力されているスレーブが、MISO_n をドライブします。

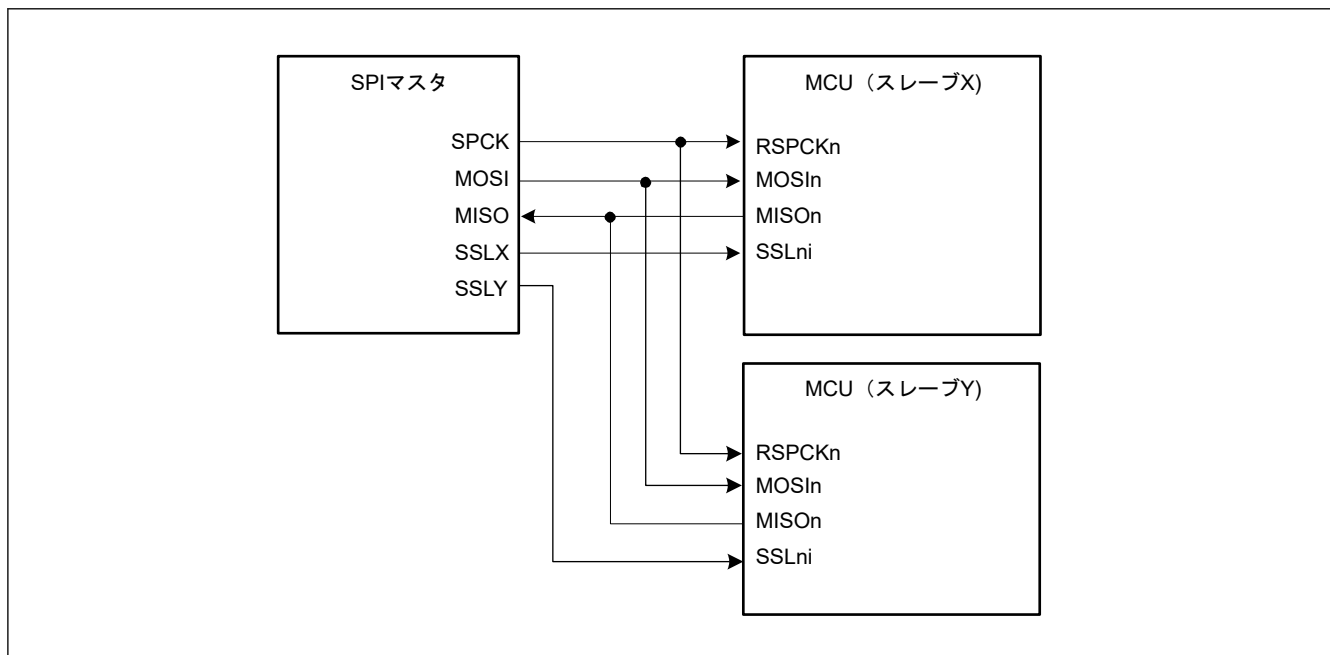


図 31.9 シングルマスタとマルチスレーブの構成例 (MCU はスレーブ)

31.3.3.5 マルチマスタとマルチスレーブ (MCU はマスタ)

図 31.10 に、MCU がマスタである場合のマルチマスタ／マルチスレーブの SPI システム構成例を示します。この例では、2 つの MCU (マスタ X、マスタ Y) と 2 つの SPI スレーブ (SPI スレーブ 1、SPI スレーブ 2) から SPI システムを構成しています。

MCU (マスタ X、マスタ Y) の RSPCK_n 出力と MOSI_n 出力は、SPI スレーブ 1、SPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 1、SPI スレーブ 2 の MISO 出力は、MCU (マスタ X、マスタ Y) の MISO_n 入力に接続します。MCU (マスタ X) の任意の汎用ポート Y 出力は、MCU (マスタ Y) の SSL_n0 入力に接続します。MCU (マスタ Y) の任意の汎用ポート X 出力は、MCU (マスタ X) の SSL_n0 入力に接続します。MCU (マスタ X、マスタ Y) の SSL_n1 出力と SSL_n2 出力は、SPI スレーブ 1、SPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSL_n0 入力と、スレーブ接続用の SSL_n1 出力および SSL_n2 出力のみでシステムを構成できるため、MCU の SSL_n3 出力は必要ありません。

MCU は、SSL_n0 入力レベルが High の場合には、RSPCK_n、MOSI_n、SSL_n1、SSL_n2 信号をドライブします。SSL_n0 入力レベルが Low の場合、MCU はモードフォルトエラーを検出し、RSPCK_n、MOSI_n、SSL_n1、および SSL_n2 を Hi-Z にして、他方のマスタに SPI バスを直接解放します。SPI スレーブ 1 または SPI スレーブ 2 のうち、SSL 入力に Low を入力されているスレーブが、MISO 信号をドライブします。

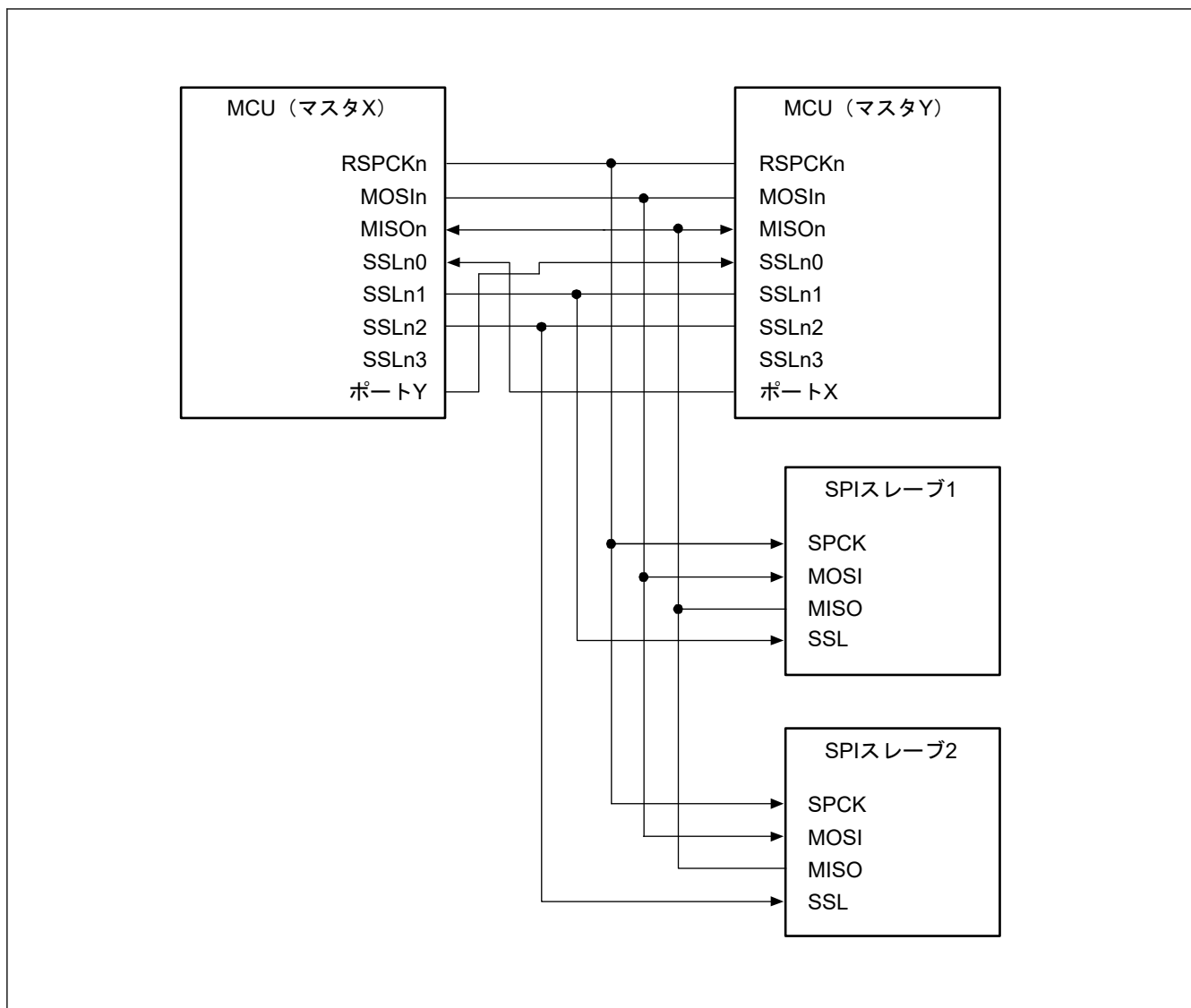


図 31.10 マルチマスタとマルチスレーブの構成例 (MCU はマスタ)

31.3.3.6 クロック同期式動作のマスタとスレーブ (MCU はマスタ)

図 31.11 に、MCU がマスタである場合のクロック同期式モードのマスタ/スレーブの構成例を示します。この構成で、MCU (マスタ) の SSL_{ni} は使用されません。

MCU (マスタ) は、RSPCK_n および MOSIn 信号をドライブします。SPI スレーブは、MISO 信号をドライブします。

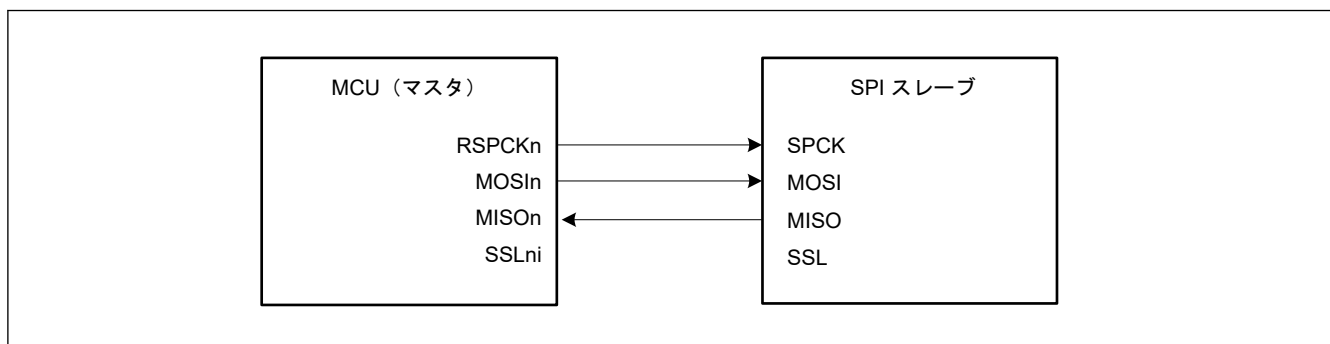


図 31.11 クロック同期式動作のマスタとスレーブの構成例 (MCU はマスタ)

31.3.3.7 クロック同期式動作のマスタとスレーブ (MCU はスレーブ)

図 31.12 に、MCU がスレーブである場合のクロック同期式モードのマスタ／スレーブの構成例を示します。MCU をスレーブ (クロック同期式動作) として使用する場合は、MCU (スレーブ) は MISO_n 信号をドライブし、SPI マスタは SPCK 信号と MOSI 信号をドライブします。また、MCU (スレーブ) の SSL_{n0}～SSL_{n3} は使用されません。

SPCMDm.CPHA ビットが 1 でシングルスレーブ構成の場合のみ、MCU (スレーブ) はシリアル転送を実行できます。

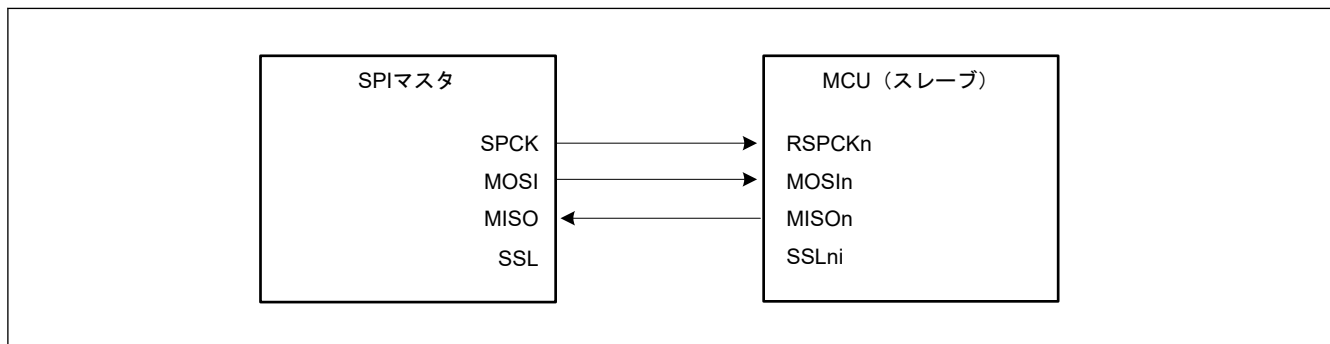


図 31.12 クロック同期式動作のマスタとスレーブの構成例 (MCU はスレーブ、CPHA = 1)

31.3.4 データフォーマット

SPI のデータフォーマットは、SPI コマンドレジスタ m (SPCMDm) と SPI コントロールレジスタ 2 (SPCR2.SPPE) のパリティ有効ビットに依存します。MSB ファーストか LSB ファーストのどちらであるかにかかわらず、SPI は SPI データレジスタ (SPDR/SPDR_HA) の LSB ビットから選択されたデータ長に対応するビットまでを、転送データとして取り扱います。

以下では、転送前または転送後のデータの 1 フレーム分のデータフォーマットについて説明します。

パリティ機能無効時のデータフォーマット

パリティが無効である場合、SPI コマンドレジスタ m の SPI データ長設定 (SPCMDm.SPB[3:0]) で選択されたビット長で、データの送信または受信を進行します。

パリティ機能有効時のデータフォーマット

パリティが有効である場合、SPI コマンドレジスタ m の SPI データ長設定 (SPCMDm.SPB[3:0]) で選択されたビット長で、データの送信または受信を進行します。ただしこの場合、最後のビットはパリティビットです。

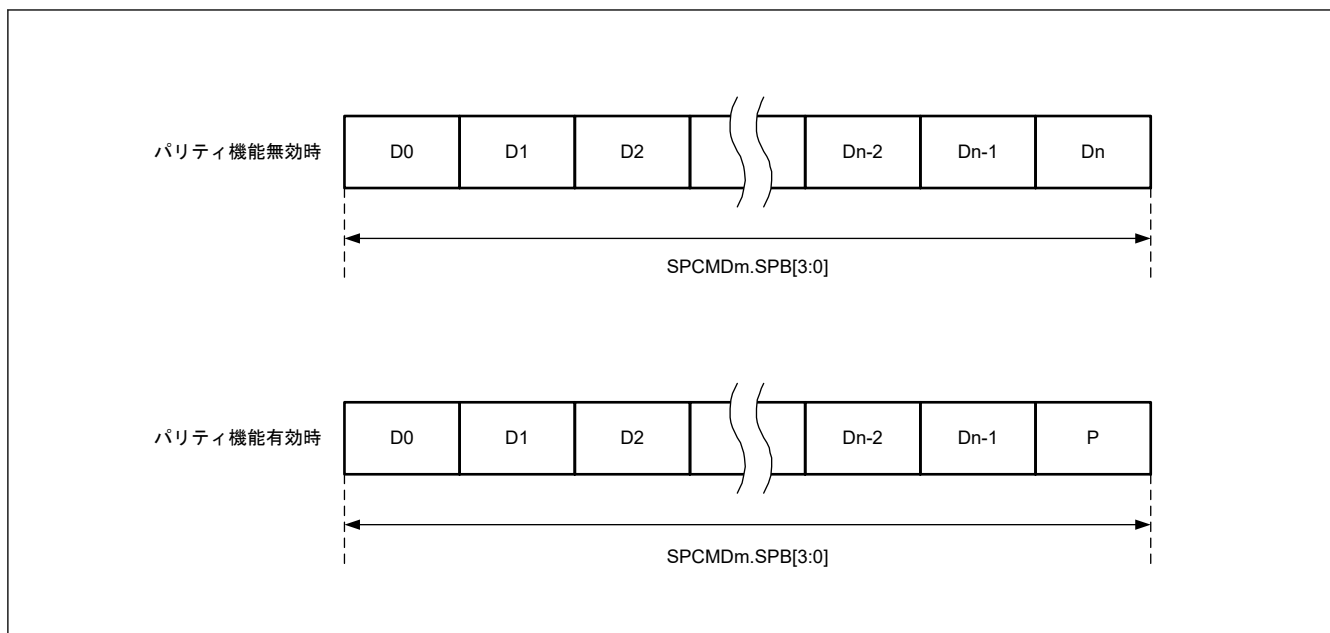


図 31.13 パリティ機能無効時と有効時のデータフォーマット

31.3.4.1 パリティ無効時 (SPCR2.SPPE = 0) の動作

パリティが無効の場合、送信用データは前処理なしでシフトレジスタにコピーされます。本項では、SPI データレジスタ (SPDR/SPDR_HA) と MSB ファーストオーダーまたは LSB ファーストオーダーとデータ長の組み合わせに関連するシフトレジスタの間の接続について説明します。

(1) MSB ファースト転送 (32 ビットデータ)

図 31.14 に、パリティ機能無効時に、SPI データ長が 32 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの T31～T00 ビットをシフトレジスタにコピーします。送信データは、T31 → T30 → … → T00 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R31～R00 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。

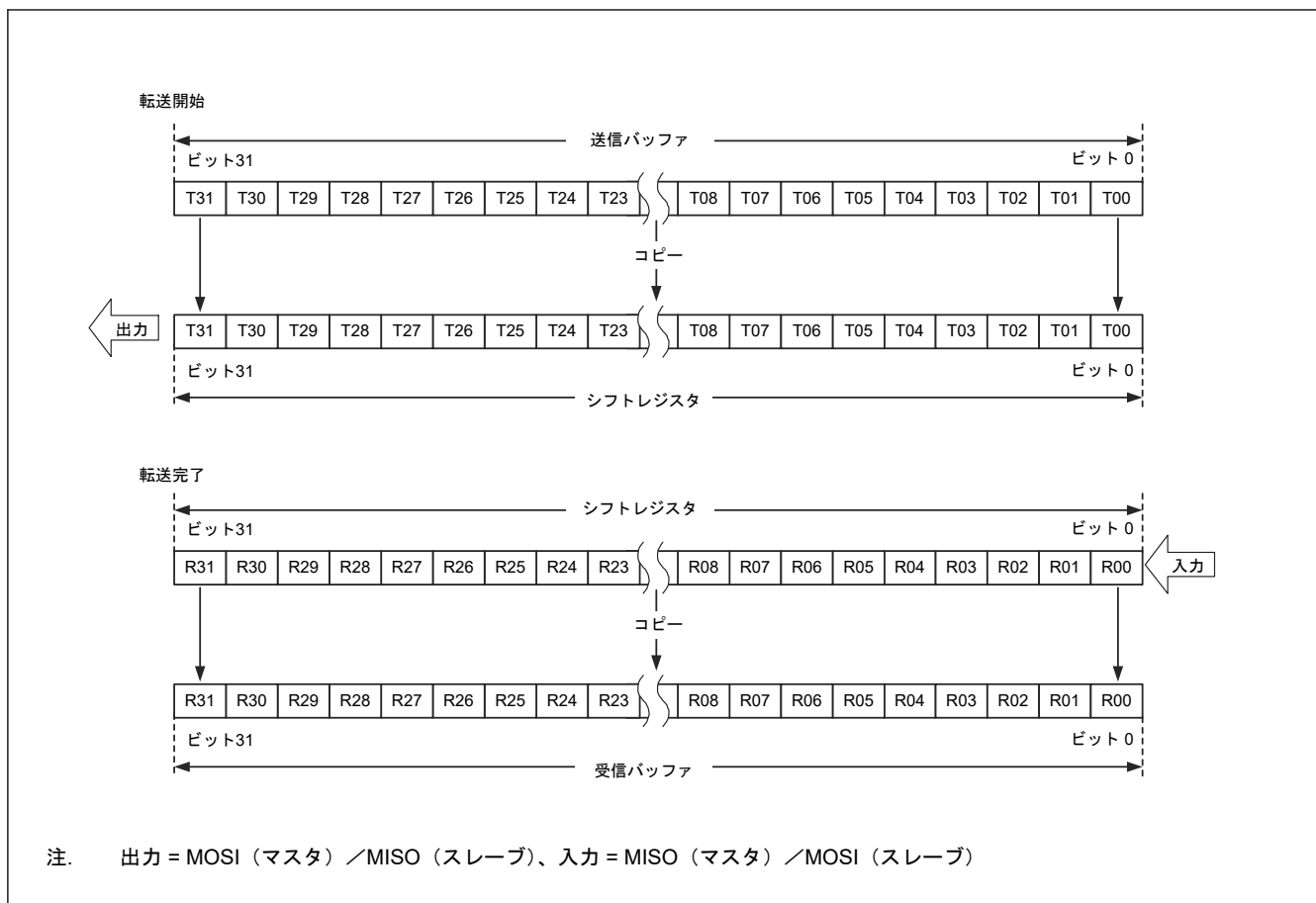


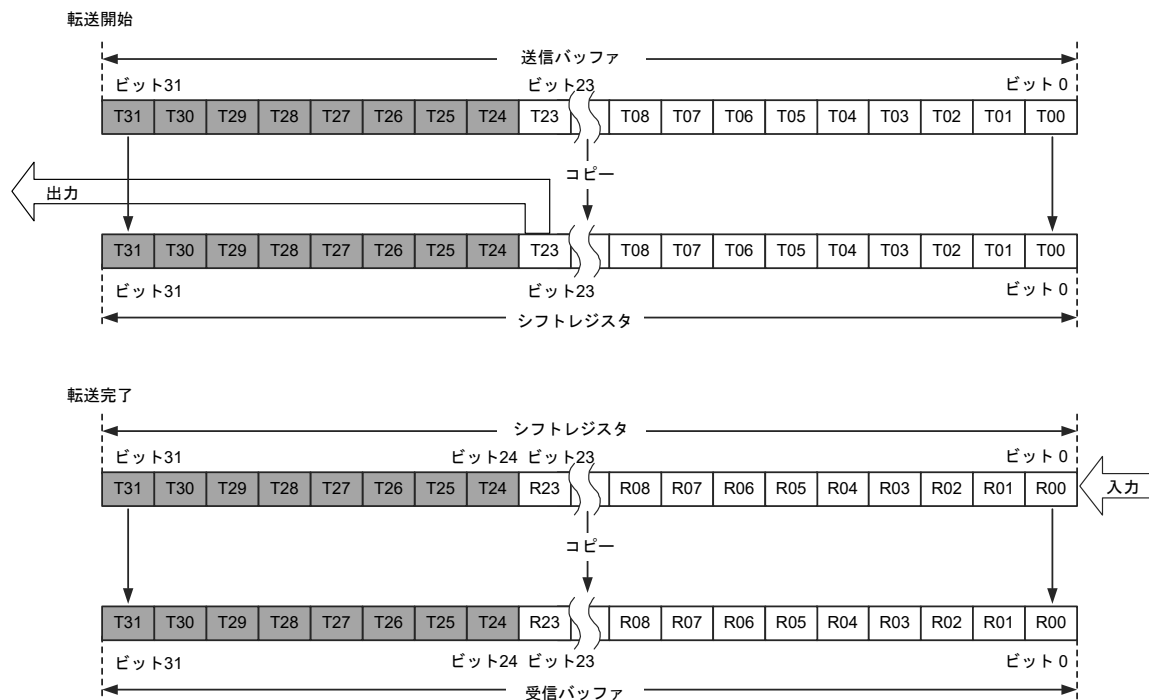
図 31.14 MSB ファースト転送 (32 ビットデータ/パリティ機能無効)

(2) MSB ファースト転送 (24 ビットデータ)

図 31.15 に、パリティ機能無効時に、SPI データ長が 32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの下位 24 ビット (T23～T00) をシフトレジスタにコピーします。送信データは、T23 → T22 → … T00 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R23～R00 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。送受信動作の場合、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31～T24 ビットに 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。また、受信のみ動作の場合は、受信バッファの上位 8 ビットに 0 が書き込まれます。



注. 出力 = MOSI (マスタ) / MISO (スレーブ)、入力 = MISO (マスタ) / MOSI (スレーブ)

図 31.15 MSB ファースト転送 (24 ビットデータ/パリティ機能無効)

(3) LSB ファースト転送 (32 ビットデータ)

図 31.16 に、パリティ機能無効時に、SPI データ長が 32 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージのビット T31～T00 をビット単位で T00～T31 の順序に並び替えて、シフトレジスタにコピーします。送信データは、T00 → T01 → … T31 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00～R31 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。

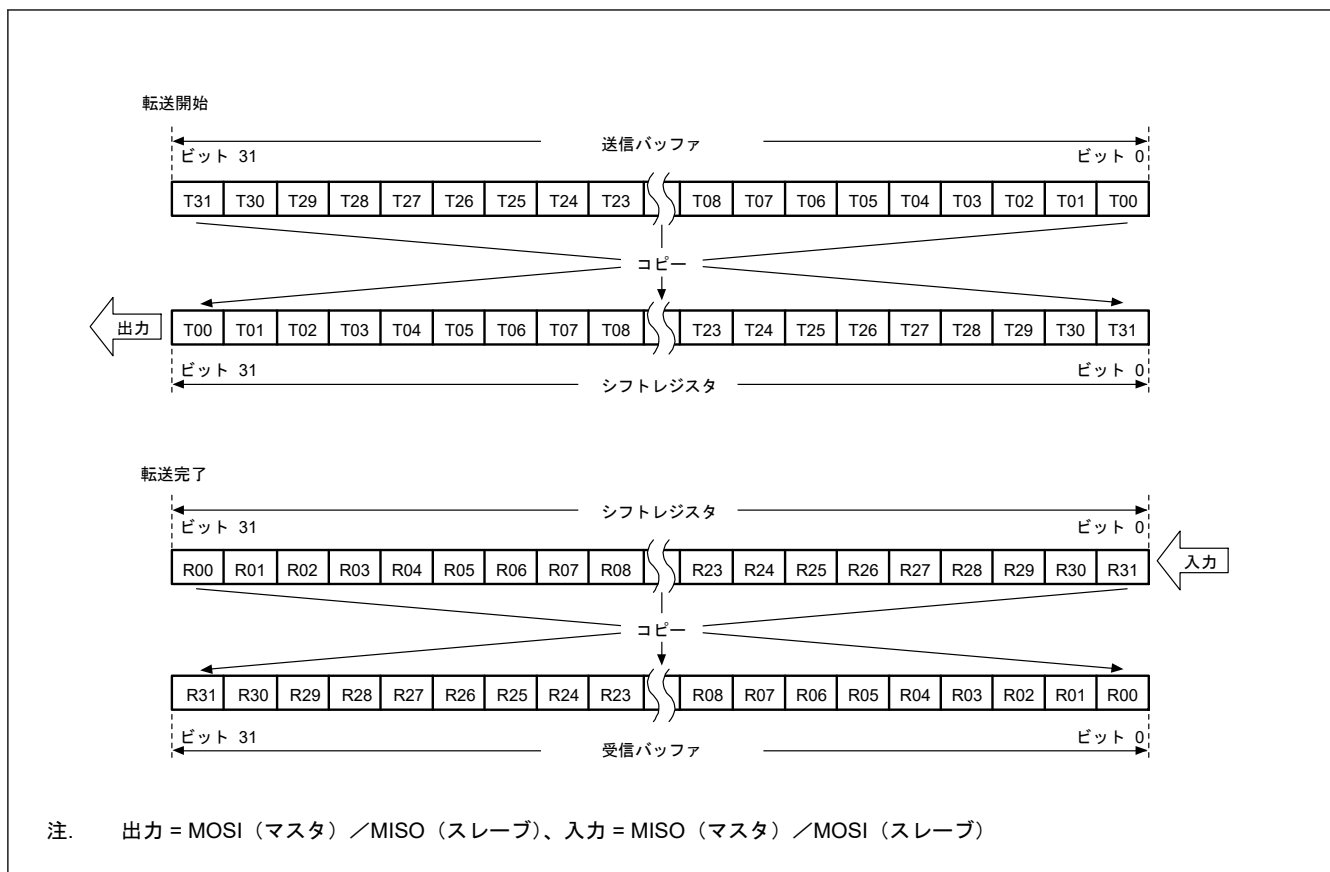


図 31.16 LSB ファースト転送 (32 ビットデータ/パリティ機能無効)

(4) LSB ファースト転送 (24 ビットデータ)

図 31.17 に、パリティ機能無効時に、SPI データ長が 32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの下位 24 ビット (T23～T00) をビット単位で T00～T23 の順序に並び換えて、シフトレジスタにコピーします。送信データは、T00 → T01 → … T23 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 8 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00～R23 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。

送受信動作の場合、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31～T24 ビットに 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。また、受信のみ動作の場合は、受信バッファの上位 8 ビットに 0 が書き込まれます。

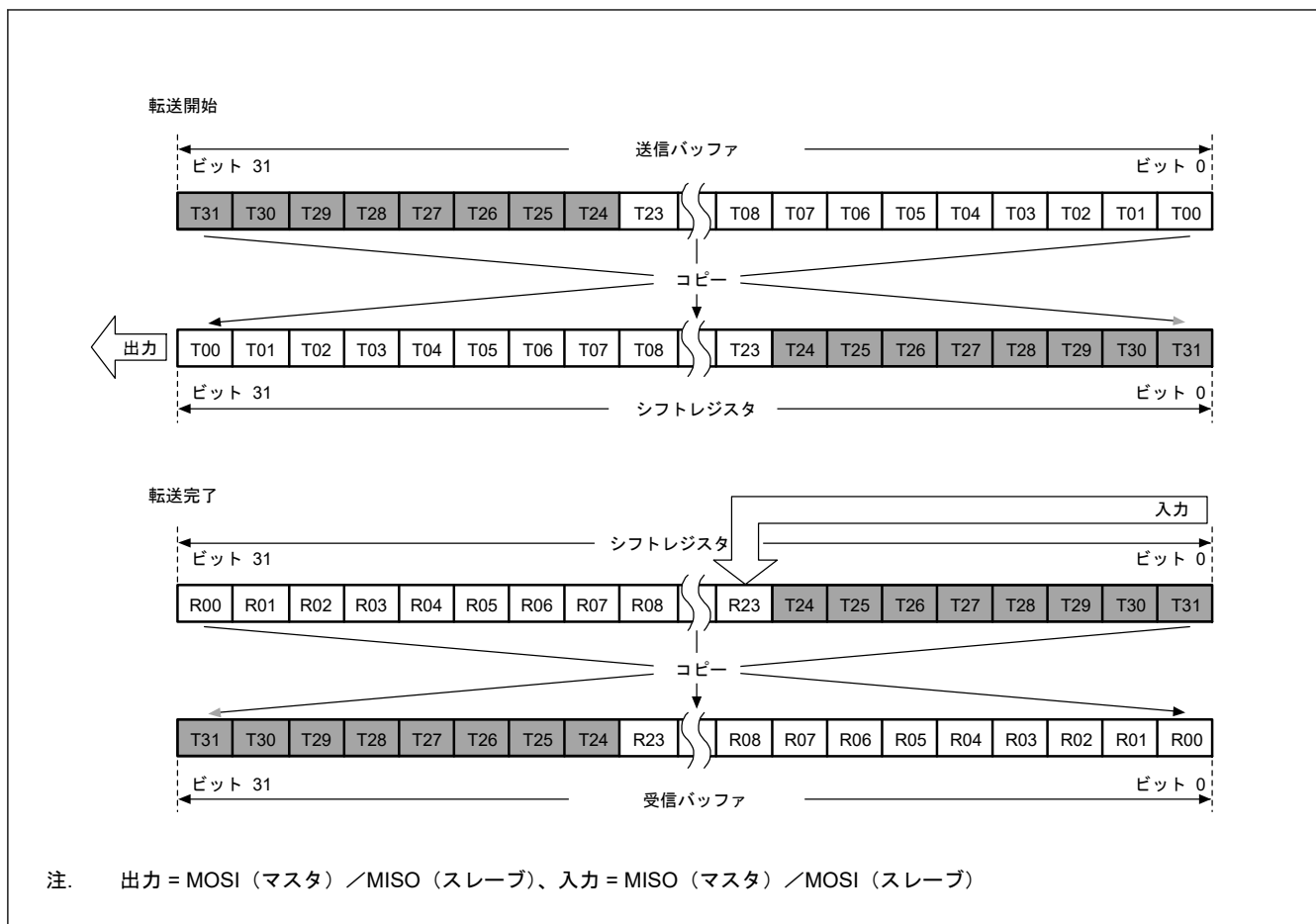


図 31.17 LSB ファースト転送 (24 ビットデータ/パリティ機能無効)

31.3.4.2 パリティ有効時 (SPCR2.SPPE = 1) の動作

パリティ機能が有効の場合、送信データの最下位ビットはパリティビットになります。パリティビットの値は、ハードウェアが計算します。

(1) MSB ファースト転送 (32 ビットデータ)

図 31.18 に、パリティ機能有効時に、SPI データ長が 32 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T31 ~ T01 ビットからパリティビット (P) の値を計算し、最終ビットである T00 と置き換えて、値全体をシフトレジスタにコピーします。データは、T31 → T30 → ... → T01 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R31 ~ P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R31 ~ P ビットのデータをチェックします。

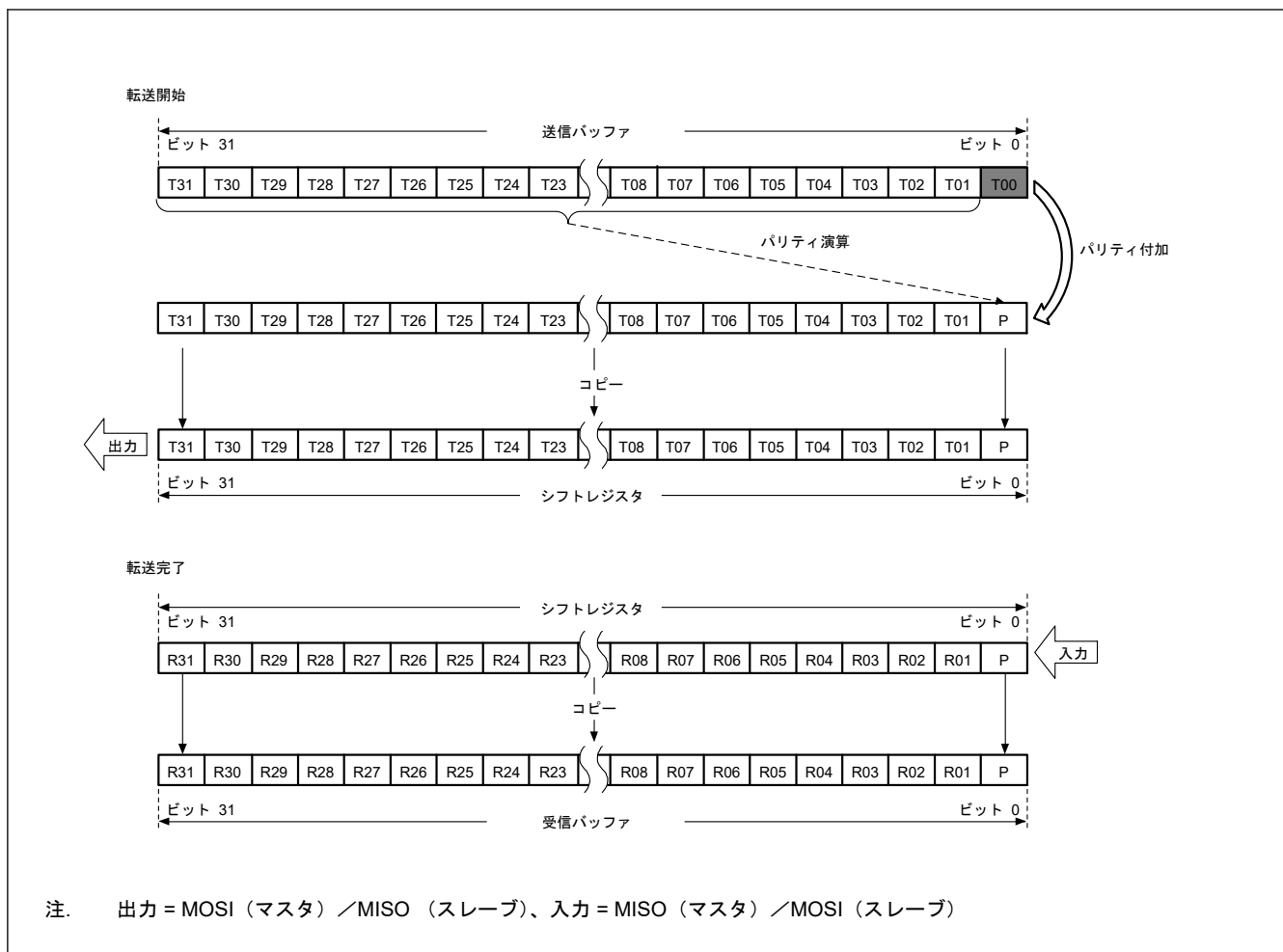


図 31.18 MSB ファースト転送 (32 ビットデータ/パリティ機能有効)

(2) MSB ファースト転送 (24 ビットデータ)

図 31.19 に、パリティ機能有効時に、SPI データ長が 32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T23～T01 ビットからパリティビット (P) の値を計算し、最終ビットである T00 と置き換えて、値全体をシフトレジスタにコピーします。データは、T23 → T22 → … → T01 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R23～P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R23～P ビットのデータをチェックします。送受信動作の場合、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31～T24 ビットに 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。また、受信のみ動作の場合は、受信バッファの上位 8 ビットに 0 が書き込まれます。

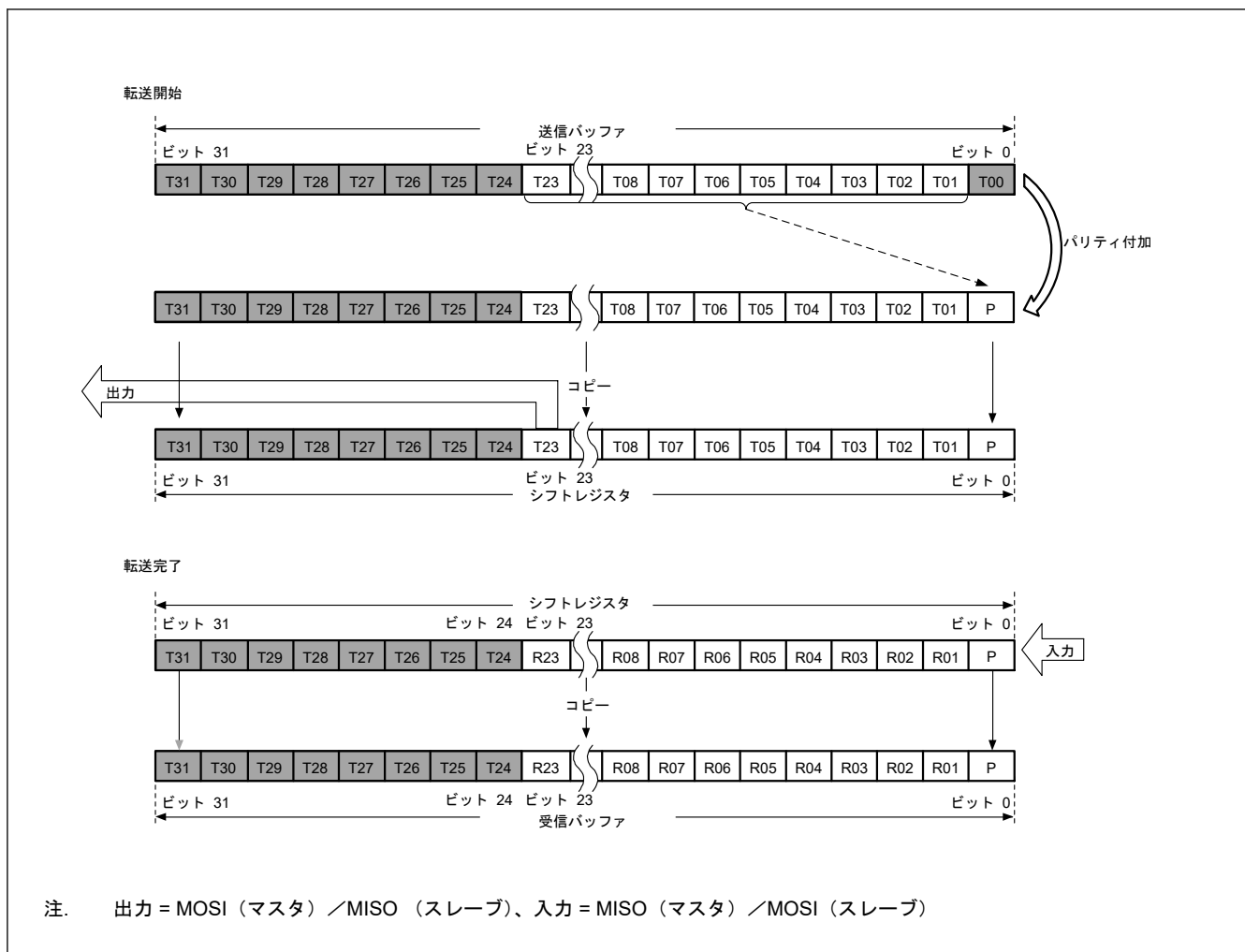


図 31.19 MSB ファースト転送 (24 ビットデータ/パリティ機能有効)

(3) LSB ファースト転送 (32 ビットデータ)

図 31.20 に、パリティ機能有効時に、SPI データ長が 32 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T30～T00 ビットからパリティビット (P) の値を計算し、最終ビットである T31 と置き換えて、値全体をシフトレジスタにコピーします。送信データは、T00 → T01 → ・ ・ ・ T30 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00～P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R00～P ビットのデータをチェックします。

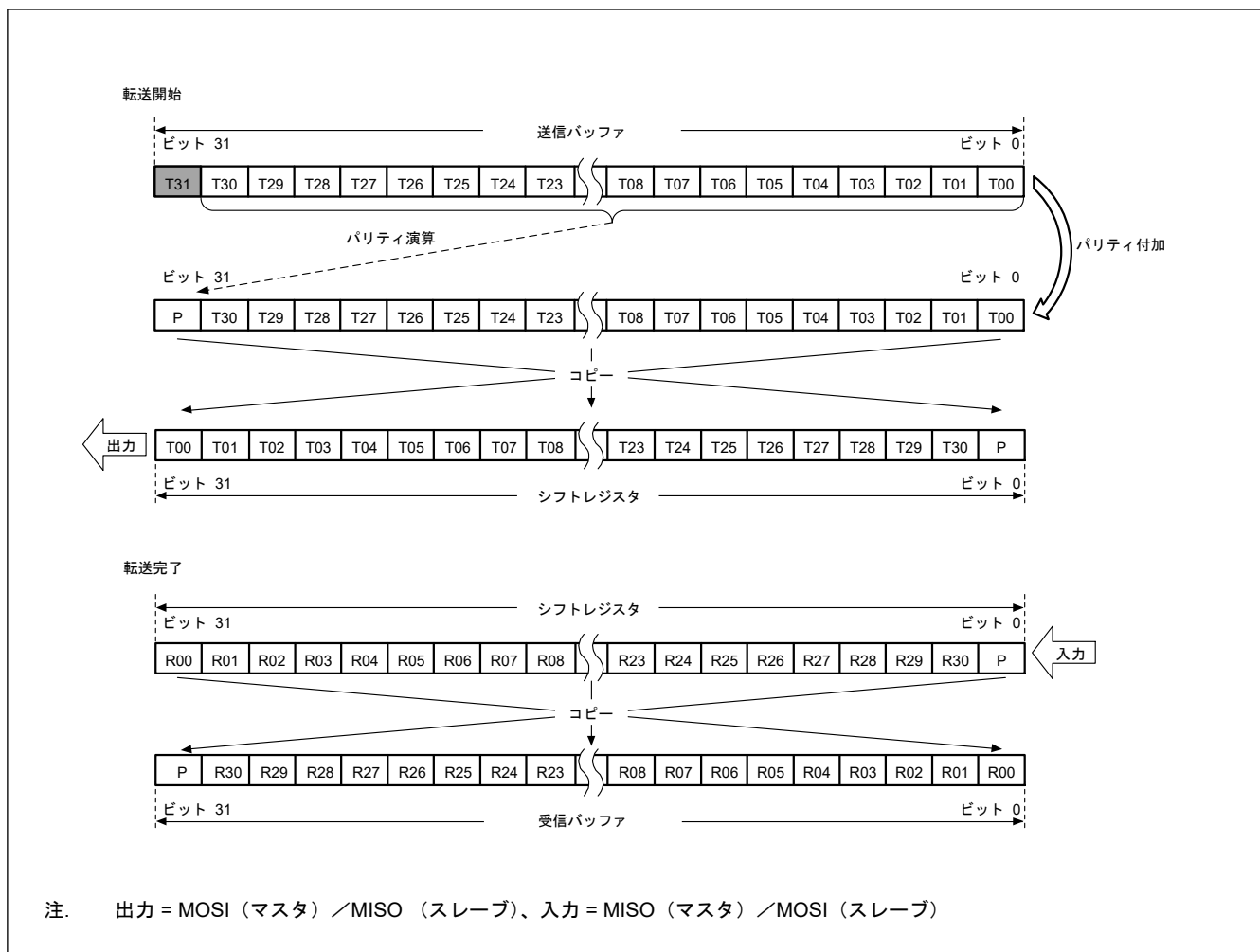


図 31.20 LSB ファースト転送 (32 ビットデータ/パリティ機能有効)

(4) LSB ファースト転送 (24 ビットデータ)

図 31.21 に、パリティ機能有効時に、SPI データ長が 32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T22～T00 ビットからパリティビット (P) の値を計算し、最終ビットである T23 と置き換えて、値全体をシフトレジスタにコピーします。データは、T00 → T01 → … → T22 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 8 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00～P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R00～P ビットのデータをチェックします。送受信動作の場合、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31～T24 ビットに 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。また、受信のみ動作の場合は、受信バッファの上位 8 ビットに 0 が書き込まれます。

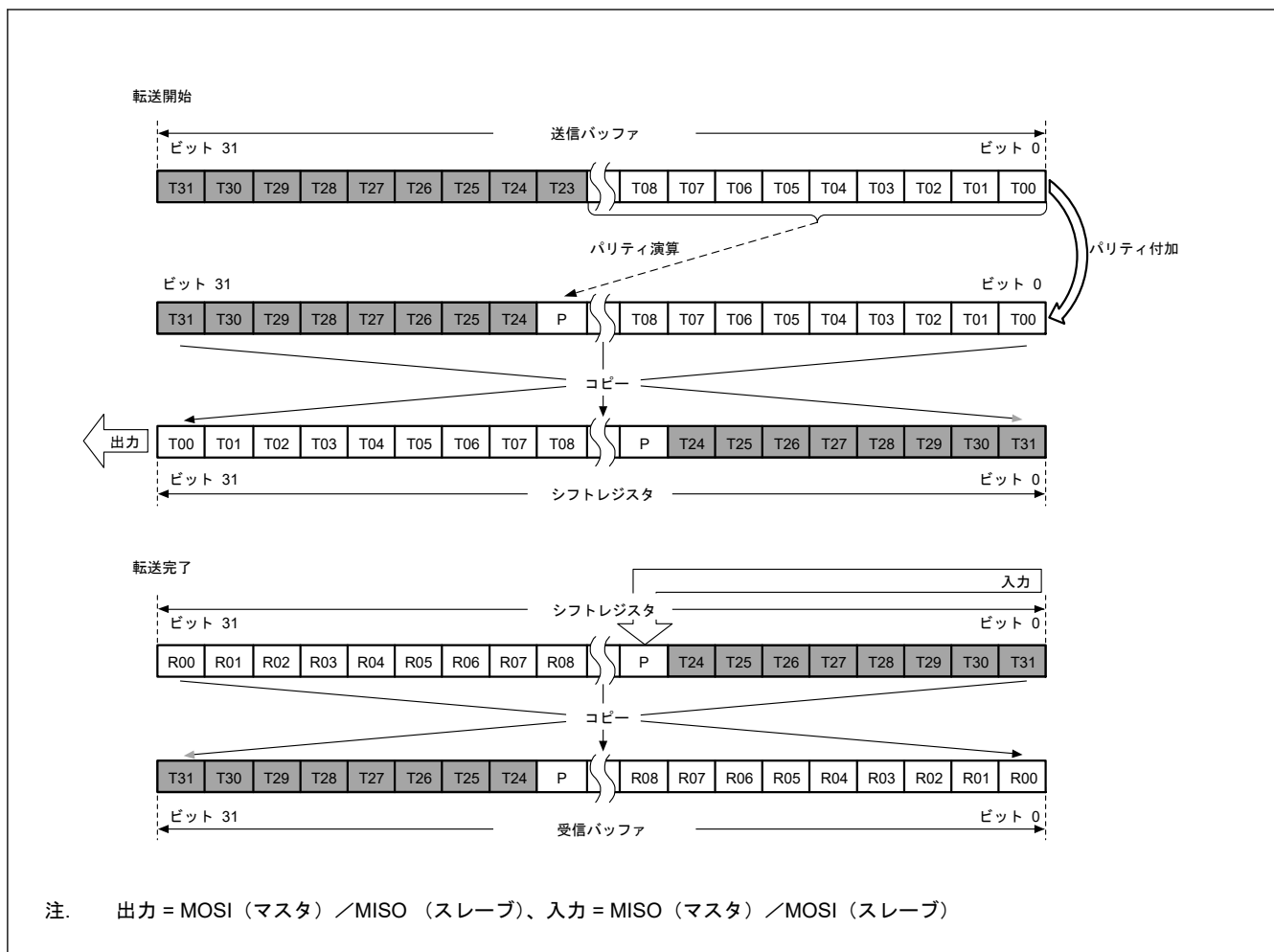


図 31.21 LSB ファースト転送 (24 ビットデータ/パリティ機能有効)

31.3.4.3 バイトスワップ送信

(1) MSB ファースト転送 (バイトスワップ無効時)

送信バッファ (Byte0 [T31~T24]~Byte3 [T07~T00]) のデータがシフトレジスタにコピーされます。
シフトレジスタのビット値が T31 → T30 → ... → T00 の順に送信データとしてシフトし送信されます。

(2) MSB ファースト転送 (バイトスワップ有効時)

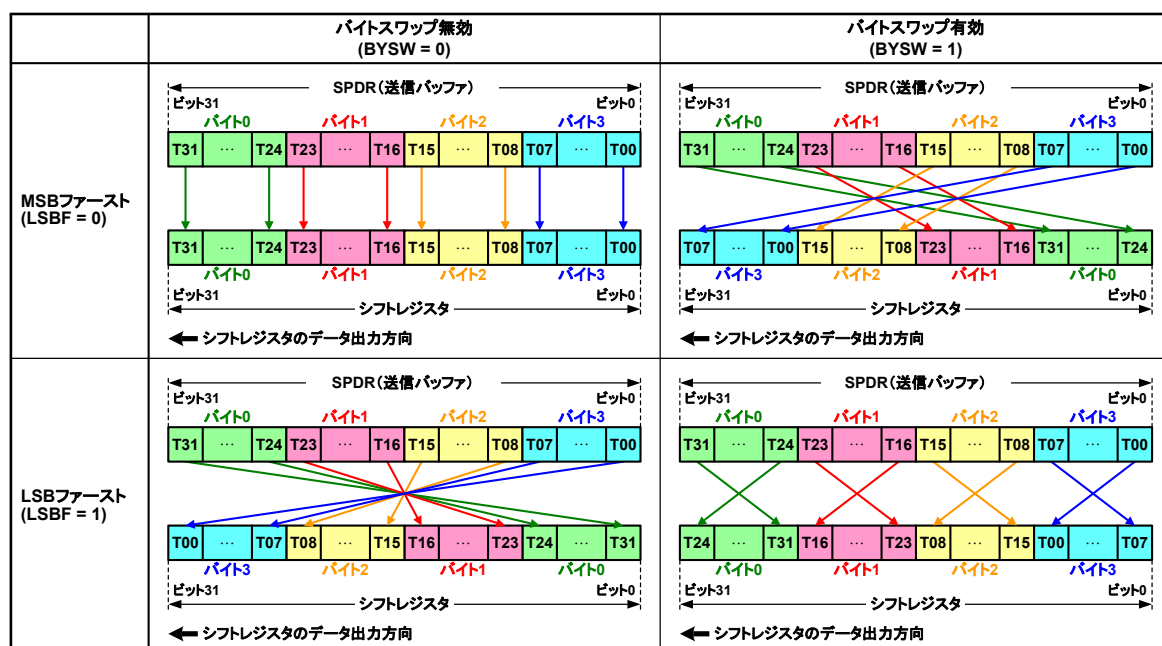
送信バッファ (Byte0 [T31~T24]~Byte3 [T07~T00]) のバイト値がバイト単位で反転し、Byte3 [T07~T00]~Byte0 [T31~T24]の順でシフトレジスタにコピーされます。
シフトレジスタのビット値が T07 → T06 → ... → T00 → T15 → T14 → ... → T08 → T23 → T22 → ... → T16 → T31 → T30 → ... → T24 の順に送信データとしてシフトし送信されます。

(3) LSB ファースト転送 (バイトスワップ無効時)

送信バッファ (Byte0 [T31~T24]~Byte3 [T07~T00]) のビット値がビット単位で反転し、Byte3 [T00~T07]~Byte0 [T24~T31]の順でシフトレジスタにコピーされます。
シフトレジスタのビット値が T00 → T01 → ... → T31 の順に送信データとしてシフトし送信されます。

(4) LSB ファースト転送 (バイトスワップ有効時)

送信バッファ (Byte0 [T31~T24]~Byte3 [T07~T00]) の各バイトのビット値がビット単位で反転し、Byte0 [T24~T31]~Byte3 [T00~T07]の順でシフトレジスタにコピーされます。
シフトレジスタのビット値が T24 → T25 → ... → T31 → T16 → T17 → ... → T23 → T08 → T09 → ... → T15 → T00 → T01 → ... → T07 の順に送信データとしてシフトし送信されます。



- 注.
1. バイトスワップを使用時、データ長 (SPCMD.SPB[3:0] ビットの設定) は 16 ビットか 32 ビットとしてください。他のデータ長 (8~15、20、24 ビット長) を設定した場合の動作は保証されません。
 2. バイトスワップが有効の場合、パリティ機能は無効に設定してください (SPCR2.SPPE ビット = 0)。パリティ機能を有効に設定した場合 (SPPE ビット = 1) の動作は保証されません。
 3. SPDCR2.BYSW ビットの設定は、SPCR.SPE ビットが 0 の状態で行ってください。SPE ビットが 1 の状態で BYSW ビットを書き換えた場合、その後の動作は保証されません。

図 31.22 MSB/LSB 転送でのバイトスワップ

31.3.4.4 バイトスワップ受信

(1) MSB ファースト転送 (バイトスワップ無効時)

最初の受信データ (R31) をシフトレジスタのビット 0 に格納し、受信データは R31 → R30 → ... → R00 の順にシフトします。

必要数分の RSPCK 周期が入力され、Byte0 [R31~R24]~Byte3 [R07~R00] にデータがたまると、シフトレジスタの値を受信バッファにコピーします。

(2) MSB ファースト転送 (バイトスワップ有効時)

最初の受信データ (R07) をシフトレジスタのビット 0 に格納し、受信データは R07 → R06 → ... → R00 → R15 → R14 → ... → R08 → R23 → R22 → ... → R16 → R31 → R30 → ... → R24 の順にシフトします。

必要数分の RSPCK 周期が入力され、Byte3 [R07~R00]~Byte0 [R31~R24] にデータがたまると、シフトレジスタのバイト値をバイト単位で入れ替え、Byte0 [R31~R24]~Byte3 [R07~R00] の順で受信バッファにコピーされます。

(3) LSB ファースト転送 (バイトスワップ無効時)

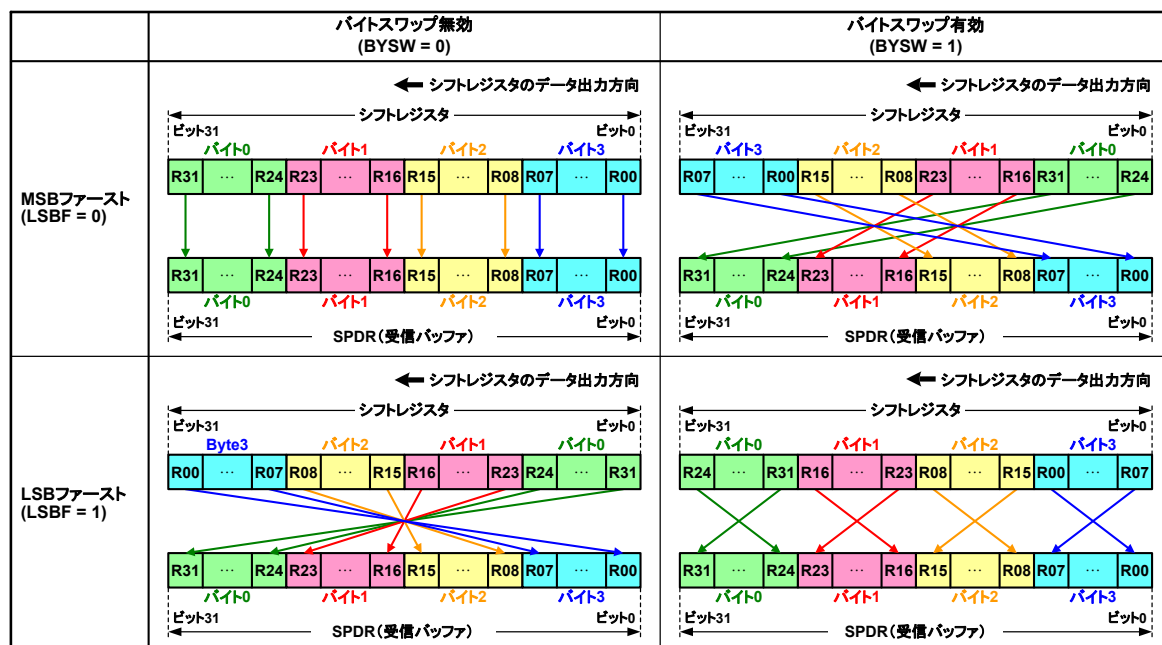
最初の受信データ (R00) をシフトレジスタのビット 0 に格納し、受信データは R00 → R01 → ... → R31 の順にシフトします。

必要数分の RSPCK 周期が入力され、Byte3 [R00~R07]~Byte0 [R24~R31] にデータがたまると、シフトレジスタのビット値をビット単位で入れ替え、Byte0 [R31~R24]~Byte3 [R07~R00] の順で受信バッファにコピーされます。

(4) LSB ファースト転送 (バイトスワップ有効時)

最初の受信データ (R24) をシフトレジスタのビット 0 に格納し、受信データは R24 → R25 → ... → R31 → R16 → R17 → ... → R23 → R08 → R09 → ... → R15 → R00 → R01 → ... → R07 の順にシフトします。

必要数分の RSPCK 周期が入力され、Byte0 [R24~R31]~Byte3 [R00~R07] にデータがたまると、シフトレジスタの各バイトのビット値をビット単位で入れ替え、Byte0 [R31~R24]~Byte3 [R07~R00] の順で受信バッファにコピーされます。



- 注.
1. バイトスワップを使用時、データ長 (SPCMD.SPB[3:0] ビットの設定) は 16 ビットか 32 ビットとしてください。他のデータ長 (8~15、20、24 ビット長) を設定した場合の動作は保証されません。
 2. バイトスワップが有効の場合、パリティ機能は無効に設定してください (SPCR2.SPPE ビット = 0)。パリティ機能は有効に設定した場合 (SPPE ビット = 1) の動作は保証されません。
 3. SPDCR2.BYSW ビットの設定は、SPCR.SPE ビットが 0 の状態で行ってください。SPE ビットが 1 の状態で BYSW ビットを書き換えると、その後の動作は保証されません。

図 31.23 MSB/LSB 転送でのバイトスワップ

31.3.5 転送フォーマット

31.3.5.1 CPHA = 0 の場合

図 31.24 に SPCMDm.CPHA ビットが 0 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。SPI がスレーブモード (SPCR.MSTR = 0) で、CPHA ビットが 0 の場合、クロック同期式動作 (SPCR.SPMS = 1) は行わないでください。図 31.24 において、RSPCKn (CPOL = 0) は、SPCMDm.CPOL ビットが 0 の場合の RSPCKn 信号波形を示します。また、RSPCKn (CPOL = 1) は、CPOL ビットが 1 の場合の RSPCKn 信号波形を示します。サンプリングタイミングは、SPI がシフトレジスタにシリアル転送データを取り込むタイミングを示します。各信号の入出力方向は、SPI の設定に依存します。詳細は「31.3.2. SPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが 0 の場合には、SSLni 信号のアサートタイミングで、MOSIn 信号と MISOOn 信号への有効データのドライブを開始します。SSLni 信号のアサート後に発生する最初の RSPCKn 信号の変化が、最初の転送データ取り込みになります。これ以降、1 RSPCKn 周期ごとにデータがサンプリングされます。MOSIn 信号と MISOOn 信号の変化タイミングは、転送データ取り込みタイミングの 1/2 RSPCK 周期後になります。CPOL ビットの設定は、RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLni 信号のアサートから RSPCKn 発振までの期間 (RSPCK 遅延) を示します。t2 は、RSPCKn 発振停止から SSLni 信号のネゲートまでの期間 (SSL ネゲート遅延) を示します。t3 は、シリアル転送終了後に次転送のための SSLni 信号アサートを抑制する期間 (次アクセス遅延) を示します。t1、t2、t3 は、SPI システム上のマスタデバイスによって制御されます。MCU の SPI がマスタモードである場合の t1、t2、t3 については、「[31.3.12.1. マスタモード動作](#)」を参照してください。

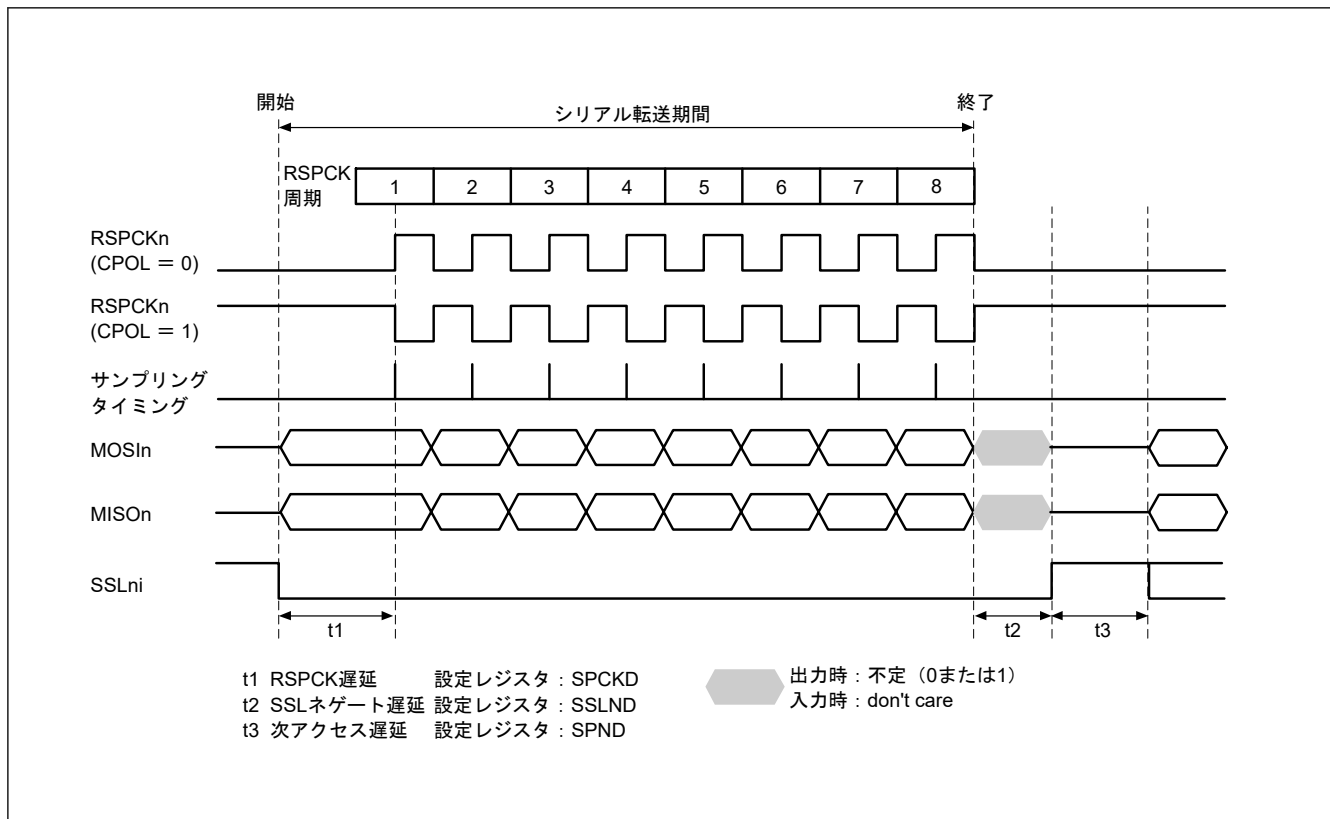


図 31.24 CPHA = 0 の場合の SPI 転送フォーマット

31.3.5.2 CPHA = 1 の場合

図 31.25 に SPCMDm.CPHA ビットが 1 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが 1 の場合は SSLni 信号を用いず、RSPCKn 信号、MOSIn 信号、および MISOOn 信号の 3 つの信号のみで通信を行います。図 31.25 において、RSPCK (CPOL = 0) は、SPCMDm.CPOL ビットが 0 の場合の RSPCKn 信号波形を示します。また、RSPCK (CPOL = 1) は、CPOL ビットが 1 の場合の RSPCKn 信号波形を示します。サンプリングタイミングは、SPI がシフトレジスタにシリアル転送データを取り込むタイミングを示します。各信号の入出力方向は、SPI のモード (マスタまたはスレーブ) に依存します。詳細は「[31.3.2. SPI 端子の制御](#)」を参照してください。

SPCMDm.CPHA ビットが 1 の場合には、SSLni 信号のアサートタイミングで、MISOOn 信号への無効データのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号変化で、MOSIn 信号と MISOOn 信号への有効データの出力が開始され、これ以降、1 RSPCK 周期ごとにデータが更新されます。転送データの取り込みのタイミングは、データ更新タイミングの 1/2 RSPCK 周期後になります。SPCMDm.CPOL ビットの設定は、RSPCKn 信号の動作タイミングに影響を与えません。信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビットが 0 の場合と同様です。MCU の SPI がマスタモードである場合の t1、t2、t3 については、「[31.3.12.1. マスタモード動作](#)」を参照してください。

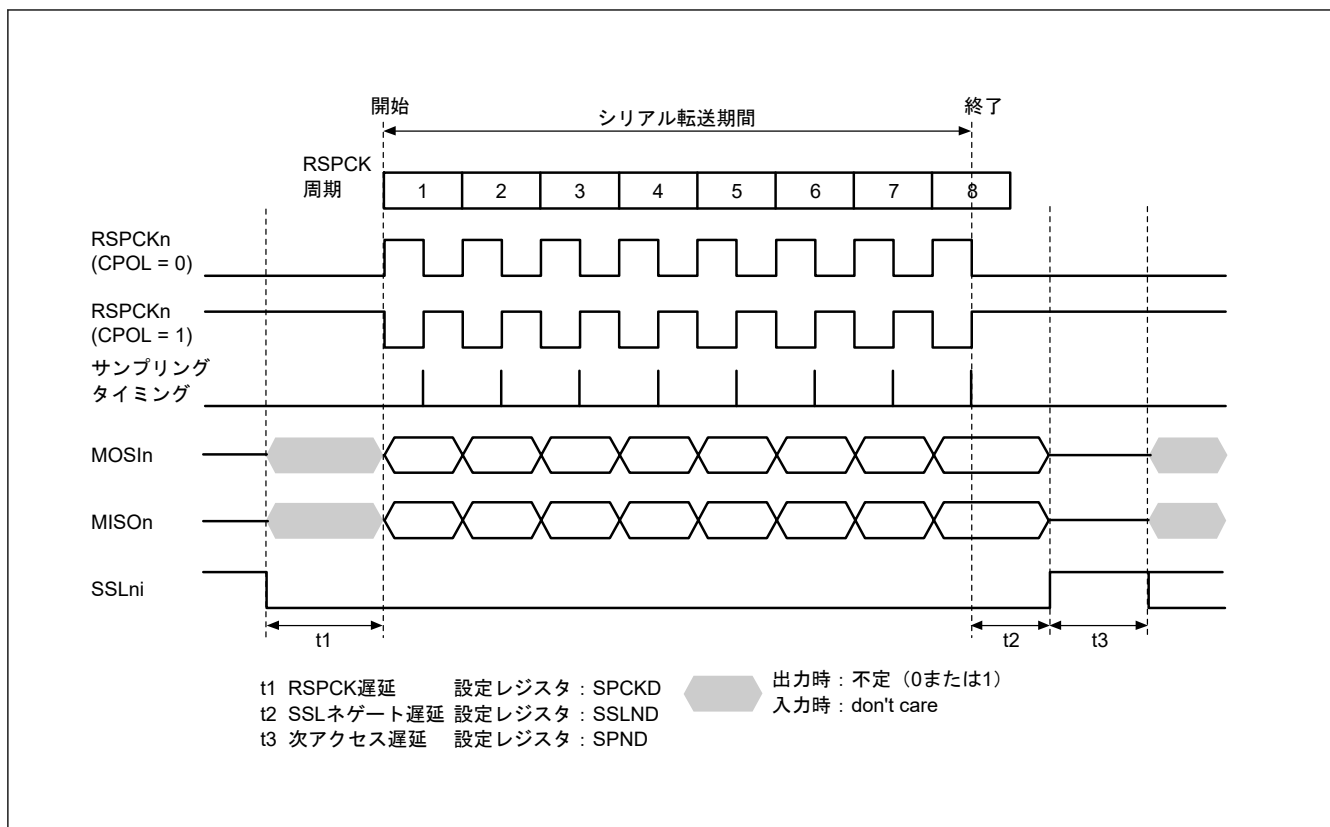


図 31.25 CPHA = 1 の場合の SPI 転送フォーマット

31.3.6 データ転送モード

通信動作モード選択ビット (SPCR.TXMD) の設定により、全二重同期式シリアル通信または送信のみの動作が選択できます (拡張通信モード選択ビット (SPCR3.ETXMD) が 0 の場合)。SPCR3.ETXMD ビットが 1 の場合、スレーブモード (SPCR.MSTR = 0) で SPI の動作は受信のみです。これは SPCR.TXMD ビットが SPI の動作に影響を及ぼさないためです。図 31.26、図 31.27、および図 31.28 に示すレジスタアクセスは、SPDR/SPDR_HA レジスタへのアクセスの条件を示します。W は書き込みサイクルを示します。

31.3.6.1 全二重同期式シリアル通信 (SPCR3.ETXMD = 0, SPCR.TXMD = 0)

図 31.26 に、SPI コントロールレジスタ 3 (SPCR3) の拡張通信モード選択ビット (ETXMD) を 0、通信動作モード選択ビット (SPCR.TXMD) を 0 にした場合の動作例を示します。この例では、SPDCR.SPFC[1:0] ビットが 00b、SPCMDm.CPHA ビットが 1、かつ SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

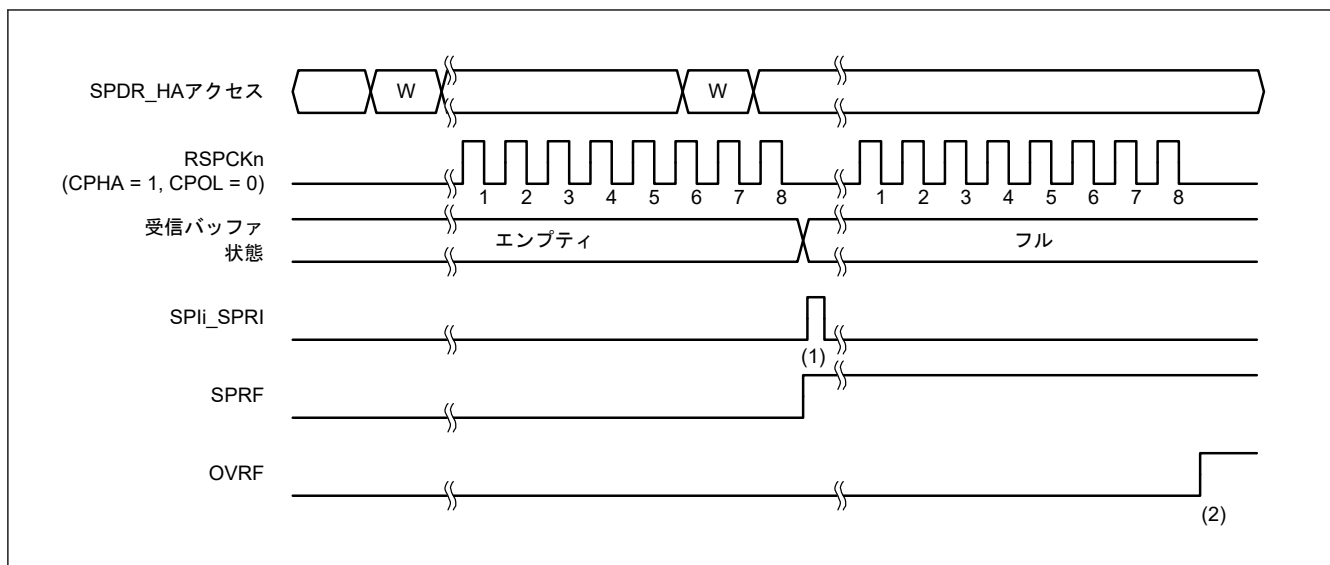


図 31.26 SPCR3.ETXMD = 0 かつ SPCR.TXMD = 0 の動作例

以下に、図 31.26 の (1)、(2) に示したタイミングでのフラグ動作を説明します。

1. SPDR_HA の受信バッファがエンプティの状態ではシリアル転送が終了すると、SPI は受信バッファフル割り込み要求 (SPIi_SPRI) を発生させ、SPSR.SPRF フラグを 1 にして、シフトレジスタの受信データを受信バッファにコピーします。
2. SPDR_HA レジスタの受信バッファに以前のシリアル転送の受信データがある状態でシリアル転送が終了すると、SPI は SPSR.OVRF フラグを 1 にして、シフトレジスタの受信データを破棄します。SPSR.OVRF フラグの動作の詳細については「31.3.10.1. オーバーランエラー」を参照してください。

31.3.6.2 送信のみのシリアル通信 (SPCR3.ETXMD = 0, SPCR.TXMD = 1)

図 31.27 に、SPI コントロールレジスタ 3 (SPCR3) の拡張通信モード選択ビット (ETXMD) を 0、通信動作モード選択ビット (SPCR.TXMD) を 1 にした場合の動作例を示します。この例では、SPDCR.SPFC[1:0] ビットが 00b、SPCMDm.CPHA ビットが 1、かつ SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

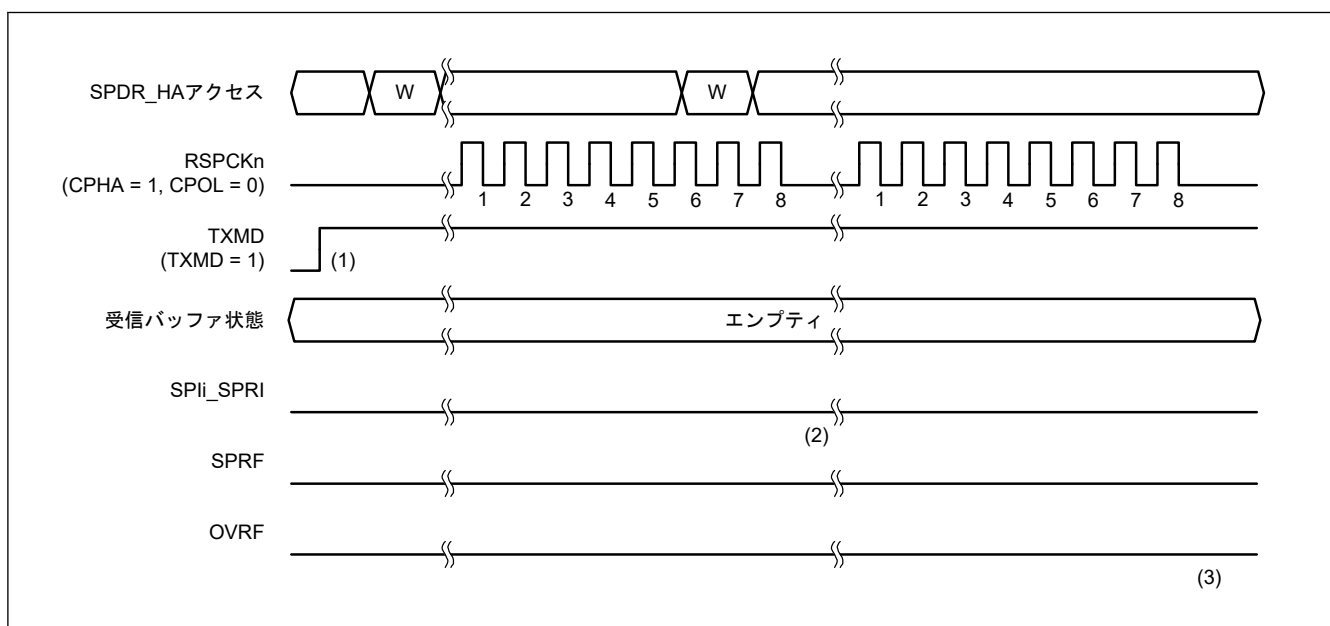


図 31.27 SPCR3.ETXMD = 0 かつ SPCR.TXMD = 1 の動作例

以下に、図 31.27 の (1)~(3) に示したタイミングでのフラグの動作内容を説明します。

1. 送信のみのシリアル通信 (SPCR3.ETXMD = 0, SPCR.TXMD = 1) へ遷移する前に、受信バッファにデータが残っていないこと (SPSR.SPRF フラグ = 0)、および SPSR.OVRF フラグが 0 であることを確認してください。
2. SPDR_HA レジスタの受信バッファが空の状態ではシリアル転送が終了すると、送信のみのシリアル通信 (SPCR3.ETXMD = 0, SPCR.TXMD = 1) を選択している場合、SPSR.SPRF フラグは 0 を保持し、SPI はシフトレジスタのデータを受信バッファへコピーしません。
3. SPDR_HA レジスタの受信バッファに以前のシリアル転送の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは 0 を保持し、シフトレジスタのデータを受信バッファへコピーされません。

送信のみのシリアル通信動作 (SPCR3.ETXMD = 0, SPCR.TXMD = 1) では、SPI はデータを送信しますが、受信はしません。そのため、SPSR.SPRF フラグと SPSR.OVRF フラグは (1)~(3) のタイミングで 0 を保持します。

31.3.6.3 受信のみシリアル通信 (MSTR = 0, ETXMD = 1)

図 31.28 に、SPI コントロールレジスタ (SPCR) の SPI マスタ/スレーブモード選択ビット (MSTR) を 0 に設定し、SPI コントロールレジスタ 3 (SPCR3) の拡張通信モード選択ビット (ETXMD) を 1 に設定した場合の動作例を示します。図 31.28 に SPI データコントロールレジスタ (SPDCR) の SPFC[1:0] ビット = 00b、SPI コマンドレジスタ (SPCMD) の CPHA ビット = 1、SPCMD の CPOL ビット = 0 の設定で、SPI が 8 ビットデータシリアル転送をする例を示します。RSPCK 波形の下番号は、RSPCK 周期の番号 (転送ビットの番号) を示します。

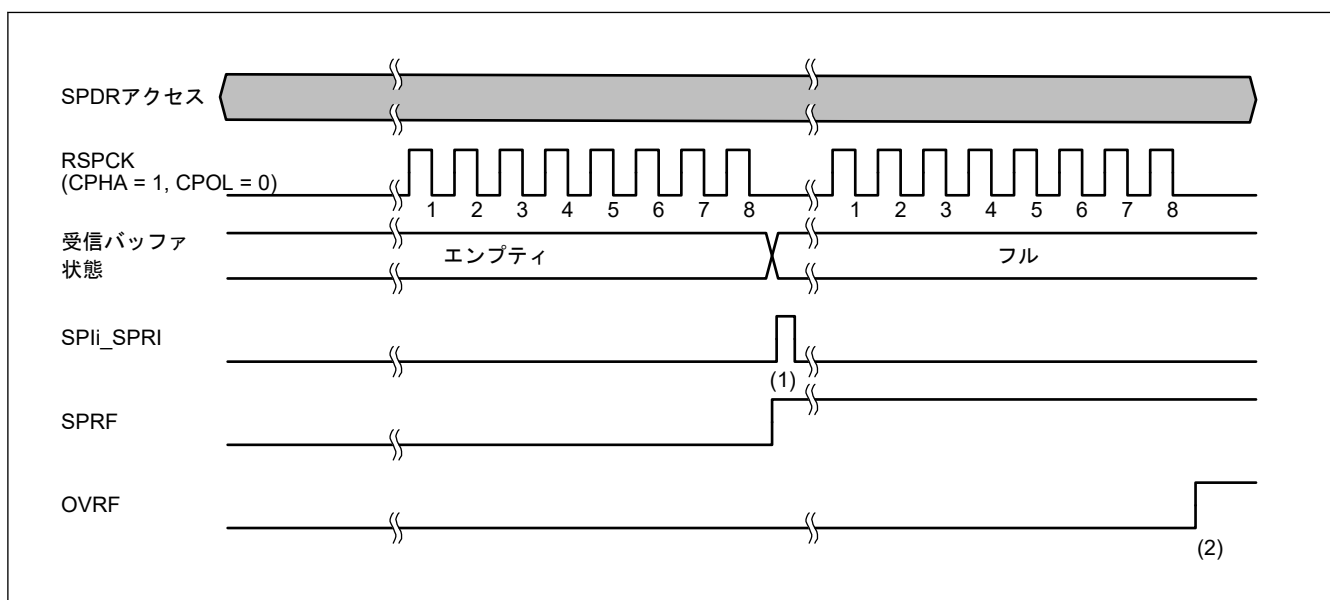


図 31.28 MSTR = 0 かつ ETXMD = 1 の場合の動作例

上図のタイミング (1) と (2) における動作を以下に説明します。

- (1) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、SPI は受信バッファフル割り込み要求 (SPIi_SPRI) を発生して (SPSR.SPRF フラグを 1 にする)、シフトレジスタの受信データを受信バッファにコピーします。
- (2) SPDR レジスタの受信バッファに以前の受信データがある状態でシリアル転送が終了すると、SPI は SPI ステータスレジスタ (SPSR) の OVRF フラグを 1 にしてシフトレジスタの受信データを破棄します。

31.3.7 送信バッファエンプティ/受信バッファフル割り込み

図 31.29 および図 31.30 に、送信バッファエンプティ割り込み (SPIi_SPTI) と受信バッファフル割り込み (SPIi_SPRI) の動作例を示します。これらの図に示された SPDR_HA レジスタアクセスは、レジスタへのアクセス条件を示しています。W は書き込みサイクル、R は読み出しサイクルを示しています。図 31.29 では、SPCR.TXMD ビットが 0、SPDCR.SPFC[1:0] ビットが 00b、SPCMDm.CPHA ビットが 0、かつ SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。図 31.30 では、SPCR.TXMD ビットが 0、SPDCR.SPFC[1:0] ビットが 00b、SPCMDm.CPHA ビットが 1、かつ SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

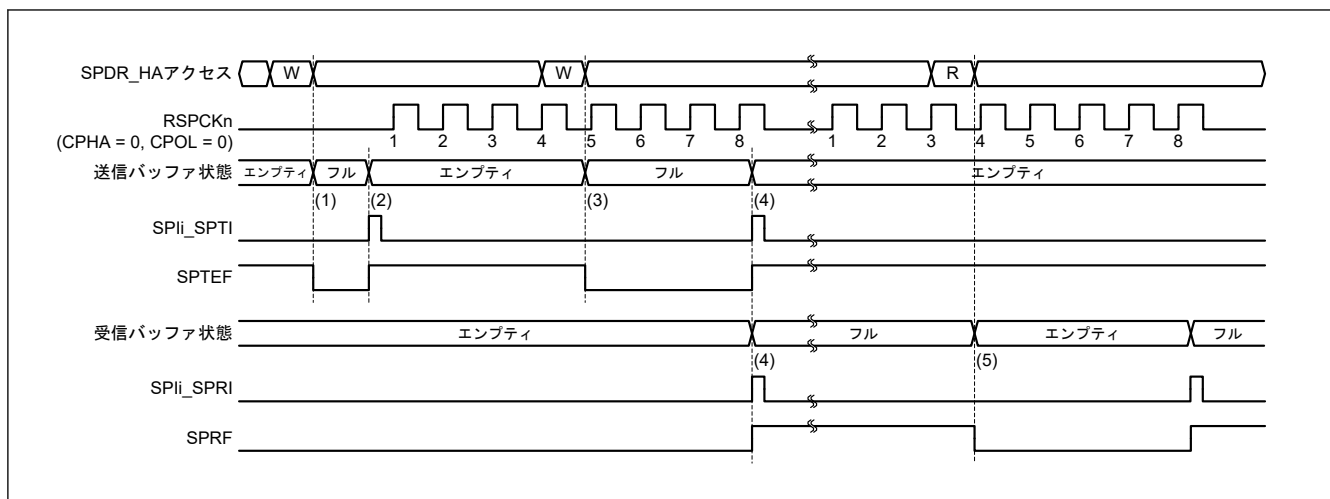


図 31.29 SPIi_SPTI および SPIi_SPRI 割り込みの動作例 (CPHA = 0 かつ CPOL = 0、マスタモード)

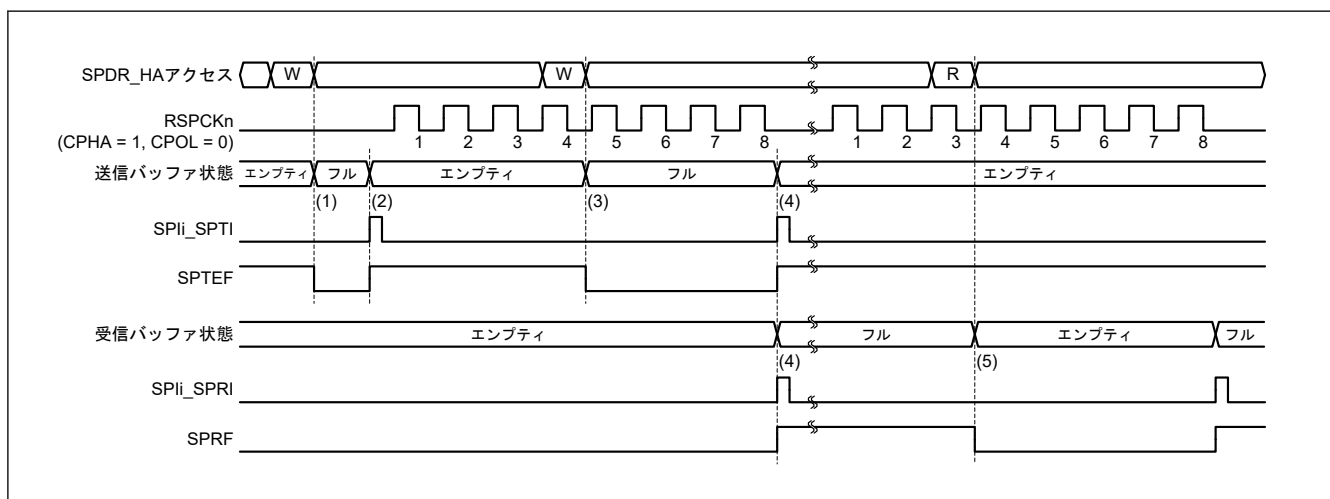


図 31.30 SPIi_SPTI および SPIi_SPRI 割り込みの動作例 (CPHA = 1 かつ CPOL = 0、マスタモード)

以下に、図 31.29 および図 31.30 の (1)～(5) に示したタイミングでの SPI の動作を説明します。

1. SPDR_HA の送信バッファがエンプティの（次転送のデータがセットされていない）状態で、SPDR_HA に送信データを書き込むと、SPI は送信バッファにデータを書き込み、SPSR.SPTEF フラグを 0 にクリアします。
2. シフトレジスタがエンプティの場合には、SPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み要求 (SPIi_SPTI) を発生させ、SPSR.SPTEF フラグを 1 にします。シリアル転送の開始方法は、SPI のモードに依存します。詳細は、「31.3. 動作説明」と「31.3.13. クロック同期式動作」を参照してください。
3. 送信バッファエンプティ割り込みルーチン、または SPTEF フラグによる送信バッファエンプティの処理により SPDR_HA に送信データを書き込むと、SPI は送信バッファにデータを書き込み、SPTEF フラグを 0 にクリアします。シフトレジスタにはシリアル転送中のデータが格納されているため、SPI は送信バッファのデータをシフトレジスタにコピーしません。
4. SPDR_HA の受信バッファがエンプティの状態ではシリアル転送が終了すると、SPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPIi_SPRI) を発生させ、SPRF フラグを 1 にします。シリアル転送が終了するとシフトレジスタがエンプティになるため、シリアル転送が終了する前に送信バッファがフルであった場合には、SPI が SPTEF フラグを 1 にし、送信バッファのデータをシフトレジスタにコピーします。オーバーランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると SPI はシフトレジスタがエンプティであると判断し、送信バッファからシフトレジスタへのデータ転送が可能な状態になります。
5. 受信バッファフル割り込みルーチン、または SPRF フラグによる受信バッファフル割り込みの処理で SPDR_HA レジスタを読み出すと、受信データが読み出せます。

送信バッファに未送信のデータがある状態 (SPTEF フラグ = 0) で、SPDR_HA レジスタへ書き込みが行われた場合には、SPI は送信バッファのデータを更新しません。SPDR_HA レジスタへ書き込む場合は、送信バッファエンプティ割り込み要求か、または SPTEF フラグによる送信バッファエンプティ割り込みの処理のどちらかを常に使用してください。送信バッファエンプティ割り込みを使用する場合には、SPCR.SPTEF ビットを 1 にしてください。SPI 機能が無効 (SPCR.SPE ビット = 0) の場合には、SPTIE ビットを 0 にしてください。

受信バッファフルの状態 (SPRF フラグ = 1) で、シリアル転送が終了した場合には、SPI はシフトレジスタから受信バッファへデータをコピーせず、オーバーランエラーを検出します (「31.3.10. エラー検出」を参照してください)。受信データのオーバーランエラーを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。SPI 受信バッファフル割り込みを使用する場合には、SPCR.SPRIF ビットを 1 にしてください。

送信/受信バッファの状態は、送信/受信割り込み、または関連する ICU の IELSRn.IR フラグ (n は割り込みベクタ番号) によって確認することができます。

同様に、SPSR.SPTEF および SPSR.SPRF フラグによっても、送信/受信バッファの状態を確認できます。割り込みベクタ番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

31.3.8 アイドル割り込み

SPI ステータスレジスタ (SPSR) の SPCP[2:0] ビットが 000b (シーケンス制御の開始) になるとき、SPI ステータスレジスタ (SPSR) の IDLNF フラグが 1 になり、マスタモード動作中のアイドル割り込み要求が発行されます。SPCR.SPE ビットを 0 にクリアすることでも、割り込み要求が発行されます。

マスタモード時

図 31.31 に通常動作におけるアイドル割り込み動作の例を示します。

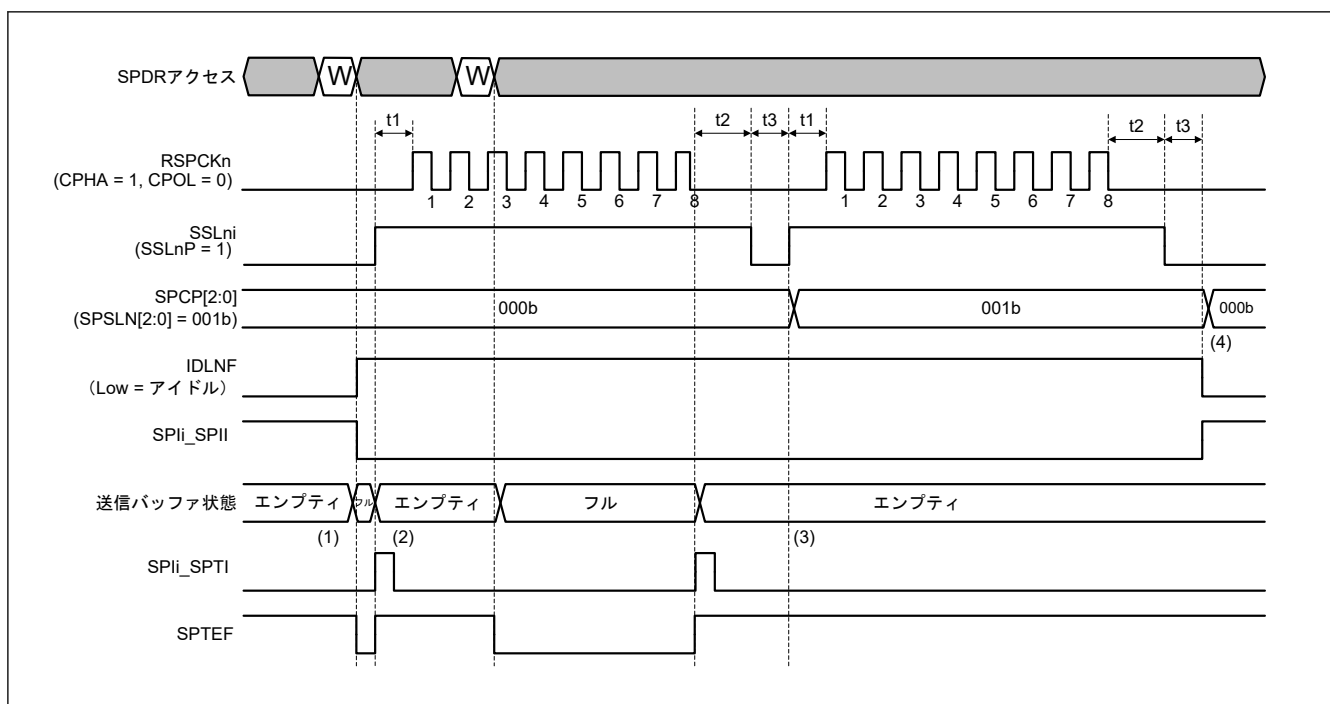


図 31.31 アイドル割り込み動作例 (マスタモード)

1. 送信開始時に、次の転送データが送信バッファに設定されていない場合、IDLNF フラグが 0 (IDLE) になります。
送信データを書き込むと、IDLNF フラグが 1 (BUSY) になります。送信データを書き込む前に SPI コントロールレジスタ 2 (SPCR2) の SPIIE ビットが 1 に設定されると、送信開始前に割り込み処理が必要になります。そのため、送信開始前に SPIIE ビットを 0 に設定します。
2. 送信バッファの状態にかかわらず、送信を開始した後も IDLNF フラグは 1 (BUSY) のままになります。
3. t3 サイクルの終わりで、SPCP[2:0] ビットは次のコマンドにコマンドを変更します。次のコマンドが 000b でないとき、次の送信データが書き込まれていなくても IDLNF フラグは変わらずそのままになります。

4. t3 サイクルの終わりで、次のコマンドが 000b であり次の送信データが無いため、IDLNF フラグは 0 (IDLE) にクリアされます。SPIE ビットが 1 の場合、SPli_SPII 割り込みが出力されます。

スレーブモード時

スレーブモード動作時のアイドル割り込みは、SPCR.SPE ビットの設定値にだけ依存します。

図 31.32 にスレーブモード動作におけるアイドル割り込み動作の例を示します。

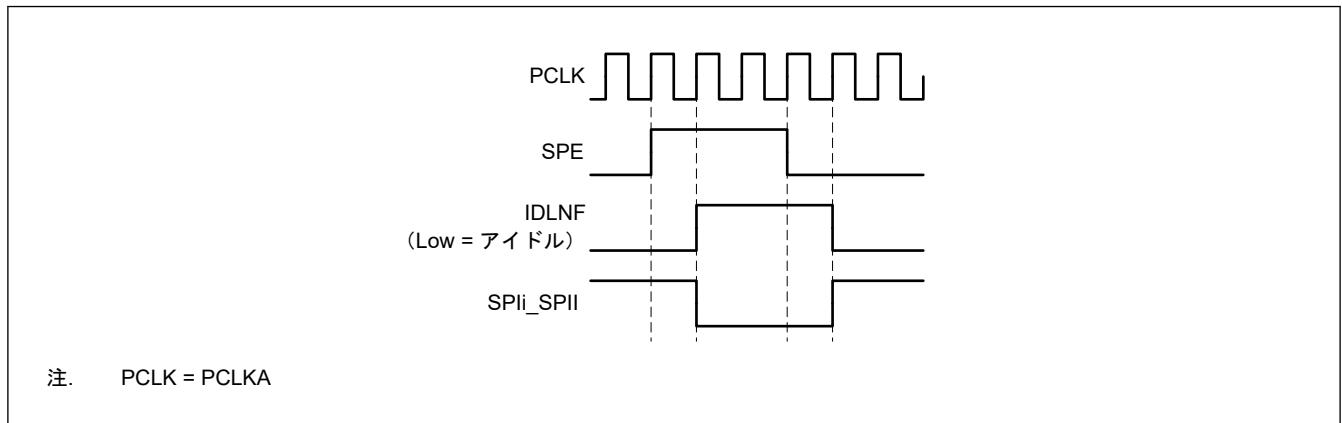


図 31.32 アイドル割り込み動作例 (スレーブモード)

31.3.9 通信終了割り込み

31.3.9.1 マスタモードでの送受信／送信

送受信マスタモードや送信マスタモードにおいて以下の条件を満たす場合、通信終了割り込み (SPli_SPCEND) が発生し、CENDF フラグを 1 に設定します。CENDF フラグの設定タイミングは、IDLNF フラグと同じです。通信終了割り込み (SPli_SPCEND) は、1 PCLKA 幅、Low アクティブです。

- SPSSR.SPCP[2:0] ビットの値が、SPSCR.SPSLN[2:0] ビットの値と同じとき
- 次の送信データが存在しないとき

CENDF フラグが 1 になった後 SPCR.SPE ビットがクリアされても CENDF フラグはクリアされません。CENDF フラグは下記 2 条件のいずれかの場合にクリアされます。

- 次の送信データが送信バッファ (SPTX) に書かれたとき
- CENDF フラグが 1 のとき SPSR レジスタ読み出し後 CENDF フラグに 0 が書き込まれたとき

図 31.33 に、送受信／送信マスタモードでの通信終了割り込み動作例を示します。

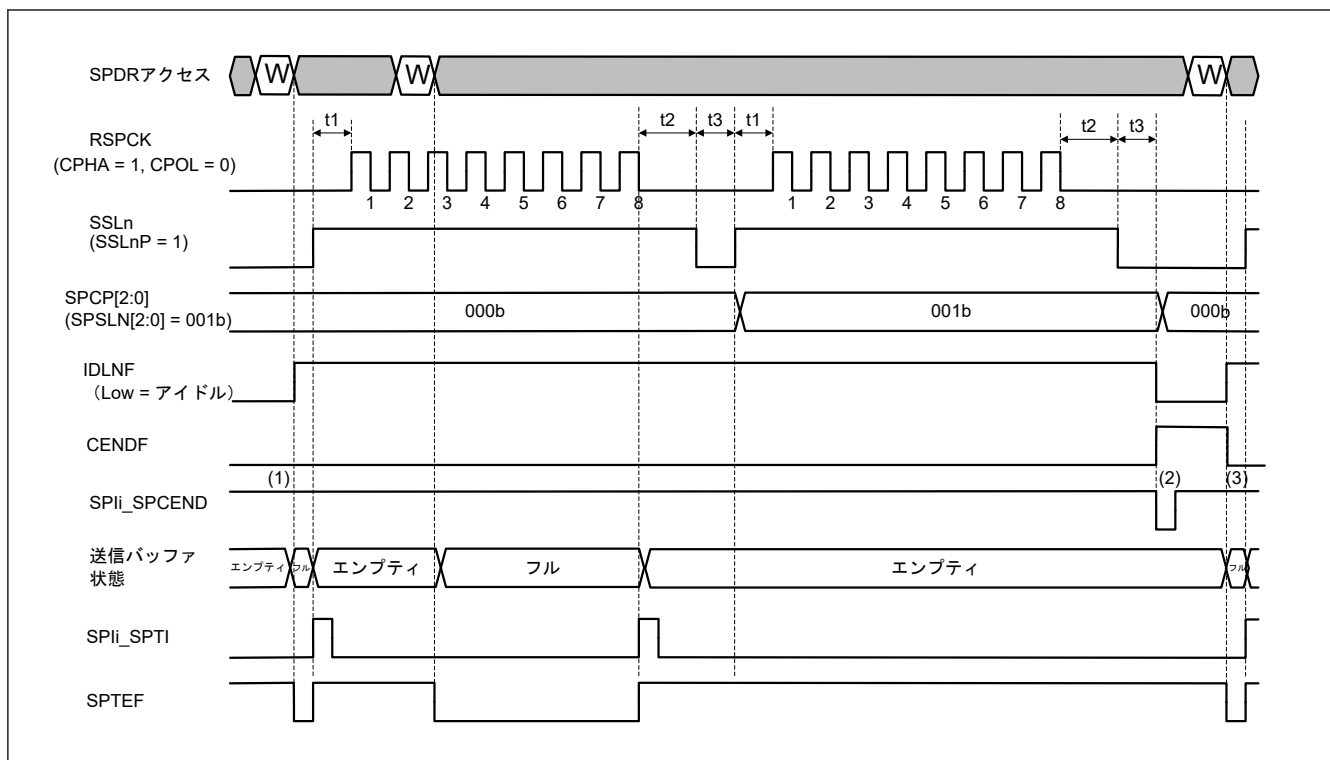


図 31.33 通信終了割り込み動作例（送受信／送信マスターモード）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. 次のコマンドが 000b で次の送信データがないため、 t_3 期間の終わりで CENDF フラグは 1（通信終了）になり、CENDIE ビットが 1 になると SPIi_SPCEND 割り込みが出力されます。
3. 次の送信データが送信バッファ (SPTX) に書かれると、CENDF フラグがクリアされます。もしくは CENDF フラグが 1 のとき SPCR レジスタ読み出し後 CENDF フラグに 0 が書き込まれると、CENDF フラグはクリアされます。

スレーブモード動作において、通信終了割り込みの出力タイミングは SPCR.SPMS ビット（SPI モード選択ビット）の値によって異なり、通信終了割り込みのクリアタイミングは通信モード（送受信、送信のみ、または受信のみ）によって異なります。

31.3.9.2 SPI 動作（4 線式）時のスレーブモードでの送受信／送信

SPI 動作（4 線式）時の送受信／送信スレーブモードにおいて、SPTX バッファと送信シフトバッファの両方が空のとき、通信終了割り込み (SPIi_SPCEND) が発生し、CENDF フラグが 1 に設定されます。CENDF フラグの設定タイミングは、SSL0 ネゲートタイミングと同じです。通信終了割り込み (SPIi_SPCEND) は、1 PCLKA 幅、Low アクティブです。

CENDF フラグが 1 になった後 SPCR.SPE ビットがクリアされても CENDF フラグはクリアされません。CENDF フラグは下記 2 条件のいずれかの場合にクリアされます。

- 次の送信データが送信バッファ (SPTX) に書かれたとき
- CENDF フラグが 1 のとき SPSR レジスタ読み出し後 CENDF フラグに 0 が書き込まれたとき

図 31.34 に、SPI 動作時の送受信／送信スレーブモードでの通信終了割り込み動作例を示します。

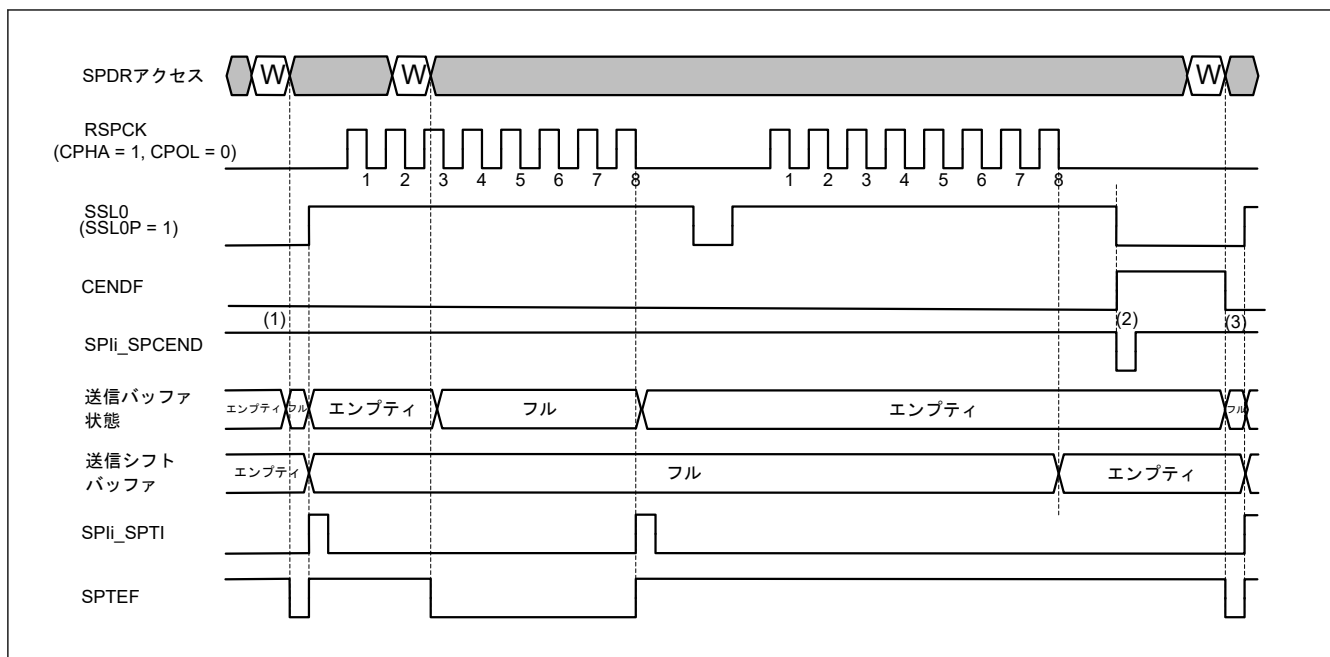


図 31.34 通信終了割り込み動作例 (SPI 動作時の送受信／送信スレーブモード)

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. SPTX バッファと送信シフトバッファの両方が空の場合、SSL0 ネゲートのタイミングで CENDF フラグは 1 (通信終了) になり、CENDIE ビットが 1 になると SPIi_SPCEND 割り込みが出力されます。
3. 次の送信データが送信バッファ (SPTX) に書かれると、CENDF フラグがクリアされます。もしくは CENDF フラグが 1 のとき SPCR レジスタ読み出し後 CENDF フラグに 0 が書き込まれると、CENDF フラグはクリアされます。

31.3.9.3 SPI 動作 (4 線式) 時のスレーブモードでの受信専用

SPI 動作 (4 線式) 時の受信のみスレーブモードにおいて、SSL0 ネゲートのタイミングで通信終了割り込み (SPIi_SPCEND) が発生し、CENDF フラグが 1 に設定されます。送信フレーム数は、SPDCR.SPFC[1:0] ビットで設定します。それから最後のフレームの送信終了時に SSL0 をネゲートします。通信終了割り込み (SPIi_SPCEND) は、1 PCLKA 幅、Low アクティブです。

CENDF フラグが 1 になった後 SPCR.SPE ビットがクリアされても CENDF フラグはクリアされません。CENDF フラグは下記 2 条件のいずれかの場合にクリアされます。

- 次送信の SSL0 アサートタイミング
- CENDF フラグが 1 のとき SPSR レジスタ読み出し後 CENDF フラグに 0 が書き込まれたとき

図 31.35 に、SPI 動作 (4 線式) 時の受信のみスレーブモードでの通信終了割り込み動作例を示します。

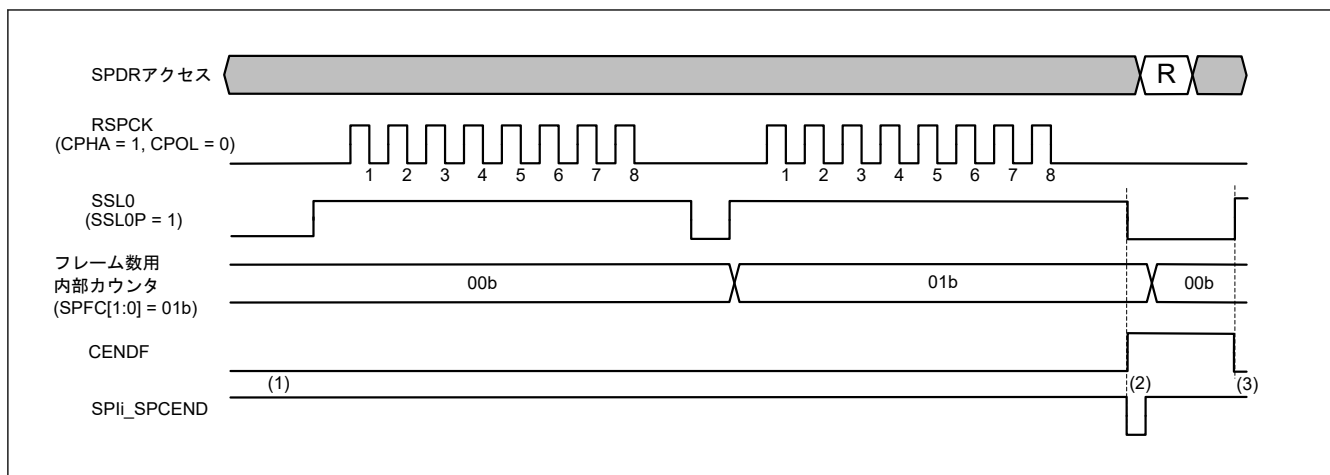


図 31.35 通信終了割り込み動作例 (SPI 動作時の受信のみスレーブモード)

1. 通信開始前は CENDF フラグは 0、SPli_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. 最後のフレームの送信終了時、SSL0 ネゲートのタイミングで CENDF フラグは 1 (通信終了) になり、CENDIE ビットが 1 になると SPli_SPCEND 割り込みが出力されます。
3. 次の送信がスタートしたとき、SSL0 アサート時に CENDF フラグがクリアされます。もしくは CENDF フラグが 1 のとき SPCR レジスタ読み出し後 CENDF フラグに 0 が書き込まれると、CENDF フラグはクリアされます。

31.3.9.4 クロック同期式動作 (3 線式) 時のスレーブモードでの送受信／送信

クロック同期式動作 (3 線式) 時送受信／送信スレーブモードで SPTX バッファと送信シフトレジスタの両方が空の場合、通信終了割り込み (SPli_SPCEND) が行われ、CENDF フラグが 1 になります。CENDF フラグの設定タイミングは、RSPCK の最終データサンプリングと同じ (SPCMD0.CPHA ビットが 0 のとき RSPCK の最終奇数エッジ、SPCMD0.CPHA ビットが 1 のとき RSPCK の最終偶数エッジ) です。通信終了割り込み (SPli_SPCEND) は、1 PCLKA 幅、Low アクティブです。

CENDF フラグが 1 になった後 SPCR.SPE ビットがクリアされても CENDF フラグはクリアされません。CENDF フラグは下記 2 条件のいずれかの場合にクリアされます。

- 次送信の SSL0 アサートタイミング
- CENDF フラグが 1 のとき SPCR レジスタ読み出し後 CENDF フラグに 0 が書き込まれたとき

図 31.36 に、クロック同期式動作 (3 線式) 時の送受信／送信スレーブモードでの通信終了割り込み動作例を示します。

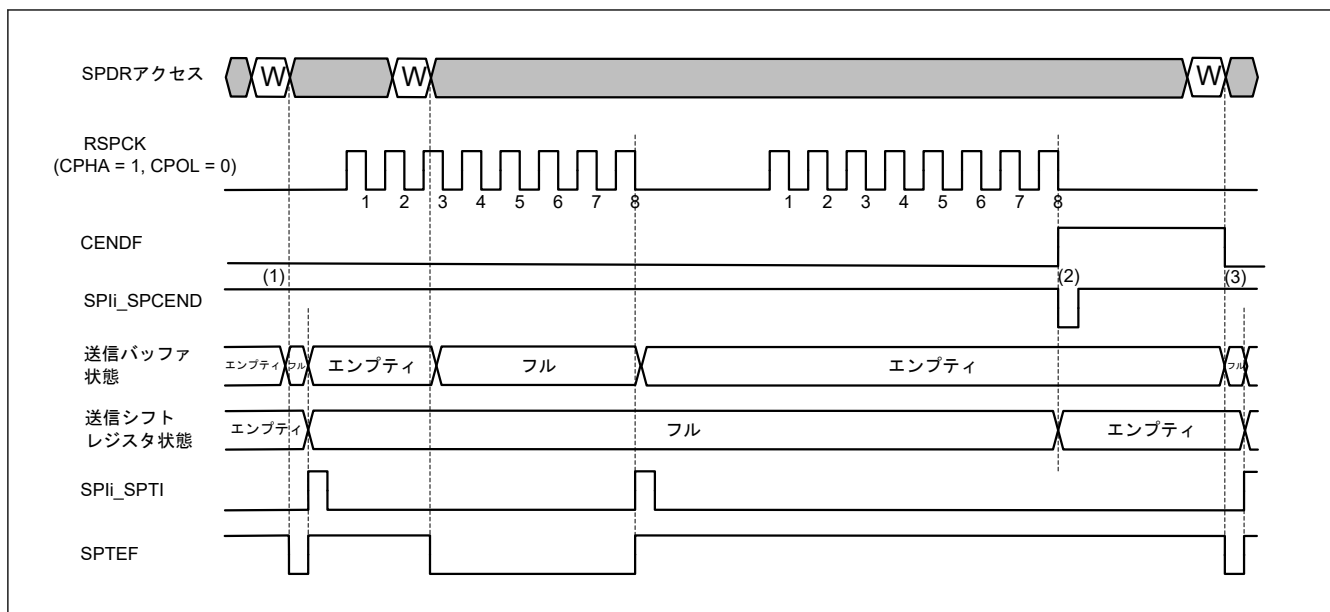


図 31.36 通信終了割り込み動作例（クロック同期式動作時の送受信／送信スレーブモード）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. SPTX バッファと送信シフトバッファの両方が空の場合、RSPCK の最終データサンプリングタイミングで CENDF フラグは 1（通信終了）になり、CENDIE ビットが 1 になると SPIi_SPCEND 割り込みが出力されます。
3. 次の送信データが送信バッファ (SPTX) に書かれると、CENDF フラグがクリアされます。もしくは CENDF フラグが 1 のとき SPCR レジスタ読み出し後 CENDF フラグに 0 が書き込まれると、CENDF フラグはクリアされます。

31.3.9.5 クロック同期式動作（3 線式）時のスレーブモードでの受信専用

クロック同期式動作（3 線式）時の受信のみスレーブモードにおいて、最終送信フレームの最終データサンプリングで通信終了割り込み (SPIi_SPCEND) が発生し、CENDF フラグが 1 に設定されます。サンプリングタイミングは、SPCMD0.CPHA ビットが 0 のとき RSPCK の最終奇数エッジ、SPCMD0.CPHA ビットが 1 のとき RSPCK の最終偶数エッジです。送信フレーム数は、SPDCR.SPFC[1:0] ビットで設定します。通信終了割り込み (SPIi_SPCEND) は、1 PCLKA 幅、Low アクティブです。

CENDF フラグが 1 になった後 SPCR.SPE ビットがクリアされても CENDF フラグはクリアされません。CENDF フラグは下記 2 条件のいずれかの場合にクリアされます。

- 次の送信の RSPCK の最初のエッジ
- CENDF フラグが 1 のとき SPCR レジスタ読み出し後 CENDF フラグに 0 が書き込まれたとき

図 31.37 に、クロック同期動作時の受信のみスレーブモードでの通信終了割り込み動作例を示します。

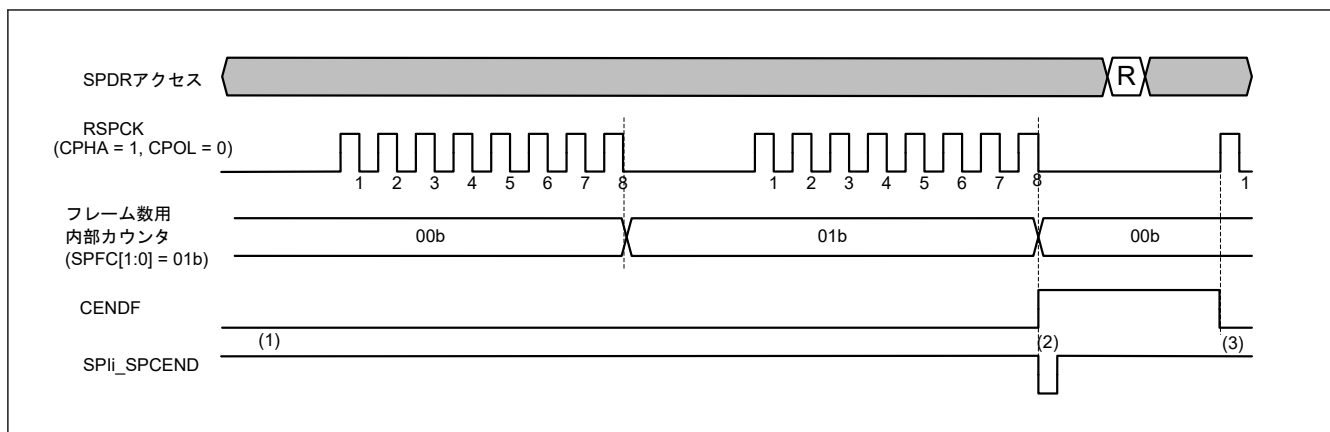


図 31.37 通信終了割り込み動作例（クロック同期式動作時の受信のみスレーブモード）

1. 通信開始前は CENDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. 最終フレーム送信終了時に、RSPCK の最終データサンプリングのタイミングで CENDF フラグが 1（通信終了）になります。送信フレーム数は、SPDCR.SPFC[1:0] ビットで設定します。それから CENDIE ビットが 1 のとき、SPIi_SPCEND 割り込みを出力します。
3. 次の送信の RSPCK の最初のエッジで、CENDF フラグがクリアされます。もしくは CENDF フラグが 1 のとき SPCR レジスタ読み出し後 CENDF フラグに 0 が書き込まれると、CENDF フラグはクリアされます。

31.3.9.6 共通動作

この章では「31.3.9.1. マスタモードでの送受信／送信」～「31.3.9.5. クロック同期式動作（3 線式）時のスレーブモードでの受信専用」に記載の各モード／領域オプション通信に共通する動作について説明します。通信完了時 SPI 通信終了割り込み許可ビット (CENDIE) が 0 の場合、通信終了フラグ (CENDF) がセットされ、通信終了のイベント (sp_elccend) が出力されますが、割り込みは出力されません。しかし、SPI 機能許可 (SPE) が 1 のときに通信終了フラグ (CENDF) がクリアされる前に通信終了割り込み許可 (CENDIE) が 1 になると、通信終了割り込みが出力されます。

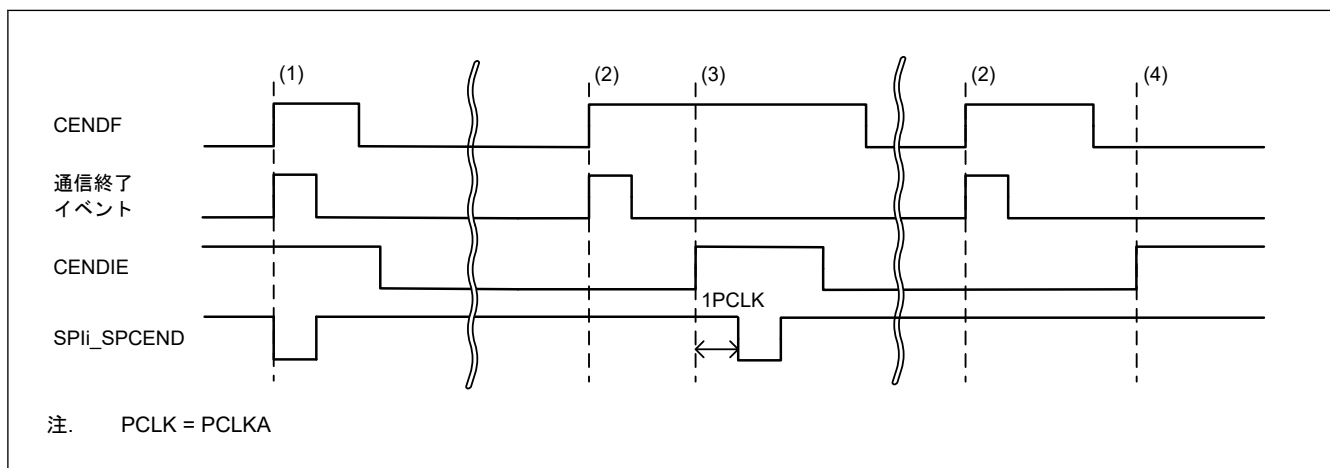


図 31.38 通信終了割り込みの動作例（許可制御）

1. 通信完了時 SPI 通信終了割り込み許可ビット (CENDIE) が 1 の場合、下記の 3 つが同じタイミングになります。
 - 通信終了フラグ (CENDF)
 - 通信終了イベント (sp_elccend)
 - 通信終了割り込み
2. 通信完了時 SPI 通信終了割り込み許可ビット (CENDIE) が 0 の場合、下記の 2 つが同じタイミングになりますが、割り込みは発生しません。
 - 通信終了フラグ (CENDF)

- 通信終了イベント (sp_elccend)

- (2) の後、SPI 機能有効ビット (SPE) および通信終了フラグ (CENDF) が 1 のとき通信終了割り込み許可ビット (CENDIE) がセットされると、1 PCLKA 後通信終了割り込みが出力されます。
- (2) の後、SPI 機能有効ビット (SPE) または通信終了フラグ (CENDF) が 0 のときは通信終了割り込み許可ビット (CENDIE) がセットされても、通信終了割り込みは出力されません。

31.3.10 エラー検出

通常の SPI シリアル転送では、SPDR/SPDR_HA の送信バッファに書き込まれたデータは送信され、受信データは SPDR/SPDR_HA の受信バッファから読み出し可能です。SPDR/SPDR_HA へのアクセスをする場合、送信または受信バッファの状態、またはシリアル転送の始めと終わりの SPI の状態によっては異常な転送が起こることがあります。

通常以外の転送が発生した場合には、SPI はアンダーランエラー、オーバーランエラー、パリティエラー、またはモードフォルトエラーとして検出します。表 31.10 に、通常以外の転送動作と SPI のエラー検出機能の関係を示します。

表 31.10 通常以外の転送動作と SPI のエラー検出機能の関係

動作	発生条件	SPI 動作	エラー検出
1	送信バッファがフルのとき、SPDR/SPDR_HA に書き込まれる	● 送信バッファ内容を保持 ● 書き込みデータ欠落	なし
2	受信バッファがエンプティのとき、SPDR/SPDR_HA が読み出される	受信バッファ内容および受信済みデータを出力	なし
3	SPI がデータ送信不能のときに、スレーブモードでシリアル転送が開始	● シリアル転送を中断 ● 送受信データ欠落 ● MISO_n 端子の出力信号のドライブ停止 ● SPI 機能は無効	アンダーランエラー
4	受信バッファがフルのとき、シリアル転送が終了する	● 受信バッファの内容を保持 ● 受信データ欠落	オーバーランエラー
5	以下のモードで、全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信 ● 送受信マスタモード ● 送受信スレーブモード ● 受信専用スレーブモード	パリティエラーフラグのアサート	パリティエラー
6	マルチマスタモードでシリアル転送アイドル時に SSL _n 0 端子の入力信号アサート	● RSPCK_n、MOSI_n、SSL_n1～SSL_n3 端子の出力信号のドライブ停止 ● SPI 機能は無効	モードフォルトエラー
7	マルチマスタモードでシリアル転送中に SSL _n 0 端子の入力信号アサート	● シリアル転送を中断 ● 送受信データ欠落 ● RSPCK_n、MOSI_n、SSL_n1～SSL_n3 端子の出力信号のドライブ停止 ● SPI 機能は無効	モードフォルトエラー
8	スレーブモードでシリアル転送中に SSL _n 0 端子の入力信号ネゲート	● シリアル転送を中断 ● 送受信データ欠落 ● MISO_n 端子の出力信号のドライブ停止 ● SPI 機能は無効	モードフォルトエラー

表 31.10 に説明されている動作 1 で、SPI はエラーを検出しません。SPDR/SPDR_HA への書き込み時のデータ欠落を防ぐため、SPDR/SPDR_HA への書き込みは送信バッファエンプティ割り込み要求を使用して実行する必要があります (SPSR.SPTEF フラグが 1 の場合)。

同様に、動作 2 で SPI はエラーを検出しません。異質なデータが読み出されるのを防ぐため、SPDR/SPDR_HA の読み出しは SPI 受信バッファフル割り込み要求で実行する必要があります (SPSR.SPRF フラグが 1 の場合)。

表中のその他のエラーについては、下記の節を参照してください。

- 動作 3 に示したアンダーランエラーについては、「[31.3.10.4. アンダーランエラー](#)」を参照してください。
- 動作 4 に示したオーバーランエラーについては、「[31.3.10.1. オーバーランエラー](#)」を参照してください。

- 動作 5 に示したパリティエラーについては、「[31.3.10.2. パリティエラー](#)」を参照してください。
- 動作 6～8 に示したモードフォルトエラーについては、「[31.3.10.3. モードフォルトエラー](#)」を参照してください。
- 送信および受信割り込みについては、「[31.3.7. 送信バッファエンプティ/受信バッファフル割り込み](#)」を参照してください。

31.3.10.1 オーバーランエラー

SPDR/SPDR_HA の受信バッファフルの状態ではシリアル転送が終了すると、SPI はオーバーランエラーを検出して SPSR.OVRF フラグを 1 にします。OVRF フラグが 1 の状態では、SPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。OVRF フラグを 0 にするためには、OVRF フラグが 1 の状態の SPSR を CPU が読み出した後に、OVRF フラグに 0 を書いてください。

図 31.39 に OVRF フラグと SPRF フラグの動作例を示します。図 31.39 に示す SPSR アクセスと SPDR_HA アクセスは、それぞれ SPSR レジスタと SPDR_HA レジスタへのアクセス条件を示します。W は書き込みサイクル、R は読み出しサイクルを示します。この例では、SPCMDm.CPHA が 1、かつ SPCMDm.CPOL ビットが 0 の設定で、SPI は 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

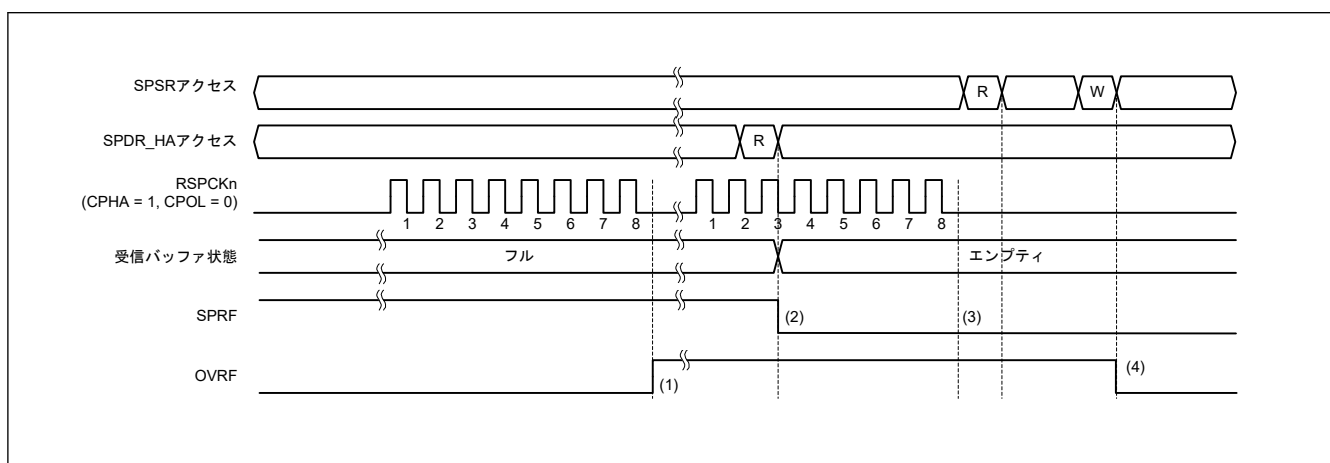


図 31.39 OVRF フラグおよび SPRF フラグの動作例

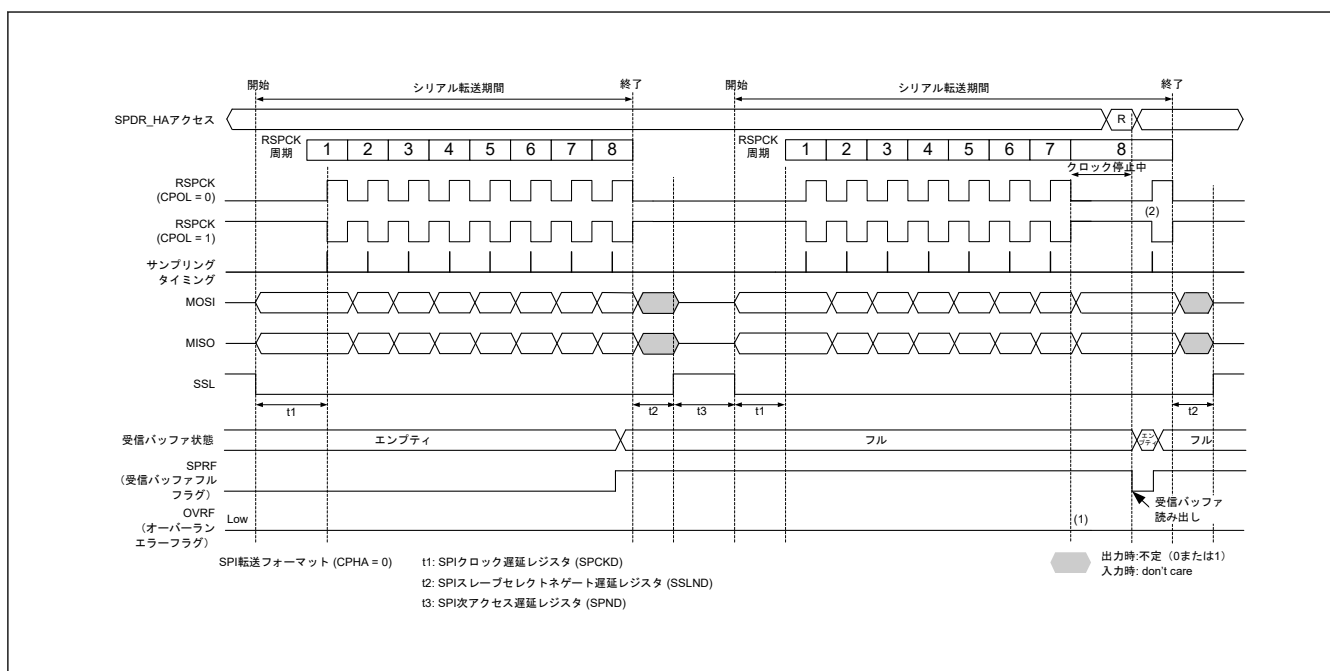
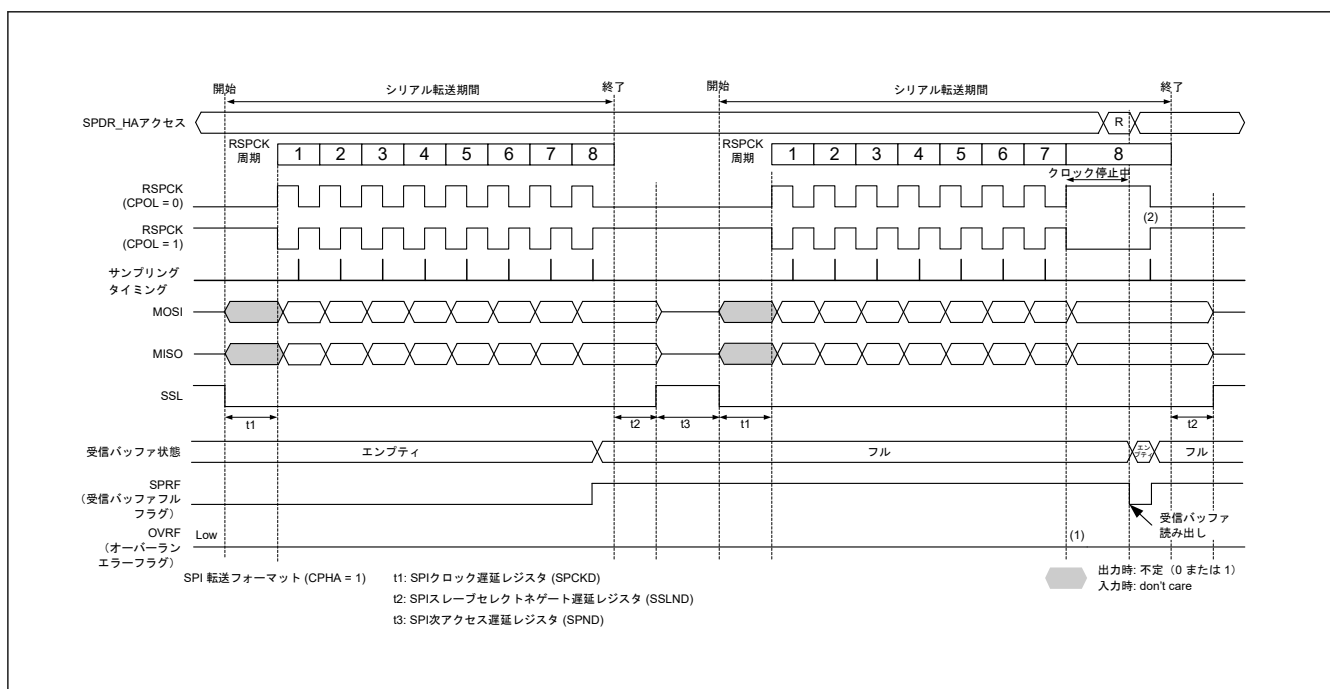
以下に、図 31.39 の (1)～(4) に示したタイミングでのフラグの動作内容を説明します。

- SPRF フラグが 1 (受信バッファフル) の状態でシリアル転送が終了すると、SPI がオーバーランエラーを検出し、OVRF フラグを 1 にします。SPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビットが 1 であってもパリティエラーの検出は行いません。
- SPDR/SPDR_HA を読み出すと、SPI は受信バッファのデータを出力します。その後、SPRF フラグが 0 になります。受信バッファがエンプティになっても、OVRF フラグは 0 になりません。
- OVRF フラグが 1 の状態 (オーバーランエラー) でシリアル転送が終了した場合には、SPI はシフトレジスタのデータを受信バッファにコピーしません (SPRF フラグは 1 になりません)。受信バッファフル割り込みも発生しません。また、SPPE ビットが 1 であってもパリティエラーの検出は行いません。オーバーランエラー発生状態で、SPI がシフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると SPI はシフトレジスタがエンプティであると判定します。これにより、送信バッファからシフトレジスタへのデータ転送が可能な状態になります。
- OVRF フラグが 1 の状態で SPSR を読んだ後、OVRF フラグに 0 を書くと、OVRF フラグは 0 になります。

オーバーランエラーの発生は、SPSR の読み出し、あるいは SPI エラー割り込みと SPSR の読み出しによって、確認できます。シリアル転送を実行する場合には、SPDR/SPDR_HA/SPDR_BY の読み出し直後に SPSR を読み出すなどの方法で、オーバーランエラー発生を早期に検出できるように対処してください。

オーバーランエラーが発生して OVRF フラグが 1 になると、OVRF フラグが 0 になるまで正常な受信動作ができなくなります。

マスタモードで RSPCK 自動停止機能を有効 (SPCR2.SCKASE = 1) にした場合は、オーバーランエラーが発生しません。図 31.40 と図 31.41 に、マスタモード時の受信バッファフルの状態でのシリアル転送が継続するときのクロック停止波形を示します。



以下に、図 31.40 および図 31.41 の (1)、(2) に示したタイミングでのフラグ動作を説明します。

1. 受信バッファフルの場合は、RSPCK クロックが停止するためオーバーランエラーは発生しません。
2. クロック停止中に SPDR/SPDR_HA を読み出すと、受信バッファのデータが読み出せます。受信バッファの読み出し後 (SPSR.SPRF フラグが 0 にされた後)、RSPCK クロックが再開します。

マスタモードにおけるバースト転送の際、フレーム間遅延なしの転送に対し RSPCK 自動停止機能が有効であるとき、オーバーランエラーは発生しません。図 31.42 と図 31.43 に、バースト転送のフレーム間遅延なしで、かつ受信バッファフル状態でシリアル転送が継続する場合のクロック停止波形を示します。

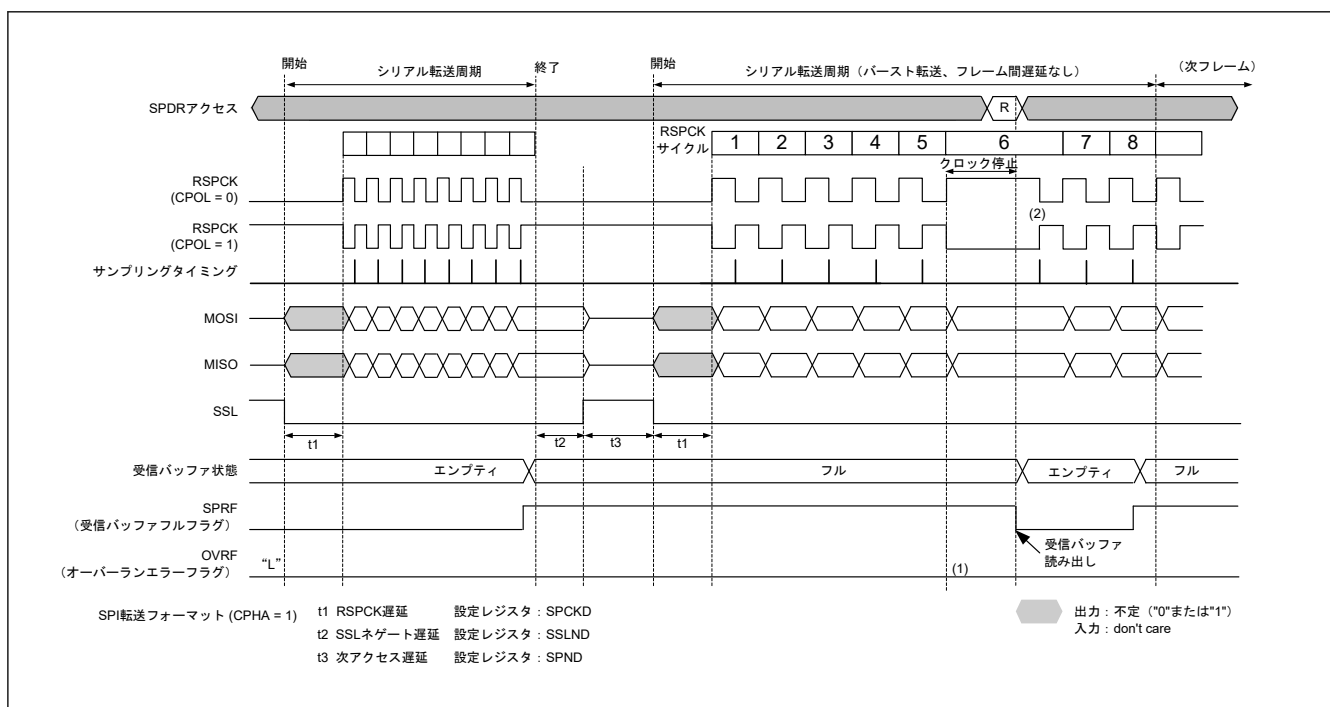


図 31.42 マスタモードの受信バッファフル状態でシリアル転送が継続する場合のクロック停止波形 (バースト転送でフレーム間遅延なし、CPHA = 1)

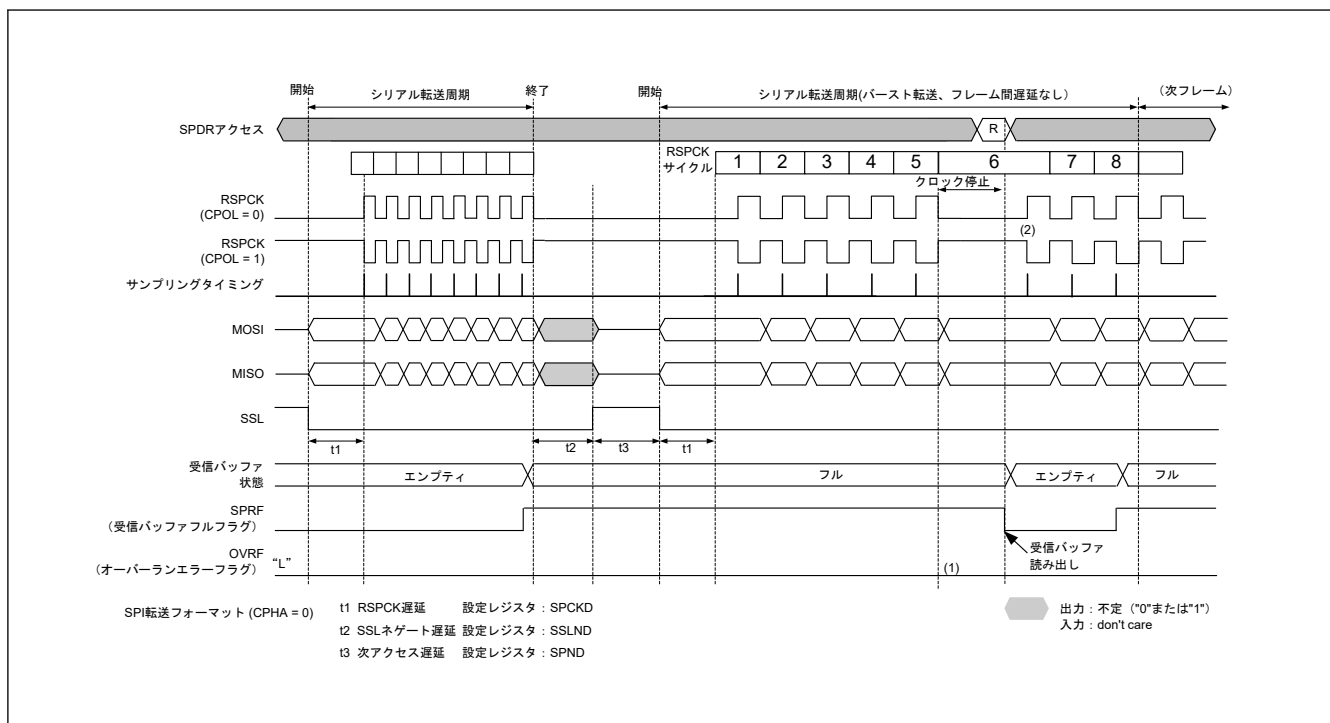


図 31.43 マスタモードの受信バッファフル状態でシリアル転送が継続する場合のクロック停止波形 (バースト転送でフレーム間遅延なし、CPHA = 0)

上図のタイミング (1) と (2) におけるフラグの動作を以下に説明します。

1. 受信バッファフルのとき、RSPCK が発振停止になってオーバーランエラーが発生しません。

2. クロック発振停止中、SPDR を読み出すことで受信バッファデータを読み出せます。受信バッファデータを読み出した後（SPSR.SPRF フラグが 0 にクリアされた後）、RSPCK クロックが発振再開します。

31.3.10.2 パリティエラー

SPCR.TXMD ビットが 0、かつ SPCR2.SPPE ビットが 1 の状態で、全二重同期式シリアル通信を行い、シリアル転送が終了すると、SPI はパリティエラーの判定を行います。SPI は、受信データにパリティエラーを検出すると、SPSR.PERF フラグを 1 にします。SPSR.OVRF フラグが 1 の状態では、SPI はシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。PERF フラグを 0 にするためには、PERF フラグが 1 の状態の SPSR レジスタを読んだ後、PERF フラグに 0 を書いてください。

図 31.44 に OVRF フラグと PERF フラグの動作例を示します。図 31.44 に記載の SPSR アクセスは、SPSR レジスタへのアクセス条件を示します。W は書き込みサイクル、R は読み出しサイクルを示します。この例では、SPCR2.SPPE ビットが 1 の状態で全二重シリアル通信を行います。SPCMDm.CPHA が 1、かつ SPCMDm.CPOL ビットが 0 の設定で、SPI は 8 ビットのシリアル転送を実行します。RSPCK_n 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

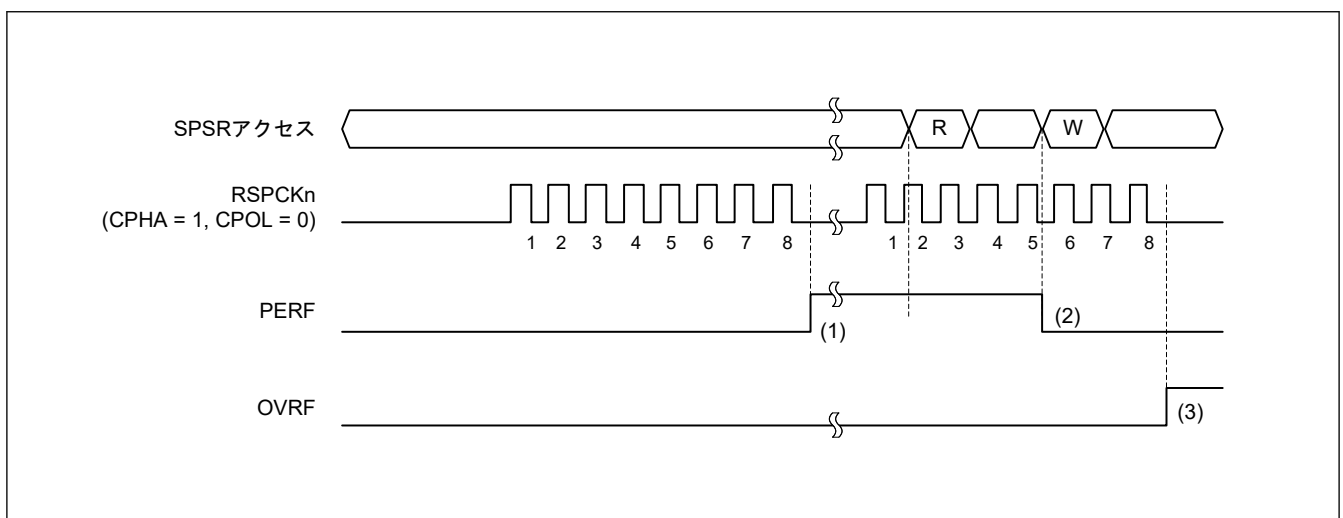


図 31.44 OVRF フラグおよび PERF フラグの動作例

以下に、図 31.44 の (1) ~ (3) に示したタイミングでのフラグの動作内容を説明します。

1. SPI がオーバーランエラーを検出せず、シリアル転送が終了すると、SPI はシフトレジスタのデータを受信バッファにコピーします。このとき、SPI が受信データをチェックし、パリティエラーを検出すると PERF フラグを 1 にします。
2. PERF フラグが 1 の状態で SPSR レジスタを読んだ後、PERF フラグに 0 を書くと、PERF フラグは 0 になります。
3. SPI がオーバーランエラーを検出した状態でシリアル転送が終了すると、シフトレジスタのデータは受信バッファにコピーされません。このとき、SPI はパリティエラー検出を行いません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって、確認できます。シリアル転送を実行する場合には、このようなチェック方法でパリティエラー発生を早期に検出できるようにする必要があります。SPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。(SPI0 のみ)

31.3.10.3 モードフォルトエラー

SPCR.MSTR ビットが 1、SPCR.SPMS ビットが 0、かつ SPCR.MODFEN ビットが 1 の場合には、SPI はマルチマスタモードで動作します。マルチマスタモードの SPI の SSLn0 端子へ入力される信号に対してアクティブレベルが入力されると、シリアル転送の状態にかかわらず、SPI はモードフォルトエラーを検出して SPSR.MODF フラグを 1 にします。SPI はモードフォルトエラーを検出すると、SPCMDm レジスタに対するポインタの値を SPSSR.SPECM[1:0] ビットにコピーします。SSLn0 信号のアクティブレベルは、SSLP.SSL0P ビットによって決定されます。

MSTR ビットが 0 の場合には、SPI はスレーブモードで動作します。スレーブモードの SPI の MODFEN ビットが 1、SPMS ビットが 0 の場合、シリアル転送期間（有効データのドライブ開始から最終有効データの取り込みまで）に SSLn0 端子へ入力される信号がネゲートされると、SPI はモードフォルトエラーを検出します。

SPI はモードフォルトエラーを検出すると、出力信号のドライブを停止して、SPCR.SPE ビットを 0 にクリアします（「31.3.11. SPI の初期化」を参照）。マルチマスタ構成の場合には、モードフォルトエラーの検出によって出力信号のドライブと SPI 機能を停止させ、マスタであることを解除できます。

モードフォルトエラーの発生は、SPSR の読み出し、あるいは SPI エラー割り込みと SPSR の読み出しによって確認できます。SPI エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSR をポーリングする必要があります。SPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

MODF フラグが 1 の状態では、SPI は SPE ビットへの 1 の書き込みを無視します。モードフォルトエラー検出後に SPI 機能を有効にするには、MODF フラグを 0 にする必要があります。

31.3.10.4 アンダーランエラー

SPI がスレーブモードで動作（SPCR.MSTR ビット = 0）しており、SPI コントロールレジスタ 3 (SPCR3) の拡張通信モード選択ビット (ETXMD) が 0 のときに、SPCR.SPE ビットが 1（SPI 機能有効）の状態を送信データ出力の準備ができる前にシリアル転送を開始すると、SPI はアンダーランエラーを検出し、SPSR.MODF フラグと SPSR.UDRF フラグを 1 にします。

SPI はアンダーランエラーを検出すると、出力信号のドライブ停止および SPCR.SPE ビットを 0 にクリアします（「31.3.11. SPI の初期化」を参照）。

アンダーランエラーは、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。SPI エラー割り込みを利用せずにアンダーランエラーを検出するためには、SPSR レジスタをポーリングする必要があります。

MODF フラグが 1 の状態では、SPI は SPCR.SPE ビットへの 1 の書き込みを無視します。アンダーランエラー検出後に SPI 機能を有効にするには、MODF フラグを 0 にしてください。

31.3.11 SPI の初期化

SPCR.SPE ビットに 0 を書いた場合、あるいは SPI がモードフォルトエラーまたはアンダーランエラーを検出して SPCR.SPE ビットを 0 にした場合は、SPI は SPI 機能を無効にして、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、SPI はモジュール機能をすべて初期化します。以下では、SPCR.SPE ビットのクリアによる初期化と、システムリセットによる初期化について説明します。

31.3.11.1 SPCR.SPE ビットのクリアによる初期化

SPCR.SPE ビットを 0 にしたとき、SPI は以下に示す方法で初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- SPI 内部ステートの初期化
- SPI 送信バッファの初期化 (SPSR.SPTEF フラグが 1 になります)

SPCR.SPE ビットのクリアによる初期化では、SPI の制御ビットは初期化されません。このため、再度 SPCR.SPE ビットを 1 にすれば初期化前と同じ転送モードで SPI を起動できます。

SPSR.CENDF、SPSR.SPRF、SPSR.OVRF、SPSR.MODF、SPSR.PERF、および SPSR.UDRF フラグの値は初期化されません。また、SPI シーケンスステータスレジスタ (SPSSR) の値も初期化されません。このため、SPI の初期化後も受信バッファからデータを読み出すことで、SPI 転送時の通信完了状況とエラー発生状況を確認できます。

送信バッファは空の状態に初期化されます (SPSR.SPTEF フラグが 1 になります)。このため、SPI 初期化後に SPCR.SPTIE ビットを 1 にしていると、送信バッファエンプティ割り込みが発生します。SPI を初期化する場合に、送信バッファエンプティ割り込みを禁止するためには、SPCR.SPE ビットへの 0 書き込みと同時に SPCR.SPTIE ビットにも 0 を書き込んでください。

31.3.11.2 システムリセットによる初期化

システムリセットでは、「[31.3.11.1. SPCR.SPE ビットのクリアによる初期化](#)」に記載の要件に加え、SPI 制御用ビット、ステータスビット、およびデータレジスタが初期化され、SPI が完全に初期化されます。

31.3.12 SPI 動作

31.3.12.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出の有無のみです（「[31.3.10. エラー検出](#)」を参照）。SPI は、シングルマスタモードではモードフォルトエラーを検出しませんが、マルチマスタモードでは検出します。以下では、シングル/マルチマスタモードで共通する動作について説明します。

(1) シリアル転送の開始

SPI 送信バッファがエンプティで、次転送のデータがセットされていない（SPSR.SPTEF フラグ = 0）状態で、SPI データレジスタ（SPDR/SPDR_HA）へデータを書き込むと、SPI は送信バッファ（SPTX）のデータを更新します。SPDCR.SPFC[1:0]ビットで設定したフレーム数分のデータを SPDR/SPDR_HA/SPDR_BY レジスタへ書き込んだ後、シフトレジスタがエンプティの場合は、SPI はデータを送信バッファからシフトレジスタにコピーしてシリアル転送を開始します。SPI はシフトレジスタに送信データをコピーすると、シフトレジスタのステータスをフルに変更します。シリアル転送が終了すると、シフトレジスタのステータスをエンプティに変更します。シフトレジスタのステータスを参照することはできません。

SSLni 出力端子の極性は、SSLP レジスタの設定に依存します。SPI の転送フォーマットの詳細については、「[31.3.5. 転送フォーマット](#)」を参照してください。

(2) シリアル転送の終了

SPCMDm.CPHA ビットの設定にかかわらず、SPI は最終サンプリングタイミングに対応する RSPCKn エッジを送出するとシリアル転送を終了します。受信バッファ（SPRX）がエンプティ（SPSR.SPRF フラグ = 0）の場合には、シリアル転送終了後に SPI はシフトレジスタから SPDR/SPDR_HA レジスタの受信バッファにデータをコピーします。

最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの SPI のデータ長は、SPCMD0.SPB[3:0]ビットの設定に依存します。SSLni 出力端子の極性は、SSLP レジスタの設定に依存します。SPI の転送フォーマットの詳細については、「[31.3.5. 転送フォーマット](#)」を参照してください。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、および SPND レジスタによって決定されます。

SPSCR レジスタは、マスタモードの SPI で実行するシリアル転送のシーケンス構成を決定します。SPCMDm レジスタでは、以下の項目を設定します。

- SSLni 端子の出力信号値
- MSB/LSB ファースト
- データ長
- ビットレート設定の一部
- RSPCK 極性と位相
- SPCKD レジスタの参照要否
- SSLND レジスタの参照要否
- SPND レジスタの参照要否

SPBR レジスタは、SPCKD レジスタ（SPI クロック遅延）、SSLND レジスタ（SSL ネゲート遅延）、および SPND レジスタ（次アクセス遅延）などの、ビットレート設定の一部を保持しています。

SPI は、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部または全部からなるシーケンスを構成します。SPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0]ビットの読み出しによって確認できます。SPCR.SPE ビットを 1 にして

SPI 機能を有効にすると、SPI はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。SPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスの最終コマンドに対応するシリアル転送が終了すると、SPI はポインタを SPCMD0 レジスタにセットするため、シーケンスが繰り返し実行されます。

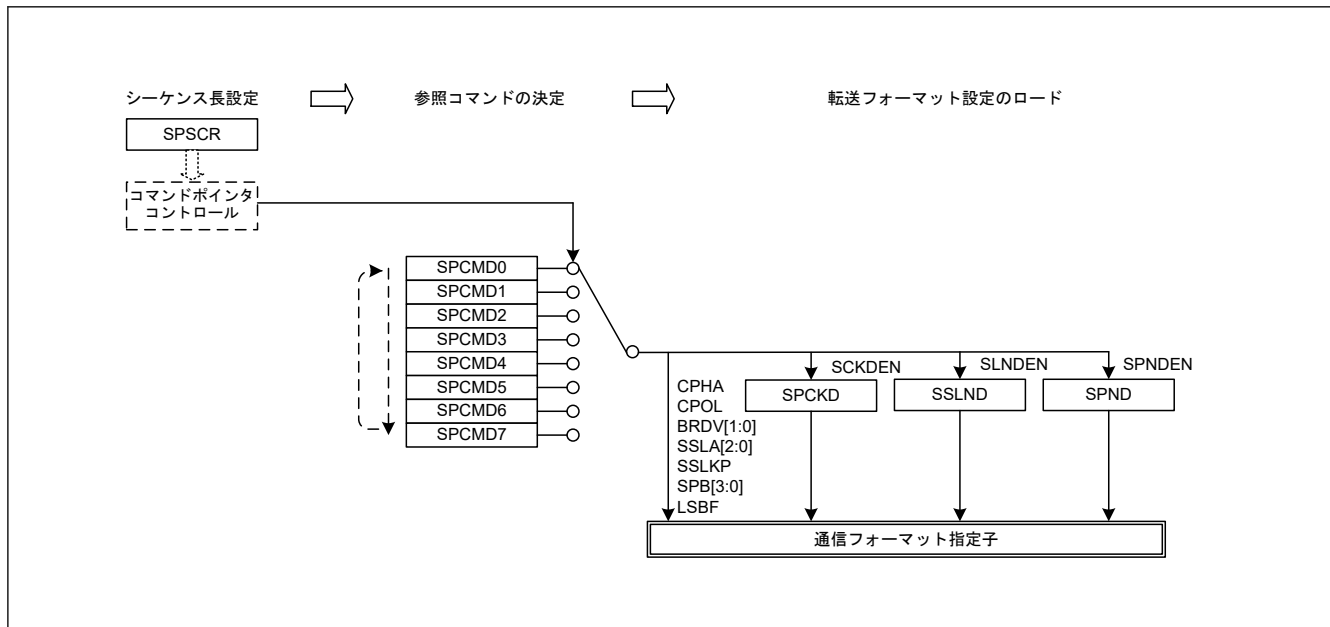


図 31.45 マスタモードでのシリアル転送方式の決定方法

ここでは、データ (SPDR/SPDR_HA) と設定 (SPCMDm) の2つを合わせてフレームとします。

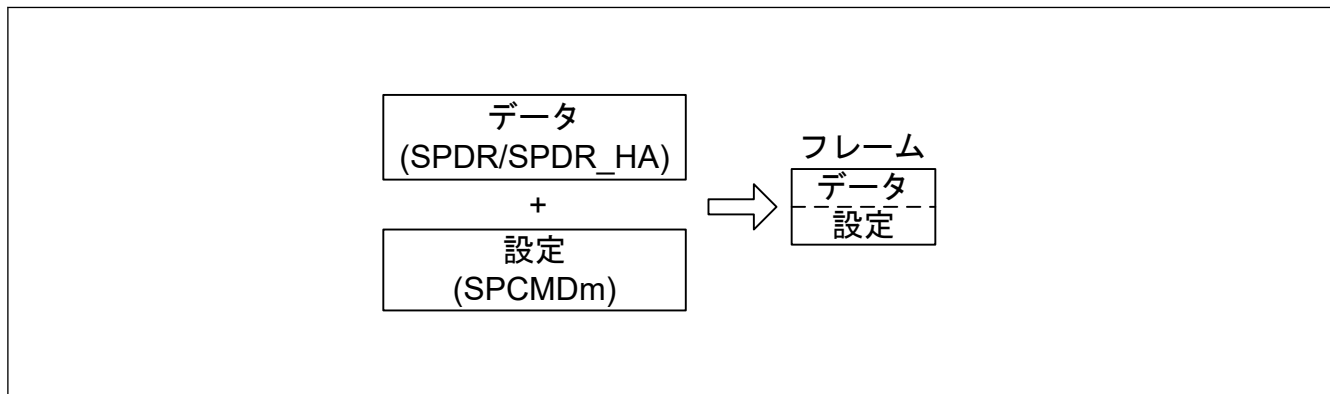


図 31.46 フレームの概念図

図 31.47 は、表 31.4 の設定で指定されたシーケンス動作を行ったときのコマンドと送信バッファ/受信バッファの対応関係を示します。

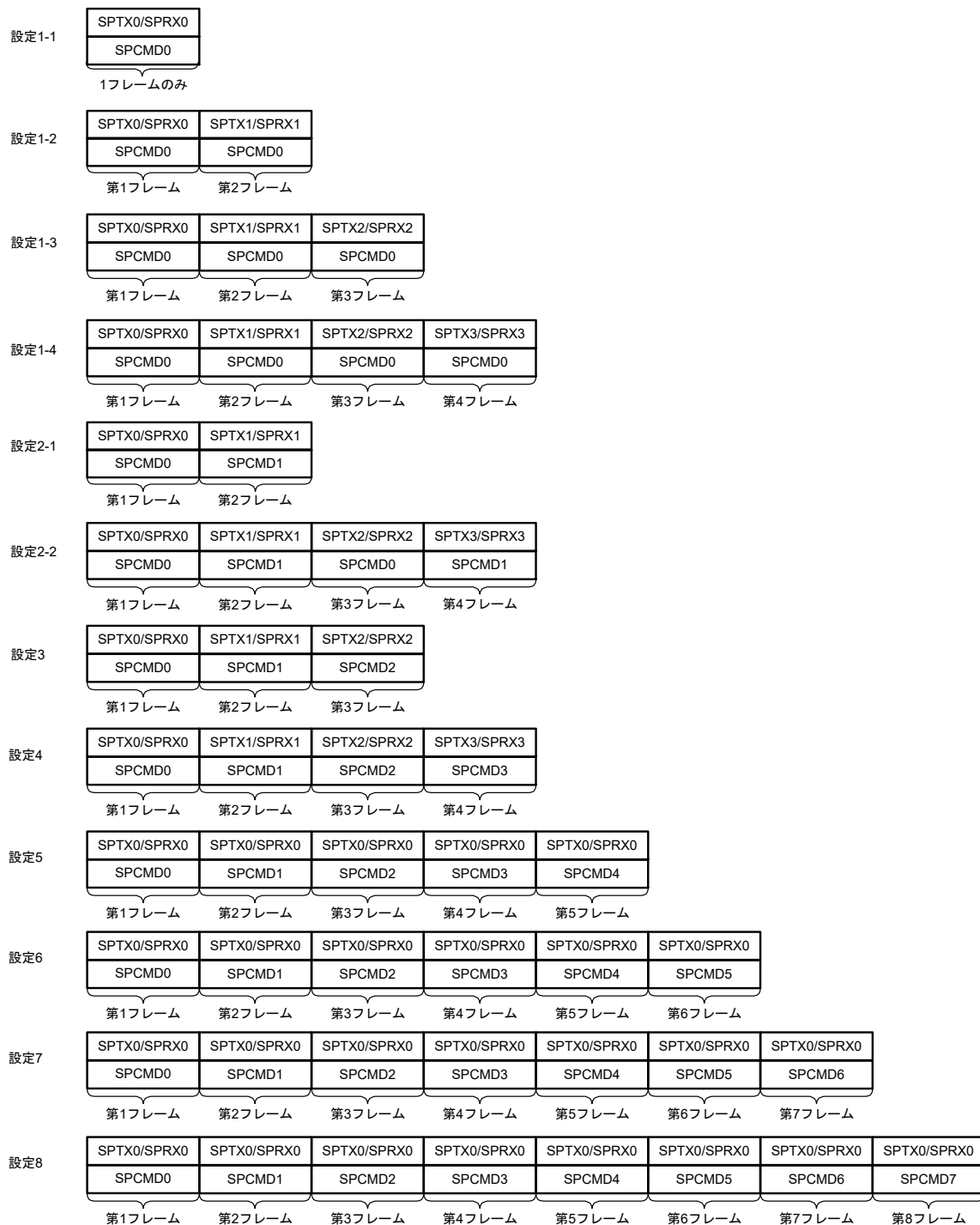


図 31.47 シーケンス動作時の SPI コマンドレジスタと送受信バッファの対応関係

(4) バースト転送

SPI が現在のシリアル転送で参照している SPCMDm.SSLKP ビットが 1 の場合には、SPI はシリアル転送中の SSLni 信号レベルを次のシリアル転送の SSLni 信号のアサート開始まで保持します。次のシリアル転送での SSLni 信号レベルが、現在のシリアル転送での SSLni 信号レベルと同じであれば、SPI は SSLni 信号のアサート状態を保持したまま連続的にシリアル転送を実行することが可能です (バースト転送)。

- SPI コントロールレジスタ 3 (SPCR3) のバースト転送フレーム間遅延選択ビット (BFDS) が 0 の場合

図 31.48 に、SPCMD0 および SPCMD1 レジスタの設定値を使用してバースト転送を実現した場合の SSLni 信号の動作例を示します。以下では、図 31.48 に示す (1)～(8) の SPI 動作内容について説明します。

注. SSLni 端子の出力信号の極性は、SSLP レジスタの設定値で決まります。

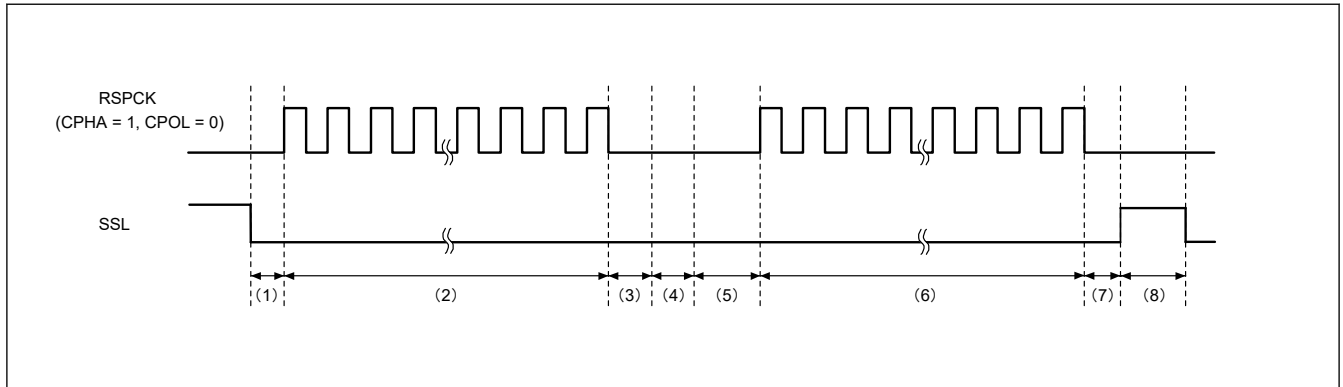


図 31.48 SSLKP ビットを利用したバースト転送の動作例 (BFDS = 0)

図中の (1)～(8) に示したタイミングでの SPI の動作は以下のとおりです。

1. SPI は、SPCMD0 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。
2. SPI は、SPCMD0 レジスタの設定値に従ったシリアル転送を実行します。
3. SPI は、SSL ネゲート遅延を挿入します。
4. SPCMD0.SSLKP ビットが 1 であるため、SPI は SPCMD0 レジスタで指定した SSLni 信号値を保持します。この期間は、最短でも SPCMD0 レジスタの次アクセス遅延と同じだけ継続されます。最短期間が経過してもシフトレジスタが空の場合は、次転送のための送信データがシフトレジスタに格納されるまで、この期間は継続します。
5. SPI は、SPCMD1 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。
6. SPI は、SPCMD1 レジスタの設定値に従ったシリアル転送を実行します。
7. SPI は、SSL ネゲート遅延を挿入します。
8. SPCMD1.SSLKP ビットが 0 であるため、SPI は SSLni 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

SSLKP ビットを 1 にした SPCMDm レジスタでの SSLni 端子の信号出力設定と、次転送で使用する SPCMDm レジスタでの SSLni 端子の信号出力設定が異なる場合、SPI は図 31.48 の (5) で示すように、SSLni 信号状態を SSLni 信号のアサートに切り替えます。この SSLni 信号は次転送のコマンドに対応しています。

注. このような SSLni 信号の切り替えが発生した場合、MISO_n 信号をドライブするスレーブが競合して信号レベルの衝突が発生することがあります。

マスタモードの SPI は、SPCMDm.SSLKP ビットを使用しない場合は、SSLni 信号動作をモジュール内部で参照しています。SPCMDm.CPHA ビットが 0 であると、SPI は内部で検出した次転送の SSLni 信号のアサートを使用してシリアル転送を正確に開始できます。

- SPI コントロールレジスタ 3 (SPCR3) のバースト転送フレーム間遅延選択ビット (BFDS) が 1 の場合

図 31.49 に SPCMD0 および SPCMD1 レジスタの設定値を使用してバースト転送を実現した場合の SSL 信号の動作例を示します。以下では、図 31.49 に示す (1)～(6) の SPI の動作内容について説明します。SSL 出力信号の極性は、SPI スレーブ選択極性レジスタ (SSLP) の設定値に依存します。

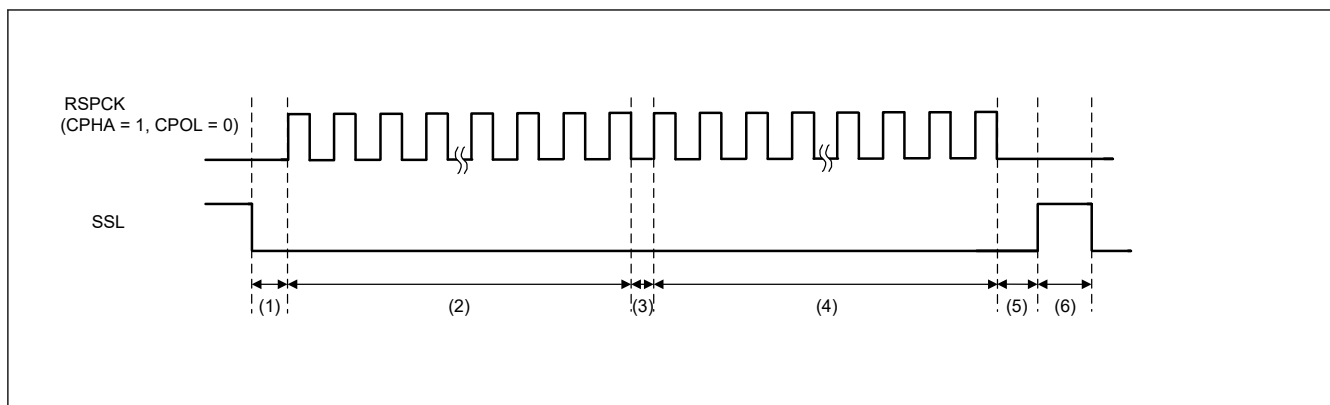


図 31.49 SSLKP ビットを利用したバースト転送の動作例 (BFDS = 1)

1. SPI は SPCMD0 レジスタの設定値に従って SSL 信号をアサートし、RSPCK 遅延を挿入します。RSPCK 遅延はバースト転送の最初のフレームのみに挿入されます。
2. SPI は、SPCMD0 レジスタの設定に従ってシリアル転送を実行します。フレーム間の RSPCK ネゲート期間中にシフトレジスタがエンプティの場合は、次の送信データがシフトレジスタに格納されるまで、最後のクロックを待ちます。
3. SPCMD0.SSLKP ビットが 1 であるため、SPI は SPCMD0 レジスタで指定した SSL 端子の信号値を保持します。シフトレジスタがエンプティではない場合、フレーム間の RSPCK ネゲート期間は $0.5 \times \text{RSPCK}$ です。
4. SPI は、SPCMD1 レジスタの設定に従ってシリアル転送を実行します。
5. SPI は、最後のフレームに対して SSL ネゲート遅延を挿入します。
6. SPCMD1.SSLKP ビットが 0 であるため、SPI は SSL 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

(5) RSPCK 遅延 (t1)

マスタモードの SPI の RSPCK 遅延値は、SPCMDm.SCKDEN ビットの設定と SPCKD.SCKDL[2:0] ビットの設定に依存します。SPI は、ポインタ制御によってシリアル転送中に参照する SPCMDm レジスタを決定し、SPCMDm.SCKDEN ビットと SPCKD.SCKDL[2:0] ビットを使用して、表 31.11 に示すように RSPCK 遅延を決定します。RSPCK 遅延の定義については、「31.3.5. 転送フォーマット」を参照してください。

“バースト転送フレーム間遅延”なしで送信する場合、RSPCK 遅延はバースト転送の最初のフレームにのみ挿入されます。(SPCMD.SSLKP ビットは 1、および SPCR3.BFDS ビットは 1。)

表 31.11 SPCMDm.SCKDEN ビット、SPCKD.SCKDL[2:0] ビット、および RSPCK 遅延の関係

SPCMDm.SCKDEN ビット	SPCKD.SCKDL[2:0] ビット	RSPCK 遅延
0	000b~111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(6) SSL ネゲート遅延 (t2)

マスタモードの SPI の SSL ネゲート遅延値は、SPCMDm.SLNDEN ビットの設定と SSLND.SLNDL[2:0] ビットの設定に依存します。SPI は、ポインタ制御によってシリアル転送中に参照する SPCMDm レジスタを決定し、SPCMDm.SLNDEN ビットと SSLND.SLNDL[2:0] ビットを使用して表 31.12 に示すように SSL ネゲート遅延値を決定します。SSL ネゲート遅延の定義については、「31.3.5. 転送フォーマット」を参照してください。

SSL ネゲート遅延はバースト転送の最後のフレームのみに挿入されます。つまり、「バースト転送フレーム間遅延」なしで送信されます。(SPCMD.SSLKP ビットは 1、および SPCR3.BFDS ビットは 1。)

表 31.12 SPCMDm.SLNDEN ビット、SSLND.SLNDL[2:0]ビット、および SSL ネゲート遅延の関係

SPCMDm.SLNDEN ビット	SSLND.SLNDL[2:0]ビット	SSL ネゲート遅延
0	000b~111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(7) 次アクセス遅延 (t3)

マスタモードの SPI の次アクセス遅延値は、SPCMDm.SPNDEN ビットの設定と SPND.SPNDL[2:0]ビットの設定に依存します。SPI は、ポインタ制御によってシリアル転送中に参照する SPCMDm レジスタを決定し、SPCMDm.SPNDEN ビットと SPND.SPNDL[2:0]ビットを使用して、表 31.13 に示すようにシリアル転送中の次アクセス遅延を決定します。次アクセス遅延の定義については、「31.3.5. 転送フォーマット」を参照してください。

次アクセス遅延はバースト転送の最後のフレームのみに挿入されます。つまり、「バースト転送フレーム間遅延」なしで送信されます (SPCMD.SSLKP ビットは 1、および SPCR3.BFDS ビットは 1。)

表 31.13 SPCMDm.SPNDEN ビット、SPND.SPNDL[2:0]ビット、および次アクセス遅延の関係

SPCMDm.SPNDEN ビット	SPND.SPNDL[2:0]ビット	次アクセス遅延
0	000b~111b	1 RSPCK + 2 PCLKA
1	000b	1 RSPCK + 2 PCLKA
	001b	2 RSPCK + 2 PCLKA
	010b	3 RSPCK + 2 PCLKA
	011b	4 RSPCK + 2 PCLKA
	100b	5 RSPCK + 2 PCLKA
	101b	6 RSPCK + 2 PCLKA
	110b	7 RSPCK + 2 PCLKA
	111b	8 RSPCK + 2 PCLKA

(8) 初期化フロー

図 31.50 に、SPI をマスタモードで使用する場合の SPI 初期化フローの例を示します。なお、割り込みコントローラユニット (ICU)、DMAC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

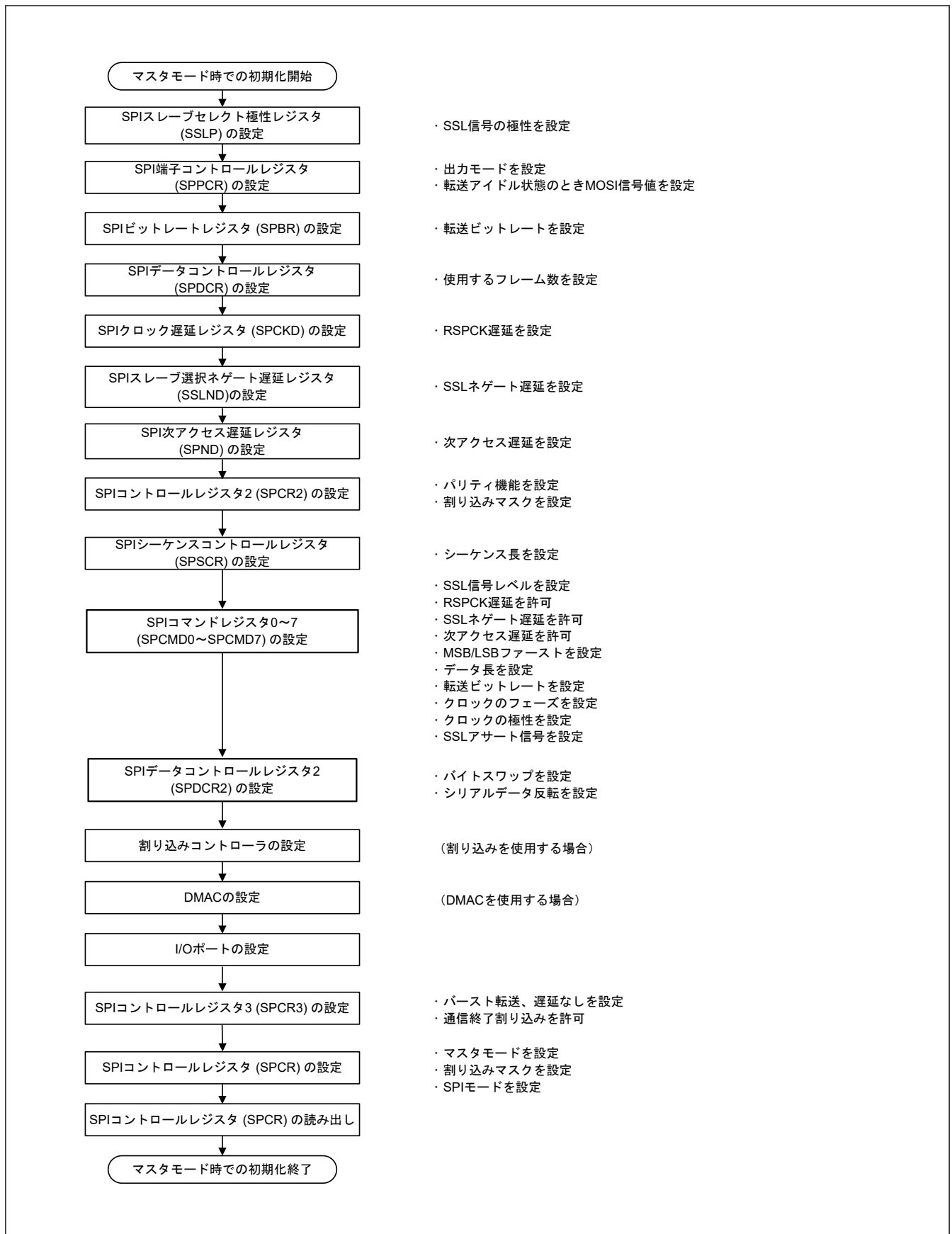


図 31.50 マスタモード時の SPI 動作の初期化フロー例

(9) ソフトウェア処理フロー

図 31.51 ～図 31.53 にソフトウェア処理フローの例を示します。

送信処理フロー

データの送信時、SPI_i SPI_{II} 割り込みが許可されていれば、最終データの書き込み後にデータ送信完了を CPU に通知します。

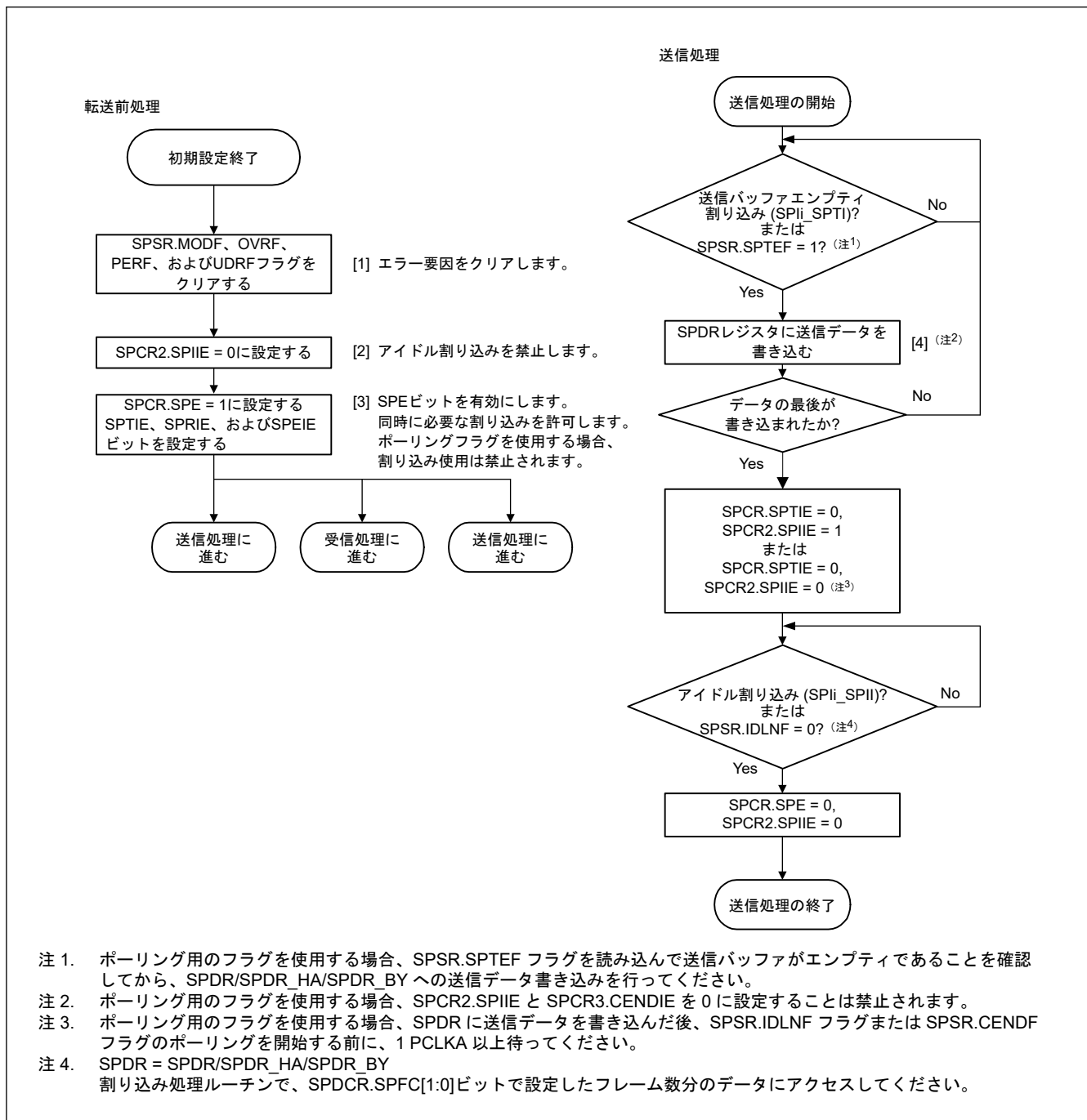


図 31.51 マスタモードでの送信フロー

受信処理フロー

SPI には、スレーブモードでの受信のみの動作があります。

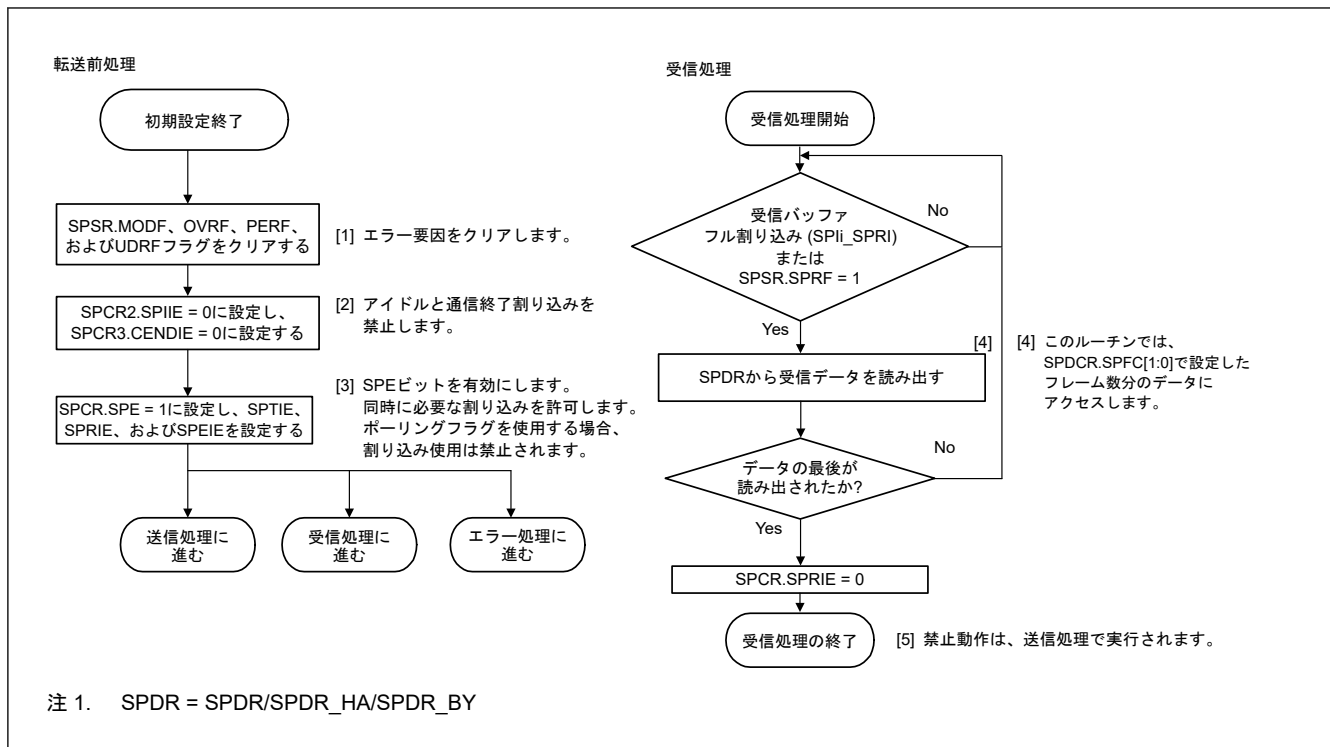


図 31.52 マスタモードでの受信手順

エラー処理フロー

SPI は以下のエラーの検出を行います。

- モードフォルトエラー
- アンダーランエラー
- オーバーランエラー
- パリティエラー

モードフォルトエラー発生時は、SPCR.SPE ビットが自動的にクリアされ、送受信動作を停止させます。その他のエラー要因では、SPCR.SPE ビットはクリアされず、送受信動作は継続します。このため、モードフォルトエラー以外のエラーの場合、SPCR.SPE ビットをクリアして動作を停止することを推奨します。動作を停止しないと、SPSSR.SPECM[2:0] ビットが更新されます。

割り込みによるエラー発生時は、エラー処理ルーチンにて ICU.IELSRn.IR フラグをクリアしてください。クリアしないと、ICU.IELSRn.IR フラグに送信バッファエンプティ割り込み (SPII_SPTI) または受信バッファフル割り込み (SPII_SPRII) 要求が保持されていることがあります。また、受信バッファフル割り込み (SPII_SPRI) 要求が保持されている場合、受信バッファを読み出して SPI の内部シーケンサを初期化してください。

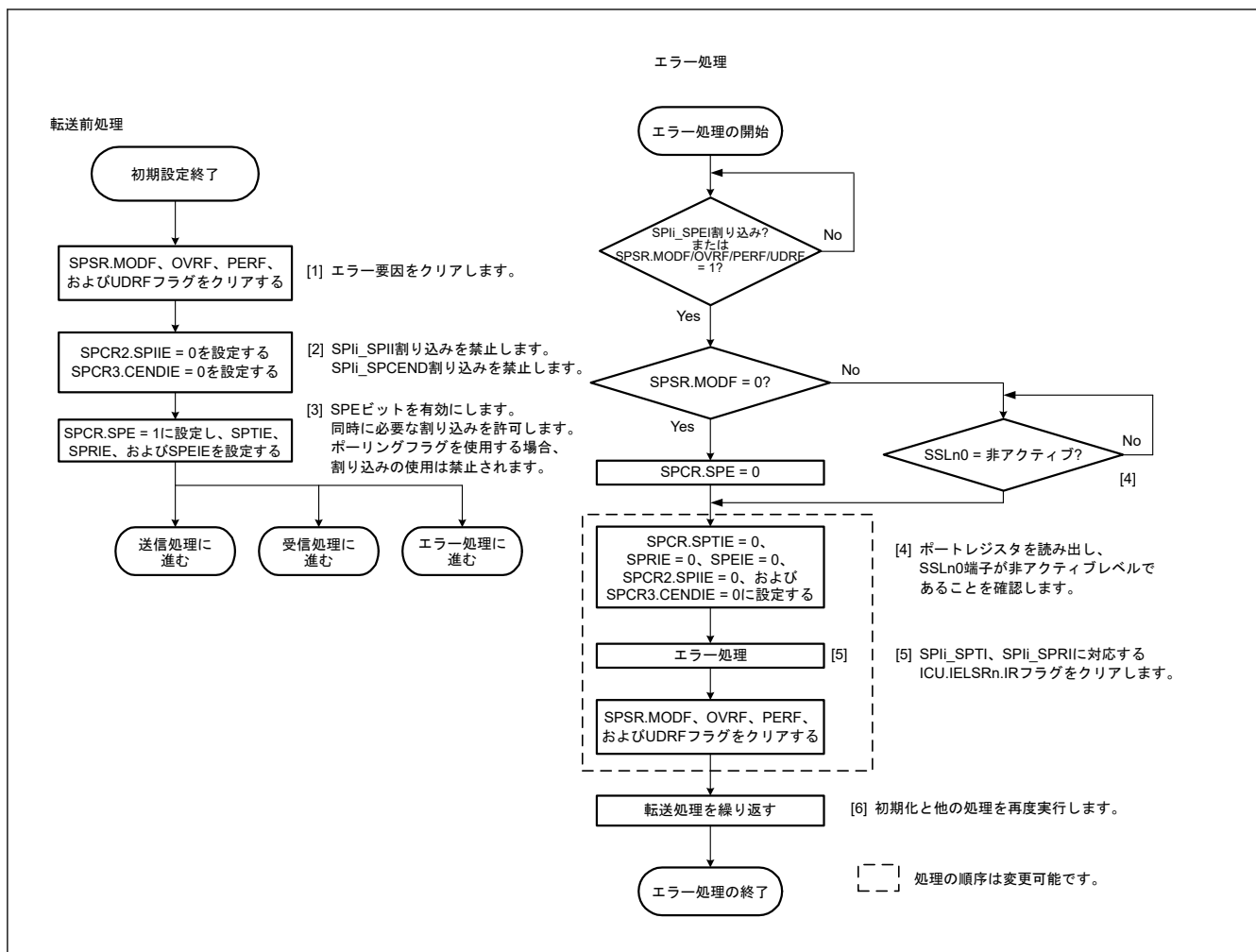


図 31.53 マスタモードでのエラー処理フロー

31.3.12.2 スレーブモード動作

(1) シリアル転送の開始

SPCMD0.CPHA ビットが 0 の場合、SPI は SSLn0 端子へ入力される信号のアサートを検出すると、MISO_n 出力信号への有効データをドライブする必要があります。このため、SPCMD0.CPHA ビットが 0 の場合には、SSLn0 端子へ入力される信号のアサートがシリアル転送開始のトリガになります。

SPCMD0.CPHA ビットが 1 の場合には、SPI は SSLn0 端子へ入力される信号のアサート状態で最初の RSPCK_n エッジを検出すると、MISO_n 出力信号への有効データをドライブする必要があります。SPCMD0.CPHA ビットが 1 の場合には、SSLn0 端子へ入力される信号のアサート状態における最初の RSPCK_n エッジがシリアル転送開始のトリガになります。

SPCMD0.CPHA ビットの設定にかかわらず、SPI は SSLn0 端子へ入力される信号のアサート時に、MISO_n 出力信号のドライブを実行します。SPCMD0.CPHA ビットの設定によって、SPI が出力するデータの有効/無効が異なります。

SPI の転送フォーマットの詳細については、「31.3.5. 転送フォーマット」を参照してください。SSLn0 端子へ入力される信号の極性は、SSLP.SSL0P ビットの設定値に依存します。

(2) シリアル転送の終了

SPCMD0.CPHA ビットの設定にかかわらず、SPI は最終サンプリングタイミングに対応する RSPCK_n エッジを検出するとシリアル転送を終了します。受信バッファがエンプティ (SPSR.SPRF フラグ = 0) の場合には、シリアル転送終了後に SPI はシフトレジスタから SPDR/SPDR_HA レジスタの受信バッファに受信データをコピーします。受信バッファの状態にかかわらず、SPI はシリアル転送の終了時にシフトレジスタの状態をエンプティに変

更します。シリアル転送開始からシリアル転送終了までの間に SPI が SSLn0 端子へ入力される信号のネゲートを検出すると、モードフォルトエラーが発生します（「[31.3.10. エラー検出](#)」を参照）。

最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの SPI のデータ長は、SPCMD0.SPB[3:0]ビットの設定で決まります。SSLn0 端子へ入力される信号の極性は、SSLP.SSL0P ビットの設定で決まります。SPI の転送フォーマットの詳細については、「[31.3.5. 転送フォーマット](#)」を参照してください。

(3) シングルスレーブ動作時の注意点

SPCMD0.CPHA ビットが 0 の場合、SPI は SSLn0 端子へ入力される信号のアサートエッジを検出するとシリアル転送を開始します。[図 31.7](#) に示す構成で SPI をシングルスレーブモードで使用する場合には、SSLn0 端子への入力信号がアクティブ状態に固定されます。そのため、CPHA ビットを 0 に設定した場合、SPI はシリアル転送を正しく開始できません。SSLn0 端子への入力信号がアクティブ状態に固定された場合に、スレーブモードの SPI の送受信動作を正しく実行するには、CPHA ビットを 1 にする必要があります。CPHA ビットを 0 にする必要がある場合、SSLn0 端子への入力信号を固定しないでください。

(4) バースト転送

SPCMD0.CPHA ビットが 1 であれば、SSLn0 端子へ入力される信号のアサート状態を保持したままで連続的なシリアル転送（バースト転送）を実行できます。SPCMDm.CPHA ビットが 1 の場合、シリアル転送期間は、SSLn0 端子への入力信号がアクティブ状態において、最初の RSPCKn エッジから、最終ビット受信のためのサンプリングタイミングまでとなります。SSLn0 端子への入力信号がアクティブレベルのままであっても、SPI はアクセスの開始を検出できるため、バースト転送に対応できます。

SPCMD0.CPHA ビットが 0 の場合、バースト転送の 2 回目以降のシリアル転送を正しく実行できません。

(5) 初期化フロー

[図 31.54](#) に、SPI がスレーブモードの場合の SPI 動作の初期化フローの例を示します。なお、割り込みコントローラユニット、DTC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

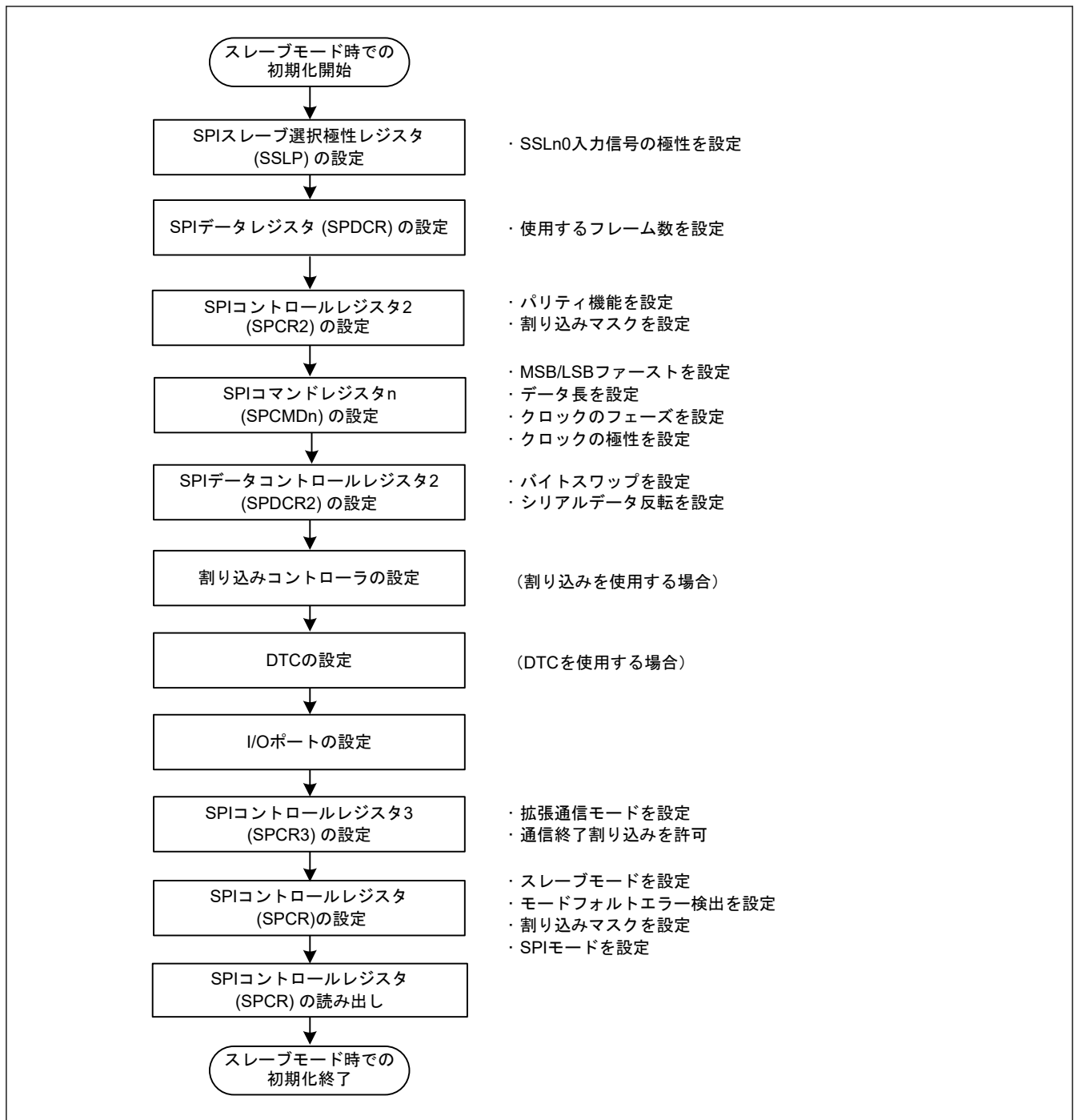


図 31.54 スレーブモード時の SPI 動作の初期化フロー例

(6) ソフトウェア処理フロー

図 31.55～図 31.57 にソフトウェア処理フローの例を示します。

送信処理フロー

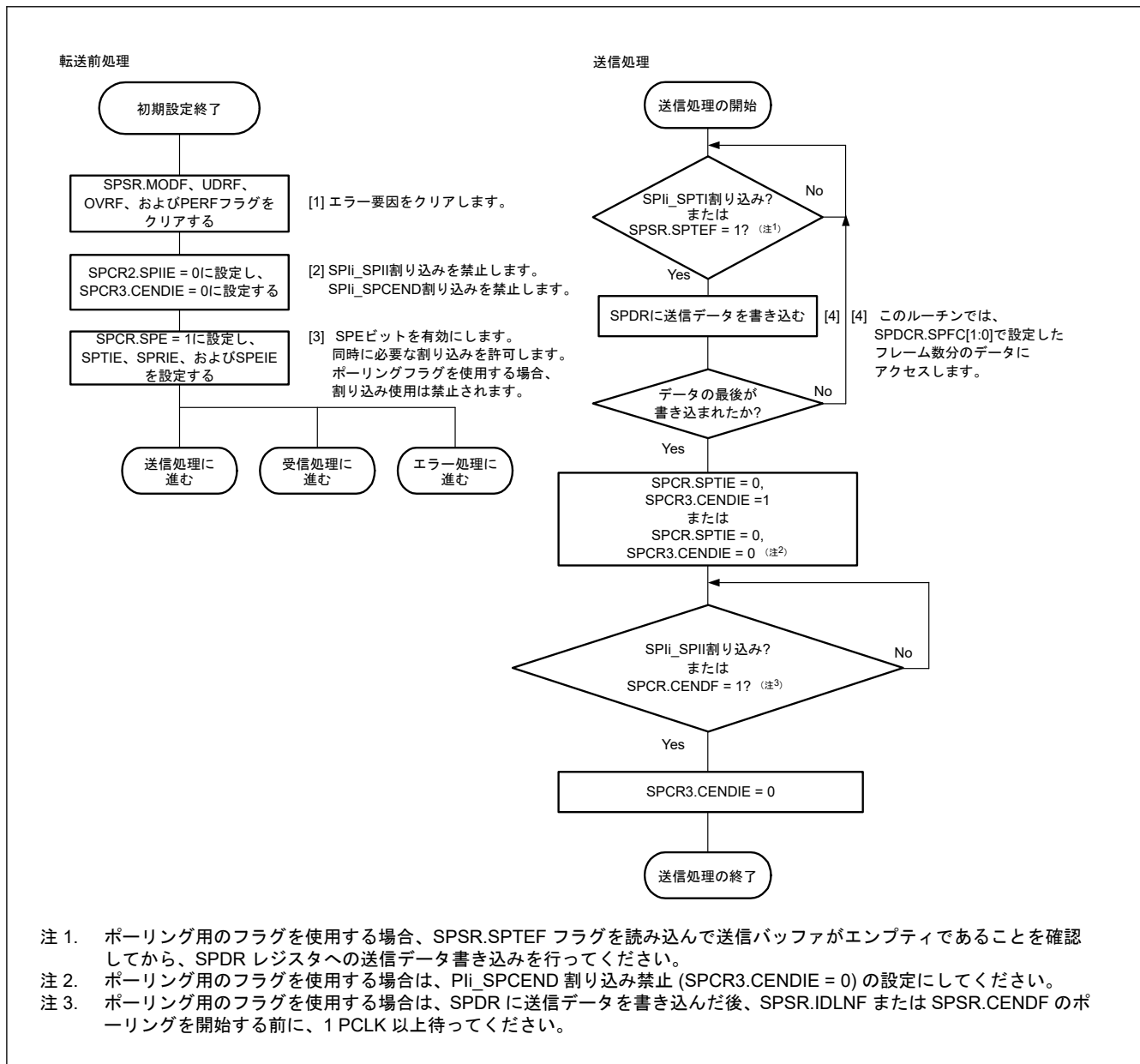


図 31.55 スレープモードでの送信フロー

受信処理フロー

SPI は受信処理のみで実行することができないため、送信処理を行う必要があります。

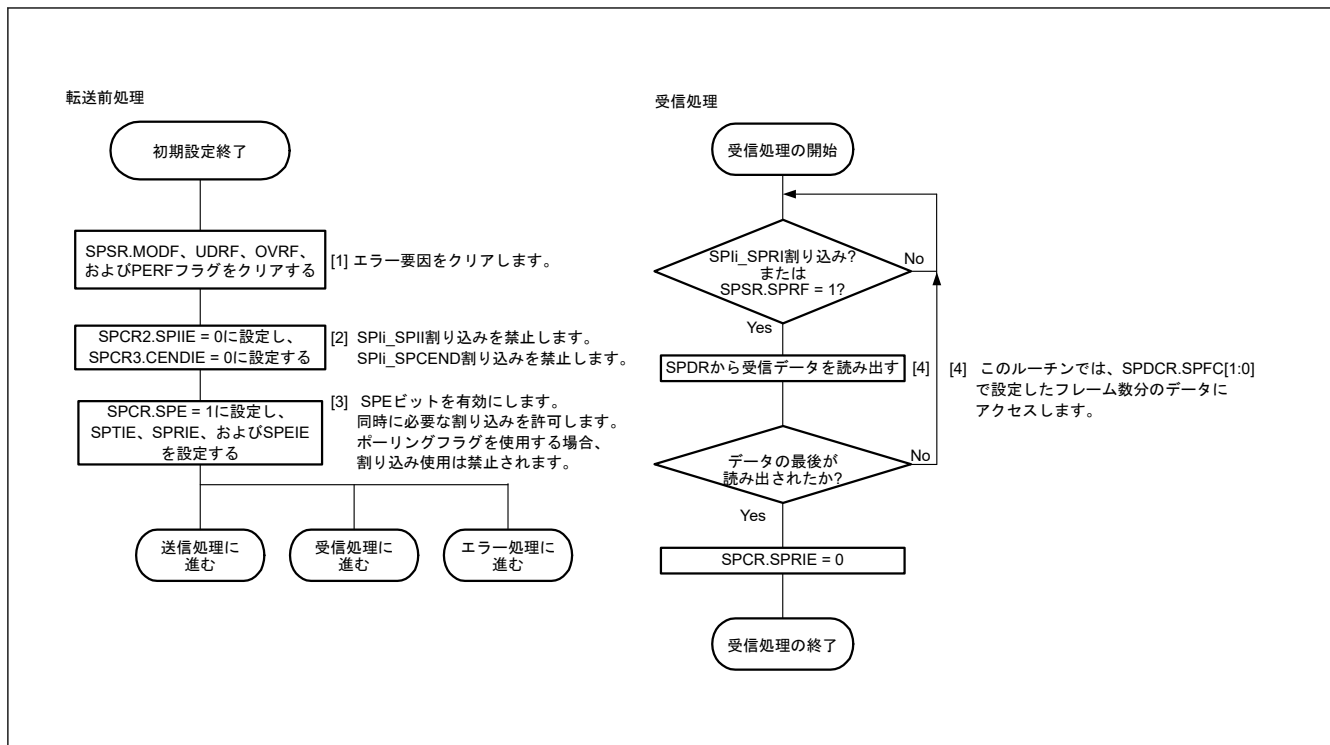


図 31.56 スレーブモードでの受信手順

エラー処理フロー

スレーブ動作では、モードフォルトエラーが発生しても、SSLn0 端子の状態にかかわらず SPSR.MODF フラグをクリアすることができます。

割り込みによるエラー検出時は、エラー処理ルーチンにて ICU.IELSRn.IR フラグをクリアしてください。クリアしないと、ICU.IELSRn.IR フラグに送信バッファエンプティ割り込み (SPIi_SPTI) または受信バッファフル割り込み (SPIi_SPRII) 要求が保持されていることがあります。受信バッファフル割り込み (SPIi_SPRI) 要求が保持されている場合、受信バッファを読み出して SPI の内部シーケンサを初期化してください。

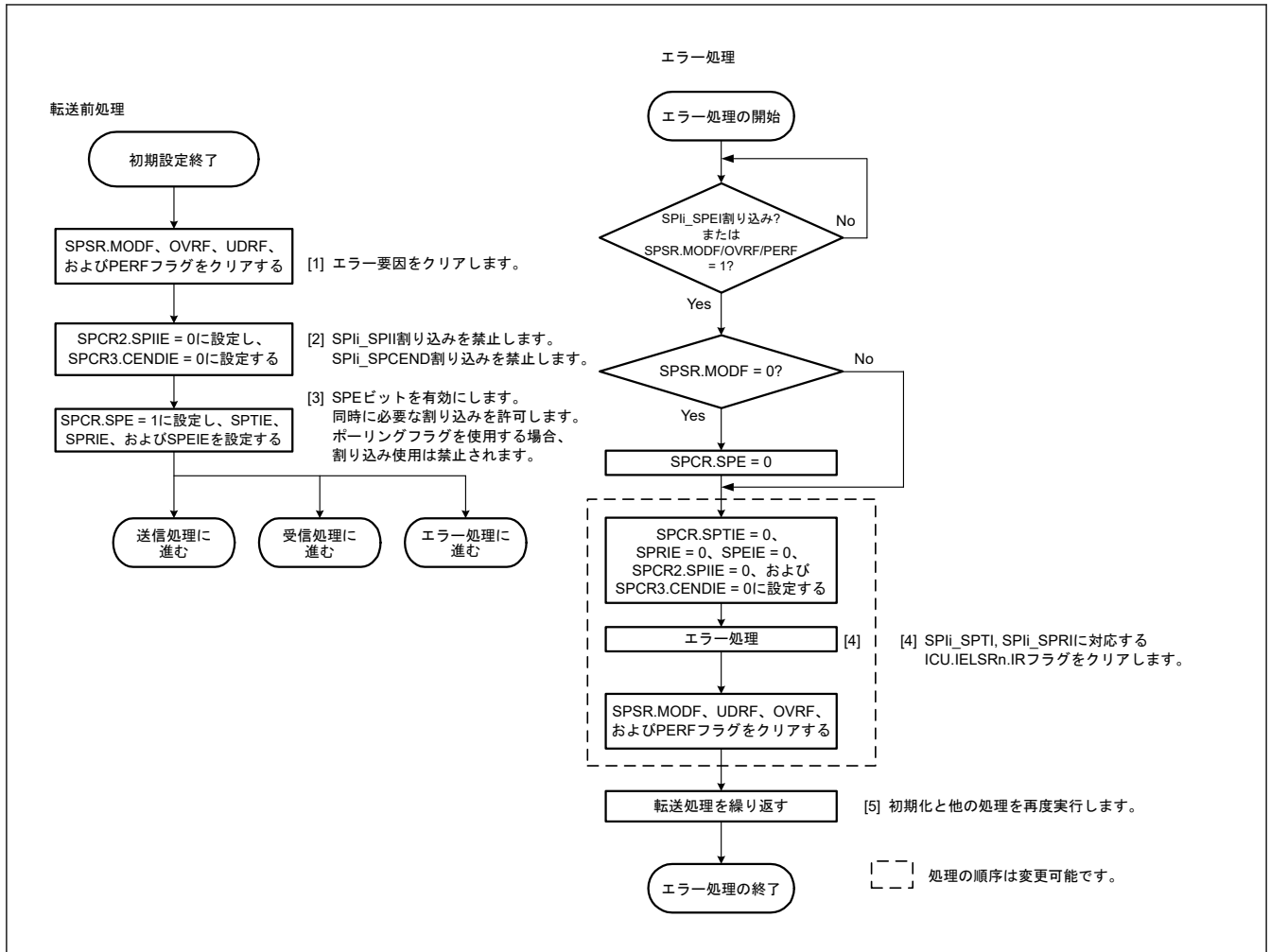


図 31.57 スレープモードでのエラー処理フロー

31.3.13 クロック同期式動作

SPI は、SPCR.SPMS ビットが 1 であるとき、クロック同期式動作となります。クロック同期式動作は、SSLni 端子を使用せず、RSPCKn、MOSIn、MISOOn の 3 本の端子を用いて通信を行います。各 SSLni 端子は入出力ポートとして使用することができます。

クロック同期式動作は、SSLni 端子を使用せずに通信を行いますが、モジュールの動作は SPI 動作と同様です。すなわち、マスタモード動作とスレープモード動作では、モードフォルトエラーの検出が行われないことを除いて、同様のフローで通信を行うことができます。

また、クロック同期式動作では、スレープモード時 (SPCR.MSTR = 0) に SPCMDm.CPHA ビットを 0 にした場合の動作はしないでください。

31.3.13.1 マスタモード動作

(1) シリアル転送の開始

送信バッファがエンプティで、次転送のデータがセットされていない (SPSR.SPTEF フラグ = 1) 状態で、SPDR/SPDR_HA レジスタへデータを書き込むと、SPI は SPDR/SPDR_HA の送信バッファ (SPTX) のデータを更新します。SPDCR.SPFC[1:0] ビットで設定したフレーム数分のデータを、SPDR/SPDR_HA レジスタへ書き込んだ後、シフトレジスタが空の場合は、SPI は送信バッファのデータをシフトレジスタにコピーしてシリアル送信を開始します。SPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスをエンプティに変更します。シフトレジスタのステータスを参照することはできません。

クロック同期式動作時は、SSLn0 端子の出力信号を用いずに転送を行います。SPI の転送フォーマットの詳細については、「31.3.5. 転送フォーマット」を参照してください。

(2) シリアル転送の終了

SPI はサンプリングタイミングに対応する $RSPCK_n$ エッジを送出すると、シリアル転送を終了します。受信バッファがエンプティ ($SPSR.SPRF$ フラグ = 0) の場合には、シリアル転送終了後に SPI はシフトレジスタから SPI データレジスタ ($SPDR/SPDR\_HA$) の受信バッファにデータをコピーします。

最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの SPI のデータ長は、 $SPCMDm.SP[B3:0]$ ビットの設定に依存します。クロック同期式動作時は、 SSL_n0 端子の出力信号を用いずに転送を行います。SPI の転送フォーマットの詳細については、「[31.3.5. 転送フォーマット](#)」を参照してください。

(3) シーケンス制御

マスタモード時の転送フォーマットは、 $SPSCR$ レジスタ、 $SPCMDm$ レジスタ、 $SPBR$ レジスタ、 $SPCKD$ レジスタ、 $SSLND$ レジスタ、および $SPND$ レジスタによって決定されます。クロック同期式動作時は、 SSL_ni 端子へ信号の出力を行いませんが、これらの設定は有効です。

$SPSCR$ レジスタは、マスタモードの SPI で実行するシリアル転送のシーケンス構成を決定します。 $SPCMDm$ レジスタでは、以下の項目を設定します。

- SSL_ni 端子の出力信号値
- MSB/LSB ファースト
- データ長
- ビットレート設定の一部
- $RSPCK$ 極性／位相
- $SPCKD$ レジスタの参照要否
- $SSLND$ レジスタの参照要否
- $SPND$ レジスタの参照要否

$SPBR$ レジスタは、 $SPCKD$ レジスタ (SPI クロック遅延)、 $SSLND$ レジスタ (SSL ネゲート遅延)、 $SPND$ レジスタ (次アクセス遅延) などの、ビットレート設定の一部を保持しています。

SPI は、 $SPSCR$ レジスタに設定されたシーケンス長に従って、 $SPCMDm$ レジスタの一部または全部からなるシーケンスを構成します。SPI には、シーケンスを構成している $SPCMDm$ レジスタに対するポインタが存在します。このポインタの値は、 $SPSSR.SP[CP2:0]$ ビットの読み出しによって確認できます。 $SPCR.SPE$ ビットを 1 にして SPI 機能を有効にすると、SPI はコマンドに対するポインタを $SPCMD0$ レジスタにセットし、シリアル転送の開始時に $SPCMD0$ レジスタの設定内容を転送フォーマットに反映します。SPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスの最終コマンドに対応するシリアル転送が終了すると、SPI はポインタを $SPCMD0$ レジスタにセットするため、シーケンスが繰り返し実行されます。

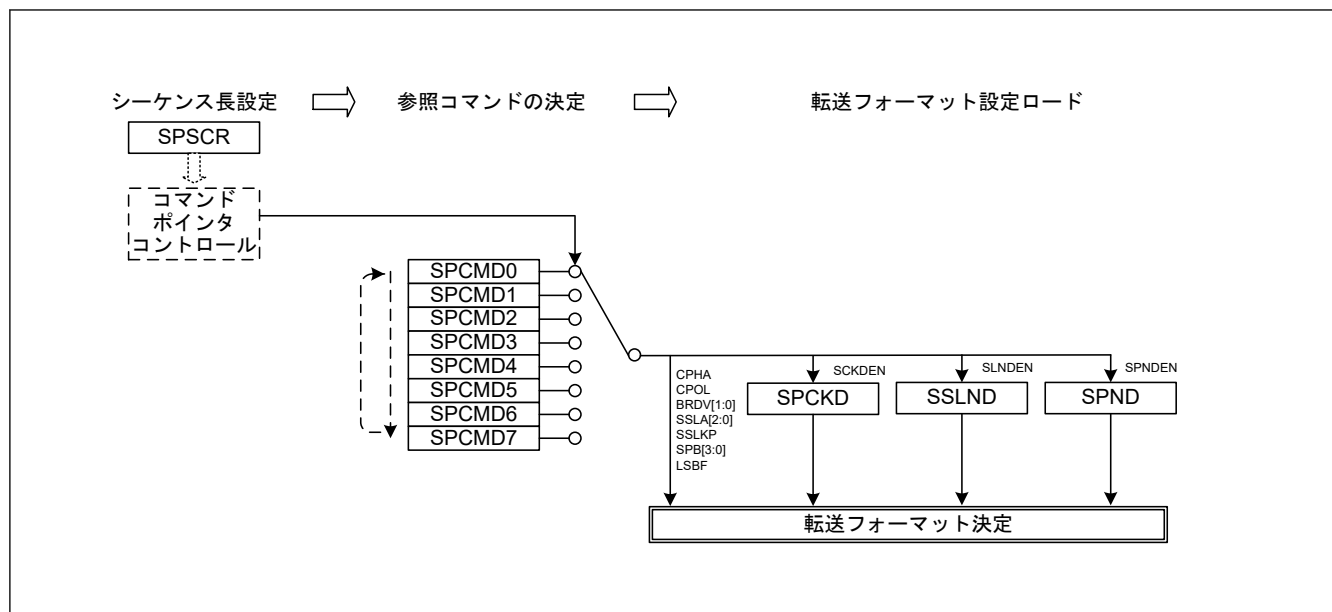


図 31.58 マスタモードでのシリアル転送方式の決定方法

ここでは、データ (SPDR/SPDR_HA) と設定 (SPCMDm) の2つを合わせてフレームとします。

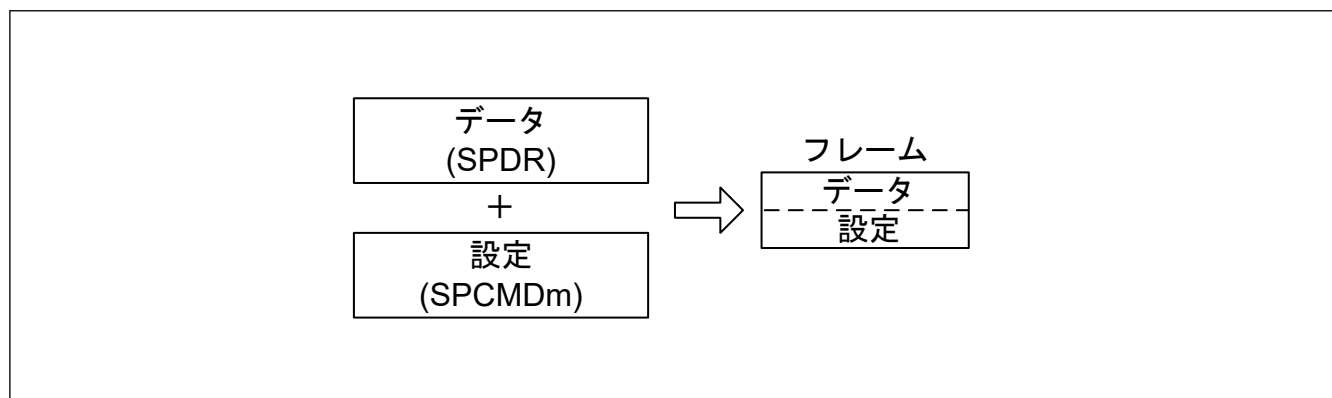


図 31.59 フレームの概念図

図 31.60 が示しているのは、表 31.4 の設定で指定したシーケンス動作におけるコマンドと送信バッファ/受信バッファの対応関係です。

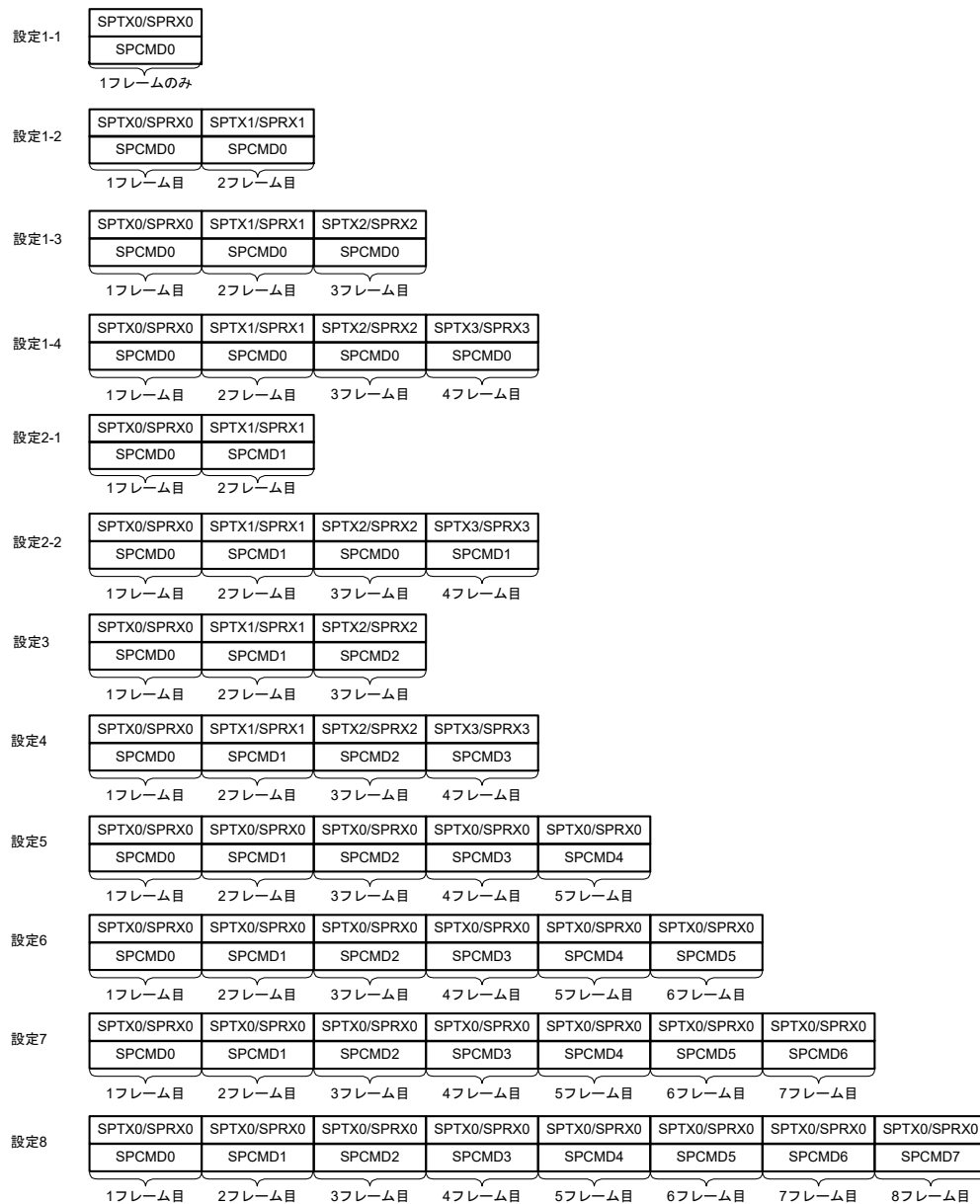


図 31.60 シーケンス動作時の SPI コマンドレジスタと送受信バッファの対応関係

(4) 初期化フロー

図 31.61 に、SPI がマスタモードである場合のクロック同期式動作の初期化フローの例を示します。なお、ICU、DMAC、DTC および入出力ポートの設定方法については、各ブロックの説明を参照してください。

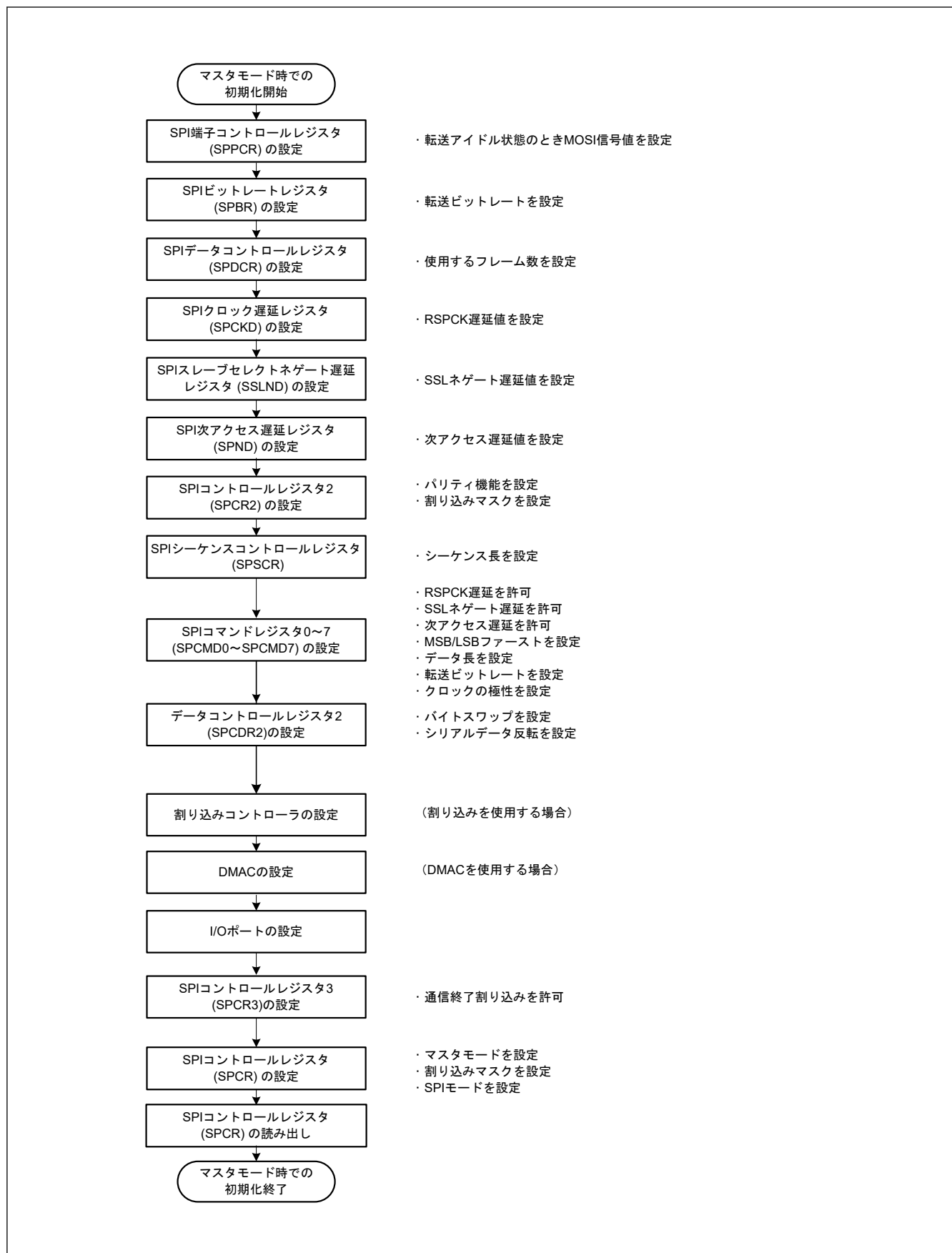


図 31.61 マスタモード時のクロック同期式動作の初期化フロー例

(5) ソフトウェア処理フロー

クロック同期式動作時のマスタモードでのソフトウェア処理は、SPI 動作時のマスタモードでのソフトウェア処理と同様になります。詳細は、「[31.3.12.1. マスタモード動作](#)」を参照してください。クロック同期動作ではモードフォルトエラーは発生しません。

31.3.13.2 スレーブモード動作

(1) シリアル転送の開始

SPCR.SPMS ビットが1であるとき、最初の RSPCK_n エッジが SPI のシリアル転送開始のトリガになり、SPI は MISO_n 出力信号をドライブします。クロック同期式動作では SSL0 入力信号は使用しません。SPI の転送フォーマットの詳細については、「[31.3.5. 転送フォーマット](#)」を参照してください。

(2) シリアル転送の終了

SPI は最終のサンプリングタイミングに対応する RSPCK_n エッジを検出すると、シリアル転送を終了します。受信バッファがエンプティ (SPSR.SPRF フラグ=0) の場合には、シリアル転送終了後に SPI はシフトレジスタから SPDR/SPDR_HA レジスタの受信バッファに受信データをコピーします。受信バッファの状態にかかわらず、SPI はシリアル転送の終了時にシフトレジスタの状態をエンプティに変更します。

最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの SPI のデータ長は、SPCMD0.SPB[3:0] ビットの設定に依存します。SPI の転送フォーマットの詳細については、「[31.3.5. 転送フォーマット](#)」を参照してください。

(3) 初期化フロー

[図 31.62](#) に、SPI がスレーブモードである場合のクロック同期式動作の初期化手順の例を示します。なお、割り込みコントローラユニット、DTC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

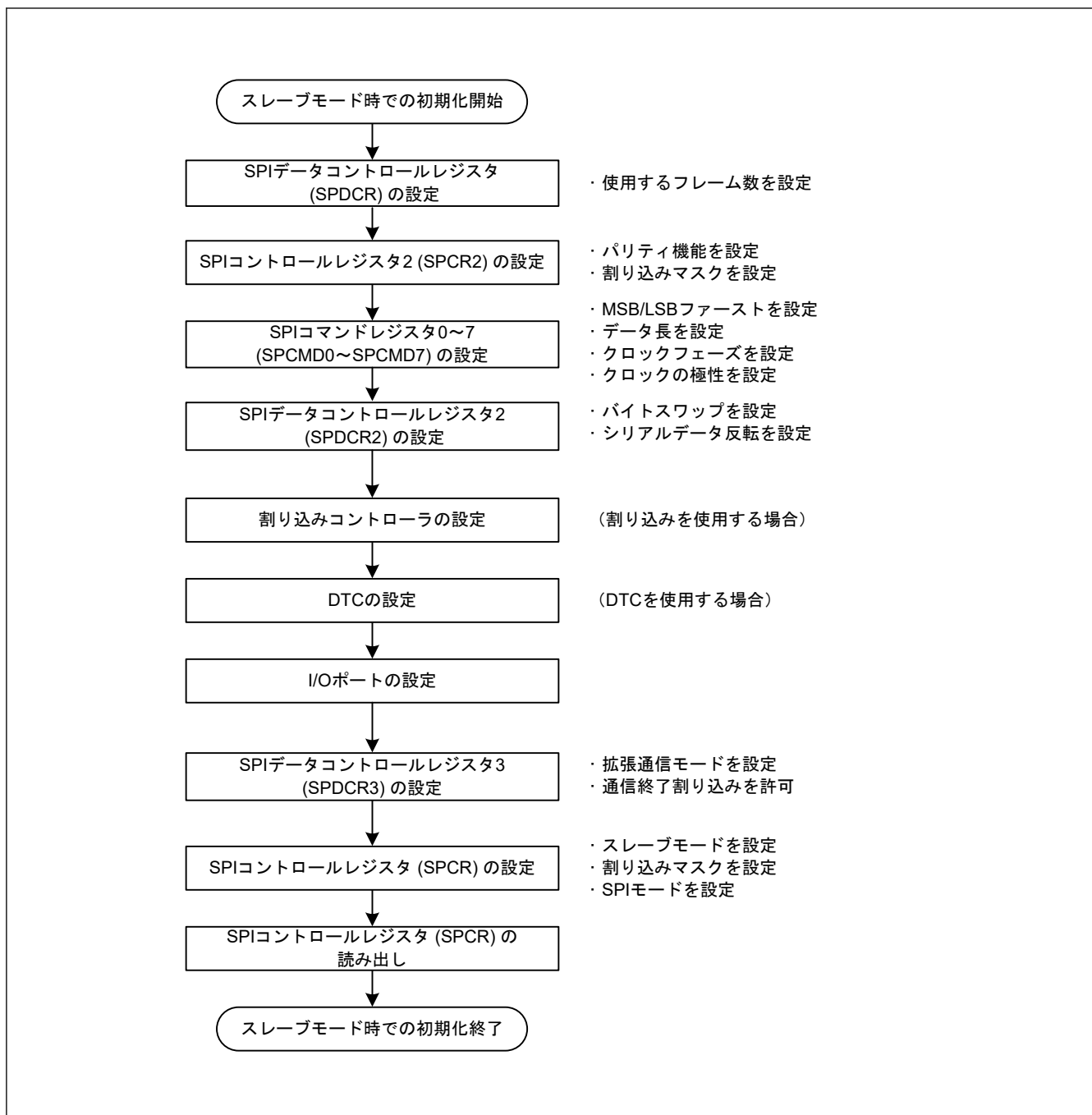


図 31.62 スレーブモード時のクロック同期式動作の初期化フロー例

(4) ソフトウェア処理フロー

クロック同期式動作時のスレーブモードでのソフトウェア処理は、SPI 動作時のスレーブモードでのソフトウェア処理と同様になります。詳細は、(6) [ソフトウェア処理フロー](#)を参照してください。この条件下ではモードフォルトエラーは発生しません。

31.3.14 ループバックモード

SPPCR.SPLP2 ビットまたは SPPCR.SPLP ビットに 1 を書いたときに、SPI は SPCR.MSTR ビットが 1 である場合に MISO_n 端子とシフトレジスタの間の経路を遮断し、または SPCR.MSTR ビットが 0 である場合に MOSI_n 端子とシフトレジスタの間の経路を遮断します。また、ループバックモードを確立してシフトレジスタの入力と出力の経路を接続します。SPI は SPCR.MSTR ビットが 1 である場合に MOSI_n 端子とシフトレジスタの間の経路を遮断せず、または SPCR.MSTR ビットが 0 である場合に MISO_n 端子とシフトレジスタの間の経路を遮断しませ

ん。これはループバックモードといわれています。シリアル転送がループバックモードで実行されるとき、SPI のための送信データまたは反転した送信データは、SPI のための受信データとなります。

表 31.14 に、SPLP2 ビットと SPLP ビットおよび受信データの間の関係を示します。図 31.63 に、マスタモードの SPI がループバックモードに設定されているときのシフトレジスタの入出力経路の構成を示します (SPPCR.SPLP2 = 0, SPPCR.SPLP = 1)。

表 31.14 SPPCR.SPLP2 ビット、SPPCR.SPLP ビットの設定と受信データ

SPPCR.SPLP2 ビット	SPPCR.SPLP ビット	受信データ
0	0	MOSIn 端子または MISO _n 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

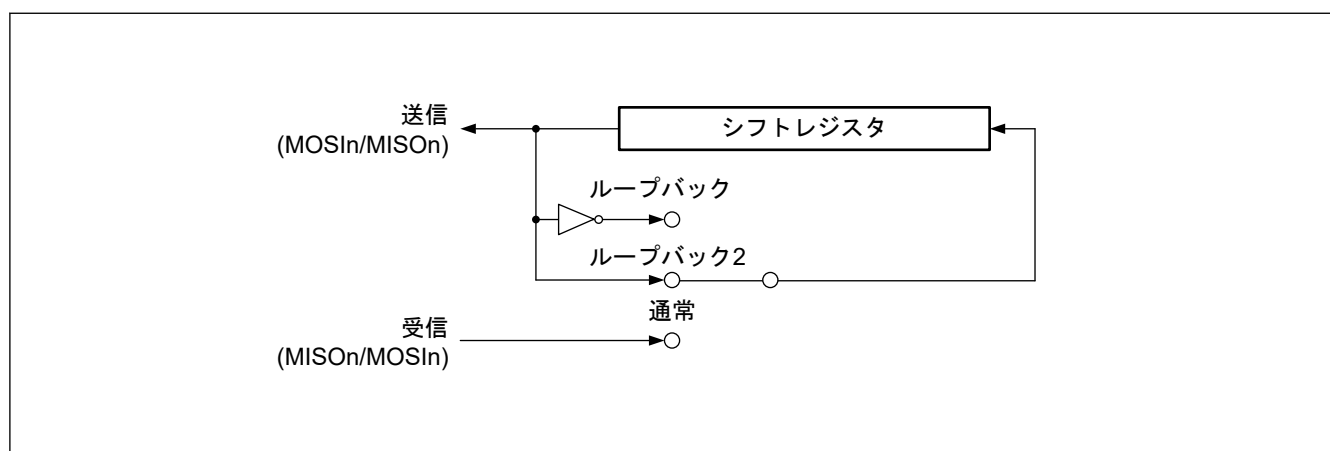


図 31.63 ループバックモード時のシフトレジスタ入出力経路の構成 (マスタモード)

31.3.15 パリティビット機能の自己診断

パリティ回路は、送信データに対するパリティ付加部と、受信データに対するエラー検出部で構成されます。パリティ付加部とエラー検出部の故障を検出するため、パリティ回路は図 31.64 に示す自己診断を実行します。

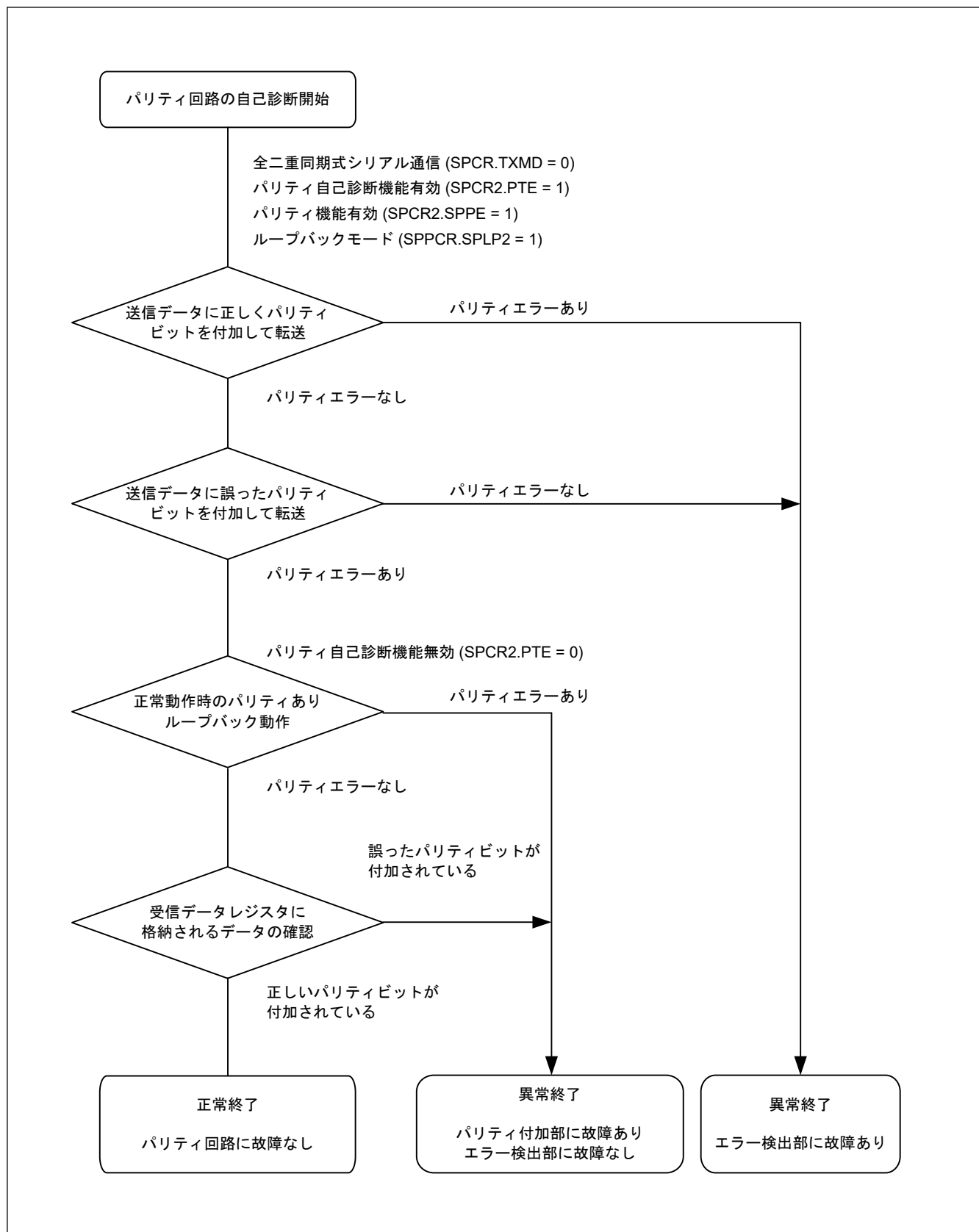


図 31.64 パリティ回路の自己診断フロー

31.3.16 割り込み要因

SPI には以下の割り込み要因があります。

- 受信バッファフル
- 送信バッファエンプティ
- SPI エラー（モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラー）
- SPI アイドル
- 通信終了

受信バッファフルまたは送信バッファエンプティの割り込みで DMAC または DTC を起動し、データ転送を行うことができます。

SPI_{li}_SPEI のベクタアドレスは、モードフォルトエラー、アンダーランエラー、オーバーランエラー、およびパリティエラーでトリガされる割り込み要求に割り付けられるため、実際の割り込み要因は、フラグから判断する必要があります。表 31.15 に SPI の割り込み要因に対応するフラグを示します。表 31.15 の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因に対しては、データ転送でクリアしてください。

DMAC または DTC を使用してデータの送受信を行う場合、最初に DMAC または DTC を転送許可状態に設定してから SPI の設定を行ってください。DMAC または DTC の設定方法は、「15. DMA コントローラ (DMAC)」と「16. データトランスファコントローラ (DTC)」を参照してください。

ICU.IELSRn.IR フラグが 1 の状態で、送信バッファエンプティ割り込みまたは受信バッファフル割り込みの発生条件が生じてても、ICU に対して割り込み要求は出力されず、内部で保持されます（内部で保持できる容量は、1 要因ごとに 1 要求までです）。ICU.IELSRn.IR フラグが 0 になると、保持されていた割り込み要求が出力されます。保持されていた割り込み要求が出力されると、その割り込み要求は自動的に破棄されます。また、内部で保持されている割り込み要求は、対応する割り込み許可ビット（SPCR.SPTIE ビットまたは SPCR.SPRIE ビット）を 0 にすることでもクリアできます。

表 31.15 SPI の割り込み要因

割り込み要因	シンボル	割り込み発生条件	DTC/DMAC の起動
受信バッファフル	SPI _{li} _SPRI	SPCR.SPRIE ビットが 1 の状態で受信バッファフル (SPSR.SPRF フラグが 1) になったとき	可能
送信バッファエンプティ	SPI _{li} _SPTI	SPCR.SPTIE ビットが 1 の状態で送信バッファエンプティ (SPSR.SPTEF フラグが 1) になったとき	可能
SPI エラー（モードフォルトエラー、アンダーランエラー、オーバーランエラー、またはパリティエラー）	SPI _{li} _SPEI	SPCR.SPEIE ビットが 1 の状態で SPSR.MODF、OVRF、UDRF、または PERF フラグが 1 になったとき	不可能
SPI アイドル	SPI _{li} _SPII	SPCR2.SPIIE ビットが 1 の状態で SPSR.IDLNF フラグが 0 になったとき	不可能
通信終了	SPI _{li} _SPCEND	CENDIE = 1 かつ CENDF = 1	不可能

31.4 イベントリンクコントローラ (ELC) への出力

イベントリンクコントローラ (ELC) は、次のイベント出力信号を生成することができます。

- 受信バッファフルイベント出力
- 送信バッファエンプティイベント出力
- モードフォルトエラー／アンダーランエラー／オーバーランエラー／パリティエラーイベント出力
- SPI アイドルイベント出力
- 送信完了イベント出力

イベントリンク出力信号は、割り込み許可ビットの設定に関係なく出力されます。

31.4.1 受信バッファフルイベント出力

このイベント信号は、シリアル転送の終了時に、受信したデータがシフトレジスタから SPDR レジスタへ転送されたときにイベント信号を出力します。

31.4.2 送信バッファエンプティイベント出力

このイベント信号は、送信バッファからシフトレジスタに送信データが転送されたとき、および SPCR.SPE ビットが 0 から 1 に変化したときにイベント信号を出力します。

31.4.3 モードフォルトエラー／アンダーランエラー／オーバーランエラー／パリティエラーのイベント出力

このイベント信号は、モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラーを検出したときに出力されます。このイベント信号を使用する場合は、「[31.5.4. モードフォルトエラー／アンダーランエラー／オーバーランエラー／パリティエラーのイベント出力の制限事項](#)」を参照してください。

(1) モードフォルトエラー

表 31.16 にモードフォルトエラーイベントの発生条件を示します。

表 31.16 モードフォルトエラーの発生条件

SPI モード	SPCR.MODFEN ビット	SSLn0 端子	備考
SPI 動作 (SPCR.SPMS = 0) スレーブ (SPCR.MSTR = 0)	1	非アクティブ	通信動作中に SSLn0 端子が非アクティブになった場合のみイベント出力

(2) アンダーランエラー

アンダーランエラーイベント信号は、SPCR.MSTR ビットが 0、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態でシリアル転送を開始したときに出力されます。この条件下では、SPSR.MODF フラグおよび SPSR.UDRF フラグが 1 となります。

(3) オーバーランエラー

このイベント信号は、SPCR.TXMD ビットの値が 0、かつ受信バッファに未読データがある状態でシリアル転送が終了したときのオーバーランに対応して出力されます。この条件下では、OVRF フラグが 1 になります。

(4) パリティエラー

このイベント信号は、SPCR.TXMD ビットの値が 0 かつ SPCR2.SPPE ビットの値が 1 の状態でシリアル転送が終了したときのパリティエラー検出に対応して出力されます。

31.4.4 SPI アイドルイベント出力

(1) マスタモード時

マスタモードの場合、SPSR.IDLNF フラグ (SPI アイドルフラグ) が 0 になる条件が成立すると、イベントが出力されます。

(2) スレーブモード時

スレーブモードの場合、SPCR.SPE ビットが 0 (SPI 初期化) のとき、イベントが出力されます。

31.4.5 通信終了イベント出力

マスタモード時、IDLNF フラグ (SPI アイドルフラグ) が 1 から 0 になるとイベントを出力します。スレーブモード時、表 31.17 と表 31.18 に示す条件でイベントが発生します。

表 31.17 通信終了イベント発生条件 (送受信／送信スレーブモード)

	送信バッファ状態	シフトレジスタ状態	その他
SPI 動作 (SPMS = 0)	エンプティ	エンプティ	SSL0 入力ネゲート
クロック同期式動作 (SPMS = 1)	エンプティ	エンプティ	最終データの RSPCK の最終偶数エッジを検出 (CPHA = 1)

表 31.18 通信終了イベント発生条件（受信のみスレーブモード）

	その他
SPI 動作 (SPMS = 0)	SSL0 入力ネゲート
クロック同期式動作 (SPMS = 1)	最終データの RSPCK の最終偶数エッジを検出 (CPHA = 1)

マスタモード、スレーブモードのどちらであっても、送信中に SPCR.SPE ビットに 0 が書き込まれた場合、あるいは、モードフォルトエラーまたはアンダーランエラーの発生によって SPCR.SPE ビットがクリアされた場合、イベントは出力されません。

通信終了イベントは、以下のタイミングで出力します。マスタ動作における通信終了イベント出力タイミングは、アイドルイベントと同じタイミングで出力されるため、省略します。

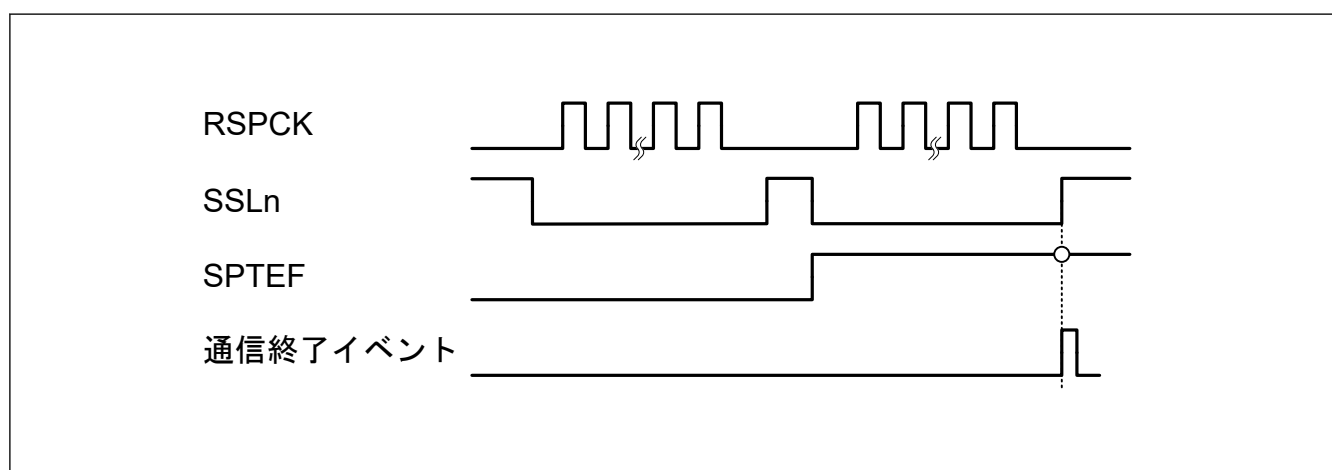


図 31.65 通信終了イベント出力タイミング（送信スレーブモード、SPI 動作）

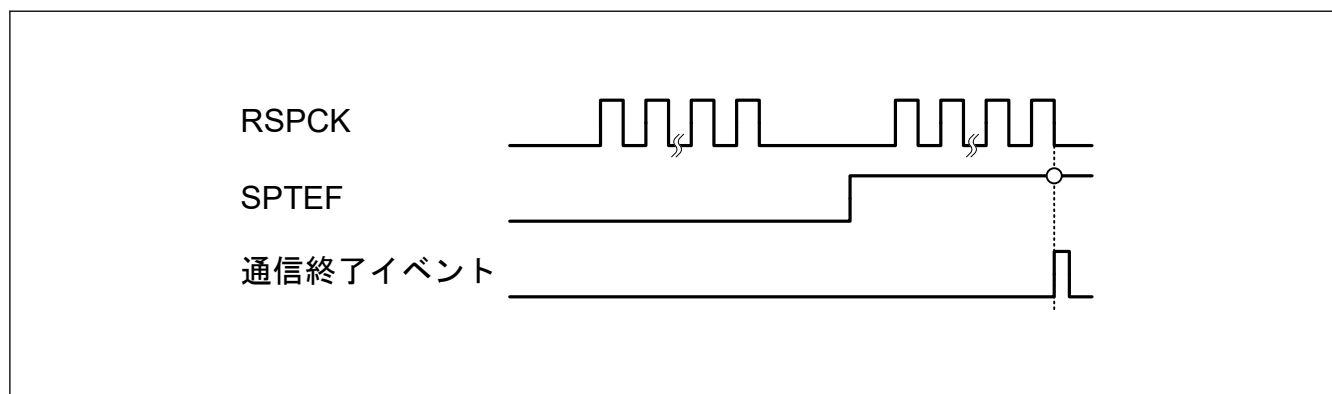


図 31.66 通信終了イベント出力タイミング（送信スレーブモード、クロック同期式動作）

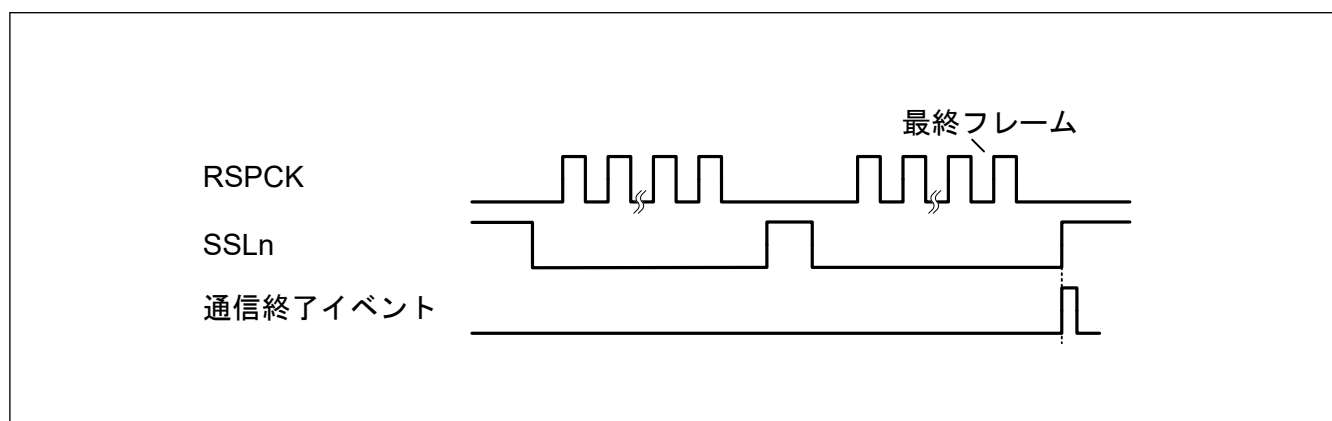


図 31.67 通信終了イベント出力タイミング（受信のみスレーブモード、SPI 動作）

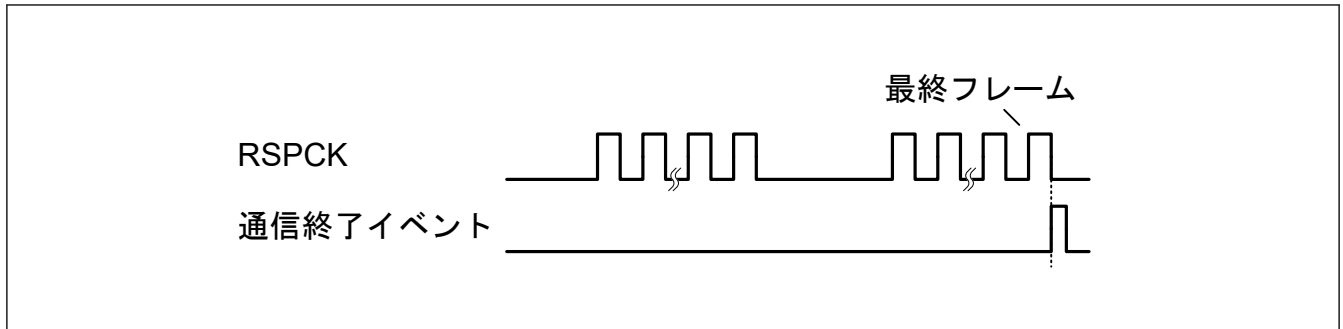


図 31.68 通信終了イベント出力タイミング (受信のみスレーブモード、クロック同期式動作)

31.5 使用上の注意事項

31.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SPI の動作禁止／許可を設定することが可能です。リセット後の値では、SPI の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[10. 低消費電力モード](#)」を参照してください。

31.5.2 低消費電力機能に関する制約

モジュールストップ機能を使用する場合、およびスリープモード以外の低消費電力モードへ遷移する場合は、あらかじめ SPCR.SPE ビットを 0 にしてから通信を終了させてください。

31.5.3 転送の開始に関する制約

ICU.IELSRn.IR フラグが 1 の状態で転送を開始すると、転送開始後も割り込み要求が内部で保持されるため、ICU.IELSRn.IR フラグが予期しない挙動となることがあります。

これを避けるには、動作を許可する (SPCR.SPE ビットを 1 にする) 前に、下記の手順で割り込み要求をクリアしてください。

1. 転送が停止していること (SPCR.SPE ビットが 0 であること) を確認する。
2. 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を 0 にする。
3. 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を読み出して、0 であることを確認する。
4. ICU.IELSRn.IR フラグを 0 にする。

31.5.4 モードフォルトエラー／アンダーランエラー／オーバーランエラー／パリティエラーのイベント出力の制限事項

SPI がマルチマスタモードである場合は、モードフォルトエラー、アンダーランエラー、オーバーランエラー、またはパリティエラーのイベントの使用は禁止されています (SPCR.SPMS ビット = 0、SPCR.MSTR ビット = 1、および SPCR.MODFEN ビット = 1)。

31.5.5 SPSR.SPRF および SPSR.SPTEF フラグに関する制約

ポーリング用のフラグを使用する場合、割り込みを使用することはできません (SPCR.SPRIE および SPCR.SPTIE ビットは 0 にしてください)。割り込みまたはフラグのどちらか一方のみ使用可能です。

32. クワッドシリアルペリフェラルインタフェース (QSPI)

32.1 概要

QSPI は、SPI 互換インタフェースを持つシリアル ROM（シリアルフラッシュメモリ、シリアル EEPROM、シリアル FeRAM などの不揮発性メモリ）に接続するためのメモリコントローラです。

表 32.1 に QSPI の仕様を、図 32.1 にブロック図を、表 32.2 に入出力端子を示します。

表 32.1 QSPI 仕様

項目	内容
チャンネル数	1 チャンネル
SPI プロトコル	- 全二重通信を実現する、シングル/拡張 SPI プロトコル 注. シングル SPI 動作では、標準リードとファストリードのどちらか一方だけを使用できます。 QSSL、QSPCLK、QIO0、QIO1 端子を使用した、4 本の信号線によるシリアルフラッシュメモリとの通信（QIO0、QSSL、QSPCLK は出力用、QIO1 は入力用） - 半二重通信を実現する、Dual SPI プロトコル QSSL、QSPCLK、QIO0、QIO1 端子を使用した、4 本の信号線によるシリアルフラッシュメモリとの通信（QSSL、QSPCLK は出力用、QIO0、QIO1 は入出力用） - 半二重通信を実現する、Quad SPI プロトコル QSSL、QSPCLK、QIO0～QIO3 端子を使用した、6 本の信号線によるシリアルフラッシュメモリとの通信（QSSL、QSPCLK は出力用、QIO0～QIO3 は入出力用）
SPI モード	- SPI モード 0：SPI バスがアクティブでないときは、QSPCLK 信号が Low になります。 - SPI モード 3：SPI バスがアクティブでないときは、QSPCLK 信号が High になります。
SPI タイミング補正機能	さまざまな種類のフラッシュメモリデバイスに対応して、以下の設定が可能です。 - SPI バス基準周期 (SFMSKC.SFMDV[4:0]) - デューティサイクルの補正 (SFMSKC.SFMDTY) - ダミーサイクル数の調整 (SFMSDC.SFMDN[3:0]) - QSSL 信号の最小 High レベル幅 (SFMSSC.SFMSW[3:0]) - QSSL 信号セットアップ時間 (SFMSSC.SFMSLD) - QSSL 信号ホールド時間 (SFMSSC.SFMSHD) - シリアルデータ出力許可ホールド時間 (SFMSMD.SFMOEX)
ROM アクセスモード	- 標準リード、ファストリード、ファストリード Dual 出力、ファストリード Dual I/O、ファストリード Quad 出力、ファストリード Quad I/O の各命令をサポート - 命令コードの代替可能 - プリフェッチ機能（シリアルフラッシュメモリに対する更なる読み込み要求を待たずに、1 つの要求でデータは連続してバッファに格納されます。） - ポーリング処理 - SPI バスサイクル拡張機能 - XIP モード（シリアルフラッシュメモリ読み込みのための命令コード受信をスキップする機能） 注. ROM アクセスモードは、読み込み時のみ有効です。
直接通信モード	ソフトウェア制御による、シリアルフラッシュメモリのイレーズ、ID リード、パワーダウン制御を含む各種命令/機能を柔軟にサポート
割り込み要因	エラー割り込み
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減可能。
TrustZone フィルタ	セキュリティ属性は、常に非セキュアです。

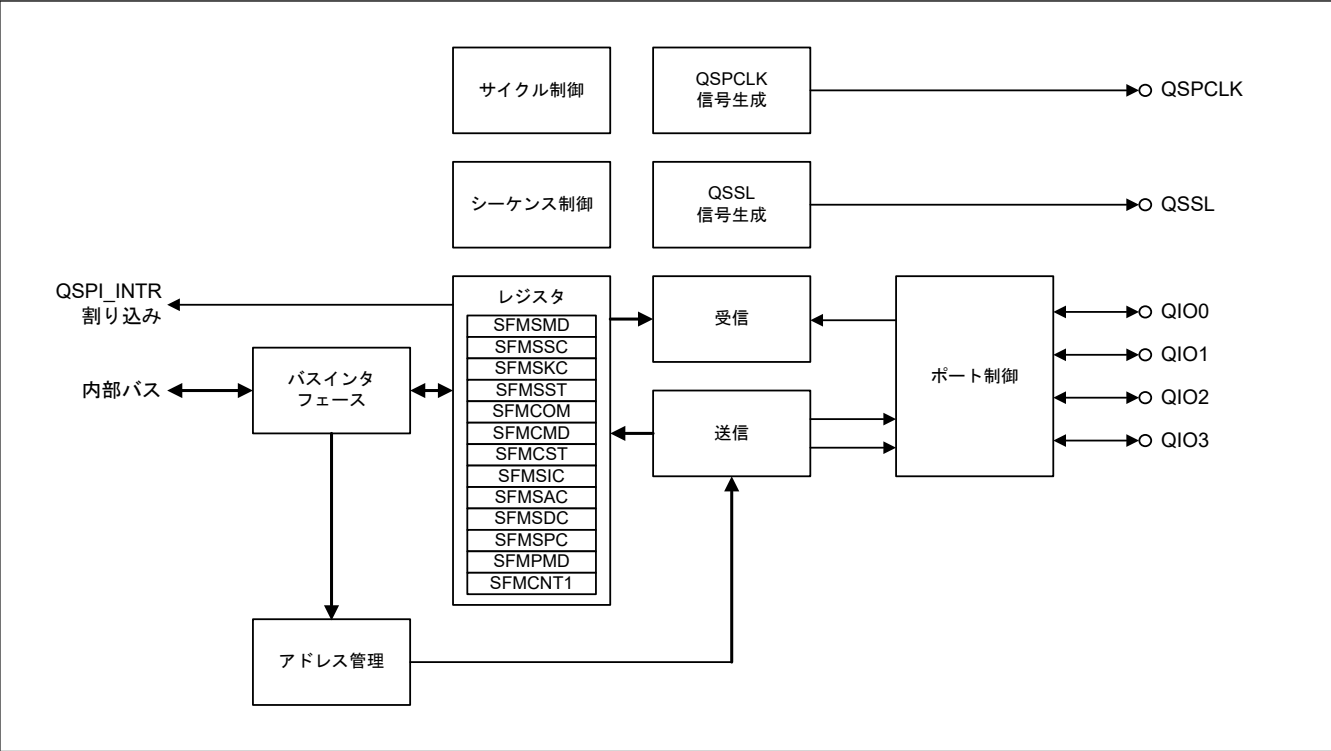


図 32.1 QSPI のブロック図

表 32.2 QSPI 入出力端子

機能	端子名称	I/O	説明
QSPI	QSPCLK	出力	QSPI のクロック出力端子
	QSSL	出力	QSPI スレーブ選択端子
	QIO0～QIO3	I/O	Data0～Data3

32.2 レジスタの説明

32.2.1 SFMSMD : 転送モードコントロールレジスタ

Base address: QSPI = 0x6400_0000

Offset address: 0x000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SFMC CE	—	—	—	SFMO SW	SFMO HW	SFMO EX	SFMM D3	SFMP AE	SFMP FE	SFMSE[1:0]	—	SFMRM[2:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	記号	機能	R/W
2:0	SFMRM[2:0]	シリアルインタフェースリードモード選択 000: 標準リード 001: ファストリード 010: ファストリード Dual 出力 011: ファストリード Dual I/O 100: ファストリード Quad 出力 101: ファストリード Quad I/O その他 設定禁止	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	SFMSE[1:0]	SPI バスアクセス後の QSSL 拡張機能選択 00: QSSL の拡張なし 01: 33 クロック (QSPCLK) の間、QSSL 端子の出力を Low に固定 10: 129 クロック (QSPCLK) の間、QSSL 端子の出力を Low に固定 11: 無限に QSSL 端子の出力を Low に固定	R/W
6	SFMPFE	プリフェッチ機能選択 0: 機能を無効化 1: 機能を有効化	R/W
7	SFMPAE	バイト境界以外でのプリフェッチ停止機能選択(注1) 0: 機能を無効化 1: 機能を有効化	R/W
8	SFMMD3	SPI モード選択 0: SPI モード 0 1: SPI モード 3	R/W
9	SFMOEX	シリアルインタフェースの入出力バッファ出力許可信号の拡張選択 0: 拡張なし 1: QSPCLK × 1 クロックで拡張	R/W
10	SFMOHW	シリアル送信のホールド時間補正 0: 送信時に QSPCLK の High レベル幅を拡張しない 1: 送信時に QSPCLK の High レベル幅を PCLKA クロックの 1 サイクル分拡張	R/W
11	SFMOSW	シリアル送信のセットアップ時間補正 0: 送信時に QSPCLK の Low レベル幅を拡張しない 1: 送信時に QSPCLK の Low レベル幅を PCLKA クロックの 1 サイクル分拡張	R/W
14:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	SFMCCE	リード命令コード選択 0: 自動生成される SPI 命令コード(注2) 1: SFMSIC レジスタに設定した命令コードを使用	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. QSPI はデータ受信を伴わずに追加の 1 クロックを出力します。「[32.5.9. シリアルデータ受信レイテンシ](#)」を参照してください。

注 2. QSPI がシリアルフラッシュメモリにアクセスするとき、命令コードは SFMSAC レジスタおよび SFMSMD レジスタの設定値に基づいています。「[32.6.1. 自動生成される SPI 命令](#)」を参照してください。

32.2.2 SFMSSC : チップ選択コントロールレジスタ

Base address: QSPI = 0x6400_0000

Offset address: 0x004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	SFMS LD	SFMS HD	SFMSW[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	1	1	0	1	1	1

ビット	記号	機能	R/W
3:0	SFMSW[3:0]	QSSL 信号の最小 High レベル幅選択 0x0: 1 QSPCLK 0x1: 2 QSPCLK 0x2: 3 QSPCLK 0x3: 4 QSPCLK 0x4: 5 QSPCLK 0x5: 6 QSPCLK 0x6: 7 QSPCLK 0x7: 8 QSPCLK 0x8: 9 QSPCLK 0x9: 10 QSPCLK 0xA: 11 QSPCLK 0xB: 12 QSPCLK 0xC: 13 QSPCLK 0xD: 14 QSPCLK 0xE: 15 QSPCLK 0xF: 16 QSPCLK	R/W
4	SFMSHD	QSSL 信号ホールド時間 0: QSPCLK の最後の立ち上がりエッジから QSPCLK × 0.5 クロックサイクル後に QSSL をネゲート (アクティブ Low) 1: QSPCLK の最後の立ち上がりエッジから QSPCLK × 1.5 クロックサイクル後に QSSL をネゲート (アクティブ Low)	R/W
5	SFMSLD	QSSL 信号セットアップ時間 0: QSPCLK の最後の立ち上がりエッジから QSPCLK × 0.5 クロックサイクル前に QSSL をアサート (アクティブ Low) 1: QSPCLK の最後の立ち上がりエッジから QSPCLK × 1.5 クロックサイクル前に QSSL をアサート (アクティブ Low)	R/W
31:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

32.2.3 SFMSKC : クロックコントロールレジスタ

Base address: QSPI = 0x6400_0000

Offset address: 0x008

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	SFMD TY	SFMDV[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

ビット	記号	機能	R/W
4:0	SFMDV[4:0]	シリアルインタフェース基準 (QSPCLK) 周期選択 (不規則性に注意) 0x02: 4 PCLKA 0x03: 5 PCLKA (奇数で分周) (注1) 0x04: 6 PCLKA 0x05: 7 PCLKA (奇数で分周) (注1) 0x06: 8 PCLKA 0x07: 9 PCLKA (奇数で分周) (注1) 0x08: 10 PCLKA 0x09: 11 PCLKA (奇数で分周) (注1) 0x0A: 12 PCLKA 0x0B: 13 PCLKA (奇数で分周) (注1) 0x0C: 14 PCLKA 0x0D: 15 PCLKA (奇数で分周) (注1) 0x0E: 16 PCLKA 0x0F: 17 PCLKA (奇数で分周) (注1) 0x10: 18 PCLKA 0x11: 20 PCLKA 0x12: 22 PCLKA 0x13: 24 PCLKA 0x14: 26 PCLKA 0x15: 28 PCLKA 0x16: 30 PCLKA 0x17: 32 PCLKA 0x18: 34 PCLKA 0x19: 36 PCLKA 0x1A: 38 PCLKA 0x1B: 40 PCLKA 0x1C: 42 PCLKA 0x1D: 44 PCLKA 0x1E: 46 PCLKA 0x1F: 48 PCLKA その他: 設定禁止	R/W
5	SFMDTY	奇数で分周される場合の QSPCLK 信号のデューティ比補正機能選択 0: 補正なし 1: 補正あり	R/W
31:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. PCLKA が奇数で分周される場合は、SFMDTY ビットの値を 1 に設定してください。

32.2.4 SFMSST : ステータスレジスタ

Base address: QSPI = 0x6400_0000

Offset address: 0x00C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	PFOF F	PFFUL	—	PFCNT[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0

ビット	記号	機能	R/W
4:0	PFCNT[4:0]	プリフェッチデータのバイト数 0x00: 0 バイト 0x01: 1 バイト 0x02: 2 バイト 0x03: 3 バイト 0x04: 4 バイト 0x05: 5 バイト 0x06: 6 バイト 0x07: 7 バイト 0x08: 8 バイト 0x09: 9 バイト 0x0A: 10 バイト 0x0B: 11 バイト 0x0C: 12 バイト 0x0D: 13 バイト 0x0E: 14 バイト 0x0F: 15 バイト 0x10: 16 バイト 0x11: 17 バイト 0x12: 18 バイト その他 予約	R
5	—	読むと 0 が読めます。	R
6	PFFUL	プリフェッチバッファ状態 0: プリフェッチバッファに空きあり 1: プリフェッチバッファに空きなし	R
7	PFOFF	プリフェッチ機能動作状態 0: プリフェッチ機能は動作中 1: プリフェッチ機能は無効または動作していない	R
31:8	—	読むと 0 が読めます。	R

32.2.5 SFMCOM : 通信ポートレジスタ

Base address: QSPI = 0x6400_0000

Offset address: 0x010

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	SFMD[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

ビット	記号	機能	R/W
7:0	SFMD[7:0]	SPI バスとの直接通信用ポート 直接通信モード (SFMCMD.DCOM = 1) ではこのレジスタの入出力は SPI バスサイクルに変換されます。ROM アクセスモードでは、このレジスタへのアクセスは無視されます。	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

32.2.6 SFMCMD : 通信モードコントロールレジスタ

Base address: QSPI = 0x6400_0000

Offset address: 0x014

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DCOM
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	記号	機能	R/W
0	DCOM	SPI バスとの通信モード選択 0: ROM アクセスモード 1: 直接通信モード(注1)	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. トランザクションが完了したときは、SFMCMD.DCOM = 1 を必ず書き込んでください。詳細は「[32.10. 直接通信モード](#)」を参照してください。

32.2.7 SFMCST : 通信ステータスレジスタ

Base address: QSPI = 0x6400_0000

Offset address: 0x018

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	EROM R	—	—	—	—	—	—	COMB SY
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	記号	機能	R/W
0	COMBSY	直接通信時 SPI バスサイクル完了状態 0: 処理中のシリアル転送なし 1: 処理中のシリアル転送あり	R
6:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	EROMR	直接通信モード時 ROM アクセス検出状態 0: ROM アクセスの検出なし 1: ROM アクセスの検出あり	R(/W) (注1)
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このビットは 0 のみ書けます。

32.2.8 SFMSIC : 命令コードレジスタ

Base address: QSPI = 0x6400_0000

Offset address: 0x020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	SFMCIC[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	記号	機能	R/W
7:0	SFMCIC[7:0]	代替シリアルフラッシュ命令コード	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

32.2.9 SFMSAC : アドレスモードコントロールレジスタ

Base address: QSPI = 0x6400_0000

Offset address: 0x024

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	SFM4BC	—	—	SFMAS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	記号	機能	R/W
1:0	SFMAS[1:0]	シリアルインタフェースのアドレスバイト数選択 0 0: 1 バイト 0 1: 2 バイト 1 0: 3 バイト 1 1: 4 バイト	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SFM4BC	シリアルインタフェースのアドレス幅が 4 バイトの場合に自動生成される命令コードの選択 0: 4 バイトアドレスリード命令コードを使用しない 1: 4 バイトアドレスリード命令コードを使用する	R/W
31:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

32.2.10 SFMSDC : ダミーサイクルコントロールレジスタ

Base address: QSPI = 0x6400_0000

Offset address: 0x028

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SFMXD[7:0]								SFMX EN	SFMX ST	—	—	SFMDN[3:0]			
Value after reset:	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0

ビット	記号	機能	R/W
3:0	SFMDN[3:0]	ファストリード命令のダミーサイクル数選択 0x0: 命令ごとのデフォルトダミーサイクル数 - ファストリード Quad I/O: 6 QSPCLK - ファストリード Quad 出力: 8 QSPCLK - ファストリード Dual I/O: 4 QSPCLK - ファストリード Dual 出力: 8 QSPCLK - ファストリード: 8 QSPCLK 0x1: 3 QSPCLK(注1) 0x2: 4 QSPCLK 0x3: 5 QSPCLK 0x4: 6 QSPCLK 0x5: 7 QSPCLK 0x6: 8 QSPCLK 0x7: 9 QSPCLK 0x8: 10 QSPCLK 0x9: 11 QSPCLK 0xA: 12 QSPCLK 0xB: 13 QSPCLK 0xC: 14 QSPCLK 0xD: 15 QSPCLK 0xE: 16 QSPCLK 0xF: 17 QSPCLK	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	SFMXST	XIP モード状態 0: 通常（非 XIP）モード 1: XIP モード	R
7	SFMXEN	XIP モード許可 0: XIP モード禁止 1: XIP モード許可	R/W
15:8	SFMXD[7:0]	シリアルフラッシュのモードデータ（XIP モード制御）(注2)	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. QIO0 端子に接続したシリアルフラッシュ端子の入出力切り替えとの競合を避けるため、SFMSMD.SFMOEX ビットを 1 にして出力許可信号を拡張した場合、QSPCLK の 4 クロック分より長いダミーサイクルを選択してください。

注 2. シリアルフラッシュメモリのモードデータとして、実際のシリアルフラッシュメモリに設定された XIP モード設定データを指定してください。

32.2.11 SFMSPC : SPI プロトコルコントロールレジスタ

Base address: QSPI = 0x6400_0000

Offset address: 0x030

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	SFMS DE	—	—	SFMSP[1:0]	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	記号	機能	R/W
1:0	SFMSP[1:0]	SPI プロトコル選択(注1) 0 0: シングル SPI プロトコル、拡張 SPI プロトコル 0 1: Dual-SPI プロトコル 1 0: Quad-SPI プロトコル 1 1: 設定禁止	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SFMSDE	QIOn 端子の入出力切り替え時の QSPCLK 拡張選択 0: QSPCLK の拡張なし 1: QIOn 端子の入出力方向切り替え時に、QSPCLK の拡張あり	R/W
31:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. QIO2 端子と QIO3 端子の状態は、SFMSMD.SFMRM[2:0]ビットと、SFMSPC.SFMSP[1:0]ビットに指定された設定によって変わります。詳細は「[32.9. QIO2 端子、QIO3 端子の状態](#)」を参照してください。

32.2.12 SFMPMD : ポートコントロールレジスタ

Base address: QSPI = 0x6400_0000

Offset address: 0x034

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SFMW PL	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	記号	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	SFMWPL	WP 端子レベルの指定 0: Low レベル 1: High レベル	R/W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

32.2.13 SFMCNT1 : 外部 QSPI アドレスレジスタ

Base address: QSPI = 0x6400_0000

Offset address: 0x804

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	QSPI_EXT[5:0]						—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	記号	機能	R/W
25:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:26	QSPI_EXT[5:0]	バンク切り替えアドレス 0x60000000 から 0x63FFFFFF までアクセスする場合、アドレスバスは、QSPI_EXT[5:0]を 内部バスアドレスの上位 6 ビットに設定します。 0x00: QSPI バンク 00 0x01: QSPI バンク 01 0x02: QSPI バンク 02 ⋮ 0x3C: QSPI バンク 60 0x3D: QSPI バンク 61 0x3E: QSPI バンク 62 0x3F: 設定禁止	R/W

32.3 メモリマップ

32.3.1 外部バス空間

アドレス空間のシリアルフラッシュメモリとコントロールレジスタの場所は、構成内に設定された領域のアドレス範囲により決まります。

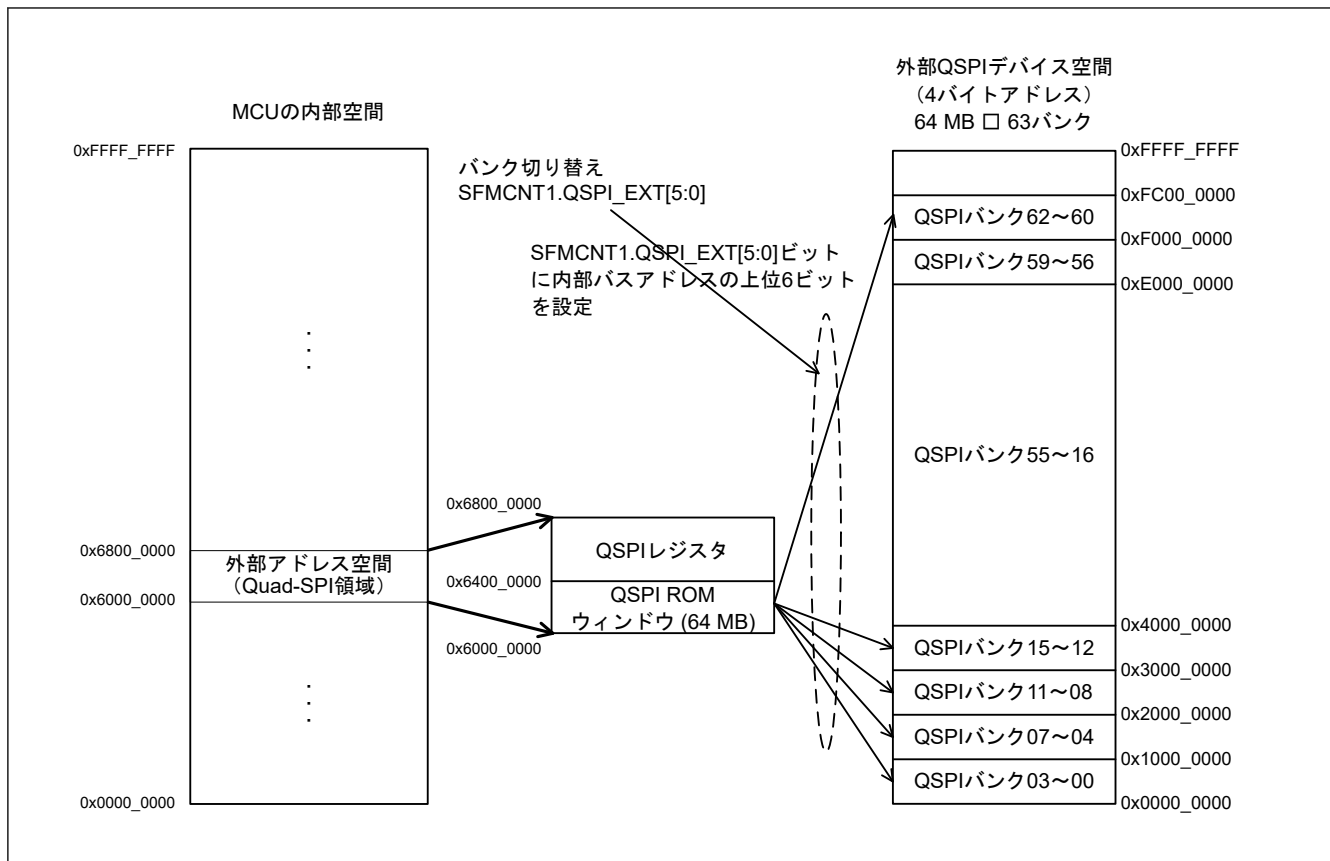


図 32.2 デフォルト領域設定およびメモリマップ

32.3.2 SPI 空間と SPI バスのアドレス幅

SPI 空間は、シリアルフラッシュメモリを参照するための 32 ビットアドレス幅を持っています。SPI 空間にリードアクセスをすると、SPI バスサイクルが自動開始し、シリアルフラッシュメモリから読み出されたデータが返されます。

SPI 空間のアドレス幅は 32 ビット固定です。ただし、SPI バスのアドレス幅は、アドレスモードコントロールレジスタ (SFMSAC) のシリアルインタフェースのアドレスバイト数選択ビット (SFMAS[1:0]) で 8 ビット、16 ビット、24 ビット、32 ビットから選択できます。SPI バスのアドレス幅として 8 ビット、16 ビット、24 ビットを選択すると、SPI 空間へのアクセスに使用するアドレスの下位部分のみが、SPI バスを介してシリアルフラッシュメモリに送られます。結果として、SPI バスのアドレス幅に対応したシリアルフラッシュメモリのミラーイメージが SPI 空間に繰り返し現れます。

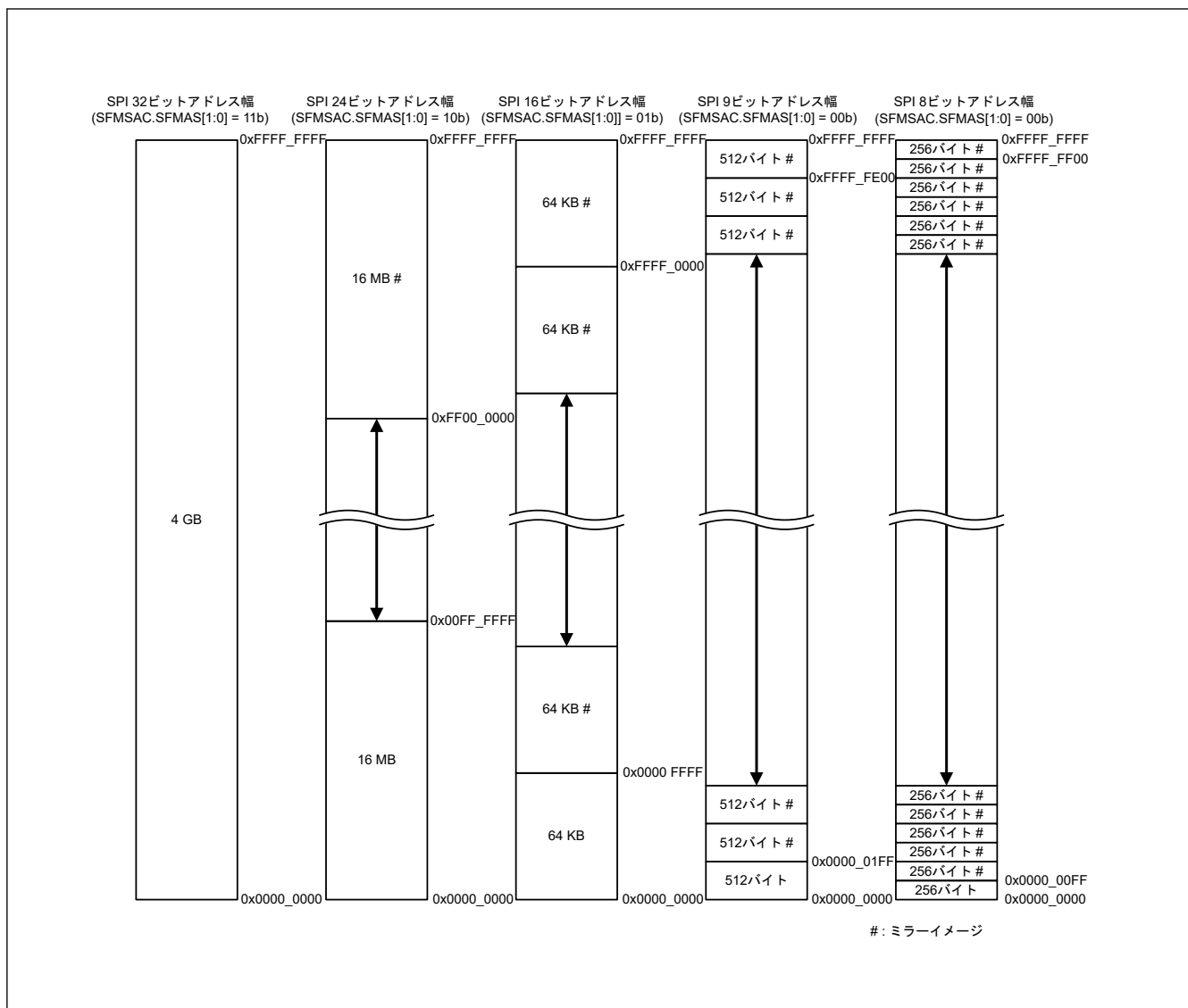


図 32.3 SPI 空間のメモリマップ

注. SFMSAC.SFMAS[1:0]ビットにより、SPI バスのアドレス幅は 8 ビット、16 ビット、24 ビット、32 ビットから選択できます。(図中のケース 1~3 と 5 が、それぞれのアドレス幅に対応します。) 8 ビットのアドレス幅を選択すると、9 番目のビットのアドレス情報をリード命令コードに埋め込むことができます。図のケース 4 のメモリマップは、アドレス幅が 9 ビットのものです。リード命令の詳細は、「[32.6.2. 標準リード命令](#)」を参照してください。

32.4 SPI バス

32.4.1 SPI プロトコル

シリアルフラッシュメモリ接続に使用する SPI プロトコルは、シングル SPI、拡張 SPI、Dual-SPI、Quad-SPI をサポートしています。

SPI プロトコルの初期状態はシングル SPI、拡張 SPI ですが、SPI プロトコルコントロールレジスタ (SFMSPC) の SPI プロトコル選択ビット (SFMSPSI[1:0]) で変更が可能です。

シングル SPI、拡張 SPI プロトコルで使用するアドレス端子とデータ端子は、転送モードコントロールレジスタ (SFMSMD) のシリアルインタフェースリードモード選択ビット (SFMRM[2:0]) の設定によって変わります。表 32.3 と表 32.4 に、各 SPI プロトコルにおける命令コード、アドレス、データに使用する端子の一覧を示します。

注. リード動作では、QSPI は 1 つの SPI バスサイクルあたりのデータ受信を伴わずに、追加の 1 クロックを出力します。詳細については「[32.5.9. シリアルデータ受信レイテンシ](#)」を参照してください。

表 32.3 SPI プロトコルー覧 (1)

SPI プロトコル (SFMSPC.SFMSPI[1:0])	シングル SPI プロトコル、拡張 SPI プロトコル					
シリアルインタフェースリードモード選択 (SFMSMD.SFMRM[2:0])	標準リード	ファストリード	ファストリード Dual 出力	ファストリード Dual I/O	ファストリード Quad 出力	ファストリード Quad I/O
全端子使用	QSPCLK、QSSL、QIO0、QIO1	QSPCLK、QSSL、QIO0、QIO1	QSPCLK、QSSL、QIO0、QIO1	QSPCLK、QSSL、QIO0、QIO1	QSPCLK、QSSL、QIO0、QIO1、QIO2、QIO3	QSPCLK、QSSL、QIO0、QIO1、QIO2、QIO3
命令コードに使用する端子	QIO0	QIO0	QIO0	QIO0	QIO0	QIO0
アドレスに使用する端子	QIO0	QIO0	QIO0	QIO0、QIO1	QIO0	QIO0、QIO1、QIO2、QIO3
データに使用する端子	QIO0/QIO1	QIO0/QIO1	QIO0、QIO1	QIO0、QIO1	QIO0、QIO1、QIO2、QIO3	QIO0、QIO1、QIO2、QIO3

注. シングル SPI プロトコル動作は標準リードとファストリードに対応します。拡張 SPI プロトコル動作はファストリード Dual 出力、ファストリード Dual I/O、ファストリード Quad 出力、ファストリード Quad I/O に対応します。

表 32.4 SPI プロトコルー覧 (2)

SPI プロトコル (SFMSPC.SFMSPI[1:0])	Dual-SPI プロトコル		Quad-SPI プロトコル	
シリアルインタフェースリードモード選択 (SFMSMD.SFMRM[2:0])	ファストリード Dual 出力	ファストリード Dual I/O	ファストリード Quad 出力	ファストリード Quad I/O
全端子使用	QSPCLK、QSSL、QIO0、QIO1	QSPCLK、QSSL、QIO0、QIO1	QSPCLK、QSSL、QIO0、QIO1、QIO2、QIO3	QSPCLK、QSSL、QIO0、QIO1、QIO2、QIO3
命令コードに使用する端子	QIO0、QIO1	QIO0、QIO1	QIO0、QIO1、QIO2、QIO3	QIO0、QIO1、QIO2、QIO3
アドレスに使用する端子	QIO0、QIO1	QIO0、QIO1	QIO0、QIO1、QIO2、QIO3	QIO0、QIO1、QIO2、QIO3
データに使用する端子	QIO0、QIO1	QIO0、QIO1	QIO0、QIO1、QIO2、QIO3	QIO0、QIO1、QIO2、QIO3

シングル SPI プロトコルと拡張 SPI プロトコルでは、命令コードは常に QIO0 端子から出力されます。アドレスおよびデータ入出力動作は SFMSMD.SFMRM[2:0] の設定に従って実行されます。

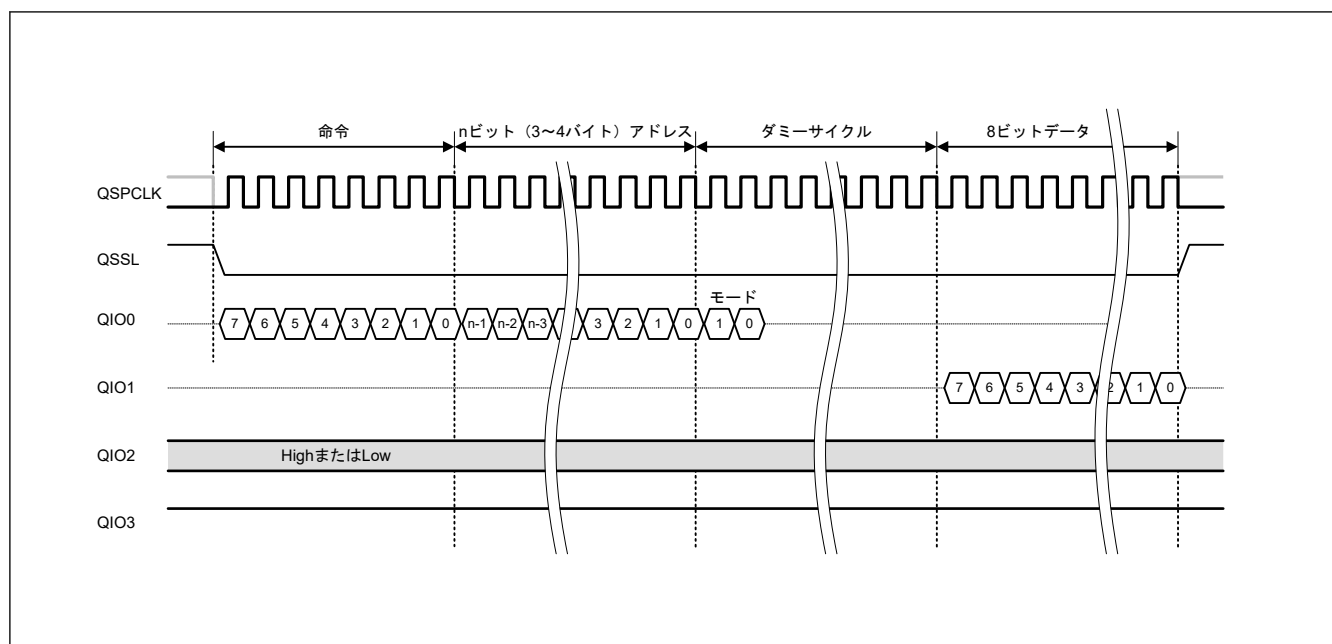


図 32.4 シングル SPI プロトコル例 (ファストリード)

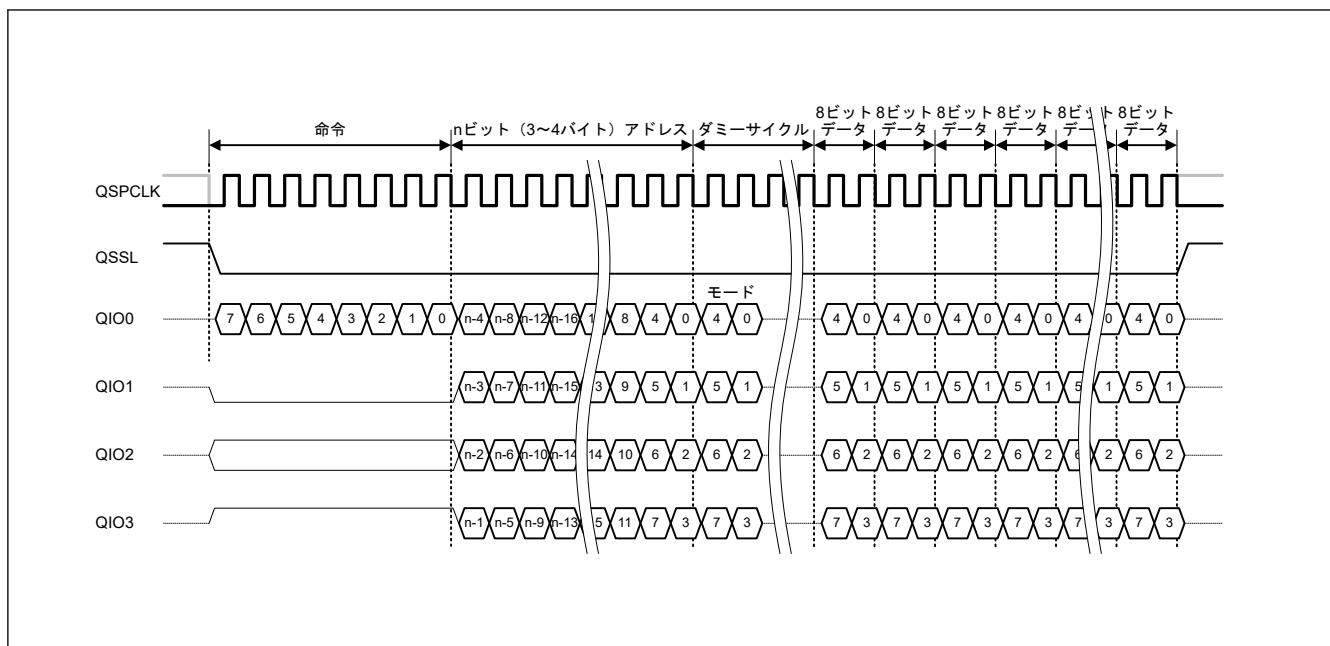


図 32.5 拡張 SPI プロトコル例（ファストリード Quad I/O）

Dual-SPI プロトコルは、QIO0 および QIO1 の 2 端子を使用して、命令コード、アドレス、データなど、すべての信号の入出力動作を実行します。

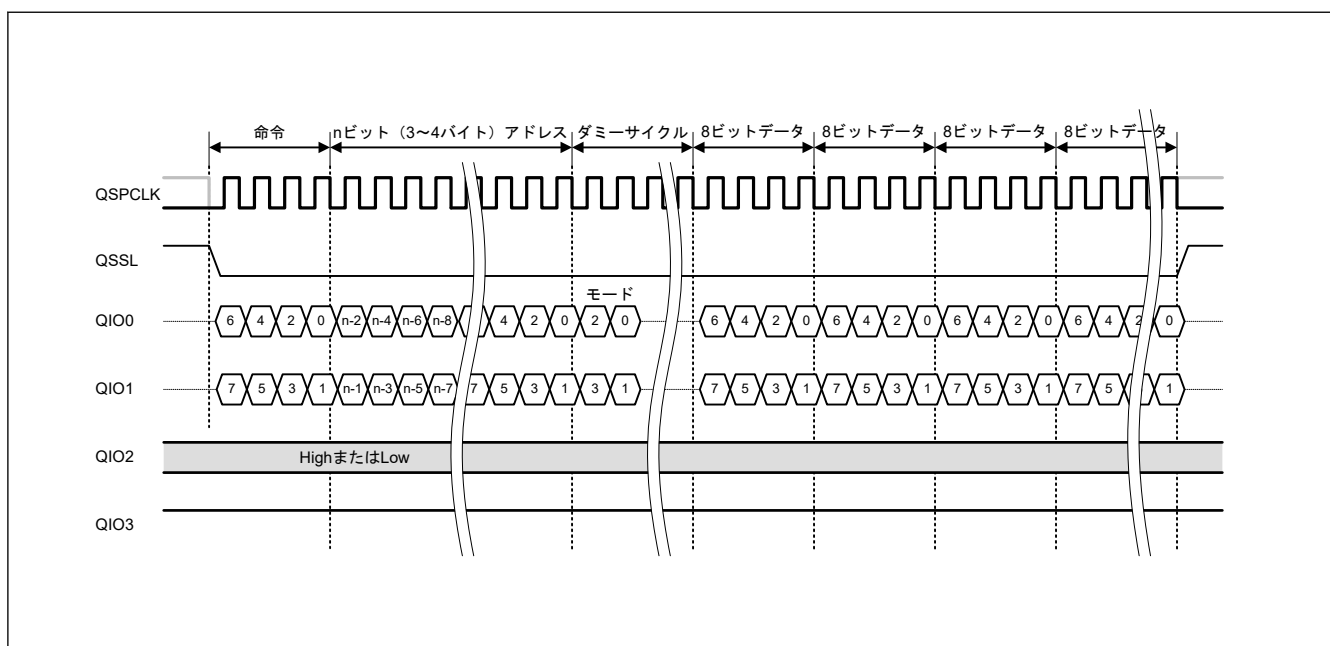


図 32.6 Dual-SPI プロトコル例（ファストリード Dual I/O）

Quad-SPI プロトコルは、QIO0、QIO1、QIO2、QIO3 の 4 端子を使用して、命令コード、アドレス、データなど、すべての信号の入出力動作を実行します。

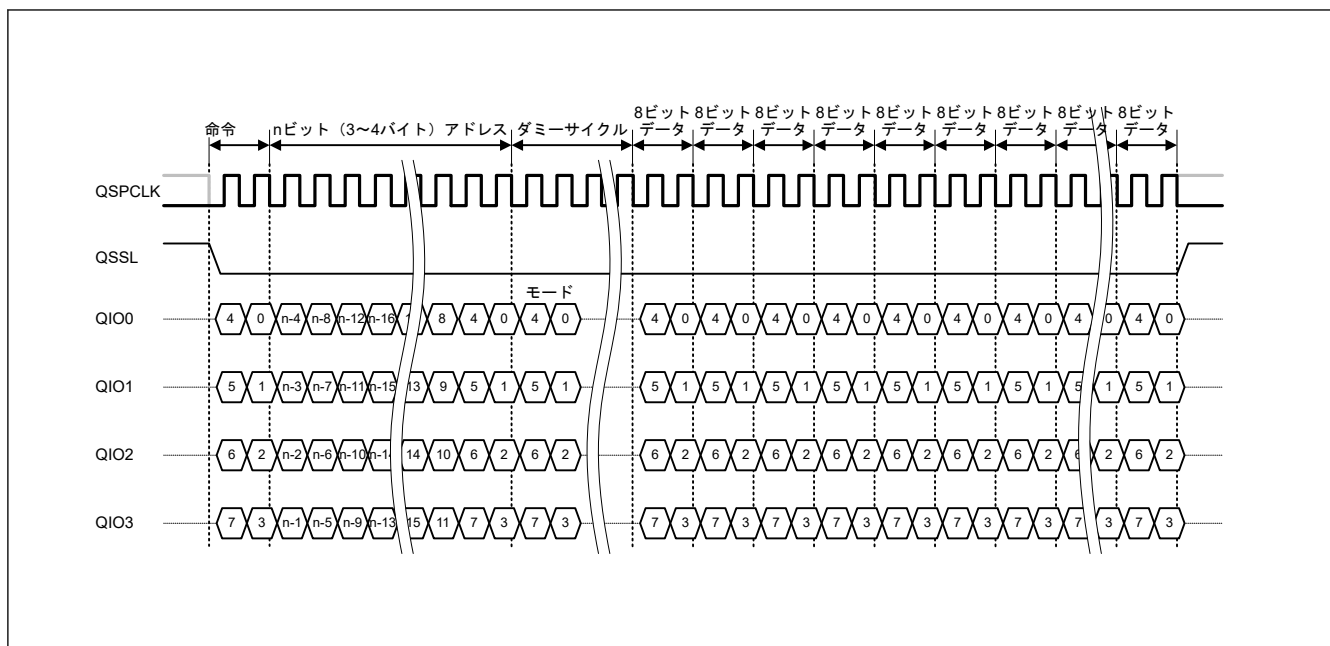


図 32.7 Quad-SPI プロトコル例 (ファストリード Quad I/O)

32.4.2 SPI モード

SPI モードは SFMSMD.SFMMD3 ビットにより SPI モード 0 または SPI モード 3 から選択可能です。この設定は、動作中にレジスタ設定を変更して切り替えることができます。SPI モード 0 と SPI モード 3 の違いは、非アクティブ状態であるときの QSPCLK 信号の状態です。QSPCLK 信号の非アクティブ状態は、SPI モード 0 では Low、SPI モード 3 では High です。

シリアルデータは、シリアルクロックの立ち下がりエッジで QSPI から出力され、シリアルクロックの立ち上がりエッジでシリアルフラッシュメモリに読み込まれます。シリアルデータは、シリアルクロックの立ち下がりエッジでシリアルフラッシュメモリから出力され、シリアルクロックの次の立ち下がりエッジで QSPI に読み込まれます。

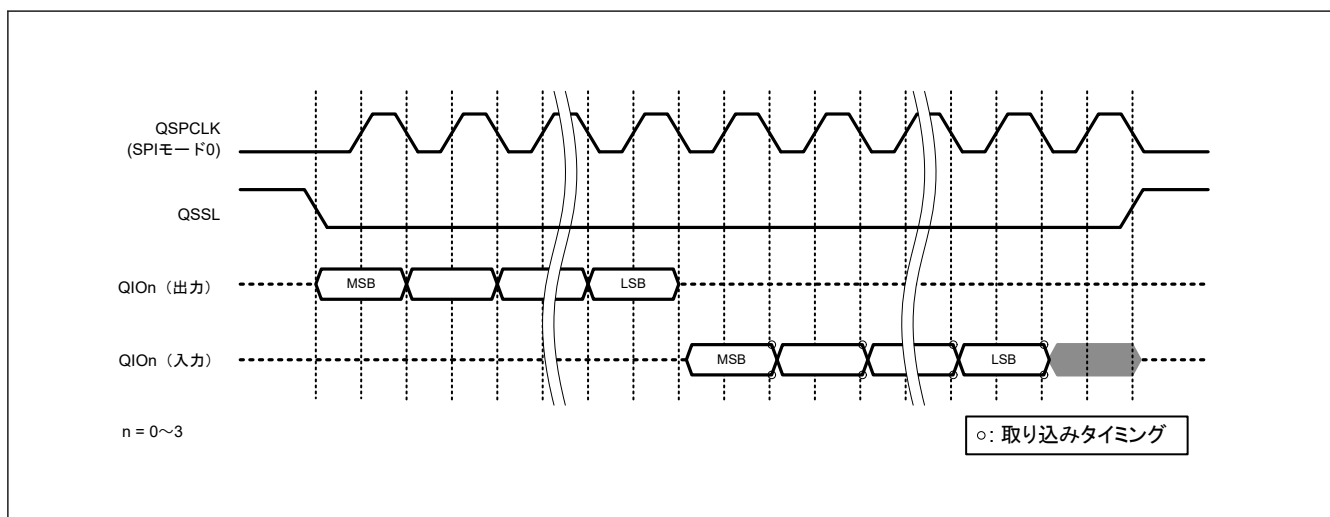


図 32.8 シリアルインタフェースの基本タイミング (SPI モード 0)

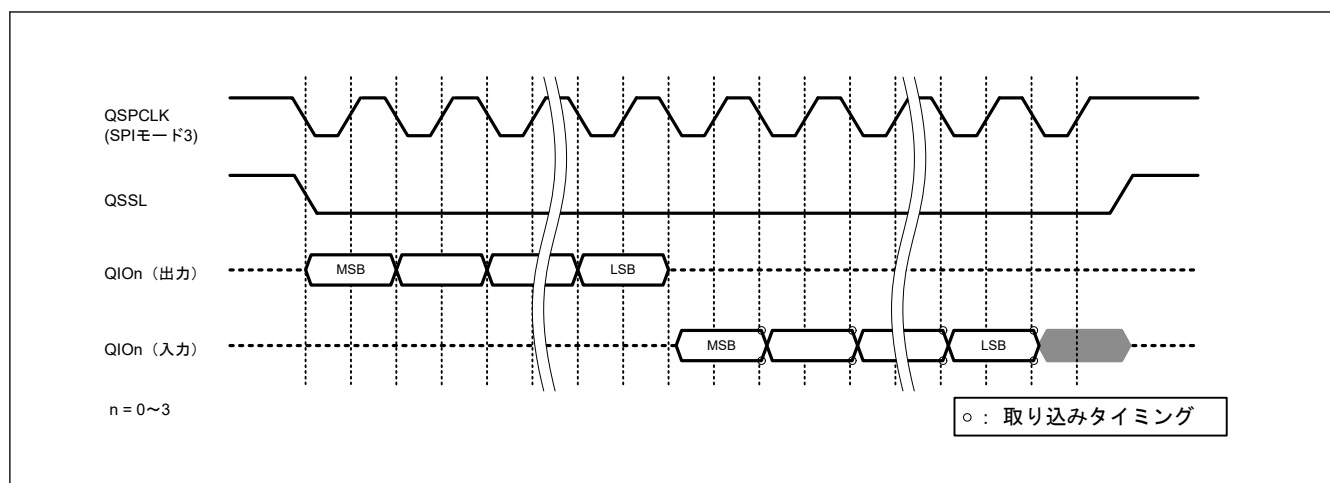


図 32.9 シリアルインタフェースの基本タイミング (SPI モード 3)

32.5 SPI バスタイミング補正

SPI バス信号のタイミングは、レジスタで補正可能です。設定されたタイミングは、ROM アクセスと直接通信の全 SPI バスアクセスに適用されます。

32.5.1 SPI バス基準サイクル

SPI バスは、PCLKA を整数で通倍した基準周期 (QSPCLK) に従って動作します。基準周期は、クロックコントロールレジスタ (SFMSKC) のシリアルインタフェース基準周期選択ビット (SFMDV[4:0]) で、PCLKA の 4~48 通倍の範囲で選択できます。

表 32.5 SFMDV[4:0]ビット、周期通倍比、およびシリアルクロック周波数の関係 (1/2)

SFMDV[4:0]	周期通倍比	PCLKA = 80 MHz の場合の QSPCLK
11111b	48	1.67
11110b	46	1.74
11101b	44	1.82
11100b	42	1.90
11011b	40	2.00
11010b	38	2.11
11001b	36	2.22
11000b	34	2.35
10111b	32	2.50
10110b	30	2.67
10101b	28	2.86
10100b	26	3.08
10011b	24	3.33
10010b	22	3.64
10001b	20	4.00
10000b	18	4.44
01111b	17	4.71
01110b	16	5.00
01101b	15	5.33
01100b	14	5.71
01011b	13	6.15

表 32.5 SFMDV[4:0]ビット、周期逡倍比、およびシリアルクロック周波数の関係 (2/2)

SFMDV[4:0]	周期逡倍比	PCLKA = 80 MHz の場合の QSPCLK
01010b	12	6.67
01001b	11	7.27
01000b	10	8.00
00111b	9	8.89
00110b	8	10.00
00101b	7	11.43
00100b	6	13.33
00011b	5	16.00
00010b	4	20.00
00001b	設定禁止	
00000b		

32.5.2 QSPCLK 信号デューティ比

奇数で分周した PCLKA を基準周期にして、デューティ比補正をしない場合、QSPCLK 信号のデューティ比は 50% になりません。奇数で分周した PCLKA を基準周期にしている場合は、必ずデューティ比補正機能を有効にしてください (SFMSKC.SFMDTY = 1)。

偶数で分周した PCLKA を基準周期にしている場合、SFMSKC レジスタの QSPCLK 信号のデューティ比補正機能選択ビット (SFMDTY) 設定は無視されます。

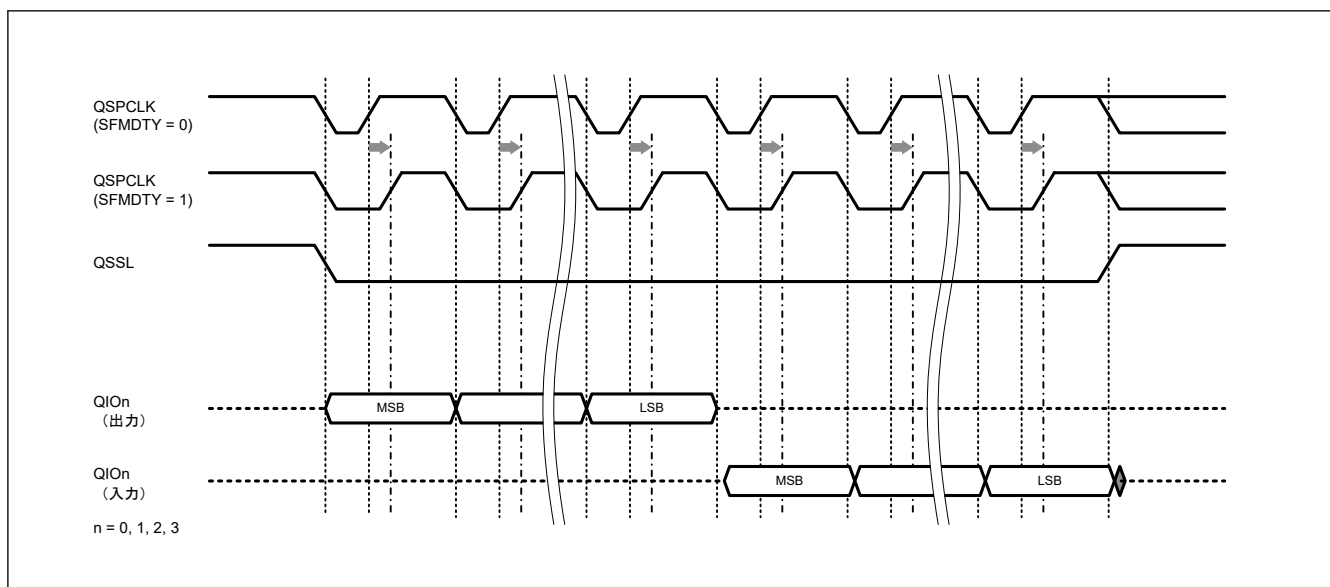


図 32.10 PCLKA を 3 逡倍した場合の SFMDTY ビットを使用した QSPCLK 信号デューティ比補正例

32.5.3 QSSL 信号の最小 High レベル幅

隣り合う SPI バスサイクル間では、QSSL 信号を十分な期間 High (非アクティブ) に保持して、シリアルフラッシュメモリに必要な非選択時間を確保する必要があります。QSSL 出力信号の最小 High レベル幅は、チップ選択コントロールレジスタ (SFMSSC) の QSSL 信号の最小 High レベル幅選択ビット (SFMSW[3:0]) で、基準周期の 1 ~ 16 サイクルに設定できます。

32.5.4 QSSL 信号セットアップ時間

QSSL 信号が Low (アクティブ) になってから QSPCLK 信号の最初の立ち上がりエッジまでの、シリアルフラッシュメモリが必要とする QSSL 信号セットアップ時間を設定できます。セットアップ時間は、SFMSSC レジスタ

の QSSL 信号セットアップ時間ビット (SFMSLD) で QSPCLK の 0.5 クロック分または QSPCLK の 1.5 クロック分から選択できます。

アプリケーションの最も制約の厳しいタイミング条件を満たすように、値を設定してください。

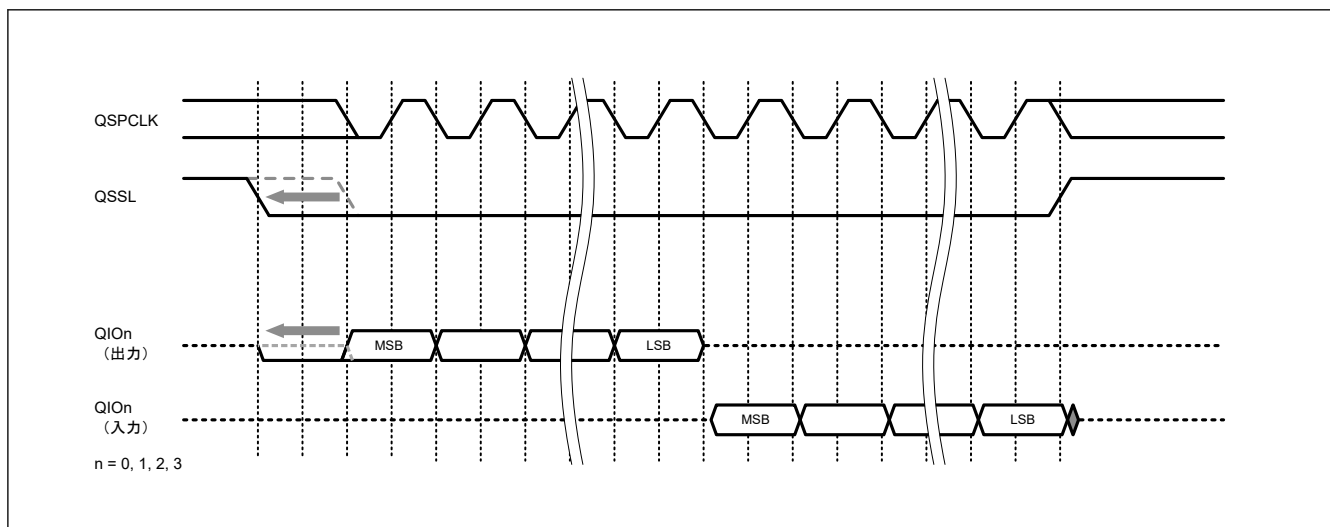


図 32.11 SFMSLD ビットを使用した QSSL 信号のセットアップ時間調整

32.5.5 QSSL 信号ホールド時間

QSPCLK 信号の最後の立ち上がりエッジから QSSL 信号が High (非アクティブ) になるまでの、シリアルフラッシュメモリが必要とする QSSL 信号ホールド時間を設定できます。ホールド時間は、SFMSHC レジスタの QSSL 信号ホールド時間ビット (SFMSHD) で QSPCLK の 0.5 クロック分または QSPCLK の 1.5 クロック分から選択できます。

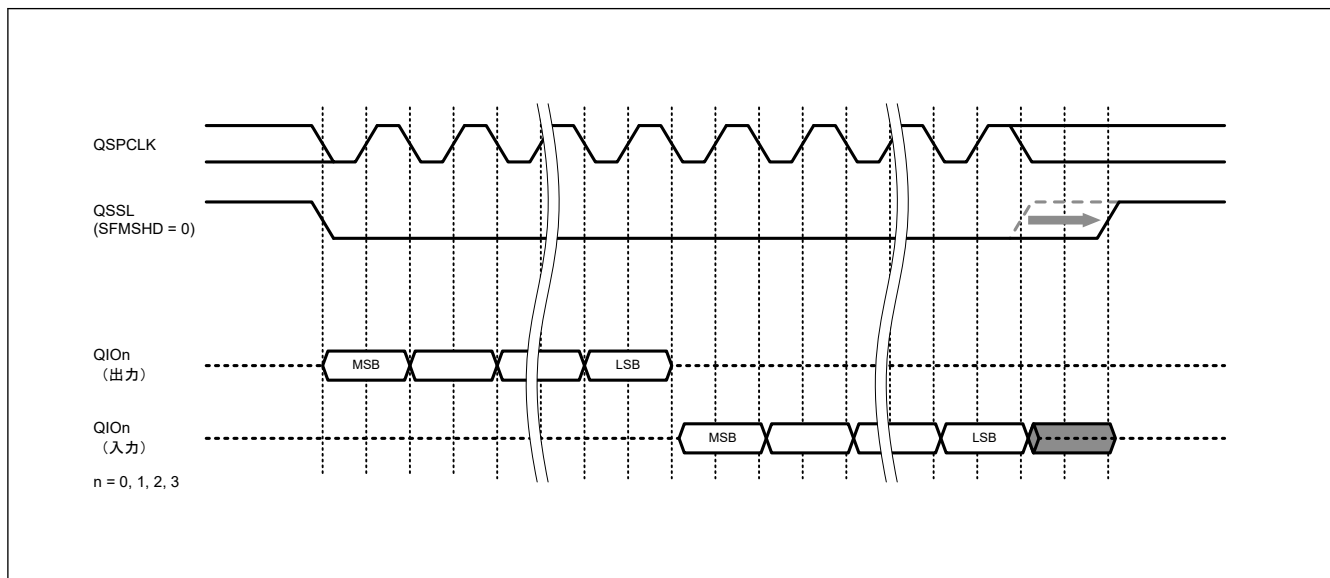


図 32.12 SFMSHD ビットを使用した QSSL 信号のホールド時間調整

32.5.6 シリアルデータ出力許可のホールド時間

QIO0 端子、QIO1 端子、QIO2 端子、QIO3 端子のバッファ出力許可は、SFMSMD レジスタのシリアルインタフェースの入出力バッファ出力許可信号の拡張選択ビット (SFMOEX) を使用して QSPCLK の 1 クロック分拡張できます。

この標準リード命令については、アドレスの直後に拡張されます。他のリード命令については、ダミーサイクル内でシリアルフラッシュメモリのモードデータ (XIP モードコントロール) の 2 サイクルを経過した後に拡張されます。

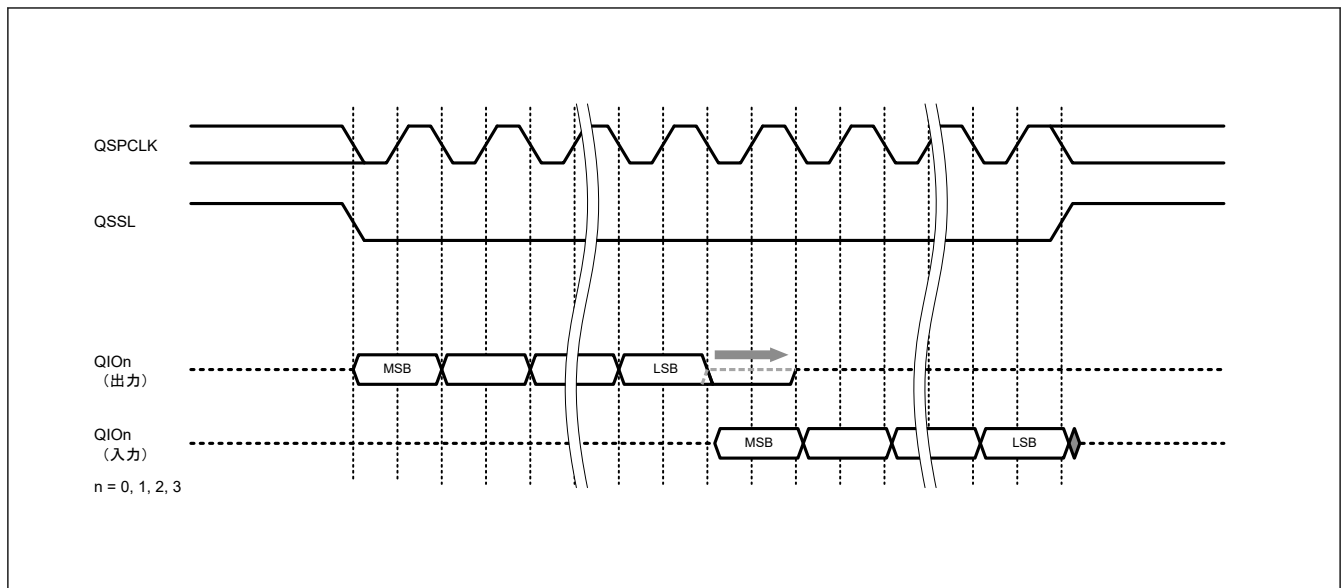


図 32.13 SFMOEX ビットを使用した出力許可ホールド時間調整（標準リード）

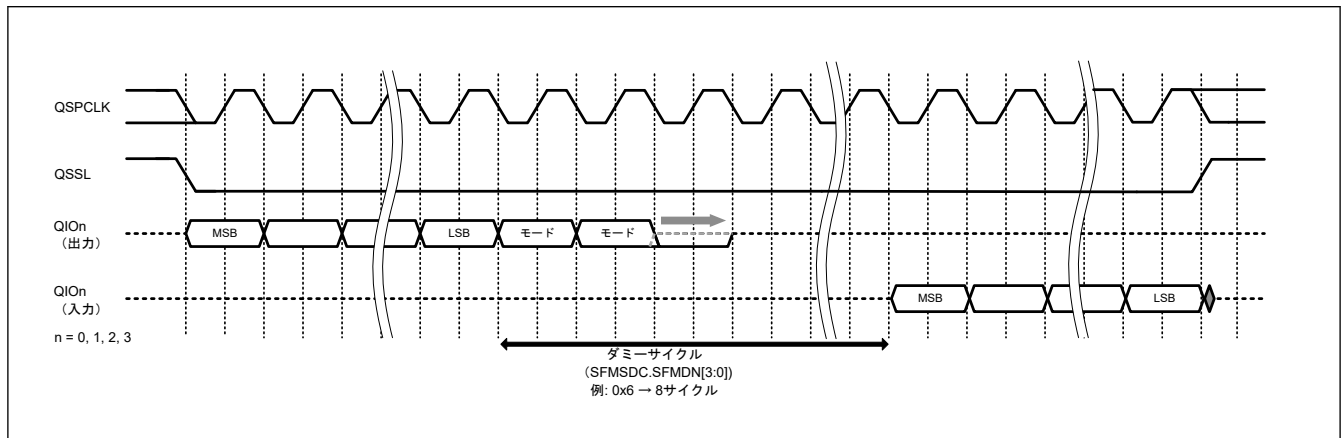


図 32.14 SFMOEX ビットを使用した出力許可ホールド時間調整（ファストリード）

32.5.7 シリアルデータ出力のセットアップ時間

コマンドまたはアドレスをシリアルフラッシュメモリに送信する場合のセットアップ時間は、送信開始から QSPCLK 信号の立ち上がりまでとなります。セットアップ時間が不十分な場合、SFMSMD.SFMOSW ビットを使用して PCLKA クロックの 1 サイクル分拡張できます。SFMOSW ビットを 1 にすると、QSPI からデータが出力されている間、シリアルデータ送信時の QSPCLK の Low レベル幅は PCLKA クロックの 1 サイクル分拡張されます。この機能はシリアルデータ受信には影響しません。

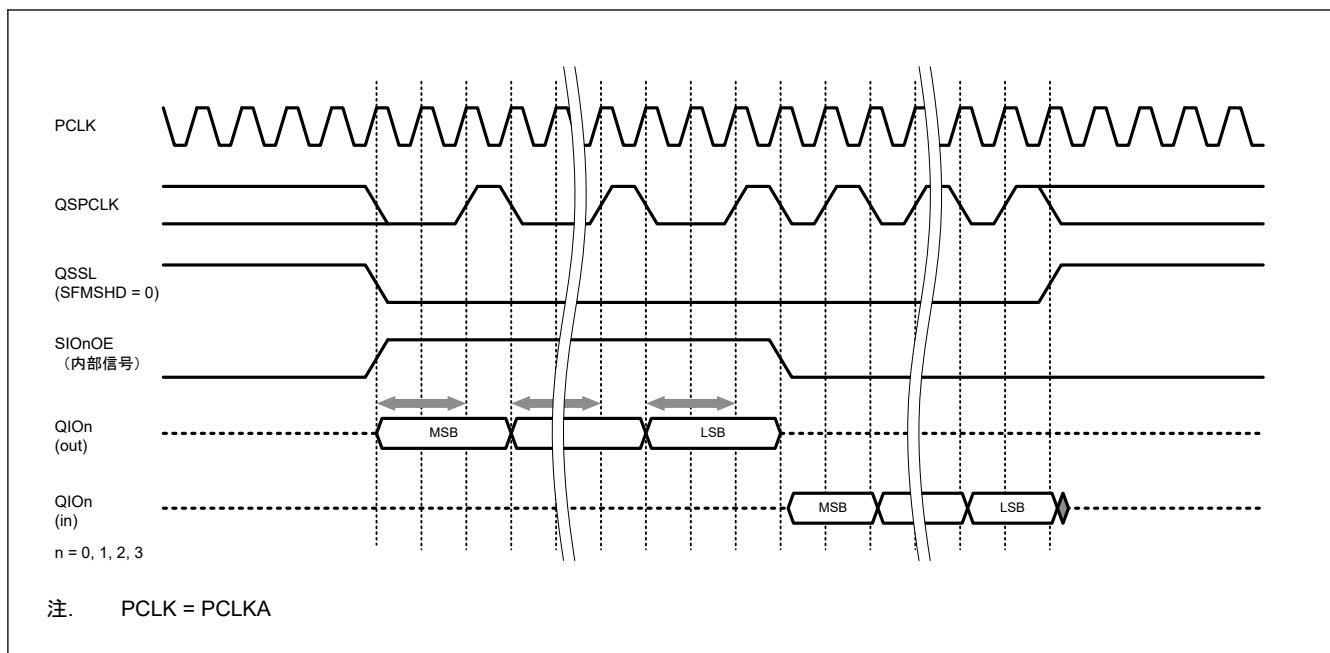


図 32.15 SFMOSW ビットを使用したシリアルデータ出力のセットアップ時間調整

32.5.8 シリアルデータ出力のホールド時間

コマンドまたはアドレスをシリアルフラッシュメモリに送信する場合、ホールド時間は QSPCLK の立ち上がりエッジで開始し、シリアルデータの次の送信で終了します。ホールド時間が不十分な場合、SFMSMD.SFMOHW ビットを使用して PCLKA クロックの 1 サイクル分拡張できます。SFMOHW ビットを 1 にすると、QSPI からデータが出力されている間、シリアルデータ送信時の QSPCLK の High レベル幅は PCLKA クロックの 1 サイクル分拡張されます。この機能はシリアルデータ受信には影響しません。

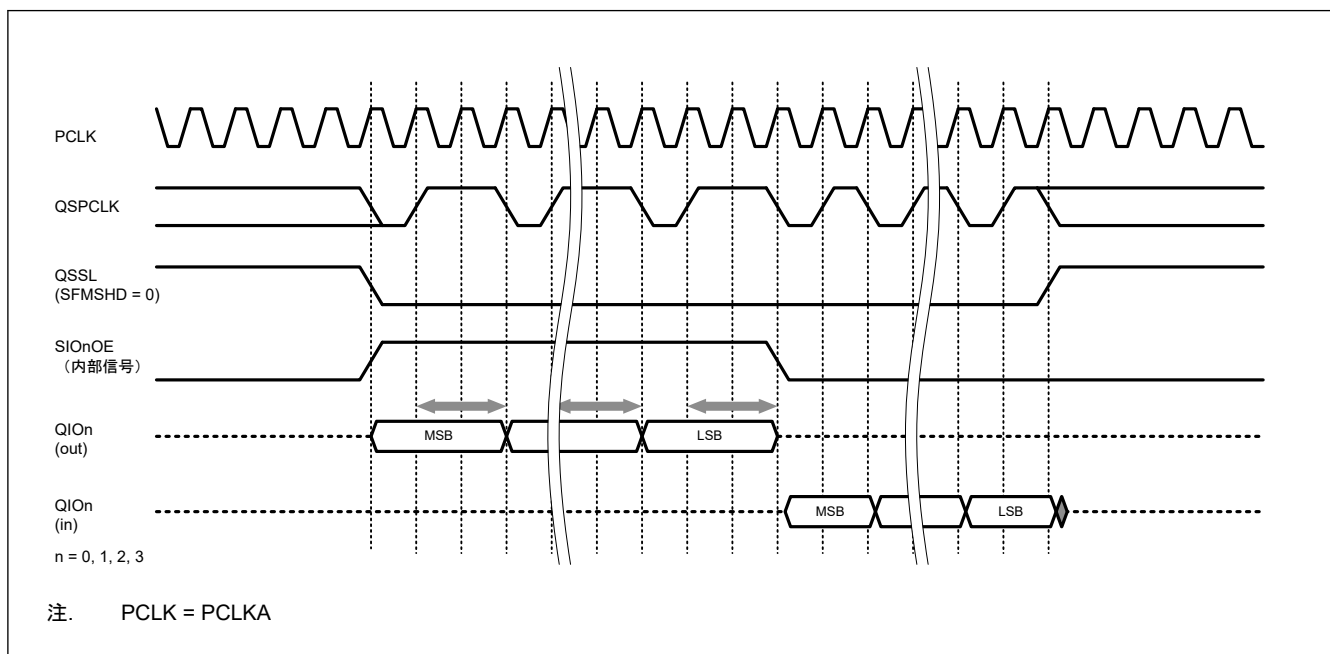


図 32.16 SFMOHW ビットを使用したシリアルデータ出力のホールド時間調整

32.5.9 シリアルデータ受信レイテンシ

シリアルフラッシュは、QSPCLK 信号の立ち下がりエッジと同期してデータを出力します。QSPI は、後続の QSPCLK 信号の立ち下がりエッジと同期してそのデータを受信します。シリアルフラッシュがデータ出力を開始してから QSPI がそのデータを受信するまでの遅延を、受信レイテンシと呼びます。QSPI は、SPI バスサイク

ルの最初のデータ受信サイクルの直前に、レイテンシ補正サイクルを追加します。シリアルフラッシュ側から見ると、データ受信サイクル数が増加します。このレイテンシ補正サイクルの追加は、データ受信を伴わずに SPI バスサイクル内で発生することはありません。

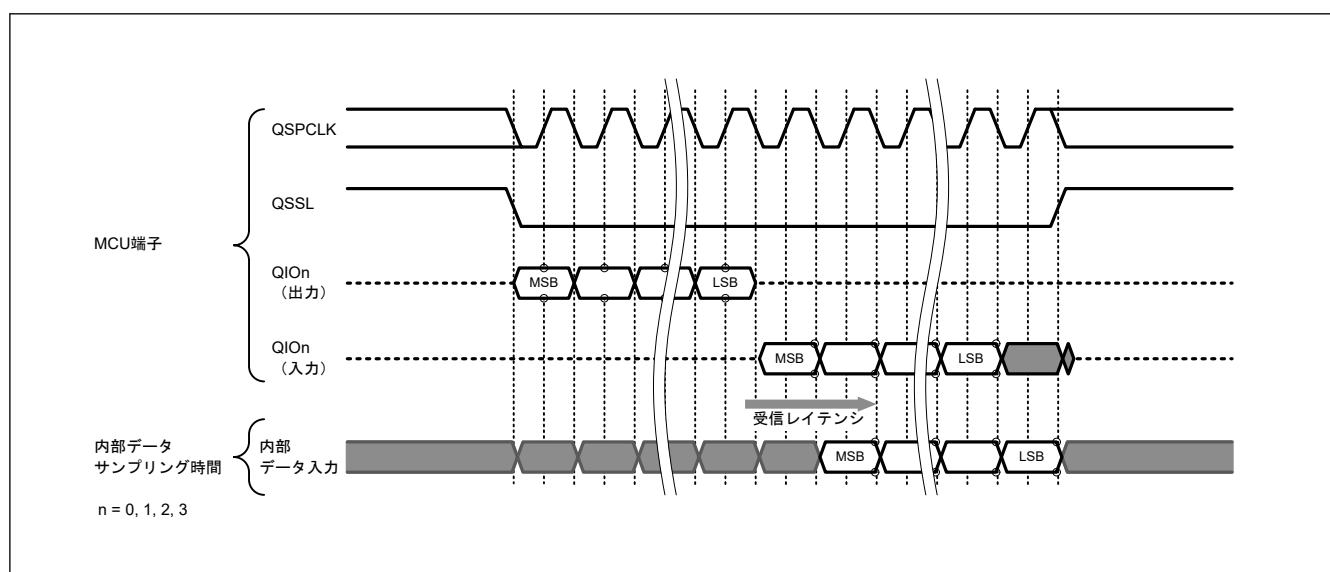


図 32.17 受信レイテンシ

32.6 シリアルフラッシュメモリアクセスに使用される SPI 命令セット

32.6.1 自動生成される SPI 命令

シリアルフラッシュメモリアクセスされると、SFMSAC レジスタと SFMSMD レジスタの設定値に基づいて、表 32.6～表 32.10 に示す命令の 1 つを用いた SPI バスサイクルが自動的に生成されます。

表 32.6 SFMAS[1:0] = 00b の場合に自動生成される SPI 命令

SPI 命令	命令コード	アドレスバイト数	ダミーサイクル数	データバイト数	備考
標準リード	0x03(注1)	1	—	1～∞	SFMRM[2:0] = 000b, A8 = 0
	0x0B(注1)	1	—	1～∞	SFMRM[2:0] = 000b, A8 = 1

注 1. SFMSMD レジスタのリード命令コード選択ビット (SFMCC) が 1 のとき、命令コードレジスタ (SFMSC) の代替シリアルフラッシュ命令コードビット (SFMCC[7:0]) の設定値が命令コードとして使用されます。

表 32.7 SFMAS[1:0] = 01b の場合に自動生成される SPI 命令

SPI 命令	命令コード	アドレスバイト数	ダミーサイクル数	データバイト数	備考
標準リード	0x03(注1)	2	—	1～∞	SFMRM[2:0] = 000b

注 1. SFMSMD.SFMCC ビットが 1 のとき、SFMSC.SFMCC[7:0] ビットの設定値が命令コードとして使用されます。

表 32.8 SFMAS[1:0] = 10b の場合に自動生成される SPI 命令

SPI 命令	命令コード	アドレスバイト数	ダミーサイクル数	データバイト数	備考
標準リード	0x03(注1)	3	—	1～∞	SFMRM[2:0] = 000b
ファストリード	0x0B(注1)	3	8(注2)	1～∞	選択可能: SFMRM[2:0] = 001b
ファストリード Dual 出力	0x3B(注1)	3	8(注2)	1～∞	選択可能: SFMRM[2:0] = 010b
ファストリード Dual I/O	0xBB(注1)	3	4(注2)	1～∞	選択可能: SFMRM[2:0] = 011b
ファストリード Quad 出力	0x6B(注1)	3	8(注2)	1～∞	選択可能: SFMRM[2:0] = 100b
ファストリード Quad I/O	0xEB(注1)	3	6(注2)	1～∞	選択可能: SFMRM[2:0] = 101b

注 1. SFMSMD.SFMCCE ビットが 1 のとき、SFMSIC.SFMCIC[7:0]ビットの設定値が命令コードとして使用されます。

注 2. ダミーサイクルコントロールレジスタ (SFMSDC) のファストリード命令のダミーサイクル数選択ビット (SFMDN[3:0]) で、ダミーサイクル数を設定できます。

表 32.9 SFMAS[1:0] = 11b、SFM4BC = 0 の場合に自動生成される SPI 命令

SPI 命令	命令コード	アドレスバイト数	ダミーサイクル数	データバイト数	備考
標準リード	0x03(注1)	4	—	1~∞	SFMRM[2:0] = 000b
ファストリード	0x0B(注1)	4	8(注2)	1~∞	選択可能: SFMRM[2:0] = 001b
ファストリード Dual 出力	0x3B(注1)	4	8(注2)	1~∞	選択可能: SFMRM[2:0] = 010b
ファストリード Dual I/O	0xBB(注1)	4	4(注2)	1~∞	選択可能: SFMRM[2:0] = 011b
ファストリード Quad 出力	0x6B(注1)	4	8(注2)	1~∞	選択可能: SFMRM[2:0] = 100b
ファストリード Quad I/O	0xEB(注1)	4	6(注2)	1~∞	選択可能: SFMRM[2:0] = 101b

注 1. SFMSMD.SFMCCE ビットが 1 のとき、SFMSIC.SFMCIC[7:0]ビットの設定値が命令コードとして使用されます。

注 2. SFMSDC.SFMDN[3:0]ビットで、ダミーサイクル数を設定できます。

表 32.10 SFMAS[1:0] = 11b、SFM4BC = 1 の場合に自動生成される SPI 命令

SPI 命令	命令コード	アドレスバイト数	ダミーサイクル数	データバイト数	備考
標準リード	0x13(注1)	4	—	1~∞	SFMRM[2:0] = 000b
ファストリード	0x0C(注1)	4	8(注2)	1~∞	選択可能: SFMRM[2:0] = 001b
ファストリード Dual 出力	0x3C(注1)	4	8(注2)	1~∞	選択可能: SFMRM[2:0] = 010b
ファストリード Dual I/O	0xBC(注1)	4	4(注2)	1~∞	選択可能: SFMRM[2:0] = 011b
ファストリード Quad 出力	0x6C(注1)	4	8(注2)	1~∞	選択可能: SFMRM[2:0] = 100b
ファストリード Quad I/O	0xEC(注1)	4	6(注2)	1~∞	選択可能: SFMRM[2:0] = 101b

注 1. SFMSMD.SFMCCE ビットが 1 のとき、SFMSIC.SFMCIC[7:0]ビットの設定値が命令コードとして使用されます。

注 2. SFMSDC.SFMDN[3:0]ビットで、ダミーサイクル数を設定できます。

32.6.2 標準リード命令

標準リード命令は、大部分のシリアルフラッシュメモリでサポートされている一般的なリード命令です。SPI バスサイクルの開始時に、QSSL 信号がアサートされ、命令コード (0x03 または 0x13) (注1)が出力されます。次に、SFMSAC.SFMAS[1:0]ビットで指定した 1~4 バイト幅のアドレスが送信されます。その後、データが受信されます。

この標準リード命令は、QSPI の初期設定で選択されます。

注 1. 多くの 4KB シリアルフラッシュメモリは、オーバーヘッドを最小化しリード命令コードのビット 3 から A8 情報を受信するために、1 バイト (A7-A0) 以内のアドレスフィールドを持っています。これらのデバイスをサポートするため、1 バイトのアドレス幅 (SFMAS[1:0]ビット = 00) が指定されている場合、QSPI は標準リード命令コードのビット 3 に A8 (アドレスビット 8) だけを出力します。そのため、標準リード命令コードとして 0x03 の代わりに 0x0B が出力される場合があります。このコードはファストリード命令コードと重複します。ただし、1 バイトのアドレス幅を持つ、ほとんどの 2 KB 以下のシリアルフラッシュメモリでは、コマンドのビット 3 は don't care ビットとしてデコードから除外するよう設計されているため、このようなリード命令コードは標準リード命令コードとして正しく認識されます。まれに、ビット 3 のデコードを許可しているシリアルフラッシュメモリがあります。そのようなシリアルフラッシュメモリを接続する場合、A8 = 1 になるアクセスを回避するようにアプリケーションを設定してください。

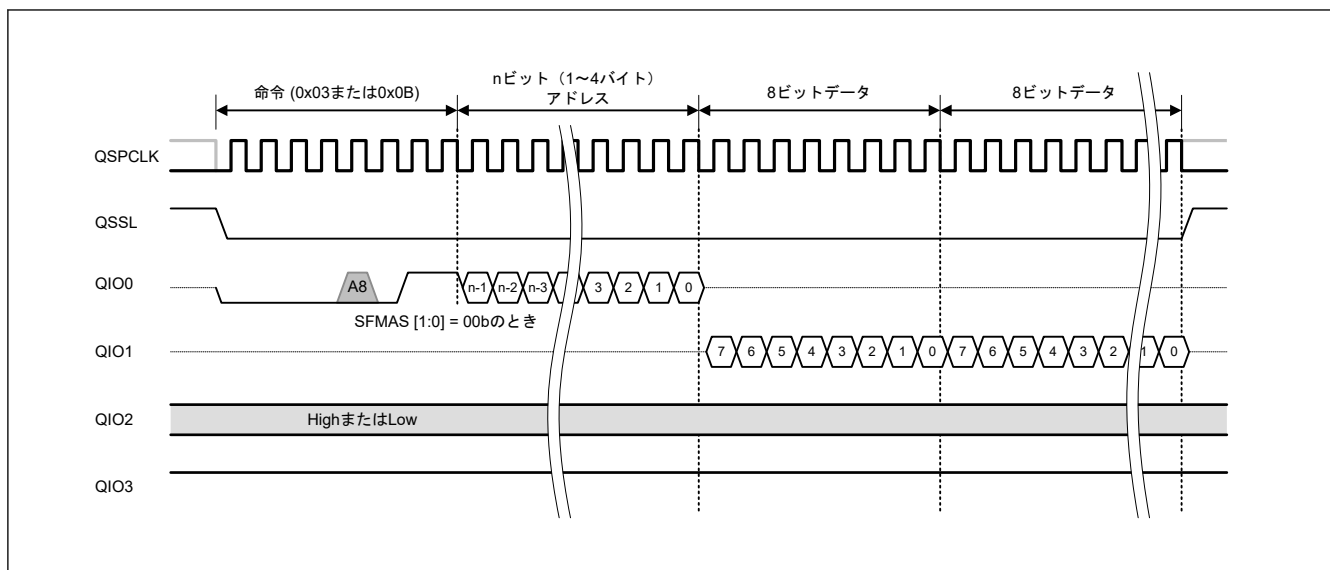


図 32.18 標準リードバスサイクル

32.6.3 ファストリード命令

ファストリード命令は、標準リード命令よりも高速の通信クロックをサポートするリード命令です。SPI バスサイクルの開始時に、QSSL 信号がアサートされ、命令コード (0x0B または 0x0C) が出力されます。次に、SFMSAC.SFMAS[1:0] ビットで指定した 1~4 バイト幅のアドレスが送信されます。次に、SFMSDC レジスタで指定した数のダミーサイクルが生成されます。その後、データが受信されます。

ダミーサイクルの最初の 2 周期は、XIP モードの選択に使用します。XIP モードを選択した場合、この時使用される命令と同じ命令が次の SPI バスサイクルにも適用され、次の SPI バスサイクルで命令コードは出力されません。XIP モードの詳細は、「[32.8. XIP 制御](#)」を参照してください。

ファストリード命令への切り替えは、SFMSMD レジスタで制御します。

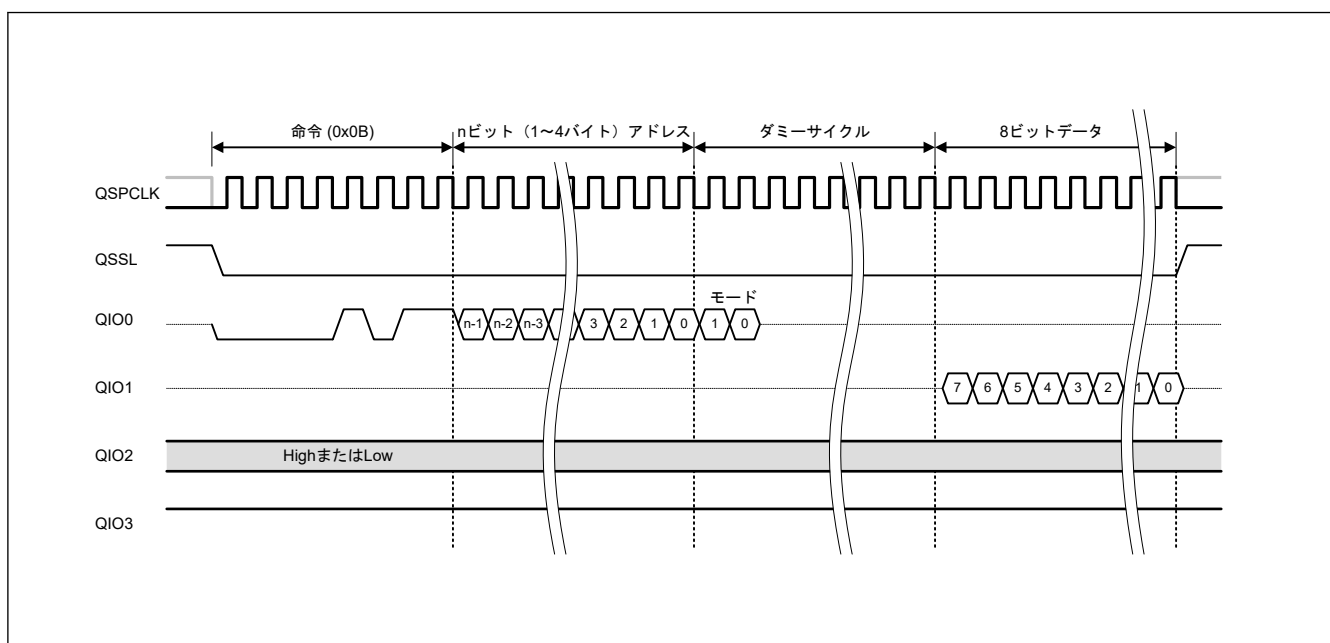


図 32.19 ファストリードバスサイクル

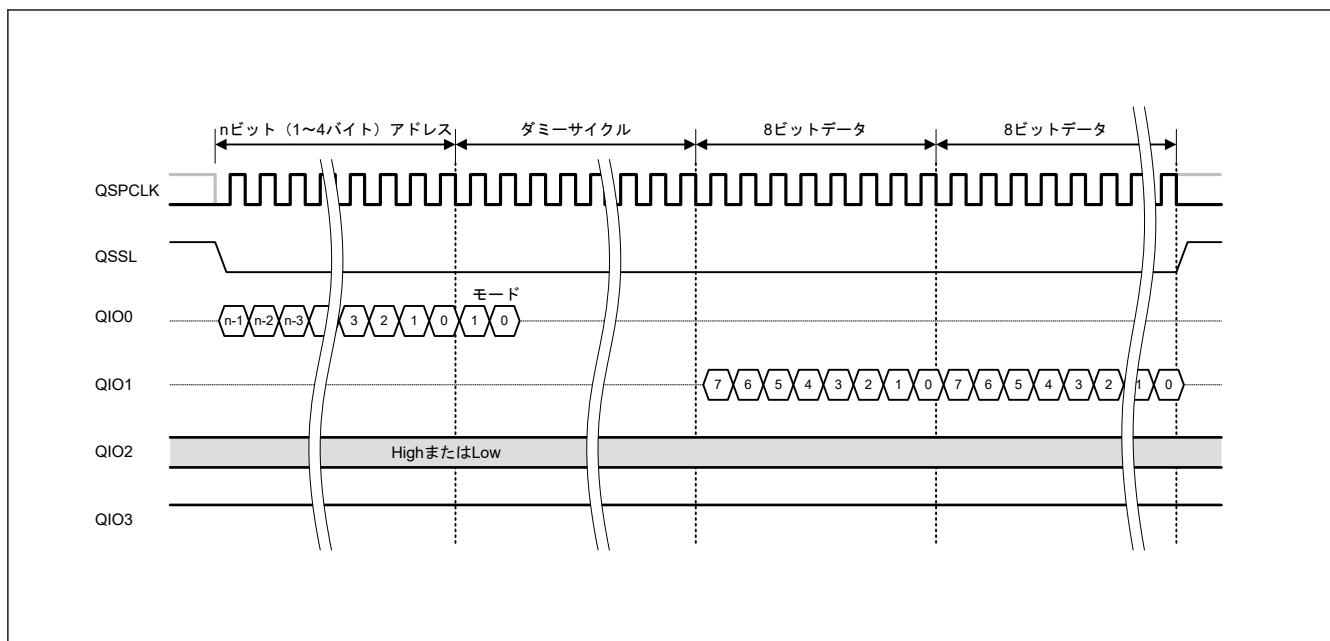


図 32.20 XIP モード時のファストリードバスサイクル

注. ファストリード命令を使用するには、ファストリード転送をサポートするシリアルフラッシュメモリが必要です。

32.6.4 ファストリード Dual 出力命令

ファストリード Dual 出力命令は、データ受信に 2 本の信号線を使用するリード命令です。SPI バスサイクルの開始時に、QSSL 信号がアサートされます。命令コード (0x3B/0x3C) および SFMSAC.SFMAS[1:0] ビットで指定した 1~4 バイト幅のアドレスが、QIO0 端子から拡張 SPI プロトコルで出力され、また QIO0 端子と QIO1 端子からは Dual-SPI プロトコルで出力されます。次に、SFMSDC レジスタで指定した数のダミーサイクルが生成されます。その後、QIO0 端子と QIO1 端子経由でデータを受信します。QIO0 端子からは偶数ビットのデータを受信し、QIO1 端子からは奇数ビットのデータを受信します。

ダミーサイクルの最初の 2 サイクルは、XIP モードの選択に使用します。XIP モードを選択した場合、このとき使用される命令と同じ命令が次の SPI バスサイクルにも適用され、次の SPI バスサイクルで命令コードは出力されません。XIP モードの詳細は、「[32.8. XIP 制御](#)」を参照してください。

ファストリード Dual 出力への切り替えは、SFMSMD レジスタで制御します。

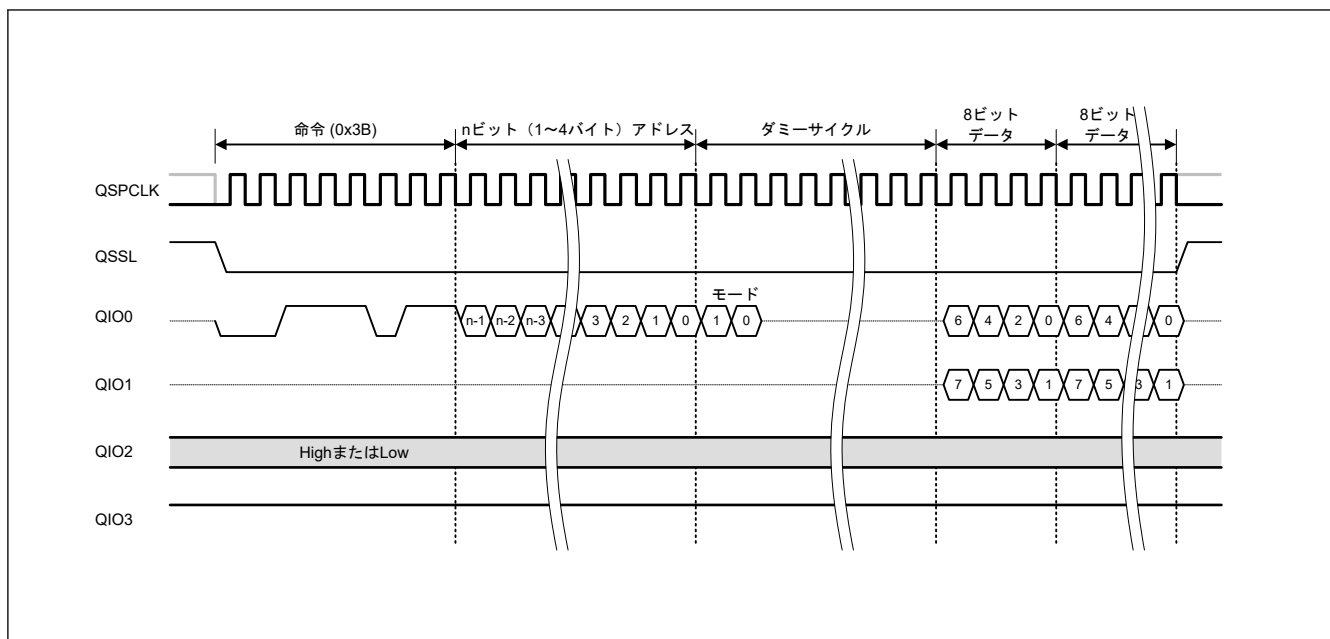


図 32.21 拡張 SPI プロトコルでのファストリード Dual 出力バスサイクル

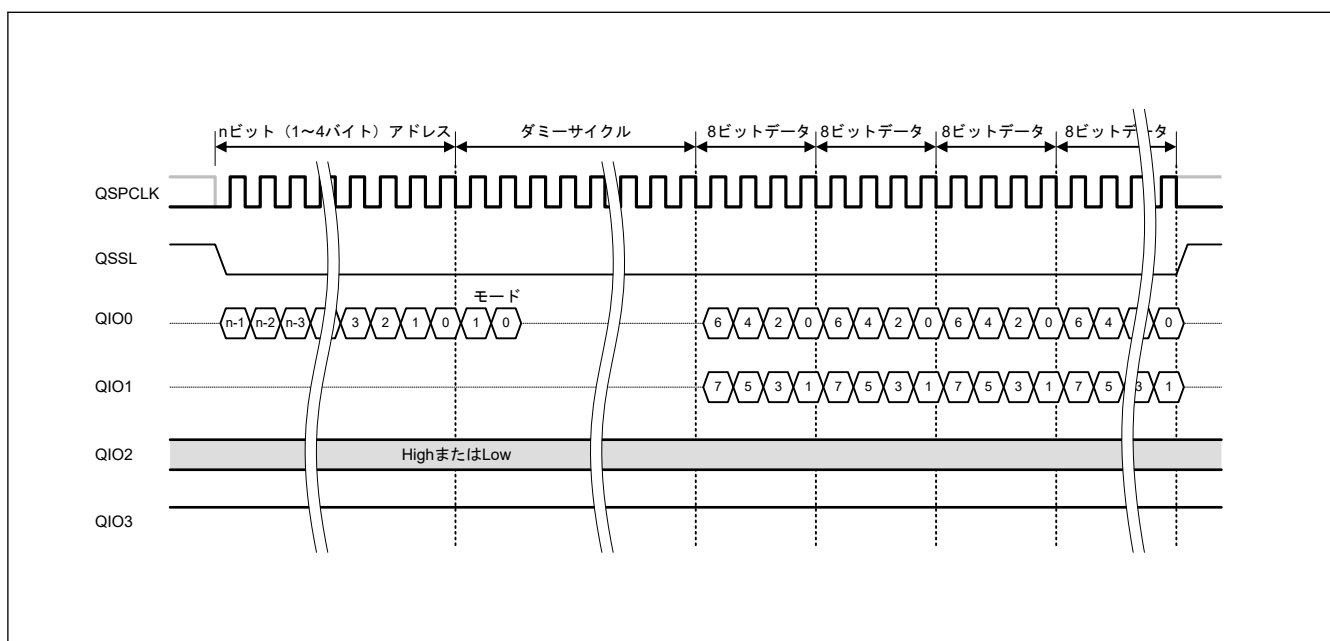


図 32.22 拡張 SPI プロトコルでの XIP モードファストリード Dual 出力バスサイクル

注. ファストリード Dual 出力命令を使用するには、ファストリード Dual 出力転送をサポートするシリアルフラッシュメモリが必要です。

32.6.5 ファストリード Dual I/O 命令

ファストリード Dual I/O 命令は、アドレス送信とデータ受信に 2 本の信号線を使用するリード命令です。SPI バスサイクルの開始時に、QSSL 信号がアサートされ、命令コード (0xBB または 0xBC) が拡張 SPI プロトコル時は QIO0 端子から送信、Dual-SPI プロトコル時は QIO0 端子と QIO1 端子より送信されます。次に、SFMSAC.SFMAS[1:0] ビットで指定した 1~4 バイト幅のアドレスが QIO0 端子および QIO1 端子経由で送信され、SFMSDC レジスタで指定した数のダミーサイクルが生成されます。その後、QIO0 端子と QIO1 端子経由でデータを受信します。アドレスとダミーサイクルの送信およびデータ受信は、偶数ビットについては QIO0 端子経由で、奇数ビットについては QIO1 端子経由で行われます。

ダミーサイクルの最初の 2 周期は、XIP モードの選択に使用します。XIP モードを選択した場合、この時使用される命令と同じ命令が次の SPI バスサイクルにも適用され、次の SPI バスサイクルで命令コードは出力されません。XIP モードの詳細は、「32.8. XIP 制御」を参照してください。

ファストリード Dual I/O への切り替えは、SFMSMD レジスタで制御します。

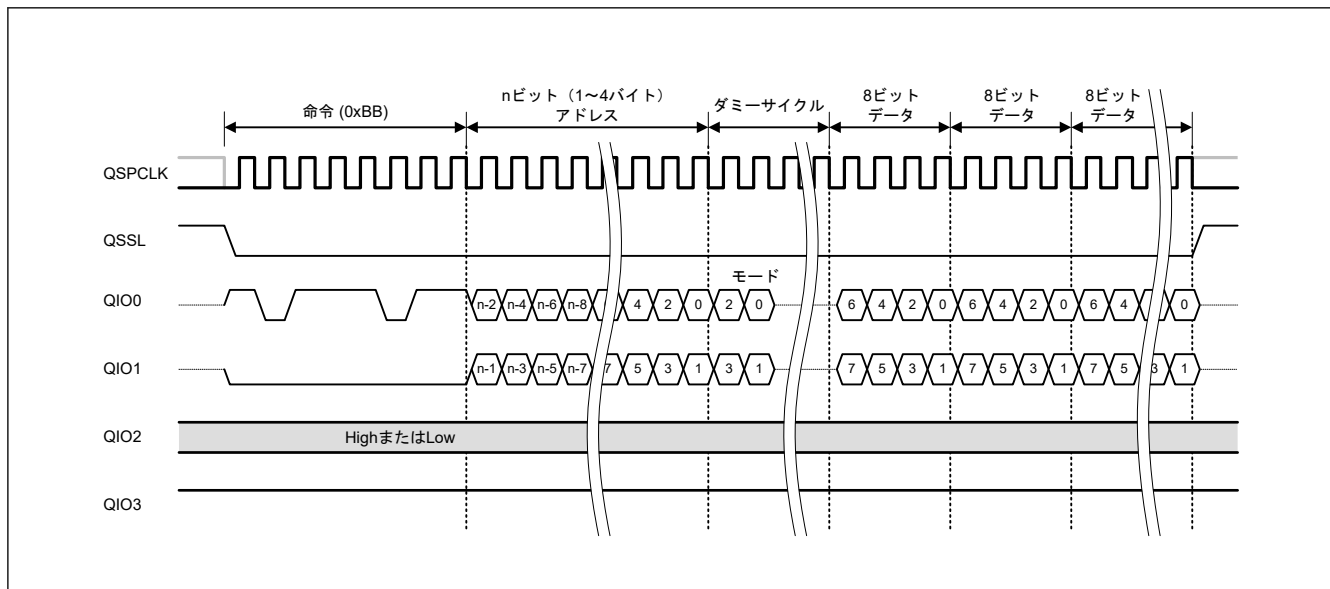


図 32.23 ファストリード Dual I/O バスサイクル(拡張 SPI プロトコル時)

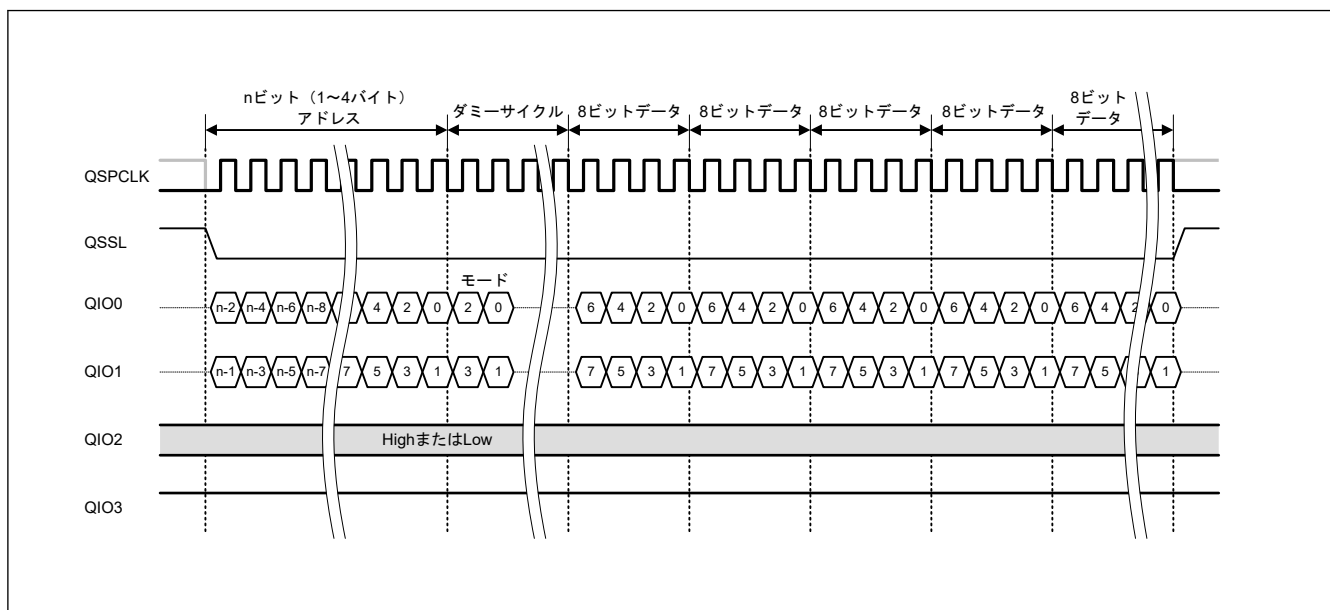


図 32.24 XIP モード時のファストリード Dual I/O バスサイクル

注. ファストリード Dual I/O 命令を使用するには、ファストリード Dual I/O 転送をサポートするシリアルフラッシュメモリが必要です。

32.6.6 ファストリード Quad 出力命令

ファストリード Quad 出力命令は、データ受信に 4 本の信号線を使用するリード命令です。SPI バスサイクルの開始時に、QSSL 信号がアサートされます。命令コード (0x6B または 0x6C) および SFMSAC.SFMAS[1:0] ビットで指定された 1~4 バイト幅のアドレスが QIO0 端子から出力されます。次に、SFMSDC.SFMDN[3:0] ビットで指定された数のダミーサイクルが生成されます。その後、QIO0 端子、QIO1 端子、QIO2 端子、および QIO3 端子経由でデータを受信します。

ダミーサイクルの最初の 2 サイクルは、XIP モードの選択に使用します。XIP モードを選択した場合、このとき使用される命令と同じ命令が次の SPI バスサイクルにも適用され、次の SPI バスサイクルで命令コードは出力されません。XIP モードの詳細は、「[32.8. XIP 制御](#)」を参照してください。

ファストリード Quad 出力への切り替えは、SFMSMD レジスタで制御します。

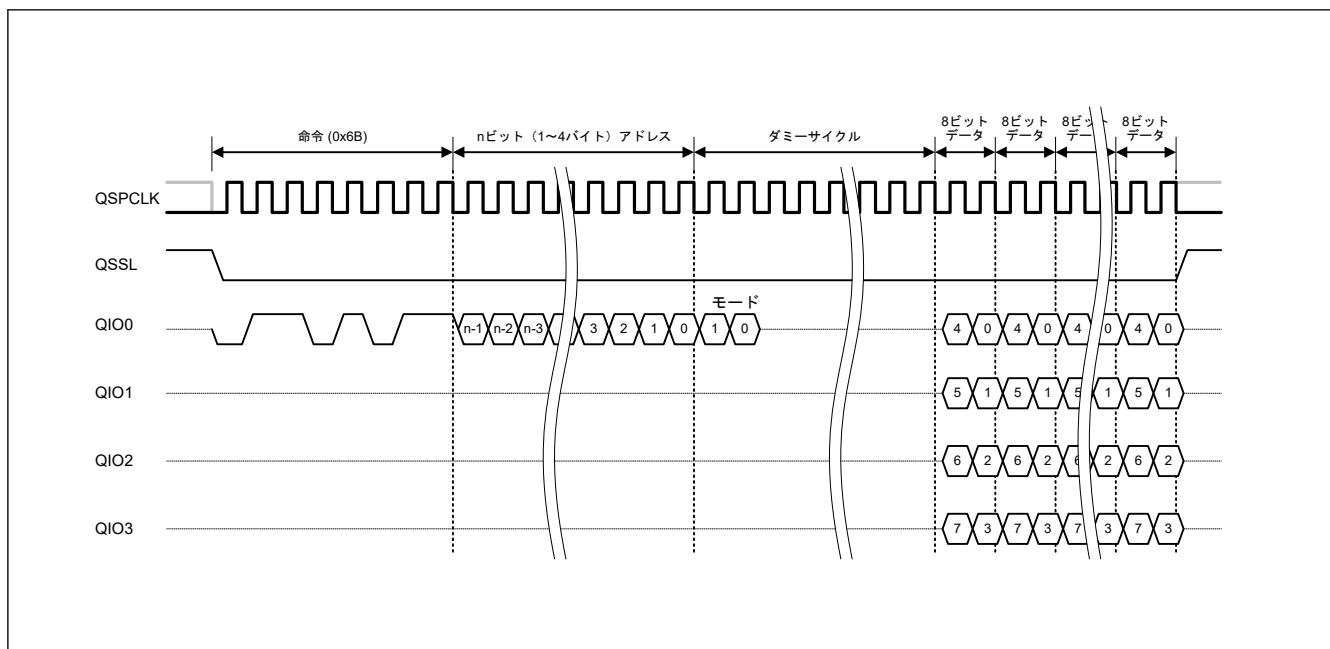


図 32.25 拡張 SPI プロトコルでのファストリード Quad 出力バスサイクル

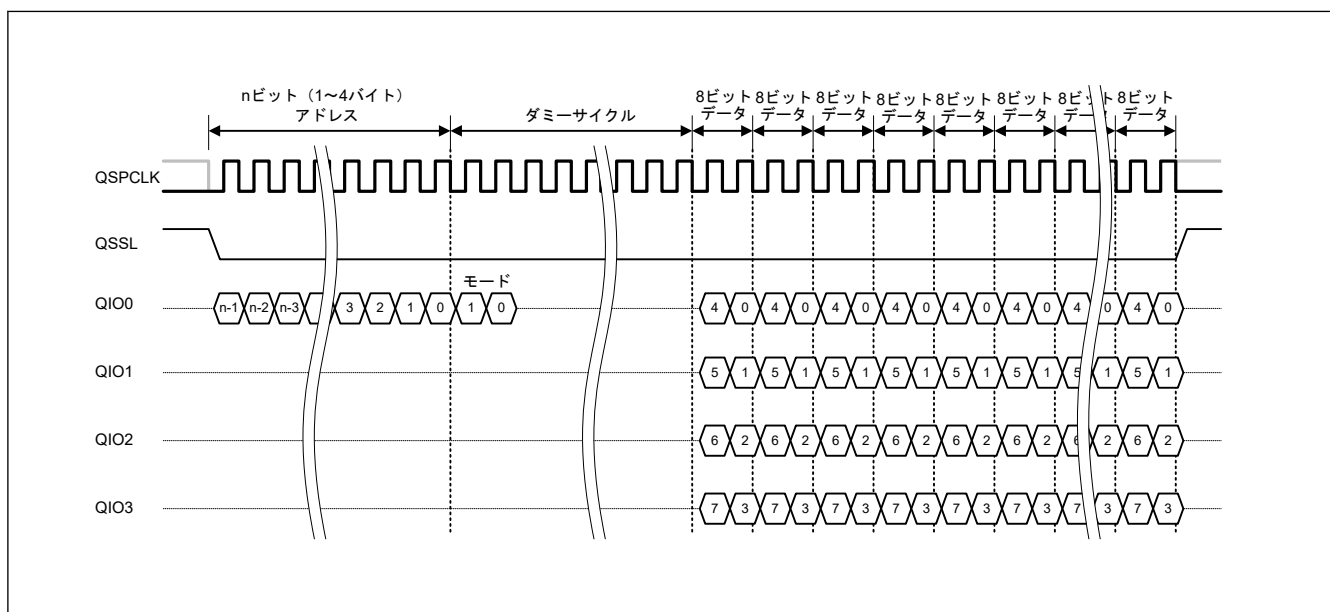


図 32.26 拡張 SPI プロトコルでの XIP モードファストリード Quad 出力バスサイクル

注. ファストリード Quad 出力を使用するには、ファストリード Quad 出力転送をサポートするシリアルフラッシュメモリが必要です。

32.6.7 ファストリード Quad I/O 命令

ファストリード Quad I/O 命令は、アドレス送信とデータ受信に 4 本の信号線を使用するリード命令です。SPI バスサイクルの開始時に、QSSL 信号がアサートされ、命令コード (0xEB または 0xEC) が拡張 SPI プロトコル時は QIO0 端子から送信、Quad-SPI プロトコル時は QIO0 端子、QIO1 端子、QIO2 端子、および QIO3 端子より送信されます。次に、SFMSAC.SFMAS[1:0]ビットで指定した 1~4 バイト幅のアドレスが QIO0 端子、QIO1 端子、

QIO2 端子、および QIO3 端子経由で送信され、SFMSDC.SFMDN[3:0]ビットで指定した数のダミーサイクルが生成されます。その後、QIO0 端子、QIO1 端子、QIO2 端子、および QIO3 端子経由でデータを受信します。

ダミーサイクルの最初の 2 周期は、XIP モードの選択に使用します。XIP モードを選択した場合、この時使用される命令と同じ命令が次の SPI バスサイクルにも適用され、次の SPI バスサイクルで命令コードは出力されません。XIP モードの詳細は、「[32.8. XIP 制御](#)」を参照してください。

ファストリード Quad I/O への切り替えは、SFMSMD レジスタで制御します。

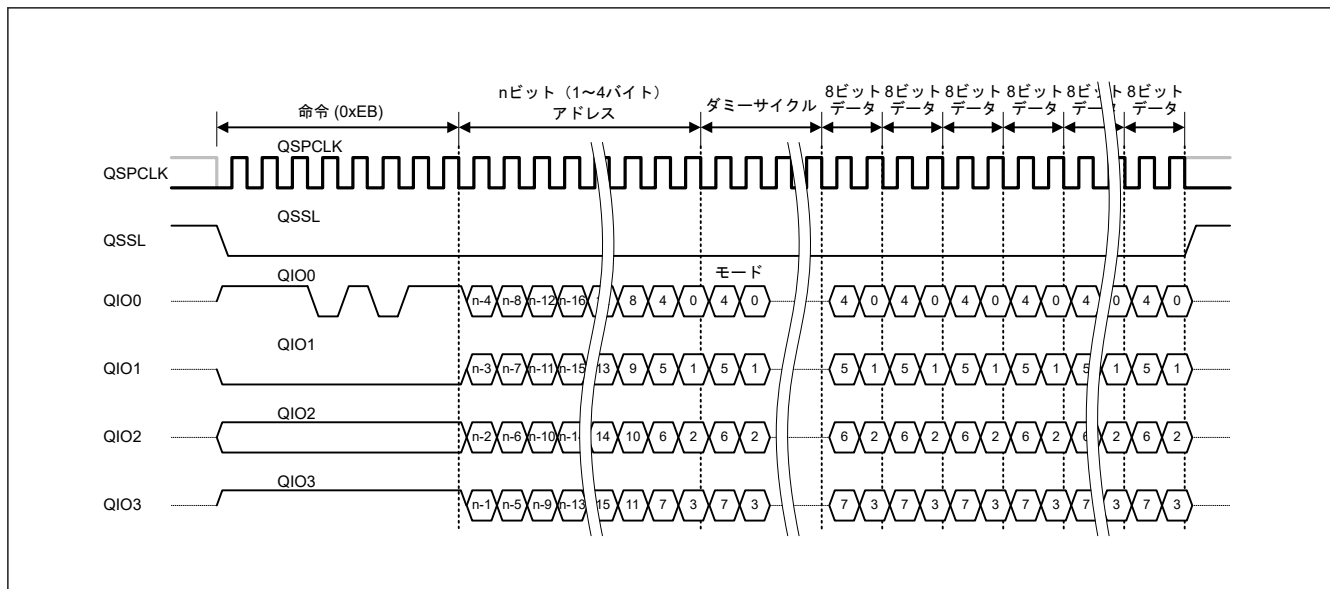


図 32.27 ファストリード Quad I/O バスサイクル

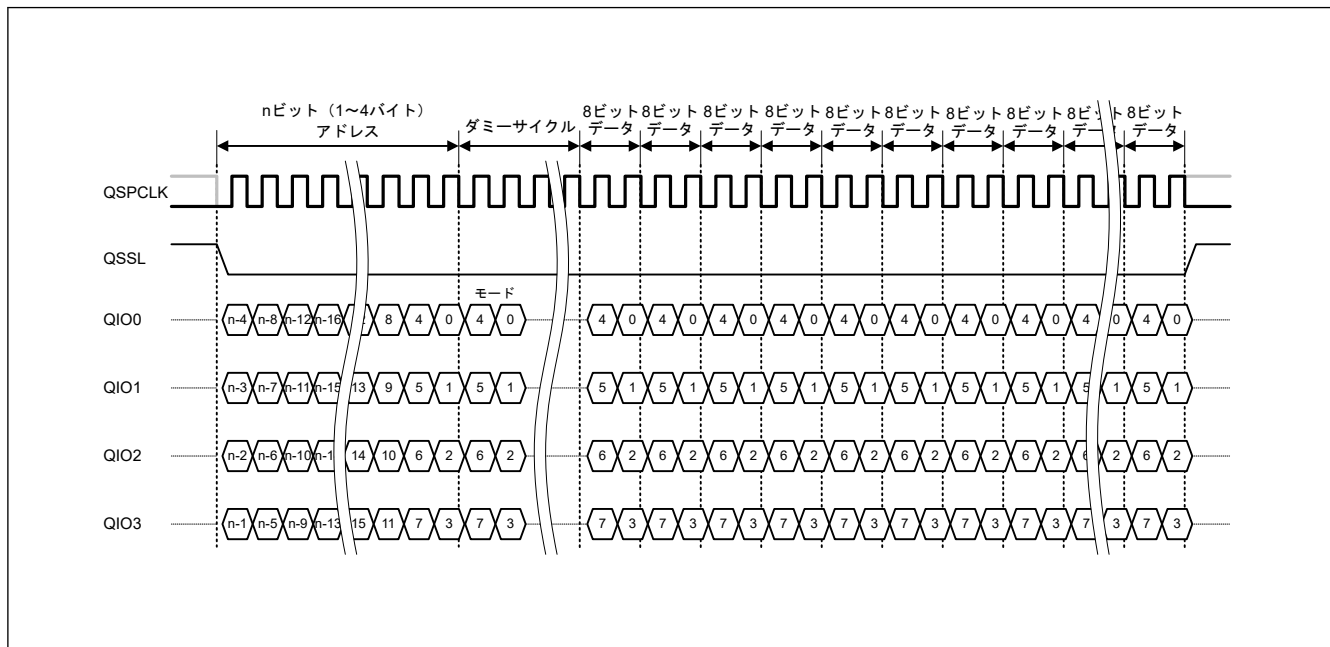


図 32.28 XIP モード時のファストリード Quad I/O バスサイクル

注. ファストリード Quad I/O 命令を使用するには、ファストリード Quad I/O 転送をサポートするシリアルフラッシュメモリが必要です。

32.6.8 4 バイトモード遷移命令

4 バイトモード遷移命令では、シリアルフラッシュのアドレス幅を 4 バイトに設定します。SPI バスサイクルの開始時に、シリアルフラッシュ選択信号がアサートされ、命令コード (0xB7) が出力されます。

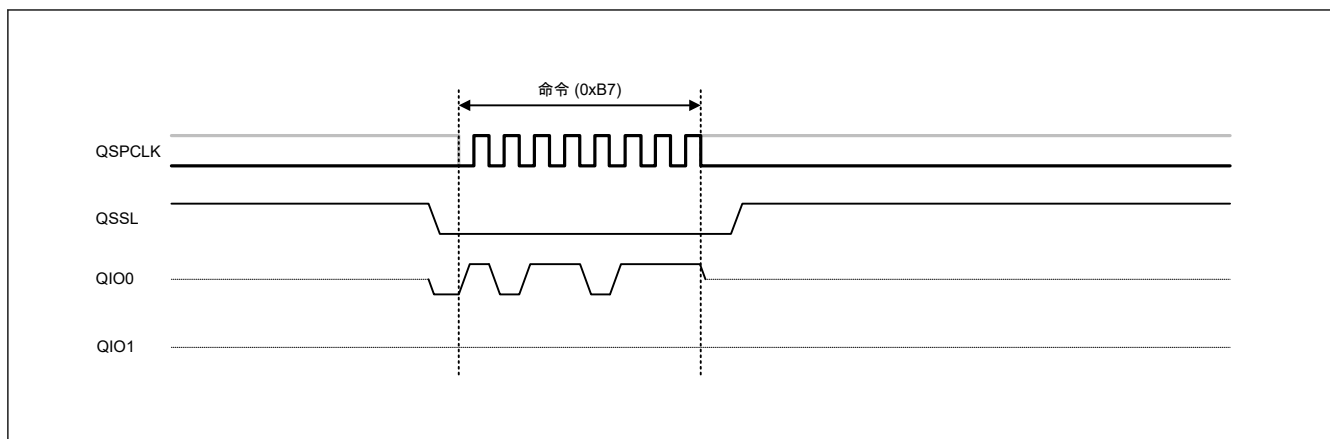


図 32.29 4 バイトモード遷移バスサイクル

注. 4 バイトモード遷移命令の発行は、シリアルフラッシュが 3 バイトモード／4 バイトモードのいずれであるかにかかわらず実行されます。

32.6.9 4 バイトモード解除命令

4 バイトモード解除命令では、シリアルフラッシュのアドレス幅を 3 バイトに設定します。SPI バスサイクルの開始時に、シリアルフラッシュ選択信号がアサートされ、命令コード (0xE9) が出力されます。

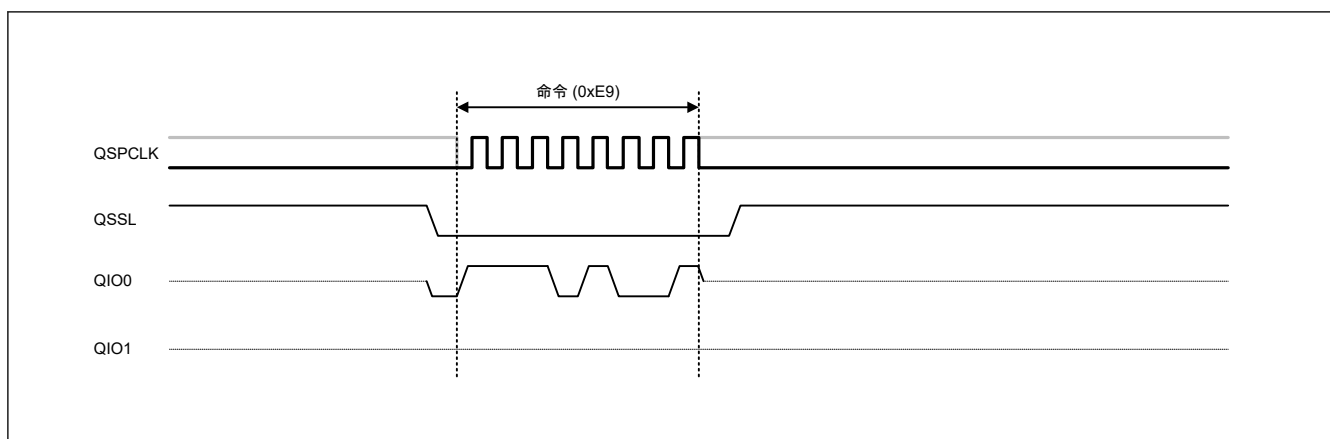


図 32.30 4 バイトモード解除バスサイクル

注. 4 バイトモード解除命令の発行は、シリアルフラッシュが 3 バイトモード／4 バイトモードのいずれであるかにかかわらず実行されます。

32.6.10 ライトイネーブル命令

ライトイネーブル命令は、シリアルフラッシュのアドレス幅の変更を許可します。SPI バスサイクルの開始時に、シリアルフラッシュ選択信号がアサートされ、命令コード (0x06) が出力されます。

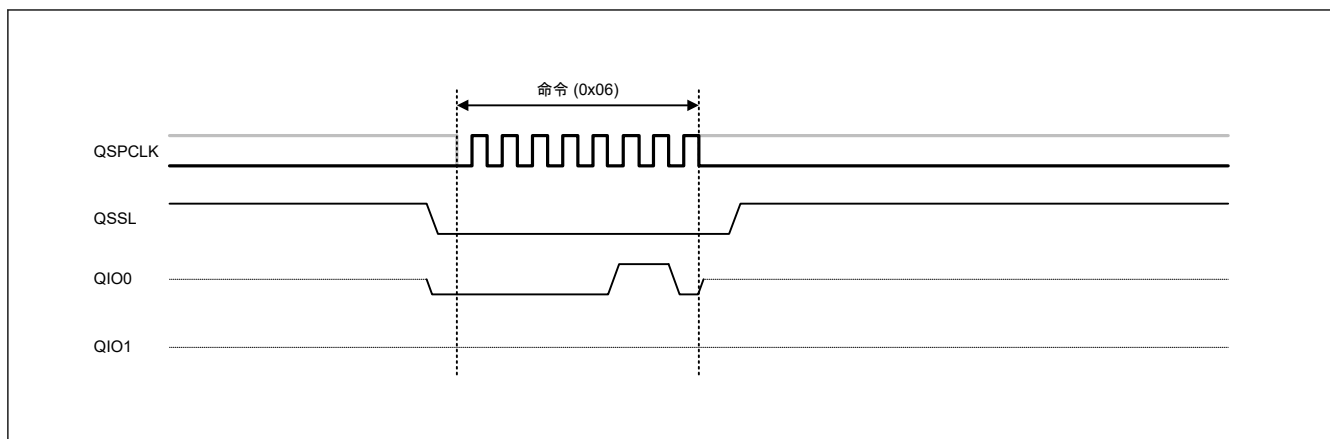


図 32.31 ライトイネーブルバスサイクル

32.7 SPI バスサイクル配置

32.7.1 個々の変換に基づくシリアルフラッシュメモリリード

ROM リードバスサイクルは、サイクルごとに 1 対 1 で SPI バスサイクルに変換されます。ROM リードバスサイクルが検出されると、QSSL 信号がアサートされ、SPI バスサイクルが開始します。シリアルフラッシュメモリからデータの受信を完了すると、QSSL 信号がネゲートされ、SPI バスサイクルは終了します。

次の ROM リードバスサイクルが検出されると、SFMSSC.SFMSW[3:0] ビットで設定された期間経過後、QSSL 信号が再びアサートされます。その後、次の SPI バスサイクルが始まります。

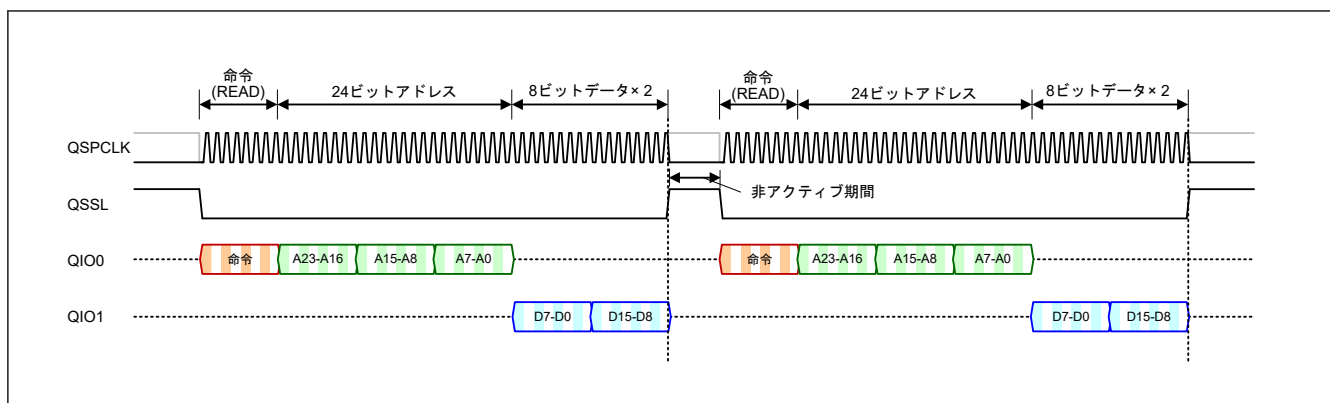


図 32.32 個々の変換に基づく連続データリード動作

32.7.2 プリフェッチ機能を使用したシリアルフラッシュメモリリード

CPU 命令実行やブロックデータ転送のような動作では、多くの場合、データは連続したアドレスから昇順に読み出されます。シリアルフラッシュメモリには、命令コードやアドレスを再発行せずにデータ受信を繰り返す機能があります。この機能を利用するため、QSPI は連続してデータを受信するためのプリフェッチ機能を持ちます。しかし、CPU が連続でないフラッシュアドレスに対してフラッシュリード要求を発行すると、SPI バスサイクルが分割され、プリフェッチ機能が無効になります。

QSPI のプリフェッチ機能を有効にするには、SFMSMD レジスタのプリフェッチ機能選択ビット (SFMPFE) を 1 にします。プリフェッチ機能を有効にすると、データは別のフラッシュリード要求を待つことなく、連続的に受信されて QSPI のプリフェッチバッファに格納されます。CPU がフラッシュリード要求を発行すると、アドレスチェックが実行されます。アドレス一致が確認されると、バッファ内のデータは CPU に送られます。アドレスの不一致が検出されると、バッファ内のデータは捨てられ、新しい SPI バスサイクルが発行されます。

プリフェッチバッファのサイズは 18 バイトです。このバッファがいっぱいになると、SPI バスサイクルは終了します。バッファデータが読み出されて空きができると、新しい SPI バスサイクルが自動的に開始され、プリフェッチが再開されます。

命令フェッチやブロックデータ転送のように連続アドレスから昇順でデータを読み出す場合、プリフェッチ機能は効率的な転送動作を可能にします。

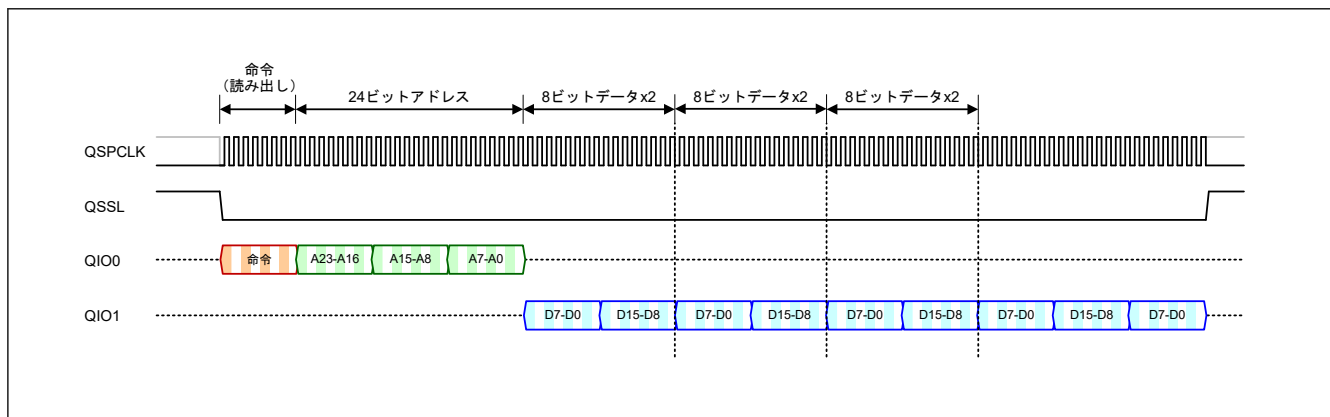


図 32.33 プリフェッチ機能を使用した連続データリード動作

32.7.3 プリフェッチの停止

プリフェッチ機能によって連続データを受信中に、シリアルフラッシュメモリの連続でないアドレスに対する読み込み要求が発行されたら、実行中の連続データの受信を中止し、新しい SPI バスサイクルが開始されます。通常、このようなシリアル転送の停止は、データ受信のバイト境界で発生します。ただし、SFMSMD.SFMPAE ビットを 1 にすると、バイト境界以外の場所で停止することができます。

32.7.4 プリフェッチ先の直接指定

プリフェッチ機能有効時 (SFMSMD.SFMPFE = 1) に、QSPI ウィンドウ領域への書き込みが発生すると、書き込んだ先頭アドレスからプリフェッチを開始します。シリアルフラッシュメモリへの書き込みは実行できません。

この機能を「32.7.5. プリフェッチ状態ポーリング」で述べる機能と組み合わせると、低速シリアルフラッシュからデータを読み出す際に、内部バスの負荷を削減できます。

注. 2 バイト以上のデータサイズで QSPI ウィンドウ領域に書き込みを行うと、ハードフォールトが発生します。

32.7.5 プリフェッチ状態ポーリング

CPU が低速シリアルフラッシュからデータを読み出すと、SPI 受信バスサイクルが完了するまで CPU システムバスが占有されます。プリフェッチ状態ポーリング機能は、この負荷を軽減するための機能です。

ステータスレジスタ (SFMSST) のプリフェッチ機能動作状態ビット (PFOFF) はプリフェッチ機能の状態を示し、SFMSST レジスタのプリフェッチデータのバイト数ビット (PFCNT[4:0]) はプリフェッチ済みのデータバイト数を示します。ポーリングプログラムは、本デバイスの SRAM に配置してください。

```
//
// 1K バイト (32bit x 256 word) データをシリアルフラッシュから内蔵 SRAM へコピー
//
unsigned long *sptr; // シリアルフラッシュのポインタ
unsigned long *dptr; // 転送先のポインタ
int i;

SFMSMD |= 0x0040; // SFMPFE ビットを設定して、プリフェッチを許可
*( (volatile unsigned char *) sptr ) = 0; // TAG を有効にして、プリフェッチを開始

for ( i = 0 ; i < 256 ; i++ ){
    while ( ( SFMSST & 0x00FF ) < 0x04 ){}; // 4 バイトデータの受信待ち
    *(dptr++) = *(sptr++);
}
```

注. ポーリングプログラムを実行する場合、プログラムをシリアルフラッシュメモリの外部に置いてください。ポーリングプログラムを実行するときに、そのプログラムがシリアルフラッシュメモリに置かれていた場合、プリフェッチの対象が頻繁に命令コードに切り替わります。その結果、ポーリングの効果が損なわれ、プリフェッチバッファに空きができるために無限ループに陥ることがあります。

32.7.6 SPI バスサイクル拡張機能

SPI バスサイクル拡張機能は、昇順の連続アドレスからデータが断続的に読み出せる場合に、連続データリードができる機能です。SFMSMD レジスタの SPI バスサイクル拡張機能選択ビット (SFMSSE[1:0]) を 00b 以外に設定した後でフラッシュリードを実施すると、SFMSSE[1:0] ビットで設定した値の間、QSSL 端子の出力を Low (アクティブ) に保持され、SPI バスサイクルが中断されます。

次のフラッシュリードのアドレスが昇順の連続アドレスの場合、QSPCLK 信号のトグルが再開され、後続データの受信が継続します。次のフラッシュリードのアドレスが昇順の連続アドレスではない場合、QSSL 信号は一度 High になり、中断されていた SPI バスサイクルを終了させます。その後、新しい SPI バスサイクルが開始されます。

昇順の連続アドレスからデータが断続的に読み出される場合、この機能は、命令コードとアドレス送信の負荷を削減することにより、効率的な転送動作を実現します。

SPI バスサイクル拡張時間は、SFMSMD.SFMSSE[1:0] ビットで選択できます。指定した拡張時間が経過すると、QSSL 信号は High レベルに戻り、中断されていた SPI バスサイクルを自動的に終了させます。SFMSSE[1:0] ビットを 11b にすると、QSSL は無限に拡張されます。その場合、シリアルフラッシュの消費電力が増加します。図 32.34 に動作波形を示します。

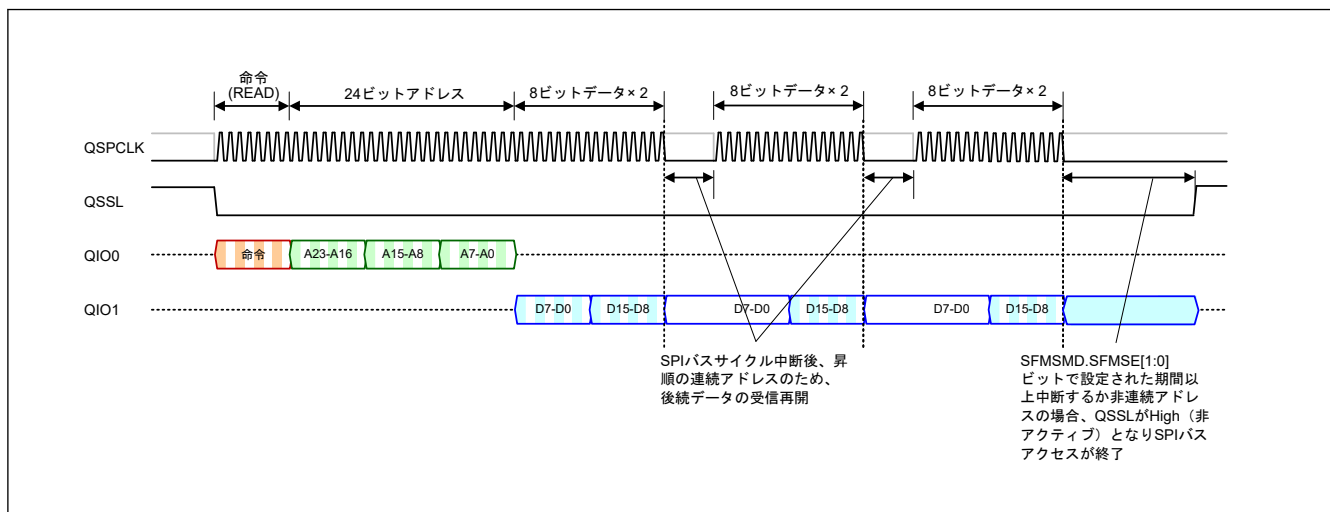


図 32.34 SPI バスサイクル拡張を使用した連続データリード動作

32.8 XIP 制御

シリアルフラッシュメモリデバイスの中には、フラッシュリードのための命令コード受信をスキップすることで、待ち時間を削減できるものもあります。この命令コードスキップ機能は、前のシリアルバスサイクルのダミーサイクル中に受信したモードデータにより選択されます。

ファストリード命令のダミーサイクルで、QSPI は、図 32.35 に示すように、最初の 2 周期で SFMSDC レジスタのシリアルフラッシュのモードデータビット (SFMSXD[7:0]) に設定されたモードデータを、シリアルデータ信号を使って送信することによって、シリアルフラッシュメモリの XIP モードを制御します。

XIP モードを有効にするモードデータは、シリアルフラッシュメモリごとに異なります。そのため、SFMSXD[7:0] ビットには適切なモードデータを設定してください。

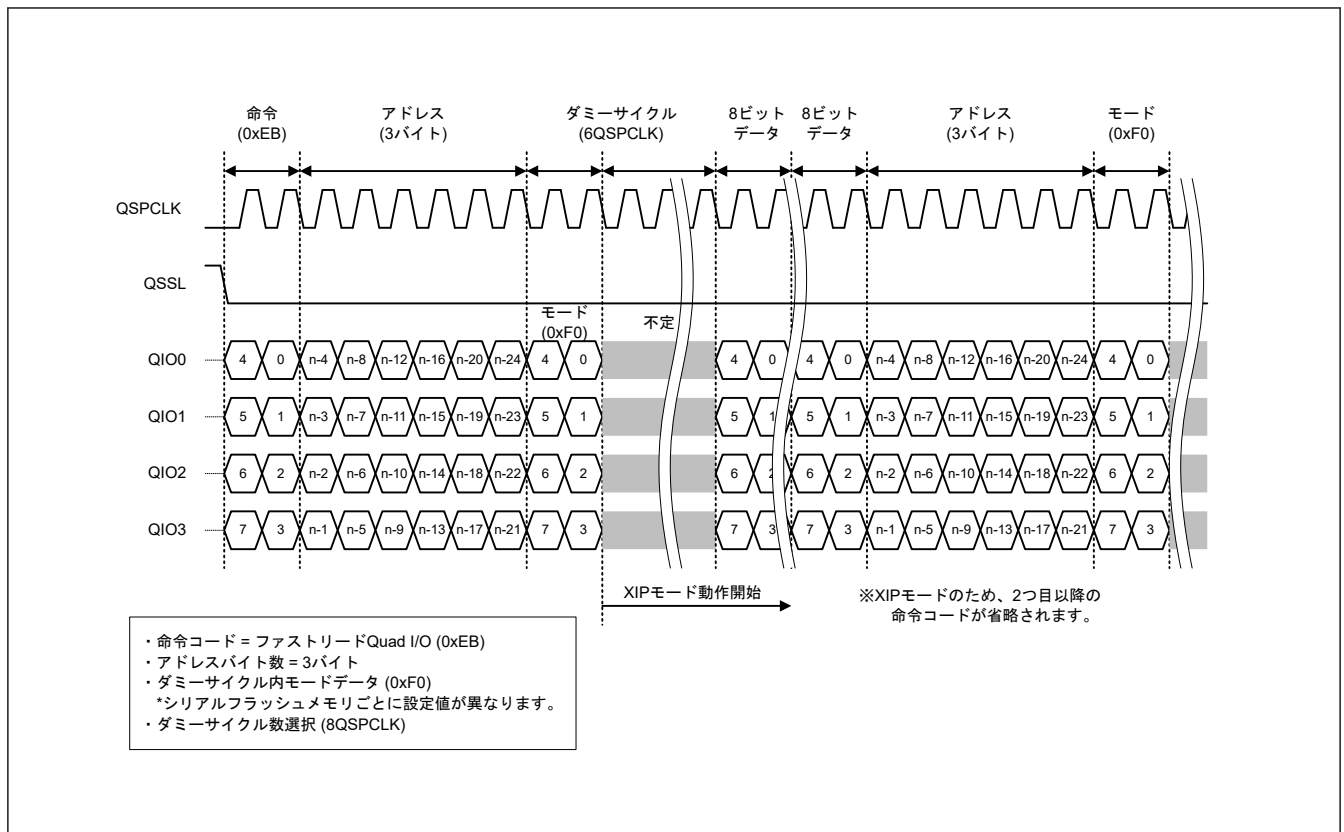


図 32.35 XIP モード制御データ

32.8.1 XIP モードの設定

シリアルフラッシュメモリで XIP モードを開始するため、以下のレジスタ設定をしてください。

- SFMSDC.SFMXD[7:0]ビットに、モードデータ値を設定(注1)
- SFMSDC レジスタの XIP モード許可ビット (SFMXEN) に、1 を設定

これらのレジスタ設定の後、最初ファストリードサイクルのダミーサイクルで、レジスタに設定されたモードデータ値が転送されます。その時点から、シリアルフラッシュメモリの XIP モードが有効になります。XIP モードに遷移した事は SFMSDC レジスタの XIP モード状態ビット (SFMXST) で確認できます。

注 1. SFMSDC.SFMXD[7:0]ビットでは、実際のシリアルフラッシュメモリの仕様に従ったモードデータを設定してください。

XIP モードの設定手順の一例を図 32.36 に示します

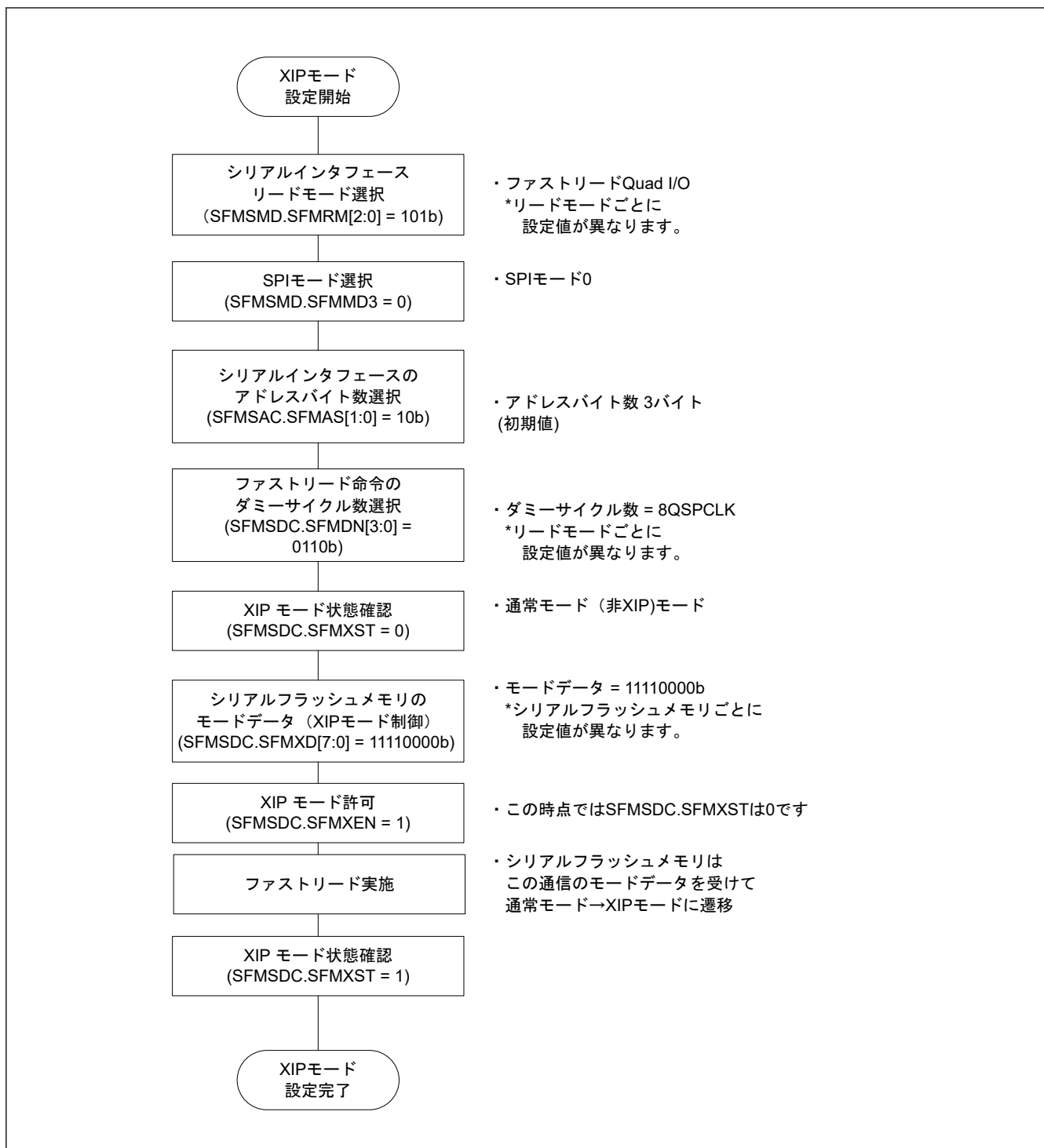


図 32.36 XIP モードのフローチャート

32.8.2 XIP モードの解除

シリアルフラッシュメモリの XIP モードを解除するには、以下のレジスタ設定を行います。

- SFMSDC.SFMXD [7:0]ビットで、モードデータ値を XIP モード禁止に設定する(注1)
- SFMSDC レジスタの SFMXEN ビットを 0 に設定する

このレジスタの設定後、最初のファストリードサイクルのダミーサイクルで、レジスタに設定された XIP モードを禁止するモードデータ値が転送されます。この時点から、シリアルフラッシュメモリの XIP モードは禁止されます。現在の XIP モードのステータスを確認するには、SFMSDC.SFMXST フラグを読み出します。

注 1. シリアルフラッシュメモリの仕様に従い、SFMSDC.SFMXD[7:0]ビットにモードデータを設定します。

図 32.37 に、XIP モードを解除する手順の例を示します。

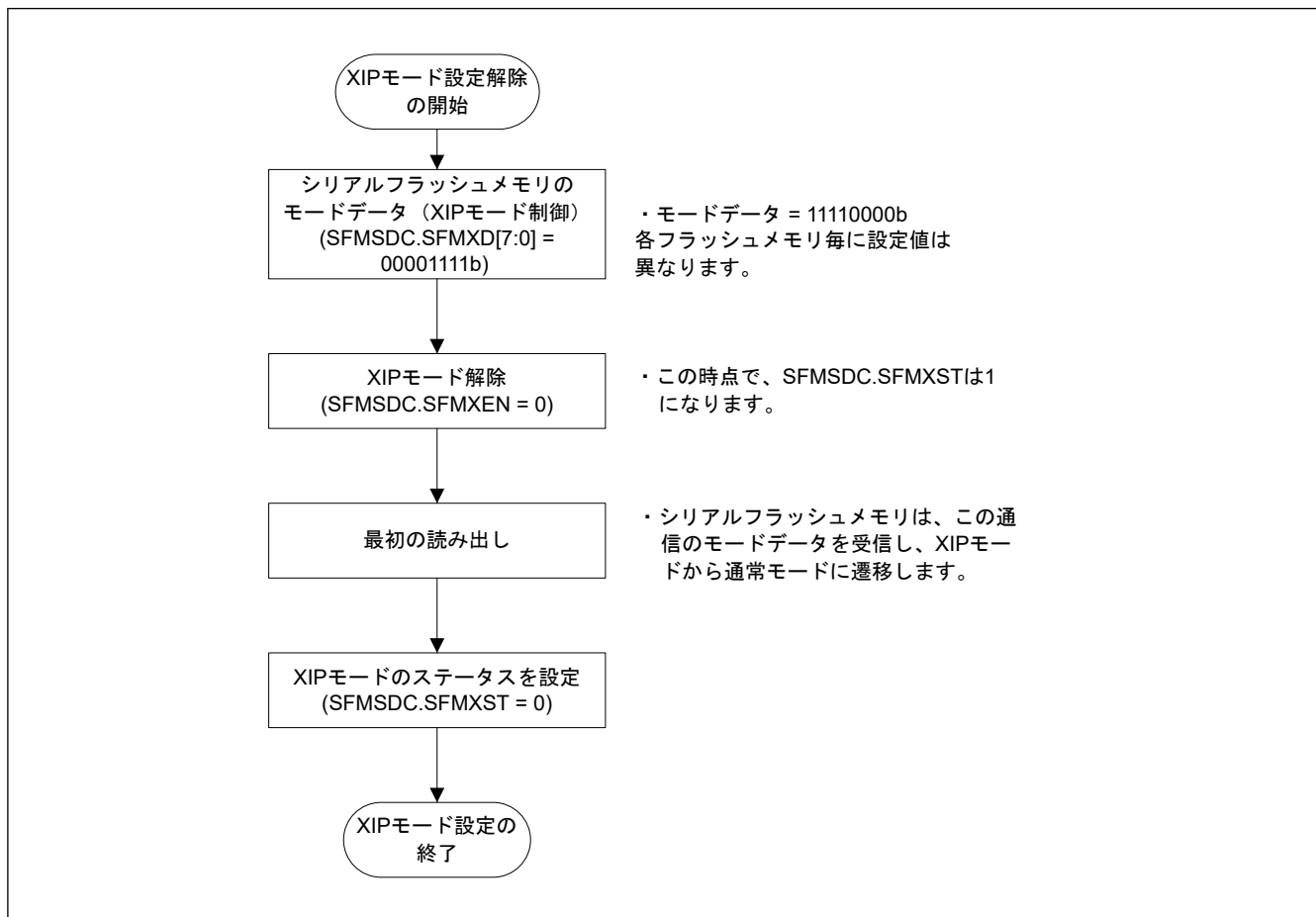


図 32.37 XIP モード解除のフローチャート

32.9 QIO2 端子、QIO3 端子の状態

QIO2 端子と QIO3 端子の状態は、SFMSMD.SFMRM[2:0]ビットに指定されたシリアルインタフェースのリードモードに依存します。

表 32.11 QIO2 端子、QIO3 端子の状態

SFMSMD.SFMRM[2:0]ビット	QIO2 端子の状態 ^(注1)	QIO3 端子の状態 ^(注2)	備考
111	設定禁止		
110			
101	シリアルデータ信号としての入力／出力（非アクティブ時の端子状態は Hi-Z）	シリアルデータ信号としての入力／出力（非アクティブ時の端子状態は Hi-Z）	ファストリード Quad I/O
100			ファストリード Quad 出力
011	ポートコントロールレジスタ (SFMPMD) の WP 端子レベルの指定ビット (SFMWPL) 変数出力（初期値は Low レベル）	出力 High レベル	ファストリード Dual I/O
010			ファストリード Dual 出力
001			ファストリード
000			標準リード（初期状態）

注 1. シリアルフラッシュメモリは、書き込み禁止 (WP) 機能用に QIO2 端子も使用できます。WP 機能は、ステータスレジスタへの書き込みを禁止します。（この機能は、Quad-SPI モード以外で利用できます。）

注 2. シリアルフラッシュメモリは、HOLD または RESET 機能用に QIO3 端子も使用できます。チップを非選択にしくても、HOLD 機能は入出力端子を非アクティブ状態にします。（この機能は、Quad-SPI モード以外で利用できます。）
リセット機能は、シリアルフラッシュメモリをリセットします。（QSSL 端子が非アクティブ状態 (High) であるか、QIO3 端子を使用しないモードであるときに、この機能を使用できます。）

32.10 直接通信モード

32.10.1 直接通信

QSPI は、QSPI ウィンドウ領域からの読み出しを SPI バスサイクルに自動変換することにより、シリアルフラッシュメモリの内容を読み出すことが可能です。ただし、シリアルフラッシュメモリはメモリデータリードの他にも、ID 情報のリード、イレース、プログラミング、状態情報リードなどの各種機能を備えています。これらの機能を使用するための標準命令セットは存在せず、多くのベンダーが様々なデバイスに次々と機能を追加しています。そのため、ソフトウェアがシリアルフラッシュメモリと直接通信することにより、これらの機能をサポートする SPI バスサイクルを生成することが可能です。

32.10.2 直接通信モードの使用

シリアルフラッシュメモリと直接通信するには、通信モードコントロールレジスタ (SFMCMMD) の SPI バスとの通信モード選択ビット (DCOM) を 1 にして直接通信モードへ遷移してください。直接通信モードを選択している間は、QSPI ウィンドウによるシリアルフラッシュメモリへのリードはできません。

注. QSPI を XIP モードに設定している場合、XIP モードを停止してから直接通信モードを開始してください。

32.10.3 直接通信時の SPI バスサイクルの発生

直接通信の SPI バスサイクルは、通信ポートレジスタ (SFMCOM) への最初のアクセスにより開始され、SFMCMMD.DCOM ビットに 1 を書き込むことにより終了します。

SFMCOM レジスタへの最初のアクセスから SFMCMMD レジスタへの最後の書き込み動作までの期間中、QSSL 信号はアクティブに保持され、シリアルフラッシュメモリに一連の SPI バスサイクルが進行中であることを通知します。

注. 直接通信モードでは、SFMCMMD および SFMCOM 以外のレジスタ (SFMSMD、SFMSSC、SFMSKC、SFMSST、SFMCMST、SFMSIC、SFMSAC、SFMSDC、SFMSPC、SFMPMD を含む) への書き込みはすべて禁止されています。

図 32.38 から図 32.40 に、直接通信のプログラム例を示します。図 32.41 に、ID リードでの直接通信のタイミング例を示します。



図 32.38 デバイス ID 取得のフローチャート

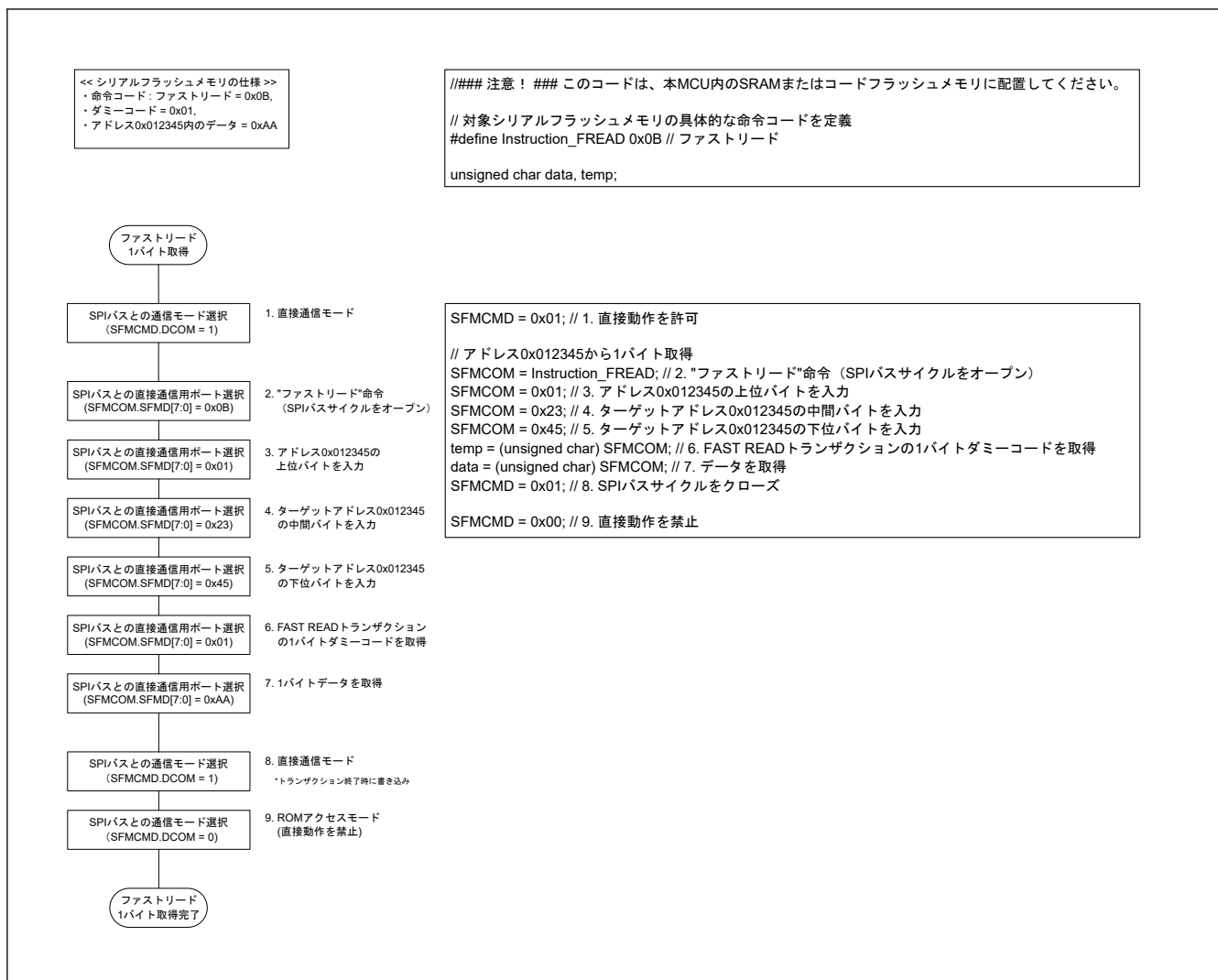


図 32.39 ファストリード命令による1バイト取得のフローチャート

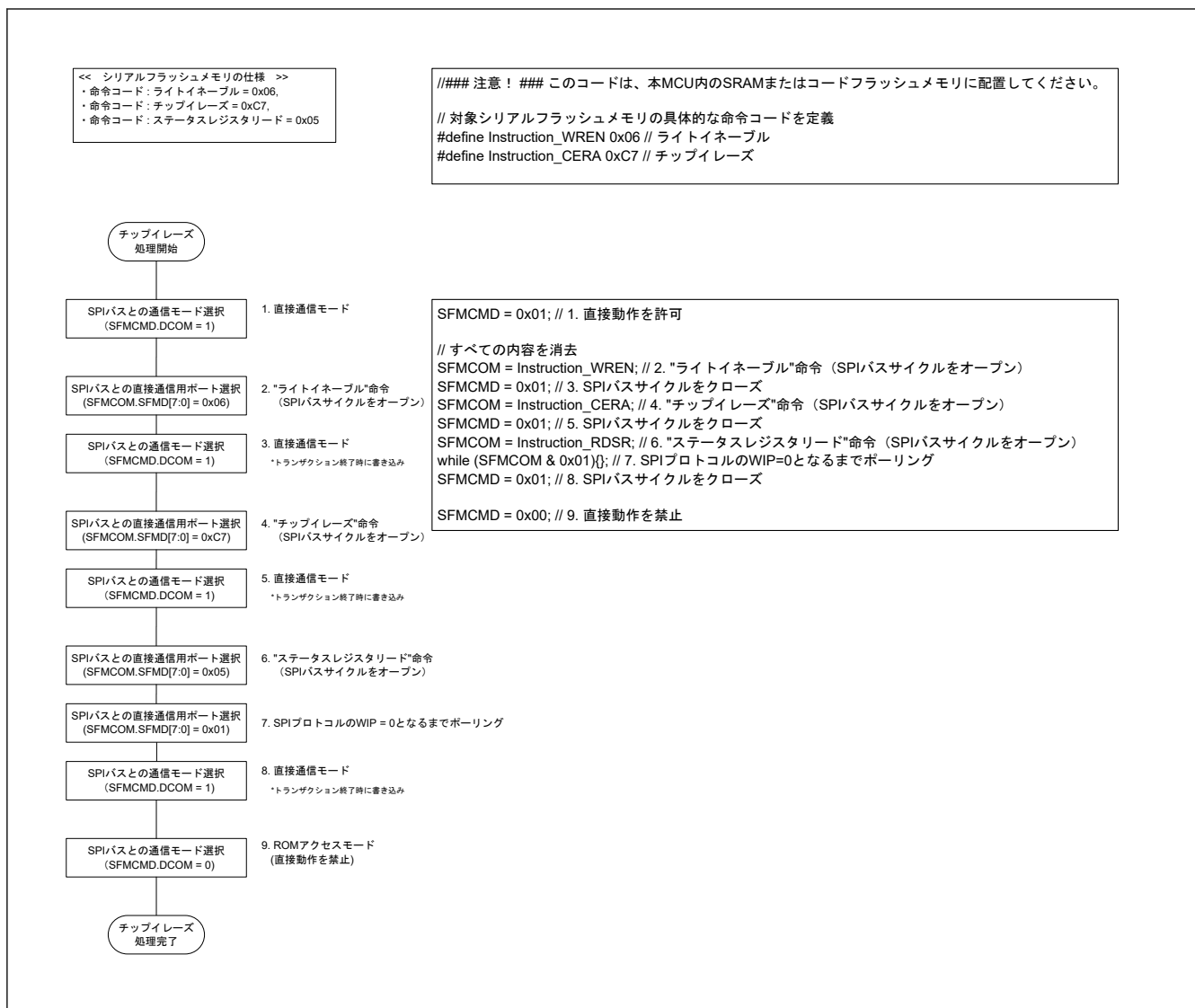


図 32.40 チップイレーズのフローチャート

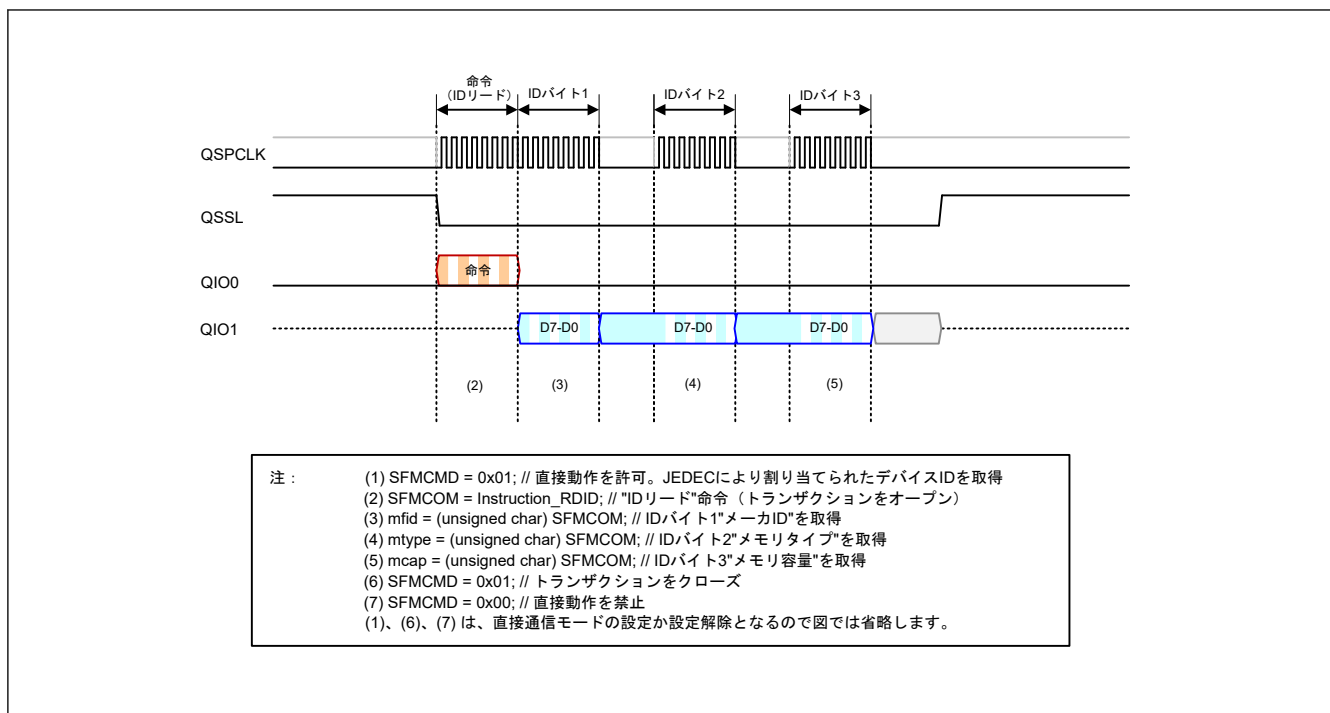


図 32.41 ID リードの直接通信タイミング例

注. 直接通信モードでシングル SPI プロトコル、拡張 SPI プロトコルを使用している場合、シリアルフラッシュメモリの内容を参照するために標準リード命令またはファストリード命令を使用する必要があります。この構成では、QSPI はファストリード Dual 出力、ファストリード Dual I/O、ファストリード Quad 出力、ファストリード Quad I/O の各転送をサポートしていません。これらのファストリード動作が必要な場合、ROM アクセスメモリを使用してください。

32.11 割り込み

直接通信モードで ROM リードアクセスを検出すると、SFMCS.T.EROMR フラグは 1 になり、QSPI は割り込み要求を発生させます。0 書き込みにより EROMR フラグがクリアされるまで、割り込み要求は保持されます。詳細は「12. 割り込みコントローラユニット (ICU)」を参照してください。

32.12 使用上の注意事項

32.12.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) によって、QSPI の動作を禁止または許可することが可能です。リセット後の初期状態では、QSPI の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「10. 低消費電力モード」を参照してください。

32.12.2 複数のコントロールレジスタの設定変更手順

QSPI コントロールレジスタの設定は、システム動作中に動的に変更できます。ただし、複数のコントロールレジスタの設定を連続して変更する場合、すべてのレジスタの更新が完了する前に SPI バスサイクルが発生する場合があります。すべてのレジスタ設定変更段階で SPI バスタイミング仕様を満足するように、レジスタを設定する必要があります。

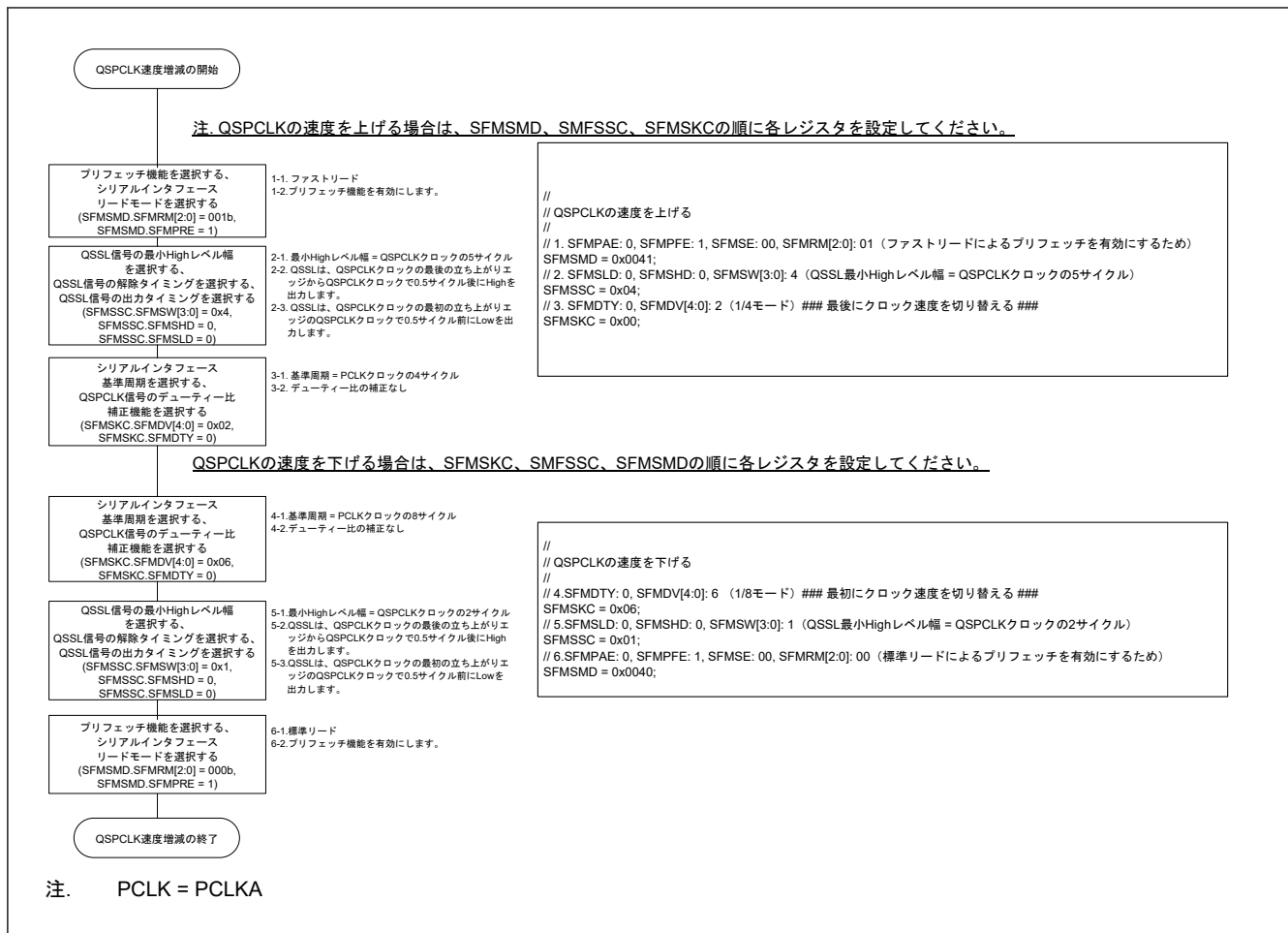


図 32.42 QSPCLK の速度を増減するフローチャート

33. 巡回冗長検査 (CRC)

33.1 概要

巡回冗長検査 (CRC: Cyclic Redundancy Check) 演算器は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。さらに、さまざまな CRC 生成多項式を使用できます。

表 33.1 に CRC 演算器の仕様を、図 33.1 にブロック図を示します。

表 33.1 CRC 演算器の仕様

項目	内容	
データサイズ	8 ビット	32 ビット
CRC 演算対象データ(注1)	8n ビット単位の任意データに対し CRC コードを生成 (n = 自然数)	32n ビット単位の任意データに対し CRC コードを生成 (n = 自然数)
CRC 演算処理方式	8 ビット並列実行	32 ビット並列実行
CRC 生成多項式	3 つの生成多項式から 1 つ選択可能 [8 ビット CRC] $X^8 + X^2 + X + 1$ (CRC-8) [16 ビット CRC] $X^{16} + X^{15} + X^2 + 1$ (CRC-16) $X^{16} + X^{12} + X^5 + 1$ (CRC-CCITT)	2 つの生成多項式から 1 つ選択可能 [32 ビット CRC] $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ (CRC-32) $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$ (CRC-32C)
CRC 演算切り替え	LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。	
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減が可能	
TrustZone フィルタ	セキュリティ属性を設定できます。	

注 1. 本機能は、CRC 演算で使用するデータを分割できません。8 ビット単位または 32 ビット単位で書いてください。

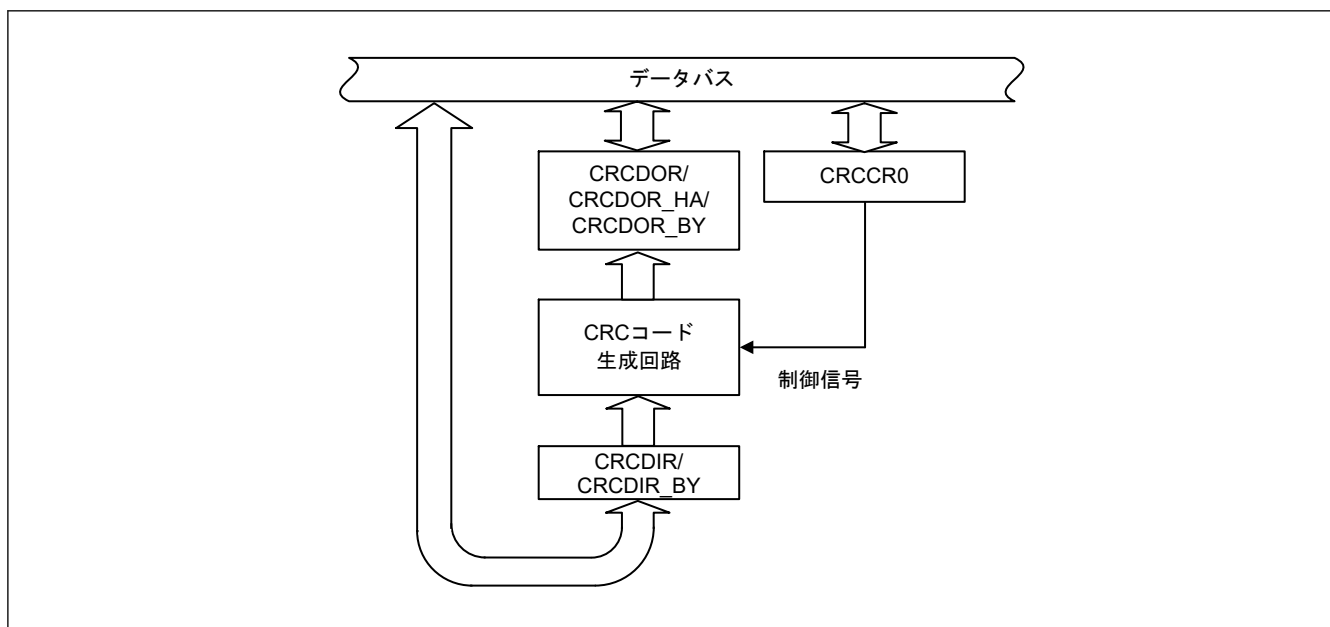


図 33.1 CRC 演算器のブロック図

33.2 レジスタの説明

33.2.1 CRCCR0 : CRC コントロールレジスタ 0

Base address: CRC = 0x4010_8000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DORC LR	LMS	—	—	—	GPS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	GPS[2:0]	CRC 生成多項式切り替え 0 0 1: 8 ビット CRC-8 ($X^8 + X^2 + X + 1$) 0 1 0: 16 ビット CRC-16 ($X^{16} + X^{15} + X^2 + 1$) 0 1 1: 16 ビット CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$) 1 0 0: 32 ビット CRC-32 ($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$) 1 0 1: 32 ビット CRC-32C ($X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$) その他: 演算しない	R/W
5:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	LMS	CRC 演算切り替え 0: LSB ファースト通信用に CRC を生成 1: MSB ファースト通信用に CRC を生成	R/W
7	DORCLR	CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタクリア 0: 影響なし 1: CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタをクリア	W

GPS[2:0]ビット (CRC 生成多項式切り替え)

GPS[2:0]ビットは、CRC 生成多項式を選択します。

LMS ビット (CRC 演算切り替え)

LMS ビットは、生成した CRC コードのビットオーダーを選択します。LSB ファーストで通信を行う場合は CRC コードの下位バイトから先に、MSB ファーストで通信を行う場合は CRC コードの上位バイトから先に送信してください。CRC コードの送信および受信については、「[33.3. 動作説明](#)」を参照してください。

DORCLR ビット (CRCDOR/CRCDOR HA/CRCDOR BY レジスタクリア)

DORCLR ビットを 1 にすると、CRC_{DOR}/CRC_{DOR_HA}/CRC_{DOR_BY} レジスタが 0x00000000 になります。読むと 0 が読めます。このビットには 1 のみ書けます。

33.2.2 CRCDIR/CRCDIR BY : CRC データ入力レジスタ

Base address: CRC = 0x4010_8000

Offset address: 0x04

[illegible]

ビット	シンボル	機能	R/W
31:0	n/a	CRC 入力データ CRCDIR レジスタは、CRC-32 または CRC-32C 演算用データを書き込む 32 ビットの読み出し／書き込みレジスタです。CRCDIR_BY (CRCDIR[31:24]) レジスタは、CRC-8、CRC-16、または CRC-CCITT 演算用データを書き込む 8 ビットの読み出し／書き込みレジスタです。	R/W

33.2.3 CRCDOR/CRCDOR_HA/CRCDOR_BY : CRC データ出力レジスタ

Base address: CRC = 0x4010_8000

Offset address: 0x08

Bit position: 31

0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	n/a	CRC 出力データ CRCDOR レジスタは、CRC-32 または CRC-32C 演算用の 32 ビットの読み出し／書き込みレジスタです。 CRCDOR_HA (CRCDOR[31:16]) レジスタは、CRC-16 または CRC-CCITT 演算用の 16 ビットの読み出し／書き込みレジスタです。 CRCDOR_BY (CRCDOR[31:24]) レジスタは、CRC-8 演算用の 8 ビットの読み出し／書き込みレジスタです。初期値は 0x00000000 です。初期値以外を用いて演算する場合は、CRCDOR レジスタ、CRCDOR_HA レジスタ、または CRCDOR_BY レジスタを書き換えてください。 CRCDIR/CRCDIR_BY レジスタに書き込まれたデータに対して CRC 演算が実行され、結果が CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタに格納されます。転送されたデータに続いて CRC コードを計算し、その結果が 0x00000000 であると、CRC エラーがないと判断できます。	R/W

33.3 動作説明

33.3.1 基本動作

CRC 演算器は、LSB ファーストまたは MSB ファースト転送で使用する CRC コードを生成します。

16 ビットの CRC-CCITT 生成多項式 ($X^{16} + X^{12} + X^5 + 1$) を使用して、入力データ (0xF0) に対し CRC コードを生成する例を以下に示します。この例では、CRC 演算の前に、CRC データ出力レジスタ (CRCDOR_HA) の値をクリアします。

8 ビット CRC ($X^8 + X^2 + X + 1$ の多項式) を使用している場合は、CRCDOR_BY レジスタに有効な CRC コードのビットが得られます。32 ビット CRC を使用している場合は、CRCDOR レジスタに有効な CRC コードのビットが得られます。

図 33.2 と図 33.3 に LSB ファーストおよび MSB ファーストのデータ送信例をそれぞれ示します。図 33.4 と図 33.5 に LSB ファーストおよび MSB ファーストのデータ受信例をそれぞれ示します。

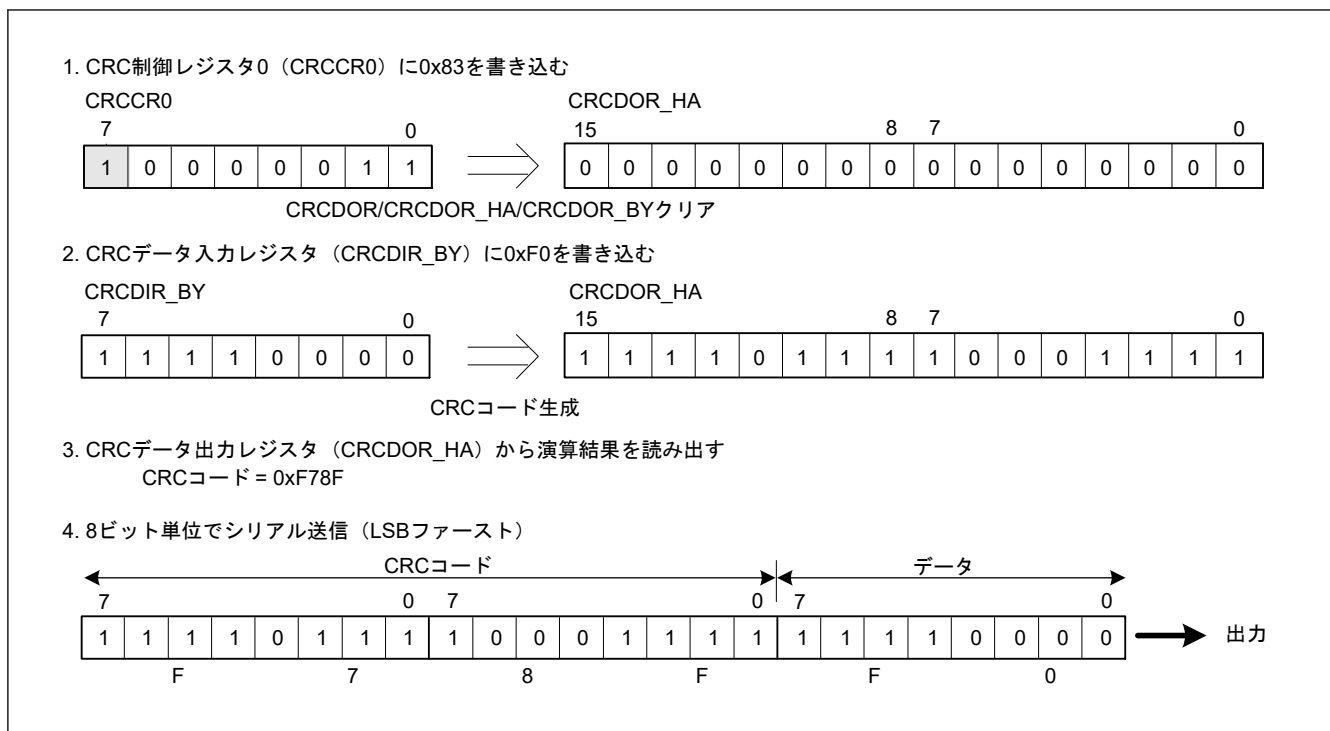


図 33.2 LSB ファーストのデータ送信

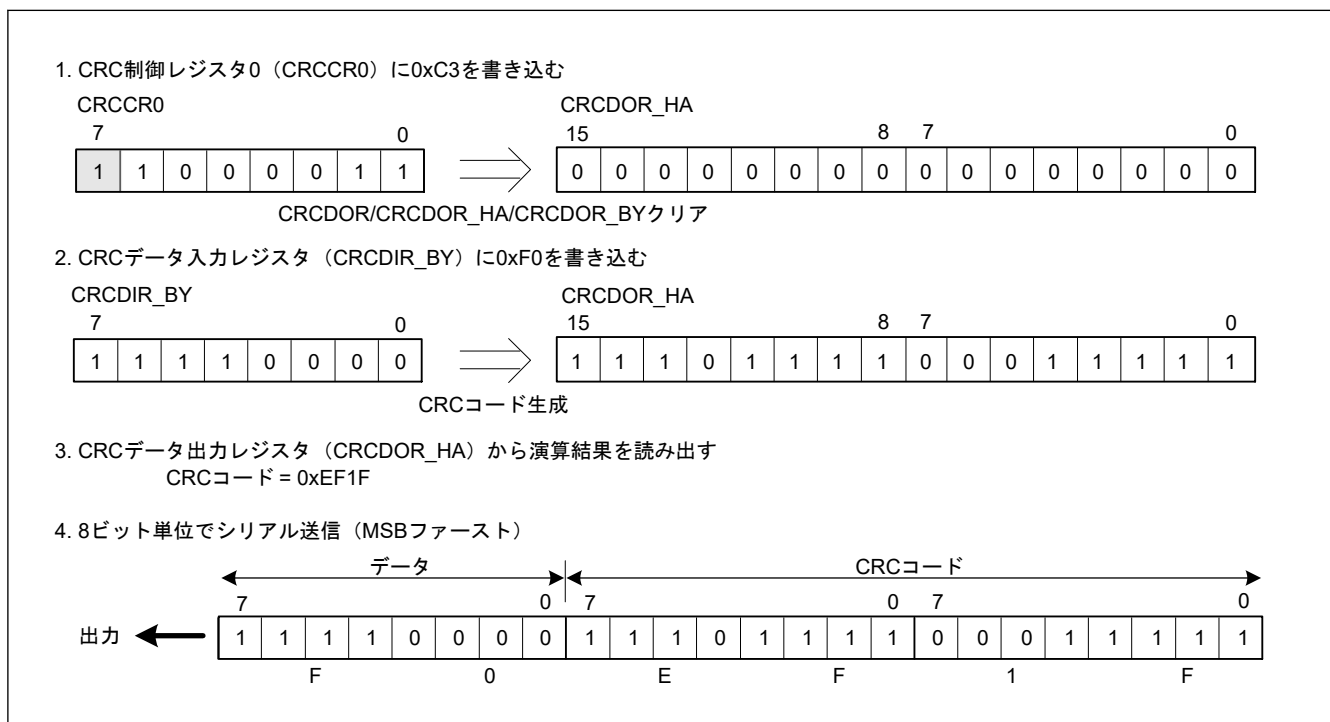
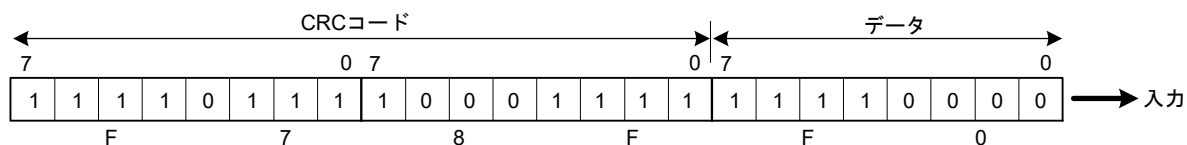


図 33.3 MSB ファーストのデータ送信

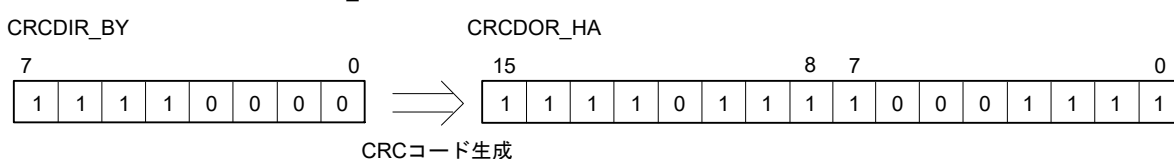
1. 8ビット単位でシリアル受信 (LSBファースト)



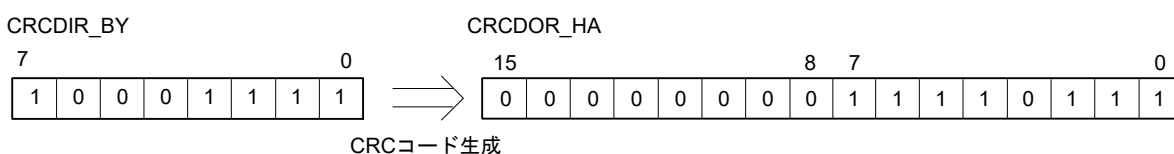
2. CRC制御レジスタ0 (CRCCR0) に0x83を書き込む



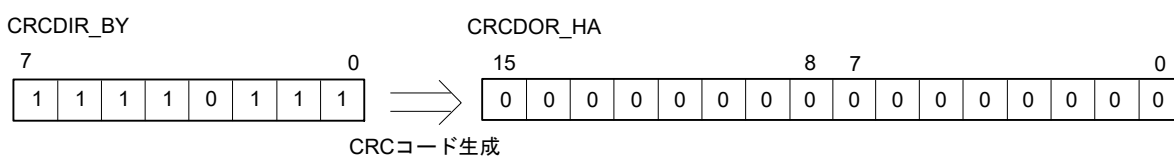
3. CRCデータ入力レジスタ (CRCDIR_BY) に0xF0を書き込む



4. CRCデータ入力レジスタ (CRCDIR_BY) に0x8Fを書き込む



5. CRCデータ入力レジスタ (CRCDIR_BY) に0xF7を書き込む

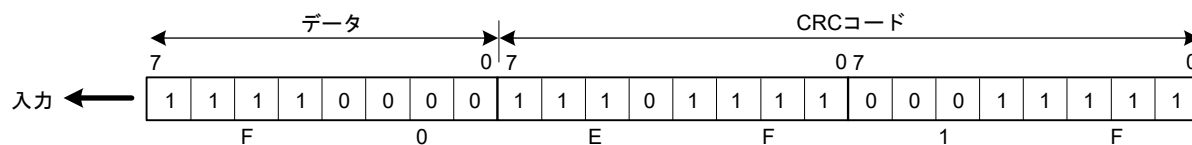


6. CRCデータ出力レジスタ (CRCDOR_HA) から演算結果を読み出す

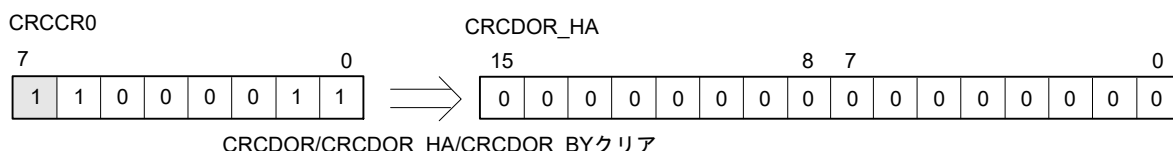
CRCコード = 0x0000 → エラーなし

図 33.4 LSB ファーストのデータ受信

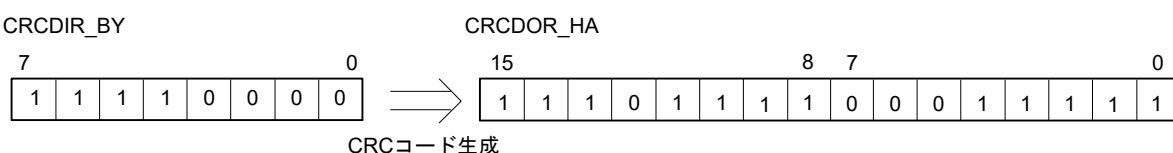
1. 8ビット単位でシリアル受信 (MSBファースト)



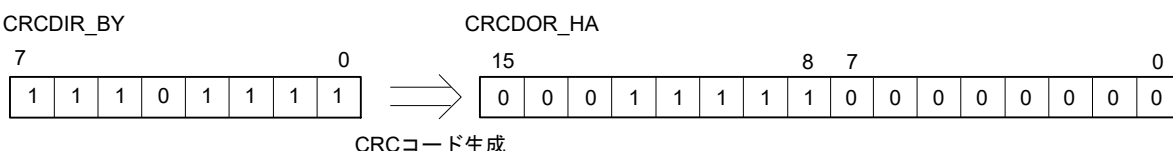
2. CRC制御レジスタ0 (CRCCR0) に0xC3を書き込む



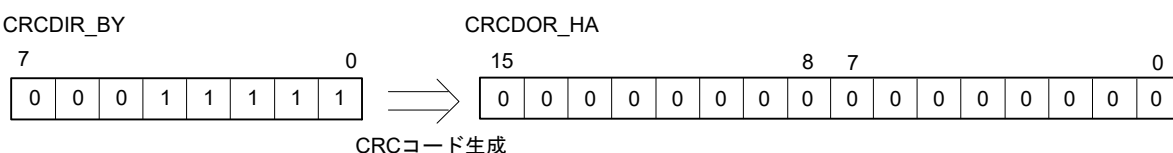
3. CRCデータ入力レジスタ (CRCDIR_BY) に0xF0を書き込む



4. CRCデータ入力レジスタ (CRCDIR_BY) に0xEFを書き込む



5. CRCデータ入力レジスタ (CRCDIR_BY) に0x1Fを書き込む



6. CRCデータ出力レジスタ (CRCDOR_HA) から演算結果を読み出す

CRCコード = 0x0000 → エラーなし

図 33.5 MSB ファーストのデータ受信

33.4 使用上の注意事項

33.4.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、CRC 演算器の動作禁止／許可を設定することが可能です。リセット後の値では、CRC 演算器の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[10. 低消費電力モード](#)」を参照してください。

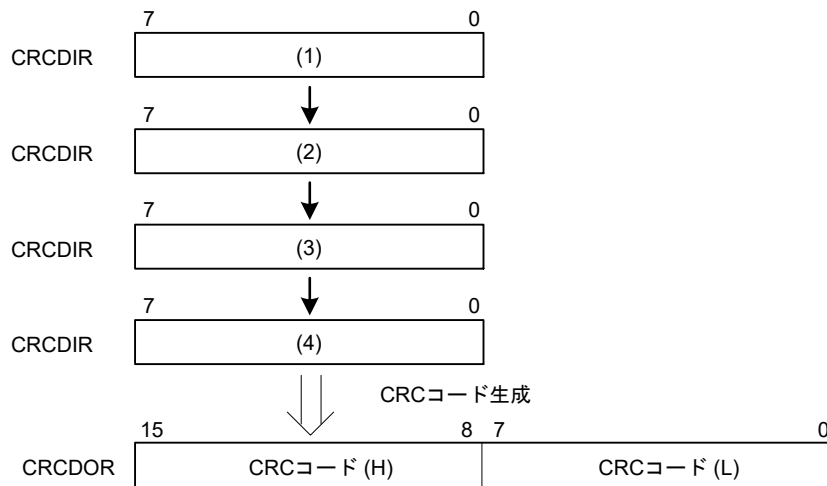
33.4.2 送信時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とでは、CRC コードの送信順序が異なります。図 33.6 に LSB ファーストと MSB ファーストのデータ送信を示します。

32ビットのデータを送信する場合（8ビット単位での並列処理）

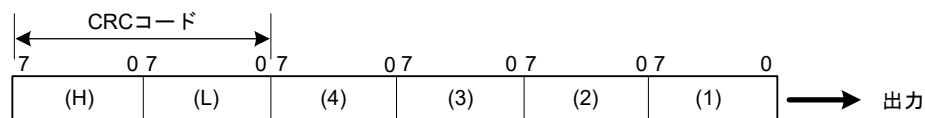
1. CRCコード

生成演算方法を指定後、(1) → (2) → (3) → (4) の順でCRCDIRにデータを書く



2. 送信データ

(i) LSBファーストで送信する場合



(ii) MSBファーストで送信する場合

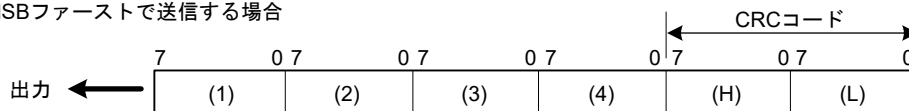


図 33.6 LSB ファーストと MSB ファーストのデータ送信

34. Renesas セキュア IP (RSIP-E31A)

34.1 概要

本セキュリティエンジンは、アクセスマネジメント回路、ストレージ領域、暗号／復号回路、および乱数生成回路からなる隔離されたサブシステムで構成されます。セキュリティエンジンは、RSIP ライブラリを組み合わせることで、盗聴を防止する「秘匿性」、情報の偽造を防止する「完全性」、成りすましを防止する「認証」を実現できます。

また、暗号と復号の処理に用いる鍵情報はセキュリティエンジン内のみに格納し、外部からの全アクセスを遮断可能なため、セキュリティエンジンによって、より強固なセキュリティシステムを実現できます。

表 34.1 にセキュリティエンジンの仕様を示します。図 34.1 にセキュリティエンジンのブロック図を示します。

表 34.1 セキュリティエンジンの仕様 (1/2)

項目	仕様
アクセス制御	アクセスマネジメント回路 プログラムの改ざんや、CPU の暴走等によりセキュリティエンジンへの異常なアクセスが発生した場合、それ以降のアクセスを受け付けず、セキュリティエンジンからのデータ出力を停止。これに応じて割り込み RSIP_TADI を生成。
対称暗号	AES: NIST FIPS PUB 197 に準拠 - 鍵長：128 ビットまたは 256 ビット - データブロックサイズ：128 ビット - AES は以下のブロック暗号モードをサポートしています。 - ECB, CBC, CTR: NIST SP 800-38A に準拠 - CCM: NIST SP 800-38C に準拠 - GCM: NIST SP 800-38D に準拠 - AES は以下の認証アルゴリズムをサポートしています。 - CMAC : NIST SP 800-38B に準拠 - GMAC: NIST SP 800-38D に準拠
乱数生成	128 ビット真性乱数生成回路
非対称暗号	ECC - 演算可能ビットの最大数：384 ビット - 曲線のサポート - NIST P-256, P-384 - Brainpool P256r1, P384r1 - secp256k1 - Ed25519 - 署名の生成、署名の検証、鍵の生成
メッセージダイジェスト計算	HASH - ブロックサイズ： 512 ビット (SHA-224, SHA-256) 1024 ビット (SHA-512/224, SHA-512/256, SHA-384, SHA-512) - 鍵サイズ：512 ビット以下 - HASH は以下のセキュアハッシュアルゴリズムをサポートしています。 - SHA-224, SHA-256, SHA-512/224, SHA-512/256, SHA-384, SHA-512: FIPS PUB 180-4 準拠 - HASH は以下のメッセージ認証アルゴリズムをサポートしています。 - HMAC : FIPS PUB 198 準拠
ハードウェアユニーク鍵	- 読み出し専用の 256 ビットハードウェアユニーク鍵 (HUK) は、セキュリティエンジンアクセスマネジメント回路から専用バスを経由して排他的にアクセスできます。 - 鍵導出関数 (KDFs) は、ハードウェアユニーク鍵と鍵生成情報を組み合わせます。導出した鍵は、ユーザー鍵セキュアストレージ用に鍵ラッピングを実行します。 - HUK の一意性は、本 MCU グループの別の個体への鍵の不正なクローン作成と不正なコピーを防止します。 - HUK 自体は、ラッピングされた（暗号化され平文でない）フォーマット、隔離されたメモリ領域に格納されます。そのため、不正なアクセスやコピーから保護されます。
アプリケーション鍵の管理	ラップした鍵は、セキュリティエンジンの内部でのみ有効

表 34.1 セキュリティエンジンの仕様 (2/2)

項目	仕様
ユニーク ID	- 読み出し専用、128 ビットの MCU 個体固有 ID (ユニーク ID) をアクセス管理回路からアクセス可能 - 鍵導出関数 (KDFs) は、ユニーク ID と鍵生成情報を組み合わせます。このように導出された鍵は、セキュリティエンジン境界内部で HUK をアンラップするのに使用します。
改ざん防止	SPA/DPA およびタイミング攻撃を含む、サイドチャネル攻撃に対する対策が使用可能
モジュールストップ機能	消費電力低減のためにモジュールストップ状態を設定可能
TrustZone フィルタ	セキュリティ属性を設定可能

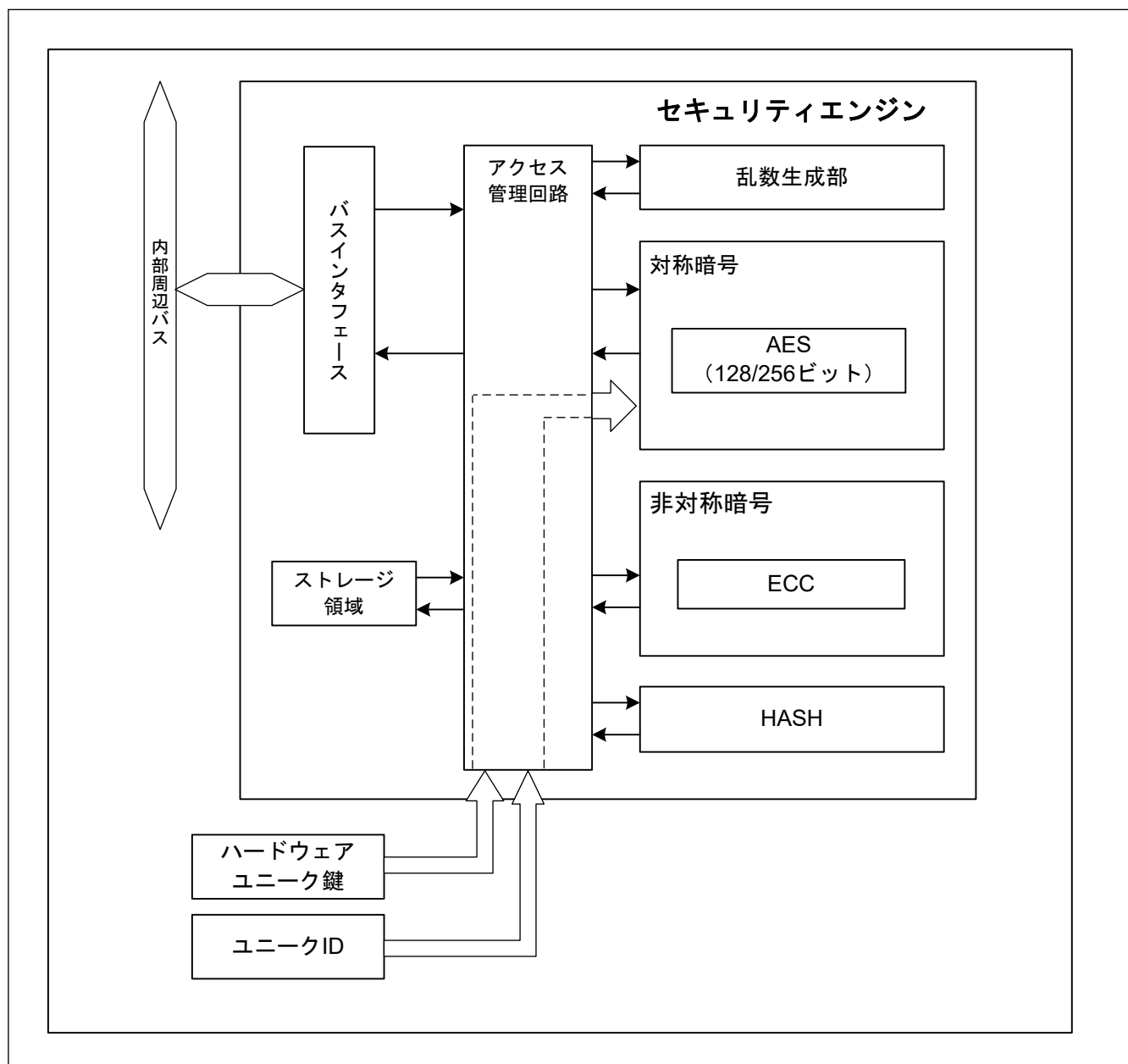


図 34.1 セキュリティエンジンのブロック図

34.2 動作説明

34.2.1 対称暗号

図 34.2 にセキュリティエンジンに組み込まれた対称暗号の概念図を示します。

対称暗号は入力鍵情報を使用し、ハードウェアで平文を暗号文に、または暗号文を平文に変換します。

鍵データや暗号／復号処理の中間データがセキュリティエンジンの外部に漏出することなく、暗号／復号処理を完了することができます。暗号／復号処理は、セキュリティエンジンの内部の暗号／復号回路とストレージ領域で行われます。

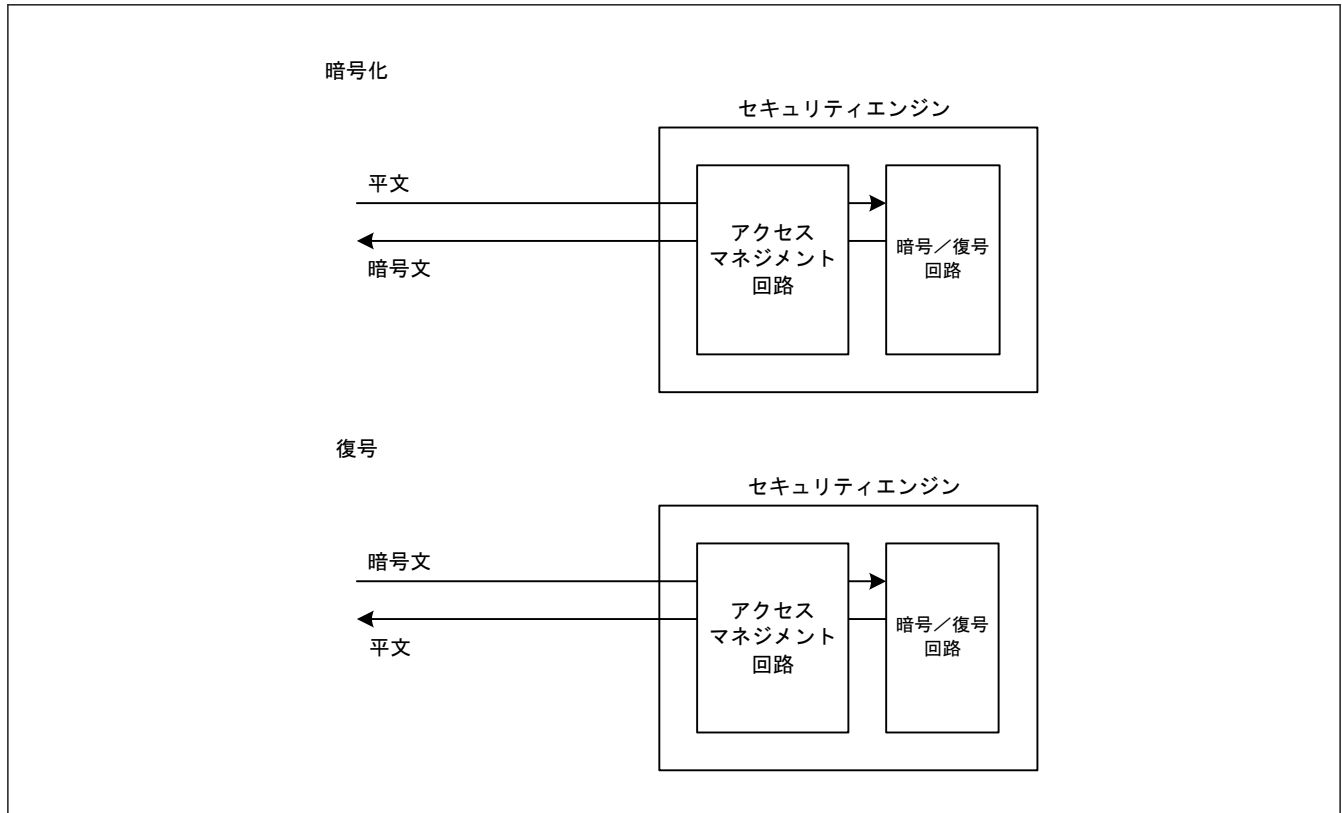


図 34.2 対称暗号の概念図

34.2.2 非対称暗号

図 34.3 にセキュリティエンジンに組み込まれた非対称暗号の概念図を示します。

非対称暗号は入力鍵情報を使用し、平文を暗号文に、または暗号文を平文に変換し、署名を生成および検証します。

鍵データや暗号／復号処理の中間データがセキュリティエンジンの外部に漏出することなく、暗号／復号処理または署名の生成および検証を完了することができます。暗号／復号処理または署名の生成および検証は、セキュリティエンジンの内部の暗号回路とストレージ領域で行われます。

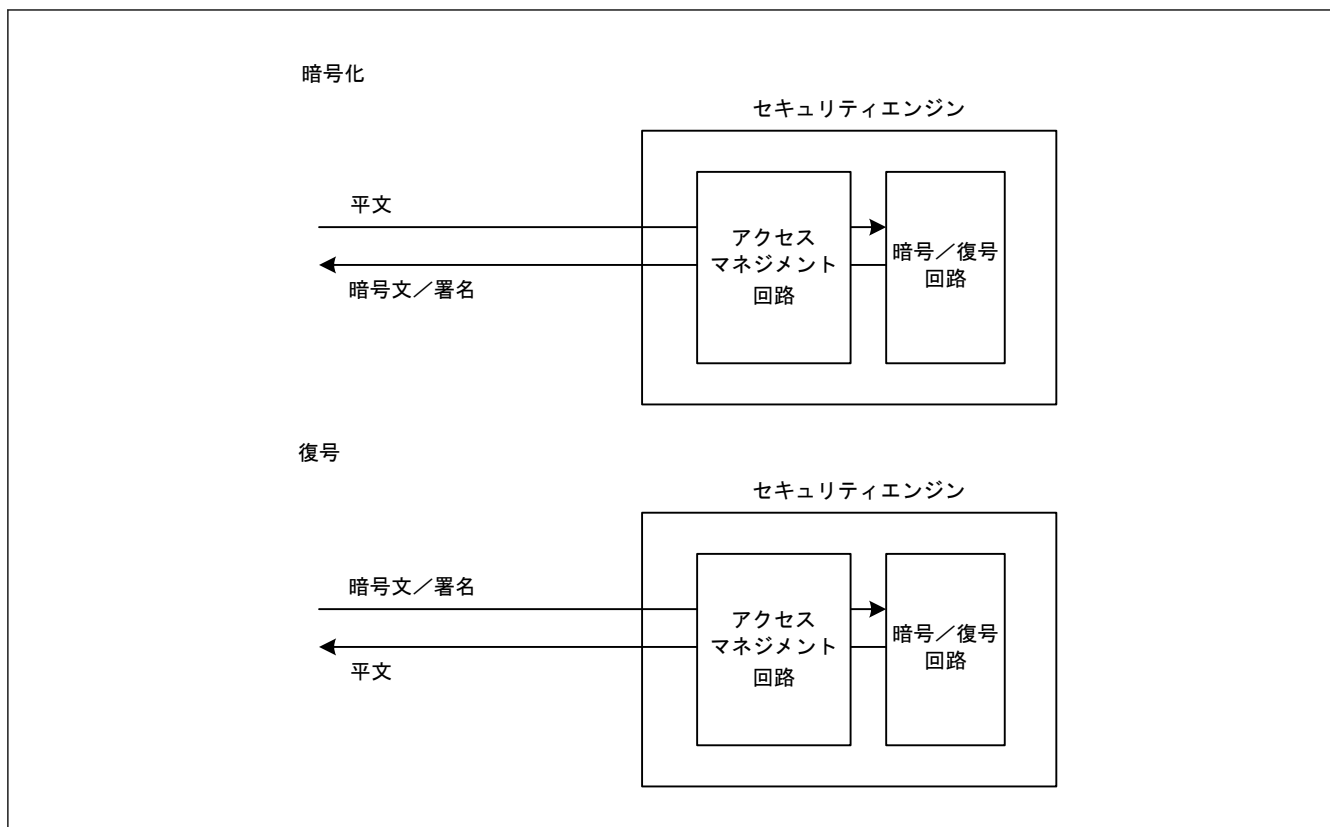


図 34.3 非対称暗号の概念図

34.2.3 ハッシュ生成部

図 34.4 にセキュリティエンジンに組み込まれたハッシュ生成部の概念図を示します。

ハッシュ生成部は入力鍵情報を使用し（ハッシュの計算に必要な場合）、メッセージダイジェストまたはタグを生成します。

鍵データやハッシュの計算処理の中間データがセキュリティエンジンの外部に漏出することなく、ハッシュの計算処理を完了することができます。ハッシュの計算処理は、セキュリティエンジンの内部のハッシュ回路とストレージ領域で行われます。

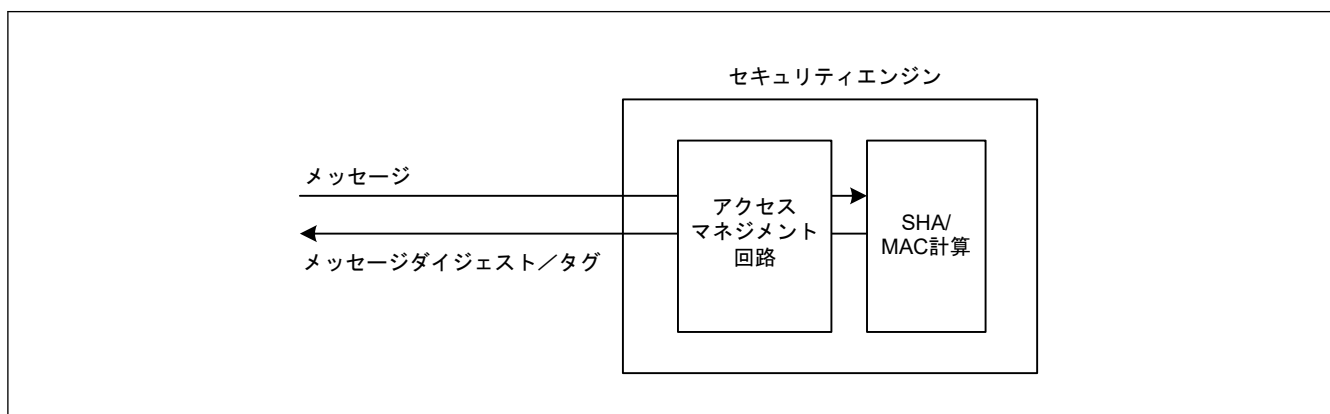


図 34.4 ハッシュ生成部の概念図

34.2.4 暗号/復号処理

暗号/復号処理は、以下の手順で行います。

1. セキュリティエンジンに鍵情報を入力します。
2. セキュリティエンジンに処理対象のデータを入力します。平文は暗号文に、暗号文は平文に変換されます。

3. 変換されたデータを読み出します。

暗号／復号回路は入力バッファと出力バッファを持っており、データの入出力と並行して暗号／復号処理を行うことができます。図 34.5 に暗号エンジンの処理タイミングを示します。

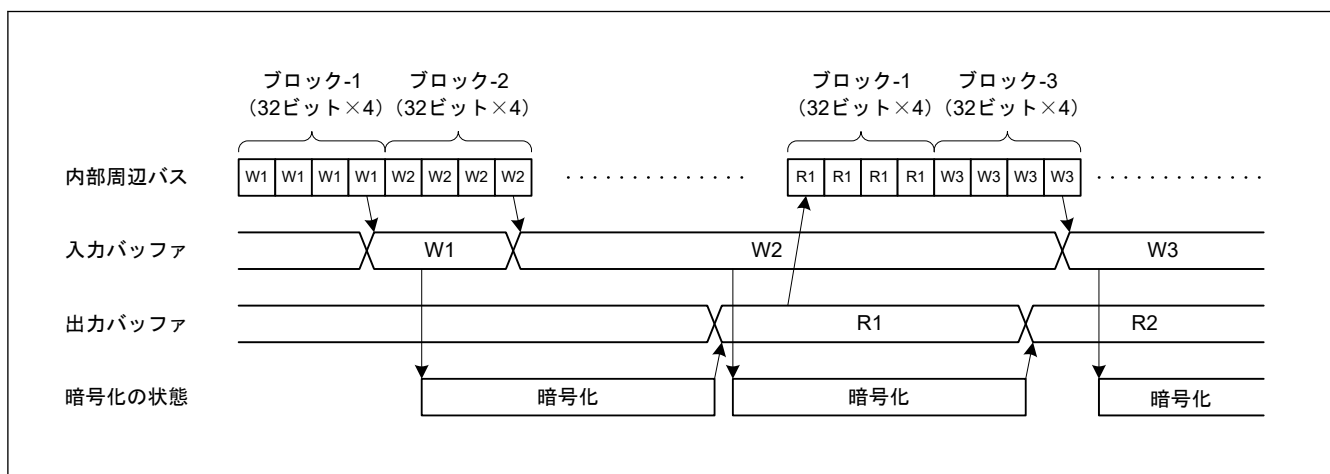


図 34.5 暗号／復号処理タイミング (AES)

34.3 使用上の注意事項

34.3.1 ソフトウェアスタンバイモード

セキュリティエンジンが処理を実行している途中でソフトウェアスタンバイモードに移行した場合、ソフトウェアスタンバイモード解除後に適正な処理を再開できません。そのため、ソフトウェアスタンバイモードへの移行は、セキュリティエンジンが動作していない状態で行ってください。

34.3.2 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、セキュリティエンジンの動作を無効または有効にすることができます。リセット後の初期状態で、セキュリティエンジンモジュールは停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。

34.3.3 SPA/DPA 保護

SPA/DPA 保護は暗号／復号処理を選択的に許可することができます。

34.3.4 開放処理における制限事項

セキュリティエンジンの API で開放処理 (R_RSIP_Open) を実行中は、以下の制限事項が適用されます。

- 使用可能な CPU の最高周波数は 80 MHz です。
- ICLK と PCLK_n (n = A～D) の周波数を変更しないでください。
- MSTPCR_n レジスタ (n = A～E) の設定を変更しないでください。
- スリープモード、ソフトウェアスタンバイモード、およびスヌーズモードへ移行しないでください。

35. 12 ビット A/D コンバータ (ADC12)

35.1 概要

本 MCU は、逐次比較方式の 12 ビット A/D コンバータ (ADC12) ユニットを内蔵しています。変換には最大 16 チャンネルのアナログ入力を選択できます。また、温度センサ出力および内部基準電圧を選択できます。

ADC12 は次の動作モードをサポートします。

- 選択したチャンネルのアナログ入力を、チャンネル番号の昇順に変換するシングルスキャンモード
- 選択したチャンネルのアナログ入力を、チャンネル番号の昇順に連続して変換する連続スキャンモード
- チャンネルのアナログ入力を 2 つのグループ（グループ A とグループ B）に分け、グループ単位で選択したチャンネルのアナログ入力をチャンネル番号の昇順に変換するグループスキャンモード

グループスキャンモードでは、2 つのグループ（グループ A とグループ B）を選択してください。各グループ（グループ A、グループ B）のスキャンスタートコンディションを個別に選択し、各グループのスキャンを異なるタイミングで開始することができます。さらに、グループ A の優先制御動作を設定すると、ADC12 はグループ B の A/D 変換動作中にグループ A のスキャン開始を受け付けて、グループ B の A/D 変換動作を中断します。これにより、グループ A の A/D 変換開始により高い優先度を割り当てられます。

ダブルトリガモードは、任意に選択した 1 チャンネルのアナログ入力をシングルスキャンモードかグループスキャンモード（グループ A）で変換し、1 回目の A/D 変換開始トリガで変換したデータと 2 回目の A/D 変換開始トリガで変換したデータを別々のレジスタに格納（A/D 変換データの 2 重化）します。

自己診断は、スキャンごとの最初に 1 回実施され、ADC12 で生成される 3 つの基準電圧値のうち 1 つを A/D 変換します。

A/D 変換には温度センサ出力および内部基準電圧を同時に選択できません。温度センサ出力または内部基準電圧の A/D 変換は個別に行ってください。

ADC12 はコンペア機能（ウィンドウ A およびウィンドウ B）も搭載しています。コンペア機能は、ウィンドウ A およびウィンドウ B それぞれの上側基準値および下側基準値を指定し、選択したチャンネルの A/D 変換値が比較条件に一致すると割り込みを出力します。

基準電源端子 (VREFH0)、アナログ部の電源端子 (AVCC0)、または内部基準電圧は、高電位基準電圧として選択可能です。基準電源グランド端子 (VREFL0) またはアナログ部の電源グランド端子 (AVSS0) は、低電位基準電圧として選択可能です。高電位基準電圧に内部基準電圧を選択した場合、温度センサ出力や内部基準電圧の A/D 変換は禁止です。

表 35.1 に ADC12 の仕様を、表 35.2 にその機能一覧を示します。図 35.1 に ADC12 のブロック図を、表 35.3 に入出力端子を示します。

表 35.1 ADC12 の仕様 (1/3)

項目	内容
ユニット数	1 ユニット
入力チャンネル	最大 16 チャンネル (AN000~AN006, AN017~AN025)
拡張アナログ機能	温度センサ出力、内部基準電圧
A/D 変換方式	逐次比較方式
分解能	12 ビット
変換時間	通常変換モード (ADACSR.ADSAC = 0) : 1 チャンネル当たり 0.94 μ s (12 ビット A/D 変換クロック PCLKC (ADCLK) が 48 MHz で動作時) 高速変換モード (ADACSR.ADSAC = 1) : 1 チャンネル当たり 0.67 μ s (12 ビット A/D 変換クロック PCLKC (ADCLK) が 48 MHz で動作時)
A/D 変換クロック	周辺モジュールクロック PCLKA と A/D 変換クロック PCLKC (ADCLK) を以下の分周比で設定可能 : PCLKA:PCLKC (ADCLK) の周波数比 = 1:1、2:1、4:1、8:1、1:2、1:4

表 35.1 ADC12 の仕様 (2/3)

項目	内容
データレジスタ(注1)	- アナログ入力用 16 本 - ダブルトリガモードでの A/D 変換データ 2 重化用 1 本 - ダブルトリガモードでの拡張動作時の A/D 変換データ 2 重化用 2 本 - 温度センサ出力用 1 本 - 内部基準電圧用 1 本 - 自己診断用 1 本 - A/D 変換結果を A/D データレジスタに格納 12 ビット精度の A/D 変換結果 - A/D 変換値加算モード (A/D 変換結果の加算値を変換精度ビット数+拡張ビット数で A/D データレジスタに格納) - ダブルトリガモード (シングルスキャンとグループスキャンモードで選択可能): - 選択した 1 つのチャンネルのアナログ入力の A/D 変換データを 1 回目は対象チャンネルのデータレジスタに格納、2 回目の A/D 変換データは 2 重化レジスタに格納 - ダブルトリガモード拡張動作 (特定トリガで使用可能): - 選択した 1 つのチャンネルのアナログ入力の A/D 変換データを関連するトリガに準備した 2 重化レジスタに格納
動作モード(注2)	- シングルスキャンモード: - 任意に選択したチャンネルのアナログ入力、温度センサ出力、内部基準電圧を 1 回のみ A/D 変換 - 連続スキャンモード: - 選択したチャンネルのアナログ入力を繰り返し A/D 変換 - グループスキャンモード: - 選択したチャンネルのアナログ入力、温度センサ出力、および内部基準電圧をグループ A とグループ B に分け、グループ単位で選択したアナログ入力を 1 回のみ A/D 変換 - グループ A、グループ B は各々のスキャンスタートコンディションを別々に選択することで、グループ A、グループ B の A/D 変換を独立して開始することが可能 - グループスキャンモード (グループ優先動作選択時): - 低優先グループのスキャン中に優先グループのトリガがあった場合、低優先グループのスキャンを中断し、優先グループのスキャンを開始。優先順位は、グループ A > グループ B。
A/D 変換開始条件	- ソフトウェアトリガ - イベントリンクコントローラ (ELC) からの同期トリガ - 外部トリガ端子 ADTRG0 による非同期トリガ
機能	- サンプリングステート数可変機能 - A/D コンバータの自己診断機能 - A/D 変換値加算モードと平均モードが選択可能 - アナログ入力断線検出機能 (ディスチャージ機能およびプリチャージ機能) - ダブルトリガモード (A/D 変換データ 2 重化機能) - A/D データレジスタオートクリア機能 - デジタルコンペア機能 (コンペアレジスタとデータレジスタの比較、データレジスタ間の比較)
割り込み要因	- シングルスキャンモード (ダブルトリガモード非選択) では、1 回のスキャン完了で A/D スキャン終了割り込み要求 (ADC120_ADI) および ELC イベント信号 (ADC120_ADI) を発生可能 - デジタルコンペア機能の比較条件成立で、コンペア割り込み要求 (ADC120_CMPAI/ADC120_CMPBI) を発生可能 - デジタルコンペア機能の比較条件成立で、ウィンドウコンペア ELC イベント信号 (ADC120_WCMPPM) を発生可能 - デジタルコンペア機能の比較条件不成立で、ウィンドウコンペア ELC イベント信号 (ADC120_WCMPUM) を発生可能 - シングルスキャンモード (ダブルトリガモード選択) では、2 回のスキャン完了で A/D スキャン終了割り込み要求 (ADC120_ADI) および ELC イベント信号 (ADC120_ADI) を発生 - 連続スキャンモードでは、選択した全チャンネルのスキャン完了で A/D スキャン終了割り込み要求 (ADC120_ADI) および ELC イベント信号 (ADC120_ADI) を発生 - グループスキャンモード (ダブルトリガモード非選択) では、グループ A のスキャン完了で A/D スキャン終了割り込み要求 (ADC120_ADI) および ELC イベント信号 (ADC120_ADI) を発生。グループ B のスキャン完了でグループ B の A/D スキャン終了割り込み要求 (ADC120_GBADI) を発生 - グループスキャンモード (ダブルトリガモード選択) では、2 回のグループ A のスキャン完了で A/D スキャン終了割り込み要求 (ADC120_ADI) および ELC イベント信号 (ADC120_ADI) を発生。グループ B のスキャン完了でグループ B の A/D スキャン終了割り込み要求 (ADC120_GBADI) を発生可能 - ADC120_ADI、ADC120_GBADI、ADC120_WCMPPM、および ADC120_WCMPUM は、データトランスファコントローラ (DTC) を起動可能
ELC インタフェース	- グループスキャンモードでグループ A のスキャン終了時にイベント発生 - グループスキャンモードでグループ B のスキャン終了時にイベント発生 - すべてのスキャン終了時にイベント発生 - ELC からのトリガでスキャン開始可能 - シングルスキャンモードでのコンペア機能ウィンドウの条件に応じてイベント発生

表 35.1 ADC12 の仕様 (3/3)

項目	内容
基準電圧	- VREFH0、AVCC0、または内部基準電圧（外部基準電圧または基準電圧生成回路からの出力電圧）をアナログ基準電圧として選択可能 - VREFL0 または AVSS0 をアナログ基準グランド電圧として選択可能
モジュールストップ機能	消費電力低減のためにモジュールストップ状態を設定可能 ^(注3)
TrustZone フィルタ	セキュリティ属性を設定可能

注 1. A/D 変換精度を変えた場合、A/D 変換時間も変わります。詳細は、「35.3.6. アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

注 2. 温度センサ出力と内部基準電圧を選択している場合は、連続スキャンモードやグルーブスキャンモードを使用しないでください。

注 3. 詳細は、「10. 低消費電力モード」を参照してください。

表 35.2 ADC12 の機能

項目	機能		
アナログ入力チャネル	AN000～AN006, AN017～AN025 内部基準電圧 温度センサ出力		
A/D 変換開始条件	ソフトウェア	ソフトウェアトリガ	許可
	非同期トリガ（外部トリガ）	トリガ入力端子	ADTRG0
	同期トリガ（ELC からのトリガ）	ELC トリガ	ELC_AD00、ELC_AD01
割り込み	ADC120_ADI ADC120_GBADI ADC120_CMPAI ADC120_CMPBI		
ELC への出力	ADC120_ADI ADC120_WCMPPM ADC120_WCMPUM		
モジュールストップ機能の設定 ^{(注1)(注2)}	MSTPCRD.MSTPD16 ビット		

注 1. 詳細は、「10. 低消費電力モード」を参照してください。

注 2. モジュールストップ状態の解除後に A/D 変換を開始するのに、1 μ s 以上待機します。

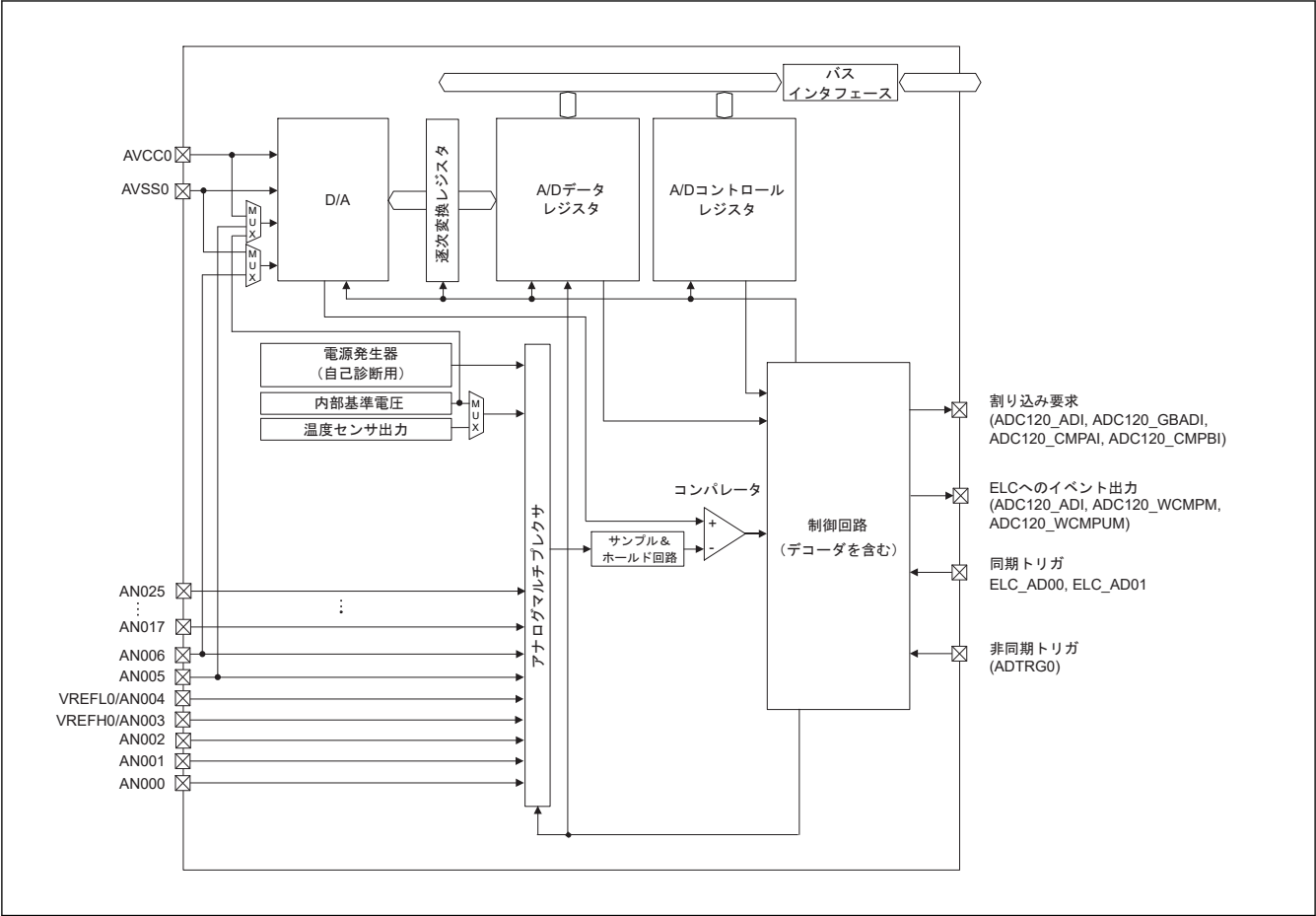


図 35.1 ADC12 のブロック図

表 35.3 に ADC12 の入出力端子の一覧を示します。

表 35.3 ADC12 の入出力端子

端子名	入出力	機能
AVCC0	入力	アナログ部の電源端子 ADC12 を使用しないときは VCC に接続してください
AVSS0	入力	アナログ部の電源グランド端子 ADC12 を使用しないときは VSS に接続してください
VREFH0	入力	アナログ基準電圧端子
VREFL0	入力	アナログ基準グランド端子
AN000～AN006, AN017～AN025	入力	アナログ入力端子 0～6、17～25
ADTRG0	入力	A/D 変換開始のための外部トリガ入力端子

35.2 レジスタの説明

35.2.1 ADDRn : A/D データレジスタ n (n = 0～6、17～25)

Base address:	ADC120 = 0x4017_0000
Offset address:	0x020 + 0x2 × n (n = 0～6, 17～25)
Bit position:	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
Bit field:	ADDR [15:0]
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
15:0	ADDR [15:0]	変換値 15~0 機能は、選択したモードと精度により異なります。表 35.4 と表 35.5 を参照してください。	R

ADDR_n レジスタは、A/D 変換結果を格納する 16 ビットの読み出し専用レジスタです。

これらの A/D データレジスタは、下記の条件によりデータフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値（左詰めまたは右詰め）
- 加算／平均回数選択ビット (ADADC.ADC[2:0]) の設定値（1、2、3、4、または 16 回）
- 平均モード有効ビット (ADADC.AVEE) の設定値（加算または平均）

本節では異なるモードにおけるこれらの条件に対するデータフォーマットを説明します。

(1) A/D 変換値加算／平均モードを非選択とした場合

12 ビット精度でのビット割り当ての例を表 35.4 に示します。

表 35.4 12 ビット精度でのビット割り当ての例

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	読むと 0 が読めます。				変換値 11~0: 12 ビット A/D 変換値											
12 ビット精度の左詰めデータ	変換値 11~0: 12 ビット A/D 変換値												読むと 0 が読めます。			

(2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードで 2 回または 4 回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、本レジスタは特定チャンネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

(3) A/D 変換値加算モードを選択した場合

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 1、2、3、または 4 回を選択できます。A/D 変換結果は、指定された変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに格納されます。

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 16 回を選択できます。A/D 変換値加算モードを選択したとき、本レジスタは同一チャンネルの A/D 変換値を加算した値を示します。A/D 変換結果は、変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに格納されます。

A/D 変換値加算モードを選択した場合、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

12 ビット精度でのビット割り当ての例を表 35.5 に示します。

表 35.5 A/D 変換値加算モードを選択した場合の 12 ビット精度でのビット割り当ての例

精度		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の 右詰めデータ	16 回変換を指定 した場合	加算結果 15～0: 16 ビット A/D 変換結果の合計															
	1、2、3、または 4 回変換を指定 した場合	読むと 0 が読めま す。		加算結果 13～0: 14 ビット A/D 変換値加算結果													
12 ビット精度の 左詰めデータ	16 回変換を指定 した場合	加算結果 15～0: 16 ビット A/D 変換結果の合計															
	1、2、3、または 4 回変換を指定 した場合	加算結果 13～0: 14 ビット A/D 変換値加算結果															読むと 0 が読めま す。

35.2.2 ADDBLDR : A/D データ 2 重化レジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x018

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADDBLDR [15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ADDBLDR [15:0]	変換値 15~0 機能は、選択したモードと精度により異なります。表 35.6 と表 35.7 を参照してください。	R

ADDBLDR レジスタは、ダブルトリガモード選択時の 2 回目のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

これらの A/D データレジスタは、下記の条件によりデータフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値（左詰めまたは右詰め）
- 加算／平均回数選択ビット (ADADC.ADC[2:0]) の設定値（1、2、3、4、または 16 回）
- 平均モード有効ビット (ADADC.AVEE) の設定値（加算または平均）

本節では異なるモードにおけるこれらの条件に対するデータフォーマットを説明します。

(1) A/D 変換値加算／平均モードを非選択とした場合

12 ビット精度でのビット割り当ての例を表 35.6 に示します。

表 35.6 12 ビット精度でのビット割り当ての例

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	読むと 0 が読めます。				変換値 11~0: 12 ビット A/D 変換値											
12 ビット精度の左詰めデータ	変換値 11~0: 12 ビット A/D 変換値												読むと 0 が読めます。			

(2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードで 2 回または 4 回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、本レジスタは特定チャンネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

(3) A/D 変換値加算モードを選択した場合

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 1、2、3、または 4 回を選択できます。A/D 変換結果は、指定された変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに格納されます。

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 16 回を選択できます。A/D 変換値加算モードを選択したとき、本レジスタは同一チャンネルの A/D 変換値を加算した値を示します。A/D 変換結果は、変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに格納されます。

A/D 変換値加算モードを選択した場合、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

12 ビット精度でのビット割り当ての例を表 35.7 に示します。

表 35.7 A/D 変換値加算モードを選択した場合の 12 ビット精度でのビット割り当ての例

精度		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の 右詰めデータ	16 回変換を指定 した場合	加算結果 15～0: 16 ビット A/D 変換結果の合計															
	1、2、3、または 4 回変換を指定 した場合	読むと 0 が読めま す。		加算結果 13～0: 14 ビット A/D 変換値加算結果													
12 ビット精度の 左詰めデータ	16 回変換を指定 した場合	加算結果 15～0: 16 ビット A/D 変換結果の合計															
	1、2、3、または 4 回変換を指定 した場合	加算結果 13～0: 14 ビット A/D 変換値加算結果														読むと 0 が読めま す。	

35.2.3 ADDBLDRn : A/DA データ 2 重化レジスタ n (n = A, B)

Base address: ADC120 = 0x4017_0000

Offset address: 0x084 (n = A)
0x086 (n = B)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADDBLDR [15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ADDBLDR [15:0]	変換値 15~0 機能は、選択したモードと精度により異なります。表 35.8 と表 35.9 を参照してください。	R

ADDBLDRn レジスタは、ダブルトリガモード選択時の拡張動作中のトリガ種別によって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

これらの A/D データレジスタは、下記の条件によりデータフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値（左詰めまたは右詰め）
- 加算／平均回数選択ビット (ADADC.ADC[2:0]) の設定値（1、2、3、4、または 16 回）
- 平均モード有効ビット (ADADC.AVEE) の設定値（加算または平均）

本節では異なるモードにおけるこれらの条件に対するデータフォーマットを説明します。

(1) A/D 変換値加算／平均モードを非選択とした場合

12 ビット精度でのビット割り当ての例を表 35.8 に示します。

表 35.8 12 ビット精度でのビット割り当ての例

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	読むと 0 が読めます。				変換値 11~0: 12 ビット A/D 変換値											
12 ビット精度の左詰めデータ	変換値 11~0: 12 ビット A/D 変換値												読むと 0 が読めます。			

(2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードで 2 回または 4 回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、本レジスタは特定チャネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

(3) A/D 変換値加算モードを選択した場合

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 1、2、3、または 4 回を選択できます。A/D 変換結果は、指定された変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに格納されます。

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 16 回を選択できます。A/D 変換値加算モードを選択したとき、本レジスタは同一チャネルの A/D 変換値を加算した値を示します。A/D 変換結果は、変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに格納されます。

A/D 変換値加算モードを選択した場合、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

12 ビット精度でのビット割り当ての例を表 35.9 に示します。

表 35.9 A/D 変換値加算モードを選択した場合の 12 ビット精度でのビット割り当ての例

精度		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の 右詰めデータ	16 回変換を指定 した場合	加算結果 15～0: 16 ビット A/D 変換結果の合計															
	1、2、3、または 4 回変換を指定 した場合	読むと 0 が読めま す。		加算結果 13～0: 14 ビット A/D 変換値加算結果													
12 ビット精度の 左詰めデータ	16 回変換を指定 した場合	加算結果 15～0: 16 ビット A/D 変換結果の合計															
	1、2、3、または 4 回変換を指定 した場合	加算結果 13～0: 14 ビット A/D 変換値加算結果														読むと 0 が読めま す。	

35.2.4 ADTSDR : A/D 温度センサデータレジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x01A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADTSDR [15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ADTSDR [15:0]	変換値 15~0 機能は、選択したモードと精度により異なります。表 35.10 と表 35.11 を参照してください。	R

ADTSDR レジスタは、温度センサ出力を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。これらの A/D データレジスタは、下記の条件によりデータフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (左詰めまたは右詰め)
- 加算/平均回数選択ビット (ADADC.ADC[2:0]) の設定値 (1、2、3、4、または 16 回)
- 平均モード有効ビット (ADADC.AVEE) の設定値 (加算または平均)

本節では異なるモードにおけるこれらの条件に対するデータフォーマットを説明します。

(1) A/D 変換値加算/平均モードを非選択とした場合

12 ビット精度でのビット割り当ての例を表 35.10 に示します。

表 35.10 12 ビット精度でのビット割り当ての例

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	読むと 0 が読めます。				変換値 11~0: 12 ビット A/D 変換値											
12 ビット精度の左詰めデータ	変換値 11~0: 12 ビット A/D 変換値												読むと 0 が読めます。			

(2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードで 2 回または 4 回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、本レジスタは特定チャンネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

(3) A/D 変換値加算モードを選択した場合

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 1、2、3、または 4 回を選択できます。A/D 変換結果は、指定された変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに格納されます。

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 16 回を選択できます。A/D 変換値加算モードを選択したとき、本レジスタは同一チャンネルの A/D 変換値を加算した値を示します。A/D 変換結果は、変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに格納されます。

A/D 変換値加算モードを選択した場合、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

12 ビット精度でのビット割り当ての例を表 35.11 に示します。

表 35.11 A/D 変換値加算モードを選択した場合の 12 ビット精度でのビット割り当ての例

精度		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の 右詰めデータ	16 回変換を指定 した場合	加算結果 15~0: 16 ビット A/D 変換結果の合計															
	1、2、3、または 4 回変換を指定 した場合	読むと 0 が読めま す。		加算結果 13~0: 14 ビット A/D 変換値加算結果													
12 ビット精度の 左詰めデータ	16 回変換を指定 した場合	加算結果 15~0: 16 ビット A/D 変換結果の合計															
	1、2、3、または 4 回変換を指定 した場合	加算結果 13~0: 14 ビット A/D 変換値加算結果														読むと 0 が読めま す。	

35.2.5 ADOCDR : A/D 内部基準電圧データレジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x01C

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field: ADOCDR [15:0]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
15:0	ADOCDR [15:0]	変換値 15~0 機能は、選択したモードと精度により異なります。表 35.12 と表 35.13 を参照してください。	R

ADOCDR レジスタは、内部基準電圧を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。これらの A/D データレジスタは、下記の条件によりデータフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (左詰めまたは右詰め)
- 加算／平均回数選択ビット (ADADC.ADC[2:0]) の設定値 (1、2、3、4、または 16 回)
- 平均モード有効ビット (ADADC.AVEE) の設定値 (加算または平均)

本節では異なるモードにおけるこれらの条件に対するデータフォーマットを説明します。

(1) A/D 変換値加算／平均モードを非選択とした場合

12 ビット精度でのビット割り当ての例を表 35.12 に示します。

表 35.12 12 ビット精度でのビット割り当ての例

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	読むと 0 が読めます。				変換値 11~0: 12 ビット A/D 変換値											
12 ビット精度の左詰めデータ	変換値 11~0: 12 ビット A/D 変換値												読むと 0 が読めます。			

(2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードで 2 回または 4 回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、本レジスタは特定チャンネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

(3) A/D 変換値加算モードを選択した場合

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 1、2、3、または 4 回を選択できます。A/D 変換結果は、指定された変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに格納されます。

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 16 回を選択できます。A/D 変換値加算モードを選択したとき、本レジスタは同一チャンネルの A/D 変換値を加算した値を示します。A/D 変換結果は、変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに格納されます。

A/D 変換値加算モードを選択した場合、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

12 ビット精度でのビット割り当ての例を表 35.13 に示します。

表 35.13 A/D 変換値加算モードを選択した場合の 12 ビット精度でのビット割り当ての例

精度		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の 右詰めデータ	16 回変換を指定 した場合	加算結果 15~0: 16 ビット A/D 変換結果の合計															
	1、2、3、または 4 回変換を指定 した場合	読むと 0 が読めま す。		加算結果 13~0: 14 ビット A/D 変換値加算結果													
12 ビット精度の 左詰めデータ	16 回変換を指定 した場合	加算結果 15~0: 16 ビット A/D 変換結果の合計															
	1、2、3、または 4 回変換を指定 した場合	加算結果 13~0: 14 ビット A/D 変換値加算結果															読むと 0 が読めま す。

35.2.6 ADRD : A/D 自己診断データレジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x01E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DIAGST[1:0]		—	—	AD[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
11:0	AD[11:0]	変換値 11~0 12 ビット A/D 変換値	R
13:12	—	読むと 0 が読めます。	R
15:14	DIAGST[1:0]	自己診断ステータス 自己診断の詳細については、「 35.2.15. ADCER : A/D コントロール拡張レジスタ 」を参照してください。 0 0: パワーオン後に自己診断を実行していないことを示す 0 1: 0 V の電圧値の自己診断を実行したことを示す 1 0: 基準電圧(注1) × 1/2 の電圧値の自己診断を実行したことを示す 1 1: 基準電圧(注1)の自己診断を実行したことを示す	R

注. 12 ビット精度の右詰めデータのビット配置例を示します。

注 1. 基準電圧は、ADHVREFCNT 設定により、VREFH0、AVCC0、または内部基準電圧です。

ADRD レジスタは、ADC12 の自己診断により A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。A/D 変換値を示す AD[11:0] ビットに加えて、自己診断ステータスビット (DIAGST[1:0]) が付加されます。

本レジスタのデータフォーマットは、A/D データレジスタフォーマットおよび A/D 変換精度の設定により決定されます。

A/D 自己診断機能には A/D 変換加算モードと A/D 変換平均モードを適用することはできません。自己診断の詳細については、「[35.2.15. ADCER : A/D コントロール拡張レジスタ](#)」を参照してください。

以下では、各条件のデータフォーマットについて説明します。本節のビット配置図とビット仕様表は、12 ビット精度の左詰めデータおよび右詰めデータのビット配置例を示します。

表 35.14 各精度における右詰め時のビット配置

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	DIAGST[1:0]	—	—	—	AD[11:0]	—	—	—	—	—	—	—	—	—	—	—

表 35.15 各精度における左詰め時のビット配置

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の左詰めデータ	AD[11:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	DIAGST[1:0]	—

35.2.7 ADCSR : A/D コントロールレジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x000

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADST	ADCS[1:0]	—	—	ADHSC	TRGE	EXTRG	DBLE	GBADIE	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	DBLANS[4:0]	ダブルトリガ対象チャネル選択 ダブルトリガ対象のアナログ入力を 1 チャネル選択します。ダブルトリガモード選択時のみ有効です。	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	GBADIE	グループ B スキャン終了割り込みおよび ELC イベント許可 グループ B のスキャンは、グループスキャンモードでのみ実行できます。 0: グループ B のスキャン完了時に ADC120_GBADI 割り込み発生を禁止 1: グループ B のスキャン完了時に ADC120_GBADI 割り込み発生を許可	R/W

ビット	シンボル	機能	R/W
7	DBLE	ダブルトリガモード選択 0: ダブルトリガモード非選択 1: ダブルトリガモード選択	R/W
8	EXTRG	トリガ選択(注1) 0: 同期トリガ (ELC) により A/D 変換開始 1: 非同同期トリガ (ADTRG0) により A/D 変換開始	R/W
9	TRGE	トリガ開始許可 0: 同期、非同同期トリガによる A/D 変換の開始を禁止 1: 同期、非同同期トリガによる A/D 変換の開始を許可	R/W
10	ADHSC	A/D 変換モード選択 0: 高速 A/D 変換モード 1: 低消費電力 A/D 変換モード	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14:13	ADCS[1:0]	スキャンモード選択 0 0: シングルスキャンモード 0 1: グループスキャンモード 1 0: 連続スキャンモード 1 1: 設定禁止	R/W
15	ADST	A/D 変換スタート 0: A/D 変換停止 1: A/D 変換開始	R/W

注 1. 外部端子（非同同期トリガ）で A/D 変換を起動する方法：

外部端子 (ADTRG0) に High を入力した状態で、ADCSR.TRGE ビットおよび ADCSR.EXTRG ビットを 1 にし、ADTRG0 端子から Low を入力します。ADTRG0 の立ち下がりエッジを検出し、スキャン変換を開始します。Low 入力のパルス幅は、PCLKA 1.5 クロック以上が必要です。

ADCSR レジスタは、ダブルトリガモードの設定、A/D 変換起動トリガの設定、スキャン終了割り込み許可／禁止、スキャンモードの選択、A/D 変換の開始／停止を行うレジスタです。

DBLANS[4:0]ビット（ダブルトリガ対象チャネル選択）

DBLANS[4:0]ビットは、ダブルトリガモードで A/D 変換データを 2 重化する 1 チャネルを選択します。これは、2 重化するチャネル番号のバイナリ値を設定することで選択できます。DBLANS[4:0]ビットで選択したチャネルのアナログ入力を、1 回目の A/D 変換開始トリガで変換した結果が A/D データレジスタ y に格納され、2 回目の A/D 変換開始トリガで変換した結果が A/D データ 2 重化レジスタに格納されます。

ダブルトリガモードを選択した場合は、ADANSA0 および ADANSA1 レジスタで選択したチャネルの選択は無効になり、DBLANS[4:0]ビットで選択した 1 チャネルが A/D 変換を行うチャネルとなります。

グループスキャンモードでダブルトリガモードが使用されるとき、ダブルトリガ制御はグループ A にのみ適用され、グループ B には適用されません。そのため、ダブルトリガモードでもグループ B に対しては複数のチャネルのアナログ入力を選択できます。

DBLANS[4:0]ビットの設定は、ADST ビットが 0 のときのみ行ってください。DBLANS[4:0]ビットの設定を ADST ビットへの 1 書き込みと同時に行わないでください。

ダブルトリガモード時に A/D 変換値加算／平均モードに遷移するには、DBLANS[4:0]ビットで選択したチャネルを ADADS0 レジスタと ADADS1 レジスタに設定してください。

ダブルトリガモードでは、自己診断機能からの A/D 変換データ、温度センサ出力、および内部基準電圧を使用できません。

表 35.16 DBLANS ビット設定値とダブルトリガ有効チャネルの関係 (1/2)

DBLANS[4:0]	2 重化チャネル
0x00	AN000
0x01	AN001
0x02	AN002
0x03	AN003

表 35.16 DBLANS ビット設定値とダブルトリガ有効チャンネルの関係 (2/2)

DBLANS[4:0]	2 重化チャンネル
0x04	AN004
0x05	AN005
0x06	AN006
0x11	AN017
0x12	AN018
0x13	AN019
0x14	AN020
0x15	AN021
0x16	AN022
0x17	AN023
0x18	AN024
0x19	AN025

GBADIE ビット (グループ B スキャン終了割り込みおよび ELC イベント許可)

GBADIE ビットはグループスキャンモードでのグループ B のスキャン終了割り込み (ADC120_GBADI) の発生を許可または禁止します。

DBLE ビット (ダブルトリガモード選択)

DBLE ビットは、ダブルトリガモードの選択／非選択を指定します。ダブルトリガモードは、ADSTRGR.TRSA[5:0]ビットで選択された同期トリガ (ELC) のみで動作できます。

ダブルトリガは以下のように動作します。

1. 1 回目の変換完了時は ADC120_ADI 割り込みを出力せず、2 回目の変換完了時に出力します。
2. 1 回目のトリガで開始した 2 重化チャンネル (DBLANS[4:0]で選択) の A/D 変換結果は、A/D データレジスタ y に格納され、2 回目のトリガで開始した変換結果は、A/D データ 2 重化レジスタに格納されます。

DBLE ビットが設定 (ダブルトリガモードを選択) されている場合、ADANSA0 および ADANSA1 レジスタで指定したチャンネルは無効です。DBLE を 0 にすると、ダブルトリガモードは非選択となります。DBLE ビットを再度 1 にすると、ダブルトリガモードの動作は、1.と 2.に示される最初のトリガによる最初のスキャンと同様になります。

ダブルトリガモードは、連続スキャンモードで選択しないでください。ダブルトリガモードでは、ソフトウェアトリガを使用できません。DBLE ビットの設定は、ADST ビットを 0 にしてから行ってください。DBLE ビットの設定を ADST ビットへの 1 書き込みと同時に行わないでください。

EXTRG ビット (トリガ選択)

EXTRG ビットは、A/D 変換を開始するトリガを同期トリガにするか、非同期トリガにするかを選択します。

グループスキャンモードでは、グループ A の選択トリガに対してこのビットの設定が有効です。グループ B は、このビットの設定にかかわらず選択した同期トリガで A/D 変換を開始します。

TRGE ビット (トリガ開始許可)

TRGE ビットは、同期トリガ、非同期トリガによる A/D 変換の起動を許可または禁止します。グループスキャンモード時は本ビットを 1 にしてください。

ADHSC ビット (A/D 変換モード選択)

ADHSC ビットは、A/D 変換を High-speed モードにするか低電流モードにするかを選択します。ADHSC ビットの書き換え方法については、「[35.8.9. ADHSC ビット書き換え手順](#)」を参照してください。

ADCS[1:0]ビット (スキャンモード選択)

ADCS[1:0]ビットは、スキャン変換モードを選択します。

シングルスキャンモードでは、ADANSA0 および ADANSA1 レジスタで選択したチャンネルのアナログ入力をチャンネル番号の昇順で A/D 変換します。選択したすべてのチャンネルの A/D 変換が 1 回完了するとスキャン変換を停止します。

連続スキャンモードでは、ADCSR.ADST ビットが 1 の間、ADANSA0 および ADANSA1 レジスタで選択したチャンネルのアナログ入力をチャンネル番号の昇順で A/D 変換します。選択したすべてのチャンネルの A/D 変換が 1 回完了すると最初のチャンネルに戻り A/D 変換を繰り返します。連続スキャン中に ADCSR.ADST ビットを 0 にすると、スキャン中でも A/D 変換を停止します。

グループスキャンモード時：

- ADSTRGR.TRSA[5:0]ビットで選択された同期トリガ (ELC) で、グループ A のスキャンを開始します。ADANSA0 レジスタと ADANSA1 レジスタで選択したアナログ入力チャンネルのグループ A アナログ入力に対してチャンネル番号の昇順で A/D 変換を実施します。選択したすべてのチャンネルの A/D 変換が 1 回完了すると A/D 変換を停止します。
- ADSTRGR.TRSB[5:0]ビットで選択された同期トリガ (ELC) で、グループ B のスキャンを開始します。ADANSB0 レジスタと ADANSB1 レジスタで選択したアナログ入力チャンネルのグループ B アナログ入力に対してチャンネル番号の昇順で A/D 変換を実施します。選択したすべてのチャンネルの A/D 変換が 1 回完了すると A/D 変換を停止します。

このとき、グループ A 側とグループ B 側の変換処理が重なった場合、変換制御は別々に制御することができません。この場合は、A/D グループスキャン優先コントロールレジスタのグループ A 優先制御設定ビット (ADGSPCR.PGS) を 1 にして、変換優先順位をグループ A 側に設定してください。

グループスキャンモードでは、グループ A とグループ B に異なるチャンネルとトリガを選択してください。

温度センサ出力または内部基準電圧を選択した際は、ADANSA0 レジスタと ADANSA1 レジスタですべてのアナログ入力チャンネルを非選択にした後で、シングルスキャンモードを選択し、A/D 変換を実施してください。温度センサ出力または内部基準電圧の A/D 変換が完了すると、A/D 変換を停止します。

ADCS[1:0]ビットの設定は、ADST ビットが 0 のときのみ行ってください。ADCS[1:0]ビットの設定を ADST ビットへの 1 書き込みと同時にに行わないでください。

表 35.17 スキャンモードおよびダブルトリガモードの設定による A/D 変換の選択対象

スキャンモード設定	ダブルトリガモード設定	A/D 変換対象				
		自己診断	アナログ入力 (グループ A)	アナログ入力 (グループ B)	温度センサ出力	内部基準電圧
シングルスキャン	DBLE = 0	✓	✓	—	✓	✓
	DBLE = 1	—	✓ (1 ch のみ)	—	—	—
連続スキャン	DBLE = 0	✓	✓	—	—	—
	DBLE = 1	—	—	—	—	—
グループスキャン	DBLE = 0	✓	✓	✓	—	—
	DBLE = 1	—	✓ (1 ch のみ)	✓	—	—

注. ✓：選択可能、—：選択不可能

ADST ビット (A/D 変換スタート)

ADST ビットは、A/D 変換の開始／停止を制御します。ADST ビットを 1 にする前に、A/D 変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

[1 になる条件]

- 1 を書いたとき
- ADCSR.EXTRG ビットを 0、ADCSR.TRGE ビットを 1 にし、ADSTRGR.TRSA[5:0]ビットで選択した同期トリガ (ELC) を検出したとき
- グループスキャンモードで ADCSR.TRGE ビットを 1 にし、ADSTRGR.TRSB[5:0]ビットで選択した同期トリガ (ELC) を検出したとき
- ADCSR.TRGE ビットと ADCSR.EXTRG ビットを 1、ADSTRGR.TRSA[5:0]ビットを 0x00 にし、非同期トリガを検出したとき

- グループ優先動作モード有効時 (ADCSR.ADCS[1:0] = 01b かつ ADGSPCR.PGS = 1) に、ADGSPCR.GBRP ビットを 1 に設定し、最も優先度の低いグループの A/D 変換を開始したとき

[0 になる条件]

- 0 を書いたとき
- シングルスキャンモードで、選択したすべてのチャネル、温度センサ出力、または内部基準電圧の A/D 変換が完了したとき
- グループスキャンモードでグループ A のスキャンが終了したとき
- グループスキャンモードでグループ B のスキャンが終了したとき
- グループ優先動作モード有効時 (ADCSR.ADCS[1:0] = 01b かつ ADGSPCR.PGS = 1) に、ADGSPCR.GBRSCN ビットを 1 に設定し、トリガにより開始した最も優先度の低いグループの A/D 変換が終了したとき

注. グループ優先動作モード有効時 (ADCSR.ADCS[1:0] = 01b かつ ADGSPCR.PGS = 1)、ADST ビットを 1 にしないでください。

注. グループ優先動作モード有効時 (ADCSR.ADCS[1:0] = 01b かつ ADGSPCR.PGS = 1)、かつ ADGSPCR.GBRP = 1 のとき、ADST ビットを 0 にしないでください。A/D 変換を強制停止させる場合、ADST ビットのクリア手順に従ってください。

35.2.8 ADANSA0 : A/D チャネル選択レジスタ A0

Base address: ADC120 = 0x4017_0000

Offset address: 0x004

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ANSA 15	ANSA 14	ANSA 13	ANSA 12	ANSA 11	ANSA 10	ANSA 9	ANSA 8	ANSA 7	ANSA 6	ANSA 5	ANSA 4	ANSA 3	ANSA 2	ANSA 1	ANSA 0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ANSA15~ANSA0	A/D 変換チャネル選択 ビット 15 (ANSA15) は AN015 に対応し、ビット 0 (ANSA0) は AN000 に対応します。 0: 対応する入力チャネルを非選択 1: 対応する入力チャネルを選択	R/W

注. n = 00~06

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

ADANSA0 レジスタは A/D 変換を行うアナログ入力チャネルを選択します。グループスキャンモードでは、本レジスタはグループ A チャネルを選択します。

ADANSA0 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

ANSAn ビット (A/D 変換チャネル選択)

ADANSA0 レジスタは A/D 変換を行うアナログ入力チャネルの組み合わせを選択します。チャネルおよびチャネル数は任意に設定可能です。

温度センサ出力または内部基準電圧の A/D 変換を行うときは、ADANSA0 レジスタを 0x0000 にしてすべてのアナログ入力チャネルを非選択にしてください。

ダブルトリガモード時は、ADANSA0 レジスタで選択したチャネルは無効となり、代わりに ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルがグループ A の選択チャネルとなります。

また、グループスキャンモード選択時は、A/D チャネル選択レジスタ B0 (ADANSB0)、および A/D チャネル選択レジスタ B1 (ADANSB1) で指定したチャネルを選択しないでください。

35.2.9 ADANSA1 : A/D チャンネル選択レジスタ A1

Base address: ADC120 = 0x4017_0000

Offset address: 0x006

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ANSA 31	ANSA 30	ANSA 29	ANSA 28	ANSA 27	ANSA 26	ANSA 25	ANSA 24	ANSA 23	ANSA 22	ANSA 21	ANSA 20	ANSA 19	ANSA 18	ANSA 17	ANSA 16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ANSA31~ANSA16	A/D 変換チャンネル選択 ビット 15 (ANSA31) は AN031 に対応し、ビット 0 (ANSA16) は AN016 に対応します。 0: 対応する入力チャンネルを非選択 1: 対応する入力チャンネルを選択	R/W

注. n = 17~25

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

ADANSA1 レジスタは A/D 変換のアナログ入力チャンネルを選択します。グループスキャンモードでは、本レジスタはグループ A のチャンネルを選択します。

ADANSA1 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

ANSAn ビット (A/D 変換チャンネル選択)

ADANSA1 レジスタは、A/D 変換を行うアナログ入力チャンネルの組み合わせを選択します。チャンネルおよびチャンネル数は任意に設定可能です。

温度センサ出力または内部基準電圧の A/D 変換を行うときは、ADANSA1 レジスタを 0x0000 にしてすべてのアナログ入力チャンネルを非選択にしてください。

ダブルトリガモード時は、ADANSA1 レジスタで選択したチャンネルは無効となり、代わりに ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルがグループ A の選択チャンネルとなります。

また、グループスキャンモード選択時は、A/D チャンネル選択レジスタ B0 (ADANSB0)、および A/D チャンネル選択レジスタ B1 (ADANSB1) で指定したチャンネルを選択しないでください。

35.2.10 ADANSB0 : A/D チャンネル選択レジスタ B0

Base address: ADC120 = 0x4017_0000

Offset address: 0x014

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ANSB 15	ANSB 14	ANSB 13	ANSB 12	ANSB 11	ANSB 10	ANSB 9	ANSB 8	ANSB 7	ANSB 6	ANSB 5	ANSB 4	ANSB 3	ANSB 2	ANSB 1	ANSB 0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ANSB15~ANSB0	A/D 変換チャンネル選択 ビット 15 (ANSB15) は AN015 に対応し、ビット 0 (ANSB0) は AN000 に対応します。 0: 対応する入力チャンネルを非選択 1: 対応する入力チャンネルを選択	R/W

注. n = 00~06

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

ADANSB0 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力を選択します。ADANSB0 レジスタは他のスキャンモードでは使用しません。

ADANSB0 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

ANSBn ビット (A/D 変換チャンネル選択)

ADANSB0 レジスタはグループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力の組み合わせを選択します。ADANSB0 レジスタは他のスキャンモードでは使用しません。

グループ A で指定したチャネル（ADANSA0、ADANSA1 レジスタで選択またはダブルトリガモード時に ADCSR.DBLANS[4:0] ビットで選択したチャネル）を選択しないでください。

温度センサ出力または内部基準電圧の A/D 変換を行うときは、ADANSB0 レジスタを 0x0000 にしてすべてのアナログ入力チャネルを非選択にしてください。

35.2.11 ADANSB1 : A/D チャネル選択レジスタ B1

Base address: ADC120 = 0x4017_0000

Offset address: 0x016

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ANSB31	ANSB30	ANSB29	ANSB28	ANSB27	ANSB26	ANSB25	ANSB24	ANSB23	ANSB22	ANSB21	ANSB20	ANSB19	ANSB18	ANSB17	ANSB16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ANSB31~ANSB16	A/D 変換チャネル選択 0: 対応する入力チャネルを非選択 1: 対応する入力チャネルを選択	R/W

注. n = 17~25

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

ADANSB1 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力を選択します。ADANSB1 レジスタは他のスキャンモードでは使用しません。

ADANSB1 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

ANSBn ビット (A/D 変換チャネル選択)

ADANSB1 レジスタはグループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力の組み合わせを選択するレジスタです。ADANSB1 レジスタは他のスキャンモードでは使用しません。

グループ A で指定したチャネル（ADANSA0、ADANSA1 レジスタで選択またはダブルトリガモード時に ADCSR.DBLANS[4:0] ビットで選択したチャネル）を選択しないでください。

温度センサ出力または内部基準電圧の A/D 変換を行うときは、ADANSB1 レジスタを 0x0000 にしてすべてのアナログ入力チャネルを非選択にしてください。

35.2.12 ADADS0 : A/D 変換値加算／平均チャネル選択レジスタ 0

Base address: ADC120 = 0x4017_0000

Offset address: 0x008

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADS15	ADS14	ADS13	ADS12	ADS11	ADS10	ADS9	ADS8	ADS7	ADS6	ADS5	ADS4	ADS3	ADS2	ADS1	ADS0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ADS15~ADS0	A/D 変換値加算／平均チャネル選択 ビット 15 (ADS15) は AN015 に対応し、ビット 0 (ADS0) は AN000 に対応します。 0: 対応する入力チャネルを非選択 1: 対応する入力チャネルを選択	R/W

注. n = 00~06

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

ADSn ビット (A/D 変換値加算／平均チャネル選択)

ADSn ビットは A/D 変換値加算／平均の対象となる A/D 変換チャネルを決定します。選択した A/D 変換チャネルに対応する ADSn ビットを 1 にすると、選択したチャネルのアナログ入力を、ADADC.ADC[2:0] ビットで指定した回数（1、2、3、4、または 16 回）分、連続して A/D 変換します。

ADADC.AVEE ビットが 0 の場合は加算した値を、ADADC.AVEE ビットが 1 の場合は加算値から平均した値を、A/D データレジスタに格納します。

ADSn ビットは、以下で選択された A/D 変換チャンネルのみに適用されます。

- ADANSA0 レジスタの ANSAn ビットまたは ADCSR レジスタの DBLANS[4:0] ビット
- ADANSB0 レジスタの ANSBn ビット

加算／平均モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに変換結果を格納します。

ADADS0 レジスタのビット設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

図 35.2 に ADADS0 レジスタのビット（チャンネル c と g）を 1 にしたときのスキャン動作シーケンスを示します。本図では、以下のような設定になっています。

- 加算モードを選択 (ADADC.AVEE = 0)
- 変換回数を 4 に設定 (ADADC.ADC[1:0] = 11b)
- 連続スキャンモード (ADCSR.ADCS[1:0] = 10b) でアナログ入力チャンネル a～h を選択 (ADANSA0 レジスタ)

アナログ入力 A（チャンネル a）から変換を開始します。アナログ入力 C（チャンネル c）の変換は 4 回連続実行し、加算値を A/D データレジスタ c (ADDRc) に返します。次に、アナログ入力 D（チャンネル d）の変換処理が開始されます。アナログ入力 G（チャンネル g）は 4 回連続実行し、加算値を A/D データレジスタ g (ADDRg) に返します。アナログ入力 H（チャンネル h）の変換後、再度アナログ入力 A（チャンネル a）から同じシーケンスで動作します。

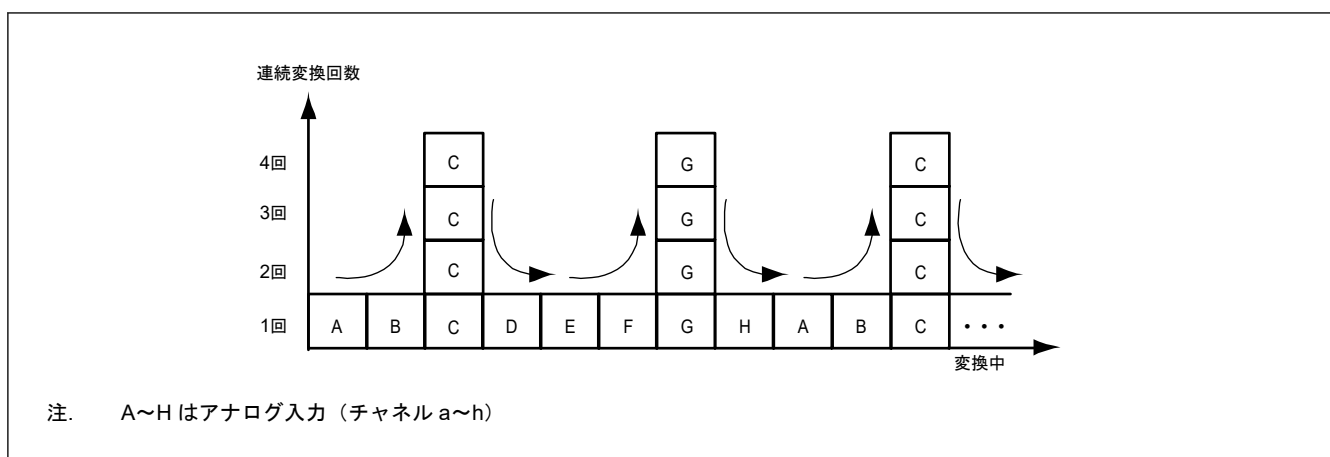


図 35.2 ADADC.ADC[2:0] = 011b および ADADS0/1 によるアナログ入力 C と G を 1 に選択時のスキャン変換シーケンス

35.2.13 ADADS1 : A/D 変換値加算／平均チャンネル選択レジスタ 1

Base address: ADC120 = 0x4017_0000

Offset address: 0x00A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADS31	ADS30	ADS29	ADS28	ADS27	ADS26	ADS25	ADS24	ADS23	ADS22	ADS21	ADS20	ADS19	ADS18	ADS17	ADS16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ADS31～ADS16	A/D 変換値加算／平均チャンネル選択 ビット 15 (ADS31) は AN031 に対応し、ビット 0 (ADS16) は AN016 に対応します。 0: 対応する入力チャンネルを非選択 1: 対応する入力チャンネルを選択	R/W

注: n = 17～25

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

ADSn ビット (A/D 変換値加算／平均チャネル選択)

ADSn ビットは A/D 変換値加算／平均の対象となる A/D 変換チャネルを決定します。選択した A/D 変換チャネルに対応する ADSn ビットを 1 にすると、選択したチャネルのアナログ入力を、ADADC.ADC[2:0] ビットで指定した回数 (1、2、3、4、または 16 回) 分、連続して A/D 変換します。

ADADC.AVEE ビットが 0 の場合は加算した値を、ADADC.AVEE ビットが 1 の場合は加算値から平均した値を、A/D データレジスタに格納します。

本ビットは、以下で選択された A/D 変換チャネルのみに適用されます。

- ADANSA1 レジスタの ANSAn ビットまたは ADCSR レジスタの DBLANS[4:0] ビット
- ADANSB1 レジスタの ANSBn ビット

加算／平均モードが非選択の A/D 変換チャネルは、通常の 1 回変換を実施し、A/D データレジスタに変換結果を格納します。

ADADS1 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

35.2.14 ADADC : A/D 変換値加算／平均回数選択レジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x00C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	AVEE	—	—	—	—	ADC[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	ADC[2:0]	加算／平均回数選択 0 0 0: 1 回変換 (加算なし。通常変換と同じ。) 0 0 1: 2 回変換 (1 回加算を行う) 0 1 0: 3 回変換 (2 回加算を行う) 0 1 1: 4 回変換 (3 回加算を行う) 1 0 1: 16 回変換 (15 回加算を行う) その他: 設定禁止	R/W
6:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	AVEE	平均モードを選択 0: 加算モードを選択 1: 平均モードを選択	R/W

ADADC は加算モードまたは平均モードの選択、および A/D 変換の加算回数を設定します。表 35.18 に、ADADC レジスタの設定可能な組み合わせを示します。

表 35.18 ADADC レジスタの設定可能な組み合わせ

モード選択 (AVEE)	変換回数				
	1 回	2 回	3 回	4 回	16 回
加算モード (AVEE = 0)	✓	✓	✓	✓	✓
平均モード (AVEE = 1)	—	✓	—	✓	—

注. ✓ : 選択可能、— : 選択不可能

ADC[2:0] ビット (加算／平均回数選択)

ADC[2:0] ビットは、ダブルトリガモードでの選択チャネル (ADCSR.DBLANS[4:0] ビットでの選択チャネル) を含む A/D 変換および加算／平均モードが選択されたすべてのチャネルに対して加算回数を設定します。加算回数は、温度センサ出力と内部基準電圧の A/D 変換にも適用されます。

自己診断機能 (ADCER.DIAGM = 1) を実施する場合、ADC[2:0]ビットを 000b 以外の値にしないでください。

AVEE ビット (平均モードを選択)

AVEE ビットはダブルトリガモードでの選択チャネル (ADCSR.DBLANS[4:0]ビットでの選択チャネル) を含む A/D 変換および加算／平均モードが選択されたチャネル、温度センサ出力、および内部基準電圧の A/D 変換に対して加算モードまたは平均モードの選択を行います。

35.2.15 ADCER : A/D コントロール拡張レジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x00E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]	—	—	ACE	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	ACE	A/D データレジスタ自動クリアイネーブル 0: 自動クリアを禁止 1: 自動クリアを許可	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	DIAGVAL[1:0]	自己診断変換電圧選択 0 0: 自己診断有効時は設定禁止 0 1: 0 V 1 0: 基準電圧(注1) × 1/2 1 1: 基準電圧(注1)	R/W
10	DIAGLD	自己診断モード選択 0: 自己診断電圧ローテーションモードを選択 1: 自己診断電圧固定モードを選択	R/W
11	DIAGM	自己診断イネーブル 0: ADC12 自己診断機能は無効 1: ADC12 自己診断機能は有効	R/W
14:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	ADRFMT	A/D データレジスタフォーマット選択 0: A/D データレジスタのフォーマットを右詰めにする 1: A/D データレジスタのフォーマットを左詰めにする	R/W

注 1. 基準電圧は、ADHVREFCNT 設定により、VREFH0、AVCC0、または内部基準電圧です。

ACE ビット (A/D データレジスタ自動クリアイネーブル)

ACE ビットは、CPU または DTC によって ADDRy、ADRD、ADDBLDR、ADDBLDRB、ADTSDBR、または ADOCDR レジスタのいずれかを読み出した後、当該レジスタの自動クリア (すべて 0) を行うか行わないかを選択します。A/D データレジスタの自動クリアにより各 A/D データレジスタの未更新障害を検出することができます。詳細は「[35.3.7. A/D データレジスタの自動クリア機能の使用例](#)」を参照してください。

DIAGVAL[1:0]ビット (自己診断変換電圧選択)

DIAGVAL[1:0]ビットは自己診断電圧固定モードでの電圧値を選択します。詳細は、DIAGLD ビットの説明を参照してください。

DIAGVAL[1:0]ビットが 00b の場合、DIAGLD ビットを 1 にして自己診断を実行しないでください。

DIAGLD ビット (自己診断モード選択)

DIAGLD ビットは、自己診断に使用する 3 つの電圧値をローテーションするか、電圧値を固定するかを選択します。

DIAGLD ビットを 0 にすると、0 V → 基準電圧 × 1/2 → 基準電圧の順番にローテーションして変換していきます。リセット後、および自己診断電圧ローテーションモードを選択した場合は、0 V から自己診断を行います。スキャン変換が終了しても自己診断電圧値は 0 V に戻りません。再びスキャン変換を実行すると、前回に続く電圧値からローテーションを開始します。

DIAGLD ビットを 1 にすることにより固定電圧を選択します。ADCER.DIAGVAL[1:0] ビットで指定した固定電圧が変換されます。固定モードからローテーションモードに切り替えた場合は、固定電圧値からローテーションを開始します。

DIAGLD ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

DIAGM ビット（自己診断イネーブル）

DIAGM ビットは、自己診断を実施するかしないかを選択します。

自己診断は、ADC12 の故障を検出するための機能です。自己診断モードでは、3 つの電圧値（0 V、基準電圧 × 1/2、または基準電圧）のいずれかを変換します。変換が完了すると A/D 自己診断データレジスタ (ADRD) に変換した電圧の情報と変換結果を格納します。その後、ADRD レジスタを読み出し、変換値が正常の範囲にある（正常）かない（異常）かを判断します。

自己診断は、スキャンごとの最初に 1 回実施され、3 つの電圧値のうち 1 つを A/D 変換します。ダブルトリガモード (ADCSR.DBLE = 1) では、自己診断 (DIAGM = 0) は選択されません。グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B のそれぞれで自己診断を実行します。

DIAGM ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

ADRFMT ビット（A/D データレジスタフォーマット選択）

ADRFMT ビットは、ADDRy、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR、ADCMPDR0/1、ADWINLLB、ADWINULB、または ADRD レジスタに格納するデータの右詰め／左詰めを選択します。

ADRFMT ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

35.2.16 ADSTRGR : A/D 変換開始トリガ選択レジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x010

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	TRSA[5:0]					—	—	TRSB[5:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	TRSB[5:0]	グループ B 用 A/D 変換開始トリガ選択 グループスキャンモードでグループ B の A/D 変換開始トリガを選択します。	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:8	TRSA[5:0]	A/D 変換開始トリガ選択 シングルスキャンモード、連続スキャンモードでの A/D 変換開始トリガを選択します。グループスキャンモードではグループ A の A/D 変換開始トリガを選択します。	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

TRSB[5:0] ビット（グループ B 用 A/D 変換開始トリガ選択）

TRSB[5:0] ビットはグループ B で選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[5:0] ビットはグループスキャンモードでのみ使用するビットで、他のスキャンモードでは使用しません。グループ B のスキャン変換開始トリガとしてソフトウェアトリガまたは非同期トリガは設定しないでください。グループスキャンモードでは、TRSB[5:0] ビットを 0x00 以外の値にし、ADCSR.TRGE ビットを 1 にしてください。

グループスキャンモードのグループ優先動作選択時に、ADGSPCR.GBRP ビットを 1 にすることで、グループ B をシングルスキャンモードで連続動作させることができます。ADGSPCR.GBRP ビットを 1 にする場合は、TRSB[5:0] ビットを 0x3F にしてください。変換トリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上とな

るように設定してください。発行間隔が t_{SCAN} より短い場合は、トリガによる A/D 変換が無効となる場合があります。

A/D 変換開始トリガに GPT モジュールを選択した場合、同期化处理の分だけ遅延が発生します。詳細は、「[35.3.6. アナログ入力のサンプリング時間とスキャン変換時間](#)」を参照してください。

表 35.19 に TRSB[5:0]ビットでの A/D 変換起動要因選択一覧を示します。

表 35.19 TRSB[5:0]ビットでの A/D 変換起動要因選択一覧

要因	備考	TRSB[5]	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
トリガ要因非選択状態	—	1	1	1	1	1	1
ELC_AD00	ELC	0	0	1	0	0	1
ELC_AD01	ELC	0	0	1	0	1	0
ELC_AD00、 ELC_AD01	ELC	0	0	1	0	1	1

TRSA[5:0]ビット (A/D 変換開始トリガ選択)

TRSA[5:0]ビットはシングルスキャンモードおよび連続スキャンモードでは A/D 変換開始トリガまたはグループ スキャンモードではグループ A で選択したアナログ入力のスキャンを開始するトリガを選択します。グループ スキャンモードまたはダブルトリガモードでスキャンを行う場合、ソフトウェアトリガや非同期トリガは使用しないでください。

- 同期トリガ (ELC) を使用する場合は、ADCSR.TRGE ビットを 1 にし、かつ ADCSR.EXTRG ビットを 0 にしてください。
- 非同期トリガ (ADTRG0) を使用する場合は、ADCSR.TRGE ビットを 1 にし、かつ ADCSR.EXTRG ビットを 1 にしてください。
- ソフトウェアトリガ (ADCSR.ADST) は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、TRSA[5:0]ビットの設定値にかかわらず有効です。

変換トリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} より短い場合は、トリガによる A/D 変換が無効となる場合があります。

A/D 変換開始トリガに GPT モジュールを選択した場合、同期化处理の分だけ遅延が発生します。詳細は、「[35.3.6. アナログ入力のサンプリング時間とスキャン変換時間](#)」を参照してください。

表 35.20 に TRSA[5:0]ビットでの A/D 変換起動要因選択一覧を示します。

表 35.20 TRSA[5:0]ビットでの A/D 変換起動要因選択一覧

要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
トリガ要因非選択状態	—	1	1	1	1	1	1
ADTRG0	トリガ入力端子	0	0	0	0	0	0
ELC_AD00	ELC	0	0	1	0	0	1
ELC_AD01	ELC	0	0	1	0	1	0
ELC_AD00、 ELC_AD01	ELC	0	0	1	0	1	1

35.2.17 ADEXICR : A/D 変換拡張入力コントロールレジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x012

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	OCSA	TSSA	—	—	—	—	—	—	OCSA D	TSSA D
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TSSAD	温度センサ出力 A/D 変換値加算／平均モード選択 0: 温度センサ出力に対し加算／平均モード非選択 1: 温度センサ出力に対し加算／平均モード選択	R/W
1	OCSAD	内部基準電圧 A/D 変換値加算／平均モード選択 0: 内部基準電圧に対し加算／平均モード非選択 1: 内部基準電圧に対し加算／平均モード選択	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	TSSA	温度センサ出力 A/D 変換選択 0: 温度センサ出力の A/D 変換禁止 1: 温度センサ出力の A/D 変換許可	R/W
9	OCSA	内部基準電圧 A/D 変換選択 0: 内部基準電圧の A/D 変換禁止 1: 内部基準電圧の A/D 変換許可	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

TSSAD ビット (温度センサ出力 A/D 変換値加算／平均モード選択)

TSSAD ビットが 1 の場合、ADADC.ADC[2:0] ビットで設定した回数分、連続して温度センサ出力の A/D 変換が行われます。ADADC.AVEE ビットが 0 の場合、加算 (積算) した値を A/D 温度センサデータレジスタ (ADTSDR) に返します。ADADC.AVEE ビットが 1 の場合、平均した値を A/D 内部基準電圧データレジスタ (ADTSDR) に返します。

TSSAD ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

OCSAD ビット (内部基準電圧 A/D 変換値加算／平均モード選択)

OCSAD ビットが 1 の場合、ADADC.ADC[2:0] ビットで設定した回数分、連続して内部基準電圧の A/D 変換が行われます。ADADC.AVEE ビットが 0 の場合、加算 (積算) した値を A/D 内部基準電圧データレジスタ (ADOCDR) に返します。ADADC.AVEE ビットが 1 の場合、平均した値を A/D 内部基準電圧データレジスタ (ADOCDR) に返します。

OCSAD ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

TSSA ビット (温度センサ出力 A/D 変換選択)

TSSA ビットは、温度センサ出力の A/D 変換を選択します。温度センサ出力の A/D 変換を実行する場合：

1. ADANSA0/1 と ADANSB0/1 レジスタのすべてのビット、ADCSR.DBLE ビット、および ADEXICR.OCSA ビットを 0 にします。
2. シングルスキャンモードで A/D 変換を実行します。

TSSA ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

温度センサ出力の A/D 変換を実行する場合、ADDISCR レジスタは 0x0F に設定され、A/D コンバータはサンプリング実行前にディスチャージ (15 ADCLK) を実行します。必要なサンプリング時間は 5 μ s 以上です。

A/D コンバータは、温度センサ出力の A/D 変換を行うたびにディスチャージを実行します。

OCSA ビット (内部基準電圧 A/D 変換選択)

OCSA ビットは、内部基準電圧の A/D 変換を選択します。内部基準電圧の A/D 変換を実施する場合：

1. ADANSA0/1 と ADANSB0/1 レジスタのすべてのビット、ADCSR.DBLE ビット、および ADEXICR.TSSA ビットを 0 にします。
2. シングルスキャンモードで A/D 変換を実行します。

OCSA ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

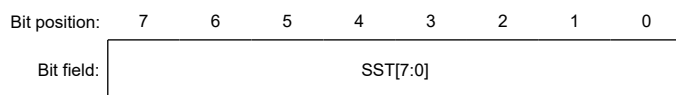
内部基準電圧の A/D 変換を実行する場合、ADDISCR レジスタは 0x0F に設定され、A/D コンバータはサンプリング実行前にディスチャージ (15ADCLK) を実行します。必要なサンプリング時間は 5 μ s 以上です。

A/D コンバータは、内部基準電圧の A/D 変換を行うたびにディスチャージを実行します。

35.2.18 ADSSTRn/ADSSTRL/ADSSTRT/ADSSTRO : A/D サンプリングステートレジスタ (n = 0~6)

Base address: ADC120 = 0x4017_0000

Offset address: 0x0E0 + 0x1 $\times$ n (n = 0~6)
 0x0DD (ADSSTRL)
 0x0DE (ADSSTRT)
 0x0DF (ADSSTRO)



Value after reset: 0 0 0 0 1 1 0 1

ビット	シンボル	機能	R/W
7:0	SST[7:0]	サンプリング時間設定 5~255 ステートの間でサンプリング時間を設定します。	R/W

ADSSTRn レジスタは、アナログ入力のスキャン時間の設定を行うレジスタです。

本レジスタでは、アナログ入力信号源のインピーダンスが高いためにサンプリング時間が不足する場合や、ADCLK が低速な場合に、サンプリング時間を調整することができます。設定値は、1ADCLK サイクルの時間を示し、電圧条件によって規定されます。詳細は、「[43.4. ADC12 特性](#)」を参照してください。

サンプリング時間の下限値は周波数比によって異なります。

- PCLKA:PCLKC (ADCLK) の周波数比が 1:1、2:1、4:1、または 8:1 の場合、サンプリング時間は 5 ステートより長く設定してください。
- PCLKA:PCLKC (ADCLK) の周波数比が 1:2 または 1:4 の場合、サンプリング時間は 6 ステートより長く設定してください。

表 35.21 に A/D サンプリングステートレジスタと対象チャネルの関係を示します。詳細は「[35.3.6. アナログ入力のサンプリング時間とスキャン変換時間](#)」を参照してください。

SST[7:0]ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

表 35.21 A/D サンプリングステートレジスタと関連チャネルの関係

ビット名	関連チャネル
ADSSTRn.SST[7:0]ビット (n = 0~6) ^(注1)	AN0n (n = 00~06)
ADSSTRL.SST[7:0]ビット	AN0n (n = 17~25)
ADSSTRT.SST[7:0]ビット	温度センサ出力 ^(注2)
ADSSTRO.SST[7:0]ビット	内部基準電圧 ^(注2)

注 1. 自己診断機能を選択した時は、ADSSTRO.SST[7:0]ビットで設定したサンプリング時間が適用されます。

注 2. 温度センサ出力または内部基準電圧変換時は、サンプリング時間を 5 μ s より長く設定してください。

35.2.19 ADDISCR : A/D 断線検出コントロールレジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x07A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	PCHG	ADNDIS[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	ADNDIS[3:0]	断線検出アシスト設定 0x0: 断線検出アシスト機能無効 0x1: 設定禁止 その他: プリチャージ/ディスチャージ期間のステート数	R/W
4	PCHG	プリチャージ/ディスチャージ選択 0: ディスチャージ 1: プリチャージ	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADDISCR レジスタは、A/D 断線検出アシスト機能のプリチャージ/ディスチャージの設定および期間を設定します。ADDISCR レジスタの設定は、ADCSR.ADST ビットが 0 の時のみ行ってください。温度センサ出力または内部基準電圧を A/D 変換する場合、A/D コンバータは自動的にディスチャージを実行します。

ADEXICR.OCSA または TSSA が 1 の場合、ADDISCR レジスタを 0x0F (15 ADCLK) を設定することにより、この動作が実行されます。ディスチャージ実行後、A/D コンバータはサンプリングを行います。

下記の機能のいずれかを使用する場合は断線検出アシスト機能を無効にしてください。

- 温度センサ
- 内部基準電圧
- A/D 自己診断

ADNDIS[3:0]ビット (断線検出アシスト設定)

ADNDIS[3:0]ビットは、プリチャージ/ディスチャージの期間を指定します。ADNDIS[3:0] = 0000b の場合は、断線検出アシスト機能は無効です。ADNDIS[3:0] = 0001b は設定禁止です。ADNDIS[3:0] = 0000b、0001b 以外では、設定した値がプリチャージ/ディスチャージ期間のステート数となります。ADNDIS[3:0]ビットが 0000b および 0001b 以外の値の場合、断線検出アシスト機能は有効になります。

PCHG ビット (プリチャージ/ディスチャージ選択)

PCHG ビットはプリチャージまたはディスチャージを選択します。

35.2.20 ADACSR : A/D 変換動作モード選択レジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x07E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	ADSA C	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
1	ADSAC	逐次変換制御設定 0: 通常変換モード (デフォルト) 1: 高速変換モード	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADACSR レジスタは A/D 変換動作モードを選択します。

ADSAC ビット (逐次変換制御設定)

ADSAC ビットは A/D 変換動作モードが通常変換モードか、高速変換モードかを選択します。

ADSAC ビットが 0 のとき、ADCLK の最高周波数は 48 MHz です。高速 A/D 変換モード (ADCSR.ADHSC = 0) において、逐次比較方式での変換時間は、31.5 ADCLK です。低消費電力 A/D 変換モード (ADCSR.ADHSC = 1) において、逐次比較方式での変換時間は、40.5 ADCLK です。

ADSAC ビットが 1 のとき、ADCLK の最高周波数は 48 MHz です。高速 A/D 変換モード (ADCSR.ADHSC = 0) において、逐次比較方式での変換時間は、21.5 ADCLK です。低消費電力 A/D 変換モード (ADCSR.ADHSC = 1) において、逐次比較方式での変換時間は、27.5 ADCLK です。

詳細をご確認ください。「[35.3.6. アナログ入力のスAMPLING時間とスキャン変換時間](#)」

35.2.21 ADGSPCR : A/D グループスキャン優先コントロールレジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x080

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	GBRP	—	—	—	—	—	—	—	—	—	—	—	—	—	GBRS CN	PGS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PGS	グループ優先動作設定(注1) 0: グループ優先制御動作を行わない 1: グループ優先制御動作を行う	R/W
1	GBRSCN	低優先グループ再起動設定 (PGS = 1 の時のみ有効。PGS = 0 の時は無効。) 0: グループ優先動作で中断されたグループの再スキャンをしない 1: グループ優先動作で中断されたグループの再スキャンをする	R/W
14:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	GBRP	シングルスキャン連続起動設定(注2) (PGS = 1 の時のみ有効。PGS = 0 の時は無効。) 0: シングルスキャン連続動作しない 1: 優先度の低いグループのシングルスキャン連続動作をする	R/W

注 1. ADCSR.ADCS[1:0]ビットは、PGS を 1 にする前に 01b (グループスキャンモード) にする必要があります。それ以外の値にした場合、動作は保証されません。

注 2. GBRP ビットを 1 にした場合は、GBRSCN ビットの設定にかかわらず、優先度の低いグループがシングルスキャン連続動作を実行します。

PGS ビット (グループ優先動作設定)

PGS ビットはグループスキャンモードでのグループ優先動作を制御します。グループ優先動作を行うために、PGS ビットを 1 にしてください。

ADCSR.ADCS[1:0]ビットは、PGS ビットを 1 にする前に 01b (グループスキャンモード) にする必要があります。それ以外の値にした場合、動作は保証されません。

PGS ビットを 0 にした場合は、「[35.8.3. A/D 変換停止に関する制約](#)」に従い、ソフトウェアでのクリアを行ってください。PGS ビットを 1 にした場合は、「[35.3.4.3. グループ優先動作](#)」の手順に従い設定を行ってください。

GBRSCN ビット (低優先グループ再起動設定)

GBRSCN ビットは、グループ優先動作時の再スキャン動作を制御します。

GBRSCN ビットを 1 にすると、優先グループのトリガ入力により低優先グループのスキャン動作が中断した後、優先グループのスキャン終了を待ってから、低優先グループのスキャンを再実行します。また、優先グループのスキャン中に低優先グループのトリガ入力があった場合、優先グループのスキャン終了を待って、低優先グループのスキャンを実行します。

GBRSCN ビットを 0 にした場合は、スキャン中に入力されたトリガは無視されます。GBRSCN ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

GBRP ビット (シングルスキャン連続起動設定)

GBRP ビットは、グループ優先動作設定で優先度の低いグループをシングルスキャンで連続動作させる場合に設定します。

GBRP ビットを 1 にすると、優先度の低いグループのシングルスキャンが起動します。スキャン完了後、優先度の低いグループのシングルスキャンを自動的に開始します。グループ優先動作でスキャンが中断した後は、優先グループの A/D 変換動作完了後、優先度の低いグループのシングルスキャンを自動的に再開します。

GBRP ビットを 1 にする場合は、事前に優先度の低いグループのトリガ入力を無効にしてください。GBRP ビットを 1 に設定した場合、GBRSCN ビットが 0 でも、優先度の低いグループのみ再スキャンを行います。

35.2.22 ADCMPCR : A/D コンペア機能コントロールレジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x090

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPAIE	WCMP E	CMPBIE	—	CMPAE	—	CMPBE	—	—	—	—	—	—	—	CMPAB[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CMPAB[1:0]	ウィンドウ A/B 複合条件設定 これらのビットは、ウィンドウ A およびウィンドウ B がどちらも有効 (CMPAE = 1 および CMPBE = 1) な場合に有効となります。 0 0: ウィンドウ A 比較条件に一致 OR ウィンドウ B 比較条件に一致の場合、ADC120_WCMPPM を出力。その他の場合は ADC120_WCMPUM を出力。 0 1: ウィンドウ A 比較条件に一致 EXOR ウィンドウ B 比較条件に一致の場合、ADC120_WCMPPM を出力。その他の場合は ADC120_WCMPUM を出力。 1 0: ウィンドウ A 比較条件に一致 AND ウィンドウ B 比較条件に一致の場合、ADC120_WCMPPM を出力。その他の場合は ADC120_WCMPUM を出力。 1 1: 設定禁止	R/W
8:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	CMPBE	コンペアウィンドウ B 動作許可 0: コンペアウィンドウ B 動作禁止 ADC120_WCMPPM 出力と ADC120_WCMPUM 出力は禁止 1: コンペアウィンドウ B 動作許可	R/W
10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	CMPAE	コンペアウィンドウ A 動作許可 0: コンペアウィンドウ A 動作禁止 ADC120_WCMPPM 出力と ADC120_WCMPUM 出力は禁止 1: コンペアウィンドウ A 動作許可	R/W
12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13	CMPBIE	コンペア B 割り込み許可 0: 比較条件 (ウィンドウ B) 一致による ADC120_CMPBI 割り込み禁止 1: 比較条件 (ウィンドウ B) 一致による ADC120_CMPBI 割り込み許可	R/W

ビット	シンボル	機能	R/W
14	WCMPE	ウィンドウ機能設定 0: ウィンドウ機能無効 ウィンドウ A および B はコンパレータとして動作し、下位の 1 つの値を A/D 変換結果と比較します。 1: ウィンドウ機能有効 ウィンドウ A および B はコンパレータとして動作し、上位および下位の 2 つの値を A/D 変換結果と比較します。	R/W
15	CMPAIE	コンペア A 割り込み許可 0: 比較条件 (ウィンドウ A) 一致による ADC120_CMPAI 割り込み禁止 1: 比較条件 (ウィンドウ A) 一致による ADC120_CMPAI 割り込み許可	R/W

CMPAB[1:0]ビット (ウィンドウ A/B 複合条件設定)

CMPAB[1:0]ビットはシングルスキャンモードでウィンドウ A およびウィンドウ B がどちらも有効 (CMPAE = 1 および CMPBE = 1) な場合に有効となります。CMPAB[1:0]ビットにより、ADWINMON.MONCOMB のコンペア機能一致／不一致イベント出力条件および監視条件を指定します。CMPAB[1:0]ビットは、ADCSR.ADST ビットが 0 のときのみ設定してください。

CMPBE ビット (コンペアウィンドウ B 動作許可)

CMPBE ビットはコンペアウィンドウ B の動作を許可／禁止します。CMPBE ビットは、ADSCR.ADST ビットが 0 のときに設定してください。

このビットは、以下のレジスタを設定する前に 0 にしてください。

- A/D チャンネル選択レジスタ A0、A1、B0、B1 (ADANSA0、ADANSA1、ADANSB0、ADANSB1)
- A/D 変換拡張入力コントロールレジスタ (ADEXICR) の OCSA ビットまたは TSSA ビット
- ウィンドウ B チャンネル選択レジスタ (ADCMPBNSR) の CMPCHB[5:0]ビット

CMPAE ビット (コンペアウィンドウ A 動作許可)

CMPAE ビットはコンペアウィンドウ A の動作を許可／禁止します。CMPAE ビットは、ADSCR.ADST ビットが 0 のときに設定してください。

このビットは、以下のレジスタを設定する前に 0 にしてください。

- A/D チャンネル選択レジスタ A0、A1、B0、B1 (ADANSA0、ADANSA1、ADANSB0、ADANSB1)
- A/D 変換拡張入力コントロールレジスタ (ADEXICR) の TSSB、OCSA、または TSSA ビット
- ウィンドウ A チャンネル選択レジスタ 0 および 1 (ADCMPANSR0 および ADCMPANSR1)
- ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)

CMPBIE ビット (コンペア B 割り込み許可)

CMPBIE ビットは比較条件 (ウィンドウ B) の一致による ADC120_CMPBI 割り込み出力を許可または禁止します。

WCMPE ビット (ウィンドウ機能設定)

WCMPE ビットは、ウィンドウ機能の有効／無効を選択します。WCMPE ビットは、ADSCR.ADST ビットが 0 のときに設定してください。

CMPAIE ビット (コンペア A 割り込み許可)

CMPAIE ビットは比較条件 (ウィンドウ A) の一致による ADC120_CMPAI 割り込み出力を許可または禁止します。

35.2.23 ADCMPANSR0 : A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0

Base address: ADC120 = 0x4017_0000

Offset address: 0x094

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPC HA15	CMPC HA14	CMPC HA13	CMPC HA12	CMPC HA11	CMPC HA10	CMPC HA9	CMPC HA8	CMPC HA7	CMPC HA6	CMPC HA5	CMPC HA4	CMPC HA3	CMPC HA2	CMPC HA1	CMPC HA0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CMPCHA15~ CMPCHA0	コンペアウィンドウ A チャネル選択 ビット 15 (CMPCHA15) は AN015 に対応し、ビット 0 (CMPCHA0) は AN000 に対応します。 0: 関連する入力チャネルに対するコンペア機能を禁止 1: 関連する入力チャネルに対するコンペア機能を許可	R/W

注. n = 00~06

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

CMPCHAN ビット (コンペアウィンドウ A チャネル選択)

ADANSA0.ANSAn ビットおよび ADANSB0.ANSBn ビットで選択した A/D 変換チャネルと同一番号の CMPCHAN ビットを 1 にすると、コンペア機能が有効になります。

CMPCHAN ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

35.2.24 ADCMPANSR1 : A/D コンペア機能ウィンドウ A チャネル選択レジスタ 1

Base address: ADC120 = 0x4017_0000

Offset address: 0x096

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPC HA31	CMPC HA30	CMPC HA29	CMPC HA28	CMPC HA27	CMPC HA26	CMPC HA25	CMPC HA24	CMPC HA23	CMPC HA22	CMPC HA21	CMPC HA20	CMPC HA19	CMPC HA18	CMPC HA17	CMPC HA16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CMPCHA31~ CMPCHA16	コンペアウィンドウ A チャネル選択 ビット 15 (CMPCHA31) は AN031 に対応し、ビット 0 (CMPCHA16) は AN016 に対応します。 0: 関連する入力チャネルに対するコンペア機能を禁止 1: 関連する入力チャネルに対するコンペア機能を許可	R/W

注. n = 17~25

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

CMPCHAN ビット (コンペアウィンドウ A チャネル選択)

ADANSA1.ANSA ビットおよび ADANSB1.ANSB ビットで選択した A/D 変換チャネルと同一番号の CMPCHAN ビットを 1 にすると、コンペア機能が有効になります。

CMPCHAN ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

35.2.25 ADCMPANSER : A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x092

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CMPO CA	CMPT SA
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CMPTSA	温度センサ出力コンペア選択 0: 温度センサ出力をコンペアウィンドウ A 対象から外す 1: 温度センサ出力をコンペアウィンドウ A 対象とする	R/W
1	CMPOCA	内部基準電圧コンペア選択 0: 内部基準電圧をコンペアウィンドウ A 対象から外す 1: 内部基準電圧をコンペアウィンドウ A 対象とする	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CMPTSA ビット (温度センサ出力コンペア選択)

ADEXICR.TSSA ビットが 1 の場合、CMPTSA ビットを 1 に設定することにより、コンペア機能ウィンドウ A が有効になります。CMPTSA ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

CMPOCA ビット (内部基準電圧コンペア選択)

ADEXICR.OCSA ビットが 1 の場合、CMPOCA ビットを 1 に設定することにより、コンペア機能ウィンドウ A が有効になります。CMPOCA ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

35.2.26 ADCMPLR0 : A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0

Base address: ADC120 = 0x4017_0000

Offset address: 0x098

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPL CHA1 5	CMPL CHA1 4	CMPL CHA1 3	CMPL CHA1 2	CMPL CHA11	CMPL CHA1 0	CMPL CHA9	CMPL CHA8	CMPL CHA7	CMPL CHA6	CMPL CHA5	CMPL CHA4	CMPL CHA3	CMPL CHA2	CMPL CHA1	CMPL CHA0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CMPLCHA15~ CMPLCHA0	コンペアウィンドウ A 比較条件選択 ウィンドウ A 比較条件を適用するチャネルの比較条件を設定します。 ビット 15 (CMPLCHA15) は AN015 に対応し、ビット 0 (CMPLCHA0) は AN000 に対応します。 比較条件を図 35.3 に示します。 0: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0) ADCMPDR0 値 > A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1) A/D 変換値 < ADCMPDR0 値、 または ADCMPDR1 値 < A/D 変換値 1: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0) ADCMPDR0 値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1) ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値	R/W

注. n = 00~06

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

CMPLCHANn ビット (コンペアウィンドウ A 比較条件選択)

CMPLCHANn ビットは、ウィンドウ A 比較条件を適用するチャンネルの比較条件を設定します。このビットはコンペア対象のアナログ入力ごとに設定可能です。各アナログ入力の比較結果が設定条件と一致すると、ADCMPSTR0.CMPSTCHANn フラグは 1 になり、コンペア割り込み (ADC120_CMPAI) が発生します。

ウィンドウ機能が無効のときの比較条件			
CMPLCHAN = 0		CMPLCHAN = 1	
ADCMPDR0値 ≤ A/D変換値	不一致	ADCMPDR0値 < A/D変換値	一致
ADCMPDR0値 > A/D変換値	一致	ADCMPDR0値 ≥ A/D変換値	不一致
ウィンドウ機能が有効のときの比較条件			
CMPLCHAN = 0			
ADCMPDR1値 < A/D変換値		一致	
ADCMPDR0値 ≤ A/D変換値 ≤ ADCMPDR1値		不一致	
A/D変換値 < ADCMPDR0値		一致	
CMPLCHAN = 1			
ADCMPDR1値 ≤ A/D変換値		不一致	
ADCMPDR0値 < A/D変換値 < ADCMPDR1値		一致	
A/D変換値 ≤ ADCMPDR0値		不一致	

図 35.3 コンペア機能ウィンドウ A 比較条件の説明

35.2.27 ADCMPLR1 : A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1

Base address: ADC120 = 0x4017_0000

Offset address: 0x09A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPL CHA3 1	CMPL CHA3 0	CMPL CHA2 9	CMPL CHA2 8	CMPL CHA2 7	CMPL CHA2 6	CMPL CHA2 5	CMPL CHA2 4	CMPL CHA2 3	CMPL CHA2 2	CMPL CHA2 1	CMPL CHA2 0	CMPL CHA1 9	CMPL CHA1 8	CMPL CHA1 7	CMPL CHA1 6
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CMPLCHA31~ CMPLCHA16	コンペアウィンドウ A 比較条件選択 ウィンドウ A 比較条件を適用するチャンネルの比較条件を設定します。 ビット 15 (CMPLCHA31) は AN031 に対応し、ビット 0 (CMPLCHA16) は AN016 に対応します。 図 35.3 に比較条件を示します。 0: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADCMPDR0 値 > A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): A/D 変換値 < ADCMPDR0 値、 または ADCMPDR1 値 < A/D 変換値 1: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADCMPDR0 値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値	R/W

注. n = 17~25

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

CMPLCHANn ビット (コンペアウィンドウ A 比較条件選択)

CMPLCHANn ビットはウィンドウ A 比較条件を適用するアナログチャンネルの比較条件を指定します。このビットはコンペア対象のアナログ入力ごとに設定可能です。各アナログ入力の比較結果が設定条件と一致すると、ADCMPSR1.CMPSTCHANn ビットは 1 になり、コンペア割り込み (ADC120_CMPAI) が発生します。

35.2.28 ADCMPLER : A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x093

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CMPL OCA	CMPL TSA

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	CMPLTSA	コンペアウィンドウ A 温度センサ出力比較条件選択 比較条件を図 35.3 に示します。 0: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADCMPDR0 値 > A/D 変換値 コンペアウィンドウ A 温度センサ出力比較条件選択 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): コンペアウィンドウ A 温度センサ出力比較条件 A/D 変換値 < ADCMPDR0 値、または A/D 変換値 > ADCMPDR1 値 1: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADCMPDR0 値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値	R/W
1	CMPLOCA	コンペアウィンドウ A 内部基準電圧比較条件選択 比較条件を図 35.3 に示します。 0: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADCMPDR0 値 > A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): A/D 変換値 < ADCMPDR0 値、 または A/D 変換値 > ADCMPDR1 値 1: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADCMPDR0 値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CMPLTSA ビット (コンペアウィンドウ A 温度センサ出力比較条件選択)

CMPLTSA ビットは、温度センサ出力がウィンドウ A 比較条件の対象である場合の比較条件を指定します。温度センサ出力の比較結果が設定条件と一致すると、ADCMPSER.CMPSTTSA フラグは 1 になり、コンペア割り込み (ADC120_CMPAI) が発生します。

CMPLOCA ビット (コンペアウィンドウ A 内部基準電圧比較条件選択)

CMPLOCA ビットは、内部基準電圧がウィンドウ A 比較条件の対象である場合の比較条件を指定します。内部基準電圧の比較結果が設定条件と一致すると、ADCMPSER.CMPSTOCA フラグは 1 になり、コンペア割り込み (ADC120_CMPAI) が発生します。

35.2.29 ADCMPDRn : A/D コンペア機能ウィンドウ A 下側／上側レベル設定レジスタ (n = 0, 1)

Base address: ADC120 = 0x4017_0000

Offset address: 0x09C + (0x2 × n)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ADCMPDRy (y = 0, 1) レジスタは、コンペアウィンドウ A 機能使用時、基準となるデータを指定するレジスタです。ADCMPDR0 はウィンドウ A の下側基準を設定し、ADCMPDR1 は上側基準を設定します。

ADCMPDRy は読み出し／書き込みレジスタです。

ADCMPDRy の書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、基準データを動的に変更することができます(注1)。

これらのレジスタを設定するときは、上側基準が下側基準を下回らないようにしてください (ADCMPDR1 ≥ ADCMPDR0)。ADCMPDR1 は、ウィンドウ機能無効時は使用しません。

注 1. 下側基準および上側基準は、それぞれのレジスタが書き込まれる時に変更されます。たとえば上側基準値が変更され、下側基準値が変更中の場合、本 MCU は上側基準値 (変更後) と下側基準値 (変更前) を A/D 変換結果と比較します。図 35.4 を参照してください。2 つの基準値の書き換え時に比較エラーとなった場合、ADCSR.ADST および関連するコンペアウィンドウ動作許可ビット (ADCMPCR.CMPAE または ADCMPCR.CMPBE) がどちらも 0 のときに、それらの基準値を書き換えてください。

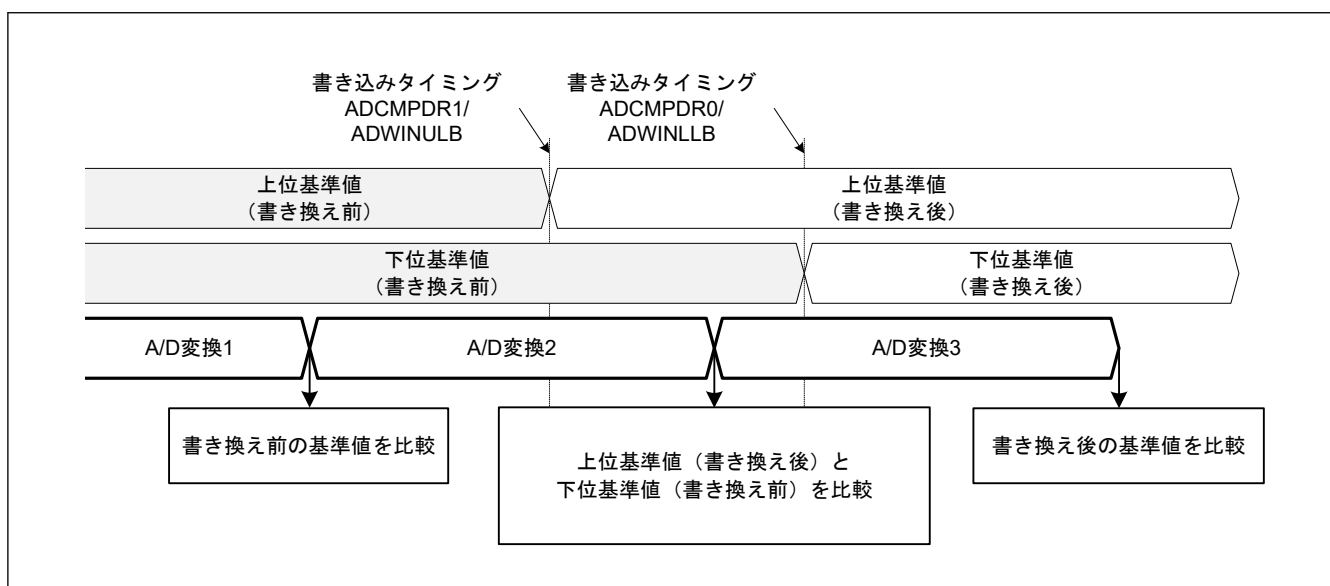


図 35.4 書き換え前後の上側基準値と下側基準値の比較

ADCMPDRy レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値（右詰めまたは左詰め）
- A/D 変換値加算／平均チャネル選択ビットの設定値（A/D 変換値加算モード選択、または非選択）

以下、条件ごとのフォーマットを示します。

1. A/D 変換値加算モードを非選択とした場合
 - 右詰めフォーマット、12 ビット精度の場合：下位 12 ビット ([11:0]) が有効
 - 左詰めフォーマット、12 ビット精度の場合：上位 12 ビット ([15:4]) が有効
2. A/D 変換値加算モードを選択した場合（16 回変換時以外）
 - 右詰めフォーマット、12 ビット精度の場合：下位 14 ビット ([13:0]) が有効
 - 左詰めフォーマット、12 ビット精度の場合：上位 14 ビット ([15:2]) が有効
3. A/D 変換値加算モードを選択した場合（16 回変換時）
 - 全ビット ([15:0]) が有効

35.2.30 ADWINnLB : A/D コンペア機能ウィンドウ B 下側／上側レベル設定レジスタ (n = L, U)

Base address: ADC120 = 0x4017_0000

Offset address: 0x0A8 (n = L)
0x0AA (n = U)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ADWINULB および ADWINLLB レジスタは、コンペアウィンドウ B 機能使用時、基準となるデータを指定します。ADWINLLB はウィンドウ B の下側基準を設定し、ADWINULB は上側基準を設定します。

ADWINnLB は読み出し／書き込みレジスタです。

ADWINnLB の書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、基準データを動的に変更することができます(注1)。

これらのレジスタを設定するときは、上側基準が下側基準を下回らないようにしてください (ADWINULB $\geq$ ADWINLLB)。ADWINULB は、ウィンドウ機能無効時は使用しません。

- 注 1. 下側基準および上側基準は、それぞれのレジスタが書き込まれる時に変更されます。たとえば上側基準値が変更され、下側基準値が変更中の場合、本 MCU は上側基準値（変更後）と下側基準値（変更前）を A/D 変換結果と比較します。図 35.5 を参照してください。2 つの基準値の書き換え時に比較エラーとなった場合、ADCSR.ADST および関連するコンペアウィンドウ動作許可ビット (ADCMPCR.CMPAE または ADCMPCR.CMPBE) がどちらも 0 のときに、それらの基準値を書き換えてください。

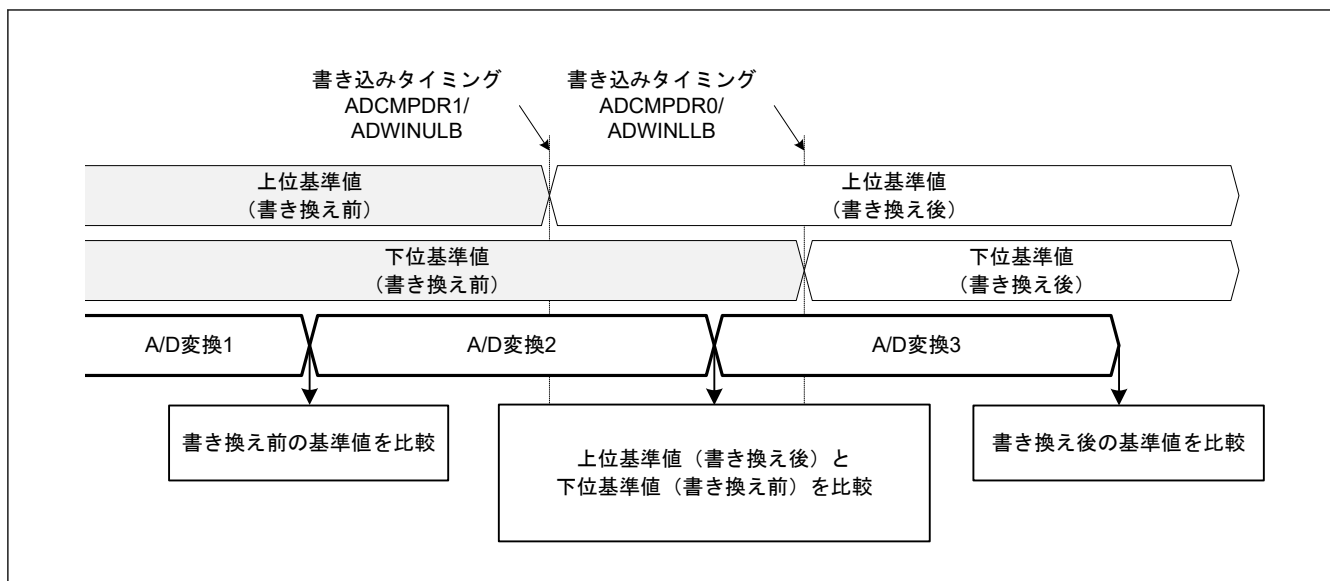


図 35.5 書き換え前後の上側基準値と下側基準値の比較

ADWINnLB レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値（右詰めまたは左詰め）
- A/D 変換値加算／平均チャネル選択ビットの設定値（A/D 変換値加算モード選択、または非選択）

以下、条件ごとのフォーマットを示します。

1. A/D 変換値加算モードを非選択とした場合
 - 右詰めフォーマット、12 ビット精度の場合：下位 12 ビット ([11:0]) が有効
 - 左詰めフォーマット、12 ビット精度の場合：上位 12 ビット ([15:4]) が有効
2. A/D 変換値加算モードを選択した場合（16 回変換時以外）
 - 右詰めフォーマット、12 ビット精度の場合：下位 14 ビット ([13:0]) が有効
 - 左詰めフォーマット、12 ビット精度の場合：上位 14 ビット ([15:2]) が有効
3. A/D 変換値加算モードを選択した場合（16 回変換時）
 - 全ビット ([15:0]) が有効

35.2.31 ADCMPDR0 : A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0

Base address: ADC120 = 0x4017_0000

Offset address: 0x0A0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPSTCHA15 TCHA 15	CMPSTCHA14 TCHA 14	CMPSTCHA13 TCHA 13	CMPSTCHA12 TCHA 12	CMPSTCHA11 TCHA 11	CMPSTCHA10 TCHA 10	CMPSTCHA9 TCHA 9	CMPSTCHA8 TCHA 8	CMPSTCHA7 TCHA 7	CMPSTCHA6 TCHA 6	CMPSTCHA5 TCHA 5	CMPSTCHA4 TCHA 4	CMPSTCHA3 TCHA 3	CMPSTCHA2 TCHA 2	CMPSTCHA1 TCHA 1	CMPSTCHA0 TCHA 0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CMPSTCHA15～ CMPSTCHA0	コンペアウィンドウ A フラグ ウィンドウ A 動作が有効 (ADCMPDR.CMPAE = 1b) な場合、ウィンドウ A 比較条件を適用するチャネルの比較結果を示します。 ビット 15 (CMPSTCHA15) は AN015 に対応し、ビット 0 (CMPSTCHA0) は AN000 に対応します。 0: 比較条件不成立 1: 比較条件成立	R/W

注. n = 00～06

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

CMPSTCHAn フラグ (コンペアウィンドウ A フラグ)

CMPSTCHAn フラグはウィンドウ A 比較条件を適用したチャネルの比較結果を示します。

ADCMPLR0.CMPLCHA ビットで設定した比較条件が A/D 変換終了時に成立すると、対応する CMPSTCHAn フラグが 1 になります。ADCMPCR.CMPAIE ビットが 1 の場合、このフラグが 1 になるとコンペア割り込み要求 (ADC120_CMPAI) が発生します。

CMPSTCHAn フラグへの 1 書き込みは無効です。

[1 になる条件]

- ADCMPCR.CMPAE が 1 のときに、ADCMPLR0.CMPLCHA で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

35.2.32 ADCMPSR1 : A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 1

Base address: ADC120 = 0x4017_0000

Offset address: 0x0A2

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPSTCHA31	CMPSTCHA30	CMPSTCHA29	CMPSTCHA28	CMPSTCHA27	CMPSTCHA26	CMPSTCHA25	CMPSTCHA24	CMPSTCHA23	CMPSTCHA22	CMPSTCHA21	CMPSTCHA20	CMPSTCHA19	CMPSTCHA18	CMPSTCHA17	CMPSTCHA16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CMPSTCHA31~ CMPSTCHA16	コンペアウィンドウ A フラグ ウィンドウ A 動作が有効 (ADCMPCR.CMPAE = 1) な場合、ウィンドウ A 比較条件を適用するチャネルの比較結果を示します。 ビット 15 (CMPSTCHA31) は AN031 に対応し、ビット 0 (CMPSTCHA16) は AN016 に対応します。 0: 比較条件不成立 1: 比較条件成立	R/W

注. n = 17~25

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

CMPSTCHAn フラグ (コンペアウィンドウ A フラグ)

CMPSTCHAn フラグはウィンドウ A 比較条件を適用したチャネルの比較結果を示します。

ADCMPLR1.CMPLCHA で設定した比較条件が A/D 変換終了時に成立すると、関連する CMPSTCHAn フラグが 1 になります。ADCMPCR.CMPAIE ビットが 1 の場合、このフラグが 1 になるとコンペア割り込み要求 (ADC120_CMPAI) が発生します。

CMPSTCHAn フラグへの 1 書き込みは無効です。

[1 になる条件]

- ADCMPCR.CMPAE が 1 のときに、ADCMPLR1.CMPLCHA で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

35.2.33 ADCMPSER : A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x0A4

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CMPS TOCA	CMPS TTSA
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CMPSTTSA	コンペアウィンドウ A 温度センサ出力コンペアフラグ ウィンドウ A 動作が有効 (ADCMPPCR.CMPAE = 1) の場合、温度センサ出力の比較結果を示します。 0: 比較条件不成立 1: 比較条件成立	R/W
1	CMPSTOCA	コンペアウィンドウ A 内部基準電圧コンペアフラグ ウィンドウ A 動作が有効 (ADCMPPCR.CMPAE = 1) の場合、内部基準電圧の比較結果を示します。 0: 比較条件不成立 1: 比較条件成立	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADCMPSER レジスタは、コンペア機能ウィンドウ A の比較結果を格納するレジスタです。

CMPSTTSA フラグ (コンペアウィンドウ A 温度センサ出力コンペアフラグ)

CMPSTTSA フラグは、温度センサ出力の比較結果を示します。ADCMPPLER.CMPLTSA で設定した比較条件が A/D 変換終了時に成立すると 1 になります。ADCMPPCR.CMPAIE ビットが 1 の場合、このフラグが 1 になるとコンペア割り込み要求 (ADC120_CMPAI) が発生します。

CMPSTTSA フラグへの 1 書き込みは無効です。

[1 になる条件]

- ADCMPPCR.CMPAE が 1 のときに、ADCMPPLER.CMPLTSA で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

CMPSTOCA フラグ (コンペアウィンドウ A 内部基準電圧コンペアフラグ)

CMPSTOCA は、内部基準電圧の比較結果を示します。ADCMPPLER.CMPLOCA で設定した比較条件が A/D 変換終了時に成立すると 1 になります。ADCMPPCR.CMPAIE ビットが 1 の場合、このフラグが 1 になるとコンペア割り込み要求 (ADC120_CMPAI) が発生します。

CMPSTOCA フラグへの 1 書き込みは無効です。

[1 になる条件]

- ADCMPPCR.CMPAE が 1 のときに、ADCMPPLER.CMPLOCA で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

35.2.34 ADCMPBNSR : A/D コンペア機能ウィンドウ B チャンネル選択レジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x0A6

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CMP LB	—	CMPCHB[5:0]					
Value after reset:	0	0	0	0	0	0	0	0

ビット	記号	機能	R/W																														
5:0	CMPCHB[5:0]	コンペアウィンドウ B チャンネル選択 コンペアウィンドウ B 条件と比較するチャンネルを選択します。	R/W																														
		<table><tr><th>CMPCHB[5:0]</th><th>チャンネル</th></tr><tr><td>0x00</td><td>AN000</td></tr><tr><td>0x01</td><td>AN001</td></tr><tr><td>0x02</td><td>AN002</td></tr><tr><td>⋮</td><td>⋮</td></tr><tr><td>0x06</td><td>AN006</td></tr><tr><td>0x11</td><td>AN017</td></tr><tr><td>0x12</td><td>AN018</td></tr><tr><td>0x13</td><td>AN019</td></tr><tr><td>⋮</td><td>⋮</td></tr><tr><td>0x19</td><td>AN025</td></tr><tr><td>0x20</td><td>温度センサ</td></tr><tr><td>0x21</td><td>内部基準電圧</td></tr><tr><td>0x3F</td><td>非選択</td></tr><tr><td>その他</td><td>設定禁止</td></tr></table>		CMPCHB[5:0]	チャンネル	0x00	AN000	0x01	AN001	0x02	AN002	⋮	⋮	0x06	AN006	0x11	AN017	0x12	AN018	0x13	AN019	⋮	⋮	0x19	AN025	0x20	温度センサ	0x21	内部基準電圧	0x3F	非選択	その他	設定禁止
		CMPCHB[5:0]		チャンネル																													
		0x00		AN000																													
		0x01		AN001																													
		0x02		AN002																													
		⋮		⋮																													
		0x06		AN006																													
		0x11		AN017																													
		0x12		AN018																													
		0x13		AN019																													
		⋮		⋮																													
		0x19		AN025																													
		0x20		温度センサ																													
		0x21		内部基準電圧																													
		0x3F		非選択																													
		その他		設定禁止																													
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W																														
7	CMPLB	コンペアウィンドウ B 比較条件設定 ウィンドウ B のチャンネル比較条件を設定します。比較条件を図 35.6 に示します。 0: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADWINLLB 値 > A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): A/D 変換値 < ADWINLLB 値または ADWINULB 値 < A/D 変換値 1: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADWINLLB 値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): ADWINLLB 値 < A/D 変換値 < ADWINULB 値	R/W																														

CMPCHB[5:0]ビット (コンペアウィンドウ B チャンネル選択)

CMPCHB[5:0]ビットは、コンペアウィンドウ B 条件と比較されるチャンネルを AN000～AN006、AN017～AN025、温度センサ、および内部基準電圧から指定します。コンペアウィンドウ B 機能は、ADANSA0、ADANSA1、ADANSB0、ADANSB1 レジスタで選択した A/D 変換チャンネルのチャンネル番号を 16 進数で指定することで有効になります。

CMPCHB[5:0]ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

CMPLB ビット (コンペアウィンドウ B 比較条件設定)

CMPLB ビットはウィンドウ B のチャンネル比較条件を指定します。各アナログ入力の比較結果が設定条件と一致すると、対応する ADCMPBSR.CMPSTB フラグは 1 になり、コンペア割り込み要求 (ADC120_CMPBI) が発生します。

ウィンドウ機能が無効のときの比較条件			
CMPLB = 0		CMPLB = 1	
ADWINLLB値 $\leq$ A/D変換値	不一致	ADWINLLB値 < A/D変換値	一致
ADWINLLB値 > A/D変換値	一致	ADWINLLB値 $\geq$ A/D変換値	不一致
ウィンドウ機能が有効のときの比較条件			
CMPLB = 0			
A/D変換値 > ADWINULB値	一致		
ADWINLLB値 $\leq$ A/D変換値 $\leq$ ADWINULB値	不一致		
A/D変換値 < ADWINLLB値	一致		
CMPLB = 1			
A/D変換値 $\geq$ ADWINULB値	不一致		
ADWINLLB値 < A/D変換値 < ADWINULB値	一致		
A/D変換値 $\leq$ ADWINLLB値	不一致		

図 35.6 コンペア機能ウィンドウ B 比較条件の説明

35.2.35 ADCMPBSR : A/D コンペア機能ウィンドウ B ステータスレジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x0AC

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CMPSTB

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	CMPSTB	コンペアウィンドウ B フラグ ウィンドウ B の動作が有効 (ADCMPCR.CMPBE = 1) の場合、このビットはウィンドウ B 比較条件を適用するチャネル、温度センサ出力、および内部基準電圧の比較結果を示します。 0: 比較条件不成立 1: 比較条件成立	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CMPSTB フラグ (コンペアウィンドウ B フラグ)

CMPSTB フラグはウィンドウ B 比較条件を適用するチャネル、温度センサ出力、および内部基準電圧の比較結果を示します。ADCMPBSR.CMPLB で設定した比較条件が A/D 変換終了時に成立すると 1 になります。

ADCMPCR.CMPBIE ビットが 1 の場合、このフラグが 1 になるとコンペア割り込み要求 (ADC120_CMPBI) が発生します。

CMPSTB フラグへの 1 書き込みは無効です。

[1 になる条件]

- ADCMPCR.CMPBE が 1 のときに、ADCMPCBNSR.CMPLB で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

35.2.36 ADWINMON : A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x08C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	MONC MPB	MONC MPA	—	—	—	MONC OMB
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MONCOMB	組み合わせ結果モニタ 組み合わせ結果を示します。本ビットは、ウィンドウ A とウィンドウ B の動作がどちらも有効な場合に有効となります。 0: ウィンドウ A/ウィンドウ B の複合条件が不成立 1: ウィンドウ A/ウィンドウ B の複合条件が成立	R
3:1	—	読むと 0 が読めます。	R
4	MONCMPA	比較結果モニタ A 0: ウィンドウ A 比較条件が不成立 1: ウィンドウ A 比較条件が成立	R
5	MONCMPB	比較結果モニタ B 0: ウィンドウ B 比較条件が不成立 1: ウィンドウ B 比較条件が成立	R
7:6	—	読むと 0 が読めます。	R

MONCOMB ビット (組み合わせ結果モニタ)

MONCOMB ビットは、は、ADCMPCR.CMPAB[1:0] ビットで設定した複合条件に従って比較条件結果 A および B の組み合わせの結果を示す読み出し専用ビットです。

[1 になる条件]

- ADCMPCR.CMPAE が 1 かつ ADCMPCR.CMPBE が 1 のとき、組み合わせ結果が ADCMPCR.CMPAB[1:0] ビットで設定した複合条件と一致したとき

[0 になる条件]

- 組み合わせ結果が ADCMPCR.CMPAB[1:0] ビットで設定した複合条件と一致しないとき
- ADCMPCR.CMPAE が 0 または ADCMPCR.CMPBE が 0 のとき

MONCMPA ビット (比較結果モニタ A)

読み出し専用の MONCMPA ビットは、ウィンドウ A の対象チャネルの A/D 変換値が ADCMPLR0/ADCMPLR1 および ADCMPLER で設定した条件と一致すると 1 が読み出されます。それ以外の場合は読むと 0 が読み出されます。

[1 になる条件]

- ADCMPCR.CMPAE が 1 のときに、A/D 変換値が ADCMPLR0/ADCMPLR1 および ADCMPLER レジスタで設定した条件と一致するとき

[0 になる条件]

- ADCMPCR.CMPAE が 1 のときに、A/D 変換値が ADCMPLR0/ADCMPLR1 および ADCMPLER レジスタで設定した条件と一致しないとき
- ADCMPCR.CMPAE が 0 のとき (ADCMPCR.CMPAE の値が 1 から 0 に変化すると自動的に 0 になる)

MONCMPB ビット (比較結果モニタ B)

MONCMPB ビットは、ウィンドウ B の対象チャネルの A/D 変換値が ADCMPBNSR.CMPLB ビットで設定した条件と一致すると 1 が読み出される読み出し専用ビットです。それ以外の場合は読むと 0 が読み出されます。

[1 になる条件]

- ADCMPCR.CMPBE が 1 のときに、A/D 変換値が ADCMPBNSR.CMPLB で設定した条件と一致するとき

[0 になる条件]

- ADCMPCR.CMPBE が 1 のときに、A/D 変換値が ADCMPBNSR.CMPLB で設定した条件と一致しないとき
- ADCMPCR.CMPBE = 0 のとき (ADCMPCR.CMPBE = 1→0 に変化すると自動的に 0 になる)

35.2.37 ADHVREFCNT : A/D 高電位／低電位基準電圧コントロールレジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x08A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ADSLP	—	—	LVSEL	—	—	HVSEL[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	HVSEL[1:0]	高電位基準電圧選択 0 0: 高電位基準電圧に AVCC0 を選択 0 1: 高電位基準電圧に VREFH0 を選択 1 0: 高電位基準電圧に内部基準電圧を選択 1 1: 基準電圧端子は非選択 (内部ノード放電)	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	LVSEL	低電圧基準電圧選択 0: 低電位基準電圧に AVSS0 を選択 1: 低電位基準電圧に VREFL0 を選択	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	ADSLP	スリープ 0: 通常動作 1: スタンバイ状態	R/W

HVSEL[1:0]ビット (高電位基準電圧選択)

HVSEL[1:0]ビットは高電位基準電圧に VREFH0、AVCC0、または内部基準電圧を指定します。

設定する場合は、必ず初めに HVSEL[1:0] = 11b に設定してからレジスタ設定を行ってください。

内部基準電圧を選択する際 (HVSEL[1:0] = 10b) は、事前に HVSEL[1:0] = 11b とし、高電位側基準電圧経路をデイスチャージしてください。デイスチャージ完了後に HVSEL[1:0] = 10b とし、A/D 変換を開始してください。

高電位基準電圧に内部基準電圧を選択した場合 (HVSEL[1:0] = 10b) に、アナログチャネルの A/D 変換は可能ですが、内部基準電圧と温度センサ出力の A/D 変換は禁止です。高電位基準電圧に内部基準電圧を選択した場合 (HVSEL[1:0] = 10b)、低電流モード (ADCSR.ADHSC = 1) でのみ機能します。

LVSEL ビット (低電圧基準電圧選択)

LVSEL ビットは低電位基準電圧に AVSS0 または VREFL0 を指定します。

ADSLP ビット (スリープ)

A/D コンバータをスタンバイ状態に移移します。ADCSR.ADHSC ビットの変更時にのみ、ADSLP ビットを 1 にしてください。その他の場合、ADSLP ビットを 1 にすることはできません。

ADSLP ビットを 1 にしたら、0 に戻す前に最低 5 μ s 待ってください。また、ADSLP ビットを 0 にしたら、最低 1 μ s 待ってから A/D 変換を開始してください。

ADHSC ビットの書き換え手順については、「[35.8.9. ADHSC ビット書き換え手順](#)」を参照してください。

35.3 動作

35.3.1 スキャンの動作説明

スキャンとは、選択したチャンネルのアナログ入力を順次 A/D 変換する動作を指します。

スキャン変換の動作モードには、3 種類の動作モードおよび 2 種類の変換モードがあります。

- シングルスキャンモード
- 連続スキャンモード
- グループスキャンモード
- 高速 A/D 変換モード (ADACSR.ADSAC で選択される高速/通常変換モードを含む)
- 低消費電力 A/D 変換モード (ADACSR.ADSAC で選択される高速/通常変換モードを含む)

シングルスキャンモードでは、1 チャンネル以上の指定されたチャンネルが 1 回スキャンされます。連続スキャンモードでは、ソフトウェアが ADCSR.ADST ビットを 0 にするまで、1 チャンネル以上の指定されたチャンネルが繰り返しスキャンされます。グループスキャンモードでは、グループ A とグループ B で選択されたチャンネルは、各同期トリガに応じてスキャン開始後に 1 回スキャンされます。

シングルスキャンモードと連続スキャンモードでは、ADANSA0、ADANSA1 レジスタで選択した AN_n チャンネルの最小のチャンネル番号 *n* から順に A/D 変換を行います。グループスキャンモードでは、グループ A が ADANSA0、ADANSA1 レジスタで選択した AN_n チャンネルの最小のチャンネル番号 *n* から順に、グループ B が ADANSB0、ADANSB1 レジスタで選択した AN_n チャンネルの最小のチャンネル番号 *n* から順に、A/D 変換を行います。

自己診断を選択した場合は、スキャンごとの最初に 1 回実行され、3 つの基準電圧のうち 1 つを A/D 変換します。

温度センサ出力および内部基準電圧を同時に選択しないでください。内部基準電圧を高電位側の基準電圧に選択する場合、温度センサまたは内部基準電圧の A/D 変換も実行できません。A/D 変換に温度センサ出力または内部基準電圧を選択した場合、シングルスキャンモードを使用してください。

ダブルトリガモードは、シングルスキャンモードまたはグループスキャンモードで使用可能です。ダブルトリガモードを許可すると (ADCSR.DBLE = 1)、ADSTRGR.TRSA[5:0] ビットで選択した、同期トリガ (ELC) でのスキャン起動でのみ、ADCSR.DBANS[4:0] ビットで選択した 1 チャンネルの A/D 変換データを 2 重化します。グループスキャンモードでは、ダブルトリガモードを使用できるのはグループ A のみです。

ダブルトリガモードの拡張動作では、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガの組み合わせから A/D 変換動作が発生します。通常のダブルトリガモードでの動作に加えて、奇数番号トリガ (ELC_AD00) の A/D 変換データは A/D データ 2 重化レジスタ A (ADDBLDRB) に格納され、偶数番号トリガ (ELC_AD01) の A/D 変換データは A/D データ 2 重化レジスタ B (ADDBLDRB) に格納されます。ダブルトリガモードの拡張動作では、トリガの組み合わせの 1 つが同時発生すると、指定したトリガのデータ 2 重化レジスタ設定が実行されず、A/D 変換データは A/D データ 2 重化レジスタ B (ADDBLDRB) に格納されます。

ADC12 は他の同期トリガで開始した A/D 変換の間に生じる同期トリガを無視します。

35.3.2 シングルスキャンモード

35.3.2.1 基本動作

シングルスキャンモードの基本動作は、指定されたチャンネルのアナログ入力を以下のように 1 サイクルのみ A/D 変換します。

1. ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0 および ADANSA1 レジスタで選択したチャンネル AN_n の A/D 変換を、最小のチャンネル番号 *n* から順に開始します。
2. 1 チャンネルの A/D 変換が終了するごとに、A/D 変換結果は対応する A/D データレジスタ (ADDR_y および ADCTDR) に格納されます。
3. 選択されたすべてのチャンネルの A/D 変換が完了すると、ADC120_ADI 割り込み要求が発生します。
4. ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、選択されたすべてのチャンネルの A/D 変換が完了すると自動的に 0 にされ、ADC12 は待機状態になります。

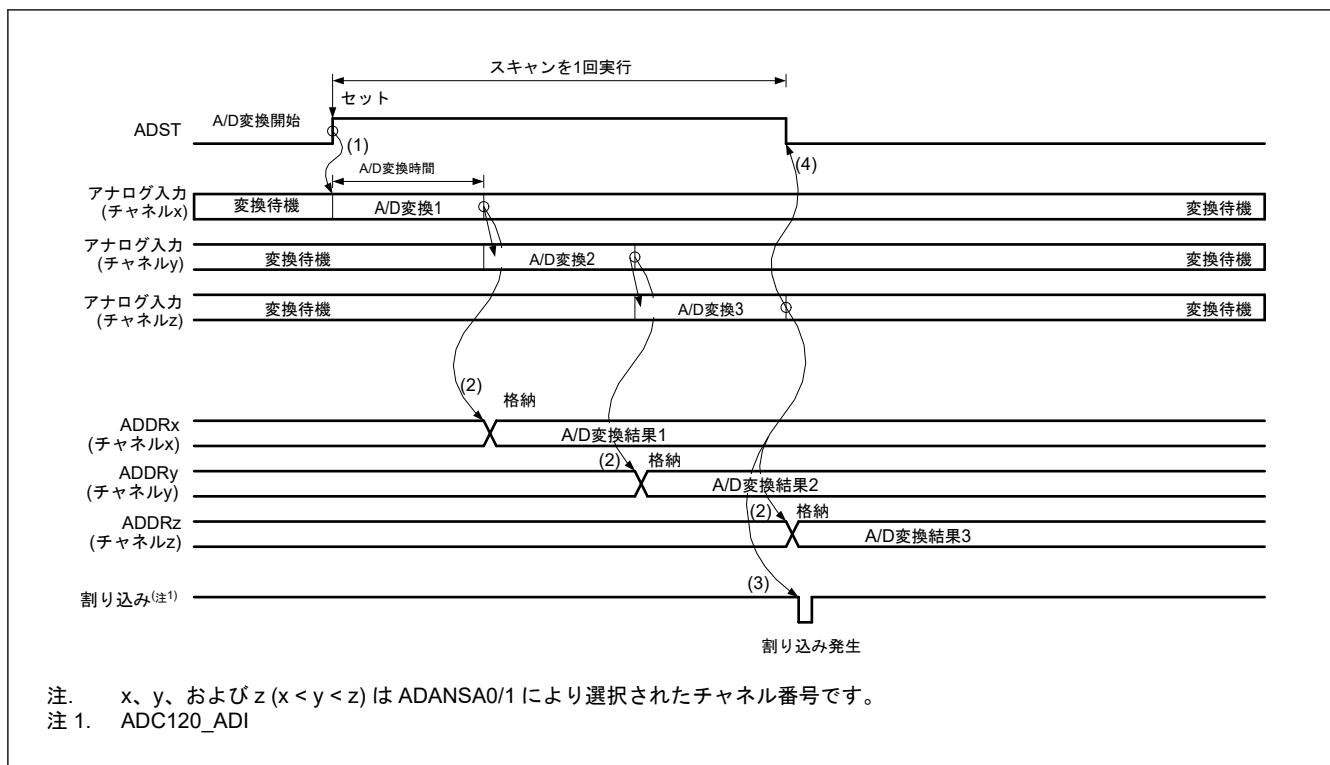


図 35.7 シングルスキャンモードの基本動作例 (アナログ入力 (チャンネル x~z) 選択)

35.3.2.2 チャンネル選択と自己診断

チャンネル選択と自己診断を選択すると、以下に示すように最初に基準電圧 ($\times 0$, $\times 1/2$, または $\times 1$) の A/D 変換を行い、その後選択したチャンネルのアナログ入力を 1 回のみ A/D 変換します。

1. ソフトウェアトリガ入力、同期トリガ入力 (ELC)、または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、最初に自己診断での A/D 変換を開始します。
2. 自己診断の A/D 変換が完了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納されます。次に、ADANSA0 レジスタと ADANSA1 レジスタで選択したアナログ入力チャンネル (AN_n) に対して、チャンネル番号 *n* が小さい順に A/D 変換を開始します。
3. 1 チャンネルの A/D 変換が終了するごとに、A/D 変換結果は対応する A/D データレジスタ (ADDR_y および ADCTDR) に格納されます。
4. 選択されたすべてのチャンネルの A/D 変換が完了すると、ADC120_ADI 割り込み要求が発生します。
5. ADCSR.ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、選択されたすべてのチャンネルの A/D 変換が完了すると自動的に 0 にされ、ADC12 は待機状態になります。

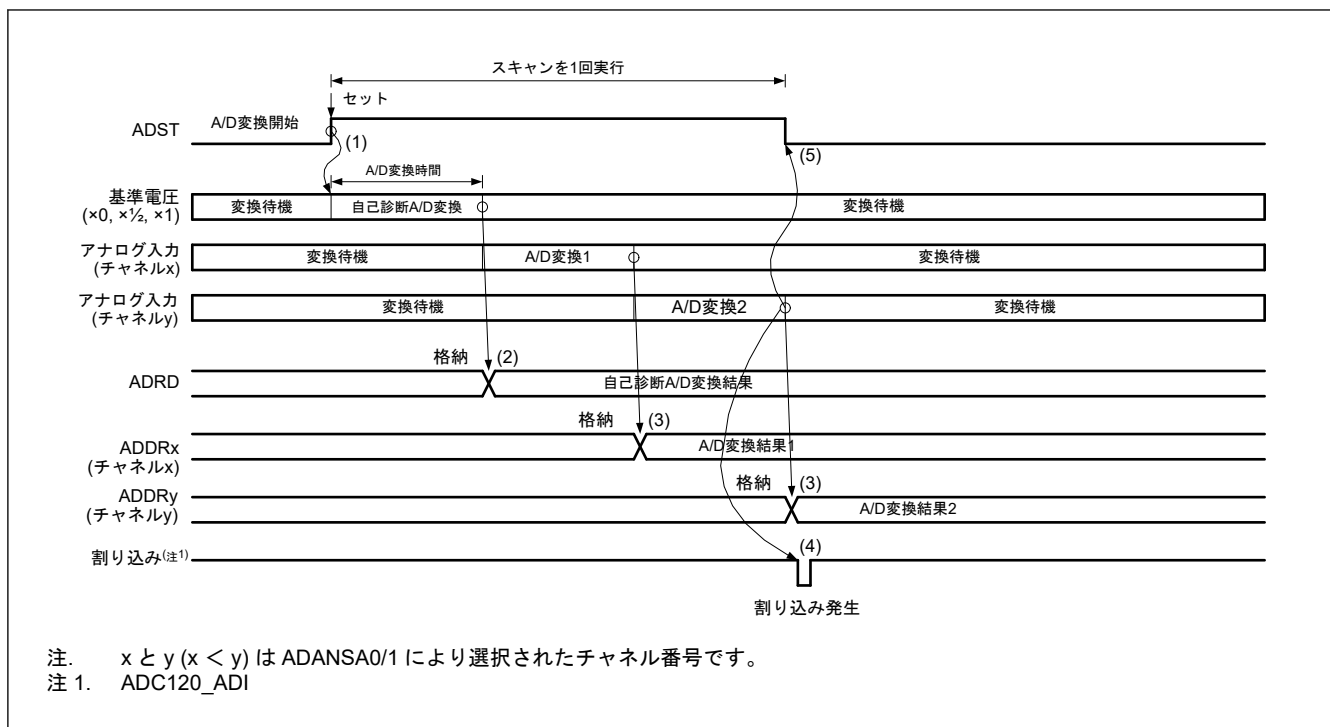


図 35.8 シングルスキャンモードの基本動作例（アナログ入力（チャンネル x、y）選択+自己診断）

35.3.2.3 温度センサ出力または内部基準電圧選択時の A/D 変換動作

シングルスキャンモードでは、温度センサ出力または内部基準電圧の A/D 変換を行います。

温度センサ出力または内部基準電圧の A/D 変換を選択した場合、ADANSA0 レジスタと ADANSA1 レジスタの全ビットを 0、ADCSR.DBLE ビットを 0 に設定し、すべてのアナログ入力チャンネルを非選択としてください。

温度センサ出力の A/D 変換を選択した場合、内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSSA) を 0 (非選択) にしてください。内部基準電圧の A/D 変換を選択した場合、温度センサ出力 A/D 変換選択ビット (ADEXICR.TSSA) を 0 (非選択) にしてください。

動作は以下のとおりです。

1. サンプルング時間を $5\ \mu\text{s}$ 以上に設定します。サンプルングステートレジスタ (ADSSTRT/ADSSTRO) および ADCLK 周波数の設定に注意してください。
2. 内部基準電圧または温度センサ出力の A/D 変換に切り替えた後は、ADST ビットを 1 にして変換を開始してください。
3. A/D 変換が完了すると、A/D 変換結果は対応する温度センサデータレジスタ (ADTSDR) または A/D 内部基準電圧データレジスタ (ADOCDR) へ格納され、ADC120_ADI 割り込み要求が発生します。
4. ADST ビットは A/D 変換中は 1 を保持し、A/D 変換が完了すると自動的に 0 になり、ADC12 は待機状態になります。

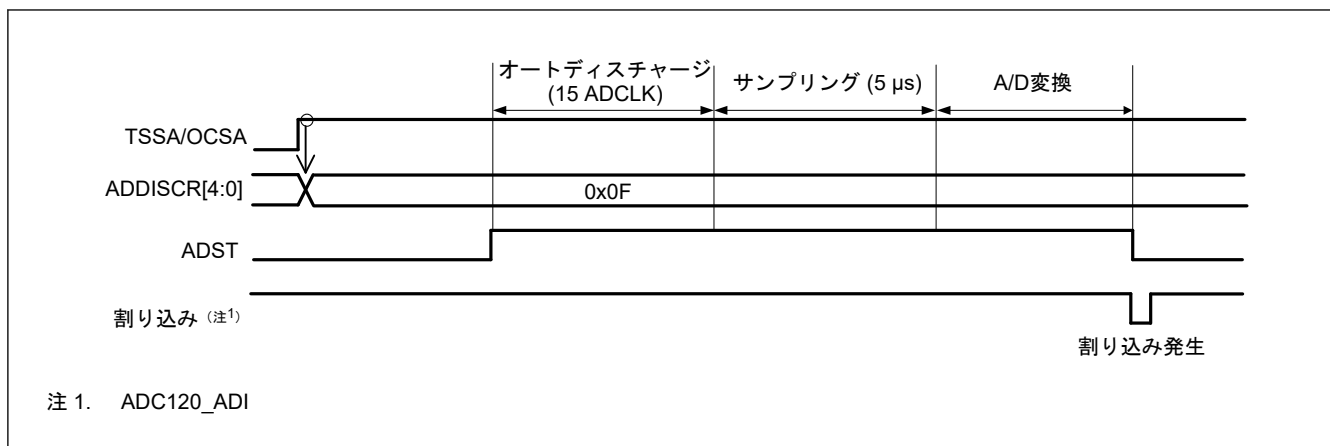


図 35.9 シングルスキャンモードの基本動作例 (温度センサ出力または内部基準電圧選択)

35.3.2.4 ダブルトリガモード選択時の A/D 変換動作

シングルスキャンモードでダブルトリガモードを選択した場合は、同期トリガ (ELC) で開始するシングルスキャン動作の実行 2 回分を一連の動作として実行します。

自己診断は非選択とし、温度センサ出力 A/D 変換選択ビット (ADEXICR.TSSA) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) は 0 に設定してください。

A/D 変換データ 2 重化は、2 重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを 1 にすると有効となります。ADCSR.DBLE ビットを 1 にした場合、ADANSA0 レジスタと ADANSA1 レジスタによるチャンネル選択は無効になります。

ダブルトリガモードでは、ADSTRGR.TRSA[5:0] ビットで同期トリガ (ELC) を選択してください。加えて、ADCSR.EXTRG ビットを 0 に、ADCSR.TRGE ビットを 1 にしてください。ソフトウェアトリガは使用しないでください。

動作は以下のとおりです。

1. 同期トリガ入力 (ELC) によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
2. 1 チャンネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
3. ADCSR.ADST ビットは自動的に 0 に設定され、ADC12 は待機状態になります。ADC120_ADI 割り込み要求は発生しません。
4. 2 回目のトリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
5. A/D 変換が終了すると、結果はダブルトリガモード専用の A/D データ 2 重化レジスタ (ADDBLDR) に格納されます。
6. ADC120_ADI 割り込み要求が発生します。
7. ADCSR.ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、A/D 変換が完了すると自動的に 0 になり、続いて、ADC12 は待機状態になります。

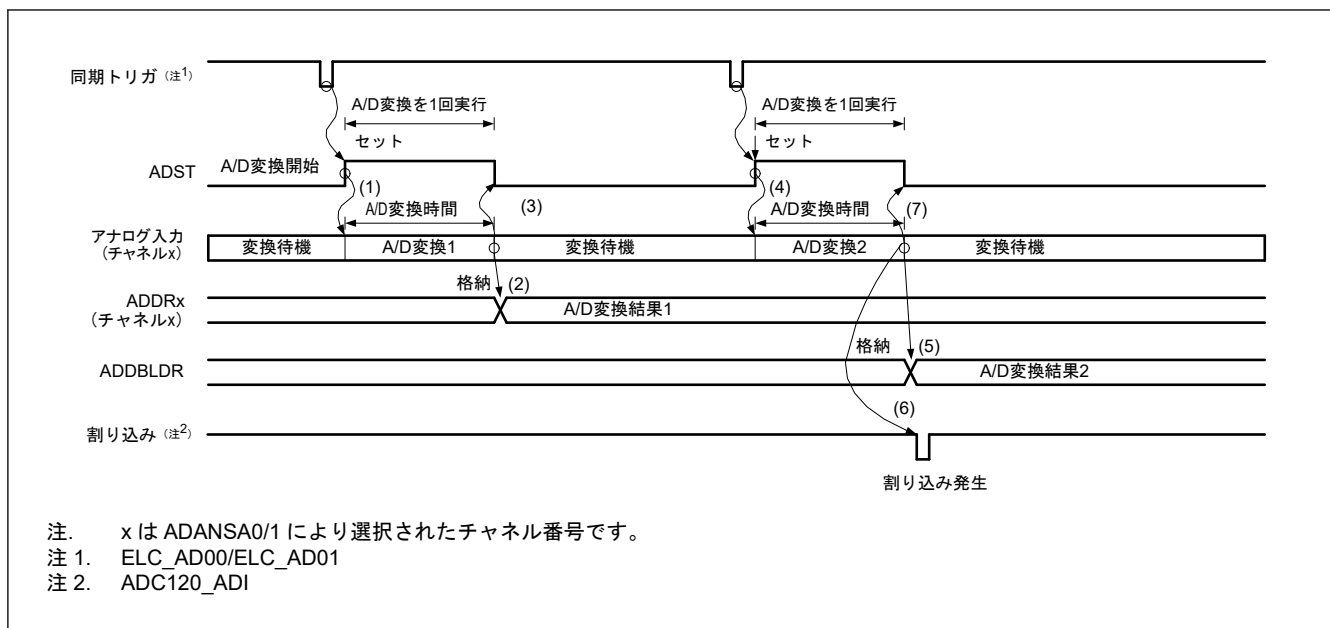


図 35.10 シングルスキャンモードの動作例 (ダブルトリガモード選択、アナログ入力 (チャンネル x) を 2 重化)

35.3.2.5 ダブルトリガモード選択時の拡張動作

シングルスキャンモードでダブルトリガモードが選択され、A/D 変換開始のトリガとして同期トリガ (ELC_AD00/ELC_AD01) が選択される場合、2 回のシングルスキャン動作が実行されます。

自己診断は非選択とし、温度センサ出力 A/D 変換選択ビット (ADEXICR.TSSA) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) は 0 に設定してください。

A/D 変換データ 2 重化は、2 重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを 1 にすると有効となります。ADCSR.DBLE ビットを 1 にした場合、ADANSA0 レジスタと ADANSA1 レジスタによるチャンネル選択は無効になります。

拡張ダブルトリガモードでは、ADSTRGR.TRSA[5:0] ビットを 0x0B に設定することにより同期トリガ組み合わせ ELC_AD00/ELC_AD01 を選択し、ADCSR.EXTRG ビットを 0 に設定し、ADCSR.TRGE ビットを 1 に設定してください。ソフトウェアトリガは使用しないでください。

動作は以下のとおりです。

1. 同期トリガ入力 (ELC_AD00/ELC_AD01) によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
2. A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) および A/D データ 2 重化レジスタ A (ADDBLDRA) に格納されます。(ELC_ADi0 または ELC_ADi1 トリガ (i = 0) がそれぞれ入力された場合は A/D データ 2 重化レジスタ B (ADDBLDRB) に格納されます。)
3. ADCSR.ADST ビットは自動的に 0 に設定され、ADC12 は待機状態になります。ADC120_ADI 割り込み要求は発生しません。
4. 2 回目のトリガ (ELC_AD00/ELC_AD01) によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
5. A/D 変換が終了すると、A/D 変換結果は A/D データ 2 重化レジスタ (ADDBLDR) および A/D データ 2 重化レジスタ A (ADDBLDRA) または A/D データ 2 重化レジスタ B (ADDBLDRB) に格納されます。(トリガの ELC_ADi0 または ELC_ADi1 (i = 0) がそれぞれ入力された場合)
6. ADC120_ADI 割り込み要求を発生します。
7. ADCSR.ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、A/D 変換が完了すると自動的に 0 になり、ADC12 は待機状態になります。

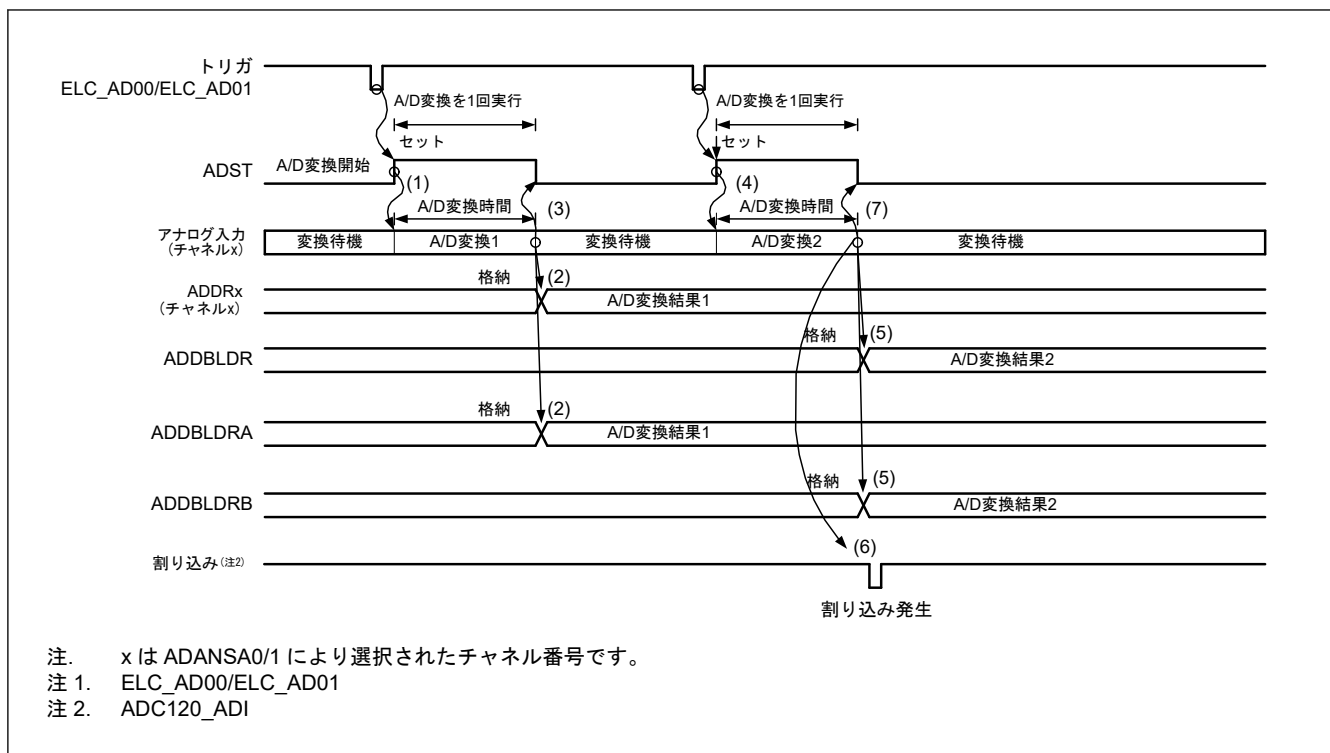


図 35.11 アナログ入力 (チャンネル x) と ELC_AD00/ELC_AD01 の重複選択時のダブルトリガモード拡張動作例

35.3.3 連続スキャンモード

35.3.3.1 基本動作

連続スキャンモードでは、選択されたチャンネルのアナログ入力を繰り返し A/D 変換します。このモードでは、ADEXICR.TSSA ビットと ADEXICR.OCSSA ビットを 0 に設定することにより、温度センサ出力 A/D 変換と内部基準電圧 A/D 変換を非選択にしてください。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択した ANn チャンネルの最小のチャンネル番号 n から順に A/D 変換を行います。
2. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
3. 選択されたすべてのチャンネルの A/D 変換が完了すると、ADC120_ADI 割り込み要求が発生します。ADC12 は、ADANSA0 および ADANSA1 レジスタで選択したチャンネル ANn の A/D 変換を、最小のチャンネル番号 n から順に開始します。
4. ADCSR.ADST ビットは自動的にクリアされず、ADCSR.ADST が 1 (A/D 変換開始) の状態の間は (2)~(3) を繰り返します。ADCSR.ADST ビットを 0 (A/D 変換停止) にすると、A/D 変換は停止し、ADC12 は待機状態になります。
5. その後、ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0 および ADANSA1 レジスタで選択したチャンネル ANn の A/D 変換を、最小のチャンネル番号 n から順に開始します。

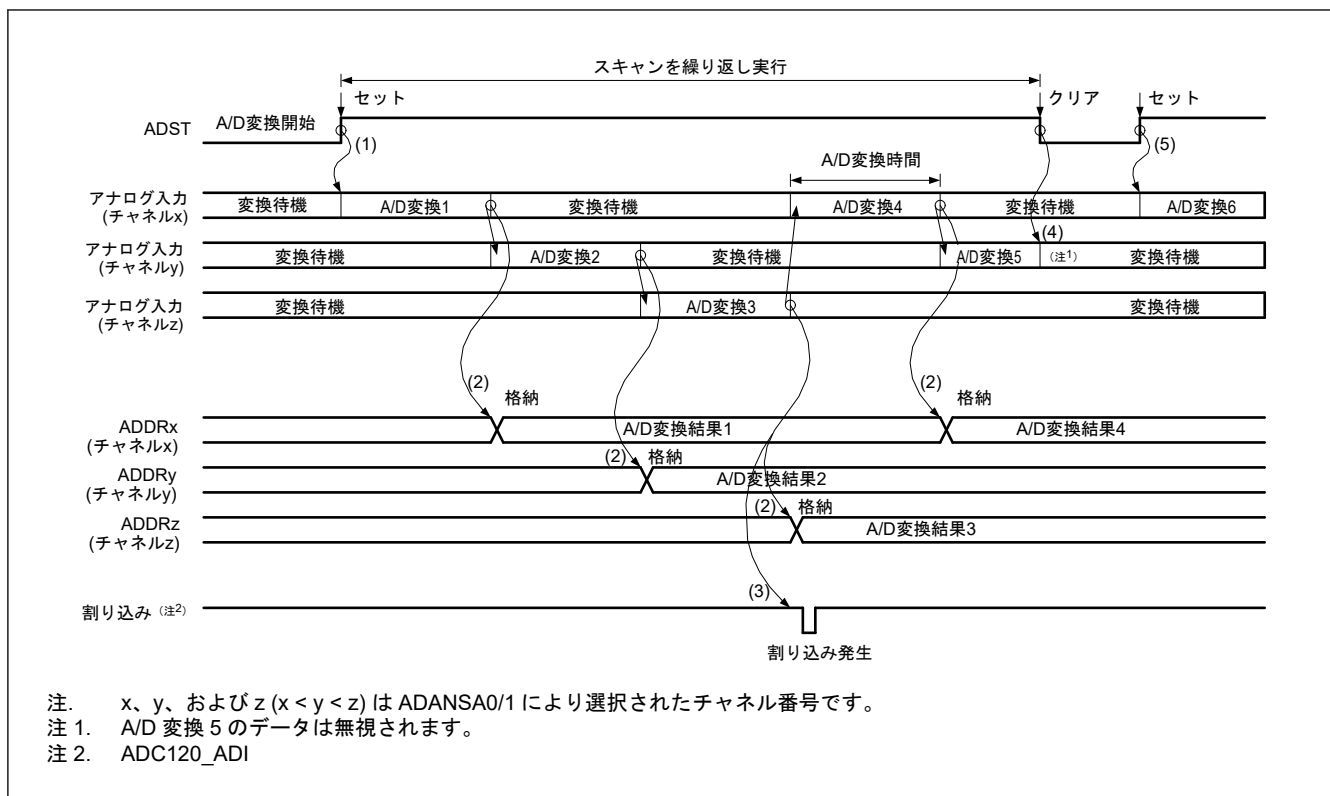


図 35.12 連続スキャンモードの基本動作例（アナログ入力（チャンネル x~z）選択）

35.3.3.2 チャンネル選択と自己診断

チャンネル選択と自己診断を同時に選択すると、最初に ADC12 に供給される基準電圧 ($\times 0$ 、 $\times 1/2$ または $\times 1$) の A/D 変換を行い、その後選択したチャンネルのアナログ入力を A/D 変換します。以下の各項で示すように、このシーケンスを繰り返します。

連続スキャンモードでは、ADEXICR.TSSA ビットと ADEXICR.OCSA ビットを 0 に設定することにより、温度センサ出力 A/D 変換と内部基準電圧 A/D 変換を非選択にしてください。

動作は以下のとおりです。

- ソフトウェアトリガ入力、同期トリガ入力 (ELC)、または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、最初に自己診断での A/D 変換を開始します。
- 自己診断の A/D 変換が完了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納されます。次に、ADANSA0 レジスタと ADANSA1 レジスタで選択したアナログ入力チャンネル (AN_n) に対して、チャンネル番号 n が小さい順に A/D 変換を開始します。
- 1 チャンネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ (ADDR_y) に格納されます。
- 選択されたすべてのチャンネルの A/D 変換が完了すると、ADC120_ADI 割り込み要求が発生します。同時に、ADC12 は自己診断での A/D 変換を開始し、その後 ADANSA0 レジスタと ADANSA1 レジスタで選択した AN_n チャンネルに対して、チャンネル番号 n が小さい順に A/D 変換を開始します。
- ADCSR.ADST ビットは自動的にクリアされず、ADCSR.ADST ビットが 1 の間は (2)~(4) を繰り返します。ADST ビットを 0 (A/D 変換停止) にすると、A/D 変換は停止し、ADC12 は待機状態になります。
- その後、ADST ビットが 1 (A/D 変換開始) に設定されると、再び自己診断での A/D 変換から開始します。

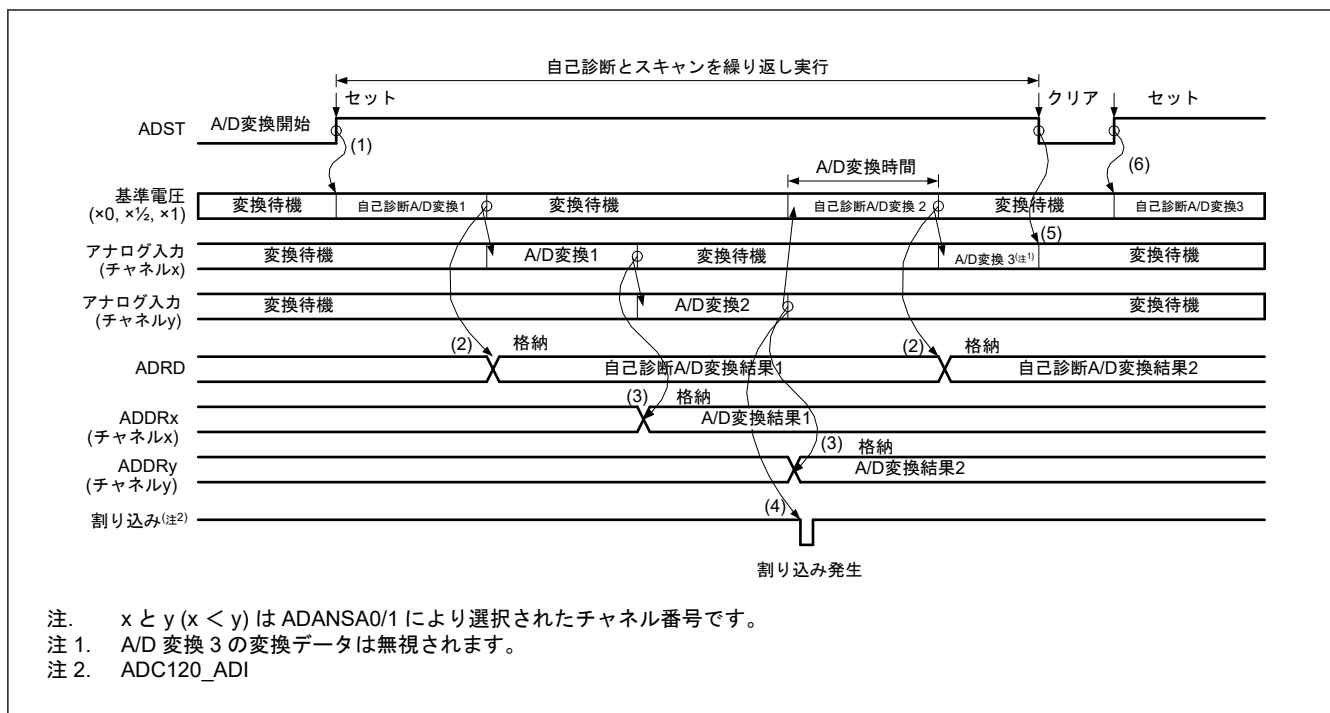


図 35.13 連続スキャンモードの基本動作例（アナログ入力（チャンネル x、y）選択+自己診断）

35.3.4 グループスキャンモード

35.3.4.1 基本動作

グループスキャンモードでは、同期トリガ (ELC) によりスキャンを開始した後、グループ A とグループ B で指定されたすべてのチャンネルのアナログ入力を 1 回のみ A/D 変換します。各グループのスキャン動作はシングルスキャンモードと同じ動作になります。

同期トリガは、グループ A では ADSTRGR.TRSA[5:0] ビットで選択でき、グループ B では ADSTRGR.TRSB[5:0] ビットで選択できます。2 つのグループで同時に A/D 変換することを防止するために、グループ A とグループ B では異なるトリガを使用してください。ソフトウェアトリガは使用しないでください。

グループ A の A/D 変換対象チャンネルは、ADANSA0 レジスタと ADANSA1 レジスタを使用して選択します。グループ B の A/D 変換対象チャンネルは、ADANSB0 レジスタと ADANSB1 レジスタを使用して選択します。グループ A とグループ B は同じチャンネルを使用できません。

グループスキャンモードでは、ADEXICR.TSSA ビットと (ADEXICR.OCSA) ビットを 0 に設定することにより、温度センサ出力 A/D 変換と内部基準電圧 A/D 変換を非選択にしてください。グループスキャンモードで自己診断を選択した場合、自己診断はグループ A とグループ B で独立して実行されます。

以下のシーケンスは ELC からの同期トリガを使用したグループスキャンモードの動作を説明します。この例では、ELC からの ELC_AD00 トリガがグループ A の変換の開始に使用され、ELC からの ELC_AD01 トリガがグループ B の変換の開始に使用されます。さらに、ELC_AD00 と ELC_AD01 は関連する ELC.ELSRn レジスタで GPT イベントのために選択されます。

動作は以下のとおりです。

1. ELC_AD00 によりグループ A のスキャンを開始します。
2. グループ A のスキャン完了時に、ADC120_ADI 割り込みが発生します（レジスタ設定なし）。
3. ELC_AD01 によりグループ B のスキャンを開始します。
4. グループ B のスキャン完了時に、ADCSR.GBADI ビットが 1（スキャン完了時に ADC120_GBADI 割り込み許可）に設定されていると、ADC120_GBADI 割り込みが発生します。

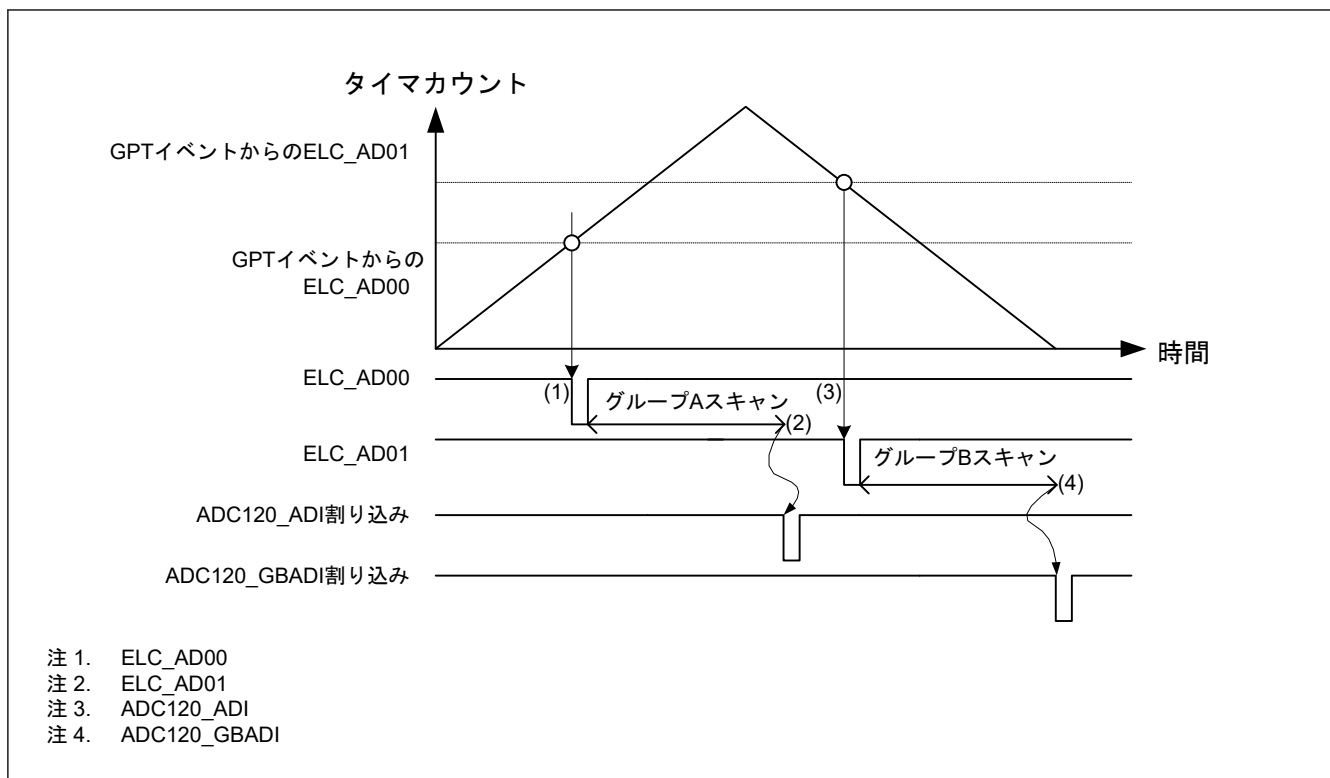


図 35.14 グループスキャンモードの基本動作例 (ELC からの同期トリガ使用)

35.3.4.2 ダブルトリガモードでの A/D 変換

グループスキャンモードでダブルトリガモードを選択した場合は、グループ A は同期トリガ (ELC) で開始するシングルスキャン動作の実行 2 回分を一連の動作として実行します。グループ B は同期トリガ (ELC) で開始するシングルスキャン動作が 1 回実行されます。

グループスキャンモードにおいて、同期トリガは、グループ A では ADSTRGR.TRSA[5:0] ビットで選択でき、グループ B では ADSTRGR.TRSB[5:0] ビットで選択できます。2 つのグループで同時に A/D 変換することを防止するために、グループ A とグループ B では異なるトリガを使用してください。また、ソフトウェアトリガおよび非同期トリガは使用しないでください。

ADSTRGR.TRSA[5:0] ビットに 0x0B を設定することにより、グループ A の同期トリガとして ELC_AD00/ELC_AD01 を選択した場合、拡張ダブルトリガモードで動作は進行します。

グループ A の A/D 変換対象チャネルは ADCSR レジスタの DBLANS[4:0] ビットで選択しますが、グループ B の A/D 変換対象チャネルは ADANSB0 レジスタと ADANSB1 レジスタで選択します。グループ A とグループ B は同じチャネルを使用できません。

グループスキャンモードでは、ADEXICR.TSSA ビットと ADEXICR.OCSA ビットを 0 に設定することにより、温度センサ出力 A/D 変換と内部基準電圧 A/D 変換を非選択にしてください。

グループスキャンモードでダブルトリガモード選択時は自己診断を選択できません。

A/D 変換データ 2 重化は、2 重化するチャネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを 1 にすると有効となります。

以下に ELC からの同期トリガによるグループスキャンモードかつダブルトリガモード設定時の動作例を示します。この例では、ELC_AD00 トリガがグループ A の変換の開始に使用され、ELC_AD01 トリガがグループ B の変換の開始に使用されます。さらに、ELC_AD00 と ELC_AD01 は関連する ELC.ELSRn レジスタで GPT イベントのために選択されます。

動作は以下のとおりです。

1. ELC からの ELC_AD00 トリガによりグループ B のスキャンを開始します。
2. グループ B のスキャン完了時に、ADCSR.GBADIE ビットが 1 (スキャン完了時に ADC120_GBADI 割り込み許可) に設定されていると、ADC120_GBADI 割り込みが発生します。
3. 1 回目の ELC_AD01 トリガでグループ A の 1 回目のスキャンを開始します。

4. グループ A の 1 回目のスキャン完了時は、変換結果を対応する A/D データレジスタ y (ADDRy) に格納し、ADC120_ADI 割り込み要求は発生しません。
5. 2 回目の ELC_AD01 トリガでグループ A の 2 回目のスキャンを開始します。
6. グループ A の 2 回目のスキャン完了時は、変換データを ADDBLDR に格納します。ADC120_ADI 割り込みが発生します。

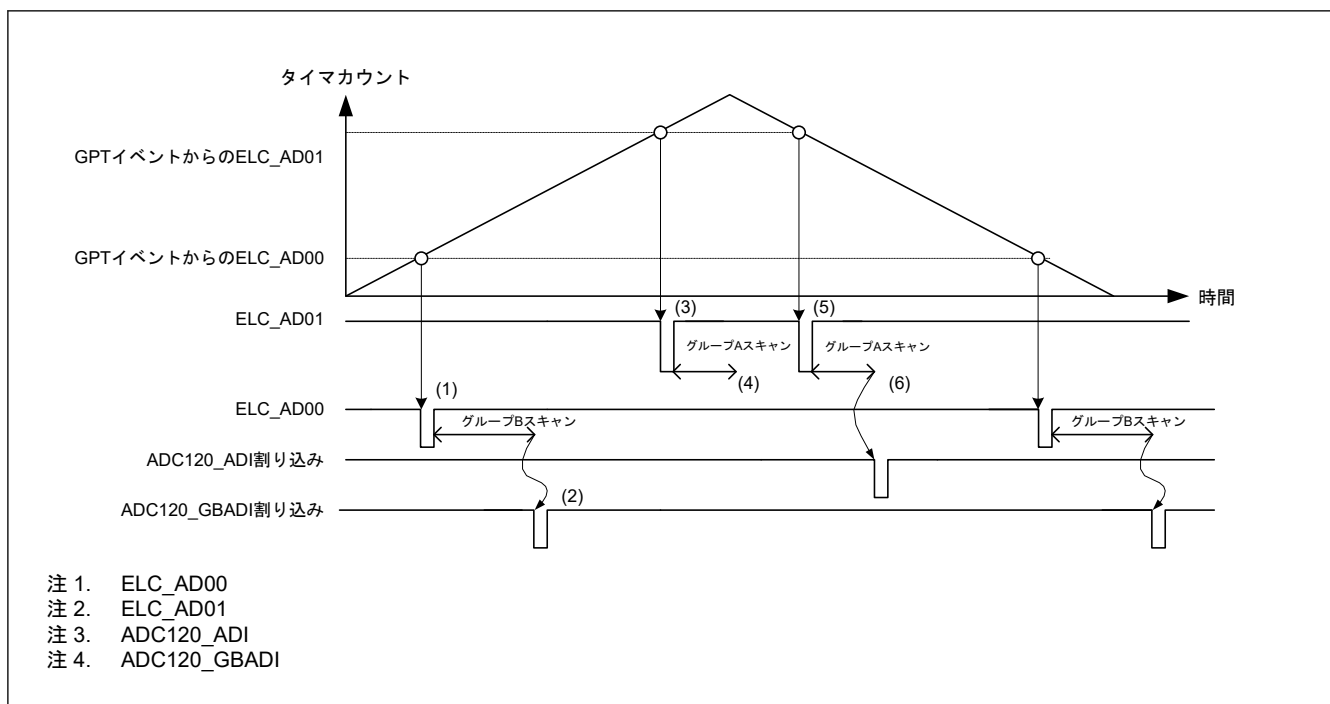


図 35.15 グループスキャンモードでダブルトリガモードを使用する場合の基本動作例 (ELC からの同期トリガ使用時)

35.3.4.3 グループ優先動作

グループスキャンモードで ADGSPCR.PGS ビットを 1 にすると、グループ優先動作を行います。グループの優先順位はグループ A > グループ B です。

ADGSPCR レジスタの PGS ビットを 1 にする場合、[図 35.16](#) に記載された手順に従い、設定を実行してください。フローチャート以外の設定をした場合、A/D 変換の動作および格納されたデータは保証されません。

グループスキャンモードの基本動作では、グループ A とグループ B の A/D 変換中に発生したトリガ入力は無視され、各グループの A/D 変換動作はシングルスキャンモードと同じ動作になります。

グループ優先動作では、低優先グループのスキャン中に優先グループのトリガ入力があった場合、低優先グループの A/D 変換動作を中断して、優先グループの A/D 変換動作を行います。

ADGSPCR.GBRSCN ビットが 0 のとき、優先グループの A/D 変換動作終了後、低優先グループは待機状態となります。また A/D 変換中に発生した低優先グループのトリガ入力は無視されます。

ADGSPCR.GBRSCN ビットが 1 のとき、優先グループの A/D 変換動作終了後、自動的に低優先グループの A/D 変換動作を再実行します。また優先グループの A/D 変換中に発生した低優先グループのトリガ入力は有効となり、優先グループの A/D 変換動作終了後、自動的に低優先グループの A/D 変換動作を実行します。

[表 35.22](#) に ADGSPCR.GBRSCN ビットの設定と A/D 変換中のトリガ入力時の動作をまとめます。

ADGSPCR.GBRP ビットに 1 を設定したとき、最も優先度の低いグループの A/D 変換動作は、シングルスキャンを連続で実行する動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSA[5:0] ビットでグループ B の同期トリガを選択してください。各トリガは互いに異なるトリガを選択する必要があります。ADGSPCR.GBRP ビットを 1 に設定する場合、ADSTRGR.TRSA[5:0] ビットを 0x3F にしてください。

スキャン対象とするチャンネルは、「[35.3.4. グループスキャンモード](#)」に記載のレジスタで選択します。

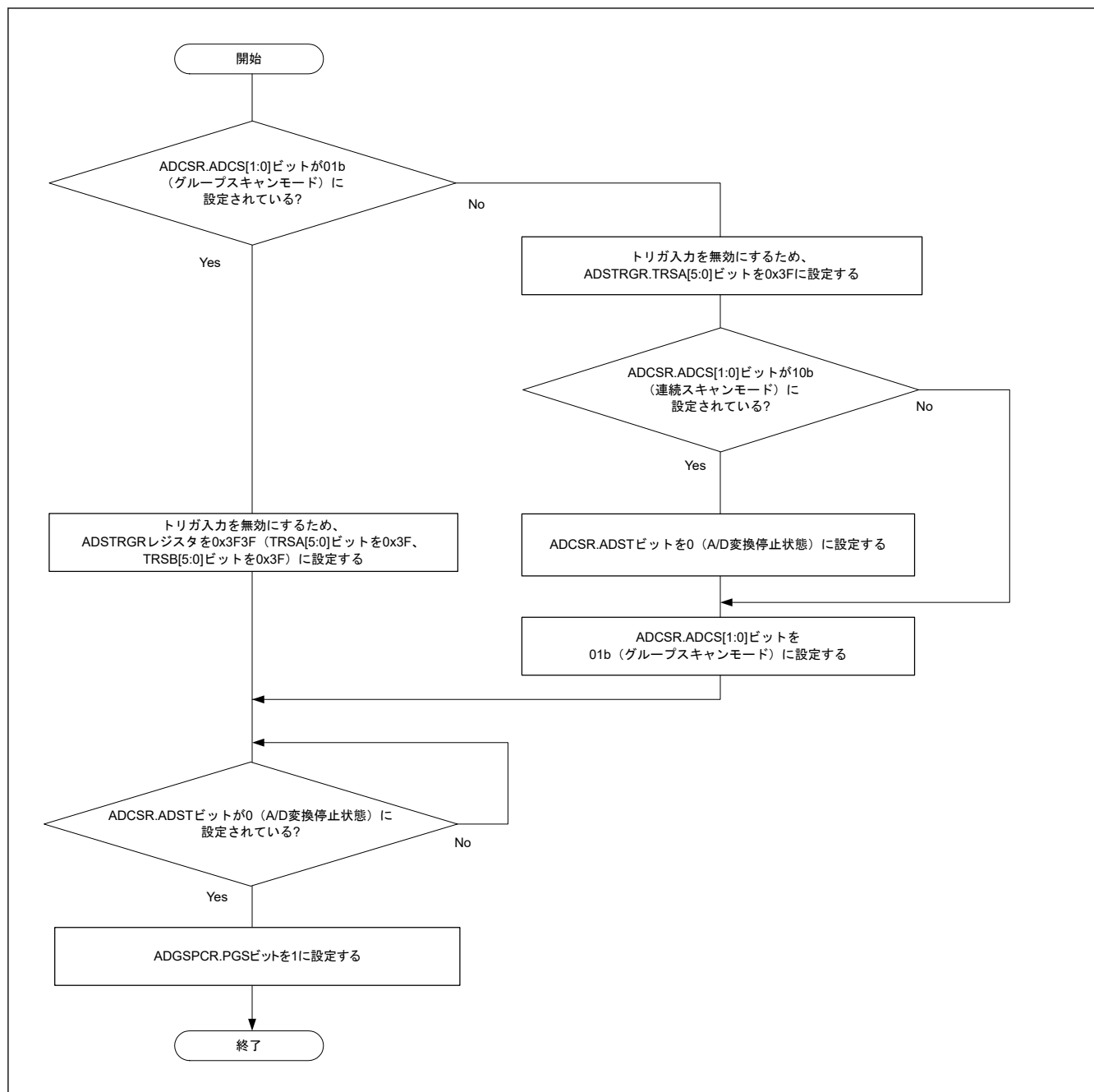


図 35.16 ADGSPCR.PGS ビット設定時のフローチャート

表 35.22 ADGSPCR.GBRSCN ビットの設定による A/D 変換動作制御

A/D 変換動作	トリガ入力	ADGSPCR.GBRSCN = 0	ADGSPCR.GBRSCN = 1
グループ A の A/D 変換中	グループ A トリガ入力	トリガ入力無効	トリガ入力無効
	グループ B トリガ入力	トリガ入力無効	グループ A の A/D 変換動作終了後、 グループ B の A/D 変換動作を行います
グループ B の A/D 変換中	グループ A トリガ入力	グループ B の A/D 変換を中断し、 グループ A の A/D 変換動作開始	- グループ B の A/D 変換を中断し、グループ A の A/D 変換動作開始 - グループ A の A/D 変換終了後、グループ B の A/D 変換を開始します。
	グループ B トリガ入力	トリガ入力無効	トリガ入力無効

(1) 2 グループのグループ優先動作 (ADGSPCR.PGS = 1 の場合)

動作例 1-1~1-3 にグループスキャンモードのグループ優先動作を示します。(ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 の場合)

動作例 1-1 「グループ B スキャン中のグループ A トリガ入力」再スキャンあり

- グループ B のトリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSB0 レジスタと ADANSB1 レジスタで選択したアナログ入力チャンネルに対して、チャンネル番号 n が小さい順に A/D 変換を開始します。
- グループ B の各チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ y (ADDR y) に格納されます。
- グループ B の A/D 変換中にグループ A のトリガが入力されると、ADCSR.ADST ビットを 1 に保持したまま、グループ B の A/D 変換が停止します。その後、ADANSA0 レジスタと ADANSA1 レジスタで選択したグループ A のアナログ入力チャンネルに対して、チャンネル番号 n が小さい順に A/D 変換を開始します。A/D 変換が完了する前に停止した場合、A/D 変換結果は A/D データレジスタ y (ADDR y) に格納されません。
- チャンネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDR y) に格納されます。
- ADC120_ADI 割り込み要求が発生します。
- ADGSPCR.GBRSCN ビットが 1 (グループ優先動作で中断されたグループの再スキャンをする) に設定されていれば、ADCSR.ADST ビットを 1 に保持したまま、ADANSB0 レジスタと ADANSB1 レジスタで選択したグループ B のアナログ入力チャンネルに対して、チャンネル番号 n が小さい順に A/D 変換を再開します。
- チャンネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDR y) に格納されます。
- ADCSR.GBADIE ビットが 1 (グループ B のスキャン終了後に割り込み発生 of 許可) に設定されていると、グループ B スキャン終了割り込み要求が発生します。
- ADCSR.ADST ビットは、すべての A/D 変換結果が終了すると自動的にクリアされ、A/D コンバータは待機状態になります。

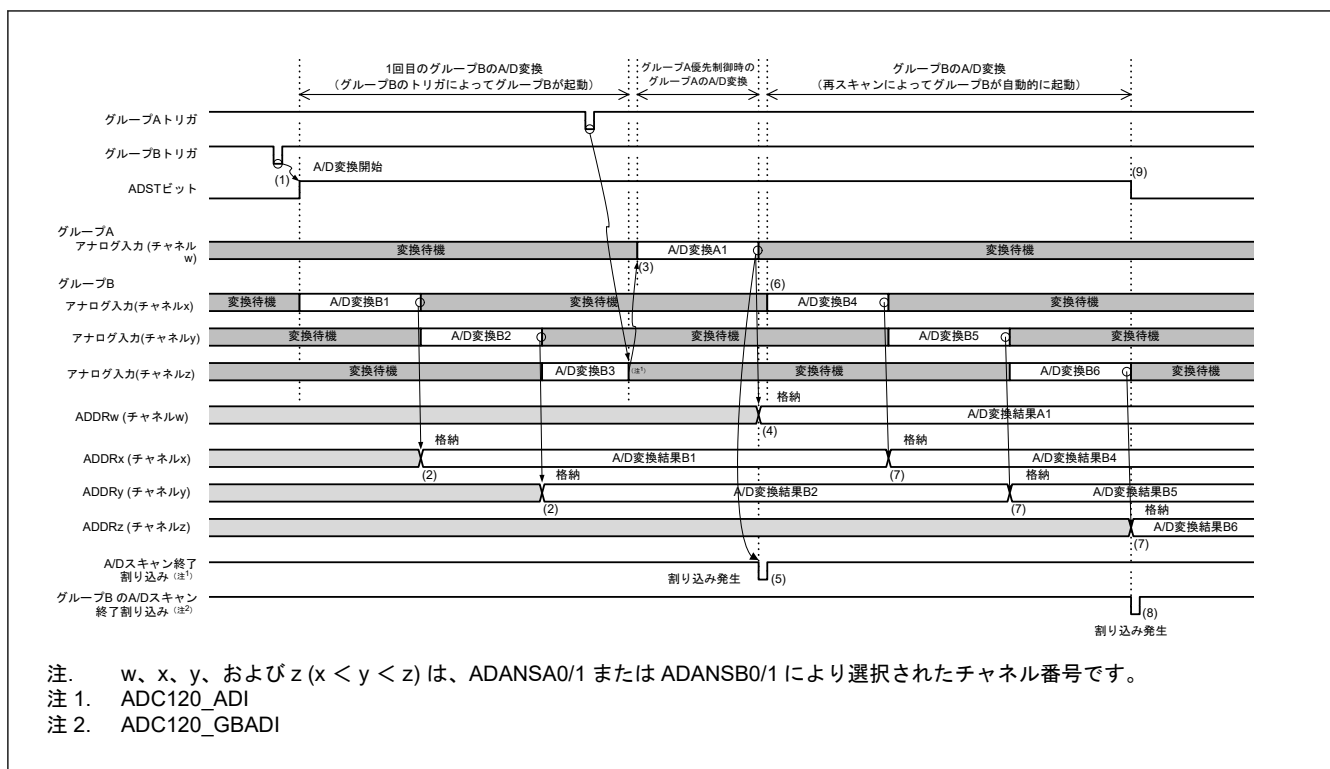


図 35.17 グループ優先動作の例 1-1: グループ B スキャン中のグループ A トリガ入力、再スキャンあり (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 の場合)

動作例 1-2 「グループ B 再スキャン中のグループ A トリガ入力」再スキャンあり

図 35.18 にグループ B 再スキャン動作中に、グループ A のトリガが入力された場合を示します。

再スキャン動作中であっても、グループ A のトリガが入力されると、グループ B の A/D 変換動作を中断し、グループ A の A/D 変換動作を開始します。グループ A の A/D 変換終了後、グループ B の A/D 変換を開始します。

ADCSR.ADST ビット、A/D 変換結果は A/D データレジスタ y (ADDRy) への格納、割り込み要求の発生は、動作例 1-1 と同じ動作です。

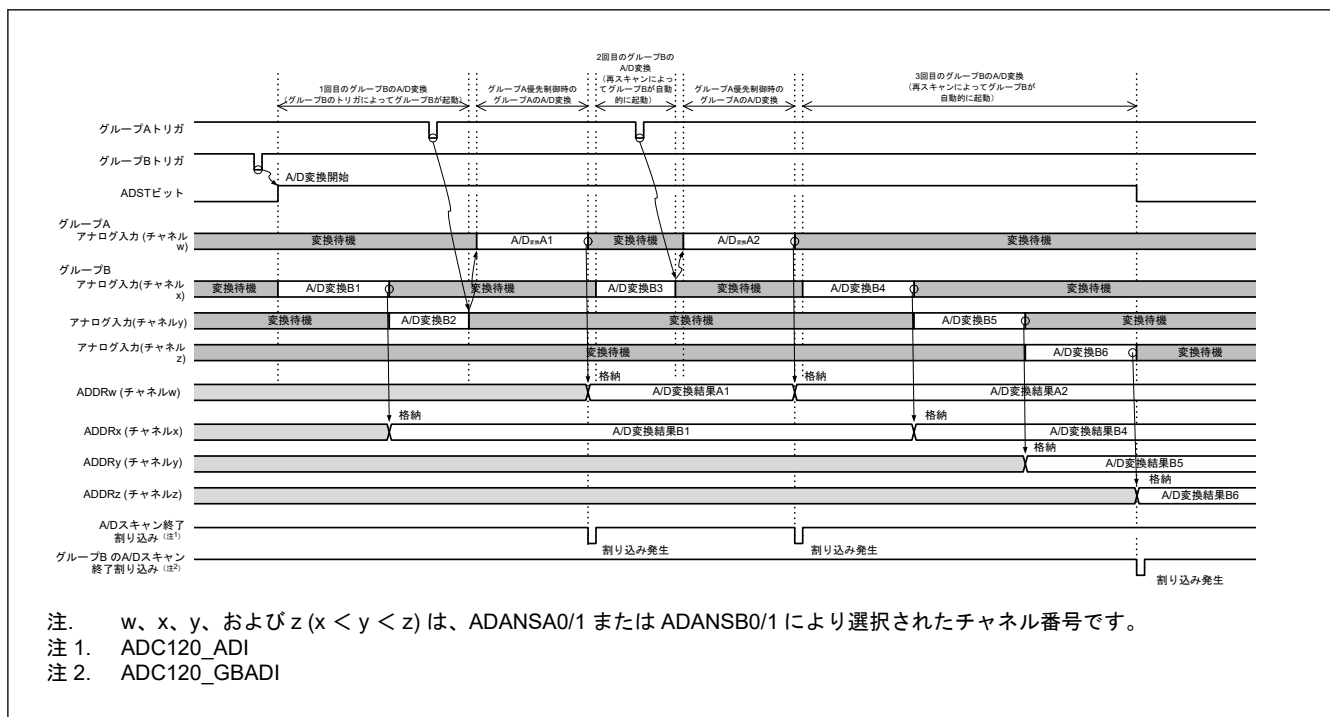


図 35.18 グループ優先動作の例 1-2 : グループ B 再スキャン中のグループ A トリガ入力、再スキャンあり (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 の場合)

動作例 1-3 「グループ A スキャン中のグループ B トリガ入力」再スキャンあり

ADGSPCR.GBRSCN ビットが 1 (グループ優先動作で中断されたグループの再スキャンをする) の設定で、グループ A のスキャン動作中にグループ B のトリガが入力された場合を説明します。

ADGSPCR.GBRSCN ビットが 0 に設定されている場合は、グループ A のスキャン動作中に入力されたグループ B のトリガは全て無効となります。

- グループ A のトリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0 レジスタと ADANSA1 レジスタで選択したグループ A のアナログ入力チャネルに対して、チャネル番号 n が小さい順に A/D 変換を開始します。
- グループ A の A/D 変換中に、グループ B のトリガ入力が入力されると、グループ B は A/D 変換実行可能状態になります。
- グループ A の各チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
- ADC120_ADI 割り込み要求が発生します。
- グループ A の A/D 変換完了後、ADCSR.ADST ビットを 1 に保持したまま、ADANSB0 レジスタと ADANSB1 レジスタで選択したグループ B のアナログ入力チャネルに対して、チャネル番号 n が小さい順に A/D 変換を開始します。
(グループ B の A/D 変換中にグループ A のトリガが入力されると、動作例 1-1 と同じくグループ A の A/D 変換を開始し、グループ A の A/D 変換完了後、グループ B の A/D 変換を開始します。)
- 1 チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
- グループ B の A/D 変換終了後、ADCSR.GBADIE ビットが 1 (グループ B のスキャン終了後の割り込み発生の許可) に設定されていると、グループ B スキャン終了割り込み要求が発生します。

8. ADCSR.ADST ビットは、すべての A/D 変換結果が終了すると自動的にクリアされ、A/D コンバータは待機状態になります。

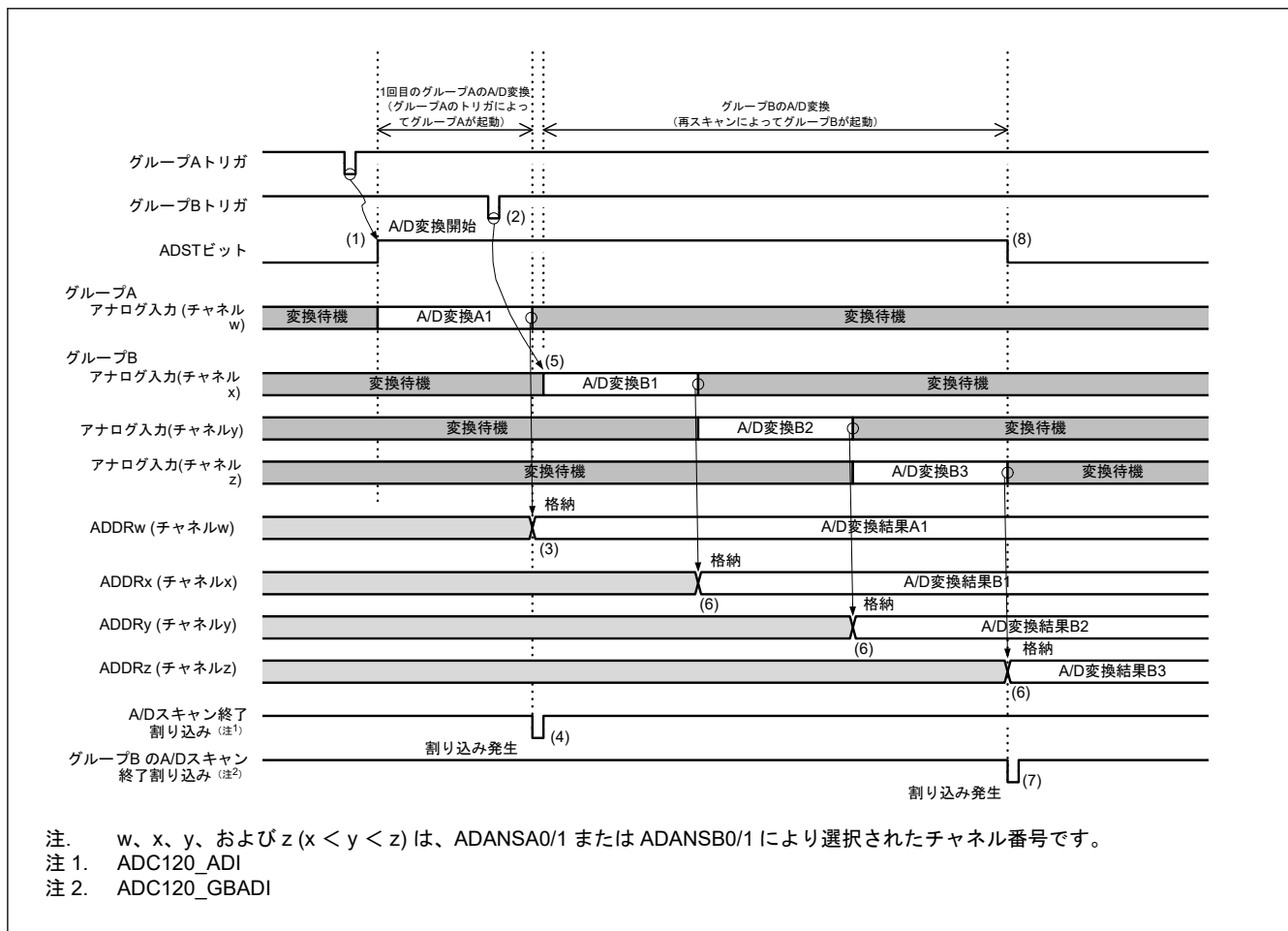


図 35.19 グループ優先動作の例 1-3 : グループ A スキャン中のグループ B トリガ入力、再スキャンあり (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 の場合)

動作例 1-4 にグループスキャンモードのグループ優先動作を示します。(ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0 の場合)

動作例 1-4 「グループ B スキャン中のグループ A トリガ入力」再スキャンなし

- グループ B のトリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSB0 レジスタと ADANSB1 レジスタで選択したアナログ入力チャンネルに対して、チャンネル番号 n が小さい順に A/D 変換を開始します。
- グループ B の各チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
- グループ B の A/D 変換中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを 1 に保持したまま、グループ B の A/D 変換動作を中断し、ADANSA0 レジスタと ADANSA1 レジスタで選択したグループ A のアナログ入力チャンネルに対して、チャンネル番号 n が小さい順に A/D 変換を開始します。A/D 変換が完了する前に停止した場合、A/D 変換結果は A/D データレジスタ y (ADDRy) に格納されません。
- 1 チャンネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
- グループ A の A/D 変換が完了すると、ADC120_ADI 割り込み要求が発生します。
- ADCSR.ADST ビットは、グループ A の A/D 変換結果が終了すると自動的にクリアされ、A/D コンバータは待機状態になります。グループ B は、以降のグループ B トリガ入力まで A/D 変換を行いません。

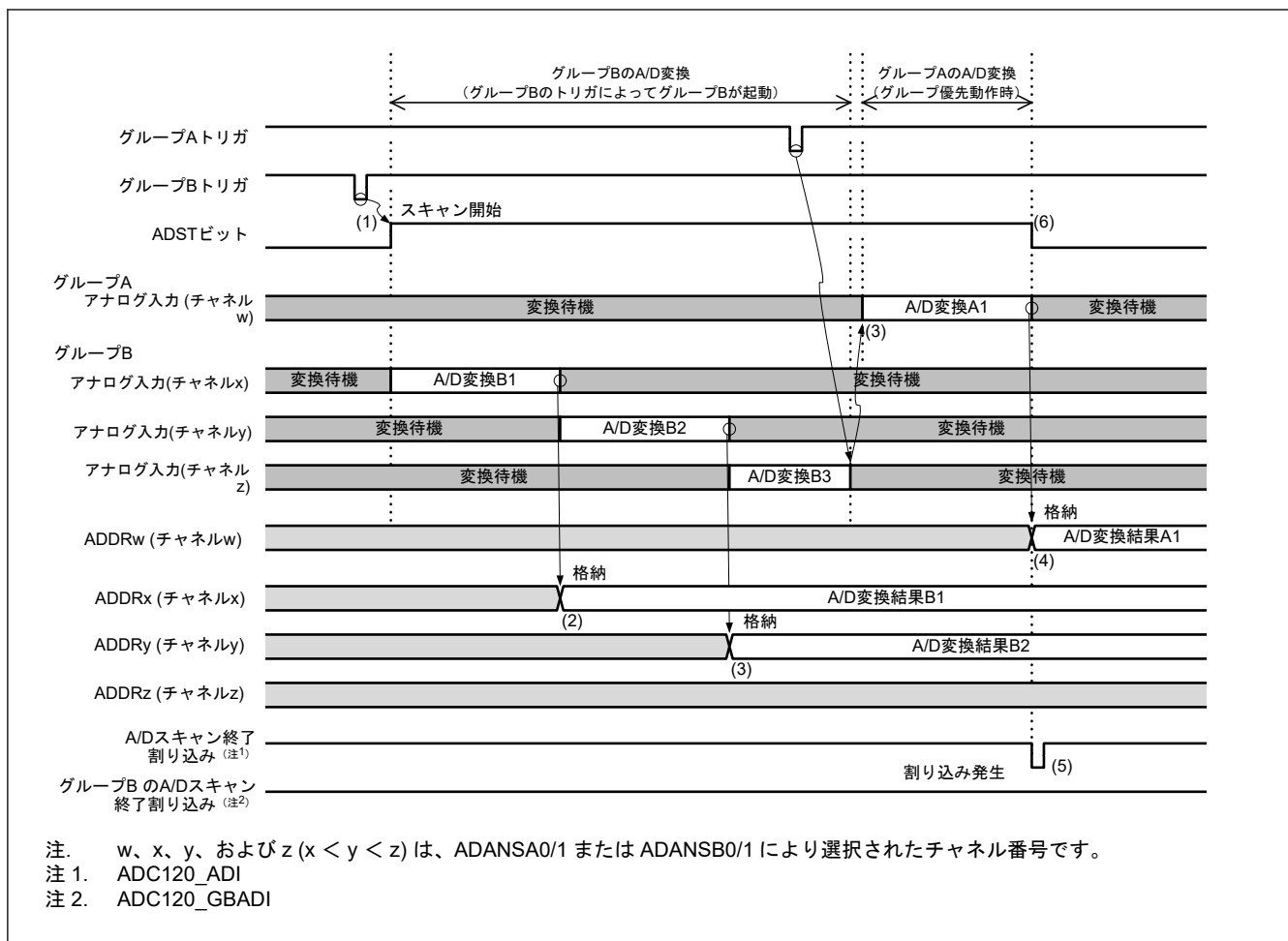


図 35.20 グループ優先動作の例 1-4 : グループ B スキャン中のグループ A トリガ入力、再スキャンなし
(ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0 の場合)

動作例 1-5 にグループスキャンモードのグループ優先動作を示します。(ADGSPCR.GBRP = 1 の場合)

動作例 1-5 「グループ B のシングルスキャン連続動作」

1. ADGSPCR.GBRP = 1 を設定すると、ADCSR.ADST ビットが 1 (A/D 変換開始) になり、ADANSB0 レジスタと ADANSB1 レジスタで選択したアナログ入力チャネルに対して、チャネル番号 n が小さい順に A/D 変換を開始します。
2. グループ B の各チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
3. グループ B の A/D 変換中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを 1 に保持したまま、グループ B の A/D 変換動作を中断し、ADANSA0 レジスタと ADANSA1 レジスタで選択したグループ A のアナログ入力チャネルに対して、チャネル番号 n が小さい順に A/D 変換を開始します。A/D 変換が完了する前に停止した場合、A/D 変換結果は A/D データレジスタ y (ADDRy) に格納されません。
4. 1 チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
5. グループ A の A/D 変換が完了すると、ADC120_ADI 割り込み要求が発生します。
6. ADGSPCR.GBRP = 1 (シングルスキャン連続動作する) に設定されていると、ADCSR.ADST ビットを 1 (A/D 変換開始) に保持したまま、ADANSB0 レジスタと ADANSB1 レジスタで選択したグループ B のアナログ入力チャネルに対して、チャネル番号 n が小さい順に A/D 変換を再開します。
7. 1 チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
8. ADCSR.GBADIE ビットが 1 (グループ B のスキャン終了後に割り込み発生 of の許可) に設定されていると、グループ B スキャン終了割り込み要求が発生します。

9. ADGSPCR.GBRP = 1 (シングルスキャン連続動作する) に設定されていると、ADCSR.ADST ビットを 1 (A/D 変換開始) に保持したまま、ADANSB0 レジスタと ADANSB1 レジスタで選択したグループ B のアナログ入力チャンネルに対して、チャンネル番号 n が小さい順に A/D 変換を再開します。

ADGSPCR.GBRP ビットが 1 になっている間は、6~9 の動作を繰り返します。ADGSPCR.GBRP ビットが 1 になっている間は、ADCSR.ADST ビットを 0 にクリアしないでください。ADGSPCR.GBRP = 1 の場合に A/D 変換を強制終了するには、[図 35.32](#) の手順に従ってください。

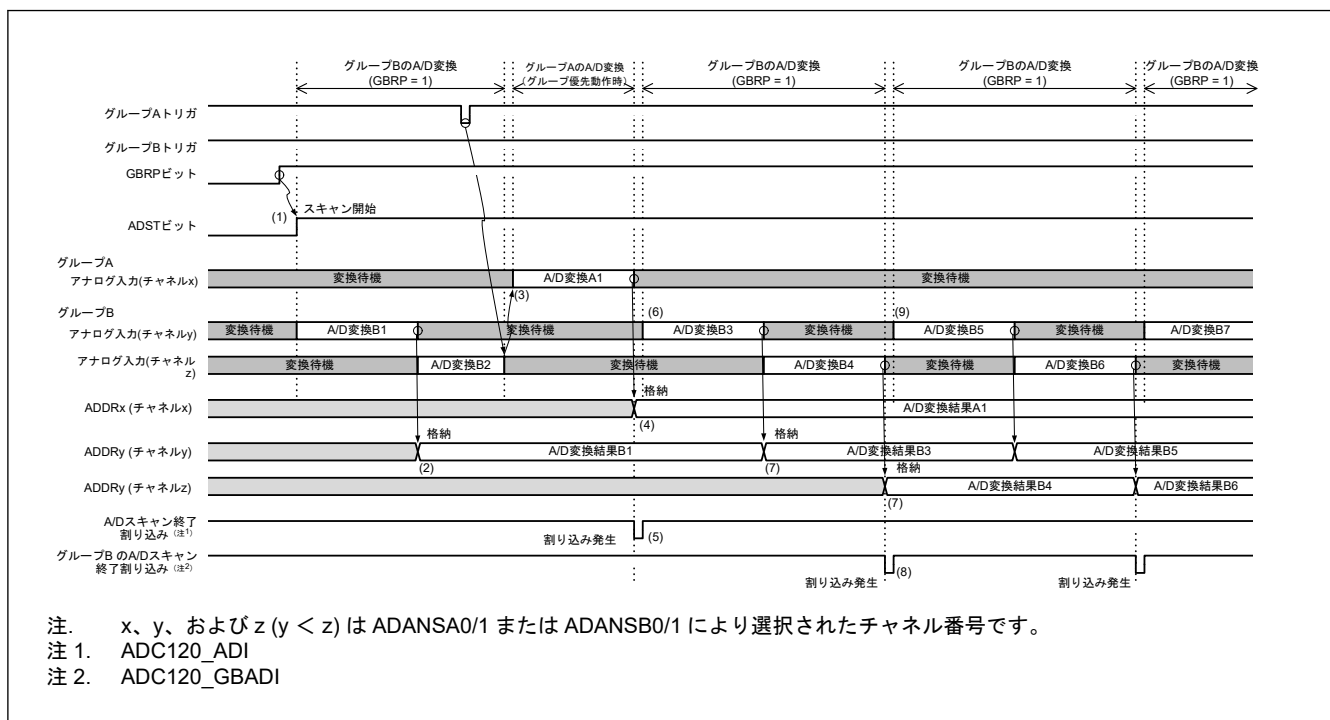


図 35.21 グループ優先動作の例 1-5：グループ B のシングルスキャン連続動作 (ADGSPCR.GBRP = 1 の場合)

注. グループ B をシングルスキャン連続動作させる場合は、グループ B のトリガ入力を無効にしてください。

35.3.5 コンペア機能 (ウィンドウ A、ウィンドウ B)

35.3.5.1 コンペア機能ウィンドウ A/B

コンペア機能は、基準値と A/D 変換結果を比較する機能です。基準値はウィンドウ A およびウィンドウ B それぞれに設定することができます。コンペア機能の使用中は、自己診断機能およびダブルトリガモードは使用できません。ウィンドウ A とウィンドウ B の大きな違いとしては、割り込み出力信号の違いと、ウィンドウ B は 1 つのチャンネルしか選択できないという制限が挙げられます。

本項では、連続スキャンモードとコンペア機能を組み合わせた動作例を示します。

動作は以下のとおりです。

- ソフトウェア、同期トリガ (ELC) または非同期トリガ入力によって ADCSR.ADST ビットを 1 (A/D 変換開始) にした場合、選択されたチャンネルの A/D 変換を開始します。温度センサおよび内部基準電圧は同時選択できません。さらに、内部基準電圧が高電位基準電圧に選択されている場合、温度センサ出力または内部基準電圧の A/D 変換は禁止されています。
- A/D 変換が完了すると、A/D 変換結果は対応する A/D データレジスタ y (ADDR y 、ADTSDR、または ADOCDR) に格納されます。ADCMPCR.CMPAE が 1 のとき、ウィンドウ A に対して ADCMPANSR y レジスタまたは ADCMPANSER レジスタのビットを設定すると、A/D 変換結果を、設定した ADCMPDR0/1 レジスタ値と比較します。ADCMPCR.CMPBE が 1 のとき、ウィンドウ B に対して ADCMPBNSR レジスタのビットを設定すると、A/D 変換結果を、ADWINULB/ADWINLLB レジスタの設定値と比較します。
- 比較の結果、ウィンドウ A は、ADCMPLR0、ADCMPLR1、ADCMPLER レジスタで設定した条件と一致したとき、コンペア機能ウィンドウ A のフラグ (ADCMPSR0.CMPSTCHAn、ADCMPSR1.CMPSTCHAn、ADCMPSER.CMPSTTSA、または ADCMPSESR.CMPSTOCA) が 1 になります。このとき、ADCMPCR.CMPAIE

ビットが 1 に設定されていると、ADC120_CMPAI 割り込み要求が発生します。同様に、ウィンドウ B が ADCMPBNSR.CMPLB に設定された条件と一致すると、コンペアウィンドウ B フラグ (ADCMPBSR.CMPSTB) が 1 になります。このとき、ADCMPCR.CMPBIE ビットが 1 に設定されていると、ADC120_CMPBI 割り込み要求が発生します。

4. 選択したすべての A/D 変換および比較が終了すると、スキャンが再開します。
5. ADC120_CMPAI 割り込みと ADC120_CMPBI 割り込みを受け付けると、ADCSR.ADST ビットを 0 (A/D 変換停止) に設定し、コンペアフラグが 1 であるチャンネルの処理を行います。
6. ウィンドウ A のすべてのコンペアフラグをクリアすると、ADC120_CMPAI 割り込み要求は取り消されます。同様に、ウィンドウ B のすべてのコンペアフラグをクリアすると、ADC120_CMPBI 割り込み要求が解除されます。再度比較を実行するには、再度 A/D 変換を開始してください。

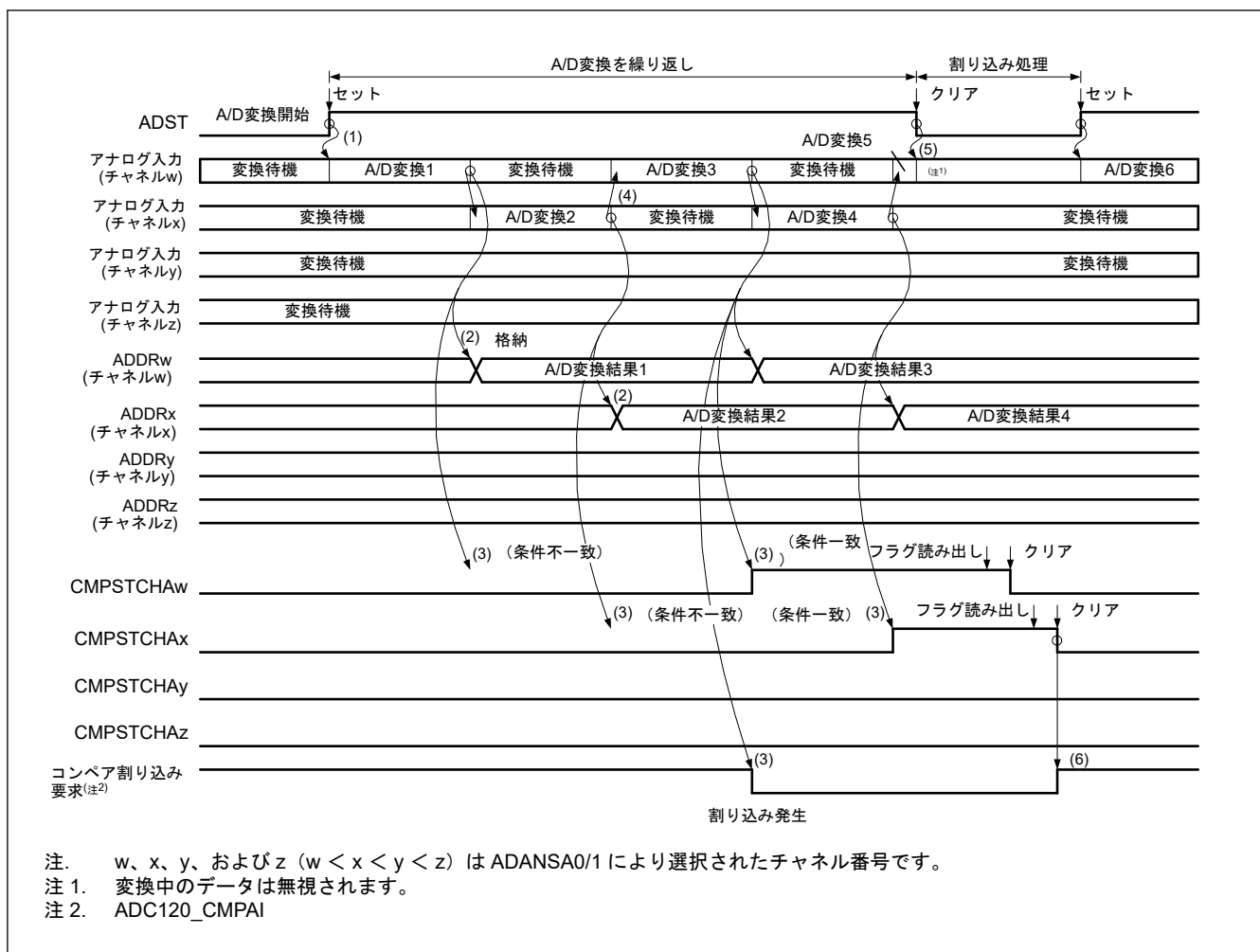


図 35.22 コンペア機能の動作例 (アナログ入力 (チャンネル w~z) を比較)

35.3.5.2 コンペア機能のイベント出力

コンペア機能のイベント出力は、上側基準電圧値および下側基準電圧値をウィンドウ A およびウィンドウ B それぞれに設定します。選択したチャンネルの A/D 変換値を上側/下側基準電圧値と比較して、ウィンドウ A およびウィンドウ B の比較条件成立/不成立からイベント条件 (A OR B, A AND B, A EXOR B) に応じてイベント (ADC120_WCMPPM/ADC120_WCMPUM) を出力します。

ウィンドウ A で複数のチャンネルを選択し、チャンネルのうち 1 つでも比較条件と一致した場合、ウィンドウ A の比較結果は一致となります。この機能を使用する場合、A/D 変換はシングルスキャンモードで行ってください。

ウィンドウ A の場合、アナログ入力、内部基準電圧、および温度センサ出力を選択できます。ただし、内部基準電圧または温度センサ出力を選択する場合、同時に他のチャンネルを選択することはできません。さらに、内部基準電圧が A/D コンバータの高電位基準電圧に選択されると、内部基準電圧または温度センサ出力は A/D 変換できません。

ウィンドウ B の場合、アナログ入力のチャンネルのどれか 1 つ、内部基準電圧、および温度センサ出力を選択できます。また、高電位基準電圧に内部基準電圧を選択した場合、内部基準電圧または温度センサ出力を A/D 変換することはできません。

コンペア機能のイベント出力使用時の設定手順および設定例を以下に示します。

1. ADCSR.ADCS ビットの値が 00b (シングルスキャンモード) であることを確認します。
2. ADCMPANSR0/1 レジスタおよび ADCMPANSER レジスタでウィンドウ A のチャンネルを選択します。
ADCMPLR0/1 レジスタおよび ADCMPLER レジスタにウィンドウ比較条件を設定します。ADCMPDR0/1 レジスタに上側および下側基準値を設定してください。
3. ADCMPBNSR レジスタでウィンドウ B のチャンネルおよび比較条件を選択し、ADWINULB/ADWINLLB レジスタで上側および下側基準値を設定します。
4. ウィンドウ A/B の複合条件、ウィンドウ A/B 動作許可、および割り込み出力許可を ADCMPCR レジスタに設定してください。

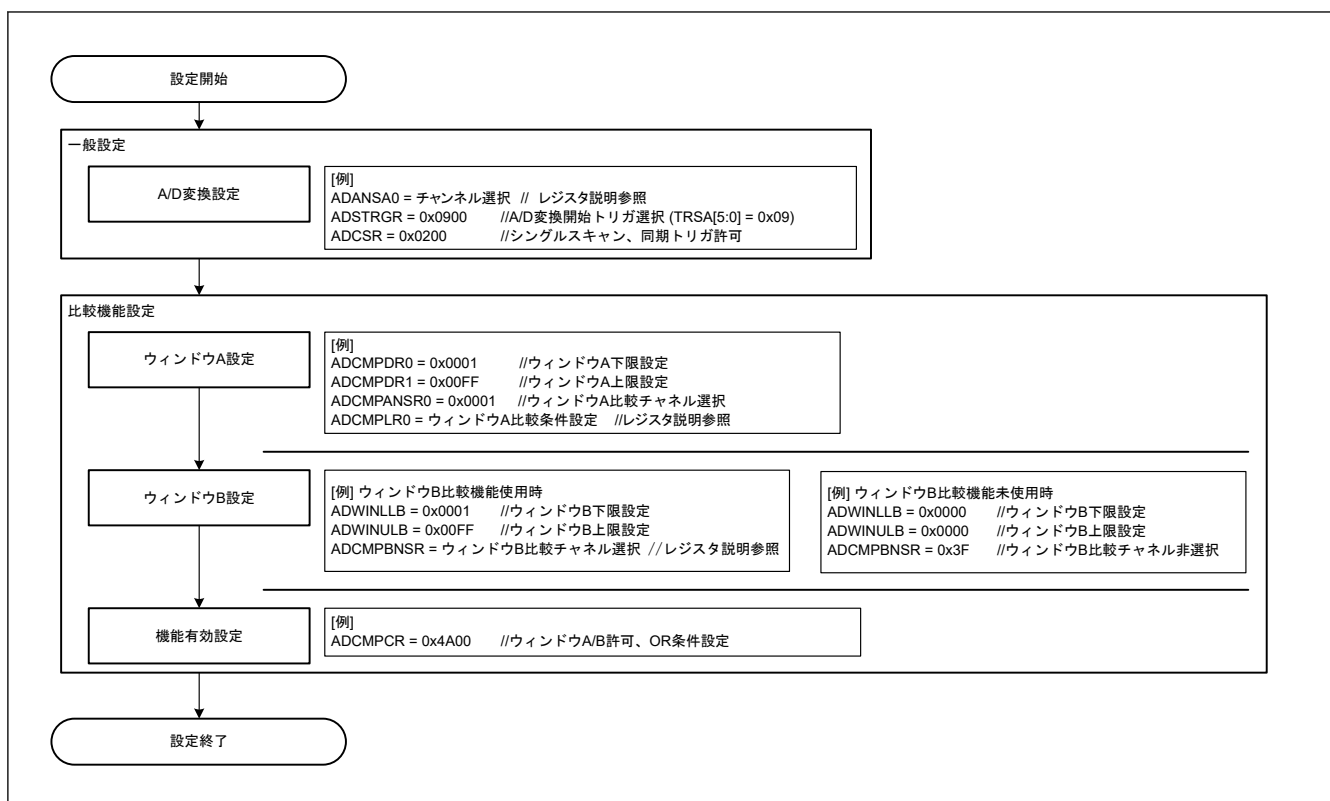


図 35.23 コンペア機能のイベント出力使用時の設定例

コンペア機能でウィンドウ A のみを使用するときのイベント出力の使用方法について、以下に注意点を示します。

- ウィンドウ A および B をどちらも有効 (ADCMPCR.CMPAE = 1、ADCMPCR.CMPBE = 1) にしてください
- ウィンドウ A および B の複合条件を「OR 条件」にしてください (ADCMPCR.CMPAB[1:0] = 00b)
- ウィンドウ B の比較対象チャンネルは「非選択」にしてください (ADCMPBNSR.CMPCHB[5:0] = 0x3F)
- ウィンドウ B の比較条件を、常に不一致を表す「0 < 結果 < 0」に設定してください (ADCMPCR.WCMPE = 1、ADWINLLB[15:0] = ADWINULB[15:0] = 0x0000、および ADCMPBNSR.CMPLB = 1)

図 35.24 にコンペア機能のイベント出力動作例を示します。

シングルスキャンが完了するタイミングで、スキャン終了イベント (ADC120_ADI) を出力します。その後、ADCMPCR.CMPAB[1:0]の設定に従い、1 PCLKA 遅れて一致または不一致イベント (ADC120_WCMPPM/ADC120_WCMPUM) を出力します。

注. 一致イベントと不一致イベントは排他的であるため、2つのイベントを同時に出力することはありません。

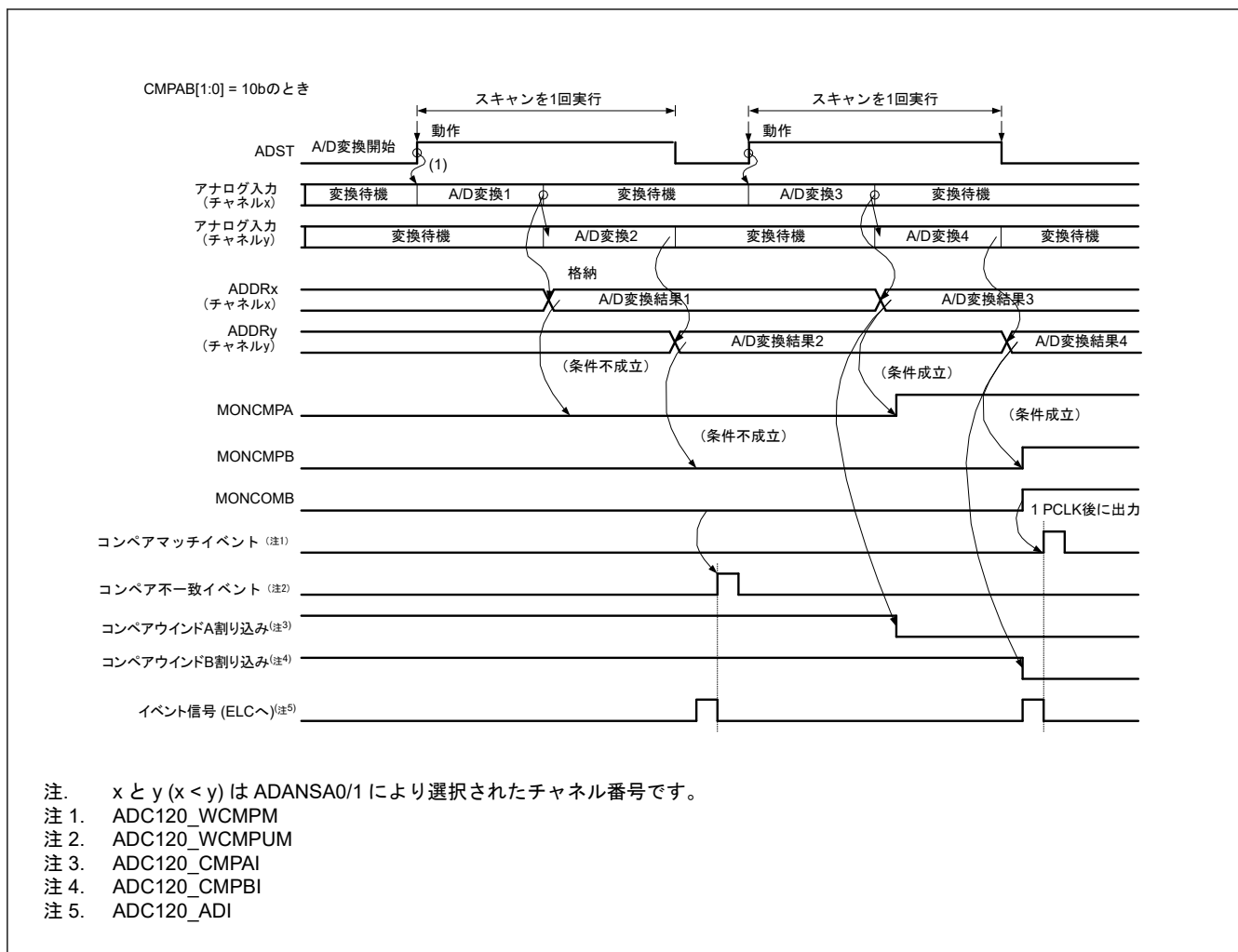


図 35.24 コンペア機能のイベント出力の動作例（アナログ入力（チャンネル x, y）を比較）

注. コンペア機能のイベント出力は、ADCMPCR.CMPAB[1:0]の設定に従い、ウィンドウ A およびウィンドウ B の比較結果の一致／不一致を出力します。

注. ウィンドウ A の比較結果は、ウィンドウ A の比較対象チャンネルの比較結果の論理和です。ウィンドウ A および B の比較結果は、A/D 変換ごとに更新され、シングルスキャンが終了しても保持されます。比較結果をクリアするには、ADCMPCR.CMPAE および ADCMPCR.CMPBE を 0 にしてください。

35.3.5.3 コンペア機能の制限事項

コンペア機能には以下の制限事項があります。

- コンペア機能は、自己診断機能またはダブルトリガモードと一緒に使用できません。（ADRD、ADDBLDR、ADDBLDRA、および ADDBLDRB はコンペア機能対象外です。）
- 一致／不一致イベント出力を使用する場合はシングルスキャンモードにしてください。
- ウィンドウ A に温度センサ出力、内部基準電圧を選択した場合、ウィンドウ B 動作は禁止になります。
- ウィンドウ B に温度センサ出力、内部基準電圧を選択した場合、ウィンドウ A 動作は禁止になります。
- ウィンドウ A とウィンドウ B に同じチャンネルを設定することはできません
- 基準電圧値を設定する際は、高電位基準電圧値が低電位基準電圧値以上となるように設定してください。

35.3.6 アナログ入力のサンプリング時間とスキャン変換時間

スキャン変換は、ソフトウェアトリガ、同期トリガ (ELC)、または非同期トリガ (ADTRG0) により起動できます。スキャン変換開始遅延時間 (t_D) の後に、断線検出アシスト処理と自己診断変換処理をすべて行い、この後に A/D 変換処理が開始されます。

図 35.25 に、ソフトウェアトリガまたは同期トリガ (ELC) 起動によりスキャン変換を行う場合のタイミングを示します。また、図 35.26 に、非同期トリガ (ADTRG0) 起動によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間 (t_{SCAN}) はスキャン変換開始遅延時間 (t_D)、断線検出アシスト処理時間 (t_{DIS}) (注1)、自己診断 A/D 変換処理時間 (t_{DIAG} および t_{DSD}) (注2)、A/D 変換処理時間 (t_{CONV})、スキャン変換終了遅延時間 (t_{ED}) を含めた時間となります。

A/D 変換処理時間 (t_{CONV}) は、入力サンプリング時間 (t_{SPL}) と逐次変換時間 (t_{SAM}) を合わせた時間となります。サンプリング時間 (t_{SPL}) は、A/D コンバータ内のサンプル&ホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D 変換クロック (ADCLK) が低速の場合には ADSSTRn レジスタでサンプリング時間を調整できます。

逐次変換時間 (t_{SAM}) は以下の通りです。

- 12 ビット変換精度において、高速 A/D 変換モード (ADCSR.ADHSC = 0) および通常変換モード (ADACSR.ADSAC = 0) を選択している場合、31.5 ステート (ADCLK)
- 12 ビット変換精度において、低消費電力 A/D 変換モード (ADCSR.ADHSC = 1) および通常変換モード (ADACSR.ADSAC = 0) を選択している場合、40.5 ステート (ADCLK)
- 12 ビット変換精度において、高速 A/D 変換モード (ADCSR.ADHSC = 0) および高速変換モード (ADACSR.ADSAC = 1) を選択している場合、21.5 ステート (ADCLK)
- 12 ビット変換精度において、低消費電力 A/D 変換モード (ADCSR.ADHSC = 1) および高速変換モード (ADACSR.ADSAC = 1) を選択している場合、27.5 ステート (ADCLK)

表 35.23 に逐次変換時間 (t_{SAM}) を示します。

選択チャンネル数が n のシングルスキャンのスキャン変換時間 (t_{SCAN}) は、次のように表されます。

$$t_{SCAN} = t_D + (t_{DIS} \times n) + t_{DIAG} + t_{ED} + (t_{CONV} \times n) \quad (\text{注3})$$

連続スキャンモードの 1 サイクル目のスキャン変換時間は、シングルスキャンの t_{SCAN} から t_{ED} を省いた時間です。連続スキャンの 2 サイクル目以降のスキャン変換時間は、以下のように決まっています。

$$(t_{DIS} \times n) + t_{DIAG} + t_{DSD} + (t_{CONV} \times n) \quad (\text{注3})$$

注 1. 断線検出アシストを設定しない場合は、 $t_{DIS} = 0$ となります。

温度センサまたは内部基準電圧を A/D 変換する場合のみ、15 ステート (ADCLK) の自動ディスチャージ期間が入ります。

注 2. 自己診断機能を使用しない場合は、 $t_{DIAG} = 0$, $t_{DSD} = 0$ となります。

注 3. 選択したすべてのチャンネルの入力サンプリング時間 (t_{SPL}) が同じである場合、この要素は $t_{CONV} \times n$ になります。チャンネルごとに異なるサンプリング時間の場合、この要素は選択したチャンネルごとに設定した t_{SPL} と t_{SAM} の和となります。

表 35.23 にスキャン変換時間を示します。

表 35.23 スキャン変換時間 (ADCLK と PCLKA のサイクル数)

項目			シンボル	種別／条件			単位
				同期トリガ ^(注5)	非同期トリガ	ソフトウェアトリガ	
スキャン開始 遅延時間 ^(注1) (^{注2})	グループ A 優先動作によるグループ A の A/D 変換	グループ B 中断あり（グループ A の A/D 変換要因によってグループ B を停止させた後、グループ A を起動）	t _D	3 PCLKA + 6 ADCLK 5 PCLKA + 3 ADCLK ^(注6)	—	—	サイクル
		グループ B 中断なし（グループ A の A/D 変換要因によって起動）		2 PCLKA + 4 ADCLK	—	—	
	自己診断有効時の A/D 変換	自己診断 A/D 変換開始時		2 PCLKA + 4 ADCLK	4 PCLKA + 6 ADCLK	6 ADCLK	
	上記以外			2 PCLKA + 4 ADCLK	2 PCLKA + 4 ADCLK	4 ADCLK	
断線検出アシスト処理時間			t _{DIS}	ADNDIS[3:0]設定値（初期値 = 0x00） × ADCLK ^(注3)			
自己診断変換 処理時間 ^(注1)	サンプリング時間 ^(注4)		t _{DIAG}	t _{SPL}	ADSSTRn（n = 0～14, L, T, O）設定値（初期値 = 0x0D） × ADCLK + 0.5 ADCLK		
	逐次変換時間	12 ビット変換精度		t _{SAM}	高速 A/D 変換モード（ADCSR.ADHSC = 0）かつ通常変換モード（ADACSR.ADSAC = 0）時、31.5 ADCLK 低消費電力 A/D 変換モード（ADCSR.ADHSC = 1）かつ通常変換モード（ADACSR.ADSAC = 0）時、40.5 ADCLK 高速 A/D 変換モード（ADCSR.ADHSC = 0）かつ高速変換モード（ADACSR.ADSAC = 1）時、21.5 ADCLK 低消費電力 A/D 変換モード（ADCSR.ADHSC = 1）かつ高速変換モード（ADACSR.ADSAC = 1）時、27.5 ADCLK		
	自己診断変換終了からアナログチャネルサンプリング開始までの待機時間			t _{DED}	2 ADCLK		
	連続スキャンモードでの最後のチャネル変換終了から自己診断サンプリング開始までの待機時間			t _{DSD}	2 ADCLK		
A/D 変換処理 時間 ^(注1)	サンプリング時間 ^(注4)		t _{CONV}	t _{SPL}	ADSSTRn（n = 0～14, L, T, O）設定値（初期値 = 0x0D） × ADCLK + 0.5 ADCLK		
	逐次変換時間	12 ビット変換精度		t _{SAM}	高速 A/D 変換モード（ADCSR.ADHSC = 0）かつ通常変換モード（ADACSR.ADSAC = 0）時、31.5 ADCLK 低消費電力 A/D 変換モード（ADCSR.ADHSC = 1）かつ通常変換モード（ADACSR.ADSAC = 0）時、40.5 ADCLK 高速 A/D 変換モード（ADCSR.ADHSC = 0）かつ高速変換モード（ADACSR.ADSAC = 1）時、21.5 ADCLK 低消費電力 A/D 変換モード（ADCSR.ADHSC = 1）かつ高速変換モード（ADACSR.ADSAC = 1）時、27.5 ADCLK		
スキャン終了処理時間 ^(注1)			t _{ED}	1 PCLKA + 3 ADCLK 2 PCLKA + 3 ADCLK ^(注6)			

注 1. t_D 、 t_{DIAG} 、 t_{CONV} 、および t_{ED} の各タイミングについては、[図 35.25](#) および [図 35.26](#) を参照してください。

注 2. これは、ソフトウェア書き込み、またはトリガ入力から A/D 変換開始までに必要な最大時間です。

注 3. 温度センサ出力または内部基準電圧を A/D 変換する場合、値は 0x0F (15 ADCLK) 固定です。

注 4. サンプリング時間の設定は電気的特性を満たす必要があります。詳細は、「[43.4. ADC12 特性](#)」を参照してください。

注 5. これは、タイマ出力からトリガ入力までの経路で使われる時間は含みません。

注 6. ADCLK が PCLKA より速い (PCLKA : ADCLK の周波数比 = 1:2 または 1:4) 場合。

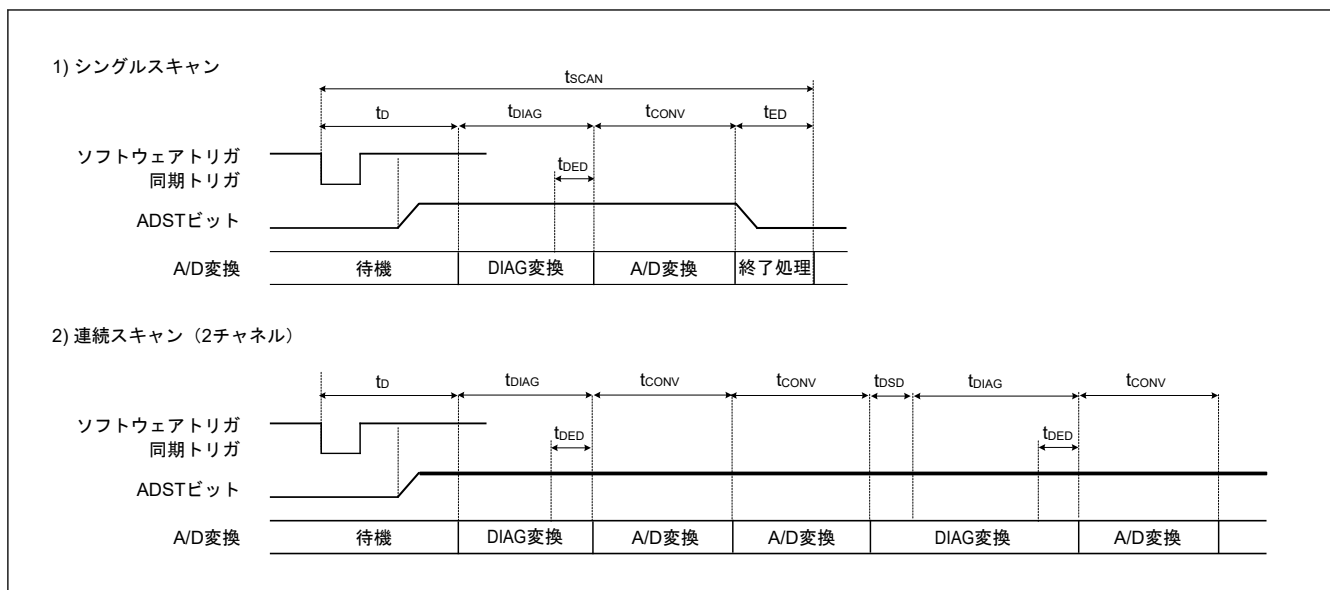


図 35.25 スキャン変換のタイミング (ソフトウェア起動または同期トリガ入力 (ELC) 起動の場合)

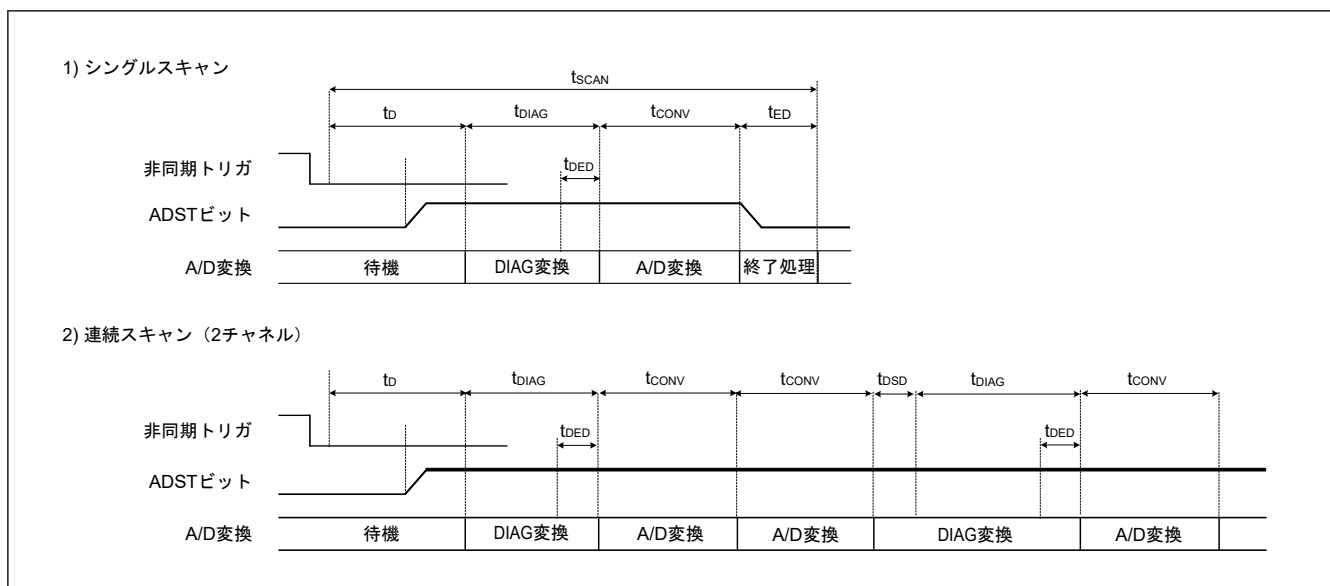


図 35.26 スキャン変換のタイミング (非同期トリガ入力 (ADTRG0) 起動の場合)

35.3.7 A/D データレジスタの自動クリア機能の使用例

ADCER.ACE ビットを 1 にすることにより、CPU または DTC によって A/D データレジスタを読み出す際、自動的に A/D データレジスタ (ADDRy, ADDR, ADDBLDR, ADDBLDRA, ADDBLDRB, ADTSR, ADOCDR) を 0x0000 にクリアできます。

この機能を使うことにより、A/D データレジスタ (ADDRy, ADDR, ADDBLDR, ADDBLDRA, ADDBLDRB, ADTSR, ADOCDR) の未更新故障を検出することができます。以下に ADDRy レジスタの自動クリア機能が無効/有効時の例を示します。

- ADCER.ACE ビットが 0 (自動クリア禁止) の場合に、A/D 変換結果 (0x0222) が何らかの原因で ADDRy レジスタに書き込みされなかったとき、ADDRy レジスタの値は古いデータ (0x0111) を保持します。さらに A/D スキャン終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ (0x0111) を汎用レジスタに保持できます。ただし、未更新のチェックを行う場合、古いデータを SRAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。
- ADCER.ACE ビットが 1 (自動クリア許可) の場合には、ADDRy = 0x0111 を CPU または DTC により読み出す際、ADDRy は自動的に 0x0000 に設定されます。その後、A/D 変換結果 (0x0222) が ADDRy レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (0x0000) が ADDRy レジスタ値として残ります。

ここで A/D スキャン終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合は、0x0000 が汎用レジスタに保持されます。読み出されたデータ値が 0x0000 であることをチェックして、ADDRy レジスタの未更新故障があったことを判断できます。

35.3.8 A/D 変換値加算／平均モード

A/D 変換値加算／平均モードは、チャンネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換、または内部基準電圧 A/D 変換を選択時に使用できます。

A/D 変換値加算モードでは、同じチャンネルを 1、2、3、4、または 16 回連続で A/D 変換し、その変換値の合計をデータレジスタに格納します。A/D 変換値平均モードでは、同じチャンネルを 2 回または 4 回連続で A/D 変換し、その変換値の平均をデータレジスタに格納します。これらの結果の平均値を使用することで、発生しているノイズ成分のタイプによっては A/D 変換精度を向上させることができます。ただし、この機能は A/D 変換精度が向上することを常に保証できません。

A/D 変換値加算／平均機能は、チャンネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換、または内部基準電圧 A/D 変換選択時に使用できます。A/D 変換値加算／平均機能は、ダブルトリガ機能選択チャンネルにも使用できます。

加算機能は自己診断にはありません。

35.3.9 断線検出アシスト機能

ADC12 は A/D 変換開始前に、サンプリング容量の電荷を所定の状態 VREFH0 または VREFL0 に固定する機能を内蔵しています。この機能により、アナログ入力に接続した配線の断線検出が可能になります。

図 35.27 に断線検出アシスト機能を使用した場合の A/D 変換動作図を示します。図 35.28 にプリチャージを選択した場合の断線検出例を示します。図 35.29 にディスチャージを選択した場合の断線検出例を示します。

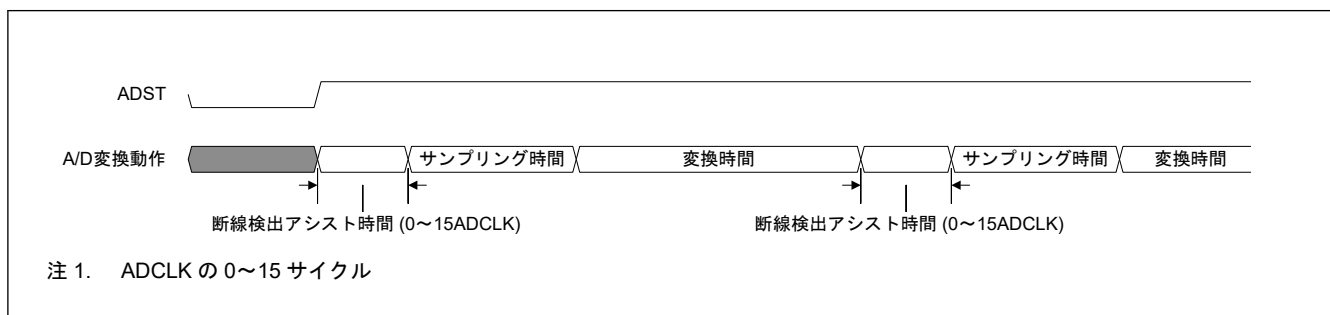


図 35.27 断線検出アシスト機能を使用した場合の A/D 変換動作図

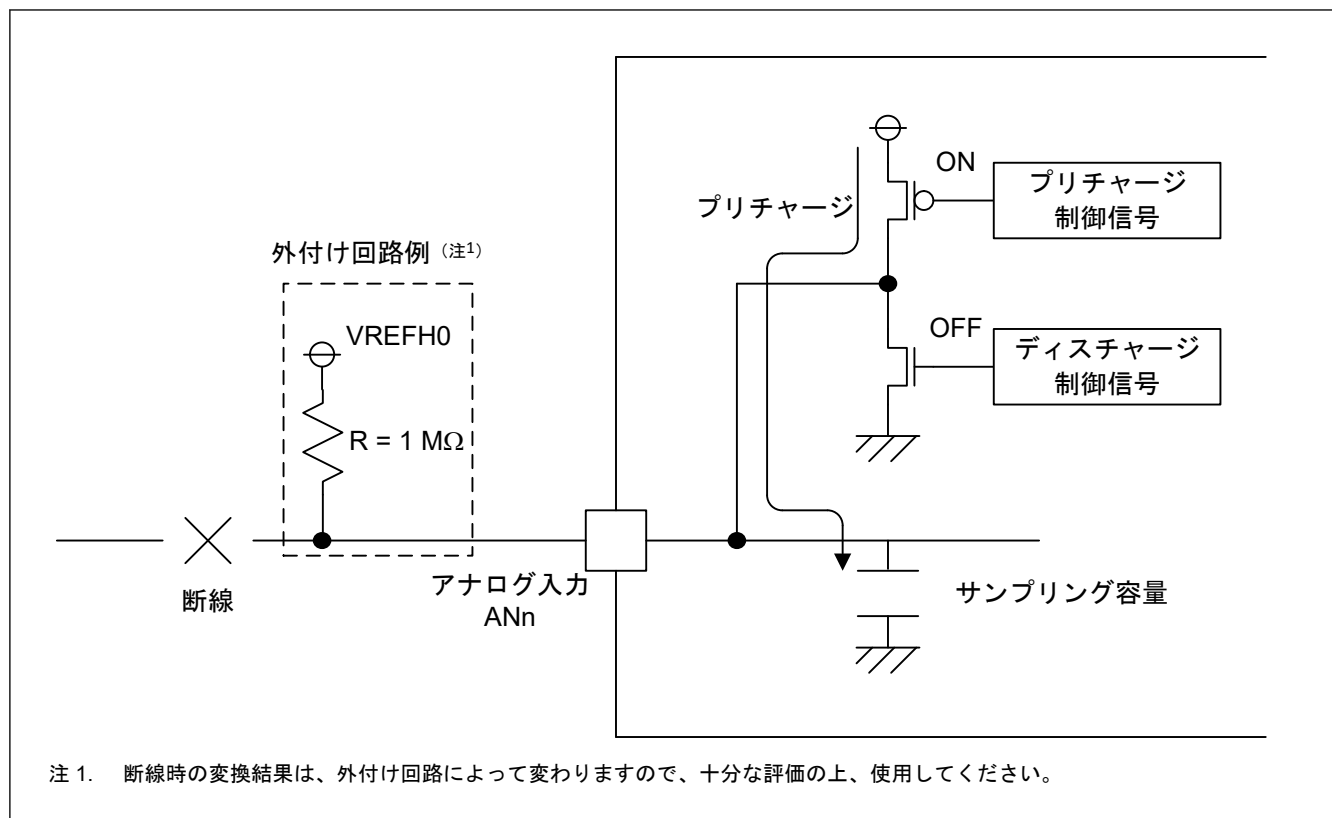


図 35.28 プリチャージを選択した場合の断線検出例

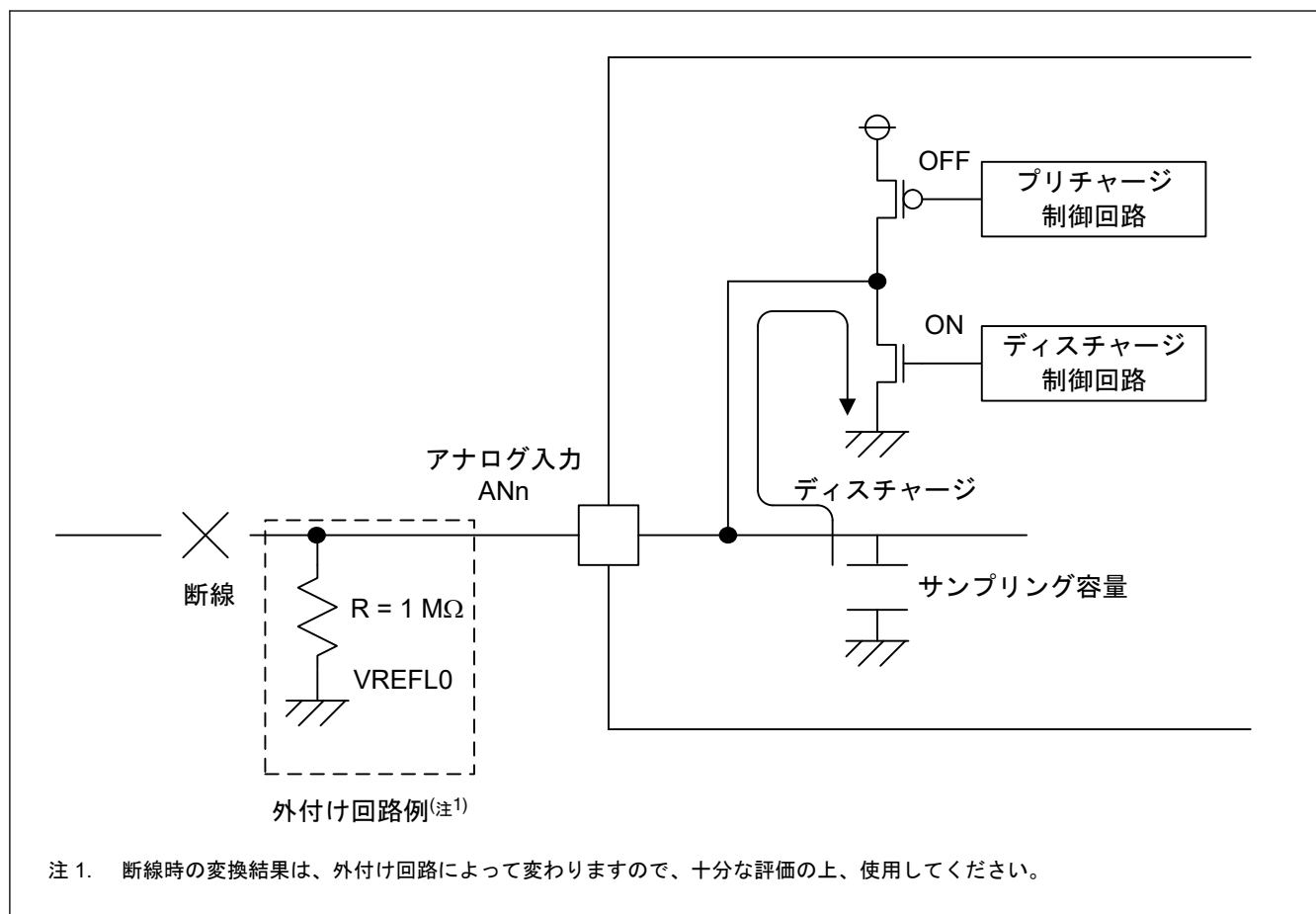


図 35.29 ディスチャージを選択した場合の断線検出例

35.3.10 非同期トリガによる A/D 変換の開始

非同期トリガの入力により AD 変換を開始することができます。非同期トリガにより A/D 変換を開始する場合、PmnPFS レジスタで端子機能を設定し、A/D 変換開始トリガ選択ビット (ADSTRGR.TRSA[5:0]) を 0x00 に設定し、それから非同期トリガ (ADTRG0 端子) に High を入力してください。最後に、ADCSR.TRGE ビットと ADCSR.EXTRG ビットの両方に 1 を設定してください。図 35.30 に非同期トリガ入力のタイミングを示します。

非同期トリガは、グループスキャンモードで使用されるグループ B の A/D 変換開始トリガとして選択できません。端子機能の設定については、「18. I/O ポート」を参照してください。

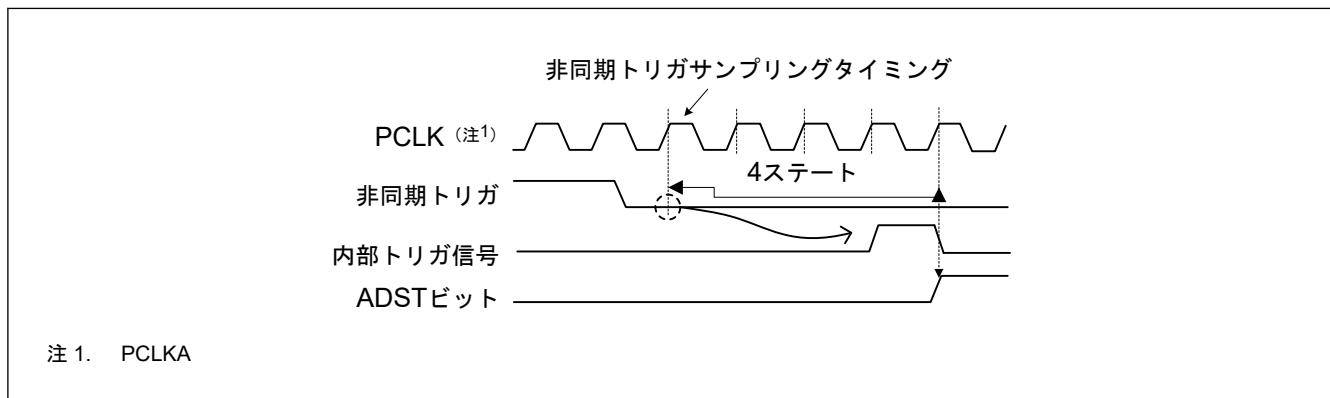


図 35.30 非同期トリガ入力タイミング

35.3.11 周辺モジュールからの同期トリガによる A/D 変換の開始

同期トリガ (ELC) により、A/D 変換を開始できます。そのためには、ADCSR.TRGE ビットを 1 に、ADCSR.EXTRG ビットを 0 にして、ADSTRGR.TRSA[5:0] ビットおよび ADSTRGR.TRSB[5:0] ビットで該当の要因を選択してください。

35.4 割り込み要因と DTC 転送要求

35.4.1 割り込み要求

ADC12 は、スキャン終了割り込み要求 ADC120_ADI と ADC120_GBADI を CPU に送ることができます。また、ADC12 は CPU へのコンペア条件成立割り込み要求である ADC120_CMPAI/ADC120_CMPBI 割り込みを発生します。

ADC120_ADI 割り込みは常に発生します。ADC120_GBADI 割り込みは、ADCSR.GBADIE ビットを 1 にすることで発生させることができます。同様に、ADC120_CMPAI 割り込みおよび ADC120_CMPBI 割り込みは ADCMPCR.CMPAIE ビットおよび ADCMPCR.CMPBIE ビットを 1 にすることで発生させることができます。

また、ADC120_ADI 割り込みまたは ADC120_GBADI 割り込み発生時に DTC を起動できます。ADC120_ADI 割り込みまたは ADC120_GBADI 割り込みを使って DTC を起動し、変換されたデータの読み出しを行うことにより、連続変換をソフトウェアの負担なく実現できます。

表 35.24 に ADC12 で利用可能な割り込み要因と ELC イベントを示します。

表 35.24 ADC12 の割り込み要因と ELC イベント

動作			割り込み要求または ELC イベント	割り込み要求	DTC の起動	ELC イベント要求	機能
スキャンモード	ダブルトリガモード	コンペア機能ウィンドウ A/B					
シングルスキャンモード	非選択	非選択	ADC120_ADI	✓	✓	✓	シングルスキャンの最後に ADC120_ADI 発生
		選択	ADC120_ADI	✓	✓	✓	シングルスキャンの最後に ADC120_ADI 発生
			ADC120_CMPAI	✓	—	—	ウィンドウ A の比較条件一致で ADC120_CMPAI 発生
			ADC120_CMPBI	✓	—	—	ウィンドウ B の比較条件一致で ADC120_CMPBI 発生
			ADC120_WCMPPM	—	✓	✓	ウィンドウ A/B コンペア機能の条件一致で ADC120_WCMPPM 発生
			ADC120_WCMPUM	—	✓	✓	ウィンドウ A/B コンペア機能の条件不一致で ADC120_WCMPUM 発生
	選択	非選択	ADC120_ADI	✓	✓	✓	偶数回のスキャンの最後に ADC120_ADI 発生
連続スキャンモード	非選択	非選択	ADC120_ADI	✓	✓	✓	選択したすべてのチャンネルのスキャン終了時に ADC120_ADI 発生
		選択	ADC120_CMPAI	✓	—	—	ウィンドウ A の比較条件一致で ADC120_CMPAI 発生
			ADC120_CMPBI	✓	—	—	ウィンドウ B の比較条件一致で ADC120_CMPBI 発生
グループスキャンモード	非選択	非選択	ADC120_ADI	✓	✓	✓	グループ A スキャンの最後に ADC120_ADI 発生
			ADC120_GBADI	✓	✓	—	グループ B のスキャンの最後にグループ B 用の ADC120_GBADI 発生
		選択	ADC120_ADI	✓	✓	✓	グループ A スキャンの最後に ADC120_ADI 発生
			ADC120_GBADI	✓	✓	—	グループ B のスキャンの最後にグループ B 用の ADC120_GBADI 発生
			ADC120_CMPAI	✓	—	—	ウィンドウ A の比較条件一致で ADC120_CMPAI 発生
			ADC120_CMPBI	✓	—	—	ウィンドウ B の比較条件一致で ADC120_CMPBI 発生
	選択	非選択	ADC120_ADI	✓	✓	✓	偶数回のグループ A スキャンの最後に ADC120_ADI 発生
			ADC120_GBADI	✓	✓	—	グループ B のスキャンの最後にグループ B 用の ADC120_GBADI 発生

注. ✓ 使用可能
 — 使用不可

DTC の設定の詳細は、「16. データトランスファコントローラ (DTC)」を参照してください。

35.5 イベントリンク機能

35.5.1 ELC へのイベント出力動作

ELC は、ADC120_ADI 割り込み要求信号をイベント信号 ADC120_ADI として使用し、事前設定モジュールに対してリンク動作が可能です。ADC120_GBADI 割り込みと ADC120_CMPAI/ADC120_CMPBI 割り込みは、イベント信号として使用できません。詳細は表 35.24 を参照してください。

イベント信号は該当する割り込み要求許可ビットの設定に関係なく出力することができます。スキャン終了イベント (ADC120_ADI) は、表 35.24 に示す割り込み出力 (ADC120_ADI) と同じ出力タイミングで PCLKA 1 サイクル分の High パルスを出力します。ELC へのコンペア機能一致イベント (ADC120_WCMPPM) と不一致イベント (ADC120_WCMPUM) は、表 35.24 に示す割り込み出力 (ADC120_ADI) から 1 サイクル (PCLKA) 遅れたタイミングで PCLKA 1 サイクル分の High パルスを出力します。

ELC へのコンペア機能一致イベント (ADC120_WCMPPM) または不一致イベント (ADC120_WCMPUM) を使用する場合は、シングルスキャンモードに設定してください。

35.5.2 ELC からのイベントによる ADC12 の動作

以下のように、ADC12 は ELSRn で指定された ELC の事前設定イベントにより A/D 変換を開始できます。

- ELC.ELSR8 レジスタで ELC_AD00 信号を選択する
- ELC.ELSR9 レジスタで ELC_AD01 信号を選択する

A/D 変換中に ELC イベントが発生すると、そのイベントは無効です。

35.6 基準電圧の選択

ADC12 は、VREFH0、AVCC0、または内部基準電圧を高電位基準電圧として選択可能で、VREFL0 または AVSS0 を低電位基準電圧として選択可能です。A/D 変換開始前にこれらの基準電圧を設定してください。設定の詳細は「35.2.37. ADHVREFCNT : A/D 高電位／低電位基準電圧コントロールレジスタ」を参照してください。

35.7 高電位基準電圧に内部基準電圧を選択する A/D 変換手順

ここでは、高電位基準電圧に内部基準電圧を選択したときの A/D 変換手順について説明します。この場合、アナログ入力チャネルに対して A/D 変換が可能ですが、内部基準電圧や温度センサ出力の A/D 変換は禁止されています。

1. ADHVREFCNT.HVSEL[1:0] を 11b に設定し、ADC12 の高電位基準電圧経路をディスチャージしてください。
2. ソフトウェア内で 1 μ s のディスチャージ時間待機してください。
3. ADHVREFCNT.HVSEL[1:0] を 10b に設定し、内部基準電圧を高電位基準電圧に選択してください。(注1)
4. ソフトウェア内で内部基準電圧が安定するまで待機してから (5 μ s)、A/D 変換を実行してください。

注 1. ADC12 には VREFH0 (ADHVREFCNT.HVSEL[1:0] = 01b) または AVCC0 (ADHVREFCNT.HVSEL[1:0] = 00b) の選択からのディスチャージ (ADHVREFCNT.HVSEL[1:0] = 11b) のない内部基準電圧 (ADHVREFCNT.HVSEL[1:0] = 10b) の選択を無効にする保護機能があります。ディスチャージなしに内部基準電圧が選択されると、ディスチャージが強制設定されます。再度、1 μ s 後に内部基準電圧を選択してください。

図 35.31 に内部基準電圧を高電位基準電圧に選択するための手順の波形図を示します。

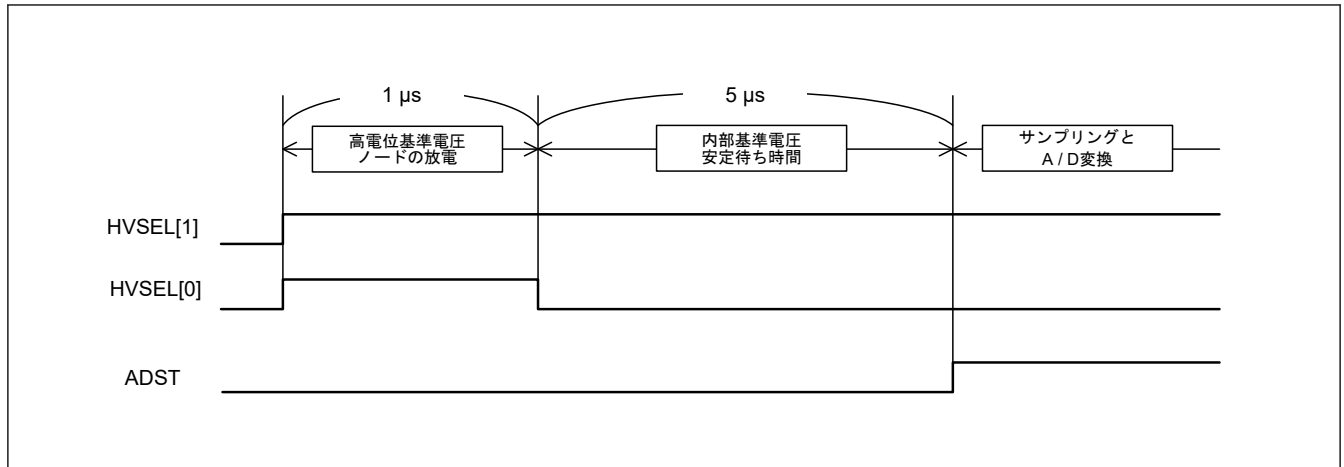


図 35.31 高電位基準電圧に内部基準電圧を選択する手順

35.8 使用上の注意

35.8.1 レジスタ設定時の制限

各レジスタの設定は、ADCSR.ADST ビットが 0 のときに設定してください。

35.8.2 データレジスタの読み出しに関する制約

以下のレジスタの読み出しは、ハーフワード単位で行ってください。

- A/D データレジスタ
- A/D データ 2 重化レジスタ
- A/D データ 2 重化レジスタ A
- A/D データ 2 重化レジスタ B
- A/D 温度センサデータレジスタ
- A/D 内部基準電圧レジスタ
- A/D 自己診断データレジスタ

バイト単位で上位バイト／下位バイトの 2 回に分けてレジスタを読み出すことにより、1 回目に読み出した A/D 変換値と 2 回目に読み出した A/D 変換値が一致しないことがあります。これを避けるため、バイト単位のデータレジスタの読み出しは行わないでください。

35.8.3 A/D 変換停止に関する制約

(1) A/D 変換停止手順

A/D 変換開始条件に非同期トリガまたは同期トリガを選択している場合、A/D 変換を停止させるためには、[図 35.32](#) のフローチャートの手順に従ってください。

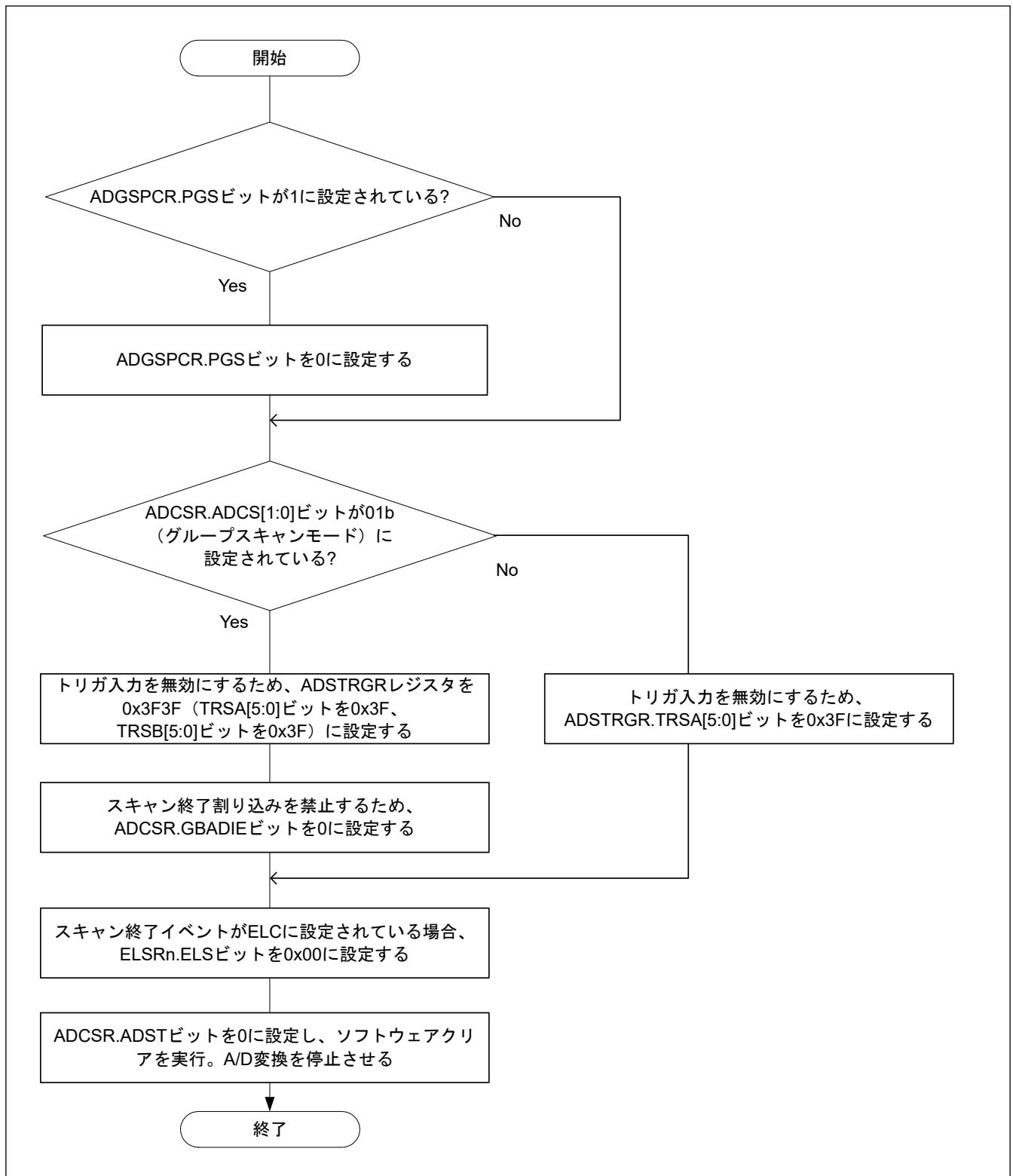


図 35.32 ソフトウェアによる ADCSR.ADST ビットのクリア手順

ソフトウェアクリア実行後に下記を設定する場合は、2ADCLK 以上のウェイトを入れてください。

- スキャン終了割り込み許可
- イベントリンクコントローラのスキャン終了イベント有効設定
- ソフトウェアでの A/D 変換開始
- トリガ入力有効設定

(2) モード／ステータスビットの注意事項

自己診断の電圧ステータスやダブルトリガモードの奇数／偶数判定、コンペア機能のモニタフラグは、必要に応じて個別に初期化または再設定をしてください。

- 自己診断の電圧ステータスの再設定は、ADCER.DIAGLD ビットを 1 とし ADCER.DIAGVAL[1:0] ビットで選択します。
- ダブルトリガモードは、ADCSR.DBLE ビットを 0 から 1 に設定するとスキャン 1 回目の動作から開始します。
- コンペア機能のモニタフラグ (MONCMPA、MONCMPB、MONCOMB) の初期化は、ADCMPCR.CMPAE ビットと ADCMPCR.CMPBE ビットを 0 に設定します。

35.8.4 A/D 変換強制停止と再開時の動作タイミング

ADC12 のアナログ部が停止した状態から ADCSR.ADST ビットを 1 にして動作を再開するのに、ADCLK で最大 6 サイクルを必要とします。ADC12 のアナログ部が動作している状態から ADCSR.ADST ビットを 0 に設定して停止するのに、ADCLK で最大 3 サイクルを必要とします。

35.8.5 スキャン終了割り込み処理の制約

トリガ起動による同一アナログ入力のスキャンを 2 回行う場合、1 回目の A/D 変換データが 2 回目の A/D 変換データで上書きされます。この現象は、1 回目のスキャン終了割り込み発生から、2 回目のスキャンによる最初のアナログ入力の A/D 変換が終了するまでに、CPU が A/D 変換データを読み出し終えていない場合に発生します。

35.8.6 モジュールストップ機能の設定

モジュールストップコントロールレジスタは ADC12 の動作を許可または禁止できます。ADC12 は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップ状態を解除した後は、1μs 以上待ってから A/D 変換を開始してください。詳細は「[10. 低消費電力モード](#)」を参照してください。

35.8.7 低消費電力状態への遷移に関する注意事項

モジュールストップ状態やソフトウェアスタンバイモードへ遷移する場合は、事前に A/D 変換を停止させてください。A/D 変換を停止させる際、ADCSR.ADST ビットを 0 に設定後、ADC12 のアナログ部が停止するまで一定の期間を確保する必要があります。ソフトウェアで ADCSR.ADST ビットをクリアするには、[図 35.32](#) に示す手順に従ってください。その後、ADCLK の 3 サイクル分待機した後、モジュールストップ状態やソフトウェアスタンバイモードへ遷移してください。

35.8.8 断線検出アシスト機能使用時の絶対精度誤差

断線検出アシスト機能を使用する場合、ADC12 の絶対精度誤差が生じます。この誤差は、アナログ入力端子にプルアップ／プルダウン抵抗 (R_p) と信号源抵抗 (R_s) の抵抗分圧分の誤った電圧が入力されるために生じます。絶対精度の誤差は下式で表されます。

$$\text{最大絶対精度誤差 (LSB)} = (2^{\text{分解能}} - 1) \times R_s / (R_s + R_p)$$

断線検出アシスト機能は、十分な評価の上、使用してください。

35.8.9 ADHSC ビット書き換え手順

ADC12 をスタンバイ状態にしてから、A/D 変換選択ビット (ADCSR.ADHSC) を 0 から 1、または 1 から 0 に変更する必要があります。ADCSR.ADHSC ビットは下記の手順で変更してください。スリープビット (ADHVREFCNT.ADSLPL) を 0 にした後 1μs 以上待機し、それから A/D 変換を開始してください。

1. スリープビット (ADHVREFCNT.ADSLPL) を 1 にします。
2. 0.2 μs 以上待ってから A/D 変換選択ビット (ADCSR.ADHSC) を変更してください。
3. 4.8 μs 以上待ってからスリープビット (ADHVREFCNT.ADSLPL) を 0 にしてください。

注. A/D 変換選択ビット (ADCSR.ADHSC) を変更する場合以外でスリープビット (ADHVREFCNT.ADSLPL) を 1 にしないでください。

注. A/D 変換選択ビット (ADCSR.ADHSC) が 1 の場合はスリープビットをリセットしないでください。本ビットを 0 にした後、または動作モードがモジュールストップモードに移した後は、ADCSR.ADHSC ビットの書き換え手順に従いスリープビットをリセットしてください。

35.8.10 動作モードおよびステータスビットの制約

自己診断の電圧値、ダブルトリガモードでの 1 回目または 2 回目のスキャンの値、データバッファポインタ、コンペア機能のステータスモニタについては、それぞれ必要に応じて初期化または再設定を行ってください。

- 自己診断の電圧値 (ADCER.DIAGVAL[1:0]) は、ADCER.DIAGLD を 1 に設定してから選択してください。
- ダブルトリガモードは、ADCSR.DBLE を 0 から 1 にした後、1 回目のスキャンとして動作します。
- コンペア機能のステータスモニタビット (MONCMPA、MONCMPB、MONCOMB) は、ADCMPCR.CMPAE および ADCMPCR.CMPBE を 0 にした後、初期化されます。

35.8.11 ボード設計に関する注意事項

デジタル回路とアナログ回路の間ができるだけ離れるように、ボードを設計してください。また、デジタル信号線とアナログ信号線は、交差させたり互いに近づけたりしないでください。これらの規則に従わないと、アナログ信号にノイズが発生し、A/D 変換精度に影響を及ぼします。アナログ入力端子、基準電源端子 (VREFH0)、基準グランド端子 (VREFL0)、およびアナログ電源端子 (AVCC0) は、アナロググランド端子 (AVSS0) を使用してデジタル回路から分離してください。アナロググランド端子 (AVSS0) は、ボード上の安定したデジタルグランド端子 (VSS) に接続してください (単一グランドプレーン接続)。

35.8.12 ノイズ防止の制限事項

アナログ入力端子が過度のサージのような異常電圧により破壊されるのを防ぐために、AVCC0 と AVSS0 の間、および VREFH0 と VREFL0 の間にキャパシタを挿入してください。さらに、[図 35.33](#) に示されるように、アナログ入力端子を保護するために、保護回路を接続してください。

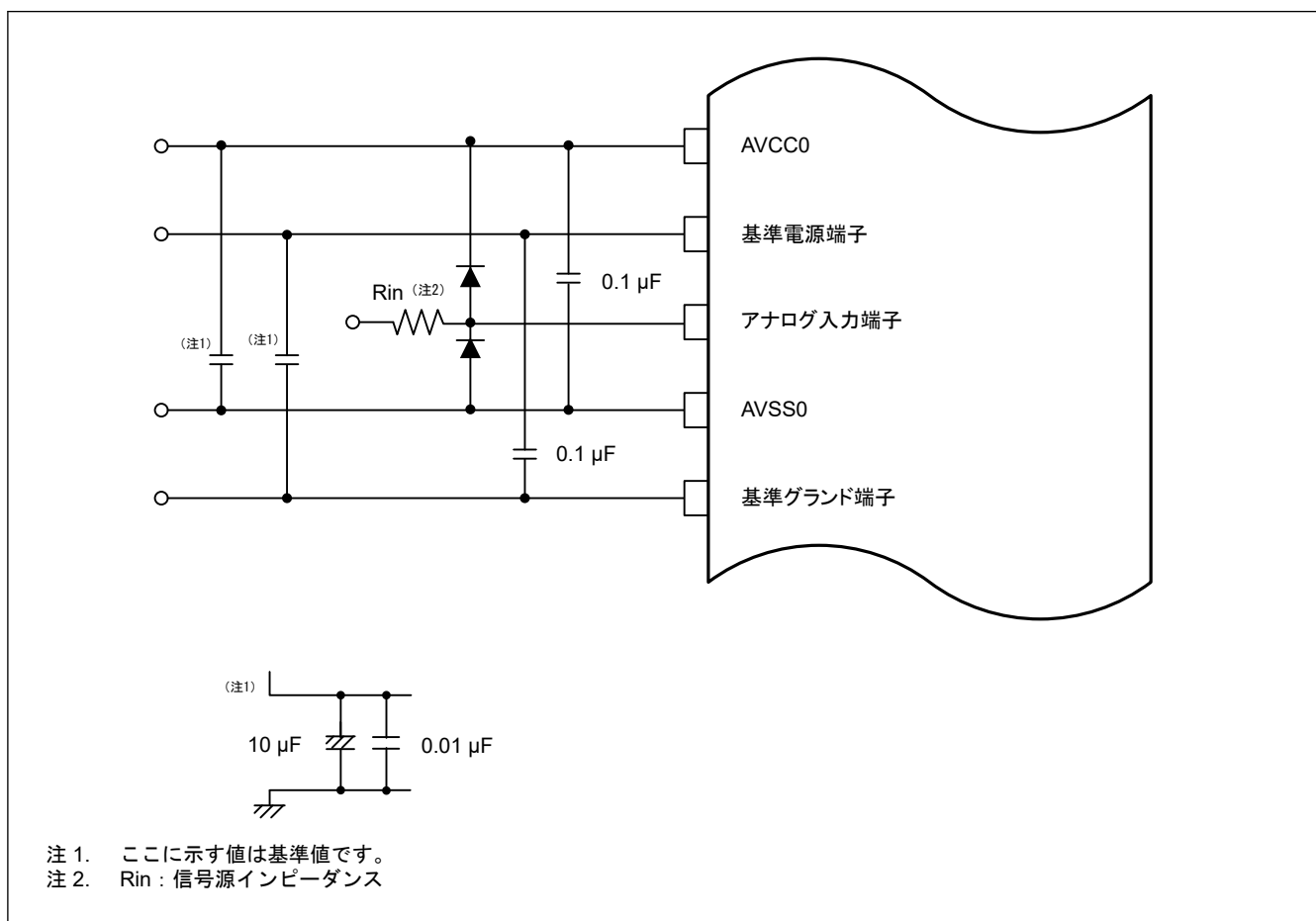


図 35.33 アナログ入力用保護回路例

35.8.13 ADC12 入力使用時のポート設定

高精度チャネルを使用する場合は、PORT0 を汎用入出力端子として使用しないでください。通常精度チャネルを使用している場合は、AD アナログ入力とデジタル出力に同じポートは使用しないことを推奨します。AD アナログ入力としても使用しているデジタル出力を出力信号用に使用する場合は、A/D 変換を複数回実行し、最大値と最小値を除いた平均をとってください。

35.8.14 ソフトウェアスタンバイモード解除時の注意

ソフトウェアスタンバイモードを解除した後は、使用する発振器の安定時間経過後、さらに 1 μ s 以上待ってから A/D 変換を開始してください。詳細は「[10. 低消費電力モード](#)」を参照してください。

36. 温度センサ回路 (TSN)

36.1 概要

デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を決定し、監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどリニアの関係にあります。出力された電圧は ADC12 で変換されてから、末端の応用機器で使用できます。

表 36.1 に TSN の仕様を、図 36.1 に TSN のブロック図を示します。

表 36.1 TSN の仕様

項目	内容
温度センサ電圧出力	12 ビット A/D コンバータに電圧を出力

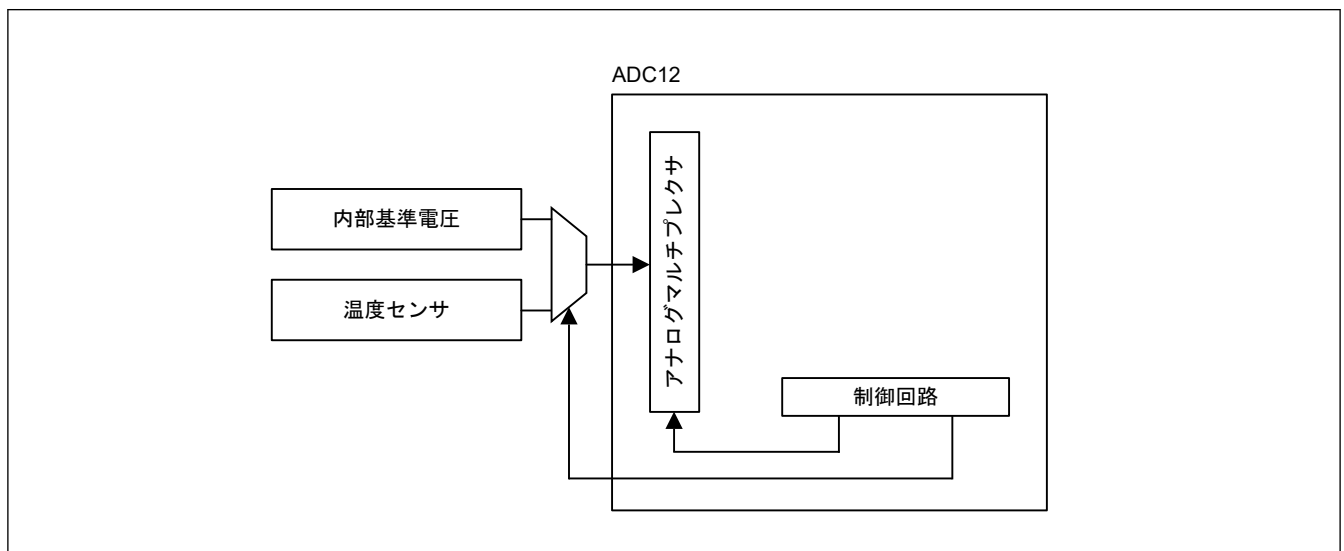


図 36.1 TSN のブロック図

36.2 レジスタの説明

36.2.1 TSCDR : 温度センサ校正データレジスタ

Base address: FLCN = 0x407E C000

Offset Address: 0x0228

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Bit field:

Value after reset:

チップごとの固有値

ビット	シンボル	機能	R/W
15:0	n/a	温度センサ校正データ チップごとの固有値	R

TSCDR レジスタは、工場出荷時に個々のチップごとに測定された温度センサ校正データが格納されています。温度センサ校正データは、 $T_j = 125^\circ\text{C}$ 、 $AVCC0 = 3.3\text{ V}$ の条件における温度センサの出力電圧を、12 ビット A/D コンバータでデジタル変換した値です。

温度センサ校正データは、TSCDR レジスタの下位 12 ビットに格納されています。

36.2.2 TSCDRR : 温度センサ校正データレジスタ (室温)

Base address: FLCN = 0x407E_C000

Offset address: 0x022A

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:

Value after reset:

チップごとの固有値

ビット	シンボル	機能	R/W
15:0	n/a	温度センサ校正データチップ固有値	R

TSCDRR レジスタは、工場出荷時に個々のチップごとに測定された温度センサ校正データが格納されています。温度センサ校正データは、 $T_j = 25^\circ\text{C}$ 、 $AVCC0 = 3.3\text{ V}$ の条件における温度センサの出力電圧を、12 ビット A/D コンバータでデジタル変換した値です。

温度センサ校正データは、TSCDR レジスタの下位 12 ビットに格納されています。

36.2.3 TSCDRL : 温度センサ校正データレジスタ (低温)

Base address: FLCN = 0x407E_C000

Offset address: 0x0350

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:

Value after reset:

チップごとの固有値

ビット	シンボル	機能	R/W
15:0	n/a	温度センサ校正データチップ固有値	R

TSCDRL レジスタは、工場出荷時に個々のチップごとに測定された温度センサ校正データが格納されています。温度センサ校正データは、 $T_j = -43^\circ\text{C}$ 、 $AVCC0 = 3.3\text{ V}$ の条件における温度センサの出力電圧を、12 ビット A/D コンバータでデジタル変換した値です。

温度センサ校正データは、TSCDRL レジスタの下位 12 ビットに格納されています。

36.3 温度センサ回路の使用方法

温度センサが出力する電圧は、温度により変化します。この電圧は 12 ビット A/D コンバータでデジタル値に変換されます。チップの温度は、この値を温度に変換することで求められます。

36.3.1 使用前の準備

MCU の周囲温度 (T) は温度センサの電圧出力 (V_s) と比例関係にあるため、以下の式で MCU の周囲温度を求められます。

$$T = (V_s - V_1) / \text{slope} + T_1$$

- T : 計算結果である MCU の周囲温度 ($^\circ\text{C}$)
- V_s : 温度測定時の温度センサの出力電圧 (V)
- T_1 : 1 点目の試行測定時の温度 ($^\circ\text{C}$)
- V_1 : T_1 測定時の温度センサの出力電圧 (V)
- T_2 : 2 点目の試行測定時の温度 ($^\circ\text{C}$)
- V_2 : T_2 測定時の温度センサの出力電圧 (V)

- Slope : 温度センサの温度傾斜 ($V/^{\circ}C$) $Slope = (V2 - V1) / (T2 - T1)$

温度センサには個体間ばらつきがあるため、以下のような異なる温度 2 点の試行測定を実施して温度傾斜を求めておくことを推奨します。

1. 12 ビット A/D コンバータを使用して、温度 T1 で温度センサにより出力される電圧 V1 を測定してください。
2. 再度、12 ビット A/D コンバータを使用して、異なる温度 T2 で温度センサにより出力される電圧 V2 を測定してください。
3. 両者の測定結果から、温度傾斜 ($Slope = (V2 - V1) / (T2 - T1)$) を求めます。
4. この slope の値を温度特性の式 ($T = (Vs - V1) / Slope + T1$) に代入し、温度を求めます。

Ta と Tj の温度をできるだけ近くするために、MCU の消費電力が可能な限り低い状態で測定を実施してください。

また、「[43. 電氣的特性](#)」に記載の温度傾斜を slope として用いる場合は、1 回の試行測定で V1 と T1 を決定します。

$$T = (Vs - V1) / slope + T1$$

注. ただし、この方法では、2 点を測定する方法よりも測定温度精度が劣ります。

本 MCU では、TSCDR、TSCDRR、または TSCDRL レジスタは、Ta = Tj = 125 °C、Ta = Tj = 25 °C、または Ta = Tj = -43 °C、および AVCC0 = AVREFH0 = 3.3 V の条件下で測定された温度センサの温度値 (CAL125、CAL25、または CAL-43) を格納しています。

この値を 1 点目と 2 点目の試行測定結果として使用することで、使用前の準備を省略することができます。

CAL125 = TSCDR レジスタ値

CAL25 = TSCDRR レジスタ値

CAL-43 = TSCDRL レジスタ値

CAL125、CAL25、または CAL-43 から V1 を求めると、

$$V1 = 3.3 \times CAL125, CAL25, \text{または } CAL-43 / 4096 [V] \text{ (12 ビットの精度の場合)}$$

となり、これを用いると、測定温度は下記の式にて算出できます。

$$T = (Vs - V1) / slope + 125, 25, \text{または } -43 [^{\circ}C]$$

- T : 計算結果である MCU の周囲温度 ($^{\circ}C$)
- Vs : 温度測定時の温度センサの出力電圧 (V)
- V1: Ta = Tj = 125、25、または -43 °C、AVCC0 = AVREFH0 = 3.3 V のときの温度センサによる電圧出力 (V)
- Slope : 温度センサの温度傾斜^(注1) / 1000 ($V/^{\circ}C$)
TSCDR、TSCDRR、または TSCDRL レジスタの値を 2 点目のサンプル測定結果として使用することで、Slope を取得することもできます。

注 1. 「[43. 電氣的特性](#)」を参照してください。

12 ビット A/D コンバータの特性に関しては、標準値が使用されます。「[43.4. ADC12 特性](#)」を参照してください。

36.3.2 温度センサ回路の使用手順

詳細は、「[35. 12 ビット A/D コンバータ \(ADC12\)](#)」を参照してください。

37. データ演算回路 (DOC)

37.1 概要

データ演算回路 (DOC) は、16 ビットまたは 32 ビットのデータの比較、加算、および減算に使用されます。以下の条件が適用される場合、割り込みが発生可能です。

- 16 ビットまたは 32 ビットの比較値が検出条件と一致するとき
- 16 ビットまたは 32 ビットのデータの加算結果がオーバーフローするとき
- 16 ビットまたは 32 ビットのデータの減算結果がアンダーフローするとき

表 37.1 にデータ演算回路の仕様を、図 37.1 にデータ演算回路のブロック図を示します。

表 37.1 DOC の仕様

項目	内容
データ演算機能	• 16 ビットまたは 32 ビットのデータの比較、しきい値を上回る、あるいは下回るデータの検出比較、およびウィンドウ比較 • 16 ビットまたは 32 ビットのデータの加算と減算
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減
割り込み	• 比較値が検出条件と一致する • データ加算の結果が 0xFFFF (DOCR.DOBW = 0) または 0xFFFF_FFFF (DOCR.DOBW = 1) より大きい • データ減算の結果が 0x0000 (DOCR.DOBW = 0) または 0x0000_0000 (DOCR.DOBW = 1) より小さい
イベントリンク機能 (出力)	• データ比較の結果が検出条件と一致する • データ加算の結果が 0xFFFF (DOCR.DOBW = 0) または 0xFFFF_FFFF (DOCR.DOBW = 1) より大きい • データ減算の結果が 0x0000 (DOCR.DOBW = 0) または 0x0000_0000 (DOCR.DOBW = 1) より小さい
TrustZone フィルタ	セキュリティ属性を設定できます。

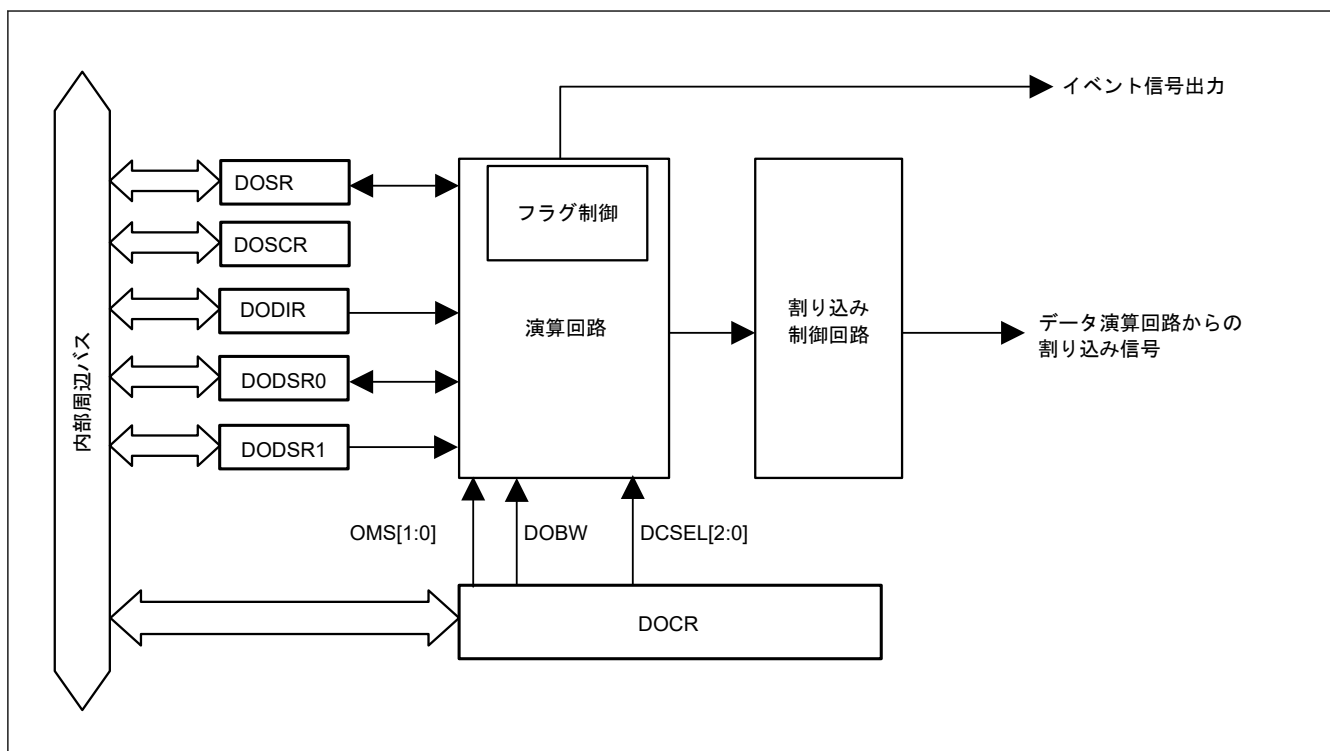


図 37.1 DOC のブロック図

37.2 レジスタの説明

37.2.1 DOCR : DOC コントロールレジスタ

Base address: DOC_B = 0x4010_9000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	DCSEL[2:0]		DOBW	—	OMS[1:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	OMS[1:0]	動作モード選択 0 0: データ比較モード 0 1: データ加算モード 1 0: データ減算モード 1 1: 設定禁止	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	DOBW	データ演算ビット幅選択 0: 16 ビット 1: 32 ビット	R/W
6:4	DCSEL[2:0] ^(注1)	検出条件選択 0 0 0: 不一致 (DODSR0 ≠ DODIR) 0 0 1: 一致 (DODSR0 = DODIR) 0 1 0: 小さい (DODSR0 > DODIR) 0 1 1: 大きい (DODSR0 < DODIR) 1 0 0: ウィンドウ内 (DODSR0 < DODIR < DODSR1) 1 0 1: ウィンドウ外 (DODIR < DODSR0, DODSR1 < DODIR) その他: 設定禁止	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. データ比較モード選択時のみ有効

DOCR レジスタは、データ演算回路の動作モードと割り込みの許可または禁止を設定できます。

OMS[1:0]ビット（動作モード選択）

本ビットはデータ演算回路の動作モードを選択します。

DOBW ビット（データ演算ビット幅選択）

本ビットはデータ演算のビット幅を選択します。

DCSEL[2:0]ビット（検出条件選択）

本ビットはデータ比較モード選択時のみ有効です。

本ビットはデータ比較モードでの検出条件を選択します。

37.2.2 DOSR: DOC フラグステータスレジスタ

Base address: DOC_B = 0x4010_9000

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DOPCF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DOPCF	データ演算回路フラグ 演算結果を示します。	R
7:1	—	読むと 0 が読めます。	R

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

DOSR レジスタは、データ演算のステータスを表示するレジスタです。

DOPCF フラグ（データ演算回路フラグ）

[1 になる条件]

- DOCR.OMS[1:0] = 00b（データ比較モード）：比較値が DOCR.DCSEL[2:0] ビットで選択した検出条件と一致する
- DOCR.OMS[1:0] = 01b（データ加算モード）：データ加算の結果が 0xFFFF (DOCR.DOBW = 0) または 0xFFFF_FFFF (DOCR.DOBW = 1) より大きい
- DOCR.OMS[1:0] = 10b（データ減算モード）：データ減算の結果が 0x0000 (DOCR.DOBW = 0) または 0x0000_0000 (DOCR.DOBW = 1) より小さい

[0 になる条件]

- DOSCR.DOPCFCL ビットに 1 を書いたとき

37.2.3 DOSCR : DOC フラグステータスクリアレジスタ

Base address: DOC_B = 0x4010_9000

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DOPCFCL
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DOPCFCL	DOPCF クリア 0: DOPCF フラグの状態を維持 1: DOPCF フラグをクリア	W
7:1	—	書く場合、0 としてください。	W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

DOSCR は、データ操作のステータスをクリアできるレジスタです。このレジスタを読むと 0x00 が読めます。

DOPCFCL ビット (DOPCF クリア)

このビットを 1 にすると DOPCF フラグをクリアします。

37.2.4 DODIR : DOC データ入力レジスタ

Base address: DOC_B = 0x4010_9000

Offset address: 0x0C

Bit position: 31

0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	n/a	演算で使用するデータを格納します。 DOCR.DOBW ビットで選択したデータ演算のビット幅で DODIR にアクセスしてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

37.2.5 DODSR0 : DOC データ設定レジスタ 0

Base address: DOC_B = 0x4010_9000

Offset address: 0x10

Bit position: 31

0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	n/a	DOCR.DOBW ビットで選択したデータ演算のビット幅で DODSR0 にアクセスしてください。 本レジスタは、データ比較モードで基準として使用されるデータを格納します。ウィンドウ比較 (DOCR.DCSEL[2:0] = 100b, 101b) を選択する場合、DODSR1 より小さい値を設定してください (DODSR1 > DODSR0)。 また、本レジスタはデータ加算モードおよびデータ減算モードでは、演算結果を格納しません。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

37.2.6 DODSR1 : DOC データ設定レジスタ 1

Base address: DOC_B = 0x4010_9000

Offset address: 0x14

Bit position: 31

0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	n/a	DOCR.DOBW ビットで選択したデータ演算のビット幅で DODSR1 にアクセスしてください。 本レジスタは、データ比較モードで基準として使用されるデータを格納します。ウィンドウ比較 (DOCR.DCSEL[2:0] = 100b, 101b) を選択する場合、DODSR0 より大きい値を設定してください (DODSR1 > DODSR0)。 本レジスタはウィンドウ比較に対してのみ使用されます。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

37.3 動作説明

37.3.1 データ比較モード

図 37.2 から図 37.7 に、データ演算回路によるデータ比較モードの動作例を示します。

データ演算のビット幅が 32 ビットの場合の動作例を次に示します。

- DOCR.OMS[1:0] ビットに 00b を書き込んでデータ比較モードを選択し、DOCR.DCSEL[2:0] を設定して検出条件を選択します。
- DODSR0 および DODSR1 レジスタに、基準となる 32 ビットのデータを設定します。(注1)
- DODIR レジスタに、比較する 32 ビットのデータを書き込みます。
- DODIR に書き込まれた値が DOCR.DCSEL[2:0] ビットで設定した検出条件と一致すると、DOCR.DOPCF フラグが 1 になり、ELC イベントとデータ演算回路割り込みが発生します。

注. 比較演算は、DODIR に書き込むことによってのみ実行されます

注 1. DODSR1 レジスタ設定は、ウィンドウ比較が選択された場合のみ必要です。DODSR0 より大きい値を設定してください (DODSR1 > DODSR0)。

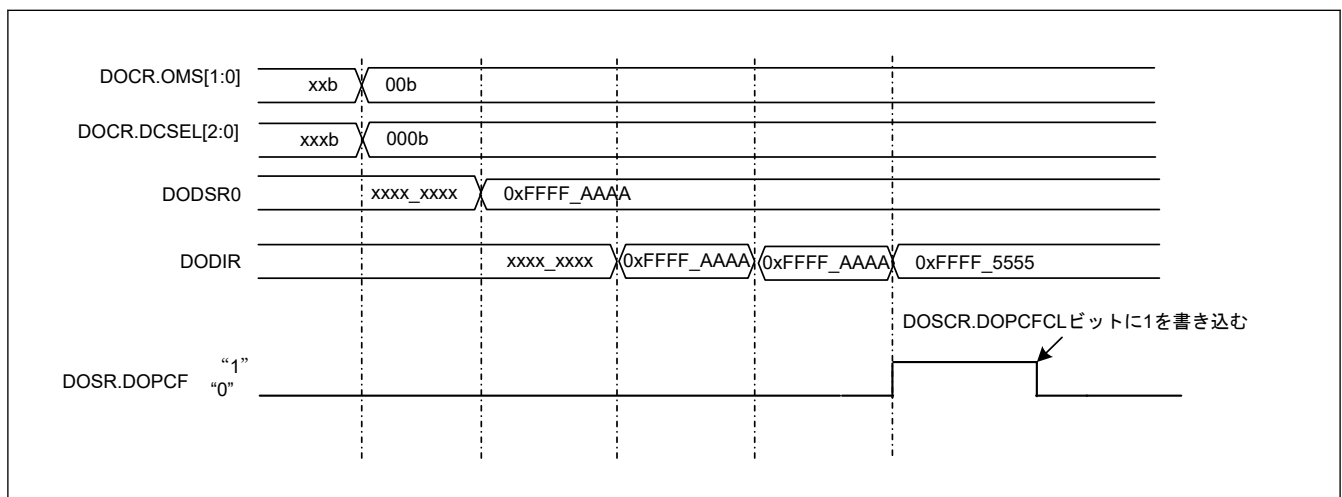


図 37.2 データ比較モードの動作例 (検出条件: 不一致)

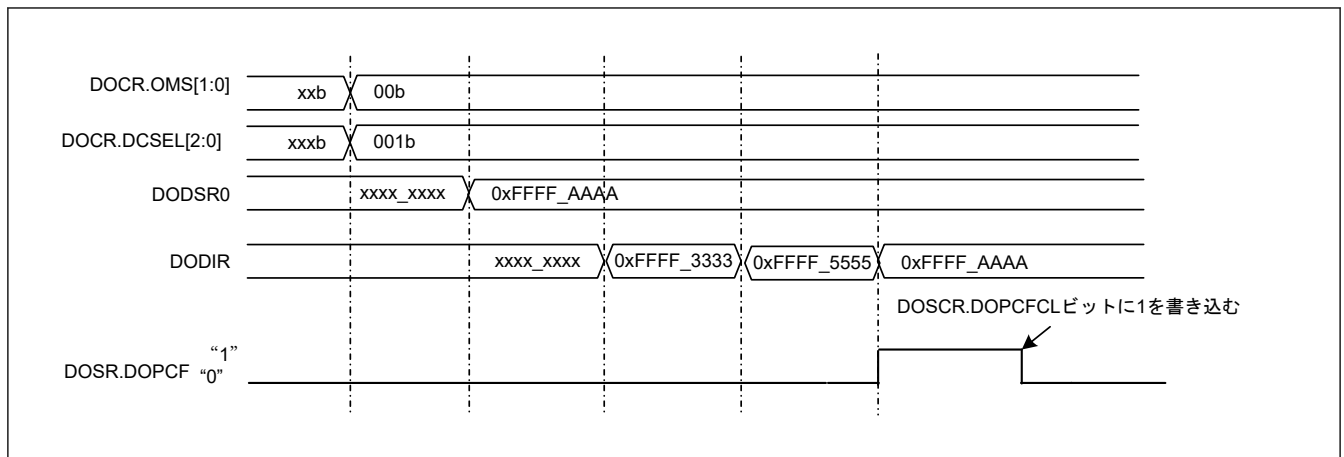


図 37.3 データ比較モードの動作例（検出条件：一致）

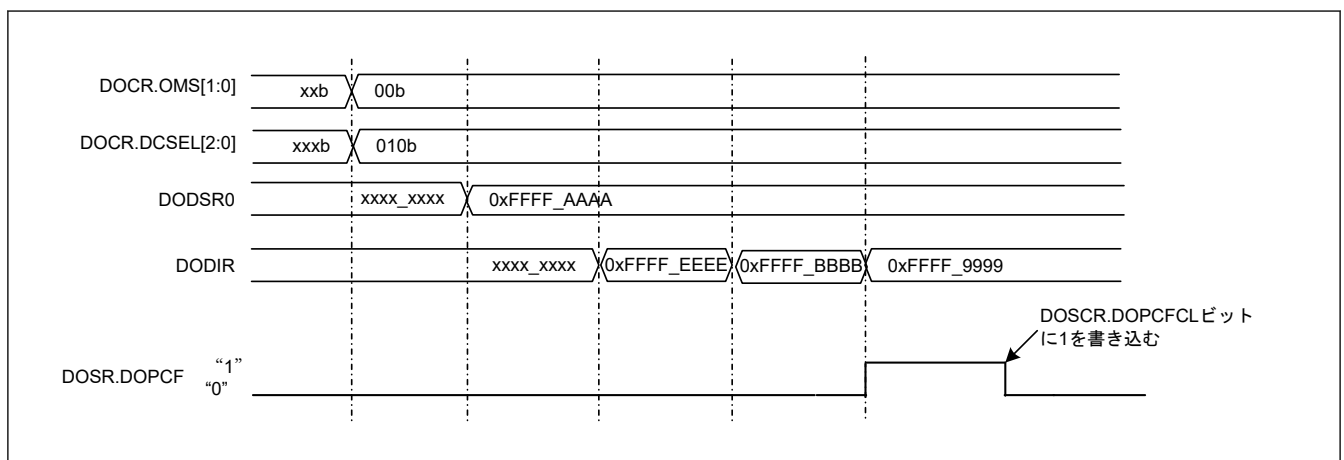


図 37.4 データ比較モードの動作例（検出条件：小さい）

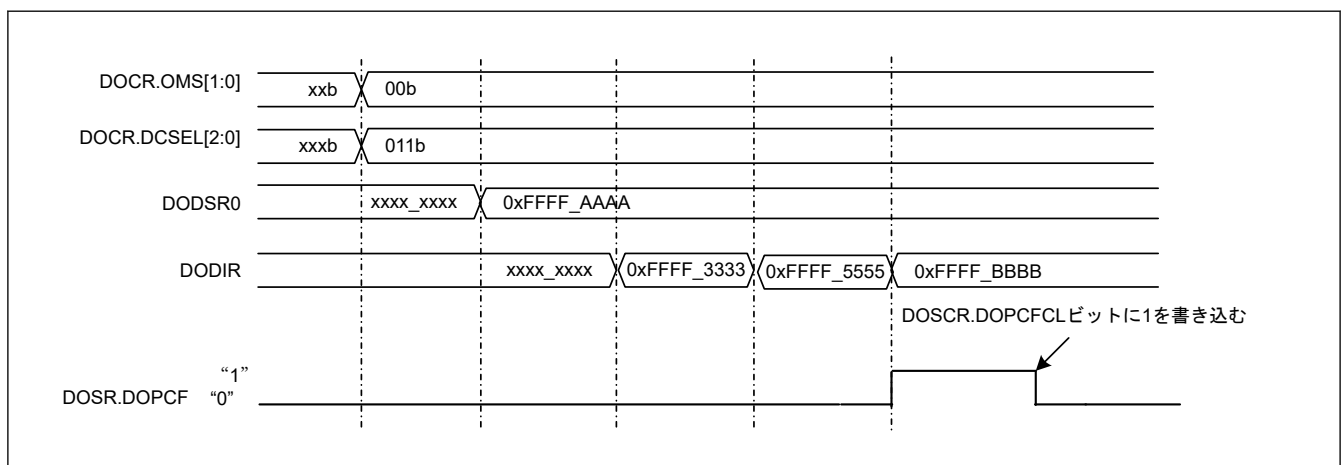


図 37.5 データ比較モードの動作例（検出条件：大きい）

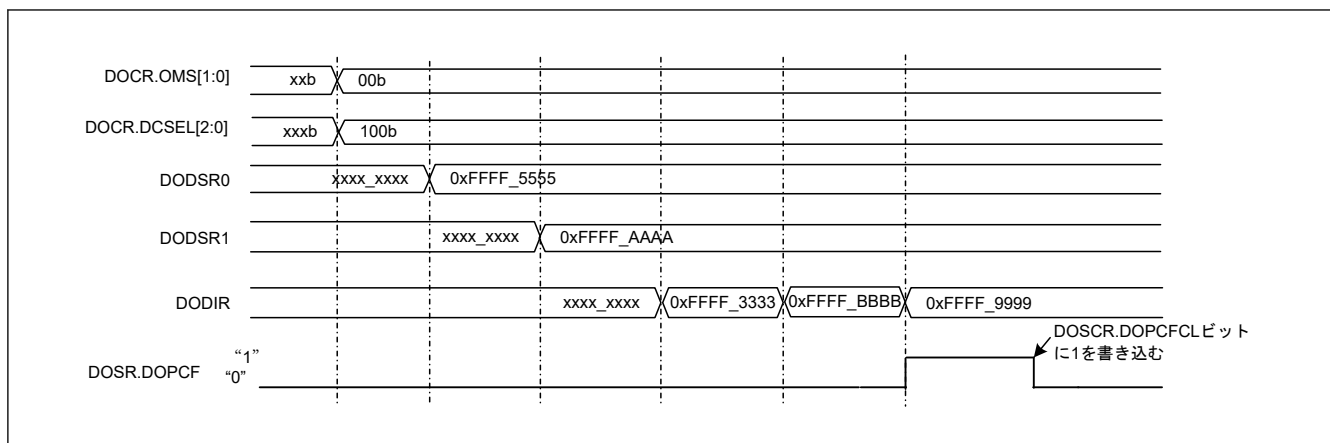


図 37.6 データ比較モードの動作例（検出条件：ウィンドウの内側）

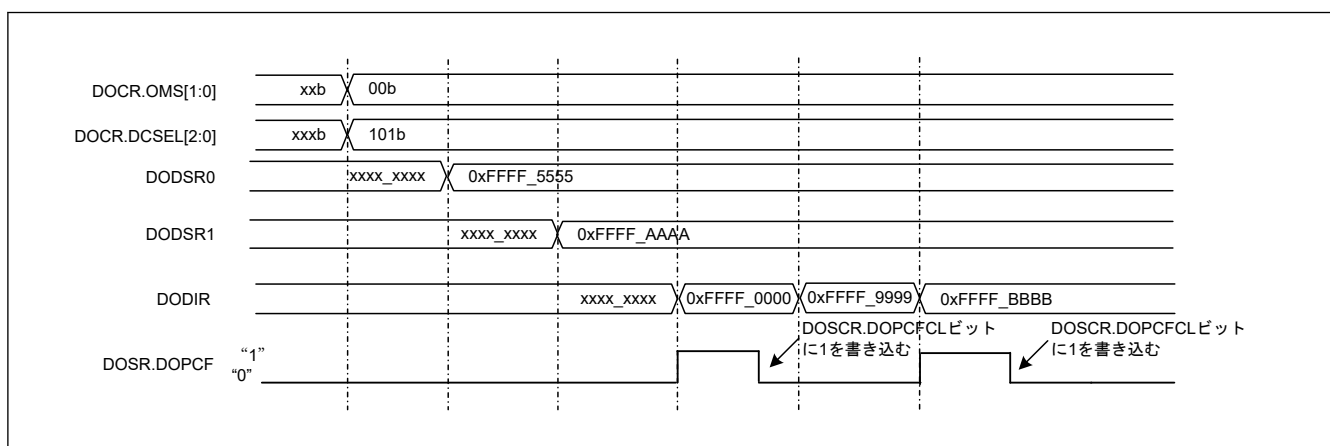


図 37.7 データ比較モードの動作例（検出条件：ウィンドウの外側）

37.3.2 データ加算モード

図 37.8 に、データ演算回路によるデータ加算モード(注1)動作の手順例を示します。

データ演算のビット幅が 32 ビットの場合の動作例を次に示します。

1. **DOCR.OMS[1:0]** ビットに 01b を書き込むと、データ加算モードになります。
2. **DODSR0** レジスタに初期値として 32 ビットのデータを設定します。
3. 加算される 32 ビットデータが **DODIR** に書き込まれます。演算結果は **DODSR0** レジスタに格納されます。
4. 加算するすべてのデータの書き込みが完了するまで、続けて 32 ビットのデータを **DODIR** レジスタに書き込みます。
5. 演算結果が 0xFFFF_FFFF より大きい場合、**DOSR.DOPCF** フラグが 1 になり、ELC イベントとデータ演算回路割り込みが発生します。

注 1. 加算は、**DODIR** への書き込みによってのみ実行されます。

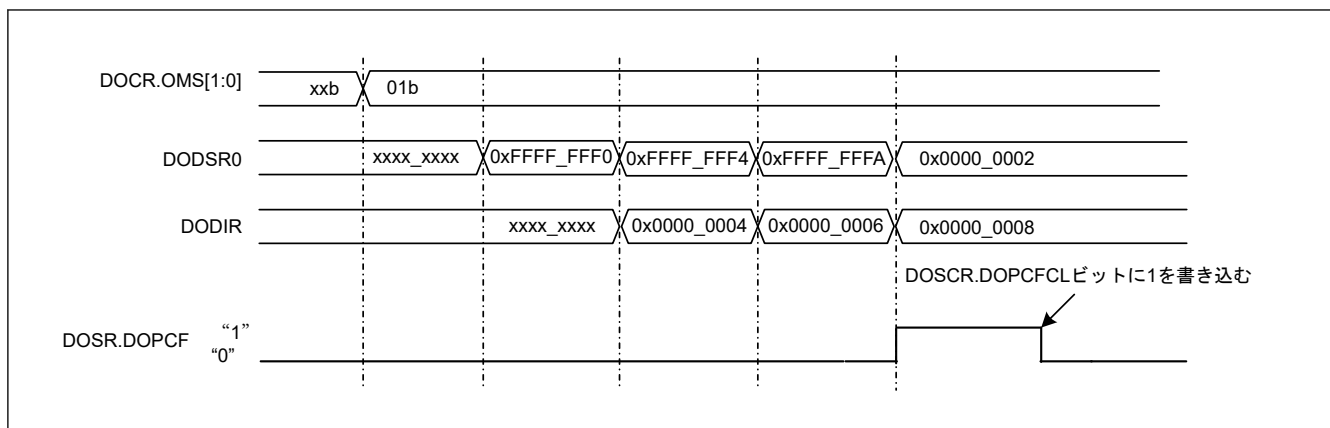


図 37.8 データ加算モードの動作例

37.3.3 データ減算モード

図 37.9 にデータ演算回路によるデータ減算モード(注1)の動作例を示します。

データ演算のビット幅が 32 ビットの場合の動作例を次に示します。

1. DOCR.OMS[1:0]ビットに 10b を書き込むと、データ減算モードになります。
2. DODSR0 レジスタに初期値として 32 ビットのデータを設定します。
3. DODIR レジスタに減算する 32 ビットのデータを書き込みます。演算結果は DODSR0 レジスタに格納されます。
4. すべての減算データの書き込みが完了するまで、DODIR レジスタに減算する 32 ビットのデータを書き込みます。
5. 演算結果が 0x0000_0000 より小さい場合、DOSR.DOPCF フラグが 1 になり、ELC イベントとデータ演算回路割り込みが発生します。

注 1. 減算は、DODIR への書き込みによってのみ実行されます。

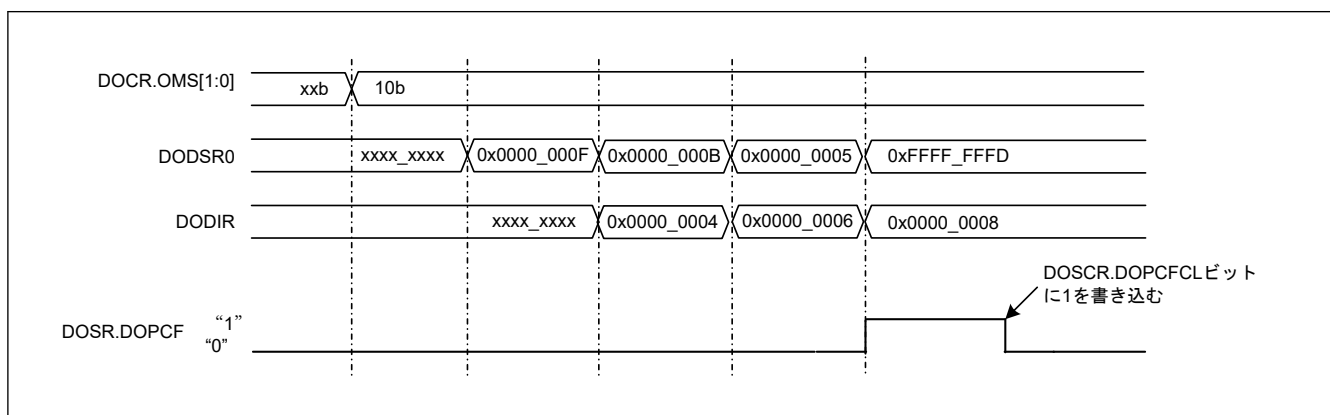


図 37.9 データ減算モードの動作例

37.4 割り込み要因

データ演算回路は、割り込み要求として、データ演算回路割り込み (DOC_DOPCI) を生成します。割り込み要因が発生すると、割り込みに対応するデータ演算回路フラグが 1 になり、その後割り込み要求信号が発生します。

表 37.2 に割り込み要求を示します。

表 37.2 DOC 割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
DOC 割り込み	DOPCF	- 比較した値が検出基準に一致している - データ加算の結果が 0xFFFF (DOCR.DOBW = 0) または 0xFFFF_FFFF (DOCR.DOBW = 1) より大きい - データ減算の結果が 0x0000 (DOCR.DOBW = 0) または 0x0000_0000 (DOCR.DOBW = 1) より小さい

37.5 イベントリンク出力

DOC は以下の条件でイベントリンクコントローラ (ELC) にイベント信号を出力することで、あらかじめ選択しておいた他のモジュールを動作させることが可能です。

- 比較した値が検出基準に一致している
- データの加算結果が 0xFFFF (DOCR.DOBW = 0) または 0xFFFF_FFFF (DOCR.DOBW = 1) より大きい
- データ減算結果が 0x0000 (DOCR.DOBW = 0) または 0x0000_0000 (DOCR.DOBW = 1) より小さい

37.6 割り込み処理とイベントリンクの関係

DOC には、割り込みを許可／禁止するビットがあります。割り込み要因が発生すると、対応する割り込み許可ビットが許可の場合に、CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ELC を介して他のモジュールにイベント信号として出力します。

37.7 使用上の注意事項

37.7.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、DOC の動作禁止／許可を設定することが可能です。リセット後の値では、DOC の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[10. 低消費電力モード](#)」を参照してください。

38. SRAM

38.1 概要

本 MCU は、パリティビットチェック機能または誤り訂正コード (ECC) を備えた高密度内蔵 SRAM モジュールを搭載しています。ECC の対象は SRAM0 の最初の 32 KB 領域です。パリティチェックは、その他の領域で実行されます。

SRAM の仕様を表 38.1 に示します。

表 38.1 SRAM の仕様

項目	ECC なし	ECC あり
SRAM 容量	SRAM0: 64 KB	SRAM0: 32 KB
SRAM アドレス	SRAM0: 0x2000_8000~0x2001_7FFF	SRAM0: 0x2000_0000~0x2000_7FFF
アクセス	ウェイトなしのアクセスが可能。 詳細は、「38.3.8. SRAM へのアクセスサイクル数」を参照してください。	
モジュールストップ機能	消費電力低減のためにモジュールストップ状態を設定可能	
パリティ	8 ビットデータと 1 ビットパリティの偶数パリティ	パリティなし
エラーチェック機能	偶数パリティ（データ：8 ビット、パリティ：1 ビット）	SEC-DED（Single-Error-Correction/Double-Error-Detection Code：単一誤り訂正／二重誤り検出）
セキュリティ	TrustZone フィルタは、メモリアクセスと SFR アクセスに対する統合機能です。メモリ空間へのアクセスは、メモリのセキュリティ属性 (SA) の設定によって制御します。そして、I/O 空間 (SFR 空間) へのアクセスは、レジスタ SA の設定で制御します。「38.3.6. TrustZone フィルタ機能」を参照してください。	

38.2 レジスタの説明

38.2.1 SRAMSAR : SRAM セキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SRAM SA2	—	SRAM SA0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	SRAMSA0	SRAM 保護のレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
2	SRAMSA2	ECC 関連のレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:3	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注: セキュアアクセスのみ本レジスタへ書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注: 本レジスタへの書き込みは、PRCR レジスタにより保護されています。

SRAMSA0 ビット (SRAM 保護のレジスタのセキュリティ属性)

SRAM 保護のレジスタのセキュリティ属性対象のレジスタを以下に示します。

- PARIOAD
- SRAMPRCR

SRAMSA2 ビット (ECC 関連のレジスタのセキュリティ属性)

ECC 関連のレジスタのセキュリティ属性対象のレジスタを以下に示します。

- ECCMODE
- ECC2STS
- ECC1STSEN
- ECC1STS
- ECCPRCR
- ECCPRCR2
- ECCETST
- ECCOAD

38.2.2 PARIOAD : SRAM パリティエラー検出後動作レジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	OAD
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 0: ノンマスカブル割り込み 1: リセット	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと、非セキュアリードアクセスが許可されます。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと、非セキュアアクセスが許可されます。

PARIOAD レジスタは、パリティエラー検出時の動作を制御します。本レジスタへの書き込みは SRAM プロテクトレジスタ (SRAMPRCR) によって保護されています。このビットに書き込む前に、常に SRAMPRCR レジスタの SRAMPRCR ビットを 1 に設定してください。SRAM にアクセス中は、PARIOAD レジスタへ書き込まないでください。

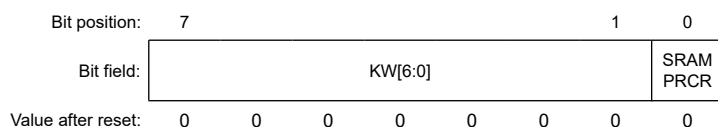
OAD ビット (検出後の動作)

OAD ビットは、パリティエラーが検出された場合、リセットまたはノンマスカブル割り込みのどちらを発生させるか指定します。通常、OAD ビットは SRAM0 (ECC なし) に使用されます。

38.2.3 SRAMPRCR : SRAM プロテクトレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0x04



ビット	シンボル	機能	R/W
0	SRAMPRCR	レジスタ書き込み制御 0: 保護対象のレジスタへの書き込みを禁止 1: 保護対象のレジスタへの書き込みを許可	R/W
7:1	KW[6:0]	書き込みキーコード SRAMPRCR ビットへの書き込みを許可または禁止します。	W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

SRAMPRCR ビット（レジスタ書き込み制御）

SRAMPRCR ビットは、PARIOAD レジスタのライトモードを制御します。1 にすると PARIOAD レジスタへの書き込みが許可されます。本ビットに書き込む場合は、常に KW[6:0] ビットに 0x78 を同時に書き込んでください。

KW[6:0] ビット（書き込みキーコード）

KW[6:0] ビットは、SRAMPRCR ビットへの書き込みを許可または禁止します。SRAMPRCR ビットに書き込む場合、常にそれらのビットに 0x78 を同時に書き込んでください。0x78 以外の値を KW[6:0] ビットに書き込むと、SRAMPRCR ビットは更新されません。KW[6:0] ビットは読むと常に 0x00 が読み出されます。

38.2.4 ECCMODE : ECC 動作モードコントロールレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0xC0



ビット	シンボル	機能	R/W
1:0	ECCMOD[1:0]	ECC 動作モード選択 0 0: ECC 機能は無効 0 1: 設定禁止 1 0: ECC 機能は有効／エラーチェックなし 1 1: ECC 機能は有効／エラーチェックあり	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

ECCMODE レジスタは ECC の動作モードを設定するレジスタです。本レジスタへの書き込みは ECC プロテクトレジスタ (ECCPRCR) によって保護されています。まず、ECCPRCR レジスタの ECCPRCR ビットを 1 にして書き込み保護を解除してから、本レジスタへの書き込みを行ってください。ECCMODE レジスタへの書き込み中は、SRAM にアクセスしないでください。

ECCMOD[1:0]ビット (ECC 動作モード選択)

ECCMOD[1:0]ビットは、SRAM0 の ECC 領域へのアクセスモードを設定します。

38.2.5 ECC2STS : ECC 2 ビットエラーステータスレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0xC1

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ECC2 ERR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ECC2ERR	ECC 2 ビットエラーステータス 0: ECC 2 ビットエラー発生なし 1: ECC 2 ビットエラー発生	R/W(注1)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. ビットをクリアするための 0 の書き込みのみ可能です。

ECC2ERR ビット (ECC 2 ビットエラーステータス)

ECC2ERR ビットは SRAM0 の ECC 領域で ECC 2 ビットエラーが発生したかどうかを示します。「ECC 有効/エラーチェックあり」の場合、2 ビットエラーが検出されると ECC2ERR ビットが 1 になります。SRAM エラー信号も同時にアサートされます。ECC2ERR ビットに 0 を書き込むことにより、ECC 2 ビットエラーをクリアできます。

SRAM エラーには、ECCOAD レジスタでノンマスカブル割り込みまたはリセットを指定できます。本レジスタに 0 を書き込む間、SRAM0 の ECC 領域にアクセスしないでください。

38.2.6 ECC1STSEN : ECC 1 ビットエラー情報更新イネーブルレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0xC2

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	E1STS EN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	E1STSEN	ECC 1 ビットエラー情報更新許可 0: ECC 1 ビットエラー情報の更新禁止 1: ECC 1 ビットエラー情報の更新許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

ECC1STSEN レジスタは、SRAM0 (ECC 領域) の ECC 1 ビットエラー発生時に、ECC 1 ビットエラーステータスレジスタ (ECC1STS) の更新を許可または禁止します。

本レジスタへの書き込みは ECC プロテクトレジスタ (ECCPRCR) によって保護されています。まず、ECCPRCR レジスタの ECCPRCR ビットを 1 にして書き込み保護を解除してから、本レジスタへの書き込みを行ってください。

E1STSEN ビット (ECC 1 ビットエラー情報更新許可)

E1STSEN ビットは、SRAM0 の ECC 領域における 1 ビットエラー発生時に、SRAM (ECC 領域) の 1 ビットエラーステータスレジスタ (ECC1STS) の更新を許可または禁止します。このレジスタは、割り込みまたはリセットマスクとしても機能します。

38.2.7 ECC1STS : ECC 1 ビットエラーステータスレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0xC3

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ECC1 ERR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ECC1ERR	ECC 1 ビットエラーステータス 0: ECC 1 ビットエラー発生なし 1: ECC 1 ビットエラー発生	R/(W) (注1)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. ビットをクリアするための 0 の書き込みのみ可能です。

ECC1ERR ビット (ECC 1 ビットエラーステータス)

ECC1ERR ビットは SRAM0 の ECC 領域で ECC 1 ビットエラーが発生したかどうかを示します。「ECC 有効/エラーチェックあり」の場合、1 ビットエラーが検出されると ECC1ERR ビットが 1 になります。SRAM エラー信号も同時にアサートされます。ECC1ERR ビットに 0 を書き込むことにより、ECC 1 ビットエラーをクリアできます。

SRAM エラーには、ECCOAD レジスタでノンマスカブル割り込みまたはリセットを指定できます。本レジスタに 0 を書き込む間、SRAM0 の ECC 領域にアクセスしないでください。

38.2.8 ECCPRCR : ECC プロテクトレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0xC4

Bit position:	7	6	5	4	3	2	1	0
Bit field:	KW[6:0]							ECCP RCR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ECCPRCR	レジスタ書き込み制御 0: 保護対象のレジスタへの書き込みを禁止 1: 保護対象のレジスタへの書き込みを許可	R/W
7:1	KW[6:0]	書き込みキーコード 0x78: ECCPRCR ビットへの書き込み許可 その他: ECCPRCR ビットへの書き込みを禁止	W

- 注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

ECCPRCR ビット（レジスタ書き込み制御）

ECCPRCR ビットは、ECCMODE レジスタ、ECC1STSEN レジスタ、ECCOAD レジスタの書き込みを制御します。本ビットが1 のとき、ECCMODE レジスタ、ECC1STSEN レジスタ、ECCOAD レジスタへの書き込みが許可されます。本ビットへ書き込む際は、同時に KW[6:0] ビットに 0x78 を書き込んでください。

KW[6:0] ビット（書き込みキーコード）

KW[6:0] ビットは、ECCPRCR ビットへの書き込みを許可または禁止します。ECCPRCR ビットに書き込む場合、同時に KW[6:0] ビットに 0x78 を書き込んでください。0x78 以外の値を KW[6:0] ビットに書き込むと、ECCPRCR ビットは更新されません。KW[6:0] ビットは読むと常に 0x00 が読み出されます。

38.2.9 ECCPRCR2 : ECC プロテクトレジスタ 2

Base address: SRAM = 0x4000_2000

Offset address: 0xD0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	KW2[6:0]							ECCP RCR2
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ECCPRCR2	レジスタ書き込み制御 0: 保護対象のレジスタへの書き込みを禁止 1: 保護対象のレジスタへの書き込みを許可	R/W
7:1	KW2[6:0]	書き込みキーコード 0x78: ECCPRCR2 ビットへの書き込みを許可 その他: ECCPRCR2 ビットへの書き込みを禁止	W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

ECCPRCR2 ビット（レジスタ書き込み制御）

ECCPRCR2 ビットは、ECCETST レジスタのライトモードを制御します。ECCPRCR2 ビットが1 のとき、ECCETST レジスタへの書き込みが許可されます。本ビットに書き込む場合、同時に KW2[6:0] ビットに 0x78 を書き込んでください。

KW2[6:0] ビット（書き込みキーコード）

KW2[6:0] ビットは、ECCPRCR2 ビットへの書き込みを許可または禁止します。ECCPRCR2 ビットに書き込む場合、同時に KW2[6:0] ビットに 0x78 を書き込んでください。0x78 以外の値を KW2[6:0] ビットに書き込むと、ECCPRCR2 ビットは更新されません。KW2[6:0] ビットは読むと常に 0x00 が読み出されます。

38.2.10 ECCETST : ECC テストコントロールレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0xD4

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TSTB YP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TSTBYP	ECC バイパス選択 0: ECC バイパスは無効 1: ECC バイパスは有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

本レジスタへの書き込みは ECC プロテクトレジスタ 2 (ECCPRCR2) によって保護されています。まず、ECCPRCR2 レジスタの ECCPRCR2 ビットを 1 にして書き込み保護を解除してから、本レジスタへの書き込みを行ってください。ECCETST レジスタへの書き込み中は、SRAM にアクセスしないでください。

TSTBYP ビット (ECC バイパス選択)

TSTBYP ビットは、ECC 機能をバイパスして ECC コードへの直接アクセスを許可します。ECC バイパス機能は、ECCMODE.ECCMOD[1:0] ビットを 00b にして使用します。ECC は、32 ビットデータと同じアドレスで、32 ビットでアクセスしてください。ECC コードは、32 ビットデータの下位 7 ビットに割り当てられます。ECC コード書き込みの際、上位 25 ビットは無視されます。ECC コード読み出しの際、上位 25 ビットは不定値が読み出されます。

注. ECC テストの詳細については、「[38.3.4. ECC デコーダのテスト方法](#)」を参照してください。

38.2.11 ECCOAD : SRAM ECC エラー検出後動作レジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0xD8

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	OAD

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 0: ノンマスカブル割り込み 1: リセット	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

本レジスタへの書き込みは ECC プロテクトレジスタ (ECCPRCR) によって保護されています。まず、ECCPRCR レジスタの ECCPRCR ビットを 1 にして書き込み保護を解除してから、本レジスタへの書き込みを行ってください。ECCOAD レジスタへの書き込み中は、SRAM にアクセスしないでください。

OAD ビット (検出後の動作)

OAD ビットは、ECC エラーが検出された場合にリセットとノンマスカブル割り込みのどちらを発生させるか選択します。ECCOAD レジスタの OAD ビットは、SRAM0 (ECC 領域) で使用されます。

38.3 動作説明

38.3.1 モジュールストップ機能

モジュールストップコントロールレジスタ A (MSTPCRA) の設定により、SRAM へのクロック供給を停止することで、消費電力を低減することが可能です。

SRAM0 は、MSTPCRA レジスタの SRAM0 ビットで制御し、これを 1 にすると、SRAM0 はクロック停止状態になります。

クロック供給の停止により、SRAM はモジュールストップ状態になります。リセット後は、SRAM は動作します。

モジュールストップ状態になると、SRAM へのアクセスができなくなります。SRAM のアクセス中は、モジュールストップ状態へ遷移しないでください。

モジュールストップ状態のとき、SRAM へのアクセスは禁止です。アクセスした場合の正常動作については保証できません。

MSTPCRA レジスタの詳細については、「[10. 低消費電力モード](#)」を参照してください。

38.3.2 ECC 誤り訂正機能

ECCMODE レジスタの設定によって、ECC 誤り訂正の有効・無効を選択することができます。初期状態では、ECC 誤り訂正は無効です。ECC チェックのタイプは、SEC-DED (Single-Error Correction/Double-Error Detection Code: 単一誤り訂正/二重誤り検出符号) です。

ECC 機能が有効な場合、書き込み時は、32 ビットのデータに 7 ビットのチェックビットが付与されます。読み出し時は SRAM (ECC 領域) から 39 ビット (データ: 32 ビット、チェックビット: 7 ビット) のデータが読み出されます。

ECCMODE.ECCMOD[1:0] ビットを 11b に設定して「ECC 有効/エラーチェックあり」とした場合、1 ビットエラーが発生すると誤り訂正が実行され、ECC1STSEN.E1STSEN ビットが 1 のときは ECC1STS.ECC1ERR ビットが 1 になります。2 ビットエラーが発生すると、誤り検出が実行され、ECC2STS.ECC2ERR ビットが 1 になりますが、誤り訂正は実行されません。

「ECC 有効/エラーチェックなし」の場合、1 ビットエラーが発生すると誤り訂正が実行されますが、ECC1STSEN.E1STSEN ビットが 1 でも ECC1STS.ECC1ERR ビットは更新されません。2 ビットエラーが発生すると、この誤りは検出されますが、ECC2STS.ECC2ERR ビットは更新されず、誤り訂正も実行されません。

ECC 機能が無効の場合、1 ビットエラーまたは 2 ビットエラーが発生しても、誤り訂正と誤り検出は実行されません。

そのため、ECC1ERR ビットと ECC2ERR ビットは更新されません。

エラーを検出した場所を確認する方法はありません。したがって、エラー発生後は、全データを更新してください。

エラー発生後の全データ更新時には、32 ビットデータ書き込みだけがサポートされます。

電源投入後の SRAM データは不定であるため、ECC 機能が有効でエラーチェックが選択されている場合に SRAM にアクセスを行うと、ECC エラーが発生します。したがって、ECC 機能使用前には、SRAM 内で使用する領域に 32 ビットデータサイズの初期書き込みを行ってください。

ライトアクセスの後にリードアクセスを続けて実行すると、リードアクセスが優先的に実行されます。したがって、初期化中は、ライトアクセスの後に続けてリードアクセスを行わないでください。

38.3.3 ECC エラー割り込み機能

SRAM (ECC 領域) が「ECC 有効/エラーチェックあり」の場合、ECC 2 ビットエラーを示す ECC2STS.ECC2ERR ビット、または ECC 1 ビットエラーを示す ECC1STS.ECC1ERR ビットのいずれかが 1 になると、ECC エラーが発生します。

ECC エラーは、ICLK のパルス幅で出力されます。なお、ECC1 ビットエラーをマスクしたい場合は、ECC1STSEN.E1STSEN ビットを 0 にして、ECC1ERR ビットの更新を禁止してください。ECC 機能の無効時、または「ECC 有効/エラーチェックなし」の場合、ECC エラーは発生しません。

ECC エラーは、ECCOAD レジスタでノンマスカブル割り込みまたはリセットのいずれかを選択できます。ECCOAD レジスタの OAD ビットが 1 のとき、ECC エラーはリセット機能に出力されます。ECCOAD レジスタの OAD ビットが 0 のとき、ECC エラー割り込みはノンマスカブル割り込みとして ICU に出力されます。

38.3.4 ECC デコーダのテスト方法

図 38.1 に ECC デコーダのテスト方法を示します。

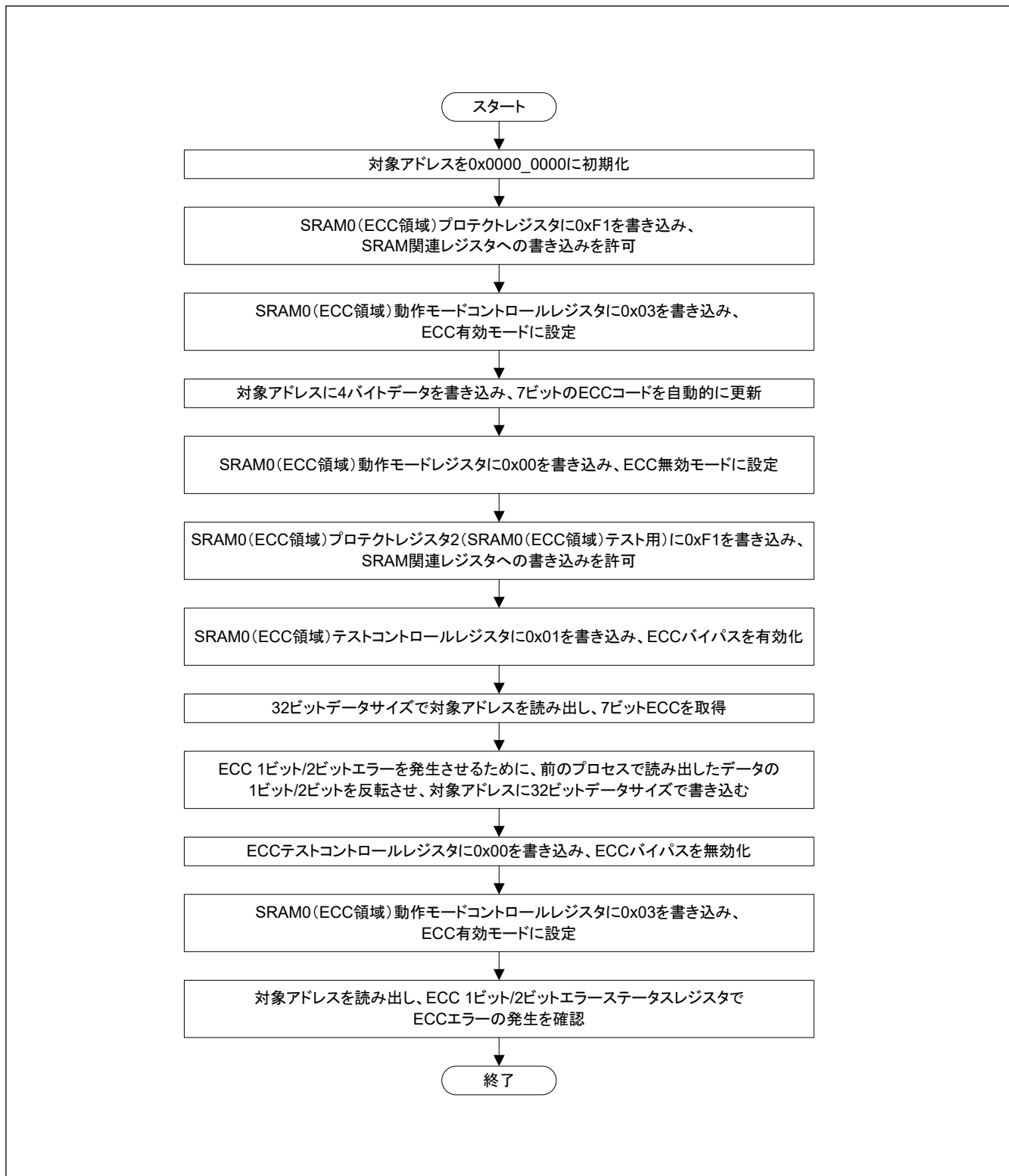


図 38.1 ECC デコーダのテスト方法

38.3.5 パリティ計算機能

IEC60730 規格に準拠するには、SRAM データのチェックが必要です。データ書き込み時に 32 ビットデータ幅の SRAM に格納されている 8 ビットデータごとにパリティビットが付与され、データ読み出し時にパリティチェックが行われます。パリティエラーが発生すると、パリティエラー通知が生成されます。この機能は、リセットを実行するためにも使用できます。

パリティエラー通知には、PARIOAD.OAD ビットで、ノンマスカブル割り込みまたはリセットのいずれかを指定できます。OAD ビットが 1 のとき、パリティエラーはリセット機能に出力されます。OAD ビットが 0 のとき、パリティエラーはノンマスカブル割り込みとして ICU に出力されます。

パリティエラーはノイズにより発生することもあります。パリティエラーの原因がノイズか破損かを確認するには、図 38.2 および図 38.3 に示されたパリティチェックフローに従ってください。

ライトアクセスの後にリードアクセスを続けて実行すると、リードアクセスが優先的に実行されます。したがって、初期化中は、ライトアクセスの後に続けてリードアクセスを行わないでください。

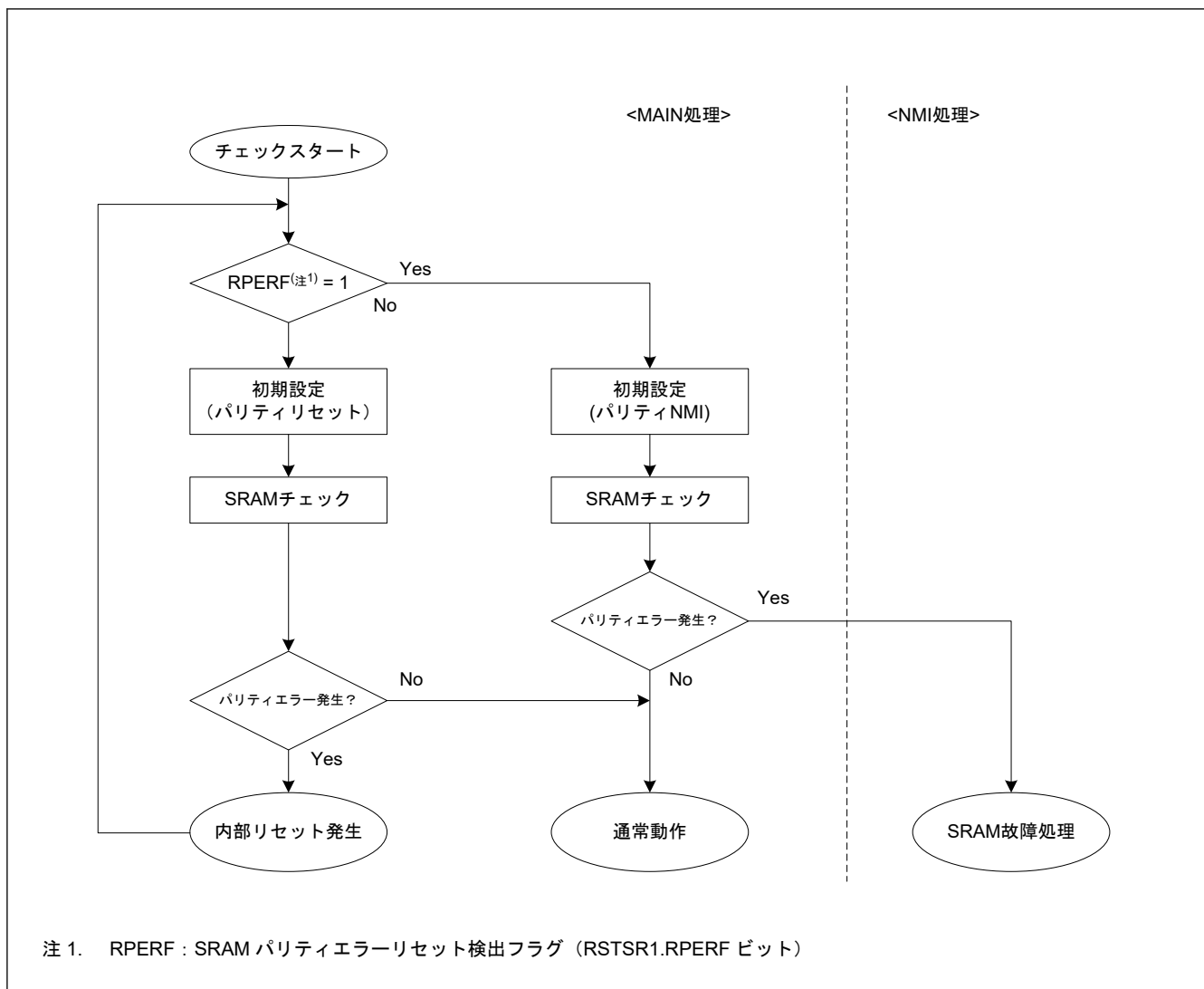


図 38.2 SRAM パリティリセット許可の場合の SRAM パリティチェックのフロー

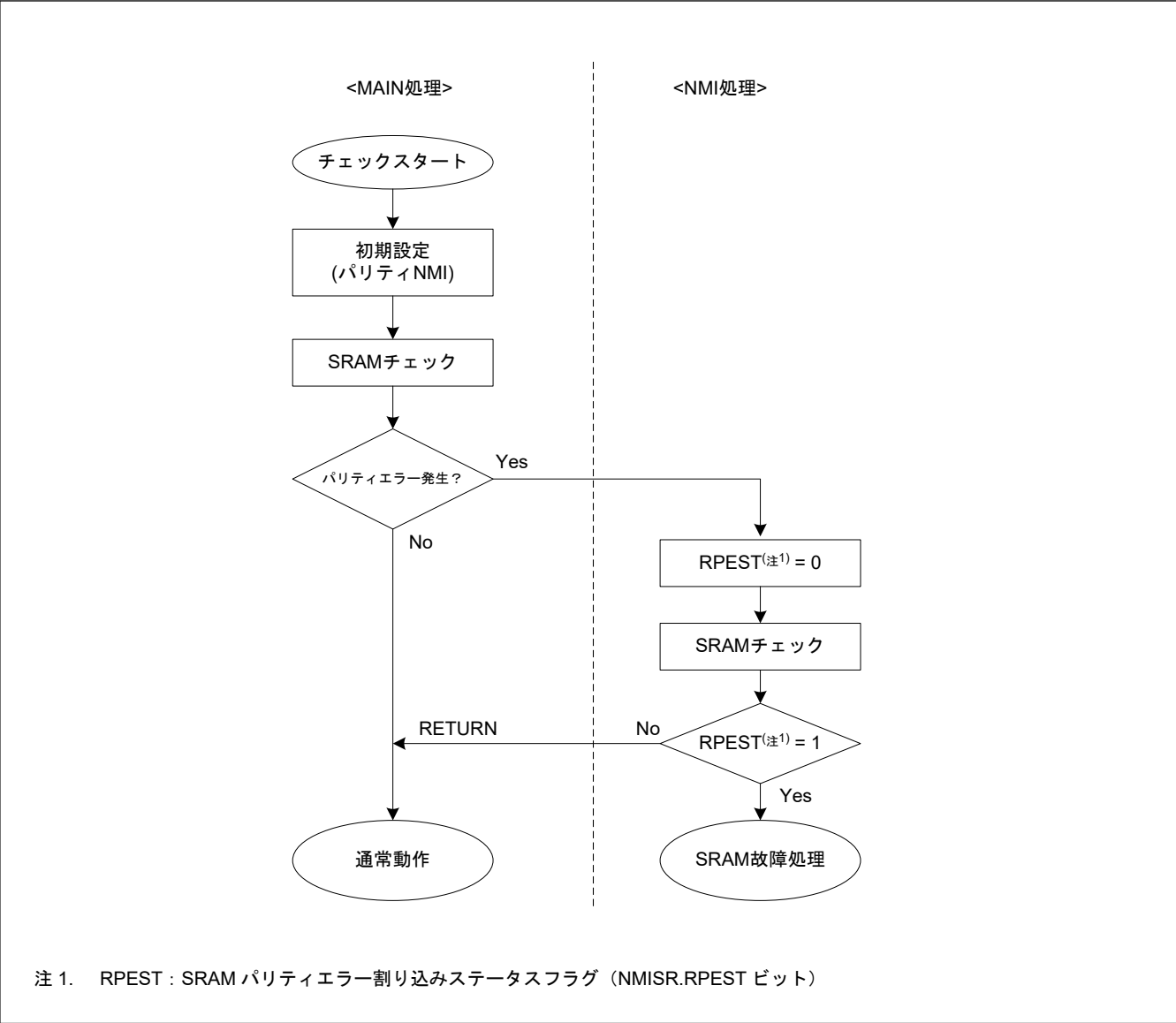


図 38.3 SRAM パリティ割り込み許可の場合の SRAM パリティチェックのフロー

38.3.6 TrustZone フィルタ機能

SRAM に対する TrustZone フィルタ機能には 2 種類があります。

- SRAM レジスタ保護用 TrustZone フィルタ
- SRAM メモリ保護用 TrustZone フィルタ

38.3.6.1 SRAM レジスタ保護用 TrustZone フィルタ

SRAM レジスタは、セキュリティ属性 (SA) に応じて非セキュアアクセスから保護できます。SRAM レジスタがセキュア状態であることを SA が示しているときは、TrustZone フィルタがエラーを検出し、書き込みアクセスから保護するため、非セキュアアクセスはこのレジスタを上書きできません。SRAM レジスタ用 SA は、すべての SRAM レジスタに共通して適用されます。

表 38.2 レジスタの保護 (1/2)

SA	アクセス状態	ライトアクセス	リードアクセス
セキュア	セキュア	許可	許可
	非セキュア	TrustZone フィルタエラー保護	許可

表 38.2 レジスタの保護 (2/2)

SA	アクセス状態	ライトアクセス	リードアクセス
非セキュア	セキュア	許可	許可
	非セキュア	許可	許可

SRAM レジスタアクセスで TrustZone フィルタエラーが発生したときは、エラー通知やエラー応答を生成しません。

38.3.6.2 SRAM メモリ保護用 TrustZone フィルタ

SRAM メモリ（例えば ECC 領域とパリティ領域を含む SRAM0）は、メモリセキュリティ属性 (Memory Security Attribution: MSA) により、セキュア／非セキュアコーラブル／非セキュアに分けられ、非セキュアアクセスから保護できます。MSA が「セキュア」または「非セキュアコーラブル」の SRAM メモリ領域は、非セキュアアクセスでは上書きができません。

表 38.3 メモリプロテクション

SA	アクセス状態	ライトアクセス	リードアクセス
セキュア／非セキュアコーラブル	セキュア	許可	許可
	非セキュア	TrustZone フィルタエラー • 保護 • エラー応答を生成	TrustZone フィルタエラー • 読み出しデータは 0 • エラー応答を生成
非セキュア	セキュア	許可	許可
	非セキュア	許可	許可

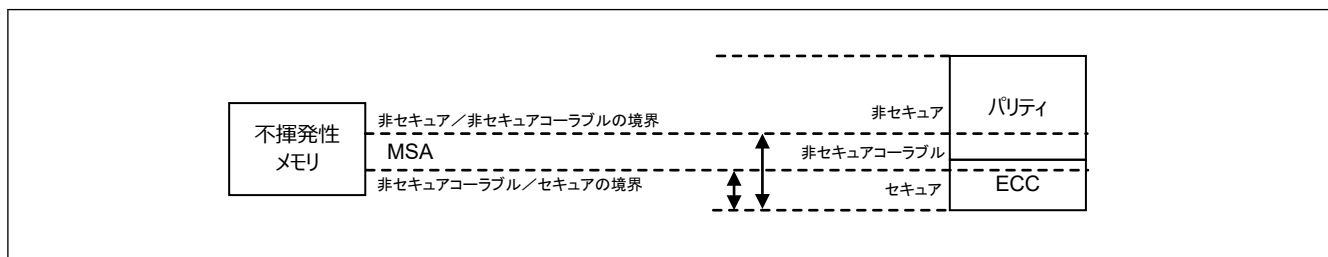


図 38.4 SRAM メモリ用 TrustZone フィルタ

SRAM メモリアccessで TrustZone フィルタエラーが発生する場合、リセット要求か NMI 要求となるエラー通知を生成します。「[42.2. Arm TrustZone セキュリティ](#)」を参照してください。

38.3.7 割り込み要因

SRAM 割り込み要因には、ECC エラー、パリティエラー、TrustZone フィルタエラーがあります。ECC エラーとパリティエラーは、ノンマスカブル割り込みまたは OAD ビットによるリセットのいずれかを選択できます。デバッグが接続されている場合、リセットとノンマスカブル割り込みはマスクできます。また、それらのマスクがデバッグにより設定された場合、ECC エラーが発生しても各ステータスレジスタは設定されません。デバッグモードの詳細は、「[2. CPU](#)」を参照してください。

表 38.4 SRAM 割り込み要因

名称	割り込み要因	DTC の起動	DMAC の起動
ECCERR	ECC エラー (SRAM0 の ECC 動作領域)	不可能	不可能
PARITYERR	パリティエラー	不可能	不可能
TZFLT	TrustZone フィルタエラー	不可能	不可能

38.3.8 SRAM へのアクセスサイクル数

CPU から SRAM へのアクセスにおいて、キャッシュヒットした場合のアクセスサイクル数は 1 となります。キャッシュが無効の場合とキャッシュミスになった場合とではアクセスサイクル数は異なります。表 38.5 に、キャッシュが無効の場合とキャッシュミスになった場合のアクセスサイクル数を示します。

表 38.5 キャッシュが無効の場合とキャッシュミスになった場合のアクセスサイクル数

アクセス領域		リード (サイクル)		ライト (サイクル)	
		ワードアクセス	ハーフワード/バイトアクセス	ワードアクセス	ハーフワード/バイトアクセス
ECC 領域においてキャッシュ無効または非キャッシュابلの場合	ECCMODE.ECCMOD[1] = 0 (ECC 機能無効)	3		2(注1)	
	ECCMODE.ECCMOD[1] = 1 (ECC 機能有効)	3		2(注1)	4
パリティ領域においてキャッシュ無効または非キャッシュابلの場合		3		2(注1)	
キャッシュابل ECC 領域においてキャッシュミスになった場合	ECCMODE.ECCMOD[1] = 0 (ECC 機能無効)	3		1(注1)	
	ECCMODE.ECCMOD[1] = 1 (ECC 機能有効)	3		1(注1)	
キャッシュابلパリティ領域においてキャッシュミスになった場合		3		1(注1)	

注 1. ライトの後同じメモリへのリードアクセスが生じたとき、アクセス効率のため、先行したライトコマンドによるメモリライトが次のアイドルサイクルか次のライトアクセスまで、そのライトアクセスを待たせます。リードが連続するときは、リードを優先します。

39. フラッシュメモリ

本 MCU には、コードフラッシュメモリ、データフラッシュメモリ、およびオプション設定メモリがあります。コードフラッシュメモリは、命令およびオペランドを格納し、データフラッシュメモリはデータを格納します。オプション設定メモリについては、「[6. オプション設定メモリ](#)」を参照してください。

39.1 概要

表 39.1 にフラッシュメモリの仕様を、図 39.1 にフラッシュメモリ関連モジュールのブロック図を示します。

表 39.28 にブートモードで使用する入出力端子の一覧を示します。

FCU (Flash Control Unit) はフラッシュメモリのプログラム／イレースの制御を行います。FACI (Flash Application Command Interface) は設定された FACI コマンドに従って、FCU を制御します。

コードフラッシュメモリのメモリ構成については図 39.2～図 39.3 を、データフラッシュメモリのメモリ構成については図 39.4 を参照してください。フラッシュメモリを書き換える場合は、HOCO を有効にする必要があります。

表 39.1 フラッシュメモリの仕様 (1/2)

項目	コードフラッシュメモリ	データフラッシュメモリ
メモリ容量	ユーザー領域：最大 512 KB	データ領域：8 KB
リードサイクル	「 39.16.3. アクセスサイクル 」を参照	「 39.16.3. アクセスサイクル 」を参照
イレース後の値	0xFF	0xFF
プログラム／イレース方式	- FACI コマンド発行領域 (0x407E_0000) に設定した FACI コマンドで、コードフラッシュメモリおよびデータフラッシュメモリのプログラム／イレース、オプション設定メモリのプログラムが可能（セルフプログラミング） - シリアルプログラマによるシリアルインタフェース通信を介したプログラム／イレース（シリアルプログラミング）	
プロテクション機能	フラッシュメモリの誤書き換えを防止	
デュアルバンク機能	デュアルバンク構造により、書き換えが中断された場合でも安全にアップデートできます。 - リニアモード：コードフラッシュメモリは 1 つの領域として使用されます。 - デュアルモード：コードフラッシュメモリは 2 つの領域に分割されます。	不可
ブロックスワップ機能	ブロックスワップ構造により、書き換えが中断された場合でも非セキュアアプリケーションの一部分を安全にアップデートできます。	不可
BGO（バックグラウンドオペレーション）機能	- コードフラッシュメモリのプログラム／イレース中にコードフラッシュメモリの読み出しが可能^(注1) - コードフラッシュメモリのプログラム／イレース中にデータフラッシュメモリの読み出しが可能 - データフラッシュメモリのプログラム／イレース中にコードフラッシュメモリの読み出しが可能	
プログラム／イレース単位	- ユーザー領域に対するプログラムの単位：8 バイト - ユーザー領域に対するイレースの単位：2 KB	- データ領域に対するプログラムの単位：1 バイト - データ領域に対するイレースの単位：256 バイト
その他の機能	セルフプログラミング中の割り込み受け付け可能 本 MCU の初期設定でオプション設定メモリの拡張領域の設定可能	
オンボードプログラミング（5 種類）	ブートモード（SCI インタフェース）でのプログラム／イレース - 調歩同期式シリアルインタフェース（SCI9）を使用 - 通信速度は自動調整 ブートモード（SWD インタフェース）でのプログラム／イレース - SWD インタフェースを使用 オンチップデバッグモードによるプログラム／イレース - SWD インタフェースを使用 セルフプログラミングによるプログラム／イレース - システムをリセットすることなくコードフラッシュメモリのプログラム／イレースが可能	
ユニーク ID	各 MCU に 16 バイトの ID を提供	

表 39.1 フラッシュメモリの仕様 (2/2)

項目	コードフラッシュメモリ	データフラッシュメモリ
FACI コマンド	プログラム：8 バイト ブロックイレース：1 ブロック (2 KB) 強制停止 ステータスクリア コンフィグレーション設定 (16 バイト) チップイレース：コードフラッシュメモリ容量 ブランクチェック：8 バイトからコードフラッシュメモリ容量まで	プログラム：1 バイト ブロックイレース：1 ブロック (256 バイト) チップイレース 強制停止 ブランクチェック：1 バイトからデータフラッシュメモリ容量まで ステータスクリア
セキュリティ機能	フラッシュメモリの不正改ざん／不正リードを防止 スタートアップ領域選択設定保護 - BTFLG レジスタおよび FSUACR レジスタは FSPR ビットにより保護 永久ブロック保護設定保護 - コードフラッシュメモリは、永久ブロック保護機能によりプログラム／イレース動作から永久に保護されます TrustZone のフラッシュメモリ保護 - フラッシュメモリ領域の保護 (P/E) - フラッシュメモリ領域の保護 (読み出し) - レジスタの保護 - FACI コマンド動作中の保護 コードフラッシュ P/E モードエントリ保護	
セーフティ機能	ソフトウェアプロテクション - FENTRYR レジスタによる FACI コマンド保護 - FWEPROR レジスタによるフラッシュメモリ保護 - ブロック保護設定によるユーザー領域保護 エラープロテクション - 意図しないコマンドまたは禁止された設定が行われるとエラーが検出されますエラー検出後 FACI コマンドは受け付けられません ブート領域プロテクション - スタートアップ領域選択機能によりユーザーはブートファームウェアを安全に更新できます。スタートアップ領域のサイズは 8 KB です。ブート領域は、ブロック保護機能によりプログラム／イレース動作から保護されます。	
割り込み要求	- FRDYI (フラッシュシーケンサレディ (処理終了))：FRDYIE ビットにより許可 - FIFERR (フラッシュシーケンサエラー)：CFAEIE/CMDLKIE/DFAEIE ビットにより許可	
アドレス変換	スタートアップ領域選択機能はリニアモードでサポートされます デュアルモードとリニアモード - バンクスワップ機能はデュアルモードでサポート - ブロックスワップ機能はリニアモードでサポート	

注 1. プログラム／イレース処理および読み出し処理のアドレス範囲の組み合わせには制限があります。表 39.30 を参照してください。

図 39.1 にフラッシュメモリに関連するモジュールの構成方式を示します。フラッシュシーケンサは FCU および FACI で構成されます。FCU は、フラッシュメモリ書き換えの基本制御を実行します。FACI は、周辺バスを使って FACI コマンドを受信し、コマンドに従って FCU の動作を制御します。

リセットが起これと、FACI はデータをフラッシュメモリからオプションバイト格納レジスタに転送します。

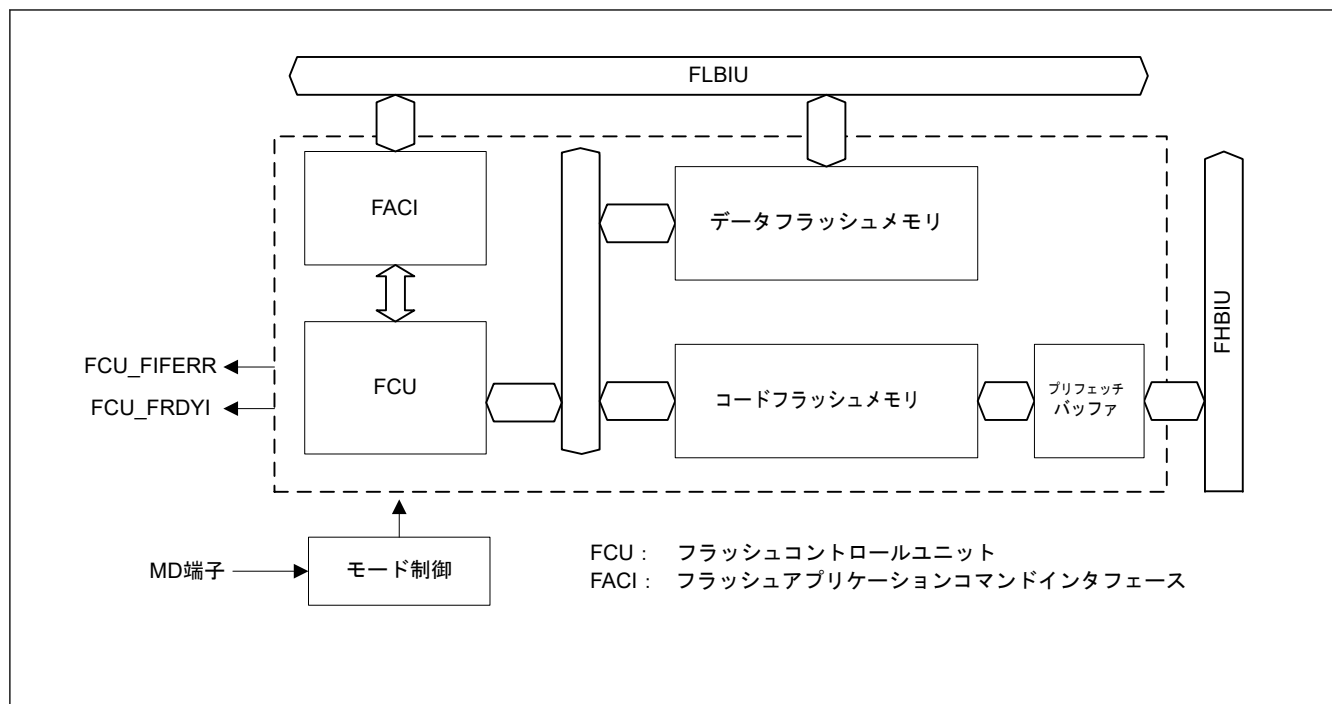


図 39.1 フラッシュメモリ関連モジュールのブロック図

39.2 メモリ構成

図 39.2 にリニアモードでのコードフラッシュメモリのメモリマップを示します。図 39.3 にデュアルモードモードでのコードフラッシュメモリのメモリマップを示します。本 MCU は、デュアルバンク機能を使ってコードフラッシュメモリを 2 つのバンク領域として使用できます。このデュアルバンク構造により、ユーザープログラム実行中でもプログラムを安全にアップデートできます。

本 MCU のコードフラッシュメモリのユーザー領域は 2 KB のブロックに分割されており、各ブロック単位でイレース可能です。

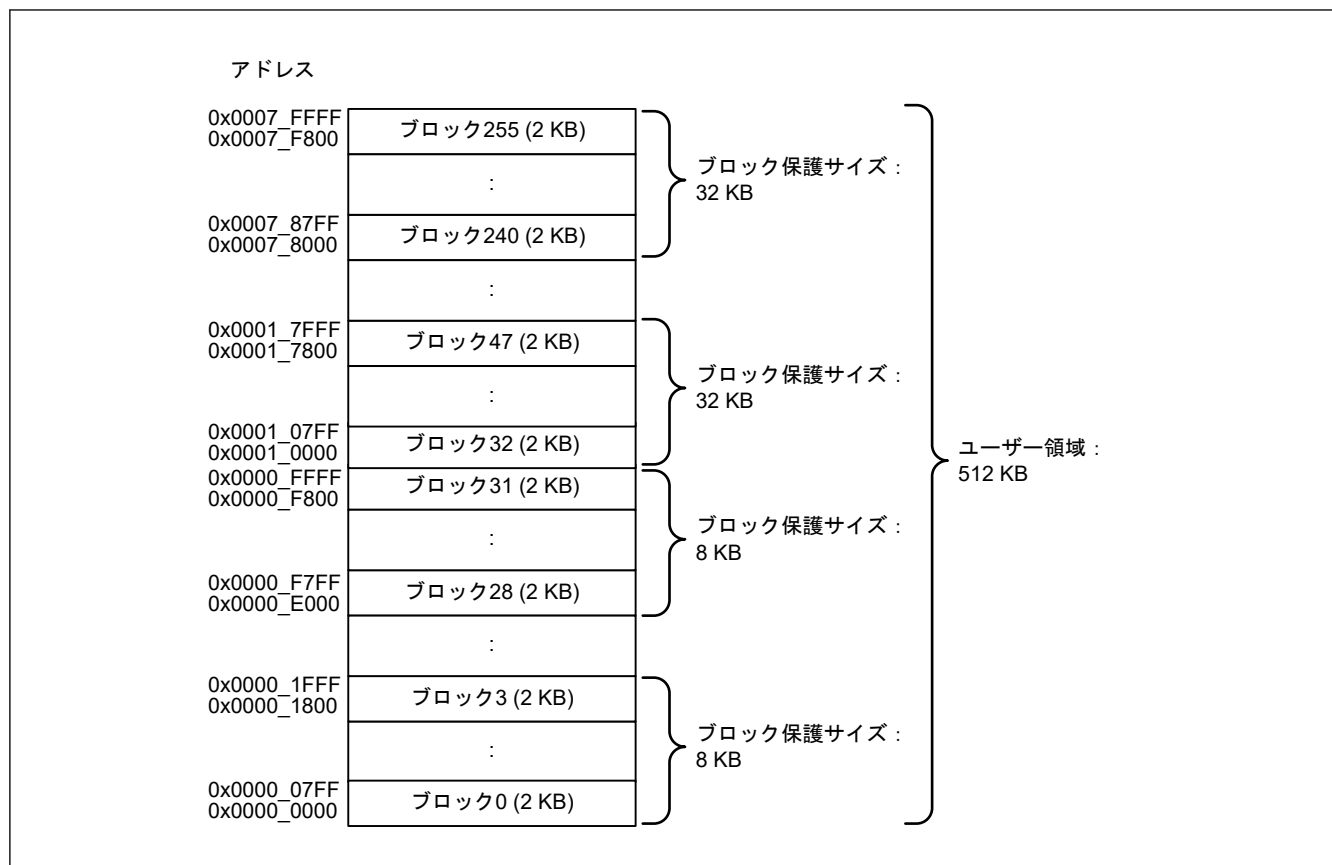


図 39.2 リニアモード時のコードフラッシュメモリのマッピング

表 39.2 各製品のコードフラッシュメモリの読み出し/プログラム/イレースのアドレス

製品	アドレス	ブロック数
512 KB 製品	0x0000_0000~0x0007_FFFF	0~255
256 KB 製品	0x0000_0000~0x0003_FFFF	0~127

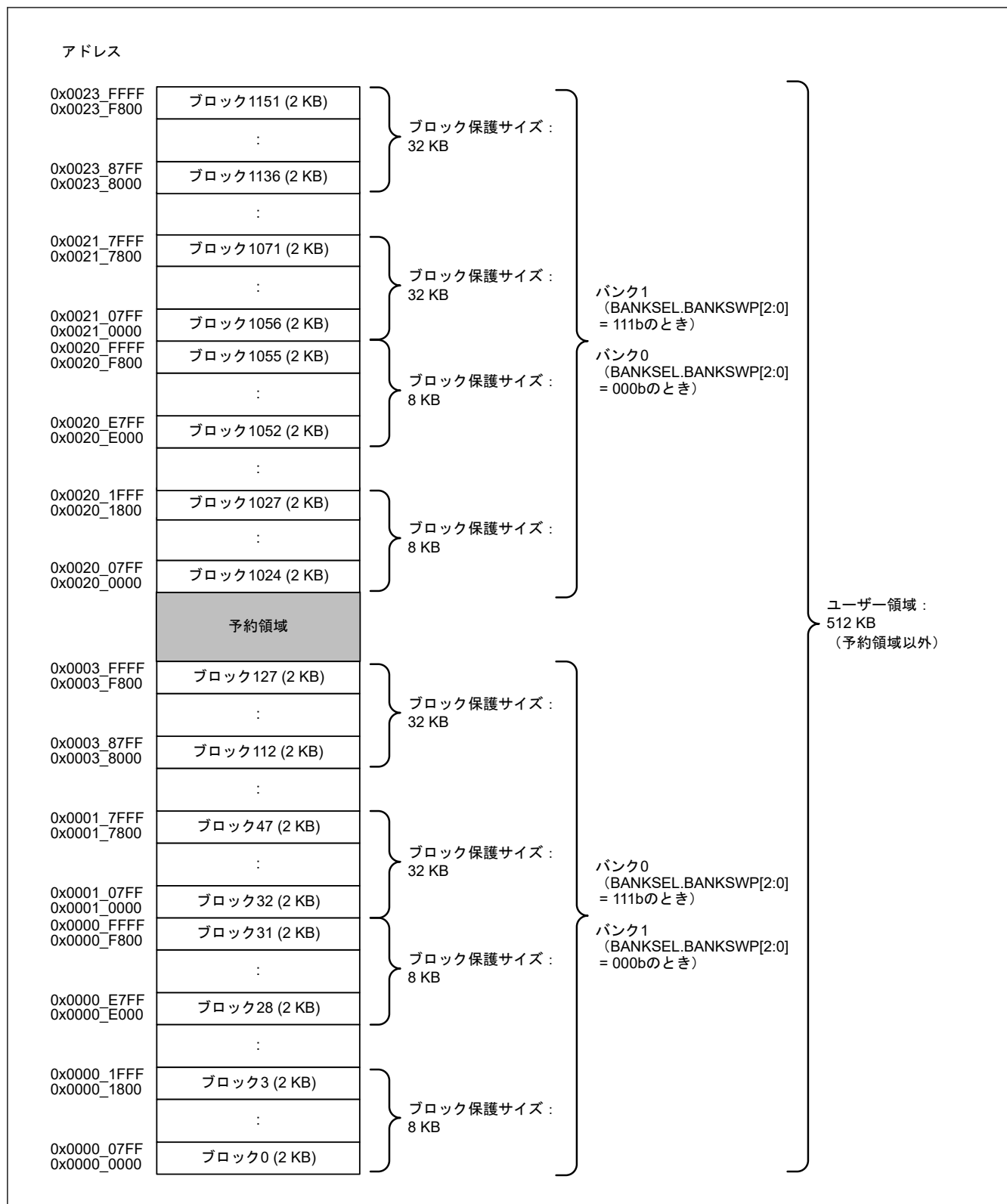


図 39.3 デュアルモード時のコードフラッシュメモリのマッピング

表 39.3 各製品のコードフラッシュメモリの読み出し/プログラム/イレースのアドレス (1/2)

製品	アドレス	ブロック数
512 KB 製品、下側バンク	0x0000_0000~0x0003_FFFF	0~127
512 KB 製品、上側バンク	0x0020_0000~0x0023_FFFF	1024~1151

表 39.3 各製品のコードフラッシュメモリの読み出し/プログラム/イレースのアドレス (2/2)

製品	アドレス	ブロック数
256 KB 製品、下側バンク	0x0000_0000~0x0001_FFFF	0~63
256 KB 製品、上側バンク	0x0020_0000~0x0021_FFFF	1024~1087

本 MCU のデータフラッシュメモリのデータ領域は 256 バイトのブロックに分割されており、各ブロック単位でイレース可能です。図 39.4 にデータフラッシュメモリのマッピングを示します。

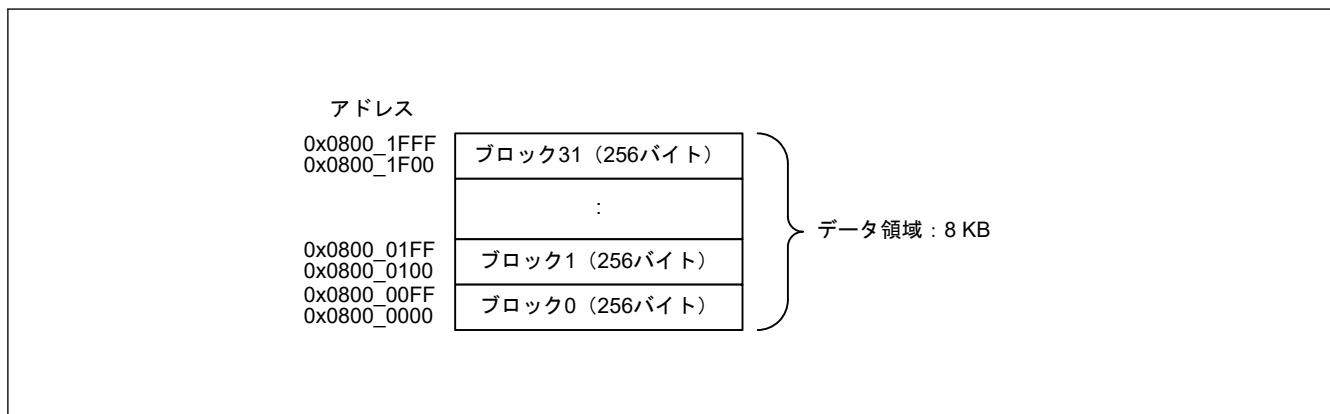


図 39.4 データフラッシュメモリのマップ

39.3 アドレス空間

フラッシュメモリとのハードウェアインタフェースを使用するには、ハードウェアの全レジスタへのアクセスが必要です。これは FACL コマンドを発行するためです。表 39.4 に、ハードウェアインタフェースに関する情報を示します。

表 39.4 ハードウェアインタフェース領域情報

領域	アドレス	容量
ハードウェアの各種レジスタを含む領域	「39.4. レジスタの説明」を参照してください。	「39.4. レジスタの説明」を参照してください。
FACL コマンド発行領域	0x407E_0000	4 バイト

フラッシュメモリのアドレス情報については、図 39.2 を参照してください。

39.4 レジスタの説明

39.4.1 DFLCTL : データフラッシュコントロールレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x0090

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DFLEN

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	DFLEN	データフラッシュアクセス許可 ^(注1) 0: データフラッシュへのアクセス禁止 1: データフラッシュへのアクセス許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと、非セキュアリードアクセスが許可されます。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと、非セキュアアクセスが許可されます。

注 1. コンフィグレーション設定コマンドを発行する前に、DFLCTL.DFLEN ビットを 1 にする必要があります。

DFLCTL レジスタは、データフラッシュへのアクセス（読み出し、プログラム、およびイレース）を許可または禁止します。DFLCTL.DFLEN ビットを設定すると、データフラッシュの読み出し前、またはデータフラッシュ P/E モード移行前に、データフラッシュ STOP 復帰時間 (t_{DSTOP}) が必要になります。

39.4.2 PFBER : プリフェッチバッファイネーブルレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x3FC8

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	PFBE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PFBE	プリフェッチバッファイネーブルビット 0: プリフェッチバッファ無効 1: プリフェッチバッファ有効	R/W(注1)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと、非セキュアリードアクセスが許可されます。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと、非セキュアアクセスが許可されます。

注 1. コードフラッシュメモリの書き込み後または消去後、またはオプション設定メモリの設定後に、プリフェッチバッファは一度無効にする必要があります。コードフラッシュメモリが読み出し中でないときに、PFBE ビットの設定を 1 から 0 にする必要があります。たとえば、SRAM 上のソフトウェアで PFBE ビットに書き込みを行い、その値が変更されたことを確認することで、コードフラッシュメモリの読み出し中に PFBE ビットが変更されることを防ぐことができます。

39.4.3 FSAR : フラッシュセキュリティ属性レジスタ

Base address: FCACHE = 0x4001_C100

Offset address: 0x040

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FCKMHZSA	—	—	—	—	—	—	—	FLWTSA
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	FLWTSA	FLWT セキュリティ属性 対象レジスタ : FLWT 0: セキュア 1: 非セキュア	R/W
7:1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
8	FCKMHZSA	FCKMHZ セキュリティ属性 対象レジスタ : FCKMHZ 0: セキュア 1: 非セキュア	R/W
15:9	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

- 注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。
- 注. このレジスタは PRCR レジスタによって書き込み保護されています。

PRCR.PRC4 ビットが 0 の場合、書き込みは無効です。「[11. レジスタライトプロテクション](#)」を参照してください。

FLWTSА ビット (FLWT セキュリティ属性)

FLWT レジスタのセキュリティ属性を設定します。

FCKMHZSA ビット (FCKMHZ セキュリティ属性)

FCKMHZ レジスタのセキュア属性を設定します。

39.4.4 UIDRn : ユニーク ID レジスタ n (n = 0~3)

Address: 0x0100_8190 + n × 4

Bit position: 31

0

Bit field:

UID

Value after reset:

チップごとのユニーク値

ビット	シンボル	機能	R/W
31:0	UID	ユニーク ID	R

UIDRn は、個々の MCU を識別するための 16 バイトの ID コード (ユニーク ID) を格納する読み出し専用レジスタです。UIDRn レジスタは 32 ビット単位で設定してください。シリアルプログラミングインタフェースのシグネチャ要求コマンドで読み出す場合、データは大きいアドレスのデータから読み出されます。すなわち、0x0100_819F のデータが最初に読み出され、0x0100_8190 のデータが最後に読み出されます。

39.4.5 PNRn : 型名レジスタ n (n = 0~3)

Address: 0x0100_80F0 + n × 4

Bit position: 31

0

Bit field:

PNR

Value after reset:

チップごとのユニーク値

ビット	シンボル	機能	R/W
31:0	PNR	型名	R

PNRn レジスタは、16 バイトの型名を格納する読み出し専用レジスタです。PNRn レジスタは 32 ビット単位で読み出してください。各バイトは表 1.14 に示すように、製品の型名の ASCII コードに対応しています。型名の最初の文字 ("R", ASCII コードの 0x52) は最小のアドレス (0x0100_80F0) のバイトに格納されます。シリアルプログラミングインタフェースのシグネチャ要求コマンドで読み出す場合、データは小さいアドレスのデータから読み出されます。すなわち、0x0100_80F0 のデータが最初に読み出され、0x0100_80FF のデータが最後に読み出されます。

39.4.6 MCUVER : MCU バージョンレジスタ

Address: 0x0100_81B0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MCUVE							

Value after reset: チップにより決まる値

ビット	シンボル	機能	R/W
7:0	MCUVE	MCU バージョン	R

MCUVER レジスタは、MCU バージョンを格納する読み出し専用レジスタです。MCUVER レジスタは 8 ビット単位で読み出してください。

39.4.7 FASTAT : フラッシュアクセスステータスレジスタ

Base address: FACL = 0x407F_E000

Offset address: 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CFAE	—	—	CMDLK	DFAE	—	—	—

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	DFAE	データフラッシュメモリアccess違反フラグ 0: データフラッシュメモリアccess違反なし 1: データフラッシュメモリアccess違反あり	R/W(注1)
4	CMDLK	コマンドロックフラグ 0: フラッシュシーケンサはコマンドロック状態ではない 1: フラッシュシーケンサはコマンドロック状態である	R
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	CFAE	コードフラッシュメモリアccess違反フラグ 0: コードフラッシュメモリアccess違反は発生していない 1: コードフラッシュメモリアccess違反が発生した	R/W(注1)

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

FASTAT レジスタは、コードフラッシュまたはデータフラッシュメモリアccess違反が起きたかどうかを示します。CFAE ビット、CMDLK ビット、および DFAE ビットのいずれかが 1 になると、フラッシュシーケンサはコマンドロック状態になります（「[39.11.2. エラープロテクション](#)」参照）。シーケンサをコマンドロック状態から解放するには、ステータスクリアコマンドまたは強制停止コマンドをフラッシュシーケンサに発行してください。

DFAE ビット（データフラッシュメモリアccess違反フラグ）

DFAE ビットは、データフラッシュメモリアccess違反が起きたかどうかを示します。1 の場合、FSTATR レジスタの ILGLERR ビットが 1 になり、フラッシュシーケンサをコマンドロック状態にします。

[1 になる条件]

データフラッシュ P/E モードで発行された FACL コマンドが以下の場合：

- FSADDR レジスタまたは FEADDR レジスタの設定がデータ領域の予約部分であるとき

- FSADDR レジスタまたは FEADDR レジスタの設定がセキュア領域アドレスである場合に非セキュアアクセスの FACL コマンドが発行されたとき

[0 になる条件]

- 本ビットが 1 に設定された後、0 を書き込まれたとき
- フラッシュシーケンサがステータスクリアコマンドまたは強制停止コマンドの処理を開始したとき

CMDLK ビット (コマンドロックフラグ)

CMDLK ビットは、フラッシュシーケンサがコマンドロック状態であることを示します。

[1 になる条件]

- フラッシュシーケンサがエラーを検出し、コマンドロック状態になったとき

[0 になる条件]

- フラッシュシーケンサがステータスクリアコマンドまたは強制停止コマンドの処理を開始したとき

CFAE ビット (コードフラッシュメモリアクセス違反フラグ)

CFAE ビットは、コードフラッシュメモリアクセス違反が起きたかどうかを示します。1 の場合、FSTATR レジスタの ILGLERR ビットが 1 になり、フラッシュシーケンサをコマンドロック状態にします。

[1 になる条件]

コードフラッシュ P/E モードで発行された FACL コマンドが以下の場合：

- FSADDR レジスタの設定がユーザー領域の予約部分であるとき
- セルフプログラミングモードにおいて FSADDR レジスタの設定が 0x0000A100～0x0000A2F0 でコンフィグレーション設定コマンドが発行されたとき
- FSADDR レジスタの設定がセキュア領域アドレスである場合に非セキュアアクセスの FACL コマンドが発行されたとき

[0 になる条件]

- 本ビットが 1 に設定された後、0 を書き込まれたとき
- フラッシュシーケンサがステータスクリアコマンドまたは強制停止コマンドの処理を開始したとき

39.4.8 FAEINT : フラッシュアクセスエラー割り込み許可レジスタ

Base address: FACL = 0x407F_E000

Offset address: 0x14

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CFAEIE	—	—	CMDLKIE	DFAEIE	—	—	—
Value after reset:	1	0	0	1	1	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	DFAEIE	データフラッシュメモリアクセス違反割り込み許可 0: FASTAT.DFAE ビットが 1 のとき FIFERR 割り込み要求の発生を禁止 1: FASTAT.DFAE ビットが 1 のとき FIFERR 割り込み要求の発生を許可	R/W
4	CMDLKIE	コマンドロック割り込み許可 0: FASTAT.CMDLK ビットが 1 のとき FIFERR 割り込み要求の発生を禁止 1: FASTAT.CMDLK ビットが 1 のとき FIFERR 割り込み要求の発生を許可	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
7	CFAEIE	コードフラッシュメモリアクセス違反割り込み許可 0: FASTAT.CFAE ビットが1のとき FIFERR 割り込み要求の発生を禁止 1: FASTAT.CFAE ビットが1のとき FIFERR 割り込み要求の発生を許可	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

FAEINT レジスタは、フラッシュアクセスエラー (FIFERR) 割り込み要求の発生を許可または禁止します。

DFAEIE ビット (データフラッシュメモリアクセス違反割り込み許可)

DFAEIE ビットは、データフラッシュメモリアクセス違反が起きた場合 (FASTAT レジスタの DFAE ビットが1) の FIFERR 割り込み要求の発生を許可または禁止します。

CMDLKIE ビット (コマンドロック割り込み許可)

CMDLKIE ビットは、フラッシュシーケンサがコマンドロック状態になった場合 (FASTAT レジスタの CMDLK ビットが1) の FIFERR 割り込み要求の発生を許可または禁止します。

CFAEIE ビット (コードフラッシュメモリアクセス違反割り込み許可)

CFAEIE ビットは、コードフラッシュメモリアクセス違反が起きた場合 (FASTAT レジスタの CFAE ビットが1) の FIFERR 割り込み要求の発生を許可または禁止します。

39.4.9 FRDYIE : フラッシュレディ割り込み許可レジスタ

Base address: FACL = 0x407F_E000

Offset address: 0x18

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FRDYIE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FRDYIE	フラッシュレディ割り込み許可 0: FRDY 割り込み要求の発生を禁止 1: FRDY 割り込み要求の発生を許可	R/W
7:1	—	読むと0が読めます。書く場合、0としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

FRDYIE レジスタは、フラッシュレディ (FRDY) 割り込み要求の発生を許可または禁止します。

FRDYIE ビット (フラッシュレディ割り込み許可)

FRDYIE ビットは、フラッシュシーケンサによるプログラム、ブロックイレース、チップイレース、ブランクチェック、およびコンフィグレーション設定コマンドの処理完了時、FSTATR レジスタの FRDY ビットが0から1に変わったときの FRDY 割り込み要求発生を許可または禁止します。

39.4.10 FSADDR : FACI コマンド開始アドレスレジスタ

Base address: FACI = 0x407F_E000

Offset address: 0x30

Bit position: 31

0

Bit field:

FSADDR[31:0]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	FSADDR[31:0]	FACI コマンド処理の開始アドレス	R/W(注1)

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. これらのビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 の場合にこれらのビットに書き込んでも無視されます。b0 と b1 は読み出し専用です。

表 39.5 FACI コマンドアドレスバウンダリ

コマンド	アドレスバウンダリ
プログラム (コードフラッシュメモリ)	8 バイト
プログラム (データフラッシュメモリ)	1 バイト
ブロックイレース (コードフラッシュメモリ)	2 KB
ブロックイレース (データフラッシュメモリ)	256 バイト
チップイレース	フラッシュメモリ全体
ブランクチェック (コードフラッシュメモリ)	8 バイト
ブランクチェック (データフラッシュメモリ)	1 バイト
コンフィグレーション設定	16 バイト

FSADDR レジスタは、プログラム、ブロックイレース、チップイレース、ブランクチェック、またはコンフィグレーション設定用の FACI コマンドが発行された場合コマンド処理の対象領域がどのアドレスから開始するかを指定します。

FSUINITR レジスタの SUINIT ビットが 1 になると FSADDR レジスタ値が初期化されます。リセットによっても初期化されます。

FSADDR[31:0]ビット (FACI コマンド処理の開始アドレス)

FSADDR[31:0]ビットは、FACI コマンド処理の開始アドレスを指定します。コードフラッシュメモリに対する FACI コマンド処理の場合ビット[31:24]は無視されます。データフラッシュメモリに対する FACI コマンド処理の場合ビット[31:17]は無視されます。表 39.5 に示すアドレス境界以下のアドレスビットに関連するビットも無視されます。

コードフラッシュメモリおよびデータフラッシュメモリのアドレス情報については、「39.2. メモリ構成」を参照してください。

コンフィグレーション設定のアドレス情報については、「39.9.3.14. コンフィグレーション設定コマンド」を参照してください。

39.4.11 FEADDR : FACI コマンド終了アドレスレジスタ

Base address: FACI = 0x407F_E000

Offset address: 0x34

Bit position: 31

0

Bit field:

FEADDR[31:0]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	FEADDR[31:0]	FACI コマンド処理の最終アドレス	R/W(注1)

- 注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
 - 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。
- セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. これらのビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 の場合にこれらのビットに書き込んでも無視されます。ビット[0]とビット[1]は読み出し専用です。

FEADDR レジスタは、チップイレースコマンドおよびブランクチェックコマンドの処理対象領域の終了アドレスを指定します。

チップイレースコマンドの場合、コードフラッシュメモリまたはデータフラッシュメモリの終了アドレスを FEADDR レジスタに設定する必要があります。FSADDR ビットの設定値が FSADDR レジスタの設定値より大きいと、フラッシュシーケンサはコマンドロック状態になります。

ブランクチェックのアドレッシングモードがインクリメンタルモードに設定されている場合（すなわち FBCCNT.BCDIR = 0）、FSADDR レジスタには、FEADDR レジスタに指定されているアドレス以下のアドレスを指定してください。反対に、ブランクチェックアドレッシングモードがデクリメンタルモードに設定されている場合（すなわち FBCCNT.BCDIR = 1）、FSADDR レジスタには、FEADDR レジスタに指定されているアドレス以上のアドレスを指定してください。BCDIR ビット、FSADDR ビット、および FEADDR ビット設定が指定規則に従っていない場合、フラッシュシーケンサはコマンドロック状態になります（「39.11.2. エラープロテクション」参照）。

FEADDR レジスタ値は、FSUINITR レジスタの SUNIT ビットが 1 になったとき初期化されます。リセットによっても初期化されます。

FEADDR[31:0]ビット（FACI コマンド処理の最終アドレス）

FEADDR[31:0]ビットは、チップイレースおよびブランクチェックコマンド処理の終了アドレスを指定します。コードフラッシュメモリに対する FACI コマンド処理の場合ビット[31:24]は無視されます。データフラッシュメモリに対する FACI コマンド処理の場合ビット[31:17]は無視されます。「39.4.10. FSADDR : FACI コマンド開始アドレスレジスタ」に示すアドレス境界に満たないビットも無視されます。

フラッシュメモリのアドレス情報については、「39.2. メモリ構成」を参照してください。

39.4.12 FMEPROT : フラッシュ P/E モードエントリ保護レジスタ

Base address: FACI = 0x407F_E000

Offset address: 0x44

Bit position:

15

14

13

12

11

10

9

8

7

6

5

4

3

2

1

0

Bit field:

KEY[7:0]

—

—

—

—

—

—

—

CEPR

OT

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1

ビット	シンボル	機能	R/W
0	CEPROT	コードフラッシュ P/E モードエントリ保護 0: FENTRYC ビットは保護されません 1: FENTRYC ビットは保護されます	R/W(注1) (注2) (注4)

ビット	シンボル	機能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード	W(注3)

- 注 1. 本ビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 のとき本ビットに書き込んでも無視されます。
- 注 2. 本ビットへの書き込みは、16 ビットが書き込まれ、KEY ビットに書き込まれた値が 0xD9 の場合のみ可能です。
- 注 3. 書き込まれた値はビットにより保持されません（常に 0x00 が読み出されます）。
- 注 4. 本レジスタに書き込みできるのはセキュアアクセスのみです。セキュアアクセスと非セキュアリードアクセスが許可されます。非セキュアライトアクセスは拒否されますが、TrustZone アクセスエラーは発生しません。

CEPROT ビット（コードフラッシュ P/E モードエントリ保護）

CEPROT ビットは、FENTRYR レジスタの FRNTRYC ビットの保護設定を指定します。

[1 になる条件]

- FMEPROT レジスタへの書き込みが許可されている場合に、CEPROT ビットに 1 を書いたとき

[0 になる条件]

- FMEPROT レジスタへの書き込みが許可されている場合に、CEPROT ビットに 0 を書いたとき

39.4.13 FBPROT0：フラッシュブロック保護レジスタ

Base address: FACL = 0x407F_E000

Offset address: 0x78

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	BPCN 0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BPCN0	非セキュア用ブロック保護解除 0: ブロック保護有効 1: ブロック保護無効	R/W(注1) (注2)(注4)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード	W(注3)

- 注 1. 本ビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 の場合に本ビットに書き込んでも無視されます。
- 注 2. 本ビットへの書き込みは、16 ビットが書き込まれ、KEY[7:0] ビットに書き込まれた値が 0x78 の場合のみ可能です。
- 注 3. 書き込まれた値はビットにより保持されません（常に 0x00 が読み出されます）。
- 注 4. セキュアアクセスのみ本レジスタへ書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されます。非セキュアライトアクセスは拒否されますが、TrustZone アクセスエラーは発生しません。

FBPROT0 レジスタは、非セキュア開発者用のブロック保護機能を無効にするのに使用されます。ブロック保護設定が永久ブロック設定によりロックされている場合は、本レジスタでは無効にできません。

FBPROT0 レジスタ値は、FSUINITR レジスタの SUINIT ビットが 1 になると初期化されます。なぜなら、その場合、FENTRYR レジスタ値が 0x0000 に初期化されるからです。リセットによっても初期化されます。

BPCN0 ビット（非セキュア用ブロック保護解除）

BPCN0 ビットは、非セキュア関数用のブロック保護設定を無効にします。

[1 になる条件]

- 書き込み許可条件が満たされており FENTRYR レジスタ値が 0x0000 ではない場合に、本ビットに 1 を書いたとき

[0 になる条件]

- FRDY ビットが 1 のとき FBPROT0 レジスタに 8 ビットを書いたとき

- FRDY ビットが 1 のとき、KEY ビットで指定された 0x78 以外の値と 16 ビットを FBPROT0 レジスタに書いたとき
- FBPROT0 レジスタへの書き込みが許可されている場合に、BPCN0 ビットに 0 を書いたとき
- FENTRYR レジスタ値が 0x0000 のとき

39.4.14 FBPROT1: セキュア用フラッシュブロック保護レジスタ

Base address: FACL = 0x407F_E000

Offset address: 0x7C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	BPCN 1
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BPCN1	セキュア用ブロック保護解除 0: ブロック保護有効 1: ブロック保護無効	R/W(注1) (注2)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード	W(注3)

注 1. 本ビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 のとき本ビットに書き込んでも無視されます。

注 2. 本ビットへの書き込みは、16 ビットが書き込まれ、KEY[7:0] ビットに書き込まれた値が 0xB1 の場合のみ可能です。

注 3. 書き込まれた値はビットにより保持されません（常に 0x00 が読み出されます）。

FBPROT1 レジスタは、セキュア開発者用のブロック保護機能を無効にするのに使用されます。ブロック保護設定が永久ブロック設定によりロックされている場合は、本レジスタでは無効にできません。

FBPROT1 レジスタ値は、FSUINITR レジスタの SUINIT ビットが 1 になると初期化されます。なぜなら、その場合、FENTRYR レジスタ値が 0x0000 に初期化されるからです。リセットによっても初期化されます。

BPCN1 ビット（セキュア用ブロック保護解除）

BPCN1 ビットは、セキュア関数用のブロック保護設定を無効にします。

[1 になる条件]

- 書き込み許可条件が満たされており FENTRYR レジスタ値が 0x0000 ではない場合に、BPCN1 ビットに 1 を書いたとき

[0 になる条件]

- FRDY ビットが 1 のとき FBPROT1 レジスタに 8 ビットを書いたとき
- FRDY ビットが 1 のとき、KEY ビットで指定された 0xB1 以外の値と 16 ビットを FBPROT1 レジスタに書いたとき
- FBPROT1 レジスタへの書き込みが許可されている場合に、BPCN1 ビットに 0 を書いたとき
- FENTRYR レジスタ値が 0x0000 のとき

39.4.15 FSTATR : フラッシュステータスレジスタ

Base address: FACL = 0x407F_E000

Offset address: 0x80

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	ILGCO MERR	FESE TERR	SECE RR	OTERR	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FRDY	ILGLE RR	ERSE RR	PRGE RR	SUSRDY	DBFULL	ERSSPD	PRGSPD	—	FLWE ERR	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	FLWEERR	フラッシュ書き込み/イレース保護エラーフラグ 0: エラーの発生なし 1: エラーの発生あり	R
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	PRGSPD	書き込みサスペンドステータスフラグ 0: フラッシュシーケンサは書き込みサスペンド処理中の状態または書き込みサスペンド状態ではない 1: フラッシュシーケンサは書き込みサスペンド処理中状態または書き込みサスペンド状態である	R
9	ERSSPD	消去サスペンドステータスフラグ 0: フラッシュシーケンサは消去サスペンド処理中の状態または消去サスペンド状態ではない 1: フラッシュシーケンサは消去サスペンド処理中状態または消去サスペンド状態である	R
10	DBFULL	データバッファフルフラグ 0: データバッファエンプティ 1: データバッファフル	R
11	SUSRDY	サスペンドレディフラグ 0: フラッシュシーケンサは P/E サスペンドコマンド受信不可 1: フラッシュシーケンサは P/E サスペンドコマンド受信可	R
12	PRGERR	書き換えエラーフラグ 0: 書き換えが正常終了 1: 書き換え中にエラー発生	R
13	ERSERR	消去エラーフラグ 0: 消去が正常終了 1: 消去中にエラー発生	R
14	ILGLERR	不正コマンドエラーフラグ 0: フラッシュシーケンサは不正 FACL コマンドまたは不正フラッシュメモリアクセスを検出 1: フラッシュシーケンサは不正 FACL コマンドまたは不正フラッシュメモリアクセスを検出	R
15	FRDY	フラッシュレディフラグ 0: プログラム、ブロックイレース、マルチブロックイレース、P/E サスペンド、P/E レジューム、強制停止、ブランクチェック、コンフィグレーション設定コマンド処理が進行中 1: 上記のいずれの処理も進行中ではない	R
19:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	OTERR	その他のエラー 0: ステータスクリアまたは強制停止コマンド処理が完了 1: エラー発生	R

ビット	シンボル	機能	R/W
21	SECERR	セキュリティエラー 0: ステータスクリアまたは強制停止コマンド処理が完了 1: エラー発生	R
22	FESETERR	FENTRY 設定エラー 0: ステータスクリアまたは強制停止コマンド処理が完了 1: エラー発生	R
23	ILGCOMERR	不正コマンドエラー 0: ステータスクリアまたは強制停止コマンド処理が完了 1: エラー発生	R
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

FSTATR レジスタは、フラッシュシーケンサのステータスを表示するレジスタです。

FLWEERR フラグ（フラッシュ書き込み/イレース保護エラーフラグ）

FLWEERR フラグは、FWEPROR レジスタのフラッシュメモリ上書き保護設定に対する違反を表示します。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- エラーが発生したとき

[0 になる条件]

- フラッシュシーケンサが強制停止コマンドの処理を開始したとき

PRGSPD フラグ（書き込みサスペンドステータスフラグ）

PRGSPD フラグは、フラッシュシーケンサが書き込みサスペンド処理中状態または書き込みサスペンド状態であることを示します。

[1 になる条件]

- フラッシュシーケンサが書き込みサスペンドコマンドの処理を開始したとき

[0 になる条件]

- （FACI コマンド発行領域への書き込み完了後）フラッシュシーケンサが P/E レジュームコマンドを受信したとき
- フラッシュシーケンサが強制停止コマンドの処理を開始したとき

ERSSPD フラグ（消去サスペンドステータスフラグ）

ERSSPD フラグは、フラッシュシーケンサが消去サスペンド処理中状態または消去サスペンド状態であることを示します。

[1 になる条件]

- フラッシュシーケンサが消去サスペンドコマンドの処理を開始したとき

[0 になる条件]

- （FACI コマンド発行領域への書き込み完了後）フラッシュシーケンサが P/E レジュームコマンドを受信したとき
- フラッシュシーケンサが強制停止コマンドの処理を開始したとき

DBFULL フラグ（データバッファフルフラグ）

DBFULL フラグは、プログラムコマンド発行後のデータバッファの状態を示します。フラッシュシーケンサは、書き込みデータのバッファ（データバッファ）を内蔵しています。データバッファがフルのときフラッシュメモリへの書き込みデータが FACI コマンド発行領域に書かれると、フラッシュシーケンサは周辺バスにウェイトを 1 サイクル挿入します。

[1 になる条件]

- プログラムコマンド発行時データバッファがフルになったとき

[0 になる条件]

- データバッファがエンプティになったとき

SUSRDY フラグ (サスペンドレディフラグ)

SUSRDY フラグは、フラッシュシーケンサが P/E サスペンドコマンドを受信可能かどうかを示します。

[1 になる条件]

- プログラム/イレース処理開始後フラッシュシーケンサが P/E サスペンドコマンド受信可能状態になったとき

[0 になる条件]

- (FACI コマンド発行領域への書き込み完了後) フラッシュシーケンサが P/E サスペンドコマンドまたは強制停止コマンドを受信したとき
- 書き込みまたは消去中にフラッシュシーケンサがコマンドロック状態になったとき
- 書き込みまたは消去が完了したとき

PRGERR フラグ (書き換えエラーフラグ)

PRGERR フラグは、フラッシュメモリの書き込みの結果を示します。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- 書き込み中にエラーが発生したとき

[0 になる条件]

- フラッシュシーケンサがステータスクリアコマンドまたは強制停止コマンドの処理を開始したとき

ERSERR フラグ (消去エラーフラグ)

ERSERR フラグは、フラッシュメモリの消去の結果を示します。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- 消去中にエラーが発生したとき

[0 になる条件]

- フラッシュシーケンサがステータスクリアコマンドまたは強制停止コマンドの処理を開始したとき

ILGLERR フラグ (不正コマンドエラーフラグ)

ILGLERR フラグは、フラッシュシーケンサが不正 FACI コマンドまたは不正フラッシュメモリアccessを検出したことを示します。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- 「[39.11.2. エラープロテクション](#)」を参照してください。

[0 になる条件]

- フラッシュシーケンサがステータスクリアコマンドまたは強制停止コマンドの処理を開始したとき

FRDY フラグ (フラッシュレディフラグ)

FRDY フラグは、フラッシュシーケンサのコマンド処理状態を示します。

[1 になる条件]

- フラッシュシーケンサがコマンド処理を完了したとき
- フラッシュシーケンサが P/E サスペンドコマンドを受信し、フラッシュメモリの書き込み処理を中断したとき
- フラッシュシーケンサが強制停止コマンドを受信し、コマンド処理を終了したとき

注. プログラムコマンド処理の場合、フラッシュシーケンサがコマンド処理を完了していない状態であっても FRDY フラグが1になることがあります。詳細は、「[39.9.3.8. プログラムコマンド](#)」を参照してください。

[0 になる条件]

- フラッシュシーケンサが FACI コマンドを受信したとき
- プログラムおよびコンフィグレーション設定コマンドの場合、FACI コマンド発行領域への最初の書き込みのとき
- その他のコマンドの場合、FACI コマンド発行領域への最後の書き込みのとき

OTERR フラグ（その他のエラー）

[表 39.22](#) を参照してください。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- エラーが発生したとき

[0 になる条件]

- ステータスクリアまたは強制停止コマンド処理が完了したとき

SECERR フラグ（セキュリティエラー）

[表 39.22](#) を参照してください。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- エラーが発生したとき

[0 になる条件]

- ステータスクリアまたは強制停止コマンド処理が完了したとき

FESETERR フラグ（FENTRY 設定エラー）

[表 39.22](#) を参照してください。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- エラーが発生したとき

[0 になる条件]

- ステータスクリアまたは強制停止コマンド処理が完了したとき

ILGCOMERR フラグ（不正コマンドエラー）

[表 39.22](#) を参照してください。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- エラーが発生したとき

[0 になる条件]

- ステータスクリアまたは強制停止コマンド処理が完了したとき

39.4.16 FENTRYR : フラッシュ P/E モードエントリレジスタ

Base address: FACL = 0x407F_E000

Offset address: 0x84

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								FENT RYD	—	—	—	—	—	—	FENT RYC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FENTRYC	コードフラッシュ P/E モードエントリ 0: コードフラッシュは読み出しモード 1: コードフラッシュは P/E モード	R/W(注1) (注2)
6:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	FENTRYD	データフラッシュ P/E モードエントリ 0: データフラッシュは読み出しモード 1: データフラッシュは P/E モード	R/W(注1) (注2)
15:8	KEY[7:0]	キーコード	W(注3)

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. これらのビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 の場合にこれらのビットに書き込んでも無視されます。

注 2. これらのビットへの書き込みは、16 ビットが書き込まれ、KEY[7:0] ビットに書き込まれた値が 0xAA の場合のみ可能です。

注 3. 書き込まれた値はビットにより保持されません（常に 0x00 が読み出されます）。

FENTRYR レジスタは、コードフラッシュ P/E モードまたはデータフラッシュ P/E モードを指定するのに使用されます。コードフラッシュ P/E モードまたはデータフラッシュ P/E モードを指定しフラッシュシーケンサが FACL コマンドを受信できるようにするには、FENTRYD ビットまたは FENTRYC ビットを 1 にし、フラッシュシーケンサを P/E モードにします。

FENTRYR レジスタは、FSUINITR.SUINIT ビットが 1 になると初期化されます。リセットによっても初期化されます。

注. 本レジスタに値 0xAA81 を書き込むと、FSTATR レジスタの ILGLERR ビットが 1 になり、その結果、フラッシュシーケンサがコマンドロック状態になります。

FENTRYC ビット（コードフラッシュ P/E モードエントリ）

FENTRYC ビットは、コードフラッシュメモリに対して P/E モードを指定します。

[1 になる条件]

- FENTRYR レジスタへの書き込みが許可され、かつ FENTRYR レジスタが 0x0000 の場合に、FENTRYC ビットに 1 を書いたとき

[0 になる条件]

- FRDY ビットが 1 の場合に、FENTRYR レジスタに 8 ビットを書いたとき
- KEY[7:0] ビットに 0xAA 以外の値が指定され、かつ FRDY ビットが 1 の場合に、FENTRYR レジスタに 16 ビットの書き込みをしたとき
- FENTRYR レジスタへの書き込みが許可されている場合に、FENTRYC ビットに 0 を書いたとき
- 書き込みが許可されており、かつ値が 0x0000 以外の場合に、FENTRYR レジスタに書いたとき
- FMEPROT レジスタの保護が有効であるとき

FENTRYD ビット（データフラッシュ P/E モードエントリ）

FENTRYD ビットは、データフラッシュメモリに対して P/E モードを指定します。

[1 になる条件]

- FENTRYR レジスタへの書き込みが許可され、かつ FENTRYR が 0x0000 の場合に、FENTRYD ビットに 1 を書いたとき

[0 になる条件]

- FRDY ビットが 1 の場合に、FENTRYR レジスタに 8 ビットを書いたとき
- KEY[7:0] ビットに 0xAA 以外の値が指定され、かつ FRDY ビットが 1 の場合に、FENTRYR レジスタに 16 ビットの書き込みをしたとき
- FENTRYR レジスタへの書き込みが許可されている場合に、FENTRYD ビットに 0 を書いたとき
- 書き込みが許可されており、かつ値が 0x0000 以外の場合に、FENTRYR レジスタに書いたとき

KEY[7:0] ビット (キーコード)

KEY[7:0] ビットは、FENTRYD ビットまたは FENTRYC ビットへの書き込み許可を制御します。

39.4.17 FSUINITR: フラッシュシーケンサセットアップ初期化レジスタ

Base address: FACL = 0x407F_E000

Offset address: 0x8C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	SUINIT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SUINIT	セットアップ初期化 0: FSADDR、FEADDR、FBPROT0、FBPROT1、FENTRYR、および FBCCNT の各フラッシュシーケンサセットアップレジスタは、現在の値を維持 1: FSADDR、FEADDR、FBPROT0、FBPROT1、FENTRYR、および FBCCNT の各フラッシュシーケンサセットアップレジスタは、初期化される	R/W(注1) (注2)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード	W(注3)

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. 本ビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 の場合に本ビットに書き込んでも無視されます。

注 2. これらのビットへの書き込みは、16 ビットが書き込まれ、KEY[7:0] ビットに書き込まれた値が 0x2D の場合のみ可能です。

注 3. 書き込まれた値はビットにより保持されません (常に 0x00 が読み出されます)。

FSUINITR レジスタは、フラッシュシーケンサセットアップの初期化に使用されます。

SUINIT ビット (セットアップ初期化)

SUINIT ビットは、以下のフラッシュシーケンサセットアップレジスタを初期化します。

- FSADDR
- FEADDR
- FBPROT0
- FBPROT1
- FENTRYR
- FBCCNT

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、SUINIT ビットへの書き込み許可を制御します。

39.4.18 FCMDR : FACL コマンドレジスタ

Base address: FACL = 0x407F_E000

Offset address: 0xA0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMDR[7:0]								PCMDR[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	PCMDR[7:0]	プリコマンドフラグ 最後のコマンドの直前のコマンドが格納されます。	R
15:8	CMDR[7:0]	コマンドフラグ 最後のコマンドが格納されます。	R

FCMDR レジスタは、フラッシュシーケンサが受け取った一番最近の 2 つのコマンドを記録します。

PCMDR[7:0]ビット（プリコマンドフラグ）

PCMDR[7:0]ビットは、フラッシュシーケンサが一番最近受け取ったコマンドの直前に受け取ったコマンドを示します。

CMDR[7:0]ビット（コマンドフラグ）

CMDR[7:0]ビットは、フラッシュシーケンサが一番最近受け取ったコマンドを示します。

表 39.6 コマンド受信後の FCMDR レジスタの状態

コマンド	CMDR	PCMDR
プログラム	0xE8	前回コマンド
ブロックイレース	0xD0	0x20
チップイレース	0xD0	0x2F
ステータスクリア	0x50	前回コマンド
強制停止	0xB3	前回コマンド
ブランクチェック	0xD0	0x71
コンフィグレーション設定	0x40	前回コマンド

39.4.19 FBCCNT : ブランクチェックコントロールレジスタ

Base address: FACL = 0x407F_E000

Offset address: 0xD0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	BCDIR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BCDIR	ブランクチェックの方向 0: ブランクチェックは下位アドレスから上位アドレス（インクリメンタルモード）方向に行う 1: ブランクチェックは上位アドレスから下位アドレス（デクリメンタルモード）方向に行う	R/W

ビット	シンボル	機能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注: セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

FBCCNT レジスタは、ブランクチェックコマンド処理におけるアドレッシングモードを指定します。FBCCNT レジスタは、FSUINITR.SUINIT ビットが 1 になると初期化されます。リセットによっても初期化されます。

BCDIR ビット (ブランクチェックの方向)

BCDIR ビットは、ブランクチェックのアドレッシングモードを指定します。

39.4.20 FBCSTAT : ブランクチェックステータスレジスタ

Base address: FACL = 0x407F_E000

Offset address: 0xD4

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	BCST
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BCST	ブランクチェックステータスフラグ 0: ブランクチェックに合格。対象領域は未プログラム状態 (すなわち、領域はイレース後にプログラミングしていない) 1: ブランクチェックに不合格。対象領域にはプログラムが書き込まれています。	R
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

FBCSTAT レジスタは、ブランクチェックコマンドによるチェックの結果を格納します。

BCST フラグ (ブランクチェックステータスフラグ)

BCST フラグは、ブランクチェックコマンドによるチェックの結果を示します。

39.4.21 FBCADDR : フラッシュブランクチェックアドレスレジスタ

Base address: FACL = 0x407F_E000

Offset address: 0xD8

Bit position:	31	0
Bit field:	— — — — — — — —	BCADR[23:0]
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
23:0	BCADR[23:0]	ブランクチェックアドレス 最初の不合格アドレスまたは最後のブランク確認アドレス。	R
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

FBCADDR レジスタは、ブランクチェックコマンドの処理中に見つかった最初の不合格アドレス (書き込み済み領域の開始アドレス) または最後のブランク確認アドレスを示します。

BCADR[23:0] ビット (ブランクチェックアドレス)

BCADR[23:0] ビットは、コードフラッシュメモリとデータフラッシュメモリの開始アドレスからのオフセットを示します。FBCSTAT レジスタの BCST ビットが 1 のとき、ブランクチェックコマンドの最初の不合格アドレス

が設定されます。ブランクチェックコマンドが強制停止コマンドによって中断された後、および BCSTAT レジスタの BCST ビットが 0 のとき、ブランクチェックコマンドが中断したアドレスが設定されます。それ以外の場合、前回のチェックが行われたアドレスが BCADR[23:0] ビットに保持されます。データフラッシュメモリに対するブランクチェックに合格したとき、または強制停止コマンドによってブランクチェックコマンドが中断したとき、ビット[23:17]には 0 が設定されます。

39.4.22 FSUASMON : フラッシュスタートアップ領域選択モニタレジスタ

Base address: FACL = 0x407F_E000

Offset address: 0xDC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	BTFLG	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0/1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FSPR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0/1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
14:0	—	読むと 0 が読めます。書く場合、0 としてください。	R
15	FSPR	ブートフラグ、スタートアップ領域制御、およびチップイレース設定用保護書き込みフラグ 0: 保護状態 1: 非保護状態	R
30:16	—	読むと 0 が読めます。書く場合、0 としてください。	R
31	BTFLG	ブートスワップ用のスタートアップ領域選択フラグ 0: スタートアップ領域は代替ブロック（ブロック 1） 1: スタートアップ領域はデフォルトブロック（ブロック 0）	R

FSPR ビット（ブートフラグ、スタートアップ領域制御、およびチップイレース設定用保護書き込みフラグ）

FSPR ビットは、BTFLG ビットおよび FSUACR レジスタについてコンフィグレーション設定コマンドからの保護状態を示します。また、このビットはチップイレースコマンドの実行からの保護状態も示します。

リセットまたはコンフィグレーション設定コマンドに応じて、FACL はデータをフラッシュメモリから本レジスタに転送します。

BTFLG ビット（ブートスワップ用のスタートアップ領域選択フラグ）

BTFLG ビットは、スタートアップ領域のアドレスがブートスワップ機能用に入れ替えられているか否かを示します。

リセットまたはコンフィグレーション設定コマンドに応じて、FACL はデータをフラッシュメモリから本レジスタに転送します。

39.4.23 FPCKAR : フラッシュシーケンサ処理クロック通知レジスタ

Base address: FACL = 0x407F_E000

Offset address: 0xE4

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								PCKA[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	0

ビット	シンボル	機能	R/W
7:0	PCKA[7:0]	フラッシュシーケンサ動作クロック通知 これらのビットは、FACI コマンド処理中のフラッシュシーケンサの動作周波数を設定するのに使用されます。	R/W(注1) (注2)
15:8	KEY[7:0]	キーコード	W(注3)

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. 本ビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 の場合に本ビットに書き込んでも無視されます。

注 2. これらのビットへの書き込みは、16 ビットが書き込まれ、KEY[7:0] ビットに書き込まれた値が 0x1E の場合のみ可能です。

注 3. 書き込まれた値はビットにより保持されません（常に 0x00 が読み出されます）。

FPCAR レジスタは、FACI コマンド処理中のフラッシュシーケンサの動作周波数を指定します。該当製品の最大動作周波数が初期値として設定されています。

PCKA[7:0]ビット（フラッシュシーケンサ動作クロック通知）

PCKA[7:0]ビットは、FACI コマンド処理中のフラッシュシーケンサの動作周波数を指定します。FACI コマンド発行前にこれらのビットに任意の周波数を設定してください。MHz 単位の周波数を 2 進数に変換後これらのビットに設定します。

例：

周波数が 35.9 MHz (PCKA = 0x24) の場合です。

35.9 MHz の小数第 1 位を自然数 (= 36) に丸め、2 進数に変換します。

これらのビットに設定された値がフラッシュシーケンサの実際の動作周波数より小さい場合、フラッシュメモリのプログラミング／イレース特性は保証されません。これらのビットに設定された値がフラッシュシーケンサの実際の動作周波数より大きい場合、フラッシュメモリのプログラミング／イレース特性は保証されますが、プログラミング／イレースにかかる時間のような FACI コマンド処理時間は増加します。フラッシュシーケンサの動作周波数が PCKA 値と同じとき FACI コマンド処理時間が最小となります。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PCKA ビットへの書き込み許可を制御します。

39.4.24 FSUACR：フラッシュスタートアップ領域コントロールレジスタ

Base address: FACI = 0x407F_E000

Offset address: 0xE8

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	SAS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	SAS[1:0]	スタートアップ領域選択 0 0: スタートアップ領域は BTFLG ビットにより選択 0 1: スタートアップ領域は BTFLG ビットにより選択 1 0: スタートアップ領域はデフォルト領域（ブロック 0～3）に一時的に切り替え 1 1: スタートアップ領域は代替領域（ブロック 4～7）に一時的に切り替え	R/W(注1) (注3)
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード	W(注2)

注 1. これらのビットの書き込み条件を下記に示します（これらの条件は同時に満たす必要があります）。

- 本レジスタへのアクセスサイズが 16 ビットである
- KEY[7:0]ビットの値が 0x66 である
- FSPR ビットが 1 である

注 2. 書き込まれた値はビットにより保持されません（常に 0x00 が読み出されます）。

注 3. セキュアアクセスのみ本レジスタへ書き込み可能です。セキュアアクセス、非セキュアアクセスともに読み出しが許可されます。非セキュアライトアクセスは拒否されますが、TrustZone アクセスエラーは発生しません。

FSUACR レジスタは、ブートスワップ機能のスタートアップ領域を設定します。デュアルモード (DUALSEL.BANKMD[2:0]ビットが 000b) では本レジスタを使用しないでください。デュアルモードでは起動はスタートアップ領域 0 から開始します。

SAS[1:0]ビット (スタートアップ領域選択)

SAS[1:0]ビットは、スタートアップ領域を選択します。スタートアップ領域変更方法は 3 つあります。

KEY[7:0]ビット (キーコード)

KEY[7:0]ビットは、SAS[1:0]ビットへの書き込み許可を制御します。

39.5 プリフェッチバッファ

プリフェッチバッファは、コードフラッシュメモリに対するバスマスタからの読み出しアクセス (CPU 命令フェッチ、DMA コントローラ (DMAC)、データトランスファコントローラ (DTC)) を高速化します。DMAC と DTC において、転送元アドレス更新モードがインクリメント (DMACn.DMAMD.SM [1:0] = 10b, DTC.MRA.SM [1:0] = 10b) に設定されている場合にのみ読み出しアクセス速度を高速化します。

プリフェッチバッファを有効にするには、PFBER.PFBE ビットを 1 にします。

39.6 フラッシュメモリ関連の動作モード

図 39.5 にフラッシュメモリに関するモード遷移を示します。モード設定の方法については「6. オプション設定メモリ」を参照してください。

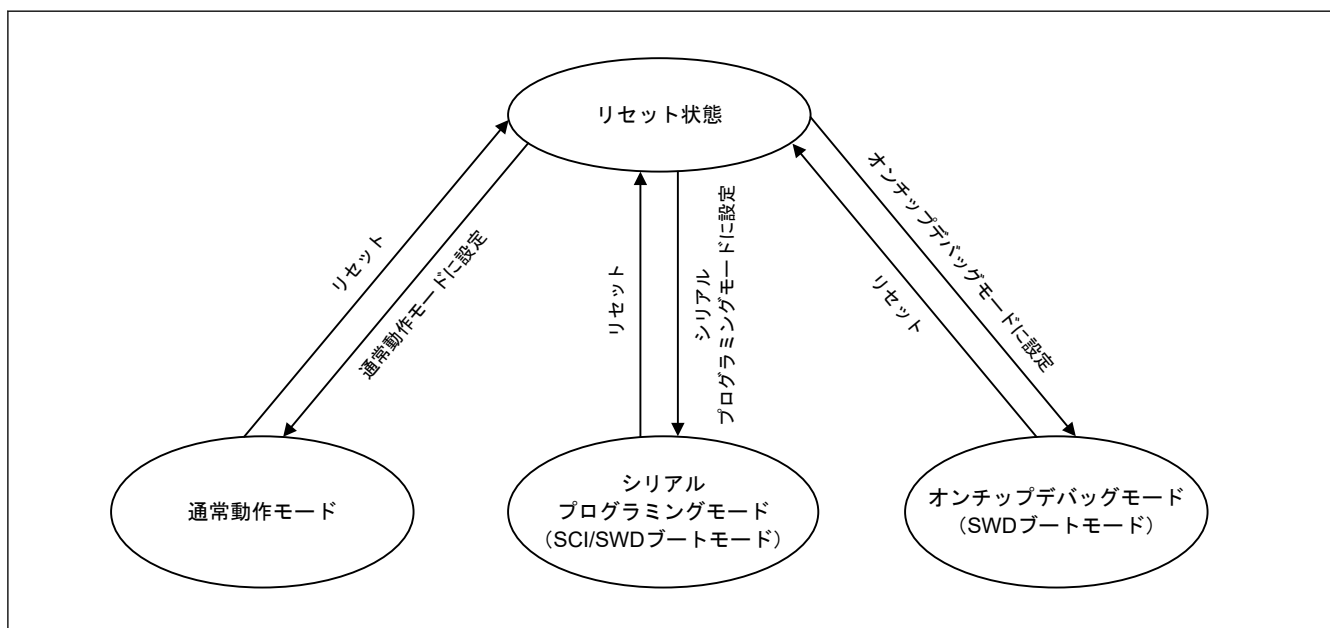


図 39.5 フラッシュメモリに関するモード遷移図

各モードでプログラム/イレースが可能なフラッシュメモリの領域、およびリセット後のブートプログラムは異なります。各モードの相違点を表 39.7 にまとめます。

表 39.7 各モードの相違点 (1/2)

項目	通常動作モード	シリアルプログラミングモード (SCI/SWD ブートモード)	オンチップデバッグモード (SWD ブートモード)
プログラム/イレースが可能な領域	- コードフラッシュメモリ - データフラッシュメモリ - オプション設定メモリ (書き込みのみ)	- コードフラッシュメモリ - データフラッシュメモリ - オプション設定メモリ (書き込みのみ)	- コードフラッシュメモリ - データフラッシュメモリ - オプション設定メモリ (書き込みのみ)

表 39.7 各モードの相違点 (2/2)

項目	通常動作モード	シリアルプログラミングモード (SCI/SWD ブートモード)	オンチップデバッグモード (SWD ブートモード)
ブロック単位イレース	可能	可能	可能
リセット時のブートプログラム	ユーザー領域のプログラム	シリアルプログラミング用組み込みプログラム	デバッグコマンドに依存

39.7 機能概要

シリアルインタフェース経由（シリアルプログラミングモード）、または SWD インタフェース経由（オンチップデバッグモード）で、専用フラッシュメモリプログラマを使用してフラッシュメモリを書き換えることにより、ターゲットシステムへの実装前／実装後にかかわらずデバイスの書き換えが可能です。

また、フラッシュメモリに書かれたユーザープログラムの書き換えまたは読み出しを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざんや不正リードの防止などに対応可能となっています。

ユーザープログラムによる書き換え（セルフプログラミング）は、ターゲットシステムの製造／出荷後のプログラム変更を想定したアプリケーションに適した書き換え方式です。フラッシュメモリを安全に書き換えるためのプロテクション機能もサポートしています。また、セルフプログラミング中の割り込み処理のサポートにより、外部との通信制御に関する割り込み処理を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。各プログラミング方式の概要と対応する動作モードを表 39.8 に示します。

表 39.8 プログラミング方式

プログラミング方式	機能概要	動作モード
シリアルプログラミング	SCI/SWD インタフェース経由で接続されている専用フラッシュメモリプログラマを用いて、ターゲットシステムへの実装後もフラッシュメモリのオンボード書き換えが可能です。 SCI/SWD インタフェース経由で接続されている専用フラッシュメモリプログラマ、および専用プログラミングアダプタボードを用いて、たとえばデバイスのプログラミングなど、ターゲットシステム実装前にフラッシュメモリのオフボード書き換えが可能です。	シリアルプログラミングモード
セルフプログラミング	シリアルプログラミング実行前にメモリに書き込まれたユーザープログラムによっても、フラッシュメモリの書き換えが可能です。データフラッシュメモリの書き換え時には、バックグラウンドオペレーション機能によりコードフラッシュメモリからの命令フェッチまたはデータの読み出しが可能です。そのため、コードフラッシュメモリ上のプログラムを実行してデータフラッシュメモリを書き換えることができます。 バックグラウンドオペレーションを利用できない場合は、セルフプログラミングによるコードフラッシュメモリの書き換え中には、コードフラッシュメモリからの命令フェッチおよびデータアクセスはできません。そのような場合、内蔵 SRAM または外部メモリへの書き換え用のプログラムをあらかじめ転送して実行する必要があります。	通常動作モード
SWD プログラミング	SWD を経由した専用フラッシュメモリプログラマまたはオンチップデバッグを用いて、ターゲットシステムへの実装後もフラッシュメモリのオンボードプログラミングが可能です。 SWD を経由した専用フラッシュメモリプログラマまたはオンチップデバッグ、および専用プログラミングアダプタボードを用いて、たとえばデバイスのプログラミングなど、ターゲットシステム実装前にフラッシュメモリのオフボードプログラミングが可能です。	オンチップデバッグモード

フラッシュメモリの機能一覧を表 39.9 に示します。シリアルプログラミングにおける各機能は、シリアルプログラマのコマンドで実現されます。一方、セルフプログラミングにおける各機能は、FACI コマンドまたはユーザープログラムによるフラッシュメモリの読み出しで実現されます。

表 39.9 基本機能

機能	機能概要	サポートの有無	
		シリアルプログラミング	セルフプログラミング
ブランクチェック	指定したブロックがプログラムされていないことを確認します。イレース後にプログラムされていない状態のフラッシュメモリの読み出し結果は保証されません。イレース後にプログラムされていない状態を確認するには、ブランクチェックを使用してください。	なし	あり
ブロックイレース	指定したブロックのメモリ内容のイレースを行います。	あり	あり
プログラム	指定したアドレスのプログラムを行います。	あり	あり
CRC	フラッシュメモリの指定範囲の CRC を計算し、その結果をフラッシュプログラムに転送します。	あり	なし
読み出し	フラッシュメモリにプログラムしたデータの読み出しを行います。	あり	なし (ユーザープログラムにて読み出しは可能)
スタートアッププログラムプロテクション機能	スタートアッププログラムプロテクション機能を設定します。	あり	あり
オプション機能選択	オプション機能を選択し、本 MCU の初期設定を変更します。	あり	あり
デュアルバンク機能	モード間を切り替えます (リニアかデュアル)。	あり	あり
ブロックスワップ機能	ブロックスワップ機能の設定	あり	あり
ブロック保護	ブロック保護の設定	あり	あり
デバイスライフサイクルの遷移	デバイスライフサイクルを遷移させます。	あり	なし
メモリのセキュリティ属性	メモリセキュリティ属性の設定	あり	なし
キー	キーインジェクションを行う。	あり	あり (デバイスライフサイクル遷移に関係するキーを除く)
全消去	フラッシュメモリのデータを消去して出荷前の状態に戻す。	あり	なし

フラッシュメモリは、各種のセキュリティ機能をサポートしています。

フラッシュメモリでサポートされるセキュリティ機能を表 39.10 に示します。

表 39.10 セキュリティ機能一覧

機能	内容
スタートアップ領域選択のセキュリティフラグ	スタートアップ領域選択は、セキュリティフラグ (FSPR) の設定で保護できます。
永久ブロック保護	コードフラッシュメモリの各ブロックはプログラム／イレースから永久に保護できます。
TrustZone 保護	プログラム／イレース領域、読み出し可能領域、レジスタアクセス、および FACL コマンド動作は、ARM TrustZone セキュリティにより保護されます。
プログラム／イレースモード保護	セキュア開発者のみがコードフラッシュのプログラム／イレースモードに遷移できます。

39.8 フラッシュシーケンサの動作モード

フラッシュシーケンサには図 39.6 に示すように 4 つの動作モードがあります。DFLCTL レジスタまたは FENTRYR レジスタの値を変更するとモード遷移が発生します。

リセット発行後、フラッシュシーケンサはデータフラッシュアクセス禁止モードに入ります。このモードでは、データフラッシュメモリへのアクセスは禁止されています。DFLCTL レジスタの DFLEN ビットを 1 にすると、フラッシュシーケンサのモードは読み出しモードに遷移します。

FENTRYR レジスタの値が 0x0000 の場合、フラッシュシーケンサは読み出しモードです。このモードでは、FACL コマンドを受信しません。コードフラッシュメモリもデータフラッシュメモリも読み出し可能です。

FENTRYR レジスタの値が 0x0001 の場合、フラッシュシーケンサはコードフラッシュ P/E モードで、コードフラッシュメモリは FACL コマンドにより書き換えまたは消去が可能です。このモードでは、データフラッシュメモリは読み出し可能です。また、バックグラウンドオペレーション (BGO) が無効の場合コードフラッシュメモリは読み出しできません。BGO が有効の場合、FSTATR レジスタの FRDY ビットが 0 であるなら FSADDR レジスタで選択されていないコードフラッシュメモリは読み出し可能です。BGO を有効にする条件については、「[39.15.2. バックグラウンドオペレーション](#)」を参照してください。

FENTRYR レジスタの値が 0x0080 の場合、フラッシュシーケンサはデータフラッシュ P/E モードで、データフラッシュメモリは FACL コマンドにより書き換えまたは消去が可能です。このモードでは、データフラッシュメモリは読み出しできません。ただし、コードフラッシュメモリは読み出し可能です。

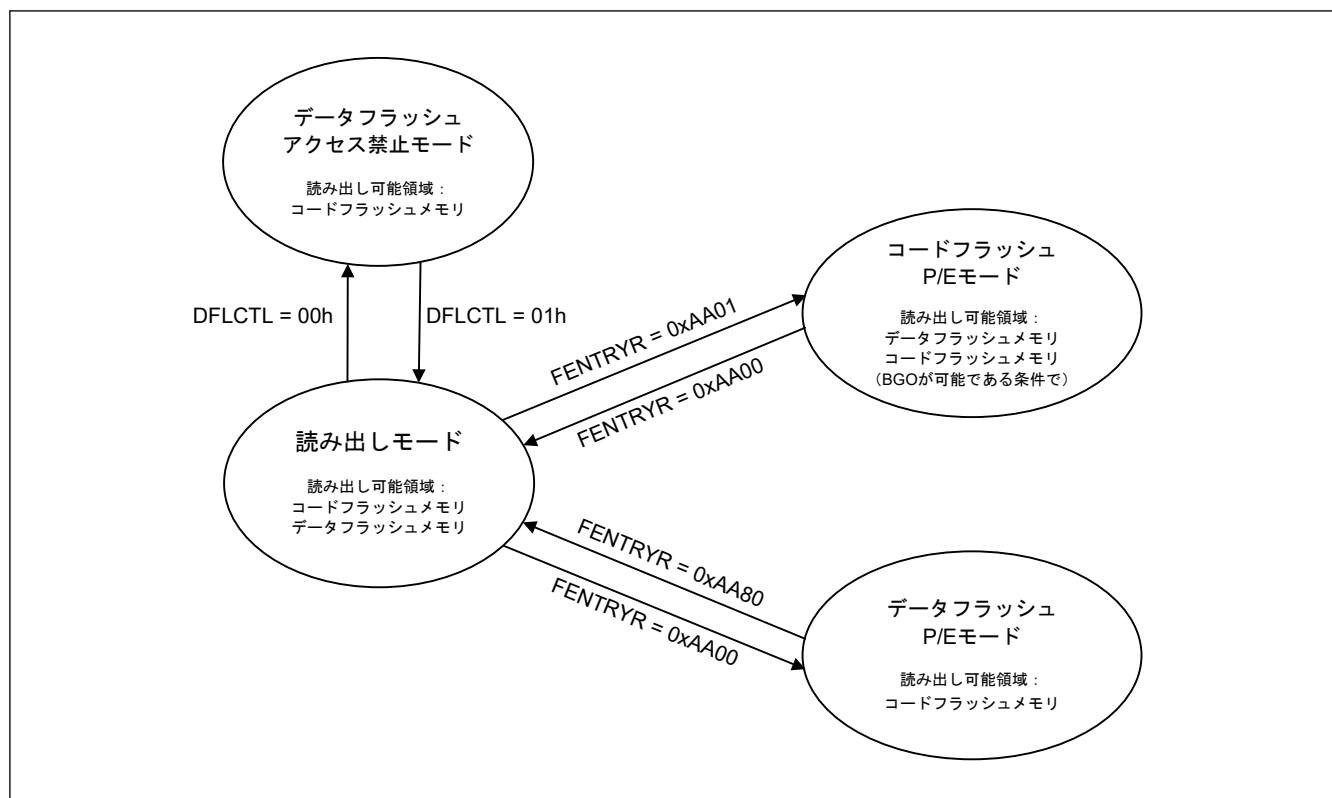


図 39.6 フラッシュシーケンサのモード

39.9 FACL コマンド

39.9.1 FACL コマンド一覧

FACL は設定された FACL コマンドに従って、FCU の制御を行います。

本項では FACL コマンドに関する情報を記述し、[表 39.11](#) に FACL コマンドの一覧を示します。

表 39.11 FACL コマンド (1/2)

FACL コマンド	機能
プログラム	ユーザー領域およびデータ領域を書き換えます。ユーザー領域の書き換えは 8 バイト単位で行われ、データ領域の書き換えは 1 バイト単位で行われます。
ブロックイレース	ユーザー領域およびデータ領域を消去します。ユーザー領域の消去は 2 KB 単位で行われ、データフラッシュの消去は 256 バイト単位で行われます。
チップイレース	ユーザー領域とデータ領域を消去できます。コードフラッシュとデータフラッシュのマクロ単位で消去が行われます。

表 39.11 FACI コマンド (2/2)

FACI コマンド	機能
ステータスクリア	FSTATR レジスタの ILGLERR、ERSERR、PRGERR、ILGCOMERR、FESETERR、SECERR、OTERR の各ビット、FASTAT レジスタの CMDLK、CFAE、DFAE の各ビット、およびコマンドロック状態から解除されたフラッシュシーケンサを初期化します。
強制停止	FACI コマンド処理を強制的に中止し、FSTATR レジスタと FASTAT レジスタを初期化します。
ブランクチェック	ユーザー領域またはデータ領域がブランクかどうかをチェックします。 ブランクチェックの単位：ユーザー領域に対しては、8 バイトからコードフラッシュマクロ容量まで。データ領域に対しては、1 バイトからデータフラッシュマクロ容量まで。
コンフィグレーション設定	セキュリティ機能とセーフティ機能を設定します。 設定単位：16 バイト

FACI コマンドは、FACI コマンド発行領域に書き込むことにより発行されます（表 39.4 参照）。表 39.12 に示すような書き込みが指定の状態で行進すると、フラッシュシーケンサは受信したコマンドに関連する処理を実行します（「39.9.2. フラッシュシーケンサの状態と FACI コマンドの関係」参照）。

表 39.12 FACI コマンドのフォーマット

FACI コマンド	書き込み回数	FACI コマンド発行領域へのデータ書き込み			
		最初のアクセス	2 番目のアクセス	3 番目～(N+2) 番目のアクセス	(N+3) 番目のアクセス
プログラム（ユーザー領域） N = 4	7	0xE8	0x04 (= N)	WD1～WD4	0xD0
プログラム（データ領域） N = 1	4	0xE8	0x01 (= N)	WD1	0xD0
ブロックイレース	2	0x20	0xD0	—	—
チップイレース	2	0x2F	0xD0	—	—
ステータスクリア	1	0x50	—	—	—
強制停止	1	0xB3	—	—	—
ブランクチェック	2	0x71	0xD0	—	—
コンフィグレーション設定 N = 8	11	0x40	0x08 (= N)	WD1～WD8	0xD0

注. WDN (N = 1, 2, ...) : 書き換え対象の N 番目の 16 ビットデータ

フラッシュシーケンサは、ステータスクリアコマンド以外のコマンド処理開始時 FSTATR.FRDY ビットを 0 にクリアし、完了時に 1 にします。

FRDYIE.FRDYIE ビット設定が 1 の場合、FSTATR.FRDY ビットが 1 になるとフラッシュレディ (FRDY) 割り込みが発生します。

39.9.2 フラッシュシーケンサの状態と FACI コマンドの関係

FACI コマンドは、フラッシュシーケンサのモード／状態に応じて受け付けられます。FACI コマンドの発行は、フラッシュシーケンサのコードフラッシュ P/E モードまたはデータフラッシュ P/E モードへの遷移後かつフラッシュシーケンサの状態確認後とします。

フラッシュシーケンサの状態を確認するには FSTATR レジスタおよび FASTAT レジスタを使用してください。さらに、一般的にエラー発生は、FASTAT レジスタの CMDLK ビットを読み出すことにより確認できます。CMDLK ビット値は、FSTATR レジスタの下記のビットの論理和です。

- ILGLERR
- ILGCOMERR
- FESETERR
- SECERR

- OTERR
- ERSERR
- PRGERR

表 39.13 に、各動作モードで使用可能な FACI コマンドを示します。

表 39.13 動作モードと使用可能な FACI コマンド

動作モード	FENTRYR	使用可能な FACI コマンド
読み出しモード	0x0000	なし
コードフラッシュ P/E モード	0x0001	プログラム ブロックイレース チップイレース ステータスクリア 強制停止 ブランクチェック コンフィグレーション設定
データフラッシュ P/E モード	0x0080	プログラム ブロックイレース チップイレース ステータスクリア 強制停止 ブランクチェック

表 39.14 に、フラッシュシーケンサの状態および受け付け可能な FACI コマンドを示します。コマンド実行前に適切なモードになっていることとします。

表 39.14 受け付け可能な FACI コマンドとフラッシュシーケンサの状態

	他のコマンド (強制停止を除く) の処理中	強制停止コマンドの処理中	コマンドロック状態 (FRDY = 1)	コマンドロック状態 (FRDY = 0)	他の状態 (ステータスクリアコマンドの処理中を含む)
FRDY ビット	0	0	1	0	1
CMDLK ビット	0	0	1	1	0
プログラム	X	X	X	X	O
ブロックイレース	X	X	X	X	O
チップイレース	X	X	X	X	O
ステータスクリア	X	X	O	X	O
強制停止	O	O	O	O	O
ブランクチェック	X	X	X	X	O
コンフィグレーション設定	X	X	X	X	O(注1)

注. O: 受け付け可能
X: 受け付け不可 (シーケンサはコマンドロック状態になります)
—: 無視

注 1. コードフラッシュ P/E モードでのみ受け付け可能

39.9.3 FACI コマンドの使用方法

39.9.3.1 コードフラッシュ P/E モードでのコマンド使用概要

コードフラッシュ P/E モードでの FACI コマンド使用概要を図 39.7 に示します。コードフラッシュ P/E モードで使用可能なコマンドについては、表 39.13 を参照してください。

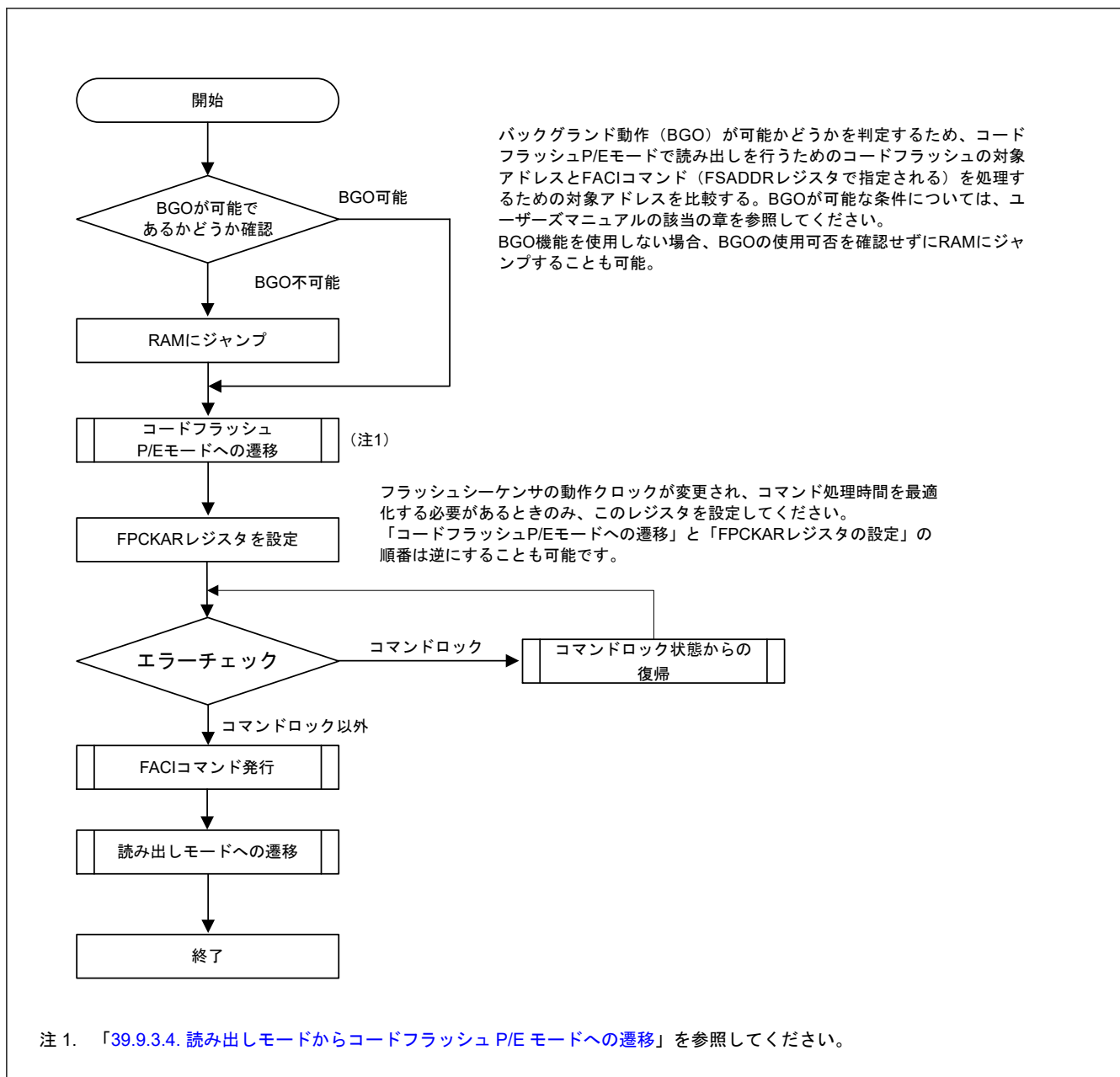


図 39.7 コードフラッシュ P/E モードでのコマンド使用概要

39.9.3.2 データフラッシュ P/E モードでのコマンド使用概要

データフラッシュ P/E モードでの FACI コマンド使用概要を図 39.8、データフラッシュ P/E モードで使用可能なコマンド一覧を表 39.13 に示します。

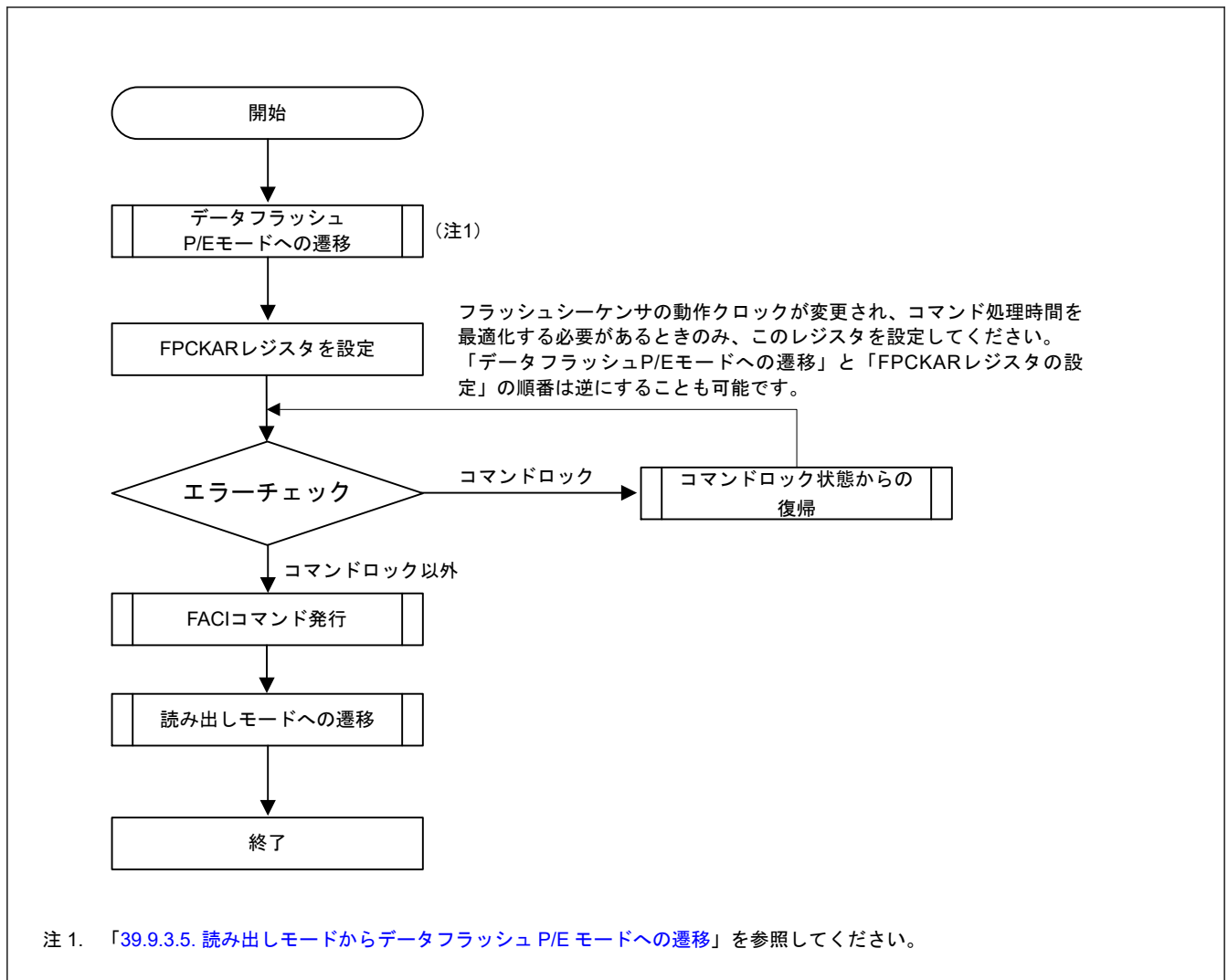
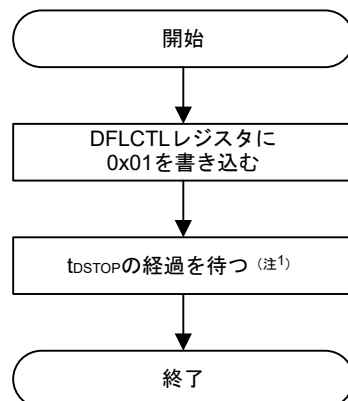


図 39.8 データフラッシュ P/E モードでのコマンド使用概要

39.9.3.3 データフラッシュアクセス禁止モードから読み出しモードへの遷移

データフラッシュメモリに対して読み出しを行う場合は、データフラッシュアクセス禁止モードから読み出しモードへ遷移する必要があります。コードフラッシュメモリまたはデータフラッシュメモリに対してプログラム／イレースを行う場合も同様です。読み出しモードへ遷移するには、DFLCTL レジスタの DFLEN ビットを 1 にします。図 39.9 にデータフラッシュアクセス禁止モードから読み出しモードへ遷移する手順を示します。



注 1. STOP 復帰時間（「43. 電気的特性」を参照）

図 39.9 データフラッシュアクセス禁止モードから読み出しモードへ遷移する手順

39.9.3.4 読み出しモードからコードフラッシュ P/E モードへの遷移

コードフラッシュメモリに FACL コマンドを発行するには、FENTRYR レジスタの FENTRYC ビットを 1 にすることによりコードフラッシュ P/E モードに遷移する必要があります。

図 39.10 に、コードフラッシュ P/E モードへの遷移手順を示します。

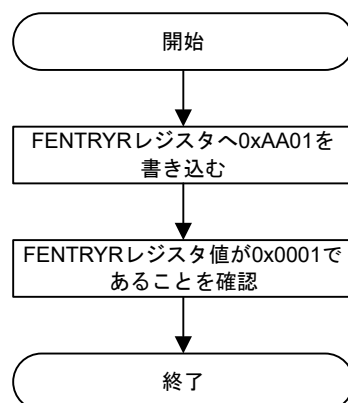


図 39.10 読み出しモードからコードフラッシュ P/E モードへの遷移手順

39.9.3.5 読み出しモードからデータフラッシュ P/E モードへの遷移

データフラッシュメモリに FACL コマンドを発行するには、FENTRYR レジスタの FENTRYD ビットを 1 にすることによりデータフラッシュ P/E モードに遷移する必要があります。

図 39.11 に、データフラッシュ P/E モードへの遷移手順を示します。

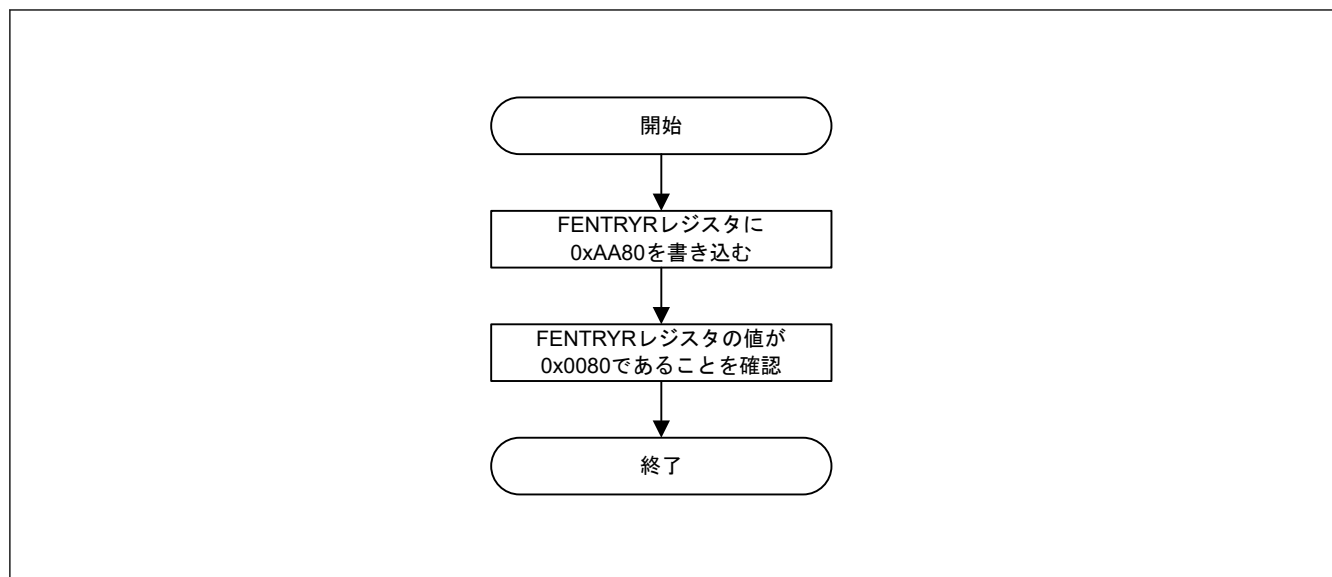


図 39.11 読み出しモードからデータフラッシュ P/E モードへの遷移手順

39.9.3.6 コードフラッシュ P/E モードまたはデータフラッシュ P/E モードから読み出しモードへの遷移

BGO 機能を使わずにフラッシュメモリを読み出すには、FENTRYR レジスタを 0x0000 に設定することにより読み出しモードに遷移する必要があります。読み出しモードへの遷移は、フラッシュシーケンサの処理完了後かつコマンドロック状態ではない動作状態で行う必要があります。

図 39.12 に、読み出しモードへの遷移手順を示します。

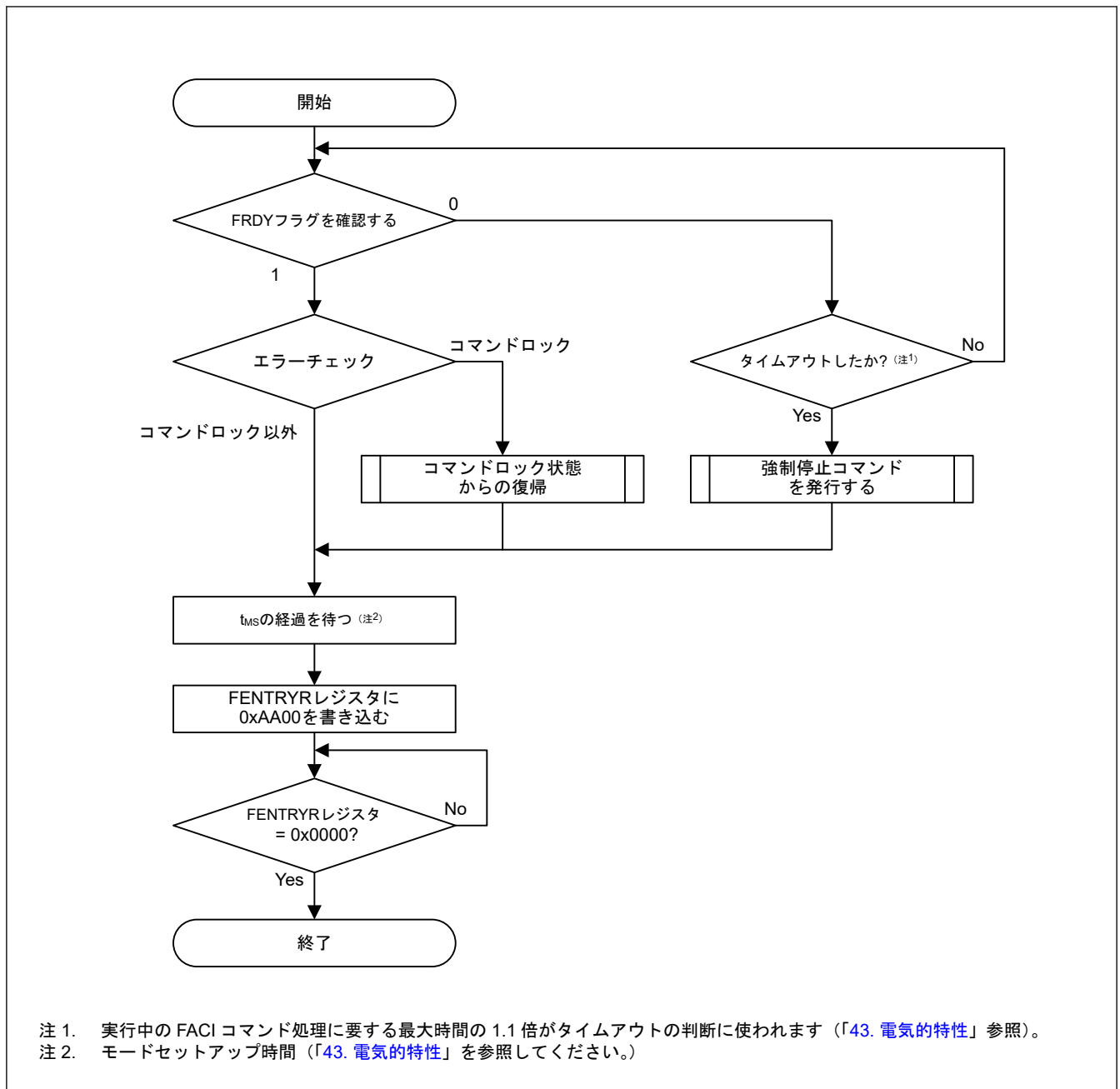


図 39.12 読み出しモードへの遷移手順

39.9.3.7 コマンドロック状態からの復帰

フラッシュシーケンサがコマンドロック状態になると、FACL コマンドは受け付けられなくなります。シーケンサのコマンドロック状態を解除するためには、ステータスクリアコマンドまたは強制停止コマンドを使用してください。

電氣的特性で規定された最大のプログラム/イレース時間を越えても処理が完了しない場合には、タイムアウトと見なすことができるので、強制停止コマンドでフラッシュシーケンサを停止する必要があります。

FSTATR レジスタの ILGLERR、ILGCOMERR、FESETERR、SECERR、OTERR、ERSERR、PRGERR の各ビットのいずれかが 1 のときに、1 を 0 に変更してコマンドロック状態を解除することができるのは、ステータスクリアコマンドまたは強制停止コマンドだけです。

図 39.13 に、コマンドロック状態からの復帰フローを示します。

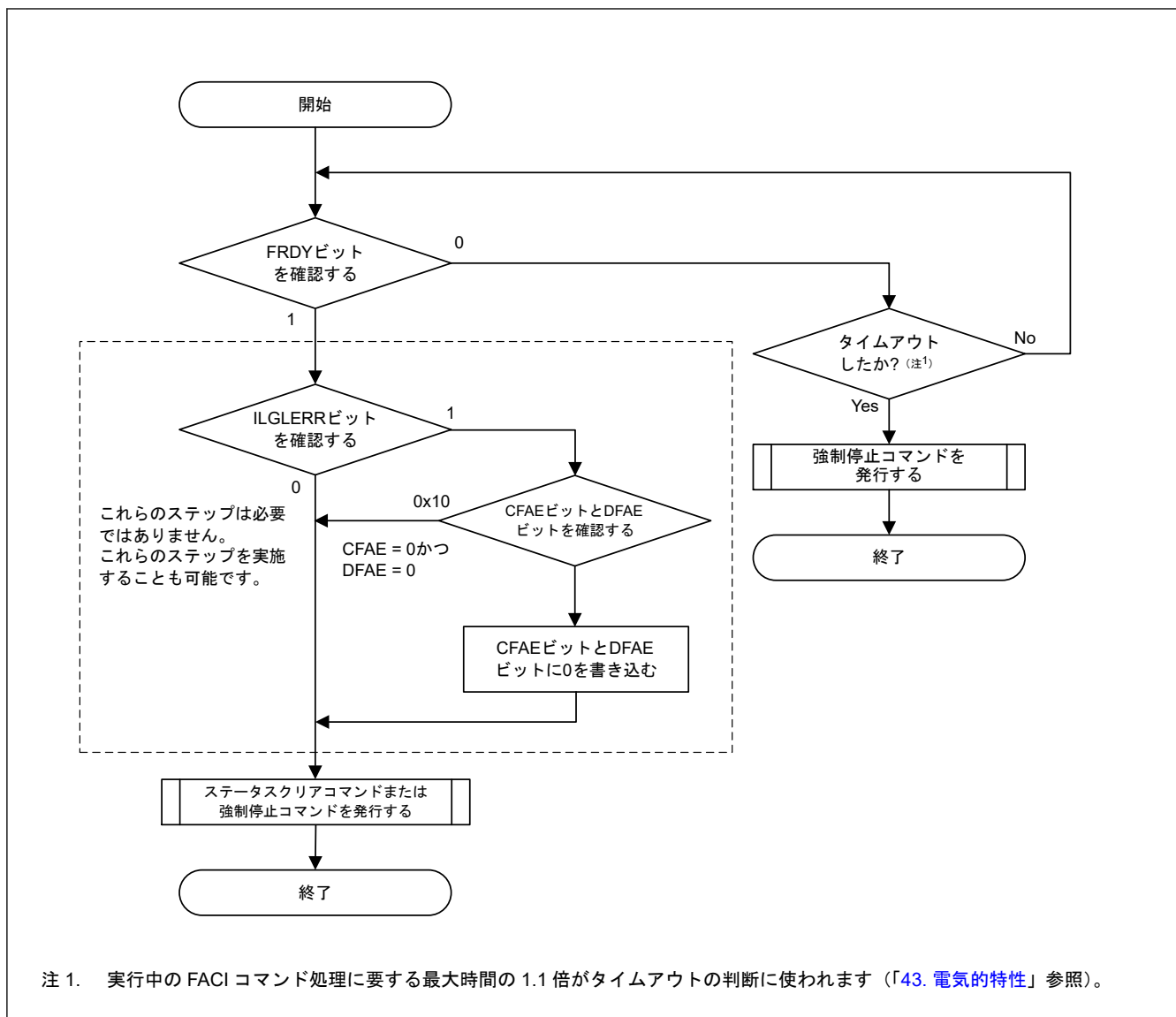


図 39.13 コマンドロック状態からの復帰フロー

39.9.3.8 プログラムコマンド

プログラムコマンドはユーザー領域およびデータ領域への書き込みに使用されます。FSCI プログラムコマンド発行前に、対象ブロックの最初のアドレスを FSADDR レジスタに設定してください。

プログラムデータの最後の 16 ビット (表 39.12 で、コードフラッシュの場合は WD64、データフラッシュの場合は WD2、WD4、または WD8) を FSCI コマンド発行領域に書き込むと、コマンドの最終値 0xD0 が書き込まれる前に、プログラム処理を開始します。そのため、プログラムデータの最後の 16 ビットを書いてから最後の FSCI コマンド値 0xD0 を書くまでに時間がかかると (例えば割り込み処理によって)、0xD0 がまだ書き込まれていなくてもプログラム処理が完了したときに FSTATR.FRDY ビットが 1 になります。この場合、プログラム処理が完了しても FSCI コマンド受信は完了していません。この状態で後続の FSCI コマンドが発行されると、不正コマンドエラーが発生します。不正コマンドエラーを避けるためには、プログラムコマンドが発行されている間 (0xE8 の書き込みから 0xD0 の書き込みまで)、FSCI コマンドを発行する処理を伴う割り込みを無効にしてください。

プログラムコマンド処理の対象領域に書き込み対象外の領域が含まれている場合は、該当領域に 0xFFFF を書き込んでください。FSCI 内部データバッファが満杯の状態ではプログラムコマンドが発行された場合、周辺バスで待ち時間が発生し、それにより他の周辺モジュールの通信性能に影響を与える可能性があります。待ち時間の発生を回避するためには、FSCI コマンド発行時に FSTATR レジスタの DBFULL ビットを 0 に設定してください。データ領域への書き込みによって、データバッファがフルになることはありません。

図 39.14 に、プログラムコマンドの使用方法を示します。

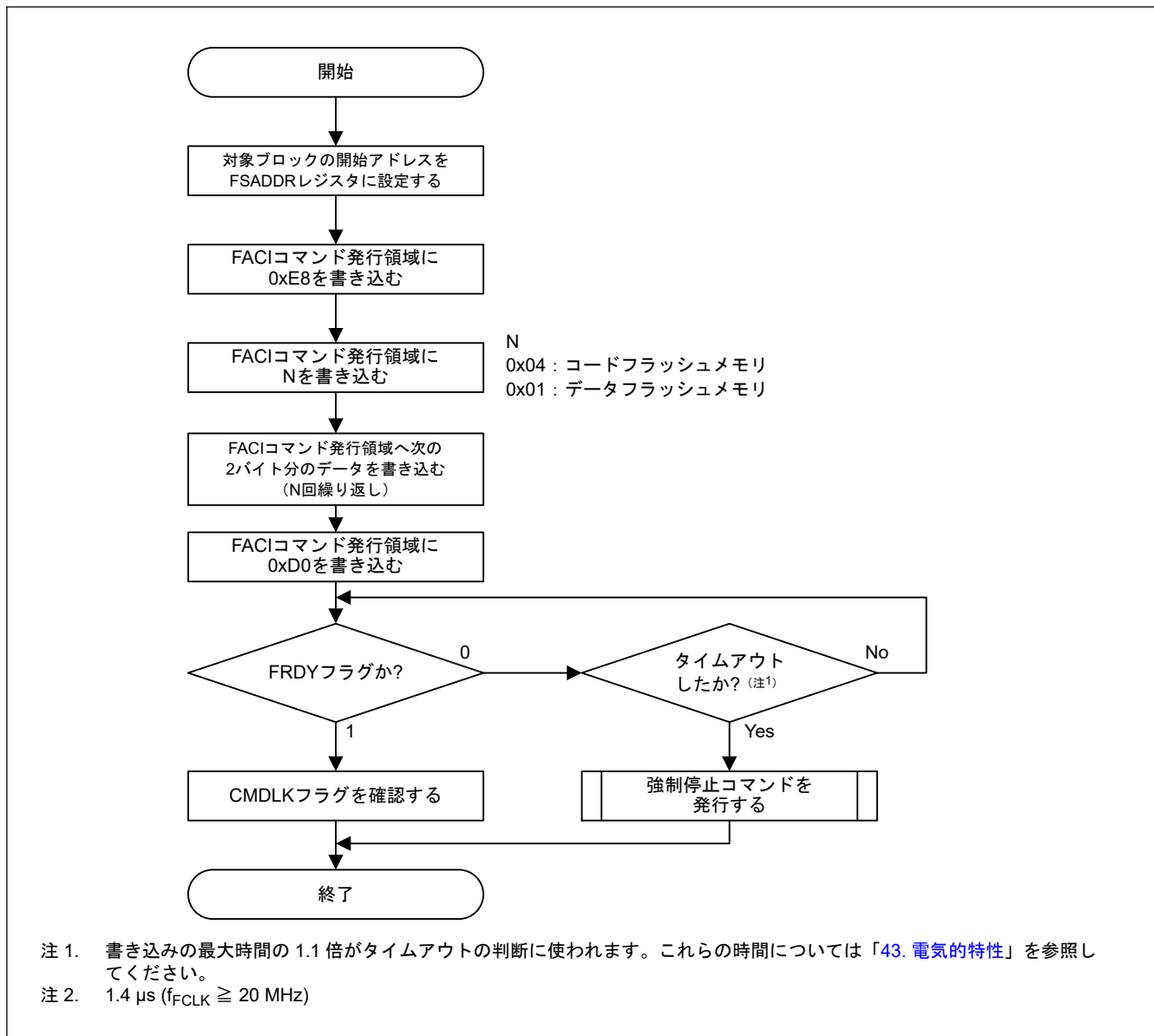
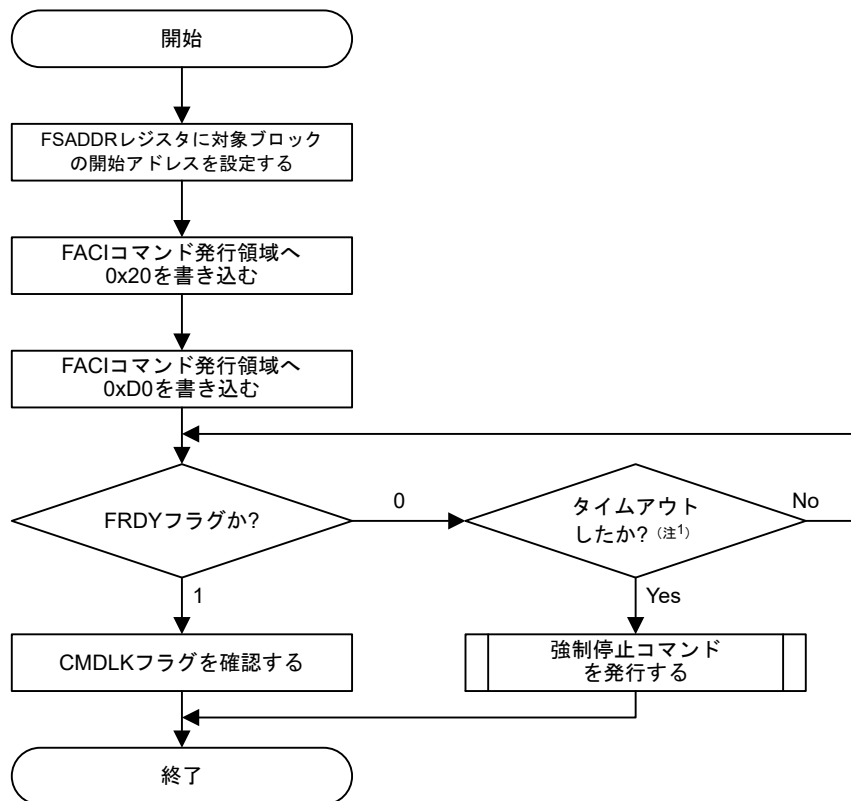


図 39.14 プログラムコマンドの使用フロー

39.9.3.9 ブロックイレースコマンド

ブロックイレースコマンドはユーザー領域またはデータ領域の消去に使用されます。消去はブロック単位です。ブロックイレースコマンド発行前に、対象ブロックの先頭アドレスを FSADDR レジスタに設定してください。FACI コマンドの 2 番目の書き込みで 0xD0 を書くと FACI はブロックイレースコマンド処理を開始します。コマンド処理完了は、FSTATR レジスタの FRDY ビットで確認できます。

図 39.15 に、ブロックイレースコマンドの使用方法を示します。



注 1. 消去の最大時間の 1.1 倍がタイムアウトの判断に使われます。
「43. 電氣的特性」を参照してください。

図 39.15 ブロックイレースコマンドの使用フロー

39.9.3.10 チップイレースコマンド

チップイレースコマンドはユーザー領域またはデータ領域の消去に使用されます。フラッシュメモリマクロ単位で消去されます。チップイレースコマンドを発行する前に、消去対象フラッシュメモリマクロの開始アドレスを FSADDR レジスタに、終了アドレスを FEADDR レジスタに設定してください。FACI コマンドの 2 番目の書き込みで 0xD0 を書き込むと、FACI はチップイレースコマンドの処理を開始します。コマンド処理完了は、FSTATR レジスタの FRDY ビットで確認できます。

図 39.16 に、チップイレースコマンドの使用方法を示します。

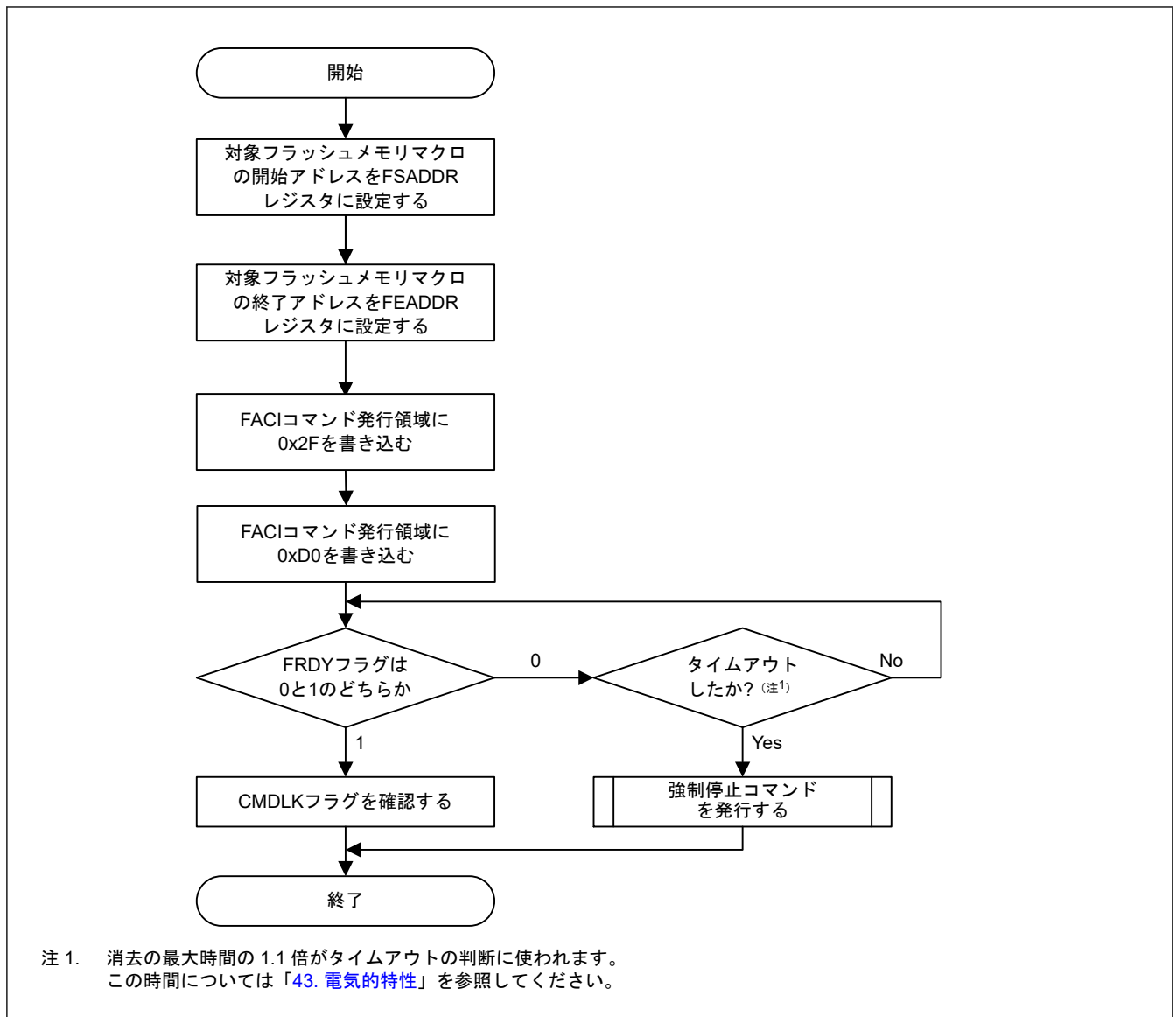


図 39.16 チップイレースコマンドの使用フロー

39.9.3.11 ステータスクリアコマンド

ステータスクリアコマンドは、コマンドロック状態をクリアするのに使用されます（「39.9.3.7. コマンドロック状態からの復帰」参照）。

コマンドロック状態のときステータスクリアコマンドを使って FSTATR レジスタの下記ビットをクリアできません。

- ILGLERR
- ILGCOMERR
- FESETERR
- SECERR
- OTERR
- ERSERR
- PRGERR

図 39.17 に、ステータスクリアコマンドの使用方法を示します。

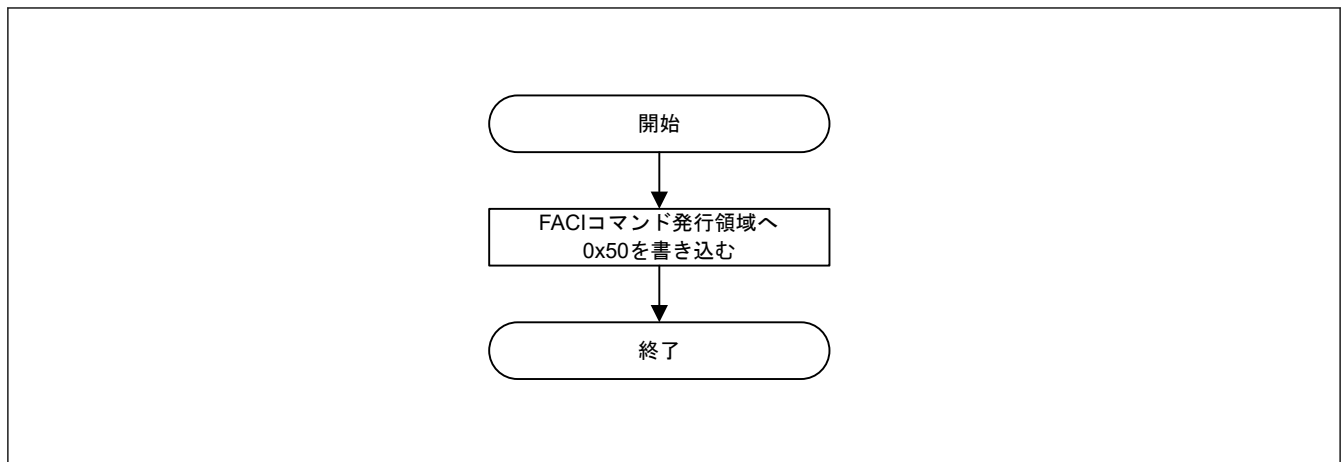


図 39.17 ステータスクリアコマンドの使用フロー

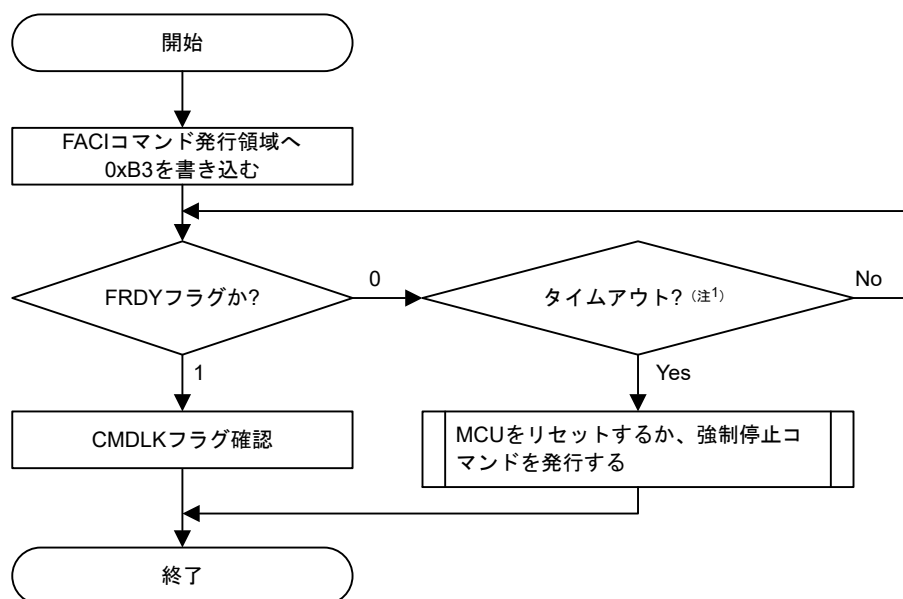
39.9.3.12 強制停止コマンド

強制停止コマンドは、フラッシュシーケンサによるコマンド処理を強制的に終了させるコマンドです。このコマンドは最短の遅延でコマンド処理を停止させますが、停止時に実行中であったプログラム／イレース処理以降の値は保証されません。強制停止コマンドで停止されたプログラム／イレース処理も、書き換え耐久性の観点では 1 回分と定義されます。

FBCSTAT レジスタと FBCADDR レジスタのブランクチェックの結果は保証されます。ブランクチェックでエラーがなかった場合、FBCADDR レジスタはブランクチェックが中断したアドレスを示します。そのため、ソフトウェアで FBCADDR レジスタの値を FSADDR レジスタにコピーすることによって、中断したアドレスからブランクチェックを再開することができます。

強制停止コマンドを実行すると、FACI の一部、FCU 全体、FSTATR レジスタおよび FASTAT レジスタの初期化も行います。本コマンドは、コマンドロック状態からの復帰手順およびフラッシュシーケンサタイムアウトに対する処理手順で使用可能です（「[39.9.3.7. コマンドロック状態からの復帰](#)」参照）。

[図 39.18](#) に、強制停止コマンドの使用方法を示します。



注 1. 強制停止コマンド遅延 (t_{FD}) の最大時間の 1.1 倍がタイムアウトの判定に使われます。
「43. 電気的特性」を参照してください。

図 39.18 強制停止コマンドの使用フロー

39.9.3.13 ブランクチェックコマンド

ブランクチェックコマンドはユーザー領域またはデータ領域が消去されているかどうかを確認するために使用されます。

ブランクチェックコマンド発行前に、FBCCNT、FSADDR、FEADDR の各レジスタにアドレッシングモード、ブランクチェック対象領域の開始アドレスと終了アドレスを設定してください。ブランクチェックアドレッシングモードがデクリメンタルモードに設定されている場合 (FBCCNT.BCDIR = 1)、FSADDR レジスタには、FEADDR レジスタに指定されているアドレス以上のアドレスを指定してください。

一方、ブランクチェックアドレッシングモードがインクリメンタルモードに設定されている場合 (FBCCNT.BCDIR = 0)、FSADDR レジスタには、FEADDR レジスタに指定されているアドレス以下のアドレスを指定してください。

BCDIR ビット、FSADDR レジスタ、および FEADDR レジスタの設定に矛盾があると、フラッシュシーケンサはコマンドロック状態になります。ブランクチェック用ユーザー領域のサイズは、8 バイトからコードフラッシュメモリ容量までの範囲で、8 バイト単位で設定されます。ブランクチェック用データ領域のサイズは、1 バイトからデータフラッシュメモリ容量までの範囲で、1 バイト単位で設定されます。

ブランクチェックを開始するには、FACI コマンド発行領域に 0x71 および 0xD0 を書き込んでください。処理完了は、FSTAT レジスタの FRDY ビットで確認できます。処理完了時、ブランクチェックの結果は FBCSTAT レジスタの BCST ビットに格納されます。ブランクチェック対象領域内にブランクでないデータが存在する場合、フラッシュシーケンサはブランクチェックコマンドの動作を停止させます。この場合、ブランクでないデータのアドレスが FBCADDR レジスタに示されます。

非セキュアアクセスによってブランクチェックコマンドが実行できるのは、BCDIR が 1 で、FSADDR に非セキュア領域が設定され、FEADDR にセキュア領域が設定されている場合です。セキュア領域のブランクでないデータのアドレスをクローズする必要がある場合は、セキュア領域全体に書き込みを行う必要があります。

図 39.19 に、ブランクチェックコマンドの使用方法を示します。

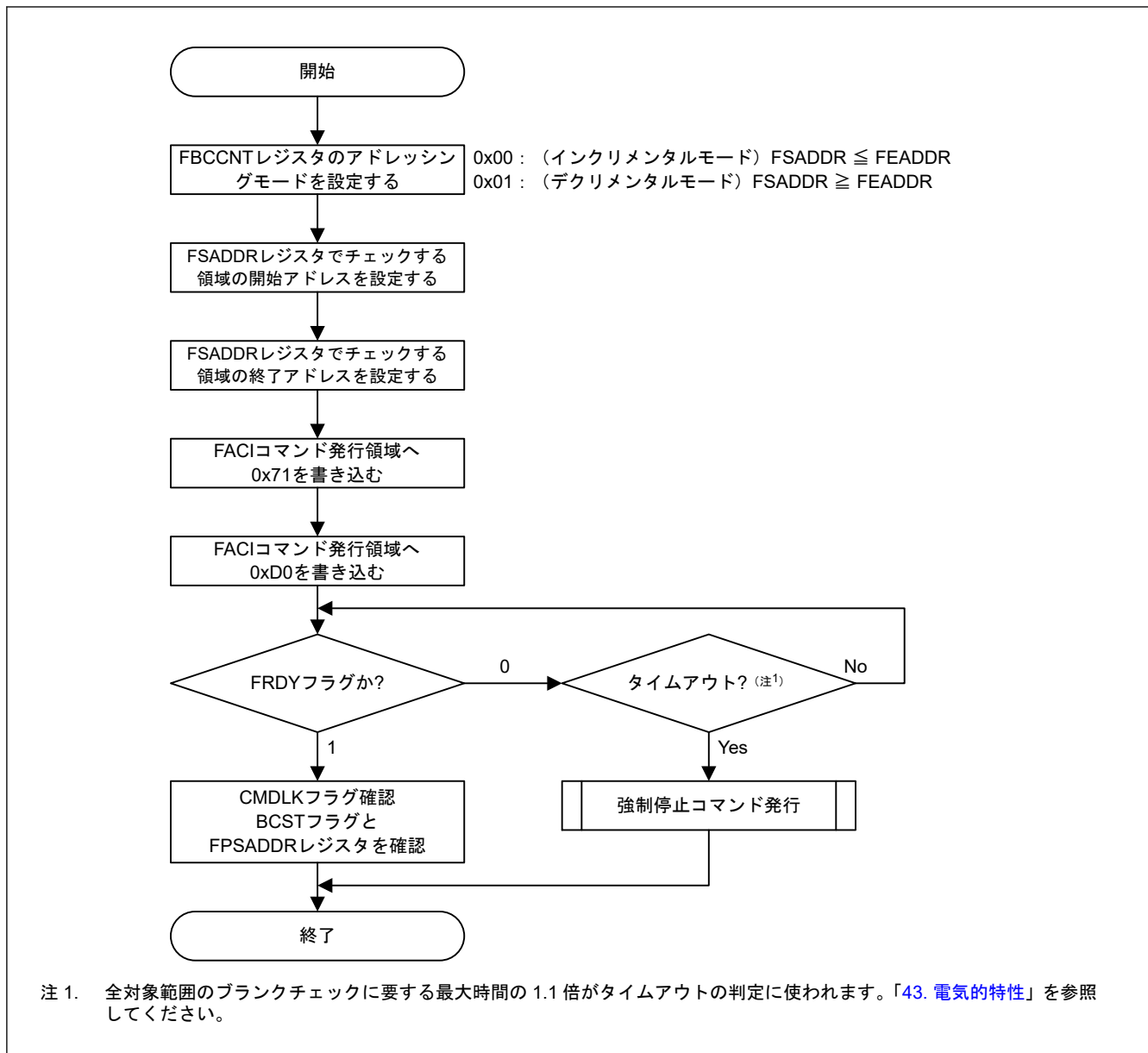
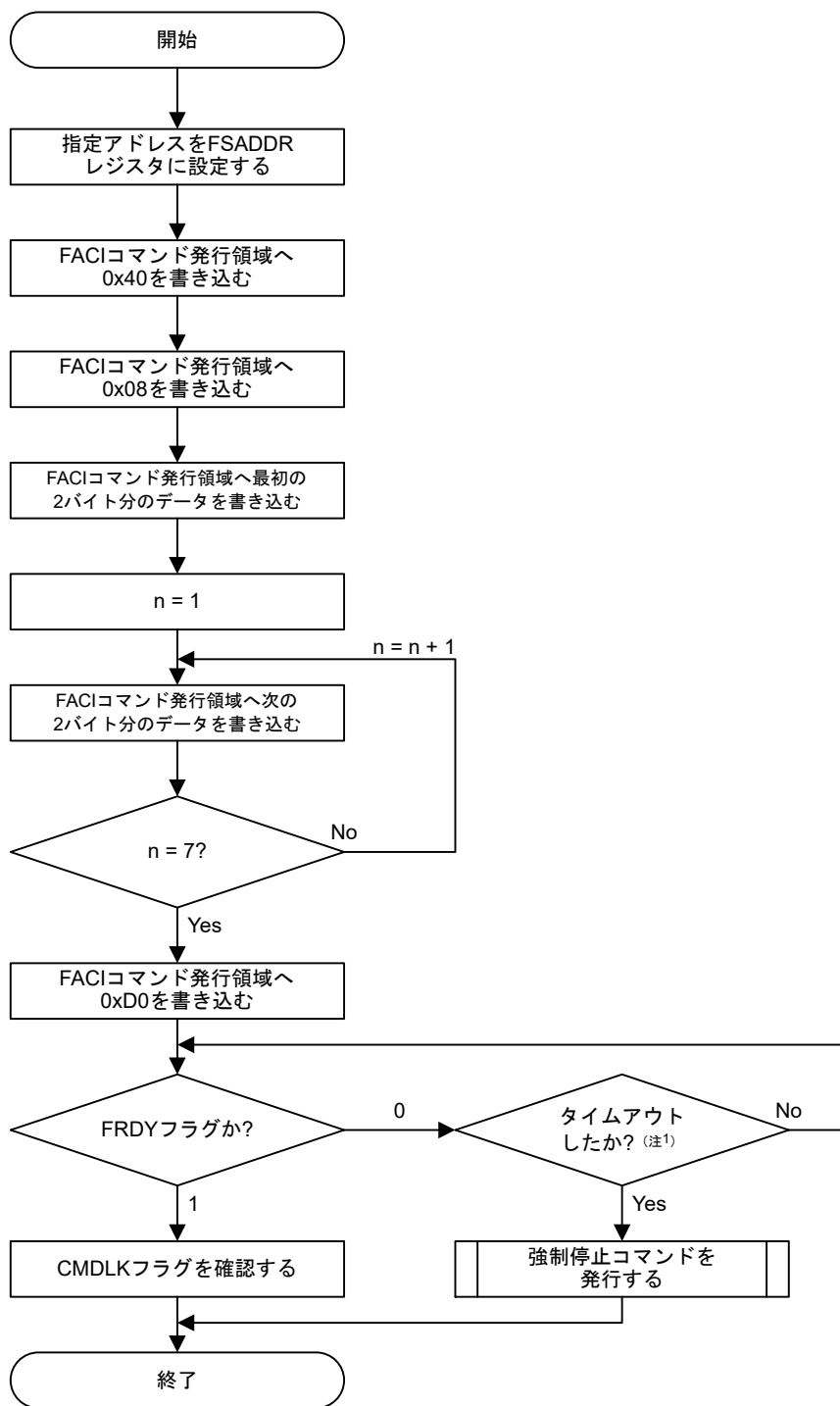


図 39.19 ブランクチェックコマンドの使用フロー

39.9.3.14 コンフィグレーション設定コマンド

コンフィグレーション設定コマンドは、セキュリティ機能、セーフティ機能、およびシステムコンフィグレーションを設定するためのコマンドです。コンフィグレーション設定コマンド発行前に FSADDR レジスタに指定アドレス（表 39.15 に示す）を設定してください。FSCI コマンド発行の最終アクセスで FSCI コマンド発行領域に 0xD0 を書くと、コンフィグレーション設定コマンドの FSCI 処理が開始されます。

図 39.20 に、コンフィグレーション設定コマンドの使用方法を示します。



注 1. オプション設定メモリ内の書き込みの最大時間の 1.1 倍がタイムアウトの判定に使われます。「43. 電気的特性」を参照してください。

図 39.20 コンフィグレーション設定コマンドの使用フロー

コンフィグレーション設定に使用されると思われる対象データと FSADDR レジスタに設定されているアドレス値との関係を表 39.15 に示します。詳細は、「39.4.10. FSADDR : FACL コマンド開始アドレスレジスタ」を参照してください。

表 39.15 コンフィグレーション設定コマンドが使用するアドレス

アドレス	FSADDR レジスタ値	設定データ	追加の書き込み		設定が有効になる タイミング
			SAS.FSPR ビットが 1	SAS.FSPR ビットが 0	
0x0100_A100	0x0100_A100	オプション機能選択レジスタ 0 (OFS0)	書き込み可能	書き込み可能	リセット時
0x0100_A110	0x0100_A110	デュアルモード選択レジスタ (DUALSEL)	書き込み可能	書き込み可能	リセット時
0x0100_A134	0x0100_A130	スタートアップ領域設定レジスタ (SAS)	書き込み可能	書き込み不可 ^(注1)	リセットまたは コマンド実行時
0x0100_A180	0x0100_A180	オプション機能選択レジスタ 1 (OFS1)	書き込み可能	書き込み可能	リセット時
0x0100_A190	0x0100_A190	バンク選択レジスタ (BANKSEL)	書き込み可能	書き込み可能	リセット時
0x0100_A1C0	0x0100_A1C0	ブロック保護設定レジスタ (BPS)	書き込み可能 ^(注2)	書き込み可能 ^(注2)	リセットまたは コマンド実行時
0x0100_A1E0	0x0100_A1E0	永久ブロック保護設定レジスタ (PBPS)	書き込み可能 ^(注3) (1 から 0 への変更のみ)	書き込み可能 ^(注3) (1 から 0 への変更のみ)	リセットまたは コマンド実行時
0x0100_A200	0x0100_A200	オプション機能選択レジスタ 1 セキュア (OFS1_SEC)	書き込み可能	書き込み可能	リセット時
0x0100_A210	0x0100_A210	バンク選択レジスタセキュア (BANKSEL_SEC)	書き込み可能	書き込み可能	リセット時
0x0100_A240	0x0100_A240	ブロック保護設定レジスタセキュア (BPS_SEC)	書き込み可能 ^(注4)	書き込み可能 ^(注4)	リセットまたは コマンド実行時
0x0100_A260	0x0100_A260	永久ブロック保護設定レジスタセキュア (PBPS_SEC)	書き込み可能 ^(注5) (1 から 0 への変更のみ)	書き込み可能 ^(注5) (1 から 0 への変更のみ)	リセットまたは コマンド実行時
0x0100_A280	0x0100_A280	オプション機能選択レジスタ 1 選択 (OFS1_SEL)	書き込み可能	書き込み可能	リセット時
0x0100_A290	0x0100_A290	バンク選択レジスタ選択 (BANKSEL_SEL)	書き込み可能	書き込み可能	リセット時
0x0100_A2C0	0x0100_A2C0	ブロック保護設定レジスタ選択 (BPS_SEL)	書き込み可能	書き込み可能	リセット時

注 1. SAS.FSPR ビットは、一度 0 に設定されると、コンフィグレーション設定コマンドで 1 に戻すことはできません。したがって、スタートアップ領域選択フラグを再び設定できなくなります（アドレス 0x0100A134 にコンフィグレーション設定コマンドが発行されると、コマンドはロックされます）。SAS.FSPR ビットの取り扱いには特に注意してください。

注 2. PBPS[n] ビットを一度 0 に設定すると、コンフィグレーション設定コマンドで BPS[n] ビットを 1 に戻すことはできません。

注 3. これらのビットは、一度 0 にするとコンフィグレーション設定コマンドで 1 に戻すことができません。BPS[n] ビットが 1 のとき PBPS[n] ビットをコンフィグレーション設定コマンドで 0 にすることはできません。

注 4. PBPS_SEC[n] ビットを一度 0 にすると、コンフィグレーション設定コマンドで BPS_SEC[n] ビットを 1 に戻すことができません。

注 5. これらのビットは、一度 0 にするとコンフィグレーション設定コマンドで 1 に戻すことができません。BPS_SEC[n] ビットが 1 のとき PBPS_SEC[n] ビットをコンフィグレーション設定コマンドで 0 にすることはできません。

39.10 サスペンド動作

強制停止コマンドは、ブランクチェックコマンドまたはブロックイレースコマンドを強制的に停止します。強制停止が実行されると、停止されたアドレスの値はレジスタに格納されます。格納されたアドレス値をコピーすることにより、コマンド実行用レジスタのリセット後に、停止アドレスからコマンドを再開することができます。強制停止コマンドは、チップイレースコマンドを強制的に停止します。チップイレースコマンドは後で再実行する必要があります。

39.11 プロテクション機能

39.11.1 ソフトウェアプロテクション

ソフトウェアプロテクションは、コントロールレジスタの設定およびユーザー領域のブロック保護設定によりコードフラッシュメモリの書き換えおよび消去を無効にします。ソフトウェアプロテクションに対して FACL コマンド発行を試みると、フラッシュシーケンサはコマンドロック状態になります。

39.11.1.1 FENTRYR レジスタによるプロテクション

FENTRYR レジスタが 0x0000 に設定されるとフラッシュシーケンサは読み出しモードになります。読み出しモードでは FACI コマンドは受け付けられません。読み出しモードで FACI コマンド発行を試みると、フラッシュシーケンサはコマンドロック状態になります。

39.11.1.2 ブロック保護設定によるプロテクション

ユーザー領域内の各ブロック保護領域にはブロック保護設定 (BPS または BPS_SEC) があります。FBPROT0 レジスタまたは FBPROT1 レジスタが 0x0000 で、ブロック保護ビットが 0 のとき、コードフラッシュのユーザー領域にプログラムコマンドまたはブロックイレースコマンドを発行するとコマンドロック状態になります。ブロック保護ビットが 0 のブロック保護領域を書き換えまたは消去するためには、FBPROT0 レジスタまたは FBPROT1 レジスタを 0x0001 に設定してください。

ブロック保護設定は、永久ブロック保護設定 (PBPS または PBPS_SEC) によりロックできます。永久ブロック保護設定およびブロック保護設定が 0 のとき、コードフラッシュのユーザー領域にプログラムコマンド、ブロックイレースコマンド、またはチップイレースコマンドを発行すると、FBPROT0 レジスタまたは FBPROT1 レジスタの設定にかかわらず、フラッシュシーケンサはコマンドロック状態になります。

有効なブロック保護設定 (BPS または BPS_SEC) はブロック保護選択ビット (BPS_SEL) に依存します。

ブロック保護設定および永久ブロック保護設定の詳細については「[39.12.2. 永久ブロック保護設定](#)」を参照してください。詳細については、「[39.4.13. FBPROT0: フラッシュブロック保護レジスタ](#)」および「[39.4.14. FBPROT1: セキュア用フラッシュブロック保護レジスタ](#)」を参照してください。

ブロック保護設定 (BPS または BPS_SEC) およびブロック保護選択 (BPS_SEL) の詳細については、「[6. オプション設定メモリ](#)」を参照してください。

ブロック保護設定でプログラムコマンドまたはブロックイレースコマンドから保護された領域は、アドレススワップ機能の設定 (リニアモードでのスタートアップ領域選択、およびブロックスワップリニアモードでのブロックスワップ、およびデュアルモードでのスタートアップバンク選択) にかかわらず、常に FSADDR レジスタ設定のアドレスで決まります。[表 39.16](#)～[表 39.21](#) に、各機能設定でのユーザー領域とブロック保護設定の関係を示します。

(1) リニアモードの場合

- BPS[0]～BPS[n]または BPS_SEC[0]～BPS_SEC[n]は、ユーザー領域のブロックに割り当てられています (たとえば、アドレスは 0x00_0000～最終ブロックアドレスになります)。
- BPS[0]/BPS_SEC[0]および BPS[1]/BPS_SEC[1]は、スタートアップ領域選択設定 (SAS.BTFLG ビット) に応じてユーザー領域のブロックに割り当てられています。 ([「39.11.3. スタートアッププログラムプロテクション」](#)を参照してください)。
- FLI ユーザー領域の後半は、ブロックスワップ選択設定 (BANKSEL.BLCKSWP[2:0] ビット) に応じてブロック保護設定に割り当てられています。「[39.11.5. ブロックスワップ機能](#)」を参照してください。

[表 39.16](#) にリニアモードでスタートアップ領域選択が無効 (スワップなし) の場合のブロック保護設定を示します。

[表 39.17](#) にリニアモードでアドレス変換機能が使用される場合のブロック保護設定の例を示します。

表 39.16 SAS.BTFLG ビットが 1 の場合のブロック保護設定例 (1/2)

FSADDR[23:0]	ブロックサイズ	ブロック保護設定	ユーザー領域 ブロック番号	備考
最終ブロックアドレス	32 KB	BPS[n]または BPS_SEC[n]	ブロック x～y (x = 16n - 96; y = 16n - 81)	—
⋮	⋮	⋮	⋮	—
0x01_8000～0x01_FFFF	32 KB	BPS[9]または BPS_SEC[9]	ブロック 48～63	—
0x01_0000～0x01_7FFF	32 KB	BPS[8]または BPS_SEC[8]	ブロック 32～47	—
0x00_E000～0x00_FFFF	8 KB	BPS[7]または BPS_SEC[7]	ブロック 28～31	—
0x00_C000～0x00_DFFF	8 KB	BPS[6]または BPS_SEC[6]	ブロック 24～27	—

表 39.16 SAS.BTFLG ビットが 1 の場合のブロック保護設定例 (2/2)

FSADDR[23:0]	ブロックサイズ	ブロック保護設定	ユーザー領域 ブロック番号	備考
⋮	⋮	⋮	⋮	—
0x00_2000~0x00_3FFF	8 KB	BPS[1]または BPS_SEC[1]	ブロック 4~7	本スタートアップ領域選択設定ではブロック 0~3 とブロック 4~7 のスワップは発生しない
0x00_0000~0x00_1FFF	8 KB	BPS[0]または BPS_SEC[0]	ブロック 0~3	本スタートアップ領域選択設定ではブロック 0~3 とブロック 4~7 のスワップは発生しない

表 39.17 SAS.BTFLG ビットが 0 の場合のブロック保護設定例

FSADDR[23:0]	ブロックサイズ	ブロック保護設定	ユーザー領域 ブロック番号	備考
最終ブロックアドレス	32 KB	BPS[n]または BPS_SEC[n]	ブロック x~y (x = 16n - 96; y = 16n - 81)	—
⋮	⋮	⋮	⋮	—
0x01_8000~0x01_FFFF	32 KB	BPS[9]または BPS_SEC[9]	ブロック 48~63	—
0x01_0000~0x01_7FFF	32 KB	BPS[8]または BPS_SEC[8]	ブロック 32~47	—
0x00_E000~0x00_FFFF	8 KB	BPS[7]または BPS_SEC[7]	ブロック 28~31	—
0x00_C000~0x00_DFFF	8 KB	BPS[6]または BPS_SEC[6]	ブロック 24~27	—
⋮	⋮	⋮	⋮	—
0x00_2000~0x00_3FFF	8 KB	BPS[1]または BPS_SEC[1]	ブロック 0~3	本スタートアップ領域選択設定ではブロック 0~3 とブロック 4~7 のスワップが発生する
0x00_0000~0x00_1FFF	8 KB	BPS[0]または BPS_SEC[0]	ブロック 4~7	本スタートアップ領域選択設定ではブロック 0~3 とブロック 4~7 のスワップが発生する

表 39.18 BANKSEL.BLCKSWP ビットが 1 の場合のブロック保護設定例 (1/2)

FSADDR[23:0]	ブロックサイズ	ブロック保護設定	ユーザー領域 ブロック番号	備考
最終ブロックアドレス	32 KB	BPS[n]または BPS_SEC[n]	ブロック x~y (x = 16n - 96; y = 16n - 81)	—
⋮	⋮	⋮	⋮	—
ブロックスワップ対象の上位側アドレス	32 KB	BPS[b]または BPS_SEC[b]	ブロック X~Y (X = 16b - 96; Y = 16b - 81)	本ブロックスワップ選択設定ではブロック x~y とブロック X~Y のスワップが発生しない (x = 16a - 96; y = 16a - 81; X = 16b - 96; Y = 16b - 81)
⋮	⋮	⋮	⋮	—
ブロックスワップ対象の下位側アドレス	32 KB	BPS[a]または BPS_SEC[a]	ブロック x~y (x = 16a - 96; y = 16a - 81)	本ブロックスワップ選択設定ではブロック x~y とブロック X~Y のスワップが発生しない (x = 16a - 96; y = 16a - 81; X = 16b - 96; Y = 16b - 81)
⋮	⋮	⋮	⋮	—
0x01_8000~0x01_FFFF	32 KB	BPS[9]または BPS_SEC[9]	ブロック 48~63	—

表 39.18 BANKSEL.BLCKSWP ビットが 1 の場合のブロック保護設定例 (2/2)

FSADDR[23:0]	ブロックサイズ	ブロック保護設定	ユーザー領域 ブロック番号	備考
0x01_0000~0x01_7FFF	32 KB	BPS[8]または BPS_SEC[8]	ブロック 32~47	—
0x00_E000~0x00_FFFF	8 KB	BPS[7]または BPS_SEC[7]	ブロック 28~31	—
0x00_C000~0x00_DFFF	8 KB	BPS[6]または BPS_SEC[6]	ブロック 24~27	—
⋮	⋮	⋮	⋮	—
0x002000~0x00_3FFF	8 KB	BPS[1]または BPS_SEC[1]	ブロック 4~7	—
0x00_0000~0x00_1FFF	8 KB	BPS[0]または BPS_SEC[0]	ブロック 0~3	—

表 39.19 BANKSEL.BLCKSWP ビットが 0 の場合のブロック保護設定例

FSADDR[23:0]	ブロックサイズ	ブロック保護設定	ユーザー領域 ブロック番号	備考
最終ブロックアドレス	32 KB	BPS[n]または BPS_SEC[n]	ブロック x~y (x = 16n - 96; y = 16n - 81)	—
⋮	⋮	⋮	⋮	—
ブロックスワップ対象の更新側アドレス	32 KB	BPS[b]または BPS_SEC[b]	ブロック x~y (x = 16a - 96; y = 16a - 81)	本ブロックスワップ選択設定ではブロック x~y とブロック X~Y のスワップが発生する (x = 16a - 96; y = 16a - 81; X = 16b - 96; Y = 16b - 81)
⋮	⋮	⋮	⋮	—
ブロックスワップ対象の動作側アドレス	32 KB	BPS[a]または BPS_SEC[a]	ブロック X~Y (X = 16b - 96; Y = 16b - 81)	本ブロックスワップ選択設定ではブロック x~y とブロック X~Y のスワップが発生する (x = 16a - 96; y = 16a - 81; X = 16b - 96; Y = 16b - 81)
⋮	⋮	⋮	⋮	—
0x01_8000~0x01_FFFF	32 KB	BPS[9]または BPS_SEC[9]	ブロック 48~63	—
0x01_0000~0x01_7FFF	32 KB	BPS[8]または BPS_SEC[8]	ブロック 32~47	—
0x00_E000~0x00_FFFF	8 KB	BPS[7]または BPS_SEC[7]	ブロック 28~31	—
0x00_C000~0x00_DFFF	8 KB	BPS[6]または BPS_SEC[6]	ブロック 24~27	—
⋮	⋮	⋮	⋮	—
0x00_2000~0x00_3FFF	8 KB	BPS[1]または BPS_SEC[1]	ブロック 4~7	—
0x00_0000~0x00_1FFF	8 KB	BPS[0]または BPS_SEC[0]	ブロック 0~3	—

(2) デュアルモードの場合 (DUALSEL.BANKMD[2:0] = 000b)

バンク 0 が下側バンク (BANKSEL.BANKSWP[2:0] = 111b) です。

- BPS[0]~BPS[n]または BPS_SEC[0]~BPS_SEC[n]は、バンク 0 ユーザー領域のブロックに割り当てられています (たとえば、アドレスは 0x00000000~下側バンクの最終ブロックアドレスになります)。
- BPS[70]~BPS[70+n]または BPS_SEC[70]~BPS_SEC[70+n]は、バンク 1 ユーザー領域のブロックに割り当てられています (たとえば、アドレスは 0x00200000~上側バンクの最終ブロックアドレスになります)。

バンク 0 が上側バンク (BANKSEL.BANKSWP[2:0] = 000b) です。

- BPS[0]~BPS[n]または BPS_SEC[0]~BPS_SEC[n]は、バンク 1 ユーザー領域のブロックに割り当てられています (たとえば、アドレスは 0x00_0000~下側バンクの最終ブロックアドレスになります)。
- BPS[70]~BPS[70+n]または BPS_SEC[70]~BPS_SEC[70+n]は、バンク 0 ユーザー領域のブロックに割り当てられています (たとえば、アドレスは 0x20_0000~上側バンクの最終ブロックアドレスになります)。

デュアルモードでのブロック保護設定例を表 39.20 と表 39.21 に示します。デュアルバンク機能 (DUALSEL.BANKMD[2:0]ビットおよび BANKSEL.BANKSWP[2:0]ビット) の詳細については、「[39.11.4. デュアルバンク機能](#)」を参照してください。

表 39.20 BANKSEL.BANKSWP[2:0]ビットが 111b の場合のブロック保護設定例

FSADDR[23:0]	ブロックサイズ	ブロック保護設定	ユーザー領域 ブロック番号	備考
上側バンクの最終ブロックアドレス	32 KB	BPS[70 + n]または BPS_SEC[70 + n]	ブロック x~y (x = 16n + 928; y = 16n + 943)	本スタートアップバンク 切り替え設定ではバンク 0 とバンク 1 をスワップ しない
⋮	⋮	⋮	⋮	
0x21_8000~0x21_FFFF	32 KB	BPS[79]または BPS_SEC[79]	ブロック 1072~1087	
0x21_0000~0x21_7FFF	32 KB	BPS[78]または BPS_SEC[78]	ブロック 1056~1071	
0x20_E000~0x20_FFFF	8 KB	BPS[77]または BPS_SEC[77]	ブロック 1052~1055	
0x20_C000~0x20_DFFF	8 KB	BPS[76]または BPS_SEC[76]	ブロック 1048~1051	
⋮	⋮	⋮	⋮	
0x20_2000~0x20_3FFF	8 KB	BPS[71]または BPS_SEC[71]	ブロック 1028~1031	
0x20_0000~0x20_1FFF	8 KB	BPS[70]または BPS_SEC[70]	ブロック 1024~1027	
下側バンクの最終ブロックアドレス	32 KB	BPS[n]または BPS_SEC[n]	ブロック x~y (x = 16n - 96; y = 16n - 81)	本スタートアップバンク 切り替え設定ではバンク 0 とバンク 1 をスワップ しない
⋮	⋮	⋮	⋮	
0x01_8000~0x01_FFFF	32 KB	BPS[9]または BPS_SEC[9]	ブロック 48~63	
0x01_0000~0x01_7FFF	32 KB	BPS[8]または BPS_SEC[8]	ブロック 32~47	
0x00_E000~0x00_FFFF	8 KB	BPS[7]または BPS_SEC[7]	ブロック 28~31	
0x00_C000~0x00_DFFF	8 KB	BPS[6]または BPS_SEC[6]	ブロック 24~27	
⋮	⋮	⋮	⋮	
0x00_2000~0x00_3FFF	8 KB	BPS[1]または BPS_SEC[1]	ブロック 4~7	
0x00_0000~0x00_1FFF	8 KB	BPS[0]または BPS_SEC[0]	ブロック 0~3	

表 39.21 BANKSEL.BANKSWP[2:0]ビットが 000b の場合のユーザー領域とブロック保護設定の関係 (1/2)

FSADDR[23:0]	ブロックサイズ	ブロック保護設定	ユーザー領域ブロッ ク番号	備考
上側バンクの最終ブロックアドレス	32 KB	BPS[70 + n]または BPS_SEC[70 + n]	ブロック x~y (x = 16n - 96; y = 16n - 81)	本スタートアップバンク 切り替え設定ではバンク 0 とバンク 1 をスワップ
⋮	⋮	⋮	⋮	
0x21_8000~0x21_FFFF	32 KB	BPS[79]または BPS_SEC[79]	ブロック 48~63	
0x21_0000~0x21_7FFF	32 KB	BPS[78]または BPS_SEC[78]	ブロック 32~47	
0x20_E000~0x20_FFFF	8 KB	BPS[77]または BPS_SEC[77]	ブロック 28~31	
0x20_C000~0x20_DFFF	8 KB	BPS[76]または BPS_SEC[76]	ブロック 24~27	
⋮	⋮	⋮	⋮	
0x20_2000~0x20_3FFF	8 KB	BPS[71]または BPS_SEC[71]	ブロック 4~7	
0x20_0000~0x20_1FFF	8 KB	BPS[70]または BPS_SEC[70]	ブロック 0~3	

表 39.21 BANKSEL.BANKSWP[2:0]ビットが 000b の場合のユーザー領域とブロック保護設定の関係 (2/2)

FSADDR[23:0]	ブロックサイズ	ブロック保護設定	ユーザー領域ブロック番号	備考
下側バンクの最終ブロックアドレス	32 KB	BPS[n]または BPS_SEC[n]	ブロック x~y (x = 16n + 928; y = 16n + 943)	本スタートアップバンク切り替え設定ではバンク 0 とバンク 1 をスワップ
⋮	⋮	⋮	⋮	
0x01_8000~0x01_FFFF	32 KB	BPS[9]または BPS_SEC[9]	ブロック 1072~1087	
0x01_0000~0x01_7FFF	32 KB	BPS[8]または BPS_SEC[8]	ブロック 1056~1071	
0x00_E000~0x00_FFFF	8 KB	BPS[7]または BPS_SEC[7]	ブロック 1052~1055	
0x00_C000~0x00_DFFF	8 KB	BPS[6]または BPS_SEC[6]	ブロック 1048~1051	
⋮	⋮	⋮	⋮	
0x00_2000~0x00_3FFF	8 KB	BPS[1]または BPS_SEC[1]	ブロック 1028~1031	
0x00_0000~0x00_1FFF	8 KB	BPS[0]または BPS_SEC[0]	ブロック 1024~1027	

39.11.2 エラープロテクション

エラープロテクションは、不正 FACL コマンドの発行、不正アクセス、およびフラッシュシーケンサの誤動作を検出します。エラー検出時 FACL コマンドは受け付けられなくなります (コマンドロック状態)。フラッシュシーケンサがコマンドロック状態中、フラッシュメモリは書き込みまたは消去できません。コマンドロック状態から解放するには、ステータスクリアコマンドまたは強制停止コマンドを発行してください。ステータスクリアコマンドは、FSTAT レジスタの FRDY ビットが 1 の場合のみ使用可能です。強制停止コマンドは、FRDY ビットの値に関係なく使用できます。FAEINT レジスタの CMDLKIE ビットが 1 のとき、フラッシュシーケンサがコマンドロック状態 (FSTAT レジスタの CMDLK ビットが 1) になるとフラッシュアクセスエラー (FIFERR) 割り込みが発生します。

プログラム/イレース処理中に実行されたコマンドによってフラッシュシーケンサがコマンドロック状態になっても、フラッシュシーケンサはプログラム/イレース処理を続行します。コマンドロック状態でコマンドが発行されると、ILGLERR ビットが 1 になり、その他のビットは前回のエラー検出時に設定された値を保持します。

表 39.22 に、プロテクション種別とエラー検出後のステータスビット値を示します。

表 39.22 エラープロテクション種別 (1/3)

エラー種別	説明	ILGCOMERR	FESETERR	SECERR	OTERR	ILGLERR	ERSERR	PRGERR	CFAE	DFAE
FENTRYR 設定エラー	FENTRYR レジスタに設定された値が 0x0000、0x0001、0x0080 のいずれでもない	0	1	0	0	1	0	0	0	0

表 39.22 エラープロテクション種別 (2/3)

エラー種別	説明	ILGMERR	FESETERR	SECERR	OTERR	ILGLERR	ERSERR	PRGERR	CFAE	DFAE
不正コマンドエラー	コマンドの最初のサイクルで不定サイズが指定された (バイト書き込みでない)	1	0	0	0	1	0	0	0	0
	FACI コマンドの最初のアクセスで不定コードが書き込まれた	1	0	0	0	1	0	0	0	0
	マルチアクセス FACI コマンドの最終アクセスで指定された値が 0xD0 でない	1	0	0	0	1	0	0	0	0
	プログラムまたはコンフィグレーション設定コマンドで FACI コマンドの 2 番目の書き込みで指定された値 (N) が間違っている	1	0	0	0	1	0	0	0	0
	ブランクチェックコマンドが発行されたが、BCDIR、FSADDR、FEADDR の各レジスタの設定と一致しない (「39.4.11. FEADDR : FACI コマンド終了アドレスレジスタ」参照)	1	0	0	0	1	0	0	0/1 (注1)	0/1 (注1)
	FSADDR レジスタと FEADDR レジスタの設定に矛盾がある状態でチップイレースコマンドが発行された - FSADDR > FEADDR - FEADDR レジスタに予約領域のアドレスが設定されている	1	0	0	0	1	0	0	0/1 (注1)	0/1 (注1)
	各モードで使用できない FACI コマンドが発行された (表 39.13 参照)	1	0	0	0	1	0	0	0	0
	コマンド受け付け条件が満たされていないときに FACI コマンドが発行された (表 39.14 参照)	0/1	0/1	0/1	0/1	1	0/1	0/1	0/1	0/1
	ブロック保護設定により保護されている領域にプログラムコマンドまたはブロックイレースコマンドが発行された (「39.11.1.2. ブロック保護設定によるプロテクション」参照)	1	0	0	0	1	0	0	0	0
	ブロック保護設定で保護されたユーザー領域ブロックがあるときにチップイレースコマンドが発行された (「39.11.1.2. ブロック保護設定によるプロテクション」参照)	1	0	0	0	1	0	0	0	0
イレースエラー	消去中にエラーが発生した	0	0	0	0	0	1	0	0	0
書き込みエラー	書き込み中にエラーが発生した	0	0	0	0	0	0	1	0	0

表 39.22 エラープロテクション種別 (3/3)

エラー種別	説明	ILGMERR	FESETERR	SECERR	OTERR	ILGLERR	ERSERR	PRGERR	CFAE	DFAE
コードフラッシュアクセスエラー	コードフラッシュ P/E モードでプログラムコマンドまたはブロックイレースコマンドが予約済みユーザー領域に発行された (「39.4.7. FASTAT : フラッシュアクセスステータスレジスタ」参照)	0	0	0	0	1	0	0	1	0
	コードフラッシュ P/E モードでチップイレースコマンドまたはブランクチェックコマンドが予約済みユーザー領域に発行された (FSADDR に予約済みユーザー領域のアドレスが設定されている)	1	0	0	0	1	0	0	1	0
	コンフィグレーション設定コマンドが予約済みコンフィグレーション領域に発行された	0	0	0	0	1	0	0	1	0
	非セキュアアクセスのコンフィグレーション設定コマンドがコンフィグレーション領域内のセキュア領域に発行された	0	0	0	0	1	0	0	1	0
	プログラムコマンド、ブロックイレースコマンド、またはブランクチェックコマンドがコンフィグレーション領域内のセキュア領域に発行された	0/1	0	0	0	1	0	0	1	0
データフラッシュアクセス違反	データフラッシュ P/E モードでプログラムコマンドまたはブロックイレースコマンドが予約済みデータ領域に発行された	0	0	0	0	1	0	0	0	1
	データフラッシュ P/E モードでチップイレースコマンドまたはブランクチェックコマンドが予約済みデータ領域に発行された (FSADDR に予約済みデータ領域のアドレスが設定されている)	1	0	0	0	1	0	0	0	1
	非セキュアアクセスのプログラムコマンド、ブロックイレースコマンド、またはブランクチェックコマンドがデータ領域のセキュア領域に発行された	0/1	0	0	0	1	0	0	0	1
セキュリティエラー	SAS.FSPR ビットが 0 のとき SAS.BTFLG ビット設定用のコンフィグレーション設定コマンドが発行された (「39.9.3.14. コンフィグレーション設定コマンド」参照)	0	0	1	0	1	0	0	0	0
	FSPR ビットが 0 のときにチップイレースコマンドが発行された	0	0	1	0	1	0	0	0	0
その他	FACI コマンド発行領域が読み出しモードでアクセスされた	0	0	0	1	1	0	0	0	0
	コードフラッシュ P/E モードまたはデータフラッシュ P/E モードで FACI コマンド発行領域が読み出された	0	0	0	1	1	0	0	0	0

注 1. 値は FSADDR レジスタの設定に依存します。

39.11.3 スタートアッププログラムプロテクション

スタートアッププログラムプロテクションとは、リセット後に起動されるプログラム（スタートアッププログラム）の保護のことです。本機能は、リセット中に書き換えが中断されたスタートアッププログラムを安全に更新する手段になります。

スタートアップ領域のサイズは 8 KB で、コードフラッシュメモリのユーザー領域に割り当てられています。本機能は SAS.BTFLG ビットと FSUACR.SAS[1:0] ビット値を使用し、スタートアッププログラムがブロック単位で格納される領域を変更します（図 39.21～図 39.24 参照）。

スタートアッププログラムプロテクションにおいて、スタートアップ領域の選択状態は、FSPR ビットで固定できます。しかしながら、SAS.FSPR ビットは一度 0 になると、1 に戻りません。SAS.FSPR ビットの取り扱いには特に注意してください。

さらに、バンクモード切り替え機能によりデュアルモードが選択されている場合 (BANKMD[2:0] ビットが 000b)、本プロテクションは使用できません。

SAS.FSPR ビットと DUALSEL.BANKMD[2:0] ビットの詳細については、「6. オプション設定メモリ」を参照してください。

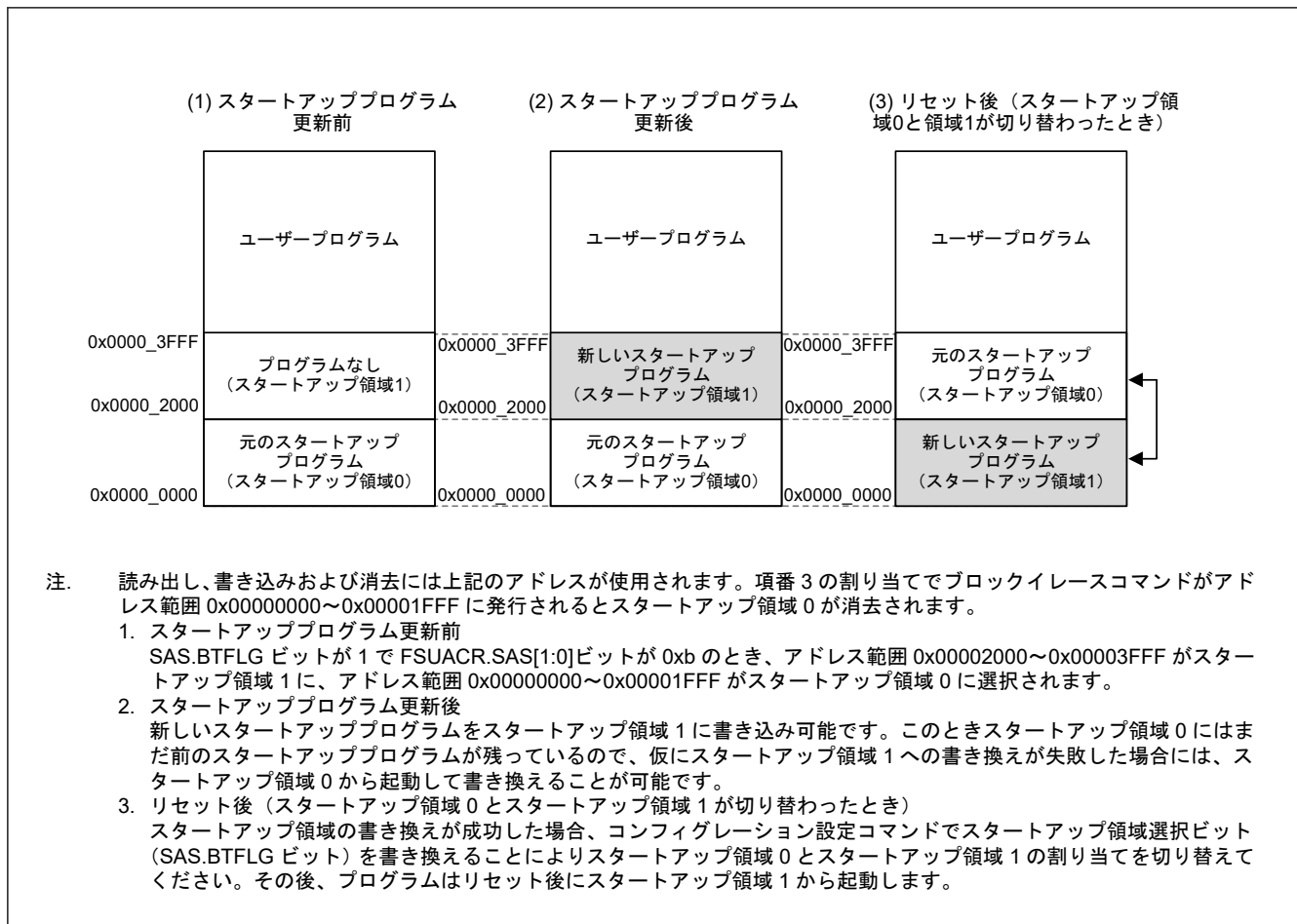


図 39.21 スタートアッププログラムプロテクションの概念

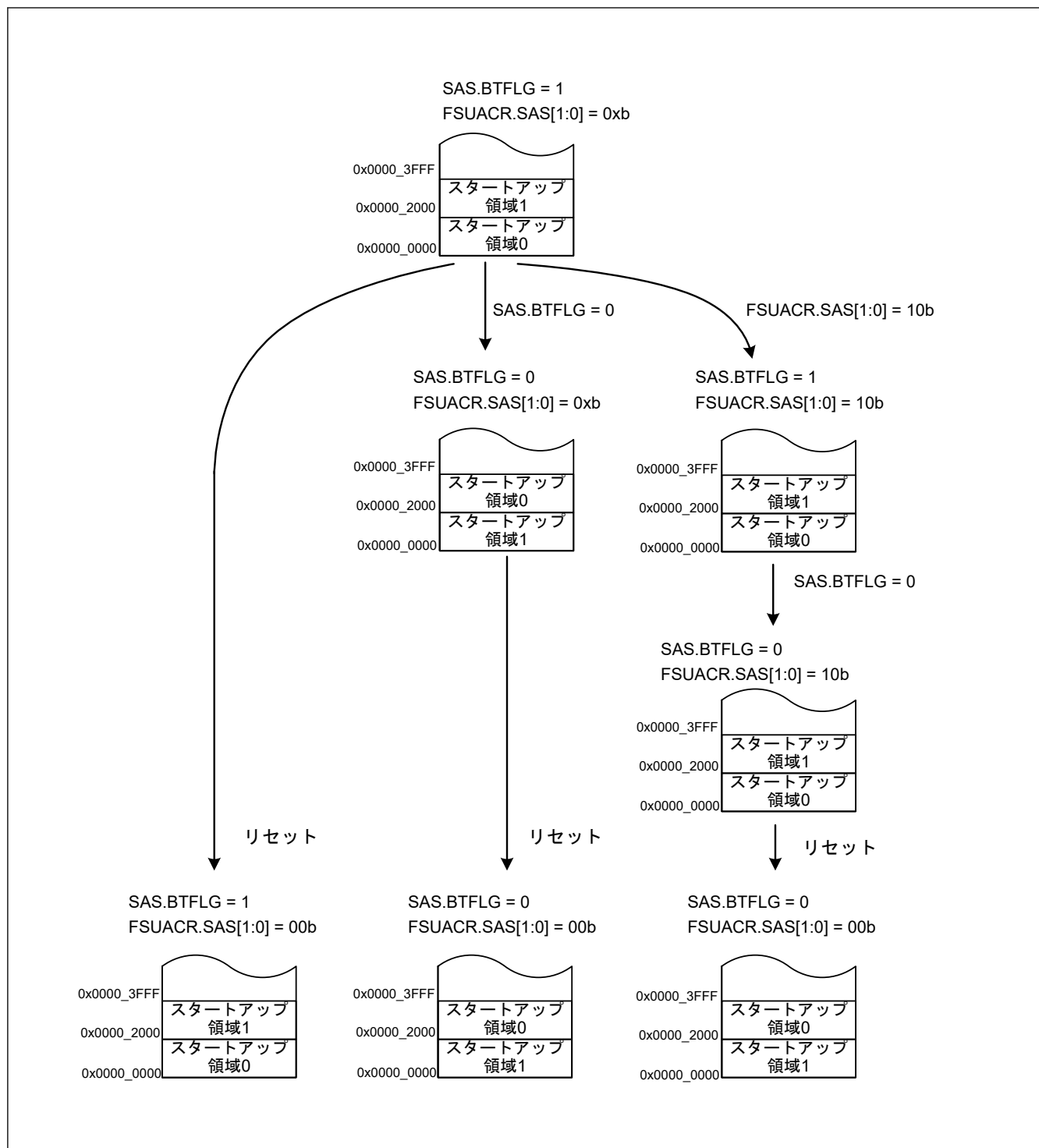


図 39.22 スタートアッププログラムプロテクション設定の遷移例 1

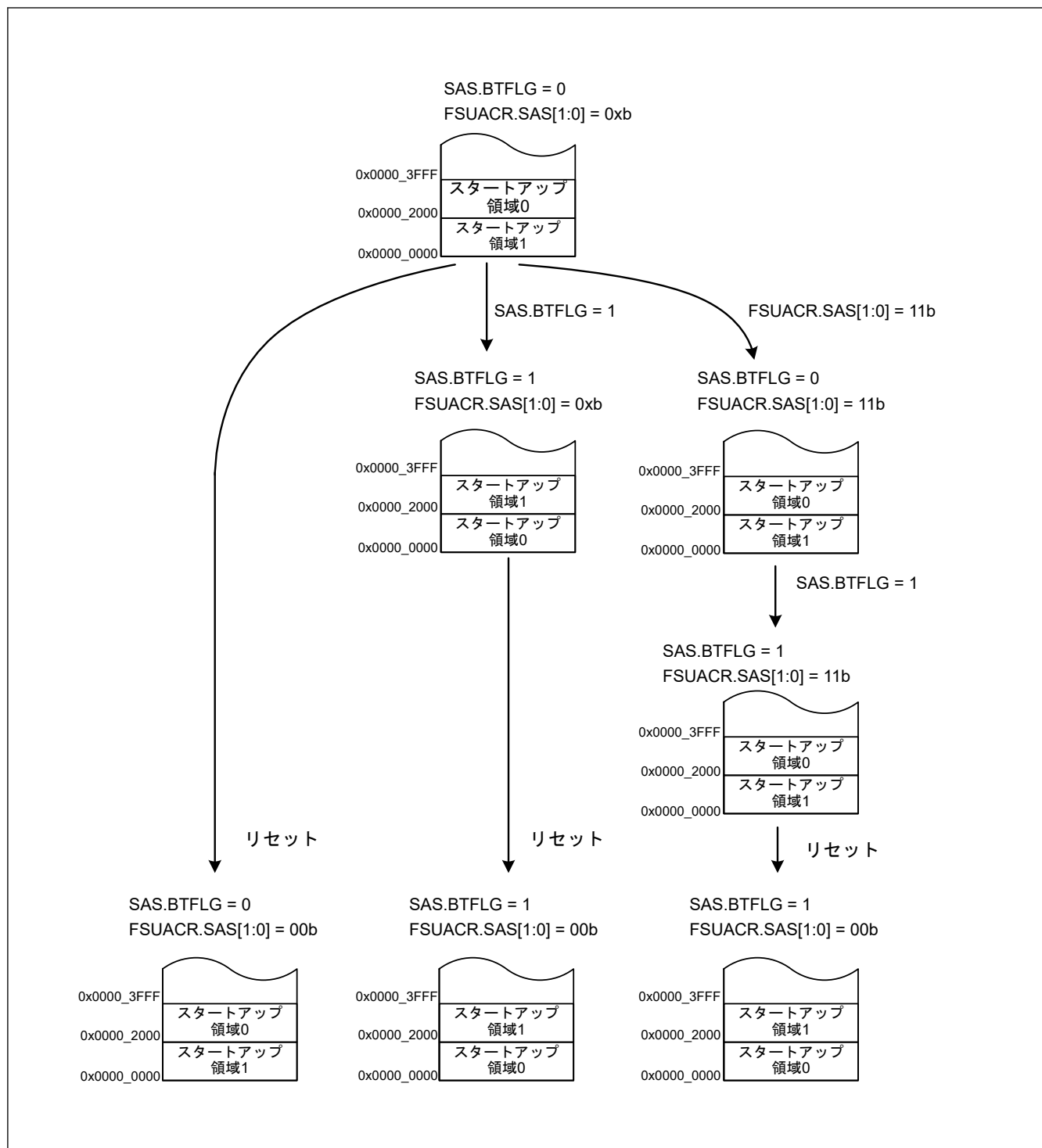


図 39.23 スタートアッププログラムプロテクション設定の遷移例 2

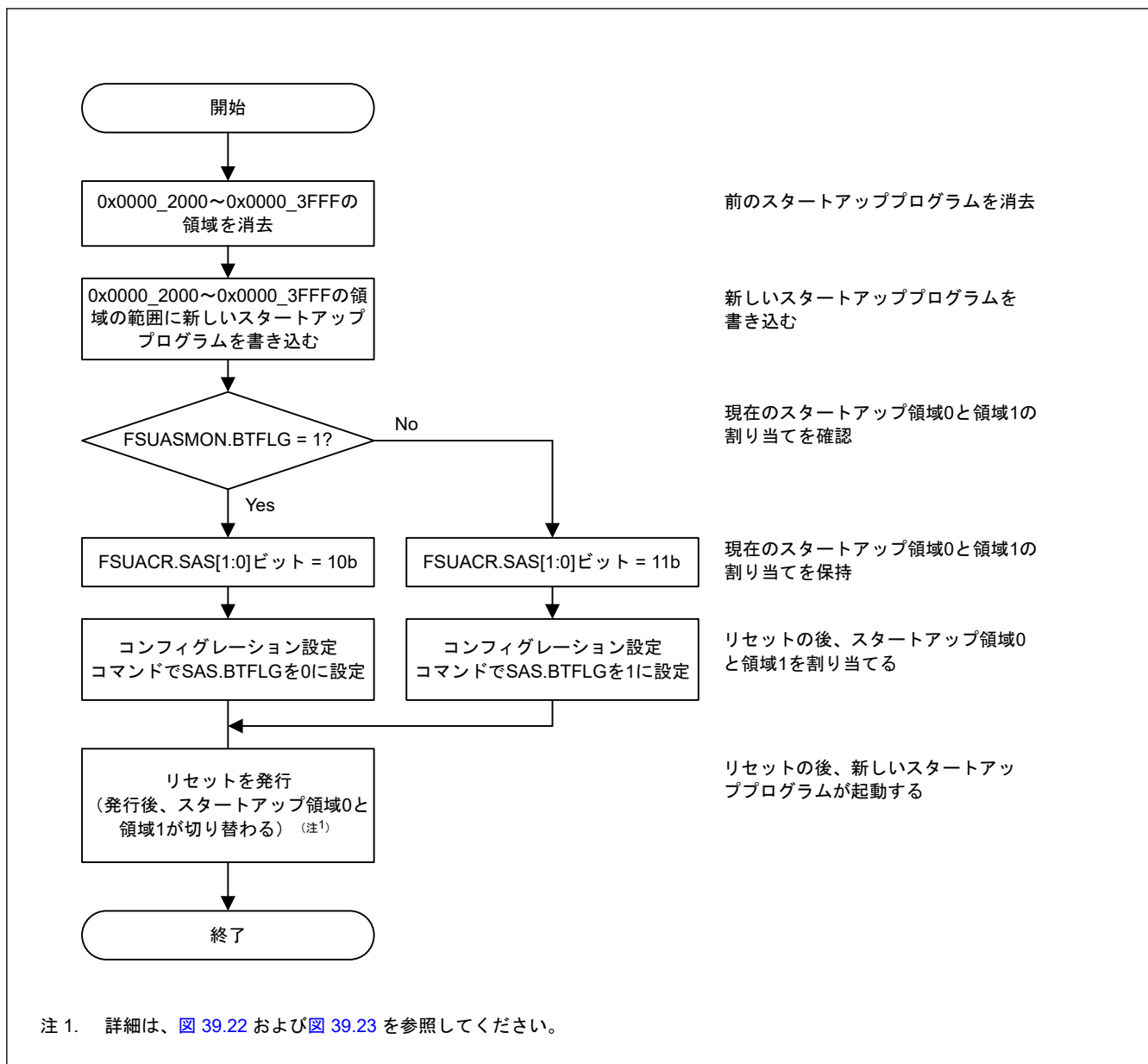


図 39.24 スタートアッププログラムプロテクションの概念

39.11.4 デュアルバンク機能

本プロテクション機能は、バンクモード切り替えおよびスタートアップバンク選択機能を使用しますが、このバンクモード切り替えおよびスタートアップバンク選択機能はユーザープログラム実行中にプログラムを更新したり、リセット中に書き込みが中断された場合に安全な更新方法を提供するための機能です。

39.11.4.1 バンクモードの切り替え

バンクモード切り替え機能は、コードフラッシュメモリのユーザー領域が一つの領域として使用されるリニアモードと、ユーザー領域が2つのバンク領域に分けられるデュアルモードのいずれかを選択します。図 39.25 に、バンクモード切り替えのフローチャート例を示します。オプション設定メモリの DUALSEL.BANKMD[2:0]ビット設定後のリセットにより、バンクモード切り替え機能のモードが決定されます。デュアルモードを選択するとスタートアップバンク選択機能が有効になります。

バンクモード切り替え機能によりデュアルモードが選択されていると (DUALSEL.BANKMD[2:0]ビットが 000b)、スタートアッププログラムプロテクション機能が使用できません。

DUALSEL.BANKMD[2:0]ビットの詳細については、「6. オプション設定メモリ」を参照してください。

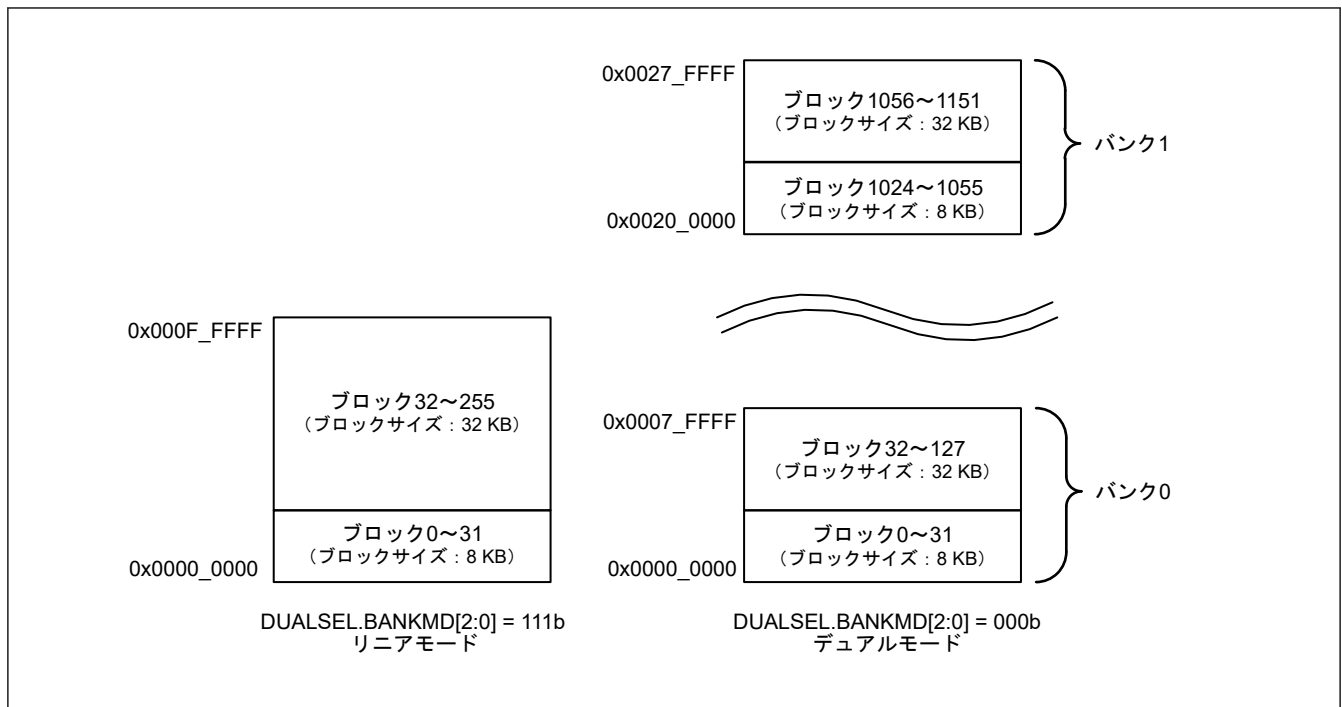


図 39.25 バンクモード切り替えフロー例 (1 MB のコードフラッシュメモリを持つ製品の場合)

39.11.4.2 スタートアップバンクの選択

スタートアップバンクの選択は、リセット中に書き換えが中断されている場合にデュアルモード (DUALSEL.BANKMD[2:0] ビットが 000b) で起動するバンク領域を選択することによりプログラムを安全に更新する方法を提供します。スタートアップバンク選択の概念図を図 39.26 に、スタートアップバンク選択のフロー例を表 39.23 に示します。オプション設定メモリの BANKSEL.BANKSWP[2:0] ビット値を設定した後のリセットにより、バンク 0 とバンク 1 のアドレスが変わり、プログラムのブートアップが更新領域から始まります。スタートアップバンク選択を使用することによりアドレスが切り替わると、FACI コマンドのプログラム/イレース対象も切り替わります。本機能はリニアモードでは無効です。

DUALSEL.BANKMD[2:0] ビットおよび BANKSEL.BANKSWP[2:0] ビットの詳細については、「6. オプション設定メモリ」を参照してください。

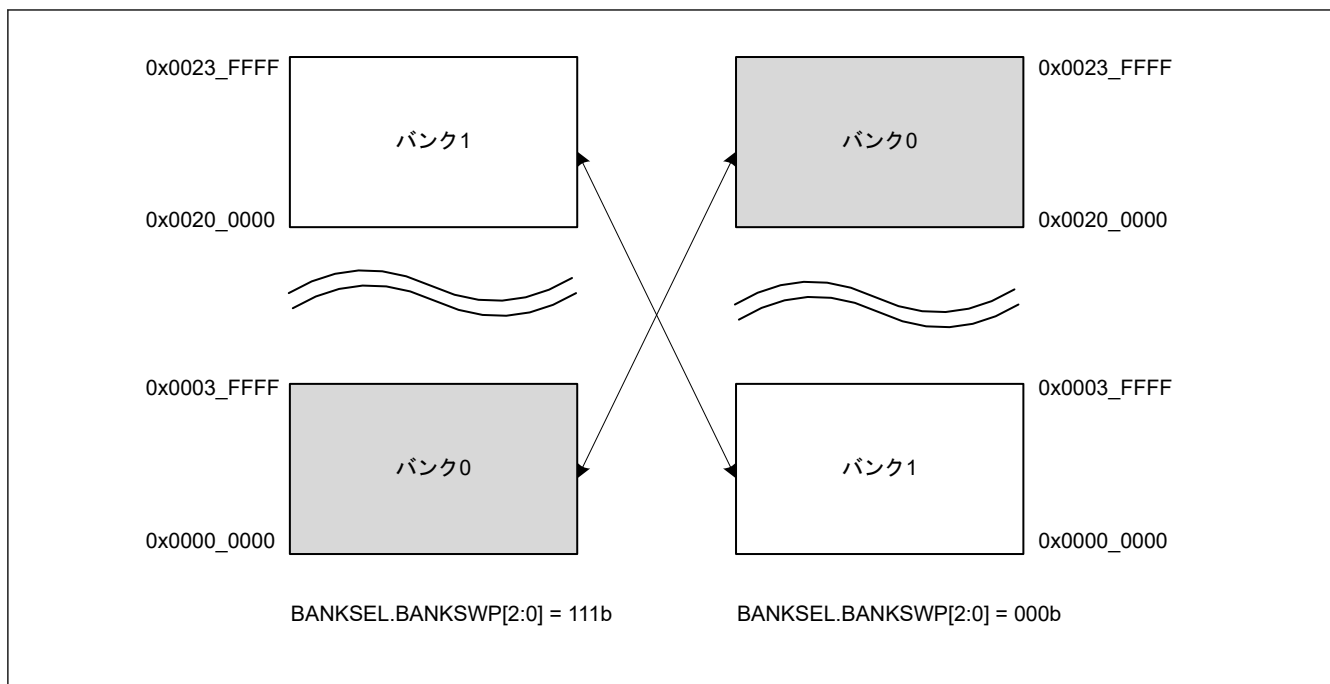


図 39.26 スタートアップバンク選択例（512 KB のコードフラッシュメモリを持つ製品の場合）

表 39.23 スタートアップバンク選択フロー例（512 KB のコードフラッシュメモリを持つ製品の場合）

No.	ステップ名	説明
1	ブロック消去	0x0020_0000～0x0023_FFFF のアドレス範囲で書き込み対象のブロックを消去する
2	新しいソフトウェアを書き込む	0x0020_0000～0x0023_FFFF のアドレス範囲で新しいプログラムを書き込む
3	値を読み出す	BANKSEL.BANKSWP[2:0]ビットの値を読み出す
4	逆の値を書き込む	BANKSEL.BANKSWP[2:0]ビット値の逆の値を書き込む(注1)
5	リセットを発行する	リセットを発行する (リセットによりバンクが切り替わる)

注 1. BANKSEL.BANKSWP[2:0]ビットの読み出し値（000b または 111b）と逆の値を設定してください。

39.11.5 ブロックスワップ機能

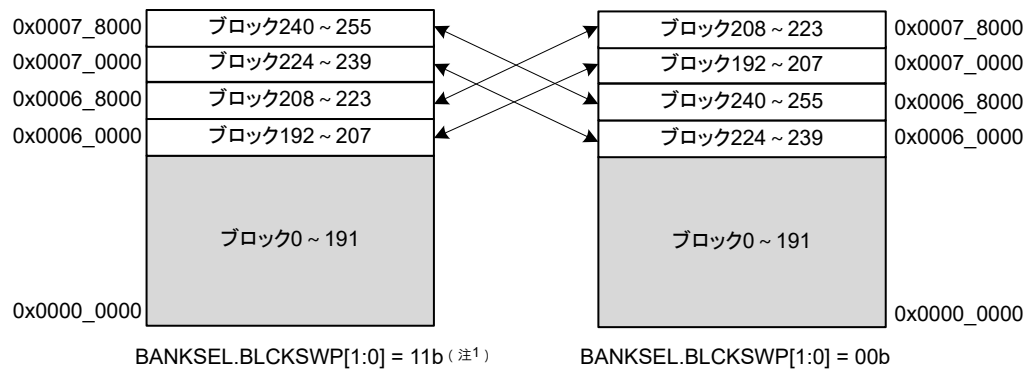
本プロテクション機能は、ブロックスワップ選択機能を使用しますが、このブロックスワップ選択機能はユーザープログラム実行中にプログラムを更新したり、リセット中に書き込みが中断された場合に安全な更新方法を提供するための機能です。

39.11.5.1 ブロックスワップ選択

ブロックスワップ選択は、リセットにより書き換えが中断された場合に、プログラムを安全に更新する一つの方法です。図 39.27 にブロックスワップ選択の概念図を示し、図 39.28 にブロックスワップ選択のフロー例を示します。オプション設定メモリにおいて BANKSEL.BLCKSWP ビットの値を設定した後のリセットにより、ブロック A とブロック B のアドレスが変わります。アドレスが切り替わると、FACI コマンドのプログラム/イレース対象も切り替わります。

さらに、バンクモード切り替え機能によりデュアルモードが選択されている場合（DUALSEL.BANKMD[2:0]ビットが 000b）、本プロテクションは使用できません。

DUALSEL.BANKMD[2:0]ビットおよび BANKSEL.BLCKSWP ビットの詳細については、「6. オプション設定メモリ」を参照してください。



注 1. オプション設定メモリを設定していない製品の場合、BANKSEL.BLCKSWP[3:0]ビットは 1111b です。

図 39.27 **ブロックスワップ選択例** (512 KB のコードフラッシュメモリを持つ製品の場合)



注 1. 対象領域がブロック 192～207 と 224～239 の場合、BANKSEL.BLKSWP[0]ビットは、読み出し値の逆を設定します。
対象領域がブロック 208～223 と 240～255 の場合、BANKSEL.BLKSWP[1]ビットは、読み出し値の逆を設定します。

図 39.28 ブロックスワップ選択フロー例（512 KB のコードフラッシュメモリを持つ製品の場合）

39.12 セキュリティ機能

フラッシュシーケンサは、下記セキュリティ機能をサポートします。

- スタートアップ領域のセキュリティフラグ
- 永久ブロック保護設定
- TrustZone のフラッシュメモリ保護

39.12.1 スタートアップ領域選択のセキュリティフラグ

スタートアップ領域のセキュリティフラグ (SAS.FSPR) は、オプション設定メモリにあります。

SAS.FSPR ビットが 0 のときコンフィグレーション設定コマンドを発行して SAS.BTFLG ビット値を変更すると、チップイレースコマンドによってフラッシュシーケンサはコマンドロック状態になります。また、SAS.FSPR ビットが 0 のとき FSUACR レジスタのスタートアップ領域選択ビット (SAS[1:0]) への書き込みは無効です。SAS.FSPR ビットは保護を有効にします。

39.12.2 永久ブロック保護設定

永久ブロック保護設定は、ブロック保護設定のクリア保護です。永久ブロック保護設定が有効の場合、ユーザー領域は FACL コマンドを使っても永久に更新されません。詳細は、「[39.11.1.2. ブロック保護設定によるプロテクション](#)」を参照してください。

ブロック保護設定および永久ブロック保護設定をすると、コンフィグレーション設定コマンドに対して書き込み／クリア保護を行います。書き込み／クリア保護設定に対してコンフィグレーション設定コマンドを発行してもフラッシュシーケンサはエラーを検出しません。

図 39.29 および表 39.24 に、ブロック保護設定 (BPS[n]) および永久保護設定 (PBPS[n]) に対する書き込み／クリア保護を示します。図 39.30 および表 39.25 に、セキュア用ブロック保護設定 (BPS_SEC[n]) およびセキュア用永久保護設定 (PBPS_SEC[n]) に対する書き込み／クリア保護を示します。

効果的な永久ブロック保護設定 (PBPS または PBPS_SEC) はブロック保護の選択 (BPS_SEL) に依存します。永久ブロック保護設定 (PBPS または PBPS_SEC) およびブロック保護選択 (BPS_SEL) の詳細については、「[6. オプション設定メモリ](#)」を参照してください。

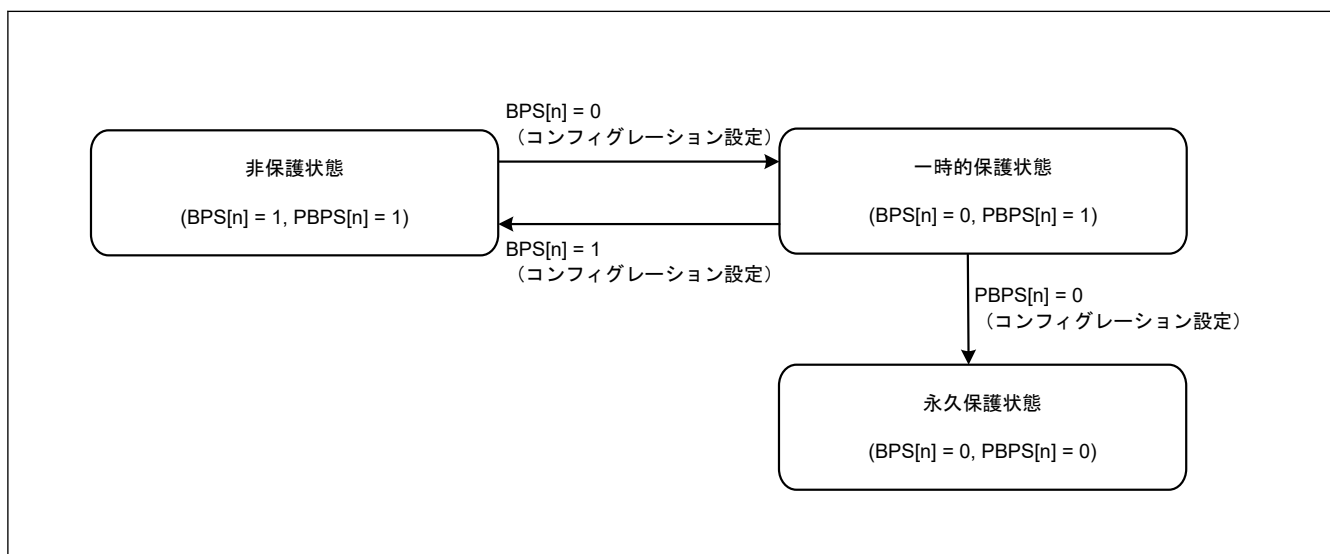


図 39.29 BPS[n]ビットおよび PBPS[n]ビットによるフラッシュシーケンサの状態遷移

表 39.24 BPS[n]ビットおよび PBPS[n]ビットの書き込み／クリア保護

現在の状態		コンフィグレーション設定コマンドによって更新可能			
BPS[n]	PBPS[n]	BPS[n] = 1	BPS[n] = 0	PBPS[n] = 1	PBPS[n] = 0
1	1	✓	✓	✓	X
1	0	—	—	—	—
0	1	✓	✓	✓	✓
0	0	X	✓	X	✓

- 注.
- ✓は、コンフィグレーション設定コマンドによって更新可能であることを示します。
 - Xは、コンフィグレーション設定コマンドによっても更新できないことを示します（エラーは発生しません）。
 - は、この状態にならないことを示します。

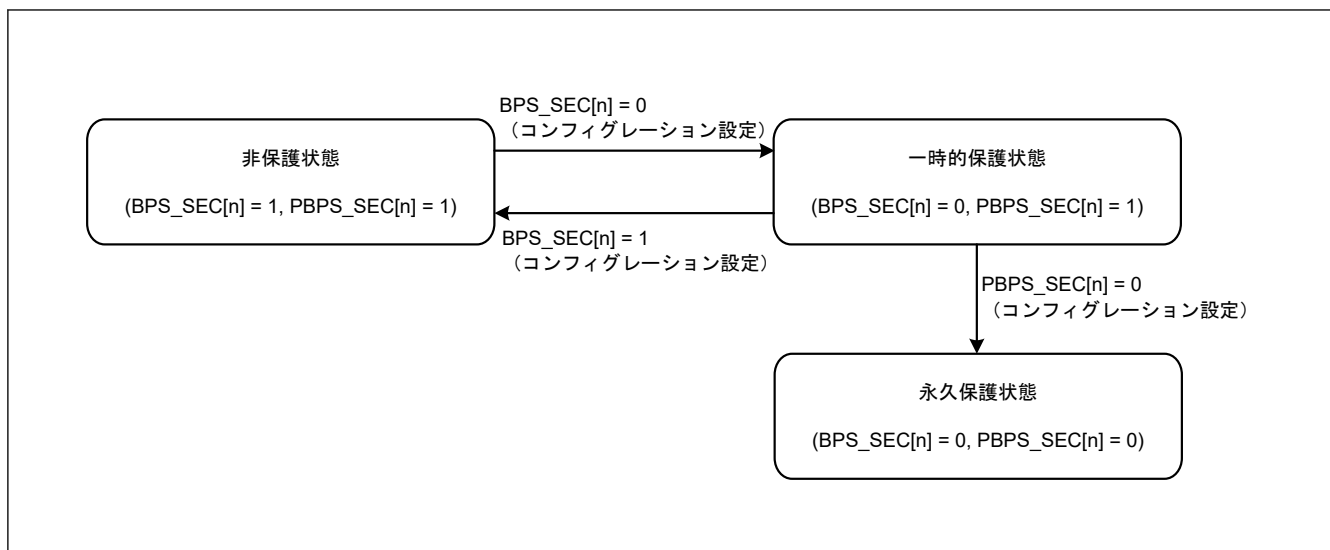


図 39.30 BPS_SEC[n]ビットおよび PBPS_SEC[n]ビットによるフラッシュシーケンサの状態遷移

表 39.25 BPS_SEC[n]ビットおよび PBPS_SEC[n]ビットの書き込み／クリア保護

現在の状態		コンフィグレーション設定コマンドによって更新可能			
BPS_SEC[n]	PBPS_SEC[n]	BPS_SEC[n] = 1	BPS_SEC[n] = 0	PBPS_SEC[n] = 1	PBPS_SEC[n] = 0
1	1	✓	✓	✓	X
1	0	—	—	—	—
0	1	✓	✓	✓	✓
0	0	X	✓	X	✓

注.

- ✓は、コンフィグレーション設定コマンドによって更新可能であることを示します。
- Xは、コンフィグレーション設定コマンドによっても更新できないことを示します（エラーは発生しません）。
- は、この状態にならないことを示します。

39.12.3 TrustZone のフラッシュメモリ保護

本項の情報は、フラッシュシーケンサの動作に焦点を当てています。

フラッシュメモリは、非セキュアアクセスに対して下記の保護機能を備えます。

- フラッシュメモリ領域の保護 (P/E)
- フラッシュメモリ領域の保護（読み出し）
- レジスタの保護
- コードフラッシュ P/E モードエントリ保護

39.12.3.1 フラッシュメモリ領域の保護 (P/E)

本機能は、非セキュアアクセスの FACI コマンド（チップイレースコマンドを除く）からコードフラッシュおよびデータフラッシュのセキュア領域を保護します。保護の条件は、FACI コマンド、アクセス属性、およびメモリのバウンダリ設定に依存します。

セキュア領域の詳細については、「[42. セキュリティ機能](#)」を参照してください。

フラッシュメモリ領域の保護 (P/E) の詳細は[表 39.26](#)を参照してください。

表 39.26 フラッシュメモリ領域の保護 (P/E)

FACI コマンド	対象領域		非セキュアアクセスによる FACI コマンド発行	セキュアアクセスによる FACI コマンド発行
プログラム ブロックイレース ブランクチェック	コードフラッシュメモリ	ユーザー領域（非セキュア領域）	✓	✓
		ユーザー領域（セキュア領域）	X	✓
	データフラッシュメモリ	データ領域（非セキュア領域）	✓	✓
		データ領域（セキュア領域）	X	✓
コンフィグレーション設定	コードフラッシュメモリ	オプション設定メモリ（非セキュア領域）	✓	✓
		オプション設定メモリ（セキュア領域）	X	✓

注.

- ✓は、FACI コマンド動作が禁止されていないことを示します。
- Xは、FACI コマンド動作が禁止されていることを示します。該当領域が選択され、FACI コマンドが実行されるとエラーになります。

FACI コマンドの対象領域がコードフラッシュのユーザー領域の場合、フラッシュシーケンサは、FSADDR レジスタの設定とコードフラッシュのメモリバウンダリ設定を比較し、対象領域がセキュア領域にあるかどうかを判断します。

リニアモードでは、メモリのバウンダリは、0x0000_0000～0x00FF_8000 の範囲で 32 KB 単位で設定可能です。

デュアルモードでは、メモリのバウンダリは、0x0000_0000～0x0020_0000 の範囲で 32 KB 単位で設定可能です。メモリバウンダリがデュアルモードで 0x0020_0000 以上に設定されると、ユーザー領域全体がセキュア領域と定義されます。

図 39.31 に、コードフラッシュのユーザー領域の非セキュア／セキュア属性の詳細を示します。

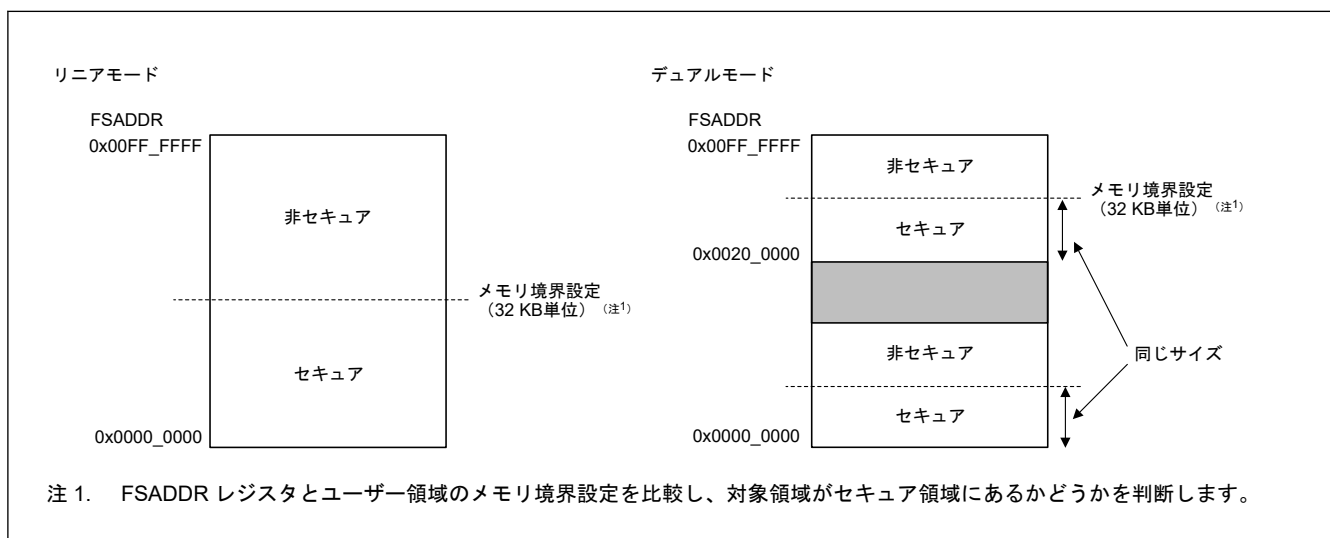


図 39.31 ユーザー領域のセキュア／非セキュア領域

FACI コマンド発行の対象領域がデータフラッシュのデータ領域の場合、フラッシュシーケンサは、FSADDR/FEADDR レジスタの設定とデータフラッシュのメモリバウンダリ設定を比較し、対象領域がセキュア領域にあるかどうかを判断します。メモリのバウンダリは、0x0800_0000～0x0800_FC00 の範囲で 1 KB 単位で設定可能です。図 39.32 に、データフラッシュのデータ領域の非セキュア／セキュア属性の詳細を示します。

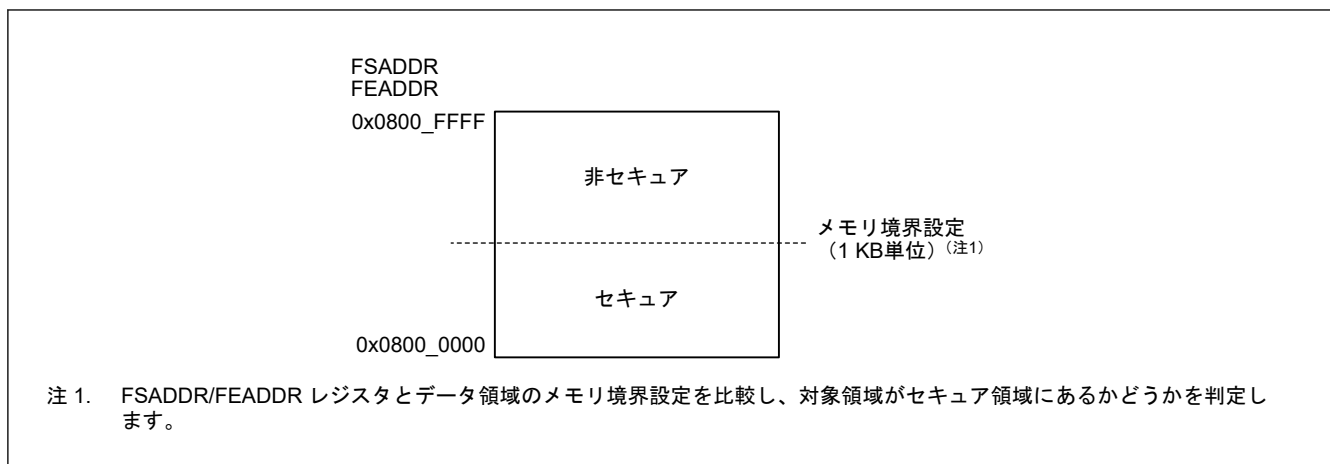


図 39.32 データ領域のセキュア／非セキュア領域

オプション設定メモリの非セキュア／セキュア領域の詳細については、[図 39.33](#) を参照してください。フラッシュシーケンサは、FSADDR レジスタの設定から、対象領域がセキュア領域かどうかを判定します。

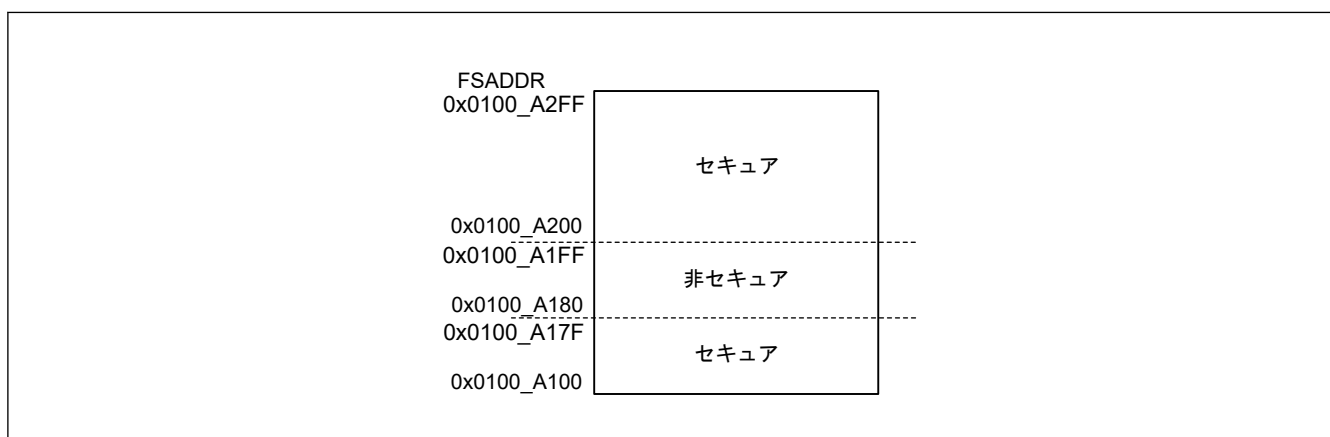


図 39.33 オプション設定メモリのセキュア／非セキュア領域

39.12.3.2 フラッシュメモリ領域の保護（読み出し）

本機能は、非セキュアバスアクセスからコードフラッシュおよびデータフラッシュのセキュア領域を保護します。

セキュア領域の詳細については、「[42. セキュリティ機能](#)」を参照してください。

39.12.3.3 レジスタの保護

フラッシュシーケンサレジスタには、非セキュアアクセスに対するライトアクセス保護を備えます。表 39.27 に、フラッシュシーケンサの保護レジスタの詳細を示します。

表 39.27 TrustZone 用フラッシュシーケンサの保護レジスタ (1/2)

保護対象レジスタ	セキュリティ属性設定	備考
FSAR	常にセキュア	「 39.4.3. FSAR: フラッシュセキュリティ属性レジスタ 」を参照してください。
DFLCTL	SA レジスタの設定 (FSAR.DFLCTLSA)	「 39.4.1. DFLCTL: データフラッシュコントロールレジスタ 」を参照してください。
MEMWAIT	SA レジスタの設定 (FSAR.FLWTSa)	「 8.2.4. MEMWAIT: メモリウェイトサイクルコントロールレジスタ (コードフラッシュ) 」を参照してください。
FLDWAITR	SA レジスタの設定 (FSAR.FCKMHZSA)	「 FLDWAITR: データフラッシュウェイトサイクル設定レジスタ 」を参照してください。

表 39.27 TrustZone 用フラッシュシーケンサの保護レジスタ (2/2)

保護対象レジスタ	セキュリティ属性設定	備考
PFBER	SA レジスタの設定 (FSAR.PFBERSA)	「39.4.2. PFBER : プリフェッチバッファイネーブルレジスタ」を参照してください。
下記以外の FACI レジスタ : - 読み出し専用レジスタ - FMEPROT レジスタ - FBPROT1 レジスタ - FSUACR レジスタ	SA レジスタの設定 (FSAR.FACICOMRSA)	「39.4.3. FSAR : フラッシュセキュリティ属性レジスタ」を参照してください。
FMEPROT	常にセキュア	「39.4.12. FMEPROT : フラッシュ P/E モードエントリ保護レジスタ」を参照してください。
FBPROT1	常にセキュア	「39.4.14. FBPROT1 : セキュア用フラッシュブロック保護レジスタ」を参照してください。
FSUACR	常にセキュア	「39.4.24. FSUACR : フラッシュスタートアップ領域コントロールレジスタ」を参照してください。
FACI コマンド発行領域	SA レジスタの設定 (FSAR.FACICOMISA)	「39.9.1. FACI コマンド一覧」を参照してください。

39.12.3.4 コードフラッシュ P/E モードエントリ保護

フラッシュシーケンサには、セキュア開発者用に FMEPROT レジスタによるコードフラッシュ P/E のプロテクション機能があります。本プロテクション機能によりセキュア関数がコードフラッシュメモリの読み出しを防止できます。「39.4.12. FMEPROT : フラッシュ P/E モードエントリ保護レジスタ」を参照してください。

セキュア関数以外に非セキュア領域のプログラム／イレースを必要としないアプリケーションでは、FMEPROT レジスタのプロテクション機能を有効にすることによりコードフラッシュプログラム／イレースの非セキュア関数を常に無効にしておくことを推奨します。

非セキュア関数によるコードフラッシュ P/E シーケンス例については、図 39.34 を参照してください。

FMEPROT レジスタの保護が有効であるとき、セキュア関数ではコードフラッシュに割り込みベクタを設定することができます。非セキュア関数ではコードフラッシュ P/E 要求を呼び出す必要があります。非セキュア関数によるコードフラッシュ P/E シーケンス例については図 39.35 を参照してください。

FMEPROT レジスタの保護が無効であるとき、セキュア関数ではコードフラッシュに割り込みベクタを設定することができません。非セキュア関数によるコードフラッシュ P/E シーケンス例については図 39.36 を参照してください。



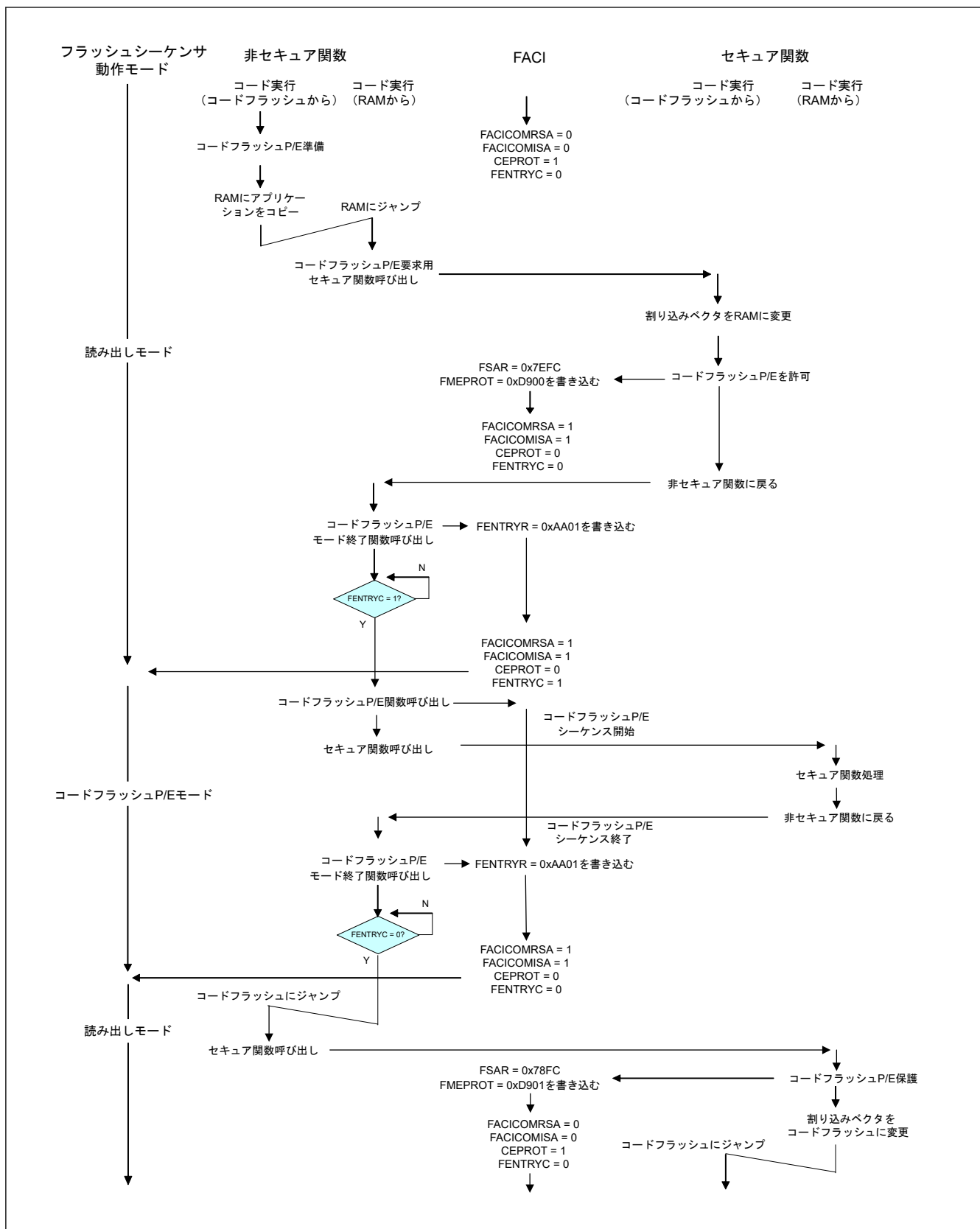


図 39.35 非セキュア関数によるコードフラッシュ P/E シーケンス例 (1) (コードフラッシュ P/E 用非セキュア関数使用)

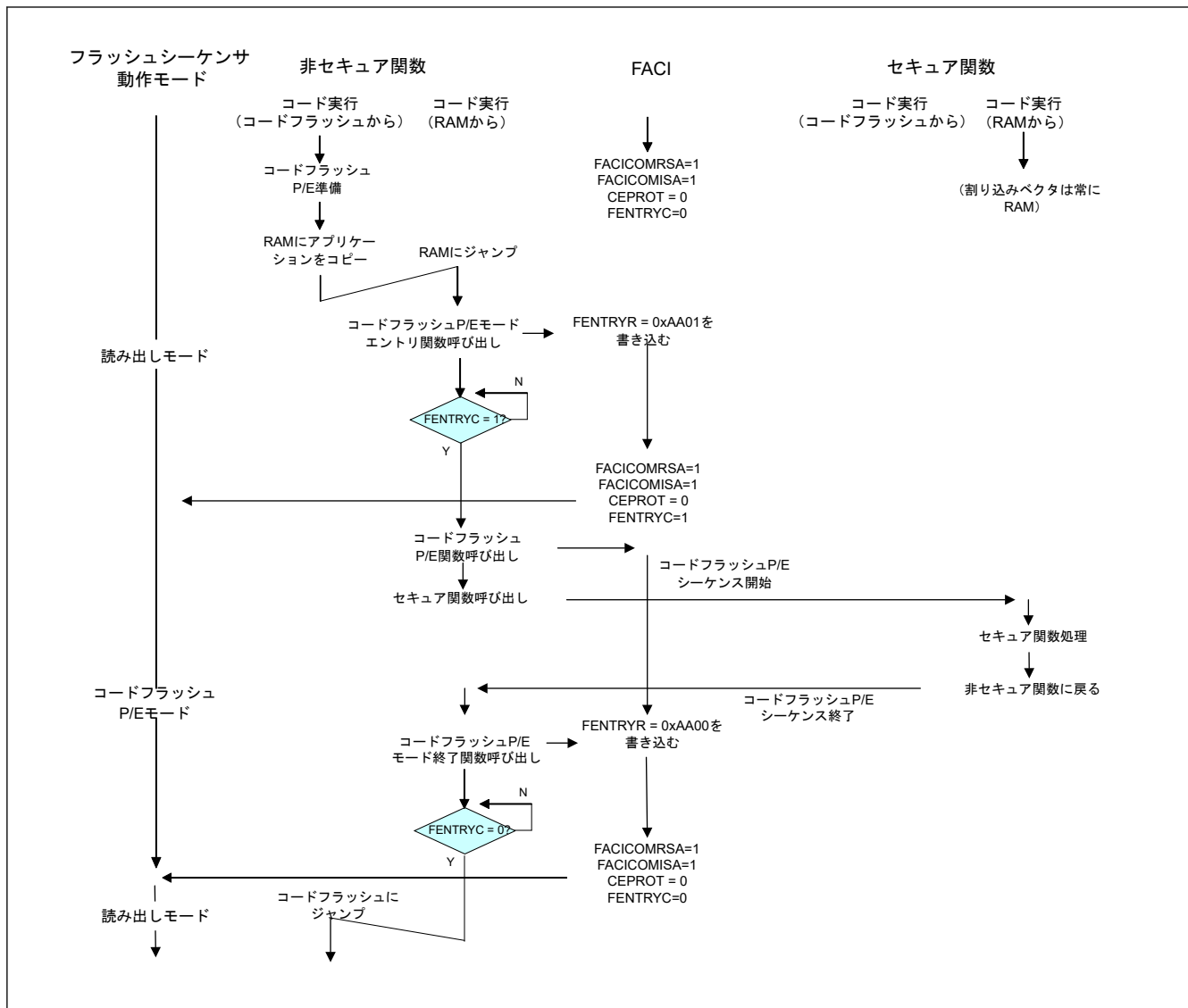


図 39.36 非セキュア関数によるコードフラッシュ P/E シーケンス例 (2) (コードフラッシュ P/E 用非セキュア関数使用)

39.13 ブートモード

シリアルプログラミングモードには次の 2 種類があります。

- SCI9 によるブートモード (SCI インタフェース用)
- 内蔵 SWD によるブートモード (SWD インタフェース用)

使用可能なインタフェースやツールへの接続時間は、MCU に接続されているクロックソースによって異なります。表 39.28 にブートモードで使用する入出力端子の一覧を示します。表 39.29 にブートモードで使用可能な通信インタフェースとクロックソースに応じた接続時間の一覧を示します。

表 39.28 ブートモードで使用する入出力端子 (1/2)

端子名	入力/出力	使用するモード	使用
MD	入力	ブートモード (SCI インタフェース) ブートモード (SWD インタフェース)	動作モードの選択
P110/RXD9	入力	ブートモード (SCI インタフェース)	ホスト通信用 (SCI データ受信用)
P109/TXD9	出力	ブートモード (SCI インタフェース)	ホスト通信用 (SCI データ送信用)

表 39.28 ブートモードで使用する入出力端子 (2/2)

端子名	入力/出力	使用するモード	使用
SWCLK	入力	ブートモード (SWD インタフェース)	シリアルワイヤクロック端子
SWDIO	入出力		シリアルワイヤデータ入出力端子

表 39.29 クロックソースに応じたツール接続時間

メインクロック発振器	サブクロック発振器	使用可能なインタフェース	ツール接続時間(注2)
接続	Don't care	SCI	最大 1 秒
非接続	接続(注1)	SCI	最大 2 秒
非接続	非接続	SCI	最大 3 秒

注 1. サブクロック発振器の駆動能力は SOMCR.SODRV ビットにより標準に設定されています。自ボードの低駆動能力に対応した水晶振動子を使用している場合、ブートモードでは水晶振動子が発振しない場合があることに注意してください。

注 2. ツール接続時間とは、MCU とホスト間の通信が確立されるまでの時間を意味します。詳しくは、ブートファームウェアのアプリケーションノートを参照してください。

39.13.1 ブートモード (SCI インタフェース)

ブートモード (SCI インタフェース) では、ホストは制御コマンドや書き込み用データを送信して、それによってフラッシュメモリはプログラム/イレースされます。ホストと本 MCU 間の通信には、内蔵の SCI を調歩同期モードで使します。ホストには制御コマンドを送信するためのツールとプログラム用データを準備する必要があります。

本 MCU をブートモード (SCI インタフェース) で起動すると、MCU の専用領域上のプログラムが実行されます。ブートプログラムは、SCI のビットレートの自動調整と、ホストからの制御コマンドを受けてのプログラム/イレースの制御を行います。

図 39.37 にブートモード (SCI インタフェース) 時のシステム構成を示します。

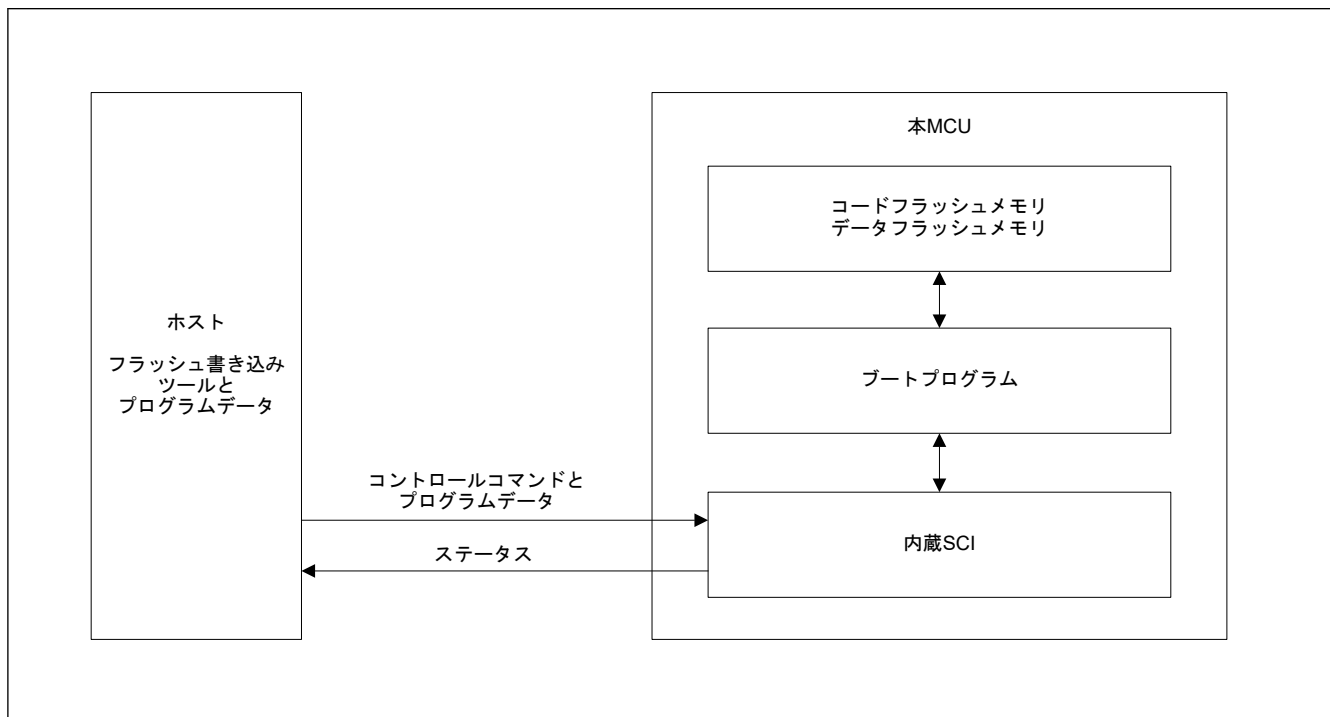


図 39.37 ブートモード (SCI インタフェース) 時のシステム構成

39.13.2 ブートモード (SWD インタフェース)

ブートモード (SWD インタフェース) では、ホストから制御コマンドや書き込みデータを送信することによりフラッシュメモリへの書き込みまたは消去が可能です。ホストと本 MCU 間の通信には内蔵 SWD が使されます。ホストが制御コマンドや書き込み用のデータを送信するにはツールが必要です。図 39.38 にブートモードの

システム構成（SWD インタフェースを使用）を示します。リセット解除時、SWD インタフェースが接続されていないかもしれません。

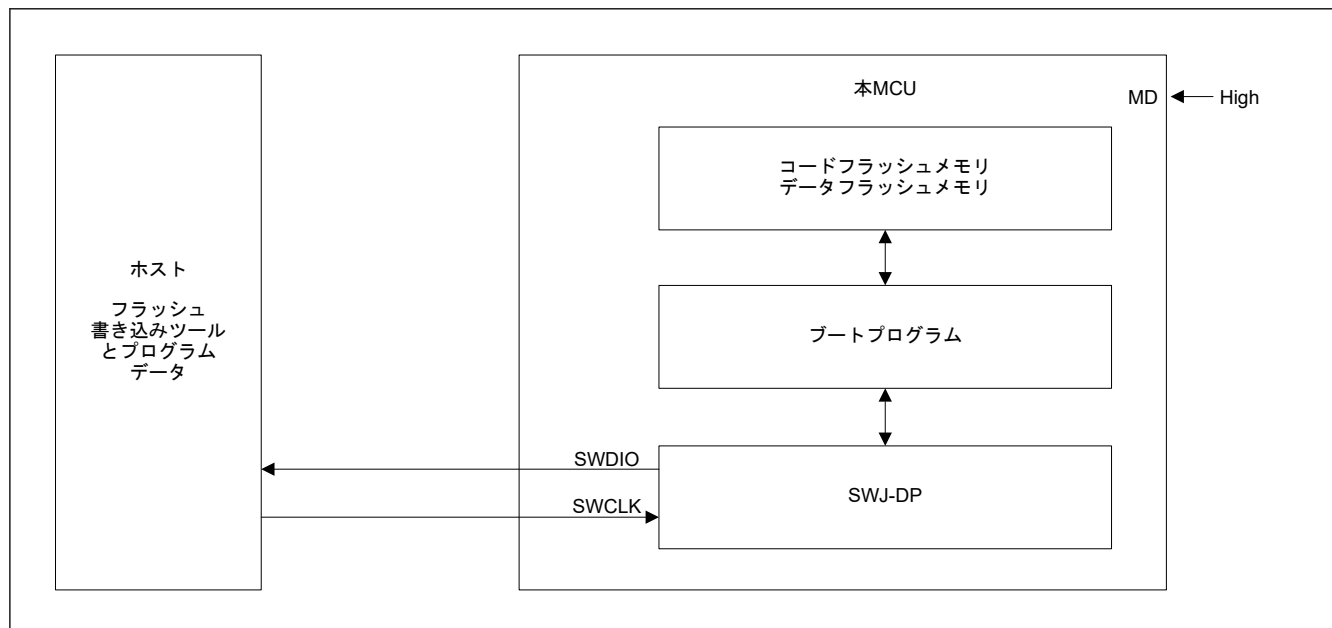


図 39.38 フラッシュメモリ関連モジュールのブロック図

39.14 シリアルプログラマを使用した書き込み

シリアルプログラマを使用して、ブートモードでフラッシュメモリの書き換えを行うことができます。

(1) シリアルプログラミング

シリアルプログラミング時に、本 MCU はボードに装着されています。ボードにコネクタを備えることにより、シリアルプログラマは本 MCU の書き換えを行うことができます。

39.14.1 シリアルプログラミング環境

図 39.39 に、本 MCU のフラッシュメモリのデータを書き換えるための推奨環境を示します。

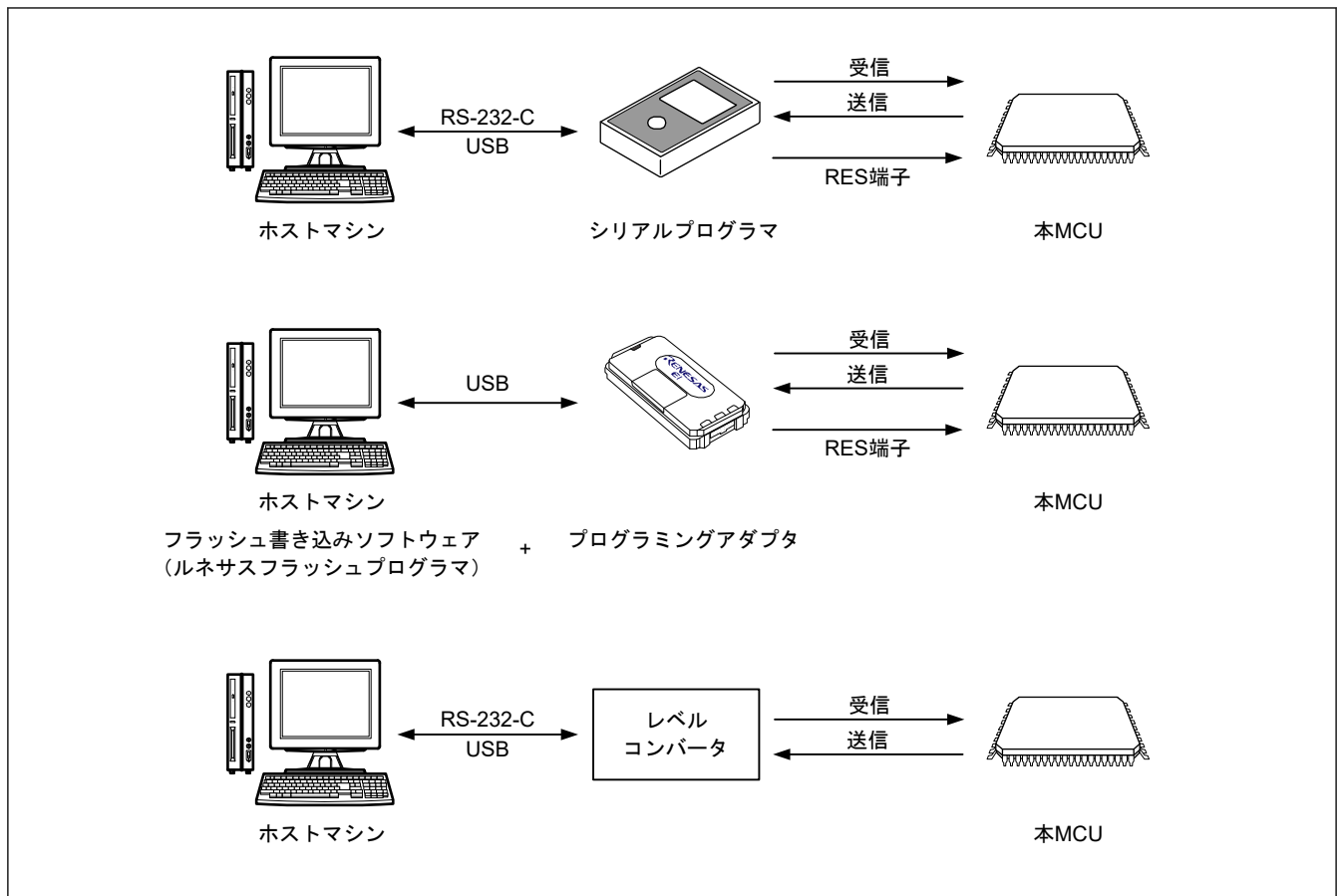


図 39.39 フラッシュメモリを書き換えるための環境

39.15 セルフプログラミングでの書き換え

39.15.1 概要

本 MCU は、ユーザープログラム自体によるフラッシュメモリの書き換えをサポートします。FACI コマンドをユーザーのプログラムで使用することにより、フラッシュメモリに書き込むことができます。これにより、ユーザープログラムのアップグレードと、定数データフィールドの書き換えが可能になります。

セルフプログラミングでは、プログラム電圧とイレース電圧を生成するために安定した HOCO クロックをフラッシュメモリに供給する必要があります。したがって、システムクロックとして他のクロックソースが選択されて HOCO が停止していた場合、セルフプログラミングの実行を開始する前に、HOCO の動作を開始して発振が安定状態であることを確認する必要があります。

BGO が使用できないか、またはオプション設定メモリを書き換える場合、事前に内蔵 RAM または外部メモリに書き換え用のプログラムを転送する必要があります。

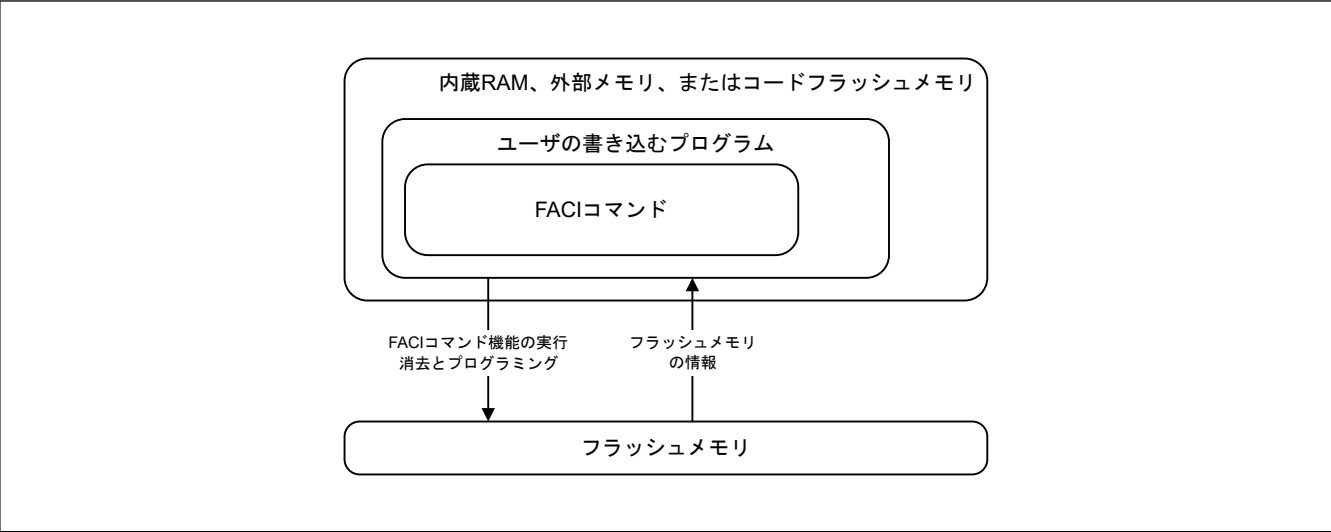


図 39.40 セルフプログラミングの概念

セルフプログラミングの概要情報については、「39.9. FACI コマンド」を参照してください。

39.15.2 バックグラウンドオペレーション

バックグラウンドオペレーション (BGO) は、データフラッシュメモリまたはコードフラッシュメモリの他の領域が書き換えられるときにコードフラッシュメモリ上でフラッシュ書き換えルーチンを実行するのに使用されます。

書き換え対象のフラッシュメモリと読み出し対象のフラッシュメモリが表 39.30 に記載の組み合わせである場合には、バックグラウンドオペレーションを利用できます。

表 39.30 バックグラウンドオペレーションの利用可能な条件

		書き換え範囲	読み出し範囲
リニアモードとデュアルモードに共通		コードフラッシュメモリ	データフラッシュメモリ
		データフラッシュメモリ	コードフラッシュメモリ
リニアモード	512 KB のコードフラッシュメモリを持つ製品	コードフラッシュメモリの前半 256 K バイト (アドレス : 0x0000_0000 ~ 0x0003_FFFF)	コードフラッシュメモリの後半 256 K バイト (アドレス : 0x0004_0000 ~ 0x0007_FFFF)
		コードフラッシュメモリの後半 256 K バイト (アドレス : 0x0004_0000 ~ 0x0007_FFFF)	コードフラッシュメモリの前半 256 K バイト (アドレス : 0x0000_0000 ~ 0x0003_FFFF)
リニアモード	256 MB のコードフラッシュメモリを持つ製品	コードフラッシュメモリの前半 128 K バイト (アドレス : 0x0000_0000 ~ 0x0001_FFFF)	コードフラッシュメモリの後半 128 K バイト (アドレス : 0x0002_0000 ~ 0x0003_FFFF)
		コードフラッシュメモリの後半 128 K バイト (アドレス : 0x0002_0000 ~ 0x0003_FFFF)	コードフラッシュメモリの前半 128 K バイト (アドレス : 0x0000_0000 ~ 0x0001_FFFF)
デュアルモード	BANKSEL.BANKSWP[2:0]ビットが 111b のとき	コードフラッシュメモリのバンク 1 領域	コードフラッシュメモリのバンク 0 領域
	BANKSEL.BANKSWP[2:0]ビットが 000b のとき	コードフラッシュメモリのバンク 0 領域	コードフラッシュメモリのバンク 1 領域

39.16 フラッシュメモリの読み出し

39.16.1 コードフラッシュメモリの読み出し

リセット解除後のコードフラッシュメモリの読み出し時には、特別な設定は必要ありません。コードフラッシュメモリのアドレスにアクセスすることで、データを読み出すことが可能です。

イレース後にプログラミングしていない状態（未プログラム状態）のコードフラッシュメモリを読み出すと、全ビット 1 が読み出されます。

39.16.2 データフラッシュメモリの読み出し

通常モードでデータフラッシュメモリを読み出すのに、特別な設定は必要ありません。ただし、データフラッシュアクセス無効モードが読み出しを無効にするリセットを発行する場合を除きます。この場合、アプリケーションはデータフラッシュ読み出しモードへの遷移が必要です。データフラッシュメモリのアドレスにアクセスすることで、データを読み出すことが可能です。

イレース後にプログラミングしていない状態（未プログラム状態）のデータフラッシュメモリをリードすると、全ビット 1 が読み出されます。

39.16.3 アクセスサイクル

CPU キャッシュがヒットの場合、アクセスは 1 サイクルです。

表 39.31、表 39.32、および表 39.33 に、CPU キャッシュ動作が有効で CPU キャッシュがミスとなった場合、または CPU キャッシュが無効の場合のアクセスサイクルを示します。

表 39.31 コードフラッシュメモリ（CPU アクセス）

プリフェッチ動作	周波数 (MHz)	リードサイクル (ICLK)
有効かつヒット	$ICLK \leq 32$	3 ICLK
	$32 < ICLK \leq 48$	3 ICLK
	$48 < ICLK \leq 80$	3 ICLK
無効またはミス	$ICLK \leq 32$	3 ICLK
	$32 < ICLK \leq 48$	4 ICLK
	$48 < ICLK \leq 80$	最小値 : 5 ICLK 最大値 : 6 ICLK

表 39.32 コードフラッシュメモリ（DMAC または DTC アクセス）

プリフェッチ動作	周波数 (MHz)	リードサイクル (ICLK)
有効かつヒット	$ICLK \leq 32$	1 ICLK
	$32 < ICLK \leq 48$	1 ICLK
	$48 < ICLK \leq 80$	1 ICLK
無効またはミス	$ICLK \leq 32$	1 ICLK
	$32 < ICLK \leq 48$	2 ICLK
	$48 < ICLK \leq 80$	最小値 : 3 ICLK 最大値 : 4 ICLK

表 39.33 データフラッシュメモリ

周波数 (MHz)	リードサイクル (ICLK)
$ICLK \leq 32$	7 ICLK
$32 < ICLK \leq 48$	8 ICLK
$48 < ICLK \leq 80$	最小値 : 14 ICLK 最大値 : 15 ICLK

注: 読み出しデータサイズが 1 バイトのとき

39.17 使用上の注意事項

(1) イレースを強制停止した領域

イレース動作を強制停止した領域のデータは不定です。不定データの読み出しによる誤動作を回避するためには、イレース動作を強制停止した領域でコマンド実行やデータ読み出しをしないでください。

(2) 強制停止コマンドによるイレースの中断

強制停止コマンドで中断した処理（ブランクチェックを除く）を再開するコマンドは用意されていません。

(3) 追加プログラムの禁止

同一アドレスに2回以上プログラミングすることはできません。プログラム済みの領域にプログラミングする場合、最初にその領域をイレースしてください。

(4) プログラム／イレース中のリセット

プログラム／イレース中 RES 端子に現れた信号またはフラッシュメモリのブランクチェックによりリセットとなった場合、動作電圧が電気的特性で規定された範囲になった後リセット入力期間の少なくとも t_{RESW} （「[43. 電気的特性](#)」参照）待機した後、デバイスをリセット状態から解放します。

(5) プログラム／イレース処理中の割り込みベクタの配置

プログラム／イレース処理中に割り込みが発生すると、コードフラッシュメモリからベクタがフェッチされることがあります。コードフラッシュメモリからのベクタのフェッチを回避するには、割り込み表でコードフラッシュメモリ以外の領域を割り込みベクタのフェッチ先に指定してください。

(6) Low-speed 動作モードでのプログラム／イレース

動作電力コントロールレジスタ（OPCCR または SOPCCR）で Low-speed 動作モードが選択されている場合はフラッシュメモリに対してプログラム／イレースを行わないでください。

(7) プログラム／イレース処理中の異常終了

プログラム／イレース処理中に電圧が動作電圧の範囲を超えた場合、およびリセットまたは (8) に記載の禁止動作が原因でプログラム／イレース処理が正常に終了しなかった場合、その領域を再度イレースしてください。

(8) プログラム／イレース処理中に禁止されている動作

フラッシュメモリの損傷を防ぐため、以下の動作を実行しないでください。

- 電源を動作電圧範囲外にすること
- OPCCR.OPCM[2:0]ビットおよび SOPCCR.SOPCM ビットを変更すること
- フラッシュインタフェースクロック (FCLK) の分周比を変更すること
- MCU をソフトウェアスタンバイモードにすること
- データフラッシュメモリへのプログラム／イレース処理中にデータフラッシュアクセス制御設定を変更すること

(9) デュアルバンクモードの設定およびブートモードでのプログラミング

MCU のルネサス出荷時の初期モードはリニアモードです。お客様の工場デュアルバンクモードを設定し、リニアモードでお客様のアプリケーションを MCU に書き込む場合、ブートモードで [図 39.41](#) の領域 1 のみに書き込みを行い、領域 2 はブランクのままにしておくことが推奨されます。リセット後、MCU はデュアルモードで起動し、アプリケーションはバンク 0 にあります。現場で更新を行うために領域 2 に書き込む場合はセルフプログラミングを使ってください。詳細は、「[42.6. デュアルモードでのフィールドアップデート](#)」を参照してください。

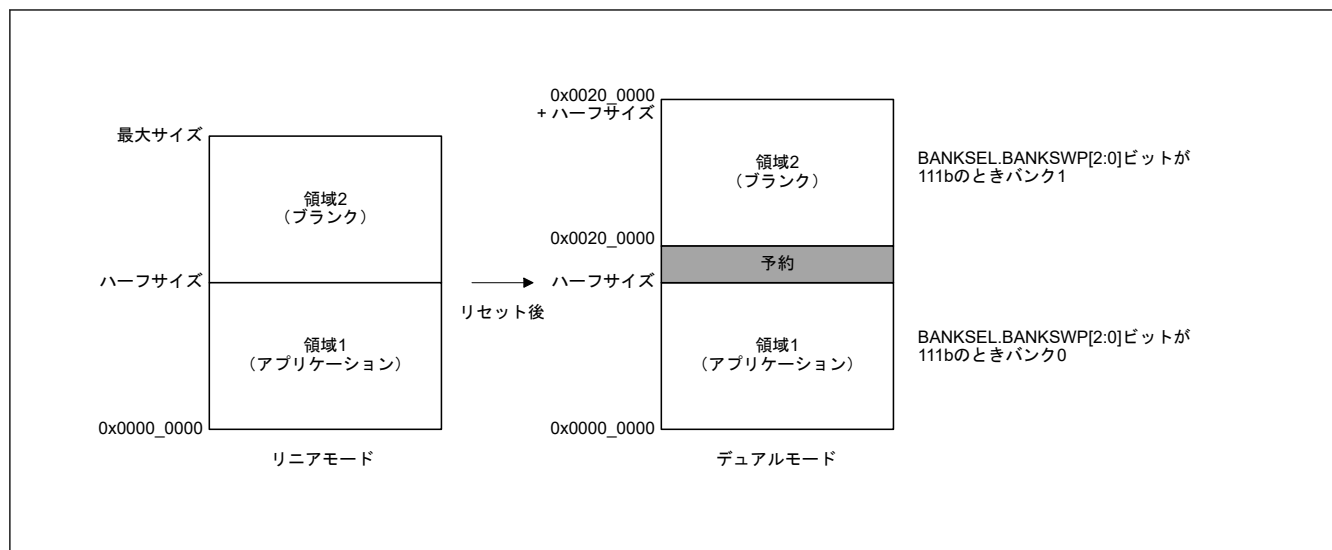


図 39.41 リニアモードでのデュアルモード用アプリケーションの書き込み

40. セグメント LCD コントローラ (SLCDC)

40.1 概要

本 MCU は、LCD 表示と表示端子用のコントローラを備えています。SLCDC の仕様を表 40.1 に示します。

表 40.1 SLCDC の仕様

項目	仕様
機能	- 液晶波形（波形 A または B）を選択可能 - LCD 駆動電圧発生器は、内部電圧昇圧方式、容量分割方式、および外部抵抗分割方式の間で切り替えが可能 - 自動表示データレジスタの読み出しに基づくセグメント信号と共用信号の自動出力 - 電圧昇圧回路の基準電圧は 23 段階から選択可能（コントラスト調整） - LCD の点滅と表示を選択可能 - 内部電圧昇圧方式では、VL1 基準モード（1/3 または 1/4 バイアス）および VL2 基準モード（1/3 バイアス）を選択可能 - 容量分割方式では、従来の VCC 基準モード（1/3 バイアス）および VL4 基準モード（1/3 バイアス）を選択可能
端子数	端子数の詳細は、表 40.2 「100 ピン製品の SLCDC 表示機能端子」を参照してください。
ソースクロック	- メインクロック発振器 (MOSC) - サブクロック発振器 (SOSC) - 低速オンチップオシレータ (LOCO) - 高速オンチップオシレータ (HOCO)
モジュールストップ状態機能	モジュールストップ状態に設定して消費電力の削減が可能
TrustZone フィルタ	セキュリティ属性を設定できます。

MCU の LCD 表示機能端子の数は製品により異なります。表 40.2 と表 40.3 に、ピン数が異なる製品における表示機能端子を示します。表 40.4 と表 40.5 に、ピン数が異なる製品における最大画素数を示します。図 40.1 に SLCDC のブロック図を示します。

表 40.2 100 ピン製品の SLCDC 表示機能端子

LCD コントローラ／ドライバ	セグメント端子数 (SEG) : 48 (44) ^(注1) 共通端子数 (COM) : 8															
兼用 I/O ポート	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
PORT 0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PORT 1	SEG2 7	SEG2 6	SEG2 5	SEG3 / COM 7	SEG2 / COM 6	SEG1 / COM 5	SEG0 / COM 4	SEG2 4	SEG3 4	SEG3 5	SEG3 6	SEG3 7	SEG3 8	SEG3 9	SEG4 0	SEG 41
PORT 2	—	—	—	—	SEG1 5	SEG1 6	SEG1 7	COM 1	—	—	COM 0	SEG1 4	—	—	—	—
PORT 3	—	—	—	—	—	—	—	—	SEG1 8	SEG1 9	SEG2 0	COM 2	COM 3	SEG2 1	SEG2 2	SEG 23
PORT 4	SEG9	SEG1 0	SEG1 1	SEG1 2	VL1 (注3)	VL2 (注3)	VL4 (注3)	VL3 (注3)	SEG1 3	—	SEG2 4	SEG2 3	SEG7	SEG6	SEG5	SEG 4
PORT 5	—	—	—	—	—	—	—	—	—	—	SEG4 7	SEG4 6	SEG4 5	SEG4 4	SEG4 3	SEG 42
PORT 6	—	—	—	—	—	SEG3 0	SEG2 9	SEG2 8	—	—	—	—	—	SEG3 1	SEG3 2	SEG 33
PORT 7	—	—	—	—	—	—	—	SEG8	—	—	—	—	—	—	—	—
PORT 8	CAP H ^(注2)	CAPL ^(注2)	—	—	—	—	—	—	—	—	—	—	—	—	—	—

注 1. () は、8 タイムスライスが選択されている場合の信号出力端子の数を示します。

注 2. CAPH と CAPL は、LCD コントローラ／ドライバのキャパシタ接続端子を示します。

注 3. VL1、VL2、VL3、および VL4 は、LCD 駆動用電源端子です。

表 40.3 64 ピン LQFP の SLCDC 表示機能端子

LCD コントローラ/ドライバ	セグメント端子数 (SEG) : 22 (18) ^(注1) 共通端子数 (COM) : 8															
兼用 I/O ポート	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
PORT 0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PORT 1	—	—	SEG2 5	SEG3 /COM 7	SEG2 /COM 6	SEG1 /COM 5	SEG0 /COM 4	SEG2 4	—	SEG3 5	SEG3 6	SEG3 7	SEG3 8	SEG3 9	SEG4 0	SEG 41
PORT 2	—	—	—	—	—	—	—	COM 1	—	—	COM 0	—	—	—	—	—
PORT 3	—	—	—	—	—	—	—	—	—	—	—	COM 2	COM 3	SEG2 1	SEG2 2	SEG 23
PORT 4	—	—	—	—	VL1 (注3)	VL2 (注3)	VL4 (注3)	VL3 (注3)	SEG1 3	—	—	—	—	—	SEG5	SEG 4
PORT 5	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SEG 42
PORT 6	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PORT 7	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PORT 8	CAP H ^(注2)	CAPL (注2)	—	—	—	—	—	—	—	—	—	—	—	—	—	—

注 1. () は、8 タイムスライスが選択されている場合の信号出力端子の数を示します。

注 2. CAPH と CAPL は、LCD コントローラ/ドライバのキャパシタ接続端子を示します。

注 3. VL1、VL2、VL3、および VL4 は、LCD 駆動用電源端子です。

表 40.4 100 ピン製品の最大画素数 (1/3)

LCD ドライバの波形	LCD 駆動電圧発生器		バイアスモード	タイムスライスの数	最大画素数
波形 A	外部抵抗分割		—	スタティック	48 (48 セグメント信号、1 共通信号)
			1/2	2	96 (48 セグメント信号、2 共通信号)
				3	144 (48 セグメント信号、3 共通信号)
			1/3	3	
				4	192 (48 セグメント信号、4 共通信号)
				6	276 (46 セグメント信号、6 共通信号)
				8	352 (44 セグメント信号、8 共通信号)
			1/4	8	
	内部電圧昇圧	VL1 基準	1/3	3	144 (48 セグメント信号、3 共通信号)
				4	192 (48 セグメント信号、4 共通信号)
				6	276 (46 セグメント信号、6 共通信号)
				8	352 (44 セグメント信号、8 共通信号)
		VL2 基準	1/3	3	144 (48 セグメント信号、3 共通信号)
				4	192 (48 セグメント信号、4 共通信号)
				6	276 (46 セグメント信号、6 共通信号)
				8	352 (44 セグメント信号、8 共通信号)

表 40.4 100 ピン製品の最大画素数 (2/3)

LCD ドライバの波形	LCD 駆動電圧発生器		バイアスモード	タイムスライスの数	最大画素数
波形 A	容量分割	VCC 基準	1/3	3	144 (48 セグメント信号、3 共通信号)
				4	192 (48 セグメント信号、4 共通信号)
				6	276 (46 セグメント信号、6 共通信号)
				8	352 (44 セグメント信号、8 共通信号)
		VL4 基準	1/3	3	144 (48 セグメント信号、3 共通信号)
				4	192 (48 セグメント信号、4 共通信号)
				6	276 (46 セグメント信号、6 共通信号)
				8	352 (44 セグメント信号、8 共通信号)

表 40.4 100 ピン製品の最大画素数 (3/3)

LCD ドライバの波形	LCD 駆動電圧発生器		バイアスモード	タイムスライスの数	最大画素数
波形 B	外部抵抗分割		1/3	3	144 (48 セグメント信号、3 共通信号)
				4	192 (48 セグメント信号、4 共通信号)
				6	276 (46 セグメント信号、6 共通信号)
				8	352 (44 セグメント信号、8 共通信号)
			1/4	8	
	内部電圧昇圧	VL1 基準	1/3	3	144 (48 セグメント信号、3 共通信号)
				4	192 (48 セグメント信号、4 共通信号)
				6	276 (46 セグメント信号、6 共通信号)
				8	352 (44 セグメント信号、8 共通信号)
			1/4	8	
		VL2 基準	1/3	3	144 (48 セグメント信号、3 共通信号)
				4	192 (48 セグメント信号、4 共通信号)
				6	276 (46 セグメント信号、6 共通信号)
				8	352 (44 セグメント信号、8 共通信号)
	容量分割	VCC 基準	1/3	3	144 (48 セグメント信号、3 共通信号)
				4	192 (48 セグメント信号、4 共通信号)
				6	276 (46 セグメント信号、6 共通信号)
				8	352 (44 セグメント信号、8 共通信号)
		VL4 基準	1/3	3	144 (48 セグメント信号、3 共通信号)
				4	192 (48 セグメント信号、4 共通信号)
				6	276 (46 セグメント信号、6 共通信号)
				8	352 (44 セグメント信号、8 共通信号)

表 40.5 64 ピン LQFP 製品の最大画素数 (1/3)

LCD ドライバの波形	LCD 駆動電圧発生器		バイアスモード	タイムスライスの数	最大画素数
波形 A	外部抵抗分割		—	スタティック	20 (20 セグメント信号、1 共通信号)
			1/2	2	40 (20 セグメント信号、2 共通信号)
				3	60 (20 セグメント信号、3 共通信号)
			1/3	3	
				4	80 (20 セグメント信号、4 共通信号)
				6	108 (18 セグメント信号、6 共通信号)
				8	128 (16 セグメント信号、8 共通信号)
			1/4	8	
	内部電圧昇圧	VL1 基準	1/3	3	60 (20 セグメント信号、3 共通信号)
				4	80 (20 セグメント信号、4 共通信号)
				6	108 (18 セグメント信号、6 共通信号)
				8	128 (16 セグメント信号、8 共通信号)
		VL2 基準	1/3	3	60 (20 セグメント信号、3 共通信号)
				4	80 (20 セグメント信号、4 共通信号)
				6	108 (18 セグメント信号、6 共通信号)
				8	128 (16 セグメント信号、8 共通信号)

表 40.5 64 ピン LQFP 製品の最大画素数 (2/3)

LCD ドライバの波形	LCD 駆動電圧発生器		バイアスモード	タイムスライスの数	最大画素数
波形 A	容量分割	VCC 基準	1/3	3	60 (20 セグメント信号、3 共通信号)
				4	80 (20 セグメント信号、4 共通信号)
				6	108 (18 セグメント信号、6 共通信号)
				8	128 (16 セグメント信号、8 共通信号)
		VL4 基準	1/3	3	60 (20 セグメント信号、3 共通信号)
				4	80 (20 セグメント信号、4 共通信号)
				6	108 (18 セグメント信号、6 共通信号)
				8	128 (16 セグメント信号、8 共通信号)

表 40.5 64 ピン LQFP 製品の最大画素数 (3/3)

LCD ドライバの波形	LCD 駆動電圧発生器		バイアスモード	タイムスライスの数	最大画素数
波形 B	外部抵抗分割		1/3	3	60 (20 セグメント信号、3 共通信号)
				4	80 (20 セグメント信号、4 共通信号)
				6	108 (18 セグメント信号、6 共通信号)
				8	128 (16 セグメント信号、8 共通信号)
			1/4	8	
	内部電圧昇圧	VL1 基準	1/3	3	60 (20 セグメント信号、3 共通信号)
				4	80 (20 セグメント信号、4 共通信号)
				6	108 (18 セグメント信号、6 共通信号)
				8	128 (16 セグメント信号、8 共通信号)
			1/4	8	
		VL2 基準	1/3	3	60 (20 セグメント信号、3 共通信号)
				4	80 (20 セグメント信号、4 共通信号)
				6	108 (18 セグメント信号、6 共通信号)
				8	128 (16 セグメント信号、8 共通信号)
	容量分割	VCC 基準	1/3	3	60 (20 セグメント信号、3 共通信号)
				4	80 (20 セグメント信号、4 共通信号)
				6	108 (18 セグメント信号、6 共通信号)
				8	128 (16 セグメント信号、8 共通信号)
		VL4 基準	1/3	3	60 (20 セグメント信号、3 共通信号)
				4	80 (20 セグメント信号、4 共通信号)
				6	108 (18 セグメント信号、6 共通信号)
				8	128 (16 セグメント信号、8 共通信号)

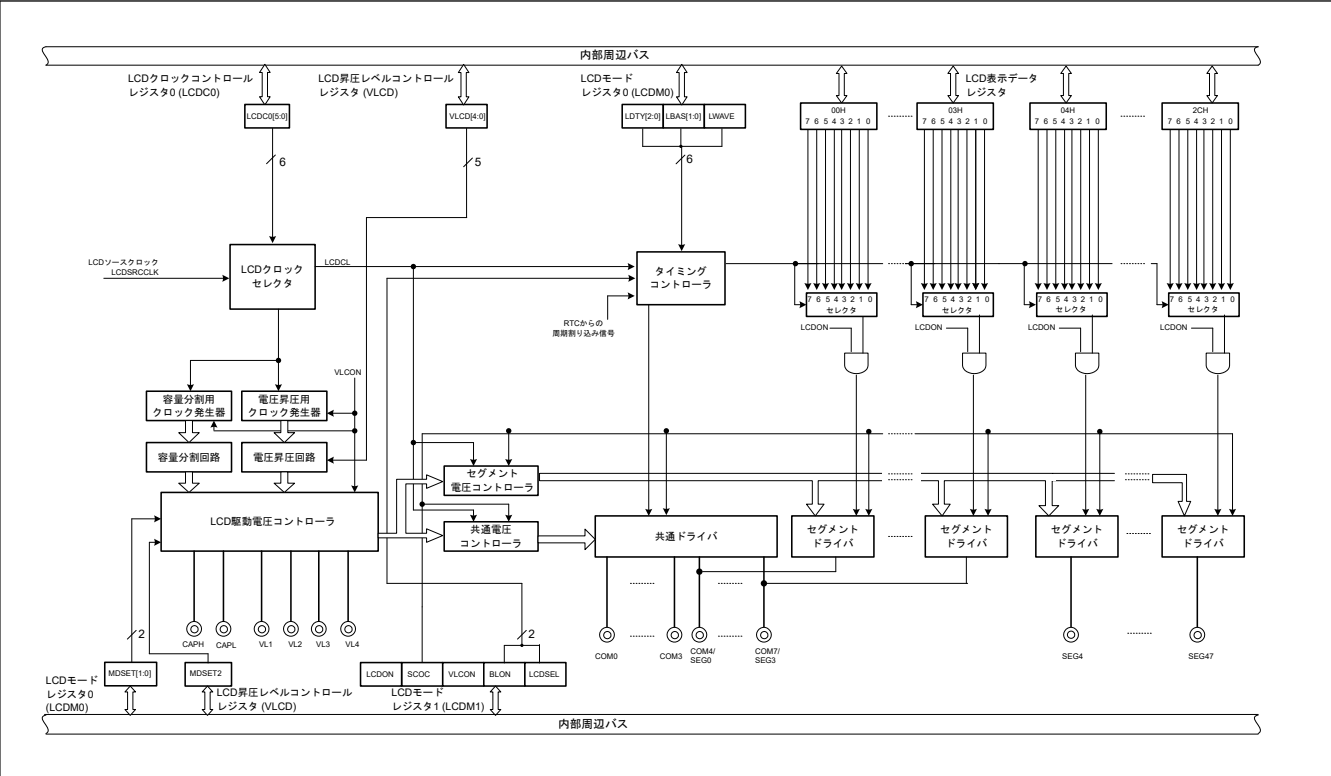


図 40.1 SLCDC のブロック図

40.2 レジスタの説明

40.2.1 LCDM0 : LCD モードレジスタ 0

Base address: SLCDC = 0x400D_4000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MDSET[1:0]		LWAVE	LDTY[2:0]		LBAS[1:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	LBAS[1:0]	LCD 表示バイアス方式選択 0 0: 1/2 バイアス方式 0 1: 1/3 バイアス方式 1 0: 1/4 バイアス方式 1 1: 設定禁止	R/W
4:2	LDTY[2:0]	LCD 表示選択のタイムスライス 0 0 0: スタティック 0 0 1: 2 タイムスライス 0 1 0: 3 タイムスライス 0 1 1: 4 タイムスライス 1 0 0: 6 タイムスライス 1 0 1: 8 タイムスライス その他: 設定禁止	R/W
5	LWAVE	LCD 表示波形選択 0: 波形 A 1: 波形 B	R/W

ビット	シンボル	機能	R/W
7:6	MDSET[1:0]	LCD 駆動電圧発生器選択 0 0: 外部抵抗分割方式 0 1: 内部電圧昇圧方式 1 0: 容量分割方式 1 1: 設定禁止	R/W

注.

- LCDM1 レジスタの SCOC ビットが 1 のときに、LCDM0 の値を書き換えないでください。
- 表 40.6 に示す表示波形、タイムスライスの数、およびバイアス方式の組み合わせのみがサポートされます。表 40.6 に示す設定の組み合わせ以外は禁止されています。

LBAS[1:0] ビット (LCD 表示バイアス方式選択)

LBAS[1:0] ビットは LCD 表示バイアスを選択します。

スタティックを選択した場合 (LDTY[2:0] = 000b)、LBAS[1:0] ビットをデフォルト値 (00b) に設定してください。それ以外の場合の動作は保証されません。

LDTY[2:0] ビット (LCD 表示選択のタイムスライス)

LDTY[2:0] ビットは LCD 表示のタイムスライス数を選択します。

LWAVE ビット (LCD 表示波形選択)

LWAVE ビットは LCD 表示の波形 A または波形 B を選択します。

MDSET[1:0] ビット (LCD 駆動電圧発生器選択)

VLCD レジスタの MDSET[1:0] ビットと MDSET2 ビットは、LCD 駆動電圧発生方式を選択します。詳細は表 40.9 を参照してください。

表 40.6 表示波形、タイムスライス、バイアス方式、およびフレーム周波数の組み合わせ (1/2)

表示モード			設定値						駆動電圧発生方式			
表示波形	タイムスライスの数	バイアスモード	LWAVE	LDTY[2:0]			LBAS[1:0]	外部抵抗分割	内部電圧昇圧		容量分割	
									VL1 基準	VL2 基準	VCC 基準	VL4 基準
波形 A	8	1/4	0	1	0	1	1	0	A (24~128)	A (24~64)	N/A	N/A
波形 A	6	1/4	0	1	0	0	1	0	N/A	A (32~86)	N/A	N/A
波形 A	8	1/3	0	1	0	1	0	1	A (32~128)	A (32~64)	A (32~128)	A (32~128)
波形 A	6	1/3	0	1	0	0	0	1	A (32~128)	A (32~86)	A (32~128)	A (32~128)
波形 A	4	1/3	0	0	1	1	0	1	A (24~128)	A (24~128)	A (24~128)	A (24~128)
波形 A	3	1/3	0	0	1	0	0	1	A (32~128)	A (32~128)	A (32~128)	A (32~128)
波形 A	3	1/2	0	0	1	0	0	0	A (32~128)	N/A	N/A	N/A
波形 A	2	1/2	0	0	0	1	0	0	A (24~128)	N/A	N/A	N/A
波形 A	スタティック		0	0	0	0	0	0	A (24~128)	N/A	N/A	N/A

表 40.6 表示波形、タイムスライス、バイアス方式、およびフレーム周波数の組み合わせ (2/2)

表示モード			設定値						駆動電圧発生方式			
表示波形	タイムスライスの数	バイアスモード	LWAVE	LDTY[2:0]			LBAS[1:0]	外部抵抗分割	内部電圧昇圧		容量分割	
									VL1 基準	VL2 基準	VCC 基準	VL4 基準
波形 B	8	1/4	1	1	0	1	1	0	A (24~128)	A (24~64)	N/A	N/A
波形 B	8	1/3	1	1	0	1	0	1	A (32~128)	A (32~64)	A (32~64)	A (32~128)
波形 B	6	1/3	1	1	0	0	0	1	A (32~128)	A (32~86)	A (32~86)	A (32~128)
波形 B	4	1/3	1	0	1	1	0	1	A (24~128)	A (24~128)	A (24~128)	A (24~128)
波形 B	3	1/3	1	0	1	0	0	1	A (32~128)	A (32~128)	A (32~128)	A (32~128)

注. A : 使用可能
 N/A : 使用不可
 () は選択可能なフレーム周波数 [Hz] を示します。

40.2.2 LCDM1 : LCD モードレジスタ 1

Base address: SLCDC = 0x400D_4000

Offset address: 0x01

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LCDON	SCOC	VLCON	BLON	LCDS EL	—	—	LCDV LM
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LCDVLM	電圧昇圧端子初期値切り替えコントロール 条件 $2.7\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$ については、いずれの値も設定可能です。 0: $\text{VCC} \geq 2.7\text{ V}$ のときに設定 1: $\text{VCC} \leq 3.6\text{ V}$ のときに設定	R/W
2:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	LCDSEL	表示領域データ選択 0: A パターン領域データを表示 (LCD 表示データレジスタの下位 4 ビット) 1: B パターン領域データを表示 (LCD 表示データレジスタの上位 4 ビット)	R/W
4	BLON	A パターン領域データと B パターン領域データの交互表示 (点滅表示) コントロール 0: A パターン領域データと B パターン領域データの交互表示 (点滅表示) は無効 1: A パターン領域データと B パターン領域データの交互表示 (リアルタイムクロック (RTC) の周期割り込み (RTC_PRD) タイミングに対応した点滅表示)	R/W
5	VLCON	電圧昇圧回路または容量分割回路動作の有効/無効 0: 電圧昇圧回路または容量分割回路動作は無効 1: 電圧昇圧回路または容量分割回路動作は有効	R/W
6	SCOC	LCD 表示有効/無効 0: セグメント/共通端子にグランドレベルを出力 1: セグメント/共通端子に表示データを出力	R/W
7	LCDON	LCD 表示有効/無効 0: 表示 Off 1: 表示 On	R/W

注. 内部電圧昇圧方式を使用するには、VLCD レジスタ (デフォルトの基準電圧を使用の場合、VLCD.MDSET2 ビットを 0 または 1 に設定し、LCDM0.MDSET[1:0] ビットを 01b に設定して内部昇圧方式を選択) を使用して基準電圧を指定し、基準電圧セットアップ時間 (最短 10 ms) を待機し、それから VLCON ビットを 1 に設定してください。

LCDVLM ビット（電圧昇圧端子初期値切り替えコントロール）

LCDVLM ビットは、電圧昇圧回路を初期の VLX 端子ステータスに設定して使用するときに、電圧昇圧の効率を高めるために使用されます。VCC が 2.7 V 以上である場合、電圧昇圧を開始するときに LCDVLM ビットを 0 に設定します。VCC が 3.6 V 以下である場合、LCDVLM ビットを 1 に設定します。VCC が 2.7 V から 3.6 V の間の範囲内である場合は、LCDVLM ビットを 0 または 1 に設定できます。

外部抵抗分割方式が設定されている場合（VLCD.MDSET2 = 0 または 1、LCDM0.MDSET[1:0] = 00b）、または容量分割方式が設定されている場合（VLCD.MDSET2 = 0 または 1、LCDM0.MDSET[1:0] = 10b）、LCDVLM ビットを 0 に設定します。

SCOC = 1 である間に VLCON ビットと LCDVLM ビットを書き換えないでください。

LCDSEL ビットと BLON ビット（表示領域データ選択および A パターン領域データと B パターン領域データの交互表示（点滅表示）コントロール）

LCDSEL ビットと BLON ビットは、表示モードのタイムスライスの数として 4 以下が選択されているときのみ 1 に設定できます。

BLON ビットと LCDSEL ビットは、表示モードのタイムスライスの数として 6 または 8 が選択されているときのみ 0 に設定します（BLON ビットまたは LCDSEL ビットを 1 に設定することは禁止されます）。

BLON = 1 のとき、LCDSEL の設定は無効です。

LOCO、MOSC、または HOCO が LCD ソースクロック (LCDSRCCLK) として選択されているとき、BLON ビットは必ず 0 にしてください。

VLCON ビット（電圧昇圧回路または容量分割回路動作の有効／無効）

SCOC = 1 のとき、VLCON ビットの値の書き換えは禁止されています。書き換えをした場合の動作は保証されません。ただし、同じ値を書き込むことは可能です。

外部抵抗分割モードが選択されているとき、VLCON を 1 に設定することは禁止されています。

SCOC ビットと LCDON ビット（LCD 表示有効／無効）

SCOC ビットと LCDON ビットは LCD 表示の有効／無効を制御します。

共通出力が選択された信号出力であるとき、表示は Off になります。すべてのセグメント出力は非選択の信号出力になります。

共通出力とセグメント出力が LCD 表示データに基づくとき、表示は On になります。

電圧昇圧回路を使用中に LCD に何も表示しない場合に消費電力を削減するには、SCOC ビットと VLCON ビットを 0 に設定し、かつ LCDM0.MDSET[1:0] ビットを 00b に設定してください。LCDM0.MDSET[1:0] = 01b である場合、内部基準電圧発生器は動作し、電源を消費します。

40.2.3 LCDC0 : LCD クロックコントロールレジスタ 0

Base address: SLCDC = 0x400D_4000

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	LCDC0[5:0]					
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	LCDC0[5:0]	LCD クロック (LCDCL) 設定 0x1: (SOSC)/2 ² または (LOCO)/2 ² 0x2: (SOSC)/2 ³ または (LOCO)/2 ³ 0x3: (SOSC)/2 ⁴ または (LOCO)/2 ⁴ 0x4: (SOSC)/2 ⁵ または (LOCO)/2 ⁵ 0x5: (SOSC)/2 ⁶ または (LOCO)/2 ⁶ 0x6: (SOSC)/2 ⁷ または (LOCO)/2 ⁷ 0x7: (SOSC)/2 ⁸ または (LOCO)/2 ⁸ 0x8: (SOSC)/2 ⁹ または (LOCO)/2 ⁹ 0x9: (SOSC)/2 ¹⁰ または (LOCO)/2 ¹⁰ 0x11: (MOSC)/2 ⁸ または (HOCO)/2 ⁸ 0x12: (MOSC)/2 ⁹ または (HOCO)/2 ⁹ 0x13: (MOSC)/2 ¹⁰ または (HOCO)/2 ¹⁰ 0x14: (MOSC)/2 ¹¹ または (HOCO)/2 ¹¹ 0x15: (MOSC)/2 ¹² または (HOCO)/2 ¹² 0x16: (MOSC)/2 ¹³ または (HOCO)/2 ¹³ 0x17: (MOSC)/2 ¹⁴ または (HOCO)/2 ¹⁴ 0x18: (MOSC)/2 ¹⁵ または (HOCO)/2 ¹⁵ 0x19: (MOSC)/2 ¹⁶ または (HOCO)/2 ¹⁶ 0x1A: (MOSC)/2 ¹⁷ または (HOCO)/2 ¹⁷ 0x1B: (MOSC)/2 ¹⁸ または (HOCO)/2 ¹⁸ 0x2B: (MOSC)/2 ¹⁹ または (HOCO)/2 ¹⁹ 0x3B: (MOSC)/2 ²⁰ または (HOCO)/2 ²⁰ その他: 設定禁止	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. SLCDSCCKR レジスタの LCDSCSEL[2:0]ビットは、LCD のクロックソース (LCDSRCCLK) として LOCO、SOSC、MOSC、または HOCO クロックを選択します。詳細は「[8.2.23. SLCDSCCKR : セグメント LCD ソースクロックコントロールレジスタ](#)」を参照してください。

LCDC0[5:0] ビット (LCD クロック (LCDCL) 設定)

フレーム周波数を 32 Hz から 128 Hz の範囲に設定します。(条件を選択したときは 24 Hz から 128 Hz、詳細は表 40.6 を参照してください。) 内部電圧昇圧方式と容量分割方式を使用しているときは、LCD クロック (LCDCL) を 512 Hz より高く設定しないでください。

LCDM1.SCOC ビットが 1 のときは、LCDC0 を設定しないでください。

40.2.4 VLCD : LCD 昇圧レベルコントロールレジスタ

Base address: SLCDC = 0x400D_4000

Offset address: 0x03

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MDSE T2	—	—	VLCD[4:0]				
Value after reset:	0	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
4:0	VLCD[4:0]	基準電圧の選択 (コントラスト調整) 0x4: 1.01 V (VL1 基準電圧) 2.02 V (VL2 基準電圧) 0x5: 1.04 V (VL1 基準電圧) 2.09 V (VL2 基準電圧) 0x6: 1.07 V (VL1 基準電圧) 2.16 V (VL2 基準電圧) 0x7: 1.11 V (VL1 基準電圧) 2.22 V (VL2 基準電圧) 0x8: 1.14 V (VL1 基準電圧) 2.29 V (VL2 基準電圧) 0x9: 1.17 V (VL1 基準電圧) 2.36 V (VL2 基準電圧) 0xA: 1.21 V (VL1 基準電圧) 2.42 V (VL2 基準電圧) 0xB: 1.24 V (VL1 基準電圧) 2.49 V (VL2 基準電圧) 0xC: 1.27 V (VL1 基準電圧) 2.56 V (VL2 基準電圧) 0xD: 1.31 V (VL1 基準電圧) 2.62 V (VL2 基準電圧) 0xE: 1.34 V (VL1 基準電圧) 2.69 V (VL2 基準電圧) 0xF: 1.37 V (VL1 基準電圧) 2.76 V (VL2 基準電圧) 0x10: 1.40 V (VL1 基準電圧) 2.82 V (VL2 基準電圧) 0x11: 1.44 V (VL1 基準電圧) 2.89 V (VL2 基準電圧) 0x12: 1.47 V (VL1 基準電圧) 2.96 V (VL2 基準電圧) 0x13: 1.50 V (VL1 基準電圧) 3.02 V (VL2 基準電圧) 0x14: 1.54 V (VL1 基準電圧) 3.09 V (VL2 基準電圧) 0x15: 1.57 V (VL1 基準電圧) 3.15 V (VL2 基準電圧) 0x16: 1.60 V (VL1 基準電圧) 3.22 V (VL2 基準電圧) 0x17: 1.64 V (VL1 基準電圧) 3.29 V (VL2 基準電圧) 0x18: 1.67 V (VL1 基準電圧) 3.35 V (VL2 基準電圧) 0x19: 1.70 V (VL1 基準電圧) 3.42 V (VL2 基準電圧) 0x1A: 1.74 V (VL1 基準電圧) 3.49 V (VL2 基準電圧) その他: 設定禁止	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	MDSET2	基準電圧の選択 0: 外部抵抗分割方式、内部電圧昇圧方式の VL1 基準モード、または容量分割方式の VCC 基準モード 1: 内部電圧昇圧方式の VL2 基準モードまたは容量分割方式の VL4 基準モード	R/W

VLCD[4:0] ビット (基準電圧の選択 (コントラスト調整))

VLCD[4:0] ビット設定は、電圧昇圧回路が動作しているときのみ有効になります。

VLCD 値の変更は、必ず電圧昇圧回路の動作を停止した後 (VLCON = 0) で行ってください。

内部電圧昇圧方式を使用するには、VLCD レジスタ (デフォルトの基準電圧を使用の場合、VLCD.MDSET2 = 0 または 1 に設定し、LCDM0.MDSET[1:0] ビットを 01b に設定して内部昇圧方式を選択) を使用して基準電圧を指定し、基準電圧セットアップ時間 (最短 10 ms) を待機し、それから VLCON を 1 に設定してください。

外部抵抗分割方式と容量分割方式を使用するとき、VLCD レジスタのデフォルト値 (0x04) を使用してください。

VL1 電圧基準のコントラスト調整の組み合わせを表 40.7 に示します。

VL2 電圧基準のコントラスト調整の組み合わせを表 40.8 に示します。

表 40.7 {MDSET2,MDSET[1:0]} = 001 (VL1 電圧基準) のときのコントラスト調整の組み合わせ表

VLCD [4:0]					VL1 電圧基準	VL4 電圧	
						1/3 バイアス方式	1/4 バイアス方式
0	0	1	0	0	1.01 V	3.03 V	4.04 V
0	0	1	0	1	1.04 V	3.12 V	4.16 V
0	0	1	1	0	1.07 V	3.21 V	4.28 V
0	0	1	1	1	1.11 V	3.33 V	4.44 V
0	1	0	0	0	1.14 V	3.42 V	4.56 V
0	1	0	0	1	1.17 V	3.51 V	4.68 V
0	1	0	1	0	1.21 V	3.63 V	4.84 V
0	1	0	1	1	1.24 V	3.72 V	4.96 V
0	1	1	0	0	1.27 V	3.81 V	5.08 V
0	1	1	0	1	1.31 V	3.93 V	5.24 V
0	1	1	1	0	1.34 V	4.02 V	設定禁止
0	1	1	1	1	1.37 V	4.11 V	
1	0	0	0	0	1.40 V	4.20 V	
1	0	0	0	1	1.44 V	4.32 V	
1	0	0	1	0	1.47 V	4.41 V	
1	0	0	1	1	1.50 V	4.50 V	
1	0	1	0	0	1.54 V	4.62 V	
1	0	1	0	1	1.57 V	4.71 V	
1	0	1	1	0	1.60 V	4.80 V	
1	0	1	1	1	1.64 V	4.92 V	
1	1	0	0	0	1.67 V	5.01 V	
1	1	0	0	1	1.70 V	5.10 V	
1	1	0	1	0	1.74 V	5.22 V	

注: 上記以外の設定は禁止されています。

表 40.8 {MDSET2,MDSET[1:0]} = 101 (VL2 電圧基準) のときのコントラスト調整の組み合わせ表 (1/2)

VLCD [4:0]					VL2 電圧基準	VL4 電圧
						1/3 バイアス方式
0	0	1	0	0	2.02 V	3.03 V
0	0	1	0	1	2.09 V	3.14 V
0	0	1	1	0	2.16 V	3.24 V
0	0	1	1	1	2.22 V	3.33 V
0	1	0	0	0	2.29 V	3.44 V
0	1	0	0	1	2.36 V	3.54 V
0	1	0	1	0	2.42 V	3.63 V
0	1	0	1	1	2.49 V	3.74 V
0	1	1	0	0	2.56 V	3.84 V
0	1	1	0	1	2.62 V	3.93 V
0	1	1	1	0	2.69 V	4.04 V
0	1	1	1	1	2.76 V	4.14 V

表 40.8 {MDSET2,MDSET[1:0]} = 101 (VL2 電圧基準) のときのコントラスト調整の組み合わせ表 (2/2)

VLCD [4:0]					VL2 電圧基準	VL4 電圧 1/3 バイアス方式
1	0	0	0	0	2.82 V	4.23 V
1	0	0	0	1	2.89 V	4.34 V
1	0	0	1	0	2.96 V	4.44 V
1	0	0	1	1	3.02 V	4.53 V
1	0	1	0	0	3.09 V	4.64 V
1	0	1	0	1	3.15 V	4.73 V
1	0	1	1	0	3.22 V	4.83 V
1	0	1	1	1	3.29 V	4.94 V
1	1	0	0	0	3.35 V	5.03 V
1	1	0	0	1	3.42 V	5.13 V
1	1	0	1	0	3.49 V	5.24 V

注. 上記以外の設定は禁止されています。

MDSET2 ビット (基準電圧の選択)

MDSET2 ビットは、内部電圧昇圧方式と容量分割方式の基準電圧発生器を選択するために使用されます。内部電圧昇圧方式または容量分割方式を使用しない場合、MDSET2 を 0 に設定します。詳細は表 40.9 を参照してください。

表 40.9 MDSET2、MDSET[1:0] 設定による LCD 駆動電圧発生方式

MDSET2 (VLCD のビット 7)	MDSET[1] (LCDM0 のビット 7)	MDSET[0] (LCDM0 のビット 6)	機能
0	0	0	外部抵抗分割方式
0	0	1	内部電圧昇圧方式の VL1 基準モード
1			内部電圧昇圧方式の VL2 基準モード
0	1	0	容量分割方式の VCC 基準モード
1			容量分割方式の VL4 基準モード

注. 上記以外の設定は禁止されています。

40.2.5 LCD 表示データレジスタ

LCD 表示データレジスタは表 40.10 と表 40.11 に示すようにマッピングされています。LCD 表示データレジスタの内容を変えることにより、LCD に表示される内容を変更することができます。表 40.10 に 6 タイムスライスと 8 タイムスライス以外（スタティック、2 タイムスライス、3 タイムスライス、および 4 タイムスライス）を示します。

表 40.10 LCD 表示データレジスタの内容とセグメント出力／共通出力の間の関係 (1/2)

レジスタ名	アドレス	b7	b6	b5	b4	b3	b2	b1	b0	100 ピン	64 ピン
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0		
SEG0	0x400D_4100	SEG0 (B パターン領域)				SEG0 (A パターン領域)				A	A
SEG1	0x400D_4101	SEG1 (B パターン領域)				SEG1 (A パターン領域)				A	A
SEG2	0x400D_4102	SEG2 (B パターン領域)				SEG2 (A パターン領域)				A	A
SEG3	0x400D_4103	SEG3 (B パターン領域)				SEG3 (A パターン領域)				A	A
SEG4	0x400D_4104	SEG4 (B パターン領域)				SEG4 (A パターン領域)				A	A
SEG5	0x400D_4105	SEG5 (B パターン領域)				SEG5 (A パターン領域)				A	A
SEG6	0x400D_4106	SEG6 (B パターン領域)				SEG6 (A パターン領域)				A	N/A
SEG7	0x400D_4107	SEG7 (B パターン領域)				SEG7 (A パターン領域)				A	N/A

表 40.10 LCD 表示データレジスタの内容とセグメント出力／共通出力の関係 (2/2)

レジスタ名	アドレス	b7	b6	b5	b4	b3	b2	b1	b0	100 ピン	64 ピン
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0		
SEG8	0x400D_4108	SEG8 (B パターン領域)				SEG8 (A パターン領域)				A	N/A
SEG9	0x400D_4109	SEG9 (B パターン領域)				SEG9 (A パターン領域)				A	N/A
SEG10	0x400D_410A	SEG10 (B パターン領域)				SEG10 (A パターン領域)				A	N/A
SEG11	0x400D_410B	SEG11 (B パターン領域)				SEG11 (A パターン領域)				A	N/A
SEG12	0x400D_410C	SEG12 (B パターン領域)				SEG12 (A パターン領域)				A	N/A
SEG13	0x400D_410D	SEG13 (B パターン領域)				SEG13 (A パターン領域)				A	A
SEG14	0x400D_410E	SEG14 (B パターン領域)				SEG14 (A パターン領域)				A	N/A
SEG15	0x400D_410F	SEG15 (B パターン領域)				SEG15 (A パターン領域)				A	N/A
SEG16	0x400D_4110	SEG16 (B パターン領域)				SEG16 (A パターン領域)				A	N/A
SEG17	0x400D_4111	SEG17 (B パターン領域)				SEG17 (A パターン領域)				A	N/A
SEG18	0x400D_4112	SEG18 (B パターン領域)				SEG18 (A パターン領域)				A	N/A
SEG19	0x400D_4113	SEG19 (B パターン領域)				SEG19 (A パターン領域)				A	N/A
SEG20	0x400D_4114	SEG20 (B パターン領域)				SEG20 (A パターン領域)				A	N/A
SEG21	0x400D_4115	SEG21 (B パターン領域)				SEG21 (A パターン領域)				A	A
SEG22	0x400D_4116	SEG22 (B パターン領域)				SEG22 (A パターン領域)				A	A
SEG23	0x400D_4117	SEG23 (B パターン領域)				SEG23 (A パターン領域)				A	A
SEG24	0x400D_4118	SEG24 (B パターン領域)				SEG24 (A パターン領域)				A	A
SEG25	0x400D_4119	SEG25 (B パターン領域)				SEG25 (A パターン領域)				A	A
SEG26	0x400D_411A	SEG26 (B パターン領域)				SEG26 (A パターン領域)				A	N/A
SEG27	0x400D_411B	SEG27 (B パターン領域)				SEG27 (A パターン領域)				A	N/A
SEG28	0x400D_411C	SEG28 (B パターン領域)				SEG28 (A パターン領域)				A	N/A
SEG29	0x400D_411D	SEG29 (B パターン領域)				SEG29 (A パターン領域)				A	N/A
SEG30	0x400D_411E	SEG30 (B パターン領域)				SEG30 (A パターン領域)				A	N/A
SEG31	0x400D_411F	SEG31 (B パターン領域)				SEG31 (A パターン領域)				A	N/A
SEG32	0x400D_4120	SEG32 (B パターン領域)				SEG32 (A パターン領域)				A	N/A
SEG33	0x400D_4121	SEG33 (B パターン領域)				SEG33 (A パターン領域)				A	N/A
SEG34	0x400D_4122	SEG34 (B パターン領域)				SEG34 (A パターン領域)				A	N/A
SEG35	0x400D_4123	SEG35 (B パターン領域)				SEG35 (A パターン領域)				A	A
SEG36	0x400D_4124	SEG36 (B パターン領域)				SEG36 (A パターン領域)				A	A
SEG37	0x400D_4125	SEG37 (B パターン領域)				SEG37 (A パターン領域)				A	A
SEG38	0x400D_4126	SEG38 (B パターン領域)				SEG38 (A パターン領域)				A	A
SEG39	0x400D_4127	SEG39 (B パターン領域)				SEG39 (A パターン領域)				A	A
SEG40	0x400D_4128	SEG40 (B パターン領域)				SEG40 (A パターン領域)				A	A
SEG41	0x400D_4129	SEG41 (B パターン領域)				SEG41 (A パターン領域)				A	A
SEG42	0x400D_412A	SEG42 (B パターン領域)				SEG42 (A パターン領域)				A	A
SEG43	0x400D_412B	SEG43 (B パターン領域)				SEG43 (A パターン領域)				A	N/A
SEG44	0x400D_412C	SEG44 (B パターン領域)				SEG44 (A パターン領域)				A	N/A
SEG45	0x400D_412D	SEG45 (B パターン領域)				SEG45 (A パターン領域)				A	N/A
SEG46	0x400D_412E	SEG46 (B パターン領域)				SEG46 (A パターン領域)				A	N/A
SEG47	0x400D_412F	SEG47 (B パターン領域)				SEG47 (A パターン領域)				A	N/A

注. A : 使用可能

N/A : 使用不可

表 40.11 に 6 タイムスライスと 8 タイムスライスを示します。

表 40.11 LCD 表示データレジスタの内容とセグメント出力／共通出力の関係 (1/2)

レジスタ名	アドレス	b7	b6	b5	b4	b3	b2	b1	b0	100 ピン	64 ピン LQFP
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0		
SEG0	0x400D_4100	SEG0(注1)								A	A
SEG1	0x400D_4101	SEG1(注1)								A	A
SEG2	0x400D_4102	SEG2(注1)								A	A
SEG3	0x400D_4103	SEG3(注1)								A	A
SEG4	0x400D_4104	SEG4								A	A
SEG5	0x400D_4105	SEG5								A	A
SEG6	0x400D_4106	SEG6								A	N/A
SEG7	0x400D_4107	SEG7								A	N/A
SEG8	0x400D_4108	SEG8								A	N/A
SEG9	0x400D_4109	SEG9								A	N/A
SEG10	0x400D_410A	SEG10								A	N/A
SEG11	0x400D_410B	SEG11								A	N/A
SEG12	0x400D_410C	SEG12								A	N/A
SEG13	0x400D_410D	SEG13								A	A
SEG14	0x400D_410E	SEG14								A	N/A
SEG15	0x400D_410F	SEG15								A	N/A
SEG16	0x400D_4110	SEG16								A	N/A
SEG17	0x400D_4111	SEG17								A	N/A
SEG18	0x400D_4112	SEG18								A	N/A
SEG19	0x400D_4113	SEG19								A	N/A
SEG20	0x400D_4114	SEG20								A	N/A
SEG21	0x400D_4115	SEG21								A	A
SEG22	0x400D_4116	SEG22								A	A
SEG23	0x400D_4117	SEG23								A	A
SEG24	0x400D_4118	SEG24								A	A
SEG25	0x400D_4119	SEG25								A	A
SEG26	0x400D_411A	SEG26								A	N/A
SEG27	0x400D_411B	SEG27								A	N/A
SEG28	0x400D_411C	SEG28								A	N/A
SEG29	0x400D_411D	SEG29								A	N/A
SEG30	0x400D_411E	SEG30								A	N/A
SEG31	0x400D_411F	SEG31								A	N/A
SEG32	0x400D_4120	SEG32								A	N/A
SEG33	0x400D_4121	SEG33								A	N/A
SEG34	0x400D_4122	SEG34								A	N/A
SEG35	0x400D_4123	SEG35								A	A
SEG36	0x400D_4124	SEG36								A	A
SEG37	0x400D_4125	SEG37								A	A

表 40.11 LCD 表示データレジスタの内容とセグメント出力／共通出力の関係 (2/2)

レジスタ名	アドレス	b7	b6	b5	b4	b3	b2	b1	b0	100 ピン	64 ピン LQFP
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0		
SEG38	0x400D_4126	SEG38								A	A
SEG39	0x400D_4127	SEG39								A	A
SEG40	0x400D_4128	SEG40								A	A
SEG41	0x400D_4129	SEG41								A	A
SEG42	0x400D_412A	SEG42								A	A
SEG43	0x400D_412B	SEG43								A	N/A
SEG44	0x400D_412C	SEG44								A	N/A
SEG45	0x400D_412D	SEG45								A	N/A
SEG46	0x400D_412E	SEG46								A	N/A
SEG47	0x400D_412F	SEG47								A	N/A

注. A: 使用可能
N/A: 使用不可

すべての LCD 表示データレジスタ (SEG0～SEG47) は初期値が 0x00 であり、全部のビットが読み出し／書き込み可能です。

注 1. COM4～COM7 端子と SEG0～SEG3 端子は交互に使用されます。詳細は「18. I/O ポート」を参照してください。

タイムスライス数が、スタティック、2、3、または 4 であるとき、LCD 表示データレジスタの各アドレスの下位 4 ビットと上位 4 ビットは、それぞれ A パターン領域と B パターン領域になります。

A パターン領域データと COM 信号の間の対応は以下のとおりです。

ビット[0] ↔ COM0、ビット[1] ↔ COM1、ビット[2] ↔ COM2、およびビット[3] ↔ COM3

B パターン領域データと COM 信号の間の対応は以下のとおりです。

ビット[4] ↔ COM0、ビット[5] ↔ COM1、ビット[6] ↔ COM2、およびビット[7] ↔ COM3

BLON = LCDSEL = 0 が選択されたときに、A パターン領域データが LCD パネルに表示されます。そして、BLON = 0 かつ LCDSEL = 1 が選択されたときに、B パターン領域データが LCD パネルに表示されます。

40.3 LCD 表示データレジスタの選択

タイムスライス数が、スタティック、2、3、または 4 であるとき、LCD 表示データレジスタは、BLON ビットと LCDSEL ビットの設定に基づいて以下のタイプから選択できます。

- A パターン領域データを表示 (LCD 表示データレジスタの下位 4 ビット)
- B パターン領域データを表示 (LCD 表示データレジスタの上位 4 ビット)
- A パターン領域データと B パターン領域データの交互表示 (リアルタイムクロック (RTC) の周期割り込みタイミングに対応した点滅表示)

注. タイムスライス数が 6 または 8 であるときに、通常の液晶波形が表示される場合、LCD 表示データレジスタ (A パターン、B パターン、または点滅表示) は選択できません。

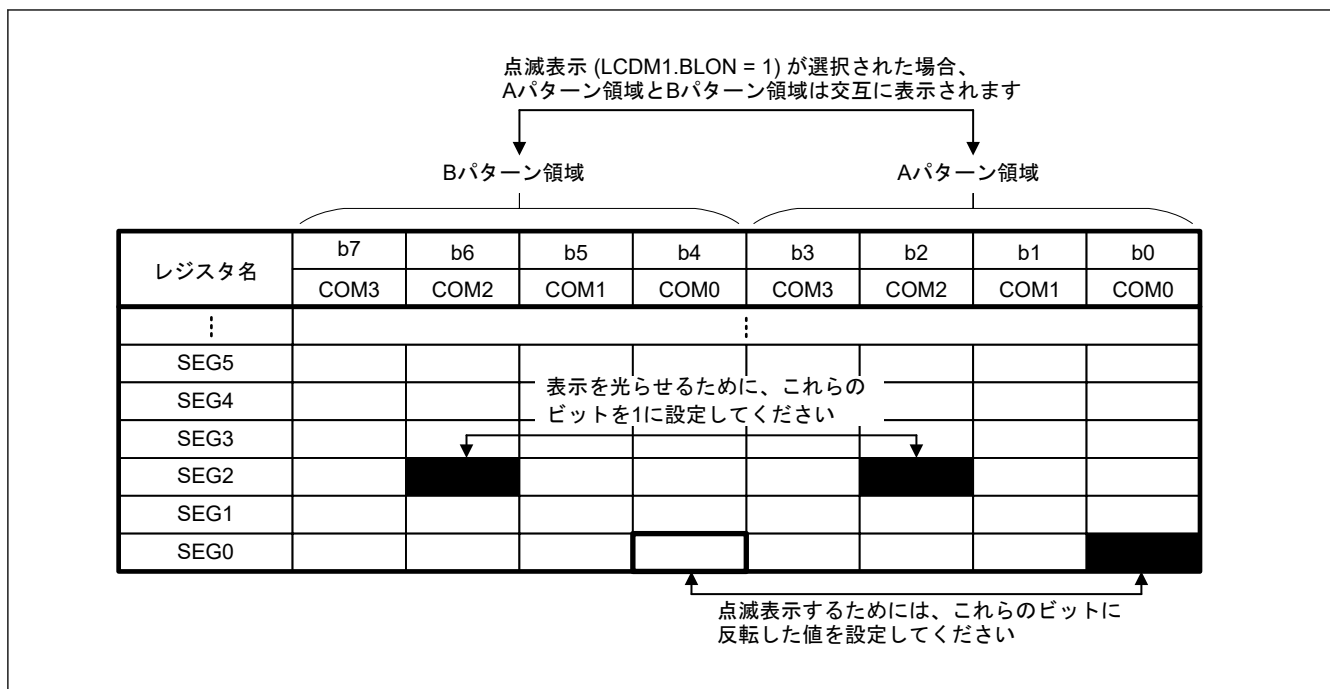


図 40.2 パターンが変更されたときの LCD 表示データレジスタの設定の例

40.3.1 A パターン領域データと B パターン領域データの表示

BLON と LCDSEL の両方が 0 のとき、A パターン領域 (LCD 表示データレジスタの下位 4 ビット) データが LCD 表示レジスタとして出力されます。

BLON が 0 でかつ LCDSEL が 1 のとき、B パターン領域 (LCD 表示データレジスタの上位 4 ビット) データが LCD 表示レジスタとして出力されます。

表示領域の詳細は「[40.2.5. LCD 表示データレジスタ](#)」を参照してください。

40.3.2 点滅表示 (A パターン領域データと B パターン領域データの交互表示)

BLON が 1 に設定されているとき、リアルタイムクロック (RTC) の一定の周期割り込みタイミングに従って A パターン領域データと B パターン領域データは交互に表示されます。RTC の一定の周期割り込み (0.5 s 設定のみ) タイミングの設定については「[22. リアルタイムクロック \(RTC\)](#)」を参照してください。

LCD 点滅表示機能を使用するには、A パターン領域ビットに対応する B パターン領域ビットに反転した値を設定してください。点滅表示を使用するには、例えば SEG0 レジスタのビット[0] を 1 に設定し、SEG0 レジスタのビット[4] を 0 に設定してください。LCD 点滅表示機能を使用しないときには、A パターン領域ビットと B パターン領域ビットの両方に同じ値を設定してください。表示を光らせるために、例えば SEG2 レジスタのビット[2] を 1 に設定し、SEG2 レジスタのビット[6] を 1 に設定してください。表示領域の詳細は「[40.2.5. LCD 表示データレジスタ](#)」を参照してください。

図 40.3 と 図 40.4 に表示切り替えのタイミング動作を示します。

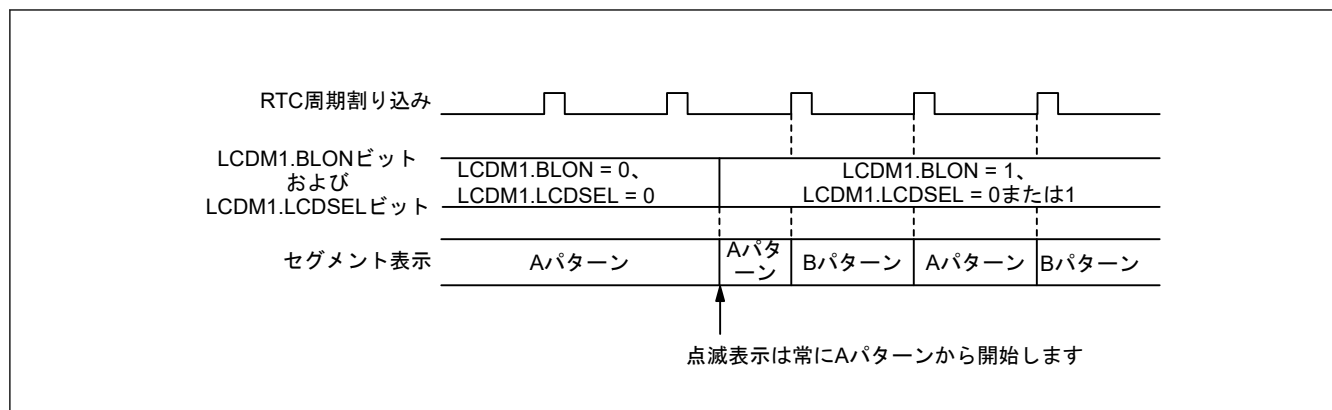


図 40.3 A パターン表示から点減表示への切り替え動作

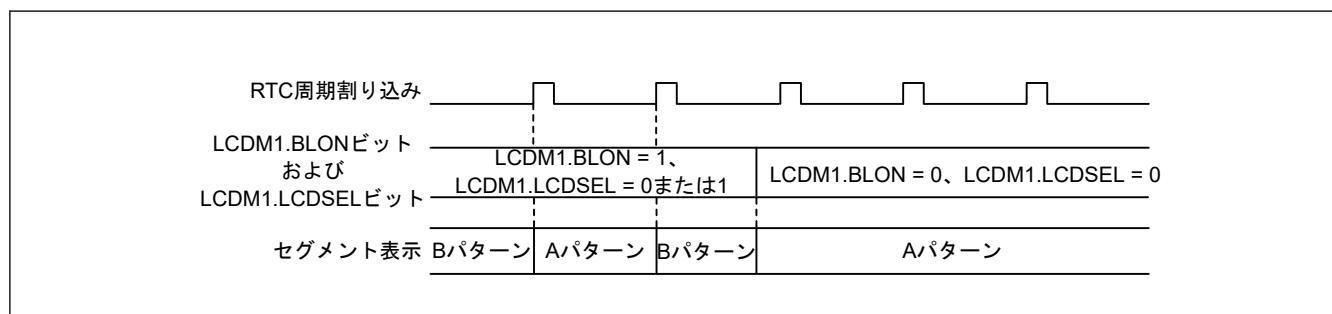


図 40.4 点減表示から A パターン表示への切り替え動作

40.4 LCD コントローラ／ドライバの設定

LCD コントローラ／ドライバを動作するには、この節の(1) 通常の液晶波形表示の際の外部抵抗分割方式～(3) 容量分割方式の手順に従ってください。それ以外の場合の LCD の動作は保証されません。

(1) 通常の液晶波形表示の際の外部抵抗分割方式

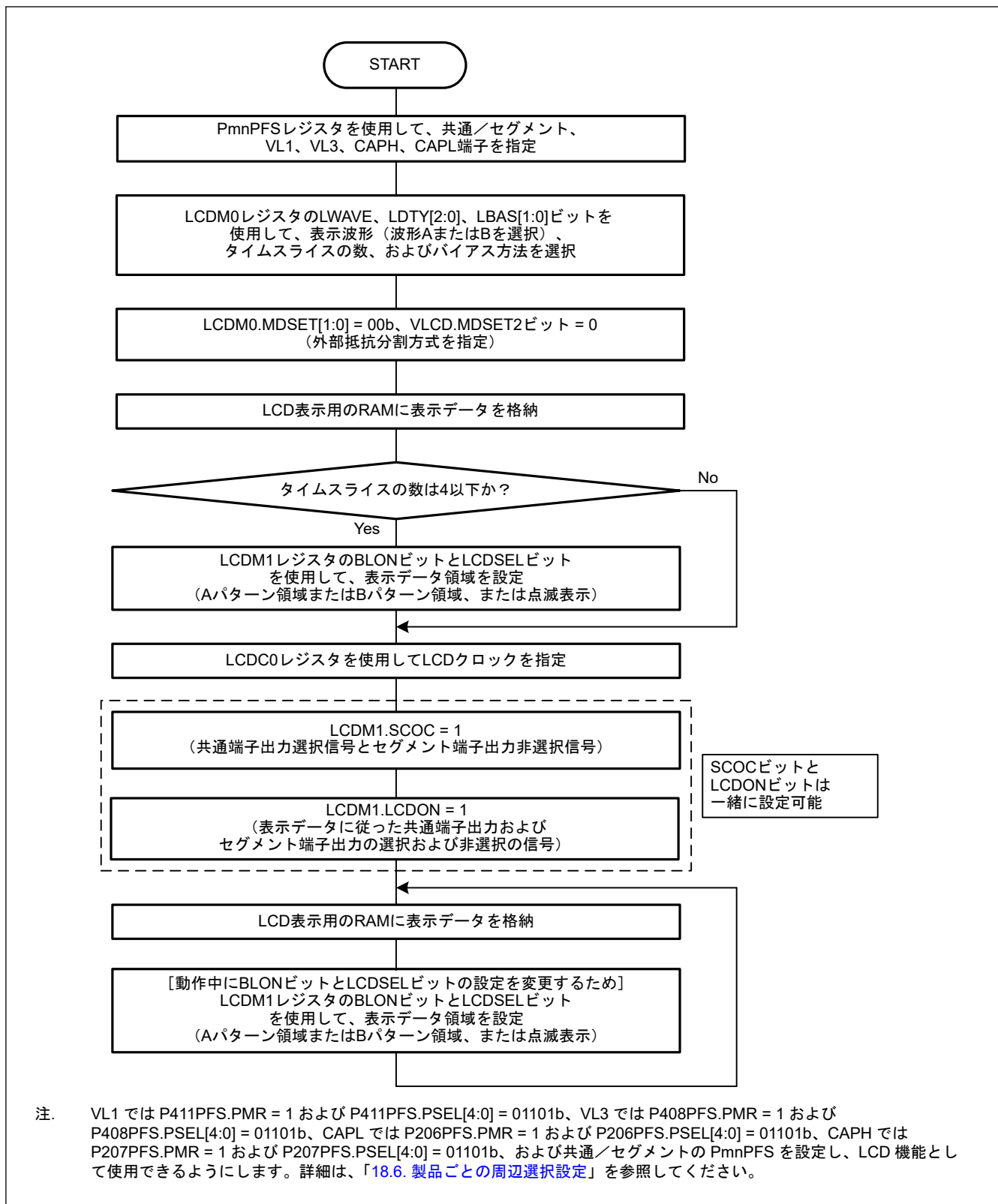


図 40.5 通常の液晶波形表示の際の外部抵抗分割方式の設定手順

(2) 内部電圧昇圧方式

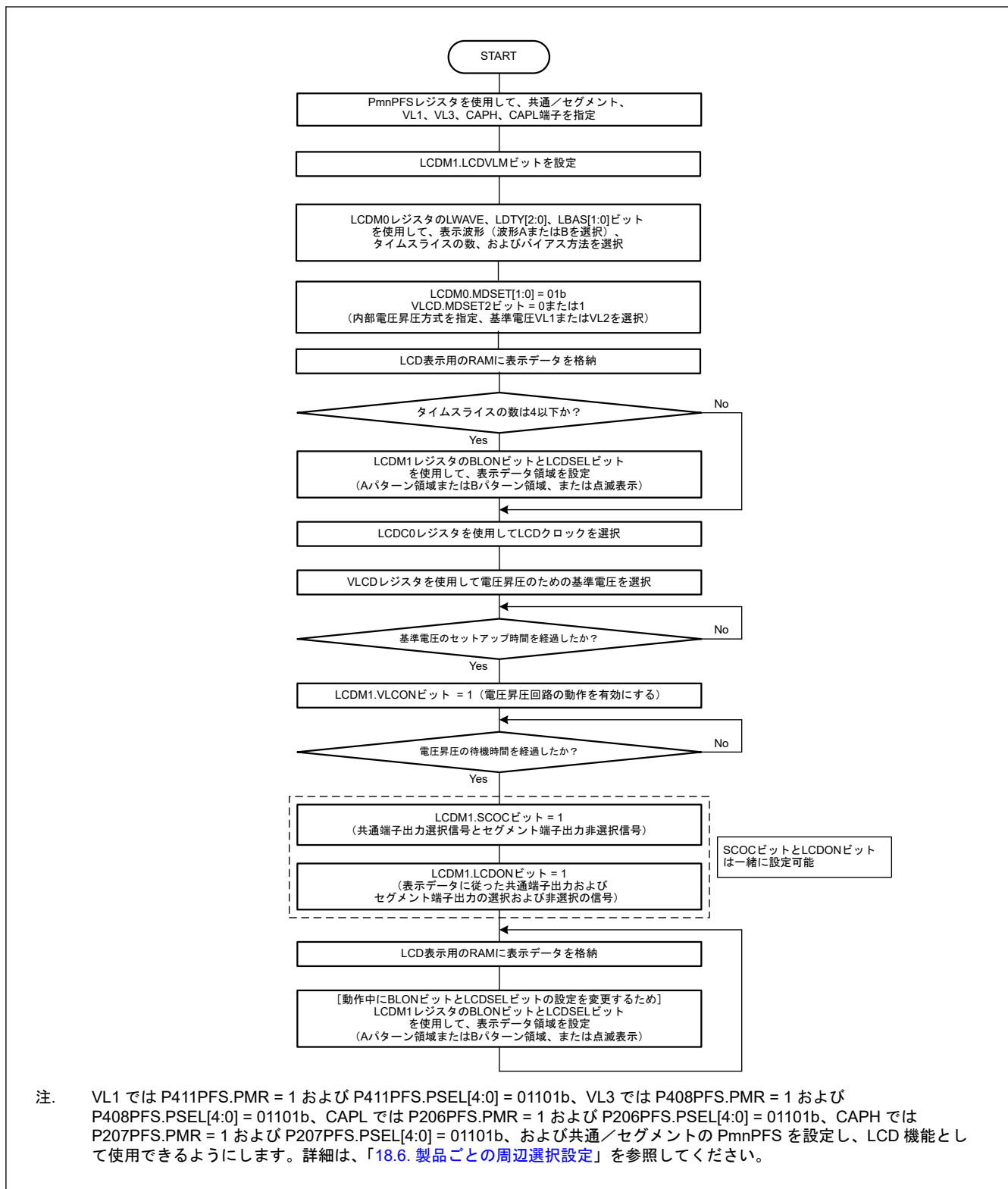


図 40.6 通常の液晶波形表示の際の内部電圧昇圧方式の設定手順

(3) 容量分割方式

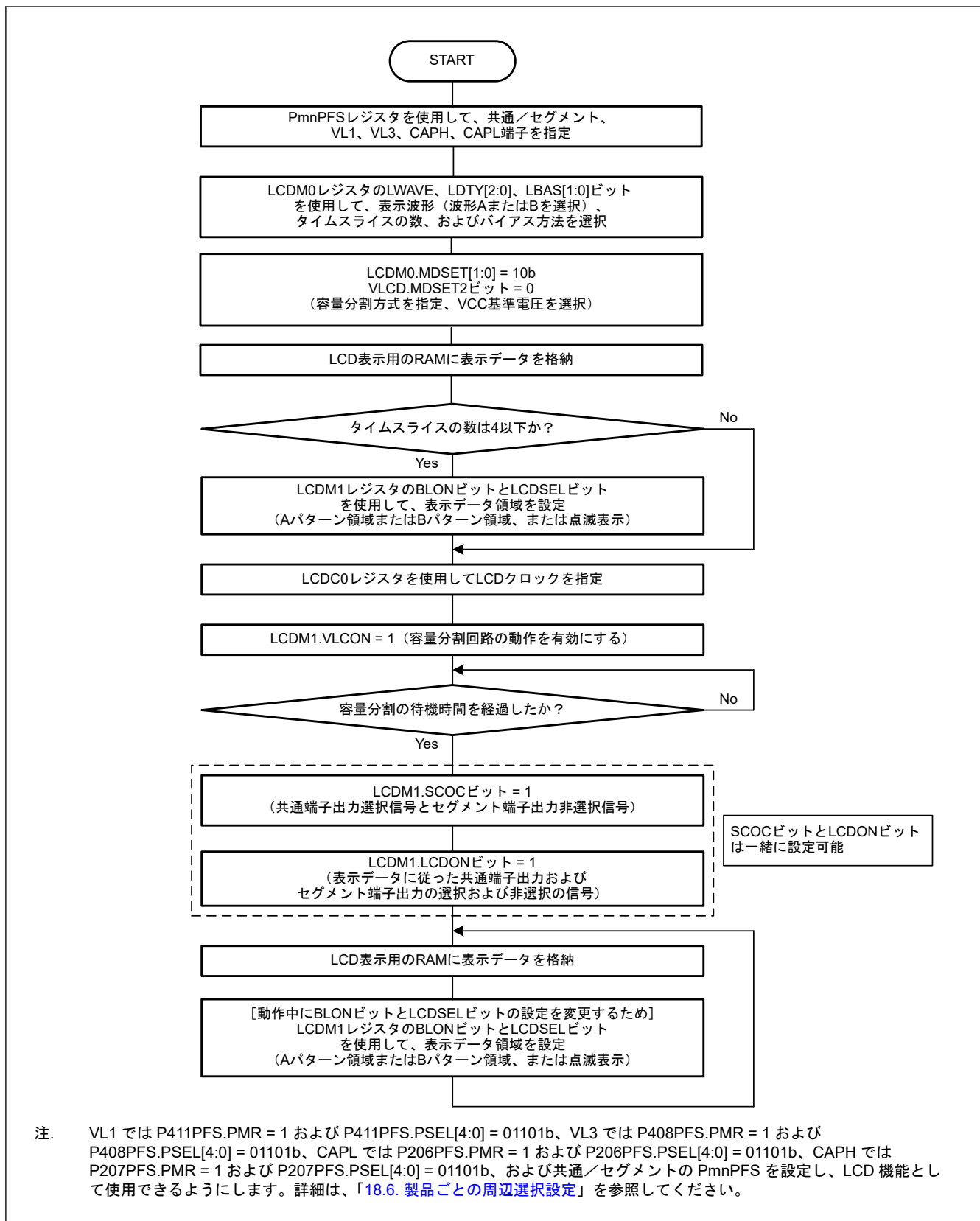


図 40.7 通常の液晶波形表示の際の容量分割方式の VCC 基準モードの設定手順

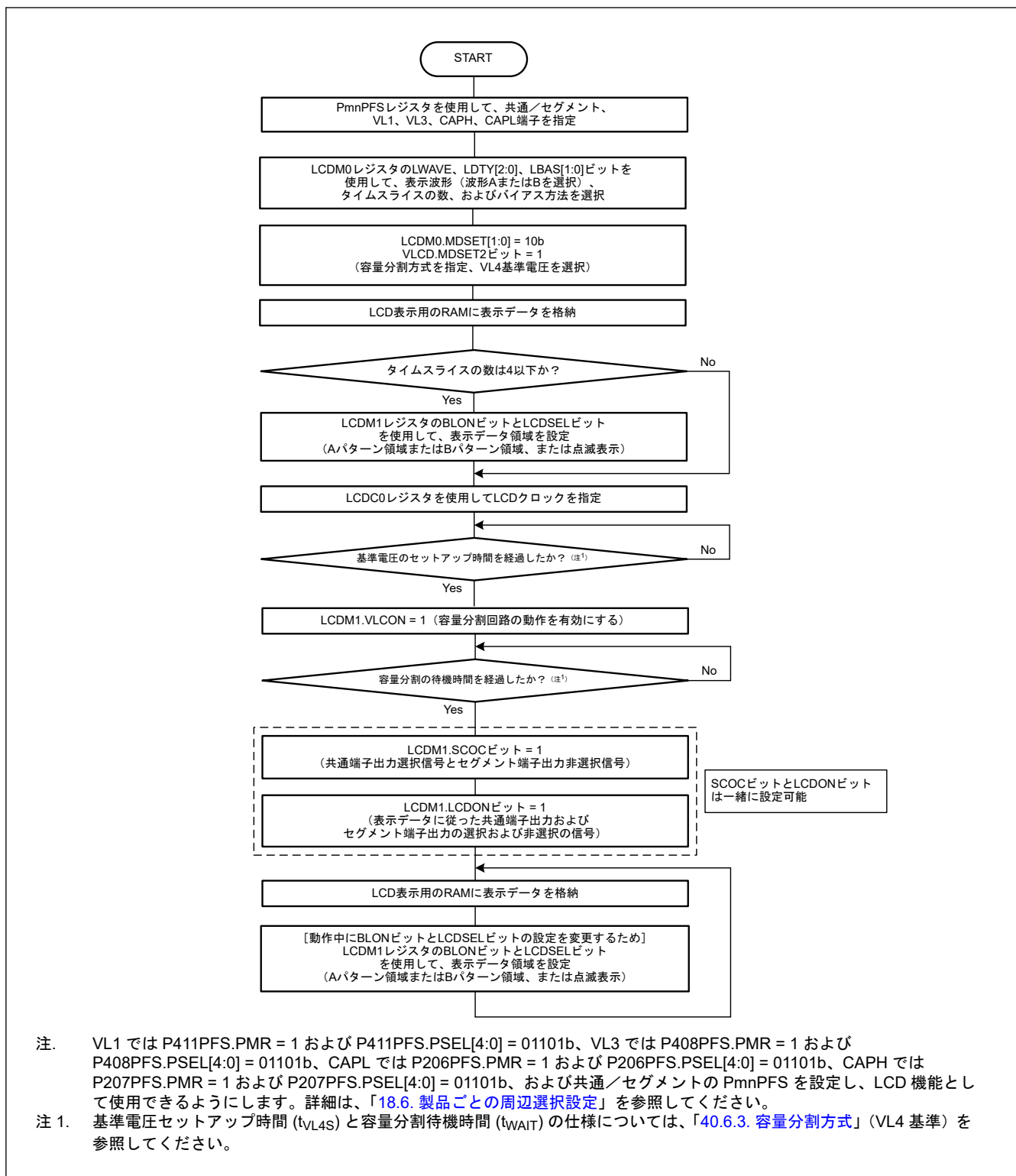


図 40.8 通常の液晶波形表示の際の容量分割方式の VL4 基準モードの設定手順

40.5 動作停止手順

LCD 動作を停止するには図 40.9 に示す手順に従ってください。

LCDM1.LDCON ビットと LCDM1.SCOC ビットが 0 に設定されたときに、LCD は動作を停止します。

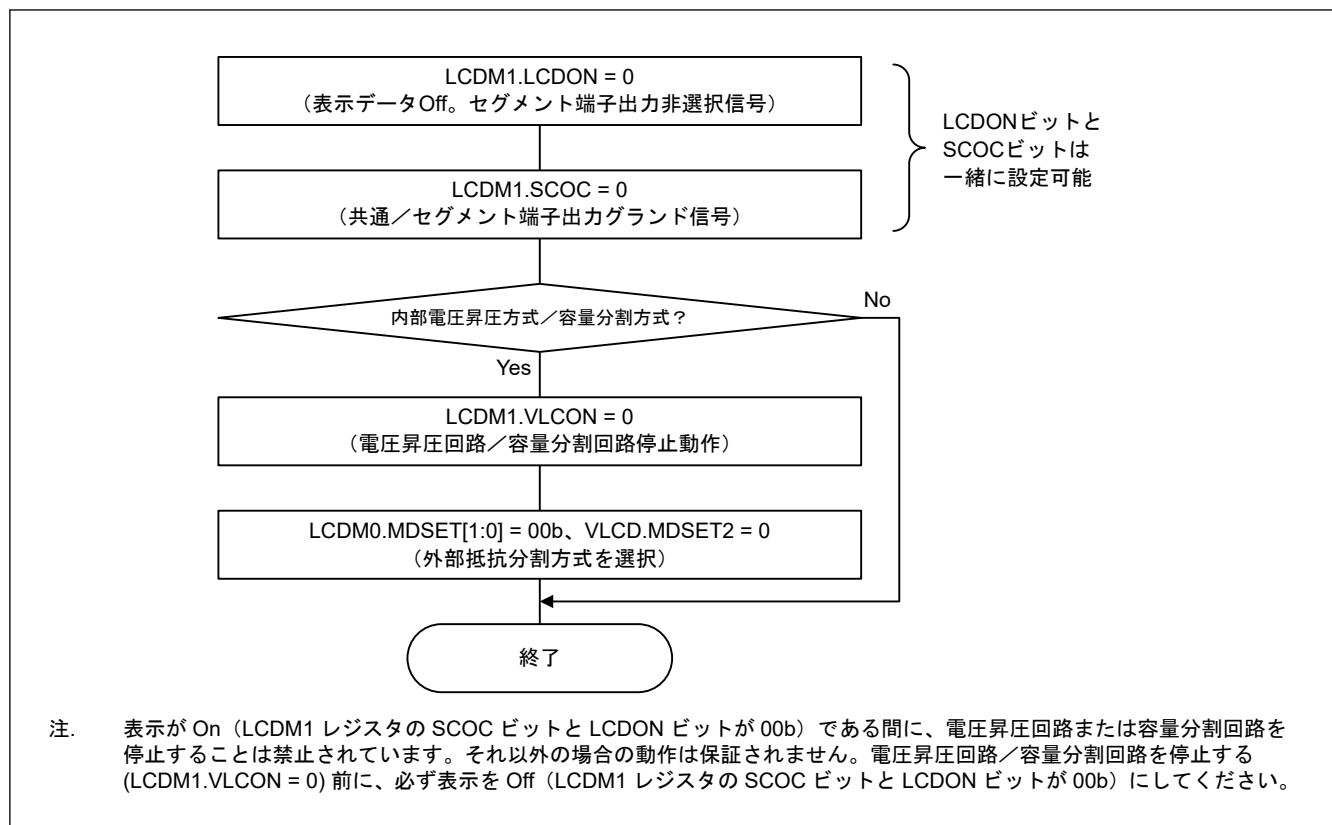


図 40.9 通常の液晶波形 (A または B) 表示の際の動作停止手順

40.6 LCD 駆動電圧 VL1、VL2、VL3、および VL4 の供給

LCD ドライバの電源電圧は外部抵抗分割方式、内部電圧昇圧方式、または容量分割方式により生成できます。

40.6.1 外部抵抗分割方式

図 40.10 と図 40.11 に、各バイアス方式に対応した LCD 駆動電源接続の例を示します。

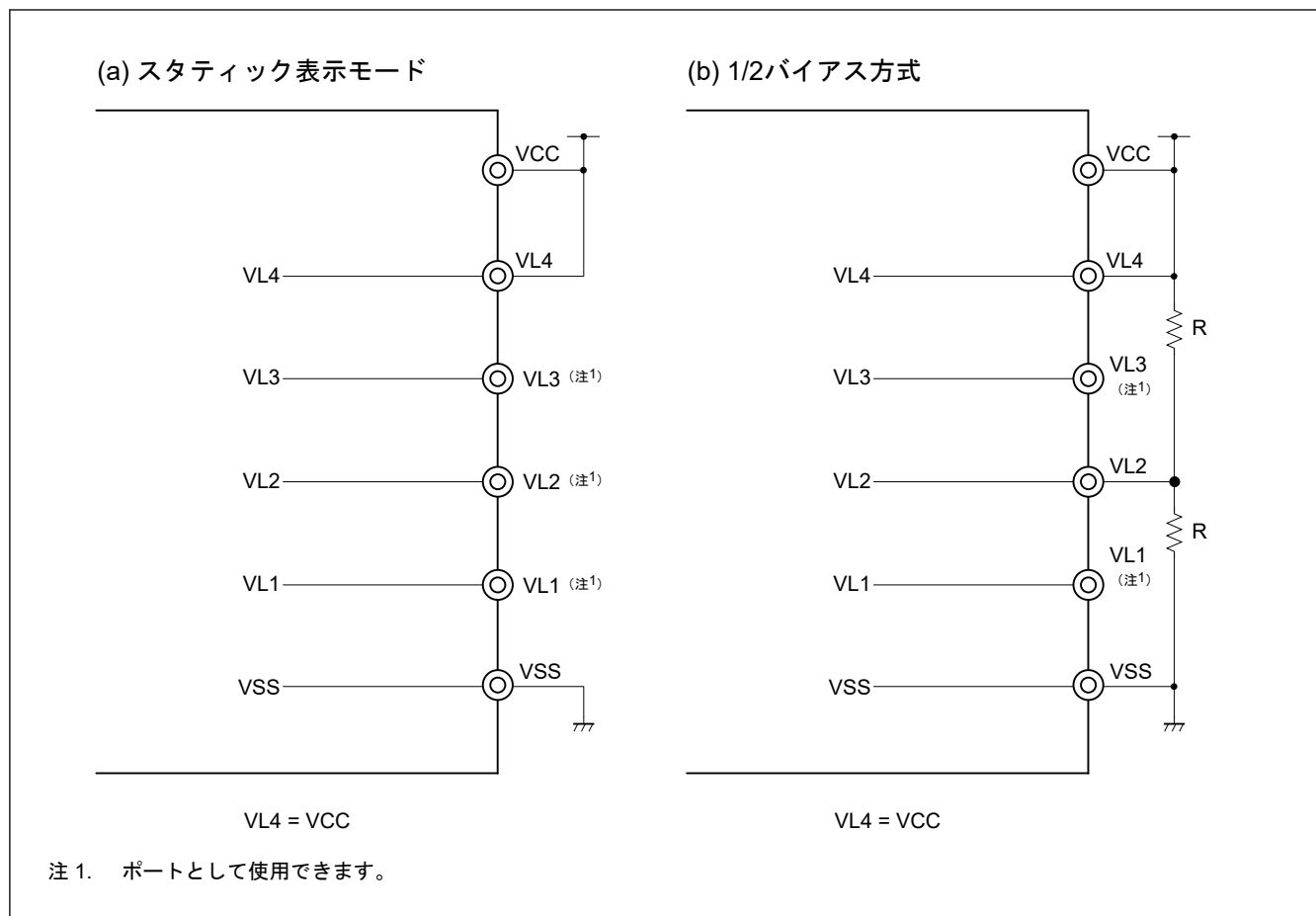


図 40.10 外部抵抗分割方式を使用する LCD 駆動電源接続の例 (1/2)

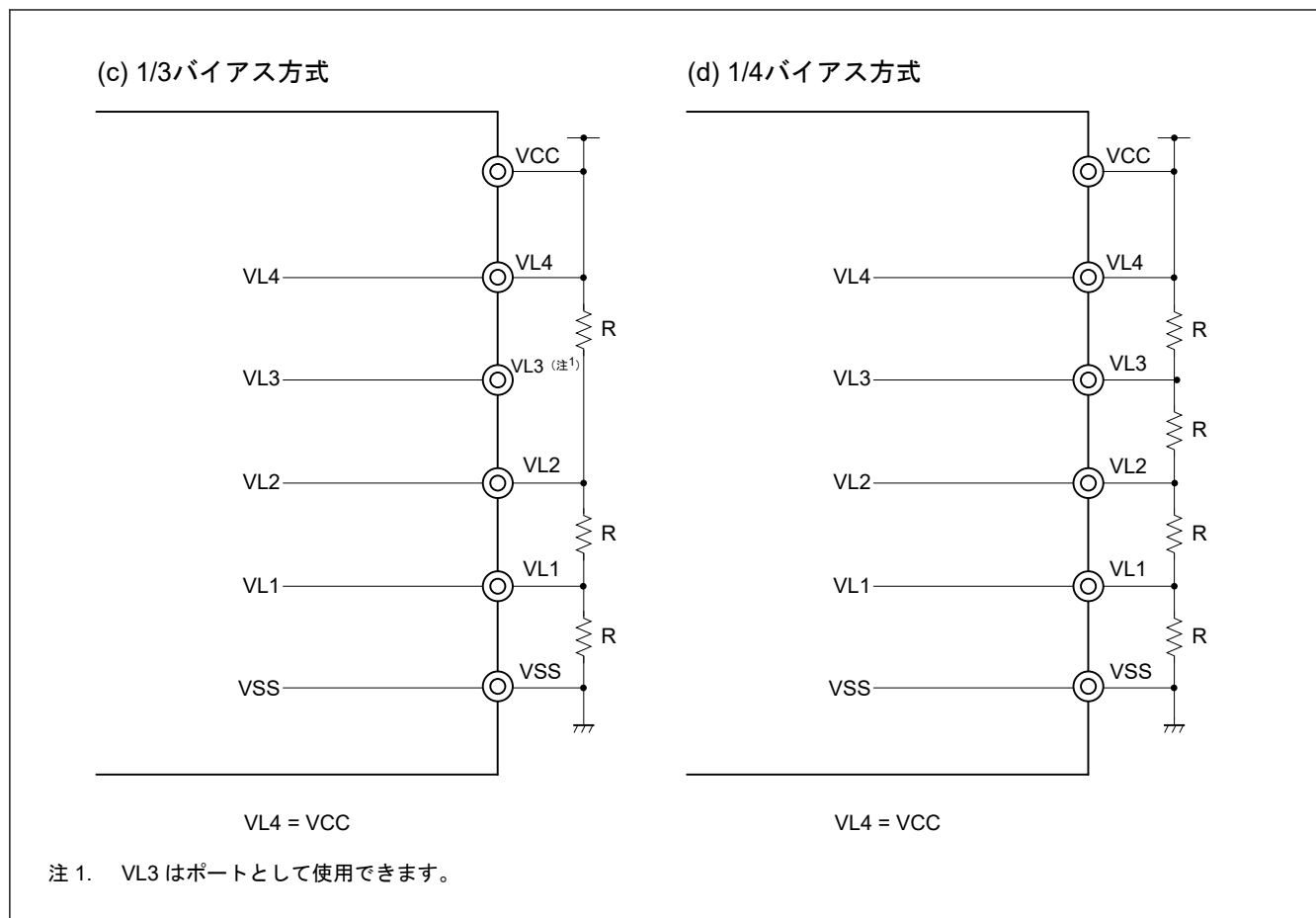


図 40.11 外部抵抗分割方式を使用する LCD 駆動電源接続の例 (2/2)

注. 外部抵抗分割のための基準抵抗 R の値は $10\text{ k}\Omega \sim 50\text{ k}\Omega$ です。さらに、VL1 端子～VL4 端子の電圧を安定化するため、各 VL1 端子～VL4 端子と GND 端子の間に必要に応じてキャパシタを接続してください。基準容量は約 $0.47\text{ }\mu\text{F}$ ですが、使用する LCD パネル、セグメント端子数、共通端子数、フレーム周波数、および動作環境に依存します。使用するシステムに応じて十分な評価を行い、容量を調整してください。

40.6.2 内部電圧昇圧方式

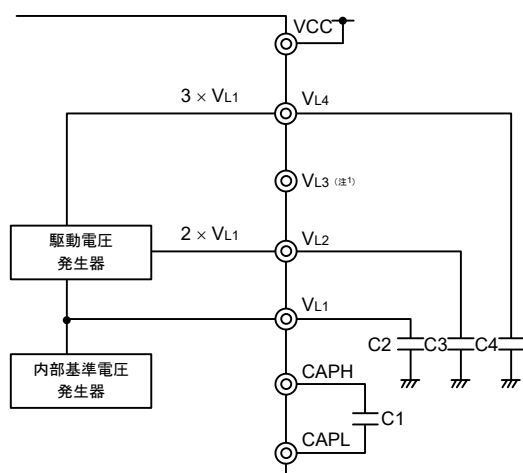
本 MCU は、LCD 駆動電源の生成のために内部電圧昇圧回路を内蔵しています。内部電圧昇圧回路と外部容量 ($0.47\text{ }\mu\text{F} \pm 30\%$) は LCD 駆動電圧を発生するために使用されます。内部電圧昇圧方式の VL1 基準モードには、1/3 バイアスモードまたは 1/4 バイアスモードのみが設定可能です。内部電圧昇圧方式の VL2 基準モードには、1/3 バイアスモードのみが設定可能です。

内部電圧昇圧回路はメインユニットの電源から独立した電源であるため、VCC の変動にかかわらず一定の電圧を供給可能です。さらに、コントラストは LCD 昇圧レベルコントロールレジスタ (VLCD) を使って調整できます。

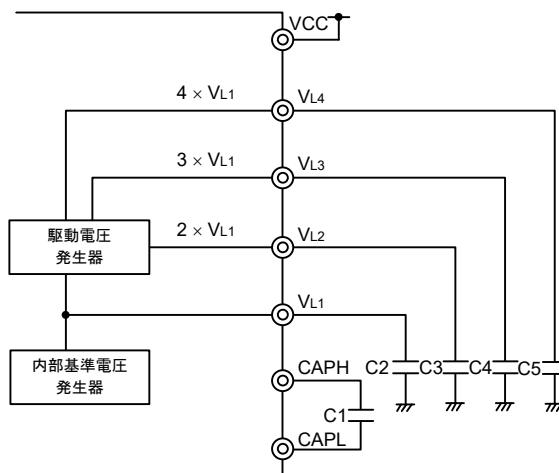
表 40.12 内部電圧昇圧方式を使用する LCD 駆動電圧

LCD 駆動電圧端子	1/3 バイアス方式		1/4 バイアス方式
	VL1 基準	VL2 基準	VL1 基準
VL4	$3 \times \text{VL1}$	$3/2 \times \text{VL2}$	$4 \times \text{VL1}$
VL3	—	—	$3 \times \text{VL1}$
VL2	$2 \times \text{VL1}$	LCD 基準電圧	$2 \times \text{VL1}$
VL1	LCD 基準電圧	$1/2 \times \text{VL2}$	LCD 基準電圧

(a) 1/3 バイアス方式



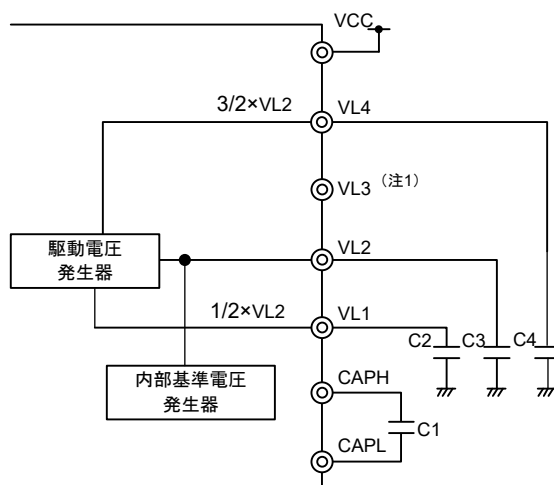
(b) 1/4 バイアス方式



注. キャパシタはできるだけリークの少ないものを使用してください。さらに、C1 は無極性キャパシタにしてください。
 注 1. VL3 はポートとして使用できます。

図 40.12 内部電圧昇圧方式の VL1 基準モードを使用する LCD 駆動電源接続の例

(c) 1/3 バイアス方式



注. キャパシタはできるだけリークの少ないものを使用してください。さらに、C1 は無極性キャパシタにしてください。
 注 1. VL3 はポートとして使用できます。

図 40.13 内部電圧昇圧方式の VL2 基準モードを使用する LCD 駆動電源接続の例

40.6.3 容量分割方式

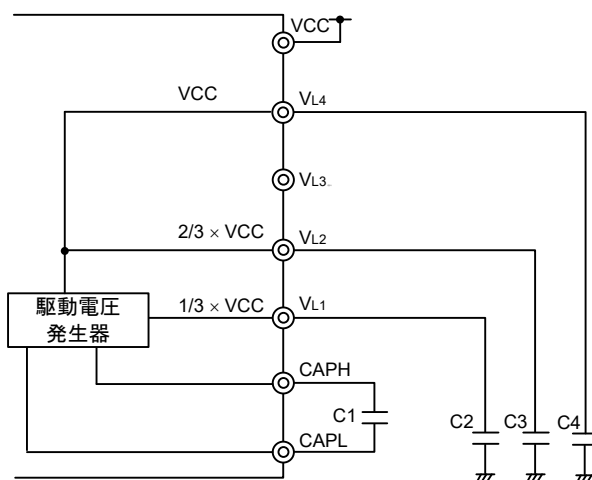
本 MCU は、LCD 駆動電源の生成のために内部電圧降圧回路を内蔵しています。内部電圧降圧回路と外部容量 ($0.47 \mu\text{F} \pm 30\%$) は LCD 駆動電圧を発生するために使用されます。容量分割方式の VCC 基準モードと VL4 基準モードには、1/3 バイアスモードのみが設定可能です。

外部抵抗分割方式と異なり、容量分割方式は連続した電流は不要であり、そのため電流消費を低減できます。

表 40.13 容量分割方式を使用する LCD 駆動電圧

LCD 駆動電圧端子	1/3 バイアス方式	
	VCC 基準	VL4 基準
VL4	VCC	LCD 基準電圧
VL3	—	—
VL2	$2/3 \times VL4$	$2/3 \times VL4$
VL1	$1/3 \times VL4$	$1/3 \times VL4$

1/3 バイアス方式

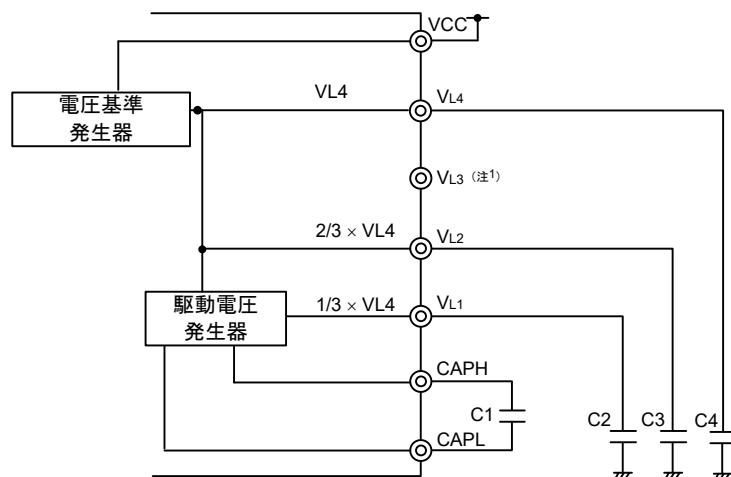


注. キャパシタはリーク電流の少ないものを使用してください。さらに、C1は無極性キャパシタにしてください。

注 1. VL3 はポートとして使用できます。

図 40.14 容量分割方式の VCC 基準モードを使用する LCD 駆動電源接続の例

1/3 バイアス方式



注. キャパシタはリーク電流の少ないものを使用してください。さらに、C1は無極性キャパシタにしてください。

注 1. VL3 はポートとして使用できます。

図 40.15 容量分割方式の VL4 基準モードを使用する LCD 駆動電源接続の例

40.7 共通信号とセグメント信号

LCD パネルの各画素は、対応する共通信号とセグメント信号の間の電位差が特定の電圧（LCD 駆動電圧、VLCD）より高くなると On になります。電位差が VLCD より小さくなると、画素は OFF になります。

LCD パネルの共通信号とセグメント信号に DC 電圧を印加すると、劣化を引き起こします。この問題を防ぐために、SLCDC は AC 電圧で駆動されます。

(1) 共通信号

各共通信号は、[図 40.16](#) に示すタイムスライスの指定された番号に従って順番に選択されます。スタティック表示モードでは、COM0～COM3 に同じ信号が出力されます。

2 タイムスライスモードでは、COM2 端子と COM3 端子をオープンにしてください。3 タイムスライスモードでは、COM3 端子をオープンにしてください。

6 タイムスライスモードと 8 タイムスライスモード以外では COM4 端子～COM7 端子を、6 タイムスライスモードでは COM6 端子と COM7 端子をオープンにするかセグメント端子として使用してください。

タイムスライスの COM 信号番号	COM0	COM1	COM2	COM3	COM4	COM5	COM6	COM7
スタティック表示モード					(注1)	(注1)	(注1)	(注1)
2 タイムスライスモード			オープン	オープン	(注1)	(注1)	(注1)	(注1)
3 タイムスロットモード			オープン	オープン	(注1)	(注1)	(注1)	(注1)
4 タイムスロットモード					(注1)	(注1)	(注1)	(注1)
6 タイムスライスモード							(注1)	(注1)
8 タイムスライスモード								

注 1. 端子をオープンにするかセグメント端子として使用してください。

図 40.16 COM 信号

(2) セグメント信号

セグメント信号は、LCD 表示データレジスタ（「[40.2.5. LCD 表示データレジスタ](#)」参照）に対応する信号です。

タイムスライスの数が 8 であるとき、各表示データレジスタのビット[0]～ビット[7] は、それぞれ COM0～COM7 に同期して読み出されます。タイムスライスの数が 6 であるとき、各表示データレジスタのビット[0]～ビット[5] は、それぞれ COM0～COM5 に同期して読み出されます。ビットが 1 の場合、それは電圧選択に変換されます。また、ビットが 0 の場合、それは電圧非選択に変換されます。変換結果は、セグメント端子に出力されます。

タイムスライスの数が 8 または 6 でないとき、A パターン領域の各バイトのビット[0]～ビット[3] はそれぞれ COM0～COM3 に同期して読み出され、B パターン領域の各バイトのビット[4]～ビット[7] はそれぞれ COM0～COM3 に同期して読み出されます。ビットが 1 の場合、それは選択電圧に変換されます。また、ビットが 0 の場合、それは非選択電圧に変換されます。変換結果は、セグメント端子に出力されます。

前面の電極（セグメント信号に対応）と裏面の電極（共通信号に対応）のどの組み合わせが LCD 表示データレジスタの表示パターンを形成するかを確認し、それから所望の表示パターンに対応するビットデータを一対一対応で書き込んでください。

(3) 共通信号とセグメント信号の出力波形

[表 40.14](#) に示す電圧が共通信号とセグメント信号として出力されます。

共通信号とセグメント信号の両方が選択電圧であるときに、表示の On 電圧は±VLCD です。ほかの信号の組み合わせは、表示 Off 電圧に対応します。

表 40.14 LCD 駆動電圧 (スタティック表示モード)

共通信号	セグメント信号	
	選択信号レベル	非選択信号レベル
	VSS/VL4	VL4/VSS
VL4/VSS	-VLCD/+VLCD	0 V/0 V

表 40.15 LCD 駆動電圧 (1/2 バイアス方式)

共通信号		セグメント信号	
		選択信号レベル	非選択信号レベル
		VSS/VL4	VL4/VSS
選択信号レベル	VL4/VSS	-VLCD/+VLCD	0 V/0 V
非選択信号レベル	VL2	-1/2 VLCD/+1/2 VLCD	+1/2 VLCD/-1/2 VLCD

表 40.16 LCD 駆動電圧 (1/3 バイアス方式 (波形 A または B))

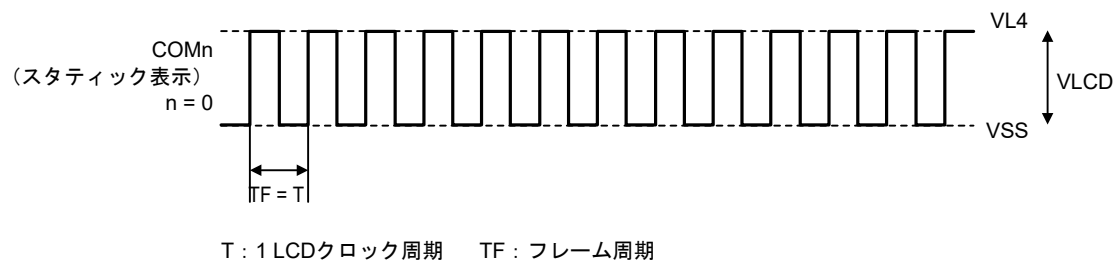
共通信号		セグメント信号	
		選択信号レベル	非選択信号レベル
		VSS/VL4	VL2/VL1
選択信号レベル	VL4/VSS	-VLCD/+VLCD	-1/3 VLCD/+1/3 VLCD
非選択信号レベル	VL1/VL2	-1/3 VLCD/+1/3 VLCD	+1/3 VLCD/-1/3 VLCD

表 40.17 LCD 駆動電圧 (1/4 バイアス方式 (波形 A または B))

共通信号		セグメント信号	
		選択信号レベル	非選択信号レベル
		VSS/VL4	VL2
選択信号レベル	VL4/VSS	-VLCD/+VLCD	-1/2 VLCD/+1/2 VLCD
非選択信号レベル	VL1/VL3	-1/4 VLCD/+1/4 VLCD	+1/4 VLCD/-1/4 VLCD

共通信号波形を [図 40.17](#) と [図 40.18](#) に示します。 [図 40.19](#)～[図 40.21](#) に共通信号とセグメント信号の電圧と位相を示します。

(a) スタティック表示モード



(b) 1/2バイアス方式

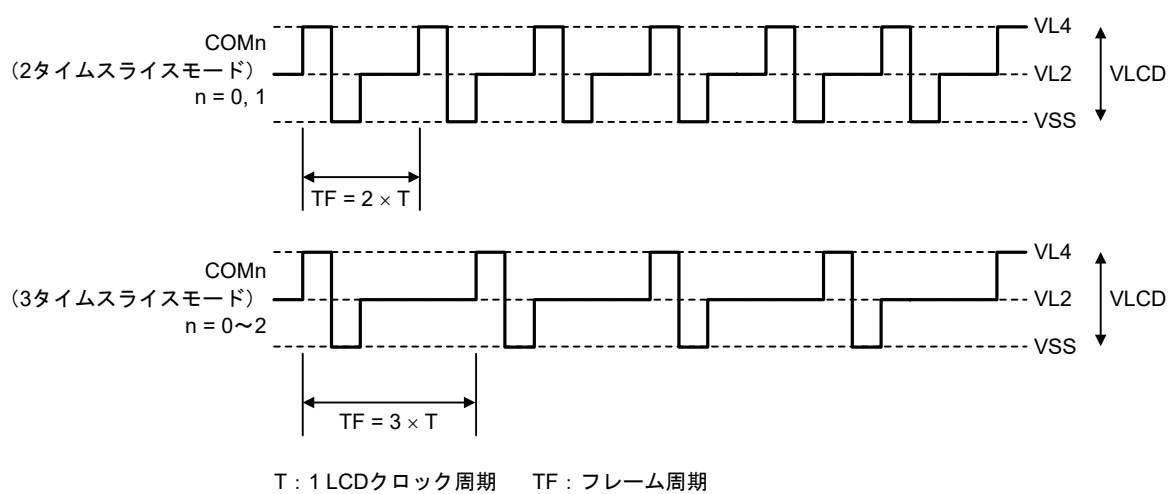
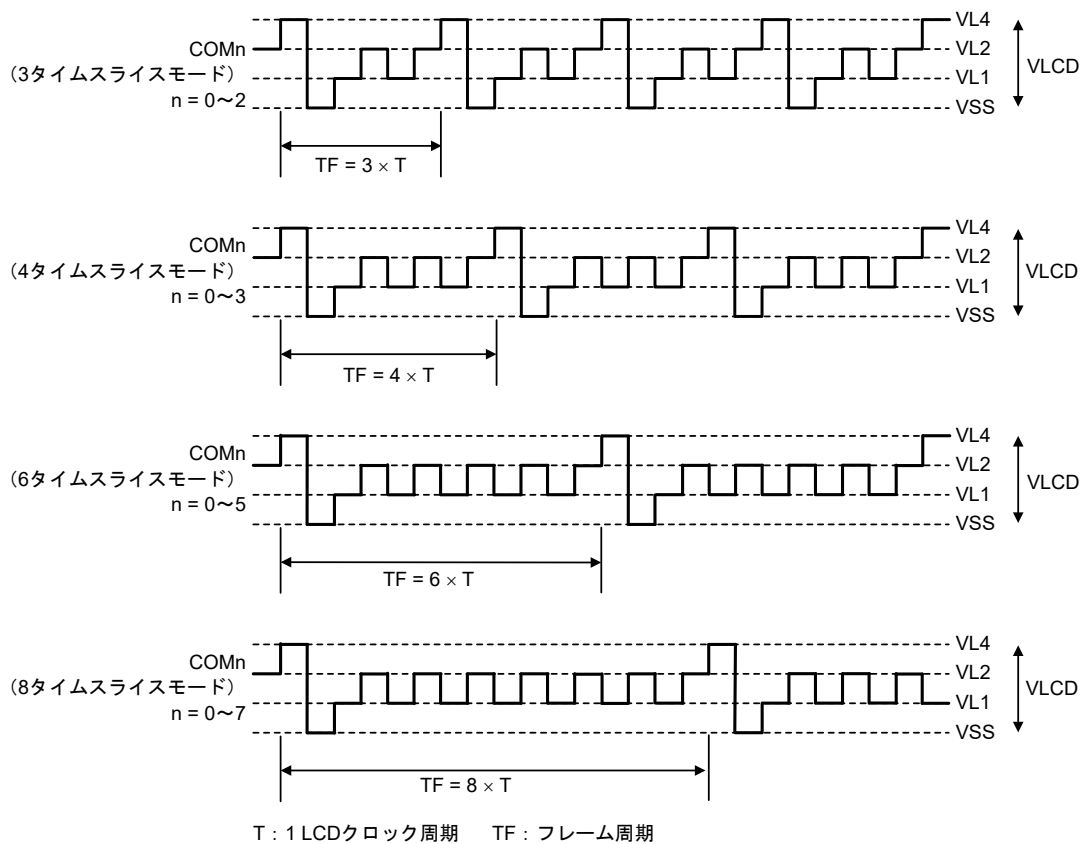


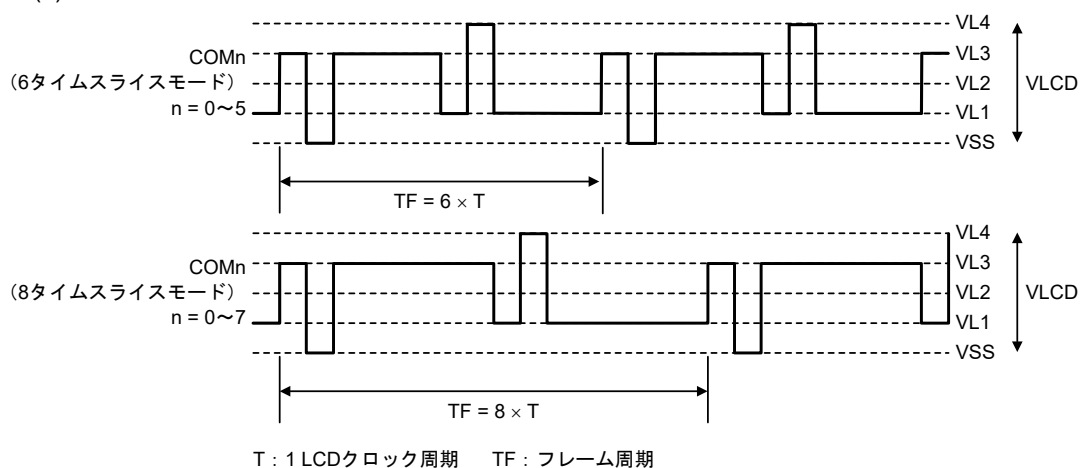
図 40.17 共通信号波形 (1/2)

(c) 1/3バイアス方式



<LCDフレーム周波数の計算例 (4タイムスライスモードを使用時)>
 LCDクロック: $32768/2^7 = 256 \text{ Hz}$ (LCDC0レジスタ = 0x06に設定時)
 LCDフレーム周波数: 64 Hz

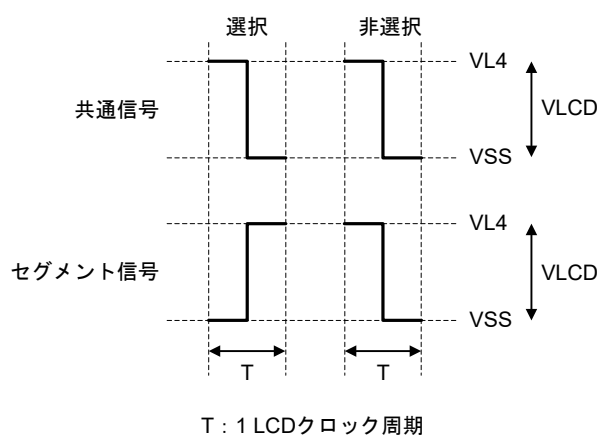
(d) 1/4バイアス方式



<LCDフレーム周波数の計算例 (8タイムスライスモードを使用時)>
 LCDクロック: $32768/2^7 = 256 \text{ Hz}$ (LCDC0レジスタ = 0x06に設定時)
 LCDフレーム周波数: 32 Hz

図 40.18 共通信号波形 (2/2)

(a) スタティック表示モード (波形A)



(b) 1/2バイアス方式 (波形A)

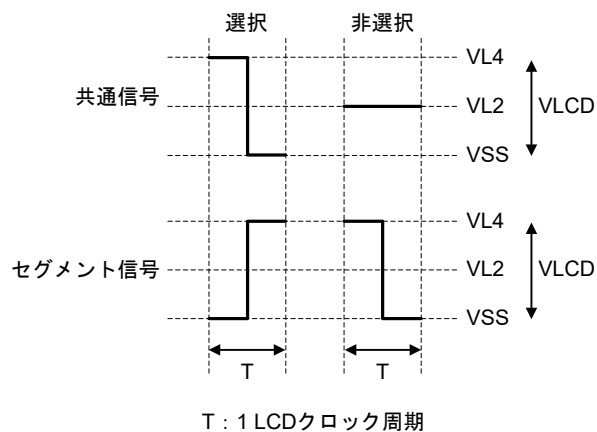
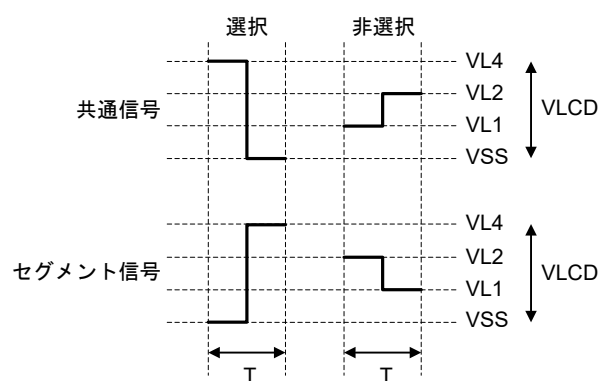


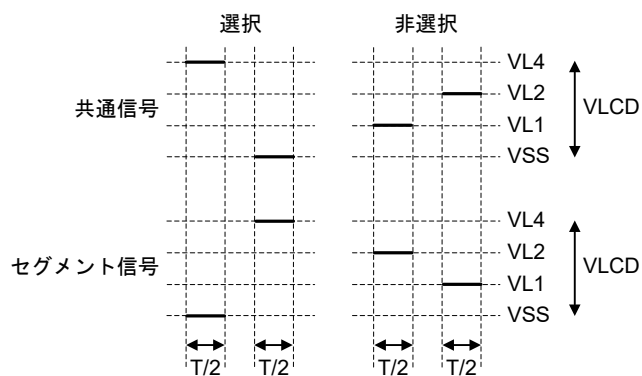
図 40.19 共通信号とセグメント信号の電圧と位相 (1/3)

(c) 1/3 バイアス方式 (波形A)



T : 1 LCDクロック周期

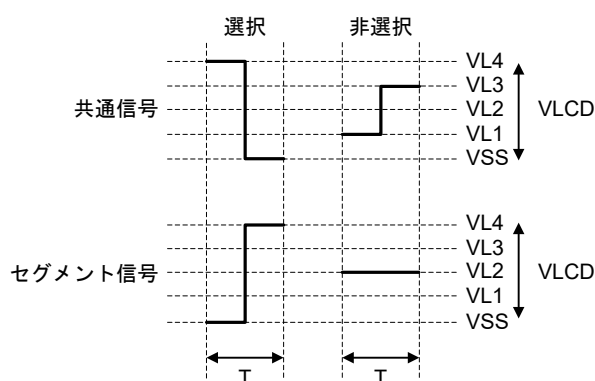
(d) 1/3 バイアス方式 (波形B)



T : 1 LCDクロック周期

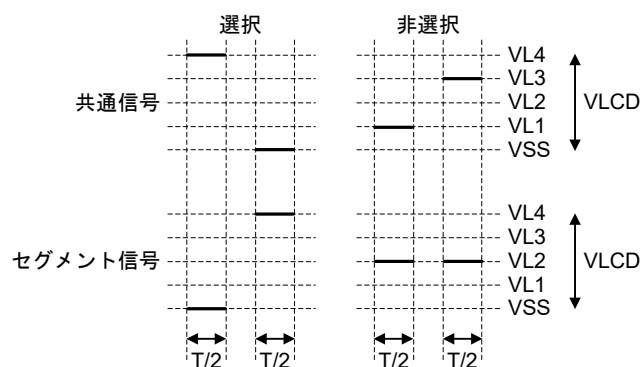
図 40.20 共通信号とセグメント信号の電圧と位相 (2/3)

(e) 1/4バイアス方式 (波形A)



T : 1 LCDクロック周期

(f) 1/4バイアス方式 (波形B)



T : 1 LCDクロック周期

図 40.21 共通信号とセグメント信号の電圧と位相 (3/3)

40.8 表示モード

40.8.1 スタティック表示の例

図 40.23 は、図 40.22 に示す表示パターンの 3 桁 LCD パネルをセグメント信号 (SEG0~SEG23) と共通信号 (COM0) に接続する方法を示します。この例は「12.3」を LCD パネルに表示します。表示データレジスタの内容がこの表示に対応します。

以下の説明は、2 桁目に表示される数字「2」に着目します。「2」を LCD パネルに表示するために、共通信号 COM0 の選択タイミングで選択電圧または非選択電圧が SEG8~SEG15 端子に印加する必要があります。セグメント信号と LCD セグメントの関係については図 40.22 を参照してください。

表 40.18 選択 (1) データと非選択 (0) データの例 (COM0)

共通	セグメント							
	SEG8	SEG9	SEG10	SEG11	SEG12	SEG13	SEG14	SEG15
COM0	選択	非選択	選択	選択	非選択	選択	選択	選択

表 40.18 に示すように、表示データレジスタのビット 0 パターンは 10110111b である必要があります。

図 40.24 は、SEG11、SEG12、および COM0 の LCD 駆動波形を示します。COM0 のタイミングで選択電圧が SEG11 に印加されるとき、対応する LCD セグメントを On するために、交流の矩形波形+VLCD/-VLCD が生成されます。

COM1～COM3 には COM0 と同じ波形が供給されます。したがって、COM0～COM3 は駆動能力を増やすために一緒に接続することができます。

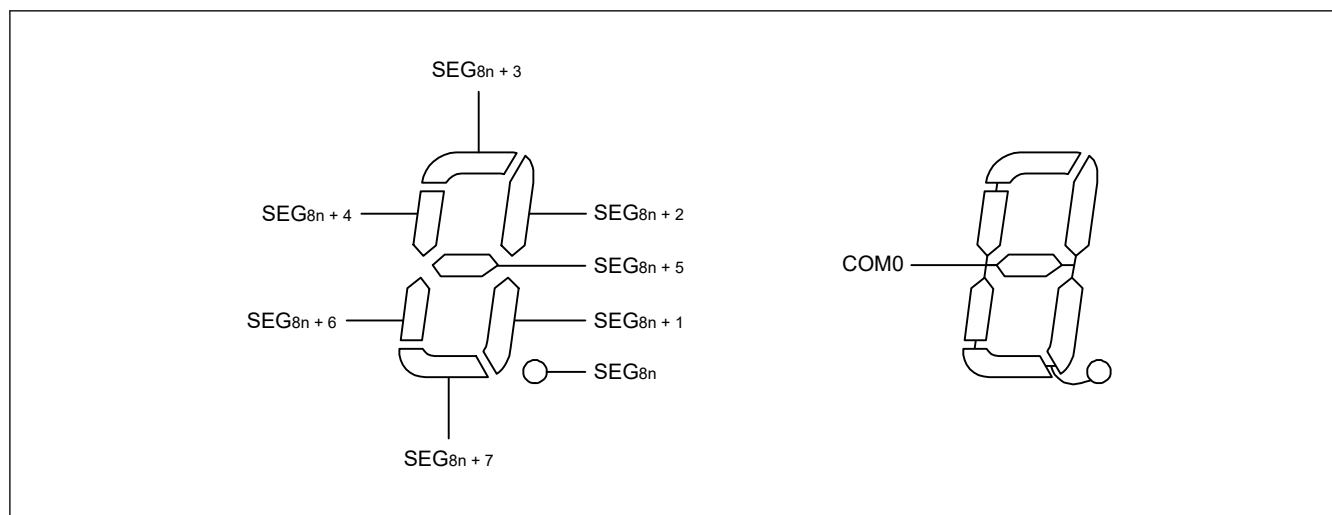


図 40.22 スタティック LCD 表示パターンと電極接続

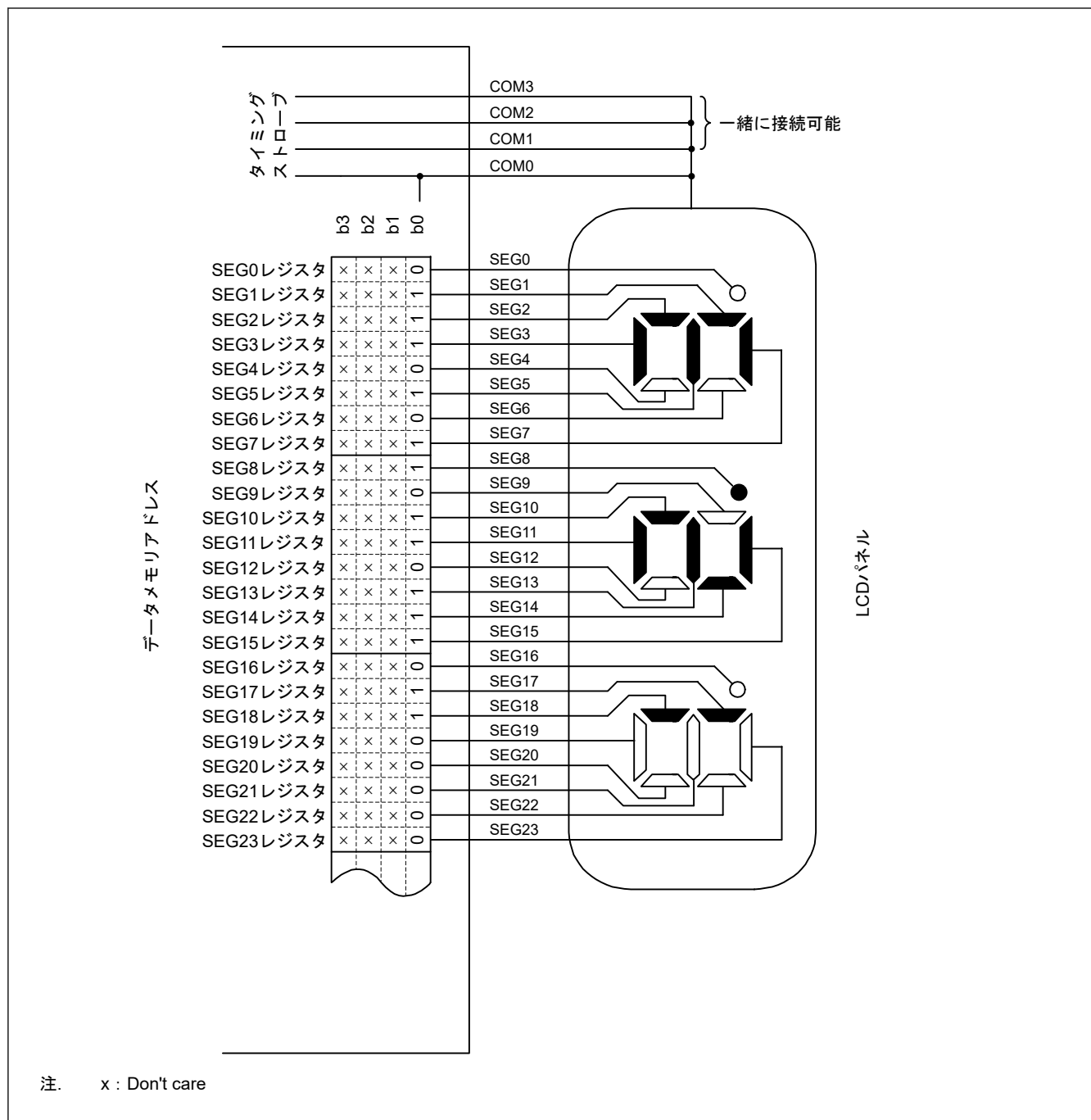


図 40.23 スタティック LCD パネルの接続例

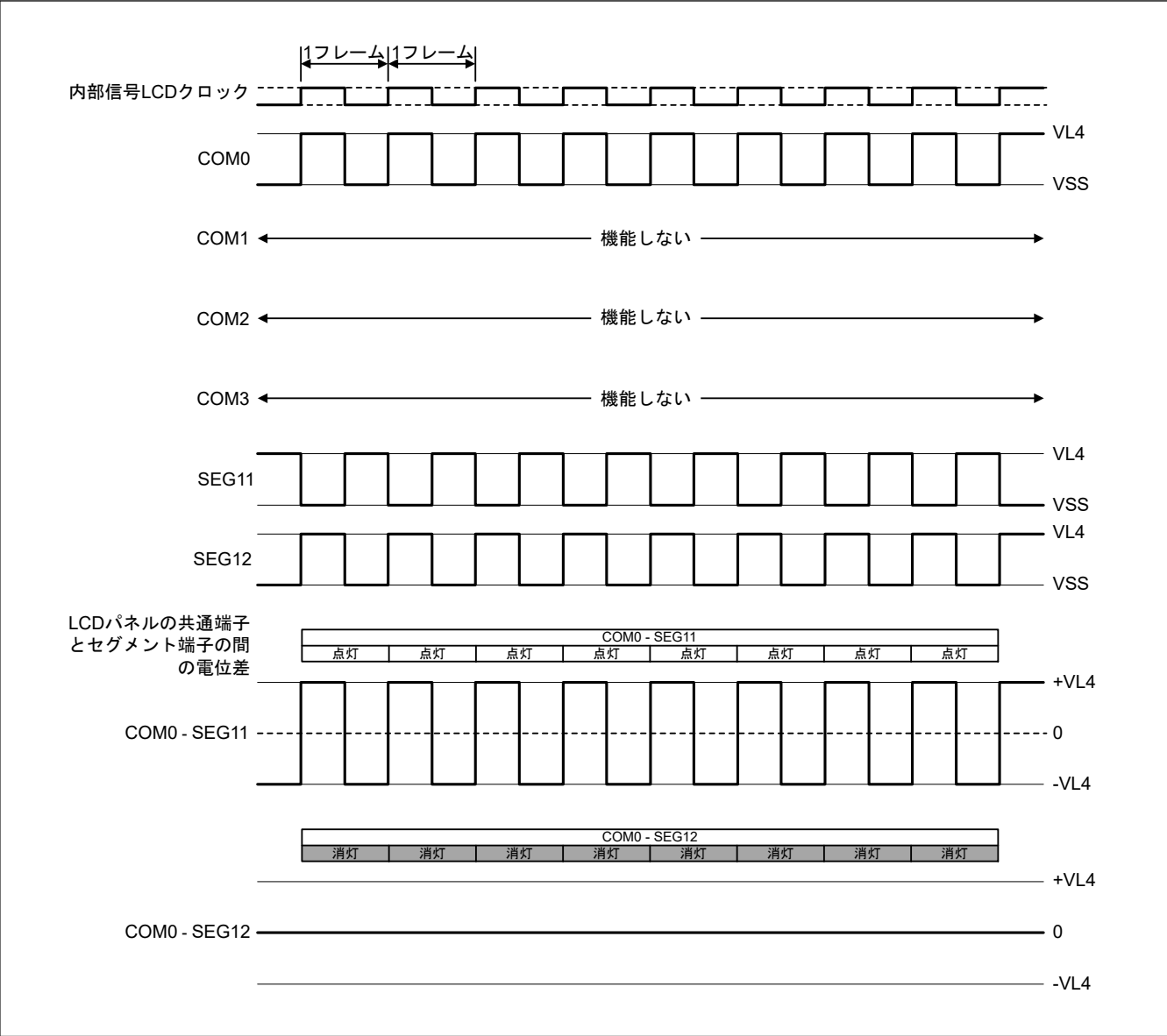


図 40.24 SEG11、SEG12、および COM0 のスタティック LCD 駆動波形の例

40.8.2 2 タイムスライス表示の例

図 40.26 は、図 40.25 に示す表示パターンの 6 桁 LCD パネルをセグメント信号 (SEG0~SEG23) と共通信号 (COM0 と COM1) に接続する方法を示します。この例は「12345.6」を LCD パネルに表示します。表示データレジスタの内容がこの表示に対応します。

以下の説明は、4 桁目に表示される数字「3」に関するものです。「3」を LCD パネルに表示するために、COM0 と COM1 の共通信号の選択タイミングで選択電圧または非選択電圧が SEG12~SEG15 端子に印加される必要があります。セグメント信号と LCD セグメントの関係については図 40.25 を参照してください。

表 40.19 選択 (1) データと非選択 (0) データの例 (COM0 と COM1)

共通	セグメント			
	SEG12	SEG13	SEG14	SEG15
COM0	選択	選択	非選択	非選択
COM1	非選択	選択	選択	選択

表 40.19 に示すように、SEG15 に対応する表示データレジスタの位置は xx10b を含む必要があります。

図 40.27 は、SEG15 信号と各共通信号の間の LCD 駆動波形の例を示します。COM1 のタイミングで選択電圧が SEG15 に印加されるとき、対応する LCD セグメントを On するために、交流の矩形波形+VLCD/-VLCD が生成されます。

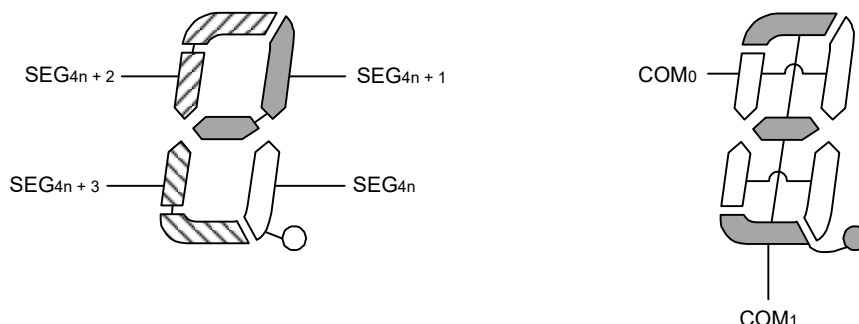


図 40.25 2 タイムスライス LCD 表示パターンと電極接続

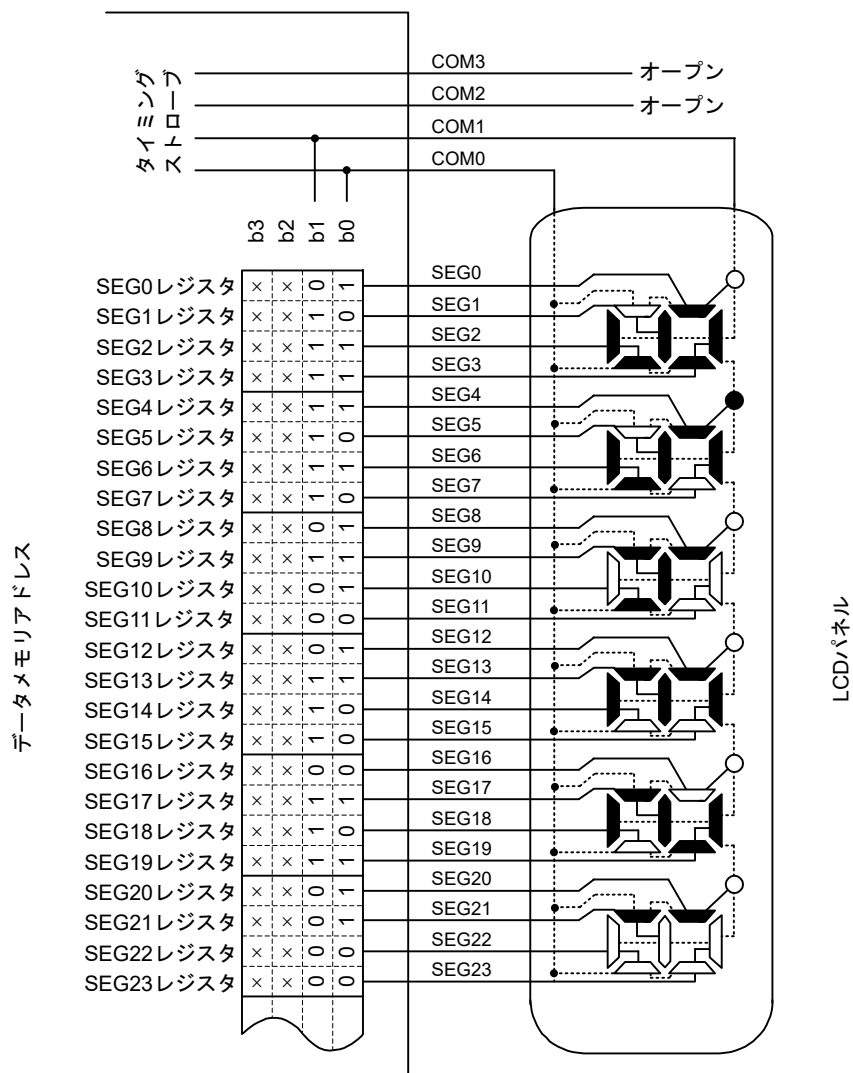


図 40.26 2 タイムスライス LCD パネルの接続例

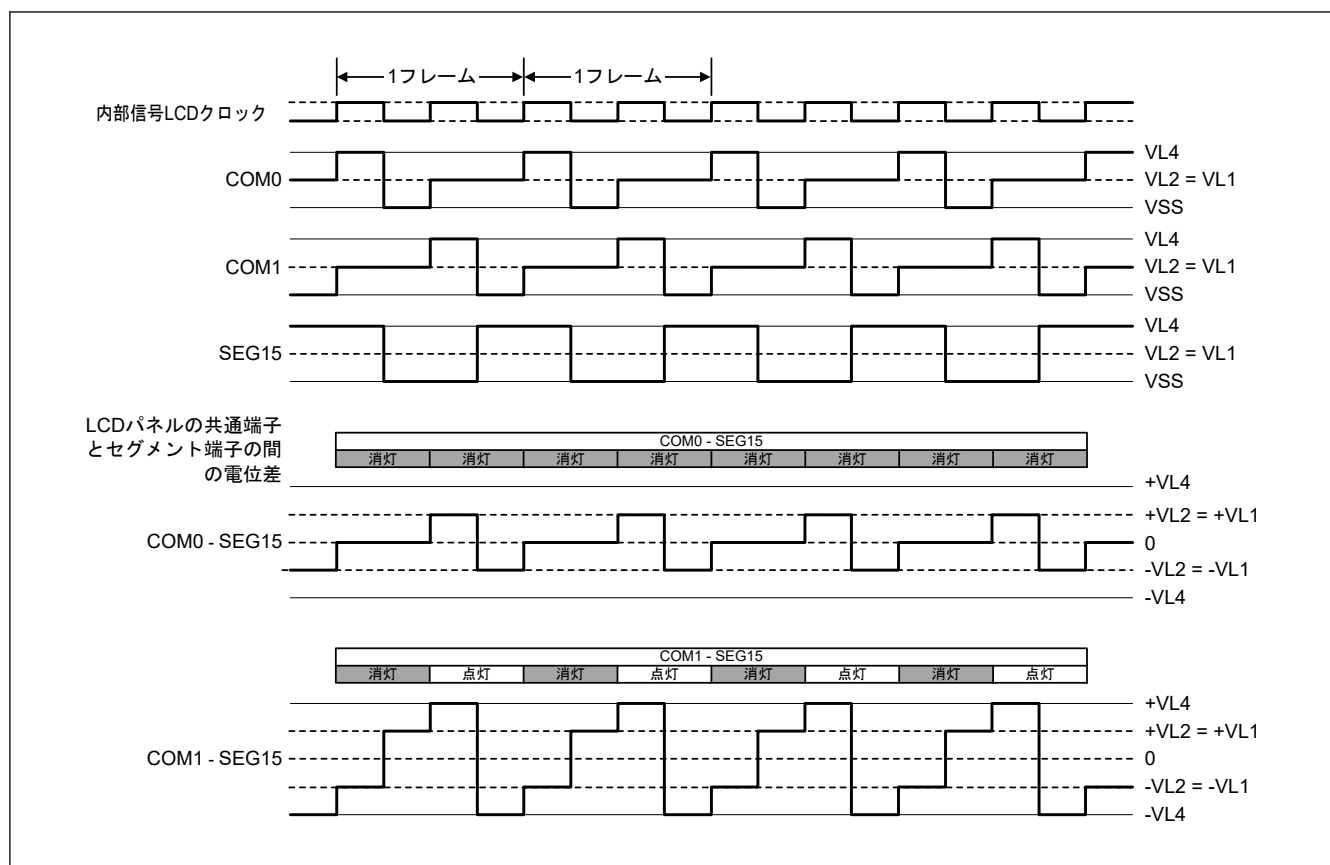


図 40.27 1/2 バias方式を使用時の SEG15 と各共通信号の間の 2 タイムスライス LCD 駆動波形の例

40.8.3 3 タイムスライス表示の例

図 40.29 は、図 40.28 に示す表示パターンの 8 桁 LCD パネルをセグメント信号 (SEG0～SEG23) と共通信号 (COM0～COM2) に接続する方法を示します。この例は「123456.78」を LCD パネルに表示します。表示データレジスタの内容がこの表示に対応します。

以下の説明は、3 桁目に表示される数字「6.」に着目します。「6.」を LCD パネルに表示するために、COM0～COM2 の共通信号の選択タイミングで選択電圧または非選択電圧が SEG6～SEG8 端子に印加される必要があります。セグメント信号と LCD セグメントの関係については図 40.28 を参照してください。

表 40.20 選択 (1) データと非選択 (0) データの例 (COM0～COM2)

共通	セグメント		
	SEG6	SEG7	SEG8
COM0	非選択	選択	選択
COM1	選択	選択	選択
COM2	選択	選択	—

表 40.20 に示すように、SEG6 に対応する表示データレジスタの位置は x110b を含む必要があります。

図 40.30 と図 40.31 は、1/2 および 1/3 バias方式それぞれにおける SEG6 信号と各共通信号の間の LCD 駆動波形の例を示します。COM1 または COM2 のタイミングで選択電圧が SEG6 に印加されるとき、対応する LCD セグメントを On にするために、交流の矩形波形+VLCD/-VLCD が生成されます。

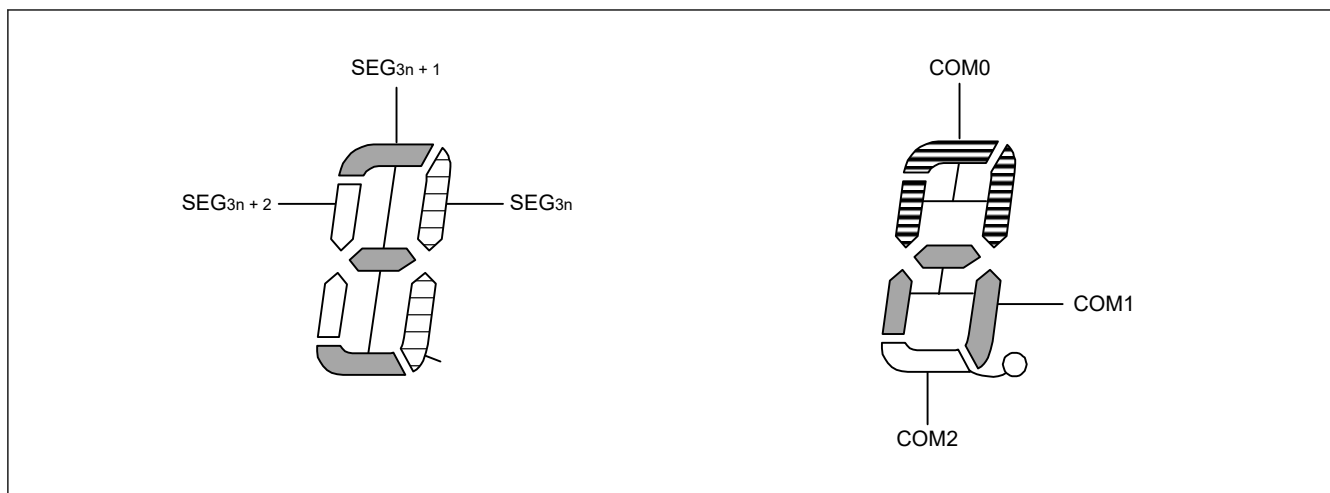


図 40.28 3 タイムスライス LCD 表示パターンと電極接続

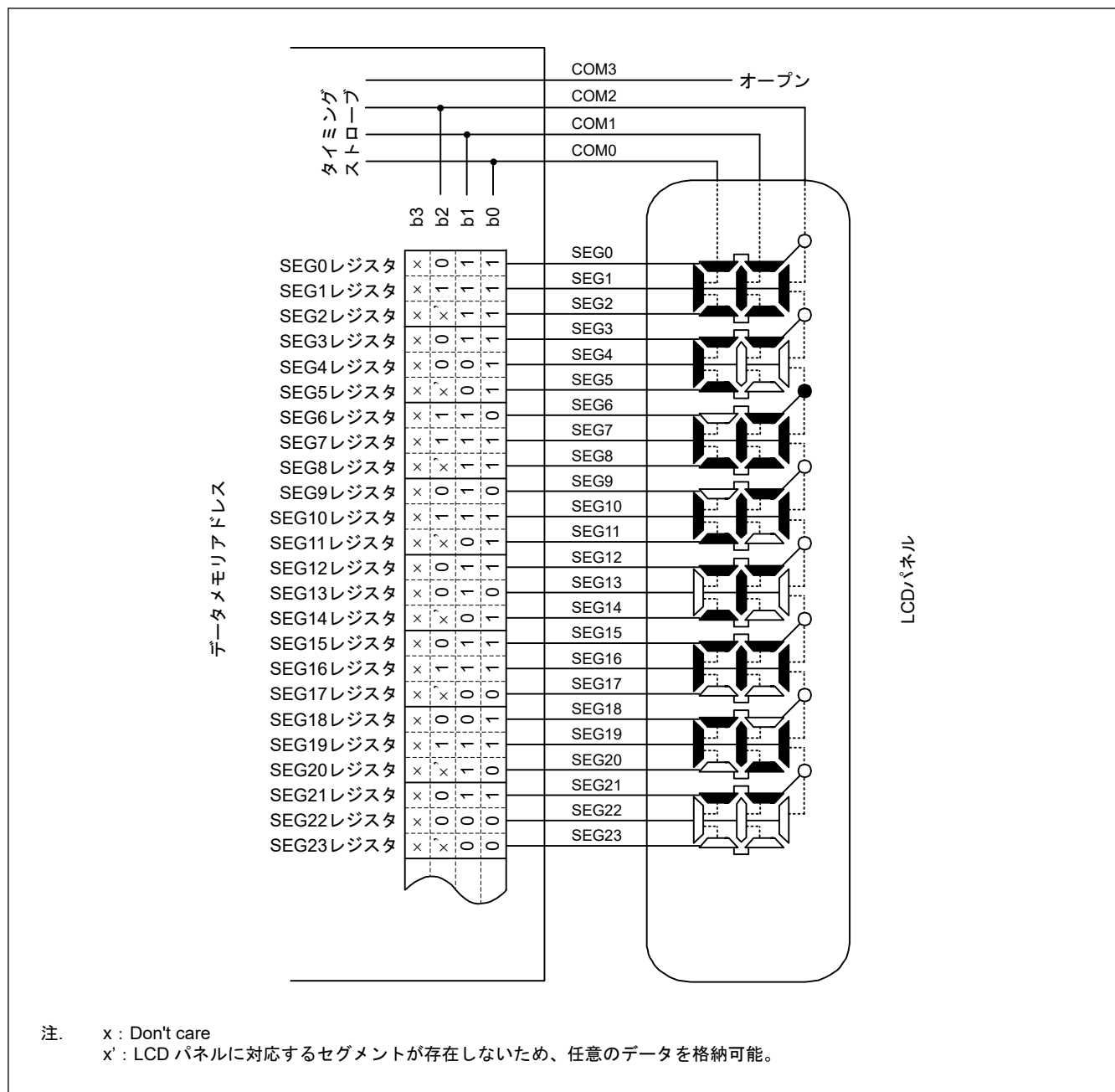


図 40.29 3 タイムスライス LCD パネルの接続例

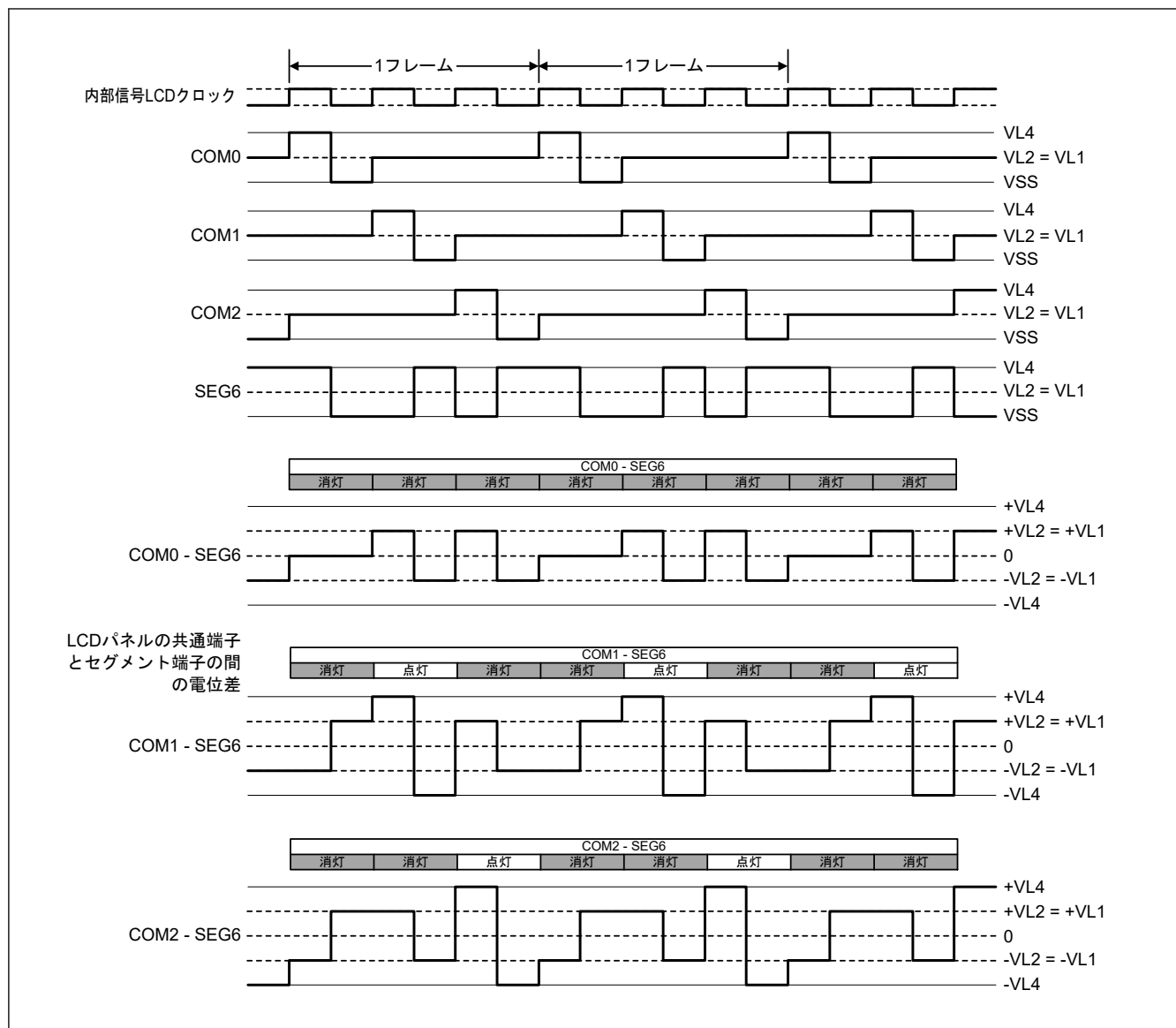


図 40.30 1/2 バイアス方式を使用時の SEG6 と各共通信号の間の 3 タイムスライス LCD 駆動波形の例

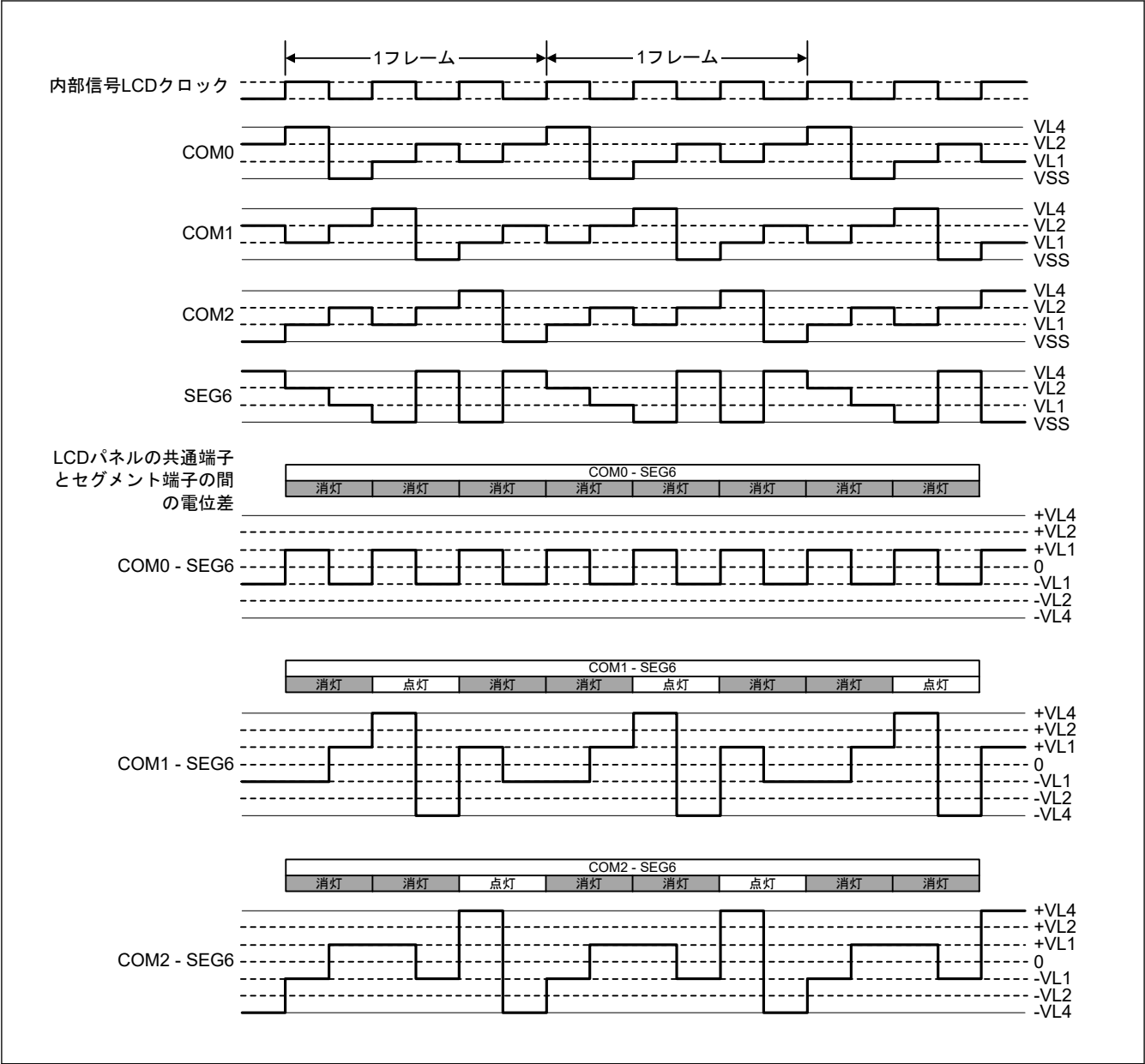


図 40.31 1/3 バイアス方式を使用時の SEG6 と各共通信号の間の 3 タイムスライス LCD 駆動波形の例

40.8.4 4 タイムスライス表示の例

図 40.33 は、図 40.32 に示す表示パターンの 12 桁 LCD パネルをセグメント信号 (SEG0～SEG23) と共通信号 (COM0～COM3) に接続する方法を示します。この例は「123456.789012」を LCD パネルに表示します。表示データレジスタの内容がこの表示に対応します。

以下の説明は、7 桁目に表示される数字「6.」に着目します。「6.」を LCD パネルに表示するために、COM0～COM3 の共通信号の選択タイミングで選択電圧または非選択電圧が SEG12 と SEG13 端子に印加される必要があります。セグメント信号と LCD セグメントの関係については図 40.32 を参照してください。

表 40.21 選択 (1) データと非選択 (0) データの例 (COM0～COM3) (1/2)

共通	セグメント	
	SEG12	SEG13
COM0	選択	選択
COM1	非選択	選択
COM2	選択	選択

表 40.21 選択 (1) データと非選択 (0) データの例 (COM0~COM3) (2/2)

共通	セグメント	
	SEG12	SEG13
COM3	選択	選択

表 40.21 に示すように、SEG12 に対応する表示データレジスタの位置は 1101b を含む必要があります。

図 40.34~図 40.35 は、SEG12 信号と各共通信号の間の LCD 駆動波形の例を示します。COM0 のタイミングで選択電圧が SEG12 に印加されるとき、対応する LCD セグメントを On にするために、交流の矩形波形+VLCD/-VLCD が生成されます。

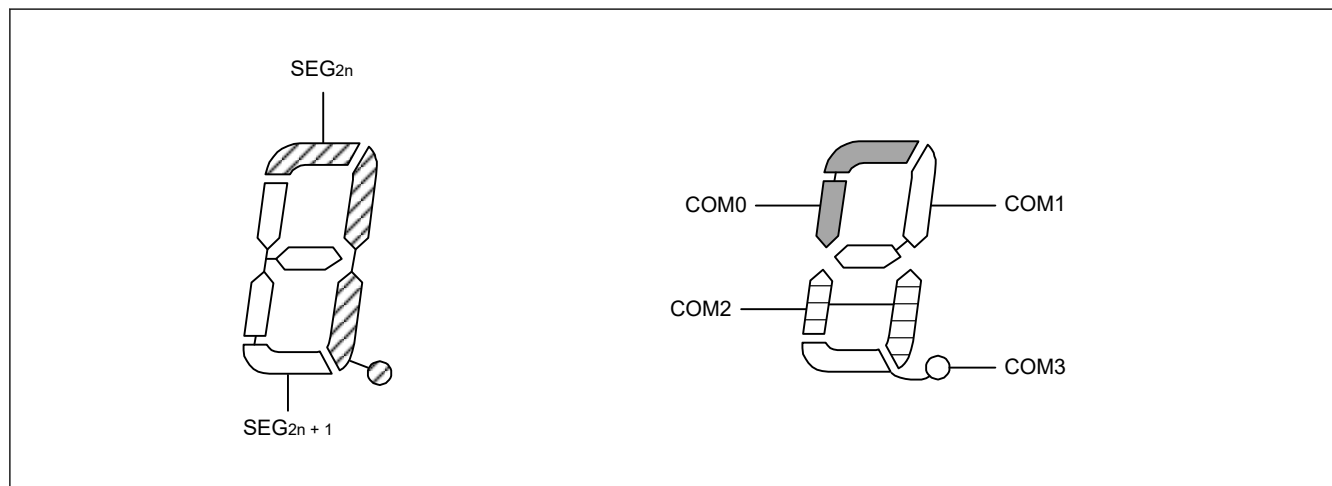


図 40.32 4 タイムスライス LCD 表示パターンと電極接続

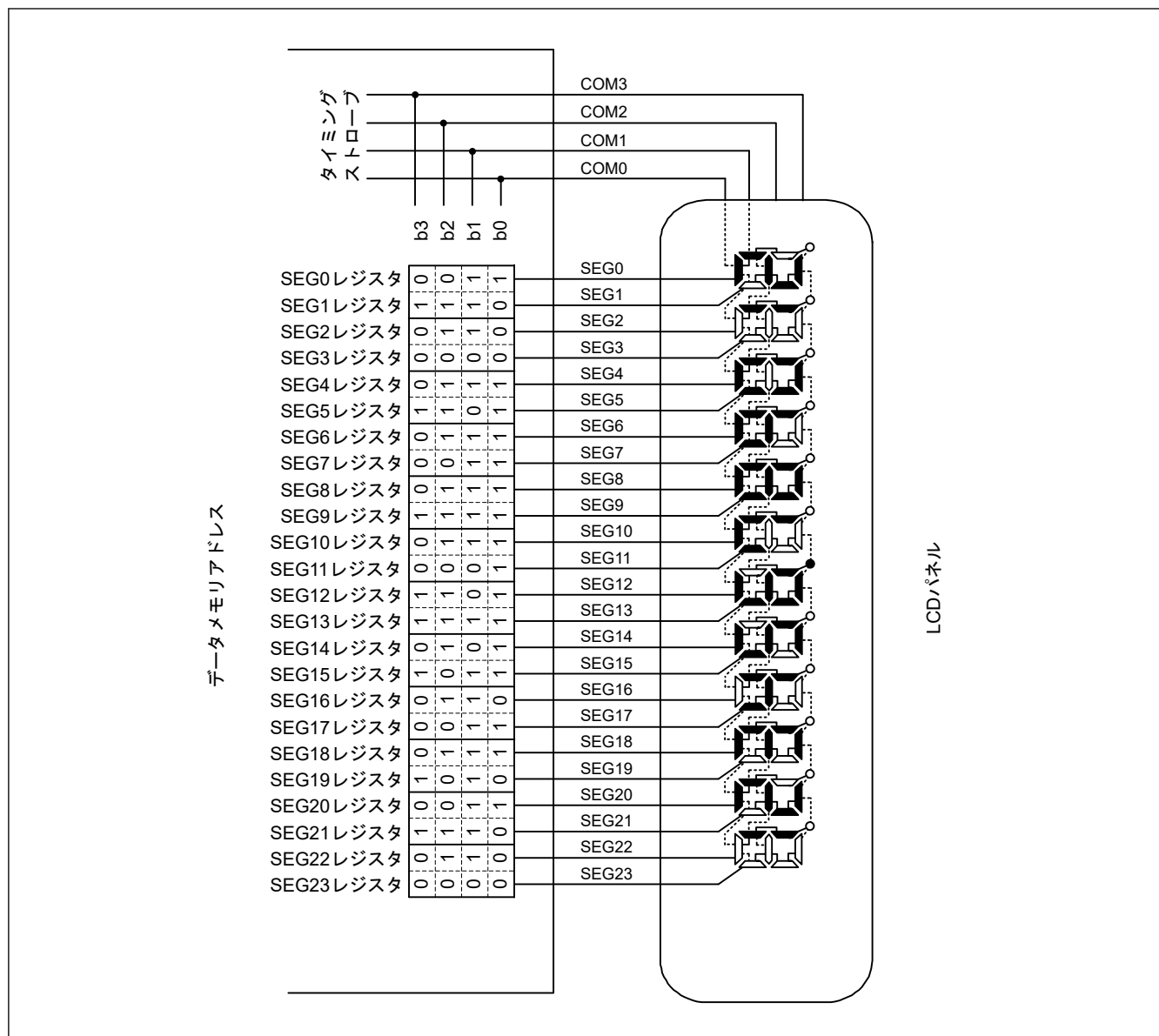


図 40.33 4 タイムスライス LCD パネルの接続例

(a) 波形A

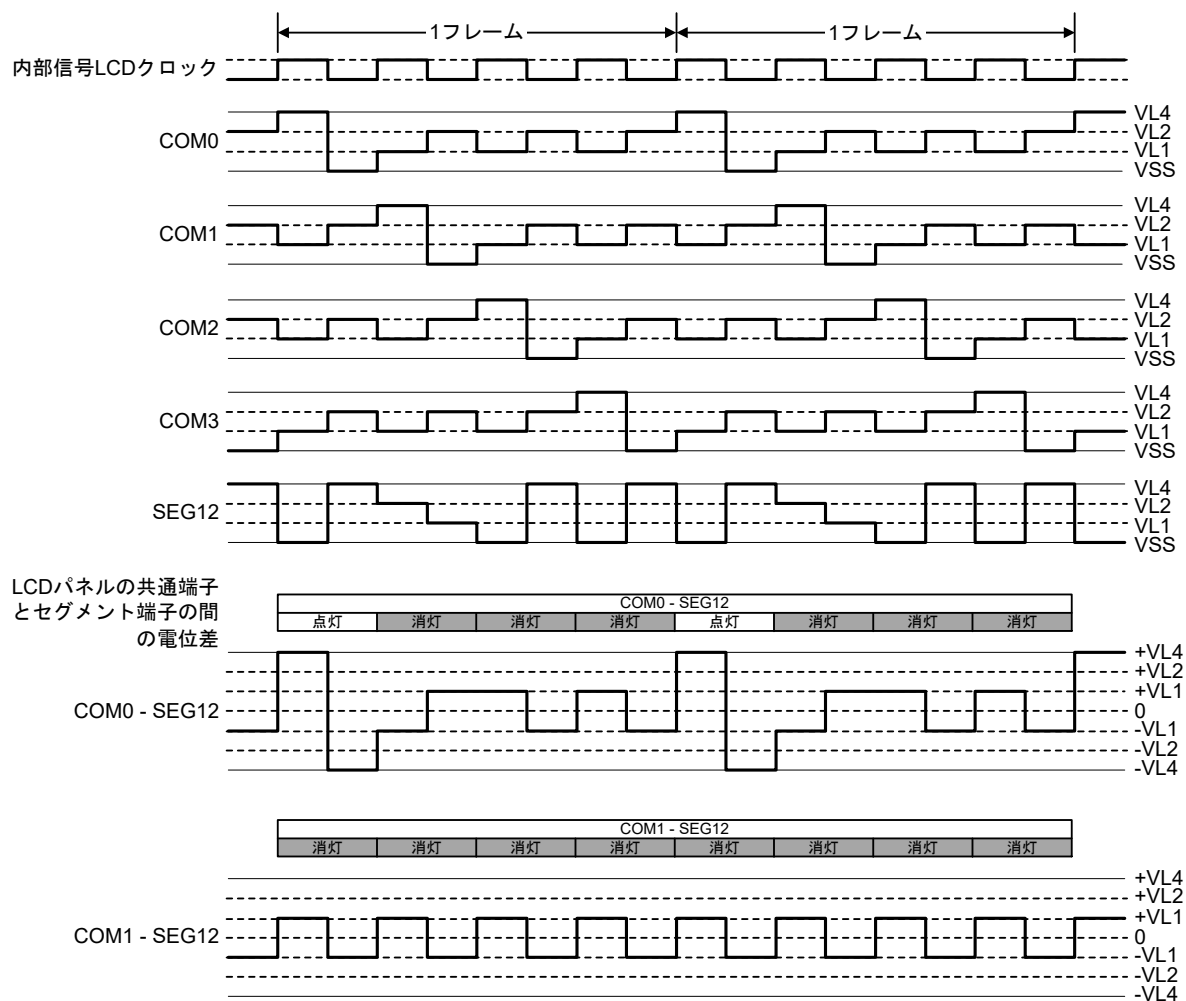


図 40.34 1/3 バイアス方式を使用時の SEG12 と各共通信号の間の 4 タイムスライス LCD 駆動波形の例 (1/2)

(b) 波形B

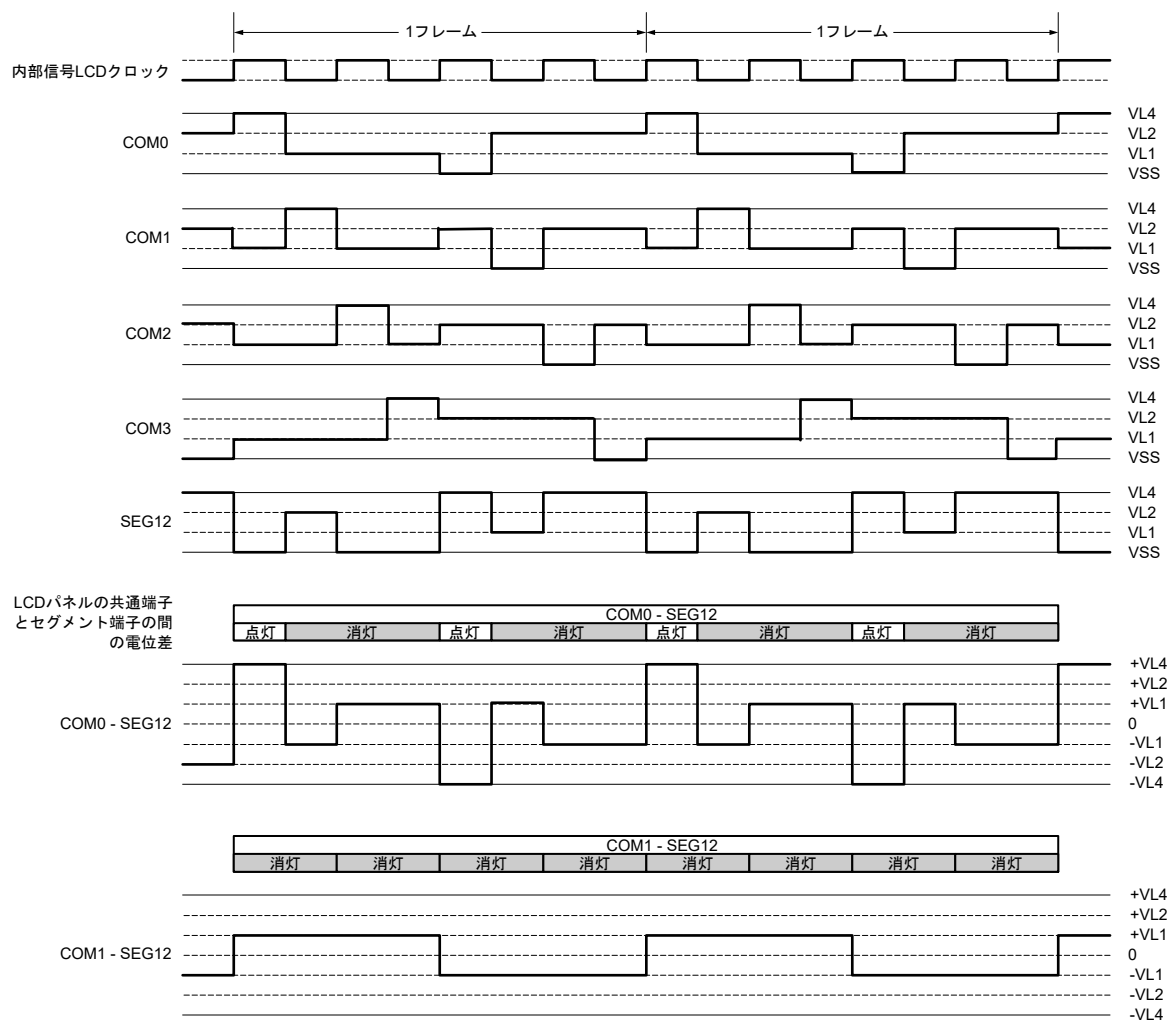


図 40.35 1/3 バイアス方式を使用時の SEG12 と各共通信号の間の 4 タイムスライス LCD 駆動波形の例 (2/2)

40.8.5 6 タイムスライス表示の例

図 40.37 は、図 40.36 に示す表示パターン（15×6 ドットの LCD パネル）をセグメント信号 (SEG2～SEG16) と共通信号 (COM0～COM5) に接続する方法を示します。この例は「123」を LCD パネルに表示します。表示データレジスタの内容がこの表示に対応します。

以下の説明は、1 桁目に表示される数字「3」に関するものです。「3」を LCD パネルに表示するために、共通信号 COM0～COM5 の選択タイミングで選択電圧または非選択電圧が SEG2～SEG6 端子に印加される必要があります。セグメント信号と LCD セグメントの関係については図 40.36 を参照してください。

表 40.22 選択 (1) データと非選択 (0) データの例 (COM0～COM5) (1/2)

共通	セグメント				
	SEG2	SEG3	SEG4	SEG5	SEG6
COM0	選択	選択	選択	選択	選択
COM1	非選択	選択	非選択	非選択	非選択
COM2	非選択	非選択	選択	非選択	非選択
COM3	非選択	選択	非選択	非選択	非選択

表 40.22 選択 (1) データと非選択 (0) データの例 (COM0~COM5) (2/2)

共通	セグメント				
	SEG2	SEG3	SEG4	SEG5	SEG6
COM4	選択	非選択	非選択	非選択	選択
COM5	非選択	選択	選択	選択	非選択

表 40.22 に示すように、SEG2 に対応する表示データレジスタの位置は 010001b を含む必要があります。

図 40.38 と図 40.39 は、SEG2 信号と各共通信号の間の LCD 駆動波形の例を示します。COM0 のタイミングで選択電圧が SEG2 に印加されるとき、対応する LCD セグメントを On にするために波形が生成されます。

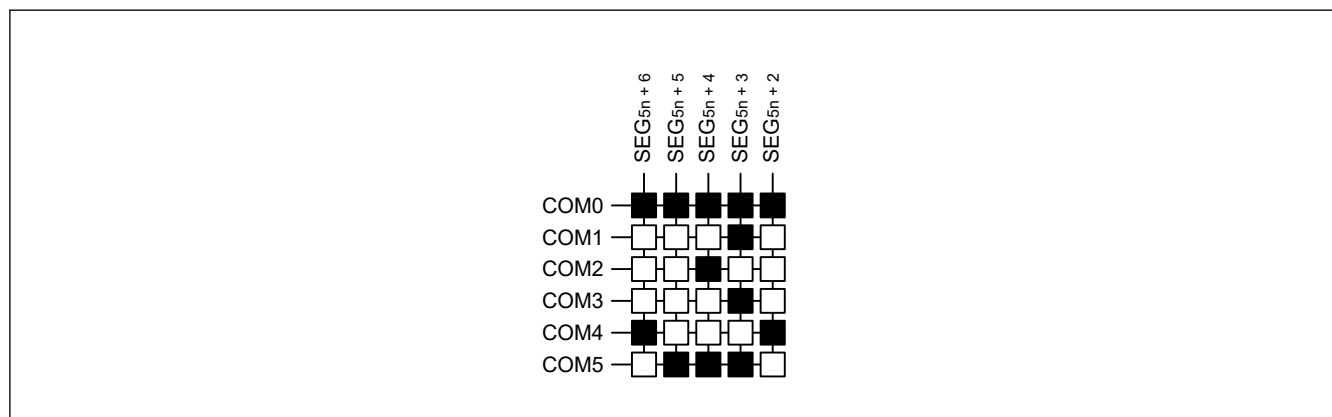


図 40.36 6 タイムスライス LCD 表示パターンと電極接続

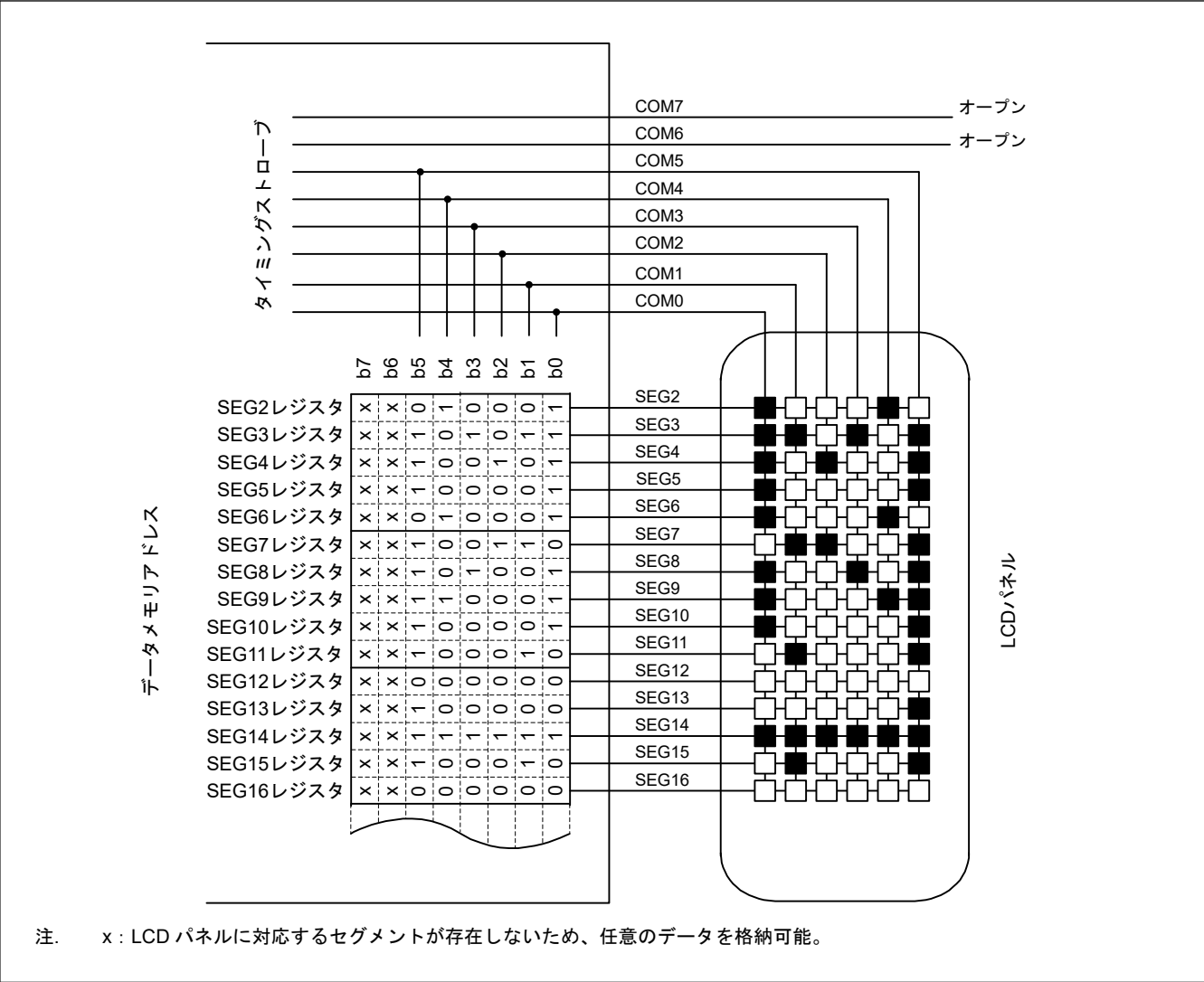


図 40.37 6 タイムスライス LCD パネルの接続例

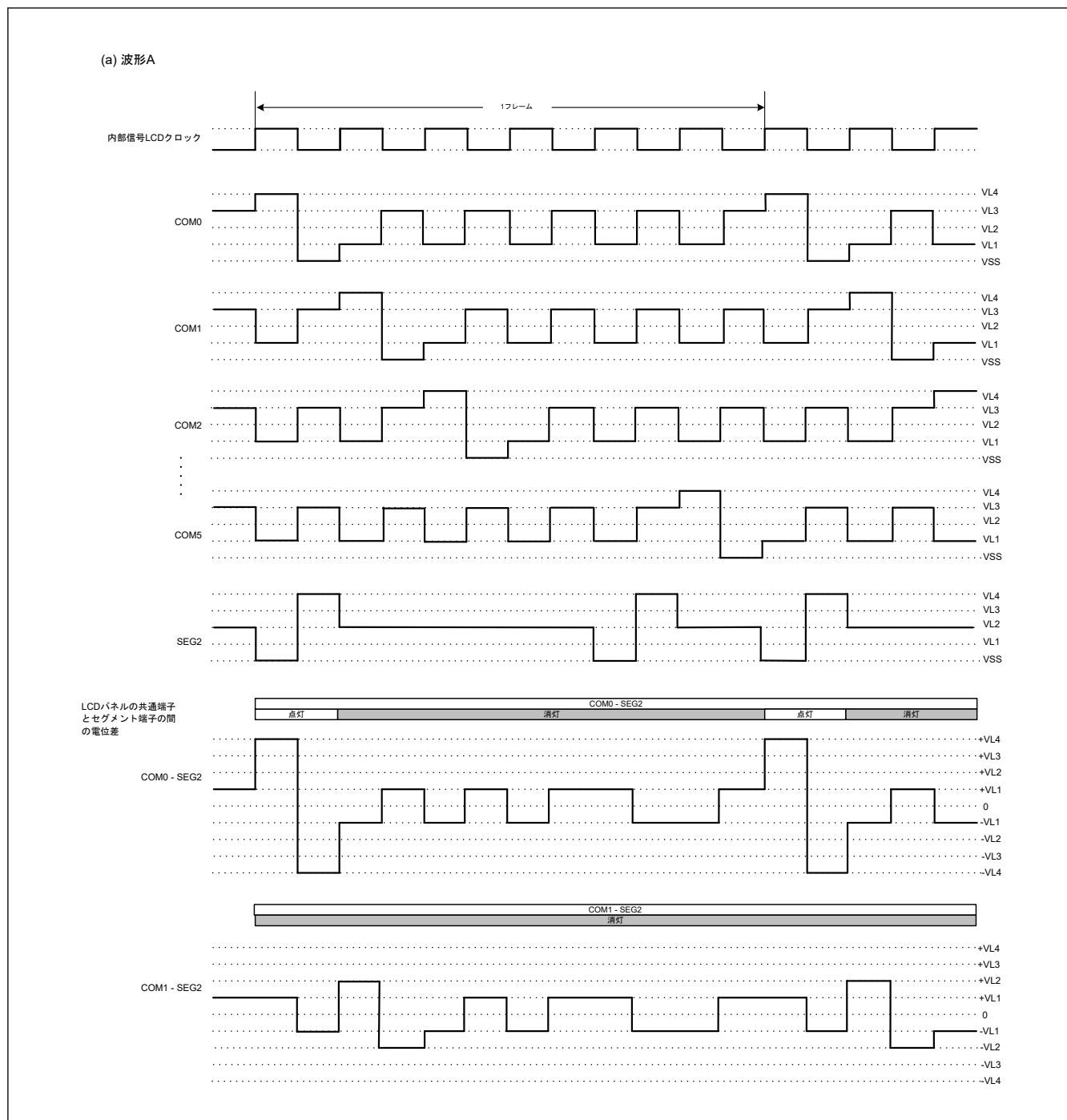


図 40.38 1/4 バイアス方式を使用時の SEG2 と各共通信号の間の 6 タイムスライス LCD 駆動波形の例

(b) 波形B

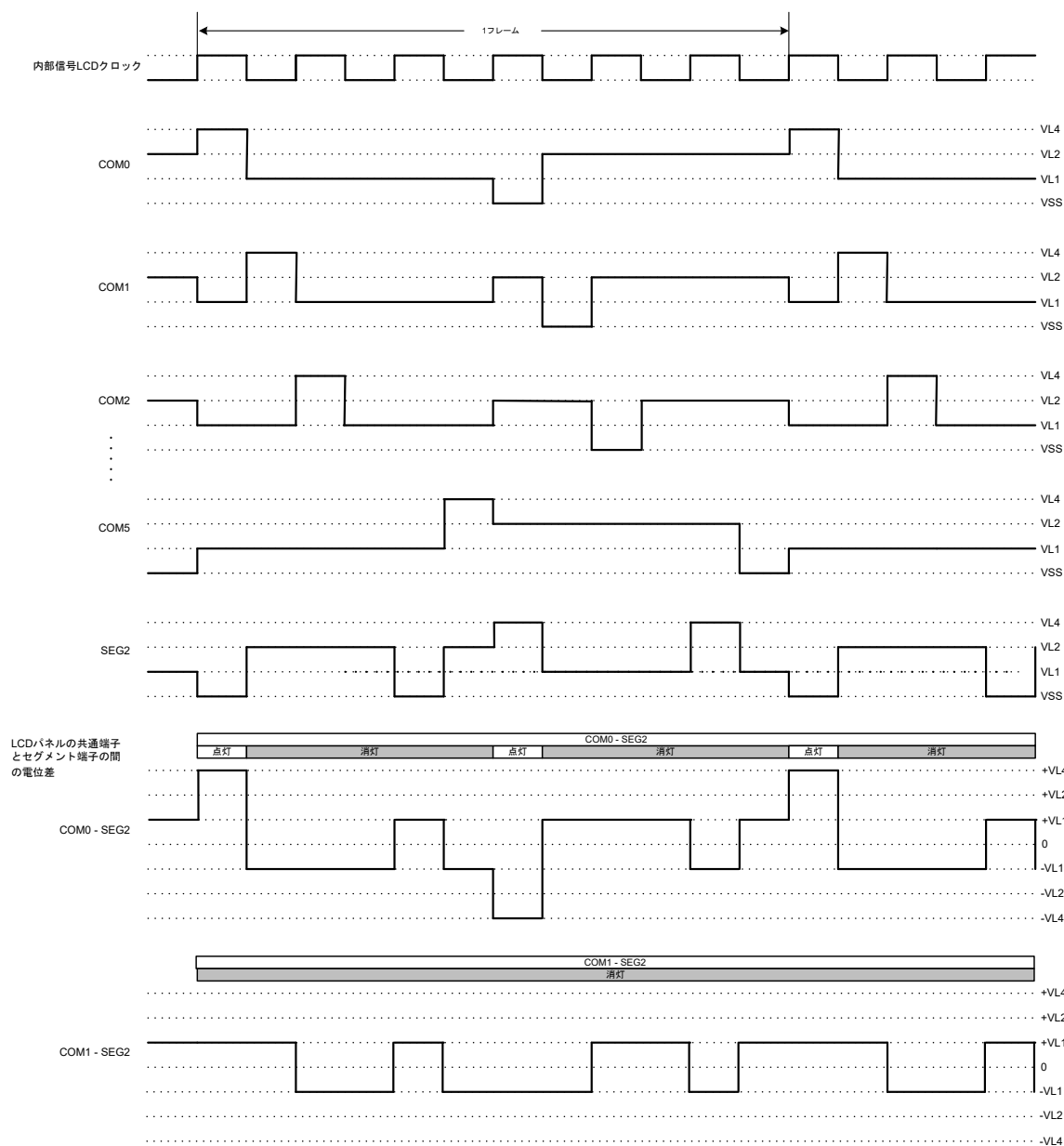


図 40.39 1/3 バias方式を使用時の SEG2 と各共通信号の間の 6 タイムスライス LCD 駆動波形の例

40.8.6 8 タイムスライス表示の例

図 40.41 は、図 40.40 に示す表示パターンの 15×8 ドットの LCD パネルをセグメント信号 (SEG4~SEG18) と共通信号 (COM0~COM7) に接続する方法を示します。この例は「123」を LCD パネルに表示します。表示データレジスタの内容がこの表示に対応します。

以下の説明は、1 桁目に表示される数字「3」に関するものです。「3」を LCD パネルに表示するために、COM0~COM7 の共通信号の選択タイミングで選択電圧または非選択電圧が SEG4~SEG8 端子に印加される必要があります。セグメント信号と LCD セグメントの関係については図 40.40 を参照してください。

表 40.23 選択 (1) データと非選択 (0) データの例 (COM0~COM7)

共通	セグメント				
	SEG4	SEG5	SEG6	SEG7	SEG8
COM0	選択	選択	選択	選択	選択
COM1	非選択	選択	非選択	非選択	非選択
COM2	非選択	非選択	選択	非選択	非選択
COM3	非選択	選択	非選択	非選択	非選択
COM4	選択	非選択	非選択	非選択	非選択
COM5	選択	非選択	非選択	非選択	選択
COM6	非選択	選択	選択	選択	非選択
COM7	非選択	非選択	非選択	非選択	非選択

表 40.23 に示すように、SEG4 に対応する表示データレジスタの位置は 00110001b を含む必要があります。

図 40.42 と図 40.43 は、SEG4 信号と各共通信号の間の LCD 駆動波形の例を示します。COM0 のタイミングで選択電圧が SEG4 に印加されるとき、対応する LCD セグメントを On にするために波形が生成されます。

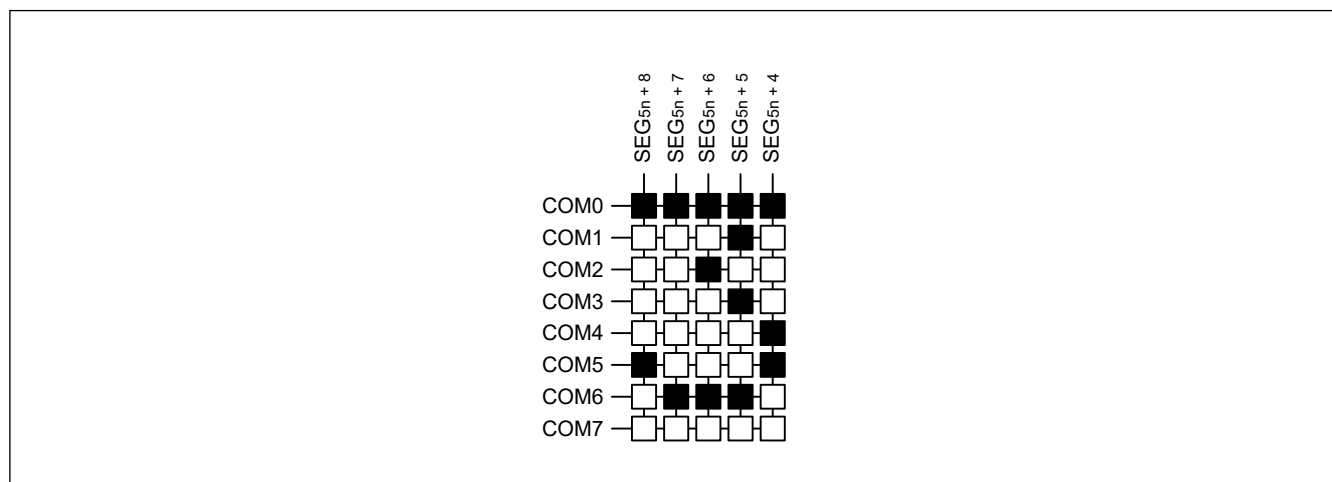


図 40.40 8 タイムスライス LCD 表示パターンと電極接続

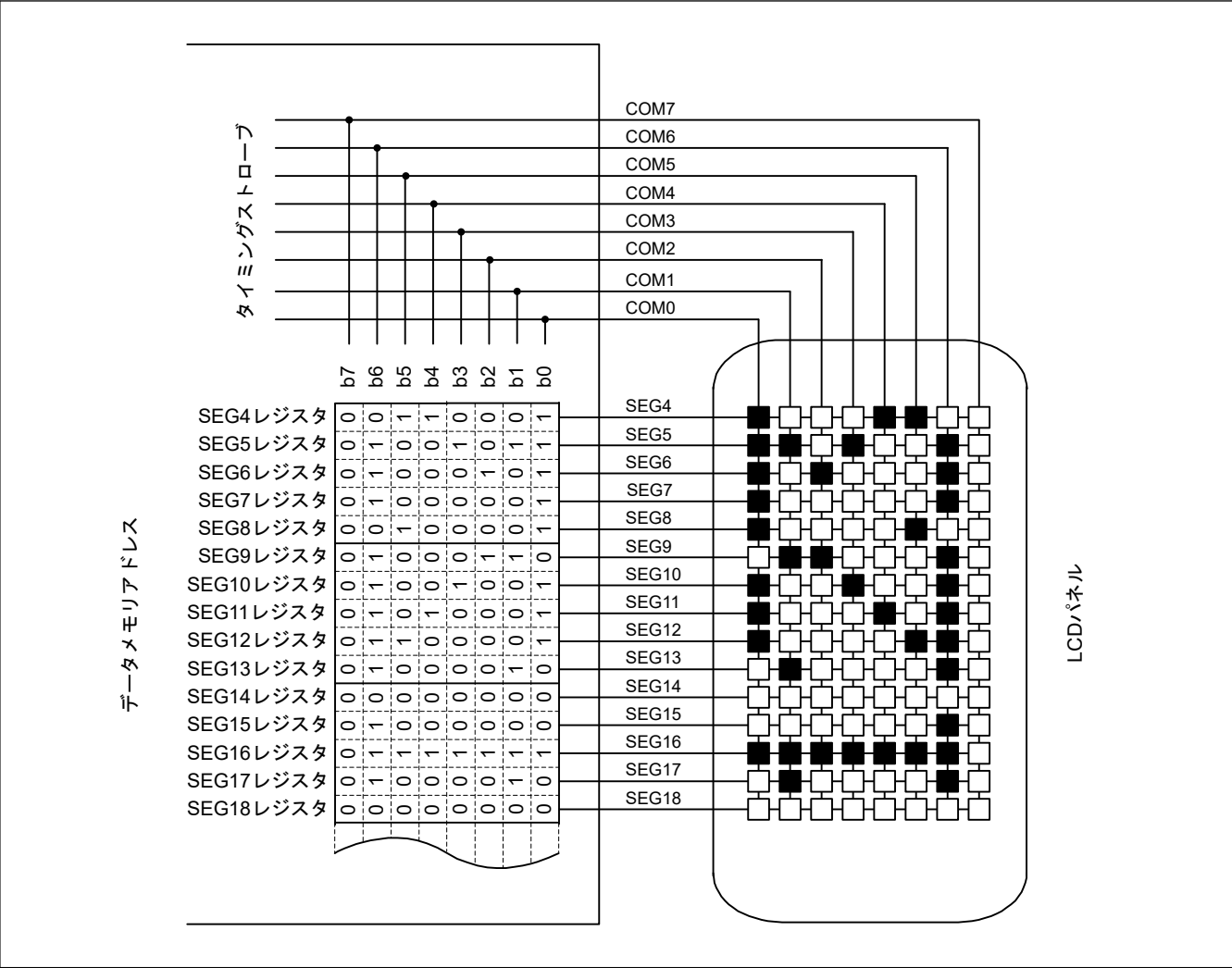


図 40.41 8 タイムスライス LCD パネルの接続例

(a) 波形A

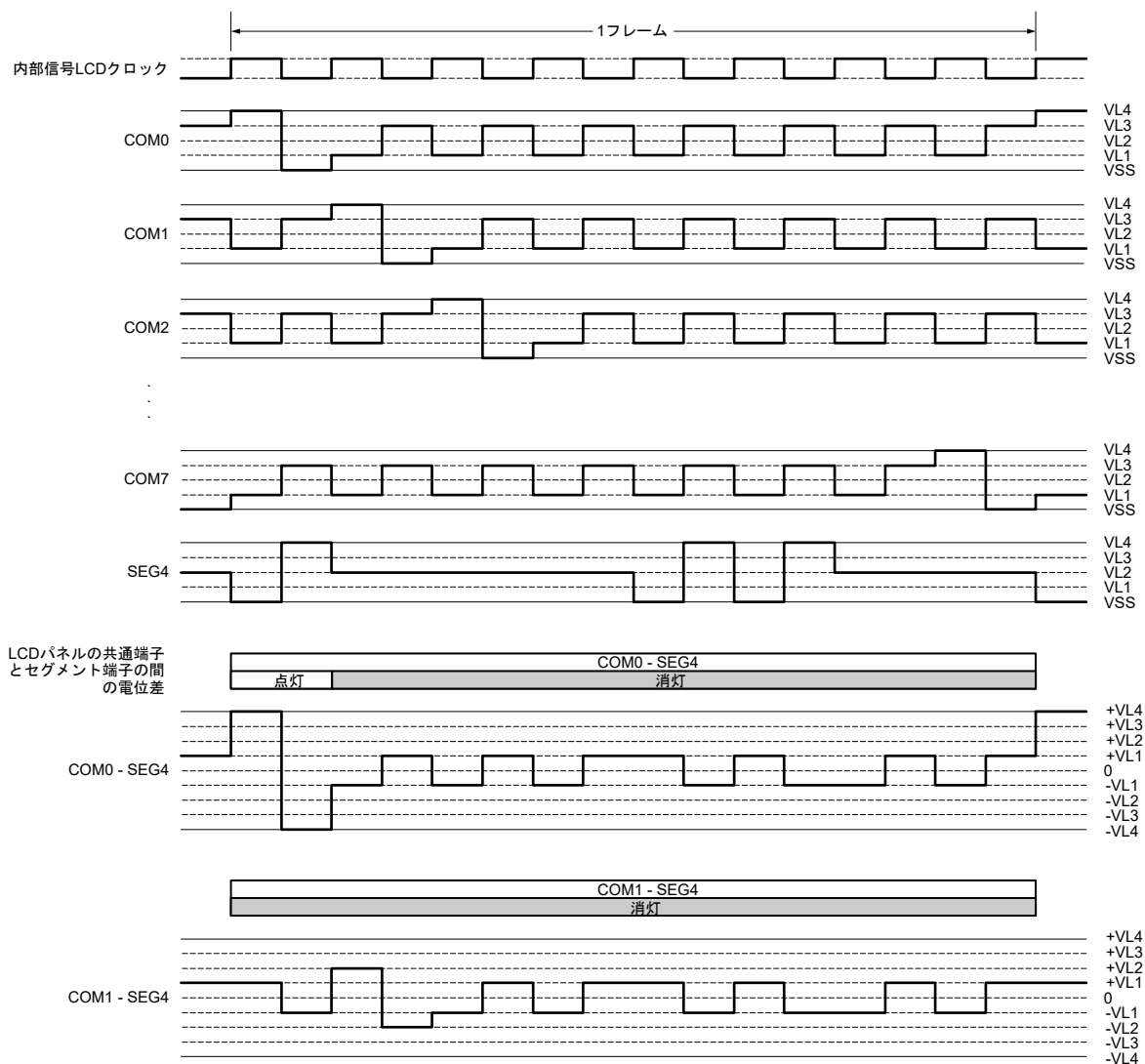


図 40.42 1/4 バイアス方式を使用時の SEG4 と各共通信号の間の 8 タイムスライス LCD 駆動波形の例 (1/2)

(b) 波形B

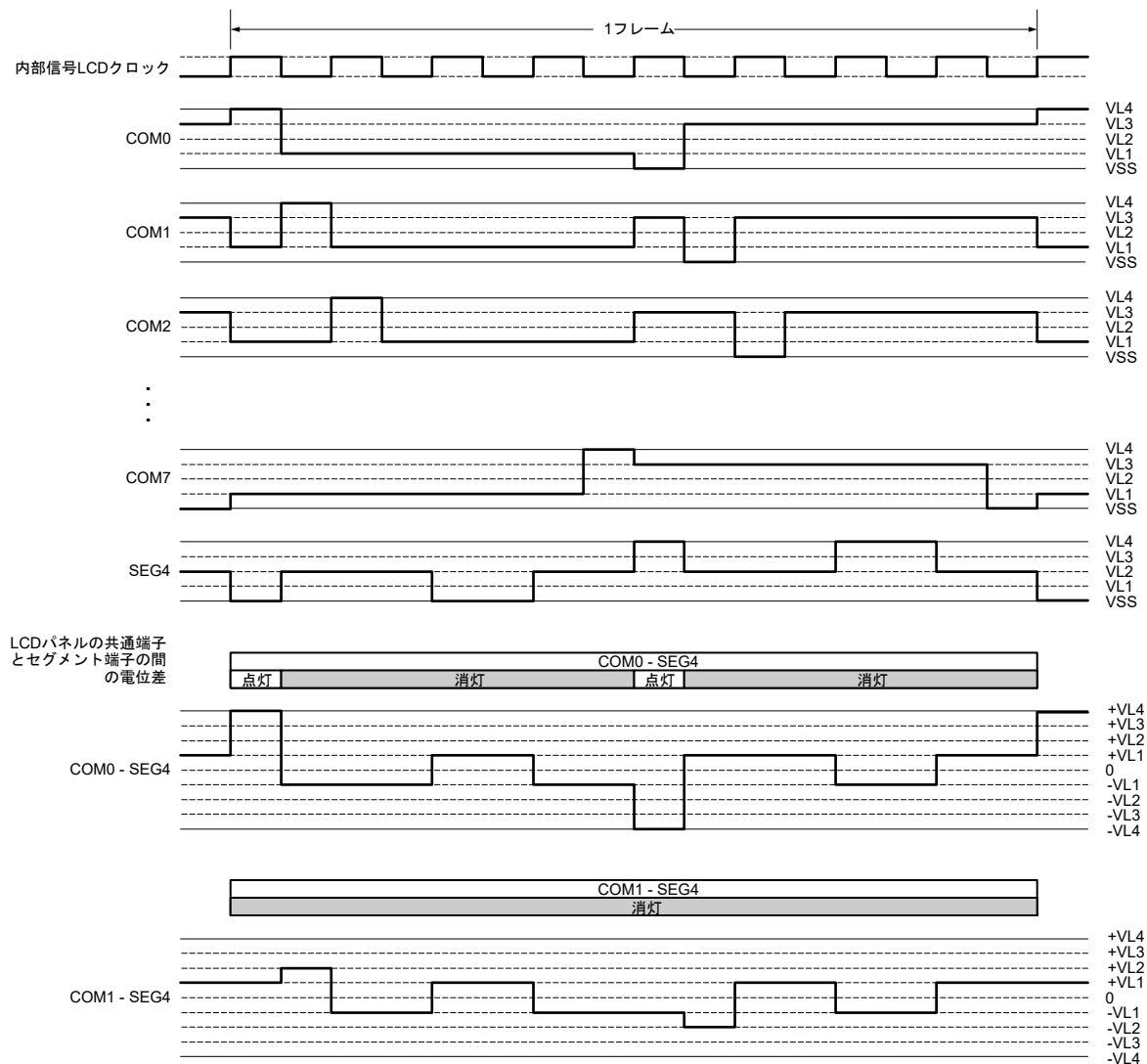


図 40.43 1/4 バias方式を使用時の SEG4 と各共通信号の間の 8 タイムスライス LCD 駆動波形の例 (2/2)

41. 内部電圧レギュレータ

41.1 概要

本 MCU は 2 つの内部電圧レギュレータを内蔵しています。

- リニアレギュレータ (LDO)
- RTC 用リニアレギュレータ (VRTC-LDO)

リニアレギュレータ (LDO) は、I/O、VRTC ドメイン、およびアナログドメインを除くすべての内部回路とメモリに電圧を供給します。

RTC 用リニアレギュレータ (VRTC-LDO) は、VRTC ドメインに電圧を供給します。

41.2 動作説明

表 41.1 に LDO の端子設定を、図 41.1 に LDO の設定を示します。

表 41.1 LDO 端子

端子	設定内容
全 VCC 端子	● 各端子をシステムの電源に接続してください。 ● 各端子を 0.1 μF の積層セラミックコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。
VCL, VCL0	各端子を 4.7 μF の積層セラミックコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。
VRTC 端子	● VRTC 端子を VRTC ドメインの電源に接続してください。 ● VRTC 端子を 0.1 μF の積層セラミックコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。

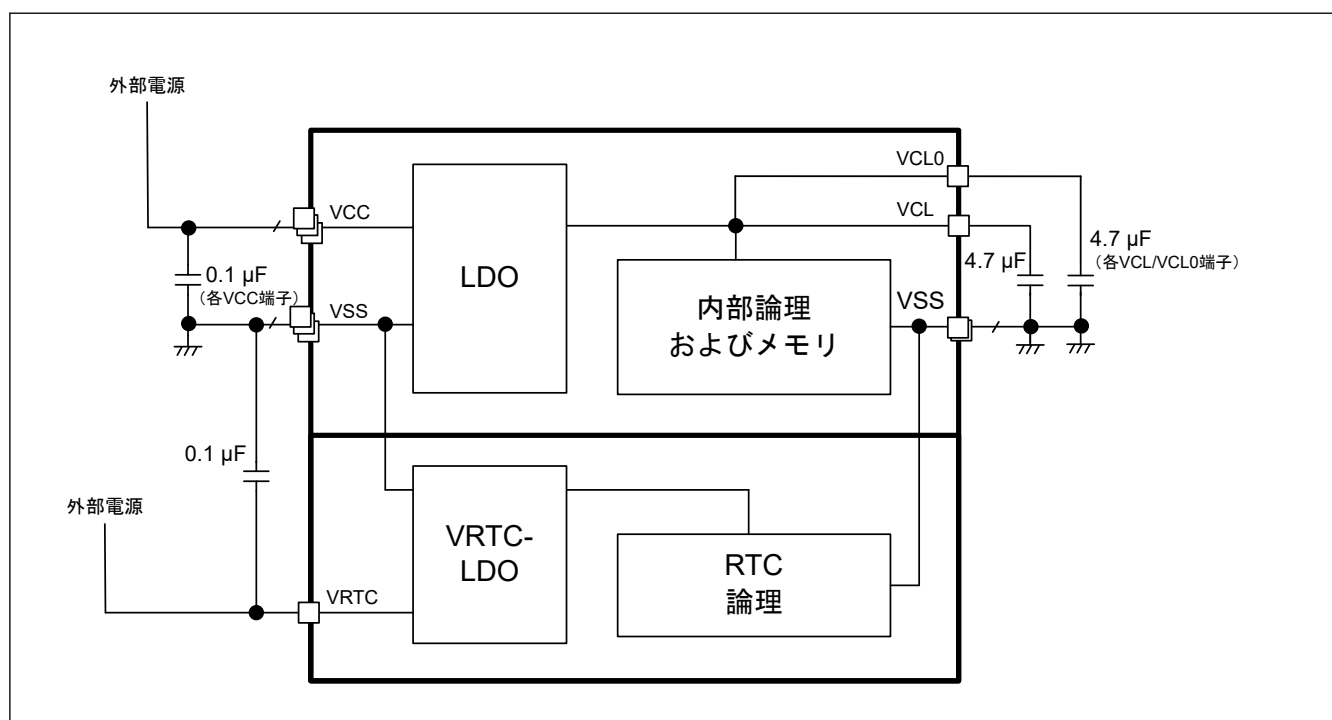


図 41.1 LDO の設定

41.3 VRTC ドメイン

VRTC ドメイン領域には、RTC、SOSC、および VRTC ドメインのパワーオンリセット検出が含まれます。図 41.2 を参照してください。

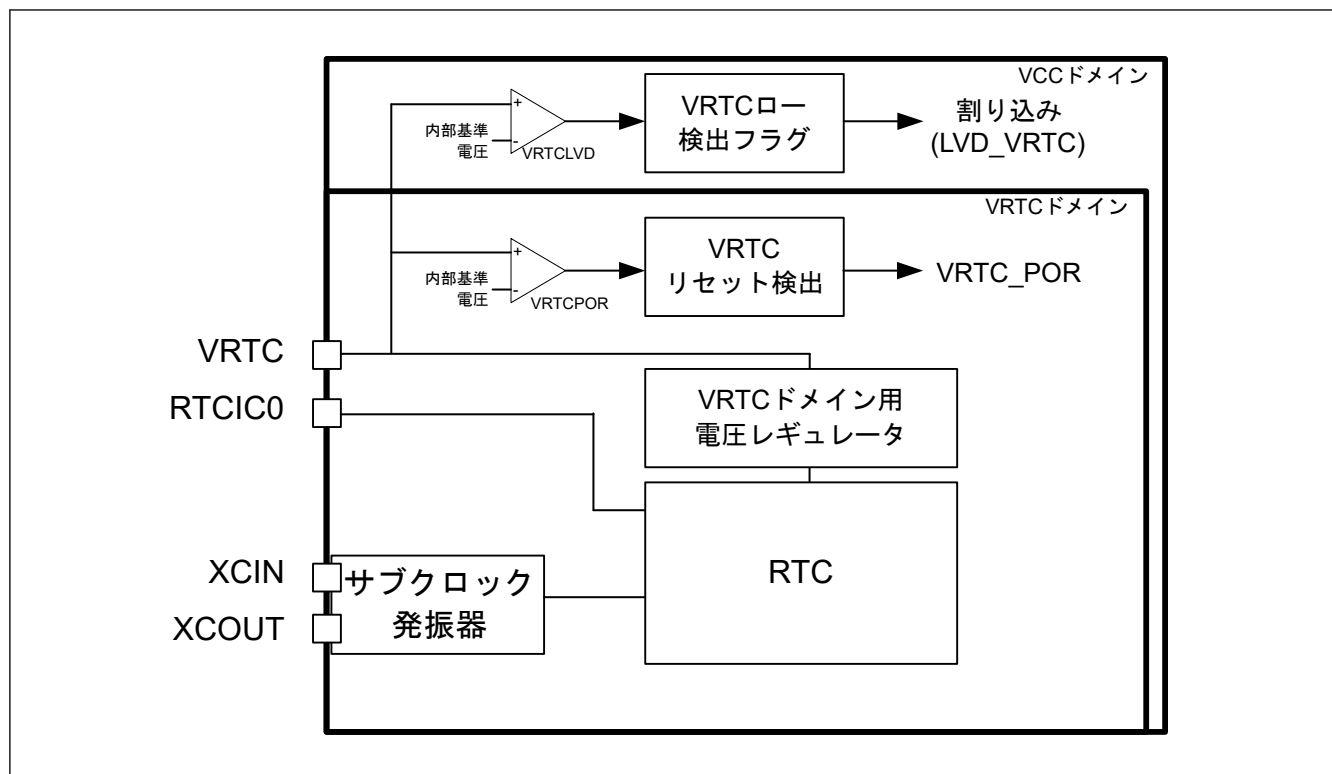


図 41.2 VRTC ドメインの構成

42. セキュリティ機能

42.1 概要

- ARMv8-M TrustZone セキュリティ
 - メモリ空間用に 8 領域の IDAU
 - コードフラッシュ用領域：最大 3 領域
 - データフラッシュ用領域：最大 2 領域
 - SRAM 用領域：最大 3 領域
 - IDAU 設定は CPU、DMAC、および DTC に共通
 - SAU 非実装
 - 各周辺モジュール用個別セキュア／非セキュアセキュリティ属性
 - 周辺モジュールによってはセキュアセキュリティ属性および非セキュアセキュリティ属性の両方をサポート
- デバイスライフサイクル管理
- デバッグアクセスレベル：3
 - DBG2：デバッグ接続許可、メモリおよび周辺モジュールへのアクセス制限なし
 - DBG1：デバッグ接続許可、非セキュアメモリ領域および周辺モジュールへのアクセス制限
 - DBG0：デバッグ接続禁止
- キーインジェクション
- 暗号化アクセラレータ
 - 「[34. Renesas セキュア IP \(RSIP-E31A\)](#)」を参照してください。
- セキュア端子マルチプレキシング
 - 全 I/O ポート端子がセキュアまたは非セキュアとして個別に設定可能
 - SCI3、SPI0、IIC0、GPT321 および GPT165 の端子機能がセキュア端子として設定可能
 - 「[18. I/O ポート](#)」を参照してください。

42.2 Arm TrustZone セキュリティ

42.2.1 Arm TrustZone 技術

Arm TrustZone 技術は、システムとアプリケーションをセキュアドメインと非セキュアドメインに分けます。セキュアアプリケーションは、セキュアおよび非セキュアなメモリおよびリソースにアクセス可能です。非セキュアアプリケーションは、非セキュアメモリおよびリソースのみにアクセス可能です。

システムはデフォルトでセキュア状態で起動します。CPU のセキュリティ状態は、セキュアでも非セキュアでもいずれでも可能です。

42.2.2 メモリのセキュリティ属性

コードフラッシュ、データフラッシュ、SRAM はセキュア領域 (S)、非セキュア領域 (NS)、非セキュアコーラブル領域 (NSC) に分割されます。これらのメモリセキュリティ属性は、デバイスのライフサイクルが SSD 状態のとき、シリアルプログラミングコマンドにより不揮発性メモリに設定されます。これらのメモリセキュリティ属性は、アプリケーション実行前に IDAU とメモリコントローラにロードされます。これらのメモリセキュリティ属性はアプリケーションによる更新はできませんが、専用レジスタにより更新可能です。

コードフラッシュは、リニアモードでは最大 3 つの領域に、デュアルモードでは 6 つの領域に分割可能です。デュアルモードではバンク 0 とバンク 1 があり、両バンクの 3 つの領域の位置関係は同じです。データフラッシュは最大 2 つの領域に分割可能です。SRAM は最大 3 つの領域に分割可能です。[図 42.1](#) にメモリマッピングを示します。[表 42.1](#) にメモリ領域のサイズを示します。

- 注. セキュアアプリケーションはブロックスワップ後非セキュア領域に置かれるので、リニアモードでセキュア領域と NSC 領域をブロックスワップ可能エリアに置いてはいけません。
- 注. デュアルモードでは、セキュア領域または NSC 領域の内容はバンク 0 とバンク 1 で同じでなければなりません。同じにしないと、非セキュア領域を現地で更新したときにセキュア領域と非セキュア領域の中身が最新でなくなる可能性があります。「42.6. デュアルモードでのフィールドアップデート」を参照してください。

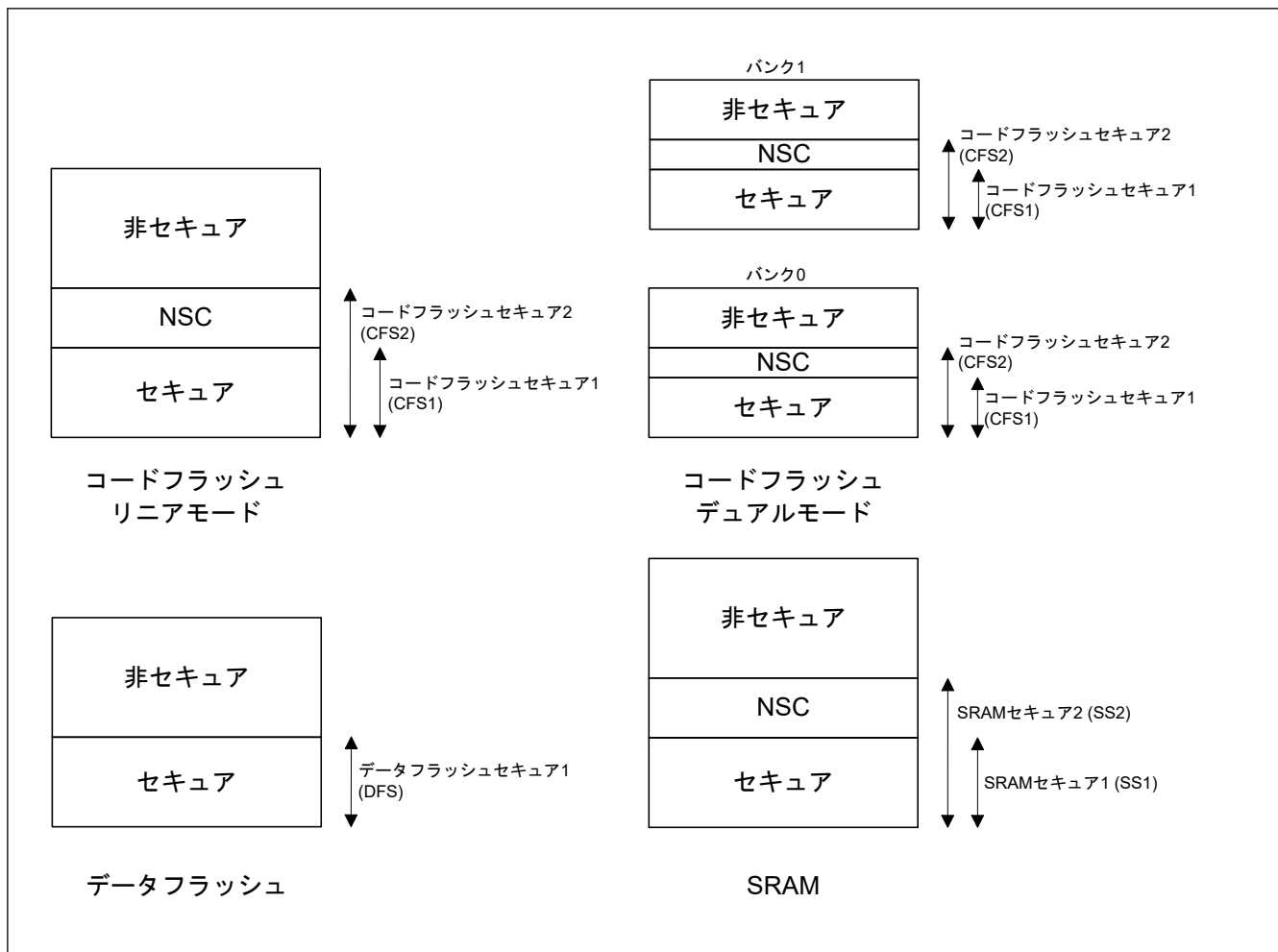


図 42.1 メモリマッピング

表 42.1 メモリ領域サイズ (1/2)

メモリ領域		開始アドレス	サイズ
リニアモード	コードフラッシュセキュア	0x0000_0000	CFS1 × 1 KB
	コードフラッシュ NSC	CFS1 × 1 KB	CFS2 × 32 KB - CFS1 × 1 KB
	コードフラッシュ非セキュア	CFS2 × 32 KB	コードフラッシュサイズ - CFS2 × 32 KB
デュアルモード	コードフラッシュバンク 0 セキュア	0x0000_0000	CFS1 × 1 KB
	コードフラッシュバンク 0 NSC	CFS1 × 1 KB	CFS2 × 32 KB - CFS1 × 1 KB
	コードフラッシュバンク 0 非セキュア	CFS2 × 32 KB	コードフラッシュサイズ/2 - CFS2 × 32 KB
	コードフラッシュバンク 1 セキュア	0x0020_0000	CFS1 × 1 KB
	コードフラッシュバンク 1 NSC	0x0020_0000 + CFS1 × 1 KB	CFS2 × 32 KB - CFS1 × 1 KB
	コードフラッシュバンク 1 非セキュア	0x0020_0000 + CFS2 × 32 KB	コードフラッシュサイズ/2 - CFS2 × 32 KB

表 42.1 メモリ領域サイズ (2/2)

メモリ領域	開始アドレス	サイズ
データフラッシュセキュア	0x0800_0000	DFS × 1 KB
データフラッシュ非セキュア	0x0800_0000 + DFS × 1 KB	データフラッシュサイズ - DFS × 1 KB
SRAM セキュア	0x2000_0000	SS1 × 1 KB
SRAM NSC	0x2000_0000 + SS1 × 1 KB	SS2 × 8 KB - SS1 × 1 KB
SRAM 非セキュア	0x2000_0000 + SS2 × 8 KB	SRAM サイズ - SS2 × 8 KB

表 42.2 にメモリのアクセス許可を示します。

表 42.2 メモリのアクセス許可

メモリ	セキュアアクセス	非セキュアアクセス
セキュアまたは NSC として設定されたコードフラッシュ、データフラッシュ、SRAM	許可	書き込み無視／読み出し無視 TrustZone アクセスエラー発生
非セキュアとして設定されたコードフラッシュ、データフラッシュ、SRAM	許可	許可

42.2.3 周辺モジュールのセキュリティ属性

各周辺モジュールは、セキュアまたは非セキュアに設定可能です。

周辺モジュールは 2 種類に分かれます。

- タイプ 1 周辺モジュール
- タイプ 2 周辺モジュール

タイプ 1 周辺モジュールは 1 つのセキュリティ属性を持っています。全レジスタへのアクセスが 1 つのセキュリティ属性により制御されます。タイプ 1 周辺モジュールのセキュリティ属性は、セキュアアプリケーションにより PSARx (x = B～E) レジスタに設定されます。

タイプ 2 周辺モジュールは、各レジスタまたは各ビットに対してセキュリティ属性を持っています。各レジスタまたはビットフィールドへのアクセスは、これらのセキュリティ属性に従って制御されます。タイプ 2 周辺モジュールのセキュリティ属性は、セキュアアプリケーションにより各モジュールのセキュリティ属性レジスタに設定されます。セキュリティ属性レジスタについては、各周辺モジュールユーザーズマニュアルの該当節を参照してください。

表 42.3 に周辺モジュール種別の分類を示します。

表 42.3 周辺モジュールタイプの分類

種類	周辺モジュール
タイプ 1	SCI, SPI, CANFD, IIC, RSIP-E31A, DOC, CRC, CAC, ADC12, POEG, AGT, GPT, RTC, IWDG, WDT, UARTE, IrDA, SLCDC
タイプ 2	システム制御（リセット、LVD、クロック発生回路、低消費電力モード）、SRAM コントローラ、DMAC、DTC、ICU、MPU、BUS、セキュリティ設定、ELC、I/O ポート
常に非セキュア	QSPI

表 42.4 にタイプ 1 周辺モジュールのアクセス許可を示します。タイプ 2 周辺モジュールのアクセス許可はモジュールごとに異なります。各周辺モジュールのレジスタの説明を参照してください。

表 42.4 タイプ 1 周辺モジュールのアクセス許可

許可	セキュアアクセス	非セキュアアクセス
セキュアとして設定された周辺モジュール	許可	書き込み無視／読み出し無視 TrustZone アクセスエラー発生
非セキュアとして設定された周辺モジュール	許可	許可

42.2.4 フラッシュシーケンサのセキュリティ属性

フラッシュシーケンサはフラッシュのプログラム／イレースに使用されます。

フラッシュシーケンサは特別なセキュリティ属性を持っています。表 42.5 にフラッシュシーケンサのアクセス許可を示します。

詳細は、「39.12.3. TrustZone のフラッシュメモリ保護」を参照してください。

表 42.5 フラッシュシーケンサのアクセス許可

	セキュアアクセス	非セキュアアクセス
FACI コマンド発行領域	許可	FACI コマンドがコードフラッシュ、データフラッシュおよびオプション設定メモリのセキュア領域に発行された場合 - 発行された FACI コマンドは無効です。 - フラッシュシーケンサエラーになります。 FACI コマンドがコードフラッシュ、データフラッシュおよびオプション設定メモリの非セキュア領域に発行された場合 - 発行された FACI コマンドは有効です。
FSAR レジスタ、FMEPROT レジスタ、FBPROT1 レジスタ、FSUACR レジスタ	許可	書き込み無視／読み出し可能 TrustZone アクセスエラーは発生しません。
DFLCTL レジスタ、MEMWAIT レジスタ、PFBER レジスタ、FACI レジスタ（読み出し専用レジスタを除く）、FMEPROT レジスタ、FBPROT1 レジスタ、FSUACR レジスタ	許可	フラッシュセキュリティ属性レジスタにより設定セキュアとして設定された場合 - 書き込み無視／読み出し可能 - TrustZone アクセスエラーは発生しません。 非セキュアとして設定された場合 - 許可

42.2.5 アドレス空間のセキュリティ属性

表 42.6 に、アドレス空間のセキュリティ属性を示します。

表 42.6 アドレス空間のセキュリティ属性

領域	属性
コードフラッシュセキュア	セキュア
コードフラッシュ NSC	NSC
コードフラッシュ非セキュア	非セキュア
データフラッシュセキュア	セキュア
データフラッシュ非セキュア	非セキュア
SRAM セキュア	セキュア
SRAM NSC	NSC
SRAM 非セキュア	非セキュア
周辺モジュール	除外
外部アドレス空間	除外
その他のエリア	除外

注: 除外: チェックは行われません。バストランザクションはすべて伝播されます。

42.2.6 TrustZone アクセスエラー

表 42.7 に TrustZone アクセスエラー時の動作を示します。動作はアクセス対象のマスタ／スレーブ領域によって変わります。

表 42.7 TrustZone アクセスエラー時の動作 (1/2)

エリア	CPU	DMAC/DTC
コードフラッシュ、データフラッシュ、SRAM	SecureFault 例外検出(注2)	- 転送が開始しない - NMI またはリセット発生(注1) - 割り込み発生 (DMA_TRANSERR)

表 42.7 TrustZone アクセスエラー時の動作 (2/2)

エリア	CPU	DMAC/DTC
その他のエリア	- BusFault 例外検出(注2) (注3) - NMI またはリセット発生(注1)(注2) (注3)	- 転送停止 - NMI またはリセット発生 (注1) - 割り込み発生 (DMA_TRANSERR)

注 1. NMI またはリセットが TZFOAD.OAD ビットにより選択されます。
注 2. デバッガアクセスにより TrustZone アクセスエラーが発生した場合、例外、NMI、またはリセットは発生しません。エラー応答のみが返されます。
注 3. ARM MPU によりメモリ属性が「Early Write Acknowledgment」に設定されている PHBIU/PLBIU アドレス空間への書き込みではこれらのエラー動作は起きません。

42.3 デバイスライフサイクルの管理

デバイスライフサイクルは、デバイスの現在のフェーズを識別し、デバッグインタフェース、シリアルプログラミングインタフェース、およびルネサステストモードの機能を制御します。図 42.2 に、デバイスライフサイクル状態の解説図を示します。表 42.8 に、ライフサイクルの定義および各ライフサイクルでの機能を示します。

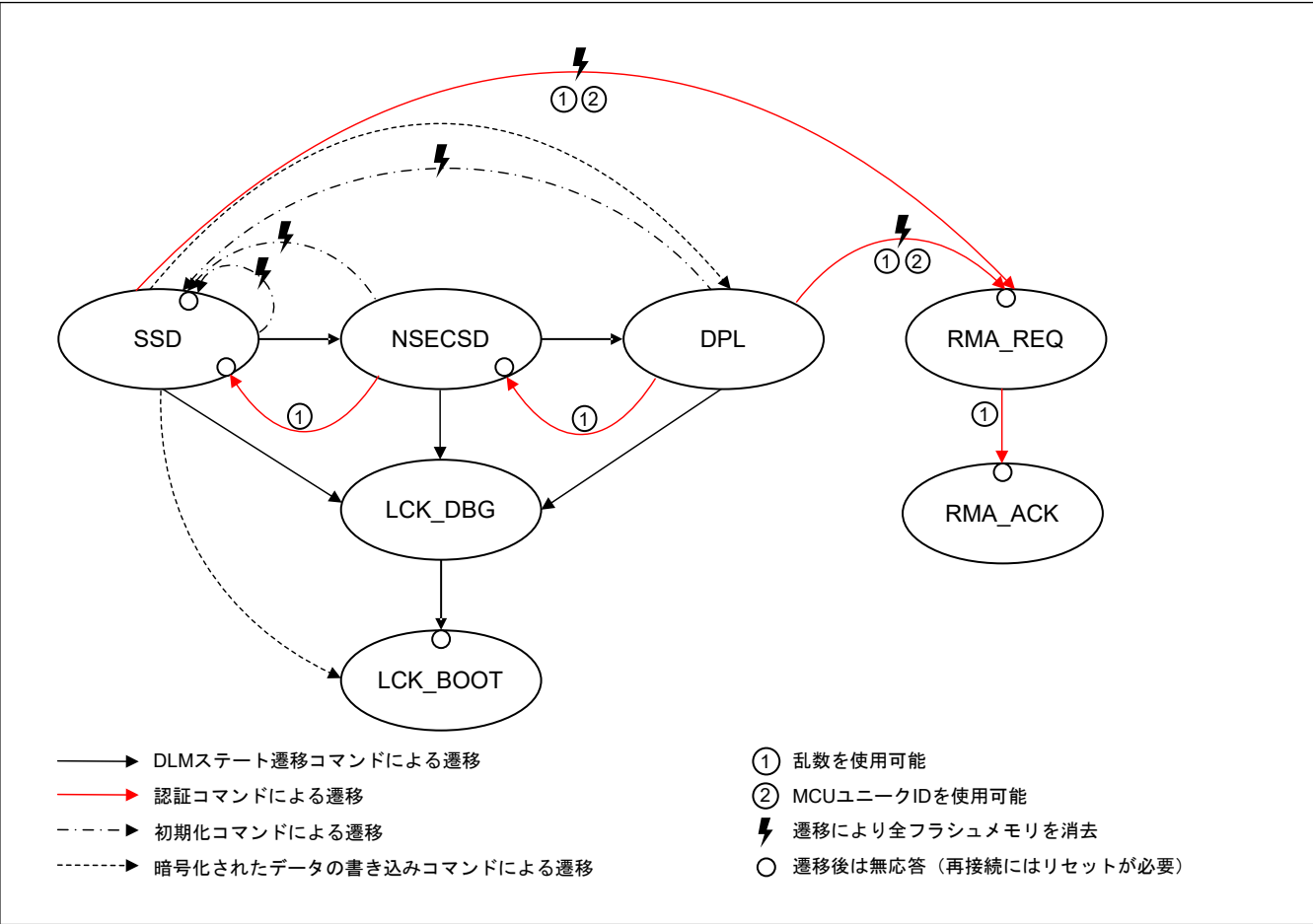


図 42.2 デバイスライフサイクル状態

表 42.8 ライフサイクルの定義および各ライフサイクルで利用できる機能 (1/2)

ライフサイクル	定義	デバッグレベル	シリアルプログラミング	ルネサステストモード
SSD	Secure Software Development (セキュアソフトウェア開発) アプリケーションのセキュア部分を開発中	DBG2	可能 全てのコード／データフラッシュ領域をプログラム／イレース／読み出し可	不可

表 42.8 ライフサイクルの定義および各ライフサイクルで利用できる機能 (2/2)

ライフサイクル	定義	デバッグレベル	シリアルプログラミング	ルネサステストモード
NSECSD	Non-SECure Software Development (非セキュアソフトウェア開発) アプリケーションの非セキュア部分を開発中	DBG1	可能 非セキュアのコード/データフラッシュ領域のみをプログラム/イレース/読み出し可	不可
DPL	DePLoyed (展開済み) デバイスは現場に展開済み	DBG0	可能 コード/データフラッシュ領域へのアクセス不可	不可
LCK_DBG	LoCKed DeBuG (デバッグロック中) デバッグインタフェースは永久に無効	DBG0	可能 コード/データフラッシュ領域へのアクセス不可	不可
LCK_BOOT	LoCKed BOOT interface (ブートインタフェースロック中) デバッグインタフェースおよびシリアルプログラミングインタフェースは永久に無効	DBG0	不可	不可
RMA_REQ	Return Material Authorization REQuest (RMA 要求) RMA 要求。お客様はこの状態でデバイスをルネサスに送ってください。	DBG0	可能 コード/データフラッシュ領域へのアクセス不可	不可
RMA_ACK	Return Material Authorization ACKnowledged (RMA 承認) ルネサスでの故障解析	DBG2	可能 コード/データフラッシュ領域へのアクセス不可	可能

42.3.1 ライフサイクル状態の変更

デバイスのライフサイクル状態を変更するにはシリアルプログラミングコマンドを使用してください。コマンド詳細については、ブートファームウェアアプリケーションノートを参照してください。アプリケーションによるライフサイクル更新はできませんが、専用レジスタにより読み出し可能です。

図 42.2 に示すように、3 種類のライフサイクル遷移があります。

第一の遷移は、デバッグアクセスレベルを下げる、またはシリアルプログラミングモードを制限する変更です。この変更には制限がありません。

注. デバッグインタフェースは、LCK_DBG 状態では永久に無効です。LCK_DBG に変更後、デバッグインタフェースは永久に使用できません。

注. LCK_BOOT 状態ではデバッグインタフェースおよびシリアルプログラミングインタフェースは永久に無効です。LCK_BOOT に変更後はデバッグインタフェースおよびシリアルプログラミングインタフェースは永久に使用できません。

第二の遷移は、デバッグアクセスレベルを上げる、または RMA を要求する変更です。この変更には鍵認証が必要です。キーの長さは 128 ビットです。セキュア開発者は、ライフサイクルが SSD 状態のとき、2 つのキーをインジェクトする必要があります。一つは「SECDBG_KEY」で、ライフサイクルを NSECSD から SSD に変更する場合の認証に使用されます。もう一つは「RMA_KEY」で、ライフサイクルを SSD または DPL から RMA_REQ に変更する場合の認証に使用されます。非セキュア開発者は、ライフサイクルが NSECSD 状態のとき、1 つのキーをインジェクトする必要があります。それは「NONSECDBG_KEY」で、ライフサイクルを DPL から NSECSD に変更する場合の認証に使用されます。キーのインジェクト方法の詳細については、「42.4. キーインジェクション」を参照してください。鍵認証には、チャレンジ&レスポンス認証またはユニーク ID を使った認証が使われます。ユニーク ID を使った認証は RMA_REQ への遷移においてのみ使用可能です。以下にチャレンジ&レスポンス認証でのレスポンス、またはユニーク ID を使った認証コードを計算するプロセスを示します。

レスポンス = AES-128 CMAC (RMA_KEY、128 ビットのチャレンジ)

認証コード = AES-128 CMAC (RMA_KEY、128 ビットの MCU ユニーク ID)

- 注. キーがインジェクトされない場合、ライフサイクルの変更は行われません。
- 注. NSECSD から SSD、または DPL から NSECSD へのライフサイクル遷移において、フラッシュメモリの内容は消去されません。
- 注. より上位のデバッグアクセスレベルか RMA_REQ への変更後、MCU は応答しません。シリアルプログラミングコマンドの使用を続けるには、リセット後に再度ブートモードに入りなおす必要があります。コマンド詳細については、ブートファームウェアアプリケーションノートを参照してください。
- 注. RMA_REQ へのライフサイクル遷移において、永久ロックブロックまたは BPS_SEL レジスタの設定を除きフラッシュメモリの内容は消去されます。永久ロックブロックまたはレジスタの内容は故障解析時ルネサスが読み出し可能です。永久ロックブロックとは、PBPS、PBPS_SEC、BPS_SEL の各レジスタによりプログラム／イレースが永久に無効にされたブロックを意味します。永久ロックレジスタとは、FSPR ビットによりプログラム／イレースが永久に無効にされた SAS レジスタを意味します。
- 第三の遷移は、全消去です。全消去は、初期化コマンドにより実行されます（初期化コマンド自体が無効にされている場合を除く）。ライフサイクルは SSD に戻り、フラッシュメモリの内容は消去されます。永久ロックブロックまたはレジスタがある場合、初期化コマンドは実行されません。PBPS レジスタおよび PBPS_SEC レジスタの全ビットが 1 で FSPR ビットが 1 の場合、初期化コマンドは実行可能です。
- 注. だれでも初期化コマンドを発行でき、フラッシュメモリの内容は簡単に消去できます。開発者がこれを望まない場合は、パラメータ設定コマンドを使って初期化コマンドを永久に無効にできます。
- 注. 初期化コマンドを実行した後、MCU は応答しません。シリアルプログラミングコマンドの使用を続けるには、リセット後に再度ブートモードに入りなおす必要があります。コマンド詳細については、ブートファームウェアアプリケーションノートを参照してください。
- 注. ブートモード（SCI インタフェース）では、シリアルプログラミングを使用してデバイスライフサイクル状態を変更してください。SWD 通信を使用するデバッグであっても、シリアルプログラミング接続は必要です。

42.3.2 デバッグアクセスレベル

3 つのデバッグアクセスレベルがあり、デバッグアクセスレベルはライフサイクル状態に応じて変わります。

- DBG2：デバッグ接続許可、メモリおよび周辺モジュールへのアクセス制限なし
- DBG1：デバッグ接続許可、非セキュアメモリ領域および周辺モジュールへのアクセス制限
- DBG0：デバッグ接続禁止

42.3.3 シリアルプログラミング

シリアルプログラマが接続可能かどうか、およびアクセス可能なフラッシュメモリの範囲は、表 42.8 に示すライフサイクル状態に依存します。そして受け付け可能なシリアルプログラミングコマンドはライフサイクル状態により異なります。コマンド詳細については、ブートファームウェアアプリケーションノートを参照してください。

42.3.4 ライフサイクル変更例

以下に標準的なライフサイクル変更例を示します。

セキュア開発者

- シリアルプログラミングコマンドを使ってコードフラッシュ、データフラッシュ、および SRAM のメモリセキュリティ属性を設定します。
- シリアルプログラミングインタフェースを使ってセキュアアプリケーションをプログラムし、セキュアアプリケーションをデバッグします。メモリセキュリティ属性が設定されていない場合、コードフラッシュ、データフラッシュ、および SRAM のすべてのエリアはセキュアです。

注. 表 42.10 に示すレジスタはライフサイクルが NSECSD 状態のときにだけ非セキュアに設定してください。詳細は「42.8.1. セキュリティ属性の設定に関する制限」を参照してください。

- （必要時）シリアルプログラミングコマンドを使って「SECDBG_KEY」および「RMA_KEY」をインジェクト
- （必要時）表 42.9 に示す AES、RSA、ECC、HMAC の各キーをインジェクト

- (必要時) シリアルプログラミングコマンドを使って全消去を無効に設定
- シリアルプログラミングコマンドを使ってライフサイクルを SSD から NSECSD に変更

非セキュア開発者

- シリアルプログラミングインタフェースを使って非セキュアアプリケーションをプログラムし、非セキュアアプリケーションをデバッグする
- (必要時) シリアルプログラミングコマンドを使って NONSECDBG_KEY をインジェクト
- (必要時) 表 42.9 に示す AES、RSA、ECC、HMAC の各キーをインジェクト
- (必要時) シリアルプログラミングコマンドを使って全消去を無効に設定
- シリアルプログラミングコマンドを使ってライフサイクルを DPL に変更

42.3.5 故障解析

お客様がルネサスに故障解析をご希望の場合は、ライフサイクルを RMA_REQ に変更してからデバイスを送ってください。ライフサイクルが RMA_REQ でないとルネサスは故障解析を行うことができません。RMA_REQ は永久的な状態のため、RMA_REQ に変更後に別の状態に戻すことはできません。RMA_REQ に変更する前に、SSD を NSECSD に変更して解析することをお勧めします。

ルネサスに送られたデバイスはお客様に戻されません。デバイスは廃棄されます。

注. 「42.3.1. ライフサイクル状態の変更」で示すように、ライフサイクルを RMA_REQ に変更するために、RMA_KEY が必要です。お客様が RMA_KEY を忘れてしまうとルネサスは故障解析を行うことができません。

42.4 キーインジェクション

MCU にユーザーキーをインジェクトするには3つのステップが必要です。

1. 256 ビットのインストールキーを作成します。本キーは、ユーザーファクトリプログラミングキー (UFPK) と呼ばれ、ユーザーキーの暗号化に使用されます。ルネサスキーラッピングサービスからラッピングされたキー (W-UFPK) を取得します。
2. UFPK を使ってユーザーキーを AES キーに暗号化します。
3. シリアルプログラミングインタフェースを使って W-UFPK と暗号化されたユーザーキーを MCU に送ります。送られたユーザーキーは復号処理され、ハードウェアユニークキーによりラッピングされ、そして不揮発性メモリに格納されます。

キーインジェクションの解説図を図 42.3 に示します。シリアルプログラミングインタフェースでインジェクト可能なキーを表 42.9 に示します。

ユーザーキーは、ライフサイクル遷移中の認証に使用されます。

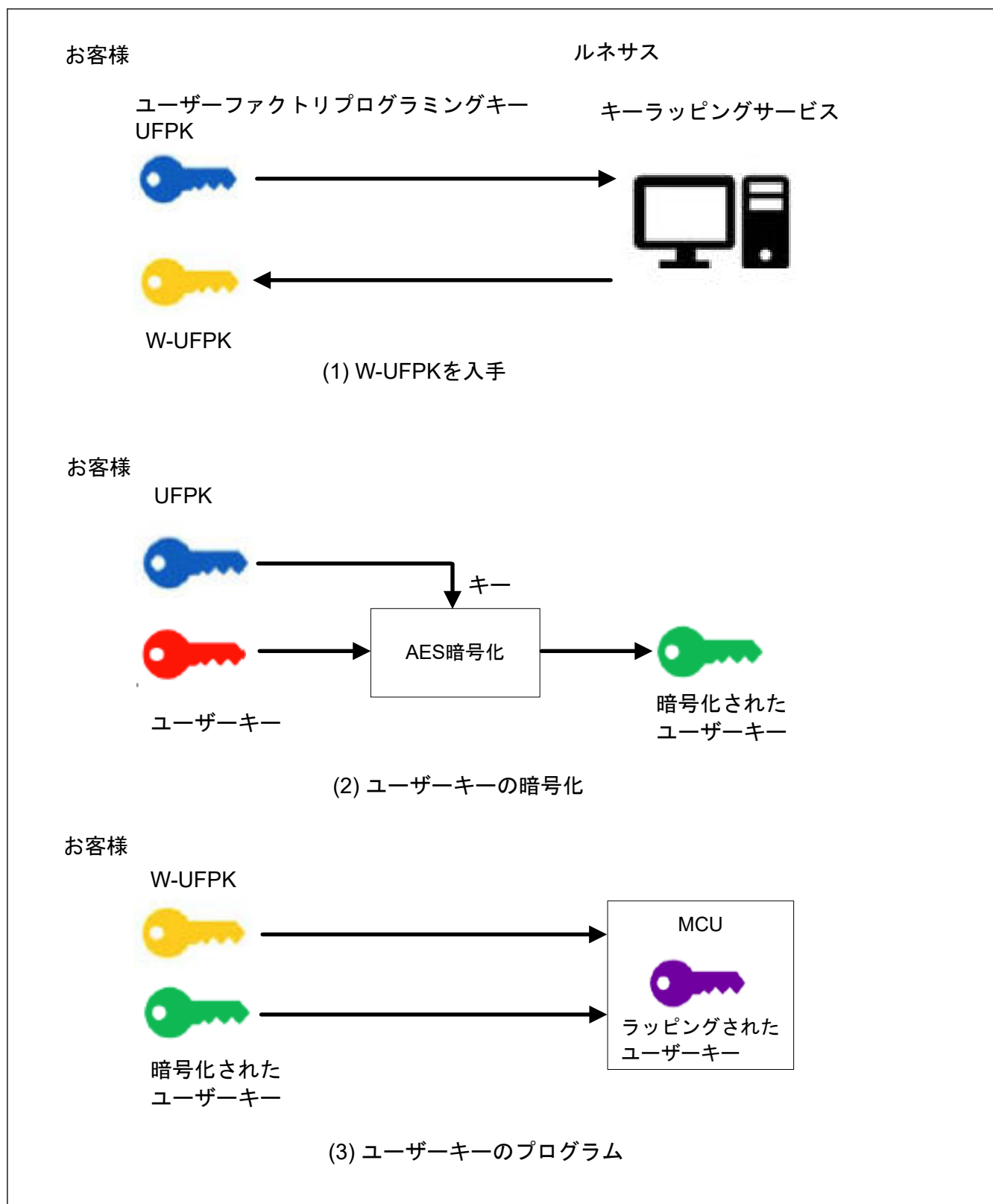


図 42.3 キーインジェクション

表 42.9 シリアルプログラミングでインジェクト可能なキー (1/2)

ライフサイクル遷移	SECDBG_KEY, NONSECDBG_KEY, RMA_KEY
AES	AES-128, AES-256
ECC	ECC P256 (公開および秘密)

表 42.9 シリアルプログラミングでインジェクト可能なキー (2/2)

HMAC	HMAC-SHA224、HMAC-SHA256

42.5 セキュアファクトリプログラミング

ユーザーキー（DLM キー、デバッグ認証キー、およびアプリケーションキー）をインジェクトするためのセキュアキーインジェクションサポートに加えて、MCU は本番プログラミング時の資産漏洩を防ぐために、暗号文形式のファームウェアイメージのプログラミングをサポートしています。これにより、非セキュア環境でのセキュアファクトリプログラミングが可能となります。セキュアファクトリプログラミングはブートファームウェアがサポートしています。図 42.4 に暗号化されたファームウェアイメージのセキュアファクトリプログラミングの例を示します。お客様はファームウェアイメージ暗号化キーを UFPK でラッピングし、AES128-CCM を使ったファームウェアイメージ暗号化キーでファームウェアイメージを暗号化します。お客様が W-UFPK、ラッピングされたファームウェアイメージ暗号化キー、および暗号化されたファームウェアイメージをシリアルプログラミングインタフェースで MCU に送信すると、MCU はファームウェアイメージの復号処理とプログラミングを実行します。

非セキュア環境でのセキュアファクトリプログラミングをさらにサポートするために、DLM ステートおよび認証キーを 1 つのブートファームウェアコマンドですべて設定できます。このブートファームウェアコマンドに関して以下の点に注意してください。

- 暗号化ファームウェアプログラミングは、MCU が SSD 状態のときのみ実行できます。
- DLM ステートから DPL への遷移時、このコマンドは SECDBG_KEY と NONSECDBG_KEY の両方をインジェクトします。
- DLM ステートから LCK_BOOT への遷移時、このコマンドは SECDBG_KEY も NONSECDBG_KEY もインジェクトしません。
- このコマンドでインジェクトされた SECDBG_KEY と NONSECDBG_KEY は、同じ UFPK でファームウェアイメージ暗号化キーとしてラッピングする必要があります。
- このコマンドは、メモリのセキュリティ属性を設定します。
- このコマンドは、暗号化されたファームウェアイメージをプログラムする前に、オプション設定メモリを除くすべてのコードおよびデータフラッシュ領域を消去します。永久ロックブロックがある場合、このコマンドは実行できません。
- 現在のレジスタ設定またはスタートアップ領域選択およびスタートアップバンク選択に関連するレジスタへの書き込み値が下記以外の場合、このコマンドの実行を禁止してください。
 - SAS.BTFLG = 1b
 - BANKSEL.BANKSWP[2:0] = 111b
 - BANKSEL_SEC.BANKSWP[2:0] = 111b
- 暗号化されたファームウェアイメージには、デフォルト値から変更されていないものも含めたすべてのオプション設定メモリ値を含める必要があります。ただし、以下の領域が書き込み保護されている場合、これらの領域の書き込みデータはファームウェアイメージに含めないでください。ファームウェアイメージに含まれていると、このコマンドがエラー終了することになります。
 - SAS レジスタ

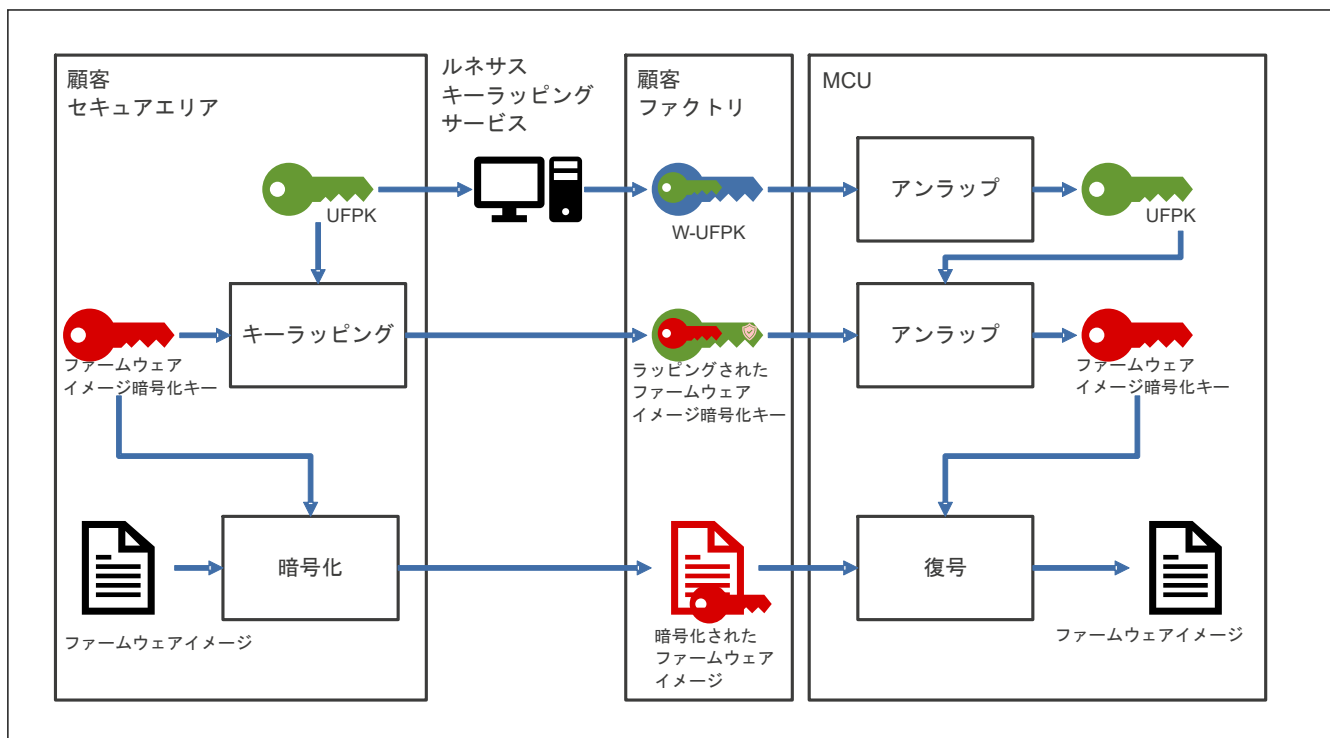


図 42.4 セキュアファクトリ暗号化ファームウェアイメージプログラミング

42.6 デュアルモードでのフィールドアップデート

現地で情報のアップデートをする場合は、デュアルモードでのバンク切り替え後セキュア領域と非セキュア領域の中身が変わらないように注意してください。図 42.5 および図 42.6 に、デュアルモードでのセキュア領域と非セキュア領域情報のフィールドアップデート実行フローを示します。

図 42.5 の例では、バンク 0 が有効で、バージョン 1 の情報が NS と S または NSC に格納されています。

バンク 1 はブランクです。現地で S または NSC 情報をバージョン 2 に更新するには、まずバンク 0 のバージョン 1 情報を NS にコピーし、S または NSC をバージョン 2 にアップデートし、次にバンクスワップを実行します。

図 42.6 の例では、バンク 0 が有効で、バージョン 1 の情報が NS と S または NSC に格納されています。バンク 1 はブランクです。

現地で NS 情報をアップデートしそれをバージョン 2 に設定するには、まず、非セキュアユーザーがセキュアユーザーにバンク 0 のバージョン 1 情報をバンク 1 にコピーさせます。

その後、非セキュアユーザーは NS 情報をバージョン 2 にアップデートし、バンクスワップを実行します。

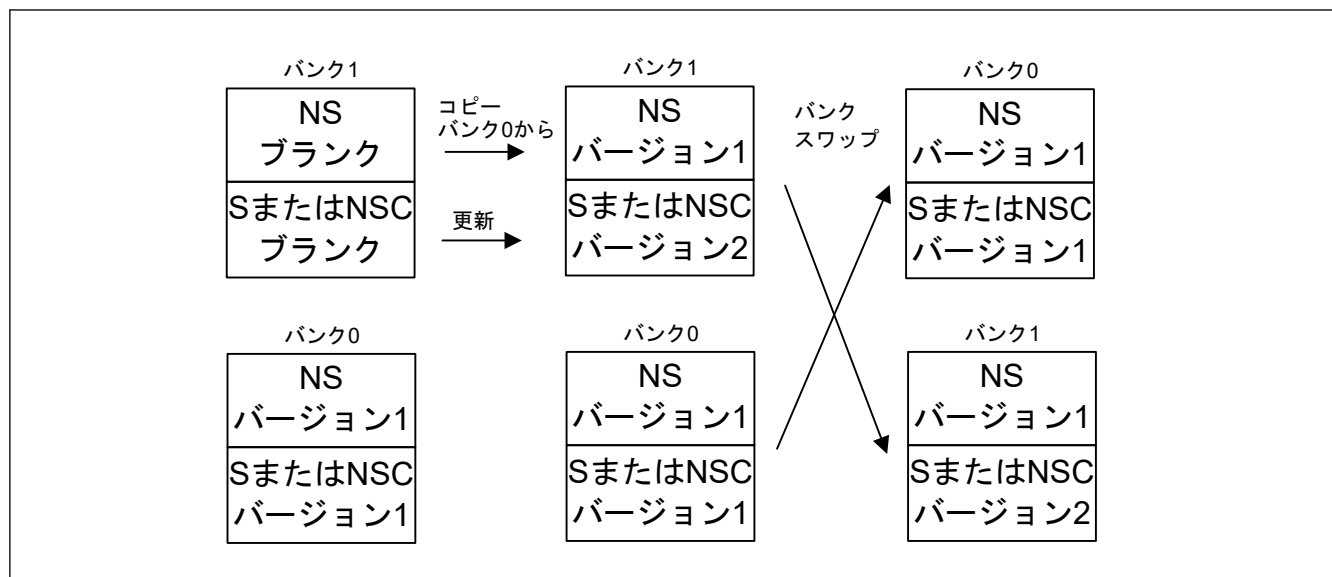


図 42.5 セキュア領域または NSC 領域のフィールドアップデートフロー

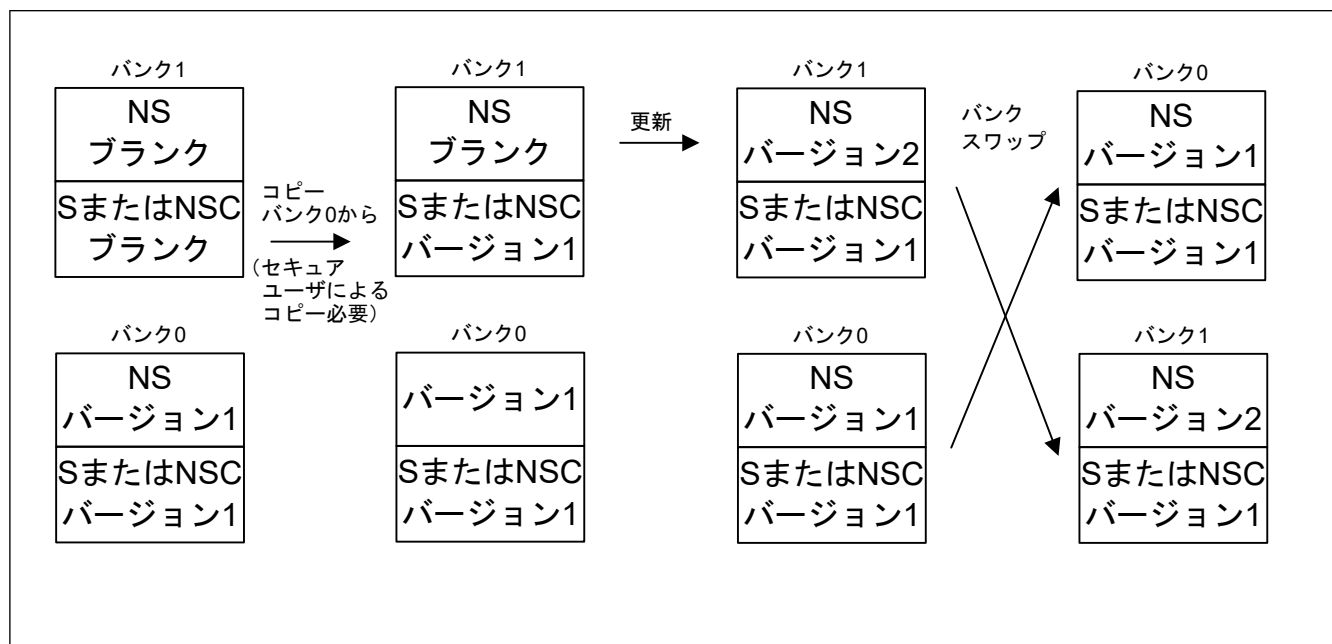


図 42.6 非セキュア領域のフィールドアップデートフロー

42.7 レジスタの説明

42.7.1 PSARB : 周辺モジュールセキュリティ属性レジスタ B

Base address: PSCU = 0x400E_0000

Offset address: 0x04

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PSAR B31	PSAR B30	—	PSAR B28	PSAR B27	PSAR B26	—	—	—	PSAR B22	—	—	PSAR B19	PSAR B18	PSAR B17	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	PSAR B9	PSAR B8	—	PSAR B6	PSAR B5	—	—	—	—	PSAR B0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	PSARB0	UARTA および MSTPCRB.MSTPB0 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
4:1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
5	PSARB5	IrDA および MSTPCRB.MSTPB5 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
6	PSARB6	QSPI および MSTPCRB.MSTPB6 ビットセキュリティ属性 読むと 1 (非セキュア) が読めます。	R
7	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
8	PSARB8	IIC1 および MSTPCRB.MSTPB8 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
9	PSARB9	IIC0 および MSTPCRB.MSTPB9 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
16:10	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
17	PSARB17	SPI2 および MSTPCRB.MSTPB17 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
18	PSARB18	SPI1 および MSTPCRB.MSTPB18 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
19	PSARB19	SPI0 および MSTPCRB.MSTPB19 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
21:20	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
22	PSARB22	SCI9 および MSTPCRB.MSTPB22 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
25:23	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
26	PSARB26	SCI5 および MSTPCRB.MSTPB26 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
27	PSARB27	SCI4 および MSTPCRB.MSTPB27 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
28	PSARB28	SCI3 および MSTPCRB.MSTPB28 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
29	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
30	PSARB30	SCI1 および MSTPCRB.MSTPB30 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31	PSARB31	SCI0 および MSTPCRB.MSTPB31 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注: 本表で未定義のビットは予約ビットです。予約ビットは初期値のままとしてください。

注: セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注: このレジスタは PRCR レジスタによって書き込み保護されています。

PSARB レジスタは、各モジュールのセキュリティ属性およびモジュールストップコントロールレジスタの対応ビットを指定します。

42.7.2 PSARC : 周辺モジュールセキュリティ属性レジスタ C

Base address: PSCU = 0x400E_0000

Offset address: 0x08

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PSAR C31	—	—	—	PSAR C27	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	PSAR C13	—	—	—	—	—	—	—	—	PSAR C4	—	—	PSAR C1	PSAR C0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	PSARC0	CAC および MSTPCRC.MSTPC0 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
1	PSARC1	CRC および MSTPCRC.MSTPC1 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
3:2	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
4	PSARC4	SLCDC および MSTPCRB.MSTPC4 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
12:5	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
13	PSARC13	DOC および MSTPCRC.MSTPC13 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
26:14	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
27	PSARC27	CANFD0 および MSTPCRC.MSTPC27 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
30:28	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

ビット	シンボル	機能	R/W
31	PSARC31	RSIP-E31A および MSTPCRC.MSTPC31 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスメッセージは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

PSARC レジスタは、各モジュールのセキュリティ属性およびモジュールストップコントロールレジスタの対応ビットを指定します。

42.7.3 PSARD : 周辺モジュールセキュリティ属性レジスタ D

Base address: PSCU = 0x400E_0000

Offset address: 0x0C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PSAR D16
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	PSAR D14	PSAR D13	PSAR D12	PSAR D11	—	—	—	—	—	—	—	PSAR D3	PSAR D2	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
1:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
2	PSARD2	AGT1 および MSTPCRD.MSTPD2 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
3	PSARD3	AGT0 および MSTPCRD.MSTPD3 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
10:4	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
11	PSARD11	POEG グループ D および MSTPCRD.MSTPD11 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
12	PSARD12	POEG グループ C および MSTPCRD.MSTPD12 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
13	PSARD13	POEG グループ B および MSTPCRD.MSTPD13 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
14	PSARD14	POEG グループ A および MSTPCRD.MSTPD14 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
15	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
16	PSARD16	ADC120 および MSTPCRD.MSTPD16 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:17	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスメッセージは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

PSARD レジスタは、各モジュールのセキュリティ属性およびモジュールストップコントロールレジスタの対応ビットを指定します。

42.7.4 PSARE : 周辺モジュールセキュリティ属性レジスタ E

Base address: PSCU = 0x400E_0000

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PSARE31	PSARE30	PSARE29	PSARE28	PSARE27	PSARE26	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	PSARE2	PSARE1	PSARE0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	PSARE0	WDT セキュリティ属性 0: セキュア 1: 非セキュア	R/W
1	PSARE1	IWDT セキュリティ属性 0: セキュア 1: 非セキュア	R/W
2	PSARE2	RTC セキュリティ属性 0: セキュア 1: 非セキュア	R/W
25:3	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
26	PSARE26	GPT5 および MSTPCRE.MSTPE26 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
27	PSARE27	GPT4 および MSTPCRE.MSTPE27 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
28	PSARE28	GPT3 および MSTPCRE.MSTPE28 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
29	PSARE29	GPT2 および MSTPCRE.MSTPE29 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
30	PSARE30	GPT1 および MSTPCRE.MSTPE30 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31	PSARE31	GPT0、GPT_OPS および MSTPCRE.MSTPE31 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスメッセージは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

PSARE レジスタは、各モジュールのセキュリティ属性およびモジュールストップコントロールレジスタの対応ビットを指定します。

42.7.5 MSSAR : モジュールストップセキュリティ属性レジスタ

Base address: PSCU = 0x400E_0000

Offset address: 0x14

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	MSSA R4	MSSA R3	—	MSSA R1	MSSA R0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	MSSAR0	MSTPCRC.MSTPC14 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
1	MSSAR1	MSTPCRA.MSTPA22 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
2	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
3	MSSAR3	MSTPCRA.MSTPA0 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
4	MSSAR4	MSTPCRA.MSMSTPA16 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:5	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

MSSAR レジスタは、モジュールストップコントロールレジスタの対応ビットのセキュリティ属性を指定します。

42.7.6 CFSAMONA : コードフラッシュセキュリティ属性モニタレジスタ A

Base address: PSCU = 0x400E_0000

Offset address: 0x18

Bit position:	31	23	15	0
Bit field:	—	—	—	—
Value after reset:	0	0	0	0

ビット	シンボル	機能	R/W
14:0	—	読むと 0 が読めます。	R
23:15	CFS2[8:0]	コードフラッシュセキュアエリア 2 コードフラッシュ用のセキュア領域および NSC 領域の合計エリアを示します。	R
31:24	—	読むと 0 が読めます。	R

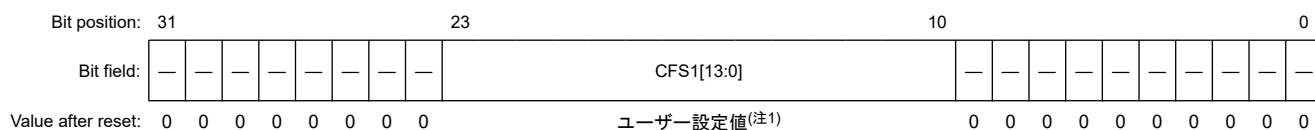
注. CFSAMONA レジスタにはセキュリティ属性がありません。

注 1. ブランク品の値は、0x1FF です。ユーザーがプログラムした値になります。

42.7.7 CFSAMONB : コードフラッシュセキュリティ属性モニタレジスタ B

Base address: PSCU = 0x400E_0000

Offset address: 0x1C



ビット	シンボル	機能	R/W
9:0	—	読むと 0 が読めます。	R
23:10	CFS1[13:0]	コードフラッシュセキュアエリア 1 コードフラッシュのセキュア領域のエリアを示します。	R
31:24	—	読むと 0 が読めます。	R

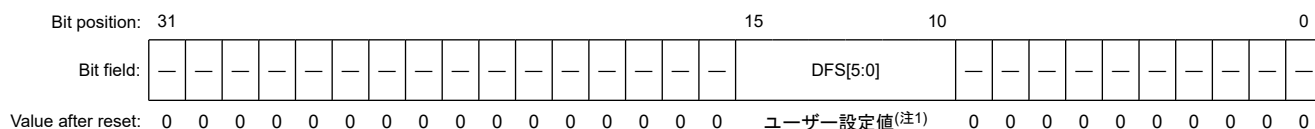
注. CFSAMONB レジスタにはセキュリティ属性がありません。

注 1. ブランク品の値は、0x3FFF です。ユーザーがプログラムした値になります。

42.7.8 DFSAMON : データフラッシュセキュリティ属性モニタレジスタ

Base address: PSCU = 0x400E_0000

Offset address: 0x20



ビット	シンボル	機能	R/W
9:0	—	読むと 0 が読めます。	R
15:10	DFS[5:0]	データフラッシュセキュアエリア データフラッシュのセキュア領域のエリアを示します。	R
31:16	—	読むと 0 が読めます。	R

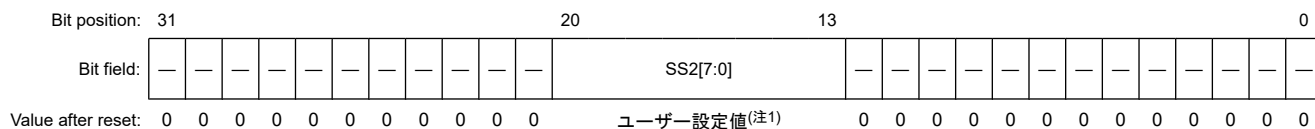
注. DFSAMON レジスタにはセキュリティ属性がありません。

注 1. ブランク品の値は、0x3F です。ユーザーがプログラムした値になります。

42.7.9 SSAMONA : SRAM セキュリティ属性モニタレジスタ A

Base address: PSCU = 0x400E_0000

Offset address: 0x24



ビット	シンボル	機能	R/W
12:0	—	読むと 0 が読めます。	R
20:13	SS2[7:0]	SRAM セキュアエリア 2 SRAM 用のセキュア領域および NSC 領域の合計エリアを示します。	R
31:21	—	読むと 0 が読めます。	R

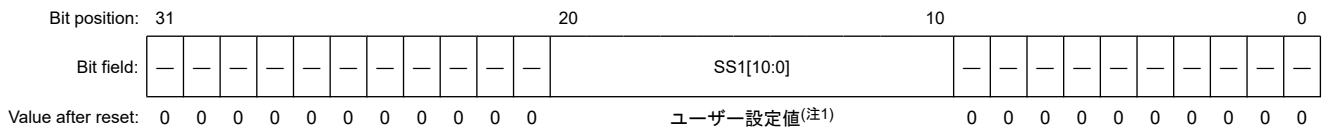
注. SSAMONA レジスタにはセキュリティ属性がありません。

注 1. ブランク品の値は、0xFF です。ユーザーがプログラムした値になります。

42.7.10 SSAMONB:SRAM セキュリティ属性モニタレジスタ B

Base address: PSCU = 0x400E_0000

Offset address: 0x28



ビット	シンボル	機能	R/W
9:0	—	読むと 0 が読めます。	R
20:10	SS1[10:0]	SRAM セキュアエリア 1 SRAM のセキュア領域のエリアを示します。	R
31:21	—	読むと 0 が読めます。	R

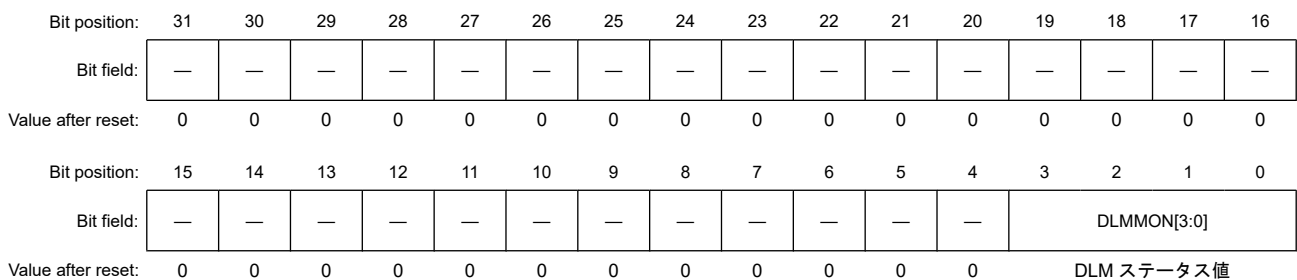
注. SSAMONB レジスタにはセキュリティ属性がありません。

注 1. ブランク品の値は、0x7FF です。ユーザーがプログラムした値になります。

42.7.11 DLMMON: デバイスライフサイクル管理状態モニタレジスタ

Base address: PSCU = 0x400E_0000

Offset address: 0x2C



ビット	シンボル	機能	R/W
3:0	DLMMON[3:0]	デバイスライフサイクル管理状態モニタ 0x2: SSD 0x3: NSECSD 0x4: DPL 0x5: LCK_DBG 0x6: LCK_BOOT 0x7: RMA_REQ 0x8: RMA_ACK その他: 予約	R
31:4	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. DLMMON レジスタにはセキュリティ属性がありません。

42.7.12 TZFSAR : TrustZone フィルタセキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000

Offset address: 0x180

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TZFSA0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0

ビット	シンボル	機能	R/W
0	TZFSA0	TrustZone フィルタ用レジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 1 が読めます。	R

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

TZFSA0 ビット (TrustZone フィルタ用レジスタのセキュリティ属性)

TZFOAD レジスタおよび TZFPT レジスタ用のセキュリティ属性を指定します。

42.7.13 TZFOAD : 検出後の TrustZone フィルタ動作レジスタ

Base address: TZF = 0x4000_0E00

Offset address: 0x00

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	OAD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 0: ノンマスカブル割り込み 1: リセット	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード 本ビットは、OAD ビットへの書き込みを許可または禁止します。	W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

OAD ビット (検出後の動作)

OAD ビットを指定すると、保護領域へのアクセスが TrustZone フィルタにより検出されると、リセットまたはノンマスカブル割り込みが発生します。

OAD ビットを設定する際は、同時に KEY[7:0] ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、OAD ビットへの書き込みを禁止／許可します。OAD ビットを書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

0xA5 以外の KEY[7:0]ビット値が書き込まれると、OAD ビットは更新されません。

KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

42.7.14 TZFPT : TrustZone フィルタ保護レジスタ

Base address: TZF = 0x4000_0E00

Offset address: 0x04

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: 全バス TrustZone フィルタレジスタの書き込み保護。読み出しは可能 1: 全バス TrustZone フィルタレジスタの書き込み可能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、保護するレジスタへの書き込みを許可または禁止します。TZFOAD レジスタは PROTECT レジスタにより保護されます。

PROTECT ビットを設定する際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを禁止／許可します。PROTECT ビットに書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

0xA5 以外の KEY[7:0]ビット値が書き込まれると、PROTECT ビットは更新されません。

KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

42.8 使用上の注意事項**42.8.1 セキュリティ属性の設定に関する制限**

ソフトウェアブレイクポイントを設定するには、デバッガはフラッシュを再プログラムする必要があります。表 42.10 に、フラッシュを再プログラムするのにデバッガが設定するレジスタを示します。表 42.10 に示すレジスタのセキュリティ属性がセキュアに設定されている場合、デバッガはレジスタ設定を変更できないので、NSECSD 状態でソフトウェアブレイクポイントを設定できません。セキュア開発者は、NSECSD 状態でのみ表 42.10 に示すレジスタを非セキュアと設定する必要があります。

表 42.10 フラッシュを再プログラムするのにデバッガが設定するレジスタ

機能名	レジスタ名
クロック発生回路	SCKDIVCR, SCKSCR, PLLCCR, PLLCR, HOCOCR, MOCOCR
低消費電力モード	OPCCR, SOPCCR

42.8.2 SAU 設定

リセット後、アドレス空間のすべてが SAU デフォルト設定により「セキュア」になります。SAU_CTRL レジスタを 0x2 に設定し、IDAU セキュリティ属性を有効にしてください。すなわち、SAU_CTRL レジスタを 0x2 に設定後、アドレス空間のセキュリティ属性は表 42.6 に示すようになります。

43. 電気的特性

他に指定がなければ、最小値と最大値は設計シミュレーション、特性結果、または製品テストのいずれかにより保証されます。

サポートする周辺機能と端子は、製品型名によって異なります。

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

$VCC^{(注1)} = AVCC0 = 1.6 \sim 3.6 \text{ V}$ 、 $V_{RTC} = 1.6 \sim 3.6 \text{ V}$ 、 $V_{REFH0} = 1.6 \text{ V} \sim AVCC0$

$VSS = AVSS0 = V_{REFL0} = 0 \text{ V}$ 、 $T_a = T_{opr}$

注 1. 通常は $VCC = 3.3 \text{ V}$ に設定されています。

図 43.1 は、タイミング条件を示しています。

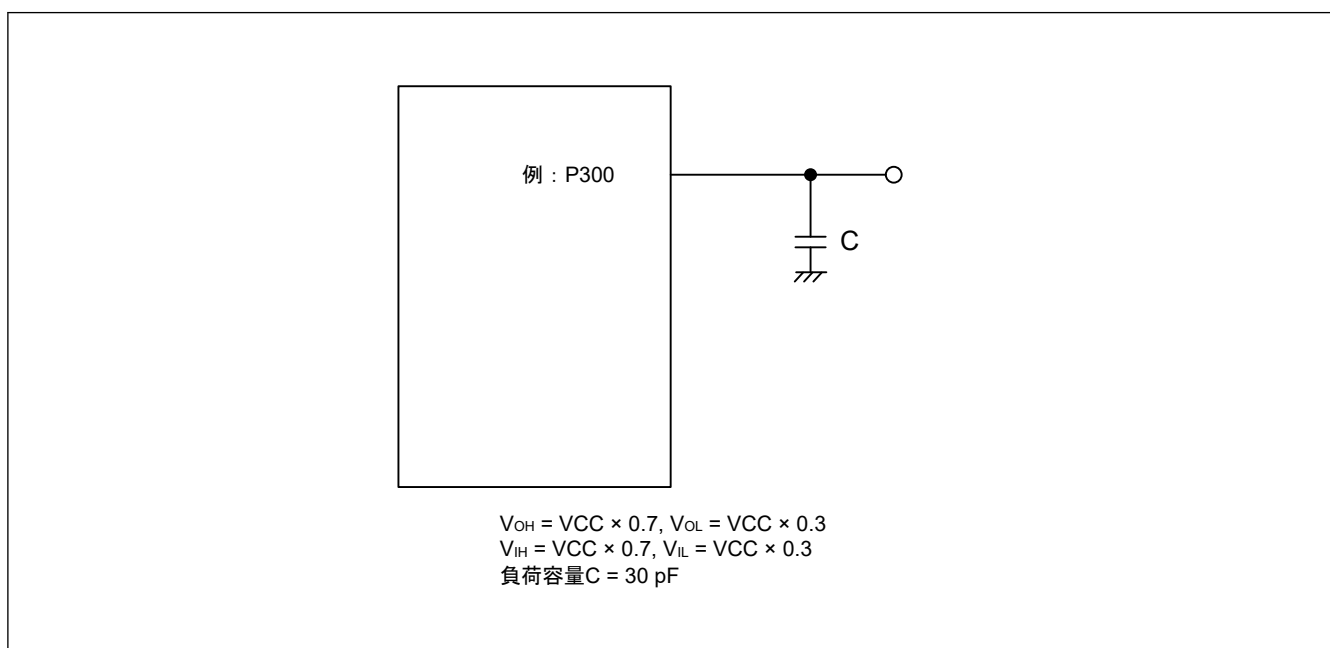


図 43.1 入出力タイミング計測条件

各周辺モジュールのタイミング仕様の計測条件は、最適な周辺動作に推奨されるものです。ただし、ユーザーシステムの条件に合うように、各端子の駆動能力を調整してください。

43.1 絶対最大定格

表 43.1 絶対最大定格 (1/2)

項目		シンボル	値	単位
電源電圧		VCC	-0.5～+4.0	V
RTC 電源電圧		VRTC	-0.5～+4.0	V
入力電圧	5 V トレラントポート(注1)	V _{in}	-0.3～+6.5	V
	P000～P004, P010, P011	V _{in}	-0.3～AVCC0 + 0.3	V
	P214, P215, RTCIC0	V _{in}	-0.3～VRTC + 0.3	V
	その他	V _{in}	-0.3～VCC + 0.3	V
リファレンス電源電圧		VREFH0	-0.3～+4.0	V
アナログ電源電圧		AVCC0(注2)	-0.5～+4.0	V
アナログ入力電圧	AN000～AN006 使用時	V _{AN}	-0.3～AVCC0 + 0.3	V
	AN017～AN025 使用時		-0.3～VCC + 0.3	V
動作温度(注3)		T _{opr}	-40～+105	℃

表 43.1 絶対最大定格 (2/2)

項目	シンボル	値	単位
保存温度	T _{stg}	-55~+125	°C

- 注 1. P301、P302、P400、および P401 は 5 V トレラント対応ポートです。
 デバイスの電源が切れている状態で信号や I/O プルアップ電源を入力しないでください。信号または I/O プルアップの入力による電流注入は、デバイスの故障や異常電流を引き起こし、内部素子を劣化させる恐れがあります。
- 注 2. AVCC0 を VCC に接続してください。
- 注 3. 「43.2.1. Tj/Ta の定義」を参照してください。

【使用上の注意】絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。

VREFH0 が ADC12 の高電位基準電圧に選択されている場合にノイズ干渉による誤動作を防止するには、VCC 端子と VSS 端子の間、AVCC0 端子と AVSS0 端子の間、VREFH0 端子と VREFL0 端子の間には周波数の良いコンデンサを挿入してください。各電源端子になるべく近い場所に以下の値のコンデンサを配置し、最も短く重いトレースを使用してください。

- VCC と VSS : 約 0.1 μ F
- VRTC と VSS : 約 0.1 μ F
- AVCC0 と AVSS0 : 約 0.1 μ F
- VREFH0 と VREFL0 : 約 0.1 μ F

また、コンデンサは安定容量として接続してください。

VCL 端子と VCL0 端子は、4.7 μ F のコンデンサを介して VSS 端子に接続してください。各コンデンサは端子の近くに配置してください。

表 43.2 推奨動作条件

項目	シンボル	Min	Typ	Max	単位
電源電圧	VCC(注1)(注2)	1.6	—	3.6	V
	VSS	—	0	—	V
RTC 電源電圧	VRTC	1.6	—	3.6	V
アナログ電源電圧	AVCC0(注1)(注2)	1.6	—	3.6	V
	AVSS0	—	0	—	V
	VREFH0	ADC12 基準として使用時 1.6	—	AVCC0	V
	VREFL0		0	—	V

- 注 1. 下記の条件で AVCC0 と VCC を使用してください：
 AVCC0 = VCC
- 注 2. VCC 端子および AVCC0 端子に電源を投入する場合、両方同時に電源投入するか、最初に VCC 端子、次に AVCC0 端子の順番で電源投入してください。
 VCC 端子および AVCC0 端子の電源供給を停止する場合、両方同時に電源供給を停止するか、最初に AVCC0 端子、次に VCC 端子の順番で電源供給を停止してください。

43.2 DC 特性

43.2.1 Tj/Ta の定義

表 43.3 DC 特性

条件：動作温度 (Ta) が -40~+105 °C の製品

項目	シンボル	Typ	Max	単位	測定条件
許容ジャンクション温度	Tj	—	125(注1)	°C	High-speed モード Middle-speed モード Low-speed モード Subosc-speed モード

- 注. $T_j = T_a + \theta_{ja} \times \text{総消費電力 (W)}$ となるようにしてください。このとき、総消費電力 = $(V_{CC} - V_{OH}) \times \Sigma I_{OH} + V_{OL} \times \Sigma I_{OL} + I_{CCmax} \times V_{CC}$ です。
- 注 1. 動作周囲温度の上限は 125 °C です (製品による)。詳細は、「1.3. 型名」を参照してください。型名が動作温度の上限 105 °C を示している場合、Tj の最大値は 125 °C になります。

43.2.2 I/O V_{IH} , V_{IL} 表 43.4 I/O V_{IH} , V_{IL} 条件 : $VCC = AVCC0 = 1.6 \sim 3.6$ V, $VRTC = 1.6 \sim 3.6$ V

項目		シンボル	Min	Typ	Max	単位	測定条件
シュミットトリガ入力電圧	IIC (SDA0_A, SCL0_A, SDA1_A, SCL1_A) (SMBus を除く) (注1)	V_{IH}	$VCC \times 0.7$	—	5.8	V	—
		V_{IL}	—	—	$VCC \times 0.3$		—
		ΔV_T	$VCC \times 0.10$	—	—		$VCC = 2.7 \sim 3.6$ V
			$VCC \times 0.05$	—	—		$VCC = 1.6$ V ~ 2.7 V
	RES、NMI、IIC (SDA0_A, SCL0_A, SDA1_A, SCL1_A) を除くその他の周辺入力端子	V_{IH}	$VCC \times 0.8$	—	—		—
		V_{IL}	—	—	$VCC \times 0.2$		—
		ΔV_T	$VCC \times 0.10$	—	—		$VCC = 2.7 \sim 3.6$ V
			$VCC \times 0.05$	—	—		$VCC = 1.6 \sim 2.7$ V
	RTCIC0	V_{IH}	$VRTC \times 0.8$	—	—		—
		V_{IL}	—	—	$VRTC \times 0.2$		—
		ΔV_T	—	0.71	—		—
シュミットトリガ入力端子を除く入力電圧	IIC (SMBus)(注2)	V_{IH}	2.0	—	—		$VCC = 1.8 \sim 3.6$ V
		V_{IL}	—	—	0.5		$VCC = 1.8 \sim 3.6$ V
	5 V トレラントポート (注3)	V_{IH}	$VCC \times 0.8$	—	5.8		—
		V_{IL}	—	—	$VCC \times 0.2$		—
	P000~P004, P010, P011	V_{IH}	$AVCC0 \times 0.8$	—	—		—
		V_{IL}	—	—	$AVCC0 \times 0.2$		—
	P214, P215	V_{IH}	$VRTC \times 0.8$	—	—		—
		V_{IL}	—	—	$VRTC \times 0.2$		—
	P000~P004、P010、P011 を除く入力ポート端子	V_{IH}	$VCC \times 0.8$	—	—		—
		V_{IL}	—	—	$VCC \times 0.2$		—

注 1. SCL0_A, SDA0_A, SDA1_A, SCL1_A (合計 4 端子)

注 2. SCL0_A, SDA0_A, SCL0_B, SDA0_B, SDA1_A, SCL1_A (合計 6 端子)

注 3. P400, P401, P301, P302 (合計 4 端子)

43.2.3 I/O I_{OH} , I_{OL} 表 43.5 I/O I_{OH} , I_{OL} (1/4)条件 : $VCC = AVCC0 = 1.6 \sim 3.6$ V

項目	シンボル	Min	Typ	Max	単位	測定条件
許容出力電流 (端子ごとの平均値)	I_{OH}	—	—	-4.0	mA	
	I_{OL}	—	—	8.0	mA	
許容出力電流 (端子ごとの最大値)	I_{OH}	—	—	-4.0	mA	
	I_{OL}	—	—	8.0	mA	

表 43.5 I/O I_{OH} , I_{OL} (2/4)条件 : $VCC = AVCC0 = 1.6 \sim 3.6 V$

項目			シンボル	Min	Typ	Max	単位	測定条件
許容出力電流 (全端子の最大値) (注1)	全製品共通	ポート P000～P004、P010、P011 の合計	$\Sigma I_{OH} (max)$	—	—	-30	mA	$AVCC0 = 2.7 \sim 3.6 V$
				—	—	-8	mA	$AVCC0 = 1.8 \sim 2.7 V$
				—	—	-4	mA	$AVCC0 = 1.6 \sim 1.8 V$
			$\Sigma I_{OL} (max)$	—	—	50	mA	$AVCC0 = 2.7 \sim 3.6 V$
				—	—	4	mA	$AVCC0 = 1.8 \sim 2.7 V$
				—	—	2	mA	$AVCC0 = 1.6 \sim 1.8 V$
		ポート P212、P213 の合計	ΣI_{OH}	—	—	-8.0	mA	$VCC = 2.7 \sim 3.6 V$
				—	—	-2	mA	$VCC = 1.8 \sim 2.7 V$
				—	—	-1	mA	$VCC = 1.6 \sim 1.8 V$
			ΣI_{OL}	—	—	16.0	mA	$VCC = 2.7 \sim 3.6 V$
				—	—	1.2	mA	$VCC = 1.8 \sim 2.7 V$
				—	—	0.6	mA	$VCC = 1.6 \sim 1.8 V$
	100 ピン製品	ポート P400～P406、P408～P415、P708 の合計	$\Sigma I_{OH} (max)$	—	—	-30	mA	$VCC = 2.7 \sim 3.6 V$
				—	—	-8	mA	$VCC = 1.8 \sim 2.7 V$
				—	—	-4	mA	$VCC = 1.6 \sim 1.8 V$
			$\Sigma I_{OL} (max)$	—	—	50	mA	$VCC = 2.7 \sim 3.6 V$
				—	—	4	mA	$VCC = 1.8 \sim 2.7 V$
				—	—	2	mA	$VCC = 1.6 \sim 1.8 V$

表 43.5 I/O I_{OH} , I_{OL} (3/4)条件 : $VCC = AVCC0 = 1.6 \sim 3.6 \text{ V}$

項目			シンボル	Min	Typ	Max	単位	測定条件
許容出力電流 (全端子の最大値) (注1)	100 ピン製品	ポート P204～P211、P814、P815 の合計	$\Sigma I_{OH} (\text{max})$	—	—	-30	mA	$VCC = 2.7 \sim 3.6 \text{ V}$
				—	—	-8	mA	$VCC = 1.8 \sim 2.7 \text{ V}$
				—	—	-4	mA	$VCC = 1.6 \sim 1.8 \text{ V}$
			$\Sigma I_{OL} (\text{max})$	—	—	50	mA	$VCC = 2.7 \sim 3.6 \text{ V}$
				—	—	4	mA	$VCC = 1.8 \sim 2.7 \text{ V}$
				—	—	2	mA	$VCC = 1.6 \sim 1.8 \text{ V}$
		ポート P108～P112、P201、P300～P307 の合計	$\Sigma I_{OH} (\text{max})$	—	—	-30	mA	$VCC = 2.7 \sim 3.6 \text{ V}$
				—	—	-8	mA	$VCC = 1.8 \sim 2.7 \text{ V}$
				—	—	-4	mA	$VCC = 1.6 \sim 1.8 \text{ V}$
			$\Sigma I_{OL} (\text{max})$	—	—	50	mA	$VCC = 2.7 \sim 3.6 \text{ V}$
				—	—	4	mA	$VCC = 1.8 \sim 2.7 \text{ V}$
				—	—	2	mA	$VCC = 1.6 \sim 1.8 \text{ V}$
		ポート P100～P107、P113～P115、P600～P602、P608～P610 の合計	ΣI_{OH}	—	—	-30	mA	$VCC = 2.7 \sim 3.6 \text{ V}$
				—	—	-8	mA	$VCC = 1.8 \sim 2.7 \text{ V}$
				—	—	-4	mA	$VCC = 1.6 \sim 1.8 \text{ V}$
			ΣI_{OL}	—	—	50	mA	$VCC = 2.7 \sim 3.6 \text{ V}$
				—	—	4	mA	$VCC = 1.8 \sim 2.7 \text{ V}$
				—	—	2	mA	$VCC = 1.6 \sim 1.8 \text{ V}$
		ポート P500～P513 の合計	$\Sigma I_{OH} (\text{max})$	—	—	-30	mA	$VCC = 2.7 \sim 3.6 \text{ V}$
				—	—	-8	mA	$VCC = 1.8 \sim 2.7 \text{ V}$
				—	—	-4	mA	$VCC = 1.6 \sim 1.8 \text{ V}$
			$\Sigma I_{OL} (\text{max})$	—	—	50	mA	$VCC = 2.7 \sim 3.6 \text{ V}$
				—	—	4	mA	$VCC = 1.8 \sim 2.7 \text{ V}$
				—	—	2	mA	$VCC = 1.6 \sim 1.8 \text{ V}$
		全出力端子の総和	$\Sigma I_{OH} (\text{max})$	—	—	-100	mA	
			$\Sigma I_{OL} (\text{max})$	—	—	100	mA	

表 43.5 I/O I_{OH} , I_{OL} (4/4)条件 : $V_{CC} = AV_{CC0} = 1.6 \sim 3.6 \text{ V}$

項目			シンボル	Min	Typ	Max	単位	測定条件
許容出力電流 (全端子の最大値) (注1)	64 ピン LQFP	ポート P400、P401、P407～P411 の合計	$\Sigma I_{OH} (\text{max})$	—	—	-30	mA	$V_{CC} = 2.7 \sim 3.6 \text{ V}$
				—	—	-8	mA	$V_{CC} = 1.8 \sim 2.7 \text{ V}$
				—	—	-4	mA	$V_{CC} = 1.6 \sim 1.8 \text{ V}$
			$\Sigma I_{OL} (\text{max})$	—	—	50	mA	$V_{CC} = 2.7 \sim 3.6 \text{ V}$
				—	—	4	mA	$V_{CC} = 1.8 \sim 2.7 \text{ V}$
				—	—	2	mA	$V_{CC} = 1.6 \sim 1.8 \text{ V}$
		ポート P201、P205～P208、P303、P304、P814、P815 の合計	$\Sigma I_{OH} (\text{max})$	—	—	-30	mA	$V_{CC} = 2.7 \sim 3.6 \text{ V}$
				—	—	-8	mA	$V_{CC} = 1.8 \sim 2.7 \text{ V}$
				—	—	-4	mA	$V_{CC} = 1.6 \sim 1.8 \text{ V}$
			$\Sigma I_{OL} (\text{max})$	—	—	50	mA	$V_{CC} = 2.7 \sim 3.6 \text{ V}$
				—	—	4	mA	$V_{CC} = 1.8 \sim 2.7 \text{ V}$
				—	—	2	mA	$V_{CC} = 1.6 \sim 1.8 \text{ V}$
		ポート P105、P106、P108～P113、P300～P302 の合計	$\Sigma I_{OH} (\text{max})$	—	—	-30	mA	$V_{CC} = 2.7 \sim 3.6 \text{ V}$
				—	—	-8	mA	$V_{CC} = 1.8 \sim 2.7 \text{ V}$
				—	—	-4	mA	$V_{CC} = 1.6 \sim 1.8 \text{ V}$
			$\Sigma I_{OL} (\text{max})$	—	—	50	mA	$V_{CC} = 2.7 \sim 3.6 \text{ V}$
				—	—	4	mA	$V_{CC} = 1.8 \sim 2.7 \text{ V}$
				—	—	2	mA	$V_{CC} = 1.6 \sim 1.8 \text{ V}$
		ポート P100～P104、P500、P506～P509 の合計	$\Sigma I_{OH} (\text{max})$	—	—	-30	mA	$V_{CC} = 2.7 \sim 3.6 \text{ V}$
				—	—	-8	mA	$V_{CC} = 1.8 \sim 2.7 \text{ V}$
				—	—	-4	mA	$V_{CC} = 1.6 \sim 1.8 \text{ V}$
			$\Sigma I_{OL} (\text{max})$	—	—	50	mA	$V_{CC} = 2.7 \sim 3.6 \text{ V}$
				—	—	4	mA	$V_{CC} = 1.8 \sim 2.7 \text{ V}$
				—	—	2	mA	$V_{CC} = 1.6 \sim 1.8 \text{ V}$
		全出力端子の総和	$\Sigma I_{OH} (\text{max})$	—	—	-60	mA	
			$\Sigma I_{OL} (\text{max})$	—	—	100	mA	

注 1. デューティ比 $\leq 70\%$ の条件下での仕様です。

デューティ比 > 70% の場合、出力電流値は次式で計算できます（デューティ比を 70% から n% に変更するとき）。

端子の合計出力電流 = $(I_{OH} \times 0.7) / (n \times 0.01)$

<例> n = 80% で、 $I_{OH} = -30.0 \text{ mA}$ のとき

端子の合計出力電流 = $(-30.0 \times 0.7) / (80 \times 0.01) \approx -26.2 \text{ mA}$

ただし、1 つの端子に入力可能な電流はデューティ比によって変化しません。

43.2.4 I/O V_{OH} 、 V_{OL} 、およびその他の特性

表 43.6 I/O V_{OH} 、 V_{OL} (1)

条件：VCC = AVCC0 = 2.7~3.6 V

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	P400, P401	V_{OH}	VCC - 0.27	—	—	V	$I_{OH} = -3.0 \text{ mA}$
			VCC - 0.8	—	—		$I_{OH} = -4.0 \text{ mA}$
	ポート P000~P004、P010、P011	V_{OH}	AVCC0 - 0.8	—	—		$I_{OH} = -4.0 \text{ mA}$
	P000~P004、P010、P011、P400、P401 以外の出力端子 (注1)	V_{OH}	VCC - 0.8	—	—		$I_{OH} = -4.0 \text{ mA}$
	P400, P401	V_{OL}	—	—	0.27		$I_{OL} = 3.0 \text{ mA}$
			—	0.4	—		$I_{OL} = 20 \text{ mA}$ (ICFER.FMPE = 1)
			—	—	0.8		$I_{OL} = 8.0 \text{ mA}$
	P301, P302	V_{OL}	—	0.4	—		$I_{OL} = 20 \text{ mA}$ (ICFER.FMPE = 1)
			—	—	0.8		$I_{OL} = 8.0 \text{ mA}$
	ポート P000~P004、P010、P011	V_{OL}	—	—	0.8		$I_{OL} = 8.0 \text{ mA}$
	P000~P004、P010、P011、P301、P302、P400、P401 以外の出力端子 (注1)	V_{OL}	—	—	0.8		$I_{OL} = 8.0 \text{ mA}$

注 1. 入力ポートである P200、P214、P215、および RTCIC0 を除きます。

表 43.7 I/O V_{OH} 、 V_{OL} (2)

条件：VCC = AVCC0 = 1.8~2.7 V

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	ポート P000~P004、P010、P011	V_{OH}	AVCC0 - 0.5	—	—	V	$I_{OH} = -1.0 \text{ mA}$
	P000~P004、P010、P011 以外の出力端子 (注1)	V_{OH}	VCC - 0.5	—	—		$I_{OH} = -1.0 \text{ mA}$
	P301, P302, P400, P401	V_{OL}	—	0.4	—		$I_{OL} = 3.0 \text{ mA}$
			—	0.6	—		$I_{OL} = 6.0 \text{ mA}$
			—	—	0.4		$I_{OL} = 0.6 \text{ mA}$
	ポート P000~P004、P010、P011	V_{OL}	—	—	0.4		$I_{OL} = 0.6 \text{ mA}$
	P000~P004、P010、P011、P301、P302、P400、P401 以外の出力端子 (注1)	V_{OL}	—	—	0.4		$I_{OL} = 0.6 \text{ mA}$

注 1. 入力ポートである P200、P214、P215、および RTCIC0 を除きます。

表 43.8 I/O V_{OH} 、 V_{OL} (3)条件 : $V_{CC} = AVCC0 = 1.6 \sim 1.8 \text{ V}$

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	ポート P000~P004、P010、P011	V_{OH}	$AVCC0 - 0.5$	—	—	V	$I_{OH} = -0.5 \text{ mA}$
	P000~P004、P010、P011 以外の出力端子(注1)	V_{OH}	$V_{CC} - 0.5$	—	—		$I_{OH} = -0.5 \text{ mA}$
	ポート P000~P004、P010、P011	V_{OL}	—	—	0.4		$I_{OL} = 0.3 \text{ mA}$
	P000~P004、P010、P011 以外の出力端子(注1)	V_{OL}	—	—	0.4		$I_{OL} = 0.3 \text{ mA}$

注 1. 入力ポートである P200、P214、P215、および RTCIC0 を除きます。

表 43.9 I/O その他の特性

条件 : $V_{CC} = AVCC0 = 1.6 \sim 3.6 \text{ V}$

項目		シンボル	Min	Typ	Max	単位	測定条件
入力リーク電流	RES、ポート P200	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0 \text{ V}$ $V_{in} = V_{CC}$
	P214、P215、RTCIC0		—	—	1.0	μA	$V_{in} = 0 \text{ V}$ $V_{in} = V_{RTC}$
スリーステートリーク電流 (オフ状態)	5 V トレラントポート(注1)	$ I_{TSI} $	—	—	1.0	μA	$V_{in} = 0 \text{ V}$ $V_{in} = 5.8 \text{ V}$
	その他のポート (P200、P214、P215、RTCIC0、および 5 V トレラント対応ポートを除く)		—	—	1.0		$V_{in} = 0 \text{ V}$ $V_{in} = V_{CC}$
入力プルアップ抵抗	すべてのポート (ポート P200、P214、P215、RTCIC0 を除く)	R_U	10	20	100	$k\Omega$	$V_{in} = 0 \text{ V}$
入力容量	P200	C_{in}	—	—	30	pF	$V_{in} = 0 \text{ V}$ $f = 1 \text{ MHz}$ $T_a = 25 \text{ }^\circ\text{C}$
	その他の入力端子		—	—	15		

注 1. P301、P302、P400、および P401 (合計 4 端子)

43.2.5 動作電流とスタンバイ電流

表 43.10 High-speed モードでの電流

項目		シンボル	Typ	Max	単位	測定条件
最大動作(注1)(注2)		ICC(注3)	—	77.0	mA	ICLK = 80 MHz PCLKA = 80 MHz PCLKB = 40 MHz PCLKC = 40 MHz PCLKD = 80 MHz FCLK = 40 MHz
CoreMark®(注4)(注5)			20.5	—	mA	
			256.3	—	uA/MHz	
通常モード	すべての周辺クロックが有効、かつキャッシュが無効。フラッシュメモリから While (1) コードを実行中。(注5)		29.1	—	mA	
			364.1	—	uA/MHz	
	すべての周辺クロックが無効、かつキャッシュが無効。フラッシュメモリから While (1) コードを実行中。(注4) (注5)		13.5	—	mA	
			168.3	—	uA/MHz	
スリープモード	すべての周辺クロックが有効、かつキャッシュが無効(注5)		21.2	—	mA	
	すべての周辺クロックが無効、かつキャッシュが無効(注4) (注5)		5.65	—	mA	
BGO 動作時の増加分(注6)		2.67	—	mA		

注. 消費電流は、 V_{CC} と V_{RTC} に流れ込む電流の合計です。消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注. BGO 動作は含まれません。

注 1. 周辺機能にクロックが供給された状態で計測しました。

注 2. PLL 出力周波数 = 80 MHz。クロックソースは MOSC です。

- 注 3. ICC は、下記（基準データ）に示すように、 f (ICLK) に依存します。
 $ICC_{Max.} = 0.83 \times f + 10.44$ （最大動作時）
 $ICC_{Typ.} = 0.16 \times f + 0.82$ （すべての周辺クロックが無効、かつキャッシュが無効のときの通常動作時）
 $ICC_{Typ.} = 0.22 \times f + 3.64$ （すべての周辺クロックが有効、かつキャッシュが無効のときのスリープモード時）
- 注 4. PCLKA、PCLKB、PCLKC、および PCLKD は、64 分周 (1.25 MHz) に設定されています。
- 注 5. PLL 停止、HOCO 出力周波数 = 80 MHz
- 注 6. プログラム実行中に、データ格納用のフラッシュメモリのプログラム/イレースを実行した場合の増加分です。

表 43.11 Middle-speed モードでの電流

項目		シンボル	Typ	Max	単位	測定条件
通常モード	すべての周辺クロックが有効、かつキャッシュが無効。フラッシュメモリから While (1) コードを実行中。	ICC(注1)	4.49	—	mA	ICLK = 8 MHz PCLKA = 8 MHz PCLKB = 8 MHz PCLKC = 8 MHz PCLKD = 8 MHz FCLK = 8 MHz
	すべての周辺クロックが無効、かつキャッシュが無効。フラッシュメモリから While (1) コードを実行中。(注2)		1.79	—		
スリープモード	すべての周辺クロックが有効、かつキャッシュが無効		3.50	—		
	すべての周辺クロックが無効、かつキャッシュが無効(注2)		0.81	—		
BGO 動作時の増加分(注3)			2.10	—		

- 注. 消費電流は、VCC と VRTC に流れ込む電流の合計です。消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
- 注. BGO 動作は含まれません。
- 注. クロックソースは MOCO です。
- 注 1. ICC は、下記（基準データ）に示すように、 f (ICLK) に依存します。
 $ICC_{Typ.} = 0.45 \times f + 0.94$ （すべての周辺クロックが有効、かつキャッシュが無効のときの通常動作時）
- 注 2. PCLKA、PCLKB、PCLKC、および PCLKD は、64 分周 (125 kHz) に設定されています。
- 注 3. プログラム実行中に、データ格納用のフラッシュメモリのプログラム/イレースを実行した場合の増加分です。

表 43.12 Low-speed モードでの電流

項目		シンボル	Typ	Max	単位	測定条件
通常モード	すべての周辺クロックが有効、かつキャッシュが無効。フラッシュメモリから While (1) コードを実行中。	ICC(注1)	1.20	—	mA	ICLK = 1 MHz PCLKA = 1 MHz PCLKB = 1 MHz PCLKC = 1 MHz PCLKD = 1 MHz FCLK = 1 MHz
	すべての周辺クロックが無効、かつキャッシュが無効。フラッシュメモリから While (1) コードを実行中。(注2)		0.38	—		
スリープモード	すべての周辺クロックが有効、かつキャッシュが無効		1.07	—		
	すべての周辺クロックが無効、かつキャッシュが無効(注2)		0.24	—		

- 注. 消費電流は、VCC と VRTC に流れ込む電流の合計です。消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。
- 注. BGO 動作は含まれません。
- 注. クロックソースは MOSC です。
- 注 1. ICC は、下記（基準データ）に示すように、 f (ICLK) に依存します。
 $ICC_{Typ.} = 0.47 \times f + 0.43$ （すべての周辺クロックが無効、かつキャッシュが無効のときの通常動作時）
- 注 2. PCLKA、PCLKB、PCLKC、および PCLKD は、64 分周 (15.625 kHz) に設定されています。

表 43.13 Subosc-speed モードでの電流

項目		シンボル	Typ	Max	単位	測定条件
通常モード	すべての周辺クロックが有効、かつキャッシュが無効。フラッシュメモリから While (1) コードを実行中。	ICC	18.44	—	μA	ICLK = 32.768 kHz PCLKA = 32.768 kHz PCLKB = 32.768 kHz PCLKC = 32.768 kHz PCLKD = 32.768 kHz FCLK = 32.768 kHz
	すべての周辺クロックが無効、かつキャッシュが無効。フラッシュメモリから While (1) コードを実行中。(注1)		9.86	—		
スリープモード	すべての周辺クロックが有効、かつキャッシュが無効		13.71	—		
	すべての周辺クロックが無効、かつキャッシュが無効(注1)		5.17	—		

注. 消費電流は、VCC と VRTC に流れ込む電流の合計です。消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS をオフ状態にした場合の値です。

注. BGO 動作は含まれません。

注. クロックソースは LOCO です。

注 1. PCLKA、PCLKB、PCLKC、および PCLKD は、64 分周 (512 Hz) に設定されています。

表 43.14 ソフトウェアスタンバイモードでの電流

項目		シンボル	Typ	Max	単位	測定条件
すべての SRAM (0x2000_00 00～0x2001_7FFF) がオン	Ta = 25 °C	ICC	1.79	—	μA	—
	Ta = 55 °C		5.82	—		
	Ta = 85 °C		22.1	—		
	Ta = 105 °C		50.7	—		
16 KB SRAM (0x2000_0000～0x2000_3FFF) のみがオン	Ta = 25 °C		1.73	—		

注. 消費電流値には、全端子からの出力充放電電流は含まれません。内部プルアップ MOS トランジスタが OFF 状態のとき、この値が適用されます。消費電流は、VCC と VRTC に流れ込む電流の合計です。

注. IWDT と LVD は動作していません。

注. RTC を動作させたい場合は、表 43.15 に示す値を加算してください。

表 43.15 RTC 動作による電流の増加

項目		シンボル	Typ	Max	単位	測定条件
SOSC(注1) (通常モード)	RTC (通常動作モード)	ICC	1.25	—	μA	SOMCR.SODRV[1:0] = 00b RCR4.ROPSEL = 0
	RTC (低消費電力クロックモード)		1.08	—		SOMCR.SODRV[1:0] = 00b RCR4.ROPSEL = 1
SOSC(注1) (低消費電力モード 3)	RTC (通常動作モード)		0.55	—		SOMCR.SODRV[1:0] = 11b RCR4.ROPSEL = 0
	RTC (低消費電力クロックモード)		0.38	—		SOMCR.SODRV[1:0] = 11b RCR4.ROPSEL = 1

注. 消費電流値には、全端子からの出力充放電電流は含まれません。内部プルアップ MOS トランジスタが OFF 状態のとき、この値が適用されます。消費電流は、VRTC に流れ込む合計電流です。

注 1. サブクロック発振器の電流を含みます。

表 43.16 アナログ電流 (1/2)

項目		シンボル	Typ	Max	単位	測定条件
アナログ電源電流	12 ビット A/D 変換中 (高速 A/D 変換モード時)	I _{AVCC0}	0.50	1	mA	—
	12 ビット A/D 変換中 (低消費電力 A/D 変換モード時)		0.27	0.8	mA	—
	12 ビット A/D 変換待機中(注1)		—	4	μA	—
基準電源電流 (VREFH0)	12 ビット A/D 変換中	I _{REFH0}	—	150	μA	—
	12 ビット A/D 変換待機中		—	0.30	μA	—

表 43.16 アナログ電流 (2/2)

項目	シンボル	Typ	Max	単位	測定条件
温度センサ (TSN) 動作電流	I_{TSN}	98	—	μA	—
LCD 動作電流	外部抵抗分割方式 ^(注2)	I_{LCD} ^(注3)	0.04	μA	$f_{LCD} = f_{SUB}$ (32.768 kHz) LCD クロック = 128 Hz (LCDC0 = 0x07) 1/3 バイアス、4 回スライス VCC = 3.0 V VL4 = 3.0 V
	内部電圧昇圧方式		0.68	μA	
	VL1 基準 VL1AMP が有効 (VLCD = 0x04)		0.62	μA	
	VL2 基準 VL2AMP が有効 (VLCD = 0x84)		0.12	μA	
	容量分割方式		0.63	μA	

注 1. MCU がソフトウェアスタンバイモードまたは MSTPCRD.MSTPD16 (ADC120 モジュールストップビット) がモジュールストップ状態の場合

注 2. 外部抵抗分割法を使用する場合に外部分割抵抗に流れ込む電流を含みません。

注 3. セグメント機能として 20 端子を設定、および全点滅。

図 43.2 に、ソフトウェアスタンバイモードにおける温度依存性を示します。

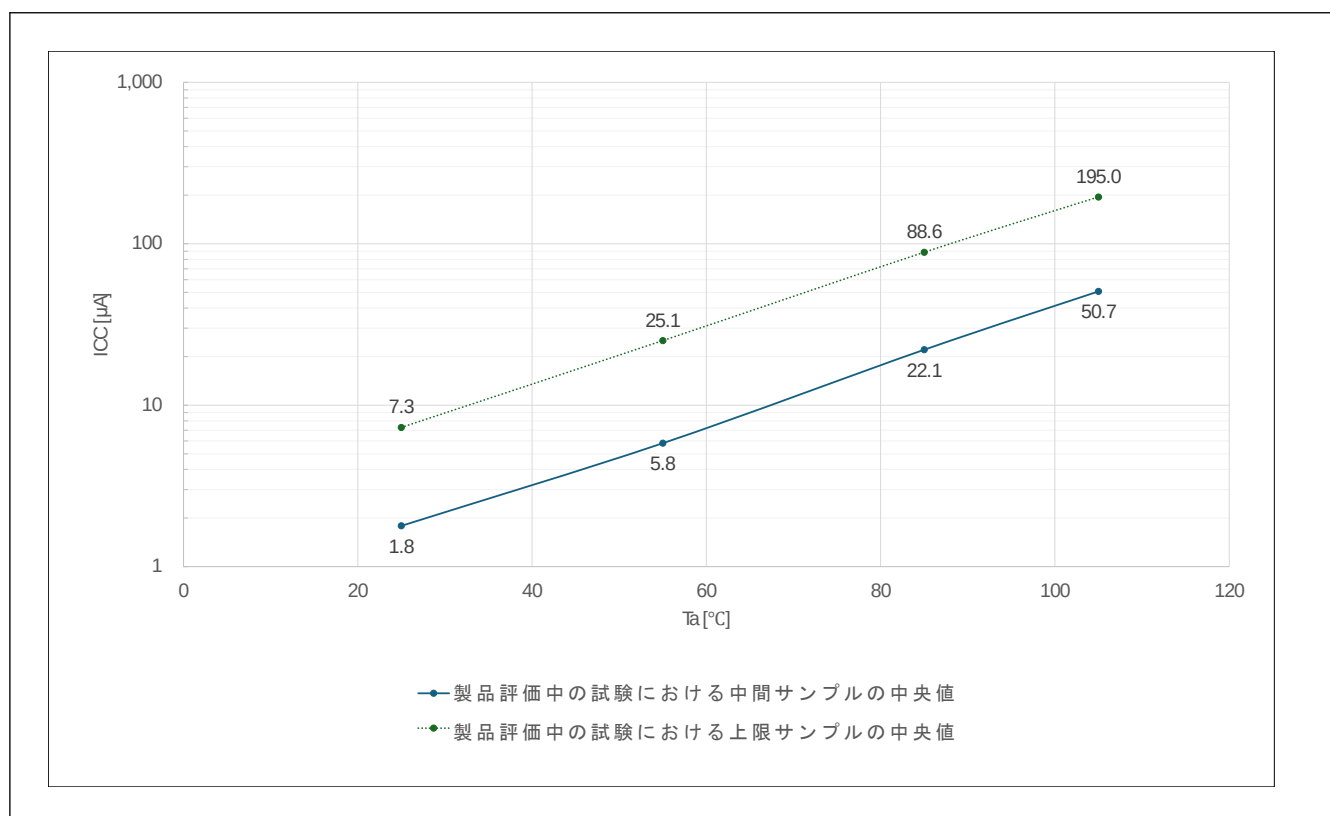


図 43.2 ソフトウェアスタンバイモードにおける温度依存性 (参考データ)

図 43.3 に、High-speed モードにおける周波数依存性を示します (参考データ)。

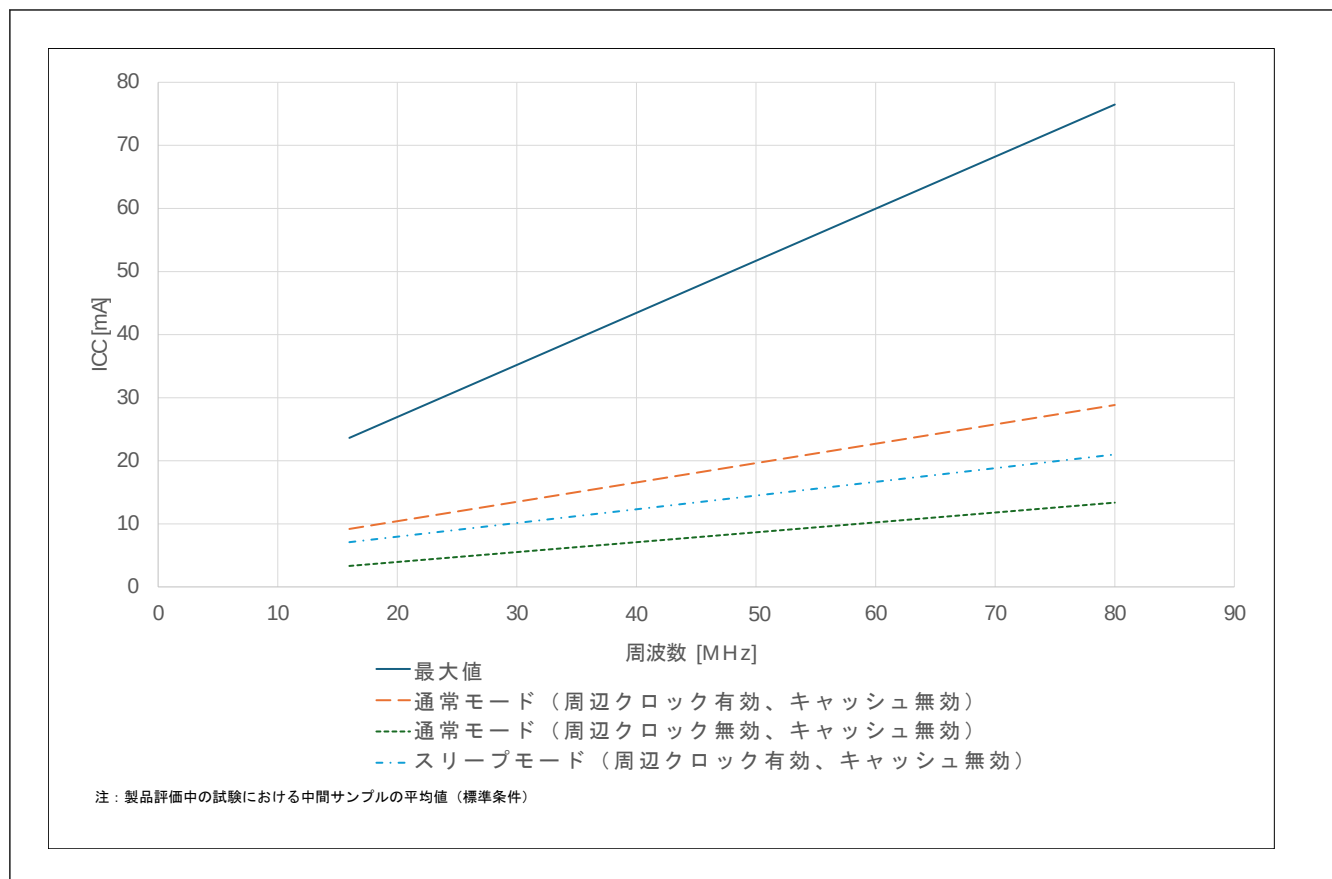


図 43.3 High-speed モードにおける周波数依存性（参考データ）

図 43.4 に、Middle-speed モードにおける周波数依存性を示します。

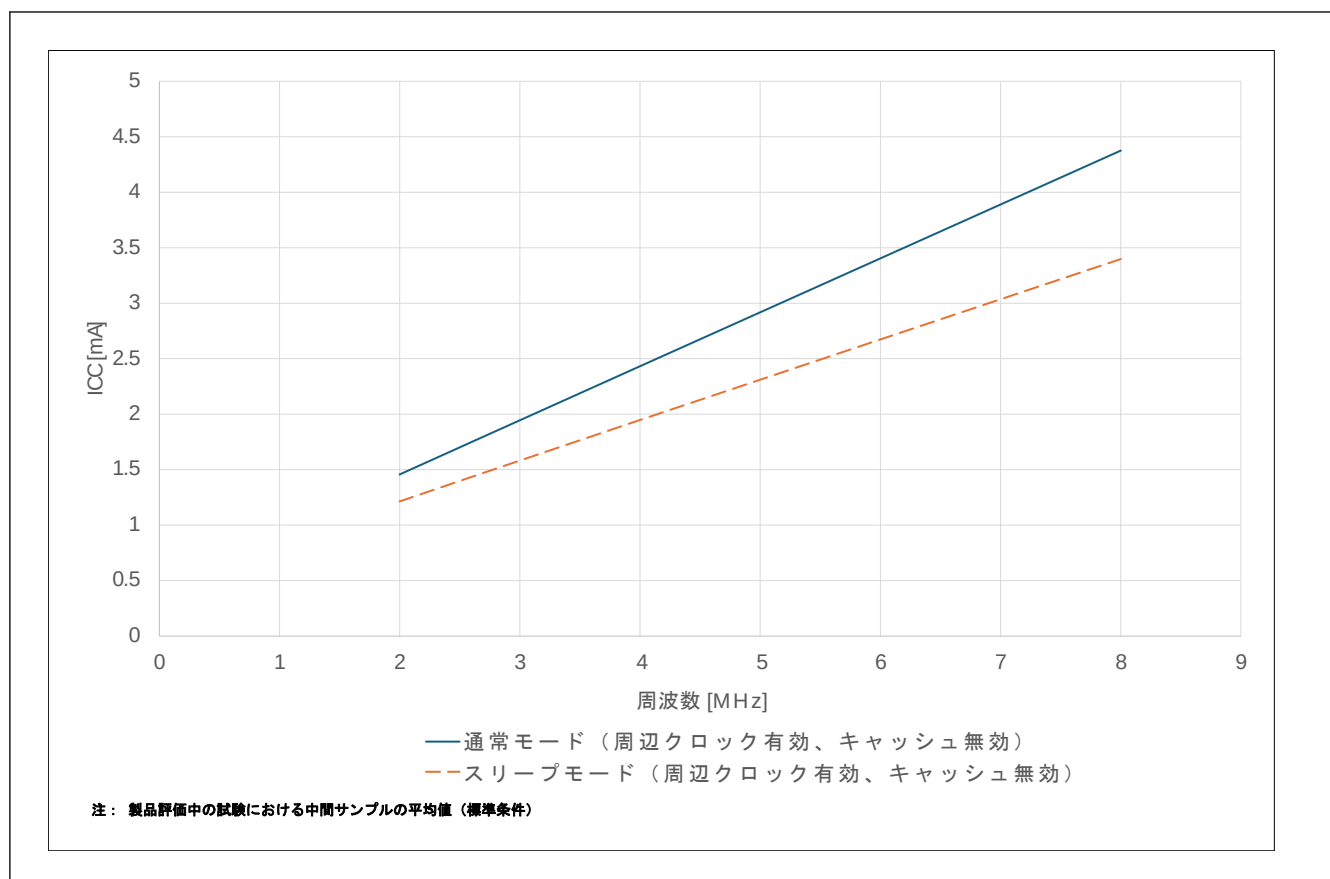


図 43.4 Middle-speed モードにおける周波数依存性 (参考データ)

43.2.6 VCC 立ち上がり／立ち下がり勾配とリップル周波数

表 43.17 立ち上がり／立ち下がり勾配の特性

条件：VCC = AVCC0 = 0~3.6 V

項目		シンボル	Min	Typ	Max	単位	測定条件
電源投入時の VCC 立ち上がり 勾配	起動時電圧監視 0 リセット無効	SrVCC	0.02	—	2	ms/V	—
	起動時電圧監視 0 リセット有効(注1)(注2)				—		
	SCI/SWD ブートモード(注2)				2		

注 1. OFS1.LVDAS = 0 のとき

注 2. ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧監視 0 からのリセットは無効です。

表 43.18 立ち上がり／立ち下がり勾配とリップル周波数特性

条件：VCC = AVCC0 = 1.6~3.6 V

リップル電圧は、VCC 上限 (3.6 V) と下限 (1.6 V) の範囲内で、許容リップル周波数 $f_r(VCC)$ を満たす必要があります。VCC 変動が $VCC \pm 10\%$ を超える場合は、許容電圧変動立ち上がり／立ち下がり勾配 $dt/dVCC$ を満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_r(VCC)$	—	—	10	kHz	図 43.5 $V_r(VCC) \leq VCC \times 0.2$
		—	—	1	MHz	図 43.5 $V_r(VCC) \leq VCC \times 0.08$
		—	—	10	MHz	図 43.5 $V_r(VCC) \leq VCC \times 0.06$
許容電圧変動立ち上がり／立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	VCC 変動が $VCC \pm 10\%$ を超える場合

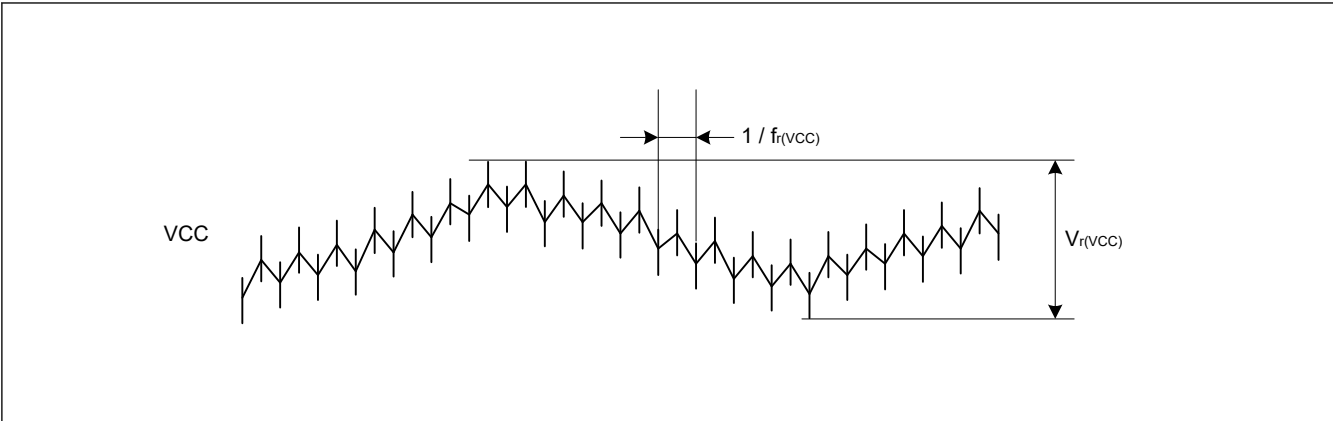


図 43.5 リップル波形

43.2.7 VRTC 立ち上がり／立ち下がり勾配

表 43.19 VRTC 立ち上がり／立ち下がり勾配の特性

条件：VRTC = 0～3.6 V

項目	シンボル	Min	Typ	Max	単位	測定条件
電源投入時の VRTC 立ち上がり勾配	SrVRTC	0.02	—	20	ms/V	—

43.2.8 熱特性

ジャンクション温度 (T_j) の最大値は、「43.2.1. T_j/T_a の定義」の値を超えないようにしてください。

T_j は、以下のいずれかの式で計算されます。

- $T_j = T_a + \theta_{ja} \times \text{総消費電力}$
- $T_j = T_t + \Psi_{jt} \times \text{総消費電力}$
T_j：ジャンクション温度 (°C)
T_a：周囲温度 (°C)
T_t：ケース上面中央部温度 (°C)
θ_{ja}：「ジャンクション」 - 「周囲」間の熱抵抗 (°C/W)
Ψ_{jt}：「ジャンクション」 - 「ケース上面中央部」間の熱抵抗 (°C/W)
- 総消費電力 = 電圧 × (リーク電流 + ダイナミック電流)
- IO のリーク電流 = Σ (IOL × VOL) / 電圧 + Σ (|IOH| × |VCC - VOH|) / 電圧
- IO のダイナミック電流 = Σ IO (C_{in} + C_{load}) × IO のスイッチング周波数 × 電圧
C_{in}：入力容量
C_{load}：出力容量

θ_{ja} と Ψ_{jt} については、表 43.20 を参照してください。

表 43.20 熱抵抗

項目	パッケージ	シンボル	値(注1)	単位	測定条件
熱抵抗	64 ピン LQFP	θ _{ja}	43.8	°C/W	JESD 51-2 および 51-7 準拠
	100 ピン LQFP		44.3		
	64 ピン LQFP	Ψ _{jt}	0.70	°C/W	JESD 51-2 および 51-7 準拠
	100 ピン LQFP		0.70		

注 1. 値は、4 層基板使用時の基準値です。熱抵抗は、基板の層数やサイズによって変わります。詳細は、JEDEC 規格を参照してください。

43.2.8.1 ICCmax の計算ガイド

表 43.21 に各ユニットの消費電力を示し、表 43.22 に各ユニットの動作の概要を示します。

表 43.21 各ユニットの消費電力

ダイナミック電流 ／リーク電流	MCU ドメイン	カテゴリ	項目	周波数 [MHz]	電流 [μ A/MHz]	電流 ^(注1) [mA]
リーク電流	アナログ	LDO およびリーク ^(注2)	Ta = 25 °C ^(注3)	—	—	2.54
			Ta = 55 °C ^(注3)	—	—	2.59
			Ta = 75 °C ^(注3)	—	—	2.68
			Ta = 85 °C ^(注3)	—	—	2.76
			Ta = 95 °C ^(注3)	—	—	2.88
			Ta = 105 °C ^(注3)	—	—	3.07
ダイナミック電流	CPU	フラッシュおよび SRAM との動作	Coremark 動作	80	271	21.7
	周辺ユニット	タイマ	GPT16 (4ch) ^(注4)	80	18.7	1.49
			GPT32 (2ch) ^(注4)	80	10.8	0.86
			POEG (4 グループ) ^(注4)	40	4.82	0.19
			AGT (2ch) ^(注4)	40	8.03	0.32
			RTC ^(注6)	40	4.54	0.18
			WDT	40	2.36	0.09
			IWDT	40	0.78	0.03
		通信インターフェース	SCI (6ch) ^(注4)	80	47.8	3.82
			IrDA ^(注5)	80	7.88	0.63
			IIC (2ch) ^(注4)	40	10.2	0.41
			CANFD	40	19.0	0.76
			SPI (3ch) ^(注4)	80	27.6	2.21
			QSPI	80	5.99	0.48
			UARTA (2ch) ^(注4)	40	15.3	0.61
		アナログ	ADC12	80	6.26	0.50
		ヒューマンマシン インターフェース	SLCDC	40	7.96	0.32
		イベントリンク	ELC	40	2.01	0.08
		セキュリティ	RSIP-E31A	40	488	19.5
		データ処理	CRC	80	5.64	0.45
			DOC	80	0.79	0.06
		システム	CAC	40	2.88	0.12
		DMA	DMAC (1ch あたり)	80	23.6	1.89
			DTC	80	22.3	1.78

注 1. 値は設計によって保証されています。

注 2. LDO およびリークは、内部電圧レギュレータの電流と、MCU のリーク電流です。これは、Ta の温度に従って選択されます。

注 3. 電流測定のため、 $\Delta(T_j - T_a) = 20\text{ }^{\circ}\text{C}$ とみなされます。

注 4. チャンネルごと、グループごと、またはユニットごとの消費電流を求めるには、電流[mA]をチャンネル数、グループ数、またはユニット数で割ります。

注 5. SCI の 1 チャンネルの電流を含みます。

注 6. VRTC 電源に流れる RTC 動作電流です。

表 43.22 各ユニットの動作の概要

周辺機能	動作の概要
GPT	動作モードが、のこぎり波 PWM モードに設定されています。GPT が PCLKD で動作しています。
POEG	モジュールストップビットのクリアのみを行います。
AGT	AGT が PCLKB で動作しています。
RTC	RTC が SOSC で動作しています。
WDT	WDT が PCLKB で動作しています。
IWDT	IWDT が IWDTCLK で動作しています。
SCI	SCI がクロック同期式モードでデータを送信しています。
IrDA	SCI がクロック調歩同期式モードでデータを送信しています。IrDA はモジュールストップビットのクリアのみを行います。
IIC	通信フォーマットは I2C バスフォーマットになります。IIC がマスタモードでデータを送信しています。
CANFD	CANFD がセルフテストモード 1 でデータを送受信しています。
SPI	SPI モードが SPI 動作 (4 線式) に設定されています。SPI マスタ/スレーブモードがマスタモードに設定されています。SPI が 32 ビット幅のデータを送信しています。
QSPI	QSPI がファストリード Quad I/O 命令を発行しています。
UARTA	UARTA が 8 ビット幅のデータを送信しています。
ADC12	分解能は 12 ビット精度に設定されます。データレジスタが A/D 変換値加算モードに設定されています。ADC12 がアナログ入力を連続スキャンモードで変換しています。
SLCDC	SLCDC は、波形 A、1/2 バイアス方式、2 タイムスライス、および外部抵抗分割方式で動作しています。
ELC	モジュールストップビットのクリアのみを行います。
RSPI-E31A	RSIP はセルフテスト動作を実行しています。
CRC	CRC が 32 ビット CRC32-C 多項式を使用して CRC コードを生成しています。
DOC	DOC がデータ比較モードで動作しています。
CAC	測定対象クロックが PCLKB に設定されています。測定基準クロックが PCLKB に設定されています。CAC がクロック周波数精度を測定しています。
DMAC	転送データのビット長が 32 ビットに設定されています。転送モードがブロック転送モードに設定されています。DMAC が SRAM0 から SRAM0 にデータを転送しています。
DTC	転送データのビット長が 32 ビットに設定されています。転送モードがブロック転送モードに設定されています。DTC が SRAM0 から SRAM0 にデータを転送しています。

43.3 AC 特性

43.3.1 周波数

表 43.23 High-speed 動作モードの動作周波数

条件 : VCC = AVCC0 = 1.6~3.6 V

項目			シンボル	Min	Typ	Max(注5)	単位
動作周波数	システムクロック (ICLK)(注1)(注2)(注4)	1.8~3.6 V	f	0.03277	—	80(注6)	MHz
		1.6~1.8 V		0.03277	—	4	
	周辺モジュールクロック (PCLKA)(注4)	1.8~3.6 V		—	—	80(注6)	
		1.6~1.8 V		—	—	4	
	周辺モジュールクロック (PCLKB)(注4)	1.8~3.6 V		—	—	40	
		1.6~1.8 V		—	—	4	
	周辺モジュールクロック (PCLKC)(注3)(注4)	1.8~3.6 V		—	—	48	
		1.6~1.8 V		—	—	4	
	周辺モジュールクロック (PCLKD)(注4)	1.8~3.6 V		—	—	80(注6)	
		1.6~1.8 V		—	—	4	
	FlashIF クロック (FCLK)(注4)	1.8~3.6 V		—	—	48	
		1.6~1.8 V		—	—	4	

注. ICLK が 8 MHz 未満のときは LDOCR.CHG0 に 0 を設定し、8 MHz 以上のときは 1 を設定します。

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 3. ADC12 使用時の PCLKD の下限周波数は 1 MHz です。

注 4. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、および FCLK の周波数関係については「8. クロック発生回路」を参照してください。

注 5. 動作周波数の最高値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 43.27 を参照してください。

注 6. これは Tj = 105 °C のときの条件です。Tj = 125 °C のときの仕様は 79.2 MHz です。

表 43.24 Middle-speed モードの動作周波数

条件 : VCC = AVCC0 = 1.6~3.6 V

項目			シンボル	Min	Typ	Max(注5)	単位
動作周波数	システムクロック (ICLK)(注1)(注2)(注4)	1.8~3.6 V	f	0.03277	—	8	MHz
		1.6~1.8 V		0.03277	—	4	
	周辺モジュールクロック (PCLKA)(注4)	1.8~3.6 V		—	—	8	
		1.6~1.8 V		—	—	4	
	周辺モジュールクロック (PCLKB)(注4)	1.8~3.6 V		—	—	8	
		1.6~1.8 V		—	—	4	
	周辺モジュールクロック (PCLKC)(注3)(注4)	1.8~3.6 V		—	—	8	
		1.6~1.8 V		—	—	4	
	周辺モジュールクロック (PCLKD)(注4)	1.8~3.6 V		—	—	8	
		1.6~1.8 V		—	—	4	
	FlashIF クロック (FCLK)(注4)	1.8~3.6 V		—	—	8	
		1.6~1.8 V		—	—	4	

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 3. ADC12 使用時の PCLKC の下限周波数は 1 MHz です。

注 4. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、および FCLK の周波数関係については「8. クロック発生回路」を参照してください。

注 5. 動作周波数の最高値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 43.27 を参照してください。

表 43.25 Low-speed モードの動作周波数

条件 : VCC = AVCC0 = 1.6~3.6 V

項目			シンボル	Min	Typ	Max(注5)	単位
動作周波数	システムクロック (ICLK)(注1)(注2)(注4)	1.6~3.6 V	f	0.03277	—	1	MHz
	周辺モジュールクロック (PCLKA)(注4)	1.6~3.6 V		—	—	1	
	周辺モジュールクロック (PCLKB)(注4)	1.6~3.6 V		—	—	1	
	周辺モジュールクロック (PCLKC)(注3)(注4)	1.6~3.6 V		—	—	1	
	周辺モジュールクロック (PCLKD)(注4)	1.6~3.6 V		—	—	1	
	FlashIF クロック (FCLK)(注4)	1.6~3.6 V		—	—	1	

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 3. ADC12 使用時の PCLKC の下限周波数は 1 MHz です。

注 4. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、および FCLK の周波数関係については「8. クロック発生回路」を参照してください。

注 5. 動作周波数の最高値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 43.27 を参照してください。

表 43.26 Subosc-speed モードの動作周波数

条件 : VCC = AVCC0 = 1.6~3.6 V

項目			シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK)(注1)(注3)	1.6~3.6 V	f	27.8528	32.768	37.6832	kHz
	周辺モジュールクロック (PCLKA)	1.6~3.6 V		—	—	37.6832	
	周辺モジュールクロック (PCLKB)(注3)	1.6~3.6 V		—	—	37.6832	
	周辺モジュールクロック (PCLKC)	1.6~3.6 V		—	—	37.6832	
	周辺モジュールクロック (PCLKD)(注2)(注3)	1.6~3.6 V		—	—	37.6832	
	FlashIF クロック (FCLK)(注3)	1.6~3.6 V		—	—	37.6832	

注 1. フラッシュメモリのプログラムおよびイレースはできません。

注 2. ADC12 は使用できません。

注 3. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、および FCLK の周波数関係については「8. クロック発生回路」を参照してください。

43.3.2 クロックタイミング

表 43.27 クロックタイミング (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
EXTAL 外部クロック入力サイクル時間	t _{Xcyc}	50	—	—	ns	図 43.6
EXTAL 外部クロック入力 High レベルパルス幅	t _{xH}	20	—	—	ns	
EXTAL 外部クロック入力 Low レベルパルス幅	t _{xL}	20	—	—	ns	
EXTAL 外部クロック立ち上がり時間	t _{xr}	—	—	5	ns	
EXTAL 外部クロック立ち下がり時間	t _{xf}	—	—	5	ns	
EXTAL 外部クロック入力待機時間(注1)	t _{EXWT}	0.3	—	—	μs	—
EXTAL 外部クロック入力周波数	f _{EXTAL}	—	—	20	MHz	1.8 ≤ VCC ≤ 3.6
		—	—	4		1.6 ≤ VCC < 1.8
メインクロック発振器発振周波数	f _{MAIN}	1	—	20	MHz	1.8 ≤ VCC ≤ 3.6
		1	—	4		1.6 ≤ VCC < 1.8
LOCO クロック発振周波数	f _{LOCO}	27.853	32.77	37.683	kHz	—
LOCO クロック発振安定時間	t _{LOCO}	—	—	100	μs	図 43.7
IWDT 専用クロック発振周波数	f _{ILOCO}	12.75	15	17.25	kHz	—

表 43.27 クロックタイミング (2/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
MOCO クロック発振周波数	f_{MOCO}	6.8	8	9.2	MHz	—
MOCO クロック発振安定時間	t_{MOCO}	—	—	1	μs	—
HOCO クロック発振周波数	f_{HOCO24}	23.76	24	24.24	MHz	—
	f_{HOCO32}	31.68	32	32.32		—
	f_{HOCO40}	39.6	40	40.4		—
	f_{HOCO48}	47.52	48	48.48		—
	f_{HOCO64}	63.36	64	64.64		—
	f_{HOCO80}	79.2	80	80.8		—
HOCO クロック発振安定時間(注3)	t_{HOCO}	—	1.9	—	μs	図 43.8
PLL クロック周波数	f_{PLL}	24	—	80	MHz	—
PLL クロック発振安定時間	t_{PLL}	—	—	70	μs	図 43.9
PLL_RTC クロック周波数	f_{PLLRTC}	—	26	—	MHz	—
PLL_RTC クロック発振安定時間	t_{PLLRTC}	—	—	10	ms	図 43.10
サブクロック発振器発振周波数(注4)	f_{SUB}	—	32.77	—	kHz	—
サブクロック発振安定時間(注2)	t_{SUBOSC}	—	0.5	—	s	図 43.11

注 1. 外部クロックが安定しているとき、メインクロック発振器停止ビット (MOSCCR.MOSTP) を 0 (動作中) にしてからクロックが使用できるようになるまでの時間

注 2. サブクロック発振器の動作を開始するために SOSCCR.SOSTP ビットの設定を変更したら、サブクロック発振器の使用は必ずサブクロック発振安定時間が経過してから開始してください。サブクロック発振安定待ち時間は発振器製造者の推奨値を使用してください。

注 3. リセット状態の解除から HOCO 発振周波数 (f_{HOCO}) が動作保証範囲に達するまでの時間です。

注 4. サブクロック発振器の電源は VRTC です。

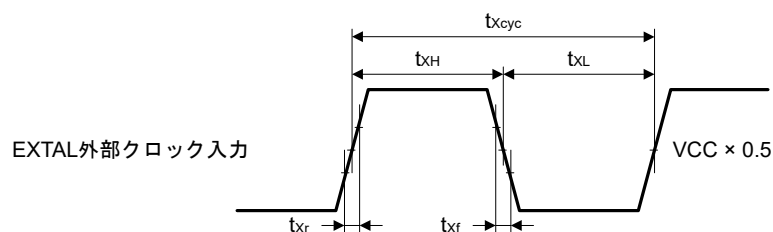


図 43.6 EXTERNAL 外部クロック入力タイミング

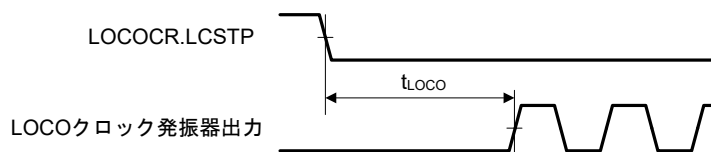


図 43.7 LOCO クロック発振開始タイミング

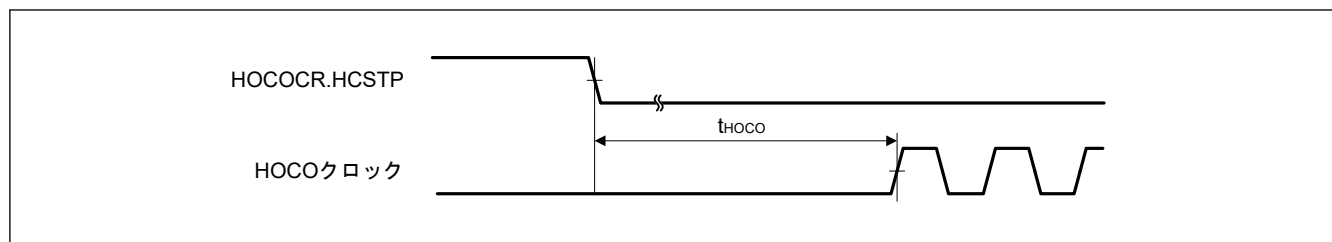


図 43.8 HOCO クロック発振開始タイミング (HOCOCR.HCSTP ビット設定により開始)

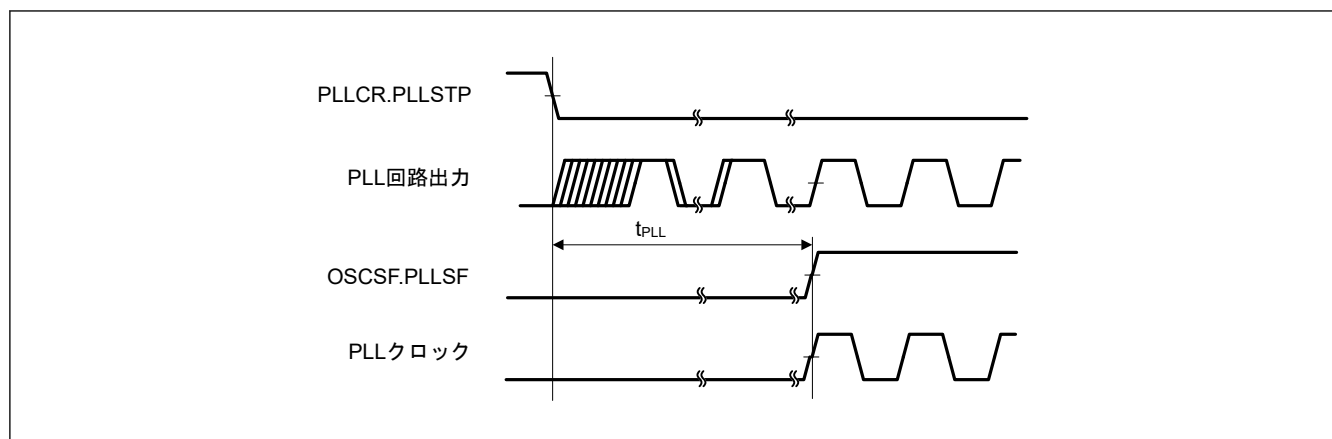


図 43.9 PLL クロック発振開始タイミング (メインクロックの発振安定後に PLL が動作)

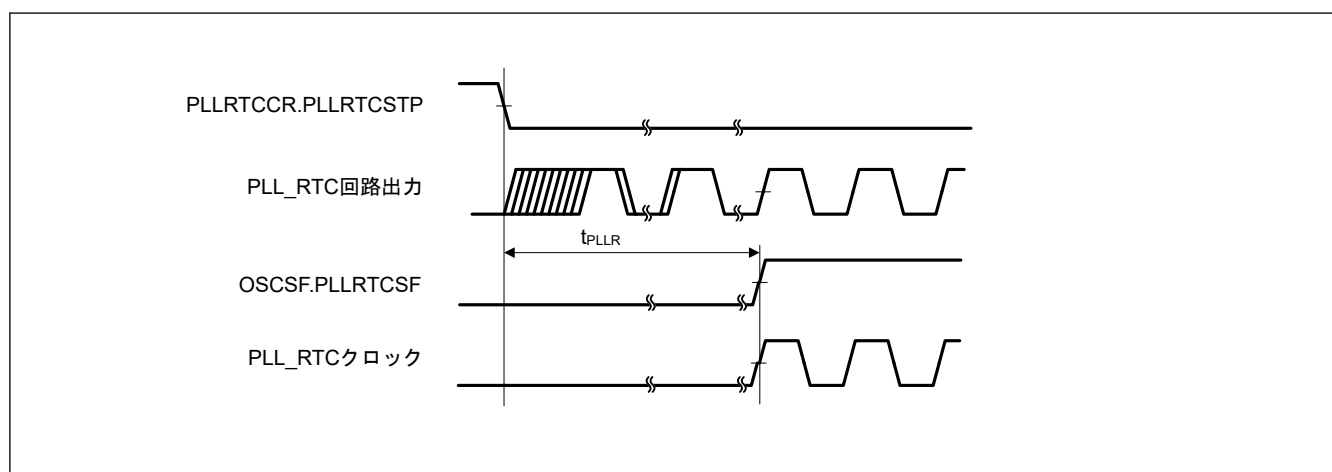


図 43.10 PLL_RTC クロック発振開始タイミング (サブクロックの発振安定後に PLL_RTC が動作)

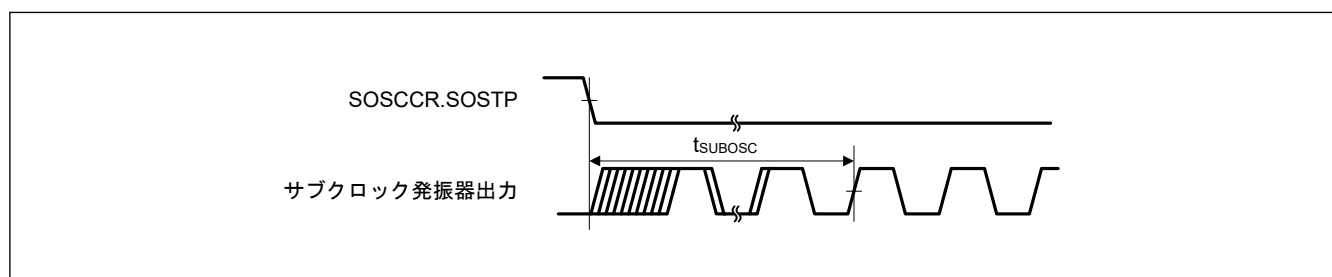


図 43.11 サブクロック発振開始タイミング

43.3.3 リセットタイミング

表 43.28 リセットタイミング

項目		シンボル	Min	Typ	Max	単位	測定条件
RES パルス幅	電源投入時	t_{RESWP}	13	—	—	ms	図 43.12
	電源投入時以外	t_{RESW}	30	—	—	μs	図 43.13
RES 解除後の待機時間（電源投入時）	LVD0 有効(注1)	t_{RESWT}	—	1.0	—	ms	図 43.12
	LVD0 無効(注2)		—	0.3	—		
RES 解除後の待機時間（電源投入中）	LVD0 有効(注1)	t_{RESWT2}	—	0.9	—	ms	図 43.13
	LVD0 無効(注2)		—	0.2	—		
内部リセット解除後の待機時間（IWDTRリセット、WDTリセット、RAMパリティエラーリセット、RAM ECCエラーリセット、バスマスタ MPU エラーリセット、TrustZone エラーリセット、キャッシュパリティエラーリセット、ソフトウェアリセット）	LVD0 有効(注1)	t_{RESWT3}	—	0.9	—	ms	図 43.14
	LVD0 無効(注2)		—	0.2	—		

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

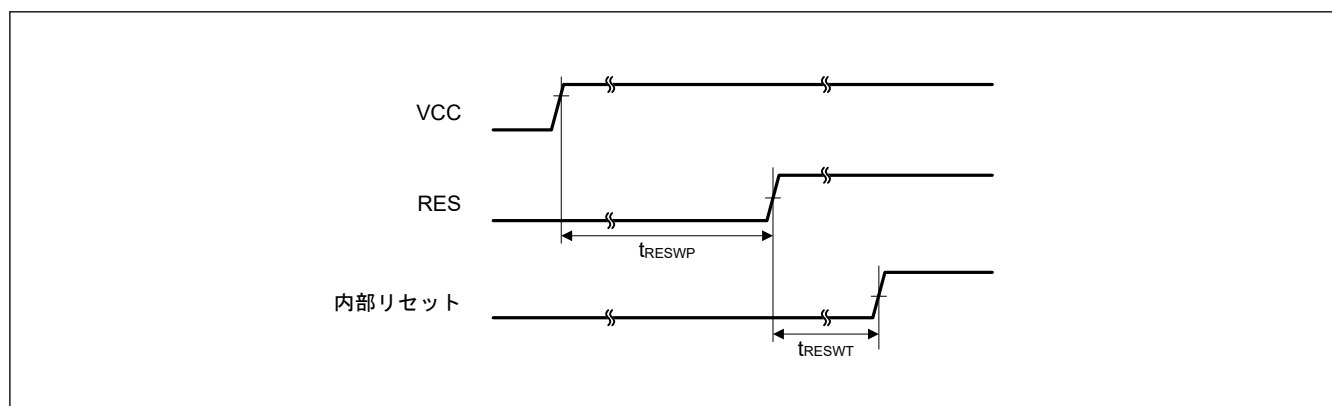


図 43.12 電源投入時リセット入力タイミング

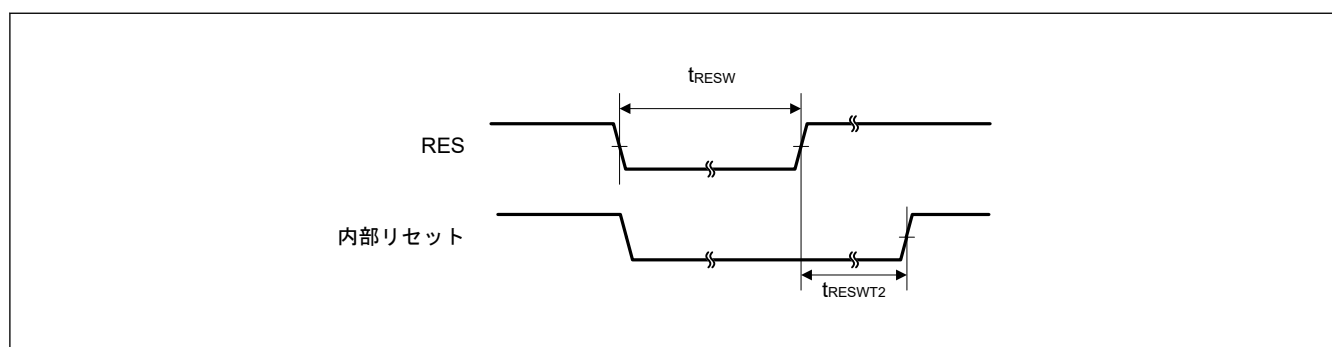


図 43.13 リセット入力タイミング (1)

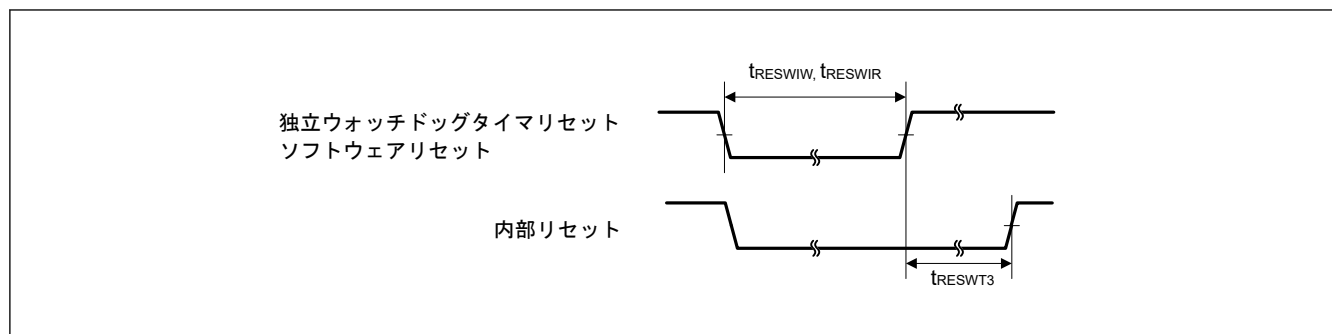


図 43.14 リセット入力タイミング (2)

43.3.4 ウェイクアップ時間

表 43.29 低消費電力モードからの復帰タイミング (1)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	High-speedモード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (20 MHz)(注2)(注4)	t_{SBYMC}	—	2.1	2.7	ms	図 43.15
			システムクロックソースはメインクロック発振器を使用した PLL (48 MHz)(注2)(注5)	t_{SBYPC}	—	2.1	2.8	ms	
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (20 MHz)(注3)(注4)	t_{SBYEX}	—	8.5	11	μ s	
			システムクロックソースはメインクロック発振器を使用した PLL (48 MHz)(注3)(注5)	t_{SBYEX}	—	66	85	μ s	
		システムクロックソースは HOCO (HOCO クロックは 32 MHz) (注6)		t_{SBYHO}	—	13.5	17.8	μ s	
		システムクロックソースは HOCO (HOCO クロックは 48 MHz) (注5)		t_{SBYHO}	—	13.2	17.5	μ s	
		システムクロックソースは MOCO (8 MHz)(注7)		t_{SBYMO}	—	3.5	5.1	μ s	

注 1. ICLK、FCLK、および PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x05 です。

注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x00 です。

注 4. ICLK は 20 MHz です。

注 5. ICLK は 48 MHz です。

注 6. ICLK は 32 MHz です。

注 7. ICLK は 8 MHz です。

表 43.30 低消費電力モードからの復帰タイミング (2)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	Middle-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (20 MHz)(注2) (注4)	t _{SBYMC}	—	2.1	2.7	ms	図 43.15
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (20 MHz)(注3) (注4) VCC = 1.8~3.6 V	t _{SBYEX}	—	6	7.4	μs	
			システムクロックソースはメインクロック発振器 (4 MHz)(注3) (注5) VCC = 1.6~1.8 V		—	7.3	8.8	μs	
		システムクロックソースは HOCO (32 MHz)(注4)	VCC = 1.8~3.6 V(注6)	t _{SBYHO}	—	10	13	μs	
			VCC = 1.6~1.8 V(注7)		—	13	16		
		システムクロックソースは MOCO (8 MHz)	VCC = 1.8~3.6 V(注8)	t _{SBYMO}	—	3.5	5.1	μs	
VCC = 1.6~1.8 V(注9)	—		6.3		8.7				

注 1. ICLK、FCLK、および PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x05 です。

注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x00 です。

注 4. ICLK は 5 MHz (20 MHz/4) です。

注 5. ICLK は 4 MHz です。

注 6. ICLK は 8 MHz (32 MHz/4) です。

注 7. ICLK は 4 MHz (32 MHz/8) です。

注 8. ICLK は 8 MHz です。

注 9. ICLK は 4 MHz (8 MHz/2) です。

表 43.31 低消費電力モードからの復帰タイミング (3)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 ^(注1)	Low-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (20 MHz) ^(注2) (注4)	t _{SBYMC}	—	2.1	2.7	ms	図 43.15
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (20 MHz) ^(注3) (注4)	t _{SBYEX}	—	41	46	μs	
		システムクロックソースは MOCO (8 MHz) ^(注5)		t _{SBYMO}	—	23	30	μs	

注 1. ICLK、FCLK、および PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x05 です。

注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 0x00 です。

注 4. ICLK は 0.625 MHz (20/32 MHz) です。

注 5. ICLK は 1 MHz (8 MHz/8) です。

表 43.32 低消費電力モードからの復帰タイミング (4)

項目			シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	Subosc-speed モード	システムクロックソースはサブクロック発振器 (32.768 kHz)	t _{SBYSC}	—	0.8	0.9	ms	図 43.15
		システムクロックソースは LOCO (32.768 kHz)	t _{SBYLO}	—	0.8	1	ms	

注 1. Subosc-speed モードでは、サブクロック発振器または LOCO はソフトウェアスタンバイモードでも引き続き発振します。

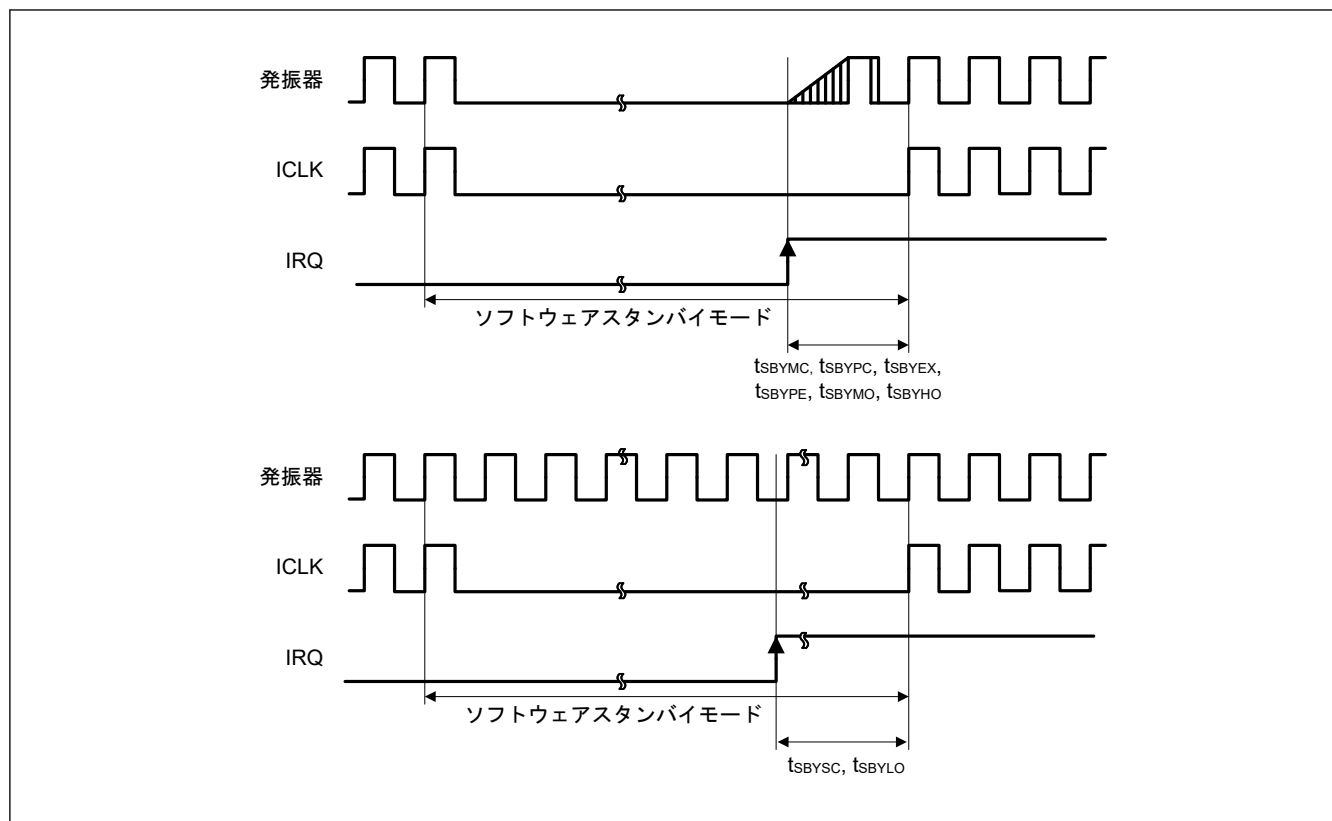


図 43.15 ソフトウェアスタンバイモード解除タイミング

表 43.33 低消費電力モードからの復帰タイミング (5)

項目		シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	High-speed モード システムクロックソースは HOCO (32 MHz)(注1)	t_{SNZ}	—	7.4	9.3	μs	図 43.16
	Middle-speed モード システムクロックソースは HOCO (24 MHz)(注2) VCC = 1.8~3.6 V	t_{SNZ}	—	8.3	10.4	μs	
	Middle-speed モード システムクロックソースは HOCO (24 MHz)(注3) VCC = 1.6~1.8 V	t_{SNZ}	—	9.5	11.8	μs	
	Low-speed モード システムクロックソースは MOCO (8 MHz)(注4)	t_{SNZ}	—	11.8	15.6	μs	

注 1. ICLK は 32 MHz です。

注 2. ICLK は 8 MHz (24 MHz/4) です。

注 3. ICLK は 4 MHz (24 MHz/8) です。

注 4. ICLK は 1 MHz (8 MHz/8) です。

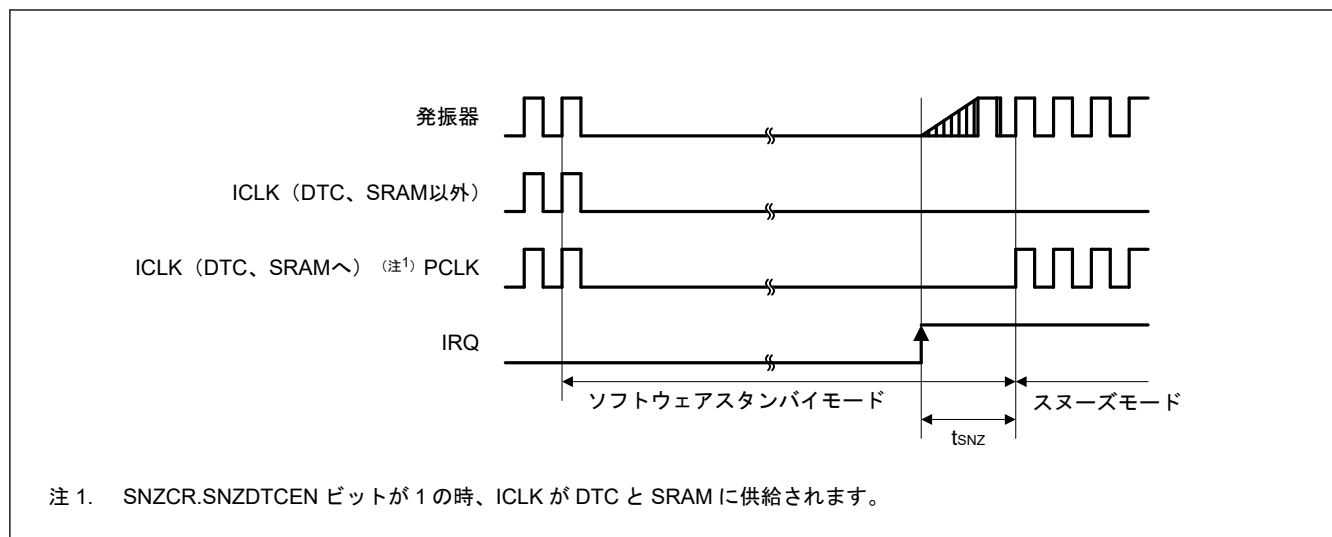


図 43.16 ソフトウェアスタンバイモードからスリープモードへの復帰タイミング

43.3.5 NMI/IRQ ノイズフィルタ

表 43.34 NMI/IRQ ノイズフィルタ

項目	シンボル	Min	Typ	Max	単位	測定条件
NMI パルス幅	t_{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効
		$t_{Pcyc} \times 2$ (注1)	—	—		$t_{Pcyc} \times 2 > 200$ ns
		200	—	—		NMI デジタルフィルタ有効
		$t_{NMICK} \times 3.5$ (注2)	—	—		$t_{NMICK} \times 3 > 200$ ns
IRQ パルス幅	t_{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効
		$t_{Pcyc} \times 2$ (注1)	—	—		$t_{Pcyc} \times 2 > 200$ ns
		200	—	—		IRQ デジタルフィルタ有効
		$t_{IRQCK} \times 3.5$ (注3)	—	—		$t_{IRQCK} \times 3 > 200$ ns

注. ソフトウェアスタンバイモード時は最小 200 ns です。

注. クロックソースを切り替える場合、切り替えられるクロックソースの 4 クロックサイクルを足す必要があります。

注 1. t_{Pcyc} は PCLKB の周期を意味します。

注 2. t_{NMICK} は、NMI デジタルフィルタサンプリングクロックの周期を意味します。

注 3. t_{IRQCK} は、IRQ_i デジタルフィルタサンプリングクロックの周期を示します (i = 0~7)。

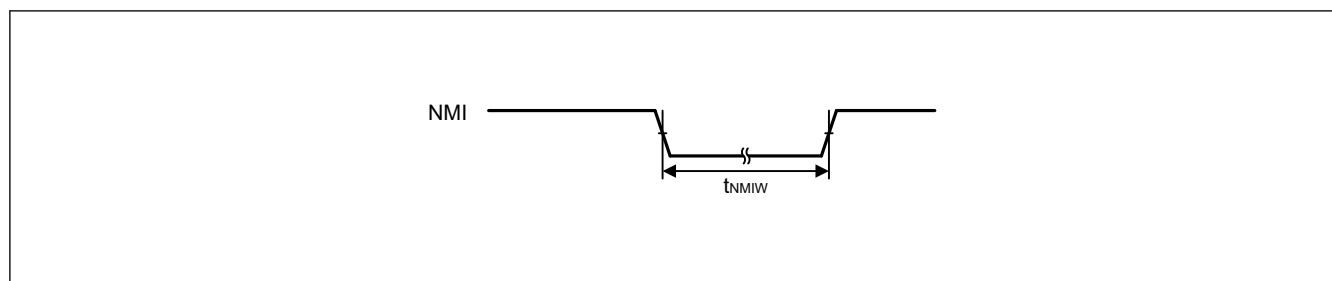


図 43.17 NMI 割り込み入力タイミング

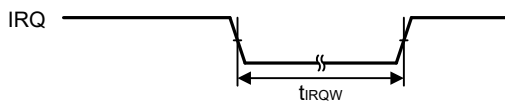


図 43.18 IRQ 割り込み入力タイミング

43.3.6 I/O ポート、POEG、GPT、AGT、ADC12 のトリガタイミング

表 43.35 I/O ポート、POEG、GPT、AGT、ADC12 のトリガタイミング

項目			シンボル	Min	Max	単位	測定条件
I/O ポート	入力データパルス幅	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{PRW}	2	—	t_{Pcyc}	図 43.19
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		3	—		
		$1.6\text{ V} \leq \text{VCC} < 2.4\text{ V}$		4	—		
POEG	POEG 入力トリガパルス幅		t_{POEW}	3	—	t_{Pcyc}	図 43.20
GPT	インプットキャプチャパルス幅	単エッジ	t_{GTICW}	1.5	—	t_{PDcyc}	図 43.21
		両エッジ		2.5	—		
AGT	AGTIO、AGTEE 入力サイクル	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{ACYC} (注1)	250	—	ns	図 43.22
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		2000	—	ns	
	AGTIO、AGTEE 入力 High レベル幅、Low レベル幅	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{ACKWH}	100	—	ns	
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	t_{ACKWL}	800	—	ns	
	AGTIO、AGTO、AGTOA、AGTOB 出力サイクル	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{ACYC2}	62.5	—	ns	図 43.22
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		125	—	ns	
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		250	—	ns	
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		500	—	ns	
ADC12	12 ビット A/D コンバータトリガ入力パルス幅		t_{TRGW}	1.5	—	t_{Pcyc}	図 43.23

注 1. AGTIO 入力の制約: $t_{\text{Pcyc}} \times 2$ (t_{Pcyc} : PCLKB サイクル) $< t_{\text{ACYC}}$

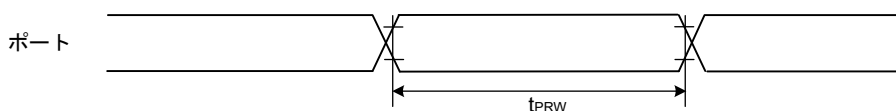


図 43.19 I/O ポート入力タイミング

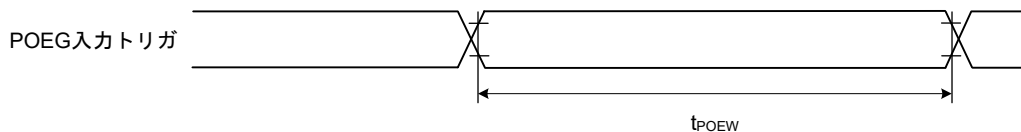


図 43.20 POEG 入力トリガタイミング

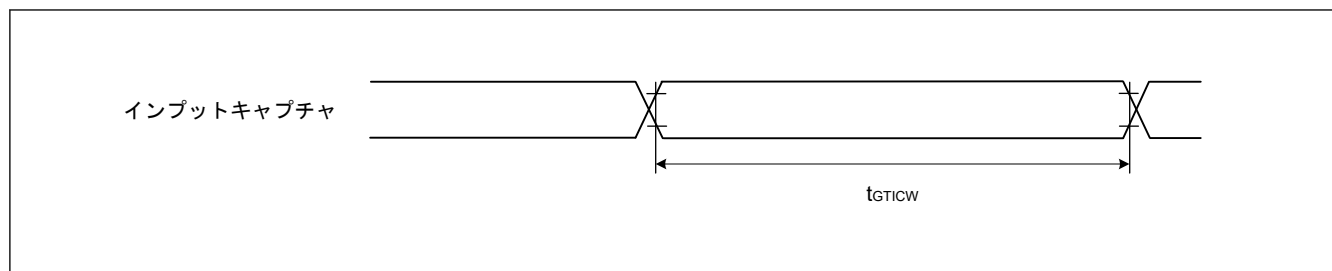


図 43.21 GPT インプットキャプチャタイミング

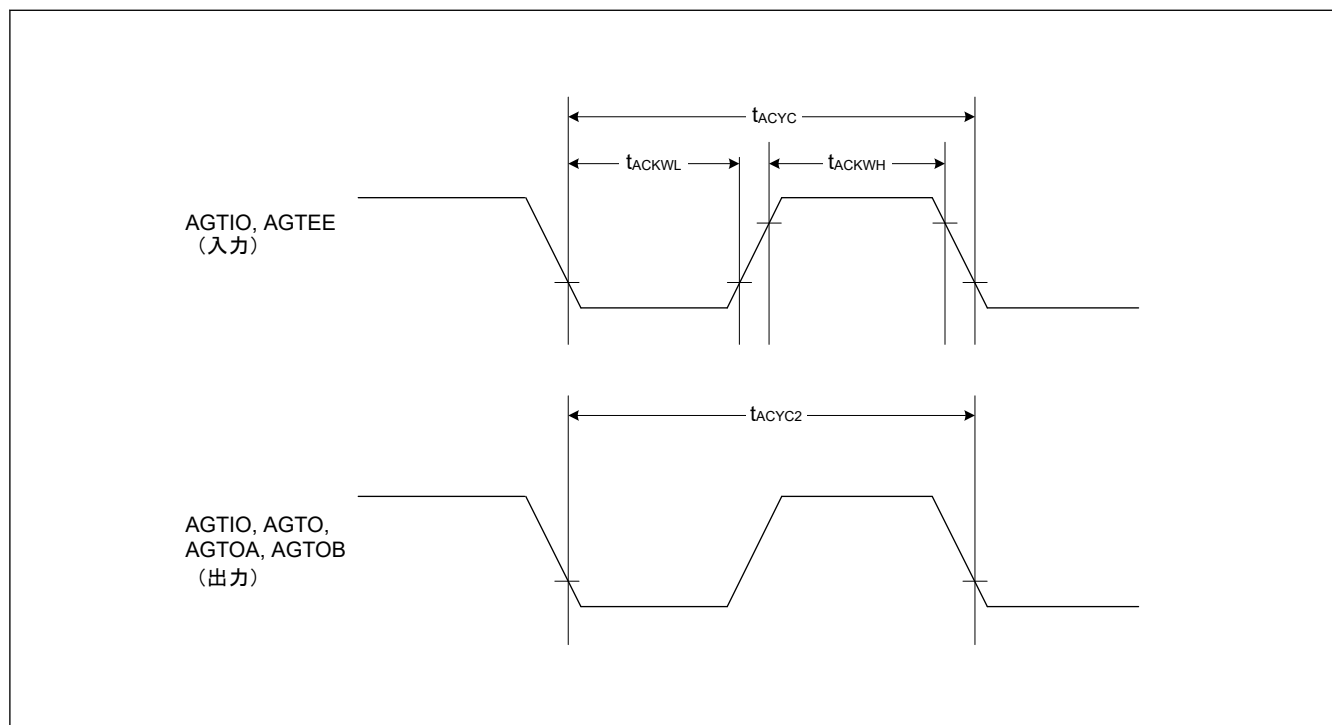


図 43.22 AGT I/O タイミング

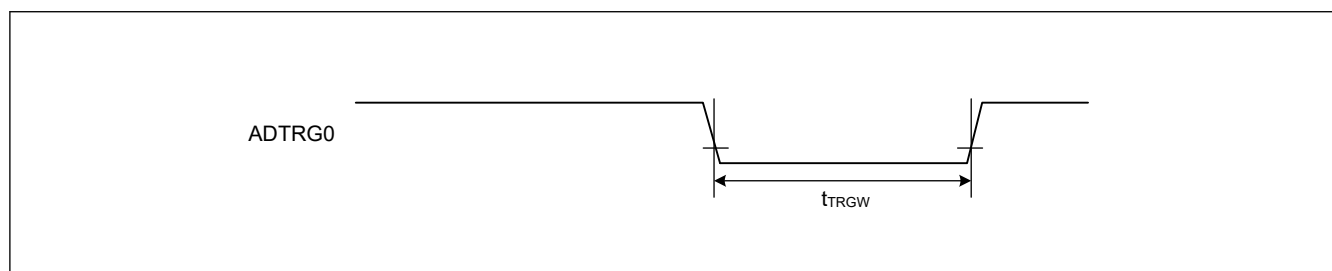


図 43.23 ADC12 トリガ入力タイミング

43.3.7 CAC タイミング

表 43.36 CAC タイミング

項目		シンボル	Min	Typ	Max	単位	測定条件
CACREF 入力パルス幅	$t_{PBcyc} \leq t_{CAC}$ (注1)	t_{CACREF}	$4.5 \times t_{CAC} + 3 \times t_{PBcyc}$	—	—	ns	—
	$t_{PBcyc} > t_{CAC}$ (注1)		$5 \times t_{CAC} + 6.5 \times t_{PBcyc}$	—	—	ns	

注. t_{PBcyc} : PCLKB の周期注 1. t_{CAC} : CAC カウントクロックソースの周期

43.3.8 SCI タイミング

表 43.37 SCI タイミング (1) (1/2)

条件 : VCC = AVCC0 = 1.6~3.6 V

項目				シンボル	Min	Max	単位	測定条件	
SCI	入力クロックサイ クル	調歩同期式	$2.7\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	t_{Scyc}	75	—	ns	図 43.24	
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		150	—			
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		300	—			
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		1000	—			
		クロック同期式	$2.7\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$		100	—			
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		200	—			
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		400	—			
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		1500	—			
	入力クロックパルス幅			t_{SCKW}	0.4	0.6	t_{Scyc}		
	入力クロック立ち上がり時間			t_{SCKr}	—	10	ns		
	入力クロック立ち下がり時間			t_{SCKf}	—	10	ns		
	出力クロックサイ クル	調歩同期式	$2.7\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	t_{Scyc}	75 (SCI1 以外) 100 (SCI1)	—	ns		
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		150 (SCI1 以外) 200 (SCI1)	—			
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		300 (SCI1 以外) 400 (SCI1)	—			
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		1500 (SCI1 以外) 2000 (SCI1)	—			
		クロック同期式	$1.8\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$		75	—			
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		150	—			
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		300	—			
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		1000	—			
	出力クロックパルス幅			t_{SCKW}	0.4	0.6	t_{Scyc}		
	出力クロック立ち上がり時間		$1.8\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	t_{SCKr}	—	7.5	ns		
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	30			
	出力クロック立ち下がり時間		$1.8\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	t_{SCKf}	—	7.5	ns		
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	30			
送信データ遅延時 間 (マスタ)	クロック同期式	$2.7\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	t_{TXD}	—	25	ns	図 43.25		
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		—	30				
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—	65				
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	110				
送信データ遅延時 間 (スレーブ)	クロック同期式	$1.8\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$		—	35	ns			
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		—	40				
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—	65				
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	95				

表 43.37 SCI タイミング (1) (2/2)

条件 : VCC = AVCC0 = 1.6~3.6 V

項目	シンボル	Min	Max	単位	測定条件
SCI	受信データセットアップ時間 (マスタ)	$1.8 \text{ V} \leq \text{VCC} \leq 3.6 \text{ V}$	35	—	図 43.25
		$2.4 \text{ V} \leq \text{VCC} < 2.7 \text{ V}$	40	—	
		$1.8 \text{ V} \leq \text{VCC} < 2.4 \text{ V}$	65	—	
		$1.6 \text{ V} \leq \text{VCC} < 1.8 \text{ V}$	90	—	
	受信データセットアップ時間 (スレーブ)	$2.4 \text{ V} \leq \text{VCC} \leq 3.6 \text{ V}$	10	—	
		$1.8 \text{ V} \leq \text{VCC} \leq 2.4 \text{ V}$	15	—	
		$1.6 \text{ V} \leq \text{VCC} < 1.8 \text{ V}$	20	—	
	受信データホールド時間 (マスタ)	クロック同期式	5	—	ns
	受信データホールド時間 (スレーブ)	クロック同期式	5	—	ns

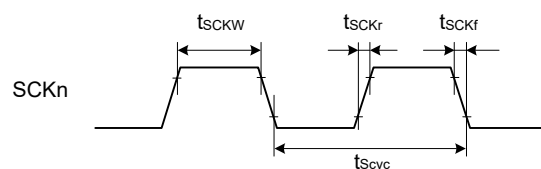
注. $n = 0, 1, 3 \sim 5, 9$

図 43.24 SCK クロック入力タイミング

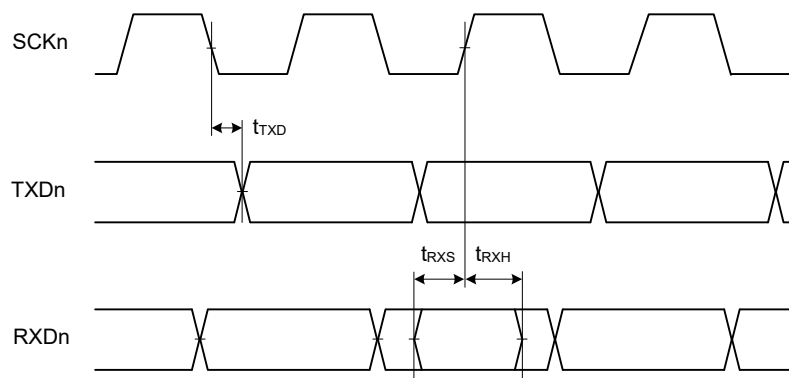
注. $n = 0, 1, 3 \sim 5, 9$

図 43.25 クロック同期式モードにおける SCI 入出力タイミング

表 43.38 SCI タイミング (2) (1/2)

条件 : VCC = AVCC0 = 1.6~3.6 V

項目			シンボル	Min	Max	単位	測定条件		
簡易 SPI	SCK クロックサイクル出力 (マスタ)	1.8 V ≤ VCC ≤ 3.6 V	tSPcyc	75	—	ns	図 43.26		
		2.4 V ≤ VCC < 2.7 V		150	—				
		1.8 V ≤ VCC < 2.4 V		300	—				
		1.6 V ≤ VCC < 1.8 V		1000	—				
	SCK クロックサイクル入力 (スレーブ)	1.8 V ≤ VCC ≤ 3.6 V		100	—				
		2.4 V ≤ VCC < 2.7 V		200	—				
		1.8 V ≤ VCC < 2.4 V		400	—				
		1.6 V ≤ VCC < 1.8 V		1500	—				
	SCK クロック High レベルパルス幅		tSPCKWH	0.4	0.6	tSPcyc			
	SCK クロック Low レベルパルス幅		tSPCKWL	0.4	0.6	tSPcyc			
	SCK クロック立ち上がり／立ち下がり時間		tSPCKr, tSPCKf	—	10	ns			
	データ入力セットアップ時間	マスタ	2.7 V ≤ VCC ≤ 3.6 V	tSU	35	—		ns	図 43.27～図 43.30
			2.4 V ≤ VCC < 2.7 V		40	—			
1.8 V ≤ VCC < 2.4 V			65		—				
1.6 V ≤ VCC < 1.8 V			90		—				
スレーブ		1.8 V ≤ VCC ≤ 3.6 V	5		—				
		1.6 V ≤ VCC < 1.8 V	15		—				
データ入力ホールド時間	マスタ	tH	0		—	ns			
	スレーブ		18		—				
SS 入力セットアップ時間		tLEAD	1	—	tSPcyc				
SS 入力ホールド時間		tLAG	1	—	tSPcyc				
データ出力遅延時間	マスタ	2.4 V ≤ VCC ≤ 3.6 V	tOD	—	25	ns			
		2.4 V ≤ VCC ≤ 2.7 V		—	32				
		1.8 V ≤ VCC ≤ 2.4 V		—	65				
		1.6 V ≤ VCC < 1.8 V		—	110				
	スレーブ	2.7 V ≤ VCC ≤ 3.6 V		—	38				
		2.4 V ≤ VCC ≤ 2.7 V		—	42				
		1.8 V ≤ VCC < 2.4 V		—	70				
		1.6 V ≤ VCC < 1.8 V		—	95				
データ出力ホールド時間	マスタ	2.7 V ≤ VCC ≤ 3.6 V	tOH	-5	—	ns			
		2.4 V ≤ VCC < 2.7 V		-10	—				
		1.8 V ≤ VCC < 2.4 V		-10	—				
		1.6 V ≤ VCC < 1.8 V		-15	—				
	スレーブ			-5	—				
	データ立ち上がり／立ち下がり時間	マスタ		1.8 V ≤ VCC ≤ 3.6 V	tDr, tDf		—	5	ns
スレーブ		1.8 V ≤ VCC ≤ 3.6 V	—	5					

表 43.38 SCI タイミング (2) (2/2)

条件 : $V_{CC} = AV_{CC0} = 1.6 \sim 3.6 \text{ V}$

項目			シンボル	Min	Max	単位	測定条件
簡易 SPI	スレーブアクセス時間	$2.7\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	t_{SA}	—	8	t_{Pcyc}	図 43.27～図 43.30
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		—	9		
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—	13		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	6		
	スレーブ出力解放時間	$1.8\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	t_{REL}	—	8	t_{Pcyc}	
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		—	9		
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—	13		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	6		

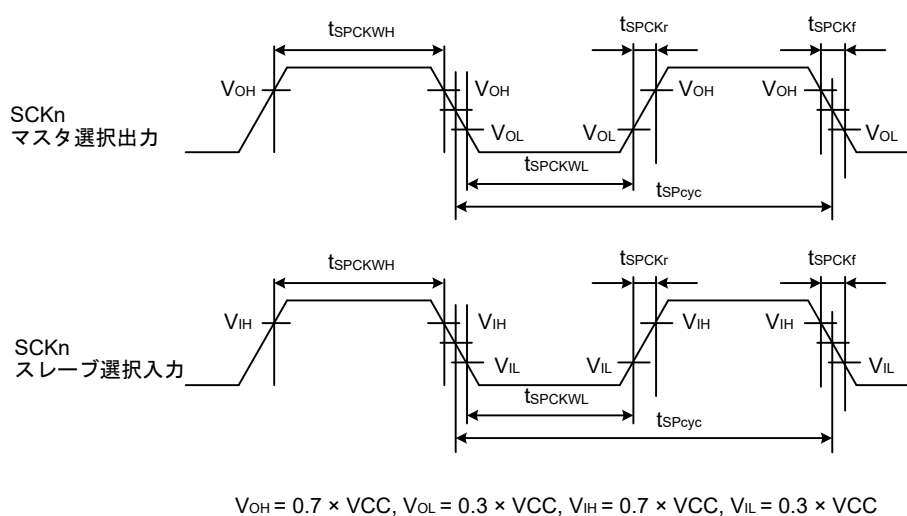
注. $n = 0, 1, 3 \sim 5, 9$

図 43.26 SCI 簡易 SPI モードクロックタイミング

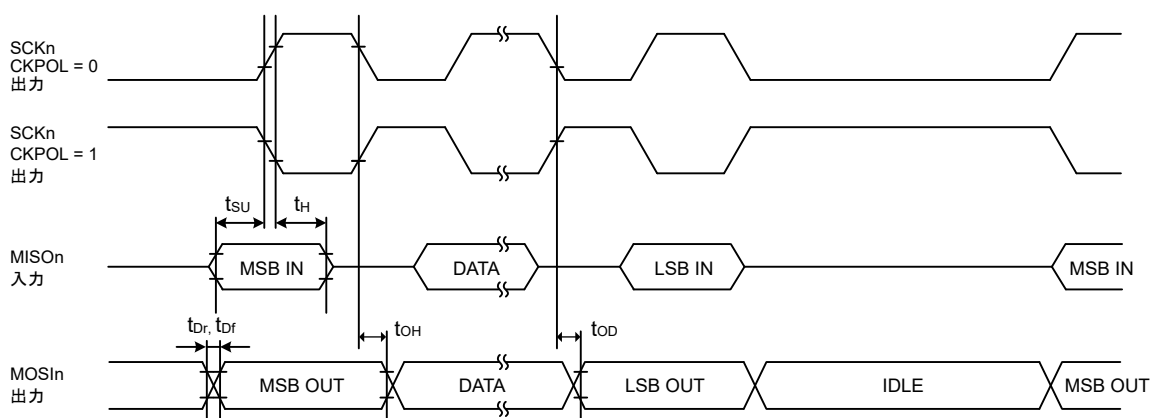
注. $n = 0, 1, 3 \sim 5, 9$

図 43.27 SCI 簡易 SPI モードタイミング (マスタ、CKPH = 1)

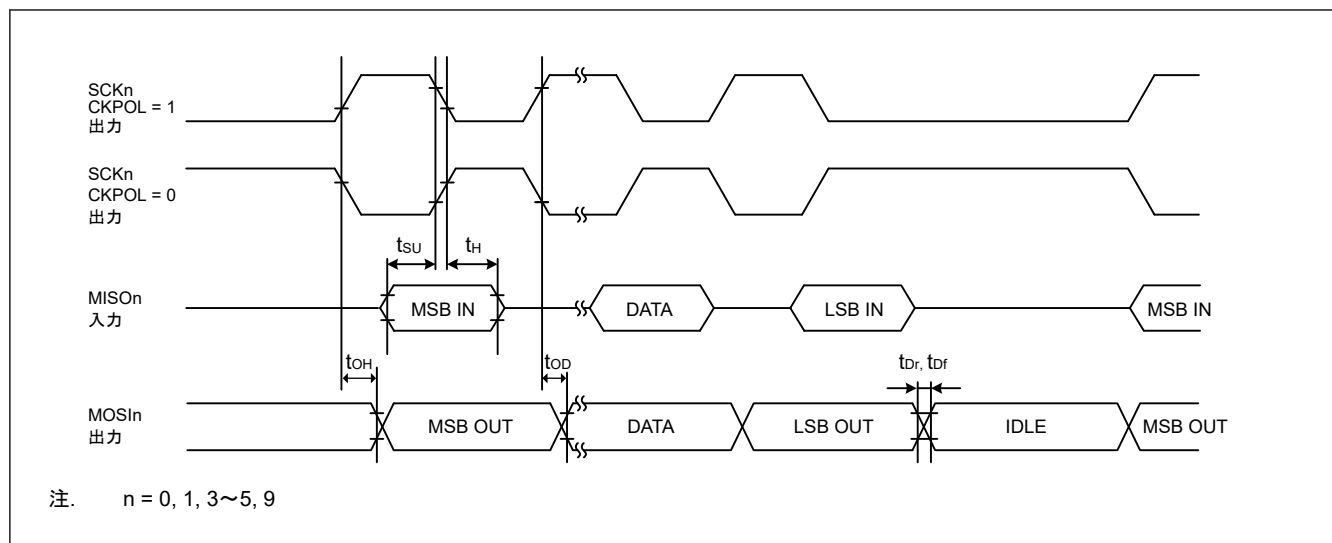


図 43.28 SCI 簡易 SPI モードタイミング (マスタ、CKPH = 0)

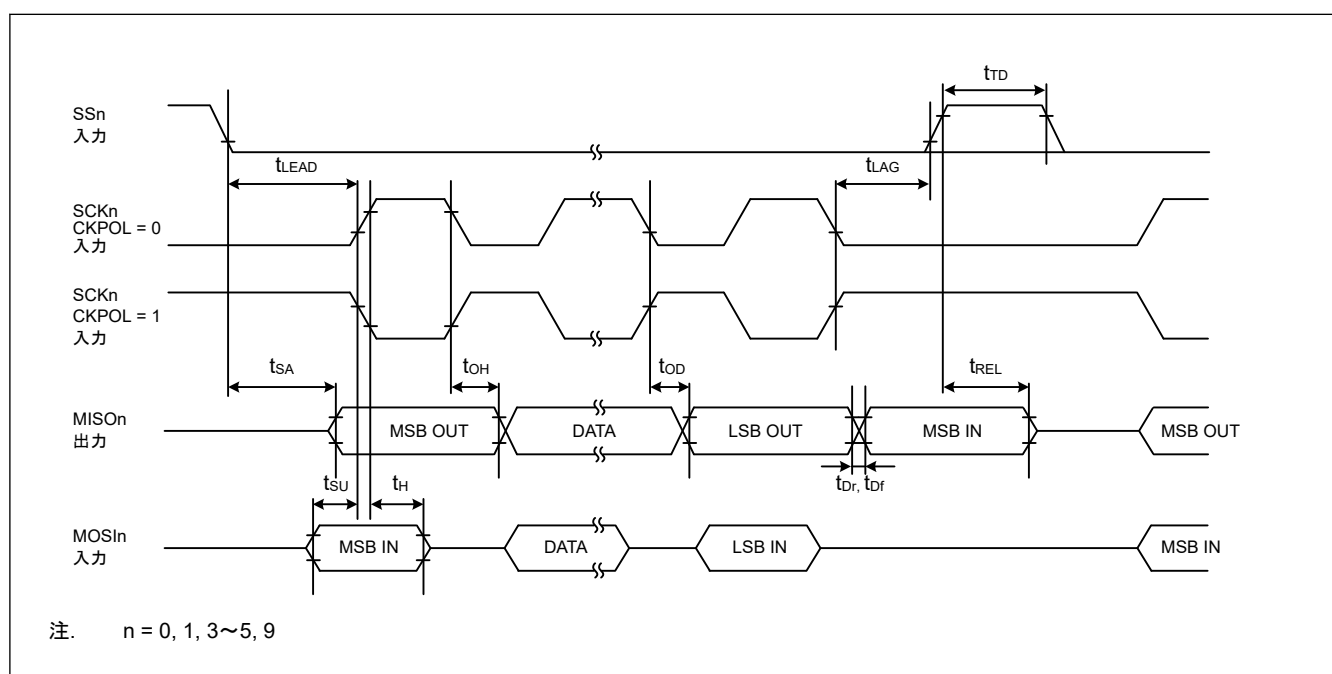
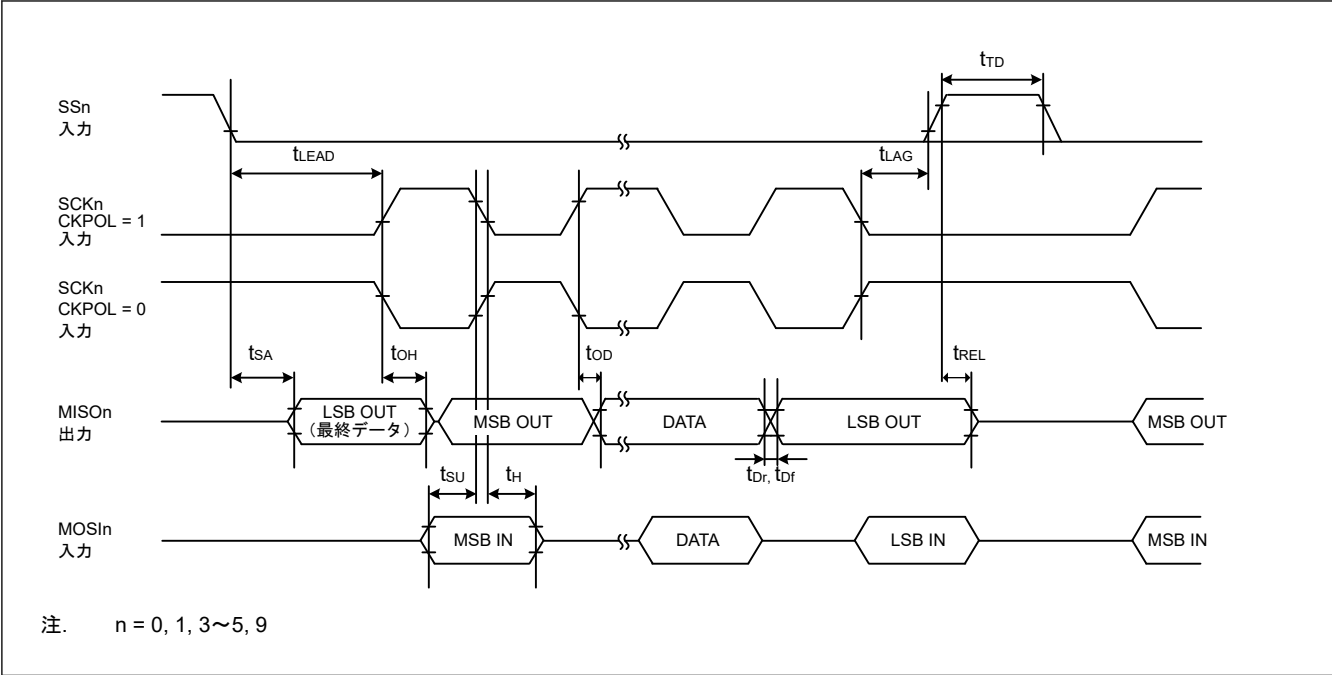


図 43.29 SCI 簡易 SPI モードタイミング (スレーブ、CKPH = 1)



注. n = 0, 1, 3~5, 9

図 43.30 SCI 簡易 SPI モードタイミング (スレープ、CKPH = 0)

表 43.39 SCI タイミング (3)

条件 : VCC = AVCC0 = 1.6~3.6 V

項目		シンボル	Min	Max	単位	測定条件
簡易 IIC (標準モード)	SDA 入力立ち上がり時間	t_{Sr}	—	1000	ns	図 43.31
	SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SDA 入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{IICcyc}^{(注1)}$	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	$C_b^{(注2)}$	—	400	pF	
簡易 IIC (ファストモード)	SDA 入力立ち上がり時間	t_{Sr}	—	300	ns	図 43.31
	SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SDA 入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{IICcyc}^{(注1)}$	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	$C_b^{(注2)}$	—	400	pF	

注 1. t_{IICcyc} : SMR.CKS[1:0]ビットによって選択されたクロックサイクル。

注 2. C_b はバスラインの容量総計を意味します。

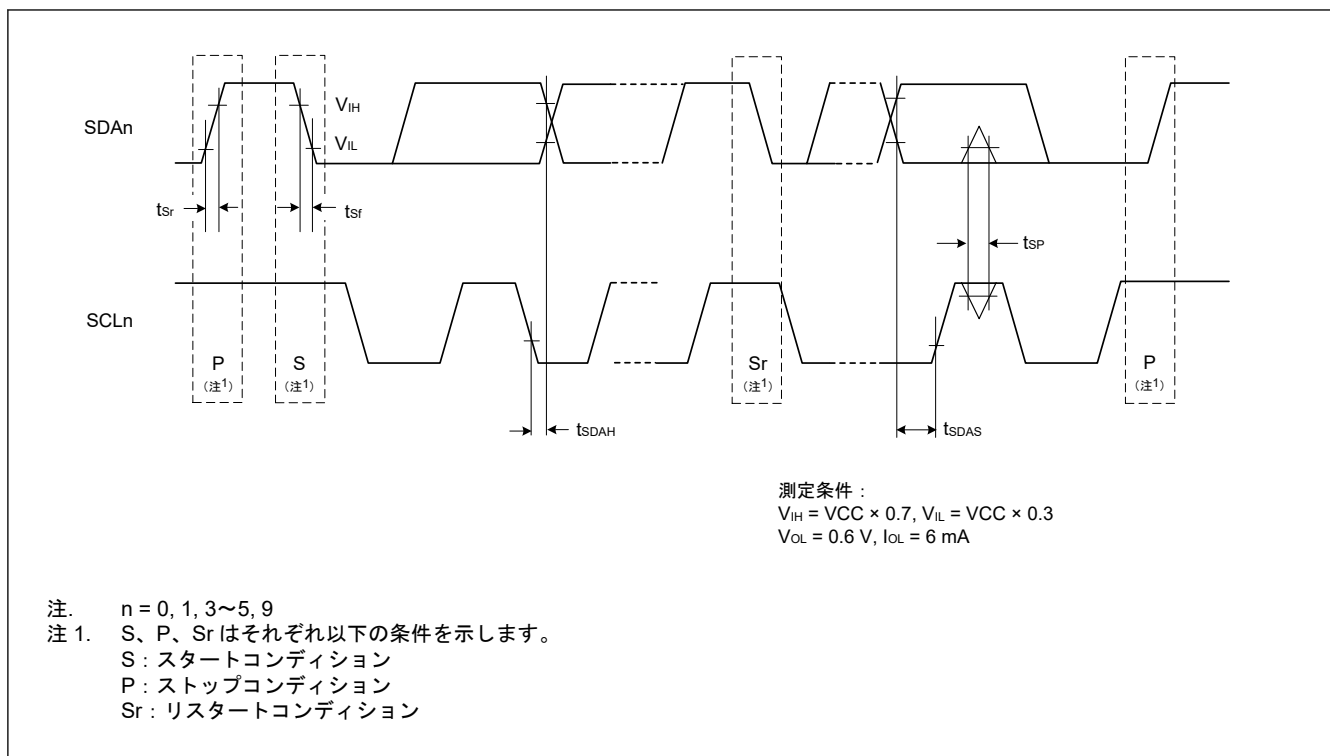


図 43.31 SCI 簡易 IIC モードタイミング

43.3.9 SPI タイミング

表 43.40 SPI タイミング (1/3)

項目			シンボル	Min	Max	単位	測定条件
RSPCK クロック サイクル	マスタ	2.7 V ≦ VCC ≦ 3.6 V	tSPCyc ^(注1)	50	—	ns	図 43.32 C = 30 pF
		2.4 V ≦ VCC < 2.7 V		100	—		
		1.8 V ≦ VCC < 2.4 V		200	—		
		1.6 V ≦ VCC < 1.8 V		500	—		
	スレーブ	2.7 V ≦ VCC ≦ 3.6 V		100	—		
		2.4 V ≦ VCC < 2.7 V		200	—		
		1.8 V ≦ VCC < 2.4 V		400	—		
		1.6 V ≦ VCC < 1.8 V		1500	—		
RSPCK クロック High レベルパルス幅	マスタ	tSPCKWH	(tSPCyc − tSPCKr − tSPCKf) / 2 − 3	—	ns		
	スレーブ		0.4 × tSPCyc	0.6 × tSPCyc			
RSPCK クロック Low レベルパルス幅	マスタ	tSPCKWL	(tSPCyc − tSPCKr − tSPCKf) / 2 − 3	—	ns		
	スレーブ		0.4 × tSPCyc	0.6 × tSPCyc			
RSPCK クロック 立ち上がり／立ち下がり時間	出力	2.7 V ≦ VCC ≦ 3.6 V	tSPCKr, tSPCKf	—	10	ns	
		2.4 V ≦ VCC < 2.7 V		—	15		
		1.8 V ≦ VCC ≦ 2.4 V		—	20		
		1.6 V ≦ VCC < 1.8 V		—	30		
	入力			—	1	μs	

表 43.40 SPI タイミング (2/3)

項目			シンボル	Min	Max	単位	測定条件
データ入力セットアップ時間	マスタ	$2.7\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	t_{SU}	15	—	ns	図 43.33～図 43.38 C = 30 pF
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		25	—		
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		38	—		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		0	—		
	スレーブ	$2.4\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$		10	—		
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		14	—		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		17	—		
データ入力ホールド時間	マスタ（RSPCK は PCLKA/2）		t_{HF}	0	—	ns	
	マスタ（RSPCK は PCLKA/2 以外）		t_{H}	t_{Pcyc}	—		
	スレーブ		t_{H}	10	—		
SSL セットアップ時間	マスタ	$1.8\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	t_{LEAD}	$-30 + N \times t_{\text{SpCyc}}$ ^(注1)	—	ns	
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		$-34 + N \times t_{\text{SpCyc}}$ ^(注1)	—		
	スレーブ			$5 \times t_{\text{Pcyc}}$	—	ns	
SSL ホールド時間	マスタ		t_{LAG}	$-30 + N \times t_{\text{SpCyc}}$ ^(注2)	—	ns	
	スレーブ			$5 \times t_{\text{Pcyc}}$	—	ns	
データ出力遅延時間	マスタ	$2.7\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	t_{OD}	—	12	ns	
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		—	12		
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—	12		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	12		
	スレーブ	$2.7\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$		—	45		
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		—	50		
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—	70		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	85		
データ出力ホールド時間	マスタ		t_{OH}	0	—	ns	
	スレーブ			0	—		
連続送信遅延時間	マスタ		t_{TD}	$t_{\text{SPcyc}} + 2 \times t_{\text{Pcyc}}$	$8 \times t_{\text{SPcyc}} + 2 \times t_{\text{Pcyc}}$	ns	
	スレーブ			$6 \times t_{\text{Pcyc}}$	—		
MOSI、MISO 立ち上がり／立ち下がり時間	出力	$2.7\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	$t_{\text{Dr}}, t_{\text{Df}}$	—	5	ns	図 43.33～図 43.38 C = 30 pF
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		—	15		
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—	20		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	30		
	入力			—	1		
				—			
SSL 立ち上がり／立ち下がり時間	出力	$2.7\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	$t_{\text{SSLr}}, t_{\text{SSLf}}$	—	5	ns	
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		—	15		
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—	20		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	30		
	入力		—	1			

表 43.40 SPI タイミング (3/3)

項目		シンボル	Min	Max	単位	測定条件
スレーブアクセス時間	$2.7\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	t_{SA}	—	$2 \times t_{\text{Pcyc}} + 11$	ns	図 43.37 と 図 43.38 C = 30 pF
	$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		—	$2 \times t_{\text{Pcyc}} + 15$		
	$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—	$2 \times t_{\text{Pcyc}} + 35$		
	$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	$2 \times t_{\text{Pcyc}} + 55$		
スレーブ出力開放時間	$2.7\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	t_{REL}	—	$2 \times t_{\text{Pcyc}} + 11$	ns	
	$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		—	$2 \times t_{\text{Pcyc}} + 15$		
	$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—	$2 \times t_{\text{Pcyc}} + 35$		
	$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	$2 \times t_{\text{Pcyc}} + 55$		

注. t_{Pcyc} : PCLKA の周期。

注 1. N は SPCKD レジスタで設定可能な 1~8 の整数です。

注 2. N は SSLND レジスタで設定可能な 1~8 の整数です。

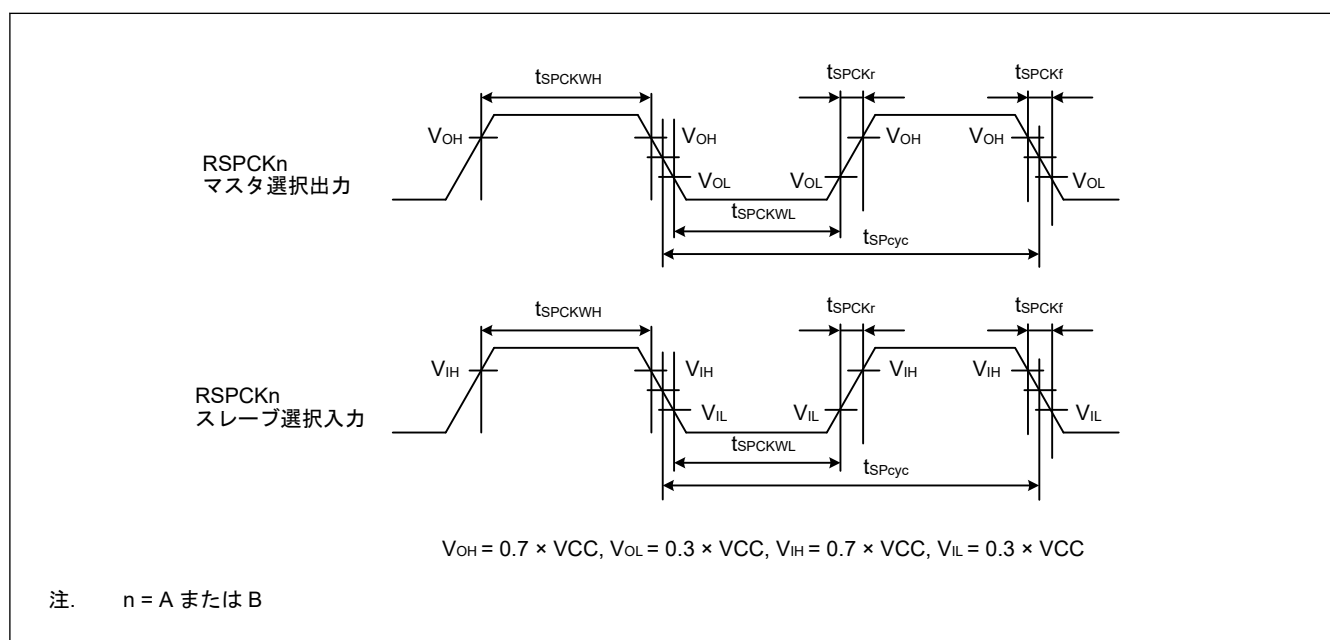


図 43.32 SPI クロックタイミング

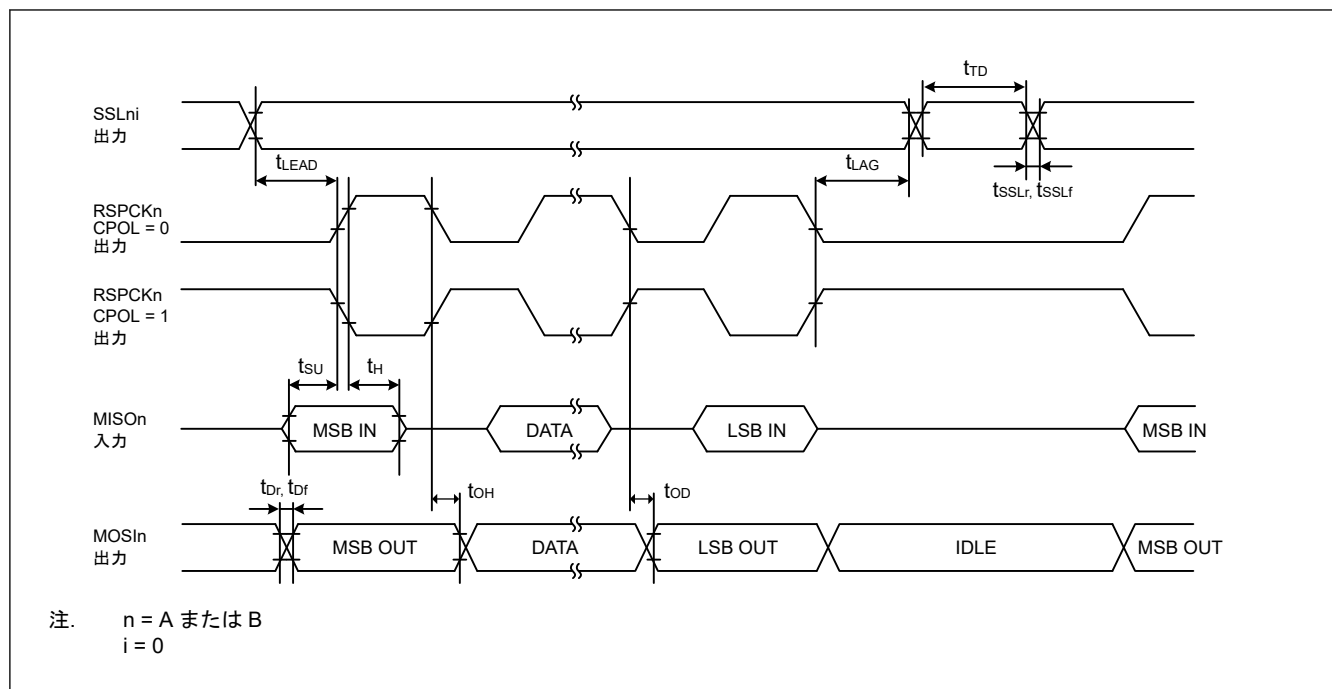


図 43.33 SPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周以外に設定)

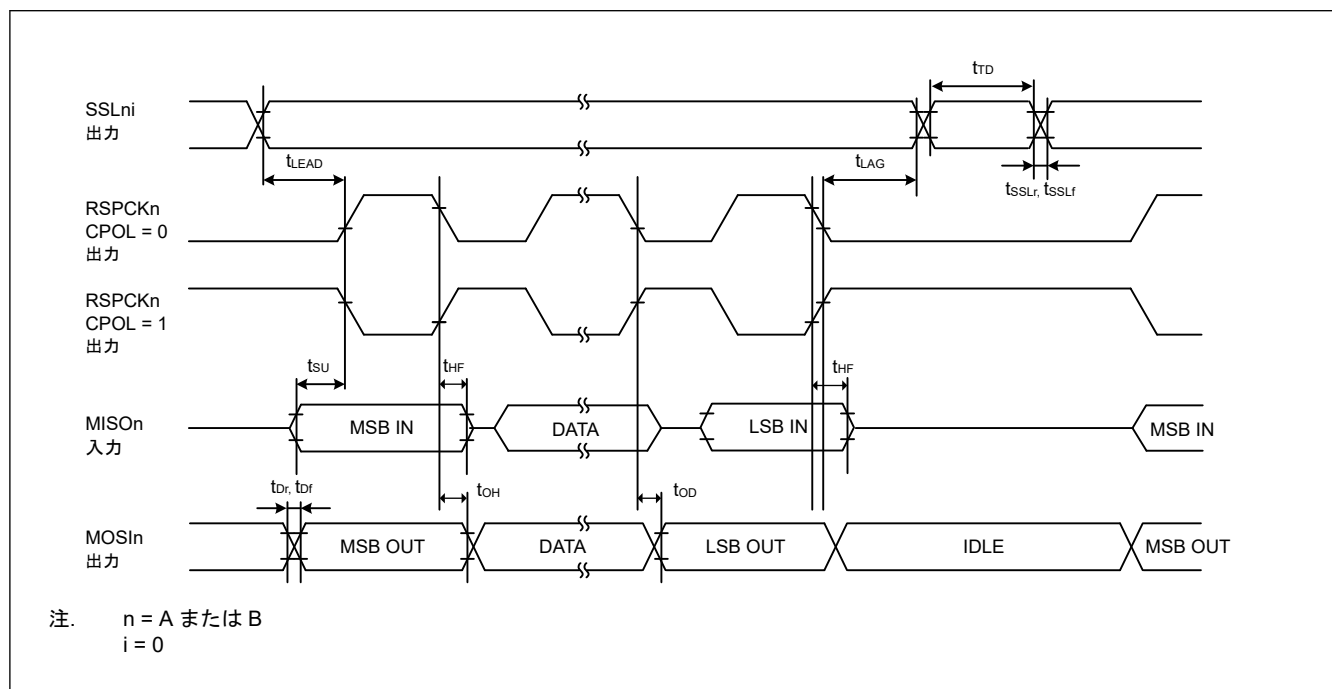


図 43.34 SPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周に設定)

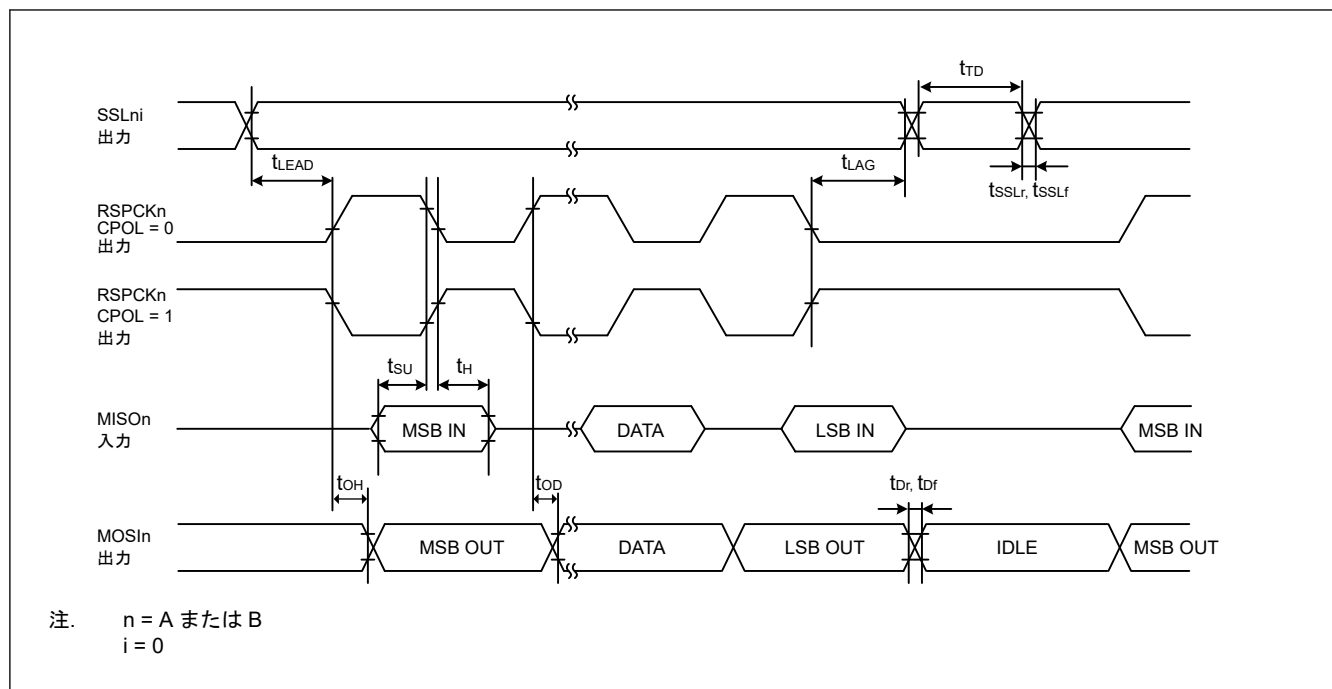


図 43.35 SPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周以外に設定)

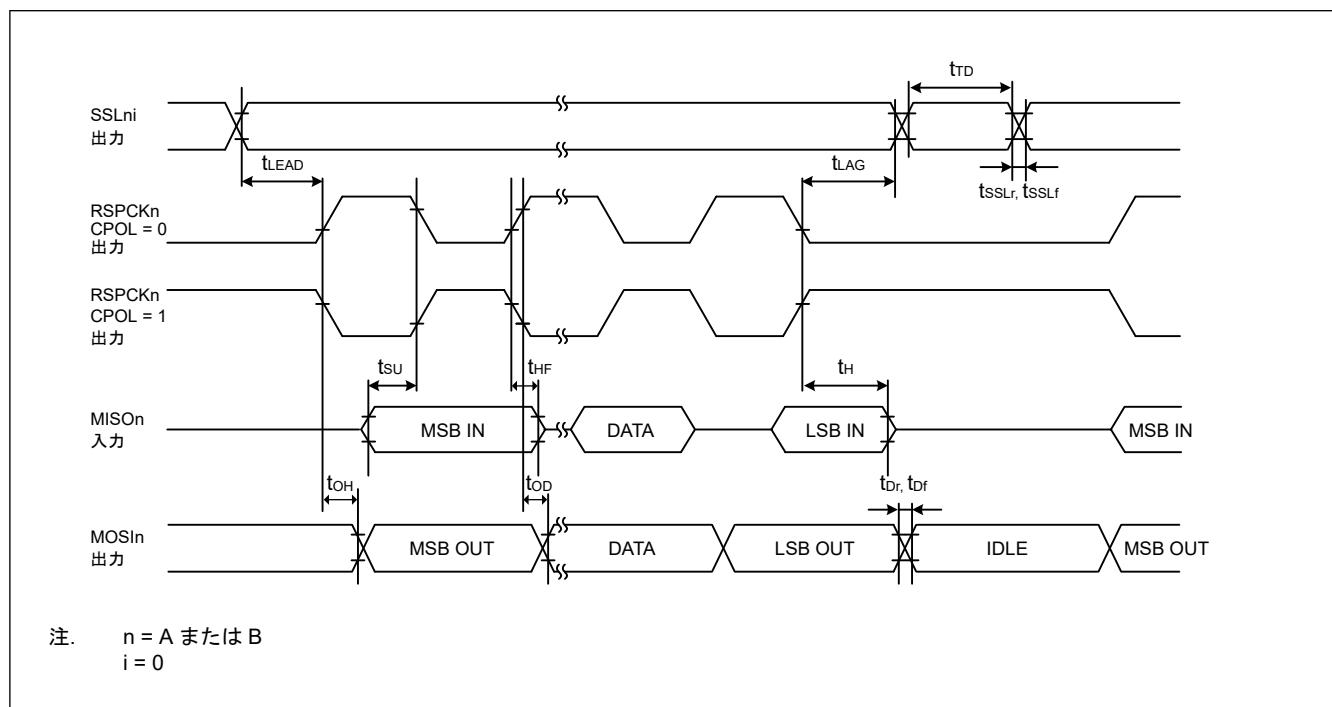


図 43.36 SPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周に設定)

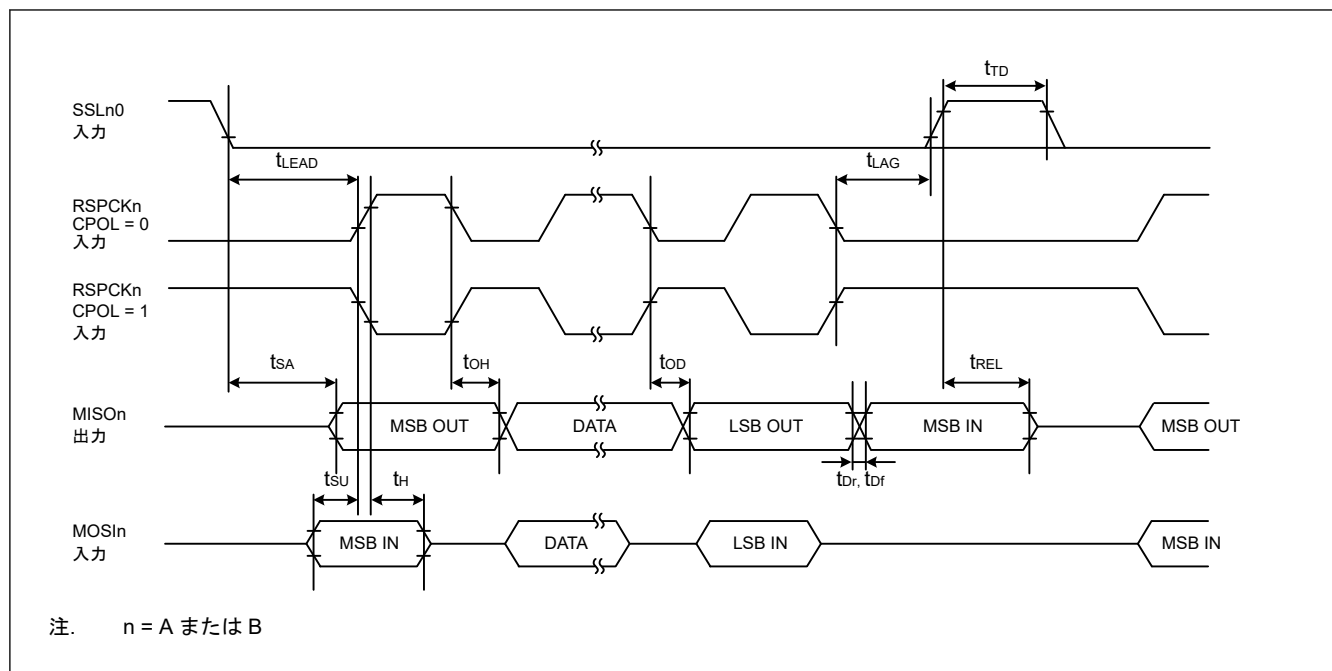


図 43.37 SPI タイミング (スレーブ、CPHA = 0)

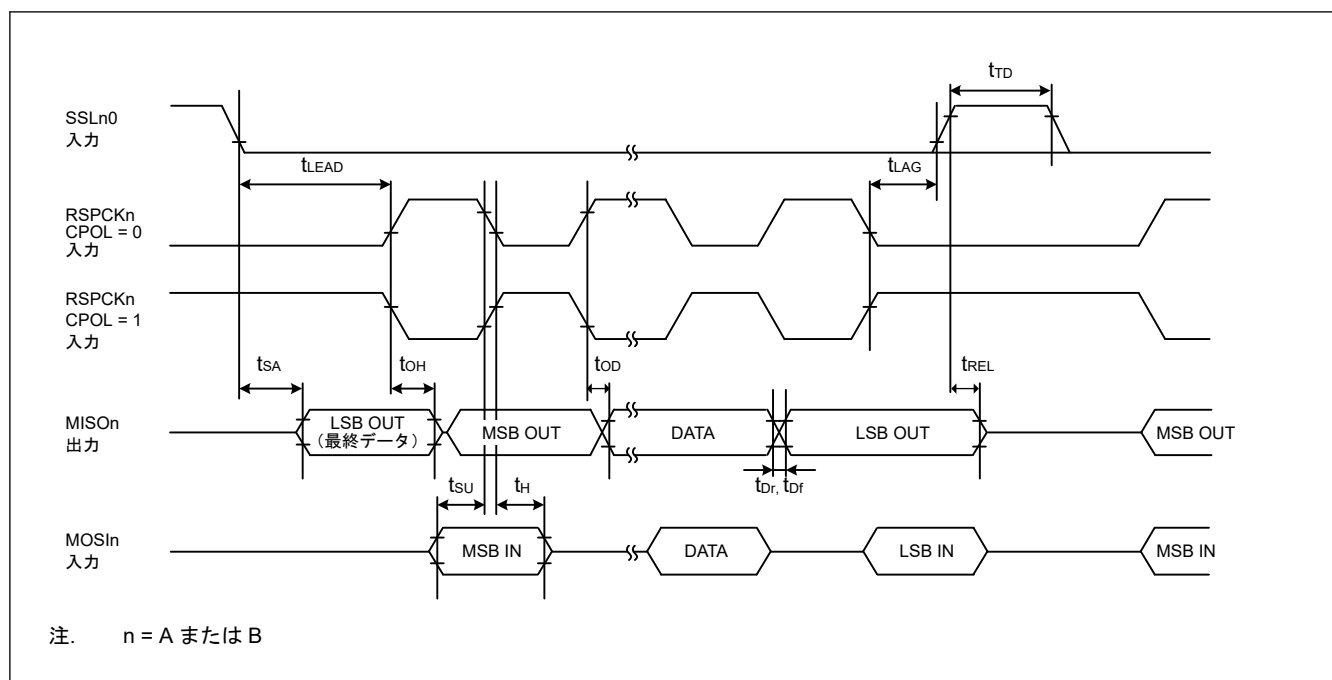


図 43.38 SPI タイミング (スレーブ、CPHA = 1)

43.3.10 QSPI タイミング

表 43.41 QSPI タイミング

項目		シンボル	Min	Max	単位	測定条件
QSPCK クロックサイクル	$2.4\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	t_{QScyc}	50	—	ns	図 43.39
	$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		100	—	ns	
	$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		500	—	ns	
QSPCK クロック High レベルパルス幅		t_{QSWH}	$t_{\text{QScyc}} \times 0.4$	—	ns	図 43.39
QSPCK クロック Low レベルパルス幅		t_{QSWL}	$t_{\text{QScyc}} \times 0.4$	—	ns	
データ入力セットアップ時間		t_{Su}				
	$2.4\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	t_{Su}	10	—	ns	図 43.40
	$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		15	—	ns	
	$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		15	—	ns	
データ入力ホールド時間		t_{IH}				図 43.40
	$1.8\text{ V} \leq \text{VCC} < 3.6\text{ V}$	t_{IH}	0	—	ns	
	$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		4	—	ns	
QSSL セットアップ時間		t_{Su}				図 43.40
	$2.4\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	t_{Su}	$(N + 0.5) \times t_{\text{QScyc}} - 9^{(\text{注1})}$	$(N + 0.5) \times t_{\text{QScyc}} + 100^{(\text{注1})}$	ns	
	$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		$(N + 0.5) \times t_{\text{QScyc}} - 15^{(\text{注1})}$	$(N + 0.5) \times t_{\text{QScyc}} + 100^{(\text{注1})}$	ns	
	$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		$(N + 0.5) \times t_{\text{QScyc}} - 24^{(\text{注1})}$	$(N + 0.5) \times t_{\text{QScyc}} + 100^{(\text{注1})}$	ns	
QSSL ホールド時間		t_{LAG}				図 43.40
	$1.8\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	t_{LAG}	$(N + 0.5) \times t_{\text{QScyc}} - 5^{(\text{注2})}$	$(N + 0.5) \times t_{\text{QScyc}} + 100^{(\text{注2})}$	ns	
	$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		$(N + 0.5) \times t_{\text{QScyc}} - 8^{(\text{注2})}$	$(N + 0.5) \times t_{\text{QScyc}} + 100^{(\text{注2})}$	ns	
データ出力遅延時間		t_{OD}				図 43.40
	$2.4\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	t_{OD}	—	9	ns	
	$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—	16	ns	
	$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	24	ns	
データ出力ホールド時間		t_{OH}				図 43.40
	$1.8\text{ V} \leq \text{VCC} \leq 3.6\text{ V}$	t_{OH}	-3.3	—	ns	
	$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		-6.3	—	ns	
連続送信遅延時間		t_{TD}	1	16	t_{QScyc}	図 43.40

注. t_{Pcyc} : PCLKA の周期

注 1. SFMSLD で N は 0 または 1 になっています。

注 2. SFMSHD で N は 0 または 1 になっています。

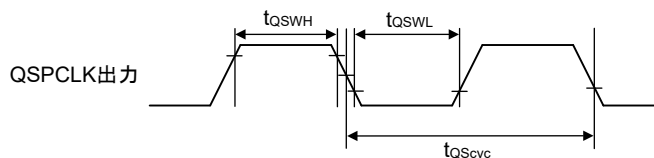


図 43.39 QSPI クロックタイミング

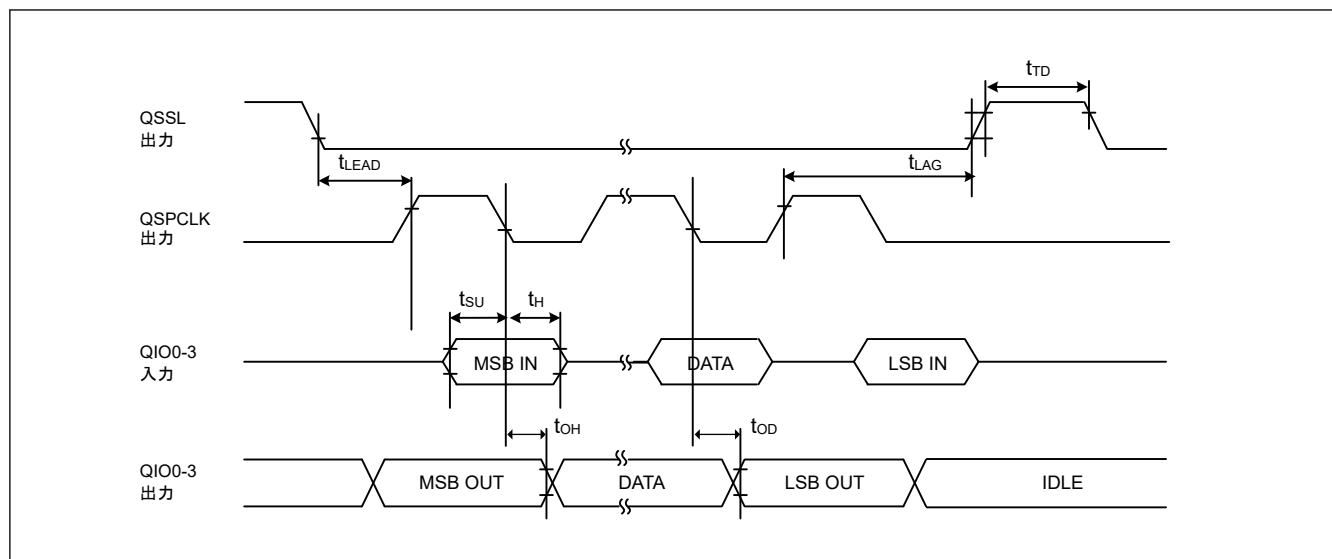


図 43.40 送受信タイミング

43.3.11 IIC タイミング

表 43.42 IIC タイミング (1) (1/2)

条件: VCC = AVCC0 = 1.8~3.6 V

項目	シンボル	Min(注1)	Max(注1)	単位	測定条件
IIC (標準モード、SMBus) ICFER.FMPE = 0	SCL 入力サイクル時間	t_{SCL}	$6 (12) \times t_{IICcyc} + 1300$	ns	図 43.41
	SCL 入力 High レベルパルス幅	t_{SCLH}	$3 (6) \times t_{IICcyc} + 300$	ns	
	SCL 入力 Low レベルパルス幅	t_{SCLL}	$3 (6) \times t_{IICcyc} + 300$	ns	
	SCL、SDA 立ち上がり時間	t_{Sr}	1000	ns	
	SCL、SDA 立ち下がり時間	t_{Sf}	300	ns	
	SCL、SDA 入カスパイクパルス除去時間	t_{SP}	$1 (4) \times t_{IICcyc}$	ns	
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t_{BUF}	$3 (6) \times t_{IICcyc} + 300$	ns	
	ウェイクアップ機能が有効な場合の SDA 入力バスフリー時間	t_{BUF}	$3 (6) \times t_{IICcyc} + 4 \times t_{Pcyc} + 300$	ns	
	ウェイクアップ機能が無効な場合のスタートコンディション入力ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	ns	
	ウェイクアップ機能が有効な場合のスタートコンディション入力ホールド時間	t_{STAH}	$1 (5) \times t_{IICcyc} + t_{Pcyc} + 300$	ns	
	繰り返しのスタートコンディション入力セットアップ時間	t_{STAS}	1000	ns	
	ストップコンディション入力セットアップ時間	t_{STOS}	1000	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	ns	
	データ入力ホールド時間	t_{SDAH}	0	ns	
SCL、SDA の負荷容量		C_b (注2)	400	pF	

表 43.42 IIC タイミング (1) (2/2)

条件 : VCC = AVCC0 = 1.8~3.6 V

項目		シンボル	Min(注1)	Max(注1)	単位	測定条件
IIC (ファストモード) ICFER.FMPE = 0	SCL 入力サイクル時間	t_{SCL}	$6 (12) \times t_{IICcyc} + 600$	—	ns	図 43.41
	SCL 入力 High レベルパルス幅	t_{SCLH}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL 入力 Low レベルパルス幅	t_{SCLL}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA 立ち上がり時間	t_{Sr}	—	300	ns	
	SCL、SDA 立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA 入カスパイクパルス除去時間	t_{SP}	0	$1 (4) \times t_{IICcyc}$	ns	
	SDA 入力バスフリー時間 (ウェイクアップ機能無効時)	t_{BUF}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SDA 入力バスフリー時間 (ウェイクアップ機能有効時)	t_{BUF}	$3 (6) \times t_{IICcyc} + 4 \times t_{Pcyc} + 300$	—	ns	
	スタートコンディション入力ホールド時間 (ウェイクアップ機能無効時)	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	スタートコンディション入力ホールド時間 (ウェイクアップ機能有効時)	t_{STAH}	$1 (5) \times t_{IICcyc} + t_{Pcyc} + 300$	—	ns	
	繰り返しのスタートコンディション入力セットアップ時間	t_{STAS}	300	—	ns	
	ストップコンディション入力セットアップ時間	t_{STOS}	300	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b (注2)	—	400	pF	

注. 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。電気的特性の AC タイミングを各グループで測定しています。

注. t_{IICcyc} : IIC 内部基準クロック (IICφ) サイクル、 t_{Pcyc} : PCLKB サイクル

注 1. ICFER.NFE が 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0]が 11b であると () 内の値が適用されます。

注 2. C_b はバスラインの容量総計を意味します。

表 43.43 IIC タイミング (2)

条件 : VCC = AVCC0 = 2.7~3.6 V

項目	シンボル	Min(注1)	Max(注1)	単位	測定条件
IIC (ファストモード+) ICFER.FMPE = 1	SCL 入力サイクル時間	t_{SCL}	$6 (12) \times t_{IICcyc} + 240$	—	図 43.41
	SCL 入力 High レベルパルス幅	t_{SCLH}	$3 (6) \times t_{IICcyc} + 120$	—	
	SCL 入力 Low レベルパルス幅	t_{SCLL}	$3 (6) \times t_{IICcyc} + 120$	—	
	SCL、SDA 立ち上がり時間	t_{Sr}	120	ns	
	SCL、SDA 立ち下がり時間	t_{Sf}	120	ns	
	SCL、SDA 入カスパイクパルス除去時間	t_{SP}	$1 (4) \times t_{IICcyc}$	ns	
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t_{BUF}	$3 (6) \times t_{IICcyc} + 120$	—	
	ウェイクアップ機能が有効な場合の SDA 入力バスフリー時間	t_{BUF}	$3 (6) \times t_{IICcyc} + 4 \times t_{Pcyc} + 120$	—	
	ウェイクアップ機能が無効な場合のスタートコンディション入力ホールド時間	t_{STAH}	$t_{IICcyc} + 120$	—	
	ウェイクアップ機能が有効な場合のスタートコンディション入力ホールド時間	t_{STAH}	$1 (5) \times t_{IICcyc} + t_{Pcyc} + 120$	—	
	繰り返しのスタートコンディション入力セットアップ時間	t_{STAS}	120	—	
	ストップコンディション入力セットアップ時間	t_{STOS}	120	—	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 30$	—	
	データ入力ホールド時間	t_{SDAH}	0	—	
	SCL、SDA の負荷容量	C_b (注2)	550	pF	

注. t_{IICcyc} : IIC 内部基準クロック (IICφ) サイクル、 t_{Pcyc} : PCLKB サイクル

注. ファストモードプラス有効ビット (FMPE) は IIC0 (SCL0_A, SDA0_A) および IIC1 (SCL1_A, SDA1_A) に対応しています。

注 1. ICFER.NFE が 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0]が 11b であると () 内の値が適用されます。

注 2. C_b はバスラインの容量総計を意味します。

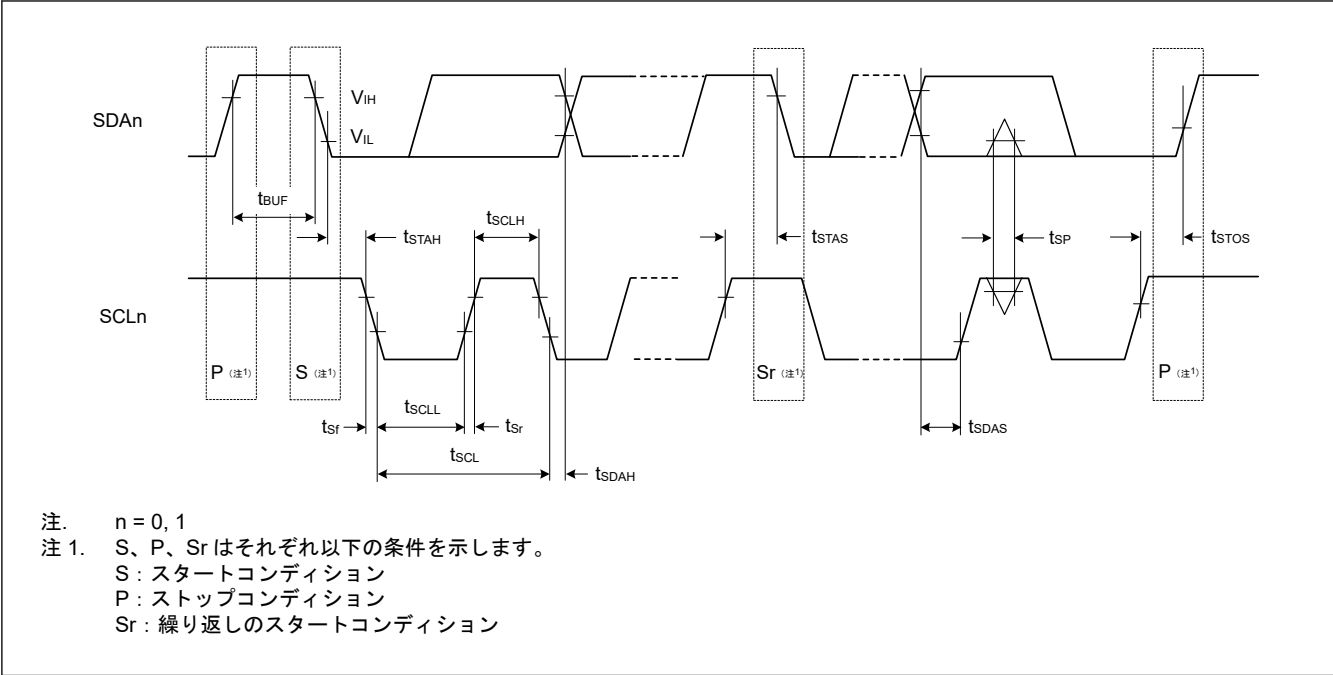


図 43.41 I²C バスインタフェース入出力タイミング

43.3.12 UARTA タイミング

表 43.44 UARTA インタフェースタイミング

項目	シンボル	Min	Max	単位	測定条件
転送速度	—	200	153600	bps	—

43.3.13 CANFD タイミング

表 43.45 CANFD インタフェースタイミング

項目	シンボル	CAN		CANFD		単位	測定条件
		Min	Max	Min	Max		
内部遅延時間	t _{node}	—	100	—	75	ns	図 43.42

注. t_{node} = t_d(CTX) + t_d(CRX)

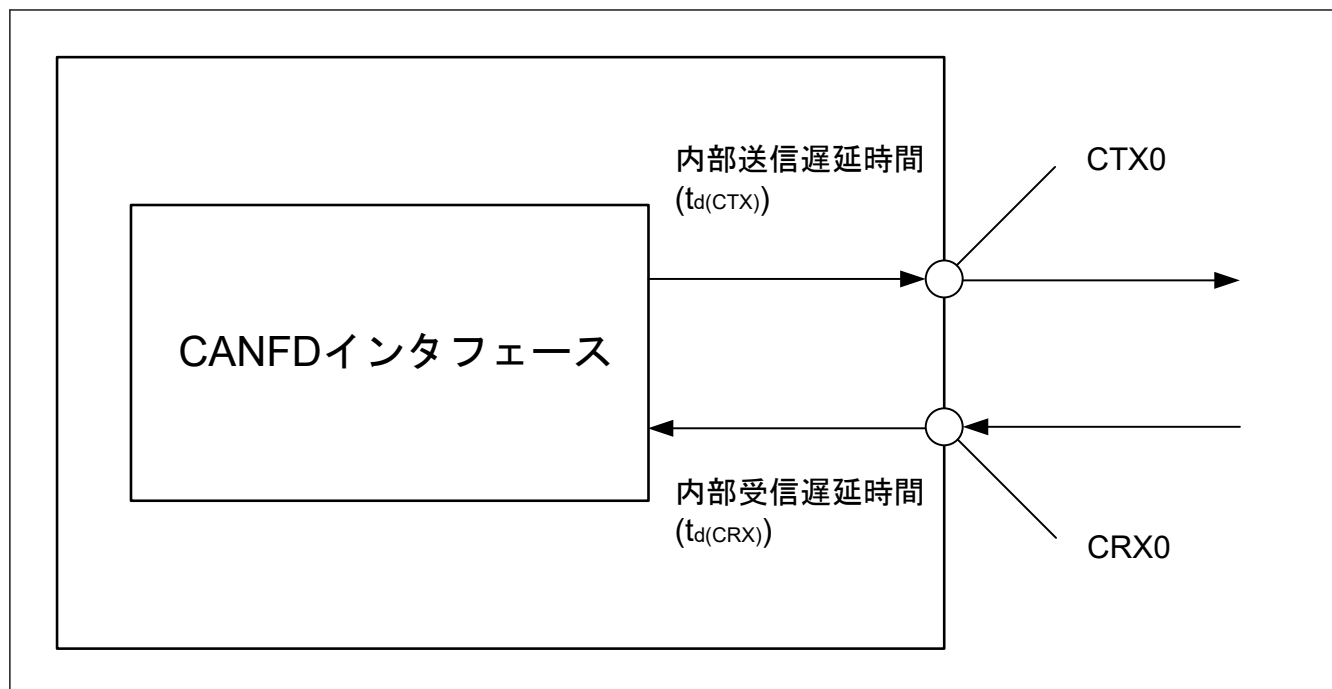


図 43.42 CANFD インタフェース条件

43.4 ADC12 特性

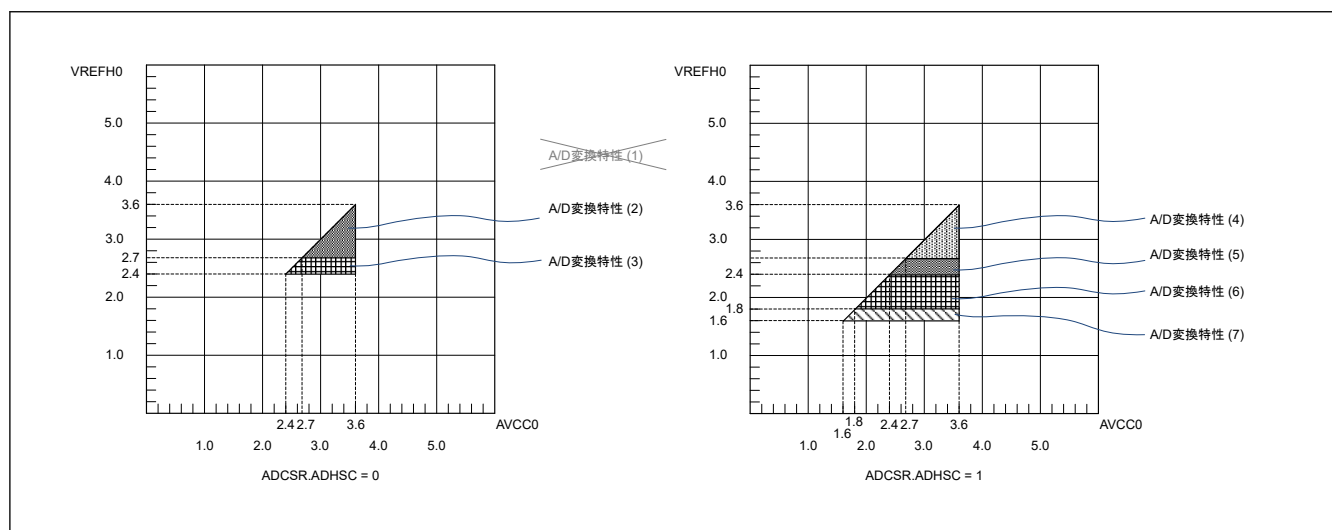


図 43.43 AVCC0~VREFH0 電圧範囲

表 43.46 高速 A/D 変換モードにおける A/D 変換特性 (1) (1/2)

条件 : VCC = AVCC0 = VREFH0 = 2.7~3.6 V^(注5)、VSS = AVSS0 = VREFL0 = 0 V
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
PCLKC (ADCLK) 周波数	1	—	48	MHz	—
アナログ入力容量 ^(注2)	Cs	—	g ^(注3)	pF	高精度チャネル
		—	10 ^(注3)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	1.9 ^(注3)	kΩ	高精度チャネル
		—	6.0 ^(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	VREFH0	V	—

表 43.46 高速 A/D 変換モードにおける A/D 変換特性 (1) (2/2)

条件 : VCC = AVCC0 = VREFH0 = 2.7~3.6 V^(注5)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
分解能	—	—	12	ビット	—
変換時間 ^(注1) (PCLKC = 48 MHz で動作時)	許容信号源 インピーダンス Max = 0.3 kΩ	0.67 (0.219) (注4)	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		1.29 (0.844) (注4)	—	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x28 ADACSR.ADSAC = 1
オフセット誤差	—	±1.0	±5.5	LSB	高精度チャネル
			±7.0	LSB	指定以外
フルスケール誤差	—	±1.0	±5.5	LSB	高精度チャネル
			±7.0	LSB	指定以外
量子化誤差	—	±0.5	—	LSB	—
絶対精度	—	±2.5	±6.0	LSB	高精度チャネル
			±9.0	LSB	指定以外
DNL 微分非直線性誤差	—	±1.0	—	LSB	—
INL 積分非直線性誤差	—	±1.5	±3.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「43.2.4. I/O V_{OH}、V_{OL}、およびその他の特性」を参照してください。

注 3. 参考データ

注 4. () はサンプリング時間を示します。

注 5. VREFH0 < AVCC0 のとき、Max 値は次のとおりです。

絶対精度／オフセット誤差／フルスケール誤差：

AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。

INL 積分非直線性誤差：

AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 43.47 高速 A/D 変換モードにおける A/D 変換特性 (2) (1/2)

条件 : VCC = AVCC0 = VREFH0 = 2.4~3.6 V^(注5)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
PCLKC (ADCLK) 周波数	1	—	32	MHz	—
アナログ入力容量 ^(注2)	Cs	—	9 ^(注3)	pF	高精度チャネル
		—	10 ^(注3)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	2.2 ^(注3)	kΩ	高精度チャネル
		—	7.0 ^(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	VREFH0	V	—
分解能	—	—	12	ビット	—
変換時間 ^(注1) (PCLKC = 32 MHz で動作時)	許容信号源 インピーダンス Max = 1.3 kΩ	1.00 (0.328) (注4)	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		1.94 (1.266) (注4)	—	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x28 ADACSR.ADSAC = 1

表 43.47 高速 A/D 変換モードにおける A/D 変換特性 (2) (2/2)

条件 : $V_{CC} = AV_{CC0} = V_{REFH0} = 2.4 \sim 3.6$ V^(注5)、 $V_{SS} = AV_{SS0} = V_{REFL0} = 0$ V
 基準電圧範囲を V_{REFH0} および V_{REFL0} に印加

項目	Min		Max	単位	測定条件
オフセット誤差	—	± 1.0	± 5.5	LSB	高精度チャネル
			± 7.0	LSB	指定以外
フルスケール誤差	—	± 1.0	± 5.5	LSB	高精度チャネル
			± 7.0	LSB	指定以外
量子化誤差	—	± 0.5	—	LSB	—
絶対精度	—	± 2.50	± 6.0	LSB	高精度チャネル
			± 9.0	LSB	指定以外
DNL 微分非直線性誤差	—	± 1.0	—	LSB	—
INL 積分非直線性誤差	—	± 1.5	± 3.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「43.2.4. I/O V_{OH} 、 V_{OL} 、およびその他の特性」を参照してください。

注 3. 参考データ

注 4. () はサンプリング時間を示します。

注 5. $V_{REFH0} < AV_{CC0}$ のとき、Max 値は次のとおりです。

絶対精度／オフセット誤差／フルスケール誤差 :

AV_{CC0} と V_{REFH0} の電圧差に対して、Max 値に ± 0.75 LSB/V 加算する必要があります。

INL 積分非直線性誤差 :

AV_{CC0} と V_{REFH0} の電圧差に対して、Max 値に ± 0.2 LSB/V 加算する必要があります。

表 43.48 低消費電力 A/D 変換モードにおける A/D 変換特性 (3) (1/2)

条件 : $V_{CC} = AV_{CC0} = V_{REFH0} = 2.7 \sim 3.6$ V^(注5)、 $V_{SS} = AV_{SS0} = V_{REFL0} = 0$ V
 基準電圧範囲を V_{REFH0} および V_{REFL0} に印加

項目	Min	Typ	Max	単位	測定条件
PCLKC (ADCLK) 周波数	1	—	24	MHz	—
アナログ入力容量 ^(注2)	Cs	—	9 ^(注3)	pF	高精度チャネル
		—	10 ^(注3)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	1.9 ^(注3)	k Ω	高精度チャネル
		—	6 ^(注3)	k Ω	通常精度チャネル
アナログ入力電圧範囲	Ain	0	V_{REFH0}	V	—
分解能	—	—	12	ビット	—
変換時間 ^(注1) (PCLKC = 24 MHz で動作時)	許容信号源 インピーダンス Max = 1.1 k Ω	1.58 (0.438) (注4)	—	μ s	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		2.0 (0.854) (注4)	—	μ s	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1
オフセット誤差	—	± 1.25	± 6.0	LSB	高精度チャネル
			± 7.5	LSB	指定以外
フルスケール誤差	—	± 1.25	± 6.0	LSB	高精度チャネル
			± 7.5	LSB	指定以外
量子化誤差	—	± 0.5	—	LSB	—
絶対精度	—	± 3.25	± 7.0	LSB	高精度チャネル
			± 10.0	LSB	指定以外

表 43.48 低消費電力 A/D 変換モードにおける A/D 変換特性 (3) (2/2)

条件 : $VCC = AVCC0 = VREFH0 = 2.7 \sim 3.6$ V^(注5)、 $VSS = AVSS0 = VREFL0 = 0$ V
 基準電圧範囲を $VREFH0$ および $VREFL0$ に印加

項目	Min	Typ	Max	単位	測定条件
DNL 微分非直線性誤差	—	±1.5	—	LSB	—
INL 積分非直線性誤差	—	±1.75	±4.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (C_{in}) 以外は、「43.2.4. I/O V_{OH} 、 V_{OL} 、およびその他の特性」を参照してください。

注 3. 参考データ

注 4. () はサンプリング時間を示します。

注 5. $VREFH0 < AVCC0$ のとき、Max 値は次のとおりです。

絶対精度／オフセット誤差／フルスケール誤差 :

$AVCC0$ と $VREFH0$ の電圧差に対して、Max 値に ±0.75 LSB/V 加算する必要があります。

INL 積分非直線性誤差 :

$AVCC0$ と $VREFH0$ の電圧差に対して、Max 値に ±0.2 LSB/V 加算する必要があります。

表 43.49 低消費電力 A/D 変換モードにおける A/D 変換特性 (4)

条件 : $VCC = AVCC0 = VREFH0 = 2.4 \sim 3.6$ V^(注5)、 $VSS = AVSS0 = VREFL0 = 0$ V
 基準電圧範囲を $VREFH0$ および $VREFL0$ に印加

項目	Min	Typ	Max	単位	測定条件
PCLKC (ADCLK) 周波数	1	—	16	MHz	—
アナログ入力容量 ^(注2)	C_s	—	9 ^(注3)	pF	高精度チャネル
		—	10 ^(注3)	pF	通常精度チャネル
アナログ入力抵抗	R_s	—	2.2 ^(注3)	k Ω	高精度チャネル
		—	7 ^(注3)	k Ω	通常精度チャネル
アナログ入力電圧範囲	A_{in}	0	$VREFH0$	V	—
分解能	—	—	12	ビット	—
変換時間 ^(注1) (PCLKC = 16 MHz で動作時)	許容信号源インピーダンス Max = 2.2 k Ω	2.38 (0.656) (注4)	—	μ s	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		3.0 (1.281) (注4)	—	μ s	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1
オフセット誤差	—	±1.25	±6.0	LSB	高精度チャネル
			±7.5	LSB	指定以外
フルスケール誤差	—	±1.25	±6.0	LSB	高精度チャネル
			±7.5	LSB	指定以外
量子化誤差	—	±0.5	—	LSB	—
絶対精度	—	±3.25	±7.0	LSB	高精度チャネル
			±10.0	LSB	指定以外
DNL 微分非直線性誤差	—	±1.5	—	LSB	—
INL 積分非直線性誤差	—	±1.75	±4.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (C_{in}) 以外は、「43.2.4. I/O V_{OH} 、 V_{OL} 、およびその他の特性」を参照してください。

注 3. 参考データ

注 4. () はサンプリング時間を示します。

注 5. $VREFH0 < AVCC0$ のとき、Max 値は次のとおりです。

絶対精度／オフセット誤差／フルスケール誤差：

AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。

INL 積分非直線性誤差：

AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 43.50 低消費電力 A/D 変換モードにおける A/D 変換特性 (5)

条件：VCC = AVCC0 = VREFH0 = 1.8~3.6 V^(注5) (VCC < 2.0 V のとき、AVCC0 = VCC)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
PCLKC (ADCLK) 周波数	1	—	8	MHz	—
アナログ入力容量 ^(注2)	Cs	—	g ^(注3)	pF	高精度チャネル
		—	10 ^(注3)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	6 ^(注3)	kΩ	高精度チャネル
		—	14 ^(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	VREFH0	V	—
分解能	—	—	12	ビット	—
変換時間 ^(注1) (PCLKC = 8 MHz で動作時)	許容信号源 インピーダンス Max = 5 kΩ	4.75 (1.313) (注4)	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		6.0 (2.563) (注4)	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1
オフセット誤差	—	±1.25	±7.5	LSB	高精度チャネル
			±10.0	LSB	指定以外
フルスケール誤差	—	±1.5	±7.5	LSB	高精度チャネル
			±10.0	LSB	指定以外
量子化誤差	—	±0.5	—	LSB	—
絶対精度	—	±3.75	±9.5	LSB	高精度チャネル
			±13.5	LSB	指定以外
DNL 微分非直線性誤差	—	±2.0	—	LSB	—
INL 積分非直線性誤差	—	±2.25	±4.5	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「43.2.4. I/O V_{OH}、V_{OL}、およびその他の特性」を参照してください。

注 3. 参考データ

注 4. () はサンプリング時間を示します。

注 5. VREFH0 < AVCC0 のとき、Max 値は次のとおりです。

絶対精度／オフセット誤差／フルスケール誤差：

AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。

INL 積分非直線性誤差：

AVCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 43.51 低消費電力 A/D 変換モードにおける A/D 変換特性 (6) (1/2)

条件：VCC = AVCC0 = VREFH0 = 1.6~3.6 V^(注5) (VCC < 2.0 V のとき、AVCC0 = VCC)、VSS = AVSS0 = VREFL0 = 0 V
基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
PCLKC (ADCLK) 周波数	1	—	4	MHz	—
アナログ入力容量 ^(注2)	Cs	—	g ^(注3)	pF	高精度チャネル
		—	10 ^(注3)	pF	通常精度チャネル

表 43.51 低消費電力 A/D 変換モードにおける A/D 変換特性 (6) (2/2)

条件 : $V_{CC} = AV_{CC0} = V_{REFH0} = 1.6 \sim 3.6 \text{ V}$ (注5) ($V_{CC} < 2.0 \text{ V}$ のとき、 $AV_{CC0} = V_{CC}$)、 $V_{SS} = AV_{SS0} = V_{REFL0} = 0 \text{ V}$
 基準電圧範囲を V_{REFH0} および V_{REFL0} に印加

項目		Min	Typ	Max	単位	測定条件
アナログ入力抵抗	Rs	—	—	12(注3)	k Ω	高精度チャネル
		—	—	28(注3)	k Ω	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	V_{REFH0}	V	—
分解能		—	—	12	ビット	—
変換時間(注1) (PCLKC = 4 MHz で動作時)	許容信号源インピーダンス Max = 9.9 k Ω	9.5 (2.625) (注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		12.0 (5.125) (注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1
オフセット誤差		—	± 1.25	± 7.5	LSB	高精度チャネル
				± 10.0	LSB	指定以外
フルスケール誤差		—	± 1.5	± 7.5	LSB	高精度チャネル
				± 10.0	LSB	指定以外
量子化誤差		—	± 0.5	—	LSB	—
絶対精度		—	± 3.75	± 9.5	LSB	高精度チャネル
				± 13.5	LSB	指定以外
DNL 微分非直線性誤差		—	± 2.0	—	LSB	—
INL 積分非直線性誤差		—	± 2.25	± 4.5	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、および INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「43.2.4. I/O V_{OH} 、 V_{OL} 、およびその他の特性」を参照してください。

注 3. 参考データ

注 4. () はサンプリング時間を示します。

注 5. $V_{REFH0} < AV_{CC0}$ のとき、Max 値は次のとおりです。

絶対精度／オフセット誤差／フルスケール誤差：

AV_{CC0} と V_{REFH0} の電圧差に対して、Max 値に $\pm 0.75 \text{ LSB/V}$ 加算する必要があります。

INL 積分非直線性誤差：

AV_{CC0} と V_{REFH0} の電圧差に対して、Max 値に $\pm 0.2 \text{ LSB/V}$ 加算する必要があります。

図 43.44 にアナログ入力の等価回路を示します。

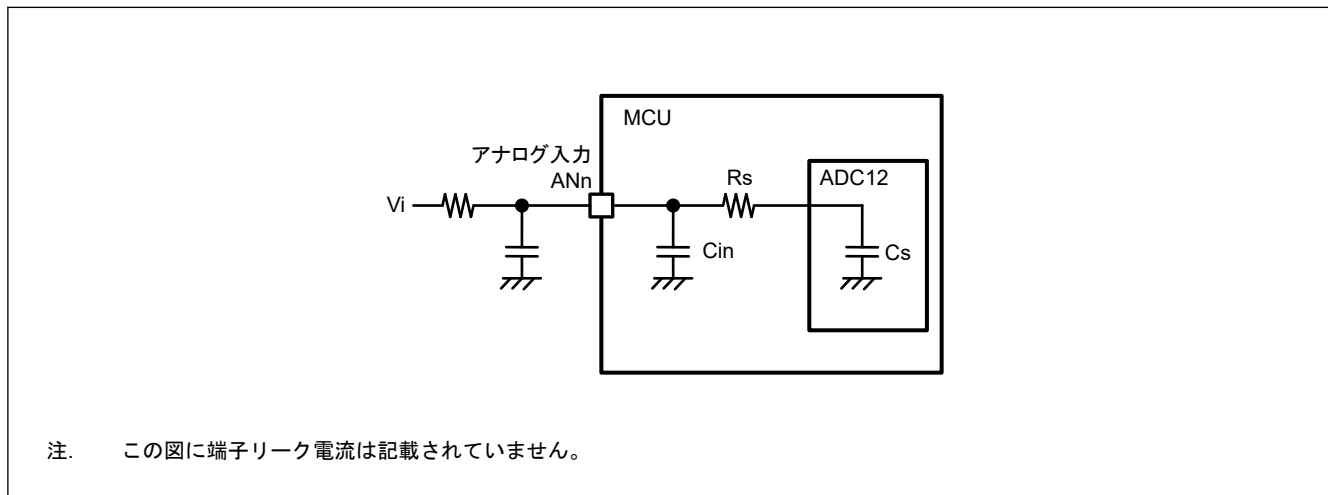


図 43.44 アナログ入力の等価回路

表 43.52 12 ビット A/D コンバータチャンネル分類

分類	チャンネル	条件	注意点
高精度チャンネル	AN000～AN006	AVCC0 = 1.6～3.6 V	AN000～AN006 端子は、汎用 I/O に使用不可（A/D コンバータが使用中の場合）
通常精度チャンネル	AN017～AN025		
内部基準電圧入力チャンネル	内部基準電圧	AVCC0 = 1.8～3.6 V	—
温度センサ入力チャンネル	温度センサ出力	AVCC0 = 1.8～3.6 V	—

表 43.53 A/D 内部基準電圧特性

条件：VCC = AVCC0 = VREFH0 = 1.8～3.6 V(注1)

項目	Min	Typ	Max	単位	測定条件
内部基準電圧入力チャンネル(注2)	1.42	1.48	1.54	V	—
PCLKC (ADCLK) 周波数(注3)	1	—	2	MHz	—
サンプリング時間(注4)	5.0	—	—	μs	—

注 1. AVCC0 < 1.8 V のとき、内部基準電圧を入力チャンネルに選択することはできません。

注 2. 12 ビット A/D 内部基準電圧は、内部基準電圧を 12 ビット A/D コンバータに入力する場合の電圧を示します。

注 3. 高電位基準電圧に内部基準電圧を選択した場合

注 4. 内部基準電圧の変換時

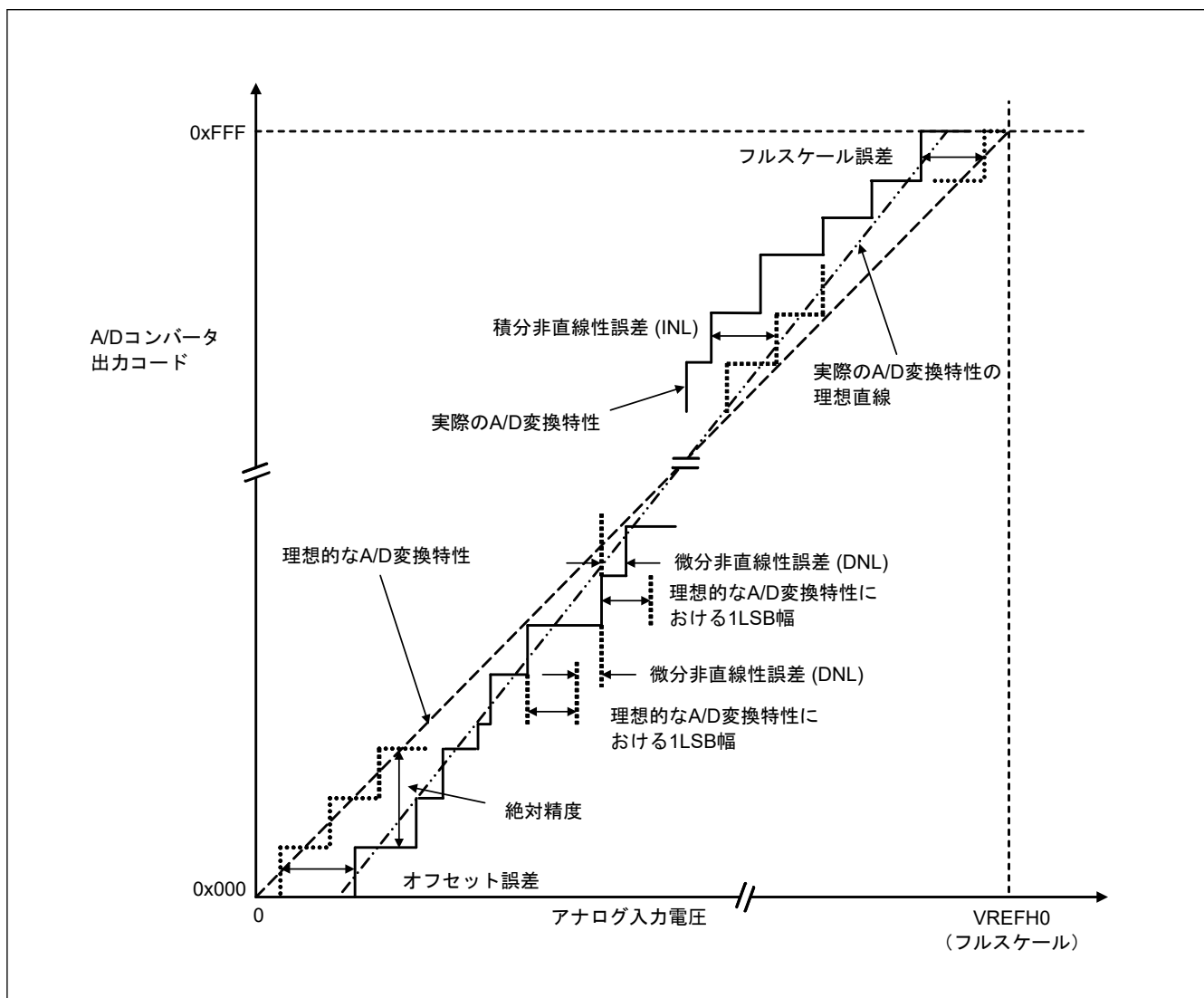


図 43.45 12 ビット A/D コンバータ特性用語の解説図

絶対精度

絶対精度とは、理論的 A/D 変換特性に基づく出力コードと、実際の A/D 変換結果との差です。絶対精度を測定する場合、理論的 A/D 変換特性において同じ出力コードが期待できるアナログ入力電圧の幅（1-LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。たとえば、分解能が 12 ビットで、基準電圧 $V_{REFH0} = 3.072 \text{ V}$ の場合、1 LSB 幅は 0.75 mV になり、アナログ入力電圧には 0 mV 、 0.75 mV 、および 1.5 mV が使用されます。 $\pm 5 \text{ LSB}$ の絶対精度とは、アナログ入力電圧が 6 mV の場合、理論的 A/D 変換特性から期待される出力コードが $0x008$ であっても、実際の A/D 変換結果は $0x003 \sim 0x00D$ の範囲になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的 A/D 変換特性に基づく 1 LSB 幅と、実際の出力コード幅との差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

43.5 TSN 特性**表 43.54 TSN 特性**

条件：VCC = AVCC0 = 1.8~3.6 V

項目	シンボル	Min	Typ	Max	単位	測定条件
相対精度	—	—	± 1.5	—	$^{\circ}\text{C}$	VCC = AVCC0 $\geq 2.4 \text{ V}$ (注1)
		—	± 2.0	—	$^{\circ}\text{C}$	VCC = AVCC0 < 2.4 V (注1)
		—	± 1.0	—	$^{\circ}\text{C}$	VCC = AVCC0 $\geq 2.4 \text{ V}$ (注2)
温度傾斜	—	—	-3.3	—	mV/ $^{\circ}\text{C}$	—
出力電圧 (25 $^{\circ}\text{C}$ 時)	—	—	1.05	—	V	VCC = 3.3 V
温度センサ起動時間	t_{START}	—	—	5	μs	—
サンプリング時間	—	5	—	—	μs	

注 1. 温度傾斜-3.3 mV/ $^{\circ}\text{C}$ を使用します。

注 2. 温度傾斜計算ポイントは、評価に使用した 2 点を使用します。「36.3.1. 使用前の準備」を参照してください。

43.6 OSC 停止検出特性**表 43.55 発振停止検出回路特性**

項目	シンボル	Min	Typ	Max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 43.46

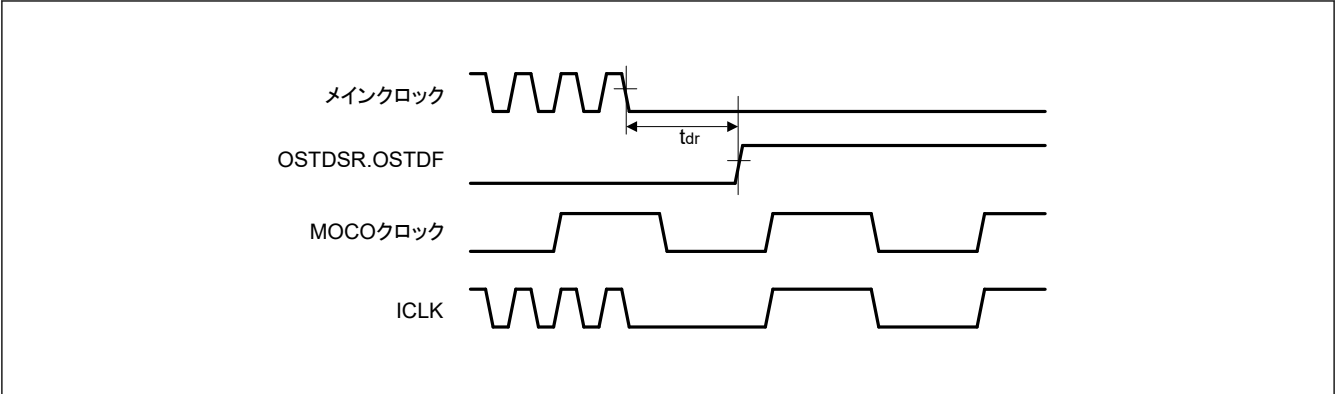


図 43.46 発振停止検出タイミング

43.7 POR と LVD の特性

表 43.56 パワーオンリセット回路と電圧検出回路の特性 (1) (1/2)

項目		シンボル	Min	Typ	Max	単位	測定条件
パワーオンリセット (POR)	電源上昇時	V_{POR}	1.47	1.51	1.55	V	図 43.47 , 図 43.48
	電源下降時	V_{POR}	1.46	1.50	1.54		図 43.47
電圧検出回路 (LVD0) (注1)	電源上昇時	V_{det0_0}	2.73	2.9	3.01	V	図 43.49
	電源下降時		2.68	2.85	2.96		
	電源上昇時	V_{det0_1}	2.44	2.59	2.70		
	電源下降時		2.38	2.53	2.64		
	電源上昇時	V_{det0_2}	1.83	1.95	2.07		
	電源下降時		1.78	1.90	2.02		
	電源上昇時	V_{det0_3}	1.66	1.75	1.88		
	電源下降時		1.60	1.69	1.82		

表 43.56 パワーオンリセット回路と電圧検出回路の特性 (1) (2/2)

項目		シンボル	Min	Typ	Max	単位	測定条件
電圧検出回路 (LVD1) (注2)	電源上昇時	V_{det1_0}	3.05	3.17	3.29	V	図 43.50
	電源下降時		2.98	3.10	3.22		
	電源上昇時	V_{det1_1}	2.95	3.06	3.17		
	電源下降時		2.89	3.00	3.11		
	電源上昇時	V_{det1_2}	2.86	2.97	3.08		
	電源下降時		2.79	2.90	3.01		
	電源上昇時	V_{det1_3}	2.74	2.85	2.96		
	電源下降時		2.68	2.79	2.90		
	電源上昇時	V_{det1_4}	2.63	2.75	2.85		
	電源下降時		2.58	2.68	2.78		
	電源上昇時	V_{det1_5}	2.54	2.64	2.75		
	電源下降時		2.48	2.58	2.68		
	電源上昇時	V_{det1_6}	2.43	2.53	2.63		
	電源下降時		2.38	2.48	2.58		
	電源上昇時	V_{det1_7}	2.16	2.26	2.36		
	電源下降時		2.10	2.20	2.30		
	電源上昇時	V_{det1_8}	1.88	2	2.09		
	電源下降時		1.84	1.96	2.05		
	電源上昇時	V_{det1_9}	1.78	1.9	1.99		
	電源下降時		1.74	1.86	1.95		
	電源上昇時	V_{det1_A}	1.67	1.79	1.88		
	電源下降時		1.63	1.75	1.84		
	電源上昇時	V_{det1_B}	1.65	1.7	1.78		
	電源下降時		1.60	1.65	1.73		
電圧検出回路 (LVD2) (注3)	電源上昇時	V_{det2_0}	3.06	3.19	3.32	V	図 43.51
	電源下降時		3.00	3.13	3.26		
	電源上昇時	V_{det2_1}	2.86	2.98	3.10		
	電源下降時		2.80	2.92	3.04		
	電源上昇時	V_{det2_2}	2.66	2.78	2.90		
	電源下降時		2.60	2.71	2.82		
	電源上昇時	V_{det2_3}	2.46	2.57	2.68		
	電源下降時		2.40	2.50	2.60		
	電源上昇時	V_{det2_4}	2.26	2.36	2.46		
	電源下降時		2.20	2.30	2.40		
	電源上昇時	V_{det2_5}	2.06	2.15	2.24		
	電源下降時		2.00	2.09	2.18		
	電源上昇時	V_{det2_6}	1.86	1.94	2.02		
	電源下降時		1.80	1.88	1.96		
	電源上昇時	V_{det2_7}	1.66	1.73	1.80		
	電源下降時		1.60	1.67	1.74		

注. これらの特性は、ノイズが電源に重畳されていない場合に適用されます。

注 1. $V_{det0\_#}$ の#は OFS1.VDSEL0[1:0]ビットの値を示しています。

注 2. $V_{det1\_#}$ の#は LVD1CMPPCR.LVD1LVL[3:0]ビットの値を示しています。

注 3. $V_{\text{det2\_#}}$ の#は LVD2CMPCR.LVD2LVL[2:0]ビットの値を示しています。

表 43.57 パワーオンリセット回路と電圧検出回路の特性 (2)

項目		シンボル	Min	Typ	Max	単位	測定条件
パワーオンリセット解除後の待機時間	LVD0 : 有効	t_{POR}	—	4.9	—	ms	—
	LVD0 : 無効	t_{POR}	—	4.2	—	ms	—
電圧監視 0、1、2 リセット解除後の待機時間	LVD0 : 有効(注1)	$t_{\text{LVD0, 1, 2}}$	—	0.94	—	ms	—
	LVD0 : 無効(注2)	$t_{\text{LVD1, 2}}$	—	0.25	—	ms	—
パワーオンリセット応答遅延時間(注3)		t_{det}	—	—	500	μs	図 43.47, 図 43.48
LVD0 応答遅延時間(注3)		t_{det}	—	—	500	μs	図 43.49
LVD1 応答遅延時間(注3)		t_{det}	—	—	600	μs	図 43.50
LVD2 応答遅延時間(注3)		t_{det}	—	—	600	μs	図 43.51
最小 VCC 低下時間	POR	t_{VOFF}	500	—	—	μs	図 43.47
	LVD0		300	—	—	μs	図 43.49
	LVD1		300	—	—	μs	図 43.50
	LVD2		600	—	—	μs	図 43.51
パワーオンリセット有効時間		$t_{\text{W (POR)}}$	1	—	—	ms	図 43.48、VCC = 1.0 V 未満
LVD1 動作安定時間 (LVD1 有効切り替え後)		$T_{\text{d (E-A)}}$	—	—	350	μs	図 43.50
LVD2 動作安定時間 (LVD2 有効切り替え後)		$T_{\text{d (E-A)}}$	—	—	600	μs	図 43.51
ヒステリシス幅 (POR)		V_{PORH}	—	10	—	mV	—
ヒステリシス幅 (LVD0, LVD1, LVD2)		V_{LVH}	—	60	—	mV	LVD0 選択時
			—	70	—		$V_{\text{det1\_0}} \sim V_{\text{det1\_5}}$ を選択
			—	60	—		$V_{\text{det1\_6}} \sim V_{\text{det1\_7}}$ を選択
			—	50	—		$V_{\text{det1\_8}} \sim V_{\text{det1\_B}}$ を選択
			—	70	—		LVD2 選択時

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

注 3. 最小 VCC 低下時間は、VCC が POR/LVD の電圧検出レベル V_{POR} 、 V_{det0} 、 V_{det1} 、および V_{det2} の最小値を下回っている時間です。

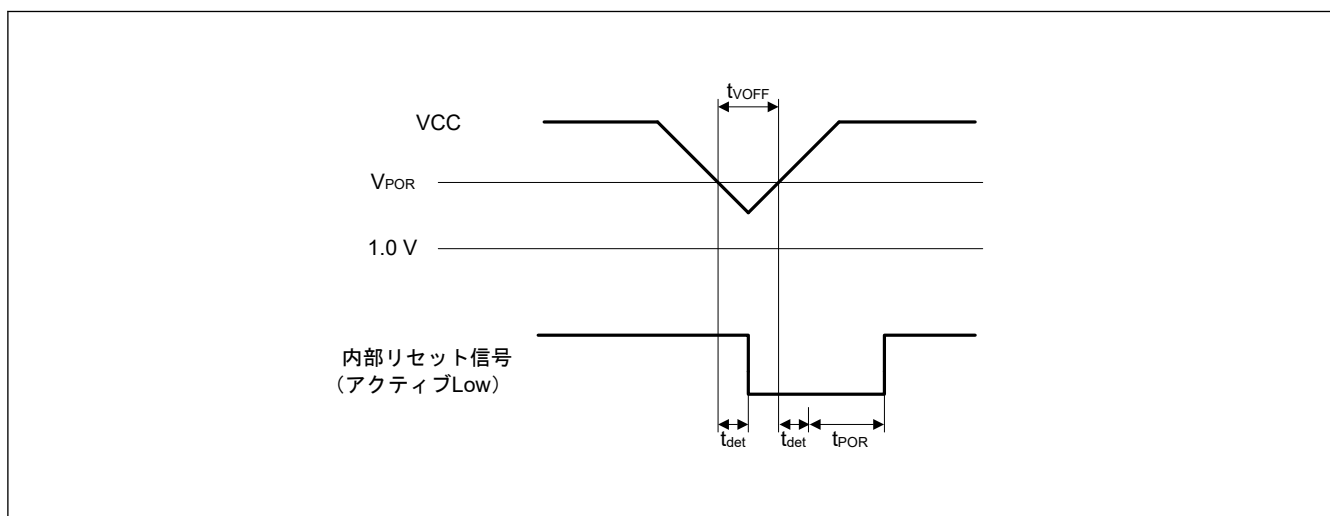


図 43.47 電圧検出リセットタイミング

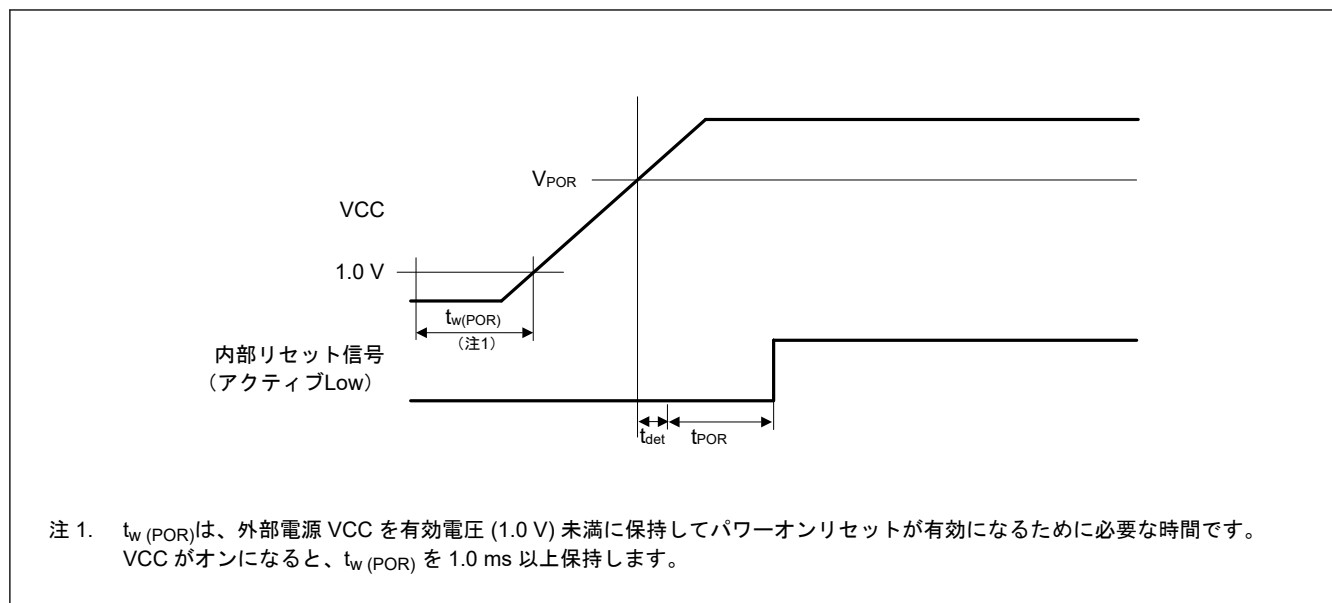
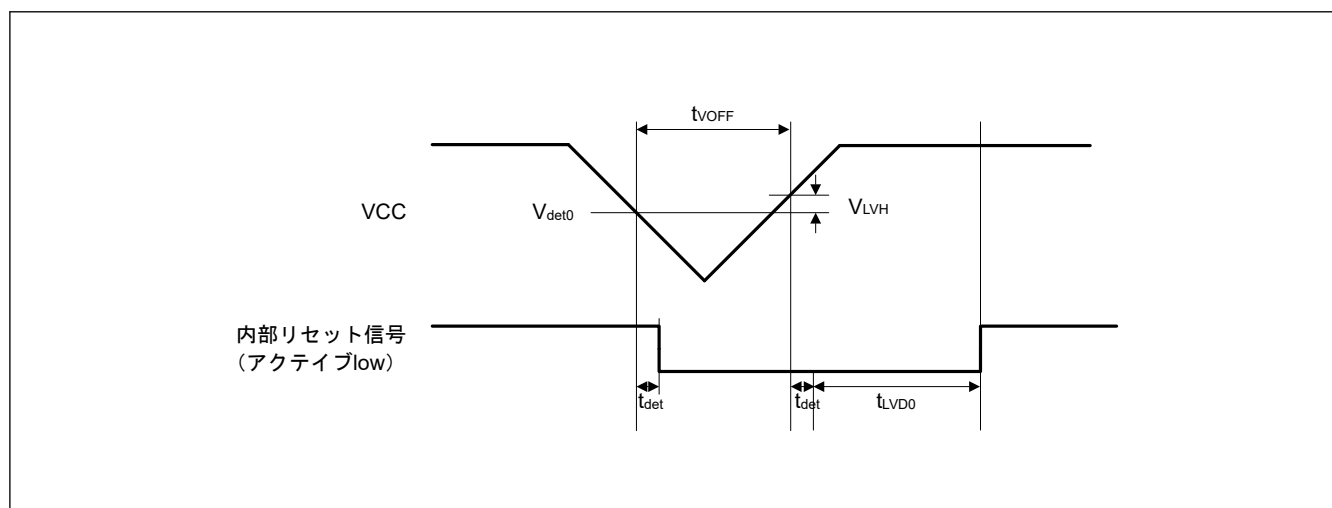
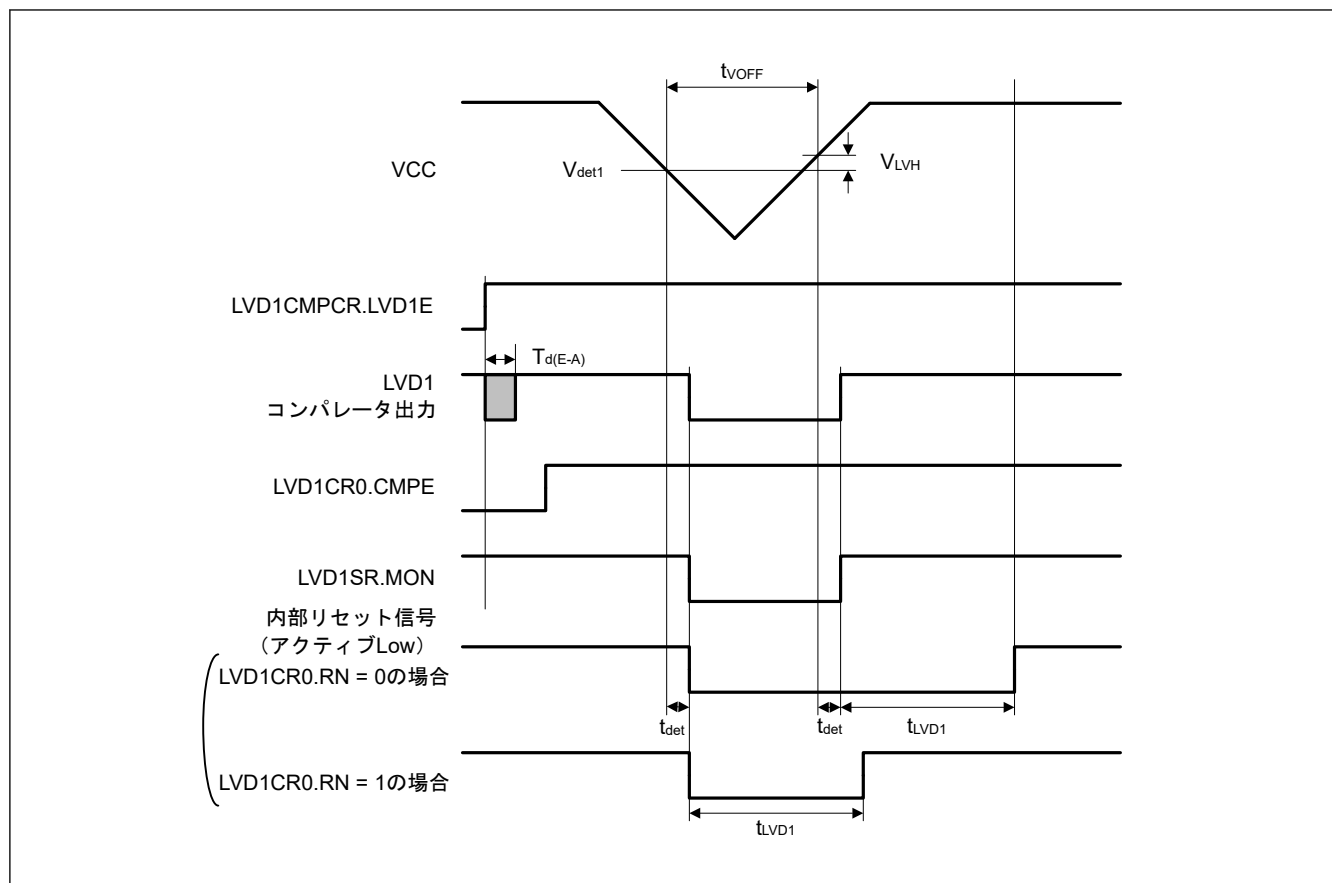
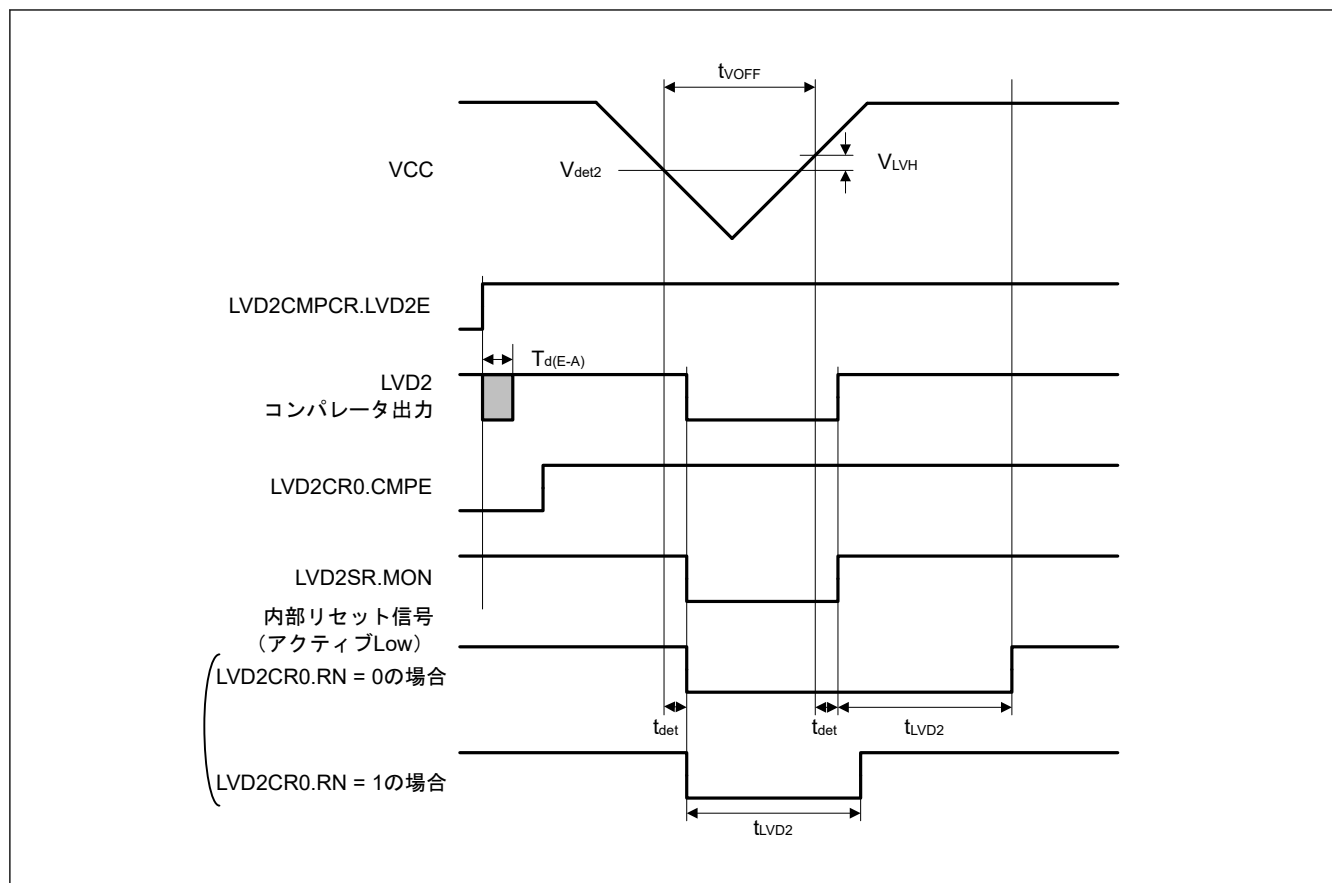


図 43.48 パワーオンリセットタイミング

図 43.49 電圧検出回路タイミング (V_{det0})

図 43.50 電圧検出回路タイミング (V_{det1})

図 43.51 電圧検出回路タイミング (V_{det2})

43.8 VRTC POR 特性

表 43.58 VRTC のパワーオンリセット回路の特性

項目			シンボル	Min	Typ	Max	単位	測定条件
電圧検出レベル	VRTC のパワーオンリセット (VRTC_POR)	電源上昇時	V _{RTCPOR}	1.51	1.55	1.59	V	図 43.52
		電源下降時	V _{RTCPDR}	1.49	1.53	1.57		
最小パルス幅	t _{RTCVOFF}		—	500	—	—	μs	図 43.52
VRTC のヒステリシス幅 (VRTC_POR)			V _{RTCPORH}	—	20	—	mV	—
パワーオンリセット解除後の待機時間			t _{RTCPOR}	—	—	12	ms	図 43.52
VRTC のパワーオンリセット応答遅延時間(注1)			t _{rtcdet}	—	—	500	μs	図 43.52
VRTC のパワーオンリセット有効時間(注1)			t _W (VRTC_POR)	1	—	—	ms	図 43.52、VRTC = 1.0 V 未満

注 1. 最小 VRTC 低下時間は、VRTC が VRTC_POR の電圧検出レベルの最小値を下回っている時間を示します。

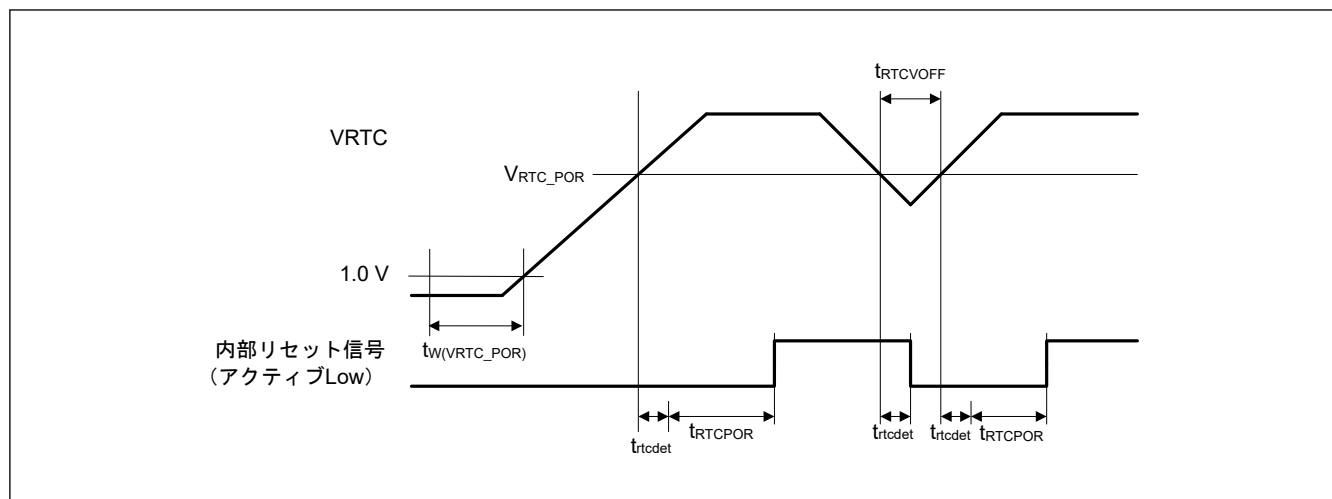


図 43.52 VRTC の電圧検出しリセットタイミングおよびパワーオンリセットタイミング

43.9 EXLVDVBAT 端子電圧検出特性

表 43.59 EXLVDVBAT 端子電圧検出特性 (1/2)

条件 : VCC = AVCC = 1.6~3.6 V

項目	シンボル	条件	Min	Typ	Max	単位	測定条件
内部基準電圧	VLVDVBAT0	立ち上がり	1.61	1.65	1.70	V	—
		立ち下がり	1.55	1.59	1.63		—
	VLVDVBAT1	立ち上がり	2.17	2.24	2.31		—
		立ち下がり	2.12	2.18	2.24		—
	VLVDVBAT2	立ち上がり	2.37	2.44	2.51		—
		立ち下がり	2.31	2.38	2.45		—
	VLVDVBAT3	立ち上がり	2.56	2.64	2.72		—
		立ち下がり	2.50	2.58	2.66		—
	VLVDVBAT4	立ち上がり	2.66	2.74	2.82		—
		立ち下がり	2.60	2.68	2.76		—
	VLVDVBAT5	立ち上がり	2.76	2.84	2.92		—
		立ち下がり	2.70	2.78	2.86		—
	VLVDVBAT6	立ち上がり	3.05	3.14	3.23		—
		立ち下がり	2.99	3.08	3.17		—
最小パルス幅	$t_{pw\_lvdvbat}$	—	500	—	—	μs	図 43.53
検出遅延時間	$t_{d\_lvdvbat}$	—	—	—	500	μs	図 43.53

表 43.59 EXLVDVBAT 端子電圧検出特性 (2/2)

条件 : VCC = AVCC = 1.6~3.6 V

項目	シンボル	条件	Min	Typ	Max	単位	測定条件
動作安定時間 (EXLVDVBAT 有効切り 替え後)	$t_{d(E-A)}_{lvdvbat}$	—	—	—	500	μs	図 43.53
設定変更安定時間	$t_{d\_set\_lvdvbat}$	—	—	—	500	μs	—
端子レジスタ	$r_{in\_lvdvbat}$	VBTLV DCR.L VDE = 1	80	150	280	M Ω	—

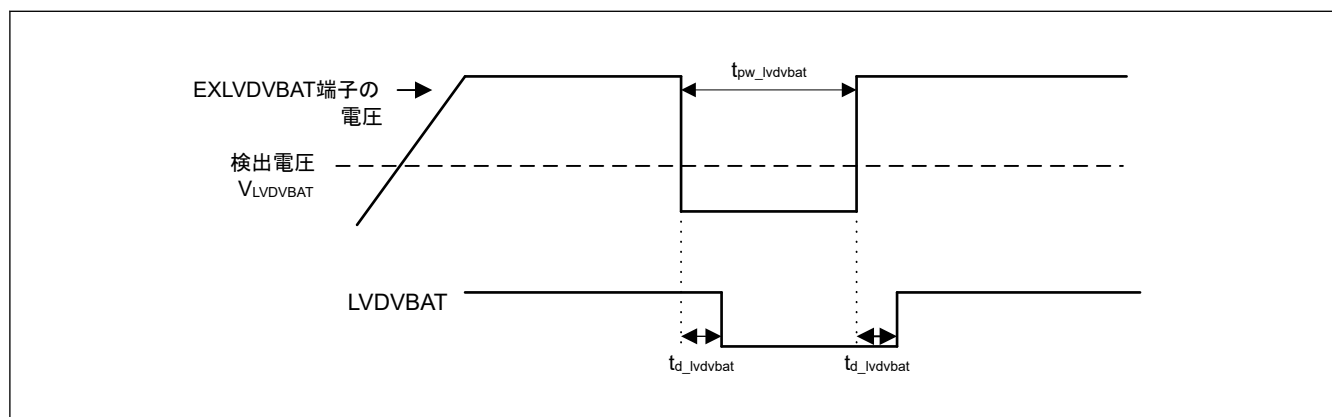


図 43.53 EXLVDVBAT 端子電圧検出回路タイミング

43.10 VRTC 端子電圧検出特性

表 43.60 VRTC 端子電圧検出特性

条件 : VCC = AVCC = 1.6~3.6 V, VRTC = 1.6~3.6 V

項目	シンボル	条件	Min	Typ	Max	単位	測定条件
内部基準電圧	VLVDVRTC0	立ち上がり	1.61	1.65	1.70	V	—
		立ち下がり	1.55	1.59	1.63		—
	VLVDVRTC1	立ち上がり	1.80	1.85	1.90		—
		立ち下がり	1.74	1.79	1.84		—
	VLVDVRTC2	立ち上がり	1.99	2.05	2.11		—
		立ち下がり	1.94	1.99	2.05		—
	VLVDVRTC3	立ち上がり	2.19	2.25	2.31		—
		立ち下がり	2.13	2.19	2.25		—
	VLVDVRTC4	立ち上がり	2.38	2.45	2.52		—
		立ち下がり	2.33	2.39	2.46		—
	VLVDVRTC5	立ち上がり	2.58	2.65	2.72		—
		立ち下がり	2.52	2.59	2.66		—
	VLVDVRTC6	立ち上がり	2.77	2.85	2.93		—
		立ち下がり	2.71	2.79	2.87		—
	VLVDVRTC7	立ち上がり	2.97	3.05	3.13		—
		立ち下がり	2.91	2.99	3.07		—
最小パルス幅	$t_{pw\_lvdvrtc}$	—	500	—	—	μs	図 43.54
検出遅延時間	$t_{d\_lvdvrtc}$	—	—	—	500	μs	図 43.54
動作安定時間 (LVDVRTC 有効切り替え後)	$t_{d(E-A)\_lvdvrtc}$	—	—	—	300	μs	図 43.54
設定変更安定時間	$t_{d\_set\_lvdvrtc}$	—	—	—	1	ms	—
端子レジスタ	$r_{in\_lvdvrtc}$	VBTLV DCR.L VDE = 1	80	150	280	M Ω	—

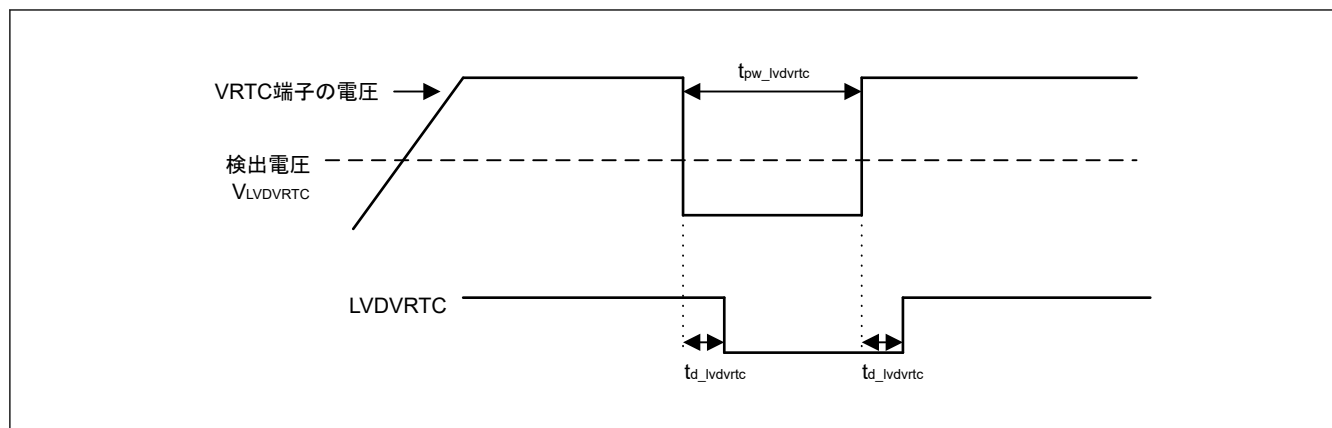


図 43.54 VRTC 端子電圧検出回路タイミング

43.11 EXLVD 端子電圧検出

表 43.61 EXLVD 端子電圧検出特性

条件 : $V_{CC} = AV_{CC} = 1.6 \sim 3.6 \text{ V}$

項目	シンボル	条件	Min	Typ	Max	単位	測定条件
内部基準電圧	$V_{LVDEXLVD}$	立ち上がり	1.25	1.33	1.41	V	—
		立ち下がり	1.20	1.28	1.36		—
最小パルス幅	$t_{pw\_lvdexlvd}$	—	500	—	—	μs	図 43.55
検出遅延時間	t_{d_exlvd}	—	—	—	500	μs	図 43.55
動作安定時間 (EXLVD 有効切り替え後)	$t_{d(E-A)\_exlvd}$	—	—	—	300	μs	図 43.55
端子レジスタ	r_{in_exlvd}	EXLVD CR.LVD E = 1	30	60	115	$\text{M}\Omega$	—

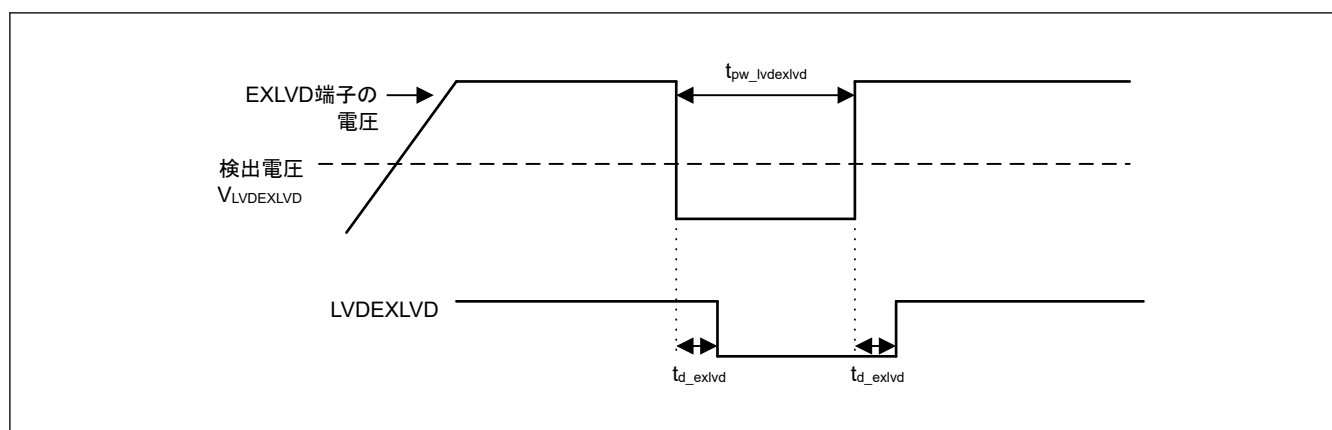


図 43.55 EXLVD 端子電圧検出回路タイミング

43.12 セグメント LCD コントローラ特性

43.12.1 外部抵抗分割法

(1) スタティック表示モード

表 43.62 外部抵抗分割法の LCD 特性 (1)

条件 : $V_{L4}(\text{Min}) \leq V_{CC} = AV_{CC} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$

項目	シンボル	Min	Typ	Max	単位	測定条件
LCD 駆動電圧	V_{L4}	2.0	—	VCC	V	—

(2) 1/2 バイアス法、1/4 バイアス法

表 43.63 外部抵抗分割法の LCD 特性 (2)

条件 : $V_{L4}(\text{Min}) \leq V_{CC} = AV_{CC} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$

項目	シンボル	Min	Typ	Max	単位	測定条件
LCD 駆動電圧	V_{L4}	2.7	—	VCC	V	—

(3) 1/3 バイアス法

表 43.64 外部抵抗分割法の LCD 特性 (3)

条件 : $V_{L4}(\text{Min}) \leq V_{CC} = AV_{CC} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$

項目	シンボル	Min	Typ	Max	単位	測定条件
LCD 駆動電圧	V_{L4}	2.5	—	VCC	V	—

43.12.2 内部電圧昇圧方式 (VL1 リファレンス)

(1) 1/3 バイアス法

表 43.65 内部電圧昇圧方式の LCD 特性 (1)

条件: VCC = AVCC = 1.8 V ~ 3.6 V, VSS = AVSS = 0 V

項目	シンボル	条件		Min	Typ	Max	単位	測定条件
LCD 出力電圧の変動範囲	V _{L1}	C1~C4(注5) = 0.47 μF	VLCD(注1) = 0x04	0.97	1.01	1.04	V	—
			VLCD = 0x05	1.00	1.04	1.08	V	—
			VLCD = 0x06	1.04	1.07	1.11	V	—
			VLCD = 0x07	1.07	1.11	1.14	V	—
			VLCD = 0x08	1.10	1.14	1.18	V	—
			VLCD = 0x09	1.13	1.17	1.21	V	—
			VLCD = 0x0A	1.16	1.21	1.25	V	—
			VLCD = 0x0B	1.20	1.24	1.28	V	—
			VLCD = 0x0C	1.23	1.27	1.32	V	—
			VLCD = 0x0D	1.26	1.31	1.35	V	—
			VLCD = 0x0E	1.29	1.34	1.38	V	—
			VLCD = 0x0F	1.33	1.37	1.42	V	—
			VLCD = 0x10	1.36	1.40	1.45	V	—
			VLCD = 0x11	1.39	1.44	1.49	V	—
			VLCD = 0x12	1.42	1.47	1.52	V	—
			VLCD = 0x13	1.45	1.50	1.55	V	—
			VLCD = 0x14	1.49	1.54	1.59	V	—
			VLCD = 0x15	1.52	1.57	1.62	V	—
			VLCD = 0x16	1.55	1.60	1.66	V	—
			出力電圧 2 倍	V _{L2}	C1~C4(注5) = 0.47 μF	2 × V _{L1} - 5%	2 × V _{L1}	2 × V _{L1} + 5%
出力電圧 3 倍	V _{L4}	C1~C4(注5) = 0.47 μF	3 × V _{L1} - 6%	3 × V _{L1}	3 × V _{L1} + 6%	V	—	
リファレンス電圧 起動時間(注2)	t _{VL1S}	—	10	—	—	ms	図 43.56	
電圧昇圧待機時間 (注3)	t _{VLWT}	—	500	—	—	ms	図 43.56	

注. 5 V の LCD パネル使用時に 0x0E ~ 0x1A の設定が許可されます。1/3 バイアスで 3 V の LCD パネル使用時に 0x04 ~ 0x07 の設定が許可されます。

注 1. 内部電圧昇圧方式 (VL1 リファレンス) に対して、VLCD レジスタのビット[7] (MDSET[2]) は 0、LCDM0 レジスタのビット[7:6] (MDSET[1:0]) は 01 に設定されます。VLCD レジスタのビット[4:0] (VLCD4-0) は電圧変動の設定に使用されます。

注 2. リファレンス電圧が VLCD レジスタで指定されたとき (またはリファレンス電圧の初期値を使用時に、内部電圧昇圧方式が選択されたとき (LCDM0 レジスタの MDSET[1:0] ビットを 01b、VLCD レジスタの MDSET[2] ビットを 0 に設定)) から電圧昇圧が開始 (VLCON = 1) するまで、待機するのに必要な時間です。

注 3. 電圧昇圧が開始 (VLCON = 1) したときから表示が許可 (LCDON = 1) されるまでの待機時間です。

注 4. この設定は VCC $\geq$ VL1 の場合のみ使用可能です。

注 5. このコンデンサは、LCD を駆動するのに使用される電圧端子間に接続されます。

C1: CAPH と CAPL の間に接続されたコンデンサ

C2: VL1 と GND の間に接続されたコンデンサ

C3: VL2 と GND の間に接続されたコンデンサ

C4: VL4 と GND の間に接続されたコンデンサ

C1 = C2 = C3 = C4 = 0.47 μ F $\pm$ 30%

(2) 1/4 バイアス法

表 43.66 内部電圧昇圧方式の LCD 特性 (2)

条件 : VCC = AVCC = 1.8 V ~ 3.6 V, VSS = AVSS = 0 V

項目	シンボル	条件		Min	Typ	Max	単位	測定条件
LCD 出力電圧の変動範囲	V _{L1}	C1~C5(注1) = 0.47 μF	VLCD(注2) = 0x04	0.97	1.01	1.04	V	—
			VLCD = 0x05	1.00	1.04	1.08	V	—
			VLCD = 0x06	1.04	1.07	1.11	V	—
			VLCD = 0x07	1.07	1.11	1.14	V	—
			VLCD = 0x08	1.10	1.14	1.18	V	—
			VLCD = 0x09	1.13	1.17	1.21	V	—
			VLCD = 0x0A	1.16	1.21	1.25	V	—
			VLCD = 0x0B	1.20	1.24	1.28	V	—
			VLCD = 0x0C	1.23	1.27	1.32	V	—
			VLCD = 0x0D	1.26	1.31	1.35	V	—
出力電圧 2 倍	V _{L2}	C1~C5(注1) = 0.47 μF		2 × V _{L1} - 5%	2 × V _{L1}	2 × V _{L1} + 5%	V	—
出力電圧 3 倍	V _{L3}	C1~C5(注1) = 0.47 μF		3 × V _{L1} - 6%	3 × V _{L1}	3 × V _{L1} + 6%	V	—
出力電圧 4 倍	V _{L4} (注5)	C1~C5(注1) = 0.47 μF		4 × V _{L1} - 6%	4 × V _{L1}	4 × V _{L1} + 6%	V	—
リファレンス電圧起動時間(注3)	t _{VL1S}	—		10	—	—	ms	図 43.56
電圧昇圧待機時間(注4)	t _{VLWT}	—		500	—	—	ms	図 43.56

注 1. このコンデンサは、LCD を駆動するのに使用される電圧端子間に接続されます。

C1: CAPH と CAPL の間に接続されたコンデンサ

C2: VL1 と GND の間に接続されたコンデンサ

C3: VL2 と GND の間に接続されたコンデンサ

C4: VL3 と GND の間に接続されたコンデンサ

C5: VL4 と GND の間に接続されたコンデンサ

C1 = C2 = C3 = C4 = C5 = 0.47 μ F $\pm$ 30%

注 2. 内部電圧昇圧方式 (VL1 リファレンス) に対して、VLCD レジスタのビット[7] (MDSET[2]) は 0、LCDM0 レジスタのビット[7:6] (MDSET[1:0]) は 01 に設定されます。VLCD レジスタのビット[4:0] (VLCD4-0) は電圧変動の設定に使用されます。

注 3. リファレンス電圧が VLCD レジスタで指定されたとき (またはリファレンス電圧の初期値を使用時に、内部電圧昇圧方式が選択されたとき (LCDM0 レジスタの MDSET[1:0] ビットを 01b、VLCD レジスタの MDSET[2] ビットを 0 に設定)) から電圧昇圧が開始 (VLCON = 1) するまで、待機するのに必要な時間です。

注 4. 電圧昇圧が開始 (VLCON = 1) したときから表示が許可 (LCDON = 1) されるまでの待機時間です。

注 5. VL4 は 3.6 V 以下にする必要があります。

43.12.3 内部電圧昇圧方式 (VL2 リファレンス)

(1) 1/3 バイアス法

表 43.67 内部電圧昇圧方式の LCD 特性 (3) (1/2)

条件 : VCC = AVCC = VL2 (Max) + 0.1 ~ 3.6 V, VSS = AVSS = 0 V

項目	シンボル	条件	Min	Typ	Max	単位	測定条件
出力電圧 1/2 倍	VL1	C1~C4(注1) = 0.47 μ F	$1/2 \times V_{L2} - 5\%$	$1/2 \times V_{L2}$	$1/2 \times V_{L2} + 5\%$	V	—

表 43.67 内部電圧昇圧方式の LCD 特性 (3) (2/2)

条件 : VCC = AVCC = VL2 (Max) + 0.1~3.6 V, VSS = AVSS = 0 V

項目	シンボル	条件		Min	Typ	Max	単位	測定条件
LCD 出力電圧の変動範囲	V _{L2}	C1~C4(注1) = 0.47 μF	VLCD(注2) = 0x84	1.94	2.02	2.11	V	—
			VLCD = 0x85	2.00	2.09	2.18	V	—
			VLCD = 0x86	2.07	2.16	2.25	V	—
			VLCD = 0x87	2.13	2.22	2.32	V	—
			VLCD = 0x88	2.19	2.29	2.39	V	—
			VLCD = 0x89	2.26	2.36	2.46	V	—
			VLCD = 0x8A	2.32	2.42	2.53	V	—
			VLCD = 0x8B	2.39	2.49	2.59	V	—
			VLCD = 0x8C	2.45	2.56	2.66	V	—
			VLCD = 0x8D	2.51	2.62	2.73	V	—
			VLCD = 0x8E	2.58	2.69	2.80	V	—
			VLCD = 0x8F	2.64	2.76	2.87	V	—
			VLCD = 0x90	2.70	2.82	2.94	V	—
			VLCD = 0x91	2.77	2.89	3.01	V	—
			VLCD = 0x92	2.83	2.96	3.08	V	—
			VLCD = 0x93	2.90	3.02	3.15	V	—
			VLCD = 0x94	2.96	3.09	3.22	V	—
			VLCD = 0x95	3.02	3.15	3.29	V	—
			VLCD = 0x96	3.09	3.22	3.35	V	—
			VLCD = 0x97	3.15	3.29	3.42	V	—
			VLCD = 0x98	3.21	3.35	3.49	V	—
			VLCD = 0x99	3.28	3.42	3.56	V	—
			VLCD = 0x9A	3.34	3.49	3.63	V	—
出力電圧 2/3 倍	V _{L4} (注5)	C1~C4(注1) = 0.47 μF		2/3 × V _{L2} - 6%	2/3 × V _{L2}	2/3 × V _{L2} + 6%	V	—
リファレンス電圧 起動時間(注3)	t _{VL2S}	—		10	—	—	ms	図 43.56
電圧昇圧待機時間 (注4)	t _{VLWT}	—		500	—	—	ms	図 43.56

注. 5 V の LCD パネル使用時に 0x8E~0x9A の設定が許可されます。1/3 バイアスで 3 V の LCD パネル使用時に 0x84~0x87 の設定が許可されます。

注 1. このコンデンサは、LCD を駆動するのに使用される電圧端子間に接続されます。

C1: CAPH と CAPL の間に接続されたコンデンサ

C2: VL1 と GND の間に接続されたコンデンサ

C3: VL2 と GND の間に接続されたコンデンサ

C4: VL4 と GND の間に接続されたコンデンサ

C1 = C2 = C3 = C4 = 0.47 μ F $\pm 30\%$

注 2. 内部電圧昇圧方式 (VL2 リファレンス) に対して、VLCD レジスタのビット[7] (MDSET[2]) は 1、LCDM0 レジスタのビット[7:6] (MDSET[1:0]) は 01 に設定されます。VLCD レジスタのビット[4:0] (VLCD4-0) は電圧変動の設定に使用されます。

注 3. リファレンス電圧が VLCD レジスタで指定されたとき (またはリファレンス電圧の初期値を使用時に、内部電圧昇圧方式が選択されたとき (LCDM0 レジスタの MDSET[1:0] ビットを 01b、VLCD レジスタの MDSET[2] ビットを 1 に設定)) から電圧昇圧が開始 (VLCON = 1) するまで、待機するのに必要な時間です。

注 4. 電圧昇圧が開始 (VLCON = 1) したときから表示が許可 (LCDON = 1) されるまでの待機時間です。

注 5. VL4 は 3.6 V 以下にする必要があります。

43.12.4 容量分割方式（VCC リファレンス）

(1) 1/3 バイアス法

表 43.68 容量分割方式の LCD 特性 (1)

条件 : VCC = AVCC = 2.2 V ~ 3.6 V, VSS = AVSS = 0 V

項目	シンボル	条件	Min	Typ	Max	単位	測定条件
VL4 電圧	V_{L4}	C1~C4(注2) = 0.47 μ F	—	VCC	—	V	—
VL2 電圧	V_{L2}	C1~C4(注2) = 0.47 μ F	$2/3 \times V_{L4} - 3\%$	$2/3 \times V_{L4}$	$2/3 \times V_{L4} + 3\%$	V	—
VL1 電圧	V_{L1}	C1~C4(注2) = 0.47 μ F	$1/3 \times V_{L4} - 3\%$	$1/3 \times V_{L4}$	$1/3 \times V_{L4} + 3\%$	V	—
容量分割待機時間(注1)	t_{WAIT}	—	100	—	—	ms	図 43.56

注. 容量分割方式（VCC リファレンス）に対して、VLCD レジスタのビット[7] (MDSET[2]) は 0、LCDM0 レジスタのビット[7:6] (MDSET[1:0]) は 10 に設定されます。

注 1. 電圧バッキングが開始 (VLCON = 1) したときから表示が許可 (LCDON = 1) されるまでの待機時間です。

注 2. このコンデンサは、LCD を駆動するのに使用される電圧端子間に接続されます。

C1: CAPH と CAPL の間に接続されたコンデンサ

C2: VL1 と GND の間に接続されたコンデンサ

C3: VL2 と GND の間に接続されたコンデンサ

C4: VL4 と GND の間に接続されたコンデンサ

C1 = C2 = C3 = C4 = 0.47 μ F $\pm 30\%$

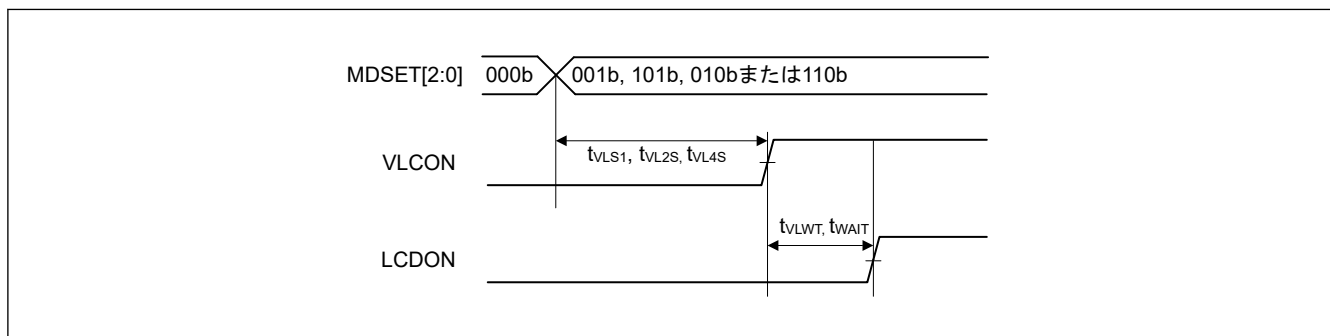


図 43.56 LCD リファレンス電圧起動時間、電圧昇圧待機時間、容量分割待機時間

43.12.5 容量分割方式（VL4 リファレンス）

(1) 1/3 バイアス法

表 43.69 容量分割方式の LCD 特性 (3)

条件 : VCC = AVCC = 3.2 V ~ 3.6 V, VSS = AVSS = 0 V

項目	シンボル	条件	Min	Typ	Max	単位	測定条件
VL4 電圧	V_{L4}	C1~C4(注2) = 0.47 μ F	2.89	3.04	3.20	V	—
VL2 電圧	V_{L2}	C1~C4(注2) = 0.47 μ F	1.89	2.03	2.17	V	—
VL1 電圧	V_{L1}	C1~C4(注2) = 0.47 μ F	0.94	1.01	1.08	V	—
リファレンス電圧 起動時間(注3)	t_{VL4S}	—	10	—	—	ms	図 43.56
容量分割待機時間 (注1)	t_{WAIT}	—	100	—	—	ms	図 43.56

注 1. 電圧バッキングが開始 (VLCON = 1) したときから表示が許可 (LCDON = 1) されるまでの待機時間です。

注 2. このコンデンサは、LCD を駆動するのに使用される電圧端子間に接続されます。

C1: CAPH と CAPL の間に接続されたコンデンサ

C2: VL1 と GND の間に接続されたコンデンサ

C3: VL2 と GND の間に接続されたコンデンサ

C4: VL4 と GND の間に接続されたコンデンサ

C1 = C2 = C3 = C4 = 0.47 μ F $\pm$ 30%

注 3. 容量分割方式 (VL4 リファレンス) に対して、VLCD レジスタのビット[7] (MDSET[2]) は 1、LCDM0 レジスタのビット[7:6] (MDSET[1:0]) は 10 に設定されます。

43.13 フラッシュメモリ特性

43.13.1 コードフラッシュメモリ特性

表 43.70 コードフラッシュ特性 (1)

項目	シンボル	Min	Typ	Max	単位	条件
再プログラム／イレースサイクル(注1)	N _{PEC}	1000	—	—	回	—
データ保持時間	1000 回の N _{PEC} の後	20(注2) (注3)	—	—	年	T _a = +85 °C T _a = +105 °C
		10	—	—	年	T _a = +125 °C

注 1. 再プログラム／イレースサイクルは、ブロックごとの消去回数です。再プログラム／イレースサイクルが n 回 (n = 1,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、2 KB のブロックについて、それぞれ異なるアドレスに 8 バイト書き込みを 256 回に分けて行った後に、そのブロックを消去した場合も、再プログラム／イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません (上書き禁止)。

注 2. 弊社提供のフラッシュメモリプログラマおよびセルフプログラミングライブラリを使用した場合の特性です。

注 3. この結果は信頼性試験から得られたものです。

表 43.71 コードフラッシュ特性 (2)

High-speed 動作モード

条件 : VCC = AVCC0 = 1.8~3.6 V

項目		シンボル	ICLK = 1 MHz			ICLK = 48 MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	8 バイト	t _{P8}	—	128	1064	—	44.2	420	μ s
イレース時間	2 KB	t _{E2K}	—	14.1	390	—	5.5	214	ms
ブランクチェック時間	8 バイト	t _{BC8}	—	—	67.7	—	—	8.6	μ s
	2 KB	t _{BC2K}	—	—	7538	—	—	272	μ s
イレースサスペンド時間		t _{SED}	—	—	33.4	—	—	10.7	μ s
強制停止時間		t _{FD}	—	—	33.4	—	—	10.7	μ s
コンフィグレーション設定時間		t _{CFGs}	—	27	494	—	11	255	ms
フラッシュメモリモード遷移待機時間 1		t _{DIS}	2	—	—	2	—	—	μ s
フラッシュメモリモード遷移待機時間 2		t _{MS}	15	—	—	15	—	—	μ s

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK 下限周波数は 1 MHz です。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は $\pm$ 1.0%とします。クロックソースの周波数精度を確認してください。

表 43.72 コードフラッシュ特性 (3) (1/2)

Middle-speed 動作モード

条件 : VCC = AVCC0 = 1.6~3.6 V

項目		シンボル	ICLK = 1 MHz			ICLK = 8 MHz(注1)			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	8 バイト	t _{P8}	—	128	1064	—	50.6	468	μ s
イレース時間	2 KB	t _{E2K}	—	14.1	390	—	6.32	231	ms

表 43.72 コードフラッシュ特性 (3) (2/2)

Middle-speed 動作モード

条件 : VCC = AVCC0 = 1.6~3.6 V

項目		シンボル	ICLK = 1 MHz			ICLK = 8 MHz(注1)			単位
			Min	Typ	Max	Min	Typ	Max	
ブランクチェック時間	8 バイト	t _{BC8}	—	—	67.7	—	—	13.3	μs
	2 KB	t _{BC2K}	—	—	7538	—	—	947	μs
イレースサスペンド時間		t _{SED}	—	—	33.4	—	—	13.1	μs
強制停止時間		t _{FD}	—	—	33.4	—	—	13.1	μs
コンフィグレーション設定時間		t _{CFGs}	—	27	494	—	12	277	ms
フラッシュメモリモード遷移待機時間 1		t _{DIS}	2	—	—	2	—	—	μs
フラッシュメモリモード遷移待機時間 2		t _{MS}	15	—	—	15	—	—	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK 下限周波数は 1 MHz です。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 1. 1.8 V ≤ VCC = AVCC0 ≤ 3.6 V の場合

表 43.73 コードフラッシュ特性 (4)

Low-speed 動作モード

条件 : VCC = AVCC0 = 1.6~3.6 V

項目		シンボル	ICLK = 1 MHz			単位
			Min	Typ	Max	
プログラム時間	8 バイト	t _{P8}	—	128	1064	μs
イレース時間	2 KB	t _{E2K}	—	14.1	390	ms
ブランクチェック時間	8 バイト	t _{BC8}	—	—	67.7	μs
	2 KB	t _{BC2K}	—	—	7538	μs
イレースサスペンド時間		t _{SED}	—	—	33.4	μs
強制停止時間		t _{FD}	—	—	33.4	μs
コンフィグレーション設定時間		t _{CFGs}	—	27	494	ms
フラッシュメモリモード遷移待機時間 1		t _{DIS}	2	—	—	μs
フラッシュメモリモード遷移待機時間 2		t _{MS}	15	—	—	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK 下限周波数は 1 MHz です。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

43.13.2 データフラッシュメモリ特性

表 43.74 データフラッシュ特性 (1)

項目	シンボル	Min	Typ	Max	単位	条件
再プログラム/イレースサイクル(注1)	N _{DPEC}	100000	1000000	—	回	—
データ保持時間	10000 回の N _{DPEC} の後	t _{DDRP}	20(注2) (注3)	—	年	Ta = +85 °C
			10(注2) (注3)	—		Ta = +105 °C
		—	5(注2) (注3)	—		Ta = +105 °C
			—	1(注2) (注3)		Ta = +25 °C

- 注 1. 再プログラム／イレースサイクルは、ブロックごとの消去回数です。再プログラム／イレースサイクルが n 回 ($n = 100,000$) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、256 バイトのブロックについて、それぞれ異なるアドレスに 1 バイト書き込みを 256 回に分けて行った後に、そのブロックを消去した場合も、再プログラム／イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)
- 注 2. 弊社提供のフラッシュメモリプログラマおよびセルフプログラミングライブラリを使用した場合の特性です。
- 注 3. 信頼性試験から得られた結果です。

表 43.75 データフラッシュ特性 (2)

High-speed 動作モード

条件: $VCC = AVCC0 = 1.8 \sim 3.6$ V

項目		シンボル	ICLK = 1 MHz			ICLK = 48 MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	1 バイト	t_{DP1}	—	112	903	—	33.9	317	μ s
イレース時間	256 バイト	t_{DE256}	—	14.1	390	—	5.50	214	ms
ブランクチェック時間	1 バイト	t_{DBC1}	—	—	67.7	—	—	8.6	μ s
	256 バイト	t_{DBC256}	—	—	7538	—	—	272	μ s
イレース実行中のサスペンド時間		t_{DSED}	—	—	33.4	—	—	10.7	μ s
強制停止時間		t_{FD}	—	—	33.4	—	—	10.7	μ s
データフラッシュ STOP 復帰時間		t_{DSTOP}	250	—	—	250	—	—	ns

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK 下限周波数は 1 MHz です。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は $\pm 1.0\%$ とします。クロックソースの周波数精度を確認してください。

表 43.76 データフラッシュ特性 (3)

Middle-speed 動作モード

条件: $VCC = AVCC0 = 1.6 \sim 3.6$ V

項目		シンボル	ICLK = 1 MHz			ICLK = 8 MHz(注1)			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	1 バイト	t_{DP1}	—	112	903	—	39.7	359	μ s
イレース時間	256 バイト	t_{DE256}	—	14.1	390	—	6.32	231	ms
ブランクチェック時間	1 バイト	t_{DBC1}	—	—	67.7	—	—	13.3	μ s
	256 バイト	t_{DBC256}	—	—	7538	—	—	947	μ s
イレース実行中のサスペンド時間		t_{DSED}	—	—	33.4	—	—	13.1	μ s
強制停止時間		t_{FD}	—	—	33.4	—	—	13.1	μ s
データフラッシュ STOP 復帰時間		t_{DSTOP}	250	—	—	250	—	—	ns

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK 下限周波数は 1 MHz です。

注. フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は $\pm 1.0\%$ とします。クロックソースの周波数精度を確認してください。注 1. 1.8 V $\leq VCC = AVCC0 \leq 3.6$ V の場合

表 43.77 データフラッシュ特性 (4) (1/2)

Low-speed 動作モード

条件: $VCC = AVCC0 = 1.6 \sim 3.6$ V

項目		シンボル	ICLK = 1 MHz			単位
			Min	Typ	Max	
プログラム時間	1 バイト	t_{DP1}	—	112	903	μ s
イレース時間	256 バイト	t_{DE256}	—	14.1	390	ms
ブランクチェック時間	1 バイト	t_{DBC1}	—	—	67.7	μ s
	256 バイト	t_{DBC256}	—	—	7538	μ s

表 43.77 データフラッシュ特性 (4) (2/2)

Low-speed 動作モード

条件 : VCC = AVCC0 = 1.6~3.6 V

項目	シンボル	ICLK = 1 MHz			単位
		Min	Typ	Max	
イレース実行中のサスペンド時間	t _{DSED}	—	—	33.4	μs
強制停止時間	t _{FD}	—	—	33.4	μs
データフラッシュ STOP 復帰時間	t _{DSTOP}	250	—	—	ns

注: ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注: フラッシュメモリのプログラムまたはイレース実行時の FCLK 下限周波数は 1 MHz です。

注: フラッシュメモリのプログラムまたはイレース実行時の FCLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

43.13.3 シリアルワイヤデバッグ (SWD)

表 43.78 SWD 特性 (1)

条件 : VCC = AVCC0 = 2.4~5.5 V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	t _{SWCKcyc}	50	—	—	ns	図 43.57
SWCLK クロック High レベルパルス幅	t _{SWCKH}	15	—	—	ns	
SWCLK クロック Low レベルパルス幅	t _{SWCKL}	15	—	—	ns	
SWCLK クロック立ち上がり時間	t _{SWCKr}	—	—	5	ns	
SWCLK クロック立ち下がり時間	t _{SWCKf}	—	—	5	ns	
SWDIO セットアップ時間	t _{SWDS}	3	—	—	ns	図 43.58
SWDIO ホールド時間	t _{SWDH}	13	—	—	ns	
SWDIO データ遅延時間	t _{SWDD}	2	—	45	ns	

表 43.79 SWD 特性 (2)

条件 : VCC = AVCC0 = 1.6~2.4 V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	t _{SWCKcyc}	250	—	—	ns	図 43.57
SWCLK クロック High レベルパルス幅	t _{SWCKH}	120	—	—	ns	
SWCLK クロック Low レベルパルス幅	t _{SWCKL}	120	—	—	ns	
SWCLK クロック立ち上がり時間	t _{SWCKr}	—	—	5	ns	
SWCLK クロック立ち下がり時間	t _{SWCKf}	—	—	5	ns	
SWDIO セットアップ時間	t _{SWDS}	50	—	—	ns	図 43.58
SWDIO ホールド時間	t _{SWDH}	50	—	—	ns	
SWDIO データ遅延時間	t _{SWDD}	2	—	170	ns	

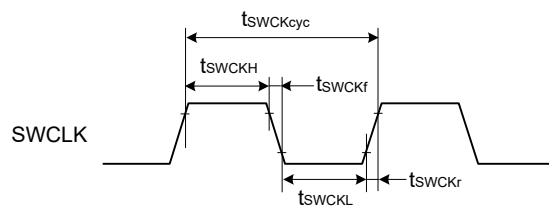


図 43.57 SWD SWCLK タイミング

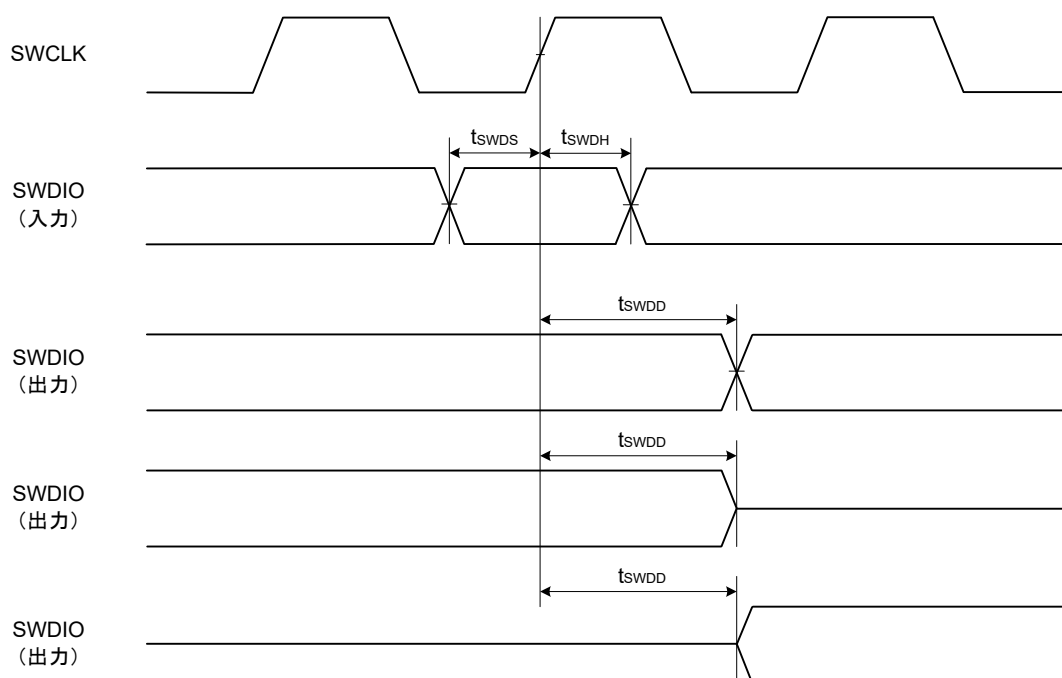


図 43.58 SWD 入出力タイミング

付録 1. 各プロセスモードのポート状態

機能	端子機能	リセット	ソフトウェアスタンバイモード
モード	MD	ブルアップ	Keep-O
IRQ	IRQx	Hi-Z	Keep-O(注1)
AGT	AGTIO _n	Hi-Z	AGTIO _n 入力
	AGTO _n /AGTOA _n /AGTOB _n	Hi-Z	AGTO _n /AGTOA _n /AGTOB _n 出力
SCI	RXD0	Hi-Z	Keep-O(注1)
IIC	SCL _n /SDA _n	Hi-Z	Keep-O(注1)
UARTA	CLKA _n	Hi-Z	CLKA _n 出力
	RxDA _n	Hi-Z	RxDA _n 入力
RTC	RTCIC0	Hi-Z	RTCIC0 入力
	RTCCOUT	Hi-Z	RTCCOUT 出力
CLKOUT	CLKOUT	Hi-Z	CLKOUT 出力
SLCDC	SEGx/COMx	Hi-Z	SEGx/COMx 出力
	VLx/CAPH/CAPL	Hi-Z	VLx/CAPH/CAPL 入力
その他	—	Hi-Z	Keep-O

注. H : High レベル

L : Low レベル

Hi-Z : ハイインピーダンス

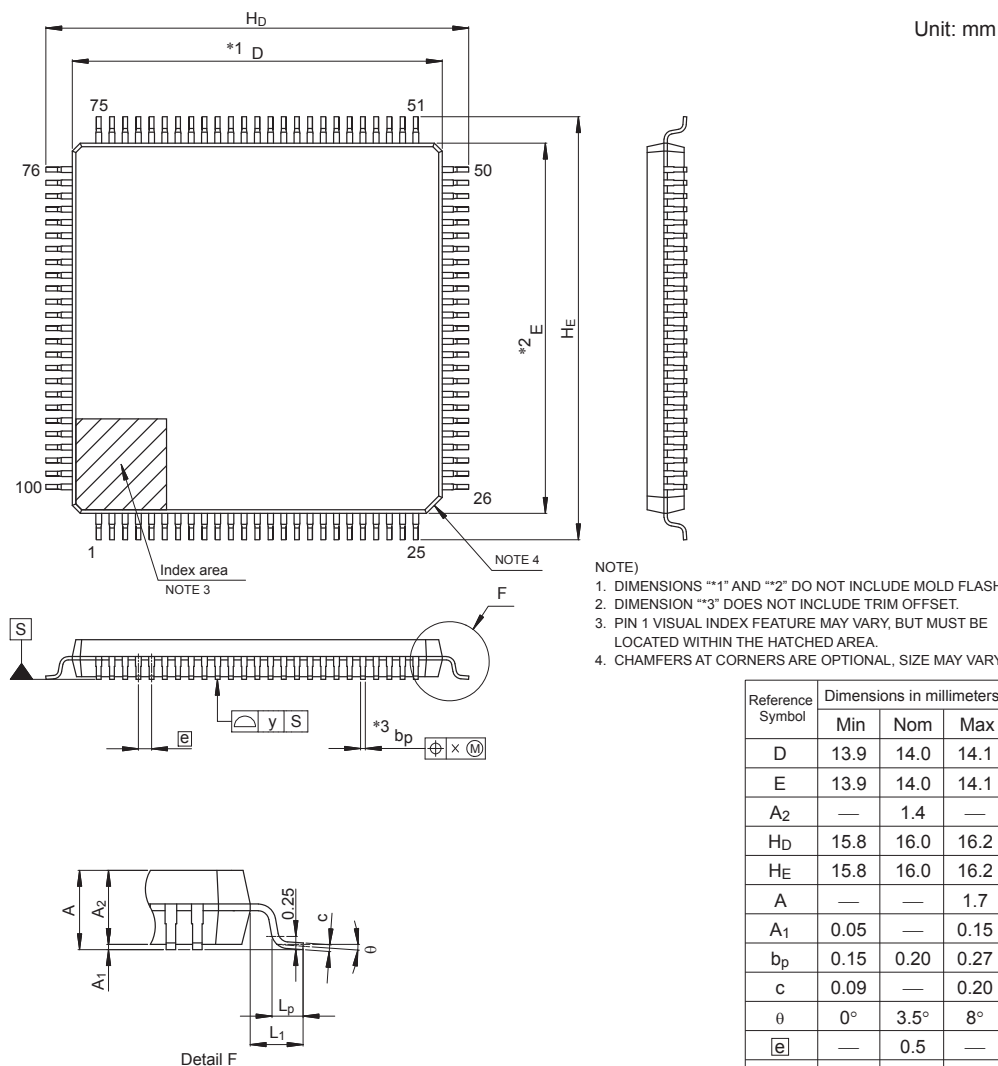
Keep-O : 出力端子は前の値を保持します。入力端子はハイインピーダンスになります。

注 1. 端子が外部割り込み端子として使用され、ソフトウェアスタンバイの解除要因に指定されている場合、入力が許可されます。

付録 2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、弊社のウェブサイトの「パッケージ」を参照してください。

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP100-14x14-0.50	PLQP0100KB-B	—	0.6

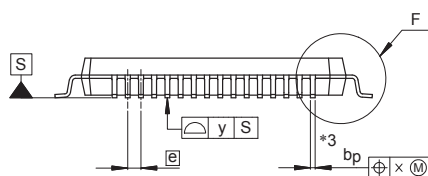
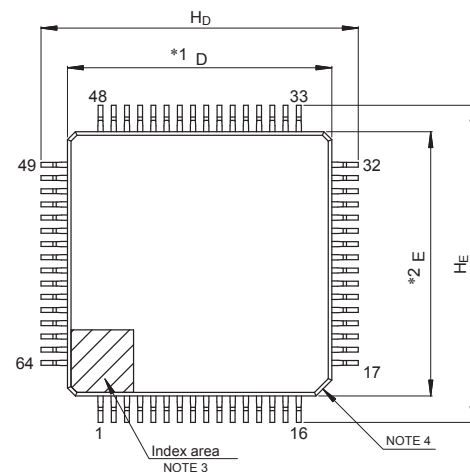


© 2015 Renesas Electronics Corporation. All rights reserved.

図 A2.1 LQFP 100 ピン

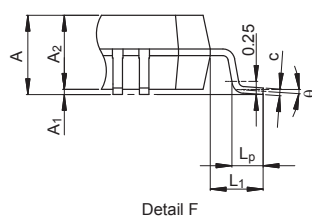
JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm



NOTE)

1. DIMENSIONS "1" AND "2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A ₂	—	1.4	—
H _D	11.8	12.0	12.2
H _E	11.8	12.0	12.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
ϕ	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

© 2015 Renesas Electronics Corporation. All rights reserved.

A2.2 LQFP 64 ピン

付録 3. I/O レジスタ

この付録では、I/O レジスタアドレス、アクセスサイクルについて機能ごとに説明します。

3.1 周辺機能のベースアドレス

本マニュアルに記載の周辺機能のベースアドレスは下記のとおりです。表 A3.1 に、各周辺機能の名前、説明、ベースアドレスを示します。

表 A3.1 周辺機能のベースアドレス (1/2)

名称	内容	ベースアドレス
RMPU	マスタメモリプロテクションユニット	0x4000_0000
TZF	TrustZone フィルタ	0x4000_0E00
SRAM	特殊機能レジスタ	0x4000_2000
BUS	バス制御	0x4000_3000
DMAC0	ダイレクトメモリアクセスコントローラ 0	0x4000_5000
DMAC1	ダイレクトメモリアクセスコントローラ 1	0x4000_5040
DMAC2	ダイレクトメモリアクセスコントローラ 2	0x4000_5080
DMAC3	ダイレクトメモリアクセスコントローラ 3	0x4000_50C0
DMAC4	ダイレクトメモリアクセスコントローラ 4	0x4000_5100
DMAC5	ダイレクトメモリアクセスコントローラ 5	0x4000_5140
DMAC6	ダイレクトメモリアクセスコントローラ 6	0x4000_5180
DMAC7	ダイレクトメモリアクセスコントローラ 7	0x4000_51C0
DMA	DMAC モジュール起動	0x4000_5200
DTC	データトランスファコントローラ	0x4000_5400
ICU	割り込みコントローラ	0x4000_6000
キャッシュ	キャッシュ	0x4000_7000
CPSCU	CPU システムセキュリティコントロールユニット	0x4000_8000
DBG	デバッグ機能	0x4001_B000
FCACHE	フラッシュキャッシュ	0x4001_C100
SYSC	システムコントロール	0x4001_E000
PORT0	ポート 0 コントロールレジスタ	0x4001_F000
PORT1	ポート 1 コントロールレジスタ	0x4001_F020
PORT2	ポート 2 コントロールレジスタ	0x4001_F040
PORT3	ポート 3 コントロールレジスタ	0x4001_F060
PORT4	ポート 4 コントロールレジスタ	0x4001_F080
PORT5	ポート 5 コントロールレジスタ	0x4001_F0A0
PORT6	ポート 6 コントロールレジスタ	0x4001_F0C0
PORT7	ポート 7 コントロールレジスタ	0x4001_F0E0
PORT8	ポート 8 コントロールレジスタ	0x4001_F100
PFS	Pmn 端子機能コントロールレジスタ	0x4001_F800
ELC	イベントリンクコントローラ	0x4008_2000
RTC	リアルタイムクロック	0x4008_3000
IWDT	独立ウォッチドッグタイマ	0x4008_3200
WDT	ウォッチドッグタイマ	0x4008_3400
CAC	クロック周波数精度測定回路	0x4008_3600

表 A3.1 周辺機能のベースアドレス (2/2)

名称	内容	ベースアドレス
MSTP	モジュールストップコントロール A、B、C、D、E	0x4008_4000
POEG	GPT 用ポートアウトプットイネーブルモジュール	0x4008_A000
UARTA	シリアルインタフェース UARTA	0x4009_7000
IIC0	Inter-Integrated Circuit 0	0x4009_F000
IIC1	Inter-Integrated Circuit 1	0x4009_F100
CANFD	CANFD モジュール	0x400B_0000
SLCDC	セグメント LCD コントローラ/ドライバ	0x400D_4000
PSCU	ペリフェラルセキュリティ制御ユニット	0x400E_0000
AGT0	低消費電力非同期汎用タイマ 0	0x400E_8000
AGT1	低消費電力非同期汎用タイマ 1	0x400E_8100
CRC	CRC 演算器	0x4010_8000
DOC	データ演算回路	0x4010_9000
SCI0	シリアルコミュニケーションインタフェース 0	0x4011_8000
SCI1	シリアルコミュニケーションインタフェース 1	0x4011_8100
SCI3	シリアルコミュニケーションインタフェース 3	0x4011_8300
SCI4	シリアルコミュニケーションインタフェース 4	0x4011_8400
SCI5	シリアルコミュニケーションインタフェース 5	0x4011_8500
SCI9	シリアルコミュニケーションインタフェース 9	0x4011_8900
SPI0	シリアルペリフェラルインタフェース 0	0x4011_A000
SPI1	シリアルペリフェラルインタフェース 1	0x4011_A100
SPI2	シリアルペリフェラルインタフェース 2	0x4011_A200
ECCMB	MBRAM 用エラー補正回路	0x4012_F000
GPT320	32 ビット汎用 PWM タイマ 0	0x4016_9000
GPT321	32 ビット汎用 PWM タイマ 1	0x4016_9100
GPT162	16 ビット汎用 PWM タイマ 2	0x4016_9200
GPT163	16 ビット汎用 PWM タイマ 3	0x4016_9300
GPT164	16 ビット汎用 PWM タイマ 4	0x4016_9400
GPT165	16 ビット汎用 PWM タイマ 5	0x4016_9500
GPT_OPS	出力相切り替えコントローラ	0x4016_9A00
ADC120	12 ビット A/D コンバータ 0	0x4017_0000
FLCN	フラッシュ I/O レジスタ	0x407E_C000
FACI	フラッシュアプリケーションコマンドインタフェース	0x407F_E000
QSPI	クワッド SPI	0x6400_0000
CPU_OCD	オンチップデバッグ	0x8000_0000

注. 名称 = 周辺機能の名称
 内容 = 周辺機能
 ベースアドレス = 最下位の予約アドレスまたは周辺機能が使用するアドレス

3.2 アクセスサイクル

本項では、本マニュアルに記載の I/O レジスタのアクセスサイクル情報を示します。

- レジスタは対応するモジュールごとにグループ化されています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。

- 内部 I/O 領域では、レジスタに割り当てられていない予約アドレスにアクセスしないでください。アクセスした場合、動作は保証されません。
- I/O アクセスサイクル数は、内部周辺バスのバスサイクル、分周クロック同期化サイクル、および各モジュールのウェイトサイクルによって異なります。分周クロック同期化サイクルは、ICLK と PCLK 間の周波数比によって異なります。
- ICLK 周波数と PCLK 周波数が等しいとき、分周クロック同期化サイクル数は常に一定です。
- ICLK 周波数が PCLK 周波数より大きいとき、分周クロック同期化サイクル数に少なくとも 1PCLK サイクル追加されます。
- 書き込みアクセスのサイクル数は、非バッファラブル書き込みアクセスにより得られるサイクル数を示します。

注. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、DMAC や DTC のような他のバスマスタのバスアクセスと競合せずに実行された場合のサイクル数です。

表 A3.2 アクセスサイクル (1/3)

周辺モジュール	アドレス		アクセスサイクル数					サイクルの単位	関連機能
			ICLK = PCLK		ICLK > PCLK(注1)				
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み			
RMPU, TZF, SRAM, BUS, DMACn, DMA, DTC, ICU	0x4000_0000	0x4000_6FFF	4	3	4	3	ICLK	ルネサスメモリプロテクションユニット、TrustZone フィルタ、SRAM コントロール、バスコントロール、ダイレクトメモリアクセスコントローラ n、DMAC モジュール起動、DTC コントロールレジスタ、割り込みコントローラ	
キャッシュ	0x4000_7000	0x4000_7FFF	4	5	4	5	ICLK	キャッシュ	
CPSCU, DBG, FCACHE	0x4000_8000	0x4001_CFFF	4	3	4	3	ICLK	CPU システムセキュリティコントロールユニット、デバッグ機能、フラッシュキャッシュ	
SYSC	0x4001_E000	0x4001_E5FF	6	5	6	5	ICLK	システムコントロール	
PORTn, PFS	0x4001_F000	0x4001_FFFF	5(注2)	4	5(注2)	4	ICLK	ポート n コントロールレジスタ、Pmn 端子機能コントロールレジスタ	
ELC, RTC, IWD, WDT, CAC, MSTP, POEG	0x4008_2000	0x4008_AFFF	5	4	2~5	2~4	PCLKB	イベントリンクコントローラ、リアルタイムクロック、独立ウォッチドッグタイマ、ウォッチドッグタイマ、クロック周波数精度測定回路、モジュールストップ制御、GPT 用ポート出力カインープルモジュール	
UARTA	0x4009_7000	0x4009_7FFF	4	3	1~4	1~3	PCLKB	シリアルインタフェース UARTA	
IICn, IIC0WU, CANFD	0x4009_D000	0x400D_0FFF	5	4	2~5	2~4	PCLKB	拡張シリアルサウンドインタフェース、Inter-Integrated Circuit n、Inter-Integrated Circuit 0 ウェイクアップユニット、CANFD モジュール	
SLCDC	0x400D_4000	0x400D_4FFF	4	3	1~4	1~3	PCLKB	セグメント LCD コントローラ／ドライバ	
PSCU	0x400E_0000	0x400E_0FFF	5	4	2~5	2~4	PCLKB	ペリフェラルセキュリティ制御ユニット	
AGTn	0x400E_8000	0x400E_8FFF	7	4	4~7	2~4	PCLKB	低消費電力非同期汎用タイマ n	

表 A3.2 アクセスサイクル (2/3)

周辺モジュール	アドレス		アクセスサイクル数					
			ICLK = PCLK		ICLK > PCLK(注1)		サイクルの単位	関連機能
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
CRC, DOC	0x4010_8000	0x4010_9FFF	5	4	2～5	2～4	PCLKA	CRC 演算器、データ演算回路
SCIn	0x4011_8000	0x4011_8FFF	5(注3)	4(注3)	2～5(注3)	2～4(注3)	PCLKA	シリアルコミュニケーションインタフェース n
SPIIn	0x4011_A000	0x4011_AFFF	5(注4)	4(注4)	2～5(注4)	2～4(注4)	PCLKA	シリアルペリフェラルインタフェース n
ECCMB	0x4011_F000	0x4012_FFFF	5	4	2～5	2～4	PCLKA	MBRAM 用エラー補正回路
GPT32n, GPT16n, GPT_OPS	0x4016_9000	0x4016_9FFF	7	4	4～7	2～4	PCLKA	32 ビット汎用 PWM タイマ n、16 ビット汎用 PWM タイマ n、出力相切り替えコントローラ
ADC120	0x4017_0000	0x4017_1FFF	5	4	2～5	2～4	PCLKA	12 ビット A/D コンバータ 0
QSPI	0x6400_0000	0x6400_000F	5	14～(注5)	2～5	14～(注5)	PCLKA	クワッド SPI
QSPI	0x6400_0010	0x6400_0013	25～(注5)	6～(注5)	25～(注5)	5～(注5)	PCLKA	クワッド SPI
QSPI	0x6400_0014	0x6400_0037	5	14～(注5)	2～5	14～(注5)	PCLKA	クワッド SPI
QSPI	0x6400_0804	0x6400_0807	4	3	1～4	1～3	PCLKA	クワッド SPI

表 A3.2 アクセスサイクル (3/3)

周辺モジュール	アドレス		アクセスサイクル数					
			ICLK = FCLK		ICLK > FCLK(注1)		サイクルの単位	関連機能
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
FLCN, FACI	0x407E_C000	0x407F_EFFF	5	4	3～5	2～4	FCLK	フラッシュ I/O レジスタ、フラッシュアプリケーションコマンドインタフェース

- 注 1. PCLK または FCLK のサイクル数が整数ではない（たとえば 1.5）場合、最小値は小数点以下を切り捨て、最大値は小数点以下を切り上げます。たとえば、1.5~2.5 は、1~3 となります。
- 注 2. PRCNT2 および PFS レジスタのアクセスサイクルは PRWCNTR によって異なります。詳細は「18. I/O ポート」を参照してください。
- 注 3. 16 ビットレジスタ（FTDRHL、FRDRHL、FCR、FDR、LSR、および CDR）にアクセスを行う場合は、表 A3.2 に記載の値よりも 2 サイクル分多いアクセスサイクルとなります。8 ビットレジスタ（FTDRH、FTDRL、FRDRH、および FRDRL）にアクセスを行う場合は、表 A3.2 に記載のアクセスサイクルとなります。
- 注 4. 32 ビットレジスタ（SPDR）にアクセスを行う場合は、表 A3.2 に記載の値よりも 2 サイクル分多いアクセスサイクルとなります。8 ビットまたは 16 ビットレジスタ（SPDR_HA）にアクセスを行う場合は、表 A3.2 に記載のアクセスサイクルとなります。
- 注 5. アクセスサイクルは QSPI バスサイクルによって異なります。

付録 4. ペリフェラル変数

表 A4.1 に本マニュアルで使用されるモジュール名とペリフェラル変数の対応関係を示します。

表 A4.1 モジュール名とペリフェラル変数の対応関係

モジュール名	ペリフェラル変数
AGTW	AGTW_B
DOC	DOC_B

改訂履歴

Revision 1.00 — 2025 年 6 月 20 日

初版発行

Revision 1.10 — 2025 年 7 月 16 日

9. クロック周波数精度測定回路：

- 図 9.1 CAC のブロック図を更新

19. GPT 用のポートアウトプットイネーブル：

- 19.3 出力禁止制御の動作に注記を追加

20. 汎用 PWM タイマ：

- 20.2.12 GTCR：汎用 PWM タイマコントロールレジスタを更新
- 20.3.4 デッドタイム自動設定機能を更新

21. 低消費電力非同期汎用タイマ：

- 表 21.1 AGT の仕様を更新

25. シリアルコミュニケーションインタフェース：

- 25.2.61 SCIMSKEN：SCI5 TXD 出力マスクイネーブルレジスタに注記を追加

36. 温度センサ回路：

- 36.3.1 温度センサ使用の準備を更新

43. 電気的特性：

- 表 43.20 熱抵抗を更新
- 43.2.8.1 ICCmax の計算ガイドを追加
- 表 43.54. TSN 特性を更新

RA4C1 グループ ユーザーズマニュアル ハードウェア編

発行年月日 Rev.1.10 Jul 16, 2025
Rev.1.00 Jun 20, 2025

発行 ルネサスエレクトロニクス株式会社

32 ビット MCU RA4C1 グループ