

RA0E3 グループ

ユーザーズマニュアル ハードウェア編

32 ビット MCU

Renesas Advanced (RA) ファミリ

Renesas RA0 シリーズ

本資料に記載のすべての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセットしてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違えば製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

はじめに

1. 本ドキュメントについて

本マニュアルは通常、製品の概要、CPU、システム制御機能、周辺機器の機能、電気的特性、および使用上の注意事項で構成されています。本マニュアルでは、マイクロコントローラ (MCU) のスーパーセットの製品仕様について説明します。製品によっては、一部のピン、レジスタ、または機能が存在しない場合があります。使用できないレジスタが割り当てられているアドレス空間は予約されています。

2. 対象読者

本マニュアルは、Renesas マイクロコントローラを使用してアプリケーションを設計およびプログラミングするシステム設計者を対象としています。読者には、電気回路、論理回路、および MCU に関する基本的な知識が求められます。

3. 関連ドキュメント

弊社では、下記のドキュメントを提供しています。これらのドキュメントを使用する前に、www.renesas.com にアクセスして、最新版を取得してください。

構成	ドキュメントの種類	内容
マイクロコントローラ	データシート	特徴、概要および MCU の電気的特性
	ユーザーズマニュアルハードウェア編	ピン配置、メモリマップ、周辺機能、電気特性、タイミング図、および動作記述などの MCU 仕様
	アプリケーションノート	テクニカルノート、ボードデザインのガイドラインおよびソフトウェア移行情報
	テクニカルアップデート (TU)	制限や正誤表などの製品仕様に関する予備レポート
ソフトウェア	ユーザーズマニュアルソフトウェア	API リファレンスおよびプログラミング情報
	アプリケーションノート	プロジェクト・ファイル、ソフトウェア・プログラミングのガイドライン、および組み込みソフトウェアを開発するためのアプリケーション例
ツール&キット、ソリューション	ユーザーズマニュアル開発ツール	開発キット (DK)、スタートキット (SK)、プロモーションキット (PK)、製品例 (PE)、およびアプリケーション例 (AE) を含むエンベデッド・ソフトウェア・アプリケーションを開発するためのユーザーマニュアルおよびクイック・スタート・ガイド
	ユーザーズマニュアルソフトウェア	
	クイックスタートガイド	
	アプリケーションノート	プロジェクト・ファイル、ソフトウェア・プログラミングのガイドライン、および組み込みソフトウェアを開発するためのアプリケーション例
その他	アプリケーションノート	EMI（電磁干渉）設計の補足

4. 数値の表記法

本マニュアルでは、次の進数表記を使用しています。

例	内容
011b	2 進数。たとえば、3 という 2 進数に相当する値は 011b です。
0x1F	16 進数。たとえば、31 の 16 進数に相当する数値は 0x1F と記述されています。場合によっては、16 進数の末尾に h がつくことがあります。
1234	10 進数。10 進数の後にこの記号が続くのは、混乱の可能性がある場合のみです。一般に、10 進数はサフィックスなしで表示されます。

5. シンボルの表記法

本マニュアルでは、次の表記法が使用されています。

例	内容
AAA.BBB.CCC	機能モジュールのシンボル (AAA)、レジスタのシンボル (BBB)、およびビットフィールドのシンボル (CCC) は、ピリオドで区切られます。
AAA.BBB	機能モジュールのシンボル (AAA) とレジスタのシンボル (BBB) は、ピリオドで区切られます。
BBB.DDD	レジスタのシンボル (BBB) とビットフィールドのシンボル (DDD) は、ピリオドで区切られます。
EEE[3:0]	角カッコ内の数値はビット番号を表します。たとえば EEE[3:0] は、3～0 ビットを占めます。

6. 単位と単位の接頭部

次の単位と単位接頭辞は誤解を招くことがあります。これらのユニットプレフィックスについては、本マニュアル全体で次の意味で説明されています。

記号	名前	内容
b	2 進数	シングル 0 または 1
B	バイト	この単位記号は、一般に MCU およびアドレス空間やメモリ容量に使用されます。
k	キロ	$1000 = 10^3$ 。k は $1024 (2^{10})$ を示すためにも使用されますが、このユニットプレフィックスは本書全体で $1000 (10^3)$ を示すために使用されます。
K	キロ	$1024 = 2^{10}$ 。このユニットプレフィックスは、本マニュアル全体で、 $1000 (10^3)$ ではなく $1024 (2^{10})$ を示すために使用されます。

7. 特殊用語

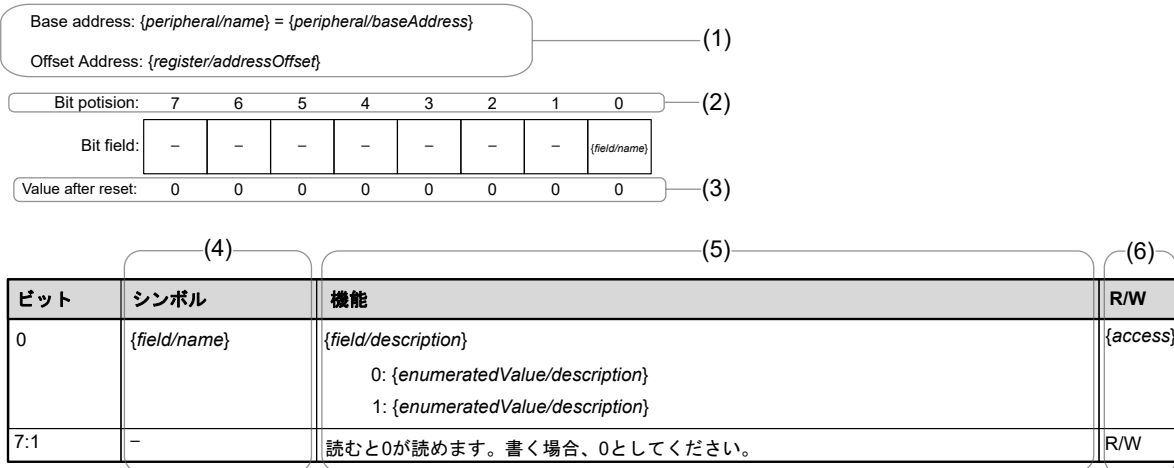
下記の用語には特殊な意味があります。

用語	内容
NC	非接続の端子。特に指定のない場合、この端子はフローティングにしてください。
Hi-Z	ハイインピーダンス
x	Don't care または不定

8. レジスタの説明

各章のレジスタの説明には、ビットの並びを示すレジスタ配置図と、各ビットの内容を説明するレジスタのビット機能表があります。これらの表で使用する記号の例については、以降の項で説明します。以下は、レジスタの説明および関連するビットフィールドの定義例です。

XX.X.X {register/name} : {register/description}



(1) 機能モジュールのシンボル、レジスタのシンボル、およびアドレスの割り当て

この部分には、通常、機能モジュールのシンボル {peripheral/name}、レジスタのシンボル {register/name}、およびこのレジスタのアドレス割り当てが記載されます。ベースアドレスとオフセットアドレスは、{peripheral/name} の {register/name} : {register/description} がアドレス {peripheral/baseAddress} + {register/addressOffset} に割り当てられることを意味します。

(2) ビット番号

この数値はビット番号を示します。このビットは、32 ビットレジスタの場合はビット 31 から 0、16 ビットレジスタの場合はビット 15 から 0、8 ビットレジスタの場合はビット 7 から 0 の順に示されます。

(3) リセット後の値

このシンボルまたは数値は、リセット後の各ビットの値を示します。特に指定がない限り、値はバイナリで表示されます。

- 0: リセット後の値が0であることを示します。
- 1: リセット後の値が1であることを示します。
- x: リセット後の値が不定であることを示します。

(4) ビットシンボル

{field/name} は、ビットフィールドの略名です。予約ビットの場合は、—と表記されます。

(5) 機能

機能は、ビットフィールドの正式名 {field/description}、および列挙された値を示します。

(6) R/W

R/W 列は、そのビットフィールドが読み出し可能であるか書き込み可能であることを示します。

- R/W: 読み出しも書き込みも可能。
- R: 読み出しのみ可能。書き込みは無効。
- W: 書き込みのみ可能。特に指定のない限り、読み出し値はリセット後の値。

9. 略語

本マニュアルで使用されている略語を次の表に示します。

略語	内容
AHB	Advanced High-performance Bus（アドバンストハイパフォーマンスバス）
AHB-AP	AHB Access Port（AHB アクセスポート）
APB	Advanced Peripheral Bus（アドバンスト周辺バス）
APB-AP	APB Access Port（APB アクセスポート）
BCD	Binary Coded Decimal（2 進化 10 進数）
HMI	Human Machine Interface（ヒューマンマシーンインタフェース）
IrDA	Infrared Data Association（赤外線通信協会／規格）
LSB	Least Significant Bit（最下位ビット）
MSB	Most Significant Bit（最上位ビット）
MTB	Micro Trace Buffer（マイクロトレースバッファ）
NVIC	Nested Vector Interrupt Controller（ネスト型ベクタ割り込みコントローラ）
PC	Program Counter（プログラムカウンタ）
PFS	Port Function Select（ポート機能選択）
POR	Power-on Reset（パワーオンリセット）
PWM	Pulse Width Modulation（パルス幅変調）
S/H	Sample and Hold（サンプルアンドホールド）
SP	Stack Pointer（スタックポインタ）
SWD	Serial Wire Debug（シリアルワイヤデバッグ）
SW-DP	Serial Wire-Debug Port（シリアルワイヤデバッグポート）
SWJ-DP	Serial Wire JTAG Debug Port（シリアルワイヤ JTAG デバッグポート）
UART	Universal Asynchronous Receiver/Transmitter（調歩同期式シリアルインタフェース）
WFI	割り込み待機

10. 所有権通知

本書に含まれるすべてのテキスト、グラフィック、写真、商標、ロゴ、挿絵、コンピュータコード（総称してコンテンツ）は、ルネサスが所有、管理、またはライセンスを保持するものであり、トレードドレス法、著作権法、特許法および商標法、その他の知的財産権法、不正競争法で保護されています。本書に明示的に記述されている場合を除いて、ルネサスから事前に承諾書を得ることなく、本書の一部またはコンテンツを、公開または頒布目的で、あるいは営利目的で、コピー、複製、再版、掲載、開示、エンコード、翻訳、伝送すること、およびいかなる媒体においても配布することは禁じられています。

ARM®およびCortex®は、Arm Limited の登録商標です。CoreSight™は Arm Limited の商標です。

CoreMark®は、Embedded Microprocessor Benchmark Consortium の登録商標です。

SuperFlash®は、Silicon Storage Technology, Inc.の米国と日本を含む数か国における登録商標です。

本書に記載されているその他のブランドおよび名称は、それぞれの所有者の商標または登録商標です。

11. 製品に関するフィードバック

本製品についてご意見やご提案がある場合は、[お問い合わせ](#) にアクセスしてください。

目次

特長	24
1. 概要	25
1.1 機能の概要	25
1.2 ブロック図	28
1.3 型名	28
1.4 機能の比較	30
1.5 端子機能	31
1.6 ピン配置図	32
1.7 端子一覧	33
2. CPU	34
2.1 概要	34
2.1.1 CPU	34
2.1.2 デバッグ	34
2.1.3 動作周波数	34
2.1.4 ブロック図	34
2.2 実装オプション	35
2.3 SWD インタフェース	36
2.4 デバッグ機能	36
2.4.1 デバッグモードの定義	36
2.4.2 デバッグモードの影響	36
2.4.3 トレースコントロール (MTB 用)	37
2.4.4 CoreSight (MTB 用)	37
2.5 プログラマモデル	38
2.5.1 アドレス空間	38
2.5.2 Cortex-M23 ペリフェラルアドレスマップ	38
2.5.3 外部デバッグアドレスマップ	39
2.5.4 CoreSight ROM テーブル	39
2.5.5 DBGREG	40
2.5.6 OCDREG	42
2.6 SysTick タイマ	44
2.7 OCD エミュレータ接続	44
2.7.1 ID コード	45
2.7.2 DBGEN	45
2.7.3 OCD エミュレータ接続における制限	45
2.8 参考資料	47
2.9 使用上の注意事項	47
3. 動作モード	48

3.1	概要	48
3.2	動作モード遷移	48
3.2.1	動作モード遷移	48
4.	アドレス空間	49
4.1	アドレス空間	49
5.	リセット	50
5.1	概要	50
5.2	レジスタの説明	51
5.2.1	RESF : リセットステータスフラグレジスタ	51
5.2.2	PORSR : パワーオンリセットステータスレジスタ	52
5.3	動作説明	52
5.3.1	RES 端子リセット	52
5.3.2	パワーオンリセット	52
5.3.3	電圧監視リセット	53
5.3.4	独立ウォッチドッグタイマリセット	54
5.3.5	ソフトウェアリセット	54
6.	オプション設定メモリ	55
6.1	概要	55
6.2	レジスタの説明	55
6.2.1	OFS0 : オプション機能選択レジスタ 0	55
6.2.2	OFS1 : オプション機能選択レジスタ 1	57
6.2.3	AWS : アクセスウィンドウ設定レジスタ	59
6.2.4	OSIS : OCD / シリアルプログラマ ID 設定レジスタ	60
6.3	オプション設定メモリの設定方法	61
6.3.1	オプション設定メモリへのデータの配置方法	61
6.3.2	オプション設定メモリにプログラムするデータの設定方法	61
6.4	使用上の注意事項	62
6.4.1	オプション設定メモリの予約領域および予約ビットにプログラムするデータ	62
6.4.2	FSPR ビットに関する注意事項	62
7.	低電圧検出回路 (LVD)	63
7.1	概要	63
7.2	レジスタの説明	64
7.2.1	LVD1CR : 電圧監視 1 回路コントロールレジスタ	64
7.2.2	LVD1MKR : 電圧監視 1 回路マスキングレジスタ	65
7.2.3	LVD1SR : 電圧監視 1 回路ステータスレジスタ	65
7.3	VCC 入力電圧の監視	66
7.3.1	V_{det0} の監視	66
7.3.2	V_{det1} の監視	66
7.4	電圧監視 0 リセット	66

7.5	電圧監視 1 割り込み、電圧監視 1 リセット	67
8.	クロック発生回路	69
8.1	概要	69
8.2	レジスタの説明	70
8.2.1	FSUBSCR : FSUB クロックソースコントロールレジスタ	70
8.2.2	ICLKSCR : ICLK クロックソースコントロールレジスタ	71
8.2.3	LOCOCR : 低速オンチップオシレータコントロールレジスタ	71
8.2.4	HOCOCR : 高速オンチップオシレータコントロールレジスタ	72
8.2.5	OSCSF : 発振安定フラグレジスタ	73
8.2.6	HOCODIV : 高速オンチップオシレータ周波数選択レジスタ	74
8.2.7	OSMC : サブシステムクロック供給モードコントロールレジスタ	74
8.2.8	CKS0 : クロック出力コントロールレジスタ 0	74
8.2.9	LIOTRM : 低速オンチップオシレータトリミングレジスタ	75
8.2.10	HIOTRM : 高速オンチップオシレータトリミングレジスタ	76
8.3	内部クロック	76
8.3.1	システムクロック (ICLK)	77
8.3.2	IWDT クロック (IWDTCLK)	78
8.3.3	SysTick タイマ専用クロック (SYSTICCLK)	78
8.3.4	外部端子出力クロック (CLKOUT)	78
8.4	使用上の注意	78
8.4.1	レジスタアクセス	78
8.4.2	クロック発生回路に関する注意事項	78
9.	低消費電力モード	79
9.1	概要	79
9.2	レジスタの説明	81
9.2.1	SBYCR : スタンバイコントロールレジスタ	81
9.2.2	MSTPCRA : モジュールストップコントロールレジスタ A	82
9.2.3	MSTPCRB : モジュールストップコントロールレジスタ B	82
9.2.4	MSTPCRC : モジュールストップコントロールレジスタ C	83
9.2.5	MSTPCRD : モジュールストップコントロールレジスタ D	83
9.2.6	FLMODE : フラッシュ動作モードコントロールレジスタ	84
9.2.7	FLMWRP : フラッシュ動作モードプロテクトレジスタ	85
9.2.8	SYOCDRC : システムコントロール OCD コントロールレジスタ	85
9.3	クロックの切り替えによる消費電力の低減	85
9.4	モジュールストップ機能	85
9.5	動作電力低減機能	86
9.5.1	動作電力制御モードの設定方法	86
9.5.2	動作範囲	87
9.6	スリープモード	89

9.6.1	スリープモードへの遷移	89
9.6.2	スリープモードの解除	89
9.7	ソフトウェアスタンバイモード	90
9.7.1	ソフトウェアスタンバイモードへの遷移	90
9.7.2	ソフトウェアスタンバイモードの解除	90
9.7.3	ソフトウェアスタンバイモードの応用例	91
9.8	スヌーズモード	92
9.8.1	スヌーズモードへの遷移	92
9.8.2	スヌーズモードの解除	92
9.8.3	スヌーズモードからソフトウェアスタンバイモードへの復帰	93
9.8.4	スヌーズモードの動作例	93
9.9	使用上の注意	94
9.9.1	レジスタアクセス	94
9.9.2	I/O ポートの端子状態	95
9.9.3	DTC のモジュールストップ状態	95
9.9.4	内部割り込み要因	95
9.9.5	低消費電力モードへの遷移	95
9.9.6	WFI 命令のタイミング	96
9.9.7	スリープモード／スヌーズモード時の DTC による IWDT のレジスタの書き込みについて	96
9.9.8	スヌーズモードにおける発振器について	96
9.9.9	スヌーズモードにおける SAU0 の使用	96
9.9.10	スヌーズモードにおける UART0 の使用	96
9.9.11	Sleep-on-exit 機能	96
10.	レジスタライトプロテクション	97
10.1	概要	97
10.2	レジスタの説明	97
10.2.1	PRCR : プロテクトレジスタ	97
11.	割り込みコントローラユニット (ICU)	98
11.1	概要	98
11.2	レジスタの説明	99
11.2.1	IRQCRi : IRQ コントロールレジスタ i (i = 0~5)	99
11.2.2	NMISR : ノンマスクابل割り込みステータスレジスタ	100
11.2.3	NMIER : ノンマスクابل割り込みイネーブルレジスタ	101
11.2.4	NMICLR : ノンマスクابل割り込みステータスクリアレジスタ	102
11.2.5	NMICR : NMI 端子割り込みコントロールレジスタ	102
11.2.6	DTCENST0 : DTC 許可ステータスレジスタ 0	103
11.2.7	DTCENST1 : DTC 許可ステータスレジスタ 1	104
11.2.8	DTCENSET0 : DTC 許可設定レジスタ 0	104
11.2.9	DTCENSET1 : DTC 許可設定レジスタ 1	105

11.2.10	DTCENCLR0 : DTC 許可クリアレジスタ 0	106
11.2.11	DTCENCLR1 : DTC 許可クリアレジスタ 1	106
11.2.12	INTFLAG0 : 割り込み要求フラグ監視レジスタ 0	107
11.2.13	INTFLAG1 : 割り込み要求フラグ監視レジスタ 1	108
11.2.14	SBYEDCR0 : ソフトウェアスタンバイ／スヌーズ終了コントロールレジスタ 0	109
11.2.15	SBYEDCR1 : ソフトウェアスタンバイ／スヌーズ終了コントロールレジスタ 1	110
11.3	ベクタテーブル	111
11.3.1	割り込みベクタテーブル	111
11.3.2	イベント番号	113
11.4	割り込み動作	115
11.4.1	割り込みの検出	115
11.5	割り込みの設定手順	115
11.5.1	割り込み要求の許可	115
11.5.2	割り込み要求の禁止	116
11.5.3	割り込みのポーリング	116
11.5.4	割り込み要求先の選択	116
11.5.5	外部端子割り込みの設定手順	116
11.6	ノンマスカブル割り込みの動作	117
11.7	低消費電力モードからの復帰	117
11.7.1	スリープモードからの復帰	117
11.7.2	ソフトウェアスタンバイモードからの復帰	117
11.7.3	スヌーズモードからの復帰	118
11.8	ノンマスカブル割り込みとともに WFI 命令を使用する場合	118
11.9	参考資料	118
12.	バス	119
12.1	概要	119
12.2	バスの説明	120
12.2.1	メインバス	120
12.2.2	スレーブインタフェース	120
12.2.3	並列動作	120
12.2.4	エンディアンに関する制限事項	120
12.2.5	排他的アクセスに関する制限事項	120
12.3	レジスタの説明	121
12.3.1	BUSMCNTx : マスタバスコントロールレジスタ x (x = SYS, DMA)	121
12.3.2	BUSnERRADD : バスエラーアドレスレジスタ n (n = 3, 4)	121
12.3.3	BUSnERRSTAT : バスエラーステータスレジスタ n (n = 3, 4)	122
12.4	バスエラー監視部	122
12.4.1	バスによって生じるエラーの種類	122
12.4.2	バスエラー発生時の動作	122
12.4.3	不正アドレスアクセスエラーを引き起こす条件	123

12.5 参考資料	123
13. フラッシュ読み出し保護 (FRP)	124
13.1 概要	124
13.1.1 メモリプロテクション	124
13.2 使用上の注意事項	125
13.2.1 デバッガ使用時の注意事項	125
13.2.2 コンパイラの設定	125
13.2.3 OFS1 レジスタの保護	125
14. データトランスファコントローラ (DTC)	126
14.1 概要	126
14.2 レジスタの説明	127
14.2.1 MRA : DTC モードレジスタ A	128
14.2.2 MRB : DTC モードレジスタ B	128
14.2.3 SAR : DTC 転送元レジスタ	130
14.2.4 DAR : DTC 転送先レジスタ	130
14.2.5 CRA : DTC 転送カウントレジスタ A	130
14.2.6 CRB : DTC 転送カウントレジスタ B	131
14.2.7 DTCCR : DTC コントロールレジスタ	131
14.2.8 DTCVBR : DTC ベクタベースアドレス	132
14.2.9 DTCST : DTC モジュール起動レジスタ	132
14.2.10 DTCSTS : DTC ステータスレジスタ	133
14.3 起動要因	133
14.3.1 転送情報の配置と DTC ベクタテーブル	133
14.4 動作説明	135
14.4.1 転送情報のリードスキップ機能	137
14.4.2 転送情報のライトバックスキップ機能	137
14.4.3 ノーマル転送モード	138
14.4.4 リピート転送モード	139
14.4.5 ブロック転送モード	140
14.4.6 チェーン転送	141
14.4.7 動作タイミング	142
14.4.8 DTC の実行サイクル	144
14.4.9 DTC のバス権解放タイミング	145
14.5 DTC の設定手順	145
14.6 DTC の使用例	146
14.6.1 ノーマル転送	146
14.6.2 チェーン転送	146
14.6.3 転送カウンタ = 0 のときのチェーン転送	147
14.7 割り込み	149

14.7.1	割り込み要因	149
14.8	低消費電力機能	149
14.9	使用上の注意	150
14.9.1	転送情報の開始アドレス	150
15.	I/O ポート	151
15.1	概要	151
15.2	レジスタの説明	152
15.2.1	PODRm : Pmn 出力データレジスタ (m = 0~3, n = 00~15)	152
15.2.2	PDRm : Pmn 方向レジスタ (m = 0~3, n = 00~15)	153
15.2.3	PIDRm : Pmn 状態レジスタ (m = 0~3, n = 00~15)	153
15.2.4	PORRm : Pmn 出力リセットレジスタ (m = 0~3, n = 00~15)	154
15.2.5	POSRm : Pmn 出力設定レジスタ (m = 0~3, n = 00~15)	154
15.2.6	PmnPFS_A : ポート mn 端子機能選択レジスタ (m = 1~3, n = 00~15)	155
15.2.7	P0nPFS_A : ポート 0n 端子機能選択レジスタ (n = 10~13)	157
15.2.8	PWPR : 書き込みプロテクトレジスタ	158
15.3	動作説明	158
15.3.1	汎用入出力ポート	158
15.3.2	ポート機能選択	159
15.4	未使用端子の処理	159
15.5	使用上の注意事項	159
15.5.1	端子機能の設定手順	159
15.5.2	ポート出力データレジスタ (PODR) の概要	160
15.5.3	レジスタ設定とポート端子状態に関する注意事項	160
15.5.4	アナログ機能使用時の注意事項	160
15.5.5	代替機能使用時の注意事項	160
15.5.6	I/O バッファ切り替えにより異なる電圧 (1.8 V、2.5 V、または 3 V) で動作中のデバイスと通信する場合の注意事項	165
15.5.7	P206 使用上の制約事項	166
15.6	製品ごとの周辺選択設定	166
16.	タイマアレイユニット (TAU)	168
16.1	概要	168
16.2	レジスタの説明	175
16.2.1	TCR0n : タイマカウンタレジスタ 0n (n = 0~7)	175
16.2.2	TDR0n/TDR01x/TDR03x : タイマデータレジスタ 0n (n = 0~7) (x = L, H)	177
16.2.3	TPS0 : タイマクロック選択レジスタ 0	177
16.2.4	TMR0n : タイマモードレジスタ 0n (n = 0, 2, 4, 5, 6, 7)	181
16.2.5	TMR0n : タイマモードレジスタ 0n (n = 1, 3)	183
16.2.6	TSR0n : タイマステータスレジスタ 0n (n = 0~7)	185
16.2.7	TE0 : タイマチャネル許可ステータスレジスタ 0	185
16.2.8	TS0 : タイマチャネル起動レジスタ 0	186

16.2.9	TT0 : タイマチャンネル停止レジスタ 0	187
16.2.10	TIS0 : タイマ入力選択レジスタ 0	188
16.2.11	TOE0 : タイマ出力許可レジスタ 0	188
16.2.12	TO0 : タイマ出力レジスタ 0	189
16.2.13	TOL0 : タイマ出力レベルレジスタ 0	189
16.2.14	TOM0 : タイマ出力モードレジスタ 0	190
16.2.15	ISC : 入力切り替え制御レジスタ	190
16.2.16	TNFEN : TAU ノイズフィルタ許可レジスタ	191
16.2.17	タイマ I/O に使用する端子のポート機能を制御するレジスタ	192
16.3	タイマアレイユニットの基本ルール	192
16.3.1	複数チャンネル動作機能の基本規則	192
16.3.2	8 ビットタイマ動作機能の基本規則（チャンネル 1 と 3 のみ）	194
16.4	カウンタの動作	195
16.4.1	カウント用クロック (f_{TCLK})	195
16.4.2	カウント開始タイミング	196
16.4.3	カウンタの動作	197
16.5	チャンネル出力 (TO0n 端子) 制御	201
16.5.1	TO0n 端子出力回路の構成	201
16.5.2	TO0n 端子出力設定	202
16.5.3	チャンネル出力動作に関する注意	203
16.5.4	TO0.TO[n]ビットの一括操作	206
16.5.5	カウント開始時のタイマ割り込みと TO0n 出力	206
16.6	タイマ入力 (TI0n) の制御	207
16.6.1	TI0n 入力回路の構成	207
16.6.2	ノイズフィルタ	208
16.6.3	チャンネル入力動作に関する注意	208
16.7	タイマアレイユニットの単独チャンネル動作機能	208
16.7.1	インターバルタイマまたは矩形波出力機能の動作	208
16.7.2	外部イベントカウンタとしての動作	212
16.7.3	周波数分周器としての動作（ユニット 0 のチャンネル 0 のみ）	214
16.7.4	入力パルスのインターバルの測定を行う際の動作	217
16.7.5	入力信号の High/Low レベル幅測定の動作	221
16.7.6	遅延カウンタとしての動作	224
16.8	タイマアレイユニットの複数チャンネル動作機能	227
16.8.1	ワンショットパルス出力機能の動作	227
16.8.2	PWM 機能の動作	233
16.8.3	多重 PWM 出力機能の動作	239
16.9	使用上の注意事項	246
16.9.1	タイマ出力使用時の注意	246
17.	32 ビットインターバルタイマ (TML32)	247

17.1	概要	247
17.2	レジスタの説明	249
17.2.1	ITLCMP0n/ITLCMP0n_L/ITLCMP0n_H : インターバルタイマコンペアレジスタ 0n (n = 0, 1)	249
17.2.2	ITLCAP00 : インターバルタイマキャプチャレジスタ 00	249
17.2.3	ITLCTL0 : インターバルタイマコントロールレジスタ	250
17.2.4	ITLCSEL0 : インターバルタイマクロック選択レジスタ 0	251
17.2.5	ITLFDIV00 : インターバルタイマ分周レジスタ 0	252
17.2.6	ITLFDIV01 : インターバルタイマ分周レジスタ 1	253
17.2.7	ITLCC0 : インターバルタイマキャプチャコントロールレジスタ 0	254
17.2.8	ITLS0 : インターバルタイマステータスレジスタ	254
17.2.9	ITLMKF0 : インターバルタイマー致検出マスクレジスタ	256
17.3	動作	256
17.3.1	カウンタモード設定	256
17.3.2	キャプチャモード設定	258
17.3.3	タイマ動作	259
17.3.4	キャプチャ動作	259
17.3.5	割り込み	260
17.3.6	インターバルタイマ設定手順	262
18.	独立ウォッチドッグタイマ (IWDG)	265
18.1	概要	265
18.2	レジスタの説明	266
18.2.1	IWDTRR : IWDG リフレッシュレジスタ	266
18.2.2	IWDTSR : IWDG ステータスレジスタ	267
18.2.3	OFS0 : オプション機能選択レジスタ 0	268
18.3	動作説明	270
18.3.1	オートスタートモード	270
18.3.2	リフレッシュ動作	271
18.3.3	ステータスフラグ	273
18.3.4	リセット出力	273
18.3.5	割り込み要因	273
18.3.6	ダウンカウンタ値の読み出し	273
18.4	使用上の注意事項	274
18.4.1	リフレッシュ動作	274
18.4.2	クロック分周比の設定に関する制限	274
19.	シリアルアレイユニット (SAU)	275
19.1	概要	275
19.1.1	簡易 SPI	275
19.1.2	UART	276
19.1.3	簡易 I ² C	276

19.2	シリアルアレイユニットの構成	277
19.3	レジスタの説明	279
19.3.1	SPSm : シリアルクロック選択レジスタ m (m = 0)	279
19.3.2	SMRmn : シリアルモードレジスタ mn (mn = 00, 02)	280
19.3.3	SMRmn : シリアルモードレジスタ mn (mn = 01, 03)	281
19.3.4	SCRm0 : シリアル通信動作設定レジスタ m0 (m = 0)	282
19.3.5	SCRm1 : シリアル通信動作設定レジスタ m1 (m = 0)	284
19.3.6	SCR02 : シリアル通信動作設定レジスタ 02	286
19.3.7	SCR03 : シリアル通信動作設定レジスタ 03	287
19.3.8	SDRmn : シリアルデータレジスタ mn (mn = 00, 01, 02, 03)	289
19.3.9	SIRmn : シリアルフラグクリアトリガレジスタ mn (mn = 00, 02)	290
19.3.10	SIRmn : シリアルフラグクリアトリガレジスタ mn (mn = 01, 03)	290
19.3.11	SSRmn : シリアルステータスレジスタ mn (mn = 00, 02)	291
19.3.12	SSRmn : シリアルステータスレジスタ mn (mn = 01, 03)	292
19.3.13	SS0 : シリアルチャネル開始レジスタ 0	294
19.3.14	ST0 : シリアルチャネル停止レジスタ 0	294
19.3.15	SE0 : シリアルチャネル許可ステータスレジスタ 0	295
19.3.16	SOE0 : シリアル出力許可レジスタ 0	295
19.3.17	SO0 : シリアル出力レジスタ 0	296
19.3.18	SOL0 : シリアル出力レベルレジスタ 0	296
19.3.19	SSC0 : シリアルスタンバイコントロールレジスタ 0	297
19.3.20	ISC : 入力切り替え制御レジスタ	298
19.3.21	SNFEN : SAU ノイズフィルタ許可レジスタ	299
19.3.22	ULBS : UART ループバック選択レジスタ	300
19.4	動作停止モード	300
19.5	簡易 SPI の動作	301
19.5.1	マスタ送信	302
19.5.2	マスタ受信	309
19.5.3	マスタ送受信	316
19.5.4	スレーブ送信	323
19.5.5	スレーブ受信	330
19.5.6	スレーブ送受信	335
19.5.7	スヌーズモード機能	342
19.5.8	転送クロック周波数の算出	346
19.5.9	簡易 SPI 通信時におけるエラー発生時の処理手順	347
19.6	UART 通信の動作	348
19.6.1	UART 送信	349
19.6.2	UART 受信	356
19.6.3	スヌーズモード機能	362
19.6.4	ボーレートの算出	368

19.6.5	UART 通信時におけるエラー発生時の処理手順	370
19.7	LIN 通信の動作	371
19.7.1	LIN 送信	371
19.7.2	LIN 受信	374
19.8	簡易 I ² C モードの動作	377
19.8.1	アドレスフィールド送信	378
19.8.2	データ送信	382
19.8.3	データ受信	385
19.8.4	ストップコンディションの生成	390
19.8.5	転送速度の算出	391
19.8.6	簡易 I ² C 通信時におけるエラー発生時の処理手順	391
20.	I²C バスインタフェース (IICA)	393
20.1	概要	393
20.2	レジスタの説明	396
20.2.1	IICA0 : IICA シフトレジスタ 0	396
20.2.2	SVA0 : スレーブアドレスレジスタ 0	397
20.2.3	IICCTL00 : IICA コントロールレジスタ 00	397
20.2.4	IICS0 : IICA ステータスレジスタ 0	401
20.2.5	IICF0 : IICA フラグレジスタ 0	404
20.2.6	IICCTL01 : IICA コントロールレジスタ 01	406
20.2.7	IICWL0 : IICA Low レベル幅設定レジスタ 0	408
20.2.8	IICWH0 : IICA High レベル幅設定レジスタ 0	409
20.2.9	I ² C 入出力端子と兼用するポートの機能を制御するレジスタ	409
20.3	I ² C バスの定義と制御方式	409
20.3.1	端子構成	410
20.3.2	IICWL0 レジスタと IICWH0 レジスタを使用した転送クロックの設定	410
20.3.3	スタートコンディション	411
20.3.4	アドレス	411
20.3.5	転送方向指示	412
20.3.6	アクノリッジ (ACK)	412
20.3.7	ストップコンディション	413
20.3.8	クロックストレッチ	413
20.3.9	クロックストレッチの解除	415
20.3.10	割り込み要求信号 (IICA0_TXRXI) の生成のタイミングとクロックストレッチの制御	416
20.3.11	アドレス一致検出方法	417
20.3.12	エラー検出	417
20.3.13	拡張コード	417
20.3.14	アービトレーション	418
20.3.15	ウェイクアップ機能	419

20.3.16	通信予約	420
20.3.17	使用上の注意事項	423
20.3.18	通信動作	423
20.3.19	I ² C 割り込み要求信号 (IICA0_TXRXI) 発生のタイミング	431
20.4	タイミングチャート	446
21.	巡回冗長検査 (CRC).....	461
21.1	概要	461
21.2	レジスタの説明	461
21.2.1	CRCCR0 : CRC コントロールレジスタ 0.....	461
21.2.2	CRCDIR/CRCDIR_BY : CRC データ入力レジスタ	462
21.2.3	CRCDOR/CRCDOR_HA : CRC データ出力レジスタ	462
21.3	動作説明	463
21.3.1	基本動作	463
21.4	使用上の注意事項	464
21.4.1	モジュールストップ状態の設定	464
21.4.2	送信時の注意事項	464
22.	10 ビット A/D コンバータ (ADC10).....	466
22.1	概要	466
22.2	A/D コンバータを制御するレジスタ	470
22.2.1	ADM0 : A/D コンバータモードレジスタ 0	470
22.2.2	ADM1 : A/D コンバータモードレジスタ 1	479
22.2.3	ADM2 : A/D コンバータモードレジスタ 2	480
22.2.4	ADCR : 10 ビット A/D 変換結果レジスタ	482
22.2.5	ADCRH : 8 ビット A/D 変換結果レジスタ	482
22.2.6	ADS : アナログ入力チャネル指定レジスタ	483
22.2.7	ADUL : 変換結果比較上限設定レジスタ	484
22.2.8	ADLL : 変換結果比較下限設定レジスタ	484
22.2.9	ADTES : A/D テストレジスタ	484
22.3	A/D コンバータの動作	485
22.4	入力電圧と変換結果	486
22.5	A/D コンバータの動作モード	487
22.5.1	ソフトウェアトリガモード（選択モード、連続変換モード）	487
22.5.2	ソフトウェアトリガモード（選択モード、ワンショット変換モード）	488
22.5.3	ハードウェアトリガ待機なしモード（選択モード、連続変換モード）	489
22.5.4	ハードウェアトリガ待機なしモード（選択モード、ワンショット変換モード）	489
22.5.5	ハードウェアトリガ待機モード（選択モード、連続変換モード）	490
22.5.6	ハードウェアトリガ待機モード（選択モード、ワンショット変換モード）	491
22.6	A/D コンバータ設定手順	492
22.6.1	ソフトウェアトリガモードの設定	492

22.6.2	ハードウェアトリガ待機なしモードの設定	493
22.6.3	ハードウェアトリガ待機モードの設定	494
22.6.4	温度センサ出力電圧または内部基準電圧と、ソフトウェアトリガモードおよびワンショット変換モード選択時の ADC10 使用例	495
22.6.5	テストモードの設定	496
22.7	スヌーズモード機能	497
22.7.1	ハードウェアトリガの入力による A/D 変換	497
22.8	A/D コンバータのテスト	501
22.9	A/D コンバータ特性表の読み方	502
22.10	使用上の注意事項	505
23.	温度センサ回路 (TSN)	508
23.1	概要	508
23.2	温度センサ回路の使用方法	508
23.2.1	使用前の準備	508
23.2.2	温度センサ回路の使用手順	509
24.	SRAM	510
24.1	概要	510
24.2	動作説明	510
24.2.1	アクセスサイクル	510
24.3	使用上の注意事項	510
24.3.1	SRAM 領域からの命令フェッチ	510
24.3.2	SRAM ストアバッファ	510
25.	フラッシュメモリ	511
25.1	概要	511
25.2	メモリ構造	512
25.3	レジスタの説明	512
25.3.1	FENTRYR: フラッシュ P/E モードエントリレジスタ	512
25.3.2	FPR: プロテクションアンロックレジスタ	513
25.3.3	FPSR: プロテクションアンロックステータスレジスタ	513
25.3.4	FPMCR: フラッシュ P/E モードコントロールレジスタ	514
25.3.5	FISR: フラッシュ初期設定レジスタ	515
25.3.6	FRESETR: フラッシュリセットレジスタ	516
25.3.7	FASR: フラッシュ領域選択レジスタ	516
25.3.8	FCR: フラッシュコントロールレジスタ	517
25.3.9	FEXCR: フラッシュエキストラ領域コントロールレジスタ	518
25.3.10	FSARH: フラッシュ処理開始アドレスレジスタ H	520
25.3.11	FSARL: フラッシュ処理開始アドレスレジスタ L	520
25.3.12	FEARH: フラッシュ処理終了アドレスレジスタ H	521
25.3.13	FEARL: フラッシュ処理終了アドレスレジスタ L	521

25.3.14	FWBL0 : フラッシュライトバッファレジスタ L0.....	522
25.3.15	FWBH0 : フラッシュライトバッファレジスタ H0.....	522
25.3.16	FSTATR1 : フラッシュステータスレジスタ 1.....	522
25.3.17	FSTATR2 : フラッシュステータスレジスタ 2.....	523
25.3.18	FEAMH : フラッシュエラーアドレスモニタレジスタ H.....	524
25.3.19	FEAML : フラッシュエラーアドレスモニタレジスタ L.....	524
25.3.20	FSCMR : フラッシュスタートアップ設定モニタレジスタ	525
25.3.21	FAWSMR : フラッシュアクセスウィンドウ開始アドレスモニタレジスタ	525
25.3.22	FAWEMR : フラッシュアクセスウィンドウ終了アドレスモニタレジスタ	525
25.3.23	UIDRn : ユニーク ID レジスタ n (n = 0~3)	526
25.3.24	PNRn : 型名レジスタ n (n = 0~3)	526
25.3.25	MCUVER : MCU バージョンレジスタ	527
25.4	フラッシュメモリ関連の動作モード	527
25.4.1	ID コードプロテクト	528
25.5	機能概要	528
25.5.1	コンフィグレーション設定領域ビットマップ	530
25.5.2	スタートアップ領域選択.....	530
25.5.3	アクセスウィンドウによるプロテクション.....	531
25.6	プログラムコマンド	531
25.7	サスペンド動作	531
25.8	プロテクション機能	531
25.8.1	スタートアッププログラムプロテクション	531
25.8.2	領域プロテクション	532
25.9	セルフプログラミング	533
25.9.1	概要	533
25.10	プログラムとイレース.....	533
25.10.1	シーケンサモード	533
25.10.2	ソフトウェアコマンド	534
25.10.3	ソフトウェアコマンドの使用方法	534
25.11	フラッシュメモリの読み出し	541
25.11.1	コードフラッシュメモリの読み出し.....	541
25.12	使用上の注意事項.....	541
25.12.1	イレースを中断した領域.....	541
25.12.2	追加の書き込みに関する制限	541
25.12.3	プログラム／イレース中のリセット.....	542
25.12.4	プログラム／イレース中に禁止されるノンマスカブル割り込み	542
25.12.5	プログラム／イレース中における割り込みベクタの配置	542
25.12.6	Subosc-speed 動作モードでのプログラム／イレース	542
25.12.7	プログラム／イレース中の異常終了.....	542
25.12.8	プログラム／イレース中に禁止されているアクション	542

25.12.9	プログラム/イレース中の Flash-IF クロック (ICLK)	542
26.	内部電圧レギュレータ	543
26.1	概要	543
26.2	動作説明	543
27.	電气的特性	544
27.1	絶対最大定格	544
27.1.1	Tj/Ta の定義	545
27.2	オシレータ特性	545
27.2.1	オンチップオシレータ特性	545
27.3	DC 特性	546
27.3.1	端子特性	546
27.3.2	動作電流とスタンバイ電流	550
27.3.3	熱特性	552
27.4	AC 特性	553
27.4.1	リセットタイミング	556
27.4.2	ウェイクアップ時間	557
27.5	周辺機能特性	559
27.5.1	シリアルアレイユニット (SAU)	559
27.5.2	I ² C バスインタフェース (IICA)	581
27.6	アナログ特性	583
27.6.1	A/D コンバータ特性 (T _A = -40 °C ~ +85 °C)	583
27.6.2	A/D コンバータ特性 (T _A = -40 °C ~ +125 °C)	587
27.6.3	温度センサ/内部基準電圧特性	591
27.6.4	POR 特性	591
27.6.5	LVD 特性	592
27.6.6	電源電圧上昇スロープ特性	594
27.7	RAM データ保持特性	594
27.8	フラッシュメモリプログラミング特性	594
27.9	シリアルワイヤデバッグ (SWD)	595
付録 1.	各プロセスモードのポート状態	597
付録 2.	外形寸法図	599
付録 3.	I/O レジスタ	600
3.1	周辺機能のベースアドレス	600
3.2	アクセスサイクル	600
付録 4.	ペリフェラル変数	602

Renesas RA0E3 グループ ユーザーズマニュアル

超低消費電力 32 MHz Arm® Cortex®-M23 コア、16 KB のコードフラッシュメモリ、2 KB の SRAM、10 ビット A/D コンバータ、シリアルインタフェースおよびセーフティ機能

特長

- Arm Cortex-M23 コア
 - Armv8-M アーキテクチャ
 - 最高動作周波数：32 MHz
 - デバッグ&トレース：DWT、FPB、CoreSight™ MTB-M23
 - CoreSight デバッグポート：SW-DP
- メモリ
 - 16 KB のコードフラッシュメモリ
 - 2 KB の SRAM
 - フラッシュ読み出し保護 (FRP)
 - 128 ビットのユニーク ID
- 接続性
 - シリアルアレイユニット (SAU)
 - 簡易 SPI × 2
 - 簡易 IIC × 2
 - UART × 1
 - UART (LIN バス対応) × 1
 - I²C バスインタフェース (IICA) × 1
- アナログ
 - 10 ビット A/D コンバータ (ADC10)
 - 温度センサ回路 (TSN)
- タイマ
 - 16 ビットタイマアレイユニット (TAU) × 8
 - 32 ビットインターバルタイマ (TML32) × 1
 - 1 チャネル (32 ビットカウンタモード)
 - 2 チャネル (16 ビットカウンタモード)
 - 4 チャネル (8 ビットカウンタモード)
- セーフティ
 - フラッシュ領域の保護
 - ADC 自己診断機能
 - 巡回冗長検査 (CRC)
 - 独立ウォッチドッグタイマ (IWDG)
 - GPIO リードバックレベル検出
 - レジスタライトプロテクション
 - 不正メモリアクセス検出
- システムおよび電源管理
 - 低消費電力モード
 - データトランスファコントローラ (DTC)
 - パワーオンリセット
 - 低電圧検出機能 (LVD) の設定可能
- マルチクロックソース
 - 高速オンチップオシレータ (HOCO) (32 MHz)
 - 低速オンチップオシレータ (LOCO) (32.768 kHz)
 - HOCO/LOCO に対するクロックトリム機能
 - クロックアウトのサポート
- 最大 17 本の汎用入出力ポート内蔵
 - 5 V トレランス、オープンドレイン、入力プルアップ
- 動作電圧
 - VCC: 1.6~5.5 V
- 動作温度およびパッケージ
 - Ta = -40 °C~+125 °C
 - 20 ピン TSSOP (4.4 mm × 6.5 mm、0.65 mm ピッチ)

1. 概要

MCU は、さまざまなシリーズのソフトウェアおよび端子と互換性のある Arm[®]ベースの 32 ビットコアを統合しています。同じ一連のルネサス周辺デバイスを共有することで、設計の拡張性が高まります。

本 MCU は高効率な Arm Cortex[®]-M23 32 ビットコアを内蔵しており、特にコスト重視かつ低消費電力のアプリケーションへの適合性が高いです。本 MCU には以下の特長があります。

- 16 KB のコードフラッシュメモリ
- 2 KB の SRAM
- シリアルインタフェース (SAU, IICA)
- 汎用タイマ (TAU, TML32)
- 10 ビット A/D コンバータ (ADC10)

1.1 機能の概要

表 1.1 Arm コア

機能	機能の説明
Arm Cortex-M23 コア	● 最高動作周波数：32 MHz ● Arm Cortex-M23 コア － リビジョン：r1p0-00rel0 － Armv8-M アーキテクチャプロファイル － シングルサイクル整数乗算器 － 19 サイクル整数除算器 ● SysTick タイマ － SYSTICCLK (LOCO) または ICLK による駆動

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	16 KB のコードフラッシュメモリ 「 25. フラッシュメモリ 」を参照してください。
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。 「 6. オプション設定メモリ 」を参照してください。
SRAM	内蔵 SRAM 「 24. SRAM 」を参照してください。

表 1.3 システム (1/2)

機能	機能の説明
動作モード	動作モード ● シングルチップモード 「 3. 動作モード 」を参照してください。
リセット	本 MCU には、6 種類のリセット (RES 端子リセット、パワーオンリセット、独立ウォッチドッグタイマリセット、電圧監視 0/1 リセット、ソフトウェアリセット) があります。 「 5. リセット 」を参照してください。
低電圧検出回路 (LVD)	低電圧検出 (LVD) モジュールは、VCC 端子への入力電圧レベルを監視します。検出レベルはレジスタ設定で選択できます。LVD モジュールは、2 つの分離した電圧レベル検出器 (LVD0, LVD1) から構成されています。LVD0 と LVD1 は VCC 端子への入力電圧レベルを測定します。LVD のレジスタは、アプリケーションの設定により、さまざまな電圧しきい値で VCC 端子への入力電圧の変動の検出を設定できます。 「 7. 低電圧検出回路 (LVD) 」を参照してください。
クロック	● 高速オンチップオシレータ (HOCO) ● 低速オンチップオシレータ (LOCO) ● クロック出力/プザー出力のサポート 「 8. クロック発生回路 」を参照してください。

表 1.3 システム (2/2)

機能	機能の説明
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ (NVIC) およびデータトランスファコントローラ (DTC) モジュールにリンクされるイベント信号を制御します。ICU はノンマスクابل割り込みも制御します。 「11. 割り込みコントローラユニット (ICU)」を参照してください。
低消費電力モード	クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな方法で消費電力を低減できます。 「9. 低消費電力モード」を参照してください。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。 「10. レジスタライトプロテクション」を参照してください。
フラッシュ読み出し保護	MCU はコードフラッシュを含む 1 つのセキュア領域にフラッシュ読み出し保護を内蔵しています。非セキュアプログラムによるアクセスからセキュア領域を保護できます。非セキュアプログラムは、保護領域にアクセスできません。 「13. フラッシュ読み出し保護 (FRP)」を参照してください。
独立ウォッチドッグタイマ (IWDG)	独立ウォッチドッグタイマ (IWDG) は 14 ビットのダウンカウンタで、カウンタのアンダーフローを防止するために定期的に点検する必要があります。IWDG には、MCU をリセットする機能やノンマスクابل割り込みまたはアンダーフロー割り込みを発生させる機能があります。このタイマは LOCO で動作するため、システム暴走時にフェイルセーフメカニズムとして、MCU を既知の状態に復帰させる際に特に有用です。IWDG は、レジスタのリセット、アンダーフロー、リフレッシュエラー、またはカウント値のリフレッシュにより自動的にトリガできます。 「18. 独立ウォッチドッグタイマ (IWDG)」を参照してください。

表 1.4 ダイレクトメモリアクセス

機能	機能の説明
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTC) は、割り込み要求によって起動するとデータ転送を行います。 「14. データトランスファコントローラ (DTC)」を参照してください。

表 1.5 タイマ

機能	機能の説明
タイマアレイユニット (TAU)	タイマアレイユニットは 16 ビットタイマを 8 つ搭載しています。各 16 ビットタイマはチャネルと呼ばれ、個別に使用することができます。さらに、2 つ以上のチャネルで高機能タイマを構成することができます。 「16. タイマアレイユニット (TAU)」を参照してください。
32 ビットインターバルタイマ (TMR32)	32 ビットインターバルタイマは、4 つの 8 ビットインターバルタイマ (チャネル 0~3) で構成されています。各 8 ビットインターバルタイマは独立して動作することができます。その場合、これらのタイマはすべて同じ機能で動作します。8 ビットインターバルタイマの 2 つのチャネルを接続して、1 つの 16 ビットインターバルタイマとして動作することができます。8 ビットインターバルタイマの 4 つのチャネルを接続して、1 つの 32 ビットインターバルタイマとして動作することができます。 「17. 32 ビットインターバルタイマ (TMR32)」を参照してください。

表 1.6 通信インタフェース

機能	機能の説明
シリアルアレイユニット (SAU)	シリアルアレイユニット (SAU) には 1 つのユニットがあります。ユニット 0 には 4 つのチャネルがあります。各チャネルは、簡易 SPI、UART、または簡易 IIC に使用できます。 「19. シリアルアレイユニット (SAU)」を参照してください。
I ² C バスインタフェース (IICA)	I ² C バスインタフェース (IICA) には 1 つのチャネルがあります。IICA は、I ² C (Inter-Integrated Circuit) バスインタフェース方式に準拠しています。 「20. I ² C バスインタフェース (IICA)」を参照してください。

表 1.7 アナログ機能 (1/2)

機能	機能の説明
10 ビット A/D コンバータ (ADC10)	逐次比較方式の 10 ビット A/D コンバータを内蔵しています。最大 6 チャネルのアナログ入力を選択可能です。変換には温度センサ出力および内部基準電圧を選択できます。 「22. 10 ビット A/D コンバータ (ADC10)」を参照してください。

表 1.7 アナログ機能 (2/2)

機能	機能の説明
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を測定し、監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどリニアの関係にあります。出力電圧は ADC10 で変換されてから、末端の応用機器で使用できます。 「 23. 温度センサ回路 (TSN) 」を参照してください。

表 1.8 データ処理

機能	機能の説明
巡回冗長検査 (CRC) 演算器	巡回冗長検査 (CRC: Cyclic Redundancy Check) は、CRC コードを生成してデータエラーを検出します。2 つの CRC 生成多項式 (CRC-CCITT, CRC-32) が使用可能です。 「 21. 巡回冗長検査 (CRC) 」を参照してください。

表 1.9 I/O ポート

機能	機能の説明
I/O ポート	20 ピン TSSOP 用 I/O ポート - 入出力端子 : 16 - 入力端子 : 1 - プルアップ抵抗 : 12 - N チャネルオープンドレイン出力 : 11

1.2 ブロック図

図 1.1 に、本 MCU のスーパーセットのブロック図を示します。グループ内の個々のデバイスは、その機能のサブセットを持つ場合があります。

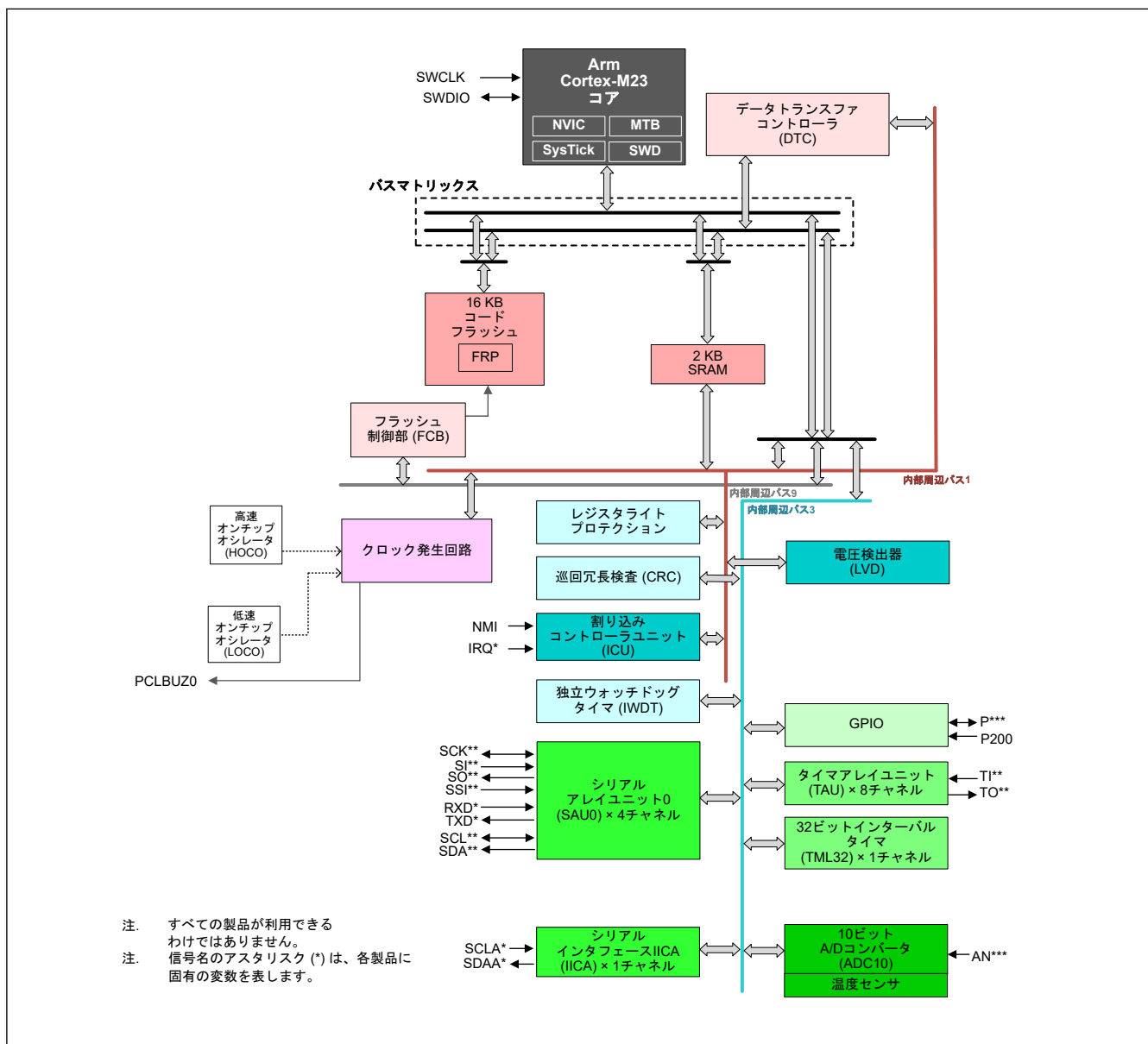


図 1.1 ブロック図

1.3 型名

図 1.2 に、メモリ容量およびパッケージタイプを含む製品の型名情報を示します。表 1.10 に、製品一覧表を示します。

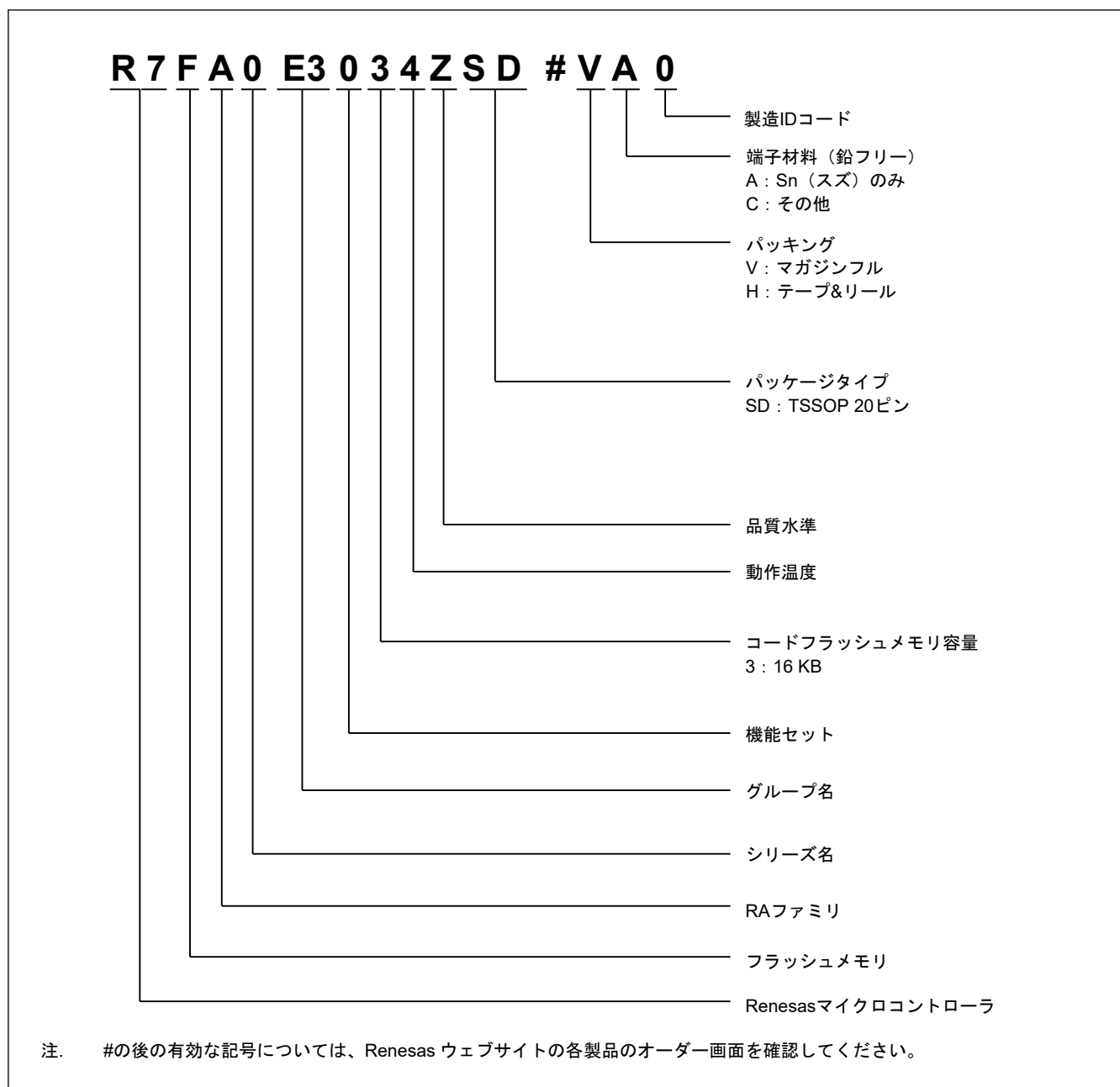


図 1.2 型名の読み方

表 1.10 製品一覧

製品型名	パッケージコード	コードフラッシュ ユ	SRAM	動作温度
R7FA0E3034ZSD	PTSP0020JI-A	16 KB	2 KB	-40~+125 °C

1.4 機能の比較

表 1.11 機能の比較

型名		R7FA0E3034ZSD
端子総数		20
パッケージ		TSSOP
コードフラッシュメモリ		16 KB
SRAM		2 KB
システム	CPU クロック	32 MHz
	ICU	あり
DMA	DTC	あり
タイマ	TAU	8 (PWM 出力 : 7)
	TML32	1 (32 ビットカウンタモード)、 2 (16 ビットカウンタモード)、 4 (8 ビットカウンタモード)
	IWDT	あり
通信	SAU	2 (簡易 SPI) (注1)、 2 (簡易 IIC) (注1)、 1 (UART) (注1)、 1 (LIN バス対応 UART) (注1)
	IICA	1
アナログ	ADC10	6
	TSN	あり
データ処理	CRC	あり
I/O ポート	入出力端子	16
	入力端子	1
	プルアップ抵抗	12
	N チャネルオープンドレイン出力	11
	5 V トレランス	—

注 1. SAU は複数のチャネルで構成されています。各チャネルは、一度に 1 つの機能のみを割り当てることができます。

1.5 端子機能

表 1.12 端子機能

機能	信号	入出力	説明
電源	VCC	入力	電源端子。システムの電源に接続してください。この端子は 0.1 μ F のコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。
	VCL 端子	入出力	この端子は、内部電源を安定化するための平滑コンデンサを介して VSS 端子に接続してください。コンデンサは端子近くに配置してください。
	VSS	入力	グランド端子。システムの電源 (0 V) に接続してください。
クロック	PCLBUZ0	出力	クロック出力／ブザー出力
システム制御	RES	入力	リセット信号入力端子。この端子が Low になると、MCU はリセット状態となります。
オンチップデバッグ	SWDIO	入出力	シリアルワイヤデバッグデータの入出力端子
	SWCLK	入力	シリアルワイヤクロック端子
割り込み	NMI	入力	ノンマスクابل割り込み要求端子
	IRQ0～IRQ5	入力	マスクابل割り込み要求端子
TAU	TI00～TI07	入力	外部カウントクロック／キャプチャトリガを 16 ビットタイマ 00～07 へ入力するための端子
	TO00～TO07	入出力	16 ビットタイマ 00～07 のタイマ出力端子
IICA	SCLAn (n = 0)	入出力	クロック用の入出力端子
	SDAAn (n = 0)	入出力	データ用の入出力端子
SAU	SCK00, SCK11	入出力	シリアルインタフェース SPI00、SPI11 のシリアルクロック入出力端子
	SI00, SI11	入力	シリアルインタフェース SPI00、SPI11 のシリアルデータ入力端子
	SO00, SO11	出力	シリアルインタフェース SPI00、SPI11 のシリアルデータ出力端子
	SSI00	入力	シリアルインタフェース SPI00 のチップ選択端子
	SCL00, SCL11	出力	シリアルインタフェース IIC00、IIC11 のシリアルクロック出力端子
	SDA00, SDA11	入出力	シリアルインタフェース IIC00、IIC11 のシリアルデータ入出力端子
	RXD0, RXD1	入力	シリアルインタフェース UART0、UART1 のシリアルデータ入力端子
	TXD0, TXD1	出力	シリアルインタフェース UART0、UART1 のシリアルデータ出力端子
アナログ電源	VREFH0	入力	ADC10 用のアナログ基準電圧源端子。この端子は外部基準電圧または VCC に接続してください。
	VREFL0	入力	ADC10 用のアナログ基準グランド端子。この端子は外部基準電圧または VSS に接続してください。
ADC10	AN000, AN001, AN004, AN005, AN021～AN022	入力	A/D コンバータで処理されるアナログ信号用の入力端子
I/O ポート	P010～P013	入出力	汎用入出力端子
	P100～P102, P108～P110, P112	入出力	汎用入出力端子
	P200	入力	汎用入力端子
	P201, P206, P212, P213	入出力	汎用入出力端子
	P300	入出力	汎用入出力端子

1.6 ピン配置図

図 1.3 にピン配置図（上面図）を示します。

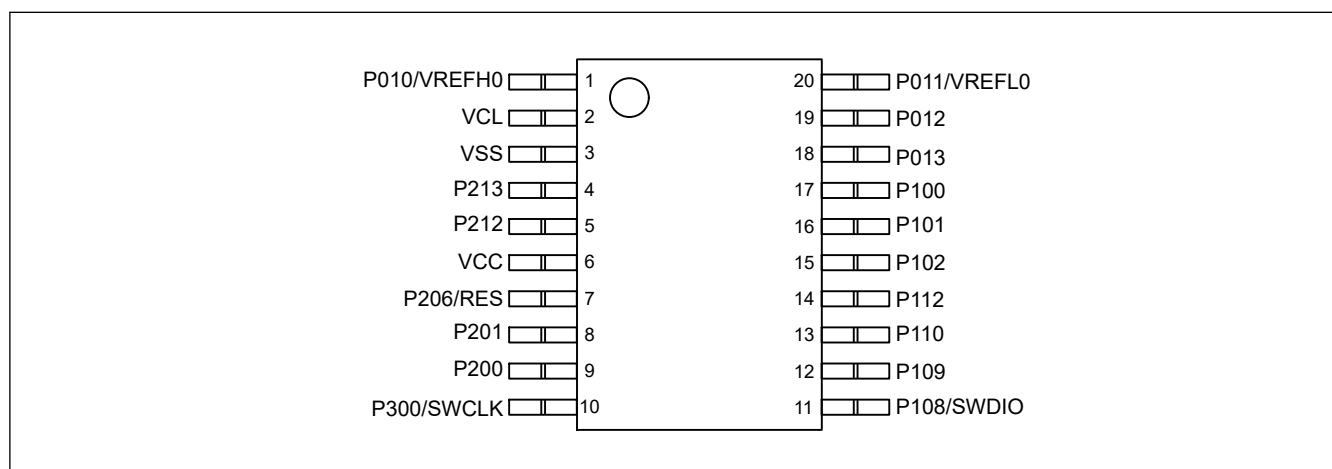


図 1.3 20 ピン TSSOP のピン配置図（上面図）

1.7 端子一覧

表 1.13 端子一覧

ピン番号 TSOP 20ピン	電源、 システム、 クロック、 デバッグ	ポート I/O	割り込み	タイマ	通信インターフェース		アナログ
				TAU	SAU	IICA	ADC
1	VREFH0	P010	—	—	—	—	AN000
2	VCL	—	—	—	—	—	—
3	VSS	—	—	—	—	—	—
4	—	P213	IRQ0_B	TI00_A/TI02_B/TO02_B	TXD1_A/SO11_A	SDAA0_B	—
5	—	P212	IRQ1_B	TO00_A/TI03_C/TO03_C	RXD1_A/SDA11_A/ SI11_A	SCLA0_B	—
6	VCC	—	—	—	—	—	—
7	RES	P206	IRQ1_C	—	—	—	—
8	PCLBUZ0_A	P201	IRQ5_B	TI05_B/TO05_B	SCL11_B/SSI00_B/ SCK11_B	—	—
9	—	P200	IRQ0_A/NMI	TI06_B	RXD1_B/SSI00_D	—	—
10	SWCLK	P300	—	TI04_B/TO04_B	TXD1_B	SDAA0_E	—
11	SWDIO/PCLBUZ0_D	P108	—	TI03_B/TO03_B	SCK00_C	SCLA0_E	—
12	—	P109	IRQ4_B	TI02_A/TO02_A	TXD0_B/SO00_B	SDAA0_C	—
13	—	P110	IRQ3_B	TI01_A/TO01_A	RXD0_B/SDA00_B/ SI00_B	SCLA0_C	—
14	—	P112	IRQ2_B	TI03_A/TO03_A	SCL00_B/SCK00_B/ SSI00_C	—	—
15	PCLBUZ0_B	P102	IRQ4_A	TI06_A/TO06_A/TO00_C	SCL00_A/SCK00_A	—	—
16	—	P101	IRQ3_A	TI07_A/TO07_A/TO00_C	TXD0_A/SO00_A	SDAA0_D	AN021
17	—	P100	IRQ2_A	TI04_A/TO04_A/TO01_B/ TO01_B	RXD0_A/SDA00_A/ SI00_A	SCLA0_D	AN022
18	—	P013	—	—	—	—	AN005
19	—	P012	—	—	—	—	AN004
20	VREFL0	P011	—	—	—	—	AN001

注. 信号名には、接尾語として_A、_B、_C、_D、または_Eが付加されているものもありますが、SAUとIICAを除いて、機能の割り当て時にはこれらの接尾語を無視することができます。SAUとIICAの場合は、SCL11、SCK11、SCK00、SSI00を除いて、同じ接尾語を持つ信号のみを選択できます。同じ機能を2つ以上の端子に同時に割り当てることはしないでください。

2. CPU

本 MCU は、Arm[®]Cortex[®]-M23 CPU コアをベースにしています。

2.1 概要

2.1.1 CPU

- Arm Cortex-M23
 - リビジョン : r1p0-00rel0
 - Armv8-M アーキテクチャプロファイル
 - メイン拡張は非搭載
 - シングルサイクル整数乗算器
 - 19 サイクル整数除算器
- SysTick タイマ
 - SYSTICCLK (LOCO) または ICLK による駆動

詳細は、「[2.8. 参考資料](#)」の参考資料 1.および参考資料 2.を参照してください。

2.1.2 デバッグ

- Arm[®] CoreSight[™] MTB-M23
 - リビジョン : r0p0-00rel0
 - バッファサイズ : 2 KB MTB SRAM のうち 1 KB
- データウォッチポイントユニット (DWT)
 - ウォッチポイント用の 2 つのコンパレータ
- フラッシュパッチおよびブレークポイントユニット (FPB)
 - 4 つの命令コンパレータ
- CoreSight デバッグアクセスポート (DAP)
 - シリアルワイヤデバッグポート (SW-DP)
- デバッグレジスタモジュール (DBGREG)
 - リセットコントロール
 - ストップコントロール

詳細は、「[2.8. 参考資料](#)」の参考資料 1.および参考資料 2.を参照してください。

2.1.3 動作周波数

MCU の動作周波数は以下のとおりです。

- CPU: 最高 32 MHz
- シリアルワイヤデバッグ (SWD) インタフェース : 最高 12.5 MHz

2.1.4 ブロック図

[図 2.1](#) に Cortex-M23 CPU のブロック図を示します。

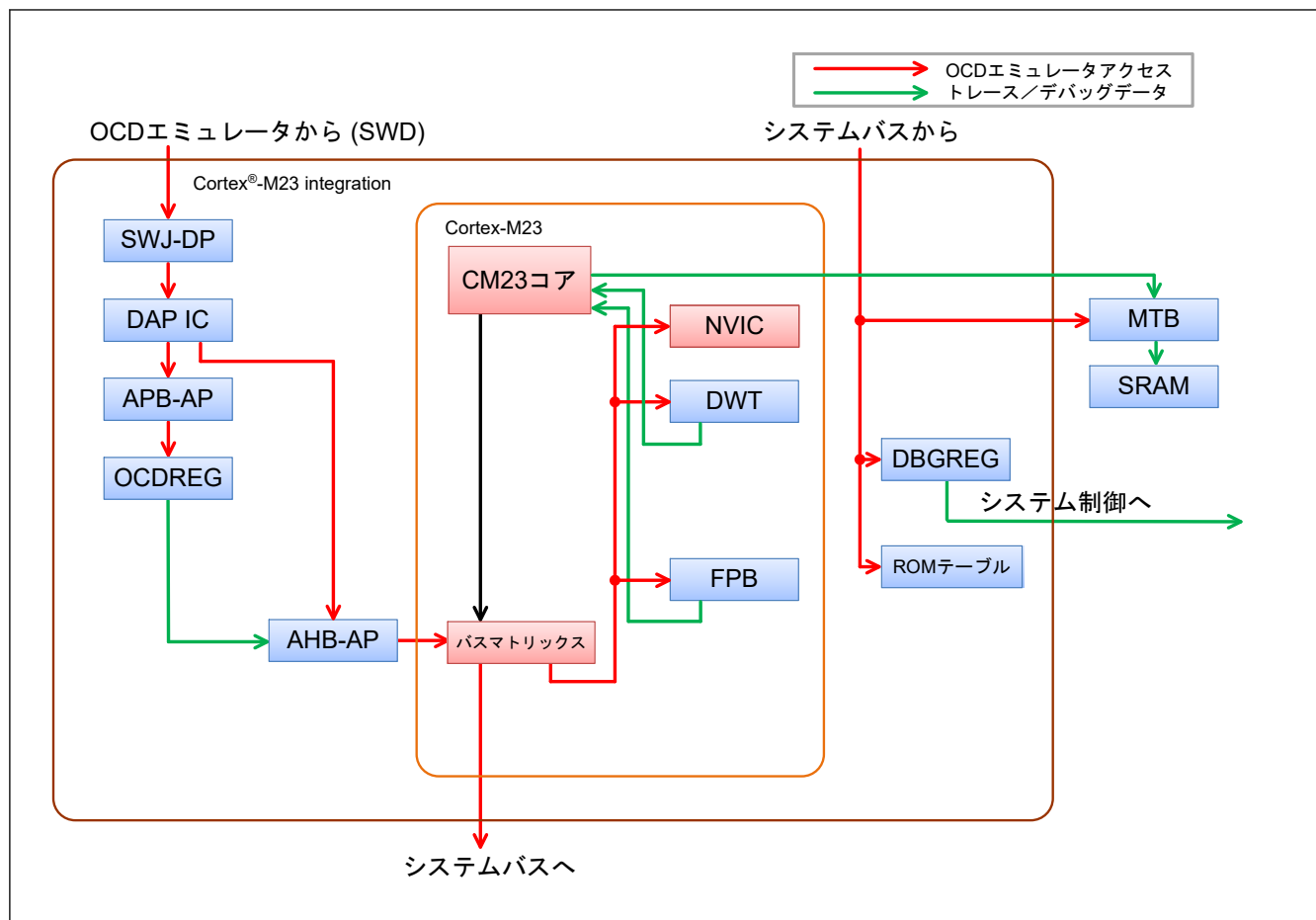


図 2.1 Cortex-M23 CPU のブロック図

2.2 実装オプション

表 2.1 に MCU の実装オプションを示します。

表 2.1 実装オプション (1/2)

オプション	実装
非セキュア MPU	なし
セキュア MPU	なし
セキュリティ拡張機能	なし
シングルサイクル乗算器	あり
除算器	あり (19 サイクル)
割り込み本数	64(注1)
ウェイクアップ割り込みコントローラ (WIC) の数	なし
クロストリガインタフェース (CTI)	なし
マイクロトレースバッファ (MTB)	あり
エンベデッドトレースマクロセル (ETM)	なし
シリアルワイヤマルチドロップサポート	なし
スリープモードパワーセーブ	スリープモードや他の低消費電力モードがサポートされています。詳細は、「9. 低消費電力モード」を参照してください。 注. SCB.SCR.SLEEPDEEP は無視されます。

表 2.1 実装オプション (2/2)

オプション	実装
エンディアン形式	リトルエンディアン
SysTick タイマ	あり
SYST_CALIB レジスタ (0x4000_0147)	ビット[31] = 0 ビット[30] = 1 ビット[29:24] = 0x00 ビット[23:0] = 0x000147 基準クロックが提供されている TENMS 値が不正確 予約 TENMS: (32768 × 10 ms) - 1/32.768 kHz = 326.66 (10 進数) = 327 (スキューを含む) = 0x000147
イベント入出力	なし
システムリセット要求出力	アプリケーション割り込みおよびリセットコントロールレジスタの SYSRESETREQ ビットによって CPU がリセットされます。
補助フォルト入力 (AUXFAULT)	なし

注 1. 割り込み本数のいくつかは予約です。割り込み要因の詳細については、「11.3.1. 割り込みベクタテーブル」を参照してください。

2.3 SWD インタフェース

表 2.2 に SWD 端子を示します。

表 2.2 SWD 端子

名称	入出力	機能	未使用時の端子処理
SWCLK ^(注1)	入力	シリアルワイヤクロック端子	プルアップ
SWDIO ^(注1)	入出力	シリアルワイヤデータ入出力端子	プルアップ

注 1. リセット後、該当端子では内蔵プルアップが有効になります。

2.4 デバッグ機能

2.4.1 デバッグモードの定義

表 2.3 に、デバッグモードとその条件を示します。

表 2.3 デバッグモードとその条件

条件		モード	
エミュレータとの接続 ^(注1)	SWD 認証	デバッグモード	デバッグ認証 ^(注2)
未接続	—	ユーザーモード	禁止
接続	不合格	ユーザーモード	禁止
接続	合格	OCD モード	許可

注. CSYSPWRUPREQ ビットを設定すると、OFS1.PORTSELB の値はマスクされ、RES 入力に固定されます。

注. 大量生産の一部として指定された製品でオンチップデバッグを使用しないでください。この機能の使用によりフラッシュメモリの書き替え保証回数を超える恐れがあり、製品の信頼性が保証できなくなるからです。

注 1. エミュレータとの接続は、SWJ-DP レジスタの CDBGPWRUPREQ ビットと CSYSPWRUPREQ ビットの値で判別されます。このビットは OCD によってのみ書き込むことができます。

なお、このビットの値は、DBGSTR.CDBGPWRUPREQ ビットの読み出しによって確認できます。

注 2. デバッグ認証は、Armv8-M アーキテクチャによって定義されます。「許可」とは、侵入型と非侵入型の両方の CPU デバッグが許可されることを意味します。「禁止」とは、これらが両方とも許可されないことを意味します。

2.4.2 デバッグモードの影響

デバッグモードの影響を以下に示します。デバッグモードは CPU の内部および外部に影響を与えます。

2.4.2.1 低消費電力モード

すべての CoreSight デバッグコンポーネントは、CPU がソフトウェアスタンバイモードあるいはスリープモードに遷移した場合でも、レジスタの設定値を保持することが可能です。ただし、これらの低消費電力モードにおい

ては、AHB-AP はオンチップデバッグ (OCD) エミュレータアクセスに応答できません。すなわち、CoreSight デバッグコンポーネントにアクセスするには、OCD エミュレータは低消費電力モードが解除されるのを待つ必要があります。この場合、OCD エミュレータは MCUCTRL レジスタの DBIRQ ビットを用いて、低消費電力モードの解除を要求できます。詳細は、「[2.5.6.3. MCUCTRL : MCU コントロールレジスタ](#)」を参照してください。

2.4.2.2 リセット

OCD モードでは、一部のリセットは CPU 状態と DBGSTOPCR レジスタの設定内容に従います。

表 2.4 リセット／割り込みおよびモード設定

リセット／割り込み名称	オンチップデバッグ (OCD) モード時の制御	
	OCD ブレークモード	OCD RUN モード
RES 端子リセット	ユーザーモードと同じ	
パワーオンリセット	ユーザーモードと同じ	
独立ウォッチドッグタイマリセット／割り込み	発生しない(注1)	DBGSTOPCR レジスタの設定内容に従う
電圧監視リセット／割り込み	DBGSTOPCR レジスタの設定内容に従う	
ソフトウェアリセット	ユーザーモードと同じ	

注. 「OCD ブレークモード」は CPU が停止していることを意味し、「OCD RUN モード」は停止していないことを意味します。

注 1. このモードでは IWDG は常に停止しています。

2.4.3 トレースコントロール (MTB 用)

マイクロトレースバッファ (MTB) には、トレース機能の動作を制御するプログラマブルレジスタ、POSITION レジスタ、MASTER レジスタ、FLOW レジスタ、BASE レジスタがあります。表 2.5 にベースアドレスのオフセット順にレジスタを示します。

表 2.5 MTB レジスタのアドレス

アドレス	レジスタ	リセット時の値
MTB_BASE + 0x000	MTB_POSITION	ビット[31:0] = UNKNOWN
MTB_BASE + 0x004	MTB_MASTER	ビット[31] = 0、ビット[30:10] = UNKNOWN、ビット[9:8] = 0、ビット[7] = 1、ビット[6:5] = 0、ビット[4:0] = UNKNOWN
MTB_BASE + 0x008	MTB_FLOW	ビット[31:2] = UNKNOWN、ビット[1:0] = 0
MTB_BASE + 0x00C	MTB_BASE	ビット[31:0] = 0x2000_4000

注. MTB_BASE: 0x4001_9000

これらのレジスタの詳細については、ARM® CoreSight™ MTB-M23 Technical Reference Manual (ARM DDI 0564C)を参照してください。

注. 予約アドレスまたは未使用アドレスの場所にはアクセスしないでください。

トレース用の MTB は、0x2000_4000～0x2000_47FF に制限されます。

2.4.4 CoreSight™ (MTB 用)

レジスタおよびアクセスタイプの詳細については、ARM® CoreSight™ Architecture Specification を参照してください。表 2.6 にベースアドレスのオフセット順にレジスタを示します。

表 2.6 CoreSight のアドレス (1/2)

アドレス	レジスタ
MTB_BASE + 0xFF0～0xFFC	コンポーネント ID
MTB_BASE + 0xFE0～0xFDC	ペリフェラル ID
MTB_BASE + 0xFCC	デバイス種別 ID
MTB_BASE + 0xFC8	デバイスコンフィグレーション

表 2.6 CoreSight のアドレス (2/2)

アドレス	レジスタ
MTB_BASE + 0xFBC	デバイスアーキテクチャ
MTB_BASE + 0xFB8	認証ステータス
MTB_BASE + 0xFB4	ロックステータス
MTB_BASE + 0xFB0	ロックアクセス

注. MTB_BASE: 0x4001_9000

これらのレジスタの詳細については、ARM® CoreSight™ MTB-M23 Technical Reference Manual (ARM DDI 0564C)を参照してください。

注. 予約アドレスまたは未使用アドレスの場所にはアクセスしないでください。

2.5 プログラマモデル

2.5.1 アドレス空間

本 MCU のデバッグシステムには、次の 2 つの CoreSight アクセスポート (AP) があります。

- AHB-AP : CPU バスマトリックスに接続され、CPU と同様にシステムアドレス空間にアクセスします。
- APB-AP : 専用のアドレス空間 (OCD アドレス空間) を持ち、OCDREG レジスタに接続します。

図 2.2 に AP 接続とアドレス空間のブロック図を示します。

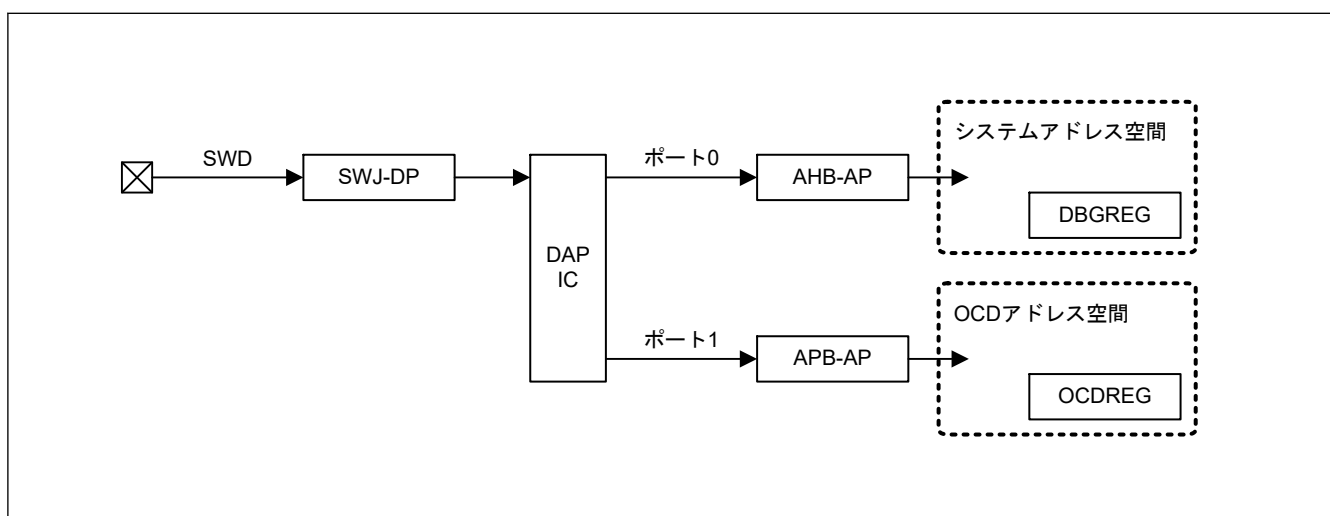


図 2.2 SWD 認証のブロック図

デバッグ用に、DBGREG と OCDREG の 2 つのレジスタモジュールが存在します。DBGREG はシステムアドレス空間に配置され、エミュレータ、CPU、および本 MCU における他のバスマスタからアクセスが可能です。OCDREG は OCD アドレス空間に配置され、エミュレータからのみアクセスが可能です。CPU と他のバスマスタは OCDREG レジスタにアクセスできません。

2.5.2 Cortex-M23 ペリフェラルアドレスマップ

システムアドレス空間において、Cortex-M23 コアには専用周辺バス (PPB) があります。このバスは CPU および OCD エミュレータからのみアクセスできます。表 2.7 に本 MCU のアドレスマップを示します。

表 2.7 Cortex-M23 ペリフェラルアドレスマップ (1/2)

コンポーネント名	開始アドレス	終了アドレス	備考
DWT	0xE000_1000	0xE000_1FFF	「2.8. 参考資料」の参考資料 2.を参照してください。
FPB	0xE000_2000	0xE000_2FFF	「2.8. 参考資料」の参考資料 2.を参照してください。

表 2.7 Cortex-M23 ペリフェラルアドレスマップ (2/2)

コンポーネント名	開始アドレス	終了アドレス	備考
SCS	0xE000_E000	0xE000_EFFF	「2.8. 参考資料」の参考資料 2.を参照してください。

2.5.3 外部デバッグアドレスマップ

システムアドレス空間において、Cortex-M23 コアには外部デバッグコンポーネントがあります。これらのコンポーネントは、システムバスを介して CPU および他のバスマスタからアクセスできます。表 2.8 に Cortex-M23 外部デバッグコンポーネントのアドレスマップを示します。

表 2.8 外部デバッグコンポーネントのアドレスマップ

コンポーネント名	開始アドレス	終了アドレス	備考
MTB (SRAM 領域)	0x2000_4000	0x2000_47FF	MTB はトレースバッファとして最大 1 KB を使用します。 「2.8. 参考資料」にある参考資料 6.を参照してください。
MTB (SFR 領域)	0x4001_9000	0x4001_9FFF	「2.8. 参考資料」にある参考資料 6.を参照してください。
ROM テーブル	0x4001_A000	0x4001_AFFF	「2.8. 参考資料」にある参考資料 6.を参照してください。

2.5.4 CoreSight ROM テーブル

本 MCU には、1 つの CoreSight ROM テーブルがあり、それはユーザー領域に実装されている全コンポーネントのリストです。

2.5.4.1 ROM エントリ

表 2.9 に ROM エントリを示します。OCD エミュレータは、ROM エントリを使用して、どのコンポーネントがシステムに実装されているかを判定できます。詳細は、「2.8. 参考資料」の参考資料 4.を参照してください。

表 2.9 ROM エントリ

#	アドレス	アクセスサイズ	R/W	値	対象モジュールポインタ
0	0x4001_A000	32 ビット	R	0x9FFF4003	SCS
1	0x4001_A004	32 ビット	R	0x9FFE7003	DWT
2	0x4001_A008	32 ビット	R	0x9FFE8003	FPB
3	0x4001_A00C	32 ビット	R	0xFFFFF003	MTB
4	0x4001_A010	32 ビット	R	0x00000000	エントリ終了

2.5.4.2 CoreSight コンポーネントレジスタ

CoreSight ROM テーブルは、Arm® CoreSight アーキテクチャで定義された CoreSight レジスタを含んでいます。

表 2.10 にこれらのレジスタを示します。各レジスタの詳細は、「2.8. 参考資料」の参考資料 5.を参照してください。

表 2.10 CoreSight ROM テーブルの CoreSight コンポーネントレジスタ (1/2)

名称	アドレス	アクセスサイズ	R/W	初期値
MEMTYPE	0x4001_AFCC	32 ビット	R	0x00000001
PIDR4	0x4001_AFD0	32 ビット	R	0x00000004
PIDR5	0x4001_AFD4	32 ビット	R	0x00000000
PIDR6	0x4001_AFD8	32 ビット	R	0x00000000
PIDR7	0x4001_AFDC	32 ビット	R	0x00000000
PIDR0	0x4001_AFE0	32 ビット	R	0x0000007C

表 2.10 CoreSight ROM テーブルの CoreSight コンポーネントレジスタ (2/2)

名称	アドレス	アクセスサイズ	R/W	初期値
PIDR1	0x4001_AFE4	32 ビット	R	0x00000030
PIDR2	0x4001_AFE8	32 ビット	R	0x0000000A
PIDR3	0x4001_AFEC	32 ビット	R	0x00000000
CIDR0	0x4001_AFF0	32 ビット	R	0x0000000D
CIDR1	0x4001_AFF4	32 ビット	R	0x00000010
CIDR2	0x4001_AFF8	32 ビット	R	0x00000005
CIDR3	0x4001_AFFC	32 ビット	R	0x000000B1

2.5.5 DBGREG

DBGREG は、デバッグ機能を制御するレジスタモジュールです。DBGREG は、CoreSight 準拠のコンポーネントとして実装されています。

表 2.11 は、CoreSight コンポーネントレジスタを除いた、DBGREG のレジスタ一覧です。

表 2.11 CoreSight 以外の DBGREG のレジスタ

名称		DAP ポート	アドレス	アクセスサイズ	R/W
デバッグステータスレジスタ	DBGSTR	ポート 0	0x4001_B000	32 ビット	R
デバッグストップコントロールレジスタ	DBGSTOPCR	ポート 0	0x4001_B010	32 ビット	R/W

2.5.5.1 DBGSTR : デバッグステータスレジスタ

Base address: DBG = 0x4001_B000

Offset address: 0x0000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	CDBG PWRU PACK	CDBG PWRU PREQ	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
27:0	—	読むと 0 が読めます。	R
28	CDBGPWRUPREQ	デバッグパワーアップ要求 0: OCD エミュレータはデバッグパワーアップを要求していない 1: OCD エミュレータはデバッグパワーアップを要求している	R
29	CDBGPWRUPACK	デバッグパワーアップアクノリッジ 0: デバッグパワーアップ要求を受け付けていない 1: デバッグパワーアップ要求を受け付けた	R
31:30	—	読むと 0 が読めます。	R

DBGSTR レジスタは、エミュレータから本 MCU に対してのデバッグパワーアップの要求状況を示すステータスレジスタです。

2.5.5.2 DBGSTOPCR : デバッグストップコントロールレジスタ

Base address: DBG = 0x4001_B000

Offset address: 0x0010

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DBGS TOP_L VD1	DBGS TOP_L VD0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DBGS TOP_ SIR	DBGS TOP_ TIM	—	—	—	—	—	—	—	—	—	—	—	—	—	DBGS TOP_ I WDT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
0	DBGSTOP_IWDT	OCD Run モードでの IWDT リセット／割り込み用のマスク OCD ブレークモードでは、このビットの値に関係なく、リセット／割り込みはマスクされ、IWDT カウンタは停止します。 0: IWDT リセット／割り込みを許可 1: IWDT リセット／割り込みをマスクし、IWDT カウントを停止	R/W
1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
13:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	DBGSTOP_TIM	OCD ブレークモードでの TAU、TML32 リセット／割り込み用のマスク OCD ブレークモードでは、リセット／割り込みはマスクされ、各動作は停止します。 0: TAU、TML32 リセット／割り込みを許可 1: TAU、TML32 リセット／割り込みをマスク	R/W
15	DBGSTOP_SIR	OCD ブレークモードでの SAU、IICA、PORT_IRQ0～PORT_IRQ5 リセット／割り込み用のマスク OCD ブレークモードでは、リセット／割り込みはマスクされ、各動作は停止します。 0: SAU、IICA、PORT_IRQ0～PORT_IRQ5 リセット／割り込みを許可 1: SAU、IICA、PORT_IRQ0～PORT_IRQ5 リセット／割り込みをマスク	R/W
16	DBGSTOP_LVD0	LVD0 リセット用のマスク 0: LVD0 リセットを許可 1: LVD0 リセットをマスク	R/W
17	DBGSTOP_LVD1	LVD1 リセット／割り込み用のマスク 0: LVD1 リセット／割り込みを許可 1: LVD1 リセット／割り込みをマスク	R/W
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

デバッグストップコントロールレジスタ (DBGSTOPCR) は、OCD モード時のリセット／割り込みを制御します。ユーザーモードのときは、DBGSTOPCR レジスタの設定値は本 MCU の動作に影響しません。OCD ブレークモードでは、CPU と周辺機能の状態がずれることがあります。また、OCD ブレークモードを解除してプログラムを再度実行すると、CPU や周辺機能の状態が異なり、プログラムが実行される場合があります。

2.5.5.3 DBGREG の CoreSight コンポーネントレジスタ

DBGREG は、Arm®CoreSight アーキテクチャで定義された CoreSight コンポーネントレジスタを含んでいます。

表 2.12 にこれらのレジスタを示します。各レジスタの詳細は、「[2.8. 参考資料](#)」の参考資料 4. を参照してください。

表 2.12 DBGREG の CoreSight コンポーネントレジスタ一覧 (1/2)

名称	アドレス	アクセスサイズ	R/W	初期値
PIDR4	0x4001_BFD0	32 ビット	R	0x00000004
PIDR5	0x4001_BFD4	32 ビット	R	0x00000000

表 2.12 DBGREG の CoreSight コンポーネントレジスタ一覧 (2/2)

名称	アドレス	アクセスサイズ	R/W	初期値
PIDR6	0x4001_BFD8	32 ビット	R	0x00000000
PIDR7	0x4001_BFDC	32 ビット	R	0x00000000
PIDR0	0x4001_BFE0	32 ビット	R	0x00000005
PIDR1	0x4001_BFE4	32 ビット	R	0x00000030
PIDR2	0x4001_BFE8	32 ビット	R	0x0000001A
PIDR3	0x4001_BFEC	32 ビット	R	0x00000000
CIDR0	0x4001_BFF0	32 ビット	R	0x0000000D
CIDR1	0x4001_BFF4	32 ビット	R	0x000000F0
CIDR2	0x4001_BFF8	32 ビット	R	0x00000005
CIDR3	0x4001_BFFC	32 ビット	R	0x000000B1

2.5.6 OCDREG

OCDREG モジュールは、オンチップデバッグ (OCD) エミュレータのみがアクセス可能です。OCDREG は、CoreSight 準拠のコンポーネントとして実装されています。

表 2.13 は OCDREG のレジスタ一覧です。

表 2.13 OCDREG のレジスタ一覧

名称		DAP ポート	アドレス	アクセスサイズ	R/W
ID 認証コードレジスタ 0	IAUTH0	ポート 1	0x8000_0000	32 ビット	W
ID 認証コードレジスタ 1	IAUTH1	ポート 1	0x8000_0100	32 ビット	W
ID 認証コードレジスタ 2	IAUTH2	ポート 1	0x8000_0200	32 ビット	W
ID 認証コードレジスタ 3	IAUTH3	ポート 1	0x8000_0300	32 ビット	W
MCU ステータスレジスタ	MCUSTAT	ポート 1	0x8000_0400	32 ビット	R
MCU コントロールレジスタ	MCUCTRL	ポート 1	0x8000_0410	32 ビット	R/W

注. OCDREG は専用の OCD アドレス空間に配置されます。このアドレスマップはシステムのアドレスマップから独立しています。「2.5.2. Cortex-M23 ペリフェラルアドレスマップ」を参照してください。

2.5.6.1 IAUTHn : ID 認証コードレジスタ (n = 0~3)

IAUTHn (n = 0~3) レジスタは、128 ビットキーを書き込むための認証レジスタです。これら 4 つのレジスタは、IAUTHn (n = 0~3) の順序で書き込む必要があります。

これらのレジスタの初期値はすべて 0xFFFFFFFF です。これは、OSIS レジスタの ID コードが初期値の場合、SWD アクセスが許可されることを意味します。「[2.7.1. ID コード](#)」を参照してください。

Base address: CPU_OCD = 0x8000_0000

Offset address: $0x0000 + 0x100 \times n$

Bit position: 31

0

Bit field

IAUTH_n: AID (32+32×*n* -1) ~ (32×*n*) ビット[illegible]

2.5.6.2 MCUSTAT : MCU ステータスレジスタ

Base address: CPU_OCD = 0x8000_0000

Offset address: 0x0400

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUS TOPC LK	CPUS LEEP	AUTH
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	x(注1)	x(注1)	0

ビット	シンボル	機能	R/W
0	AUTH	認証ステータス 0: 認証失敗 1: 認証成功	R
1	CPUSLEEP	スリープモード状態 0: CPU はスリープモードではない 1: CPU はスリープモードである	R
2	CPUSTOPCLK	CPU クロック状態 0: CPU ヘックロックは停止していない MCU はソフトウェアスタンバイモードでもスヌーズモードでもない 1: CPU へのクロックは停止している MCU はソフトウェアスタンバイモードまたはスヌーズモードである	R
31:3	—	読むと 0 が読めます。	R

注 1. MCU の状態に依存します。

2.5.6.3 MCUCTRL : MCU コントロールレジスタ

Base address: CPU_OCD = 0x8000_0000

Offset address: 0x0410

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DBIRQ	—	—	—	—	—	—	—	EDBG RQ
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	EDBGRQ	外部デバッグ要求 本ビットに 1 を書き込むと、CPU が停止します。EDBGRQ ビットを 0 にする、または CPU が停止すると、EDBGRQ ビットはクリアされます。 0: デバッグイベントを要求しない 1: デバッグイベントを要求する	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	DBIRQ	デバッグ割り込み要求 DBIRQ ビットに 1 を書き込むと、MCU は低消費電力モードから復帰します。DBIRQ ビットに 0 を書き込むと、DBIRQ ビットはクリアされます。 0: デバッグ割り込みを要求しない 1: デバッグ割り込みを要求する	R/W

ビット	シンボル	機能	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. DBIRQ ビットと EDBG RQ ビットは同じ値にしてください。

2.5.6.4 OCDREG の CoreSight コンポーネントレジスタ

OCDREG モジュールは、Arm CoreSight アーキテクチャで定義された CoreSight コンポーネントレジスタを提供します。

表 2.14 は、これらのレジスタの一覧です。各レジスタの詳細は、「2.8. 参考資料」の参考資料 4. を参照してください。

表 2.14 OCDREG の CoreSight コンポーネントレジスタ一覧

名称	アドレス	アクセスサイズ	R/W	初期値
PIDR4	0x8000_0FD0	32 ビット	R	0x00000004
PIDR5	0x8000_0FD4	32 ビット	R	0x00000000
PIDR6	0x8000_0FD8	32 ビット	R	0x00000000
PIDR7	0x8000_0FDC	32 ビット	R	0x00000000
PIDR0	0x8000_0FE0	32 ビット	R	0x00000004
PIDR1	0x8000_0FE4	32 ビット	R	0x00000030
PIDR2	0x8000_0FE8	32 ビット	R	0x0000000A
PIDR3	0x8000_0FEC	32 ビット	R	0x00000000
CIDR0	0x8000_0FF0	32 ビット	R	0x0000000D
CIDR1	0x8000_0FF4	32 ビット	R	0x000000F0
CIDR2	0x8000_0FF8	32 ビット	R	0x00000005
CIDR3	0x8000_0FFC	32 ビット	R	0x000000B1

2.6 SysTick タイマ

本 MCU は、簡易的な 24 ビットダウンカウンタとなる SysTick タイマを内蔵しています。CPU クロック (ICLK) または SysTick タイマクロック (SYSTICCLK) として、タイマ用基準クロックを選択できます。詳細は、「8. クロック発生回路」および「2.8. 参考資料」の参考資料 1. を参照してください。

2.7 OCD エミュレータ接続

SWD 認証機構は、デバッグと MCU リソースへのアクセス許可をチェックします。全デバッグ機能を許可するには、この認証機構に合格する必要があります。

図 2.3 に SWD 認証機構のブロック図を示します。

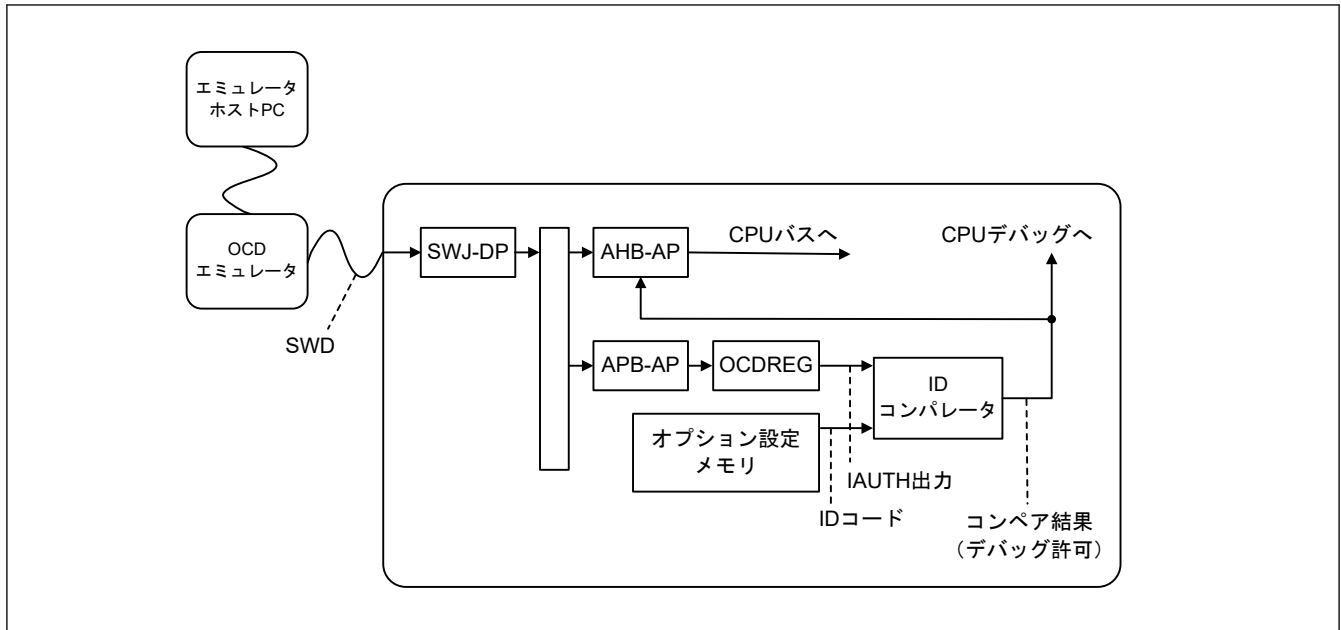


図 2.3 SWD 認証機構のブロック図

本 MCU には SWD 認証用の ID コンパレータがあります。このコンパレータは、OCDREG からの 128 ビットの IAUTH 出力値と、オプション設定メモリの 128 ビットの ID コードを比較します。これら 2 つの出力値が同一であると SWD 認証が合格となり、CPU デバッグ機能と、エミュレータからのシステムバスアクセスが許可されます。

エミュレータは SWD 認証合格後、システムコントロール OCD コントロールレジスタ (SYOCDRCR) の DBGEN ビットを設定する必要があります。また、エミュレータは DBGEN ビットをクリアしないと切断されません。「[9.2.8. SYOCDRCR: システムコントロール OCD コントロールレジスタ](#)」の説明を参照してください。

2.7.1 ID コード

ID コードは、CPU デバッグ機能とシステムバスアクセスの許可を判定するために用いられます。ID コードが IAUTH0 ~ IAUTH3 レジスタに書き込まれた 128 ビットデータと一致した場合、SWD デバッグはアクセス許可を取得します。ID コードは、オプション設定メモリの OCD/シリアルプログラマ ID 設定レジスタ (OSIS) に書き込まれます。ID コードの初期値は、すべて 1 (0xFFFF FFFF FFFF FFFF FFFF FFFF FFFF FFFF) です。詳細は、「[6. オプション設定メモリ](#)」を参照してください。

2.7.2 DBGEN

OCD エミュレータは、アクセス許可を取得した後、システムコントロール OCD コントロールレジスタ (SYOCDRCR) の DBGEN ビットを設定する必要があります。また、OCD エミュレータは切断する前に DBGEN ビットをクリアする必要があります。詳細は、「[9. 低消費電力モード](#)」を参照してください。

2.7.3 OCD エミュレータ接続における制限

本項では、エミュレータアクセスにおける制限を説明します。

2.7.3.1 低消費電力モードにおける接続開始

OCD エミュレータから SWD 接続を開始するとき、MCU は通常モードまたはスリープモードでなければなりません。MCU がソフトウェアスタンバイモードまたはスヌーズモードであると、OCD エミュレータは MCU をハングさせる場合があります。

2.7.3.2 OCD モード中の低消費電力モードの変更

本 MCU が OCD モードであるとき、低消費電力モードの変更が可能です。ただし、AHB-AP からのシステムバスアクセスは、ソフトウェアスタンバイモードまたはスヌーズモードでは禁止されます。これらのモードでは、SWJ-DP、APB-AP、および OCDREG に対してのみ、OCD エミュレータからのアクセスが可能です。表 2.15 に制約事項を示します。

表 2.15 各モードの制限

現在のモード	OCD エミュレータの接続 開始	低消費電力モードの変更	AHB-AP とシステムバス へのアクセス	APB-AP と OCDREG へ のアクセス
ノーマル	可能	可能	可能	可能
スリープ	可能	可能	可能	可能
ソフトウェアスタンバイ	不可能	可能	不可能	可能
スヌーズ	不可能	可能	不可能	可能

ソフトウェアスタンバイモードまたはスヌーズモードにおいてシステムバスアクセスが必要な場合は、OCDREG の MCUCTRL.DBIRQ ビットを設定して、MCU を低消費電力モードから復帰させてください。同時に、OCDREG の MCUCTRL.DBIRQ ビットをアサートすることで、OCD エミュレータは、CPU ブレークを用いることにより、CPU の実行を開始することなく、本 MCU を復帰させることができます。

2.7.3.3 OSIS レジスタにおける ID コードの変更

OSIS レジスタにおいて ID コードを変更した後、RES 端子をアサートするか、またはシステムコントロールブロックのアプリケーション割り込みおよびリセットコントロールレジスタの SYSRESETREQ ビットを 1 にすることによって、本 MCU をリセットする必要があります。変更された ID コードは、このリセット後に反映されます。システムコントロールブロックについては、「2.8. 参考資料」の参考資料 2. を参照してください。

エミュレータは、MCU をリセットする直前に変更後の ID コードを IAUTH0～IAUTH3 レジスタに設定しておく必要があります。IAUTH0～IAUTH3 レジスタを書き換えると、SYSRESETREQ ビットは書き換え不可となります。RES 端子で信号をアサートして本 MCU をリセットしてください。

2.7.3.4 接続順序と SWD 認証

OCD エミュレータとの接続は SWD 認証機構で保護されているため、SWD 認証レジスタに対してアンロック ID コードの入力が必要となる場合があります。オプション設定メモリの OSIS レジスタの値によって、アンロック ID コードの入力が必要かどうか決まります。RES 端子の解除後、コールドスタート時の OSIS レジスタ値を比較する前に待機時間が必要です。「27.4.1. リセットタイミング」を参照してください。以下に SWD 認証プロセスの詳細を示します。

(1) OSIS レジスタの MSB が 0（ビット[127] = 0）の場合

ID コードは常に不一致であり、OCD エミュレータへの接続は禁止されます。

(2) OSIS レジスタのビットがすべて 1 の場合（初期値）

ID 認証は不要であり、OCD エミュレータは認証なしで AHB-AP を使用できます。AHB-AP を使用するための詳細設定については、「2.8. 参考資料」の参考資料 4. を参照してください。

1. SWD インタフェースを介して OCD エミュレータを本 MCU に接続します。
2. DAP バスにアクセスするように SWJ-DP を設定します。この設定において、OCD エミュレータは SWJ-DP コントロールステータスレジスタの CDBGWPWRUPREQ をアサートしなければなりません。そして、同じレジスタの CDBGWPWRUPACK がアサートされるまで待機します。
3. システムアドレス空間にアクセスするように AHB-AP を設定します。AHB-AP は DAP バスのポート 0 に接続されます。
4. AHB-AP を使用して、CPU デバッグリソースへのアクセスを開始します。

(3) OSIS[127:126] = 10b の場合

ID 認証が必要であり、OCD は OCDREG の IAUTH0～IAUTH3 レジスタにアンロックコードを書き込んでから、AHB-AP を使用する必要があります。

1. SWD インタフェースを介して OCD デバッガを本 MCU に接続します。
2. DAP バスにアクセスするように SWJ-DP を設定します。この設定において、OCD エミュレータは SWJ-DP コントロールステータスレジスタの CDBGWPWRUPREQ をアサートしなければなりません。そして、同じレジスタの CDBGWPWRUPACK がアサートされるまで待機します。
3. OCDREG にアクセスするように APB-AP を設定します。APB-AP は DAP バスのポート 1 に接続されます。

4. APB-AP を使用して、OCDREG の IAUTH0～IAUTH3 レジスタに 128 ビット ID コードを書き込みます。
5. この 128 ビット ID コードが OSIS レジスタの値と一致した場合、AHB-AP に対して AHB トランザクションを発行する権限が与えられます。認証結果は、MCUSTAT レジスタの AUTH ビットまたは AHB-AP コントロールステータスワードレジスタの DbgStatus ビットで確認できます。
 - DbgStatus ビットが 1 の場合、128 ビット ID コードは OSIS 値と一致しています。AHB 転送は許可されます。
 - DbgStatus ビットが 0 の場合、128 ビット ID コードは OSIS 値と一致していません。AHB 転送は許可されません。
6. システムアドレス空間にアクセスするように AHB-AP を設定します。AHB-AP は DAP バスのポート 0 に接続されます。
7. AHB-AP を使用して、CPU デバッグリソースへのアクセスを開始します。

(4) OSIS[127:126] = 11b の場合

OCD 認証が必要であり、OCD エミュレータは OCDREG の IAUTH0～IAUTH3 レジスタに ID コードを書き込む必要があります。「ALeRASE」機能を除き、接続シーケンスは OSIS[127:126] = 10b の場合と同じです。

IAUTH0～IAUTH3 レジスタが ASCII コード「ALeRASE」の場合、コードフラッシュと設定領域のコンテンツが同時に消去されます。詳細は、「[25. フラッシュメモリ](#)」を参照してください。

ALeRASE シーケンスは以下のとおりです。

1. SWD インタフェースを介して OCD デバッガを本 MCU に接続します。
2. DAP バスにアクセスするように SWJ-DP を設定します。この設定において、OCD エミュレータは SWJ-DP コントロールステータスレジスタの CDBGPWRUPREQ をアサートしなければなりません。そして、同じレジスタの CDBGPWRUPACK がアサートされるまで待機します。
3. OCDREG にアクセスするように APB-AP を設定します。APB-AP は DAP バスのポート 1 に接続されます。
4. APB-AP を使用して、OCDREG の IAUTH0～IAUTH3 レジスタに 128 ビット ID コードを書き込みます。
5. 128 ビット ID コードが ASCII コード「ALeRASE」(0x414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFFF) の場合、コードフラッシュと設定領域のコンテンツが消去されます。その後、MCU はスリープモードに遷移します。

2.8 参考資料

1. *ARM®v8-M Architecture Reference Manual* (ARM DDI 0553B.a)
2. *ARM®Cortex®-M23 Processor Technical Reference Manual* (ARM DDI 0550C)
3. *ARM®Cortex®-M23 Device Generic User Guide* (ARM DUI 1095A)
4. *ARM®CoreSight™SoC-400 Technical Reference Manual*(ARM DDI 0480G)
5. *ARM®CoreSight™Architecture Specification*(ARM IHI 0029E)
6. *ARM®CoreSight™MTB-M23 Technical Reference Manual*(ARM DDI 0564C)

2.9 使用上の注意事項

ベクタテーブルオフセットレジスタ (VTOR) の TBLOFF フィールドにおいて、TBLOFF[31:8]ビットは有効であり、TBLOFF[7]ビットへの 1 の書き込みは無視されます。ベクタテーブルオフセットレジスタの詳細については、「[2.8. 参考資料](#)」の参考資料 3.を参照してください。

3. 動作モード

3.1 概要

MCU はシングルチップモードで起動します。リセット解除時、内蔵フラッシュメモリが有効です。シングルチップモードでは、すべての入出力端子が、入出力ポート、周辺機能入出力、または割り込み入力として使用可能です。

3.2 動作モード遷移

3.2.1 動作モード遷移

図 3.1 に動作モード遷移を示します。

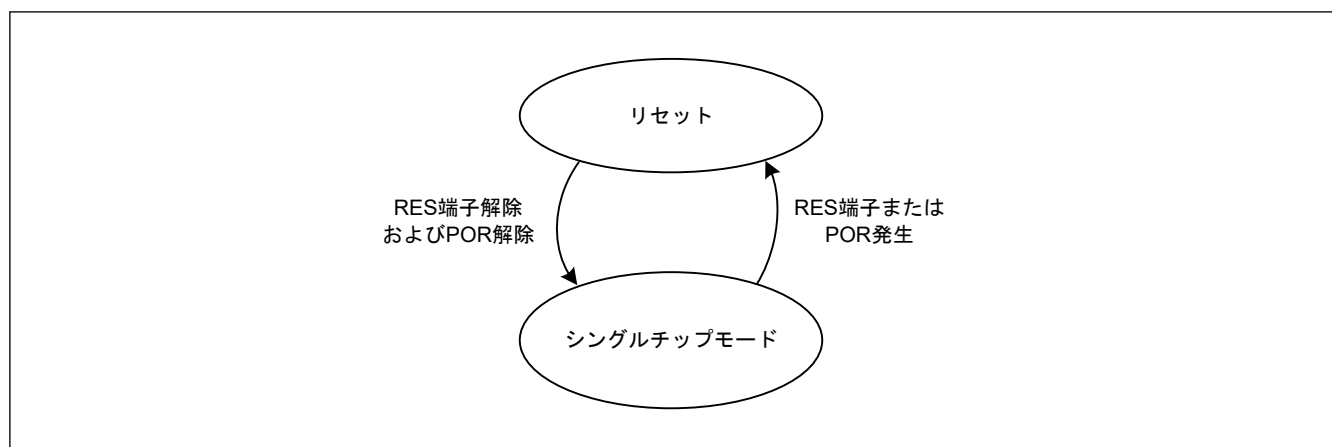


図 3.1 動作モード

4. アドレス空間

4.1 アドレス空間

本 MCU は、プログラムとデータの両方を格納できる 4 GB のリニアアドレス空間 (0x0000_0000～0xFFFF_FFFF) をサポートしています。図 4.1 に 16 KB のフラッシュ製品のメモリマップを示します。

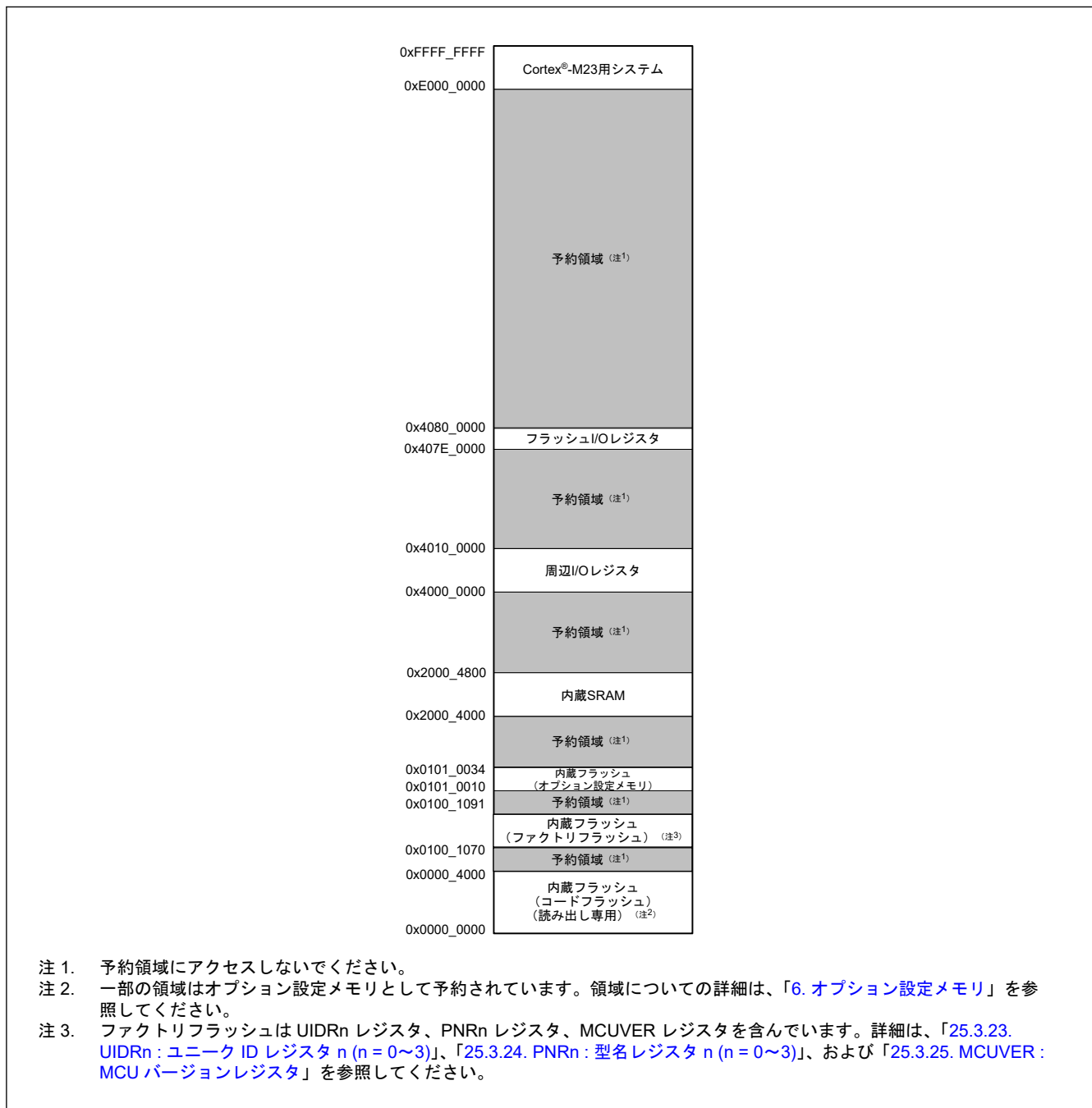


図 4.1 メモリマップ

5. リセット

5.1 概要

本 MCU は、6 種類のリセットをサポートしています。表 5.1 にリセットの名称と要因を示します。

表 5.1 リセットの名称と要因

リセット名	要因
RES 端子リセット	RES 端子への入力電圧が Low
パワーオンリセット	VCC の上昇（電圧検出：V _{POR} ）および VCC の下降（電圧検出：V _{PDR} ）（注1）
独立ウォッチドッグタイマリセット	IWDTR のアンダーフローまたはリフレッシュエラーの発生
電圧監視 0 リセット	VCC の下降（電圧検出：V _{det0} ）（注1）
電圧監視 1 リセット	VCC の上昇／下降（電圧検出：V _{det1} ）（注1）
ソフトウェアリセット	レジスタの設定（Arm®ソフトウェアリセットビット：AIRCR.SYSRESETREQ を使用）

注 1. 監視電圧 (V_{POR}, V_{det0}, V_{det1}) の詳細については、「7. 低電圧検出回路 (LVD)」と「27. 電気的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。表 5.2 と表 5.3 にリセット要因ごとの初期化対象を示します。

表 5.2 リセット要因ごとの初期化対象リセット検出フラグ (1/2)

初期化対象フラグ	リセット要因			
	RES 端子リセット	パワーオンリセット	電圧監視 0 リセット	独立ウォッチドッグタイマリセット
パワーオンリセット検出フラグ (PORSR.PORF)	—	✓	—	—
電圧監視 0/1 リセット検出フラグ (RESF.LVIRF)	✓	✓	—	—
独立ウォッチドッグタイマリセット検出フラグ (RESF.IWDTRF)	✓	✓	—	—
ソフトウェアリセット検出フラグ (RESF.SWRF)	✓	✓	—	—

表 5.2 リセット要因ごとの初期化対象リセット検出フラグ (2/2)

初期化対象フラグ	リセット要因	
	電圧監視 1 リセット	ソフトウェアリセット
パワーオンリセット検出フラグ (PORSR.PORF)	—	—
電圧監視 0/1 リセット検出フラグ (RESF.LVIRF)	—	—
独立ウォッチドッグタイマリセット検出フラグ (RESF.IWDTRF)	—	—
ソフトウェアリセット検出フラグ (RESF.SWRF)	—	—

注. ✓：0 に初期化される
 —：初期化されない

表 5.3 リセット要因ごとの初期化対象モジュール関連レジスタ (1/3)

初期化対象レジスタ		リセット要因			
		RES 端子リセット	パワーオンリセット	電圧監視 0 リセット	独立ウォッチドッグタイマリセット
IWDTR 関連のレジスタ	IWDTRR, IWDTSR	✓	✓	✓	✓
電圧監視機能 1 関連のレジスタ	LVD1CR, LVD1MKR, LVD1SR	✓	✓	✓	✓
端子状態		✓	✓	✓	✓

表 5.3 リセット要因ごとの初期化対象モジュール関連レジスタ (2/3)

初期化対象レジスタ	リセット要因			
	RES 端子リセット	パワーオンリセット	電圧監視 0 リセット	独立ウォッチドッグタイマリセット
上記以外のレジスタ、CPU、および内部状態	✓	✓	✓	✓

表 5.3 リセット要因ごとの初期化対象モジュール関連レジスタ (3/3)

初期化対象レジスタ		リセット要因	
		電圧監視 1 リセット	ソフトウェアリセット
IWDT 関連のレジスタ	IWDTRR, IWDTSR	✓	✓
電圧監視機能 1 関連のレジスタ	LVD1CR, LVD1MKR, LVD1SR	✓	✓
端子状態		✓	✓
上記以外のレジスタ、CPU、および内部状態		✓	✓

注: ✓ : 初期化される
 — : 初期化されない

表 5.4 にリセット発生時の LOCO の状態を示します。

表 5.4 リセット発生時の LOCO の状態

		リセット要因	
		POR/LVD0/LVD1	その他
LOCO	有効／無効	初期化（無効）ただし、IWDT の動作中は、LCSTP の値にかかわらず LOCO が発振します。	

リセットが解除されると、リセット例外処理を開始します。

表 5.5 にリセット機能に関連する端子を示します。

表 5.5 リセット関連端子

端子名	入出力	機能
RES	入力	リセット端子

5.2 レジスタの説明

5.2.1 RESF : リセットステータスフラグレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0830

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	SWRF	IWDT RF	—	—	—	LVIRF

Value after reset: 0 0 x(注1) x(注1) 0 0 0 x(注1)

ビット	シンボル	機能	R/W
0	LVIRF	電圧検出器による内部リセット要求 (LVD0/LVD1) 0: 内部リセット要求が発生しない、または RESF レジスタがクリアされる 1: 内部リセット要求が発生する	R
3:1	—	読むと 0 が読めます。	R
4	IWDTRF	独立ウォッチドッグタイマ (IWDT) による内部リセット要求 0: 内部リセット要求が発生しない、または RESF レジスタがクリアされる 1: 内部リセット要求が発生する	R

ビット	シンボル	機能	R/W
5	SWRF	ソフトウェアリセットによる内部リセット要求 0: 内部リセット要求が発生しない、または RESF レジスタがクリアされる 1: 内部リセット要求が発生する	R
7:6	—	読むと 0 が読めます。	R

注 1. リセット後の値は、リセット要因によって異なります。

RESF レジスタは、どのリセット要因がリセット要求を発生させたかを示します。

本レジスタは、表 5.2 に記載されているように、読み出し後およびリセット発生時にクリアされます。

5.2.2 PORSR: パワーオンリセットステータスレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0831

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	PORF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PORF	パワーオンリセット発生チェック 0: 1 の値が書き込まれていない、またはパワーオンリセットの発生あり 1: パワーオンリセットの発生なし(注1)	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. PORF ビットが 1 のとき、パワーオンリセットが発生していないことを保証しますが、RAM の値が保持されていることを保証しません。

PORSR レジスタはパワーオンリセットの発生をチェックするのに使用されます。

本レジスタはパワーオンリセットによってのみリセットされます。他の要因により発生したリセットの場合、本レジスタはその値を保持します。

PORF ビット (パワーオンリセット発生チェック)

PORF ビットはパワーオンリセットが発生したことを示します。

本ビットは、1 の書き込みのみ有効です。0 の書き込みは無効です。

パワーオンリセットの発生をチェックする場合、事前に本ビットに 1 を書き込んでください。

5.3 動作説明

5.3.1 RES 端子リセット

RES 端子によるリセットです。RES 端子が Low になると実行中の処理はすべて打ち切れ、本 MCU はリセット状態になります。本 MCU を適切にリセットするには、電源投入時の規定の電源安定時間だけ RES 端子は Low を保持していなければいけません。

RES 端子が High から Low になるときは、RES 解除後の待機時間 (t_{RESWT} , t_{RESWT2}) が経過した後に内部リセットが解除されます。その後 CPU がリセット例外処理を開始します。

詳細は、「27. 電気的特性」を参照してください。

5.3.2 パワーオンリセット

パワーオンリセット (POR) は、パワーオンリセット回路により発生する内部リセットです。パワーオンリセットは以下の条件で発生します。

1. RES 端子を High にした状態で、電源を投入した場合
2. RES 端子を High にした状態で、VCC 電圧が V_{POR} 電圧より低下した場合

VCC 電圧が V_{POR} 電圧を超えると、指定したパワーオンリセット時間 (t_{POR}) 経過後、CPU がリセット例外処理を開始します。パワーオンリセット時間は、外部電源と本 MCU 回路が安定するための時間です。

パワーオンリセットが発生すると、PORSR.PORF フラグが 0 にクリアされます。VCC 電圧が V_{POR} 電圧より低下した場合、パワーオンリセット状態となります。

図 5.1 にパワーオンリセット時の動作例を示します。

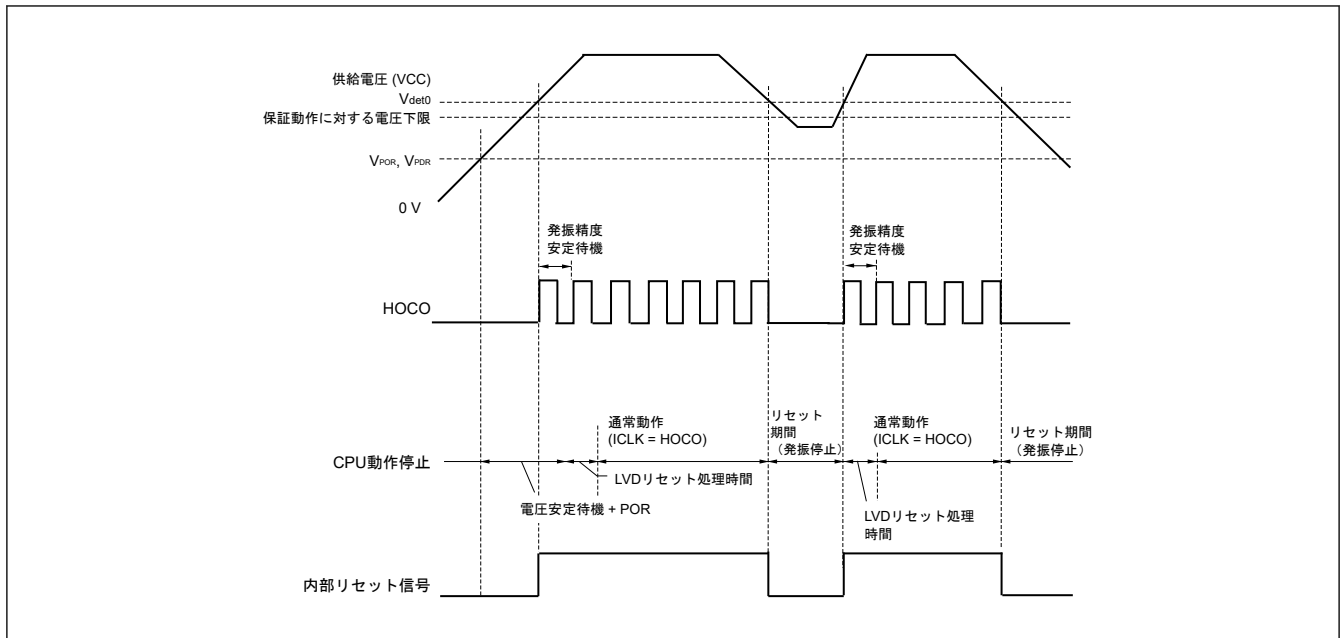


図 5.1 パワーオンリセット時の動作例

5.3.3 電圧監視リセット

電圧監視 i ($i = 0, 1$) リセットは、電圧監視 i 回路により発生する内部リセットです。オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 回路起動ビット (LVDAS) が 0 (リセット後、電圧監視 0 リセット有効) の状態で、VCC が V_{det0} 以下になると、RESF.LVIRF フラグが 1 になり、電圧検出回路は電圧監視 0 リセットを発生させます。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0 にしてください。VCC が V_{det0} を超えると、電圧監視 0 リセット時間 (t_{LVD0}) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 1 回路コントロールレジスタ (LVD1CR) の LVD1 動作許可ビット (LVD1EN) が 1 (電圧検出回路によるリセット／割り込み発生を許可) で、かつ LVD1 動作モード選択ビット (LVD1SEL) が 1 (低電圧検出時、リセット発生を選択) の状態にあるとき、VCC が V_{det1} 以下になると、RESF.LVIRF フラグが 1 になり、電圧検出回路は電圧監視 1 リセットを発生させます(注1)。

VCC が電圧検出レベル (V_{det1}) を下回っているときに LVD1 の動作が許可される場合、その動作が許可された時点で内部リセットが発生します。

LVD1CR.LVD1V[4:0] ビットによって、検出レベル V_{det1} を変更できます。

注 1. LVD1MKR.MK ビットは 0 にしてください。(MK = 1 のとき、LVD1 によるリセットと割り込みの発生はマスクされません。)

図 5.2 に電圧監視 1 リセット時の動作例を示します。電圧監視 1 リセットの詳細については、「7. 低電圧検出回路 (LVD)」を参照してください。

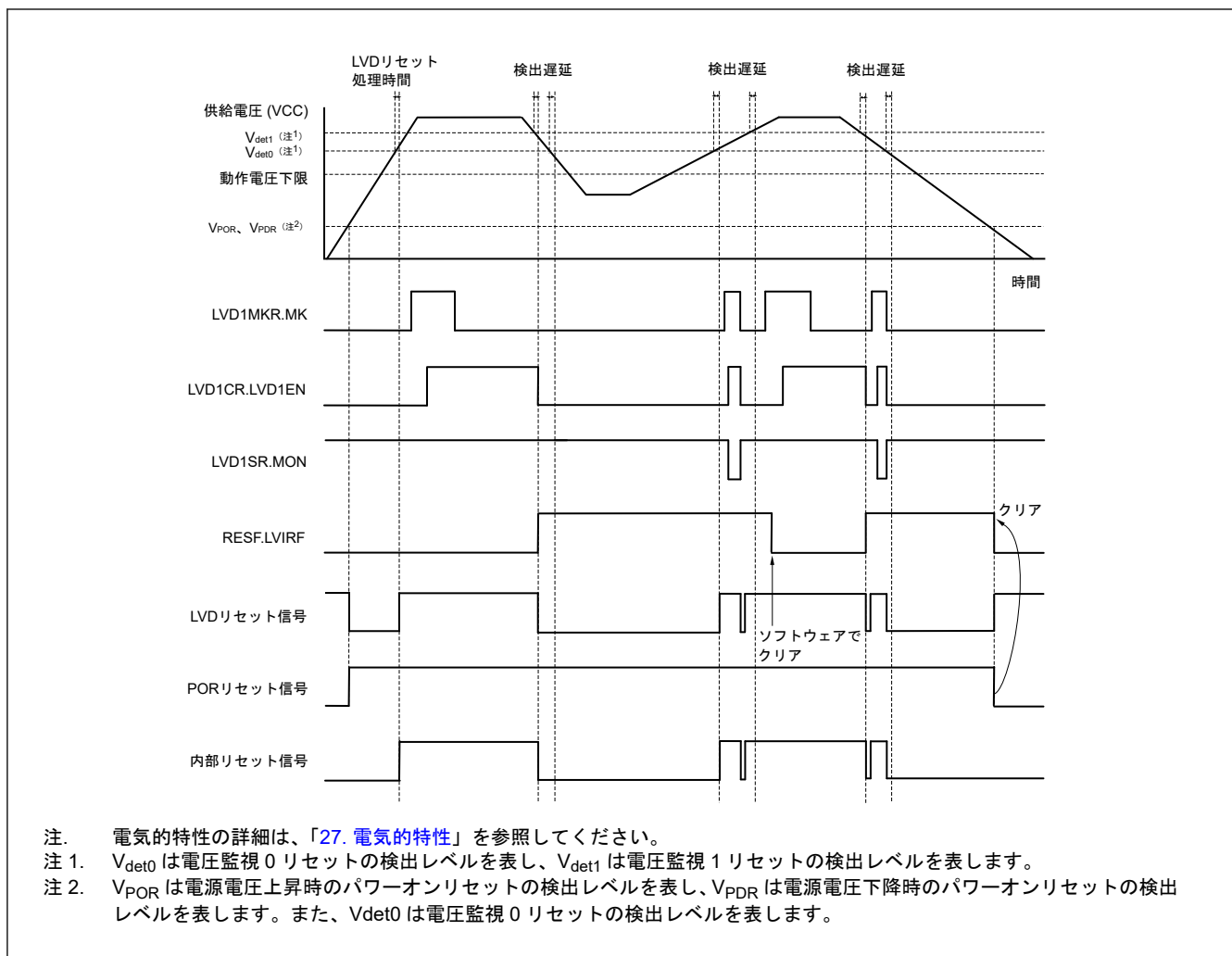


図 5.2 電圧監視 1 リセット時の動作例

5.3.4 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマリセットは、独立ウォッチドッグタイマによる内部リセットです。オプション機能選択レジスタ 0 (OFS0) の設定により、独立ウォッチドッグタイマから独立ウォッチドッグタイマリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセットの出力を選択した場合、独立ウォッチドッグタイマがアンダーフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行ったときに、独立ウォッチドッグタイマリセットが発生します。独立ウォッチドッグタイマリセットの発生後に、内部リセット時間 (t_{RESW2}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は、「18. 独立ウォッチドッグタイマ (IWDG)」を参照してください。

5.3.5 ソフトウェアリセット

ソフトウェアリセットは、Arm コア内部の AIRCR レジスタの SYSRESETREQ ビットに対するソフトウェア設定によって発生する内部リセットです。SYSRESETREQ ビットを 1 にすると、ソフトウェアリセットが発生します。ソフトウェアリセットの発生後に、内部リセット時間 (t_{RESW2}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

SYSRESETREQ ビットの詳細については、ARM[®] Cortex[®]-M23 Technical Reference Manual を参照してください。

6. オプション設定メモリ

6.1 概要

オプション設定メモリは、MCU のリセット後の状態を決定します。オプション設定メモリは、フラッシュメモリのコンフィグレーション設定領域とコードフラッシュ領域に配置されます。これらの2つの領域では、使用可能な設定方法が異なります。

図 6.1 にオプション設定メモリ領域を示します。

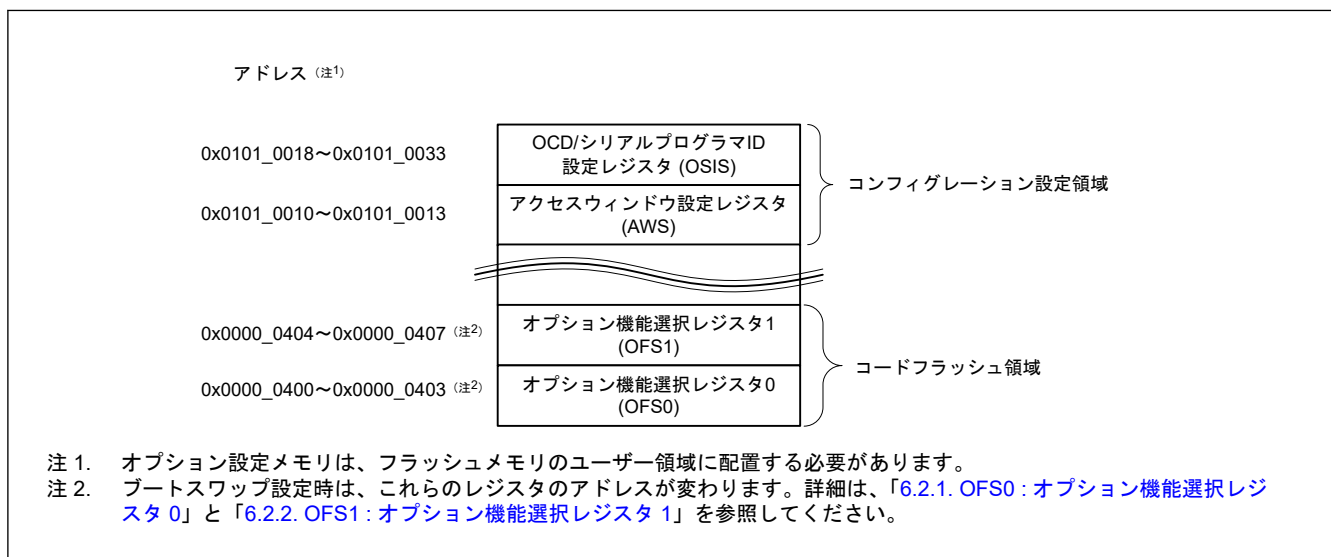


図 6.1 オプション設定メモリの領域

6.2 レジスタの説明

6.2.1 OFS0 : オプション機能選択レジスタ 0

Address: 0x0000_0400, 0x0000_1400(注1)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Value after reset: ユーザー設定値(注2)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	IWDT STPC TL	—	IWDT RSTIR QS	IWDT RPSS[1:0]	IWDT RPES[1:0]	IWDT CKS[3:0]			IWDT TOPS[1:0]			IWDT STRT	—		

Value after reset: ユーザー設定値(注2)

ビット	シンボル	機能	R/W
0	—	読むと設定値が読めます。	R
1	IWDTSTRT	IWDT スタートモード選択 0: リセット後、IWDT は自動的に起動 (オートスタートモード) 1: リセット後、IWDT は停止状態	R
3:2	IWDTTOPS[1:0]	IWDT タイムアウト期間選択 0 0: 128 サイクル (0x007F) 0 1: 512 サイクル (0x01FF) 1 0: 1024 サイクル (0x03FF) 1 1: 2048 サイクル (0x07FF)	R

ビット	シンボル	機能	R/W
7:4	IWDTCKS[3:0]	IWDT クロック分周比選択 0x0: 分周なし 0x2: 16 分周 0x3: 32 分周 0x4: 64 分周 0xF: 128 分周 0x5: 256 分周 その他: 設定禁止	R
9:8	IWDRPES[1:0]	IWDT ウィンドウ終了位置選択 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0% (ウィンドウの終了位置設定なし)	R
11:10	IWDRPSS[1:0]	IWDT ウィンドウ開始位置選択 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100% (ウィンドウの開始位置設定なし)	R
12	IWDRSTIRQS	IWDT リセット割り込み要求選択 0: ノンマスクابل割り込みまたはマスクابل割り込み 1: リセット	R
13	—	読むと設定値が読めます。	R
14	IWDTSTPCTL	IWDT 停止制御 0: カウント継続 1: スリープモード、スヌーズモード、またはソフトウェアスタンバイモードの状態にあるとき、カウント停止	R
31:15	—	読むと設定値が読めます。	R

注 1. ブートスワップを設定すると、本レジスタのアドレスが変更されます。そのため、ブートスワップを使用する場合は 0x0000_1400 と 0x0000_0400 に同じ値を設定してください。

注 2. ブランク品の値は、0xFFFFFFFF です。フラッシュ書き込みまたはセルフプログラミングで設定可能です。

IWDTSTRT ビット (IWDT スタートモード選択)

IWDTSTRT ビットは、リセット後の IWDT の起動モード (停止状態または起動状態) を選択します。

IWDTTOPS[1:0] ビット (IWDT タイムアウト期間選択)

IWDTTOPS[1:0] ビットは、ダウンカウンタがアンダーフローするまでの時間 (すなわち、タイムアウト期間) を、IWDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、128 サイクル、512 サイクル、1024 サイクル、または 2048 サイクルから選択します。リフレッシュ動作後、カウンタがアンダーフローするまでの時間は、IWDTCKS[3:0] ビットと IWDTTOPS[1:0] ビットの組み合わせにより決定されます。

詳細は「[18. 独立ウォッチドッグタイマ \(IWDT\)](#)」を参照してください。

IWDTCKS[3:0] ビット (IWDT クロック分周比選択)

IWDTCKS[3:0] ビットは、IWDT 用のクロックを分周するプリスケアラの分周比設定を、1 分周、16 分周、32 分周、64 分周、128 分周、256 分周から選択します。この設定を IWDTTOPS[1:0] ビットの設定と組み合わせて、IWDT のカウント期間を 128～524288 の IWDT クロックサイクルの間で設定できます。

詳細は「[18. 独立ウォッチドッグタイマ \(IWDT\)](#)」を参照してください。

IWDRPES[1:0] ビット (IWDT ウィンドウ終了位置選択)

IWDRPES[1:0] ビットは、ダウンカウンタのウィンドウ終了位置を、カウント値の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

IWDRPSS[1:0]、IWDRPES[1:0] ビットで設定したウィンドウ開始／終了位置のカウント値は、IWDTTOPS[1:0] ビットの設定により変わります。

詳細は「[18. 独立ウォッチドッグタイマ \(IWDT\)](#)」を参照してください。

IWDTRPSS[1:0]ビット (IWDT ウィンドウ開始位置選択)

IWDTRPSS[1:0]ビットは、ダウncカウンタのウィンドウ開始位置を、カウント値（カウント開始を 100%、アンダーフロー発生時を 0%）の 100%、75%、50%、25%から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は、「[18. 独立ウォッチドッグタイマ \(IWDT\)](#)」を参照してください。

IWDTRSTIRQS ビット (IWDT リセット割り込み要求選択)

IWDTRSTIRQS ビットは、ダウncカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を選択します。独立ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。

詳細は、「[18. 独立ウォッチドッグタイマ \(IWDT\)](#)」を参照してください。

IWDTSTPCTL ビット (IWDT 停止制御)

IWDTSTPCTL ビットは、スリープモード、スヌーズモード、またはソフトウェアスタンバイモード遷移時にカウントを停止するかどうかを指定します。

表 6.1 に IWDTSTPCTL ビットによるカウント停止制御を示します。

表 6.1 IWDTSTPCTL ビットによるカウント停止制御

IWDTSTPCTL	モード	IWDT のカウント動作
0	スリープ/スヌーズ/ソフトウェアスタンバイモード	カウント継続
1	スリープ/スヌーズ/ソフトウェアスタンバイモード	カウント停止

詳細は「[18. 独立ウォッチドッグタイマ \(IWDT\)](#)」を参照してください。

6.2.2 OFS1 : オプション機能選択レジスタ 1

Address: 0x0000_0404, 0x0000_1404(注1)

Bit position: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Bit field:	—	—	—	FRPDIS	FRPE[5:0]					FRPS[5:0]					

Value after reset: ユーザー設定値(注2)

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:	PORTSELB	HOCOFREQ[2:0]		—	—	—	—	—	—	VDSEL0[2:0]			LVDA S	—	—

Value after reset: ユーザー設定値(注2)

ビット	シンボル	機能	R/W
1:0	—	読むと設定値が読めます。	R
2	LVDA S	電圧検出 0 回路起動 0: リセット後、電圧監視 0 リセット有効 1: リセット後、電圧監視 0 リセット無効	R
5:3	VDSEL0[2:0]	電圧検出 0 レベル選択(注3) 0 1 0: V _{det0_0} 0 1 1: V _{det0_1} 1 0 0: V _{det0_2} 1 0 1: V _{det0_3} 1 1 0: V _{det0_4} 1 1 1: V _{det0_5} その他: 設定禁止	R
11:6	—	読むと設定値が読めます。	R

ビット	シンボル	機能	R/W
14:12	HOCOFQR1[2:0]	HOCO 周波数設定 1 0 1 0: 32 MHz 1 1 1: 32 MHz その他: 設定禁止	R
15	PORTSELB	P206/RES 端子選択 0: ポート (P206) 1: RES 入力 (内部プルアップレジスタは常にアクティブ)	R
21:16	FRPS[5:0]	フラッシュ読み出し保護開始アドレス FRPS[5:0]は保護領域の開始アドレスのビット[16:11]を指定します。 開始アドレスのビット[31:17]とビット[10:0]は 0 で満たされます。 FRPS[5:0]の値の範囲は 0x01~0x3F です (予約領域を除く)。	R
27:22	FRPE[5:0]	フラッシュ読み出し保護終了アドレス FRPE[5:0]は保護領域の終了アドレスのビット[16:11]を指定します。 終了アドレスのビット[31:17]は 0 で満たされます。終了アドレスのビット[10:0]は 1 で満たされます。 FRPE[5:0]の値の範囲は 0x01~0x3F です (予約領域を除く)。	R
28	FRPDIS	フラッシュ読み出し保護機能無効 0: フラッシュ読み出し保護機能有効 1: フラッシュ読み出し保護機能無効	R
31:29	—	読むと設定値が読めます。	R

注 1. ブートスワップを設定すると、本レジスタのアドレスが変更されます。そのため、ブートスワップを使用する場合は 0x0000_1404 と 0x0000_0404 に同じ値を設定してください。

注 2. ブランク品の値は、0xFFFFFFFF です。フラッシュ書き込みまたはセルフプログラミングで設定可能です。

注 3. 検出対象の電圧レベルについては、「[27. 電気的特性](#)」を参照してください。LVD0 を使用しない場合は、010b に設定してください。

LVDAS ビット (電圧検出 0 回路起動)

LVDAS ビットは、リセット後、電圧監視 0 リセットを有効にするか無効にするかを選択します。

VDSEL0[2:0]ビット (電圧検出 0 レベル選択)

VDSEL0[2:0]ビットは、電圧検出 0 回路の電圧検出レベルを選択します。

HOCOFQR1[2:0]ビット (HOCO 周波数設定 1)

HOCOFQR1[2:0]ビットは、リセット後の HOCO 周波数を選択します。HOCOFQR1[2:0]の設定には、010b または 111b のいずれかを設定してください。

PORTSELB ビット (P206/RES 端子選択)

PORTSELB ビットは、このポートがポート (P206) として動作するか、またはリセットかを定義します。

FRPS[5:0]ビット (フラッシュ読み出し保護開始アドレス)

FRPE[5:0]ビット (フラッシュ読み出し保護終了アドレス)

FRPS[5:0]ビットと FRPE[5:0]ビットは、フラッシュ読み出し保護 (FRP) 機能の保護領域の開始アドレスと終了アドレスを指定します。[図 6.2](#)に保護領域の開始アドレスと終了アドレスを示します。開始アドレスと終了アドレスは、保護領域に含まれます (開始アドレス ≤ 保護領域 ≤ 終了アドレス)。FRP 機能が有効な場合、FRPS[5:0]ビットと FRPE[5:0]ビットにより定義されるメモリ空間は、命令フェッチによってのみアクセス可能です。保護領域は読み出し可能ではないので、保護領域がベクタテーブルを含むことは禁止されています。したがって、FRP 機能を使用する場合、FRPS[5:0]ビットを 0x00 に設定しないでください。FRPS[5:0]ビットを 0x00 に設定すると、保護領域が初期ベクタテーブルを含むことになります。

FRP 機能の詳細については、「[13. フラッシュ読み出し保護 \(FRP\)](#)」を参照してください。

FRPDIS ビット (フラッシュ読み出し保護機能無効)

FRPDIS ビットはフラッシュ読み出し保護 (FRP) 機能を有効または無効にします。FRP 機能を有効にするためには、FRPDIS ビットを 0 にしてください。FRP 機能を無効にするためには、FRPDIS ビットを 1 にしてください。

FRP 機能の詳細については、「[13. フラッシュ読み出し保護 \(FRP\)](#)」を参照してください。

保護領域の開始アドレス	
ビット位置	31 16 11 0
ビットフィールド	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 FRPS[5:0] 0 0 0 0 0 0 0 0 0 0 0 0
保護領域の終了アドレス	
ビット位置	31 16 11 0
ビットフィールド	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 FRPE[5:0] 1 1 1 1 1 1 1 1 1 1 1 1

図 6.2 保護領域の開始アドレスと終了アドレス

6.2.3 AWS : アクセスウィンドウ設定レジスタ

Address: 0x0101_0010

Bit position: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Bit field:

BTFLG	—	—	—	—	FAWE[10:0]						

Value after reset:

ユーザー設定値

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:

FSPR	—	—	—	—	FAWS[10:0]						

Value after reset:

ユーザー設定値

ビット	シンボル	機能	R/W
10:0	FAWS[10:0]	アクセスウィンドウ開始ブロックアドレス これらのビットは、アクセスウィンドウの開始ブロックアドレスを指定します。アクセスウィンドウのブロック番号を表すものではありません。アクセスウィンドウはコードフラッシュメモリ領域でのみ有効です。ブロックアドレスはブロックの最初のアドレスを指定し、アドレスビット[21:11]で構成されています。	R
14:11	—	読むと設定値が読めます。	R
15	FSPR	アクセスウィンドウとスタートアップ領域選択機能の保護 このビットは、スタートアップ領域選択 (FISR.SAS[1:0]ビット) において、アクセスウィンドウ、スタートアップ領域選択フラグ (BTFLG)、およびテンポラリブートスワップ制御に対する書き込み/イレーズ保護のプログラミングを制御します。このビットを 0 にすると、1 に変更できません。 0: アクセスウィンドウ (FAWE[10:0], FAWS[10:0]) とスタートアップ領域選択フラグ (BTFLG) のプログラミングに対するコンフィグレーション設定コマンドの実行は無効 1: アクセスウィンドウ (FAWE[10:0], FAWS[10:0]) とスタートアップ領域選択フラグ (BTFLG) のプログラミングに対するコンフィグレーション設定コマンドの実行は有効	R
26:16	FAWE[10:0]	アクセスウィンドウ終了ブロックアドレス これらのビットは、アクセスウィンドウの終了ブロックアドレスを指定します。アクセスウィンドウのブロック番号を表すものではありません。アクセスウィンドウはコードフラッシュメモリ領域でのみ有効です。アクセスウィンドウの終了ブロックアドレスは、アクセスウィンドウによって定義される許容プログラム/イレーズ領域の次のブロックです。ブロックアドレスはブロックの最初のアドレスを指定し、アドレスビット[21:11]で構成されています。	R
30:27	—	読むと設定値が読めます。	R
31	BTFLG	スタートアップ領域選択フラグ このビットはスタートアップ領域のアドレスをブートスワップ機能用に入れ替えるか否かを指定します。 0: 1 番目の 4 KB 領域 (0x0000_0000~0x0000_0FFF) と 2 番目の 4 KB 領域 (0x0000_1000~0x0000_1FFF) が入れ替わる 1: 1 番目の 4 KB 領域 (0x0000_0000~0x0000_0FFF) と 2 番目の 4 KB 領域 (0x0000_1000~0x0000_1FFF) は入れ替わらない	R

アクセスウィンドウ外の領域にプログラム／イレースコマンドを発行すると、コマンドロック状態になります。アクセスウィンドウはコードフラッシュメモリ領域でのみ有効です。アクセスウィンドウは、セルフプログラミングモードとオンチップデバッグモードにおいて、プロテクション機能を提供します。アクセスウィンドウは FSPR ビットでロックすることができます。

アクセスウィンドウは、FAWS[10:0] ビットと FAWE[10:0] ビットで指定されています。FAWS[10:0] ビットおよび FAWE[10:0] ビットの設定値は以下のとおりです。

FAWE[10:0] = FAWS[10:0]: プログラム／イレースコマンドは、全コードフラッシュメモリ領域に対して実行が許可される

FAWE[10:0] > FAWS[10:0]: プログラム／イレースコマンドは、FAWS[10:0] ビットで指示されたブロックから、FAWE[10:0] ビットで指示されたブロックより 1 つ下のブロックまでのウィンドウでのみ実行が許可される

FAWE[10:0] < FAWS[10:0]: プログラム／イレースコマンドは、コードフラッシュメモリ領域に対して実行が許可されない

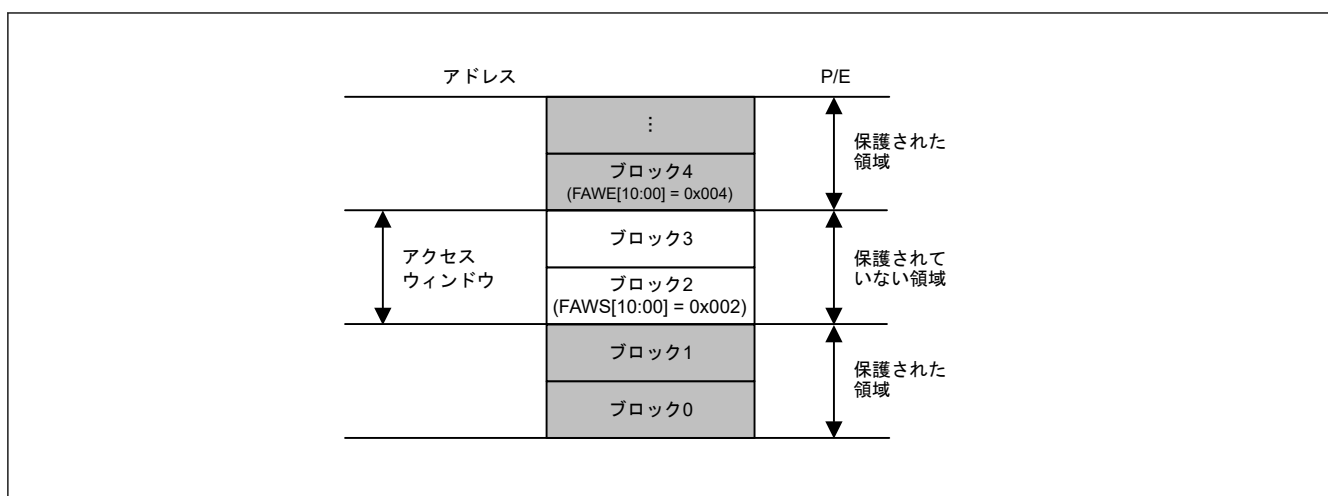


図 6.3 アクセスウィンドウの概要

6.2.4 OSIS : OCD／シリアルプログラマ ID 設定レジスタ

OSIS レジスタは、OCD エミュレータ／シリアルプログラマの ID コードプロテクト機能の ID を格納します。OCD エミュレータ／シリアルプログラマを接続する場合、MCU がその接続を許可するか否かを判定できるようにするための値を書き込んでください。本レジスタを用いて、OCD エミュレータ／シリアルプログラマから送信されるコードが、オプション設定メモリ上の ID コードと一致するか否かを確認してください。ID コードが一致した場合は OCD エミュレータ／シリアルプログラマとの接続を許可しますが、一致しない場合は OCD エミュレータ／シリアルプログラマとの接続はできません。OSIS レジスタは 32 ビットワード単位で設定する必要があります。

Address: 0x0101_0018, 0x0101_0020, 0x0101_0028, 0x0101_0030

Bit position: 31

0

Bit field:

Value after reset:

ユーザー設定値

これらのフィールドは、OCD エミュレータ／シリアルプログラマの ID 認証に使用する ID を保持します。

アドレス 0x0101_0018 にある 32 ビットワードの ID コードのビット[127]と[126]は、ID コードプロテクト機能が有効かを判定し、認証方法を決定します。表 6.2 に ID コードがどのように認証方法を決定するかについて示します。

表 6.2 ID コードプロテクト機能の仕様

ブートアップ時の動作モード	ID コード	プロテクト状態	プログラマまたはオンチップデバッグ接続時の動作
オンチップデバッグモード (SWD ブートモード)	0xFF, ..., 0xFF (全バイトが 0xFF)	プロテクト無効	ID コードはチェックされません。ID コードは常に一致であり、オンチップデバッグまたはシリアルプログラマへの接続は許可されます。
	ビット[127] = 1、ビット[126] = 1、かつ 16 バイトのうち少なくとも 1 つが 0xFF 以外	プロテクト有効	ID コードの一致 = 認証が完了し、オンチップデバッグまたはシリアルプログラマへの接続が許可されます。ID コードの不一致は、ID コードプロテクト待機状態への遷移を示します。オンチップデバッグまたはシリアルプログラマから送られてきた ID コードが ASCII コードの ALeRASE (0x414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFFF) の場合、ユーザーフラッシュメモリ領域の内容は消去され、OSIS レジスタの全ビットが 1 になります。ただし、AWS.FSPR ビットが 0 である場合は、ユーザーフラッシュメモリ領域の内容は消去されません。
	ビット[127] = 1 およびビット[126] = 0	プロテクト有効	ID コードの一致 = 認証が完了し、オンチップデバッグまたはシリアルプログラマへの接続が許可されます。ID コードの不一致は、ID コードプロテクト待機状態への遷移を示します。
	ビット[127] = 0	プロテクト有効	ID コードは検証されません。ID コードは常に不一致であり、オンチップデバッグまたはシリアルプログラマへの接続は禁止されます。

6.3 オプション設定メモリの設定方法

6.3.1 オプション設定メモリへのデータの配置方法

オプション設定メモリにプログラムするデータは、[図 6.1](#) に示すアドレスに配置してください。配置したデータは、フラッシュメモリ書き込みソフトウェアやオンチップデバッグなどのツールで 사용됩니다。

注 プログラミング形式はコンパイラによって異なります。詳細については、コンパイラのマニュアルを参照してください。

6.3.2 オプション設定メモリにプログラムするデータの設定方法

「[6.3.1. オプション設定メモリへのデータの配置方法](#)」に記載した方法でデータを配置するだけでは、オプション設定メモリにデータを書き込むことにはなりません。合わせて、本項に記載されている下記のいずれかを実施してください。

(1) セルフプログラミングでオプション設定メモリを変更する場合

プログラムコマンドを用いて、コードフラッシュメモリ領域へデータを書き込んでください。コンフィグレーション設定領域のオプション設定メモリへデータを書き込むには、コンフィグレーション設定コマンドを使用してください。また、スタートアップ領域選択機能を使用すると、オプション設定メモリが含まれるブートプログラムを安全に更新できます。

プログラムコマンド、コンフィグレーション設定コマンド、およびスタートアップ領域選択機能の詳細については、「[25. フラッシュメモリ](#)」を参照してください。

(2) OCD によるデバッグ時またはフラッシュライターによってプログラムする場合

この手順は使用するツールによって異なるため、詳細についてはツールのマニュアルを参照してください。

本 MCU には、以下の 2 つの設定手順があります。

- 「[6.3.1. オプション設定メモリへのデータの配置方法](#)」に記述されているように配置されたデータを、コンパイラが生成するオブジェクトファイルやモトローラ S 形式ファイルから読み取り、本 MCU へプログラムします。
- ツールの GUI インタフェースを使用して、「[6.3.1. オプション設定メモリへのデータの配置方法](#)」に記述されているように配置されたデータをプログラムします。

6.4 使用上の注意事項

6.4.1 オプション設定メモリの予約領域および予約ビットにプログラムするデータ

オプション設定メモリの予約領域および予約ビットがプログラム範囲内にある場合、予約領域の全ビットおよび全予約ビットには1を書き込んでください。これらのビットに0を書き込んだ場合、正常動作は保証されません。

6.4.2 FSPR ビットに関する注意事項

AWS.FSPR ビットは、一度0に設定すると、1に変更できません。このため、アクセスウィンドウとスタートアップ領域選択の再設定が二度とできなくなります。FSPR ビットへの書き込みは、十分にご注意ください。

7. 低電圧検出回路 (LVD)

7.1 概要

低電圧検出 (LVD) モジュールは、VCC 端子への入力電圧レベルを監視します。検出レベルはレジスタ設定で選択できます。LVD モジュールは、2つの分離した電圧レベル検出器 (LVD0, LVD1) から構成されています。LVD0 と LVD1 は VCC 端子への入力電圧レベルを測定します。LVD のレジスタは、アプリケーションの設定により、さまざまな電圧しきい値で VCC 端子への入力電圧の変動の検出を設定できます。

電圧監視レジスタを用いることで、電圧しきい値を通過したときに、LVD を設定して、割り込みまたはリセットを発生させることができます。

表 7.1 に LVD の仕様を示します。図 7.1 に電圧監視 0 リセット発生回路のブロック図を、図 7.2 に電圧監視 1 割り込み／リセット発生回路のブロック図を示します。

表 7.1 LVD の仕様

項目		電圧監視 0	電圧監視 1
動作設定方法		OFS1 レジスタで設定	LVD のレジスタで設定
監視対象		VCC 端子入力電圧	VCC 端子入力電圧
監視電圧		V_{det0}	V_{det1}
検出イベント		電圧が下降して V_{det0} を通過	電圧が上昇または下降して V_{det1} を通過
検出電圧		OFS1.VDSEL0[2:0]ビットで 6 レベルから選択可能	LVD1CR.LVD1V[4:0]ビットで 18 レベルから選択可能
監視フラグ		なし	LVD1SR.MON フラグ : 電圧が V_{det1} より高いか低いかを監視
			LVD1SR.DET フラグ : V_{det1} 通過検出
電圧検出時の処理	リセット	電圧監視 0 リセット $VCC \geq V_{det0}$ 検出時に内部リセット信号をデアサート。 $VCC < V_{det0}$ 検出時に内部リセットを生成し、 $VCC \geq V_{det0}$ を検出するまでリセット状態を保持	電圧監視 1 リセット $VCC \geq V_{det1}$ 検出時に内部リセット信号をデアサート。 $VCC < V_{det1}$ 検出時に内部リセットを生成し、リセット状態を保持してから、指定時間後にリセットをデアサート
	割り込み	なし	電圧監視 1 割り込み
			ノンマスクブル割り込みまたはマスクブル割り込みを選択可能 VCC が V_{det1} 通過時に割り込み要求発行

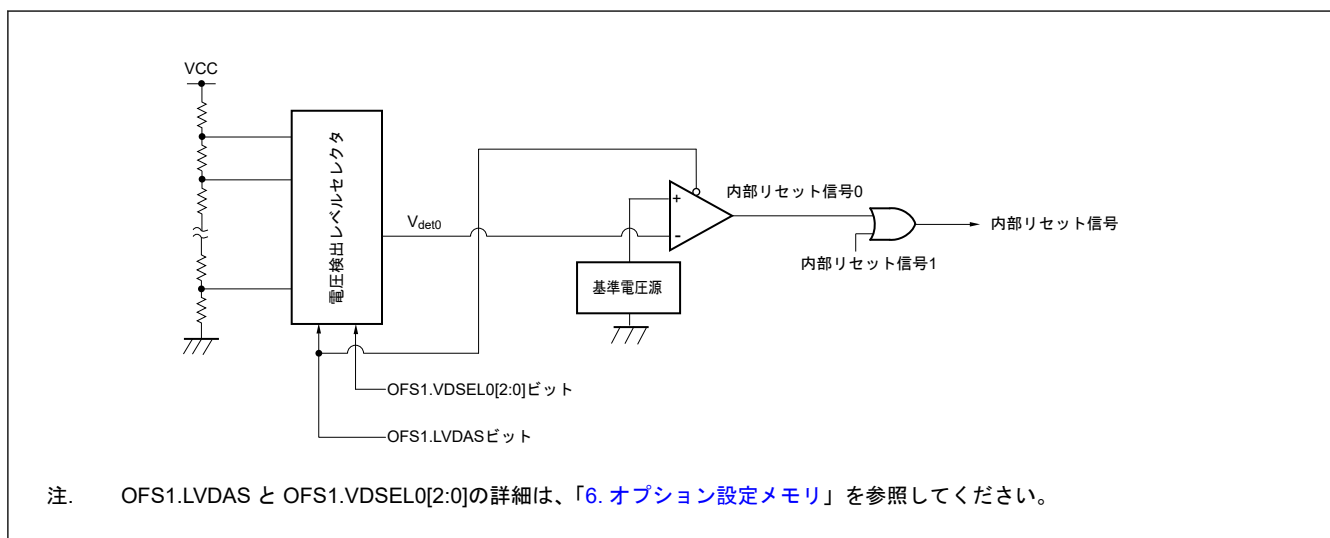


図 7.1 電圧監視 0 リセット発生回路のブロック図

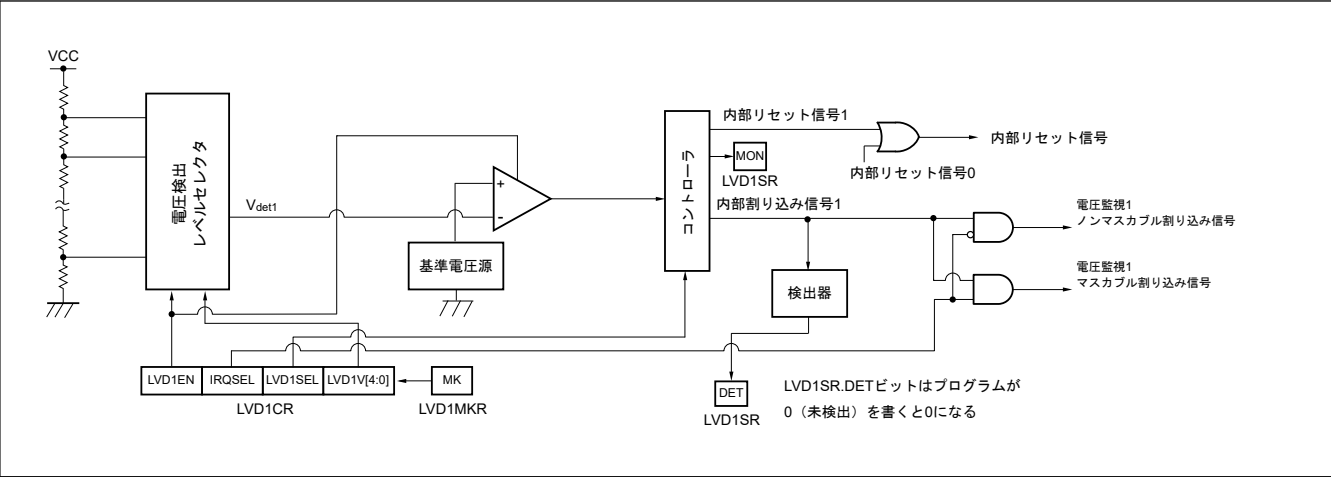


図 7.2 電圧監視 1 割り込み／リセット発生回路のブロック図

7.2 レジスタの説明

7.2.1 LVD1CR : 電圧監視 1 回路コントロールレジスタ

Base address: SYSC = 0x4001_E000							
Offset address: 0x0840							
Bit position: 7 6 5 4 3 2 1 0							
Bit field: LVD1EN LVD1SEL IRQSEL LVD1V[4:0]							
Value after reset: 0 0 0 1 1 0 0 1							

ビット	シンボル	機能	R/W
4:0	LVD1V[4:0]	電圧検出 1 レベル選択(注1) (注2) 0x0E: V _{det1_0} 0x0F: V _{det1_1} 0x10: V _{det1_2} 0x11: V _{det1_3} 0x12: V _{det1_4} 0x13: V _{det1_5} 0x14: V _{det1_6} 0x15: V _{det1_7} 0x16: V _{det1_8} 0x17: V _{det1_9} 0x18: V _{det1_A} 0x19: V _{det1_B} 0x1A: V _{det1_C} 0x1B: V _{det1_D} 0x1C: V _{det1_E} 0x1D: V _{det1_F} 0x1E: V _{det1_10} 0x1F: V _{det1_11} その他: 設定禁止	R/W
5	IRQSEL	電圧監視 1 割り込み種類選択 0: ノンマスクابل割り込み 1: マスクابل割り込み	R/W
6	LVD1SEL	LVD1 の動作モード 0: 割り込みモード 1: リセットモード	R/W

ビット	シンボル	機能	R/W
7	LVD1EN	LVD1 の動作許可 電圧検出 1 回路の割り込み／リセットを使用する場合、または LVD1SR.MON フラグを使用する場合、LVD1EN ビットを 1 にしてください。LVD1EN ビットの値を 0 から 1 に変更した後、LVD1 動作安定時間 ($t_{d(E-A)}$) が経過すると、電圧検出 1 回路が動作します。 $t_{d(E-A)}$ の詳細は、「27. 電気的特性」を参照してください。 0: 動作停止 1: 動作許可	R/W

注.
 ● PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
 ● LVD1MKR.MK ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

注 1. 検出対象電圧レベルの詳細は、「27. 電気的特性」を参照してください。

注 2. LVD0 を使用する場合は、LVD0 の検出電圧より高い LVD1 検出電圧を設定してください。

7.2.2 LVD1MKR : 電圧監視 1 回路マスクレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0841

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MK
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MK	LVD1CR レジスタの書き換えの許可／禁止設定 MK ビットは、電圧監視 1 回路コントロールレジスタ (LVD1CR) の書き換えを許可または禁止します。MK ビットが 1 のとき、LVD1 によるリセットと割り込みの発生がマスクされます。よって、LVD1CR レジスタに新しい値を書き込んだ後、MK ビットを 0 にクリアしてください。 0: LVD1CR レジスタの書き換え禁止 1: LVD1CR レジスタの書き換え許可 (LVD1 によるリセットと割り込みの発生がマスクされる)	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

7.2.3 LVD1SR : 電圧監視 1 回路ステータスレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0843

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MON	DET (注1)
Value after reset:	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
0	DET	電圧監視 1 電圧変化検出フラグ 0: 未検出 1: V_{det1} 通過検出	R/W(注2)
1	MON	電圧監視 1 信号モニタフラグ 0: $V_{CC} < V_{det1}$ 1: $V_{CC} \geq V_{det1}$ または MON 無効	R
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

注 1. リセットモード選択時は、DET ビットは無効です。

注 2. このビットは 0 のみ書けます。

DET フラグ（電圧監視 1 電圧変化検出フラグ）

LVD1CR.LVD1EN = 1（LVD1 動作許可）かつ LVD1CR.LVD1SEL = 0（LVD1 を割り込みモードに設定）の場合、DET フラグは有効です。

MON フラグ（電圧監視 1 信号モニタフラグ）

LVD1CR.LVD1EN = 1（LVD1 動作許可）の場合、MON フラグは有効です。

7.3 VCC 入力電圧の監視**7.3.1 V_{det0} の監視**

電圧監視 0 の比較結果は、読み出すことができません。

7.3.2 V_{det1} の監視

表 7.2 に V_{det1} の監視の設定手順を示します。設定が完了すると、LVD1SR.MON フラグで電圧監視 1 の比較結果を監視できます。

表 7.2 V_{det1} の監視の設定手順

手順	電圧監視 1 による比較結果監視
1	LVD1MKR.MK ビットを 1 にして、LVD1CR レジスタへの書き込みを許可する
2	LVD1CR レジスタの設定 • LVD1V[4:0] ビットを設定して、LVD1 検出電圧を設定する • LVD1EN ビットを 1 にして、LVD1 の動作を許可する
3	動作安定待機時間 $t_{d(E-A)}$ 経過後に、LVD1 を有効にする
4	LVD1MKR.MK ビットを 0 にして、LVD1CR レジスタへの書き込みを禁止する

7.4 電圧監視 0 リセット

電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0 にクリアして、リセット後、電圧監視 0 リセットを有効にしてください。

図 7.3 に LVD0 リセットモードで発生する内部リセット信号のタイミングを示します。

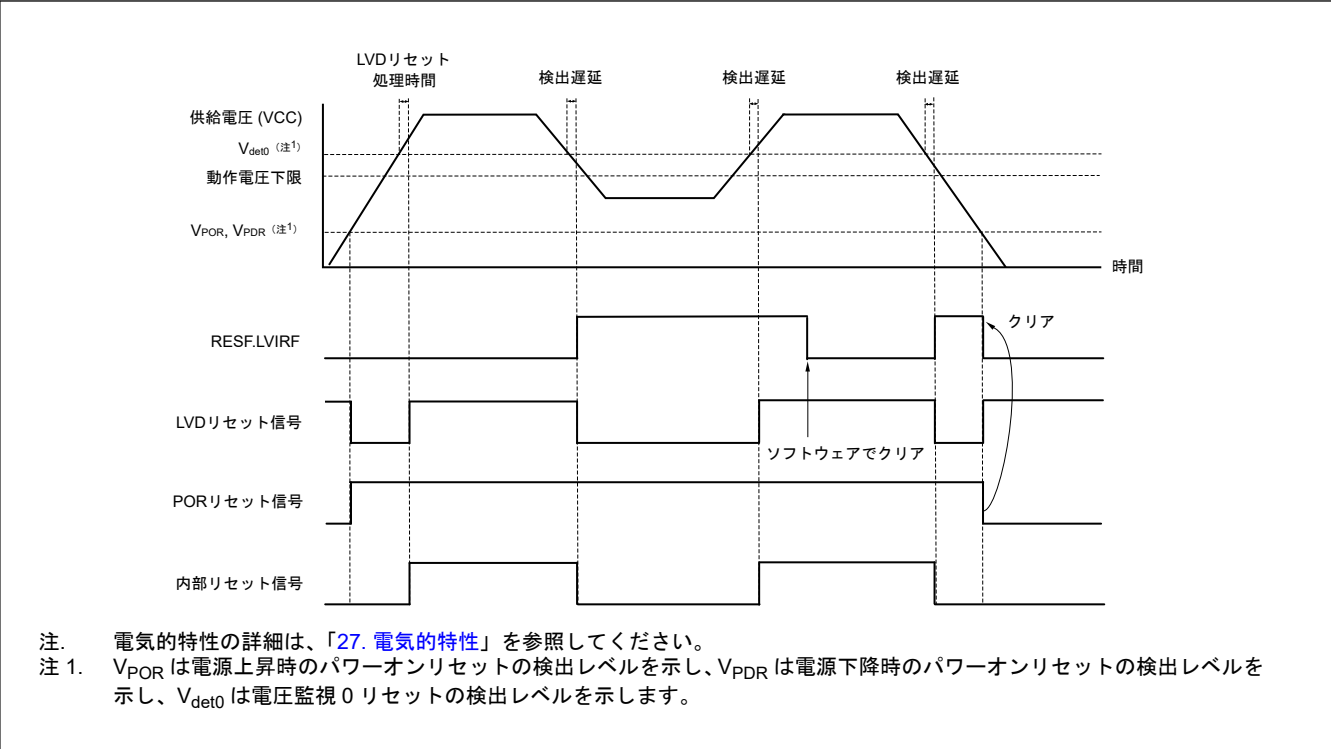


図 7.3 LVD0 内部リセット信号の発生タイミング

7.5 電圧監視 1 割り込み、電圧監視 1 リセット

電圧監視 1 回路での比較結果により、割り込みまたはリセットを発生させることができます。

表 7.3 に、電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順を示します。表 7.4 に、電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順を示します。図 7.4 に電圧監視 1 割り込みの動作例を示します。電圧監視 1 リセットの動作については、「5. リセット」の図 5.2 を参照してください。

表 7.3 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順

手順	電圧監視 1 割り込み	電圧監視 1 リセット
1	LVD1MKR.MK ビットを 1 にして、LVD1CR レジスタへの書き込みを許可する	
2	LVD1CR レジスタの設定 - LVD1V[4:0] ビットを設定して、LVD1 検出電圧を設定する - IRQSEL ビットで割り込み要求条件を選択する - LVD1SEL = 0 にして、LVD1 の動作モードを割り込みモードに設定する - LVD1EN = 1 にして、LVD1 の動作を許可する	LVD1CR レジスタの設定 - LVD1V[4:0] ビットを設定して、LVD1 検出電圧を設定する - LVD1SEL = 1 にして、LVD1 の動作モードをリセットモードに設定する - LVD1EN = 1 にして、LVD1 の動作を許可する
3	動作安定待機時間 $t_{d(E-A)}$ 経過後に、LVD1 を有効にする	
4	LVD1MKR.MK ビットを 0 にして、LVD1CR レジスタへの書き込みを禁止する	

表 7.4 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順

手順	電圧監視 1 割り込み、電圧監視 1 リセット
1	LVD1MKR.MK ビットを 1 にして、LVD1CR レジスタへの書き込みを許可する
2	LVD1CR.LVD1EN ビットを 0 にして、LVD1 の動作を停止する
3	LVD1MKR.MK ビットを 0 にして、LVD1CR レジスタへの書き込みを禁止する

図 7.4 に、LVD1 割り込みモードで発生する割り込み要求信号のタイミングを示します。

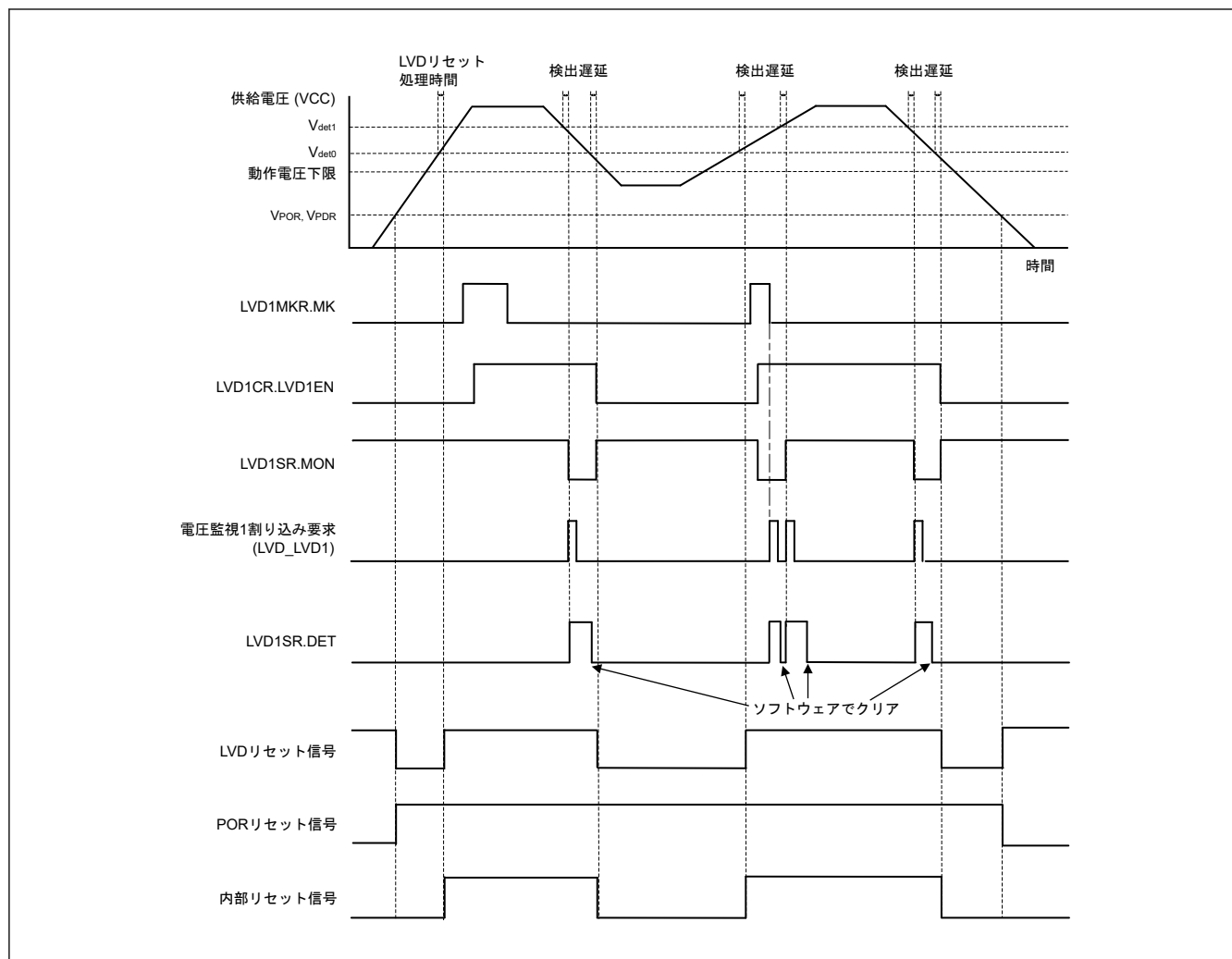


図 7.4 LVD1 割り込み要求信号の発生タイミング

注. VCC が電圧検出レベル (V_{det1}) を下回っているときに LVD1 の動作が許可される場合、その動作が許可された時点で割り込み要求信号 (LVD_LVD1) が発生します。

8. クロック発生回路

8.1 概要

本 MCU はクロック発生回路を内蔵しています。表 8.1 と表 8.2 にクロック発生回路の仕様を示します。図 8.1 にブロック図、表 8.3 に入出力端子を示します。

表 8.1 クロック発生回路の仕様（クロックソース）

クロックソース	項目	内容
高速オンチップオシレータ (HOCO)	発振周波数	32 MHz
	ユーザートリミング	あり
低速オンチップオシレータ (LOCO)	発振周波数	32.768 kHz
	ユーザートリミング	あり
SWD 用外部クロック入力 (SWCLK)	入力クロック周波数	最高 12.5 MHz

表 8.2 クロック発生回路の仕様（内部クロック）

項目	クロックソース	クロック供給	内容
システムクロック (ICLK)	HOCO/LOCO	CPU, DTC, FLASH, Flash-IF, SRAM	最高 32 MHz 1 MHz~32 MHz (P/E)
周辺モジュールクロック (PCLKB)	HOCO/LOCO	周辺モジュール	最高 32 MHz
SysTick タイマクロック (SYSTICCLK)	LOCO	SysTick タイマ	32.768 kHz
クロック／ブザー出力 (CLKOUT)	HOCO/LOCO	PCLBUZ0 端子	最高 16 MHz 分周比： 1/2/4/8/16/2048/4096/8192 (HOCO) 1/2/4/8/16/32/64/128 (LOCO)
シリアルワイヤクロック (SWCLK)	SWCLK 端子	OCD	最高 12.5 MHz

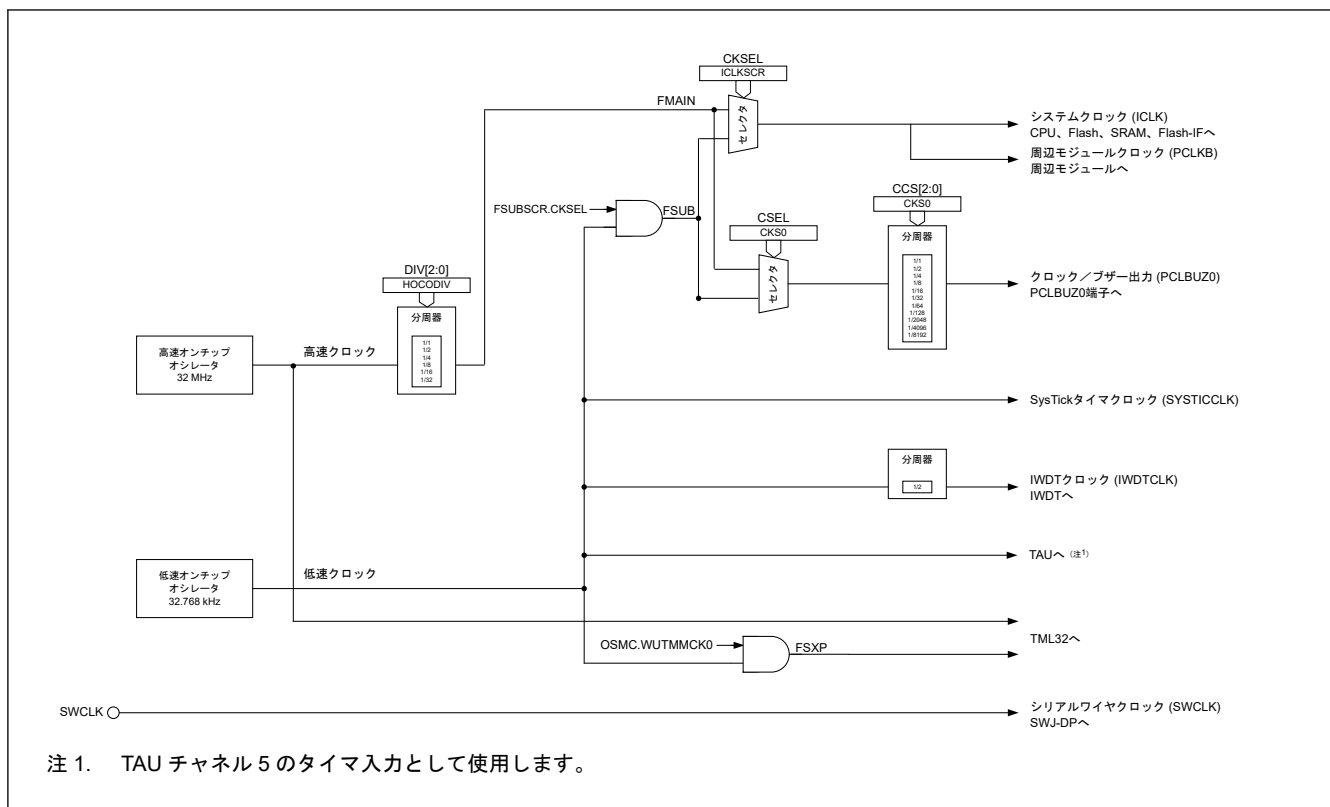


図 8.1 クロック発生回路のブロック図 (20 ピン)

表 8.3 クロック発生回路入出力端子

端子名	入出力	機能
PCLBUZ0	出力	CLKOUT/BUZZER クロックを出力します。
SWCLK	入力	SWD からの入力です。

8.2 レジスタの説明

8.2.1 FSUBSCR: FSUB クロックソースコントロールレジスタ

Base address: SYSC = 0x4001 E000

Offset address: 0x0822

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CKSE L
ie after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CKSEL	FSUB クロックソース選択 0: クロックソース選択なし 1: LOCO	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

CKSEL ビット (FSUB クロックソース選択)

CKSEL ビットは、下記のクロックに対してソースを選択します。

- サブシステムクロック (FSUB)

MCU が以下の条件下にあるとき、FSUBSCR.CKSEL に書き込むことは禁止されています。

1. ICLKSCR.CKSEL = 1
2. ICLKSCR.CKST = 1

本ビットは下記のソースを選択します。

- 低速オンチップオシレータクロック (LOCO)

8.2.2 ICLKSCR : ICLK クロックソースコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0823

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CKST	CKSEL
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CKSEL	ICLK クロックソース選択 0: FMAIN 1: FSUB	R/W
1	CKST	ICLK クロックソース状態 0: FMAIN 1: FSUB	R
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRCR.PRC0 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

ICLKSCR レジスタは、システムクロックのクロックソースを選択します。

CKSEL ビット (ICLK クロックソース選択)

CKSEL ビットは、下記のクロックに対してソースを選択します。

- システムクロック (ICLK)

本ビットは下記のソースのうち 1 つを選択します。

- メインシステムクロック (FMAIN)
- サブシステムクロック (FSUB)

CKST ビット (ICLK クロックソース状態)

CKST フラグは、下記のクロックに対するソースを表示します。

- システムクロック (ICLK)

8.2.3 LOCOCR : 低速オンチップオシレータコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x080A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	LCSTP
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	LCSTP	LOCO 停止 0: LOCO 動作 1: LOCO 停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

LOCOCR レジスタは、LOCO を制御するレジスタです。

LCSTP ビット (LOCO 停止)

LCSTP ビットは、LOCO を動作または停止させます。

LCSTP ビットを 0 にして LOCO を動作させた後、LOCO クロック発振安定待機時間 (t_{LOCO}) が経過してから、LOCO クロックを使用してください。LOCO クロックが動作するように設定してから、発振が安定するまでに一定の待機時間を要します。また、LOCO クロックを停止するように設定した後も一定の待機時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- LOCO の停止後、動作を再開させるまでに LOCO クロックで 5 サイクル以上の待機時間が必要です。
- LOCO を停止させる前に、LOCO クロックの発振が安定していることを確認してください。
- LOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードへ遷移する場合は、LOCO クロックの発振が安定している状態で WFI 命令を実行してください。
- LOCO を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、LOCO クロックで 3 サイクル以上待ってから WFI 命令を実行してください。

以下の条件下で LCSTP に 1 を書き込むことは禁止されています。

- FSUBSCR.CKSEL = 1 (サブシステムクロックソース = LOCO)

IWDT 動作時、LOCO クロックは LCSTP の値にかかわらず発振します。

8.2.4 HOCOCR : 高速オンチップオシレータコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0808

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	HCSTP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	HCSTP	HOCO 停止 0: HOCO 動作 1: HOCO 停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

HOCOCR レジスタは、HOCO を制御するレジスタです。

HCSTP ビット (HOCO 停止)

HCSTP ビットは、HOCO を動作または停止させます。

HCSTP ビットを 0 にして HOCO を動作させた後、OSCSF.HOCOSF ビットが 1 になっていることを確認してから、HOCO クロックを使用してください。OFS1.HOCOEN ビットが 1 になっている場合、OSCSF.HOCOSF フラグも 1 になっていることを確認してから、HOCO クロックを使用してください。HOCO クロックが動作するように設定してから、発振が安定するまでに一定の待機時間を要します。また、HOCO クロックを停止するように設定した後も一定の待機時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- HOCO の停止後、動作を再開させる前に OSCSF.HOCOSF ビットが 0 であることを確認してください。
- HOCO を停止させる前に、HOCO クロックが動作していること、および OSCSF.HOCOSF が 1 であることを確認してください。
- HOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、HCSTP ビットで HOCO を動作設定にして MCU をソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOCOSF ビットが 1 になっていることを確認してから WFI 命令を実行してください。
- HOCO を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOCOSF ビットが 0 になっていることを確認したうえで WFI 命令を実行してください。

以下の条件下で HCSTP に 1 を書き込むことは禁止されています。

- ICLKSCR.CKST = 0 (システムクロックソース = HOCO)

オンチップデバッグ動作時、HOCO クロックは HCSTP の値にかかわらず発振します。

8.2.5 OSCSF : 発振安定フラグレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0812

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	HOCO SF
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	HOCOSF	HOCO クロック発振安定フラグ 0: HOCO クロックが停止中、または HOCO クロックが開始されて発振の精度が安定化するのを待機中 1: HOCO クロックは高精度で動作中	R
7:1	—	読むと 0 が読めます。	R

OSCSF レジスタは、各発振器の発振安定待機回路内にあるカウンタの動作状態を示すフラグからなるレジスタです。これらのカウンタは、発振開始後、各発振器の出力クロックが内部回路に供給されるまでの待機時間を計測します。カウンタのオーバーフローは、クロック供給が安定しており、対応する回路で利用可能なことを示します。

HOCOSF フラグ (HOCO クロック発振安定フラグ)

HOCOSF フラグは高速クロック発振器 (HOCO) の待機時間を計測するカウンタの動作状態を示します。

[1 になる条件]

- HOCO クロック停止時、HOCOCR.HCSTP ビットが 0 になった後、HOCO 発振安定時間カウンタが完了したとき。HOCO 発振安定待機時間については「[27. 電气的特性](#)」を参照してください。
- ソフトウェアスタンバイモードを解除した後、HOCO 発振安定待機時間がカウントされたとき。

[0 になる条件]

- HOCO の動作時に、HOCOCR.HCSTP ビットを 1 にした結果、HOCO が発振停止になったとき。
- WFI 命令により、MCU がソフトウェアスタンバイモードに遷移したとき。

8.2.6 HOCODIV : 高速オンチップオシレータ周波数選択レジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0818

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	DIV[2:0]		
Value after reset:	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
2:0	DIV[2:0]	高速オンチップオシレータクロック分周比 0 0 0: 1 分周 0 0 1: 2 分周 0 1 0: 4 分周 0 1 1: 8 分周 1 0 0: 16 分周 1 0 1: 32 分周 その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

8.2.7 OSMC : サブシステムクロック供給モードコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0824

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	WUTM MCK0	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	WUTMMCK0	32 ビットインターバルタイマの動作クロックソースの選択 0: クロックソース選択なし 1: LOCO	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

8.2.8 CKS0 : クロック出力コントロールレジスタ 0

Base address: PCLBUZ = 0x400A_3B00

Offset address: 0x0001

Bit position:	7	6	5	4	3	2	1	0
Bit field:	PCLO E	—	—	—	CSEL	CCS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CCS[2:0]	クロック出力分周選択 0 0 0: リセット後の値 FMAIN (CKS0.CSEL = 0 の場合) FSUB (CKS0.CSEL = 1 の場合) 0 0 1: FMAIN × 1/2 (CKS0.CSEL = 0 の場合) FSUB × 1/2 (CKS0.CSEL = 1 の場合) 0 1 0: FMAIN × 1/2 ² (CKS0.CSEL = 0 の場合) FSUB × 1/2 ² (CKS0.CSEL = 1 の場合) 0 1 1: FMAIN × 1/2 ³ (CKS0.CSEL = 0 の場合) FSUB × 1/2 ³ (CKS0.CSEL = 1 の場合) 1 0 0: FMAIN × 1/2 ⁴ (CKS0.CSEL = 0 の場合) FSUB × 1/2 ⁴ (CKS0.CSEL = 1 の場合) 1 0 1: FMAIN × 1/2 ¹¹ (CKS0.CSEL = 0 の場合) FSUB × 1/2 ⁵ (CKS0.CSEL = 1 の場合) 1 1 0: FMAIN 1/2 ¹² (CKS0.CSEL = 0 の場合) FSUB × 1/2 ⁶ (CKS0.CSEL = 1 の場合) 1 1 1: FMAIN × 1/2 ¹³ (CKS0.CSEL = 0 の場合) FSUB × 1/2 ⁷ (CKS0.CSEL = 1 の場合)	R/W
3	CSEL	クロック出力選択 0: FMAIN 1: FSUB	R/W
6:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	PCLOE	クロック出力許可 0: クロック出力禁止 1: クロック出力許可	R/W

CCS[2:0]ビット（クロック出力分周選択）

CCS[2:0]ビットは、クロック分周比を設定します。分周比を変更する場合、PCLOE ビットを 0 にしてください。出力クロック周波数の分周比は、PCLBUZ0 端子出力周波数の特性を超えない値に設定する必要があります。PCLBUZ0 端子の特性の詳細については、「[27. 電気的特性](#)」を参照してください。

CSEL ビット（クロック出力選択）

CSEL ビットは、PCLBUZ0 端子から出力するクロックのソースを選択します。クロックソースを変更する場合、PCLOE ビットを 0 にしてください。

PCLOE ビット（クロック出力許可）

PCLOE ビットは、PCLBUZ0 端子からの出力を許可します。

このビットを 1 にすると、選択されたクロックが出力されます。このビットを 0 にすると、Low が出力されます。このビットを変更する場合は、CSEL ビットおよび CCS[2:0] ビットで選択したクロック出力のクロックソースが安定していることを確認してください。安定していない場合、出力にグリッチを生じることがあります。

ソフトウェアスタンバイモードでクロック出力のソースクロックが停止する場合は、当該モードに遷移する前にこのビットをクリアしてください。

8.2.9 LIOTRM：低速オンチップオシレータトリミングレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0805

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LIOTRM[7:0]							

Value after reset: 1 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
7:0	LIOTRM[7:0]	LOCO ユーザートリミング 0x00: 最低速度 0x01: : : 0x80: 初期値 : : 0xFE: 0xFF: 最高速度	R/W

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

低速オンチップオシレータの周波数は、LIOTRM レジスタの設定により調整できます。LIOTRM レジスタが修正されるとき、周波数安定時間は MCU の動作開始時の周波数安定時間に対応しています。周波数調整の分解能と低速オンチップオシレータクロックの安定時間の詳細については、表 27.4 を参照してください。

低速オンチップオシレータの周波数は、高精度外部クロック入力においてタイマ（タイマアレイユニットまたは 32 ビットインターバルタイマなど）を使用して、あるいは他の方法を使用して、検証することができます。

注. 低速オンチップオシレータの周波数は、周波数調整後に温度や電源電圧の変化が原因で、変動する可能性があります。そのような場合、特に高い周波数精度が要求される場合は、定期的な周波数調整が必要不可欠です。

8.2.10 HIOTRM : 高速オンチップオシレータトリミングレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x0200

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	HIOTRM[5:0]					

Value after reset: 0 0 x x x x x x

ビット	シンボル	機能	R/W
5:0	HIOTRM[5:0]	HOCO ユーザートリミング 0x00: 最低速度 : : 0x3F: 最高速度	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. リセット後の HIOTRM レジスタの値は、出荷時に設定された調整値に初期化されます。

高速オンチップオシレータの周波数は、HIOTRM レジスタの設定により調整できます。HIOTRM レジスタが修正されるとき、周波数安定時間は MCU の動作開始時の周波数安定時間に対応しています。周波数調整の分解能と高速オンチップオシレータクロックの安定時間の詳細については、表 27.4 を参照してください。

高速オンチップオシレータの周波数は、高精度外部クロック入力においてタイマ（タイマアレイユニットまたは 32 ビットインターバルタイマなど）を使用して、あるいは他の方法を使用して、検証することができます。

注. 高速オンチップオシレータの周波数は、周波数調整後に温度や電源電圧の変化が原因で、変動する可能性があります。そのような場合、特に高い周波数精度が要求される場合は、定期的な周波数調整が必要不可欠です。

8.3 内部クロック

内部クロック用のクロックソースには以下のものがあります。

- HOCO クロック
- LOCO クロック

これらのクロックソースから、以下の内部クロックが生成されます。

- CPU、DTC、Flash、Flash-IF、SRAM、および周辺モジュールの動作クロック — システムクロック (ICLK)
- IWDTC の動作クロック — IWDTCCLK
- 外部端子出力のクロック — CLKOUT

内部クロックの周波数設定に使用するレジスタの詳細については、「[8.3.1. システムクロック \(ICLK\)](#)」～「[8.3.4. 外部端子出力クロック \(CLKOUT\)](#)」を参照してください。

これらのビットの値を変更した場合、以降は変更後の値に応じた周波数で動作します。

8.3.1 システムクロック (ICLK)

システムクロック (ICLK) は、CPU、DTC、Flash、Flash-IF、SRAM、および周辺モジュールの動作クロックです。各クロックの周波数は、以下のビットで設定します。

- OFS1.HOCOFrq1[2:0]
- HOCODIV.DIV[2:0]
- FSUBSCR.CKSEL
- ICLKSCR.CKSEL

ICLK クロックソース切り替え時、クロックソース移行期間中は、ICLK クロック周期が長くなります。[図 8.2](#) と [図 8.3](#) を参照してください。

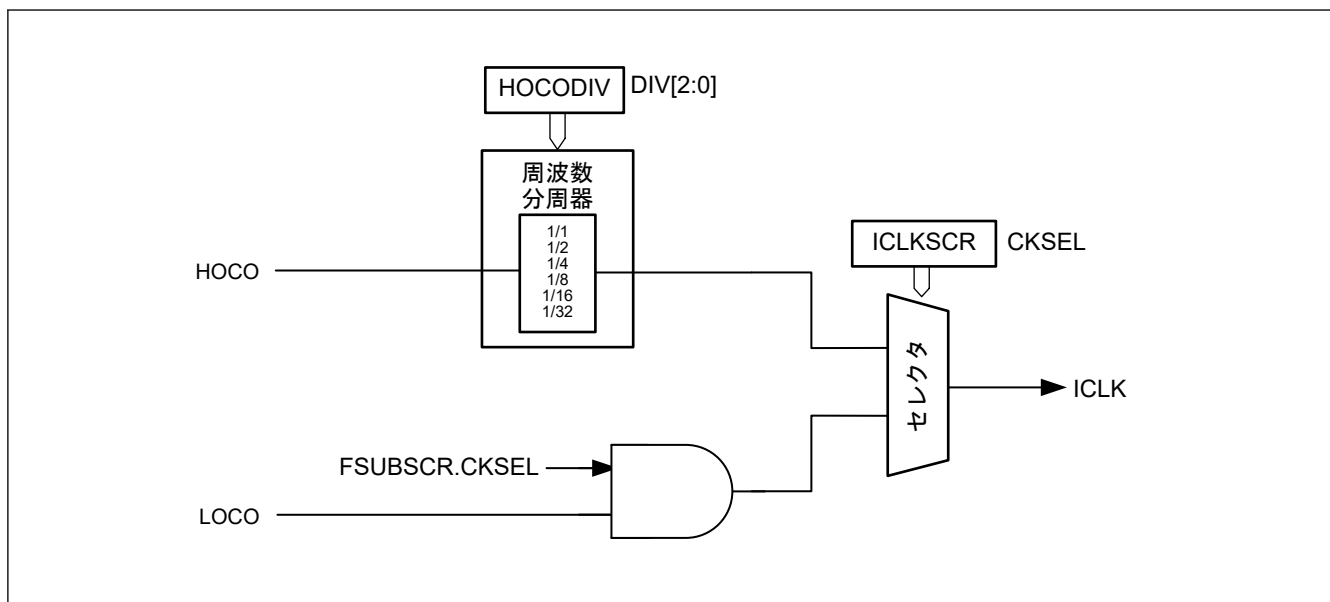


図 8.2 クロックソースセレクタのブロック図

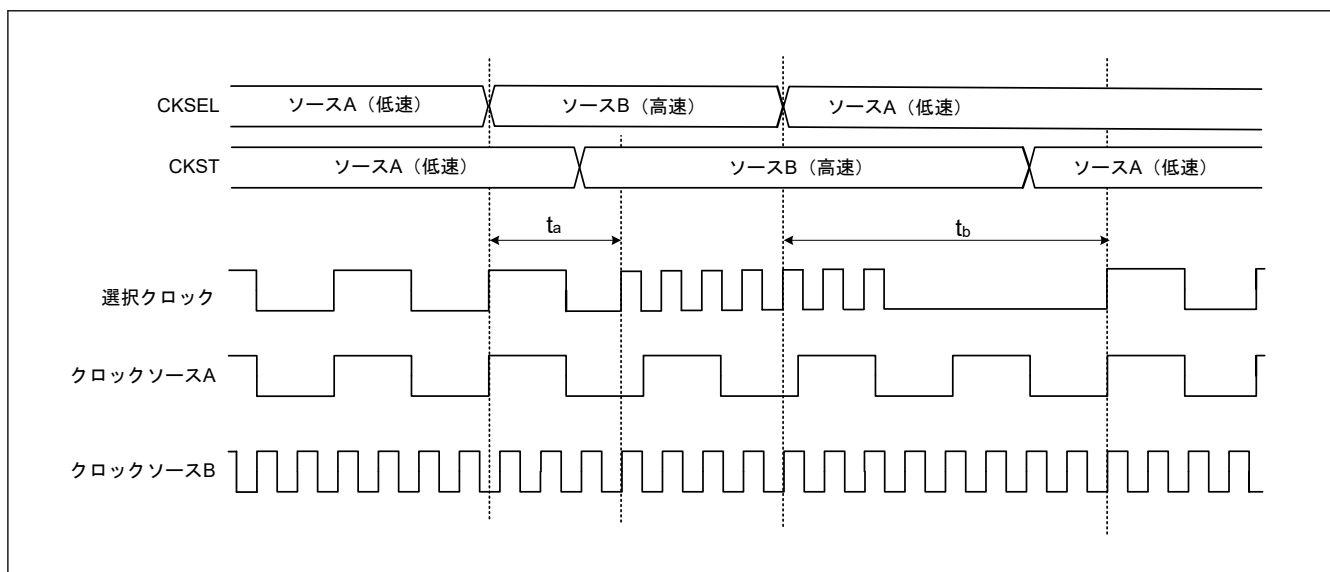


図 8.3 クロックソース切り替えのタイミング

- FMAIN↔FSUB の切り替えに必要な最大クロックサイクル数
 t_a : 3 サイクル
 t_b : $1 + 2 \times (\text{FMAIN 周波数}) / (\text{FSUB 周波数})$ サイクル

8.3.2 IWDТ クロック (IWDТCLK)

IWDТ クロック (IWDТCLK) は、IWDТ の動作クロックです。IWDТCLK は、LOCO クロックで内部的に生成されます。

8.3.3 SysTick タイマ専用クロック (SYSTICCLK)

SysTick タイマ専用クロック (SYSTICCLK) は、SysTick タイマの動作クロックです。SYSTICCLK は、LOCO クロックで生成されます。

8.3.4 外部端子出力クロック (CLKOUT)

CLKOUT は、クロック出力またはブザー出力として外部に出力されます。CKS0.PCLOE を 1 にすると、CLKOUT が PCLBUZ0 端子に出力されます。CKS0.CSEL ビットまたは CKS0.CCS[2:0] ビットの値を変更できるのは、CKS0.PCLOE ビットが 0 の場合だけです。

CLKOUT クロックの周波数はそれぞれ、次のようなビットで指定されます。

- CKS0.CSEL または CKS0.CCS[2:0]
- OFS1.HOCOFRQ1[2:0]
- HOCODIV.DIV[2:0]
- FSUBSCR.CKSEL

8.4 使用上の注意

8.4.1 レジスタアクセス

1. 下記の条件に当てはまる場合、下記のレジスタに書き込まないでください。
[レジスタ]

- FSUBSCR, HOCODIV

[条件]

- ICLKSCR.CKSEL = 1 (ICLK = LOCO)

8.4.2 クロック発生回路に関する注意事項

クロック周波数変更後の処理を確実に実行するには、最初に該当のクロックコントロールレジスタを書き換えて周波数を変更してからレジスタ値を読み出して確認し、最後にその後の処理を実行してください。

9. 低消費電力モード

9.1 概要

本 MCU には、クロック分周器の設定、モジュールストップ設定、通常モード時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな消費電力低減機能があります。

表 9.1 に低消費電力モード機能の仕様を示します。表 9.2 に低消費電力モードへの遷移条件、CPU と周辺モジュールの状態、および各モードの解除方法を示します。リセット後、MCU はプログラム実行状態に遷移しますが、DTC と SRAM のみが動作しています。

表 9.1 低消費電力モード機能の仕様

項目	内容
クロック信号の切り替えによる消費電力の低減	HOCO に対して、分周比を選択可能(注1)
モジュールストップ	各周辺モジュールに対して、個別に機能停止が可能
低消費電力モード	- スリープモード - ソフトウェアスタンバイモード - スヌーズモード
電力制御モード	動作周波数と動作電圧に応じて適切な動作電力制御モードを選択することにより、通常モード、スリープモード、およびスヌーズモード時の消費電力の低減が可能 以下の 4 つの動作電力制御モードが利用可能 - High-speed モード - Middle-speed モード - Low-speed モード - Subosc-speed モード

注 1. 詳細は、「8. クロック発生回路」を参照してください。

表 9.2 各低消費電力モードの動作状態 (1/2)

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード(注1)
遷移条件	SBYCR.SSBY = 0 の状態で [条件 1] または [条件 2] を満たす場合 [条件 1] - WFI 命令 - 有効な割り込み要求(注9)が CPU に受け付けられない。 (WFI 命令実行後からスリープモードへの遷移が完了するまでの遷移中も含む) [条件 2] - SCR.SLEEPONEXIT = 1 - すべての例外ハンドラの実行を完了 - 有効な割り込み要求(注9)が CPU に受け付けられない。 (WFI 命令実行後からスリープモードへの遷移が完了するまでの遷移中も含む)	SBYCR.SSBY = 1 の状態で [条件 1] または [条件 2] を満たす場合 [条件 1] - WFI 命令 - 有効な割り込み要求(注9)が CPU に受け付けられない。 (WFI 命令実行後からソフトウェアスタンバイモードへの遷移が完了するまでの遷移中も含む) [条件 2] - SCR.SLEEPONEXIT = 1 - すべての例外ハンドラの実行を完了 - 有効な割り込み要求(注9)が CPU に受け付けられない。 (WFI 命令実行後からソフトウェアスタンバイモードへの遷移が完了するまでの遷移中も含む)	ソフトウェアスタンバイモード時のスヌーズ要求
解除方法	すべての割り込み。このモードで利用可能なすべてのリセット	表 9.3 に示す割り込み。このモードで利用可能なすべてのリセット	表 9.3 に示す割り込み。このモードで利用可能なすべてのリセット
割り込みによる解除後の状態	プログラム実行状態	プログラム実行状態	プログラム実行状態
リセットによる解除後の状態	リセット状態	リセット状態	リセット状態
高速オンチップオシレータ	選択可能	停止	動作
低速オンチップオシレータ	選択可能	選択可能	選択可能
クロック／ブザー出力機能	選択可能	選択可能(注2)	選択可能(注2)
CPU	停止 (保持)	停止 (保持)	停止 (保持)

表 9.2 各低消費電力モードの動作状態 (2/2)

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード(注1)
SRAM	選択可能	停止 (保持)	選択可能
フラッシュメモリ	選択可能(注5)	停止 (保持)	選択可能(注5)
データトランスファコントローラ (DTC)	選択可能	停止 (保持)	選択可能
独立ウォッチドッグタイマ (IWDG)	選択可能(注3)	選択可能(注3)	選択可能(注3)
32 ビットインターバルタイマ (TLM32)	選択可能	選択可能(注4)	選択可能(注4)
10 ビット A/D コンバータ (ADC10)	選択可能	停止 (保持)	選択可能(注8)
シリアルアレイユニット (SAU0)	選択可能	停止 (保持)	選択可能(注6)
I2C バスインタフェース (IICA0)	選択可能	選択可能(注7)	選択可能(注7)
NMI、IRQn (n = 0~5) 端子割り込み	選択可能	選択可能	選択可能
低電圧検出回路 (LVD)	選択可能	選択可能	選択可能
パワーオンリセット回路	動作	動作	動作
その他の周辺モジュール	選択可能	停止 (保持)	動作禁止
I/O ポート	動作	保持	動作

- 注. 「選択可能」とは、動作/停止がコントロールレジスタによって選択できることを意味します。
「停止 (保持)」とは、内部レジスタの内容は保持されるが、動作は中断されることを意味します。「動作禁止」とは、ソフトウェアスタンバイモードへ遷移する前に、その機能を停止させる必要があることを意味します。
そうしないと、スヌーズモードでは適切な動作が保証されません。
- 注 1. モジュールストップビットが 0 に設定されているモジュールはすべて、スヌーズモード遷移後に ICLK が供給されると、ただちに起動します。
スヌーズモード時に消費電力の増大を防ぐには、ソフトウェアスタンバイモードへ遷移する前に、スヌーズモードで不要なモジュールのストップビットを 1 にしてください。
- 注 2. クロック出力ソース選択ビット (CKS0.CSEL) が 1 (FSUB) 以外の値に設定されている場合は停止します。
- 注 3. IWDG オートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の IWDG 停止制御ビット (IWDGSTOPCTL) の設定により、IWDG の動作または停止を選択します。
- 注 4. ITCSEL0.CSEL[2:0] ビットで 100b (FSXP) が選択されている場合、TLM32 は動作可能です。
- 注 5. フラッシュ停止制御ビット (SBYCR.FLSTP) の設定により、フラッシュの動作または停止を選択します。
- 注 6. スヌーズモードでシリアルアレイユニット 0 (SAU0) を使用する場合、SSC0.SWC ビットは 1 でなければなりません。
- 注 7. ウェイクアップ割り込みのみが利用可能です。
- 注 8. スヌーズモードで 10 ビット A/D コンバータ (ADC10) を使用する場合は、ADM2.AWC ビットは 1 でなければなりません。
- 注 9. 有効な割り込み要求とは、現在の例外の優先度レベルおよび BASEPRI による優先度レベルによってマスクされていない、すべての割り込みまたは例外を指します。さらに、割り込み要求が IELSRn の場合には、NVIC_ISERn によって割り込みを有効にする必要があります。

表 9.3 スヌーズモードとソフトウェアスタンバイモードから通常モードへ遷移する場合に利用可能な割り込み要因

割り込み要因	名称	ソフトウェアスタンバイモード	スヌーズモード
NMI		可能	可能
ポート	PORT_IRQn (n = 0~5)	可能	可能
LVD	LVD_LVD1	可能	可能
IWDG	IWDG_NMIUNDF	可能	可能
TLM32	TLM32_ITL_OR	可能	可能
IICA	IICA0_TXRXI	可能	可能
ADC10	ADC10_ADI	不可能	可能
SAU0	SAU0_SPI_TXRXI00	不可能	可能
	SAU0_UART_ERRI0	不可能	可能
	SAU0_UART_RXI0	不可能	可能
DTC	DTC_COMPLETE	不可能	可能

図 9.1 に通常モードと低消費電力モード間の遷移を示します。

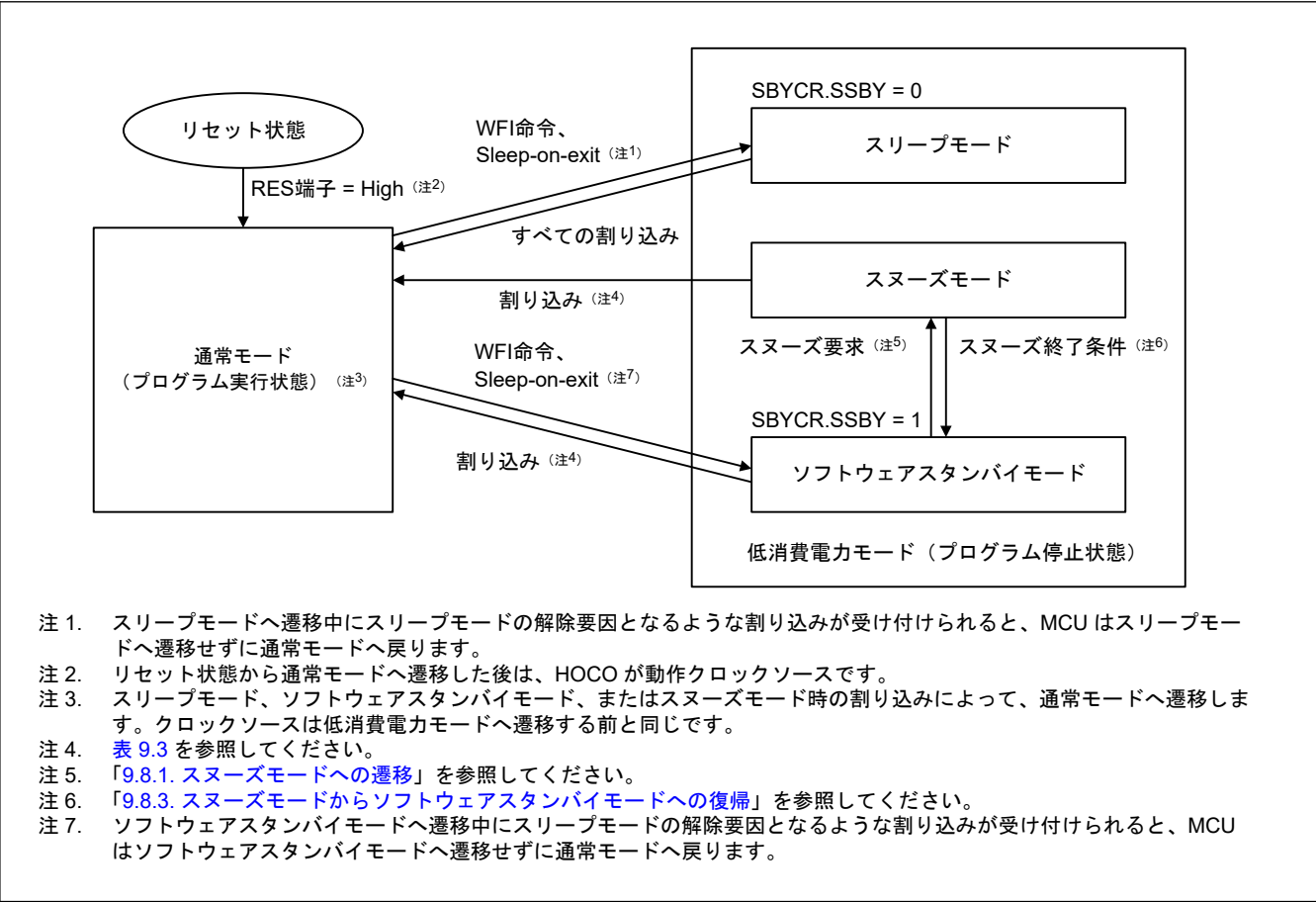


図 9.1 低消費電力モードの遷移

9.2 レジスタの説明

9.2.1 SBYCR : スタンバイコントロールレジスタ

Base address: SYSC = 0x4001_E000																
Offset address: 0x0860																
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SSBY	—	—	—	—	—	—	—	FLSTP	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	FLSTP	スリープモードまたはスヌーズモードのフラッシュモード 0: フラッシュ動作 1: フラッシュ停止	R/W
14:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	SSBY	ソフトウェアスタンバイモード選択 0: スリープモード 1: ソフトウェアスタンバイモード	R/W

注. PRCR.PRC1 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

FLSTP ビット（スリープモードまたはスヌーズモードのフラッシュモード）

FLSTP ビットを 1 にした場合、スリープモード中またはスヌーズモード中にフラッシュが停止するため、消費電力を低減できます。その代わりに、スリープモードまたはスヌーズモードの解除に要する時間が延長されます。また、フラッシュのプログラム／イレースはできません。

SSBY ビット（ソフトウェアスタンバイモード選択）

SSBY ビットは、WFI 命令実行後の遷移先を設定します。

SSBY ビットが 1 の状態で WFI 命令を実行すると、ソフトウェアスタンバイモードへ遷移します。割り込みによってソフトウェアスタンバイモードから通常モードへ復帰したときは、SSBY ビットは 1 のままです。0 を書き込むことにより、SSBY ビットをクリアできます。

FENTRYR.FENTRY0 ビットが 1 の場合、SSBY ビットの設定値は無視されます。SSBY ビットが 1 であっても、WFI 命令を実行すると MCU はスリープモードへ遷移します。

9.2.2 MSTPCRA : モジュールストップコントロールレジスタ A

Base address: SYSC = 0x4001_E000

Offset address: 0x0C02

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	MSTP A22	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1

ビット	シンボル	機能	R/W
5:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
6	MSTPA22	DTC モジュールストップ設定(注1) 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
15:7	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注 1. MSTPA22 ビットを 0 から 1 に書き換える場合、DTC を無効にしてから MSTPA22 ビットを設定してください。

9.2.3 MSTPCRB : モジュールストップコントロールレジスタ B

Base address: MSTP = 0x4004_7000

Offset address: 0x0000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	MSTP B10	—	—	—	MSTP B6	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
5:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
6	MSTPB6	シリアルアレイユニット 0 モジュールストップ設定 対象モジュール : SAU0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
9:7	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

ビット	シンボル	機能	R/W
10	MSTPB10	I ² C バスインタフェースモジュールストップ設定 対象モジュール: IICA0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31:11	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

9.2.4 MSTPCRC: モジュールストップコントロールレジスタ C

Base address: MSTP = 0x4004_7000

Offset address: 0x0004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSTP C1	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
1	MSTPC1	巡回冗長検査演算器モジュールストップ設定 対象モジュール: CRC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31:2	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

9.2.5 MSTPCRD : モジュールストップコントロールレジスタ D

Base address: MSTP = 0x4004_7000

Offset address: 0x0008

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSTP D16
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	MSTP D4	—	—	—	MSTP D0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	MSTPD0	タイマアレユユニット 0 モジュールストップ設定 対象モジュール: TAU0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
3:1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
4	MSTPD4	32 ビットインターバルタイマモジュールストップ 対象モジュール: TML32 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

ビット	シンボル	機能	R/W
15:5	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
16	MSTPD16	A/D コンバータモジュールストップ設定 対象モジュール：ADC10 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31:17	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

9.2.6 FLMODE：フラッシュ動作モードコントロールレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x020A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MODE[1:0]	—	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:6	MODE[1:0]	動作モード選択 0 0: 設定禁止 0 1: Low-speed モード 1 0: Middle-speed モード 1 1: High-speed モード	R/W

注 High-speed モードと Low-speed モード間の直接遷移は禁止されています (0xC0 (0x40) に 0x40 (0xC0) を書き込んでも無視されます)。
High-speed モードと Low-speed モード間の遷移は、Middle-speed モードを経由して行ってください。

FLMODE レジスタは、通常モード、スリープモード、およびスヌーズモード時に消費電力を低減させるために使用します。FLMODE レジスタを設定することにより、使用する動作周波数と動作電圧に応じて消費電力を低減させることができます。動作電力制御モードの変更手順については、「[9.5. 動作電力低減機能](#)」を参照してください。

MODE[1:0]ビット（動作モード選択）

MODE[1:0]ビットは、通常モード、スリープモード、およびスヌーズモード時の動作電力制御モードを選択します。

表 9.4 に、各動作電力制御モード、MODE[1:0]、および ICLKSCR.CKSEL ビット設定値の間の関係を示します。MCU が以下の条件下にあるとき、FLMODE.MODE[1:0]に書き込むことは禁止されています。

- FLMODE レジスタの値は、フラッシュ動作モードプロテクトレジスタ (FLMWRP) の FLMWEN ビットが 1 のときに変更可能です。FLMODE レジスタの値を変更した後、FLMWEN ビットを 0 にしてください。
- MCU がスリープモードかスヌーズモードのとき、MCU がスリープモードまたはスヌーズモードから通常モードへ遷移中のとき、MCU が通常モードからスリープモード、スヌーズモード、またはソフトウェアスタンバイモードに遷移中のとき、MCU が動作電源モード遷移中のとき
- フラッシュがプログラミングモードのとき
- MCU が Subosc-speed モード (ICLKSCR.CKST ビットと CKSEL ビットが 1) のとき

表 9.4 動作電力制御モード

動作電力制御モード	MODE[1:0]ビット	ICLKSCR.CKST ビット	消費電力
High-speed モード	11b	0	High
Middle-speed モード	10b	0	↓
Low-speed モード	01b	0	↓
Subosc-speed モード	xxb	1	Low

9.2.7 FLMWRP : フラッシュ動作モードプロテクトレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x020B

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FLMW EN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FLMWEN	フラッシュ動作モード選択レジスタの制御 0: FLMODE レジスタの書き換えは無効 1: FLMODE レジスタの書き換えは有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

9.2.8 SYOCDCCR : システムコントロール OCD コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0863

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DBG EN	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	DBGEN	デバッグ有効 オンチップデバッグモードでは最初に 1 にしてください。 0: オンチップデバッグは無効 1: オンチップデバッグは有効	R/W

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

DBGEN ビット（デバッグ有効）

DBGEN ビットは、オンチップデバッグモードを有効にします。このビットは、オンチップデバッグモードでは最初に 1 にする必要があります。

[1 になる条件]

- デバッグの接続時に 1 を書いたとき

[0 になる条件]

- パワーオンリセットが発生したとき
- 0 を書いたとき

注. DBGEN ビットが 1 に設定可能な MCU 状態に関して、特定の制約が適用されます。詳細は、「[2.7.3. OCD エミュレータ接続における制限](#)」を参照してください。

9.3 クロックの切り替えによる消費電力の低減

HOCODIV レジスタを設定すると、クロック周波数が切り替わります。

9.4 モジュールストップ機能

モジュールストップ機能は、各内蔵周辺モジュールへのクロック供給を停止することが可能です。

MSTPCRn (n = A~D) レジスタの MSTPmi ビット (m = A~D, i = 31~0) を 1 にすると、指定したモジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は独立して動作を継続します。MSTPmi ビットを 0 にすることによって、モジュールストップ状態が解除され、バスサイクルの終了時点でモジュールは動作を再開します。

リセット解除後は、DTC 以外の全モジュールがモジュールストップ状態になります。MSTPmi ビットが 1 であるときは、対応するモジュールにアクセスしないでください。また、対応するモジュールにアクセス中であるときは、MSTPmi ビットを 1 にしないでください。

9.5 動作電力低減機能

動作周波数に応じて適切な動作電力制御モードを選択することにより、通常モード時、スリープモード時、スヌーズモード時の消費電力を削減できます。

9.5.1 動作電力制御モードの設定方法

動作電力制御モードを切り替える場合は、その前後において、周波数範囲などの動作条件が仕様範囲内に収まっていることを確認してください。

動作電力制御モードの切り替え手順例を以下に示します。

表 9.5 各モードで使用可能な発振器

モード	発振器	
	高速オンチップオシレータ	低速オンチップオシレータ
High-speed	可能	可能
Middle-speed	可能	可能
Low-speed	可能	可能
Subosc-speed	不可能	可能

(1) 消費電力が大きいモードから小さいモードへ切り替える場合

例 1 : High-speed モードから Middle-speed モードへの切り替え

(最初は High-speed モードで動作しています)

1. 発振器を Middle-speed モードで使用するものに変更する。各クロックの周波数を、Middle-speed モードにおける最高動作周波数以下にする。
2. Middle-speed モードで不要な発振器を OFF にする。
3. FLMWRP.FLMWEN ビットを 1 (FLMODE レジスタの書き換え有効) にする。
4. FLMODE.MODE[1:0] ビットを 10b (Middle-speed モード) にする。
5. FLMWRP.FLMWEN ビットを 0 (FLMODE レジスタの書き換え無効) にする。

(動作は Middle-speed モードになります)

例 2: High-speed モードから Subosc-speed モードへの切り替え

(最初は High-speed モードで動作しています)

1. クロックソースを LOCO に切り替える。
2. HOCO を OFF にする。

(動作は Subosc-speed モードになります)

(2) 消費電力が小さいモードから大きいモードへ切り替える場合

例 1 : Subosc-speed モードから High-speed モードへの切り替え^(注1)

(最初は Subosc-speed モードで動作しています)

1. High-speed モードに必要な発振器を ON にする。

2. 各クロックの周波数を、High-speed モードにおける最高動作周波数以下にする。

(動作は High-speed モードになります)

注. Subosc-speed モードからより高速のモードに遷移する場合は、Subosc-speed モードに遷移する前のモードに戻すことしかできません。

注 1. Subosc-speed モードに遷移する前のモードが High-speed モードだった場合。

例 2 : Middle-speed モードから High-speed モードへの切り替え

(最初は High-speed モードで動作しています)

1. FLMWRP.FLMWEN ビットを 1 (FLMODE レジスタの書き換え有効) にする。
2. FLMODE.MODE[1:0] ビットを 11b (High-speed モード) にする。
3. FLMWRP.FLMWEN ビットを 0 (FLMODE レジスタの書き換え無効) にする。
4. High-speed モードに必要な発振器を ON にする。
5. 各クロックの周波数を、High-speed モードにおける最高動作周波数以下にする。

(動作は High-speed モードになります)

注. 以下の自動待機時間があります。

- Middle-speed から High-speed : 225 クロック
- Low-speed から Middle-speed : 10 クロック
- Middle-speed から Low-speed : 10 クロック
- High-speed から Middle-speed : 30 クロック
- その他から Subosc-speed : $1 + 2 \text{ fMAIN/fSUB}$ クロック
- Subosc-speed からその他 : 3 クロック

9.5.2 動作範囲

図 9.2～図 9.5 に、ICLK の動作電圧と動作周波数を示します。

High-speed モード

フラッシュ読み出し時の ICLK の最高動作周波数は 32 MHz です。フラッシュ読み出し時の動作電圧範囲は 1.6 ～5.5 V です。しかし、動作電圧が 1.6～1.8 V の場合、フラッシュ読み出し時の ICLK の最高動作周波数は 4 MHz です。

フラッシュメモリのプログラム/イレース (P/E) 時の動作周波数範囲は 1～32 MHz、動作電圧範囲は 1.8～5.5 V です。

図 9.2 に、High-speed モードにおける動作電圧と動作周波数を示します。

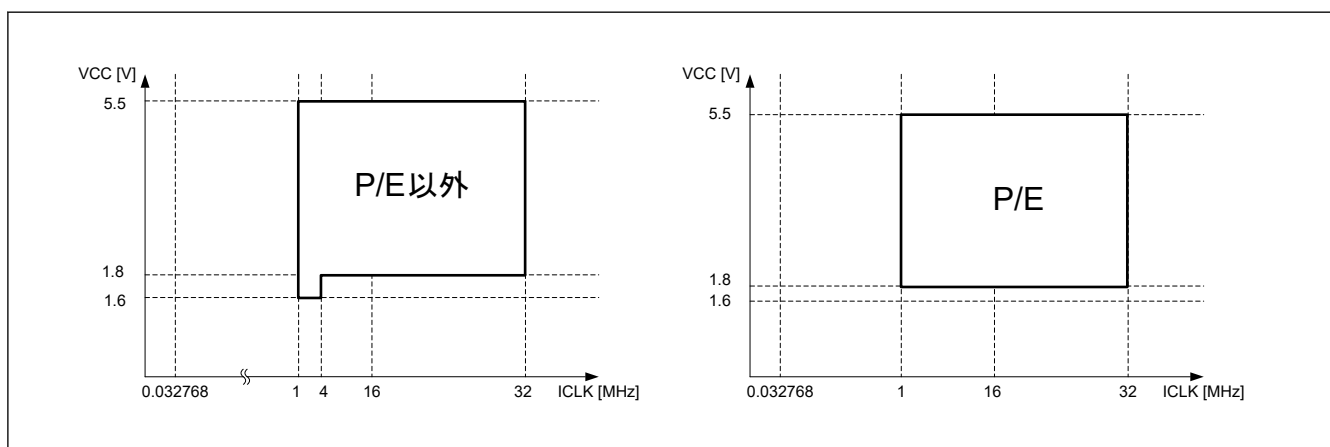


図 9.2 High-speed モードにおける動作電圧と動作周波数

Middle-speed モード

このモードでは、同じ条件下で High-speed モードよりも消費電力を低減できます。

フラッシュ読み出し時の ICLK の最高動作周波数は 16 MHz です。フラッシュ読み出し時の動作電圧範囲は 1.6～5.5 V です。しかし、動作電圧が 1.6～1.8 V の場合、フラッシュ読み出し時の ICLK の最高動作周波数は 4 MHz です。

フラッシュメモリのプログラム/イレース (P/E) 時の動作周波数範囲は 1～16 MHz、動作電圧範囲は 1.8～5.5 V です。

図 9.3 に、Middle-speed モードにおける動作電圧と動作周波数を示します。

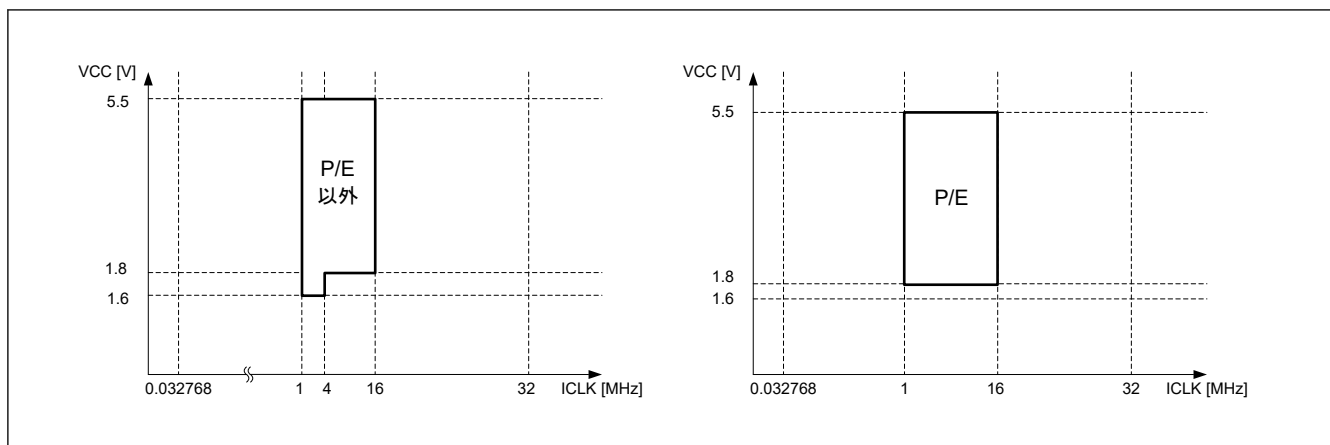


図 9.3 Middle-speed モードにおける動作電圧と動作周波数

Low-speed モード

フラッシュ読み出し時の ICLK の最高動作周波数は 2 MHz です。フラッシュ読み出し時の動作電圧範囲は 1.6～5.5 V です。フラッシュメモリの P/E 操作は禁止されています。

図 9.4 に、Low-speed モードにおける動作電圧と動作周波数を示します。

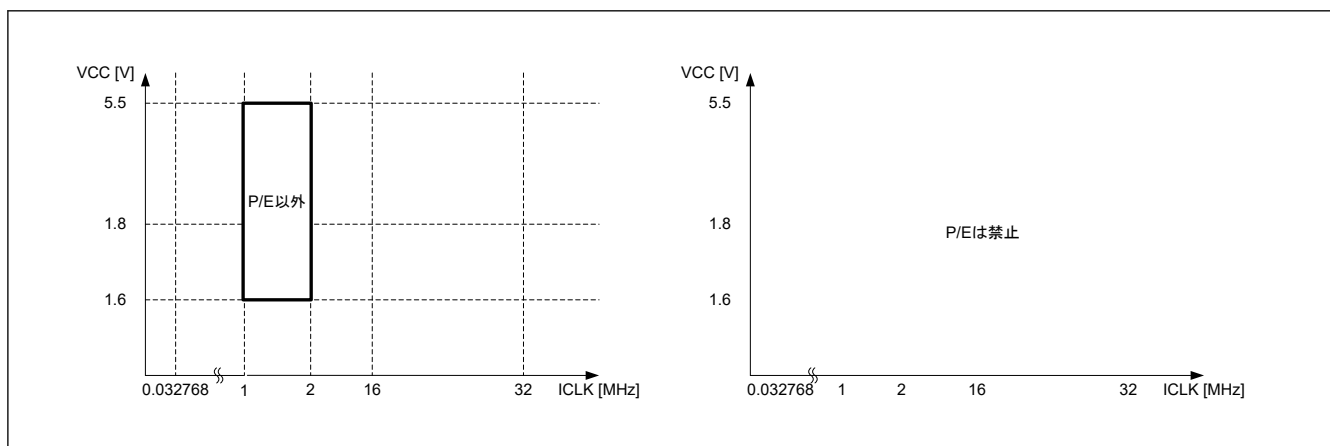


図 9.4 Low-speed モードにおける動作電圧と動作周波数

Subosc-speed モード

フラッシュ読み出し時の ICLK の最高動作周波数は 37.6832 kHz です。フラッシュ読み出し時の動作電圧範囲は 1.6～5.5 V です。フラッシュメモリの P/E 動作は禁止されています。

低速オンチップオシレータ以外の発振器の使用は、禁止されています。

図 9.5 に、Subosc-speed モードにおける動作電圧と動作周波数を示します。

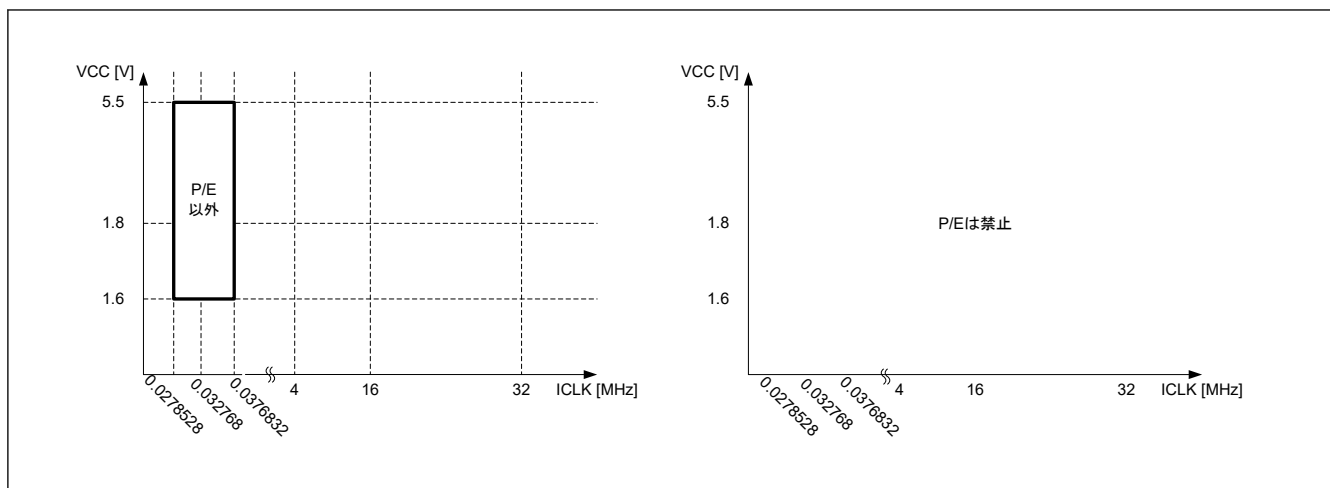


図 9.5 Subosc-speed モードにおける動作電圧と動作周波数

9.6 スリープモード

9.6.1 スリープモードへの遷移

SBYCR.SSBY ビットが 0 の状態で WFI 命令を実行すると、MCU はスリープモードへ遷移します。このモードでは、CPU は動作を停止しますが、CPU の内部レジスタの値は保持されます。CPU 以外の周辺機能は停止しません。スリープモードで利用可能なリセットまたは割り込みが発生すると、スリープモードが解除されます。すべての割り込み要因が利用可能です。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1（スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント停止）の場合、MCU がスリープモードへ遷移すると IWDT はカウントを停止します。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0（スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント継続）の場合、MCU がスリープモードへ遷移しても IWDT はカウントを継続します。

9.6.2 スリープモードの解除

スリープモードは以下の方法で解除されます。

- 割り込み
- RES 端子リセット
- パワーオンリセット
- 電圧監視リセット
- IWDT アンダーフローによるリセット

動作は以下のとおりです。

1. 割り込みによる解除
割り込み要求が発生すると、スリープモードが解除されて、MCU は割り込み処理を開始します。
2. RES 端子リセットによる解除
RES 端子を Low にすると、MCU はリセット状態になります。「27. 電気的特性」に示す規定の期間に従って、RES 端子を Low に保つようにしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
3. IWDT リセットによる解除
 - IWDT アンダーフローによる内部リセットが発生すると、スリープモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件下では、スリープモード時に IWDT が停止して、スリープモードを解除するための内部リセットが発生しません。
 - OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSTPCTL = 1

4. スリープモードで利用可能な他のリセットによる解除

その他の利用可能なリセットによってスリープモードは解除され、MCU はリセット例外処理を開始します。

注. 割り込みの正しい設定方法については、「11. 割り込みコントローラユニット (ICU)」を参照してください。

9.7 ソフトウェアスタンバイモード

9.7.1 ソフトウェアスタンバイモードへの遷移

SBYCR.SSBY ビットが 1 の状態で WFI 命令を実行すると、MCU はソフトウェアスタンバイモードへ遷移します。このモードでは、CPU、ほとんどの内蔵周辺機能、および発振器が停止します。ただし、CPU の内部レジスタの値と SRAM データ、内蔵周辺機能と I/O ポートの状態は保持されます。ソフトウェアスタンバイモードでは、ほとんどの発振器が停止するため、消費電力が大幅に削減されます。表 9.2 に、各内蔵周辺機能と発振器の状態を示します。ソフトウェアスタンバイモードで利用可能なリセットまたは割り込みが発生すると、ソフトウェアスタンバイモードが解除されます。利用可能な割り込み要因については表 9.3 を、ソフトウェアスタンバイモードから復帰させる方法については、「11.2.14. SBYEDCR0: ソフトウェアスタンバイ/スヌーズ終了コントロールレジスタ 0」と「11.2.15. SBYEDCR1: ソフトウェアスタンバイ/スヌーズ終了コントロールレジスタ 1」を参照してください。詳細は、「11. 割り込みコントローラユニット (ICU)」を参照してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1 (スリープモード、ソフトウェアスタンバイモード、およびスヌーズモード時に IWDT カウント停止) の場合、MCU がソフトウェアスタンバイモードへ遷移すると IWDT はカウントを停止します。IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0 (スリープモード、ソフトウェアスタンバイモード、およびスヌーズモード時に IWDT カウント継続) の場合、MCU がソフトウェアスタンバイモードへ遷移しても IWDT はカウントを継続します。

フラッシュメモリのプログラム/イレース処理中は、ソフトウェアスタンバイモードへ遷移しないでください。ソフトウェアスタンバイモードへ遷移する場合は、プログラム/イレース処理が完了してから WFI 命令を実行してください。

9.7.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは以下の方法で解除されます。

- 表 9.3 に示す利用可能な割り込み
- RES 端子リセット
- パワーオンリセット
- 電圧監視リセット
- IWDT アンダーフローによるリセット

ソフトウェアスタンバイモードが終了すると、ソフトウェアスタンバイモードへの遷移前に動作していた発振器が動作を再開します。ICLK のソースクロックとして設定された発振器が安定したら、MCU はソフトウェアスタンバイモードから通常モードに復帰します。ICLK のソースとして設定されていない発振器は、それらを使用する前に発振の安定を待つ必要があります。MCU をソフトウェアスタンバイモードから復帰させる方法については、「11.2.14. SBYEDCR0: ソフトウェアスタンバイ/スヌーズ終了コントロールレジスタ 0」と「11.2.15. SBYEDCR1: ソフトウェアスタンバイ/スヌーズ終了コントロールレジスタ 1」を参照してください。

以下の方法のいずれかによって、ソフトウェアスタンバイモードを解除できます。

1. 割り込みによる解除

利用可能な割り込み要求 (表 9.3 を参照) が発生すると、ソフトウェアスタンバイモードへ遷移する前に動作していた発振器が動作を再開します。すべての発振器が安定してから、MCU はソフトウェアスタンバイモードから通常モードへ復帰し、割り込み処理を開始します。

2. RES 端子リセットによる解除

RES 端子を Low にすると、MCU はリセット状態に遷移し、デフォルトで動作状態にあった発振器が発振を開始します。「27. 電気的特性」に示す規定の期間に従って、RES 端子を Low に保つようにしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。

3. パワーオンリセットによる解除

パワーオンリセットによってソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。

4. 電圧監視リセットによる解除

電圧検出回路による電圧監視リセットによってソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。

5. IWDТ リセットによる解除

IWDТ アンダーフローによる内部リセットが発生すると、ソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。ただし、下記の条件下では、ソフトウェアスタンバイモード時に IWDТ が停止して、ソフトウェアスタンバイモードを解除するための内部リセットが発生しません。

- OFS0.IWDТSTRT = 0 かつ OFS0.IWDТSTPCTL = 1

9.7.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がりエッジ検出時のソフトウェアスタンバイモードへの遷移と、IRQn 端子の立ち上がりエッジによるソフトウェアスタンバイモードの解除の例を図 9.6 に示します。

この例では、通常モードにおいて、ICU の IRQCRi.IRQMD[1:0] ビットが 00b (立ち下がりエッジ) の状態で IRQn 端子の割り込みを受け付けた後、IRQCRi.IRQMD[1:0] ビットを 01b (立ち上がりエッジ) にしています。続いて、SBYCR.SSBY ビットを 1 にした後、WFI 命令を実行しています。その結果、ソフトウェアスタンバイモードへの遷移が完了し、その後、IRQn 端子の立ち上がりエッジによってソフトウェアスタンバイモードが解除されます。

ソフトウェアスタンバイモードからの復帰には、ICU の設定も必要になります。詳細は、「11. 割り込みコントロールユニット (ICU)」を参照してください。図 9.6 の発振器安定時間については、「27. 電気的特性」に示されています。

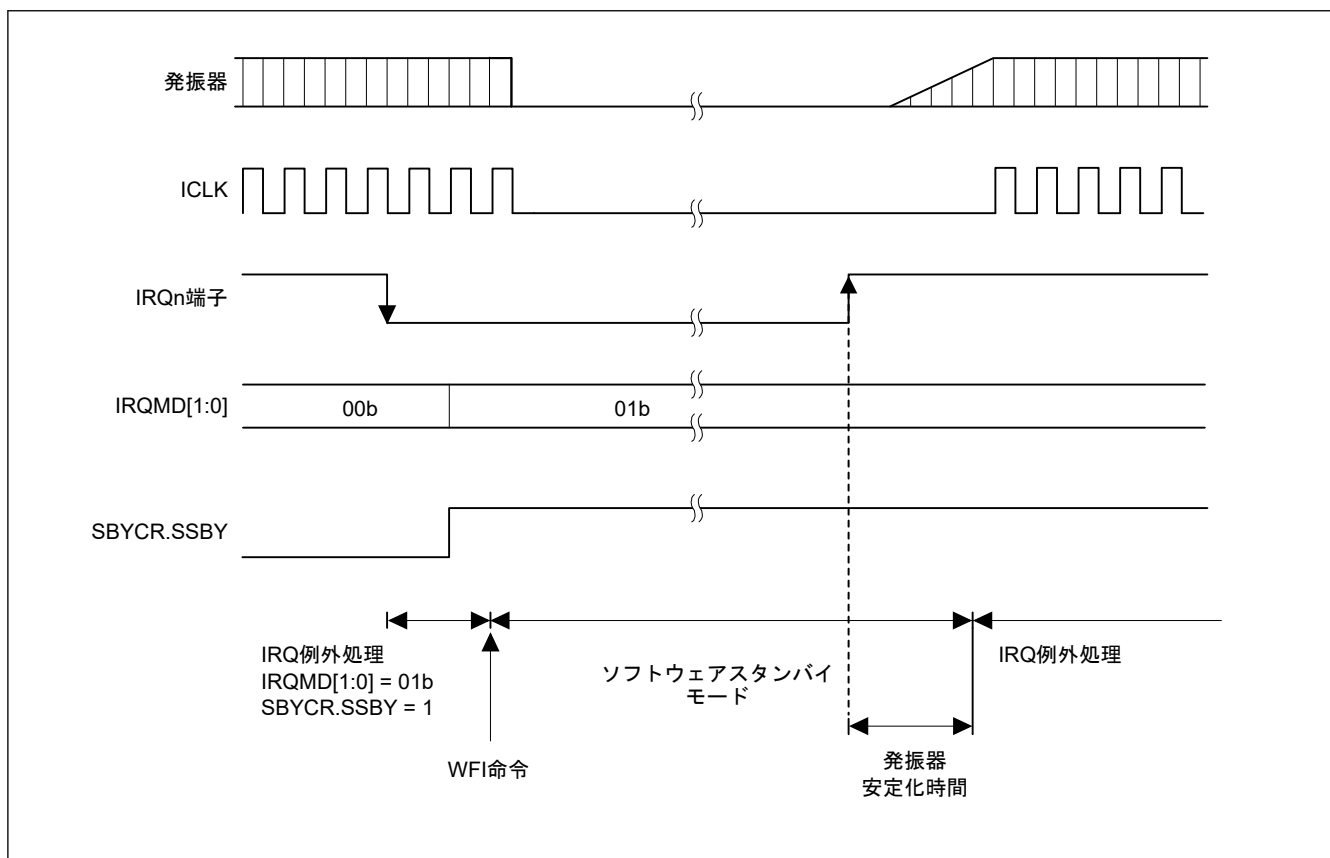


図 9.6 ソフトウェアスタンバイモードの応用例

9.8 スヌーズモード

9.8.1 スヌーズモードへの遷移

図 9.7 に、スヌーズモードエントリの構成を示します。ソフトウェアスタンバイモード時に、スヌーズ制御回路がスヌーズ要求を受信すると、MCU はスヌーズモードへ遷移します。このモードでは、CPU が復帰していなくても一部の周辺モジュールは動作します。表 9.2 に、スヌーズモードで動作可能な周辺モジュールを示します。

これは、CPU および周辺ハードウェアクロック (ICLK) に高速オンチップオシレータが選択されている場合にのみ指定できます。

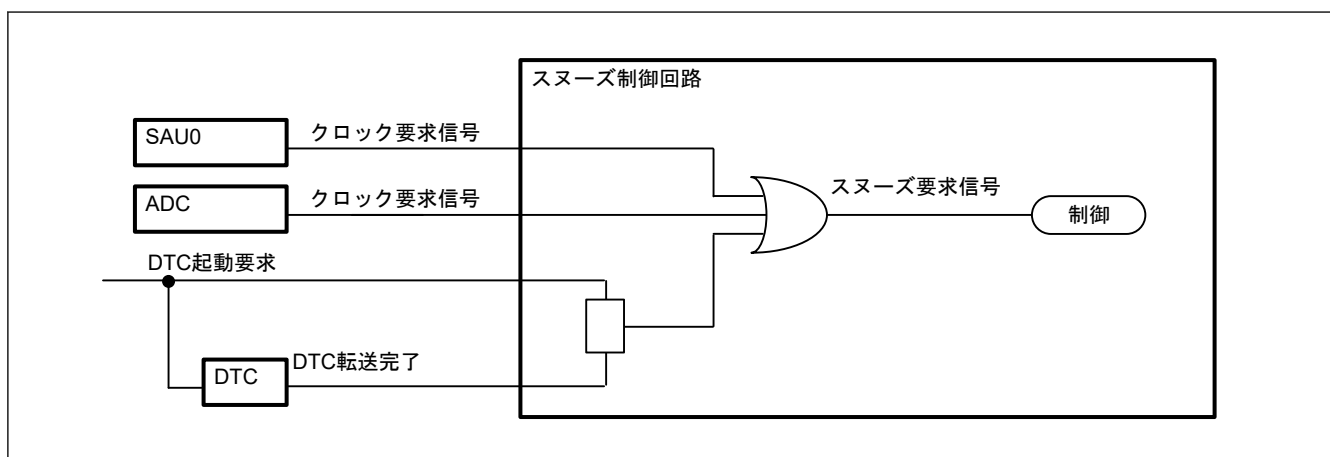


図 9.7 スヌーズモードへの遷移時構成

表 9.6 に、MCU をソフトウェアスタンバイモードからスヌーズモードへ切り替えるためのスヌーズ要求を示します。表に示したスヌーズ要求をスヌーズモードに切り替えるトリガとして使用します。

注. 同時に複数のスヌーズ要求を有効にしないでください。

表 9.6 スヌーズモードへの切り替えに利用可能なスヌーズ要求

スヌーズ要求出力ソース	コントロールレジスタ	
	レジスタ	ビット
SAU0	SSC0	SWC
ADC10	ADM2	AWC
ICU (DTC 用)	DTCENSTn	STm

スヌーズモード時に DTC を使用する場合を除き、DTCST.DTCST ビットを 0 にしてから WFI 命令を実行してください。スヌーズモード時に DTC が必要な場合は、DTCST.DTCST ビットを 1 にしてから WFI 命令を実行してください。

9.8.2 スヌーズモードの解除

スヌーズモードは、ソフトウェアスタンバイモードで利用可能な割り込み要求、またはリセットで解除されます。各モードを解除するために使用可能な要求を、表 9.3 に示します。スヌーズモードの解除後、MCU は通常モードへ遷移して、該当の割り込みまたはリセットの例外処理を開始します。

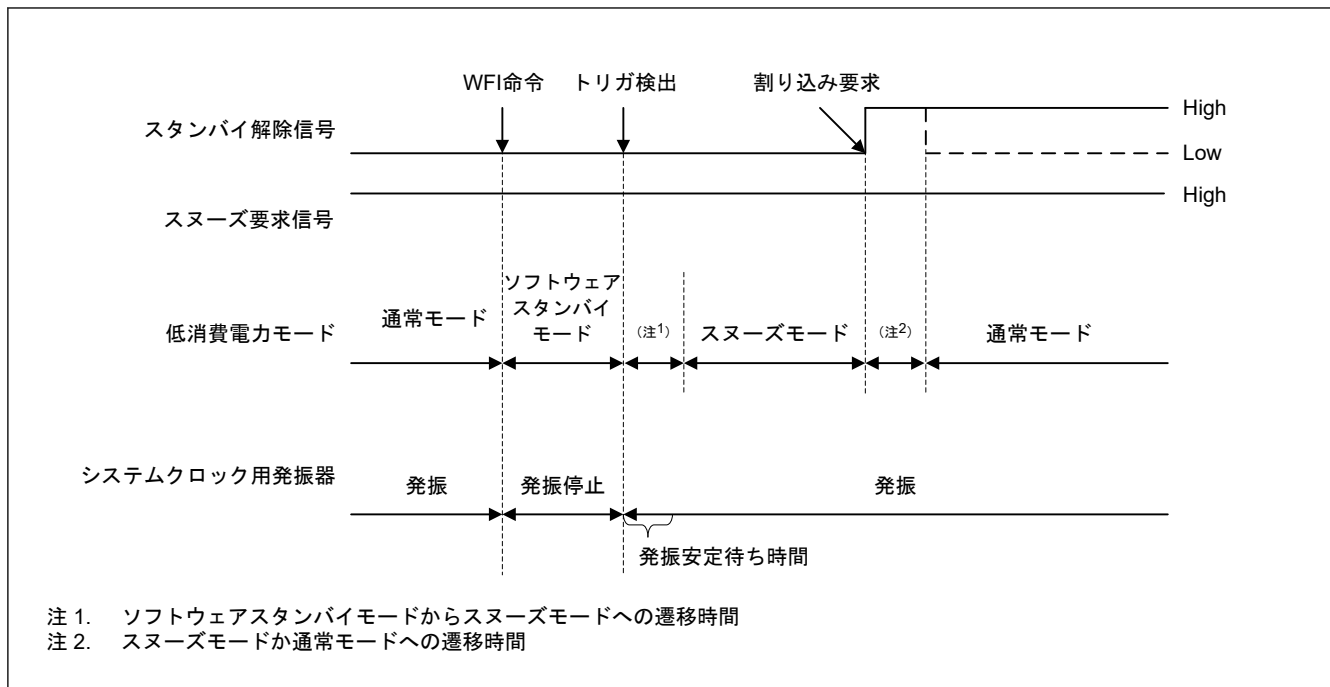


図 9.8 割り込み要求信号が発生する場合のスリープモードの解除

9.8.3 スリープモードからソフトウェアスタンバイモードへの復帰

図 9.9 にスリープモードからソフトウェアスタンバイモードへの遷移に対するタイミング図を示します。このモード遷移は、スリープ要求がクリアされたときに発生します。

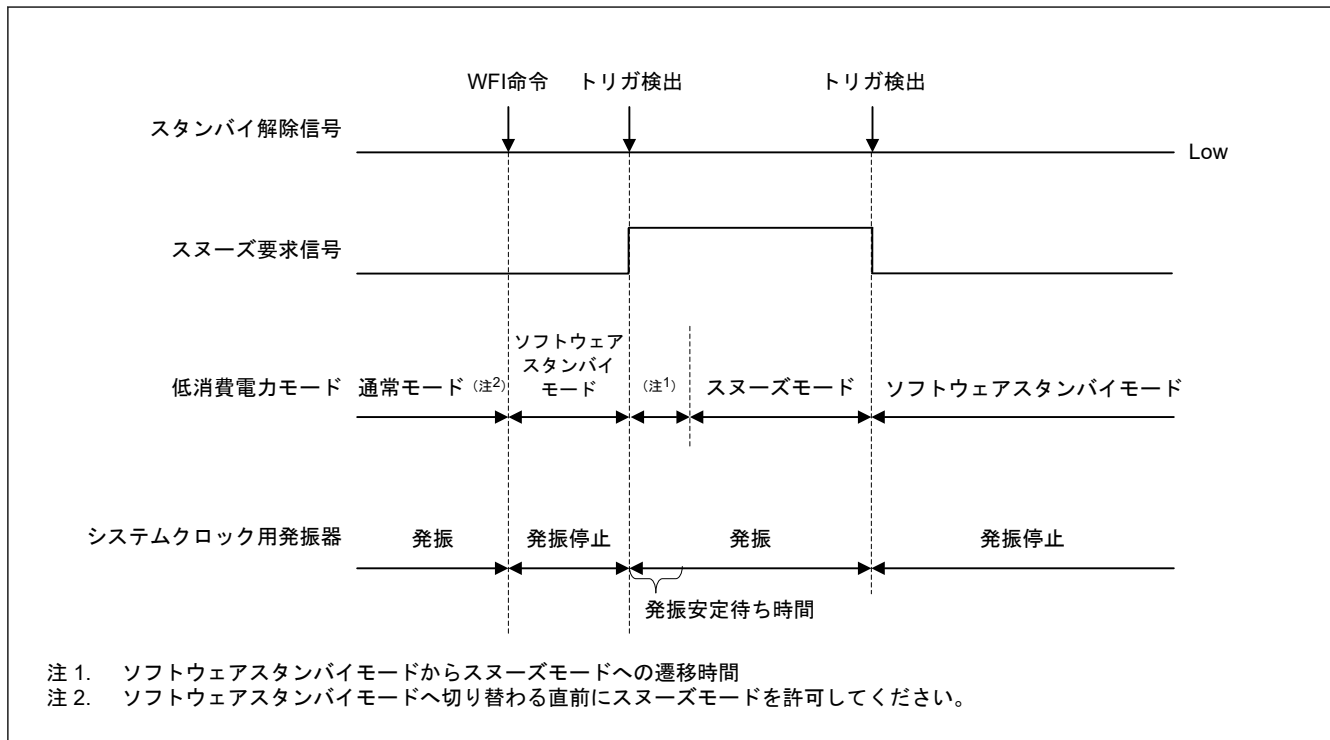


図 9.9 割り込み要求信号が発生しない場合のスリープモードの解除

9.8.4 スリープモードの動作例

図 9.10 に、スリープモードで DTC を使用する場合の設定例を示します。

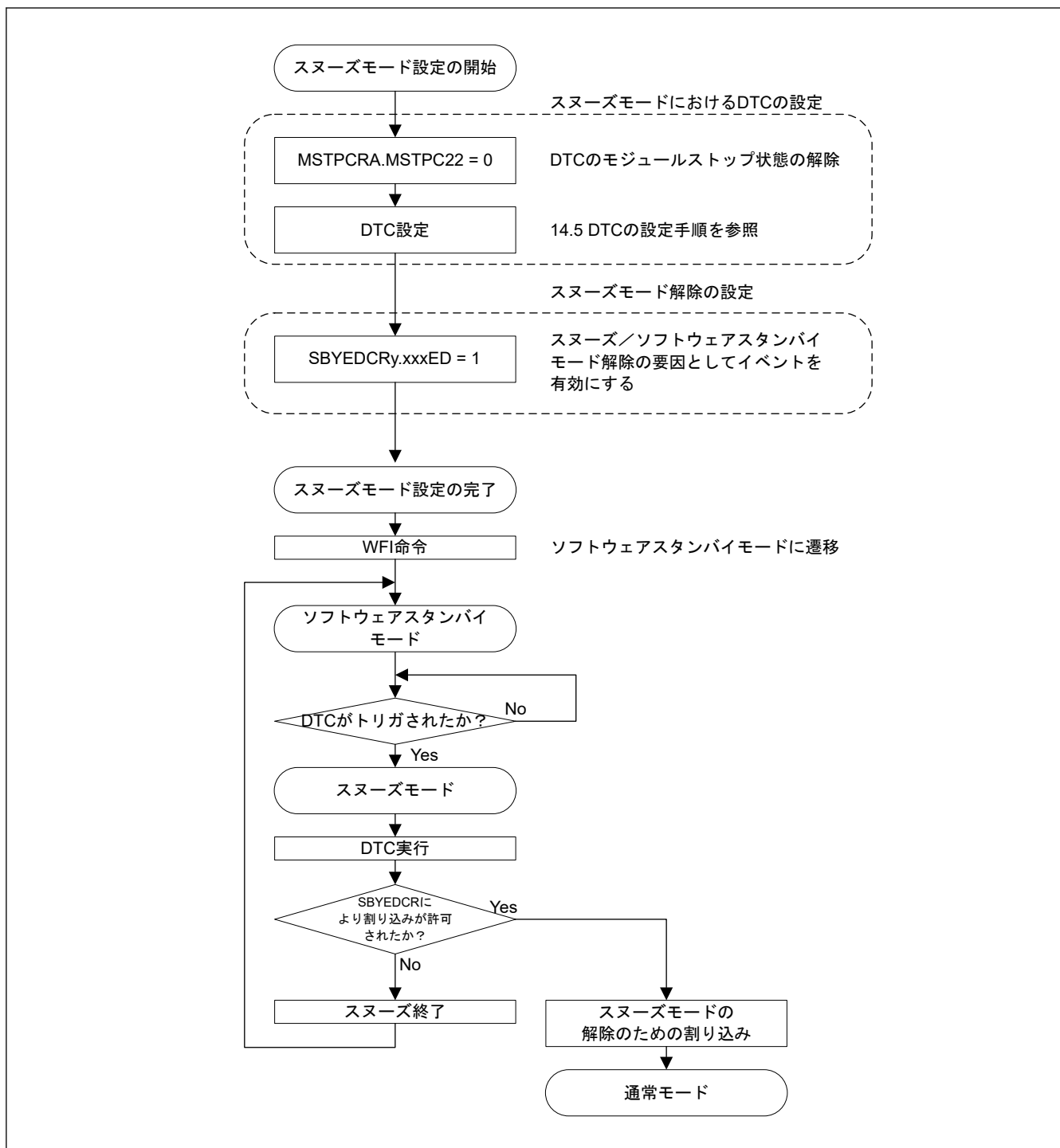


図 9.10 スヌーズモードで DTC を使用するための設定例

9.9 使用上の注意

9.9.1 レジスタアクセス

(1) 下記の条件のいずれかに当てはまる場合、下記のレジスタに書き込まないでください。

[レジスタ]

- SYSTEM という周辺名をもつ全レジスタと FLMODE レジスタ

[条件]

- WFI 命令の実行から通常モードへ復帰するまでの期間中
- フラッシュ P/E モード

(2) クロック関連レジスタに対する有効な設定値

表 9.7 に、各動作電力制御モードにおけるクロック関連レジスタの有効な設定値を示します。これら有効な設定値以外を書き込まないようにしてください。書き込んでも無視されます。また、各レジスタには、動作電力制御モードに関連する条件以外の特定の条件下で禁止される設定値もあります。これらの各レジスタに対する他の条件については、「[8. クロック発生回路](#)」を参照してください。

表 9.7 クロック関連レジスタに対する有効な設定値

モード	設定有効値		
	ICKLSCR. CKSEL	HOCOCCR. HCSTP	LOCOCCR. LCSTP
Subosc-speed	1 (LOCO)	1 (停止)	0 (動作) 1 (停止)

(3) 下記の条件に当てはまる場合、下記のレジスタに書き込まないでください。

[レジスタ]

- FLMODE

[条件]

- ICLKSCR.CKSEL = 1 (ICLK = LOCO).

(4) DTC によって、下記のレジスタに書き込まないでください。

[レジスタ]

- MSTPCRA, MSTPCRB, MSTPCRC, MSTPCRD, FLMODE

(5) PRCR.PRC1 ビットが 0 の場合、下記のレジスタに対する書き込みは無効です。

[レジスタ]

- SBYCR, SYOCDRC.

9.9.2 I/O ポートの端子状態

ソフトウェアスタンバイモードおよびスヌーズモード（スヌーズモード時に書き換える場合は除く）における I/O ポートの端子状態は、各モードへ遷移する前と同じです。

9.9.3 DTC のモジュールストップ状態

MSTPCRA.MSTPA22 ビットを 1 にする前に、DTC の DTCST.DTCST ビットを 0 にしてください。詳細は、「[14. データトランスファコントローラ \(DTC\)](#)」を参照してください。

9.9.4 内部割り込み要因

モジュールストップ状態では、割り込みの動作ができません。割り込み要求が発生しているときに、モジュールストップビットを設定すると、CPU の割り込み要因や DTC の起動要因をクリアできません。そのため、事前に対応する割り込みを禁止してから、モジュールストップビットを設定してください。

9.9.5 低消費電力モードへの遷移

本 MCU はイベントによるウェイクアップをサポートしていないため、WFE 命令の実行によって低消費電力モード（スリープモード、ソフトウェアスタンバイモードなど）へ遷移させないでください。また、本 MCU は SLEEPDEEP による低消費電力モードをサポートしていないため、Cortex-M23 コアが内蔵するシステムコントロールレジスタの SLEEPDEEP ビットを設定しないでください。

9.9.6 WFI 命令のタイミング

WFI 命令は、I/O レジスタの書き込みが完了する前に実行されることがあり、その場合、意図しない動作を起こす恐れがあります。これは、I/O レジスタへの書き込み直後に WFI 命令が実行された場合に生じます。この問題を避けるには、書き込まれたレジスタを読み戻して、書き込みの完了を確認してください。

9.9.7 スリープモード／スヌーズモード時の DTC による IWDTC のレジスタの書き込みについて

IWDTC はスリープモードやスヌーズモードに遷移すると停止します。停止中は DTC で IWDTC に関連するレジスタを書き換えしないでください。

9.9.8 スヌーズモードにおける発振器について

ソフトウェアスタンバイモードへ遷移して停止した ICLK のソースである発振器は、スヌーズモードへの切り替えトリガが発生すると、自動的に動作を再開します。その他の発振器は、ソフトウェアスタンバイモードの状態を保持します。

9.9.9 スヌーズモードにおける SAU0 の使用

SAU0 通信中は、ソフトウェアスタンバイモードへの遷移が生じないこと

9.9.10 スヌーズモードにおける UART0 の使用

スヌーズモードで UART0 を使用する場合、スヌーズ要求 (RXD0 端子の立ち下がりエッジ) が SBYEDCRn レジスタにて設定されたウェイクアップ要求と競合しないようにしてください。競合した場合の UART は保証されません。

スヌーズモードで UART を使用する場合は、下記の条件が満たされなければいけません。

- クロックソースは HOCO であること
- RXD0 端子は、ソフトウェアスタンバイモード遷移前に High を維持していること

9.9.11 Sleep-on-exit 機能

低消費電力モードに遷移する方法は2つあります。1つは WFI 命令であり、もう1つは Sleep-on-exit です。Sleep-on-exit を低消費電力モードへの遷移に使用する場合、ユーザーズマニュアルハードウェア編に記載の WFI 命令に対するコメントを、Sleep-on-exit にも適用できます。

10. レジスタライトプロテクション

10.1 概要

レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。

表 10.1 に PRCR レジスタのビットと保護されるレジスタの対応関係を示します。

表 10.1 PRCR レジスタのビットと保護されるレジスタの対応関係

PRCR レジスタ	保護されるレジスタ
PRC0	クロック発生回路に関連するレジスタ : FSUBSCR, ICLKSCR, LOCOCR, HOCOCDIV, OSMC, LIOTRM
PRC1	低消費電力モードに関連するレジスタ SBYCR, SYOCDRCR
PRC3	LVD 関連レジスタ : LVD1CR, LVD1MKR, LVD1SR

10.2 レジスタの説明

10.2.1 PRCR : プロテクトレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x08FE

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field: PRKEY[7:0] — — — — PRC3 — PRC1 PRC0

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	PRC0	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
1	PRC1	低消費電力モード関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	PRC3	LVD 関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	PRKEY[7:0]	PRC キーコード PRCR レジスタへの書き込みを制御します。PRCR レジスタを書き換える場合、上位 8 ビットに 0xA5、下位 8 ビットに任意の値を、16 ビット単位で書いてください。	W

PRCn ビット (プロテクトビット n) (n = 0, 1, 3)

PRCn ビットによって、表 10.1 に記載されている保護対象レジスタへの書き込みを許可または禁止します。PRCn ビットを 1 にすると書き込み許可になり、0 にすると書き込み禁止になります。

11. 割り込みコントローラユニット (ICU)

11.1 概要

割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ (NVIC) およびデータトランスファコントローラ (DTC) モジュールにリンクされるイベント信号を制御します。ICU はノンマスクابل割り込みも制御します。

表 11.1 に ICU の仕様、図 11.1 に ICU のブロック図、表 11.2 に ICU の入出力端子を示します。

表 11.1 ICU の仕様

項目	内容
マスクابل割り込み	- 周辺機能割り込み ● 周辺モジュールからの割り込み 要因数：23 - 外部端子割り込み ● 割り込み検出：立ち下がりエッジ、立ち上がりエッジ、両エッジ。要因ごとに設定可能。 ● 6 要因 (IRQi (i = 0~5) 端子からの割り込み) - CPU (NVIC) への割り込み要求 ● 29 本の割り込み要求を NVIC に対して出力 - DTC 制御 ● 割り込み要因によって DTC の起動が可能^(注1) ● 割り込み要因の選択方式は NVIC への割り込み要求と同一
ノンマスクابل割り込み ^(注2)	- NMI 端子割り込み ● NMI 端子からの割り込み ● 割り込み検出：立ち下がりエッジまたは立ち上がりエッジ - IWDT アンダーフロー／リフレッシュエラー^(注3) ● ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み - 低電圧検出¹^(注3) ● 電圧監視 1 回路の電圧監視 1 割り込み (LVD_LVD1)
低消費電力モード	● スリープモード：ノンマスクابل割り込みまたはその他の割り込み要因によって復帰 ● ソフトウェアスタンバイモード：ノンマスクابل割り込みまたはその他の割り込み要因によって復帰。SBYEDCRn レジスタで割り込みの選択が可能 ● スヌーズモード：ノンマスクابل割り込みまたはその他の割り込み要因によって復帰。SBYEDCRn レジスタで割り込みの選択が可能 「11.2.14. SBYEDCR0: ソフトウェアスタンバイ／スヌーズ終了コントロールレジスタ 0」と「11.2.15. SBYEDCR1: ソフトウェアスタンバイ／スヌーズ終了コントロールレジスタ 1」を参照

注 1. DTC 起動要因については、表 11.5 を参照してください。

注 2. リセット解除後に 1 回だけノンマスクابل割り込みを許可することができます。

注 3. これらのノンマスクابل割り込みは、マスクابل割り込みとしても使用可能です。マスクابل割り込みとして使用する場合、NMIER レジスタの値をリセット状態から変更しないでください。電圧監視 1 割り込みを許可するには、LVD1CR.IRQSEL ビットを 1 にしてください。

図 11.1 に ICU のブロック図を示します。

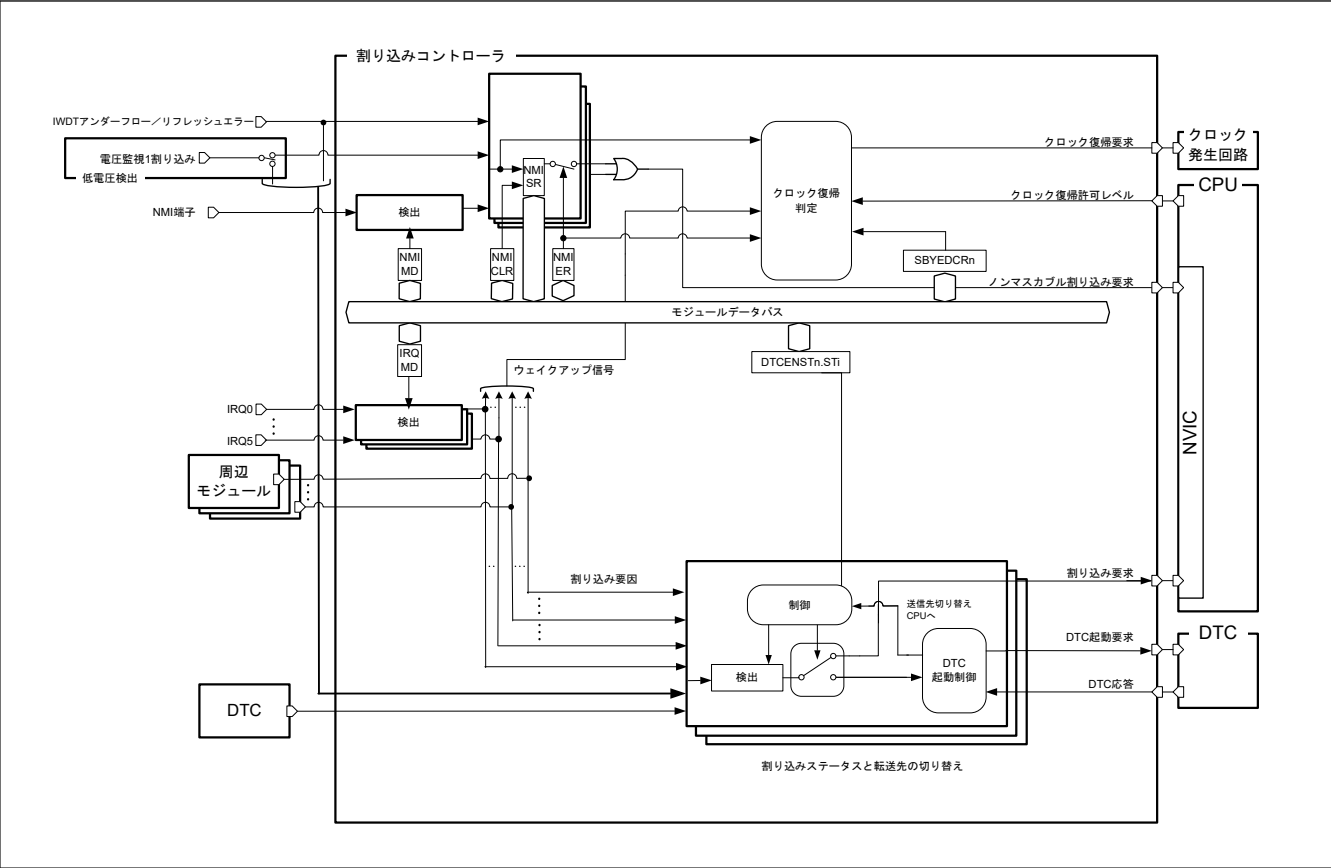


図 11.1 ICU のブロック図

表 11.2 に ICU の入出力端子を示します。

表 11.2 ICU の入出力端子

端子名	入出力	内容
NMI	入力	ノンマスクابل割り込み要求端子
IRQi (i = 0~5)	入力	外部割り込み要求端子

11.2 レジスタの説明

本章では、Arm® NVIC の内部レジスタについては説明していません。これらのレジスタについては、ARM® Cortex®-M23 Processor Technical Reference Manual (ARM DDI 0550C) を参照してください。

11.2.1 IRQCRi : IRQ コントロールレジスタ i (i = 0~5)

Base address: ICU = 0x4000_6000

Offset address: 0x0000 + i

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	IRQMD[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	IRQMD[1:0]	IRQi 検出センス選択 0 0: 立ち下がリエッジ 0 1: 立ち上がりエッジ 1 0: 両エッジ 1 1: 設定禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

IRQCRi レジスタの変更には、以下の条件があります。

- ウェイクアップ許可信号の場合：
IRQCRi レジスタの設定を変更してから、対象の SBYEDCR0.IRQnED (n = 0~5) ビットを設定する必要があります。対象の SBYEDCR0.IRQnED ビットが 0 の場合に、レジスタ値の変更が可能です。

IRQMD[1:0]ビット (IRQi 検出センス選択)

IRQMD[1:0]ビットは IRQi 外部端子割り込み要因の検出センシング方法を設定します。外部端子割り込み使用時の設定方法については、「[11.5.5. 外部端子割り込みの設定手順](#)」を参照してください。

11.2.2 NMISR : ノンマスカブル割り込みステータスレジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x0140

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	NMIST	—	—	—	—	LVD1ST	—	IWDST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDST	IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
1	—	読むと 0 が読めます。	R
2	LVD1ST	電圧監視 1 割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
6:3	—	読むと 0 が読めます。	R
7	NMIST	NMI 端子割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
15:8	—	読むと 0 が読めます。	R

NMISR レジスタは、ノンマスカブル割り込み要因のステータスを監視します。NMISR レジスタへの書き込みは無視されます。ノンマスカブル割り込みイネーブルレジスタ (NMIER) の設定は、本レジスタには影響しません。ノンマスカブル割り込みの処理ルーチンでは、本レジスタの全ビットが 0 になっていることをチェックして、他の NMI 要求が発生していないことを確認してから、処理を終了してください。

IWDST フラグ (IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ)

IWDST フラグは IWDT アンダーフロー／リフレッシュエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.IWDTCCLR ビットでクリアされます。

[1 になる条件]

IWDT アンダーフロー／リフレッシュエラー割り込みが発生したとき

[0 になる条件]

NMICLR.IWDTCCLR ビットに 1 を書いたとき

LVD1ST フラグ（電圧監視 1 割り込みステータスフラグ）

LVD1ST フラグは電圧監視 1 割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.LVDCLR ビットでクリアされます。

[1 になる条件]

電圧監視 1 割り込みが発生し、この割り込み要因が許可されたとき

[0 になる条件]

NMICLR.LVD1CLR ビットに 1 を書いたとき

NMIST フラグ（NMI 端子割り込みステータスフラグ）

NMIST フラグは NMI 端子割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.NMISCLR ビットでクリアされます。

[1 になる条件]

NMICR.NMIMD ビットで指定したエッジが NMI 端子に入力されたとき

[0 になる条件]

NMICLR.NMISCLR ビットに 1 を書いたとき

11.2.3 NMICR：ノンマスクابل割り込みイネーブルレジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x0120

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	NMIE N	—	—	—	—	LVD1E N	—	IWDT EN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDTEN	IWDT アンダーフロー／リフレッシュエラー割り込み許可 0: 禁止 1: 許可	R/W(注1) (注2)
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	LVD1EN	電圧監視 1 割り込み許可 0: 禁止 1: 許可	R/W(注1) (注2)
6:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	NMIEN	NMI 端子割り込み許可 0: 禁止 1: 許可	R/W(注1)
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. リセット後、本ビットに 1 回だけ 1 を書き込むことが可能です。以後のライトアクセスは無効です。0 の書き込みは無効です。

注 2. イベント信号として使用する場合、1 にしないでください。

IWDTEN ビット（IWDT アンダーフロー／リフレッシュエラー割り込み許可）

IWDTEN ビットは、NMI の起動要因となる IWDT アンダーフロー／リフレッシュエラー割り込みを許可します。

LVD1EN ビット（電圧監視 1 割り込み許可）

LVD1EN ビットは、NMI の起動要因となる電圧監視 1 割り込みを許可します。

NMIEN ビット（NMI 端子割り込み許可）

NMIEN ビットは、NMI の起動要因となる NMI 端子割り込みを許可します。

11.2.4 NMICLR : ノンマスカブル割り込みステータスクリアレジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x0130

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	NMICLR	—	—	—	—	LVD1CLR	—	IWDTCLR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDTCLR	IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.IWDTST フラグをクリア	R/W ^(注1)
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	LVD1CLR	電圧監視 1 割り込みステータスフラグクリア 0: 影響なし 1: NMISR.LVD1ST フラグをクリア	R/W ^(注1)
6:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	NMICLR	NMI 端子割り込みステータスフラグクリア 0: 影響なし 1: NMISR.NMIST フラグをクリア	R/W ^(注1)
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このビットには 1 のみ書けます。

IWDTCLR ビット (IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグクリア)

IWDTCLR ビットに 1 を書き込むことにより、NMISR.IWDTST フラグをクリアします。読むと 0 が読めます。

LVD1CLR ビット (電圧監視 1 割り込みステータスフラグクリア)

LVD1CLR ビットに 1 を書き込むことにより、NMISR.LVD1ST フラグをクリアします。読むと 0 が読めます。

NMICLR ビット (NMI 端子割り込みステータスフラグクリア)

NMICLR ビットに 1 を書き込むことにより、NMISR.NMIST フラグをクリアします。読むと 0 が読めます。

11.2.5 NMICR : NMI 端子割り込みコントロールレジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x0100

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	NMIMD
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	NMIMD	NMI 検出設定 0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

NMICR レジスタの設定を変更してから、NMI 端子割り込みを許可 (NMICR.NMIEN ビットを 1) にしてください。

NMIMD ビット (NMI 検出設定)

NMIMD ビットは NMI 端子割り込みの検出イベントを選択します。

11.2.6 DTCENST0 : DTC 許可ステータスレジスタ 0

Base address: ICU = 0x4000_6000

Offset address: 0x0300

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ST31	ST30	ST29	ST28	ST27	—	—	—	ST23	ST22	—	—	ST19	ST18	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	ST7	ST6	ST5	ST4	ST3	ST2	ST1	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。	R
7:1	ST1～ST7	イベント番号 i による DTC 許可状態 各ビットシンボルの添え字は DTC ベクタ番号 i に対応します。 0: イベント番号 i による DTC 禁止 1: イベント番号 i による DTC 許可	R
17:8	—	読むと 0 が読めます。	R
19:18	ST18～ST19	イベント番号 i による DTC 許可状態 各ビットシンボルの添え字は DTC ベクタ番号 i に対応します。 0: イベント番号 i による DTC 禁止 1: イベント番号 i による DTC 許可	R
21:20	—	読むと 0 が読めます。	R
23:22	ST22～ST23	イベント番号 i による DTC 許可状態 各ビットシンボルの添え字は DTC ベクタ番号 i に対応します。 0: イベント番号 i による DTC 禁止 1: イベント番号 i による DTC 許可	R
26:24	—	読むと 0 が読めます。	R
31:27	ST27～ST31	イベント番号 i による DTC 許可状態 各ビットシンボルの添え字は DTC ベクタ番号 i に対応します。 0: イベント番号 i による DTC 禁止 1: イベント番号 i による DTC 許可	R

STi ビット (イベント番号 i による DTC 許可状態) (i = 1～7, 18～19, 22～23, 27～31)

STi ビットは、対応するイベントが DTC 起動要因として禁止されているか許可されているかを示します。このレジスタは、読み出し専用で、DTCENSETn.SETi ビットによって設定され、DTCENCLRn.CLRi ビットによりクリアされます。

DTC 転送終了 (DTCENSTn.STi = 0) を確認した後、MSTPCRA.MSTPA22 または DTCST.DTCST レジスタを設定して DTC モジュールを停止してください。

[1 になる条件]

- DTCENSETn.SETi ビットに 1 を書いたとき

[0 になる条件]

- DTCENCLRn.CLRi ビットに 1 を書いたとき
- 設定の転送数が終了したとき。チェーン転送の場合は、指定された最後のチェーン転送の転送数が終了したとき

11.2.7 DTCENST1 : DTC 許可ステータスレジスタ 1

Base address: ICU = 0x4000_6000

Offset address: 0x0304

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	ST38	ST37	ST36	ST35	ST34	ST33	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。	R
6:1	ST33~ST38	イベント番号 i による DTC 許可状態 各ビットシンボルの添え字は DTC ベクタ番号 i に対応します。 0: イベント番号 i による DTC 禁止 1: イベント番号 i による DTC 許可	R
31:7	—	読むと 0 が読めます。	R

STi ビット (イベント番号 i による DTC 許可状態) (i = 33~38)

STi ビットは、対応するイベントが DTC 起動要因として禁止されているか許可されているかを示します。このレジスタは、読み出し専用で、DTCENSETn.SETi ビットによって設定され、DTCENCLRn.CLRi ビットによりクリアされます。

DTC 転送終了 (DTCENSTn.STi = 0) を確認した後、MSTPCRA.MSTPA22 または DTCST.DTCST レジスタを設定して DTC モジュールを停止してください。

[1 になる条件]

- DTCENSETn.SETi ビットに 1 を書いたとき

[0 になる条件]

- DTCENCLRn.CLRi ビットに 1 を書いたとき
- 設定の転送数が終了したとき。チェーン転送の場合は、指定された最後のチェーン転送の転送数が終了したとき

11.2.8 DTCENSET0 : DTC 許可設定レジスタ 0

Base address: ICU = 0x4000_6000

Offset address: 0x0310

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SET31	SET30	SET29	SET28	SET27	—	—	—	SET23	SET22	—	—	SET19	SET18	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	SET7	SET6	SET5	SET4	SET3	SET2	SET1	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
7:1	SET1~SET7	イベント番号 i による DTC 許可設定 各ビットシンボルの添え字は DTC ベクタ番号 i に対応します。 0: 影響なし 1: イベント番号 i による DTC 許可	R/W
17:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
19:18	SET18~SET19	イベント番号 i による DTC 許可設定 各ビットシンボルの添え字は DTC ベクタ番号 i に対応します。 0: 影響なし 1: イベント番号 i による DTC 許可	R/W
21:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:22	SET22~SET23	イベント番号 i による DTC 許可設定 各ビットシンボルの添え字は DTC ベクタ番号 i に対応します。 0: 影響なし 1: イベント番号 i による DTC 許可	R/W
26:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:27	SET27~SET31	イベント番号 i による DTC 許可設定 各ビットシンボルの添え字は DTC ベクタ番号 i に対応します。 0: 影響なし 1: イベント番号 i による DTC 許可	R/W

SETi ビット (イベント番号 i による DTC 許可設定) (i = 1~7, 18~19, 22~23, 27~31)

SETi ビットに 1 を書き込むことにより、対応するイベントが DTC 起動要因として選択されます。0 の書き込みは影響しません。読むと 0 が読めます。

11.2.9 DTCENSET1 : DTC 許可設定レジスタ 1

Base address: ICU = 0x4000_6000

Offset address: 0x0314

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	SET38	SET37	SET36	SET35	SET34	SET33	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:1	SET33~SET38	イベント番号 i による DTC 許可設定 各ビットシンボルの添え字は DTC ベクタ番号 i に対応します。 0: 影響なし 1: イベント番号 i による DTC 許可	R/W
31:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SETi ビット (イベント番号 i による DTC 許可設定) (i = 33~38)

SETi ビットに 1 を書き込むことにより、対応するイベントが DTC 起動要因として選択されます。0 の書き込みは影響しません。読むと 0 が読めます。

11.2.10 DTCENCLR0 : DTC 許可クリアレジスタ 0

Base address: ICU = 0x4000_6000

Offset address: 0x0320

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CLR31	CLR30	CLR29	CLR28	CLR27	—	—	—	CLR23	CLR22	—	—	CLR19	CLR18	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	CLR7	CLR6	CLR5	CLR4	CLR3	CLR2	CLR1	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:1	CLR1~CLR7	イベント番号 i による DTC 許可クリア 各ビットシンボルの添え字は DTC ベクタ番号 i に対応します。 0: 影響なし 1: イベント番号 i による DTC 禁止	R/W
17:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
19:18	CLR18~CLR19	イベント番号 i による DTC 許可クリア 各ビットシンボルの添え字は DTC ベクタ番号 i に対応します。 0: 影響なし 1: イベント番号 i による DTC 禁止	R/W
21:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:22	CLR22~CLR23	イベント番号 i による DTC 許可クリア 各ビットシンボルの添え字は DTC ベクタ番号 i に対応します。 0: 影響なし 1: イベント番号 i による DTC 禁止	R/W
26:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:27	CLR27~CLR31	イベント番号 i による DTC 許可クリア 各ビットシンボルの添え字は DTC ベクタ番号 i に対応します。 0: 影響なし 1: イベント番号 i による DTC 禁止	R/W

CLR_i ビット (イベント番号 i による DTC 許可クリア) (i = 1~7, 18~19, 22~23, 27~31)

CLR_i ビットに 1 を書き込むことにより、対応するイベントによる DTC の起動を禁止します。0 の書き込みは影響しません。読むと 0 が読めます。

11.2.11 DTCENCLR1 : DTC 許可クリアレジスタ 1

Base address: ICU = 0x4000_6000

Offset address: 0x0324

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	CLR38	CLR37	CLR36	CLR35	CLR34	CLR33	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:1	CLR33~CLR38	イベント番号 i による DTC 許可クリア 各ビットシンボルの添え字は DTC ベクタ番号 i に対応します。 0: 影響なし 1: イベント番号 i による DTC 禁止	R/W
31:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CLRi ビット (イベント番号 i による DTC 許可クリア) (i = 33~38)

CLRi ビットに 1 を書き込むことにより、対応するイベントによる DTC の起動を禁止します。0 の書き込みは影響しません。読むと 0 が読めます。

11.2.12 INTFLAG0 : 割り込み要求フラグ監視レジスタ 0

Base address: ICU = 0x4000_6000

Offset address: 0x0330

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	IF31	IF30	IF29	IF28	IF27	IF26	IF25	IF24	IF23	IF22	IF21	IF20	IF19	IF18	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	IF11	IF10	—	—	IF7	IF6	IF5	IF4	IF3	IF2	IF1	IF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	IF0~IF7	割り込み要求フラグ監視 0: イベント番号 i の割り込み要求は ICU により受け付けられない 1: イベント番号 i の割り込み要求は ICU により受け付けられる	R
9:8	—	読むと 0 が読めます。	R
11:10	IF10~IF11	割り込み要求フラグ監視 0: イベント番号 i の割り込み要求は ICU により受け付けられない 1: イベント番号 i の割り込み要求は ICU により受け付けられる	R
17:12	—	読むと 0 が読めます。	R
31:18	IF18~IF31	割り込み要求フラグ監視 0: イベント番号 i の割り込み要求は ICU により受け付けられない 1: イベント番号 i の割り込み要求は ICU により受け付けられる	R

IFi フラグ (割り込み要求フラグ監視) (i = 0~7, 10~11, 18~31)

IFi フラグは、イベント i の割り込み要求または DTC 要求が ICU により受け付けられるかどうかを示します。このレジスタは読み出し専用です。

[1 になる条件]

- 割り込み要求または DTC 起動要求が発生したとき

[0 になる条件]

- ICU が NVIC に割り込み要求を通知したとき
- CPU に割り込みを通知しない DTC 転送が開始されたとき
 - MRB.DISEL = 0 かつ残っている転送動作 ≠ 0
- DTC 転送が終了したとき
 - MRB.DISEL = 0 かつ残っている転送動作 = 0
 - MRB.DISEL = 1

- DTCENSETn.SETi ビットまたは DTCENCLRn.CLRi ビットに 1 を書いたとき

割り込み要求フラグをクリアするには、DTCENSETn.SETi ビットまたは DTCENCLRn.CLRi ビットに 1 を書いてください。

INTFLAG0 レジスタと DTCENST0 レジスタを使用して、保留中の DTC 要求を確認できます。DTCENST0.STi=1、INTFLAG0.IFi=1、DTCSTS.VECN[7:0]=i の場合、イベント i の DTC 要求は保留中です。

11.2.13 INTFLAG1 : 割り込み要求フラグ監視レジスタ 1

Base address: ICU = 0x4000_6000

Offset address: 0x0334

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	IF38	IF37	IF36	IF35	IF34	IF33	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。	R
6:1	IF33~IF38	割り込み要求フラグ監視 0: イベント番号 i の割り込み要因は ICU により受け付けられない 1: イベント番号 i の割り込み要因は ICU により受け付けられる	R
31:7	—	読むと 0 が読めます。	R

IFi フラグ (割り込み要求フラグ監視) (i = 33~38)

IFi フラグは、イベント i の割り込み要求または DTC 要求が ICU により受け付けられるかどうかを示します。このレジスタは読み出し専用です。

[1 になる条件]

- 割り込み要求または DTC 起動要求が発生したとき

[0 になる条件]

- ICU が NVIC に割り込み要求を通知したとき
- CPU に割り込みを通知しない DTC 転送が開始されたとき
 - MRB.DISEL = 0 かつ残っている転送動作 ≠ 0
- DTC 転送が終了したとき
 - MRB.DISEL = 0 かつ残っている転送動作 = 0
 - MRB.DISEL = 1
- DTCENSETn.SETi ビットまたは DTCENCLRn.CLRi ビットに 1 を書いたとき

割り込み要求フラグをクリアするには、DTCENSETn.SETi ビットまたは DTCENCLRn.CLRi ビットに 1 を書いてください。

INTFLAG1 レジスタと DTCENST1 レジスタを使用して、保留中の DTC 要求を確認できます。DTCENST1.STi=1、INTFLAG1.IFi=1、DTCSTS.VECN[7:0]=i の場合、イベント i の DTC 要求は保留中です。

11.2.14 SBYEDCR0 : ソフトウェアスタンバイ／スヌーズ終了コントロールレジスタ 0

Base address: ICU = 0x4000_6000

Offset address: 0x0340

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ADC10ED	—	—	—	UART0RXED	IICA0ED	—	—	—	—	—	UART0ERR	—	SPI00RXED	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	DTCE	—	—	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	LVD1E	IWDTED
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDTED	IWDT 割り込みソフトウェアスタンバイ／スヌーズモード復帰許可 0: IWDT 割り込みによるソフトウェアスタンバイ／スヌーズモード復帰禁止 1: IWDT 割り込みによるソフトウェアスタンバイ／スヌーズモード復帰許可	R/W
1	LVD1ED	LVD1 割り込みソフトウェアスタンバイ／スヌーズモード復帰許可 0: LVD1 割り込みによるソフトウェアスタンバイ／スヌーズモード復帰禁止 1: LVD1 割り込みによるソフトウェアスタンバイ／スヌーズモード復帰許可	R/W
7:2	IRQIED (i = 0~5)	IRQ 割り込みソフトウェアスタンバイ／スヌーズモード復帰許可 各ビットシンボルの添え字は IRQ 番号 i に対応します。 0: IRQi 割り込みによるソフトウェアスタンバイ／スヌーズモード復帰禁止 1: IRQi 割り込みによるソフトウェアスタンバイ／スヌーズモード復帰許可	R/W
9:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	DTCED	DTC 転送完了割り込みスヌーズモード復帰許可 0: DTC 転送完了割り込みによるスヌーズモード復帰禁止 1: DTC 転送完了割り込みによるスヌーズモード復帰許可	R/W
17:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18	SPI00RXED	SPI00 転送完了またはバッファエンプティ割り込みスヌーズモード復帰許可 0: SPI00 転送完了またはバッファエンプティ割り込みによるスヌーズモード復帰禁止 1: SPI00 転送完了またはバッファエンプティ割り込みによるスヌーズモード復帰許可	R/W
19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	UART0ERRED	UART0 受信通信エラー発生割り込みスヌーズモード復帰許可 0: UART0 受信通信エラー発生割り込みによるスヌーズモード復帰禁止 1: UART0 受信通信エラー発生割り込みによるスヌーズモード復帰許可	R/W
25:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26	IICA0ED	IICA0 アドレスマッチ割り込みソフトウェアスタンバイ／スヌーズモード復帰許可 0: IICA0 アドレスマッチ割り込みによるソフトウェアスタンバイ／スヌーズモード復帰禁止 1: IICA0 アドレスマッチ割り込みによるソフトウェアスタンバイ／スヌーズモード復帰許可	R/W
27	UART0RXED	UART0 受信転送終了割り込みスヌーズモード復帰許可 0: UART0 受信転送終了割り込みによるスヌーズモード復帰禁止 1: UART0 受信転送終了割り込みによるスヌーズモード復帰許可	R/W
30:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	ADC10ED	A/D 変換終了割り込みスヌーズモード復帰許可 0: A/D 変換終了割り込みによるスヌーズモード復帰禁止 1: A/D 変換終了割り込みによるスヌーズモード復帰許可	R/W

このレジスタの各ビットにはそれぞれ対応する割り込みがあり、割り込みによってソフトウェアスタンバイ／スヌーズモードの CPU をウェイクアップさせることができるかどうかを対応するビットで制御します。

IWD TED ビット (IWD T 割り込みソフトウェアスタンバイ／スヌーズモード復帰許可)

IWD TED ビットは、ソフトウェアスタンバイ／スヌーズモードを解除するために IWD T 割り込みを使用することを許可します。

LVD1ED ビット (LVD1 割り込みソフトウェアスタンバイ／スヌーズモード復帰許可)

LVD1ED ビットは、ソフトウェアスタンバイ／スヌーズモードを解除するために LVD1 割り込みを使用することを許可します。

IRQiED ビット (IRQ 割り込みソフトウェアスタンバイ／スヌーズモード復帰許可) (i = 0～5)

IRQiED ビットは、ソフトウェアスタンバイ／スヌーズモードを解除するために IRQ_n 割り込みを使用することを許可します。

DTCED ビット (DTC 転送完了割り込みスヌーズモード復帰許可)

DTCED ビットは、スヌーズモードを解除するために DTC 転送完了割り込みの使用を許可します。

SPI00RXED ビット (SPI00 転送完了またはバッファエンプティ割り込みスヌーズモード復帰許可)

SPI00RXED ビットは、スヌーズモードを解除するために SPI00 転送終了またはバッファエンプティ割り込みの使用を許可します。

UART0ERRED ビット (UART0 受信通信エラー発生割り込みスヌーズモード復帰許可)

UART0ERRED ビットは、スヌーズモードを解除するために UART0 受信通信エラー発生割り込みの使用を許可します。

IICA0ED ビット (IICA0 アドレスマッチ割り込みソフトウェアスタンバイ／スヌーズモード復帰許可)

IICA0ED ビットは、ソフトウェアスタンバイ／スヌーズモードを解除するために IICA0 割り込みを使用することを許可します。

UART0RXED ビット (UART0 受信転送終了割り込みスヌーズモード復帰許可)

UART0RXED ビットは、スヌーズモードを解除するために UART0 受信転送終了割り込みの使用を許可します。

ADC10ED ビット (A/D 変換終了割り込みスヌーズモード復帰許可)

ADC10ED ビットは、スヌーズモードを解除するために A/D 変換終了割り込みの使用を許可します。

11.2.15 SBYEDCR1 : ソフトウェアスタンバイ／スヌーズ終了コントロールレジスタ 1

Base address: ICU = 0x4000_6000

Offset address: 0x0344

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ITLED	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	ITLED	32 ビットインターバルタイマ割り込みのインターバル信号ソフトウェアスタンバイモード／スヌーズモード復帰許可 0: 32 ビットインターバルタイマ割り込みのインターバル信号によるソフトウェアスタンバイモード／スヌーズモード復帰を禁止 1: 32 ビットインターバルタイマ割り込みのインターバル信号によるソフトウェアスタンバイモード／スヌーズモード復帰を許可	R/W

ビット	シンボル	機能	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

このレジスタの各ビットは、対応する割り込みがソフトウェアスタンバイモード／スヌーズモードから CPU を復帰させることができるかどうかを制御します。

ITLED ビット (32 ビットインターバルタイマ割り込みのインターバル信号ソフトウェアスタンバイモード／スヌーズモード復帰許可)

ITLED ビットは、ソフトウェアスタンバイモード／スヌーズモードを解除するため 32 ビットインターバルタイマ割り込みのインターバル信号の使用を許可します。

11.3 ベクタテーブル

ICU は、マスカブル割り込みとノンマスカブル割り込みの 2 種類の割り込みを検出します。割り込み優先順位は Arm NVIC で設定されます。これらのレジスタについての情報は、「[11.9. 参考資料](#)」を参照してください。

11.3.1 割り込みベクタテーブル

表 11.3 に割り込みベクタテーブルの内容を示します。割り込みベクタアドレスは、NVIC の仕様に従います。

表 11.3 割り込みベクタテーブル (1/3)

例外番号	IRQ 番号	ベクタオフセット	要因	内容
0	—	0x000	Arm	初期スタックポインタ
1	—	0x004	Arm	初期プログラムカウンタ (リセットベクタ)
2	—	0x008	Arm	ノンマスカブル割り込み (IWDT アンダーフロー／リフレッシュエラー割り込み、電圧監視 1 割り込み、NMI 端子割り込み)
3	—	0x00C	Arm	ハード障害
4	—	0x010	Arm	予約
5	—	0x014	Arm	予約
6	—	0x018	Arm	予約
7	—	0x01C	Arm	予約
8	—	0x020	Arm	予約
9	—	0x024	Arm	予約
10	—	0x028	Arm	予約
11	—	0x02C	Arm	スーパーバイザコール (SVCall)
12	—	0x030	Arm	予約
13	—	0x034	Arm	予約
14	—	0x038	Arm	システムサービスに対する保留可能な要求 (PendableSrvReq)
15	—	0x03C	Arm	システムティックタイマ (SysTick)
16	0	0x040	IWDT_NMIUNDF	ウォッチドッグタイマインターバル
17	1	0x044	LVD_LVD1	低電圧検出 1
18	2	0x048	PORT_IRQ0	外部端子割り込み 0
19	3	0x04C	PORT_IRQ1	外部端子割り込み 1
20	4	0x050	PORT_IRQ2	外部端子割り込み 2
21	5	0x054	PORT_IRQ3	外部端子割り込み 3
22	6	0x058	PORT_IRQ4	外部端子割り込み 4
23	7	0x05C	PORT_IRQ5	外部端子割り込み 5
24	8	0x060	予約	予約

表 11.3 割り込みベクタテーブル (2/3)

例外番号	IRQ 番号	ベクタオフセット	要因	内容
25	9	0x064	予約	予約
26	10	0x068	DTC_COMPLETE	DTC 転送完了
27	11	0x06C	FLASH_FRDYI	フラッシュレディ割り込み
28	12	0x070	予約	予約
29	13	0x074	予約	予約
30	14	0x078	予約	予約
31	15	0x07C	予約	予約
32	16	0x080	予約	予約
33	17	0x084	予約	予約
34	18	0x088	SAU0_UART_TXI0/ SAU0_SPI_TXRXI00/ SAU0_IIC_TXRXI00	UART0 送信転送終了またはバッファエンプティ割り込み／SPI00 転送終了またはバッファエンプティ割り込み／IIC00 転送終了
35	19	0x08C	TAU0_TMI00	タイマチャンネル 00 カウントまたはキャプチャの終了
36	20	0x090	SAU0_UART_ERRI0	UART0 受信通信エラー発生
37	21	0x094	TAU0_TMI01H	タイマチャンネル 01 カウントまたはキャプチャの終了（上位 8 ビットタイマー動作において）
38	22	0x098	SAU0_UART_TXI1	UART1 送信転送終了またはバッファエンプティ割り込み
39	23	0x09C	SAU0_UART_RXI1/ SAU0_SPI_TXRXI11/ SAU0_IIC_TXRXI11	UART1 受信転送終了／SPI11 転送終了またはバッファエンプティ割り込み／IIC11 転送終了
40	24	0x0A0	SAU0_UART_ERRI1	UART1 受信通信エラー発生
41	25	0x0A4	TAU0_TMI03H	タイマチャンネル 03 カウントまたはキャプチャの終了（上位 8 ビットタイマー動作において）
42	26	0x0A8	IICA0_TXRXI	IICA0 通信終了
43	27	0x0AC	SAU0_UART_RXI0	UART0 受信転送終了
44	28	0x0B0	TAU0_TMI01	タイマチャンネル 01 カウントまたはキャプチャの終了（16 ビット／下位 8 ビットタイマー動作において）
45	29	0x0B4	TAU0_TMI02	タイマチャンネル 02 カウントまたはキャプチャの終了
46	30	0x0B8	TAU0_TMI03	タイマチャンネル 03 カウントまたはキャプチャの終了（16 ビット／下位 8 ビットタイマー動作において）
47	31	0x0BC	ADC10_ADI	A/D 変換の終了
48	32	0x0C0	予約	予約
49	33	0x0C4	TML32_ITL_OR	32 ビットインターバルタイマのインターバル信号検出
50	34	0x0C8	予約	予約
51	35	0x0CC	TAU0_TMI04	タイマチャンネル 04 カウントまたはキャプチャの終了
52	36	0x0D0	TAU0_TMI05	タイマチャンネル 05 カウントまたはキャプチャの終了
53	37	0x0D4	TAU0_TMI06	タイマチャンネル 06 カウントまたはキャプチャの終了
54	38	0x0D8	TAU0_TMI07	タイマチャンネル 07 カウントまたはキャプチャの終了
55	39	0x0DC	予約	予約
56	40	0x0E0	予約	予約
57	41	0x0E4	予約	予約
58	42	0x0E8	予約	予約
59	43	0x0EC	予約	予約
60	44	0x0F0	予約	予約

表 11.3 割り込みベクタテーブル (3/3)

例外番号	IRQ 番号	ベクタオフセット	要因	内容
61	45	0x0F4	予約	予約
62	46	0x0F8	予約	予約
63	47	0x0FC	予約	予約
64	48	0x100	予約	予約
65	49	0x104	予約	予約
66	50	0x108	予約	予約
67	51	0x10C	予約	予約
68	52	0x110	予約	予約
69	53	0x114	予約	予約
70	54	0x118	予約	予約
71	55	0x11C	予約	予約
72	56	0x120	予約	予約
73	57	0x124	予約	予約
74	58	0x128	予約	予約
75	59	0x12C	予約	予約
76	60	0x130	予約	予約
77	61	0x134	予約	予約
78	62	0x138	予約	予約
79	63	0x13C	予約	予約

11.3.2 イベント番号

下表は、イベント番号を記した表 11.5 の各項目の説明です。

表 11.4 イベント番号

項目	内容
割り込み要求の発生元	割り込み要求の発生元の名称
名称	割り込みの名称
NVIC への接続	CPU 割り込みとして使用可能な割り込みが✓印で示されています。
DTC の起動	DTC の起動要求に使用可能な割り込みが✓印で示されています。
スヌーズモードの解除	スヌーズモードからの復帰要求に使用可能な割り込みが✓印で示されています。
ソフトウェアスタンバイモードの解除	ソフトウェアスタンバイモードからの復帰要求に使用可能な割り込みが✓印で示されています。

表 11.5 イベントテーブル (1/3)

イベント番号	割り込み要求の発生元	名称	NVIC への接続	DTC の起動	スヌーズモードの解除	ソフトウェアスタンバイモードの解除
0	IWDT	IWDT_NMIUNDF	✓	—	✓	✓
1	LVD	LVD_LVD1	✓	✓	✓	✓

表 11.5 イベントテーブル (2/3)

イベント番号	割り込み要求の発生元	名称	NVIC への接続	DTC の起動	スヌーズモードの解除	ソフトウェアスタンバイモードの解除
2	PORT	PORT_IRQ0	✓	✓	✓	✓
3		PORT_IRQ1	✓	✓	✓	✓
4		PORT_IRQ2	✓	✓	✓	✓
5		PORT_IRQ3	✓	✓	✓	✓
6		PORT_IRQ4	✓	✓	✓	✓
7		PORT_IRQ5	✓	✓	✓	✓
8		予約	—	—	—	—
9		予約	—	—	—	—
10	DTC	DTC_COMPLETE	✓	—	✓	—
11	FLASH	FLASH_FRDYI	✓	—	—	—
12	予約	予約	—	—	—	—
13	予約	予約	—	—	—	—
14	予約	予約	—	—	—	—
15	予約	予約	—	—	—	—
16	予約	予約	—	—	—	—
17	予約	予約	—	—	—	—
18	SAU0	SAU0_UART_TXI0/ SAU0_SPI_TXRXI00/ SAU0_IIC_TXRXI00	✓	✓	✓	—
19	TAU0	TAU0_TMI00	✓	✓	—	—
20	SAU0	SAU0_UART_ERRI0	✓	—	✓	—
21	TAU0	TAU0_TMI01H	✓	—	—	—
22	SAU0	SAU0_UART_TXI1	✓	✓	—	—
23		SAU0_UART_RXI1/ SAU0_SPI_TXRXI11/ SAU0_IIC_TXRXI11	✓	✓	—	—
24		SAU0_UART_ERRI1	✓	—	—	—
25	TAU0	TAU0_TMI03H	✓	—	—	—
26	IICA0	IICA0_TXRXI	✓	—	✓	✓
27	SAU0	SAU0_UART_RXI0	✓	✓	✓	—
28	TAU0	TAU0_TMI01	✓	✓	—	—
29		TAU0_TMI02	✓	✓	—	—
30		TAU0_TMI03	✓	✓	—	—
31	ADC10	ADC10_ADI	✓	✓	✓	—
32	予約	予約	—	—	—	—
33	TML32	TML32_ITL_OR	✓	✓	✓	✓
34		TML32_ITL0	—	✓	—	—
35	TAU0	TAU0_TMI04	✓	✓	—	—
36		TAU0_TMI05	✓	✓	—	—
37		TAU0_TMI06	✓	✓	—	—
38		TAU0_TMI07	✓	✓	—	—

表 11.5 イベントテーブル (3/3)

イベント番号	割り込み要求の発生元	名称	NVIC への接続	DTC の起動	スヌーズモードの解除	ソフトウェアスタンバイモードの解除
39	予約	予約	—	—	—	—
40		予約	—	—	—	—
41		予約	—	—	—	—

11.4 割り込み動作

ICU は下記の機能を実行します。

- 割り込みの検出
- 割り込みの許可／禁止
- 割り込み要求先の選択（CPU 割り込み、DTC 起動など）

11.4.1 割り込みの検出

ICU は、周辺機能割り込みまたは外部端子割り込みから割り込み要因を受け付け、割り込み要求を NVIC に送ります。

外部端子割り込み要求は下記のいずれかにより検出されます。

- エッジ（立ち下がりエッジ、立ち上がりエッジ、または立ち上がり／立ち下がりエッジ）

IRQi 端子用の検出モードを選択するために、IRQCRi.IRQMD[1:0]ビットを設定してください。周辺モジュールに対応する割り込み要因については、表 11.3 を参照してください。イベントは、割り込みが発生し CPU で受け付けられる前に、NVIC で受け付けられる必要があります。

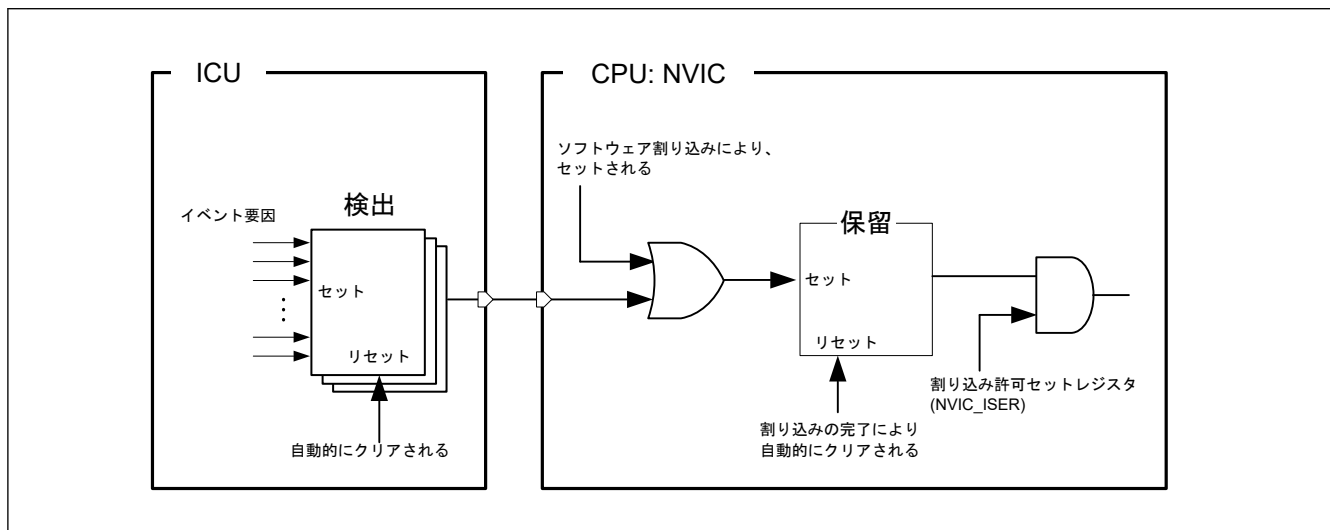


図 11.2 ICU および CPU の割り込み経路 (NVIC)

11.5 割り込みの設定手順

11.5.1 割り込み要求の許可

割り込み要求を許可するための手順を以下に示します。

1. 割り込み許可セットレジスタ (NVIC_ISER) を設定してください。
2. DTC を使用する場合は、DTCENSETn.SETi ビットに 1 を書き込み、DTCENSTn.STi ビットを設定してください。
3. イベント要因、スヌーズモードまたはソフトウェアスタンバイモードの解除 (SBYEDCRn レジスタの設定) に対する動作設定を指定してください。

11.5.2 割り込み要求の禁止

割り込み要求を禁止する手順を以下に示します。

1. イベント要因、スヌーズモードまたはソフトウェアスタンバイモードの解除 (SBYEDCRn レジスタの設定) に対する動作設定を無効にしてください。
2. DTCENSTn.STi が設定されている場合は、DTCENCLRn.CLRi ビットに 1 を書き込み、DTCENSTn.STi ビットをクリアしてください。
3. 割り込み許可クリアレジスタ (NVIC_ICER) と割り込み保留クリアレジスタ (NVIC_ICPR) をクリアしてください。

11.5.3 割り込みのポーリング

割り込み要求をポーリングする手順を以下に示します。

1. 割り込み許可クリアレジスタ (NVIC_ICER) を設定してください。
2. イベント要因、スヌーズモードまたはソフトウェアスタンバイモードの解除 (SBYEDCRn レジスタの設定) に対する動作設定を指定してください。
3. 割り込み保留セットレジスタ (NVIC_ISPR) をポーリングしてください。

11.5.4 割り込み要求先の選択

選択可能な要求先は、表 11.3 および表 11.5 に示されているように、割り込みごとに固定されています。割り込み出力要求先 (CPU または DTC) は、割り込み要因ごとに個別に選択できます。

11.5.4.1 CPU への割り込み要求

DTCENSTn.STi = 0 であるとき、割り込みは NVIC に出力されます。

11.5.4.2 DTC の起動

DTCENSTn.STi = 1 であるとき、割り込みは DTC に出力されます。以下の手順に従ってください。

1. DTCENSETn.SETi ビットに 1 を書き込み、DTCENSTn.STi ビットを DTC 許可にしてください。
2. DTC モジュール起動ビット (DTCST.DTCST) を 1 に設定してください。

表 11.6 に DTC が割り込み要求先となる場合の動作を示します。

表 11.6 DTC が割り込み要求先となる場合の動作

割り込み要求先	DISEL (注1)	残り転送数	割り込み要求 1 回あたりの動作	転送後の割り込み要求先
DTC (注2)	1	≠ 0	DTC 転送→CPU に割り込み	DTC
		= 0	DTC 転送→CPU に割り込み	CPU (DTCENSTn.STi ビットは自動的にクリアされる)
	0	≠ 0	DTC 転送	DTC
		= 0	DTC 転送→CPU に割り込み	CPU (DTCENSTn.STi ビットは自動的にクリアされる)

注. INTFLAGn.IFi フラグが 1 のとき、再度発生した割り込み要求 (DTC 起動要求) は無視されます。

注 1. MRB.DISEL ビットは、DTC から CPU への割り込みの発生タイミングを制御します。

注 2. チェーン転送の場合は、最後のチェーン転送が終了するまで DTC 転送が継続します。MRB.DISEL ビットの状態と残りの転送数によって、転送後の CPU 割り込み発生の有無、INTFLAGn.IFi フラグのクリアのタイミング、および割り込み要求先が決まります。「14. データトランスファコントローラ (DTC)」の表 14.2 を参照してください。

11.5.5 外部端子割り込みの設定手順

外部端子割り込みを使用する時の手順を以下に示します。

1. I/O ポートの設定をしてください。
2. IRQCRi レジスタ (i = 0~5) の IRQMD[1:0] ビットを設定して検出センスを選択してください。
3. IRQ 端子を以下のように選択してください。

- IRQ 端子が CPU 割り込み要求に使用される場合、DTCENCLRn.CLRi ビットに 1 を書き込み、DTCENSTn.STi ビットを DTC 禁止にしてください。
- IRQ 端子が DTC 起動に使用される場合、DTCENSETn.SETi ビットに 1 を書き込み、DTCENSTn.STi ビットを DTC 許可にしてください。

11.6 ノンマスクابل割り込みの動作

ノンマスクابل割り込みをトリガできるのは、以下の要因です。

- NMI 端子割り込み
- IWDI アンダーフロー／リフレッシュエラー割り込み
- 電圧監視 1 割り込み

ノンマスクابل割り込みは CPU でのみ使用可能です。DTC の起動には使用できません。ノンマスクابل割り込みは他のすべての割り込みよりも優先します。ノンマスクابل割り込みの状態は、ノンマスクابل割り込みステータスレジスタ (NMISR) で確認できます。NMI ハンドラから復帰する前に、NMISR のビットがすべて 0 であることを確認してください。

ノンマスクابل割り込みは初期設定では禁止になっています。ノンマスクابل割り込みを使用するには、以下の手順で設定してください。

1. NMICR レジスタの NMIMD ビットを設定してください。
2. NMICLR.NMICLR ビットを 1 にして NMISR.NMIST フラグを 0 にしてください。
3. ノンマスクابل割り込みイネーブルレジスタ (NMIER) の NMIEEN ビットを 1 にしてノンマスクابل割り込みを許可にしてください。

NMIER レジスタに 1 が書き込まれた後、NMIER.NMIEEN ビットへの書き込みは無視されます。NMI は許可されると、リセットの場合を除き、禁止にすることはできません。

11.7 低消費電力モードからの復帰

スリープモードまたはソフトウェアスタンバイモードを終了させるために使用可能な割り込み要因を、表 11.5 に示します。詳細は、「9. 低消費電力モード」を参照してください。

11.7.1 スリープモードからの復帰

スリープモードからの復帰は、すべての割り込み要因で可能です。

ノンマスクابل割り込み

- NMIER レジスタによって該当する割り込み要求を許可してください。

マスクابل割り込み

- 割り込み要求先を CPU にしてください。
- NVIC のレジスタを設定して割り込みを許可してください。

11.7.2 ソフトウェアスタンバイモードからの復帰

ICU は、ノンマスクابل割り込みまたはマスクابل割り込みによりソフトウェアスタンバイモードから復帰できます。解除要因のマスクابل割り込みについては、表 11.5 を参照してください。

ソフトウェアスタンバイモードからの復帰方法：

1. ソフトウェアスタンバイモードから復帰可能な割り込み要因を選択してください。
 - ノンマスクابل割り込みの場合は、NMIER レジスタで該当する割り込み要求を許可してください。
 - マスクابل割り込みの場合は、SBYEDCRn レジスタで該当する割り込み要求を許可してください。
2. 割り込み要求先として CPU を選択してください。
3. NVIC で割り込みを許可してください。

これらの条件を満たさない IRQn 端子による割り込み要求は、ソフトウェアスタンバイモードでクロックが停止している間は検出されません。

11.7.3 スヌーズモードからの復帰

ICU は、スヌーズモード用に提供された割り込みを使用して、スヌーズモードから通常モードに復帰することができます。

スヌーズモードから通常モードに復帰するには：

1. 割り込み要求先を CPU にしてください。
2. NVIC で割り込みを許可してください。

注. スヌーズモードでは、クロックが ICU に供給されます。割り込みが検出された場合、ソフトウェアスタンバイモードから通常モードに復帰した後、CPU は割り込みをアクノリッジします。

11.8 ノンマスカブル割り込みとともに WFI 命令を使用する場合

WFI 命令を実行するときは、常に NMISR レジスタのステータスフラグがすべて 0 であることを確認してください。

11.9 参考資料

- ARM® Cortex®-M23 Processor Technical Reference Manual (ARM DDI 0550C)

12. バス

12.1 概要

表 12.1 にバスの仕様を、図 12.1 にバスの構成図を、表 12.2 にバス種類別アドレス対応表を示します。

表 12.1 バスの仕様

バスの種類		内容
メインバス	システムバス (CPU)	- CPU に接続 - 内蔵メモリと内部周辺バスに接続
	DMA バス	- DTC に接続 - 内蔵メモリと内部周辺バスに接続
スレーブインタフェース	メモリバス 1	コードフラッシュメモリに接続
	メモリバス 4	SRAM に接続
	内部周辺バス 1	周辺モジュールに関連するシステム制御に接続
	内部周辺バス 3	- 周辺モジュール (IWDI, MSTP, CRC) に接続 - 周辺モジュール (I/O ポート、ADC10、SAU0、TAU、IICA、TML32、PCLBUZ) に接続
	内部周辺バス 9	コードフラッシュメモリに接続 (P/E (プログラム/イレース) 時)

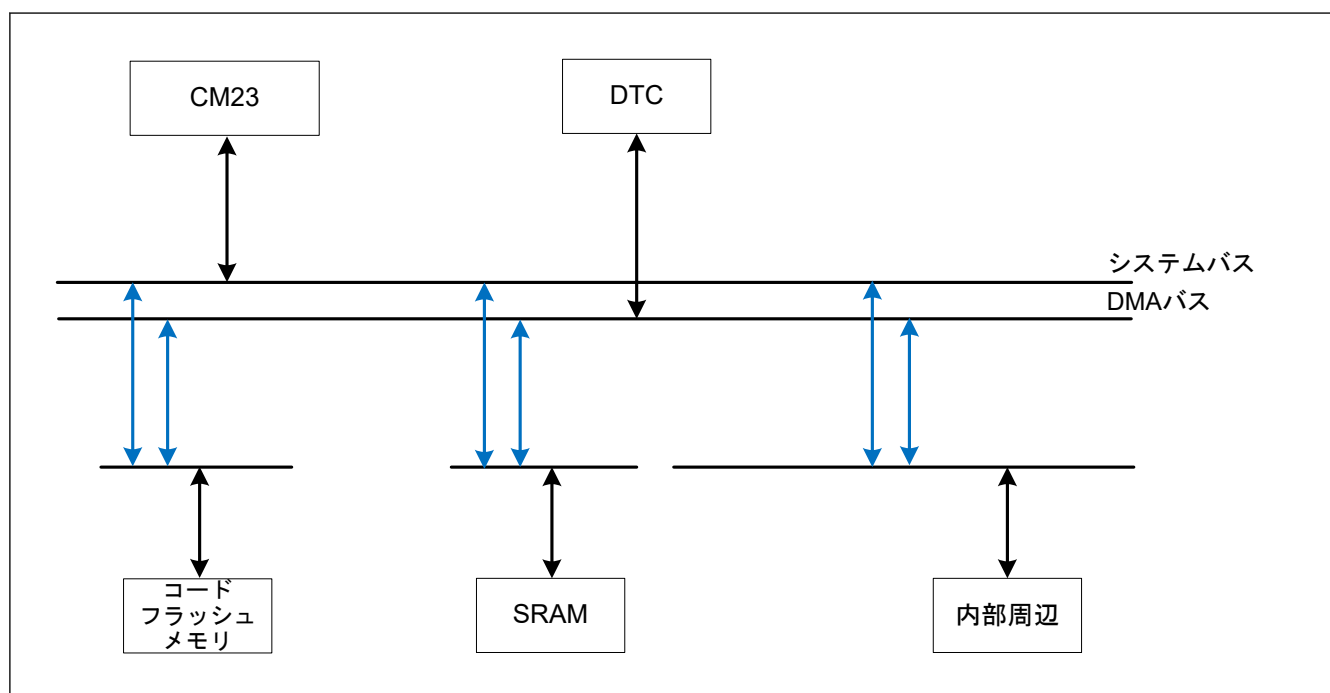


図 12.1 バスの構成図

表 12.2 各バスに割り当てられたアドレス

アドレス	バス	領域
0x0000_0000~0x01FF_FFFF	メモリバス 1	コードフラッシュメモリ
0x2000_0000~0x2000_7FFF	メモリバス 4	SRAM
0x4000_0000~0x4001_8FFF	内部周辺バス 1	周辺 I/O レジスタ
0x4001_9000~0x4001_9FFF	メモリバス 4	MTB I/O レジスタ
0x4001_A000~0x4001_FFFF	内部周辺バス 1	周辺 I/O レジスタ
0x4004_0000~0x400B_FFFF	内部周辺バス 3	
0x4010_0000~0x407F_FFFF	内部周辺バス 9	コードフラッシュメモリ (P/E 時)

12.2 バスの説明

12.2.1 メインバス

メインバスは、システムバスと DMA バスで構成されます。システムバスと DMA バスには以下が接続されます。

- コードフラッシュメモリ
- SRAM
- 内部周辺バス

システムバスは、CPU への命令とデータアクセスに使用されます。

異なるマスタとスレーブ間の転送の組み合わせは、同時に進行することができます。さらに、DTC の転送制御情報を読み出している期間は、DTC 以外のマスタからバスアクセス要求は受け付けません。

12.2.2 スレーブインタフェース

メインバスからスレーブインタフェースへの接続については、「[12.1 概要](#)」のスレーブインタフェースを参照してください。

システムバスと DMA バスからのバスアクセスは調停され、以下の固定優先順位になります。

DMA バス > システムバス

異なるマスタとスレーブ間の転送の組み合わせは、同時進行することができます。

12.2.3 並列動作

異なるバスマスタが異なるスレーブモジュールへのアクセスを要求する場合、並列動作が可能です。[図 12.2](#) に並列動作の例を示します。この例では、フラッシュメモリと SRAM それぞれに同時アクセスを行う際、CPU は命令とオペランドバスを使用します。さらに、CPU がフラッシュメモリと SRAM にアクセスする間、DTC は同時に DMA バスを使用して、周辺バスにアクセスしています。

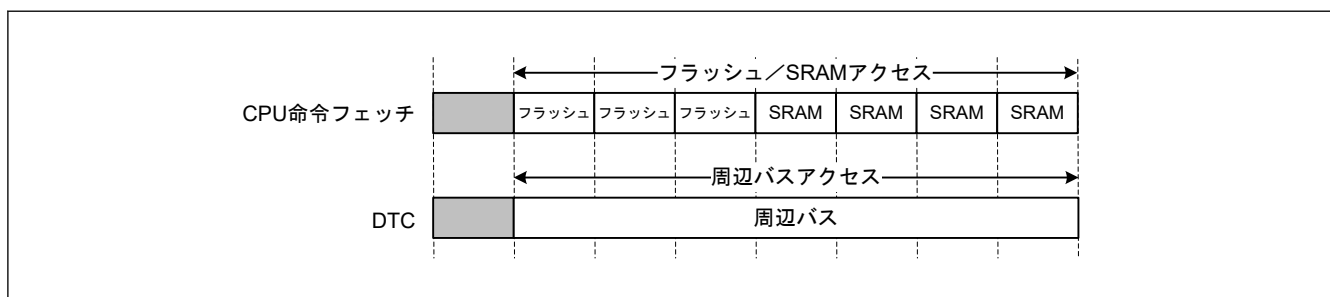


図 12.2 並列動作の例

12.2.4 エンディアンに関する制限事項

Cortex®-M23 コアで命令コードを実行する場合、メモリ空間はリトルエンディアンでなければいけません。

12.2.5 排他的アクセスに関する制限事項

メインバスは、排他的な転送をサポートしておらず、本 MCU にグローバルモニタは存在しません。メインバスは、常に CPU への HEXOKAY 信号 (AHB-Lite protocol の信号) をデアサートします。これは、STREX 命令のような排他的な書き込み命令は常に失敗のステータスになることを意味します。CPU により排他的な書き込み動作が行われた場合、メインバスは常にデータの書き込みに成功します。

12.3 レジスタの説明

12.3.1 BUSMCNT_x: マスタバスコントロールレジスタ x (x = SYS, DMA)

Base address: BUS = 0x4000_3000

Offset address: 0x1008 (BUSMCNTSYS)
0x100C (BUSMCNTDMA)

[illegible]

ビット	シンボル	機能	R/W
14:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	IERES	エラー応答無視 0: バスエラーを通知する 1: バスエラーを通知しない	R/W

注. 予約ビットを初期値 0 から変更することは禁止されています。書き換え中の動作は保証されません。

IERES ビット (エラー応答無視)

IERES ビットは、AHB-Lite プロトコルにおけるエラー応答を許可または禁止します。

表 12.3 に、バスの種類とレジスタの対応を示します。

表 12.3 バスマスタ種類とレジスタの対応

バスの種類	マスタバスコントロールレジスタ	バスエラーアドレスレジスタ	バスエラーステータスレジスタ
システムバス (CPU)	BUSMCNTSYS	BUS3ERRADD	BUS3ERRSTAT
DMA バス	BUSMCNTDMA	BUS4ERRADD	BUS4ERRSTAT

12.3.2 BUSnERRADD : バスエラーアドレスレジスタ n (n = 3, 4)

Base address: BUS = 0x4000 3000

Offset address: 0x1820 (n = 3)
0x1830 (n = 4)

[illegible]

ビット	シンボル	機能	R/W
31:0	BERAD[31:0]	バスエラーアドレス バスエラーが発生した場合、そのエラーアドレスを格納します。	R

注. BUSnERRADD レジスタはリセットによってのみクリアされます。詳細は、「5. リセット」を参照してください。

表 12.3 に、バスマスタの種類に対応したレジスタを示します。

BERAD[31:0]ビット (バスエラーアドレス)

BERAD[31:0]ビットは、バスエラーが発生した場合、そのアクセスアドレスを格納します。詳細については、「[12.3.3. BUSnERRSTAT : バスエラーステータスレジスタ n \(n=3, 4\)](#)」のERRSTAT フラグの説明と「[12.4. バスエラー監視部](#)」を参照してください。

BUSnERRADD.BERAD[31:0] ビット (n = 3, 4) の値は、BUSnERRSTAT.ERRSTAT フラグ (n = 3, 4) が 1 の場合にのみ有効です。

12.3.3 BUSnERRSTAT : バスエラーステータスレジスタ n (n = 3, 4)

Base address: BUS = 0x4000_3000

Offset address: 0x1824 (n = 3)
0x1834 (n = 4)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ERRSTAT	—	—	—	—	—	—	ACCSTAT
Value after reset:	0	0	0	0	0	0	0	x

ビット	シンボル	機能	R/W
0	ACCSTAT	エラーアクセス状態フラグ エラー発生時のアクセス状態 0: リードアクセス 1: ライトアクセス	R
6:1	—	読むと 0 が読めます。	R
7	ERRSTAT	バスエラー状態フラグ 0: バスエラー発生なし 1: バスエラー発生あり	R

注. BUSnERRSTAT レジスタはリセットによってのみクリアされます。詳細は、「[5. リセット](#)」を参照してください。

表 12.3 に、バスの種類に対応したレジスタを示します。

ACCSTAT フラグ（エラーアクセス状態フラグ）

ACCSTAT フラグはバスにエラーが発生した場合、そのアクセス状態（ライトアクセスまたはリードアクセス）を示します。詳細については、BUSnERRSTAT.ERRSTAT フラグの説明と「[12.4. バスエラー監視部](#)」を参照してください。

本ビットの値は、BUSnERRSTAT.ERRSTAT フラグ (n = 3, 4) が 1 の場合にのみ有効です。

ERRSTAT フラグ（バスエラー状態フラグ）

ERRSTAT フラグはバスエラーの発生の有無を示します。バスエラーが発生した場合、そのアクセスアドレスとアクセス状態（ライトアクセスまたはリードアクセス）が格納されます。BUSnERRSTAT.ERRSTAT フラグ (n = 3, 4) は 1 になります。

バスエラーの詳細は、「[12.4. バスエラー監視部](#)」を参照してください。

12.4 バスエラー監視部

監視システムが各個別領域を監視し、エラーを検出したときは常に、AHB-Lite エラー応答プロトコルを用いて要求マスタ IP へエラーを返します。

12.4.1 バスによって生じるエラーの種類

それぞれのバスでは、次の 1 種類のエラーが生じる可能性があります。

- 不正アドレスアクセス

「[12.4.3. 不正アドレスアクセスエラーを引き起こす条件](#)」に、アクセスによって不正アドレスアクセスエラーを引き起こされるアドレスの範囲を示します。スレーブの予約領域は、不正アドレスアクセスエラーを引き起こしません。

12.4.2 バスエラー発生時の動作

バスエラーが発生すると、動作は保証されず、要求マスタ IP にエラーが返されます。マスタごとに発生するバスエラー情報が、BUSnERRADD レジスタと BUSnERRSTAT レジスタに格納されます。これらのレジスタは、リセットのみでクリアする必要があります。詳細は、「[12.3.2. BUSnERRADD : バスエラーアドレスレジスタ n \(n = 3, 4\)](#)」と「[12.3.3. BUSnERRSTAT : バスエラーステータスレジスタ n \(n = 3, 4\)](#)」を参照してください。

注. DTC はバスエラーを受信しません。DTC がバスにアクセスした場合、転送は継続されます。

12.4.3 不正アドレスアクセスエラーを引き起こす条件

表 12.4 に、不正アドレスアクセスエラーを発行するバスごとのアドレス空間を示します。

表 12.4 不正アドレスアクセスエラーを引き起こす条件

アドレス	スレーブバス名	メインバス	
		システムバス (CPU)	DMA バス
0x0000_0000~0x01FF_FFFF	メモリバス 1	—	—
0x0200_0000~0x1FFF_FFFF	予約	E	E
0x2000_0000~0x2000_7FFF	メモリバス 4	—	—
0x2000_8000~0x3FFF_FFFF	予約	E	E
0x4000_0000~0x4001_8FFF	内部周辺バス 1	—	—
0x4001_9000~0x4001_9FFF	メモリバス 4	—	—
0x4001_A000~0x4001_FFFF	内部周辺バス 1	—	—
0x4002_0000~0x4003_FFFF	予約	E	E
0x4004_0000~0x400B_FFFF	内部周辺バス 3	—	—
0x400C_0000~0x400F_FFFF	予約	E	E
0x4010_0000~0x407F_FFFF	内部周辺バス 9	—	—
0x4080_0000~0xDFFF_FFFF	予約	E	E
0xE000_0000~0xFFFF_FFFF	Cortex [®] -M23 用システム	—	E

注. 「E」は不正アドレスアクセスエラーが発生するバスを示します。

「—」は不正アドレスアクセスエラーが発生しないバスを示します。

注. バスモジュールは、予約領域へのアクセスに起因するアクセスエラー（例えば、スレーブに領域が割り当てられていない場合など）を検出します。

0x0200_0000~0x1FFF_FFFF：アクセスエラー検出あり

0x0000_0000~0x01FF_FFFF：メモリバス 1 のアクセスエラー検出なし

12.5 参考資料

1. ARM[®]v8-M Architecture Reference Manual (ARM DDI0553B.a)
2. ARM[®] Cortex[®]-M23 Processor User Guide (ARM DUI0963B)
3. ARM[®] AMBA[®] 5 AHB-Lite Protocol Specification (ARM IHI0033B.b)

13. フラッシュ読み出し保護 (FRP)

13.1 概要

本 MCU は、コードフラッシュを含む 1 つのセキュア領域を有する、フラッシュ読み出し保護 (FRP) 機能を内蔵しています。セキュア領域を読み出しアクセスから保護できます。どのプログラムも保護領域でデータを読み出すことはできません。

表 13.1 にフラッシュ読み出し保護 (FRP) の仕様を、図 13.1 にブロック図を示します。

表 13.1 フラッシュ読み出し保護の仕様

項目	内容
セキュリティ領域	コードフラッシュ
保護領域として設定可能なアドレス範囲	0x0000_0800~0x0001_FFFF
保護領域数	1 領域
各保護領域のアドレスの設定方法	領域の開始アドレスと終了アドレスを設定
保護機能の有効／無効設定	対応する領域に対し有効または無効を設定

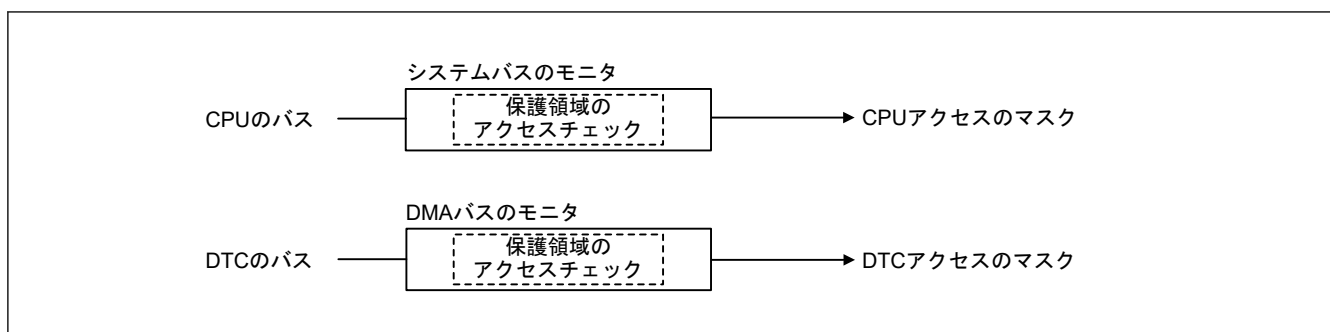


図 13.1 フラッシュ読み出し保護のブロック図

13.1.1 メモリプロテクション

すべてのフラッシュ読み出し保護 (FRP) レジスタは、オプション設定メモリです。オプション設定メモリとは、リセット後のマイクロコントローラの状態を選択するために利用可能な一連のレジスタを指します。オプション設定メモリはコードフラッシュメモリに配置されます。フラッシュ読み出し保護 (FRP) はオプション設定メモリの OFS1 レジスタの FRPS、FRPE、FRPDIS ビットを使用します。OFS1.FRPS ビットは保護領域の開始アドレスを定義し、OFS1.FRPE ビットは保護領域の終了アドレスを定義します。OFS1.FRPDIS ビットはフラッシュ読み出し保護 (FRP) を有効または無効にします。OFS1 レジスタの詳細については、「6. オプション設定メモリ」を参照してください。

フラッシュ読み出し保護 (FRP) は、プログラムによる読み出しからセキュア領域（コードフラッシュメモリ）を保護します。保護領域に対する読み出しアクセスが検出されると、フラッシュ読み出し保護 (FRP) はそのアクセスを無効にします。

システムバスと DMA バスそれぞれで、バス上のアクセスをチェックするモニタがあります。OFS1.FRPDIS ビットが 0 のとき、そのモニタは、バス上のアクセスが命令フェッチではないか、およびアドレスが OFS1.FRPS ビットと OFS1.FRPE ビットで定義される保護領域内にあるかをチェックします。アクセスが命令フェッチではない、かつアドレスが保護領域内の場合、モニタは、バスマスタヘアドレスから読み出された値ではなく、読み出し値として 0xFFFFFFFF を返します。アクセスが命令フェッチまたはアドレスが保護領域外の場合、モニタはアドレスから読み出された値を返します。OFS1.FRPDIS ビットが 1 のとき、モニタはバス上のアクセスをチェックしません。

フラッシュ読み出し保護 (FRP) は、以下の条件でアクセス保護を行います。

- セキュアデータが CPU から読み出されるとき
- セキュアデータが CPU 以外 (DTC) から読み出されるとき
- セキュアデータがデバッガから読み出されるとき

- セキュアデータが命令フェッチによってのみアクセス可能なとき

注. セキュアデータ :

OFS1.FRPS レジスタと OFS1.FRPE レジスタで設定した範囲内にあるコードフラッシュ領域

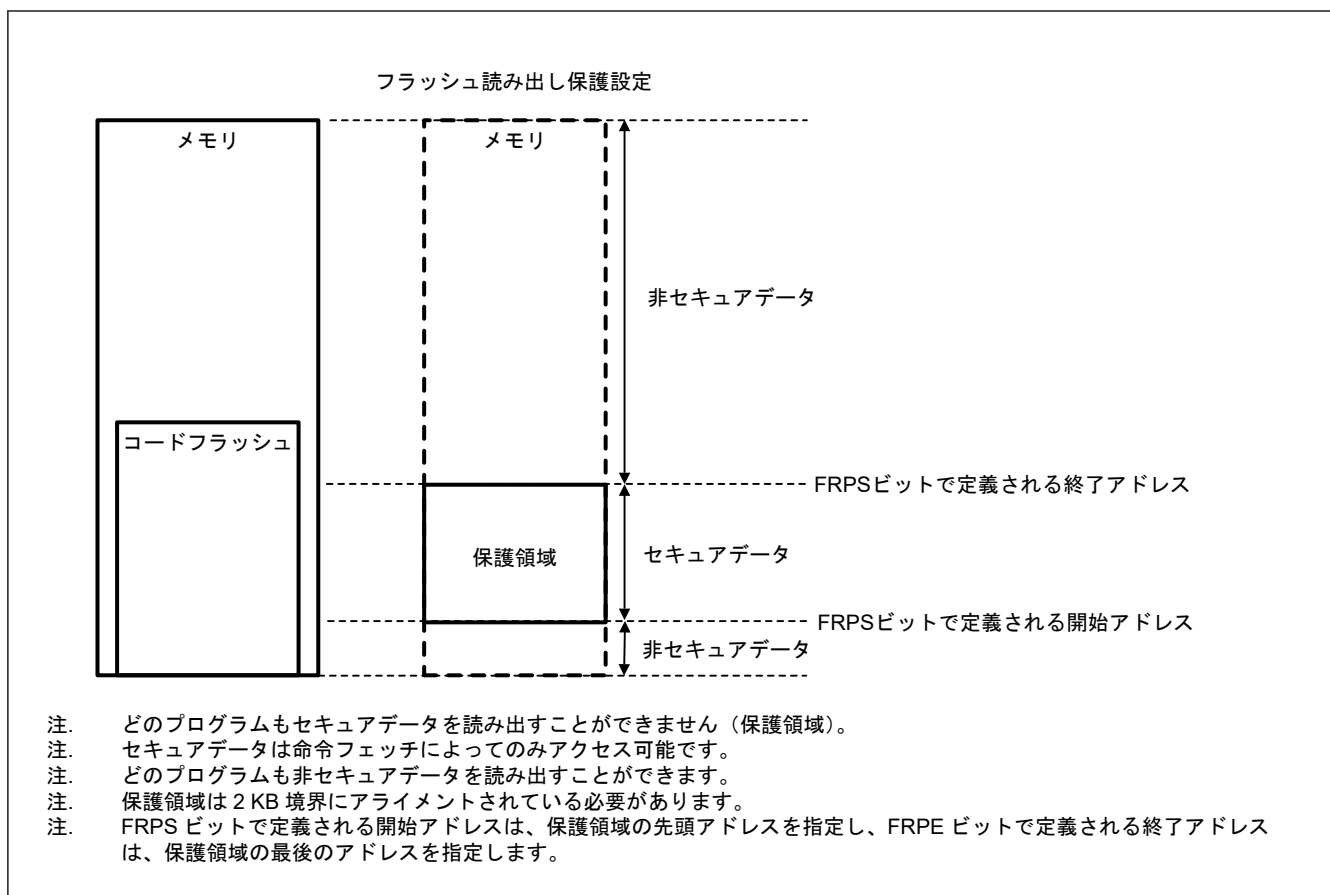


図 13.2 フラッシュ読み出し保護の使用例

13.2 使用上の注意事項

13.2.1 デバッガ使用時の注意事項

フラッシュ読み出し保護 (FRP) が有効であると、メモリはデバッグできません。プログラムをデバッグするときには、フラッシュ読み出し保護 (FRP) を無効にしてください。OFS1.FRPDIS ビットが 1 であるときにのみ、OCD デバッグが有効です。

13.2.2 コンパイラの設定

フラッシュ読み出し保護 (FRP) は、一種の execute-only-memory (XOM) です。保護領域のデータは読み出し可能ではないので、保護領域はリテラルプールのような定数データを有することはできません。したがって、適切なコンパイラの設定が必要です。

13.2.3 OFS1 レジスタの保護

OFS1.FRPS[5:0]、OFS1.FRPE[5:0]、または OFS1.FRPDIS ビットを上書きすると FRP の保護が無効になる場合があるため、OFS1 レジスタ（アドレス = 0x0000_0404）はアクセスウィンドウ機能で保護する必要があります。ただし、アクセスウィンドウ機能の設定には AWS.FSPR ビットを 0 にすることが含まれ、スタートアップ領域選択機能で使用する AWS.BTFLG および FISR.SAS[1:0] ビットの変更も無効になります。そのため、FRP 機能使用時はスタートアップ領域選択機能を使用できません。スタートアップ領域選択機能に関しては、アクセスウィンドウ機能に関しては参照してください。

14. データトランスファコントローラ (DTC)

14.1 概要

データトランスファコントローラ (DTC) は、割り込み要求によって起動するとデータ転送を行います。

表 14.1 に DTC の仕様を、図 14.1 に DTC のブロック図を示します。

表 14.1 DTC の仕様

項目	内容
転送モード	- ノーマル転送モード 1回の起動で1データを転送 - リピート転送モード 1回の起動で1データを転送 リピートサイズ分のデータを転送すると転送開始時のアドレスに復帰 リピート転送の最大回数は256回で、最大データ転送サイズは256×32ビット(1024バイト) - ブロック転送モード 1回の起動で1ブロックを転送 最大ブロックサイズは256×32ビット=1024バイト
転送チャンネル	- 割り込み要因に対応するチャンネルの転送が可能 (ICU からの DTC 起動要求で転送) 1つの起動要因に対して複数のデータ単位を転送可能 (チェーン転送) - チェーン転送は「カウンタが0のとき実施」または「毎回実施」のいずれかを選択可能
転送空間	0x0000_0000~0xFFFF_FFFF のうち予約領域を除く 4 GB の領域
データ転送単位	1データ単位: 1バイト (8ビット)、1ハーフワード (16ビット)、1ワード (32ビット) 1ブロックサイズ: 1~256データ
CPU 割り込み要因	- DTC を起動した割り込み、または DTC_COMPLETE で CPU への割り込み要求を発生可能 1回のデータ転送後に CPU への割り込み要求を発生可能 - 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能
リードスキップ	転送情報のリードスキップを実行可能
ライトバックスキップ	転送元アドレスまたは転送先アドレスが固定の場合、ライトバックスキップを実行可能
モジュールストップ機能	モジュールストップ状態の設定が可能

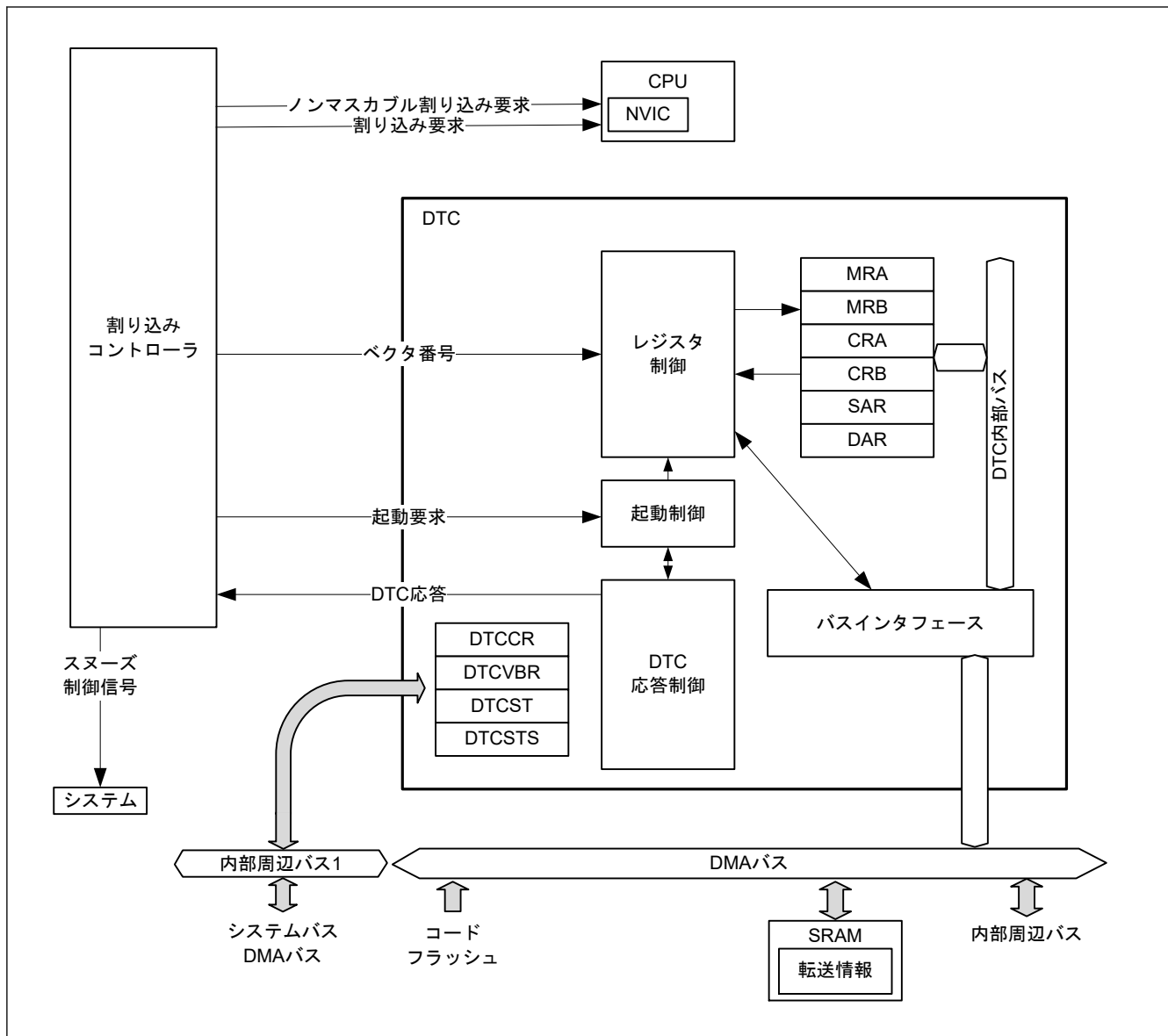


図 14.1 DTC のブロック図

CPU 内での DTC と NVIC の接続関係については、「11. 割り込みコントローラユニット (ICU)」を参照してください。

14.2 レジスタの説明

MRA、MRB、SAR、DAR、CRA、CRB は、すべて DTC の内部レジスタであり、CPU から直接アクセスすることはできません。これら DTC 内部レジスタの設定値は、SRAM 領域に転送情報として配置されます。起動要求が発生すると、DTC は SRAM 領域から転送情報を読み出して、それを DTC の内部レジスタに設定します。データ転送の終了後、内部レジスタの内容は転送情報として SRAM 領域にライトバックされます。

14.2.1 MRA : DTC モードレジスタ A

Base address: DTCVBR

Offset address: 0x0003 + 0x4 × ベクタ番号

(CPU から直接アクセス不可。「14.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。)

Bit position: 7 6 5 4 3 2 1 0

Bit field:	MD[1:0]	SZ[1:0]	SM[1:0]	—	—

Value after reset: x x x x x x x x

ビット	シンボル	機能	R/W
1:0	—	読み出し値は不定です。書く場合、0としてください。リセット後の値は不定値です。	—
3:2	SM[1:0]	転送元アドレスアドレッシングモード 0 0: SAR レジスタはアドレス固定 (SAR レジスタへのライトバックをスキップ) 0 1: SAR レジスタはアドレス固定 (SAR レジスタへのライトバックをスキップ) 1 0: 転送後 SAR レジスタをインクリメント: SZ[1:0]ビットが 00b のとき+1 SZ[1:0]ビットが 01b のとき+2 SZ[1:0]ビットが 10b のとき+4 1 1: 転送後 SAR レジスタをデクリメント: SZ[1:0]ビットが 00b のとき-1 SZ[1:0]ビットが 01b のとき-2 SZ[1:0]ビットが 10b のとき-4	—
5:4	SZ[1:0]	DTC データトランスファサイズ 0 0: バイト (8 ビット) 転送 0 1: ハーフワード (16 ビット) 転送 1 0: ワード (32 ビット) 転送 1 1: 設定禁止	—
7:6	MD[1:0]	DTC 転送モード選択 0 0: ノーマル転送モード 0 1: リピート転送モード 1 0: ブロック転送モード 1 1: 設定禁止	—

MRA レジスタは、CPU から直接アクセスすることはできません。ただし、CPU は SRAM 領域 (転送情報 (n) の開始アドレス+0x03) にアクセスできます。DTC は、MRA レジスタから、およびそのレジスタへそれを自動転送します。「14.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

14.2.2 MRB : DTC モードレジスタ B

Base address: DTCVBR

Offset address: 0x0002 + 0x4 × ベクタ番号

(CPU から直接アクセス不可。「14.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。)

Bit position: 7 6 5 4 3 2 1 0

Bit field:	CHNE	CHNS	DISEL	DTS	DM[1:0]	—	—

Value after reset: x x x x x x x x

ビット	シンボル	機能	R/W
1:0	—	読み出し値は不定です。書く場合、0としてください。	—

ビット	シンボル	機能	R/W
3:2	DM[1:0]	転送先アドレスアドレッシングモード 0 0: DAR レジスタはアドレス固定 (DAR レジスタへのライトバックをスキップ) 0 1: DAR レジスタはアドレス固定 (DAR レジスタへのライトバックをスキップ) 1 0: 転送後 DAR レジスタをインクリメント: MRA.SZ[1:0]ビットが 00b のとき+1 SZ[1:0]ビットが 01b のとき+2 SZ[1:0]ビットが 10b のとき+4 1 1: 転送後 DAR レジスタをデクリメント: MRA.SZ[1:0]ビットが 00b のとき-1 SZ[1:0]ビットが 01b のとき-2 SZ[1:0]ビットが 10b のとき-4	—
4	DTS	DTC 転送モード選択 0: 転送先にリピート領域またはブロック領域を選択 1: 転送元にリピート領域またはブロック領域を選択	—
5	DISEL	DTC 割り込み選択 0: 指定されたデータ転送の終了時、CPU への割り込み要求が発生 1: DTC データ転送のたびに、CPU への割り込み要求が発生	—
6	CHNS	DTC チェーン転送選択 0: 連続してチェーン転送を行う 1: 転送カウンタが 1→0、または 1→CRAH となったときにのみチェーン転送を行う	—
7	CHNE	DTC チェーン転送許可 0: チェーン転送禁止 1: チェーン転送許可	—

MRB レジスタは、CPU から直接アクセスすることはできません。ただし、CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x02）にアクセスできます。DTC は、MRB レジスタから、およびそのレジスタへそれを自動転送します。「[14.3.1. 転送情報の配置と DTC ベクターテーブル](#)」を参照してください。

DM[1:0]ビット（転送先アドレスアドレッシングモード）

DM[1:0]ビットは DAR レジスタのアドレスを固定または転送後の DAR レジスタのインクリメント/デクリメントを指定します。

DTS ビット（DTC 転送モード選択）

DTS ビットはリピート転送モードあるいはブロック転送モードにおいて、転送元または転送先をリピート領域またはブロック領域に指定します。

DISEL ビット（DTC 割り込み選択）

DISEL ビットは CPU への割り込み要求を発生する条件を指定します。

CHNS ビット（DTC チェーン転送選択）

CHNS ビットはチェーン転送の条件を選択します。CHNE ビットが 0 のとき、CHNS ビットの設定は無視されます。チェーン転送の条件については、[表 14.3](#) を参照してください。

次の転送がチェーン転送の場合、指定した転送回数の終了判定も、起動要因フラグのクリアも行われず、CPU への割り込み要求は発生しません。

CHNE ビット（DTC チェーン転送許可）

CHNE ビットはチェーン転送を許可します。チェーン転送条件は、CHNS ビットで選択されます。チェーン転送の詳細については、「[14.4.6. チェーン転送](#)」を参照してください。

CRAL と CRAH はリピート転送モードとブロック転送モードで使用されます。

CRA レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x0E）に CRA レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x0E）から、CRA レジスタへ設定値を転送します。「14.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

(1) ノーマル転送モード (MRA.MD[1:0] = 00b) の場合

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。転送回数は、設定値が 0x0001 のときは 1 回、0xFFFF のときは 65535 回、0x0000 のときは 65536 回となります。CRA レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。

(2) リピート転送モード (MRA.MD[1:0] = 01b) の場合

リピート転送モードでは、CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。転送回数は、設定値が 0x01 のときは 1 回、0xFF のときは 255 回、0x00 のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。0x00 に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

(3) ブロック転送モード (MRA.MD[1:0] = 10b) の場合

ブロック転送モードでは、CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。転送回数は、設定値が 0x01 のときは 1 回、0xFF のときは 255 回、0x00 のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。0x00 に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

14.2.6 CRB : DTC 転送カウントレジスタ B

Base address: DTCVBR

Offset address: 0x000C + 0x4 × ベクタ番号
(CPU から直接アクセス不可。「14.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

CRB レジスタは、ブロック転送モードのブロック転送回数を指定するレジスタです。転送回数は、設定値が 0x0001 のときは 1 回、0xFFFF のときは 65535 回、0x0000 のときは 65536 回となります。CRB レジスタの値は、1 ブロックサイズの最終データ転送時にデクリメント (-1) されます。ノーマル転送モードまたはリピート転送モードを選択した場合、本レジスタは使用されず、設定値は無視されます。

CRB レジスタは CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x0C）に CRB レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x0C）から、CRB レジスタへ設定値を転送します。「14.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

14.2.7 DTCCR : DTC コントロールレジスタ

Base address: DTC = 0x4000_5400

Offset address: 0x0000

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	RRS	—	—	—	—
Value after reset:	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
3	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
4	RRS	DTC 転送情報リードスキップ許可 0: 転送情報のリードスキップを行わない 1: ベクタ番号が一致したとき、転送情報のリードスキップを行う	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RRS ビット (DTC 転送情報リードスキップ許可)

RRS ビットはベクタ番号が一致したとき、転送情報のリードスキップを許可します。DTC ベクタ番号は、前回起動時のベクタ番号と比較されます。ベクタ番号が一致し、かつ RRS ビットが 1 になっていると、転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送のときは、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

前回の転送がノーマル転送で転送カウンタ (CRA レジスタ) が 0 になっている場合と、ブロック転送で転送カウンタ (CRB レジスタ) が 0 になっている場合も、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

14.2.8 DTCVBR : DTC ベクタベースアドレス

Base address: DTC = 0x4000_5400

Offset address: 0x0004

Bit position: 31

0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	n/a	DTC ベクタベースアドレス DTC ベクタベースアドレスを設定 (下位 10 ビットは 0 にしてください)	R/W

DTCVBR レジスタは、DTC ベクタテーブルのアドレス計算に用いられるベースアドレスを設定します。0x0000_0000~0xFFFF_FFFF (4 GB) の範囲内で 1 KB 単位の設定が可能です。

14.2.9 DTCST : DTC モジュール起動レジスタ

Base address: DTC = 0x4000_5400

Offset address: 0x000C

Bit position: 7 6 5 4 3 2 1 0

Bit field:

—	—	—	—	—	—	—	DTCST

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	DTCST	DTC モジュール起動 0: DTC モジュール停止 1: DTC モジュール起動	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

DTCST ビット (DTC モジュール起動)

DTC が転送要求を受け付けられるようにするには、DTCST ビットを 1 にしてください。DTCST ビットを 0 にすると、新たな転送要求を受け付けません。データ転送中に 0 に書き換えた場合、受け付け済みの転送要求は処理が終了するまで有効です。

下記の状態へ遷移する際は、事前に DTCST ビットを 0 にする必要があります。

- モジュールストップ状態
- スリープモードへの遷移を伴わないソフトウェアスタンバイモード

これらの遷移については、「[14.8. 低消費電力機能](#)」と「[9. 低消費電力モード](#)」を参照してください。

14.2.10 DTCSTS : DTC ステータスレジスタ

Base address: DTC = 0x4000_5400

Offset address: 0x000E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ACT	—	—	—	—	—	—	—	VECN[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	VECN[7:0]	DTC アクティブベクタ番号モニタ DTC 転送動作中にその起動要因をベクタ番号で示します。 この値は、DTC 転送動作中 (ACT フラグが 1 の場合) にのみ有効です。	R
14:8	—	読むと 0 が読めます。	R
15	ACT	DTC アクティブフラグ 0: DTC 転送動作なし 1: DTC 転送動作中	R

VECN[7:0]ビット (DTC アクティブベクタ番号モニタ)

VECN[7:0]ビットは DTC 転送動作中に、その転送の起動要因をベクタ番号で示します。ACT フラグが 1 (DTC 転送動作中) であれば、読み出された VECN[7:0]ビットの値は有効であり、ACT フラグが 0 (DTC 転送動作なし) であれば、読み出された VECN[7:0]ビットの値は無効です。

ACT フラグ (DTC アクティブフラグ)

ACT フラグは DTC の転送動作状態を示します。

[1 になる条件]

- 転送要求によって DTC が起動したとき

[0 になる条件]

- 転送要求に対する DTC の転送が完了したとき

14.3 起動要因

DTC は割り込み要求によって起動します。ICU.DTCENSTx.STy (x = 0, 1, y = 0~41) ビットを 1 にすることで、対応する割り込みによる DTC の起動が許可されます。ここで、y は割り込み要求のイベント番号を示します。

割り込みベクタ番号は DTC ベクタテーブル番号と同等です。DTC が起動要求を受け付けると、その要求に対する転送が終了するまで、新たな起動要求は優先順位にかかわらず受け付けません。DTC 転送中に複数の起動要求が発生した場合、転送の終了時点で最も優先順位の高い要求が受け付けられます。DTC モジュール起動ビット (DTCST.DTCST) が 0 の状態で、複数の起動要求が発生した場合、DTC は、その後このビットが 1 になったときに最も優先順位の高い要求を受け付けます。割り込みベクタ番号が小さいほど優先順位は高くなります。

1 回のデータ転送開始時 (チェーン転送の場合、連続した最後の転送時)、DTC は以下のように動作します。

- 指定した回数のデータ転送が終了すると、ICU.DTCENSTx.STy ビットが 0 になり、CPU に割り込み要求が送信される
- MRB.DISEL ビットが 1 の場合、データ転送完了時に CPU に対して割り込み要求が発生する

14.3.1 転送情報の配置と DTC ベクタテーブル

DTC は、起動要因ごとにベクタテーブルから転送情報の開始アドレスを読み出して、このアドレスから始まる転送情報を読み出します。

ベクタテーブルのベースアドレス（開始アドレス）は、下位 10 ビットが 0 になるように配置する必要があります。DTC ベクタベースレジスタ (DTCVBR) を用いて、DTC ベクタテーブルのベースアドレスを設定してください。転送情報は SRAM 領域に配置します。SRAM 領域では、ベクタ番号 n を持つ転送情報 n の開始アドレスは、ベクタテーブルのベースアドレス + $4n$ 番地でなければいけません。

図 14.2 に DTC ベクタテーブルと転送情報の対応関係を示します。図 14.3 に SRAM 領域上の転送情報の配置を示します。

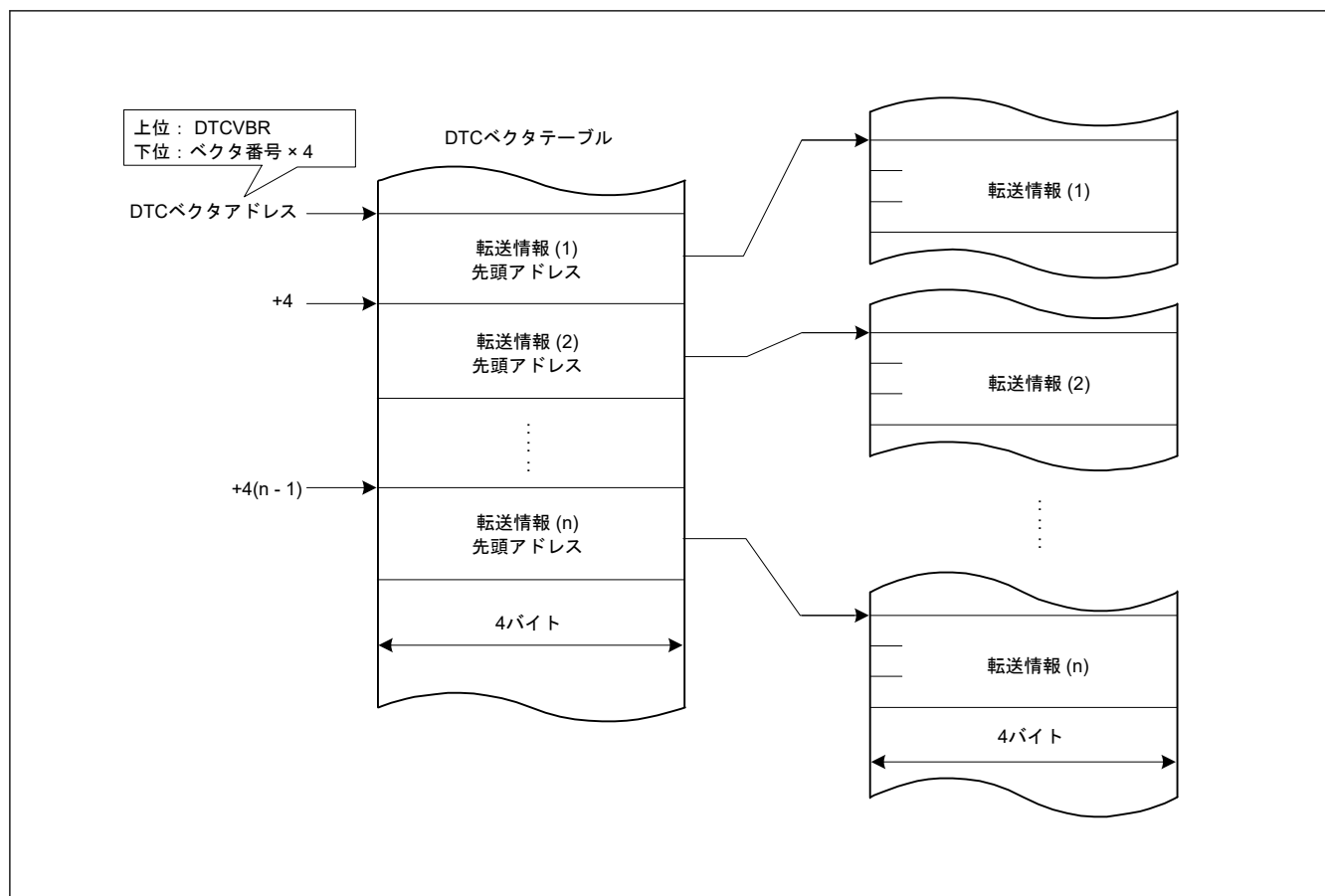


図 14.2 DTC ベクタテーブルと転送情報の対応関係

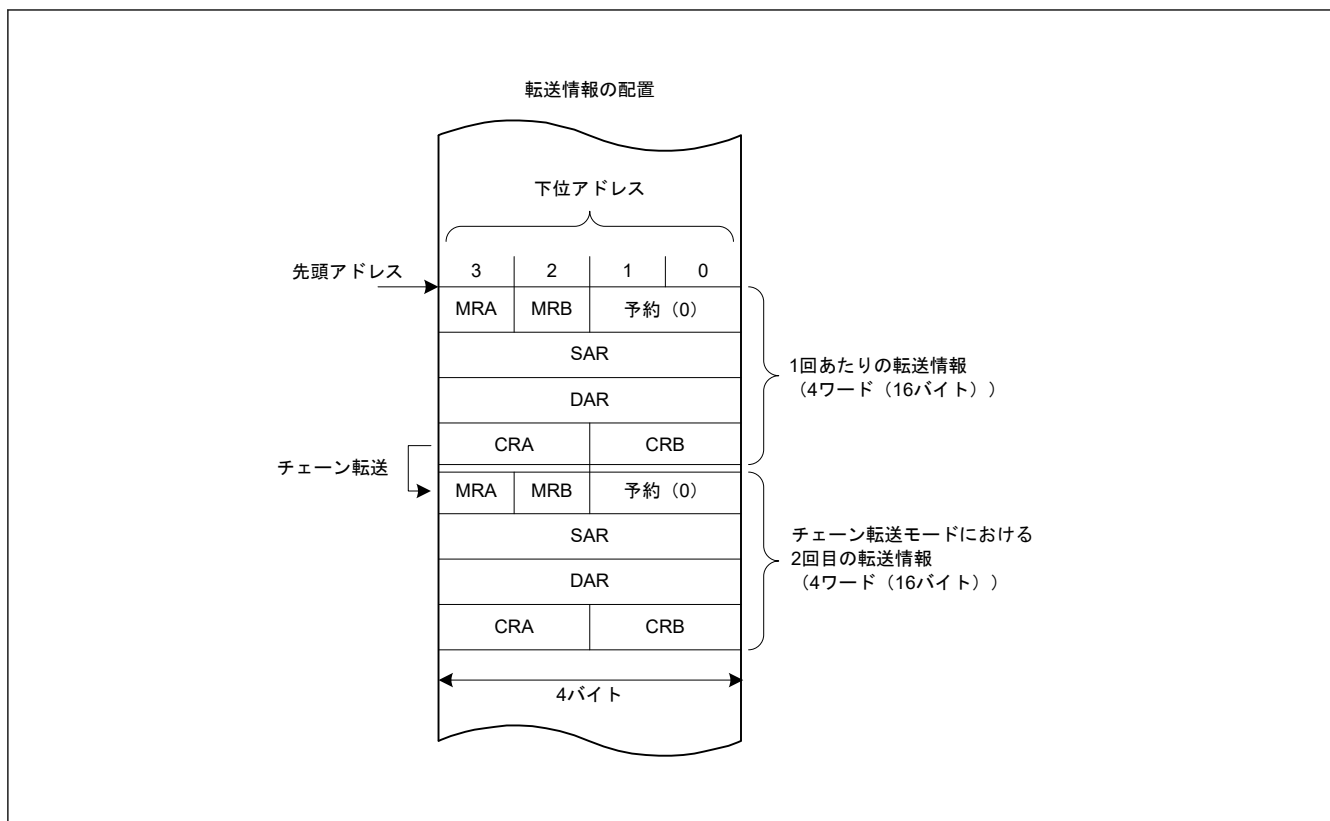


図 14.3 SRAM 領域上の転送情報の配置

14.4 動作説明

DTC は、転送情報に従ってデータを転送します。DTC を動作させるには、あらかじめ転送情報を SRAM 領域に格納しておく必要があります。DTC が起動すると、DTC はベクタ番号に対応する DTC ベクタを読み出します。次に DTC は、DTC ベクタが示す転送情報格納アドレスから転送情報を読み出して、データ転送を行います。データ転送後に、DTC は転送情報のライトバックを行います。転送情報を SRAM 領域に格納することで、任意のチャネル数のデータ転送が可能になります。

転送モードには、下記の 3 種類があります。

- ノーマル転送モード
- リピート転送モード
- ブロック転送モード

DTC は転送元アドレスを SAR レジスタ、転送先アドレスを DAR レジスタで指定します。これらのレジスタ値は、データの転送後、それぞれ個別にインクリメント、デクリメント、あるいはアドレス固定されます。

表 14.2 に DTC の転送モードを示します。

表 14.2 DTC の転送モード

転送モード	1 回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1 バイト (8 ビット) / 1 ハーフワード (16 ビット) / 1 ワード (32 ビット)	1、2、4 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1~65536 回
リピート転送モード (注1)	1 バイト (8 ビット) / 1 ハーフワード (16 ビット) / 1 ワード (32 ビット)	1、2、4 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1~256 回(注3)
ブロック転送モード (注2)	CRAH レジスタで指定したブロックサイズ (1~256 バイト / 1~256 ハーフワード (2~512 バイト) / 1~256 ワード (4~1024 バイト))	1、2、4 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1~65536 回

注 1. 転送元または転送先のいずれかをリピート領域に設定します。

注 2. 転送元または転送先のいずれかをブロック領域に設定します。

注 3. 指定回数の転送終了後は、初期状態に戻り、動作を再開します。

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数転送またはチェーン転送が可能です。指定されたデータ転送終了時にチェーン転送を行う設定も可能です。

図 14.4 に DTC の動作フローチャートを示します。表 14.3 にチェーン転送の条件を示します。この表では、2 番目以降の転送に対する制御情報の組み合わせは省略されています。

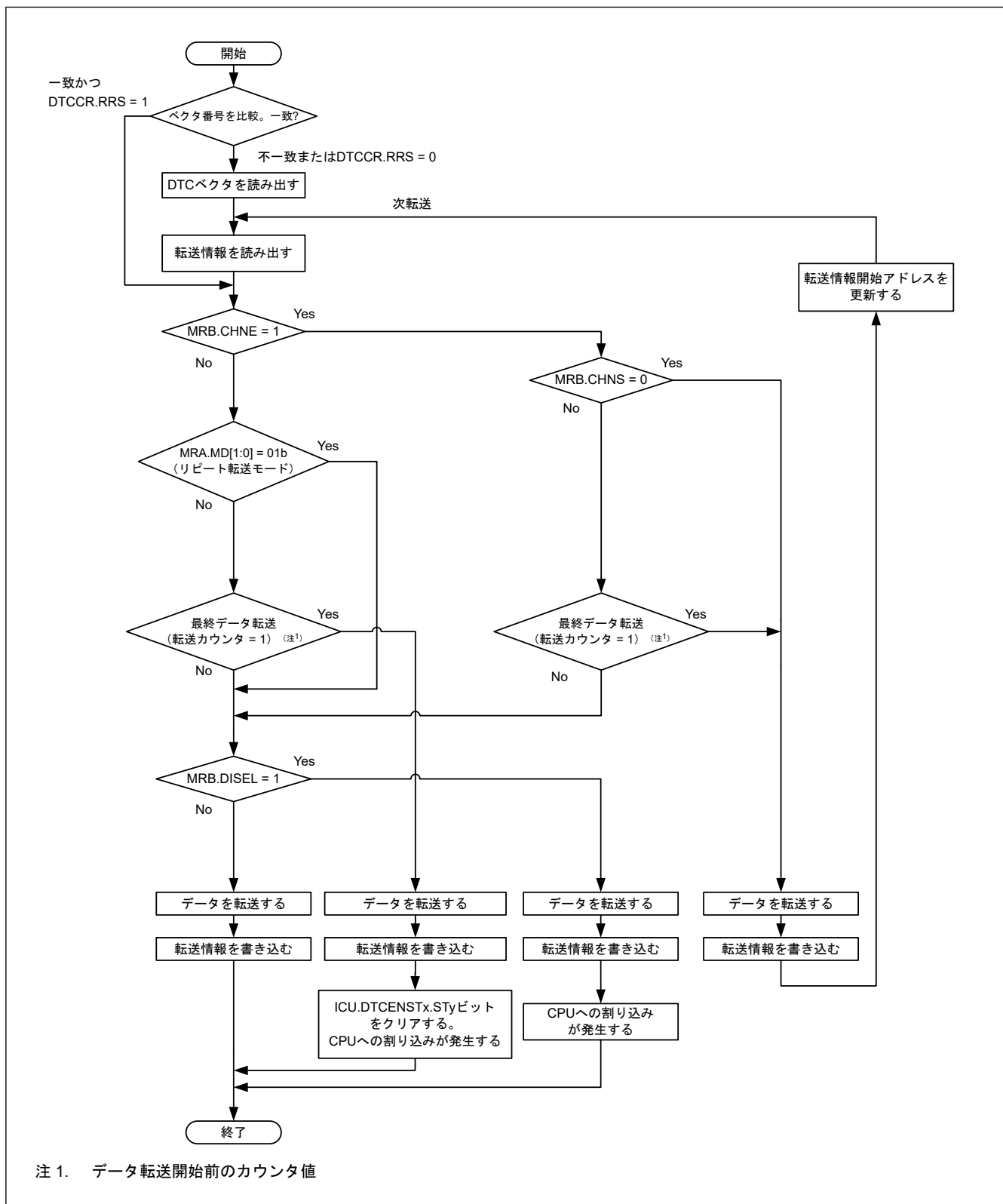


図 14.4 DTC 動作フローチャート

表 14.3 チェーン転送の条件

第 1 転送				第 2 転送 ^(注3)				DTC 転送
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ ^{(注1)(注2)}	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ ^{(注1)(注2)}	
0	—	0	(1→0) 以外	—	—	—	—	第 1 転送で終了
0	—	0	(1→0)	—	—	—	—	第 1 転送で終了し CPU へ 割り込み要求
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	(1→0) 以外	第 2 転送で終了
				0	—	0	(1→0)	第 2 転送で終了し CPU へ 割り込み要求
				0	—	1	—	
1	1	0	(1→*) 以外	—	—	—	—	第 1 転送で終了
1	1	—	(1→*)	0	—	0	(1→0) 以外	第 2 転送で終了
				0	—	0	(1→0)	第 2 転送で終了し CPU へ 割り込み要求
				0	—	1	—	
1	1	1	(1→*) 以外	—	—	—	—	第 1 転送で終了し CPU へ 割り込み要求

注 1. 使用する転送カウンタは、以下のように、各転送モードで異なります。

ノーマル転送モード：CRA レジスタ

リピート転送モード：CRAL レジスタ

ブロック転送モード：CRB レジスタ

注 2. 転送終了時のカウンタ動作は以下の通りです。

ノーマル転送モードとブロック転送モードでは (1→0)

リピート転送モードでは (1→CRAH)

表中の (1→*) は、これら両方の動作を表します。

注 3. 2 番目以降の転送に対してチェーン転送の選択が可能です。第 2 転送と CHNE ビットが 1 の組み合わせに対する条件は省略しています。

14.4.1 転送情報のリードスキップ機能

DTCCR.RRS ビットを設定することにより、ベクタアドレスと転送情報の読み出しをスキップできます。DTC 起動要求発生時に、今回の DTC ベクタ番号と前回起動時の DTC ベクタ番号が比較されます。ベクタ番号が一致し、かつ DTCCR.RRS ビットが 1 になっているときは、ベクタアドレスと転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送の場合は、ベクタアドレスと転送情報が読み出されます。さらに、前回のノーマル転送中に転送カウンタ（CRA レジスタ）が 0 になっている場合と、前回のブロック転送中に転送カウンタ（CRB レジスタ）が 0 になっている場合も、DTCCR.RRS ビットの値にかかわらず転送情報の読み出しが行われます。図 14.12 に転送情報の読み出しがスキップされる場合の例を示します。

DTC ベクタテーブルと転送情報を更新する場合は、DTCCR.RRS ビットを 0 にして、DTC ベクタテーブルと転送情報を更新した後、DTCCR.RRS ビットを 1 に戻してください。DTCCR.RRS ビットを一度 0 にすることによって、格納されていたベクタ番号が破棄されます。次の起動時には、更新された DTC ベクタテーブルと転送情報が読み出されます。

14.4.2 転送情報のライトバックスキップ機能

MRA.SM[1:0]ビットまたは MRB.DM[1:0]ビットを「アドレス固定」に設定すると、転送情報の一部はライトバックされません。表 14.4 に転送情報のライトバックスキップ条件と対応するレジスタを示します。CRA レジスタと CRB レジスタはライトバックされますが、MRA レジスタと MRB レジスタのライトバックはスキップされません。

表 14.4 転送情報ライトバックスキップ条件とライトバックスキップされるレジスタ

MRA.SM[1:0]ビット		MRB.DM[1:0]ビット		SAR レジスタ	DAR レジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

14.4.3 ノーマル転送モード

ノーマル転送モードでは、1つの起動要因で、1バイト（8ビット）、1ハーフワード（16ビット）、1ワード（32ビット）のデータ転送が可能です。転送回数は1～65536回まで設定できます。転送元アドレスと転送先アドレスは、それぞれ個別に、インクリメント、デクリメント、または固定に設定できます。このモードでは指定回数の転送が終了すると、CPUへの割り込み要求を発生させることができます。

表 14.5 にノーマル転送モードのレジスタ機能を、図 14.5 にノーマル転送モードのメモリマップを示します。

表 14.5 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	インクリメント／デクリメント／固定(注1)
DAR	転送先アドレス	インクリメント／デクリメント／固定(注1)
CRA	転送カウンタ A	CRA - 1
CRB	転送カウンタ B	更新なし

注 1. アドレス固定のとき、ライトバックはスキップされます。

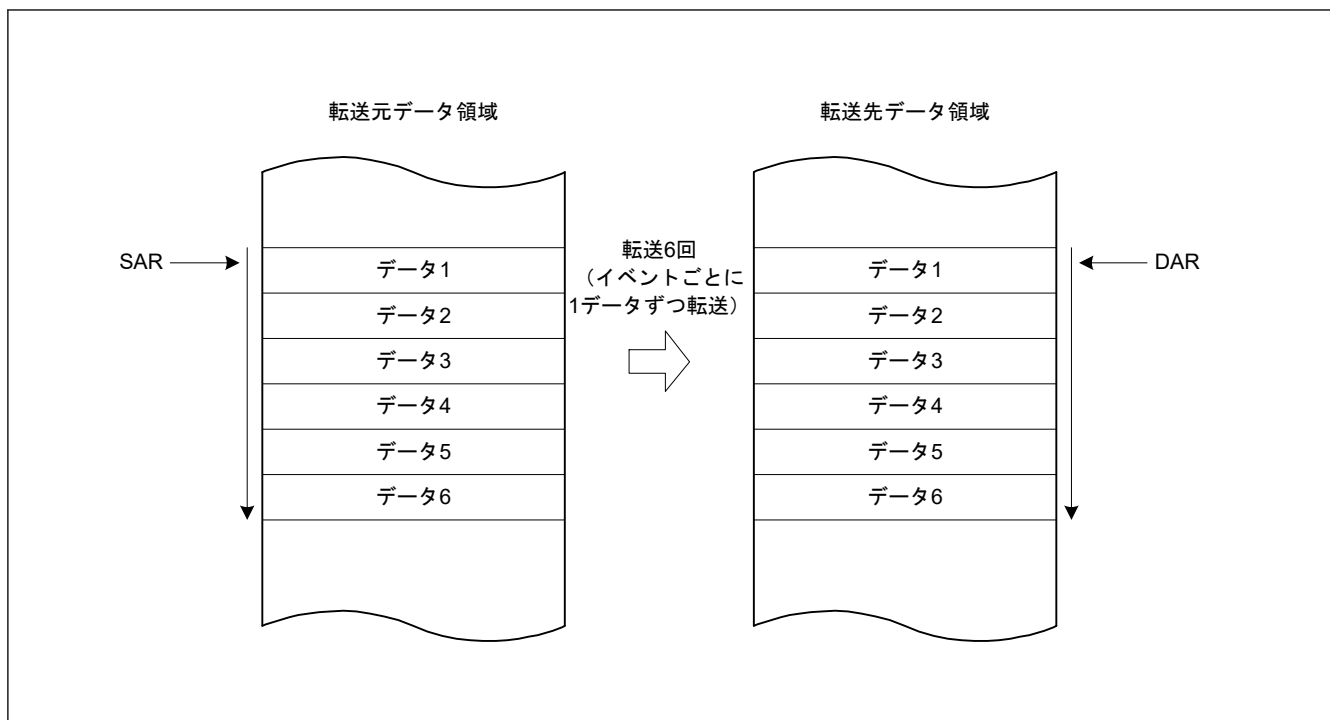


図 14.5 ノーマル転送モードのメモリマップ (MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRA = 0x0006)

14.4.4 リピート転送モード

このモードでは、1つの起動要因で、1バイト（8ビット）、1ハーフワード（16ビット）、または1ワード（32ビット）のデータ転送が可能です。MRB.DTSビットで、転送元と転送先のいずれかをリピート領域に指定する必要があります。転送回数は1～256回まで設定できます。指定回数の転送が終了すると、リピート領域に設定された方のアドレスレジスタは初期値に戻り、転送カウンタも初期値に戻ります。そして転送が繰り返されます。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ（CRALレジスタ）が0x00になると、CRALレジスタの値はCRAHレジスタで設定した値に更新されます。このため、転送カウンタが0x00にならないので、MRB.DISELビットが0になっていると、CPUへの割り込み要求は発生しません。指定されたデータ転送が終了したとき、CPUへの割り込みが発生します。

表 14.6 にリピート転送モードのレジスタ機能を、図 14.6 にリピート転送モードのメモリマップを示します。

表 14.6 リピート転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値	
		CRAL が 1 以外のとき	CRAL が 1 のとき
SAR	転送元アドレス	インクリメント／デクリメント／固定 ^(注1)	（MRB.DTS = 0 のとき）インクリメント／デクリメント／固定^(注1) （MRB.DTS = 1 のとき）SAR レジスタの初期値
DAR	転送先アドレス	インクリメント／デクリメント／固定 ^(注1)	（MRB.DTS = 0 のとき）DAR レジスタの初期値 （MRB.DTS = 1 のとき）インクリメント／デクリメント／固定^(注1)
CRAH	転送カウンタ保持	CRAH	CRAH
CRAL	転送カウンタ A	CRAL - 1	CRAH
CRB	転送カウンタ B	更新なし	更新なし

注 1. アドレス固定のとき、ライトバックはスキップされます。

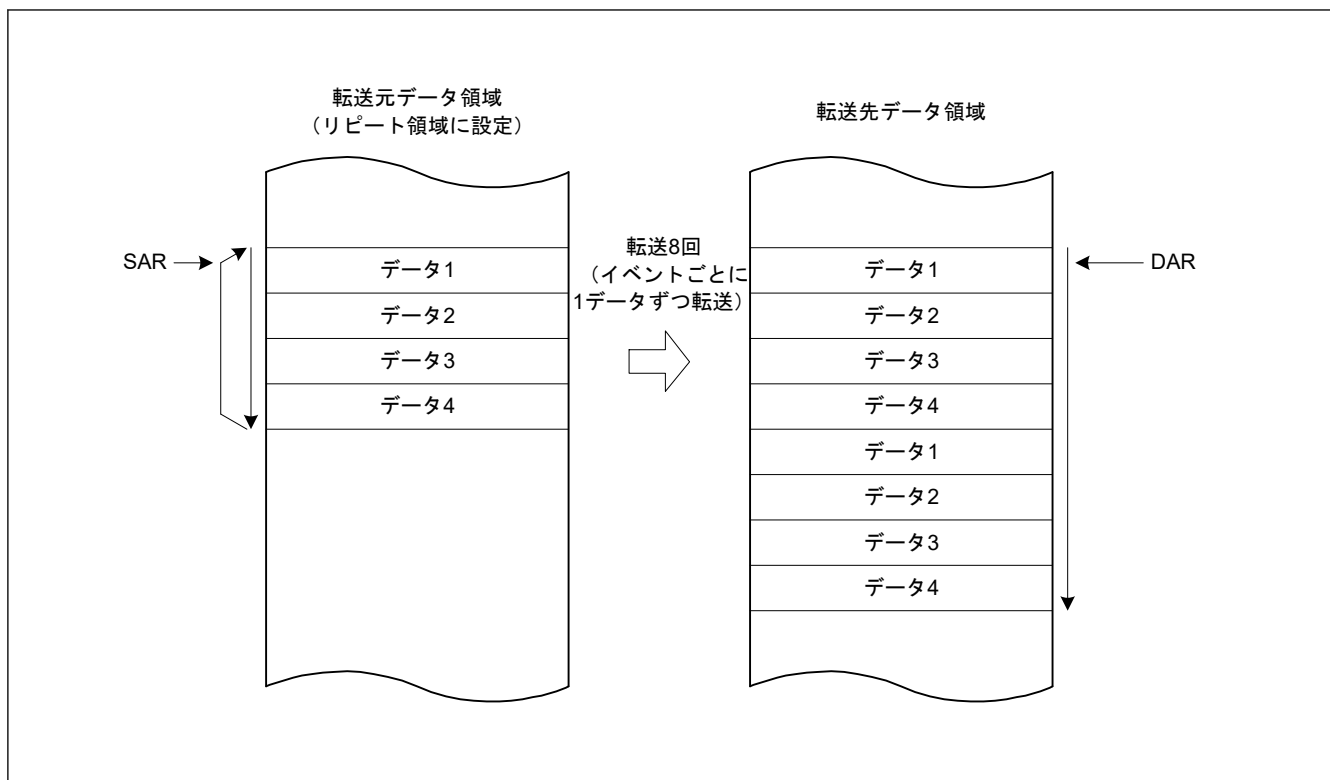


図 14.6 リピート転送モードのメモリマップ (転送元をリピート領域に設定した場合) (MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRAH = 0x04)

14.4.5 ブロック転送モード

このモードでは、1つの起動要因で1ブロックのデータ転送が可能です。MRB.DTS ビットで、転送元と転送先のいずれかをブロック領域に指定する必要があります。ブロックサイズは、1～256 バイト、1～256 ハーフワード (2～512 バイト)、または1～256 ワード (4～1024 バイト) に設定できます。指定された1ブロックの転送が終了すると、ブロックサイズカウンタ (CRAL レジスタ) と、ブロック領域に指定したアドレスレジスタ (MRB.DTS ビットが1のときは SAR レジスタ、MRB.DTS ビットが0のときは DAR レジスタ) は初期値に戻ります。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

転送回数 (ブロック数) は、1～65536 まで指定可能です。指定回数のブロック転送が終了すると、CPU への割り込み要求を発生させることができます。

表 14.7 にブロック転送モードのレジスタ機能を、図 14.7 にブロック転送モードのメモリマップを示します。

表 14.7 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	• (MRB.DTS = 0 のとき) インクリメント/デクリメント/固定(注1) • (MRB.DTS = 1 のとき) SAR レジスタの初期値
DAR	転送先アドレス	• (MRB.DTS = 0 のとき) DAR レジスタの初期値 • (MRB.DTS = 1 のとき) インクリメント/デクリメント/固定(注1)
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB - 1

注 1. アドレス固定のとき、ライトバックはスキップされます。

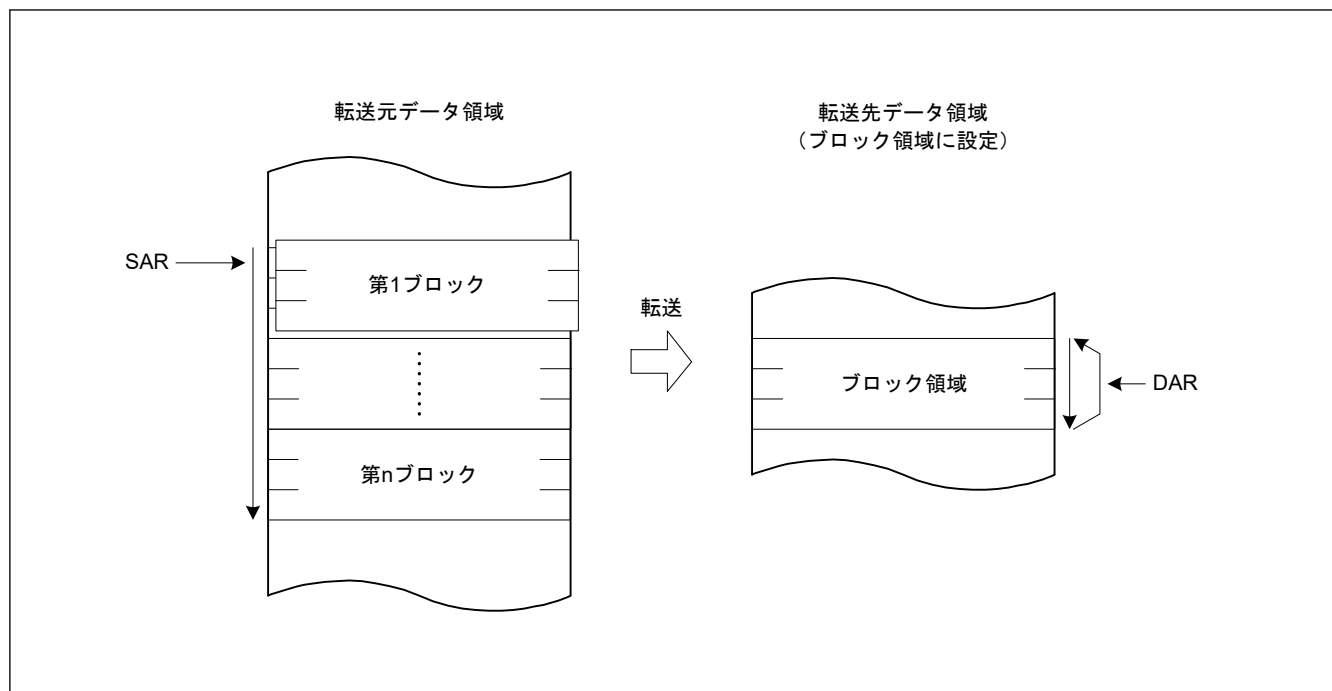


図 14.7 ブロック転送モードのメモリマップ

14.4.6 チェーン転送

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数のデータ転送を連続して行うチェーン転送が可能になります。MRB.CHNE ビットを 1 にして、MRB.CHNS ビットを 0 にした場合は、指定した転送回数の終了による CPU への割り込み要求も、MRB.DISEL ビットを 1 にすることによる CPU への割り込み要求も発生しません。割り込み要求は、DTC データ転送のたびに CPU に送信されます。

データ転送を定義するための SAR、DAR、CRA、CRB、MRA、および MRB レジスタは、それぞれ個別に設定可能です。図 14.8 にチェーン転送の動作を示します。

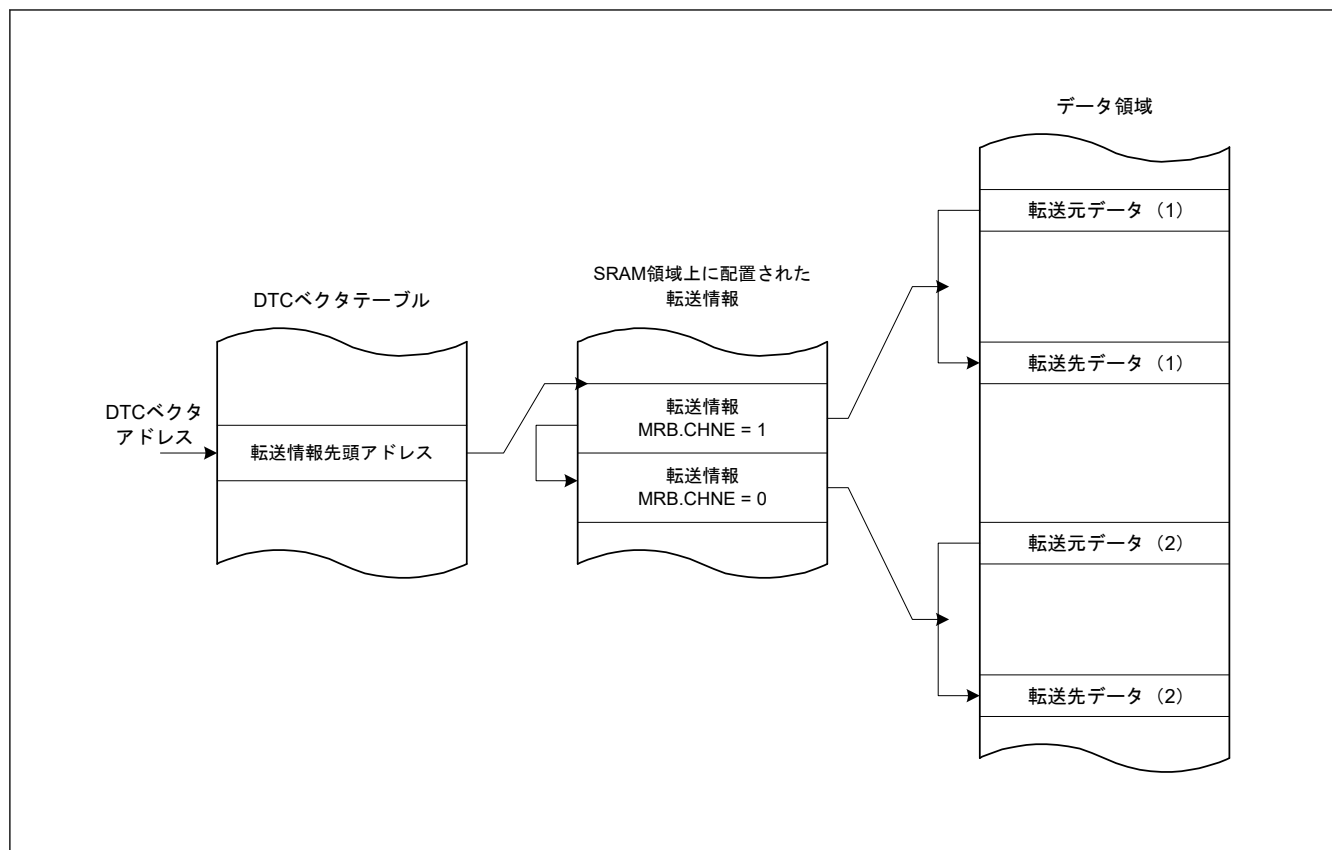


図 14.8 チェーン転送の動作

MRB.CHNE ビットと MRB.CHNS ビットを 1 にした場合、指定されたデータ転送終了時にのみチェーン転送を行います。リピート転送モードでも、指定されたデータ転送の終了時にチェーン転送が実行されます。チェーン転送の条件については、表 14.3 を参照してください。

14.4.7 動作タイミング

図 14.9～図 14.12 に示すタイミング図は、最小実行サイクル数を示しています。

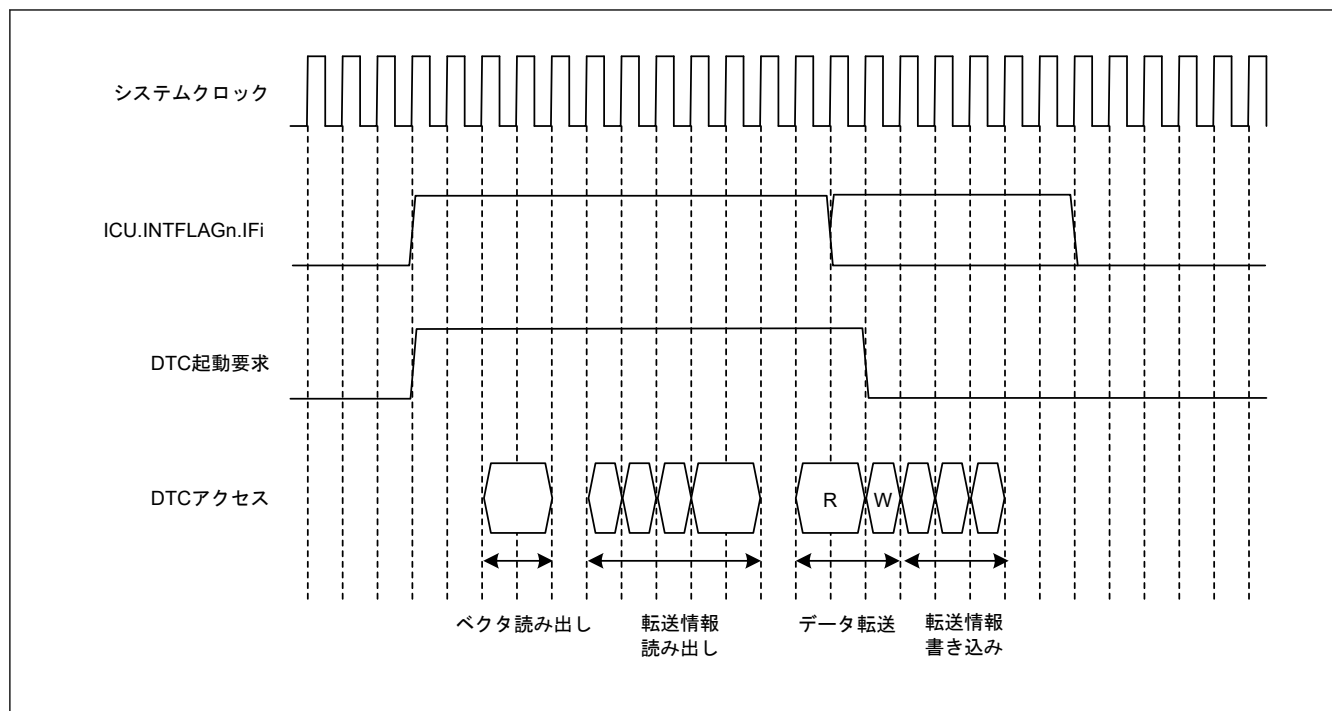


図 14.9 動作タイミング例 (1) (ノーマル転送モード、リピート転送モードの場合)

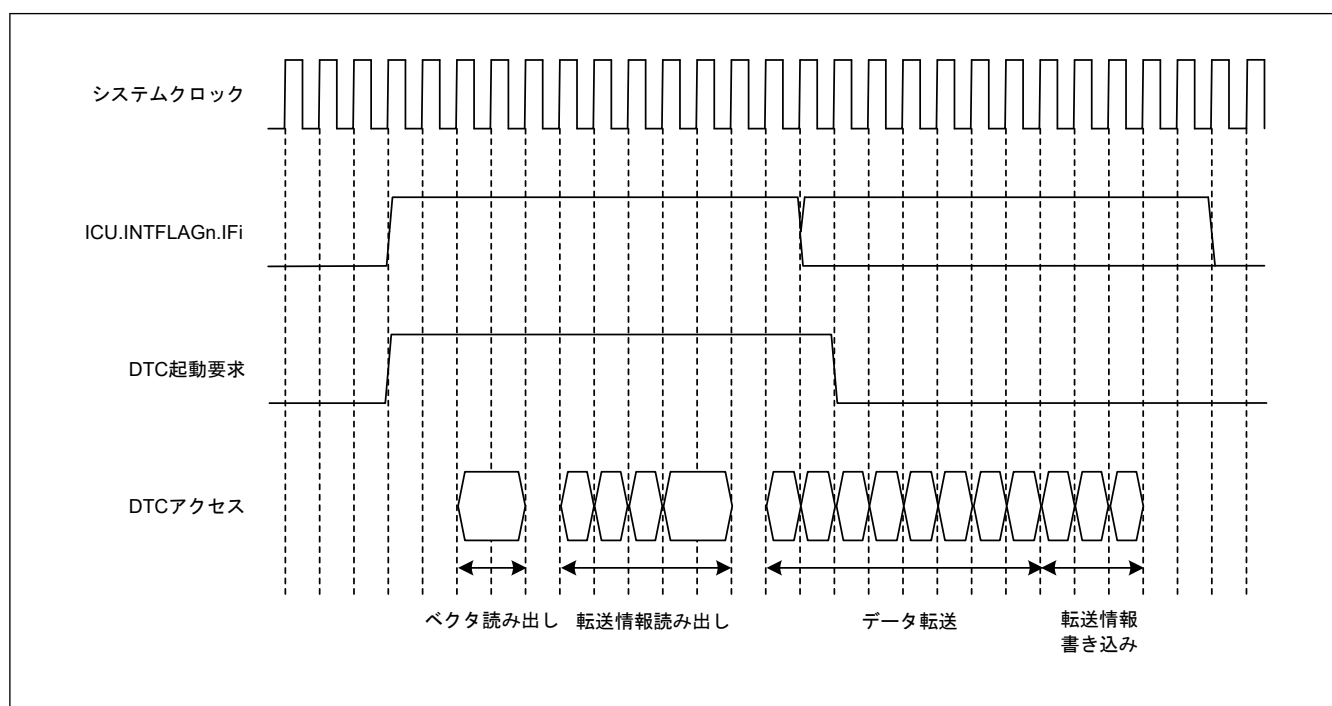


図 14.10 動作タイミング例 (2) (ブロック転送モード、ブロックサイズ = 4 の場合)

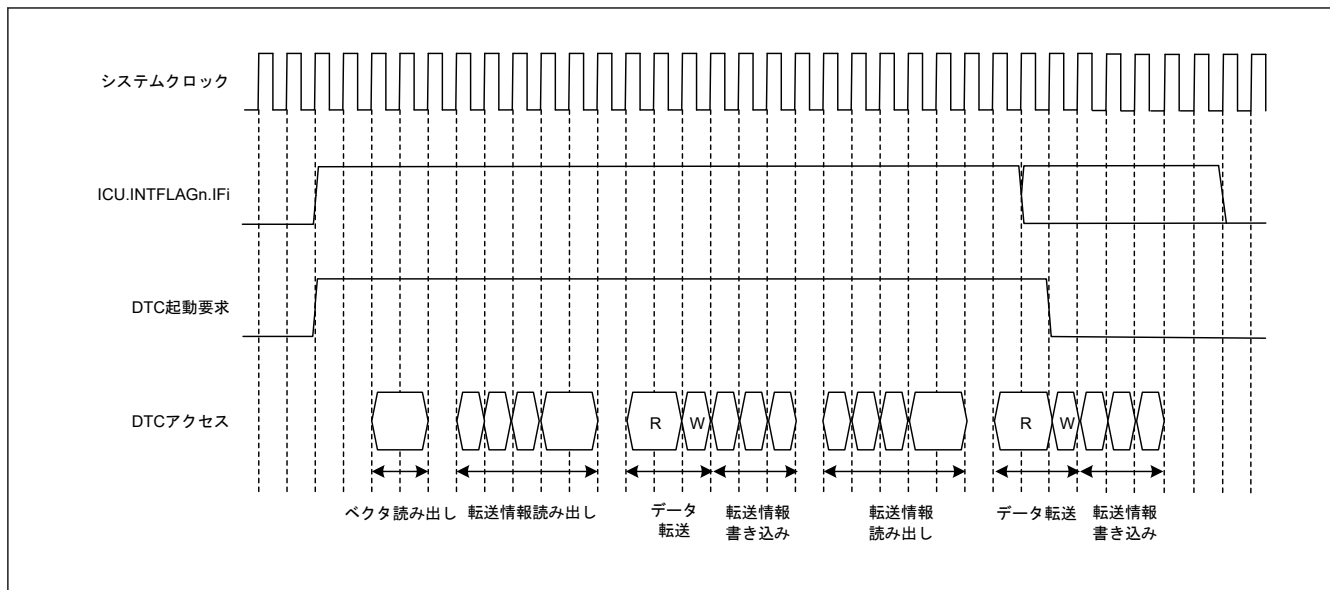


図 14.11 動作タイミング例 (3) (チェーン転送の場合)

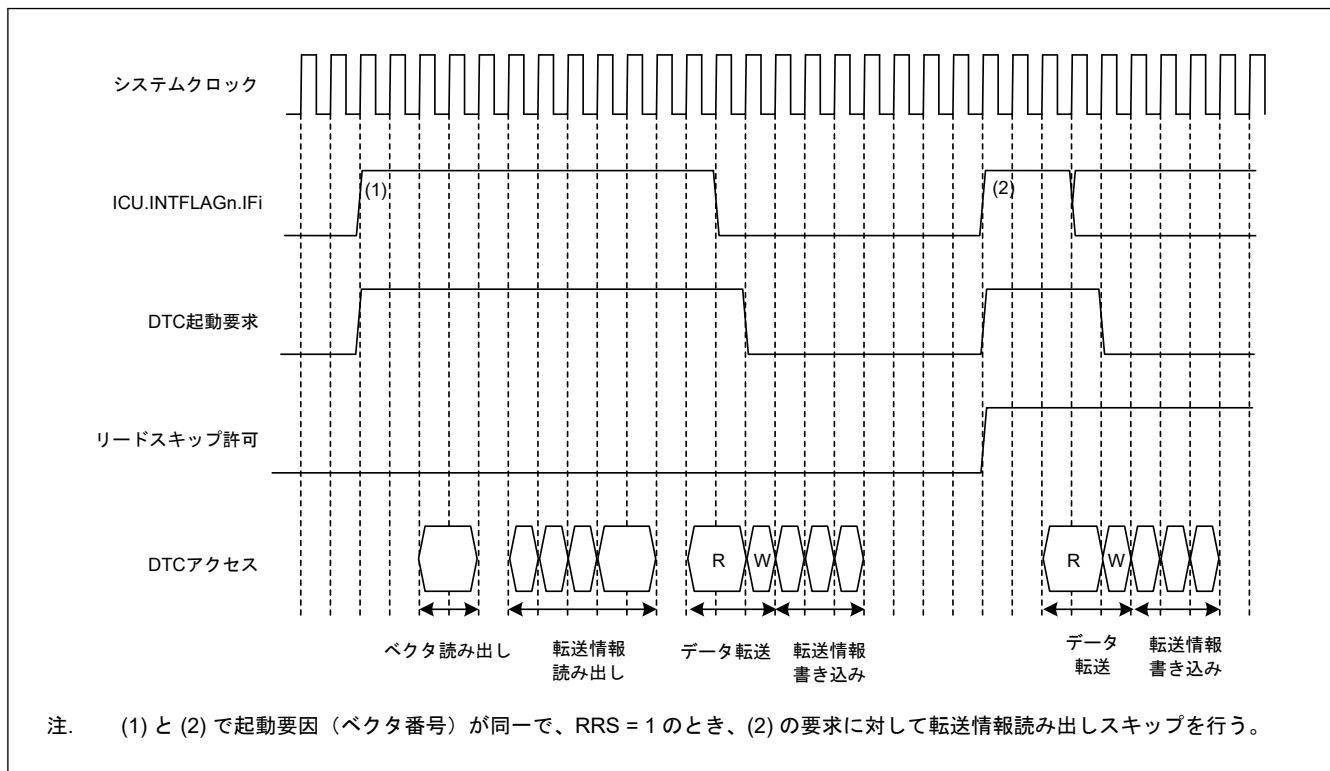


図 14.12 転送情報リードスキップ実行時の動作例 (ベクタ、転送情報、転送先データが SRAM にあり、転送元データが周辺モジュールにある場合)

14.4.8 DTC の実行サイクル

表 14.8 に DTC の 1 回のデータ転送の実行サイクルを示します。各実行状態の順序については、「[14.4.7. 動作タイミング](#)」を参照してください。

表 14.8 DTC の実行サイクル

P: ブロックサイズ (CRAH および CRAL レジスタの初期設定値)

Cv: ベクタ転送情報格納先へのアクセスサイクル

Ci: 転送情報格納先アドレスへのアクセスサイクル

Cr: データリード先へのアクセスサイクル

Cw: データライト先へのアクセスサイクル

ベクタ読み出し、転送情報読み出し、データ転送読み出しの各列に記載の“+1”の単位と、内部動作の列に記載の“2”の単位は、いずれもシステムクロック (ICLK) です。

Cv、Ci、Cr、Cw は対応するアクセス先で異なります。それぞれのアクセス先に対するサイクル数については、「24. SRAM」、「25. フラッシュメモリ」および「12. バス」を参照してください。

システムクロックと周辺クロックの周波数比も考慮されています。

DTC の応答時間は、DTC の起動要因が検出されてから DTC 転送が始まるまでの時間です。

表 14.8 には、DTC の起動要因がアクティブになってから DTC データ転送が始まるまでの時間は含まれていません。

転送モード	ベクタ読み出し		転送情報読み出し		転送情報書き込み			データ転送		内部動作	
								読み出し	書き込み		
ノーマル	Cv + 1	0(注1)	4 × Ci + 1	0(注1)	3 × Ci + 1(注2)	2 × Ci + 1(注3)	Ci(注4)	Cr + 1	Cw + 1	2	0(注1)
リピート								Cr + 1	Cw + 1		
ブロック(注5)								P × Cr	P × Cw		

注 1. 転送情報がリードスキップされる場合

注 2. SAR レジスタと DAR レジスタがともにアドレス固定でない場合

注 3. SAR レジスタと DAR レジスタのいずれかがアドレス固定の場合

注 4. SAR レジスタと DAR レジスタがともにアドレス固定の場合

注 5. ブロックサイズが 2 以上の場合。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

14.4.9 DTC のバス権解放タイミング

DTC は、転送情報の読み出し中はバス権を解放しません。転送情報の読み出しや書き込みが実施される前に、バスマスタ調停部によって決定された優先順位に従ってバス調停が行われます。バス調停については、「12. バス」を参照してください。

14.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ (DTCVBR) を設定してください。NVIC で割り込みを禁止して、DTC を設定するために、表 14.9 の手順に従ってください。

表 14.9 DTC の設定手順

No.	手順	内容
1	DTCCR.RRS ビットを 0 に設定します。	DTCCR.RRS ビットを 0 にして、転送情報読み出しスキップフラグをリセットします。その後、DTC を起動したとき、転送情報読み出しはスキップされません。転送情報を更新したときは、この設定を行ってください。
2	転送情報 (MRA, MRB, SAR, DAR, CRA, CRB) を設定します。	転送情報 (MRA, MRB, SAR, DAR, CRA, CRB) を SRAM 領域に配置してください。転送情報の設定は、「14.2. レジスタの説明」を参照してください。転送情報の配置方法は、「14.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。
3	転送情報の先頭アドレスを DTC ベクタテーブルに設定します。	転送情報の先頭アドレスを DTC ベクタテーブルに設定してください。DTC ベクタテーブルの設定方法は、「14.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。
4	DTCCR.RRS ビットを 1 に設定します。	DTCCR.RRS ビットを 1 にすることで、同一の割り込み要因による連続した DTC 起動を行う場合の 2 回目以降の転送情報読み出しサイクルをスキップできます。RRS ビットは 1 に設定できますが、DTC 転送中の設定は、次の転送から有効になります。
5	ICU.DTCENSTx.Sty ビットを 1 に設定します。 この割り込みは NVIC で許可に設定する必要があります。	ICU.DTCENSTx.Sty ビットを 1 に設定してください。この割り込みは NVIC で許可に設定してください。
6	起動要因となる割り込みの許可ビットを 1 に設定します。	起動要因となる割り込みの許可ビットを 1 に設定してください。要因となる割り込みが発生すると、DTC が起動されます。割り込み要因許可ビットの設定については、起動要因となるモジュールの設定方法を参照してください。
7	DTCST.DTCST ビットを 1 に設定します。	DTC モジュール起動ビット (DTCST.DTCST) を 1 に設定してください。

注. DTCST.DTCST ビットの設定は、各起動要因の設定の後でなくても構いません。

14.6 DTC の使用例

14.6.1 ノーマル転送

本節では、A/D 変換結果を 40 回連続でキャプチャする場合の DTC の使用例と応用例を示します。

(1) 転送情報の設定

MRA レジスタには、転送元アドレス固定 (MRA.SM[1:0] = 00b)、ノーマル転送モード (MRA.MD[1:0] = 00b)、およびハーフワード転送 (MRA.SZ[1:0] = 01b) を設定します。MRB レジスタには、転送先アドレスのインクリメント (MRB.DM[1:0] = 10b) と、1 回の割り込みで 1 回のデータ転送 (MRB.CHNE = 0、MRB.DISEL = 0) を設定します。MRB.DTS ビットは任意の値を設定できます。SAR レジスタには ADC10 の ADCR レジスタのアドレス、DAR レジスタにはデータを格納する SRAM 領域の開始アドレス、CRA レジスタには 40 回 (0x0028) を設定します。CRB レジスタは任意の値を設定できます。

(2) DTC ベクタテーブルの設定

ADC10_ADI 割り込み用の転送情報の開始アドレスを、DTC のベクタテーブルに設定します。

(3) ICU の設定と DTC モジュールの起動

ICU.DTCENST0.ST31 ビットを 1 にします。この割り込みは NVIC で許可に設定する必要があります。
DTCST.DTCST ビットを 1 にします。

(4) ADC10 の設定

ADC10_ADI を許可するために、ADC10.ADUL、ADC10.ADLL、ADC10.ADM2 レジスタを適切に設定します。
ADC10_ADI が発生しなければ、DTC は転送を開始しません。ADC10 の設定の詳細については、「[22.6. A/D コンバータ設定手順](#)」を参照してください。

(5) DTC 転送

ADC10 による A/D 変換が完了するたびに、ADC10_ADI 割り込みが発生し、DTC が起動します。DTC によって、A/D 変換結果が ADC10 の ADCR レジスタから SRAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントが行われます。

(6) 割り込み処理

40 回のデータ転送が終了して CRA レジスタの値が 0 になると、CPU に対する ADC10_ADI 割り込み要求が発生します。この割り込みに対して処理ルーチンで処理を完了してください。

14.6.2 チェーン転送

本節では、DTC によるチェーン転送の例を示します。ここでは、A/D 変換結果を連続キャプチャして、SAU の UART0 により送信する場合の使用例を説明します。A/D 変換結果を SRAM 領域に転送して、SAU の UART0 を使用して送信するために、チェーン転送を使用できます。

チェーン転送の最初の転送には、ADC10.ADCR レジスタから SRAM 領域への転送用にノーマル転送モードを指定します。チェーン転送の 2 番目の転送には、SRAM 領域の A/D 変換結果から SAU0.SDR00 レジスタへの転送用にノーマル転送モードを指定します。これは、起動要因のクリアや指定回数の転送終了時の割り込み発生が、チェーン転送の 2 番目の転送、すなわち MRB.CHNE = 0 のときの転送にのみ行われるからです。

以下の例では、DTC の起動要因として、A/D 変換終了割り込みの使用方法を説明します。

(1) 第 1 転送情報の設定

ADC10.ADCR レジスタから SRAM 領域への転送を設定します。

1. MRA レジスタで、転送元アドレスを固定 (MRA.SM[1:0] = 00b) に選択します。
2. ノーマル転送モードへの転送 (MRA.MD[1:0] = 00b) とハーフワード転送 (MRA.SZ[1:0] = 01b) を設定します。
3. MRB レジスタで、転送先アドレスのインクリメント (MRB.DM[1:0] = 10b) を選択し、チェーン転送 (MRB.CHNE = 1, MRB.CHNS = 0) を設定します。
4. SAR レジスタに ADC10.ADCR レジスタのアドレスを設定します。
5. DAR レジスタに、A/D 変換結果を格納する SRAM 領域のデータテーブルのアドレスを設定します。

6. CRA レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(2) 第2転送情報の設定

SAU0.SDR00 レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] = 10b) を選択します。
2. ノーマル転送モードへの転送 (MRA.MD[1:0] = 00b) とハーフワード転送 (MRA.SZ[1:0] = 01b) を設定します。
3. MRB レジスタで、転送先アドレスを固定 (MRB.DM[1:0] = 00b) に選択し、1回の割り込みで1回のデータ転送 (MRB.CHNE = 0, MRB.DISEL = 0) を設定します。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに SAU0.SDR00 レジスタのアドレスを設定します。
6. CRA レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(3) 転送情報の配置

SAU0.SDR00 レジスタへの転送で使用する転送情報は、ADC10.ADCR レジスタで使用する転送制御情報のすぐ後に配置します。

(4) DTC ベクタテーブルの設定

DTC ベクタテーブルで、ADC10.ADCR レジスタへの転送で使用する転送制御情報の開始アドレスを設定します。

(5) ICU の設定と DTC モジュールの起動

1. A/D 変換終了割り込みに対応する ICU.DTCENST0.ST31 ビットを設定します。
2. DTCST.DTCST ビットを 1 にします。

(6) ADC10 の設定

ADC10_ADI を許可するために、ADC10.ADUL、ADC10.ADLL、ADC10.ADM2 レジスタを適切に設定します。ADC10_ADI が発生しなければ、DTC は転送を開始しません。ADC10 の設定の詳細については、「[22.6. A/D コンバータ設定手順](#)」を参照してください。

(7) SAU の設定

SAU を使用した UART の設定の詳細については、[図 19.31](#) を参照してください。

(8) DTC 転送

A/D 変換終了割り込みが発生するたびに、ADCR レジスタの値は SRAM 領域と SAU0.SDR00 レジスタに転送されます。SAU0.SDR00 レジスタに書き込むと、自動送信が開始します。

(9) 割り込み処理

指定した回数のデータ転送終了後（たとえば、ADC10 転送用 CRA レジスタの値が 0 になると）、CPU に対して A/D 変換終了割り込みが発行されます。処理ルーチンでこの割り込みの処理を完了してください。

14.6.3 転送カウンタ = 0 のときのチェーン転送

第2転送は第1転送の転送カウンタが 0 になったときにだけ実行されます。第1転送情報は第2転送が実行されるたびに繰り返し変更されます。チェーン転送によって、256 回以上のリピータ転送が可能になります。

以下に、1 KB の入力バッファを構成する例を示します。入力バッファは下位アドレスが 0x00 から始まるように設定されています。[図 14.13](#) に転送カウンタ = 0 のときのチェーン転送を示します。

1. 第1転送のデータ入力用にノーマル転送モードを設定します。以下のように設定してください。
 - (a) 転送元アドレス = 固定
 - (b) CRA = 0x0200 (512 回)
 - (c) MRB.CHNE = 1 (チェーン転送許可)
 - (d) MRB.CHNS = 1 (転送カウンタが 0 の場合のみチェーン転送を行う)

- (e) MRB.DISEL = 0 (指定されたデータ転送の終了時、CPU への割り込み要求が発生)
- 2. 第 1 転送の転送先アドレスの 512 回ごとに、開始アドレスの上位 8 ビットアドレスを別の領域 (コードフラッシュメモリなど) に用意してください。たとえば、入力バッファを 0x8000~0x83FF にする場合は、0x82 と 0x80 を用意します。
- 3. 第 2 転送は以下のように設定してください。
 - (a) 第 1 転送の転送カウンタをリセットするため、リピート転送モード (転送元および転送先アドレスは固定) に設定
 - (b) 転送先として、第 1 転送情報領域の CAR レジスタを指定
 - (c) MRB.CHNE = 1 (チェーン転送許可)
 - (d) MRB.CHNS = 0 (連続チェーン転送を選択)
 - (e) MRB.DISEL = 0 (指定されたデータ転送の終了時、CPU への割り込み要求が発生)
 - (f) CRA = 0x0101 (転送回数は 1 回)
- 4. 第 3 転送は以下のように設定してください。
 - (a) 第 1 転送の転送先アドレスをリセットするため、リピート転送モード (転送元をリピート領域) に設定
 - (b) 転送先として、第 1 転送情報領域の DAR レジスタの上位 8 ビットを指定
 - (c) MRB.CHNE = 0 (チェーン転送禁止)
 - (d) MRB.DISEL = 0 (指定されたデータ転送の終了時、CPU への割り込み要求が発生)
 - (e) 入力バッファを 0x8000~0x83FF にした場合は、転送カウンタ = 2
- 5. 1 回の割り込みで、第 1 転送が 512 回実行されます。第 1 転送の転送カウンタが 0 になると、第 2 転送がスタートします。第 1 転送の転送カウンタを 0x0200 にしてください。第 1 転送の転送先アドレスの下位 8 ビット (転送カウンタ) は 0x0200 になっています。
- 6. 1 回の割り込みで、第 2 転送が 1 回実行されます。第 1 転送の転送カウンタが 0 になると、第 3 転送がスタートします。第 1 転送の転送先アドレスの上位 8 ビットを 0x82 にしてください。転送先アドレスの下位 8 ビットは 0x00、第 1 転送の転送カウンタは 0x0200 になっています。
- 7. 引き続き 1 回の割り込みで、第 1 転送用に指定された 512 回だけ、第 1 転送が実行されます。第 1 転送の転送カウンタが 0 になると、第 2 転送がスタートします。第 1 転送の転送カウンタを 0x0200 にしてください。第 1 転送の転送先アドレスの下位 8 ビット (転送カウンタ) は 0x0200 になっています。
- 8. 1 回の割り込みで、第 2 転送が 1 回実行されます。第 1 転送の転送カウンタが 0 になると、第 3 転送がスタートします。第 1 転送の転送先アドレスの上位 8 ビットを 0x80 にしてください。転送先アドレスの下位 8 ビットは 0x00、第 1 転送の転送カウンタは 0x0200 になっています。
- 9. 手順 5 と 8 が無限に繰り返されます。第 2 転送はリピート転送モードのため、CPU への割り込み要求は発生しません。

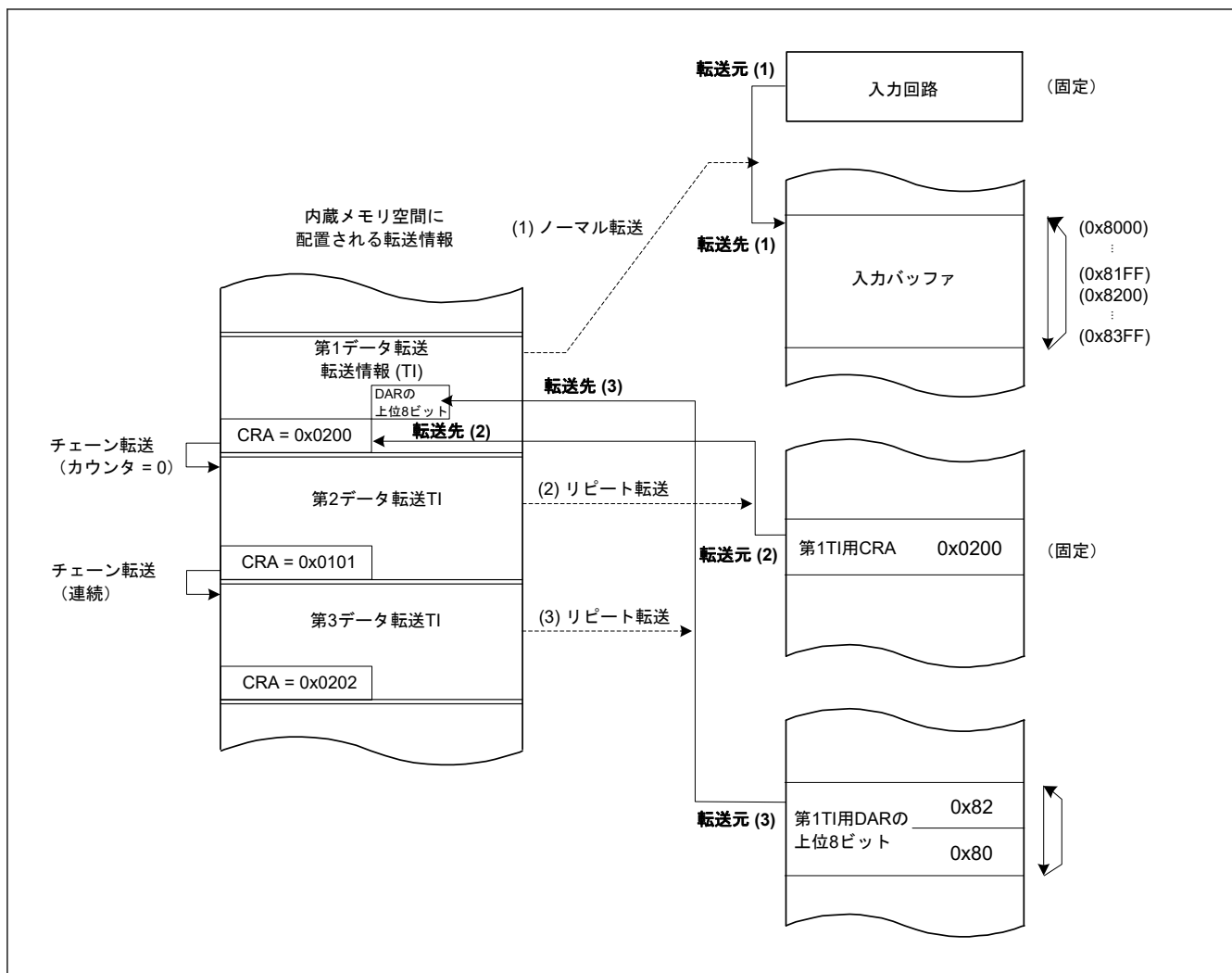


図 14.13 転送カウンタ = 0 のときのチェーン転送

14.7 割り込み

14.7.1 割り込み要因

DTC が指定された回数のデータ転送を完了したとき、または MRB.DISEL ビットが 1 の状態でデータ転送が完了したとき、DTC の起動要因によって CPU に対する割り込みが発生します。DTC の起動に起因する割り込み（チャンネルごと）とイベント信号 DTC_COMPLETE に起因する割り込み（全チャンネル共通）の 2 種類の割り込みが使用可能です。CPU に対する割り込みは、NVIC の設定に従って制御されます。「11. 割り込みコントローラユニット (ICU)」を参照してください。DTC により決定される起動要因の優先順位は、割り込みベクタ番号が小さいほど高くなります。CPU への割り込みの優先順位は、NVIC の優先順位で決定されます。

14.8 低消費電力機能

モジュールストップ状態、またはスリープモードへの遷移を伴わないソフトウェアスタンバイモードへ遷移する際は、事前に DTCST.DTCST ビットを 0 にしてください。その後、本節に示す動作を実行してください。

(1) モジュールストップ機能

MSTPCRA.MSTPA22 ビットに 1 を書き込むと、DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA22 ビットに 1 を書き込むと、DTC 転送が動作中の場合は、DTC 転送終了後にモジュールストップ状態へ遷移します。MSTPCRA.MSTPA22 ビットが 1 のときは、DTC のレジスタにアクセスしないでください。MSTPCRA.MSTPA22 ビットに 0 を書き込むと、DTC のモジュールストップ状態が解除されます。

(2) ソフトウェアスタンバイモード

「9.7.1. ソフトウェアスタンバイモードへの遷移」に記載された設定を使用してください。

WFI 命令実行時点で DTC 転送が動作中の場合、DTC 転送が終了してからソフトウェアスタンバイモードへ遷移します。

(3) スヌーズモード

ソフトウェアスタンバイモード時に、スヌーズ制御回路がスヌーズ要求を受信すると、MCU はスヌーズモードへ遷移します。「9.8.1. スヌーズモードへの遷移」を参照してください。スヌーズモード時に DTC 動作を許可にする場合、ソフトウェアスタンバイモードへ遷移する前に、DTCST.DTCST ビットを 1 にしてください。

DTC 転送が完了したとき、ノーマルモードへ遷移する場合、ICU.SBYEDCRn.xxxED ビット (DTC を起動させる割り込みに対応するビット) を 1 にしてください。

- 注. スヌーズモードの簡易 SPI からの転送終了割り込みを DTC 起動要因として使用しているときは、転送終了割り込みを使用してチップのスヌーズモードを解除して DTC 転送完了後に CPU による処理を開始するか、チェーン転送を使用して再度簡易 SPI による受信設定 (ST[0] ビットに 1 を書き込み、SWC ビットに 0 を書き込み、SSC0 レジスタを設定し、SS[0] ビットに 1 を書き込む) を行ってください。
- 注. スヌーズモードの UART からの転送終了割り込みを DTC 起動要因として使用しているときは、転送終了割り込みを使用してチップのスヌーズモードを解除して DTC 転送完了後に CPU による処理を開始するか、チェーン転送を使用して再度 UART による受信設定 (ST[1] ビットに 1 を書き込み、SWC ビットに 0 を書き込み、SSC0 レジスタを設定し、SS[1] ビットに 1 を書き込む) を行ってください。
- 注. スヌーズモードの A/D コンバータからの A/D 変換終了割り込みを DTC 起動要因として使用しているときは、A/D 変換終了割り込みを使用してチップのスヌーズモードを解除して DTC 転送完了後に CPU による処理を開始するか、チェーン転送を使用して再度 A/D コンバータのスヌーズモード機能の設定 (AWC ビットに 0 を書き込んだ後、1 を書き込む) を行ってください。

(4) 低消費電力機能に関する注意事項

WFI 命令とレジスタの設定手順については、「9. 低消費電力モード」を参照してください。

スヌーズモードへ遷移しないで低消費電力モードから復帰した後に DTC 転送を行うには、再度 DTCST.DTCST ビットを 1 にしてください。

ソフトウェアスタンバイモード時に発生した要求を、DTC 起動要求ではなく CPU への割り込み要求として使用する場合は、「11.4.1. 割り込みの検出」に示すように、割り込み要求先を CPU に切り替えてから WFI 命令を実行してください。スヌーズモード時に DTC 動作を許可する場合、DTC のモジュールストップ機能を使用しないでください。

14.9 使用上の注意

14.9.1 転送情報の開始アドレス

ベクタテーブルに指定する転送情報の開始アドレスは 4n 番地でなければいけません。4n 番地以外を指定すると、アドレスの最下位 2 ビットは 00b としてアクセスされます。

15. I/O ポート

15.1 概要

I/O ポート端子は、汎用入出力ポート端子、周辺モジュールの入出力端子、割り込み入力端子、アナログ入出力として動作します。

すべての端子は、リセット直後は入力端子として動作しますが、レジスタの設定によって機能を切り替えることができます。各端子の I/O ポートと周辺モジュールは、関連するレジスタで指定されます。

図 15.1 に、I/O ポートレジスタの接続図を示します。パッケージによって I/O ポートの構成は異なります。表 15.1 にパッケージ別の I/O ポートの仕様を、表 15.2 に I/O ポートの機能を示します。

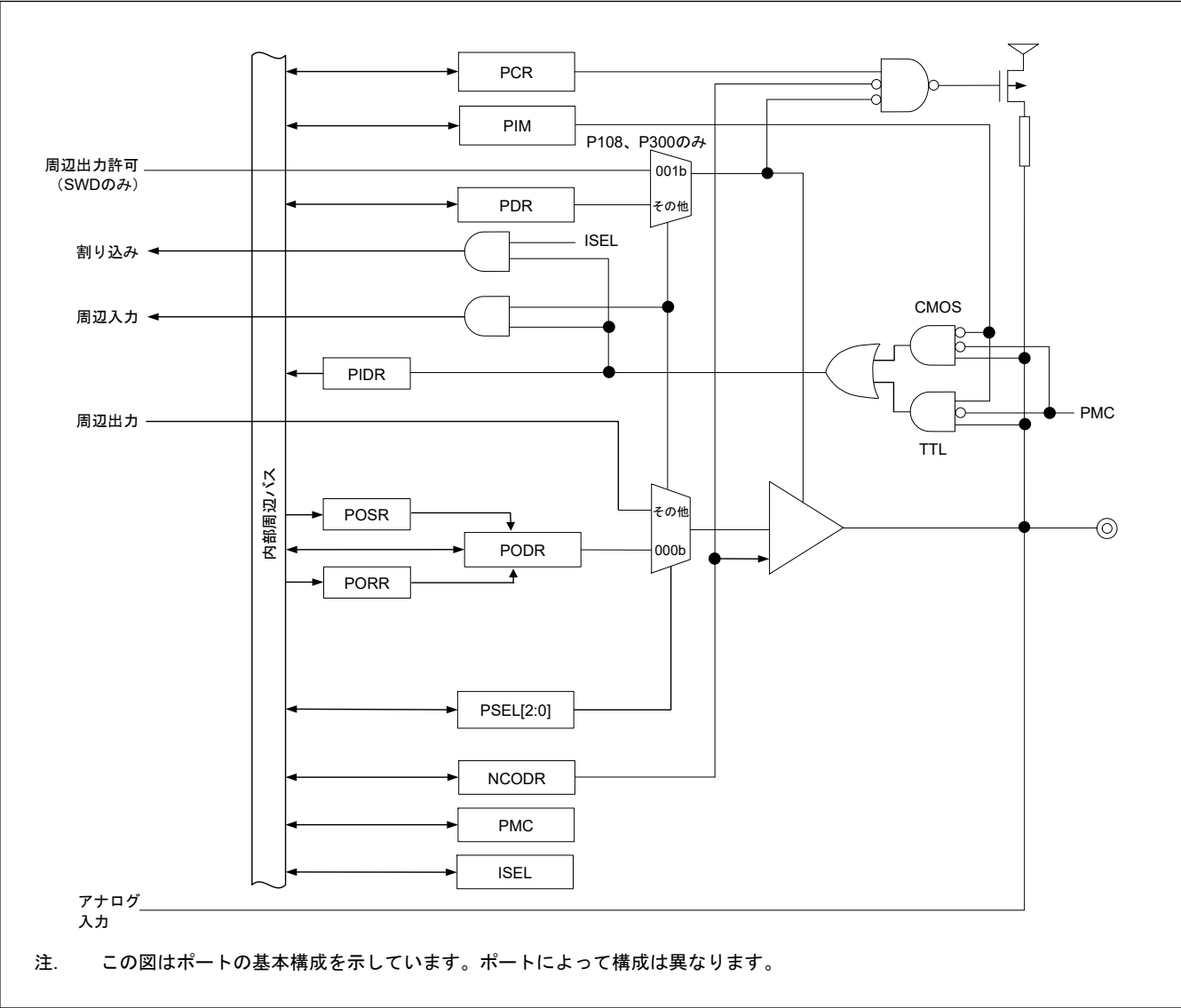


図 15.1 I/O ポートレジスタの接続図

表 15.1 に I/O ポートの仕様を、表 15.2 に I/O ポートの機能を示します。

表 15.1 I/O ポートの仕様 (1/2)

ポート	パッケージ	
	20 ピン	本数
ポート 0	P010～P013	4
ポート 1	P100～P102, P108～P110, P112	7

表 15.1 I/O ポートの仕様 (2/2)

ポート	パッケージ	
	20 ピン	本数
ポート 2	P200, P201, P206, P212, P213	5
ポート 3	P300	1

注. — : 設定禁止

表 15.2 I/O ポートの機能

ポート	ポート名	入力プルアップ	入力モード切り替え	オープンドレイン出力	5 V トレラント	入出力
ポート 0	P010~P013	—	—	—	—	入出力
ポート 1	P100~P102, P108~P110, P112	✓	CMOS/TTL	✓	—	入出力
ポート 2	P200	—	—	—	—	入力
	P201	✓	CMOS/TTL	✓	—	入出力
	P206	✓	—	—	—	入出力
	P212, P213	✓	—	✓	—	入出力
ポート 3	P300	✓	CMOS/TTL	✓	—	入出力

注. ✓ : 利用可能

— : 設定禁止

15.2 レジスタの説明

15.2.1 PODRm : Pmn 出力データレジスタ (m = 0~3, n = 00~15)

Base address: PORTm = 0x400A_0000 + 0x20 × m (m = 0~3)

Offset address: 0x0000

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:	PODR 15	PODR 14	PODR 13	PODR 12	PODR 11	PODR 10	PODR 09	PODR 08	PODR 07	PODR 06	PODR 05	PODR 04	PODR 03	PODR 02	PODR 01	PODR 00

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
15:0	PODR15~PODR00	Pmn 出力データ 0: Low 出力 1: High 出力	R/W

Pmn 出力データレジスタ (PODRm) は、16 ビット読み出し／書き込みレジスタで、16 ビット単位でアクセスされます。

注. 本製品には以下のポートが存在します。

- PODR0 : P0n 出力データレジスタ (n = 10~13)
- PODR1 : P1n 出力データレジスタ (n = 00~02, 08~10, 12)
- PODR2 : P2n 出力データレジスタ (n = 01, 06, 12, 13)
- PODR3 : P3n 出力データレジスタ (n = 00)

PODRn ビット (Pmn 出力データ)

PODRn ビットは、汎用入出力端子から出力されるデータを格納します。存在しないポート m のビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。P200 は入力専用なので、PODR2.PODR00 は予約ビットです。PODRm レジスタの PODR ビットは、PmnPFS_A レジスタの PODR ビットと同じ機能です。

注. RES 端子 (OFS1.PORTSELB = 1) が選択されているとき、PODR2.PODR06 ビット (P206) は読むと常に 0 が読めます。

15.2.2 PDRm : Pmn 方向レジスタ (m = 0~3, n = 00~15)

Base address: PORTm = 0x400A_0000 + 0x20 × m (m = 0~3)

Offset address: 0x0002

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PDR1 5	PDR1 4	PDR1 3	PDR1 2	PDR1 1	PDR1 0	PDR0 9	PDR0 8	PDR0 7	PDR0 6	PDR0 5	PDR0 4	PDR0 3	PDR0 2	PDR0 1	PDR0 0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	PDR15~PDR00	Pmn 方向 0: 入力 (入力端子として機能) 1: 出力 (出力端子として機能)	R/W

Pmn 方向レジスタ (PDRm) は、16 ビット読み出し／書き込みレジスタで、16 ビット単位でアクセスされます。

注. 本製品には以下のポートが存在します。

- PDR0 : P0n 方向レジスタ (n = 10~13)
- PDR1 : P1n 方向レジスタ (n = 00~02, 08~10, 12)
- PDR2 : P2n 方向レジスタ (n = 01, 06, 12, 13)
- PDR3 : P3n 方向レジスタ (n = 00)

PDRn ビット (Pmn 方向)

PDRn ビットは、汎用入出力端子として設定されている個々のポート端子の入力／出力方向を選択します。ポート m の各端子はそれぞれ PDRm.PDRn ビットに対応しています。入出力方向は 1 ビット単位で指定できます。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

P200 は入力専用なので、PDR2.PDR00 は予約ビットです。PDRm レジスタの PDR ビットは、PmnPFS_A レジスタの PDR ビットと同じ機能です。

注. RES 端子 (OFS1.PORTSELB = 1) が選択されているとき、PDR2.PDR06 ビット (P206) は読むと常に 0 が読めます。

15.2.3 PIDRm : Pmn 状態レジスタ (m = 0~3, n = 00~15)

Base address: PORTm = 0x400A_0000 + 0x20 × m (m = 0~3)

Offset address: 0x0006

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PIDR1 5	PIDR1 4	PIDR1 3	PIDR1 2	PIDR1 1	PIDR1 0	PIDR0 9	PIDR0 8	PIDR0 7	PIDR0 6	PIDR0 5	PIDR0 4	PIDR0 3	PIDR0 2	PIDR0 1	PIDR0 0
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
15:0	PIDR15~PIDR00	Pmn 状態 0: Low レベル 1: High レベル	R

Pmn 状態レジスタ (PIDRm) は、16 ビット書き込みレジスタで、16 ビット単位でアクセスされます。

注. 本製品には以下のポートが存在します。

- PIDR0 : P0n ステートレジスタ (n = 10~13)
- PIDR1 : P1n ステートレジスタ (n = 00~02, 08~10, 12)

- PIDR2 : P2n ステートレジスタ (n = 00, 01, 06, 12, 13)
- PIDR3 : P3n ステートレジスタ (n = 00)

PIDRn ビット (Pmn 状態)

PIDRn ビットは、PDRm.PDRn ビットの設定値にかかわらず、個々のポートの端子状態を反映します。PIDRm レジスタの PIDR ビットは、PmnPFS_A レジスタの PIDR ビットと同じ機能です。

次の機能のいずれかが有効の場合、端子状態は PIDRn に反映できません。

- アナログ機能 (PmnPFS_A.PMC=1)
- 入力バッファへの入力は無効 (PmnPFS_A.PMC = 1)

注. RES 端子 (OFS1.PORTSELB = 1) が選択されているとき、PIDR2.PIDR06 ビット (P206) は読むと常に 1 が読めます。

15.2.4 PORRm : Pmn 出力リセットレジスタ (m = 0~3, n = 00~15)

Base address: PORTm = 0x400A_0000 + 0x20 × m (m = 0~3)

Offset address: 0x0008

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PORR 15	PORR 14	PORR 13	PORR 12	PORR 11	PORR 10	PORR 09	PORR 08	PORR 07	PORR 06	PORR 05	PORR 04	PORR 03	PORR 02	PORR 01	PORR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	PORR15~PORR00	Pmn 出力リセット 0: 出力に影響なし 1: Low 出力	W

Pmn 出力リセットレジスタ (PORRm) は、16 ビット書き込みレジスタで、16 ビット単位でアクセスされます。

注. 本製品には以下のポートが存在します。

- PORR0 : P0n 出力リセットレジスタ (n = 10~13)
- PORR1 : P1n 出力リセットレジスタ (n = 00~02, 08~10, 12)
- PORR2 : P2n 出力リセットレジスタ (n = 01, 06, 12, 13)
- PORR3 : P3n 出力リセットレジスタ (n = 00)

PORRn ビット (Pmn 出力リセット)

PORRn ビットがソフトウェア書き込みによってリセットされると、PODRn ビットが変更されます。たとえば P100 端子の場合、PORR1.PORR00 = 1 であると、PODR1.PODR00 は 0 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。

P200 は入力専用なので、PORR2.PORR00 は予約ビットです。

15.2.5 POSRm : Pmn 出力設定レジスタ (m = 0~3, n = 00~15)

Base address: PORTm = 0x400A_0000 + 0x20 × m (m = 0~3)

Offset address: 0x000A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	POSR 15	POSR 14	POSR 13	POSR 12	POSR 11	POSR 10	POSR 09	POSR 08	POSR 07	POSR 06	POSR 05	POSR 04	POSR 03	POSR 02	POSR 01	POSR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	POSR15~POSR00	Pmn 出力設定 0: 出力に影響なし 1: High 出力	W

Pmn 出力セットレジスタ (POSRm) は、16 ビット書き込みレジスタで、16 ビット単位でアクセスされます。

注. 本製品には以下のポートが存在します。

- POSR0 : P0n 出力設定レジスタ (n = 10~13)
- POSR1 : P1n 出力設定レジスタ (n = 00~02, 08~10, 12)
- POSR2 : P2n 出力設定レジスタ (n = 01, 06, 12, 13)
- POSR3 : P3n 出力設定レジスタ (n = 00)

POSRn ビット (Pmn 出力設定)

POSRn ビットがソフトウェア書き込みによってセットされると、PODRn ビットが変更されます。たとえば P100 端子の場合、POSR1.POSR00 = 1 であると、PODR1.POSR00 は 1 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。

P200 は入力専用なので、POSR2.POSR00 は予約ビットです。

15.2.6 PmnPFS_A : ポート mn 端子機能選択レジスタ (m = 1~3, n = 00~15)

Base address: PFS_A = 0x400A_0200

Offset address: 0x0000 + 0x20 × m + 0x2 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PMC	ISEL	—	—	—	PSEL[2:0]		—	NCOD R	PIM	PCR	—	PDR	PIDR	PODR	
Value after reset:	0 ^(注1)	0	0	0	0	0	0	0 ^(注1)	0	0	0	0 ^(注1)	0	0	x	0

ビット	シンボル	機能	R/W
0	PODR	Pmn 出力データ 0: Low 出力 1: High 出力	R/W
1	PIDR	Pmn 状態 0: Low レベル 1: High レベル	R
2	PDR	Pmn 方向 0: 入力 (入力端子として機能) 1: 出力 (出力端子として機能)	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	PCR	プルアップ制御 0: 入力プルアップ無効 1: 入力プルアップ有効	R/W
5	PIM	端子入力バッファ選択 0: 通常入力バッファ 1: TTL 入力バッファ	R/W
6	NCODR	N チャネルオープンドレイン制御 0: CMOS 出力 1: NMOS オープンドレイン出力	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	PSEL[2:0]	周辺機能選択 周辺機能を選択します。各端子の機能については、この章の関連する表を参照してください。	R/W
13:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
14	ISEL	IRQ 入力許可 0: IRQn 入力端子として使用しない 1: IRQn 入力端子として使用する	R/W
15	PMC	端子モード制御 0: デジタル入出力 1: アナログ入力機能。入力バッファへの入力は無効	R/W

注 1. P100、P101、P108、P206、および P300 の初期値は 0x0000 ではありません。P100 の初期値は 0x8000、P101 の初期値は 0x8000、P108 の初期値は 0x0110、P206 の初期値は 0x0010、および P300 の初期値は 0x0110 になります。

ポート mn 端子機能選択レジスタ (PmnPFS_A) は、16 ビットの読み出し／書き込みコントロールレジスタで、ポート mn 端子機能を選択し、16 ビット単位でアクセスされます。

注. 本製品には以下のポートが存在します。

- P1nPFS_A: ポート 1n 端子機能選択レジスタ (n = 00~02, 08~10, 12)
- P2nPFS_A: ポート 2n 端子機能選択レジスタ (n = 00, 01, 06, 12, 13)
- P3nPFS_A: ポート 3n 端子機能選択レジスタ (n = 00)

PODR ビット (Pmn 出力データ)、PIDR ビット (Pmn 状態)、PDR ビット (Pmn 方向)

PDR、PIDR、および PODR ビットは、PDRm、PIDRm、および PODRm と同じ機能を果たします。これらのビットが読み出されると、PDRm、PIDRm、および PODRm の値が読み出されます。

PCR ビット (プルアップ制御)

PCR ビットは、ポートの各端子に対して入力プルアップ抵抗を有効または無効にします。入力状態にあり PmnPFS_A.PCR の関連するビットが 1 になっている端子については、その端子に接続されたプルアップ抵抗が有効になります。汎用ポート出力端子に設定されている場合は、PCR の設定値にかかわらず、プルアップ抵抗は無効になります。リセット状態でもプルアップ抵抗は無効になります。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

P200 には PCR ビットがありません。そのため、それらのポート端子機能選択レジスタの PCR ビットは予約ビットです。

注. PCR は、P206 (OFS1.PORTSELB = 0) を選択時に選択可能です。RES 端子 (OFS1.PORTSELB = 1) が選択されているとき、入力プルアップ抵抗が有効になります。

PIM ビット (端子入力バッファ選択)

PIM ビットは、入力バッファを設定します。TTL 入力バッファは、異なる電圧で動作中の外部デバイスとのシリアル通信の際に選択可能です。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

P200、P206、P212、および P213 には PIM ビットがありません。そのため、それらのポート端子機能選択レジスタの PIM ビットは予約ビットです。

NCODR ビット (N チャネルオープンドレイン制御)

NCODR ビットは、ポート端子の出力タイプを設定します。N チャネルオープンドレイン出力 (VCC の耐電圧) モードは、異なる電圧で動作中の外部デバイスとのシリアル通信で選択可能です。また、同じ電圧で動作している外部デバイスとの簡易 I2C 通信の際に SDA00 端子および SDA11 端子で選択可能です。また、NCODR は PCR と組み合わせて、内蔵プルアップ抵抗を使用するかどうかを指定するのに使用されます。内蔵プルアップ抵抗は、N チャネルオープンドレイン出力 (VCC の耐電圧) モード (NCODR = 1) が設定されたビットには接続されません。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

P200 および P206 には NCODR ビットがありません。そのため、それらのポート端子機能選択レジスタの NCODR ビットは予約ビットです。

PSEL[2:0]ビット (周辺機能選択)

PSEL[2:0]ビットは、周辺機能を割り当てます。製品ごとの周辺選択設定に関する詳細は、「[15.6. 製品ごとの周辺選択設定](#)」を参照してください。

存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

P206 には PSEL[2:0] ビットがありません。そのため、それらのポート端子機能選択レジスタの PSEL[2:0] ビットは予約ビットです。

ISEL ビット (IRQ 入力許可)

ISEL ビットは、IRQ 入力端子を指定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQ_n (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

P108 および P300 には ISEL ビットがありません。そのため、それらのポート端子機能選択レジスタの ISEL ビットは予約ビットです。

PMC ビット (端子モード制御)

PMC ビットは、デジタル入出力またはアナログ入力機能を指定します。本ビットでアナログ端子に設定する場合、以下のように指定します。

1. PSEL[2:0] ビットで、その端子を汎用入出力ポートに指定します。
2. プルアップ制御ビット (PmnPFS_A.PCR) で、プルアップ抵抗を無効にします。
3. ポート方向ビット (PmnPFS_A.PDR) で、入力に設定します。このとき、端子状態を読むことはできません。PmnPFS_A レジスタは、ライトプロテクトレジスタ (PWPR) によって保護されています。書き込み禁止を解除してから、レジスタを書き換えてください。

さらに、PMC ビットは、入力バッファに貫通電流が流れ込むことを防ぐために使用されます。

異なる電圧で動作中の外部デバイスとのシリアル通信のために N チャネルオープンドレイン出力が選択されたとき、または入力ポートが使用されていないとき、対応する PMC ビットを 1 にすることにより低消費電力を達成できます。

存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

P206 には PMC ビットがありません。そのため、それらのポート端子機能選択レジスタの PMC ビットは予約ビットです。

未指定の IRQ_n に対する ISEL ビットは予約ビットです。

15.2.7 P0nPFS_A : ポート 0n 端子機能選択レジスタ (n = 10~13)

Base address: PFS_A = 0x400A_0200

Offset address: 0x0000 + 0x2 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PMC	ISEL	—	—	—	PSEL[2:0]		—	—	—	—	—	—	PDR	PIDR	PODR
Value after reset:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0

ビット	シンボル	機能	R/W
0	PODR	P0n 出力データ 0: Low 出力 1: High 出力	R/W
1	PIDR	P0n 状態 0: Low レベル 1: High レベル	R
2	PDR	P0n 方向 0: 入力 (入力端子として機能) 1: 出力 (出力端子として機能)	R/W

ビット	シンボル	機能	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	PSEL[2:0]	周辺機能選択 周辺機能を選択します。各端子の機能については、この章の関連する表を参照してください。	R/W
13:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	ISEL	IRQ 入力許可 0: IRQn 入力端子として使用しない 1: IRQn 入力端子として使用する	R/W
15	PMC	端子モード制御 0: デジタル入出力 1: アナログ入力機能。入力バッファへの入力は無効	R/W

15.2.8 PWPR : 書き込みプロテクトレジスタ

Base address: PFS_A = 0x400A_0200

Offset address: 0x0140

Bit position:	7	6	5	4	3	2	1	0
Bit field:	B0WI	PFSWE	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	PFSWE	PmnPFS_A レジスタ書き込み許可 0: PmnPFS_A レジスタへの書き込みを禁止 1: PmnPFS_A レジスタへの書き込みを許可	R/W
7	B0WI	PFSWE ビット書き込み禁止 0: PFSWE ビットへの書き込みを許可 1: PFSWE ビットへの書き込みを禁止	R/W

PFSWE ビット (PmnPFS_A レジスタ書き込み許可)

PFSWE ビットを 1 にしたときのみ、PmnPFS_A レジスタに対する書き込みが許可されます。最初に B0WI ビットに 0 を書いてから、PFSWE ビットを 1 にする必要があります。

B0WI ビット (PFSWE ビット書き込み禁止)

B0WI ビットを 0 にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

15.3 動作説明

15.3.1 汎用入出力ポート

P108 と P300 以外のすべての端子は、リセット後は汎用入出力ポートとして動作します。汎用入出力ポートは各ポート 16 ビットで構成され、PODR_m、PDR_m、PIDR_m、PORR_m、POSR_m によるアクセス、またはポート mn 端子機能選択レジスタによる端子単位のアクセスが可能です。これらのレジスタの詳細は、「[15.2. レジスタの説明](#)」を参照してください。

各ポートには以下のビットがあります。

- Pmn 方向ビット (PDR_n) : 入力／出力の方向を選択する
- Pmn 出力データビット (PODR_n) : 出力用データを格納する
- Pmn 入力データビット (PIDR_n) : 端子状態を示す
- Pmn 出力設定ビット (POSR_n) : ソフトウェア書き込み発生時の出力値を示す
- Pmn 出力リセットビット (PORR_n) : ソフトウェア書き込み発生時の出力値を示す

15.3.2 ポート機能選択

各端子の設定時、以下のポート機能を利用できます。

- 入出力設定：CMOS 出力、NMOS オープンドレイン出力、プルアップ制御
- 汎用入出力ポート：ポート方向、出力データ設定、および読み出し入力データ
- 代替機能：端子への機能の割り当て

各端子は、ポート mn 端子機能選択レジスタ (PmnPFS_A) に関連付けられます。このレジスタには対応するビット PODR、PIDR、および PDR があります。さらに、PmnPFS_A レジスタには以下のビットがあります。

- PCR：入力プルアップ MOS のオン/オフを切り替えるためのプルアップ抵抗制御ビット
- NCODR：各端子の出力タイプを選択するための N チャネルオープンドレイン制御ビット
- PIM：通常入力または TTL 入力バッファを指定する端子入力バッファ選択ビット
- ISEL：IRQ 入力端子を設定するための IRQ 入力許可ビット
- PMC：アナログ端子と入力バッファへの貫通電流の流入防止を指定する端子モード制御ビット
- PSEL[2:0]：対応する周辺機能を選択するためのポート機能選択ビット

これらは、ポート mn 端子機能選択レジスタへのシングルレジスタアクセスで設定することができます。詳細は、「15.2.6. PmnPFS_A：ポート mn 端子機能選択レジスタ (m = 1～3, n = 00～15)」、「15.2.7. P0nPFS_A：ポート 0n 端子機能選択レジスタ (n = 10～13)」を参照してください。

15.4 未使用端子の処理

表 15.3 に、未使用端子の処理方法を示します。

表 15.3 未使用端子の処理

端子名	未使用端子の処理
P206/RES	PORTSELB = 0: ● 入力 (PDR2.PDR06 = 0) に方向を設定した場合、対応する端子を抵抗を介して VCC に接続（プルアップ）する。(注2) ● 出力 (PDR2.PDR06 = 1) に方向を設定した場合、端子を開放する。 PORTSELB = 1: 端子を開放するか、または VCC に接続する。
P200/NMI	端子モード制御ビット (PmnPFS_A.PMC) を 1 に設定し、端子を開放する。 他の方法として、対応する端子を抵抗を介して VCC に接続（プルアップ）、または抵抗を介して VSS に接続（プルダウン）する。
P0x～P3x	● 入力 (PDRm.PDRn = 0) に方向を設定した場合、対応する端子を抵抗を介して VCC に接続（プルアップ）、または抵抗を介して VSS に接続（プルダウン）する。(注1)(注2) ● 出力 (PDRm.PDRn = 1) に方向を設定した場合、端子を開放する。(注1)

注 1. PmnPFS_A.PSEL[2:0]ビット、PmnPFS_A.ISEL ビット、PmnPFS_A.PCR ビット、および PmnPFS_A.PMC ビットを 0 にクリアしてください。

注 2. P108、P206、および P300 は、初期設定から入力プルアップが有効 (PmnPFS_A.PCR = 1) に設定されているため、抵抗を介して VCC にプルアップすることを推奨します。

15.5 使用上の注意事項

15.5.1 端子機能の設定手順

入出力端子機能を設定するには、下記の手順に従ってください。

1. PWPR.BOWI ビットをクリアします。PWPR.PFSWE ビットに書き込みできるようになります。
2. PWPR.PFSWE ビットを 1 にします。PmnPFS_A レジスタに書き込みが許可されます。
3. PmnPFS_A.PSEL[2:0]ビットによって、この端子の入出力機能を設定します。
4. PWPR.PFSWE ビットをクリアします。PmnPFS レジスタへの書き込みが禁止されます。
5. PWPR.BOWI ビットを 1 にします。PWPR.PFSWE ビットへの書き込みが禁止されます。

15.5.2 ポート出力データレジスタ (PODR) の概要

本レジスタは下記のようにデータを出力します。

1. PORRm.PORRn が 1 になると、0 を出力する。
2. POSRm.POSRn が 1 になると、1 を出力する。
3. PODRm.PODRn が設定されると、0 または 1 を出力する。
4. PmnPFS_A.PODRn が設定されると、0 または 1 を出力する。

上記の番号は、PODRn への書き込み優先順位に相当しています。たとえば、上記の 1.と 3.が同時に発生した場合、優先順位の高い 1.が実行されます。

15.5.3 レジスタ設定とポート端子状態に関する注意事項

表 15.4 に、レジスタ設定とポート端子状態の対応を示します。

表 15.4 レジスタ設定とポート端子状態の対応

PDR	PMC	PCR	PODR	端子状態
0	1	0	x	アナログ入力／デジタル入力禁止
0	1	1	x	プルアップ
0	0	0	x	デジタル入力
0	0	1	x	プルアップ
1	1	x	1	High レベルポート出力／デジタル入力禁止
1	0	x	1	High レベルポート出力
1	1	x	0	Low レベルポート出力／デジタル入力禁止
1	0	x	0	Low レベルポート出力

15.5.4 アナログ機能使用時の注意事項

アナログ機能を使用するには、ポート mn 端子機能選択レジスタ (PmnPFS_A) の端子モード制御ビット (PMC) を 1、N チャネルオープンドレイン制御ビット (NCODR) を 0、ポート方向ビット (PDR) を 0 にしてください。

15.5.5 代替機能使用時の注意事項

代替機能を使用するには、PmnPFS_A レジスタを設定します。ポートと代替機能に関するレジスタ設定の例を以下の表に示します。ポート機能の制御に使用するレジスタは、以下の表に示すように設定する必要があります。

表 15.5 ポートと代替機能に関するレジスタ設定の例 (1/5) (1/2)

端子名	使用機能		PSEL[2:0]	ISEL	PMC	PDR	PODR
	機能名	入出力					
P010	P010	入力	000b	—	0	0	x
		出力	000b	—	x	1	0/1
	AN000	アナログ入力	000b	—	1	0	x
P011	P011	入力	000b	—	0	0	x
		出力	000b	—	x	1	0/1
	AN001	アナログ入力	000b	—	1	0	x
P012	P012	入力	000b	—	0	0	x
		出力	000b	—	x	1	0/1
	AN004	アナログ入力	000b	—	1	0	x

表 15.5 ポートと代替機能に関するレジスタ設定の例 (1/5) (2/2)

端子名	使用機能		PSEL[2:0]	ISEL	PMC	PDR	PODR
	機能名	入出力					
P013	P013	入力	000b	—	0	0	x
		出力	000b	—	x	1	0/1
	AN005	アナログ入力	000b	—	1	0	x

表 15.6 ポートと代替機能に関するレジスタ設定の例 (2/5) (1/3)

端子名	使用機能		PSEL[2:0]	ISEL	NCODR	PMC	PDR	PODR
	機能名	入出力						
P100	P100	入力	000b	0	0	0	0	x
		出力	000b	0	0	x	1	0/1
		N チャネルオープンドレイン出力	000b	0	1	x	1	0/1
	AN022	アナログ入力	000b	0	0	1	0	x
	TI04	入力	001b	0	0	0	0	x
	TO04	出力	001b	0	0	x	1	x
	TI01	入力	010b	0	0	0	0	x
	TO01	出力	010b	0	0	x	1	x
	RXD0	入力	011b	0	x	0	0	x
	SI00	入力	011b	0	x	0	0	x
	SDA00	入出力	011b	0	1	0	1	x
	SCLA0	入出力	100b	0	1	0	1	x
	IRQ2	入力	000b	1	0	0	0	x
P101	P101	入力	000b	0	0	0	0	x
		出力	000b	0	0	x	1	0/1
		N チャネルオープンドレイン出力	000b	0	1	x	1	0/1
	AN021	アナログ入力	000b	0	0	1	0	x
	TI07	入力	001b	0	0	0	0	x
	TO07	出力	001b	0	0	x	1	x
	TI00	入力	010b	0	0	0	0	x
	TXD0	出力	011b	0	0/1	0/1	1	x
	SO00	出力	011b	0	0/1	0/1	1	x
	SDAA0	入出力	100b	0	1	0	1	x
	IRQ3	入力	000b	1	0	0	0	x

表 15.6 ポートと代替機能に関するレジスタ設定の例 (2/5) (2/3)

端子名	使用機能		PSEL[2:0]	ISEL	NCODR	PMC	PDR	PODR
	機能名	入出力						
P102	P102	入力	000b	0	0	0	0	x
		出力	000b	0	0	x	1	0/1
		N チャネルオープンドレイン出力	000b	0	1	x	1	0/1
	TI06	入力	001b	0	0	0	0	x
	TO06	出力	001b	0	0	x	1	x
	TO00	出力	010b	0	0	x	1	x
	SCK00	入力	011b	0	x	0	0	x
		出力	011b	0	0/1	0/1	1	x
	SCL00	出力	011b	0	0/1	0/1	1	x
	PCLBUZ	出力	101b	0	0	x	1	x
	IRQ4	入力	000b	1	0	0	0	x
P108	P108	入力	000b	—	0	0	0	x
		出力	000b	—	0	x	1	0/1
		N チャネルオープンドレイン出力	000b	—	1	x	1	0/1
	SWDIO	入出力	001b	—	x	x	x	x
	TI03	入力	010b	—	0	0	0	x
	TO03	出力	010b	—	0	x	1	x
	SCK00	入力	011b	0	x	0	0	x
		出力	011b	0	0/1	0/1	1	x
	SCLA0	入出力	100b	0	1	0	1	x
	PCLBUZ	出力	101b	0	0	x	1	x
P109	P109	入力	000b	0	0	0	0	x
		出力	000b	0	0	x	1	0/1
		N チャネルオープンドレイン出力	000b	0	1	x	1	0/1
	TI02	入力	001b	0	0	0	0	x
	TO02	出力	001b	0	0	x	1	x
	TXD0	出力	010b	0	0/1	0/1	1	x
	SO00	出力	010b	0	0/1	0/1	1	x
	SDAA0	入出力	011b	0	1	0	1	x
	IRQ4	入力	000b	1	0	0	0	x

表 15.6 ポートと代替機能に関するレジスタ設定の例 (2/5) (3/3)

端子名	使用機能		PSEL[2:0]	ISEL	NCODR	PMC	PDR	PODR
	機能名	入出力						
P110	P110	入力	000b	0	0	0	0	x
		出力	000b	0	0	x	1	0/1
		N チャネルオープンドレイン出力	000b	0	1	x	1	0/1
	TI01	入力	001b	0	0	0	0	x
	TO01	出力	001b	0	0	x	1	x
	RXD0	入力	010b	0	x	0	0	x
	SI00	入力	010b	0	x	0	0	x
	SDA00	入出力	010b	0	1	0	1	x
	SCLA0	入出力	011b	0	1	0	1	x
	IRQ3	入力	000b	1	0	0	0	x
P112	P112	入力	000b	0	0	0	0	x
		出力	000b	0	0	x	1	0/1
		N チャネルオープンドレイン出力	000b	0	1	x	1	0/1
	TI03	入力	001b	0	0	0	0	x
	TO03	出力	001b	0	0	x	1	x
	SCK00	入力	010b	0	x	0	0	x
		出力	010b	0	0/1	0/1	1	x
	SCL00	出力	010b	0	0/1	0/1	1	x
	SSI00	入力	011b	0	0	0	0	x
	IRQ2	入力	000b	1	0	0	0	x
P200	P200	入力	000b	0	—	0	—	—
	IRQ0	入力	000b	1	—	0	—	—
	TI06	入力	001b	0	—	0	—	—
	SSI00	入力	010b	0	—	0	—	—
	RXD1	入力	011b	0	—	0	—	—
P201	P201	入力	000b	0	0	0	0	x
		出力	000b	0	0	x	1	0/1
		N チャネルオープンドレイン出力	000b	0	1	x	1	0/1
	TI05	入力	001b	0	0	0	0	x
	TO05	出力	001b	0	0	x	1	x
	SSI00	入力	010b	0	0	0	0	x
	SCK11	入力	011b	0	x	0	0	x
		出力	011b	0	0/1	0/1	1	x
	SCL11	出力	011b	0	0/1	0/1	1	x
	PCLBUZ	出力	101b	0	0	x	1	x
	IRQ5	入力	000b	1	0	0	0	x

表 15.7 ポートと代替機能に関するレジスタ設定の例 (3/5)

端子名	使用機能		ISEL	PORTSELB	PDR	PODR
	機能名	入出力				
P206	P206	入力	0	0	0	0
		出力	0	0	1	0/1
	RES	入力	0	1	—	—
	IRQ1	入力	1	0	0	0

表 15.8 ポートと代替機能に関するレジスタ設定の例 (4/5)

端子名	使用機能		PSEL[2:0]	ISEL	NCODR	PMC	PDR	PODR
	機能名	入出力						
P212	P212	入力	000b	0	0	0	0	x
		出力	000b	0	0	x	1	0/1
		N チャネルオープン ドレイン出力	000b	0	1	x	1	0/1
	TO00	出力	001b	0	0	x	1	x
	TI03	入力	010b	0	0	0	0	x
	TO03	出力	010b	0	0	x	1	x
	RXD1	入力	011b	0	x	0	0	x
	SI11	入力	100b	0	x	0	0	x
	SDA11	入出力	100b	0	1	0	1	x
	SCLA0	入出力	101b	0	1	0	1	x
P213	P213	入力	000b	1	0	0	0	x
		出力	000b	0	0	x	1	0/1
		N チャネルオープン ドレイン出力	000b	0	1	x	1	0/1
	TI00	入力	001b	0	0	0	0	x
	TI02	入力	010b	0	0	0	0	x
	TO02	出力	010b	0	0	x	1	x
	TXD1	出力	011b	0	0/1	0/1	1	x
	SO11	出力	100b	0	0/1	0/1	1	x
	SDAA0	入出力	101b	0	1	0	1	x
	IRQ0	入力	000b	1	0	0	0	x

表 15.9 ポートと代替機能に関するレジスタ設定の例 (5/5)

端子名	使用機能		PSEL[2:0]	ISEL	NCODR	PMC	PDR	PODR
	機能名	入出力						
P300	P300	入力	000b	—	0	0	0	x
		出力	000b	—	0	x	1	0/1
		N チャネルオープンドレイン出力	000b	—	1	x	1	0/1
	SWCLK	入力	001b	—	x	x	x	x
	TI04	入力	010b	—	0	0	0	x
	TO04	出力	010b	—	0	x	1	x
	TXD1	出力	011b	—	0/1	0/1	1	x
	SDAA0	入出力	100b	—	1	0	1	x

15.5.6 I/O バッファ切り替えにより異なる電圧（1.8 V、2.5 V、または 3 V）で動作中のデバイスと通信する場合の注意事項

端子入力バッファ選択ビット (PIM) と N チャネルオープンドレイン制御ビット (NCODR) は、異なる動作電圧（1.8 V、2.5 V、または 3 V）の外部デバイスと本デバイスの通信をするために I/O バッファを切り替えるのに使用できます。

(1) TTL 入力バッファで使用するために UART0～UART1、SPI00、SPI11 の入力端子を設定するための手順

- 対象デバイスの電圧で使用される入力端子を外部抵抗を介してプルアップします。内蔵プルアップ抵抗はこの目的で使うことができません。
- TTL 入力バッファに切り替えるため、PIM ビットを 1 にしてください。TTL 入力バッファを選択時、 V_{IH} と V_{IL} については DC 特性を参照してください。
- シリアルアレイユニットの動作を有効にして、モードを UART／簡易 SPI モードに設定してください。

(2) N チャネルオープンドレイン出力モードで使用するために UART0～UART1、SPI00、SPI11 の出力端子を設定するための手順

- 対象デバイスの電圧で使用される入力端子を外部抵抗を介してプルアップします。内蔵プルアップ抵抗はこの目的で使うことができません。
- リセット状態を解除した後、ポート端子は入力 (Hi-Z) に設定されます。
- 入力バッファへの入力を禁止するため、PMC ビットを 1 にしてください。
- NCODR ビットを 1 にして、N チャネルオープンドレイン出力（VCC の耐電圧）モードに設定してください。
- シリアルアレイユニットの動作を有効にして、モードを UART／簡易 SPI モードに設定してください。
- PDR ビットを出力モードに設定してください。このとき、出力データは High レベルなので、端子は Hi-Z 状態になります。

(3) 異なる電圧（1.8 V、2.5 V、または 3 V）で動作中のデバイスと接続して使用するために IIC00 の入出力端子を設定する手順

- 対象デバイスの電圧で使用される入力端子を外部抵抗を介してプルアップします。内蔵プルアップ抵抗はこの目的で使うことができません。
- リセット状態を解除した後、ポート端子は入力 (Hi-Z) に設定されます。
- NCODR ビットを 1 にして、N チャネルオープンドレイン出力（VCC の耐電圧）モードに設定してください。
- TTL 入力バッファに切り替えるため、PIM ビットを 1 にしてください。TTL 入力バッファを選択時、 V_{IH} と V_{IL} については DC 特性を参照してください。
- シリアルアレイユニットの動作を有効にして、モードを簡易 I²C モードに設定してください。

6. PDR ビットを出力モードに設定してください。(データ入出力は出力モードが可能です。) このとき、出力データは High レベルなので、端子は Hi-Z 状態になります。

注. N チャネルオープンドレイン制御ビット (NCODR) の対応するビットで N チャネルオープンドレイン出力モードが選択されているときには、たとえ端子が出力として動作していても、入力バッファは有効です。このことにより、端子の電圧レベルが中間であるときに端子に貫通電流が流れる恐れがあります。しかし、当該 PMC ビットの対応するビットを 1 に設定することで、貫通電流が流れることを防止できます。

注. 端子が、ポート入力バッファ選択ビット (PIMx) により TTL 入力バッファに設定されて、High に駆動されているときは、TTL 入力バッファの構成により端子に貫通電流が流れることがあります。貫通電流を防止するために、端子を Low に駆動してください。

注. P212PFS_A と P213PFS_A レジスタに PIM ビットがないため、異なる電圧レベルで動作中のデバイスとの P212 と P213 を使った通信は不可能です。

15.5.7 P206 使用上の制約事項

電源投入後、P206 は RES 入力として機能します。オプション選択レジスタ 1 (OFS1) の PORTSELB ビットは、このポートを P206 または RES のどちらで動作するかを定義します。この端子が P206 に設定されているとき、パワーオンリセット (POR) 回路によるリセット中および POR 回路によるリセットからの解除から通常動作の開始までの間にこの端子に Low レベルを入力しないでください。この間に Low レベルの入力が継続すると、本チップは外部リセットに応じてリセット状態に留まります。内蔵ブルアップ抵抗は、電源投入後に有効になります。

15.6 製品ごとの周辺選択設定

本節では、PmnPFS_A レジスタでの端子機能選択設定について説明します。信号名には、接尾語_A、_B、_C、_D、または E が付加されているものもありますが、SAU および IICA を除き、機能の割り当て時にはこれらの接尾語を無視することができます。SAU と IICA の場合は、SCL11、SCK11、SCK00、SSI00 を除いて、同じ接尾語を持つ信号のみを選択できます。ただし、同じ機能を 2 つ以上の端子に同時に割り当てることはしないでください。PmnPFS_A レジスタの PSEL ビットでは、許可された値 (機能) 以外に設定しないでください。このレジスタに許可されていない値を設定した場合、正しい動作は保証されません。

表 15.10 端子機能選択設定に関するレジスタ設定 (PORT0)

PSEL[2:0]設定	端子			
	P010	P011	P012	P013
000b	P0n 出力データ (初期値)			
PMC ビット	✓ (AN000/VREFH0)	✓ (AN001/VREFL0)	✓ (AN004)	✓ (AN005)
ISEL ビット	—	—	—	—
NCODR ビット	—	—	—	—
PIM ビット	—	—	—	—
PCR ビット	—	—	—	—
20 ピン製品	✓	✓	✓	✓

✓ : 利用可能
— : 設定禁止

表 15.11 端子機能選択設定に関するレジスタ設定 (PORT1) (1/2)

PSEL[2:0]設定	端子						
	P100	P101	P102	P108	P109	P110	P112
000b	P1n 出力データ (初期値)			P1n 出力データ	P1n 出力データ (初期値)		
001b	TI04_A/TO04_A	TI07_A/TO07_A	TI06_A/TO06_A	SWDIO (初期値)	TI02_A/TO02_A	TI01_A/TO01_A	TI03_A/TO03_A
010b	TI01_B/TO01_B	TI00_C	TO00_C	TI03_B/TO03_B	TXD0_B/SO00_B	RXD0_B/SI00_B/SDA00_B	SCK00_B/SCL00_B
011b	RXD0_A/SI00_A/SDA00_A	TXD0_A/SO00_A	SCK00_A/SCL00_A	SCK00_C	SDAA0_C	SCLA0_C	SSI00_C
100b	SCLA0_D	SDAA0_D	—	SCLA0_E	—	—	—
101b	—	—	PCLBUZ0_B	PCLBUZ0_D	—	—	—
PMC ビット	✓ (AN022)	✓ (AN021)	✓	✓	✓	✓	✓
ISEL ビット	IRQ2_A	IRQ3_A	IRQ4_A	—	IRQ4_B	IRQ3_B	IRQ2_B
NCODR ビット	✓	✓	✓	✓	✓	✓	✓

表 15.11 端子機能選択設定に関するレジスタ設定 (PORT1) (2/2)

PSEL[2:0]設定	端子						
	P100	P101	P102	P108	P109	P110	P112
PIM ビット	✓	✓	✓	✓	✓	✓	✓
PCR ビット	✓	✓	✓	✓	✓	✓	✓
20 ピン製品	✓	✓	✓	✓	✓	✓	✓

✓ : 利用可能
 — : 設定禁止

表 15.12 端子機能選択設定に関するレジスタ設定 (PORT2)

PSEL[2:0]設定	端子				
	P200	P201	P206	P212	P213
000b	Hi-Z (初期値)	P2n 出力データ (初期値)			
001b	TI06_B	TI05_B/TO05_B	—	TO00_A	TI00_A
010b	SSI00_D	SSI00_B	—	TI03_C/TO03_C	TI02_B/TO02_B
011b	RXD1_B	SCK11_B/SCL11_B	—	RXD1_A	TXD1_A
100b	—	—	—	SI11_A/SDA11_A	SO11_A
101b	—	PCLBUZ0_A	—	SCLA0_B	SDAA0_B
PMC ビット	✓	✓	—	✓	✓
ISEL ビット	IRQ0_A	IRQ5_B	IRQ1_C	IRQ1_B	IRQ0_B
NCODR ビット	—	✓	—	✓	✓
PIM ビット	—	✓	—	—	—
PCR ビット	—	✓	✓	✓	✓
20 ピン製品	✓	✓	✓	✓	✓

✓ : 利用可能
 — : 設定禁止

表 15.13 端子機能選択設定に関するレジスタ設定 (PORT3)

PSEL[2:0]設定	端子
	P300
000b	P300 出力データ
001b	SWCLK (初期値)
010b	TI04_B/TO04_B
011b	TXD1_B
100b	SDAA0_E
PMC ビット	✓
ISEL ビット	—
NCODR ビット	✓
PIM ビット	✓
PCR ビット	✓
20 ピン製品	✓

✓ : 利用可能
 — : 設定禁止

16. タイマアレイユニット (TAU)

16.1 概要

タイマアレイユニットは、1つのユニットに8つの16ビットタイマを搭載しています。

各16ビットタイマはチャンネルと呼ばれ、個別に使用することができます。さらに、2つ以上のチャンネルで高機能タイマを構成することができます。

図 16.1 にタイマアレイユニット1つあたりのチャンネル構成を示します。

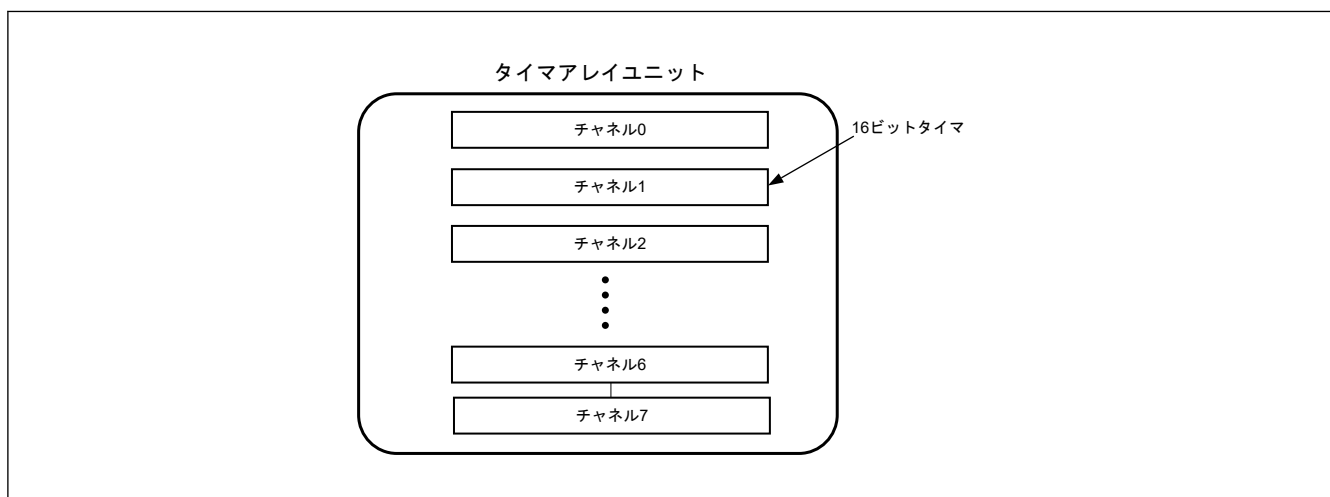


図 16.1 ユニット1つあたりのチャンネル構成

ユニット0のチャンネル1と3では、16ビットタイマ1つを8ビットタイマ2つ（上位タイマと下位タイマ）に分割して使用することができます。チャンネル1と3を8ビットタイマとして使用するときの機能は以下の通りです。

- インターバルタイマ（上位と下位の8ビットタイマ）および矩形波出力（下位8ビットタイマのみ）
- 外部イベントカウンタ（下位8ビットタイマのみ）
- 遅延カウンタ（下位8ビットタイマのみ）

ユニット0のチャンネル7とシリアルアレイユニットのUART0とを連携してLINバス通信動作を実現できます。

表 16.1 に TAU の機能一覧を示します。図 16.2～図 16.11 に各機能のイメージを示します。

表 16.1 TAU の機能一覧

項目	説明	
単独チャネル動作機能 ^(注1)	インターバルタイマ	ユニットの各タイマは、定周期で割り込み (TAU0_TMI0n) を生成する基準タイマとして使用できます。
	矩形波出力	TAU0_TMI0n 割り込みが発生するたびにトグル動作が行われ、タイマ出力端子 (TO0n) からデューティ比 50% の矩形波が出力されます。
	外部イベントカウンタ	ユニットの各タイマは、タイマ入力端子 (TI0n) に入力された信号の有効エッジの数が規定の値に達した時に割り込みを生成するイベントカウンタとして使用できます。
	分周器機能 (ユニット 0 のチャネル 0 のみ)	タイマ入力端子 (TI00) からのクロック入力分周され出力端子 (TO00) から出力されます。
	入力パルスのインターバルの測定	タイマ入力端子 (TI0n) に入力されるパルス信号の有効エッジでカウントが開始します。タイマのカウント値は次のパルスの有効エッジでキャプチャされます。この方法で入力パルスのインターバルは測定されます。
	入力信号の High/Low レベル幅の測定	タイマ入力端子 (TI0n) に入力される信号の片エッジでカウントが開始し、他エッジでカウント値がキャプチャされます。この方法で入力信号の High/Low レベル幅は測定されます。
	遅延カウンタ	タイマ入力端子 (TI0n) に入力される信号の有効エッジでカウントが開始し、任意の遅延周期で割り込みが発生します。
複数チャネル動作機能 ^(注2)	ワンショットパルス出力	2 つのチャネルを使用して特定の出力タイミングとパルス幅を持つワンショットパルスを生成します。
	PWM (Pulse Width Modulation) 出力	2 つのチャネルを使用して特定の周期とデューティ比を持つパルスを生成します。
	多重 PWM (Pulse Width Modulation) 出力	PWM 機能を拡張し、マスタチャネル 1 つと複数のスレーブチャネルを使用して、特定の周期とデューティ比を持つ PWM 信号を最大 7 種類生成できます。
8 ビットタイマ動作機能 (チャネル 1 と 3 のみ) ^(注3)		8 ビットタイマ動作機能は、16 ビットタイマのチャネルを 8 ビットタイマの 2 チャネル構成として使用する機能です。
LIN-bus サポート機能 (ユニット 0 のチャネル 7 のみ) ^(注4)	ウェイクアップ信号の検出	UART0 のシリアルデータ入力端子 (RXD0) に入力される信号の立ち下がりエッジでタイマはカウントを開始し、タイマのカウント値は立ち上がりエッジでキャプチャされます。この方法で Low レベル幅を測定できます。Low レベル幅が所定の値を上回る場合にウェイクアップ信号と認識されます。
	Break Field の検出	ウェイクアップ信号検出後、UART0 のシリアルデータ入力端子 (RXD0) に入力される信号の立ち下がりエッジでタイマはカウントを開始し、タイマのカウント値は立ち上がりエッジでキャプチャされます。この方法で Low レベル幅が測定されます。Low レベル幅が所定の値を上回る場合に Break Field と認識されます。
	Sync Field のパルス幅の測定	Break Field 検出後、UART0 のシリアルデータ入力端子 (RXD0) に入力される信号の Low レベル幅と High レベル幅が測定されます。この方法で測定されたシンクフィールドのビット間隔からボーレートが算出されます。

注 1. この機能は他のチャネルの動作モードの影響を受けることなく使用することができます。詳細は、「16.7. タイマアレイユニットの単独チャネル動作機能」を参照してください。

注 2. この機能を使用すると、マスタチャネル (おもにサイクルを制御する基準タイマ) とスレーブチャネル (マスタチャネルに応じて動作するタイマ) を組み合わせることができます。詳細は、「16.8. タイマアレイユニットの複数チャネル動作機能」を参照してください。

注 3. 8 ビットタイマ動作機能を使用する際に従わなければならない規則がいくつかあります。詳細は、「16.3.2. 8 ビットタイマ動作機能の基本規則 (チャネル 1 と 3 のみ)」を参照してください。

注 4. タイマアレイユニットは、LIN-bus 通信で受信した信号が LIN-bus 通信フォーマットに合致しているかどうかを確認するために使用します。LIN-bus 通信を実現するための動作設定の詳細については、「16.2.15. ISC : 入力切り替え制御レジスタ」と「16.7.5. 入力信号の High/Low レベル幅測定の動作」を参照してください。

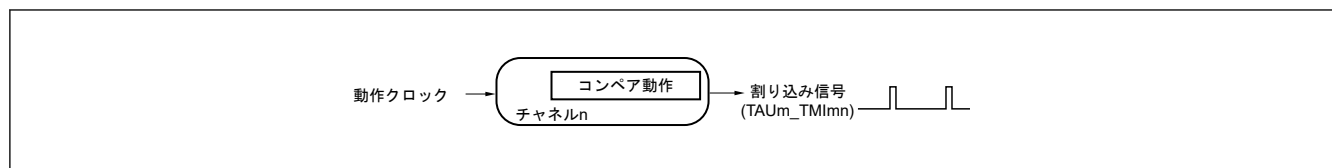


図 16.2 インターバルタイマの機能イメージ

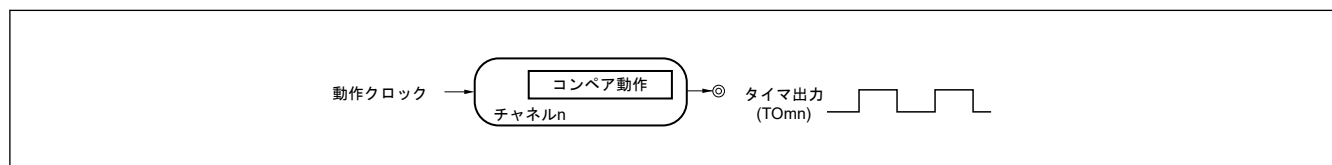


図 16.3 矩形波出力の機能イメージ

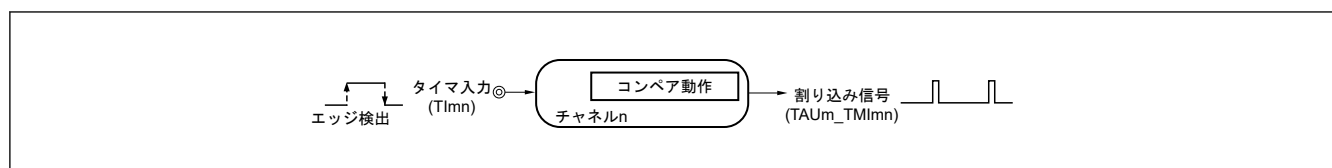


図 16.4 外部イベントカウンタの機能イメージ

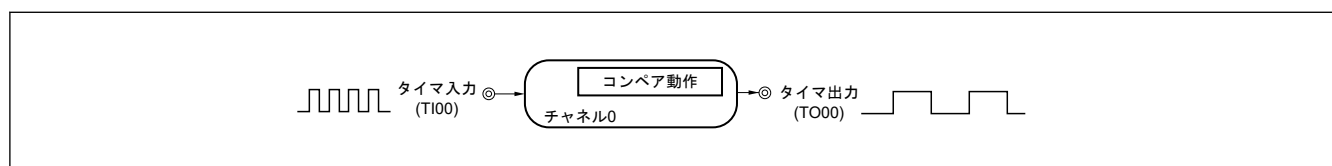


図 16.5 分周器機能の機能イメージ

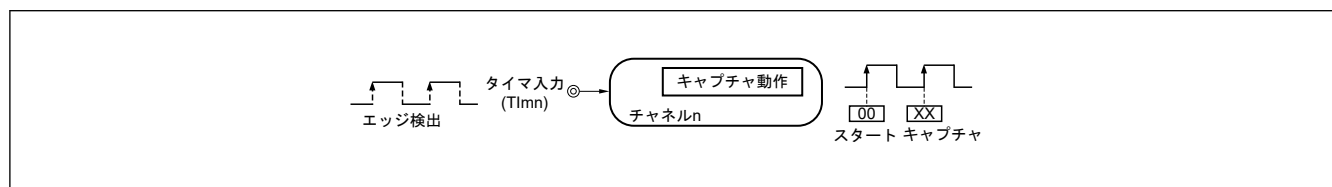


図 16.6 入力パルスのインターバル測定機能イメージ

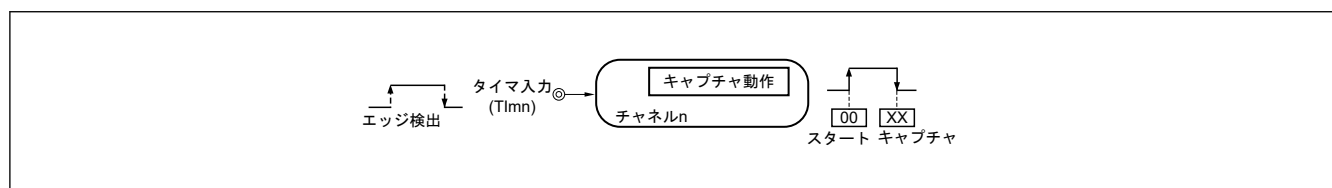


図 16.7 入力信号の High/Low レベル幅測定機能イメージ

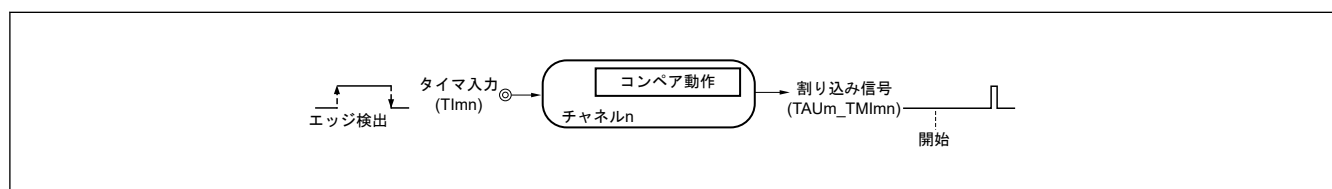


図 16.8 遅延カウンタの機能イメージ

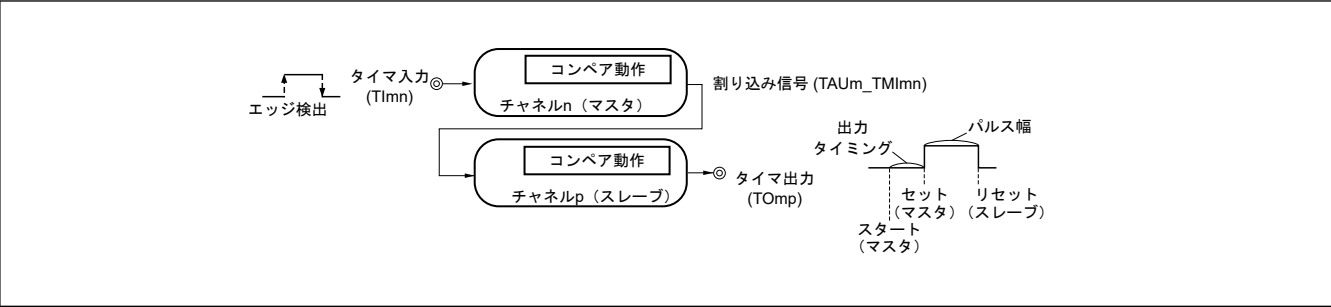


図 16.9 ワンショットパルス出力の機能イメージ

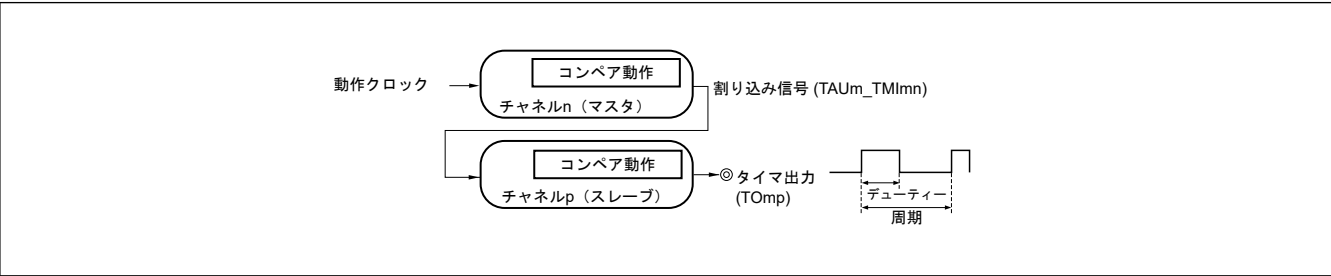


図 16.10 PWM 出力の機能イメージ

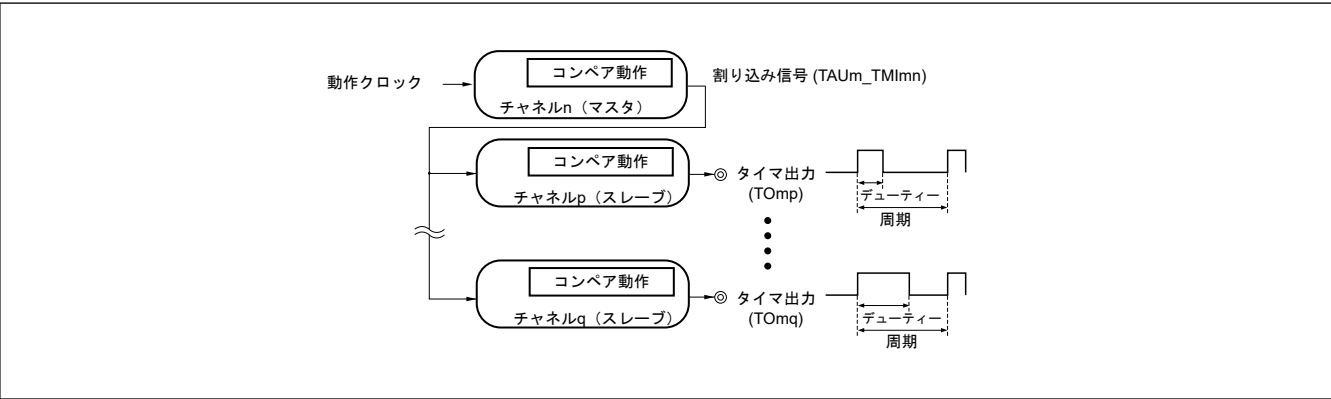


図 16.11 多重 PWM 出力の機能イメージ

注. m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0~7)、p, q : スレーブチャンネル番号 (n < p < q ≤ 7)

タイマアレイユニットを構成するハードウェアを表 16.2 に示します。

表 16.2 タイマアレイユニットの構成

項目	設定
タイマ／カウンタ	タイマカウンタレジスタ 0n (TCR0n)
レジスタ	タイマデータレジスタ 0n (TDR0n)
タイマ入力	TI00~TI07 端子、RXD0 端子 (LIN バス用)
タイマ出力	TO00~TO07 端子、出力コントローラ

図 16.12 にタイマアレイユニットのブロック図を示します。図 16.13~図 16.18 に各チャンネルのブロック図を示します。

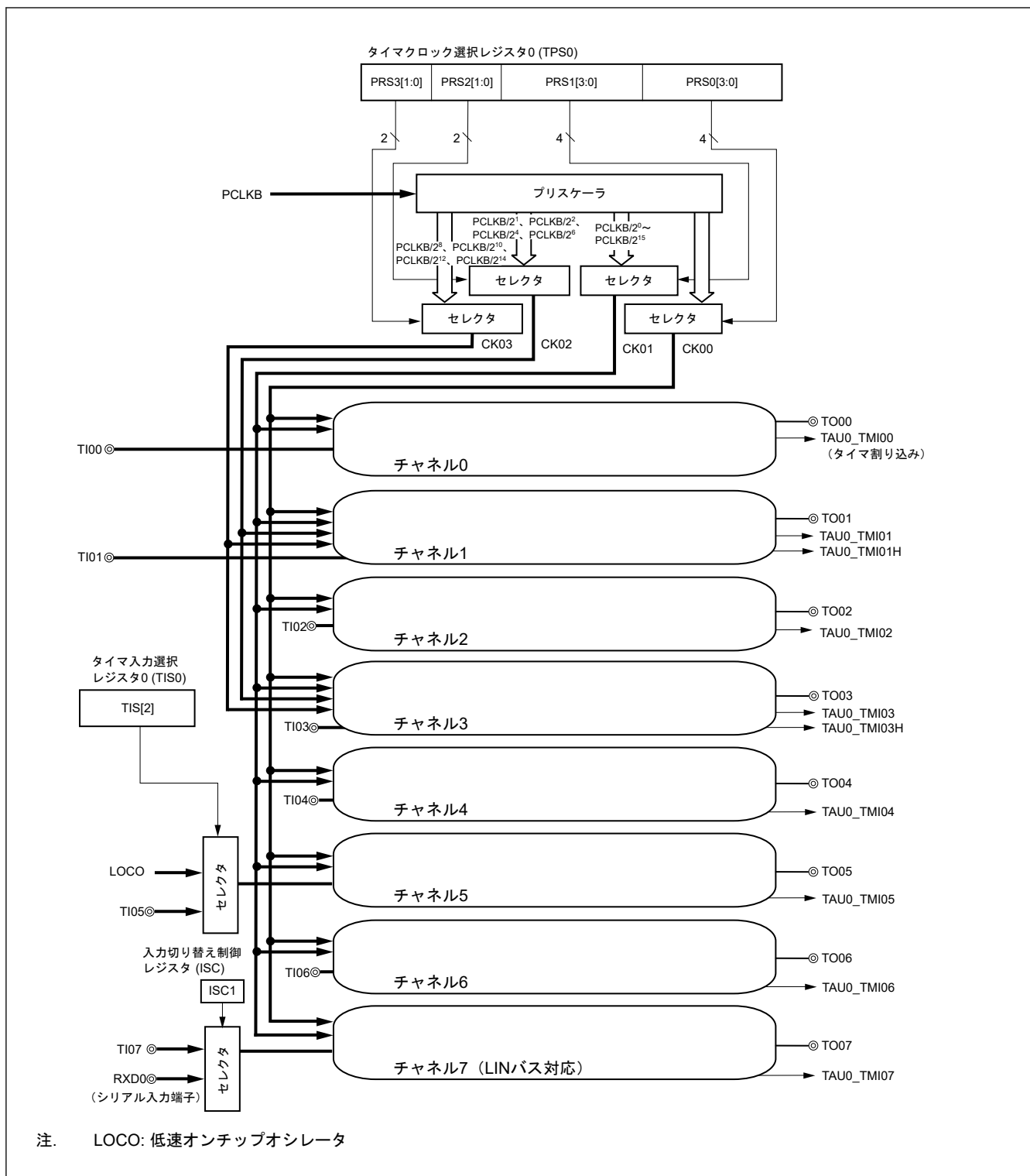


図 16.12 タイマアレユニット 0 の全体構成

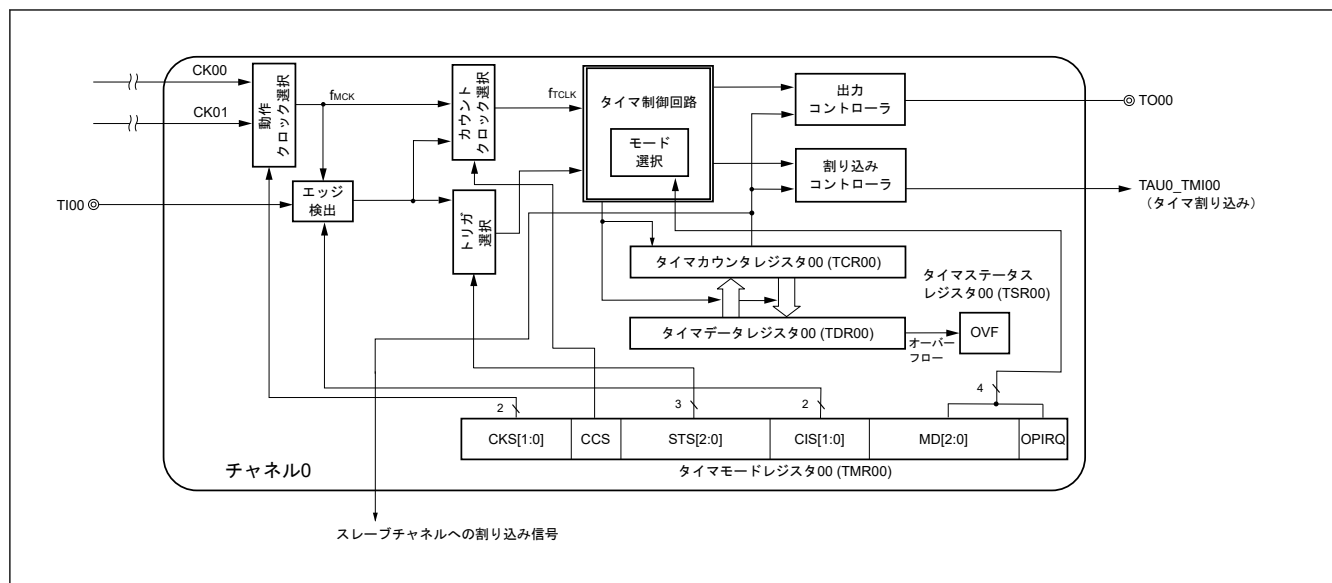


図 16.13 タイマアレイユニット 0 のチャンネル 0 の内部ブロック図

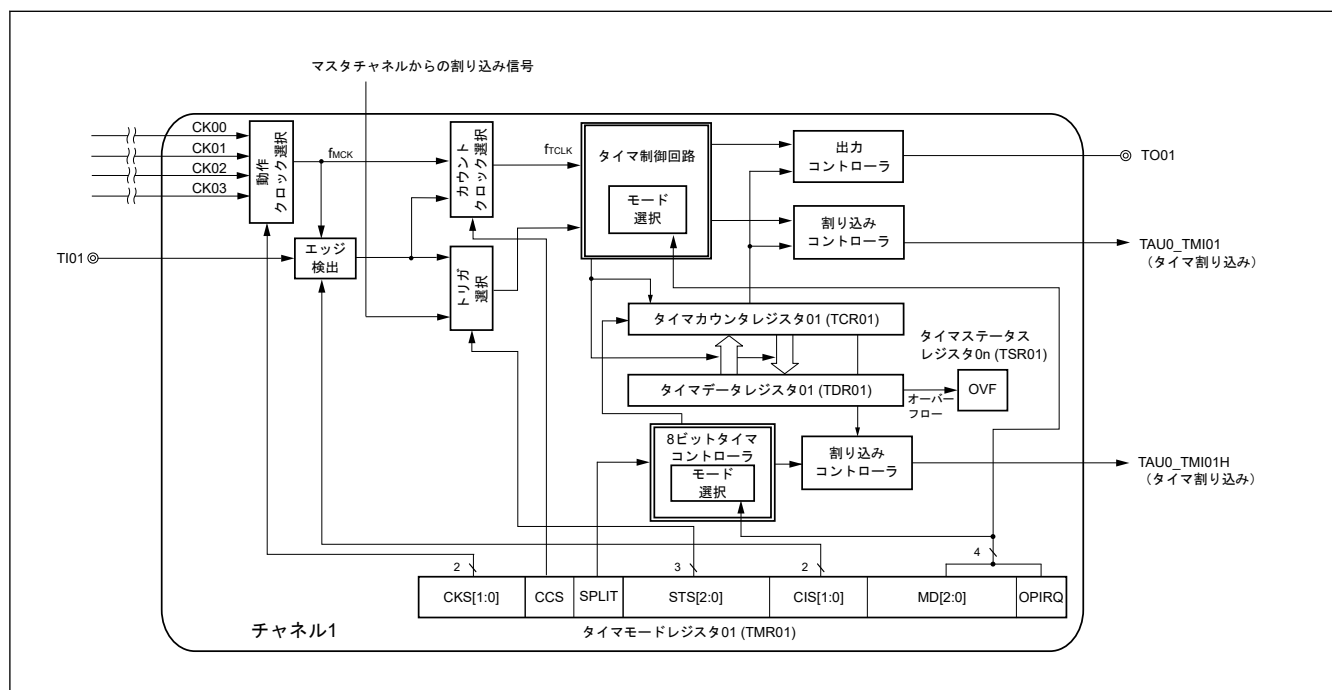


図 16.14 タイマアレイユニット 0 のチャンネル 1 の内部ブロック図

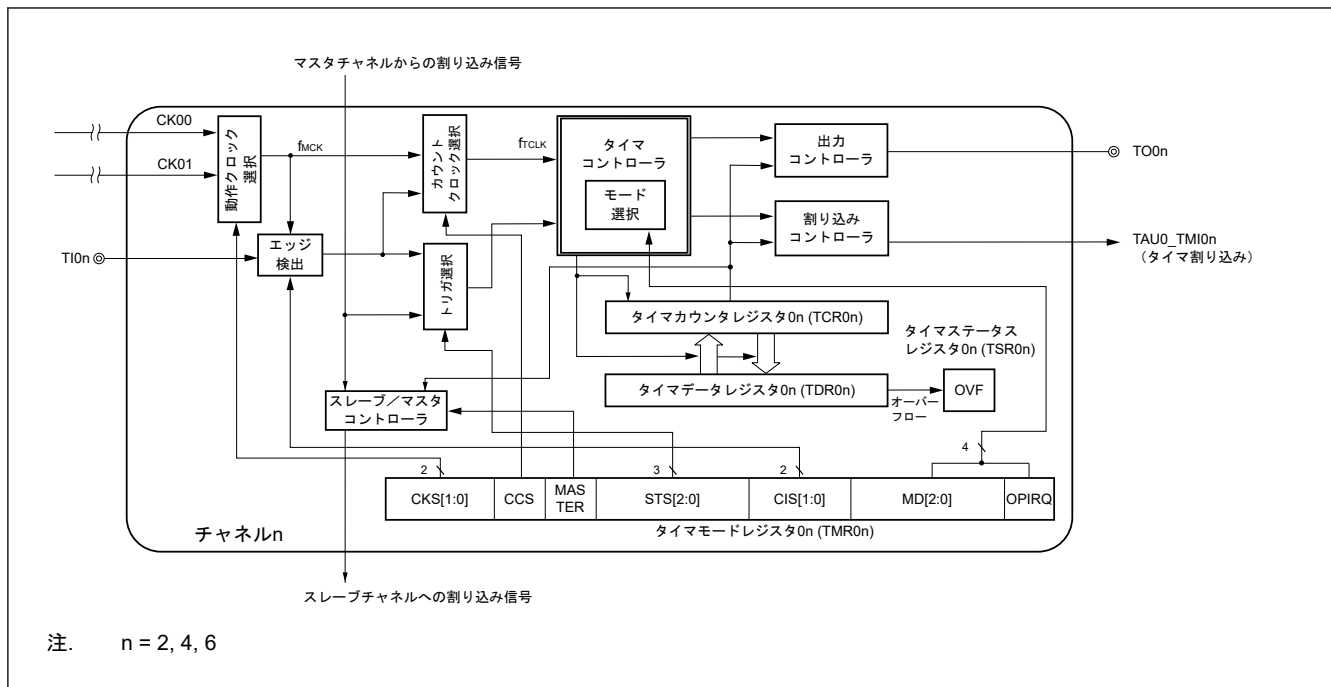


図 16.15 タイマアレユニット 0 のチャンネル 2、4、6 の内部ブロック図

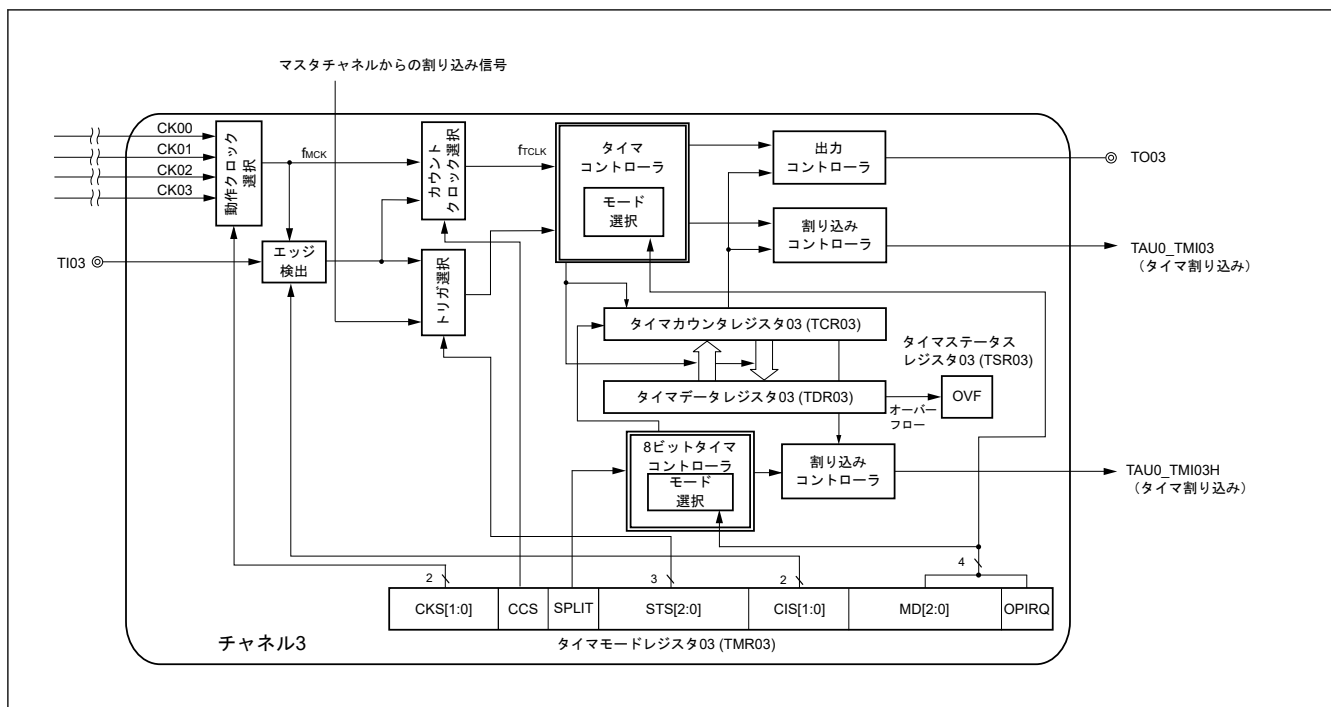


図 16.16 タイマアレユニット 0 のチャンネル 3 の内部ブロック図

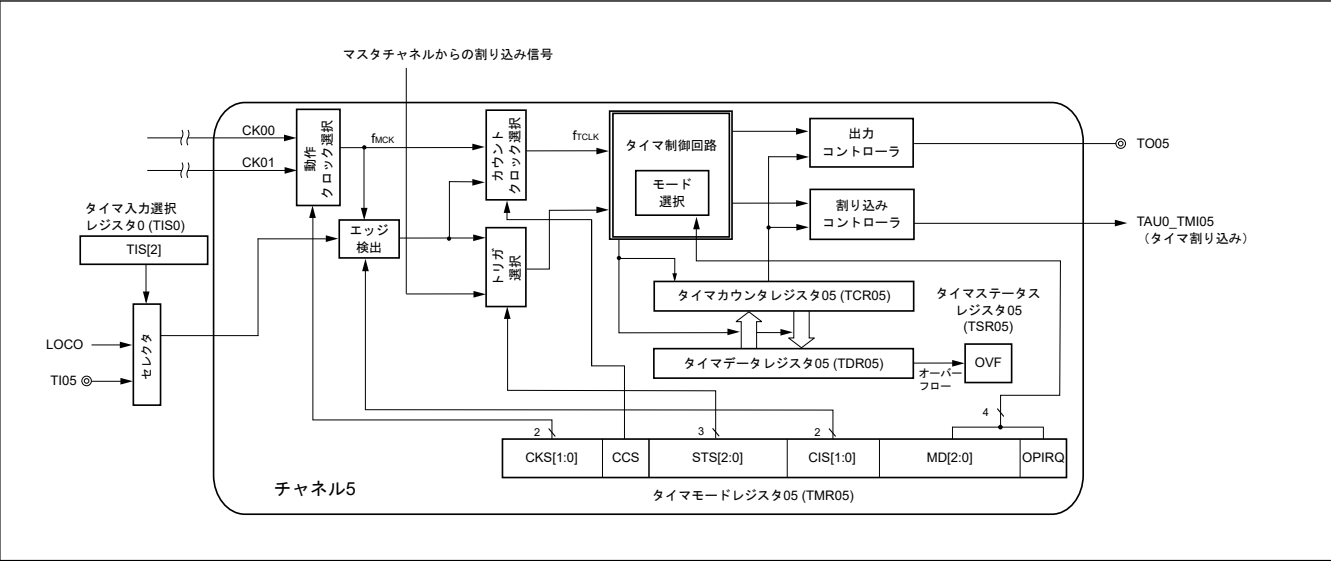


図 16.17 タイマアレイユニット 0 のチャンネル 5 の内部ブロック図

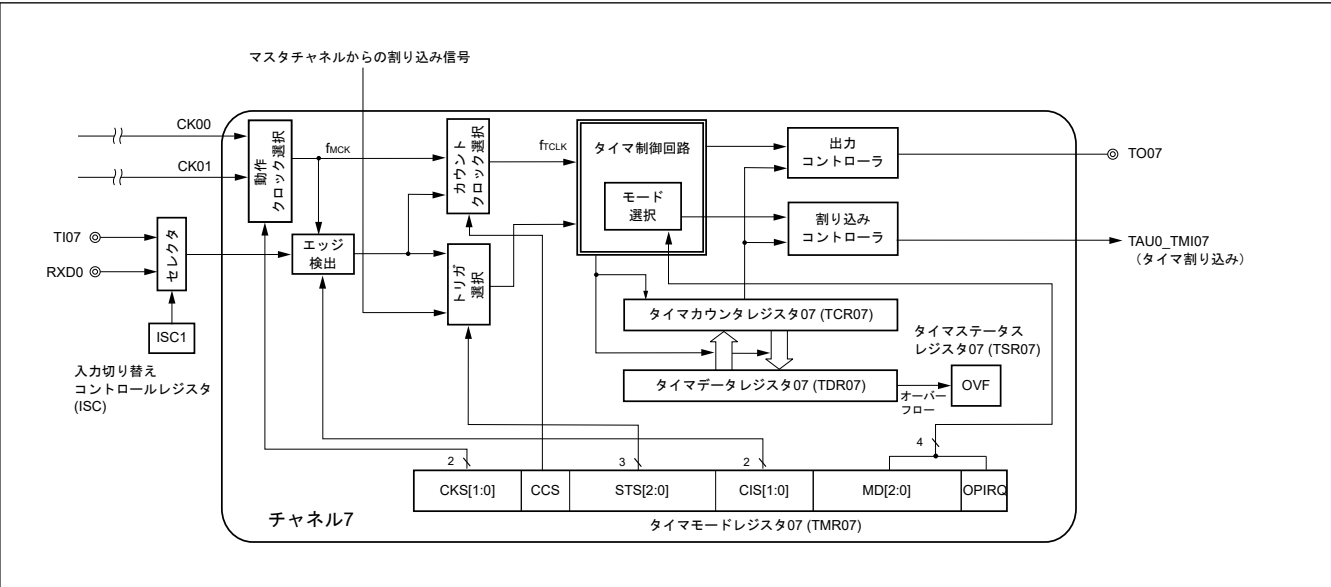


図 16.18 タイマアレイユニット 0 のチャンネル 7 の内部ブロック図

16.2 レジスタの説明

16.2.1 TCR0n : タイマカウンタレジスタ 0n (n = 0~7)

Base address: TAU = 0x400A_2600

Offset address: 0x0100 + 0x2 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	n/a															
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
15:0	n/a	ユニット m とチャンネル n の 16 ビットクロックカウント結果	R

TCR0n は、クロックのカウントに使用する読み出し専用 16 ビットレジスタです。

本カウンタの値は、カウントクロックの立ち上がりエッジに同期してインクリメントまたはデクリメントします。インクリメントとデクリメントのどちらになるかは、タイマモードレジスタ 0n (TMR0n) の MD[2:0] ビットと OPIRQ ビットで選択した動作モード（「16.2.4. TMR0n : タイマモードレジスタ 0n (n = 0, 2, 4, 5, 6, 7)」と「16.2.5. TMR0n : タイマモードレジスタ 0n (n = 1, 3)」を参照）に従います。

タイマカウンタレジスタ 0n (TCR0n) を読み出すとカウント値が読めます。以下の場合ではカウント値が 0xFFFF になります。

- リセット信号が発生した
- PWM 出力モードでスレーブチャネルのカウントが完了した
- 遅延カウントモードでスレーブチャネルのカウントが完了した
- ワンショットパルス出力モードでマスタチャネルまたはスレーブチャネルのカウントが完了した
- 多重 PWM 出力モードでスレーブチャネルのカウントが完了した

以下の場合ではカウント値が 0x0000 にクリアされます。

- キャプチャモードで開始トリガが入力された
- キャプチャモードでキャプチャが完了した

注. TCR0n レジスタを読み出してもカウント値はタイマデータレジスタ 0n (TDR0n) にキャプチャされません。

注. TCR0n レジスタを読み出すときには、カウント値を誤らないように、カウンタサイズと同様の 16 ビット幅で TCR0n レジスタにアクセスする必要があります。

TCR0n レジスタの読み出し値は、動作モードと動作状態によって異なります。詳細は、表 16.3 を参照してください。

表 16.3 各動作モードでのタイマカウンタレジスタ 0n (TCR0n) の読み出し値

動作モード	カウントモード	タイマカウンタレジスタ 0n (TCR0n) から読み出した値 ^(注1)			
		リセット解除後に動作モードが変更された時の値	カウント動作を暫定的に停止した (TT0.TT[n] = 1) 時の値	カウント動作を暫定的に停止した (TT0.TT[n] = 1) 後に動作モードが変更された時の値	ワンカウント後の開始トリガを待っている時の値
インターバルタイマモード	ダウンカウント	0xFFFF	カウント停止時の値	不定	—
キャプチャモード	アップカウント	0x0000	カウント停止時の値	不定	—
イベントカウンタモード	ダウンカウント	0xFFFF	カウント停止時の値	不定	—
ワンカウントモード	ダウンカウント	0xFFFF	カウント停止時の値	不定	0xFFFF
キャプチャ & ワンカウントモード	アップカウント	0x0000	カウント停止時の値	不定	TRD0n レジスタのキャプチャ値 + 1

注 1. チャネル n のタイマ動作が停止し (TE0.TE[n] = 0) カウンタ動作が許可されている (TS0.TS[n] = 1) 場合に TCR0n レジスタから読み出される値です。読み出した値はカウント動作が始まるまで TCR0n レジスタに保持されます。

16.2.2 TDR0n/TDR01x/TDR03x : タイマデータレジスタ 0n (n = 0~7) (x = L, H)

Base address: TAU = 0x400A_2600

Offset address: 0x0000 (TDR00)
 0x0002 (TDR01/TDR01L)
 0x0003 (TDR01H)
 0x0004 (TDR02)
 0x0006 (TDR03/TDR03L)
 0x0007 (TDR03H)
 0x0008 (TDR04)
 0x000A (TDR05)
 0x000C (TDR06)
 0x000E (TDR07)

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
15:0	n/a	16 ビットタイマキャプチャ結果またはユニット m とチャンネル n のコンペアデータ設定	R/W

キャプチャ機能とコンペアマッチ機能を切り替えて使用できる 16 ビットのレジスタです。

キャプチャ機能とコンペア機能は、タイマモードレジスタ 0n (TMR0n) の TMR0n.MD[2:0] ビットと TMR0n.OPIRQ ビットで選択した動作モードに応じて切り替わります。

TDR0n レジスタの値はいつでも変更できます。本レジスタは 16 ビット単位で読み出し／書き込みが可能です。

また、TDR01 レジスタと TDR03 レジスタについては、8 ビットタイマモードのとき（タイマモードレジスタ 01 と 03 (TMR01, TMR03) の SPLIT01 ビットと SPLIT03 ビットが 1 のとき）、8 ビット単位でデータの読み出し／書き込みが可能です。このとき、TDR01H と TDR03H は上位 8 ビットとして、TDR01L と TDR03L は下位 8 ビットとして使用されます。

(i) タイマデータレジスタ 0n (TDR0n) をコンペアレジスタとして使用する場合

TDR0n レジスタの設定値を初期値にダウンカウントが開始します。カウント値が 0x0000 に達すると、割り込み信号 (TAU0_TMI0n) が生成されます。TDR0n レジスタの値は書き換えられるまで保持されます。

注. コンペア機能設定時、キャプチャトリガが入力されても TDR0n レジスタはキャプチャ動作を行いません。

(ii) タイマデータレジスタ 0n (TDR0n) をキャプチャレジスタとして使用する場合

キャプチャトリガが入力されると、タイマカウンタレジスタ 0n (TCR0n) のカウント値が TDR0n レジスタにキャプチャされます。

TI0n 端子の有効エッジをキャプチャトリガとして選択できます。この選択は、タイマモードレジスタ 0n (TMR0n) で行えます。

16.2.3 TPS0 : タイマクロック選択レジスタ 0

Base address: TAU = 0x400A_2600

Offset address: 0x0136

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
3:0	PRS0[3:0]	動作クロック (CK00) の選択(注1) (注3) (注4) 0x0: PCLKB 0x1: PCLKB/2 0x2: PCLKB/2 ² 0x3: PCLKB/2 ³ 0x4: PCLKB/2 ⁴ 0x5: PCLKB/2 ⁵ 0x6: PCLKB/2 ⁶ 0x7: PCLKB/2 ⁷ 0x8: PCLKB/2 ⁸ 0x9: PCLKB/2 ⁹ 0xA: PCLKB/2 ¹⁰ 0xB: PCLKB/2 ¹¹ 0xC: PCLKB/2 ¹² 0xD: PCLKB/2 ¹³ 0xE: PCLKB/2 ¹⁴ 0xF: PCLKB/2 ¹⁵	R/W
7:4	PRS1[3:0]	動作クロック (CK01) の選択(注1) (注3) (注4) 0x0: PCLKB 0x1: PCLKB/2 0x2: PCLKB/2 ² 0x3: PCLKB/2 ³ 0x4: PCLKB/2 ⁴ 0x5: PCLKB/2 ⁵ 0x6: PCLKB/2 ⁶ 0x7: PCLKB/2 ⁷ 0x8: PCLKB/2 ⁸ 0x9: PCLKB/2 ⁹ 0xA: PCLKB/2 ¹⁰ 0xB: PCLKB/2 ¹¹ 0xC: PCLKB/2 ¹² 0xD: PCLKB/2 ¹³ 0xE: PCLKB/2 ¹⁴ 0xF: PCLKB/2 ¹⁵	R/W
9:8	PRS2[1:0]	動作クロック (CK02) の選択(注1) (注2) 0x0: PCLKB/2 0x1: PCLKB/2 ² 0x2: PCLKB/2 ⁴ 0x3: PCLKB/2 ⁶	R/W
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:12	PRS3[1:0]	動作クロック (CK03) の選択(注1) (注2) 0x0: PCLKB/2 ⁸ 0x1: PCLKB/2 ¹⁰ 0x2: PCLKB/2 ¹² 0x3: PCLKB/2 ¹⁴	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. PCLKB に選択したクロックを変更する時は、タイマアレイユニットを停止 (TT0 = 0x00FF) してください。

注 2. 動作クロック (f_{MCK}) または TI0n 端子から入力された信号の有効エッジを選択した場合は、タイマアレイユニットも停止しなければなりません。

注 3. 動作クロック (CK00, CK01) として PCLKB (分周なし) が選択され TDR0n (n = 0~7) に 0x0000 が設定された場合、タイマアレイユニットから出力される割り込み要求は使用できません。

注 4. TPS0 レジスタで選択するクロックの、立ち上がりエッジから PCLKB の 1 サイクルの間 High レベルとなる波形。詳細は、「16.4.1. カウント用クロック (f_{TCLK})」を参照してください。

注. PCLKB : CPU と周辺ハードウェアのクロック周波数。

TPS0 は、各チャネルに共通に供給される 2 種類または 4 種類の動作クロック (CK00, CK01, CK02, CK03) を選択するための 16 ビットレジスタです。CK00 は、TPS0 レジスタのビット 3~0 を使用して選択します。CK01 は、

TPS0 レジスタのビット 7~4 を使用して選択します。また、チャンネル 1 と 3 に限っては CK02 と CK03 も選択できます。CK02 は、TPS0 レジスタのビット 9 と 8 を使用して選択します。CK03 は、TPS0 レジスタのビット 13 と 12 を使用して選択します。

以下の場合では、タイマ動作中に TPS0 レジスタを書き換えることができます。

- PRS0[3:0]ビットが書き換え可能な場合 (n = 0~7) :
動作クロックとして CK00 が選択されている (TMR0n.CKS[1:0] = 00b) 全てのチャンネルが停止状態 (TE0.TE[n] = 0)。
- PRS1[3:0]ビットが書き換え可能な場合 (n = 0~7) :
動作クロックとして CK01 が選択されている (TMR0n.CKS[1:0] = 01b) 全てのチャンネルが停止状態 (TE0.TE[n] = 0)。
- PRS2[1:0]ビットが書き換え可能な場合 (n = 1, 3) :
動作クロックとして CK02 が選択されている (TMR0n.CKS[1:0] = 10b) 全てのチャンネルが停止状態 (TE0.TE[n] = 0)。
- PRS3[1:0]ビットが書き換え可能な場合 (n = 1, 3) :
動作クロックとして CK03 が選択されている (TMR0n.CKS[1:0] = 11b) 全てのチャンネルが停止状態 (TE0.TE[n] = 0)。

PRS0[3:0]ビット (動作クロック (CK00) の選択)

PRS0[3:0] ビットで選択できる入力ソースを表 16.4 に示します。

PRS1[3:0]ビット (動作クロック (CK01) の選択)

PRS1[1:0] ビットで選択できる入力ソースを表 16.4 に示します。

表 16.4 動作クロック (PRSk (k = 0, 1)) の選択

PRSk[3:0]	動作クロック (CK0k)(注1) (k = 0, 1) の選択					
		PCLKB = 2 MHz	PCLKB = 5 MHz	PCLKB = 10 MHz	PCLKB = 20 MHz	PCLKB = 32 MHz
0000b	PCLKB	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz
0001b	PCLKB/2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0010b	PCLKB/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0011b	PCLKB/2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0100b	PCLKB/2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
0101b	PCLKB/2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz	1 MHz
0110b	PCLKB/2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz
0111b	PCLKB/2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	250 kHz
1000b	PCLKB/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
1001b	PCLKB/2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	62.5 kHz
1010b	PCLKB/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
1011b	PCLKB/2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	15.6 kHz
1100b	PCLKB/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1101b	PCLKB/2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1110b	PCLKB/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz
1111b	PCLKB/2 ¹⁵	61.0 Hz	153 Hz	305 Hz	610 Hz	977 Hz

注 1. PCLKB に選択したクロックを変更する時は、タイマアレイユニットを停止 (TT0 = 0x00FF) してください。

注. 動作クロック (CK0k) として PCLKB (分周なし) が選択され TDR0n (n = 0~7) に 0x0000 が設定された場合、タイマアレイユニットから出力される割り込み要求は使用できません。

注. PCLKB : CPU と周辺ハードウェアのクロック周波数。

注. TPS0 レジスタで選択するクロックの、立ち上がりエッジから PCLKB の 1 サイクルの間 High レベルとなる波形。詳細は、「16.4.1. カウント用クロック (f_{CLK})」を参照してください。

PRS2[1:0]ビット（動作クロック (CK02) の選択）

PRS2[1:0]ビットで選択できる入力ソースを表 16.5 に示します。

表 16.5 動作クロック (PRS2[1:0]) の選択

PRS2[1:0]	動作クロック (CK02) の選択 ^(注1)					
		PCLKB = 2 MHz	PCLKB = 5 MHz	PCLKB = 10 MHz	PCLKB = 20 MHz	PCLKB = 32 MHz
00b	PCLKB/2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
01b	PCLKB/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
10b	PCLKB/2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
11b	PCLKB/2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz

注 1. PCLKB に選択したクロックを変更する時は、タイマアレイユニットを停止 (TT0 = 0x00FF) してください。
動作クロック (f_{MCK}) または TI0n 端子から入力された信号の有効エッジを選択した場合は、タイマアレイユニットも停止しなければなりません。

PRS3[1:0]ビット（動作クロック (CK03) の選択）

PRS3[1:0]ビットで選択できる入力ソースを表 16.6 に示します。

表 16.6 動作クロック (PRS3[1:0]) の選択

PRS3[1:0]	動作クロック (CK03) の選択 ^(注1)					
		PCLKB = 2 MHz	PCLKB = 5 MHz	PCLKB = 10 MHz	PCLKB = 20 MHz	PCLKB = 32 MHz
00b	PCLKB/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
01b	PCLKB/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
10b	PCLKB/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
11b	PCLKB/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz

注 1. PCLKB に選択したクロックを変更する時は、タイマアレイユニットを停止 (TT0 = 0x00FF) してください。
動作クロック (f_{MCK}) または TI0n 端子から入力された信号の有効エッジを選択した場合は、タイマアレイユニットも停止しなければなりません。

8 ビットタイマモードでチャンネル 1 と 3 を使用し動作クロックとして CK02 または CK03 を指定した場合、インターバルタイマ機能で表 16.7 に示すインターバルタイムを適用することが可能になります。

表 16.7 動作クロック CK02 または CK03 で適用可能なインターバルタイム

クロック		インターバルタイム ^(注1) (PCLKB = 32 MHz)			
		10 μ s	100 μ s	1 ms	10 ms
CK02	PCLKB/2	✓	—	—	—
	PCLKB/2 ²	✓	—	—	—
	PCLKB/2 ⁴	✓	✓	—	—
	PCLKB/2 ⁶	✓	✓	—	—
CK03	PCLKB/2 ⁸	—	✓	✓	—
	PCLKB/2 ¹⁰	—	✓	✓	—
	PCLKB/2 ¹²	—	—	✓	✓
	PCLKB/2 ¹⁴	—	—	✓	✓

注 1. 5%以内が許容範囲です。

注. PCLKB : CPU と周辺ハードウェアのクロック周波数

注. TPS0 レジスタで選択した PCLKB/2ⁱ の信号の詳細については、「16.4.1. カウント用クロック (f_{CLK})」を参照してください。

16.2.4 TMR0n : タイマモードレジスタ 0n (n = 0, 2, 4, 5, 6, 7)

Base address: TAU = 0x400A_2600

Offset address: 0x0110 (TMR00)
 0x0114 (TMR02)
 0x0118 (TMR04)
 0x011A (TMR05)
 0x011C (TMR06)
 0x011E (TMR07)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CKS[1:0]		—	CCS	MASTER	STS[2:0]		CIS[1:0]		—	—	MD[2:0]			OPIRQ	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OPIRQ	カウント開始と割り込みの設定	R/W
3:1	MD[2:0]	チャンネル n の動作モードの選択 0 0 0: インターバルタイマモード 0 1 0: キャプチャモード 0 1 1: イベントカウンタモード 1 0 0: ワンカウントモード(注1) 1 1 0: キャプチャ&ワンカウントモード その他: 設定禁止	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:6	CIS[1:0]	Ti0n 端子入力の有効エッジの選択 0 0: 立ち下がりエッジ 0 1: 立ち上がりエッジ 1 0: 両エッジ (Low レベル幅測定時) 開始トリガ: 立ち下がりエッジ、キャプチャトリガ: 立ち上がりエッジ 1 1: 両エッジ (High レベル幅測定時) 開始トリガ: 立ち上がりエッジ、キャプチャトリガ: 立ち下がりエッジ	R/W
10:8	STS[2:0]	チャンネル n の開始トリガまたはキャプチャトリガの設定 0 0 0: ソフトウェアトリガ起動のみ有効 (他のトリガ要因は未選択) 0 0 1: Ti0n 端子入力の有効エッジを開始トリガとキャプチャトリガの両方に使用 0 1 0: Ti0n 端子入力の両エッジを開始トリガとキャプチャトリガに使用 1 0 0: マスタチャンネルの割り込み信号を使用 (複数チャンネル動作機能でチャンネルがスレーブチャンネルとして使用されている場合) その他: 設定禁止	R/W
11	MASTER(注2)	チャンネル n を単独で使用するか複数のチャンネル (スレーブまたはマスタ) で使用するかの選択 0: 単独チャンネル動作機能で動作するか、または複数チャンネル動作機能でスレーブチャンネルとして動作する 1: 複数チャンネル動作機能でマスタチャンネルとして動作する	R/W
12	CCS	チャンネル n のカウントクロック (f_{CLK}) の選択 0: CKS[1:0] ビットで指定した動作クロック (f_{MCK}) 1: Ti0n 端子から入力される入力信号の有効エッジ ● チャンネル 5 では、TIS0 レジスタで選択した入力信号の有効エッジ ● チャンネル 7 では、ISC レジスタで選択した入力信号の有効エッジ	R/W
13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:14	CKS[1:0]	チャンネル n の動作クロック (f_{MCK}) の選択 0 0: タイマクロック選択レジスタ 0 (TPS0) で設定した動作クロック CK00 0 1: タイマクロック選択レジスタ 0 (TPS0) で設定した動作クロック CK02 1 0: タイマクロック選択レジスタ 0 (TPS0) で設定した動作クロック CK01 1 1: タイマクロック選択レジスタ 0 (TPS0) で設定した動作クロック CK03	R/W

注 1. ワンカウントモードでは、カウント動作開始時の割り込み出力 (TAU0_TMI0n) と TO0n 出力は制御されません。

注 2. n が 0、5、7 の場合はサポートされません (ビット 11 は読み出し専用ビットであり、0 に固定されます)。このビットへの書き込みは無視されます。

注. TMR0n レジスタのビット 11 に割り当てられたビット機能はチャンネルによって変わります。

TMR00、TMR05、TMR07: 0 に固定

TMR0n レジスタはチャンネル n の動作モードを設定します。本レジスタを使用して次の設定を行います。・動作クロック (f_{MCK}) の選択・カウントクロックの選択・マスタ/スレーブの選択・16 ビットタイマの選択・開始トリガとキャプチャトリガの指定・タイマ入力の有効エッジの選択・動作モード（インターバルタイマ/キャプチャ/イベントカウンタ/ワンカウント/キャプチャ&ワンカウント）の指定

対応するタイマの動作中（TE0.TE[n]が1のとき）に TMR0n レジスタを書き換えることは禁止です。ただし、対応するタイマが何かの機能で動作しているとき（TE0.TE[n]が1のとき）であっても、ビット7とビット6（CIS[1:0]）は書き換え可能です。詳細は、「[16.7. タイマアレイユニットの単独チャンネル動作機能](#)」および「[16.8. タイマアレイユニットの複数チャンネル動作機能](#)」を参照してください。

注. PCLKB に選択したクロックを変更する場合は、CKS[1:0]ビットで指定した動作クロック (f_{MCK}) または TI0n 端子から入力された信号の有効エッジがカウントクロック (f_{CLK}) に選択されていても、タイマアレイユニットを停止 (TT0 = 0x00FF) する必要があります。

OPIRQ ビット（カウント開始と割り込みの設定）

表 16.8 に、MD[2:0]ビットと OPIRQ ビットで選択できる動作モードを示します。

表 16.8 OPIRQ ビットで選択する OPIRQ 動作モード

動作モード (MD[2:0])	OPIRQ	カウント開始と割り込みの設定
インターバルタイマモード (000b) キャプチャモード (010b)	0	カウント開始時にタイマ割り込みは発生しない（タイマ出力も変化しない）。
	1	カウント開始時にタイマ割り込みが発生する（タイマ出力も変化する）。
イベントカウンタモード (011b)	0	カウント開始時にタイマ割り込みは発生しない（タイマ出力も変化しない）。
ワンカウントモード (100b)	0	カウント動作中に発生する開始トリガは無効となる。 その時、割り込みは発生しない。
	1	カウント動作中に発生する開始トリガは有効となる。 ^(注1) そのとき、割り込みは発生しない。
キャプチャ & ワンカウントモード (110b)	0	カウント開始時にタイマ割り込みは発生しない（タイマ出力も変化しない）。 カウント動作中に発生する開始トリガは無効となる。 その時、割り込みは発生しない。
上記以外		設定禁止

注 1. 動作中に開始トリガ (TS0.TS[n] = 1) が発行されるとカウンタは初期化され、再カウントが開始します（割り込み要求は発生しません）。

MD[2:0] ビット（チャンネル n の動作モードの選択）

各モードにおける動作は TMR0n.OPIRQ ビットの値によって変わります（表 16.8 参照）。

表 16.9 に、MD[2:0] ビットで選択できる動作モードを示します。

表 16.9 MD[2:0] ビットで選択する動作モード (1/2)

MD[2:0]	チャンネル n の動作モード	対応する機能	TCR のカウント動作
000b	インターバルタイマモード	インターバルタイマまたは 矩形波出力または 分周器機能または PWM 出力（マスタ）	ダウンカウント
010b	キャプチャモード	入力パルスの間隔の測定	アップカウント
011b	イベントカウンタモード	外部イベントカウンタ	ダウンカウント
100b	ワンカウントモード	遅延カウンタまたは ワンショットパルス出力または PWM 出力（スレーブ）	ダウンカウント
110b	キャプチャ & ワンカウントモード	入力信号の High/Low レベル幅の測定	アップカウント

表 16.9 MD[2:0] ビットで選択する動作モード (2/2)

MD[2:0]	チャンネル n の動作モード	対応する機能	TCR のカウント動作
上記以外	設定禁止		

CIS[1:0] ビット (TI0n 端子入力の有効エッジの選択)

STS[2:0] ビットの値が 010b 以外で両エッジが指定されている場合は、CIS[1:0] ビットに 10b を設定してください。

STS[2:0] ビット (チャンネル n の開始トリガまたはキャプチャトリガの設定)

このビットはチャンネル n の開始トリガまたはキャプチャトリガの設定に使用します。

MASTER ビット (チャンネル n を単独で使用するか複数のチャンネル (スレーブまたはマスタ) で使用するかの選択)

マスタチャンネル (MASTER = 1) として設定できるのはチャンネル 2、4、6 だけです。

チャンネル 0, 5, 7 は 0 固定となります。(チャンネル 0 は最上位チャンネルのため、このビット設定に関わらずマスタとして動作します。)

単独チャンネル動作機能で使用するチャンネルは、MASTER ビットを 0 にしてください。

CCS ビット (チャンネル n のカウントクロック (f_{TCLK}) の選択)

カウントクロック (f_{TCLK}) は、カウンタ、出力制御回路、および割り込み制御回路に使用されます。

CKS[1:0] ビット (チャンネル n の動作クロック (f_{MCK}) の選択)

動作クロック (f_{MCK}) はエッジ検出回路が使用します。カウントクロック (f_{TCLK}) とサンプリングクロックは、CCS ビットの設定に従って生成されます。

動作クロック CK02、CK03 はチャンネル 1、3 のみ選択可能です。

16.2.5 TMR0n : タイマモードレジスタ 0n (n = 1, 3)

Base address: TAU = 0x400A_2600

Offset address: 0x0112 (TMR01)
0x0116 (TMR03)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CKS[1:0]	—	CCS	SPLIT	STS[2:0]	CIS[1:0]	—	—	MD[2:0]	OPIRQ						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OPIRQ	カウント開始設定と割り込み	R/W
3:1	MD[2:0]	チャンネル n の動作モードの選択 000: インターバルタイマモード 010: キャプチャモード 011: イベントカウンタモード 100: ワンカウントモード 110: キャプチャ & ワンカウントモード その他: 設定禁止	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:6	CIS[1:0]	TI0n 端子入力の有効エッジの選択 00: 立ち下がリエッジ 01: 立ち上がりエッジ 10: 両エッジ (Low レベル幅測定時) 開始トリガ: 立ち下がリエッジ、キャプチャトリガ: 立ち上がりエッジ 11: 両エッジ (High レベル幅測定時) 開始トリガ: 立ち上がりエッジ、キャプチャトリガ: 立ち下がリエッジ	R/W

ビット	シンボル	機能	R/W
10:8	STS[2:0]	チャンネル n の開始トリガまたはキャプチャトリガの設定 000: ソフトウェアトリガ起動のみ有効 (他のトリガ要因は未選択) 001: TI0n 端子入力の有効エッジを開始トリガとキャプチャトリガの両方に使用。 010: TI0n 端子入力の両エッジを開始トリガとキャプチャトリガに使用。 100: マスタチャンネルの割り込み信号を使用 (複数チャンネル動作機能と共にチャンネルがスレーブチャンネルとして使用されている場合) その他: 設定禁止	R/W
11	SPLIT	チャンネル 1 とチャンネル 3 のタイマ動作選択 (8 ビット/16 ビット) 0: 16 ビットタイマとして動作 (単独チャンネル動作機能で動作するか、または複数チャンネル動作機能でスレーブチャンネルとして動作する) 1: 8 ビットタイマとして動作	R/W
12	CCS	チャンネル n のカウント用クロック (f_{TCLK}) の選択 0: CKS[1:0] ビットで指定した動作クロック (f_{MCK}) 1: TI0n 端子から入力される入力信号の有効エッジ	R/W
13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:14	CKS[1:0]	チャンネル n の動作クロック (f_{MCK}) の選択 00: タイマクロック選択レジスタ 0 (TPS0) で設定した動作クロック CK00 01: タイマクロック選択レジスタ 0 (TPS0) で設定した動作クロック CK02 10: タイマクロック選択レジスタ 0 (TPS0) で設定した動作クロック CK01 11: タイマクロック選択レジスタ 0 (TPS0) で設定した動作クロック CK03	R/W

注. TMR0n レジスタのビット 11 に割り当てられたビット機能はチャンネルによって変わります。
TMR01, TMR03: SPLIT ビット ($n = 1, 3$)

TMR0n レジスタはチャンネル n の動作モードを設定します。本レジスタを使用して次の設定を行えます。・動作クロック (f_{MCK}) の選択・カウント用クロックの選択・マスタ/スレーブの選択・タイマ動作 (16 ビット/8 ビット) の選択 (チャンネル 1 と 3 のみ)・開始トリガとキャプチャトリガの指定・タイマ入力の有効エッジの選択・動作モード (インターバルタイマ/キャプチャ/イベントカウンタ/ワンカウント/キャプチャ & ワンカウント) の指定

レジスタ動作中 (TE0.TE[n] が 1 のとき) に TMR0n レジスタを書き換えることは禁止です。ただし、レジスタが何かの機能で動作しているとき (TE0.TE[n] が 1 のとき) であっても、ビット 7~6 (CIS[1:0]) は書き換え可能です。詳細は、「16.7. タイマアレユニットの単独チャンネル動作機能」および「16.8. タイマアレユニットの複数チャンネル動作機能」を参照してください。

注. PCLKB に選択したクロックを変更した場合は、CKS[1:0] ビットで指定した動作クロック (f_{MCK}) または TI0n 端子から入力された信号の有効エッジがカウント用クロック (f_{TCLK}) に選択されていても、タイマアレユニットを停止しなければなりません (TT0 = 0x00FF)。

OPIRQ ビット (カウント開始設定と割り込み)

表 16.8 に、MD[2:0] ビットと OPIRQ ビットで選択できる動作モードを示します。

MD[2:0] ビット (チャンネル n の動作モードの選択)

各モードにおける動作は TMR0n.OPIRQ ビットの値によって変わります (表 16.8 参照)。

表 16.9 に、MD[2:0] ビットで選択できる動作モードを示します。

CIS[1:0] ビット (TI0n 端子入力の有効エッジの選択)

STS[2:0] ビットの値が 010b 以外で両エッジが指定されている場合は、CIS[1:0] ビットに 10b を設定してください。

STS[2:0] ビット (チャンネル n の開始トリガまたはキャプチャトリガの設定)

これらのビットはチャンネル n の開始トリガまたはキャプチャトリガの設定に使用します。

SPLIT ビット (チャンネル 1 とチャンネル 3 のタイマ動作選択 (8 ビット/16 ビット))

このビットは、チャンネル 1 と 3 のタイマ動作 (8 ビット/16 ビット) を選択するときに使用します。

CCS ビット (チャンネル n のカウント用クロック (f_{TCLK}) の選択)

カウントクロック (f_{TCLK}) は、カウンタ、出力コントローラ、および割り込みコントローラに使用されます。

CKS[1:0] ビット (チャンネル n の動作クロック (f_{MCK}) の選択)

動作クロック (f_{MCK}) はエッジ検出回路が使用します。カウントクロック (f_{TCLK}) とサンプリングクロックは、CCS ビットの設定に従って生成されます。

16.2.6 TSR0n : タイマステータスレジスタ 0n (n = 0~7)

Base address: TAU = 0x400A_2600

Offset address: 0x0120 + 0x2 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OVF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OVF	チャンネル n のカウンタオーバーフロー状態 0: オーバーフローの発生なし 1: オーバーフロー発生	R
15:1	—	読むと 0 が読めます。書く場合、0 としてください。	R

TSR0n レジスタは、チャンネル n のカウンタのオーバーフロー状態を示します。

TSR0n レジスタが有効になるのは、キャプチャモード (TMR0n.MD[2:0] = 010b) とキャプチャ & ワンカウントモード (TMR0n.MD[2:0] = 110b) だけです。各動作モードでの OVF ビットの動作およびセット/クリア条件については、表 16.10 を参照してください。

TSR0n レジスタの下位 8 ビットは TSR0nL として扱うことができ、8 ビットメモリ操作命令で読み出すことができます。

OVF ビット (チャンネル n のカウンタオーバーフロー状態)

OVF が 1 の場合、オーバーフローの発生がないときに次の値がキャプチャされると、このフラグはクリア (OVF = 0) されます。

各動作モードでの OVF ビットの動作およびセット/クリア条件を表 16.10 に示します。

表 16.10 各動作モードでの OVF ビットの動作およびセット/クリア条件

タイマの動作モード	OVF ビット	セット/クリア条件
- キャプチャモード - キャプチャ & ワンカウントモード	クリア	キャプチャ時にオーバーフローが発生していない場合
	セット	キャプチャ時にオーバーフローが発生している場合
- インターバルタイマモード - イベントカウンタモード - ワンカウントモード	クリア	— (使用禁止)
	セット	

注. OVF ビットが変化するのはカウンタがオーバーフローした直後ではなく、次回キャプチャが行われた時です。

16.2.7 TE0 : タイマチャネル許可ステータスレジスタ 0

Base address: TAU = 0x400A_2600

Offset address: 0x0130

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	TEH3	—	TEH1	—	TE[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TE[7:0]	チャンネル n の動作状態（許可／停止）の表示 0: 動作停止 1: 動作許可	R
8	—	読むと 0 が読めます。	R
9	TEH1	チャンネル 1 が 8 ビットタイマモードの場合の上位 8 ビットタイマの動作状態（許可／停止）の表示 0: 動作停止 1: 動作許可	R
10	—	読むと 0 が読めます。	R
11	TEH3	チャンネル 3 が 8 ビットタイマモードの場合の上位 8 ビットタイマの動作状態（許可／停止）の表示 0: 動作停止 1: 動作許可	R
15:12	—	読むと 0 が読めます。	R

各チャンネルのタイマ動作の制御（許可／停止）に TE0 レジスタを使用します。

TE0 レジスタの各ビットは、タイマチャンネル起動レジスタ 0 (TS0) とタイマチャンネル停止レジスタ 0 (TT0) の各ビットに対応します。TS0 レジスタのあるビットが 1 になると、それに対応する本レジスタのビットが 1 になります。TT0 レジスタのあるビットが 1 になると、それに対応する本レジスタのビットが 0 になります。

TE0 レジスタの下位 8 ビットは、8 ビットメモリアクセスで読み出せます。

16.2.8 TS0 : タイマチャンネル起動レジスタ 0

Base address: TAU = 0x400A_2600

Offset address: 0x0132

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	TSH3	—	TSH1	—	TS[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TS[7:0]	チャンネル n の動作許可（起動）トリガ 0: トリガ動作なし 1: TE0.TE[n] ビットが 1 になりカウント動作が許可される	R/W
8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	TSH1	チャンネル 1 が 8 ビットタイマモードの場合に上位 8 ビットタイマの動作（起動動作）を許可するトリガ 0: トリガ動作なし 1: TE0.TEH1 ビットが 1 になりカウント動作が許可される	R/W
10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	TSH3	チャンネル 3 が 8 ビットタイマモードの場合に上位 8 ビットタイマの動作（起動動作）を許可するトリガ 0: トリガ動作なし 1: TE0.TEH3 ビットが 1 になりカウント動作が許可される	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注: TI0n 端子入力を使用しない機能から使用する機能に切り替える場合は、タイマモードレジスタ 0n (TMR0n) を設定してから TS[n] (TSH1/TSH3) ビットを 1 に設定するまでに、以下のウェイト期間が必要です。

TI0n 端子のノイズフィルタが有効の場合 (TNFEN.TNFEN0n = 1): 動作クロック (f_{MCK}) の 4 サイクル、TI0n 端子のノイズフィルタが無効 (TNFEN.TNFEN0n = 0) の場合: 動作クロック (f_{MCK}) の 2 サイクル

注: TS0 レジスタは常に 0 が読めます。

TS0 レジスタは、タイマカウンタレジスタ 0n (TCR0n) の初期化と各チャンネルのカウント動作の開始に使用するトリガレジスタです。

本レジスタのいずれかのビットを 1 にすると、タイマチャネル許可ステータスレジスタ 0 (TE0) の対応するビットが 1 になります。TE0 レジスタの TS[n]、TSH1、TSH3 の各ビットはトリガビットなので、動作が許可されると (TE0.TE[n], TEH1, TEH3)、即座にクリアされます。

TS[7:0]ビット (チャネル n の動作許可 (起動) トリガ)

カウント動作が許可されている状態で TCR0n レジスタのカウントが開始するまでの動作は、動作モードによって異なります (「16.4.2. カウント開始タイミング」の表 16.11 を参照)。

このビットは、チャネル 1 または 3 が 8 ビットタイマモードの場合に、TS01 ビットと TS03 ビットに対応する下位 8 ビットタイマの動作許可 (起動) トリガとして働きます。

TSH1 ビット (チャネル 1 が 8 ビットタイマモードの場合に上位 8 ビットタイマの動作 (起動動作) を許可するトリガ)

インターバルタイマモードでカウント動作許可状態のときに TCR01 レジスタのカウント動作を開始します (「16.4.2. カウント開始タイミング」の表 16.11 を参照)。

TSH3 ビット (チャネル 3 が 8 ビットタイマモードの場合に上位 8 ビットタイマの動作 (起動動作) を許可するトリガ)

インターバルタイマモードでカウント動作許可状態のときに TCR03 レジスタのカウント動作を開始します (「16.4.2. カウント開始タイミング」の表 16.11 を参照)。

16.2.9 TT0 : タイマチャネル停止レジスタ 0

Base address: TAU = 0x400A_2600

Offset address: 0x0134

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	TTH3	—	TTH1	—	TT[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TT[7:0]	チャネル n の動作停止トリガ 0: トリガ動作なし 1: TE0.TE[n] ビットが 0 になりカウント動作が停止する	R/W
8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	TTH1	チャネル 1 が 8 ビットタイマモードの場合に上位 8 ビットタイマの動作を停止するトリガ 0: トリガ動作なし 1: TE0.TEH1 ビットが 0 になりカウント動作が停止する	R/W
10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	TTH3	チャネル 3 が 8 ビットタイマモードの場合に上位 8 ビットタイマの動作を停止するトリガ 0: トリガ動作なし 1: TE0.TEH3 ビットが 0 になりカウント動作が停止する	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注: TT0 レジスタは常に 0 が読めます。

TT0 レジスタは、各チャネルのカウント動作の停止に使用するトリガレジスタです。

本レジスタのいずれかのビットを 1 にすると、タイマチャネル許可ステータスレジスタ 0 (TE0) の対応するビットが 0 になります。TT0 レジスタの TT[n]、TTH1、TTH3 の各ビットはトリガビットなので、動作が停止されると (TE0.TE[n], TEH1, TEH3)、即座にクリアされます。

16.2.10 TIS0 : タイマ入力選択レジスタ 0

Base address: PORGA = 0x400A_1000

Offset address: 0x0004

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	TIS[2]	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	TIS[2]	チャンネル 5 で使用するタイマ入力の選択 0: タイマ入力端子 (TI05) の入力信号 1: 低速オンチップオシレータ (LOCO)	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

TIS0 は、ユニット 0 タイマ入力のチャンネル 5 を選択するときに使用するレジスタです。

注. 選択するタイマ入力の High レベル幅と Low レベル幅はどちらも $1/f_{MCK} + 10$ (単位: ns) 以上でなければなりません。このため、PCLKB として FSUB を選択する場合は、TIS[2] ビットを 1 にすることができません。

16.2.11 TOE0 : タイマ出力許可レジスタ 0

Base address: TAU = 0x400A_2600

Offset address: 0x013A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	TOE[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TOE[7:0]	チャンネル n のタイマ出力の許可／禁止 0: タイマ出力を禁止する。 1: タイマ出力を許可する。	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

各チャンネルのタイマ出力の制御（許可／禁止）に TOE0 レジスタを使用します。

タイマ出力が許可されているチャンネル n は、タイマ出力レジスタ 0 (TO0)（後述）の TO0.TO[n] ビットの値をソフトウェアで書き換えることができなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子 (TOmn) から出力されます。

TOE0 レジスタの下位 8 ビットは 8 ビットメモリ操作命令で設定できます。

TOE[7:0] ビット（チャンネル n のタイマ出力の許可／禁止）

TOE[n] が 0 の場合

この設定では、対応する TO0.TO[n] ビットにタイマ動作が反映されません。したがって、TO0.TO[n] ビットの出力レベルは TO0 レジスタに書き込まれたレベルから変わりません。

TO0.TO[n] ビットへの書き込みが許可され、TO0.TO[n] ビットに設定されたレベルが TO0n 端子から出力されます。

TOE[n] が 1 の場合

この設定では、対応する TO0.TO[n] ビットにタイマ動作が反映されます。したがって、出力波形が生成されます。

TO0.TO[n] ビットへの書き込みは無視されます。

注. n: チャンネル番号 (n = 0~7)。

16.2.12 TO0 : タイマ出力レジスタ 0

Base address: TAU = 0x400A_2600

Offset address: 0x0138

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	TO[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TO[7:0]	チャンネル n のタイマ出力 0: タイマ出力値が 0 1: タイマ出力値が 1	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

TO0 レジスタは、各チャンネルのタイマ出力のバッファレジスタです。

本レジスタの各ビットの値は各チャンネルのタイマ出力端子 (TO0n) から出力されます。

タイマ出力が禁止されているとき (TOE0.TOE[n] = 0) に限り、ソフトウェアで本レジスタの TO0n ビットを書き換えることができます。タイマ出力が許可されているとき (TOE0.TOE[n] = 1) は、ソフトウェアによる本レジスタの書き換えは無視され、タイマ動作によってのみ値は変化します。

タイマアレイユニットの入力と出力に兼用されているポートの機能を使用するときに機能を選択するには、PSEL[2:0] ビットを 1 にしてください。

TO0 レジスタの下位 8 ビットは 8 ビットメモリ操作命令で設定できます。

注. n: チャンネル番号 (n = 0~7)

16.2.13 TOL0 : タイマ出力レベルレジスタ 0

Base address: TAU = 0x400A_2600

Offset address: 0x013C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	TOL[6:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:1	TOL[6:0]	チャンネル n のタイマ出力制御 0: 正論理出力 (アクティブ High) 1: 負論理出力 (アクティブ Low)	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

TOL0 レジスタは、各チャンネルのタイマ出力レベルを制御します。

本レジスタによるチャンネル n の反転出力設定は、スレーブチャンネル出力モード (TOM0.TOM[n] = 1) でタイマ出力が許可 (TOE0.TOE[n] = 1) されているときにタイマ出力信号がセットまたはリセットされたタイミングで反映されます。マスタチャンネル出力モード (TOM0.TOM[n] = 0) では、本レジスタの設定は無効です。

TOL0 レジスタの下位 8 ビットは 8 ビットメモリ操作命令で設定できます。

注. タイマ動作中に本レジスタの値が書き換えられた場合は、(書き換え直後ではなく) タイマ出力信号が次回変化した時に、タイマ出力ロジックが反転します。

注. n: チャンネル番号 (n = 0~7)

16.2.14 TOM0 : タイマ出力モードレジスタ 0

Base address: TAU = 0x400A_2600

Offset address: 0x013E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	TOM[6:0]							—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:1	TOM[6:0]	チャンネル n のタイマ出力モードの制御 0: マスタチャンネル出力モード (タイマ割り込み要求信号 (TAU0_TMI0n) によるトグル出力の生成用) 1: スレーブチャンネル出力モード (マスタチャンネルのタイマ割り込み要求信号 (TAU0_TMI0n) で設定される出力およびスレーブチャンネルのタイマ割り込み要求信号 (TAU0_TMI0p) によるリセット)	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

各チャンネルのタイマ出力モードの制御に TOM0 レジスタを使用します。

単独チャンネル動作機能に使用するチャンネルについては、当該チャンネルに対応するビットを 0 にしてください。

複数チャンネル動作機能 (PWM 出力、ワンショットパルス出力、または多重 PWM 出力) に使用するチャンネルについては、マスタチャンネルに対応するビットを 0 に、スレーブチャンネルに対応するビットを 1 にしてください。

本レジスタによる各チャンネル (n) の設定が反映されるタイミングは、タイマ出力が許可されている (TOE0.TOEn = 1) 場合にタイマ出力信号がセットまたはリセットされた時です。

TOM0 レジスタの下位 8 ビットは 8 ビットメモリ操作命令で設定できます。

注. n : チャンネル番号

n = 0~7 (マスタチャンネルでは、n = 0、2、4、または 6)

p : スレーブチャンネル番号

n < p ≤ 7

マスタチャンネルとスレーブチャンネルの関係の詳細については「[16.3.1. 複数チャンネル動作機能の基本規則](#)」を参照してください。

16.2.15 ISC : 入力切り替え制御レジスタ

Base address: PORGA = 0x400A_1000

Offset address: 0x0003

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SSIE0 0	ISC1	ISC0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ISC0	外部割り込み (IRQ0) 入力切り替え 0: IRQ0 端子の入力信号を外部割り込みに使用 (通常動作) 1: RXD0 端子の入力信号を外部割り込みに使用 (ウェイクアップ信号検出)	R/W
1	ISC1	タイマアレイユニットのチャンネル 7 入力切り替え 0: TI07 端子の入力信号をタイマ入力に使用 (通常動作) 1: RXD0 端子の入力信号をタイマ入力に使用 (ウェイクアップ信号を検出し、Break Field の Low 幅とシンクフィールドのパルス幅を測定する)	R/W

ビット	シンボル	機能	R/W
2	SSIE00	スレーブモードでの SPI00 を使用した通信でのチャンネル 0 の SSI00 入力の設定 0: SSI00 入力は禁止 1: SSI00 入力は許可	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. LIN バス通信機能を使用する場合は、ISC1 を 1 にして RXD0 端子の入力信号を選択します。

ISC レジスタの ISC1 ビットと ISC0 ビットは、シリアルアレイユニットに関連する TAU のチャンネル 7 を使用して LIN バス通信動作を実行するために使用されます。ビット 0 が 1 に設定された場合、シリアルデータ入力 (RXD0) 端子の入力信号は、ウェイクアップ信号の検出に使用可能な外部割り込み (IRQ0) として選択されます。ビット 1 が 1 に設定された場合、シリアルデータ入力 (RXD0) 端子の入力信号は、タイマ入力として選択されます。その結果、ウェイクアップ信号を検出でき、Break Field の Low 幅とシンクフィールドのパルス幅をタイマで測定することができます。

SSIE00 ビットは、スレーブモードで SPI00 を使用した通信で、チャンネル 0 の SSI00 入力を制御するために使用されます。

SSI00 端子が High のときは、シリアルクロックが入力された場合でも、受信と送信は実行されません。

SSI00 端子が Low のときは、モード設定に従ってシリアルクロックの入力に対応して受信と送信が実行されます。

16.2.16 TNFEN : TAU ノイズフィルタ許可レジスタ

Base address: PORGA = 0x400A_1000

Offset address: 0x0001

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TNFE N07	TNFE N06	TNFE N05	TNFE N04	TNFE N03	TNFE N02	TNFE N01	TNFE N00

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	TNFEN00	TI00 端子のノイズフィルタの使用の許可／禁止 0: ノイズフィルタを OFF にする 1: ノイズフィルタを ON にする	R/W
1	TNFEN01	TI01 端子のノイズフィルタの使用の許可／禁止 0: ノイズフィルタを OFF にする 1: ノイズフィルタを ON にする	R/W
2	TNFEN02	TI02 端子のノイズフィルタの使用の許可／禁止 0: ノイズフィルタを OFF にする 1: ノイズフィルタを ON にする	R/W
3	TNFEN03	TI03 端子のノイズフィルタの使用の許可／禁止 0: ノイズフィルタを OFF にする 1: ノイズフィルタを ON にする	R/W
4	TNFEN04	TI04 端子のノイズフィルタの使用の許可／禁止 0: ノイズフィルタを OFF にする 1: ノイズフィルタを ON にする	R/W
5	TNFEN05	TI05 端子のノイズフィルタの使用の許可／禁止 0: ノイズフィルタを OFF にする 1: ノイズフィルタを ON にする	R/W
6	TNFEN06	TI06 端子のノイズフィルタの使用の許可／禁止 0: ノイズフィルタを OFF にする 1: ノイズフィルタを ON にする	R/W
7	TNFEN07	TI07 端子のノイズフィルタの使用の許可／禁止 ^(注1) 0: ノイズフィルタを OFF にする 1: ノイズフィルタを ON にする	R/W

注 1. TI07 端子については、ISC レジスタの ISC1 ビットの設定によって制御対象が他の端子に切り替わります。ISC.ISC1 ビットが 0 の場合：ノイズフィルタの制御（許可／禁止）対象を TI07 端子とします。

ISC.ISC1 ビットが 1 の場合：ノイズフィルタの制御（許可／禁止）対象を RXD0 端子とします。

注. チャンネル 0～7 のタイマ入出力端子の有無は製品によって異なります。

TNFEN レジスタは、各チャンネルへのタイマ入力信号に対してノイズフィルタの適用を可能にするかどうかを設定するために使用します。

ノイズ除去が必要な端子にノイズフィルタを許可するには、当該端子に対応するビットを 1 にしてください。

ノイズフィルタが許可された場合、対象チャンネルの動作クロック (f_{MCK}) と同期した後に、信号が 2 クロックサイクルの間同じ値を維持するかどうかの確認が行われます。

ノイズフィルタが禁止された場合、入力信号は対象チャンネルの動作クロック (f_{MCK}) と同期するだけです。(注1).

注 1. 詳細については、(2) [Tl0n 端子からの入力信号の有効エッジを選択した場合 \(TMR0n.CCS = 1\)](#)、「[16.4.2. カウント開始タイミング](#)」、および「[16.6. タイマ入力 \(Tl0n\) の制御](#)」を参照してください。

16.2.17 タイマ I/O に使用する端子のポート機能を制御するレジスタ

以下のレジスタを設定して、タイマアレイユニットの入力と出力に兼用されているポートの機能を制御します。

- Pmn 方向レジスタ (PDRm) またはポート mn 端子機能選択レジスタ (PmnPFS_A) の PDR ビット
- ポート mn 端子機能選択レジスタ (PmnPFS_A) の PSEL[2:0] ビット
- アナログ入力（例：AN0xx）は使用しないでください。

詳細は以下のセクションを参照してください。

- 「[15.2.2. PDRm : Pmn 方向レジスタ \(m = 0～3, n = 00～15\)](#)」
- 「[15.2.6. PmnPFS_A : ポート mn 端子機能選択レジスタ \(m = 1～3, n = 00～15\)](#)」
- 「[15.2.7. P0nPFS_A : ポート 0n 端子機能選択レジスタ \(n = 10～13\)](#)」
- 「[15.6. 製品ごとの周辺選択設定](#)」

TO01～TO07 と兼用する端子をタイマの出力に使用する場合は、以下のレジスタを設定します。

- Pmn 方向レジスタ (PDRm) の PDRxx ビットまたはポート mn 端子機能選択レジスタ (PmnPFS_A) の PDR ビットを設定します。
PDRm.PDRxx ビットを 1 に設定します。または PmnPFS_A.PDR ビットを 1 に設定します。
- ポート mn 端子機能選択レジスタ (PmnPFS_A) の PSEL[2:0] ビット
ポート mn 端子機能選択レジスタ (PmnPFS_A) の PSEL[2:0] ビットを設定して、TO0x 機能を選択します。

TI01～TI07 と兼用する端子をタイマの入力に使用する場合は、以下のレジスタを設定します。

- Pmn 方向レジスタ (PDRm) の PDRxx ビットまたはポート mn 端子機能選択レジスタ (PmnPFS_A) の PDR ビットを設定します。
PDRm.PDRxx ビットを 0 に設定します。または PmnPFS_A.PDR ビットを 0 に設定します。
- ポート mn 端子機能選択レジスタ (PmnPFS_A) の PSEL[2:0] ビット
ポート mn 端子機能選択レジスタ (PmnPFS_A) の PSEL[2:0] ビットを設定して、TI0x 機能を選択します。

16.3 タイマアレイユニットの基本ルール

16.3.1 複数チャンネル動作機能の基本規則

複数のチャンネル、すなわち 1 本のマスタチャンネル（主にサイクルをカウントする基準タイマ）と複数のスレーブチャンネル（マスタチャンネルに応じて動作するタイマ）を同時に使用する場合は以下の規則が適用されます。

1. マスタチャンネルとして設定できるのは、偶数番号のチャンネル（チャンネル 0、2、4、...）だけです。
2. スレーブチャンネルには、チャンネル 0 以外の全てのチャンネルを設定できます。
3. スレーブチャンネルのチャンネル番号はマスタチャンネルのチャンネル番号より大きくなければなりません。
(例) チャンネル 2 をマスタチャンネルに設定した場合にスレーブチャンネルに設定できるのは、チャンネル 3 以降（チャンネル 3、4、5、...）です。
4. 1 本のマスタチャンネルに対して 2 本以上のスレーブチャンネルを設定できます。

5. 2 本以上のマスタチャンネルを使用する場合、マスタチャンネルをまたいだスレーブチャンネルを設定できない場合があります。
(例) マスタチャンネルとしてチャンネル 0 と 4 を設定した場合、マスタチャンネル 0 のスレーブチャンネルとして設定できるのはチャンネル 1~3 です。チャンネル 5~7 は、マスタチャンネル 0 のスレーブチャンネルとして設定できません。
6. マスタチャンネルと組み合わせるスレーブチャンネルには、同じ動作クロックを設定します。マスタチャンネルとの組み合わせによって動作するスレーブチャンネルの CKS[1:0] ビット (タイマモードレジスタ 0n (TMR0n) のビット 15~14) の設定は、マスタチャンネルの同ビット設定と一致させる必要があります。
7. マスタチャンネルは、TAU0_TMI0n (割り込み)、開始ソフトウェアトリガ、およびカウント用クロックを、当該マスタチャンネルより番号の大きいチャンネルへ送達することができます。
8. スレーブチャンネルは、マスタチャンネルの TAU0_TMI0n (割り込み)、開始ソフトウェアトリガ、またはカウント用クロックをソースクロックとして使用できますが、当該スレーブチャンネルの TAU0_TMI0n (割り込み)、開始ソフトウェアトリガ、またはカウント用クロックを、当該スレーブチャンネルより番号の大きいチャンネルへ送達することはできません。
9. 番号の大きいマスタチャンネルは、番号の小さいマスタチャンネルの TAU0_TMI0n (割り込み)、開始ソフトウェアトリガ、またはカウント用クロックをソースクロックとして使用できません。
10. 連携して動作する複数のチャンネルを同時に起動する場合は、当該チャンネルの各チャンネル起動トリガビット (TS0.TS[n]) を同時に設定してください。
11. マスタチャンネルの TS0.TS[n] ビットおよび同時に動作しているすべてのチャンネルの各 TS0.TS[n] ビットは、カウント動作中に設定できます。この規則はスレーブチャンネルのみの TS0.TS[n] ビットには適用されません。
12. 連携して動作する複数のチャンネルを同時に停止する場合は、当該チャンネルの各チャンネル停止トリガビット (TT0.TT[n]) を同時に設定してください。
13. 複数のチャンネルが同時に動作しているときは、CK02 と CK03 を選択できません。これは、マスタチャンネルとスレーブチャンネルの動作クロックが同期する必要があるからです。
14. タイマモードレジスタ 00 (TMR00) にマスタビットはありません (0 に固定)。ただし、チャンネル 0 は最上位チャンネルなので、複数チャンネル動作中にマスタチャンネルとして使用できます。

複数チャンネル動作機能の各規則は、チャンネルグループ (1 つの複数チャンネル動作機能を構成するマスタチャンネルとスレーブチャンネル) の単位で適用されます。

連携して動作しないチャンネルグループが複数指定されている場合は、本項に記している複数チャンネル動作機能の基本規則は当該チャンネルグループには適用されません。

注. n: チャンネル番号 (n = 0~7)

タイマアレギュニット (TAU) の使用例を [図 16.19](#) に示します。

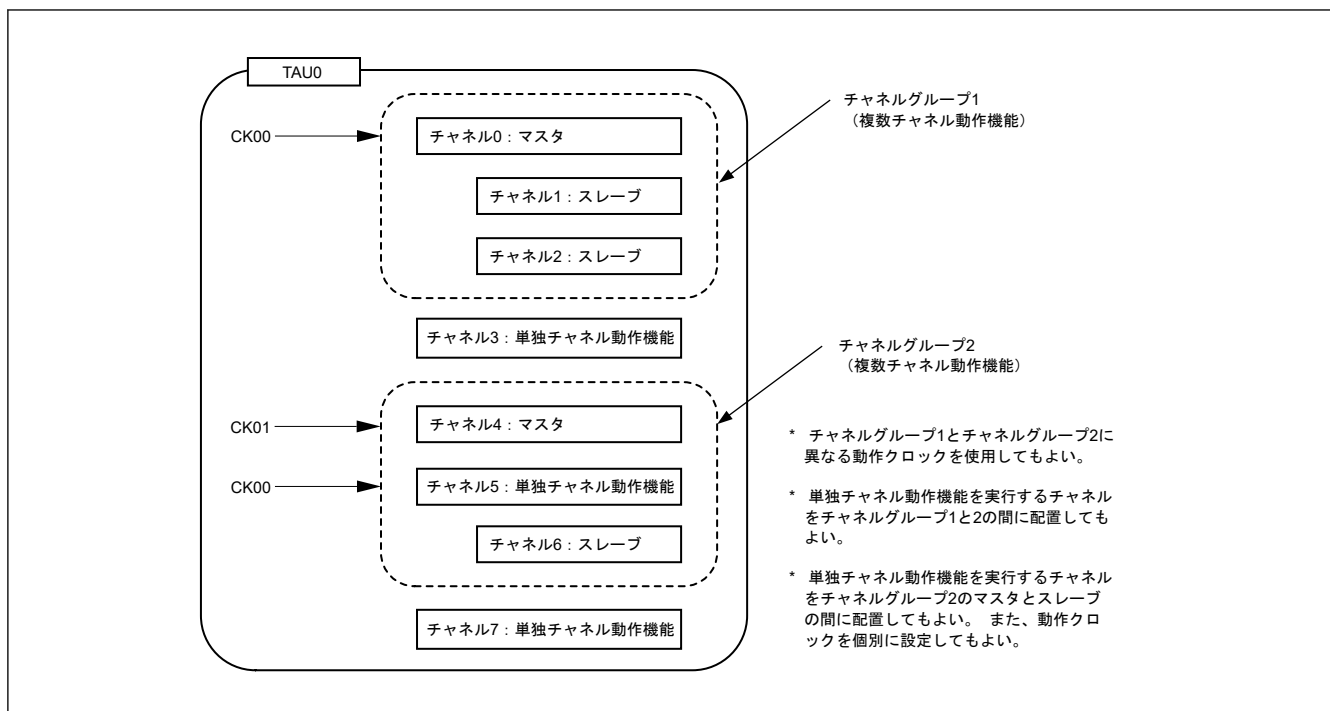


図 16.19 TAU の使用例

16.3.2 8 ビットタイマ動作機能の基本規則（チャンネル 1 と 3 のみ）

8 ビットタイマ動作機能を使用すると、8 ビットタイマ 2 チャンネルで 16 ビットタイマ 1 チャンネルを構成することができます。

本機能はチャンネル 1 と 3 でだけ使用でき、使用する際に従わなければならない規則がいくつかあります。

本機能の基本規則は以下の通りです。

- 8 ビットタイマ動作機能を使用できるのはチャンネル 1 と 3 だけです。
- 8 ビットタイマを使用するには、タイマモードレジスタ $0n$ (TMR0n) の SPLIT ビットを 1 にします。
- 上位 8 ビットはインターバルタイマ機能として使用できます。
- 動作開始時に、上位 8 ビットは TAU0_TMI01H と TAU0_TMI03H (割り込み) を出力します (TMR0n.OPIRQ ビットを 1 にしたときと同じ動作です)。
- 上位 8 ビットの動作クロックは、下位ビットを担当する TMR0n レジスタの CKS[1:0] ビットに応じて選択されます。
- 上位 8 ビットについては、TS0 レジスタの TSH1 ビットと TSH3 ビットを操作してチャンネル動作を開始し、TT0 レジスタの TTH1 ビットと TTH3 ビットを操作して停止します。チャンネルの状態は、TE0 レジスタの TEH1 ビットと TEH3 ビットで確認できます。
- 下位 8 ビットは TMR0n レジスタの設定に従って動作します。下位 8 ビットの動作をサポートするのは以下の 3 つの機能です。
 - インターバルタイマ機能と矩形波出力機能
 - 外部イベントカウンタ機能
 - 遅延カウント機能
- 下位 8 ビットについては、TS0 レジスタの TS[1] ビットと TS[3] ビットを操作してチャンネル動作を開始し、TT0 レジスタの TT[1] ビットと TT[3] ビットを操作して停止します。チャンネルの状態は、TE0 レジスタの TE[1] ビットと TE[3] ビットで確認できます。
- 16 ビット動作中に TS0 レジスタの TSH1 ビットと TSH3 ビット、および TT0 レジスタの TTH1 ビットと TTH3 ビットを操作しても無効です。TS0 レジスタの TS[1] ビットと TS[3] ビット、および TT0 レジスタの TT[1] ビットと TT[3] ビットは、チャンネル 1 と 3 を操作するために使用します。TE0 レジスタの TEH1 ビットと TEH3 ビットは変更されません。

10. 8 ビットタイマ機能には複数チャネル動作機能（ワンショットパルス、PWM、および多重 PWM）を使用できません。

注. n: チャネル番号 (n = 1, 3)

16.4 カウンタの動作

16.4.1 カウント用クロック (f_{TCLK})

タイマアレイユニットのカウント用クロック (f_{TCLK}) は、タイマモードレジスタ 0n (TMR0n) の CCS ビットで選択できます。選択できるのは以下のクロックです。

- TMR0n.CKS[1:0] ビットで指定した動作クロック (f_{MCK})
- TI0n 端子から入力される入力信号の有効エッジ

タイマアレイユニットは PCLKB と同期して動作するため、カウント用クロック (f_{TCLK}) のタイミングは以下に示すようになります。

(1) TMR0n.CKS[1:0] ビットで指定した動作クロック (f_{MCK}) を選択した場合 (TMR0n.CCS = 0)

カウント用クロック (f_{TCLK}) は、タイマクロック選択レジスタ 0 (TPS0) を設定することにより、PCLKB ~ PCLKB/2¹⁵ の範囲内で選択できます。なお、分周した PCLKB を TPS0n レジスタで選択した場合、信号は PCLKB の立ち上がりエッジから 1 サイクルの間 High レベルとなります。分周しない PCLKB を選択した場合は常に High レベルとなります。

タイマカウンタレジスタ 0n (TCR0n) のカウントは PCLKB と同期しているため、カウント用クロックの立ち上がりエッジから、PCLKB のクロックで 1 周期の遅延が生じます。しかしこれは便宜上「カウント用クロックの立ち上がりエッジでカウント」と説明されます。

図 16.20 に、TMR0n.CCS が 0 のときのカウント用クロック (f_{TCLK}) の PCLKB からのタイミングを示します。

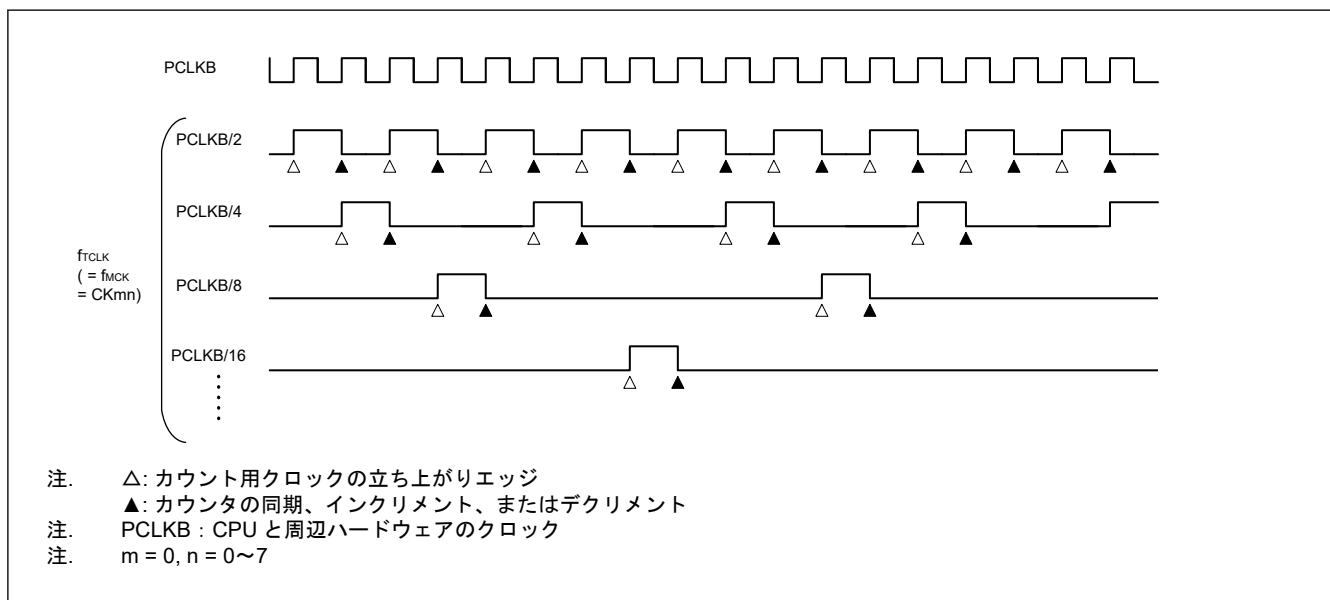


図 16.20 PCLKB とカウント用クロック (f_{TCLK}) のタイミング (TMR0n.CCS が 0 のとき)

(2) TI0n 端子からの入力信号の有効エッジを選択した場合 (TMR0n.CCS = 1)

カウント用クロック (f_{TCLK}) は、Ti0n 端子からの入力信号の有効エッジを検出する信号となり、 f_{MCK} の次の立ち上がりエッジで同期します。カウント用クロック (f_{TCLK}) では、Ti0n 端子からの入力信号に対して、 f_{MCK} クロックで 1~2 周期分（ノイズフィルタ使用時は 3~4 周期分）の遅延が生じます。

タイマカウンタレジスタ 0n (TCR0n) のカウントは PCLKB と同期をとるために、カウント用クロックの立ち上がりエッジから、PCLKB のクロックで 1 周期の遅延が生じます。しかしこれは便宜上「Ti0n 端子からの入力信号の有効エッジでカウント」と説明されます。

図 16.21 に、TMR0n.CCS が 1 かつノイズフィルタ未使用のときのカウンタ用クロック (f_{TCLK}) の PCLKB からのタイミングを示します。

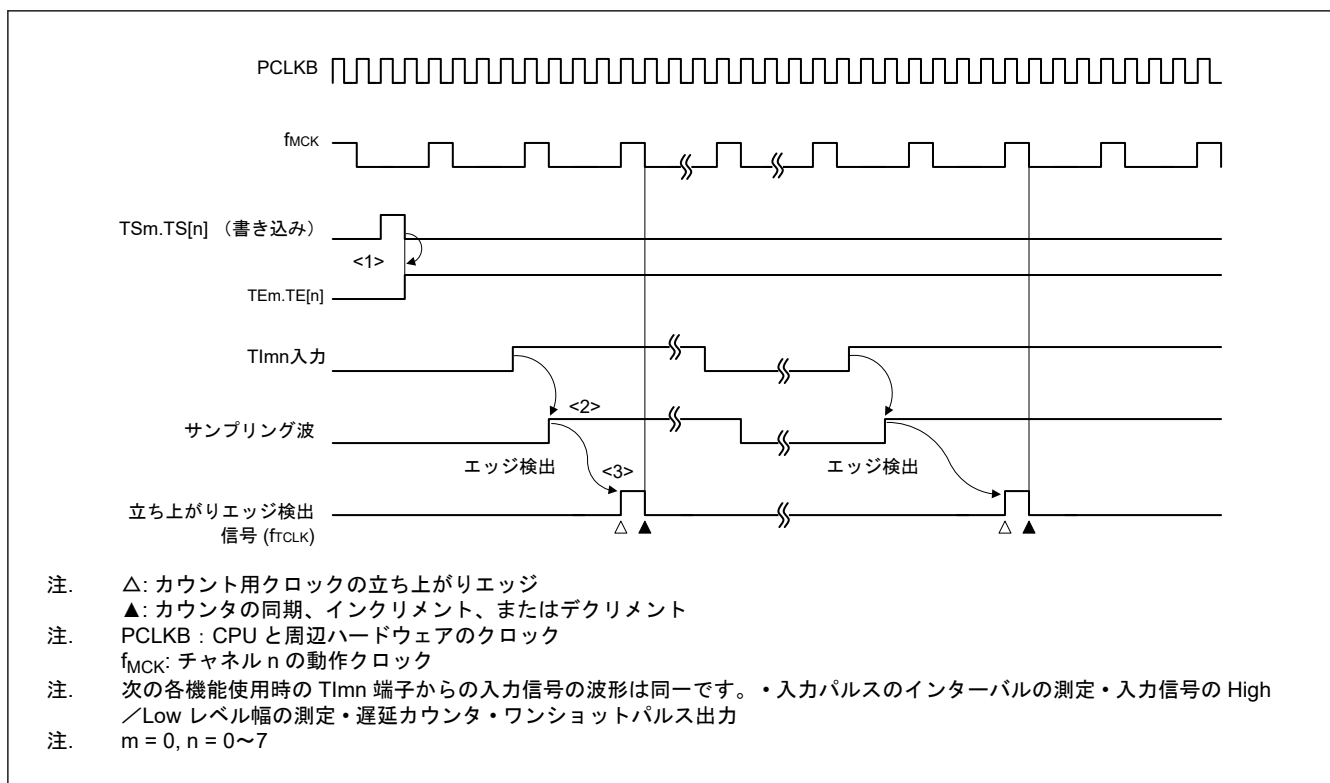


図 16.21 PCLKB とカウンタ用クロック (f_{TCLK}) のタイミング (TMR0n.CCS が 1 かつノイズフィルタ未使用のとき)

<1> $TS0.TS[n]$ ビットを 1 にすると、 $TI0n$ 端子からの入力信号の有効エッジの待ち状態でタイマを起動することが可能になる。

<2> $TI0n$ 端子からの入力信号の立ち上がりが f_{MCK} でサンプリングされる。

<3> サンプリングした信号の立ち上がりでエッジが検出され、検出信号 (カウンタ用クロック) が出力される。

16.4.2 カウンタ開始タイミング

タイマカウンタレジスタ 0n (TCR0n) の動作は、タイマチャンネル起動レジスタ 0 (TS0) の $TS[n]$ ビットを 1 にすることで許可されます。

カウンタ動作が許可状態になってからタイマカウンタレジスタ 0n (TCR0n) によるカウントが開始するまでの動作を表 16.11 に示します。

表 16.11 カウンタ動作が許可状態になってからタイマカウンタレジスタ 0n (TCR0n) によるカウントが開始するまでの動作 (1/2)

タイマの動作モード	$TS0.TS[n]$ が 1 になった時の動作
・ インターバルタイマモード	開始トリガを検出 ($TS0.TS[n] = 1$) してからカウンタ用クロックが生成されるまでは何も動作は実行されません。カウンタ用クロックの第 1 サイクルで TDR0n レジスタの値が TCR0n レジスタにロードされ、以降のサイクルでダウンカウンタ動作が行われます ((1) インターバルタイマモードでの動作参照)。
・ イベントカウンタモード	$TS0.TS[n]$ ビットに 1 を書き込むと TDR0n レジスタの値が TCR0n レジスタにロードされます。 $TI0n$ 入力のエッジを検出すると、カウンタ用クロックの以降のサイクルでダウンカウンタ動作が行われます ((2) イベントカウンタモードでの動作参照)。
・ キャプチャモード	開始トリガを検出 ($TS0.TS[n] = 1$) してからカウンタ用クロックが生成されるまでは何も動作は実行されません。カウンタ用クロックの第 1 サイクルで 0x0000 が TCR0n レジスタにロードされ、以降のサイクルでアップカウンタ動作が行われます ((3) キャプチャモードでの動作 (入力パルスのインターバルの測定) 参照)。

表 16.11 カウント動作が許可状態になってからタイマカウンタレジスタ 0n (TCR0n) によるカウントが開始するまでの動作 (2/2)

タイマの動作モード	TS0.TS[n] が 1 になった時の動作
ワンカウントモード	タイマ停止時 (TE0.TE[n] = 0) に TS0.TS[n] ビットに 1 を書き込むと開始トリガ待ち状態に移移します。開始トリガを検出してからカウント用クロックが生成されるまでは何も動作は実行されません。カウント用クロックの第 1 サイクルで TDR0n レジスタの値が TCR0n レジスタにロードされ、以降のサイクルでダウンカウント動作が行われます ((4) ワンカウントモードでの動作参照)。
キャプチャ & ワンカウントモード	タイマ停止時 (TE0.TE[n] = 0) に TS0.TS[n] ビットに 1 を書き込むと開始トリガ待ち状態に移移します。開始トリガを検出してからカウント用クロックが生成されるまでは何も動作は実行されません。カウント用クロックの第 1 サイクルで 0x0000 が TCR0n レジスタにロードされ、以降のサイクルでアップカウント動作が行われます ((5) キャプチャ & ワンカウントモードでの動作 (High レベル幅の測定) 参照)。

16.4.3 カウンタの動作

ここでは、各モードにおけるカウンタ動作について説明します。

(1) インターバルタイマモードでの動作

<1> TS0.TS[n] ビットに 1 を書くことで動作が許可される (TE0.TE[n] = 1)。タイマカウンタレジスタ 0n (TCR0n) は、カウント用クロックが発生するまで初期値を保持する。

<2> 動作許可後、カウント用クロックの最初のサイクルで開始トリガが生成される。

<3> TMR0n.OPIRQ ビットが 1 になると、開始トリガによって TAU0_TMI0n が生成される。

<4> 動作許可後、カウント用クロックの最初のサイクルまでにタイマデータレジスタ 0n (TDR0n) の値が TCR0n レジスタにロードされ、インターバルタイマモードでカウントが開始する。

<5> TCR0n レジスタがダウンカウントを行い、カウント値が 0x0000 に達すると、TAU0_TMI0n が生成され、タイマデータレジスタ 0n (TDR0n) の値が TCR0n レジスタにロードされ、カウントが続行する。

図 16.22 にインターバルタイマモードで動作しているときのタイミングを示します。

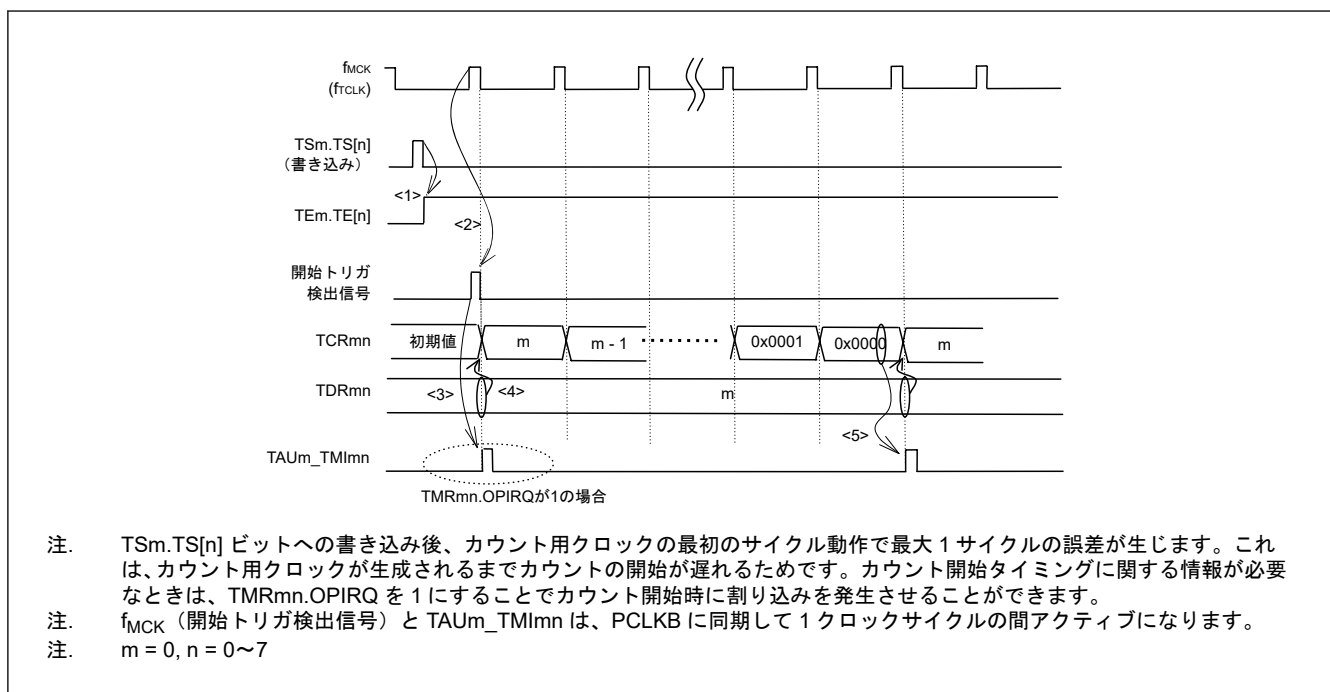


図 16.22 インターバルタイマモードで動作しているときのタイミング

(2) イベントカウンタモードでの動作

<1> 動作が停止している間 (TE0.TE[n] = 0) は、タイマカウンタレジスタ 0n (TCR0n) は初期値を保持する。

<2> TS0.TS[n] ビットに 1 を書くことで動作が許可される (TE0.TE[n] = 1)。

<3> TS0.TS[n] ビットに 1 が書き込まれて TE0.TE[n] ビットが 1 になると、タイマデータレジスタ 0n (TDR0n) の値が TCR0n レジスタにロードされてカウントが開始する。

<4> その後、TCR0n レジスタは、TI0n 入力の有効エッジのカウント用クロックに従って値をダウンカウントする。

図 16.23 にイベントカウンタモードで動作しているときのタイミングを示します。

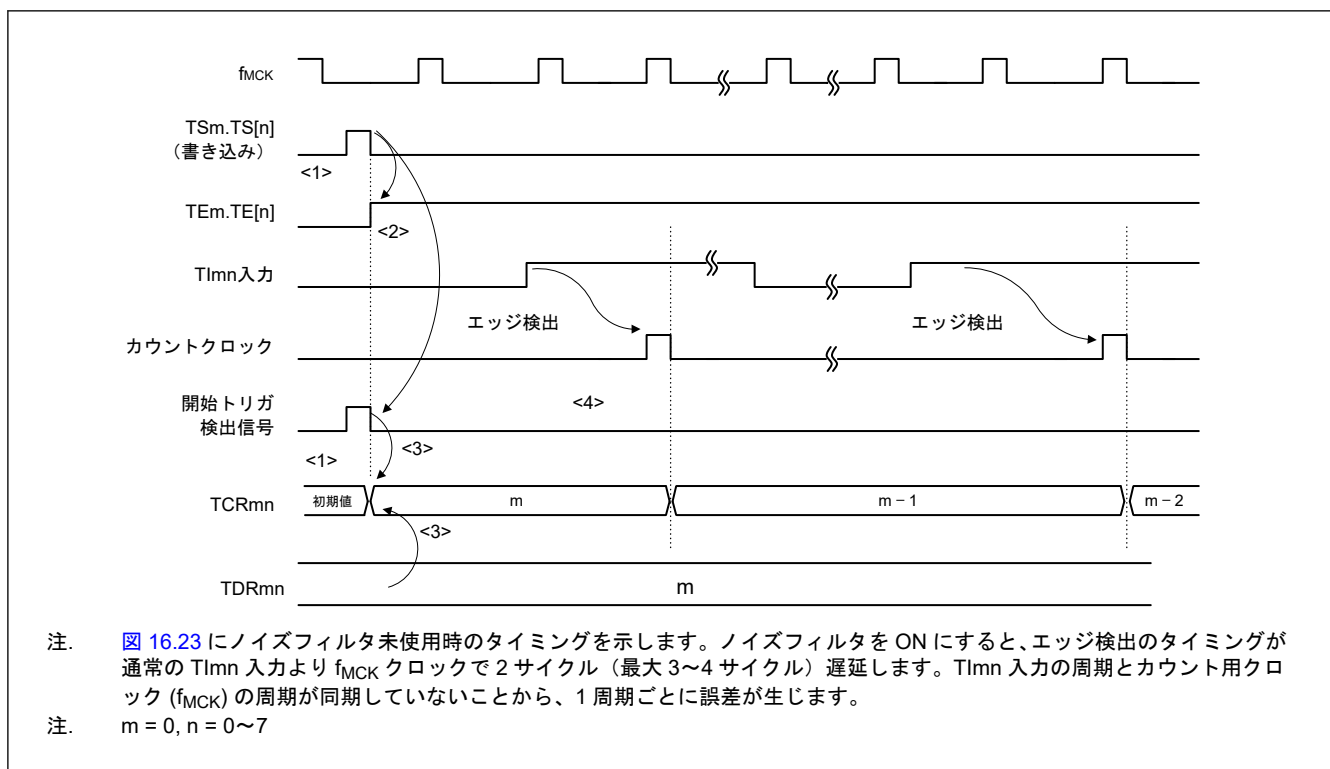


図 16.23 イベントカウンタモードで動作しているときのタイミング

(3) キャプチャモードでの動作 (入力パルスのインターバルの測定)

<1> TS0.TS[n] ビットに 1 を書くことで動作が許可される (TE0.TE[n] = 1)。

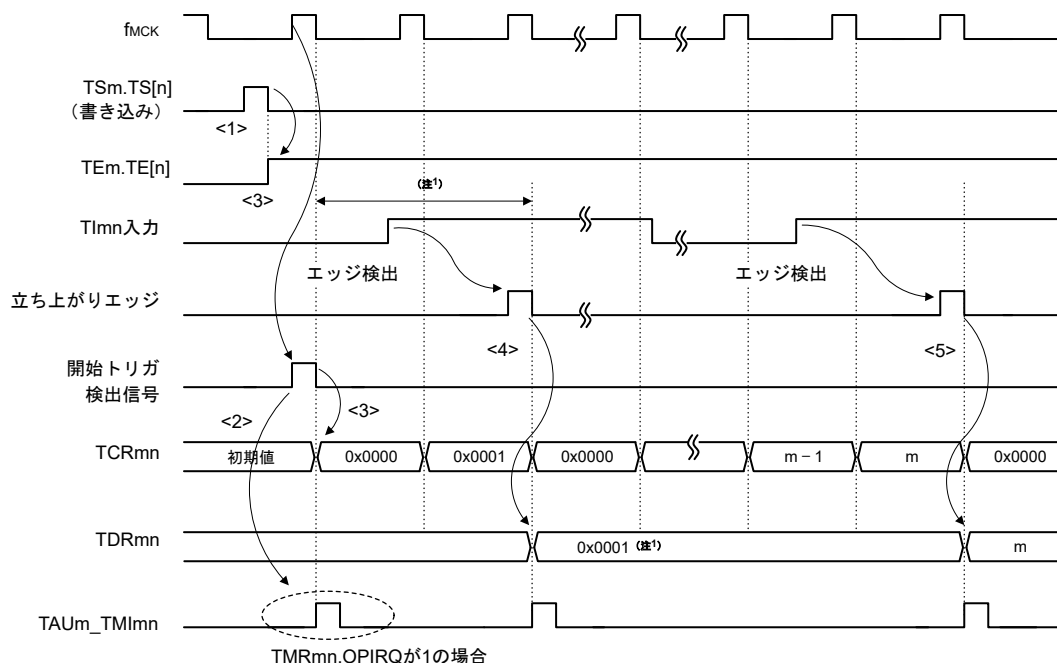
<2> タイマカウンタレジスタ 0n (TCR0n) は、カウント用クロックが発生するまで初期値を保持する。

<3> 動作許可後、カウント用クロックの最初のサイクルで開始トリガが生成される。その後、値 0x0000 が TCR0n レジスタにロードされ、キャプチャモードでカウントが開始する。(TMR0n.OPIRQ ビットが 1 になると、開始トリガによって TAU0_TMI0n が生成される。)

<4> TI0n 入力の有効エッジを検出すると、TCR0n レジスタの値がタイマデータレジスタ 0n (TDR0n) にキャプチャされ、TAU0_TMI0n が発生する。ただし、キャプチャされた値に意味はない。TCR0n レジスタは値 0x0000 からカウントを続行する。

<5> TI0n 入力の次の有効エッジを検出すると、TCR0n レジスタの値がタイマデータレジスタ 0n (TDR0n) にキャプチャされ、TAU0_TMI0n が発生する。

図 16.24 に、キャプチャモードで動作 (入力パルスのインターバルの測定) しているときのタイミングを示します。



- 注. TSm.TS[n] ビットへの書き込み後、カウント用クロックの最初のサイクル動作で最大1サイクルの誤差が生じます。これは、カウント用クロックが生成されるまでカウントの開始が遅れるためです。カウント開始タイミングに関する情報が必要なのは、TMRmn.OPIRQ を 1 にすることでカウント開始時に割り込みを発生させることができます。
- 注. キャプチャ開始時に TImn へクロックが入力されていれば（トリガが存在すれば）、エッジが検出されなくてもトリガが検出されればカウントが開始します。したがって、最初にキャプチャされた値 (<4>) ではパルスインターバルが決定されません（上図の場合、0x0001 は単に 2 クロックサイクルを示すだけでパルスインターバルを決定するものではありません）。このため、ユーザーはこれを無視することができます。
- 注. 図 16.24 にノイズフィルタ未使用時のタイミングを示します。ノイズフィルタを ON にすると、エッジ検出のタイミングが通常の TImn 入力より f_{MCK} クロックで 2 サイクル（最大 3~4 サイクル）遅延します。TImn 入力の周期とカウント用クロック (f_{MCK}) の周期が同期していないことから、1 周期ごとに誤差が生じます。
- 注. $m = 0, n = 0 \sim 7$

図 16.24 キャプチャモードで動作（入力パルスのインターバルの測定）しているときのタイミング

(4) ワンカウントモードでの動作

<1> TS0.TS[n] ビットに 1 を書くことで動作が許可される (TE0.TE[n] = 1)。

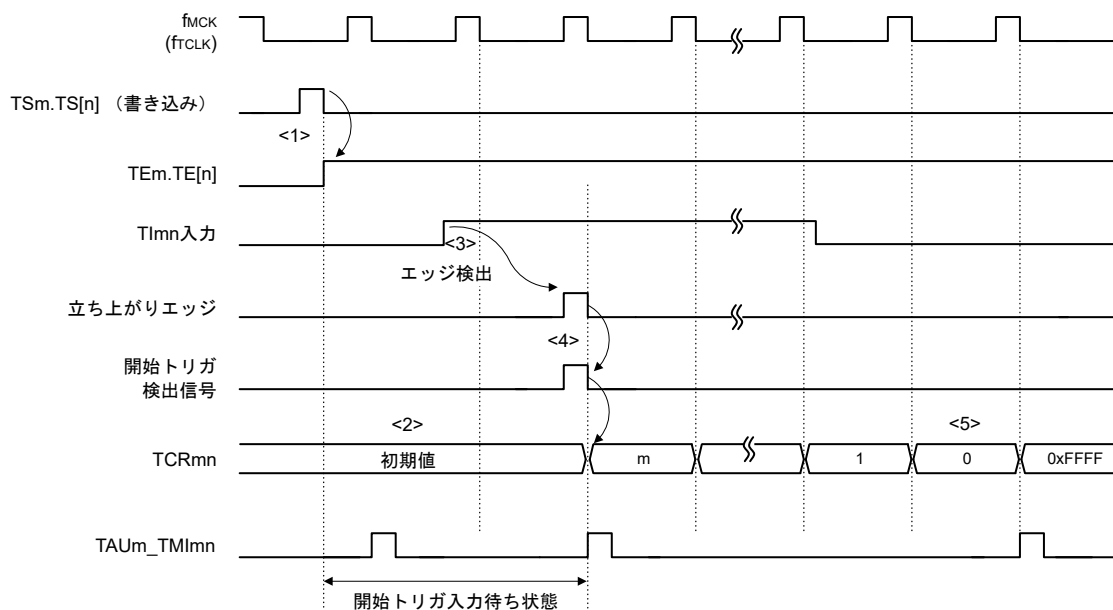
<2> タイマカウンタレジスタ 0n (TCR0n) は、開始トリガが発生するまで初期値を保持する。

<3> TI0n 入力の立ち上がりエッジが検出される。

<4> 開始トリガ検出時、タイマデータレジスタ 0n (TDR0n) の値が TCR0n レジスタにロードされてカウントが開始する。

<5> TCR0n レジスタがダウンカウントを行い、カウント値が 0x0000 に達すると、TAU0_TMI0n が生成され TCR0n レジスタの値が 0xFFFF になり、カウントが停止する。

図 16.25 にワンカウントモードで動作しているときのタイミングを示します。



注. 図 16.25 にノイズフィルタ未使用時のタイミングを示します。ノイズフィルタを ON にすると、エッジ検出のタイミングが通常の TImn 入力より f_{MCK} クロックで 2 サイクル（最大 3~4 サイクル）遅延します。TImn 入力の周期とカウント用クロック (f_{MCK}) の周期が同期していないことから、1 周期ごとに誤差が生じます。

注. $m = 0, n = 0 \sim 7$

図 16.25 ワンカウントモードで動作しているときのタイミング

(5) キャプチャ & ワンカウントモードでの動作 (High レベル幅の測定)

<1> タイマチャンネル起動レジスタ 0 (TS0) の TS[n] ビットに 1 を書くことで動作が許可される ($TE0.TE[n] = 1$)。

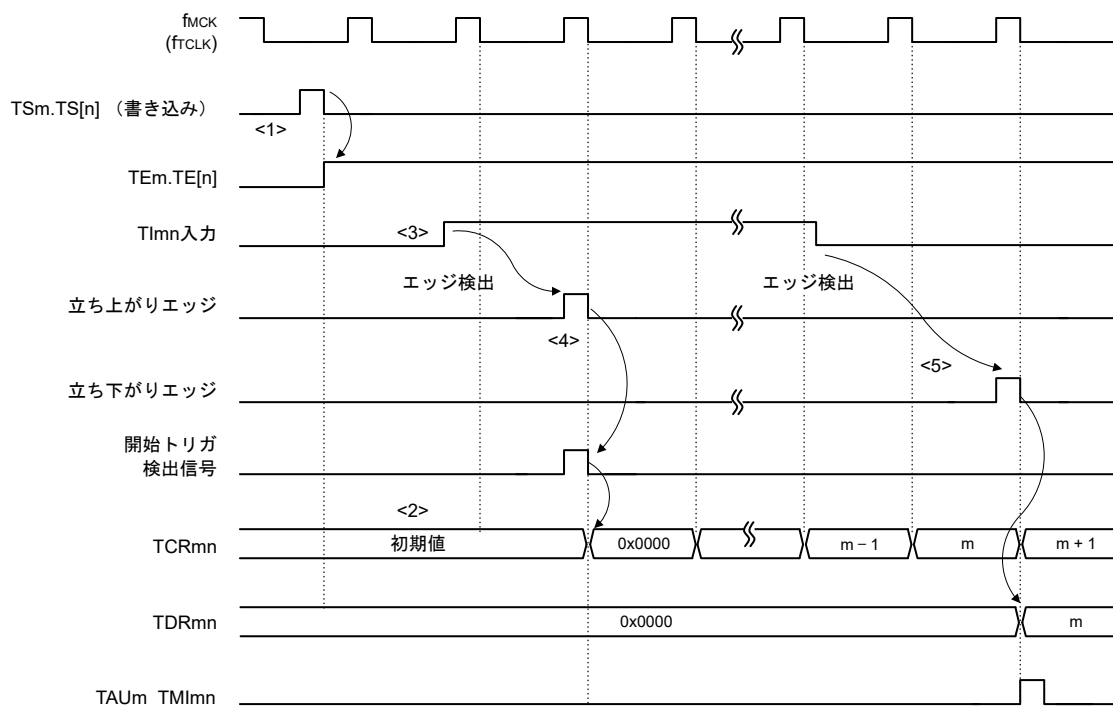
<2> タイマカウンタレジスタ 0n (TCR0n) は、開始トリガが発生するまで初期値を保持する。

<3> TI0n 入力の立ち上がりエッジが検出される。

<4> 開始トリガ検出時、値 0x0000 が TCR0n レジスタにロードされてカウントが開始する。

<5> TI0n 入力の立ち下がりエッジを検出すると、TCR0n レジスタの値がタイマデータレジスタ 0n (TDR0n) にキャプチャされ、TAU0_TMI0n が発生する。

図 16.26 に、キャプチャ & ワンカウントモードで動作 (High レベル幅の測定) しているときのタイミングを示します。



注. 図 16.26 にノイズフィルタ未使用時のタイミングを示します。ノイズフィルタを ON にすると、エッジ検出のタイミングが通常の TImn 入力より f_{MCK} クロックで 2 サイクル（最大 3~4 サイクル）遅延します。TImn 入力の周期とカウント用クロック (f_{MCK}) の周期が同期していないことから、1 周期ごとに誤差が生じます。

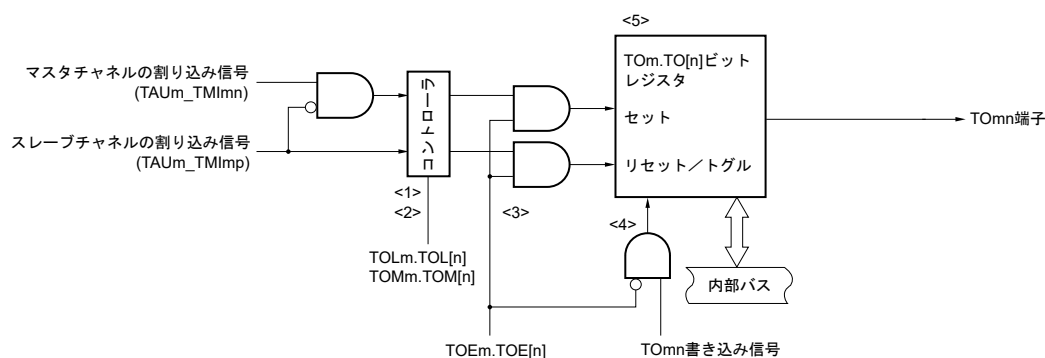
注. $m = 0, n = 0 \sim 7$

図 16.26 キャプチャ & ワンカウントモードで動作（High レベル幅の測定）しているときのタイミング

16.5 チャネル出力（TO0n 端子）制御

16.5.1 TO0n 端子出力回路の構成

TO0n 端子出力回路を図 16.27 に示します。



注. $m = 0, n = 0 \sim 7$

図 16.27 出力回路の構成

TO0n 端子出力回路を以下に説明します。

<1> TOM0.TOM[n] が 0 (マスタチャネル出力モード) のとき、タイマ出力レベルレジスタ 0 (TOL0) の設定値は無視され TAU0_TMI0p (スレーブチャネルのタイマ割り込み) だけがタイマ出力レジスタ 0 (TO0) に送信されます。

<2> TOM0.TOM[n] が 1 (スレーブチャネル出力モード) のときは、TAU0_TMI0n (マスタチャネルのタイマ割り込み) と TAU0_TMI0p (スレーブチャネルのタイマ割り込み) の両方が TO0 レジスタに送信されます。

この時、TOL0 レジスタは有効になり、信号は以下のように制御されます。

TOL0.TOL[n] が 0 のとき：正論理出力 (TAU0_TMI0n→セット、TAU0_TMI0p→リセット)

TOL0.TOL[n] が 1 のとき：負論理出力 (TAU0_TMI0n→リセット、TAU0_TMI0p→セット)

TAU0_TMI0n と TAU0_TMI0p が同時に生成される場合 (PWM の 0%出力) は、TAU0_TMI0p (リセット信号) が優先し、TAU0_TMI0n (セット信号) はマスクされます。

<3> タイマ出力が許可されている (TOE0.TOE[n] = 1) とときは、TAU0_TMI0n (マスタチャネルのタイマ割り込み) と TAU0_TMI0p (スレーブチャネルのタイマ割り込み) が TO0 レジスタに送信されます。TO0 レジスタへの書き込み (TO0.TO[n] 書き込み信号) は無効になります。

TOE0.TOE[n] が 1 のとき、TO0n 端子出力は割り込み信号以外の信号では変化しません。

TO0n 端子の出力レベルを初期化する場合、タイマ動作を停止 (TOE0.TOE[n] = 0) に設定して TO0 レジスタに値を書き込む必要があります。

<4> タイマ出力が禁止されている (TOE0.TOE[n] = 0) ととき、対象チャネルに対応する TO0.TO[n] ビット (TO0.TO[n] 書き込み信号) への書き込みは有効になります。タイマ出力が禁止されている (TOE0.TOE[n] = 0) とときは、TAU0_TMI0n (マスタチャネルのタイマ割り込み) と TAU0_TMI0p (スレーブチャネルのタイマ割り込み) のどちらも TO0 レジスタに送信されません。

<5> TO0 レジスタは常に読み出し可能なため TO0n 端子の出力レベルを確認できます。

注. n: チャネル番号

n = 0~7 (マスタチャネルでは、n = 0、2、4、または 6)

p: スレーブチャネル番号

n < p ≤ 7

16.5.2 TO0n 端子出力設定

TO0n 出力端子の初期設定からタイマ動作の開始までの手順と状態遷移を図 16.28 に示します。

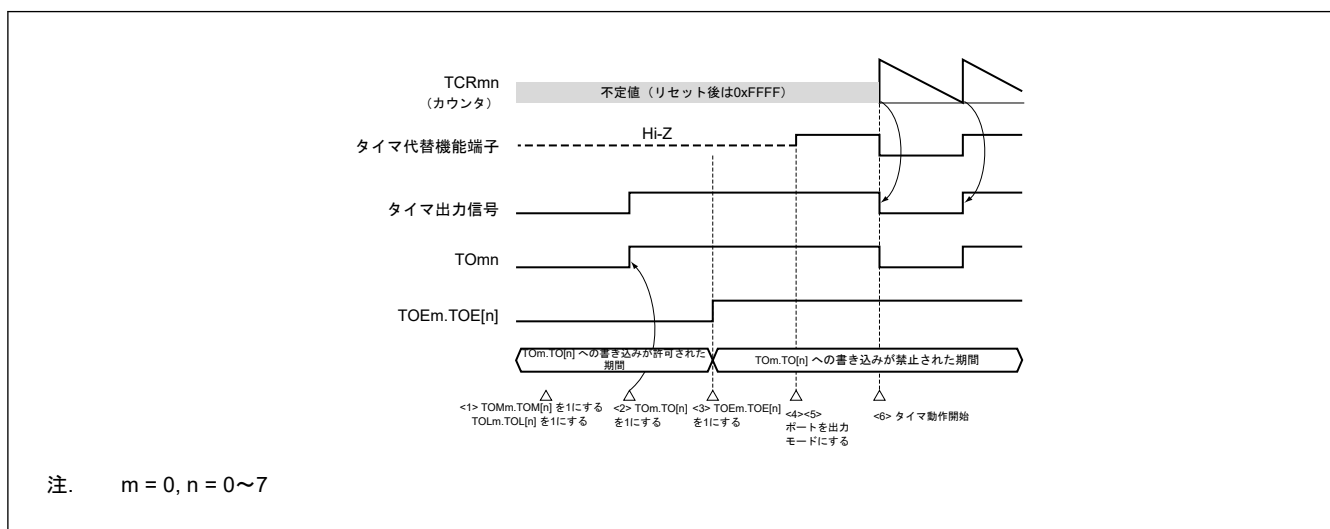


図 16.28 タイマ出力の設定からタイマ動作の開始までの状態遷移

<1> タイマ出力の動作モードが設定される。

- TOM0.TOM[n] ビット (0: マスタチャネル出力モード、1: スレーブチャネル出力モード)
- TOL0.TOL[n] ビット (0: 正論理出力、1: 負論理出力)

<2> タイマ出力レジスタ 0 (TO0) を設定することによりタイマ出力信号が初期状態になる。

<3> TOE0.TOE[n] ビットに 1 を書き込む (TO0 レジスタへの書き込みの禁止) ことでタイマ出力動作を許可する。

<4> ポート mn 端子機能選択レジスタ (PmnPFS_A) (「15.2.6. PmnPFS_A: ポート mn 端子機能選択レジスタ (m = 1 ~ 3, n = 00 ~ 15)」, 「15.2.7. P0nPFS_A: ポート 0n 端子機能選択レジスタ (n = 10 ~ 13)」を参照) の PSEL[2:0] ビットでポートを周辺出力に設定する。

<5> PmnPFS_A レジスタの PDR ビットでポートの入力／出力設定を「出力」に設定する（「[16.2.17. タイマ I/O に使用する端子のポート機能を制御するレジスタ](#)」を参照）。

<6> タイマ動作を許可する (TS0.TS[n] = 1)。

注. n: チャネル番号 (n = 0~7)

16.5.3 チャンネル出力動作に関する注意

(1) タイマ動作中の TO0、TOE0、TOL0 の各レジスタの設定値の変更について

タイマ動作（タイマカウンタレジスタ 0n (TCR0n) とタイマデータレジスタ 0n (TDR0n) の動作）は TO0n 出力回路から独立しており、タイマ出力レジスタ 0 (TO0)、タイマ出力許可レジスタ 0 (TOE0)、およびタイマ出力レベルレジスタ 0 (TOL0) に設定された値を変更してもタイマ動作には影響がありません。このため、タイマ動作中にこれらの値を変更することができます。ただし、タイマ動作で TO0n 端子から期待する波形を出力するには、TO0、TOE0、TOL0、TOM0 の各レジスタを、「[16.6. タイマ入力 \(TI0n\) の制御](#)」と「[16.7. タイマアレイユニットの単独チャネル動作機能](#)」の各動作設定例に記された値に設定してください。

各チャンネルのタイマ割り込み (TAU0_TMI0n) 発生と近いタイミングで TOE0 レジスタと TOM0 レジスタ (TO0 レジスタは含まれない) の設定値を変更する場合は注意が必要です。変更するタイミングがタイマ割り込み (TAU0_TMI0n) 発生の前か後かによって TO0n 端子に出力される波形が変わることがあります。

注. n: チャネル番号 (n = 0~7)

(2) TO0n 端子の初期レベルとタイマ動作開始後の出力レベル

次に示す動作が順番に行われたとします。1) タイマ出力が禁止されている (TOE0.TOE[n]=0) ときにタイマ出力レジスタ 0 (TO0) に書き込みが行われる 2) 初期レベルが変更される 3) ポート出力が許可される前にタイマ出力が許可される (TOE0.TOE[n]=1) このときの TO0n 端子の出力レベルの変化を以下に示します。

a. マスタチャネル出力モード (TOM0.TOM[n] = 0) 設定で動作が開始する場合

マスタチャネル出力モード (TOM0.TOM[n]=0) ではタイマ出力レベルレジスタ 0 (TOL0) の設定は無効になります。初期レベル設定後にタイマ動作が開始すると、トグル信号が生成され、TO0n 端子の出力レベルが反転します。

図 16.29 に、トグル出力時 ($TOM0.TOM[n] = 0$) の $TO0n$ 端子の出力状態を示します。

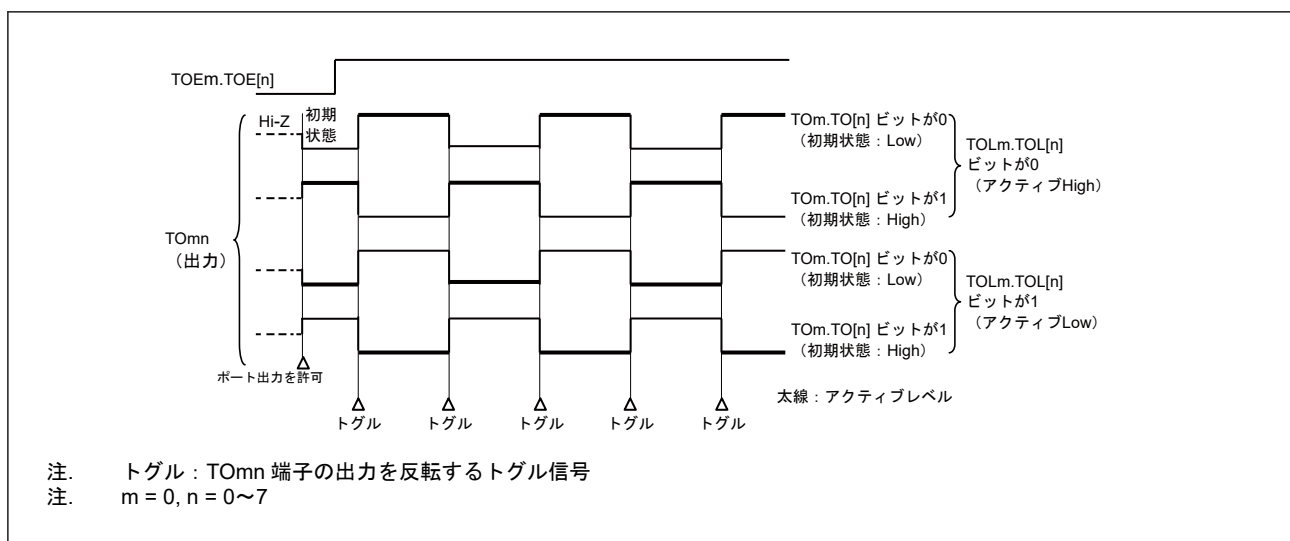


図 16.29 トグル出力時 (TOM0.TOM[n] = 0) の TOMn 端子の出力状態

- b. スレーブチャネル出力モード (TOM0.TOM[p] = 1) 設定 (PWM 出力) で動作が開始する場合
スレーブチャネル出力モード (TOM0.TOM[p] = 1) では、タイマ出力レベルレジスタ 0 (TOL0) の設定でアクティブレベルが決定されます。

図 16.30 に、PWM 出力時 (TOM0.TOM[p] = 1) の TO0p 端子の出力状態を示します。

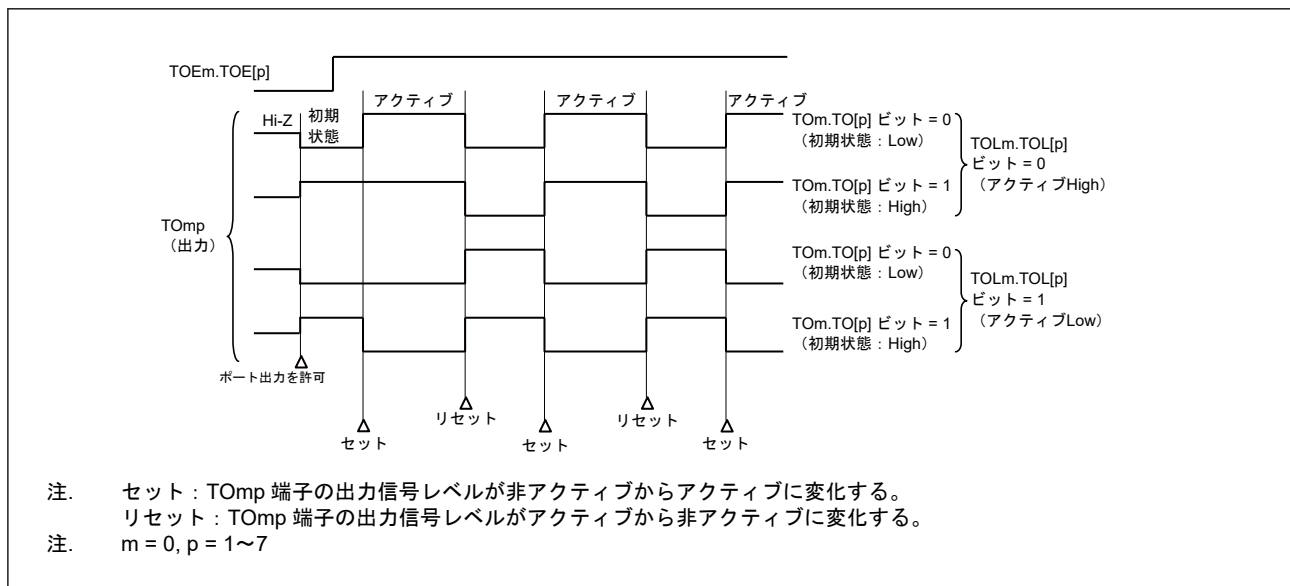


図 16.30 PWM 出力時 (TOM0.TOM[n] = 1) の TO0p 端子の出力状態

(3) スレーブチャネル出力モード (TOM0.TOM[n] = 1) の TO0n 端子の動作

- a. タイマ動作中にタイマ出力レベルレジスタ 0 (TOL0) の該当ビットの値が変わる場合
タイマ動作中に TOL0 レジスタの設定が変わった場合、TO0n 端子変化条件が発生するタイミングで新しい設定が有効になります。TOL0 レジスタを書き換えても TO0n 端子の出力レベルは変わりません。
TOM0.TOM[n] が 1 でタイマ動作中 (TE0.TE[n] = 1) に TOL0 レジスタの値が変わった場合の動作を図 16.31 に示します。

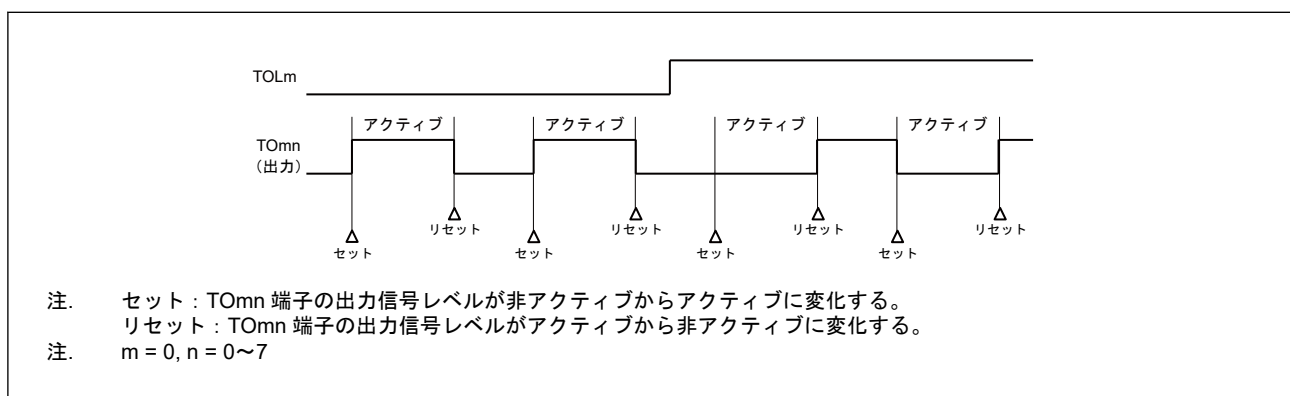
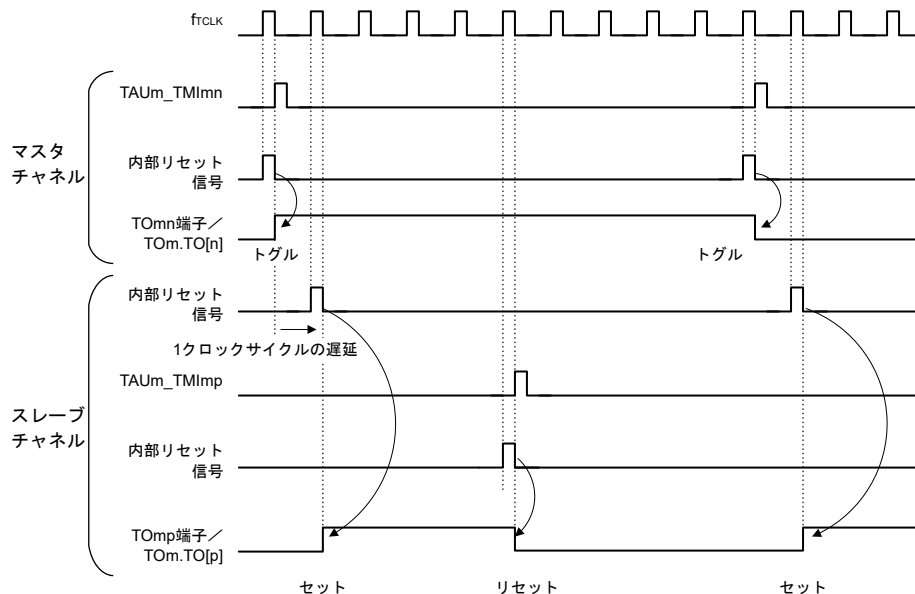


図 16.31 タイマ動作中に TOL0 レジスタの該当ビットが変化した場合の動作

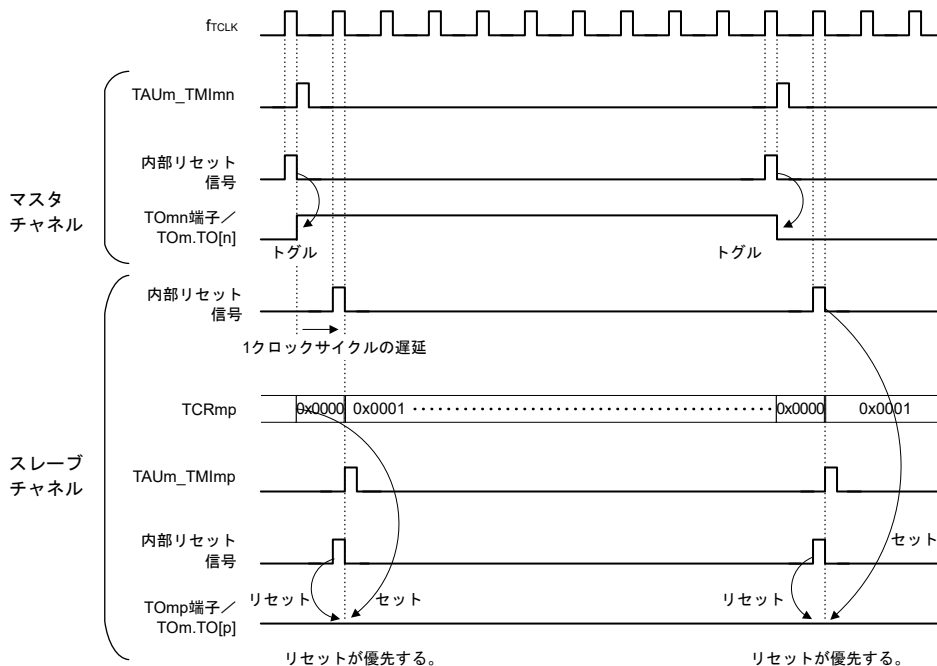
- b. セットとリセットのタイミング
マスタチャネル側でタイマ割り込み (TAU0.TMI0n) が発生した時は、スレーブチャネル側でカウント用クロック 1 サイクルの遅延を行ってから TO0n 端子と TO0.TO[n] ビットをセットすることで、0%と 100%の PWM 出力を実現します。
セット条件とリセット条件が同時に発生した場合は、後者が優先となります。
図 16.32 に、マスタチャネルとスレーブチャネルが下記のように設定されている場合のセット信号とリセット信号発生後の動作状態を示します。

マスタチャネル : TOE0.TOE[n] = 1, TOM0.TOM[n] = 0, TOL0.TOL[n] = 0
スレーブチャネル : TOE0.TOE[p] = 1, TOM0.TOM[p] = 1, TOL0.TOL[p] = 0

(1) 動作時の基本タイミング



(2) デューティ比0%の設定で動作時のタイミング



- 注. 内部リセット信号 : TOmn 端子リセット / トグル信号
内部セット信号 : TOmn 端子セット信号
- 注. m : ユニット番号 (m = 0)
n : チャンネル番号
n = 0 ~ 7 (マスタチャンネルでは、n = 0、2、4、または 6)
p : スレーブチャンネル番号
n < p ≤ 7

図 16.32 セット信号とリセット信号発生後の動作状態

16.5.4 TO0.TO[n]ビットの一括操作

タイマ出力レジスタ 0 (TO0) では、タイマチャネル起動レジスタ 0 (TS0) と同様に、全てのチャネルの設定ビットが 1 つのレジスタに集まっています。このため、全てのチャネルの各 TO0.TO[n]ビットを一括して操作することができます。

出力を行うために使用するチャネル (TO0n) の関連ビットに対応する TO0.TO[n]ビットに対してのみ書き込みを許可する (TOE0.TO[n] = 0) ことで、目的のビットだけを操作することもできます。

表 16.12 に、TO0n ビットの一括操作例を示します。

表 16.12 TO0.TO[n]ビットの一括操作例

ビット位置 :		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
書き込み前	TO0	0	0	0	0	0	0	0	0	TO[7] 0	TO[6] 0	TO[5] 1	TO[4] 0	TO[3] 0	TO[2] 0	TO[1] 1	TO[0] 0
	TOE0	0	0	0	0	0	0	0	0	TOE[7] 0	TOE[6] 0	TOE[5] 1	TOE[4] 0	TOE[3] 1	TOE[2] 1	TOE[1] 1	TOE[0] 1
書き込むデータ	TO0	0	0	0	0	0	0	0	0	1 ↓	1 ↓	0 ↓ x	0 ↓	0 ↓ x	0 ↓ x	1 ↓ x	1 ↓ x
書き込み後	TO0	0	0	0	0	0	0	0	0	TO[7] 1	TO[6] 1	TO[5] 1	TO[4] 0	TO[3] 0	TO[2] 0	TO[1] 1	TO[0] 0

TOE0.TO[n]ビットが 0 のときは TO0.TO[n]ビットへの書き込みが有効となり、TOE0.TO[n]ビットが 1 のときは TO0.TO[n]ビットへの書き込みは無視されます。

TOE0.TO[n]ビットに 1 を設定した TO0n (チャネル出力) は書き込み動作による影響を受けません。TO0.TO[n]ビットへの書き込み動作が行われても無視され、タイマ動作による出力変更は正常に行われます。

図 16.33 に、TO0.TO[n]ビットの一括操作例を示します。

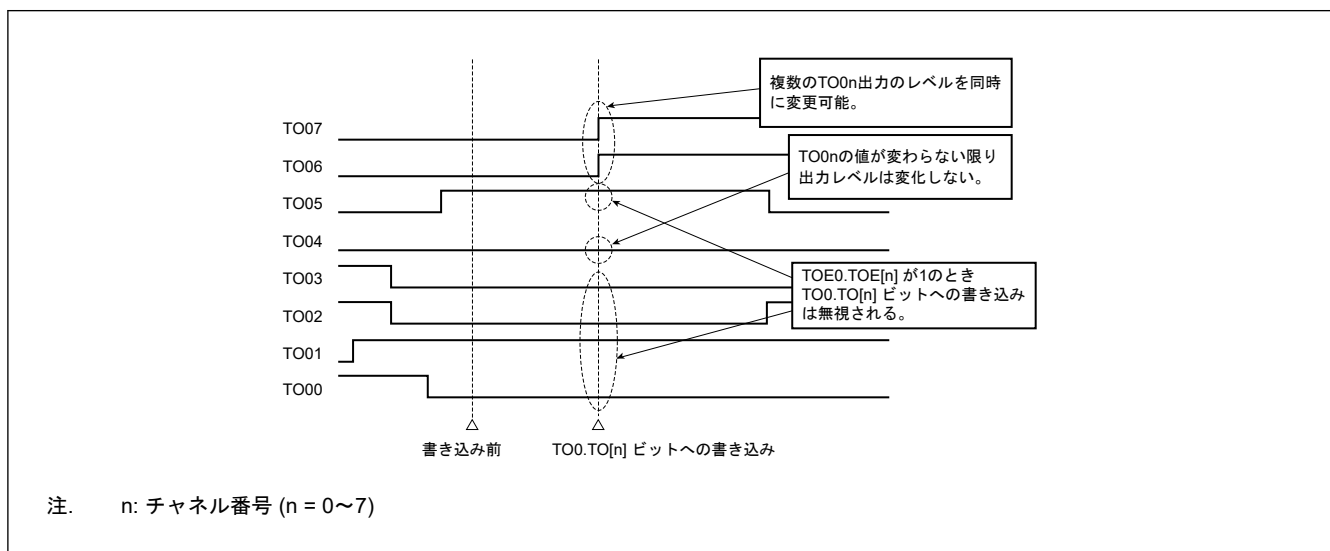


図 16.33 TO0.TO[n]ビットの一括操作による TO0n 端子の状態

16.5.5 カウント開始時のタイマ割り込みと TO0n 出力

インターバルタイマモードまたはキャプチャモードでは、タイマモードレジスタ 0n (TMR0n) の TMR0n.OPIRQ ビットでカウント開始時にタイマ割り込みを発生させるかどうかを設定します。

TMR0n.OPIRQ ビットを 1 にすると、タイマ割り込み (TAU0_TMI0n) を生成することによってカウント動作開始タイミングを知ることができます。それ以外のモードでは、カウント動作開始時にタイマ割り込みや TO0n 出力を制御できません。

インターバルタイマモード (TOE0.TO[n] = 1, TOM0.TOM[n] = 0) 設定時の動作例を図 16.34 に示します。

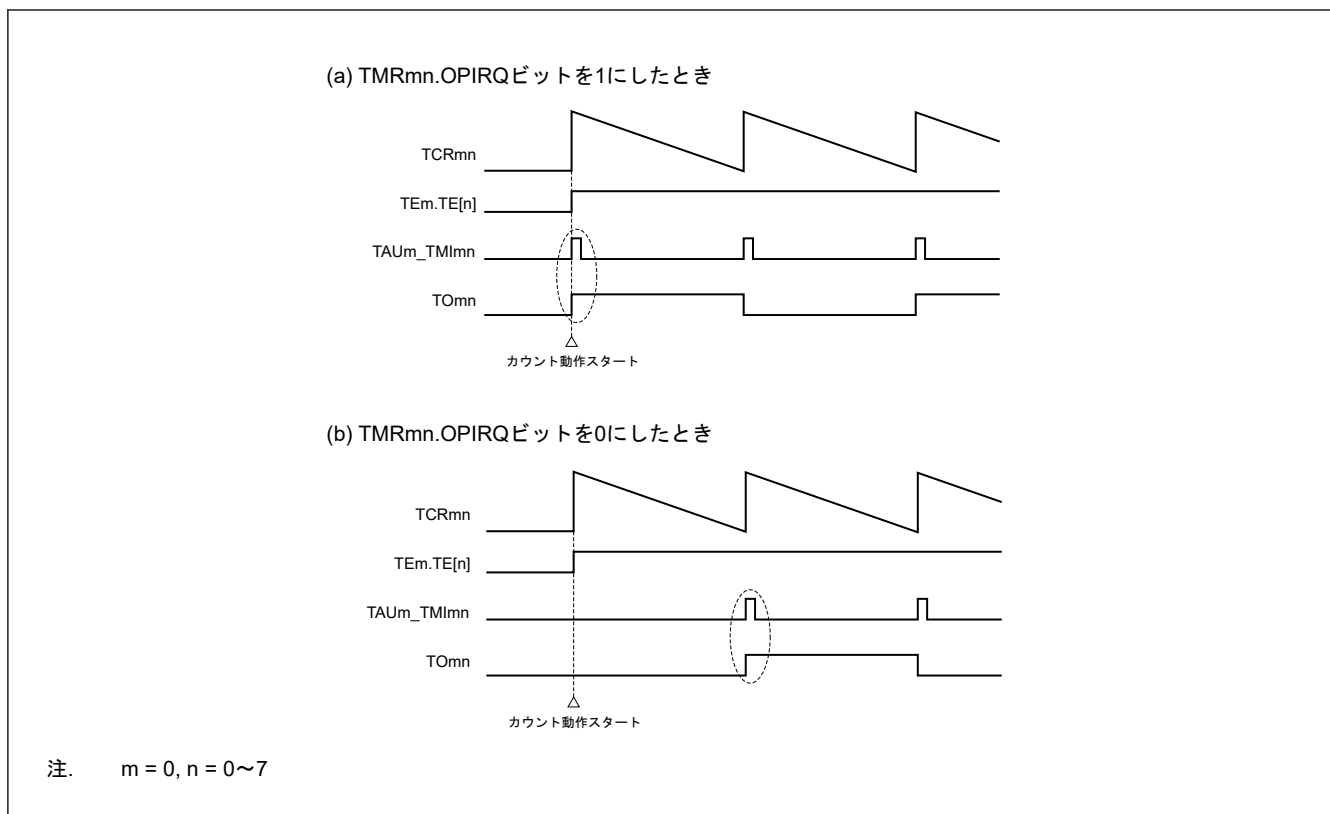


図 16.34 カウント開始時のタイマ割り込みと T0mn 出力の動作例

TMR0n.OPIRQ ビットを 1 にすると、カウント動作開始時にタイマ割り込み (TAU0_TMI0n) が出力され、T00n はトグル動作を行います。

TMR0n.OPIRQ ビットを 0 にすると、カウント動作開始時にタイマ割り込み (TAU0_TMI0n) は出力されず、T00n も変化しません。1 サイクル経過してから TAU0_TMI0n が出力され T00n がトグル動作を行います。

16.6 タイマ入力 (TI0n) の制御

16.6.1 TI0n 入力回路の構成

タイマ入力端子から入力された信号はノイズフィルタとエッジ検出器を経由してタイマコントローラに送られます。ノイズ除去が必要な端子にはノイズフィルタを許可してください。図 16.35 に、入力回路の構成を示します。

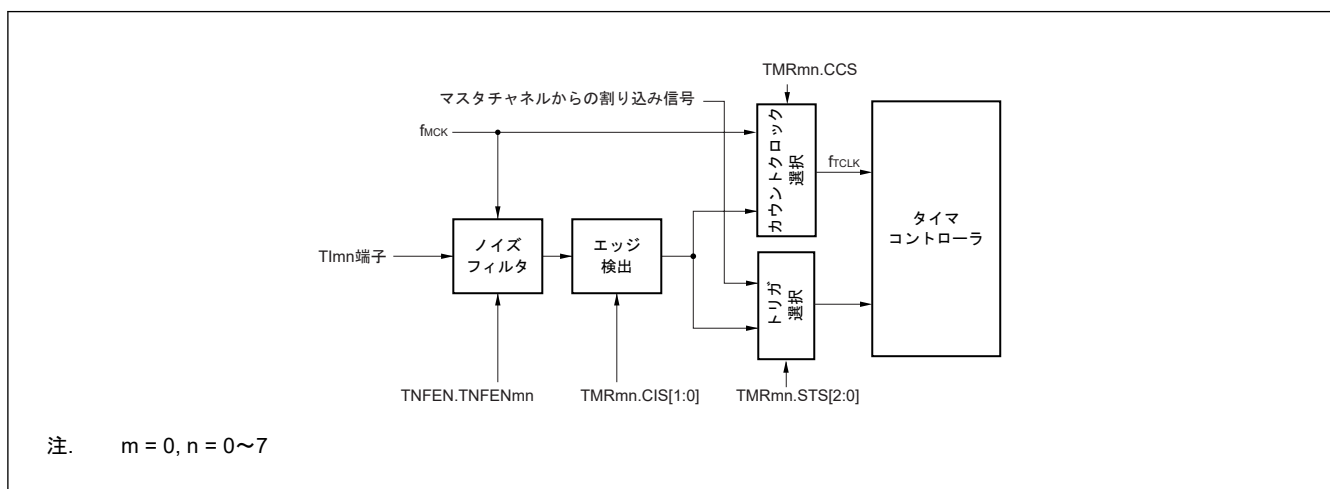


図 16.35 入力回路の構成

16.6.2 ノイズフィルタ

ノイズフィルタが無効の場合、入力信号はチャンネル n の動作クロック (f_{MCK}) とだけ同期します。ノイズフィルタが有効の場合、チャンネル n の動作クロック (f_{MCK}) と同期した後に、信号が 2 クロックサイクルの間同じ値を維持するかどうかを検出されます。図 16.36 に、ノイズフィルタが有効な場合と無効な場合のノイズフィルタからの出力波形の違いを示します。

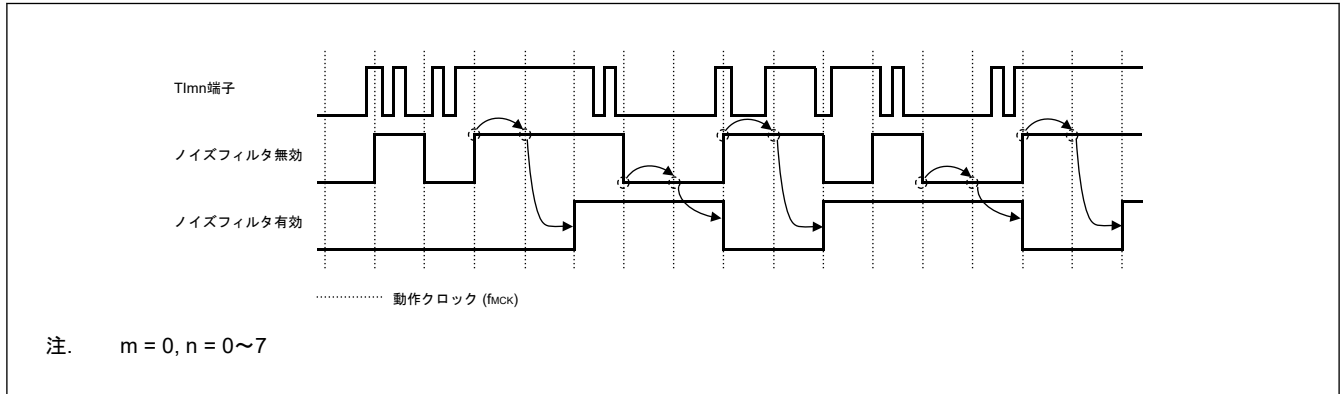


図 16.36 TI0n 入力端子から入力されるサンプリング波形とノイズフィルタが有効な場合と無効な場合の出力波形

16.6.3 チャンネル入力動作に関する注意

タイマ入力端子が未使用に設定されている場合、ノイズフィルタに動作クロックは供給されません。このため、タイマ入力端子を使用する設定を行った後は、下記に示すウェイトを行ってから、トリガを指定してタイマ入力端子に対応するチャンネルの動作を許可してください。

1. ノイズフィルタが無効の場合
タイマモードレジスタ 0n (TMR0n) のビット 12 (CCS) およびビット 9~8 (STS[1:0]) がすべて 0 の状態でいずれかのビットを 1 にした場合は、動作クロック (f_{MCK}) が 2 サイクル以上経過するのを待ってから、タイマチャンネル起動レジスタ (TS0) の動作許可トリガビットを 1 にしてください。
2. ノイズフィルタが有効の場合
タイマモードレジスタ 0n (TMR0n) のビット 12 (CCS) およびビット 9~8 (STS[1:0]) がすべて 0 の状態でいずれかのビットを 1 にした場合は、動作クロック (f_{MCK}) が 4 サイクル以上経過するのを待ってから、タイマチャンネル起動レジスタ (TS0) の動作許可トリガビットを 1 にしてください。

16.7 タイマアレイユニットの単独チャンネル動作機能

16.7.1 インターバルタイマまたは矩形波出力機能の動作

(1) インターバルタイマ

一定周期で TAU0_TMI0n (タイマ割り込み) を発生させる基準タイマとしてタイマアレイユニットを使用できます。割り込み発生周期は以下の式より求めることができます。

$$\text{TAU0\_TMI0n (タイマ割り込み) の発生周期} = \text{カウントクロックの周期} \times (\text{TDR0n の設定値} + 1)$$

(2) 矩形波出力機能の動作

TO0n は、TAU0_TMI0n が発生すると即座にトグル動作を行い、デューティ比 50% で矩形波を出力します。

TO0n が出力する矩形波の周期と周波数は以下の式より求めることができます。

- TO0n が出力する矩形波の周期 = カウントクロックの周期 $\times$ (TDR0n の設定値 + 1) $\times$ 2
- TO0n が出力する矩形波の周波数 = カウントクロックの周波数 / {(TDR0n の設定値 + 1) $\times$ 2}

インターバルタイマモードでは、タイマカウンタレジスタ 0n (TCR0n) はダウンカウンタとして動作します。

タイマチャンネル起動レジスタ 0 (TS0) のチャンネル開始トリガビット (TS[n], TSH1, TSH3) が 1 になった後、カウントクロックの第 1 サイクルで、TCR0n レジスタにはタイマデータレジスタ 0n (TDR0n) の値がロードされます。この時にタイマモードレジスタ 0n (TMR0n) の OPIRQ ビットが 0 であると、TAU0_TMI0n は出力されず、TO0n

の出力はトグルされません。TMR0n レジスタの OPIRQ ビットが 1 であると、TAU0_TMI0n が出力され、TO0n の出力はトグルされます。

その後、TCR0n レジスタはカウントクロックに同期してダウンカウントを行います。

TCR0n の値が 0x0000 に達すると、カウントクロックの次のサイクルで TAU0_TMI0n が出力され、TO0n の出力がトグルされます。それと同時に、TCR0n レジスタには TDR0n レジスタの値が再びロードされます。その後、同じ動作を繰り返します。

TDR0n レジスタはいつでも書き換えることができます。TDR0n レジスタの書き換え後の値は次の周期から有効になります。

注. n: チャンネル番号 (n = 0~7)

図 16.37 に、インターバルタイマまたは矩形波出力機能の動作のブロック図を示します。

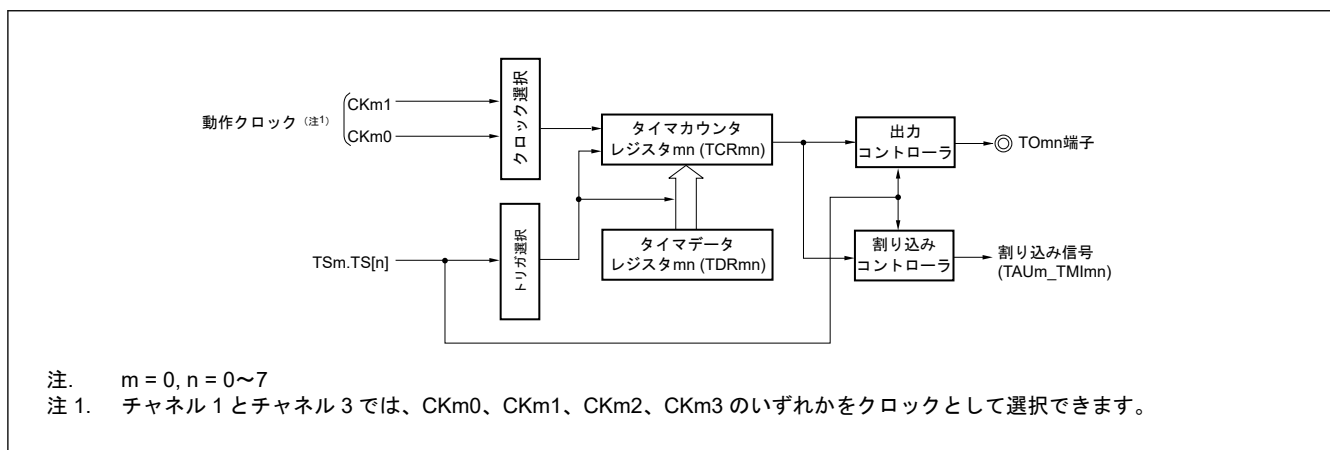


図 16.37 インターバルタイマまたは矩形波出力機能の動作のブロック図

図 16.38 に、インターバルタイマまたは矩形波出力機能 (TMR0n.OPIRQ = 1) として動作する場合の基本タイミング例を示します。

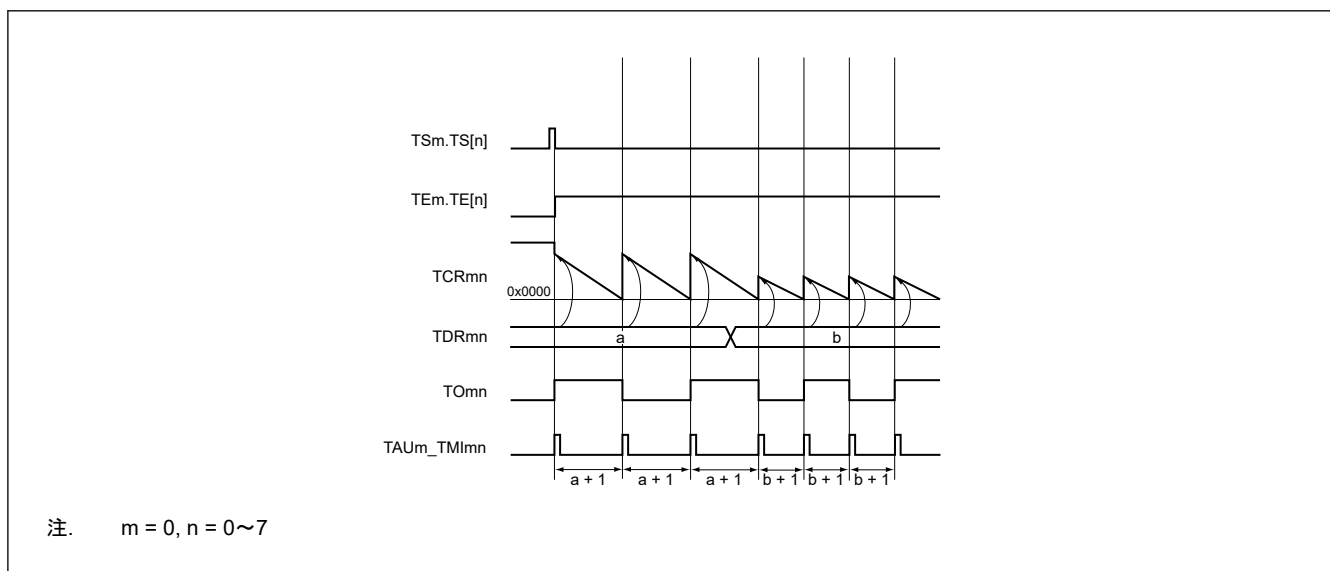


図 16.38 インターバルタイマまたは矩形波出力機能 (TMR0n.OPIRQ = 1) として動作する場合の基本タイミング例

表 16.13~表 16.18 に、インターバルタイマまたは矩形波出力機能動作時のレジスタ設定と手順を示します。

表 16.13 インターバルタイマまたは矩形波出力機能動作時の TMR0n 設定例

ビット	シンボル	設定値	機能
0	OPIRQ	1/0	カウント開始時の動作設定 0: カウント開始時に TAU0_TMI0n を発生させずタイマ出力の反転も行わない 1: カウント開始時に TAU0_TMI0n を発生させてタイマ出力の反転を行う
3:1	MD[2:0]	000b	チャンネル n の動作モード 0 0 0: インターバルタイマモード
5:4	—	00b	0 に固定
7:6	CIS[1:0]	00b	TIOIn 端子入力のエッジ選択 0 0: TIOIn 入力端子は使用しないため 00b を設定する
10:8	STS[2:0]	000b	開始トリガの選択 0 0 0: ソフトウェアの開始のみを選択する
11	— (n = 0, 5, 7)	0	0 に固定 (チャンネル 0/5/7)
	SPLIT (n = 1, 3)	1/0	SPLIT ビットの設定 (チャンネル 1/3) 0: 16 ビットタイマモード 1: 8 ビットタイマモード
	MASTER (n = 2, 4, 6)	0	MASTER ビットの設定 (チャンネル 2/4/6) 0: 単独チャンネル動作機能
12	CCS	0	カウントクロックの選択 0: 動作クロック (f_{MCK}) を選択する
13	—	0	0 に固定
15:14	CKS[1:0]	00b ~ 11b	動作クロック (f_{MCK}) の選択 0 0: チャンネル n の動作クロックとして CK00 を選択する 0 1: 動作クロックとして CK02 を選択する (チャンネル 1 と 3 にのみ選択可能) 1 0: チャンネル n の動作クロックとして CK01 を選択する 1 1: 動作クロックとして CK03 を選択する (チャンネル 1 と 3 にのみ選択可能)

表 16.14 インターバルタイマまたは矩形波出力機能動作時の TO0 設定例

ビット	シンボル	設定値	機能
n	TO[n]	1/0	チャンネル n のタイマ出力 0: TO0n から 0 を出力する 1: TO0n から 1 を出力する

表 16.15 インターバルタイマまたは矩形波出力機能動作時の TOE0 設定例

ビット	シンボル	設定値	機能
n	TOE[n]	1/0	チャンネル n のタイマ出力の許可/禁止 0: カウンタとしての TO0n 出力動作を停止する 1: カウンタとしての TO0n 出力動作を許可する

表 16.16 インターバルタイマまたは矩形波出力機能動作時の TOL0 設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャンネル 0)
	TOL[n] (n = 1~7)		チャンネル n (チャンネル 1~7) のタイマ出力の制御 0: TOM0.TOM[n]が 0 (マスタチャンネル出力モード) のときにこのビットを 0 に設定する

表 16.17 インターバルタイマまたは矩形波出力機能動作時の TOM0 設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャンネル 0)
	TOM[n] (n = 1~7)		チャンネル n (チャンネル 1~7) のタイマ出力モードの制御 0: マスタチャンネル出力モードを設定する

表 16.18 インターバルタイマまたは矩形波出力機能使用時の動作手順

	手順	ソフトウェアの動作	ハードウェアの状態
TAU の初期設定		—	パワーオフ状態 (クロックの供給が停止され、各レジスタへの書き込みが禁止されている。)
	<1>	モジュールストップコントロールレジスタ D (MSTPCRD) の MSTPD0 ビットを 0 に設定する。	→ パワーオン状態。各チャンネルは動作を停止する。 (クロックの供給が開始され、各レジスタへの書き込みが許可される。)
	<2>	タイマクロック選択レジスタ 0 (TPS0) を設定する。 CK00~CK03 のクロック周波数を決定する。	—
チャンネルの初期設定	<3>	タイマモードレジスタ 0n (TMR0n) を設定する (チャンネルの動作モードを決定する)。 タイマデータレジスタ 0n (TDR0n) にインターバル (周期) の値を設定する。	チャンネルは動作を停止する。 (クロックは供給されるため電力は多少消費される。)
	<4>	TO0n 出力を使用するには タイマ出力モードレジスタ 0 (TOM0) の TOM0.TOM[n] ビットを 0 にクリアする (マスタチャンネル出力モード)。 TOL0.TOL[n] ビットを 0 にクリアする。 TO0.TO[n] ビットを 1 にし、TO0n 出力の初期レベルを決定する。 TOE0.TOE[n] ビットを 1 にし、TO0n の動作を許可する。 Ppq 方向レジスタ (PDRp) を 1 に設定する。	TO0n 端子が Hi-Z 出力状態になる。 → Ppq 方向レジスタ (PDRp) が出力モードの場合、TO0n の初期設定レベルが出力される。 → チャンネルは動作を停止するため TO0n は変化しない。 → TO0n 端子から TO0n 設定レベルが出力される。
動作開始	<5>	(TO0n 出力を使用し動作を再開する場合のみ TOE0.TOE[n] ビットを 1 にする。) TS0.TS[n] (TSH1, TSH3) ビットを 1 にする。 TS0.TS[n] (TSH1, TSH3) ビットはトリガビットなので自動的に 0 に戻る。	→ TE0.TE[n] (TEH1, TEH3) に 1 が設定されカウント動作が開始する。TDR0n レジスタの値がタイマカウンタレジスタ 0n (TCR0n) にロードされる。TMR0n レジスタの TMR0n.OPIRQ ビットが 1 の場合は、TAU0_TMI0n が発生し TO0n はトグル動作を行う。
動作中	<6>	TMR0n レジスタの設定値は変更不可。TOM0.TOM[n] ビットと TOL0.TOL[n] ビットの設定値も変更不可。 TDR0n レジスタの設定値の変更が可能。TCR0n レジスタは常に読み出し可能。 TSR0n レジスタは使用しない。 TO0 レジスタと TOE0 レジスタの設定値の変更が可能。	カウンタ (TCR0n) がダウンカウントを行う。カウント値が 0x0000 に達すると、TDR0n レジスタの値が TCR0n レジスタに再びロードされ、カウント動作は続行する。TCR0n が 0x0000 になったことを検出すると、TAU0_TMI0n が発生し TO0n はトグル動作を行う。 その後、上記の動作を繰り返す。
動作停止	<7>	TT0.TT[n] (TTH1, TTH3) ビットを 1 にする。 TT0.TT[n] (TTH1, TTH3) ビットはトリガビットなので自動的に 0 に戻る。	→ TE0.TE[n] (TEH1, TEH3) に 0 が設定されカウント動作が停止する。TCR0n レジスタはカウント値を保持して停止する。 TO0n 出力は初期化されず現在の状態を維持する。
	<8>	TOE0.TOE[n] ビットが 0 にクリアされ、TO0.TO[n] ビットに値が設定される。 動作を再開する場合は、ステップ <5> へ進む。 動作を終了する場合は、ステップ <9> へ進む。	→ TO0n 端子から TO0.TO[n] ビットで設定したレベルが出力される。
TAU 停止	<9>	TO0n 端子の出力レベルを保持するには 保持する値が Ppq 出力データレジスタ (PODRp) に設定された後、PSEL[2:0] ビットに 000b を設定する。 TO0n 端子の出力レベルを保持する必要がある場合は設定不要。	→ ポート機能により TO0n 端子の出力レベルが保持される。
	<10>	モジュールストップコントロールレジスタ D (MSTPCRD) の MSTPD0 ビットを 1 に設定する。	→ これによりタイマアレイユニット 0 への入力クロックの供給が停止する。 パワーオフ状態。

注. $n = 0 \sim 7, p = 0 \sim 9, q = 00 \sim 15$

16.7.2 外部イベントカウンタとしての動作

TI0n 端子で有効な入力エッジ (外部イベント) が検出された回数をカウントする外部イベントカウンタとしてタイマアレギュニットを使用することができます。規定のカウント値に達するとイベントカウンタは割り込みを生成します。規定のカウント値は以下の式より求めることができます。

規定のカウント値 = TDR0n の設定値 + 1

イベントカウンタモードでは、タイマカウンタレジスタ 0n (TCR0n) はダウンカウンタとして動作します。

いずれかの TS0.TS[n] ビットを 1 にすると、TCR0n レジスタにはタイマデータレジスタ 0n (TDR0n) の値がロードされます。

TI0n 端子の有効な入力エッジを検出するたびに TCR0n レジスタはダウンカウントを行います。TCR0n の値が 0x0000 に達すると、TCR0n レジスタには TDR0n レジスタの値が再びロードされ、TAU0_TMI0n を出力します。

その後、上記の動作を繰り返します。

TO0n 端子からは外部イベントに依存する不規則な波形が出力されます。タイマ出力許可レジスタ 0 (TOE0) の TOE[n] ビットを 0 にして出力を停止してください。

TDR0n レジスタはいつでも書き換えることができます。TDR0n レジスタの書き換え後の値は次のカウント周期で有効になります。

外部イベントカウンタ機能に指定されたチャンネルでは、TI0n 端子入力を使用する代わりに、カウントを駆動するための入力ソースとして TIS0 レジスタで選択したタイマ入力を使用することもできます。

図 16.39 に、外部イベントカウンタとしての動作のブロック図を示します。

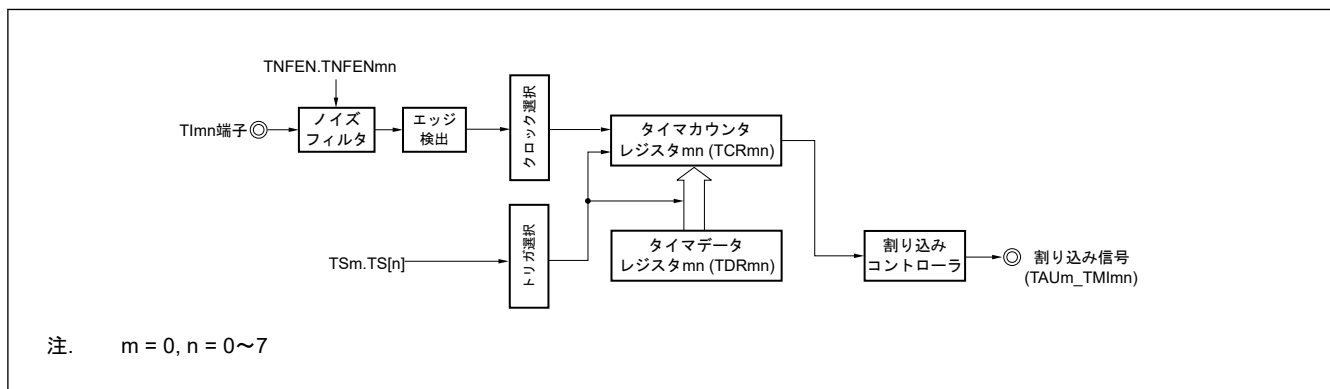


図 16.39 外部イベントカウンタとしての動作のブロック図

図 16.40 に、外部イベントカウンタとして動作する場合の基本タイミング例を示します。

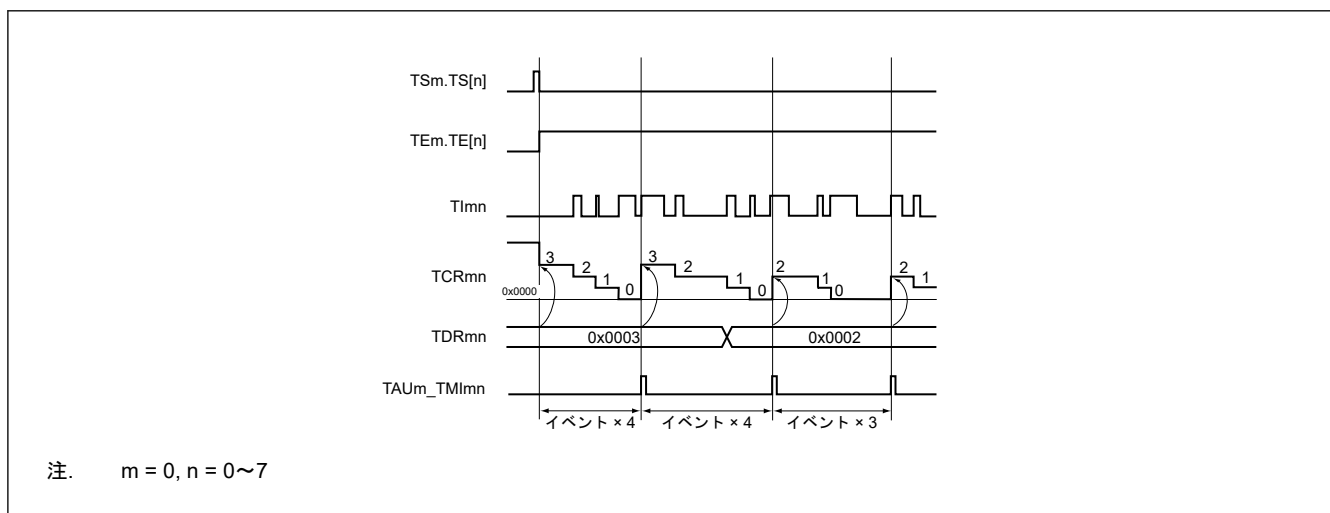


図 16.40 外部イベントカウンタとして動作する場合の基本タイミング例

表 16.19～表 16.24 に、外部イベントカウンタとして動作する場合のレジスタ設定と手順を示します。

表 16.19 外部イベントカウンタモードの TMR0n 設定例

ビット	シンボル	設定値	機能
0	OPIRQ	0	カウント開始時の動作設定 0: カウント開始時に TAU0_TMI0n を生成せずタイマ出力の反転も行わない。
3:1	MD[2:0]	011b	チャンネル n の動作モード 0 1 1: イベントカウンタモード
5:4	—	00b	0 に固定
7:6	CIS[1:0]	00b ～ 10b	TI0n 端子入力のエッジ選択 0 0: 立ち下がりエッジを検出する。 0 1: 立ち上がりエッジを検出する。 1 0: 両エッジを検出する。 その他: 設定禁止。
10:8	STS[2:0]	000b	開始トリガの選択 0 0 0: ソフトウェアの開始だけを選択する。
11	— (n = 0, 5, 7)	0	0 に固定 (チャンネル 0/5/7)
	SPLIT (n = 1, 3)	1/0	SPLIT ビットの設定 (チャンネル 1/3) 0: 16 ビットタイマモード 1: 8 ビットタイマモード
	マスタ (n = 2, 4, 6)	0	マスタビットの設定 (チャンネル 2/4/6) 0: 単独チャンネル動作機能
12	CCS	1	カウント用クロックの選択 1: TI0n 端子入力の有効エッジを選択する。
13	—	0	0 に固定。
15:14	CKS[1:0]	00b ～ 11b	動作クロック (f _{MCK}) の選択 0 0: チャンネル n の動作クロックとして CK00 を選択する。 0 1: 動作クロックとして CK02 を選択する (チャンネル 1 と 3 にのみ選択可能)。 1 0: チャンネル n の動作クロックとして CK01 を選択する。 1 1: 動作クロックとして CK03 を選択する (チャンネル 1 と 3 にのみ選択可能)。

表 16.20 外部イベントカウンタモードの TO0 設定例

ビット	シンボル	設定値	機能
n	TO[n]	0	チャンネル n のタイマ出力 0: TO0n から 0 を出力する。

表 16.21 外部イベントカウンタモードの TOE0 設定例

ビット	シンボル	設定値	機能
n	TOE[n]	0	チャンネル n のタイマ出力の許可／禁止 0: カウンタとしての TO0n 出力動作を停止する。

表 16.22 外部イベントカウンタモードの TOL0 設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャンネル 0)
	TOL[n] (n = 1~7)		チャンネル n (チャンネル 1~7) のタイマ出力の制御 0: TOM0.TOM[n]が 0 (マスタチャンネル出力モード) のときにこのビットを 0 に設定する。

表 16.23 外部イベントカウンタモードの TOM0 設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャンネル 0)
	TOM[n] (n = 1~7)		チャンネル n (チャンネル 1~7) のタイマ出力モードの制御 0: マスタチャンネル出力モードを設定する。

表 16.24 外部イベントカウンタを使用する場合の動作手順

	ステップ	ソフトウェアの動作		ハードウェアの状態
TAU の初期設定		—		パワーオフ状態 (クロック供給停止、各レジスタへの書き込みを禁止)
	<1>	モジュールストップコントロールレジスタ D (MSTPCRD) の MSTPD0 ビットを 0 に設定する。	→	パワーオン状態。各チャンネルは動作を停止する。 (クロック供給開始、各レジスタへの書き込みを許可)
	<2>	タイマクロック選択レジスタ 0 (TPS0) を設定する。 CK00~CK03 のクロック周波数を決定する。		—
チャンネルの初期設定	<3>	TAU ノイズフィルタ許可レジスタ (TNFEN) の対応するビットを 0 (OFF) または 1 (ON) にする。タイマモードレジスタ 0n (TMR0n) を設定する (チャンネルの動作モードを決定する)。 タイマデータレジスタ 0n (TDR0n) にカウント数を設定する。 タイマ出力許可レジスタ 0 (TOE0) の TOE[n] ビットを 0 にクリアする。		チャンネルは動作を停止する。 (クロックは供給されるため電力は多少消費される。)
動作開始	<4>	TS0.TS[n] ビットを 1 にする。 TS0.TS[n] ビットはトリガビットなので自動的に 0 に戻る。	→	TE0.TE[n] が 1 になりカウント動作が始まる。 TDR0n レジスタの値がタイマカウンタレジスタ 0n (TCR0n) にロードされ、TI0n 端子入力のエッジ検出待ちとなる。
動作中	<5>	TDR0n レジスタの設定値の変更が可能。TCR0n レジスタは常に読み出し可能。 TSR0n レジスタは使用しない。 TMR0n レジスタの設定値は変更不可。TOM0.TOM[n] ビット、TOL0.TOL[n] ビット、TO0.TO[n] ビット、および TOE0.TOE[n] ビットの設定値も変更不可。		カウンタ (TCR0n) は、TI0n 端子の入力エッジを検出するたびにダウンカウントを行う。カウント値が 0x0000 に達すると、TDR0n レジスタの値が TCR0n レジスタに再びロードされ、カウント動作は続行する。TCR0n の値として 0x0000 を検出することで、TAU0_TMI0n 出力が生成される。 その後、上記の動作を繰り返す。
動作停止	<6>	TT0.TT[n] ビットが 1 になる。 TT0.TT[n] ビットはトリガビットなので自動的に 0 に戻る。 動作を再開する場合は、ステップ <4> へ進む。 動作を終了する場合は、ステップ <7> へ進む	→	TE0.TE[n] が 0 になりカウント動作が停止する。 TCR0n レジスタはカウント値を保持して停止する。
TAU 停止	<7>	モジュールストップコントロールレジスタ D (MSTPCRD) の MSTPD0 ビットを 1 に設定する。	→	これによりタイマアレイユニット 0 への入力クロックの供給が停止する。 パワーオフ状態。

注. n = 0~7

16.7.3 周波数分周器としての動作 (ユニット 0 のチャンネル 0 のみ)

TI00 端子へのクロック入力を分周して分周結果を TO00 端子から出力する周波数分周器としてタイマアレイユニットを使用できます。

TO00 端子から出力される分周後のクロック周波数は以下の式より求めることができます。

- 立ち上がりエッジまたは立ち下がりエッジを選択した場合：

分周後のクロック周波数 = 入力クロック周波数 / {(TDR00 の設定値 + 1) × 2}

- 両エッジを選択した場合：

分周後のクロック周波数 ≈ 入力クロック周波数 / (TDR00 の設定値 + 1)

インターバルタイマモードでは、タイマカウンタレジスタ 00 (TCR00) はダウンカウンタとして動作します。

タイマチャネル起動レジスタ 0 (TS0) のチャネル起動トリガビット (TS[0]) が 1 になった後、TI00 の有効エッジを検出すると、TCR00 レジスタにはタイマデータレジスタ 00 (TDR00) の値がロードされます。

この時にタイマモードレジスタ 00 (TMR00) の OPIRQ ビットが 0 であると、TAU0_TMI00 は出力されず、TO00 の出力はトグルされません。タイマモードレジスタ 00 (TMR00) の OPIRQ ビットが 1 であると、TAU0_TMI00 は出力され、TO00 の出力はトグルされます。

その後、TCR00 レジスタは TI00 端子の有効エッジでダウンカウントを行います。TCR00 の値が 0x0000 に達すると、TO00 の出力はトグルされます。それと同時に、TCR00 レジスタは TDR00 レジスタの値を再びロードしてカウントを続けます。

TI00 端子の両エッジ検出を選択した場合、入力クロックのデューティ比の誤差が TO00 出力の分周後のクロック周期に影響します。

TO00 出力のクロック周期には、動作クロックの 1 周期分のサンプリング誤差が含まれます。

TO00 出力のクロック周期 = 理想の TO00 出力クロック周期 ± 動作クロック周期 (誤差)

TDR00 レジスタはいつでも書き換えることができます。TDR00 レジスタの書き換え後の値は次のカウント周期で有効になります。

図 16.41 に、周波数分周器として動作する場合のブロック図を示します。

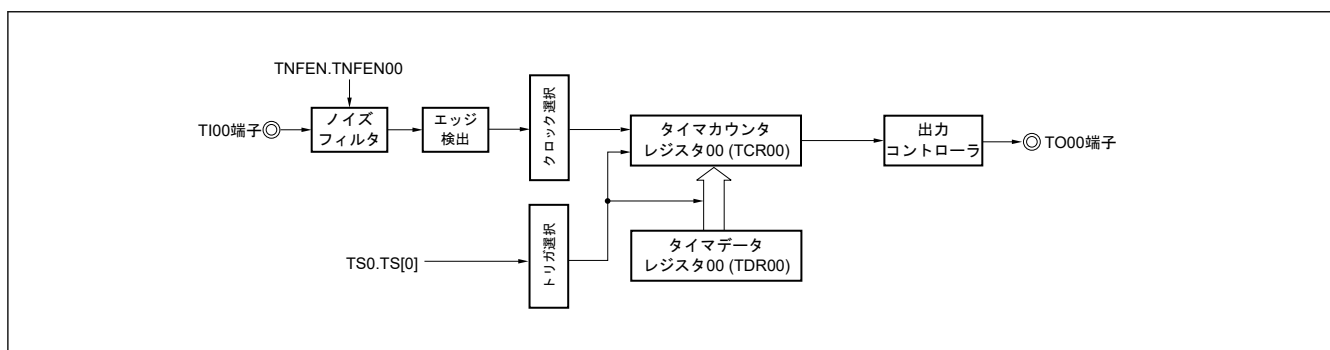


図 16.41 周波数分周器として動作する場合のブロック図

図 16.42 に、周波数分周器として動作する場合 (TMR00.OPIRQ = 1) の基本タイミング例を示します。

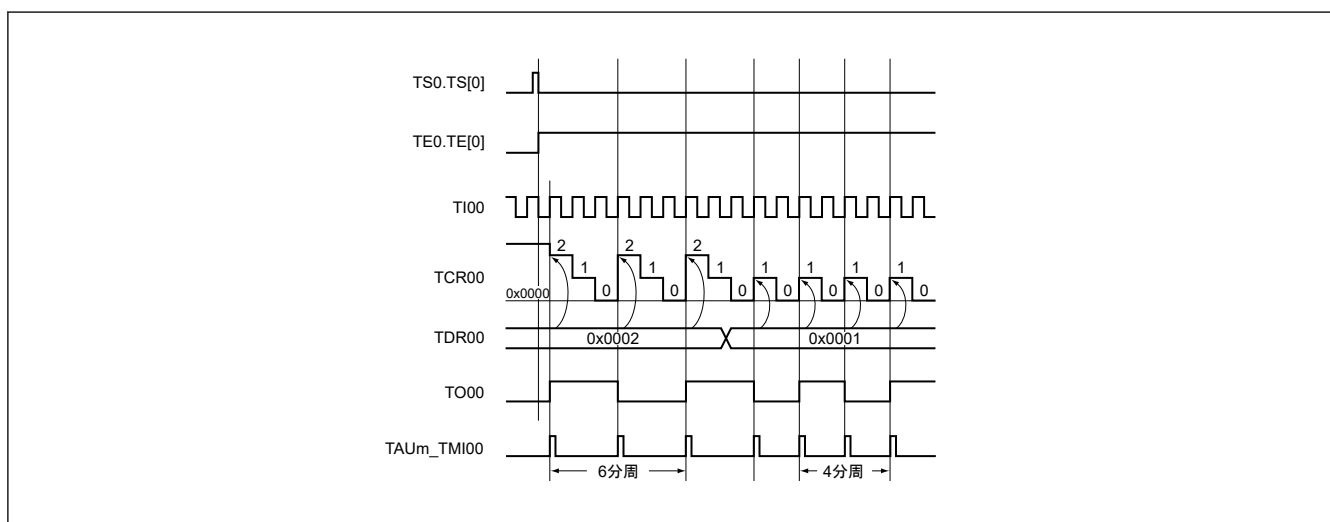


図 16.42 周波数分周器として動作する場合 (TMR00.OPIRQ = 1) の基本タイミング例

表 16.25～表 16.30 に、周波数分周器として動作する場合のレジスタ設定と手順を示します。

表 16.25 周波数分周器として動作する場合の TMR00 レジスタ設定例

ビット	シンボル	設定値	機能
0	OPIRQ	1/0	カウント開始時の動作設定 0: カウント開始時に TAU0_TMI00 を生成せずタイマ出力の反転も行わない。 1: カウント開始時に TAU0_TMI00 を生成しタイマ出力の反転を行う。
3:1	MD[2:0]	000b	チャンネル 0 の動作モード 000: インターバルタイマモード
5:4	—	00b	0 に固定
7:6	CIS[1:0]	00b ~ 10b	Tlmn 端子入力のエッジ選択 00: 立ち下がりエッジを検出する。 01: 立ち上がりエッジを検出する。 10: 両エッジを検出する。 その他: 設定禁止。
10:8	STS[2:0]	000b	開始トリガの選択 000: ソフトウェアの開始のみを選択する。
11	—	0	0 に固定
12	CCS	1	カウント用クロックの選択 1: TI00 端子入力の有効エッジを選択する。
13	—	0	0 に固定。
15:14	CKS[1:0]	00b または 10b	動作クロック (f_{MCK}) の選択 00: チャンネル 0 の動作クロックとして CK00 を選択する。 10: チャンネル 0 の動作クロックとして CK01 を選択する。

表 16.26 周波数分周器として動作する場合の TO0 レジスタ設定例

ビット	シンボル	設定値	機能
0	TO[0]	1/0	チャンネル 0 のタイマ出力 0: TO00 から 0 を出力する。 1: TO00 から 1 を出力する。

表 16.27 周波数分周器として動作する場合の TOE0 レジスタ設定例

ビット	シンボル	設定値	機能
0	TOE[0]	1/0	チャンネル 0 のタイマ出力の許可／禁止 0: カウンタとしての TO00 出力動作を停止する。 1: カウンタとしての TO00 出力動作を許可する。

表 16.28 周波数分周器として動作する場合の TOL0 レジスタ設定例

ビット	シンボル	設定値	機能
0	TOL[0]	0	チャンネル 0 のタイマ出力の制御 0: TOM0.TOM[0]が 0 (マスタチャンネル出力モード) のときにこのビットを 0 に設定する。

表 16.29 周波数分周器として動作する場合の TOM0 レジスタ設定例

ビット	シンボル	設定値	機能
0	TOM[0]	0	チャンネル 0 のタイマ出力モードの制御 0: マスタチャンネル出力モードを設定する。

表 16.30 周波数分周器を使用する場合の動作手順

	手順	ソフトウェアの動作	ハードウェアの状態
TAU の初期設定		—	パワーオフ状態 (クロック供給停止、各レジスタへの書き込みを禁止)
	<1>	モジュールストップコントロールレジスタ D (MSTPCRD) の MSTPD0 ビットを 0 に設定する。	→ パワーオン状態。各チャネルは動作を停止する。 (クロック供給開始、各レジスタへの書き込みを許可)
	<2>	タイマクロック選択レジスタ 0 (TPS0) を設定する。 CK00~CK03 のクロック周波数を決定する。	—
チャネルの初期設定	<3>	TAU ノイズフィルタ許可レジスタ (TNFEN) の対応するビットを 0 (OFF) または 1 (ON) にする。タイマモードレジスタ 00 (TMR00) を設定する (チャネルの動作モードを決定し検出エッジを選択する)。タイマデータレジスタ 00 (TDR00) にインターバル (周期) の値を設定する。	チャネルは動作を停止する。 (クロックは供給されるため電力は多少消費される。)
	<4>	TO0.TO[0] ビットを 1 にし、TO00 出力の初期レベルを決定する。 TOE0.TOE[0] ビットを 1 にし、TO00 の動作を許可する。 Pmn 出力データレジスタと Pmn 方向レジスタを 0 にクリアする。	→ TO00 端子が Hi-Z 出力状態になる。 → Ppq 方向レジスタ (PDRp) が出力モードの場合、TO00 の初期設定レベルが出力される。 → チャネルは動作を停止するため TO00 は変化しない。 → TO00 端子から TO00 設定レベルが出力される。
動作開始	<5>	TOE0.TOE[0] ビットを 1 にする (動作を再開する場合のみ)。 TS0.TS[0] ビットを 1 にする。 TS0.TS[0] ビットはトリガビットなので自動的に 0 に戻る。	→ TE0.TE[0] が 1 になりカウント動作が始まる。 TDR00 レジスタの値がタイマカウンタレジスタ 00 (TCR00) にロードされる。TMR00 レジスタの MD[0] ビットが 1 の場合は、TAU0_TMI00 が生成され TO00 はトグル動作を行う。
動作中	<6>	TDR00 レジスタの設定値の変更が可能。TCR00 レジスタは常に読み出し可能。 TSR00 レジスタは使用しない。 TO0 レジスタと TOE0 レジスタの設定値の変更が可能。 TMR00 レジスタの設定値の変更は不可能。	カウンタ (TCR00) がダウンカウントを行う。カウント値が 0x0000 に達すると、TDR00 レジスタの値が TCR00 レジスタに再びロードされ、カウント動作は続行する。TCR00 が 0x0000 になったことを検出すると、TAU0_TMI00 が生成され TO00 はトグル動作を行う。 その後、上記の動作を繰り返す。
動作停止	<7>	TT0.TT[0] ビットが 1 になる。 TT0.TT[0] ビットはトリガビットなので自動的に 0 に戻る。	→ TE0.TE[0] が 0 になりカウント動作が停止する。 TCR00 レジスタはカウント値を保持して停止する。 TO00 出力は初期化されず現在の状態を維持する。
	<8>	TOE0.TOE[0] ビットが 0 にクリアされ、TO0.TO[0] ビットに値が設定される。 動作を再開する場合は、ステップ<5>へ進む。 動作を終了する場合は、ステップ<9>へ進む。	→ TO00 端子から TO00 設定レベルが出力される。
TAU 停止	<9>	TO0n 端子の出力レベルを保持するには保持する値が Ppq 出力データレジスタ (PODRp) に設定された後、PSEL[2:0] ビットに 000b を設定する。 TO0n 端子の出力レベルを保持する必要がある場合は設定不要。	→ ポート機能により TO0n 端子の出力レベルが保持される
	<10>	モジュールストップコントロールレジスタ D (MSTPCRD) の MSTPD0 ビットを 1 に設定する。	→ これによりタイマアレイユニット 0 への入力クロックの供給が停止する。 パワーオフ状態。

注. p = 0~9, q = 00~15

16.7.4 入力パルスのインターバルの測定を行う際の動作

カウント値は TI0n の有効エッジでキャプチャできるため、TI0n に入力されるパルスのインターバルを測定することができます。また、TE0.TE[n] ビットが 1 のときはソフトウェア動作 (TS0.TS[n] = 1) をキャプチャトリガに使用することでカウント値をキャプチャすることができます。

パルスのインターバルは以下の式より求めることができます。

$$\text{TI0n 入力パルスのインターバル} = \text{カウント用クロックの周期} \times ((0x10000 \times \text{TSR0n.OVF}) + (\text{TDR0n からキャプチャされた値} + 1))$$

注. TI0n 端子入力のサンプリングはタイマモードレジスタ 0n (TMR0n) の CKS[1:0]ビットで選択した動作クロックを基に実行されるため、動作クロックで 1 サイクル分の誤差が生じます。

キャプチャモードでは、タイマカウンタレジスタ 0n (TCR0n) はアップカウンタとして動作します。

タイマチャネル起動レジスタ 0 (TS0) のチャネル起動トリガビット (TS[n]) が 1 になると、TCR0n レジスタはカウント用クロックに同期して、0x0000 を初期値に、アップカウントを行います。

TI0n 端子入力の有効エッジが検出されると、TCR0n レジスタのカウンタ値がタイマデータレジスタ 0n (TDR0n) に転送 (キャプチャ) されます。また、それと同時に TCR0n レジスタが 0x0000 にクリアされ、TAU0_TMI0n が出力されます。この時、カウンタがオーバーフローすると、タイマステータスレジスタ 0n (TSR0n) の OVF ビットが 1 になります。カウンタがオーバーフローしないと OVF ビットがクリアされます。その後、上記の動作を繰り返します。

カウンタ値が TDR0n レジスタにキャプチャされるとその直後に、測定期間中にカウンタがオーバーフローしたかどうかに応じて TSR0n レジスタの OVF ビットが更新されます。このため、キャプチャされた値がオーバーフローしたかどうかを確認することができます。

カウンタ値が最大値になったまま 2 周期以上経過するとオーバーフローが発生したと見なされ、TSR0n レジスタの OVF ビットが 1 になります。なお、オーバーフローが 2 回以上発生した場合は、OVF ビットで通常のインターバル値を測定することはできません。

TI0n の有効エッジを開始トリガとキャプチャトリガとして使用するために、TMR0n レジスタの STS[2:0]ビットを 001b に設定してください。

TI0n 端子入力を使用する代わりに、開始トリガおよびキャプチャトリガとして、TIS0 レジスタレジスタで選択したタイマ入力、またはソフトウェア動作 (TS0.TS[n] = 1) を使用して、入力パルスのインターバルを測定することもできます。

図 16.43 に、入力パルスのインターバル測定機能として動作する場合のブロック図を示します。

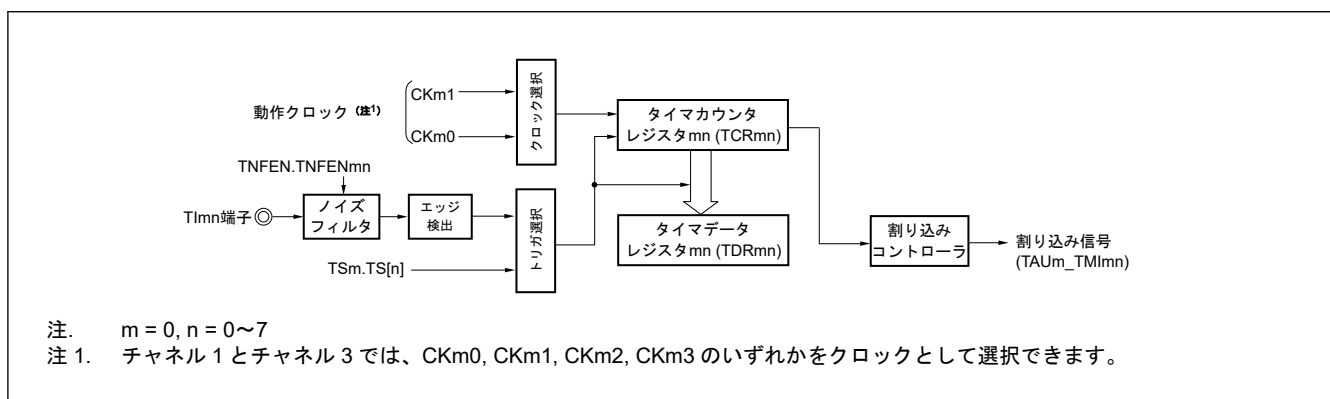
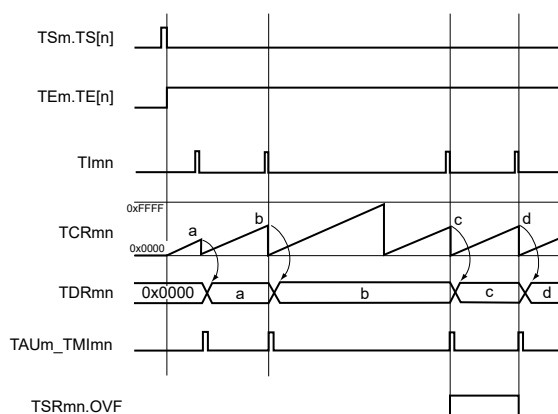


図 16.43 入力パルスのインターバル測定機能として動作する場合のブロック図

図 16.44 に、入力パルスのインターバル測定機能として動作する場合 (TMR0n.OPIRQ = 0) の基本タイミング例を示します。



注. $m = 0, n = 0 \sim 7$

図 16.44 入力パルスのインターバル測定機能として動作する場合 (TMR0n.OPIRQ = 0) の基本タイミング例

表 16.31～表 16.36 に、入力パルスのインターバルを測定する動作に関するレジスタ設定と手順を示します。

表 16.31 入力パルスのインターバル測定機能として動作する場合の TMR0n レジスタ設定例

ビット	シンボル	設定値	機能
0	OPIRQ	1/0	カウント開始時の動作設定 0: カウント開始時に TAU0_TMI0n を生成せずタイマ出力の反転も行わない。 1: カウント開始時に TAU0_TMI0n を生成しタイマ出力の反転を行う。
3:1	MD[2:0]	010b	チャンネル n の動作モード 0 1 0: キャプチャモード
5:4	—	00b	0 に固定
7:6	CIS[1:0]	00b ～ 10b	TI0n 端子入力のエッジ選択 0 0: 立ち下がりエッジを検出する。 0 1: 立ち上がりエッジを検出する。 1 0: 両エッジを検出する。 その他: 設定禁止
10:8	STS[2:0]	001b	開始トリガの選択 0 0 1: TI0n 端子入力の有効エッジを選択する。
11	— (n = 0, 5, 7)	0	0 に固定 (チャンネル 0/5/7)
	SPLIT (n = 1, 3)	0	SPLIT ビットの設定 (チャンネル 1/3) 0: 16 ビットタイマモード
	マスタ (n = 2, 4, 6)	0	マスタビットの設定 (チャンネル 2/4/6) 0: 単独チャンネル動作機能。
12	CCS	0	カウント用クロックの選択 0: 動作クロック (f_{MCK}) を選択する。
13	—	0	0 に固定。
15:14	CKS[1:0]	00b ～ 11b	動作クロック (f_{MCK}) の選択 0 0: チャンネル n の動作クロックとして CK00 を選択する。 0 1: 動作クロックとして CK02 を選択する (チャンネル 1 と 3 にのみ選択可能)。 1 0: チャンネル n の動作クロックとして CK01 を選択する。 1 1: 動作クロックとして CK03 を選択する (チャンネル 1 と 3 にのみ選択可能)。

表 16.32 入力パルスのインターバル測定機能として動作する場合の TO0 レジスタ設定例

ビット	シンボル	設定値	機能
n	TO[n]	0	チャンネル n のタイマ出力 0: TO0n から 0 を出力する。

表 16.33 入力パルスのインターバル測定機能として動作する場合の TOE0 レジスタ設定例

ビット	シンボル	設定値	機能
n	TOE[n]	0	チャンネル n のタイマ出力の許可／禁止 0: カウンタとしての TO0n 出力動作を停止する。

表 16.34 入力パルスのインターバル測定機能として動作する場合の TOL0 レジスタ設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャンネル 0)
	TOL[n] (n = 1~7)		チャンネル n (チャンネル 1~7) のタイマ出力の制御 0: TOM0.TOM[n] が 0 (マスタチャンネル出力モード) のときにこのビットを 0 に設定する。

表 16.35 入力パルスのインターバル測定機能として動作する場合の TOM0 レジスタ設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャンネル 0)
	TOM[n] (n = 1~7)		チャンネル n (チャンネル 1~7) のタイマ出力モードの制御 0: マスタチャンネル出力モードを設定する。

表 16.36 入力パルスのインターバル測定機能を使用する場合の動作手順 (1/2)

	手順	ソフトウェアの動作	ハードウェアの状態
TAU の初期設定		—	パワーオフ状態 (クロック供給停止、各レジスタへの書き込みを禁止)
	<1>	モジュールストップコントロールレジスタ D (MSTPCRD) の MSTPD0 ビットを 0 に設定する。	→ パワーオン状態。各チャンネルは動作を停止する。 (クロック供給開始、各レジスタへの書き込みを許可)
	<2>	タイマクロック選択レジスタ 0 (TPS0) を設定する。 CK00~CK03 のクロック周波数を決定する。	—
チャンネルの初期設定	<3>	TAU ノイズフィルタ許可レジスタ (TNFEN) の対応するビットを 0 (OFF) または 1 (ON) にする。タイマモードレジスタ 0n (TMR0n) を設定する (チャンネルの動作モードを決定する)。	チャンネルは動作を停止する。 (クロックは供給されるため電力は多少消費される。)
動作開始	<4>	TS0.TS[n] ビットを 1 にする。 TS0.TS[n] ビットはトリガビットなので自動的に 0 に戻る。	→ TE0.TE[n] が 1 になりカウント動作が始まる。 タイマカウンタレジスタ 0n (TCR0n) が 0x0000 にクリアされる。 TMR0n レジスタの OPIRQ ビットが 1 になると TAU0_TMI0n が生成される。
動作中	<5>	TMR0n レジスタの CIS[1:0] ビットの設定値だけが変更可能。 TDR0n レジスタは常に読み出し可能。 TCR0n レジスタは常に読み出し可能。 TSR0n レジスタは常に読み出し可能。 TOM0.TOM[n] ビット、TOL0.TOL[n] ビット、TO0.TO[n] ビット、および TOE0.TOE[n] ビットの設定値は変更不可。	カウンタ (TCR0n) が 0x0000 を初期値にアップカウントを行う。TI0n 端子入力の有効エッジが検出された時または TS0.TS[n] ビットが 1 になった時、カウント値がタイマデータレジスタ 0n (TDR0n) に転送 (キャプチャ) される。それと同時に、TCR0n レジスタが 0x0000 にクリアされ、TAU0_TMI0n 信号が生成される。 この時、オーバーフローが発生すると、タイマステータスレジスタ 0n (TSR0n) の OVF ビットが 1 になる。オーバーフローが発生しないと OVF ビットがクリアされる。 その後、上記の動作を繰り返す。

表 16.36 入力パルスのインターバル測定機能を使用する場合の動作手順 (2/2)

	手順	ソフトウェアの動作		ハードウェアの状態
動作停止	<6>	TT0.TT[n]ビットが 1 になる。 TT0.TT[n]ビットはトリガビットなので自動的に 0 に戻る。 動作を再開する場合は、ステップ<4>へ進む。 動作を終了する場合は、ステップ<7>へ進む。	→	TE0.TE[n]が 0 になりカウント動作が停止する。 TCR0n レジスタはカウント値を保持して停止する。 TSR0n レジスタの OVF ビットも保持される。
TAU 停止	<7>	モジュールストップコントロールレジスタ D (MSTPCRD) の MSTPD0 ビットを 1 に設定する。	→	これによりタイマアレギュニット 0 への入力クロックの供給が停止する。 パワーオフ状態。

注. n = 0~7

16.7.5 入力信号の High/Low レベル幅測定の動作

注. LIN バス通信を行うためにチャンネルを使用する場合は、入力切り替え制御レジスタ (ISC) のビット 1 (ISC1) を 1 にしてください。本項では、「TImn」を「RXD0」と読み替えてください。

TI0n 端子入力的一方のエッジでカウントを開始し、カウント数を他方のエッジでキャプチャすることによって、TI0n 端子の信号幅 (High/Low レベル幅) を測定することができます。TI0n の信号幅は以下の式より求めることができます。

$$\text{TI0n 入力の信号幅} = \text{カウント用クロックの周期} \times ((0x10000 \times \text{TSR0n.OVF}) + (\text{TDR0n からキャプチャした値} + 1))$$

注. TI0n 端子入力のサンプリングはタイマモードレジスタ 0n (TMR0n) の CKS[1:0]ビットで選択した動作クロックを基に実行されるため、動作クロックで 1 サイクル分の誤差が生じます。

キャプチャ & ワンカウントモードでは、タイマカウンタレジスタ 0n (TCR0n) はアップカウンタとして動作します。

タイマチャンネル起動レジスタ 0 (TS0) のチャンネル起動トリガビット (TS[n]) が 1 になると、TE0.TE[n]ビットが 1 になり、TI0n 端子起動エッジ検出待ち状態になります。

TI0n 端子入力開始エッジ (High レベル幅測定時の TI0n 端子入力の立ち上がりエッジ) が検出されると、カウンタは、カウント用クロックに同期して、0x0000 を初期値にアップカウントを行います。その後、有効なキャプチャエッジ (High レベル幅測定時の TI0n 端子入力の立ち下がりエッジ) を検出すると、カウント値はタイマデータレジスタ 0n (TDR0n) に転送され、それと同時に TAU0_TMI0n が出力されます。この時、カウンタがオーバーフローすると、タイマステータスレジスタ 0n (TSR0n) の OVF ビットが 1 になります。カウンタがオーバーフローしないと OVF ビットがクリアされます。TCR0n レジスタは、値が「TDR0n レジスタへ転送された値 + 1」になると停止し、TI0n 端子起動エッジ検出待ち状態になります。その後、上記の動作を繰り返します。

カウント値が TDR0n レジスタにキャプチャされるとその直後に、測定期間中にカウンタがオーバーフローしたかどうかに応じて TSR0n レジスタの OVF ビットが更新されます。このため、キャプチャされた値がオーバーフローしたかどうかを確認することができます。

カウンタ値が最大値になったまま 2 周期以上経過するとオーバーフローが発生したと見なされ、TSR0n レジスタの OVF ビットが 1 になります。なお、オーバーフローが 2 回以上発生した場合は、OVF ビットで通常のインターバル値を測定することはできません。

TI0n 端子の High レベル幅と Low レベル幅のどちらを測定するかは、TMR0n レジスタの CIS[1:0]ビットで選択できます。

本機能は TI0n 端子入力の信号幅を測定するために使用されるため、TE0.TE[n]ビットが 1 の間は TS0.TS[n]ビットを 1 にすることはできません。

TI0n 端子入力の代わりに、起動エッジおよびキャプチャエッジとして、TIS0 レジスタで選択したタイマ入力を使用することもできます。

TMR0n レジスタの CIS[1:0]ビットが 10b の場合 : Low レベル幅が測定されます。

TMR0n レジスタの CIS[1:0]ビットが 11b の場合 : High レベル幅が測定されます。

図 16.45 に、入力信号の High/Low レベル幅を測定する動作のブロック図を示します。

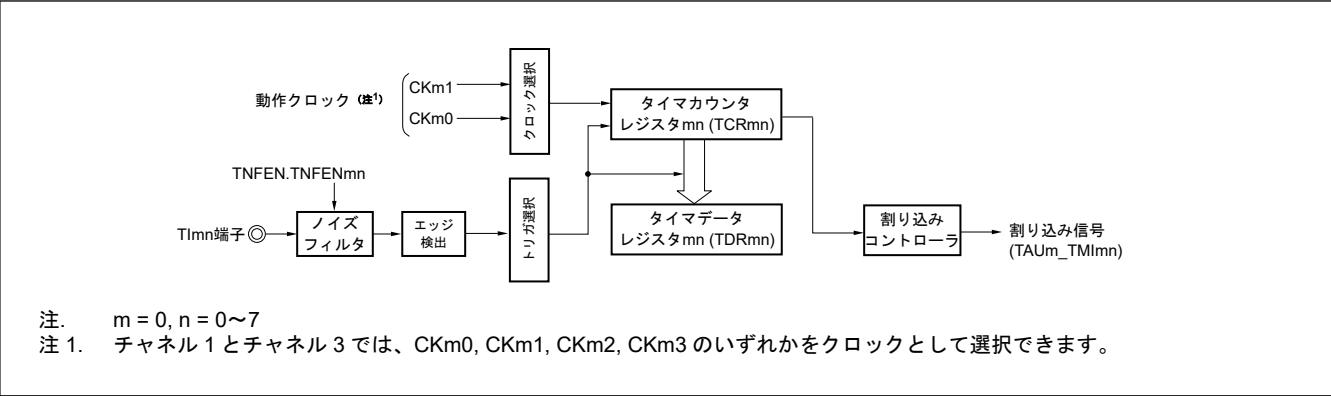


図 16.45 入力信号の High/Low レベル幅を測定する動作のブロック図

図 16.46 に、入力信号の High/Low レベル幅を測定する動作の基本タイミング例を示します。

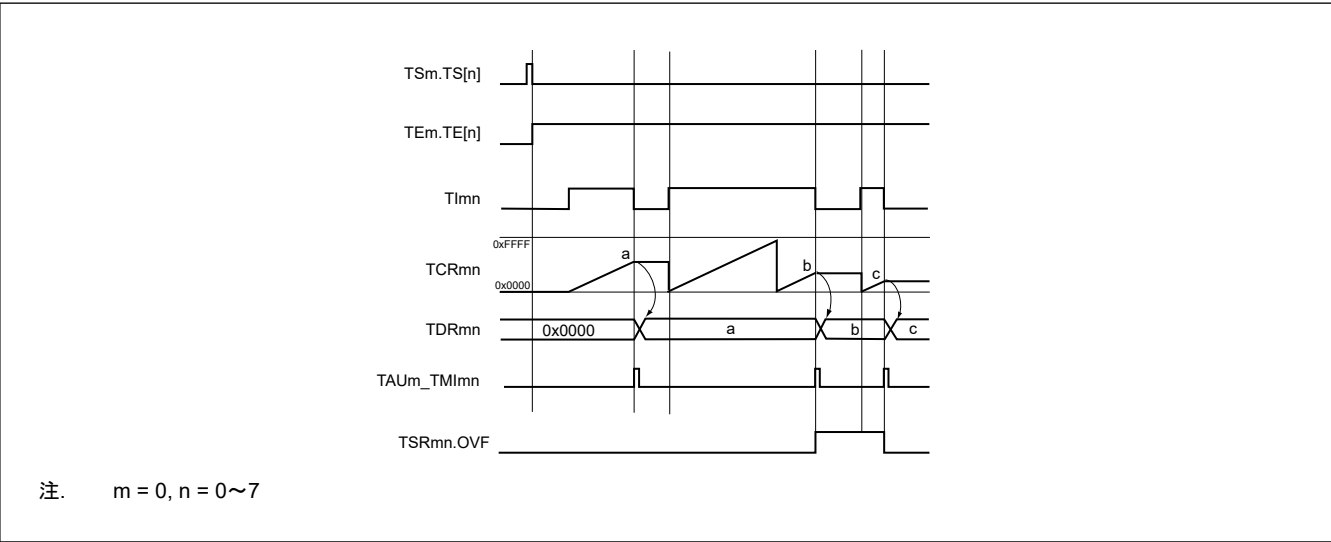


図 16.46 入力信号の High/Low レベル幅を測定する動作の基本タイミング例

表 16.37～表 16.42 に、入力信号の High/Low レベル幅を測定する動作に関するレジスタ設定と手順を示します。

表 16.37 入力信号の High/Low レベル幅を測定する動作に関する TMR0n レジスタ設定例 (1/2)

ビット	シンボル	設定値	機能
0	OPIRQ	0	カウント開始時の動作設定 0: カウント開始時に TAU0_TMI0n を生成せずタイマ出力の反転も行わない。
3:1	MD[2:0]	110b	チャンネル n の動作モード 1 1 0: キャプチャ & ワンカウント
5:4	—	00b	0 に固定
7:6	CIS[1:0]	10b ～ 11b	TI0n 端子入力のエッジ選択 1 0: 両エッジ (Low レベル幅を測定する場合) 1 1: 両エッジ (High レベル幅を測定する場合) その他: 設定禁止
10:8	STS[2:0]	010b	開始トリガの選択 0 1 0: TI0n 端子入力の有効エッジを選択する。

表 16.37 入力信号の High/Low レベル幅を測定する動作に関する TMR0n レジスタ設定例 (2/2)

ビット	シンボル	設定値	機能
11	— (n = 0, 5, 7)	0	0 に固定 (チャンネル 0/5/7)
	SPLIT (n = 1, 3)	0	SPLIT ビットの設定 (チャンネル 1/3) 0: 16 ビットタイマモード
	マスタ (n = 2, 4, 6)	0	マスタビットの設定 (チャンネル 2/4/6) 0: 単独チャンネル動作機能。
12	CCS	0	カウント用クロックの選択 0: 動作クロック (f _{MCK}) を選択する。
13	—	0	0 に固定
15:14	CKS[1:0]	00b ~ 11b	動作クロック (f _{MCK}) の選択 00: チャンネル n の動作クロックとして CK00 を選択する。 01: 動作クロックとして CK02 を選択する (チャンネル 1 と 3 にのみ選択可能)。 10: チャンネル n の動作クロックとして CK01 を選択する。 11: 動作クロックとして CK03 を選択する (チャンネル 1 と 3 にのみ選択可能)。

表 16.38 入力信号の High/Low レベル幅を測定する動作に関する TO0 レジスタ設定例

ビット	シンボル	設定値	機能
n	TO[n]	0	チャンネル n のタイマ出力 0: TO0n から 0 を出力する。

表 16.39 入力信号の High/Low レベル幅を測定する動作に関する TOE0 レジスタ設定例

ビット	シンボル	設定値	機能
n	TOE[n]	0	チャンネル n のタイマ出力の許可/禁止 0: カウンタとしての TO0n 出力動作を停止する。

表 16.40 入力信号の High/Low レベル幅を測定する動作に関する TOL0 レジスタ設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャンネル 0)
	TOL[n] (n = 1~7)		チャンネル n (チャンネル 1~7) のタイマ出力の制御 0: TOM0.TOM[n] が 0 (マスタチャンネル出力モード) のときにこのビットを 0 に設定する。

表 16.41 入力信号の High/Low レベル幅を測定する動作に関する TOM0 レジスタ設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャンネル 0)
	TOM[n] (n = 1~7)		チャンネル n (チャンネル 1~7) のタイマ出力モードの制御 0: マスタチャンネル出力モードを設定する。

表 16.42 入力信号 High/Low レベル幅測定機能を使用する場合の動作手順 (1/2)

	手順	ソフトウェアの動作	ハードウェアの状態
TAU の初期設定		—	パワーオフ状態 (クロック供給停止、各レジスタへの書き込みを禁止)
	<1>	モジュールストップコントロールレジスタ D (MSTPCRD) の MSTPD0 ビットを 0 に設定する。	→ パワーオン状態。各チャンネルは動作を停止する。 (クロック供給開始、各レジスタへの書き込みを許可)
	<2>	タイマクロック選択レジスタ 0 (TPS0) を設定する。 CK00~CK03 のクロック周波数を決定する。	—

表 16.42 入力信号 High/Low レベル幅測定機能を使用する場合の動作手順 (2/2)

	手順	ソフトウェアの動作		ハードウェアの状態
チャンネルの初期設定	<3>	TAU ノイズフィルタ許可レジスタ (TNFEN) の対応するビットを 0 (OFF) または 1 (ON) にする。タイマモードレジスタ 0n (TMR0n) を設定する (チャンネルの動作モードを決定する)。TOE0.TOE[n] ビットを 0 にし、TO0n の動作を禁止する。		チャンネルは動作を停止する。 (クロックは供給されるため電力は多少消費される。)
動作開始	<4>	TS0.TS[n] ビットを 1 にする。 TS0.TS[n] ビットはトリガビットなので自動的に 0 に戻る。	→	TE0.TE[n] が 1 になり、TI0n 端子起動エッジ検出待ち状態になる。
	<5>	TI0n 端子入力カウンタ開始の有効エッジを検出する。	→	タイマカウンタレジスタ 0n (TCR0n) を 0x0000 にクリアしアップカウンタを開始する。
動作中	<6>	TDR0n レジスタの設定値は常に読み出し可能。 TCR0n レジスタは常に読み出し可能。 TSR0n レジスタは常に読み出し可能。 TMR0n レジスタの設定値は変更不可。TOM0.TOM[n] ビット、TOL0.TOL[n] ビット、TO0.TO[n] ビット、および TOE0.TOE[n] ビットの設定値も変更不可。		TI0n 端子起動エッジが検出されると、カウンタ (TCR0n) は 0x0000 を初期値にアップカウンタを行う。TI0n 端子のキャプチャエッジを検出するとカウンタ値はタイマデータレジスタ 0n (TDR0n) に転送され、TAU0_TMI0n が生成される。 この時、オーバーフローが発生すると、タイマステータスレジスタ 0n (TSR0n) の OVF ビットが 1 になる。オーバーフローが発生しないと OVF ビットがクリアされる。TCR0n レジスタは、次の TI0n 端子起動エッジを検出するまでカウンタ動作を停止する。
動作停止	<7>	TT0.TT[n] ビットが 1 になる。 TT0.TT[n] ビットはトリガビットなので自動的に 0 に戻る。 動作を再開する場合は、ステップ<4>へ進む。 動作を終了する場合は、ステップ<8>へ進む	→	TE0.TE[n] が 0 になりカウンタ動作が停止する。 TCR0n レジスタはカウンタ値を保持して停止する。 TSR0n レジスタの OVF ビットも保持される。
TAU 停止	<8>	モジュールストップコントロールレジスタ D (MSTPCRD) の MSTPD0 ビットを 1 に設定する。	→	これによりタイマアレイユニット 0 への入力クロックの供給が停止する。 パワーオフ状態。

注. n = 0~7

16.7.6 遅延カウンタとしての動作

TI0n 端子入力の有効エッジの検出 (外部イベント) を契機にダウンカウンタを開始したのち、任意のインターバルで TAU0_TMI0n (タイマ割り込み) を生成することができます。

TE0.TE[n] が 1 のときにソフトウェアで TS0.TS[n] を 1 にすることによってダウンカウンタを開始し、任意のインターバルで TAU0_TMI0n (タイマ割り込み) を生成することもできます。

割り込み生成周期は以下の式より求めることができます。

$$\text{TAU0\_TMI0n (タイマ割り込み) の生成周期} = \text{カウンタ用クロックの周期} \times (\text{TDR0n の設定値} + 1)$$

ワンカウントモードでは、タイマカウンタレジスタ 0n (TCR0n) はダウンカウンタとして動作します。

タイマチャネル起動レジスタ 0 (TS0) のチャネル起動トリガビット (TS[n], TSH1, TSH3) を 1 にすると、TE0.TE[n], TEH1, TEH3 の各ビットが 1 になり、TI0n 端子入力有効エッジ検出待ち状態になります。

タイマカウンタレジスタ 0n (TCR0n) は、TI0n 端子入力有効エッジの検出を契機に動作を開始し、タイマデータレジスタ 0n (TDR0n) から値がロードされます。TCR0n レジスタは、TDR0n レジスタからロードされた値を初期値として、カウンタ用クロックに同期してダウンカウンタを行います。TCR0n の値が 0x0000 に達すると、TAU0_TMI0n を出力し、次の TI0n 端子入力有効エッジが検出されるまでカウンタを停止します。

TDR0n レジスタはいつでも書き換えることができます。TDR0n レジスタの書き換え後の値は次の周期で有効になります。

遅延カウンタ機能に指定されたチャンネルでは、TI0n 端子入力を使用する代わりに、機能の開始トリガとして、TIS0 レジスタで選択したタイマ入力、またはソフトウェア動作 (TS0.TS[n] = 1) を使用することもできます。

図 16.47 に、遅延カウンタとして動作する場合のブロック図を示します。

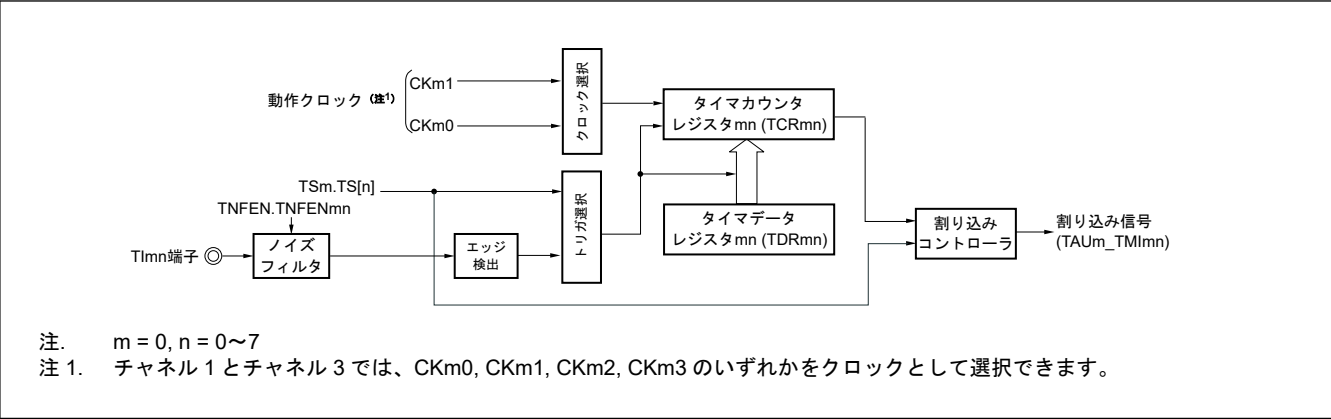


図 16.47 遅延カウンタとして動作する場合のブロック図

図 16.48 に、遅延カウンタとして動作する場合の基本タイミング例を示します。

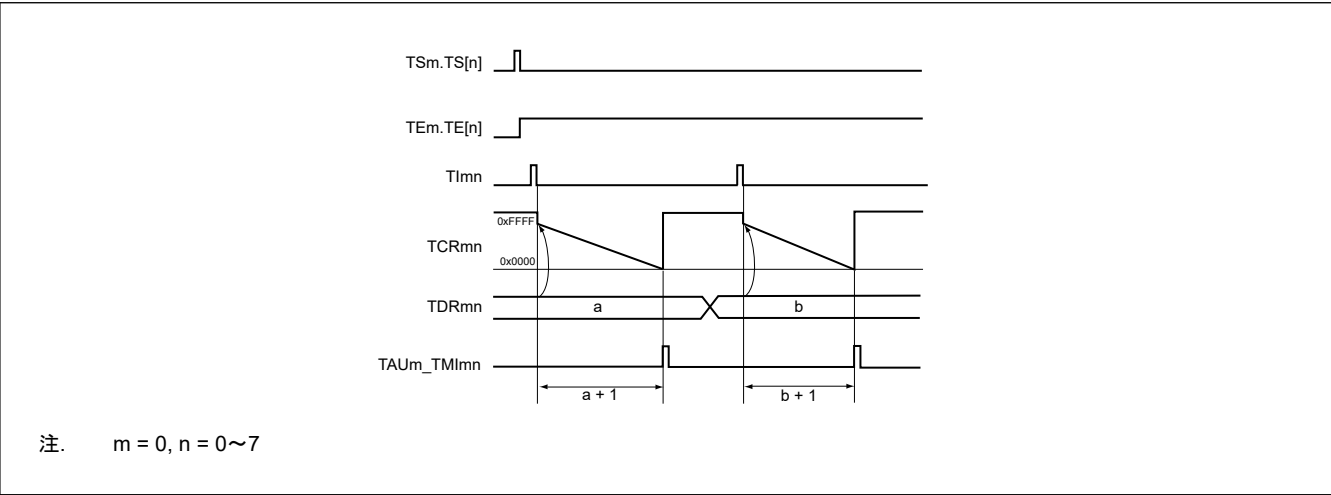


図 16.48 遅延カウンタとして動作する場合の基本タイミング例

表 16.43～表 16.48 に、遅延カウンタとして動作する場合のレジスタ設定と手順を示します。

表 16.43 遅延カウンタとして動作する場合の TMR0n レジスタ設定例 (1/2)

ビット	シンボル	設定値	機能
0	OPIRQ	1/0	動作中の開始トリガ 0: トリガ入力は無効 1: トリガ入力是有効
3:1	MD[2:0]	100b	チャンネル n の動作モード 1 0 0: ワンカウントモード
5:4	—	00b	0 に固定
7:6	CIS[1:0]	00b ～ 10b	TIO _n 端子入力のエッジ選択 0 0: 立ち下がりエッジを検出する 0 1: 立ち上がりエッジを検出する 1 0: 両エッジを検出する その他: 設定禁止
10:8	STS[2:0]	001b	開始トリガの選択 0 0 1: TIO _n 端子入力の有効エッジを選択する。

表 16.43 遅延カウンタとして動作する場合の TMR0n レジスタ設定例 (2/2)

ビット	シンボル	設定値	機能
11	— (n = 0, 5, 7)	0	0 に固定 (チャンネル 0/5/7)
	SPLIT (n = 1, 3)	1/0	SPLIT ビットの設定 (チャンネル 1/3) 0: 16 ビットタイマモード 1: 8 ビットタイマモード
	マスタ (n = 2, 4, 6)	0	マスタビットの設定 (チャンネル 2/4/6) 0: 単独チャンネル動作機能。
12	CCS	0	カウント用クロックの選択 0: 動作クロック (f_{MCK}) を選択する。
13	—	0	0 に固定。
15:14	CKS[1:0]	00b ~ 11b	動作クロック (f_{MCK}) の選択 0 0: チャンネル n の動作クロックとして CK00 を選択する 0 1: 動作クロックとして CK02 を選択する (チャンネル 1 と 3 にのみ選択可能) 1 0: チャンネル n の動作クロックとして CK01 を選択する 1 1: 動作クロックとして CK03 を選択する (チャンネル 1 と 3 にのみ選択可能)

表 16.44 遅延カウンタとして動作する場合の TO0 レジスタ設定例

ビット	シンボル	設定値	機能
n	TO[n]	0	チャンネル n のタイマ出力 0: TO0n から 0 を出力する

表 16.45 遅延カウンタとして動作する場合の TOE0 レジスタ設定例

ビット	シンボル	設定値	機能
n	TOE[n]	0	チャンネル n のタイマ出力の許可/禁止 0: カウンタとしての TO0n 出力動作を停止する。

表 16.46 遅延カウンタとして動作する場合の TOL0 レジスタ設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャンネル 0)
	TOL[n] (n = 1~7)		チャンネル n (チャンネル 1~7) のタイマ出力の制御 0: TOM0.TOM[n] が 0 (マスタチャンネル出力モード) のときにこのビットを 0 に設定する

表 16.47 遅延カウンタとして動作する場合の TOM0 レジスタ設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャンネル 0)
	TOM[n] (n = 1~7)		チャンネル n (チャンネル 1~7) のタイマ出力モードの制御 0: マスタチャンネル出力モードを設定する。

表 16.48 遅延カウンタ機能を使用する場合の動作手順 (1/2)

	手順	ソフトウェアの動作	ハードウェアの状態
TAU の初期設定		—	パワーオフ状態 (クロック供給停止、各レジスタへの書き込みを禁止)
	<1>	モジュールストップコントロールレジスタ D (MSTPCRD) の MSTPD0 ビットを 0 に設定する。	→ パワーオン状態。各チャンネルは動作を停止する。 (クロック供給開始、各レジスタへの書き込みを許可)
	<2>	タイマクロック選択レジスタ 0 (TPS0) を設定する。 CK00~CK03 のクロック周波数を決定する。	—

表 16.48 遅延カウンタ機能を使用する場合の動作手順 (2/2)

	手順	ソフトウェアの動作		ハードウェアの状態
チャンネルの初期設定	<3>	TAU ノイズフィルタ許可レジスタ (TNFEN) の対応するビットを 0 (OFF) または 1 (ON) にする。タイマモードレジスタ 0n (TMR0n) を設定する (チャンネルの動作モードを決定する)。 TAU0_TMI0n の出力遅延がタイマデータレジスタ 0n (TDR0n) に設定される。 TOE0.TOE[n] ビットを 0 にし、TO0n の動作を禁止する。		チャンネルは動作を停止する。 (クロックは供給されるため電力は多少消費される。)
動作開始	<4>	TS0.TS[n] ビットを 1 にする。 TS0.TS[n] ビットはトリガビットなので自動的に 0 に戻る。	→	TE0.TE[n] が 1 になり、開始トリガ検出 (TI0n 端子入力の有効エッジが検出されるか、TS0.TS[n] ビットが 1 になる) の待ち状態となる。
	<5>	次の開始トリガ検出を契機にカウンタはダウンカウントを開始する。 - TI0n 端子入力の有効エッジを検出する。 - ソフトウェアが TS0.TS[n] ビットを 1 にする。	→	TDR0n レジスタの値がタイマカウンタレジスタ 0n (TCR0n) にロードされる。
動作中	<6>	TDR0n レジスタの設定値の変更が可能。TCR0n レジスタは常に読み出し可能。 TSR0n レジスタは使用しない。		カウンタ (TCR0n) がダウンカウントを行う。TCR0n のカウント値が 0x0000 に達すると、TAU0_TMI0n が生成され、次の開始トリガ検出 (TI0n 端子入力の有効エッジが検出されるか、TS0.TS[n] ビットが 1 になる) までカウント動作が停止する。
動作停止	<7>	TT0.TT[n] ビットが 1 になる。 TT0.TT[n] ビットはトリガビットなので自動的に 0 に戻る。 動作を再開する場合は、ステップ<4>へ進む。 動作を終了する場合は、ステップ<8>へ進む	→	TE0.TE[n] が 0 になりカウント動作が停止する。 TCR0n レジスタはカウント値を保持して停止する。
TAU 停止	<8>	モジュールストップコントロールレジスタ D (MSTPCRD) の MSTPD0 ビットを 1 に設定する。	→	これによりタイマアレイユニット 0 への入力クロックの供給が停止する。 パワーオフ状態。

注. n = 0~7

16.8 タイマアレイユニットの複数チャンネル動作機能

16.8.1 ワンショットパルス出力機能の動作

2 つのチャンネルを使用し、TI0n 端子への信号入力から任意の遅延パルス幅を持つワンショットパルスを生成できます。

遅延時間とパルス幅は以下の式より求めることができます。

遅延時間 = {TDR0n の設定値 (マスタ) + 2} × カウントクロックの周期

パルス幅 = {TDR0p の設定値 (スレーブ)} × カウントクロックの周期

マスタチャンネルはワンカウントモードで動作し遅延回数をカウントします。マスタチャンネルのタイマカウンタレジスタ 0n (TCR0n) は開始トリガの検出を契機に動作を開始し、タイマデータレジスタ 0n (TDR0n) の値をロードします。

TCR0n レジスタは、TDR0n レジスタからロードされた値を初期値として、カウントクロックに同期してダウンカウントを行います。TCR0n が 0x0000 に達すると TAU0_TMI0n を出力し、次の開始トリガを検出するまでカウントを停止します。

スレーブチャンネルはワンカウントモードで動作しパルス幅をカウントします。スレーブチャンネルの TCR0p レジスタは、マスタチャンネルの TAU0_TMI0n を開始トリガとして動作を開始します。この時、TDR0p レジスタの値がロードされます。TCR0p レジスタは、TDR0p レジスタからロードされた値を初期値として、カウント値に同期してダウンカウントを行います。カウント値が 0x0000 に達すると、TAU0_TMI0p を出力し、次の開始トリガ (マスタチャンネルの TAU0_TMI0n) を検出するまでカウントを停止します。マスタチャンネルから TAU0_TMI0n が発生してからカウントクロックの 1 サイクルが経過した後、TO0p の出力レベルはアクティブになり、TCR0p の値が 0x0000 に達すると非アクティブになります。

TI0n 端子入力を使用する代わりにソフトウェア動作 (TS0.TS[n] = 1) を開始トリガにしてワンショットパルスを出力することもできます。

注. マスタチャネルのタイマデータレジスタ $0n$ (TDR $0n$) が値をロードするタイミングは、スレーブチャネルの TDR $0p$ レジスタがそれを行うタイミングとは異なります。TDR $0n$ レジスタと TDR $0p$ レジスタが動作中に書き換えられると、不正な波形が出力されます。TDR $0n$ レジスタは TAU 0_TMI0n 発生後に書き換え、TDR $0p$ レジスタは TAU 0_TMI0p 発生後に書き換えるようにしてください。

注. $n = 0, 2, 4, 6$ (マスタチャネル番号)

$n < p \leq 7$ (スレーブチャネル番号)

図 16.49 に、ワンショットパルス出力機能として動作する場合のブロック図を示します。

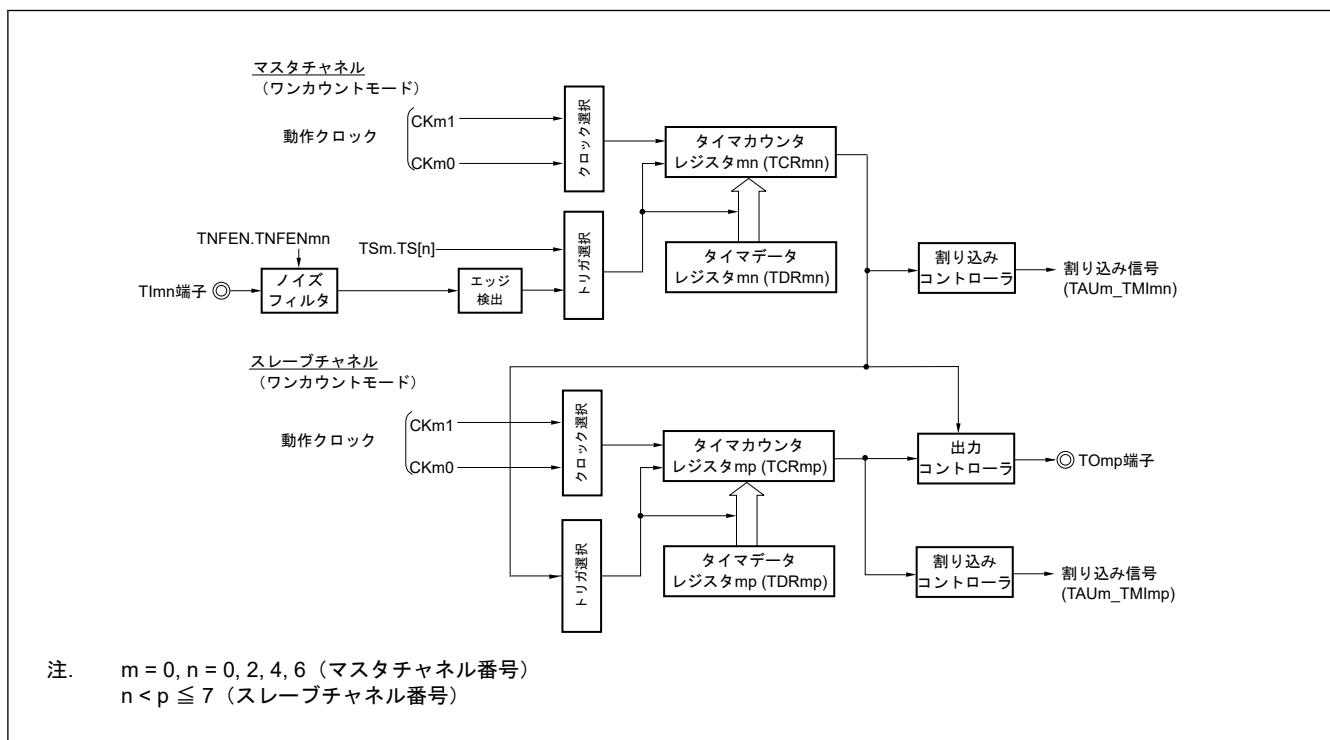


図 16.49 ワンショットパルス出力機能として動作する場合のブロック図

図 16.50 に、ワンショットパルス出力機能として動作する場合の基本タイミング例を示します。

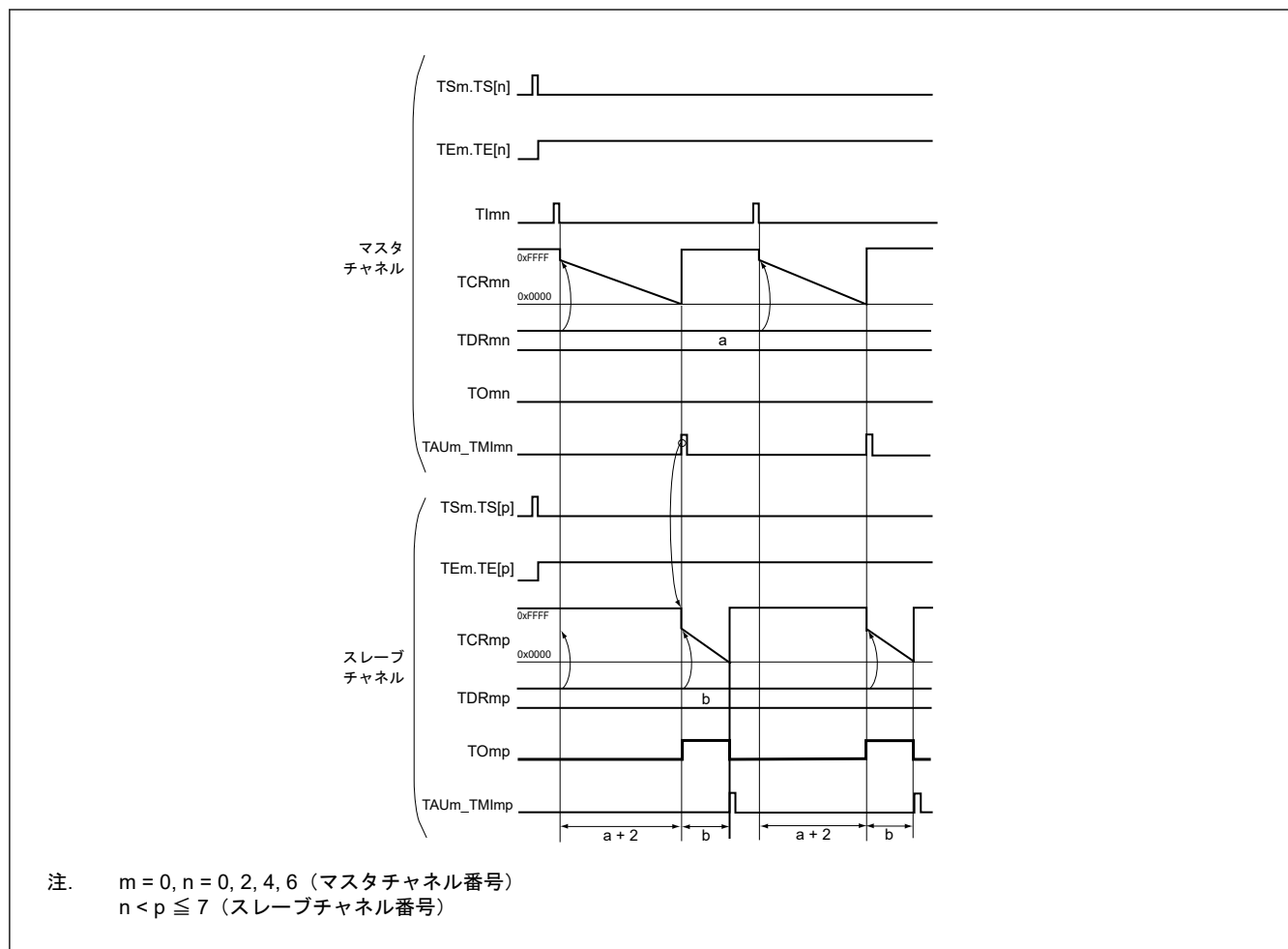


図 16.50 ワンショットパルス出力機能として動作する場合の基本タイミング例

表 16.49～表 16.53 に、ワンショットパルス出力機能を使用する場合のマスタチャンネルのレジスタ設定を示します。

表 16.49 ワンショットパルス出力機能を使用する場合のマスタチャンネルの TMR0n レジスタ設定例 (1/2)

ビット	シンボル	設定値	機能
0	OPIRQ	0	動作中の開始トリガ 0: トリガ入力は無効
3:1	MD[2:0]	100b	チャンネル n の動作モード 1 0 0: ワンカウントモード
5:4	—	00b	0 に固定
7:6	CIS[1:0]	00b ～ 10b	TI0n 端子入力のエッジ選択 0 0: 立ち下がリエッジを検出する 0 1: 立ち上がりエッジを検出する 1 0: 両エッジを検出する その他: 設定禁止
10:8	STS[2:0]	001b	開始トリガの選択 0 0 1: TI0n 端子入力の有効エッジを選択する
11	— (n = 0)	0	0 に固定 (チャンネル 0)
	MASTER (n = 2, 4, 6)	1	MASTER ビットの設定 (チャンネル 2/4/6) 1: マスタチャンネル

表 16.49 ワンショットパルス出力機能を使用する場合のマスタチャンネルの TMR0n レジスタ設定例 (2/2)

ビット	シンボル	設定値	機能
12	CCS	0	カウントクロックの選択 0: 動作クロック (f_{MCK}) を選択する
13	—	0	0 に固定
15:14	CKS[1:0]	00b または 10b	動作クロック (f_{MCK}) の選択 00: チャンネル n の動作クロックとして CK00 を選択する 10: チャンネル n の動作クロックとして CK01 を選択する

表 16.50 ワンショットパルス出力機能を使用する場合のマスタチャンネルの TO0 レジスタ設定例

ビット	シンボル	設定値	機能
n	TO[n]	0	チャンネル n のタイマ出力 0: TO0n から 0 を出力する

表 16.51 ワンショットパルス出力機能を使用する場合のマスタチャンネルの TOE0 レジスタ設定例

ビット	シンボル	設定値	機能
n	TOE[n]	0	チャンネル n のタイマ出力の許可／禁止 0: カウンタとしての TO0n 出力動作を停止する

表 16.52 ワンショットパルス出力機能を使用する場合のマスタチャンネルの TOL0 レジスタ設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャンネル 0)
	TOL[n] (n = 2, 4, 6)		チャンネル n (チャンネル 2/4/6) のタイマ出力の制御 0: TOM0.TOM[n]が 0 (マスタチャンネル出力モード) のときにこのビットを 0 に設定する

表 16.53 ワンショットパルス出力機能を使用する場合のマスタチャンネルの TOM0 レジスタ設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャンネル 0)
	TOM[n] (n = 2, 4, 6)		チャンネル n (チャンネル 2/4/6) のタイマ出力モードの制御 0: マスタチャンネル出力モードを設定する

表 16.54～表 16.58 に、ワンショットパルス出力機能を使用する場合のスレーブチャンネルのレジスタ設定を示します。

表 16.54 ワンショットパルス出力機能を使用する場合のスレーブチャンネルの TMR0p レジスタ設定例 (1/2)

ビット	シンボル	設定値	機能
0	OPIRQ	0	動作中の開始トリガ 0: トリガ入力は無効
3:1	MD[2:0]	100b	チャンネル p の動作モード 100: ワンカウントモード
5:4	—	00b	0 に固定
7:6	CIS[1:0]	00b	TI0p 端子入力のエッジ選択 00: TI0p 入力端子は使用しないため 00b を設定する
10:8	STS[2:0]	100b	開始トリガの選択 100: マスタチャンネルの TAU0_TMI0n を選択する

表 16.54 ワンショットパルス出力機能を使用する場合のスレーブチャンネルの TMR0p レジスタ設定例 (2/2)

ビット	シンボル	設定値	機能
11	— (p = 5, 7)	0	0 に固定 (チャンネル 5/7)
	SPLIT (p = 1, 3)	0	SPLIT ビットの設定 (チャンネル 1/3) 0: 16 ビットタイマモード
	MASTER (p = 2, 4, 6)	0	MASTER ビットの設定 (チャンネル 2/4/6) 0: スレーブチャンネル動作機能
12	CCS	0	カウントクロックの選択 0: 動作クロック (f _{MCK}) を選択する
13	—	0	0 に固定
15:14	CKS[1:0]	00b または 10b	動作クロック (f _{MCK}) の選択 (マスタチャンネルと設定を合わせる) 00: チャンネルの動作クロックとして CK00 を選択する 10: チャンネル p の動作クロックとして CK01 を選択する

表 16.55 ワンショットパルス出力機能を使用する場合のスレーブチャンネルの TO0 レジスタ設定例

ビット	シンボル	設定値	機能
p	TO[p]	1/0	チャンネル p のタイマ出力 0: TO0p から 0 を出力する 1: TO0p から 1 を出力する

表 16.56 ワンショットパルス出力機能を使用する場合のスレーブチャンネルの TOE0 レジスタ設定例

ビット	シンボル	設定値	機能
p	TOE[p]	1/0	チャンネル p のタイマ出力の許可／禁止 0: カウンタとしての TO0p 出力動作を停止する 1: カウンタとしての TO0p 出力動作を許可する

表 16.57 ワンショットパルス出力機能を使用する場合のスレーブチャンネルの TOL0 レジスタ設定例

ビット	シンボル	設定値	機能
p	TOL[p]	1/0	チャンネル p のタイマ出力の制御 0: 正論理出力 (アクティブ High) 1: 負論理出力 (アクティブ Low)

表 16.58 ワンショットパルス出力機能を使用する場合のスレーブチャンネルの TOM0 レジスタ設定例

ビット	シンボル	設定値	機能
p	TOM[p]	1	チャンネル p (チャンネル 1~7) のタイマ出力モードの制御 1: スレーブチャンネル出力モードを設定する

表 16.59 に、ワンショットパルス出力機能を使用する場合の動作手順を示します。

表 16.59 ワンショットパルス出力機能を使用する場合の動作手順 (1/3)

	手順	ソフトウェアの動作	ハードウェアの状態
TAU の初期設定		—	パワーオフ状態 (クロックの供給が停止され、各レジスタへの書き込みが禁止されている)
	<1>	モジュールストップコントロールレジスタ D (MSTPCRD) の MSTPD0 ビットを 0 に設定する。	→ パワーオン状態。各チャンネルは動作を停止する。 (クロックの供給が開始され、各レジスタへの書き込みが許可される)
	<2>	タイマクロック選択レジスタ 0 (TPS0) を設定する。 CK00 と CK01 のクロック周波数を決定する。	—

表 16.59 ワンショットパルス出力機能を使用する場合の動作手順 (2/3)

	手順	ソフトウェアの動作	ハードウェアの状態
チャンネルの初期設定	<3>	TAU ノイズフィルタ許可レジスタ (TNFEN) の対応するビットを 1 にする。 使用する 2 チャンネルのタイマモードレジスタ 0n および 0p (TMR0n および TMR0p) を設定する (チャンネルの動作モードを決定する)。 出力遅延がマスタチャンネルのタイマデータレジスタ 0n (TDR0n) に設定され、パルス幅がスレーブチャンネルの TDR0p レジスタに設定される。	チャンネルは動作を停止する。 (クロックは供給されるため電力は多少消費される。)
	<4>	スレーブチャンネルを設定する。 タイマ出力モードレジスタ 0 (TOM0) の TOM[p] ビットを 1 にする (スレーブチャンネル出力モード)。 TOL0.TOL[p] ビットを設定する。 TO0.TO[p] ビットを 1 にし、TO0p 出力の初期レベルを決定する。 TOE0.TOE[p] ビットを 1 にし、TO0p の動作を許可する。 Prs 方向レジスタ (PDRr) を 1 に設定する。	TO0p 端子が Hi-Z 出力状態になる。 → Prs 方向レジスタ (PDRr) が出力モードの場合、TO0p の初期設定レベルが出力される。 → チャンネルは動作を停止するため TO0p は変化しない。 → TO0p 端子から TO0p 設定レベルが出力される。
動作開始	<5>	TOE0.TOE[p] ビット (スレーブ) を設定する (動作を再開する場合のみ)。 タイマチャンネル起動レジスタ 0 (TS0) の TS[n] ビット (マスタ) と TS[p] ビット (スレーブ) を同時に 1 にする。 TS0 レジスタの TS[n] ビットと TS[p] ビットはトリガビットなので自動的に 0 に戻る。	→ TE0 レジスタの TE[n] ビットと TE[p] ビットは 1 になり、マスタチャンネルは開始トリガが検出される (TI0n 端子入力の有効エッジが検出されるか、マスタチャンネルの TS0.TS[n] ビットが 1 になる) のを待つ。 カウンタは動作を停止する。
	<6>	マスタチャンネルの開始トリガが検出されるとマスタチャンネルのカウント動作が開始する。 - TI0n 端子入力の有効エッジを検出する。 - ソフトウェアでマスタチャンネルの TS0.TS[n] ビットを 1 にする。(注1)。	マスタチャンネルはカウントを開始する。
動作中	<7>	TMR0n レジスタの CIS[1:0] ビットの設定値だけが変更可能。 TMR0p レジスタ、TDR0n レジスタ、および TDR0p レジスタの設定値は変更不可。TOM0 レジスタの TOM[n] ビットと TOM[p] ビット、ならびに TOL0 レジスタの TOL[n] ビットと TOL[p] ビットも変更不可。 TCR0n レジスタと TCR0p レジスタは常に読み出し可能。TSR0n レジスタと TSR0p レジスタは使用しない。 スレーブチャンネルの TO0 レジスタと TOE0 レジスタの設定値の変更が可能。	開始トリガが検出される (TI0n 端子入力の有効エッジが検出されるか、マスタチャンネルの TS0.TS[n] ビットが 1 になる) と、マスタチャンネルは TDR0n レジスタの値をタイマカウンタレジスタ 0n (TCR0n) にロードし、カウンタはダウンカウントを開始する。 TCR0n のカウント値が 0x0000 に達すると TAU0_TMI0n 出力が発生し、次の開始トリガが検出されるまでカウンタは停止する。 マスタチャンネルでの TAU0_TMI0n の発生を契機に、スレーブチャンネルは TDR0p レジスタの値を TCR0p レジスタにロードし、カウンタはダウンカウントを開始する。マスタチャンネルから TAU0_TMI0n が発生してからカウントクロックの 1 サイクルが経過した後、TO0p の出力レベルがアクティブになる。TCR0p の値が 0x0000 に達すると非アクティブになりカウント動作が停止する。 その後、上記の動作を繰り返す。
動作停止	<8>	TT0 レジスタの TT[n] ビット (マスタ) と TT[p] ビット (スレーブ) を同時に 1 にする。 TT0 レジスタの TT[n] ビットと TT[p] ビットはトリガビットなので自動的に 0 に戻る。	→ TE0 レジスタの TE[n] と TE[p] が 0 になりカウント動作が停止する。 → TCR0n レジスタと TCR0p レジスタはカウント値を保持して停止する。 TO0p 出力は初期化されず現在の状態を維持する。
	<9>	スレーブチャンネルの TOE0.TOE[p] ビットは 0 にクリアされ、TO0.TO[p] ビットに値が設定される。 動作を再開する場合は、ステップ <5> へ進む。 動作を終了する場合は、ステップ <10> へ進む	→ TO0p 端子から TO0p 設定レベルが出力される。

表 16.59 ワンショットパルス出力機能を使用する場合の動作手順 (3/3)

	手順	ソフトウェアの動作		ハードウェアの状態
TAU 停止	<10>	TO0p 端子の出力レベルを保持するには保持する値が Prs 出力データレジスタ (PODRr) に設定された後、PSEL[2:0]ビットに 000b を設定する。TO0p 端子の出力レベルを保持する必要がある場合は設定不要。	→	ポート機能により TO0p 端子の出力レベルが保持される。
	<11>	モジュールストップコントロールレジスタ D (MSTPCRD) の MSTPD0 ビットを 1 に設定する。	→	これによりタイマアレイユニット 0 への入力クロックの供給が停止する。パワーオフ状態。

注 1. スレーブチャネルの TS0.TS[n] ビットを 1 にしないでください。

注. $n = 0, 2, 4, 6$ (マスタチャネル番号)

$n < p \leq 7$ (スレーブチャネル番号)

$r = 0 \sim 9$

$s = 00 \sim 15$

16.8.2 PWM 機能の動作

2 つのチャネルを使用して任意の周期とデューティ比を持つパルスを生成することができます。

出力パルスの周期とデューティ比は以下の式より求めることができます。

パルス周期 = {TDR0n の設定値 (マスタ) + 1} × カウントクロックの周期

デューティ比 [%] = {TDR0p の設定値 (スレーブ)} / {TDR0n の設定値 (マスタ) + 1} × 100

0%出力 : TDR0p の設定値 (スレーブ) = 0x0000

100%出力 : TDR0p の設定値 (スレーブ) $\geq$ {TDR0n の設定値 (マスタ) + 1}

注. 「TDR0p の設定値 (スレーブ) > (TDR0n の設定値 (マスタ) + 1)」の場合、デューティ比は 100%を超えますが、100%出力に集約されます。

マスタチャネルはインターバルタイマモードで動作します。タイマチャネル起動レジスタ 0 (TS0) のチャネル起動トリガビット (TS[n]) が 1 になると、割り込み (TAU0_TMI0n) が出力され、タイマデータレジスタ 0n (TDR0n) の設定値がタイマカウンタレジスタ 0n (TCR0n) にロードされ、カウンタはカウントクロックに同期してダウンカウントを行います。カウンタの値が 0x0000 に達すると TAU0_TMI0n が出力され、TDR0n レジスタの値が再び TCR0n レジスタにロードされ、カウンタはダウンカウントを行います。この動作は、タイマチャネル停止レジスタ 0 (TT0) のチャネル停止トリガビット (TT[n]) が 1 になるまで繰り返されます。

2 チャネルを使って 1 つの PWM 波形を出力している場合、マスタチャネルのダウンカウント値が 0x0000 に達するまでの期間が PWM 出力 (TO0p) の周期となります。

スレーブチャネルはワンカウントモードで動作します。マスタチャネルからの TAU0_TMI0n を開始トリガとして使用することで、TDR0p レジスタの値が TCR0p レジスタにロードされ、カウンタは 0x0000 に達するまでダウンカウントを行います。カウンタが 0x0000 に達すると、カウンタは TAU0_TMI0p を出力し、次の開始トリガ (マスタチャネルからの TAU0_TMI0n) が発生するまで待機します。

2 チャネルを使って 1 つの PWM 波形を出力している場合、スレーブチャネルのダウンカウント値が 0x0000 に達するまでの期間が PWM 出力 (TO0p) のデューティ比となります。

マスタチャネルで TAU0_TMI0n が発生してから 1 クロックサイクル以上が経過し、スレーブチャネルの TCR0p レジスタが 0x0000 になると、PWM 出力 (TO0p) のレベルがアクティブになります。

16 ピン製品では、チャネル 0 と 2 をそれぞれマスタチャネルとスレーブチャネルとして設定するとこの機能を使用できます。

注. マスタチャネルのタイマデータレジスタ 0n (TDR0n) とスレーブチャネルの TDR0p レジスタの両方を書き換える場合は、2 回の書き込みが必要です。TDR0n レジスタと TDR0p レジスタの値がそれぞれ TCR0n レジスタと TCR0p レジスタにロードされるタイミングは、マスタチャネルで TAU0_TMI0n が発生する時です。このため、マスタチャネルで TAU0_TMI0n が発生する前と後に分かれて書き換えが行われた場合、TO0p 端子からの出力は期待する波形になりません。したがって、マスタの TDR0n レジスタとスレーブの TDR0p レジスタの両方を書き換える場合は、マスタチャネルから TAU0_TMI0n が発生した直後に両方のレジスタを書き換えるようにしてください。

注. $n = 0, 2, 4, 6$ (マスタチャンネル番号)
 $n < p \leq 7$ (スレーブチャンネル番号)

図 16.51 に、PWM 機能として動作する場合のブロック図を示します。

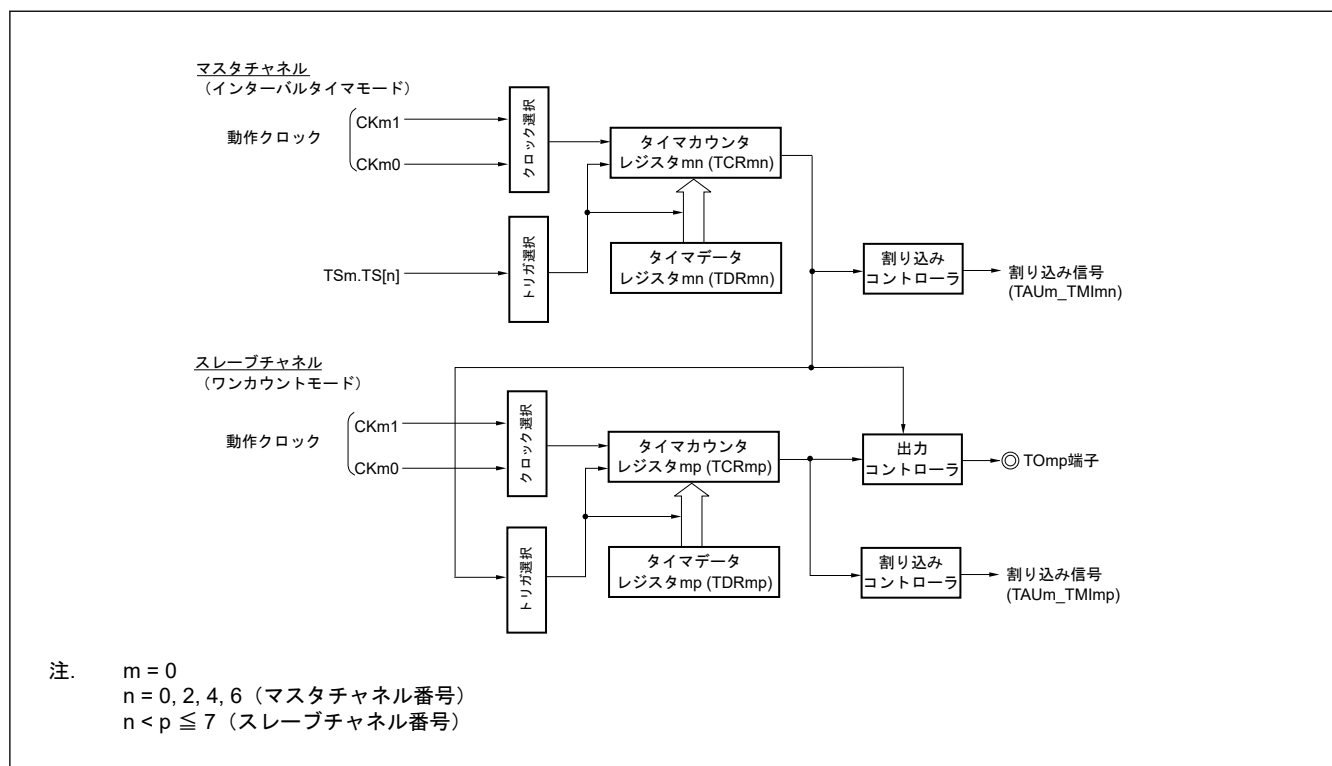


図 16.51 PWM 機能として動作する場合のブロック図

図 16.52 に、PWM 機能として動作する場合の基本タイミング例を示します。

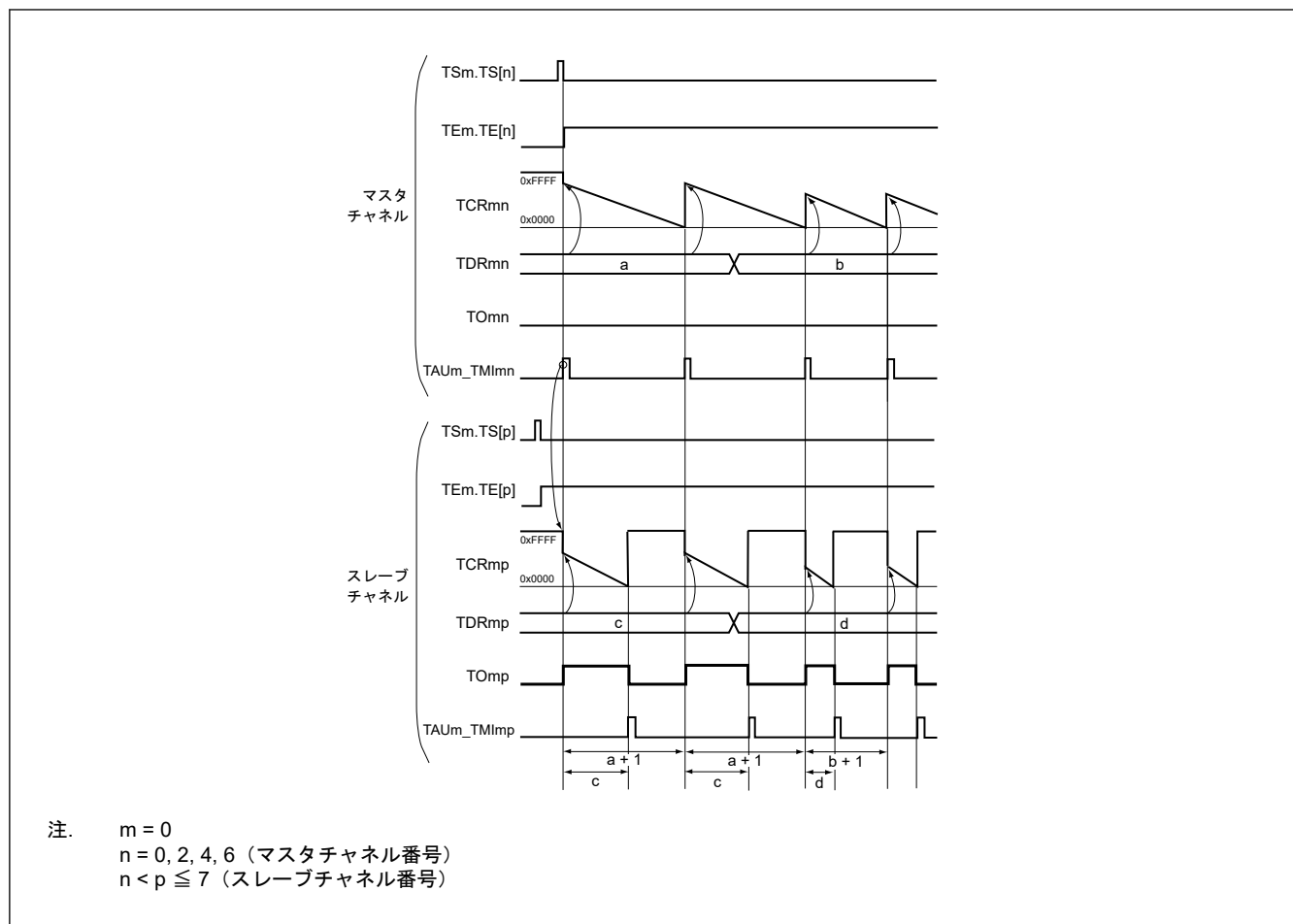


図 16.52 PWM 機能として動作する場合の基本タイミング例

表 16.60～表 16.64 に、PWM 機能を使用する場合のマスタチャンネルのレジスタ設定を示します。

表 16.60 PWM 機能を使用する場合のマスタチャンネルの TMR0n レジスタ設定例 (1/2)

ビット	シンボル	設定値	機能
0	OPIRQ	1	カウント開始時の動作設定 1: カウント開始時に TAU0_TMI0n を発生させる
3:1	MD[2:0]	000b	チャンネル n の動作モード 0 0 0: インターバルタイマ
5:4	—	00b	0 に固定
7:6	CIS[1:0]	00b	TI0n 端子入力のエッジ選択 0 0: TI0n 入力端子は使用しないため 00b を設定する
10:8	STS[2:0]	000b	開始トリガの選択 0 0 0: ソフトウェアの開始のみを選択する
11	— (n = 0)	0	0 に固定 (チャンネル 0)
	MASTER (n = 2, 4, 6)	1	MASTER ビットの設定 (チャンネル 2/4/6) 1: マスタチャンネル
12	CCS	0	カウントクロックの選択 0: 動作クロック (f_{MCK}) を選択する
13	—	0	0 に固定

表 16.60 PWM 機能を使用する場合のマスタチャネルの TMR0n レジスタ設定例 (2/2)

ビット	シンボル	設定値	機能
15:14	CKS[1:0]	00b または 10b	動作クロック (f_{MCK}) の選択 00: チャネル n の動作クロックとして CK00 を選択する 10: チャネル n の動作クロックとして CK01 を選択する

表 16.61 PWM 機能を使用する場合のマスタチャネルの TO0 レジスタ設定例

ビット	シンボル	設定値	機能
n	TO[n]	0	チャネル n のタイマ出力 0: TO0n から 0 を出力する

表 16.62 PWM 機能を使用する場合のマスタチャネルの TOE0 レジスタ設定例

ビット	シンボル	設定値	機能
n	TOE[n]	0	チャネル n のタイマ出力の許可／禁止 0: カウンタとしての TO0n 出力動作を停止する

表 16.63 PWM 機能を使用する場合のマスタチャネルの TOL0 レジスタ設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャネル 0)
	TOL[n] (n = 2, 4, 6)		チャネル n (チャネル 2/4/6) のタイマ出力の制御 0: TOM0.TOM[n]が 0 (マスタチャネル出力モード) のときにこのビットを 0 に設定する

表 16.64 PWM 機能を使用する場合のマスタチャネルの TOM0 レジスタ設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャネル 0)
	TOM[n] (n = 2, 4, 6)		チャネル n (チャネル 2/4/6) のタイマ出力モードの制御 0: マスタチャネル出力モードを設定する

表 16.65～表 16.69 に、PWM 機能を使用する場合のスレーブチャネルのレジスタ設定を示します。

表 16.65 PWM 機能を使用する場合のスレーブチャネルの TMR0p レジスタ設定例 (1/2)

ビット	シンボル	設定値	機能
0	OPIRQ	1	動作中の開始トリガ 1: トリガ入力是有効
3:1	MD[2:0]	100b	チャネル p の動作モード 100: ワンカウントモード
5:4	—	00b	0 に固定
7:6	CIS[1:0]	00b	TImp 端子入力のエッジ選択 00: TI0p 入力端子は使用しないため 00b を設定する
10:8	STS[2:0]	100b	開始トリガの選択 100: マスタチャネルの TAU0_TMI0n を選択する
11	— (p = 5, 7)	0	0 に固定 (チャネル 5/7)
	SPLIT (p = 1, 3)	0	SPLIT ビットの設定 (チャネル 1/3) 0: 16 ビットタイマモード
	MASTER (p = 2, 4, 6)	0	MASTER ビットの設定 (チャネル 2/4/6) 0: スレーブチャネル

表 16.65 PWM 機能を使用する場合のスレーブチャネルの TMR0p レジスタ設定例 (2/2)

ビット	シンボル	設定値	機能
12	CCS	0	カウントクロックの選択 0: 動作クロック (f_{MCK}) を選択する
13	—	0	0 に固定
15:14	CKS[1:0]	00b または 10b	動作クロック (f_{MCK}) の選択 (マスタチャネルと設定を合わせる) 00: チャネル p の動作クロックとして CK00 を選択する 10: チャネル p の動作クロックとして CK01 を選択する

表 16.66 PWM 機能を使用する場合のスレーブチャネルの TO0 レジスタ設定例

ビット	シンボル	設定値	機能
p	TO[p]	1/0	チャネル p のタイマ出力 0: TO0p から 0 を出力する 1: TO0p から 1 を出力する

表 16.67 PWM 機能を使用する場合のスレーブチャネルの TOE0 レジスタ設定例

ビット	シンボル	設定値	機能
p	TOE[p]	1/0	チャネル p のタイマ出力の許可／禁止 0: カウンタとしての TO0p 出力動作を停止する 1: カウンタとしての TO0p 出力動作を許可する

表 16.68 PWM 機能を使用する場合のスレーブチャネルの TOL0 レジスタ設定例

ビット	シンボル	設定値	機能
p	TOL[p]	1/0	チャネル p のタイマ出力の制御 0: 正論理出力 (アクティブ High) 1: 負論理出力 (アクティブ Low)

表 16.69 PWM 機能を使用する場合のスレーブチャネルの TOM0 レジスタ設定例

ビット	シンボル	設定値	機能
p	TOM[p]	1	チャネル p (チャネル 1～7) のタイマ出力モードの制御 1: スレーブチャネル出力モードを設定する

表 16.70 に、PWM 機能を使用する場合の動作手順を示します。

表 16.70 PWM 機能を使用する場合の動作手順 (1/2)

	ステップ	ソフトウェアの動作	ハードウェアの状態
TAU の初期設定	—	—	パワーオフ状態 (クロックの供給が停止され、各レジスタへの書き込みが禁止されている)
	<1>	モジュールストップコントロールレジスタ D (MSTPCRD) の MSTPD0 ビットを 0 に設定する。	→ パワーオン状態。各チャネルは動作を停止する。 (クロックの供給が開始され、各レジスタへの書き込みが許可される)
	<2>	タイマクロック選択レジスタ 0 (TPS0) を設定する。 CK00 と CK01 のクロック周波数を決定する。	
			—

表 16.70 PWM 機能を使用する場合の動作手順 (2/2)

	ステップ	ソフトウェアの動作	ハードウェアの状態
チャンネルの初期設定	<3>	使用する 2 チャンネルのタイマモードレジスタ 0n および 0p (TMR0n および TMR0p) を設定する (チャンネルの動作モードを決定する)。 インターバル (周期) の値がマスタチャンネルのタイマデータレジスタ 0n (TDR0n) に設定され、デューティ比がスレーブチャンネルの TDR0p レジスタに設定される。	チャンネルは動作を停止する。 (クロックは供給されるため電力は多少消費される。)
	<4>	スレーブチャンネルを設定する。 タイマ出力モードレジスタ 0 (TOM0) の TOM[p] ビットを 1 にする (スレーブチャンネル出力モード)。 TOL0.TOL[p] ビットを設定する。 TO0.TO[p] ビットを 1 にし、TO0p 出力の初期レベルを決定する。 TOE0.TOE[p] ビットを 1 にし、TO0p の動作を許可する。 Prs 方向レジスタ (PDRr) を 1 に設定する。	TO0p 端子が Hi-Z 出力状態になる。 → Prs 方向レジスタ (PDRr) が出力モードの場合、TO0p の初期設定レベルが出力される。 → チャンネルは動作を停止するため TO0p は変化しない。 → TO0p 端子から TO0p 設定レベルが出力される。
動作開始	<5>	TOE0.TOE[p] ビット (スレーブ) を設定する (動作を再開する場合のみ)。 タイマチャンネル起動レジスタ 0 (TS0) の TS[n] ビット (マスタ) と TS[p] ビット (スレーブ) を同時に 1 にする。 TS0 レジスタの TS[n] ビットと TS[p] ビットはトリガビットなので自動的に 0 に戻る。	→ TE0.TE[n] = 1, TE0.TE[p] = 1 マスタチャンネルがカウントを開始する時に TAU0_TMI0n が発生する。この割り込みがトリガとなってスレーブチャンネルもカウントを開始する。
動作中	<6>	TMR0n レジスタおよび TMR0p レジスタの設定値は変更不可。TOM0 レジスタの TOM[n] ビットと TOM[p] ビット、ならびに TOL0 レジスタの TOL[n] ビットと TOL[p] ビットも変更不可。 マスタチャンネルの TAU0_TMI0n 発生後に、TDR0n レジスタおよび TDR0p レジスタの設定値を変更可能。 TCR0n レジスタと TCR0p レジスタは常に読み出し可能。TSR0n レジスタと TSR0p レジスタは使用しない。	マスタチャンネルのカウントは TDR0n レジスタの値をタイマカウンタレジスタ 0n (TCR0n) にロードし、ダウンカウントを行う。TCR0n のカウント値が 0x0000 に達すると、TAU0_TMI0n 出力が発生する。同時に、TDR0n レジスタの値が TCR0n レジスタにロードされ、カウンタは再びダウンカウントを開始する。 スレーブチャンネルでは、マスタチャンネルでの TAU0_TMI0n の発生を契機に TDR0p レジスタの値が TCR0p レジスタにロードされ、カウンタがダウンカウントを開始する。マスタチャンネルから TAU0_TMI0n 出力が生成されてからカウント用クロックの 1 サイクルが経過した後、TO0p の出力レベルがアクティブになる。TCR0p の値が 0x0000 に達すると非アクティブになりカウント動作が停止する。その後、上記の動作を繰り返す。
動作停止	<7>	TT0 レジスタの TT[n] ビット (マスタ) と TT[p] ビット (スレーブ) を同時に 1 にする。 TT0 レジスタの TT[n] ビットと TT[p] ビットはトリガビットなので自動的に 0 に戻る。	→ TE0 レジスタの TE[n] と TE[p] が 0 になりカウント動作が停止する。 TCR0n レジスタと TCR0p レジスタはカウント値を保持して停止する。 TO0p 出力は初期化されず現在の状態を維持する。
	<8>	スレーブチャンネルの TOE0.TOE[p] ビットは 0 にクリアされ、TOM.TO[p] ビットに値が設定される。 動作を再開する場合は、ステップ <5> へ進む。 動作を終了する場合は、ステップ <9> へ進む。	→ TO0p 端子から TO0p 設定レベルが出力される。
TAU 停止	<9>	TO0p 端子の出力レベルを保持するには保持する値が Prs 出力データレジスタ (PODRr) に設定された後、PSEL[2:0] ビットに 000b を設定する。 TO0p 端子の出力レベルを保持する必要がない場合は設定不要。	→ ポート機能により TO0p 端子の出力レベルが保持される。
	<10>	モジュールストップコントロールレジスタ D (MSTPCRD) の MSTPD0 ビットを 1 に設定する。	→ これによりタイマアレイユニット 0 への入力クロックの供給が停止する。 パワーオフ状態。

注. n = 0, 2, 4, 6 (マスタチャンネル番号)
n < p ≤ 7 (スレーブチャンネル番号)
r = 0~9
s = 00~15

16.8.3 多重 PWM 出力機能の動作

PWM 機能を拡張し複数のスレーブチャネルを使用することによって、デューティ値の異なる多数の PWM 波形を出力することができます。

たとえば、スレーブチャネルを 2 つ使用する場合、出力パルスの周期とデューティ比は以下の式より求めることができます。

パルス周期 = {TDR0n の設定値 (マスタ) + 1} × カウントクロックの周期

デューティ比 1 [%] = {TDR0p の設定値 (スレーブ 1)} / {TDR0n の設定値 (マスタ) + 1} × 100

デューティ比 2 [%] = {TDR0q の設定値 (スレーブ 2)} / {TDR0n の設定値 (マスタ) + 1} × 100

注. 「TDR0p の設定値 (スレーブ 1) > {TDR0n の設定値 (マスタ) + 1}」の場合または「{TDR0q の設定値 (スレーブ 2)} > {TDR0n の設定値 (マスタ) + 1}」の場合、デューティ比は 100%を超えますが、100%出力に集約されます。

マスタチャネルのタイマカウンタレジスタ 0n (TCR0n) はインターバルタイマモードで動作して周期をカウントします。スレーブチャネル 1 の TCR0p レジスタはワンカウントモードで動作し、デューティ比をカウントし、TO0p 端子から PWM 波形を出力します。TCR0p レジスタは、マスタチャネルの TAU0_TMI0n を開始トリガとしてダウンカウントを開始します。この時、タイマデータレジスタ 0p (TDR0p) の値がロードされます。TCR0p の値が 0x0000 に達すると、TCR0p は TAU0_TMI0p を出力し、次の開始トリガ (マスタチャネルの TAU0_TMI0n) が入力されるまでカウントを停止します。マスタチャネルから TAU0_TMI0n が発生してからカウントクロックの 1 サイクルが経過した後、TO0p の出力レベルはアクティブになり、TCR0p の値が 0x0000 に達すると非アクティブになります。

スレーブチャネル 1 の TCR0p レジスタと同様に、スレーブチャネル 2 の TCR0q レジスタはワンカウントモードで動作し、デューティ比をカウントし、TO0q 端子から PWM 波形を出力します。TCR0q レジスタは、マスタチャネルの TAU0_TMI0n を開始トリガに使用して TDR0q レジスタの値をロードし、ダウンカウントを開始します。

TCR0q の値が 0x0000 に達すると、TCR0q レジスタは TAU0_TMI0q を出力し、次の開始トリガ (マスタチャネルの TAU0_TMI0n) が入力されるまでカウントを停止します。マスタチャネルから TAU0_TMI0n が発生してからカウントクロックの 1 サイクルが経過した後、TO0q の出力レベルはアクティブになり、TCR0q の値が 0x0000 に達すると非アクティブになります。

上記のようにチャネル 0 がマスタチャネルとして使用されている場合、最大 7 種類の PWM 信号を同時に出力することができます。

注. マスタチャネルのタイマデータレジスタ 0n (TDR0n) とスレーブチャネル 1 の TDR0p レジスタの両方を書き換える場合は書き込みアクセスが 2 回以上必要になります。TDR0n レジスタと TDR0p レジスタの値が TCR0n レジスタと TCR0p レジスタにロードされるのは、マスタチャネルから TAU0_TMI0n が発生した後です。このため、マスタチャネルからの TAU0_TMI0n の発生前と発生後に別々に書き換えが行われると、TO0p 端子から期待通りの波形を出力することができません。マスタの TDR0n レジスタとスレーブの TDR0p レジスタの両方を書き換える場合は、マスタチャネルから TAU0_TMI0n が発生した直後に書き換えるようにしてください (スレーブチャネル 2 の TDR0q レジスタを使用する場合も同様)。

注. n = 0, 2, 4 (マスタチャネル番号)

p, q : スレーブチャネル番号

n < p < q ≤ 7 (p と q は n より大きい整数)

図 16.53 に、多重 PWM 出力機能のブロック図 (2 種類の PWM 波形を出力する場合) を示します。

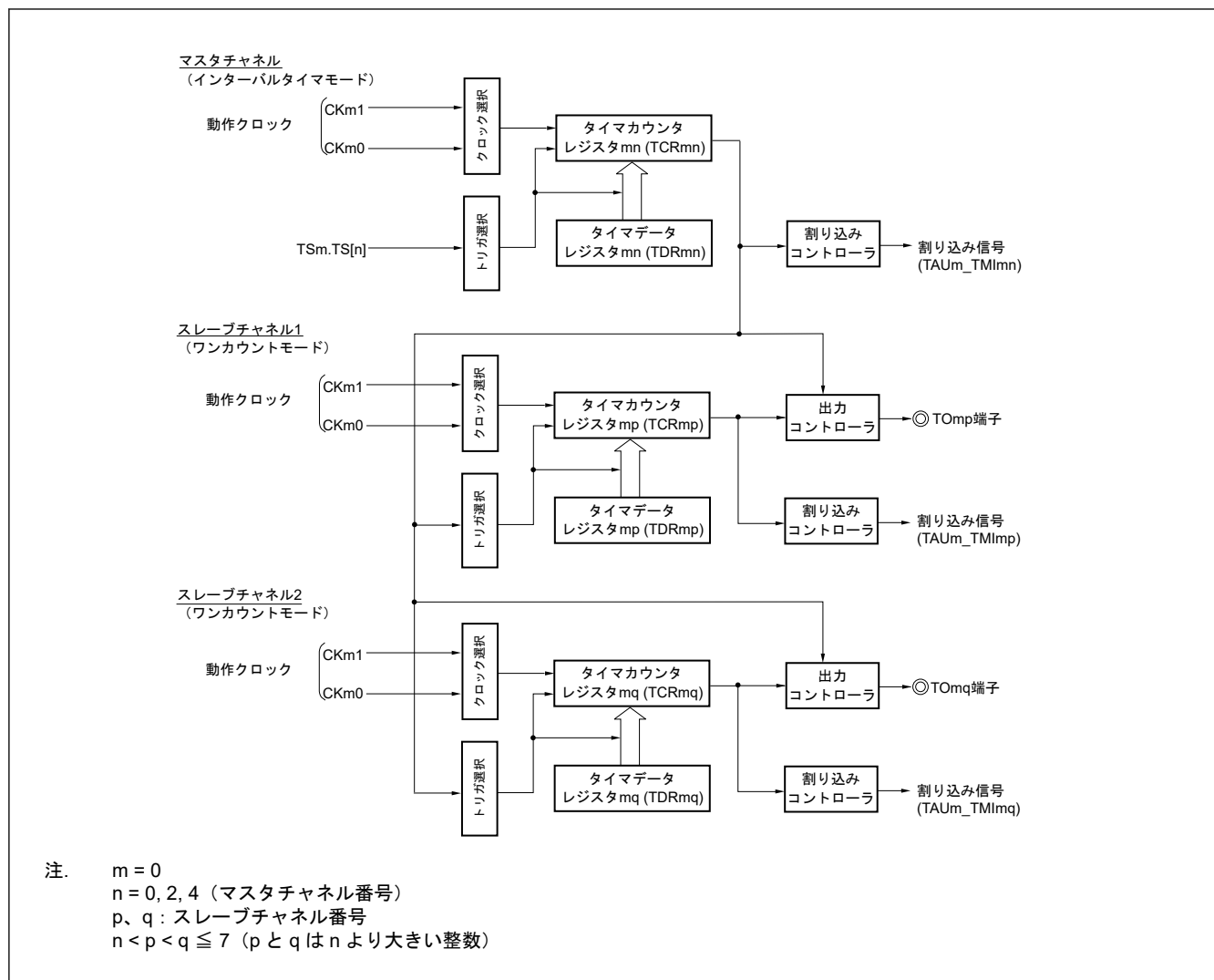
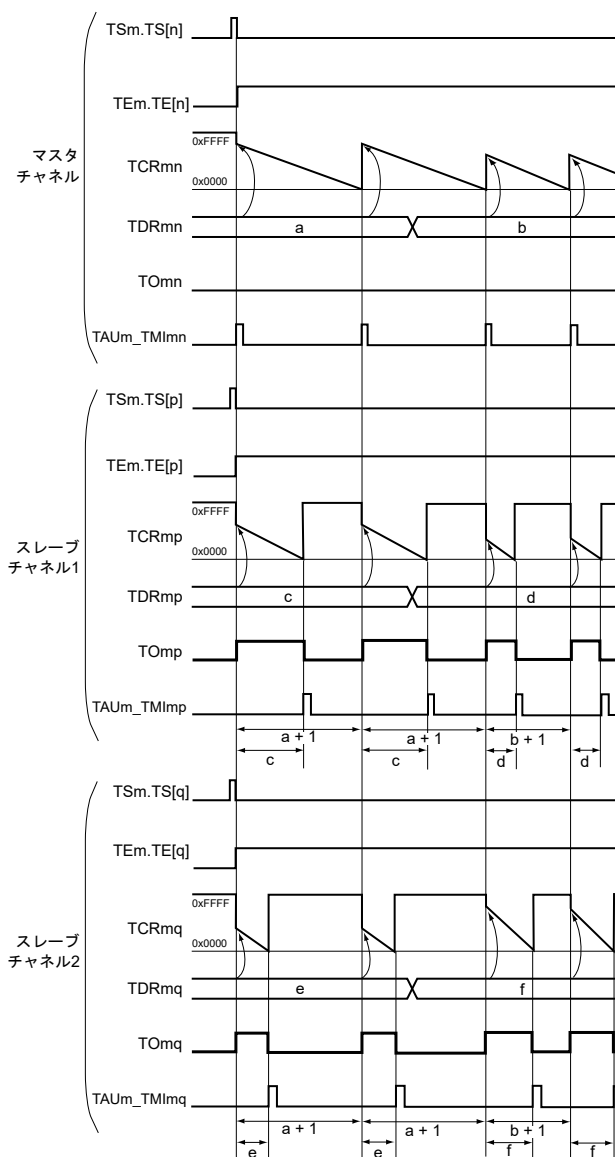


図 16.53 多重 PWM 出力機能のブロック図 (2 種類の PWM 波形を出力する場合)

図 16.54 に、多重 PWM 出力機能として動作する場合の基本タイミング例 (2 種類の PWM 波形を出力する場合) を示します。



- 注. $m = 0$
 $n = 0, 2, 4$ (マスタチャンネル番号)
 p, q : スレーブチャンネル番号
 $n < p < q \leq 7$ (p と q は n より大きい整数)
- 注. TSm.TS[n], TSmp, TSmq: タイマチャンネル起動レジスタ m (TSm) のビット n , p , および q
 TEmn, TEmq, TEmq: タイマチャンネル許可ステータスレジスタ m (TEm) のビット n , p , および q
 TCRmn, TCRmp, TCRmq: タイマカウンタレジスタ mn , mp , mq (TCRmn, TCRmp, TCRmq)
 TDRmn, TDRmp, TDRmq: タイマデータレジスタ mn , mp , mq (TDRmn, TDRmp, TDRmq)
 TOMn, TOMp, TOMq: TOMn, TOMp, および TOMq 出力端子の信号

図 16.54 多重 PWM 出力機能として動作する場合の基本タイミング例 (2 種類の PWM 波形を出力する場合)

表 16.71～表 16.75 に、多重 PWM 出力機能を使用する場合のマスタチャンネルのレジスタ設定を示します。

表 16.71 多重 PWM 出力機能を使用する場合のマスタチャンネルの TMR0n レジスタ設定例 (1/2)

ビット	シンボル	設定値	機能
0	OPIRQ	1	カウント開始時の動作設定 1: カウント開始時に TAU0_TMI0n を発生させる

表 16.71 多重 PWM 出力機能を使用する場合のマスタチャネルの TMR0n レジスタ設定例 (2/2)

ビット	シンボル	設定値	機能
3:1	MD[2:0]	000b	チャネル n の動作モード 0 0 0: インターバルタイマ
5:4	—	00b	0 に固定
7:6	CIS[1:0]	00b	TI0n 端子入力のエッジ選択 0 0: TI0n 入力端子は使用しないため 00b を設定する
10:8	STS[2:0]	000b	開始トリガの選択 0 0 0: ソフトウェアの開始のみを選択する
11	— (n = 0)	0	0 に固定 (チャネル 0)
	MASTER (n = 2, 4)	1	MASTER ビットの設定 (チャネル 2/4) 1: マスタチャネル
12	CCS	0	カウントクロックの選択 0: 動作クロック (f _{MCK}) を選択する
13	—	0	0 に固定
15:14	CKS[1:0]	00b または 10b	動作クロック (f _{MCK}) の選択 0 0: チャネル n の動作クロックとして CK00 を選択する 1 0: チャネル n の動作クロックとして CK01 を選択する

表 16.72 多重 PWM 出力機能を使用する場合のマスタチャネルの TO0 レジスタ設定例

ビット	シンボル	設定値	機能
n	TO[n]	0	チャネル n のタイマ出力 0: TO0n から 0 を出力する

表 16.73 多重 PWM 出力機能を使用する場合のマスタチャネルの TOE0 レジスタ設定例

ビット	シンボル	設定値	機能
n	TOE[n]	0	チャネル n のタイマ出力の許可／禁止 0: カウンタとしての TO0n 出力動作を停止する

表 16.74 多重 PWM 出力機能を使用する場合のマスタチャネルの TOL0 レジスタ設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャネル 0)
	TOL[n] (n = 2, 4)		チャネル n (チャネル 2/4) のタイマ出力の制御 0: TOM0.TOM[n]が 0 (マスタチャネル出力モード) のときにこのビットを 0 に設定する

表 16.75 多重 PWM 出力機能を使用する場合のマスタチャネルの TOM0 レジスタ設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャネル 0)
	TOM[n] (n = 2, 4)		チャネル n (チャネル 2/4) のタイマ出力モードの制御 0: マスタチャネル出力モードを設定する

表 16.76～表 16.81 に、多重 PWM 出力機能を使用する場合のスレーブチャネルのレジスタ設定 (2 種類の PWM 波形を出力する場合) を示します。

表 16.76 多重 PWM 出力機能を使用する場合のスレーブチャンネルの TMR0p レジスタ設定例 (2 種類の PWM 波形を出力する場合)

ビット	シンボル	設定値	機能
0	OPIRQ	1	動作中の開始トリガ 1: トリガ入力是有効
3:1	MD[2:0]	100b	チャンネル p の動作モード 1 0 0: ワンカウントモード
5:4	—	00b	0 に固定
7:6	CIS[1:0]	00b	TI0p 端子入力のエッジ選択 0 0: TI0p 入力端子は使用しないため 00b を設定する
10:8	STS[2:0]	100b	開始トリガの選択 1 0 0: マスタチャンネルの TAU0_TMI0n を選択する
11	— (p = 5)	0	0 に固定 (チャンネル 5)
	SPLIT (p = 1, 3)	0	SPLIT ビットの設定 (チャンネル 1/3) 0: 16 ビットタイマモード
	MASTER (p = 2, 4, 6)	0	MASTER ビットの設定 (チャンネル 2/4/6) 0: スレーブチャンネル
12	CCS	0	カウントクロックの選択 0: 動作クロック (f_{MCK}) を選択する
13	—	0	0 に固定
15:14	CKS[1:0]	00b または 10b	動作クロック (f_{MCK}) の選択 (マスタチャンネルと設定を合わせる) 0 0: チャンネル p の動作クロックとして CK00 を選択する 1 0: チャンネル p の動作クロックとして CK01 を選択する

表 16.77 多重 PWM 出力機能を使用する場合のスレーブチャンネルの TMR0q レジスタ設定例 (2 種類の PWM 波形を出力する場合) (1/2)

ビット	シンボル	設定値	機能
0	OPIRQ	1	動作中の開始トリガ 1: トリガ入力是有効
3:1	MD[2:0]	100b	チャンネル q の動作モード 1 0 0: ワンカウントモード
5:4	—	00b	0 に固定
7:6	CIS[1:0]	00b	TI0q 端子入力のエッジ選択 0 0: TI0q 入力端子は使用しないため 00b を設定する
10:8	STS[2:0]	100b	開始トリガの選択 1 0 0: マスタチャンネルの TAU0_TMI0n を選択する
11	— (q = 5, 7)	0	0 に固定 (チャンネル 5/7)
	SPLIT (q = 3)	0	SPLIT ビットの設定 (チャンネル 3) 0: 16 ビットタイマモード
	MASTER (q = 2, 4, 6)	0	MASTER ビットの設定 (チャンネル 2/4/6) 0: スレーブチャンネル
12	CCS	0	カウントクロックの選択 0: 動作クロック (f_{MCK}) を選択する
13	—	0	0 に固定

表 16.77 多重 PWM 出力機能を使用する場合のスレーブチャンネルの TMR0q レジスタ設定例 (2 種類の PWM 波形を出力する場合) (2/2)

ビット	シンボル	設定値	機能
15:14	CKS[1:0]	00b または 10b	動作クロック (f_{MCK}) の選択 (マスタチャンネルと設定を合わせる) 0 0: チャンネル q の動作クロックとして CK00 を選択する 1 0: チャンネル q の動作クロックとして CK01 を選択する

表 16.78 多重 PWM 出力機能を使用する場合のスレーブチャンネルの TO0 レジスタ設定例 (2 種類の PWM 波形を出力する場合)

ビット	シンボル	設定値	機能
p	TO[p]	1/0	チャンネル p のタイマ出力 0: TO0p から 0 を出力する 1: TO0p から 1 を出力する
q	TO[q]	1/0	チャンネル q のタイマ出力 0: TO0q から 0 を出力する 1: TO0q から 1 を出力する

表 16.79 多重 PWM 出力機能を使用する場合のスレーブチャンネルの TOE0 レジスタ設定例 (2 種類の PWM 波形を出力する場合)

ビット	シンボル	設定値	機能
p	TOE[p]	1/0	チャンネル p のタイマ出力の許可/禁止 0: カウンタとしての TO0p 出力動作を停止する 1: カウンタとしての TO0p 出力動作を許可する
q	TOE[q]	1/0	チャンネル q のタイマ出力の許可/禁止 0: カウンタとしての TO0q 出力動作を停止する 1: カウンタとしての TO0q 出力動作を許可する

表 16.80 多重 PWM 出力機能を使用する場合のスレーブチャンネルの TOL0 レジスタ設定例 (2 種類の PWM 波形を出力する場合)

ビット	シンボル	設定値	機能
p	TOL[p]	1/0	チャンネル p のタイマ出力の制御 0: 正論理出力 (アクティブ High) 1: 負論理出力 (アクティブ Low)
q	TOL[q]	1/0	チャンネル q のタイマ出力の制御 0: 正論理出力 (アクティブ High) 1: 負論理出力 (アクティブ Low)

表 16.81 多重 PWM 出力機能を使用する場合のスレーブチャンネルの TOM0 レジスタ設定例 (2 種類の PWM 波形を出力する場合)

ビット	シンボル	設定値	機能
p	TOM[p]	1	チャンネル p (チャンネル 1~6) のタイマ出力モードの制御 1: スレーブチャンネル出力モードを設定する
q	TOM[q]	1	チャンネル q (チャンネル 2~7) のタイマ出力モードの制御 1: スレーブチャンネル出力モードを設定する

表 16.82 に、PWM 機能を使用する場合の動作手順を示します。

表 16.82 多重 PWM 出力機能を使用する場合の動作手順 (2 種類の PWM 波形を出力する場合) (1/2)

	手順	ソフトウェアの動作	ハードウェアの状態
TAU の初期設定		—	パワーオフ状態 (クロックの供給が停止され、各レジスタへの書き込みが禁止されている)
	<1>	モジュールストップコントロールレジスタ D (MSTPCRD) の MSTPD0 ビットを 0 に設定する。	→ パワーオン状態。各チャネルは動作を停止する。 (クロックの供給が開始され、各レジスタへの書き込みが許可される)
	<2>	タイマクロック選択レジスタ 0 (TPS0) を設定する。 CK00 と CK01 のクロック周波数を決定する。	—
チャネルの初期設定	<3>	使用する各チャネルのタイマモードレジスタ 0n、0p、および 0q (TMR0n、TMR0p、および TMR0q) を設定する (チャネルの動作モードを決定する)。 インターバル (周期) の値がマスタチャネルのタイマデータレジスタ 0n (TDR0n) に設定され、デューティ比がスレーブチャネルの TDR0p レジスタと TDR0q レジスタに設定される。	チャネルは動作を停止する。 (クロックは供給されるため電力は多少消費される。)
	<4>	スレーブチャネルを設定する。 タイマ出力モードレジスタ 0 (TOM0) の TOM[p] ビットと TOM[q] ビットを 1 にする (スレーブチャネル出力モード)。 TOL0 レジスタの TOL[p] ビットと TOL[q] ビットを設定して TO0p 出力と TO0q 出力の初期レベルを決定する。 TOE0 レジスタの TOE[p] ビットと TOE[q] ビットを 1 にし、TO0p と TO0q の動作を許可する。 Prs 方向レジスタ (PDRr) を 1 に設定する。	TO0p 端子と TO0q 端子が Hi-Z 出力状態になる。 → Prs 方向レジスタ (PDRr) が出力モードの場合、TO0p と TO0q の初期設定レベルが出力される。 → チャネルは動作を停止するため TO0p と TO0q は変化しない。 → TO0p 端子と TO0q 端子から TO0p と TO0q で設定したレベルが出力される。
動作開始	<5>	(動作を再開する場合のみ TOE0 レジスタの TOE[p] ビットと TOE[q] ビット (スレーブ) を 1 にする。) タイマチャネル起動レジスタ 0 (TS0) の TS[n] ビット (マスタ) と TS[p] ビットおよび TS[q] ビット (スレーブ) を同時に 1 にする。 TS0 レジスタの TS[n] ビット、TS[p] ビット、および TS[q] ビットはトリガビットなので自動的に 0 に戻る。	→ TE0.TE[n] = 1、TE0.TE[p]、TE[q] = 1 マスタチャネルがカウントを開始する時に TAU0_TMI0n が発生する。この割り込みがトリガとなってスレーブチャネルもカウントを開始する。
動作中	<6>	TMR0n レジスタ、TMR0p レジスタ、および TMR0q レジスタの設定値は変更不可。TOM0 レジスタの TOM[n] ビット、TOM[p] ビット、および TOM[q] ビット、ならびに OLO レジスタの TOL[n] ビット、TOL[p] ビット、および TOL[q] ビットも変更不可。 マスタチャネルの TAU0_TMI0n 発生後に、TDR0n レジスタ、TDR0p レジスタ、および TDR0q レジスタの設定値を変更可能。 TCR0n レジスタ、TCR0p レジスタ、および TCR0q レジスタは常に読み出し可能。 TSR0n レジスタ、TSR0p レジスタ、および TSR0q レジスタは使用しない。	マスタチャネルのカウントは TDR0n レジスタの値をタイマカウンタレジスタ 0n (TCR0n) にロードし、ダウンカウントを行う。TCR0n のカウント値が 0x0000 に達すると、TAU0_TMI0n 出力が発生する。同時に、TDR0n レジスタの値が TCR0n レジスタにロードされ、カウンタは再びダウンカウントを開始する。 スレーブチャネル 1 では、マスタチャネルでの TAU0_TMI0n の発生がトリガとなって TDR0p レジスタの値が TCR0p レジスタへ転送され、カウンタがダウンカウントを開始する。マスタチャネルから TAU0_TMI0n 出力が発生してからカウントクロックの 1 サイクルが経過した後、TO0p の出力レベルがアクティブになる。TCR0p の値が 0x0000 に達すると非アクティブになりカウント動作が停止する。 スレーブチャネル 2 では、マスタチャネルでの TAU0_TMI0n の発生がトリガとなって TDR0q レジスタの値が TCR0q レジスタへ転送され、カウンタがダウンカウントを開始する。マスタチャネルから TAU0_TMI0n 出力が発生してからカウントクロックの 1 サイクルが経過した後、TO0q の出力レベルがアクティブになる。TCR0q の値が 0x0000 に達すると非アクティブになりカウント動作が停止する。 その後、上記の動作を繰り返す。

表 16.82 多重 PWM 出力機能を使用する場合の動作手順（2 種類の PWM 波形を出力する場合）(2/2)

	手順	ソフトウェアの動作		ハードウェアの状態
動作停止	<7>	TT0 レジスタの TT[n]ビット（マスタ）、および TT[p]ビットと TT[q]ビット（スレーブ）を同時に 1 にする。TT0 レジスタの TT[n]ビット、TT[p]ビット、および TT[q]ビットはトリガビットなので自動的に 0 に戻る。	→	TE0 レジスタの TE[n]、TE[p]、および TE[q]が 0 になりカウント動作が停止する。TCR0n レジスタ、TCR0p レジスタ、および TCR0q レジスタはカウント値を保持して停止する。TO0p 出力と TO0q 出力は初期化されず現在の状態を維持する。
	<8>	スレーブチャネルの TOE0 レジスタの TOE[p]ビットと TOE[q]ビットは 0 にクリアされ、TO0 レジスタの TO[p]ビットと TO[q]ビットに値が設定される。動作を再開する場合は、ステップ <5> へ進む。動作を終了する場合は、ステップ <9> へ進む。	→	TO0p 端子と TO0q 端子から TO0p と TO0q で設定したレベルが出力される。
TAU 停止	<9>	TO0p 端子と TO0q 端子の出力レベルを保持するには、保持する値が Prs 出力データレジスタ (PODRr) に設定された後、PSEL[2:0]ビットに 000b を設定する。TO0p 端子の出力レベルを保持する必要がある場合は設定不要。	→	ポート機能により TO0p 端子と TO0q 端子の出力レベルが保持される。
	<10>	モジュールストップコントロールレジスタ D (MSTPCRD) の MSTPD0 ビットを 1 に設定する。	→	これによりタイマアレイユニット 0 への入力クロックの供給が停止する。パワーオフ状態。

注. n = 0, 2, 4（マスタチャネル番号）
p、q：スレーブチャネル番号
 $n < p < q \leq 7$ （p と q は n より大きい整数）
r = 0~9
s = 00~15

16.9 使用上の注意事項

16.9.1 タイマ出力使用時の注意

端子はタイマ出力機能と代替機能に兼用されることがあります。割り当ては製品によって異なります。タイマ出力を使用したい場合は、他の全ての兼用端子機能からの出力を初期値に設定してください。

詳細は、「15. I/O ポート」を参照してください。

17. 32 ビットインターバルタイマ (TML32)

17.1 概要

32 ビットインターバルタイマは、8 ビットインターバルタイマ 4 つ（チャンネル 0～3）で構成されています。各 8 ビットインターバルタイマは独立して動作することができますが、異なる機能で動作することはできません。8 ビットインターバルタイマのチャンネル 2 つを接続して 16 ビットインターバルタイマ 1 つを構成することができます。8 ビットインターバルタイマのチャンネル 4 つを接続して 32 ビットインターバルタイマ 1 つを構成することができます。

32 ビットインターバルタイマは、CPU の動作とは非同期の HOCO、LOCO により動作します。表 17.1 に、32 ビットインターバルタイマの機能を示します。図 17.1～図 17.4 に各タイマ機能のイメージを示し、図 17.5 に 32 ビットインターバルタイマのブロック図を示します。

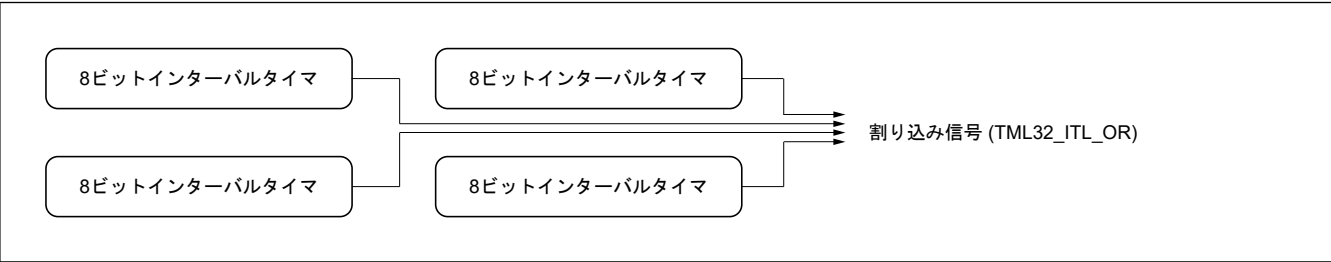


図 17.1 8 ビットインターバルタイマ×4 の機能イメージ

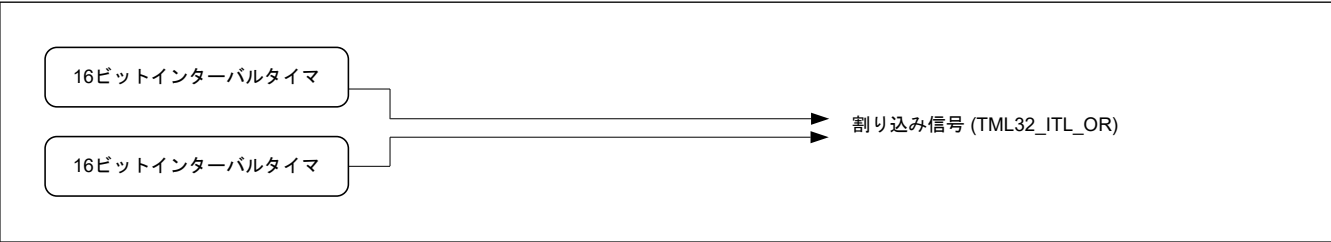


図 17.2 16 ビットインターバルタイマ×2 の機能イメージ

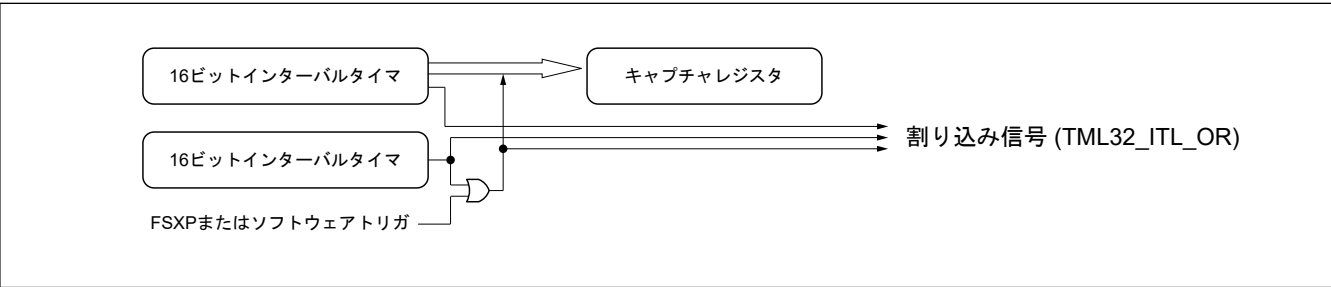


図 17.3 16 ビットインターバルタイマと 16 ビットキャプチャの機能イメージ

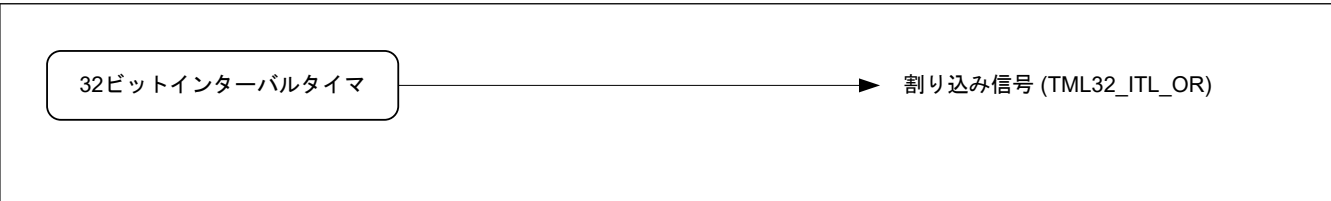


図 17.4 32 ビットインターバルタイマ×1 の機能イメージ

表 17.1 32 ビットインターバルタイマの動作仕様 (1/2)

項目	説明
カウントソース（動作クロック）	• HOCO • LOCO(注1)

表 17.1 32 ビットインターバルタイマの動作仕様 (2/2)

項目	説明
キャプチャクロック (キャプチャトリガを発生可能なタイムによる選択可能なカウントソース)	• HOCO • LOCO(注1)
分周比	• 1/1, 1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/128
動作モード	• 8 ビットカウンタモード チャンネル 0~3 はそれぞれ独立した 8 ビットカウンタとして動作。 • 16 ビットカウンタモード チャンネル 0~1 およびチャンネル 2~3 の組み合わせを 2 つの 16 ビットカウンタとしてカスケード接続可能。 • 32 ビットカウンタモード チャンネル 0~3 を接続して 1 つの 32 ビットカウンタとして動作。 • 16 ビットキャプチャモード チャンネル 0~1 を接続してカウントソース使用の 16 ビットカウンタとして動作。チャンネル 2~3 を接続してキャプチャクロック使用の 16 ビットカウンタとして動作。両カウンタを接続してキャプチャ動作に使用。
割り込み	• 5 つの割り込み要因を 1 つの割り込み信号に統合し、TML32_ITL_OR 信号として出力。 – チャンネル 0~3 のいずれかのカウンタ値が比較値と一致した時に出力。 – キャプチャモードでカウンタ値のキャプチャが完了した時に出力。

注 1. OSMC.WUTMMCK0 ビットを設定して、LOCO を FSXP として選択します。

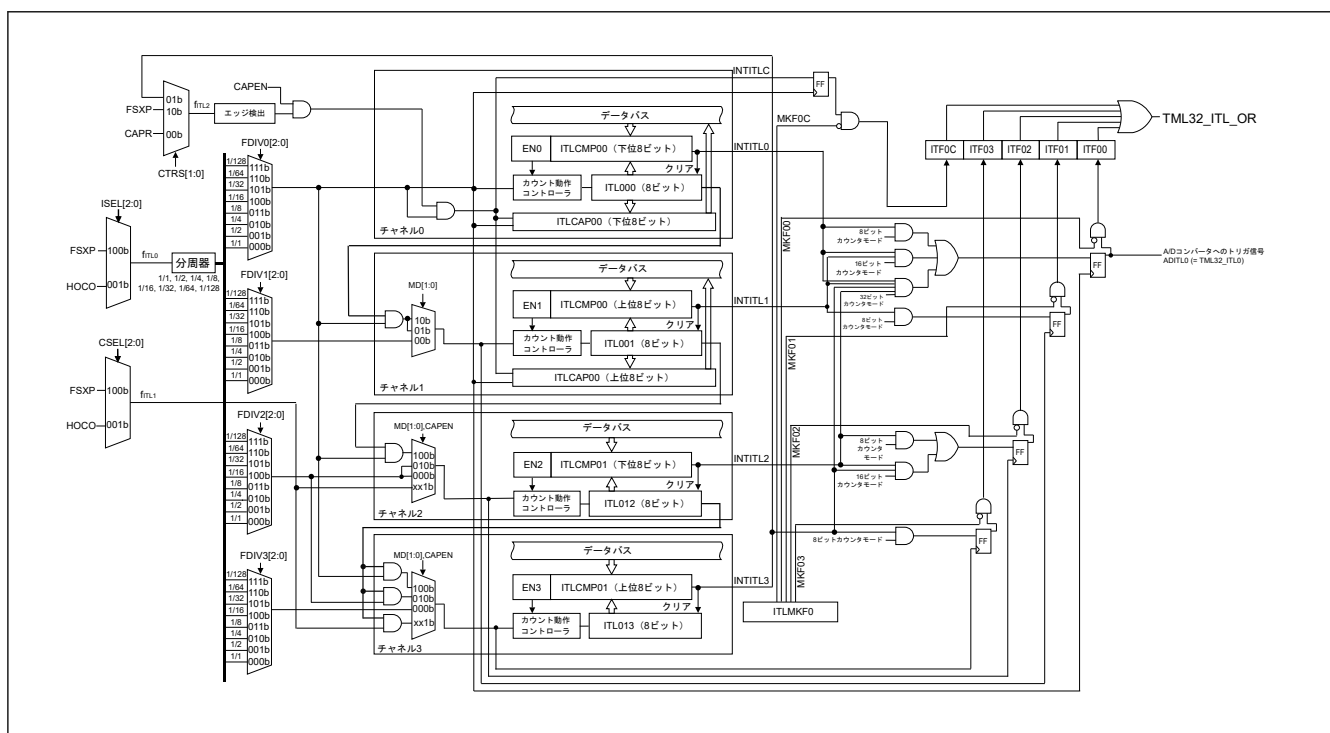


図 17.5 32 ビットインターバルタイマのブロック図

ITL000, ITL001, ITL012, ITL013: 8 ビットカウンタ

注. 16 ビットカウンタモードでは、チャンネル 0~1 のカウンタが接続 (ITL000+ITL001) され、チャンネル 2~3 のカウンタが接続 (ITL012+ITL013) されます。

32 ビットカウンタモードでは、チャンネル 0~3 のカウンタが接続 (ITL000+ITL001+ITL012+ITL013) されます。

17.2 レジスタの説明

17.2.1 ITLCMP0n/ITLCMP0n_L/ITLCMP0n_H : インターバルタイマコンペアレジスタ 0n (n = 0, 1)

Base address: TML32 = 0x400A_3800

Offset address: 0x0000 + 0x2 × n (ITLCMP0n/ITLCMP0n_L)
0x0001 + 0x2 × n (ITLCMP0n_H)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
15:0	n/a	16 ビットカウンタ (ITL0n) と 8 ビットカウンタ (ITL0n_H/ITL0n_L) の比較データを格納 ITLCMP00 は ITL00 (ITL000 + ITL001) と比較されます。 ITLCMP01 は ITL01 (ITL012 + ITL013) と比較されます。	R/W

注: ITLCMP0n_H レジスタと ITLCMP0n_L レジスタへの書き込みは、ITLCTL0 レジスタの EN0～EN3 ビットの設定が 0 のときに行ってください。

注: ITLCMP00L レジスタへの書き込みは、ITLCTL0 レジスタの IEN0 ビットが 0 のときに行ってください。ITLCMP01 レジスタへの書き込みは、16 ビットカウンタモードでは、ITLCTL0 レジスタの EN2 ビットが 0 のときに行ってください。32 ビットカウンタモードでは、ITLCTL0 レジスタの EN0 ビットが 0 のときに行ってください。

インターバルタイマコンペアレジスタ (ITLCMP0n/ITLCMP0n_L/ITLCMP0n_H) は、8 ビット、16 ビット、または 32 ビットのカウンタモードで使用する比較値レジスタです。ITLCMP0n_L (ITLCMP0n[7:0]) および ITLCMP0n_H (ITLCMP0n[15:8]) は、8 ビットカウンタモードで使します。

0x0001～0xFFFF の値が設定可能です。これらのレジスタに 0x0000 を設定することは禁止されています。

これらのレジスタには、ITL0n カウンタ値と比較される値を保持します。

ITLCTL0.MD[1:0] ビットを 10b に設定すると、これらのレジスタは、32 ビットカウンタモード用のコンペアレジスタとして使用されます。

上位 16 ビットの比較値を ITLCMP01 レジスタに、下位 16 ビットの比較値を ITLCMP00 レジスタに指定してください。

17.2.2 ITLCAP00 : インターバルタイマキャプチャレジスタ 00

Base address: TML32 = 0x400A_3800

Offset address: 0x0004

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	n/a															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	n/a	16 ビットカウンタ (ITL00) のキャプチャ結果を格納	R

インターバルタイマが 16 ビットキャプチャモードで動作しているときは、キャプチャした 16 ビット値が本レジスタに保持されます。

ITLCC0 レジスタの CAPEN ビットが 1 のときに、ITLCC0 レジスタで選択したキャプチャトリガが発生すると、16 ビットカウンタ (ITL000 + ITL001) の値が ITLCAP00 レジスタに格納されます。

「ITLCMP01 レジスタとのコンペアマッチ検出時に発生する割り込み」を使用する場合は、ITLSEL0 レジスタでカウント用クロックを選択し、ITLCMP01 レジスタで比較値を設定してください。

17.2.3 ITLCTL0 : インターバルタイマコントロールレジスタ

Base address: TML32 = 0x400A_3800

Offset address: 0x0006

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MD[1:0]	—	—	EN3	EN2	EN1	EN0	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	EN0	8 ビットカウンタモード : ITL000 によるカウントの許可 ^(注1) 16 ビットカウンタモード : ITL000 + ITL001 によるカウントの許可 ^(注1) 32 ビットカウンタモード : ITL000 + ITL001 + ITL012 + ITL013 によるカウントの許可 ^(注1) 0: カウント停止 1: カウント開始	R/W
1	EN1	8 ビットカウンタモード : ITL001 によるカウントの許可 ^(注1) 0: カウント停止 1: カウント開始	R/W
2	EN2	8 ビットカウンタモード : ITL012 によるカウントの許可 ^(注1) 16 ビットカウンタモード : ITL012 + ITL013 によるカウントの許可 ^(注1) 0: カウント停止 1: カウント開始	R/W
3	EN3	8 ビットカウンタモード : ITL013 によるカウントの許可 ^(注1) 0: カウント停止 1: カウント開始	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:6	MD[1:0]	カウンタモード (8 ビット/16 ビット/32 ビット) の選択 ^(注2) 0 0: 8 ビットカウンタモードでインターバルタイマが動作する。 0 1: 16 ビットカウンタモードでインターバルタイマが動作する (チャンネル 0 とチャンネル 1、およびチャンネル 2 とチャンネル 3 が接続)。 1 0: 32 ビットカウンタモードでインターバルタイマが動作する (チャンネル 0~3 が接続)。 1 1: 設定禁止	R/W

注 1. EN3~EN0 ビットのいずれかが 0 にクリアされたときは、対応するカウンタがカウント用クロックと非同期に 0 にクリアされます。

注 2. タイマモードを変更する場合は、EN0、EN1、EN2、および EN3 の各ビットがすべて 0 のときにだけ MD[1:0] ビットへの書き込みを行うようにしてください。

インターバルタイマによるカウントの開始/停止の制御、およびカウンタモード (8 ビット/16 ビット/32 ビット) の選択は本レジスタで行います。

EN0 ビット (8 ビットカウンタモード : ITL000 によるカウントの許可、16 ビットカウンタモード : ITL000 + ITL001 によるカウントの許可、32 ビットカウンタモード : ITL000 + ITL001 + ITL012 + ITL013 によるカウントの許可)

8 ビットカウンタモードでは、このビットに 1 を書き込むと ITL000 カウンタによるカウントアップが開始し、0 を書き込むと停止します。

16 ビットカウンタモードでは、このビットに 1 を書き込むと ITL000+ITL001 カウンタによるカウントアップが開始し、0 を書き込むと停止します。

32 ビットカウンタモードでは、このビットに 1 を書き込むと ITL000+ITL001+ITL012+ITL013 カウンタによるカウントアップが開始し、0 を書き込むと停止します。

EN1 ビット (8 ビットカウンタモード : ITL001 によるカウントの許可)

8 ビットカウンタモードでは、このビットに 1 を書き込むと ITL001 カウンタによるカウントアップが開始し、0 を書き込むと停止します。

16 ビットカウンタモードでは、このビットを 0 にしてください。

32 ビットカウンタモードでは、このビットを 0 にしてください。

EN2 ビット (8 ビットカウンタモード : ITL012 によるカウントの許可、16 ビットカウンタモード : ITL012 + ITL013 によるカウントの許可)

8 ビットカウンタモードでは、このビットに 1 を書き込むと ITL012 カウンタによるカウントアップが開始し、0 を書き込むと停止します。

16 ビットカウンタモードでは、このビットに 1 を書き込むと ITL012+ITL013 カウンタによるカウントアップが開始し、0 を書き込むと停止します。

32 ビットカウンタモードでは、このビットを 0 にしてください。

EN3 ビット (8 ビットカウンタモード : ITL013 によるカウントの許可)

8 ビットカウンタモードでは、このビットに 1 を書き込むと ITL013 カウンタによるカウントアップが開始し、0 を書き込むと停止します。

16 ビットカウンタモードでは、このビットを 0 にしてください。

32 ビットカウンタモードでは、このビットを 0 にしてください。

MD[1:0]ビット (カウンタモード (8 ビット/16 ビット/32 ビット) の選択)

表 17.2 に、MD[1:0]ビットおよび EN0~EN3 ビットの設定で動作可能な対象カウンタを示します。

表 17.2 対象カウンタ設定

モード	MD[1:0]	EN3	EN2	EN1	EN0	対象カウンタ
8 ビットモード	00b	—	—	—	✓	ITL000
		—	—	✓	—	ITL001
		—	✓	—	—	ITL012
		✓	—	—	—	ITL013
16 ビットモード	01b	常に 0 になる	—	常に 0 になる	✓	ITL000+ITL001
		常に 0 になる	✓	常に 0 になる	—	ITL012+ITL013
32 ビットモード	10b	常に 0 になる	常に 0 になる	常に 0 になる	✓	ITL000+ITL001+ITL012+ITL013

注. ✓ : 対象カウンタによるカウントが許可されることを示します。

注. 8 ビットカウンタモードでは、EN3~EN0 ビットのうちの複数のビットを同時に 1 または 0 に設定することができます。

注. 16 ビットカウンタモードでは、EN2 ビットと EN0 ビットを同時に 1 または 0 に設定することができます。

17.2.4 ITCSEL0 : インターバルタイマクロック選択レジスタ 0

Base address: TML32 = 0x400A_3800

Offset address: 0x0007

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	CSEL[2:0]			—	ISEL[2:0]		

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
2:0	ISEL[2:0]	インターバルタイマのカウントクロックの選択 (f_{ITL0})(注1) 0 0 0: カウント停止 0 0 1: HOCO 1 0 0: FSXP その他: 設定禁止	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	CSEL[2:0]	キャプチャに使用するインターバルタイマのカウントクロックの選択 (f_{ITL1})(注1) 0 0 0: カウント停止 0 0 1: HOCO 1 0 0: FSXP その他: 設定禁止	R/W

ビット	シンボル	機能	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. CSEL[2:0]ビットと ISEL[2:0]ビットに書き込みを行えるのは、ITLCTL0 レジスタの EN3~EN0 ビットがすべて 0 のときだけです。
本レジスタは、インターバルタイマのカウントソースを選択する時に使用します。

17.2.5 ITLFDIV00 : インターバルタイマ分周レジスタ 0

Base address: TML32 = 0x400A_3800

Offset address: 0x0008

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	FDIV1[2:0]			—	FDIV0[2:0]		

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
2:0	FDIV0[2:0]	8 ビットカウンタモード : ITL000 に使用するカウントクロック(注1) 16 ビットカウンタモード : ITL000 + ITL001 に使用するカウントクロック(注1) 32 ビットカウンタモード : ITL000 + ITL001 + ITL012 + ITL013 に使用するカウントクロック(注1) 0 0 0: f_{ITL0} 0 0 1: $f_{ITL0}/2$ 0 1 0: $f_{ITL0}/4$ 0 1 1: $f_{ITL0}/8$ 1 0 0: $f_{ITL0}/16$ 1 0 1: $f_{ITL0}/32$ 1 1 0: $f_{ITL0}/64$ 1 1 1: $f_{ITL0}/128$	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	FDIV1[2:0]	8 ビットカウンタモード : ITL001 に使用するカウントクロック(注2) 0 0 0: f_{ITL0} 0 0 1: $f_{ITL0}/2$ 0 1 0: $f_{ITL0}/4$ 0 1 1: $f_{ITL0}/8$ 1 0 0: $f_{ITL0}/16$ 1 0 1: $f_{ITL0}/32$ 1 1 0: $f_{ITL0}/64$ 1 1 1: $f_{ITL0}/128$	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. FDIV0[2:0]ビットに書き込みを行えるのは、ITLCTL0.EN0 ビットが 0 のときだけです。

注 2. 8 ビットカウンタモードで FDIV1[2:0]ビットに書き込みを行えるのは、ITLCTL0.EN1 ビットが 0 のときだけです。

本レジスタは、インターバルタイマのカウント用クロックを選択する時に使用します。

FDIV0[2:0]ビット (8 ビットカウンタモード : ITL000 に使用するカウントクロック、16 ビットカウンタモード : ITL000 + ITL001 に使用するカウントクロック、32 ビットカウンタモード : ITL000 + ITL001 + ITL012 + ITL013 に使用するカウントクロック)

8 ビットカウンタモードでは、ITL000 は、FDIV0[2:0]ビットで指定したカウント用クロックのサイクルをカウントします。

16 ビットカウンタモードでは、ITL000+ITL001 は、FDIV0[2:0]ビットで指定したカウント用クロックのサイクルをカウントします。

32 ビットカウンタモードでは、ITL000+ITL001+ITL012+ITL013 は、FDIV0[2:0]ビットで指定したカウント用クロックのサイクルをカウントします。

FDIV1[2:0]ビット (8 ビットカウンタモード : ITL001 に使用するカウントクロック)

8 ビットカウンタモードでは、ITL001 は、FDIV1[2:0]ビットで指定したカウント用クロックのサイクルをカウントします。

16 ビットカウンタモードでは、このビットを 000b にしてください。

32 ビットカウンタモードでは、このビットを 000b にしてください。

17.2.6 ITLFDIV01 : インターバルタイマ分周レジスタ 1

Base address: TML32 = 0x400A_3800

Offset address: 0x0009

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	FDIV3[2:0]			—	FDIV2[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	FDIV2[2:0]	8 ビットカウンタモード : ITL012 に使用するカウントクロック(注1) 16 ビットカウンタモード : ITL012 + ITL013 に使用するカウントクロック(注1) 0 0 0: f_{ITL0} 0 0 1: $f_{ITL0}/2$ 0 1 0: $f_{ITL0}/4$ 0 1 1: $f_{ITL0}/8$ 1 0 0: $f_{ITL0}/16$ 1 0 1: $f_{ITL0}/32$ 1 1 0: $f_{ITL0}/64$ 1 1 1: $f_{ITL0}/128$	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	FDIV3[2:0]	8 ビットカウンタモード : ITL013 に使用するカウントクロック(注2) 0 0 0: f_{ITL0} 0 0 1: $f_{ITL0}/2$ 0 1 0: $f_{ITL0}/4$ 0 1 1: $f_{ITL0}/8$ 1 0 0: $f_{ITL0}/16$ 1 0 1: $f_{ITL0}/32$ 1 1 0: $f_{ITL0}/64$ 1 1 1: $f_{ITL0}/128$	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 8 ビットカウンタモードまたは 16 ビットカウンタモードで FDIV2[2:0]ビットに書き込みを行えるのは、ITLCTL0.EN2 ビットが 0 のときだけです。

注 2. 8 ビットカウンタモードで FDIV3[2:0]ビットに書き込みを行えるのは、ITLCTL0.EN3 ビットが 0 のときだけです。

本レジスタは、インターバルタイマのカウント用クロックを選択する時に使用します。

FDIV2[2:0]ビット (8 ビットカウンタモード : ITL012 に使用するカウントクロック、16 ビットカウンタモード : ITL012 + ITL013 に使用するカウントクロック)

8 ビットカウンタモードでは、ITL012 は、FDIV2[2:0]ビットで指定したカウントクロックのサイクルをカウントします。

16 ビットカウンタモードでは、ITL012 + ITL013 は、FDIV2[2:0]ビットで指定したカウントクロックのサイクルをカウントします。

32 ビットカウンタモードでは、このビットは使用しないため、このビットには 000b を書き込んでください。

FDIV3[2:0]ビット (8 ビットカウンタモード : ITL013 に使用するカウントクロック)

8 ビットカウンタモードでは、ITL013 は、FDIV3[2:0]ビットで指定したカウント用クロックのサイクルをカウントします。

16 ビットカウンタモードでは、このビットを 000b にしてください。

32 ビットカウンタモードでは、このビットを 000b にしてください。

17.2.7 ITLCC0 : インターバルタイマキャプチャコントロールレジスタ 0

Base address: TML32 = 0x400A_3800

Offset address: 0x000A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CAPE N	CAPF CR	CAPF	CAPR	CAPC CR	—	CTRS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CTRS[1:0]	キャプチャトリガの選択 (注1) (注2) 0 0: ソフトウェアトリガ 0 1: ITLCMP01 とのコンペアマッチ検出時の割り込み 1 0: FSXP (立ち上がりエッジ) 1 1: 設定禁止	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	CAPCCR	キャプチャ完了後にキャプチャカウンタをクリアするか否かの選択(注3) 0: キャプチャカウンタの値はキャプチャ完了後も保持される 1: キャプチャカウンタの値はキャプチャ完了後にクリアされる	R/W
4	CAPR	ソフトウェアキャプチャトリガ(注2) (注4) 0: トリガ動作は抑止される 1: キャプチャ用ソフトウェアトリガが発生する	R/W
5	CAPF	キャプチャ完了フラグ CTRS[1:0]ビットで選択したキャプチャトリガの発生後に本フラグが 1 になり、キャプチャされたデータは ITLCAP00 に格納されます。 CAPFCR ビットに 1 を書き込むと本フラグが 0 になります。 0: キャプチャが完了していない 1: キャプチャが完了している	R
6	CAPFCR	キャプチャ完了フラグクリア(注5) 0: キャプチャ完了フラグ CAPF の値は保持される 1: キャプチャ完了フラグ CAPF の値はクリアされる	R/W
7	CAPE N	キャプチャ許可(注6) 0: キャプチャは禁止される 1: キャプチャは許可される	R/W

注 1. CTRS[1:0]ビットに書き込みを行えるのは、ITLCTL0 レジスタの EN3~EN0 ビットがすべて 0 のときだけです。

注 2. キャプチャ動作では、キャプチャトリガが発生インターバルはカウント用クロックの 2 サイクル以上としてください。

注 3. CAPCCR ビットに書き込みを行えるのは、ITLCTL0 レジスタの EN3~EN0 ビットがすべて 0 のときだけです。

注 4. CAPR ビットは読むと常に 0 が読めます。

注 5. CAPFCR ビットは読むと常に 0 が読めます。

注 6. CAPE N ビットに書き込みを行えるのは、ITLCTL0 レジスタの EN3~EN0 ビットがすべて 0 のときだけです。

本レジスタを使用して行えるのは、インターバルタイマのキャプチャ機能を許可するか否かを指定すること、キャプチャ完了フラグの値を保持するか否かを指定すること、ソフトウェアトリガを設定すること、およびキャプチャトリガを選択することです。

17.2.8 ITLS0 : インターバルタイマステータスレジスタ

Base address: TML32 = 0x400A_3800

Offset address: 0x000B

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	ITF0C	ITF03	ITF02	ITF01	ITF00
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ITF00	チャンネル 0 のコンペアマッチ検出フラグ 0: チャンネル 0 でコンペアマッチ信号は検出されていない 1: チャンネル 0 でコンペアマッチ信号は検出されている	R/W
1	ITF01	チャンネル 1 のコンペアマッチ検出フラグ 0: チャンネル 1 でコンペアマッチ信号は検出されていない 1: チャンネル 1 でコンペアマッチ信号は検出されている	R/W
2	ITF02	チャンネル 2 のコンペアマッチ検出フラグ 0: チャンネル 2 でコンペアマッチ信号は検出されていない 1: チャンネル 2 でコンペアマッチ信号は検出されている	R/W
3	ITF03	チャンネル 3 のコンペアマッチ検出フラグ 0: チャンネル 3 でコンペアマッチ信号は検出されていない 1: チャンネル 3 でコンペアマッチ信号は検出されている	R/W
4	ITF0C	キャプチャ検出フラグ 0: キャプチャの完了は検出されていない 1: キャプチャの完了は検出されている	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 各ビットへの 1 の書き込みは無視されます。ITF0C ビットまたは ITF0i ビット (i = 0, 1, 2, 3) をクリアするには、対象ビットに 0 を書き込み、他のビットに 1 を書き込んでください。

注. ITF0C、ITF03、ITF02、ITF01、ITF00 の各フラグビットのどれかを 0 にしても ITLS0 レジスタの値が 0x00 にならない場合は、割り込み要求 (TML32_ITL_OR) が発生します。

注. ITLS0 レジスタのフラグビットをクリアするときは、値が 1 のビットにだけ 0 を書き込んでください。これは、値が 0 のビットに 0 を書き込むと、それと同時に生成されたコンペアマッチ信号またはキャプチャ検出信号を検出できなくなる恐れがあるからです。たとえば、ITF01 フラグビットの値が 1 のとき、ITLS0 レジスタに 00011101b を書き込むと ITF01 フラグビットがクリアされます。

これはインターバルタイマ用のステータスレジスタです。

ITL0mn カウンタ (mn = 00, 01, 12, 13) の値が ITLCMP00 と ITLCMP01 の両レジスタに指定された値と一致すると、対応するチャンネルのコンペアマッチフラグが設定されます。

ITLCC0 レジスタの CAPEN ビットが 1 のときにキャプチャトリガが発生すると、ITL0mn カウンタの値が IITLCAP00 レジスタに格納された後にキャプチャ検出フラグが設定されます。

本レジスタの ITF0C ビットおよび ITF03~ITF00 ビットの各値の論理和 (OR) が、TML32_ITL_OR 割り込み信号として出力されます。表 17.3 に、ITLCTL0.MD[1:0] ビットで選択される各タイマモードでのステータスフラグが設定される条件を示します。

表 17.3 各タイマモードでのステータスフラグが設定される条件

モード	ITLCTL0.MD[1:0]	ITLCC0.CAPEN	ステータスフラグ	ステータスフラグが設定される条件
8 ビットモード	00b	x	ITF00	ITLCMP00_L の値と ITL000 の値が一致した後のカウンタクロックの次の立ち上がりエッジ
		x	ITF01	ITLCMP00_H の値と ITL001 の値が一致した後のカウンタクロックの次の立ち上がりエッジ
		x	ITF02	ITLCMP01_L の値と ITL012 の値が一致した後のカウンタクロックの次の立ち上がりエッジ
		x	ITF03	ITLCMP01_H の値と ITL013 の値が一致した後のカウンタクロックの次の立ち上がりエッジ
16 ビットモード	01b	x	ITF00	ITLCMP00 の値と ITL000+ITL001 の値が一致した後のカウンタ用クロックの次の立ち上がりエッジ
		x	ITF02	ITLCMP01 の値と ITL012+ITL013 の値が一致した後のカウンタ用クロックの次の立ち上がりエッジ
		1	ITF0C	キャプチャトリガ発生後に ITL000+ITL001 の値が IITLCAP00 に格納される
32 ビットモード	10b	—	ITF00	ITLCMP00+ITLCMP01 の値と ITL000+ITL001+ITL012+ITL013 の値が一致した後のカウンタ用クロックの次の立ち上がりエッジ

17.2.9 ITLMKF0 : インターバルタイマー一致検出マスクレジスタ

Base address: TML32 = 0x400A_3800

Offset address: 0x000C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	MKF0 C	MKF0 3	MKF0 2	MKF0 1	MKF0 0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MKF00	チャンネル 0 のコンペアマッチステータスフラグのマスク(注1) 0: ITLS0.ITF00 をマスクしない。 1: ITLS0.ITF00 をマスクする。	R/W
1	MKF01	チャンネル 1 のコンペアマッチステータスフラグのマスク(注1) 0: ITLS0.ITF01 をマスクしない。 1: ITLS0.ITF01 をマスクする。	R/W
2	MKF02	チャンネル 2 のコンペアマッチステータスフラグのマスク(注1) 0: ITLS0.ITF02 をマスクしない。 1: ITLS0.ITF02 をマスクする。	R/W
3	MKF03	チャンネル 3 のコンペアマッチステータスフラグのマスク(注1) 0: ITLS0.ITF03 をマスクしない。 1: ITLS0.ITF03 をマスクする。	R/W
4	MKF0C	キャプチャ検出ステータスフラグのマスク(注1) 0: ITLS0.ITF0C をマスクしない。 1: ITLS0.ITF0C をマスクする。	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. マスクするためのすべての機能ビットを 1 にすると、ITLS0 レジスタの対応するビットの設定を抑止します。これにより、コンペアマッチとキャプチャ完了のソフトウェア検出が順番に抑止されます。チャンネル 0～3 のうちのいずれかのチャンネルでコンペアマッチを使用する場合は、所定のステータスフラグに対応するビットを 0 にして、そのフラグがマスクされないようにしてください。一方、キャプチャ完了のステートについては、インターバルタイマキャプチャコントロールレジスタ 0 (ITLCC0) の CAPF フラグを使用して検出することができます。MKF0C ビットを 1 にして ITLS0.ITF0C フラグをマスクしている場合でも検出が可能です。

インターバルタイマステータスレジスタ (ITLS0) の各有効ビットを 1 にすることの許可／禁止を本レジスタで設定します。

MKF0C ビットまたは MKF0i (i = 0～3) ビットを 1 にすると、ITF0C と ITF0i (i = 0～3) の対応するステータスフラグがマスクされます。以後、コンペアレジスタとのコンペアマッチやキャプチャ完了が検出されても、該当のフラグは 1 になりません。ステータスフラグが 1 にならないため、インターバル検出割り込み (TML32_ITL_OR) も発生しません。

17.3 動作

17.3.1 カウンタモード設定

32 ビットインターバルタイマには 3 種類のカウンタモードがあります: 8 ビットカウンタモード、16 ビットカウンタモード、32 ビットカウンタモード。表 17.4～表 17.6 に、各カウンタモードに使用するレジスタと設定を示します。

表 17.4 8 ビットカウンタモードで使用するレジスタと設定 (1/2)

レジスタ名 (シンボル)	ビット	設定
インターバルタイマコンペアレジスタ 000 (ITLCMP00)	ビット 7～0	チャンネル 0 の 8 ビット比較値を指定する。
インターバルタイマコンペアレジスタ 001 (ITLCMP01)	ビット 7～0	チャンネル 1 の 8 ビット比較値を指定する。
インターバルタイマコンペアレジスタ 012 (ITLCMP01)	ビット 7～0	チャンネル 2 の 8 ビット比較値を指定する。

表 17.4 8 ビットカウンタモードで使用するレジスタと設定 (2/2)

レジスタ名 (シンボル)	ビット	設定
インターバルタイマコンペアレジスタ 013 (ITLCMP01)	ビット 7~0	チャンネル 3 の 8 ビット比較値を指定する。
インターバルタイマコントロールレジスタ 0 (ITLCTL0)	EN0	チャンネル 0 のカウントの開始/停止を指定する。
	EN1	チャンネル 1 のカウントの開始/停止を指定する。
	EN2	チャンネル 2 のカウントの開始/停止を指定する。
	EN3	チャンネル 3 のカウントの開始/停止を指定する。
	MD[1:0]	00b に設定する。
インターバルタイマ分周レジスタ 0 (ITLFDIV00)	FDIV0[2:0]	チャンネル 0 のカウント用クロックを選択する。
	FDIV1[2:0]	チャンネル 1 のカウント用クロックを選択する。
インターバルタイマ分周レジスタ 1 (ITLFDIV01)	FDIV2[2:0]	チャンネル 2 のカウント用クロックを選択する。
	FDIV3[2:0]	チャンネル 3 のカウント用クロックを選択する。
インターバルタイマクロック選択レジスタ 0 (ITLCSEL0)	ISEL[2:0]	インターバルタイマのカウント用クロックを選択する。
	CSEL[2:0]	000b に設定する。
インターバルタイマキャプチャコントロールレジスタ 0 (ITLCC0)	ビット 7~0	0 に設定する。

表 17.5 16 ビットカウンタモードで使用するレジスタと設定

レジスタ名 (シンボル)	ビット	設定
インターバルタイマコンペアレジスタ 00 (ITLCMP00)	ビット 15~0	チャンネル 0 とチャンネル 1 の 16 ビット比較値を指定する。
インターバルタイマコンペアレジスタ 01 (ITLCMP01)	ビット 15~0	チャンネル 2 とチャンネル 3 の 16 ビット比較値を指定する。
インターバルタイマコントロールレジスタ 0 (ITLCTL0)	EN0	チャンネル 0 とチャンネル 1 のカウントの開始/停止を指定する。
	EN1	0 に設定する。
	EN2	チャンネル 2 とチャンネル 3 のカウントの開始/停止を指定する。
	EN3	0 に設定する。
	MD[1:0]	01b に設定する。
インターバルタイマ分周レジスタ 0 (ITLFDIV00)	FDIV0[2:0]	チャンネル 0 とチャンネル 1 のカウント用クロックを選択する。
	FDIV1[2:0]	000b に設定する。
インターバルタイマ分周レジスタ 1 (ITLFDIV01)	FDIV2[2:0]	チャンネル 2 とチャンネル 3 のカウント用クロックを選択する。
	FDIV3[2:0]	000b に設定する。
インターバルタイマクロック選択レジスタ 0 (ITLCSEL0)	ISEL[2:0]	インターバルタイマのカウント用クロックを選択する。
	CSEL[2:0]	000b に設定する。
インターバルタイマキャプチャコントロールレジスタ 0 (ITLCC0)	ビット 7~0	0 に設定する。

表 17.6 32 ビットカウンタモードで使用するレジスタと設定 (1/2)

レジスタ名 (シンボル)	ビット	設定
インターバルタイマコンペアレジスタ 00 (ITLCMP00)	ビット 15~0	32 ビットカウンタモードの比較値を指定する。 チャンネル 0 とチャンネル 1 の比較値の下位 16 ビットを指定する (ITLCMP00)。

表 17.6 32 ビットカウンタモードで使用するレジスタと設定 (2/2)

レジスタ名 (シンボル)	ビット	設定
インターバルタイマコンペアレジスタ 01 (ITLCMP01)	ビット 15~0	32 ビットカウンタモードの比較値を指定する。 チャンネル 2 とチャンネル 3 の比較値の上位 16 ビットを指定する (ITLCMP01)。
インターバルタイマコントロールレジスタ 0 (ITLCTL0)	EN0	チャンネル 0~3 のカウントの開始/停止を指定する。
	EN1	0 に設定する。
	EN2	0 に設定する。
	EN3	0 に設定する。
	MD[1:0]	10b に設定する。
インターバルタイマ分周レジスタ 0 (ITLFDIV00)	FDIV0[2:0]	チャンネル 0~3 のカウント用クロックを選択する。
	FDIV1[2:0]	000b に設定する。
インターバルタイマ分周レジスタ 1 (ITLFDIV01)	FDIV2[2:0]	000b に設定する。
	FDIV3[2:0]	000b に設定する。
インターバルタイマクロック選択レジスタ 0 (ITLCSEL0)	ISEL[2:0]	インターバルタイマのカウント用クロックを選択する。
	CSEL[2:0]	000b に設定する。
インターバルタイマキャプチャコントロールレジスタ 0 (ITLCC0)	ビット 7~0	0 に設定する。

17.3.2 キャプチャモード設定

チャンネル 0~1 に 16 ビットキャプチャモードが使用される場合、選択したキャプチャトリガに応じてインターバルタイマキャプチャレジスタ 00 (ITLCAP00) にカウンタ値が格納されます。

表 17.7 に、16 ビットキャプチャモードで使用するレジスタと設定を示します。

表 17.7 16 ビットキャプチャモードで使用するレジスタと設定 (1/2)

レジスタ名 (シンボル)	ビット	設定
インターバルタイマコンペアレジスタ 00 (ITLCMP00)	ビット 15~0	チャンネル 0 とチャンネル 1 の 16 ビット比較値を指定する。
インターバルタイマコンペアレジスタ 01 (ITLCMP01)(注1)	ビット 15~0	チャンネル 2 とチャンネル 3 の 16 ビット比較値を指定する。
インターバルタイマコントロールレジスタ 0 (ITLCTL0)	EN0	チャンネル 0 とチャンネル 1 のカウントの開始/停止を指定する。
	EN1	0 に設定する。
	EN2	チャンネル 2 とチャンネル 3 のカウントの開始/停止を指定する。
	EN3	0 に設定する。
	MD[1:0]	01b に設定する。
インターバルタイマ分周レジスタ 0 (ITLFDIV00)	FDIV0[2:0]	チャンネル 0 のカウント用クロックを選択する。
	FDIV1[2:0]	000b に設定する。
インターバルタイマ分周レジスタ 1 (ITLFDIV01)	FDIV2[2:0]	000b に設定する。
	FDIV3[2:0]	000b に設定する。
インターバルタイマクロック選択レジスタ 0 (ITLCSEL0)	ISEL[2:0]	チャンネル 0 とチャンネル 1 で使用するインターバルタイマのカウント用クロックを選択する。
	CSEL[2:0]	チャンネル 2 とチャンネル 3 で使用するキャプチャ用インターバルタイマのカウント用クロックを選択する。

表 17.7 16 ビットキャプチャモードで使用するレジスタと設定 (2/2)

レジスタ名 (シンボル)	ビット	設定
インターバルタイマキャプチャコントロールレジスタ 0 (ITLCC0)	CAPEN	1 に設定する。
	CAPCCR	キャプチャ完了後にチャンネル 0 とチャンネル 1 のカウンタ値をクリアするか保持するかを指定する。
	CTRS[1:0]	キャプチャトリガを選択する。

注 1. 「ITLCMP01 とのコンペアマッチ検出時の割り込み」をキャプチャトリガに使用しない場合に 16 ビットカウンタモードで使用できるのはチャンネル 2 とチャンネル 3 だけです。

17.3.3 タイマ動作

ITL0mn カウンタは、インターバルタイマ分周レジスタ (ITLFDIV00 および ITLFDIV01) に指定したカウントクロックのサイクルをカウントアップします。カウンタ値が比較値と一致した後の 1 サイクル経過時に、割り込み要求信号 (TML32_ITL_OR) が発生します。割り込み要求信号 (TML32_ITL_OR) は、ITLS0 レジスタの値が 0x00 になるまで High のままとなります。

割り込み要求信号 (TML32_ITL_OR) が High の間は、動作中のチャンネルでコンペアマッチまたはキャプチャ完了が検出されても、以降の割り込み要求 (TML32_ITL_OR) の発生は抑止されます。

ITLCTL0 レジスタの EN0~EN3 ビットを 0 にするとカウンタ値はクリアされます。

図 17.6 にタイマの動作例を示します。

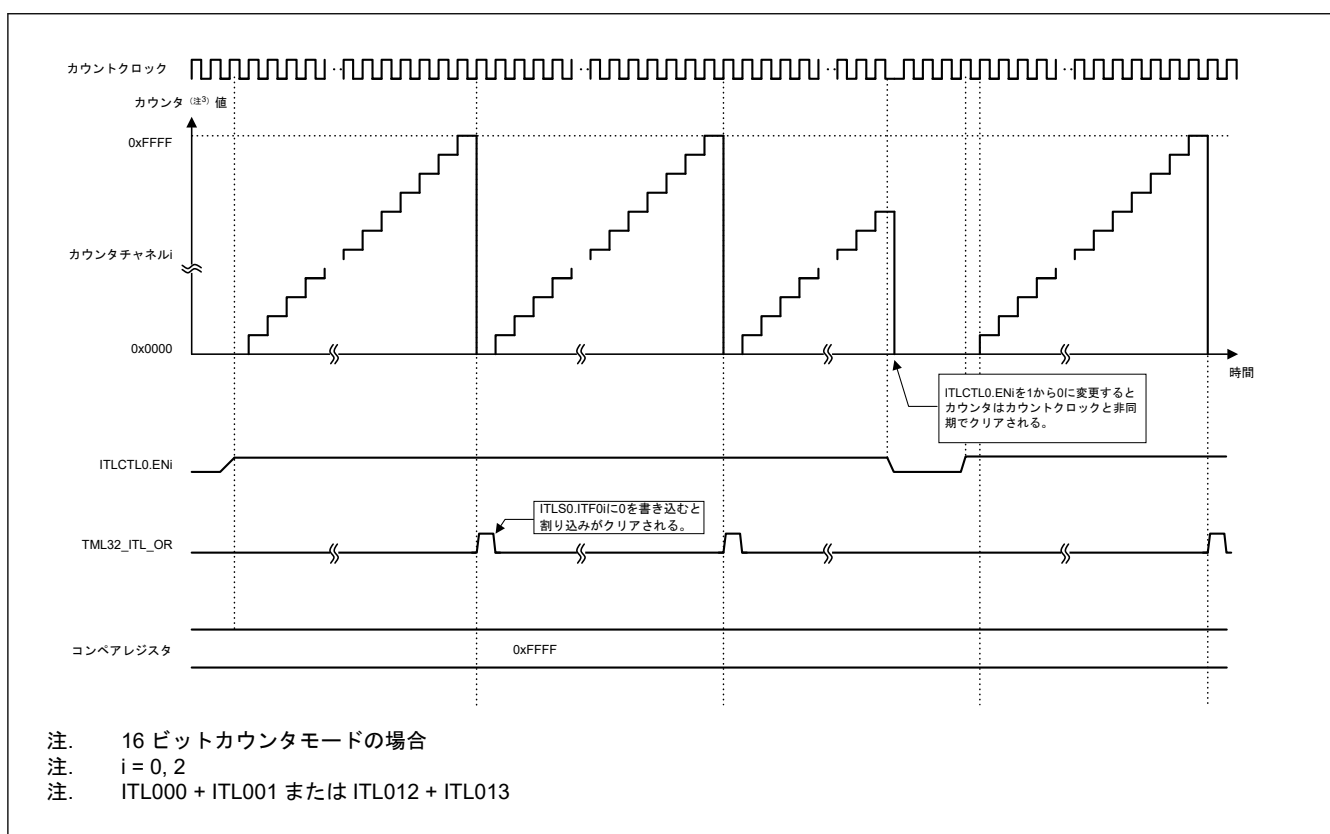


図 17.6 タイマの動作例

17.3.4 キャプチャ動作

インターバルタイマキャプチャコントロールレジスタ 0 (ITLCC0) の CAPEN ビットの設定が 1 のときに ITLCC0 レジスタに指定されたキャプチャトリガが発生すると、16 ビットカウンタ (ITL000 と ITL001) の値はインターバルタイマキャプチャレジスタ 00 (ITLCAP00) に格納されます。

キャプチャトリガとして選択できるのは、「ITLCMP01 レジスタのコンペアマッチ割り込み」、「FSXP」、および「ソフトウェアトリガ (ITLCC0.CAPR ビットを 1 にする)」です。ITLCMP01 のコンペアマッチ割り込みをキャプチャトリガに使用する場合は、インターバルタイマクロック選択レジスタ 0 (ITLSEL0) でカウントクロック

を選択し、インターバルタイマコンペアレジスタ 01 (ITLCMP01) でコンペア値を指定します。「FSXP」または「ソフトウェアトリガ (ITLCC0.CAPR ビットを 1 にする)」をキャプチャトリガに使用する場合は、16 ビットカウンタモードでチャンネル 2 とチャンネル 3 を使用できます。

キャプチャトリガが入力されカウンタ値がインターバルタイマキャプチャレジスタに格納された後、割り込み要求信号 (TML32_ITL_OR) が出力され、キャプチャ完了フラグ (ITLCC0.CAPF) とキャプチャ検出フラグ (ITLS0.ITF0C) が 1 になります。これらのフラグ値は、明示的にクリアされるまで保持されます(注1)。

ITLCC0.CAPF フラグは、ITLCC0.CAPFCR ビットを 1 にすることでクリアできます。ITLS0 レジスタの ITF0C フラグは、0 の書き込みでクリアされます。キャプチャ動作はカウントクロックに基づくため、キャプチャトリガ発生間隔はカウントクロックの 5 サイクル以上としてください。キャプチャトリガの発生後、カウントクロックの 2 サイクル以内に再びキャプチャトリガが発生した場合は、ITLCC0.CAPF ビットが設定されないことがあります。

注 1. ITLS0 レジスタの値が 0x00 以外の場合は、キャプチャ検出フラグ (ITF0C) が 1 になっても割り込み動作は発生しません。これは、割り込み要求信号 (TML32_ITL_OR) が High レベルのままのためです。

図 17.7 にキャプチャ動作例を示します。

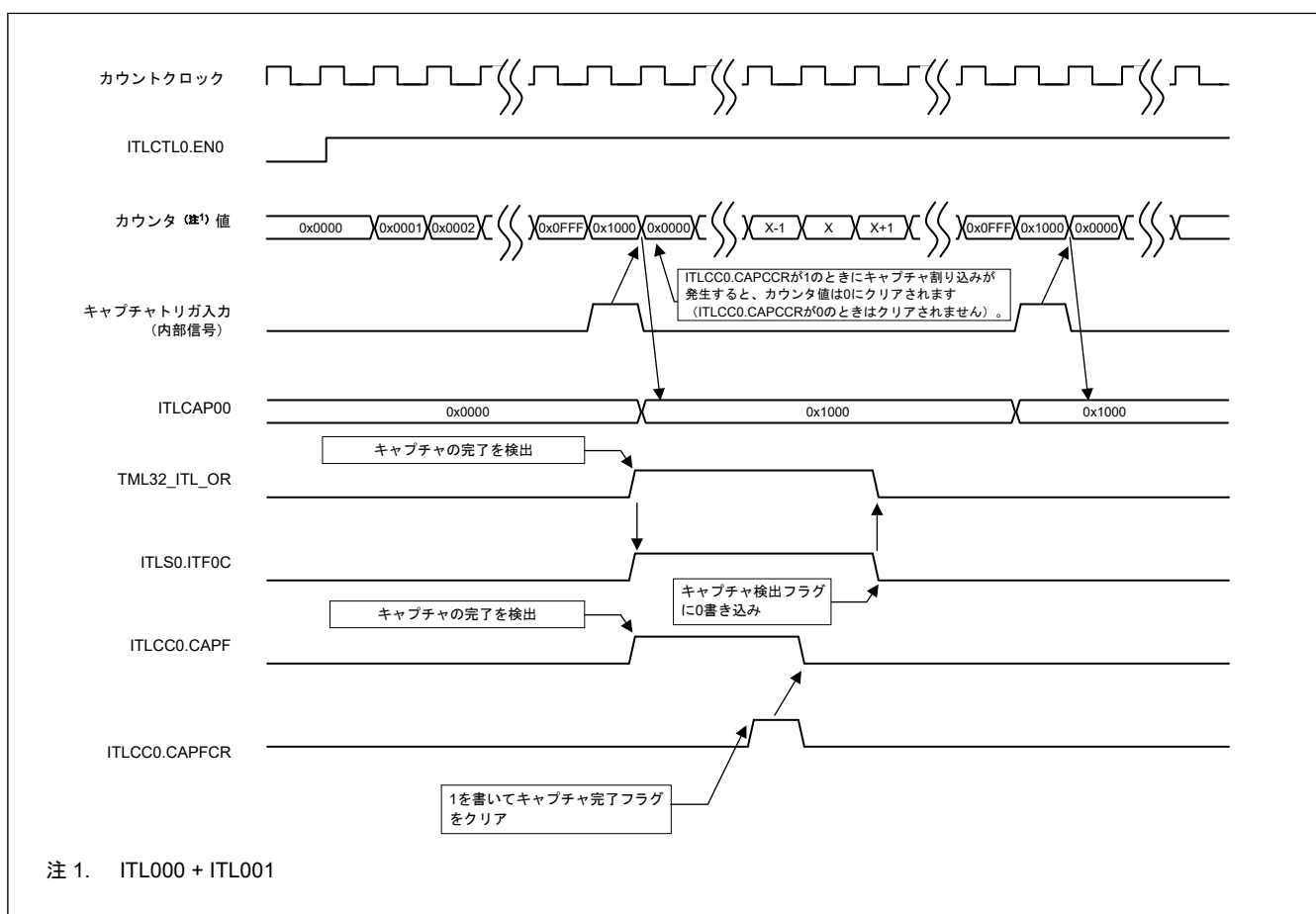


図 17.7 カプチャ動作例

ITLCC0 レジスタの ITLCC0.CAPCCR ビットが 1 (キャプチャ完了後にキャプチャカウンタ値がクリアされるモード) の間に、カウンタ値がコンペア値と一致すると、次のカウントクロックでカウンタ値がクリアされます。ITLCC0.CAPCCR ビットが 0 (キャプチャ完了後もキャプチャカウンタ値が維持されるモード) の場合、この方法でカウンタ値がクリアされることはありません。

17.3.5 割り込み

表 17.8 に、8 ビット、16 ビット、32 ビットの各カウンタモードでの割り込み要因を示します。

ITF00～ITF03 ビットと ITF0C ビットは、ITLS0 レジスタにある割り込みステータスフラグです。これらの割り込みステータスフラグのいずれかが設定されると、TML32_ITL_OR 信号として割り込み要求が出力されます。

表 17.8 8 ビット、16 ビット、32 ビットの各カウンタモードでの割り込み要因

割り込み要因	8 ビットカウンタモードでの割り込み発生条件	16 ビットカウンタモードでの割り込み発生条件	32 ビットカウンタモードでの割り込み発生条件
ITLS0.ITF00	チャンネル 0 でコンペアマッチ後の次のカウントクロックの立ち上がりエッジ	チャンネル 0~1 でコンペアマッチ後の次のカウントクロックの立ち上がりエッジ	コンペアマッチ後の次のカウントクロックの立ち上がりエッジ
ITLS0.ITF01	チャンネル 1 でコンペアマッチ後の次のカウントクロックの立ち上がりエッジ	発生しない	発生しない
ITLS0.ITF02	チャンネル 2 でコンペアマッチ後の次のカウントクロックの立ち上がりエッジ	チャンネル 2~3 でコンペアマッチ後の次のカウントクロックの立ち上がりエッジ	発生しない
ITLS0.ITF03	チャンネル 3 でコンペアマッチ後の次のカウントクロックの立ち上がりエッジ	発生しない	発生しない
ITLS0.ITF0C	発生しない (ITLCC0 レジスタの設定が 0x00 の場合)	キャプチャトリガ入力後のキャプチャレジスタにカウンタ値を格納するタイミング	発生しない (ITLCC0 レジスタの設定が 0x00 の場合)

ITLS0 レジスタの値が 0x00 以外の場合、割り込み要求信号 (TML32_ITL_OR) は High レベルのままとなります。その結果、動作中のチャンネルでコンペアマッチやキャプチャ完了が検出されても、それ以降の割り込み要求 (TML32_ITL_OR) は発生しません。

ただし、ITLS0 レジスタのいずれかのビットが 8 ビットメモリ操作命令により 0 になった後の ITLS0 レジスタの値が 0x00 でない場合は、TML32_ITL_OR 端子に Low レベルパルス信号が出力されます。これにより、割り込み処理などの処理中に ITLS0 レジスタにあるステータスフラグのいずれかをクリアすると、他のステータスフラグが 1 になった時に発生する割り込みを検出することが可能になります。図 17.8 に、検出フラグのクリアとインターバル検出割り込み信号の関係を示します。

図 17.8 に示した動作を以下で説明します。

ITLS0 レジスタの値が 0x00 の間にチャンネル 1 でコンペアマッチが検出されると、ITF01 フラグが 1 になり、インターバル検出割り込み信号 (TML32_ITL_OR) が High になります。インターバル検出割り込み信号 (TML32_ITL_OR) が High の間は、動作中のチャンネルでコンペアマッチまたはキャプチャ完了が検出されても、以降の割り込み要求 (TML32_ITL_OR) は発生しません。

なお、ITLS0.ITF0x (x = 0, 1, 2, 3, C) フラグビットを 0 にする直前に他の検出フラグが 1 になった場合は、当該 ITLS0.ITF0x フラグビットが 0 になった後、TML32_ITL_OR 端子の出力は一時的に Low レベルになります。

<1> チャンネル 1 でコンペアマッチが検出されると ITLS0.ITF01 フラグが 1 になり、インターバル検出割り込み信号 (TML32_ITL_OR) は High になります。インターバル検出割り込み処理が実行されます。

<2> インターバル検出割り込み処理の内部から、ITLS0 レジスタにあるどの検出フラグが 1 になっているかを確認します。図 17.8 に示す場合では、ITLS0 レジスタの ITF01 フラグと ITF00 フラグが 1 になったことを確認できます。

<3> ステップ 2 で検出された ITLS0 レジスタの ITF01 フラグと ITF00 フラグをクリアし、ITLS0 レジスタに 00011100b を書き込みます。当該レジスタの値は 0x00 になります。(注1)

<4> ITLS0 レジスタの ITF01 フラグと ITF00 フラグが 1 になると、それぞれに対応する処理シーケンスが実行されます。(注1)

注 1. 割り込み要因をクリアする処理をフラグごとに繰り返すことでも、割り込み要因を見失うことを防ぐことができます。

<5> チャンネル 1 で再びコンペアマッチが検出されると、ITLS0.ITF01 フラグが 1 になり、インターバル検出割り込み信号 (TML32_ITL_OR) は High になります。インターバル検出割り込み処理が実行されます。

<6> インターバル検出割り込み処理の内部から、ITLS0 レジスタにあるどの検出フラグが 1 になっているかを確認します。図 17.8 に示す場合では、ITLS0 レジスタの ITF01 フラグが 1 になったことを確認できます。

<7> ステップ 6 で検出された ITLS0 レジスタの ITF01 フラグをクリアし、ITLS0 レジスタに 00011101b を書き込みます。当該レジスタの値は 0x00 になります。このとき、チャンネル 0 でコンペアマッチが検出されると ITLS0.ITF00 フラグも 1 になりますが、このフラグに対応する処理は行われないため、このフラグはクリアされません。

<8> ステップ 7 で ITLS0.ITF01 フラグが 0 にクリアされると同時に ITLS0.ITF00 フラグが 1 になるため、TML32_ITL_OR 信号は一時的に Low になります。

<9> ITLS0.ITF00 フラグが 1 になった時に対応する処理が実行されます。

<10> インターバル検出割り込み処理の内部から、ITLS0 レジスタにあるどの検出フラグが 1 になっているかを確認します。

図 17.8 に示す場合では、ITLS0 レジスタの ITF00 フラグが 1 になったことを確認できます。

<11> ステップ 11 で検出された ITLS0 レジスタの ITF00 フラグをクリアし、ITLS0 レジスタに 00011101b を書き込みます。当該レジスタの値は 0x00 になります。

<12> ITLS0.ITF00 フラグが 1 になった時に対応する処理が実行されます。

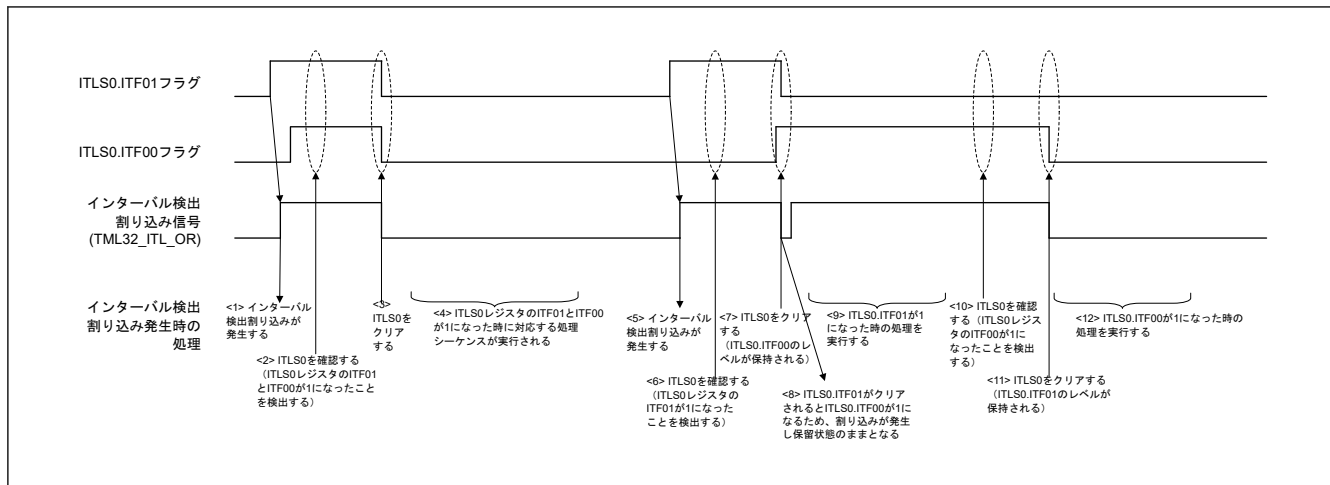


図 17.8 検出されたフラグがクリアされる例

17.3.6 インターバルタイマ設定手順

32 ビットインターバルタイマの設定手順を表 17.9 に示します。

表 17.9 32 ビットインターバルタイマの開始手順

手順		プロセス	詳細説明
32 ビットインターバルタイマの開始	<1>	開始オペレーション	—
	<2>	カウンタモード (8 ビット/16 ビット/32 ビット) を選択する。	ITLCTL0.MD[1:0] ビットを設定する。
	<3>	インターバルタイマのカウンタ用クロックを選択する。 カウンタソースの分周比を選択する。 比較値を指定する。	ITLCSEL0.ISEL[2:0] ビットを設定する。 ITLFDIV0n レジスタを設定する。 ITLCMP0n レジスタを設定する。
	<4>	キャプチャ機能を使用する場合 - キャプチャを許可する。 - キャプチャ完了フラグをクリアする。 - キャプチャタイマのカウンタ用クロックを選択する。 - キャプチャ完了後にチャネル 0 とチャネル 1 のカウンタ値をクリアすることを指定する。 - キャプチャトリガを選択する。	ITLCC0.CAPEN ビットを設定する。 ITLCC0.CAPFCR ビットをクリアする。 ITLCSEL0.CSEL[2:0] ビットを設定する。 ITLCC0.CAPCCR ビットをクリアする。 ITLCC0.CTRS[1:0] ビットを設定する。
	<5>	割り込みを使用する場合(注1) - ITLS0.ITF0i 割り込みステータスフラグをクリアする。 - ITLS0.ITF0i ステータスフラグのマスクを設定する。	ITLCC0.CAPFCR ビットをクリアする。 ITLCSEL0.CSEL[2:0] ビットを設定する。
	<6>	32 ビットインターバルタイマを開始する。	ITLCTL0.ENi ビットを設定する。
	<7>	ソフトウェアキャプチャトリガを使用する場合は ITLCC0.CAPR ビットを 1 にする。	ITLCC0.CAPR ビットを設定する。
	<8>	割り込みを待つ。	—

注. n = 0 または 1、i = 0~3

注 1. 本タイマをインターバルタイマとして使用する場合は、割り込みをマスクしないでください。チャネル 2 とチャネル 3 において、16 ビットカウンタモードでコンペアマッチをキャプチャトリガに選択する場合は、ITLMKF0.MKF02 ビットを 1 にしてマスクを指定してください。

32 ビットインターバルタイマの停止手順を表 17.10 に示します。

表 17.10 32 ビットインターバルタイマの停止手順

手順		プロセス	詳細説明
32 ビットインターバルタイマの停止	<1>	カウンタ停止処理の開始	—
	<2>	ITLS0.ITF0i ステータスフラグのマスクを設定する。 ITLS0.ITF0i 割り込みステータスフラグをクリアする。	ITLMKF0.MKF0i ビットを設定する。 ITLS0.ITF0i ビットをクリアする。
	<3>	キャプチャ機能を使用している場合 ITLS0.ITF0C ステータスフラグのマスクを設定する。 ITLS0.ITF0C 割り込みステータスフラグをクリアする。	ITLMKF0.MKF0C ビットを設定する。 ITLS0.ITF0C ビットをクリアする。
	<4>	32 ビットインターバルタイマを停止する。 ソースクロックの 1 サイクル経過後にカウンタ動作が停止する。	ITLCTL0.ENi ビットをクリアする。
	<5>	カウンタ停止処理の完了	—

注. n = 0 または 1、i = 0~3

32 ビットインターバルタイマの動作モードの変更手順を表 17.11 に示します。

表 17.11 32 ビットインターバルタイマの動作モードの変更手順

手順		プロセス	詳細説明
32 ビットインターバルタイマの動作モードの変更	<1>	動作モードの変更開始	—
	<2>	ITLS0.ITF0i ステータスフラグのマスクを設定する。 ITLS0.ITF0i 割り込みステータスフラグをクリアする。	ITLMKF0.MKF0i ビットを設定する。 ITLS0.ITF0i ビットをクリアする。
	<3>	キャプチャ機能を使用している場合 • ITLS0.ITF0C ステータスフラグのマスクを設定する。 • ITF0C 割り込みステータスフラグをクリアする。	ITLMKF0.MKF0C ビットを設定する。 ITLS0.ITF0C ビットをクリアする。
	<4>	32 ビットインターバルタイマのカウンタをすべて無効にする。	ITLCTL0 レジスタの EN0~EN3 ビットをクリアする。
	<5>	タイマが停止するまでカウントソースが 1 サイクル以上経過するのを待つ。	停止を待つ。
	<6>	32 ビットインターバルタイマの動作モードを変更する。 (表 17.9 を参照。)	動作モードを変更する設定を行う。
	<7>	動作モード変更完了	—

注. i = 0~3

18. 独立ウォッチドッグタイマ (IWDТ)

18.1 概要

独立ウォッチドッグタイマ (IWDТ) は 14 ビットのダウンカウンタで、カウンタのアンダーフローを防止するために定期的に点検する必要があります。IWDТには、MCU をリセットする機能やノンマスカブル割り込みまたはアンダーフロー割り込みを発生させる機能があります。このタイマは LOCO で動作するため、システム暴走時にフェイル-セーフメカニズムとして、MCU を既知の状態に復帰させる際に特に有用です。IWDТは、レジスタのリセット、アンダーフロー、リフレッシュエラー、またはカウント値のリフレッシュにより自動的にトリガできます。

表 18.1 に IWDТ の仕様を、図 18.1 に IWDТ のブロック図を示します。

表 18.1 IWDТ の仕様

項目	内容
カウントソース	IWDТ クロック (IWDТCLK) = LOCO の 2 分周
クロック分周比	1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周
カウンタ動作	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	リセット後、自動的にカウント開始
カウント停止条件	- リセット (ダウンカウンタおよび他のレジスタが初期値に戻る) - カウンタのアンダーフローまたはリフレッシュエラー発生時自動的にカウント再開
ウィンドウ機能	ウィンドウ開始 / 終了位置を設定可能 (リフレッシュ許可 / 禁止期間)
独立ウォッチドッグタイマリセット要因	- ダウンカウンタのアンダーフロー - リフレッシュ許可期間外でのリフレッシュ動作 (リフレッシュエラー)
ノンマスカブル割り込み / 割り込み要因	- ダウンカウンタのアンダーフロー - リフレッシュ許可期間外でのリフレッシュ動作 (リフレッシュエラー)
カウンタ値の読み出し	IWDТSR レジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
出力信号 (内部信号)	- リセット出力 - 割り込み要求出力 - スリープモードカウント停止制御出力
オートスタートモード	以下のトリガに対して設定可能 : - リセット後のクロック分周比の選択 (OFS0.IWDТCKS[3:0] ビット) - 独立ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDТTOPS[1:0] ビット) - 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDТRPSS[1:0] ビット) - 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDТRPES[1:0] ビット) - リセット出力または割り込み要求出力の選択 (OFS0.IWDТRSTIRQS ビット) - スリープモード、スヌーズモード、またはソフトウェアスタンバイモード遷移時のダウンカウント停止機能の選択 (OFS0.IWDТSTPCTL ビット)

バスインタフェース部とレジスタ部は PCLKB で動作し、14 ビットカウンタと制御回路は IWDТCLK で動作します。

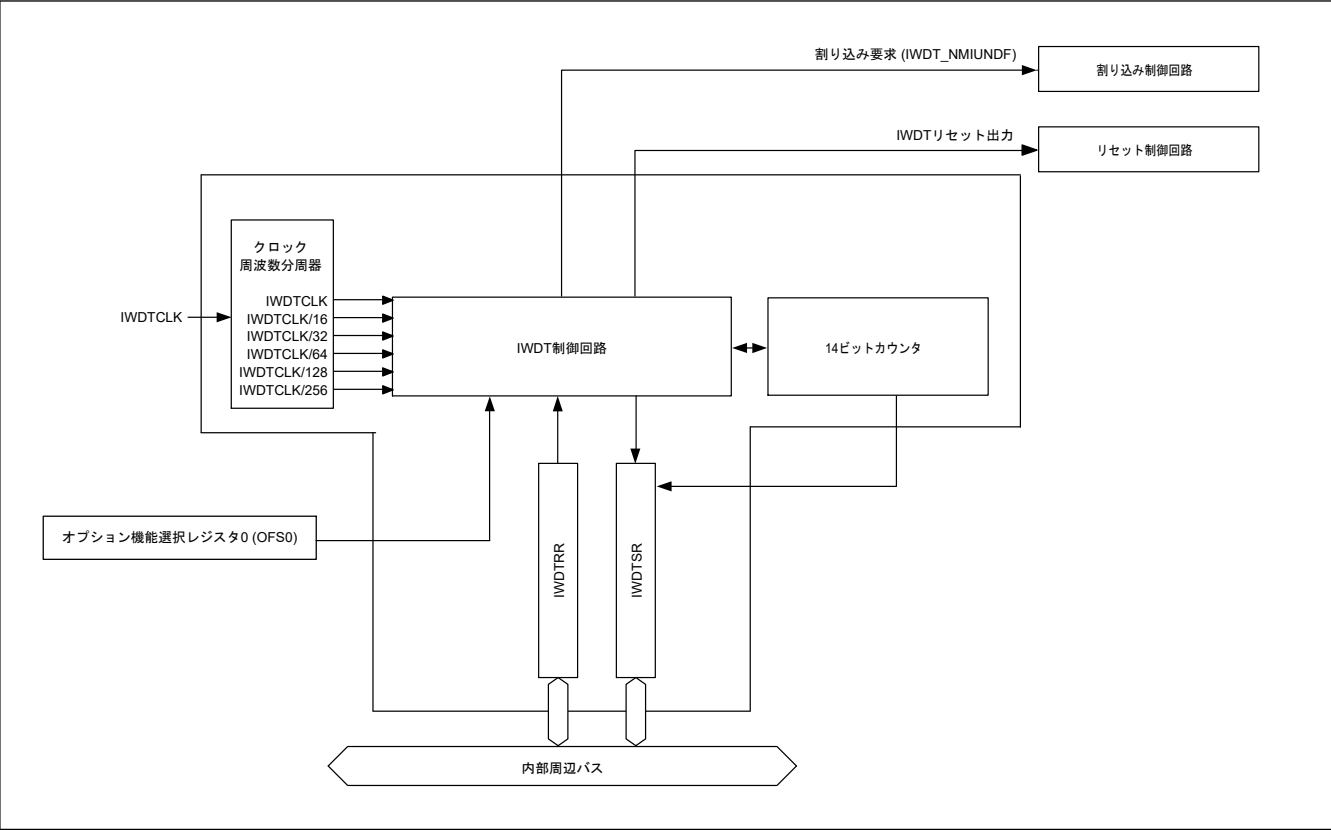


図 18.1 IWDT のブロック図

18.2 レジスタの説明

18.2.1 IWDTRR : IWDT リフレッシュレジスタ

Base address: IWDT = 0x4004_4400
Offset address: 0x0000

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	n/a	このレジスタに対して、0x00 の書き込み後、0xFF の書き込みでダウンカウンタがリフレッシュ	R/W

IWDTRR レジスタは、IWDT のダウンカウンタをリフレッシュするためのレジスタです。リフレッシュ許可期間内に、IWDTRR レジスタに 0x00 を書き込んだ後、0xFF を書き込むこと（リフレッシュ動作）により、IWDT のダウンカウンタがリフレッシュされます。ダウンカウンタがリフレッシュされると、オプション機能選択レジスタ 0 (OFS0) の IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定した値からダウンカウントがスタートします。

読み出し値は、0x00 を書き込んだ場合は 0x00 であり、0x00 以外の値を書き込んだ場合は 0xFF となります。リフレッシュ動作の詳細は、「18.3.2. リフレッシュ動作」を参照してください。

18.2.2 IWDTSR : IWDT ステータスレジスタ

Base address: IWDT = 0x4004_4400

Offset address: 0x0004

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	REFE F	UNDF F	CNTVAL[13:0]													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
13:0	CNTVAL[13:0]	ダウンカウンタ値 ダウンカウンタのカウント値	R
14	UNDF	アンダーフローフラグ 0: アンダーフローなし 1: アンダーフロー発生	R/W(注1)
15	REFE	リフレッシュエラーフラグ 0: リフレッシュエラーなし 1: リフレッシュエラー発生	R/W(注1)

注 1. フラグをクリアするための 0 書き込みのみ可能です。

IWDTSR レジスタは、ダウンカウンタのカウント値表示、およびアンダーフロー、リフレッシュエラーの発生状態を表示するレジスタです。

CNTVAL[13:0]ビット（ダウンカウンタ値）

CNTVAL[13:0]ビットを読み出すことにより、ダウンカウンタの値を確認できます。読み出し値は、実際のカウント値から 1 カウントずれる場合があります。

UNDF フラグ（アンダーフローフラグ）

UNDF フラグを読み出すことにより、ダウンカウンタのアンダーフロー発生状態を確認できます。読み出し値が 1 のとき、ダウンカウンタがアンダーフローしたことを示します。値を 0 にするには、UNDF フラグに 0 を書き込んでください。1 の書き込みは無効です。

UNDF フラグのクリアには、IWDTCLK クロックの N+2 サイクルと PCLKB クロックの 2 サイクルを要します。また、アンダーフローの発生から IWDTCLK クロックの N+2 サイクルの間は、このフラグをクリアする動作は無視されます。N は以下のように、IWDTCKS[3:0]ビットで指定されます。

- OFS0.IWDTCKS[3:0] = 0x0 の時、N = 1
- OFS0.IWDTCKS[3:0] = 0x2 の時、N = 16
- OFS0.IWDTCKS[3:0] = 0x3 の時、N = 32
- OFS0.IWDTCKS[3:0] = 0x4 の時、N = 64
- OFS0.IWDTCKS[3:0] = 0xF の時、N = 128
- OFS0.IWDTCKS[3:0] = 0x5 の時、N = 256

REFE フラグ（リフレッシュエラーフラグ）

REFE フラグを読み出すことにより、リフレッシュエラー発生状態を確認できます。読み出し値が 1 のとき、リフレッシュエラーが発生したことを示します。値を 0 にするには、REFE フラグに 0 を書き込んでください。1 の書き込みは無効です。

REFE フラグのクリアには、IWDTCLK クロックの N+2 サイクルと PCLKB クロックの 2 サイクルを要します。また、リフレッシュエラーの発生から IWDTCLK クロックの N+2 サイクルの間は、このフラグをクリアする動作は無視されます。N は以下のように、IWDTCKS[3:0]ビットで指定されます。

- OFS0.IWDTCKS[3:0] = 0x0 の時、N = 1
- OFS0.IWDTCKS[3:0] = 0x2 の時、N = 16
- OFS0.IWDTCKS[3:0] = 0x3 の時、N = 32

- OFS0.IWDТCKS[3:0] = 0x4 の時、N = 64
- OFS0.IWDТCKS[3:0] = 0xF の時、N = 128
- OFS0.IWDТCKS[3:0] = 0x5 の時、N = 256

18.2.3 OFS0 : オプション機能選択レジスタ 0

オプション機能選択レジスタ 0 (OFS0) の詳細は、「[6.2.1. OFS0 : オプション機能選択レジスタ 0](#)」を参照してください。

IWDТТОPS[1:0]ビット (IWDТ タイムアウト期間選択)

IWDТТОPS[1:0]ビットはタイムアウト期間（ダウンカウンタがアンダーフローするまでの期間）を、IWDТCKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、128 サイクル／512 サイクル／1024 サイクル／2048 サイクルから選択します。

ダウンカウンタのリフレッシュ後、アンダーフローするまでの時間（IWDТCLK サイクル数）は、IWDТCKS[3:0]ビットと IWDТТОPS[1:0]ビットの組み合わせで決定されます。

表 18.2 に、IWDТCKS[3:0]および IWDТТОPS[1:0]ビットの設定値、タイムアウト期間、および IWDТCLK サイクル数の関係を示します。

表 18.2 タイムアウト期間の設定

IWDТCKS[3:0]ビット				IWDТТОPS [1:0]ビット		クロック分周比	タイムアウト期間 (サイクル数)	IWDТCLK クロックサイクル数
b7	b6	b5	b4	b3	b2			
0	0	0	0	0	0	IWDТCLK	128	128
				0	1		512	512
				1	0		1024	1024
				1	1		2048	2048
0	0	1	0	0	0	IWDТCLK/16	128	2048
				0	1		512	8192
				1	0		1024	16384
				1	1		2048	32768
0	0	1	1	0	0	IWDТCLK/32	128	4096
				0	1		512	16384
				1	0		1024	32768
				1	1		2048	65536
0	1	0	0	0	0	IWDТCLK/64	128	8192
				0	1		512	32768
				1	0		1024	65536
				1	1		2048	131072
1	1	1	1	0	0	IWDТCLK/128	128	16384
				0	1		512	65536
				1	0		1024	131072
				1	1		2048	262144
0	1	0	1	0	0	IWDТCLK/256	128	32768
				0	1		512	131072
				1	0		1024	262144
				1	1		2048	524288

IWDTC[3:0]ビット (IWDTC クロック分周比選択)

IWDTC[3:0]ビットはダウンカウンタで使用するクロックの分周比を設定します。分周比は、IWDTC クロック (IWDTCCLK) の 1 分周/16 分周/32 分周/64 分周/128 分周/256 分周から選択できます。IWDTC[1:0]ビット設定と組み合わせて、IWDTC のカウント期間を IWDTCCLK の 128~524,288 サイクルから設定できます。

IWDTRPES[1:0]ビット (IWDTC ウィンドウ終了位置選択)

IWDTRPES[1:0]ビットはリフレッシュ許可期間を示すウィンドウ終了位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 75%、50%、25%、0%から選択できます。ウィンドウ終了位置には、ウィンドウ開始位置より小さい値を設定してください (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効であり、ウィンドウ終了位置は 0%になります。

IWDTRPSS[1:0]ビット (IWDTC ウィンドウ開始位置選択)

IWDTRPSS[1:0]ビットはリフレッシュ許可期間を示すウィンドウ開始位置を設定します。ウィンドウ開始位置は、タイムアウト期間の 100%、75%、50%、25%から選択できます。ウィンドウ開始位置には、ウィンドウ終了位置より大きい値を設定してください。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効であり、ウィンドウ終了位置は 0%になります。

ウィンドウ開始、終了位置のカウント値を表 18.3 に、IWDTRPSS[1:0]、IWDTRPES[1:0]、IWDTC[1:0]ビットで設定されるリフレッシュ許可期間を図 18.2 に示します。

表 18.3 タイムアウト期間とウィンドウ開始/終了カウンタ値の対応表

IWDTC[1:0]ビット		タイムアウト期間		ウィンドウ開始/終了カウンタ値			
b3	b2	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	128	0x007F	0x007F	0x005F	0x003F	0x001F
0	1	512	0x01FF	0x01FF	0x017F	0x00FF	0x007F
1	0	1024	0x03FF	0x03FF	0x02FF	0x01FF	0x00FF
1	1	2048	0x07FF	0x07FF	0x05FF	0x03FF	0x01FF

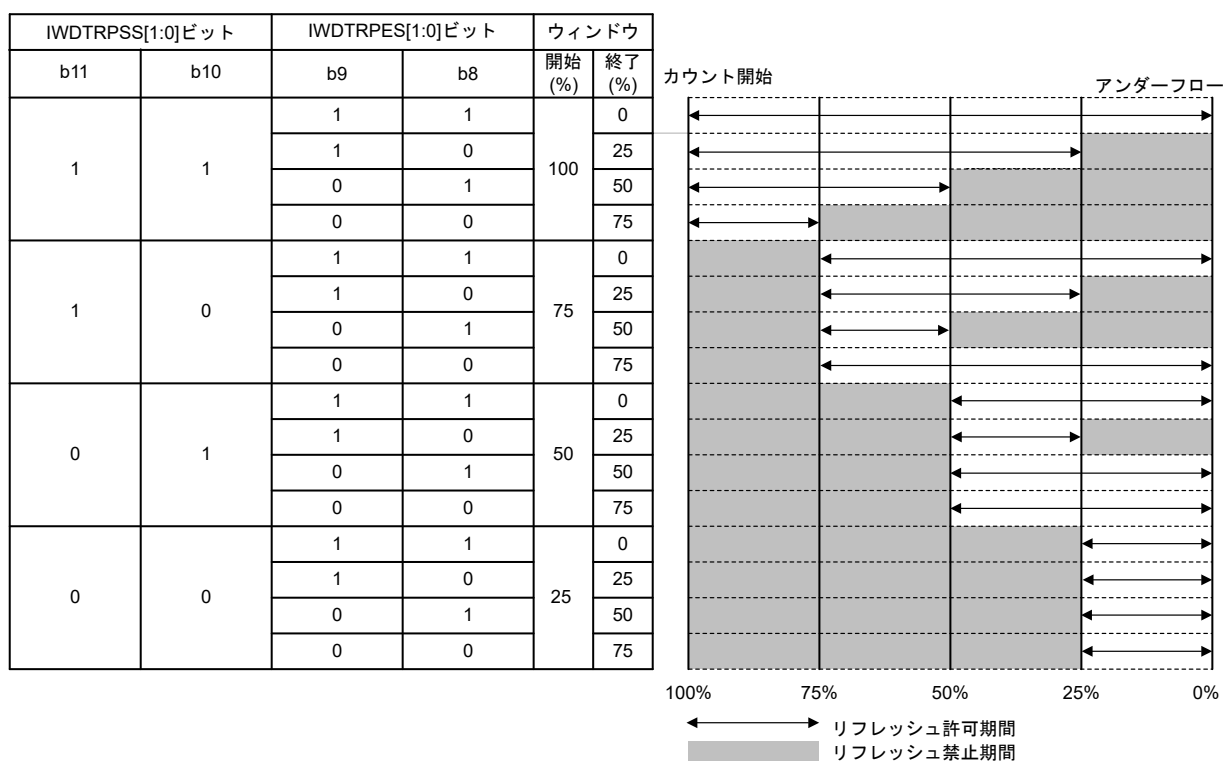


図 18.2 IWDRPSS[1:0]およびIWDRPES[1:0]ビットとリフレッシュ許可期間

IWDRSTIRQS ビット (IWDT リセット割り込み要求選択)

IWDRSTIRQS ビットは、アンダーフローまたはリフレッシュエラー発生時の動作を指定します。1 にすると、リセット出力が選択されます。0 にすると、割り込みが選択されます。

IWDTSTPCTL ビット (IWDT 停止制御)

IWDTSTPCTL ビットは、スリープモード、スヌーズモード、またはソフトウェアスタンバイモードに遷移した時にカウントを停止させるかどうかを選択します。

18.3 動作説明**18.3.1 オートスタートモード**

オプション機能選択レジスタ 0 の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が 0 の場合、オートスタートモードが選択されています。OFS0.IWDTSTRT ビットが 1 の場合、リセット後の IWDT は停止状態です。

リセット状態の間に、オプション機能選択レジスタ 0 (OFS0) の下記の設定値が IWDT のレジスタに設定されます。

- クロック分周比 (OFS0.IWDTCKS[3:0])
- ウィンドウ開始および終了位置 (OFS0.IWDRPSS[1:0]、OFS0.IWDRPES[1:0])
- タイムアウト期間 (OFS0.IWDTTOPS[1:0])
- リセット出力または割り込み要求 (OFS0.IWDRSTIRQS)

リセット状態が解除されると、IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定された値からダウンカウンタが自動でダウンカウントを開始します。

以降、プログラムが正常に動作し続けて、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、リフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウント継続中は、IWDT はリセット信号を出力しません。プログラムの暴走によりダウンカウンタのリフレッシュが行われず、ダウンカ

ウンタのアンダーフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセットを出力するか、もしくはノンマスカブル割り込み要求または割り込み要求 (IWDT_NMIUNDF) を出力します。

リセット信号またはノンマスカブル割り込み要求／割り込み要求が発生してから 1 サイクルカウント後に、カウンタはタイムアウト期間をリロードします。ダウンカウンタにタイムアウト期間の値が設定され、カウントを開始します。リセット出力または割り込み要求出力は、IWDT リセット割り込み要求選択ビット (OFS0.IWDTRSTIRQS) で選択できます。ノンマスカブル割り込み要求を許可する割り込みは、IWDT アンダーフロー／リフレッシュエラー割り込み許可ビット (NMIER.IWDTEN) で選択できます。

図 18.3 に、下記の条件下での動作例（ノンマスカブル割り込み）を示します。

- オートスタートモード (OFS0.IWDTSTRT = 0)
- IWDT 動作選択：割り込み (OFS0.IWDTRSTIRQS = 0)
- ノンマスカブル割り込み：IWDT アンダーフロー／リフレッシュエラー割り込み許可 (NMIER.IWDTEN = 1)
- ウィンドウ開始位置 75% (OFS0.IWDTRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.IWDTRPES[1:0] = 10b)

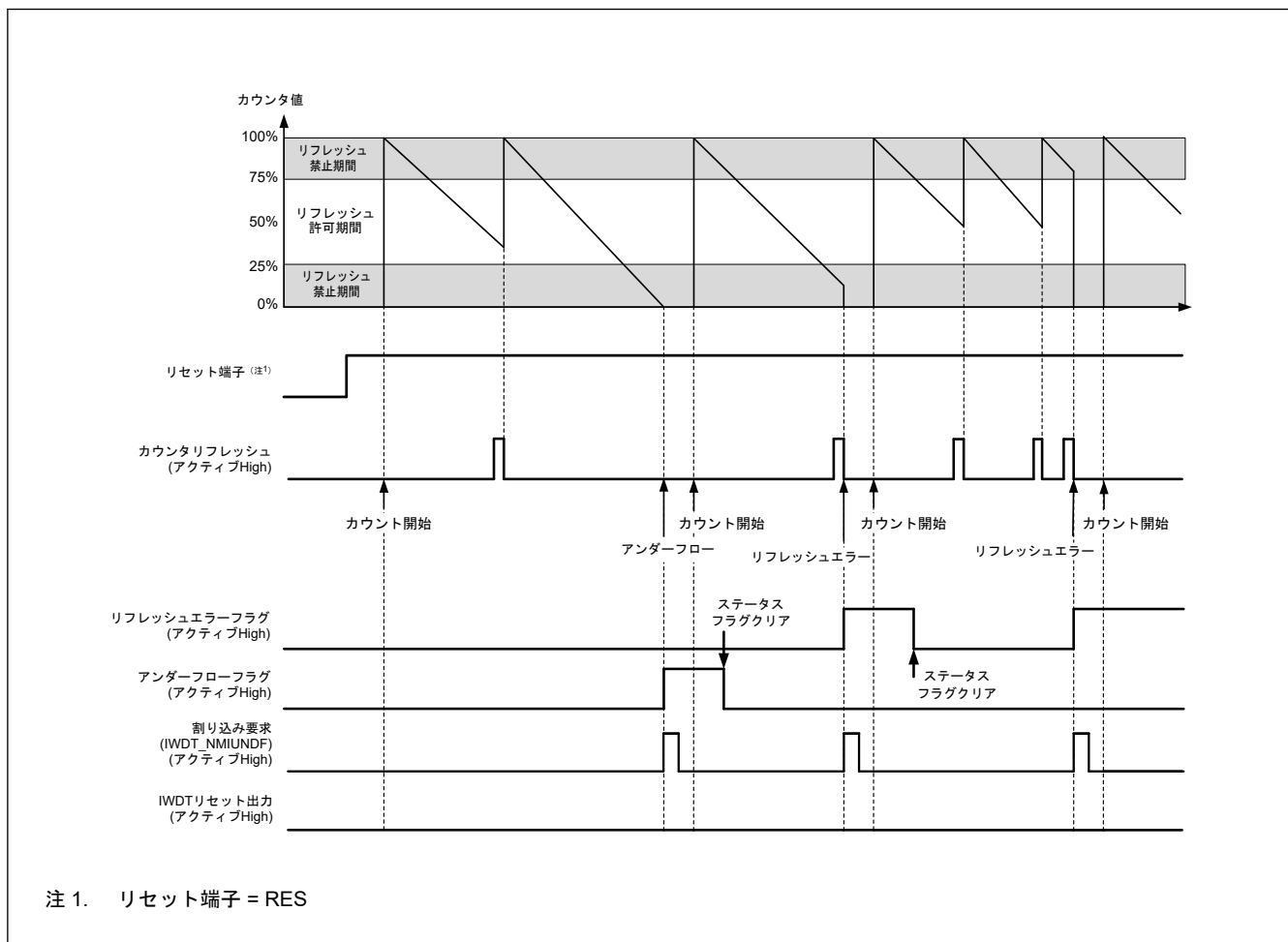


図 18.3 オートスタートモードでの動作例

18.3.2 リフレッシュ動作

ダウンカウンタをリフレッシュしてカウント動作を開始するには、0x00 から 0xFF の順序で IWDT リフレッシュレジスタ (IWDTRR) に書き込みます。0x00 の後に 0xFF 以外の値を書き込むと、ダウンカウンタはリフレッシュされません。無効な値を書き込んだ場合は、IWDTRR レジスタに 0x00 から 0xFF の順序で書き込むと、正常なリフレッシュが行われます。

0x00 (1 回目) → 0x00 (2 回目) の順で書き込みを行った場合でも、その後に 0xFF を書き込めば、0x00 → 0xFF の書き込み順序が成立します。0x00 (n-1 回目) → 0x00 (n 回目) → 0xFF という書き込み順序は有効であり、正常にリフレッシュを行います。0x00 より前の書き込み値が 0x00 以外であっても、動作に 0x00 → 0xFF という書き込み順序が含まれている限り、正常にリフレッシュを行います。

また、IWDTRR レジスタへの 0x00 の書き込みと 0xFF の書き込みの間に、IWDTRR 以外のレジスタにアクセスするか、または IWDTRR レジスタを読み出しても、正常にリフレッシュを行います。カウンタをリフレッシュするための書き込みは、リフレッシュ許可期間中に行う必要があります。この判定は 0xFF の書き込み時に行われます。そのため、0x00 の書き込みがリフレッシュ許可期間外であっても、リフレッシュは正常に行われます。

【カウンタのリフレッシュに有効な書き込み順序の例】

- 0x00 → 0xFF
- 0x00 (n-1 回目) → 0x00 (n 回目) → 0xFF
- 0x00 → 別レジスタへのアクセスまたは IWDTRR レジスタの読み出し → 0xFF

【カウンタのリフレッシュに無効な書き込み順序の例】

- 0x23 (0x00 以外の値) → 0xFF
- 0x00 → 0x54 (0xFF 以外の値)
- 0x00 → 0xAA (0x00 および 0xFF 以外の値) → 0xFF

カウンタのリフレッシュには、IWDTRR レジスタに 0xFF を書き込んでから、IWDT クロック (IWDTCCLK) の何サイクルがカウンタの 1 サイクルを生成するかを決めるために、IWDT クロック分周比選択ビット (OFS0.IWDTCCKS[3:0]) のカウンタ信号のサイクル数で最大 4 サイクルを要します。この要件を満たすには、リフレッシュ許可期間の終了またはダウンカウンタのアンダーフローが発生する 4 カウントサイクル前までに、IWDTRR レジスタへの 0xFF 書き込みを完了してください。カウンタの値はカウンタ値ビット (IWDTSR.CNTVAL[13:0]) で確認できます。

【リフレッシュ動作タイミング例】

- ウィンドウ開始位置を 0x01FF とした場合、IWDTRR レジスタへの 0x00 の書き込みが 0x01FF より前 (たとえば 0x0202) であっても、IWDTSR.CNTVAL[13:0] ビット値が 0x01FF になってから IWDTRR へ 0xFF を書き込めば、リフレッシュが発生します。
- ウィンドウ終了位置を 0x01FF とした場合、IWDTRR レジスタへ 0x00 → 0xFF を書き込んだ直後に IWDTSR.CNTVAL[13:0] ビットから読み出した値が 0x0203 (0x01FF の 4 カウントサイクル前) 以上であれば、リフレッシュを行います。
- リフレッシュ許可期間が 0x0000 まで続く場合、アンダーフローの直前でリフレッシュが可能です。この場合、IWDTRR レジスタへ 0x00 → 0xFF を書き込んだ直後に IWDTSR.CNTVAL[13:0] ビットから読み出した値が 0x0003 (アンダーフローの 4 カウントサイクル前) 以上であれば、アンダーフローは発生しないでリフレッシュを行います。

図 18.4 に、PCLKB > IWDTCCLK、かつクロック分周比が IWDTCCLK の 1 分周である場合の IWDT リフレッシュ動作波形を示します。

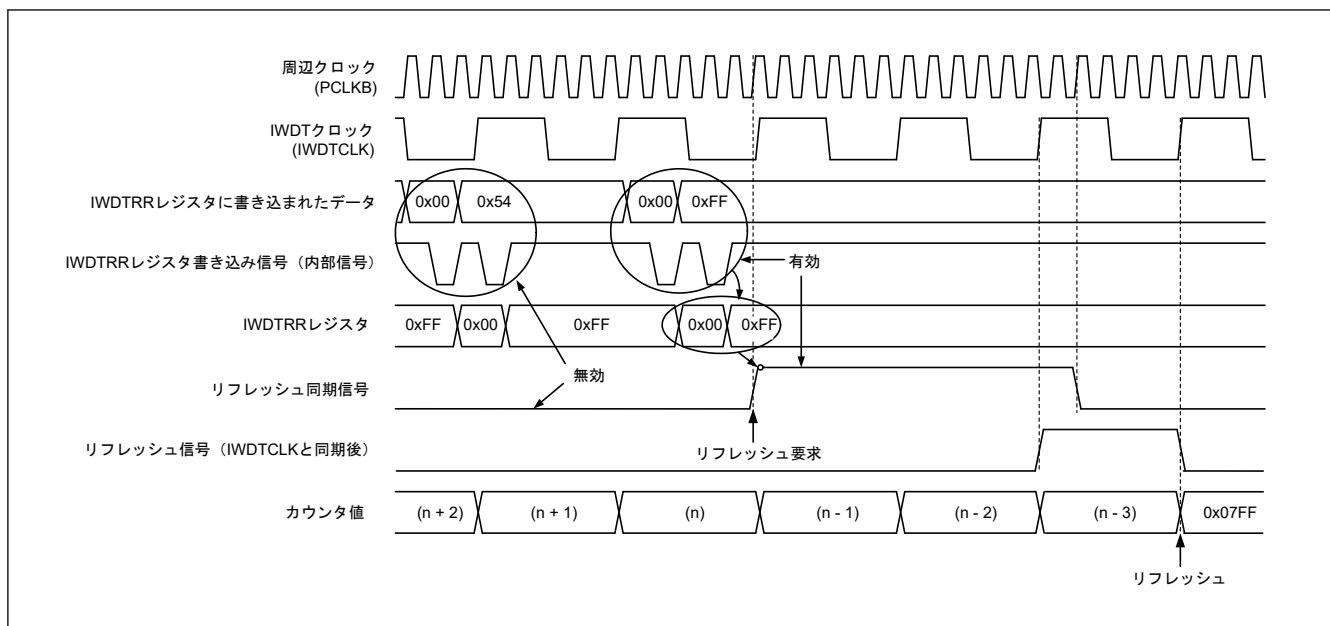


図 18.4 IWDT リフレッシュ動作波形 (OFS0.IWDTCKS[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合)

18.3.3 ステータスフラグ

リフレッシュエラーフラグ (IWDTSR.REFEF) とアンダーフローフラグ (IWDTSR.UNDF) は、IWDT の割り込み要求が発生した場合の割り込み要因を保持します。割り込み要求の発生後に、IWDTSR.REFEF フラグと IWDTSR.UNDF フラグを読み出すことで、割り込み要因の発生状態を確認できます。各フラグは、0 を書くことによってクリアされます。1 の書き込みは無効です。

ステータスフラグをそのままにしても、動作に影響を与えません。次に IWDT が割り込み要求を出力したときに、現在のフラグの値にかかわらず、新しい割り込み要因が書き込まれます。なお、各フラグに 0 を書いてから、その値が反映されるまでの時間は、「18.2.2. IWDTSR : IWDT ステータスレジスタ」を参照してください。

18.3.4 リセット出力

オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) を 1 にした場合、ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号を出力します。リセットが解除された後、自動でダウンカウントを開始します。

18.3.5 割り込み要因

オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) を 0 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、割り込み信号 (IWDT_NMIUNDF) を生成します。この割り込みは、ノンマスカブル割り込みと割り込みの両方に対応しています。詳細は「11. 割り込みコントローラユニット (ICU)」を参照してください。

表 18.4 IWDT の割り込み要因

名称	割り込み要因	CPU への割り込み	DTC の起動
IWDT_NMIUNDF	- ダウンカウンタのアンダーフロー - リフレッシュエラー	可能	不可能

18.3.6 ダウンカウンタ値の読み出し

IWDT のカウンタは IWDT クロック (IWDTCLK) で動作しているため、カウンタ値を直接読み出すことはできません。IWDT は、カウンタ値を周辺クロック (PCLKB) に同期させて、IWDT ステータスレジスタのダウンカウンタ値ビット (IWDTSR.CNTVAL[13:0]) へ格納します。これらのビットを確認して、間接的にカウンタ値を取得してください。

カウンタ値の読み出しには PCLKB クロックで数サイクル (最大 4 クロックサイクル) を要するため、読み出されるカウンタ値は、実際のカウンタ値から 1 カウントずれる場合があります。

図 18.5 に、 $PCLKB > IWDTCLK$ 、かつクロック分周比が $IWDTCLK \times 1$ 分周である場合の IWDT カウンタ値の読み出し処理を示します。

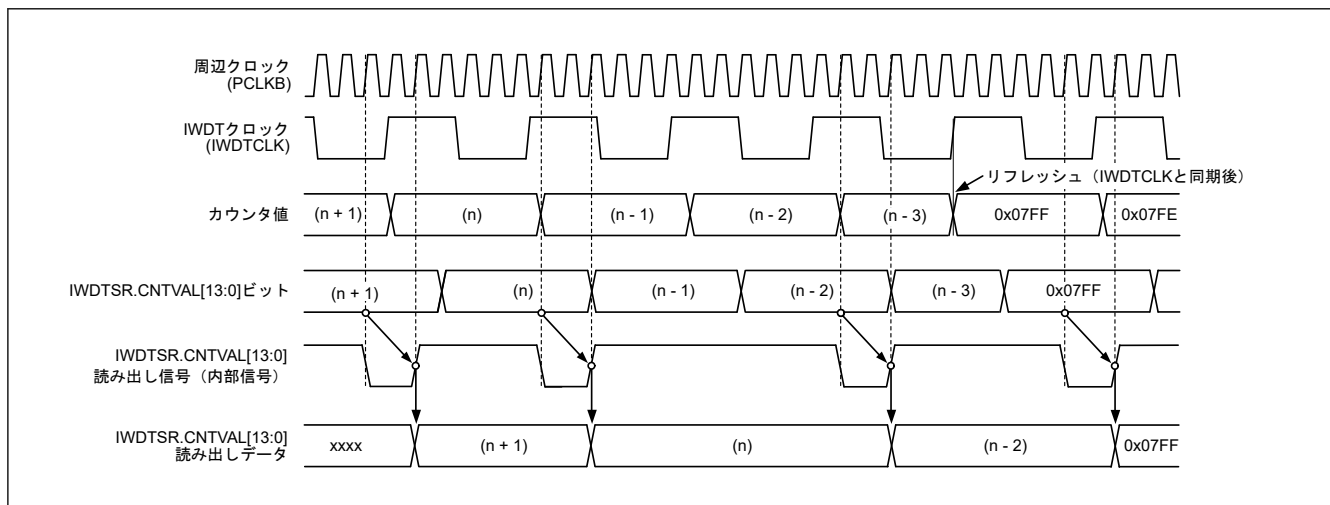


図 18.5 IWDT ダウンカウンタ値の読み出し処理 ($OFS0.IWDTCKS[3:0] = 0000b$ 、 $OFS0.IWDTTOPS[1:0] = 11b$ の場合)

18.4 使用上の注意事項

18.4.1 リフレッシュ動作

リフレッシュ時間を設定する際は、PCLKB と IWDTCLK のクロックの発振精度を考慮してください。発振精度による誤差の範囲で周期が変動してもリフレッシュできる値を設定してください。

18.4.2 クロック分周比の設定に関する制限

周辺モジュールクロック (PCLKB) 周波数 $\geq 4 \times$ (カウントクロックソースの分周後の周波数) となるように設定してください。

19. シリアルアレイユニット (SAU)

19.1 概要

シリアルアレイユニット (SAU) には 1 つのユニットがあります。ユニット 0 には 4 つのチャンネルがあります。各チャンネルは 3 線シリアル (簡易 SPI)、UART、または簡易 IIC として動作できます。ただし、これらの機能は同じチャンネルに同時に割り当てることはできません。

本 MCU で対応している各チャンネルの機能割り当てを表 19.1 に示します。

表 19.1 機能割り当て

ユニット	チャンネル	簡易 SPI として使用	UART として使用	簡易 I ² C として使用
0	0	SPI00	UART0 (LIN バス対応)	IIC00
	1	—		—
	2	—	UART1	—
	3	SPI11		IIC11

19.1.1 簡易 SPI

マスタから出力されるシリアルクロック (SCK) に同期してデータの送信／受信を行います。

シリアルクロック (SCK) 用に 1 本、シリアルデータ送信 (SO) 用に 1 本、そしてシリアルデータ受信 (SI) 用に 1 本の、計 3 本の通信ラインを使用して通信を行うクロック同期式の 3 線シリアル通信機能です。

設定の詳細は、「19.5. 簡易 SPI の動作」を参照してください。

[データ送受信]

- 7 ビットまたは 8 ビットのデータ長
- 送受信データの位相制御
- MSB ファーストまたは LSB ファーストを選択可能

[クロック制御]

- マスタ／スレーブの選択
- 入出力クロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送速度(注1)
マスタ通信時：最高 PCLKB/2 (SPI00 のみ)、最高 PCLKB/4
スレーブ通信時：最高 $f_{MCK}/6$ (注2)

[割り込み機能]

- 転送終了割り込みまたはバッファエンプティ割り込み (SAU0_SPI_TXRXI00/SAU0_SPI_TXRXI11)

[エラー検出フラグ]

- オーバーランエラー

さらに、以下のチャンネルの簡易 SPI はスヌーズモードをサポートします。スヌーズモードでは、ソフトウェアスタンバイモード時に SCK 入力を検出すると、CPU 処理なしでデータを受信できます。スヌーズモードは、非同期受信をサポートする以下の簡易 SPI のみ利用可能です。

- SPI00

注 1. 転送速度は、SCK サイクルタイム (tKCY) を満たす範囲内で設定してください。詳細は、 $T_A = -40 \sim +125 \text{ }^\circ\text{C}$ の場合、「27. 電気的特性」を参照してください。

注 2. プリスケアラ使用時、 f_{MCK} は PCLKB で分周されたクロックです。

注. 必要な場合は、汎用ポート端子を使用してチップ選択信号を送ってください。

19.1.2 UART

シリアルデータ送信 (TXD) とシリアルデータ受信 (RXD) の 2 本のラインによる、調歩同期式通信機能です。この 2 本の通信ラインを使用し、スタートビット、データ、パリティビット、およびストップビットからなる 1 データフレームごとにマイクロコントローラと通信相手間を非同期で（内部ボーレートを使用して）データを送受信します。送信専用（偶数チャンネル）と受信専用（奇数チャンネル）の 2 チャンネルを使用することで、全 2 重 UART 通信が実現できます。また、タイマアレイユニットと外部割り込み (IRQ0) を組み合わせて LIN バスにも対応可能です。

具体的な設定例は、「[19.6. UART 通信の動作](#)」を参照してください。

[データ送受信]

- 7 ビット、8 ビット、または 9 ビットのデータ長^(注1)
- MSB ファーストまたは LSB ファーストを選択可能
- 送受信データのレベル設定および反転の選択
- パリティビット付加およびパリティチェック機能
- ストップビット付加

[割り込み機能]

- 転送終了割り込みおよびバッファエンプティ割り込み (SAU0_UART_TXI0/SAU0_UART_RXI0/SAU0_UART_TXI1/SAU0_UART_RXI1)
- フレーミングエラー、パリティエラー、またはオーバーランエラーの場合にエラー割り込み (SAU0_UART_ERRI0/SAU0_UART_ERRI1)

[エラー検出フラグ]

- フレーミングエラー、パリティエラー、またはオーバーランエラー

さらに、以下のチャンネルの UART 受信はスヌーズモードをサポートします。スヌーズモードでは、ソフトウェアスタンバイモード時に RXD 入力を検出すると、CPU 処理なしでデータを受信できます。スヌーズモードは、受信ボーレート調整機能をサポートする以下の UART でのみ利用可能です。

- UART0

UART0（ユニット 0 のチャンネル 0 とチャンネル 1）は、LIN バスに対応しています。

[LIN バス機能]

- ウェイクアップ信号検出
- ブレークフィールド (BF) 検出
- 同期フィールド測定、ボーレート算出

注 1. UART0 のみ 9 ビットのデータ長をサポートします。

19.1.3 簡易 I²C

シリアルクロック (SCL) とシリアルデータ (SDA) の 2 本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易 I²C では、EEPROM、フラッシュメモリ、A/D コンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタートコンディションおよびストップコンディションの AC スペックを守るように、制御レジスタの操作とともに、ソフトウェアで処理してください。

設定の詳細は、「[19.8. 簡易 I²C モードの動作](#)」を参照してください。

[データ送受信]

- マスタ送信、マスタ受信（シングルマスタでのマスタ機能のみ）
- ACK 出力機能^(注1)および ACK 検出機能
- 8 ビットのデータ長

(アドレス送信時は、上位 7 ビットでアドレス指定し、最下位 1 ビットは R/W 制御に使用)

- スタートコンディションおよびストップコンディションの手動生成

[割り込み機能]

- 転送終了割り込み (SAU0_IIC_TXRXI00/SAU0_IIC_TXRXI11)

[エラー検出フラグ]

- ACK エラーまたはオーバーランエラー

[簡易 I²C でサポートしていない機能]

- スレーブ送信、スレーブ受信
- アービトレーションロスト検出機能
- クロックストレッチ検出

注 1. 最終データの受信時は、SOE ビット (シリアル出力許可レジスタ m (SOEm)) に 0 を書き込み、シリアル通信のデータ出力を停止することにより ACK を出力しません。詳細は、(2) 処理フローを参照してください。

注. フル機能の I²C バスをご使用の場合は、「20. I²C バスインタフェース (IICA)」を参照してください。

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)

19.2 シリアルアレイユニットの構成

シリアルアレイユニットは、表 19.2 に示すレジスタと入出力端子により構成されます。

表 19.2 シリアルアレイの構成

項目	設定
シフトレジスタ	8 または 9 ビット(注1)
バッファレジスタ	シリアルデータレジスタ mn (SDRmn) の下位 8 ビットまたは 9 ビット(注1)
シリアルクロック入出力	SCK00、SCK11 端子 (簡易 SPI 用) SCL00、SCL11 端子 (簡易 I ² C 用)
シリアルデータ入力	SI00、SI11 端子 (簡易 SPI 用) RXD0 端子 (LIN バスをサポートする UART 用)、RXD1 端子 (UART 用)
シリアルデータ出力	SO00、SO11 端子 (簡易 SPI 用) TXD0 端子 (LIN バスをサポートする UART 用)、TXD1 端子 (UART 用)
シリアルデータ入出力	SDA00、SDA11 端子 (簡易 I ² C 用)
チップ選択入力	SSI00 端子 (SPI00 用)
制御レジスタ	<ユニット設定部のレジスタ> ● シリアルクロック選択レジスタ m (SPSm) ● シリアルチャネル許可ステータスレジスタ m (SEm) ● シリアルチャネル開始レジスタ m (SSm) ● シリアルチャネル停止レジスタ m (STm) ● シリアル出力許可レジスタ m (SOEm) ● シリアル出力レジスタ m (SOM) ● シリアル出力レベルレジスタ m (SOLm) ● シリアルスタンバイコントロールレジスタ 0 (SSC0) ● 入力切り替え制御レジスタ (ISC) ● SAU ノイズフィルタ許可レジスタ (SNFEN) <各チャネル部のレジスタ> ● シリアルデータレジスタ mn (SDRmn) ● シリアルモードレジスタ mn (SMRmn) ● シリアル通信動作設定レジスタ mn (SCRmn) ● シリアルステータスレジスタ mn (SSRmn) ● シリアルフラグクリアトリガレジスタ mn (SIRmn) ● UART ループバック選択レジスタ (ULBS)

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)

注 1. シフトレジスタおよびバッファレジスタとして使用されるビット数は、ユニットおよびチャンネルによって異なります。

- mn = 00, 01 : 下位 9 ビット
- 上記以外 : 下位 8 ビット

図 19.1 にシリアルアレイユニット 0 のブロック図を示します。

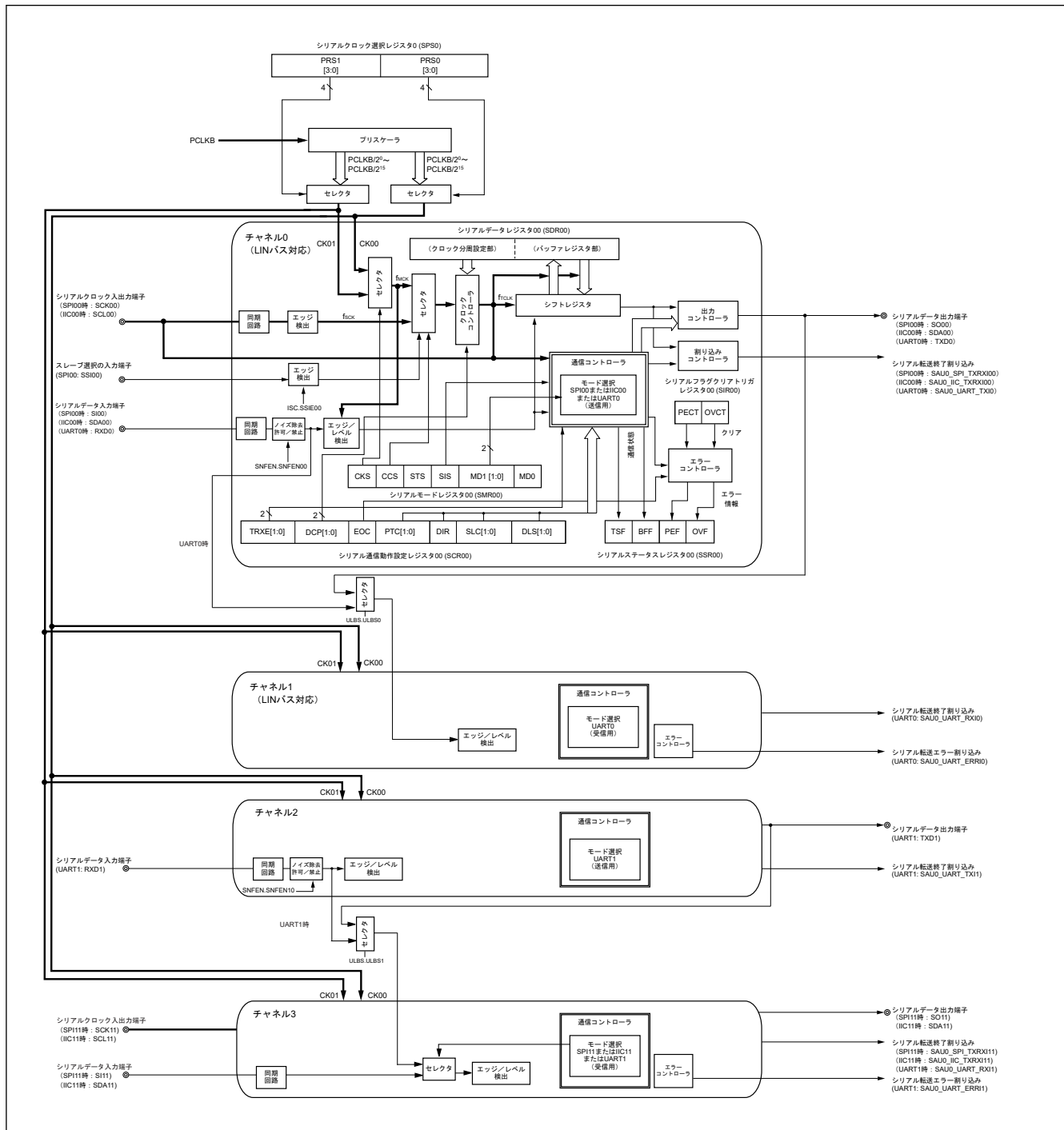


図 19.1 シリアルアレイユニット 0 のブロック図

19.3 レジスタの説明

19.3.1 SPSm : シリアルクロック選択レジスタ m (m = 0)

Base address: SAUm = 0x400A_2000 + 0x200 × m (m = 0)

Offset address: 0x0126

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	PRS1[3:0]				PRS0[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	PRS0[3:0]	動作クロック (CKm0) の選択(注1) 0x0: PCLKB 0x1: PCLKB/2 0x2: PCLKB/2 ² 0x3: PCLKB/2 ³ 0x4: PCLKB/2 ⁴ 0x5: PCLKB/2 ⁵ 0x6: PCLKB/2 ⁶ 0x7: PCLKB/2 ⁷ 0x8: PCLKB/2 ⁸ 0x9: PCLKB/2 ⁹ 0xA: PCLKB/2 ¹⁰ 0xB: PCLKB/2 ¹¹ 0xC: PCLKB/2 ¹² 0xD: PCLKB/2 ¹³ 0xE: PCLKB/2 ¹⁴ 0xF: PCLKB/2 ¹⁵	R/W
7:4	PRS1[3:0]	動作クロック (CKm1) の選択(注1) 0x0: PCLKB 0x1: PCLKB/2 0x2: PCLKB/2 ² 0x3: PCLKB/2 ³ 0x4: PCLKB/2 ⁴ 0x5: PCLKB/2 ⁵ 0x6: PCLKB/2 ⁶ 0x7: PCLKB/2 ⁷ 0x8: PCLKB/2 ⁸ 0x9: PCLKB/2 ⁹ 0xA: PCLKB/2 ¹⁰ 0xB: PCLKB/2 ¹¹ 0xC: PCLKB/2 ¹² 0xD: PCLKB/2 ¹³ 0xE: PCLKB/2 ¹⁴ 0xF: PCLKB/2 ¹⁵	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. PCLKB に選択しているクロックを変更する場合は、シリアルアレイユニット (SAU) の動作を停止（シリアルチャネル停止レジスタ m (STm) = 0x000F）させてから変更してください。

SPSm は、各チャネルに共通して供給される 2 種類の動作クロック (CKm0, CKm1) を選択するのに使用される 16 ビットレジスタです。PRS1[3:0] ビットで CKm1 を、PRS0[3:0] で CKm0 を選択します。SPSm レジスタは、レジスタ動作中 (SEm.SE[n] = 1 のとき) の書き換えは禁止です。

PRS0[3:0] ビットと PRS1[3:0] ビットで選択できる入力ソースを、[表 19.3](#) に示します。

表 19.3 動作クロックの選択 (PRSk[3:0] (k = 0, 1))

PRSk[3:0]		動作クロック (CKmk) の選択 (k = 0, 1)				
		PCLKB = 2 MHz	PCLKB = 5 MHz	PCLKB = 10 MHz	PCLKB = 20 MHz	PCLKB = 32 MHz
0x0	PCLKB	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz
0x1	PCLKB/2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0x2	PCLKB/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0x3	PCLKB/2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0x4	PCLKB/2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
0x5	PCLKB/2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz	1 MHz
0x6	PCLKB/2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz
0x7	PCLKB/2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	250 kHz
0x8	PCLKB/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
0x9	PCLKB/2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	62.5 kHz
0xA	PCLKB/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
0xB	PCLKB/2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	15.6 kHz
0xC	PCLKB/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
0xD	PCLKB/2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
0xE	PCLKB/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz
0xF	PCLKB/2 ¹⁵	61.0 Hz	153 Hz	305 Hz	610 Hz	977 Hz

注. PCLKB に選択しているクロックを変更する場合は、シリアルアレイユニット (SAU) の動作を停止（シリアルチャネル停止レジスタ m (STm) = 0x000F）させてから変更してください。

19.3.2 SMRmn : シリアルモードレジスタ mn (mn = 00, 02)

Base address: SAUm = 0x400A_2000 + 0x200 × m

Offset address: 0x0110 + 0x2 × n

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:	CKS	CCS	—	—	—	—	—	—	—	—	—	—	MD1[1:0]	MD0

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 1 0 0 0 0

ビット	シンボル	機能	R/W
0	MD0	チャネル n 割り込み要因の選択 0: 転送終了割り込み 1: バッファエンプティ割り込み（データが SDRmn レジスタからシフトレジスタに転送されるときに発生）	R/W
2:1	MD1[1:0]	チャネル n 動作モードの設定 0 0: 簡易 SPI モード 0 1: UART モード 1 0: 簡易 I ² C モード 1 1: 設定禁止	R/W
4:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
13:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	CCS	チャネル n の転送クロック (f _{TCLK}) の選択 0: CKS ビットで指定した動作クロック f _{MCK} の分周クロック 1: SCKp 端子からのクロック入力 f _{SCK} （簡易 SPI モードでのスレーブ転送）	R/W

ビット	シンボル	機能	R/W
15	CKS	チャンネル n の動作クロック (f_{MCK}) の選択 0: SPSm レジスタで設定した動作クロック CKm0 1: SPSm レジスタで設定した動作クロック CKm1	R/W

SMRmn レジスタは、チャンネル n の動作モードを設定するのに使用されるレジスタです。また、動作クロック (f_{MCK}) の選択、シリアルクロック (f_{SCK}) 入力の使用可否、スタートトリガ設定、動作モード（簡易 SPI、UART、または簡易 I²C）設定、および割り込み要因の選択にも使用されます。また UART モード時のみ、受信データのレベルを反転するのにも使用されます。

SMRmn レジスタは、レジスタ動作中（SEm.SE[n] = 1 のとき）の書き換えは禁止です。ただし MD0 ビットは、動作中でも書き換え可能です。

MD0 ビット（チャンネル n 割り込み要因の選択）

連続送信時はこのビットを 1 にして、SDRmn データが空になったら次送信データの書き込みを行います。

MD1[1:0] ビット（チャンネル n 動作モードの設定）

MD1[1:0] ビットはチャンネル n の動作モード設定に使用されます。

CCS ビット（チャンネル n の転送クロック (f_{TCLK}) の選択）

転送クロック (f_{TCLK}) は、シフトレジスタ、通信コントローラ、出力コントローラ、割り込みコントローラ、およびエラーコントローラに使用されます。CCS = 0 の場合は、SDRmn レジスタの上位 7 ビットで動作クロック (f_{MCK}) の分周設定を行います。

CKS ビット（チャンネル n の動作クロック (f_{MCK}) の選択）

動作クロック (f_{MCK}) は、エッジ検出回路に使用されます。また、CCS ビットと SDRmn レジスタの上位 7 ビットの設定により、転送クロック (f_{TCLK}) を生成します。

19.3.3 SMRmn : シリアルモードレジスタ mn (mn = 01, 03)

Base address: SAUm = 0x400A_2000 + 0x200 × m

Offset address: 0x0110 + 0x2 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CKS	CCS	—	—	—	—	—	STS	—	SIS0	—	—	—	MD1[1:0]	MD0	
Value after reset:	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MD0	チャンネル n 割り込み要因の選択 0: 転送終了割り込み 1: バッファエンpty割り込み（データが SDRmn レジスタからシフトレジスタに転送されるときに発生）	R/W
2:1	MD1[1:0]	チャンネル n 動作モードの設定 0 0: 簡易 SPI モード 0 1: UART モード 1 0: 簡易 I ² C モード 1 1: 設定禁止	R/W
4:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
6	SIS0	UART モードでのチャンネル n 受信データのレベル反転の制御 0: 立ち下がりエッジをスタートビットとして検出 入力される通信データは、そのまま取り込まれます。 1: 立ち上がりエッジをスタートビットとして検出 入力される通信データは、反転して取り込まれます。	R/W

ビット	シンボル	機能	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	STS	スタートトリガ要因の選択 0: ソフトウェアトリガのみ有効 (簡易 SPI、UART 送信、および簡易 I ² C 時に選択) 1: RXDq 端子の有効エッジ (UART 受信時に選択)	R/W
13:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	CCS	チャンネル n の転送クロック (f _{TCLK}) の選択 0: CKS ビットで指定した動作クロック f _{MCK} の分周クロック 1: SCKp 端子からのクロック入力 f _{SCK} (簡易 SPI モードでのスレーブ転送)	R/W
15	CKS	チャンネル n の動作クロック (f _{MCK}) の選択 0: SPSm レジスタで設定した動作クロック CKm0 1: SPSm レジスタで設定した動作クロック CKm1	R/W

SMRmn レジスタは、チャンネル n の動作モードを設定するのに使用されるレジスタです。また、動作クロック (f_{MCK}) の選択、シリアルクロック (f_{SCK}) 入力の使用可否、スタートトリガ設定、動作モード (簡易 SPI、UART、または簡易 I²C) 設定、および割り込み要因の選択にも使用されます。また UART モード時のみ、受信データのレベルを反転するのにも使用されます。

SMRmn レジスタは、レジスタ動作中 (SEm.SE[n]=1 のとき) の書き換えは禁止です。ただし MD0 ビットは、動作中でも書き換え可能です。

MD0 ビット (チャンネル n 割り込み要因の選択)

連続送信時はこのビットを 1 にして、SDRmn データが空になったら次送信データの書き込みを行います。

MD1[1:0] ビット (チャンネル n 動作モードの設定)

MD1[1:0] ビットはチャンネル n の動作モード設定に使用されます。

SIS0 ビット (UART モードでのチャンネル n 受信データのレベル反転の制御)

SIS0 ビットは、UART モードでチャンネル n の受信データレベル反転を制御するのに使用されます。

STS ビット (スタートトリガ要因の選択)

SSm レジスタに 1 を設定後、ソフトウェアトリガまたは RxDq 端子の有効エッジを検出すると、転送開始となります。

CCS ビット (チャンネル n の転送クロック (f_{TCLK}) の選択)

転送クロック (f_{TCLK}) は、シフトレジスタ、通信コントローラ、出力コントローラ、割り込みコントローラ、およびエラーコントローラに使用されます。CCS=0 の場合は、SDRmn レジスタの上位 7 ビットで動作クロック (f_{MCK}) の分周設定を行います。

CKS ビット (チャンネル n の動作クロック (f_{MCK}) の選択)

動作クロック (f_{MCK}) は、エッジ検出回路に使用されます。また、CCS ビットと SDRmn レジスタの上位 7 ビットの設定により、転送クロック (f_{TCLK}) を生成します。

19.3.4 SCRm0 : シリアル通信動作設定レジスタ m0 (m = 0)

Base address: SAUm = 0x400A_2000 + 0x200 × m (m = 0)

Offset address: 0x0118

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TRXE[1:0]	DCP[1:0]	—	—	PTC[1:0]	DIR	—	SLC[1:0]	—	—	DLS[1:0]	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	1

ビット	シンボル	機能	R/W
1:0	DLS[1:0]	簡易 SPI モードおよび UART モードでのデータ長の設定 0 0: 設定禁止 0 1: 9 ビットデータ長 (SDRm0 レジスタのビット 0~8 に格納) (UART モードでのみ設定可能) 1 0: 7 ビットデータ長 (SDRm0 レジスタのビット 0~6 に格納) 1 1: 8 ビットデータ長 (SDRm0 レジスタのビット 0~7 に格納)	R/W
2	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	SLC[1:0]	UART モードでのストップビットの設定 0 0: ストップビットなし 0 1: ストップビット長 = 1 ビット 1 0: ストップビット長 = 2 ビット 1 1: 設定禁止	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	DIR	簡易 SPI モードおよび UART モードでのデータ転送順序の選択 0: MSB ファーストでデータ入出力を行う 1: LSB ファーストでデータ入出力を行う	R/W
9:8	PTC[1:0]	UART モードでのパリティビットの設定 0 0: 送信: パリティビットを出力しない 受信: パリティなしで受信 0 1: 送信: 0 パリティを出力(注1) 受信: パリティ判定を行わない 1 0: 送信: 偶数パリティを出力 受信: 偶数パリティとして判定を行う 1 1: 送信: 奇数パリティを出力 受信: 奇数パリティとして判定を行う	R/W
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:12	DCP[1:0]	簡易 SPI モードでのデータおよびクロック位相の選択 0 0: タイプ 1 (SCK: 反転、入力タイミング: 立ち上がりエッジ) 0 1: タイプ 2 (SCK: 非反転、入力タイミング: 立ち下がりエッジ) 1 0: タイプ 3 (SCK: 反転、入力タイミング: 立ち下がりエッジ) 1 1: タイプ 4 (SCK: 非反転、入力タイミング: 立ち上がりエッジ)	R/W
15:14	TRXE[1:0]	チャンネル 0 の動作モード設定 0 0: 通信を無効にする 0 1: 受信のみ 1 0: 送信のみ 1 1: 送受信	R/W

注 1. データの内容にかかわらず必ず 0 が付加されます。

SCRm0 はチャンネル 0 の通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスクの有無、パリティビット、スタートビット、ストップビット、およびデータ長を設定するのに使用されます。

SCRm0 レジスタは、レジスタ動作中 (SEm.SE[0] = 1 のとき) の書き換えは禁止です。

DLS[1:0]ビット (簡易 SPI モードおよび UART モードでのデータ長の設定)

簡易 I²C モードでは、必ず DLS[1:0] = 11b に設定してください。

SLC[1:0]ビット (UART モードでのストップビットの設定)

転送終了割り込みが選択されている場合、すべてのストップビットが完全に転送されてから割り込みが発生します。

UART 受信時または簡易 I²C モード時には、1 ビット (SLC[1:0] = 01b) に設定してください。簡易 SPI モード時には、ストップビットなし (SLC[1:0] = 00b) に設定してください。

UART 送信時は 1 ビット (SLC[1:0] = 01b) または 2 ビット (SLC[1:0] = 10b) を設定します。

DIR ビット (簡易 SPI モードおよび UART モードでのデータ転送順序の選択)

簡易 I²C モードでは、必ず DIR を 0 にクリアしてください。

PTC[1:0]ビット (UART モードでのパリティビットの設定)

簡易 SPI モードおよび簡易 I²C モード時には、必ず PTC[1:0] = 00b に設定してください。

DCP[1:0]ビット (簡易 SPI モードでのデータおよびクロック位相の選択)

図 19.2 を参照してください。

UART モードおよび簡易 I²C モード時には、必ず DCP[1:0] = 00b に設定してください。

図 19.2 に、簡易 SPI モードでのデータおよびクロック位相を示します。

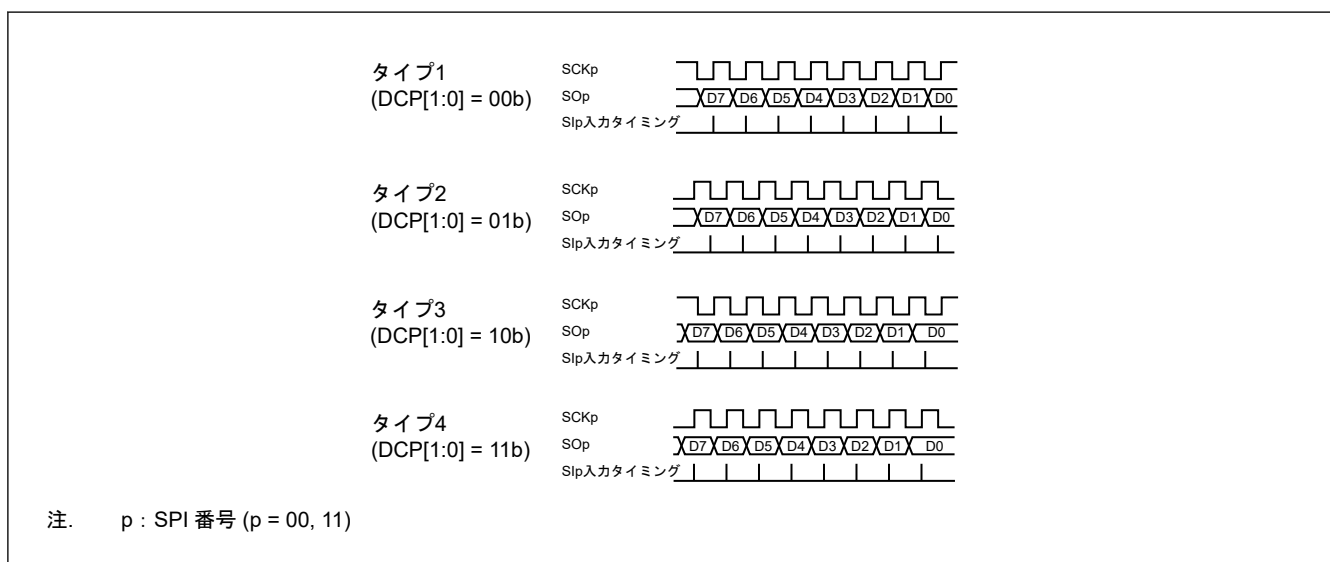


図 19.2 簡易 SPI モードでのデータおよびクロック位相

TRXE[1:0]ビット (チャンネル 0 の動作モード設定)

TRXE[1:0]ビットはチャンネル 0 の動作モード設定に使用されます。

19.3.5 SCRM1 : シリアル通信動作設定レジスタ m1 (m = 0)

Base address: SAUm = 0x400A_2000 + 0x200 × m (m = 0)

Offset address: 0x011A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TRXE[1:0]	DCP[1:0]	—	EOC	PTC[1:0]	DIR	—	—	SLC	—	—	DLS[1:0]				
Value after reset:	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	1

ビット	シンボル	機能	R/W
1:0	DLS[1:0]	簡易 SPI モードおよび UART モードでのデータ長の設定 0 0: 設定禁止 0 1: 9 ビットデータ長 (SDRm1 レジスタの DAT[8:0] に格納) (UART モードでのみ設定可能) 1 0: 7 ビットデータ長 (SDRm1 レジスタの DAT[6:0] に格納) 1 1: 8 ビットデータ長 (SDRm1 レジスタの DAT[7:0] に格納)	R/W
2	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SLC	UART モードでのストップビットの設定 0: ストップビットなし 1: ストップビット長 = 1 ビット	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
7	DIR	簡易 SPI モードおよび UART モードでのデータ転送順序の選択 0: MSB ファーストでデータ入出力を行う 1: LSB ファーストでデータ入出力を行う	R/W
9:8	PTC[1:0]	UART モードでのパリティビットの設定 0 0: 送信: パリティビットを出力しない 受信: パリティなしで受信 0 1: 送信: 0 パリティを出力(注1) 受信: パリティ判定を行わない 1 0: 送信: 偶数パリティを出力 受信: 偶数パリティとして判定を行う 1 1: 送信: 奇数パリティを出力 受信: 奇数パリティとして判定を行う	R/W
10	EOC	エラー割り込み信号 SAU0_UART_ERRI0 (m = 0) のマスク制御 0: エラー割り込み SAU0_UART_ERRI0 (m = 0) の発生を禁止 (SAUm_UART_RXIq が発生) 1: エラー割り込み SAU0_UART_ERRI0 (m = 0) の発生を許可 (エラーが発生した場合、SAUm_UART_RXIq は発生しない)	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:12	DCP[1:0]	簡易 SPI モードでのデータおよびクロック位相の選択 0 0: タイプ 1 (SCK: 反転、入力タイミング: 立ち上がりエッジ) 0 1: タイプ 2 (SCK: 非反転、入力タイミング: 立ち下がりエッジ) 1 0: タイプ 3 (SCK: 反転、入力タイミング: 立ち下がりエッジ) 1 1: タイプ 4 (SCK: 非反転、入力タイミング: 立ち上がりエッジ)	R/W
15:14	TRXE[1:0]	チャンネル 1 の動作モード設定 0 0: 通信を無効にする 0 1: 受信のみ 1 0: 送信のみ 1 1: 送受信	R/W

注 1. データの内容にかかわらず必ず 0 が付加されます。

SCRm1 はチャンネル 1 の通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスクの有無、パリティビット、スタートビット、ストップビット、およびデータ長を設定するのに使用されます。

SCRm1 レジスタは、レジスタ動作中 (SEm.SE[1] = 1 のとき) の書き換えは禁止です。

DLS[1:0]ビット (簡易 SPI モードおよび UART モードでのデータ長の設定)

簡易 I²C モードでは、必ず DLS[1:0] = 11b に設定してください。

SLC ビット (UART モードでのストップビットの設定)

転送終了割り込みが選択されている場合、すべてのストップビットが完全に転送されてから割り込みが発生します。

UART 受信時または簡易 I²C モード時には、1 ビット (SLC = 1) に設定してください。簡易 SPI モード時には、ストップビットなし (SLC = 0) に設定してください。

UART 送信時は 1 ビット (SLC = 0) を設定します。

DIR ビット (簡易 SPI モードおよび UART モードでのデータ転送順序の選択)

簡易 I²C モードでは、必ず DIR を 0 にクリアしてください。

PTC[1:0]ビット (UART モードでのパリティビットの設定)

簡易 SPI モードおよび簡易 I²C モード時には、必ず PTC[1:0] = 00b に設定してください。

EOC ビット (エラー割り込み信号 SAU0_UART_ERRI0 (m = 0) のマスク制御)

簡易 SPI モード、簡易 I²C モード、および UART 送信時は EOC = 0 に設定してください。

DCP[1:0]ビット (簡易 SPI モードでのデータおよびクロック位相の選択)

[図 19.2](#) を参照してください。

UART モードおよび簡易 I²C モード時には、必ず DCP[1:0] = 00b に設定してください。

TRXE[1:0]ビット（チャンネル 1 の動作モード設定）

TRXE[1:0]ビットはチャンネル 1 の動作モード設定に使用されます。

19.3.6 SCR02：シリアル通信動作設定レジスタ 02

Base address: SAU0 = 0x400A_2000

Offset address: 0x011C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TRXE[1:0]	DCP[1:0]	—	—	PTC[1:0]	DIR	—	SLC[1:0]	—	—	—	—	—	—	—	DLS
Value after reset:	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	1

ビット	シンボル	機能	R/W
0	DLS	簡易 SPI モードおよび UART モードでのデータ長の設定 0: 7 ビットデータ長 (SDR02 レジスタの DAT[6:0] に格納) 1: 8 ビットデータ長 (SDR02 レジスタの DAT[7:0] に格納)	R/W
2:1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	SLC[1:0]	UART モードでのストップビットの設定 0 0: ストップビットなし 0 1: ストップビット長 = 1 ビット 1 0: ストップビット長 = 2 ビット 1 1: 設定禁止	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	DIR	簡易 SPI モードおよび UART モードでのデータ転送順序の選択 0: MSB ファーストでデータ入出力を行う 1: LSB ファーストでデータ入出力を行う	R/W
9:8	PTC[1:0]	UART モードでのパリティビットの設定 0 0: 送信: パリティビットを出力しない 受信: パリティなしで受信 0 1: 送信: 0 パリティを出力(注1) 受信: パリティ判定を行わない 1 0: 送信: 偶数パリティを出力 受信: 偶数パリティとして判定を行う 1 1: 送信: 奇数パリティを出力 受信: 奇数パリティとして判定を行う	R/W
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:12	DCP[1:0]	簡易 SPI モードでのデータおよびクロック位相の選択 0 0: タイプ 1 (SCK: 反転、入力タイミング: 立ち上がりエッジ) 0 1: タイプ 2 (SCK: 非反転、入力タイミング: 立ち上がりエッジ) 1 0: タイプ 3 (SCK: 反転、入力タイミング: 立ち下がりエッジ) 1 1: タイプ 4 (SCK: 非反転、入力タイミング: 立ち下がりエッジ)	R/W
15:14	TRXE[1:0]	チャンネル 2 の動作モード設定 0 0: 通信を無効にする 0 1: 受信のみ 1 0: 送信のみ 1 1: 送受信	R/W

注 1. データの内容にかかわらず必ず 0 が付加されます。

SCR02 はチャンネル 2 の通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスクの有無、パリティビット、スタートビット、ストップビット、およびデータ長を設定するのに使用されます。

SCR02 レジスタは、レジスタ動作中 (SE0.SE[2] = 1 のとき) の書き換えは禁止です。

DLS ビット (簡易 SPI モードおよび UART モードでのデータ長の設定)

簡易 I²C モードでは、必ず DLS = 1 に設定してください。

SLC[1:0] ビット (UART モードでのストップビットの設定)

転送終了割り込みが選択されている場合、すべてのストップビットが完全に転送されてから割り込みが発生します。

UART 受信時や簡易 I²C モードでは、1 ビット (SLC[1:0] = 01b) に設定してください。簡易 SPI モード時には、ストップビットなし (SLC[1:0] = 00b) に設定してください。

UART 送信時は 1 ビット (SLC[1:0] = 01b) または 2 ビット (SLC[1:0] = 10b) を設定します。

DIR ビット (簡易 SPI モードおよび UART モードでのデータ転送順序の選択)

簡易 I²C モードでは、必ず DIR を 0 にクリアしてください。

PTC[1:0] ビット (UART モードでのパリティビットの設定)

簡易 SPI モードおよび簡易 I²C モード時には、必ず PTC[1:0] = 00b に設定してください。

DCP[1:0] ビット (簡易 SPI モードでのデータおよびクロック位相の選択)

図 19.2 を参照してください。

UART モードおよび簡易 I²C モード時には、必ず DCP[1:0] = 00b に設定してください。

TRXE[1:0] ビット (チャンネル 2 の動作モード設定)

TRXE[1:0] ビットはチャンネル 2 の動作モード設定に使用されます。

19.3.7 SCR03 : シリアル通信動作設定レジスタ 03

Base address: SAU0 = 0x400A_2000

Offset address: 0x011E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TRXE[1:0]		DCP[1:0]		—	EOC	PTC[1:0]		DIR	—	—	SLC	—	—	—	DLS
Value after reset:	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	1

ビット	シンボル	機能	R/W
0	DLS	簡易 SPI モードおよび UART モードでのデータ長の設定 0: 7 ビットデータ長 (SDR03 レジスタの DAT[6:0] に格納) 1: 8 ビットデータ長 (SDR03 レジスタの DAT[7:0] に格納)	R/W
2:1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SLC	UART モードでのストップビットの設定 0: ストップビットなし 1: ストップビット長 = 1 ビット	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	DIR	簡易 SPI モードおよび UART モードでのデータ転送順序の選択 0: MSB ファーストでデータ入出力を行う 1: LSB ファーストでデータ入出力を行う	R/W

ビット	シンボル	機能	R/W
9:8	PTC[1:0]	UART モードでのパリティビットの設定 0 0: 送信: パリティビットを出力しない 受信: パリティなしで受信 0 1: 送信: 0 パリティを出力(注1) 受信: パリティ判定を行わない 1 0: 送信: 偶数パリティを出力 受信: 偶数パリティとして判定を行う 1 1: 送信: 奇数パリティを出力 受信: 奇数パリティとして判定を行う	R/W
10	EOC	エラー割り込み信号 SAU0_UART_ERRI1 のマスク制御 0: エラー割り込み SAU0_UART_ERRI1 の発生を禁止 (SAU0_UART_RXI1 が発生) 1: エラー割り込み SAU0_UART_ERRI1 の発生を許可 (エラーが発生した場合、SAU0_UART_RXI1 は発生しない)	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:12	DCP[1:0]	簡易 SPI モードでのデータおよびクロック位相の選択 0 0: タイプ 1 (SCK: 反転、入力タイミング: 立ち上がりエッジ) 0 1: タイプ 2 (SCK: 非反転、入力タイミング: 立ち下がりエッジ) 1 0: タイプ 3 (SCK: 反転、入力タイミング: 立ち下がりエッジ) 1 1: タイプ 4 (SCK: 非反転、入力タイミング: 立ち上がりエッジ)	R/W
15:14	TRXE[1:0]	チャンネル 3 の動作モードの設定 0 0: 通信を無効にする 0 1: 受信のみ 1 0: 送信のみ 1 1: 送受信	R/W

注 1. データの内容にかかわらず必ず 0 が付加されます。

SCR03 はチャンネル 3 の通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスクの有無、パリティビット、スタートビット、ストップビット、およびデータ長を設定するのに使用されます。

SCR03 レジスタは、レジスタ動作中 (SE0.SE[3] = 1 のとき) の書き換えは禁止です。

DLS ビット (簡易 SPI モードおよび UART モードでのデータ長の設定)

簡易 I²C モードでは、必ず DLS = 1 に設定してください。

SLC ビット (UART モードでのストップビットの設定)

転送終了割り込みが選択されている場合、すべてのストップビットが完全に転送されてから割り込みが発生します。

UART 受信時や簡易 I²C モードでは、1 ビット (SLC = 1) に設定してください。簡易 SPI モード時には、ストップビットなし (SLC = 0) に設定してください。

UART 送信時は 1 ビット (SLC = 0) を設定します。

DIR ビット (簡易 SPI モードおよび UART モードでのデータ転送順序の選択)

簡易 I²C モードでは、必ず DIR を 0 にクリアしてください。

PTC[1:0] ビット (UART モードでのパリティビットの設定)

簡易 SPI モードおよび簡易 I²C モード時には、必ず PTC[1:0] = 00b に設定してください。

EOC ビット (エラー割り込み信号 SAU0_UART_ERRI1 のマスク制御)

簡易 SPI モード、簡易 I²C モード、および UART 送信時は EOC = 0 に設定してください。(注1)

DCP[1:0] ビット (簡易 SPI モードでのデータおよびクロック位相の選択)

図 19.2 を参照してください。

UART モードおよび簡易 I²C モード時には、必ず DCP[1:0] = 00b に設定してください。

TRXE[1:0]ビット（チャンネル 3 の動作モードの設定）

TRXE[1:0]ビットはチャンネル 3 の動作モード設定に使用されます。

注 1. EOC = 0 にせずに SPI11 を使用すると、エラー割り込み SAU0_UART_ERRI1 が発生することがあります。

19.3.8 SDRmn：シリアルデータレジスタ mn (mn = 00, 01, 02, 03)

Base address: SAUm = 0x400A_2000 + 0x200 × m

Offset address: 0x0000 + 0x2 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	STCLK[6:0]								DAT[8:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	DAT[8:0]	送受信データバッファ	R/W(注1)
15:9	STCLK[6:0]	動作クロックの分周による転送クロックの設定 0x00: $f_{MCK}/2$ (UART および簡易 I ² C の設定禁止) 0x01: $f_{MCK}/4$ (UART の設定禁止) 0x02: $f_{MCK}/6$ 0x03: $f_{MCK}/8$ ⋮ 0x7C: $f_{MCK}/250$ 0x7D: $f_{MCK}/252$ 0x7E: $f_{MCK}/254$ 0x7F: $f_{MCK}/256$	R/W

注 1. SDR02.DAT[8]ビットと SDR03.DAT[8]ビットは予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

SDRmn は、ユニット m、チャンネル n の送受信データレジスタ（16 ビット）です。

SDR00 および SDR01 の DAT[8:0]ビットまたは SDR02(注1)および SDR03(注1)の DAT[7:0]ビットは送受信バッファレジスタとして機能し、STCLK[6:0]ビットは動作クロック (f_{MCK}) の分周比を設定するレジスタとして使用されます。

シリアルモードレジスタ mn (SMRmn) の CCS ビットを 0 にクリアした場合、動作クロックをこの STCLK[6:0]ビットで分周設定したクロックが、転送クロックとして使用されます。

シリアルモードレジスタ mn (SMRmn) の CCS ビットを 1 に設定した場合は、SDR00 および SDR01 の STCLK[6:0]ビットを 0000000b に設定してください。SCKp 端子からの入力クロック f_{SCK} （簡易 SPI モードのスレーブ転送）が転送クロックとして使用されます。

DAT[7:0]ビットまたは DAT[8:0]ビットが送受信バッファレジスタとして機能します。受信時は DAT[7:0]ビットまたは DAT[8:0]ビットにシフトレジスタで変換されたパラレルデータが格納され、送信時は DAT[7:0]ビットまたは DAT[8:0]ビットにシフトレジスタに送信するデータが設定されます。

SDRmn レジスタは、16 ビット単位で読み出し／書き込みが可能です。

ただし、STCLK[6:0]ビットは動作停止時 (SEm.SE[n] = 0) にのみ書き込みまたは読み出しが可能です。動作中 (SEm.SE[n] = 1) は DAT[7:0]ビットまたは DAT[8:0]ビットにのみ値が書き込まれます。動作中に SDRmn レジスタを読み出すと、STCLK[6:0]ビットは読むと常に 0 が読み出されます。

DAT[7:0]ビットまたは DAT[8:0]ビットに格納されるデータは、データの出力順序に関係なく、シリアル通信動作設定レジスタ mn (SCRmn) の DLS[1:0]ビットの設定により以下のようになります。

- 7 ビットデータ長 (DAT[6:0]ビットに格納)
- 8 ビットデータ長 (DAT[7:0]ビットに格納)
- 9 ビットデータ長 (DAT[8:0]ビットに格納) (注1)

注 1. 以下の UART のみ 9 ビットのデータ長をサポートします。

- UART0

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)

19.3.9 SIRmn : シリアルフラグクリアトリガレジスタ mn (mn = 00, 02)

Base address: SAUm = 0x400A_2000 + 0x200 × m

Offset address: 0x0108 + 0x2 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PECT	OVCT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OVCT	チャンネル n のオーバーランエラーフラグのクリアトリガ 0: クリアしない 1: SSRmn レジスタの OVF ビットを 0 にクリアする	R/W
1	PECT	チャンネル n のパリティエラーフラグのクリアトリガ 0: クリアしない 1: SSRmn レジスタの PEF ビットを 0 にクリアする	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SIRmn は、チャンネル n の各エラーフラグをクリアするためのトリガレジスタです。

本レジスタの各ビット (PECT, OVCT) を 1 にすると、シリアルステータスレジスタ mn の対応ビット (PEF, OVF) が 0 にクリアされます。SIRmn はトリガレジスタなので、SSRmn レジスタの対応ビットをクリアするとすぐクリアされます。SIRmn レジスタの読み出し値は常に 0x0000 となります。

19.3.10 SIRmn : シリアルフラグクリアトリガレジスタ mn (mn = 01, 03)

Base address: SAUm = 0x400A_2000 + 0x200 × m

Offset address: 0x0108 + 0x2 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	FECT	PECT	OVCT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OVCT	チャンネル n のオーバーランエラーフラグのクリアトリガ 0: クリアしない 1: SSRmn レジスタの OVF ビットを 0 にクリアする	R/W
1	PECT	チャンネル n のパリティエラーフラグのクリアトリガ 0: クリアしない 1: SSRmn レジスタの PEF ビットを 0 にクリアする	R/W
2	FECT	チャンネル n のフレーミングエラーフラグのクリアトリガ 0: クリアしない 1: SSRmn レジスタの FEF ビットを 0 にクリアする	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SIRmn は、チャンネル n の各エラーフラグをクリアするためのトリガレジスタです。

本レジスタの各ビット (FECT, PECT, OVCT) を 1 にすると、シリアルステータスレジスタ mn の対応ビット (FEF, PEF, OVF) が 0 にクリアされます。SIRmn はトリガレジスタなので、SSRmn レジスタの対応ビットをクリアするとすぐクリアされます。SIRmn レジスタの読み出し値は常に 0x0000 となります。

19.3.11 SSRmn : シリアルステータスレジスタ mn (mn = 00, 02)

Base address: SAUm = 0x400A_2000 + 0x200 × m

Offset address: 0x0100 + 0x2 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	TSF	BFF	—	—	—	PEF	OVF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OVF	チャンネル n のオーバーランエラー検出フラグ 0: エラー発生なし 1: エラー発生	R
1	PEF	チャンネル n のパリティまたは ACK エラー検出フラグ 0: エラー発生なし 1: パリティエラー発生 (UART 受信時)、または ACK 未検出発生 (I ² C 送信時)	R
4:2	—	読むと 0 が読めます。	R
5	BFF	チャンネル n のバッファレジスタ状態表示フラグ 0: 有効なデータが SDRmn レジスタに格納されていない 1: 有効なデータが SDRmn レジスタに格納されている	R
6	TSF	チャンネル n の通信状態表示フラグ 0: 通信動作停止状態または通信動作サスペンド状態 1: 通信動作状態	R
15:7	—	読むと 0 が読めます。	R

注: 簡易 SPI がスヌーズモード (SSC0.SWC = 1) で受信処理をしている場合、OVF フラグおよび BFF フラグは変化しません。

注: BFF = 1 のときに SDRmn レジスタに書き込みをすると、レジスタに格納されている送信/受信データが破棄され、オーバーランエラー (OVF = 1) が検出されます。

SSRmn レジスタは、チャンネル n の通信状態およびエラー発生状況を表示するレジスタです。表示するエラーは、フレーミングエラー、パリティエラー、およびオーバーランエラーです。

OVF ビット (チャンネル n のオーバーランエラー検出フラグ)

<0 になる条件>

- SIRmn レジスタの OVCT ビットに 1 が書かれたとき

<1 になる条件>

- SCRmn レジスタの TRXE[0] ビットが 1 (各通信モードでの受信または送受信モード時) の状態で、受信データが SDRmn レジスタに格納されているのに、そのデータの読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき
- 簡易 SPI モードのスレーブ送信/送受信で、送信データが準備できていないとき

PEF ビット (チャンネル n のパリティまたは ACK エラー検出フラグ)

<0 になる条件>

- SIRmn レジスタの PECT ビットに 1 が書かれたとき

<1 になる条件>

- UART 受信終了時に、送信データのパリティとパリティビットが一致しないとき (パリティエラー)
- I²C 送信時に、ACK 受信タイミングにスレーブ側から ACK 信号の応答がなかったとき (ACK 未検出)

BFF ビット (チャンネル n のバッファレジスタ状態表示フラグ)

<0 になる条件>

- 送信時において SDRmn レジスタからシフトレジスタへ送信データの転送が終了したとき
- 受信時において SDRmn レジスタから受信データの読み出しが終了したとき

- STm レジスタの ST[n] ビットに 1 を設定時（通信停止状態）または SSm レジスタの SS[n] ビットに 1 を設定時（通信許可状態）

<1 になる条件>

- SCRmn レジスタの TRXE[1] ビットが 1（各通信モードでの送信または送受信モード時）の状態です DRmn レジスタに送信データを書き込んだとき
- SCRmn レジスタの TRXE[0] ビットが 1（各通信モードでの受信または送受信モード時）の状態です DRmn レジスタに受信データが格納されたとき
- 受信エラー時

TSF ビット（チャンネル n の通信状態表示フラグ）

<0 になる条件>

- STm レジスタの ST[n] ビットに 1 を設定時（通信停止状態）または SSm レジスタの SS[n] ビットに 1 を設定時（通信サスペンド状態）
- 通信動作が終了時

<1 になる条件>

- 通信動作を開始時

19.3.12 SSRmn : シリアルステータスレジスタ mn (mn = 01, 03)

Base address: SAUm = 0x400A_2000 + 0x200 × m

Offset address: 0x0100 + 0x2 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	TSF	BFF	—	—	FEF	PEF	OVF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OVF	チャンネル n のオーバーランエラー検出フラグ 0: エラー発生なし 1: エラー発生	R
1	PEF	チャンネル n のパリティまたは ACK エラー検出フラグ 0: エラー発生なし 1: パリティエラー発生（UART 受信時）、または ACK 未検出発生（I ² C 送信時）	R
2	FEF	チャンネル n のフレーミングエラー検出フラグ 0: エラー発生なし 1: エラー発生（UART 受信時）	R
4:3	—	読むと 0 が読めます。	R
5	BFF	チャンネル n のバッファレジスタ状態表示フラグ 0: 有効なデータが SDRmn レジスタに格納されていない 1: 有効なデータが SDRmn レジスタに格納されている	R
6	TSF	チャンネル n の通信状態表示フラグ 0: 通信動作停止状態または通信動作サスペンド状態 1: 通信動作状態	R
15:7	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. 簡易 SPI がスヌーズモード (SSC0.SWC = 1) で受信処理をしている場合、OVF フラグおよび BFF フラグは変化しません。

注. BFF = 1 のときに SDRmn レジスタに書き込みをすると、レジスタに格納されている送信／受信データが破棄され、オーバーランエラー (OVF = 1) が検出されます。

OVF ビット（チャンネル n のオーバーランエラー検出フラグ）

<0 になる条件>

- SIRmn レジスタの OVCT ビットに 1 が書かれたとき

<1 になる条件>

- SCRmn レジスタの TRXE[0]ビットが 1（各通信モードでの受信または送受信モード時）の状態、受信データが SDRmn レジスタに格納されているのに、そのデータの読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき
- 簡易 SPI モードのスレーブ送信／送受信で、送信データが準備できていないとき

PEF ビット（チャンネル n のパリティまたは ACK エラー検出フラグ）

<0 になる条件>

- SIRmn レジスタの PECT ビットに 1 が書かれたとき

<1 になる条件>

- UART 受信終了時に、送信データのパリティとパリティビットが一致しないとき（パリティエラー）
- I²C 送信時に、ACK 受信タイミングにスレーブ側から ACK 信号の応答がなかったとき（ACK 未検出）

FEF ビット（チャンネル n のフレーミングエラー検出フラグ）

<0 になる条件>

- SIRmn レジスタの FECT ビットに 1 が書かれたとき

<1 になる条件>

- UART 受信終了時に、ストップビットが検出されないとき

BFF ビット（チャンネル n のバッファレジスタ状態表示フラグ）

<0 になる条件>

- 送信時において SDRmn レジスタからシフトレジスタへ送信データの転送が終了したとき
- 受信時において SDRmn レジスタから受信データの読み出しが終了したとき
- STm レジスタの ST[n]ビットに 1 を設定時（通信停止状態）または SSm レジスタの SS[n]ビットに 1 を設定時（通信許可状態）

<1 になる条件>

- SCRmn レジスタの TRXE[1]ビットが 1（各通信モードでの送信または送受信モード時）の状態、SDRmn レジスタに送信データを書き込んだとき
- SCRmn レジスタの TRXE[0]ビットが 1（各通信モードでの受信または送受信モード時）の状態、SDRmn レジスタに受信データが格納されたとき
- 受信エラー時

TSF ビット（チャンネル n の通信状態表示フラグ）

<0 になる条件>

- STm レジスタの ST[n]ビットに 1 を設定時（通信停止状態）または SSm レジスタの SS[n]ビットに 1 を設定時（通信サスペンド状態）
- 通信動作が終了時

<1 になる条件>

- 通信動作を開始時

19.3.13 SS0 : シリアルチャネル開始レジスタ 0

Base address: SAU0 = 0x400A_2000

Offset address: 0x0122

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	SS[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	SS[3:0]	チャンネル n の動作開始トリガ 0: トリガ動作なし 1: SE0.SE[n]ビットに 1 を設定し、チャンネルを通信待機状態にする ^(注1)	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. UART 受信の場合は、SCR0n レジスタの TRXE[0]ビットを 1 に設定後に、f_{MCK} クロックで 4 サイクル以上間隔をあけてから SS[n] ビットを 1 に設定してください。

注 1. 通信中に SS[n]ビットを 1 にすると、チャンネル n の通信が停止し、チャンネルは待機状態になります。このとき、制御レジスタおよびシフトレジスタの値、SCKp 端子および SOp 端子の状態、および各エラーフラグ (SSR0n.FEF、PEF、および OVF) の値は保持されます。

SS0 は、通信／カウント開始の許可をシリアルアレイユニット 0 のチャンネルごとに設定するトリガレジスタです。

このレジスタの各ビット (SS[n]) に 1 を書き込むと、シリアルチャネル許可ステータスレジスタ 0 (SE0) の対応ビット (SE[n]) が 1 になります (動作許可状態)。SS[n]ビットはトリガビットなので、SE0.SE[n] = 1 になるとすぐ SS[n]ビットはクリアされます。SS0 レジスタの読み出し値は常に 0x0000 となります。

19.3.14 ST0 : シリアルチャネル停止レジスタ 0

Base address: SAU0 = 0x400A_2000

Offset address: 0x0124

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	ST[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	ST[3:0]	チャンネル n の動作停止トリガ 0: トリガ動作なし 1: SE0.SE[n]ビットを 0 にクリアし、通信動作を停止する ^(注1)	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 制御レジスタおよびシフトレジスタの値、SCKp 端子および SOp 端子の状態、および各エラーフラグ (SSR0n.FEF、PEF、および OVF) の値は保持されます。

ST0 レジスタは、通信／カウント停止の許可をシリアルアレイユニット 0 のチャンネルごとに設定するトリガレジスタです。

このレジスタの各ビット (ST[n]) に 1 を書き込むと、シリアルチャネル許可ステータスレジスタ 0 (SE0) の対応ビット (SE[n]) が 0 にクリア (動作停止状態) されます。ST[n]ビットはトリガビットなので、SE0.SE[n] = 0 になるとすぐ ST[n]ビットはクリアされます。ST0 レジスタの読み出し値は常に 0x0000 となります。

19.3.15 SE0 : シリアルチャネル許可ステータスレジスタ 0

Base address: SAU0 = 0x400A_2000

Offset address: 0x0120

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	SE[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	SE[3:0]	チャンネル n の動作許可／停止状態の表示 0: 動作停止状態 1: 動作許可状態	R
15:4	—	読むと 0 が読めます。	R

SE0 レジスタは、シリアルアレイユニット 0 の各チャンネルのデータ送受信動作許可／停止状態を表示するレジスタです。シリアルチャネル開始レジスタ 0 (SS0) の各ビットに 1 を書き込むと、このレジスタの対応ビットが 1 になります。シリアルチャネル停止レジスタ 0 (ST0) の各ビットに 1 を書き込むと、その対応ビットが 0 にクリアされます。

動作を許可したチャンネル n では、後述のシリアル出力レジスタ 0 (SO0) の CKO[n] ビットの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアルクロック端子から出力されます。

動作を停止したチャンネル n は、SO0 レジスタの CKO[n] ビットの値をソフトウェアで設定することができ、その値をシリアルクロック端子から出力できます。これにより、スタートコンディションあるいはストップコンディションなどの任意の波形をソフトウェアで作成することができます。

19.3.16 SOE0 : シリアル出力許可レジスタ 0

Base address: SAU0 = 0x400A_2000

Offset address: 0x012A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	SOE[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	SOE[3:0]	チャンネル n のシリアル出力許可または停止 0: シリアル通信動作による出力の停止 1: シリアル通信動作による出力許可	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SOE0 レジスタは、シリアルアレイユニット 0 の各チャンネルのシリアル通信動作の出力許可または停止を設定するレジスタです。

シリアル出力を許可したチャンネル n では、後述のシリアル出力レジスタ 0 (SO0) の SO[n] ビットの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアルデータ出力端子から出力されます。

シリアル出力を停止したチャンネル n は、SO0 レジスタの SO[n] ビットの値をソフトウェアで設定することができ、その値をシリアルデータ出力端子から出力できます。これにより、スタートコンディションあるいはストップコンディションなどの任意の波形をソフトウェアで作成することができます。

19.3.17 SO0 : シリアル出力レジスタ 0

Base address: SAU0 = 0x400A_2000

Offset address: 0x0128

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	CKO[3:0]				—	—	—	—	SO[3:0]			
Value after reset:	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1

ビット	シンボル	機能	R/W
3:0	SO[3:0]	チャンネル n のシリアルデータ出力 0: シリアルデータ出力値が 0 1: シリアルデータ出力値が 1	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11:8	CKO[3:0]	チャンネル n のシリアルクロック出力 0: シリアルクロック出力値が 0 1: シリアルクロック出力値が 1	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SO0 は、シリアルアレイユニット 0 の各チャンネルのシリアル出力バッファレジスタです。

このレジスタの SO[n] ビットの値が、チャンネル n のシリアルデータ出力端子から出力されます。

このレジスタの CKO[n] ビットの値が、チャンネル n のシリアルクロック出力端子から出力されます。

このレジスタの SO[n] ビットのソフトウェアによる書き換えは、シリアル出力禁止 (SOE0.SOE[n] = 0) 時のみ可能です。シリアル出力許可 (SOE0.SOE[n] = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみレジスタの値が変更されます。

このレジスタの CKO[n] ビットのソフトウェアによる書き換えは、チャンネル動作停止 (SE0.SE[n] = 0) 時のみ可能です。チャンネル動作許可 (SE0.SE[n] = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ CKO[n] の値が変更されます。

19.3.18 SOL0 : シリアル出力レベルレジスタ 0

Base address: SAU0 = 0x400A_2000

Offset address: 0x0134

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SOL2	—	SOL0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SOL0	UART モードでのチャンネル 0 送信データのレベル反転の選択 0: 通信データをそのまま出力 1: 通信データを反転して出力	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	SOL2	UART モードでのチャンネル 2 送信データのレベル反転の選択 0: 通信データをそのまま出力 1: 通信データを反転して出力	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SOL0 レジスタは、シリアルアレイユニット 0 の各チャンネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタは UART モード時のみ設定できます。簡易 SPI モードまたは簡易 I²C モード時は、必ず使用するチャンネルに対応するビットに 0 を設定してください。

このレジスタによる各チャンネル n の反転設定は、シリアル出力許可 ($SOE0.SOE[n] = 1$) 時のみ端子出力に反映されます。

シリアル出力禁止 ($SOE0.SOE[n] = 0$) 時は $SO0.SO[n]$ ビットの値がそのまま出力されます。

チャンネル n が動作中 ($SE0.SE[n] = 1$ のとき) の場合、 $SOL0$ レジスタの書き換えは禁止されています。

図 19.3 に、UART 送信中に送信データのレベルを反転する例を示します。

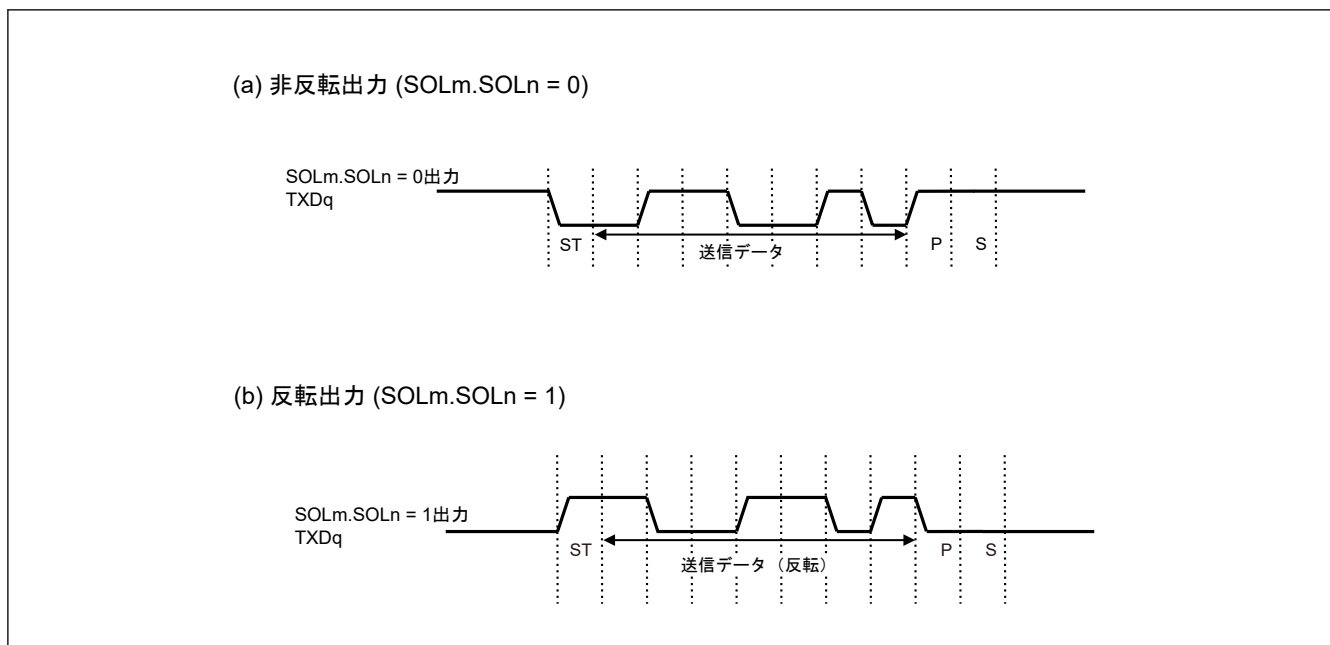


図 19.3 送信データ反転例

注. m : ユニット番号 ($m = 0$)、 n : チャンネル番号 ($n = 0, 2$)、 q : UART 番号 ($q = 0 \sim 1$)

19.3.19 SSC0 : シリアルスタンバイコントロールレジスタ 0

Base address: $SAU0 = 0x400A\_2000$

Offset address: $0x0138$

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSEC	SWC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SWC	スヌーズモードの設定 0: スヌーズモード機能を使用しない 1: スヌーズモード機能を使用する	R/W
1	SSEC	スヌーズモードにおける通信エラー割り込みの発生を許可するか禁止するかの選択 0: エラー割り込み $SAU0\_UART\_ERRI0$ の発生を許可 1: エラー割り込み $SAU0\_UART\_ERRI0$ の発生を禁止	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SSC0 レジスタは、SPI00 または UART0 のシリアルデータ受信時に、ソフトウェアスタンバイモード中の受信起動（スヌーズモード）を制御するために使用します。

注. スヌーズモードでの最高転送速度は以下のとおりです。

- SPI00 を使用する場合：最高 1 Mbps
- UART0 を使用する場合：最大 9600 bps (PCLKB = HOCO (32 MHz) を設定した場合)

SWC ビット (スヌーズモードの設定)

- ソフトウェアスタンバイ中にハードウェアトリガ信号があった場合、ソフトウェアスタンバイモードを終了し、CPU を動作させずに簡易 SPI 受信または UART 受信を行います (スヌーズモード)。
- スヌーズモード機能は、CPU および周辺ハードウェアクロック (PCLKB) に高速オンチップオシレータクロックまたは中速オンチップオシレータクロックが選択されている場合にのみ指定できます。他のクロックが選択されている場合、このモードの指定は禁止されています。
- スヌーズモードを使用する場合でも、通常動作モードでは必ず SWC ビットを 0 にし、ソフトウェアスタンバイモードに移行する直前に 1 に変更してください。また、ソフトウェアスタンバイモードから通常動作モードに復帰した後は、必ず SWC ビットを 0 に変更してください。

SSEC ビット (スヌーズモードにおける通信エラー割り込みの発生を許可するか禁止するかの選択)

- SSEC ビットを 1 または 0 に設定できるのは、スヌーズモードで UART 受信中に SWC ビットと SCRmn.EOC ビットの両方が 1 に設定されている場合のみです。その他の場合は、SSEC ビットを 0 にクリアしてください。
- SSEC, SWC = 1, 0 にすることは禁止です。

スヌーズモードでの UART 受信動作中の割り込みを、表 19.4 に示します。

表 19.4 スヌーズモードでの UART 受信動作中の割り込み

SCRmn.EOC ビット	SSEC ビット	受信正常終了	受信エラー終了
0	0	SAU0_UART_RXI0 が発生	SAU0_UART_RXI0 が発生
0	1	SAU0_UART_RXI0 が発生	SAU0_UART_RXI0 が発生
1	0	SAU0_UART_RXI0 が発生	SAU0_UART_ERRI0 が発生
1	1	SAU0_UART_RXI0 が発生	割り込み発生なし

19.3.20 ISC : 入力切り替え制御レジスタ

Base address: PORGA = 0x400A_1000

Offset address: 0x0003

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SSIE0 0	ISC1	ISC0

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	ISC0	外部割り込み (IRQ0) 入力切り替え 0: IRQ0 端子の入力信号を外部割り込みに使用 (通常動作) 1: RXD0 端子の入力信号を外部割り込みに使用 (ウェイクアップ信号検出)	R/W
1	ISC1	タイマアレイユニットのチャンネル 7 入力切り替え 0: TI07 端子の入力信号をタイマ入力に使用 (通常動作) 1: RXD0 端子の入力信号をタイマ入力に使用 (ウェイクアップ信号を検出し、Break Field の Low 幅とシンクフィールドのパルス幅を測定する)	R/W
2	SSIE00	スレープモードでの SPI00 を使用した通信でのチャンネル 0 の SSI00 入力の設定 0: SSI00 入力は禁止 1: SSI00 入力は許可	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. LIN バス通信機能を使用する場合は、ISC1 を 1 にして RXD0 端子の入力信号を選択します。

ISC レジスタの ISC1 ビットと ISC0 ビットは、シリアルアレイユニットに関連する TAU のチャンネル 7 を使用して LIN バス通信動作を実行するために使用されます。ビット 0 が 1 に設定された場合、シリアルデータ入力 (RXD0) 端子の入力信号は、ウェイクアップ信号の検出に使用可能な外部割り込み (IRQ0) として選択されます。ビット 1 が 1 に設定された場合、シリアルデータ入力 (RXD0) 端子の入力信号は、タイマ入力として選択されま

す。その結果、ウェイクアップ信号を検出でき、Break Field の Low 幅とシンクフィールドのパルス幅をタイマで測定することができます。

SSIE00 ビットは、スレーブモードで SPI00 を使用した通信で、チャンネル 0 の SSI00 入力を制御するために使用されます。

SSI00 端子が High のときは、シリアルクロックが入力された場合でも、受信と送信は実行されません。

SSI00 端子が Low のときは、モード設定に従ってシリアルクロックの入力に対応して受信と送信が実行されます。

19.3.21 SNFEN : SAU ノイズフィルタ許可レジスタ

Base address: PORGA = 0x400A_1000

Offset address: 0x0000

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SNFE N10	—	SNFE N00
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SNFEN00	RXD0 端子のノイズフィルタ使用 0: ノイズフィルタ OFF 1: ノイズフィルタ ON	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。(注1)	R/W
2	SNFEN10	RXD1 端子のノイズフィルタ使用 0: ノイズフィルタ OFF 1: ノイズフィルタ ON	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。(注1)	R/W

注 1. ビット[7:3]とビット[1]は、必ず 0 を設定してください。

SNFEN レジスタは、シリアルデータ入力端子からの入力信号に対するノイズフィルタの使用可否をチャンネルごとに設定するレジスタです。

簡易 SPI または簡易 I²C 通信に使用する端子は、本レジスタの対応するビットに 0 を設定して、ノイズフィルタを無効にしてください。

UART 通信に使用する端子は、対応するビットを 1 に設定して、ノイズフィルタを有効にしてください。ノイズフィルタが有効な場合、対象チャンネルの動作クロック (f_{MCK}) と同期をとった後、2 クロック一致検出を行います。ノイズフィルタが無効な場合、対象チャンネルの動作クロック (f_{MCK}) との同期のみが行われます。

SNFEN00 ビット (RXD0 端子のノイズフィルタ使用)

RXD0 端子を使用する場合は SNFEN00 を 1 に設定します。

RXD0 端子以外を使用する場合は SNFEN00 を 0 にクリアします。

SNFEN10 ビット (RXD1 端子のノイズフィルタ使用)

RXD1 端子を使用する場合は SNFEN10 を 1 に設定します。

RXD1 端子以外を使用する場合は SNFEN10 を 0 にクリアします。

19.3.22 ULBS : UART ループバック選択レジスタ

Base address: PORGA = 0x400A_1000

Offset address: 0x0009

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	ULBS1	ULBS0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ULBS0	UART0 ループバック機能の選択 0: シリアルアレイユニット UART0 の RXD0 端子の状態を受信シフトレジスタに入力 1: 送信シフトレジスタから受信シフトレジスタへ出力をループバック	R/W
1	ULBS1	UART1 ループバック機能の選択 0: シリアルアレイユニット UART1 の RXD1 端子の状態を受信シフトレジスタに入力 1: 送信シフトレジスタから受信シフトレジスタへ出力をループバック	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ULBS レジスタは UART ループバック機能を有効にするために使用されます。このレジスタには UART チャネルを個別に制御するビットがあります。各チャネルに対応するビットが 1 に設定されると、UART ループバック機能が選択され、送信シフトレジスタからの出力が受信シフトレジスタにループバックされます。

19.4 動作停止モード

シリアルアレイユニットの各シリアルインタフェースには、動作停止モードがあります。

動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。またこのモードでは、シリアルインタフェース用端子をポート機能端子として使用できます。

チャネルごとに動作停止する場合は、以下の各レジスタで設定します。

表 19.5～表 19.8 に、チャネルごとに動作停止とする場合の各レジスタの設定を示します。

(a) シリアルチャネル停止レジスタ m (STm)

STm は、通信／カウント停止の許可をチャネルごとに設定するトリガレジスタです。

表 19.5 チャネルごとに動作停止とする場合のシリアルチャネル停止レジスタ m (STm) の設定

ビット	シンボル	設定値	機能
n	ST[n]	1	チャネル n の動作停止トリガ ST[n] ビットはトリガビットなので、SEm.SE[n] = 0 になるとすぐ ST[n] ビットはクリアされます。 1: SEm.SE[n] ビットを 0 にクリアし、通信動作を停止する

(b) シリアルチャネル許可ステータスレジスタ m (SEm)

本レジスタは、各チャネルのデータ送受信動作許可／停止状態を表示するレジスタです。

表 19.6 チャネルごとに動作停止とする場合のシリアルチャネル許可ステータスレジスタ m (SEm) の状態

ビット	シンボル	読み出し値	機能
n	SE[n]	1 または 0	チャネル n の動作許可／停止状態の表示 動作を停止したチャネルは、SOM レジスタの CKO[n] ビットの値をソフトウェアで設定することができます。 SEm は読み出し専用のステータスレジスタであり、その動作は STm レジスタを使用して停止されます。 0: 動作停止 1: 動作許可

(c) シリアル出力許可レジスタ m (SOEm)

本レジスタは、各チャンネルのシリアル通信動作の出力許可または停止を設定するレジスタです。

表 19.7 チャンネルごとに動作停止とする場合のシリアル出力許可レジスタ m (SOEm) の設定

ビット	シンボル	設定値	機能
n	SOE[n]	0	チャンネル n のシリアル出力許可または停止 シリアル出力を停止したチャンネル n は、SOm レジスタの SO[n] ビットの値をソフトウェアで設定することができます。 0: シリアル通信動作による出力の停止

(d) シリアル出力レジスタ m (SOm)

SOm は、各チャンネルのシリアル出力バッファレジスタです。

表 19.8 チャンネルごとに動作停止とする場合のシリアル出力レジスタ m (SOm) の設定

ビット	シンボル	設定値	機能
n	SO[n]	1	チャンネル n のシリアルデータ出力 各チャンネルに対応する端子をポート機能端子として使用する場合は、該当する SO[n] ビットを 1 にしてください。 1: シリアルデータ出力値が 1
n+8	CKO[n]	1	チャンネル n のシリアルクロック出力 各チャンネルに対応する端子をポート機能端子として使用する場合は、該当する CKO[n] ビットを 1 にしてください。 1: シリアルクロック出力値が 1

注. ユニット番号 (m = 0)、n : チャンネル番号 (n = 0~3)

19.5 簡易 SPI の動作

シリアルクロック (SCK) とシリアルデータ (SI および SO) の 3 本のラインによる、クロック同期式通信機能です。

[データ送受信]

- 7 ビットまたは 8 ビットのデータ長
- 送受信データの位相制御
- MSB ファーストまたは LSB ファーストを選択可能

[クロック制御]

- マスタ／スレーブの選択
- 入出力クロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送速度(注1)
 - － マスタ通信時：
 - ・ 最高 PCLKB/2 (SPI00 のみ)
 - ・ 最高 PCLKB/4
 - － スレーブ通信時：
 - ・ 最高 $f_{MCK}/6$

[割り込み機能]

- 転送終了割り込みまたはバッファエンプティ割り込み (SAU0_SPI_TXRXI00/SAU0_SPI_TXRXI11)

[エラー検出フラグ]

- オーバーランエラー

さらに、以下のチャネルの簡易 SPI はスヌーズモードをサポートします。スヌーズモードでは、ソフトウェアスタンバイモード時に SCK 入力を検出すると、CPU 処理なしでデータを受信できます。スヌーズモードは、非同期受信をサポートする SPI00 のみ利用可能です。

注 1. 転送速度は、SCK サイクルタイム (tKCY) を満たす範囲内で設定してください。詳細は、「27. 電気的特性」を参照してください。

注. 必要な場合は、汎用ポート端子を使用してチップ選択信号を送ってください。

簡易 SPI に対応しているチャネルは、SAU0 のチャネル 0 と 3 です。表 19.1 を参照してください。

簡易 SPI の通信動作は、以下の 7 種類があります。

- マスタ送信（「19.5.1. マスタ送信」を参照）
- マスタ受信（「19.5.2. マスタ受信」を参照）
- マスタ送受信（「19.5.3. マスタ送受信」を参照）
- スレーブ送信（「19.5.4. スレーブ送信」を参照）
- スレーブ受信（「19.5.5. スレーブ受信」を参照）
- スレーブ送受信（「19.5.6. スレーブ送受信」を参照）
- スヌーズモード機能（「19.5.7. スヌーズモード機能」を参照）

19.5.1 マスタ送信

マスタ送信とは、マイクロコントローラが転送クロックを出力し、他デバイスヘデータを送信する動作です。

表 19.9 に簡易 SPI のマスタ送信の仕様を示します。

表 19.9 簡易 SPI のマスタ送信の仕様

簡易 SPI	SPI00	SPI11
対象チャネル	SAU0 のチャネル 0	SAU0 のチャネル 3
使用端子	SCK00, SO00	SCK11, SO11
割り込み	SAU0_SPI_TXRXI00	SAU0_SPI_TXRXI11
	転送終了割り込み（シングル転送モード時）またはパッファ空き割り込み（連続転送モード時）を選択できます。	
エラー検出フラグ	なし	
転送データ長	7 ビットまたは 8 ビット	
転送速度(注1)	最高 PCLKB/2 [Hz] (SPI00 のみ)、PCLKB/4 [Hz] 最低 PCLKB/ (2 × 2 ¹⁵ × 128) [Hz] PCLKB : システムクロック周波数	
データ位相	SCRmn レジスタの DCP[1]ビットにより選択可能 ● DCP[1] = 0 : シリアルクロックの動作開始からデータ出力を開始。 ● DCP[1] = 1 : シリアルクロック動作開始の半クロック前からデータ出力を開始。	
クロック位相	SCRmn レジスタの DCP[0]ビットにより選択可能 ● DCP[0] = 0 : 非反転 ● DCP[0] = 1 : 反転	
データ方向	MSB ファーストまたは LSB ファースト	

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)

注 1. この動作は、上記の条件および電気的特性で指定する周辺機能特性を満たす範囲内で使用してください。詳細は、「27. 電気的特性」を参照してください。

(1) レジスタ設定

簡易 SPI のマスタ送信に対するレジスタ内容の例を表 19.10～表 19.15 に示します。

(a) シリアルモードレジスタ mn (SMRmn)

表 19.10 簡易 SPI のマスタ送信に対するシリアルモードレジスタ mn (SMRmn) 内容例

ビット	シンボル	設定値	機能
0	MD0	0/1	チャンネル n の割り込み要因 0: 転送終了割り込み 1: バッファ空き割り込み
2:1	MD1[1:0]	00b	チャンネル n の動作モードの設定 00: 簡易 SPI モード
5:3	—	100b	設定無効 (初期値に設定されます)
6	SIS0	0	簡易 SPI モード時設定固定
7	—	0	設定無効 (初期値に設定されます)
8	STS	0	スタートトリガ要因の選択 0: ソフトウェアトリガのみ有効 (簡易 SPI、UART 送信、および簡易 I ² C 時に選択)
13:9	—	00000b	設定無効 (初期値に設定されます)
14	CCS	0	チャンネル n の転送クロック (f_{TCLK}) の選択 0: CKS ビットで指定した動作クロック f_{MCK} の分周クロック
15	CKS	0/1	チャンネル n の動作クロック (f_{MCK}) 0: SPSm レジスタで設定したプリスケアラ出カクロック CKm0 1: SPSm レジスタで設定したプリスケアラ出カクロック CKm1

(b) シリアル通信動作設定レジスタ mn (SCRmn)

表 19.11 簡易 SPI のマスタ送信に対するシリアル通信動作設定レジスタ mn (SCRmn) 内容例

ビット	シンボル	設定値	機能
1:0	DLS[1:0]	10b または 11b	データ長の設定 10: 7 ビットデータ長 11: 8 ビットデータ長
3:2	—	01b	設定無効 (初期値に設定されます)
5:4	SLC[1:0]	00b	このビットは UART モード専用なので、簡易 SPI モードでは固定
6	—	0	設定無効 (初期値に設定されます)
7	DIR	0/1	簡易 SPI モードおよび UART モードでのデータ転送順序の選択 0: MSB ファーストでデータ入出力を行う 1: LSB ファーストでデータ入出力を行う
9:8	PTC[1:0]	00b	このビットは UART モード専用なので、簡易 SPI モードでは固定
10	EOC	0	このビットは UART 受信モード専用なので、簡易 SPI モードでは固定
11	—	0	設定無効 (初期値に設定されます)
13:12	DCP[1:0]	00b ~ 11b	簡易 SPI モードでのデータおよびクロック位相の選択 設定の詳細は、「19.3. レジスタの説明」を参照してください。
15:14	TRXE[1:0]	10b	TRXE[1:0] = 10b の設定は、簡易 SPI マスタ送信モードで固定

(c) シリアルデータレジスタ mn (SDRmn)

表 19.12 簡易 SPI のマスタ送信に対するシリアルデータレジスタ mn (SDRmn) 内容例

ビット	シンボル	設定値	機能
7:0	DAT[7:0]	0x00 ～ 0xFF	送信データ (送信データの設定)
8	DAT[8]	0	0 固定
15:9	STCLK[6:0]	0x00 ～ 0x7F	ボーレート設定 (動作クロック (f_{MCK}) の分周設定)

(d) シリアル出力レジスタ m (SOm)

対象チャネルのビットのみ設定してください。

表 19.13 簡易 SPI のマスタ送信に対するシリアル出力レジスタ m (SOm) 内容例

ビット	シンボル	設定値	機能
n	SO[n]	0/1	チャネル n のシリアルデータ出力 0: シリアルデータ出力値が 0 1: シリアルデータ出力値が 1
n+8	CKO[n]	0/1	クロック位相が非反転 (SCRmn.DCP[0] = 0) のときは 1 で通信開始します。クロック位相が反転 (SCRmn.DCP[0] = 1) のときは 0 で通信開始します

(e) シリアル出力許可レジスタ m (SOEm)

対象チャネルのビットのみ 1 に設定してください。

表 19.14 簡易 SPI のマスタ送信に対するシリアル出力許可レジスタ m (SOEm) 内容例

ビット	シンボル	設定値	機能
n	SOE[n]	1	チャネル n のシリアル出力許可または停止 1: シリアル通信動作による出力許可

(f) シリアルチャネル開始レジスタ m (SSm)

対象チャネルのビットのみ 1 に設定してください。

表 19.15 簡易 SPI のマスタ送信に対するシリアルチャネル開始レジスタ m (SSm) 内容例

ビット	シンボル	設定値	機能
n	SS[n]	1	チャネル n の動作開始トリガ 1: SEm.SE[n]ビットに 1 を設定し、チャネルを通信待機状態にする

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0～3)、mn = 00～03

注. 0/1 : ユーザの用途に応じて 0 または 1 に設定

(2) 動作手順

表 19.16 に、マスタ送信の初期設定手順を示します。

表 19.16 マスタ送信の初期設定手順

手順	処理	詳細
マスタ送信の初期設定手順	<1>	初期設定開始
	<2>	SPSm レジスタの設定
	<3>	SMRmn レジスタの設定
	<4>	SCRmn レジスタの設定
	<5>	SDRmn レジスタの設定
	<6>	SOM レジスタの設定
	<7>	SOEm レジスタの設定
	<8>	ポートの設定
	<9>	SSm レジスタへの書き込み
	<10>	初期設定完了

表 19.17 に、マスタ送信の停止手順を示します。

表 19.17 マスタ送信の停止手順

手順	処理	詳細
マスタ送信の停止手順	<1>	停止設定開始
	<2>	SSRmn.TSF がクリアされるまで待つ（任意）
	<3>	STm レジスタへの書き込み
	<4>	SOEm レジスタの設定変更
	<5>	SOM レジスタの設定変更（任意）
	<6>	停止設定完了

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)

表 19.18 に、マスタ送信の再開手順を示します。

表 19.18 マスタ送信の再開手順

手順	処理	詳細
マスタ送信の再開手順	<1>	再開設定開始
	<2>	スレーブが準備完了になるまで待つ
	<3>	ポート操作
	<4>	SPSm レジスタの設定変更 (任意)
	<5>	SDRmn レジスタの設定変更 (任意)
	<6>	SMRmn レジスタの設定変更 (任意)
	<7>	SCRmn レジスタの設定変更 (任意)
	<8>	SOEm レジスタの設定変更 (任意)
	<9>	SOM レジスタの設定変更 (任意)
	<10>	SOEm レジスタの設定変更
	<11>	ポート操作
	<12>	SSm レジスタへの書き込み
	<13>	再開設定完了

注. m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0~3)

(3) 処理フロー (シングル送信モード時)

図 19.4 に、マスタ送信のタイミングを示します (シングル送信モード時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)。

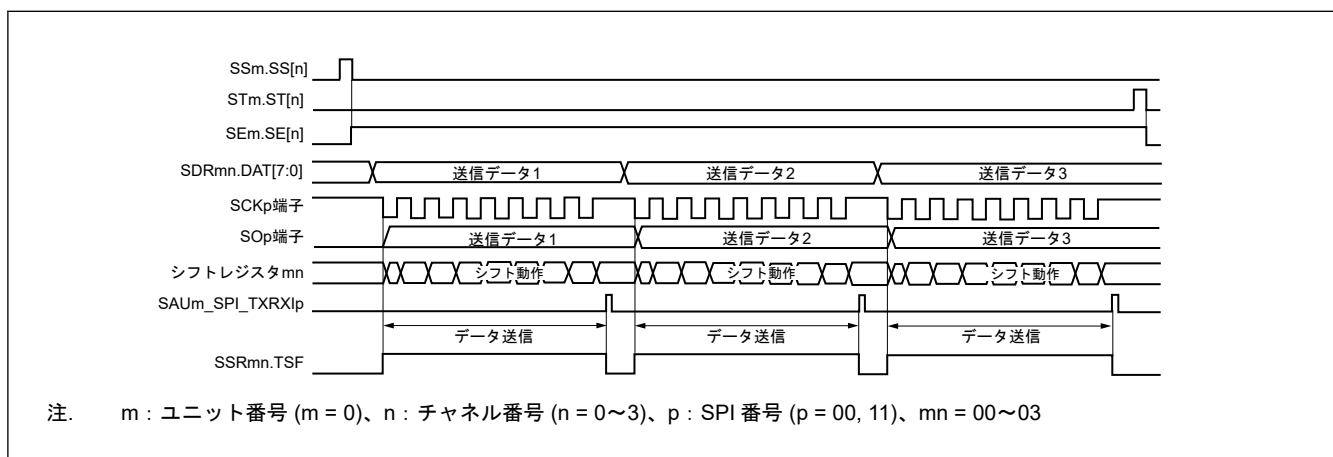


図 19.4 マスタ送信のタイミング (シングル送信モード時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)

図 19.5 に、マスタ送信のフローチャート (シングル送信モード時) を示します。

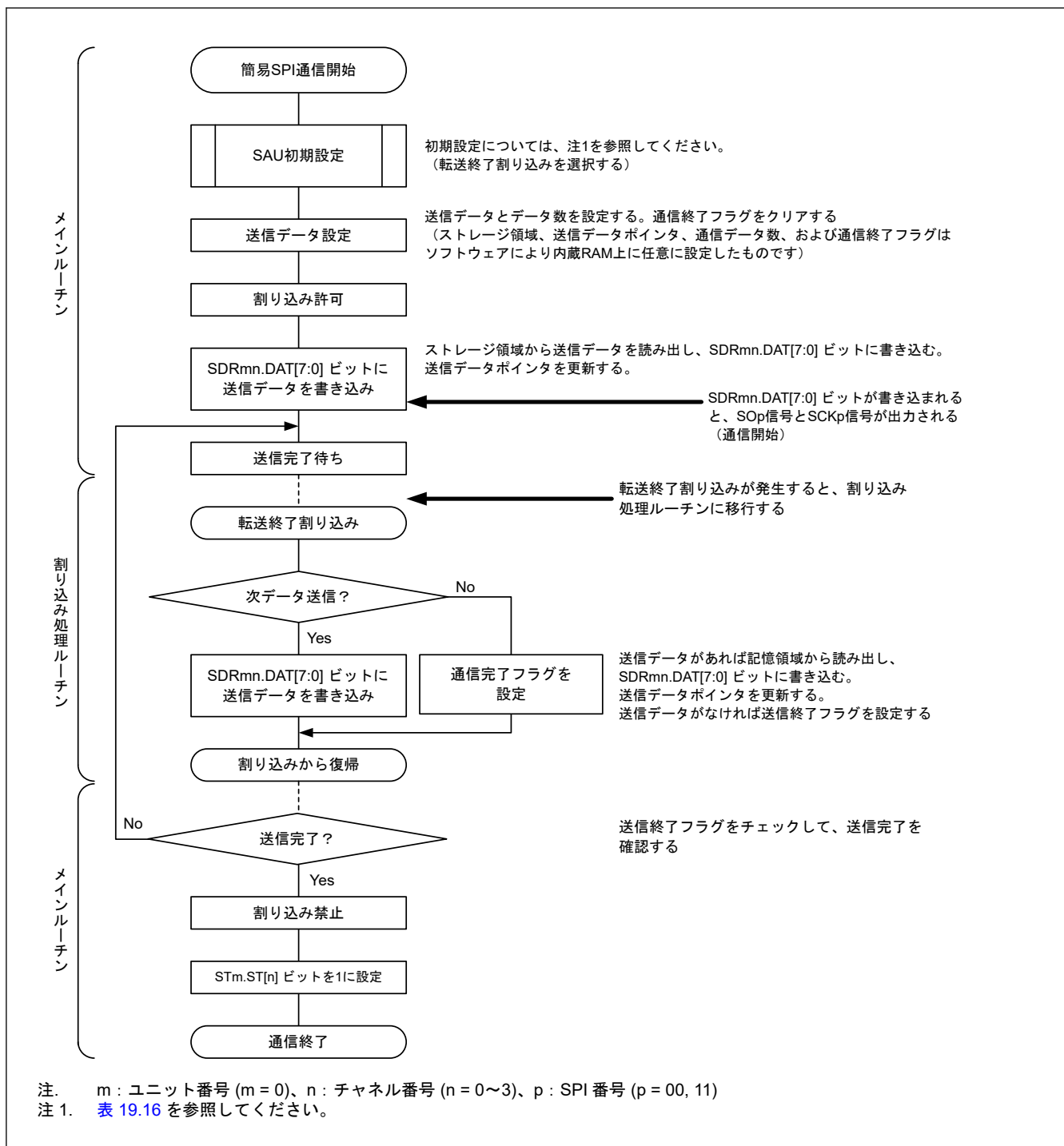
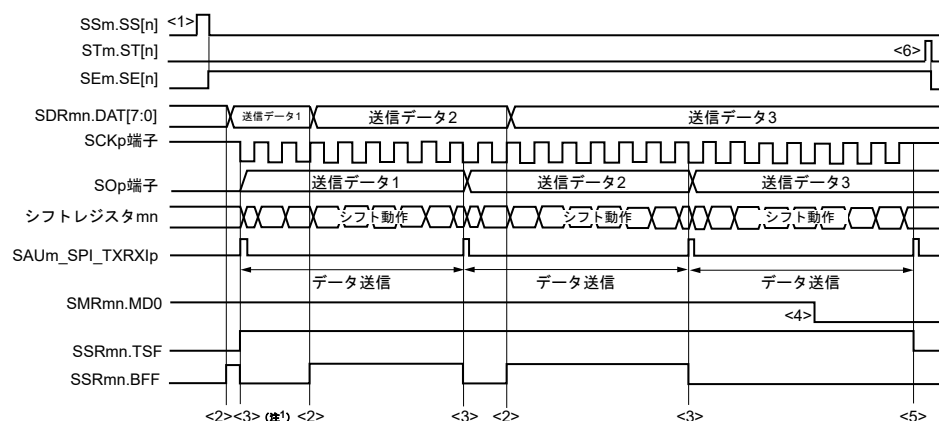


図 19.5 マスタ送信のフローチャート (シングル送信モード時)

(4) 処理フロー (連続送信モード時)

図 19.6 に、マスタ送信のタイミングを示します (連続送信モード時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)。



注. シリアルモードレジスタ mn (SMRmn) の MD0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送終了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)、p : SPI 番号 (p = 00, 11)、mn = 00~03

注 1. シリアルデータレジスタ mn (SSRmn) の BFF ビットが 1 の期間 (有効なデータがシリアルデータレジスタ mn (SPRmn) に格納されているとき) に SPRmn レジスタに送信データを書き込むと、送信データが上書きされます。

図 19.6 マスタ送信のタイミング（連続送信モード時）（タイプ1：SCRmn.DCP[1:0] = 00b）

図 19.7 に、マスタ送信のフローチャート（連続送信モード時）を示します。

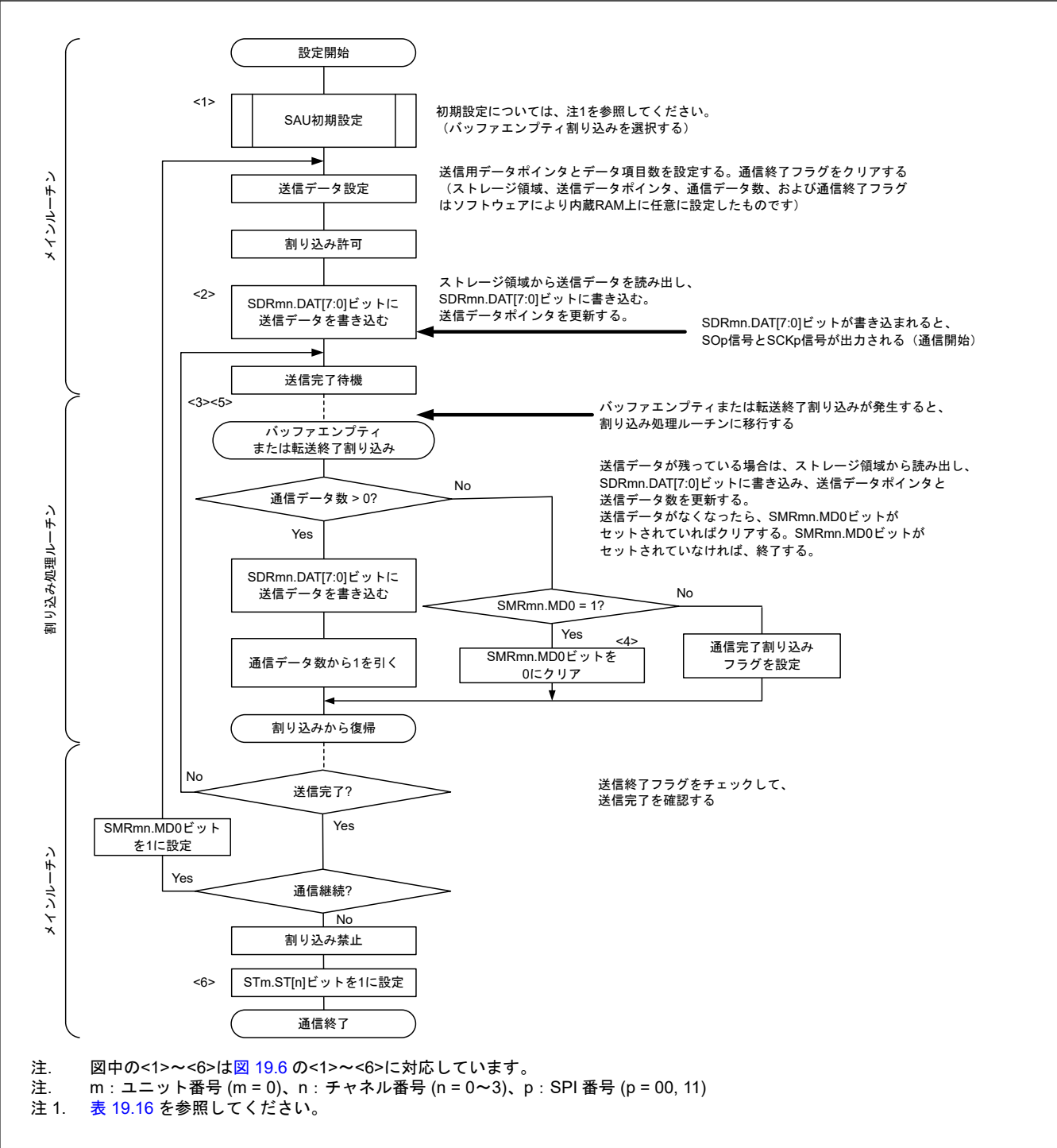


図 19.7 マスタ送信のフローチャート（連続送信モード時）

19.5.2 マスタ受信

マスタ受信とは、マイクロコントローラが転送クロックを出力し、他デバイスからデータを受信する動作です。
表 19.19 に簡易 SPI のマスタ受信の仕様を示します。

表 19.19 簡易 SPI のマスタ受信の仕様 (1/2)

簡易 SPI	SPI00	SPI11
対象チャネル	SAU0 のチャネル 0	SAU0 のチャネル 3
使用端子	SCK00, SI00	SCK11, SI11

表 19.19 簡易 SPI のマスタ受信の仕様 (2/2)

簡易 SPI	SPI00	SPI11
割り込み	SAU0_SPI_TXRXI00	SAU0_SPI_TXRXI11
	転送終了割り込み（シングル転送モード時）またはバッファ空き割り込み（連続転送モード時）を選択できます。	
エラー検出フラグ	オーバーランエラー検出フラグ (SSRmn.OVF) のみ	
転送データ長	7 ビットまたは 8 ビット	
転送速度(注1)	最高 PCLKB/2 [Hz] (SPI00 のみ)、PCLKB/4 [Hz] 最低 PCLKB/(2 × 2 ¹⁵ × 128)[Hz]	
データ位相	SCRmn レジスタの DCP[1]ビットにより選択可能 - DCP[1] = 0 : シリアルクロックの動作開始からデータ入力を開始。 - DCP[1] = 1 : シリアルクロック動作開始の半クロック前からデータ入力を開始。	
クロック位相	SCRmn レジスタの DCP[0]ビットにより選択可能 - DCP[0] = 0 : 非反転 - DCP[0] = 1 : 反転	
データ方向	MSB ファーストまたは LSB ファースト	

注. m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0~3)、mn = 00~03

注 1. 「27. 電気的特性」を参照してください。

(1) レジスタ設定

簡易 SPI のマスタ受信に対するレジスタ内容の例を表 19.20~表 19.25 に示します。

(a) シリアルモードレジスタ mn (SMRmn)

表 19.20 簡易 SPI のマスタ受信に対するシリアルモードレジスタ mn (SMRmn) 内容例

ビット	シンボル	設定値	機能
0	MD0	0/1	チャンネル n の割り込み要因 0: 転送終了割り込み 1: バッファ空き割り込み
2:1	MD1[1:0]	00b	チャンネル n の動作モードの設定 0 0: 簡易 SPI モード
5:3	—	100b	設定無効（初期値に設定されます）
6	SIS0	0	簡易 SPI モード時設定固定
7	—	0	設定無効（初期値に設定されます）
8	STS	0	スタートトリガ要因の選択 0: ソフトウェアトリガのみ有効（簡易 SPI、UART 送信、および簡易 I ² C 時に選択）
13:9	—	00000b	設定無効（初期値に設定されます）
14	CCS	0	チャンネル n の転送クロック (f _{TCLK}) の選択 0: CKS ビットで指定した動作クロック f _{MCK} の分周クロック
15	CKS	0/1	チャンネル n の動作クロック (f _{MCK}) 0: SPSm レジスタで設定したプリスケアラ出カクロック CKm0 1: SPSm レジスタで設定したプリスケアラ出カクロック CKm1

(b) シリアル通信動作設定レジスタ mn (SCRmn)

表 19.21 簡易 SPI のマスタ受信に対するシリアル通信動作設定レジスタ mn (SCRmn) 内容例

ビット	シンボル	設定値	機能
1:0	DLS[1:0]	10b または 11b	データ長の設定 1 0: 7 ビットデータ長 1 1: 8 ビットデータ長
3:2	—	01b	設定無効 (初期値に設定されます)
5:4	SLC[1:0]	00b	このビットは UART モード専用なので、簡易 SPI モードでは固定
6	—	0	設定無効 (初期値に設定されます)
7	DIR	0/1	簡易 SPI モードおよび UART モードでのデータ転送順序の選択 0: MSB ファーストでデータ入出力を行う 1: LSB ファーストでデータ入出力を行う
9:8	PTC[1:0]	00b	このビットは UART モード専用なので、簡易 SPI モードでは固定
10	EOC	0	このビットは UART 受信モード専用なので、簡易 SPI モードでは固定
11	—	0	設定無効 (初期値に設定されます)
13:12	DCP[1:0]	00b ～ 11b	簡易 SPI モードでのデータおよびクロック位相の選択 設定の詳細は、「19.3. レジスタの説明」を参照してください。
15:14	TRXE[1:0]	01b	TRXE[1:0] = 01b の設定は、簡易 SPI マスタ受信モードで固定

(c) シリアルデータレジスタ mn (SDRmn)

表 19.22 簡易 SPI のマスタ受信に対するシリアルデータレジスタ mn (SDRmn) 内容例

ビット	シンボル	設定値	機能
7:0	DAT[7:0]	0xFF	受信データ (ダミーデータとして 0xFF を書き込む)
8	DAT[8]	0	0 固定
15:9	STCLK[6:0]	0x00 ～ 0x7F	ボーレート設定 (動作クロック (f _{MCK}) の分周設定)

(d) シリアル出力レジスタ m (SOM)

対象チャネルのビットのみ設定してください。

表 19.23 簡易 SPI のマスタ受信に対するシリアル出力レジスタ m (SOM) 内容例

ビット	シンボル	設定値	機能
n	SO[n]	0/1	チャネル n のシリアルデータ出力 0: シリアルデータ出力値が 0 1: シリアルデータ出力値が 1
n+8	CKO[n]	0/1	クロック位相が非反転 (SCRmn.DCP[0] = 0) のときは 1 で通信開始します。クロック位相が反転 (SCRmn.DCP[0] = 1) のときは 0 で通信開始します

(e) シリアル出力許可レジスタ m (SOEm)

このレジスタは本モードでは使用しません。

表 19.24 簡易 SPI のマスタ受信に対するシリアル出力許可レジスタ m (SOEm) 内容例

ビット	シンボル	設定値	機能
n	SOE[n]	x	このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

(f) シリアルチャネル開始レジスタ m (SSm)

対象チャネルのビットのみ 1 に設定してください。

表 19.25 簡易 SPI のマスタ受信に対するシリアルチャネル開始レジスタ m (SSm) 内容例

ビット	シンボル	設定値	機能
n	SS[n]	1	チャネル n の動作開始トリガ 1: SEm.SE[n] ビットに 1 を設定し、チャネルを通信待機状態にする

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)、mn = 00~03

注. × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
0/1 : ユーザの用途に応じて 0 または 1 に設定

(2) 動作手順

表 19.26 に、マスタ受信の初期設定手順を示します。

表 19.26 マスタ受信の初期設定手順

手順	処理	詳細
マスタ受信の初期設定手順	<1>	初期設定開始 —
	<2>	SPSm レジスタの設定 動作クロックを設定する。
	<3>	SMRmn レジスタの設定 動作モード等を設定する。
	<4>	SCRmn レジスタの設定 通信フォーマットを設定する。
	<5>	SDRmn レジスタの設定 転送ボーレートを設定する (動作クロック (f _{MCK}) を分周して転送クロックを設定)。
	<6>	SOm レジスタの設定 シリアルクロック (SOm.CKO[n]) の初期出力レベルを設定する。
	<7>	ポートの設定 対象チャネルのクロック出力を有効にする。
	<8>	SSm レジスタへの書き込み 対象チャネルの SSm.SS[n] ビットに 1 を設定し、SEm.SE[n] = 1 に設定することにより動作を許可する。
	<9>	初期設定完了 初期設定が完了。 SDRmn.DAT[7:0] ビットにダミーデータを設定し、通信開始する。

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)

表 19.27 に、マスタ受信の停止手順を示します。

表 19.27 マスタ受信の停止手順

手順	処理	詳細
マスタ受信の停止手順	<1>	停止設定開始 —
	<2>	SSRmn.TSF がクリアされるまで待つ (任意) 転送中のデータがあれば、その完了を待つ。停止する必要がある、待たない。
	<3>	STm レジスタへの書き込み 対象チャネルの STm.ST[n] ビットに 1 を書き込む (SEm.SE[n] = 0 を設定することにより動作停止状態にする)。
	<4>	SOEm レジスタの設定変更 SOEm.SOE[n] ビットに 0 を設定し、対象チャネルの出力を停止する。
	<5>	SOm レジスタの設定変更 (任意) 必要に応じて、対象チャネルのシリアルクロック (SOm.CKO[n]) およびシリアルデータ (SOm.SO[n]) のレベルを変更可能。
	<6>	停止設定完了 停止設定完了後、次の処理に進む。

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)

表 19.28 に、マスタ受信の再開手順を示します。

表 19.28 マスタ受信の再開手順

手順	処理	詳細
マスタ送信の再開手順	<1>	再開設定開始
	<2>	スレーブの準備が完了するまで待つ
	<3>	ポート操作
	<4>	SPSm レジスタの設定変更 (任意)
	<5>	SDRmn レジスタの設定変更 (任意)
	<6>	SMRmn レジスタの設定変更 (任意)
	<7>	SCRmn レジスタの設定変更 (任意)
	<8>	SOM レジスタの設定変更 (任意)
	<9>	エラーフラグのクリア
	<10>	ポート操作
	<11>	SSm レジスタへの書き込み
	<12>	再開設定完了

注. m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0~3)

(3) 処理フロー (シングル受信モード時)

図 19.8 に、マスタ受信のタイミングを示します (シングル受信モード時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)。

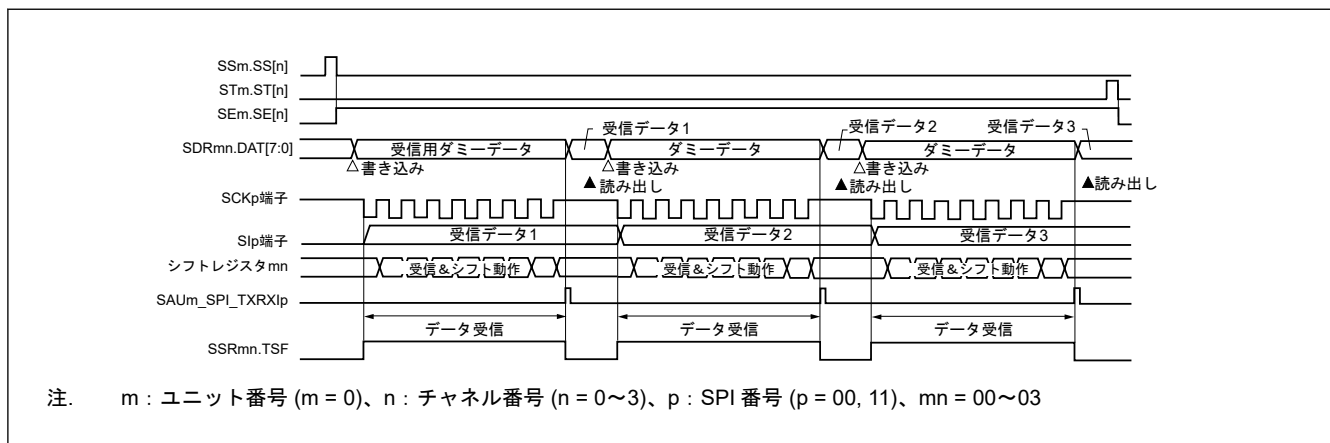


図 19.8 マスタ受信のタイミング (シングル受信モード時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)

図 19.9 に、マスタ受信のフローチャート (シングル受信モード時) を示します。

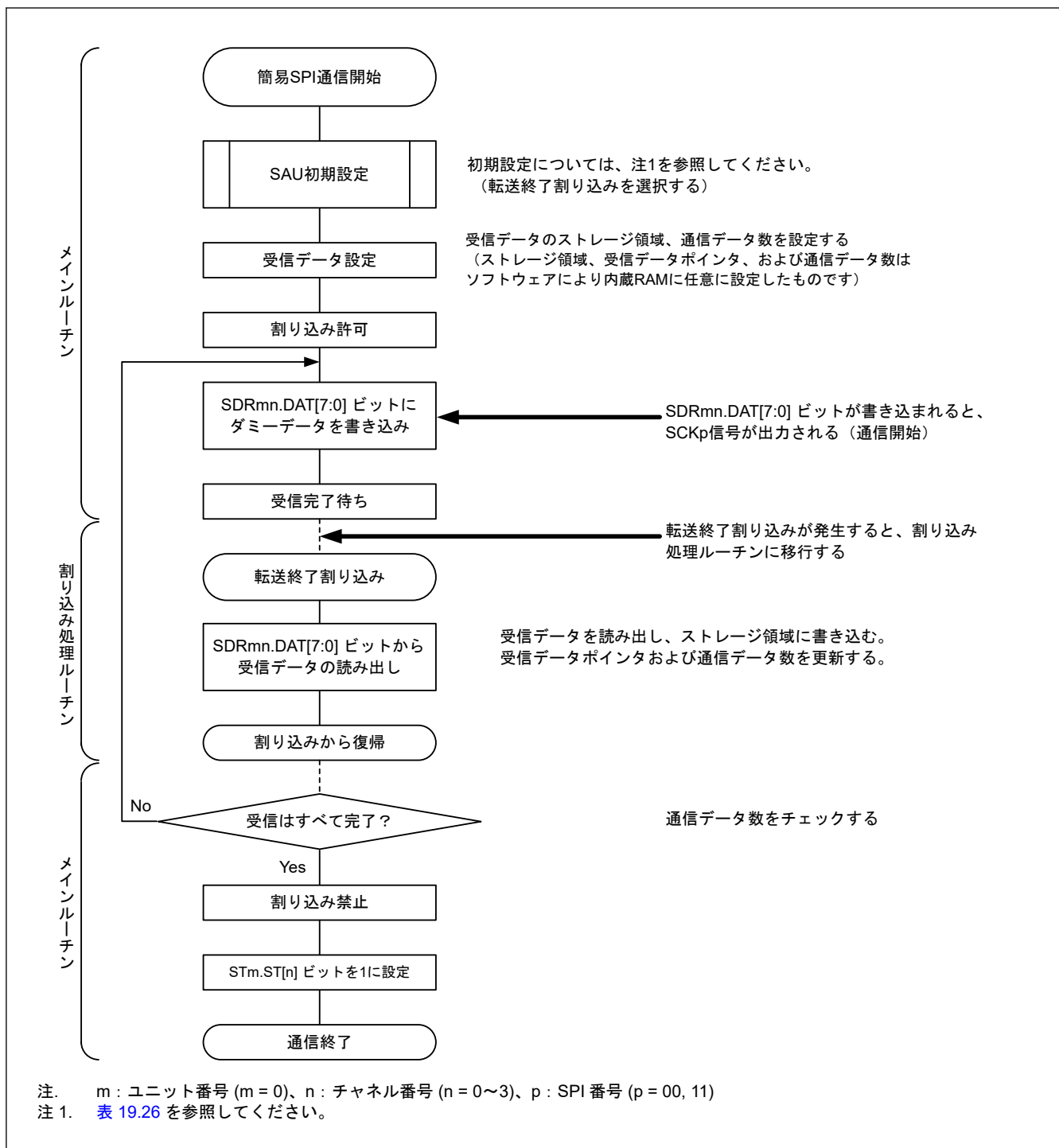
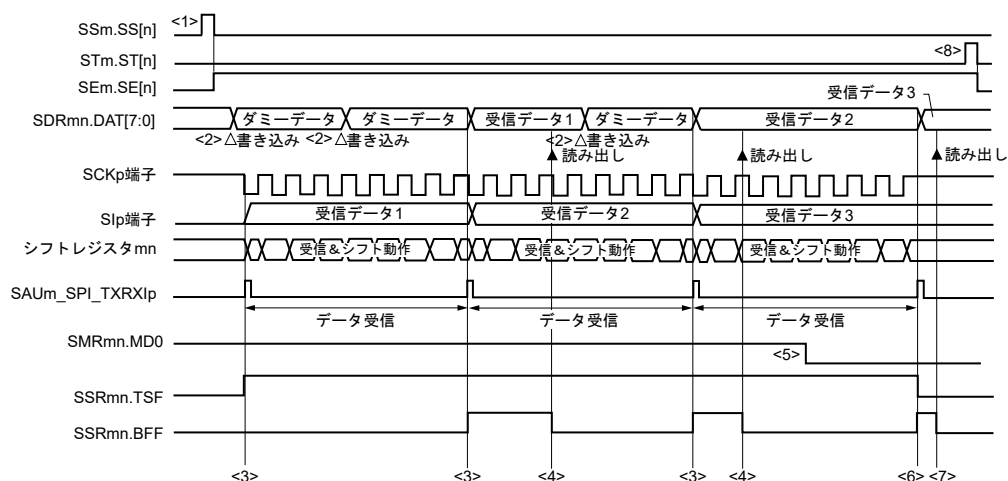


図 19.9 マスタ受信のフローチャート (シングル受信モード時)

(4) 処理フロー (連続受信モード時)

図 19.10 に、マスタ受信のタイミングを示します (連続受信モード時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)。



- 注. SMRmn.MD0 ビットは、動作中でも書き換えることができます。ただし、最後の受信データの転送終了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。
- 注. 図中の<1>～<8>は図 19.11 の<1>～<8>に対応しています。
- 注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0～3)、p : SPI 番号 (p = 00, 11)、mn = 00～03

図 19.10 マスタ受信のタイミング（連続受信モード時）（タイプ 1 : DCPmn[1:0] = 00b）

図 19.11 に、マスタ受信のフローチャート（連続受信モード時）を示します。

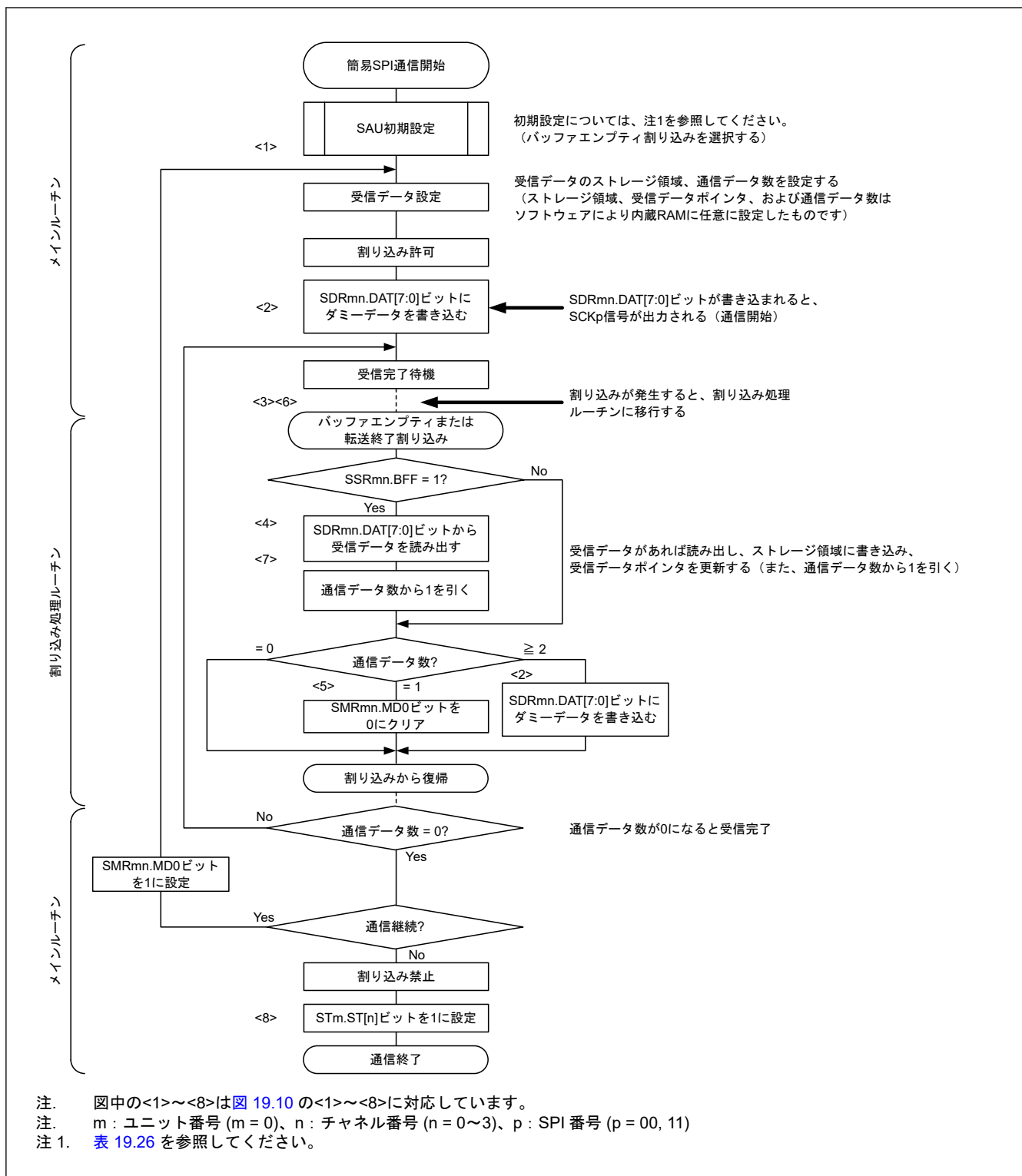


図 19.11 マスタ受信のフローチャート（連続受信モード時）

19.5.3 マスタ送受信

マスタ送受信とは、マイクロコントローラが転送クロックを出力し、他デバイスとデータを送受信する動作です。

表 19.29 に簡易 SPI のマスタ送受信の仕様を示します。

表 19.29 簡易 SPI のマスタ送受信の仕様

簡易 SPI	SPI00	SPI11
対象チャネル	SAU0 のチャネル 0	SAU0 のチャネル 3
使用端子	SCK00, SI00, SO00	SCK11, SI11, SO11
割り込み	SAU0_SPI_TXRXI00	SAU0_SPI_TXRXI11
	転送終了割り込み（シングル転送モード時）またはバッファ空き割り込み（連続転送モード時）を選択できます。	
エラー検出フラグ	オーバーランエラー検出フラグ (SSRmn.OVF) のみ	
転送データ長	7 ビットまたは 8 ビット	
転送速度 ^(注1)	最高 PCLKB /2 [Hz] (SPI00 のみ)、PCLKB /4 [Hz] 最低 PCLKB/(2 × 2 ¹⁵ × 128)[Hz]	
データ位相	SCRmn レジスタの DCP[1]ビットにより選択可能 - DCP[1] = 0 : シリアルクロックの動作開始によりデータ入出力を開始。 - DCP[1] = 1 : シリアルクロック動作開始の半クロック前からデータ入出力を開始。	
クロック位相	SCRmn レジスタの DCP[0]ビットにより選択可能 - DCP[0] = 0 : 非反転 - DCP[0] = 1 : 反転	
データ方向	MSB ファーストまたは LSB ファースト	

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)、mn = 00~03

注 1. この動作は、上記の条件および電気的特性で指定する周辺機能特性を満たす範囲内で使用してください。詳細は、「27. 電気的特性」を参照してください。

(1) レジスタ設定

簡易 SPI のマスタ送受信に対するレジスタ内容の例を表 19.30~表 19.35 に示します。

(a) シリアルモードレジスタ mn (SMRmn)

表 19.30 簡易 SPI のマスタ送受信に対するシリアルモードレジスタ mn (SMRmn) 内容例

ビット	シンボル	設定値	機能
0	MD0	0/1	チャネル n の割り込み要因 0: 転送終了割り込み 1: バッファ空き割り込み
2:1	MD1[1:0]	00b	チャネル n の動作モードの設定 00: 簡易 SPI モード
5:3	—	100b	設定無効（初期値に設定されます）
6	SIS0	0	簡易 SPI モード時設定固定
7	—	0	設定無効（初期値に設定されます）
8	STS	0	スタートトリガ要因の選択 0: ソフトウェアトリガのみ有効（簡易 SPI、UART 送信、および簡易 I ² C 時に選択）
13:9	—	00000b	設定無効（初期値に設定されます）
14	CCS	0	チャネル n の転送クロック (f _{TCLK}) の選択 0: CKS ビットで指定した動作クロック f _{MCK} の分周クロック
15	CKS	0/1	チャネル n の動作クロック (f _{MCK}) 0: SPSm レジスタで設定したプリスケアラ出カクロック CKm0 1: SPSm レジスタで設定したプリスケアラ出カクロック CKm1

(b) シリアル通信動作設定レジスタ mn (SCRmn)

表 19.31 簡易 SPI のマスタ送受信に対するシリアル通信動作設定レジスタ mn (SCRmn) 内容例

ビット	シンボル	設定値	機能
1:0	DLS[1:0]	10b または 11b	データ長の設定 10: 7 ビットデータ長 11: 8 ビットデータ長
3:2	—	01b	設定無効 (初期値に設定されます)
5:4	SLC[1:0]	00b	このビットは UART モード専用なので、簡易 SPI モードでは固定
6	—	0	設定無効 (初期値に設定されます)
7	DIR	0/1	簡易 SPI モードおよび UART モードでのデータ転送順序の選択 0: MSB ファーストでデータ入出力を行う 1: LSB ファーストでデータ入出力を行う
9:8	PTC[1:0]	00b	このビットは UART モード専用なので、簡易 SPI モードでは固定
10	EOC	0	このビットは UART 受信モード専用なので、簡易 SPI モードでは固定
11	—	0	設定無効 (初期値に設定されます)
13:12	DCP[1:0]	00b ～ 11b	簡易 SPI モードでのデータおよびクロック位相の選択 設定の詳細は、「19.3. レジスタの説明」を参照してください。
15:14	TRXE[1:0]	11b	TRXE[1:0] = 11b の設定は、簡易 SPI マスタ送受信モードで固定

(c) シリアルデータレジスタ mn (SDRmn)

表 19.32 簡易 SPI のマスタ送受信に対するシリアルデータレジスタ mn (SDRmn) 内容例

ビット	シンボル	設定値	機能
7:0	DAT[7:0]	0xFF	送信データまたは受信データ (送信データ設定および受信データ読み出し)
8	DAT[8]	0	0 固定
15:9	STCLK[6:0]	0x00 ～ 0x7F	ボーレート設定 動作クロック (f_{MCK}) の分周設定

(d) シリアル出力レジスタ m (SOM)

対象チャネルのビットのみ設定してください。

表 19.33 簡易 SPI のマスタ送受信に対するシリアル出力レジスタ m (SOM) 内容例

ビット	シンボル	設定値	機能
n	SO[n]	0/1	チャネル n のシリアルデータ出力 (n = 0～3) 0: シリアルデータ出力値が 0 1: シリアルデータ出力値が 1
n+8	CKO[n]	0/1	クロック位相が非反転 (SCRmn.DCP[0] = 0) のときは 1 で通信開始します。クロック位相が反転 (SCRmn.DCP[0] = 1) のときは 0 で通信開始します

(e) シリアル出力許可レジスタ m (SOEm)

対象チャネルのビットのみ 1 に設定してください。

表 19.34 簡易 SPI のマスタ送受信に対するシリアル出力許可レジスタ m (SOEm) 内容例

ビット	シンボル	設定値	機能
n	SOE[n]	1	チャネル n のシリアル出力許可または停止 1: シリアル通信動作による出力許可

(f) シリアルチャネル開始レジスタ m (SSm)

対象チャネルのビットのみ 1 に設定してください。

表 19.35 簡易 SPI のマスタ送受信に対するシリアルチャネル開始レジスタ m (SSm) 内容例

ビット	シンボル	設定値	機能
n	SS[n]	1	チャネル n の動作開始トリガ 1: SEm.SE[n]ビットに 1 を設定し、チャネルを通信待機状態にする

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)、mn = 00~03

注. 0/1 : ユーザの用途に応じて 0 または 1 に設定

(2) 動作手順

表 19.36 に、マスタ送受信の初期設定手順を示します。

表 19.36 マスタ送受信の初期設定手順

手順		処理	詳細
マスタ送受信の初期設定手順	<1>	初期設定開始	—
	<2>	SPSm レジスタの設定	動作クロックを設定する。
	<3>	SMRmn レジスタの設定	動作モードを設定する。
	<4>	SCRmn レジスタの設定	通信フォーマットを設定する。
	<5>	SDRmn レジスタの設定	転送ボーレートを設定する（動作クロック (f _{MCK}) を分周して転送クロックを設定）。
	<6>	SOM レジスタの設定	シリアルクロック (SOM.CKO[n]) およびシリアルデータ (SOM.SO[n]) の初期出力レベルを設定する。
	<7>	SOEm レジスタの設定変更	SOEm.SOE[n]ビットに 1 を設定し、対象チャネルのデータ出力を許可する。
	<8>	ポートの設定	対象チャネルのデータ出力およびクロック出力を有効にする。
	<9>	SSm レジスタへの書き込み	対象チャネルの SSm.SS[n]ビットに 1 を設定し、SEm.SE[n]ビットを 1 にすることにより動作を許可する。
	<10>	初期設定完了	初期設定が完了。 SDRmn.DAT[7:0]ビットに送信データを設定し、開始する。

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)

表 19.37 に、マスタ送受信の停止手順を示します。

表 19.37 マスタ送受信の停止手順

手順		処理	詳細
マスタ送受信の停止手順	<1>	停止設定開始	—
	<2>	SSRmn.TSF がクリアされるまで待つ（任意）	転送中のデータがあれば、その完了を待つ。停止する必要があるが、待たない。
	<3>	STm レジスタへの書き込み	対象チャネルの STm.ST[n]ビットに 1 を書き込み、SEm.SE[n] = 0 を設定することにより動作停止状態にする。
	<4>	SOEm レジスタの設定変更	SOEm.SOE[n]ビットに 0 を設定し、対象チャネルの出力を停止する。
	<5>	SOM レジスタの設定変更（任意）	必要に応じて、対象チャネルのシリアルクロック (SOM.CKO[n]) およびシリアルデータ (SOM.SO[n]) のレベルを変更可能。
	<6>	停止設定完了	停止設定完了後、次の処理に進む。

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)

表 19.38 に、マスタ送受信の再開手順を示します。

表 19.38 マスタ送受信の再開手順

手順	処理	詳細
マスタ送受信の再開手順	<1>	再開設定開始
	<2>	スレーブの準備完了を確認する
	<3>	ポート操作
	<4>	SPSm レジスタの設定変更 (任意)
	<5>	SDRmn レジスタの設定変更 (任意)
	<6>	SMRmn レジスタの設定変更 (任意)
	<7>	SCRmn レジスタの設定変更 (任意)
	<8>	エラーフラグのクリア (任意)
	<9>	SOEm レジスタの設定変更 (任意)
	<10>	SOM レジスタの設定変更 (任意)
	<11>	SOEm レジスタの設定変更 (任意)
	<12>	ポート操作
	<13>	SSm レジスタへの書き込み
	<14>	再開設定完了

注. m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0~3)

(3) 処理フロー (シングル送受信モード時)

図 19.12 に、マスタ送受信のタイミングを示します (シングル送受信モード時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)。

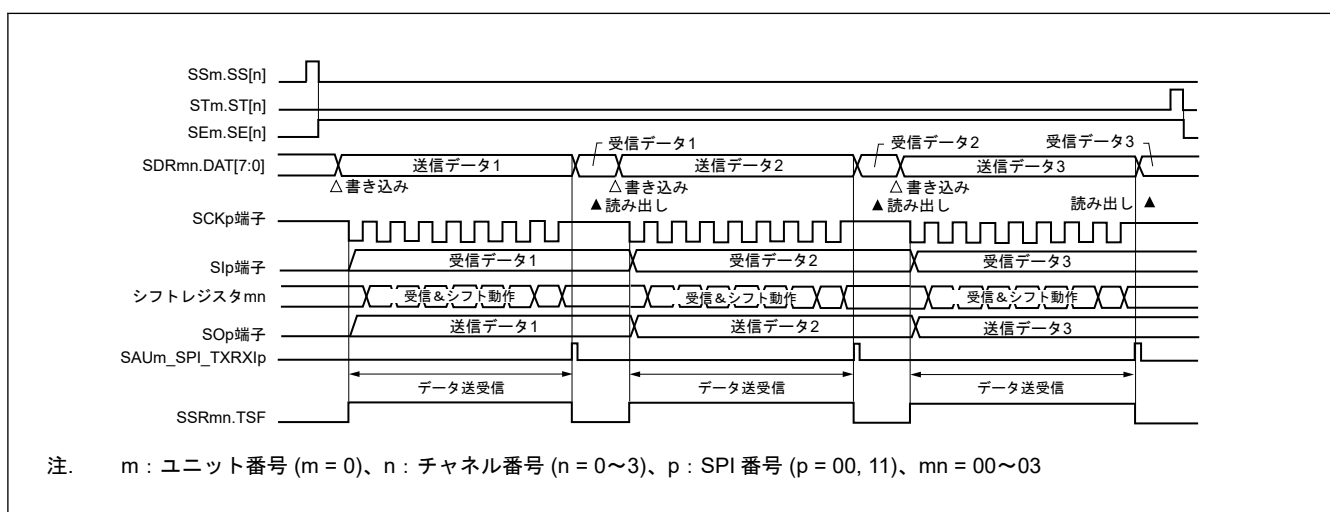


図 19.12 マスタ送受信のタイミング (シングル送受信モード時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)

図 19.13 に、マスタ送受信のフローチャート (シングル送受信モード時) を示します。

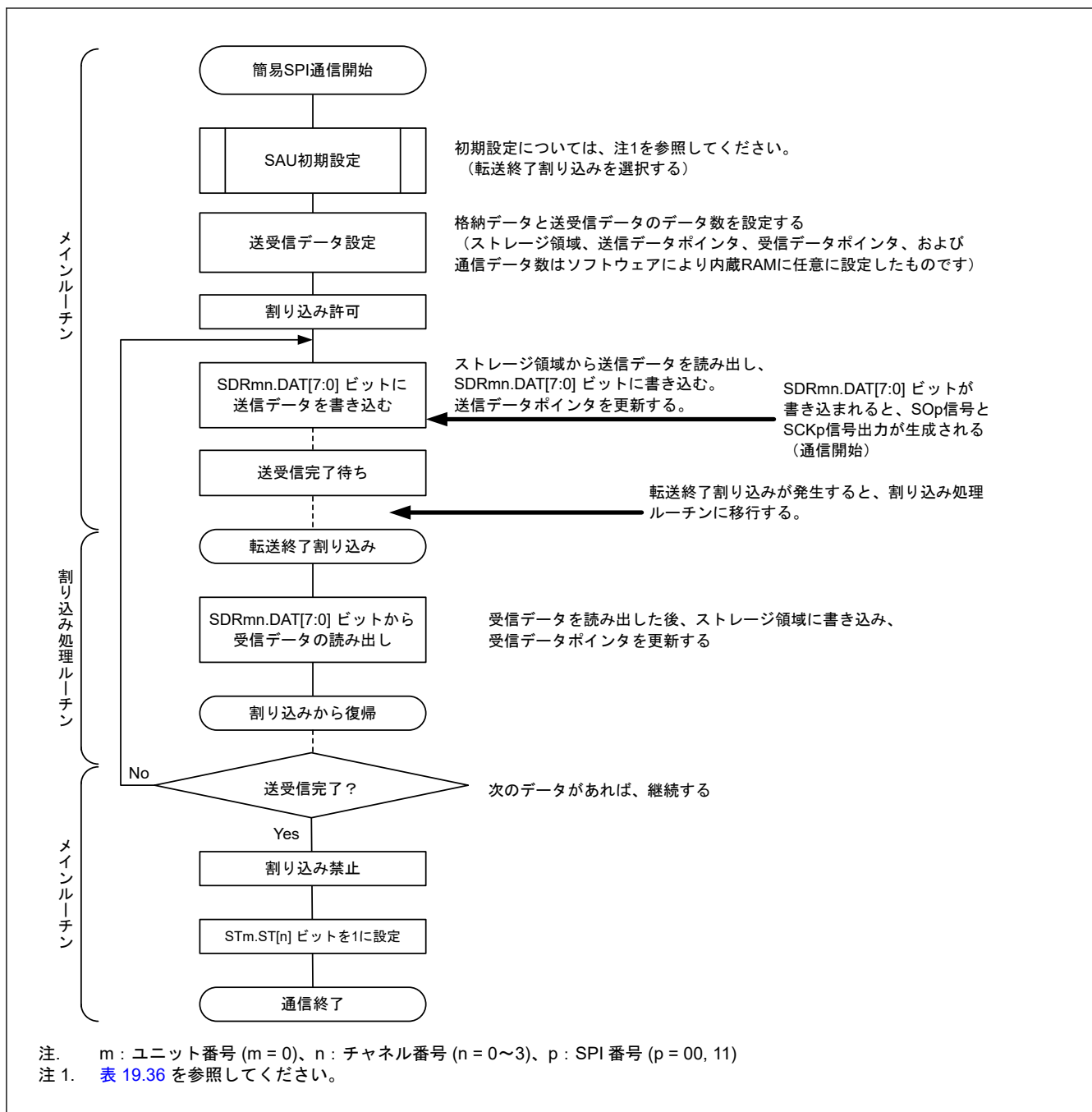
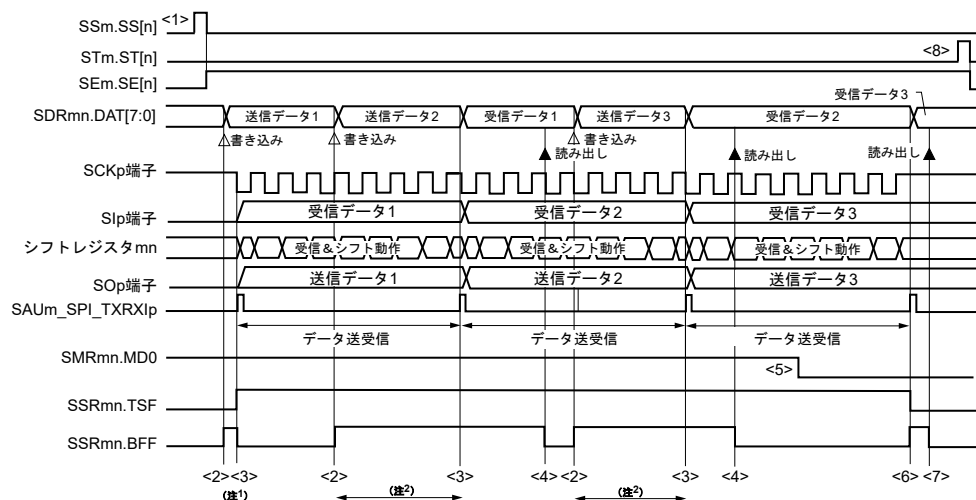


図 19.13 マスタ送受信のフローチャート (シングル送受信モード時)

(4) 処理フロー (連続送受信モード時)

図 19.14 に、マスタ送受信のタイミングを示します (連続送受信モード時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)。



- 注. シリアルモードレジスタ mn (SMRmn) の MD0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送終了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。
- 注. 図中の<1>~<8>は図 19.15 の<1>~<8>に対応しています。
- 注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)、p : SPI 番号 (p = 00, 11)
mn = 00~03
- 注 1. シリアルステータスレジスタ mn (SSRmn) の BFF ビットが 1 の期間 (有効なデータがシリアルデータレジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。
- 注 2. この期間に SDRmn レジスタをリードすると、送信データを読み出すことができます。本レジスタを読み出しても転送動作は影響を受けません。

図 19.14 マスタ送受信のタイミング (連続送受信モード時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)

図 19.15 に、マスタ送受信のフローチャート (連続送受信モード時) を示します。

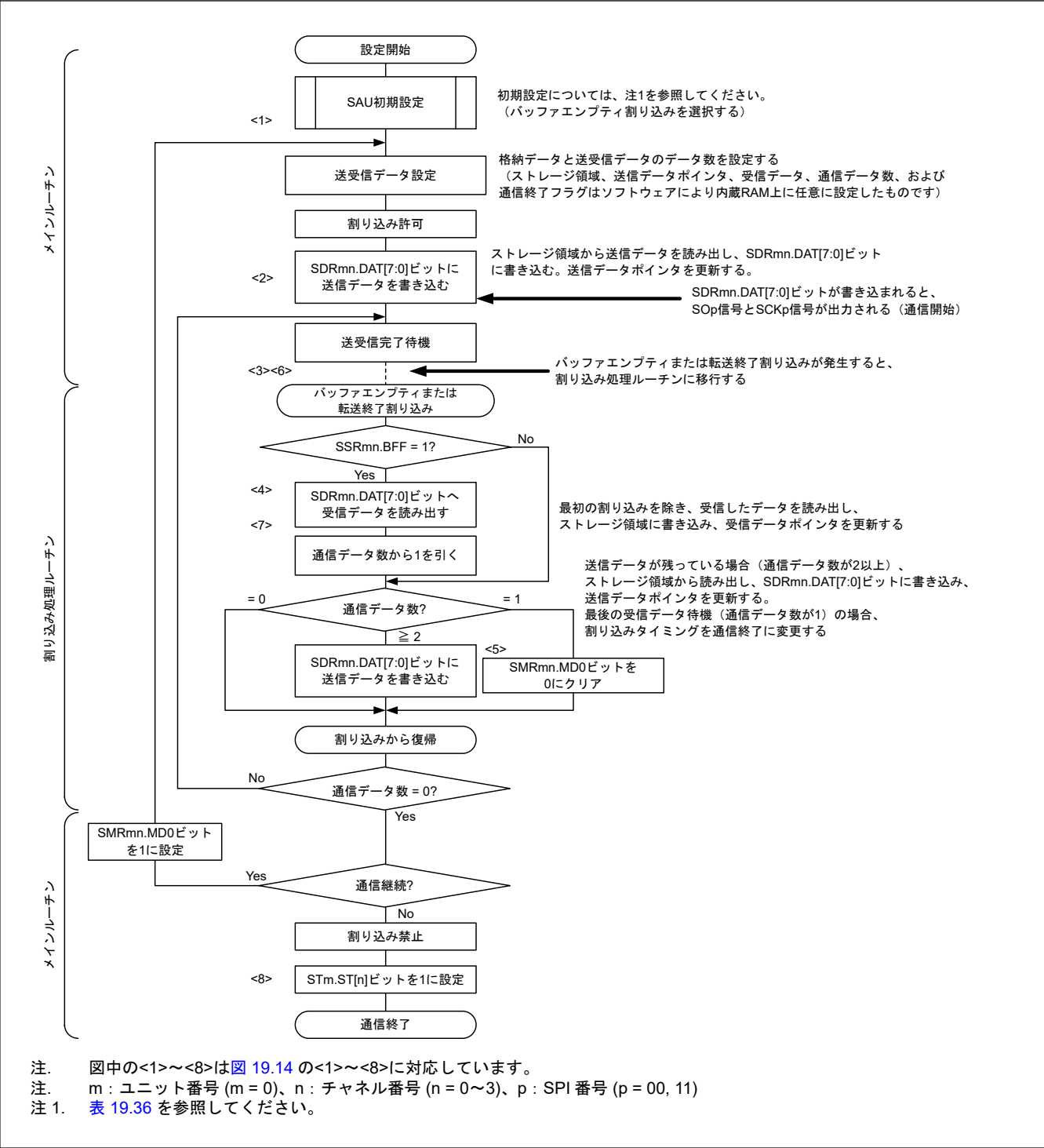


図 19.15 マスタ送受信のフローチャート (連続送受信モード時)

19.5.4 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、マイクロコントローラが他デバイスヘデータを送信する動作です。

表 19.39 に簡易 SPI のスレーブ送信の仕様を示します。

表 19.39 簡易 SPI のスレーブ送信の仕様 (1/2)

簡易 SPI	SPI00	SPI11
対象チャネル	SAU0 のチャネル 0	SAU0 のチャネル 3

表 19.39 簡易 SPI のスレーブ送信の仕様 (2/2)

簡易 SPI	SPI00	SPI11
使用端子	SCK00, SO00	SCK11, SO11
割り込み	SAU0_SPI_TXRXI00	SAU0_SPI_TXRXI11
	転送終了割り込み（シングル転送モード時）またはバッファエンプティ割り込み（連続転送モード時）を選択できます。	
エラー検出フラグ	オーバーランエラー検出フラグ (SSRmn.OVF) のみ	
転送データ長	7 ビットまたは 8 ビット	
転送速度	最高 $f_{MCK}/6$ [Hz](注1)(注2)	
データ位相	SCRmn レジスタの DCP[1]ビットにより選択可能 - DCP[1] = 0 : シリアルクロックの動作開始からデータ出力を開始 - DCP[1] = 1 : シリアルクロック動作開始の半クロックサイクル前からデータ出力を開始	
クロック位相	SCRmn レジスタの DCP[0]ビットにより選択可能 - DCP[0] = 0 : 非反転 - DCP[0] = 1 : 反転	
データ方向	MSB ファーストまたは LSB ファースト	

注. f_{MCK} : 対象チャネルの動作クロック周波数

f_{SCK} : シリアルクロック周波数

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)、mn = 00~03

注 1. SCK00 端子および SCK11 端子に入力される外部シリアルクロックは、内部でサンプリングして使用されるため、最高転送速度は $f_{MCK}/6$ [Hz]となります。

注 2. この動作は、上記の条件および電気的特性で指定する周辺機能特性を満たす範囲内で使用してください。詳細は、「27. 電気的特性」を参照してください。

(1) レジスタ設定

簡易 SPI のスレーブ送信に対するレジスタ内容の例を表 19.40~表 19.45 に示します。

(a) シリアルモードレジスタ mn (SMRmn)

表 19.40 簡易 SPI のスレーブ送信に対するシリアルモードレジスタ mn (SMRmn) 内容例

ビット	シンボル	設定値	機能
0	MD0	0/1	チャネル n の割り込み要因 0: 転送終了割り込み 1: バッファエンプティ割り込み
2:1	MD1[1:0]	00b	チャネル n の動作モードの設定 00: 簡易 SPI モード
5:3	—	100b	設定無効（初期値に設定されます）
6	SIS0	0	簡易 SPI モード時設定固定
7	—	0	設定無効（初期値に設定されます）
8	STS	0	スタートトリガ要因の選択 0: ソフトウェアトリガのみ有効（簡易 SPI、UART 送信、および簡易 I ² C 時に選択）
13:9	—	00000b	設定無効（初期値に設定されます）
14	CCS	1	チャネル n の転送クロック (f_{CLK}) の選択 1: SCKp 端子からのクロック入力 f_{SCK} （簡易 SPI モードでのスレーブ転送）
15	CKS	0/1	チャネル n の動作クロック (f_{MCK}) 0: SPSm レジスタで設定したプリスケアラ出カクロック CKm0 1: SPSm レジスタで設定したプリスケアラ出カクロック CKm1

(b) シリアル通信動作設定レジスタ mn (SCRmn)

表 19.41 簡易 SPI のスレーブ送信に対するシリアル通信動作設定レジスタ mn (SCRmn) 内容例

ビット	シンボル	設定値	機能
1:0	DLS[1:0]	10b または 11b	データ長の設定 10: 7 ビットデータ長 11: 8 ビットデータ長
3:2	—	01b	設定無効 (初期値に設定されます)
5:4	SLC[1:0]	00b	このビットは UART モード専用なので、簡易 SPI モードでは固定
6	—	0	設定無効 (初期値に設定されます)
7	DIR	0/1	簡易 SPI モードおよび UART モードでのデータ転送順序の選択 0: MSB ファーストでデータ入出力を行う 1: LSB ファーストでデータ入出力を行う
9:8	PTC[1:0]	00b	このビットは UART モード専用なので、簡易 SPI モードでは固定
10	EOC	0	このビットは UART 受信モード専用なので、簡易 SPI モードでは固定
11	—	0	設定無効 (初期値に設定されます)
13:12	DCP[1:0]	00b ～ 11b	簡易 SPI モードでのデータおよびクロック位相の選択 データおよびクロック位相の選択 (設定の詳細は、「19.3. レジスタの説明」を参照してください。)
15:14	TRXE[1:0]	10b	TRXE[1:0] = 10b の設定は、簡易 SPI スレーブ送信モードで固定

(c) シリアルデータレジスタ mn (SDRmn)

表 19.42 簡易 SPI のスレーブ送信に対するシリアルデータレジスタ mn (SDRmn) 内容例

ビット	シンボル	設定値	機能
7:0	DAT[7:0]	0x00 ～ 0xFF	送信データ 送信データの設定
8	DAT[8]	0	0 固定
15:9	STCLK[6:0]	0x00	ポーレート設定 (スレーブモードでは使用しない)

(d) シリアル出力レジスタ m (SOM)

対象チャネルのビットのみ設定してください。

表 19.43 簡易 SPI のスレーブ送信に対するシリアル出力レジスタ m (SOM) 内容例

ビット	シンボル	設定値	機能
n	SO[n]	0/1	チャネル n のシリアルデータ出力 0: シリアルデータ出力値が 0 1: シリアルデータ出力値が 1
n+8	CKO[n]	x	このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

(e) シリアル出力許可レジスタ m (SOEm)

対象チャネルのビットのみ 1 に設定してください。

表 19.44 簡易 SPI のスレーブ送信に対するシリアル出力許可レジスタ m (SOEm) 内容例

ビット	シンボル	設定値	機能
n	SOE[n]	1	チャネル n のシリアル出力許可または停止 1: シリアル通信動作による出力許可

(f) シリアルチャネル開始レジスタ m (SSm)

対象チャネルのビットのみ 1 に設定してください。

表 19.45 簡易 SPI のスレーブ送信に対するシリアルチャネル開始レジスタ m (SSm) 内容例

ビット	シンボル	設定値	機能
n	SS[n]	1	チャネル n の動作開始トリガ 1: SEm.SE[n]ビットに 1 を設定し、チャネルを通信待機状態にする

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)、mn = 00~03

注. × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
0/1 : ユーザの用途に応じて 0 または 1 に設定

(2) 動作手順

表 19.46 に、スレーブ送信の初期設定の手順を示します。

表 19.46 スレーブ送信の初期設定手順

手順	処理	詳細
スレーブ送信の初期設定の手順	<1>	初期設定開始 —
	<3>	SPSm レジスタの設定 動作クロックを設定する。
	<4>	SMRmn レジスタの設定 動作モードを設定する。
	<5>	SCRmn レジスタの設定 通信フォーマットを設定する。
	<6>	SDRmn レジスタの設定 ボーレート設定のために SDRmn.STCLK[6:0]ビットを 0x00 に設定する。
	<7>	SOM レジスタの設定 シリアルデータ (SOM.SO[n]) の初期出力レベルを設定する。
	<8>	SOEm レジスタの設定変更 SOEm.SOE[n]ビットに 1 を設定し、対象チャネルのデータ出力を許可する。
	<9>	ポートの設定 対象チャネルのデータ出力を有効にする。
	<10>	SSm レジスタへの書き込み 対象チャネルの SSm.SS[n]ビットを 1 に設定し、また SEm.SE[n]ビットを 1 に設定する (動作を許可する)。
	<11>	初期設定完了 初期設定が完了。 SDRmn.DAT[7:0]ビットに送信データを設定し、マスタからのクロックを待つ

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)

表 19.47 に、スレーブ送信の停止手順を示します。

表 19.47 スレーブ送信の停止手順

手順	処理	詳細
スレーブ送信の停止手順	<1>	停止設定開始 —
	<2>	SSRmn.TSF ビットがクリアされるまで待つ (オプション) 転送中のデータがあれば、その完了を待つ。停止する必要がある場合は、待たない。
	<3>	STm レジスタへの書き込み 対象チャネルの STm.ST[n]ビットに 1 を書き込み、SEm.SE[n]ビットを 0 に設定することにより動作停止状態にする。
	<4>	SOEm レジスタの設定変更 SOEm.SOE[n]ビットに 0 を設定し、対象チャネルの出力を停止する。
	<5>	SOM レジスタの設定変更 (任意) 必要に応じて、対象チャネルのシリアルデータ (SOM.SO[n]) のレベルを変更可能。
	<6>	停止設定完了 停止設定完了後、次の処理に進む。

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)

表 19.48 に、スレーブ送信の再開手順を示します。

表 19.48 スレーブ送信の再開手順

手順	処理	詳細
スレーブ送信の再開手順	<1>	再開設定開始
	<2>	マスタの準備が完了するまで待つ
	<3>	ポート操作
	<4>	SPSm レジスタの設定変更 (任意)
	<5>	SDRmn レジスタの設定変更 (任意)
	<6>	SMRmn レジスタの設定変更 (任意)
	<7>	SCRmn レジスタの設定変更 (任意)
	<8>	エラーフラグのクリア (任意)
	<9>	SOEm レジスタの設定変更 (任意)
	<10>	SOm レジスタの設定変更
	<11>	SOEm レジスタの設定変更
	<12>	ポート操作
	<13>	SSm レジスタへの書き込み
	<14>	通信開始
	<15>	再開設定完了

注. m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0~3)

(3) 処理フロー (シングル送信モード時)

図 19.16 に、スレーブ送信のタイミングを示します (シングル送信モードの場合) (タイプ 1 : SCRmn.DCP[1:0] = 00b)。

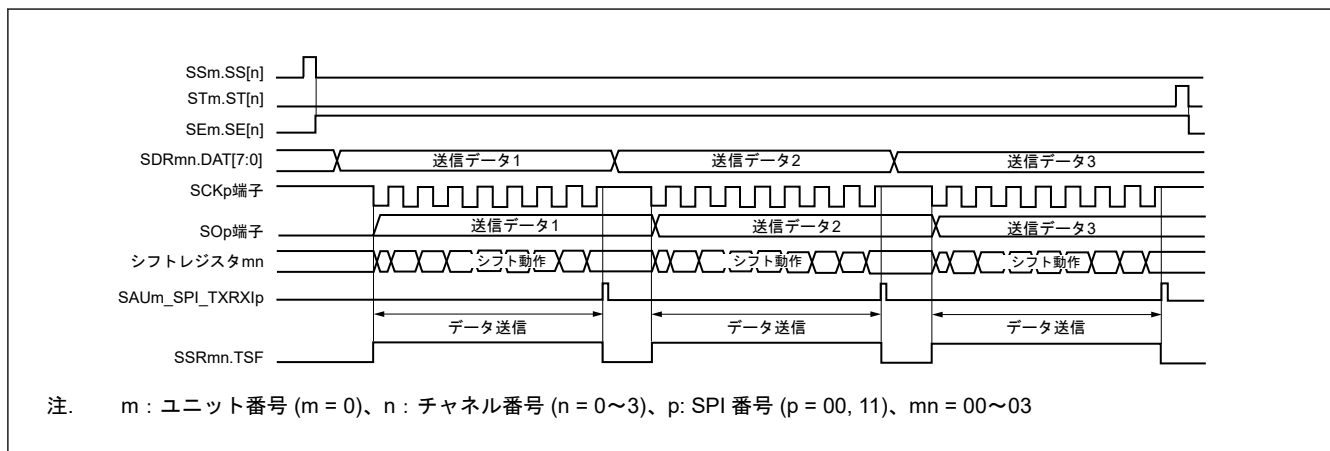


図 19.16 スレーブ送信のタイミング (シングル送信モードの場合) (タイプ 1 : SCRmn.DCP[1:0] = 00b)

図 19.17 に、スレーブ送信のフローチャート (シングル送信モードの場合) を示します。

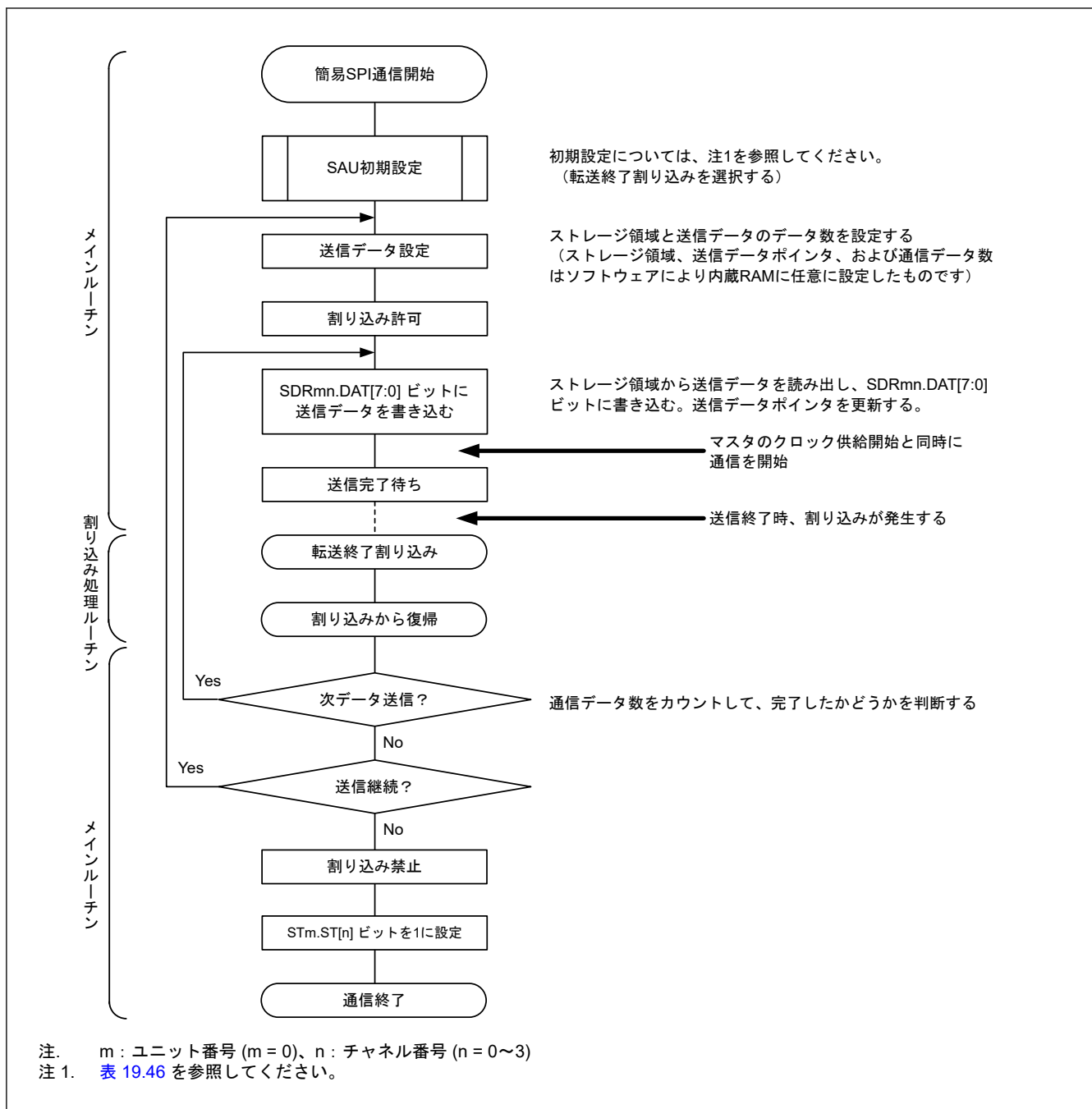
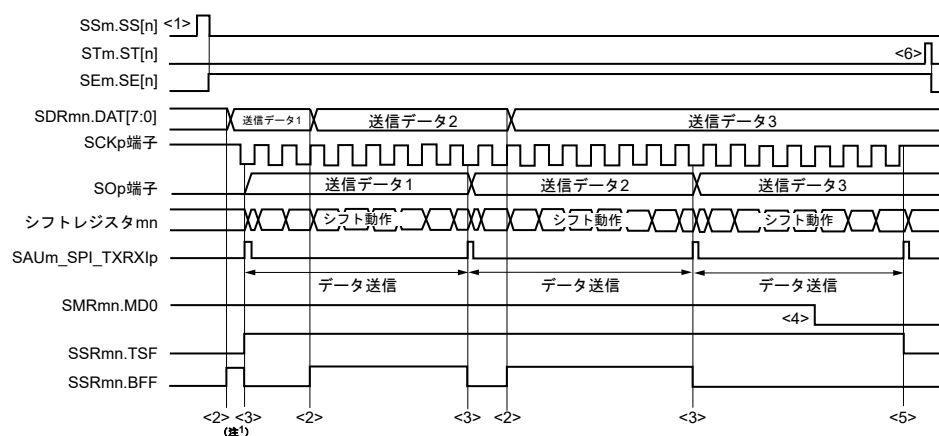


図 19.17 スレーブ送信のフローチャート (シングル送信モードの場合)

(4) 処理フロー (連続送信モード時)

図 19.18 に、スレーブ送信のタイミングを示します (連続送信モードの場合) (タイプ 1 : SCRmn.DCP[1:0] = 00b)。



- 注. シリアルモードレジスタ mn (SMRmn) の MD0 ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。
- 注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)、p: SPI 番号 (p = 00, 11)、mn = 00~03
- 注 1. シリアルステータスレジスタ mn (SSRmn) の BFF ビットが 1 の期間 (有効なデータがシリアルデータレジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

図 19.18 スレーブ送信のタイミング (連続送信モードの場合) (タイプ 1 : SCRmn.DCP[1:0] = 00b)

図 19.19 に、スレーブ送信のフローチャート (連続送信モードの場合) を示します。

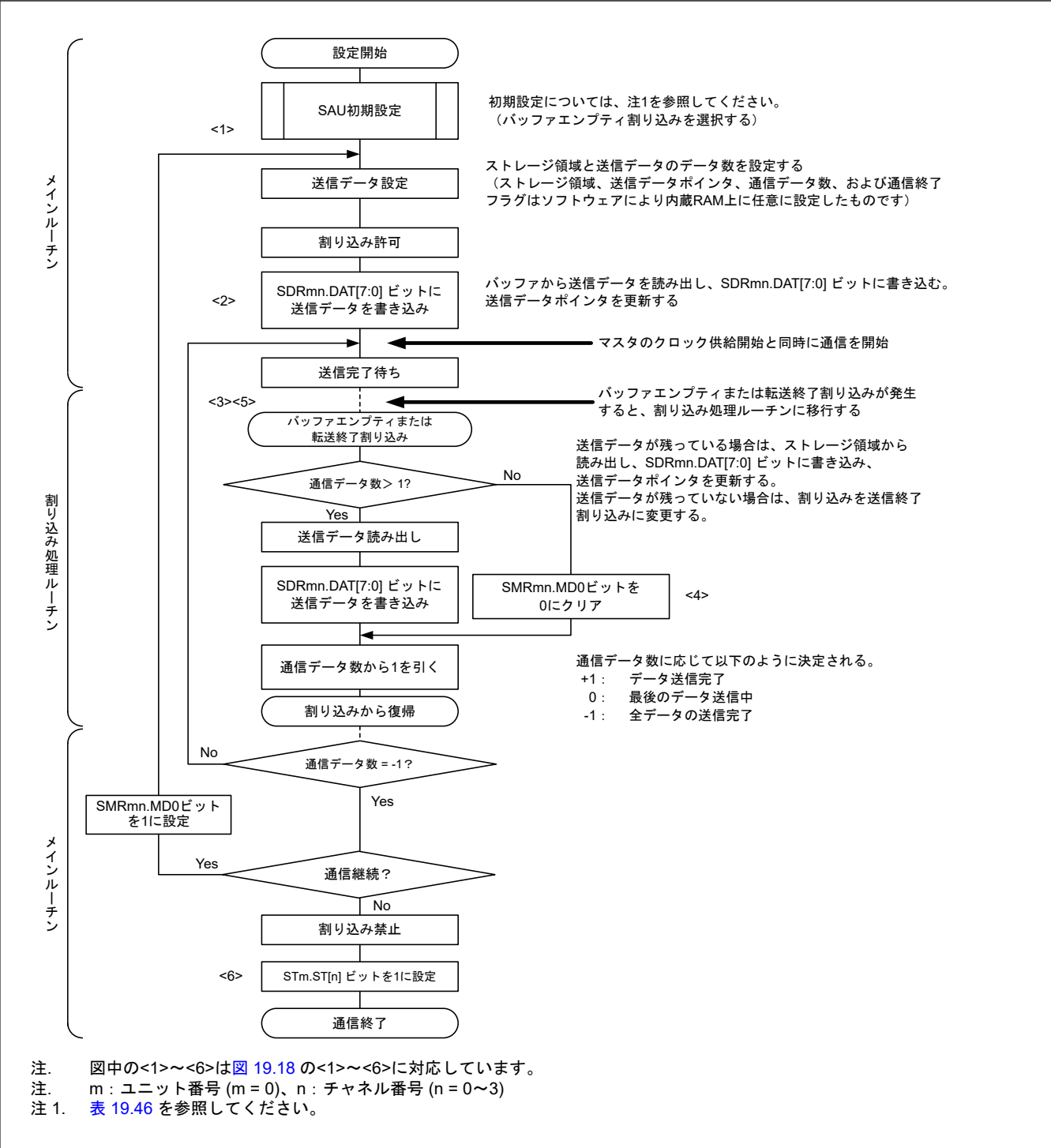


図 19.19 スレーブ送信のフローチャート（連続送信モードの場合）

19.5.5 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、マイクログントローラが他デバイスからデータを受信する動作です。

表 19.49 に簡易 SPI のスレーブ受信の仕様を示します。

表 19.49 簡易 SPI のスレーブ受信の仕様 (1/2)

簡易 SPI	SPI00	SPI11
対象チャネル	SAU0 のチャネル 0	SAU0 のチャネル 3

表 19.49 簡易 SPI のスレーブ受信の仕様 (2/2)

簡易 SPI	SPI00	SPI11
使用端子	SCK00, SI00	SCK11, SI11
割り込み	SAU0_SPI_TXRXI00	SAU0_SPI_TXRXI11
	転送終了割り込みのみ（バッファエンプティ割り込みは設定禁止。）	
エラー検出フラグ	オーバーランエラー検出フラグ (SSRmn.OVF) のみ	
転送データ長	7 ビットまたは 8 ビット	
転送速度	最高 $f_{MCK}/6$ [Hz] (注1) (注2)	
データ位相	SCRmn レジスタの DCP[1] ビットにより選択可能 - DCP[1] = 0 : シリアルクロックの動作開始からデータ入力を開始 - DCP[1] = 1 : シリアルクロック動作開始の半クロックサイクル前からデータ入力を開始	
クロック位相	SCRmn レジスタの DCP[0] ビットにより選択可能 - DCP[0] = 0 : 非反転 - DCP[0] = 1 : 反転	
データ方向	MSB ファーストまたは LSB ファースト	

注. f_{MCK} : 対象チャネルの動作クロック周波数

f_{SCK} : シリアルクロック周波数

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)、mn = 00~03

注 1. SCK00 および SCK11 端子に入力される外部シリアルクロックは、内部でサンプリングして使用されるため、最高転送速度は $f_{MCK}/6$ [Hz] となります。

注 2. この動作は、上記の条件および電気的特性で指定する周辺機能特性を満たす範囲内で使用してください。詳細は、「27. 電気的特性」を参照してください。

(1) レジスタ設定

簡易 SPI のスレーブ受信に対するレジスタ内容の例を表 19.50～表 19.55 に示します。

(a) シリアルモードレジスタ mn (SMRmn)

表 19.50 簡易 SPI のスレーブ受信に対するシリアルモードレジスタ mn (SMRmn) 内容例

ビット	シンボル	設定値	機能
0	MD0	0	チャネル n の割り込み要因 0: 転送終了割り込み
2:1	MD1[1:0]	00b	チャネル n の動作モードの設定 00: 簡易 SPI モード
5:3	—	100b	設定無効（初期値に設定されます）
6	SIS0	0	簡易 SPI モード時設定固定
7	—	0	設定無効（初期値に設定されます）
8	STS	0	スタートトリガ要因の選択 0: ソフトウェアトリガのみ有効（簡易 SPI、UART 送信、および簡易 I ² C 時に選択）
13:9	—	00000b	設定無効（初期値に設定されます）
14	CCS	1	チャネル n の転送クロック (f_{TCLK}) の選択 1: SCKp 端子からのクロック入力 f_{SCK} （簡易 SPI モードでのスレーブ転送）
15	CKS	0/1	チャネル n の動作クロック (f_{MCK}) 0: SPSm レジスタで設定したプリスケアラ出カクロック CKm0 1: SPSm レジスタで設定したプリスケアラ出カクロック CKm1

(b) シリアル通信動作設定レジスタ mn (SCRmn)

表 19.51 簡易 SPI のスレーブ受信に対するシリアル通信動作設定レジスタ mn (SCRmn) 内容例

ビット	シンボル	設定値	機能
1:0	DLS [1:0]	10b または 11b	データ長の設定 10: 7 ビットデータ長 11: 8 ビットデータ長
3:2	—	01b	設定無効 (初期値に設定されます)
5:4	SLC[1:0]	00b	このビットは UART モード専用なので、簡易 SPI モードでは固定
6	—	0	設定無効 (初期値に設定されます)
7	DIR	0/1	簡易 SPI モードおよび UART モードでのデータ転送順序の選択 0: MSB ファーストでデータ入出力を行う 1: LSB ファーストでデータ入出力を行う
9:8	PTC[1:0]	00b	このビットは UART モード専用なので、簡易 SPI モードでは固定
10	EOC	0	このビットは UART 受信モード専用なので、簡易 SPI モードでは固定
11	—	0	設定無効 (初期値に設定されます)
13:12	DCP[1:0]	00b ～ 11b	簡易 SPI モードでのデータおよびクロック位相の選択 設定の詳細は、「19.3. レジスタの説明」を参照してください。
15:14	TRXE[1:0]	01b	TRXE[1:0] = 01b の設定は、簡易 SPI スレーブ受信モードで固定

(c) シリアルデータレジスタ mn (SDRmn)

読み出しのみ可能。

表 19.52 簡易 SPI のスレーブ受信に対するシリアルデータレジスタ mn (SDRmn) 内容例

ビット	シンボル	設定値	機能
7:0	DAT[7:0]	0xFF	受信データ
8	DAT[8]	0	0 固定
15:9	STCLK[6:0]	0x00	ボーレート設定 (スレーブモードでは使用しない)

(d) シリアル出力レジスタ m (SOM)

このレジスタは本モードでは使用しません。

表 19.53 簡易 SPI のスレーブ受信に対するシリアル出力レジスタ m (SOM) 内容例

ビット	シンボル	設定値	機能
n	SO[n]	x	このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
n+8	CKO[n]	x	このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

(e) シリアル出力許可レジスタ m (SOEm)

このレジスタは本モードでは使用しません。

表 19.54 簡易 SPI のスレーブ受信に対するシリアル出力許可レジスタ m (SOEm) 内容例

ビット	シンボル	設定値	機能
n	SOE[n]	x	このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

(f) シリアルチャネル開始レジスタ m (SSm)

対象チャネルのビットのみ 1 に設定してください。

表 19.55 簡易 SPI のスレーブ受信に対するシリアルチャネル開始レジスタ m (SSm) 内容例

ビット	シンボル	設定値	機能
n	SS[n]	1	チャネル n の動作開始トリガ 1: SEm.SE[n] ビットに 1 を設定し、チャネルを通信待機状態にする

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)、mn = 00~03

注. × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて 0 または 1 に設定

(2) 動作手順

表 19.56 に、スレーブ受信の初期設定の手順を示します。

表 19.56 スレーブ受信の初期設定手順

手順	処理	詳細
スレーブ受信の初期設定の手順	<1>	初期設定開始 —
	<2>	SPSm レジスタの設定 動作クロックを設定する。
	<3>	SMRmn レジスタの設定 動作モードを設定する。
	<4>	SCRmn レジスタの設定 通信フォーマットを設定する。
	<5>	SDRmn レジスタの設定 ボーレート設定のために SDRmn.STCLK[6:0] ビットを 0x00 に設定する。
	<6>	ポートの設定 対象チャネルのデータ入力およびクロック入力を有効にする。
	<7>	SSm レジスタへの書き込み 対象チャネルの SSm.SS[n] ビットに 1 を設定し、SEm.SE[n] ビットを 1 にすることにより動作を許可する。マスタからのクロックを待つ。
	<8>	初期設定完了 —

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)

表 19.57 に、スレーブ受信の停止手順を示します。

表 19.57 スレーブ受信の停止手順

手順	処理	詳細
スレーブ受信の停止手順	<1>	停止設定開始 —
	<2>	SSRmn.TSF ビットがクリアされるまで待つ (オプション) 転送中のデータがあれば、その完了を待つ。停止する必要がある場合は、待たない。
	<3>	STm レジスタへの書き込み 対象チャネルの STm.ST[n] ビットに 1 を書き込み、SEm.SE[n] = 0 を設定することにより動作停止状態にする。
	<4>	SOEm レジスタの設定変更 SOEm.SOE[n] ビットに 0 を設定し、対象チャネルの出力を停止する。
	<5>	停止設定完了 停止設定完了後、次の処理に進む。

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)

表 19.58 に、スレーブ受信の再開手順を示します。

表 19.58 スレーブ受信の再開手順

手順	処理	詳細
スレーブ受信の再開手順	<1>	再開設定開始
	<2>	マスタの準備が完了するまで待つ
	<3>	ポート操作
	<4>	SPSm レジスタの設定変更 (任意)
	<5>	SMRmn レジスタの設定変更 (任意)
	<6>	SCRmn レジスタの設定変更 (任意)
	<7>	エラーフラグのクリア (任意)
	<8>	ポート操作
	<9>	SSm レジスタへの書き込み
	<10>	再開設定完了

注. m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0~3)

(3) 処理フロー (シングル受信モード時)

図 19.20 に、スレーブ受信のタイミングを示します (シングル受信モードの場合) (タイプ 1 : SCRmn.DCP[1:0] = 00b)。

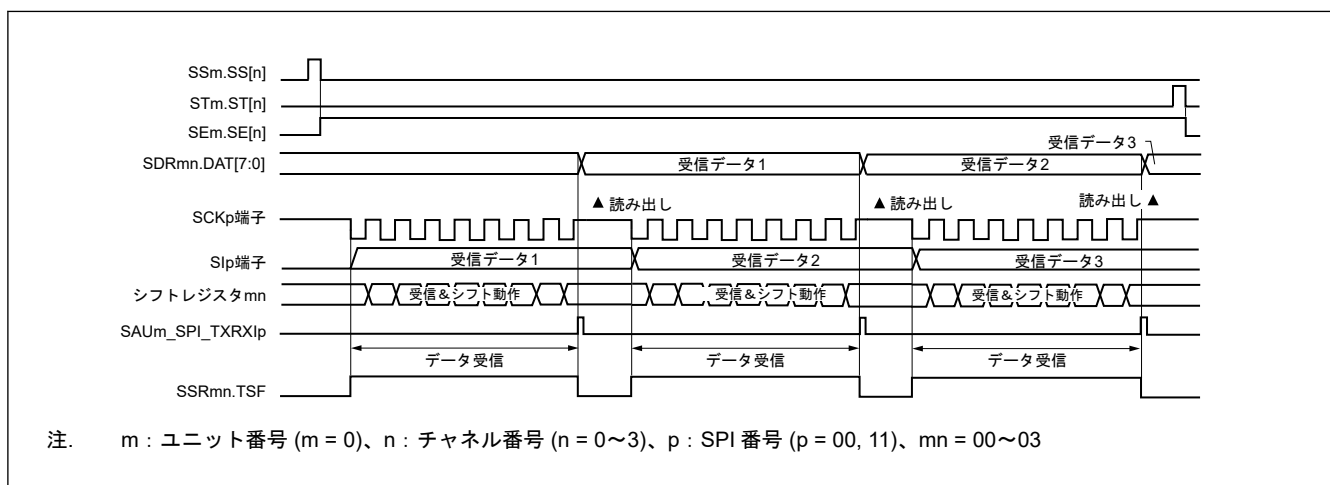


図 19.20 スレーブ受信のタイミング (シングル受信モードの場合) (タイプ 1 : SCRmn.DCP[1:0] = 00b)

図 19.21 に、スレーブ受信のフローチャート (シングル受信モードの場合) を示します。

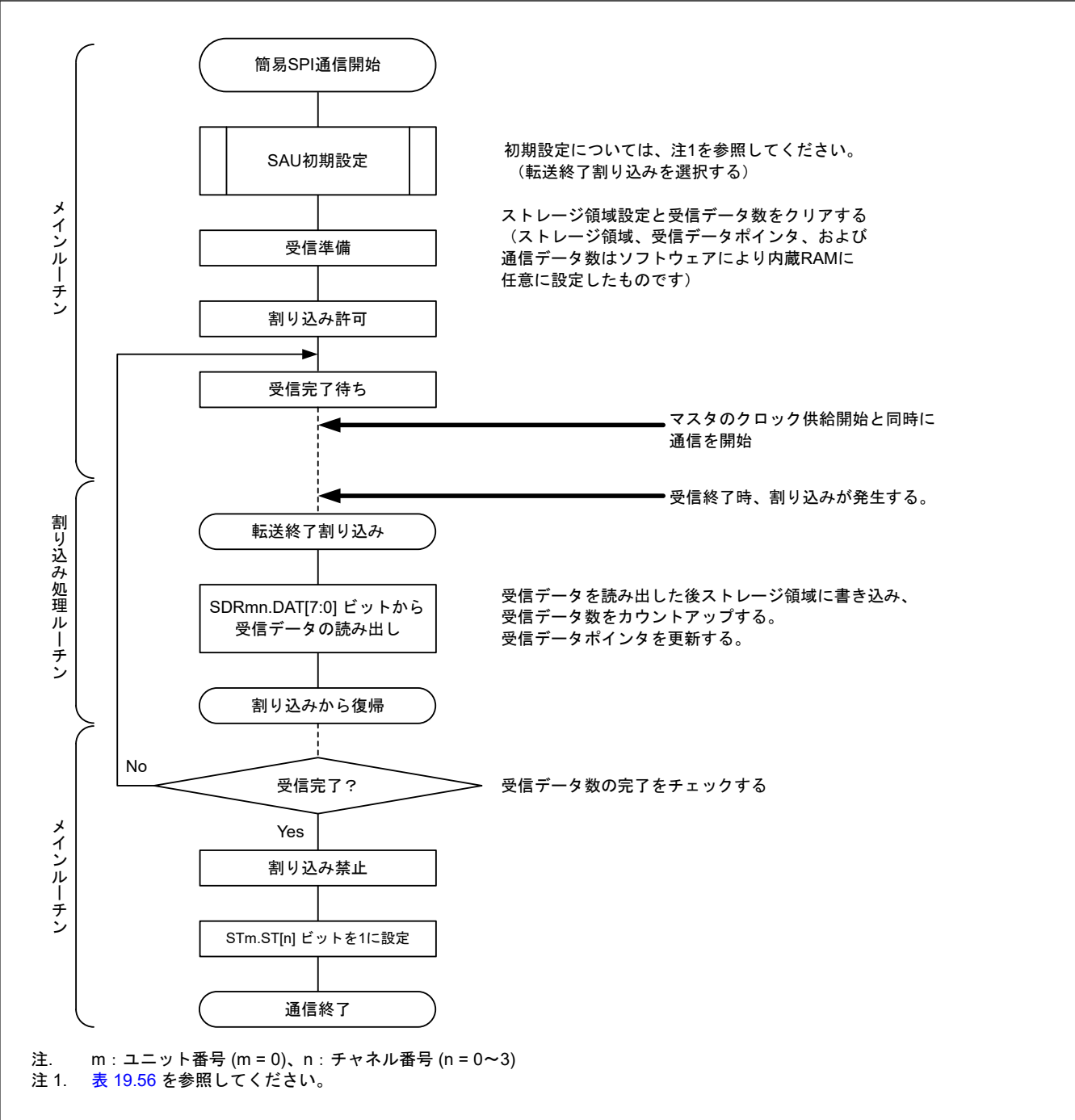


図 19.21 スレーブ受信のフローチャート（シングル受信モードの場合）

19.5.6 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、マイクロコントローラが他デバイスとデータを送受信する動作です。

表 19.59 に簡易 SPI のスレーブ送受信の仕様を示します。

表 19.59 簡易 SPI のスレーブ送受信の仕様 (1/2)

簡易 SPI	SPI00	SPI11
対象チャンネル	SAU0 のチャンネル 0	SAU0 のチャンネル 3
使用端子	SCK00, SI00, SO00	SCK11, SI11, SO11

表 19.59 簡易 SPI のスレーブ送受信の仕様 (2/2)

簡易 SPI	SPI00	SPI11
割り込み	SAU0_SPI_TXRXI00 転送終了割り込み（シングル転送モード時）またはバッファエンプティ割り込み（連続転送モード時）を選択できます。	SAU0_SPI_TXRXI11
エラー検出フラグ	オーバーランエラー検出フラグ (SSRmn.OVF) のみ	
転送データ長	7 ビットまたは 8 ビット	
転送速度	最高 $f_{MCK}/6$ [Hz] (注1) (注2)	
データ位相	SCRmn レジスタの DCP[1] ビットにより選択可能 - DCP[1] = 0 : シリアルクロックの動作開始によりデータ入出力を開始 - DCP[1] = 1 : シリアルクロック動作開始の半クロック前からデータ入出力を開始	
クロック位相	SCRmn レジスタの DCP[0] ビットにより選択可能 - DCP[0] = 0 : 非反転 - DCP[0] = 1 : 反転	
データ方向	MSB ファーストまたは LSB ファースト	

注. f_{MCK} : 対象チャネルの動作クロック周波数

f_{SCK} : シリアルクロック周波数

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)、mn = 00~03

注 1. SCK00 および SCK11 端子に入力される外部シリアルクロックは、内部でサンプリングして使用されるため、最高転送速度は $f_{MCK}/6$ [Hz] となります。

注 2. この動作は、上記の条件および電気的特性で指定する周辺機能特性を満たす範囲内で使用してください。詳細は、「27. 電気的特性」を参照してください。

(1) レジスタ設定

簡易 SPI のスレーブ送受信に対するレジスタ内容の例を表 19.60～表 19.65 に示します。

(a) シリアルモードレジスタ mn (SMRmn)

表 19.60 簡易 SPI のスレーブ送受信に対するシリアルモードレジスタ mn (SMRmn) 内容例

ビット	シンボル	設定値	機能
0	MD0	0/1	チャネル n の割り込み要因 0: 転送終了割り込み 1: バッファエンプティ割り込み
2:1	MD1[1:0]	00b	チャネル n の動作モードの設定 0 0: 簡易 SPI モード
5:3	—	100b	設定無効（初期値に設定されます）
6	SIS0	0	簡易 SPI モード時設定固定
7	—	0	設定無効（初期値に設定されます）
8	STS	0	スタートトリガ要因の選択 0: ソフトウェアトリガのみ有効（簡易 SPI、UART 送信、および簡易 I ² C 時に選択）
13:9	—	00000b	設定無効（初期値に設定されます）
14	CCS	1	チャネル n の転送クロック (f_{CLK}) の選択 1: SCKp 端子からのクロック入力 f_{SCK} （簡易 SPI モードでのスレーブ転送）
15	CKS	0/1	チャネル n の動作クロック (f_{MCK}) 0: SPSm レジスタで設定したプリスケアラ出カクロック CKm0 1: SPSm レジスタで設定したプリスケアラ出カクロック CKm1

(b) シリアル通信動作設定レジスタ mn (SCRmn)

表 19.61 簡易 SPI のスレーブ送受信に対するシリアル通信動作設定レジスタ mn (SCRmn) 内容例

ビット	シンボル	設定値	機能
1:0	DLS[1:0]	10b または 11b	データ長の設定 10: 7 ビットデータ長 11: 8 ビットデータ長
3:2	—	01b	設定無効 (初期値に設定されます)
5:4	SLC[1:0]	00b	このビットは UART モード専用なので、簡易 SPI モードでは固定
6	—	0	設定無効 (初期値に設定されます)
7	DIR	0/1	簡易 SPI モードおよび UART モードでのデータ転送順序の選択 0: MSB ファーストでデータ入出力を行う 1: LSB ファーストでデータ入出力を行う
9:8	PTC[1:0]	00b	このビットは UART モード専用なので、簡易 SPI モードでは固定
10	EOC	0	このビットは UART 受信モード専用なので、簡易 SPI モードでは固定
11	—	0	設定無効 (初期値に設定されます)
13:12	DCP[1:0]	00b ～ 11b	簡易 SPI モードでのデータおよびクロック位相の選択 設定の詳細は、「19.3. レジスタの説明」を参照してください。
15:14	TRXE[1:0]	11b	TRXE[1:0] = 11b の設定は、簡易 SPI マスタ送受信モードで固定

(c) シリアルデータレジスタ mn (SDRmn)

表 19.62 簡易 SPI のスレーブ送受信に対するシリアルデータレジスタ mn (SDRmn) 内容例

ビット	シンボル	設定値	機能
7:0	DAT[7:0]	0xFF	送信データまたは受信データ (送信データ設定および受信データ読み出し)
8	DAT[8]	0	0 固定
15:9	STCLK[6:0]	0x00	ボーレート設定 (スレーブモードでは使用しない)

(d) シリアル出力レジスタ m (SOM)

対象チャネルのビットのみ設定してください。

表 19.63 簡易 SPI のスレーブ送受信に対するシリアル出力レジスタ m (SOM) 内容例

ビット	シンボル	設定値	機能
n	SO[n]	0/1	チャネル n のシリアルデータ出力 (n = 0～3) 0: シリアルデータ出力値が 0 1: シリアルデータ出力値が 1
n+8	CKO[n]	x	このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

(e) シリアル出力許可レジスタ m (SOEm)

対象チャネルのビットのみ 1 に設定してください。

表 19.64 簡易 SPI のスレーブ送受信に対するシリアル出力許可レジスタ m (SOEm) 内容例

ビット	シンボル	設定値	機能
n	SOE[n]	1	チャネル n のシリアル出力許可または停止 1: シリアル通信動作による出力許可

(f) シリアルチャネル開始レジスタ m (SSm)

対象チャネルのビットのみ 1 に設定してください。

表 19.65 簡易 SPI のスレーブ送受信に対するシリアルチャネル開始レジスタ m (SSm) 内容例

ビット	シンボル	設定値	機能
n	SS[n]	1	チャネル n の動作開始トリガ 1: SEm.SE[n]ビットに 1 を設定し、チャネルを通信待機状態にする

注. マスタからのクロックが開始される前に、必ず送信データを SDRmn.DAT[7:0]ビットへ設定してください。

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)、mn = 00~03

注. × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて 0 または 1 に設定

(2) 動作手順

表 19.66 に、スレーブ送受信の初期設定手順を示します。

表 19.66 スレーブ送受信の初期設定手順

手順	処理	詳細
スレーブ送受信の初期設定手順	<1>	初期設定開始 —
	<2>	SPSm レジスタの設定 動作クロックを設定する。
	<3>	SMRmn レジスタの設定 動作モードを設定する。
	<4>	SCRmn レジスタの設定 通信フォーマットを設定する。
	<5>	SDRmn レジスタの設定 ポーレート設定のために SDRmn.STCLK[6:0]ビットを 0x00 に設定する。
	<6>	SOm レジスタの設定 シリアルデータ (SOm.SO[n]) の初期出力レベルを設定する。
	<7>	SOEm レジスタの設定変更 SOEm.SOE[n]ビットに 1 を設定し、対象チャネルのデータ出力を許可する。
	<8>	ポートの設定 対象チャネルのデータ出力を有効にする
	<9>	SSm レジスタへの書き込み 対象チャネルの SSm.SS[n]ビットに 1 を設定し、SEm.SE[n] = 1 にして、動作を許可する。
	<10>	初期設定完了 初期設定が完了。 SDRmn.DAT[7:0]ビットに送信データを設定し、マスタからのクロックを待つ

注. マスタからのクロックが開始される前に、必ず送信データを SDRmn.DAT[7:0]ビットへ設定してください。

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)

表 19.67 に、スレーブ送受信の停止手順を示します。

表 19.67 スレーブ送受信の停止手順

手順	処理	詳細
スレーブ送受信の停止手順	<1>	停止設定開始 —
	<2>	SSRmn.TSF がクリアされるまで待つ (任意) 転送中のデータがあれば、その完了を待つ。停止する必要がある場合は、待たない。
	<3>	STm レジスタへの書き込み 対象チャネルの STm.ST[n]ビットに 1 を書き込み、SEm.SE[n] = 0 を設定することにより動作停止状態にする。
	<4>	SOEm レジスタの設定変更 SOEm.SOE[n]ビットに 0 を設定し、対象チャネルの出力を停止する。
	<5>	SOm レジスタの設定変更 (任意) 必要に応じて、対象チャネルのシリアルデータ (SOm.SO[n]) のレベルを変更可能。
	<6>	停止設定完了 停止設定完了後、次の処理に進む。

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)

表 19.68 に、スレーブ送受信の再開手順を示します。

表 19.68 スレーブ送受信の再開手順

手順	処理	詳細
スレーブ送受信の再開手順	<1>	再開設定開始
	<2>	マスタの準備が完了するまで待つ
	<3>	ポート操作
	<4>	SPSm レジスタの設定変更 (任意)
	<5>	SMRmn レジスタの設定変更 (任意)
	<6>	SCRmn レジスタの設定変更 (任意)
	<7>	エラーフラグのクリア (任意)
	<8>	SOEm レジスタの設定変更 (任意)
	<9>	SOM レジスタの設定変更 (任意)
	<10>	SOEm レジスタの設定変更 (任意)
	<11>	ポート操作
	<12>	SSm レジスタへの書き込み
	<13>	通信開始
	<14>	再開設定完了

注. マスタからのクロックが開始される前に、必ず送信データを SDRmn.DAT[7:0] ビットへ設定してください。

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)

(3) 処理フロー (シングル送受信モード時)

図 19.22 に、スレーブ送受信のタイミングを示します (シングル送受信モード時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)。

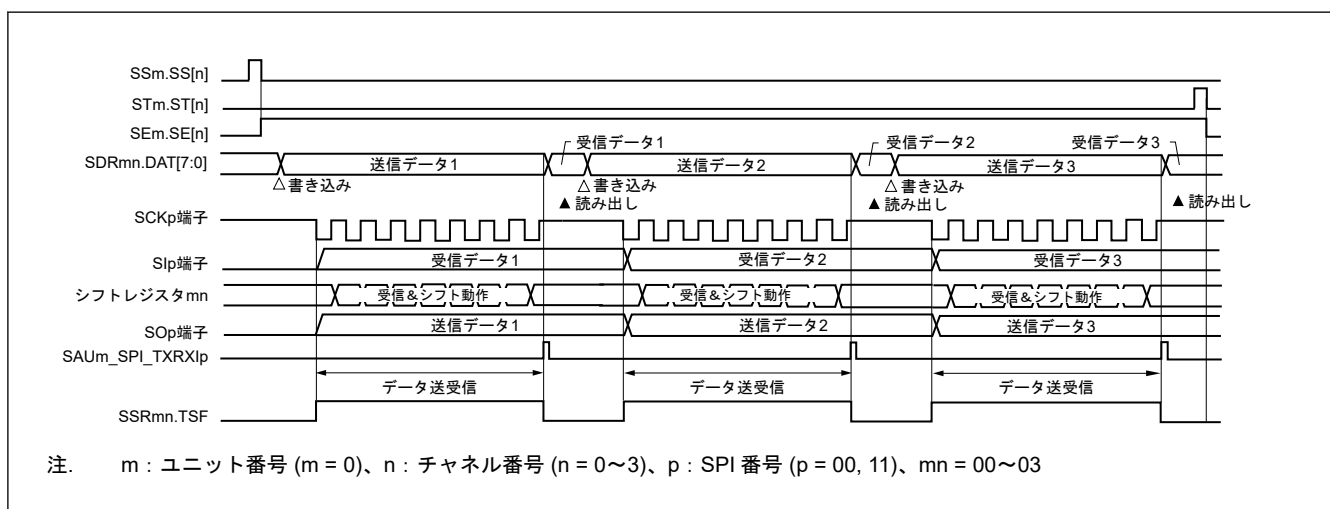


図 19.22 スレーブ送受信のタイミング (シングル送受信モード時)

図 19.23 に、スレーブ送受信のフローチャート (シングル送受信モード時) を示します。

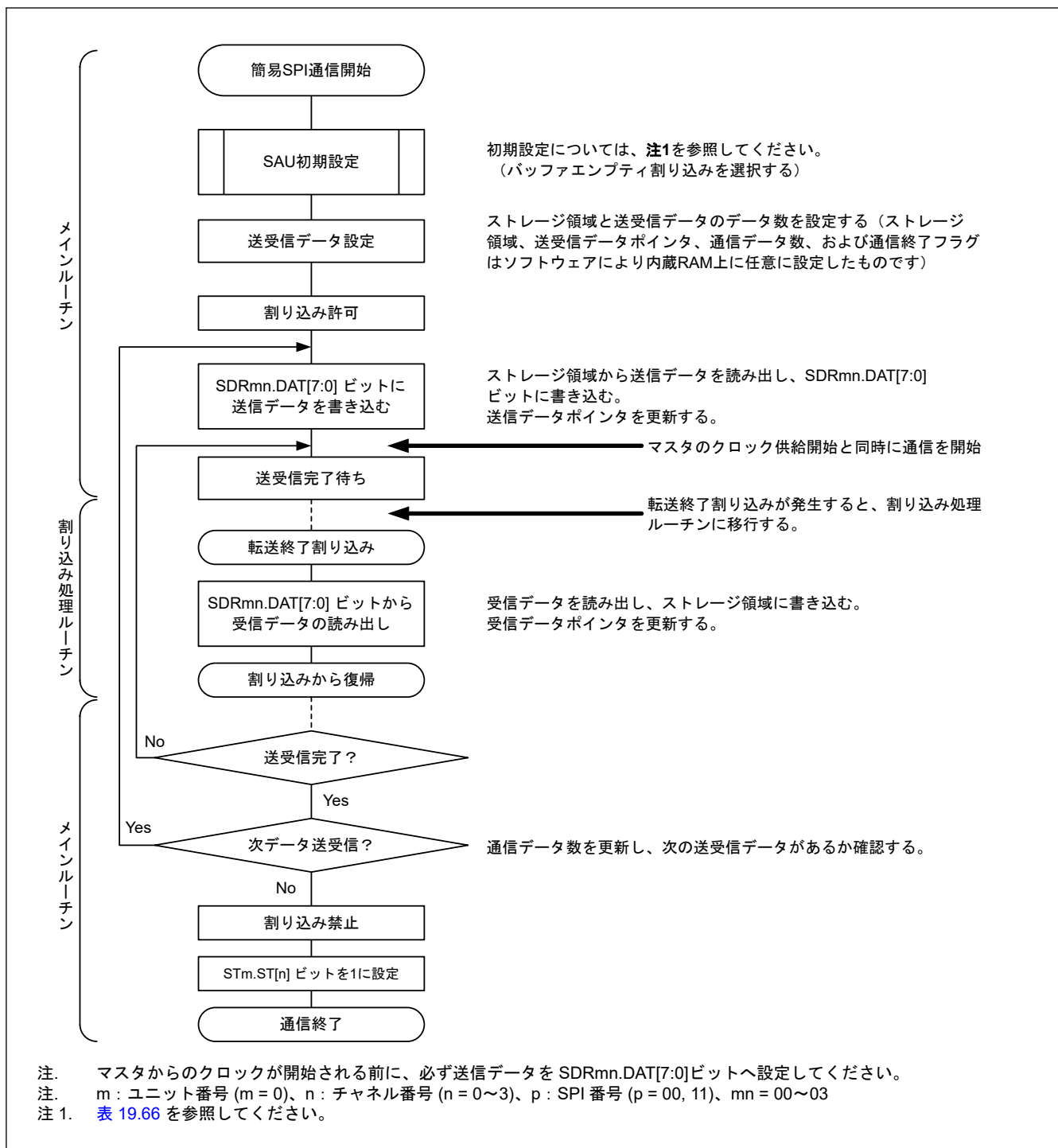
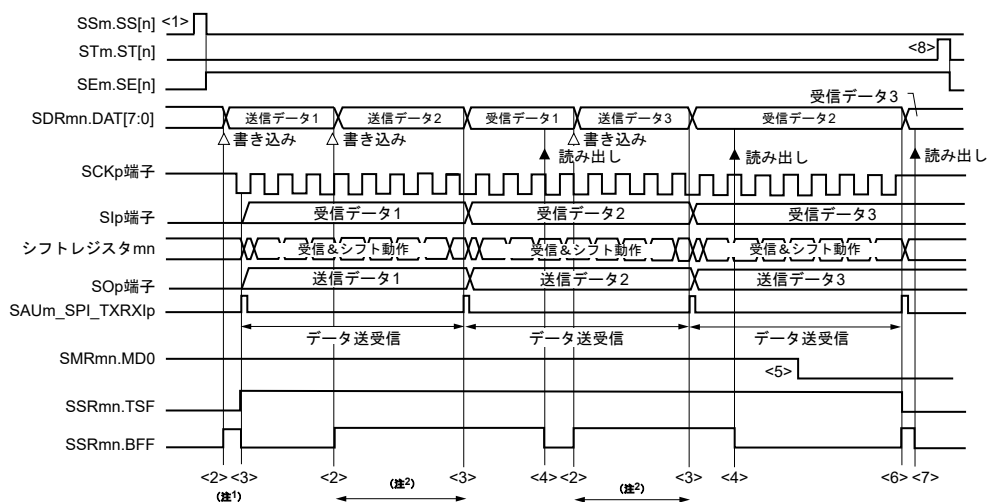


図 19.23 スレーブ送受信のフローチャート (シングル送受信モード時)

(4) 処理フロー (連続送受信モード時)

図 19.24 に、スレーブ送受信のタイミングを示します (連続送受信モード時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)。



- 注. シリアルモードレジスタ mn (SMRmn) の MD0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送終了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。
- 注. 図中の<1>～<8>は図 19.25 の<1>～<8>に対応しています。
- 注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0～3)、p : SPI 番号 (p = 00, 11)
mn = 00～03
- 注 1. シリアルステータスレジスタ mn (SSRmn) の BFF ビットが 1 の期間（有効なデータがシリアルデータレジスタ mn (SDRmn) に格納されているとき）に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。
- 注 2. この期間に SDRmn レジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

図 19.24 スレーブ送受信のタイミング（連続送受信モード時）（タイプ 1 : SCRmn.DCP[1:0] = 00b）

図 19.25 に、スレーブ送受信のフローチャート（連続送受信モード時）を示します。

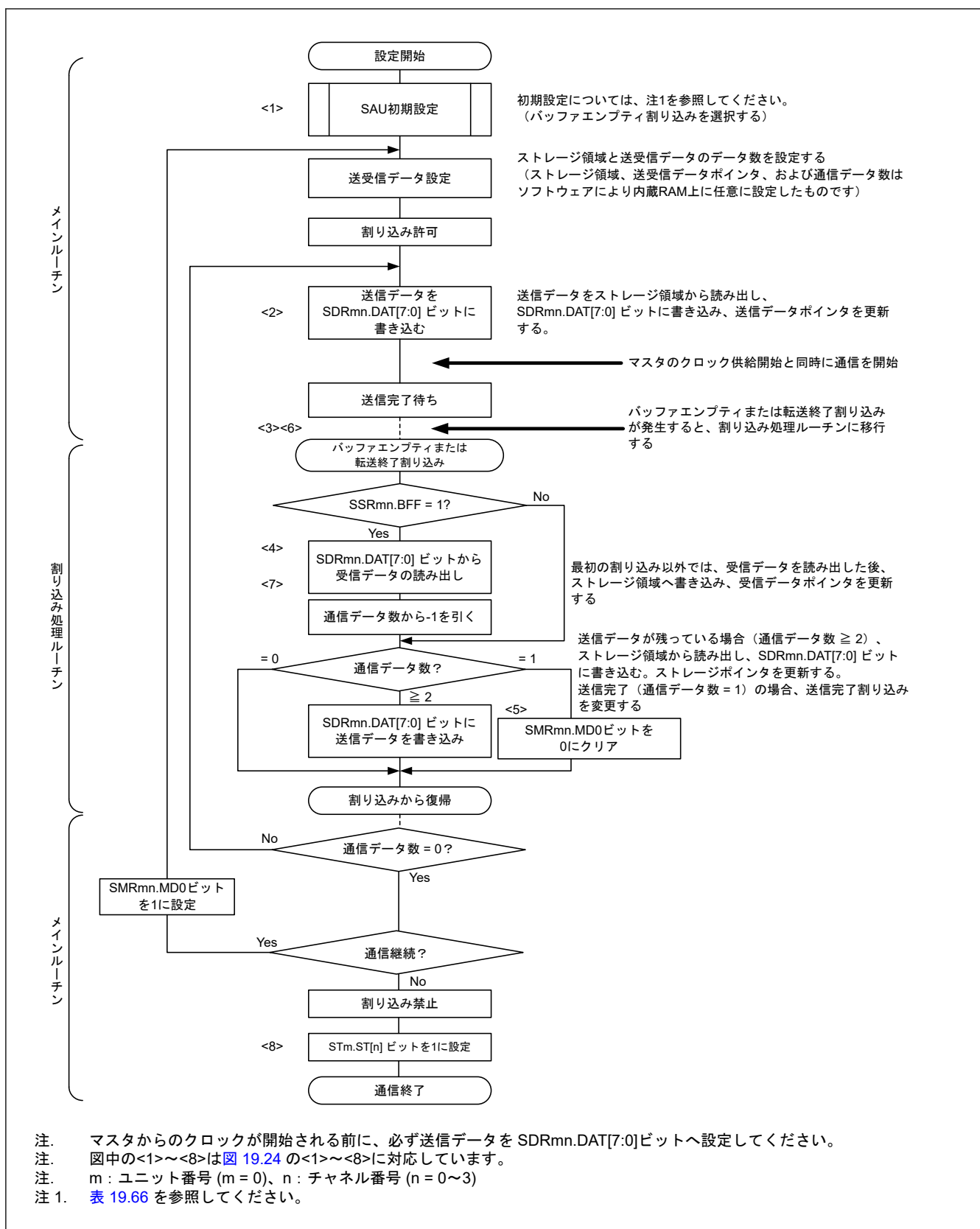


図 19.25 スレープ送受信のフローチャート (連続送受信モード時)

19.5.7 スヌーズモード機能

スヌーズモードは、ソフトウェアスタンバイモード時に SCK00 端子入力の検出により簡易 SPI の受信動作をさせるモードです。通常、ソフトウェアスタンバイモード時に簡易 SPI は通信動作を停止します。ただし、スヌー

ズモードを使用することで、SCK00 端子入力の検出によって CPU を動作させずに簡易 SPI の受信動作を行うことができます。スヌーズモードは、SPI00 チャネルのみ設定可能です。

簡易 SPI をスヌーズモードで使用する場合は、ソフトウェアスタンバイモードに移行する前に次の設定を行います (図 19.27 および図 19.29 を参照)。

- スヌーズモード機能を使用する場合、ソフトウェアスタンバイモードに移行する直前にシリアルスタンバイコントロールレジスタ 0 (SSC0) の SWC ビットを 1 に設定してください。初期設定完了後、シリアルチャネル開始レジスタ 0 (SS0) の SS[0] ビットを 1 に設定します。
- CPU は、ソフトウェアスタンバイモードに移行後、SCK00 信号の有効なエッジを検出すると、スヌーズモードに移行します。
SPI00 は SCK00 端子のシリアルクロックの入力を検出すると受信を開始します。

注. スヌーズモードは、PCLKB に高速オンチップオシレータクロックまたは中速オンチップオシレータクロックが選択されている場合にのみ指定できます。

注. SPI00 をスヌーズモードで使用する時の最高転送速度は 1 Mbps です。

(1) スヌーズモード動作 (起動時)

図 19.26 に、スヌーズモード動作のタイミングを示します (起動時) (タイプ 1: SCR00.DCP[1:0] = 00b)。

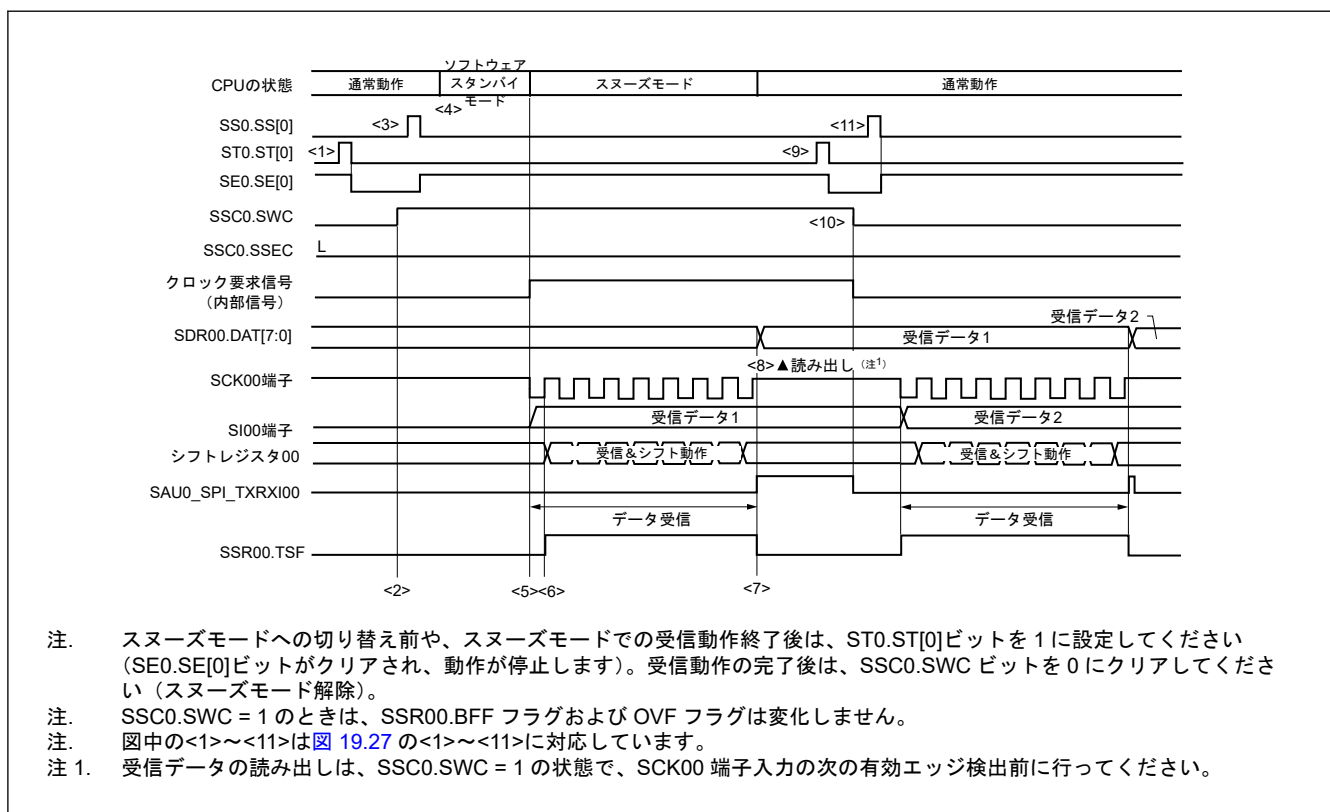


図 19.26 スヌーズモード動作のタイミング (起動時) (タイプ 1: SCR00.DCP[1:0] = 00b)

図 19.27 に、スヌーズモード動作のフローチャート (起動時) を示します。

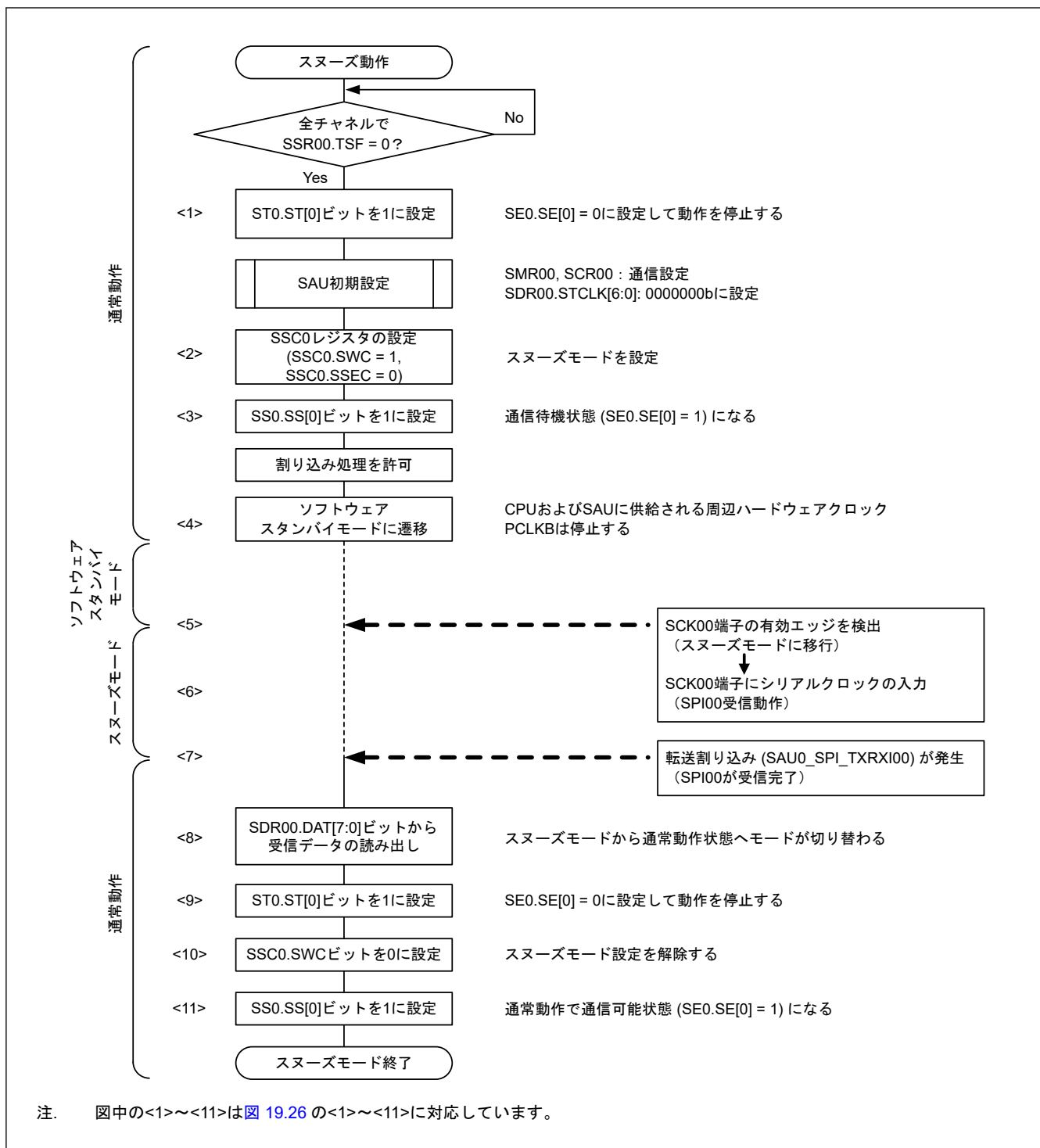
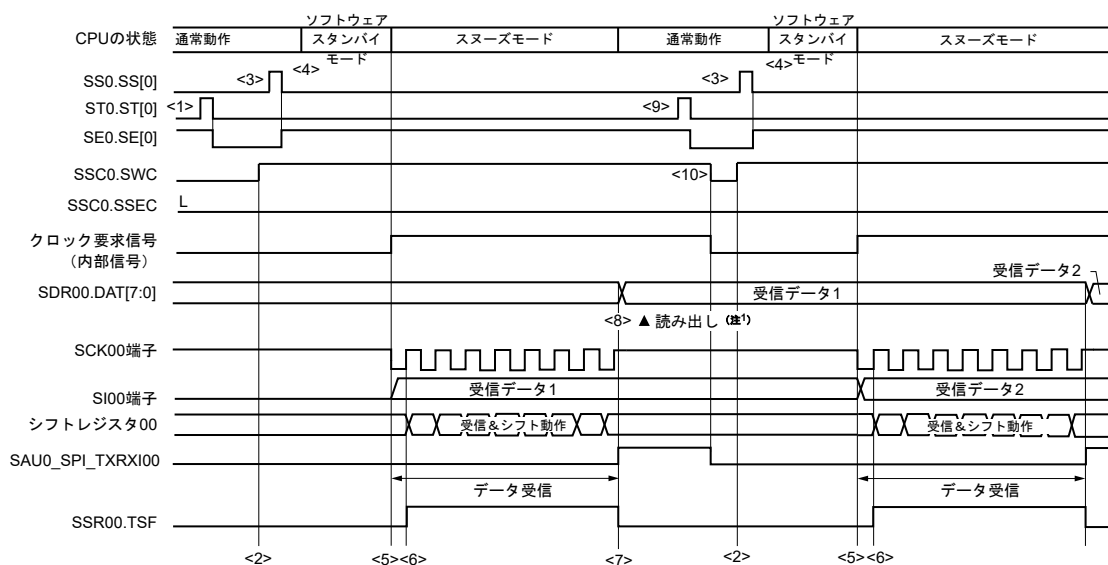


図 19.27 スヌーズモード動作のフローチャート（起動時）

(2) スヌーズモード動作（連続起動）

図 19.28 にスヌーズモード動作のタイミングを示します（連続起動）（タイプ 1: SCR00.DCP[1:0] = 00b）。



- 注. スリープモードへの切り替え前や、スリープモードでの受信動作終了後は、ST0.ST[0]ビットを1に設定してください (SE0.SE[0]ビットがクリアされ、動作が停止します)。受信動作の完了後は、SSC0.SWC ビットを0にクリアしてください (スリープモード解除)。
- 注. SSC0.SWC = 1 のときは、SSR00.BFF フラグおよび OVF フラグは変化しません。
- 注. 図中の<1>～<10>は図 19.29 の<1>～<10>に対応しています。
- 注 1. 受信データの読み出しは、SSC0.SWC = 1 の状態で、SCK00 端子入力の次の有効エッジ検出前に行ってください。

図 19.28 スリープモード動作のタイミング (連続起動) (タイプ 1: SCR00.DCP[1:0] = 00b)

図 19.29 に、スリープモード動作のフローチャート (連続起動) を示します。

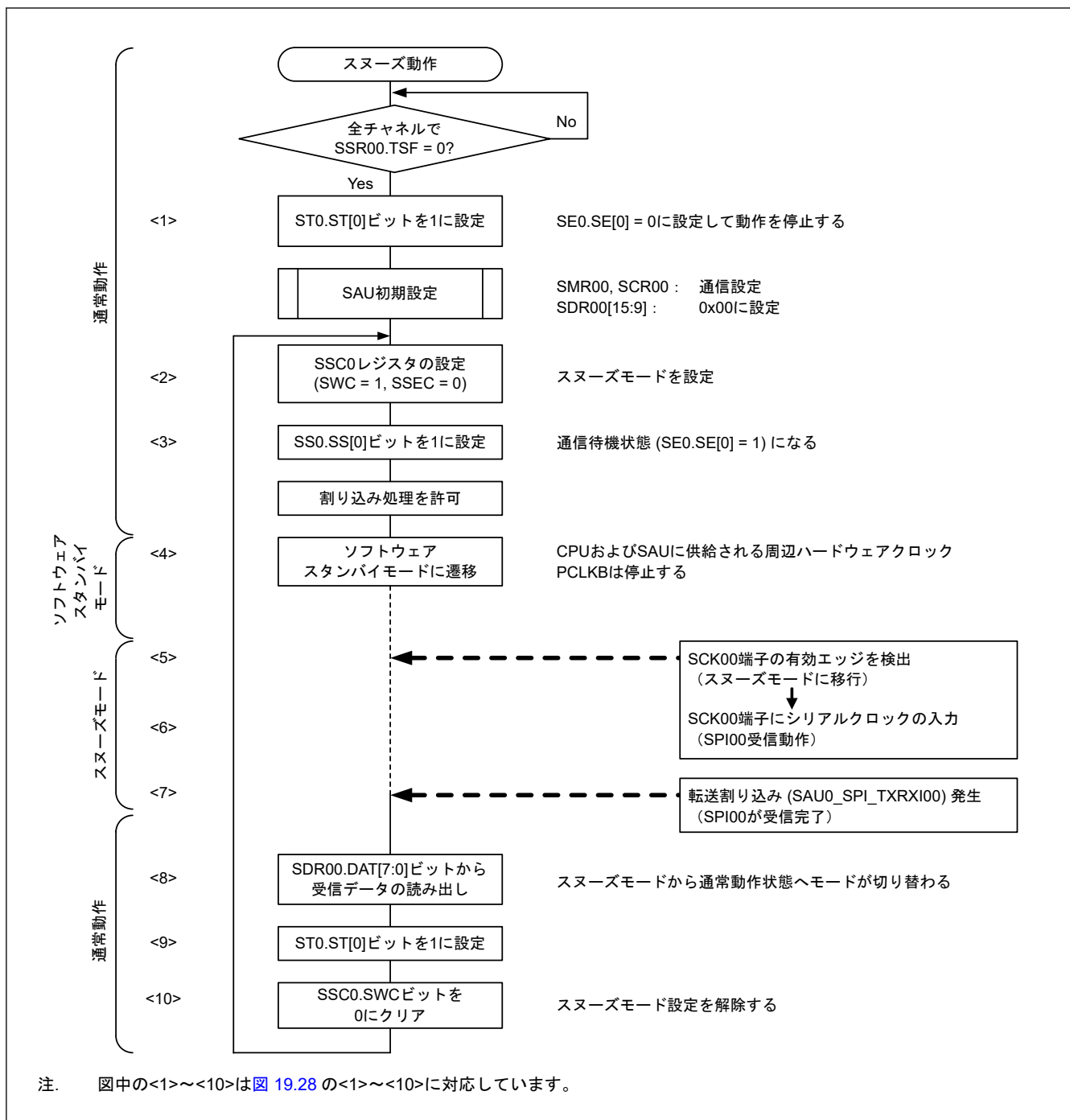


図 19.29 スリープモード動作のフローチャート (連続起動)

19.5.8 転送クロック周波数の算出

簡易 SPI 通信での転送クロック周波数は下記の計算式にて算出できます。

- マスタの場合
(転送クロック周波数) = {対象チャネルの動作クロック (f_{MCK}) 周波数} ÷ (SDRmn.STCLK[6:0] + 1) ÷ 2 [Hz]
- スレーブの場合
(転送クロック周波数) = {マスタが供給するシリアルクロック (SCK) 周波数}^(注1) [Hz]

注 1. 最高許容転送クロック周波数は $f_{MCK}/6$ となります。

表 19.69 に示すとおり、動作クロック (f_{MCK}) は、シリアルクロック選択レジスタ m (SPSm) とシリアルモードレジスタ mn (SMRmn) の CKS ビットで決まります。

表 19.69 簡易 SPI、UART、および簡易 I²C の動作クロックの選択

SMRmn レジスタ	SPSm レジスタ		動作クロック (f _{MCK}) (注1)	
CKS	PRS1[3:0](注2)	PRS0[3:0](注2)	PCLKB/2 ⁿ	PCLKB = 32 MHz
0	Don't care	0x0	PCLKB	32 MHz
		0x1	PCLKB/2	16 MHz
		0x2	PCLKB/2 ²	8 MHz
		0x3	PCLKB/2 ³	4 MHz
		0x4	PCLKB/2 ⁴	2 MHz
		0x5	PCLKB/2 ⁵	1 MHz
		0x6	PCLKB/2 ⁶	500 kHz
		0x7	PCLKB/2 ⁷	250 kHz
		0x8	PCLKB/2 ⁸	125 kHz
		0x9	PCLKB/2 ⁹	62.5 kHz
		0xA	PCLKB/2 ¹⁰	31.25 kHz
		0xB	PCLKB/2 ¹¹	15.63 kHz
		0xC	PCLKB/2 ¹²	7.81 kHz
		0xD	PCLKB/2 ¹³	3.91 kHz
		0xE	PCLKB/2 ¹⁴	1.95 kHz
		0xF	PCLKB/2 ¹⁵	977 Hz
1	0x0	Don't care	PCLKB	32 MHz
	0x1		PCLKB/2	16 MHz
	0x2		PCLKB/2 ²	8 MHz
	0x3		PCLKB/2 ³	4 MHz
	0x4		PCLKB/2 ⁴	2 MHz
	0x5		PCLKB/2 ⁵	1 MHz
	0x6		PCLKB/2 ⁶	500 kHz
	0x7		PCLKB/2 ⁷	250 kHz
	0x8		PCLKB/2 ⁸	125 kHz
	0x9		PCLKB/2 ⁹	62.5 kHz
	0xA		PCLKB/2 ¹⁰	31.25 kHz
	0xB		PCLKB/2 ¹¹	15.63 kHz
	0xC		PCLKB/2 ¹²	7.81 kHz
	0xD		PCLKB/2 ¹³	3.91 kHz
	0xE		PCLKB/2 ¹⁴	1.95 kHz
	0xF		PCLKB/2 ¹⁵	977 kHz

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)、mn = 00~03

注 1. PCLKB に選択しているクロックを変更する場合は、シリアルアレイユニット (SAU) の動作を停止（シリアルチャネル停止レジスタ m (STm) = 0x000F）させてから変更してください。

注 2. 簡易 I²C モードでは、0xB を超える値の設定は禁止されています。

19.5.9 簡易 SPI 通信時におけるエラー発生時の処理手順

簡易 SPI 通信時にエラーが発生した場合の処理手順を表 19.70 に示します。

表 19.70 オーバーランエラー発生時の処理手順

手順	ソフトウェア操作		ハードウェアの状態	備考
<1>	シリアルデータレジスタ mn (SDRmn) を読み出す	→	SSRmn レジスタの BFF ビットが 0 となり、チャンネル n はデータ受信可能状態になる。	エラー処理中に次の受信を完了した場合にオーバーランエラーになるのを防ぐために行う。
<2>	シリアルステータスレジスタ mn (SSRmn) を読み出す	—	—	エラーの種類の判別を行い、読み出し値はエラーフラグのクリアに使用する。
<3>	シリアルフラグクリアトリガレジスタ mn (SIRmn) に 1 を書き込む	→	エラーフラグがクリアされる。	SSRmn レジスタの読み出し値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる。

注. m: ユニット番号 (m = 0)、n: チャンネル番号 (n = 0~3)、mn = 00~03

19.6 UART 通信の動作

シリアルデータ送信 (TXD) とシリアルデータ受信 (RXD) の 2 本のラインによる、調歩同期式通信機能です。この 2 本の通信ラインを使用し、スタートビット、データ、パリティビット、およびストップビットからなる 1 データフレームごとにマイクロコントローラと通信相手間を非同期で (内部ボーレートを使用して) データを送受信します。送信専用 (偶数チャンネル) と受信専用 (奇数チャンネル) の 2 チャンネルを使用することで、全二重非同期通信 UART 通信が実現できます。UART0 とタイマアレイユニット 0 (チャンネル 7) と外部割り込み (IRQ0) を組み合わせて LIN バスにも対応可能です。

[データ送受信]

- 7、8、または 9 ビットのデータ長(注1)
- MSB ファーストまたは LSB ファーストを選択可能
- 送受信データのレベル設定 (レベルを反転するかどうかの選択)
- パリティビット付加およびパリティチェック機能
- ストップビット付加およびストップビットチェック機能

[割り込み機能]

- 転送終了割り込みおよびバッファエンプティ割り込み (SAU0_UART_TXI0/SAU0_UART_RXI0/SAU0_UART_TXI1/SAU0_UART_RXI1)
- フレーミングエラー、パリティエラー、またはオーバーランエラーの場合にエラー割り込み (SAU0_UART_ERRI0/SAU0_UART_ERRI1)

[エラー検出フラグ]

- フレーミングエラー、パリティエラー、またはオーバーランエラー

さらに、以下のチャンネルの UART 受信はスヌーズモードをサポートします。スヌーズモードでは、ソフトウェアスタンバイモード時に RXD 入力を検出すると、CPU 処理なしでデータを受信できます。スヌーズモードは、受信ボーレート調整機能をサポートする UART0 のみ利用可能です。

UART0 (ユニット 0 のチャンネル 0 とチャンネル 1) は、LIN バスに対応しています。

[LIN バス機能]

LIN バス機能は、外部割り込み (IRQ0) とタイマアレイユニット 0 (チャンネル 7) を使用して実現されます。

- ウェイクアップ信号検出
- ブレークフィールド (BF) 検出
- 同期フィールド測定、ボーレート算出

注 1. UART0 のみ 9 ビットのデータ長をサポートします。

PCLKB に低速オンチップオシレータクロック (LOCO) が選択された場合、低速オンチップオシレータトリミングレジスタ (LIOTRM) を使用して、発振周波数精度を補正します。

- UART0 では、SAU0 のチャンネル 0 およびチャンネル 1 を使用します。

- UART1 では、SAU0 のチャンネル 2 およびチャンネル 3 を使用します。

表 19.1 を参照してください。

各チャンネルはどれか 1 つの機能を選択して使用します。選択された機能以外の動作はできません。たとえば、ユニット 0 のチャンネル 0 およびチャンネル 1 で UART0 を使用するときは、SPI00 機能を使用することはできません。ただしこの時、同じユニットのチャンネル 2 または 3 は、SPI11、UART1、IIC11 など、UART0 以外の機能に使用することができます。

注. シリアルアレイユニットを UART として使用する場合は、送信側（偶数チャンネル）と受信側（奇数チャンネル）のどちらも UART にしか使用できません。

UART の通信動作は、以下の 4 種類があります。

- UART 送信（「19.6.1. UART 送信」を参照）
- UART 受信（「19.6.2. UART 受信」を参照）
- LIN 送信（UART0 のみ）（「19.7.1. LIN 送信」を参照）
- LIN 受信（UART0 のみ）（「19.7.2. LIN 受信」を参照）

19.6.1 UART 送信

UART 送信は、マイクログントローラから他デバイスへ、非同期（調歩同期）でデータを送信する動作です。

UART 送信では、UART に使用する 2 チャンネルのうち、偶数チャンネルのほうを使用します。

表 19.71 に UART 送信の仕様を示します。

表 19.71 UART 送信の仕様

UART	UART0	UART1
対象チャンネル	SAU0 のチャンネル 0	SAU0 のチャンネル 2
使用端子	TXD0	TXD1
割り込み	SAU0_UART_TXI0	SAU0_UART_TXI1
	転送終了割り込み（シングル転送モード時）またはバッファエンプティ割り込み（連続転送モード時）を選択できます。	
エラー検出フラグ	なし	
転送データ長	7 ビット、8 ビット、または 9 ビット(注1)	
転送速度(注2)	最高 $f_{MCK}/6$ [bps] (SDRmn.STCLK[6:0] = 2 以上)、最低 PCLKB/ (2 × 2 ¹⁵ × 128) [bps]	
データ位相	非反転出力（デフォルト：High レベル） 反転出力（デフォルト：Low レベル）	
パリティビット	以下の選択が可能 ● パリティビットなし ● 0 パリティを付加 ● 偶数パリティを付加 ● 奇数パリティを付加	
ストップビット	以下の選択が可能 ● 1 ビットを付加 ● 2 ビットを付加	
データ方向	MSB ファーストまたは LSB ファースト	

注. f_{MCK} ：対象チャンネルの動作クロック周波数

注. m：ユニット番号 (m = 0)、n：チャンネル番号 (n = 0, 2)、mn = 00, 02

注 1. UART0 のみ 9 ビットのデータ長をサポートします。

注 2. この動作は、上記の条件および電氣的特性で指定する周辺機能特性を満たす範囲内で使用してください。詳細は、「27. 電氣的特性」を参照してください。

(1) レジスタ設定

UART 送信に対するレジスタ内容の例を表 19.72～表 19.78 に示します。

(a) シリアルモードレジスタ mn (SMRmn)

表 19.72 UART 送信に対するシリアルモードレジスタ mn (SMRmn) 内容例

ビット	シンボル	設定値	機能
0	MD0	0/1	チャンネル n の割り込み要因 0: 転送終了割り込み 1: バッファエンプティ割り込み
2:1	MD1[1:0]	01b	チャンネル n の動作モードの設定 0 1: UART モード
13:3	—	000_0000_0100 b	設定無効 (初期値に設定されます)
14	CCS	0	チャンネル n の転送クロック (f_{CLK}) の選択 0: CKS ビットで指定した動作クロック f_{MCK} の分周クロック
15	CKS	0/1	チャンネル n の動作クロック (f_{MCK}) 0: SPSm レジスタで設定したプリスケアラ出カクロック CKm0 1: SPSm レジスタで設定したプリスケアラ出カクロック CKm1

(b) シリアル通信動作設定レジスタ mn (SCRmn)

表 19.73 UART 送信に対するシリアル通信動作設定レジスタ mn (SCRmn) 内容例

ビット	シンボル	設定値	機能
1:0	DLS[1:0]	01b ~ 11b	データ長の設定 0 1: 9 ビットデータ長 1 0: 7 ビットデータ長 1 1: 8 ビットデータ長
3:2	—	01b	設定無効 (初期値に設定されます)
5:4	SLC[1:0]	01b または 10b	ストップビットの設定 0 1: 1 ビットを付加 1 0: 2 ビットを付加
6	—	0	設定無効 (初期値に設定されます)
7	DIR	0/1	簡易 SPI モードおよび UART モードでのデータ転送順序の選択 0: MSB ファーストでデータ入出力を行う 1: LSB ファーストでデータ入出力を行う
9:8	PTC[1:0]	00b ~ 11b	パリティビットの設定 0 0: パリティなし 0 1: 0 パリティを付加 1 0: 偶数パリティを付加 1 1: 奇数パリティを付加
10	EOC	0	このビットは UART 受信モード専用なので、UART 送信モードでは固定
11	—	0	設定無効 (初期値に設定されます)
13:12	DCP[1:0]	00b	このビットは他モード専用なので、UART モードでは固定
15:14	TRXE[1:0]	10b	TRXE[1:0] = 10b の設定は、UART 送信モードで固定

(c) シリアルデータレジスタ mn (SDRmn)

表 19.74 UART 送信に対するシリアルデータレジスタ mn (SDRmn) 内容例

ビット	シンボル	設定値	機能
6:0	DAT[6:0]	0x00 ~ 0x7F	送信データ[6:0]設定
7	DAT[7]	0/1	送信データ[7]設定 (8 ビットおよび 9 ビットデータ長)
		0	0 固定 (7 ビットデータ長)
8	DAT[8] ^(注1)	0/1	送信データ[8]設定 (9 ビットデータ長)
		0	0 固定 (7 ビットおよび 8 ビットデータ長)
15:9	STCLK[6:0]	0x02 ~ 0x7F	ボーレート設定 (動作クロック (f _{MCK}) の分周設定)

注 1. UART0 が 9 ビットデータ長での通信を行う場合は、SDRm0.DAT[8:0]が送信データ指定領域になります。UART0 のみ 9 ビットのデータ長をサポートします。

(d) シリアル出力レベルレジスタ m (SOLm)

対象チャネルのビットのみ設定してください。

表 19.75 UART 送信に対するシリアル出力レベルレジスタ m (SOLm) 内容例

ビット	シンボル	設定値	機能
n	SOLn	0/1	UART モードでのチャネル 0 送信データのレベル反転の選択 0: 非反転 (通常) 送信 1: 反転送信

(e) シリアル出力レジスタ m (SOM)

対象チャネルのビットのみ設定してください。

表 19.76 UART 送信に対するシリアル出力レジスタ m (SOM) 内容例

ビット	シンボル	設定値	機能
n	SO[n] ^(注1)	0/1	チャネル n のシリアルデータ出力 0: シリアルデータ出力値が 0 1: シリアルデータ出力値が 1
n+8	CKO[n]	x	このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

注 1. 対象チャネルの SOLm.SOLn ビットを 0 に設定している場合は 1 に、SOLm.SOLn ビットを 1 に設定している場合は 0 を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

(f) シリアル出力許可レジスタ m (SOEm)

対象チャネルのビットのみ 1 に設定してください。

表 19.77 UART 送信に対するシリアル出力許可レジスタ m (SOEm) 内容例

ビット	シンボル	設定値	機能
n	SOE[n]	1	チャネル n のシリアル出力許可または停止 1: シリアル通信動作による出力許可

(g) シリアルチャネル開始レジスタ m (SSm)

対象チャネルのビットのみ 1 に設定してください。

表 19.78 表 15.84 UART 送信に対するシリアルチャネル開始レジスタ m (SSm) 内容例

ビット	シンボル	設定値	機能
n	SS[n]	1	チャネル n の動作開始トリガ 1: SEm.SE[n]ビットに 1 を設定し、チャネルを通信待機状態にする

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0, 2)、mn = 00, 02

注. × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて 0 または 1 に設定

(2) 動作手順

表 19.79 に、UART 送信の初期設定手順を示します。

表 19.79 UART 送信の初期設定手順

手順	処理	詳細
UART 送信の初期設定手順	<1>	初期設定開始 —
	<2>	SPSm レジスタの設定 動作クロックを設定する。
	<3>	SMRmn レジスタの設定 動作モードを設定する。
	<4>	SCRmn レジスタの設定 通信フォーマットを設定する。
	<5>	SDRmn レジスタの設定 転送ボーレートを設定する (動作クロック (f _{MCK}) を分周して転送クロックを設定)。
	<6>	SOLm レジスタの設定変更 出力データレベルを設定する。
	<7>	SOm レジスタの設定 シリアルデータ (SOm.SO[n]) の初期出力レベルを設定する。
	<8>	SOEm レジスタの設定変更 SOEm.SOE[n]ビットに 1 を設定し、対象チャネルのデータ出力を許可する。
	<9>	ポートの設定 対象チャネルのデータ出力を有効にする。
	<10>	SSm レジスタへの書き込み 対象チャネルの SSm.SS[n]ビットに 1 を設定し、SEm.SE[n] = 1 に設定することにより動作を許可する。
	<11>	初期設定完了 初期設定が完了。 SDRmn.DAT[7:0] (8 ビット) または SDRmn.DAT[8:0] (9 ビット) に、送信データを設定することで通信を開始する。

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0, 2)、mn = 00, 02

表 19.80 に、UART 送信の停止手順を示します。

表 19.80 UART 送信の停止手順

手順	処理	詳細
UART 送信の停止手順	<1>	停止設定開始 —
	<2>	SSRmn.TSF がクリアされるまで待機 (任意) 転送中のデータがあれば、その完了を待つ。停止する必要がある場合は、待たない。
	<3>	STm レジスタへの書き込み 対象チャネルの STm.ST[n]ビットに 1 を書き込み、SEm.SE[n] = 0 を設定することにより動作停止状態にする。
	<4>	SOEm レジスタの設定 SOEm.SOE[n]ビットに 0 を設定し、対象チャネルの出力を停止する。
	<5>	SOm レジスタの設定変更 (任意) 必要に応じて、対象チャネルのシリアルデータ (SOm.SO[n]) のレベルを変更可能。
	<6>	停止設定完了 停止設定完了後、次の処理に進む。

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0, 2)、mn = 00, 02

表 19.81 に、UART 送信の再開手順を示します。

表 19.81 UART 送信の再開手順

手順	処理	詳細
UART 送信の再開手順	<1>	再開設定開始
	<2>	通信対象の準備ができるまで待つ
	<3>	ポート操作
	<4>	SPSm レジスタの設定変更 (任意)
	<5>	SDRmn レジスタの設定変更 (任意)
	<6>	SMRmn レジスタの設定変更 (任意)
	<7>	SCRmn レジスタの設定変更 (任意)
	<8>	SOLm レジスタの設定変更 (選択)
	<9>	SOEm レジスタの設定変更 (任意)
	<10>	SOm レジスタの設定変更 (任意)
	<11>	SOEm レジスタの設定変更
	<12>	ポート操作
	<13>	SSm レジスタへの書き込み
	<14>	再開設定完了
		設定完了。 SDRmn.DAT[7:0] (8 ビット) または SDRmn.DAT[8:0] (9 ビット) に、送信データを設定することで通信を開始する。

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0, 2)、mn = 00, 02

(3) 処理フロー (シングル送信モード時)

図 19.30 に、UART 送信のタイミング (シングル送信モード時) を示します。

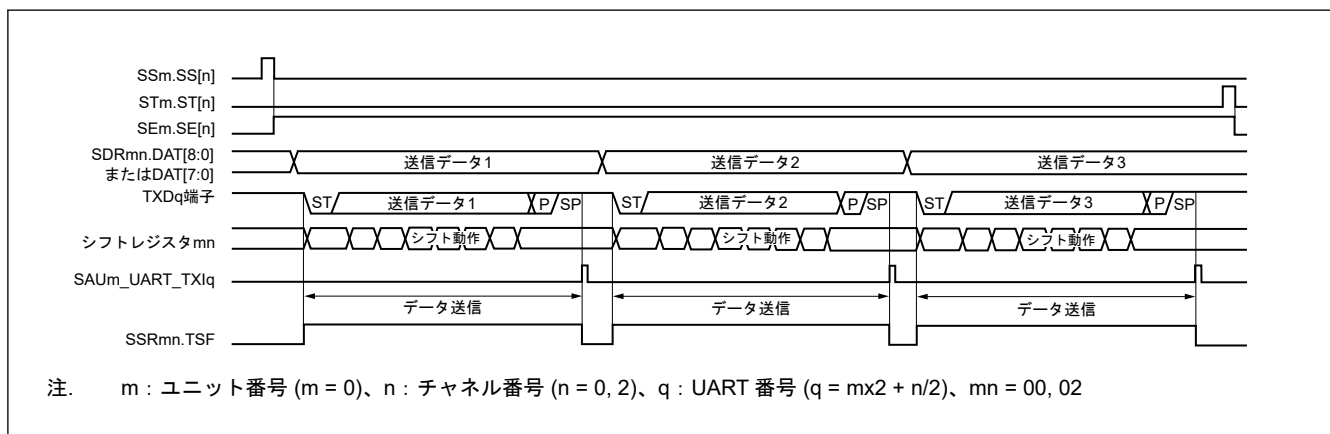


図 19.30 UART 送信のタイミング (シングル送信モード時)

図 19.31 に、UART 送信のフローチャート (シングル送信モード時) を示します。

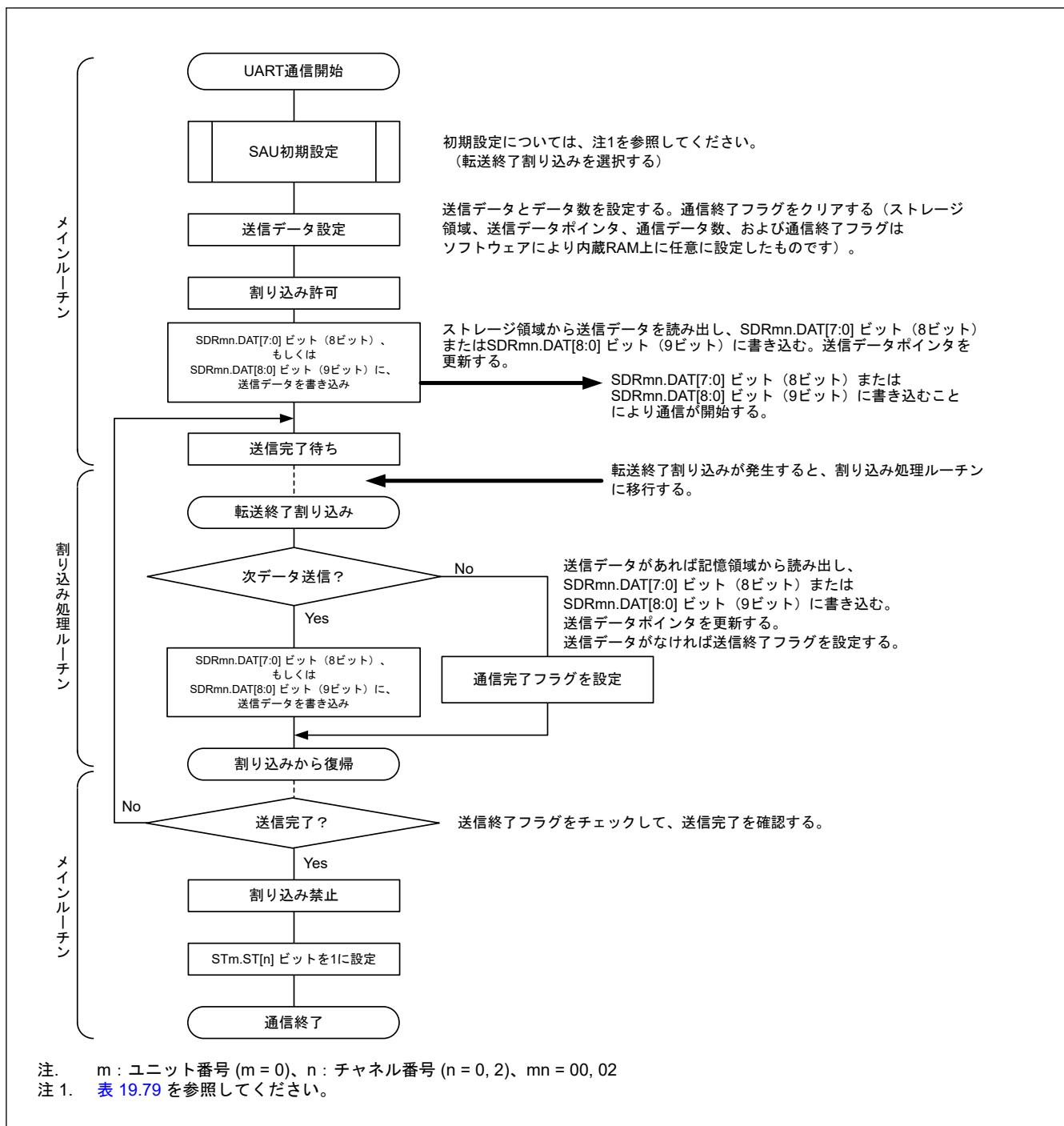
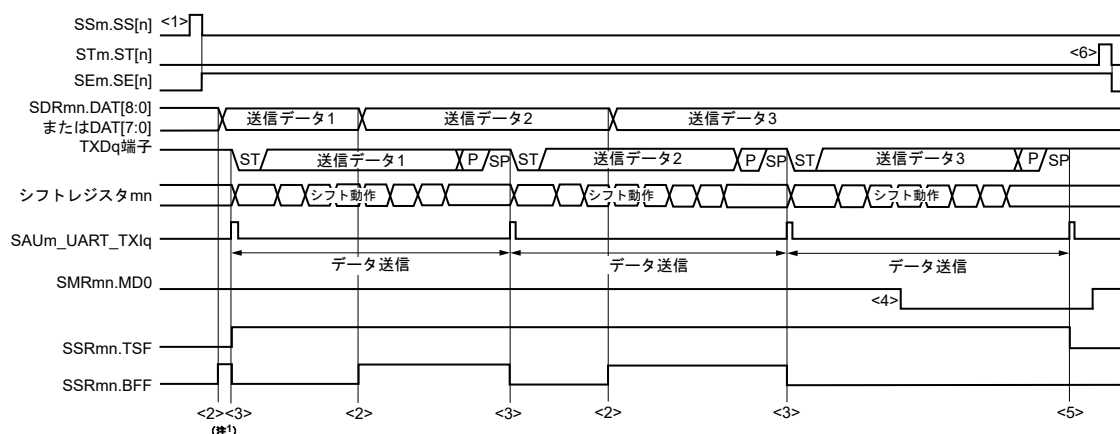


図 19.31 UART 送信のフローチャート (シングル送信モード時)

(4) 処理フロー (連続送信モード時)

図 19.32 に、UART 送信のタイミング (連続送信モード時) を示します。



注. シリアルモードレジスタ mn (SMRmn) の MD0 ビットは、動作中でも書き換えることができます。
ただし、最後の送信データの転送終了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

注. m: ユニット番号 (m = 0)、n: チャネル番号 (n = 0, 2)、q: UART 番号 (q = mx2 + n/2)、mn = 00, 02

注 1. シリアルステータスレジスタ mn (SSRmn) の BFF ビットが 1 の期間 (有効なデータがシリアルデータレジスタ mn (SPRmn) に格納されているとき) に SPRmn レジスタに送信データを書き込むと、送信データが上書きされます。

図 19.32 UART 送信のタイミング (連続送信モード時)

図 19.33 に、UART 送信のフローチャート（連続送信モード時）を示します。

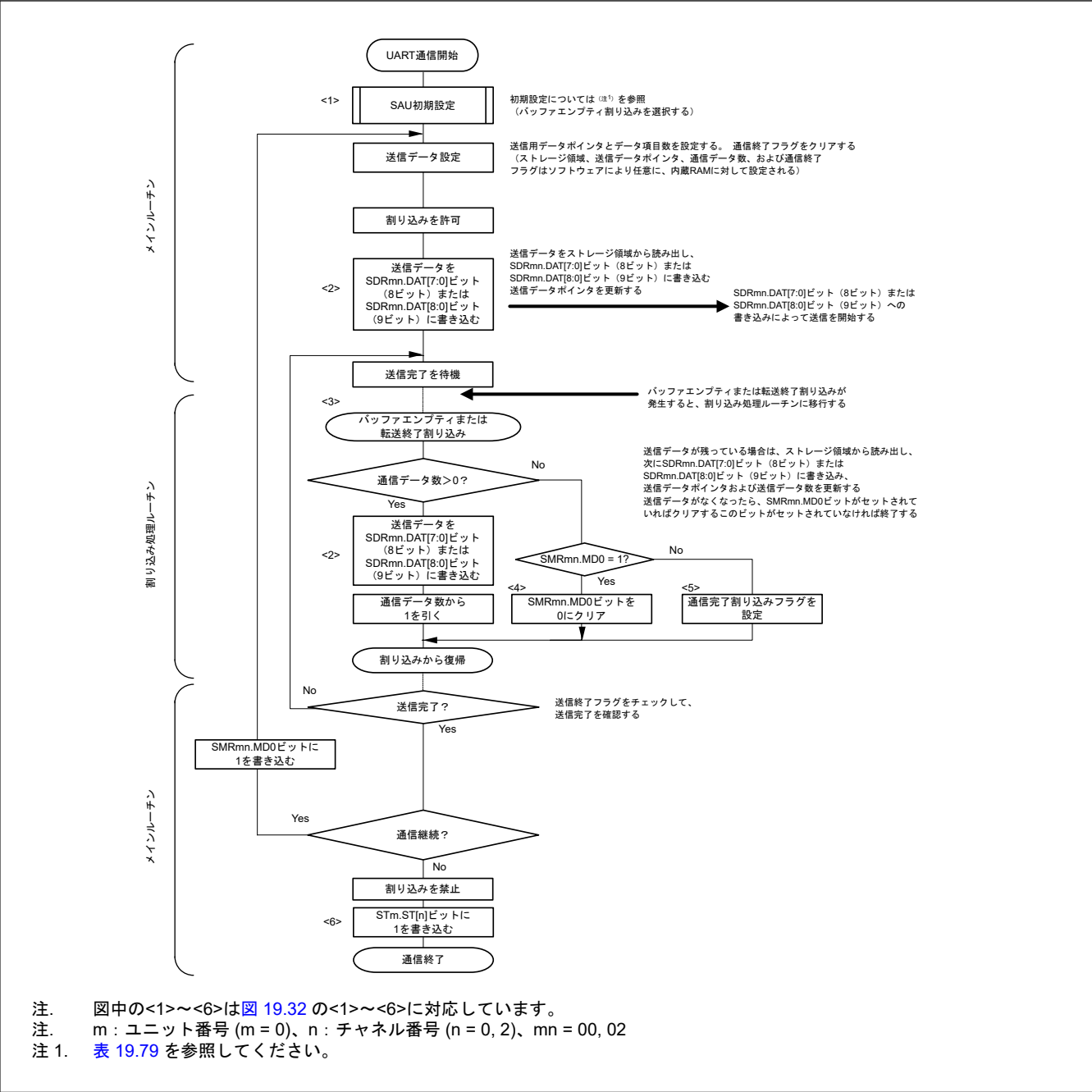


図 19.33 UART 送信のフローチャート (連続送信モード時)

19.6.2 UART 受信

UART 受信は、他デバイスからマイクロコントローラが非同期 (調歩同期) でデータを受信する動作です。UART 受信では、その UART に使用する 2 チャネルのうち、奇数チャネルのほうを使用します。奇数チャネルと偶数チャネルの両方の SMRmn レジスタを設定する必要があります。

表 19.82 に UART 受信の仕様を示します。

表 19.82 UART 受信の仕様 (1/2)

UART	UART0	UART1
対象チャネル	SAU0 のチャネル 1	SAU0 のチャネル 3
使用端子	RXD0	RXD1

表 19.82 UART 受信の仕様 (2/2)

UART	UART0	UART1
割り込み	SAU0_UART_RXI0	SAU0_UART_RXI1
	転送終了割り込みのみ（バッファエンプティ割り込みは設定禁止）	
エラー割り込み	SAU0_UART_ERRI0	SAU0_UART_ERRI1
エラー検出フラグ	- フレーミングエラー検出フラグ (SSRmn.FEF) - パリティエラー検出フラグ (SSRmn.PEF) - オーバーランエラー検出フラグ (SSRmn.OVF)	
転送データ長	7 ビット、8 ビット、または 9 ビット(注1)	
転送速度(注2)	最高 $f_{MCK}/6$ [bps] ($SDRmn.STCLK[6:0] = 2$ 以上)、最低 $PCLKB/(2 \times 2^{15} \times 128)$ [bps]	
データ位相	非反転出力（デフォルト：High レベル） 反転出力（デフォルト：Low レベル）	
パリティビット	以下の選択が可能 - パリティビットなし（パリティチェックなし） - パリティ判定なし（0 パリティ） - 偶数パリティチェック - 奇数パリティチェック	
ストップビット	1 ビットを付加	
データ方向	MSB ファーストまたは LSB ファースト	

注. f_{MCK} ：対象チャネルの動作クロック周波数 f_{SCK} ：シリアルクロック周波数

注. m：ユニット番号 (m = 0)、n：チャネル番号 (n = 1, 3)、mn = 01, 03

注 1. UART0 のみ 9 ビットのデータ長をサポートします。

注 2. この動作は、上記の条件および電気的特性で指定する周辺機能特性を満たす範囲内で使用してください。詳細は、「27. 電気的特性」を参照してください。

(1) レジスタ設定

UART 受信に対するレジスタ内容の例を表 19.83～表 19.89 に示します。

(a) シリアルモードレジスタ mn (SMRmn)

表 19.83 UART 受信に対するシリアルモードレジスタ mn (SMRmn) 内容例 (1/2)

ビット	シンボル	設定値	機能
0	MD0	0	チャネル n の割り込み要因 0: 転送終了割り込み
2:1	MD1[1:0]	01b	チャネル n の動作モードの設定 0 1: UART モード
5:3	—	100b	設定無効（初期値に設定されます）
6	SIS0	0/1	UART モードでのチャネル n 受信データのレベル反転の制御 0: 通常の受信動作 1: 反転受信
7	—	0	設定無効（初期値に設定されます）
8	STS	1	スタートトリガ要因の選択 1: RXDq 端子の有効エッジ
13:9	—	0_0000b	設定無効（初期値に設定されます）
14	CCS	0	チャネル n の転送クロック (f_{TCLK}) の選択 0: CKS ビットで指定した動作クロック f_{MCK} の分周クロック

表 19.83 UART 受信に対するシリアルモードレジスタ mn (SMRmn) 内容例 (2/2)

ビット	シンボル	設定値	機能
15	CKS	0/1	チャンネル n の動作クロック (f_{MCK}) 0: SPSm レジスタで設定したプリスケアラ出カクロック CKm0 1: SPSm レジスタで設定したプリスケアラ出カクロック CKm1

(b) シリアルモードレジスタ mr (SMRmr)

表 19.84 UART 受信に対するシリアルモードレジスタ mr (SMRmr) 内容例

ビット	シンボル	設定値	機能
0	MD0	0	チャンネル r の割り込み要因 0: 転送終了割り込み
2:1	MD1[1:0]	01b	チャンネル r の動作モードの設定 0 1: UART モード
13:3	—	000_0000_0100 b	設定無効 (初期値に設定されます)
14	CCS	0	チャンネル r の転送クロック (f_{TCLK}) の選択 0: CKS ビットで指定した動作クロック f_{MCK} の分周クロック
15	CKS	0/1	チャンネル r の動作クロック (f_{MCK}) (SMRmn.CKS ビットと同じ設定値) 0: SPSm レジスタで設定したプリスケアラ出カクロック CKm0 1: SPSm レジスタで設定したプリスケアラ出カクロック CKm1

(c) シリアル通信動作設定レジスタ mn (SCRmn)

表 19.85 UART 受信に対するシリアル通信動作設定レジスタ mn (SCRmn) 内容例 (1/2)

ビット	シンボル	設定値	機能
1:0	DLS[1:0]	01b ~ 11b	データ長の設定 0 1: 9 ビットデータ長 1 0: 7 ビットデータ長 1 1: 8 ビットデータ長
3:2	—	01b	設定無効 (初期値に設定されます)
5:4	SLC[1:0]	01b	ストップビットの設定 0 1: 1 ビットを付加
6	—	0	設定無効 (初期値に設定されます)
7	DIR	0/1	簡易 SPI モードおよび UART モードでのデータ転送順序の選択 0: MSB ファーストでデータ入出力を行う 1: LSB ファーストでデータ入出力を行う
9:8	PTC[1:0]	00b ~ 11b	パリティビットの設定 0 0: パリティなし 0 1: 0 パリティを付加 1 0: 偶数パリティを付加 1 1: 奇数パリティを付加
10	EOC	0/1	エラー割り込み信号 SAUm_UART_ERRIq のマスク制御 0: エラー割り込み SAUm_UART_ERRIq の発生を禁止 (SAUm_UART_RXIq が発生) 1: エラー割り込み SAUm_UART_ERRIq の発生を許可 (エラーが発生した場合、SAUm_UART_RXIq は発生しない)

表 19.85 UART 受信に対するシリアル通信動作設定レジスタ mn (SCRmn) 内容例 (2/2)

ビット	シンボル	設定値	機能
11	—	0	設定無効 (初期値に設定されます)
13:12	DCP[1:0]	00b	このビットは他モード専用なので、UART モードでは固定
15:14	TRXE[1:0]	01b	TRXE[1:0] = 01b の設定は、UART 受信モードで固定

(d) シリアルデータレジスタ mn (SDRmn)

表 19.86 UART 受信に対するシリアルデータレジスタ mn (SDRmn) 内容例

ビット	シンボル	設定値	機能
6:0	DAT[6:0]	0x00 ～ 0x7F	受信データ[6:0]
7	DAT[7]	0/1	受信データ[7] (8 ビットおよび 9 ビットデータ長)
		0	0 固定 (7 ビットデータ長)
8	DAT[8] ^(注1)	0/1	受信データ[8] (9 ビットデータ長)
		0	0 固定 (7 ビットおよび 8 ビットデータ長)
15:9	STCLK[6:0]	0x02 ～ 0x7F	ボーレート設定 (動作クロック (f _{MCK}) の分周設定)

注 1. UART が 9 ビットデータ長での通信を行う場合は、SDRm1 レジスタのビット 0～8 が受信データ指定領域になります。UART0 のみ 9 ビットのデータ長をサポートします。

(e) シリアル出力レジスタ m (SOM)

このレジスタは本モードでは使用しません。

表 19.87 UART 受信に対するシリアル出力レジスタ m (SOM) 内容例

ビット	シンボル	設定値	機能
n	SO[n]	x	このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
n+8	CKO[n]	x	このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

(f) シリアル出力許可レジスタ m (SOEm)

このレジスタは本モードでは使用しません。

表 19.88 UART 受信に対するシリアル出力許可レジスタ m (SOEm) 内容例

ビット	シンボル	設定値	機能
n	SOE[n]	x	このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

(g) シリアルチャネル開始レジスタ m (SSm)

対象チャネルのビットのみ 1 に設定してください。

表 19.89 UART 受信に対するシリアルチャネル開始レジスタ m (SSm) 内容例

ビット	シンボル	設定値	機能
n	SS[n]	1	チャネル n の動作開始トリガ 1: SEm.SE[n] ビットに 1 を設定し、チャネルを通信待機状態にする

注. UART 受信時は、チャネル n とペアになるチャネル r の SMRmr レジスタも必ず UART 送信モードに設定してください。

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 1, 3)、mn = 01, 03
r : チャネル番号 (r = n - 1)、q: UART 番号 (q = m × 2 + n/2)

注. × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて 0 または 1 に設定

(2) 動作手順

表 19.90 に、UART 受信の初期設定手順を示します。

表 19.90 UART 受信の初期設定手順

手順	処理	詳細
UART 受信の初期設定手順	<1>	初期設定開始
	<2>	SPSm レジスタの設定
	<3>	SMRmn レジスタおよび SMRmr レジスタの設定
	<4>	SCRmn レジスタの設定
	<5>	SDRmn レジスタの設定
	<6>	ポートの設定
	<7>	SSm レジスタへの書き込み
	<8>	初期設定完了

注. SCRmn レジスタの TRXEmn[0] ビットを 1 に設定後に、 f_{MCK} クロックで 4 サイクル以上間隔をあけてから SSm.SS[n] ビットを 1 に設定してください。

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)

表 19.91 に、UART 受信の停止手順を示します。

表 19.91 UART 受信の停止手順

手順	処理	詳細
UART 送信の停止手順	<1>	停止設定開始
	<2>	SSRmn.TSF がクリアされるまで待機 (任意)
	<3>	STm レジスタへの書き込み
	<4>	停止設定完了

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)

表 19.92 に、UART 受信の再開手順を示します。

表 19.92 UART 受信の再開手順

手順	処理	詳細
UART 受信の再開手順	<1>	再開設定開始
	<2>	通信対象の準備ができるまで待つ
	<3>	SPSm レジスタの設定変更 (任意)
	<4>	SDRmn レジスタの設定変更 (任意)
	<5>	SMRmn レジスタおよび SMRmr レジスタの設定変更 (任意)
	<6>	SCRmn レジスタの設定変更 (任意)
	<7>	エラーフラグのクリア
	<8>	ポートの設定
	<9>	SSm レジスタへの書き込み
	<10>	再開設定完了

注. SDRmn レジスタの TRXE[0]ビットを 1 に設定後に、 f_{MCK} クロックで 4 サイクル以上間隔をあけてから SSm.SS[n]ビットを 1 に設定してください。

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)

(3) 処理フロー

図 19.34 に UART 受信のタイミングを示します。

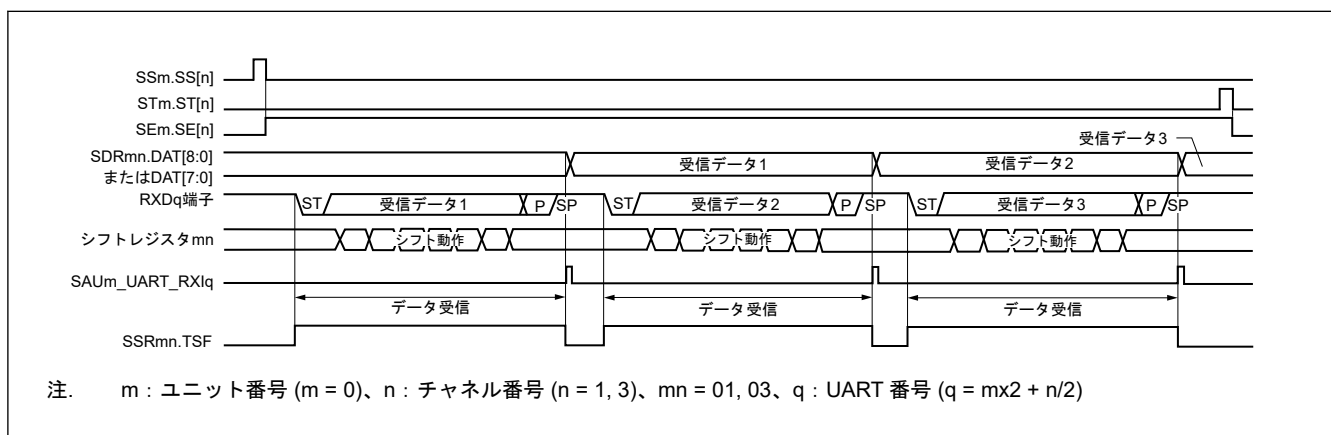


図 19.34 UART 受信のタイミング

図 19.35 に UART 受信のフローチャートを示します。

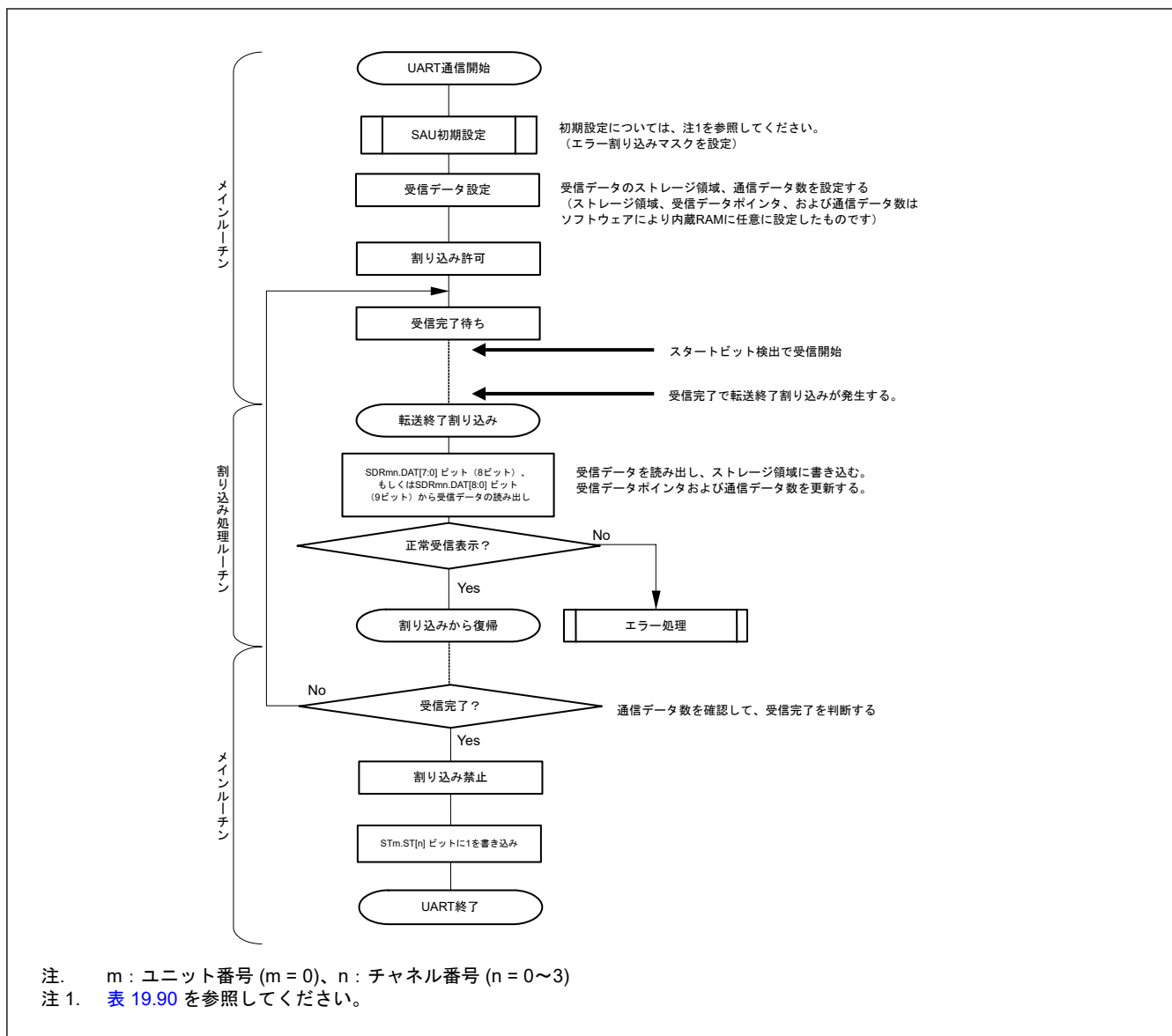


図 19.35 UART 受信のフローチャート

19.6.3 スヌーズモード機能

スヌーズモードは、ソフトウェアスタンバイモード時に RXD0 端子入力の検出により UART の受信動作をさせるモードです。通常、ソフトウェアスタンバイモード時に UART は通信動作を停止します。ただし、スヌーズモードを使用すると、UART は CPU 動作なしで受信動作を実行できます。

スヌーズモードは、UART0 チャンネルのみ設定可能です。

UART0 をスヌーズモードで使用する場合は、ソフトウェアスタンバイモードに移行する前に次の設定を行います。(図 19.38 と図 19.40 を参照してください。)

- スヌーズモード時は、UART 受信ボーレートの設定を通常動作時とは異なる値に変更する必要があります。表 19.93 を参照して SPS0 レジスタおよび SDR01.STCLK[6:0] ビットを設定してください。
- SCR01.EOC ビットと SSC0.SSEC ビットを設定。これにより、通信エラーが発生した場合にエラー割り込み (SAU0_UART_ERRI0) の発生許可/停止を設定することができます。
- スヌーズモード機能を使用する場合、ソフトウェアスタンバイモードに移行する直前にシリアルスタンバイコントロールレジスタ 0 (SSC0) の SWC ビットを 1 に設定してください。初期設定完了後、シリアルチャンネル開始レジスタ 0 (SS0) の SS[1] ビットを 1 に設定します。
- CPU がソフトウェアスタンバイモードに遷移した後に RXD0 端子でスタートビット入力を検出すると、UART0 はスヌーズモードで受信を開始します。

- 注. スヌーズモードは、PCLKB に高速オンチップオシレータクロックが選択されている場合にのみ使用できます。
- 注. スヌーズモードの最大転送速度は 9600 bps です (PCLKB = HOCO (32 MHz) を設定した場合)。
- 注. SSC0.SWC = 1 の設定では、ソフトウェアスタンバイモード中に受信動作開始した時のみ UART0 を使用できます。
他のスヌーズモード機能や割り込みと同時に使用して、次のようなソフトウェアスタンバイモード以外の状態で受信動作開始した場合は、正しくデータ受信できず、フレーミングエラーもしくはパリティエラーが発生することがあります。
- SSC0.SWC ビットを 1 に設定後、ソフトウェアスタンバイモードに移行する前に受信動作開始した場合
 - 他の機能がスヌーズモード中に受信動作開始した場合
 - ソフトウェアスタンバイモードから割り込みなどで通常動作に復帰後、SSC0.SWC ビットが 0 に戻る前に受信動作開始した場合
- 注. SSC0.SSEC ビットが 1 の設定では、パリティエラー、フレーミングエラー、オーバーランエラー時に SSR01.PEF、FEF、または OVF フラグはセットされず、エラー割り込み (SAU0_UART_ERRI0) も発生しません。そのため、SSC0.SSEC = 1 の設定で使用するときは、SSC0.SWC ビットを 1 に設定する前に SSR01.PEF、FEF、および OVF フラグをクリアし、また、SDR01 レジスタのビット 7~0 を読み出してください。
- 注. CPU は、RXD0 信号の有効エッジを検出するとソフトウェアスタンバイモードからスヌーズモードへ移行します。
ただし、RXD0 端子でスタートビットとして検出する入力パルスが短すぎる場合は、UART チャネルの転送が開始されず、CPU がスヌーズモードのままになることがあります。このような場合、次の UART 転送でデータを正しく受信できず、フレーミングエラーやパリティエラーになることがあります。

表 19.93 にスヌーズモードでの UART 受信のボーレート設定を示します。

表 19.93 スヌーズモードでの UART 受信のボーレート設定

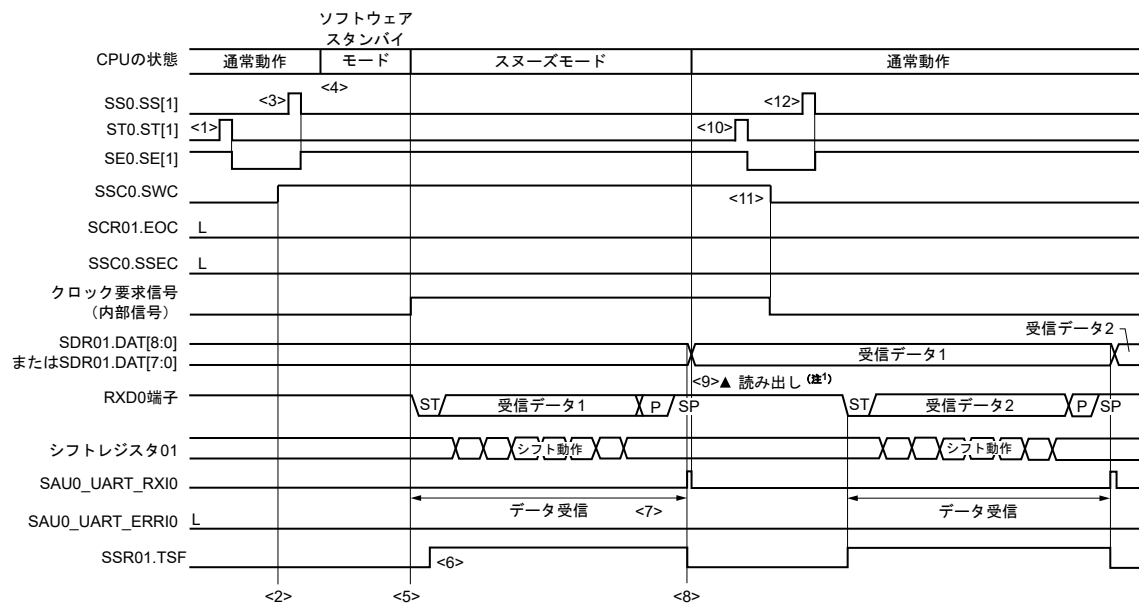
ボーレート	高速オンチップオシレータ (HOCO)	動作クロック (f_{MCK})	SDR01.STCLK [6:0]	最大許容値	最小許容値
4800 bps	32 MHz $\pm$ 1% (注1)	PCLKB/2 ⁵	106	1.45%	-1.67%
9600 bps	32 MHz $\pm$ 1% (注1)	PCLKB/2 ⁴	106	1.45%	-1.67%

- 注 1. 高速オンチップオシレータのクロック周波数精度が $\pm 1.5\%$ または $\pm 2.0\%$ の場合は、次のように許容範囲が狭くなります。
- HOCO $\pm 1.5\%$ の場合は、上表の最大許容値に -0.5%、最小許容値に +0.5% してください。
 - HOCO $\pm 2.0\%$ の場合は、上表の最大許容値に -1.0%、最小許容値に +1.0% してください。

(1) スヌーズモード動作 (SCR01.EOC = 0, SSC0.SSEC = 0/1)

SCR01.EOC = 0 の設定のため SSC0.SSEC ビットの設定にかかわらず、通信エラーが発生してもエラー割り込み (SAU0_UART_ERRI0) は発生しません。しかしながら、転送終了割り込み (SAU0_UART_RXI0) は発生します。

図 19.36 に、スヌーズモード動作のタイミングを示します (SCR01.EOC = 0, SSC0.SSEC = 0/1)。



注. スヌーズモード移行前とスヌーズモードで受信動作を完了したあとは、ST0.ST[1]ビットを 1 に設定してください (SE0.SE[1]ビットがクリアされ動作停止)。

受信動作を完了したあとは、SSC0.SWC ビットも 0 にクリアしてください（スヌーズモード解除）。

注. 図中の<1>~<12>は図 19.38 の<1>~<12>に対応しています。

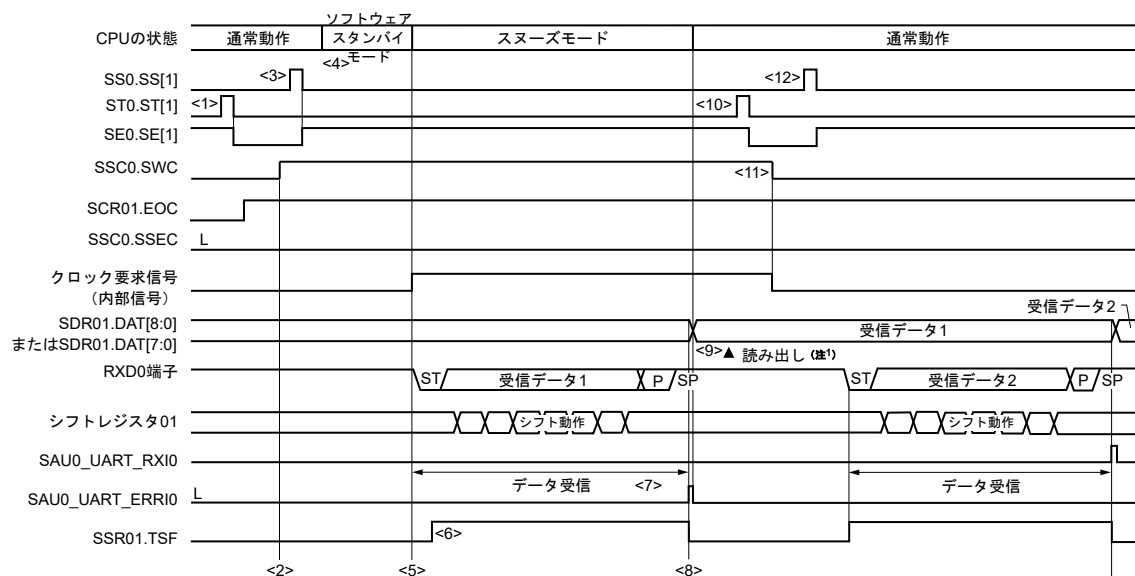
注 1. SSC0.SWC = 1 の状態で、受信データの読み出しを行ってください。

図 19.36 スヌーズモード動作のタイミング (SCR01.EOC = 0, SSC0.SSEC = 0/1)

(2) スヌーズモード動作 (SCR01.EOC = 1, SSC0.SSEC = 0: エラー割り込み (SAU0_UART_ERRI0) の発生が有効)

SCR01.EOC = 1 および SSC0.SSEC = 0 のため、通信エラーが発生した場合にエラー割り込み (SAU0 UART_ERRI0) を発生します。

図 19.37 に、スヌーズモード動作のタイミングを示します (SCR01.EOC = 1, SSC0.SSEC = 0)。



- 注. スリープモード移行前とスリープモードで受信動作を完了したあとは、ST0.ST[1]ビットを1に設定してください (SE0.SE[1]ビットがクリアされ動作停止)。
受信動作を完了したあとは、SSC0.SWC ビットも0にクリアしてください (スリープモード解除)。
- 注. 図中の<1>～<12>は図 19.38 の<1>～<12>に対応しています。
- 注 1. SSC0.SWC = 1 の状態で、受信データの読み出しを行ってください。

図 19.37 スリープモード動作のタイミング (SCR01.EOC = 1, SSC0.SSEC = 0)

図 19.38 に、スリープモード動作のフローチャートを示します (SCR01.EOC = 0、SSC0.SSEC = 0/1 または SCR01.EOC = 1、SSC0.SSEC = 0)。

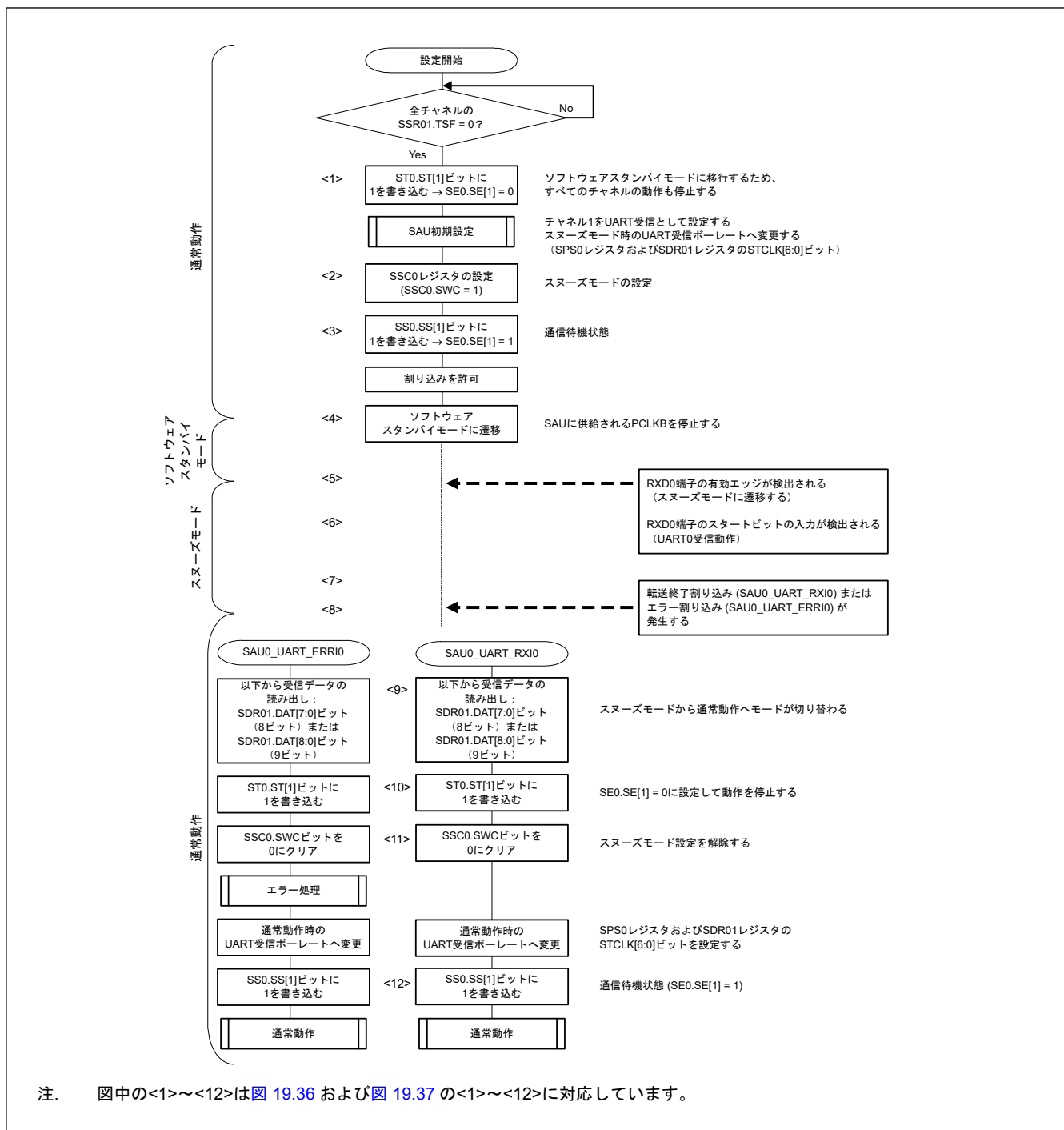
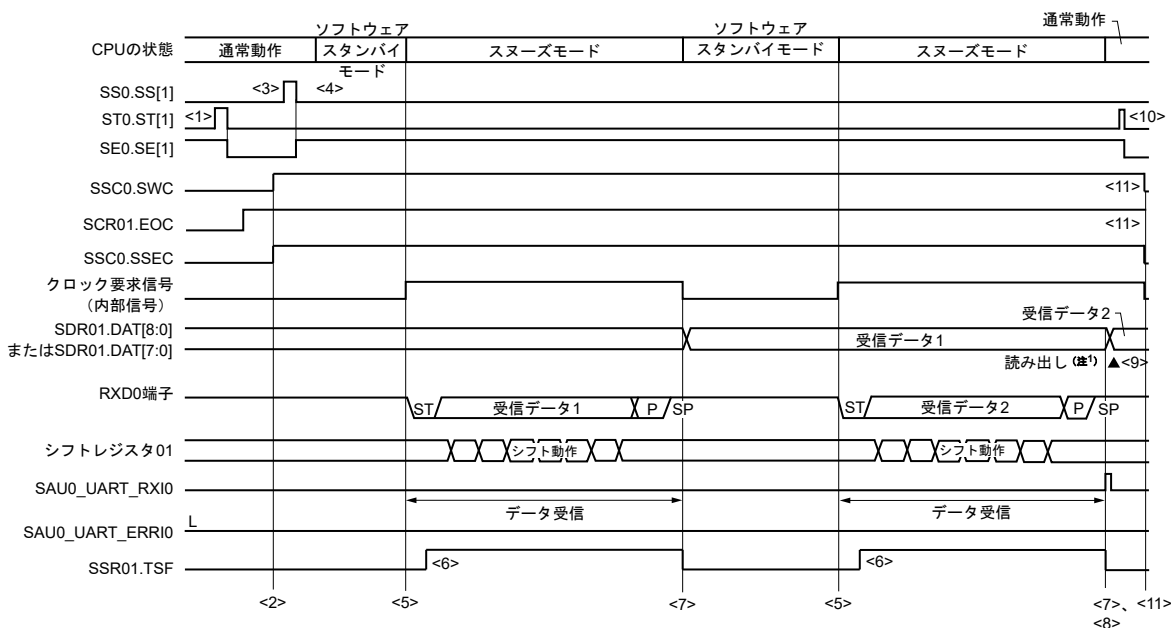


図 19.38 スリープモード動作のフローチャート (SCR01.EOC = 0、SSC0.SSEC = 0/1 または SCR01.EOC = 1、SSC0.SSEC = 0)

(3) スリープモード動作 (SCR01.EOC = 1, SSC0.SSEC = 1: エラー割り込み (SAU0_UART_ERRI0) の発生が停止)

SCR01.EOC = 1 および SSC0.SSEC = 1 のため、通信エラーが発生した場合にエラー割り込み (SAU0_UART_ERRI0) は発生しません。

図 19.39 に、スリープモード動作のタイミングを示します (SCR01.EOC = 1, SSC0.SSEC = 1)。



- 注. スリープモード移行前とスリープモードで受信動作を完了したあとは、ST0.ST[1]ビットを1に設定してください (SE0.SE[1]ビットがクリアされ動作停止)。
受信動作を完了したあとは、SSC0.SWC ビットも0にクリアしてください (スリープモード解除)。
- 注. SSC0.SSEC ビットが1の設定では、パリティエラー、フレーミングエラー、オーバーランエラー時に SSR01.PEF、FEF、またはOVF フラグはセットされず、エラー割り込み (SAU0_UART_ERRI0) も発生しません。そのため、SSC0.SSEC = 1 の設定で使用するときには、SSC0.SWC ビットを1に設定する前に SSR01.PEF、FEF、およびOVF フラグをクリアし、また、SDR01.DAT[7:0] (8ビット) または SDR01.DAT[8:0] (9ビット) 値を読み出してください。
- 注. 図中の<1>～<11>は図 19.40 の<1>～<11>に対応しています。
- 注 1. SSC0.SWC = 1 の状態で、受信データの読み出しを行ってください。

図 19.39 スリープモード動作のタイミング (SCR01.EOC = 1, SSC0.SSEC = 1)

図 19.40 に、スリープモード動作のフローチャートを示します (SCR01.EOC = 1, SSC0.SSEC = 1)。

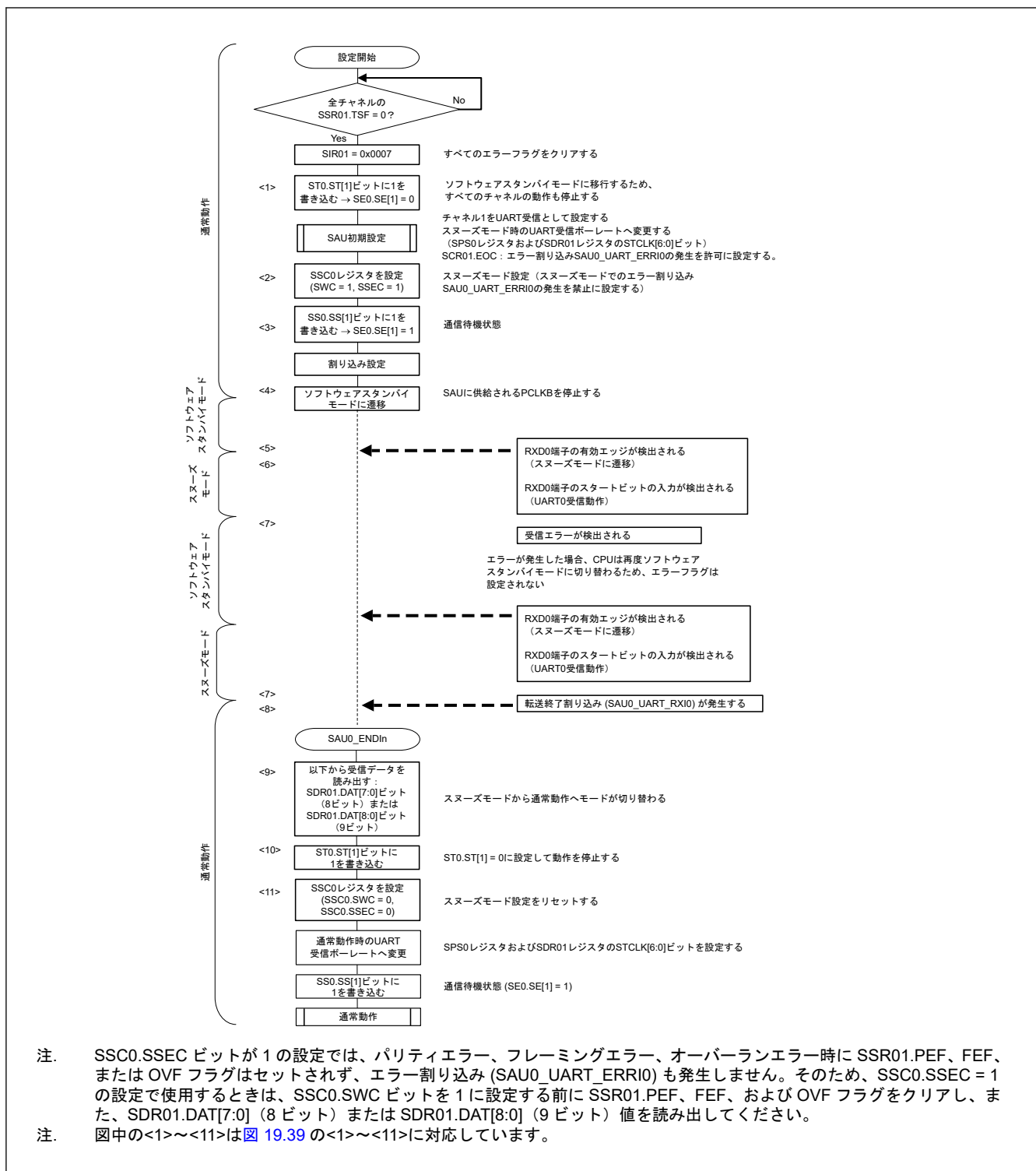


図 19.40 スレーブモード動作のフローチャート (SCR01.EOC = 1, SSC0.SSEC = 1)

19.6.4 ボーレートの算出

(1) ボーレートの計算式

UART 通信でのボーレートは下記の計算式にて算出できます。

$$(\text{ボーレート}) = \{\text{対象チャネルの動作クロック (f}_{\text{MCK}}\text{) 周波数}\} \div (\text{SDRmn.STCLK}[6:0] + 1) \div 2 [\text{bps}]$$

注. SDRmn.STCLK[6:0] = (0x00, 0x01) は設定禁止です。

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)、mn = 00~03

動作クロック (f_{MCK}) は、シリアルクロック選択レジスタ m (SPSm) とシリアルモードレジスタ mn (SMRmn) の CKS ビットで決まります。表 19.69 を参照してください。

(2) 送信中のボーレート誤差

UART 通信の送信時のボーレート誤差は下記の計算式にて算出できます。送信側のボーレートが受信側の許容ボーレート範囲内であることを確認してください。

$$(\text{ボーレート誤差}) = (\text{計算されたボーレート値}) \div (\text{目標ボーレート}) \times 100 - 100 [\%]$$

表 19.94 に PCLKB = 32 MHz の場合の UART ボーレート設定例を示します。

表 19.94 PCLKB = 32 MHz の場合の UART ボーレート設定例

UART ボーレート (目標ボーレート)	PCLKB = 32 MHz			
	動作クロック (f_{MCK})	SDRmn.STCLK [6:0]	算出ボーレート	目標ボーレートとの誤差
300 bps	PCLKB/2 ⁹	103	300.48 bps	+0.16%
600 bps	PCLKB/2 ⁸	103	600.96 bps	+0.16%
1200 bps	PCLKB/2 ⁷	103	1201.92 bps	+0.16%
2400 bps	PCLKB/2 ⁶	103	2403.85 bps	+0.16%
4800 bps	PCLKB/2 ⁵	103	4807.69 bps	+0.16%
9600 bps	PCLKB/2 ⁴	103	9615.38 bps	+0.16%
19200 bps	PCLKB/2 ³	103	19230.8 bps	+0.16%
31250 bps	PCLKB/2 ³	63	31250.0 bps	±0.0%
38400 bps	PCLKB/2 ²	103	38461.5 bps	+0.16%
76800 bps	PCLKB/2	103	76923.1 bps	+0.16%
153600 bps	PCLKB	103	153846 bps	+0.16%
312500 bps	PCLKB	50	313725.5 bps	+0.39%

注. m : ユニット番号 ($m = 0$)、 n : チャネル番号 ($n = 0, 2$)、 $mn = 00, 02$

(3) 受信時のボーレート許容範囲

UART 通信での、受信時のボーレート許容範囲は、下記の計算式にて算出できます。送信側のボーレートが受信側の許容ボーレート範囲内であることを確認してください。

$$(\text{受信可能な最大ボーレート}) = \frac{2 \times k \times Nfr}{2 \times k \times Nfr - k + 2} \times \text{Brate}$$

$$(\text{受信可能な最小ボーレート}) = \frac{2 \times k \times (Nfr - 1)}{2 \times k \times Nfr - k - 2} \times \text{Brate}$$

- Brate : 受信側の算出ボーレート値 ((1) ボーレートの計算式参照してください。)
- k : SDRmn.STCLK[6:0] + 1
- Nfr : 1 データフレーム長 [ビット] = (スタートビット) + (データ長) + (パリティビット) + (ストップビット)

注. m : ユニット番号 ($m = 0$)、 n : チャネル番号 ($n = 1, 3$)、 $mn = 01, 03$

図 19.41 に受信時の許容ボーレート範囲 (1 データフレーム長 = 11 ビットの場合) を示します。

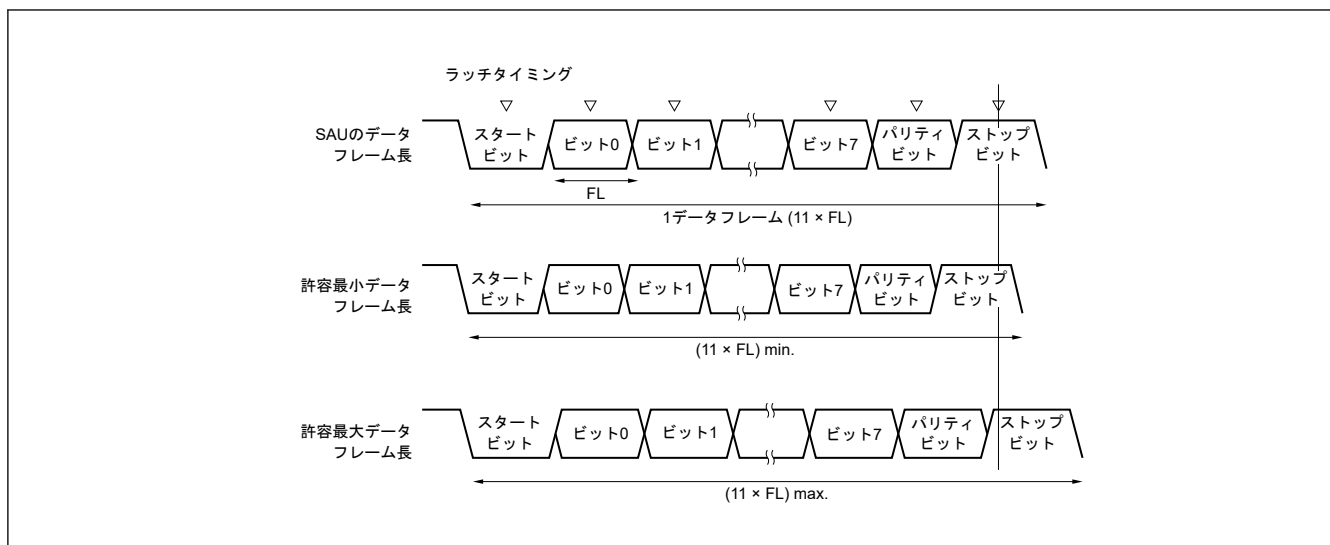


図 19.41 受信時の許容ポーレート範囲 (1 データフレーム長 = 11 ビットの場合)

図 19.41 に示すように、スタートビット検出後はシリアルデータレジスタ mn (SDRmn) の STCLK[6:0] ビットで設定した分周比により、受信データのラッチタイミングが決定されます。このラッチタイミングに最終データ（ストップビット）までが間に合えば正常に受信できます。

19.6.5 UART 通信時におけるエラー発生時の処理手順

UART 通信時にエラーが発生した場合の処理手順を表 19.95 および表 19.96 に示します。

表 19.95 パリティエラーまたはオーバーランエラーの処理手順

手順	ソフトウェア操作		ハードウェアの状態	備考
<1>	シリアルデータレジスタ mn (SDRmn) を読み出す	→	SSRmn レジスタの BFF ビットが 0 となり、チャンネル n はデータ受信可能状態になる。	エラー処理中に次の受信を完了した場合にオーバーランエラーになるのを防ぐために行う。
<2>	シリアルステータスレジスタ mn (SSRmn) を読み出す。	—	—	エラーの種類の判別を行い、読み出し値はエラーフラグのクリアに使用する。
<3>	シリアルフラグクリアトリガレジスタ mn (SIRmn) に 1 を書き込む。	→	エラーフラグがクリアされる。	SSRmn レジスタの読み出し値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる。

表 19.96 フレーミングエラーの処理手順 (1/2)

手順	ソフトウェア操作		ハードウェアの状態	備考
<1>	シリアルデータレジスタ mn (SDRmn) を読み出す。	→	SSRmn レジスタの BFF ビットが 0 となり、チャンネル n はデータ受信可能状態になる。	エラー処理中に次の受信を完了した場合にオーバーランエラーになるのを防ぐために行う。
<2>	シリアルステータスレジスタ mn (SSRmn) を読み出す。	—	—	エラーの種類の判別を行い、読み出し値はエラーフラグのクリアに使用する。
<3>	シリアルフラグクリアトリガレジスタ mn (SIRmn) に書き込む。	→	エラーフラグがクリアされる。	SSRmn レジスタの読み出し値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる。
<4>	シリアルチャネル停止レジスタ m (ST[n]) の ST[n] ビットを 1 に設定する。	→	シリアルチャネル許可ステータスレジスタ m (SEm) の SE[n] ビットが 0 となり、チャンネル n は動作停止状態になる。	—

表 19.96 フレーミングエラーの処理手順 (2/2)

手順	ソフトウェア操作		ハードウェアの状態	備考
<5>	通信相手との同期処理を行う	→	—	スタートビットがずれているためにフレーミングエラーが起きたと考えられるため、他の通信相手との同期を取り直して通信を再開する。
<6>	シリアルチャネル開始レジスタ m (SSm) の SSm.SS[n] ビットを 1 に設定する。		シリアルチャネル許可ステータスレジスタ m (SEm) の SE[n] ビットが 1 となり、チャネル n は動作可能状態になる。	—

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)、mn = 00~03

19.7 LIN 通信の動作

19.7.1 LIN 送信

UART0 は LIN 通信に対応しています。

ユニット 0 のチャネル 0 は LIN 送信に使用されます。

表 19.97 に LIN 送信の仕様を示します。

表 19.97 LIN 送信の仕様

UART	UART0	UART1
LIN 通信対応	あり	なし
対象チャネル	SAU0 のチャネル 0	—
使用端子	TXD0	—
割り込み	SAU0_UART_TXI0	—
	転送終了割り込み（シングル転送モード時）またはバッファエンプティ割り込み（連続転送モード時）を選択できます。	
エラー検出フラグ	なし	
転送データ長	8 ビット	
転送速度(注1)	最大 $f_{MCK}/6$ [bps] (SDR00.STCLK[6:0] = 2 以上)、最小 PCLKB/ (2 × 2 ¹⁵ × 128) [bps]	
データ位相	非反転出力（デフォルト : High レベル） 反転出力（デフォルト : Low レベル）	
パリティビット	パリティビットなし	
ストップビット	1 ビットを付加	
データ方向	LSB ファースト	

注. f_{MCK} : 対象チャネルの動作クロック周波数

注 1. この動作は、上記の条件および電気的特性で指定する周辺機能特性を満たす範囲内で使用してください。詳細は、「27. 電気的特性」を参照してください。LIN 通信では通常 2.4、9.6、または 19.2 kbps がよく用いられます。

LIN とは、Local Interconnect Network の略称で、車載ネットワークのコストダウンを目的とする低速（1~20 kbps）のシリアル通信プロトコルです。

LIN の通信はシングルマスタ通信で、1 つのマスタに対し最大 15 のスレーブが接続可能です。LIN のスレーブは、スイッチ、アクチュエータ、およびセンサの制御に使用され、これらが LIN を介してマスタに接続されます。LIN のマスタは通常、CAN (Controller Area Network) などのネットワークに接続されます。

また、LIN バスはシングルワイヤ方式で、ISO9141 に準拠したトランシーバを介して各ノードが接続されます。

LIN のプロトコルでは、マスタはフレームにボーレート情報をつけて送信し、スレーブはこれを受信してマスタとのボーレート誤差を補正します。スレーブのボーレート誤差が ±15% 以下であれば、通信可能です。

LIN の送信動作の概略を、図 19.42 に示します。

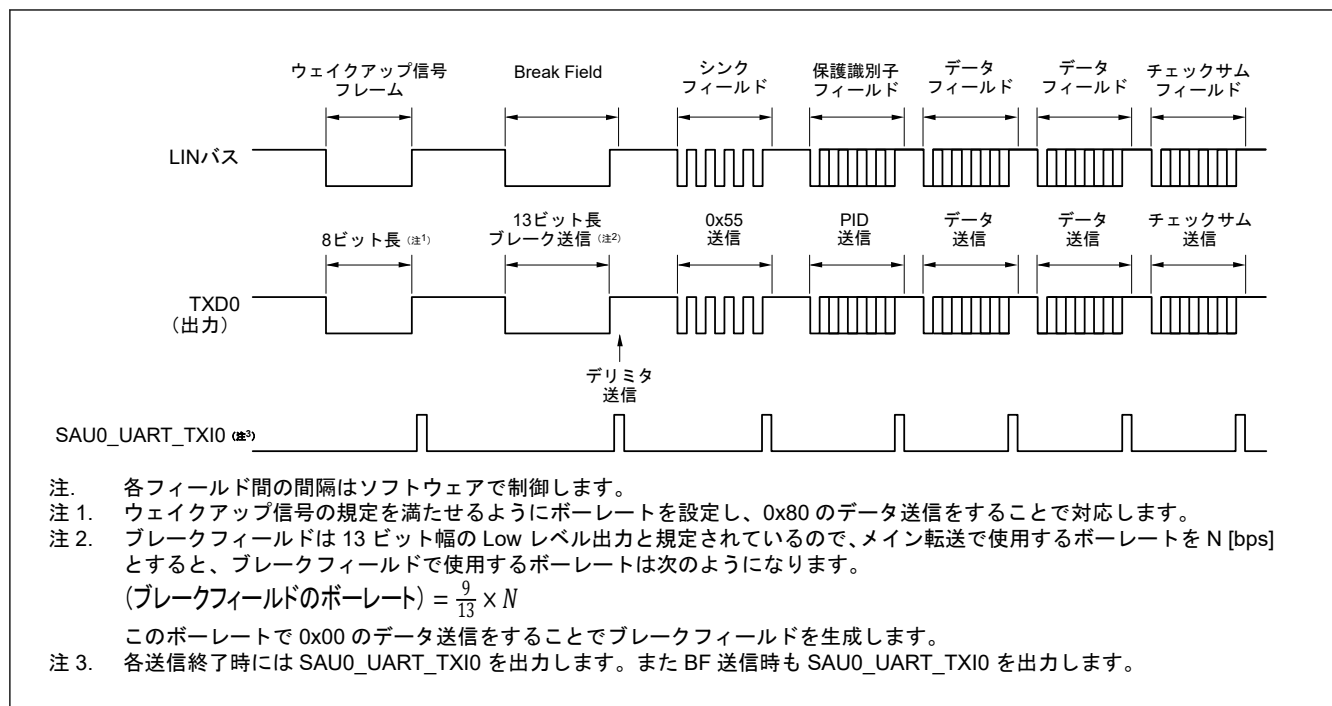


図 19.42 LIN の送信動作

図 19.43 に、LIN 送信のフローチャートを示します。

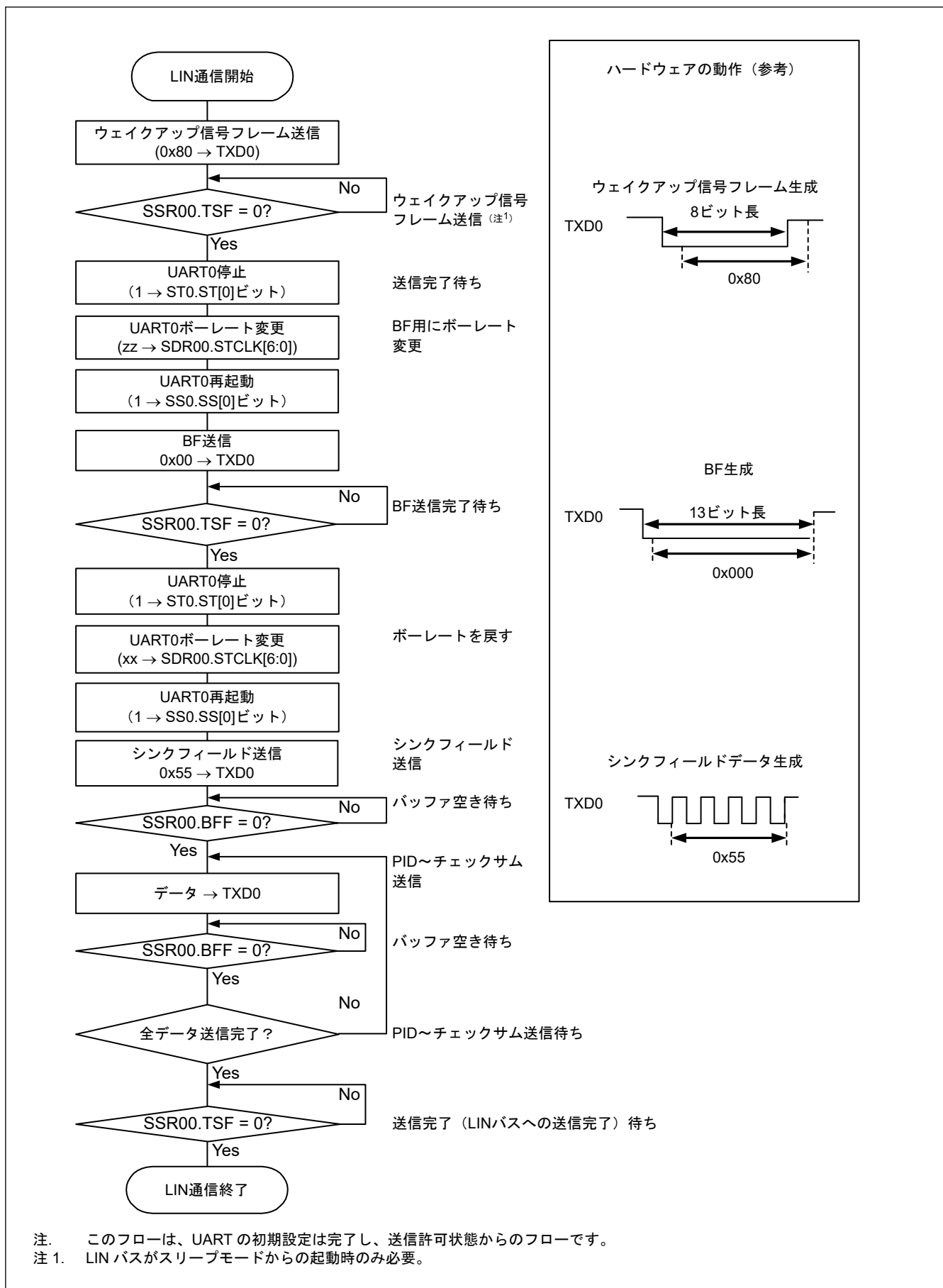


図 19.43 LIN 送信のフローチャート

19.7.2 LIN 受信

UART 受信のうち、UART0 は LIN 通信に対応しています。

LIN 受信では、ユニット 0 のチャンネル 1 を使用します。

表 19.98 に LIN 受信の仕様を示します。

表 19.98 LIN 受信の仕様

UART	UART0	UART1
LIN 通信対応	あり	なし
対象チャンネル	SAU0 のチャンネル 1	—
使用端子	RXD0	—
割り込み	SAU0_UART_RXI0	—
	転送終了割り込みのみ（バッファエンプティ割り込みは設定禁止）	
エラー割り込み	SAU0_UART_ERRI0	—
エラー検出フラグ	- フレーミングエラー検出フラグ (SSR01.FEF) - オーバーランエラー検出フラグ (SSR01.OVF)	
転送データ長	8 ビット	
転送速度(注1)	最大 $f_{MCK}/6$ [bps] (SDR01.STCLK[6:0] = 2 以上)、最小 PCLKB/ ($2 \times 2^{15} \times 128$) [bps]	
データ位相	非反転出力（デフォルト：High レベル） 反転出力（デフォルト：Low レベル）	
パリティビット	パリティビットなし（パリティビットをチェックしない）	
ストップビット	最初のビットをチェック	
データ方向	LSB ファースト	

注. f_{MCK} ：対象チャンネルの動作クロック周波数

注 1. この動作は、上記の条件および電気的特性で指定する周辺機能特性を満たす範囲内で使用してください。詳細は、「27. 電気的特性」を参照してください。

LIN の受信動作を図 19.44 に示します。

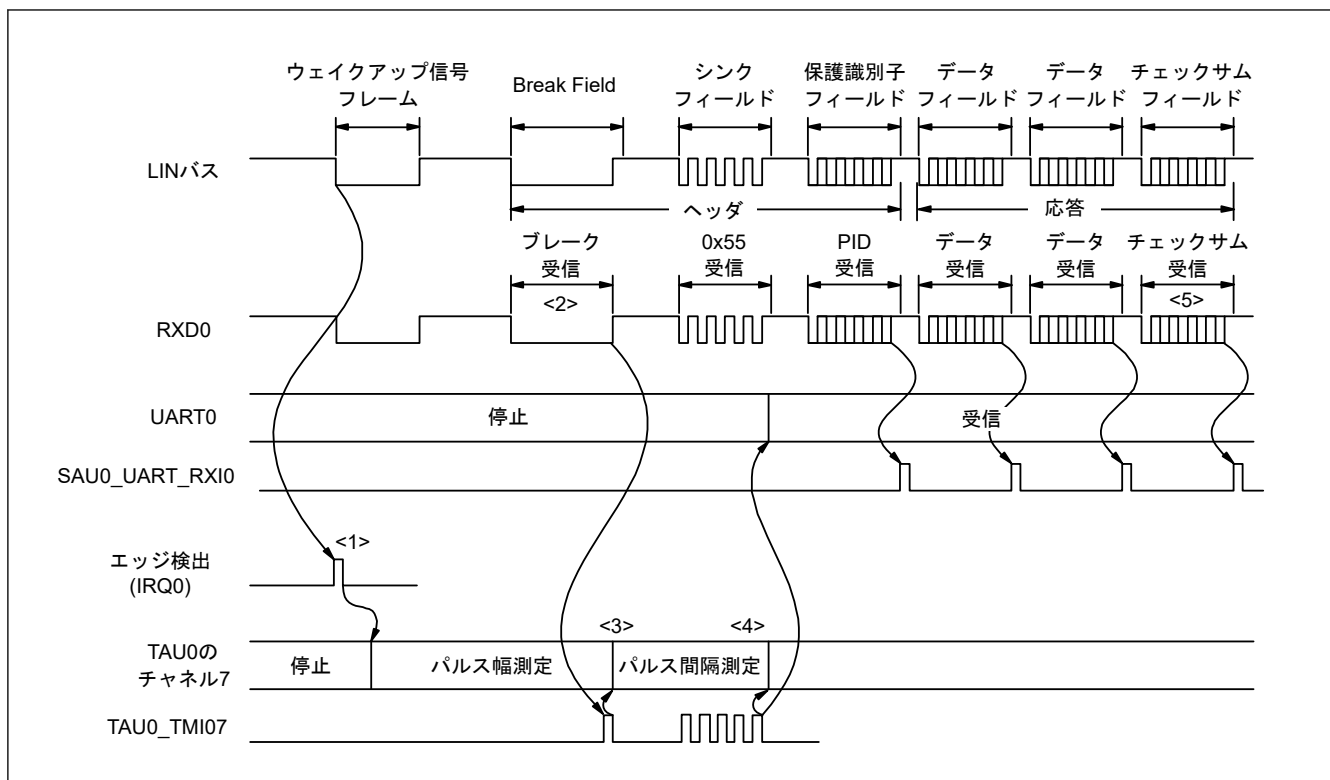


図 19.44 LIN の受信動作

受信処理の流れを次に示します。

1. ウェイクアップ信号の検出は、外部割り込み端子 (IRQ0) のエッジ検出で行います。ウェイクアップ信号を検出したら、TAU0 のチャンネル 7 を BF 信号の Low レベル幅測定のためにパルス幅測定機能に設定して、BF 信号受信待ち状態にします。
2. TAU0 のチャンネル 7 は、BF 信号の立ち下がりを検出したら、Low レベル幅の測定を開始し、BF 信号の立ち上がりでデータキャプチャを行います。キャプチャされたデータから BF 信号かどうかの判定を行います。
3. BF 信号受信を正常終了した場合、TAU0 のチャンネル 7 をパルス間隔測定に設定し、シンクフィールドの RXD0 信号の立ち下がりの間隔を 4 回測定します（「16.7.4. 入力パルスのインターバルの測定を行う際の動作」を参照してください）。
4. シンクフィールド (SF) のビット間隔からボーレート誤差を算出します。いったん UART0 を動作停止にしてからボーレートを調整（再設定）します。
5. チェックサムフィールドの区別はソフトウェアで行ってください。チェックサムフィールド受信後に UART0 を初期化し、再び BF 受信待ちに設定する処理もソフトウェアにて行ってください。

図 19.45 に LIN 受信のフローチャートを示します。

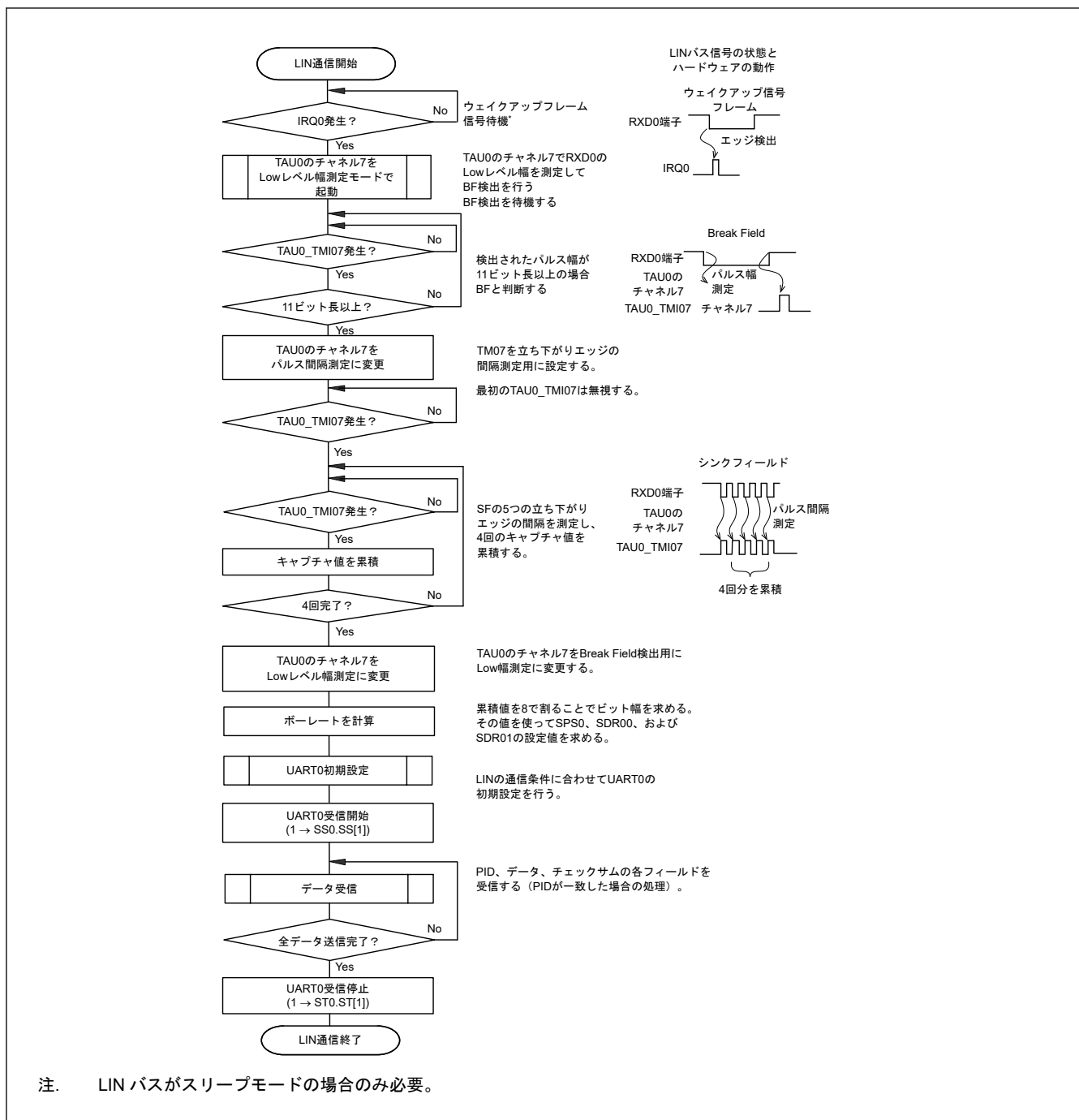


図 19.45 LIN 受信のフローチャート

図 19.46 に LIN 受信で使用するポートの設定を示します。

LIN のマスタから送信されるウェイクアップ信号の受信を、外部割り込み (IRQ0) のエッジ検出にて行います。また、マスタから送信されるシンクフィールドの長さをタイマアレイユニット 0 の外部イベントキャプチャ動作で計測し、ボーレート誤差を算出することができます。

ポート入力切り替え制御 (ISC.ISC0 および ISC.ISC1 ビット) により、外部で追加の結線をせずに、受信ポート (RXD0) への信号入力を、外部割り込み (IRQ0) として使用したり、タイマアレイユニットへ入力したりすることができます。

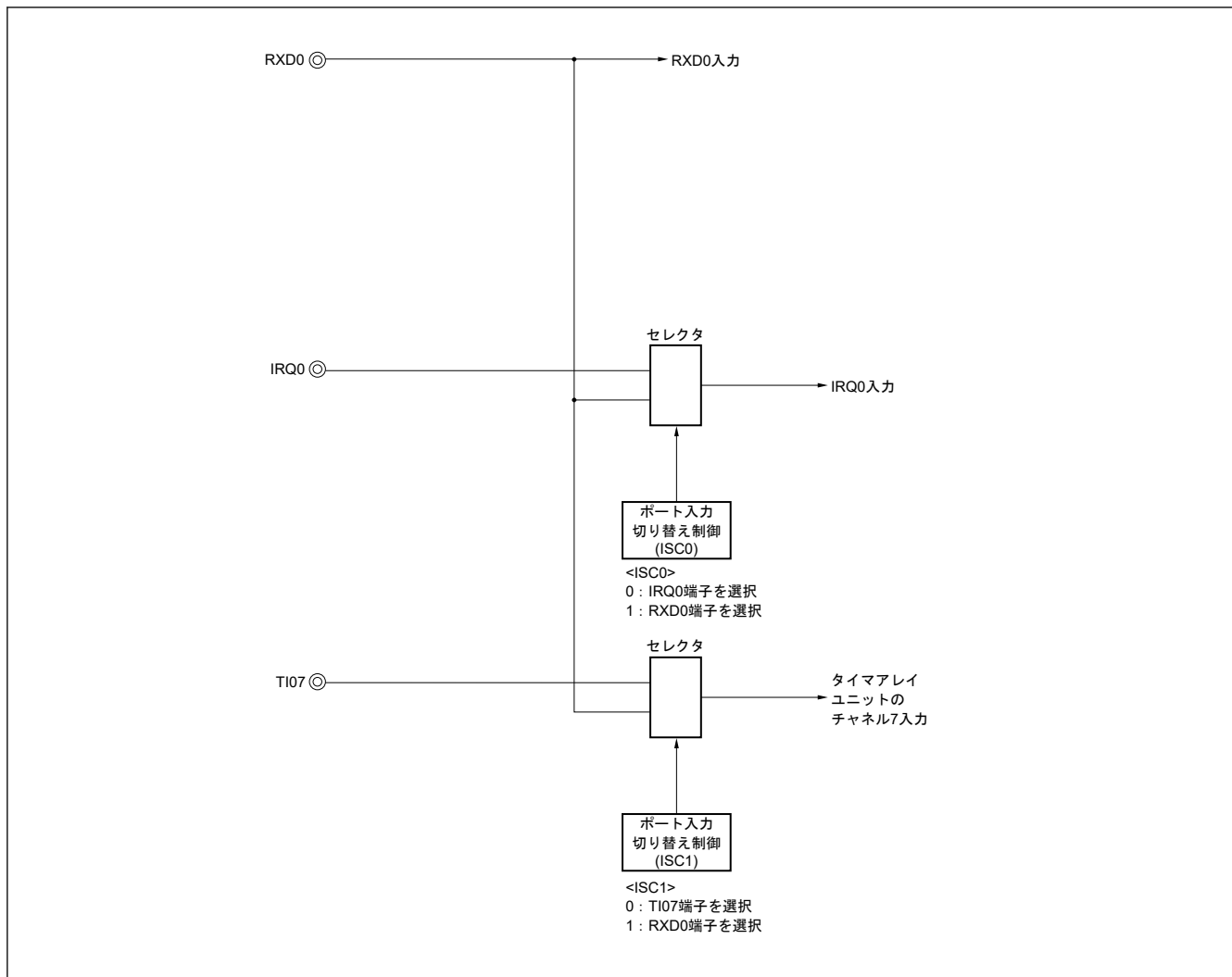


図 19.46 LIN 受信のポート設定

LIN 通信動作に使用される周辺機能は以下のとおりです。

<使用する周辺機能>

- 外部割り込み (IRQ0)、ウェイクアップ信号検出
用途：ウェイクアップ信号のエッジを検出し、通信開始を検出
- タイマアレイユニットのチャンネル 7、ボーレート誤差検出、ブレークフィールド検出
用途：シンクフィールド (SF) の長さを検出し、ビット数で割ることでボーレート誤差を検出 RXD0 へのエッジ入力の間隔をキャプチャモードで測定
Low レベル幅を測定し、ブレークフィールド (BF) かを判定
- シリアルアレイユニット 0 (SAU0) のチャンネル 0 とチャンネル 1 (UART0)

19.8 簡易 I²C モードの動作

シリアルクロック (SCL) とシリアルデータ (SDA) の 2 本のラインによる、複数デバイスとのクロック通信機能です。この簡易 I²C では、EEPROM、フラッシュメモリ、A/D コンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタートコンディションおよびストップコンディションを設定するには、I²C バスのバスラインの特性を遵守して、ソフトウェアで制御レジスタを操作してください。

[データ送受信]

- マスタ送信、マスタ受信（シングルマスタでのマスタ機能のみ）
- ACK 出力機能^(注1)および ACK 検出機能

- 8 ビットのデータ長
(アドレス送信時は、上位 7 ビットでアドレス指定し、最下位 1 ビットは R/W 制御に使用)
- ソフトウェアによるスタートコンディションおよびストップコンディションの生成

[割り込み機能]

- 転送終了割り込み (SAU0_IIC_TXRXI00/SAU0_IIC_TXRXI11)

[エラー検出フラグ]

- オーバーランエラー
- ACK エラー

[簡易 I²C でサポートしていない機能]

- スレーブ送信、スレーブ受信
- マルチマスタ機能 (アービトラーションロスト検出機能)
- クロックストレッチ検出

注 1. 最終データの受信時は、SOEm.SOE[n]ビットに 0 を書き込み、シリアル通信のデータ出力を停止することにより ACK を出力しません。詳細は、[\(2\) 処理フロー](#)を参照してください。

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)

簡易 I²C に対応しているチャネルは、SAU0 のチャネル 0~3 です。各製品において簡易 I²C をサポートしているチャネルを「[19. シリアルアレイユニット \(SAU\)](#)」に示します。

簡易 I²C の通信動作は、以下の 4 種類があります。

- アドレスフィールド送信（「[19.8.1. アドレスフィールド送信](#)」を参照）
- データ送信（「[19.8.2. データ送信](#)」を参照）
- データ受信（「[19.8.3. データ受信](#)」を参照）
- ストップコンディション生成（「[19.8.4. ストップコンディションの生成](#)」を参照）

19.8.1 アドレスフィールド送信

アドレスフィールド送信は、転送対象（スレーブ）を特定するために、I²C 通信でまず最初に行う送信動作です。スタートコンディションを生成したあとに、アドレス（7 ビット）と転送方向（1 ビット）を 1 フレームとして送信します。

表 19.99 に簡易 I²C のアドレスフィールド送信の仕様を示します。

表 19.99 簡易 I²C のアドレスフィールド送信の仕様 (1/2)

簡易 I ² C	IIC00	IIC11
対象チャネル	SAU0 のチャネル 0	SAU0 のチャネル 3
使用端子	SCL00, SDA00(注1)	SCL11, SDA11(注1)
割り込み	SAU0_IIC_TXRXI00	SAU0_IIC_TXRXI11
	転送終了割り込みのみ（バッファエンプティ割り込みは設定禁止）	
エラー検出フラグ	ACK エラー検出フラグ (SSRmn.PEF)	
転送データ長	8 ビット（上位 7 ビットをアドレス、下位 1 ビットを R/W 制御として指定し送信）	
転送速度(注2)	最高 $f_{MCK}/4$ [Hz] (SDRmn.STCLK[6:0] = 1 以上) f_{MCK} : 対象チャネルの動作クロック周波数ただし、I ² C の各モードにより、以下の条件を満たしてください。 ● 最高 1 MHz（ファーストモードプラス） ● 最高 400 kHz（ファーストモード） ● 最高 100 kHz（標準モード）	

表 19.99 簡易 I²C のアドレスフィールド送信の仕様 (2/2)

簡易 I ² C	IIC00	IIC11
データレベル	非反転出力（デフォルト：High レベル）	
パリティビット	パリティビットなし	
ストップビット	1 ビット付加（ACK 送受信タイミング用）	
データ方向	MSB ファースト	

注. m：ユニット番号 (m = 0)、n：チャネル番号 (n = 0~3)

注 1. 簡易 I²C による通信を行う場合は、ポート mn 端子機能選択レジスタ (PmnPFS_A) にて NMOS オープンドレイン出力モードを設定してください。詳細は、「15. I/O ポート」を参照してください。

注 2. この動作は、上記の条件および電気的特性で指定する周辺機能特性を満たす範囲内で使用してください。詳細は、「27. 電気的特性」を参照してください。

(1) レジスタ設定

簡易 I²C のアドレスフィールド送信に対するレジスタ内容の例を表 19.100～表 19.105 に示します。

(a) シリアルモードレジスタ mn (SMRmn)

表 19.100 簡易 I²C のアドレスフィールド送信に対するシリアルモードレジスタ mn (SMRmn) 内容例

ビット	シンボル	設定値	機能
0	MD0	0	チャネル n の割り込み要因 0: 転送終了割り込み
2:1	MD1[1:0]	10b	チャネル n の動作モードの設定 1 0: 簡易 I ² C モード
5:3	—	100b	設定無効（初期値に設定されます）
6	SIS0	0	簡易 I ² C モード時設定固定
7	—	0	設定無効（初期値に設定されます）
8	STS	0	スタートトリガ要因の選択 0: ソフトウェアトリガのみ有効（簡易 SPI、UART 送信、および簡易 I ² C 時に選択）
13:9	—	00000b	設定無効（初期値に設定されます）
14	CCS	0	チャネル n の転送クロック (f _{CLK}) の選択 0: CKS ビットで指定した動作クロック f _{MCK} の分周クロック
15	CKS	0/1	チャネル n の動作クロック (f _{MCK}) 0: SPSm レジスタで設定したプリスケアラ出カクロック CKm0 1: SPSm レジスタで設定したプリスケアラ出カクロック CKm1

(b) シリアル通信動作設定レジスタ mn (SCRmn)

表 19.101 簡易 I²C のアドレスフィールド送信に対するシリアル通信動作設定レジスタ mn (SCRmn) 内容例 (1/2)

ビット	シンボル	設定値	機能
1:0	DLS[1:0]	11b	データ長の設定 1 1: 8 ビットデータ長
3:2	—	01b	設定無効（初期値に設定されます）
5:4	SLC[1:0]	01b	ストップビットの設定 0 1: 1 ビットを付加 (ACK)
6	—	0	設定無効（初期値に設定されます）
7	DIR	0	このビットは簡易 SPI モードと UART モード用なので、簡易 I ² C モードでは固定
9:8	PTC[1:0]	00b	このビットは UART モード用なので、簡易 I ² C モードでは固定

表 19.101 簡易 I²C のアドレスフィールド送信に対するシリアル通信動作設定レジスタ mn (SCRmn) 内容例 (2/2)

ビット	シンボル	設定値	機能
10	EOC	0	このビットは UART 受信モード用なので、簡易 I ² C モードでは固定
11	—	0	設定無効（初期値に設定されます）
13:12	DCP[1:0]	00b	このビットは簡易 SPI モード用なので、簡易 I ² C モードでは固定
15:14	TRXE[1:0]	10b	TRXE[1:0] = 10b の設定は、簡易 I ² C アドレスフィールド送信で固定

(c) シリアルデータレジスタ mn (SDRmn)

表 19.102 簡易 I²C のアドレスフィールド送信に対するシリアルデータレジスタ mn (SDRmn) 内容例

ビット	シンボル	設定値	機能
7:0	DAT[7:0]	0x00 ～ 0xFF	スレーブアドレス + R/W (送信データの設定)
8	DAT[8]	0	0 固定
15:9	STCLK[6:0]	0x00 ～ 0x7F	ボーレート設定 (動作クロック (f _{MCK}) の分周設定)

(d) シリアル出力レジスタ m (SOm)

SOm.SO[n] ビットを操作して、スタートコンディションを生成します。

表 19.103 簡易 I²C のアドレスフィールド送信に対するシリアル出力レジスタ m (SOm) 内容例

ビット	シンボル	設定値	機能
n	SO[n]	0/1	チャンネル n のシリアルデータ出力 0: シリアルデータ出力値が 0 1: シリアルデータ出力値が 1
n+8	CKO[n]	0/1	クロック位相が非反転 (SCRmn.DCP[0] = 0) のときは 1 で通信開始します。クロック位相が反転 (SCRmn.DCP[0] = 1) のときは 0 で通信開始します

(e) シリアル出力許可レジスタ m (SOEm)

スタートコンディションを生成までは SOEm.SOE[n] = 0 とし、生成後は SOEm.SOE[n] = 1 とします。

表 19.104 簡易 I²C のアドレスフィールド送信に対するシリアル出力許可レジスタ m (SOEm) 内容例

ビット	シンボル	設定値	機能
n	SOE[n]	0/1	チャンネル n のシリアル出力許可または停止 0: シリアル通信動作による出力の停止 1: シリアル通信動作による出力許可

(f) シリアルチャンネル開始レジスタ m (SSm)

対象チャンネルのビットのみ 1 に設定してください。スタートコンディションを生成までは SSm.SS[n] = 0 とし、生成後は SSm.SS[n] = 1 とします。

表 19.105 簡易 I²C のアドレスフィールド送信に対するシリアルチャンネル開始レジスタ m (SSm) 内容例

ビット	シンボル	設定値	機能
n	SS[n]	0/1	チャンネル n の動作開始トリガ 0: トリガ動作なし 1: SEm.SE[n] ビットに 1 を設定し、チャンネルを通信待機状態にする

注. m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0～3)

注. 0/1 : ユーザの用途に応じて 0 または 1 に設定

(2) 動作手順

表 19.106 に、簡易 I²C におけるアドレスフィールド送信の初期設定手順を示します。

表 19.106 簡易 I²C におけるアドレスフィールド送信の初期設定手順

手順	処理	詳細
簡易 I ² C におけるアドレスフィールド送信の初期設定手順	<1>	初期設定開始
	<2>	SPSm レジスタの設定
	<3>	SMRmn レジスタの設定
	<4>	SCRmn レジスタの設定
	<5>	SDRmn レジスタの設定
	<6>	SOM レジスタの設定
	<7>	ポートの設定
	<8>	初期設定完了

注. m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0~3)

(3) 処理フロー

図 19.47 に、アドレスフィールド送信のタイミングを示します。

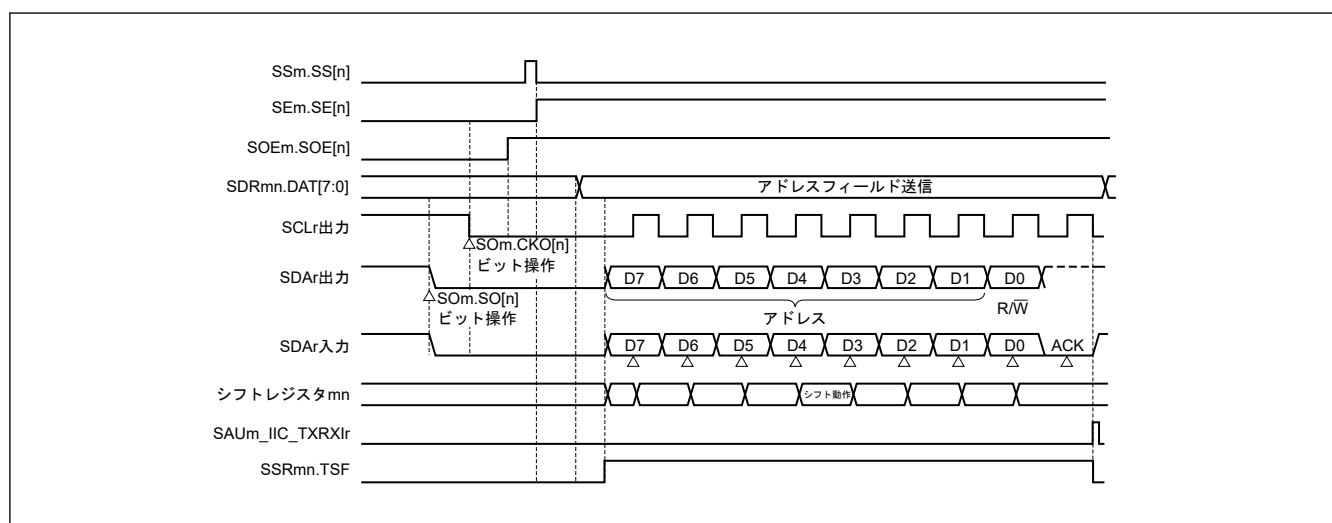


図 19.47 アドレスフィールド送信のタイミング

表 19.107 に、簡易 I²C におけるアドレスフィールド送信の手順を示します。

表 19.107 簡易 I²C におけるアドレスフィールド送信の手順

手順	処理	詳細
簡易 I ² C におけるアドレスフィールド送信の手順	<1>	アドレスフィールド送信
	<2>	初期設定
	<3>	S0m.SO[n]ビットに 0 を書き込む
	<4>	ウェイト
	<5>	S0m.CKO[n]ビットに 0 を書き込む
	<6>	S0Em.SOE[n]ビットに 1 を書き込む
	<7>	SSm.SS[n]ビットに 1 を書き込む
	<8>	SDRmn.DAT[7:0]ビットにアドレスと R/W のデータを書き込む
	<9>	転送終了割り込みが発生するまで待つ。
	<10>	ACK 応答を確認。 確認できた場合はステップ<11>に進む。 確認できなかった場合は通信エラー処理に進む
	<11>	アドレスフィールド送信完了
	<12>	データ送信フローおよびデータ受信フローに進む

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)

19.8.2 データ送信

データ送信は、アドレスフィールド送信後にその転送対象（スレーブ）にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は、ストップコンディションを生成し、バスを開放します。

表 19.108 に簡易 I²C のデータ送信の仕様を示します。

表 19.108 簡易 I²C のデータ送信の仕様

簡易 I ² C	IIC00	IIC11
対象チャネル	SAU0 のチャネル 0	SAU0 のチャネル 3
使用端子	SCL00, SDA00(注1)	SCL11, SDA11(注1)
割り込み	SAU0_IIC_TXRXI00	SAU0_IIC_TXRXI11
	転送終了割り込みのみ（パッファエンプティ割り込みは設定禁止。）	
エラー検出フラグ	ACK エラーフラグ (SSRmn.PEF)	
転送データ長	8 ビット	
転送速度(注2)	最高 $f_{MCK}/4$ [Hz] (SDRmn[15:9] = 1 以上) ただし、I ² C の各モードにより、以下の条件を満たしてください。 ● 最高 1 MHz（ファーストモードプラス） ● 最高 400 kHz（ファーストモード） ● 最高 100 kHz（標準モード）	
データレベル	非反転出力（デフォルト：High レベル）	
パリティビット	パリティビットなし	
ストップビット	1 ビット付加（ACK 受信タイミング用）	
データ方向	MSB ファースト	

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)、mn = 00~03

注. f_{MCK} : 対象チャネルの動作クロック周波数

注 1. 簡易 I²C による通信を行う場合は、ポート mn 端子機能選択レジスタ (PmnPFS_A) にて NMOS オープンドレイン出力モードを設定してください。詳細は、「15. I/O ポート」を参照してください。

注 2. この動作は、上記の条件および電気的特性で指定する周辺機能特性を満たす範囲内で使用してください。詳細は、「27. 電気的特性」を参照してください。

(1) レジスタ設定

簡易 I²C のデータ送信に対するレジスタ内容の例を表 19.109～表 19.114 に示します。

(a) シリアルモードレジスタ mn (SMRmn)

データ送受信中はこのレジスタを操作しないでください。

表 19.109 簡易 I²C のデータ送信に対するシリアルモードレジスタ mn (SMRmn) 内容例

ビット	シンボル	設定値	機能
0	MD0	0	チャンネル n の割り込み要因 0: 転送終了割り込み
2:1	MD1[1:0]	10b	チャンネル n の動作モードの設定 10: 簡易 I ² C モード
5:3	—	100b	設定無効 (初期値に設定されます)
6	SIS0	0	簡易 I ² C モード時設定固定
7	—	0	設定無効 (初期値に設定されます)
8	STS	0	スタートトリガ要因の選択 0: ソフトウェアトリガのみ有効 (簡易 SPI、UART 送信、および簡易 I ² C 時に選択)
13:9	—	00000b	設定無効 (初期値に設定されます)
14	CCS	0	チャンネル n の転送クロック (f _{TCLK}) の選択 0: CKS ビットで指定した動作クロック f _{MCK} の分周クロック
15	CKS	0/1	チャンネル n の動作クロック (f _{MCK}) 0: SPSm レジスタで設定したプリスケアラ出カクロック CKm0 1: SPSm レジスタで設定したプリスケアラ出カクロック CKm1

(b) シリアル通信動作設定レジスタ mn (SCRmn)

SCRmn.TRXE[1:0] ビット以外、データ送受信中はこのレジスタのビットを操作しないでください。

表 19.110 簡易 I²C のデータ送信に対するシリアル通信動作設定レジスタ mn (SCRmn) 内容例

ビット	シンボル	設定値	機能
1:0	DLS[1:0]	11b	データ長の設定 11: 8 ビットデータ長
3:2	—	01b	設定無効 (初期値に設定されます)
5:4	SLC[1:0]	01b	ストップビットの設定 01: 1 ビットを付加 (ACK)
6	—	0	設定無効 (初期値に設定されます)
7	DIR	0	このビットは簡易 SPI モードと UART モード用なので、簡易 I ² C モードでは固定
9:8	PTC[1:0]	00b	このビットは UART モード用なので、簡易 I ² C モードでは固定
10	EOC	0	このビットは UART 受信モード用なので、簡易 I ² C モードでは固定
11	—	0	設定無効 (初期値に設定されます)
13:12	DCP[1:0]	00b	このビットは簡易 SPI モード用なので、簡易 I ² C モードでは固定
15:14	TRXE[1:0]	10b	TRXE[1:0] = 10b の設定は、簡易 I ² C データ送信で固定

(c) シリアルデータレジスタ mn (SDRmn)

データ送受信中は下位 8 ビットのみ有効です。

表 19.111 簡易 I²C のデータ送信に対するシリアルデータレジスタ mn (SDRmn) 内容例

ビット	シンボル	設定値	機能
7:0	DAT[7:0]	0x00 ～ 0xFF	送信データ (送信データの設定)
8	DAT[8]	0	0 固定
15:9	STCLK[6:0]	0000000b ～ 1111111b	ボーレート設定 アドレスフィールドの送信で設定が完了しているので、以前と同じ値を設定してください。

(d) シリアル出力レジスタ m (SOm)

データ送受信中はこのレジスタを操作しないでください。

表 19.112 簡易 I²C のデータ送信に対するシリアル出力レジスタ m (SOm) 内容例

ビット	シンボル	設定値	機能
n	SO[n]	0/1	通信動作中は通信データにより値が変わります。
n+8	CKO[n]	0/1	通信動作中は通信データにより値が変わります。

(e) シリアル出力許可レジスタ m (SOEm)

データ送受信中はこのレジスタを操作しないでください。

表 19.113 簡易 I²C のデータ送信に対するシリアル出力許可レジスタ m (SOEm) 内容例

ビット	シンボル	設定値	機能
n	SOE[n]	1	チャンネル n のシリアル出力許可または停止 1: シリアル通信動作による出力許可

(f) シリアルチャンネル開始レジスタ m (SSm)

データ送受信中はこのレジスタを操作しないでください。

表 19.114 簡易 I²C のデータ送信に対するシリアルチャンネル開始レジスタ m (SSm) 内容例

ビット	シンボル	設定値	機能
n	SS[n]	0/1	チャンネル n の動作開始トリガ 0: トリガ動作なし 1: SEm.SE[n]ビットに 1 を設定し、チャンネルを通信待機状態にする

注. m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0～3)

注. 0/1 : ユーザの用途に応じて 0 または 1 に設定します。

(2) 処理フロー

図 19.48 に、データ送信のタイミングを示します。

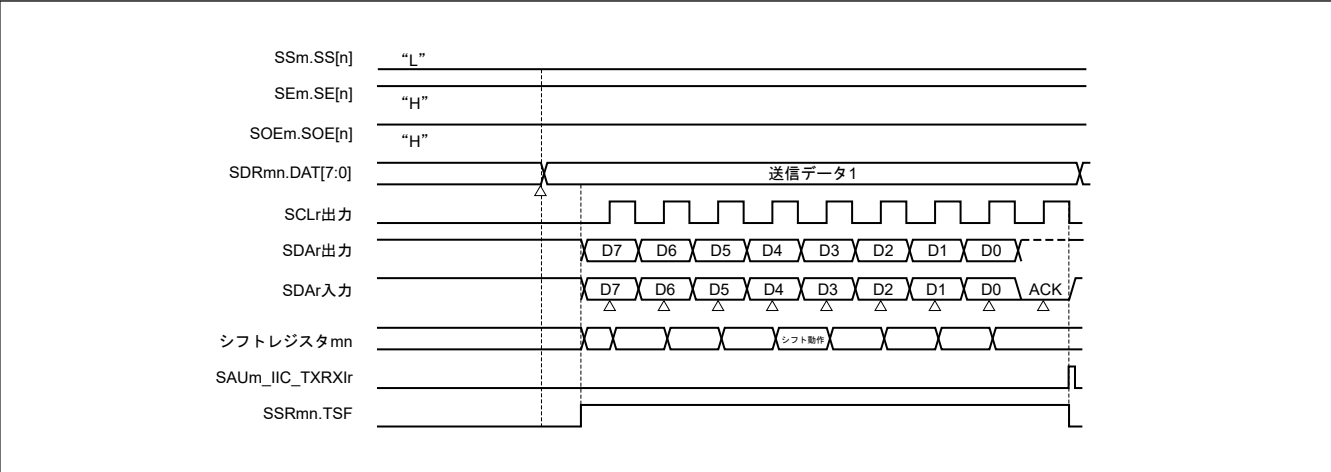


図 19.48 データ送信のタイミング

表 19.115 に、簡易 I²C におけるデータ送信の手順を示します。

表 19.115 簡易 I²C におけるデータ送信の手順

手順	処理	詳細
簡易 I ² C におけるデータ送信の手順	<1>	アドレスフィールド送信完了
	<2>	データ送信開始
	<3>	SDRmn.DAT[7:0]ビットにデータを書き込む
	<4>	転送終了割り込みが発生するまで待つ。
	<5>	ACK 応答を確認 確認できた場合はステップ<6>に進む。 確認できなかった場合は通信エラー処理に進む。
	<6>	データ転送が完了した場合はステップ<7>に進む。 完了していない場合はステップ<3>に進む。
	<7>	データ送信完了
	<8>	ストップコンディション生成

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)

19.8.3 データ受信

データ受信は、アドレスフィールド送信後にその転送対象（スレーブ）からデータを受信する動作です。対象スレーブからすべてのデータを受信した後は、ストップコンディションを生成し、バスを開放します。

表 19.116 に簡易 I²C のデータ受信の仕様を示します。

表 19.116 簡易 I²C のデータ受信の仕様 (1/2)

簡易 I ² C	IIC00	IIC11
対象チャネル	SAU0 のチャネル 0	SAU0 のチャネル 3
使用端子	SCL00, SDA00 ^(注1)	SCL11, SDA11 ^(注1)
割り込み	SAU0_IIC_TXRXI00	SAU0_IIC_TXRXI11
	転送終了割り込みのみ（バッファ空き割り込みは設定禁止）	
エラー検出フラグ	オーバーランエラー検出フラグ (SSRmn.OVF) のみ	
転送データ長	8 ビット	

表 19.116 簡易 I²C のデータ受信の仕様 (2/2)

簡易 I ² C	IIC00	IIC11
転送速度 ^(注2)	最大 $f_{MCK}/4$ [Hz] (SDRmn.STCLK[6:0] = 1 以上) ただし、I ² C の各モードにより、以下の条件を満たしてください。 - 最大 1 MHz (ファーストモードプラス) - 最大 400 kHz (ファーストモード) - 最大 100 kHz (標準モード)	
データレベル	非反転出力 (デフォルト: High レベル)	
パリティビット	パリティビットなし	
ストップビット	1 ビットを付加 (ACK 送信)	
データ方向	MSB ファースト	

注. m: ユニット番号 (m = 0)、n: チャンネル番号 (n = 0~3)

注. f_{MCK} : 対象チャンネルの動作クロック周波数

注 1. 簡易 I²C による通信を行う場合は、ポート mn 端子機能選択レジスタ (PmnPFS_A) にて NMOS 開放ドレイン出力モードを設定してください。詳細は、「15. I/O ポート」を参照してください。

注 2. この動作は、上記の条件および電気的特性で指定する周辺機能特性を満たす範囲内で使用してください。詳細は、「27. 電気的特性」を参照してください。

(1) レジスタ設定

簡易 I²C のデータ受信に対するレジスタ内容の例を表 19.117~表 19.122 に示します。

(a) シリアルモードレジスタ mn (SMRmn)

データ送受信中はこのレジスタを操作しないでください。

表 19.117 簡易 I²C のデータ受信に対するシリアルモードレジスタ mn (SMRmn) 内容例

ビット	シンボル	設定値	機能
0	MD0	0	チャンネル n の割り込み要因 0: 転送終了割り込み
2:1	MD1[1:0]	10b	チャンネル n の動作モードの設定 10: 簡易 I ² C モード
5:3	—	100b	設定無効 (初期値に設定されます)
6	SIS0	0	簡易 I ² C モード時設定固定
7	—	0	設定無効 (初期値に設定されます)
8	STS	0	スタートトリガ要因の選択 0: ソフトウェアトリガのみ有効 (簡易 SPI、UART 送信、および簡易 I ² C 時に選択)
13:9	—	00000b	設定無効 (初期値に設定されます)
14	CCS	0	チャンネル n の転送クロック (f_{TCLK}) の選択 0: CKSmn ビットで指定した動作クロック f_{MCK} の分周クロック
15	CKS	0/1	チャンネル n の動作クロック (f_{MCK}) 0: SPSm レジスタで設定したプリスケアラ出カクロック CKm0 1: SPSm レジスタで設定したプリスケアラ出カクロック CKm1

(b) シリアル通信動作設定レジスタ mn (SCRmn)

TRXEmn [1:0] ビット以外、データ送受信中はこのレジスタのビットを操作しないでください。

表 19.118 簡易 I²C のデータ受信に対するシリアル通信動作設定レジスタ mn (SCRmn) 内容例

ビット	シンボル	設定値	機能
1:0	DLS[1:0]	11b	データ長の設定 11: 8 ビットデータ長
3:2	—	01b	設定無効 (初期値に設定されます)
5:4	SLC[1:0]	01b	ストップビットの設定 01: 1 ビットを付加 (ACK)
6	—	0	設定無効 (初期値に設定されます)
7	DIR	0	このビットは簡易 SPI モードと UART モード用なので、簡易 I ² C モードでは固定
9:8	PTC[1:0]	00b	このビットは UART モード用なので、簡易 I ² C モードでは固定
10	EOC	0	このビットは UART 受信モード用なので、簡易 I ² C モードでは固定
11	—	0	設定無効 (初期値に設定されます)
13:12	DCP[1:0]	00b	このビットは簡易 SPI モード用なので、簡易 I ² C モードでは固定
15:14	TRXE[1:0]	01b	TRXE[1:0] = 01b の設定は、簡易 I ² C データ受信で固定

(c) シリアルデータレジスタ mn (SDRmn)

表 19.119 簡易 I²C のデータ受信に対するシリアルデータレジスタ mn (SDRmn) 内容例

ビット	シンボル	設定値	機能
7:0	DAT[7:0]	0xFF	受信データ (ダミー送信データ設定 0xFF)
8	DAT[8]	0	0 固定
15:9	STCLK[6:0]	0x00 ～ 0x7F	ポーレート設定 アドレスフィールドの送信で設定が完了しているので、以前と同じ値を設定してください。

(d) シリアル出力レジスタ m (SOm)

データ送受信中はこのレジスタを操作しないでください。

表 19.120 簡易 I²C のデータ受信に対するシリアル出力レジスタ m (SOm) 内容例

ビット	シンボル	設定値	機能
n	SO[n]	0/1	通信動作中は通信データにより値が変わります。
n+8	CKO[n]	0/1	通信動作中は通信データにより値が変わります。

(e) シリアル出力許可レジスタ m (SOEm)

データ送受信中はこのレジスタを操作しないでください。

表 19.121 簡易 I²C のデータ受信に対するシリアル出力許可レジスタ m (SOEm) 内容例

ビット	シンボル	設定値	機能
n	SOE[n]	0/1	チャネル n のシリアル出力許可または停止 0: シリアル通信動作による出力停止 1: シリアル通信動作による出力許可

(f) シリアルチャネル開始レジスタ m (SSm)

データ送受信中はこのレジスタを操作しないでください。

表 19.122 簡易 I²C のデータ受信に対するシリアルチャネル開始レジスタ m (SSm) 内容例

ビット	シンボル	設定値	機能
n	SS[n]	0/1	チャネル n の動作開始トリガ 0: トリガ動作なし 1: SEm.SE[n]ビットに 1 を設定し、チャネルを通信待機状態にする

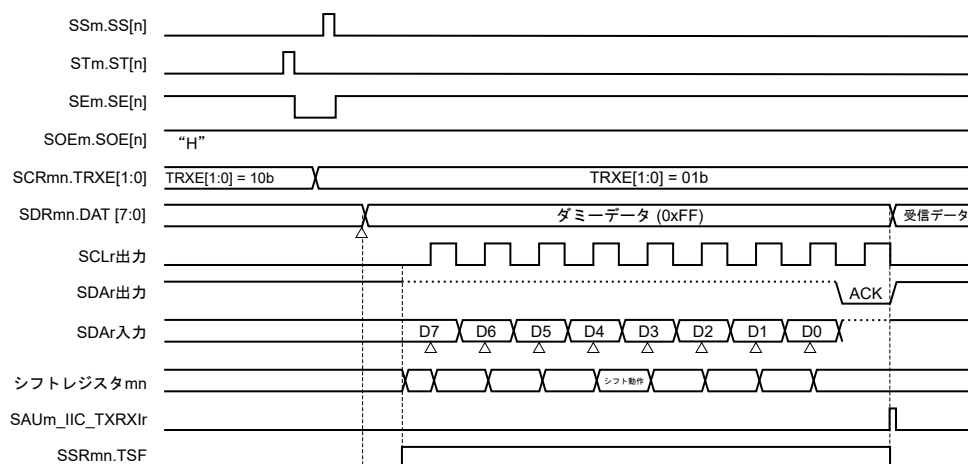
注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)

注. 0/1 : ユーザの用途に応じて 0 または 1 に設定

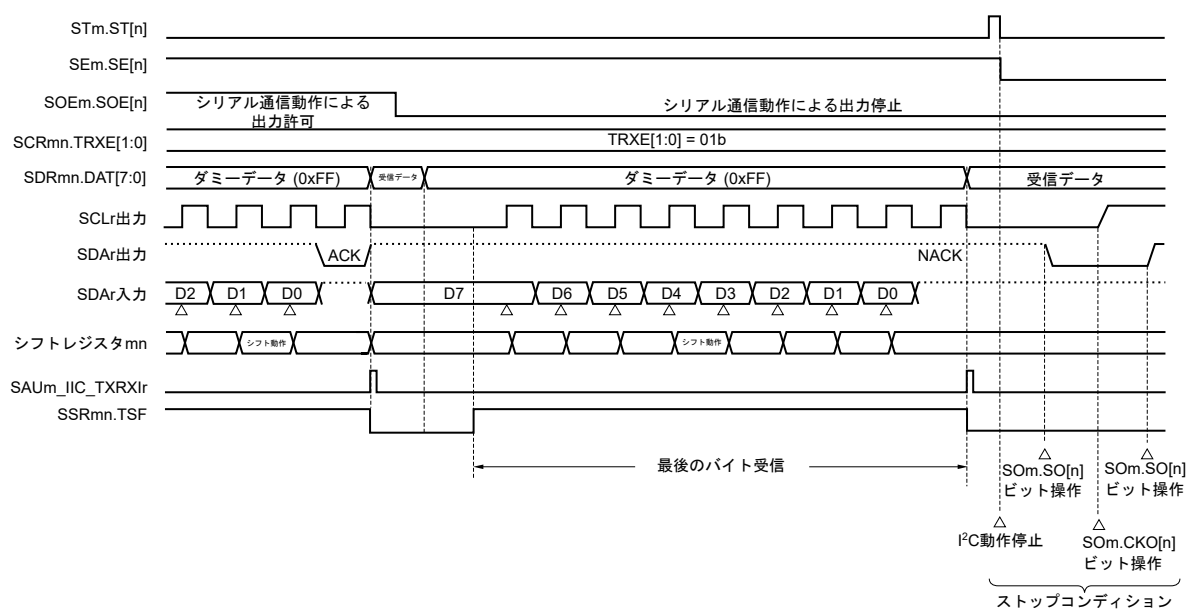
(2) 処理フロー

図 19.49 に、データ受信のタイミングを示します。

(a) データ受信開始時



(b) 最終データ受信時



注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)、r : IIC 番号 (r = 00, 11)

図 19.49 データ受信のタイミング

表 19.123 に、データ受信の手順を示します。

表 19.123 データ受信の手順

手順		処理	詳細
データ受信の手順	<1>	アドレスフィールド送信完了	—
	<2>	データ受信	—
	<3>	STm.ST[n]ビットに 1 を書き込む	SCRmn レジスタ書き換えのために動作を停止する。
	<4>	SCRmn.TRXE[1:0]ビットに 01b を書き込む	チャネルの動作モードを受信のみに設定する。
	<5>	SSm.SS[n]ビットに 1 を書き込む	動作再開
	<6>	最後のバイトを受信したかどうかを確認する 確認できた場合はステップ<7>に進む。 確認できない場合はステップ<8>に進む。	最後の受信データに ACK 応答しないように出力を禁止する。
	<7>	SOEm.SOE[n]ビットに 0 を書き込む	
	<8>	SDRmn.DAT[7:0]ビットにダミーデータ (0xFF) を書き込む	受信動作を起動する
	<9>	転送終了割り込みが発生したかどうかを確認する 確認できた場合はステップ<10>に進む。 確認できない場合はステップ<9>に進む。	受信完了を待つ。 割り込み要求フラグをクリアする。
	<10>	SDRmn.DAT[7:0]ビットを読み出す	受信データを読み出して、処理（RAM に格納等）を行う。
	<11>	データ転送が完了したかどうかを確認する 確認できた場合はステップ<12>へ 確認できない場合はステップ<6>へ	—
	<12>	データ受信完了	—
	<13>	ストップコンディション生成	—

注. 最終データの受信時は ACK を出力しません (NACK)。その後、シリアルチャネル停止レジスタ m (STm) の ST[n]ビットに 1 を設定して動作停止としてから、ストップコンディションを生成することにより通信完了します。

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)

19.8.4 ストップコンディションの生成

対象スレーブにすべてのデータを送信または対象スレーブからすべてのデータを受信した後は、ストップコンディションを生成し、バスを開放します。

(1) 処理フロー

図 19.50 に、ストップコンディション生成のタイミングを示します。

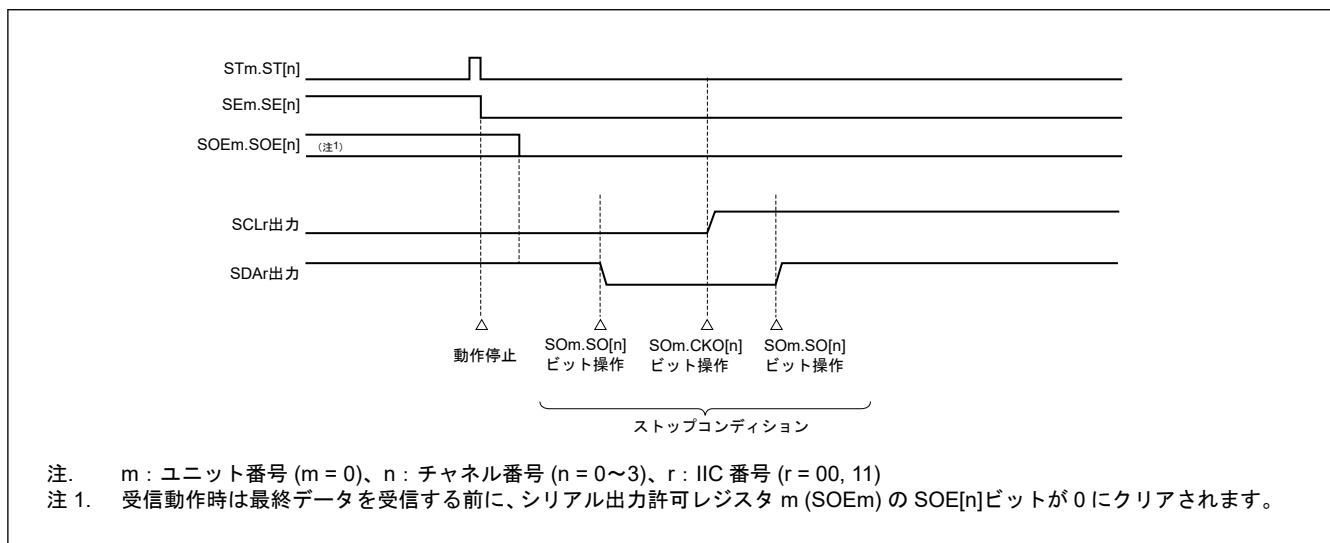


図 19.50 ストップコンディション生成のタイミング

表 19.124 に、ストップコンディション生成の手順を示します。

表 19.124 ストップコンディション生成の手順

手順	処理	詳細
ストップコンディション生成の手順	<1>	データ送信およびデータ受信完了
	<2>	ストップコンディション生成開始
	<3>	STm.ST[n]ビットに 1 を書き込む (SEm.SE[n]ビットは 0 にクリア)
	<4>	SOEm.SOE[n]ビットに 0 を書き込む
	<5>	SOM.SO[n]ビットに 0 を書き込む
	<6>	SOM.CKO[n]ビットに 1 を書き込む
	<7>	ウェイト
	<8>	SOM.SO[n]ビットに 1 を書き込む
	<9>	I ² C 通信終了

注. m: ユニット番号 (m = 0)、n: チャンネル番号 (n = 0~3)

19.8.5 転送速度の算出

簡易 I²C 通信での転送速度は下記の計算式にて算出できます。

$$(\text{転送速度}) = \{\text{対象チャンネルの動作クロック (f}_{\text{MCK}}\text{) 周波数}\} \div (\text{SDRmn.STCLK}[6:0] + 1) \div 2$$

注. SDRmn.STCLK[6:0] = 0x00 は設定禁止です。SDRmn.STCLK[6:0] = 0x01 以上に設定してください。

簡易 I²C の SCL 信号出力のデューティ比は 50%です。I²C バス規格では、SCL 信号の Low レベル幅が High レベル幅より長くなっています。このため、400 kbps (ファストモード) または 1 Mbps (ファストモードプラス) に設定すると、SCL 出力信号の Low レベル幅が I²C バスの規格値より短くなります。SDRmn.STCLK[6:0] には、この I²C バス規格を満たす値を設定してください。

注. m: ユニット番号 (m = 0)、n: チャンネル番号 (n = 0~3)

動作クロック (f_{MCK}) は、シリアルクロック選択レジスタ m (SPSm) とシリアルモードレジスタ mn (SMRmn) の CKS ビットで決まります。表 19.69 を参照してください。

表 19.125 に、f_{MCK} = PCLKB = 32 MHz とする I²C 転送速度の設定例を示します。

表 19.125 f_{MCK} = PCLKB = 32 MHz とする I²C 転送速度の設定例

I ² C 転送モード (希望転送速度)	PCLKB = 32 MHz			
	動作クロック (f _{MCK})	SDRmn.STCLK[6:0]	算出転送速度	希望転送速度との誤差
100 kHz	PCLKB/2	79	100 kHz	0.0%
400 kHz	PCLKB	41	380 kHz	5.0%(注1)
1 MHz	PCLKB	18	0.84 MHz	16.0%(注1)

注 1. SCL 信号がデューティ比 50%なので、誤差を 0%程度に設定することはできません。

19.8.6 簡易 I²C 通信時におけるエラー発生時の処理手順

I²C 通信時にエラーが発生した場合の処理手順を表 19.126 および表 19.127 に示します。

表 19.126 オーバーランエラーの処理手順 (1/2)

手順	ソフトウェア操作		ハードウェアの状態	備考
<1>	シリアルデータレジスタ mn (SDRmn) を読み出す。	→	SSRmn レジスタの BFF ビットが 0 となり、チャンネル n はデータ受信可能状態になる。	エラー処理中に次の受信を完了した場合にオーバーランエラーになるのを防ぐために行う。

表 19.126 オーバーランエラーの処理手順 (2/2)

手順	ソフトウェア操作		ハードウェアの状態	備考
<2>	シリアルステータスレジスタ mn (SSRmn) を読み出す。	→	—	エラーの種類の判別を行い、読み出し値はエラーフラグのクリアに使用する。
<3>	シリアルフラグクリアトリガレジスタ mn (SIRmn) に 1 を書き込む。		エラーフラグがクリアされる。	SSRmn レジスタの読み出し値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる。

表 19.127 簡易 I²C モード時の ACK エラー発生時の処理手順

手順	ソフトウェア操作		ハードウェアの状態	備考
<1>	シリアルステータスレジスタ mn (SSRmn) を読み出す。	→	—	エラーの種類の判別を行い、読み出し値はエラーフラグのクリアに使用する。
<2>	シリアルフラグクリアトリガレジスタ mn (SIRmn) に書き込む。		エラーフラグがクリアされる。	SSRmn レジスタの読み出し値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる。
<3>	シリアルチャネル停止レジスタ m (STm) の ST[n] ビットを 1 に設定する。	→	シリアルチャネル許可ステータスレジスタ m (SEm) の SE[n] ビットが 0 となり、チャネル n は動作停止状態になる。	ACK が返信されていないので、スレーブの受信準備ができていない。そのため、ストップコンディションを作成してバスを開放し、再度スタートコンディションから通信を開始する。もしくはリスタートコンディションを生成し、アドレス送信からやり直すことも可能。
<4>	ストップコンディションを作成する。		—	
<5>	スタートコンディションを作成する。		—	
<6>	シリアルチャネル開始レジスタ m (SSm) の SS[n] ビットを 1 に設定する。	→	シリアルチャネル許可ステータスレジスタ m (SEm) の SE[n] ビットが 1 となり、チャネル n は動作可能状態になる。	—

注. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~3)

20. I²C バスインタフェース (IICA)

20.1 概要

I²C バスインタフェースには次の 3 種類のモードがあります。

- 動作停止モード
- I²C バスモード (マルチマスタ対応)
- ウェイクアップモード

表 20.1 に、I²C バスインタフェースの仕様を示します。

表 20.1 I²C の仕様 (1/2)

項目	仕様
通信フォーマット	● I²C バスフォーマット ● マスタモードまたはスレーブモードを選択可能 ● 転送速度に応じたセットアップ時間、ホールド時間、およびバスフリー時間を自動確保
転送速度	● 標準モード (~100 kbps) ● ファストモード対応 (~400 kbps) ● ファストモードプラス対応 (~1 Mbps)
SCL クロック	マスタ動作時、SCLA0 クロックのデューティ比を選択可能
コンディション発行とコンディション検出	● スタートコンディション、リスタートコンディション、およびストップコンディションの自動生成 ● スタートコンディション (リスタートコンディション含む) とストップコンディションの検出が可能
スレーブアドレス	7 ビットおよび 10 ビットアドレスフォーマットに対応 (同時使用可能)
アクノリッジ応答	● 受信側は 8 ビットデータを受信するたびに ACK を返す ● 送信側は通常 8 ビットデータ送信後に ACK を受け取る ● データ受信時の ACK 生成方法は、以下に示すようにクロックストレッチのタイミング設定によって異なる – 第 8 サイクルでクロックストレッチが挿入される場合: クロックストレッチ状態を解除する前に IICCTL00.ACKE ビットを 1 にすると、SCLA0 端子の第 8 クロックサイクルの立ち下がりエッジで ACK が生成される – 第 9 サイクルでクロックストレッチが挿入される場合: あらかじめ IICCTL00.ACKE ビットを 1 にしている場合に ACK が生成される
ウェイト機能 (クロックストレッチ)	受信時、SCLA0 クロックの Low ホールドによる下記期間のウェイトが可能 ● 第 8 クロックサイクルと第 9 クロックサイクルの間をウェイト ● 第 9 クロックサイクルと次転送の第 1 クロックサイクルの間をウェイト
アービトレーション	● 複数のマスタデバイスが同時にスタートコンディションを生成した場合、各マスタデバイス間の通信は、データが変化する前のクロック数が長いマスタデバイスである ● アービトレーションロストが発生したとき、そのマスタデバイスの SCLA0 ラインと SDAA0 ラインの両方がハイインピーダンスになり、バスが解放される ● アービトレーションロストは、次の割り込み要求のタイミングでソフトウェアが「IICS0.ALD = 1」を確認することで検出される
ノイズ除去	SCLA0 信号と SDAA0 信号用のデジタルノイズフィルタ
割り込み要因 (IICA0_TXRXI)	● 自局アドレスを受信する ● 全アドレス一致機能が有効のときに自局以外アドレスを受信する ● 拡張コードを受信する ● ストップコンディションを検出する
モジュールストップ機能	モジュールストップ状態の設定が可能
IIC の動作モード	● マスタ送信 ● マスタ受信 ● スレーブ送信 ● スレーブ受信
イベントリンク機能 (出力)	● 自局アドレスを受信する ● 全アドレス一致機能が有効のときに自局以外アドレスを受信する ● 拡張コードを受信する ● ストップコンディションを検出する

表 20.1 I²C の仕様 (2/2)

項目	仕様
ウェイクアップ機能	CPU はウェイクアップイベントを使用して、ソフトウェアスタンバイモードおよびスリープモードから復帰可能

図 20.1 に、I²C バスインタフェースのブロック図を示します。

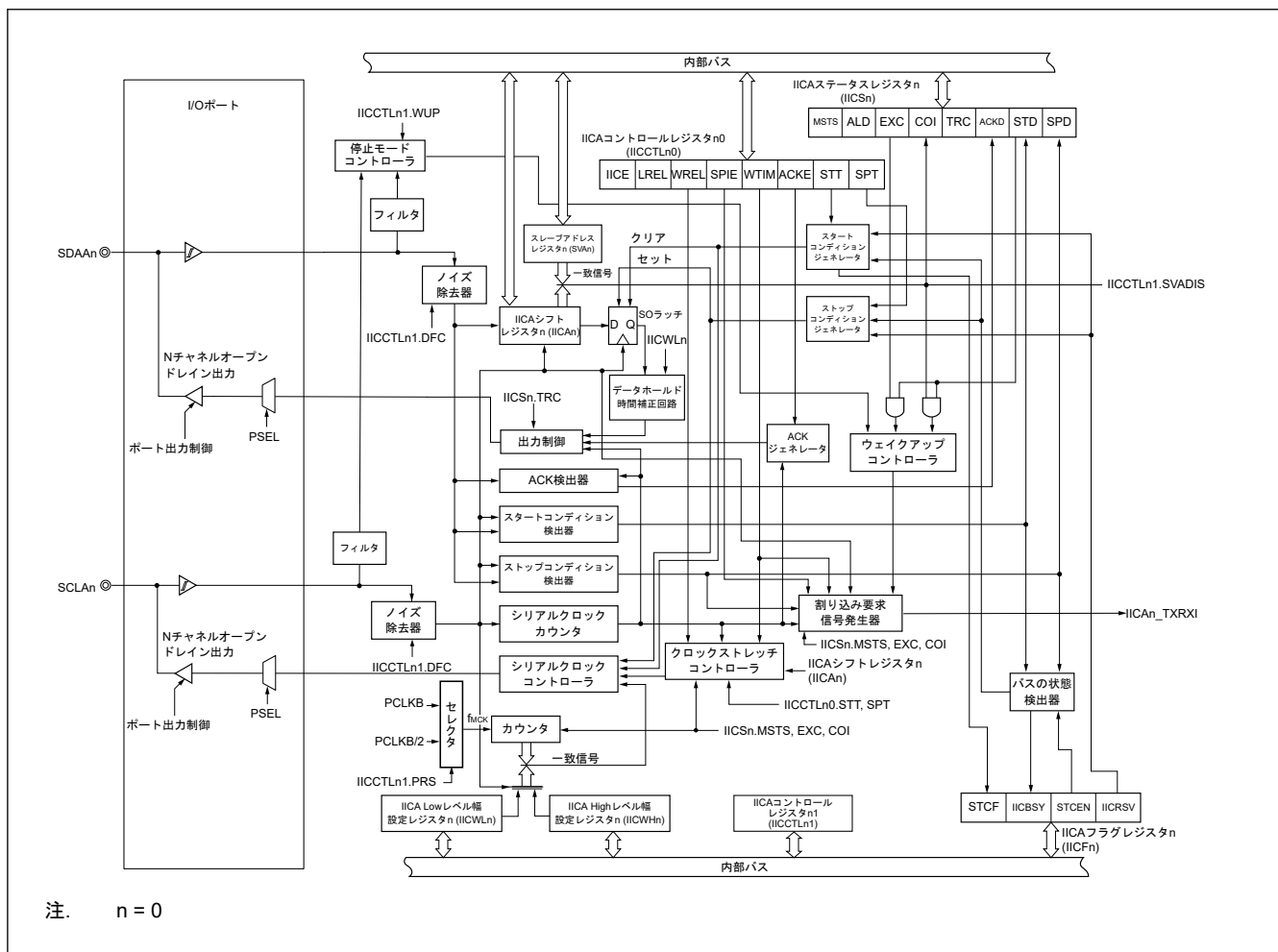


図 20.1 ^{12}C バスインタフェースのブロック図

(1) 動作停止モード

本モードは、シリアル転送が行われていない時に使用されます。本モードでは動作電力を低減することができます。

(2) I²C バスモード (マルチマスタ対応)

本モードは、複数デバイスによるシリアルクロック (SCLA0) ラインとシリアルデータバス (SDAA0) ラインを使用した、8 ビットデータ転送に使用されます。

本モードは、I²C バスフォーマットに準拠します。マスタモードでは、シリアルデータバスを通じてマスタデバイスからスレーブデバイスへ、スタートコンディション、アドレス、転送方向、アクノリッジ (ACK)、データ、およびストップコンディションを送信することができます。スレーブモードでは、ハードウェアがこれらの状態およびデータを自動的に検出します。本機能は I²C バスを制御するアプリケーションプログラムの一部を単純化することができます。

SCLA0 端子と SDAA0 端子はオープンドレイン出力に使用されるため、I²C バスインタフェース (IICA) には、シリアルクロックライン用とシリアルデータバスライン用のプルアップ抵抗が必要です。

(3) ウェイクアップモード

ソフトウェアスタンバイモード時、マスタデバイスからの拡張コードまたは自局アドレスが受信されている場合、割り込み要求信号 (IICA0_TXRXI) を発生させることでソフトウェアスタンバイモードを解除することができます。これは IICA コントロールレジスタ 01 (IICCTL01) の WUP ビットで設定できます。

IICCTL01 レジスタの SVADIS ビットを 1 にすると全アドレス一致機能が有効になり、いずれの受信アドレスも一致アドレスとみなすことが可能になります。

(4) SO ラッチ

SO ラッチは、SDAA0 端子の出力レベルを保持するために使用されます。

(5) ウェイクアップ制御回路

本回路は、特定の条件で割り込み要求信号 (IICA0_TXRXI) を発生させます。本回路が当該信号を発生させるのは、受信したアドレス値がスレーブアドレスレジスタ 0 (SVA0) に設定したアドレス値と一致した時、全アドレス一致機能が有効で何らかのアドレスを受信した時、または拡張コードを受信した時です。

(6) シリアルクロックカウンタ

本カウンタは、送信／受信動作中に出力または入力されるシリアルクロックのサイクル数を数えます。8 ビットデータが送信または受信されたことを確認するために使用されます。

(7) 割り込み要求信号発生回路

本回路は、割り込み要求信号 (IICA0_TXRXI) の発生を制御します。I²C 割り込み要求は次の 2 種類のトリガによって発生します。

- シリアルクロックの第 8 または第 9 サイクルのどちらか (IICCTL00.WTIM ビットで設定) の立ち下がりエッジ
- ストップコンディション検出時に発生する割り込み要求 (IICCTL00.SPIE ビットで設定)

(8) シリアルクロック制御回路

本回路は、マスタモードでシリアルクロックを生成します。シリアルクロックは SCLA0 端子に出力されます。

(9) クロックストレッチ制御回路

本回路は、クロックストレッチのタイミングを制御します。

(10) ACK 生成回路、ストップコンディション検出回路、スタートコンディション検出回路、および ACK 検出回路

本回路は、各種状態の生成や検出を行います。

(11) データホールド時間補正回路

本回路は、シリアルクロックの立ち下がりエッジ後のデータのホールド時間を生成します。

(12) スタートコンディション生成回路

本回路は、IICCTL00.STT ビットが 1 になった時にスタートコンディションを生成します。ただし、通信予約が禁止 (IICF0.IICRSV = 1) され、バスがビジー (IICF0.IICBSY = 1) の場合、スタートコンディション要求は無視され、IICF0.STCF ビットが 1 になります。

(13) ストップコンディション生成回路

本回路は、IICCTL00.SPT ビットが 1 になった時にストップコンディションを生成します。

(14) バス状態検出回路

本回路は、スタートコンディションまたはストップコンディションを検出することでバスが解放されているか否かを検出します。ただし、IICA の動作を許可した直後のバス状態は検出できないため、初期状態は IICF0.STCEN ビットで設定します。

図 20.2 に、I²C バスを使用したシリアルバス構成例を示します。

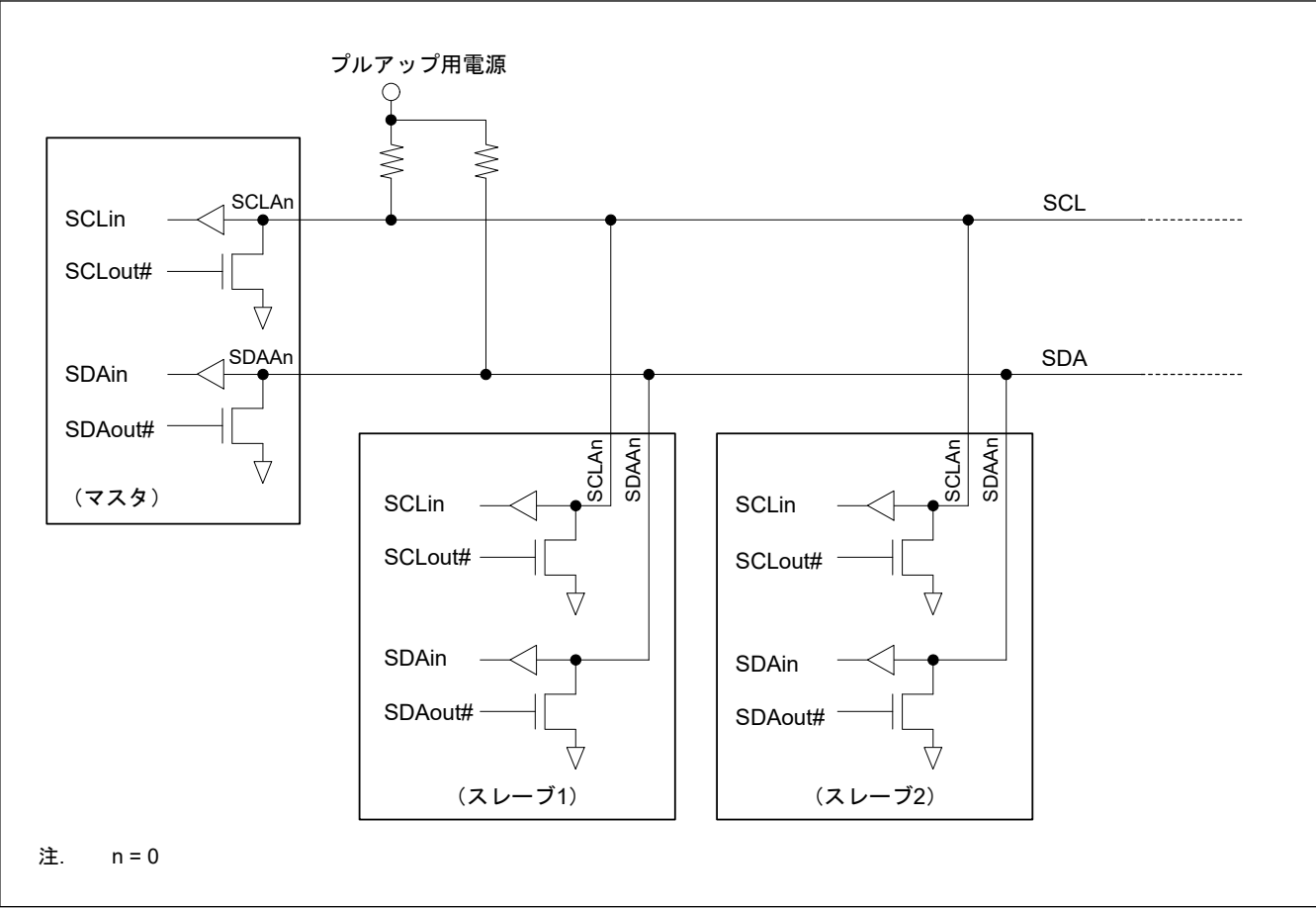


図 20.2 I²C バスを使用したシリアルバス構成例

20.2 レジスタの説明

20.2.1 IICA0 : IICA シフトレジスタ 0

Base address: IICA = 0x400A_3000							
Offset address: 0x0000							
Bit position:	7	6	5	4	3	2	1 0
Bit field:							
Value after reset:	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	n/a	ユニット 0 の IICA 用の 8 ビット送信／受信データ	R/W

IICA0 レジスタは、シリアルクロックと同期して 8 ビットのシリアルデータを 8 ビットのパラレルデータに（およびその逆方向に）変換するために使用されます。IICA0 レジスタは、送信と受信の両方に使用できます。

実際の送受信動作は IICA0 レジスタへの書き込みまたは IICA0 レジスタからの読み出しで制御できます。クロックストレッチ期間に IICA0 レジスタにデータを書き込むことで I²C バスインタフェース (IICA) のクロックストレッチ状態を解除しデータ転送を開始してください。

データ転送中は IICA0 レジスタにデータを書き込まないでください。

IICA0 レジスタとの書き込みまたは読み出しは、クロックストレッチ期間にのみ行ってください。クロックストレッチ期間以外に通信状態の IICA0 レジスタにアクセスすることは禁止されています。ただし、デバイスがマスターモードとして動作している場合は、通信トリガビット (IICCTL00.STT) を 1 にした後に IICA0 レジスタに 1 回だけ書き込むことができます。

通信が予約されている場合は、ストップコンディションによってトリガされた割り込みが検出された後に IICA0 レジスタにデータを書き込みます。

20.2.2 SVA0 : スレーブアドレスレジスタ 0

Base address: IICA = 0x400A_3000

Offset address: 0x0104

Bit position:	7	6	5	4	3	2	1	0
Bit field:	A[6:0]							—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:1	A[6:0]	ユニット 0 のスレーブモード時の 7 ビット自局アドレス	R/W

このレジスタは、スレーブモード時の自局アドレスの 7 ビット (A[6:0]) を保持します。

このレジスタを IICS0.STD = 1 の間 (スタートコンディションが検出されている間) に書き換えることは禁止されています。

20.2.3 IICCTL00 : IICA コントロールレジスタ 00

Base address: IICA = 0x400A_3000

Offset address: 0x0100

Bit position:	7	6	5	4	3	2	1	0
Bit field:	IICE	LREL	WREL	SPIE	WTIM	ACKE	STT	SPT
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SPT(注1)	ストップコンディショントリガ 0: ストップコンディションを生成しない。 1: ストップコンディションを生成する (マスタデバイスとしての転送の終了)	R/W
1	STT(注2) (注3)	スタートコンディショントリガ 0: スタートコンディションを生成しない。 1: バス解放時 (IICF0.IICBSY = 0 のときは通信スタンバイ状態): このビットが 1 であればスタートコンディションが生成されます (マスタモードとして起動)。 第三者が通信している場合: - 通信予約機能が有効 (IICF0.IICRSV = 0) の場合 スタートコンディション予約フラグとして機能しています。このビットが 1 のとき、バス解放後、スタートコンディションが自動的に生成されます。 - 通信予約機能が無効 (IICF0.IICRSV = 1) の場合 このビットが 1 でも、STT ビットは 0 になり、STT クリアフラグ (IICF0.STCF) は 1 になります。スタートコンディションは生成されません。 クロックストレッチ状態の場合 (マスタデバイスの場合): クロックストレッチ状態の解除後にリスタートコンディションが生成されます。	R/W
2	ACKE(注4) (注5)	アクノリッジ制御 0: アクノリッジを禁止する。 1: アクノリッジを許可する。第 9 クロック期間中に、SDAA0 ラインは Low レベルとなる。	R/W

ビット	シンボル	機能	R/W
3	WTIM ^(注4)	クロックストレッチの制御と割り込み要求の発生 0: 第 8 クロックサイクルの立ち下がりエッジで割り込み要求発生。 マスタモード：クロックパルスが 8 つ出力された後、クロック出力は Low レベルとなり、クロックストレッチが設定される。 スレーブモード：クロックパルスが 8 つ入力された後、クロックは Low レベルとなり、マスタデバイスにクロックストレッチが設定される。 1: 第 9 クロックサイクルの立ち下がりエッジで割り込み要求発生。 マスタモード：クロックパルスが 9 つ出力された後、クロック出力は Low レベルとなり、クロックストレッチが設定される。 スレーブモード：クロックパルスが 9 つ入力された後、クロックは Low レベルとなり、マスタデバイスにクロックストレッチが設定される。	R/W
4	SPIE ^(注6)	ストップコンディション検出時の割り込み要求の発生の許可／禁止 0: 禁止 1: 許可	R/W
5	WREL ^{(注6) (注7)}	クロックストレッチ状態の解除 0: インタフェースのクロックストレッチ状態は解除されない。 1: インタフェースのクロックストレッチ状態は解除される。クロックストレッチ状態の解除後、このビットは自動的に 0 になる。	R/W
6	LREL ^{(注6) (注7)}	通信終了 0: 通常動作 1: IICA は現在の通信を終了し、通信スタンバイ状態に入る。実行後、本設定は自動的に 0 になる。 このビットは、自局に無関係な拡張コードを受信した場合などに使用されます。SCLA0 ラインと SDAA0 ラインはハイインピーダンスとなります。 IICA コントロールレジスタ 00 (IICCTL00) と IICA ステータスレジスタ 0 (IICS0) の以下の各フラグは 0 になります。 • IICCTL00.STT • IICCTL00.SPT • IICS0.MSTS • IICS0.EXC • IICS0.COI • IICS0.TRC • IICS0.ACKD • IICS0.STD	R/W
7	IICE	I ² C 動作許可 0: 動作を停止する。IICA ステータスレジスタ 0 (IICS0) をリセットする ^(注8) 。内部動作を停止する。 1: 動作を許可する。	R/W

注 1. SPT ビットは読むと常に 0 が読めます。

注 2. IICE が 0 のときはこのビットの信号は無効になります。

注 3. STT ビットは読むと常に 0 が読めます。

注 4. IICE が 0 のときはこのビットの信号は無効になります。このビットはこの期間に設定してください。

注 5. コードが拡張コード以外の場合または全アドレス一致機能が無効の場合、アドレス転送時の設定値は無効です。デバイスがスレーブモードとして動作し、アドレスが一致する場合、設定値に関わらずアクノリッジが発生します。

注 6. IICE の設定が 0 のとき、このビットの設定は無効となります。

注 7. LREL ビットと WREL ビットを読み出すと常に 0 が返されます。

注 8. IICA ステータスレジスタ 0 (IICS0)、IICA フラグレジスタ 0 (IICF0) の STCF ビットと IICBSY ビット、および IICA コントロールレジスタ 01 (IICCTL01) の CLD ビットと DAD ビットはリセットされます。

このビットで行えるのは、I²C 動作の許可／禁止の制御、クロックストレッチのタイミング設定、およびその他の I²C 動作の設定です。

なお、SPIE、WTIM、ACKE の各ビットを 1 にする時は、IICE の設定が 0 であること、または本モジュールがクロックストレッチ状態にあることを確認してください。IICE ビットを 1 にする時に、これらの各ビットを同時に 1 にすることができます。

IICA ステータスレジスタ 0 (IICS0) の TRC ビットが 1 (送信状態) のとき、第 9 クロックサイクルで IICA コントロールレジスタ 00 (IICCTL00) の WREL ビットが 1 になり、インタフェースのクロックストレッチ状態は解除されます。その後、IICS0.TRC ビットが 0 (受信状態) になり、SDAA0 ラインはハイインピーダンス状態となります。IICS0.TRC ビットが 1 (送信状態) のときに、IICA シフトレジスタ 0 (IICA0) への書き込みにより、インタフェースのクロックストレッチ状態を解除してください。

SCLA0 ラインが High レベル、SDAA0 ラインが Low レベル、かつデジタルフィルタが ON (IICCTL01 レジスタの DFC ビットが 1) のときに I²C の動作が許可 (IICE = 1) されると、意図しないスタートコンディションが即座に検出されます。この場合は、I²C 動作を許可 (IICE = 1) した後に LREL ビットを 1 にしてください。

SPT ビット (ストップコンディショントリガ)

設定タイミングに関する注意

- マスタ受信について：転送時にこのビットを 1 にすることはできません。
ACKE ビットを 0 にしてスレーブデバイスに最終受信であることを伝えた後、クロックストレッチ期間中にのみこのビットを 1 にできます。
- マスタ送信について：アクノリッジ期間中は、ストップコンディションを正しく生成できないことがあります。
このため、第 9 クロックサイクル出力後のクロックストレッチ期間に 1 にしてください。
- このビットはスタートコンディショントリガ (STT) と同時に 1 にすることはできません。
- SPT ビットを 1 にすることができるのはマスタモードのときだけです。
- WTIM ビットが 0 のとき、クロックパルスが 8 つ出力された後のクロックストレッチ期間に SPT ビットを 1 にする際は、クロックストレッチ状態解除後、High レベルの第 9 クロックサイクルでストップコンディションが生成されることに注意してください。クロックパルスが 8 つ出力された後のクロックストレッチ期間に WTIM ビットを 0 から 1 に変更し、第 9 クロックサイクル出力後のクロックストレッチ期間に SPT ビットを 1 にしてください。
- SPT が 1 に設定された後、クリア条件が満たされる前に、それを再び 1 に設定することは許可されません。

0 になる (SPT = 0) 条件

- アービトレーションロストによってクリアされた
- ストップコンディション検出後、自動的にクリアされた
- LREL を 1 (通信終了) にすることでクリアされた
- IICE が 0 (動作停止)
- リセットが発生した

1 になる (SPT = 1) 条件

- 命令によって 1 が設定された

注. SPT ビットの読み出し値は常に 0 です。

STT ビット (スタートコンディショントリガ)

設定タイミングに関する注意

- マスタ受信について：転送時にこのビットを 1 にすることはできません。
ACKE ビットを 0 にしてスレーブデバイスに最終受信であることを伝えた後、クロックストレッチ期間中にのみこのビットを 1 にできます。
- マスタ送信について：アクノリッジ期間中は、スタートコンディションを正しく生成できないことがあります。
第 9 クロックサイクル出力後のクロックストレッチ期間に 1 にしてください。
- このビットはストップコンディショントリガ (SPT) と同時に 1 にすることはできません。
- STT を 1 にした場合は、クリア条件が満足する前に再び 1 にすることは禁止です。

0 になる (STT = 0) 条件

- 通信予約が禁止されているときに STT ビットを 1 にすることでクリアされた
- アービトレーションロストによってクリアされた
- マスタデバイスによるスタートコンディション生成後にクリアされた
- LREL を 1 (通信終了) にすることでクリアされた

- IICE が 0 (動作停止)
- リセットが発生した

1 になる (STT = 1) 条件

- 命令によって 1 が設定された

ACKE ビット (アクノリッジ制御)

0 になる (ACKE = 0) 条件

- 命令によってクリアされた
- リセットが発生した

1 になる (ACKE = 1) 条件

- 命令によって 1 が設定された

WTIM ビット (クロックストレッチの制御と割り込み要求の発生)

このビットの設定に関わらず、アドレス転送時、第 9 クロックサイクルの立ち下がりエッジで割り込みが発生します。アドレス転送が完了するとこのビットの設定が有効になります。マスタモードでは、アドレス転送時、第 9 クロックサイクルの立ち下がりエッジでクロックストレッチが挿入されます。スレーブモードで自局アドレスを受信した場合、アクノリッジ (ACK) 発行後に第 9 クロックサイクルの立ち下がりエッジでクロックストレッチが挿入されます。ただし、スレーブモードで拡張コードを受信した場合、第 8 クロックサイクルの立ち下がりエッジでクロックストレッチが挿入されます。全アドレス一致機能が有効のときに自局以外アドレスを受信した場合は、第 8 クロックサイクルの立ち下がりエッジでクロックストレッチが挿入されます。

0 になる (WTIM = 0) 条件

- 命令によってクリアされた
- リセットが発生した

1 になる (WTIM = 1) 条件

- 命令によって 1 が設定された

SPIE ビット (ストップコンディション検出時の割り込み要求の発生の許可/禁止)

IICA コントロールレジスタ 01 (IICCTL01) の WUP ビットが 1 の場合は、SPIE ビットが 1 でもストップコンディション割り込みは発生しません。

0 になる (SPIE = 0) 条件

- 命令によってクリアされた
- リセットが発生した

1 になる (SPIE = 1) 条件

- 命令によって 1 が設定された

WREL ビット (クロックストレッチ状態の解除)

送信状態 (IICS0.TRC = 1) で第 9 クロックパルスのクロックストレッチ期間に (クロックストレッチ状態を解除するために) WREL ビットを 1 にすると、SDAA0 ラインはハイインピーダンス状態 (IICS0.TRC = 0) となります。

0 になる (WREL = 0) 条件

- 実行後、自動的にクリアされた
- リセットが発生した

1 になる (WREL = 1) 条件

- 命令によって 1 が設定された

LREL ビット (通信終了)

通信が終了した後は、下記の通信遷移条件が満たされるまで通信スタンバイ状態のままとなります。

- ストップコンディション検出後にマスタモードで再起動します。
- スタートコンディション検出後、アドレス一致、拡張コード受信、または全アドレス一致機能有効時のアドレス受信が発生します。

0 になる (LREL = 0) 条件

- 実行後、自動的にクリアされた
- リセットが発生した

1 になる (LREL = 1) 条件

- 命令によって 1 が設定された

IICE ビット (I²C 動作許可)

SCLA0 ラインと SDAA0 ラインが High レベルのときにこのビットを 1 にしてください。

0 になる (IICE = 0) 条件

- 命令によってクリアされた
- リセットが発生した

1 になる (IICE = 1) 条件

- 命令によって 1 が設定された

20.2.4 IICS0 : IICA ステータスレジスタ 0

Base address: IICA = 0x400A_3000

Offset address: 0x0001

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MSTS	ALD	EXC	COI	TRC	ACKD	STD	SPD

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	SPD	ストップコンディションの検出 0: ストップコンディションは検出されなかった。 1: ストップコンディションが検出された。マスタデバイスの通信は終了しバスは解放される。	R
1	STD	スタートコンディションの検出 0: スタートコンディションは検出されなかった。 1: スタートコンディションが検出された。アドレス転送周期が有効であることを示す。	R
2	ACKD	アクノリッジ (ACK) の検出 0: アクノリッジは検出されなかった。 1: アクノリッジが検出された。	R
3	TRC	送信／受信ステータスの検出 0: 受信ステータス (送信ステータス以外)。SDAA0 ラインがハイインピーダンスに設定されます。 1: 送信ステータス。SDAA0 ラインへの出力のために SOn ラッチ内の値がイネーブルになります (先頭バイトの第 9 クロックの立ち下がりがエッジから有効になります)。	R
4	COI	アドレス一致の検出 0: アドレス不一致。 1: アドレス一致。または、全アドレス一致機能が有効。	R

ビット	シンボル	機能	R/W
5	EXC	拡張コード受信の検出 0: 拡張コードは受信されなかった。 1: 拡張コードが受信された。または、全アドレス一致機能が有効。	R
6	ALD	アービトレーションロストの検出 0: アービトレーションが行われなかったか、またはアービトレーションによって使用権を獲得したことを意味するステータス。 1: アービトレーションによって使用権を獲得できなかったことを意味するステータス。MSTS ビットはクリアされる。	R
7	MSTS	マスタステータス確認フラグ 0: スレーブモードステータスまたは通信スタンバイステータス 1: マスタモード通信ステータス	R

本レジスタは I²C の状態を示します。

IICS0 レジスタから読み出しを行えるのは、IICCTL00.STT が 1 のとき、または本モジュールがクロックストレッチ状態に置かれているときだけです。

ソフトウェアスタンバイモードでアドレス一致ウェイクアップ機能が有効のとき (IICCTL01.WUP = 1) に IICS0 レジスタの読み出しを行うことは禁止です。IICCTL01.WUP ビットが 1 から 0 に変更されると (ウェイクアップ動作が停止される)、IICA0_TXRXI 割り込み要求信号には関係なく、ステータスの変更は、次のスタートコンディションまたはストップコンディションが検出されるまで反映されません。ウェイクアップ機能を使用するには、ストップコンディションを検出することによって生成される割り込みを許可し (SPIE = 1)、その割り込みが検出された後に IICS0 レジスタを読み出します。

SPD ビット (ストップコンディションの検出)

0 になる (SPD = 0) 条件

- このビットを設定しスタートコンディションを検出した後に、アドレス転送バイトの第 1 クロックサイクルの立ち上がりエッジを検出した
- IICCTL01.WUP ビットが 1 から 0 に変わった
- IICCTL00.IICE ビットが 1 から 0 に変わった (動作停止)
- リセットが発生した

1 になる (SPD = 1) 条件

- ストップコンディションを検出した

STD ビット (スタートコンディションの検出)

0 になる (STD = 0) 条件

- ストップコンディションを検出した
- アドレス転送後に次バイトの第 1 クロックサイクルの立ち上がりエッジを検出した
- IICCTL00.LREL = 1 によってクリアされた (通信終了)
- IICCTL00.IICE ビットが 1 から 0 に変わった (動作停止)
- リセットが発生した

1 になる (STD = 1) 条件

- スタートコンディションを検出した

ACKD ビット (アクノリッジ (ACK) の検出)

0 になる (ACKD = 0) 条件

- ストップコンディションを検出した
- 次バイトの第 1 クロックサイクルの立ち上がりエッジを検出した
- IICCTL00.LREL = 1 によってクリアされた (通信終了)

- IICCTL00.IICE ビットが 1 から 0 に変わった (動作停止)
- リセットが発生した

1 になる (ACKD = 1) 条件

- SCLA0 ラインの第 9 クロックの立ち上がりエッジで SDAA0 ラインが Low レベルに設定された後

TRC ビット (送信／受信ステータスの検出)

0 になる (TRC = 0) 条件

<マスタモードとスレーブモードに共通>

- ストップコンディションを検出した
- IICCTL00.LREL = 1 によってクリアされた (通信終了)
- IICCTL00.IICE ビットが 1 から 0 に変わった (動作停止)
- IICCTL00.WREL = 1 によってクリアされた (クロックストレッチ状態からの解除) (注1)
- ALD ビットが 0 から 1 (アービトレーションロスト) に変わった
- リセットが発生した
- 通信に使用されていない (MSTS, EXC, COI = 0)

<マスタモード>

- 先頭バイトの LSB (転送方向指示ビット) に 1 が出力された

<スレーブモード>

- スタートコンディションを検出した
- 先頭バイトの LSB (転送方向指示ビット) に 0 が入力された

1 になる (TRC = 1) 条件

<マスタモード>

- スタートコンディションが生成された
- 先頭バイトの LSB (転送方向指示ビット) に 0 (マスタ送信) が出力された (アドレス転送時)

<スレーブモード>

- マスタモードから先頭バイトの LSB (転送方向指示ビット) に 1 (スレーブ送信) が入力された (アドレス転送時)

注 1. IICA ステータスレジスタ 0 (IICS0) の TRC ビットが 1 (送信状態) に設定されると、第 9 クロック中に IICA コントロールレジスタ 00 (IICCTL00) の WREL ビットが 1 に設定され、インタフェースがクロックストレッチ状態から解除されます。その後、IICS0.TRC ビットはクリアされ (受信状態)、SDAA0 ラインがハイインピーダンス状態に設定されます。クロックストレッチ状態からのインタフェースの解除は、IICS0.TRC ビットが 1 (送信状態) である間に IICA シフトレジスタ 0 に書き込むことによって行ってください。

COI ビット (アドレス一致の検出)

0 になる (COI = 0) 条件

- スタートコンディションを検出した
- ストップコンディションを検出した
- IICCTL00.LREL = 1 によってクリアされた (通信終了)
- IICCTL00.IICE ビットが 1 から 0 に変わった (動作停止)
- リセットが発生した

1 になる (COI = 1) 条件

- 受信されたアドレスが自局アドレス（スレーブアドレスレジスタ 0 (SVA0)）と一致した（第 8 クロックの立ち上がりエッジで設定される）
- 全アドレス一致機能が有効な (IICCTL01.SVADIS = 1) 期間中にアドレスが受信された（第 8 クロックの立ち上がりエッジで設定される）

EXC ビット（拡張コード受信の検出）

0 になる (EXC = 0) 条件

- スタートコンディションを検出した
- ストップコンディションを検出した
- IICCTL00.LREL = 1 によってクリアされた（通信終了）
- IICCTL00.IICE ビットが 1 から 0 に変わった（動作停止）
- リセットが発生した

1 になる (EXC = 1) 条件

- 受信したアドレスデータの上位 4 ビット（第 8 クロックサイクルの立ち上がりエッジで設定）が 0000b と 1111b のどちらか
- 全アドレス一致機能が有効な (IICCTL01.SVADIS = 1) 期間中にアドレスが受信された（第 8 クロックの立ち上がりエッジで設定される）

ALD ビット（アービトレーションロストの検出）

0 になる (ALD = 0) 条件

- IICS0 レジスタが読み出された後に自動的にクリアされた
- IICCTL00.IICE ビットが 1 から 0 に変わった（動作停止）
- リセットが発生した

1 になる (ALD = 1) 条件

- アービトレーションロスト

MSTS フラグ（マスタステータス確認フラグ）

0 になる (MSTS = 0) 条件

- ストップコンディションを検出した
- ALD = 1 のとき（アービトレーションロスト）
- IICCTL00.LREL = 1 によってクリアされた（通信終了）
- IICCTL00.IICE ビットが 1 から 0 に変わった（動作停止）
- リセットが発生した

1 になる (MSTS = 1) 条件

- スタートコンディションが生成された

20.2.5 IICF0 : IICA フラグレジスタ 0

Base address: IICA = 0x400A_3000

Offset address: 0x0002

Bit position:	7	6	5	4	3	2	1	0
Bit field:	STCF	IICBS Y	—	—	—	—	STCE N	IICRS V
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IICRSV	通信予約機能禁止ビット 0: 通信予約を許可する。 1: 通信予約を禁止する。	R/W
1	STCEN	初期スタート許可トリガ 0: 動作を許可 (IICCTL00.IICE = 1) にした後、ストップコンディション検出時にスタートコンディションの生成を許可する。 1: 動作を許可 (IICCTL00.IICE = 1) にした後、ストップコンディションを検出せずにスタートコンディションの生成を許可する。	R/W
5:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	IICBSY	I ² C バスステータスフラグ 0: バス解放ステータス (STCEN が 1 のときの通信初期状態) 1: バス通信ステータス (STCEN が 0 のときの通信初期状態)	R
7	STCF	IICCTL00.STT クリアフラグ 0: スタートコンディションを生成する。 1: スタートコンディションの生成に失敗し、IICCTL00.STT フラグをクリアする。	R

I²C の動作モードを設定し、I²C バスの状態を示すレジスタです。

IICCTL00.STT クリアフラグ (STCF) および I²C バスステータスフラグ (IICBSY) ビットは読み出し専用です。

IICRSV ビットで通信予約の許可／禁止を制御できます。

STCEN ビットで IICBSY ビットの初期値を設定できます。

IICRSV ビットと STCEN ビットに書き込みを行えるのは、I²C の動作を禁止 (IICCTL00.IICE=0) にしているときだけです。I²C の動作を許可している場合、IICF0 レジスタは読み出し専用です。

STCEN ビットへの書き込みは、動作が停止 (IICCTL00.IICE = 0) しているときにだけ行ってください。

バス解放ステータス (IICBSY = 0) は、STCEN が 1 のときの実際のバス状態に関わらず認識されます。スタートコンディションを初めて生成するとき (IICCTL00.STT = 1) に、実行中の第三者通信がもしあればエラーになるため、第三者通信が実行中でないことを確認する必要があります。

IICRSV ビットへの書き込みは、動作が停止 (IICCTL00.IICE = 0) しているときにだけ行ってください。

IICRSV ビット (通信予約機能禁止ビット)

0 になる (IICRSV = 0) 条件

- 命令によってクリアされた
- リセットが発生した

1 になる (IICRSV = 1) 条件

- 命令によって 1 が設定された

STCEN ビット (初期スタート許可トリガ)

0 になる (STCEN = 0) 条件

- 命令によってクリアされた
- スタートコンディションを検出した
- リセットが発生した

1 になる (STCEN = 1) 条件

- 命令によって 1 が設定された

IICBSY フラグ (I²C バスステータスフラグ)

0 になる (IICBSY = 0) 条件

- ストップコンディションを検出した
- IICCTL00.IICE = 0 (動作停止)

- リセットが発生した

1 になる (IICBSY = 1) 条件

- スタートコンディションを検出した
- STCEN が 0 のときに IICCTL00.IICE ビットが 1 になる

STCF フラグ (IICCTL00.STT クリアフラグ)

0 になる (STCF = 0) 条件

- 「IICCTL00.STT = 1」によってクリアされた
- IICCTL00.IICE = 0 (動作停止)
- リセットが発生した

1 になる (STCF = 1) 条件

- 通信予約を禁止 (IICRSV = 1) にしているときにスタートコンディションの生成に失敗し IICCTL00.STT ビットが 0 になった

20.2.6 IICCTL01 : IICA コントロールレジスタ 01

Base address: IICA = 0x400A_3000

Offset address: 0x0101

Bit position:	7	6	5	4	3	2	1	0
Bit field:	WUP	SVADIS	CLD	DAD	SMC	DFC	—	PRS
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PRS	IICA 動作クロック (f_{MCK}) 0: PCLKB の 1 分周を選択 ($1\text{ MHz} \leq \text{PCLKB} \leq 20\text{ MHz}$) 1: PCLKB の 2 分周を選択 ($20\text{ MHz} < \text{PCLKB}$)	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	DFC	デジタルフィルタ動作制御 0: デジタルフィルタ OFF 1: デジタルフィルタ ON	R/W
3	SMC	動作モード切り替え 0: 標準モードで動作 (最高転送速度: 100 kbps) 1: ファストモード (最高転送速度: 400 kbps) またはファストモードプラス (最高転送速度: 1 Mbps) で動作	R/W
4	DAD	SDAA0 端子レベルの検出 (IICCTL00.IICE = 1 の場合にのみ有効) 0: Low レベルで SDAA0 端子が検出された 1: High レベルで SDAA0 端子が検出された	R
5	CLD	SCLA0 端子レベルの検出 (IICCTL00.IICE = 1 の場合にのみ有効) 0: Low レベルで SCLA0 端子が検出された 1: High レベルで SCLA0 端子が検出された	R
6	SVADIS	アドレス一致無効化フラグ 0: 全アドレス一致機能を無効にする 1: 全アドレス一致機能を有効にする	R/W
7	WUP	アドレス一致ウェイクアップの制御 0: ソフトウェアスタンバイモードのアドレス一致ウェイクアップ機能の動作を停止する 1: ソフトウェアスタンバイモードのアドレス一致ウェイクアップ機能の動作を許可する	R/W

I²C の動作モードを設定し、SCLA0 端子と SDAA0 端子の状態を検出するために使用するレジスタです。

CLD および DAD ビットは読み出し専用です。

IICCTL01 レジスタ (WUP ビットを除く) は、I²C の動作が禁止されているとき (IICCTL00.IICE) に設定してください。

IICA 動作クロック (f_{MCK}) の動作周波数は最高 20 MHz です。

IICA コントロールレジスタ 01 (IICCTL01) の PRS ビットの 1 への設定は、PCLKB が 20 MHz を超えている場合にのみ行ってください。

転送クロックを設定する時は、PCLKB 動作周波数の最小値に注意してください。

I²C バスインタフェース (IICA) の PCLKB の最低動作周波数はモードによって決まります。

ファストモード : PCLKB = 3.5 MHz (最小)

ファストモードプラス : PCLKB = 10 MHz (最小)

通常モード : PCLKB = 1 MHz (最小)

PRS ビット (IICA 動作クロック (f_{MCK}))

PRS ビットは、IICA 動作クロック (f_{MCK}) を設定するために使用します。

DFC ビット (デジタルフィルタ動作制御)

デジタルフィルタはファストモードまたはファストモードプラスでだけ使用してください。

デジタルフィルタはノイズ除去の目的で使用します。

DFC ビットが 1 に設定されるか、または 0 にクリアされるかには関係なく、転送クロックは変わりません。

SMC ビット (動作モード切り替え)

SMC ビットは動作モードの切り替えに使用します。

DAD ビット (SDAA0 端子レベルの検出 (IICCTL00.IICE = 1 の場合にのみ有効))

0 になる (DAD = 0) 条件

- SDAA0 端子が Low レベルにある
- IICCTL00.IICE = 0 (動作停止)
- リセットが発生した

1 になる (DAD = 1) 条件

- SDAA0 端子が High レベルにある

CLD ビット (SCLA0 端子レベルの検出 (IICCTL00.IICE = 1 の場合にのみ有効))

0 になる (CLD = 0) 条件

- SCLA0 端子が Low レベルにある
- IICCTL00.IICE = 0 (動作停止)
- リセットが発生した

1 になる (CLD = 1) 条件

- SCLA0 端子が High レベルにある

SVADIS ビット (アドレス一致無効化フラグ)

SVADIS が 1 のとき、IICA はいずれのアドレスも一致したと見なし、拡張コード受信時と同じ動作を実行します。

そのため、IICS0.COI は 1 に設定され、IICS0.EXC は 1 に設定されます。

拡張コード受信の詳細については、「[20.3.13. 拡張コード](#)」を参照してください。

WUP ビット (アドレス一致ウェイクアップの制御)

WUP = 1 のときにソフトウェアスタンバイモードに遷移するには、WUP ビットを 1 に設定してから SBYCR.SSBY ビットが少なくとも f_{MCK} の 3 サイクル 1 になっている間に WFI 命令を実行します (表 20.5 を参照)。

WUP ビットの 0 へのクリアは、アドレスが一致したか、全アドレス一致機能が有効な期間中にアドレスが受信されたか、または拡張コードが受信された後に行ってください。WUP ビットを 0 にクリアすることによって、以降の通信に移行できます。(インタフェースはクロックストレッチ状態から解除する必要があり、送信データは WUP ビットが 0 にクリアされた後に書き込む必要があります。)

自局アドレスが一致した場合、全アドレス一致機能が有効で自局以外アドレスを受信した場合、または拡張コードを受信した場合の WUP が 1 のときの割り込みタイミングは、WUP が 0 のときの割り込みタイミングと同じです。(クロックのサンプリング差異による遅延が発生します。) さらに、WUP が 1 のときは、IICCTL00.SPIE ビットが 1 であってもストップコンディション割り込みは生成されません。

0 になる (WUP = 0) 条件

- 命令によってクリアされた (自局アドレスの一致、全アドレス一致機能有効時の自局以外アドレスの受信、または拡張コードの受信)

1 になる (WUP = 1) 条件

- 命令によって設定された (IICS0.MSTS、IICS0.EXC、および IICS0.COI ビットが 0 であり、IICS0.STD ビットも 0 である (通信に移行していない))

図 20.3 に示す期間中に IICA ステータスレジスタ 0 (IICS0) のステータスを確認する必要があり、WUP ビットを設定する必要があります。

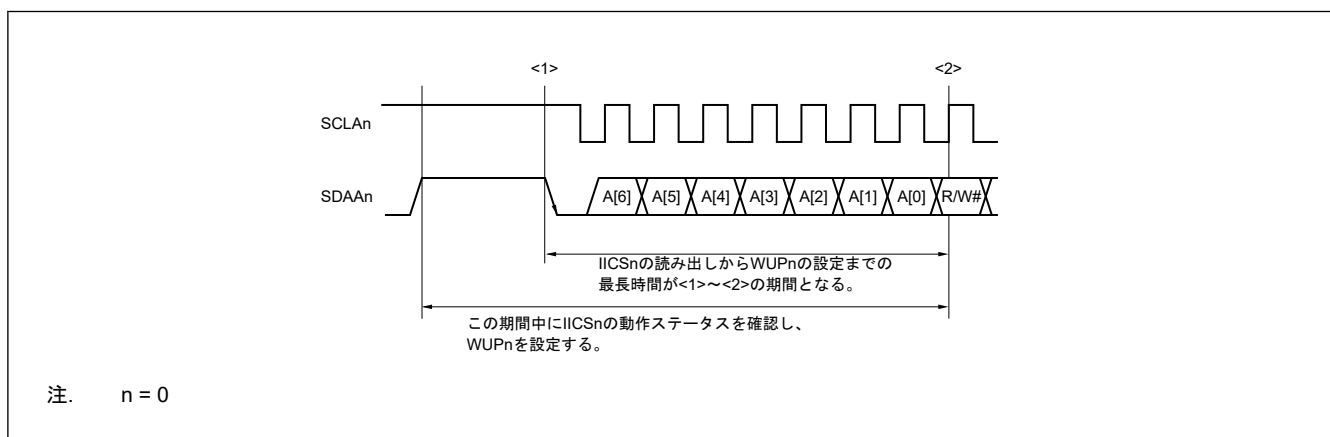


図 20.3 WUP ビット設定期間

20.2.7 IICWL0 : IICA Low レベル幅設定レジスタ 0

Base address: IICA = 0x400A_3000

Offset address: 0x0102

Bit position: 7 6 5 4 3 2 1 0

Bit field:

Value after reset: 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
7:0	n/a	ユニット n の SCLA0 端子 Low 幅コンフィグレーションデータ	R/W

注. シリアルクロックの最小周期は、(IICWL0 + 1) + (IICWH0 + 1) になります。

I²C バスインタフェース (IICA) で出力される SCLA0 端子信号の Low レベル幅 (t_{LOW}) の設定と、SDAA0 端子信号の制御に使用するレジスタです。

IICWL0 レジスタは、I²C の動作が禁止されているとき (IICCTL00.IICE) に設定してください。

IICWL0 レジスタの設定の詳細については、「[20.3.2. IICWL0 レジスタと IICWH0 レジスタを使用した転送クロックの設定](#)」を参照してください。データホールド時間は IICWL0 レジスタに設定された時間の 1/4 です。

20.2.8 IICWH0 : IICA High レベル幅設定レジスタ 0

Base address: IICA = 0x400A_3000

Offset address: 0x0103

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	n/a	ユニット n の SCLA0 端子 High 幅コンフィグレーションデータ	R/W

注. シリアルクロックの最小周期は、(IICWL0 + 1) + (IICWH0 + 1) になります。

I²C バスインタフェース (IICA) で出力される SCLA0 端子信号の High レベル幅の設定と、SDAA0 端子信号の制御に使用するレジスタです。

IICWH0 レジスタは、I²C の動作が禁止されている (IICCTL00.IICE) ときに設定してください。

マスタモードでの転送クロックの設定方法については(1) [マスタモードでの転送クロック設定](#)を、スレーブモードでの IICWL0 レジスタと IICWH0 レジスタの設定手順については(2) [スレーブモードでの IICWL0 レジスタと IICWH0 レジスタの設定](#)を参照してください。

20.2.9 I²C 入出力端子と兼用するポートの機能を制御するレジスタ

I/O ポートを設定する方法については、「[15. I/O ポート](#)」を参照してください。

IICCTL00.IICE ビットが 0 であるときは SCLA0 および SDAA0 端子によって Low レベル (固定) が出力されるため、出力モードを設定する前に IICCTL00.IICE ビットを 1 に設定します。

20.3 I²C バスの定義と制御方式

I²C バスのシリアルデータ通信フォーマットと I²C バスが使用する信号を次に示します。図 20.4 に、I²C バスのシリアルデータバス経由で出力される「スタートコンディション」、「アドレス」、「データ」、「ストップコンディション」の転送タイミングを示します。

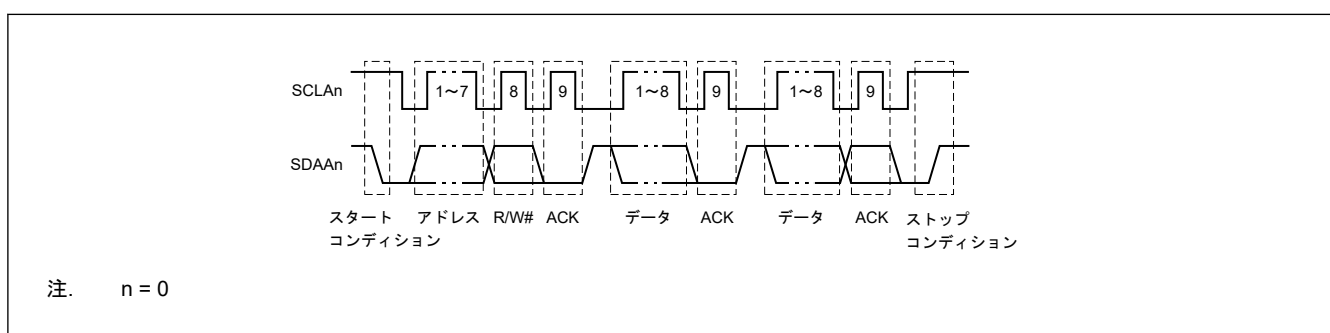


図 20.4 I²C バスのシリアルデータ転送タイミング

マスタデバイスはスタートコンディション、スレーブアドレス、およびストップコンディションを生成します。マスタデバイスからもスレーブデバイスからもアクノリッジ (ACK) を生成できます (通常は、8 ビットデータを受信するデバイスから出力されます)。

シリアルクロック (SCLAn) は絶えずマスタデバイスから出力されます。なお、スレーブデバイスについては、SCLAn 端子のレベルが Low になる期間を延長でき、クロックストレッチを挿入できます。

20.3.1 端子構成

シリアルクロック端子 (SCLA0) とシリアルデータバス端子 (SDAA0) は、次のように構成されています。

1. SCLA0 : 本端子はシリアルクロック入力とシリアルクロック出力に使用します。
本端子は、マスタデバイスとスレーブデバイスの両方に使用可能な N チャネルオープンドレイン出力です。
入力はシュミット入力です。
2. SDAA0 : 本端子はシリアルデータ入力とシリアルデータ出力に使用します。
本端子は、マスタデバイスとスレーブデバイスの両方に使用可能な N チャネルオープンドレイン出力です。
入力はシュミット入力です。

シリアルクロックラインとシリアルデータバスラインからの出力は N チャネルオープンドレイン出力なので、外部プルアップ抵抗が必要となります。図 20.2 に、I²C バスを使用したシリアルバス構成例を示します。

20.3.2 IICWL0 レジスタと IICWH0 レジスタを使用した転送クロックの設定

(1) マスタモードでの転送クロック設定

$$\text{転送クロック} = \frac{f_{\text{MCK}}}{\text{IICWL} + \text{IICWH} + f_{\text{MCK}}(t_R + t_F)}$$

この時点で、IICWL0 レジスタと IICWH0 レジスタの最適な設定値は次のとおりです。(すべての設定値の小数部は切り上げとします。)

- ファストモードの場合

$$\text{IICWL0} = \frac{0.52}{\text{転送クロック}} \times f_{\text{MCK}}$$

$$\text{IICWH0} = \left(\frac{0.48}{\text{転送クロック}} - t_R - t_F \right) \times f_{\text{MCK}}$$
- 通常モードの場合

$$\text{IICWL0} = \frac{0.47}{\text{転送クロック}} \times f_{\text{MCK}}$$

$$\text{IICWH0} = \left(\frac{0.53}{\text{転送クロック}} - t_R - t_F \right) \times f_{\text{MCK}}$$
- ファストモードプラスの場合

$$\text{IICWL0} = \frac{0.50}{\text{転送クロック}} \times f_{\text{MCK}}$$

$$\text{IICWH0} = \left(\frac{0.50}{\text{転送クロック}} - t_R - t_F \right) \times f_{\text{MCK}}$$

(2) スレーブモードでの IICWL0 レジスタと IICWH0 レジスタの設定

すべての設定値の小数部は切り上げとします。

- ファストモードの場合

$$\text{IICWL0} = 1.3 \mu\text{s} \times f_{\text{MCK}}$$

$$\text{IICWH0} = (1.2 \mu\text{s} - t_R - t_F) \times f_{\text{MCK}}$$
- 通常モードの場合

$$\text{IICWL0} = 4.7 \mu\text{s} \times f_{\text{MCK}}$$

$$\text{IICWH0} = (5.3 \mu\text{s} - t_R - t_F) \times f_{\text{MCK}}$$
- ファストモードプラスの場合

$$\text{IICWL0} = 0.50 \mu\text{s} \times f_{\text{MCK}}$$

$$\text{IICWH0} = (0.50 \mu\text{s} - t_R - t_F) \times f_{\text{MCK}}$$

注. SDAA0 信号と SCLA0 信号の立ち上がり時間 (t_R) と立ち下がり時間 (t_F) はプルアップ抵抗とケーブル負荷によって異なるため、これらの時間は別々に算出してください。

注. IICWL0: IICA Low レベル幅設定レジスタ 0
IICWH0: IICA High レベル幅設定レジスタ 0
 t_F : SDAA0 信号と SCLA0 信号の立ち下がり時間
 t_R : SDAA0 信号と SCLA0 信号の立ち上がり時間

f_{MCK} : IICA 動作クロック周波数

注. シリアルクロックの最小周期は、 $(IICWL0 + 1) + (IICWH0 + 1)$ になります。SDAA0 信号と SCLAn 信号の立ち上がり時間 (t_R) と立ち下がり時間 (t_F) を考慮し、IICWL0 レジスタと IICWH0 レジスタで設定する値を決めてください。

20.3.3 スタートコンディション

SCLAn 端子のレベルが High のとき、SDAA0 端子のレベルを High から Low に変更すると、スタートコンディションが生成されます。

スタートコンディションは、シリアル転送開始時にマスタデバイスがスレーブデバイスに対して生成する信号です。デバイスがスレーブデバイスとして使用されている場合は、スタートコンディションを検出できます。図 20.5 にスタートコンディションを示します。

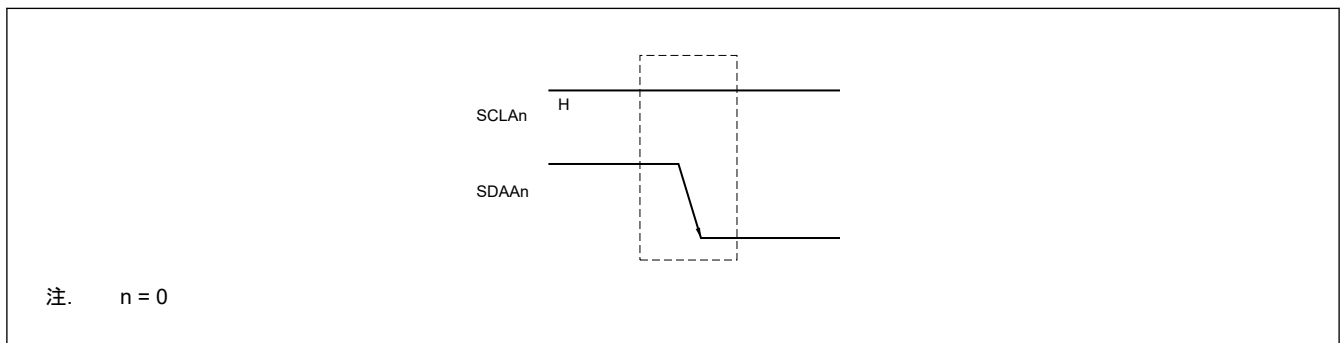


図 20.5 スタートコンディション

ストップコンディション検出 (IICA ステータスレジスタ 0 (IICS0) の SPD ビット = 1) 後、IICA コントロールレジスタ 00 (IICCTL00) の STT ビットが 1 になるとスタートコンディションが出力されます。スタートコンディションが検出されると IICS0 レジスタの STD ビットが 1 になります。

20.3.4 アドレス

アドレスはスタートコンディションに続く 7 ビットのデータで定義されます。

アドレスは、バスライン経由でマスタデバイスに接続されるスレーブデバイスの 1 つを選択するために出力される 7 ビットのデータセグメントです。このため、バスライン経由で接続される各スレーブデバイスは一意のアドレスを持つ必要があります。スレーブデバイスには、スタートコンディションを検出し、7 ビットアドレスデータがスレーブアドレスレジスタ 0 (SVA0) に格納されているデータ値と一致するかどうかを確認するハードウェアが含まれています。アドレスデータが SVA0 レジスタの値と一致する場合は、そのスレーブデバイスが選択され、マスタデバイスがスタートコンディションまたはストップコンディションを生成するまでマスタデバイスと通信します。図 20.6 にアドレスを示します。

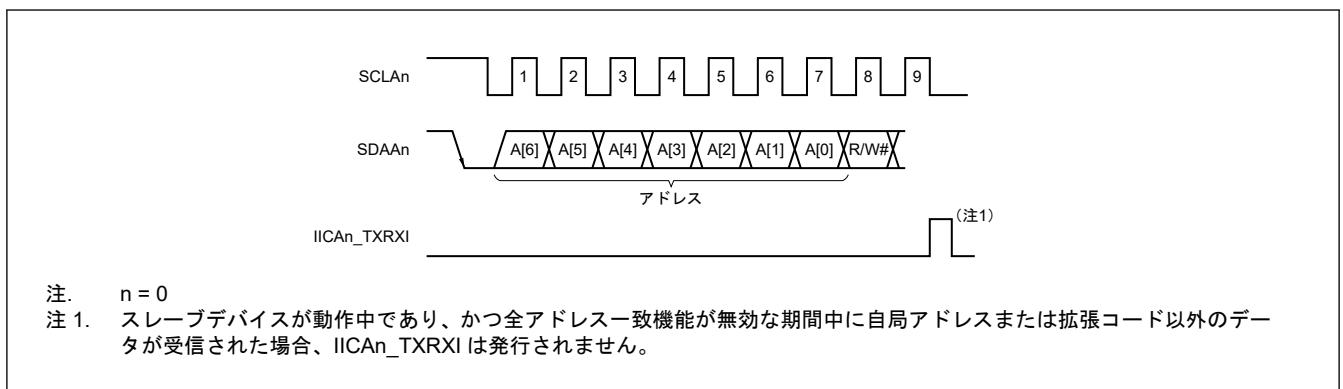


図 20.6 アドレス

アドレスは、スレーブアドレスと「20.3.5. 転送方向指示」で説明されている転送方向で構成される合計 8 ビットが IICA シフトレジスタ 0 (IICA0) に書き込まれたときに出力されます。受信されたアドレスは IICA0 レジスタに書き込まれます。

スレーブアドレスは、IICA0 レジスタの上位 7 ビットに割り当てられます。

20.3.5 転送方向指示

マスタデバイスは7ビットアドレスデータを送信する際に転送方向を示す1ビットを付加します。

転送方向指示ビットの値が0のときはマスタデバイスがスレーブデバイスへデータを送信します。転送方向指示ビットの値が1のときはマスタデバイスがスレーブデバイスからデータを受信します。図 20.7 に転送方向指示を示します。

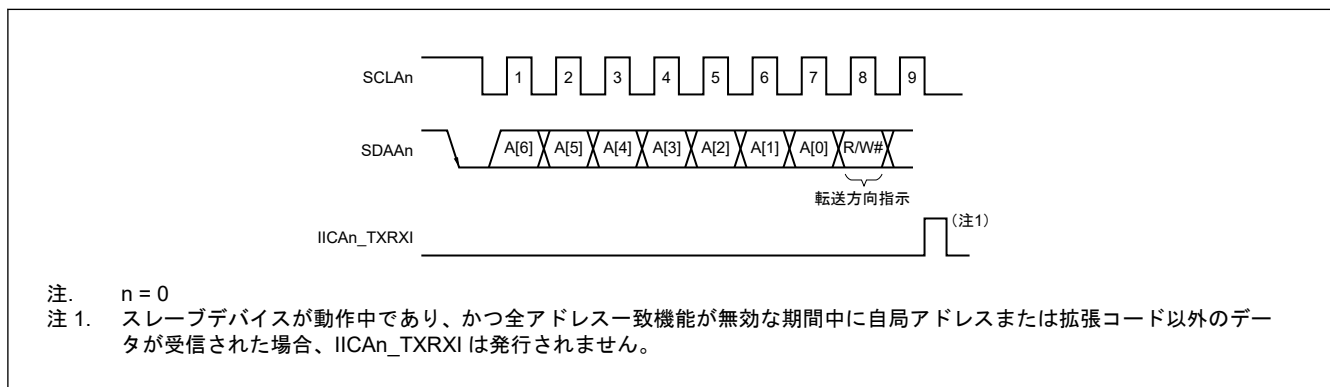


図 20.7 転送方向指示

20.3.6 アクノリッジ (ACK)

送受信の両側でシリアルデータのステータスを確認するときにアクノリッジ (ACK) を使用します。受信側は、8ビットデータを受信するたびに ACK を返します。

送信側は、通常8ビットデータ送信後に ACK を受け取ります。受信側から ACK が返されると、受信が正常に行われ処理が続行しているとみなされます。ACK が検出されたかどうかは、IICA ステータスレジスタ 0 (IICS0) の ACKD ビットを使用して確認できます。

マスタデバイスが最後のデータを受信した時は、ACK を返さずにストップコンディションを生成します。データ受信後にスレーブデバイスが ACK を返さない場合、マスタデバイスはストップコンディションまたはリスタートコンディションを出力し、送信を停止します。ACK が返されない場合に考えられる原因を以下に示します。

1. 受信が正常に行われなかった。
2. 最後のデータが受信された。
3. アドレスで指定された受信側が存在しない。

ACK を生成するには、受信側が第9クロックで SDAA0 ラインを Low にします (通常の受信を示す)。ACK の自動生成は、IICA コントロールレジスタ 00 (IICCTL00) の ACKE ビットを1に設定することによって有効になります。IICS0 レジスタの TRC ビットは、7ビットアドレス情報に続く第8ビットの値に設定されます。通常、IICCTL00.ACKE ビットを1にして受信 (IICCTL00.TRC = 0) を設定してください。

受信時 (IICCTL00.TRC = 0) にスレーブデバイスがこれ以上データを受信できなくなった、または次のデータを必要としなくなった場合、スレーブデバイスは IICCTL00.ACKE ビットを0にして、後続データを受信しない旨をマスタデバイスに通知しなければなりません。

受信時 (IICCTL00.TRC = 0) にマスタデバイスが次のデータを必要としなくなった場合、ACK が発生しないよう、マスタデバイスは IICCTL00.ACKE ビットを0にしなければなりません。この場合、マスタデバイスは送信側のスレーブデバイスに後続データを必要としない旨 (送信の停止) を通知します。図 20.8 に ACK を示します。

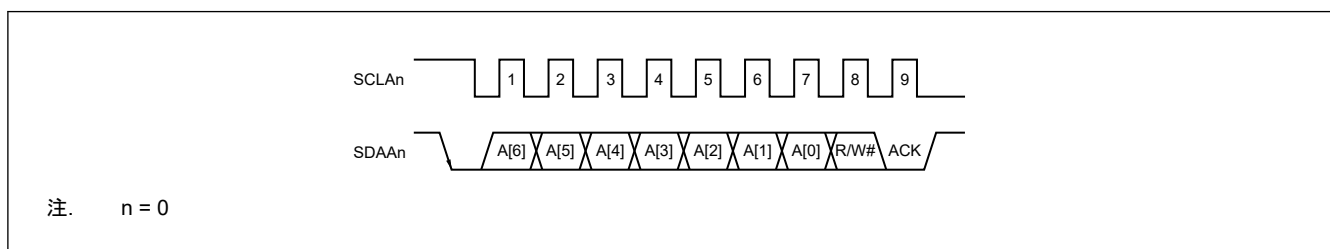


図 20.8 ACK

自局アドレスが受信されると、IICCTL00.ACKE ビットの値に関わらず ACK が自動的に生成されます。自局アドレス以外のアドレスが受信されても ACK は生成されません (NACK)。

拡張コードが受信された場合、または全アドレス一致機能有効時に自局以外のアドレスが受信された場合、あらかじめ IICCTL00.ACKE ビットが 1 になっていれば ACK が生成されます。

データ受信時の ACK 生成方法は、以下に示すようにクロックストレッチのタイミング設定によって異なります。

- 第 8 サイクルでクロックストレッチが挿入される設定 (IICCTL00.WTIM=0) の場合：
クロックストレッチ状態からの解除の前に IICCTL00.ACKE ビットを 1 に設定すると、SCLA0 端子の第 8 クロックサイクルの立ち下がリエッジで ACK が生成されます。
- 第 9 サイクルでクロックストレッチが挿入される設定 (IICCTL00.WTIM=1) の場合：
あらかじめ IICCTL00.ACKE ビットを 1 にしている場合に ACK が生成されます。

20.3.7 ストップコンディション

SCLA0 端子のレベルが High のとき、SDAA0 端子のレベルを Low から High に変更すると、ストップコンディションが生成されます。ストップコンディションは、シリアル転送が完了した時にマスタデバイスがスレーブデバイスに対して生成する信号です。デバイスがスレーブデバイスとして使用されている場合は、ストップコンディションを検出できます。

図 20.9 にストップコンディションを示します。

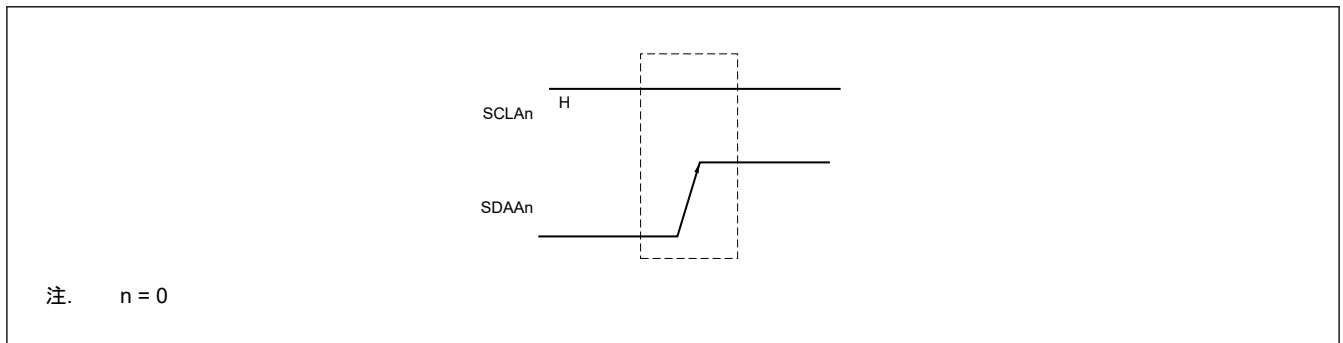


図 20.9 ストップコンディション

ストップコンディションは、IICA コントロールレジスタ 00 (IICCTL00) の SPT ビットが 1 に設定されたときに生成されます。ストップコンディションが検出されると、IICA ステータスレジスタ 0 (IICS0) の SPD ビットが 1 に設定され、IICA0_TXRXI は IICCTL00 レジスタの SPIE ビットが 1 に設定されたときに生成されます。

20.3.8 クロックストレッチ

クロックストレッチの使用目的は、デバイス（マスタまたはスレーブ）が通信相手にデータの送信または受信を準備中であること（インタフェースがクロックストレッチ状態であること）を通知することです。

SCLA0 端子を Low レベルに設定すると、通信相手にクロックストレッチ状態が示されます。マスタデバイスとスレーブデバイスのどちらもクロックストレッチ状態でなくなると次のデータ転送を行えます。図 20.10 にクロックストレッチを示します。

- (1) マスタデバイスでは第 9 クロックサイクルに、スレーブデバイスでは第 8 クロックサイクルにクロックストレッチを設定する場合（マスタ：送信、スレーブ：受信、IICCTL00.ACKE = 1）

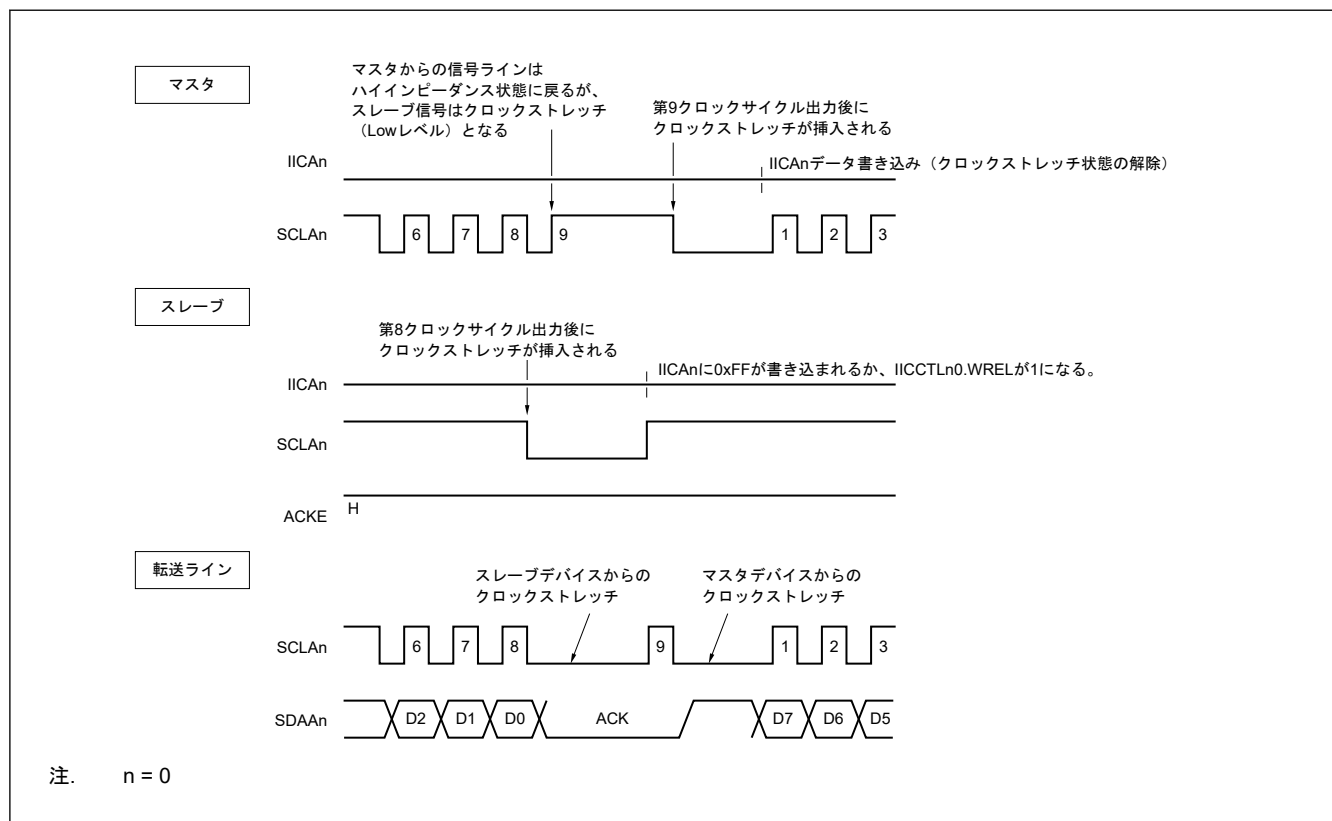


図 20.10 クロックストレッチ (1/2)

(2) マスタデバイスとスレーブデバイスの両方で第 9 クロックサイクルにクロックストレッチを設定する場合（マスタ：送信、スレーブ：受信、IICCTL00.ACKE = 1）

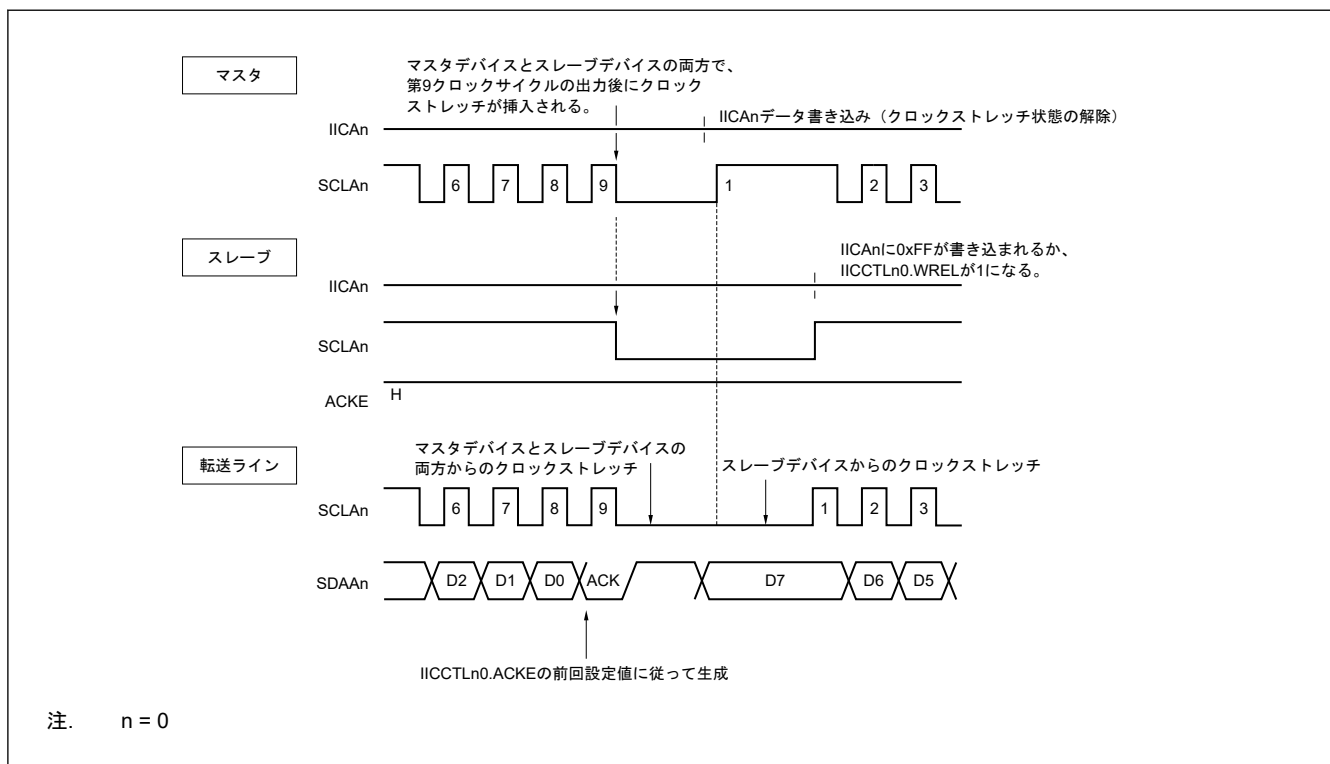


図 20.11 クロックストレッチ (2/2)

クロックストレッチは、IICA コントロールレジスタ 00 (IICCTL00) の WTIM ビットの設定に応じて自動的に生成されます。

通常、受信側は、IICCTL00 レジスタの WREL ビットが 1 に設定されるか、または IICA シフトレジスタ 0 (IICA0) に 0xFF が書き込まれるとクロックストレッチ状態を解除し、送信側は、IICA0 レジスタにデータが書き込まれるとクロックストレッチ状態を解除します。

マスタデバイスは次のどちらかの方法でもクロックストレッチ状態を解除できます。

- IICCTL00 レジスタの STT ビットを 1 に設定する
- IICCTL00 レジスタの SPT ビットを 1 に設定する

20.3.9 クロックストレッチの解除

I²C インタフェースでは、通常以下の処理でクロックストレッチ状態が解除されます。

- IICA シフトレジスタ 0 (IICA0) へのデータの書き込み
- IICA コントロールレジスタ 00 (IICCTL00) の WREL ビットの設定（クロックストレッチ状態からの解除）
- IICCTL00 レジスタの STT ビットの設定（スタートコンディションの生成）(注1)
- IICCTL00 レジスタの SPT ビットの設定（ストップコンディションの生成）(注1)

注 1. マスタモードの場合のみ

上記のクロックストレッチ状態解除処理を実行すると IICA はクロックストレッチ状態を解除します。その後通信が再開されます。

クロックストレッチ状態を解除し、データ（アドレスを含む）を送信するには、IICA0 レジスタにデータを書き込みます。

クロックストレッチ状態から解除した後にデータを受信するか、またはデータの送信を完了するには、IICCTL00 レジスタの WREL ビットを設定します。

クロックストレッチ状態から解除した後にリスタートコンディションを生成するには、IICCTL00 レジスタの STT ビットを設定します。

クロックストレッチ状態から解除した後にストップコンディションを生成するには、IICCTL00 レジスタの SPT ビットを設定します。

解除処理はクロックストレッチ状態の期間ごとに 1 回だけ行ってください。

SDAA0 ラインを変更するためのタイミングは IICA0 レジスタに書き込むためのタイミングと競合するため、たとえば、IICCTL00.WREL ビットを 1 に設定してクロックストレッチ状態から解除した後に IICA0 レジスタにデータが書き込まれた場合は、SDAA0 ラインに正しくない値が出力される可能性があります。

上記に加え、通信が中断しているときに IICCTL00.IICE ビットが 0 になると、クロックストレッチ状態を解除できるよう通信が停止します。

ノイズが原因で I²C バスにデッドロックが生じた場合は、IICCTL00 レジスタの LREL ビットを 1 にすることで、デバイスはクロックストレッチ状態を解除できるよう通信を終了することができます。

IICCTL01.WUP が 1 のときにクロックストレッチ状態解除処理を実行してもクロックストレッチ状態は解除されません。

20.3.10 割り込み要求信号 (IICA0_TXRXI) の生成のタイミングとクロックストレッチの制御

表 20.2 に示すように、IICA コントロールレジスタ 00 (IICCTL00) の WTIM ビットの設定によって、IICA0_TXRXI が生成されるタイミングが決定されると同時に、クロックストレッチが制御されます。

表中の数字はシリアルクロック信号のパルス数を示します。割り込み要求とクロックストレッチの制御はどちらもこれらのクロックパルスの立ち下がりエッジに同期します。

表 20.2 IICA0_TXRXI の生成のタイミングとクロックストレッチの制御

WTIM	スレーブデバイス動作時			マスタデバイス動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	g(注1) (注2)	g(注2)	g(注2)	9	8	8
1	g(注1) (注2) (注3)	g(注2)	g(注2)	9	9	9

1. アドレス送信／受信時

- スレーブデバイス動作：割り込みおよびクロックストレッチのタイミングは、IICCTL00.WTIM ビットの設定に関わらず、下記の(注1)、(注2)、(注3)に示す条件に従います。
- マスタデバイス動作：IICCTL00.WTIM ビットの設定に関わらず、割り込みとクロックストレッチは第 9 クロックサイクルの立ち下がりエッジで発生します。

2. データ受信時

- 全ての動作：割り込みとクロックストレッチのタイミングは IICCTL00.WTIM ビットの設定に従います。

3. データ送信時

- 全ての動作：割り込みとクロックストレッチのタイミングは IICCTL00.WTIM ビットの設定に従います。

4. クロックストレッチの解除

クロックストレッチを解除する処理には次の 4 種類があります。

- IICA シフトレジスタ 0 (IICA0) へのデータの書き込み
- IICA コントロールレジスタ 00 (IICCTL00) の WREL ビットの設定 (クロックストレッチ状態からの解除)
- IICCTL00 レジスタの STT ビットの設定 (スタートコンディションの生成) (注4)
- IICCTL00 レジスタの SPT ビットの設定 (ストップコンディションの生成) (注4)

クロックストレッチ発生タイミングとして第 8 クロックサイクルを選択した場合 (IICCTL00.WTIM を 0 にした場合)、クロックストレッチ状態を解除する前に ACK 発生の有無を判定する必要があります。

5. ストップコンディションの検出

IICA0_TSRXI は、ストップコンディションが検出されたときに生成されます (IICCTL00.SPIE = 1 の場合のみ)。

- 注 1. スレーブデバイスの IICA0_TSRXI 信号とクロックストレッチは、スレーブアドレスレジスタ 0 (SVA0) に設定されているアドレスと一致する場合にのみ、第 9 クロックサイクルの立ち下がりエッジで発生します。
この時、IICCTL00.ACKE ビットの設定値とは関係なく ACK が発生します。拡張コードを受信したか、または全アドレス一致機能が有効な期間中にアドレスを受信したスレーブデバイスの場合、IICA0_TSRXI は第 8 クロックの立ち下がりエッジで発生します。
ただし、リスタートの後にアドレスが一致しない場合、IICA0_TSRXI は第 9 クロックサイクルの立ち下がりエッジで生成されますが、クロックストレッチは発生しません。
- 注 2. スレーブアドレスレジスタ n (SVAn) の内容が受信されたアドレスと一致しない場合、アドレス一致検出機能は無効になり、拡張コードは受信されず、IICA0_TSRXI もクロックストレッチも発生しません。
- 注 3. WTIM ビットが 1 の場合、拡張コードを受信または全アドレス一致機能許可状態でのアドレスを受信したスレーブは、第 8 クロックの立ち下がりエッジに加え、第 9 クロックの立ち下がりエッジでも IICA0_TSRXI とクロックストレッチが発生します。
- 注 4. マスタモードの場合のみ

20.3.11 アドレス一致検出方法

I²C バスモードでは、マスタデバイスはスレーブデバイスのアドレスを送信することで特定のスレーブデバイスを選ぶことができます。

アドレス一致はハードウェアで自動的に検出できます。割り込み要求信号 (IICA0_TSRXI) は、スレーブアドレスレジスタ 0 (SVA0) に設定されたアドレスがマスタデバイスによって送信されたスレーブアドレスと一致したとき、全アドレス一致機能が有効な (IICCTL01.SVADIS = 1) 期間中にアドレスが受信されたとき、または拡張コードが受信されたときにのみ発生します。

20.3.12 エラー検出

I²C バスモードでは、データ送信中のシリアルデータバス (SDAA0) のステータスが送信元デバイスの IICA シフトレジスタ 0 (IICA0) によってキャプチャされるため、送信エラーの検出を可能にするために送信前の IICA データを送信後の IICA データと比較できます。両データ値が一致しなかった場合は送信エラーとみなされます。

20.3.13 拡張コード

- 受信アドレスの上位 4 ビットが 0000b または 1111b のどちらかである場合は、拡張コード受信フラグ (IICS0.EXC) が 1 に設定され、第 8 クロックの立ち下がりエッジで割り込み要求信号 (IICA0_TSRXI) が発行されます。
全アドレス一致機能が有効のときにアドレスを受信すると、拡張コードが受信されたことも判定されます。スレーブアドレスレジスタ 0 (SVA0) に格納されている自局アドレスは影響を受けません。
- SVA0 レジスタの設定が 11110xx0b のときにマスタデバイスから 10 ビットアドレス転送方式で 11110xx0b が転送された場合、または全アドレス一致機能が有効のときに何らかのアドレスが受信された場合は、下記ようになります。なお、IICA0_TSRXI は第 8 クロックの立ち下がりエッジで発生します。
 - データの上位 4 ビットが一致した場合または全アドレス一致機能が有効の場合：IICS0.EXC = 1
 - 7 ビットデータが一致した場合または全アドレス一致機能が有効の場合：IICS0.COI = 1
- 割り込み要求発生後の処理がソフトウェアによって行われます。この処理は、拡張コードに続くデータによって異なります。
スレーブモードとしての動作中に拡張コードが受信された場合、または全アドレス一致機能が有効で何らかのアドレスが受信された場合、当該スレーブデバイスはアドレスが一致しなくとも通信に参加しています。たとえば、拡張コード受信後に対象デバイスをスレーブデバイスとして動作させたくない場合は、IICA コントロールレジスタ 00 (IICCTL00) の LREL ビットを 1 にして、次回通信動作を通信スタンバイ状態に設定してください。

主要な拡張コードのビット定義を表 20.3 に示します。

表 20.3 主要な拡張コードのビット定義 (1/2)

スレーブアドレス	R/W#ビット	説明
0000000	0	ジェネラルコールアドレス

表 20.3 主要な拡張コードのビット定義 (2/2)

スレーブアドレス	R/W#ビット	説明
11110xx	0	10 ビットスレーブアドレスの指定 (アドレス認証時)
11110xx	1	10 ビットスレーブアドレスの指定 (アドレス一致後の読み出しコマンド発行時)

注: 上記以外の拡張コードの詳細については、NXP 社によって発行されている I²C バス仕様書を参照してください。

20.3.14 アービトレーション

複数のマスタデバイスが同時にスタートコンディションを生成した場合 (IICS0.STD ビットが 1 になる前に IICCTL00.STT ビットが 1 になった場合)、各マスタデバイス間の通信は、データが変化するまでクロック数が調整されるように行われます。このような処理を「アービトレーション」と呼びます。

いずれかのマスタデバイスでアービトレーションロストが発生すると、アービトレーションロストが発生したタイミングでアービトレーションロストフラグ (IICS0.ALD) が 1 に設定され、SCLA0 ラインと SDAA0 ラインの両方がハイインピーダンスに設定され、それによってバスが解放されます。

アービトレーションロストは、次の割り込み要求のタイミング (たとえば、ストップコンディションが検出された場合は第 8 または第 9 クロックサイクル) で、ソフトウェアで IICS0.ALD = 1 を確認することによって検出されます。

割り込み要求のタイミングの詳細については、「[20.3.10. 割り込み要求信号 \(IICA0_TXRXI\) の生成のタイミングとクロックストレッチの制御](#)」を参照してください。

図 20.12 にアービトレーションタイミング例を示します。

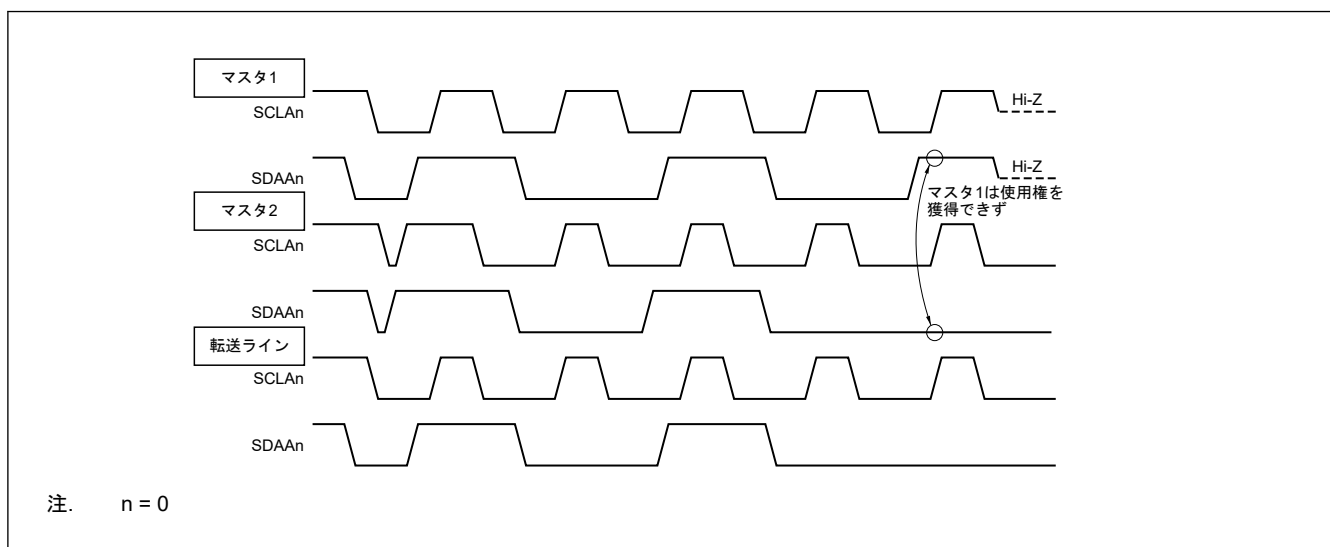


図 20.12 アービトレーションタイミング例

表 20.4 に、アービトレーション時のステータスと割り込み要求の発生タイミングを示します。

表 20.4 アービトレーション時のステータスと割り込み要求の発生タイミング (1/2)

アービトレーション時のステータス	割り込み要求発生タイミング
アドレス送信時	バイト転送後の第 8 または第 9 クロックサイクルの立ち下がりエッジ(注1)
アドレス送信後の読み出し/書き込みデータ	
拡張コード送信時	
拡張コード送信後の読み出し/書き込みデータ	
データ送信時	
データ送信後の ACK 転送期間	
データ転送時にリスタートコンディションを検出した	ストップコンディションが発生した (IICCTL00.SPIE が 1 のとき) (注2)
データ転送時にストップコンディションを検出した	

表 20.4 アービトレーション時のステータスと割り込み要求の発生タイミング (2/2)

アービトレーション時のステータス	割り込み要求発生タイミング
リスタートコンディション生成試行時にデータが Low レベルになった	バイト転送後の第 8 または第 9 クロックサイクルの立ち下がりエッジ(注1)
リスタートコンディション生成試行時にストップコンディションを検出した	ストップコンディションが発生した (IICCTL00.SPIE が 1 のとき) (注2)
ストップコンディション生成試行時にデータが Low レベルになった	バイト転送後の第 8 または第 9 クロックサイクルの立ち下がりエッジ(注1)
リスタートコンディション生成試行時に SCLA0 が Low レベルになった	

注 1. IICCTL00.WTIM = 1 の場合は、第 9 クロックの立ち下がりエッジで割り込み要求が発生します。IICCTL00.WTIM = 0 の場合、拡張コードのスレーブアドレスが受信された場合、および全アドレス一致機能が有効な期間中にアドレスが受信された場合は、第 8 クロックの立ち下がりエッジで割り込み要求が発生します。

注 2. アービトレーションが発生する可能性があれば、マスタデバイス動作に対して「IICCTL00.SPIE = 1」を設定してください。

20.3.15 ウェイクアップ機能

I²C バススレーブ機能は、自局アドレスが受信されたとき、全アドレス一致機能が有効な期間中にアドレスが受信されたとき、または拡張コードが受信されたときに割り込み要求信号 (IICA0_TXR XI) を生成する機能です。

この機能は、全アドレス一致機能が無効な期間中にアドレスが一致しない場合に不必要な IICA0_TXR XI 信号が発生しないようにすることで処理をより効率的にします。

スタートコンディションが検出されると、ウェイクアップスタンバイ状態に入ります。スタートコンディションを生成したマスタデバイスでも、アドレス送信中にウェイクアップスタンバイ状態に入ります。それは、アービトレーションロストによってマスタデバイスがスレーブデバイスになる可能性があるからです。

ソフトウェアスタンバイモードでウェイクアップ機能を使用するには、IICCTL01.WUP ビットを 1 にしてください。動作クロックとは非同期にアドレスを受信することができます。また、自局アドレスが受信されたとき、全アドレス一致機能が有効な期間中にアドレスが受信されたとき、または拡張コードが受信されたときは割り込み要求信号 (IICA0_TXR XI) も生成されます。この割り込み要求信号の生成後に IICCTL01.WUP ビットをクリア (0 に) する命令を使用することで通常動作に復帰します。

IICCTL01.WUP を 1 にする手順を表 20.5 に示します。アドレス一致を検出した時 (または全アドレス一致機能を有効にした時) に IICCTL01.WUP を 0 にする手順を表 20.6 に示します。

表 20.5 IICCTL01.WUP を 1 にする手順

手順	処理	詳細説明
IICCTL01.WUP を 1 にする	<1> 動作開始	—
	<2> ステータスを確認	IICS0 (IICA ステータスレジスタ 0) が次の状態になるまで待つ。 • MSTS ビット = 0 • STD ビット = 0 • EXC ビット = 0 • COI ビット = 0
	<3> アドレス一致ウェイクアップ機能の動作を許可する	IICCTL01.WUP ビットを設定する。
	<4> ウェイト	f _{MCK} が 3 サイクル経過するのを待つ。
	<5> 命令実行を停止	—

表 20.6 アドレス一致を検出した時 (または全アドレス一致機能を有効にした時) に IICCTL01.WUP を 0 にする処理の流れ (拡張コードの受信を含む)

手順	処理	詳細説明
アドレス一致を検出した時 (または全アドレス一致機能を有効にした時) に IICCTL01.WUP を 0 にする (拡張コードの受信を含む)	<1> 動作開始	ソフトウェアスタンバイモード状態
	<2> 割り込みを確認	IICA0_TXRXI = 1 になるまで待つ。
	<3> アドレス一致ウェイクアップ機能の動作を禁止する	IICCTL01.WUP ビットをクリアする。
	<4> ウェイト	f _{MCK} クロックが 5 サイクル経過するのを待つ。
	<5> IICS0 の読み出し	—
	<6> 次の処理を実行する	I ² C バスインタフェース (IICA) の動作状態確認後に実行される動作に対応する処理を実行する。

I²C バスインタフェース (IICA) から発生する割り込み要求信号 (IICA0_TXRXI) 以外でソフトウェアスタンバイモードから復帰する処理を実行する際に使用するフローを以下に示します。

- 次の IIC 通信時にマスタデバイスとして動作する場合：表 20.7 に示すフロー
- 次の IIC 通信時にスレーブデバイスとして動作する場合：
 - IICA0_TXRXI 割り込みによって解除される場合：表 20.6 に示すフローと同じです。
 - IICA0_TXRXI 割り込み以外によって解除される場合：IICCTL01.WUP を 1 に設定されたままにして IICA0_TXRXI 割り込みを待ちます。

表 20.7 IICA0_TXRXI 以外によってソフトウェアスタンバイモードを解除した後にマスタデバイスとして動作している場合

手順	処理	詳細説明
IICA0_TXRXI 以外によってソフトウェアスタンバイモードを解除した後にマスタデバイスとして動作している場合	<1> 動作開始	—
	<2> 割り込み要求の生成を許可する	IICCTL00.SPIE ビットを設定する。
	<3> アドレス一致ウェイクアップ機能の動作を許可する	IICCTL01.WUP ビットを設定する。
	<4> ウェイト	f _{MCK} クロックが 3 サイクル経過するのを待つ。
	<5> 命令実行を停止	ソフトウェアスタンバイ状態
	<6> ソフトウェアスタンバイモードから復帰	IICA0_TXRXI 以外の割り込みによってソフトウェアスタンバイモードを解除する。
	<7> アドレス一致ウェイクアップ機能の動作を禁止する	IICCTL01.WUP ビットをクリアする。
	<8> 割り込みを確認	IICA0_TXRXI = 1 になるまで待つ。
	<9> IICS0 の読み出し	—
	<10> 次の処理を実行する	I ² C バスインタフェース (IICA) の動作状態確認後に実行される動作に対応する処理を実行する。

20.3.16 通信予約

(1) 通信予約機能が許可されている場合 (IICA フラグレジスタ 0 (IICF0) の IICRSV = 0)

バス解放時のスタートコンディション送信を許可するために通信予約をしておくと、バスがアイドルになった時にマスタ通信を開始することができます。以下の 2 つの状況でバスがアイドルとなります。

- アービトレーションの結果がマスタデバイス動作でもスレーブデバイス動作でもない
- 全アドレス一致機能が無効のとき、拡張コードを受信しスレーブデバイス動作が禁止されている (ACK が返されず IICA コントロールレジスタ 00 (IICCTL00) の LREL ビットを 1 にすることでバスが解放され通信が終了する)

バスがアイドルのときに IICCTLn0 レジスタの STT ビットを 1 にすると、バスの解放後 (ストップコンディション検出時)、スタートコンディションを自動的に生成して通信スタンバイ状態に入ります。

IICCTLn0 レジスタの SPIE ビットを 1 にして、割り込み要求 (IICAn_TXRXI) によるバスの解放を検出 (ストップコンディションの検出) すると、IICA シフトレジスタ n (IICAn) にアドレスを書き込んでから、マスタとして自動的に通信を開始します。ストップコンディション検出前に IICA0 レジスタに書き込まれたデータは無効です。

IICCTL00.STT ビットが 1 の場合は、バスの状態に応じて動作モード (スタートコンディション生成/通信予約) が決定されます。

- バスが解放されている場合...スタートコンディションが生成される
- バスが解放されていない場合 (通信スタンバイ状態) ...通信予約

IICCTL00.STT ビットが 1 に設定され、待機時間が経過した後に IICS0.MSTS ビットを使用して、通信予約が機能しているかどうかを確認します。

以下の式から算出される待機時間をソフトウェアで確保してください。

IICCTL00.STT = 1 の設定から IICS0.MSTS フラグの確認までの待機時間：

$$(\text{IICWL0 の設定値} + \text{IICWH0 の設定値} + 4) / f_{\text{MCK}} + t_{\text{F}} \times 2$$

注. IICWL0 : IICA Low レベル幅設定レジスタ 0

IICWH0 : IICA High レベル幅設定レジスタ 0

t_{F} : SDA0 および SCLA0 信号の立ち下がり時間

f_{MCK} : IICA 動作クロック周波数

通信予約のタイミングを図 20.13 に示します。

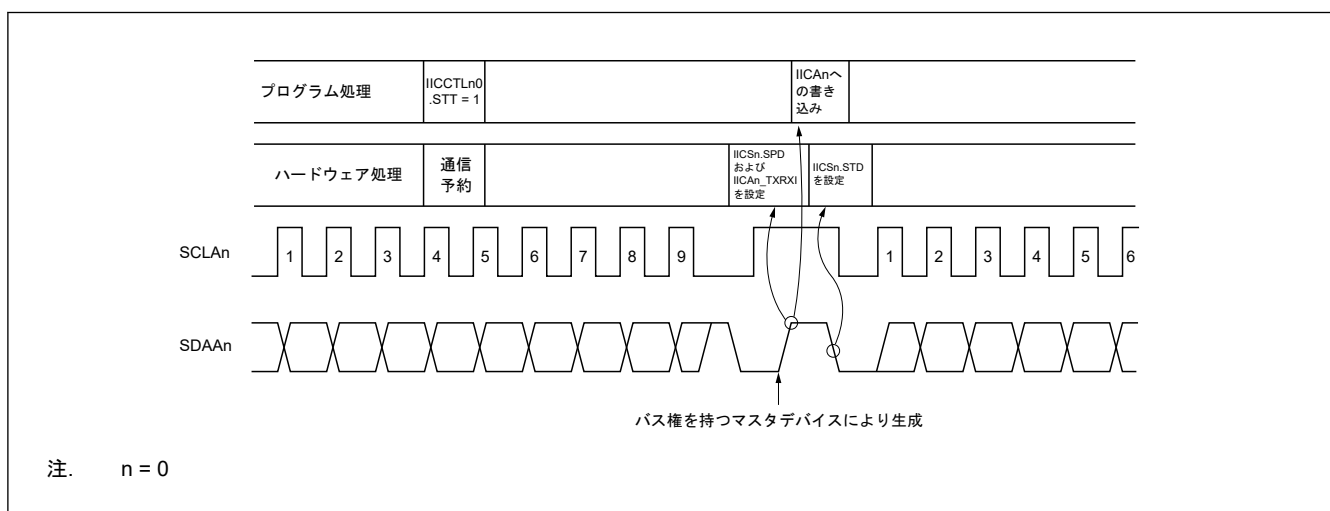


図 20.13 通信予約のタイミング

通信予約は図 20.14 に示すタイミングで受理されます。IICA ステータスレジスタ 0 (IICS0) の STD ビットが 1 に設定された後、ストップコンディションが検出される前に IICA コントロールレジスタ 00 (IICCTL00) の STT ビットを 1 に設定することによって通信予約を作成できます。

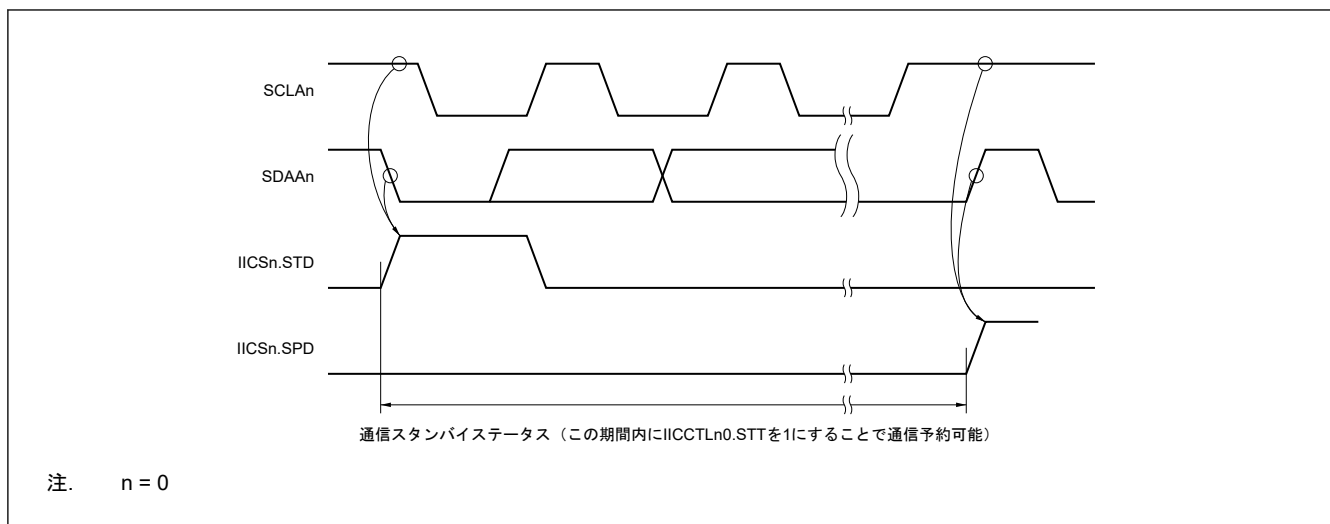


図 20.14 通信予約が受理されるタイミング

通信予約の処理手順を図 20.15 に示します。

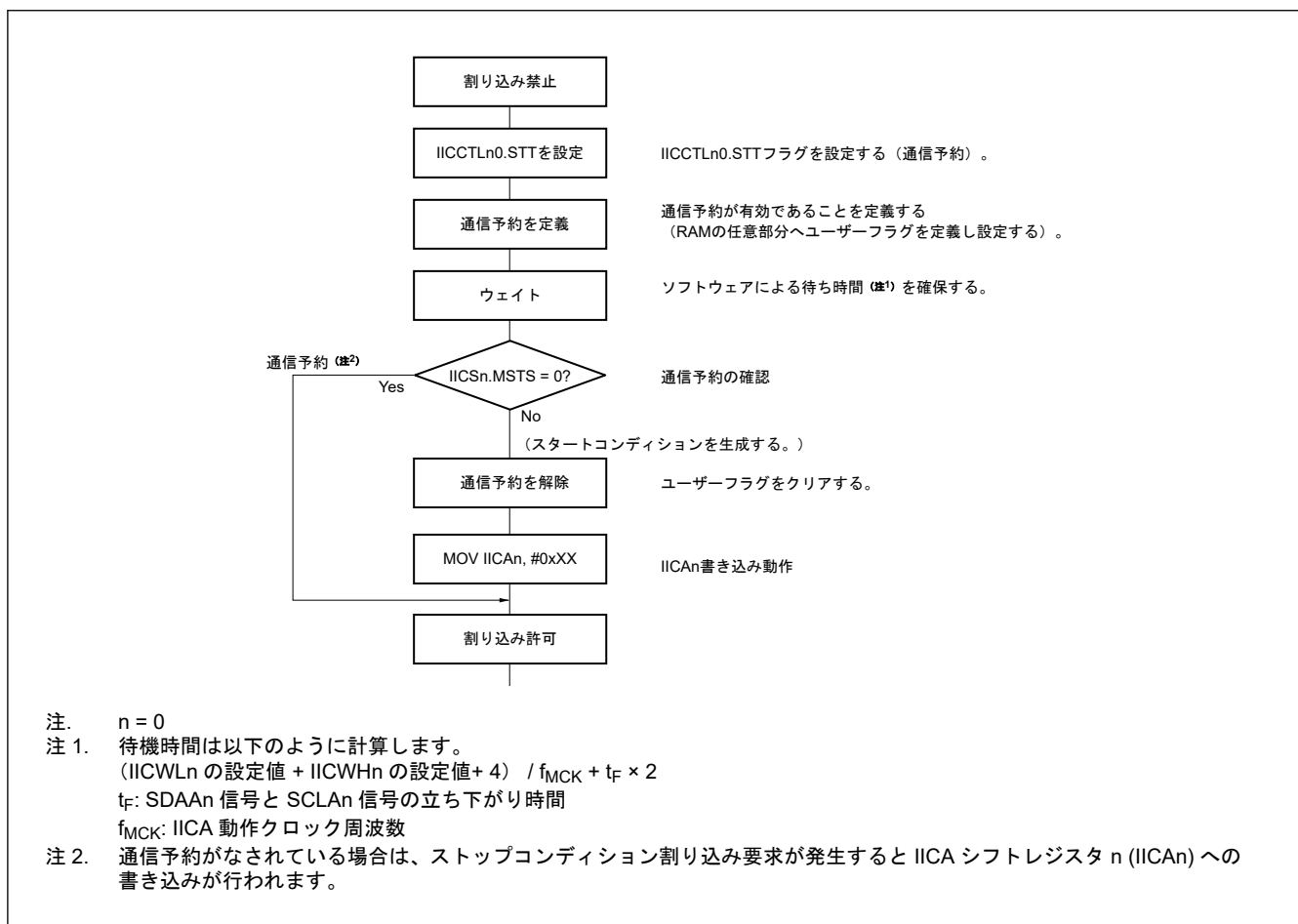


図 20.15 通信予約の処理手順

(2) 通信予約機能が禁止されている場合 (IICF0.IICRSV = 1)

バスが通信中であり、この通信には使用されていない場合に IICA コントロールレジスタ 00 (IICCTL00) の STT ビットが 1 になると、この要求は拒否されスタートコンディションは生成されません。この場合、バスがアイドルになる状態には次の 2 つがあります。

- アービトレーションの結果がマスタデバイス動作でもスレーブデバイス動作でもない

- 全アドレス一致機能が無効のとき、拡張コードを受信しスレーブデバイス動作が禁止されている (ACK が返されず IICCTL00 レジスタの LREL ビットを 1 にすることでバスが解放され通信が終了する)

スタートコンディションが生成されたか、または要求が拒否されたかを確認するには、IICF0.STCF ビットを確認します。IICCTL00.STT = 1 を設定した後、IICF0.STCF ビットが 1 に設定されるまでに最大 f_{MCK} の 5 サイクルかかります。したがって、この時間をソフトウェアで確保してください。

20.3.17 使用上の注意事項

1. IICF0.STCEN = 0 の場合

スタートコンディションの生成は、ストップコンディションの検出に基づいています。したがって、ストップコンディションが検出されていないモードから遷移するときは、まず、ストップコンディションを生成してからバスを解放してください。

I²C の動作を許可 (IICCTL00.IICE = 1) にした直後、実際のバス状態に関わらず、バス通信ステータス (IICF0.IICBSY = 1) であると認識されます。ストップコンディションが検出されていないモードからマスタ通信モードへ遷移するときは、ストップコンディションを生成してバスを解放してからマスタ通信を行ってください。

複数マスタデバイス使用時に、バスが解放されていない (ストップコンディションが検出されていない) 場合はマスタ通信を行えません。

下記のシーケンスでストップコンディションを生成してください。

<1> IICA コントロールレジスタ 01 (IICCTL01) を設定します。

<2> IICA コントロールレジスタ 00 (IICCTL00) の IICE ビットを 1 に設定します。

<3> IICCTL00 レジスタの SPT ビットを 1 に設定します。

2. IICF0.STCEN = 1 の場合

スタートコンディションの生成は、ストップコンディションの検出とは独立しています。よって、最初にバスが解放されていることを確認することが必要です。

I²C の動作が許可された (IICCTL00.IICE = 1) 直後、実際のバス状態には関係なく、バス解放ステータス (IICF0.IICBSY = 0) が認識されます。最初のスタートコンディションを生成する場合 (IICCTL00.STT = 1) は、他の通信を妨げないようにバスが解放されていることを確認してください。

3. 他の I²C 通信が既に実行中の場合

SDAA0 端子が Low で SCLA0 端子が High のとき、I²C の動作が許可され、すでに進行中の通信にデバイスが参加した場合、IICA は SDAA0 端子が Low になったことを認識します (スタートコンディションを検出します)。このとき、バス上の値が拡張コードとして認識されることができ、または全アドレス一致機能が有効の場合、ACK が返されますが、これは他の I²C 通信の妨げとなります。これを避けるには、以下のシーケンスで IICA を起動してください。

<1> IICCTL00 レジスタの SPIE ビットを 0 にクリアして、ストップコンディションが検出されたときの割り込み要求信号 (IICA0_TXRXI) の生成を禁止します。

<2> IICCTL00 レジスタの IICE ビットを 1 に設定して、IICA の動作を許可します。

<3> スタートコンディションが検出されるまで待機します。

<4> ACK が返る前に IICCTL00 レジスタの LREL ビットを 1 に設定して (IICCTL00.IICE ビットを 1 に設定後の f_{MCK} の 4~72 サイクル)、強制的に検出を禁止します。

4. IICCTL00.STT ビットと IICCTL00.SPT ビットを 1 にした後、0 にクリアする前に再び 1 にすることは禁止されています。

5. 送信が予約されている場合は、ストップコンディション検出時に割り込み要求が発生するように、IICCTL00.SPIE ビットを 1 にしてください。割り込み要求の発生後に IICA シフトレジスタ 0 (IICA0) に通信データが書き込まれると、転送が開始されます。ストップコンディション検出時に割り込み要求が発生しない限り、通信開始時に割り込み要求が発生しないため、デバイスは待機状態で停止します。ただし、IICS0.MSTS ビットがソフトウェアによって検出された場合、IICCTL00.SPIE ビットを 1 に設定する必要はありません。

20.3.18 通信動作

本項では、以下の 3 種類の動作手順をフローチャートと共に示します。

1. シングルマスタシステムでのマスタデバイス動作

本製品をシングルマスタシステムのマスタデバイスとして使用する場合はフローチャートを図 20.16 に示します。

このフローチャートは、初期設定と通信処理の二つの大きな区分に分かれています。初期設定は起動時に行います。スレーブデバイスとの通信が必要な場合は、通信の準備をしてから通信処理を行います。

2. マルチマスタシステムでのマスタデバイス動作

I²C バスのマルチマスタシステムにおいて、I²C バス仕様では、デバイスが通信に参加しているときにバスがアイドルかビジーかを判定することはできません。この動作では、データとクロックが一定期間（1 フレーム）High レベルとなっている時に、本製品はバス解放状態で通信に参加します。

このフローチャートは、初期設定、通信待ち、通信処理の三つの大きな区分に分かれています。図 20.17 のフローチャートは、本製品がマスタデバイスとして動作している場合の処理だけを示します。アービトレーションロストとなりスレーブデバイスに指定された場合の処理は省略されています。起動時に初期設定を行って通信に参加してください。そして、マスタデバイスとして通信要求を待つか、スレーブデバイスとして指定されるのを待ちます。実際の通信は通信処理で行われます。この通信処理では、スレーブデバイスとの送受信、および他マスタデバイスとのアービトレーションをサポートしています。

3. スレーブデバイス動作

本製品を I²C バススレーブデバイスとして使用する場合の例を図 20.21 と図 20.22 に示します。

スレーブとして使用される場合、動作は割り込みによって開始されます。起動時に初期設定を実行してから、IICA0_TXRXI 割り込み（通信待機中）の発生を待ちます。IICA0_TXRXI 割り込みが発生すると、通信ステータスが判断され、その結果がフラグとしてメイン処理に渡されます。

このフラグを確認することで必要な通信処理が行われます。

(1) シングルマスタシステムでのマスタデバイス動作

送信フォーマットと受信フォーマットについては、通信中の製品の仕様に従います。

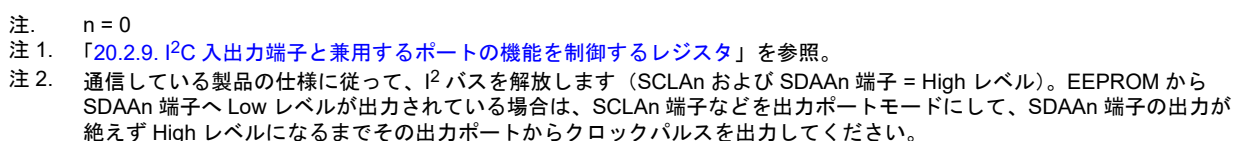
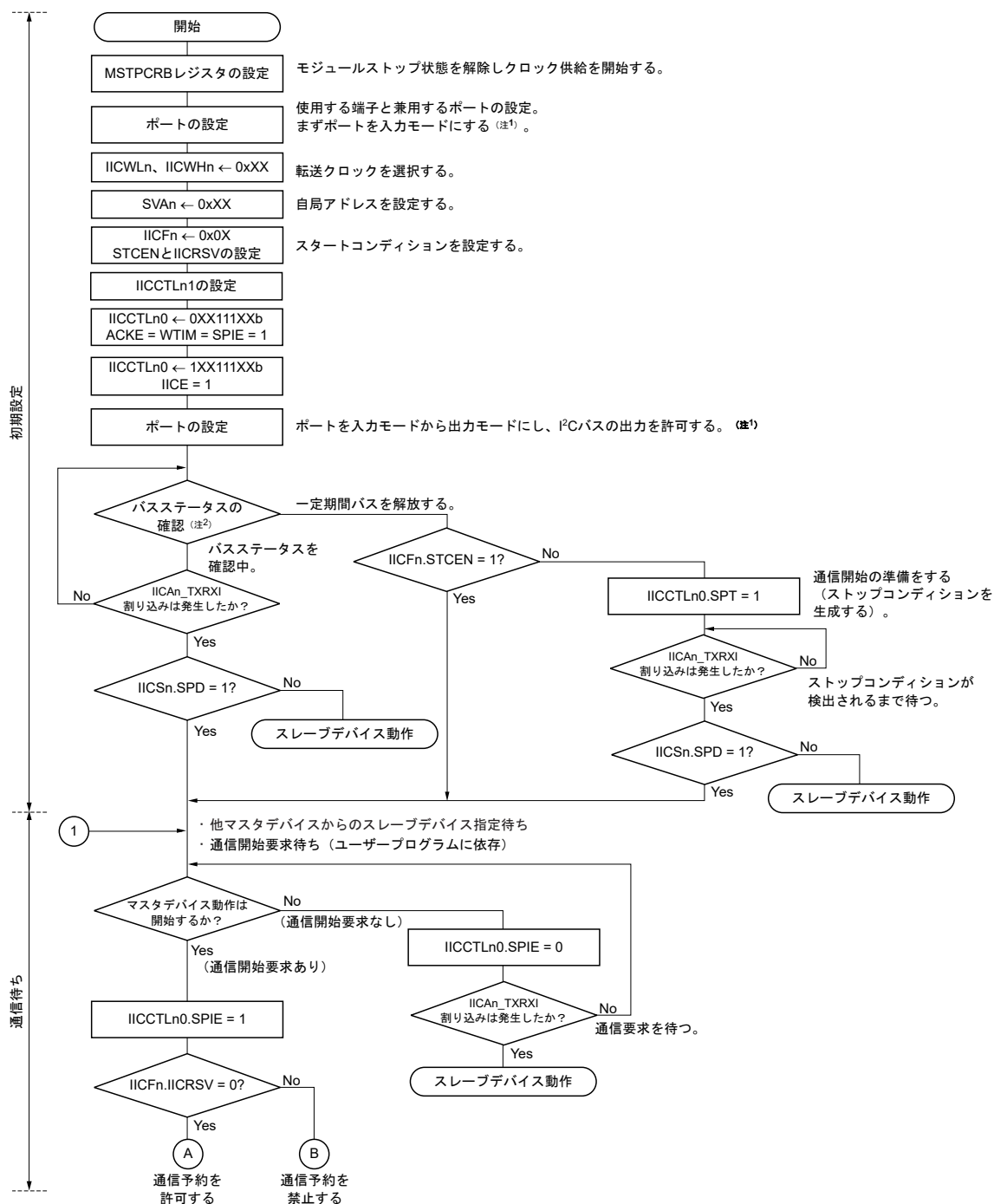


図 20.16 シングルマスタシステムでのマスタデバイス動作

(2) マルチマスタシステムでのマスタデバイス動作

マルチマスタシステムにおいてデバイスをスレーブデバイスとして使用する場合は、割り込み `IICA0_TXRXI` が発生するたびに `IICA` ステータスレジスタ `0` (`IICS0`) と `IICA` フラグレジスタ `0` (`IICF0`) でステータスを確認して次に行う処理を決定してください。



注. n = 0

注 1. 「20.2.9. I2C 入出力端子と兼用するポートの機能を制御するレジスタ」を参照。

注 2. バスが一定の期間 (たとえば、1 フレームの期間) 解放されていることを確認します (IICCTLn1.CLD ビット = 1、IICCTLn1.DAD ビット = 1)。SDAAn 端子が絶えず Low レベルとなっている場合は、通信中の製品の仕様に従って、I2C バスを解放 (SCLAn 端子と SDAAn 端子が High レベル) するかどうかを判定してください。

図 20.17 マルチマスタシステムでのマスタデバイス動作 (1/3)

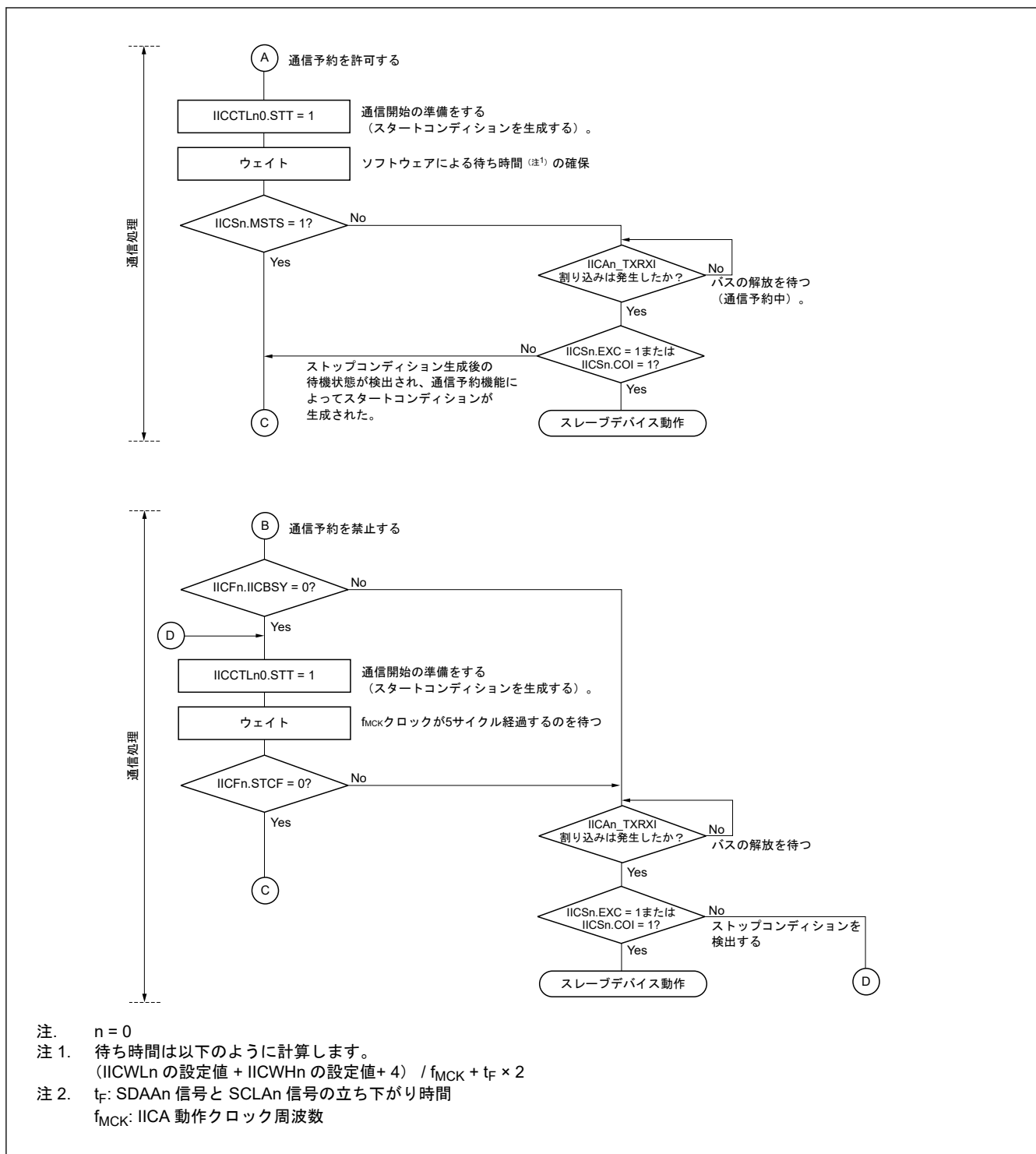


図 20.18 マルチマスタシステムでのマスタデバイス動作 (2/3)

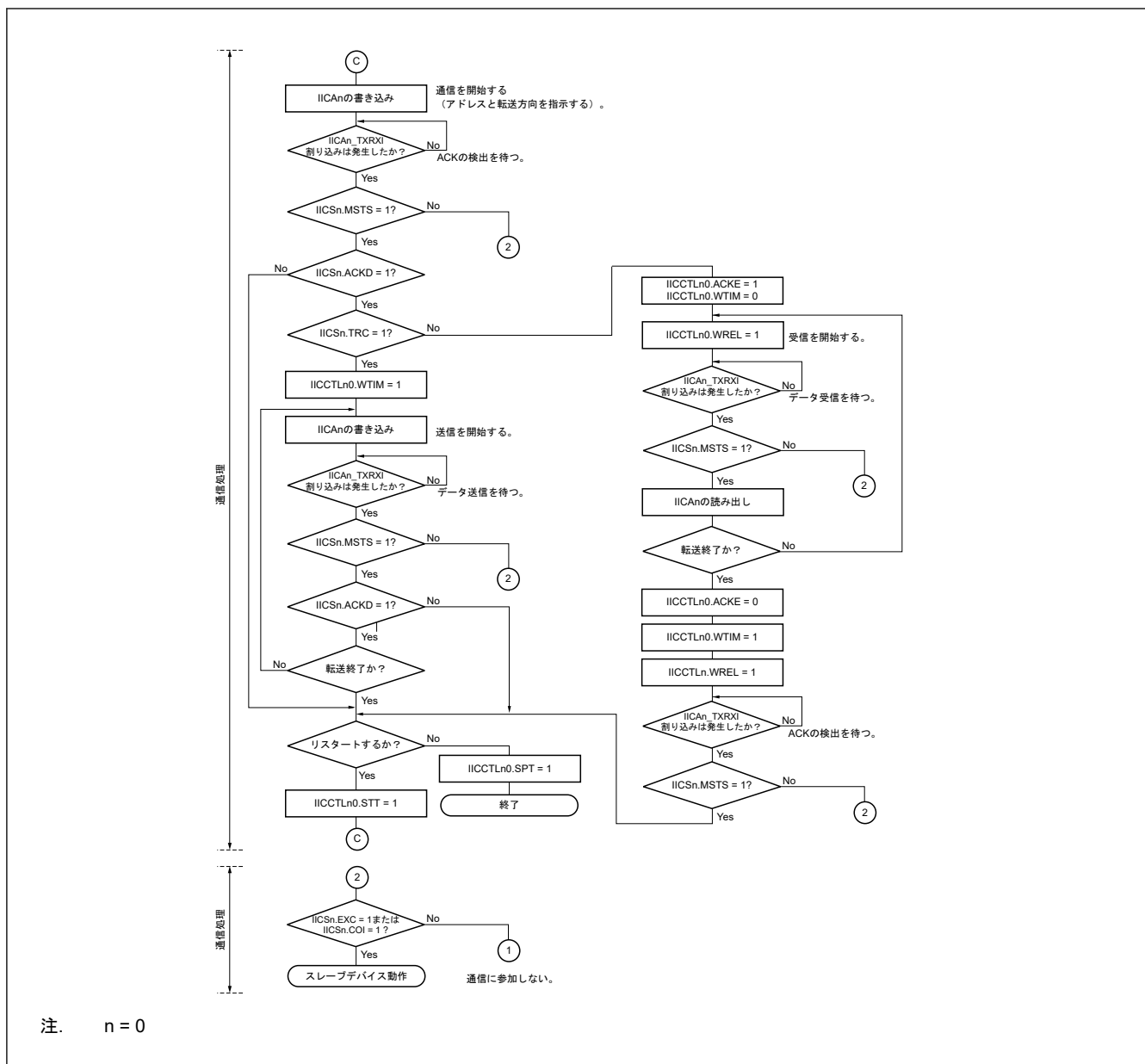


図 20.19 マルチマスタシステムでのマスタデバイス動作 (3/3)

(3) スレーブデバイス動作

スレーブデバイス動作の処理手順を以下に示します。

基本的に、スレーブデバイス動作はイベント駆動で行われます。したがって、IICA0_TXRRI 割り込みによる処理（通信中にストップコンディション検出のような動作ステータスの大幅な変更を行う処理）が必要です。

以下の説明は、全アドレス一致機能は無効でデータ通信については拡張コードをサポートしていない環境を前提としています。また、IICA0_TXRRI 割り込み処理はステータス遷移処理にのみ使用され、実際のデータ通信はメイン処理で行われることも前提となっています。

図 20.20 に、スレーブデバイス動作におけるメイン処理によるインタフェース構成を示します。

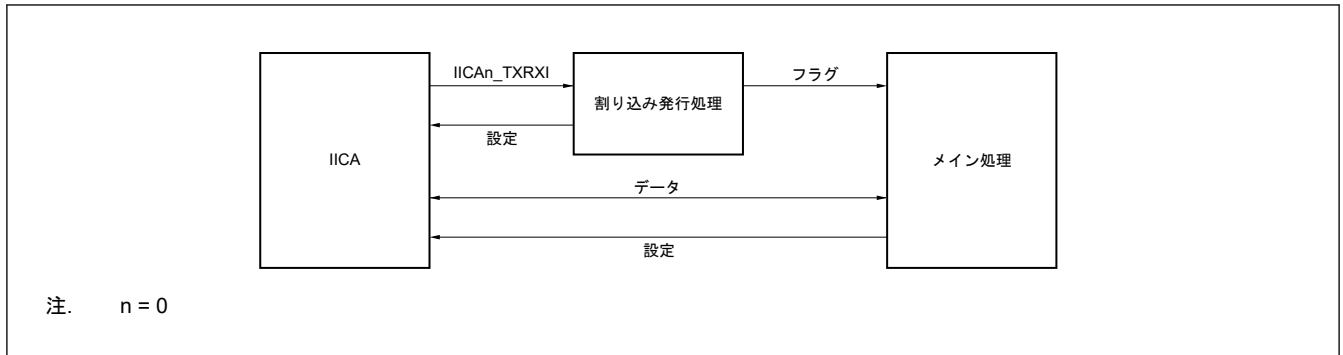


図 20.20 スレーブデバイス動作におけるメイン処理によるインタフェース構成

そのため、データ通信処理は、次の3つのフラグを準備し、それらを IICA0_TXRXI の代わりにメイン処理に渡すことによって実行されます。

<1> 通信モードフラグ

このフラグは以下の2種類の通信ステータスを示します。

- クリアモード：データ通信が行われない状態
- 通信モード：データ通信が行われる状態（有効アドレスを検出してからストップコンディションを検出するまで。マスタデバイスからの ACK 検出なし。アドレス不一致）

<2> レディフラグ

このフラグはデータ通信が許可されていることを示します。その機能は、通常のデータ通信での IICA0_TXRXI 割り込みと同じです。このフラグは割り込み発行処理によって1になり、メイン処理によって0にクリアされます。通信が開始されたら割り込み発行処理でこのフラグをクリアしてください。なお、最初のデータを送信する時に、割り込み発行処理ではレディフラグは1になりません。したがって、フラグがクリアされずに最初のデータは送信されます（アドレス一致は次データ要求と解釈されます）。

<3> 通信方向フラグ

このフラグは通信方向を示します。その値は、IICS0.TRC ビットと同じです。

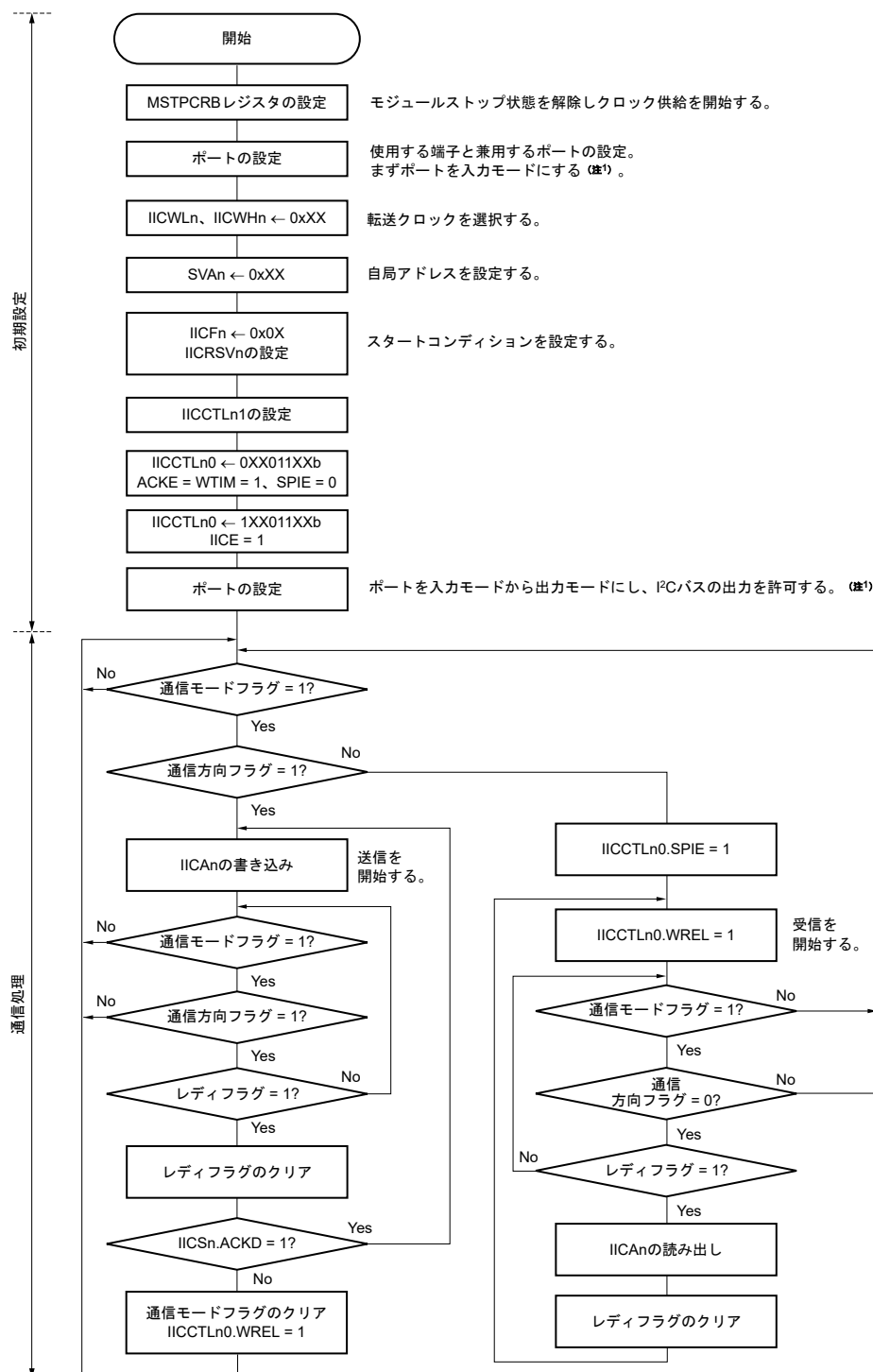
スレーブデバイス動作の主な処理を次に示します。

I²C バスインタフェース (IICA) を起動し通信が許可されるまで待ちます。通信が許可されたら、通信モードフラグとレディフラグを使用して通信を実行します（ストップコンディションとスタートコンディションの処理は割り込みで実行されます。ここでは、これらのフラグを使ってステータスを確認します）。

マスタデバイスが ACK を返さなくなるまで送信動作が繰り返されます。マスタデバイスから ACK が返されなくなると通信完了です。

受信については必要量のデータを受信します。次データとして ACK が返されなくなると通信完了です。その後、マスタデバイスはストップコンディションまたはリスタートコンディションを生成し、通信状態を終了します。

送信フォーマットと受信フォーマットについては、通信中の製品の仕様に従います。



注. $n = 0$

注 1. 「20.2.9. I²C 入出力端子と兼用するポートの機能を制御するレジスタ」を参照。

図 20.21 スレーブデバイス動作のフローチャート (1)

IICA0_TXRXI 割り込みによるスレーブデバイス動作の処理手順例 (全アドレス一致機能は無効で拡張コードは不使用の場合) を以下に示します。IICA0_TXRXI 割り込みでステータスを確認した後、次の処理が行われます。

<1> ストップコンディションが発行されると通信が停止する。

<2> スタートコンディションが発行されるとアドレス確認が行われ、アドレスが不一致の場合は通信完了となる。

アドレスが一致した場合、待ち状態が終了して通信モードとなり、割り込みから処理が復帰する（レディフラグがクリアされる）。

<3> データ送信／受信については、レディフラグだけが設定される。I²C バスが通信スタンバイ状態のままで割り込みから処理が復帰する。

注. <上記の 1>～<3> は、図 20.22 の <1>～<3> に対応します。

スレーブデバイス動作で使用する割り込みのフローチャートを図 20.22 に示します。

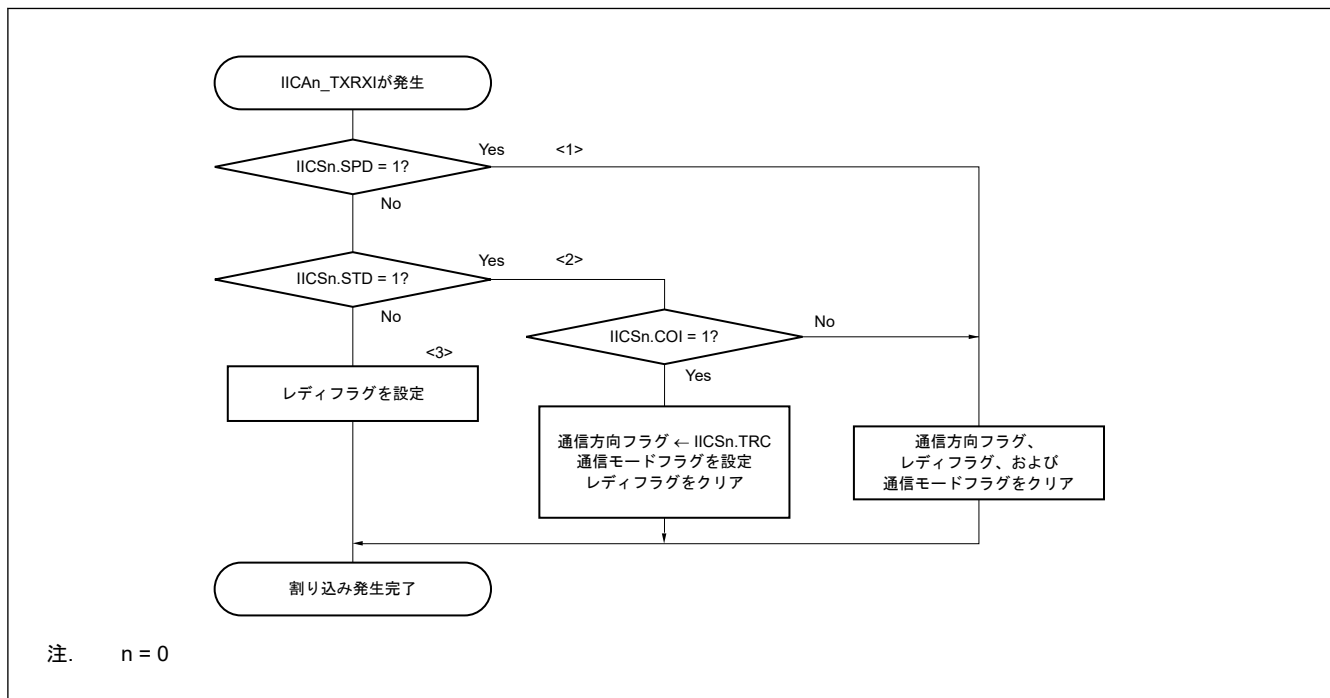


図 20.22 スレーブデバイス動作のフローチャート (2)

20.3.19 I²C 割り込み要求信号 (IICA0_TXRXI) 発生タイミング

データの送信または受信と割り込み要求信号 IICA0_TXRXI の生成のタイミング、および IICA0_TXRXI 信号が生成されときの IICA ステータスレジスタ 0 (IICS0) の値を図 20.23～図 20.62 に示します。

注. ST: スタートコンディション
AD6～AD0: アドレスビット
R/W#: 転送方向指示ビット
ACK: アクノリッジビット
D7～D0: データビット
SP: ストップコンディション

(1) マスタデバイスの動作

(a) ST → アドレス → データ → データ → SP (受信/送信)

1.IICCTL00.WTIM が 0 の場合

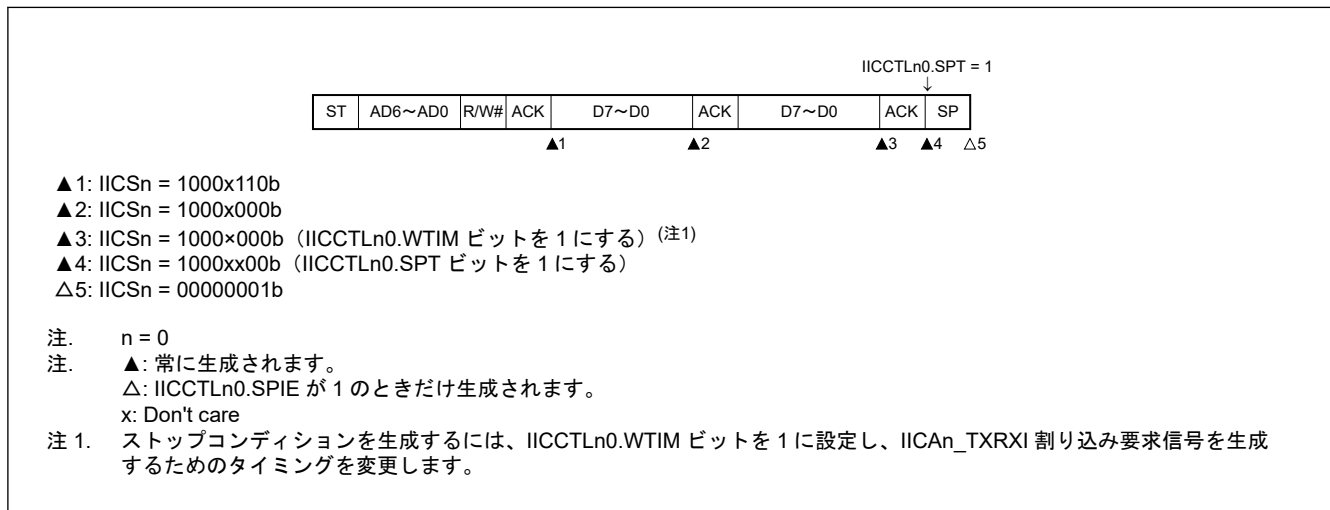


図 20.23 マスタデバイスの動作 (受信/送信) (IICCTL00.WTIM が 0 の場合)

2.IICCTL00.WTIM が 1 の場合

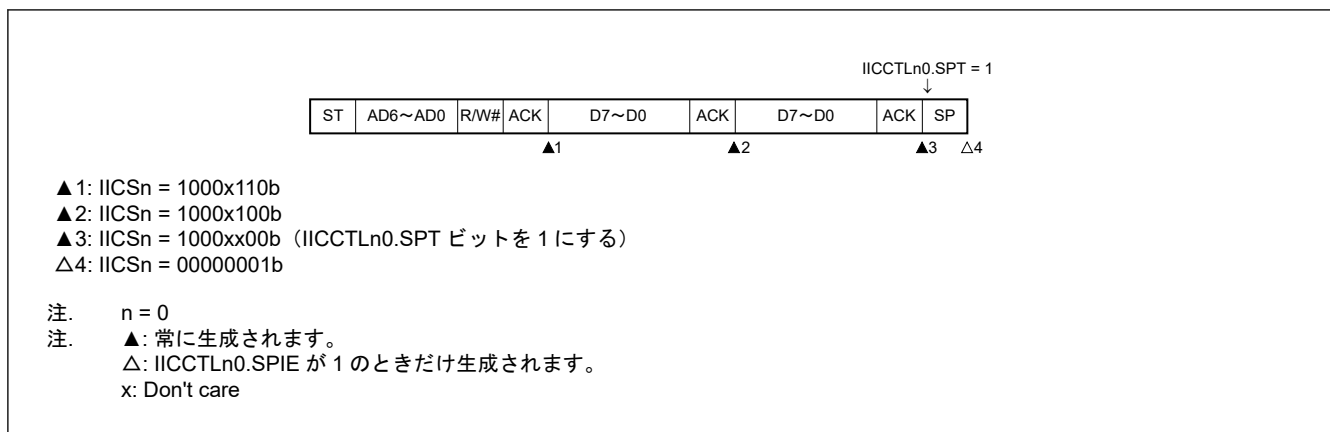
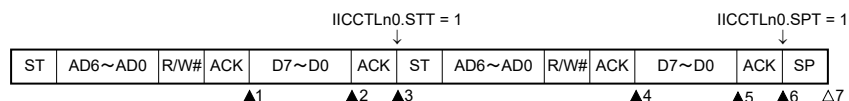


図 20.24 マスタデバイスの動作 (受信/送信) (IICCTL00.WTIM が 1 の場合)

(b) ST → アドレス → データ → ST → アドレス → データ → SP (リスタート)

1. IICCTL00.WTIM が 0 の場合



- ▲1: IICSn = 1000x110b
 ▲2: IICSn = 1000x000b (IICCTLn0.WTIM ビットを 1 にする) (注1)
 ▲3: IICSn = 1000xx00b (IICCTLn0.WTIM ビットを 0 にし(注2)、IICCTLn0.STT ビットを 1 にする)
 ▲4: IICSn = 1000x110b
 ▲5: IICSn = 1000x000b (IICCTLn0.WTIM ビットを 1 にする) (注3)
 ▲6: IICSn = 1000xx00b (IICCTLn0.SPT ビットを 1 にする)
 △7: IICSn = 00000001b

注. n = 0

注. ▲: 常に生成されます。

△: IICCTLn0.SPIE が 1 のときだけ生成されます。

x: Don't care

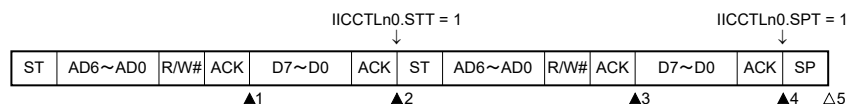
注 1. スタートコンディションを生成するには、IICCTLn0.WTIM ビットを 1 に設定し、IICAn_TXRXI 割り込み要求信号を生成するためのタイミングを変更します。

注 2. IICCTLn0.WTIM ビットを 0 にして設定を元に戻します。

注 3. ストップコンディションを生成するには、IICCTLn0.WTIM ビットを 1 に設定し、IICAn_TXRXI 割り込み要求信号を生成するためのタイミングを変更します。

図 20.25 マスタデバイスのリスタート動作 (IICCTL00.WTIM が 0 の場合)

2. IICCTL00.WTIM が 1 の場合



- ▲1: IICSn = 1000x110b
 ▲2: IICSn = 1000xx00b (IICCTLn0.STT ビットを 1 にする)
 ▲3: IICSn = 1000x110b
 ▲4: IICSn = 1000xx00b (IICCTLn0.SPT ビットを 1 にする)
 △5: IICSn = 00000001b

注. n = 0

注. ▲: 常に生成されます。

△: IICCTLn0.SPIE が 1 のときだけ生成されます。

x: Don't care

図 20.26 マスタデバイスのリスタート動作 (IICCTL00.WTIM が 1 の場合)

(c) ST → コード → データ → データ → SP (拡張コード送信)

1.IICCTL00.WTIM が 0 の場合

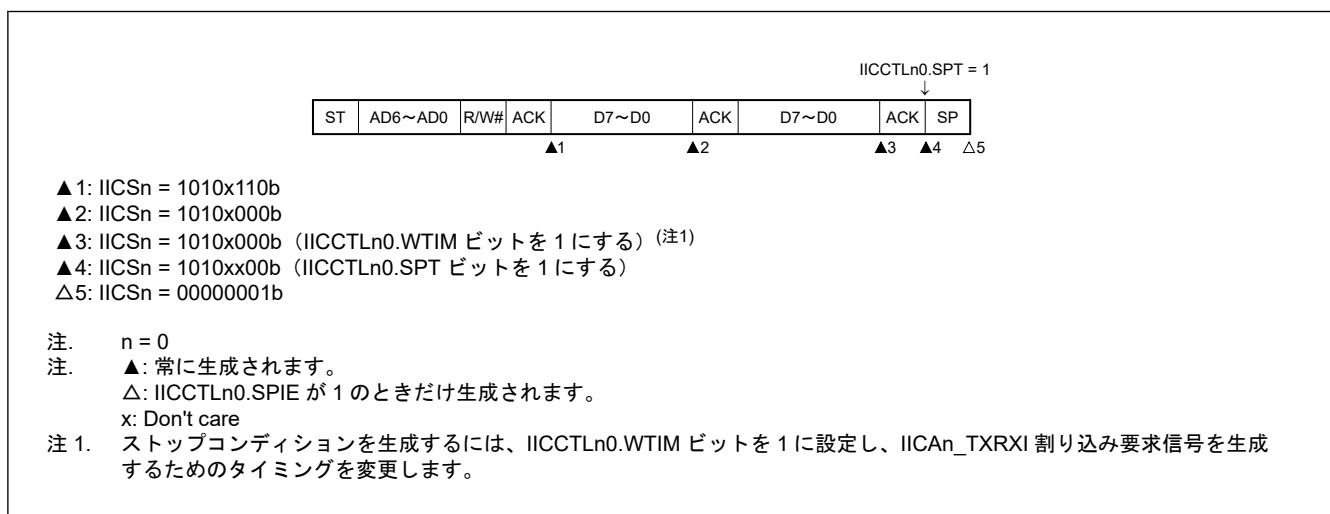


図 20.27 マスタデバイスの拡張コード送信動作 (IICCTL00.WTIM が 0 の場合)

2.IICCTL00.WTIM が 1 の場合

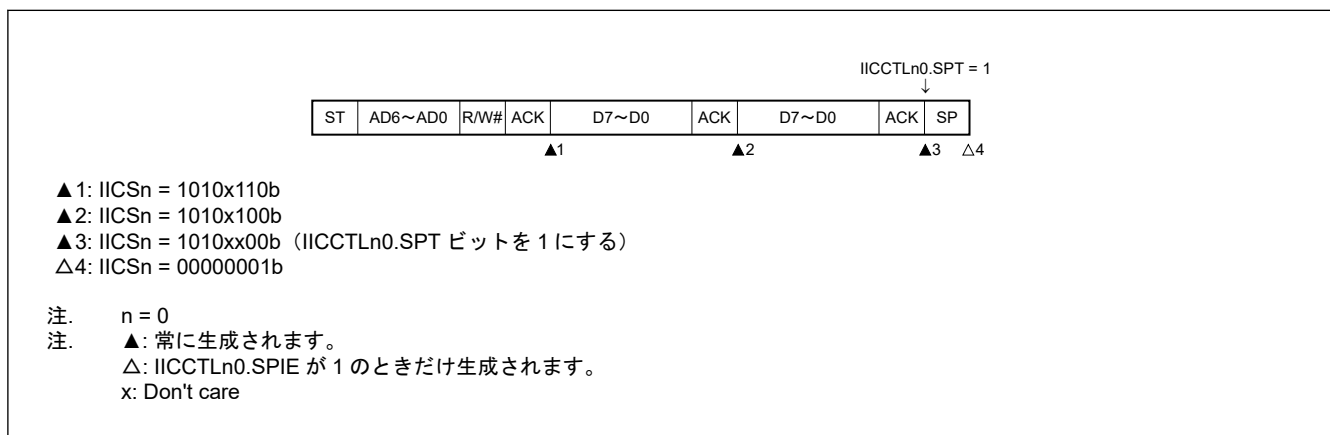


図 20.28 マスタデバイスの拡張コード送信動作 (IICCTL00.WTIM が 1 の場合)

(2) スレーブデバイスの動作 (スレーブアドレスデータ受信)

(a) ST → アドレス → データ → データ → SP

1.IICCTL00.WTIM が 0 の場合

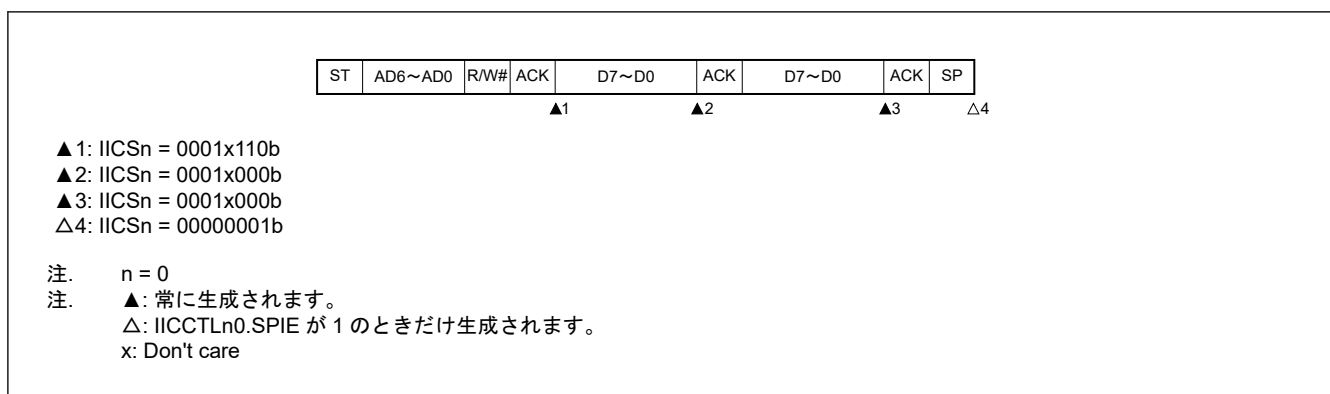


図 20.29 スレーブデバイスのスレーブアドレスデータ受信動作 (IICCTL00.WTIM が 0 の場合)

2.IICCTL00.WTIM が 1 の場合

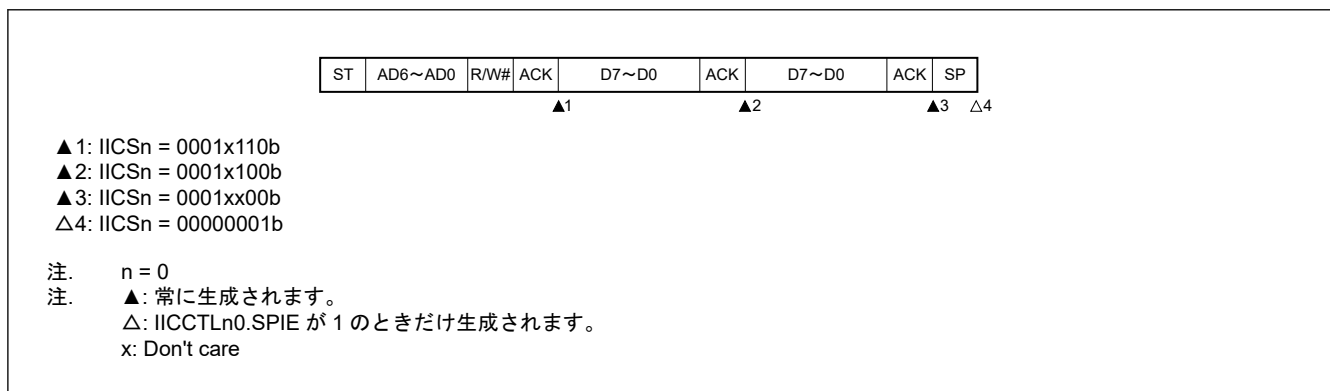


図 20.30 スレーブデバイスのスレーブアドレスデータ受信動作 (IICCTL00.WTIM が 1 の場合)

(b) ST → アドレス → データ → ST → アドレス → データ → SP

1.IICCTL00.WTIM が 0 の場合 (リスタート後、SVA0 一致、全アドレス一致機能は無効)

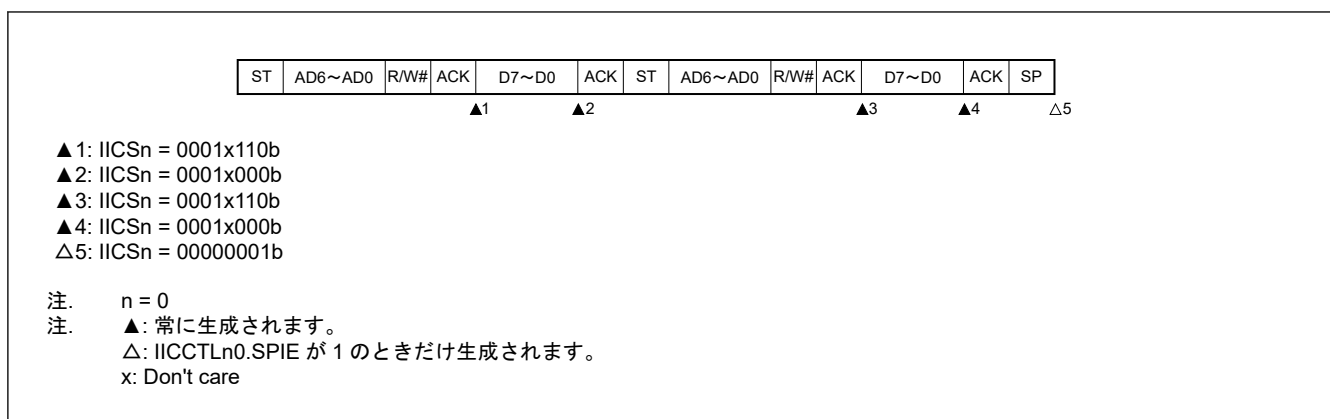


図 20.31 通常アクセスの後のスレーブデバイスの動作、SVA0 と一致する (IICCTL00.WTIM が 0 の場合)

2.IICCTL00.WTIM が 1 の場合 (リスタート後、SVA0 一致、全アドレス一致機能は無効)

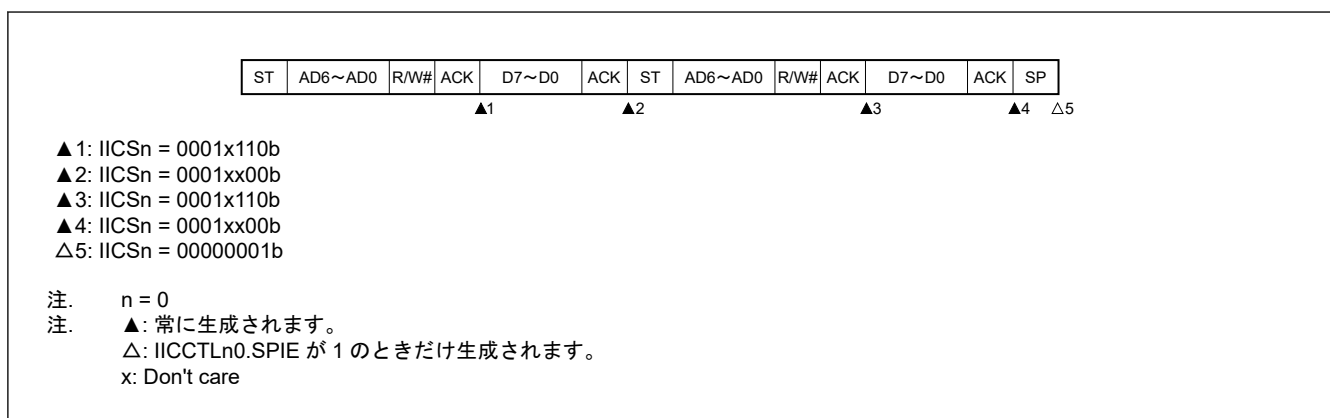


図 20.32 通常アクセスの後のスレーブデバイスの動作、SVA0 と一致する (IICCTL00.WTIM が 1 の場合)

(c) ST → アドレス → データ → ST → コード → データ → SP

1.IICCTL00.WTIM が 0 の場合

(リスタート後、アドレス不一致 (拡張コード、全アドレス一致機能は無効))

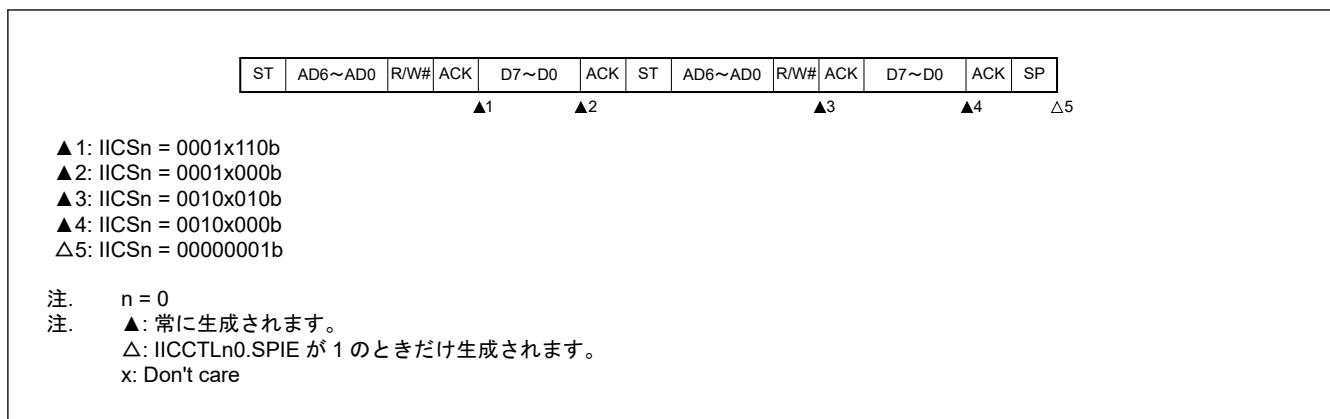


図 20.33 通常アクセスの後のスレーブデバイスの動作、拡張コードと一致する (IICCTL00.WTIM が 0 の場合)

2.IICCTL00.WTIM が 1 の場合

(リスタート後、アドレス不一致 (拡張コード、全アドレス一致機能は無効))

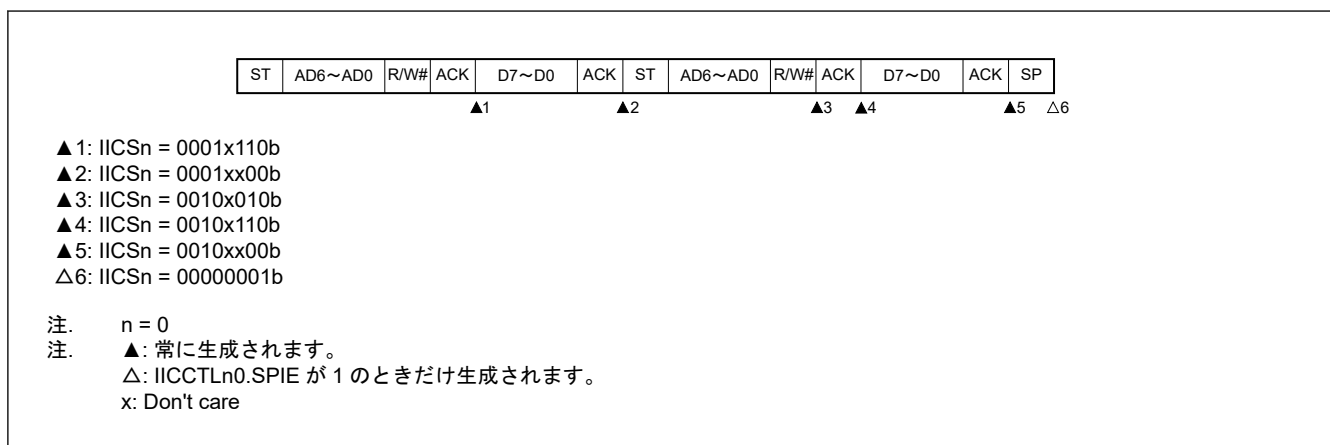


図 20.34 通常アクセスの後のスレーブデバイスの動作、拡張コードと一致する (IICCTL00.WTIM が 1 の場合)

(d) ST → アドレス → データ → ST → アドレス → データ → SP**1.IICCTL00.WTIM が 0 の場合**

(リスタート後、アドレス不一致 (拡張コード以外、全アドレス一致機能は無効))

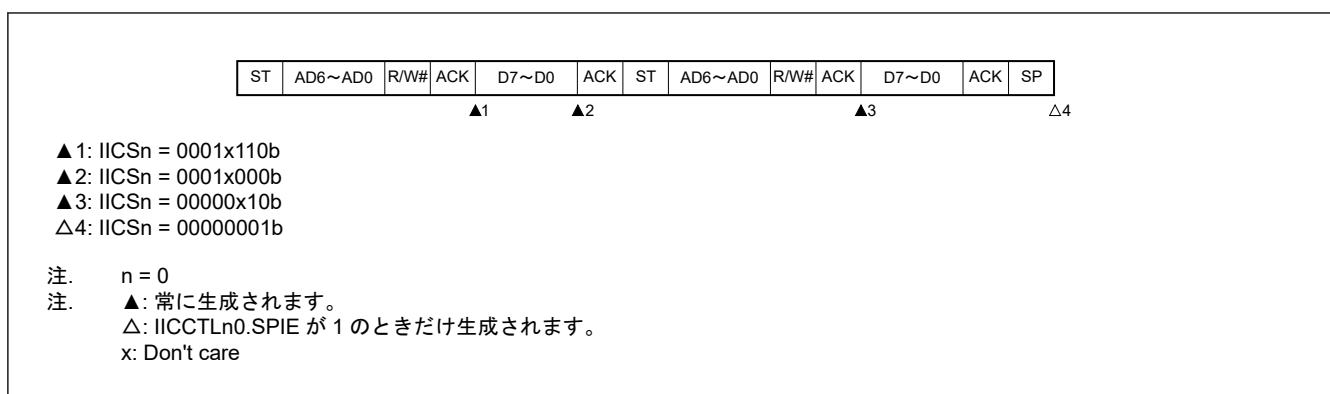


図 20.35 通常アクセスの後のスレーブデバイスの動作、一致しない (IICCTL00.WTIM が 0 の場合)

2.IICCTL00.WTIM が 1 の場合

(リスタート後、アドレス不一致 (拡張コード以外、全アドレス一致機能は無効))

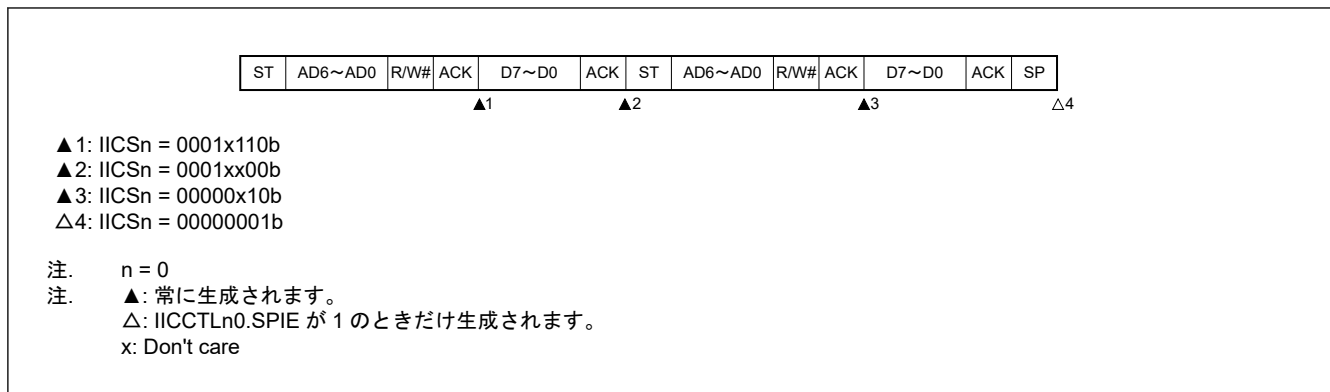


図 20.36 通常アクセスの後のスレーブデバイスの動作、一致しない (IICCTL00.WTIM が 1 の場合)

(3) スレーブデバイスの動作 (拡張コード受信および全アドレス一致機能無効の場合)

デバイスが拡張コードを受信する時は常に通信に参加しています。

(a) ST → コード → データ → データ → SP

1.IICCTL00.WTIM が 0 の場合

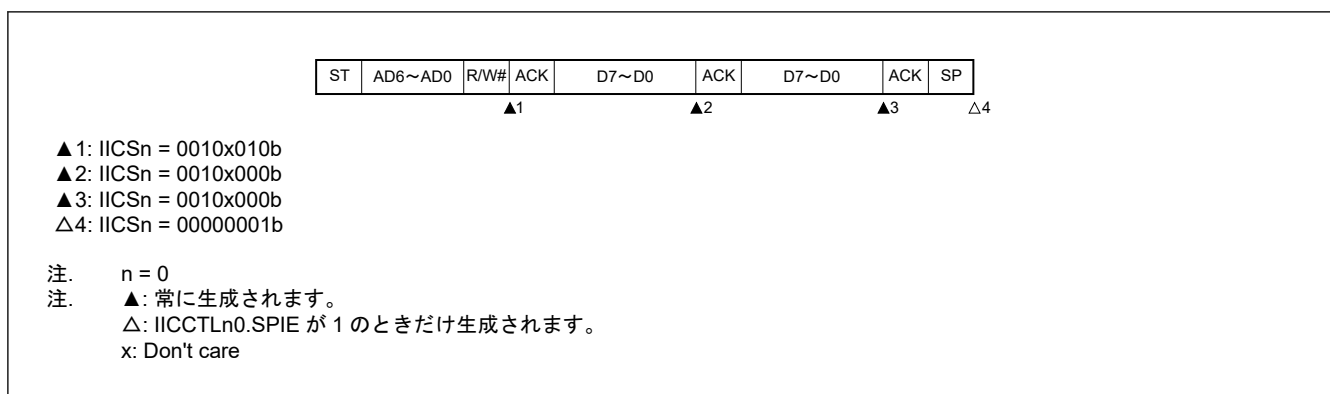


図 20.37 スレーブデバイスの拡張コード受信動作 (IICCTL00.WTIM が 0 の場合)

2.IICCTL00.WTIM が 1 の場合

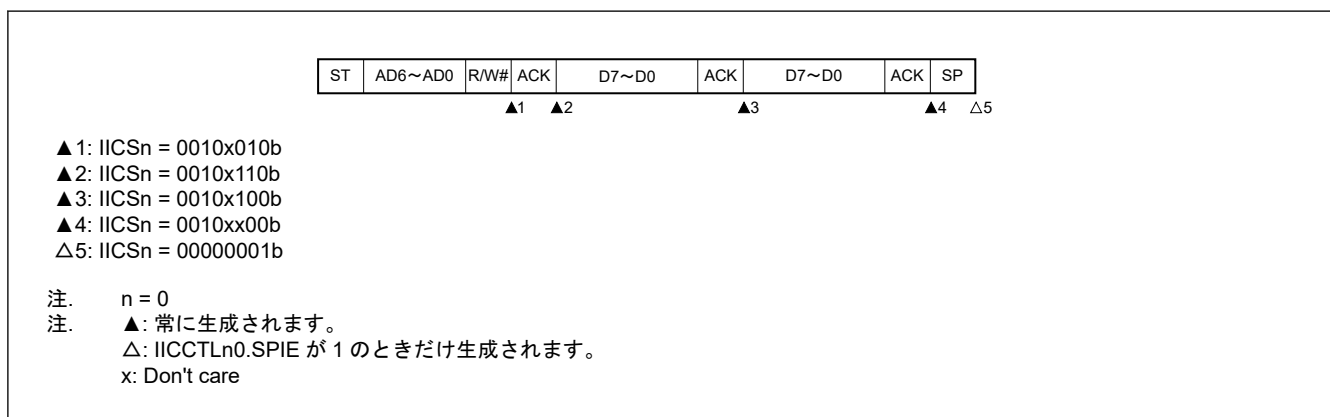


図 20.38 スレーブデバイスの拡張コード受信動作 (IICCTL00.WTIM が 1 の場合)

(b) ST → コード → データ → ST → アドレス → データ → SP

1.IICCTL00.WTIM が 0 の場合（リスタート後、SVA0 一致、全アドレス一致機能は無効）

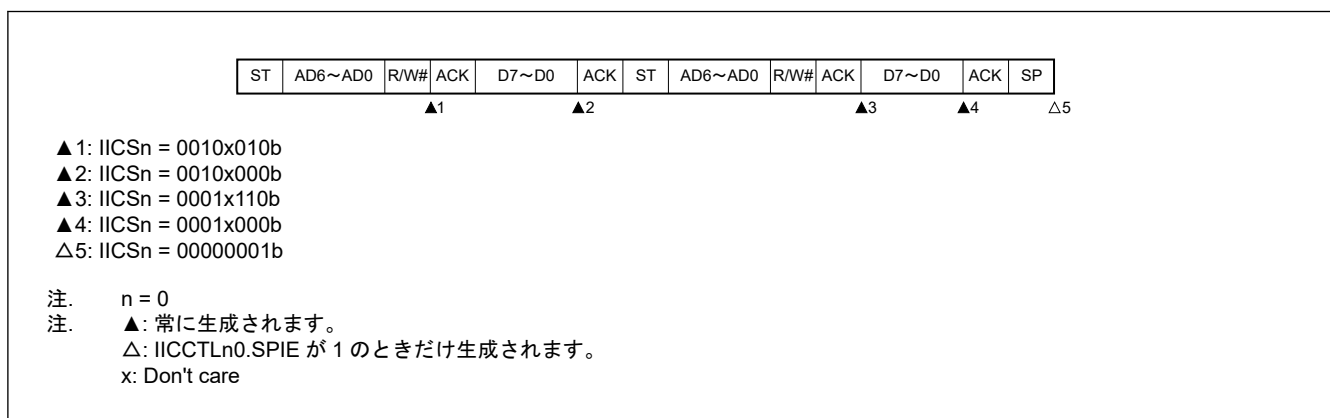


図 20.39 コードアクセスの後のスレーブデバイスの動作、SVA0 と一致する (IICCTL00.WTIM が 0 の場合)

2.IICCTL00.WTIM が 1 の場合（リスタート後、SVA0 一致、全アドレス一致機能は無効）

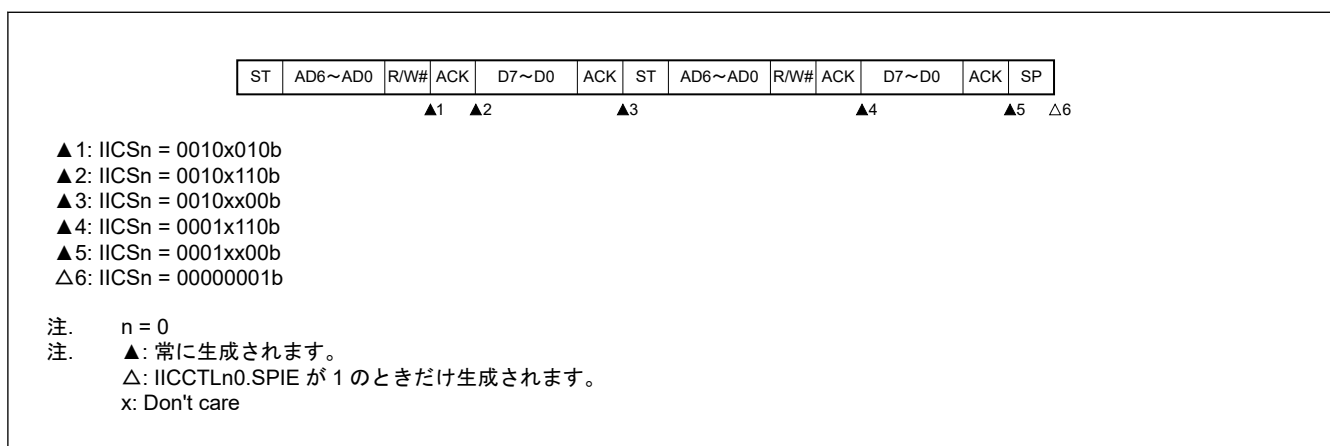


図 20.40 コードアクセスの後のスレーブデバイスの動作、SVA0 と一致する (IICCTL00.WTIM が 1 の場合)

(c) ST → コード → データ → ST → コード → データ → SP

1.IICCTL00.WTIM が 0 の場合（リスタート後、拡張コード受信、全アドレス一致機能は無効）

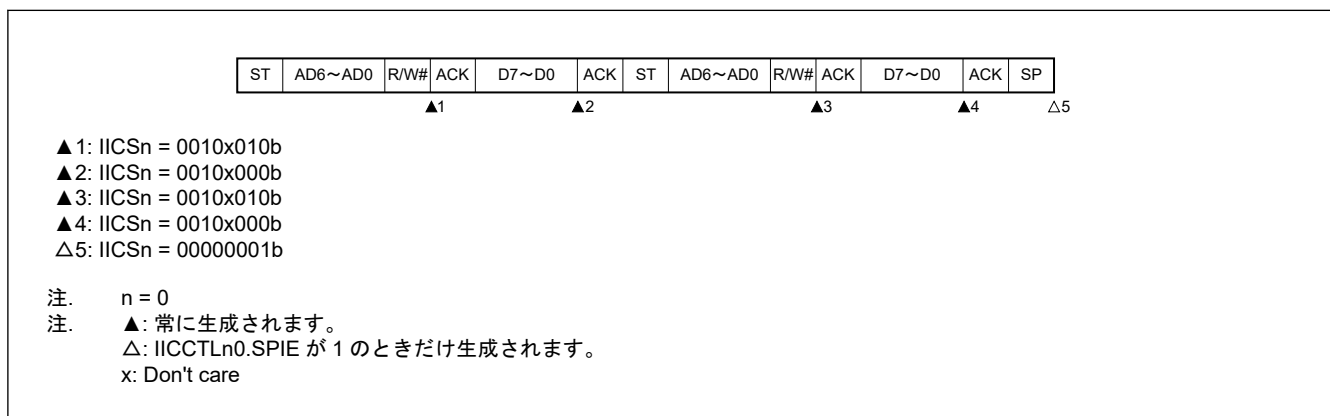


図 20.41 コードアクセスの後のスレーブデバイスの動作、拡張コードと一致する (IICCTL00.WTIM が 0 の場合)

2.IICCTL00.WTIM が 1 の場合（リスタート後、拡張コード受信、全アドレス一致機能は無効）

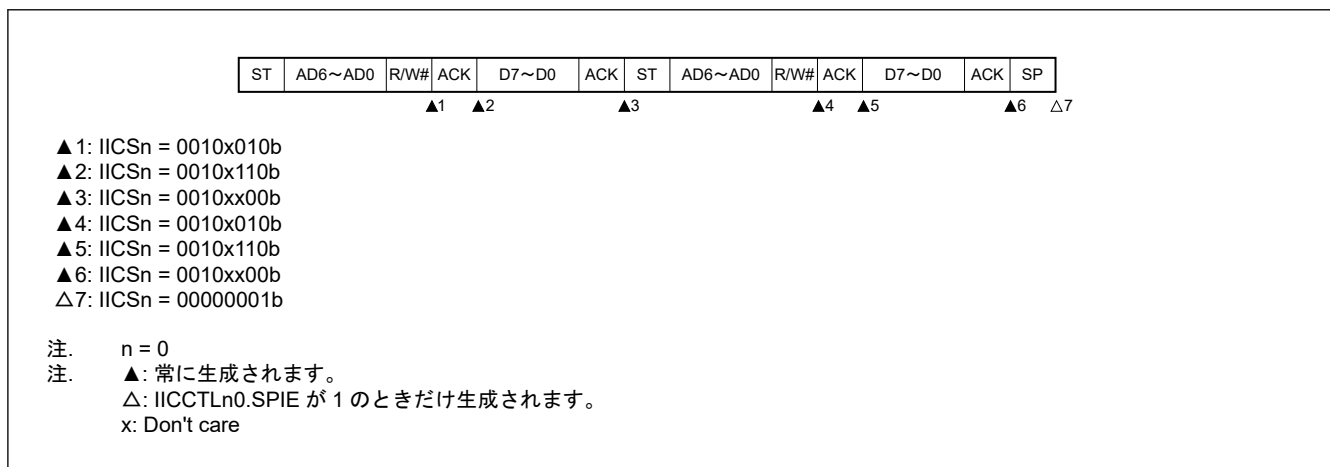


図 20.42 コードアクセスの後のスレーブデバイスの動作、拡張コードと一致する（IICCTL00.WTIM が 1 の場合）

(d) ST → コード → データ → ST → アドレス → データ → SP

1.IICCTL00.WTIM が 0 の場合

(リスタート後、アドレス不一致（拡張コード以外、全アドレス一致機能は無効）)

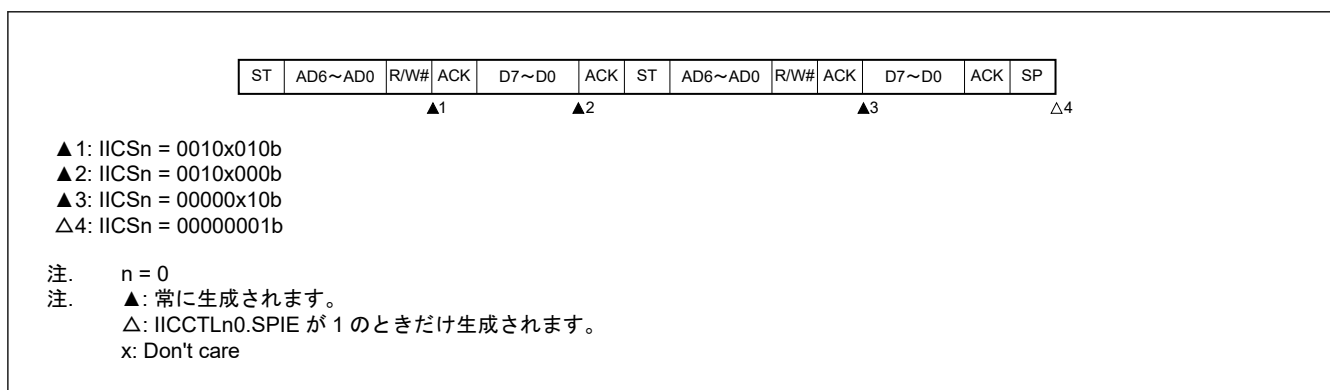


図 20.43 コードアクセスの後のスレーブデバイスの動作、一致しない（IICCTL00.WTIM が 0 の場合）

2.IICCTL00.WTIM が 1 の場合

(リスタート後、アドレス不一致（拡張コード以外、全アドレス一致機能は無効）)

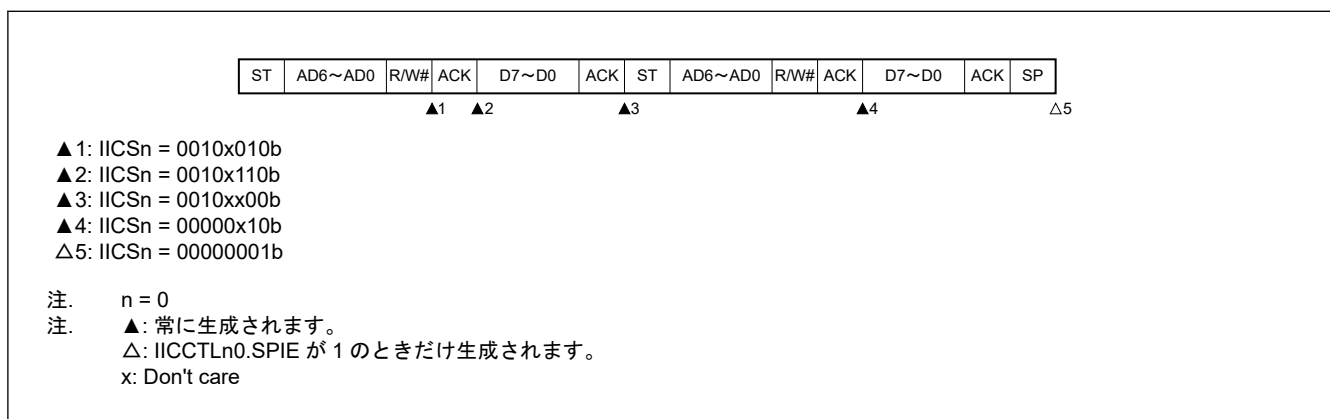


図 20.44 コードアクセスの後のスレーブデバイスの動作、一致しない（IICCTL00.WTIM が 1 の場合）

(4) 通信を伴わない動作

(a) ST → コード → データ → データ → SP

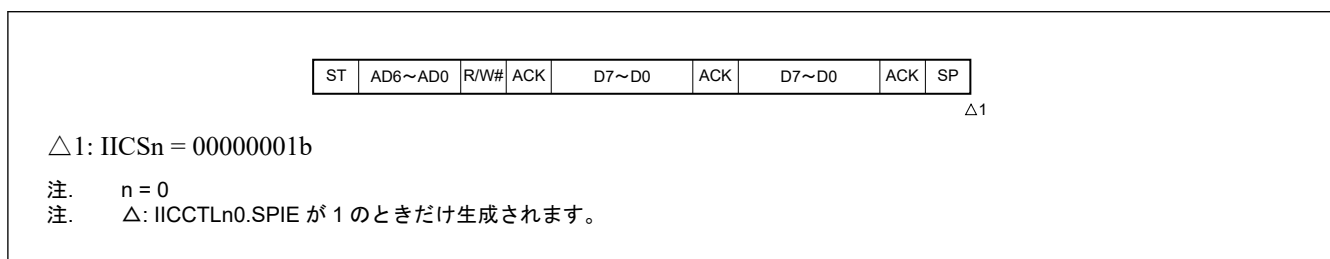


図 20.45 通信を伴わない動作

(5) アービトレーションロスト動作（アービトレーションロスト後のスレーブモードとしての動作）

デバイスがマルチマスタシステム内のマスタデバイスとして使用されている場合は、割り込み要求信号 IICA0_TXRXI が発生するたびに IICS0.MSTS ビットを読み出してアービトレーションの結果を確認します。

(a) スレーブアドレスデータの送信時にアービトレーションロストが発生した場合

1.IICCTL00.WTIM が 0 の場合

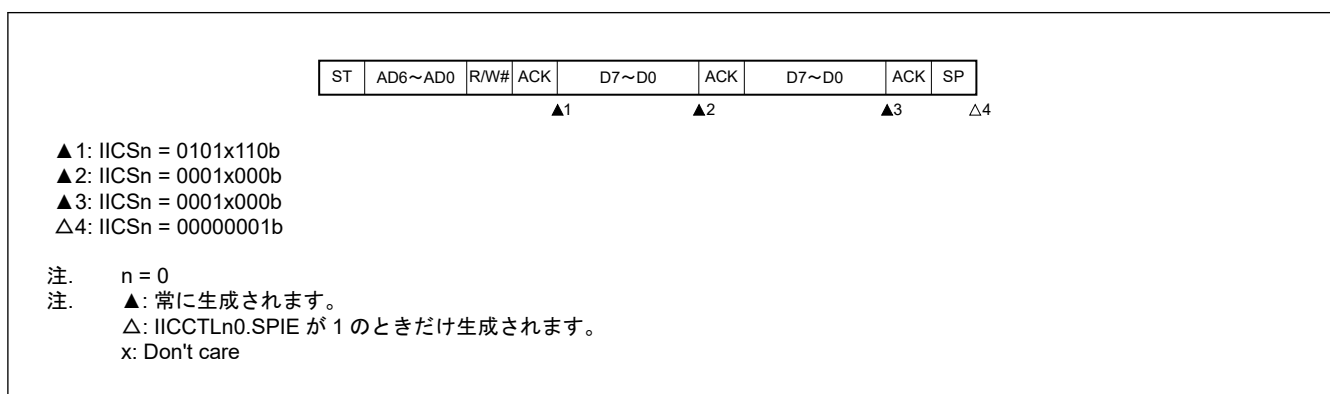


図 20.46 スレーブアドレスデータ送信時のアービトレーションロスト（IICCTL00.WTIM が 0 の場合）

2.IICCTL00.WTIM が 1 の場合

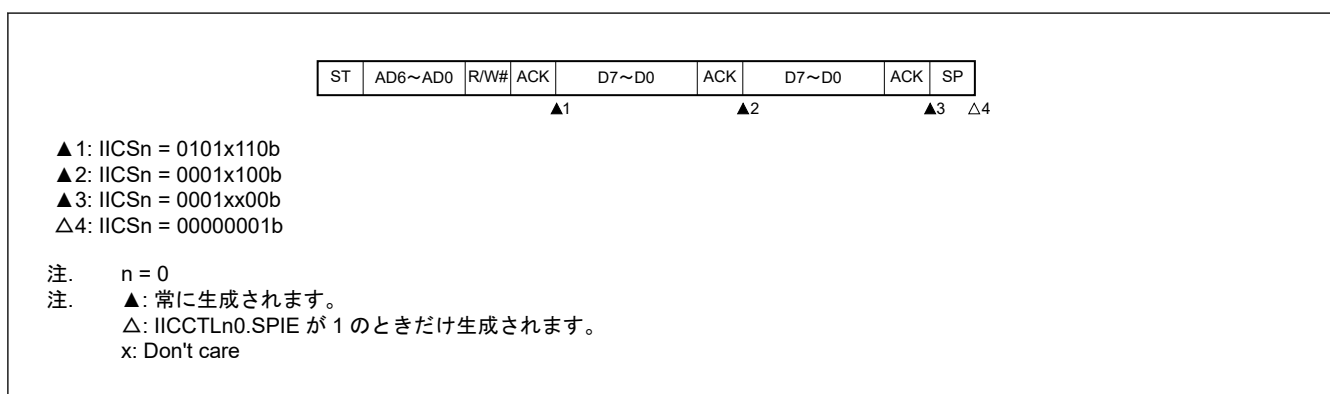


図 20.47 スレーブアドレスデータ送信時のアービトレーションロスト（IICCTL00.WTIM が 1 の場合）

(b) 拡張コードの送信時にアービトレーションロストが発生した場合（全アドレス一致機能は無効）

1. IICCTL00.WTIM が 0 の場合

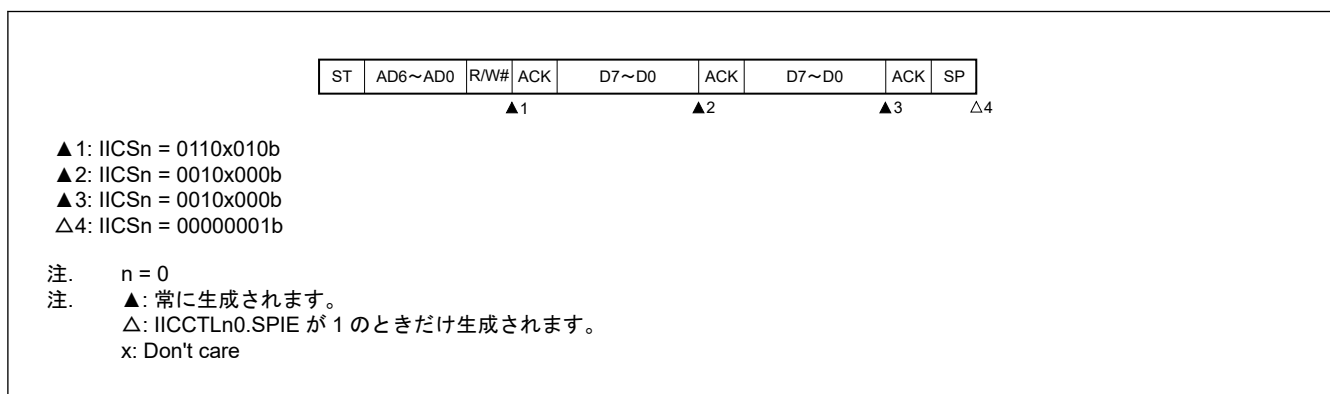


図 20.48 拡張コード送信時のアービトレーションロスト（IICCTL00.WTIM が 0 の場合）

2. IICCTL00.WTIM が 1 の場合

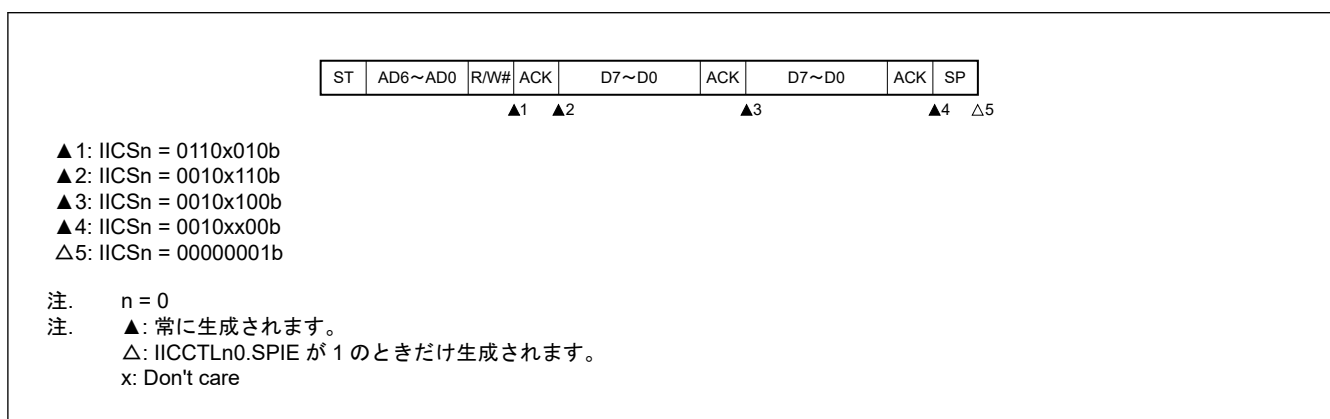


図 20.49 拡張コード送信時のアービトレーションロスト（IICCTL00.WTIM が 1 の場合）

(6) アービトレーションロスト発生時の動作（アービトレーションロスト後に通信なし）

デバイスがマルチマスタシステム内のマスタデバイスとして使用されている場合は、割り込み要求信号 IICA0_TXRXI が発生するたびに IICS0.MSTS ビットを読み出してアービトレーションの結果を確認します。

(a) スレーブアドレスデータの送信時にアービトレーションロストが発生した場合（IICCTL00.WTIM が 1 の場合）

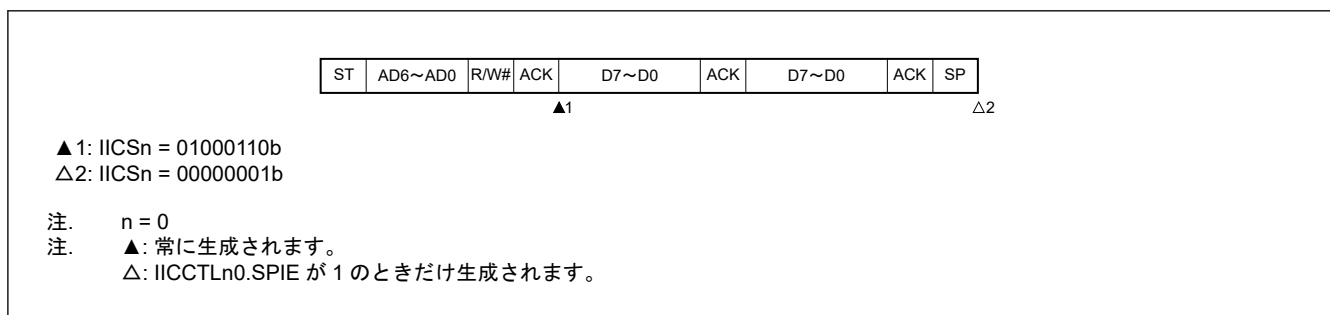


図 20.50 スレーブアドレスデータ送信時にアービトレーションロストが発生した場合の動作（IICCTL00.WTIM が 1 の場合）

(b) 拡張コードの送信時にアービトレーションロストが発生した場合（全アドレス一致機能は無効）

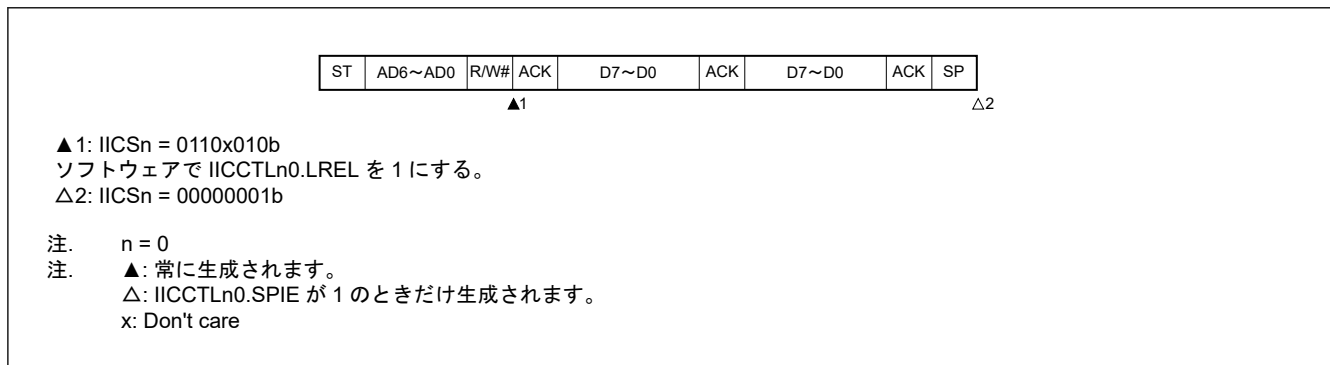


図 20.51 拡張コード送信時にアービトレーションロストが発生した場合の動作

(c) データの転送時にアービトレーションロストが発生した場合

1. IICCTL00.WTIM が 0 の場合

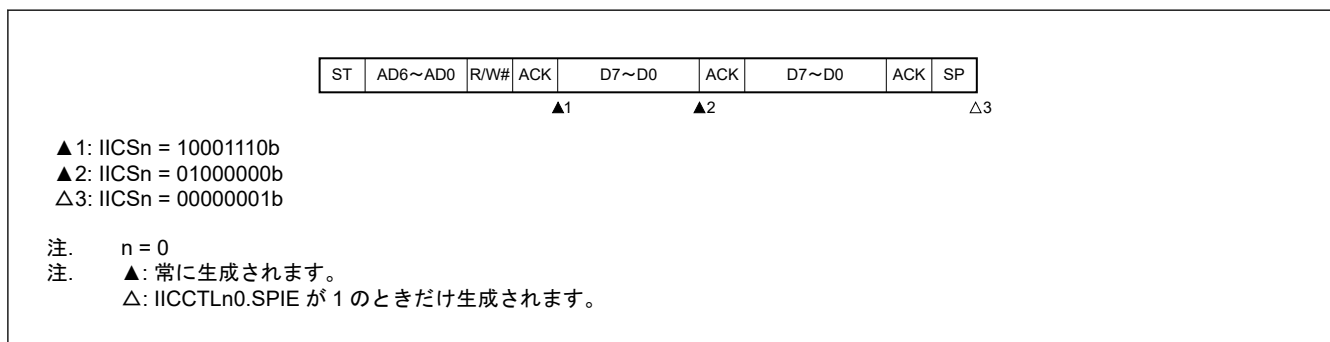


図 20.52 データ転送時にアービトレーションロストが発生した場合の動作（IICCTL00.WTIM が 0 の場合）

2. IICCTL00.WTIM が 1 の場合

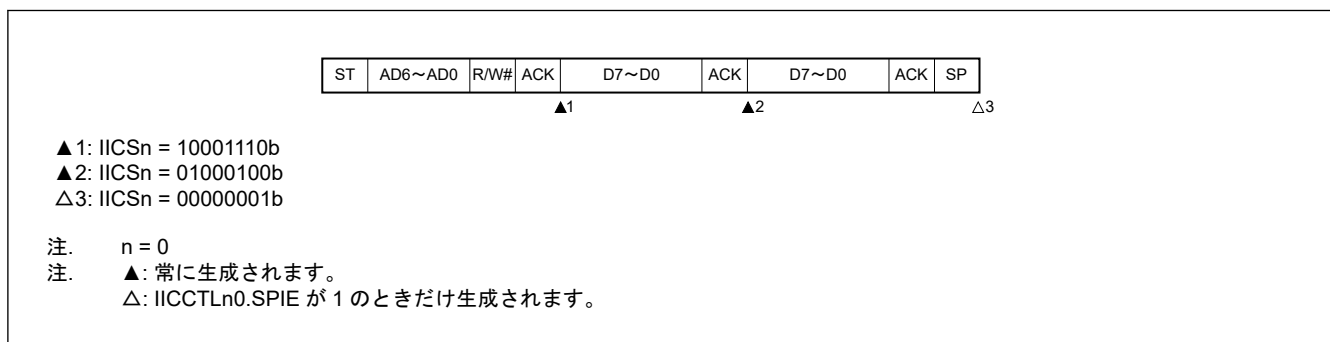


図 20.53 データ転送時にアービトレーションロストが発生した場合の動作（IICCTL00.WTIM が 1 の場合）

(d) データ転送時にリスタートコンディションによりアービトレーションロストが発生した場合

1. 拡張コード以外 (例: SVA0 と一致せず、全アドレス一致機能が無効になる)

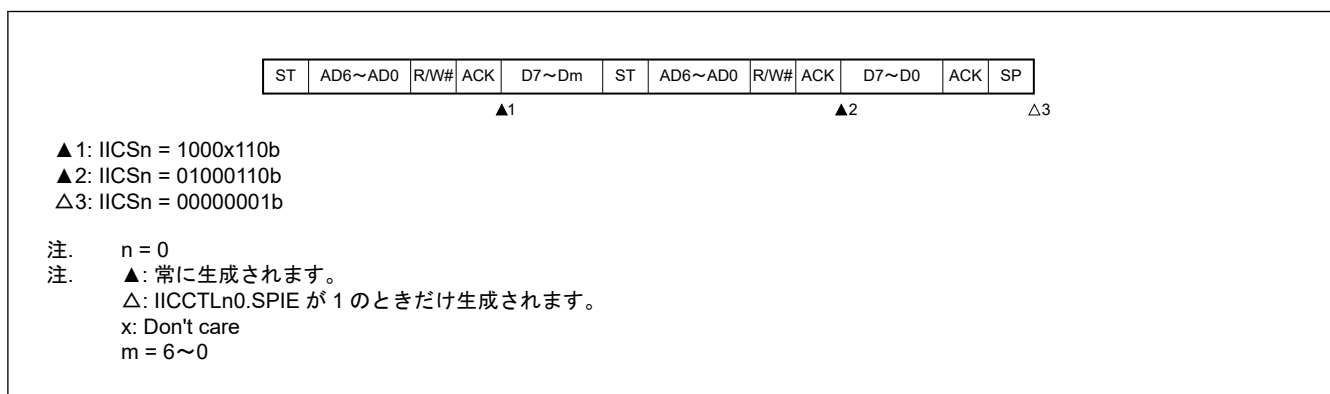


図 20.54 データ転送時にリスタートによりアービトレーションロストが発生した場合の動作 (拡張コード以外)

2. 拡張コード (全アドレス一致機能無効)

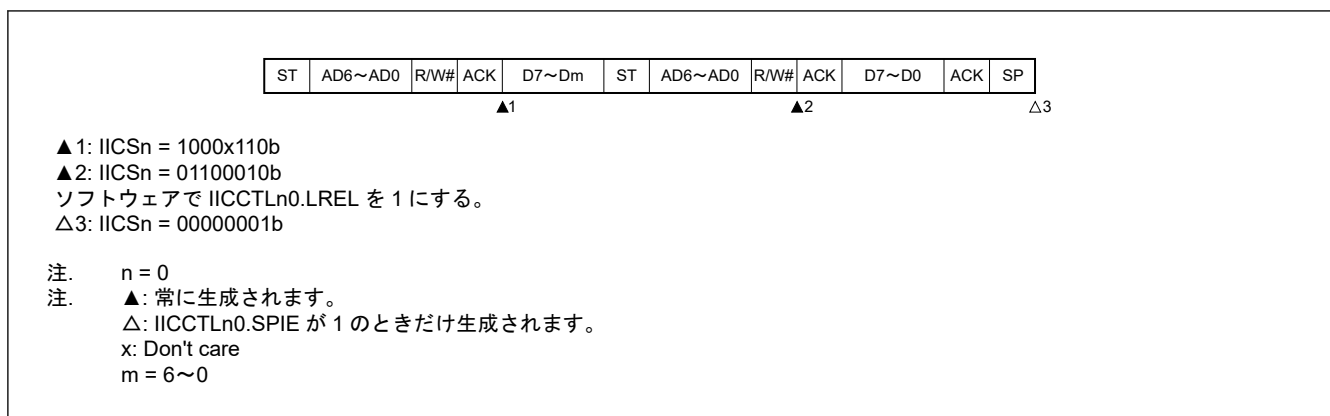


図 20.55 データ転送時にリスタートによりアービトレーションロストが発生した場合の動作 (拡張コード)

(e) データ転送時にストップコンディションによりアービトレーションロストが発生した場合

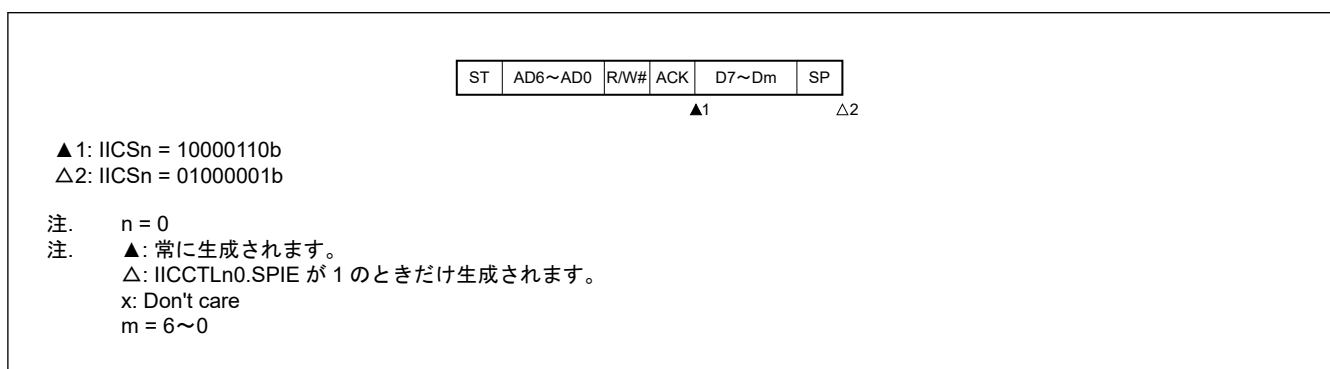


図 20.56 データ転送時にストップコンディションによりアービトレーションロストが発生した場合の動作

(f) リスタートコンディションの生成を試みた時に Low レベルデータによりアービトレーションロストが発生した場合

1. IICCTL00.WTIM が 0 の場合

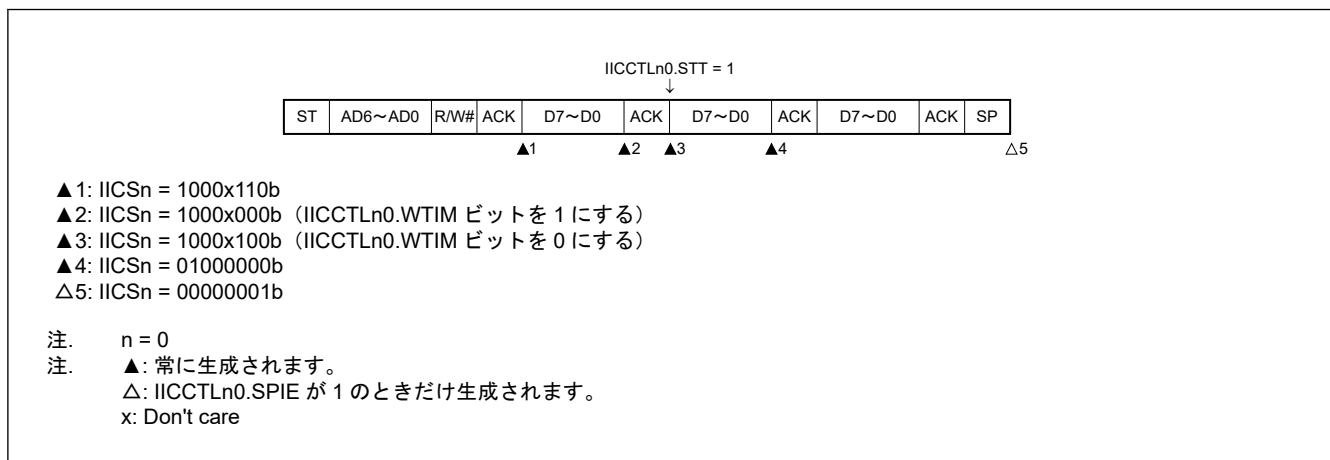


図 20.57 リスタートコンディションの生成を試みた時に Low レベルデータによりアービトレーションロストが発生した場合の動作 (IICCTL00.WTIM = 0)

2. IICCTL00.WTIM が 1 の場合

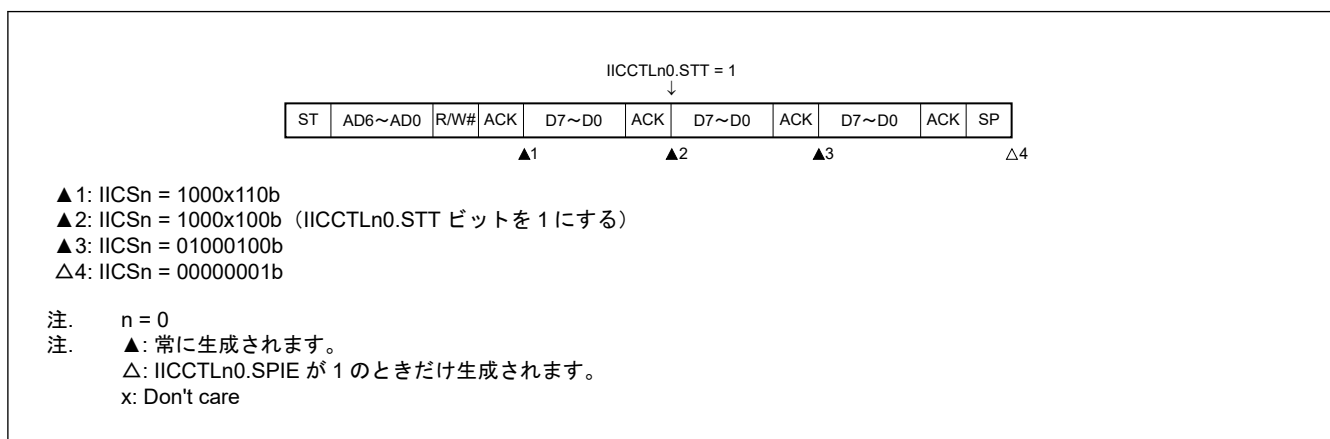


図 20.58 リスタートコンディションの生成を試みた時に Low レベルデータによりアービトレーションロストが発生した場合の動作 (IICCTL00.WTIM = 1)

(g) リスタートコンディションの生成を試みた時にストップコンディションによりアービトレーションロストが発生した場合

1. IICCTL00.WTIM が 0 の場合

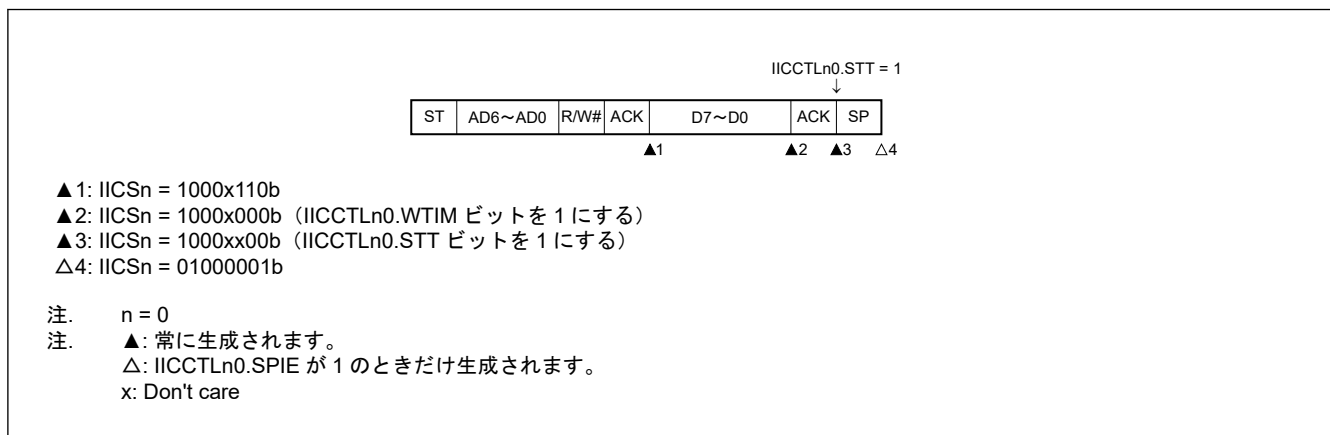


図 20.59 リスタートコンディションの生成を試みた時にストップコンディションによりアービトレーションロストが発生した場合の動作 (IICCTL00.WTIM = 0)

2. IICCTL00.WTIM が 1 の場合

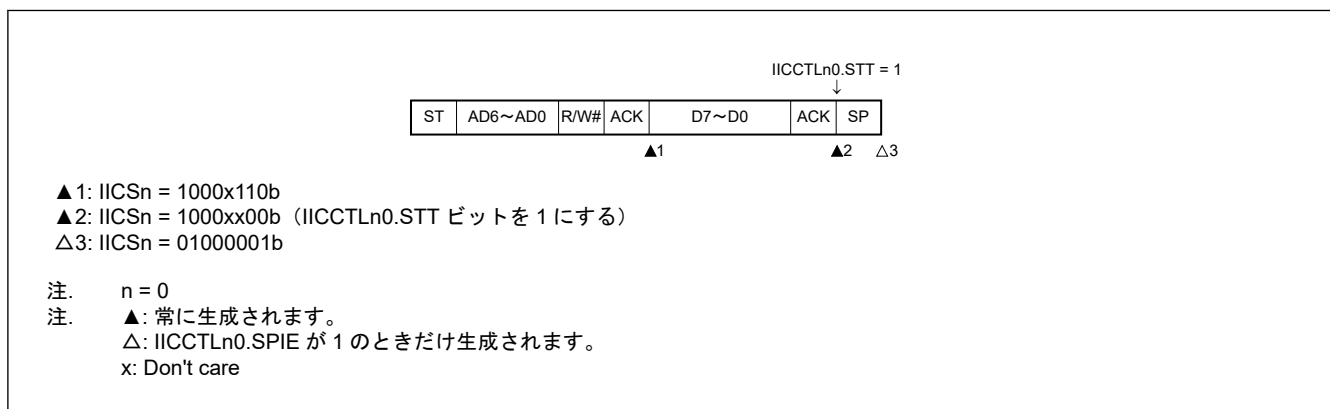


図 20.60 リスタートコンディションの生成を試みた時にストップコンディションによりアービトレーションロストが発生した場合の動作 (IICCTL00.WTIM = 1)

(h) ストップコンディションの生成を試みた時に Low レベルデータによりアービトレーションロストが発生した場合

1.IICCTL00.WTIM が 0 の場合

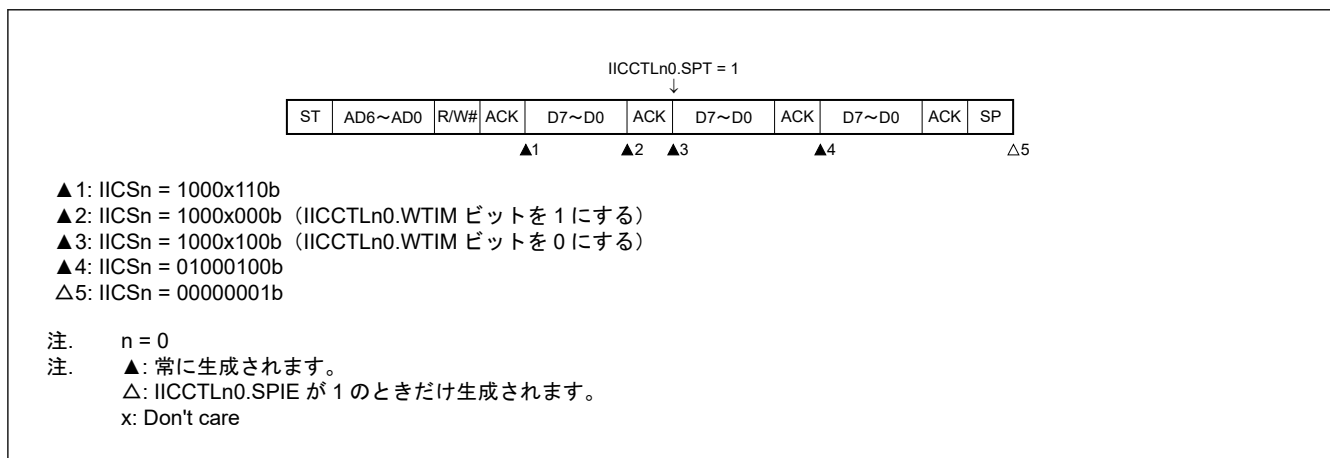


図 20.61 ストップコンディションの生成を試みた時に Low レベルデータによりアービトレーションロストが発生した場合の動作 (IICCTL00.WTIM = 0)

2.IICCTL00.WTIM が 1 の場合

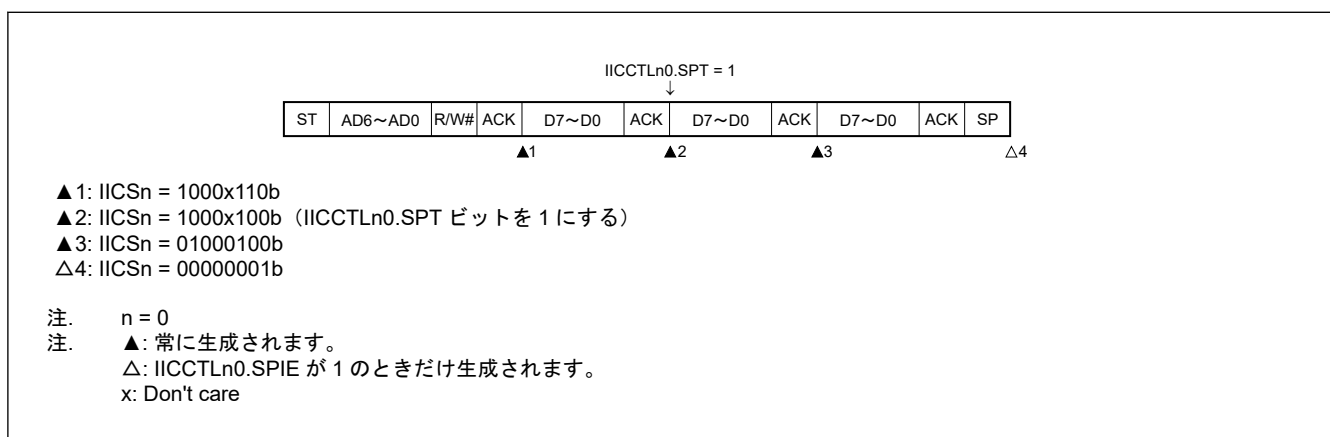


図 20.62 ストップコンディションの生成を試みた時に Low レベルデータによりアービトレーションロストが発生した場合の動作 (IICCTL00.WTIM = 1)

20.4 タイミングチャート

I²C バスモード使用時、マスタデバイスは、シリアルバスを通じてスレーブアドレスを出力し、通信相手となるスレーブデバイスを選択します。

スレーブアドレスを出力した後、マスタデバイスは、データ転送方向を指定する TRC ビット (IICA ステータスレジスタ 0 (IICS0) のビット 3) を送信してから、スレーブデバイスとのシリアル通信を開始します。

(1) マスタデバイスとスレーブデバイス間通信の例 (マスタデバイスとスレーブデバイスが第 9 サイクルでクロックストレッチを挿入する場合) と (2) スレーブデバイスとマスタデバイス間通信の例 (第 8 サイクルクロックストレッチがマスタデバイスに選択され、第 9 サイクルクロックストレッチがスレーブデバイスに選択される場合) にデータ通信のタイミングチャートを示します。

IICA シフトレジスタ 0 (IICA0) のシフト動作はシリアルクロック (SCLA0) の立ち下がりエッジと同期します。送信データは SO ラッチに送られ SDAA0 端子で出力されます (MSB ファースト)。

SDAA0 端子を通じて入力されたデータは SCLA0 の立ち上がりエッジで IICA0 にキャプチャされます。

本節に示すタイミングチャートは、全アドレス一致機能が無効になっていることを前提としています。

(1) マスタデバイスとスレーブデバイス間通信の例（マスタデバイスとスレーブデバイスが第9サイクルでクロックストレッチを挿入する場合）

1. スタートコンディション → アドレス → データ

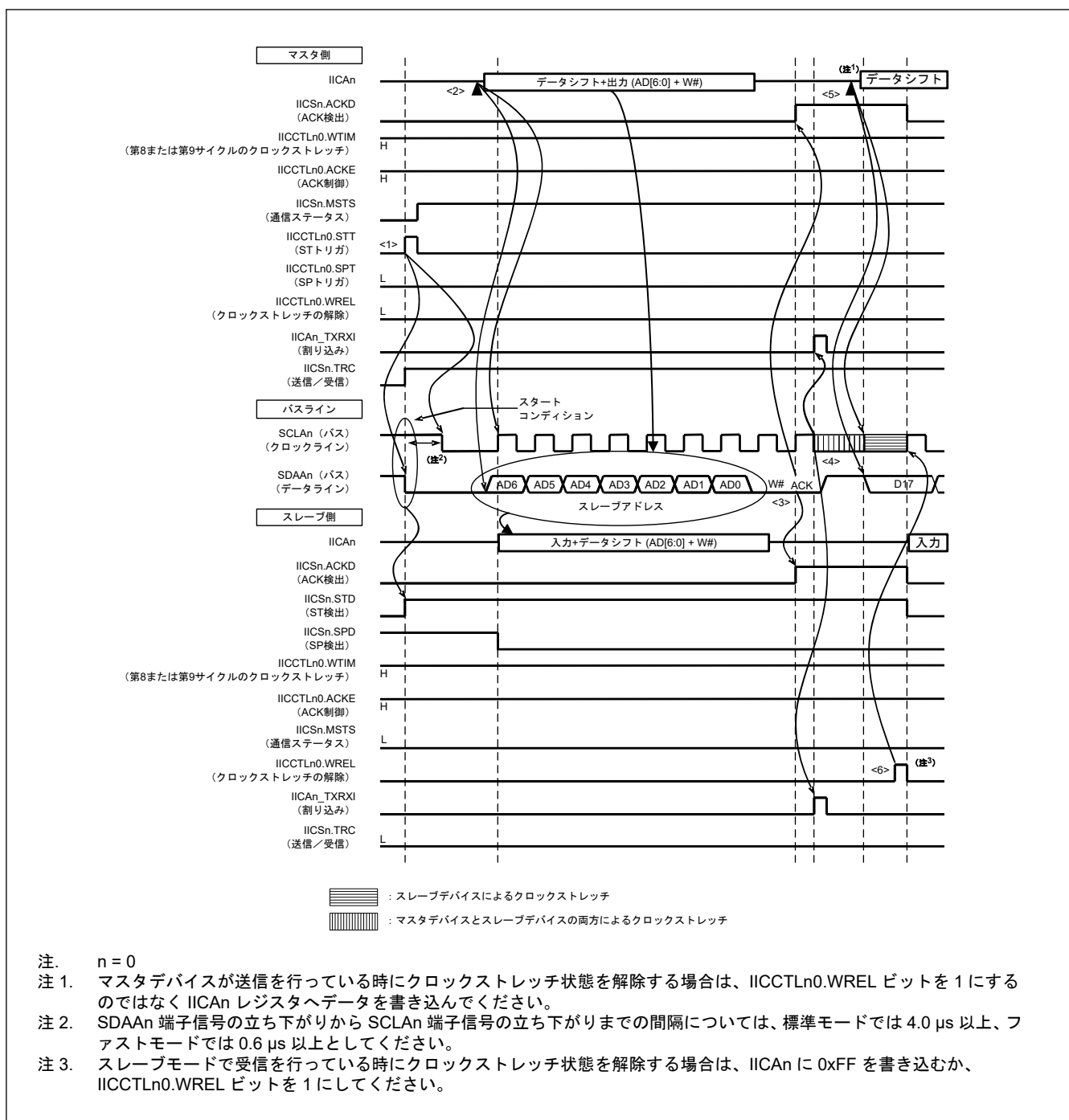


図 20.63 マスタデバイスとスレーブデバイス間通信の例（マスタデバイスとスレーブデバイスが第9サイクルでクロックストレッチを挿入する場合） (1/4)

図 20.63 の <1> ~ <6> の意味を以下に示します。

<1> マスタデバイスによってスタートコンディションのトリガが設定され (IICCTL00.STT = 1)、バスデータライン (SDAA0) が Low になるとスタートコンディションが生成されます (SCLAn が 1 になり SDAA0 が 1 から 0 に変わります)。

その後、スタートコンディションが検出されると、マスタデバイスはマスタモード通信ステータスに入ります (IICS0.MSTS = 1)。ホールド時間経過後、バスクロックラインが Low に (SCLA0 = 0) になるとマスタデバイスは通信可能な状態となります。

<2> マスタデバイスは「アドレス + W (送信)」を IICA シフトレジスタ 0 (IICA0) に書き込み、スレーブアドレスを送信します。

<3> 受信したスレーブアドレスに一致するスレーブデバイスのアドレス (SVA0 値) があれば、そのスレーブデバイスはハードウェアで ACK をマスタデバイスに送ります。マスタデバイスは、第 9 クロックの立ち上がりエッジで ACK を検出します (IICS0.ACKD = 1)。

<4> マスタデバイスは、第 9 クロックの立ち下がりエッジで割り込み (IICA0_TXRXI : アドレス送信の終了) を発行します。送信したスレーブアドレスに一致するアドレスを持つスレーブデバイスは、クロックストレッチ状態を設定 (SCLA0 = 0) し、割り込み (IICA0_TXRXI : アドレス一致) を発生させます。

<5> マスタデバイスは送信データを IICA0 レジスタに書き込み、マスタデバイスが設定したクロックストレッチ状態を解除します。

<6> スレーブデバイスがクロックストレッチ状態を解除する (IICCTL00.WREL = 1) と、マスタデバイスはスレーブデバイスへのデータ転送を開始します。

送信したアドレスに一致するアドレスを持つスレーブデバイスがない場合、ACK はマスタデバイスに返されません (NACK: SDAA0 = 1)。スレーブデバイスも IICA0_TXRXI 割り込み (アドレス一致) を発生させず、クロックストレッチ状態も設定しません。

しかし、マスタデバイスは、ACK と NACK のどちらを受け取ったかに関わらず、IICA0_TXRXI 割り込み (アドレス送信の終了) を発生させます。

注. (1) マスタデバイスとスレーブデバイス間通信の例 (マスタデバイスとスレーブデバイスが第 9 サイクルでクロックストレッチを挿入する場合) の <1> ~ <15> は、I²C バスを使用してデータ通信を行う場合の完全な手順を示します。

図 20.63 に、<1> ~ <6> の各ステップの処理を示します。

図 20.64 に、<3> ~ <10> の各ステップの処理を示します。

図 20.65 に、<7> ~ <15> の各ステップの処理を示します。

2. アドレス → データ → データ

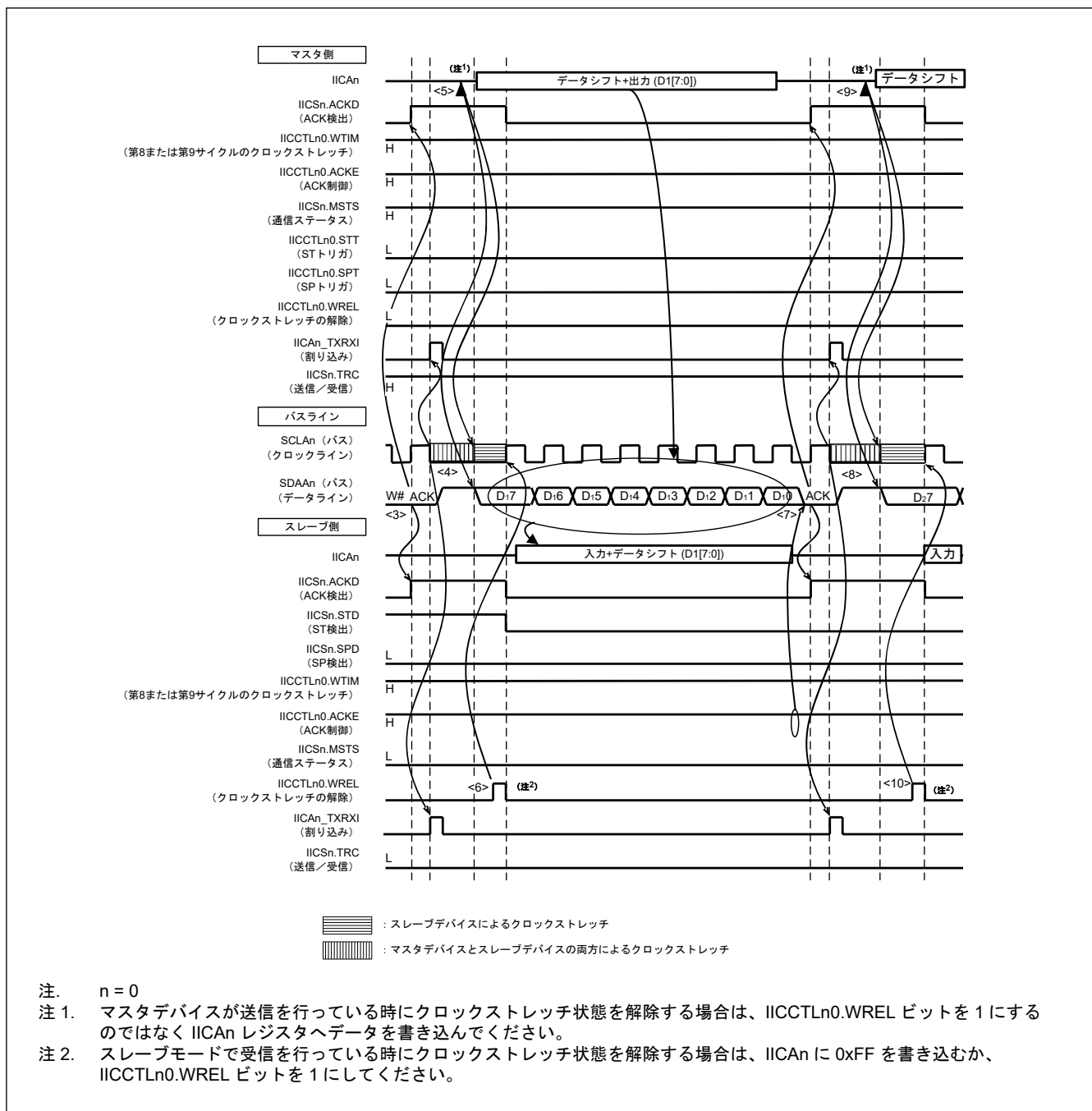


図 20.64 マスタデバイスとスレーブデバイス間通信の例 (マスタデバイスとスレーブデバイスが第 9 サイクルでクロックストレッチを挿入する場合) (2/4)

図 20.64 の <3> ~ <10> の意味を以下に示します。

<3> 受信したスレーブアドレスに一致するスレーブデバイスのアドレス (SVA0 値) があれば、そのスレーブデバイスはハードウェアで ACK をマスタデバイスに送ります。マスタデバイスは、第 9 クロックの立ち上がりエッジで ACK を検出します (IICSn0.ACKD = 1)。

<4> マスタデバイスは、第 9 クロックの立ち下がりエッジで割り込み (IICA0_TXRXI: アドレス送信の終了) を発行します。送信したスレーブアドレスに一致するアドレスを持つスレーブデバイスは、クロックストレッチ状態を設定 (SCLAn = 0) し、割り込み (IICA0_TXRXI: アドレス一致) を発生させます。

<5> マスタデバイスは送信データを IICA シフトレジスタ 0 (IICA0) に書き込み、マスタデバイスが設定したクロックストレッチ状態を解除します。

<6> スレーブデバイスがクロックストレッチ状態を解除する (IICCTL00.WREL = 1) と、マスタデバイスはスレーブデバイスへのデータ転送を開始します。

<7> データ転送が完了すると IICCTL00.ACKE が 1 になるため、スレーブデバイスはハードウェアで ACK をマスタデバイスへ送ります。マスタデバイスは、第 9 クロックの立ち上がりエッジで ACK を検出します (IICS0.ACKD = 1)。

<8> マスタデバイスとスレーブデバイスは第 9 クロックの立ち下がりエッジでクロックストレッチ状態を設定し (SCLA0 = 0)、両デバイスは IICA0_TXRXI 割り込み（転送終了）を発生させます。

<9> マスタデバイスは送信データを IICA0 レジスタに書き込み、マスタデバイスが設定したクロックストレッチ状態を解除します。

<10> スレーブデバイスは受信したデータを読み出し、クロックストレッチ状態を解除します (IICCTL00.WREL = 1)。マスタデバイスはスレーブデバイスへのデータ転送を開始します。

送信したアドレスに一致するアドレスを持つスレーブデバイスがない場合、ACK はマスタデバイスに返されません (NACK: SDAA0 = 1)。スレーブデバイスも IICA0_TXRXI 割り込み（アドレス一致）を発生させず、クロックストレッチ状態も設定しません。

しかし、マスタデバイスは、ACK と NACK のどちらを受け取ったかに関わらず、IICA0_TXRXI 割り込み（アドレス送信の終了）を発生させます。

注. (1) マスタデバイスとスレーブデバイス間通信の例（マスタデバイスとスレーブデバイスが第 9 サイクルでクロックストレッチを挿入する場合）の <1> ~ <15> は、I²C バスを使用してデータ通信を行う場合の完全な手順を示します。

図 20.63 に、<1> ~ <6> の各ステップの処理を示します。

図 20.64 に、<3> ~ <10> の各ステップの処理を示します。

図 20.65 に、<7> ~ <15> の各ステップの処理を示します。

3. データ → データ → ストップコンディション

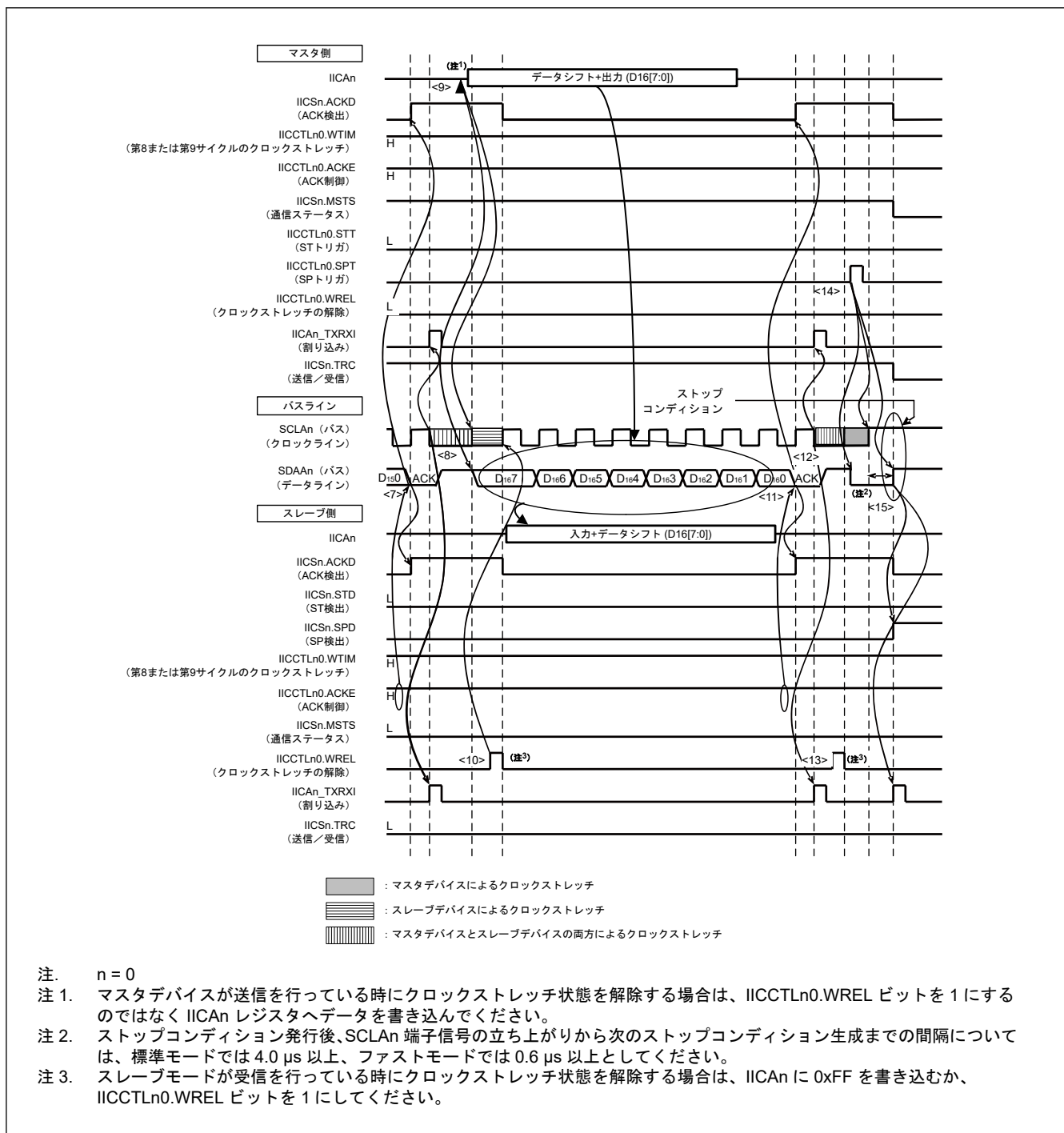


図 20.65 マスタデバイスとスレーブデバイス間通信の例（マスタデバイスとスレーブデバイスが第 9 サイクルでクロックストレッチを挿入する場合）(3/4)

図 20.65 の <7> ~ <15> の意味を以下に示します。

<7> データ転送が完了すると IICCTLn0.ACKE が 1 になるため、スレーブデバイスはハードウェアで ACK をマスタデバイスへ送ります。マスタデバイスは、第 9 クロックの立ち上がりエッジで ACK を検出します (IICSn.ACKD = 1)。

<8> マスタデバイスとスレーブデバイスは第 9 クロックの立ち下がりエッジでクロックストレッチ状態を設定し (SCLAn = 0)、両デバイスは IICAn_TXRXI 割り込み（転送終了）を発生させます。

<9> マスタデバイスは送信データを IICA シフトレジスタ 0 (IICA0) に書き込み、マスタデバイスが設定したクロックストレッチ状態を解除します。

<10> スレーブデバイスは受信したデータを読み出し、クロックストレッチ状態を解除します (IICCTL00.WREL = 1)。マスタデバイスはスレーブデバイスへのデータ転送を開始します。

<11> データ転送が完了する (IICCTL00.ACKE = 1) と、スレーブデバイスはハードウェアで ACK をマスタデバイスへ送ります。

マスタデバイスは、第 9 クロックの立ち上がりエッジで ACK を検出します (IICS0.ACKD = 1)。

<12> マスタデバイスとスレーブデバイスは第 9 クロックの立ち下がりエッジでクロックストレッチ状態を設定し (SCLA0 = 0)、両デバイスは IICA0_TXRXI 割り込み（転送終了）を発生させます。

<13> スレーブデバイスは受信したデータを読み出し、クロックストレッチ状態を解除します (IICCTL00.WREL = 1)。

<14> マスタデバイスがストップコンディションのトリガを設定する (IICCTL00.SPT = 1) ことで、バスデータラインは 0 になり (SDAA0 = 0)、バスクロックラインは 1 になります (SCLA0 = 1)。ストップコンディションセットアップ時間の経過後、バスデータラインが 1 になる (SDAA0 = 1) と、ストップコンディションが生成されます (SCLA0 が 1 になり、SDAA0 が 0 から 1 に変わります)。

<15> ストップコンディションが生成されると、スレーブデバイスはストップコンディションを検出し、割り込み (IICA0_TXRXI : ストップコンディション) を発行します。

注. (1) マスタデバイスとスレーブデバイス間通信の例（マスタデバイスとスレーブデバイスが第 9 サイクルでクロックストレッチを挿入する場合）の<1>～<15>は、I²C バスを使用してデータ通信を行う場合の完全な手順を示します。

図 20.63 に、<1> ～ <6> の各ステップの処理を示します。

図 20.64 に、<3> ～ <10> の各ステップの処理を示します。

図 20.65 に、<7> ～ <15> の各ステップの処理を示します。

4. データ → リスタートコンディション → アドレス

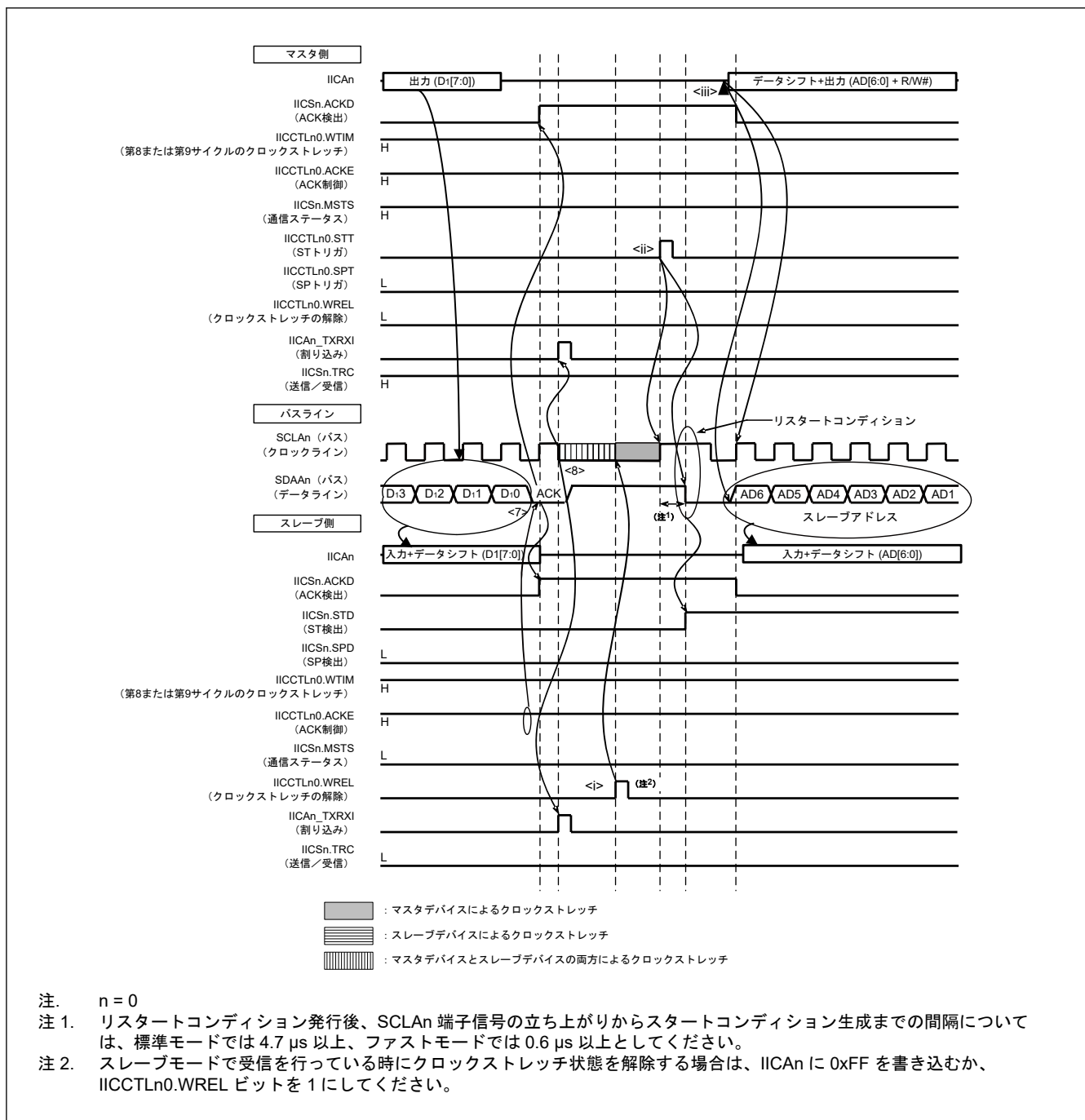


図 20.66 マスタデバイスとスレーブデバイス間通信の例 (マスタデバイスとスレーブデバイスが第 9 サイクルでクロックストレッチを挿入する場合) (4/4)

図 20.66 に示した動作を以下で説明します。ステップ <7> とステップ <8> の動作後、ステップ <i> ~ <iii> の動作が行われます。その後、処理はデータ送信を行うステップ <3> に戻ります。

<7> データ転送が完了すると IICCTL00.ACKE が 1 になるため、スレーブデバイスはハードウェアで ACK をマスタデバイスへ送ります。マスタデバイスは、第 9 クロックの立ち上がりエッジで ACK を検出します (IICSn.ACKD = 1)。

<8> マスタデバイスとスレーブデバイスは第 9 クロックの立ち下がりエッジでクロックストレッチ状態を設定し (SCLAn = 0)、両デバイスは IICA0_TXRXI 割り込み (転送終了) を発生させます。

<i> スレーブデバイスは受信したデータを読み出し、クロックストレッチ状態を解除します (IICCTL00.WREL = 1)。

<ii> マスタデバイスによってスタートコンディションのトリガが再び設定され (IICCTL00.STT = 1)、リスタートコンディションセットアップ時間の経過後、バスクロックラインが High になり (SCLA0 = 1) バスデータラインが Low になる (SDAA0 = 0) と、スタートコンディションが生成されます (SCLA0 が 1 になり SDAA0 が 1 から 0 に変わります)。その後、スタートコンディションが検出され、ホールド時間が経過してからバスクロックラインが Low に (SCLA0 = 0) になるとマスタデバイスは通信可能な状態となります。

<iii> マスタデバイスが「アドレス + R/W (送信)」を IICA シフトレジスタ 0 (IICA0) に書き込むことで、スレーブアドレスが送信可能になります。

(2) スレーブデバイスとマスタデバイス間通信の例（第 8 サイクルクロックストレッチがマスタデバイスに選択され、第 9 サイクルクロックストレッチがでスレーブデバイスに選択される場合）

1. スタートコンディション → アドレス → データ

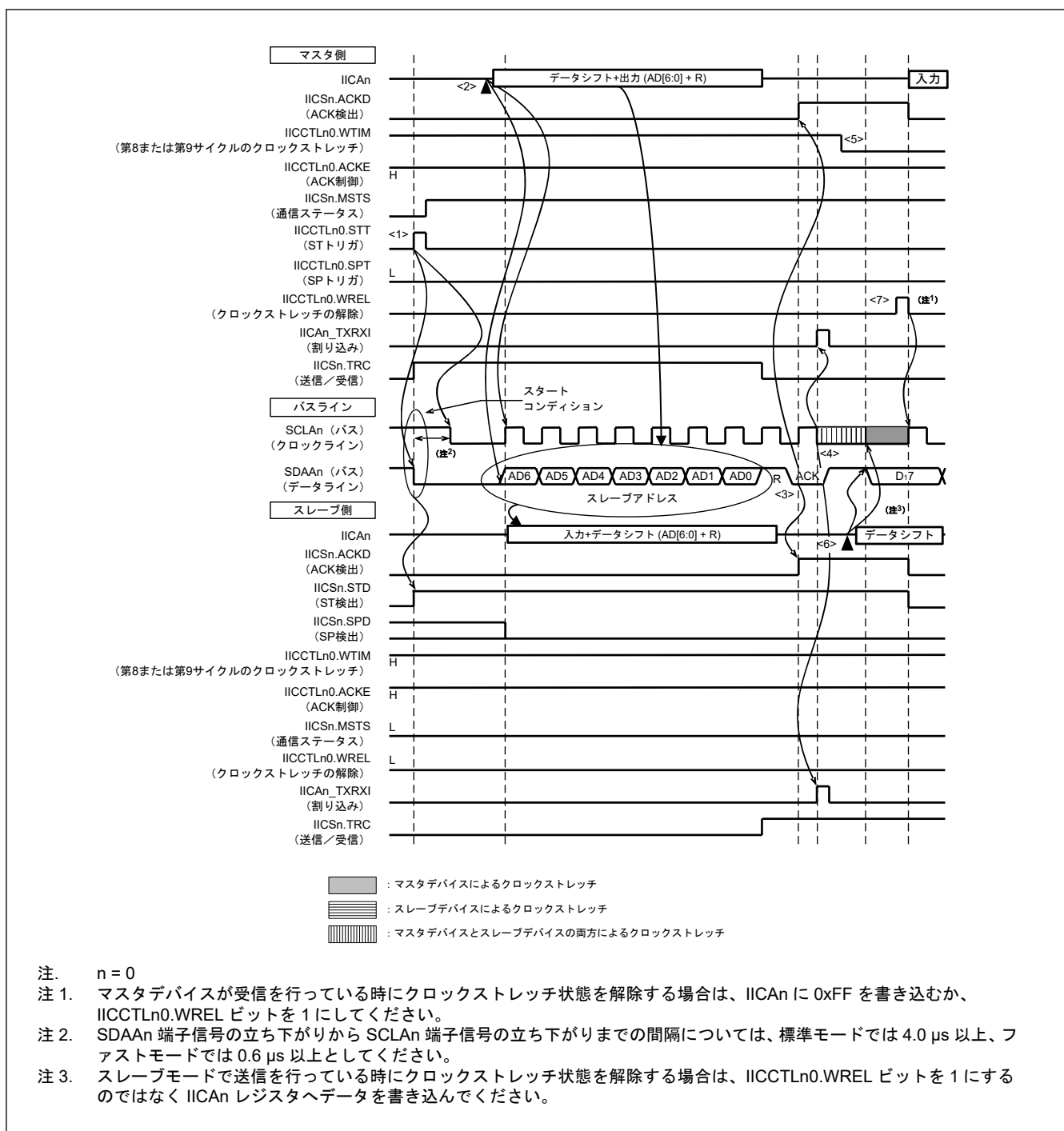


図 20.67 スレーブデバイスからマスタデバイスへ通信する場合の例（クロックストレッチが第 8 サイクルでマスタデバイスに、第 9 サイクルでスレーブデバイスに挿入される場合）(1/3)

図 20.67 の <1> ~ <7> の意味を以下に示します。

<1> マスタデバイスによってスタートコンディションのトリガが設定され (IICCTL00.STT = 1)、バスデータライン (SDAA0) が Low になるとスタートコンディションが生成されます (SCLAn が 1 になり SDAA0 が 1 から 0 に変わります)。その後、スタートコンディションが検出されると、マスタデバイスはマスタモード通信ステータスに入ります (IICSn.MSTS = 1)。ホールド時間経過後、バスクロックラインが Low に (SCLAn = 0) になるとマスタデバイスは通信可能な状態となります。

<2> マスタデバイスは「アドレス+R (受信)」を IICA シフトレジスタ 0 (IICA0) に書き込み、スレーブアドレスを送信します。

<3> 受信したスレーブアドレスに一致するスレーブデバイスのアドレス (SVA0 値) があれば、そのスレーブデバイスはハードウェアで ACK をマスタデバイスに送ります。マスタデバイスは、第 9 クロックの立ち上がりエッジで ACK を検出します (IICS0.ACKD = 1)。

<4> マスタデバイスは、第 9 クロックの立ち下がりエッジで割り込み (IICA0_TXRXI : アドレス送信の終了) を発行します。送信したスレーブアドレスに一致するアドレスを持つスレーブデバイスは、クロックストレッチ状態を設定 (SCLA0 = 0) し、割り込み (IICA0_TXRXI : アドレス一致) を発生させます。

<5> マスタデバイスがクロックストレッチ状態を設定するタイミングは、第 8 クロックに変わります (WTIM = 0)。

<6> スレーブデバイスは送信データを IICA0 レジスタに書き込み、スレーブデバイスが設定したクロックストレッチ状態を解除します。

<7> マスタデバイスがクロックストレッチ状態を解除すると (IICCTL00.WREL = 1)、スレーブデバイスからマスタデバイスへのデータ転送が開始します。

送信したアドレスに一致するアドレスを持つスレーブデバイスがない場合、ACK はマスタデバイスに返されません (NACK: SDAA0 = 1)。スレーブデバイスも IICA0_TXRXI 割り込み (アドレス一致) を発生させず、クロックストレッチ状態も設定しません。

しかし、マスタデバイスは、ACK と NACK のどちらを受け取ったかに関わらず、IICA0_TXRXI 割り込み (アドレス送信の終了) を発生させます。

注. (2) スレーブデバイスとマスタデバイス間通信の例 (第 8 サイクルクロックストレッチがマスタデバイスに選択され、第 9 サイクルクロックストレッチがスレーブデバイスに選択される場合) の <1> ~ <19> は、I²C バスを使用してデータ通信を行う場合の完全な手順を示します。

図 20.67 に、<1> ~ <7> の各ステップの処理を示します。

図 20.68 に、<3> ~ <12> の各ステップの処理を示します。

図 20.69 に、<8> ~ <19> の各ステップの処理を示します。

2. アドレス → データ → データ

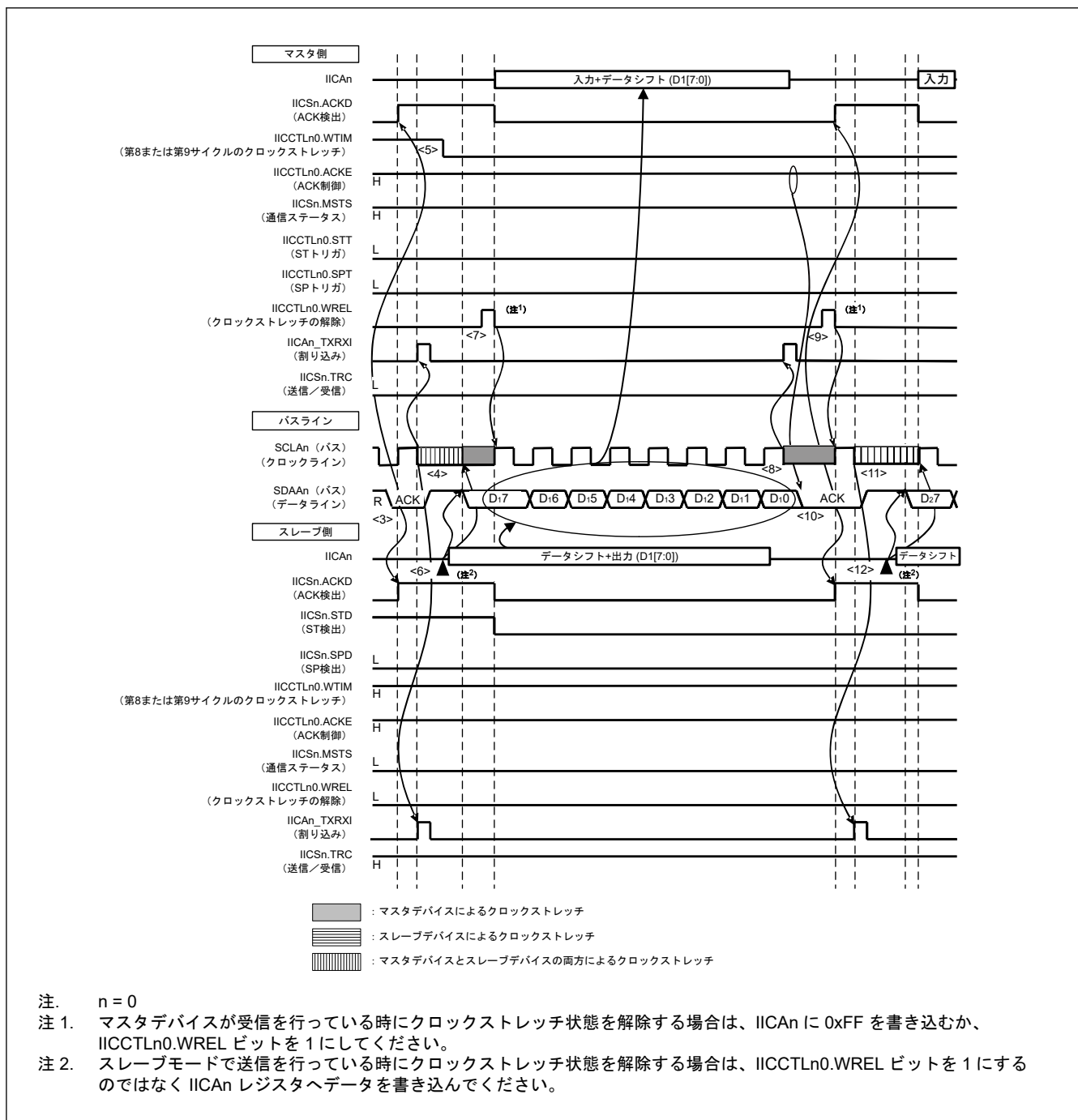


図 20.68 スレーブデバイスからマスタデバイスへ通信する場合の例（クロックストレッチが第 8 サイクルでマスタデバイスに、第 9 サイクルでスレーブデバイスに挿入される場合）(2/3)

図 20.68 の <3> ~ <12> の意味を以下に示します。

<3> 受信したスレーブアドレスに一致するスレーブデバイスのアドレス（SVA0 値）があれば、そのスレーブデバイスはハードウェアで ACK をマスタデバイスに送ります。マスタデバイスは、第 9 クロックの立ち上がりエッジで ACK を検出します（IICSn.ACKD = 1）。

<4> マスタデバイスは、第 9 クロックの立ち下がりエッジで割り込み（IICA0_TXRXI：アドレス送信の終了）を発行します。送信したスレーブアドレスに一致するアドレスを持つスレーブデバイスは、クロックストレッチ状態を設定（SCLA0 = 0）し、割り込み（IICA0_TXRXI：アドレス一致）を発生させます。

<5> マスタデバイスは、クロックストレッチのタイミングを第 8 クロックに変更します（IICCTL00.WTIM = 0）。

<6> スレーブデバイスは送信データを IICA シフトレジスタ 0 (IICA0) に書き込み、スレーブデバイスが設定したクロックストレッチ状態を解除します。

<7> マスタデバイスがクロックストレッチ状態を解除すると (IICCTL00.WREL = 1)、スレーブデバイスからマスタデバイスへのデータ転送が開始します。

<8> マスタデバイスは第 8 クロックの立ち下がりエッジでクロックストレッチ状態を設定し (SCLA0 = 0)、割り込み (IICA0_TXRXI : 転送終了) を発生させます。マスタデバイスでは IICCTL00.ACKE が 1 になるため、マスタデバイスはハードウェアで ACK をスレーブデバイスに送ります。

<9> マスタデバイスは受信したデータを読み出し、クロックストレッチ状態を解除します (IICCTL00.WREL = 1)。

<10> スレーブデバイスは、第 9 クロックの立ち上がりエッジで ACK を検出します (IICS0.ACKD = 1)。

<11> スレーブデバイスは第 9 クロックの立ち下がりエッジでクロックストレッチ状態を設定し (SCLA0 = 0)、割り込み (IICA0_TXRXI : 転送終了) を発生させます。

<12> スレーブデバイスが送信データを IICA0 レジスタに書き込むことで、スレーブデバイスが設定したクロックストレッチ状態が解除されます。スレーブデバイスはマスタデバイスへのデータ転送を開始します。

送信したアドレスに一致するアドレスを持つスレーブデバイスがない場合、ACK はマスタデバイスに返されません (NACK: SDAA0 = 1)。スレーブデバイスも IICA0_TXRXI 割り込み (アドレス一致) を発生させず、クロックストレッチ状態も設定しません。

しかし、マスタデバイスは、ACK と NACK のどちらを受け取ったかに関わらず、IICA0_TXRXI 割り込み (アドレス送信の終了) を発生させます。

注. (2) スレーブデバイスとマスタデバイス間通信の例 (第 8 サイクルクロックストレッチがマスタデバイスに選択され、第 9 サイクルクロックストレッチがスレーブデバイスに選択される場合) の <1> ~ <19> は、I²C バスを使用してデータ通信を行う場合の完全な手順を示します。

図 20.67 に、<1> ~ <7> の各ステップの処理を示します。

図 20.68 に、<3> ~ <12> の各ステップの処理を示します。

図 20.69 に、<8> ~ <19> の各ステップの処理を示します。

3. データ → データ → ストップコンディション

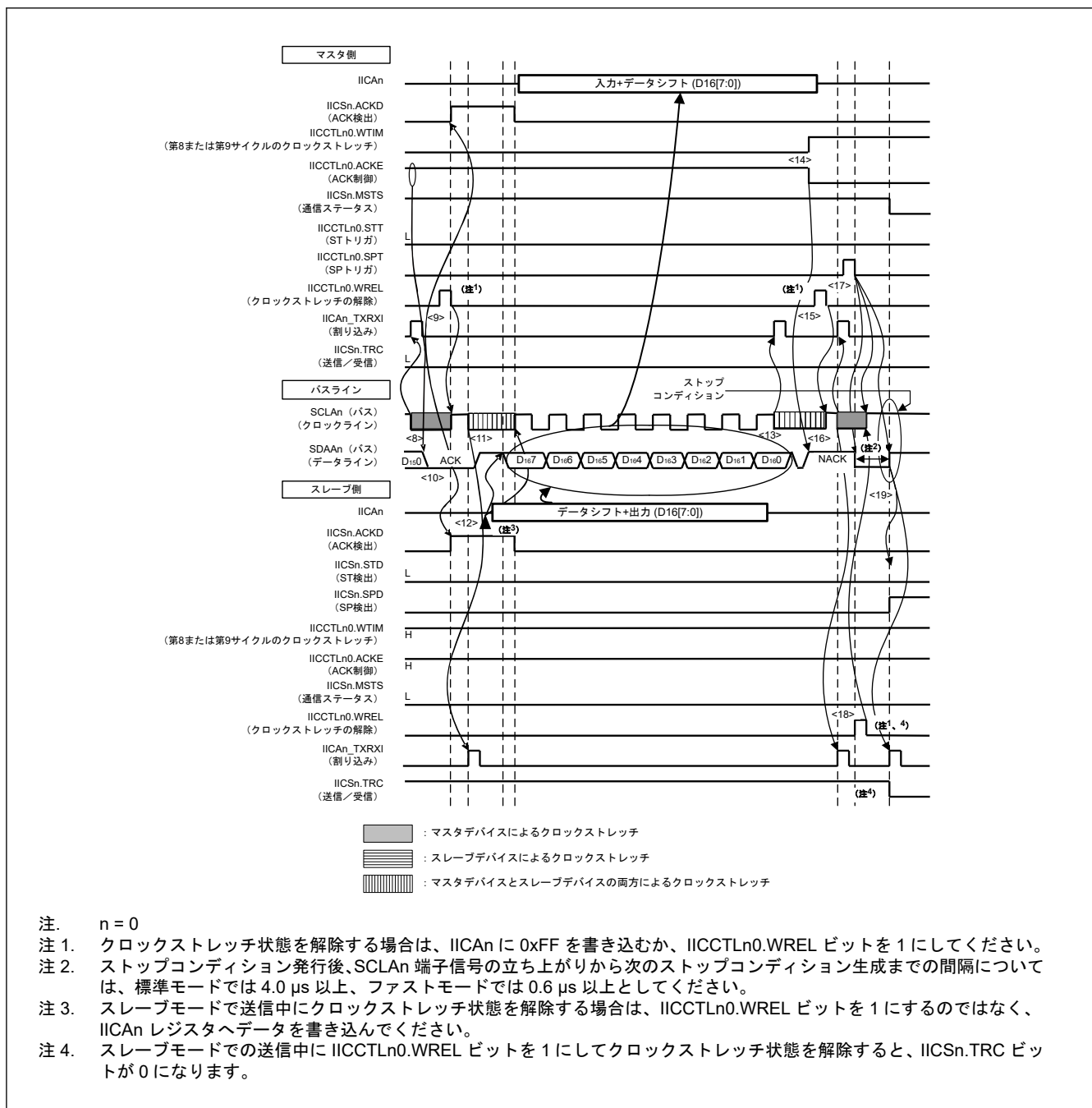


図 20.69 スレーブデバイスからマスタデバイスへ通信する場合の例（クロックストレッチが第 8 サイクルでマスタデバイスに、第 9 サイクルでスレーブデバイスに挿入される場合）(3/3)

図 20.69 の <8> ~ <19> の意味を以下に示します。

<8> マスタデバイスは第 8 クロックの立ち下がりエッジでクロックストレッチ状態を設定し (SCLAn = 0)、割り込み (IICA0_TXRXI : 転送終了) を発生させます。マスタデバイスでは IICCTL00.ACKE が 0 になるため、マスタデバイスはハードウェアで ACK をスレーブデバイスに送ります。

<9> マスタデバイスは受信したデータを読み出し、クロックストレッチ状態を解除します (IICCTL00.WREL = 1)。

<10> スレーブデバイスは、第 9 クロックの立ち上がりエッジで ACK を検出します (IICSn.ACKD = 1)。

<11> スレーブデバイスは第 9 クロックの立ち下がりエッジでクロックストレッチ状態を設定し (SCLAn = 0)、割り込み (IICA0_TXRXI : 転送終了) を発生させます。

- <12> スレーブデバイスが送信データを IICA0 レジスタに書き込むことで、スレーブデバイスが設定したクロックストレッチ状態が解除されます。スレーブデバイスはマスタデバイスへのデータ転送を開始します。
- <13> マスタデバイスは第 8 クロックの立ち下がりエッジで割り込み (IICA0_TXRXI : 転送終了) を発生させ、クロックストレッチ状態を設定します (SCLA0 = 0)。ACK 制御 (IICCTL00.ACKE = 1) が行われるため、この段階でバスデータラインは Low レベル (SDAA0 = 0) になります。
- <14> マスタデバイスは NACK で応答 (IICCTL00.ACKE = 0) し、クロックストレッチ状態を設定するタイミングを第 9 クロックに変更します (IICCTL00.WTIM = 1)。
- <15> マスタデバイスがクロックストレッチ状態を解除すると (IICCTL00.WREL = 1)、スレーブデバイスは第 9 クロックの立ち上がりエッジで NACK (ACK = 0) を検出します。
- <16> マスタデバイスとスレーブデバイスは第 9 クロックの立ち下がりエッジでクロックストレッチ状態を設定し (SCLA0 = 0)、両デバイスは IICA0_TXRXI 割り込み (転送終了) を発生させます。
- <17> マスタデバイスがストップコンディションを発生させる (IICCTL00.SPT = 1) と、バスデータラインは 0 になり (SDAA0 = 0)、マスタデバイスはクロックストレッチ状態を解除します。マスタデバイスはバスクロックラインが 1 になる (SCLA0 = 1) まで待ちます。
- <18> スレーブデバイスは NACK を認識し、送信を中断し、クロックストレッチ状態を解除 (IICCTL00.WREL = 1) して通信を終了します。スレーブデバイスがクロックストレッチを解除するとバスクロックラインが 1 になります (SCLA0 = 1)。
- <19> バスクロックラインが 1 に (SCLA0 = 1) なったことをマスタデバイスが認識し、ストップコンディションセットアップ時間が経過すると、マスタデバイスはバスデータラインを 1 にし (SDAA0 = 1) ストップコンディションを発生させます (SCLA0 が 1 になり SDAA0 が 0 から 1 に変わります)。スレーブデバイスは生成されたストップコンディションを検出し、割り込み (IICA0_TXRXI : ストップコンディション) を発生させます。

注. (2) スレーブデバイスとマスタデバイス間通信の例 (第 8 サイクルクロックストレッチがマスタデバイスに選択され、第 9 サイクルクロックストレッチがスレーブデバイスに選択される場合) の <1> ~ <19> は、I²C バスを使用してデータ通信を行う場合の完全な手順を示します。

図 20.67 に、<1> ~ <7> の各ステップの処理を示します。

図 20.68 に、<3> ~ <12> の各ステップの処理を示します。

図 20.69 に、<8> ~ <19> の各ステップの処理を示します。

21. 巡回冗長検査 (CRC)

21.1 概要

巡回冗長検査 (CRC: Cyclic Redundancy Check) は、CRC コードを生成してデータエラーを検出します。LSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。さらに、2 つの CRC 生成多項式 (16 ビット CRC-CCITT と 32 ビット CRC-32) を使用できます。

表 21.1 に CRC 演算器の仕様を、図 21.1 にブロック図を示します。

表 21.1 CRC 演算器の仕様

項目	内容	
データサイズ	8 ビット	32 ビット
CRC 演算対象データ (注1)	8n ビット単位の任意データに対し CRC コードを生成 (n = 自然数)	32n ビット単位の任意データに対し CRC コードを生成 (n = 自然数)
CRC 演算処理方式	8 ビット並列実行	32 ビット並列実行
CRC 生成多項式	[16 ビット CRC] • $X^{16} + X^{12} + X^5 + 1$ (CRC-CCITT)	[32 ビット CRC] • $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ (CRC-32)
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減が可能	

注 1. 本機能は、CRC 演算で使用するデータを分割できません。8 ビット単位または 32 ビット単位で書いてください。

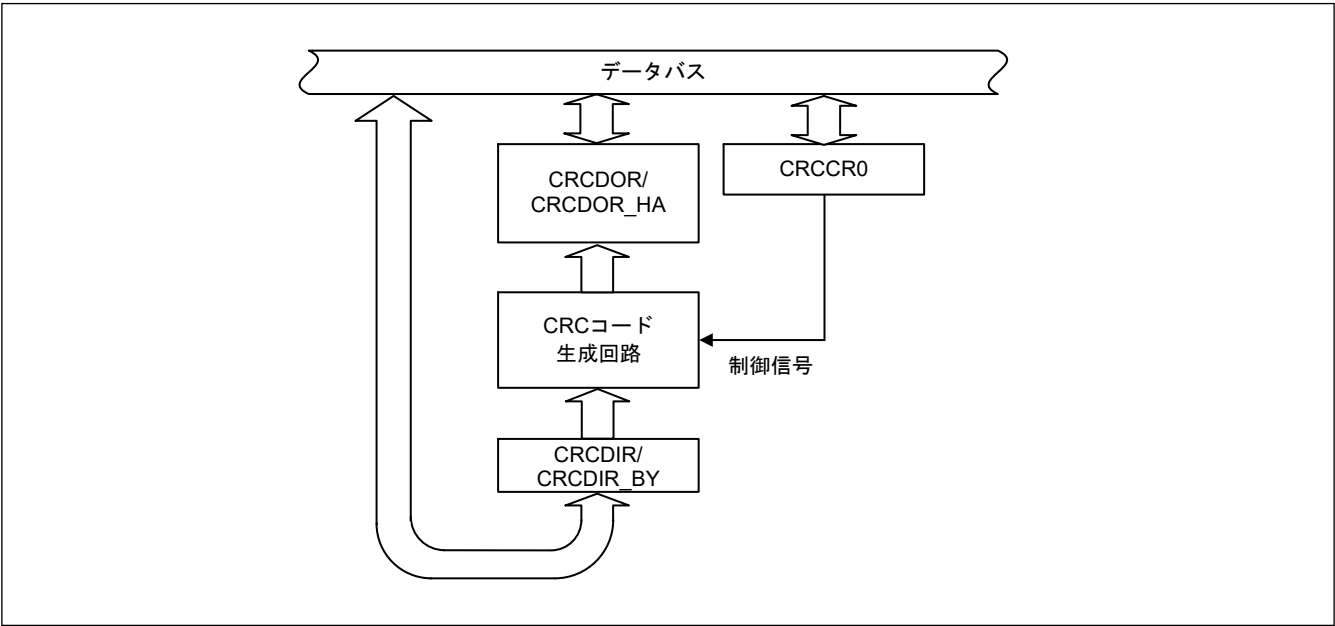


図 21.1 CRC 演算器のブロック図

21.2 レジスタの説明

21.2.1 CRCCR0 : CRC コントロールレジスタ 0

Base address: CRC = 0x4007_4000							
Offset address: 0x0000							
Bit position:	7	6	5	4	3	2	1 0
Bit field:	DORC LR	—	—	—	—	GPS[2:0]	
Value after reset:	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	GPS[2:0]	CRC 生成多項式切り替え 0 1 1: 16 ビット CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$) 1 0 0: 32 ビット CRC-32 ($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$) その他: 演算しない	R/W
6:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	DORCLR	CRCDOR/CRCDOR_HA レジスタクリア 0: 影響なし 1: CRCDOR/CRCDOR_HA レジスタをクリア	W

GPS[2:0]ビット (CRC 生成多項式切り替え)

GPS[2:0]ビットは、CRC 生成多項式を選択します。

DORCLR ビット (CRCDOR/CRCDOR_HA レジスタクリア)

DORCLR ビットを 1 にすると、CRCDOR/CRCDOR_HA レジスタが 0x00000000 になります。本ビットは読むと 0 が読めます。本ビットには 1 のみ書けます。

21.2.2 CRCDIR/CRCDIR_BY : CRC データ入力レジスタ

Base address: CRC = 0x4007_4000

Offset address: 0x0004

Bit position: 31

0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	n/a	CRC 入力データ CRCDIR レジスタは、CRC-32 演算用データを書き込む 32 ビットの読み出し／書き込みレジスタです。CRCDIR_BY (CRCDIR[31:24]、アドレス : 0x4007_4004) レジスタは、CRC-CCITT 演算用データを書き込む 8 ビットの読み出し／書き込みレジスタです。	R/W

21.2.3 CRCDOR/CRCDOR_HA : CRC データ出力レジスタ

Base address: CRC = 0x4007_4000

Offset address: 0x0008

Bit position: 31

0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	n/a	CRC 出力データ CRCDOR レジスタは、CRC-32 演算用の 32 ビットの読み出し／書き込みレジスタです。CRCDOR_HA (CRCDOR[31:16]、アドレス : 0x4007_4008) レジスタは、CRC-CCITT 演算用の 16 ビットの読み出し／書き込みレジスタです。 初期値は 0x00000000 なので、初期値以外を用いて演算する場合は、CRCDOR/CRCDOR_HA レジスタを書き換えてください。 CRCDIR/CRCDIR_BY レジスタに書き込まれたデータに対して CRC 演算が実行され、結果が CRCDOR/CRCDOR_HA レジスタに格納されます。転送されたデータに続いて CRC コードを計算し、その結果が 0x00000000 であると、CRC エラーがないと判断できます。	R/W

21.3 動作説明

21.3.1 基本動作

CRC 演算器は、LSB ファースト通信で使用する CRC コードを生成します。

16 ビットの CRC-CCITT 生成多項式 ($X^{16} + X^{12} + X^5 + 1$) を使用して、入力データ (0xF0) に対し CRC コードを生成する例を以下に示します。この例では、CRC 演算の前に、CRC データ出力レジスタ (CRCDOR_HA) の値をクリアします。

32 ビット CRC を使用している場合は、CRCDOR レジスタに有効な CRC コードのビットが得られます。

図 21.2 に LSB ファーストのデータ送信例を示します。図 21.3 に LSB ファーストのデータ受信例を示します。

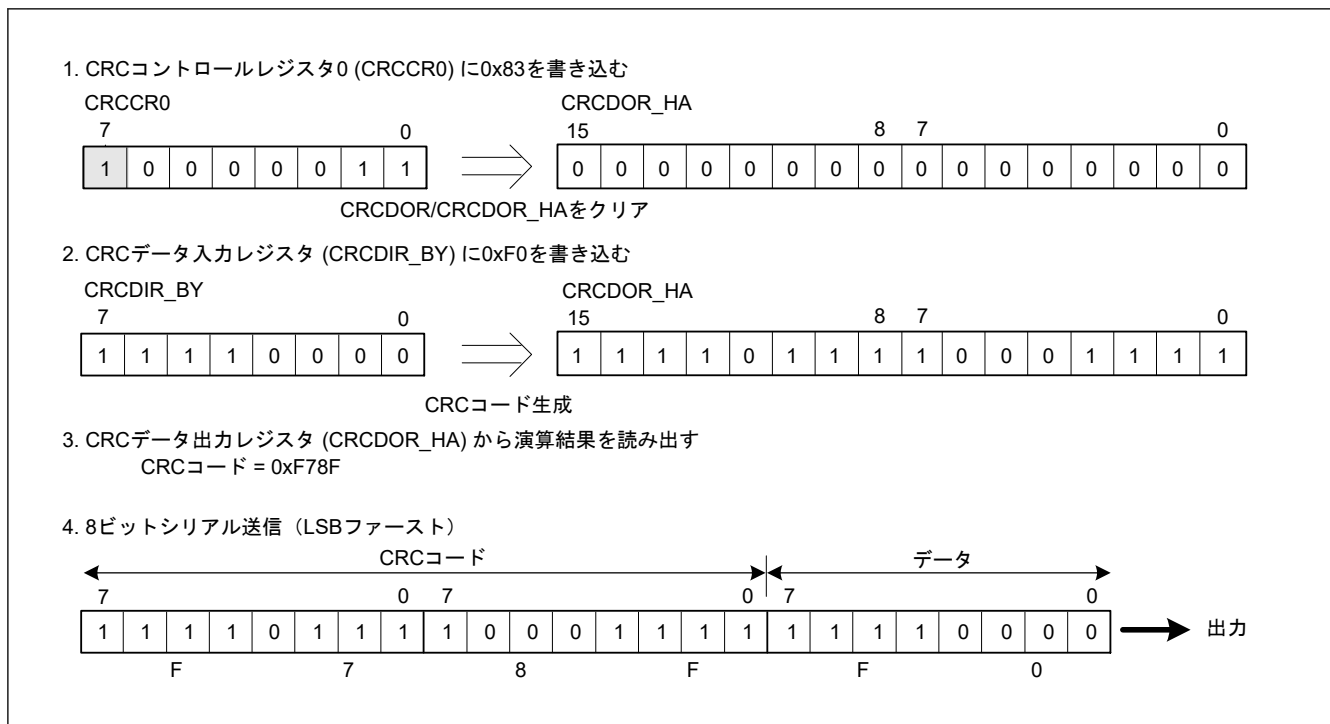
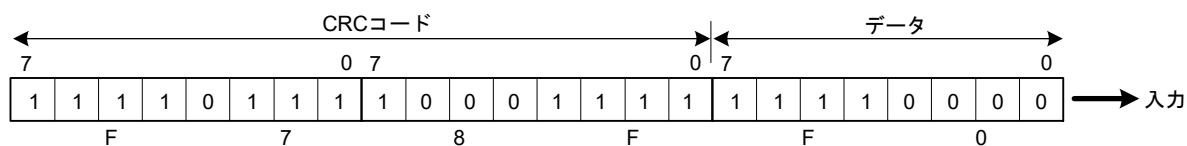


図 21.2 LSB ファーストのデータ送信

1. 8ビットシリアル受信 (LSBファースト)



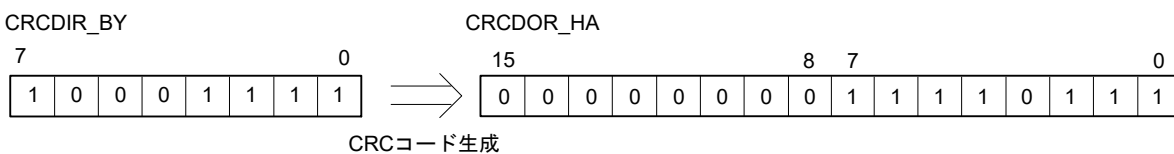
2. CRCコントロールレジスタ0 (CRCCR0) に0x83を書き込む



3. CRCデータ入力レジスタ (CRCDIR_BY) に0xF0を書き込む



4. CRCデータ入力レジスタ (CRCDIR_BY) に0x8Fを書き込む



5. CRCデータ入力レジスタ (CRCDIR_BY) に0xF7を書き込む

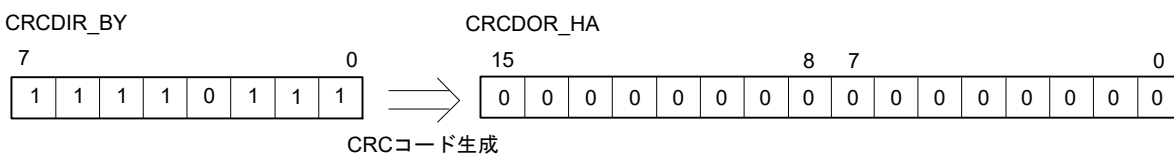
6. CRCデータ出力レジスタ (CRCDOR_HA) から演算結果を読み出す
CRCコード = 0x0000 → エラーなし

図 21.3 LSB ファーストのデータ受信

21.4 使用上の注意事項

21.4.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、CRC 演算器の動作禁止／許可を設定することが可能です。リセット後の値では、CRC 演算器の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[9. 低消費電力モード](#)」を参照してください。

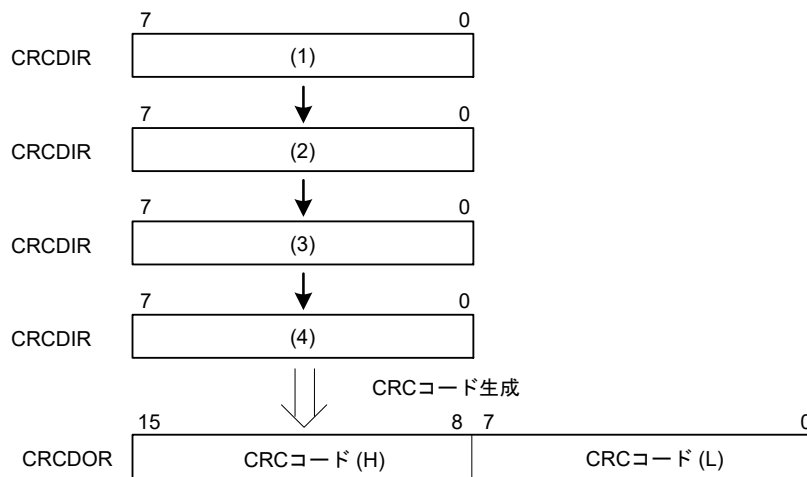
21.4.2 送信時の注意事項

LSB ファーストで送信する場合とそれ以外の場合とでは、CRC コードの送信順序が異なります。[図 21.4](#) に LSB ファーストのデータ送信を示します。

32ビットデータ送信時（8ビット並列実行の場合）

1. CRCコード

生成演算方法を指定後、(1)、(2)、(3)、(4) の順序でCRCDIRレジスタにデータを書き込む



2. 送信データ

(i) LSBファーストで送信する場合

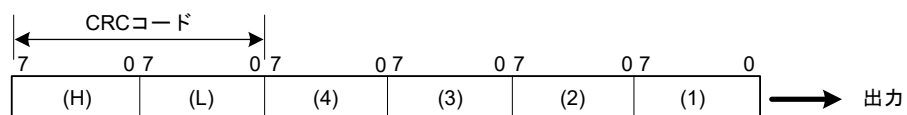


図 21.4 LSB ファーストのデータ送信

22. 10 ビット A/D コンバータ (ADC10)

これは ADC10 周辺モジュールの ADC_D バージョンです。本章では ADC_D を ADC10 と呼びます。

22.1 概要

A/D コンバータは、アナログ入力信号をデジタル値に変換するために使用し、最大 6 チャンネルの A/D コンバータ アナログ入力 (AN000、AN001、AN004、AN005、AN021、および AN022) を制御するように構成されています。A/D コンバータモードレジスタ 2 (ADM2) の ADTYP ビットで、10 ビットまたは 8 ビットの分解能を選択できます。

表 22.1 に ADC10 の仕様を示し、図 22.1 に ADC10 のブロック図を示します。

表 22.1 ADC10 の仕様

項目	仕様
ユニット数	1 ユニット
入力チャンネル	最大 6 チャンネル (AN000、AN001、AN004、AN005、AN021、および AN022)
拡張アナログ機能	温度センサ出力、内部基準電圧
A/D 変換方式	逐次比較方式
分解能	10 ビット/8 ビット
変換時間	詳細は、「22.2.1. ADM0 : A/D コンバータモードレジスタ 0」～「22.2.1. ADM0 : A/D コンバータモードレジスタ 0」を参照してください。
A/D 変換クロック	PCLKB と A/D 変換クロックの f_{AD} は以下の分周比で設定できます : f_{AD} と PCLKB の周波数比 = 1:2, 1:4, 1:5, 1:6, 1:8, 1:16, 1:32, 1:64
データレジスタ	10 ビット A/D 変換結果レジスタ 8 ビット A/D 変換結果レジスタ
動作モード	表 22.2 と表 22.3 に示すモードの組み合わせを使って各種 A/D 変換モードを指定できます。
A/D 変換開始条件	- ソフトウェアトリガ - タイマアレイユニットのチャンネル 1 カウントまたはキャプチャ終了割り込みからのハードウェアトリガ 32 ビットインターバルタイマ割り込みからのハードウェアトリガ
機能	- ADTYP ビットで 10 ビットまたは 8 ビットの分解能を選択できます。 - トリガモードは、ソフトウェアトリガモード、ハードウェアトリガ待機なしモード、ハードウェアトリガ待機モードの 3 モードです。 - チャンネル選択モードは、選択モードの 1 モードです。 - 変換動作モードは、ワンショット変換モードと連続変換モードの 2 モードです。 - 動作電圧モードは、通常 1、通常 2、低電圧 1、低電圧 2 の 4 モードです。 - スヌーズモード機能
割り込み要因	- 選択モードでは、スキャンが 1 回終了するごとに A/D 変換終了割り込み要求 (ADC10_ADI) を生成できます。 - A/D 変換結果と ADUL レジスタの値を比較し、A/D コンバータモードレジスタ 2 (ADM2) の ADRCK ビットで指定された範囲内で割り込み信号 (ADC10_ADI) の生成を制御します。 - A/D 変換結果と ADLL レジスタの値を比較し、A/D コンバータモードレジスタ 2 (ADM2) の ADRCK ビットで指定された範囲内で割り込み信号 (ADC10_ADI) の生成を制御します。 - ADC10_ADI は、データトランスファコントローラ (DTC) を起動できます。
基準電圧	- VREFH0、VCC、または内部基準電圧 (BGR) (外部基準電圧または基準電圧生成回路からの出力電圧) をアナログ基準電圧として選択できます。 - VREFL0 または VSS をアナログ基準グランド電圧として選択できます。
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減できます。(注1)

注 1. 詳細は、「9. 低消費電力モード」を参照してください。

表 22.2 A/D 変換モード

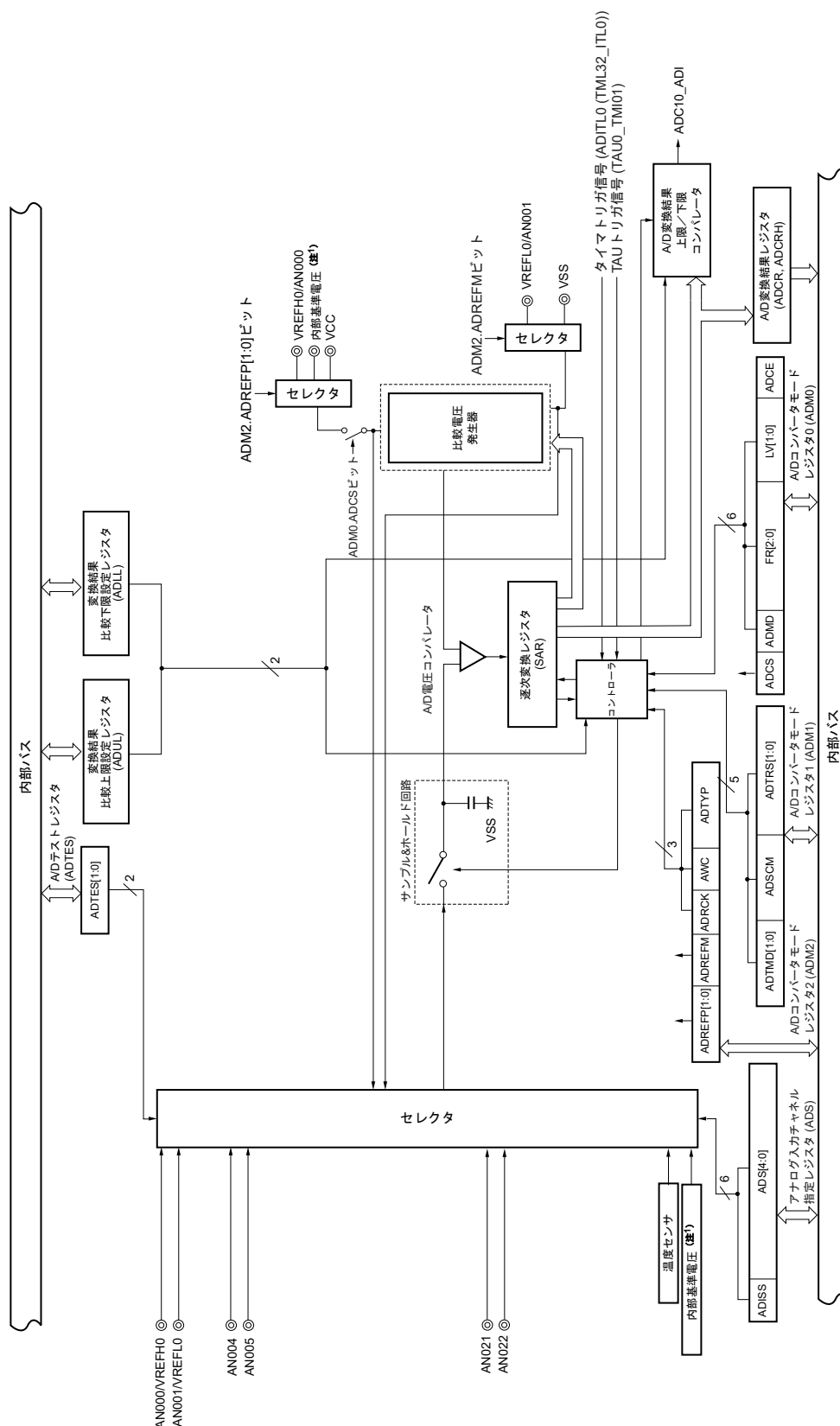
機能	モード	仕様
トリガモード	ソフトウェアトリガ	変換はソフトウェアによって開始されます。
	ハードウェアトリガ待機なしモード	ハードウェアトリガの検出によって変換が開始されます。
	ハードウェアトリガ待機モード	A/D コンバータがオフで変換待機状態のときに、ハードウェアトリガの検出により A/D コンバータへの電源がオンになり、安定化待機時間が経過した後に自動的に変換が開始されます。スヌーズモード機能を使用する場合は、ハードウェアトリガ待機モードを指定してください。
チャンネル選択モード	選択モード	選択した 1 つのチャンネルのアナログ入力を A/D 変換します。
変換動作モード	ワンショット変換モード	選択したチャンネルの A/D 変換を 1 回実行します。
	連続変換モード	ソフトウェアで停止するまで、選択したチャンネルの A/D 変換を順次実行します。

表 22.3 に動作電圧モードごとのサンプリングクロック数を示します。

表 22.3 動作電圧モードごとのサンプリングクロック数

動作電圧モード(注1)	サンプリングクロック数	
通常モード 1	7 f_{AD}	通常モード 1 または低電圧モード 1 のサンプリング時間は変換クロック (f_{AD}) の 7 サイクルです。アナログ入力ソースの出力インピーダンスが高く、サンプリング時間が長い場合にこのモードを選択します。
低電圧モード 1	7 f_{AD}	
通常モード 2	5 f_{AD}	通常モード 2 または低電圧モード 2 のサンプリング時間は変換クロック (f_{AD}) の 5 サイクルです。サンプリング時間が十分に確保される場合にこのモードを選択します (アナログ入力ソースの出力インピーダンスが低い場合など)。
低電圧モード 2	5 f_{AD}	

注 1. 選択できる動作モードは、アナログ入力チャンネル、VCC 電圧、VREFH0 電圧、トリガモード、および PCLKB により異なります。詳細は、「22.2.1. ADM0 : A/D コンバータモードレジスタ 0」を参照してください。



注 1. 内部基準電圧の詳細は、「27. 電氣的特性」を参照してください。

図 22.1 A/D コンバータのブロック図

A/D コンバータは以下のハードウェアを備えています。

1. AN000、AN001、AN004、AN005、AN021、および AN022 端子
A/D コンバータの 6 チャンネルのアナログ入力端子です。デジタル信号に変換するアナログ信号を入力します。アナログ入力端子に選択された端子以外の端子は、入出力ポート端子として使用できます。
2. サンプル&ホールド回路
サンプル&ホールド回路は、入力回路から順次送られてくるアナログ入力電圧をそれぞれサンプリングし、A/D 電圧コンパレータに送ります。この回路は、A/D 変換中にサンプリングされたアナログ入力電圧も保持します。
3. A/D 電圧コンパレータ
本 A/D 電圧コンパレータは、比較電圧発生器の電圧タップから発生した電圧とアナログ入力電圧を比較します。比較の結果、アナログ入力電圧が基準電圧 ($1/2 AV_{REF}$) よりも大きいことが判明した場合は、逐次変換レジスタ (SAR) の最上位ビット (MSB) が設定されます。アナログ入力電圧が基準電圧 ($1/2 AV_{REF}$) 未満の場合、SAR の MSB はリセットされます。その後、SAR レジスタのビット 8 が自動的に設定され、次の比較が行われます。比較電圧発生器の電圧タップは、結果がすでに設定されているビット 9 の値によって選択されます。
 - ビット 9 = 0 の場合 : ($1/4 AV_{REF}$)
 - ビット 9 = 1 の場合 : ($3/4 AV_{REF}$)

比較電圧発生器の電圧タップとアナログ入力電圧を比較し、比較結果に応じて SAR レジスタのビット 8 が操作されます。

- アナログ入力電圧 $\geq$ 比較電圧発生器の電圧タップの場合 : ビット 8 = 1
- アナログ入力電圧 $\leq$ 比較電圧発生器の電圧タップの場合 : ビット 8 = 0

このようにして SAR レジスタのビット 0 まで比較を続けます。

8 ビットの分解能で A/D 変換を実行する場合、比較は SAR レジスタのビット 2 まで続行します。

AV_{REF} : A/D コンバータの「+」側の基準電圧。VREFH0、内部基準電圧(注1)、および VCC から選択できます。

注 1. 内部基準電圧の詳細は、「27. 電氣的特性」を参照してください。

4. 比較電圧発生器
比較電圧発生器は、アナログ入力端子からの入力と比較する電圧を発生させます。
5. 逐次変換レジスタ (SAR)
SAR は、比較電圧発生器からの値がアナログ入力端子の電圧値と一致する電圧タップデータを、最上位ビット (MSB) から一度に 1 ビットずつ設定するために使用します。
SAR レジスタの最下位ビット (LSB) (A/D 変換の終わり) までデータを設定すると、SAR レジスタの内容 (変換結果) は A/D 変換結果レジスタ (ADCR) に保持されます。指定された A/D 変換動作がすべて終了すると、A/D 変換終了割り込み要求信号 (ADC10_ADI) が生成されます。
6. 10 ビット A/D 変換結果レジスタ (ADCR)
A/D 変換が完了するたびに、逐次変換レジスタから本レジスタに A/D 変換結果がロードされ、ADCR レジスタは A/D 変換結果の上位 10 ビットを保持します (下位 6 ビットは 0 に固定されます)。
7. 8 ビット A/D 変換結果レジスタ (ADCRH)
A/D 変換が完了するたびに、逐次変換レジスタから本レジスタに A/D 変換結果がロードされ、ADCRH レジスタは A/D 変換結果の上位 8 ビットを保持します。
8. コントローラ
本回路は、デジタル信号に変換するアナログ入力信号の変換時間、および変換動作の開始と停止を制御します。A/D 変換が完了すると、本コントローラは A/D 変換結果上限/下限コンパレータにより ADC10_ADI を生成します。
9. VREFH0 端子
外部基準電圧 (VREFH0) を入力する端子です。
VREFH0 を A/D コンバータの「+」側の基準電圧として使用する場合、A/D コンバータモードレジスタ 2 (ADM2) の ADREFP[1:0] ビットを 01b に設定してください。
AN000、AN001、AN004、AN005、AN021、および AN022 に入力したアナログ信号は、VREFH0 と「-」側の基準電圧 (VREFL0/V_{SS}) との間に印加される電圧に基づいてデジタル信号に変換されます。

VREFH0 に加えて、V_{CC} または内部基準電圧^(注1)を A/D コンバータの「+」側の基準電圧に選択できます。

注 1. 内部基準電圧の詳細は、「27. 電気的特性」を参照してください。

10. VREFL0 端子

外部基準電圧 (VREFL0) を入力する端子です。VREFL0 を A/D コンバータの「-」側の基準電圧として使用するには、ADM2 レジスタの ADREFM ビットを 1 にしてください。

VREFL0 に加えて、V_{SS} を A/D コンバータの「-」側の基準電圧に選択できます。

11. A/D コンバータのテスト

このテストでは、A/D コンバータの正と負の基準電圧、アナログ入力チャネル (AN_{xxx})、温度センサ出力電圧、および内部基準電圧を変換することによって A/D コンバータが正常に動作するかどうかを確認します。

22.2 A/D コンバータを制御するレジスタ

A/D コンバータの制御には以下のレジスタを使用します。

- 「22.2.1. ADM0 : A/D コンバータモードレジスタ 0」
- 「22.2.2. ADM1 : A/D コンバータモードレジスタ 1」
- 「22.2.3. ADM2 : A/D コンバータモードレジスタ 2」
- 「22.2.4. ADCR : 10 ビット A/D 変換結果レジスタ」
- 「22.2.5. ADCRH : 8 ビット A/D 変換結果レジスタ」
- 「22.2.6. ADS : アナログ入力チャネル指定レジスタ」
- 「22.2.7. ADUL : 変換結果比較上限設定レジスタ」
- 「22.2.8. ADLL : 変換結果比較下限設定レジスタ」
- 「22.2.9. ADTES : A/D テストレジスタ」

22.2.1 ADM0 : A/D コンバータモードレジスタ 0

Base address: ADC_D = 0x400A_1800

Offset address: 0x0000

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ADCS	—	FR[2:0]			LV[1:0]		ADCE

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	ADCE	A/D 電圧コンパレータ動作制御 ^(注2) 0: A/D 電圧コンパレータ動作を停止 1: A/D 電圧コンパレータ動作を許可	R/W
2:1	LV[1:0] ^(注1)	動作電圧モードの選択 0 0: 通常モード 1 0 1: 通常モード 2 1 0: 低電圧モード 1 1 1: 低電圧モード 2	R/W
5:3	FR[2:0] ^(注1)	変換クロック (f _{AD}) の選択 0 0 0: PCLKB/64 0 0 1: PCLKB/32 0 1 0: PCLKB/16 0 1 1: PCLKB/8 1 0 0: PCLKB/6 1 0 1: PCLKB/5 1 1 0: PCLKB/4 1 1 1: PCLKB/2	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
7	ADCS	A/D 変換動作制御 0: 変換動作を停止 [読み出し時] ● 変換は停止中または待機中 1: 変換動作を許可 [読み出し時] ● 待機なしモード中 (ソフトウェアトリガモードとハードウェアトリガモード) 変換有効 ● 待機モード中 (ソフトウェアトリガモードとハードウェアトリガモード) A/D 電源安定待機時間 + 変換	R/W

注 1. FR[2:0]ビット、LV[1:0]ビット、A/D 変換の詳細については、表 22.8～表 22.9 を参照してください。

注 2. ソフトウェアトリガモードまたはハードウェアトリガ待機なしモード中は、A/D 電圧コンパレータの動作は ADCS ビットと ADCE ビットで制御され、動作開始から動作が安定するまで 1 μ s かかります。したがって、ADCE ビットを 1 にしてから 1 μ s 以上経過した後、ADCS ビットを 1 にすると、その時点での変換結果が最初の変換結果よりも優先されます。それ以外の場合、最初の変換のデータを無視します。

本レジスタは、アナログ入力をデジタルデータに変換する時間を設定し、変換の開始と停止を行います。

注. ADCS ビットを 1 にすることと、ADCE ビットを 0 にすることを同時に行わないでください。

ADMD、FR2～FR0、LV1、および LV0 ビットは、変換が停止しているとき (ADCS = 0, ADCE = 0) に変更してください。

注. ADCS ビットを 1 にすることと、ADCE ビットを 0 にすることを同時に行わないでください。

注. ADCS ビットと ADCE ビットを 8 ビット操作命令で同時に 0 から 1 に変更しないでください。必ず「22.6. A/D コンバータ設定手順」に記載の手順に従ってください。

表 22.4 ADCS ビットと ADCE ビットの関係と A/D 動作状態

ADCS	ADCE	A/D 変換モード	A/D 動作状態
0	0	すべてのモード	変換停止状態
0	1	ハードウェアトリガ待機モード	トリガ待機状態
		ハードウェアトリガ待機モード以外	変換待機状態
1	0	設定禁止	
1	1	ハードウェアトリガ待機なしモード	トリガ待機状態または変換動作状態
		ハードウェアトリガ待機モードまたはソフトウェアトリガ	変換動作状態

ADCS ビットが 1 になる条件と 0 になる条件を表 22.5 に示します。

表 22.5 ADCS ビットが 1 になる条件と 0 になる条件

A/D 変換モード			1 になる条件	0 になる条件
ソフトウェアトリガ	選択モード	連続変換モード	ADCS に 1 を書き込んだとき	ADCS に 0 を書き込んだとき
		ワンショット変換モード		- ADCS に 0 を書き込んだとき - A/D 変換が終了すると、ビットは自動的に 0 にクリアされます。
ハードウェアトリガ待機なしモード	選択モード	連続変換モード		ADCS に 0 を書き込んだとき
		ワンショット変換モード		ADCS に 0 を書き込んだとき
ハードウェアトリガ待機モード	選択モード	連続変換モード	ハードウェアトリガを入力したとき	ADCS に 0 を書き込んだとき
		ワンショット変換モード		- ADCS に 0 を書き込んだとき - A/D 変換が終了すると、ビットは自動的に 0 にクリアされます。

A/D 電圧コンパレータを使用するときのタイミングを図 22.2 に示します。

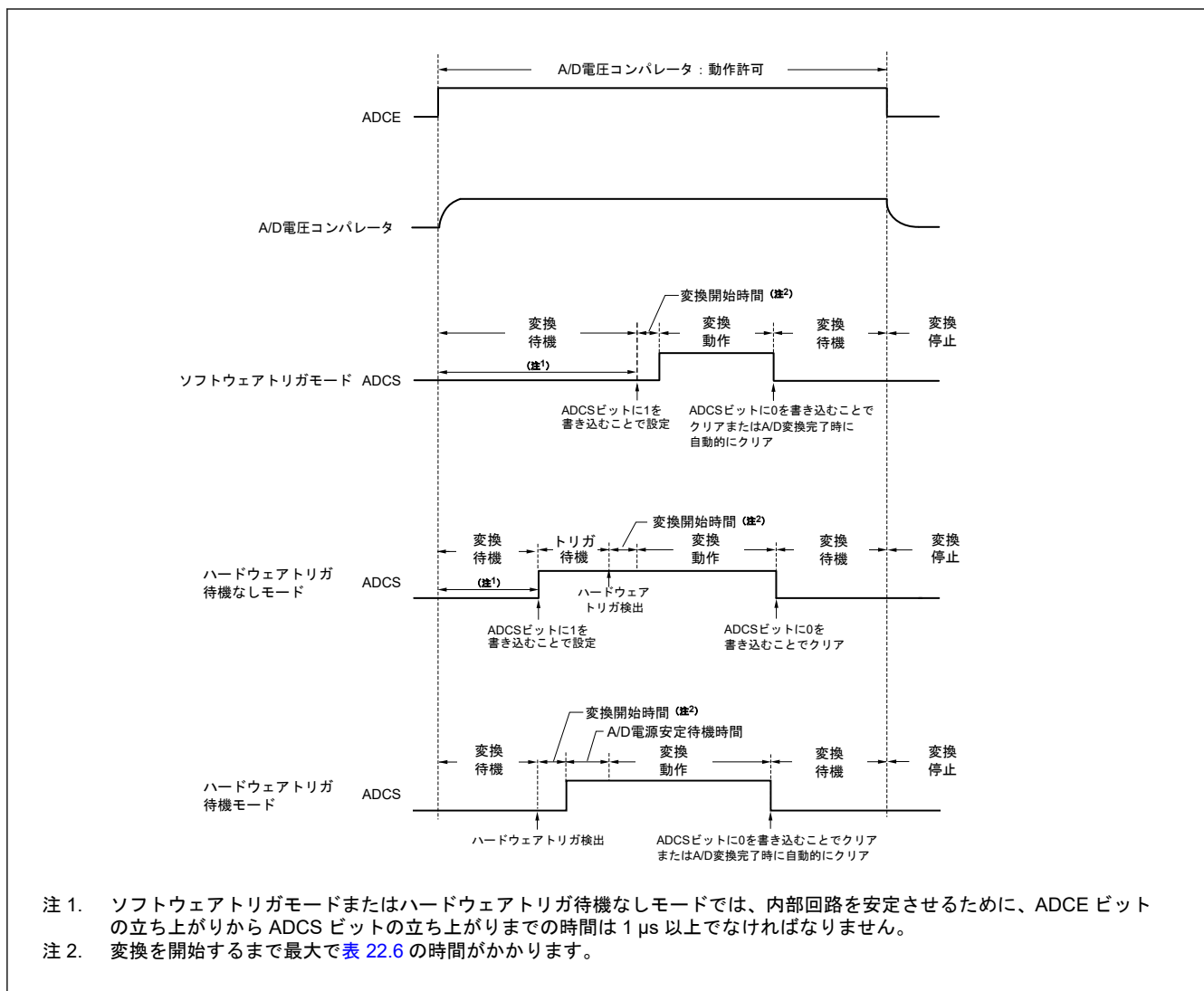


図 22.2 10 ビット A/D コンバータが使用されるタイミング

表 22.6 に FR[2:0] ビットの設定による変換開始時間を示します。

表 22.6 変換開始時間の設定

ADM0	変換クロック (f_{AD})	変換開始時間 (PCLKB クロック数)	
FR[2:0]		ソフトウェアトリガモード/ハードウェアトリガ待機なしモード	ハードウェアトリガ待機モード
000b	PCLKB/64	63	1
001b	PCLKB/32	31	1
010b	PCLKB/16	15	1
011b	PCLKB/8	7	1
100b	PCLKB/6	5	1
101b	PCLKB/5	4	1
110b	PCLKB/4	3	1
111b	PCLKB/2	1	1

ただし、連続変換モードでの 2 回目以降の変換およびスキャン 1、2、3 に指定されたチャネルのスキャンモードでの変換の場合、ハードウェアトリガの検出後は変換開始時間と A/D 電源の安定待機時間は発生しません。

- 注. ハードウェアトリガ待機モードを使用する場合、ADCS ビットを 1 に設定することは禁止です（ただし、このビットはハードウェアトリガ信号が検出されると自動的に 1 に切り替わります）。ただし、A/D 変換待機状態を指定するために ADCS ビットを 0 にクリアすることは可能です。
- 注. ハードウェアトリガ待機なしモードのワンショット変換モード中は、ADCS ビットは A/D 変換の終了時に自動的に 0 にクリアされません。その代わり、1 を保持します。
- 注. ADCE ビットの値の書き換えは、ADCS = 0（変換停止／変換待機状態）のときのみ行ってください。
- 注. A/D 変換を完了するには、下記以上の時間をハードウェアトリガ間隔に指定してください。
- ハードウェアトリガ待機なしモード：2 PCLKB クロックサイクル + 変換時間
 - ハードウェアトリガ待機モード：2 PCLKB クロックサイクル + A/D 電源安定待機時間 + 変換時間

表 22.7 に動作電圧モードと変換時間の関係を示します。

表 22.7 各動作モードの変換時間

動作電圧モード	ADM0.LV[1:0]	変換時間 (f_{AD} クロック数) [サイクル数]
		選択モード
通常モード 1	00b	19
通常モード 2	01b	17
低電圧モード 1	10b	19
低電圧モード 2	11b	17

注. これらのクロックサイクル数は、変換が 10 ビット分解能のときの数値です。8 ビット分解能を選択した場合、値は変換クロック (f_{AD}) の 2 サイクル分少なくなります。

表 22.8 に FR[2:0] ビットおよび LV[1:0] ビットの設定による A/D 変換時間を示します。

表 22.8 A/D 変換時間選択 (1/4) (1/2)

(1) A/D 電源安定待機時間なしの場合

通常モード 1 および 2（ソフトウェアトリガモードおよびハードウェアトリガ待機なしモード）

A/D コンバータモードレジスタ 0 (ADM0)					モード	変換クロック (f _{AD})	変換クロック数 ^(注1)	変換時間	10 ビット分解能での変換時間							
FR2	FR1	FR0	LV1	LV0					2.7 V ≤ VCC ≤ 5.5 V							
									PCLKB = 1 MHz	PCLKB = 4 MHz	PCLKB = 8 MHz	PCLKB = 16 MHz	PCLKB = 32 MHz			
0	0	0	0	0	通常 1	PCLKB/64	19 f _{AD} (サンプリングクロック数: 7 f _{AD})	1216/PCLKB	設定禁止	設定禁止	設定禁止	76 μs	38 μs			
0	0	1				PCLKB/32		608/PCLKB				76 μs	38 μs	19 μs		
0	1	0				PCLKB/16		304/PCLKB				76 μs	38 μs	19 μs	9.5 μs	
0	1	1				PCLKB/8		152/PCLKB				38 μs	19 μs	9.5 μs	4.75 μs	
1	0	0				PCLKB/6		114/PCLKB				28.5 μs	14.25 μs	7.125 μs	3.5625 μs	
1	0	1				PCLKB/5		95/PCLKB				95 μs	23.75 μs	11.875 μs	5.938 μs	2.9688 μs
1	1	0				PCLKB/4		76/PCLKB				76 μs	19 μs	9.5 μs	4.75 μs	2.375 μs
1	1	1				PCLKB/2		38/PCLKB				38 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止

表 22.8 A/D 変換時間選択 (1/4) (2/2)

(1) A/D 電源安定待機時間なしの場合

通常モード 1 および 2 (ソフトウェアトリガモードおよびハードウェアトリガ待機なしモード)

A/D コンバータモードレジスタ 0 (ADM0)					モード	変換クロック (f _{AD})	変換クロック数(注1)	変換時間	10 ビット分解能での変換時間						
FR2	FR1	FR0	LV1	LV0					2.7 V ≤ VCC ≤ 5.5 V						
									PCLKB = 1 MHz	PCLKB = 4 MHz	PCLKB = 8 MHz	PCLKB = 16 MHz	PCLKB = 32 MHz		
0	0	0	0	1	通常 2	PCLKB/64	17 f _{AD} (サンプリングクロック数: 5 f _{AD})	1088/PCLKB	設定 禁止	設定 禁止	設定 禁止	68 μs	34 μs		
0	0	1		PCLKB/32		544/PCLKB		68 μs				34 μs	17 μs		
0	1	0		PCLKB/16		272/PCLKB		68 μs				34 μs	17 μs	8.5 μs	
0	1	1		PCLKB/8		136/PCLKB		34 μs				17 μs	8.5 μs	4.25 μs	
1	0	0		PCLKB/6		102/PCLKB		25.5 μs				12.75 μs	6.375 μs	3.1875 μs	
1	0	1		PCLKB/5		85/PCLKB		85 μs				21.25 μs	10.625 μs	5.3125 μs	2.6563 μs
1	1	0		PCLKB/4		68/PCLKB		68 μs				17 μs	8.5 μs	4.25 μs	2.125 μs
1	1	1		PCLKB/2		34/PCLKB		34 μs				8.5 μs	4.25 μs	2.125 μs	設定 禁止

注 1. これらのクロックサイクル数は、変換が 10 ビット分解能のときの数値です。8 ビット分解能を選択した場合、値は変換クロック (f_{AD}) の 2 サイクル分少なくなります。

注. A/D 変換時間も、に記載した変換時間 (t_{CONV}) の範囲内で設定してください。

注. FR2~FR0、LV1、および LV0 ビットの同じデータ以外への書き換えは、変換が停止しているとき (ADCS = 0, ADCE = 0) に行ってください。

注. 上記の変換時間には変換開始時間は含まれません。変換開始時間には最初の変換が含まれます。クロック周波数エラーを考慮に入れて変換時間を選択してください。

表 22.9 A/D 変換時間選択 (2/4)

(2) A/D 電源安定待機時間なしの場合

低電圧モード 1 および 2 (ソフトウェアトリガモードおよびハードウェアトリガ待機なしモード)

A/D コンバータモードレジスタ 0 (ADM0)					モード	変換クロック (f _{AD})	変換クロック数(注1)	変換時間	10 ビット分解能での変換時間				
FR2	FR1	FR0	LV1	LV0					1.6 V ≤ VCC ≤ 5.5 V		1.8 V ≤ VCC ≤ 5.5 V	2.4 V ≤ VCC ≤ 5.5 V	2.7 V ≤ VCC ≤ 5.5 V
									PCLKB = 1 MHz	PCLKB = 4 MHz	PCLKB = 8 MHz	PCLKB = 16 MHz	PCLKB = 32 MHz
0	0	0	1	0	低電圧 1	PCLKB/64	19 f _{AD} (サンプリングクロック数 : 7 f _{AD})	1216/ PCLKB	設定禁止	設定禁止	設定禁止	76 μs	38 μs
0	0	1				PCLKB/32		608/ PCLKB				76 μs	38 μs
0	1	0				PCLKB/16		304/ PCLKB				76 μs	38 μs
0	1	1				PCLKB/8		152/ PCLKB				38 μs	19 μs
1	0	0				PCLKB/6		114/ PCLKB				28.5 μs	14.25 μs
1	0	1				PCLKB/5		95/ PCLKB				23.75 μs	11.875 μs
1	1	0				PCLKB/4		76/ PCLKB				19 μs	9.5 μs
1	1	1				PCLKB/2		38/ PCLKB				9.5 μs	4.75 μs
0	0	0	1	1	低電圧 2	PCLKB/64	17 f _{AD} (サンプリングクロック数 : 5 f _{AD})	1088/ PCLKB	設定禁止	設定禁止	設定禁止	68 μs	34 μs
0	0	1				PCLKB/32		544/ PCLKB				68 μs	34 μs
0	1	0				PCLKB/16		272/ PCLKB				68 μs	34 μs
0	1	1				PCLKB/8		136/ PCLKB				34 μs	17 μs
1	0	0				PCLKB/6		102/ PCLKB				25.5 μs	12.75 μs
1	0	1				PCLKB/5		85/ PCLKB				21.25 μs	10.625 μs
1	1	0				PCLKB/4		68/ PCLKB				17 μs	8.5 μs
1	1	1				PCLKB/2		34/ PCLKB				8.5 μs	4.25 μs

注 1. これらのクロックサイクル数は、変換が 10 ビット分解能のときの数値です。8 ビット分解能を選択した場合、値は変換クロック (f_{AD}) の 2 サイクル分少なくなります。

注. A/D 変換時間も、に記載した変換時間 (t_{CONV}) の範囲内で設定してください。

注. FR2~FR0、LV1、および LV0 ビットの同じデータ以外への書き換えは、変換が停止しているとき (ADCS = 0, ADCE = 0) に行ってください。

注. 上記の変換時間には変換開始時間は含まれません。変換開始時間には最初の変換が含まれます。クロック周波数エラーを考慮に入れて変換時間を選択してください。

表 22.10 A/D 変換時間選択 (3/4)

(3) A/D 電源安定待機時間なしの場合

通常モード 1 および 2 (ハードウェアトリガ待機モード)

A/D コンバータモードレジスタ 0 (ADM0)					モード	変換クロック (f _{AD})	安定待機クロック数	変換クロック数(注1)	変換時間	安定待機時間 + 10 ビット分解能での変換時間						
FR2	FR1	FR0	LV1	LV0						2.7 V ≤ VCC ≤ 5.5 V						
										PCLK B = 1 MHz	PCLK B = 4 MHz	PCLK B = 8 MHz	PCLK B = 16 MHz	PCLK B = 32 MHz		
0	0	0	0	0	通常 1	PCLKB/64	8 f _{AD}	19 f _{AD} (サンプリングクロック数 : 7 f _{AD})	1728/ PCLK B	設定 禁止	設定 禁止	設定 禁止	108 μs	54 μs		
0	0	1		PCLKB/32		864/ PCLK B			108 μs				54 μs	27 μs		
0	1	0		PCLKB/16		432/ PCLK B			108 μs				54 μs	27 μs	13.5 μs	
0	1	1		PCLKB/8		216/ PCLK B			54 μs				27 μs	13.5 μs	6.75 μs	
1	0	0		PCLKB/6		162/ PCLK B			40.5 μs				20.25 μs	10.125 μs	5.0625 μs	
1	0	1		PCLKB/5		135/ PCLK B			135 μs				33.75 μs	16.875 μs	8.4375 μs	4.21875 μs
1	1	0		PCLKB/4		108/ PCLK B			108 μs				27 μs	13.5 μs	6.75 μs	3.375 μs
1	1	1		PCLKB/2		54/ PCLK B			54 μs				13.5 μs	6.75 μs	3.375 μs	設定 禁止
0	0	0	0	1	通常 2	PCLKB/64	8 f _{AD}	17 f _{AD} (サンプリングクロック数 : 5 f _{AD})	1600/ PCLK B	設定 禁止	設定 禁止	設定 禁止	100 μs	50 μs		
0	0	1		PCLKB/32		800/ PCLK B			100 μs				50 μs	25 μs		
0	1	0		PCLKB/16		400/ PCLK B			100 μs				50 μs	25 μs	12.5 μs	
0	1	1		PCLKB/8		200/ PCLK B			50 μs				25 μs	12.5 μs	6.25 μs	
1	0	0		PCLKB/6		150/ PCLK B			37.5 μs				18.75 μs	9.375 μs	4.6875 μs	
1	0	1		PCLKB/5		125/ PCLK B			125 μs				31.25 μs	15.625 μs	7.8125 μs	3.90625 μs
1	1	0		PCLKB/4		100/ PCLK B			100 μs				25 μs	12.5 μs	6.25 μs	3.125 μs
1	1	1		PCLKB/2		50/ PCLK B			50 μs				12.5 μs	6.25 μs	3.125 μs	設定 禁止

- 注 1. これらのクロックサイクル数は、変換が 10 ビット分解能のときの数値です。8 ビット分解能を選択した場合、値は変換クロック (f_{AD}) の 2 サイクル分少なくなります。
- 注. A/D 変換時間も、に記載した変換時間 (t_{CONV}) の範囲内で設定してください。
- 注. FR2~FR0、LV1、および LV0 ビットの同じデータ以外への書き換えは、変換が停止しているとき ($ADCS = 0$, $ADCE = 0$) に行ってください。
- 注. 上記の変換時間には変換開始時間は含まれません。変換開始時間には最初の変換が含まれます。クロック周波数エラーを考慮に入れて変換時間を選択してください。
- 注. ハードウェアトリガ待機モードの場合、ハードウェアトリガ検出からの安定待機時間を含む変換時間を指定してください。

表 22.11 A/D 変換時間選択 (4/4) (1/2)

(4) A/D 電源安定待機時間なしの場合
低電圧モード 1 および 2 (ハードウェアトリガ待機モード)

A/D コンバータモードレジスタ 0 (ADM0)					モード	変換クロック (f _{AD})	安定待機クロック数	変換クロック数(注1)	変換時間	安定待機時間 + 10 ビット分解能での変換時間						
FR2	FR1	FR0	LV1	LV0						1.6 V ≤ VCC ≤ 5.5 V		1.8 V ≤ VCC ≤ 5.5 V	2.4 V ≤ VCC ≤ 5.5 V	2.7 V ≤ VCC ≤ 5.5 V		
										PCLK B = 1 MHz	PCLK B = 4 MHz	PCLK B = 8 MHz	PCLK B = 16 MHz	PCLK B = 32 MHz		
0	0	0	1	0	低電圧 1	PCLKB/64	2 f _{AD}	19 f _{AD} (サンプリングクロック数 : 7 f _{AD})	1344/ PCLK B	設定禁止	設定禁止	設定禁止	84 μs	42 μs		
0	0	1		PCLKB/32		672/ PCLK B			84 μs				42 μs	21 μs		
0	1	0		PCLKB/16		336/ PCLK B			84 μs				42 μs	21 μs	10.5 μs	
0	1	1		PCLKB/8		168/ PCLK B			42 μs				21 μs	10.5 μs	5.25 μs	
1	0	0		PCLKB/6		126/ PCLK B			31.5 μs				15.75 μs	7.875 μs	3.9375 μs	
1	0	1		PCLKB/5		105/ PCLK B			105 μs				26.25 μs	13.125 μs	6.5625 μs	3.238125 μs
1	1	0		PCLKB/4		84/ PCLK B			84 μs				21 μs	10.5 μs	5.25 μs	2.625 μs
1	1	1		PCLKB/2		42/ PCLK B			42 μs				10.5 μs	5.25 μs	2.625 μs	設定禁止

表 22.11 A/D 変換時間選択 (4/4) (2/2)

(4) A/D 電源安定待機時間なしの場合

低電圧モード 1 および 2 (ハードウェアトリガ待機モード)

A/D コンバータモードレジスタ 0 (ADM0)					モード	変換クロック (f _{AD})	安定待機クロック数	変換クロック数(注1)	変換時間	安定待機時間 + 10 ビット分解能での変換時間						
FR2	FR1	FR0	LV1	LV0						1.6 V ≤ VCC ≤ 5.5 V		1.8 V ≤ VCC ≤ 5.5 V	2.4 V ≤ VCC ≤ 5.5 V	2.7 V ≤ VCC ≤ 5.5 V		
										PCLK B = 1 MHz	PCLK B = 4 MHz	PCLK B = 8 MHz	PCLK B = 16 MHz	PCLK B = 32 MHz		
0	0	0	1	1	低電圧 2	PCLKB/64	2 f _{AD}	17 f _{AD} (サンプリングクロック数 : 5 f _{AD})	1216/PCLK B	設定禁止	設定禁止	設定禁止	76 μs	38 μs		
0	0	1		PCLKB/32		608/PCLK B			76 μs				38 μs	19 μs		
0	1	0		PCLKB/16		304/PCLK B			76 μs				38 μs	19 μs	9.5 μs	
0	1	1		PCLKB/8		152/PCLK B			38 μs				19 μs	9.5 μs	4.75 μs	
1	0	0		PCLKB/6		114/PCLK B			28.5 μs				14.25 μs	7.125 μs	3.5625 μs	
1	0	1		PCLKB/5		95/PCLK B			96 μs				23.75 μs	11.88 μs	5.938 μs	2.9688 μs
1	1	0		PCLKB/4		76/PCLK B			76 μs				19 μs	9.5 μs	4.75 μs	2.375 μs
1	1	1		PCLKB/2		38/PCLK B			38 μs				9.5 μs	4.75 μs	2.375 μs	設定禁止

注 1. これらのクロックサイクル数は、変換が 10 ビット分解能のときの数値です。8 ビット分解能を選択した場合、値は変換クロック (f_{AD}) の 2 サイクル分少なくなります。

注. A/D 変換時間も、に記載した変換時間 (t_{CONV}) の範囲内で設定してください。

注. FR2~FR0、LV1、および LV0 ビットの同じデータ以外への書き換えは、変換が停止しているとき ($ADCS = 0$, $ADCE = 0$) に行ってください。

注. 上記の変換時間には変換開始時間は含まれません。変換開始時間には最初の変換が含まれます。クロック周波数エラーを考慮に入れて変換時間を選択してください。

注. ハードウェアトリガ待機モードの場合、ハードウェアトリガ検出からの安定待機時間を含む変換時間を指定してください。

図 22.3 に A/D コンバータのサンプリングおよび A/D 変換のタイミング (ソフトウェアトリガモードの例) を示します。

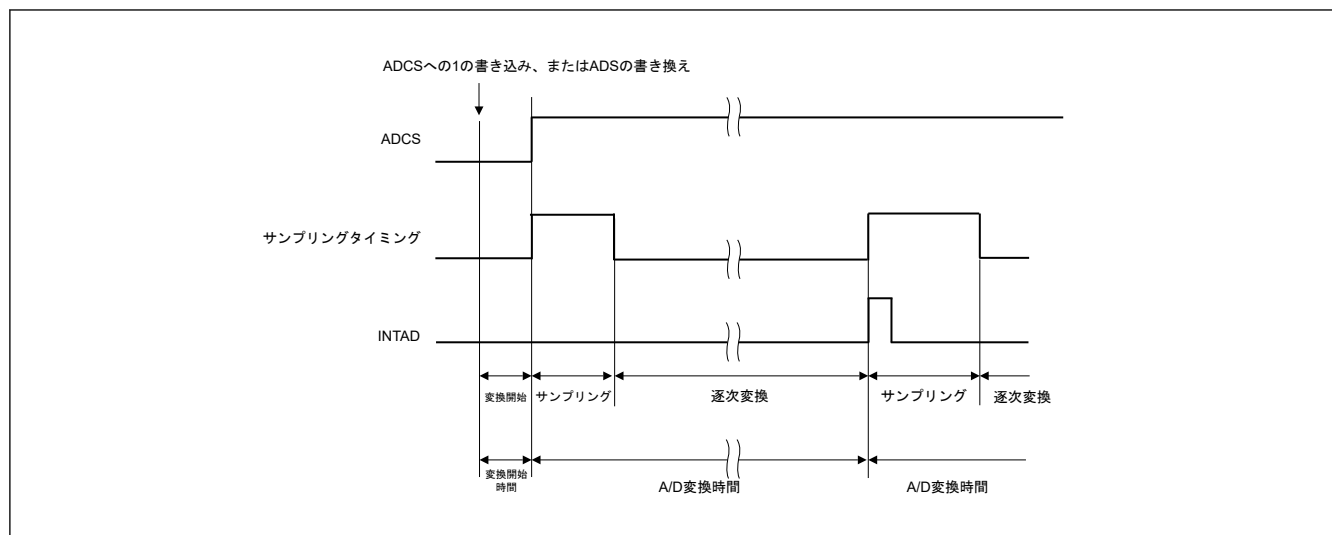


図 22.3 A/D コンバータのサンプリングおよび A/D 変換のタイミング (ソフトウェアトリガモードの例)

22.2.2 ADM1 : A/D コンバータモードレジスタ 1

Base address: ADC_D = 0x400A_1800

Offset address: 0x0002

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ADTMD[1:0]	ADSCM	—	—	—	—	ADTRS[1:0]	

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
1:0	ADTRS[1:0]	ハードウェアトリガ信号の選択 0 0: タイマアレイユニットチャンネル 1 カウントまたはキャプチャ終了割り込み信号 (TAU0_TMI01) 1 1: 32 ビットインターバルタイマ割り込み信号 (ADITL0 (= TML32_ITL0)) その他: 設定禁止	R/W
4:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	ADSCM	A/D 変換モードの指定 0: 連続変換モード 1: ワンショット変換モード	R/W
7:6	ADTMD[1:0]	A/D 変換トリガモードの選択 1 0: ハードウェアトリガ待機なしモード 1 1: ハードウェアトリガ待機モード 0 x: ソフトウェアトリガモード	R/W

本レジスタは、A/D 変換トリガ、変換モード、ハードウェアトリガ信号の指定に使用します。

注. ADM1 レジスタの値の書き換えは、変換動作が停止している (ADCS = 0, ADCE = 0) ときにのみ行ってください。

注. A/D 変換を完了するには、下記以上の時間をハードウェアトリガ間隔に指定してください。

ハードウェアトリガ待機なしモード: 2 PCLKB クロックサイクル + 変換開始時間 + A/D 変換時間

ハードウェアトリガ待機モード: 2 PCLKB クロックサイクル + 変換開始時間 + A/D 電源安定待機時間 + A/D 変換時間

注. スリープモード以外のモードでは、最初の ADITL0 (= TML32_ITL0) が入力されてから最大 4 PCLKB サイクルの間、次の ADITL0 (= TML32_ITL0) の入力がある有効なハードウェアトリガとして認識されません。

22.2.3 ADM2 : A/D コンバータモードレジスタ 2

Base address: ADC_D = 0x400A_1800

Offset address: 0x0110

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ADREFP[1:0]	ADREFM	—	ADRC K	AWC	—	ADTY P	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ADTYP	分解能の選択 0: 分解能 : 10 ビット 1: 分解能 : 8 ビット その他: 設定禁止	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	AWC	スヌーズモードの指定 0: スヌーズモード機能を使用しない 1: スヌーズモード機能を使用する	R/W
3	ADRC K	変換結果の上限と下限の確認 0: ADLL レジスタ ≤ ADCR レジスタ ≤ ADUL レジスタ (AREA 1) のときに、割り込み信号 (ADC10_ADI) を出力 1: ADCR レジスタ < ADLL レジスタ (AREA 2) または ADUL レジスタ < ADCR レジスタ (AREA 3) のときに、割り込み信号 (ADC10_ADI) を出力	R/W
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	ADREFM	A/D コンバータの「-」側の基準電圧の選択 0: V _{SS} から供給 1: VREFL0/AN001 から供給	R/W
7:6	ADREFP[1:0]	A/D コンバータの「+」側の基準電圧の選択 0 0: V _{CC} から供給 0 1: VREFH0/AN000 から供給 1 0: 内部基準電圧から供給 1 1: 設定禁止	R/W

注. ADM2 レジスタの値の書き換えは、変換動作が停止している (ADCS = 0, ADCE = 0) ときにのみ行ってください。

注. CPU がサブシステムクロックで動作中に停止モードに移行するときは、ADREFP[1:0] ビットを 10 に設定しないでください。内部基準電圧を選択した場合 (ADREFP[1:0] = 10b)、「27.3.2. 動作電流とスタンバイ電流」に示す A/D コンバータ基準電圧電流 (I_{ADREF}) が加算されます。

注. VREFH0 と VREFL0 を使用する場合は、AN000 と AN001 をアナログ入力として指定し、ポート mn 端子機能選択レジスタ (PmnPFS_A) の端子モード制御ビット (PMC) を 1、N チャネルオープンドレイン制御ビット (NCODR) を 0、ポート方向ビット (PDR) を 0 にしてください。

ADTYP ビット (分解能の選択)

分解能の選択に使用されるビットです。

AWC ビット (スヌーズモードの指定)

スヌーズモードの指定に使用されるビットです。

ソフトウェアスタンバイモードでハードウェアトリガ信号があった場合、ソフトウェアスタンバイモードを終了し、CPU を動作させずに A/D 変換を行います (スヌーズモード)。

- スヌーズモード機能は、CPU や周辺ハードウェアクロック (PCLKB) に高速オンチップオシレータクロックが選択されている場合にのみ指定できます。他のクロックが選択されている場合、このモードの指定は禁止されています。
- ソフトウェアトリガモード、ソフトウェアトリガ待機モード、ハードウェアトリガ待機なしモードでは、スヌーズモード機能は使用禁止です。

- 連続変換モードでは、スヌーズモード機能は使用禁止です。
- スヌーズモード機能を使用する場合は、ハードウェアトリガ間隔を「スヌーズモードへの移行時間(注1) + 変換開始時間 + A/D 電源安定待機時間 + A/D 変換時間 + 2 PCLKB クロックサイクル」以上に指定してください。
- スヌーズモードを使用する場合でも、通常動作時は必ず AWC ビットを 0 にし、ソフトウェアスタンバイモードに移行する直前に 1 に変えてください。
また、ソフトウェアスタンバイモードから通常動作に復帰後は、必ず AWC ビットを 0 に変えてください。
AWC ビットを 1 のままにしておくと、以降のスヌーズモードまたは通常動作にかかわらず A/D 変換が正常に開始されなくなります。

注 1. 詳細は、「27.4.2. ウェイクアップ時間」の表 27.20 を参照してください。

ADRCK ビット (変換結果の上限と下限の確認)

変換結果の上限と下限の確認に使用されるビットです。

図 22.4 に、AREA 1～AREA 3 の割り込み信号 (ADC10_ADI) の発生範囲を示します。

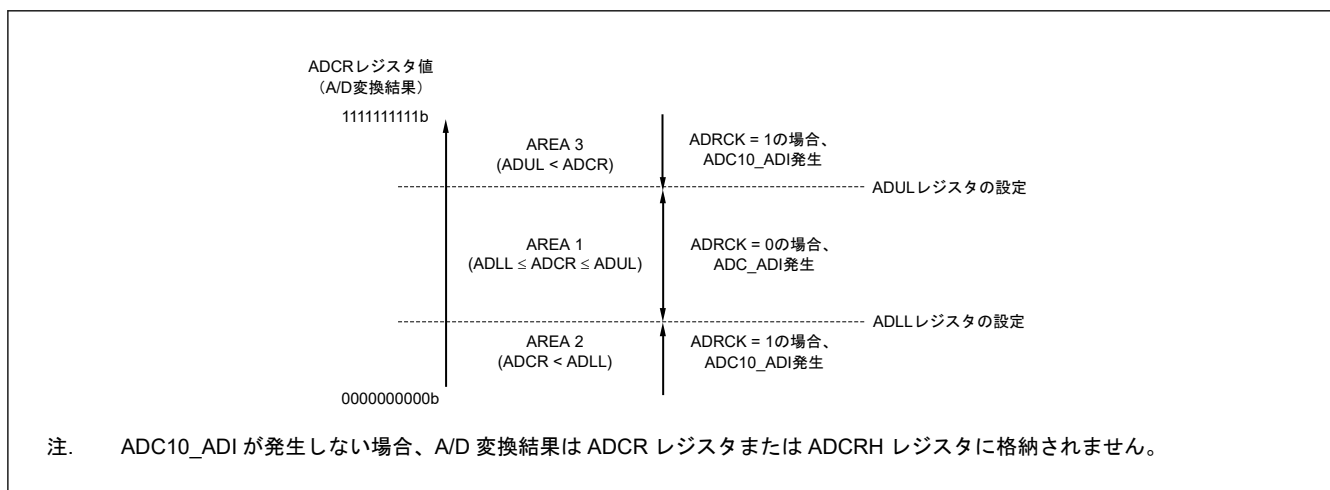


図 22.4 ADRCK ビット割り込み信号発生範囲 (10 ビット分解能モード時)

ADREFM ビット (A/D コンバータの「-」側の基準電圧の選択)

10 ビット A/D コンバータの「-」側の基準電圧の選択に使用されるビットです。

ADREFP[1:0] ビット (A/D コンバータの「+」側の基準電圧の選択)

10 ビット A/D コンバータの「+」側の基準電圧ソースの選択に使用されるビットです。

- ADREFP1 ビットまたは ADREFP0 ビットを書き換える場合は、以下の手順に従って構成してください。
 - (1) ADCE = 0 に設定します。
 - (2) ADREFP1 ビットおよび ADREFP0 ビットの値を変更します。
 - (3) 基準電圧安定待機時間 (A)
 - (4) ADCE = 1 に設定します。
 - (5) 基準電圧安定待機時間 (B)
 ADREFP1 ビットおよび ADREFP0 ビットを 1 および 0 にした場合、設定は A = 5 μ s、B = 1 μ s に変更されます。
 ADREFP1 ビットおよび ADREFP0 ビットを 0 および 0、または 0 および 1 にした場合、A は待機なし、B = 1 μ s に変更する必要があります。
 (5) の安定待機時間の後に、A/D 変換を開始します。
- ADREFP1 および ADREFP0 をそれぞれ 1 および 0 にするとき、A/D 変換を温度センサ出力電圧および内部基準電圧 (1.48 V (typ.)) で実行することはできません。
A/D 変換は ADISS = 0 のときに行ってください。

22.2.4 ADCR : 10 ビット A/D 変換結果レジスタ

Base address: ADC_D = 0x400A_1800

Offset address: 0x0006

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	n/a	10 ビット分解能 A/D 変換結果	R

注. 10 ビットモードを選択した場合、下位 6 ビットは 0 に固定されます。変換結果は ADCR レジスタの上位 10 ビットに格納されます。ADCR レジスタは、A/D 変換結果を保持する 16 ビットのレジスタです。

A/D 変換が終了するたびに、逐次変換レジスタ (SAR) から変換結果がロードされます。

注. A/D 変換結果が A/D 変換比較機能で指定した範囲 (ADM2 レジスタの ADRCK ビット、ADUL レジスタ、ADLL レジスタで設定、[図 22.4](#) を参照) 外の場合、結果は格納されません。

注. 8 ビット分解能の A/D 変換を選択した場合 (A/D コンバータモードレジスタ 2 (ADM2) の ADTYP[1:0] ビットを 01b に設定した場合)、ADCR レジスタを読み出すと、上位 8 ビット以外のビットから 0 が読み出されます。

注. ADCR レジスタに 16 ビット単位でアクセスし、10 ビット分解能の A/D 変換を選択した場合、変換結果の上位 10 ビットが ADCR レジスタのビット 15 から順に読み出されます。

注. 以下のレジスタのいずれかに書き込みを行うと、ADCR レジスタの内容が不定になる可能性があります。

- A/D コンバータモードレジスタ 0 (ADM0)
- アナログ入力チャネル指定レジスタ (ADS)

これらのレジスタに書き込みを行う前に、変換完了後の変換結果を読み出してください。さもないと、正しい変換結果が得られない場合があります。

22.2.5 ADCRH : 8 ビット A/D 変換結果レジスタ

Base address: ADC_D = 0x400A_1800

Offset address: 0x0007

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	n/a	チャネル n の 8 ビット分解能 A/D 変換結果	R

ADCRH レジスタは、A/D 変換結果を保持する 8 ビットのレジスタです。10 ビット分解能の上位 8 ビットが格納されます(注1)。

注 1. A/D 変換結果が A/D 変換比較機能で指定した範囲 (ADM2 レジスタの ADRCK ビット、ADUL レジスタ、ADLL レジスタで設定、[図 22.4](#) 参照) 外の場合、結果は格納されません。

注. 以下のレジスタのいずれかに書き込みを行うと、ADCRH レジスタの内容が不定になる可能性があります。

- A/D コンバータモードレジスタ 0 (ADM0)
- アナログ入力チャネル指定レジスタ (ADS)

これらのレジスタに書き込みを行う前に、変換完了後の変換結果を読み出してください。さもないと、正しい変換結果が得られない場合があります。

22.2.6 ADS : アナログ入力チャネル指定レジスタ

Base address: ADC_D = 0x400A_1800

Offset address: 0x0001

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ADISS	—	—	ADS[4:0]				
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	ADS[4:0]	アナログ入力チャネルの選択 (表 22.12 を参照してください。)	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	ADISS	内部または外部アナログ入力の選択 (表 22.12 を参照してください。 0: 外部入力 1: 内部回路入力	R/W

本レジスタは、A/D 変換対象のアナログ電圧の入力チャネルを指定します。

表 22.12 に、ADS[4:0]ビットと ADISS ビットに選択できる入力ソースを動作モードごとに示します。

表 22.12 セレクトモードでの ADS[4:0]ビットと ADISS ビットによる入力ソース選択

ADISS	ADS[4:0]	アナログ入力チャネル	入力ソース
0	00000b	AN000	P010
0	00001b	AN001	P011
0	00100b	AN004	P012
0	00101b	AN005	P013
0	10101b	AN021	P101
0	10110b	AN022	P100
1	00000b	—	温度センサ出力電圧
1	00001b	—	内部基準電圧 ^(注1)
上記以外		設定禁止	

注 1. 内部基準電圧の詳細は、「27. 電氣的特性」を参照してください。

注. ADISS ビットの値の書き換えは、変換が停止している (ADCS = 0, ADCE = 0) ときに行ってください。

注. VREFH0 を A/D コンバータの「+」側の基準電圧として使用する場合は、AN000 を A/D 変換チャネルに選択しないでください。

注. VREFL0 を A/D コンバータの「-」側の基準電圧として使用する場合は、AN001 を A/D 変換チャネルに選択しないでください。

注. ADISS ビットの設定値が 1 の場合、内部基準電圧は A/D コンバータの「+」側の基準電圧には使用できません。ADISS ビットを 1 に設定した後、1 回目の変換結果は使用できません。設定の流れについては、「22.6.4. 温度センサ出力電圧または内部基準電圧と、ソフトウェアトリガモードおよびワンショット変換モード選択時の ADC10 使用例」を参照してください。

内部基準電圧の詳細は、「27. 電氣的特性」を参照してください。

注. ソフトウェアスタンバイモードに移行するとき、または CPU がサブシステムクロックで動作中にスリープモードに移行するときは、ADISS ビットを 1 に設定しないでください。ADISS ビットを 1 に設定した場合、「27.3.2. 動作電流とスタンバイ電流」に示す A/D コンバータ基準電圧電流 (IADREF) が加算されます。

注. ADISS ビットの設定値が 1 の場合、ハードウェアトリガ待機モードとワンショット変換モードの同時使用はできません。

注. ADISS ビットの設定値が 1 の場合、ソフトウェアトリガ待機モードとワンショット変換モードの同時使用はできません。

22.2.7 ADUL : 変換結果比較上限設定レジスタ

Base address: ADC_D = 0x400A_1800

Offset address: 0x0111

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	n/a	A/D 変換結果の上限の設定	R/W

本レジスタは、A/D 変換結果の上限を確認する設定の指定に使用します。

A/D 変換結果と ADUL レジスタの値を比較し、A/D コンバータモードレジスタ 2 (ADM2) の ADRCK ビットで指定された範囲内で割り込み信号 (ADC10_ADI) の発生を制御します (図 22.4 参照)。

22.2.8 ADLL : 変換結果比較下限設定レジスタ

Base address: ADC_D = 0x400A_1800

Offset address: 0x0112

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	n/a	A/D 変換結果の下限の設定	R/W

本レジスタは、A/D 変換結果の下限を確認する設定の指定に使用します。

A/D 変換結果と ADLL レジスタの値を比較し、A/D コンバータモードレジスタ 2 (ADM2) の ADRCK ビットで指定された範囲内で割り込み信号 (ADC10_ADI) の発生を制御します (図 22.4 参照)。

注. 10 ビット分解能の A/D 変換を選択した場合、A/D 変換結果レジスタ ADCR[15:8]の値を、ADUL レジスタおよび ADLL レジスタの値と比較します。

注. ADUL レジスタおよび ADLL レジスタへの新しい値の書き込みは、変換が停止している (ADCS = 0, ADCE = 0) ときにのみ行ってください。

注. ADUL レジスタの設定値は ADLL レジスタの設定値より大きくなければなりません。

22.2.9 ADTES : A/D テストレジスタ

Base address: ADC_D = 0x400A_1800

Offset address: 0x0113

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	ADTES[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	ADTES[1:0]	テスト用 A/D 変換対象の選択 0 0: ANxxx、温度センサ出力電圧、または内部基準電圧(注1) (アナログ入力チャネル指定レジスタ (ADS) で設定) 1 0: 「-」側の基準電圧 (ADM2 レジスタの ADREFM ビットで選択) 1 1: 「+」側の基準電圧 (ADM2 レジスタの ADREFP[1:0]ビットで選択) その他: 設定禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 内部基準電圧の詳細は、「27. 電気的特性」を参照してください。

コンバータ、アナログ入力チャネル (ANxxx)、温度センサ出力電圧、または内部基準電圧(注1)の「+」側または「-」の基準電圧を A/D 変換対象に選択するレジスタです。

本レジスタを使ってコンバータをテストする場合は、以下のように設定します。

- ゼロスケール測定の場合は、「-」側の基準電圧を変換対象に選択します。
- フルスケール測定の場合は、「+」側の基準電圧を変換対象に選択します。

22.3 A/D コンバータの動作

A/D コンバータ変換動作を以下に説明します。

<1> 選択したアナログ入力チャネルに入力されている電圧をサンプル&ホールド回路でサンプリングします。

<2> 一定期間サンプリングを行ってから、サンプル&ホールド回路はホールド状態となり、サンプリングされた電圧は A/D 変換動作が終了するまで保持されます。

<3> 逐次変換レジスタ (SAR) のビット 9 が 1 に設定されます。タップセレクトにより、直列抵抗ストリング電圧タップが $1/2 AV_{REF}$ に設定されます。

<4> 電圧コンパレータで、直列抵抗ストリング電圧タップとサンプリングされた電圧との間の電圧差を比較します。アナログ入力 $1/2 AV_{REF}$ より大きい場合、SAR レジスタの MSB は 1 に設定されたままとなります。アナログ入力 $1/2 AV_{REF}$ より小さい場合、MSB は 0 にリセットされます。

<5> 次に、SAR レジスタのビット 8 が自動的に 1 となり、動作は次の比較へと進みます。以下に示すように、ビット 9 のプリセット値に従って直列抵抗ストリング電圧タップが選択されます。

- ビット 9 = 1 の場合: $(3/4) AV_{REF}$
- ビット 9 = 0 の場合: $(1/4) AV_{REF}$

電圧タップとサンプリングされた電圧を比較し、SAR レジスタのビット 8 を以下のように操作します。

- サンプリングされた電圧 $\geq$ 電圧タップの場合: ビット 8 = 1
- サンプリングされた電圧 $<$ 電圧タップの場合: ビット 8 = 0

<6> このようにして SAR レジスタのビット 0 まで比較を続けます。

<7> 10 ビットの比較が完了すると、SAR レジスタには有効なデジタル結果値が残り、その結果値は A/D 変換結果レジスタ (ADCR, ADCRH) に転送されてからラッチされます(注1)。

同時に、A/D 変換終了割り込み要求信号 (ADC10_ADI) を発生させることも可能です(注1)。

<8> ADCS ビットが 0 にクリアされるまで <1>~<7> を繰り返します。(注2)

A/D コンバータを停止するには、ADCS ビットを 0 にクリアしてください。

注 1. A/D 変換結果が ADRCK ビットと ADUL レジスタ、ADLL レジスタで指定された A/D 変換結果範囲外の場合 (図 22.4 参照)、A/D 変換終了割り込み要求信号は発生せず、A/D 変換結果を ADCR レジスタや ADCRH レジスタに格納しません。

注 2. 連続変換モード中は、ADCS フラグは自動的に 0 にクリアされません。ハードウェアトリガ待機なしモードのワンショット変換モード中も、このフラグは自動的に 0 にクリアされません。その代わりに、1 を保持します。

注. 2 種類の A/D 変換結果レジスタが使用可能です。

- ADCR レジスタ (16 ビット): 10 ビット A/D 変換値を格納
- ADCRH レジスタ (8 ビット): 8 ビット A/D 変換値を格納

注. AV_{REF} : A/D コンバータの「+」側の基準電圧。VREFH0、内部基準電圧、および V_{CC} から選択できます。
内部基準電圧の詳細は、「27. 電気的特性」を参照してください。

注. $n = 0 \sim 3$

図 22.5 に、ソフトウェアトリガモード時の A/D コンバータの変換動作を示します。

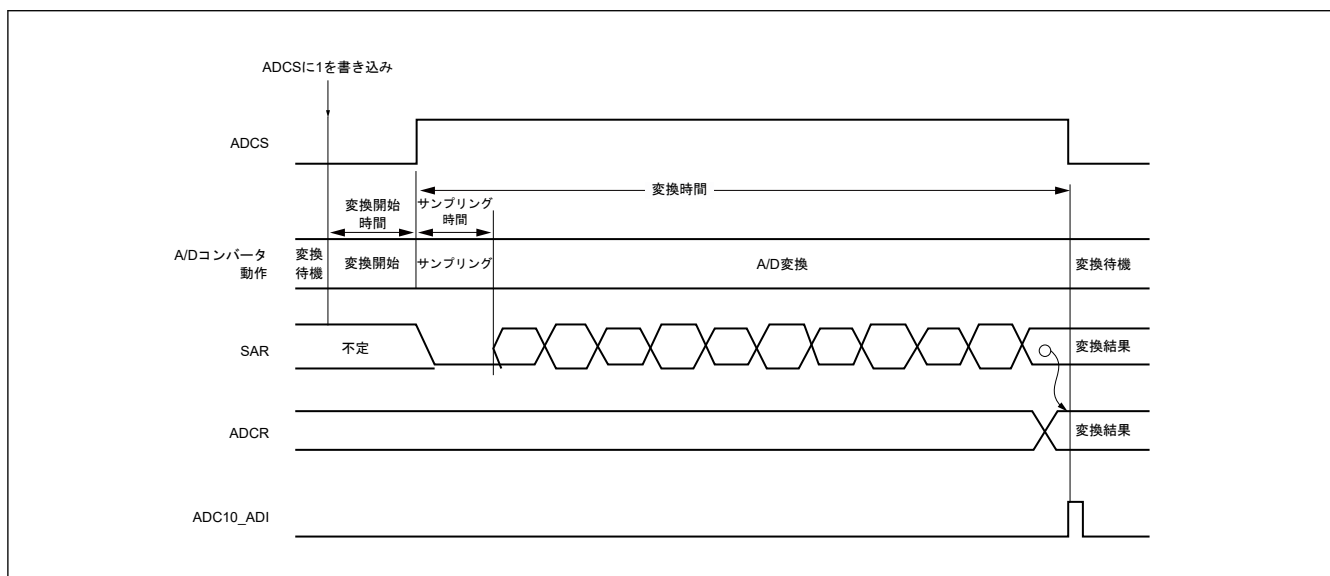


図 22.5 A/D コンバータの変換動作（ソフトウェアトリガモード）

ワンショット変換モードでは、ADCS ビットは A/D 変換完了後に自動的に 0 にクリアされます。

連続変換モードでは、A/D コンバータモードレジスタ 0 (ADM0) のビット 7 (ADCS) がソフトウェアで 0 にクリアされるまで、A/D 変換動作は継続します。

A/D 変換中にアナログ入力チャネル指定レジスタ (ADS) に書き込みを行うと、現在の変換を中断してから、ADS レジスタで指定されたアナログ入力の A/D 変換を開始します。実行中だった A/D 変換のデータは破棄されます。

A/D 変換結果レジスタ (ADCR, ADCRH) の値は、リセット後に 0x00 または 0x0000 となります。

22.4 入力電圧と変換結果

アナログ入力端子 (AN000、AN001、AN004、AN005、AN021、および AN022) に入力したアナログ電圧と理論的な A/D 変換結果 (10 ビット A/D 変換結果レジスタ (ADCR) に格納) の関係は、次式で表されます。

$$SAR = \text{INT}\left(\frac{V_{AIN}}{AV_{REF}} \times 1024 + 0.5\right)$$

$$ADCR = SAR \times 64$$

または

$$(ADCR/64 - 0.5) \times \frac{AV_{REF}}{1024} \leq V_{AIN} < (ADCR/64 + 0.5) \times \frac{AV_{REF}}{1024}$$

ここで、

INT () : 括弧内の値の整数部を返す関数

V_{AIN} : アナログ入力電圧

AV_{REF} : AV_{REF} 端子電圧

ADCR : 10 ビット A/D 変換結果レジスタ (ADCR) の値

SAR : 逐次変換レジスタ

図 22.6 にアナログ入力電圧と A/D 変換結果の関係を示します。

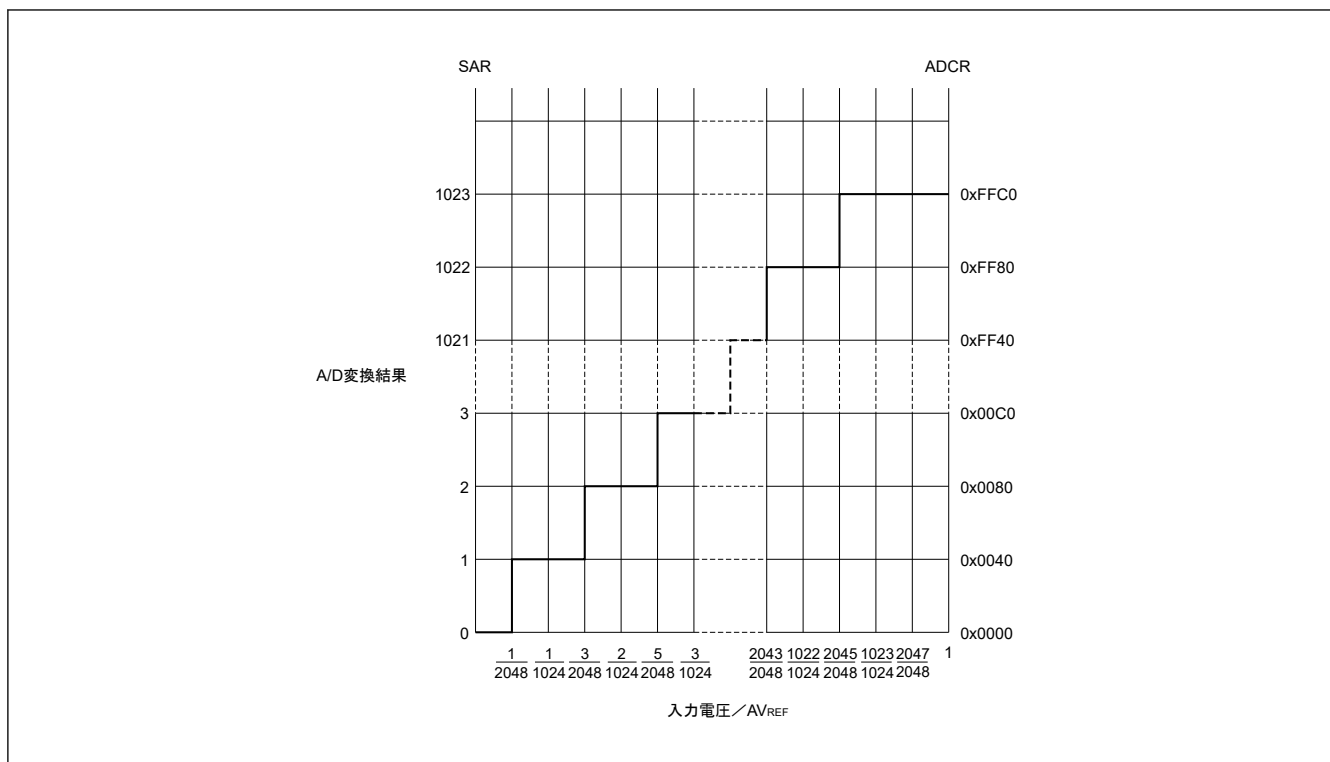


図 22.6 アナログ入力電圧と A/D 変換結果の関係

AV_{REF} : A/D コンバータの「+」側の基準電圧。これは V_{REFH0} 、内部基準電圧(注1)、および V_{CC} から選択できます。

注 1. 内部基準電圧の詳細は、「27. 電気的特性」を参照してください。

22.5 A/D コンバータの動作モード

各 A/D コンバータモードの動作を以下に説明します。また、各モードの指定手順を「22.6. A/D コンバータ設定手順」に説明します。

22.5.1 ソフトウェアトリガモード（選択モード、連続変換モード）

<1> 停止状態で、A/D コンバータモードレジスタ 0 (ADM0) の ADCE ビットを 1 に設定すると、A/D コンバータは待機状態に遷移します。

<2> ソフトウェアで安定待機時間 (1 μ s) までカウントアップした後、ADM0 レジスタの ADCS ビットを 1 に設定することで、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力を A/D 変換します。

<3> A/D 変換が終了すると、変換結果が A/D 変換結果レジスタ (ADCR, ADCRH) に格納され、A/D 変換終了割り込み要求信号 (ADC10_ADI) が発生します。A/D 変換終了後、すぐに次の A/D 変換が開始します。

<4> 変換動作中に ADCS を 1 で上書きすると、現在の A/D 変換を中断し、変換が再開します。部分的に変換したデータは破棄されます。

<5> 変換動作中に ADS レジスタの値を書き換えまたは上書きすると、現在の A/D 変換を中断し、ADS レジスタで再指定されたアナログ入力を A/D 変換します。部分的に変換したデータは破棄されます。

<6> 変換動作中にハードウェアトリガを入力しても、A/D 変換は開始しません。

<7> 変換動作中に ADCS を 0 にクリアすると、現在の A/D 変換を中断し、A/D コンバータは待機状態に遷移します。

<8> A/D 変換待機状態のときに ADCE を 0 にクリアすると、A/D コンバータは停止状態に遷移します。ADCE = 0 の場合、ADCS に 1 を指定しても無視され、A/D 変換は開始しません。

図 22.7 にソフトウェアトリガモード（選択モード、連続変換モード）動作タイミングの例を示します。

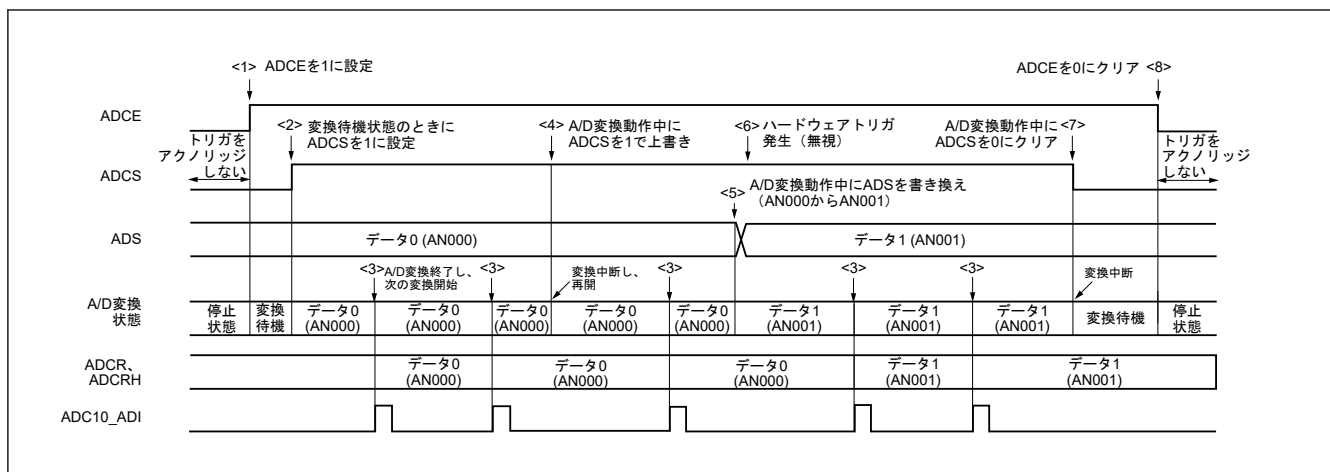


図 22.7 ソフトウェアトリガ待機なしモード（セレクトモード、連続変換モード）動作タイミングの例

22.5.2 ソフトウェアトリガモード（選択モード、ワンショット変換モード）

<1> 停止状態で、A/D コンバータモードレジスタ 0 (ADM0) の ADCE ビットを 1 に設定すると、A/D コンバータは待機状態に遷移します。

<2> ソフトウェアで安定待機時間 (1 μ s) までカウントアップした後、ADM0 レジスタの ADCS ビットを 1 に設定することで、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力を A/D 変換します。

<3> A/D 変換が終了すると、変換結果が A/D 変換結果レジスタ (ADCR, ADCRH) に格納され、A/D 変換終了割り込み要求信号 (ADC10_ADI) が発生します。

<4> A/D 変換の終了後、ADCS ビットは自動的に 0 にクリアされ、A/D コンバータは待機状態に遷移します。

<5> 変換動作中に ADCS を 1 で上書きすると、現在の A/D 変換を中断し、変換が再開します。部分的に変換したデータは破棄されます。

<6> 変換動作中に ADS レジスタの値を書き換えまたは上書きすると、現在の A/D 変換を中断し、ADS レジスタで再指定されたアナログ入力を A/D 変換します。部分的に変換したデータは破棄されます。

<7> 変換動作中に ADCS を 0 にクリアすると、現在の A/D 変換を中断し、A/D コンバータは待機状態に遷移します。

<8> A/D 変換待機状態のときに ADCE を 0 にクリアすると、A/D コンバータは停止状態に遷移します。また、A/D 変換待機状態のときにハードウェアトリガを入力しても、A/D 変換を開始しません。ADCE = 0 の場合、ADCS に 1 を指定しても無視され、A/D 変換は開始しません。

図 22.8 にソフトウェア選択待機なしモード（セレクトモード、ワンショット変換モード）動作タイミングの例を示します。

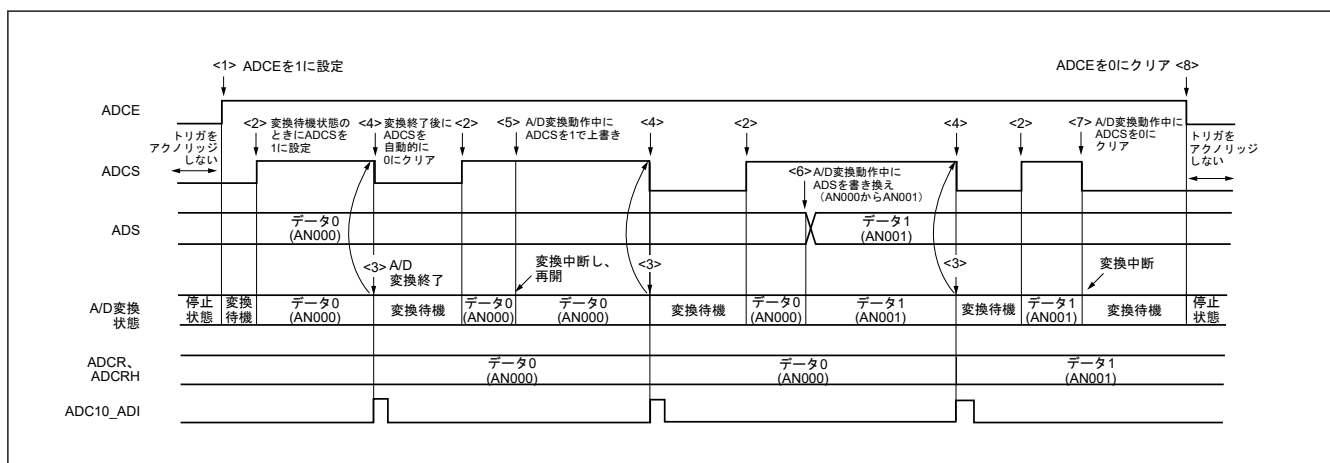


図 22.8 ソフトウェア選択モード（選択モード、ワンショット変換モード）動作タイミングの例

22.5.3 ハードウェアトリガ待機なしモード（選択モード、連続変換モード）

<1> 停止状態で、A/D コンバータモードレジスタ 0 (ADM0) の ADCE ビットを 1 に設定すると、A/D コンバータは待機状態に遷移します。

<2> ソフトウェアで安定待機時間 (1 μ s) までカウントアップした後、ADM0 レジスタの ADCS ビットを 1 に設定することで、A/D コンバータはハードウェアトリガ待機状態になります（この段階では変換は開始しません）。この状態では、ADCS を 1 にしても A/D 変換は開始しないので注意してください。

<3> ADCS = 1 の状態でハードウェアトリガを入力すると、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力を A/D 変換します。

<4> A/D 変換が終了すると、変換結果が A/D 変換結果レジスタ (ADCR, ADCRH) に格納され、A/D 変換終了割り込み要求信号 (ADC10_ADI) が発生します。A/D 変換終了後、すぐに次の A/D 変換が開始します。

<5> 変換動作中にハードウェアトリガを入力すると、現在の A/D 変換を中断し、変換を再開します。部分的に変換したデータは破棄されます。

<6> 変換動作中に ADS レジスタの値を書き換えまたは上書きすると、現在の A/D 変換を中断し、ADS レジスタで再指定されたアナログ入力を A/D 変換します。部分的に変換したデータは破棄されます。

<7> 変換動作中に ADCS を 1 で上書きすると、現在の A/D 変換を中断し、変換が再開します。部分的に変換したデータは破棄されます。

<8> 変換動作中に ADCS を 0 にクリアすると、現在の A/D 変換を中断し、A/D コンバータは待機状態に遷移します。ただし、この状態では A/D コンバータは停止しません。

<9> A/D 変換待機状態のときに ADCE を 0 にクリアすると、A/D コンバータは停止状態に遷移します。

ADCS = 0 の場合、ハードウェアトリガの入力は無視され、A/D 変換は開始しません。

図 22.9 にハードウェアトリガ待機なしモード（セレクトモード、連続変換モード）動作タイミングの例を示します。

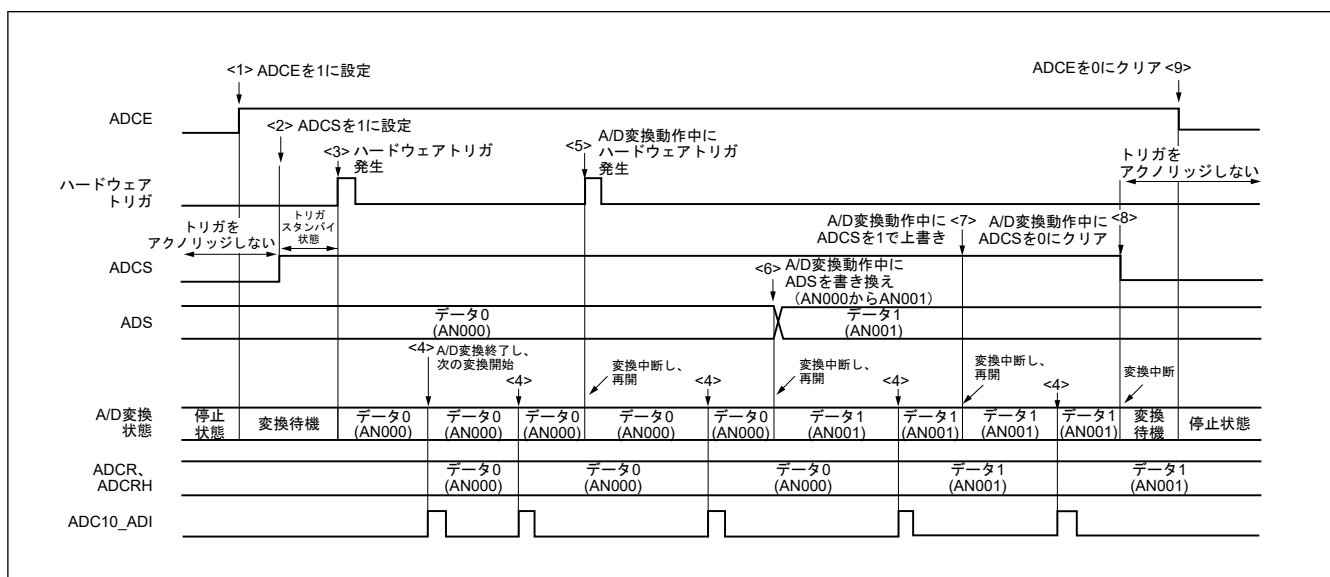


図 22.9 ハードウェアトリガ待機なしモード（セレクトモード、連続変換モード）動作タイミングの例

22.5.4 ハードウェアトリガ待機なしモード（選択モード、ワンショット変換モード）

<1> 停止状態で、A/D コンバータモードレジスタ 0 (ADM0) の ADCE ビットを 1 に設定すると、A/D コンバータは待機状態に遷移します。

<2> ソフトウェアで安定待機時間 (1 μ s) までカウントアップした後、ADM0 レジスタの ADCS ビットを 1 に設定することで、A/D コンバータはハードウェアトリガ待機状態になります（この段階では変換は開始しません）。この状態では、ADCS を 1 にしても A/D 変換は開始しないので注意してください。

<3> ADCS = 1 の状態でハードウェアトリガを入力すると、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力を A/D 変換します。

<4> A/D 変換が終了すると、変換結果が A/D 変換結果レジスタ (ADCR, ADCRH) に格納され、A/D 変換終了割り込み要求信号 (ADC10 ADI) が発生します。

<5> A/D 変換の終了後、ADCS ビットは 1 のままで、A/D コンバータは待機状態に遷移します。

<6> 変換動作中にハードウェアトリガを入力すると、現在の A/D 変換を中断し、変換を再開します。部分的に変換したデータは破棄されます。

<7> 変換動作中に **ADS レジスタ**の値を書き換えまたは上書きすると、現在の **A/D 変換**を中断し、**ADS レジスタ**で再指定されたアナログ入力を **A/D 変換**します。部分的に変換したデータは破棄されます。

<8> 変換動作中に ADCS を 1 で上書きすると、現在の A/D 変換を中断し、変換が再開します。部分的に変換したデータは破棄されます。

<9> 変換動作中に ADCS を 0 にクリアすると、現在の A/D 変換を中断し、A/D コンバータは待機状態に遷移します。ただし、この状態では A/D コンバータは停止しません。

<10> A/D 変換待機状態のときに ADCE を 0 にクリアすると、A/D コンバータは停止状態に遷移します。

ADCS = 0 の場合、ハードウェアトリガの入力は無視され、A/D 変換は開始しません。

図 22.10 にハードウェアトリガ待機なしモード（セレクトモード、ワンショット変換モード）動作タイミングの例を示します。

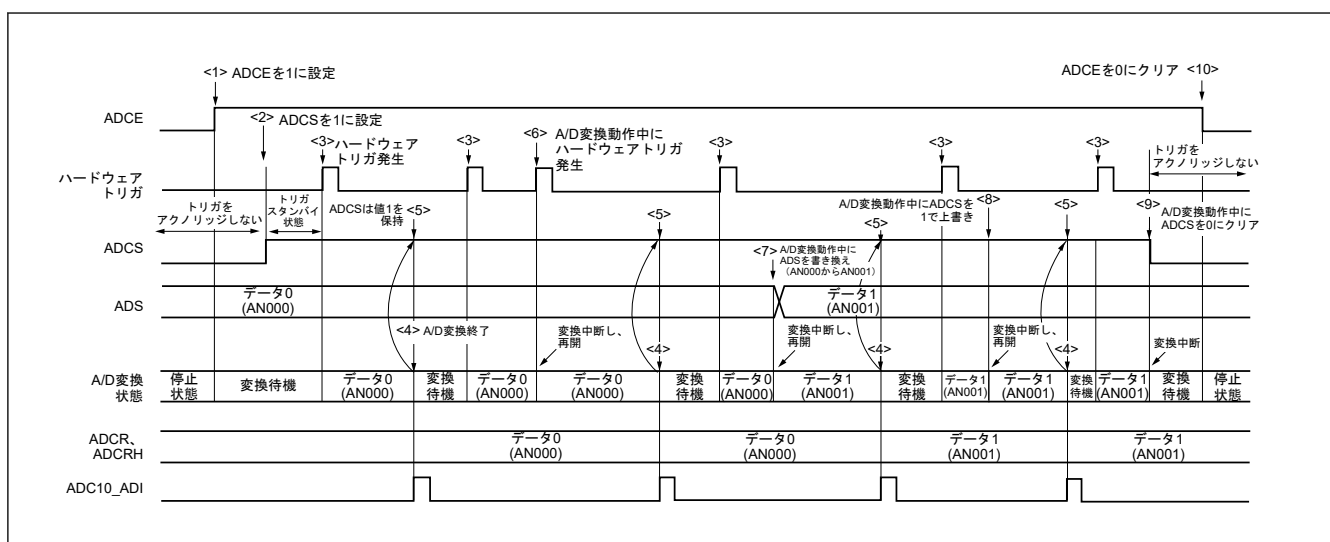


図 22.10 ハードウェアトリガ待機なしモード（セレクトモード、ワンショット変換モード）動作タイミングの例

22.5.5 ハードウェアトリガ待機モード（選択モード、連続変換モード）

<1> 停止状態で、A/D コンバータモードレジスタ 0 (ADM0) の ADCE ビットを 1 に設定すると、A/D コンバータはハードウェアトリガ待機状態に遷移します。

<2> ハードウェアトリガ待機状態のときにハードウェアトリガを入力すると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたアナログ入力を A/D 変換します。ハードウェアトリガ入力に従い、ADM0 レジスタの ADCS ビットが自動的に 1 に設定されます。

<3> A/D 変換が終了すると、変換結果が A/D 変換結果レジスタ (ADCR, ADCRH) に格納され、A/D 変換終了割り込み要求信号 (ADC10_ADIF) が発生します。A/D 変換終了後、すぐに次の A/D 変換が開始します。(このとき、ハードウェアトリガは不要です。)

<4> 変換動作中にハードウェアトリガを入力すると、現在の A/D 変換を中断し、変換を再開します。部分的に変換したデータは破棄されます。

<5> 変換動作中に ADS レジスタの値を書き換えまたは上書きすると、現在の A/D 変換を中断し、ADS レジスタで再指定されたアナログ入力を A/D 変換します。部分的に変換したデータは破棄されます。

<6> 変換動作中に ADCS を 1 で上書きすると、現在の A/D 変換を中断し、変換が再開します。部分的に変換したデータは破棄されます。

<7> 変換動作中に ADCS を 0 にクリアすると、現在の A/D 変換を中断し、A/D コンバータはハードウェアトリガ待機状態に遷移してから、停止状態に遷移します。

<8> ハードウェアトリガ待機状態中に ADCE = 0 を設定すると、A/D コンバータが停止します。ADCE = 0 の場合、ハードウェアトリガ入力は無視され、A/D 変換は開始しません。

図 22.11 にハードウェアトリガ待機モード（選択モード、連続変換モード）動作タイミングの例を示します。

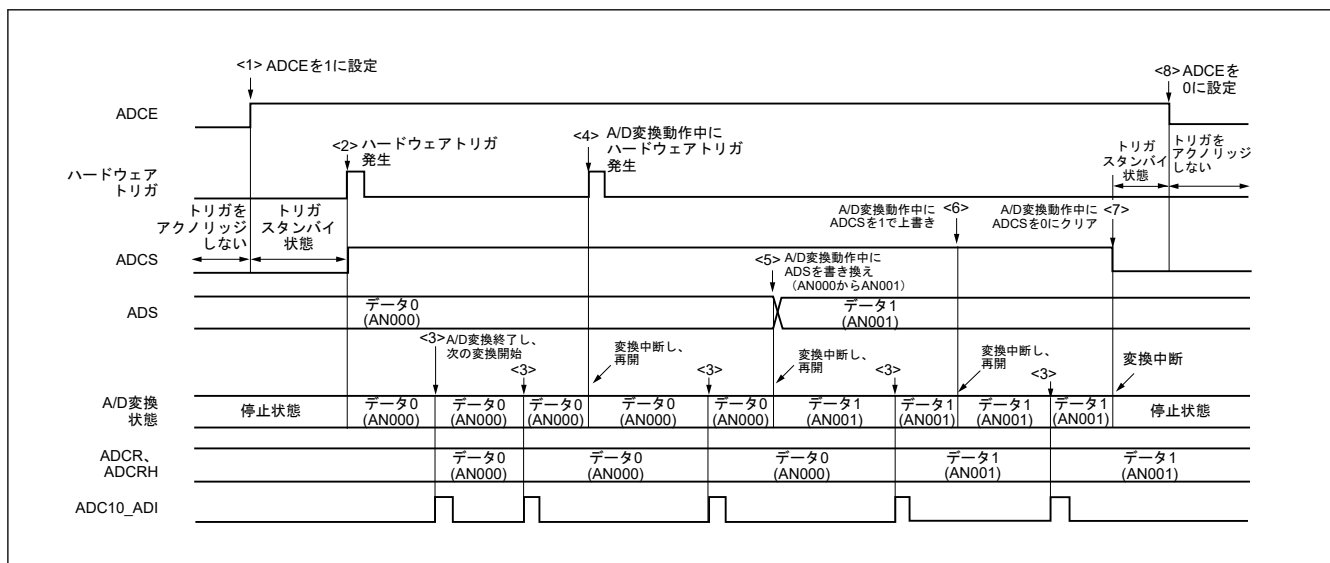


図 22.11 ハードウェアトリガ待機モード（選択モード、連続変換モード）動作タイミングの例

22.5.6 ハードウェアトリガ待機モード（選択モード、ワンショット変換モード）

<1> 停止状態で、A/D コンバータモードレジスタ 0 (ADM0) の ADCE ビットを 1 に設定すると、A/D コンバータはハードウェアトリガ待機状態に遷移します。

＜2＞ ハードウェアトリガ待機状態のときにハードウェアトリガを入力すると、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力を A/D 変換します。ハードウェアトリガ入力に従い、ADM0 レジスタの ADCS ビットが自動的に 1 に設定されます。

<3> A/D 変換が終了すると、変換結果が A/D 変換結果レジスタ (ADCR, ADCRH) に格納され、A/D 変換終了割り込み要求信号 (ADC10_ADI) が発生します。

<4> A/D 変換の終了後、ADCS ビットは自動的に 0 にクリアされ、A/D コンバータは停止状態に遷移します。

<5> 変換動作中にハードウェアトリガを入力すると、現在の A/D 変換を中断し、変換を再開します。部分的に変換したデータは破棄されます。

<6> 変換動作中に ADS レジスタの値を書き換えまたは上書きすると、現在の A/D 変換を中断し、ADS レジスタで再指定されたアナログ入力を A/D 変換します。部分的に変換したデータは破棄されます。

<7> 変換動作中に ADCS を 1 で上書きすると、現在の A/D 変換を中断し、変換が再開します。部分的に変換したデータは初期化されます。

<8> 変換動作中に ADCS を 0 にクリアすると、現在の A/D 変換を中断し、A/D コンバータはハードウェアトリガ待機状態に遷移してから、停止状態に遷移します。

<9> ハードウェアトリガ待機状態中に ADCE = 0 を設定すると、A/D コンバータが停止します。ADCE = 0 の場合、ハードウェアトリガ入力は無視され、A/D 変換は開始しません。

図 22.12 にハードウェアトリガ待機モード（選択モード、ワンショット変換モード）動作タイミングの例を示します。

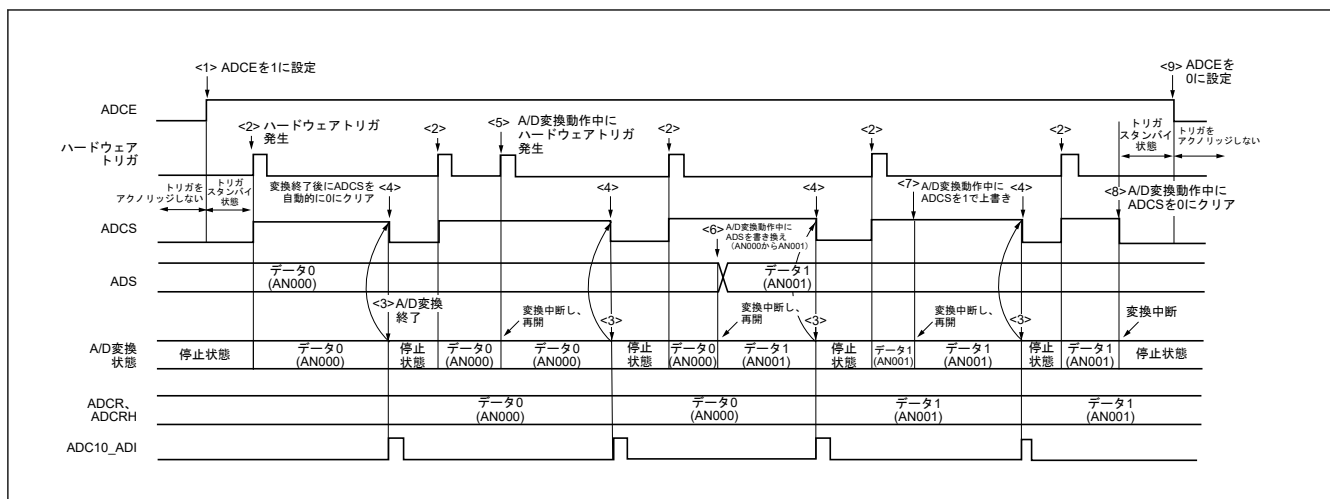


図 22.12 ハードウェアトリガ待機モード（選択モード、ワンショット変換モード）動作タイミングの例

22.6 A/D コンバータ設定手順

動作モードごとの A/D コンバータ設定手順を次のセクションで説明します。

22.6.1 ソフトウェアトリガモードの設定

表 22.13 に、ソフトウェアトリガモードでの設定手順を示します。

表 22.13 ソフトウェアトリガモードの設定

手順		処理	詳細
ソフトウェアトリガ待機なしモードの設定	<1>	MSTPCRD レジスタの設定	MSTPCRD レジスタの MSTPD16 ビットを 0 に設定し、クロック供給を開始します。
	<2>	PmnPFS_A レジスタの設定	ポートをアナログ入力として設定します。 (「15.5.4. アナログ機能使用時の注意事項」を参照)
	<3>	- ADM0 レジスタの設定 - ADM1 レジスタの設定 - ADM2 レジスタの設定 - ADUL レジスタと ADLL レジスタの設定 - ADS レジスタの設定 (設定の順序は関係なし)	- ADM0 レジスタ FR[2:0]ビット、LV[1:0]ビット：A/D 変換時間の指定に使用します。 ADMD ビット：選択モード - ADM1 レジスタ ADTMD1 ビットと ADTMD0 ビット：ソフトウェアトリガモードの指定に使用します。 ADSCM ビット：連続変換モードまたはワンショット変換モード - ADM2 レジスタ ADREFP[1:0]ビットと ADREFM ビット：基準電圧の選択に使用します。 ADRCK ビット：割り込み信号を発生させる A/D 変換結果比較値の範囲を AREA 1、AREA 3、AREA 2 から選択するビットです。 ADTYP ビット：10 ビットまたは 8 ビット分解能 - ADUL レジスタと ADLL レジスタ A/D 変換結果比較値の上限と下限の指定に使用します。 - ADS レジスタ ADS[4:0]ビット：アナログ入力チャネルの選択に使用します。
	<6>	基準電圧安定待機時間カウンタ A	ADREFP[1:0]ビットの値を変更すると、以下 A に示す基準電圧安定待機時間カウンタが必要になる場合があります。 ADREFP[1:0]の値を 10b に変更した場合：A = 5 μs ADREFP[1:0]の値を 00b または 01b に変更した場合は、待機は不要です。
	<7>	ADCE ビットの設定	ADM0 レジスタの ADCE ビットを 1 に設定することで、A/D コンバータは待機状態に遷移します。
	<8>	基準電圧安定待機時間カウンタ B	ソフトウェアを使用して、基準電圧安定待機時間カウンタ B (1 μs) が経過するまで待機制御します。
	<9>	ADCS ビットの設定	基準電圧安定待機時間カウンタ B が経過してから、ADM0 レジスタの ADCS ビットを 1 に設定することで、A/D 変換が開始します。
	<10>	A/D 変換開始	—
	—	⋮	(A/D 変換動作が実行されます)
	<11>	A/D 変換終了	A/D 変換終了割り込み (ADC10_ADI) が発生します。(注1)
	<12>	変換結果を ADCR レジスタおよび ADCRH レジスタに格納	変換結果を ADCR レジスタおよび ADCRH レジスタに格納します。

注 1. ADRCK ビット、ADUL レジスタ、ADLL レジスタの設定により、割り込み信号が発生しない可能性があります。この場合、結果を ADCR レジスタおよび ADCRH レジスタに格納しません。

22.6.2 ハードウェアトリガ待機なしモードの設定

表 22.14 に、ハードウェアトリガ待機なしモードでの設定手順を示します。

表 22.14 ハードウェアトリガ待機なしモードの設定

手順		処理	詳細
ハードウェアトリガ待機なしモードの設定	<1>	MSTPCRD レジスタの設定	MSTPCRD レジスタの MSTPD16 ビットを 0 に設定し、クロック供給を開始します。
	<2>	PmnPFS_A レジスタの設定	ポートをアナログ入力として設定します。 (「15.5.4. アナログ機能使用時の注意事項」を参照してください。)
	<3>	- ADM0 レジスタの設定 - ADM1 レジスタの設定 - ADM2 レジスタの設定 - ADUL レジスタと ADLL レジスタの設定 - ADS レジスタの設定 (設定の順序は関係なし)	- ADM0 レジスタ FR[2:0]ビット、LV[1:0]ビット：A/D 変換時間の指定に使用します。 ADMD ビット：選択モード - ADM1 レジスタ ADTMD1 ビットと ADTMD0 ビット：ハードウェアトリガ待機なしモードの指定に使用します。 ADSCM ビット：連続変換モードまたはワンショット変換モード - ADM2 レジスタ ADREFP[1:0]ビットと ADREFM ビット：基準電圧の選択に使用します。 ADRCK ビット：割り込み信号を発生させる A/D 変換結果比較値の範囲を AREA 1、AREA 3、AREA 2 から選択するビットです。 ADTYP ビット：10 ビットまたは 8 ビット分解能 - ADUL レジスタと ADLL レジスタ A/D 変換結果比較値の上限と下限の指定に使用します。 - ADS レジスタ ADS[4:0]ビット：アナログ入力チャネルの選択に使用します。
	<6>	基準電圧安定待機時間カウンタ A	ADREFP[1:0]ビットの値を変更すると、以下 A に示す基準電圧安定待機時間カウンタが必要になる場合があります。 ADREFP[1:0]の値を 10b に変更した場合：A = 5 μs ADREFP[1:0]の値を 00b または 01b に変更した場合は、待機は不要です。
	<7>	ADCE ビットの設定	ADM0 レジスタの ADCE ビットを 1 に設定することで、A/D コンバータは待機状態に遷移します。
	<8>	基準電圧安定待機時間カウンタ B	ソフトウェアを使用して、基準電圧安定待機時間カウンタ B (1 μs) が経過するまで待機制御します。
	<9>	ADCS ビットの設定	基準電圧安定待機時間カウンタ B が経過してから、ADM0 レジスタの ADCS ビットが 1 に設定され、A/D コンバータはハードウェアトリガ待機状態に遷移します。
	<10>	A/D 変換開始	—
	—	⋮	(A/D 変換動作が実行されます)
	<11>	A/D 変換終了	A/D 変換終了割り込み (ADC10_ADI) が発生します。(注1)
	<12>	変換結果を ADCR レジスタおよび ADCRH レジスタに格納	変換結果を ADCR レジスタおよび ADCRH レジスタに格納します。

注 1. ADRCK ビット、ADUL レジスタ、ADLL レジスタの設定により、割り込み信号が発生しない可能性があります。この場合、結果を ADCR レジスタおよび ADCRH レジスタに格納しません。

22.6.3 ハードウェアトリガ待機モードの設定

表 22.15 に、ハードウェアトリガ待機モードでの設定手順を示します。

表 22.15 ハードウェアトリガ待機モードの設定

手順		処理	詳細
ハードウェアトリガ待機モードの設定	<1>	MSTPCRD レジスタの設定	MSTPCRD レジスタの MSTPD16 ビットを 0 に設定し、クロック供給を開始します。
	<2>	PmnPFS_A レジスタの設定	ポートをアナログ入力として設定します。 (「15.5.4. アナログ機能使用時の注意事項」を参照してください。)
	<3>	- ADM0 レジスタの設定 - ADM1 レジスタの設定 - ADM2 レジスタの設定 - ADUL レジスタと ADLL レジスタの設定 - ADS レジスタの設定 (設定の順序は関係なし)	- ADM0 レジスタ FR[2:0]ビット、LV[1:0]ビット：A/D 変換時間の指定に使用します。 ADMD ビット：選択モード - ADM1 レジスタ ADTMD1 ビットと ADTMD0 ビット：ハードウェアトリガ待機モードの指定に使用します。 ADSCM ビット：連続変換モードまたはワンショット変換モード - ADM2 レジスタ ADREFP[1:0]ビットと ADREFM ビット：基準電圧の選択に使用します。 ADRCK ビット：割り込み信号を発生させる A/D 変換結果比較値の範囲を AREA 1、AREA 3、AREA 2 から選択するビットです。 ADTYP ビット：10 ビットまたは 8 ビット分解能 - ADUL レジスタと ADLL レジスタ A/D 変換結果比較値の上限と下限の指定に使用します。 - ADS レジスタ ADS[4:0]ビット：アナログ入力チャネルの選択に使用します。
	<6>	基準電圧安定待機時間カウンタ A	ADREFP[1:0]ビットの値を変更すると、以下 A に示す基準電圧安定待機時間カウンタが必要になる場合があります。 ADREFP[1:0]の値を 10b に変更した場合：A = 5 μs ADREFP[1:0]の値を 00b または 01b に変更した場合は、待機は不要です。
	<7>	ADCE ビットの設定	ADM0 レジスタの ADCE ビットを 1 に設定することで、A/D コンバータは待機状態に遷移します。
	<8>	ハードウェアトリガ発生	その他のモジュールのトリガ信号出力を設定します。
	<9>	A/D 電源の安定待機時間	A/D コンバータは、A/D 電源の安定待機時間まで自動的にカウントアップします。
	<10>	A/D 変換開始	A/D 電源の安定待機時間までのカウントが終了してから、A/D 変換が開始します。
	—	⋮	(A/D 変換動作が実行されます)
	<11>	A/D 変換終了	A/D 変換終了割り込み (ADC10_ADI) が発生します。(注1)
	<12>	変換結果を ADCR レジスタまたは ADCRH レジスタに格納	変換結果を ADCR レジスタまたは ADCRH レジスタに格納します。

注 1. ADRCK ビット、ADUL レジスタ、ADLL レジスタの設定により、割り込み信号が発生しない可能性があります。この場合、結果を ADCR レジスタや ADCRH レジスタに格納しません。

22.6.4 温度センサ出力電圧または内部基準電圧と、ソフトウェアトリガモードおよびワンショット変換モード選択時の ADC10 使用例

表 22.16 に、温度センサ出力電圧と内部基準電圧を選択したときの設定手順を示します。

表 22.16 温度センサ出力電圧と内部基準電圧を選択したときの設定

手順	処理	詳細
温度センサ出力電圧と内部基準電圧を選択したときの設定	<1>	MSTPCRD レジスタの設定
	<2>	- ADM0 レジスタの設定 - ADM1 レジスタの設定 - ADM2 レジスタの設定 - ADUL レジスタと ADLL レジスタの設定 - ADS レジスタの設定
		- ADM0 レジスタ FR[2:0]ビット、LV[1:0]ビット：A/D 変換時間の指定に使用します。 - ADM1 レジスタ ADTMD1 ビットと ADTMD0 ビット：ソフトウェアトリガモードの指定に使用します。 - ADM2 レジスタ ADREFP[1:0]ビットと ADREFM ビット：基準電圧の選択に使用します。 - ADRCCK ビット：割り込み信号を発生させる A/D 変換結果比較値の範囲を AREA 1、AREA 3、AREA 2 から選択するビットです。 - ADTYP ビット：10 ビットまたは 8 ビット分解能 - ADUL レジスタと ADLL レジスタ A/D 変換結果比較値の上限と下限の指定に使用します。 - ADS レジスタ ADISS ビットと ADS[4:0]ビット温度センサ出力電圧または内部基準電圧の選択に使用します。
	<3>	基準電圧安定待機時間カウンタ A
		ADREFP[1:0]ビットの値を変更すると、基準電圧安定待機時間カウンタ A が必要になる場合があります。ADREFP[1:0]の値を 00b または 01b に変更した場合は、待機は不要です。ADREFP[1:0]の値を 10b に設定することは禁止です。
	<4>	ADCE ビットの設定
		ADM0 レジスタの ADCE ビットを 1 に設定することで、A/D コンバータは待機状態に遷移します。
	<5>	基準電圧安定待機時間カウンタ B
		ソフトウェアを使用して、基準電圧安定待機時間カウンタ B (1 μ s) が経過するまで待機制御します。
	<6>	ADCS ビットの設定
		基準電圧安定待機時間カウンタ B が経過してから、ADM0 レジスタの ADCS ビットを 1 に設定することで、A/D 変換が開始します。
	<7>	A/D 変換開始
		—
	<8>	A/D 変換終了
		A/D 変換終了割り込み (ADC10_ADI) が発生します。ADISS を 1 に設定した後は、初期変換結果を使用できません。
	<9>	ADCS ビットの設定
		ADM0 レジスタの ADCS ビットを 1 に設定することで、A/D 変換が開始します。
	<10>	A/D 変換開始
		—
	<11>	A/D 変換終了
		A/D 変換終了割り込み (ADC10_ADI) が発生します。(注1)
	<12>	変換結果を ADCR レジスタまたは ADCRH レジスタに格納
		変換結果を ADCR レジスタまたは ADCRH レジスタに格納します。

注 1. ADRCK ビット、ADUL レジスタ、ADLL レジスタの設定により、割り込み信号が発生しない可能性があります。この場合、結果を ADCR レジスタや ADCRH レジスタに格納しません。

22.6.5 テストモードの設定

表 22.17 に、テストモードでの設定手順を示します。

表 22.17 テストモードの設定

手順	処理	詳細
テストモードの設定	<1>	MSTPCRD レジスタの設定
	<2>	- ADM0 レジスタの設定 - ADM1 レジスタの設定 - ADM2 レジスタの設定 - ADUL レジスタと ADLL レジスタの設定 - ADS レジスタの設定 - ADTES レジスタの設定 (設定の順序は関係なし)
	<5>	基準電圧安定待機時間カウンタ A
	<6>	ADCE ビットの設定
	<7>	基準電圧安定待機時間カウンタ B
	<8>	ADCS ビットの設定
	<9>	A/D 変換開始
	<10>	A/D 変換終了
	<11>	変換結果を ADCR レジスタまたは ADCRH レジスタに格納

注 1. ADRCK ビット、ADUL レジスタ、ADLL レジスタの設定により、割り込み信号が発生しない可能性があります。この場合、結果を ADCR レジスタや ADCRH レジスタに格納しません。

注. A/D コンバータのテスト手順については、「[22.8. A/D コンバータのテスト](#)」を参照してください。

22.7 スヌーズモード機能

スヌーズモードでは、ソフトウェアスタンバイモードでハードウェアトリガを入力することにより、A/D 変換がトリガされます。通常、ソフトウェアスタンバイモードでは A/D 変換が停止しますが、スヌーズモード機能を使用することにより、CPU を作動させずに A/D 変換を行うことができます。これは動作電流の削減に効果があります。

22.7.1 ハードウェアトリガの入力による A/D 変換

スヌーズモードでは、ハードウェアトリガの入力により A/D 変換がトリガされます。

スヌーズモードでハードウェアトリガを入力することで A/D 変換を実行する場合、以下の変換モードのみ使用できます。

- ハードウェアトリガ待機モード (選択モード、ワンショット変換モード)

ADUL レジスタと ADLL レジスタを使って A/D 変換結果の範囲を指定した場合、一定間隔で A/D 変換結果を判定できます。この機能を使用すれば、A/D 入力に基づいた電源電圧監視と入力キー判定ができます。

注. スヌーズモードは、PCLKB に高速オンチップオシレータクロックが選択されている場合にのみ指定できます。

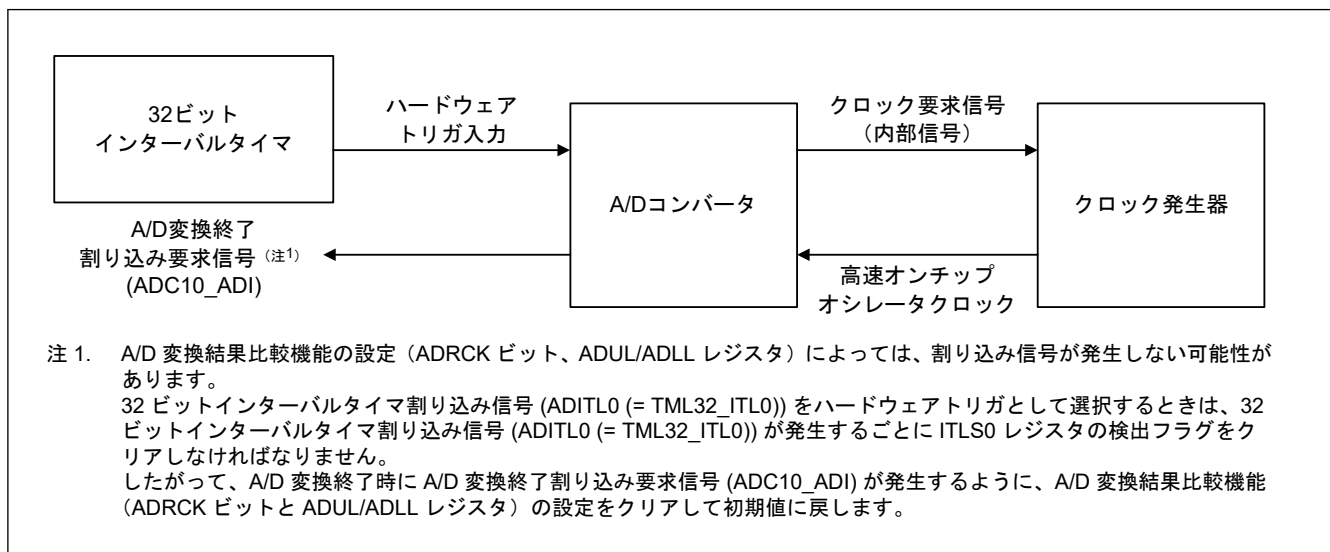


図 22.13 ハードウェアトリガ待機モードでスヌーズモードを使用するときのブロック図

スヌーズモード機能を使用する場合、ソフトウェアスタンバイモードに移行する前に各レジスタの初期設定を指定します（各設定の詳細については、表 22.18 を参照）。ソフトウェアスタンバイモードへの移行直前に、A/D コンバータモードレジスタ 2 (ADM2) のビット 2 (AWC) を 1 にしてください。初期設定の指定後、A/D コンバータモードレジスタ 0 (ADM0) のビット 0 (ADCE) を 1 にしてください。

ソフトウェア待機モードへの切り替え後にハードウェアトリガが入力された場合、A/D コンバータには高速オンチップオシレータクロックが供給されます。このクロックの供給後、A/D コンバータは、A/D 電源安定待機時間まで自動的にカウントアップを行ってから A/D 変換を開始します。

A/D 変換終了後のスヌーズモードの動作は、割り込み信号の発生の有無によって異なります。（注1）

注. 32 ビットインターバルタイマイベント信号 (ADITL0 (= TML32_ITL0)) からハードウェアトリガ信号を選択します。

(1) A/D 変換終了後に割り込みが発生する場合

A/D 変換結果の値が A/D 変換結果比較機能で指定した値の範囲 (ADRCK ビット、ADUL レジスタ、および ADLL レジスタで設定) 内の場合、A/D 変換終了割り込み要求信号 (ADC10_ADI) が発生します。

● 選択モード時

A/D 変換が終了して A/D 変換終了割り込み要求信号 (ADC10_ADI) が発生する場合、SBYEDCR0.ADC10ED = 1 であれば、A/D コンバータはスヌーズモードから通常動作モードに戻ります。この時点で、A/D コンバータモードレジスタ 2 (ADM2) のビット 2 をクリア (AWC = 0 : スヌーズモード解除) してください。AWC ビットを 1 のままにしておくと、以降のスヌーズモードまたは通常動作モードで A/D 変換が正常に開始されません。

図 22.14 に、A/D 変換終了後に割り込みが発生する場合の動作例（選択モード時）を示します。

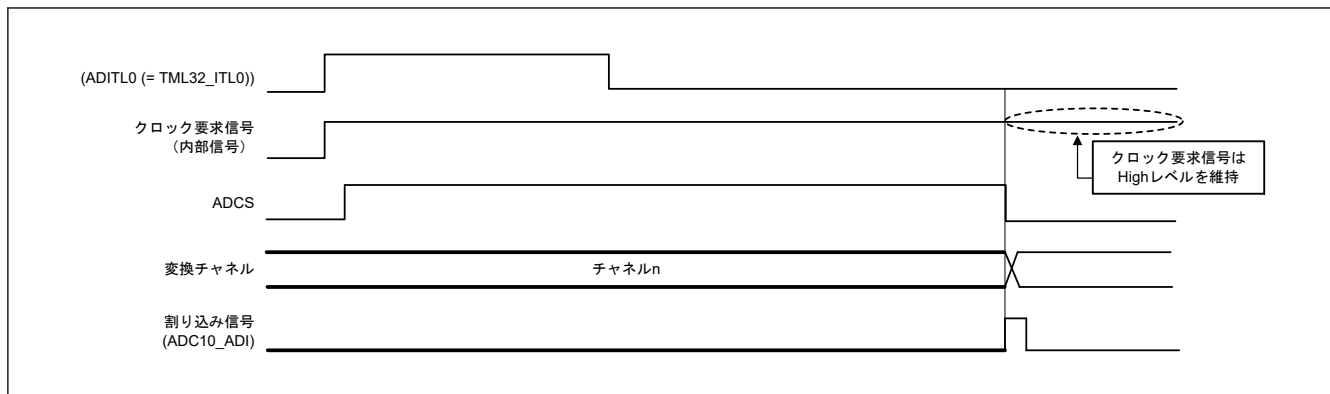


図 22.14 A/D 変換終了後に割り込みが発生する場合の動作例（選択モード時）

(2) A/D 変換終了後に割り込みが発生しない場合

A/D 変換結果の値が A/D 変換結果比較機能で指定した値の範囲（ADRCK ビット、ADUL レジスタ、ADLL レジスタで設定）外の場合、A/D 変換終了割り込み要求信号 (ADC10_ADI) は発生しません。

- 選択モード時

A/D 変換終了後に A/D 変換終了割り込み要求信号 (ADC10_ADI) が発生しない場合は、クロック要求信号（内部信号）が自動的に Low レベルになって、クロックが停止します。その後、ハードウェアトリガを入力すると、スヌーズモードで再度 A/D 変換動作を実行します。

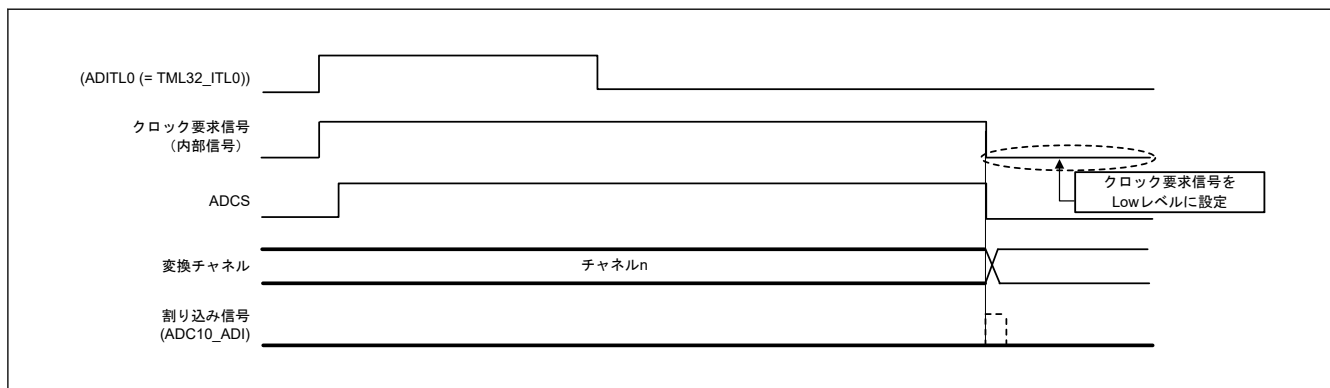


図 22.15 A/D 変換終了後に割り込みが発生しない場合の動作例（選択モード時）

表 22.18 に、スヌーズモード（ハードウェアトリガ）の設定手順を示します。

表 22.18 スヌーズモード（ハードウェアトリガ）の設定手順

手順		処理	詳細
通常動作	<1>	MSTPCRD レジスタの設定	MSTPCRD レジスタの MSTPD16 ビットを 0 に設定し、クロック供給を開始します。
	<2>	PmnPFS_A レジスタの設定	ポートをアナログ入力として設定します。 (「15.5.4. アナログ機能使用時の注意事項」を参照してください。)
	<3>	- ADM0 レジスタの設定 - ADM1 レジスタの設定 - ADM2 レジスタの設定 - ADUL レジスタと ADLL レジスタの設定 - ADS レジスタの設定 (設定の順序は関係なし)	- ADM0 レジスタ FR[2:0]ビット、LV[1:0]ビット : A/D 変換時間の指定に使用します。 ADMD ビット : 選択モード - ADM1 レジスタ ADTMD1 ビットと ADTMD0 ビット : ハードウェアトリガ待機モードの指定に使用します。 ADSCM ビット : ワンショット変換モード - ADM2 レジスタ ADREFP[1:0]ビットと ADREFM ビット : 基準電圧の選択に使用します。 ADRCCK ビット : 割り込み信号を発生させる A/D 変換結果比較値の範囲を AREA 1、AREA 3、AREA 2 から選択するビットです。 ADTYP ビット : 10 ビットまたは 8 ビット分解能 - ADUL レジスタと ADLL レジスタ A/D 変換結果比較値の上限と下限の指定に使用します。 - ADS レジスタ ADS[4:0]ビット : アナログ入力チャネルの選択に使用します。
	<4>	基準電圧安定待機時間カウンタ A	ADREFP[1:0]ビットの値を変更すると、以下 A に示す基準電圧安定待機時間カウンタが必要になる場合があります。 ADREFP[1:0]の値を 10b に変更した場合 : A = 5 μ s ADREFP[1:0]の値を 00b または 01b に変更した場合は、待機は不要です。
	<5>	AWC = 1	ソフトウェアスタンバイモードへ遷移する直前に、ADM2 レジスタの AWC ビットを 1 にしてスヌーズモードを許可してください。
	<6>	通常動作	ADM0 レジスタの ADCE ビットを 1 に設定することで、A/D コンバータは待機状態に遷移します。
ソフトウェアスタンバイモード	<7>	ソフトウェアスタンバイモードに遷移	—
スヌーズモード	<8>	ハードウェアトリガ発生	ハードウェアトリガ発生後、A/D コンバータが A/D 電源の安定待機時間まで自動的にカウントアップしてから、A/D 変換をスヌーズモードで開始します。
	—	⋮	(A/D 変換動作が実行されます)
	<9>	A/D 変換終了	A/D 変換終了割り込み (ADC10_ADI) が発生します。(注1)
	<10>	ADC10_ADI の発生	- ADC10_ADI が発生する : <11>に進みます。 - ADC10_ADI が発生しない : クロック要求信号 (内部信号) はスヌーズモードで自動的に Low レベルに設定されます。そしてステップ <7> に進みます。
通常動作	<11>	変換結果を ADCR レジスタまたは ADCRH レジスタに格納	変換結果を ADCR レジスタまたは ADCRH レジスタに格納します。
	<12>	AWC = 0	ADM2 レジスタの AWC ビットを 0 にクリアしてスヌーズモードを解除します。(注2)
	<13>	通常動作 ⋮	—

注 1. ADRCK ビット、ADUL レジスタ、ADLL レジスタの設定により A/D 変換終了割り込み要求信号 (ADC10_ADI) が発生しない場合、結果は ADCR レジスタまたは ADCRH レジスタに格納されません。A/D コンバータは、再度ソフトウェアスタンバイモードに遷移します。その後、ハードウェアトリガを入力すると、スヌーズモードで再度 A/D 変換動作を実行します。

注 2. AWC ビットを 1 のままにしておくと、以降のスヌーズモードまたは通常動作モードで A/D 変換が正常に開始されなくなります。必ず AWC ビットを 0 にクリアしてください。

22.8 A/D コンバータのテスト

IEC60730 標準では、A/D コンバータをテストすることが定められています。このテストでは、A/D コンバータの正と負の基準電圧、アナログ入力チャネル (ANxxx)、温度センサ出力電圧、および内部基準電圧を変換することによって A/D コンバータが正常に動作するかどうかを確認します。

アナログマルチプレクサのテストは下記の手順で行います。

<1> ADTES レジスタを使用して、A/D 変換用の ANxxx ピンを選択します (ADTES1 = 0, ADTES0 = 0)。

<2> ANxxx ピンの A/D 変換を行います (変換結果 1-1)。

<3> ADTES レジスタを使用して、A/D 変換用に A/D コンバータの負の基準電圧を選択します (ADTES1 = 1, ADTES0 = 0)。

<4> A/D コンバータの負の基準電圧の A/D 変換を行います (変換結果 2-1)。

<5> ADTES レジスタを使用して、A/D 変換用の ANxxx ピンを選択します (ADTES1 = 0, ADTES0 = 0)。

<6> ANxxx ピンの A/D 変換を行います (変換結果 1-2)。

<7> ADTES レジスタを使用して、A/D 変換用に A/D コンバータの正の基準電圧を選択します (ADTES1 = 1, ADTES0 = 1)。

<8> A/D コンバータの正の基準電圧の A/D 変換を行います (変換結果 2-2)。

<9> ADTES レジスタを使用して、A/D 変換用の ANxxx ピンを選択します (ADTES1 = 0, ADTES0 = 0)。

<10> ANxxx ピンの A/D 変換を行います (変換結果 1-3)。

<11> 変換結果 1-1、1-2、および 1-3 が等しいことを確認します。

<12> A/D 変換結果 2-1 がすべて 0 であること、および A/D 変換結果 2-2 がすべて 1 であることを確認します。

上記の手順を使用すれば、アナログマルチプレクサが選択されていること、およびすべての配線が接続されていることを確認できます。

注. 上記の手順<1>~<10>の A/D 変換時にアナログ入力電圧が変化する場合は、別の方法を使ってアナログマルチプレクサをチェックしてください。

注. 通常、変換の結果には誤差が含まれます。変換の結果を比較するにあたっては、妥当なレベルの誤差を見込んでください。

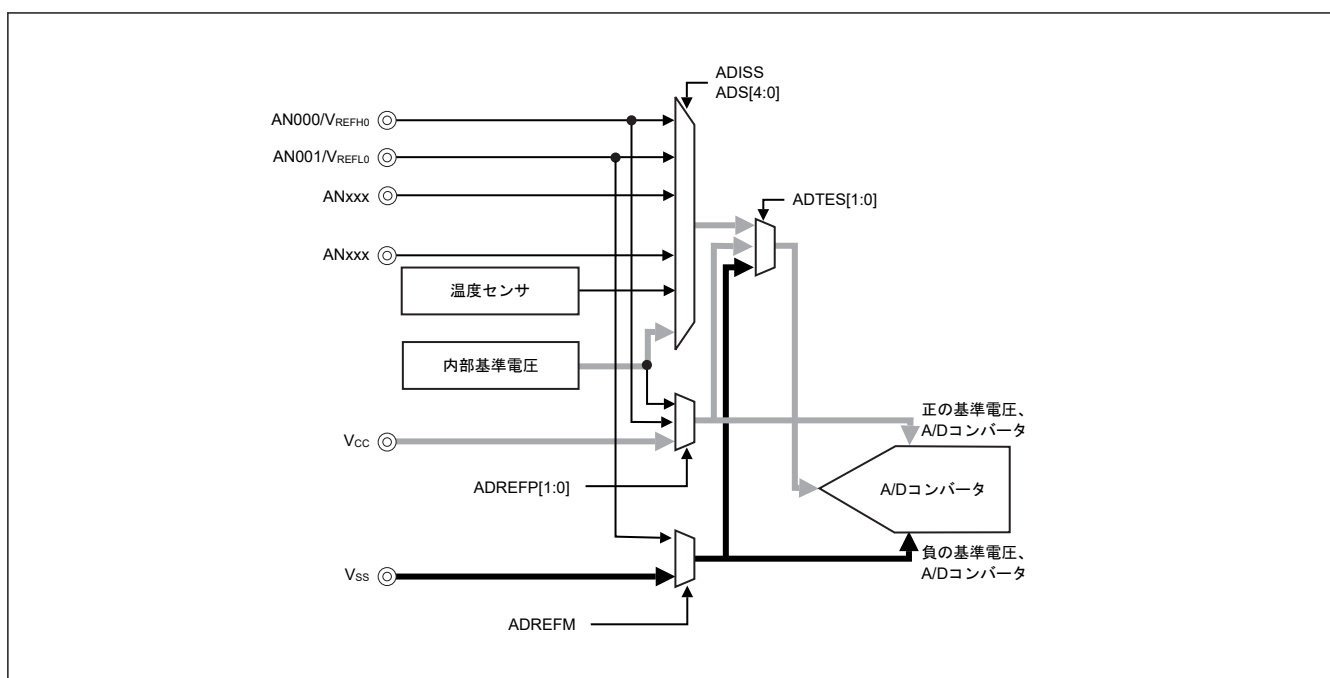


図 22.16 A/D コンバータのテスト構成

22.9 A/D コンバータ特性表の読み方

本節では、A/D コンバータ独自の専門用語を説明します。

(1) 分解能

識別可能な最小のアナログ入力電圧です。つまり、デジタル出力のビットあたりのアナログ入力電圧のパーセンテージを、1 LSB（最下位ビット）と呼びます。フルスケールに対する 1 LSB のパーセンテージは、%FSR（フルスケール範囲）で表されます。

分解能が 10 ビットの場合の 1 LSB は以下の通りです。

$$1 \text{ LSB} = 1/2^{10} = 1/1024$$

$$\approx 0.098 \% \text{FSR}$$

精度は分解能とは無関係ですが、総合誤差により判定されます。

(2) 総合誤差

実際の測定値と理論値との間の最大誤差値を示します。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差、およびこれらの誤差の組み合わせで総合誤差を表します。

量子化誤差は、特性表の総合誤差には含まれないので注意してください。

(3) 量子化誤差

アナログ値をデジタル値に変換すると、 $\pm 1/2 \text{ LSB}$ 誤差が自然に発生します。A/D コンバータでは、 $\pm 1/2 \text{ LSB}$ の範囲内のアナログ入力電圧は同じデジタルコードに変換されるので、量子化誤差は避けられません。

量子化誤差は、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれないので注意してください。

図 22.17 に総合誤差を、図 22.18 に量子化誤差を示します。

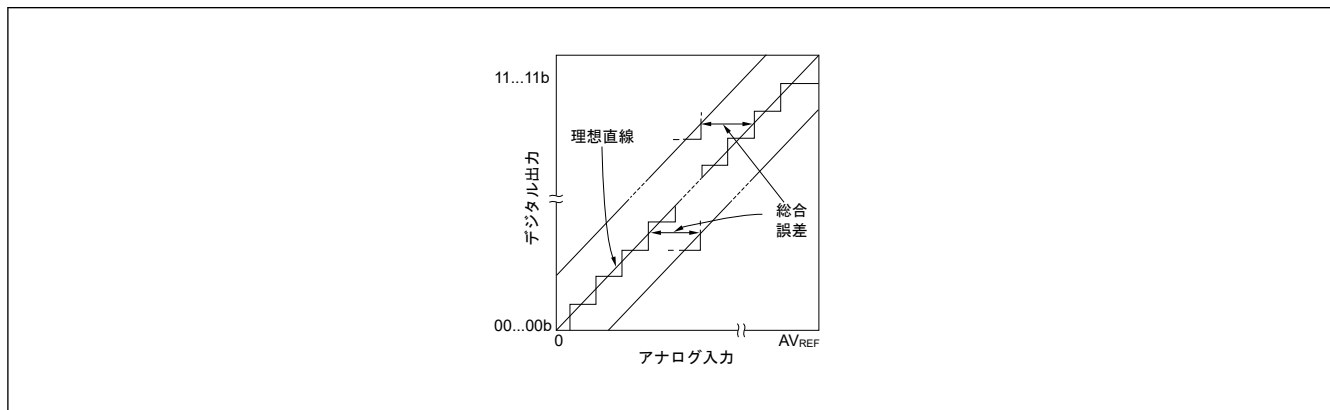


図 22.17 総合誤差

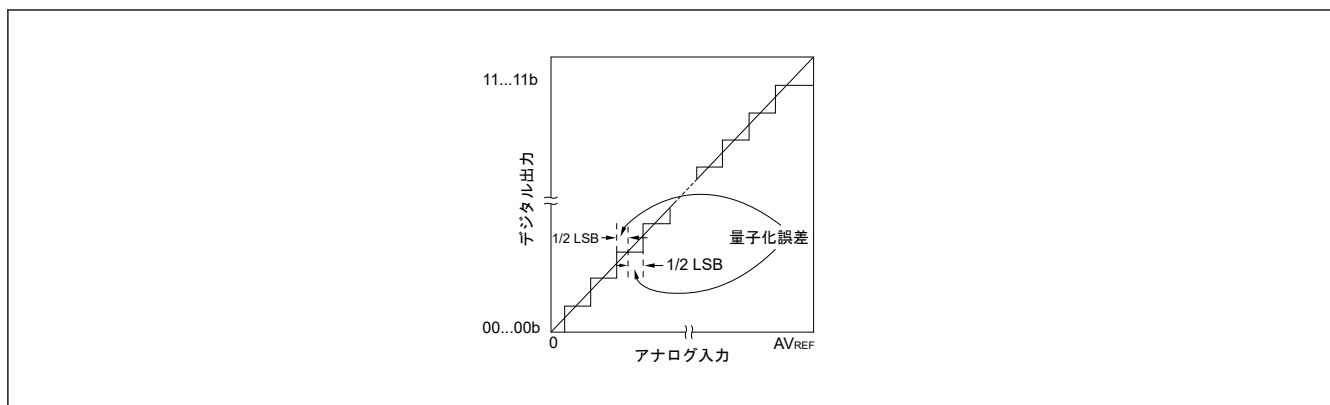


図 22.18 量子化誤差

(4) ゼロスケール誤差

デジタル出力が 0.....000b から 0.....001b に変化したときのアナログ入力電圧の実際の測定値と理論値 (1/2 LSB) との差を示します。

実際の測定値が理論値より大きい場合、デジタル出力が 0.....001b から 0.....010b に変化したときのアナログ入力電圧の実際の測定値と理論値 (3/2 LSB) との差を示します。

(5) フルスケール誤差

デジタル出力が 1.....110b から 1.....111b に変化したときのアナログ入力電圧の実際の測定値と理論値 (フルスケール - 3/2 LSB) との差を示します。

(6) 積分直線性誤差

変換特性が理想的な線形関係からどの程度逸脱しているかを示します。ゼロスケール誤差とフルスケール誤差が 0 のときの、実際の測定値と理想直線との差の最大値を示します。

(7) 微分直線性誤差

コード出力の理想的な幅が 1 LSB のとき、実際の測定値と出力コードの幅の理想値との差を示します。

差動入力の場合の、ゼロスケール誤差を図 22.19 に、フルスケール誤差を図 22.20 に、積分直線性誤差を図 22.21 に、微分直線性誤差を図 22.22 に示します。

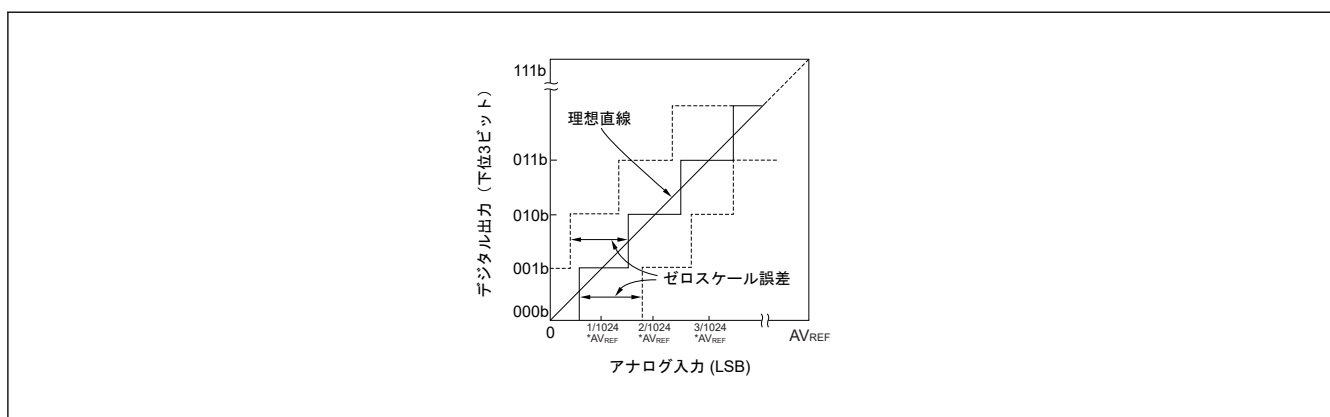


図 22.19 ゼロスケール誤差

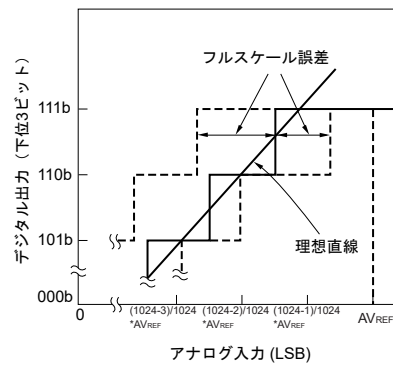


図 22.20 フルスケール誤差

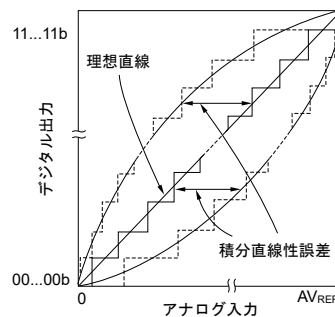


図 22.21 積分直線性誤差

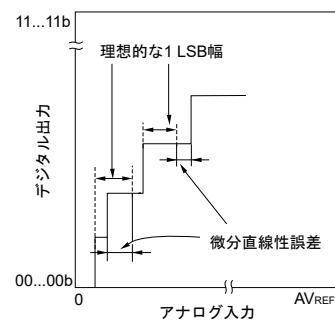


図 22.22 微分直線性誤差

(8) 変換時間

サンプリング開始からデジタル出力を取得するまでの時間を表します。サンプリング時間は特性表の変換時間に含まれます。

(9) サンプリング時間

サンプル&ホールド回路でアナログ電圧をサンプリングするためにアナログスイッチがオンになる時間です。

図 22.23 に A/D 変換時間のサンプリング時間を示します。

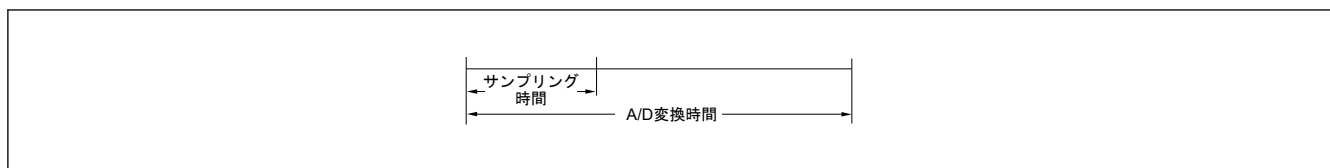


図 22.23 A/D 変換時間のサンプリング時間

22.10 使用上の注意事項

(1) ソフトウェアスタンバイモード時の動作電流

A/D コンバータを停止後 (A/D コンバータモードレジスタ 0 (ADM0) のビット 7 (ADCS) を 0 に設定)、ソフトウェアスタンバイモードに移行してください。同時に ADM0 レジスタのビット 0 (ADCE) を 0 にすることで、動作電流を削減できます。

スタンバイ状態から再開する場合は、対応する NVIC_ICPR0 レジスタの ADC10_ADI ビットをクリアしてから動作を開始します。

(2) AN000、AN001、AN004、AN005、AN021、および AN022 端子の入力範囲

AN000、AN001、AN004、AN005、AN021、および AN022 端子の入力電圧の定格範囲を遵守してください。VCC および VREFH0 を超えた電圧または VSS および VREFL0 より低い電圧 (絶対最大定格の範囲内でも) をアナログ入力チャネルに入力すると、そのチャネルの変換値が不定になります。さらに、他のチャネルの変換値にも影響を与える可能性があります。

A/D コンバータの「+」側の基準電圧に内部基準電圧を選択した場合は、内部基準電圧以上の電圧を ADS レジスタで選択した端子に入力しないでください。ただし、ADS レジスタで選択していない端子に内部基準電圧以上の電圧を入力しても問題ありません。

注. 内部基準電圧の詳細は、「[27. 電氣的特性](#)」を参照してください。

(3) 競合動作

<1> 変換終了時の A/D 変換結果レジスタ (ADCR または ADCRH) への変換結果の格納と、命令による ADCR レジスタまたは ADCRH レジスタの読み出しアクセスとの競合

ADCR レジスタまたは ADCRH レジスタの読み出しを優先します。読み出し動作後、新しい変換結果が ADCR レジスタまたは ADCRH レジスタに書き込まれます。

<2> 変換終了時の A/D 変換結果レジスタ (ADCR または ADCRH) への変換結果の格納と、命令による A/D 変換モードレジスタ 0 (ADM0) またはアナログ入力チャネル指定レジスタ (ADS) の書き込みアクセスとの競合

ADM0 レジスタおよび ADS レジスタの書き込みを優先します。ADCR レジスタと ADCRH レジスタの書き込みは実行されず、変換終了割り込み信号 (ADC10_ADI) も発生しません。

(4) ノイズ対策

10 ビットの分解能を維持するには、VREFH0、VCC、AN000、AN001、AN004、AN005、AN021、および AN022 端子へのノイズ入力に注意する必要があります。

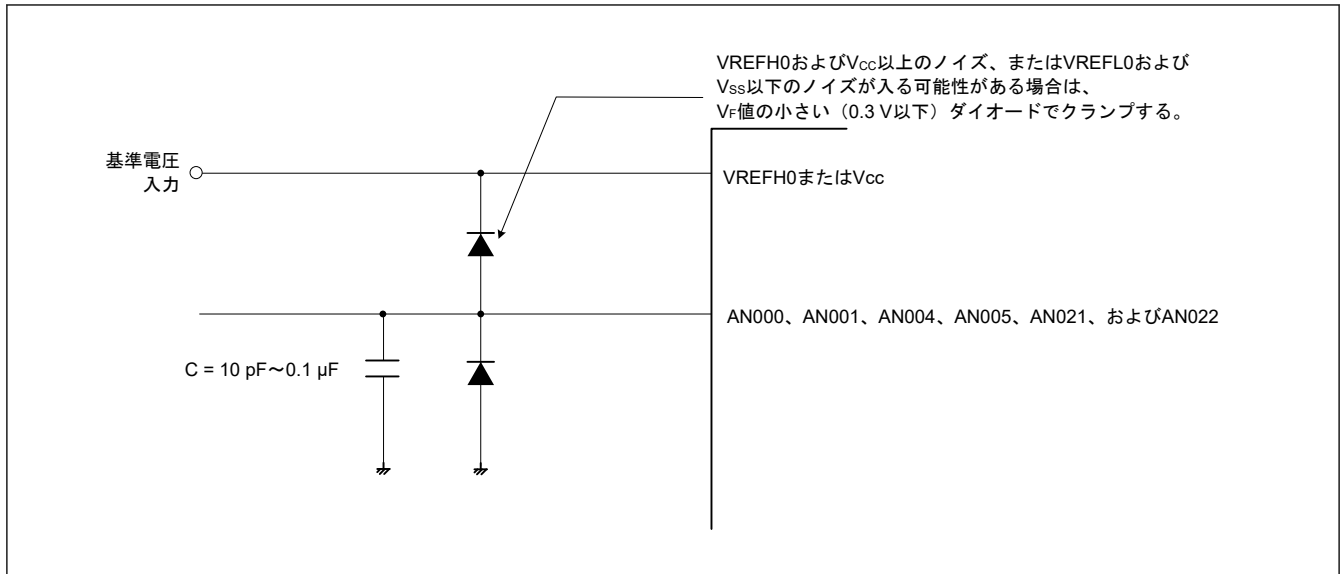
<1> 等価抵抗が低く、周波数応答が良好なキャパシタ (0.1 μ F 程度) を、比較的太い配線でできるだけ短い距離で VCC 端子と VREFH0 端子に接続します。

<2> アナログ入力ソースの出力インピーダンスが高いほど、影響が大きくなります。ノイズを削減するには、外部キャパシタを [図 22.24](#) に示すように接続することをお勧めします。

<3> 変換中は上記の端子を他の端子に切り替えないでください。

<4> 変換開始直後にスリープモードを設定すると、精度が向上します。

[図 22.24](#) に VCC 端子、VREFH0 端子、アナログ入力端子の接続を示します。

図 22.24 V_{CC} 端子、VREFH0 端子、アナログ入力端子の接続

(5) アナログ入力 (ANxxx) 端子

<1> アナログ入力端子 (AN000、AN001、AN004、AN005、AN021、および AN022) は、入力ポート端子 (P010 ~ P013、P100、および P101) としても使用されます。AN000、AN001、AN004、AN005、AN021、および AN022 端子のいずれかを選択して A/D 変換を実行する場合、変換中は出力値 P010 ~ P013、P100、および P101 に変更しないでください。変更すると、変換分解能が低下することがあります。

<2> A/D 変換中の端子に隣接する端子をデジタル入出力ポート端子として使用している場合、カップリングノイズのために A/D 変換結果が期待値と異なることがあります。変換中は、デジタル信号や同様の急激な遷移を持つ信号の入力または出力を避けてください。

(6) アナログ入力 (ANxxx) 端子の入力インピーダンス

本 A/D コンバータは、サンプリング時間中にサンプリングキャパシタに充電してサンプリングを行います。

したがって、サンプリング実行中でないときはリーク電流のみが流れ、サンプリング中はキャパシタを充電する電流が流れます。その結果、入力インピーダンスはサンプリングが実行中かどうかによって変動します。

十分にサンプリングするためには、出力インピーダンスが 1 kΩ 以下のアナログ入力ソースでコンバータを使用することをお勧めします。ソースの出力インピーダンスがより高い場合は、サンプリング時間を長くするか、より大きな (約 0.1 μF の値の) キャパシタをソースが接続されている AN000、AN001、AN004、AN005、AN021、および AN022 のうち、いずれかの端子に接続してください (図 22.24 を参照)。また、変換動作中に ADCS = 0 に設定した場合および再変換を開始した場合は、サンプリング・コンデンサに充電された電圧は不定となります。そのため、ADCS = 0 を設定時は次の変換が、再変換時はその変換が不定状態から充電を開始します。そのため十分に充電するためには、アナログ信号の変化の大きさによらず、アナログ入力源の出力インピーダンスを低くするか十分なサンプリング時間を確保してください。

(7) 割り込み保留クリアレジスタ (NVIC_ICPR0)

アナログ入力チャネル指定レジスタ (ADS) を変更しても、割り込み保留クリアレジスタ (NVIC_ICPR0) はクリアされません。

したがって、A/D 変換中にアナログ入力端子を変更すると、ADS レジスタの書き換え前に、変更前のアナログ入力に対する A/D 変換結果と NVIC_ICPR0 が設定されている場合があります。ADS レジスタの書き換え直後に NVIC_ICPR0 を読み出すと、変更後のアナログ入力に対する A/D 変換が終了していなくても NVIC_ICPR0 が設定されるので注意してください。

A/D 変換を停止してから再開する場合は、NVIC_ICPR0 をクリアしてから A/D 変換動作を再開してください。

図 22.25 に A/D 変換終了割り込み要求発生タイミングを示します。

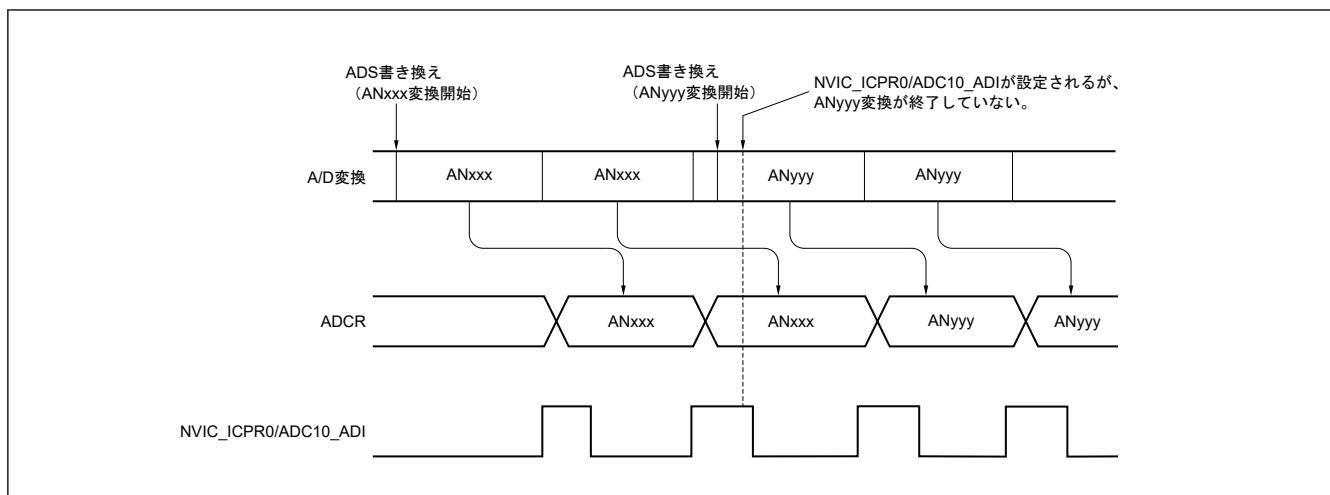


図 22.25 A/D 変換終了割り込み要求発生タイミング

(8) A/D 変換開始直後の変換結果

ソフトウェアトリガ待機なしモードまたはハードウェアトリガ待機なしモードでは、ADCE ビットを 1 にしてから 1 μ s 以内に ADCS ビットを 1 にした場合、A/D 変換開始直後の最初の A/D 変換値が定格範囲に入らないことがあります。A/D 変換終了割り込み要求信号 (ADC10_ADI) をポーリングし、最初の変換結果を削除するなどの対策を行ってください。

(9) A/D 変換結果レジスタ (ADCR, ADCRH) の読み出し動作

A/D コンバータモードレジスタ 0 (ADM0)、アナログ入力チャネル指定レジスタ (ADS)、I/O ポートレジスタ (PODRm、PDRm、PORRm、POSRm、および PmnPFS_A) への書き込み動作を実行すると、ADCR レジスタと ADCRH レジスタの内容が不定になることがあります。変換完了後、ADM0、ADS、I/O ポートレジスタ (PODRm、PDRm、PORRm、POSRm、および PmnPFS_A) に書き込みを行う前に、変換結果を読み出してください。さもないと不正な変換結果が読み出されることがあります。

(10) A/D コンバータの動作開始

A/D コンバータの動作は VREFH0 電圧と V_{CC} 電圧が安定してから開始してください。

23. 温度センサ回路 (TSN)

23.1 概要

デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどリニアの関係にあります。出力電圧は ADC10 で変換されてから、末端の応用機器で使用できます。

表 23.1 に TSN の仕様を、図 23.1 に TSN のブロック図を示します。

表 23.1 TSN の仕様

項目	内容
温度センサ電圧出力	温度センサは 10 ビット A/D コンバータに電圧を出力

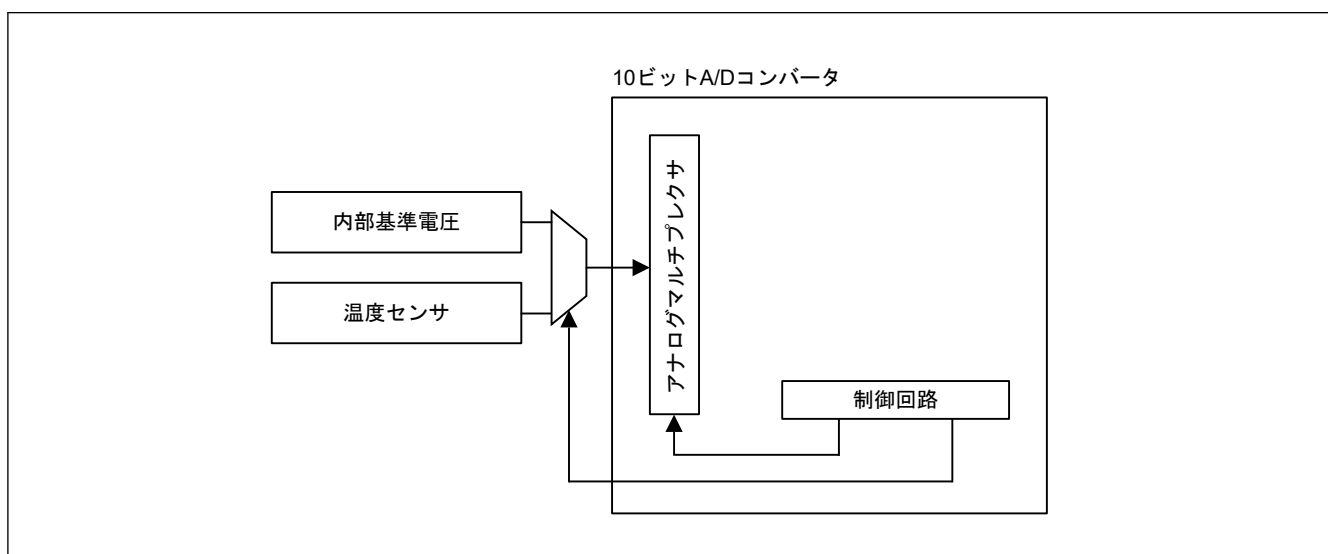


図 23.1 TSN のブロック図

23.2 温度センサ回路の使用方法

温度センサが出力する電圧は、温度により変化します。この電圧は 10 ビット A/D コンバータでデジタル値に変換されます。チップの温度は、この値を温度に変換することで求められます。

23.2.1 使用前の準備

MCU の周囲温度 (T) は温度センサの電圧出力 (Vs) と比例関係にあるため、以下の式で MCU の周囲温度を求められます。

$$T = (V_s - V_1) / \text{slope} + T_1$$

- T: 計算結果である MCU の周囲温度 (°C)
- Vs: 温度測定時の温度センサの出力電圧 (V)
- T1: 1 点目の試行測定時の温度 (°C)
- V1: T1 測定時の温度センサの出力電圧 (V)
- T2: 2 点目の試行測定時の温度 (°C)
- V2: T2 測定時の温度センサの出力電圧 (V)
- Slope : 温度センサの温度傾斜 (V/°C) $\text{Slope} = (V_2 - V_1) / (T_2 - T_1)$

温度センサには個体間ばらつきがあるため、以下のような異なる温度 2 点の試行測定を実施して温度傾斜を求めておくことを推奨します。

1. 10 ビット A/D コンバータを使用して、温度 T1 で温度センサにより出力される電圧 V1 を測定してください。

- 再度、10 ビット A/D コンバータを使用して、異なる温度 T2 で温度センサにより出力される電圧 V2 を測定してください。
- 両者の測定結果から、温度傾斜 ($\text{Slope} = (V2 - V1)/(T2 - T1)$) を求めます。
- この slope の値を温度特性の式 ($T = (Vs - V1)/\text{Slope} + T1$) に代入し、温度を求めます。

また、「[27. 電气的特性](#)」に記載の温度傾斜を slope として用いる場合は、1 回の試行測定で V1 と T1 を決定します。

$$T = (Vs - V1) / \text{slope} + T1$$

注. ただし、この方法では、2 点を測定する方法よりも測定温度精度が劣ります。

23.2.2 温度センサ回路の使用手順

詳細は、「[22. 10 ビット A/D コンバータ \(ADC10\)](#)」を参照してください。

24. SRAM

24.1 概要

本 MCU は、高密度内蔵 SRAM モジュールを搭載しています。

表 24.1 に SRAM の仕様を示します。

表 24.1 SRAM の仕様

項目	内容
SRAM 容量	SRAM0 : 2 KB
SRAM アドレス	SRAM0 : 0x2000_4000~0x2000_47FF
アクセス(注1)	読み出し／書き込みともに 0 ウェイトで動作

注. SRAM0 と Trace RAM は共有されます。Trace RAM の仕様については、ARM® CoreSight™ MTB-M23 Technical Reference Manual (ARM DDI 0564C) を参照してください。

注 1. 詳細は、「24.2.1. アクセスサイクル」を参照してください。

24.2 動作説明

24.2.1 アクセスサイクル

表 24.2 SRAM0 (0x2000_4000~0x2000_47FF)

読み出し (サイクル)		書き込み (サイクル)	
ワードアクセス	ハーフワード／バイトアクセス	ワードアクセス	ハーフワード／バイトアクセス
2		2	

24.3 使用上の注意事項

24.3.1 SRAM 領域からの命令フェッチ

SRAM0 を使用してプログラムを実行する場合、SRAM 領域を初期化して CPU が正確にデータをプリフェッチできるようにしてください。4 バイト境界のプログラムの終了アドレスから追加の 2 バイト領域を初期化してください。弊社は、データの初期化には NOP 命令の使用を推奨します。

24.3.2 SRAM ストアバッファ

SRAM と CPU 間の高速アクセスのために、ストアバッファを使用します。SRAM へのストア命令の後、ロード命令が同じアドレスから実行されるとき、ロード命令は、SRAM のデータを読み出す代わりにバッファからデータを読み出すことがあります。SRAM のデータを正しく読み出すためには、以下の手順のいずれかを使います。

- SRAM (address = A) へ書き込みを行った後、NOP 命令を使い、それから SRAM (address = A) から読み出しを行います。
- SRAM (address = A) へ書き込みを行った後、SRAM (address = A) 以外の領域からデータ読み出しを行い、それから SRAM (address = A) から読み出しを行います。

25. フラッシュメモリ

25.1 概要

MCU は 16-KB のコードフラッシュメモリを提供します。フラッシュ制御部 (FCB) は、プログラムコマンドを制御します。本製品では Silicon Storage Technology 社のライセンスである SuperFlash[®]技術を使用しています。

表 25.1 にコードフラッシュメモリの仕様を、図 25.1 に関連モジュールのブロック図を示します。図 25.2 にコードフラッシュメモリの構成を示します。

表 25.1 コードフラッシュメモリの仕様

項目	コードフラッシュメモリ
メモリ容量	16 KB のユーザー領域 - コンフィグレーション設定領域 (「6. オプション設定メモリ」を参照)
リードサイクル	1 回の読み出し動作に 2 サイクル必要
イレース後の値	0xFF
プログラム/イレース方式	- レジスタに設定した FCB コマンドを使用してコードフラッシュメモリをプログラム/イレース - ユーザープログラムによるフラッシュメモリのプログラム (セルフプログラミング) (注1)
セキュリティ機能	フラッシュメモリの不正改ざん/不正リードを防止
プロテクション機能	フラッシュメモリの誤オーバーライトを防止
プログラム/イレース単位	- ユーザー領域のプログラム: 32 ビット単位 - ユーザー領域のイレース: 2 KB 単位
その他の機能	セルフプログラミング中の割り込み受け付け 本 MCU の初期設定でフラッシュメモリ拡張領域 (オプションバイト) の設定可能
オンボードプログラミング	オンチップデバッグモードによるプログラム - SWD インタフェースを使用 - 専用ハードウェアは必要なし ユーザープログラム中のコードフラッシュメモリ書き換えルーチンによるプログラム - システムをリセットすることなくコードフラッシュメモリのプログラムが可能

注 1. HOCO を安定発振させてください。「25.9. セルフプログラミング」を参照してください。

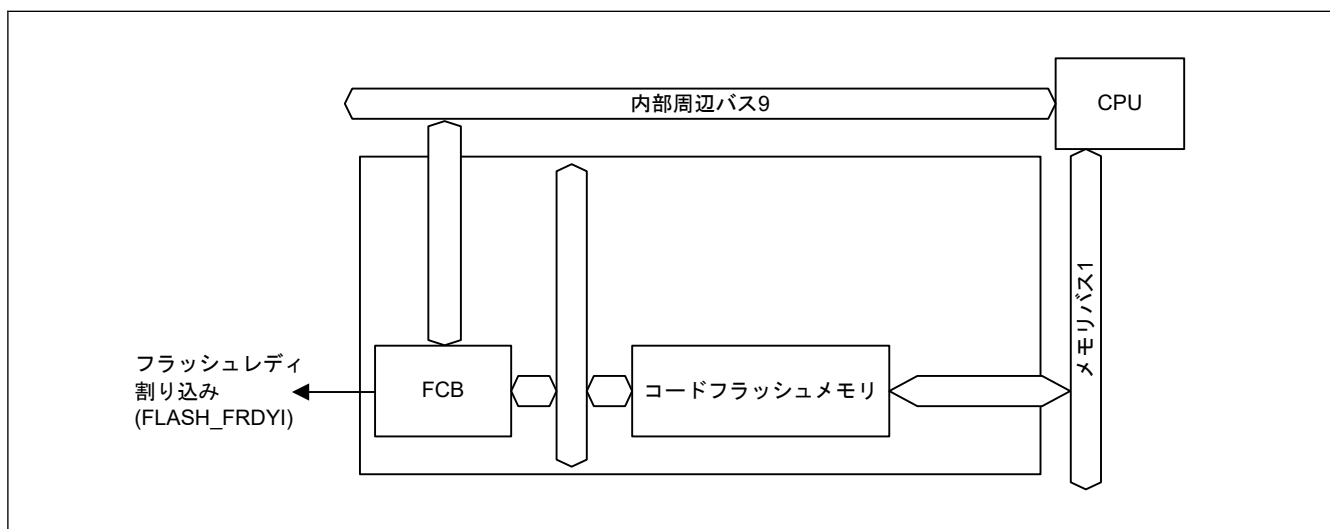


図 25.1 フラッシュメモリ関連モジュールのブロック図

25.2 メモリ構造

図 25.2 にコードフラッシュメモリのマッピングを、表 25.2 にコードフラッシュメモリのリードアドレスとプログラム/イレース (P/E) アドレスを示します。コードフラッシュメモリのユーザー領域は 2 KB のブロックに分割されており、各ブロック単位でイレース可能です。ユーザー領域は、ユーザープログラムの格納に使用できます。

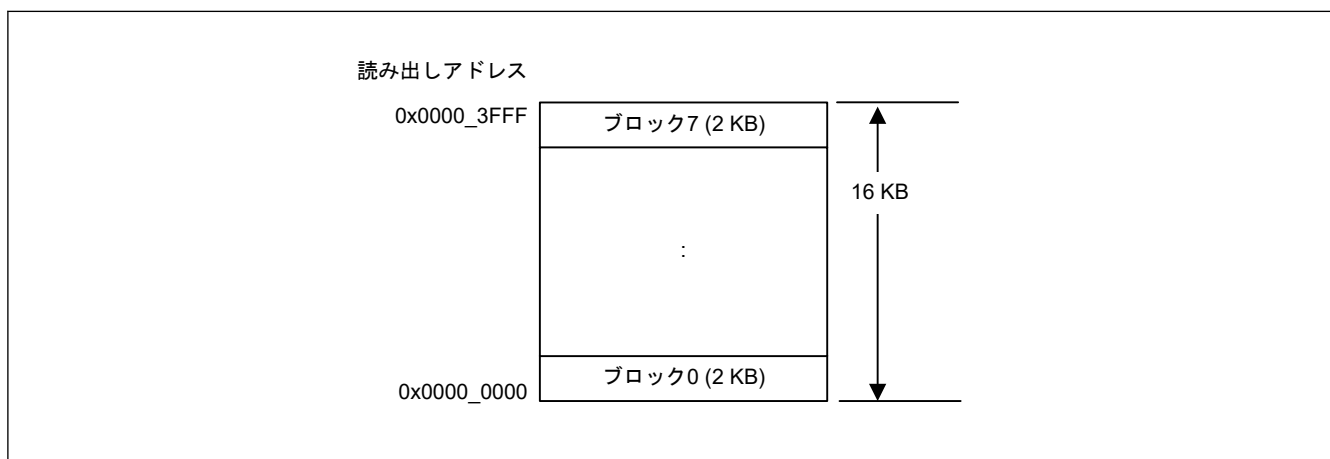


図 25.2 コードフラッシュメモリマッピング

表 25.2 コードフラッシュメモリのリードアドレスと P/E アドレス

コードフラッシュメモリのサイズ	リードアドレス	P/E アドレス	ブロック数
16 KB	0x0000_0000~0x0000_3FFF	0x0000_0000~0x0000_3FFF	0~7

25.3 レジスタの説明

25.3.1 FENTRYR: フラッシュ P/E モードエントリレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x021A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FEKEY[7:0]							—	—	—	—	—	—	—	—	FENTRY0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FENTRY0	コードフラッシュ P/E モードエントリ 0 0: コードフラッシュはリードモード 1: コードフラッシュは P/E モード	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	FEKEY[7:0]	キーコード	W

コードフラッシュの書き込みをするには、FENTRY0 ビットに 1 を設定して、P/E モードに遷移する必要があります。FENTRY0 ビットをクリアすると、コードフラッシュはリードモードになりますが、これらのビットの値を変更する際はその値を事前に確認する必要があります。「25.10.1. シーケンサモード」を参照してください。

FENTRY0 ビット (コードフラッシュ P/E モードエントリ 0)

[1 になる条件]

- FENTRYR レジスタが 0x0000 から 0xAA01 になったとき

[0 になる条件]

- バイトアクセスによってデータが書き込まれたとき
- FEKEY[7:0] ビットに 0xAA 以外の値が設定され、FENTRYR レジスタに書き込まれたとき
- FENTRYR レジスタが 0xAA00 に設定されたとき
- FENTRYR レジスタが 0x0000 以外の状態で、レジスタにデータが書き込まれたとき

FEKEY[7:0] ビット (キーコード)

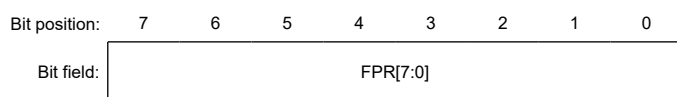
FEKEY[7:0] ビットは、FENTRY0 ビットを不正な設定から保護します。

FEKEY[7:0] に 0xAA を設定することで、FENTRY0 ビットを設定できるようになります。FEKEY[7:0] ビットは、読むと 0x00 が読み出されます。

25.3.2 FPR : プロテクションアンロックレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x0180



Value after reset: x x x x x x x x

ビット	シンボル	機能	R/W
7:0	FPR[7:0]	プロテクションの解除 本レジスタは、CPU が暴走したときに、FPMCR レジスタが誤って書き換えられないよう保護します。	W

FPR[7:0] ビット (プロテクションの解除)

FPMCR レジスタへの書き込みは、以下の手順を使用してレジスタにアクセスした際にのみ許可されます。

プロテクションを解除する手順：

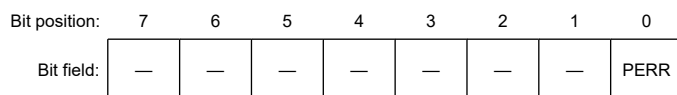
1. FPR レジスタに 0xA5 を書きます。
2. FPMCR レジスタに設定値を書きます。
3. FPMCR レジスタに反転した設定値を書きます。
4. FPMCR レジスタにもう一度設定値を書きます。

データの書き込みに指定した手順以外が使用された場合、FPSR.PERR フラグが 1 になります。

25.3.3 FPSR : プロテクションアンロックステータスレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x0184



Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	PERR	プロテクトエラーフラグ 0: エラーなし 1: エラー発生	R
7:1	—	読むと 0 が読めます。	R

PERR ビット (プロテクトエラーフラグ)

FPMCR レジスタが「プロテクションを解除する手順」で説明した方法以外でアクセスされた場合、データはレジスタに書き込まれず、このフラグが 1 になります。

[1 になる条件]

- FPMCR レジスタが「[25.3.2. FPR : プロテクションアンロックレジスタ](#)」の「プロテクションを解除する手順」に記載した方法以外でアクセスされたとき

[0 になる条件]

- FPMCR レジスタが「[25.3.2. FPR : プロテクションアンロックレジスタ](#)」の「プロテクションを解除する手順」に記載した方法でアクセスされたとき

25.3.4 FPMCR : フラッシュ P/E モードコントロールレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x0100

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	RPDIS	—	FMS0	—
Value after reset:	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	FMS0	フラッシュ動作モード選択 0 0: 読み出しモード 1: コードフラッシュ P/E モード	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	RPDIS	コードフラッシュ P/E 禁止 0: コードフラッシュ書き込みを許可 1: コードフラッシュ書き込みを禁止	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

FLWT レジスタは、フラッシュメモリの動作モードを設定します。権限なく設定はできないように保護されています。

このレジスタ書き込み制御方法については、[図 25.11](#) と [図 25.12](#) を参照してください。

保護の解除の方法については、「[25.3.2. FPR : プロテクションアンロックレジスタ](#)」を参照してください。

FMS0 ビット (フラッシュ動作モード選択 0)

本ビットは、フラッシュメモリの動作モードを設定します。

[コードフラッシュメモリをリードモードからフラッシュ P/E モードに遷移する方法]

FMS0 = 1、RPDIS = 0 に設定してください。モード設定時間 t_{MS} (「[27. 電気的特性](#)」を参照) 待機してください。

[コードフラッシュメモリをコードフラッシュ P/E モードからリードモードに遷移する方法]

FMS0 ビットを 0 に、RPDIS ビットを 1 に設定してください。

リードモード遷移時間 (「[27. 電気的特性](#)」を参照) 待機してください。

RPDIS ビット (コードフラッシュ P/E 禁止)

RPDIS ビットは、権限なく書き込みができないように保護されています。RPDIS ビットを 0 に設定することで、コードフラッシュメモリの書き込みをできるようになります。

25.3.5 FISR : フラッシュ初期設定レジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x01D8

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SAS[1:0]		—	PCKA[4:0]				

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
4:0	PCKA[4:0]	Flash-IF クロック通知	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:6	SAS[1:0]	スタートアップ領域選択 1 0: スタートアップ領域が一時的にデフォルト領域に切り替わる 1 1: スタートアップ領域が一時的に代替領域に切り替わる その他: スタートアップ領域はエクストラ領域の設定に従って選択される	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。また、SAS[1:0]ビットは、FSPR が 1 の時のみ設定およびクリアできます。FSPR ビットはアクセスウィンドウの保護フラグで、エクストラ領域に格納されます。

PCKA[4:0]ビット (Flash-IF クロック通知)

フラッシュ書き込みのハードウェアシーケンサは、PCKA[4:0]ビットに従ってコマンドを実行します。そのため、書き込みの実行前かつ書き込み中でない時に、PCKA[4:0]ビットを Flash-IF クロック (ICLK) に従って設定する必要があります。

注. 誤った周波数設定は、フラッシュメモリを破損する恐れがあります。

周波数が整数でない (たとえば 31.5 MHz) ときに、PCKA[4:0] ビットを設定する方法を以下に説明します。

[周波数が 4 MHz より高い場合]

非整数の周波数の切り上げ値を設定します。

たとえば、周波数が 31.5 MHz ならば、32 MHz (PCKA = 11111b) を設定します。

[周波数が 4 MHz 以下である場合]

非整数の周波数を使用してはなりません。1、2、3、または 4 MHz の周波数を使用します。

表 25.3 周波数設定

Flash-IF クロック 周波数 [MHz]	PCKA[4:0]	Flash-IF クロック 周波数 [MHz]	PCKA[4:0]	Flash-IF クロック 周波数 [MHz]	PCKA[4:0]
32	11111b	24	10111b	20	10011b
19	10010b	18	10001b	17	10000b
16	01111b	15	01110b	14	01101b
13	01100b	12	01011b	11	01010b
10	01001b	9	01000b	8	00111b
7	00110b	6	00101b	5	00100b
4	00011b	3	00010b	2	00001b
1	00000b	—	—	—	—

SAS[1:0] ビット (スタートアップ領域選択)

SAS[1:0] ビットは、スタートアップ領域を選択します。スタートアップ領域を変更するには、次の方法を使用できます。

- SAS[1:0] ビットが 00b または 01b で、エクストラ領域のスタートアップ領域設定に従ってスタートアップ領域を選択する場合、スタートアップ領域はその設定に従って選択されます。設定は、リセット解除後に有効になります。

- SAS[1:0] ビットに 10b を書いて、スタートアップ領域を一時的にデフォルト領域に切り替える場合、エクストラ領域のスタートアップ領域設定に関わらず、本レジスタにデータが書き込まれた直後に、スタートアップ領域がデフォルト領域に切り替わります。その後にリセットが発生した場合、領域は、エクストラ領域のスタートアップ領域設定に従って選択されます。
- SAS[1:0] ビットに 11b を書いて、スタートアップ領域を一時的に代替領域に切り替える場合、エクストラ領域のスタートアップ領域設定に関わらず、スタートアップ領域は代替領域に切り替わります。その後にリセットが発生した場合、領域は、エクストラ領域のスタートアップ領域設定に従って選択されます。

25.3.6 FRESETR : フラッシュリセットレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x0124

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FRESETR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FRESETR	レジスタのソフトウェアリセット 0: フラッシュプログラミング関連のレジスタをリセットしない 1: フラッシュプログラミング関連のレジスタをリセットする	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

FRESETR ビット (レジスタのソフトウェアリセット)

このビットが 1 になると、FASR、FSARH、FSARL、FEARH、FEARL、FWBH0、FWBL0、FCR、および FEXCR レジスタがリセットされます。このビットを 0 にすると、対応するレジスタのリセット状態を解除できます。FRESETR ビットが 1 のとき、ソフトウェアコマンドの実行は許可されません。

25.3.7 FASR : フラッシュ領域選択レジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x0104

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	EXS
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	EXS	エクストラ領域選択 0: ユーザー領域 1: エクストラ領域	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。

EXS ビット (エクストラ領域選択)

FEXCR レジスタを使用してエクストラ領域をプログラムするときは、EXS ビットを 1 に設定してください。エクストラ領域をプログラムしない場合は、本ビットを 0 にします。

25.3.8 FCR : フラッシュコントロールレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x0114

Bit position:	7	6	5	4	3	2	1	0
Bit field:	OPST	STOP	—	—	—	CMD[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CMD[2:0]	ソフトウェアコマンド設定 0x1: プログラム 0x3: ブランクチェック (コードフラッシュ) 0x4: ブロックイレース その他: 設定禁止 ^(注1)	R/W
5:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	STOP	処理強制停止 本ビットを 1 に設定すると、実行中の処理を強制的に停止できます。	R/W
7	OPST	処理開始 0: 処理停止 1: 処理開始	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。また、ソフトウェアコマンドを実行している時には、FRESETR レジスタでリセットできません。

注 1. FSTATR1.FRDY ビットが 1 である場合の、FCR レジスタへの 0x00 書き込みは除きます。

CMD[2:0]ビット (ソフトウェアコマンド設定)

以下に、各ソフトウェアコマンドの機能を説明します。

[プログラム]

FWBH0 レジスタと FWBL0 レジスタのデータをフラッシュメモリへ FSARH レジスタと FSARL レジスタで示すアドレスに書き込みます。

[ブランクチェック]

フラッシュメモリが FSARH レジスタと FSARL レジスタで示す開始アドレスから FEARH レジスタと FEARL レジスタで示す終了アドレスにかけてブランク (書き込みされていない) 状態であるかどうかを確認します。ブランクチェックコマンドは、フラッシュメモリの領域内で実行可能です。

注. ブランクチェック結果で、フラッシュメモリが消去されたことを保証することはできません。

[ブロックイレース]

フラッシュメモリのブロックを消去します。

消去対象のブロックの開始アドレスを FSARH レジスタと FSARL レジスタで設定し、消去対象のブロックの終了アドレスを FEARH レジスタと FEARL レジスタで設定します。指定以外の設定をした場合、消去は正しく実行されません。ブロックイレースコマンドは、フラッシュメモリの領域内で実行可能です。

STOP ビット (処理強制停止)

STOP ビットは、イレースコマンドやブランクチェックコマンドの実行を停止します。

STOP ビットに 1 を設定したら、FSTATR1.FRDY ビットが 1 (処理完了) になるのを待ってから、OPST ビットを 0 にしてください。

OPST ビット (処理開始)

OPST ビットは、CMD[2:0]ビットに設定されたコマンドを開始します。OPST ビットを 0 に設定したら、FSTATR1 レジスタの FRDY ビットが 1 になってからコマンドの実行を停止します。それから、FRDY ビットが 0 になったことを確認する必要があります。

注. ● フラッシュプログラムの ID 認証がフェイルした場合は、コマンドを実行できません。

- プログラミング、ブロックイレース、およびリードコマンドは、各コマンドがアクセスウィンドウで保護された領域を指定した場合、実行できません。

25.3.9 FEXCR : フラッシュエクストラ領域コントロールレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x01DC

Bit position:	7	6	5	4	3	2	1	0
Bit field:	OPST	—	—	—	—	CMD[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CMD[2:0]	ソフトウェアコマンドの設定 0 1 0: アクセスウィンドウ情報プログラム スタートアップ領域選択およびセキュリティ設定 0 1 1: OCDID1 プログラム 1 0 0: OCDID2 プログラム 1 0 1: OCDID3 プログラム 1 1 0: OCDID4 プログラム その他: 設定禁止 ^(注1)	R/W
6:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	OPST	処理開始 0: 処理が停止する 1: 処理が開始する	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。また、ソフトウェアコマンドを実行している時には、FRESETR レジスタでリセットできません。

注 1. これには、FSTATR1.EXRDY ビットが 1 のときに FEXCR レジスタに 0x00 を書くことは含まれません。

FEXCR レジスタは、エクストラ領域をプログラムします。各コマンドを実行する前に、FWBL0 レジスタおよび FWBH0 レジスタを設定する必要があります。

FEXCR レジスタを使用してプログラムする場合、実行前にプログラミング領域が自動的に消去されるため、事前に消去する必要はありません。

CMD[2:0]ビット（ソフトウェアコマンドの設定）

CMD[2:0]ビットは、以下からソフトウェアコマンドを選択します。

- スタートアップ領域選択およびセキュリティ設定
- アクセスウィンドウ情報プログラム
- OCDID プログラム

以下に、各ソフトウェアコマンドの機能を記載します。

[スタートアップ領域選択およびセキュリティ設定]

FWBL0/FWBH0 レジスタにデータを設定すると、このコマンドでスタートアップ領域をデフォルト領域 (4 KB) と代替領域 (次の 4 KB) から選択し、セキュリティを設定することができます。詳細は「[25.8.1. スタートアッププログラムプロテクション](#)」を参照してください。

FWBH0 レジスタのビット[15]が 0 のとき、代替領域 (次の 4 KB) がスタートアップ領域として選択されます。

FWBH0 レジスタのビット[15]が 1 のとき、デフォルト領域 (4 KB) がスタートアップ領域として選択されます。

FWBL0 レジスタのビット[15]は 0 です。

- アクセスウィンドウ情報プログラムコマンドを実行できないため、アクセスウィンドウは更新できません。
- スタートアップ領域は変更できません。
- FISR レジスタの SAS ビットのデータは変更できません。

注. セキュリティ設定コマンドは、対応するエクストラ領域のビットを一度 0 にした後、1 にすることはできません。

スタートアップ領域選択およびセキュリティ設定のエクストラビットのマッピングを以下に示します。

表 25.4 スタートアップ領域選択およびセキュリティ設定のエクストラビットのマッピング (アドレス (P/E): 0x0000_0010)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
BTFL G	—	—	—	—	FAWE[10:0]										
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
FSPR (注1)	—	—	—	—	FAWS[10:0]										

注 1. このビットは、一度 0 にすると 1 に変更することはできません。

[アクセスウィンドウ情報プログラム]

このコマンドは、領域プロテクションに使用されるアクセスウィンドウを設定します。保護された領域のプログラムコマンドおよびブロックイレースコマンドは実行できません。アクセスウィンドウ情報プログラムコマンドを実行する前に、アクセスウィンドウの開始ブロックアドレスを FWBL0 レジスタのビット[10:0]に設定し、アクセスウィンドウの終了ブロックアドレスの次のブロックアドレスを FWBH0 レジスタのビット[10:0]に設定する必要があります。開始アドレスと終了アドレスを同じ値に設定すると、コードフラッシュの全領域がアクセス可能になります。開始アドレスが終了ブロックアドレスより大きい場合、コードフラッシュの全領域がアクセス不可能になります。

アクセスウィンドウを設定する（アクセスウィンドウの終了ブロックアドレスが開始ブロックアドレスより大きい）場合、開始ブロックアドレスの FWBL0[10]ビットは 0 にしなければなりません。

アクセスウィンドウ情報プログラムのエクストラビットのマッピングを以下に示します。

表 25.5 アクセスウィンドウ情報プログラムのエクストラビットのマッピング (アドレス (P/E): 0x0000_0010)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
BTFL G	—	—	—	—	FAWE[10:0]										
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
FSPR (注1)	—	—	—	—	FAWS[10:0]										

注 1. このビットは、一度 0 にすると 1 に変更することはできません。

[OCDID1-4 プログラム]

これらのコマンドは、OCDID[127:0]ビットを設定します。

表 25.6 OCDID 設定

コマンド	OCDID	FWBH0	FWBL0
OCDID1 プログラム	OCDID[31:0]	OCDID[31:16]	OCDID[15:0]
OCDID2 プログラム	OCDID[63:32]	OCDID[63:48]	OCDID[47:32]
OCDID3 プログラム	OCDID[95:64]	OCDID[95:80]	OCDID[79:64]
OCDID4 プログラム	OCDID[127:96]	OCDID[127:112]	OCDID[111:96]

OCDID1-4 プログラムのエクストラビットのマッピングを以下に示します。

表 25.7 OCDID1-4 プログラムのエクストラビットのマッピング (アドレス (P/E): 0x0000_0018)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
OCDID[31:16]															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
OCDID[15:0]															

表 25.8 OCDID1-4 プログラムのエクストラビットのマッピング (アドレス (P/E): 0x0000_0020)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
OCDID[63:48]															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
OCDID[47:32]															

表 25.9 OCDID1-4 プログラムのエクストラビットのマッピング (アドレス (P/E): 0x0000_0028)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
OCDID[95:80]															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
OCDID[79:64]															

表 25.10 OCDID1-4 プログラムのエクストラビットのマッピング (アドレス (P/E): 0x0000_0030)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
OCDID[127:112]															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
OCDID[111:96]															

OPST ビット (処理開始)

OPST ビットは、CMD[2:0] ビットに設定されたコマンドを開始します。OPST ビットを 0 にすると、FSTATR1 レジスタの EXRDY ビットが 1 になった後、コマンドの実行が終了されます。EXRDY ビットが 0 であることを確認する必要があります。

25.3.10 FSARH : フラッシュ処理開始アドレスレジスタ H

Base address: FLCN = 0x407E_C000

Offset address: 0x0110

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field: FSARH[15:0]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
15:0	FSARH[15:0]	フラッシュ処理開始アドレス H フラッシュ処理開始アドレス上位 16 ビット 詳細は、FSARL を参照してください。	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。b8～b4 ビットに書き込む場合は、0 としてください。読むと 0 が読めます。

25.3.11 FSARL : フラッシュ処理開始アドレスレジスタ L

Base address: FLCN = 0x407E_C000

Offset address: 0x0108

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field: FSARL[15:0]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
15:0	FSARL[15:0]	フラッシュ処理開始アドレス L フラッシュ処理開始アドレス下位 16 ビット	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。

FSARH および FSARL レジスタは、ソフトウェアコマンドの開始アドレスを設定します。FEXCR レジスタで設定されるソフトウェアコマンドを実行中に、FSARH レジスタおよび FSARL レジスタを読み出すと、値は不定値になります。

注. 本製品には、プログラムコマンドの自動インクリメント機能がありません。フラッシュをプログラミングするごとに FSARH レジスタと FSARL レジスタに次のアドレスを設定する必要があります。

フラッシュメモリのアドレス詳細については、[図 25.2](#) と「[25.2. メモリ構造](#)」を参照してください。

25.3.12 FEARH：フラッシュ処理終了アドレスレジスタ H

Base address: FLCN = 0x407E_C000

Offset address: 0x0120

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FEARH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FEARH[15:0]	フラッシュ処理終了アドレス H フラッシュ処理終了アドレスの上位 16 ビット 詳細は、FEARL を参照してください。	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。b8～b4 ビットに書き込む場合は、0 としてください。読むと 0 が読めます。

25.3.13 FEARL：フラッシュ処理終了アドレスレジスタ L

Base address: FLCN = 0x407E_C000

Offset address: 0x0118

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FEARL[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FEARL[15:0]	フラッシュ処理終了アドレス L フラッシュ処理終了アドレスの下位 16 ビット	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。

FEARH レジスタと FEARL レジスタは、ブランクチェックとブロックイレースコマンドの終了アドレスを設定します。FEXCR レジスタで設定されるソフトウェアコマンドを実行中に、FEARH レジスタおよび FEARL レジスタを読み出すと、読み出し値は不定値になります。

フラッシュメモリのアドレスについて詳しくは、[図 25.2](#) と「[25.2. メモリ構造](#)」を参照してください。

25.3.14 FWBL0 : フラッシュライトバッファレジスタ L0

Base address: FLCN = 0x407E_C000

Offset address: 0x0130

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	WDATA[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	WDATA[15:0]	フラッシュライトバッファ L0 フラッシュライトバッファデータ下位 16 ビット 詳細は、FWBH0 を参照してください。	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。

25.3.15 FWBH0 : フラッシュライトバッファレジスタ H0

Base address: FLCN = 0x407E_C000

Offset address: 0x0138

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	WDATA[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/Wf
15:0	WDATA[15:0]	フラッシュライトバッファ H0 フラッシュライトバッファデータの上位 16 ビット	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。

FWBH0 レジスタと FWBL0 レジスタは、プログラムコマンド、スタートアップ選択とセキュリティ設定コマンド、アクセスウィンドウ情報プログラムコマンドと OCDID プログラムコマンドのプログラムデータを設定します。以下の表に、各コマンドによるデータの設定方法を説明します。

レジスタ	レジスタに設定される内容
FWBH0 FWBL0	- コードフラッシュのプログラムコマンドのプログラムデータのビット[31:0] - スタートアップ選択およびセキュリティ設定コマンド、アクセスウィンドウ情報プログラムコマンド、および OCDID プログラムコマンドのプログラムデータのビット[31:0]

25.3.16 FSTATR1 : フラッシュステータスレジスタ 1

Base address: FLCN = 0x407E_C000

Offset address: 0x012C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	EXRD Y	FRDY	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。	R
2	—	読むと 1 が読めます。	R
5:3	—	読むと 0 が読めます。	R

ビット	シンボル	機能	R/W
6	FRDY	フラッシュレディフラグ 0: FCR レジスタのソフトウェアコマンドが終了していない。 1: FCR レジスタのソフトウェアコマンドが終了した。	R
7	EXRDY	エクストラ領域レディフラグ 0: FEXCR レジスタのソフトウェアコマンドが終了していない。 1: FEXCR レジスタのソフトウェアコマンドが終了した。	R

FSTATR1 は、ソフトウェアコマンドの実行結果を確認するために使用されるステータスレジスタです。各フラグは、次のソフトウェアコマンド実行時に 0 にセットされます。

25.3.17 FSTATR2 : フラッシュステータスレジスタ 2

Base address: FLCN = 0x407E_C000

Offset address: 0x01F0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	EILGL ERR	ILGLE RR	BCER R	—	PRGE RR	ERER R
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ERERR	イレースエラーフラグ 0: イレースが正常終了 1: イレース中にエラー発生	R
1	PRGERR	プログラムエラーフラグ 0: プログラムが正常終了 1: プログラム中にエラー発生	R
2	—	読むと 0 が読めます。	R
3	BCERR	ブランクチェックエラーフラグ 0: ブランクチェックが正常終了 1: ブランクチェック中にエラー発生	R
4	ILGLERR	イリーガルコマンドエラーフラグ 0: 不正なソフトウェアコマンドまたは不正なアクセスの検出なし 1: 不正なコマンドまたは不正なアクセスの検出あり	R
5	EILGLERR	エクストラ領域イリーガルコマンドエラーフラグ 0: エクストラ領域への不正なコマンドまたは不正なアクセスの検出なし 1: エクストラ領域への不正なコマンドまたは不正なアクセスの検出あり	R
15:6	—	読むと 0 が読めます。	R

FSTATR2 は、ソフトウェアコマンド実行結果を確認するために使うステータスレジスタです。各エラーフラグは、次のソフトウェアコマンド実行時に 0 に設定されます。

ERERR フラグ（イレースエラーフラグ）

消去時に FCR.STOP ビットが 1（処理が強制停止した）になったとき、ERERR ビットの値は不定になります。

PRGERR フラグ（プログラムエラーフラグ）

FCR レジスタのプログラムコマンドまたは FEXCR レジスタの各コマンドが異常終了すると、PRGERR ビットが 1 になります。

ILGLERR フラグ（イリーガルコマンドエラーフラグ）

ILGLERR フラグは、FCR レジスタのソフトウェアコマンドの実行が予期しない状態であることを示します。

[1 になる条件]

- プログラミング、イレース、リードコマンドが、アクセスウィンドウ範囲で保護された領域に対して実行された。

- FSARH および FSARL レジスタに設定された開始アドレスが FEARH および FEARL レジスタに設定された終了アドレスより大きい状態で、ブランクチェックコマンドおよびブロックイレースコマンドが実行された。
- FASR.EXS ビットが 1 の状態で、プログラム、ブロックイレース、およびブランクチェックコマンドが実行された。
- コードフラッシュが同時に P/E モードに設定され、ソフトウェアコマンドが実行された。

[0 になる条件]

- 以下のソフトウェアコマンドが実行された。

EILGLERR フラグ（エクストラ領域イリーガルコマンドエラーフラグ）

EILGLERR フラグは、FEXCR レジスタのソフトウェアコマンドの実行が予期しない状態であることを示します。

[1 になる条件]

- FASR レジスタの EXS ビットが 0 の時に、FEXCR レジスタのソフトウェアコマンドが実行された。
- FSPR ビットが 0 の時に、アクセスウィンドウ情報プログラムコマンドが実行された。

[0 になる条件]

- 以下のソフトウェアコマンドが実行された。

25.3.18 FEAMH : フラッシュエラーアドレスモニタレジスタ H

Base address: FLCN = 0x407E_C000

Offset address: 0x01E8

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FEAMH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FEAMH[15:0]	フラッシュエラーアドレスモニタレジスタ H フラッシュエラーアドレスモニタの上位 16 ビット 詳細は、FEAML を参照してください。	R

25.3.19 FEAML : フラッシュエラーアドレスモニタレジスタ L

Base address: FLCN = 0x407E_C000

Offset address: 0x01E0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FEAML[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FEAML[15:0]	フラッシュエラーアドレスモニタレジスタ L フラッシュエラーアドレスモニタの下位 16 ビット	R

ソフトウェアコマンドの実行の後、エラーアドレスが FEAMH レジスタと FEAML レジスタから取り出されます。フラッシュメモリのアドレス詳細については、[図 25.2](#) と「[25.2. メモリ構造](#)」を参照してください。

25.3.20 FSCMR : フラッシュスタートアップ設定モニタレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x01C0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	FSPR	—	—	—	—	—	SASMF	—	—	—	—	—	—	—	—
Value after reset:	0	x(注1)	0	0	0	0	0	x(注1)	0	0	0	0	0	0	0	0

注 1. リセット後の値は、エクストラ領域の状態によって決まります。

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。	R
8	SASMF	スタートアップ領域設定モニタフラグ 0: 代替領域を使用して起動する設定 1: デフォルト領域を使用して起動する設定	R
13:9	—	読むと 0 が読めます。	R
14	FSPR	アクセスウィンドウプロテクションフラグ 0: アクセスウィンドウ設定禁止 1: アクセスウィンドウ設定許可	R
15	—	読むと 0 が読めます。	R

FSCMR レジスタは、エクストラ領域設定をモニタします。本レジスタのデータは、リセットシーケンス時、または FEXCR レジスタのソフトウェアコマンド実行時に更新されます。

25.3.21 FAWSMR : フラッシュアクセスウィンドウ開始アドレスモニタレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x01C8

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FSPR	—	—	—	—	FAWS[10:0]										
Value after reset:	x	0	0	0	0	ユーザー設定値(注1)										

注 1. ブランク品は、1 です。アクセスウィンドウ情報プログラムコマンド実行後は、FWBH0 レジスタの[10:0]ビットに設定された値と同じになります。

ビット	シンボル	機能	R/W
10:0	FAWS[10:0]	アクセスウィンドウ開始アドレス このレジスタは、領域プロテクションに使用されるアクセスウィンドウ開始アドレスの設定値を確認するために使用されます。	R
14:11	—	読むと 0 が読めます。	R
15	FSPR	アクセスウィンドウプロテクションフラグ このビットは、FSCMR レジスタの FSPR ビットと同じ値になります。	R

25.3.22 FAWEMR : フラッシュアクセスウィンドウ終了アドレスモニタレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x01D0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SASMF	—	—	—	—	FAWE[10:0]										
Value after reset:	x	0	0	0	0	ユーザー設定値(注1)										

注 1. ブランク品は、1 です。アクセスウィンドウ情報プログラムコマンド実行後は、FWBL0 レジスタの[10:0]ビットに設定された値と同じになります。

ビット	シンボル	機能	R/W
10:0	FAWE[10:0]	アクセスウィンドウ終了アドレス このレジスタは、領域プロテクションに使用されるアクセスウィンドウ終了アドレスの設定値を確認するために使用されます。	R
14:11	—	読むと 0 が読めます。	R
15	SASMF	スタートアップ領域設定モニタフラグ このビットは、FSCMR レジスタの SASMF ビットと同じ値になります。	R

25.3.23 UIDRn : ユニーク ID レジスタ n (n = 0~3)

Address: 0x0101_1070 + n × 4

Bit position: 31

0

Bit field:

UID[31:0]

Value after reset:

チップごとのユニーク値

ビット	シンボル	機能	R/W
31:0	UID[31:0]	ユニーク ID	R

UIDRn は、個々の MCU を識別するための 16 バイトの ID コード (ユニーク ID) を格納する読み出し専用レジスタです。UIDRn レジスタは 32 ビット単位で読み出してください。

25.3.24 PNRn : 型名レジスタ n (n = 0~3)

Address: 0x0101_1080 + n × 4

Bit position: 31

0

Bit field:

PNR[31:0]

Value after reset:

チップごとのユニーク値

ビット	シンボル	機能	R/W
31:0	PNR[31:0]	型名	R

PNRn レジスタは、16 バイトの型名を格納する読み出し専用レジスタです。PNRn レジスタは 32 ビット単位で読み出してください。各バイトは製品一覧に示すように、製品の型名の ASCII コードに対応しています。

型名が「R7FA0E3034ZSD」である場合、16 バイトの型名は以下のように格納されます。

アドレス 0x0101_1080 : 'D', 0x44 (ASCII コード)

アドレス 0x0101_1081 : 'S', 0x53 (ASCII コード)

アドレス 0x0101_1082 : 'Z', 0x5A (ASCII コード)

アドレス 0x0101_1083 : '4', 0x34 (ASCII コード)

アドレス 0x0101_1084 : '3', 0x33 (ASCII コード)

アドレス 0x0101_1085 : '0', 0x30 (ASCII コード)

アドレス 0x0101_1086 : '3', 0x33 (ASCII コード)

アドレス 0x0101_1087 : 'E', 0x45 (ASCII コード)

アドレス 0x0101_1088 : '0', 0x30 (ASCII コード)

アドレス 0x0101_1089 : 'A', 0x41 (ASCII コード)

アドレス 0x0101_108A : 'F', 0x46 (ASCII コード)

アドレス 0x0101_108B : '7', 0x37 (ASCII コード)

アドレス 0x0101_108C : 'R', 0x52 (ASCII コード)

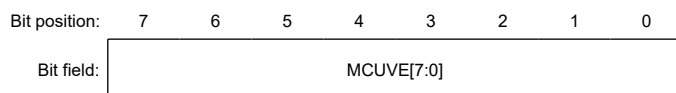
アドレス 0x0101_108D : " (空白) , 0x20 (ASCII コード)

アドレス 0x0101_108E : " (空白) , 0x20 (ASCII コード)

アドレス 0x0101_108F : " (空白) , 0x20 (ASCII コード)

25.3.25 MCUVER : MCU バージョンレジスタ

Address: 0x0101_1090



Value after reset: チップにより決まる値

ビット	シンボル	機能	R/W
7:0	MCUVE[7:0]	MCU バージョン	R

MCUVER レジスタは、MCU バージョンを格納する読み出し専用レジスタです。MCUVER レジスタは 8 ビット単位で読み出してください。値が高いほど MCU バージョンが新しいです。

25.4 フラッシュメモリ関連の動作モード

図 25.3 にフラッシュメモリに関するモード遷移図を示します。モードの設定方法については、「3. 動作モード」を参照してください。

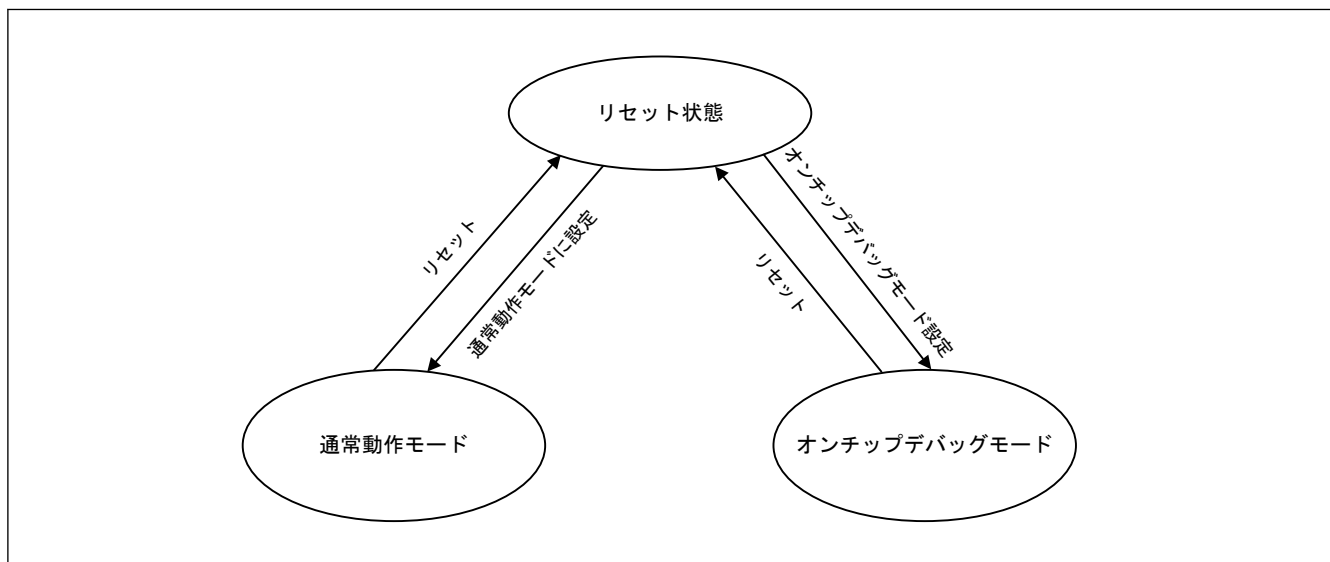


図 25.3 フラッシュメモリに関するモード遷移図

プログラム／イレースが可能なフラッシュメモリの領域、およびリセット時ブートプログラムを実行するフラッシュメモリの領域は各モードで異なります。表 25.11 に各モードの相違点を示します。

表 25.11 各モードの相違点 (1/2)

項目	通常動作モード	オンチップデバッグモード
プログラム／イレースが可能な領域	コードフラッシュメモリ	コードフラッシュメモリ
ブロック単位イレース	可能	可能

表 25.11 各モードの相違点 (2/2)

項目	通常動作モード	オンチップデバッグモード
リセット時のブートプログラム	ユーザー領域のプログラム	デバッグコマンドに依存

25.4.1 ID コードプロテクト

この機能は、プログラミングとオンチップデバッグを禁止します。ID コードプロテクト機能が有効な場合、デバイスはホストが送信した ID コードをフラッシュメモリに格納されている ID コードと比較し、有効または無効にします。プログラミングとオンチップデバッグは、この 2 つが一致する場合に限り許可されます。

フラッシュメモリの ID コードは、4 つの 32 ビットワードで構成されます。ID コードのビット 127 とビット 126 は、ID コードプロテクト機能の有効／無効を判定し、ホストで使用する認証方法を決定します。ID コードがどのように認証方法を決定するかについて、表 25.12 に示します。

表 25.12 ID コードプロテクト機能の仕様

ブートアップ時の動作モード	ID コード	プロテクト状態	プログラマまたはオンチップデバッグ接続時の動作
オンチップデバッグモード	0xFF, ..., 0xFF (すべてのバイトが 0xFF)	プロテクト無効	ID コードはチェックされません。ID コードは常に一致であり、オンチップデバッグまたはシリアルプログラマ(注1)への接続は許可されます。
	ビット[127]=1、ビット[126]=1、かつ 16 バイトのうちの少なくとも 1 バイトが 0xFF 以外	プロテクト有効	ID コードの一致 = 認証が完了し、オンチップデバッグまたはシリアルプログラマへの接続が許可されます。 ID コードの不一致は、ID コードプロテクト待機状態への遷移を示します。 オンチップデバッグまたはシリアルプログラマから送られてきた ID コードが ASCII コードの ALeRASE (0x414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFFF) の場合、ユーザーフラッシュメモリ領域の内容は消去され、OSIS レジスタの全ビットが 1 になります。 ただし、AWS.FSPR ビットが 0 である場合は、ユーザーフラッシュメモリ領域の内容は消去されません。
	ビット[127]=1 およびビット[126]=0	プロテクト有効	ID コードの一致 = 認証が完了し、オンチップデバッグまたはシリアルプログラマへの接続が許可されます。 ID コードの不一致は、ID コードプロテクト待機状態への遷移を示します。
	ビット[127]=0	プロテクト有効	ID コードは検証されません。ID コードは常に不一致であり、オンチップデバッグまたはシリアルプログラマへの接続は禁止されます。

注 1. オンチップデバッグから ID コードを送信しないでください。または、オンチップデバッグから 0xFF (すべてのバイトが 0xFF) の ID コードを送信してください。

25.5 機能概要

SWD インタフェース経由 (オンチップデバッグモード) で専用フラッシュメモリプログラマを使用して内蔵フラッシュメモリを書き換えることにより、ターゲットシステムへの実装前／実装後にかかわらずデバイスのプログラムが可能です。また、ユーザープログラムの書き換えを禁止するセキュリティ機能により、第三者によるプログラムの改ざんを防止できます。

ユーザープログラムによるプログラミング (セルフプログラミング) は、システムの製造／出荷後の更新が必要なアプリケーションに有効です。フラッシュメモリ領域を安全に書き換えるためのプロテクト機能もサポートしています。また、セルフプログラミング中の割り込み処理もサポートされており、外部通信およびその他の機能を実行している間もプログラミングを継続できます。表 25.13 は、プログラミング方式と関連する動作モードを示しています。

表 25.13 プログラミング方式

プログラミング方式	機能概要	動作モード
セルフプログラミング	メモリに書き込まれたユーザープログラムによっても、フラッシュメモリの書き換えが可能です。	通常動作モード
SWD プログラミング	SWD 経由で接続されている専用フラッシュメモリプログラマまたはオンチップデバッグを用いて、ターゲットシステムへの実装後もフラッシュメモリのオンボード書き換えが可能です。 SWD および専用プログラミングアダプタボードを経由して接続されている専用フラッシュメモリプログラマまたはオンチップデバッグを用いて、ターゲットシステム実装前にフラッシュメモリのオフボード書き換えが可能です。	オンチップデバッグモード

表 25.14 に内蔵フラッシュメモリの機能一覧を示します。セルフプログラミングでは、プログラミングコマンドを使用して内蔵フラッシュメモリの読み出しまたはユーザープログラムの実行を行ってください。

表 25.14 基本機能

機能	機能概要	サポートの有無	
		セルフプログラミング	SWD プログラミング
ブランクチェック	指定したブロックがプログラムされていないことを確認します。	あり	あり
ブロックイレース	指定したブロックのメモリ内容のイレースを行います。	あり	あり
プログラム	指定したアドレスのプログラムを行います。	あり	あり
リード	フラッシュメモリにプログラムしたデータの読み出しを行います。	なし（ユーザープログラムにて読み出しは可能）	なし
ID コードチェック	ホストが送信した ID コードとコードフラッシュメモリに格納されているコードとを比較します。これら 2 つが一致する場合、FCB は待機状態に移移してホストからのプログラミングとイレースコマンドを待ちます。	なし（ID 認証は行わない）	あり
セキュリティ設定	セキュリティ機能の保護を設定します（アクセスウィンドウおよびスタートアップ領域選択）。	あり（条件つき） 「25.8. プロテクション機能」を参照してください	あり（条件つき） 「25.8. プロテクション機能」を参照してください
プロテクション設定	コードフラッシュメモリにおけるフラッシュ領域プロテクションのアクセスウィンドウを設定します。	あり	あり

内蔵フラッシュメモリは ID コードチェック機能をサポートしています。ID コードチェック認証は、シリアルプログラミングと SWD プログラミングで利用できるセキュリティ機能です。表 25.15 に、使用可能な動作とセキュリティ設定を示します。

表 25.15 使用可能な動作とセキュリティ設定

機能	各セキュリティ設定時のイレース／プログラミング／リード動作		セキュリティ設定に関する制限事項
	オンチップデバッグモード	セルフプログラミングモード	
ID 認証	ID が不一致の場合 - ブロックイレースコマンド：使用不可 - プログラミングコマンド：使用不可 - リードコマンド：使用不可 - セキュリティ設定コマンド：使用不可 - プロテクション設定コマンド：使用不可 ID が一致した場合 - ブロックイレースコマンド：使用可能 - プログラミングコマンド：使用可能 - リードコマンド：使用可能 - セキュリティ設定コマンド：使用可能 - プロテクション設定コマンド：使用可能	- ブランクチェック：使用可能 - ブロックイレース：使用可能 - プログラミング：使用可能 - セキュリティ設定：使用可能 - プロテクション設定：使用可能	セルフプログラミングモードでは ID 認証は行わない

25.5.1 コンフィグレーション設定領域ビットマップ

図 25.4 に、ID 認証、スタートアップ領域の選択、アクセスウィンドウプロテクション、セキュリティ設定機能で使用するビットを示します。ブートプログラムは、必ずこれらのビットを 16 進数データとして使用しなければなりません。

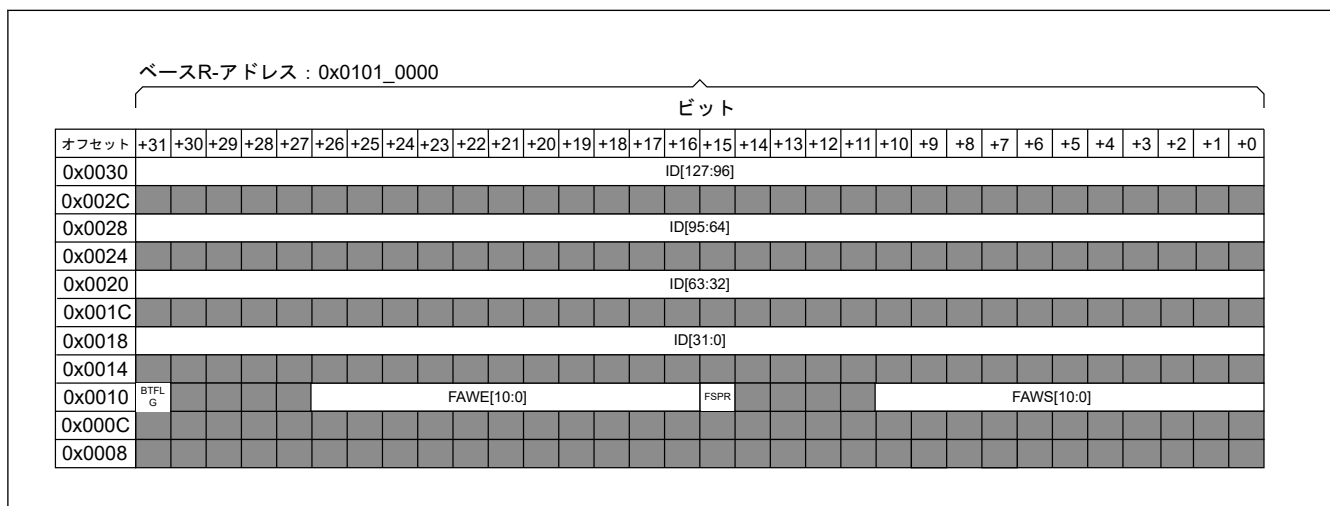


図 25.4 構成領域ビットマップ

25.5.2 スタートアップ領域選択

スタートアップ領域選択機能によって、ブートプログラムの安全な更新が可能になります。スタートアップ領域のサイズは 4 KB で、ユーザー領域に配置されています。FCB は、構成領域スタートアップ領域選択フラグ (AWS.BTFLG) に基づきスタートアップ領域のアドレスを制御します。スタートアップ領域は FSPR ビットでロックすることが可能です。

図 25.5 に、スタートアッププログラムプロテクションの概要を示します。

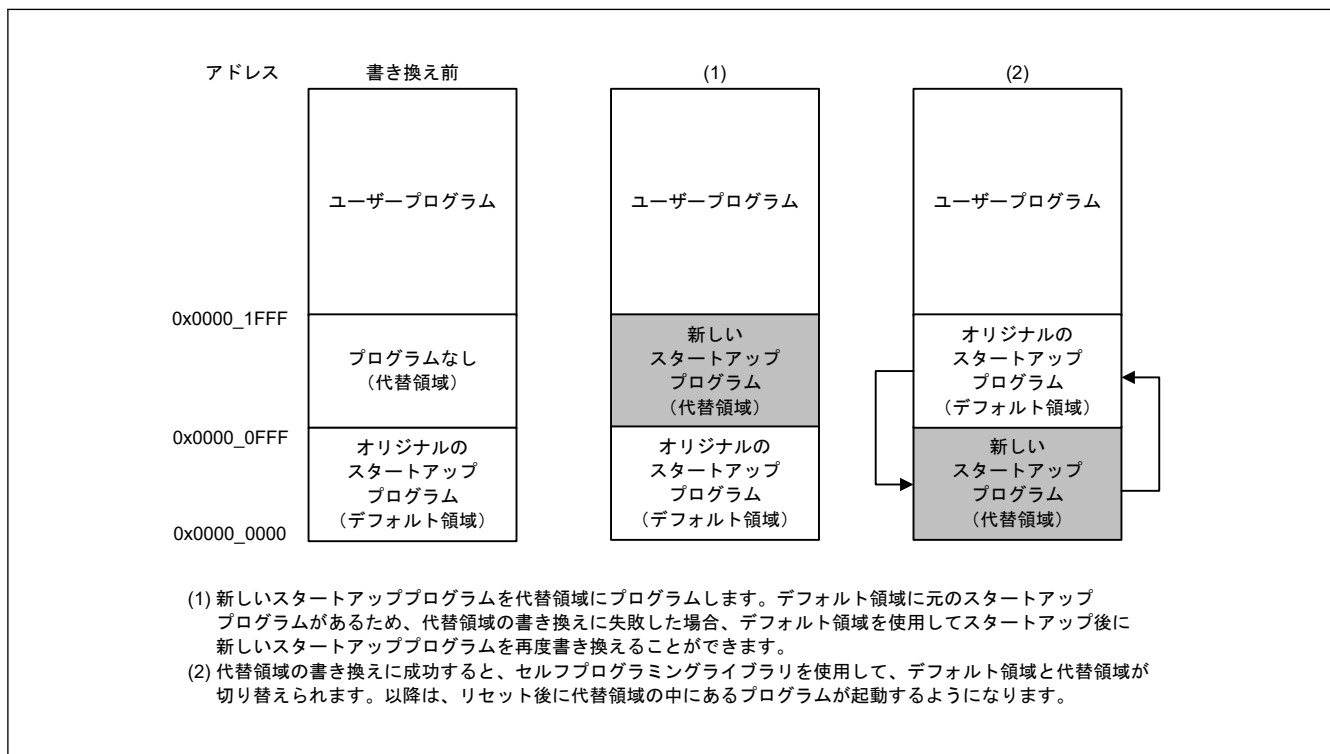


図 25.5 スタートアッププログラムプロテクションの概要

25.5.3 アクセスウィンドウによるプロテクション

アクセスウィンドウの外側にあるフラッシュメモリ領域にプログラムまたはブロックイレースコマンドを発行すると、コマンドロック状態に陥ります。アクセスウィンドウは、コードフラッシュメモリのユーザー領域においてのみ有効です。アクセスウィンドウは、セルフプログラミングモードおよびオンチップデバッグモードにおいて、プロテクション機能を提供します。図 25.6 に、フラッシュ領域プロテクションの概要を示します。

アクセスウィンドウは、FAWS[10:0]ビットおよびFAWE[10:0]ビットの両方で指定されています。「6.2.3. AWS : アクセスウィンドウ設定レジスタ」を参照してください。以下に、各種条件でのFAWE[10:0]ビットおよびFAWS[10:0]ビットの設定を説明します。

- FAWE[10:0] = FAWS[10:0] : P/E コマンドは、コードフラッシュメモリのユーザー領域のどこでも実行できます。
- FAWE[10:0] > FAWS[10:0] : P/E コマンドは、FAWS ビットで指示されたブロックから、FAWE[10:0]ビットで指示されたブロックより 1 つ下のブロックまでのウィンドウにおいてのみ実行できます。
- FAWE[10:0] < FAWS[10:0] : P/E コマンドは、コードフラッシュメモリのユーザー領域のどこでも実行できません。

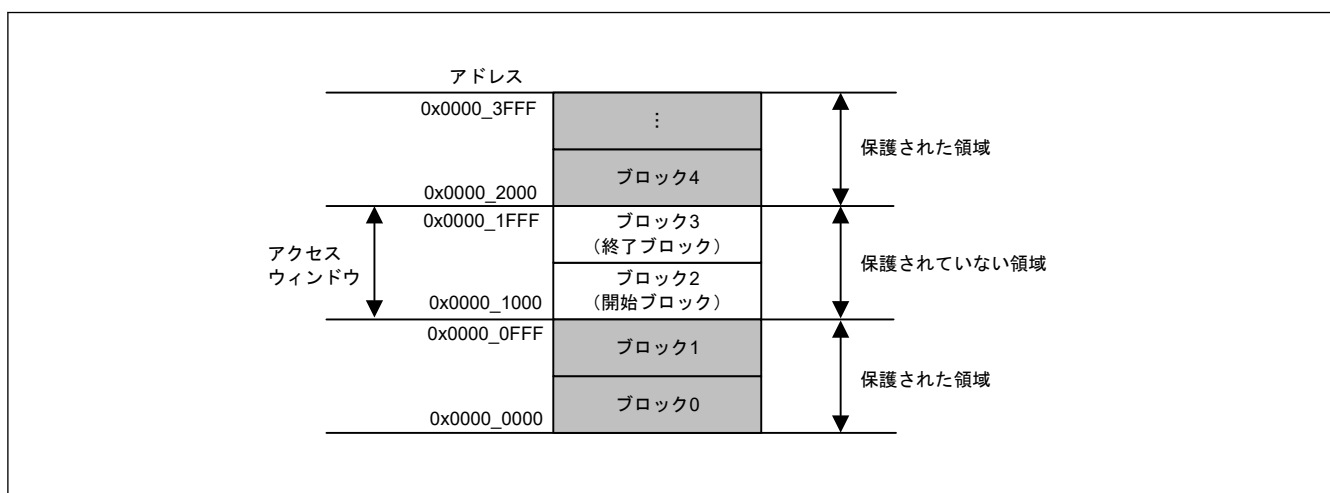


図 25.6 フラッシュ領域プロテクションの概要

25.6 プログラムコマンド

FCB は、プログラムコマンドを制御します。

25.7 サスペンド動作

強制停止コマンドは、ブランクチェックコマンドまたはブロックイレースコマンドを強制的に停止します。強制停止が実行されると、停止されたアドレスの値はレジスタに格納されます。これらの格納されたアドレス値をコピーすることにより、コマンド実行用レジスタをリセットした後、停止アドレスからコマンドを再開できます。

25.8 プロテクション機能

以下の種類のプロテクションが提供されています。

- スタートアッププログラムプロテクション
- 領域プロテクション

25.8.1 スタートアッププログラムプロテクション

一時的な停電によってスタートアップ領域のプログラムが中断した場合、スタートアッププログラムが正常にプログラムされず、ユーザープログラムが正常に起動しないことがあります。

スタートアッププログラムプロテクションにより、既存のスタートアッププログラムを消去せずにスタートアッププログラムを書き込むことで、この問題を回避できます。

図 25.7 に、スタートアッププログラムプロテクションの概要を示します。この図では、開始アドレスから 4 KB の領域がデフォルト領域、それに続く 4 KB の領域が代替領域を示しています。

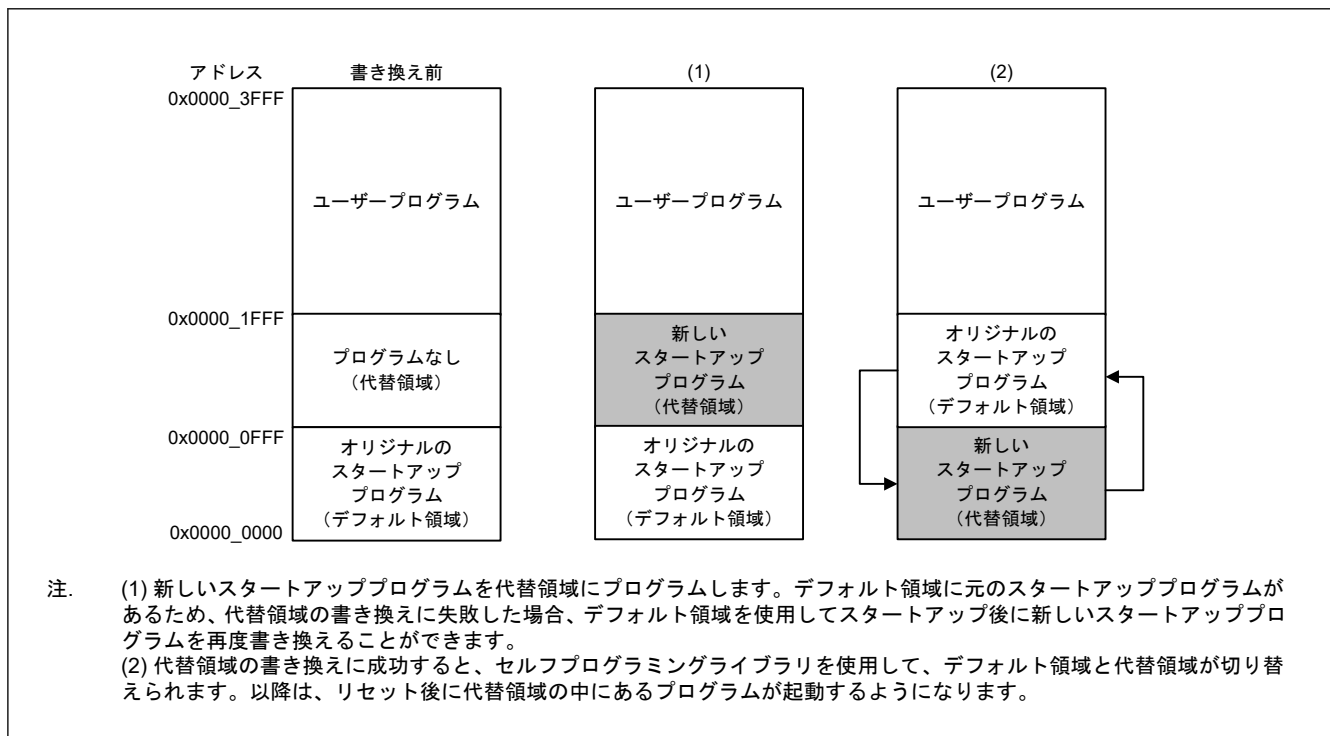


図 25.7 スタートアッププログラムプロテクションの概要

25.8.2 領域プロテクション

領域プロテクションは、ユーザー領域の選択したブロックのみ（アクセスウィンドウ）の書き換えを許可し、他のブロックのプログラミングを禁止します。

開始ブロックと終了ブロックを選択し、アクセスウィンドウを設定します。アクセスウィンドウは、プログラミングモード（セルフプログラミングモードと OCD モード）において変更可能かつ有効です。

図 25.8 に領域プロテクションの概要を示します。

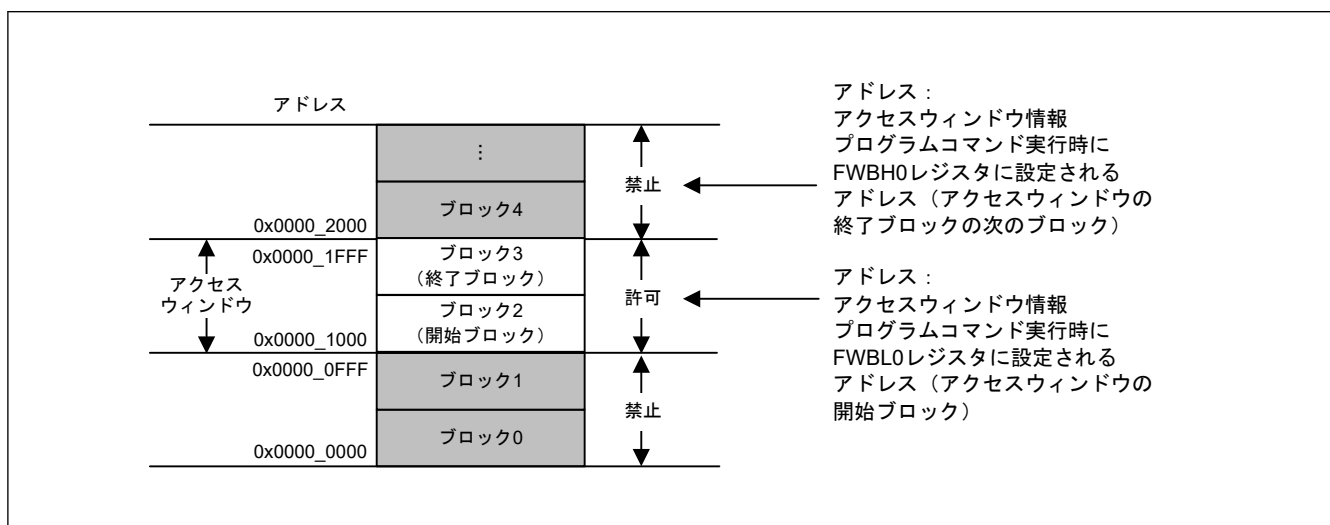


図 25.8 領域プロテクションの概要

25.9 セルフプログラミング

25.9.1 概要

本 MCU は、ユーザープログラムによるフラッシュメモリの書き換えをサポートします。プログラムコマンドをユーザーのプログラムで使用することにより、コードフラッシュメモリを書き換えることができます。したがって、ユーザープログラムの更新と、定数データフィールドの書き換えが可能になります。

セルフプログラミングでは、プログラム電圧とイレース電圧を生成するために安定した HOCO クロックをフラッシュメモリに供給する必要があります。したがって、システムクロックとして他のクロックソースが選択されて HOCO が停止していた場合、セルフプログラミングの実行を開始する前に、HOCO の動作を開始して発振が安定状態であることを確認する必要があります。HOCO クロック発振安定確認の詳細は、「[8.2.5. OSCSF : 発振安定フラグレジスタ](#)」を参照してください。

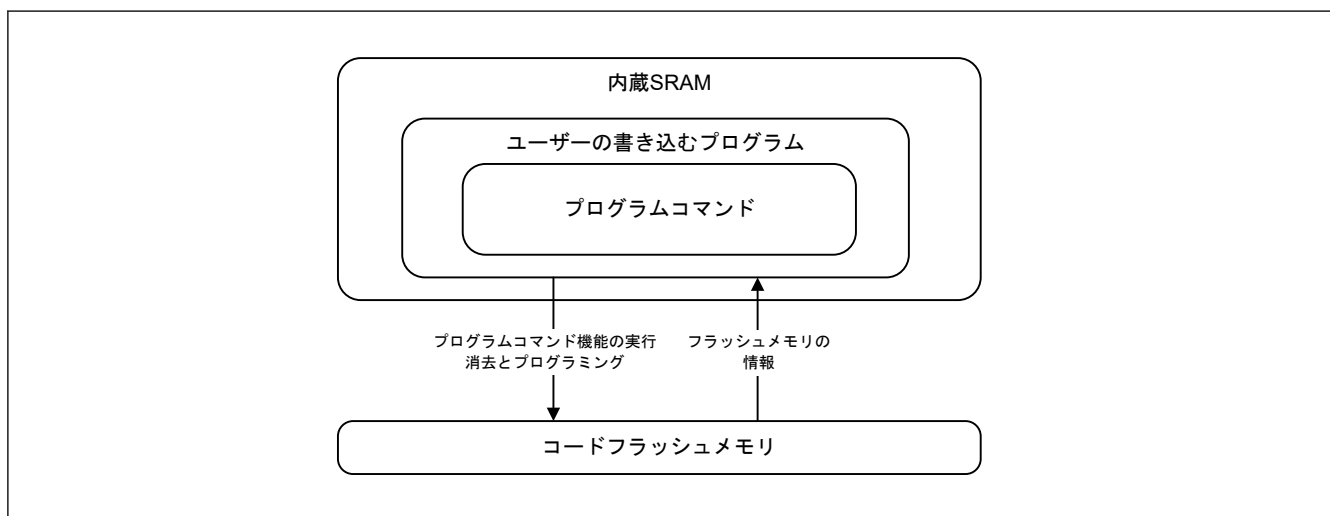


図 25.9 セルフプログラミングの概念

25.10 プログラムとイレース

コードフラッシュのプログラムとイレースは、プログラムおよびイレース用専用シーケンサのモードを変更するか、プログラムおよびイレース用のコマンドを発行することによって行えます。

コードフラッシュのプログラムまたはイレースに必要なモード遷移とコマンドについて、この後の各項で説明します。以下の説明は、シングルチップモードに共通して適用されます。

25.10.1 シーケンサモード

シーケンサには2つのモードがあります。モード間の遷移はFPMCR レジスタを設定するコマンドの発行によって発生します。[図 25.10](#)にフラッシュメモリのモード遷移を示します。

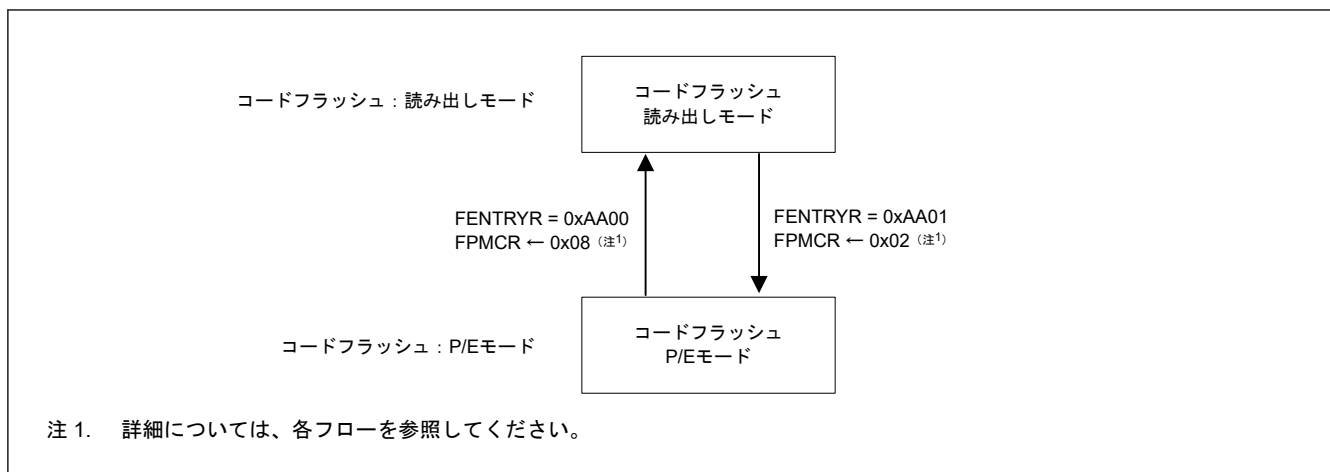


図 25.10 フラッシュメモリのモード遷移

25.10.1.1 リードモード

リードモードは、コードフラッシュの高速読み出しに使用します。

(1) コードフラッシュ読み出しモード

このモードは、コードフラッシュの読み出しに使用されます。FENTRYR.FENTRY0 ビットが 0 のとき、シーケンサはこのモードに遷移します。

25.10.1.2 P/E モード

(1) コードフラッシュ P/E モード

コードフラッシュ P/E モードは、コードフラッシュのプログラムとイレースに使用されます。FENTRYR.FENTRY0 ビットが 1 のとき、シーケンサはこのモードに遷移します。

25.10.2 ソフトウェアコマンド

ソフトウェアコマンドは、プログラムとイレースのためのコマンドと、スタートアッププログラム領域情報およびアクセスウィンドウ情報をプログラムするためのコマンドで構成されます。表 25.16 にフラッシュメモリで利用できるソフトウェアコマンドの一覧を示します。

表 25.16 ソフトウェアコマンド

コマンド	機能
プログラム	コードフラッシュプログラミング (4 バイト)
ブロックイレース	コードフラッシュのイレース
ブランクチェック	指定された領域がブランクであるかどうかをチェックします。 領域にデータがプログラムされていないことを確認します。このコマンドは、領域が消去されたままであることを保証するものではありません。
スタートアップ領域情報およびセキュリティプログラム	FSPR または SASMF をエクストラ領域に設定します。
アクセスウィンドウ情報プログラム	領域プロテクションに使用されるアクセスウィンドウをエクストラ領域に設定します。
OCDID プログラム	OCDID をエクストラ領域に設定します。

25.10.3 ソフトウェアコマンドの使用方法

以下の各項では、各ソフトウェアコマンドの使用方法について説明します。

(1) コードフラッシュ P/E モードへの切り替え

コードフラッシュのソフトウェアコマンドを実行する前に、FENTRYR レジスタの FENTRY0 ビットを設定して、コードフラッシュ P/E モードに遷移する必要があります。図 25.11 に、コードフラッシュ P/E モードに遷移する手順を示します。

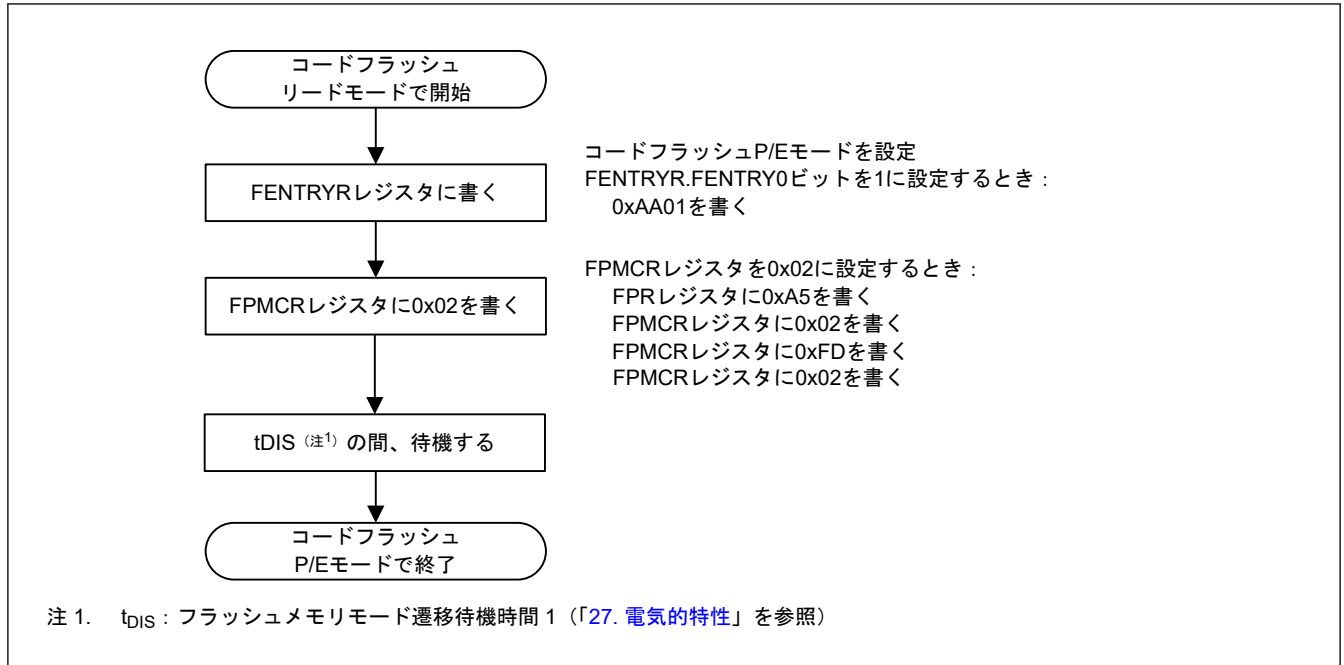


図 25.11 リードモードからコードフラッシュ P/E モードへの変更手順

(2) コードフラッシュ P/E モードからリードモードへの切り替え

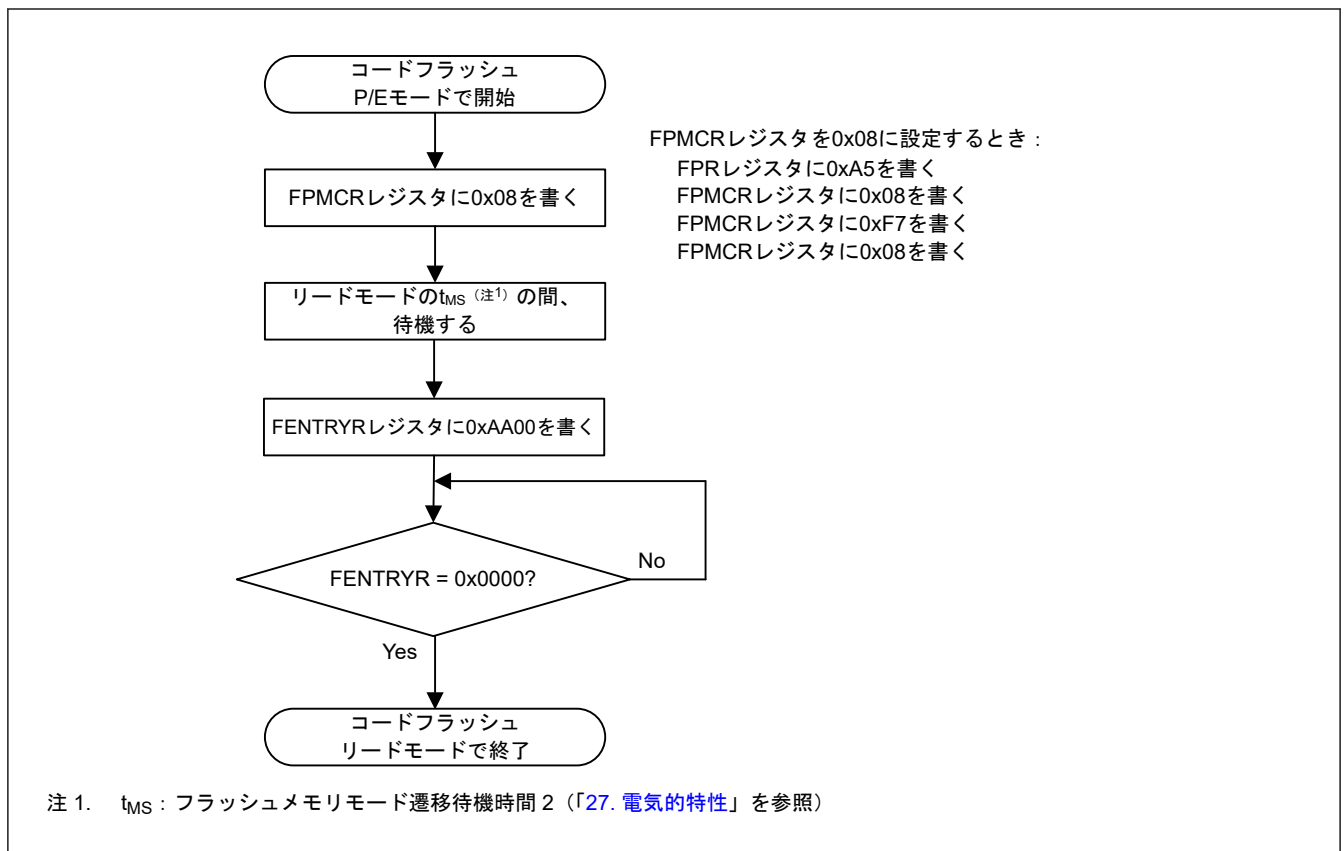


図 25.12 コードフラッシュ P/E モードからリードモードへの変更手順

(3) コードフラッシュをプログラムするフローチャート

以下の図は、コードフラッシュをプログラムするフローを示します。

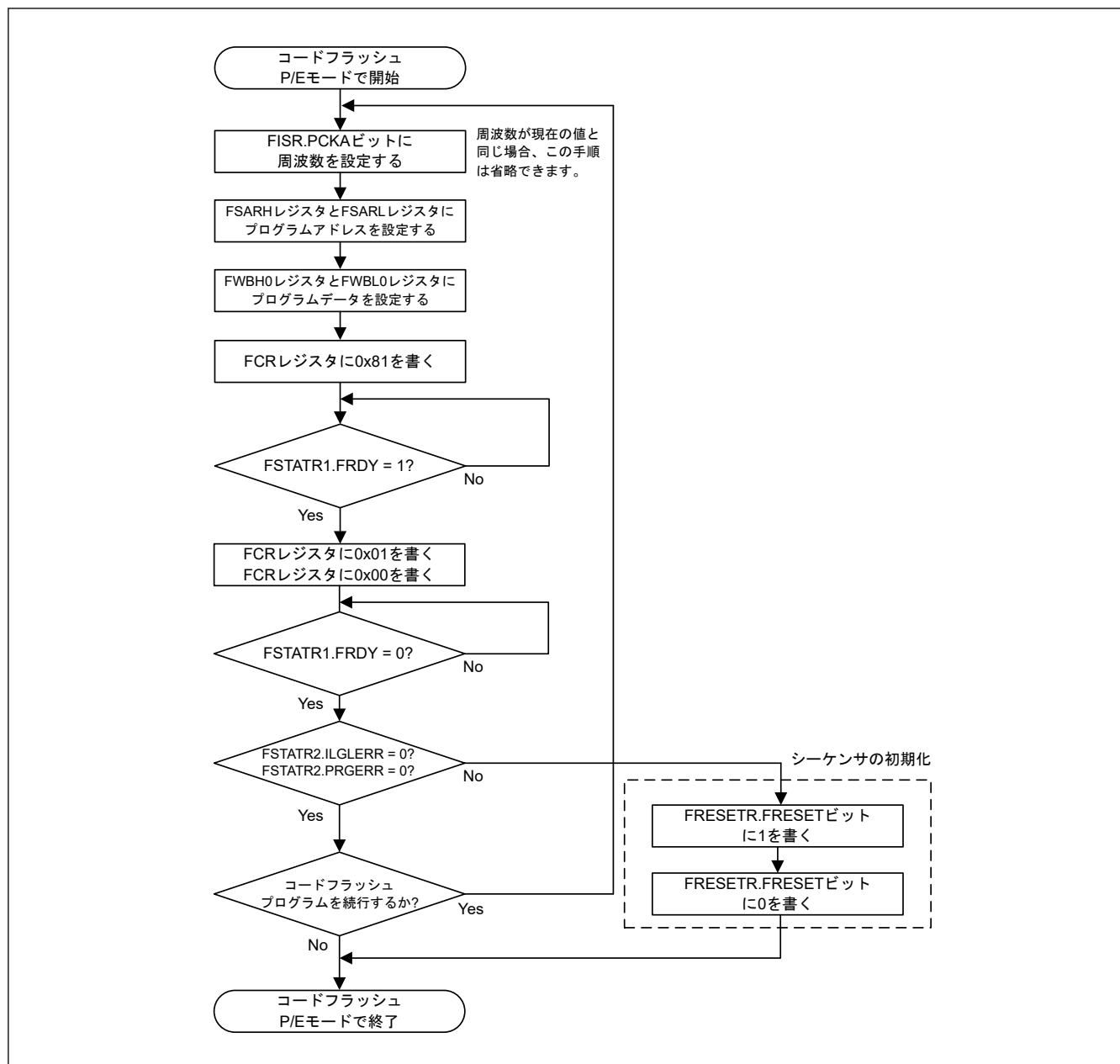


図 25.13 コードフラッシュのプログラム時のフローチャート

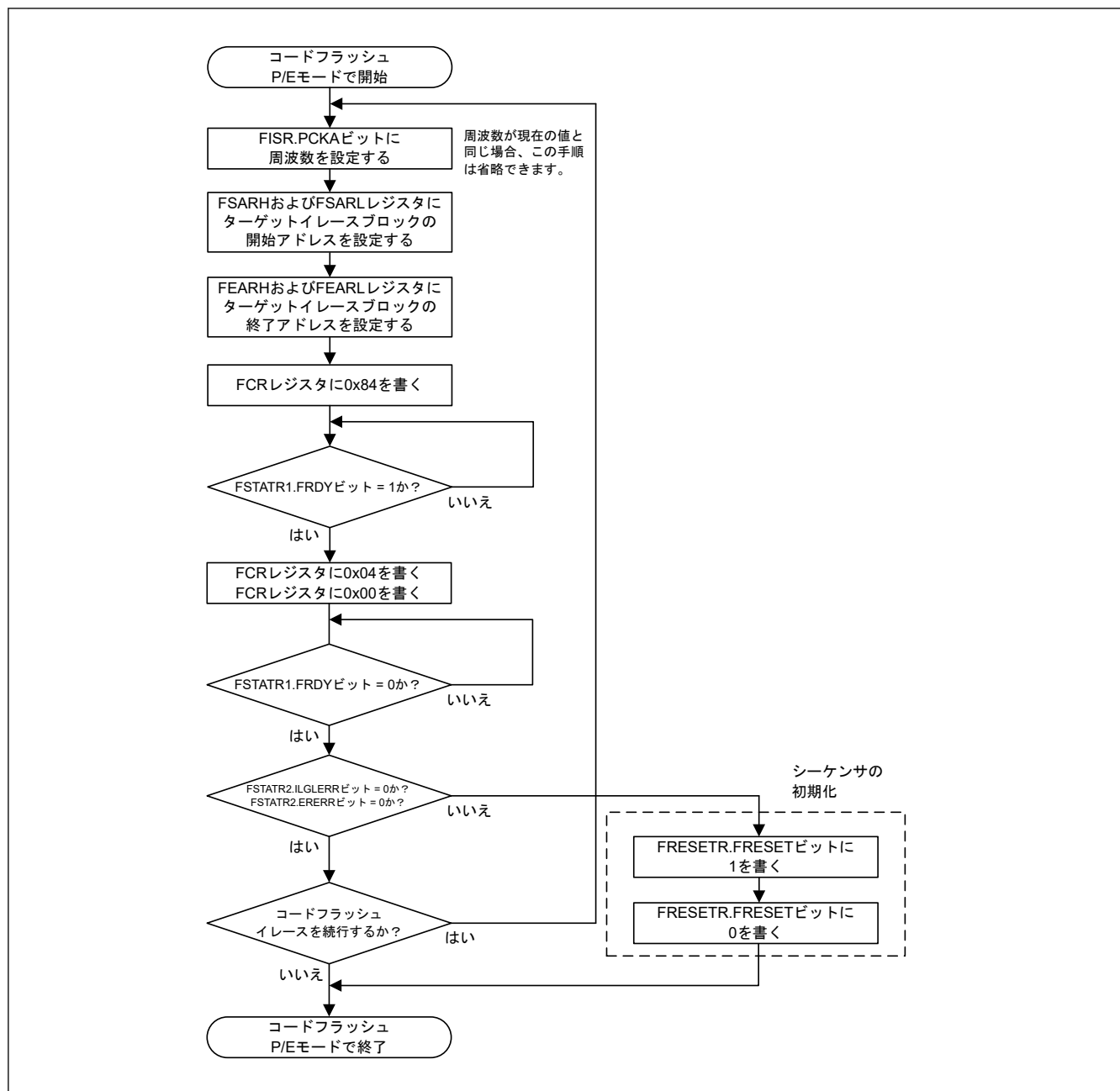


図 25.14 コードフラッシュブロックイレース手順のフローチャート

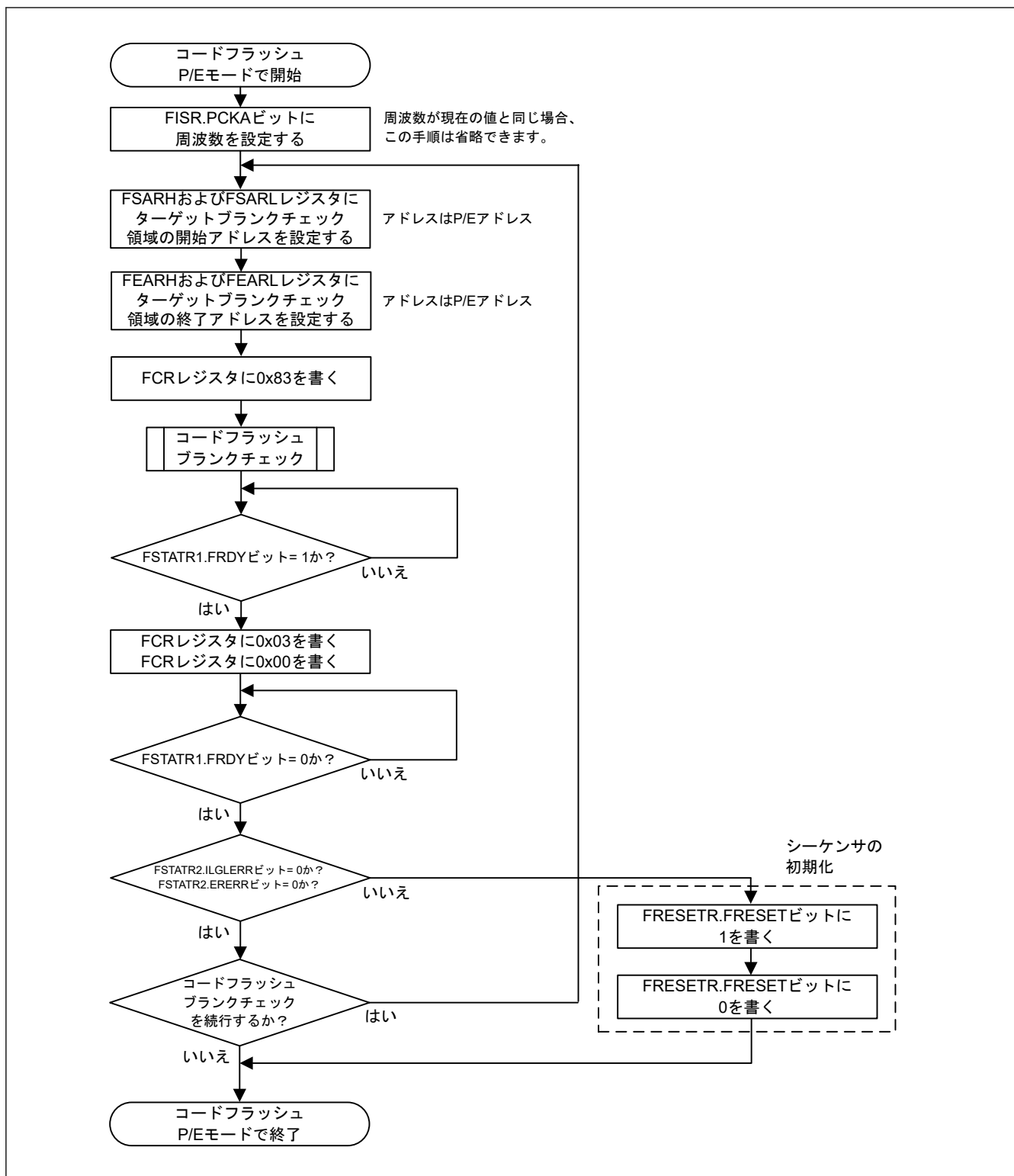


図 25.15 コードフラッシュブランクチェック手順のフローチャート

(4) スタートアップ領域情報および FSPR プログラム/アクセスウィンドウ情報プログラム/OCDID 情報プログラム

図 25.16 は、スタートアップ領域情報および FSPR プログラム/アクセスウィンドウ情報プログラム/OCDID 情報プログラムの手順を示す簡易フローチャートです。

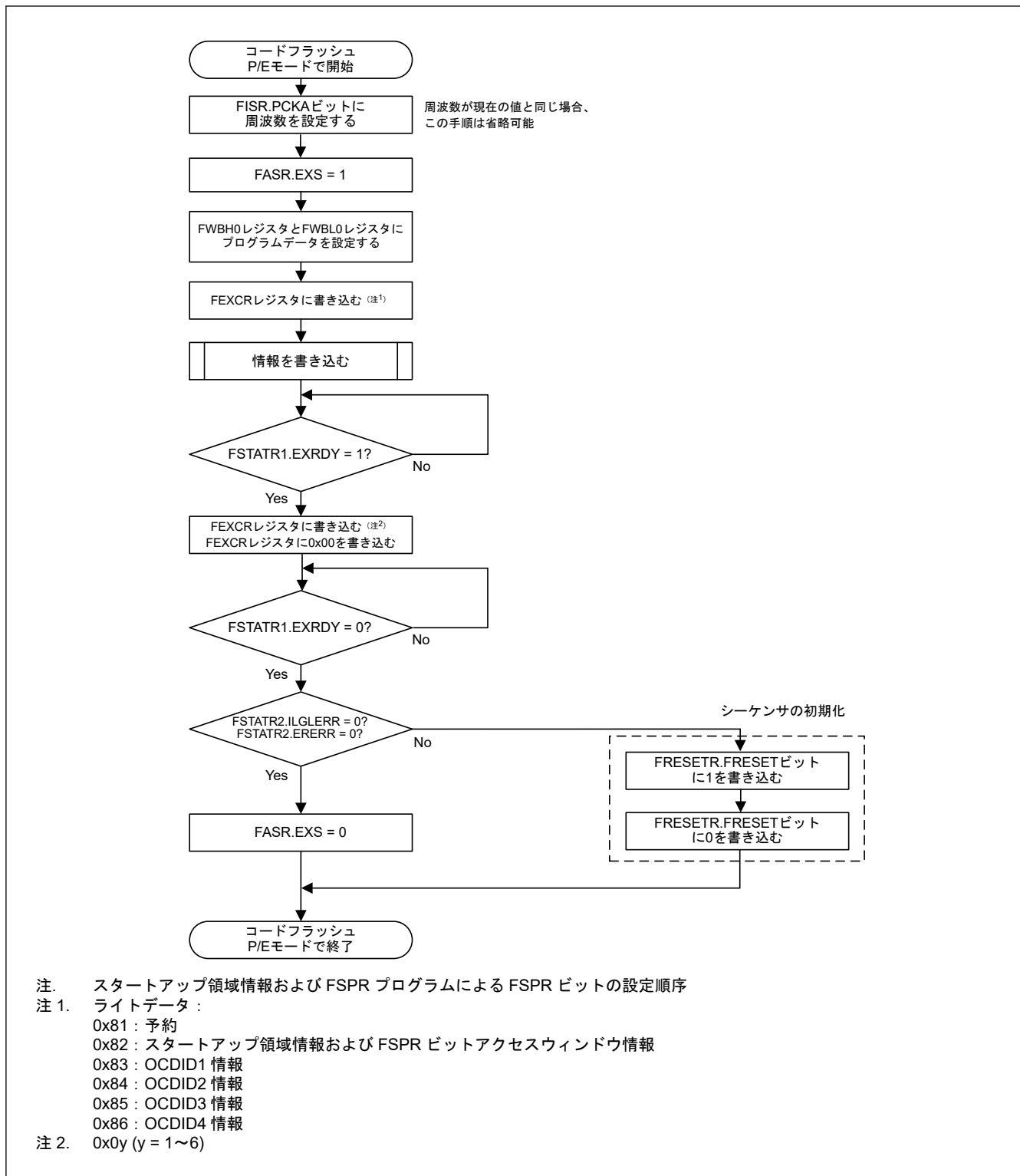


図 25.16 スタートアップ領域情報および FSPR プログラム/アクセスウィンドウ情報プログラム/OCDID 情報プログラムの手順を示す簡易フローチャート

FSPR ビットの設定は、スタートアップ領域情報とアクセスウィンドウ情報をプログラムしてから行ってください。先に FSPR ビットを設定した場合、FSPR のセキュリティ機能によって、スタートアップ領域情報とアクセスウィンドウ情報をプログラムすることができなくなります。ヘキサファイルを使用してプログラムする場合、プログラムはアドレスの昇順になります。この場合、アクセスウィンドウ情報の前に FSPR ビットが書き込まれます。そのため、FSPR のヘキサファイルを別のファイルに分割し、アクセスウィンドウ情報を設定した後にそのファイルを使用してください。

(5) ソフトウェアコマンドによる強制停止

図 25.17 は、ブランクチェックコマンドまたはブロックイレースを強制的に停止する、強制停止手順の簡易フローチャートを示しています。強制停止コマンドを実行すると、FEAMH/FEAML レジスタに停止されたアドレス値が格納されます。ブランクチェックコマンドの場合、FEAMH/FEAML レジスタの値を FSARH/FSARL レジスタにそれぞれコピーすることで、停止されたアドレスからブランクチェックを再開できます。

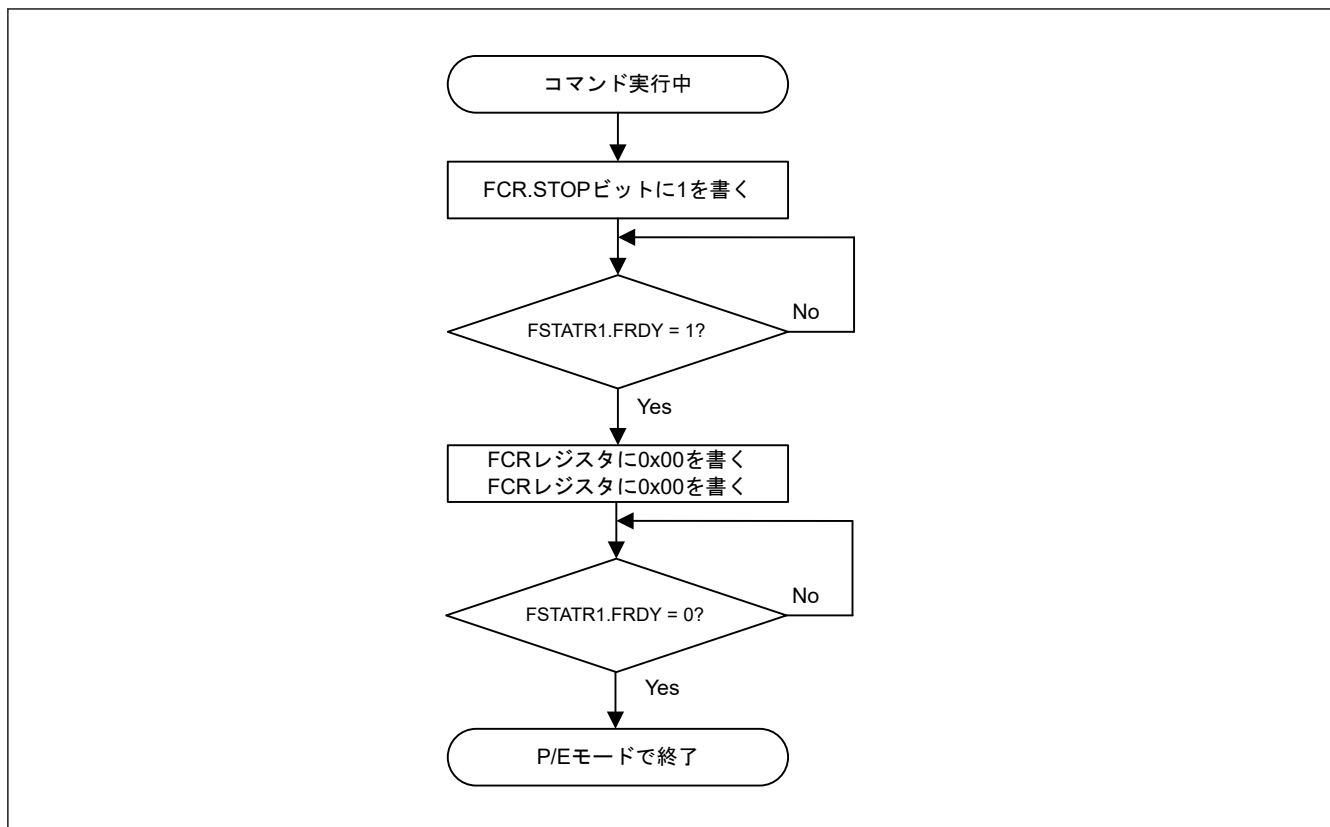


図 25.17 強制停止手順の簡易フローチャート

25.11 フラッシュメモリの読み出し

25.11.1 コードフラッシュメモリの読み出し

通常モードでコードフラッシュメモリを読み出すのに、特別な設定は必要ありません。コードフラッシュメモリのアドレスにアクセスすることで、データを読み出すことが可能です。イレース後に再プログラミングしていない（未プログラム状態の）コードフラッシュメモリを読み出すと、全ビットから 1 が読み出されます。

25.12 使用上の注意事項

25.12.1 イレースを中断した領域

イレース動作を中断した領域のデータは不定です。不定データの読み出しによる誤動作を回避するためには、イレース動作を中断した領域でコマンドやデータリードを実行しないでください。

25.12.2 追加の書き込みに関する制限

構成領域を除き、同一領域に 2 回以上の書き込みを行うことはできません。フラッシュメモリ領域への書き込みが完了したら、その領域の書き換えを行う前にイレースしてください。構成領域は上書き可能です。

25.12.3 プログラム／イレース中のリセット

RES 端子からリセットを入力する場合、 t_{RESW} 以上のリセット入力時間が経過してからリセットを解除してください。「[27.4.1. リセットタイミング](#)」を参照してください。タイミングのリセットは、電気的特性で定義された動作電圧の範囲内で行ってください。

IWDT リセットおよびソフトウェアリセットでは、 t_{RESW} 入力時間は必要ありません。

25.12.4 プログラム／イレース中に禁止されるノンマスカブル割り込み

プログラムまたはイレース中にノンマスカブル割り込み(注1)が発生すると、コードフラッシュメモリからベクタがフェッチされ、不定データが読み出されます。そのため、コードフラッシュメモリのプログラムおよびイレース中に、ノンマスカブル割り込みを発生させないでください。この制限はコードフラッシュメモリに限り適用されます。

注 1. ノンマスカブル割り込みは、NMI 端子割り込み、IWDT のアンダーフローまたはリフレッシュエラー、および電圧監視割り込みです。

25.12.5 プログラム／イレース中における割り込みベクタの配置

デフォルト設定として、プログラムおよびイレース中に割り込みが発生すると、コードフラッシュメモリからベクタをフェッチできます。コードフラッシュメモリからベクタをフェッチしないようにするには、割り込み表でコードフラッシュメモリ以外の領域を割り込みベクタのフェッチ先に指定してください。

25.12.6 Subosc-speed 動作モードでのプログラム／イレース

消費電力低減機能のために ICLKSCR レジスタで Subosc-speed 動作モードが選択されている場合、フラッシュメモリのプログラム／イレースは実行しないでください。

25.12.7 プログラム／イレース中の異常終了

プログラムおよびイレース中に電圧が動作電圧範囲を超えた場合、またはリセットや「[25.12.8. プログラム／イレース中に禁止されているアクション](#)」に記載の禁止動作が原因でプログラム／イレース動作が正常に終了しなかった場合、その領域を再度イレースしてください。

25.12.8 プログラム／イレース中に禁止されているアクション

フラッシュメモリの損傷を防ぐため、プログラム／イレース中は以下の指示に従ってください。

- 動作電圧範囲外の MCU 電源を使用しない
- FLMODE.MODE[1:0] ビット値を更新しない
- ICLKSCR.CKSEL ビット値を更新しない
- システムクロック (ICLK) の分周比を変更しない
- MCU をソフトウェアスタンバイモードにしない

25.12.9 プログラム／イレース中の Flash-IF クロック (ICLK)

セルフプログラミングによるプログラム／イレースでは、フラッシュ初期設定レジスタ (FISR) を設定することで整数の周波数を指定する必要があります。

26. 内部電圧レギュレータ

26.1 概要

本 MCU は 1 つの内部電圧レギュレータを内蔵しています。

- リニアレギュレータ (LDO)

このレギュレータは、I/O およびアナログドメイン以外のすべての内部回路およびメモリに電圧を供給します。

26.2 動作説明

表 26.1 に LDO の端子設定を、図 26.1 に LDO の設定を示します。

表 26.1 LDO 端子

端子	設定内容
VCC 端子	● VCC 端子をシステムの電源に接続してください。 ● VCC 端子を 0.1 μF の積層セラミックコンデンサを介して VSS 端子に接続してください。コンデンサは端子付近に配置してください。
VCL 端子	端子を 0.47 μF ~ 1 μF の積層セラミックコンデンサを介して VSS 端子に接続してください。コンデンサは端子付近に配置してください。

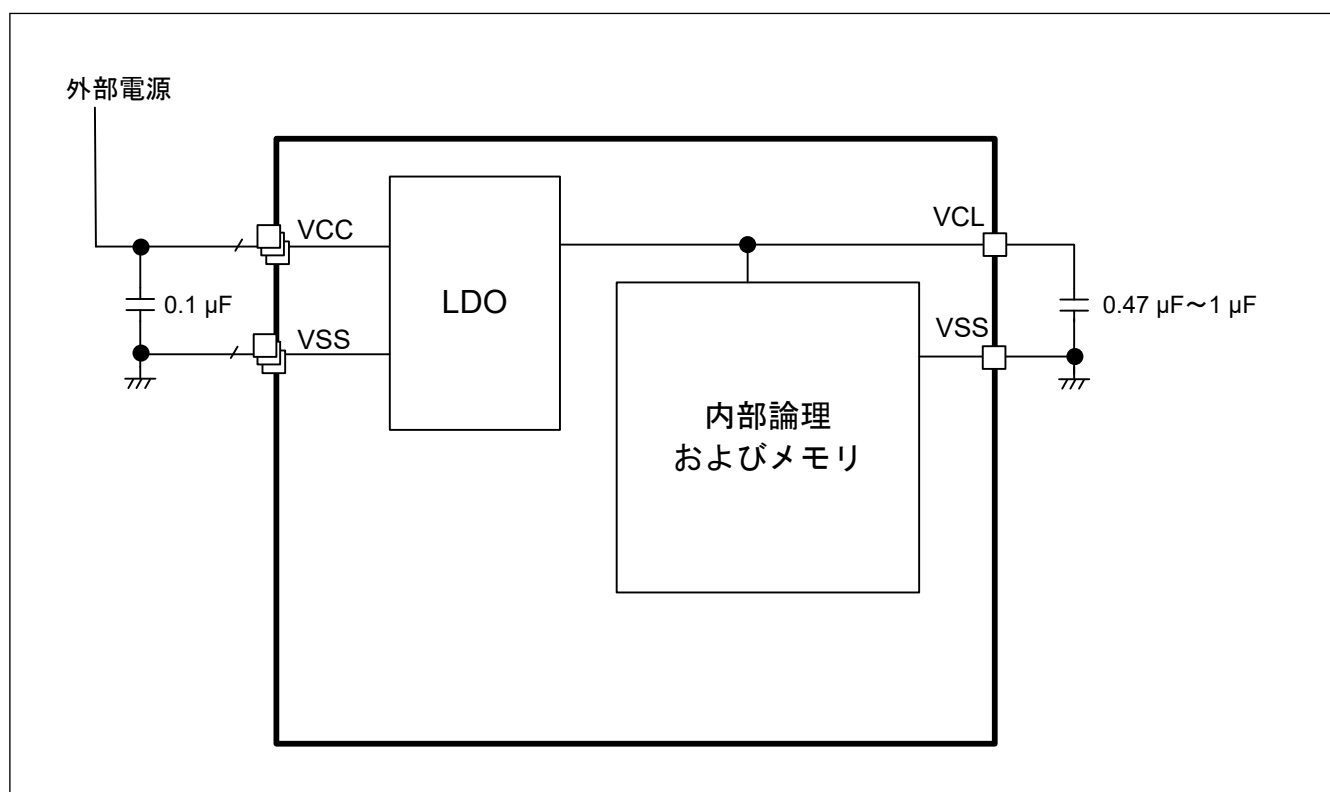


図 26.1 LDO の設定

27. 電気的特性

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

$V_{CC}(\text{注1}) = V_{REFH0} = 1.6 \sim 5.5 \text{ V}$

$V_{SS} = V_{REFL0} = 0 \text{ V}$, $T_a = T_{opr}$

注 1. 通常は $V_{CC} = 3.3 \text{ V}$ に設定されています。

図 27.1 は、タイミング条件を示しています。

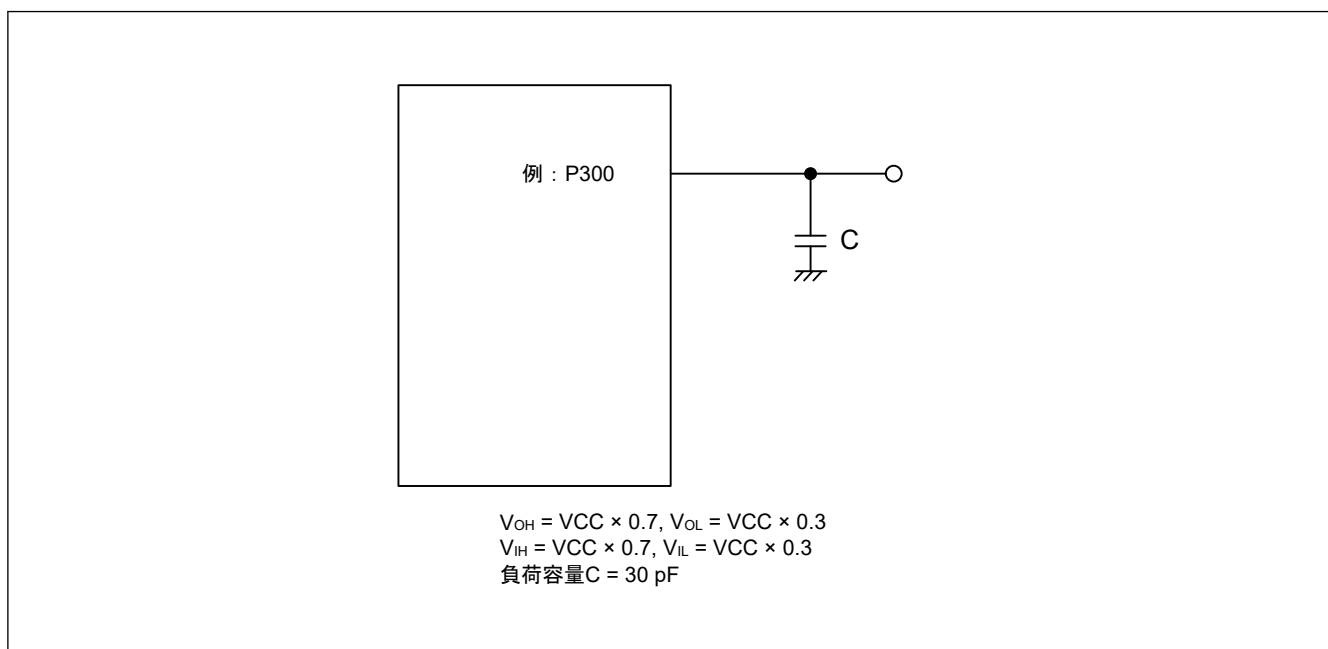


図 27.1 入出力タイミング計測条件

27.1 絶対最大定格

表 27.1 絶対最大定格 (1/2)

項目			シンボル	値	単位
電源電圧			V_{CC}	$-0.5 \sim +6.5$	V
VCL 端子入力電圧			V_{IVCL}	$-0.3 \sim +2.1$ および $-0.3 \sim V_{CC} + 0.3(\text{注1})$	V
入力電圧	P100~P102, P108~P110, P112, P200, P201, P206, P300		V_{I1}	$-0.3 \sim V_{CC} + 0.3(\text{注2})$	V
	P010~P013, P212, P213		V_{I2}	$-0.3 \sim V_{CC} + 0.3(\text{注2})$	V
出力電圧	P100~P102, P108~P110, P112, P201, P206, P300		V_{O1}	$-0.3 \sim V_{CC} + 0.3(\text{注2})$	V
	P010~P013, P212, P213		V_{O2}	$-0.3 \sim V_{CC} + 0.3(\text{注2})$	V
アナログ入力電圧	AN000, AN001, AN004, AN005		V_{AI1}	$-0.3 \sim V_{CC} + 0.3$ および $-0.3 \sim V_{REFH0} + 0.3(\text{注2})(\text{注3})$	V
	AN021, AN022		V_{AI2}	$-0.3 \sim V_{CC} + 0.3$ および $-0.3 \sim V_{REFH0} + 0.3(\text{注2})(\text{注3})$	V
High レベル出力電流	P100~P102, P108~P110, P112, P201, P206, P300	端子ごと	I_{OH1}	-40	mA
		全端子の合計		-100	mA
	P010~P013, P212, P213	端子ごと	I_{OH2}	-5	mA
		全端子の合計		-20	mA

表 27.1 絶対最大定格 (2/2)

項目			シンボル	値	単位
Low レベル出力電流	P100～P102, P108～P110, P112, P201, P206, P300	端子ごと	I _{OL1}	40	mA
		全端子の合計		100	mA
	P010～P013, P212, P213	端子ごと	I _{OL2}	10	mA
		全端子の合計		20	mA
動作温度	通常動作モード		Ta	-40～+125	℃
	フラッシュメモリプログラミングモード			-40～+125	℃
保存温度			Tstg	-65～+150	℃

注 1. コンデンサ (0.47~1 μ F) を介して VCL 端子を VSS 端子に接続してください。表に記載された値は、VCL 端子の絶対最大定格です。コンデンサ接続のみを使用してください。この端子には特定の電圧を印加しないでください。

注 2. この電圧は 6.5 V 以下にしてください。

注 3. A/D 変換に使用する端子の電圧は、VREFH0 + 0.3 を超えないでください。

注. 特に指定のない限り、兼用端子の特性はポート端子の特性と同じです。

注. VREFH0 は A/D コンバータの正の基準電圧を参照します。

注. 基準電圧は VSS です。

【使用上の注意】 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で、製品をご使用ください。

表 27.2 推奨動作条件

項目	シンボル		Min	Typ	Max	単位
電源電圧	VCC		1.6	—	5.5	V
	VSS		—	0	—	V
アナログ電源電圧	VREFH0	ADC10 基準として使用時	1.6	—	VCC	V
	VREFL0		—	0	—	V

27.1.1 T_j/T_a の定義

表 27.3 T_j/T_a の定義

条件：動作温度が $T_a = -40 \sim +125$ °C の製品

項目	シンボル	Typ	Max	単位	測定条件
許容ジャンクション温度	T_j	—	140 ^(注1)	°C	High-speed モード Middle-speed モード Low-speed モード Subosc-speed モード

注 1. 動作温度の上限は 125 °C です。

注. $T_j = T_a + \theta_{ja} \times \text{総消費電力 (W)}$ となるようにしてください。このとき、総消費電力 = $(V_{CC} - V_{OH}) \times \Sigma I_{OH} + V_{OL} \times \Sigma I_{OL} + I_{CCmax} \times V_{CC}$ です。

27.2 オシレータ特性

27.2.1 オンチップオシレータ特性

表 27.4 オンチップオシレータ特性 (1/2)

条件：VCC = 1.6~5.5 V, VSS = 0 V, $T_a = -40 \sim +125$ °C

項目	シンボル	Min	Typ	Max	単位	測定条件
高速オンチップオシレータクロック周波数	f_{HOCO}	1	—	32	MHz	—

表 27.4 オンチップオシレータ特性 (2/2)

条件 : VCC = 1.6~5.5 V, VSS = 0 V, Ta = -40~+125°C

項目		シンボル	Min	Typ	Max	単位	測定条件
高速オンチップオシレータクロック周波数精度	OSCSF.HOCOSF = 1	—	-1.0	—	+1.0	%	Ta = -40~+125°C, 1.6 V ≤ VCC ≤ 5.5 V
高速オンチップオシレータクロック周波数トリミング分解能		—	—	0.05	—	%	—
高速オンチップオシレータクロック発振安定時間 (注3)		t _{HOCO}	—	—	4.4	μs	—
低速オンチップオシレータクロック周波数 (注1)		f _{LOCO}	—	32.768	—	kHz	—
低速オンチップオシレータクロック周波数精度		—	-15	—	15	%	—
低速オンチップオシレータクロック周波数トリミング分解能		—	—	0.3	—	%	—
低速オンチップオシレータクロック発振安定時間		t _{LOCO}	—	—	100	μs	—
低速オンチップオシレータ周波数温度係数		—	—	—	±0.21 (注2)	%/°C	—

注 1. この表に記載された値は、オシレータ特性のみを示しています。命令実行時間は、AC 特性を参照してください。

注 2. これらの値は特性評価の結果であり、出荷時はチェックされません。

注 3. OSCSF.HOCOSF を確認して、安定時間が経過したかを確認してください。

27.3 DC 特性

27.3.1 端子特性

表 27.5 I/O I_{OH}

条件 : VCC = 1.6~5.5 V, VSS = 0 V, Ta = -40~+125 °C

項目		シンボル	Min	Typ	Max	単位	測定条件
許容 High レベル出力電流 (注1)	P100~P102, P108~P110, P112, P201, P206, P300 の端子ごと	I _{OH1}	—	—	-10 (注2)	mA	1.6 V ≤ VCC ≤ 5.5 V
	全端子の合計 (デューティ比 ≤ 70% の場合 (注3))	—	—	—	-80 (注4)	mA	4.0 V ≤ VCC ≤ 5.5 V
		—	—	—	-19	mA	2.7 V ≤ VCC < 4.0 V
		—	—	—	-10	mA	1.8 V ≤ VCC < 2.7 V
		—	—	—	-5	mA	1.6 V ≤ VCC < 1.8 V
		—	—	—	-5	mA	1.6 V ≤ VCC < 1.8 V
	P010~P013, P212, P213 の端子ごと	I _{OH2}	—	—	-3 (注2)	mA	4.0 V ≤ VCC ≤ 5.5 V
	全端子の合計 (デューティ比 ≤ 70% の場合 (注3))	—	—	—	-1 (注2)	mA	2.7 V ≤ VCC < 4.0 V
		—	—	—	-1 (注2)	mA	1.8 V ≤ VCC < 2.7 V
		—	—	—	-0.5 (注2)	mA	1.6 V ≤ VCC < 1.8 V
		—	—	—	-0.5 (注2)	mA	1.6 V ≤ VCC < 1.8 V
		—	—	—	-20	mA	4.0 V ≤ VCC ≤ 5.5 V
		—	—	—	-10	mA	2.7 V ≤ VCC < 4.0 V
		—	—	—	-5	mA	1.8 V ≤ VCC < 2.7 V
		—	—	—	-5	mA	1.6 V ≤ VCC < 1.8 V

注 1. 電流が VCC 端子から出力端子まで流れていても、デバイスの動作は表に記載された電流値で保証されます。

注 2. これらの端子と他の端子の組み合わせにおいても、全電流の最大値を超えてはいけません。

注 3. デューティ比が 70% 以下の場合、表に記載された電流値が適用されます。デューティ比が 70% より大きい場合は (n はデューティ比)、出力電流値を算出するために、以下の式を使用してください。

- 表に記載された端子からの合計出力電流値 = (I_{OH} × 0.7) / (n × 0.01)

例 : n = 80% で、I_{OH} = -10.0 mA のとき、

表に記載された端子からの合計出力電流値 = (-10.0 × 0.7) / (80 × 0.01) = -8.75 mA

デューティ比は 1 つの端子に流入可能な電流に影響を与えないことに注意してください。絶対最大定格より大きい電流を 1 つの端子に流してはいけません。

注 4. 動作温度範囲 85 °C~125 °C で、最大値は -50 mA です。

注. 以下の端子は、N チャネルオープンドレインモードで High レベル信号を出力できません。
P100~P102, P108~P110, P112, P201, P212, P213, P300

注. ある端子の多重化された機能の特性は、他に指定がなければ、ポート端子の特性と同じです。

表 27.6 I/O I_{OL}

条件 : $V_{CC} = 1.6 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim +125 \text{ }^{\circ}\text{C}$

項目		シンボル	Min	Typ	Max	単位	測定条件
許容 Low レベル出力電流 (注1)	P100~P102, P108~ P110, P112, P201, P206, P300 の端子ごと	I_{OL1}	—	—	20(注2)	mA	—
	全端子の合計 (デューティ比 $\leq 70\%$ の場合(注3))	I_{OL1}	—	—	80(注4)	mA	$4.0 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$
			—	—	35	mA	$2.7 \text{ V} \leq V_{CC} < 4.0 \text{ V}$
			—	—	20	mA	$1.8 \text{ V} \leq V_{CC} < 2.7 \text{ V}$
			—	—	10	mA	$1.6 \text{ V} \leq V_{CC} < 1.8 \text{ V}$
	P010~P013, P212, P213 の端子ごと	I_{OL2}	—	—	8.5(注2)	mA	$4.0 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$
	全端子の合計 (デューティ比 $\leq 70\%$ の場合(注3))	I_{OL2}	—	—	1.5(注2)	mA	$2.7 \text{ V} \leq V_{CC} < 4.0 \text{ V}$
			—	—	0.6(注2)	mA	$1.8 \text{ V} \leq V_{CC} < 2.7 \text{ V}$
			—	—	0.4(注2)	mA	$1.6 \text{ V} \leq V_{CC} < 1.8 \text{ V}$
			—	—	20	mA	$4.0 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$
			—	—	20	mA	$2.7 \text{ V} \leq V_{CC} < 4.0 \text{ V}$
			—	—	15	mA	$1.8 \text{ V} \leq V_{CC} < 2.7 \text{ V}$
			—	—	10	mA	$1.6 \text{ V} \leq V_{CC} < 1.8 \text{ V}$

注 1. 電流が出力端子から V_{SS} 端子まで流れていても、デバイスの動作は表に記載された電流値で保証されます。

注 2. これらの端子と他の端子の組み合わせにおいても、全電流の最大値を超えてはいけません。

注 3. デューティ比が 70% 以下の場合は、表に記載された電流値が適用されます。デューティ比が 70% より大きい場合は (n はデューティ比)、出力電流値を算出するために、以下の式を使用してください。

- 表に記載された端子からの合計出力電流値 = $(I_{OL} \times 0.7) / (n \times 0.01)$

例 : $n = 80\%$ で、 $I_{OL} = 10.0 \text{ mA}$ のとき、

表に記載された端子からの合計出力電流値 = $(10.0 \times 0.7) / (80 \times 0.01) = 8.75 \text{ mA}$

デューティ比は 1 つの端子に入力可能な電流に影響を与えないことに注意してください。

絶対最大定格より大きい電流を 1 つの端子に流してはいけません。

注 4. 動作温度範囲 $85 \text{ }^{\circ}\text{C} \sim 125 \text{ }^{\circ}\text{C}$ で、最大値は 40 mA です。

注. ある端子の多重化された機能の特性は、他に指定がなければ、ポート端子の特性と同じです。

表 27.7 I/O V_{IH} , V_{IL} (1/2)

条件 : $V_{CC} = 1.6 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim +125 \text{ }^{\circ}\text{C}$

項目			シンボル	Min	Typ	Max	単位	測定条件
入力電圧、High	P100~P102, P108~P110, P112, P200, P201, P206, P300	通常入力バッファ	V_{IH1}	$V_{CC} \times 0.8$	—	V_{CC}	V	—
			V_{IH2}	2.2	—	V_{CC}	V	$4.0 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$
				2.0	—	V_{CC}	V	$3.3 \text{ V} \leq V_{CC} < 4.0 \text{ V}$
	P010~P013 P212~P213	TTL 入力バッファ	V_{IH2}	1.5	—	V_{CC}	V	$1.6 \text{ V} \leq V_{CC} < 3.3 \text{ V}$
				$V_{CC} \times 0.7$	—	V_{CC}	V	—
			V_{IH4}	$V_{CC} \times 0.8$	—	V_{CC}	V	—

表 27.7 I/O V_{IH} , V_{IL} (2/2)条件 : $V_{CC} = 1.6 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim +125 \text{ }^\circ\text{C}$

項目			シンボル	Min	Typ	Max	単位	測定条件
入力電圧、Low	P100~P102, P108~P110, P112, P200, P201, P206, P300	通常入力バッファ	V_{IL1}	0	—	$V_{CC} \times 0.2$	V	—
				0	—	0.8	V	$4.0 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$
				0	—	0.5	V	$3.3 \text{ V} \leq V_{CC} < 4.0 \text{ V}$
	P100~P102, P108~P110, P112, P201, P300	TTL 入力バッファ	V_{IL2}	0	—	0.32	V	$1.6 \text{ V} \leq V_{CC} < 3.3 \text{ V}$
				0	—	$V_{CC} \times 0.3$	V	—
				0	—	$V_{CC} \times 0.2$	V	—
	P010~P013		V_{IL3}	0	—	$V_{CC} \times 0.3$	V	—
	P212~P213		V_{IL4}	0	—	$V_{CC} \times 0.2$	V	—

注. N チャネルオープンドレインモードでも、P100~P102, P108~P110, P112, P201, P212, P213, P300 端子の V_{IH} の最大値は、 V_{CC} です。

注. ある端子の多重化された機能の特性は、他に指定がなければ、ポート端子の特性と同じです。

表 27.8 I/O V_{OH} , V_{OL} (1/2)条件 : $V_{CC} = 1.6 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim +125 \text{ }^\circ\text{C}$

項目			シンボル	Min	Typ	Max	単位	測定条件
出力電圧、High	P100~P102, P108~ P110, P112, P201, P206, P300	V_{OH1}		$V_{CC} - 1.5$	—	—	V	$4.0 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$ $I_{OH1} = -10 \text{ mA}$
				$V_{CC} - 0.7$	—	—	V	$4.0 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$ $I_{OH1} = -3 \text{ mA}$
				$V_{CC} - 0.6$	—	—	V	$2.7 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$ $I_{OH1} = -2 \text{ mA}$
				$V_{CC} - 0.5$	—	—	V	$1.8 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$ $I_{OH1} = -1.5 \text{ mA}$
				$V_{CC} - 0.5$	—	—	V	$1.6 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$ $I_{OH1} = -1 \text{ mA}$
	P010~P013, P212, P213	V_{OH2}		$V_{CC} - 0.7$	—	—	V	$4.0 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$ $I_{OH2} = -3 \text{ mA}$
				$V_{CC} - 0.5$	—	—	V	$2.7 \text{ V} \leq V_{CC} < 4.0 \text{ V}$ $I_{OH2} = -1 \text{ mA}$
				$V_{CC} - 0.5$	—	—	V	$1.8 \text{ V} \leq V_{CC} < 2.7 \text{ V}$ $I_{OH2} = -1 \text{ mA}$
				$V_{CC} - 0.5$	—	—	V	$1.6 \text{ V} \leq V_{CC} < 1.8 \text{ V}$ $I_{OH2} = -0.5 \text{ mA}$

表 27.8 I/O V_{OH} , V_{OL} (2/2)条件 : $V_{CC} = 1.6 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim +125 \text{ }^\circ\text{C}$

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧、Low	P100~P102, P108~P110, P112, P201, P206, P300	V_{OL1}	—	—	1.3	V	$4.0 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$ $I_{OL1} = 20 \text{ mA}$
			—	—	0.7	V	$4.0 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$ $I_{OL1} = 8.5 \text{ mA}$
			—	—	0.6	V	$2.7 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$ $I_{OL1} = 3 \text{ mA}$
			—	—	0.4	V	$2.7 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$ $I_{OL1} = 1.5 \text{ mA}$
			—	—	0.4	V	$1.8 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$ $I_{OL1} = 0.6 \text{ mA}$
			—	—	0.4	V	$1.6 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$ $I_{OL1} = 0.3 \text{ mA}$
	P010~P013, P212, P213	V_{OL2}	—	—	0.7	V	$4.0 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$ $I_{OL2} = 8.5 \text{ mA}$
			—	—	0.5	V	$2.7 \text{ V} \leq V_{CC} < 4.0 \text{ V}$ $I_{OL2} = 1.5 \text{ mA}$
			—	—	0.4	V	$1.8 \text{ V} \leq V_{CC} < 2.7 \text{ V}$ $I_{OL2} = 0.6 \text{ mA}$
			—	—	0.4	V	$1.6 \text{ V} \leq V_{CC} < 1.8 \text{ V}$ $I_{OL2} = 0.4 \text{ mA}$

注. P100~P102, P108~P110, P112, P201, P212, P213, P300 は、N チャネルオープンドレインモードで High レベル信号を出力しません。

注. ある端子の多重化された機能の特性は、他に指定がなければ、ポート端子の特性と同じです。

表 27.9 I/O その他の特性

条件 : $V_{CC} = 1.6 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim +125 \text{ }^\circ\text{C}$

項目		シンボル	Min	Typ	Max	単位	測定条件
入力リーク電流、High	P100~P102, P108~P110, P112, P200, P201, P206, P300	I_{LIH1}	—	—	1	μA	$V_I = V_{CC}$
	P010~P013	I_{LIH2}	—	—	1	μA	$V_I = V_{CC}$
	P212~P213	I_{LIH3}	—	—	1	μA	$V_I = V_{CC}$
入力リーク電流、Low	P100~P102, P108~P110, P112, P200, P201, P206, P300	I_{LIL1}	—	—	-1	μA	$V_I = V_{SS}$
	P010~P013	I_{LIL2}	—	—	-1	μA	$V_I = V_{SS}$
	P212~P213	I_{LIL3}	—	—	-1	μA	$V_I = V_{SS}$
内蔵プルアップ抵抗	P100~P102, P108~P110, P112, P201, P206, P300	R_U	10	20	100	$\text{k}\Omega$	$V_I = V_{SS}$ 入力ポート
入力容量	P200	C_{in}	—	—	30	pF	$V_{in} = 0 \text{ V}$, $f = 1 \text{ MHz}$, $T_a = 25 \text{ }^\circ\text{C}$
	その他の入力端子		—	—	15		

注. ある端子の多重化された機能の特性は、他に指定がなければ、ポート端子の特性と同じです。

27.3.2 動作電流とスタンバイ電流

表 27.10 動作電流とスタンバイ電流 (1) (1/2)

条件 : VCC = 1.6~5.5 V

項目					シンボル	Typ (注4)	Max	単位	測定条件
消費電流 (注1)	High-speed モード(注2)	通常モード	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行	ICLK = 32 MHz	Icc	2.6	—	mA	—
			すべての周辺クロックが有効、CoreMark コードはフラッシュから実行(注5)	ICLK = 32 MHz		—	3.5		—
		スリープモード	すべての周辺クロックが無効	ICLK = 32 MHz		0.82	—		—
			すべての周辺クロックが有効(注5)	ICLK = 32 MHz		—	1.4		—
		Middle-speed モード(注2)	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行	ICLK = 16 MHz		1.5	—		—
				ICLK = 8 MHz		0.9	—		—
				ICLK = 4 MHz		0.70	—		—
			すべての周辺クロックが有効、CoreMark コードはフラッシュから実行(注5)	ICLK = 16 MHz		—	2.0		—
				ICLK = 8 MHz		—	1.3		—
				ICLK = 4 MHz		—	0.9		—
		スリープモード	すべての周辺クロックが無効	ICLK = 16 MHz		0.61	—		—
				ICLK = 8 MHz		0.50	—		—
				ICLK = 4 MHz		0.44	—		—
			すべての周辺クロックが有効(注5)	ICLK = 16 MHz		—	0.9		—
				ICLK = 8 MHz		—	0.7		—
				ICLK = 4 MHz		—	0.6		—
	Low-speed モード(注2)	通常モード	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行	ICLK = 2 MHz		450	—	μA	—
			すべての周辺クロックが有効、CoreMark コードはフラッシュから実行(注5)	ICLK = 2 MHz		—	600		—
		スリープモード	すべての周辺クロックが無効	ICLK = 2 MHz		324	—		—
			すべての周辺クロックが有効(注5)	ICLK = 2 MHz		—	448		—

表 27.10 動作電流とスタンバイ電流 (1) (2/2)

条件 : VCC = 1.6~5.5 V

項目						シンボル	Typ (注4)	Max	単位	測定条件
消費電流 (注1)	Subosc- speed モ ード(注3)	通常モー ド	周辺クロックが無 効	ICLK = 32.768 kHz	Ta = -40 °C	Icc	2.8	—	μA	—
					Ta = 25 °C		3.0	—		
					Ta = 50 °C		3.2	—		
					Ta = 70 °C		3.3	—		
					Ta = 85 °C		3.6	—		
					Ta = 105 °C		4.2	—		
					Ta = 125 °C		5.5	—		
			周辺クロックが有 効(注6)	ICLK = 32.768 kHz	Ta = -40 °C		—	6.0		
					Ta = 25 °C		—	6.2		
					Ta = 50 °C		—	9.2		
					Ta = 70 °C		—	12.6		
					Ta = 85 °C		—	15.9		
					Ta = 105 °C		—	21.7		
					Ta = 125 °C		—	42.0		
	スリープ モード	スリープ モード	周辺クロックが無 効	ICLK = 32.768 kHz	Ta = -40 °C		0.8	—		—
					Ta = 25 °C		0.9	—		
					Ta = 50 °C		1.0	—		
					Ta = 70 °C		1.1	—		
					Ta = 85 °C		1.3	—		
					Ta = 105 °C		1.7	—		
					Ta = 125 °C		2.9	—		
			周辺クロックが有 効(注6)	ICLK = 32.768 kHz	Ta = -40 °C		—	3.6		
					Ta = 25 °C		—	3.8		
					Ta = 50 °C		—	6.2		
					Ta = 70 °C		—	9.3		
					Ta = 85 °C		—	12.6		
					Ta = 105 °C		—	18.7		
					Ta = 125 °C		—	38.5		

注 1. 消費電流は、VCC に流れ込む電流の合計です。内部プルアップ MOS が OFF 状態のとき、消費電流値が適用されます。また、これらの値にはいずれの端子からの出力充放電電流も含まれません。

注 2. クロックソースは高速オンチップオシレータ (HOCO) です。

注 3. クロックソースは LOCO です。

注 4. VCC = 3.3 V

注 5. PCLBUZ 機能、TAU 機能、SAU 機能、および IICA 機能のみの動作電流を含みます。その他の周辺動作電流については、表 27.12 の周辺機能消費電流を加算してください。

注 6. PCLBUZ 機能、TAU 機能、および SAU 機能のみの動作電流を含みます。その他の周辺動作電流については、表 27.12 の周辺機能消費電流を加算してください。

表 27.11 動作電流とスタンバイ電流 (2)

条件: VCC = 1.6~5.5 V

項目				シンボル	Typ ^(注3)	Max	単位	測定条件
消費電流 (注1)	ソフトウェア スタンバイモ ード ^(注2)	周辺モジュ ール停止	Ta = -40 °C	I _{CC}	0.2	0.9	μA	—
			Ta = 25 °C		0.2	0.9		
			Ta = 50 °C		0.3	2.2		
			Ta = 70 °C		0.4	4.7		
			Ta = 85 °C		0.5	8.1		
			Ta = 105 °C		1.1	17		
			Ta = 125 °C		2.3	35		

注 1. 消費電流は、VCC に流れ込む電流の合計です。内部プルアップ MOS が OFF 状態のとき、消費電流値が適用されます。また、これら
の値にはいずれの端子からの出力充放電電流も含まれません。

注 2. I_{WDT} と LVD は動作していません。

注 3. VCC = 3.3 V

表 27.12 周辺機能消費電流

条件: VCC = 1.6~5.5 V

項目				シンボル	Typ ^(注10)	Max	単位	測定条件
周辺機能消費電流 ^(注1)	高速オンチップオシレータ動作電流 ^(注1)		OFS1.HOCOFRQ1[2:0] = 010b	I _{HOCO}	320	—	μA	—
	低速オンチップオシレータ動作電流 ^(注1)			I _{LOCO}	0.24	—	μA	—
	32 ビットインターバルタイマ動作電流 ^{(注1)(注2)(注3)}			I _{IT}	0.06	—	μA	—
	独立ウォッチドッグタイマ動作電流 ^(注1) (注2)(注4)		f _{LOCO} = 32.768 kHz (typ.)	I _{IWDT}	0.03	—	μA	—
	A/D コンバータ動作電流 (注1)(注5)	最高速度で変換時	通常モード、VREFH0 = VCC = 5.0 V	I _{ADC}	1.3	1.7	mA	—
			低電圧モード、VREFH0 = VCC = 3.0 V		0.5	0.7	mA	—
	A/D コンバータ内部基準電圧電流 ^(注1)			I _{ADREF}	100	—	μA	—
	温度センサ動作電流 ^(注1)			I _{TMPS}	100	—	μA	—
	LVD 動作電流 ^(注1)	LVD0 有効 ^(注7)		I _{LVD0}	0.03	—	μA	—
		LVD1 有効 ^(注8)		I _{LVD1}	0.03	—	μA	—
	セルフプログラミング動作電流 ^{(注1)(注9)}			I _{FSP}	—	12.2	mA	—
DTC		RAM へのデータ転送		I _{DTC}	1.82	—	mA	—

注 1. この電流は V_{CC} に流れます。

注 2. 表に記載された電流は、高速オンチップオシレータ (HOCO) が停止したときに適用されます。

注 3. この電流は 32 ビットインターバルタイマにのみ流れます。低速オンチップオシレータ (LOCO) の動作電流を含みません。
RA0 マイクロコントローラの消費電流は、I_{CC} と I_{IT} の合計です。

低速オンチップオシレータ (LOCO) を選択する場合、I_{LOCO} が消費電流に含まれます。

注 4. この電流は独立ウォッチドッグタイマにのみ流れます。低速オンチップオシレータ (LOCO) の動作電流を含みません。

RA0 マイクロコントローラの消費電流は、I_{CC}、I_{WDT}、I_{LOCO} の合計です。

注 5. この電流は A/D コンバータにのみ流れます。A/D コンバータが動作中またはスリープモードの場合、RA0 マイクロコントローラの消費電流は、I_{CC} と I_{ADC} の合計です。

注 6. この電流は VREFH0 に流れます。

注 7. この電流は LVD0 回路にのみ流れます。LVD0 回路が動作中の場合、RA0 マイクロコントローラの消費電流は、I_{CC} と I_{LVD0} の合計です。

注 8. この電流は LVD1 回路にのみ流れます。LVD1 回路が動作中の場合、RA0 マイクロコントローラの消費電流は、I_{CC} と I_{LVD1} の合計です。

注 9. この電流はセルフプログラミング中にのみ流れます。

注 10. VCC = 3.3 V

27.3.3 熱特性

ジャンクション温度 (T_j) の最大値は、「27.1.1. T_j/Ta の定義」で指定した値を超えないようにしてください。

Tj は、以下のいずれかの式で計算されます。

- $T_j = T_a + \theta_{ja} \times \text{総消費電力}$
- $T_j = T_t + \Psi_{jt} \times \text{総消費電力}$
 T_j : ジャンクション温度 (°C)
 T_a : 周囲温度 (°C)
 T_t : ケース上面中央部温度 (°C)
 θ_{ja} : 「ジャンクション」 - 「周囲」間の熱抵抗 (°C/W)
 Ψ_{jt} : 「ジャンクション」 - 「ケース上面中央部」間の熱抵抗 (°C/W)
- 総消費電力 = 電圧 × (リーク電流 + ダイナミック電流)
- IO のリーク電流 = $\Sigma (I_{OL} \times V_{OL}) / \text{電圧} + \Sigma (|I_{OH}| \times |V_{CC} - V_{OH}|) / \text{電圧}$
- IO のダイナミック電流 = $\Sigma IO (C_{in} + C_{load}) \times IO \text{ のスイッチング周波数} \times \text{電圧}$
 C_{in} : 入力容量
 C_{load} : 出力容量

θ_{ja} と Ψ_{jt} については、表 27.13 を参照してください。

表 27.13 熱抵抗

項目	パッケージ	シンボル	値(注1)	単位	測定条件
熱抵抗	20 ピン TSSOP	θ_{ja}	76.0	°C/W	JESD 51-2 および 51-7 準拠
	20 ピン TSSOP	Ψ_{jt}	2.95	°C/W	JESD 51-2 および 51-7 準拠

注 1. 値は、4 層基板使用時の基準値です。熱抵抗は、基板の層数やサイズによって変わります。詳細は、JEDEC 規格を参照してください。

27.4 AC 特性

表 27.14 AC 特性 (1/2)

条件 : VCC = 1.6 V ~ 5.5 V, VSS = 0 V, Ta = -40 °C ~ +125 °C

項目			シンボル	Min	Typ	Max	単位	測定条件
命令サイクル（最小命令実行時間）	メインシステムクロック (FMAIN) 動作	High-speed モード	T _{CY}	0.03125	—	1	μs	1.8 V ≤ VCC ≤ 5.5 V
				0.25	—	1	μs	1.6 V ≤ VCC < 1.8 V
		Middle-speed モード		0.0625	—	1	μs	1.8 V ≤ VCC ≤ 5.5 V
				0.25	—	1	μs	1.6 V ≤ VCC < 1.8 V
		Low-speed モード		0.5	—	1	μs	1.6 V ≤ VCC ≤ 5.5 V
	サブシステムクロック (FSUB) 動作			26.041	30.5	31.3	μs	1.6 V ≤ VCC ≤ 5.5 V
	セルフプログラミングモード	High-speed モード		0.03125	—	1	μs	1.8 V ≤ VCC ≤ 5.5 V
				Middle-speed モード	0.0625	—	1	μs
TI00～TI07 入力 High レベル幅、Low レベル幅			t _{TIH} t _{TIL}		1/f _{MCK} + 10 ^(注1)	—	—	ns
TO00～TO07 出力周波数		High-speed モード、Middle-speed モード	f _{TO}	—	—	16 ^(注2)	MHz	4.0 V ≤ VCC ≤ 5.5 V
				—	—	8	MHz	2.7 V ≤ VCC < 4.0 V
				—	—	4	MHz	1.8 V ≤ VCC < 2.7 V
				—	—	2	MHz	1.6 V ≤ VCC < 1.8 V
		Low-speed モード		—	—	2	MHz	1.6 V ≤ VCC ≤ 5.5 V

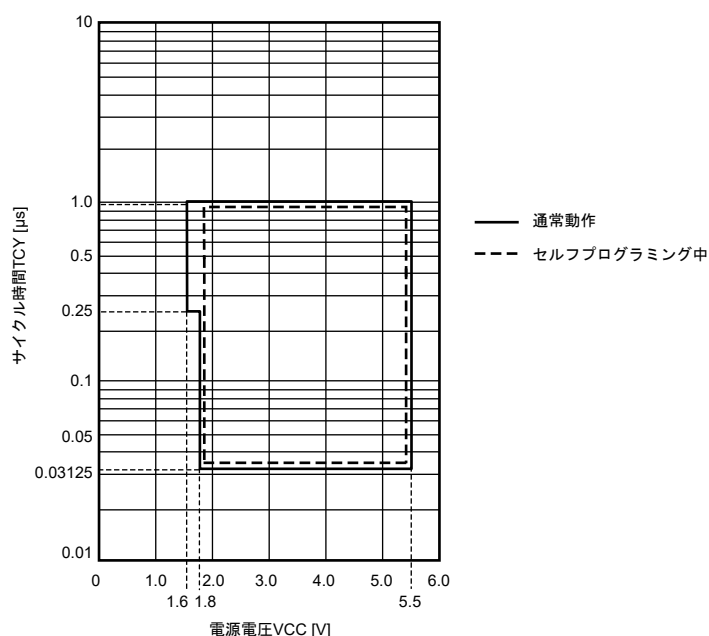
表 27.14 AC 特性 (2/2)

条件 : $V_{CC} = 1.6\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, $T_a = -40\text{ }^{\circ}\text{C} \sim +125\text{ }^{\circ}\text{C}$

項目		シンボル	Min	Typ	Max	単位	測定条件
PCLBUZ0 出力周波数	High-speed モード、Middle-speed モード	f_{PCL}	—	—	16 ^(注2)	MHz	$4.0\text{ V} \leq V_{CC} \leq 5.5\text{ V}$
			—	—	8	MHz	$2.7\text{ V} \leq V_{CC} < 4.0\text{ V}$
			—	—	4	MHz	$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$
			—	—	2	MHz	$1.6\text{ V} \leq V_{CC} < 1.8\text{ V}$
	Low-speed モード		—	—	2	MHz	$1.6\text{ V} \leq V_{CC} \leq 5.5\text{ V}$
割り込み入力 High レベル幅、Low レベル幅	NMI/IRQ0, IRQ1~IRQ5	f_{IRQH} f_{IRQL}	1	—	—	μs	$1.6\text{ V} \leq V_{CC} \leq 5.5\text{ V}$

注 1. f_{MCK} : タイマアレイユニット動作クロック周波数
この動作クロックを設定するために、タイマモードレジスタ 0n (TMR0n) の CKS[1:0]ビットを使用してください。
m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0~7)

注 2. 動作温度範囲は $105\text{ }^{\circ}\text{C} \sim 125\text{ }^{\circ}\text{C}$ で、最高値は 12 MHz です。

図 27.2 T_{CY} vs V_{CC} (High-speed モード)

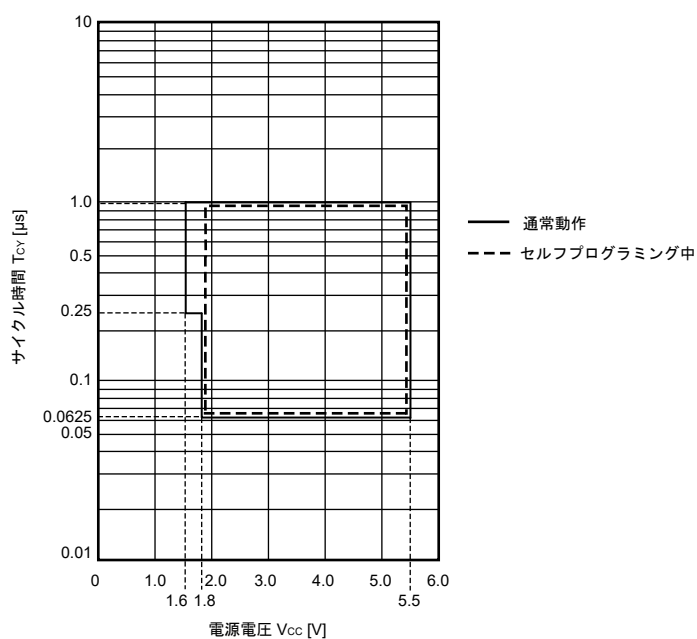
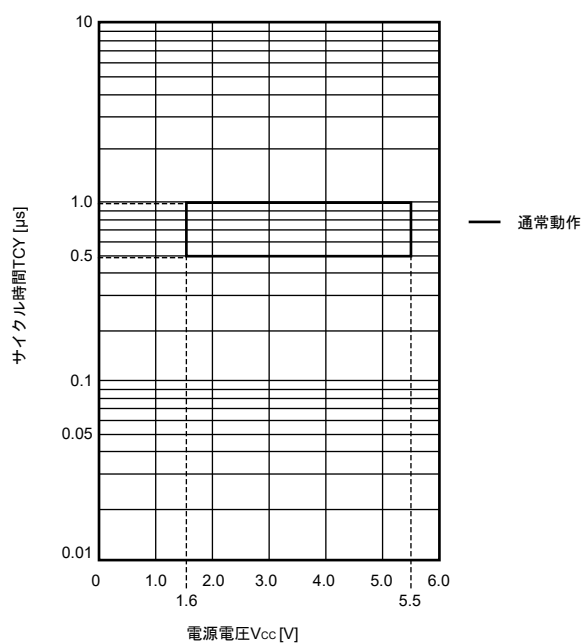
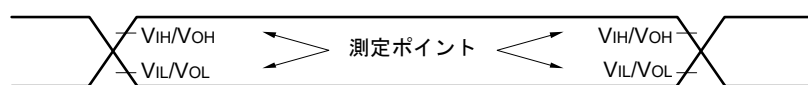
図 27.3 T_{CY} vs V_{CC} (Middle-speed モード)図 27.4 T_{CY} vs V_{CC} (Low-speed モード)

図 27.5 AC タイミング測定ポイント

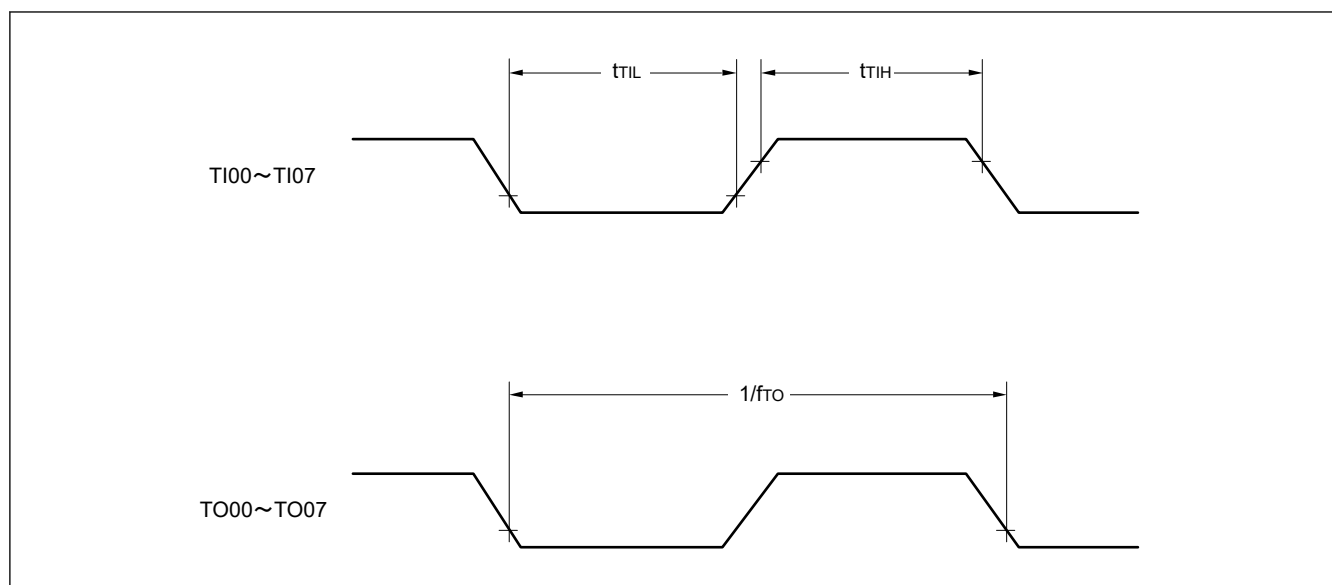


図 27.6 TI/TO タイミング

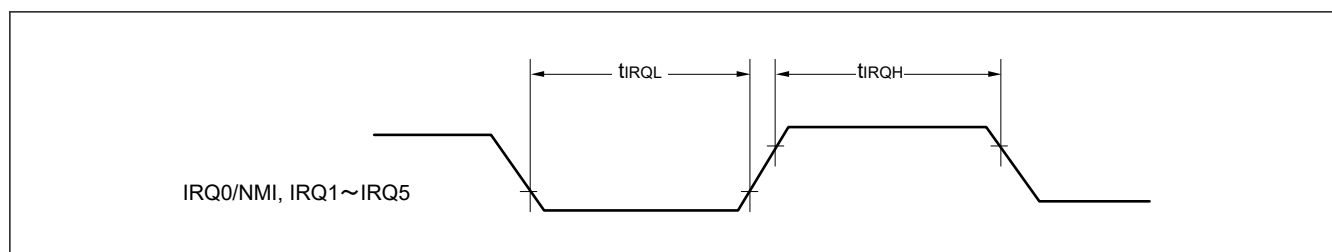


図 27.7 IRQ 割り込み入力タイミング

27.4.1 リセットタイミング

表 27.15 リセットタイミング

項目		シンボル	Min	Typ	Max	単位	測定条件
RES パルス幅	電源投入時(注3)	t_{RESWP}	9.9	—	—	ms	—
	電源投入時以外	t_{RESW}	10	—	—	μs	—
RES 解除後の待機時間 (電源投入時)	LVD0 有効(注1)	t_{RESWT}	—	0.506	0.694	ms	—
	LVD0 無効(注2)		—	0.201	0.335	ms	—
RES 解除後の待機時間 (電源投入状態中)	LVD0 有効(注1)	t_{RESWT2}	—	0.476	0.616	ms	—
	LVD0 無効(注2)		—	0.170	0.257	ms	—
独立ウォッチドッグタイマリセット、ソフトウェアリセットによる内部リセット		t_{RESW2}	—	0.04	0.041	ms	—

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

注 3. RES 端子が外部リセット入力として使用されない場合、この仕様は無視できます。

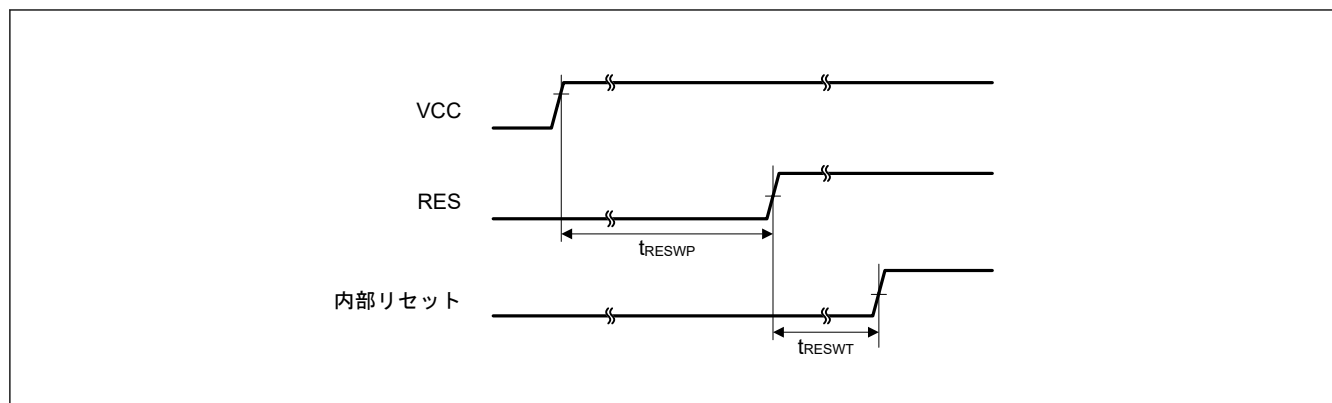


図 27.8 電源投入時リセット入力タイミング

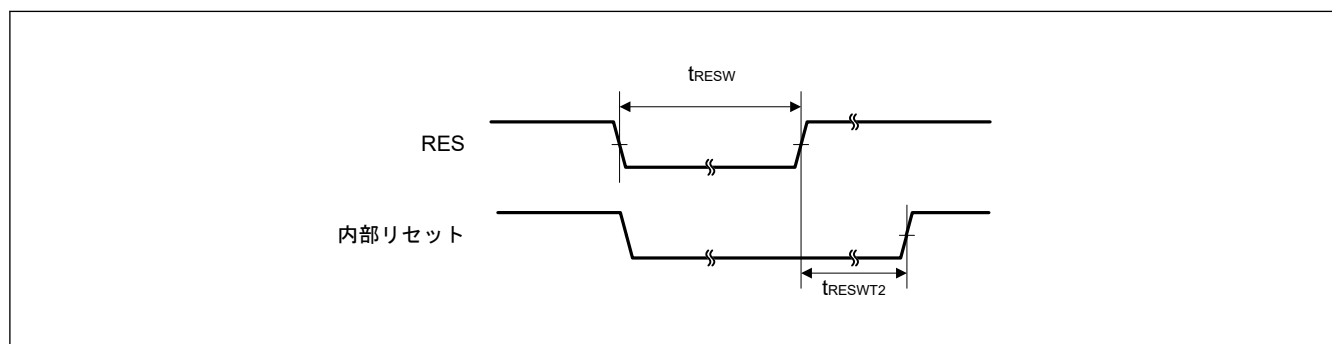


図 27.9 リセット入力タイミング (1)

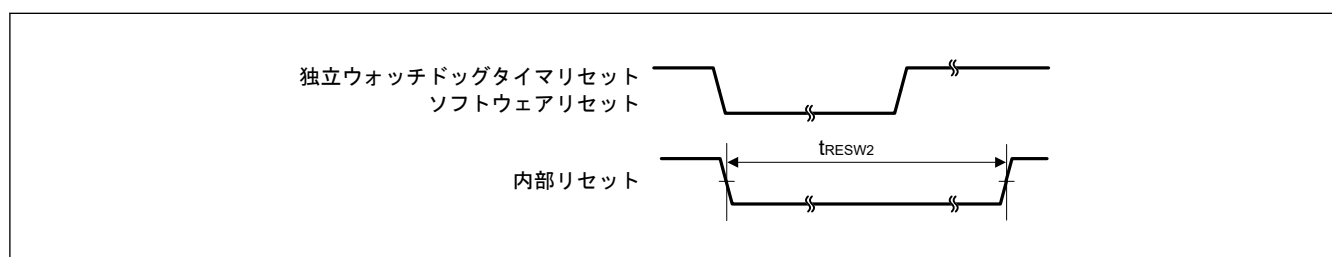


図 27.10 リセット入力タイミング (2)

27.4.2 ウェイクアップ時間

表 27.16 低消費電力モードからの復帰タイミング (1)

項目	シンボル	Min	Typ	Max	単位	測定条件
ソフトウェア アスタバイ モードから の復帰時 間(注1)	t_{SBYHO}	—	5.3	5.7	μs	図 27.11
		—	7.3	7.7	μs	

注 1. ICLK の分周比は許容周波数範囲の最小分周比です。
復帰時間は、システムクロックソースにより決定されます。

表 27.17 低消費電力モードからの復帰タイミング (2)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	Middle-speed モード	システムクロックソースは HOCO	システムクロックソースは HOCO (16 MHz) VCC = 1.8 V~5.5 V	t_{SBYHO}	—	5.5	5.8	μs	図 27.11
			システムクロックソースは HOCO (4 MHz) VCC = 1.6 V~1.8 V		—	7.3	7.7	μs	

注 1. ICLK の分周比は許容周波数範囲の最小分周比です。
復帰時間は、システムクロックソースにより決定されます。

表 27.18 低消費電力モードからの復帰タイミング (3)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	Low-speed モード	システムクロックソースは HOCO (2 MHz)		t_{SBYHO}	—	10.0	10.5	μs	図 27.11

注 1. ICLK の分周比は許容周波数範囲の最小分周比です。
復帰時間は、システムクロックソースにより決定されます。

表 27.19 低消費電力モードからの復帰タイミング (4)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	Subosc-speed モード	システムクロックソースは LOCO (32.768 kHz)		t_{SBYLO}	—	0.29	0.36	ms	図 27.11

注 1. Subosc-speed モードでは、LOCO はソフトウェアスタンバイモードで発振を継続します。

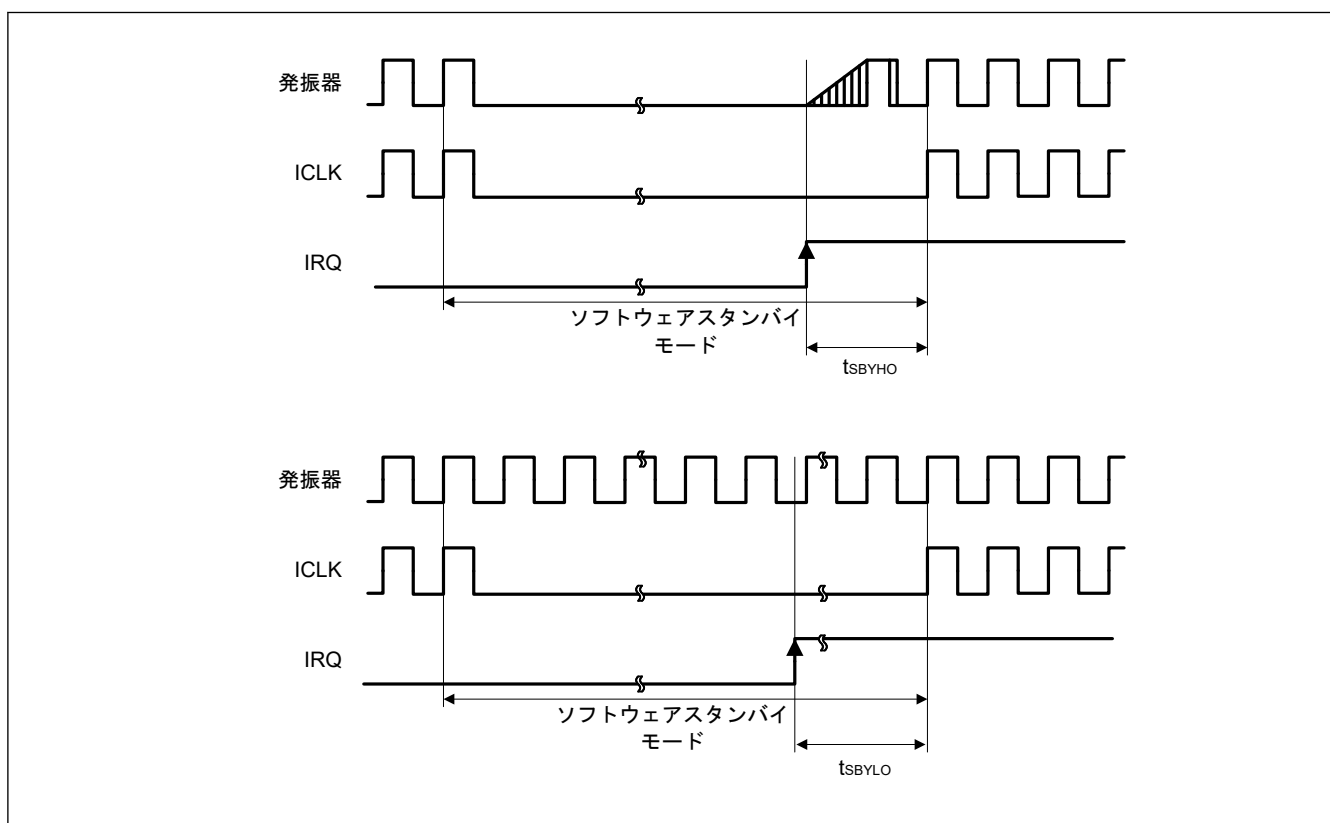


図 27.11 ソフトウェアスタンバイモード解除タイミング

表 27.20 低消費電力モードからの復帰タイミング (5)

項目		シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからスヌーズモードへの復帰時間	High-speed モードシステムクロックソースは HOCO	t_{SNZ}	—	5.3	5.7	μs	図 27.12
	Middle-speed モードシステムクロックソースは HOCO (16 MHz) VCC = 1.8 V ~ 5.5 V	t_{SNZ}	—	5.5	5.8	μs	
	Middle-speed モードシステムクロックソースは HOCO (4 MHz) VCC = 1.6 V ~ 1.8 V	t_{SNZ}	—	6.3	6.7	μs	
	Low-speed モードシステムクロックソースは HOCO (2 MHz)	t_{SNZ}	—	8.0	8.4	μs	

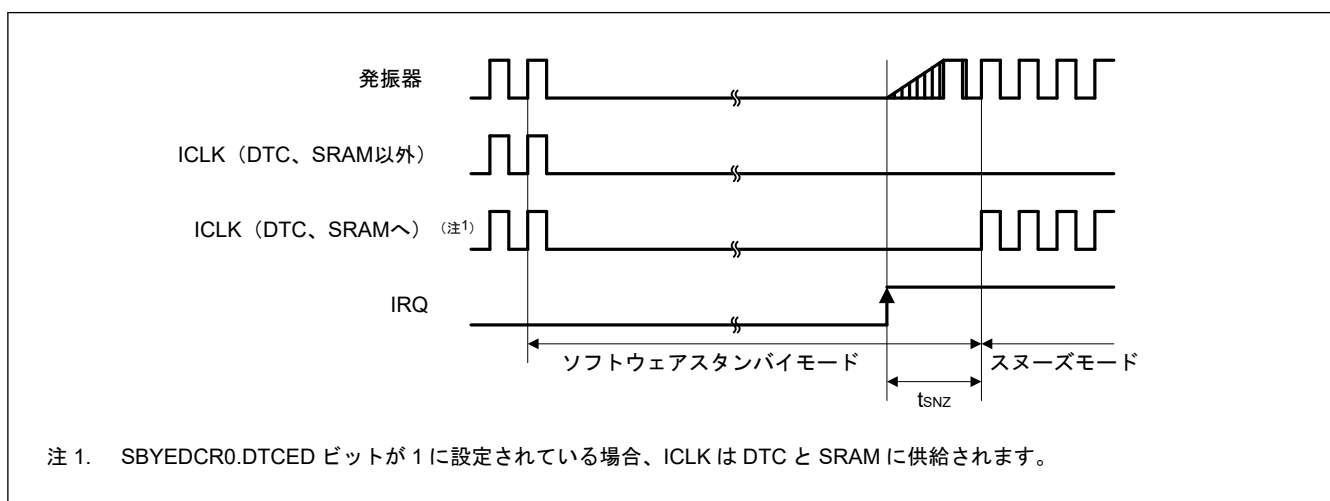


図 27.12 ソフトウェアスタンバイモードからスヌーズモードへの復帰タイミング

27.5 周辺機能特性

27.5.1 シリアルアレイユニット (SAU)

表 27.21 同じ電圧レベルで動作しているデバイスとの UART 通信時

条件 : VCC = 1.6 ~ 5.5 V, VSS = 0 V, Ta = -40 ~ +125 °C

項目		シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
			Min	Max	Min	Max	Min	Max		
転送速度 (注1)	1.6 ≤ VCC ≤ 5.5 V	—	—	$f_{MCK}/6$	—	$f_{MCK}/6$	—	$f_{MCK}/6$	bps	図 27.14
			—	5.3	—	4	—	0.33	Mbps	

注 1. スヌーズモードでの転送速度は、SBYCR.FWKUP = 0 の場合は 4800 ~ 9600 bps、SBYCR.FWKUP = 1 の場合は 4800 ~ 115200 bps の範囲内です。

注 2. 周辺モジュールクロック (PCLKB) の最高動作周波数は以下のとおりです。

High-speed モード : 32 MHz (1.8 V ≤ VCC ≤ 5.5 V)、4 MHz (1.6 V ≤ VCC ≤ 5.5 V)

Middle-speed モード : 16 MHz (1.8 V ≤ VCC ≤ 5.5 V)、4 MHz (1.6 V ≤ VCC ≤ 5.5 V)

Low-speed モード : 2 MHz (1.6 V ≤ VCC ≤ 5.5 V)

注. ポート gh 端子機能選択レジスタ (PghPFS_A.PIM, PghPFS_A.NCODR) を使用して、RXDq 端子の通常入力バッファと TXDq 端子の通常出力モードを選択してください。

gh : ポート番号 (gh = 100, 101, 109, 110, 200, 212, 213, 300)

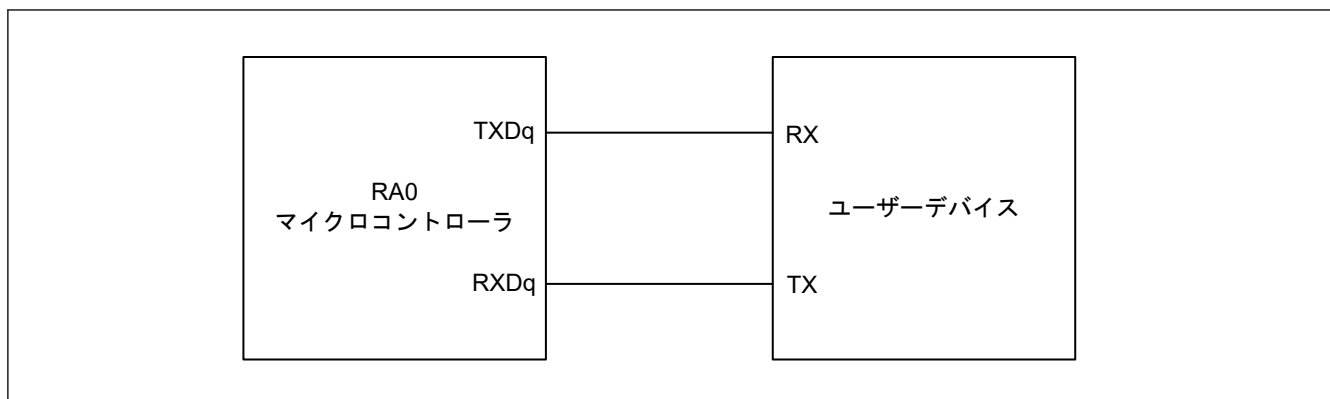


図 27.13 同じ電圧レベルで動作しているデバイスとの UART 通信での接続

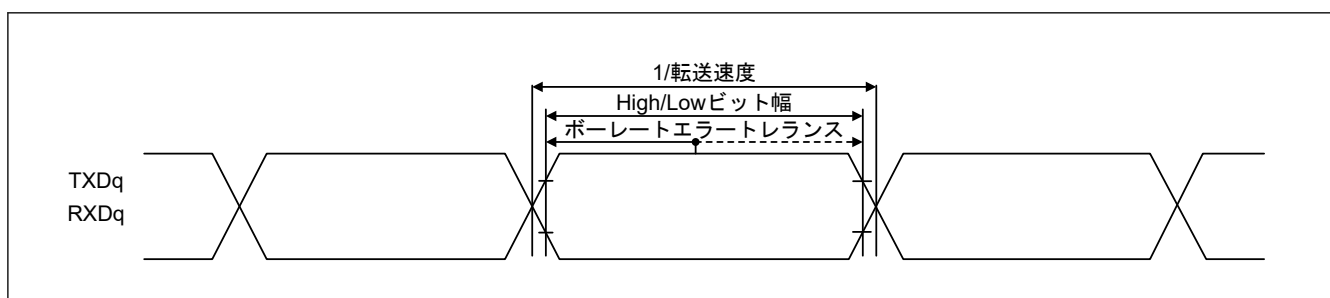


図 27.14 インタフェースデバイスが同じ電圧レベルで動作している場合の UART 通信のビット幅（参考）

- 注.
- q: UART 番号 (q = 0, 1)、gh: ポート番号 (gh = 100, 101, 109, 110, 200, 212, 213, 300)
 - f_{MCK} : シリアルレイアウト動作クロック周波数
この動作クロックを設定するために、シリアルモードレジスタ mn (SMRmn) の CKS ビットを設定してください。
m: ユニット番号、n: チャンネル番号 (mn = 00, 01, 02, 03)

表 27.22 内部 SCKp クロックを使って同じ電圧レベルで動作しているデバイスとマスタモードで簡易 SPI 通信する場合 (以下の定格は SPI00 にのみ適用可)

条件: VCC = 2.7~5.5 V, VSS = 0 V, Ta = -40~+85 °C

項目	シンボル		High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
			Min	Max	Min	Max	Min	Max		
SCKp サイクル時間	$t_{KCY1} \geq 2/PCLKB$	4.0 V $\leq$ VCC $\leq$ 5.5 V	62.5	—	125	—	1000	—	ns	図 27.16 図 27.17
		2.7 V $\leq$ VCC $\leq$ 5.5 V	125	—	125	—	1000	—	ns	
SCKp High/Low レベル幅	t_{KH1}, t_{KL1}	4.0 V $\leq$ VCC $\leq$ 5.5 V	$t_{KCY1}/2 - 7$	—	$t_{KCY1}/2 - 10$	—	$t_{KCY1}/2 - 50$	—	ns	
		2.7 V $\leq$ VCC $\leq$ 5.5 V	$t_{KCY1}/2 - 10$	—	$t_{KCY1}/2 - 15$	—	$t_{KCY1}/2 - 50$	—	ns	
Slp セットアップ時間 (SCKp↑まで) (注1)	t_{SIK1}	4.0 V $\leq$ VCC $\leq$ 5.5 V	23	—	33	—	110	—	ns	
		2.7 V $\leq$ VCC $\leq$ 5.5 V	33	—	50	—	110	—	ns	
Slp ホールド時間 (SCKp↑から) (注1)	t_{KSI1}	2.7 V $\leq$ VCC $\leq$ 5.5 V	10	—	10	—	10	—	ns	
SCKp↓から SOp 出力までの遅延時間 (注2)	t_{KSO1}	C = 20 pF (注3)	—	10	—	10	—	10	ns	

注 1. SCRmn.DCP0[1:0] = 00b または 11b の場合、本設定が適用されます。SCRmn.DCP0[1:0] = 01b または 10b の場合、Slp セットアップ時間の設定は「SCKp↓まで」になり、Slp ホールド時間の設定は「SCKp↓から」になります。

注 2. SCRmn.DCP0[1:0] = 00b または 11b の場合、本設定が適用されます。SCRmn.DCP0[1:0] = 01b または 10b の場合、SOp 出力までの遅延時間の設定は「SCKp↑から」になります。

注 3. C は SCKp および SOp 出力回線の負荷容量です。

注. ポート gh 端子機能選択レジスタ (PghPFS_A.PIM, PghPFS_A.NCODR) を使用して、Slp 端子の通常入力バッファと SOp 端子と SCKp 端子の通常出力モードを選択してください。

注. 表に示す時間は、SPI00 の周辺 I/O リダイレクト機能を使用していない場合のみ有効です。

- p: 簡易 SPI 番号 (p = 00)、m: ユニット番号 (m = 0)、n: チャンネル番号 (n = 0)、gh: ポート番号 (gh = 100~102, 108~110, 112, 200)

- f_{MCK} : シリアルアレイユニット動作クロック周波数
この動作クロックを設定するために、シリアルモードレジスタ mn (SMRmn) の CKS ビットを使用してください。
m : ユニット番号、n : チャンネル番号 (mn = 00)

表 27.23 内部 SCKp クロックを使って同じ電圧レベルで動作しているデバイスとマスタモードで簡易 SPI 通信する場合

条件 : VCC = 1.6~5.5 V, VSS = 0 V, Ta = -40~+125 °C

項目			シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
				Min	Max	Min	Max	Min	Max		
SCKp サイクル時間	$t_{KCY1} \geq 4/PCLKB$	$2.7 V \leq VCC \leq 5.5 V$	t_{KCY1}	125	—	166	—	2000	—	ns	図 27.16 図 27.17
		$2.4 V \leq VCC \leq 5.5 V$		250	—	250	—	2000	—	ns	
		$1.8 V \leq VCC \leq 5.5 V$		500	—	500	—	2000	—	ns	
		$1.6 \leq VCC \leq 5.5 V$		1000	—	1000	—	2000	—	ns	
SCKp High/Low レベル幅	$4.0 V \leq VCC \leq 5.5 V$	t_{KH1}, t_{KL1}	$t_{KCY1}/2 - 12$	—	$t_{KCY1}/2 - 21$	—	$t_{KCY1}/2 - 50$	—	ns		
	$2.7 V \leq VCC \leq 5.5 V$		$t_{KCY1}/2 - 18$	—	$t_{KCY1}/2 - 25$	—	$t_{KCY1}/2 - 50$	—	ns		
	$2.4 V \leq VCC \leq 5.5 V$		$t_{KCY1}/2 - 38$	—	$t_{KCY1}/2 - 38$	—	$t_{KCY1}/2 - 50$	—	ns		
	$1.8 V \leq VCC \leq 5.5 V$		$t_{KCY1}/2 - 50$	—	$t_{KCY1}/2 - 50$	—	$t_{KCY1}/2 - 50$	—	ns		
	$1.6 \leq VCC \leq 5.5 V$		$t_{KCY1}/2 - 100$	—	$t_{KCY1}/2 - 100$	—	$t_{KCY1}/2 - 100$	—	ns		
Slp セットアップ時間 (SCKp↑まで) (注1)	$4.0 V \leq VCC \leq 5.5 V$	t_{SIK1}	44	—	54	—	110	—	ns		
	$2.7 V \leq VCC \leq 5.5 V$		44	—	54	—	110	—	ns		
	$2.4 V \leq VCC \leq 5.5 V$		75	—	75	—	110	—	ns		
	$1.8 V \leq VCC \leq 5.5 V$		110	—	110	—	110	—	ns		
	$1.6 \leq VCC \leq 5.5 V$		220	—	220	—	220	—	ns		
Slp ホールド時間 (SCKp↓から) (注1)	$1.6 \leq VCC \leq 5.5 V$	t_{KSH1}	19	—	19	—	19	—	ns		
SCKp↓から SOP 出力ま での遅延時間(注2)	$1.6 \leq VCC \leq 5.5 V$ C = 30 pF(注3)	t_{KSO1}	—	25	—	25	—	25	ns		

注 1. SCRmn.DCP[1:0] = 00b または 11b の場合、本設定が適用されます。SCRmn.DCP[1:0] = 01b または 10b の場合、Slp セットアップ時間の設定は「SCKp↓まで」になり、Slp ホールド時間の設定は「SCKp↓から」になります。

注 2. SCRmn.DCP[1:0] = 00b または 11b の場合、本設定が適用されます。SCRmn.DCP[1:0] = 01b または 10b の場合、SOp 出力までの遅延時間の設定は「SCKp↑から」になります。

注 3. C は SCKp および SOp 出力回線の負荷容量です。

注. ポート gh 端子機能選択レジスタ (PghPFS_A.PIM, PghPFS_A.NCODR) を使用して、Slp 端子の通常入力バッファと SOp 端子と SCKp 端子の通常出力モードを選択してください。

注. • p : 簡易 SPI 番号 (p = 00, 11)、m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0, 3)、gh : ポート番号 (gh = 100~102, 108~110, 112, 200, 201, 212, 213)

- f_{MCK} : シリアルアレイユニット動作クロック周波数
この動作クロックを設定するために、シリアルモードレジスタ mn (SMRmn) の CKS ビットを使用してください。
m : ユニット番号、n : チャンネル番号 (mn = 00, 03)

表 27.24 SCKp 外部クロックを使って同じ電圧レベルで動作しているデバイスとスレープモードで簡易 SPI 通信する場合

条件 : VCC = 1.6~5.5 V, VSS = 0 V, Ta = -40~+125 °C

項目	条件		シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
				Min	Max	Min	Max	Min	Max		
SCKp サイクル タイム(注4)	$4.0\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$20\text{ MHz} < f_{\text{MCK}}$	t_{KCY2}	$8/f_{\text{MCK}}$	—	$8/f_{\text{MCK}}$	—	—	—	ns	図 27.16 図 27.17
		$f_{\text{MCK}} \leq 20\text{ MHz}$		$6/f_{\text{MCK}}$	—	$6/f_{\text{MCK}}$	—	$6/f_{\text{MCK}}$	—	ns	
	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$16\text{ MHz} < f_{\text{MCK}}$		$8/f_{\text{MCK}}$	—	$8/f_{\text{MCK}}$	—	—	—	ns	
		$f_{\text{MCK}} \leq 16\text{ MHz}$		$6/f_{\text{MCK}}$	—	$6/f_{\text{MCK}}$	—	$6/f_{\text{MCK}}$	—	ns	
	$2.4\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$			以下のうち 大きいほう $6/f_{\text{MCK}}$ また は 500	—	以下のうち大 きいほう 6/ f_{MCK} または 500	—	以下のうち大 きいほう 6/ f_{MCK} または 500	—	ns	
	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$			以下のうち 大きいほう $6/f_{\text{MCK}}$ また は 750	—	以下のうち大 きいほう 6/ f_{MCK} または 750	—	以下のうち大 きいほう 6/ f_{MCK} または 750	—	ns	
	$1.6\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$			以下のうち 大きいほう $6/f_{\text{MCK}}$ また は 1500	—	以下のうち大 きいほう 6/ f_{MCK} または 1500	—	以下のうち大 きいほう 6/ f_{MCK} または 1500	—	ns	
SCKp High/Low レベル幅	$4.0\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		t_{KH2} 、 t_{KL2}	$t_{\text{KCY2}}/2 - 7$	—	$t_{\text{KCY2}}/2 - 7$	—	$t_{\text{KCY2}}/2 - 7$	—	ns	
	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$			$t_{\text{KCY2}}/2 - 8$	—	$t_{\text{KCY2}}/2 - 8$	—	$t_{\text{KCY2}}/2 - 8$	—	ns	
	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$			$t_{\text{KCY2}}/2 - 18$	—	$t_{\text{KCY2}}/2 - 18$	—	$t_{\text{KCY2}}/2 - 18$	—	ns	
	$1.6\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$			$t_{\text{KCY2}}/2 - 66$	—	$t_{\text{KCY2}}/2 - 66$	—	$t_{\text{KCY2}}/2 - 66$	—	ns	
Slp セットアップ 時間 (SCKp↑まで) (注1)	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		t_{SIK2}	$1/f_{\text{MCK}} + 20$	—	$1/f_{\text{MCK}} + 30$	—	$1/f_{\text{MCK}} + 30$	—	ns	
	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$			$1/f_{\text{MCK}} + 30$	—	$1/f_{\text{MCK}} + 30$	—	$1/f_{\text{MCK}} + 30$	—	ns	
	$1.6\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$			$1/f_{\text{MCK}} + 40$	—	$1/f_{\text{MCK}} + 40$	—	$1/f_{\text{MCK}} + 40$	—	ns	
Slp ホールド時間 (SCKp↓から) (注1)	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		t_{KSI2}	$1/f_{\text{MCK}} + 31$	—	$1/f_{\text{MCK}} + 31$	—	$1/f_{\text{MCK}} + 31$	—	ns	
	$1.6\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$			$1/f_{\text{MCK}} + 250$	—	$1/f_{\text{MCK}} + 250$	—	$1/f_{\text{MCK}} + 250$	—	ns	
SCKp↓から SOp 出力までの 遅延時間(注2)	$\text{C} = 30\text{ pF}$ (注3)	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{KS02}	—	$2/f_{\text{MCK}} + 44$	—	$2/f_{\text{MCK}} + 110$	—	$2/f_{\text{MCK}} + 110$	ns	
		$2.4\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		—	$2/f_{\text{MCK}} + 75$	—	$2/f_{\text{MCK}} + 110$	—	$2/f_{\text{MCK}} + 110$	ns	
		$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		—	$2/f_{\text{MCK}} + 110$	—	$2/f_{\text{MCK}} + 110$	—	$2/f_{\text{MCK}} + 110$	ns	
		$1.6\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		—	$2/f_{\text{MCK}} + 220$	—	$2/f_{\text{MCK}} + 220$	—	$2/f_{\text{MCK}} + 220$	ns	

注 1. SCRmn.DCP[1:0] = 00b または 11b の場合、本設定が適用されます。SCRmn.DCP[1:0] = 01b または 10b の場合、Slp セットアップ時間の設定は「SCKp↑まで」になり、Slp ホールド時間の設定は「SCKp↓から」になります。

注 2. SCRmn.DCP[1:0] = 00b または 11b の場合、本設定が適用されます。SCRmn.DCP[1:0] = 01b または 10b の場合、SOp 出力までの遅延時間の設定は「SCKp↑から」になります。

注 3. C は SOp 出力回線の負荷容量です。

注 4. スヌーズモードでの転送速度は最大 1 Mbps です。

注. ポート gh 端子機能選択レジスタ (PghPFS_A.PIM, PghPFS_A.NCODR) を使用して、Slp 端子と SCKp 端子の通常入力バッファと SOp 端子の通常出力モードを選択してください。

注. ● p : 簡易 SPI 番号 (p = 00, 11)、m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0, 3)、gh : ポート番号 (gh = 100~102, 108~110, 112, 200, 201, 212, 213)

● f_{MCK} : シリアルアレイユニット動作クロック周波数
この動作クロックを設定するために、シリアルモードレジスタ mn (SMRmn) の CKS ビットを使用してください。
m : ユニット番号、n : チャネル番号 (mn = 00, 03)

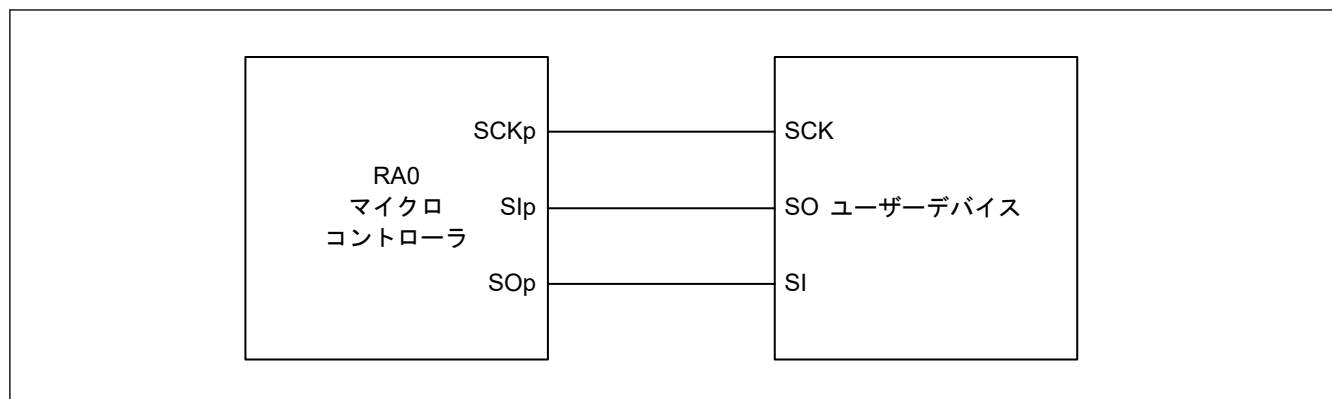


図 27.15 同じ電圧レベルで動作しているデバイスとの簡易 SPI 通信での接続

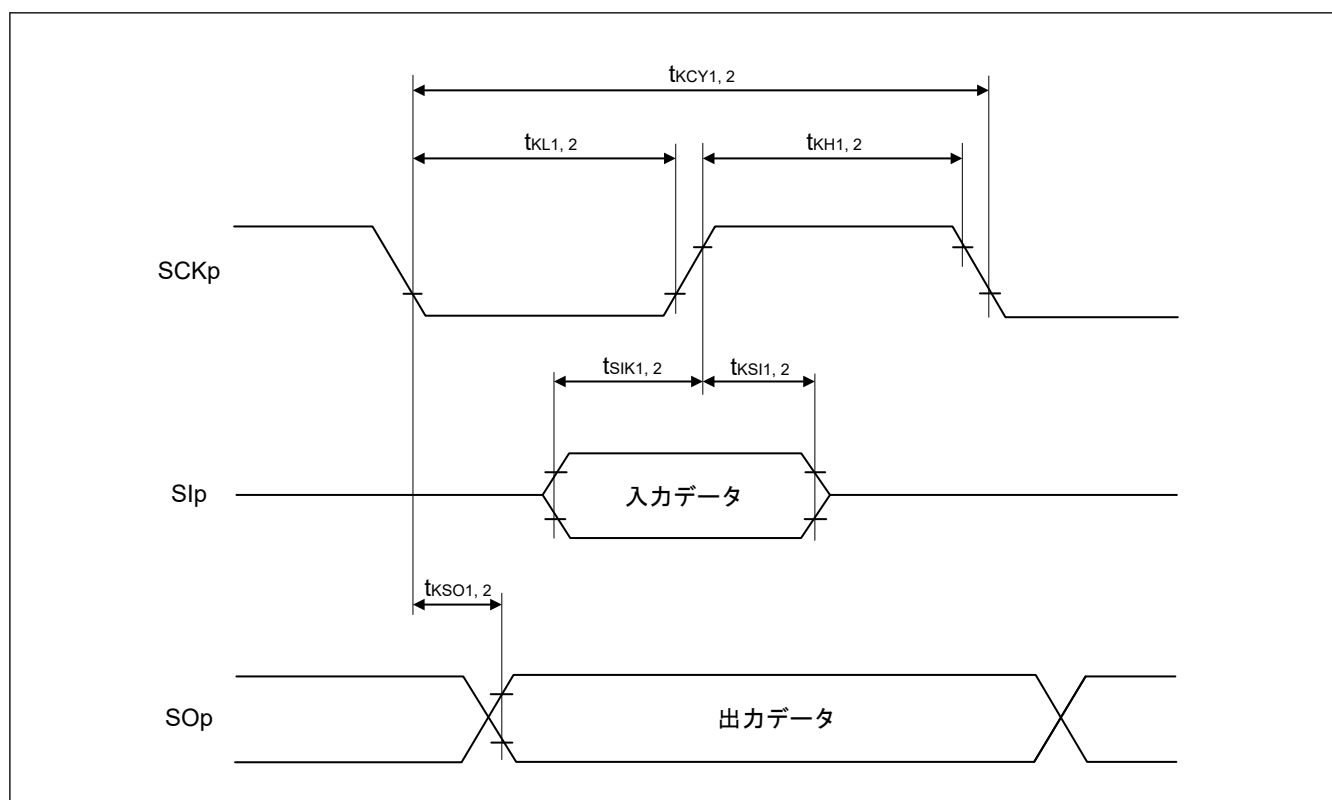


図 27.16 同じ電圧レベルで動作しているデバイスとの簡易 SPI 通信でのシリアル転送のタイミング (SCRmn.DCP[1:0] = 00b または 11b の場合)

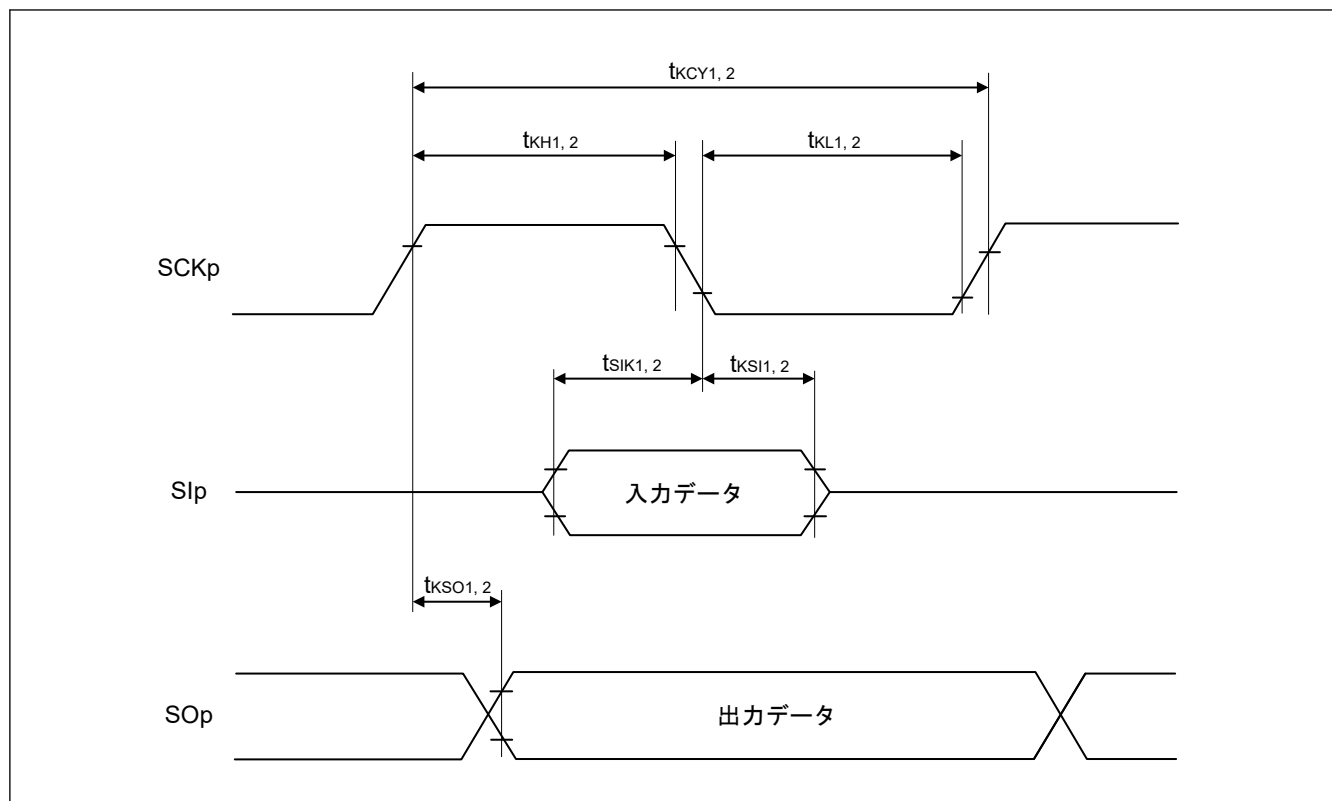


図 27.17 同じ電圧レベルで動作しているデバイスとの簡易 SPI 通信でのシリアル転送のタイミング
(SCRmn.DCP[1:0] = 01b または 10b の場合)

- 注.
- p : 簡易 SPI 番号 (p = 00, 11)
 - m : ユニット番号、n : チャンネル番号 (mn = 00, 03)

表 27.25 同じ電圧レベルで動作しているデバイスとの簡易 IIC 通信時 (1/2)

条件 : VCC = 1.6~5.5 V, VSS = 0 V, Ta = -40~+125 °C

項目		シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
			Min	Max	Min	Max	Min	Max		
SCLr クロック 周波数	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$ 、 $C_b = 50\text{ pF}$ 、 $R_b = 2.7\text{ k}\Omega$	f_{SCL}	—	1000 (注1)	—	1000 (注1)	—	400(注1)	kHz	図 27.19
	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$ 、 $C_b = 100\text{ pF}$ 、 $R_b = 3\text{ k}\Omega$		—	400(注1)	—	400(注1)	—	400(注1)	kHz	
	$1.8\text{ V} \leq \text{VCC} < 2.7\text{ V}$ 、 $C_b = 100\text{ pF}$ 、 $R_b = 5\text{ k}\Omega$		—	300(注1)	—	300(注1)	—	300(注1)	kHz	
	$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$ 、 $C_b = 100\text{ pF}$ 、 $R_b = 5\text{ k}\Omega$		—	250(注1)	—	250(注1)	—	250(注1)	kHz	
SCLr が Low の 場合のホールド 時間	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$ 、 $C_b = 50\text{ pF}$ 、 $R_b = 2.7\text{ k}\Omega$	t_{LOW}	475	—	475	—	1150	—	ns	
	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$ 、 $C_b = 100\text{ pF}$ 、 $R_b = 3\text{ k}\Omega$		1150	—	1150	—	1150	—	ns	
	$1.8\text{ V} \leq \text{VCC} < 2.7\text{ V}$ 、 $C_b = 100\text{ pF}$ 、 $R_b = 5\text{ k}\Omega$		1550	—	1550	—	1550	—	ns	
	$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$ 、 $C_b = 100\text{ pF}$ 、 $R_b = 5\text{ k}\Omega$		1850	—	1850	—	1850	—	ns	
SCLr が High の 場合のホールド 時間	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$ 、 $C_b = 50\text{ pF}$ 、 $R_b = 2.7\text{ k}\Omega$	t_{HIGH}	475	—	475	—	1150	—	ns	
	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$ 、 $C_b = 100\text{ pF}$ 、 $R_b = 3\text{ k}\Omega$		1150	—	1150	—	1150	—	ns	
	$1.8\text{ V} \leq \text{VCC} < 2.7\text{ V}$ 、 $C_b = 100\text{ pF}$ 、 $R_b = 5\text{ k}\Omega$		1550	—	1550	—	1550	—	ns	
	$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$ 、 $C_b = 100\text{ pF}$ 、 $R_b = 5\text{ k}\Omega$		1850	—	1850	—	1850	—	ns	

表 27.25 同じ電圧レベルで動作しているデバイスとの簡易 IIC 通信時 (2/2)

条件: VCC = 1.6~5.5 V, VSS = 0 V, Ta = -40~+125 °C

項目	シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
		Min	Max	Min	Max	Min	Max		
データセットアップ時間 (受信)	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$, $C_b = 50\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	$1/f_{\text{MCK}} + 85^{(\text{注}2)}$	—	$1/f_{\text{MCK}} + 85^{(\text{注}2)}$	—	$1/f_{\text{MCK}} + 145^{(\text{注}2)}$	—	ns	図 27.19
	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 3\text{ k}\Omega$	$1/f_{\text{MCK}} + 145^{(\text{注}2)}$	—	$1/f_{\text{MCK}} + 145^{(\text{注}2)}$	—	$1/f_{\text{MCK}} + 145^{(\text{注}2)}$	—	ns	
	$1.8\text{ V} \leq \text{VCC} < 2.7\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 5\text{ k}\Omega$	$1/f_{\text{MCK}} + 230^{(\text{注}2)}$	—	$1/f_{\text{MCK}} + 230^{(\text{注}2)}$	—	$1/f_{\text{MCK}} + 230^{(\text{注}2)}$	—	ns	
	$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 5\text{ k}\Omega$	$1/f_{\text{MCK}} + 290^{(\text{注}2)}$	—	$1/f_{\text{MCK}} + 290^{(\text{注}2)}$	—	$1/f_{\text{MCK}} + 290^{(\text{注}2)}$	—	ns	
データホールド時間 (送信)	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$, $C_b = 50\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	0	305	0	305	0	305	ns	
	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 3\text{ k}\Omega$	0	355	0	355	0	355	ns	
	$1.8\text{ V} \leq \text{VCC} < 2.7\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 5\text{ k}\Omega$	0	405	0	405	0	405	ns	
	$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 5\text{ k}\Omega$	0	405	0	405	0	405	ns	

注 1. 表に示す時間は、 $f_{\text{MCK}}/4$ 以下である必要があります。注 2. SCLr が Low または High の場合に f_{MCK} がホールド時間を超えないように設定してください。

注. ポート gh 端子機能選択レジスタ (PghPFS_A.PIM, PghPFS_A.NCODR) を使用して、SDAr 端子の通常入力バッファと N チャネルオープンドレイン出力[VCC 耐圧]モードおよび SCLr 端子の通常出力モードを選択してください。

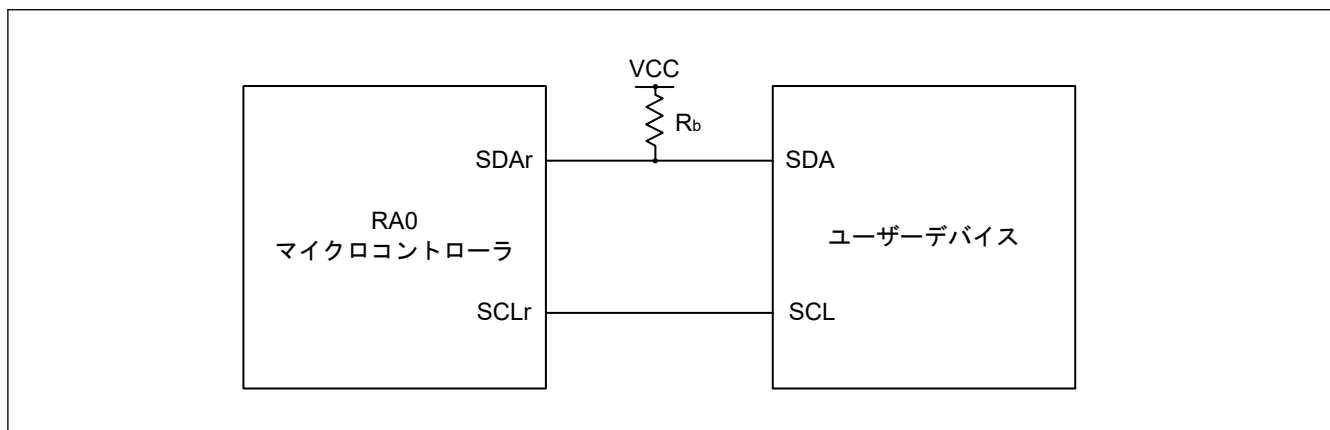


図 27.18 同じ電圧レベルで動作しているデバイスとの簡易 IIC 通信での接続

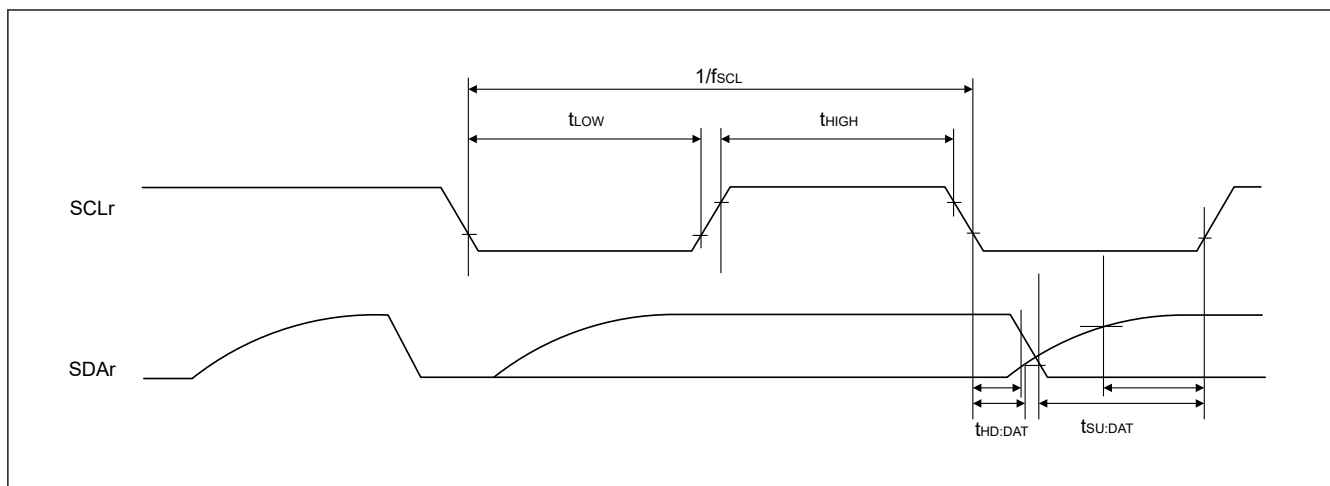


図 27.19 同じ電圧レベルで動作しているデバイスとの簡易 IIC 通信でのシリアル転送のタイミング

- 注.
- $R_b[\Omega]$: 通信回線 (SDAr) プルアップ抵抗、 $C_b[F]$: 通信回線 (SDAr, SCLr) 負荷容量
 - r : IIC 番号 ($r = 00, 11$)、 gh : ポート番号 ($gh = 100, 102, 110, 112, 201, 212$)
 - f_{MCK} : シリアルアレイユニット動作クロック周波数
この動作クロックを設定するために、シリアルモードレジスタ mn (SMRmn) の CKSmn ビットを使用してください。
 m : ユニット番号、 n : チャンネル番号 ($mn = 00, 03$)

表 27.26 異なる電圧レベルで動作しているデバイスとの UART 通信時 (1.8 V, 2.5 V, 3 V) (1)

条件 : $V_{CC} = 1.8 \sim 5.5$ V, $V_{SS} = 0$ V, $T_a = -40 \sim +125$ °C

項目	シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
		Min	Max	Min	Max	Min	Max		
転送速度	4.0 V $\leq$ VCC $\leq$ 5.5 V、 2.7 V $\leq$ V _b $\leq$ 4.0 V 最大転送速度の理論値 $f_{MCK} = PCLKB$ (注3)	—	$f_{MCK}/6$ (注1)	—	$f_{MCK}/6$ (注1)	—	$f_{MCK}/6$ (注1)	bps	図 27.21
		—	5.3	—	4	—	0.33	Mbps	
	2.7 V $\leq$ VCC < 4.0 V、 2.3 V $\leq$ V _b $\leq$ 2.7 V 最大転送速度の理論値 f_{MCK} (注3) = PCLKB(注3)	—	$f_{MCK}/6$ (注1)	—	$f_{MCK}/6$ (注1)	—	$f_{MCK}/6$ (注1)	bps	
		—	5.3	—	4	—	0.33	Mbps	
	1.8 V $\leq$ VCC < 3.3 V、 1.6 V $\leq$ V _b $\leq$ 2.0 V 最大転送速度の理論値 $f_{MCK} = PCLKB$ (注3)	—	$f_{MCK}/6$ (注1) (注2)	—	$f_{MCK}/6$ (注1) (注2)	—	$f_{MCK}/6$ (注1) (注2)	bps	
		—	5.3	—	4	—	0.33	Mbps	

注 1. スリープモードでの転送速度は 4800~9600 bps の範囲内です。

注 2. $V_{CC} \geq V_b$ ではこの速度を使用してください。

注 3. システムクロック (PCLKB) の最高動作周波数は以下のとおりです。

High-speed モード : 32 MHz (1.8 V $\leq$ VCC $\leq$ 5.5 V)、4 MHz (1.6 V $\leq$ VCC $\leq$ 5.5 V)Middle-speed モード : 16 MHz (1.8 V $\leq$ VCC $\leq$ 5.5 V)、4 MHz (1.6 V $\leq$ VCC $\leq$ 5.5 V)Low-speed モード : 2 MHz (1.6 V $\leq$ VCC $\leq$ 5.5 V)

注. ポート gh 端子機能選択レジスタ (PghPFS_A.PIM と PghPFS_A.NCODR) を使用して、RXDq 端子の TTL 入力バッファと TXDq 端子の N チャネルオープンドレイン出力[VCC 耐圧]モードを選択してください。TTL 入力バッファを選択時、 V_{IH} と V_{IL} については DC 特性を参照してください。

- 注.
- $V_b[V]$: 通信回線電圧
 - q : UART 番号 ($q = 0, 1$)、 gh : ポート番号 ($gh = 100, 101, 109, 110, 212, 213, 300$)
 - f_{MCK} : シリアルアレイユニット動作クロック周波数
この動作クロックを設定するために、シリアルモードレジスタ mn (SMRmn) の CKS ビットを使用してください。

m : ユニット番号、n : チャネル番号 (mn = 00, 01, 02, 03)

- P212PFS_A と P213PFS_A レジスタに PIM ビットがないため、異なる電圧レベルで動作中のデバイスとの P212 と P213 を使用した通信は不可能です。

表 27.27 異なる電圧レベルで動作しているデバイスとの UART 通信時 (1.8 V, 2.5 V, 3 V) (2)

条件 : VCC = 1.8~5.5 V, VSS = 0 V, Ta = -40~+125 °C

項目	シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
		Min	Max	Min	Max	Min	Max		
転送速度	4.0 V ≤ VCC ≤ 5.5 V、 2.7 V ≤ V _b ≤ 4.0 V	—	(注1)	—	(注1)	—	(注1)	bps	図 27.21
	最大転送速度の理論値 C _b = 50 pF、 R _b = 1.4 kΩ、 V _b = 2.7 V	—	2.8(注2)	—	2.8(注2)	—	2.8(注2)	Mbps	
	2.7 V ≤ VCC < 4.0 V、 2.3 V ≤ V _b ≤ 2.7 V	—	(注3)	—	(注3)	—	(注3)	bps	
	最大転送速度の理論値 C _b = 50 pF、 R _b = 2.7 kΩ、 V _b = 2.3 V	—	1.2(注4)	—	1.2(注4)	—	1.2(注4)	Mbps	
	1.8 V ≤ VCC < 3.3 V、 1.6 V ≤ V _b ≤ 2.0 V	—	(注5) (注6)	—	(注5) (注6)	—	(注5) (注6)	bps	
	最大転送速度の理論値 C _b = 50 pF、 R _b = 5.5 kΩ、 V _b = 1.6 V	—	0.43(注7)	—	0.43(注7)	—	0.43(注7)	Mbps	

注 1. f_{MCK}/6 または以下の式を使用して得られる小さい最大転送速度が有効な最大転送速度です。

4.0 V ≤ VCC ≤ 5.5 V および 2.7 V ≤ V_b ≤ 4.0 V の場合の転送速度を算出する式

$$\text{最大転送速度} = \frac{1}{\left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.2}{V_b} \right) \right\} \times 3} [\text{bps}]$$

$$\text{ボーレートエラー (理論値)} = \frac{\frac{1}{\text{転送速度} \times 2} - \left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.2}{V_b} \right) \right\}}{\left(\frac{1}{\text{転送速度}} \right) \times \text{転送ビット数}} \times 100 [\%]$$

この値は送信側と受信側の相対的な差分の理論値です。

注 2. この速度は、条件の列に記載された条件を満たす場合の例として算出されたものです。ユーザーの条件下での最大転送速度を算出するためには、上記の(注1)を参照してください。

注 3. f_{MCK}/6 または以下の式を使用して得られる小さい最大転送速度が有効な最大転送速度です。

2.7 V ≤ VCC < 4.0 V および 2.3 V ≤ V_b ≤ 2.7 V の場合の転送速度を算出する式

$$\text{最大転送速度} = \frac{1}{\left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.0}{V_b} \right) \right\} \times 3} [\text{bps}]$$

$$\text{ボーレートエラー (理論値)} = \frac{\frac{1}{\text{転送速度} \times 2} - \left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.0}{V_b} \right) \right\}}{\left(\frac{1}{\text{転送速度}} \right) \times \text{転送ビット数}} \times 100 [\%]$$

この値は送信側と受信側の相対的な差分の理論値です。

注 4. この速度は、条件の列に記載された条件を満たす場合の例として算出されたものです。ユーザーの条件下での最大転送速度を算出するためには、上記の(注3)を参照してください。

注 5. VCC ≥ V_b ではこの速度を使用してください。

注 6. f_{MCK}/6 または以下の式を使用して得られる小さい最大転送速度が有効な最大転送速度です。

1.8 V ≤ VCC < 3.3 V および 1.6 V ≤ V_b ≤ 2.0 V の場合の転送速度を算出する式

$$\text{最大転送速度} = \frac{1}{\left\{ -C_b \times R_b \times \ln \left(1 - \frac{1.5}{V_b} \right) \right\} \times 3} [\text{bps}]$$

$$\text{ボーレートエラー (理論値)} = \frac{\frac{1}{\text{転送速度} \times 2} - \left\{ -C_b \times R_b \times \ln \left(1 - \frac{1.5}{V_b} \right) \right\}}{\left(\frac{1}{\text{転送速度}} \right) \times \text{転送ビット数}} \times 100 [\%]$$

この値は送信側と受信側の相対的な差分の理論値です。

注 7. この速度は、条件の列に記載された条件を満たす場合の例として算出されたものです。ユーザーの条件下での最大転送速度を算出するためには、上記の(注6)を参照してください。

注. ポート gh 端子機能選択レジスタ (PghPFS_A.PIM と PghPFS_A.NCODR) を使用して、RXDq 端子の TTL 入力バッファと TXDq 端子の N チャネルオープンドレイン出力[VCC 耐圧]モードを選択してください。TTL 入力バッファを選択時、 V_{IH} と V_{IL} については DC 特性を参照してください。

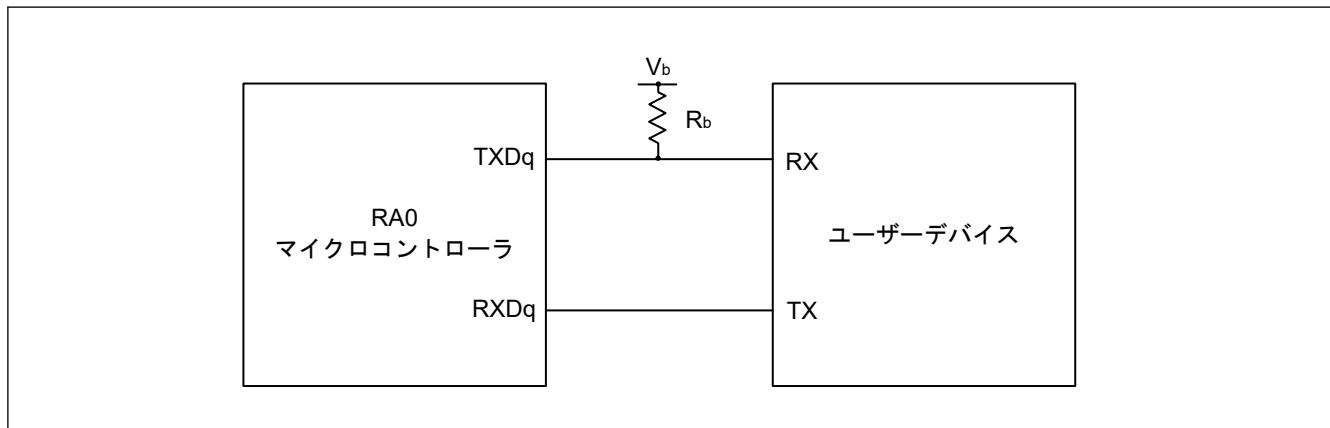


図 27.20 異なる電圧レベルで動作しているデバイスとの UART 通信時

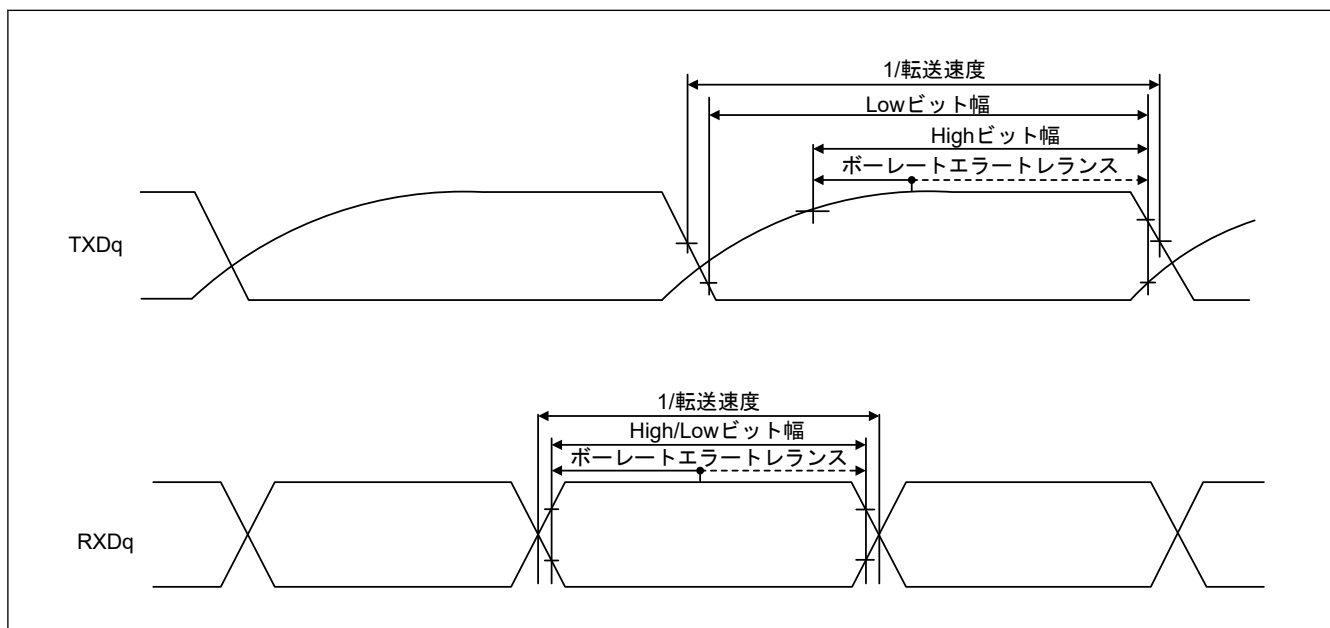


図 27.21 異なる電圧レベルで動作しているデバイスとの UART 通信でのビット幅 (参考)

- 注.
- $R_b[\Omega]$: 通信回線 (TXDq) プルアップ抵抗、 $C_b[F]$: 通信回線 (TXDq) 負荷容量、 $V_b[V]$: 通信回線電圧
 - q: UART 番号 (q = 0, 1)、gh : ポート番号 (gh = 100, 101, 109, 110, 212, 213, 300)
 - f_{MCK} : シリアルアレイユニット動作クロック周波数
この動作クロックを設定するために、シリアルモードレジスタ mn (SMRmn) の CKS ビットを使用してください。
m : ユニット番号、n : チャネル番号 (mn = 00, 01, 02, 03)
 - P212PFS_A と P213PFS_A レジスタに PIM ビットがないため、異なる電圧レベルで動作中のデバイスとの P212 と P213 を使用した通信は不可能です。

表 27.28 内部 SCKp クロックを使用して異なる電圧レベル (2.5 V または 3 V) で動作しているデバイスとマスタモードで簡易 SPI 通信をする場合 (以下の定格は SPI00 にのみ適用可能)

条件 : VCC = 2.7~5.5 V, VSS = 0 V, Ta = -40~+105 °C

項目			シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
				Min	Max	Min	Max	Min	Max		
SCKp サイクル時間	$t_{KCY1} \geq 2/PCLKB$	$4.0 V \leq VCC \leq 5.5 V$ 、 $2.7 V \leq V_b \leq 4.0 V$ 、 $C_b = 20 pF$ 、 $R_b = 1.4 k\Omega$	t_{KCY1}	200	—	200	—	2300	—	ns	図 27.23 図 27.24
		$2.7 V \leq VCC < 4.0 V$ 、 $2.3 V \leq V_b \leq 2.7 V$ 、 $C_b = 20 pF$ 、 $R_b = 2.7 k\Omega$		300	—	300	—	2300	—	ns	
SCKp High レベル幅		$4.0 V \leq VCC \leq 5.5 V$ 、 $2.7 V \leq V_b \leq 4.0 V$ 、 $C_b = 20 pF$ 、 $R_b = 1.4 k\Omega$	t_{KH1}	$t_{KCY1}/2 - 50$	—	$t_{KCY1}/2 - 50$	—	$t_{KCY1}/2 - 50$	—	ns	
		$2.7 V \leq VCC < 4.0 V$ 、 $2.3 V \leq V_b \leq 2.7 V$ 、 $C_b = 20 pF$ 、 $R_b = 2.7 k\Omega$		$t_{KCY1}/2 - 120$	—	$t_{KCY1}/2 - 120$	—	$t_{KCY1}/2 - 120$	—	ns	
SCKp Low レベル幅		$4.0 V \leq VCC \leq 5.5 V$ 、 $2.7 V \leq V_b \leq 4.0 V$ 、 $C_b = 20 pF$ 、 $R_b = 1.4 k\Omega$	t_{KL1}	$t_{KCY1}/2 - 7$	—	$t_{KCY1}/2 - 7$	—	$t_{KCY1}/2 - 50$	—	ns	
		$2.7 V \leq VCC < 4.0 V$ 、 $2.3 V \leq V_b \leq 2.7 V$ 、 $C_b = 20 pF$ 、 $R_b = 2.7 k\Omega$		$t_{KCY1}/2 - 10$	—	$t_{KCY1}/2 - 10$	—	$t_{KCY1}/2 - 50$	—	ns	
Slp セットアップ時間 (SCKp↑ まで) (注1)		$4.0 V \leq VCC \leq 5.5 V$ 、 $2.7 V \leq V_b \leq 4.0 V$ 、 $C_b = 20 pF$ 、 $R_b = 1.4 k\Omega$	t_{SIK1}	58	—	58	—	479	—	ns	
		$2.7 V \leq VCC < 4.0 V$ 、 $2.3 V \leq V_b \leq 2.7 V$ 、 $C_b = 20 pF$ 、 $R_b = 2.7 k\Omega$		121	—	121	—	479	—	ns	
Slp ホールド時間 (SCKp↑ から) (注1)		$4.0 V \leq VCC \leq 5.5 V$ 、 $2.7 V \leq V_b \leq 4.0 V$ 、 $C_b = 20 pF$ 、 $R_b = 1.4 k\Omega$	t_{KSI1}	10	—	10	—	10	—	ns	
		$2.7 V \leq VCC < 4.0 V$ 、 $2.3 V \leq V_b \leq 2.7 V$ 、 $C_b = 20 pF$ 、 $R_b = 2.7 k\Omega$		10	—	10	—	10	—	ns	
SCKp↓ から SOP 出力までの遅延時間 (注1)		$4.0 V \leq VCC \leq 5.5 V$ 、 $2.7 V \leq V_b \leq 4.0 V$ 、 $C_b = 20 pF$ 、 $R_b = 1.4 k\Omega$	t_{KSO1}	—	60	—	60	—	60	ns	
		$2.7 V \leq VCC < 4.0 V$ 、 $2.3 V \leq V_b \leq 2.7 V$ 、 $C_b = 20 pF$ 、 $R_b = 2.7 k\Omega$		—	130	—	130	—	130	ns	
Slp セットアップ時間 (SCKp↓ まで) (注2)		$4.0 V \leq VCC \leq 5.5 V$ 、 $2.7 V \leq V_b \leq 4.0 V$ 、 $C_b = 20 pF$ 、 $R_b = 1.4 k\Omega$	t_{SIK1}	23	—	23	—	110	—	ns	
		$2.7 V \leq VCC < 4.0 V$ 、 $2.3 V \leq V_b \leq 2.7 V$ 、 $C_b = 20 pF$ 、 $R_b = 2.7 k\Omega$		33	—	33	—	110	—	ns	
Slp ホールド時間 (SCKp↓ から) (注2)		$4.0 V \leq VCC \leq 5.5 V$ 、 $2.7 V \leq V_b \leq 4.0 V$ 、 $C_b = 20 pF$ 、 $R_b = 1.4 k\Omega$	t_{KSI1}	10	—	10	—	10	—	ns	
		$2.7 V \leq VCC < 4.0 V$ 、 $2.3 V \leq V_b \leq 2.7 V$ 、 $C_b = 20 pF$ 、 $R_b = 2.7 k\Omega$		10	—	10	—	10	—	ns	
SCKp↑ から SOP 出力までの遅延時間 (注2)		$4.0 V \leq VCC \leq 5.5 V$ 、 $2.7 V \leq V_b \leq 4.0 V$ 、 $C_b = 20 pF$ 、 $R_b = 1.4 k\Omega$	t_{KSO1}	—	10	—	10	—	10	ns	
		$2.7 V \leq VCC < 4.0 V$ 、 $2.3 V \leq V_b \leq 2.7 V$ 、 $C_b = 20 pF$ 、 $R_b = 2.7 k\Omega$		—	10	—	10	—	10	ns	

注 1. SCRmn.DCP[1:0] = 00b または 11b の場合、本設定が適用されます。

注 2. SCRmn.DCP[1:0] = 01b または 10b の場合、本設定が適用されます。

注. ポート gh 端子機能選択レジスタ (PghPFS_A.PIM, PghPFS_A.NCODR) を使用して、Slp 端子の TTL 入力バッファと SOp 端子と SCKp 端子の N チャネルオープンドレイン出力[VCC 耐圧]モードを選択してください。TTL 入力バッファを選択時、 V_{IH} と V_{IL} については DC 特性を参照してください。

注. $R_b[\Omega]$: 通信回線 (SCKp, SOp) プルアップ抵抗、 $C_b[F]$: 通信回線 (SCKp, SOp) 負荷容量、 $V_b[V]$: 通信回線電圧

• p : 簡易 SPI 番号 (p = 00)、m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0)、gh : ポート番号 (gh = 100 ~ 102, 108 ~ 110, 112)

• f_{MCK} : シリアルアレイユニット動作クロック周波数

この動作クロックを設定するために、シリアルモードレジスタ mn (SMRmn) の CKSmn ビットを使用してください。

m : ユニット番号、n : チャネル番号 (mn = 00)

表 27.29 内部 SCKp クロックを使用して異なる電圧レベル (1.8 V、2.5 V または 3 V) で動作しているデバイスとマスターモードで簡易 SPI 通信をする場合 (1)

条件 : VCC = 1.8 ~ 5.5 V, VSS = 0 V, Ta = -40 ~ +125 °C

項目			シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
				Min	Max	Min	Max	Min	Max		
SCKp サイクル時間	$t_{KCY1} \geq 4/PCLKB$	$4.0 V \leq VCC \leq 5.5 V$ 、 $2.7 V \leq V_b \leq 4.0 V$ 、 $C_b = 30 pF$ 、 $R_b = 1.4 k\Omega$	t_{KCY1}	300	—	300	—	2300	—	ns	図 27.23 図 27.24
		$2.7 V \leq VCC < 4.0 V$ 、 $2.3 V \leq V_b \leq 2.7 V$ 、 $C_b = 30 pF$ 、 $R_b = 2.7 k\Omega$		500	—	500	—	2300	—	ns	
		$1.8 V \leq VCC < 3.3 V$ 、 $1.6 V \leq V_b \leq 2.0 V^{(注1)}$ 、 $C_b = 30 pF$ 、 $R_b = 5.5 k\Omega$		1150	—	1150	—	2300	—	ns	
SCKp High レベル幅		$4.0 V \leq VCC \leq 5.5 V$ 、 $2.7 V \leq V_b \leq 4.0 V$ 、 $C_b = 30 pF$ 、 $R_b = 1.4 k\Omega$	t_{KH1}	$t_{KCY1}/2 - 75$	—	$t_{KCY1}/2 - 75$	—	$t_{KCY1}/2 - 75$	—	ns	
		$2.7 V \leq VCC < 4.0 V$ 、 $2.3 V \leq V_b \leq 2.7 V$ 、 $C_b = 30 pF$ 、 $R_b = 2.7 k\Omega$		$t_{KCY1}/2 - 170$	—	$t_{KCY1}/2 - 170$	—	$t_{KCY1}/2 - 170$	—	ns	
		$1.8 V \leq VCC < 3.3 V$ 、 $1.6 V \leq V_b \leq 2.0 V^{(注1)}$ 、 $C_b = 30 pF$ 、 $R_b = 5.5 k\Omega$		$t_{KCY1}/2 - 458$	—	$t_{KCY1}/2 - 458$	—	$t_{KCY1}/2 - 458$	—	ns	
SCKp Low レベル幅		$4.0 V \leq VCC \leq 5.5 V$ 、 $2.7 V \leq V_b \leq 4.0 V$ 、 $C_b = 30 pF$ 、 $R_b = 1.4 k\Omega$	t_{KL1}	$t_{KCY1}/2 - 12$	—	$t_{KCY1}/2 - 12$	—	$t_{KCY1}/2 - 50$	—	ns	
		$2.7 V \leq VCC < 4.0 V$ 、 $2.3 V \leq V_b \leq 2.7 V$ 、 $C_b = 30 pF$ 、 $R_b = 2.7 k\Omega$		$t_{KCY1}/2 - 18$	—	$t_{KCY1}/2 - 18$	—	$t_{KCY1}/2 - 50$	—	ns	
		$1.8 V \leq VCC < 3.3 V$ 、 $1.6 V \leq V_b \leq 2.0 V^{(注1)}$ 、 $C_b = 30 pF$ 、 $R_b = 5.5 k\Omega$		$t_{KCY1}/2 - 50$	—	$t_{KCY1}/2 - 50$	—	$t_{KCY1}/2 - 50$	—	ns	

注 1. $VCC \geq V_b$ ではこの設定を使用してください。

注. ポート gh 端子機能選択レジスタ (PghPFS_A.PIM, PghPFS_A.NCODR) を使用して、Slp 端子の TTL 入力バッファと SOp 端子と SCKp 端子の N チャネルオープンドレイン出力[VCC 耐圧]モードを選択してください。TTL 入力バッファを選択時、 V_{IH} と V_{IL} については DC 特性を参照してください。

表 27.30 内部 SCKp クロックを使用して異なる電圧レベル（1.8 V、2.5 V または 3 V）で動作しているデバイスとマスターモードで簡易 SPI 通信をする場合 (2)

条件 : VCC = 1.8~5.5 V, VSS = 0 V, Ta = -40~+125 °C

項目	シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
		Min	Max	Min	Max	Min	Max		
Slp セットアップ時間 (SCKp↑まで) (注1)	4.0 V ≤ VCC ≤ 5.5 V、 2.7 V ≤ V _b ≤ 4.0 V、 C _b = 30 pF、 R _b = 1.4 kΩ	81	—	81	—	479	—	ns	図 27.23 図 27.24
	2.7 V ≤ VCC < 4.0 V、 2.3 V ≤ V _b ≤ 2.7 V、 C _b = 30 pF、 R _b = 2.7 kΩ	177	—	177	—	479	—	ns	
	1.8 V ≤ VCC < 3.3 V、 1.6 V ≤ V _b ≤ 2.0 V(注2)、 C _b = 30 pF、 R _b = 5.5 kΩ	479	—	479	—	479	—	ns	
Slp ホールド時間 (SCKp↑から) (注1)	4.0 V ≤ VCC ≤ 5.5 V、 2.7 V ≤ V _b ≤ 4.0 V、 C _b = 30 pF、R _b = 1.4 kΩ	19	—	19	—	19	—	ns	
	2.7 V ≤ VCC < 4.0 V、 2.3 V ≤ V _b ≤ 2.7 V、 C _b = 30 pF、R _b = 2.7 kΩ	19	—	19	—	19	—	ns	
	1.8 V ≤ VCC < 3.3 V、 1.6 V ≤ V _b ≤ 2.0 V(注2)、 C _b = 30 pF、R _b = 5.5 kΩ	19	—	19	—	19	—	ns	
SCKp _J から SOp 出力までの 遅延時間(注1)	4.0 V ≤ VCC ≤ 5.5 V、 2.7 V ≤ V _b ≤ 4.0 V、 C _b = 30 pF、R _b = 1.4 kΩ	—	100	—	100	—	100	ns	
	2.7 V ≤ VCC < 4.0 V、 2.3 V ≤ V _b ≤ 2.7 V、 C _b = 30 pF、R _b = 2.7 kΩ	—	195	—	195	—	195	ns	
	1.8 V ≤ VCC < 3.3 V、 1.6 V ≤ V _b ≤ 2.0 V(注2)、 C _b = 30 pF、R _b = 5.5 kΩ	—	483	—	483	—	483	ns	

注 1. SCRmn.DCP[1:0] = 00b または 11b の場合、本設定が適用されます。

注 2. VCC ≥ V_b ではこの設定を使用してください。

注. ポート gh 端子機能選択レジスタ (PghPFS_A.PIM, PghPFS_A.NCODR) を使用して、Slp 端子の TTL 入力バッファと SOp 端子と SCKp 端子の N チャネルオープンドレイン出力[VCC 耐圧]モードを選択してください。TTL 入力バッファを選択時、V_{IH} と V_{IL} については DC 特性を参照してください。

表 27.31 内部 SCKp クロックを使用して異なる電圧レベル (1.8 V、2.5 V または 3 V) で動作しているデバイスとマスターモードで簡易 SPI 通信をする場合 (3)

条件 : $V_{CC} = 1.8 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim +125 \text{ }^{\circ}\text{C}$

項目	シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
		Min	Max	Min	Max	Min	Max		
Slp セットアップ時間 (SCKp↓まで) (注1)	$4.0 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$ 、 $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$ 、 $C_b = 30 \text{ pF}$ 、 $R_b = 1.4 \text{ k}\Omega$	44	—	44	—	110	—	ns	図 27.23 図 27.24
	$2.7 \text{ V} \leq V_{CC} < 4.0 \text{ V}$ 、 $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$ 、 $C_b = 30 \text{ pF}$ 、 $R_b = 2.7 \text{ k}\Omega$	44	—	44	—	110	—	ns	
	$1.8 \text{ V} \leq V_{CC} < 3.3 \text{ V}$ 、 $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}$ (注2)、 $C_b = 30 \text{ pF}$ 、 $R_b = 5.5 \text{ k}\Omega$	110	—	110	—	110	—	ns	
Slp ホールド時間 (SCKp↓から) (注1)	$4.0 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$ 、 $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$ 、 $C_b = 30 \text{ pF}$ 、 $R_b = 1.4 \text{ k}\Omega$	19	—	19	—	19	—	ns	
	$2.7 \text{ V} \leq V_{CC} < 4.0 \text{ V}$ 、 $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$ 、 $C_b = 30 \text{ pF}$ 、 $R_b = 2.7 \text{ k}\Omega$	19	—	19	—	19	—	ns	
	$1.8 \text{ V} \leq V_{CC} < 3.3 \text{ V}$ 、 $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}$ (注2)、 $C_b = 30 \text{ pF}$ 、 $R_b = 5.5 \text{ k}\Omega$	19	—	19	—	19	—	ns	
SCKp↑から SOp 出力までの遅延 時間(注1)	$4.0 \text{ V} \leq V_{CC} \leq 5.5 \text{ V}$ 、 $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$ 、 $C_b = 30 \text{ pF}$ 、 $R_b = 1.4 \text{ k}\Omega$	—	25	—	25	—	25	ns	
	$2.7 \text{ V} \leq V_{CC} < 4.0 \text{ V}$ 、 $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$ 、 $C_b = 30 \text{ pF}$ 、 $R_b = 2.7 \text{ k}\Omega$	—	25	—	25	—	25	ns	
	$1.8 \text{ V} \leq V_{CC} < 3.3 \text{ V}$ 、 $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}$ (注2)、 $C_b = 30 \text{ pF}$ 、 $R_b = 5.5 \text{ k}\Omega$	—	25	—	25	—	25	ns	

注 1. SCRmn.DCP[1:0] = 01b または 10b の場合、本設定が適用されます。

注 2. $V_{CC} \geq V_b$ ではこの設定を使用してください。

注. ポート gh 端子機能選択レジスタ (PghPFS_A.PIM, PghPFS_A.NCODR) を使用して、Slp 端子の TTL 入力バッファと SOp 端子と SCKp 端子の N チャネルオープンドレイン出力[VCC 耐圧]モードを選択してください。TTL 入力バッファを選択時、 V_{IH} と V_{IL} については DC 特性を参照してください。

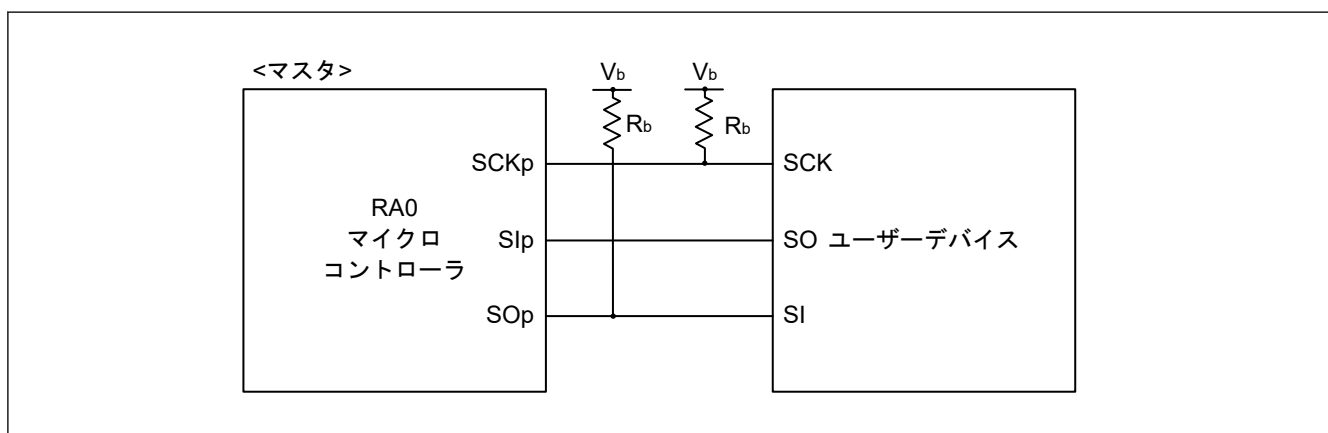


図 27.22 異なる電圧レベルで動作しているデバイスとの簡易 SPI 通信での接続

注.
 • $R_b[\Omega]$: 通信回線 (SCKp, SOp) プルアップ抵抗、 $C_b[F]$: 通信回線 (SCKp, SOp) 負荷容量、 $V_b[V]$: 通信回線電圧
 • p : 簡易 SPI 番号 (p = 00, 11)、m : ユニット番号、n : チャネル番号 (mn = 00, 03)、gh : ポート番号 (gh = 100 ~ 102, 108 ~ 110, 112, 201, 212, 213)

- f_{MCK} : シリアルアレイユニット動作クロック周波数
この動作クロックを設定するために、シリアルモードレジスタ mn (SMRmn) の CKS ビットを使用してください。
m : ユニット番号、n : チャンネル番号 (mn = 00, 03)
- P212PFS_A と P213PFS_A レジスタに PIM ビットがないため、異なる電圧レベルで動作中のデバイスとの P212 と P213 を使用した通信は不可能です。

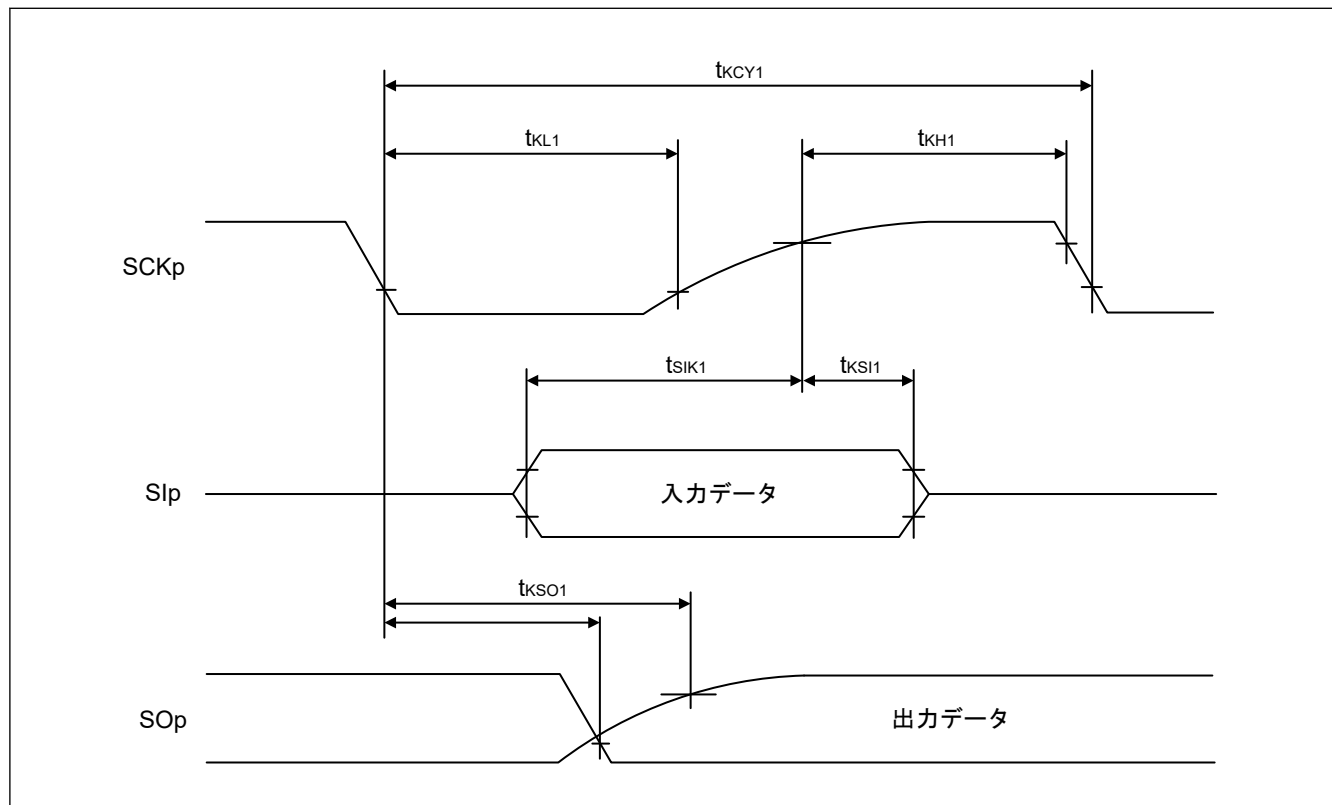


図 27.23 異なる電圧レベルで動作しているデバイスとのマスタモードでの簡易 SPI 通信でのシリアル転送のタイミング (SCRmn.DCP[1:0] = 00b または 11b の場合)

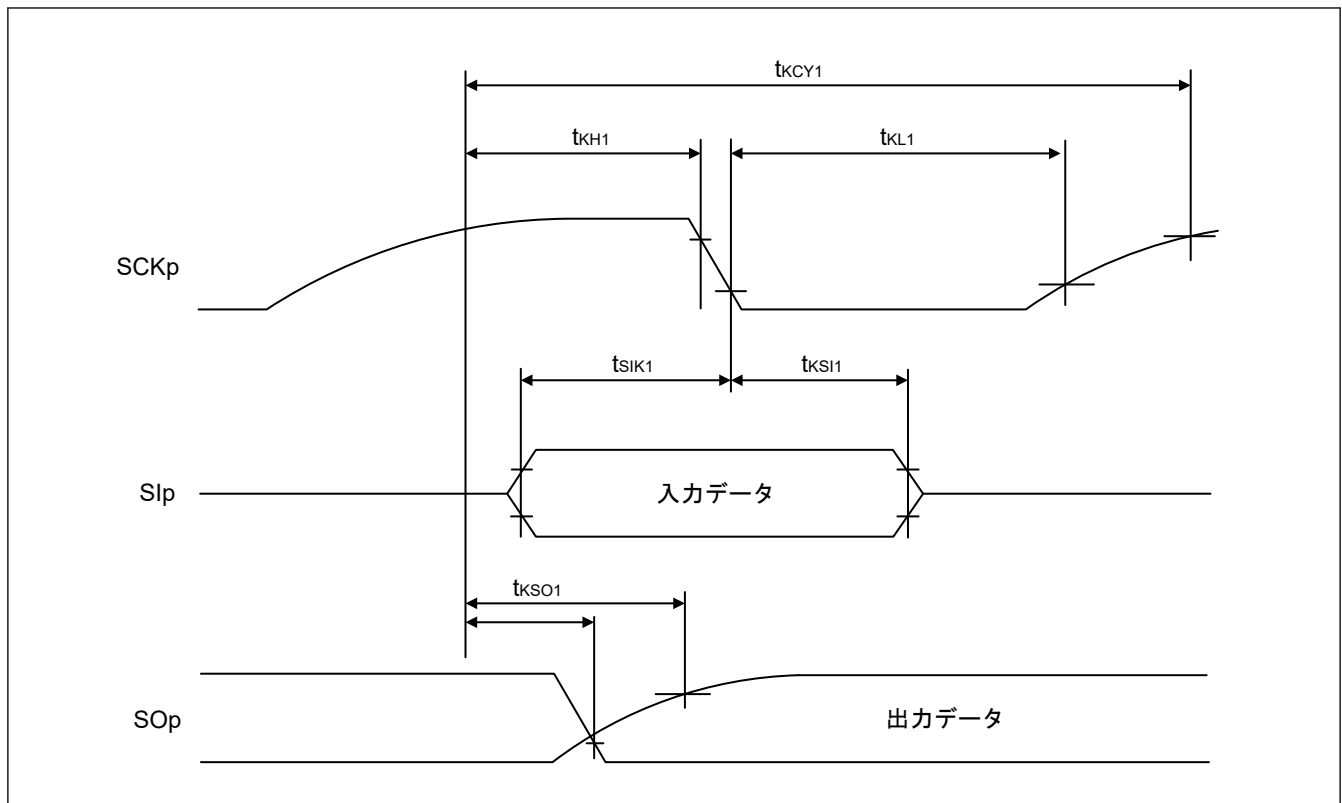


図 27.24 異なる電圧レベルで動作しているデバイスとのマスタモードでの簡易 SPI 通信でのシリアル転送のタイミング (SCRmn.DCP[1:0] = 01b または 10b の場合)

- 注.
- p : 簡易 SPI 番号 (p = 00, 11)、m : ユニット番号、n : チャネル番号 (mn = 00, 03)、gh : ポート番号 (gh = 100 ~ 102, 108 ~ 110, 112, 201, 212, 213)
 - P212PFS_A と P213PFS_A レジスタに PIM ビットがないため、異なる電圧レベルで動作中のデバイスとの P212 と P213 を使用した通信は不可能です。

表 27.32 外部 SCKp クロックを使用して異なる電圧レベル (1.8 V、2.5 V または 3 V) で動作しているデバイスとスレーブモードで簡易 SPI 通信をする場合

条件 : VCC = 1.8~5.5 V, VSS = 0 V, Ta = -40~+125 °C

項目			シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
				Min	Max	Min	Max	Min	Max		
SCKp サイクルタイム (注1)	4.0 V ≤ VCC ≤ 5.5 V、 2.7 V ≤ V _b ≤ 4.0 V	f _{MCK} = 32 MHz	t _{KCY2}	14/f _{MCK}	—	—	—	—	—	ns	図 27.26 図 27.27
		8 MHz < f _{MCK} ≤ 16 MHz		10/f _{MCK}	—	10/f _{MCK}	—	—	ns		
		4 MHz < f _{MCK} ≤ 8 MHz		8/f _{MCK}	—	8/f _{MCK}	—	—	ns		
		f _{MCK} ≤ 4 MHz		6/f _{MCK}	—	6/f _{MCK}	—	10/f _{MCK}	ns		
	2.7 V ≤ VCC < 4.0 V、 2.3 V ≤ V _b ≤ 2.7 V	f _{MCK} = 32 MHz		20/f _{MCK}	—	—	—	—	ns		
		8 MHz < f _{MCK} ≤ 16 MHz		12/f _{MCK}	—	12/f _{MCK}	—	—	ns		
		4 MHz < f _{MCK} ≤ 8 MHz		8/f _{MCK}	—	8/f _{MCK}	—	—	ns		
		f _{MCK} ≤ 4 MHz		6/f _{MCK}	—	6/f _{MCK}	—	10/f _{MCK}	ns		
	1.8 V ≤ VCC < 3.3 V、 1.6 V ≤ V _b ≤ 2.0 V(注2)	f _{MCK} = 32 MHz		48/f _{MCK}	—	—	—	—	ns		
		8 MHz < f _{MCK} ≤ 16 MHz		26/f _{MCK}	—	26/f _{MCK}	—	—	ns		
		4 MHz < f _{MCK} ≤ 8 MHz		16/f _{MCK}	—	16/f _{MCK}	—	—	ns		
		f _{MCK} ≤ 4 MHz		10/f _{MCK}	—	10/f _{MCK}	—	10/f _{MCK}	ns		
SCKp High/Low レベル幅	4.0 V ≤ VCC ≤ 5.5 V、 2.7 V ≤ V _b ≤ 4.0 V	t _{KH2} 、 t _{KL2}	t _{KCY2} /2 - 12	—	t _{KCY2} /2 - 12	—	t _{KCY2} /2 - 50	—	ns		
	2.7 V ≤ VCC < 4.0 V、 2.3 V ≤ V _b ≤ 2.7 V		t _{KCY2} /2 - 18	—	t _{KCY2} /2 - 18	—	t _{KCY2} /2 - 50	—	ns		
	1.8 V ≤ VCC < 3.3 V、 1.6 V ≤ V _b ≤ 2.0 V(注2)		t _{KCY2} /2 - 50	—	t _{KCY2} /2 - 50	—	t _{KCY2} /2 - 50	—	ns		
Slp セットアップ時間 (SCKp↑まで) (注3)	4.0 V ≤ VCC ≤ 5.5 V、 2.7 V ≤ V _b ≤ 4.0 V	t _{SIK2}	1/f _{MCK} + 20	—	1/f _{MCK} + 20	—	1/f _{MCK} + 30	—	ns		
	2.7 V ≤ VCC < 4.0 V、 2.3 V ≤ V _b ≤ 2.7 V		1/f _{MCK} + 20	—	1/f _{MCK} + 20	—	1/f _{MCK} + 30	—	ns		
	1.8 V ≤ VCC < 3.3 V、 1.6 V ≤ V _b ≤ 2.0 V(注2)		1/f _{MCK} + 30	—	1/f _{MCK} + 30	—	1/f _{MCK} + 30	—	ns		
Slp ホールド時間 (SCKp↓から) (注3)		t _{KSI2}	1/f _{MCK} + 31	—	1/f _{MCK} + 31	—	1/f _{MCK} + 31	—	ns		
SCKp↓から SOp 出力までの遅延時間(注4)	4.0 V ≤ VCC ≤ 5.5 V、 2.7 V ≤ V _b ≤ 4.0 V、 C _b = 30 pF、 R _b = 1.4 kΩ	t _{KSO2}	—	2/f _{MCK} + 120	—	2/f _{MCK} + 120	—	2/f _{MCK} + 573	ns		
	2.7 V ≤ VCC < 4.0 V、 2.3 V ≤ V _b ≤ 2.7 V、 C _b = 30 pF、 R _b = 2.7 kΩ		—	2/f _{MCK} + 214	—	2/f _{MCK} + 214	—	2/f _{MCK} + 573	ns		
	1.8 V ≤ VCC < 3.3 V、 1.6 V ≤ V _b ≤ 2.0 V(注2)、 C _b = 30 pF、 R _b = 5.5 kΩ		—	2/f _{MCK} + 573	—	2/f _{MCK} + 573	—	2/f _{MCK} + 573	ns		

注 1. スヌーズモードでの転送速度 : 1 Mbps (max)

注 2. VCC ≥ V_b ではこの設定を使用してください。

注 3. SCRmn.DCP[1:0] = 00b または 11b の場合、本設定が適用されます。SCRmn.DCP[1:0] = 01b または 10b の場合、Slp セットアップ時間は「SCKp↓まで」になり、Slp ホールド時間は「SCKp↓から」になります。

注 4. SCRmn.DCP[1:0] = 00b または 11b の場合、本設定が適用されます。SCRmn.DCP[1:0] = 01b または 10b の場合、SO_p 出力までの遅延時間は「SCKp↑から」になります。

注. ポート gh 端子機能選択レジスタ (PghPFS_A.PIM, PghPFS_A.NCODR) を使用して、Slp 端子の TTL 入力バッファと SOp 端子と SCKp 端子の N チャネルオープンドレイン出力[VCC 耐圧]モードを選択してください。TTL 入力バッファを選択時、V_{IH} と V_{IL} については DC 特性を参照してください。

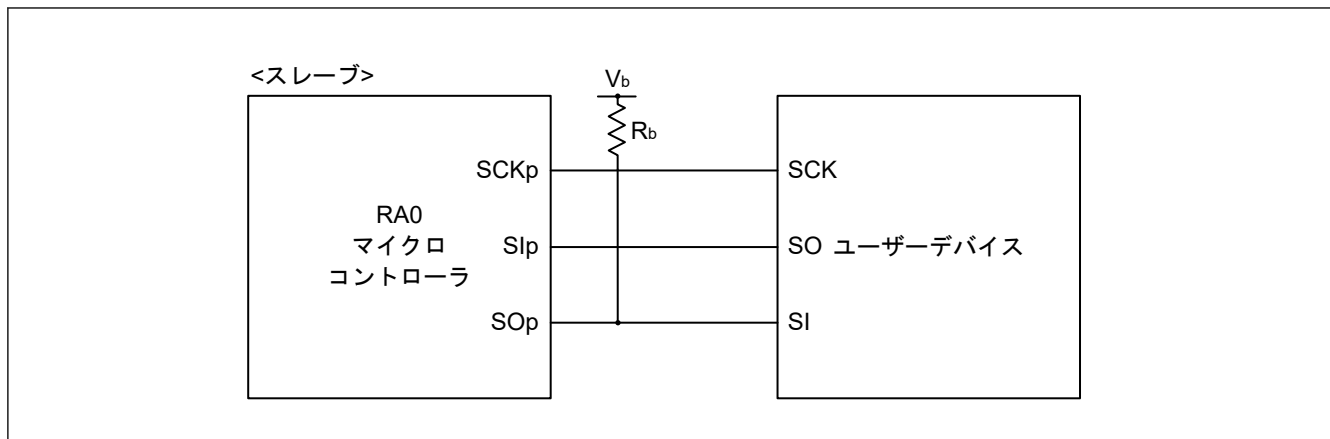


図 27.25 異なる電圧レベルで動作しているデバイスとの簡易 SPI 通信での接続

- 注.
- $R_b[\Omega]$: 通信回線 (SOp) プルアップ抵抗、 $C_b[F]$: 通信回線 (SOp) 負荷容量、 $V_b[V]$: 通信回線電圧
 - p : 簡易 SPI 番号 (p = 00, 11)、m : ユニット番号、n : チャンネル番号 (mn = 00, 03)、gh : ポート番号 (gh = 100 ~ 102, 108 ~ 110, 112, 201, 212, 213)
 - f_{MCK} : シリアルレイユニット動作クロック周波数
この動作クロックを設定するために、シリアルモードレジスタ mn (SMRmn) の CKS ビットを使用してください。
m : ユニット番号、n : チャンネル番号 (mn = 00, 03, 10, 11)
 - P212PFS_A と P213PFS_A レジスタに PIM ビットがないため、異なる電圧レベルで動作中のデバイスとの P212 と P213 を使用した通信は不可能です。

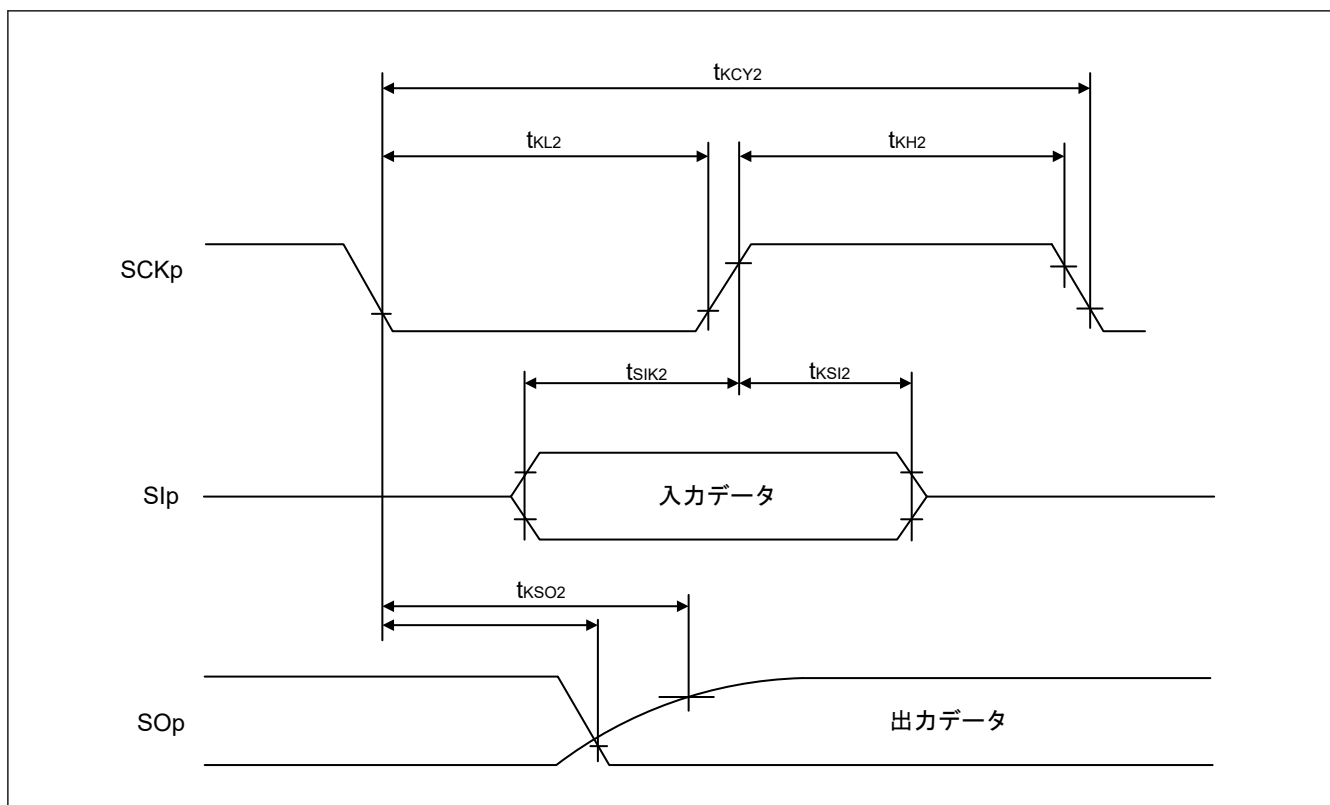


図 27.26 異なる電圧レベルで動作しているデバイスとのスレープモードでの簡易 SPI 通信でのシリアル転送のタイミング (SCRmn.DCP[1:0] = 00b または 11b の場合)

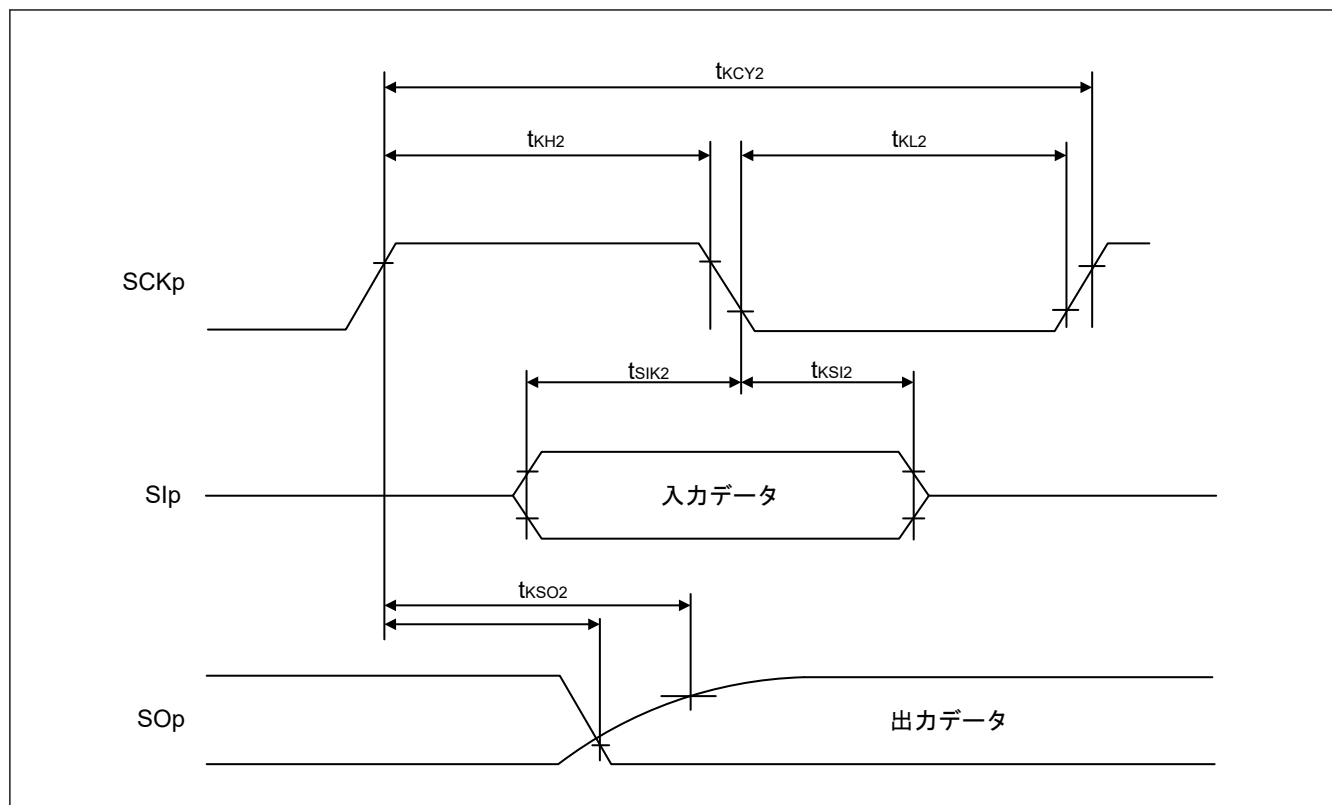


図 27.27 異なる電圧レベルで動作しているデバイスとのスレープモードでの簡易 SPI 通信でのシリアル転送のタイミング (SCRmn.DCP[1:0] = 01b または 10b の場合)

- 注.
- p : 簡易 SPI 番号 (p = 00, 11)、m : ユニット番号、n : チャネル番号 (mn = 00, 03)、gh : ポート番号 (gh = 100 ~ 102, 108 ~ 110, 112, 201, 212, 213)
 - P212PFS_A と P213PFS_A レジスタに PIM ビットがないため、異なる電圧レベルで動作中のデバイスとの P212 と P213 を使用した通信は不可能です。

表 27.33 異なる電圧レベルで動作しているデバイスとの簡易 IIC 通信時 (1.8 V、2.5 V または 3 V) (1/2)

条件 : VCC = 1.8~5.5 V, VSS = 0 V, Ta = -40~+125 °C

項目	シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
		Min	Max	Min	Max	Min	Max		
SCLr クロック 周波数	4.0 V $\leq$ VCC $\leq$ 5.5 V、 2.7 V $\leq$ Vb $\leq$ 4.0 V、 Cb = 50 pF、Rb = 2.7 k Ω	—	1000 (注1)	—	1000 (注1)	—	300 (注1)	kHz	図 27.29
	2.7 V $\leq$ VCC < 4.0 V、 2.3 V $\leq$ Vb $\leq$ 2.7 V、 Cb = 50 pF、Rb = 2.7 k Ω	—	1000 (注1)	—	1000 (注1)	—	300 (注1)	kHz	
	4.0 V $\leq$ VCC $\leq$ 5.5 V、 2.7 V $\leq$ Vb $\leq$ 4.0 V、 Cb = 100 pF、Rb = 2.8 k Ω	—	400 (注1)	—	400 (注1)	—	300 (注1)	kHz	
	2.7 V $\leq$ VCC < 4.0 V、 2.3 V $\leq$ Vb $\leq$ 2.7 V、 Cb = 100 pF、Rb = 2.7 k Ω	—	400 (注1)	—	400 (注1)	—	300 (注1)	kHz	
	1.8 V $\leq$ VCC < 3.3 V、 1.6 V $\leq$ Vb $\leq$ 2.0 V(注2)、 Cb = 100 pF、Rb = 5.5 k Ω	—	300 (注1)	—	300 (注1)	—	300 (注1)	kHz	
SCLr が Low の 場合のホール ド時間	4.0 V $\leq$ VCC $\leq$ 5.5 V、 2.7 V $\leq$ Vb $\leq$ 4.0 V、 Cb = 50 pF、Rb = 2.7 k Ω	475	—	475	—	1550	—	ns	
	2.7 V $\leq$ VCC < 4.0 V、 2.3 V $\leq$ Vb $\leq$ 2.7 V、 Cb = 50 pF、Rb = 2.7 k Ω	475	—	475	—	1550	—	ns	
	4.0 V $\leq$ VCC $\leq$ 5.5 V、 2.7 V $\leq$ Vb $\leq$ 4.0 V、 Cb = 100 pF、Rb = 2.8 k Ω	1150	—	1550	—	1550	—	ns	
	2.7 V $\leq$ VCC < 4.0 V、 2.3 V $\leq$ Vb $\leq$ 2.7 V、 Cb = 100 pF、Rb = 2.7 k Ω	1150	—	1550	—	1550	—	ns	
	1.8 V $\leq$ VCC < 3.3 V、 1.6 V $\leq$ Vb $\leq$ 2.0 V(注2)、 Cb = 100 pF、Rb = 5.5 k Ω	1550	—	1550	—	1550	—	ns	
SCLr が High の 場合のホール ド時間	4.0 V $\leq$ VCC $\leq$ 5.5 V、 2.7 V $\leq$ Vb $\leq$ 4.0 V、 Cb = 50 pF、Rb = 2.7 k Ω	245	—	245	—	610	—	ns	
	2.7 V $\leq$ VCC < 4.0 V、 2.3 V $\leq$ Vb $\leq$ 2.7 V、 Cb = 50 pF、Rb = 2.7 k Ω	200	—	200	—	610	—	ns	
	4.0 V $\leq$ VCC $\leq$ 5.5 V、 2.7 V $\leq$ Vb $\leq$ 4.0 V、 Cb = 100 pF、Rb = 2.8 k Ω	675	—	675	—	610	—	ns	
	2.7 V $\leq$ VCC < 4.0 V、 2.3 V $\leq$ Vb $\leq$ 2.7 V、 Cb = 100 pF、Rb = 2.7 k Ω	600	—	600	—	610	—	ns	
	1.8 V $\leq$ VCC < 3.3 V、 1.6 V $\leq$ Vb $\leq$ 2.0 V(注2)、 Cb = 100 pF、Rb = 5.5 k Ω	610	—	610	—	610	—	ns	

表 27.33 異なる電圧レベルで動作しているデバイスとの簡易 IIC 通信時 (1.8 V、2.5 V または 3 V) (2/2)

条件 : VCC = 1.8~5.5 V, VSS = 0 V, Ta = -40~+125 °C

項目	シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
		Min	Max	Min	Max	Min	Max		
データセットアップ時間 (受信)	4.0 V ≤ VCC ≤ 5.5 V、 2.7 V ≤ V _b ≤ 4.0 V、 C _b = 50 pF、R _b = 2.7 kΩ	1/f _{MCK} + 135(注3)	—	1/f _{MCK} + 135(注3)	—	1/f _{MCK} + 190(注3)	—	ns	図 27.29
	2.7 V ≤ VCC < 4.0 V、 2.3 V ≤ V _b ≤ 2.7 V、 C _b = 50 pF、R _b = 2.7 kΩ	1/f _{MCK} + 135(注3)	—	1/f _{MCK} + 135(注3)	—	1/f _{MCK} + 190(注3)	—	ns	
	4.0 V ≤ VCC ≤ 5.5 V、 2.7 V ≤ V _b ≤ 4.0 V、 C _b = 100 pF、R _b = 2.8 kΩ	1/f _{MCK} + 190(注3)	—	1/f _{MCK} + 190(注3)	—	1/f _{MCK} + 190(注3)	—	ns	
	2.7 V ≤ VCC < 4.0 V、 2.3 V ≤ V _b ≤ 2.7 V、 C _b = 100 pF、R _b = 2.7 kΩ	1/f _{MCK} + 190(注3)	—	1/f _{MCK} + 190(注3)	—	1/f _{MCK} + 190(注3)	—	ns	
	1.8 V ≤ VCC < 3.3 V、 1.6 V ≤ V _b ≤ 2.0 V(注2)、 C _b = 100 pF、R _b = 5.5 kΩ	1/f _{MCK} + 190(注3)	—	1/f _{MCK} + 190(注3)	—	1/f _{MCK} + 190(注3)	—	ns	
データ保持時間 (送信)	4.0 V ≤ VCC ≤ 5.5 V、 2.7 V ≤ V _b ≤ 4.0 V、 C _b = 50 pF、R _b = 2.7 kΩ	0	305	0	305	0	305	ns	
	2.7 V ≤ VCC < 4.0 V、 2.3 V ≤ V _b ≤ 2.7 V、 C _b = 50 pF、R _b = 2.7 kΩ	0	305	0	305	0	305	ns	
	4.0 V ≤ VCC ≤ 5.5 V、 2.7 V ≤ V _b ≤ 4.0 V、 C _b = 100 pF、R _b = 2.8 kΩ	0	355	0	355	0	355	ns	
	2.7 V ≤ VCC < 4.0 V、 2.3 V ≤ V _b ≤ 2.7 V、 C _b = 100 pF、R _b = 2.7 kΩ	0	355	0	355	0	355	ns	
	1.8 V ≤ VCC < 3.3 V、 1.6 V ≤ V _b ≤ 2.0 V(注2)、 C _b = 100 pF、R _b = 5.5 kΩ	0	405	0	405	0	405	ns	

注 1. 表に示す時間は、f_{MCK}/4 以下である必要があります。注 2. VCC ≥ V_b ではこの設定を使用してください。注 3. SCLr が Low または High の場合に f_{MCK} がホールド時間を超えないように設定してください。

注. ポート gh 端子機能選択レジスタ (PghPFS_A.PIM, PghPFS_A.NCODR) を使用して、SDAr 端子の TTL 入力バッファと N チャネルオープンドレイン出力[VCC 耐圧]モードおよび SCLr 端子の N チャネルオープンドレイン出力[VCC 耐圧]モードを選択してください。TTL 入力バッファを選択時、V_{IH} と V_{IL} については DC 特性を参照してください。

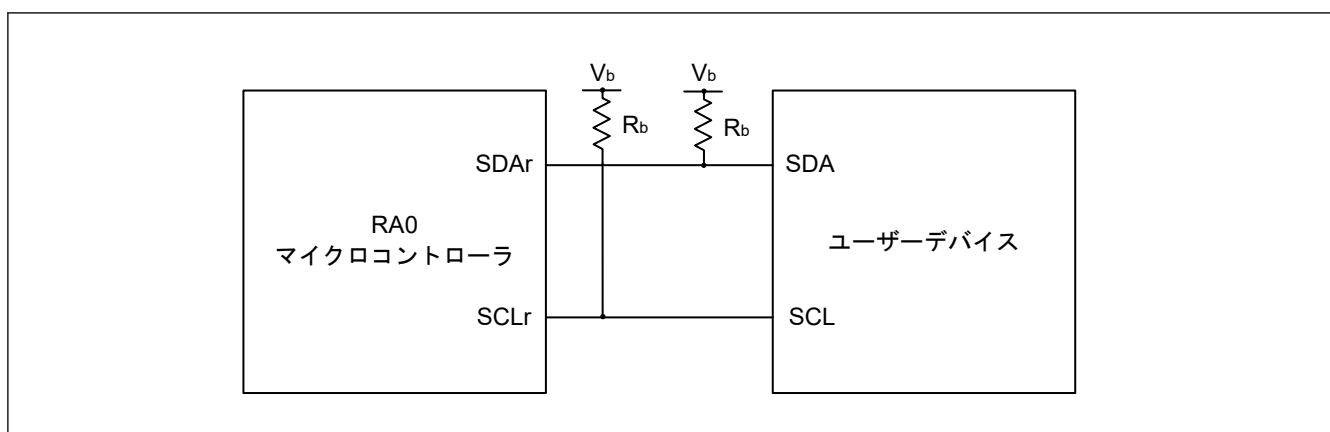


図 27.28 異なる電圧レベルで動作しているデバイスとの IIC 通信での接続

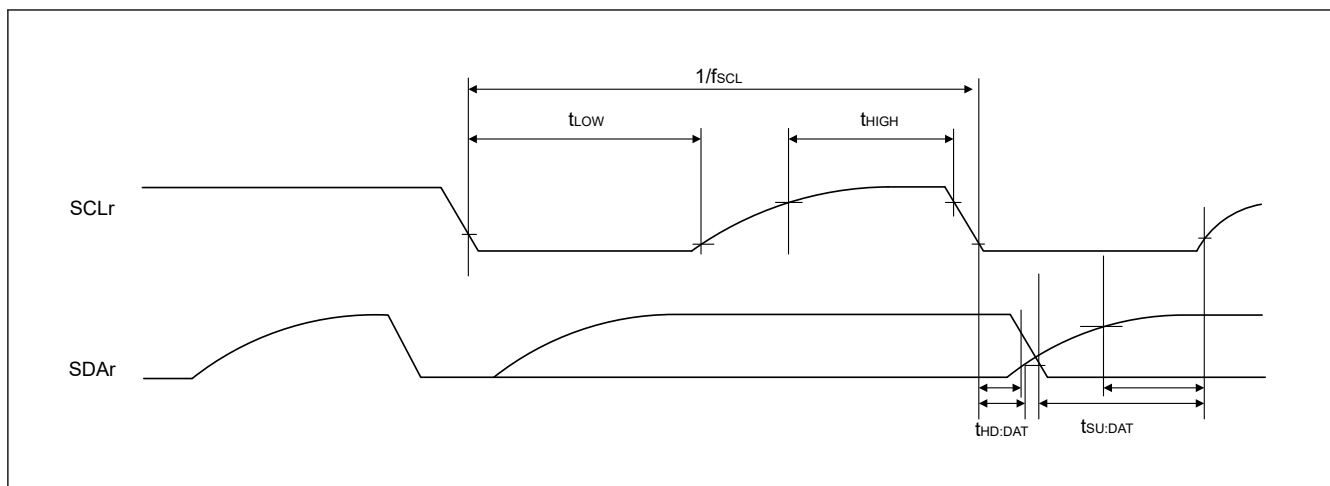


図 27.29 異なる電圧レベルで動作しているデバイスとの簡易 IIC 通信でのシリアル転送のタイミング

- 注.
- $R_b[\Omega]$: 通信回線 (SDAr, SCLr) プルアップ抵抗、 $C_b[F]$: 通信回線 (SDAr, SCLr) 負荷容量、 $V_b[V]$: 通信回線電圧
 - r : 簡易 IIC 番号 ($r = 00, 11$)、 gh : ポート番号 ($gh = 100, 102, 110, 112, 201, 212$)
 - f_{MCK} : シリアルアレイユニット動作クロック周波数
この動作クロックを設定するために、シリアルモードレジスタ mn (SMRmn) の CKS ビットを使用してください。
 m : ユニット番号、 n : チャネル番号 ($mn = 00, 03$)

27.5.2 I²C バスインタフェース (IICA)

表 27.34 I²C 標準モード条件 : $V_{CC} = 1.6 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim +125 \text{ }^\circ\text{C}$

項目		シンボル	Min	Typ	Max	単位	測定条件
SCLAn クロック周波数	標準モード : $PCLKB \geq 1 \text{ MHz}$	f_{SCL}	0	—	100	kHz	図 27.30
リスタートコンディションセットアップ時間	—	$t_{SU:STA}$	4.7	—	—	μs	
ホールド時間(注1)	—	$t_{HD:STA}$	4	—	—	μs	
SCLAn が Low の場合のホールド時間	—	t_{LOW}	4.7	—	—	μs	
SCLAn が High の場合のホールド時間	—	t_{HIGH}	4	—	—	μs	
データセットアップ時間 (受信)	—	$t_{SU:DAT}$	250	—	—	ns	
データホールド時間 (送信) (注2)	—	$t_{HD:DAT}$	0	—	3.45	μs	
ストップコンディションセットアップ時間	—	$t_{SU:STO}$	4	—	—	μs	
バスフリー時間	—	t_{BUF}	4.7	—	—	μs	

注 1. スタートコンディションまたはリスタートコンディションの検出時、この期間の後に 1 つ目のクロックパルスが生成されます。

注 2. $t_{HD:DAT}$ の最大値は通常転送に適用されます。クロックストレッチはアクノリッジ (ACK) 信号の受信時に挿入されます。注. n : ユニット番号 (0)

注. P212PFS_A と P213PFS_A レジスタに PIM ビットがないため、異なる電圧レベルで動作中のデバイスとの P212 と P213 を使用した通信は不可能です。

注. 通信回線容量 (C_b) と通信回線プルアップ抵抗 (R_b) の最大値は以下のとおりです。 $C_b = 400 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$

表 27.35 I²C ファストモード

条件 : VCC = 1.8~5.5 V, VSS = 0 V, Ta = -40~+125 °C

項目		シンボル	Min	Typ	Max	単位	測定条件
SCLAn クロック周波数	ファストモード: PCLKB $\geq$ 3.5 MHz 1.8 V $\leq$ VCC $\leq$ 5.5 V	f _{SCL}	0	—	400	kHz	図 27.30
リスタートコンディションセ ットアップ時間	1.8 V $\leq$ VCC $\leq$ 5.5 V	t _{SU:STA}	0.6	—	—	μ s	
ホールド時間(注1)	1.8 V $\leq$ VCC $\leq$ 5.5 V	t _{HD:STA}	0.6	—	—	μ s	
SCLAn が Low の場合のホー ルド時間	1.8 V $\leq$ VCC $\leq$ 5.5 V	t _{LOW}	1.3	—	—	μ s	
SCLAn が High の場合のホー ルド時間	1.8 V $\leq$ VCC $\leq$ 5.5 V	t _{HIGH}	0.6	—	—	μ s	
データセットアップ時間 (受 信)	1.8 V $\leq$ VCC $\leq$ 5.5 V	t _{SU:DAT}	100	—	—	ns	
データホールド時間 (送信) (注2)	1.8 V $\leq$ VCC $\leq$ 5.5 V	t _{HD:DAT}	0	—	0.9	μ s	
ストップコンディションセッ トアップ時間	1.8 V $\leq$ VCC $\leq$ 5.5 V	t _{SU:STO}	0.6	—	—	μ s	
バスフリー時間	1.8 V $\leq$ VCC $\leq$ 5.5 V	t _{BUF}	1.3	—	—	μ s	

注 1. スタートコンディションまたはリスタートコンディションの検出時、この期間の後に 1 つ目のクロックパルスが生成されます。

注 2. t_{HD:DAT} の最大値は通常転送に適用されます。クロックストレッチはアクノリッジ (ACK) 信号の受信時に挿入されます。

注. P212PFS_A と P213PFS_A レジスタに PIM ビットがないため、異なる電圧レベルで動作中のデバイスとの P212 と P213 を使用した通信は不可能です。

注. 通信回線容量 (C_b) と通信回線プルアップ抵抗 (R_b) の最大値は以下のとおりです。

$$C_b = 320 \text{ pF}, R_b = 1.1 \text{ k}\Omega$$

表 27.36 I²C ファストモードプラス

条件 : VCC = 2.7~5.5 V, VSS = 0 V, Ta = -40~+125 °C

項目		シンボル	Min	Typ	Max	単位	測定条件
SCLAn クロック周波数	ファストモードプラス : PCLKB $\geq$ 10 MHz 2.7 V $\leq$ VCC $\leq$ 5.5 V	f _{SCL}	0	—	1000	kHz	図 27.30
リスタートコンディションセ ットアップ時間	2.7 V $\leq$ VCC $\leq$ 5.5 V	t _{SU:STA}	0.26	—	—	μ s	
ホールド時間(注1)	2.7 V $\leq$ VCC $\leq$ 5.5 V	t _{HD:STA}	0.26	—	—	μ s	
SCLAn が Low の場合のホー ルド時間	2.7 V $\leq$ VCC $\leq$ 5.5 V	t _{LOW}	0.5	—	—	μ s	
SCLAn が High の場合のホー ルド時間	2.7 V $\leq$ VCC $\leq$ 5.5 V	t _{HIGH}	0.26	—	—	μ s	
データセットアップ時間 (受 信)	2.7 V $\leq$ VCC $\leq$ 5.5 V	t _{SU:DAT}	50	—	—	ns	
データホールド時間 (送信) (注2)	2.7 V $\leq$ VCC $\leq$ 5.5 V	t _{HD:DAT}	0	—	0.45	μ s	
ストップコンディションセッ トアップ時間	2.7 V $\leq$ VCC $\leq$ 5.5 V	t _{SU:STO}	0.26	—	—	μ s	
バスフリー時間	2.7 V $\leq$ VCC $\leq$ 5.5 V	t _{BUF}	0.5	—	—	μ s	

注 1. スタートコンディションまたはリスタートコンディションの検出時、この期間の後に 1 つ目のクロックパルスが生成されます。

注 2. t_{HD:DAT} の最大値は通常転送に適用されます。クロックストレッチはアクノリッジ (ACK) 信号の受信時に挿入されます。

注. P212PFS_A と P213PFS_A レジスタに PIM ビットがないため、異なる電圧レベルで動作中のデバイスとの P212 と P213 を使用した通信は不可能です。

注. 通信回線容量 (C_b) と通信回線プルアップ抵抗 (R_b) の最大値は以下のとおりです。

$$C_b = 120 \text{ pF}, R_b = 1.1 \text{ k}\Omega$$

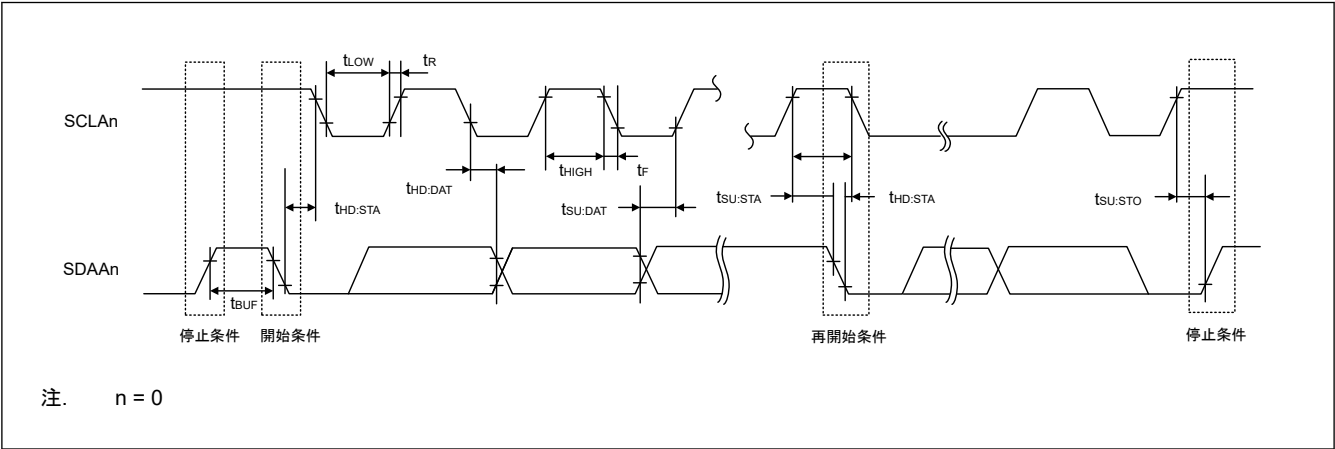


図 27.30 I2C シリアル転送タイミング

27.6 アナログ特性

27.6.1 A/D コンバータ特性 ($T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

表 27.37 A/D コンバータの特性の参考資料

入力チャネル	基準電圧		
	基準電圧 (+) = VREFH0 基準電圧 (-) = VREFL0	基準電圧 (+) = VCC 基準電圧 (-) = VSS	基準電圧 (+) = VBGR 基準電圧 (-) = VREFL0
AN000, AN001, AN004, AN005	表 27.38 を参照してください。	表 27.40 を参照してください。	表 27.41 を参照してください。
AN021, AN022	表 27.39 を参照してください。		
内部基準電圧 温度センサ出力電圧	表 27.38 を参照してください。		—

表 27.38 A/D 変換特性 (AN004、AN005、内部基準電圧、温度センサ出力電圧) (1/2)

条件: $1.6 \text{ V} \leq VREFH0 \leq VCC \leq 5.5 \text{ V}$, $VSS = 0 \text{ V}$, $T_a = -40^\circ\text{C} \sim +85^\circ\text{C}$
 基準電圧範囲を VREFH0 (ADREFP[1:0] = 01b) および VREFL0 (ADREFM = 1b) に印加
 対象端子: AN004、AN005、内部基準電圧、温度センサ出力電圧
 (基準電圧 (+) = VREFH0、基準電圧 (-) = VREFL0 = 0 V)

項目	シンボル	Min	Typ	Max	単位	条件	
分解能	RES	8	—	10	ビット	—	
総合誤差 (注1) (注2) (注3)	AINL	—	1.2	± 3.5	LSB	10 ビット分解能 VREFH0 = VCC(注5)	$1.8 \text{ V} \leq VREFH0 \leq 5.5 \text{ V}$
		—	1.2	± 7.0	LSB		$1.6 \text{ V} \leq VREFH0 \leq 5.5 \text{ V}$ (注6)

表 27.38 A/D 変換特性 (AN004、AN005、内部基準電圧、温度センサ出力電圧) (2/2)

条件: $1.6\text{ V} \leq \text{VREFH0} \leq \text{VCC} \leq 5.5\text{ V}$, $\text{VSS} = 0\text{ V}$, $\text{Ta} = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$

基準電圧範囲を VREFH0 (ADREFP[1:0] = 01b) および VREFL0 (ADREFM = 1b) に印加

対象端子: AN004、AN005、内部基準電圧、温度センサ出力電圧

(基準電圧 (+) = VREFH0、基準電圧 (-) = VREFL0 = 0 V)

項目	シンボル	Min	Typ	Max	単位	条件
変換時間	tCONV	2.125	—	39	μs	10 ビット分解能 対象端子: AN004, AN005
		3.1875	—	39	μs	
		17	—	39	μs	
		57	—	95	μs	
		2.375	—	39	μs	10 ビット分解能 対象端子: 内部基準電圧、温度センサ出力電圧
		3.5625	—	39	μs	
		17	—	39	μs	
ゼロスケール誤差(注1)(注2)(注3)(注4)	E _{ZS}	—	—	± 0.25	%FSR	10 ビット分解能 VREFH0 = VCC(注5)
		—	—	± 0.50	%FSR	
フルスケール誤差(注1)(注2)(注3)(注4)	E _{FS}	—	—	± 0.25	%FSR	10 ビット分解能 VREFH0 = VCC(注5)
		—	—	± 0.50	%FSR	
積分直線性誤差(注1)(注2)(注3)	ILE	—	—	± 2.5	LSB	10 ビット分解能 VREFH0 = VCC(注5)
		—	—	± 5.0	LSB	
微分直線性誤差(注1)(注2)(注3)	DLE	—	—	± 1.5	LSB	10 ビット分解能 VREFH0 = VCC(注5)
		—	—	± 2.0	LSB	
アナログ入力電圧	V _{AIN}	0	—	VREFH0	V	AN004, AN005
		V _{BGR} (注7)			V	内部基準電圧 ($1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$)
		V _{TMPS25} (注7)			V	温度センサ出力電圧 ($1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$)

注 1. Typ 値は $\text{Ta} = 25\text{ }^{\circ}\text{C}$ での平均値です。Max 値は正規分布における $\pm 3\sigma$ の場合の平均値です。

注 2. これらの値は特性評価の結果であり、出荷時はチェックされません。

注 3. この値には量子化誤差 ($\pm 1/2\text{ LSB}$) は含まれません。

注 4. この値はフルスケール値に対する比率 (%FSR) を示します。

注 5. VREFH0 < VCC のとき、最大値は以下のとおりです。

- 総合誤差: $\text{VCC} = \text{VREFH0}$ のとき最大値に $\pm 1.0\text{ LSB}$ を加える。
- ゼロスケール誤差/フルスケール誤差: $\text{VCC} = \text{VREFH0}$ のとき最大値に $\pm 0.05\%\text{FSR}$ を加える。
- 積分直線性誤差および微分直線性誤差: $\text{VCC} = \text{VREFH0}$ のとき最大値に $\pm 0.5\text{ LSB}$ を加える。

注 6. 表に記載された値は、変換時間の最大値および最小値の設定がそれぞれ 57 μ s および 95 μ s の場合に適用されます。

注 7. 「27.6.3. 温度センサ／内部基準電圧特性」を参照してください。

表 27.39 A/D 変換特性 (AN021, AN022)

条件 : 1.6 V $\leq$ VREFH0 $\leq$ VCC $\leq$ 5.5 V, VSS = 0 V, Ta = -40 $^{\circ}$ C ~ +85 $^{\circ}$ C

基準電圧範囲を VREFH0 (ADREFP[1:0] = 01b) および VREFL0 (ADREFM = 1b) に印加

対象端子 : AN021, AN022

(基準電圧 (+) = VREFH0、基準電圧 (-) = VREFL0 = 0 V)

項目	シンボル	Min	Typ	Max	単位	条件
分解能	RES	8	—	10	ビット	—
総合誤差 (注1) (注2) (注3)	AINL	—	1.2	± 5.0	LSB	10 ビット分解能 VREFH0 = VCC(注5)
		—	1.2	± 8.5	LSB	1.6 V $\leq$ VREFH0 $\leq$ 5.5 V(注6)
変換時間	tCONV	2.125	—	39	μ s	10 ビット分解能 対象端子 : AN021, AN022
		3.1875	—	39	μ s	3.6 V $\leq$ VCC $\leq$ 5.5 V
		17	—	39	μ s	2.7 V $\leq$ VCC $\leq$ 5.5 V
		57	—	95	μ s	1.8 V $\leq$ VCC $\leq$ 5.5 V
ゼロスケール誤差 (注1) (注2) (注3) (注4)	E _{ZS}	—	—	± 0.35	%FSR	10 ビット分解能 VREFH0 = VCC(注5)
		—	—	± 0.60	%FSR	1.8 V $\leq$ VREFH0 $\leq$ 5.5 V
フルスケール誤差 (注1) (注2) (注3) (注4)	E _{FS}	—	—	± 0.35	%FSR	1.6 V $\leq$ VREFH0 $\leq$ 5.5 V(注6)
		—	—	± 0.60	%FSR	1.8 V $\leq$ VREFH0 $\leq$ 5.5 V
積分直線性誤差 (注1) (注2) (注3)	ILE	—	—	± 3.5	LSB	10 ビット分解能 VREFH0 = VCC(注5)
		—	—	± 6.0	LSB	1.8 V $\leq$ VREFH0 $\leq$ 5.5 V
微分直線性誤差 (注1) (注2) (注3)	DLE	—	—	± 2.0	LSB	1.6 V $\leq$ VREFH0 $\leq$ 5.5 V(注6)
		—	—	± 2.5	LSB	1.8 V $\leq$ VREFH0 $\leq$ 5.5 V
アナログ入力電圧	V _{AIN}	0	—	VREFH0	V	AN021, AN022

注 1. Typ 値は TA = 25 $^{\circ}$ C での平均値です。Max 値は正規分布における $\pm 3\sigma$ の場合の平均値です。

注 2. これらの値は特性評価の結果であり、出荷時はチェックされません。

注 3. この値には量子化誤差 ($\pm 1/2$ LSB) は含まれません。

注 4. この値はフルスケール値に対する比率 (%FSR) を示します。

注 5. VREFH0 < VCC のとき、最大値は以下のとおりです。

- 総合誤差 : VCC = VREFH0 のとき最大値に ± 1.0 LSB を加える。
- ゼロスケール誤差／フルスケール誤差 : VCC = VREFH0 のとき最大値に $\pm 0.05\%$ FSR を加える。
- 積分直線性誤差および微分直線性誤差 : VCC = VREFH0 のとき最大値に ± 0.5 LSB を加える。

注 6. 表に記載された値は、変換時間の最大値および最小値の設定がそれぞれ 57 μ s および 95 μ s の場合に適用されます。

表 27.40 A/D 変換特性 (AN000、AN001、AN004、AN005、AN021、AN022、内部基準電圧、温度センサ出力電圧)

条件 : $1.6\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$, $\text{VSS} = 0\text{ V}$, $\text{Ta} = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$ 基準電圧範囲を VCC ($\text{ADREFP}[1:0] = 00\text{b}$) および VSS ($\text{ADREFM} = 0\text{b}$) に印加対象端子 : AN000、AN001、AN004、AN005、AN021、AN022、内部基準電圧^(注7)、および温度センサ出力電圧^(注7)(基準電圧 (+) = VCC 、基準電圧 (-) = $\text{VREFL0} = \text{VSS}$)

項目	シンボル	Min	Typ	Max	単位	条件
分解能	RES	8	—	10	ビット	—
総合誤差 ^(注1) (注2) (注3)	AINL	—	1.2	± 7.0	LSB	10 ビット分解能 $1.8\text{ V} \leq \text{VREFH0} \leq 5.5\text{ V}$
		—	1.2	± 10.5	LSB	$1.6\text{ V} \leq \text{VREFH0} \leq 5.5\text{ V}$ ^(注5)
変換時間	tCONV	2.125	—	39	μs	10 ビット分解能 対象端子 : AN000, AN001, AN004, AN005, AN021, AN022
		3.1875	—	39	μs	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$
		17	—	39	μs	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$
		57	—	95	μs	$1.6\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$
		2.375	—	39	μs	10 ビット分解能 対象端子 : 内部基準電圧、温度センサ出力電圧 $3.6\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$
		3.5625	—	39	μs	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$
		17	—	39	μs	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$
ゼロスケール誤差 ^(注1) (注2) (注3) (注4)	E_{ZS}	—	—	± 0.60	%FSR	10 ビット分解能 $1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$
		—	—	± 0.85	%FSR	$1.6\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$ ^(注5)
フルスケール誤差 ^(注1) (注2) (注3) (注4)	E_{FS}	—	—	± 0.60	%FSR	10 ビット分解能 $1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$
		—	—	± 0.85	%FSR	$1.6\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$ ^(注5)
積分直線性誤差 ^(注1) (注2) (注3)	ILE	—	—	± 4.0	LSB	10 ビット分解能 $1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$
		—	—	± 6.0	LSB	$1.6\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$ ^(注5)
微分直線性誤差 ^(注1) (注2) (注3)	DLE	—	—	± 2.0	LSB	10 ビット分解能 $1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$
		—	—	± 2.5	LSB	$1.6\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$ ^(注5)
アナログ入力電圧	V_{AIN}	0	—	VCC	V	AN000, AN001, AN004, AN005, AN021, AN022
		V_{BGR} ^(注6)			V	内部基準電圧 ($1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$)
		V_{TMP25} ^(注6)			V	温度センサ出力電圧 ($1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$)

注 1. Typ 値は $\text{Ta} = 25\text{ }^{\circ}\text{C}$ での平均値です。Max 値は正規分布における $\pm 3\sigma$ の場合の平均値です。

注 2. これらの値は特性評価の結果であり、出荷時はチェックされません。

注 3. この値には量子化誤差 ($\pm 1/2\text{ LSB}$) は含まれません。

注 4. この値はフルスケール値に対する比率 (%FSR) を示します。

注 5. 表に記載された値は、変換時間の最大値および最小値の設定がそれぞれ $57\text{ }\mu\text{s}$ および $95\text{ }\mu\text{s}$ の場合に適用されます。

注 6. 「27.6.3. 温度センサ／内部基準電圧特性」を参照してください。

注 7. 内部基準電圧または温度センサ出力電圧を A/D 変換する場合、VCC は 1.8 V 以上でなければなりません。

表 27.41 A/D 変換特性 (AN000, AN004, AN005, AN021, AN022)

条件 : $1.8\text{ V} \leq \text{VREFH0} \leq \text{VCC} \leq 5.5\text{ V}$, $\text{VSS} = 0\text{ V}$, $T_a = -40\text{ }^\circ\text{C} \sim +85\text{ }^\circ\text{C}$

基準電圧範囲を VBGR (ADREFP[1:0] = 10b) および VREFL0 (ADREFM = 1b) に印加

対象端子 : AN000, AN004, AN005, AN021, AN022

(基準電圧 (+) = V_{BGR} ^(注5)、基準電圧 (-) = V_{REFL0} ^(注6) = 0 V)

項目	シンボル	Min	Typ	Max	単位	条件
分解能	RES	8			ビット	—
変換時間	tCONV	17	—	39	μs	—
ゼロスケール誤差 ^(注1) ^(注2) ^(注3) ^(注4)	E _{ZS}	—	—	±0.60	%FSR	—
積分直線性誤差 ^(注1) ^(注2) ^(注3)	ILE	—	—	±2.0	LSB	—
微分直線性誤差 ^(注1) ^(注2) ^(注3)	DLE	—	—	±1.0	LSB	—
アナログ入力電圧	V _{AIN}	0	—	V _{BGR} ^(注5)	V	—

注 1. Typ 値は $T_a = 25\text{ }^\circ\text{C}$ での平均値です。Max 値は正規分布における $\pm 3\sigma$ の場合の平均値です。

注 2. これらの値は特性評価の結果であり、出荷時はチェックされません。

注 3. この値には量子化誤差 ($\pm 1/2$ LSB) は含まれません。

注 4. この値はフルスケール値に対する比率 (%FSR) を示します。

注 5. 「27.6.3. 温度センサ／内部基準電圧特性」を参照してください。

注 6. ● ゼロスケール誤差 : 基準電圧 (-) = V_{REFL0} のとき最大値に $\pm 0.35\%$ FSR を加える。

● 積分直線性誤差 : 基準電圧 (-) = V_{REFL0} のとき最大値に ± 0.5 LSB を加える。

● 微分直線性誤差 : 基準電圧 (-) = V_{REFL0} のとき最大値に ± 0.2 LSB を加える。

27.6.2 A/D コンバータ特性 ($T_a = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$)

表 27.42 A/D コンバータの特性の参考資料

入力チャネル	基準電圧		
	基準電圧 (+) = V_{REFH0} 基準電圧 (-) = V_{REFL0}	基準電圧 (+) = V_{CC} 基準電圧 (-) = V_{SS}	基準電圧 (+) = V_{BGR} 基準電圧 (-) = V_{REFL0}
AN000, AN001, AN004, AN005	表 27.43 を参照してください。	表 27.45 を参照してください。	表 27.46 を参照してください。
AN021, AN022	表 27.44 を参照してください。		
内部基準電圧 温度センサ出力電圧	表 27.43 を参照してください。		—

表 27.43 A/D 変換特性 (1/2)

条件 : $2.4\text{ V} \leq \text{VREFH0} \leq \text{VCC} \leq 5.5\text{ V}$, $\text{VSS} = 0\text{ V}$, $T_a = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$

基準電圧範囲を V_{REFH0} (ADREFP[1:0] = 01b) および V_{REFL0} (ADREFM = 1b) に印加

対象端子 : AN004、AN005、内部基準電圧、温度センサ出力電圧

(基準電圧 (+) = V_{REFH0} 、基準電圧 (-) = V_{REFL0} = 0 V)

項目	シンボル	Min	Typ	Max	単位	条件
分解能	RES	8	—	10	ビット	—
総合誤差 ^(注1) ^(注2) ^(注3)	AINL	—	1.2	±3.5	LSB	10 ビット分解能 $\text{V}_{\text{REFH0}} = \text{VCC}$ ^(注5) $2.4\text{ V} \leq \text{V}_{\text{REFH0}} \leq 5.5\text{ V}$

表 27.43 A/D 変換特性 (2/2)

条件 : $2.4\text{ V} \leq \text{VREFH0} \leq \text{VCC} \leq 5.5\text{ V}$, $\text{VSS} = 0\text{ V}$, $\text{Ta} = -40\text{ }^{\circ}\text{C} \sim +125\text{ }^{\circ}\text{C}$ 基準電圧範囲を VREFH0 ($\text{ADREFP}[1:0] = 01\text{b}$) および VREFL0 ($\text{ADREFM} = 1\text{b}$) に印加対象端子 : AN004 , AN005 、内部基準電圧、温度センサ出力電圧(基準電圧 (+) = VREFH0 、基準電圧 (-) = $\text{VREFL0} = 0\text{ V}$)

項目	シンボル	Min	Typ	Max	単位	条件
変換時間	t_{CONV}	2.125	—	39	μs	分解能 : 10 ビット 対象端子 : AN004 , AN005
		3.1875	—	39	μs	$3.6\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$
		17	—	39	μs	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$
		2.375	—	39	μs	$2.4\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$
		3.5625	—	39	μs	10 ビット分解能 対象端子 : 内部基準電圧、温度センサ出力電圧
		17	—	39	μs	$3.6\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$ $2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$ $2.4\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$
ゼロスケール誤差(注1)(注2)(注3)(注4)	E_{ZS}	—	—	± 0.25	%FSR	10 ビット分解能 $\text{VREFH0} = \text{VCC}$ (注5) $2.4\text{ V} \leq \text{VREFH0} \leq 5.5\text{ V}$
フルスケール誤差(注1)(注2)(注3)(注4)	E_{FS}	—	—	± 0.25	%FSR	10 ビット分解能 $\text{VREFH0} = \text{VCC}$ (注5) $2.4\text{ V} \leq \text{VREFH0} \leq 5.5\text{ V}$
積分直線性誤差(注1)(注2)(注3)	ILE	—	—	± 2.5	LSB	10 ビット分解能 $\text{VREFH0} = \text{VCC}$ (注5) $2.4\text{ V} \leq \text{VREFH0} \leq 5.5\text{ V}$
微分直線性誤差(注1)(注2)(注3)	DLE	—	—	± 1.5	LSB	10 ビット分解能 $\text{VREFH0} = \text{VCC}$ (注5) $2.4\text{ V} \leq \text{VREFH0} \leq 5.5\text{ V}$
アナログ入力電圧	V_{AIN}	0	—	VREFH0	V	AN004 , AN005
		V_{BGR} (注6)			V	内部基準電圧
		V_{TMPS25} (注6)			V	温度センサ出力電圧

注 1. Typ 値は $\text{Ta} = 25\text{ }^{\circ}\text{C}$ での平均値です。Max 値は正規分布における $\pm 3\sigma$ の場合の平均値です。

注 2. これらの値は特性評価の結果であり、出荷時はチェックされません。

注 3. この値には量子化誤差 ($\pm 1/2\text{ LSB}$) は含まれません。

注 4. この値はフルスケール値に対する比率 (%FSR) を示します。

注 5. $\text{VREFH0} < \text{VCC}$ のとき、最大値は以下のとおりです。

- 総合誤差 : $\text{VCC} = \text{VREFH0}$ のとき最大値に $\pm 1.0\text{ LSB}$ を加える。
- ゼロスケール誤差／フルスケール誤差 : $\text{VCC} = \text{VREFH0}$ のとき最大値に $\pm 0.05\%\text{FSR}$ を加える。
- 積分直線性誤差および微分直線性誤差 : $\text{VCC} = \text{VREFH0}$ のとき最大値に $\pm 0.5\text{ LSB}$ を加える。

注 6. 「27.6.3. 温度センサ／内部基準電圧特性」を参照してください。

表 27.44 A/D 変換特性 ($\text{AN021} \sim \text{AN022}$) (1/2)条件 : $2.4\text{ V} \leq \text{VREFH0} \leq \text{VCC} \leq 5.5\text{ V}$, $\text{VSS} = 0\text{ V}$, $\text{Ta} = -40\text{ }^{\circ}\text{C} \sim +125\text{ }^{\circ}\text{C}$ 基準電圧範囲を VREFH0 ($\text{ADREFP}[1:0] = 01\text{b}$) および VREFL0 ($\text{ADREFM} = 1\text{b}$) に印加対象端子 : $\text{AN021} \sim \text{AN022}$ (基準電圧 (+) = VREFH0 、基準電圧 (-) = $\text{VREFL0} = 0\text{ V}$)

項目	シンボル	Min	Typ	Max	単位	条件
分解能	RES	8	—	10	ビット	—
総合誤差(注1)(注2)(注3)	AINL	—	1.2	± 5.0	LSB	10 ビット分解能 $\text{VREFH0} = \text{VCC}$ (注5) $2.4\text{ V} \leq \text{VREFH0} \leq 5.5\text{ V}$

表 27.44 A/D 変換特性 (AN021~AN022) (2/2)

条件 : $2.4\text{ V} \leq \text{VREFH0} \leq \text{VCC} \leq 5.5\text{ V}$, $\text{VSS} = 0\text{ V}$, $\text{Ta} = -40\text{ }^{\circ}\text{C} \sim +125\text{ }^{\circ}\text{C}$ 基準電圧範囲を VREFH0 ($\text{ADREFP}[1:0] = 01\text{b}$) および VREFL0 ($\text{ADREFM} = 1\text{b}$) に印加

対象端子 : AN021~AN022

(基準電圧 (+) = VREFH0 、基準電圧 (-) = $\text{VREFL0} = 0\text{ V}$)

項目	シンボル	Min	Typ	Max	単位	条件
変換時間	tCONV	2.125	—	39	μs	分解能: 10 ビット 対象端子 : AN021, AN022
		3.1875	—	39	μs	$3.6\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$
		17	—	39	μs	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$
ゼロスケール誤差(注1)(注2)(注3)(注4)	E _{ZS}	—	—	± 0.35	%FSR	10 ビット分解能 $\text{VREFH0} = \text{VCC}$ (注5) $2.4\text{ V} \leq \text{VREFH0} \leq 5.5\text{ V}$
フルスケール誤差(注1)(注2)(注3)(注4)	E _{FS}	—	—	± 0.35	%FSR	10 ビット分解能 $\text{VREFH0} = \text{VCC}$ (注5) $2.4\text{ V} \leq \text{VREFH0} \leq 5.5\text{ V}$
積分直線性誤差(注1)(注2)(注3)	ILE	—	—	± 3.5	LSB	10 ビット分解能 $\text{VREFH0} = \text{VCC}$ (注5) $2.4\text{ V} \leq \text{VREFH0} \leq 5.5\text{ V}$
微分直線性誤差(注1)(注2)(注3)	DLE	—	—	± 2.0	LSB	10 ビット分解能 $\text{VREFH0} = \text{VCC}$ (注5) $2.4\text{ V} \leq \text{VREFH0} \leq 5.5\text{ V}$
アナログ入力電圧	V _{AIN}	0	—	VREFH0	V	AN021, AN022

注 1. Typ 値は $\text{Ta} = 25\text{ }^{\circ}\text{C}$ での平均値です。Max 値は正規分布における $\pm 3\sigma$ の場合の平均値です。

注 2. これらの値は特性評価の結果であり、出荷時はチェックされません。

注 3. この値には量子化誤差 ($\pm 1/2\text{ LSB}$) は含まれません。

注 4. この値はフルスケール値に対する比率 (%FSR) を示します。

注 5. $\text{VREFH0} < \text{VCC}$ のとき、最大値は以下のとおりです。

- 総合誤差 : $\text{VCC} = \text{VREFH0}$ のとき最大値に $\pm 1.0\text{ LSB}$ を加える。
- ゼロスケール誤差／フルスケール誤差 : $\text{VCC} = \text{VREFH0}$ のとき最大値に $\pm 0.05\%\text{FSR}$ を加える。
- 積分直線性誤差および微分直線性誤差 : $\text{VCC} = \text{VREFH0}$ のとき最大値に $\pm 0.5\text{ LSB}$ を加える。

表 27.45 A/D 変換特性 (1/2)

条件 : $2.4\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$, $\text{VSS} = 0\text{ V}$, $\text{Ta} = -40\text{ }^{\circ}\text{C} \sim +125\text{ }^{\circ}\text{C}$ 基準電圧範囲を VCC ($\text{ADREFP}[1:0] = 00\text{b}$) および VSS ($\text{ADREFM} = 0\text{b}$) に印加

対象端子 : AN000、AN001、AN004、AN005、AN021、AN022、内部基準電圧、および温度センサ出力電圧

(基準電圧 (+) = VCC 、基準電圧 (-) = VSS)

項目	シンボル	Min	Typ	Max	単位	条件
分解能	RES	8	—	10	ビット	—
総合誤差(注1)(注2)(注3)	AINL	—	1.2	± 7.0	LSB	分解能: 10 ビット $2.4\text{ V} \leq \text{VREFH0} \leq 5.5\text{ V}$
変換時間	tCONV	2.125	—	39	μs	分解能: 10 ビット 対象端子 : AN000, AN001, AN004, AN005, AN021, AN022
		3.1875	—	39	μs	$3.6\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$
		17	—	39	μs	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$
		2.375	—	39	μs	分解能: 10 ビット 対象端子 : 内部 基準電圧、温度 センサ出力電圧
		3.5625	—	39	μs	$3.6\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$
		17	—	39	μs	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$

表 27.45 A/D 変換特性 (2/2)

条件: $2.4\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$, $\text{VSS} = 0\text{ V}$, $T_a = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$ 基準電圧範囲を VCC ($\text{ADREFP}[1:0] = 00\text{b}$) および VSS ($\text{ADREFM} = 0\text{b}$) に印加対象端子: AN000 , AN001 , AN004 , AN005 , AN021 , AN022 、内部基準電圧、および温度センサ出力電圧(基準電圧 (+) = VCC 、基準電圧 (-) = VSS)

項目	シンボル	Min	Typ	Max	単位	条件
ゼロスケール誤差(注1)(注2)(注3)(注4)	E_{ZS}	—	—	± 0.60	%FSR	分解能: 10 ビット $2.4\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$
フルスケール誤差(注1)(注2)(注3)(注4)	E_{FS}	—	—	± 0.60	%FSR	分解能: 10 ビット $2.4\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$
積分直線性誤差(注1)(注2)(注3)	ILE	—	—	± 4.0	LSB	分解能: 10 ビット $2.4\text{ V} \leq \text{VREFH0} \leq 5.5\text{ V}$
微分直線性誤差(注1)(注2)(注3)	DLE	—	—	± 2.0	LSB	分解能: 10 ビット $2.4\text{ V} \leq \text{VREFH0} \leq 5.5\text{ V}$
アナログ入力電圧	V_{AIN}	0	—	VCC	V	AN000 , AN001 , AN004 , AN005 , AN021 , AN022
	V_{BGR} (注5)				V	内部基準電圧
	V_{TMPS25} (注5)				V	温度センサ出力電圧

注 1. Typ 値は $T_a = 25\text{ }^\circ\text{C}$ での平均値です。Max 値は正規分布における $\pm 3\sigma$ の場合の平均値です。

注 2. これらの値は特性評価の結果であり、出荷時はチェックされません。

注 3. この値には量子化誤差 ($\pm 1/2$ LSB) は含まれません。

注 4. この値はフルスケール値に対する比率 (%FSR) を示します。

注 5. 「27.6.3. 温度センサ／内部基準電圧特性」を参照してください。

表 27.46 A/D 変換特性 (AN000 , AN004 , AN005 , AN021 , AN022)条件: $2.4\text{ V} \leq \text{VREFH0} \leq \text{VCC} \leq 5.5\text{ V}$, $\text{VSS} = 0\text{ V}$, $T_a = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$ 基準電圧範囲を VBGR ($\text{ADREFP}[1:0] = 10\text{b}$) および VREFL0 ($\text{ADREFM} = 1\text{b}$) に印加対象端子: AN000 , AN004 , AN005 , AN021 , AN022 (基準電圧 (+) = V_{BGR} (注5)、基準電圧 (-) = VREFL0 (注6) = 0 V)

項目	シンボル	Min	Typ	Max	単位	条件
分解能	RES	8			ビット	—
変換時間	t_{CONV}	17	—	39	μs	—
ゼロスケール誤差(注1)(注2)(注3)(注4)	E_{ZS}	—	—	± 0.60	%FSR	—
積分直線性誤差(注1)(注2)(注3)	ILE	—	—	± 2.0	LSB	—
微分直線性誤差(注1)(注2)(注3)	DLE	—	—	± 1.0	LSB	—
アナログ入力電圧	V_{AIN}	0	—	V_{BGR} (注5)	V	—

注 1. Typ 値は $T_a = 25\text{ }^\circ\text{C}$ での平均値です。Max 値は正規分布における $\pm 3\sigma$ の場合の平均値です。

注 2. これらの値は特性評価の結果であり、出荷時はチェックされません。

注 3. この値には量子化誤差 ($\pm 1/2$ LSB) は含まれません。

注 4. この値はフルスケール値に対する比率 (%FSR) を示します。

注 5. 「27.6.3. 温度センサ／内部基準電圧特性」を参照してください。

注 6. ● ゼロスケール誤差: 基準電圧 (-) = VREFL0 のとき最大値に $\pm 0.35\%$ FSR を加える。● 積分直線性誤差: 基準電圧 (-) = VREFL0 のとき最大値に ± 0.5 LSB を加える。● 微分直線性誤差: 基準電圧 (-) = VREFL0 のとき最大値に ± 0.2 LSB を加える。

27.6.3 温度センサ／内部基準電圧特性

表 27.47 温度センサ／内部基準電圧特性

条件 : $1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$, $\text{VSS} = 0\text{ V}$, $T_a = -40 \sim +125\text{ }^{\circ}\text{C}$

項目	シンボル	Min	Typ	Max	単位	測定条件
温度センサ出力電圧	V_{TMPS25}	—	1.05	—	V	25 °C
内部基準電圧	V_{BGR}	1.40	1.48	1.56	V	—
温度係数	F_{VTMPS}	—	-3.3	—	mV/°C	—
動作安定待機時間	t_{AMP}	5	—	—	μs	—

27.6.4 POR 特性

表 27.48 POR 特性

条件 : $\text{VSS} = 0\text{ V}$, $T_a = -40 \sim +125\text{ }^{\circ}\text{C}$

項目	シンボル	Min	Typ	Max	単位	測定条件
検出電圧	V_{POR} V_{PDR}	1.43	1.50	1.57	V	—
最小パルス幅(注1)	TPW	300	—	—	μs	—

注 1. この幅は、VCC が V_{PDR} よりも降下するときに、POR リセットに必要な最小時間です。この幅は、ソフトウェアスタンバイモード時またはメインシステムクロックが HOCOCR.HCSTOP ビットの設定により停止している間、VCC が 0.7 V よりも降下するときから VCC が V_{POR} を超えるときまでに、POR リセットに必要な最小時間です。

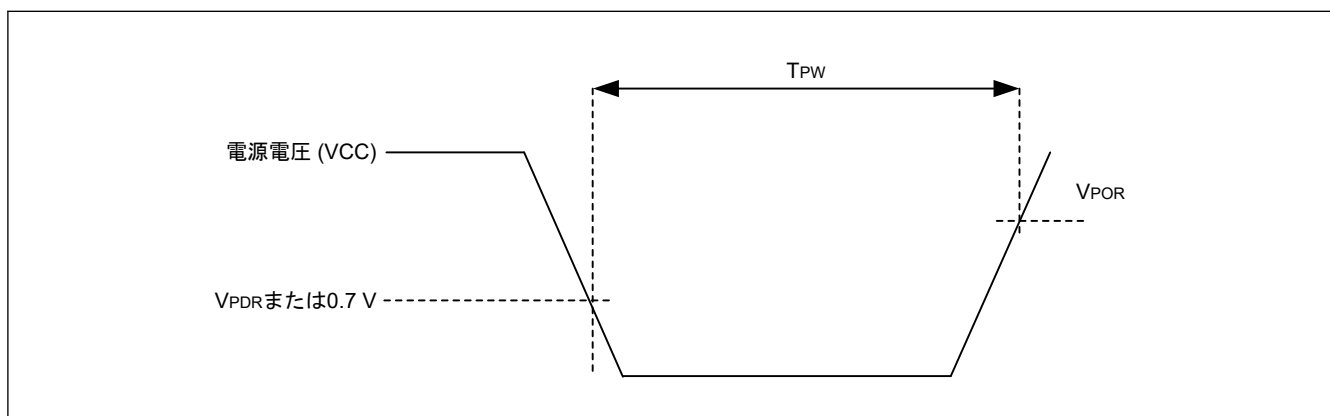


図 27.31 最小 VCC パルス幅

27.6.5 LVD 特性

表 27.49 LVD0 特性

条件 : $VPDR \leq VCC \leq 5.5\text{ V}$, $VSS = 0\text{ V}$, $T_a = -40 \sim +125\text{ }^{\circ}\text{C}$

項目		シンボル	Min	Typ	Max	単位	測定条件
検出電圧	電源電圧レベル	V_{det0_0}	3.84	3.96	4.08	V	電源電圧上昇中
			3.76	3.88	4.00	V	電源電圧下降中
		V_{det0_1}	2.88	2.97	3.06	V	電源電圧上昇中
			2.82	2.91	3.00	V	電源電圧下降中
		V_{det0_2}	2.59	2.67	2.75	V	電源電圧上昇中
			2.54	2.62	2.70	V	電源電圧下降中
		V_{det0_3}	2.31	2.38	2.45	V	電源電圧上昇中
			2.26	2.33	2.40	V	電源電圧下降中
		V_{det0_4}	1.84	1.90	1.95	V	電源電圧上昇中
			1.80	1.86	1.91	V	電源電圧下降中
		V_{det0_5}	1.64	1.69	1.74	V	電源電圧上昇中
			1.60	1.65	1.70	V	電源電圧下降中
最小パルス幅		t_{LW0}	500	—	—	μs	—
検出遅延時間		t_{det0}	—	—	500	μs	—

表 27.50 LVD1 特性 (1/2)

条件 : $VPDR \leq VCC \leq 5.5\text{ V}$, $VSS = 0\text{ V}$, $T_a = -40 \sim +125\text{ }^{\circ}\text{C}$

項目		シンボル	Min	Typ	Max	単位	測定条件
検出電圧	電源電圧レベル	V_{det1_0}	4.08	4.16	4.24	V	電源電圧上昇中
			4.00	4.08	4.16	V	電源電圧下降中
		V_{det1_1}	3.88	3.96	4.04	V	電源電圧上昇中
			3.80	3.88	3.96	V	電源電圧下降中
		V_{det1_2}	3.68	3.75	3.82	V	電源電圧上昇中
			3.60	3.67	3.74	V	電源電圧下降中
		V_{det1_3}	3.48	3.55	3.62	V	電源電圧上昇中
			3.40	3.47	3.54	V	電源電圧下降中
		V_{det1_4}	3.28	3.35	3.42	V	電源電圧上昇中
			3.20	3.27	3.34	V	電源電圧下降中
		V_{det1_5}	3.07	3.13	3.19	V	電源電圧上昇中
			3.00	3.06	3.12	V	電源電圧下降中
		V_{det1_6}	2.91	2.97	3.03	V	電源電圧上昇中
			2.85	2.91	2.97	V	電源電圧下降中
		V_{det1_7}	2.76	2.82	2.87	V	電源電圧上昇中
			2.70	2.76	2.81	V	電源電圧下降中
		V_{det1_8}	2.61	2.66	2.71	V	電源電圧上昇中
			2.55	2.60	2.65	V	電源電圧下降中
		V_{det1_9}	2.45	2.50	2.55	V	電源電圧上昇中
			2.40	2.45	2.50	V	電源電圧下降中
		V_{det1_A}	2.35	2.40	2.45	V	電源電圧上昇中
			2.30	2.35	2.40	V	電源電圧下降中

表 27.50 LVD1 特性 (2/2)

条件 : $VPDR \leq VCC \leq 5.5\text{ V}$, $VSS = 0\text{ V}$, $T_a = -40 \sim +125\text{ }^{\circ}\text{C}$

項目		シンボル	Min	Typ	Max	単位	測定条件
検出電圧	電源電圧レベル	$V_{\text{det1\_B}}$	2.25	2.30	2.34	V	電源電圧上昇中
			2.20	2.25	2.29	V	電源電圧下降中
		$V_{\text{det1\_C}}$	2.15	2.20	2.24	V	電源電圧上昇中
			2.10	2.15	2.19	V	電源電圧下降中
		$V_{\text{det1\_D}}$	2.05	2.09	2.13	V	電源電圧上昇中
			2.00	2.04	2.08	V	電源電圧下降中
		$V_{\text{det1\_E}}$	1.94	1.98	2.02	V	電源電圧上昇中
			1.90	1.94	1.98	V	電源電圧下降中
		$V_{\text{det1\_F}}$	1.84	1.88	1.91	V	電源電圧上昇中
			1.80	1.84	1.87	V	電源電圧下降中
		$V_{\text{det1\_10}}$	1.74	1.78	1.81	V	電源電圧上昇中
			1.70	1.74	1.77	V	電源電圧下降中
		$V_{\text{det1\_11}}$	1.64	1.67	1.70	V	電源電圧上昇中
			1.60	1.63	1.66	V	電源電圧下降中
最小パルス幅		t_{LW1}	500	—	—	μs	—
検出遅延時間		t_{det1}	—	—	500	μs	—
LVD1 検出電圧安定時間 (LVD1 検出電圧変更後)		$t_{\text{d(E-A)}}$	—	—	1500	μs	—

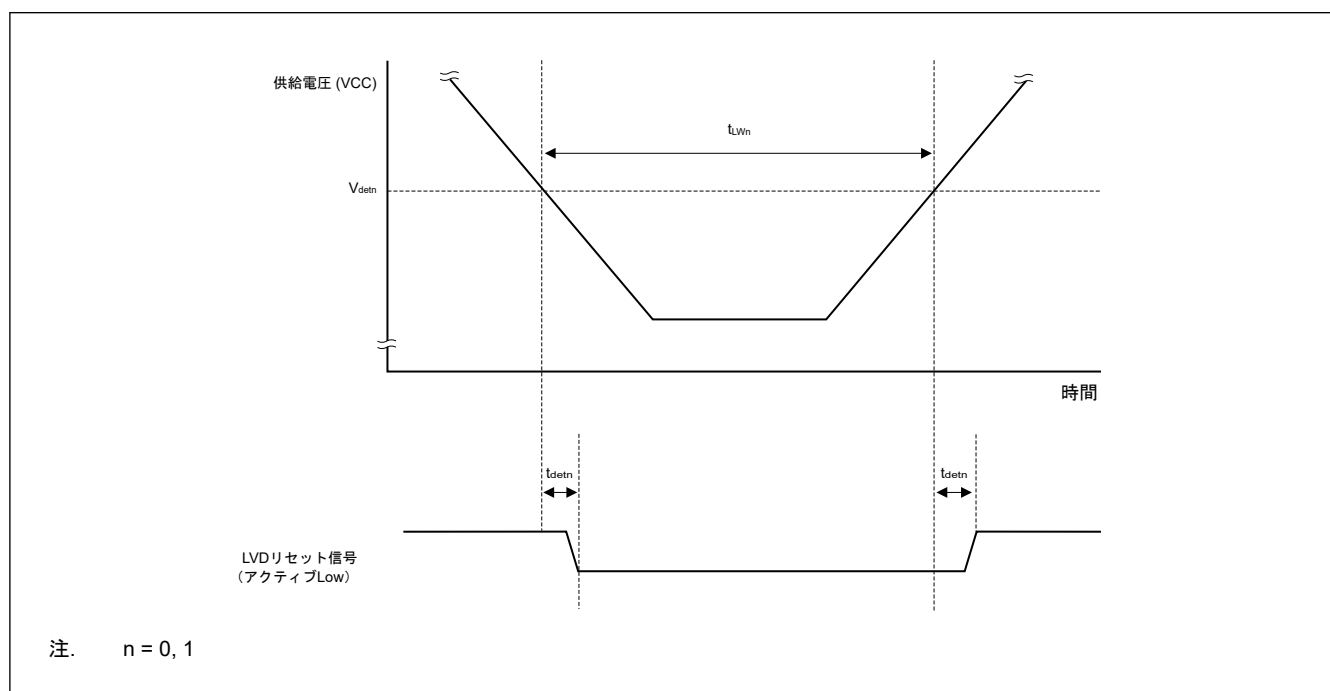


図 27.32 電圧検出回路タイミング

27.6.6 電源電圧上昇スロープ特性

表 27.51 電源電圧上昇スロープ特性

条件 : VSS = 0 V, Ta = -40~+125°C

項目	シンボル	Min	Typ	Max	単位	測定条件
電源電圧上昇スロープ	S _{VCC}	—	—	54	V/ms	—

注. VCC が AC 特性に示された動作電圧範囲に到達するまでは、LVD0 回路による内部リセット状態または外部リセットを維持していることを確認してください。

27.7 RAM データ保持特性

表 27.52 RAM データ保持特性

条件 : VSS = 0 V, Ta = -40~+125 °C

項目	シンボル	Min	Typ	Max	単位	測定条件
データ保持電源電圧	V _{CCDR}	1.43(注1)	—	5.5	V	—

注 1. この電圧は POR 検出電圧によって決まります。電圧降下時、RAM データは POR までは保持されますが、POR の後では保持されません。

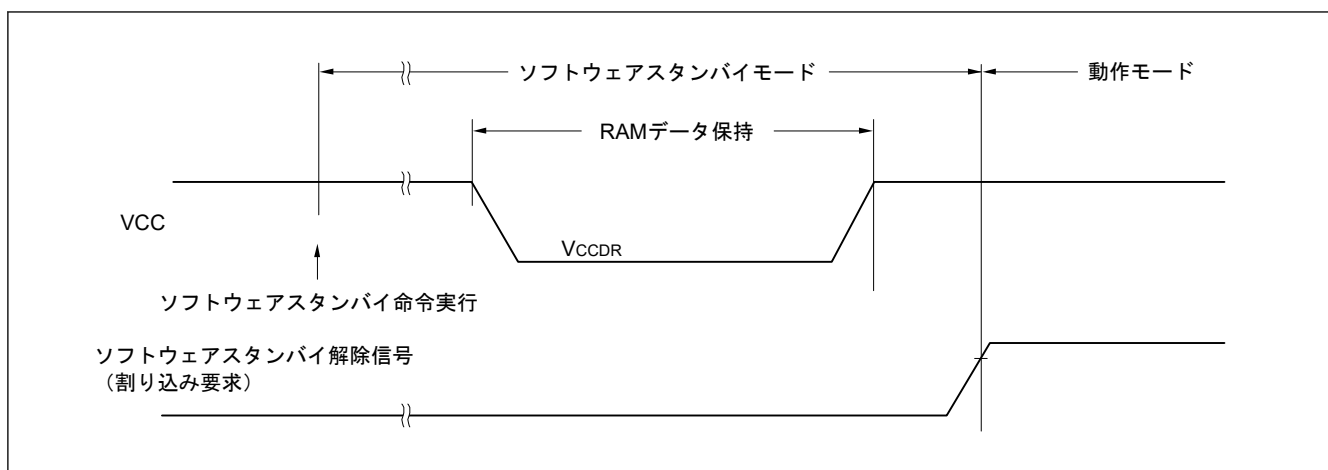


図 27.33 RAM データ保持

27.8 フラッシュメモリプログラミング特性

表 27.53 フラッシュメモリプログラミング特性

条件 : 1.8 V ≤ VCC ≤ 5.5 V, VSS = 0 V, Ta = -40~+125 °C

項目	シンボル	Min	Typ	Max	単位	測定条件
CPU/周辺ハードウェアクロック周波数	I _{CLK}	1	—	32	MHz	—
コードフラッシュの書き換え回数(注1)(注2)(注3)	C _{erwr}	10000	—	—	回	10 年保持 Ta = 85 °C
		1000	—	—		20 年保持 Ta = 85 °C

注 1. 1 回消去して、消去後に 1 回書き込むと、1 回書き換えたものとみなされます。保持年数は、書き換え後から次の書き換えまでです。

注 2. 表に記載された回数は、フラッシュメモリプログラマとセルフプログラミングを使用した場合に適用されます。

注 3. これらはフラッシュメモリの特性であり、弊社による信頼性試験から得られた結果です。

表 27.54 コードフラッシュメモリ特性 (1/2)

条件 : 1.8 V ≤ VCC ≤ 5.5 V, VSS = 0 V, Ta = -40~+125 °C

項目		シンボル	ICLK = 1 MHz			ICLK = 2 MHz, 3 MHz			4 MHz ≦ ICLK < 8 MHz			8 MHz ≦ ICLK < 32 MHz			ICLK = 32 MHz			単位
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
プログラム時間	4 バイト	t _{p4}	—	74.7	656.5	—	51.0	464.6	—	41.7	384.8	—	37.1	346.2	—	34.2	321.9	μs

表 27.54 コードフラッシュメモリ特性 (2/2)

条件 : 1.8 V ≤ VCC ≤ 5.5 V, VSS = 0 V, Ta = -40~+125 °C

項目		シンボル	ICLK = 1 MHz			ICLK = 2 MHz, 3 MHz			4 MHz ≤ ICLK < 8 MHz			8 MHz ≤ ICLK < 32 MHz			ICLK = 32 MHz			単位
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
イレーズ時間	2 KB	t _{E2K}	—	10.4	312.2	—	7.7	258.5	—	6.4	231.8	—	5.8	218.4	—	5.6	214.4	ms
ブランクチェック時間	4 バイト	t _{BC4}	—	—	38.4	—	—	19.2	—	—	13.1	—	—	10.2	—	—	8.3	μs
	2 KB	t _{BC2K}	—	—	2618.9	—	—	1309.5	—	—	658.3	—	—	332.8	—	—	234.1	μs
消去の強制停止に要する時間		t _{SED}	—	—	18.0	—	—	14.0	—	—	12.0	—	—	11.0	—	—	10.3	μs
セキュリティ設定時間		t _{AWSSAS}	—	18.0	525.5	—	14.3	468.7	—	12.5	440.7	—	11.6	426.7	—	11.3	422.3	ms
ソフトウェアスタンバイ命令の解除の後にプログラミングを開始するまでの時間		—	20	—	—	20	—	—	20	—	—	20	—	—	20	—	—	μs
フラッシュメモリモード遷移待機時間 1		t _{DIS}	2	—	—	2	—	—	2	—	—	2	—	—	2	—	—	μs
フラッシュメモリモード遷移待機時間 2		t _{MS}	15	—	—	15	—	—	15	—	—	15	—	—	15	—	—	μs

注. 表に記載された値は、ソフトウェアによる命令実行の後にフラッシュメモリの動作を開始するまでの時間を含みません。

27.9 シリアルワイヤデバッグ (SWD)

表 27.55 SWD 特性 (1)

条件 : VCC = 2.4~5.5 V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	t _{SWCKcyc}	80	—	—	ns	図 27.34
SWCLK クロック High レベルパルス幅	t _{SWCKH}	35	—	—	ns	
SWCLK クロック Low レベルパルス幅	t _{SECKL}	35	—	—	ns	
SWCLK クロック立ち上がり時間	t _{SWCKr}	—	—	5	ns	
SWCLK クロック立ち下がり時間	t _{SWCKf}	—	—	5	ns	
SWDIO セットアップ時間	t _{SWDS}	16	—	—	ns	図 27.35
SWDIO ホールド時間	t _{SWDH}	16	—	—	ns	
SWDIO データ遅延時間	t _{SWDD}	2	—	70	ns	

表 27.56 SWD 特性 (2)

条件 : VCC = 1.6~2.4 V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	t _{SWCKcyc}	250	—	—	ns	図 27.34
SWCLK クロック High レベルパルス幅	t _{SWCKH}	120	—	—	ns	
SWCLK クロック Low レベルパルス幅	t _{SECKL}	120	—	—	ns	
SWCLK クロック立ち上がり時間	t _{SWCKr}	—	—	5	ns	
SWCLK クロック立ち下がり時間	t _{SWCKf}	—	—	5	ns	
SWDIO セットアップ時間	t _{SWDS}	50	—	—	ns	図 27.35
SWDIO ホールド時間	t _{SWDH}	50	—	—	ns	
SWDIO データ遅延時間	t _{SWDD}	2	—	170	ns	

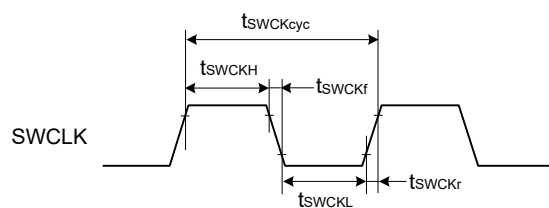


図 27.34 SWD SWCLK タイミング

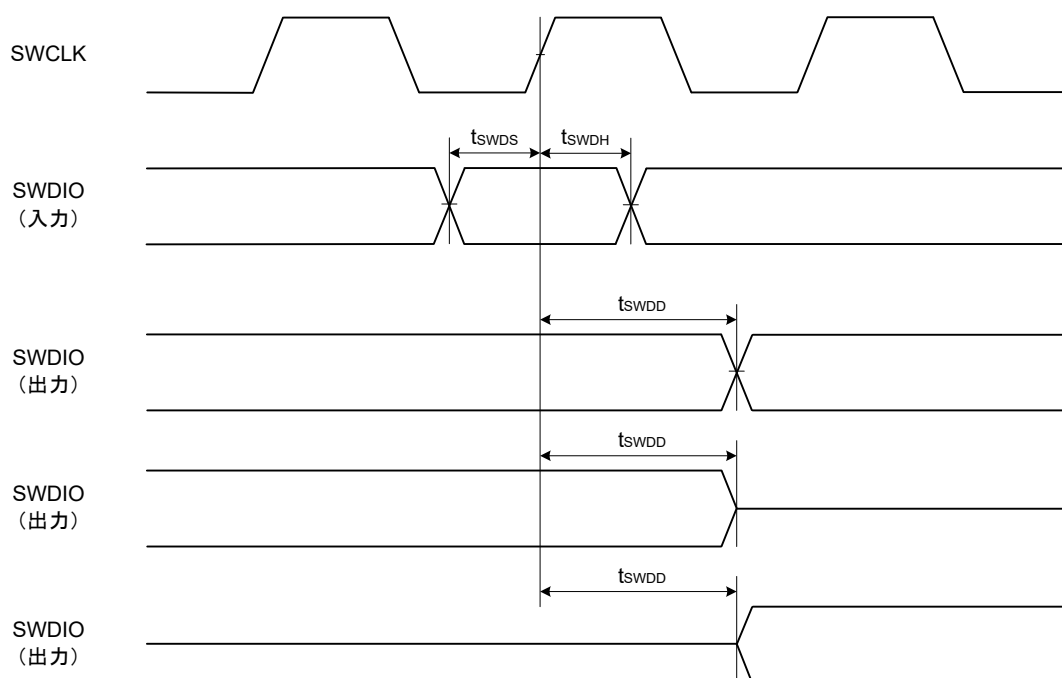


図 27.35 SWD 入出力タイミング

付録 1. 各プロセスモードのポート状態

表 A1.1 各プロセスモードのポート状態 (1/2)

ポート名	リセット	ソフトウェアスタンバイモード
P010/VREFH0/AN000	Hi-Z	Keep-O
P011/VREFL0/AN001	Hi-Z	Keep-O
P012/AN004	Hi-Z	Keep-O
P013/AN005	Hi-Z	Keep-O
P100/AN022/IRQ2_A/TI04_A/TO04_A/TI01_B/TO01_B/RXD0_A/SI00_A/SDA00_A/SCLA0_D	Hi-Z	[IRQ2_A 選択] IRQ2_A 入力 [SCLA0_D 選択] SCLA0_D 入出力 [上記以外] Keep-O
P101/AN021/IRQ3_A/TI07_A/TO07_A/TI00_C/TXD0_A/SO00_A/SDAA0_D	Hi-Z	[IRQ3_A 選択] IRQ3_A 入力 [SDAA0_D 選択] SDAA0_D 入出力 [上記以外] Keep-O
P102/IRQ4_A/TI06_A/TO06_A/TO00_C/PCLBUZ0_B/SCK00_A/SCL00_A	Hi-Z	[IRQ4_A 選択] IRQ4_A 入力 [PCLBUZ0_B 選択] PCLBUZ0_B 出力 [上記以外] Keep-O
P108/SWDIO/TI03_B/TO03_B/PCLBUZ0_D/SCLA0_E/SCK00_C	プルアップ	[SCLA0_E 選択] SCLA0_E 入出力 [PCLBUZ0_D 選択] PCLBUZ0_D 出力 Keep-O
P109/IRQ4_B/TI02_A/TO02_A/TXD0_B/SO00_B/SDAA0_C	Hi-Z	[IRQ4_B 選択] IRQ4_B 入力 [SDAA0_C 選択] SDAA0_C 入出力 [上記以外] Keep-O
P110/IRQ3_B/TI01_A/TO01_A/RXD0_B/SI00_B/SDA00_B/SCLA0_C	Hi-Z	[IRQ3_B 選択] IRQ3_B 入力 [SCLA0_C 選択] SCLA0_C 入出力 [上記以外] Keep-O
P112/IRQ2_B/TI03_A/TO03_A/SCK00_B/SCL00_B/SSI00_C	Hi-Z	[IRQ2_B 選択] IRQ2_B 入力 [上記以外] Keep-O
P200/NMI/IRQ0_A/TI06_B/SSI00_D/RXD1_B	Hi-Z	[NMI/IRQ0_A 選択] NMI/IRQ0_A 入力 [上記以外] Hi-Z
P201/IRQ5_B/TI05_B/TO05_B/PCLBUZ0_A/SSI00_B/SCK11_B/SCL11_B	Hi-Z	[IRQ5_B 選択] IRQ5_B 入力 [PCLBUZ0_A 選択] PCLBUZ0_A 出力 [上記以外] Keep-O

表 A1.1 各プロセスモードのポート状態 (2/2)

ポート名	リセット	ソフトウェアスタンバイモード
P206/RES/IRQ1_C	プルアップ	[IRQ1_C 選択] IRQ1_C 入力 [RES (OFS1.PORTSELB = 1) 選択] RES 入力 [P206 (OFS1.PORTSELB = 0) 選択] Keep-O
P212/IRQ1_B/TO00_A/TI03_C/TO03_C/RXD1_A/SI11_A/SDA11_A/SCLA0_B	Hi-Z	[IRQ1_B 選択] IRQ1_B 入力 [SCLA0_B 選択] SCLA0_B 入出力 [上記以外] Keep-O
P213/IRQ0_B/TI00_A/TI02_B/TO02_B/TXD1_A/SO11_A/SDAA0_B	Hi-Z	[IRQ0_B 選択] IRQ0_B 入力 [SDAA0_B 選択] SDAA0_B 入出力 [上記以外] Keep-O
P300/SWCLK/TI04_B/TO04_B/SDAA0_E/TXD1_B	プルアップ	[SDAA0_E 選択] SDAA0_E 入出力 [上記以外] Keep-O

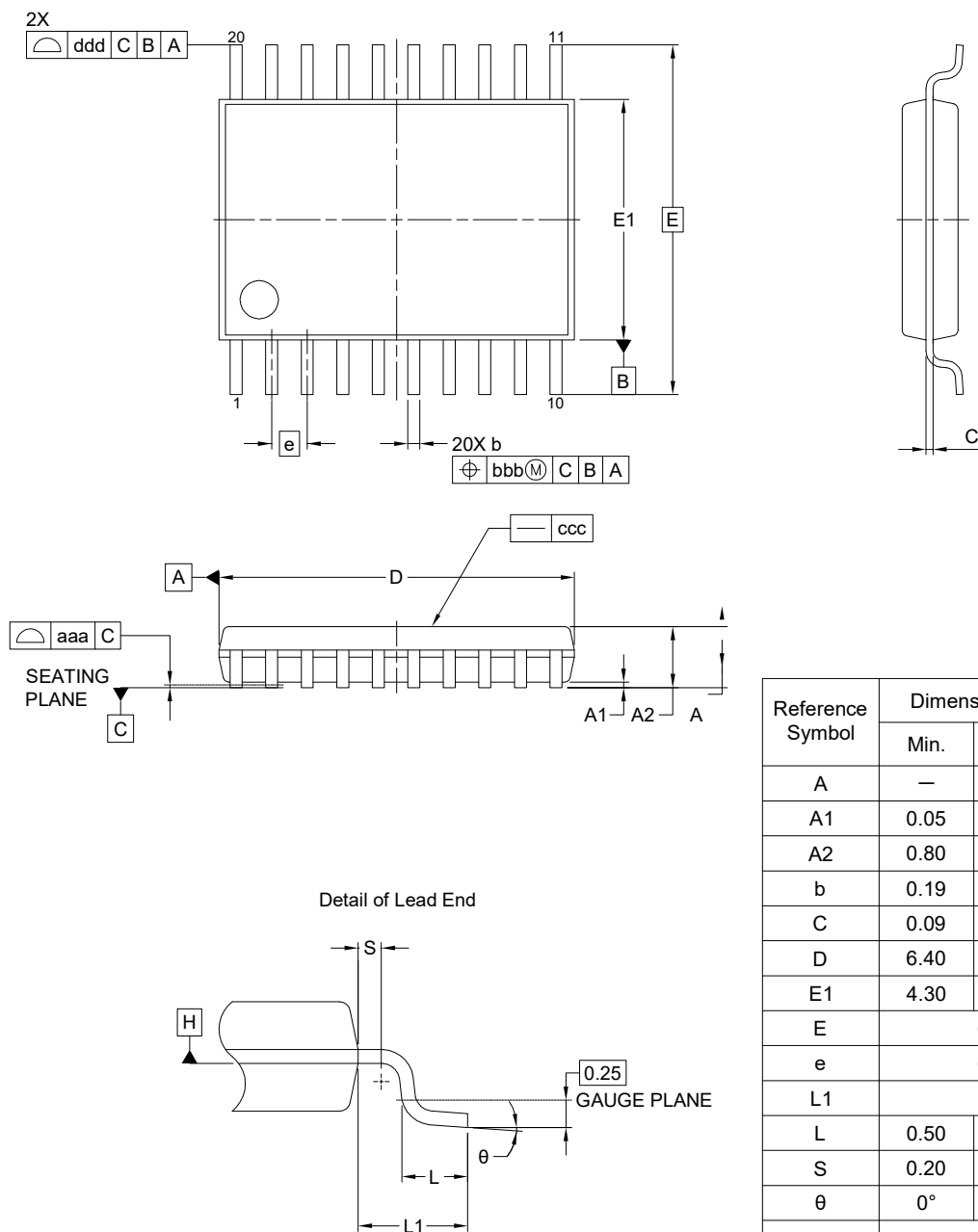
注. Hi-Z : ハイインピーダンス

Keep-O : 出力端子は前の値を保持します。入力端子はハイインピーダンスになります。

付録 2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、弊社のウェブサイトの「パッケージ」を参照してください。

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-TSSOP20-4.40x6.50-0.65	PTSP0020JI-A	0.08



NOTES:
 1. DIMENSION 'D' AND 'E1' DOES NOT INCLUDE MOLD FLASH.
 2. DIMENSION 'b' DOES NOT INCLUDE TRIM OFFSET.
 3. DIMENSION 'D' AND 'E1' TO BE DETERMINED AT DATUM PLANE [H].

図 A2.1 TSSOP 20 ピン

付録 3. I/O レジスタ

この付録では、I/O レジスタアドレス、アクセスサイクル、リセット値について機能ごとに説明します。

3.1 周辺機能のベースアドレス

本マニュアルに記載の周辺機能のベースアドレスは下記のとおりです。

表 A3.1 に、各周辺機能の名前、説明、ベースアドレスを示します。

表 A3.1 周辺機能のベースアドレス

名称	内容	ベースアドレス
BUS	バス制御	0x4000_3000
DTC	データトランスファコントローラ	0x4000_5400
ICU	割り込みコントローラ	0x4000_6000
DBG	デバッグ機能	0x4001_B000
SYSC	システムコントロール	0x4001_E000
IWDT	独立ウォッチドッグタイマ	0x4004_4400
MSTP	モジュールストップ制御	0x4004_7000
CRC	CRC 演算器	0x4007_4000
PORT0	ポート 0 制御	0x400A_0000
PORT1	ポート 1 制御	0x400A_0020
PORT2	ポート 2 制御	0x400A_0040
PORT3	ポート 3 制御	0x400A_0060
PFS_A	Pmn 端子機能選択	0x400A_0200
PORGA	製品構成	0x400A_1000
ADC_D	10 ビット A/D コンバータ	0x400A_1800
SAU0	シリアルアレイユニット 0	0x400A_2000
TAU	タイマアレイユニット	0x400A_2600
IICA	I ² C バスインタフェース	0x400A_3000
TML32	32 ビットインターバルタイマ	0x400A_3800
PCLBUZ	クロック出力／ブザー出力コントローラ	0x400A_3B00
FLCN	フラッシュ I/O レジスタ	0x407E_C000

注. 名称 = 周辺機能の名称
 内容 = 周辺機能
 ベースアドレス = 最下位の予約アドレスまたは周辺機能が使用するアドレス

3.2 アクセスサイクル

本項では、本マニュアルに記載の I/O レジスタのアクセスサイクル情報を示します。

以下の情報は、表 A3.2 に適用されます。

- レジスタは対応するモジュールごとにグループ化されています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O 領域では、レジスタに割り当てられていない予約アドレスにアクセスしないでください。アクセスした場合、動作は保証されません。
- I/O アクセスサイクル数は、内部周辺バスのバスサイクル、分周クロック同期化サイクル、および各モジュールのウェイトサイクルによって異なります。

注. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、DTC のような他のバスマスタのバスアクセスと競合せずに実行された場合のサイクル数です。

表 A3.2 にレジスタのアクセスサイクルを示します。

表 A3.2 アクセスサイクル

周辺機能	アドレス		アクセスサイクル数			関連機能
	ここから	ここまで	読み出し	書き込み	サイクル単位	
BUS, DTC, ICU, DBG	0x4000_3000	0x4001_BFFF	3		ICLK	バス、データトランスファコントローラ、割り込みコントローラ、CPU、フラッシュメモリ
SYSC	0x4001_E000	0x4001_E6FF	2		ICLK	低消費電力モード、リセット、低電圧検出、クロック発生回路、レジスタライトプロテクション
IWDT, MSTP	0x4004_0000	0x4004_7FFF	3		PCLKB	ウォッチドッグタイマ、モジュールストップ制御
CRC	0x4007_4000	0x4007_4FFF	3		PCLKB	CRC 演算器
PORT, PFS_A, PORGA, ADC10, SAU0, TAU, IICA, TML32, PCLBUZ	0x400A_0000	0x400A_3FFF	2		PCLKB	I/O ポート、10 ビット A/D コンバータ、シリアルアレイユニット 0、タイマアレイユニット、I ² C バスインタフェース、32 ビットインターバルタイマ、クロック／ブザー出力コントローラ
FLCN	0x407E_C000	0x407E_FFFF	7		ICLK	フラッシュコントロール

付録 4. ペリフェラル変数

表 A4.1 に本マニュアルで使用されるモジュール名とペリフェラル変数の対応関係を示します。

表 A4.1 モジュール名とペリフェラル変数の対応関係

モジュール名	ペリフェラル変数
ADC10	ADC_D

改訂履歴

Revision 1.00 — 2025 年 11 月 21 日

初版発行

RA0E3 グループ ユーザーズマニュアル ハードウェア編

発行年月日 Rev.1.00 Nov 21, 2025

発行 ルネサスエレクトロニクス株式会社

32 ビット MCU RA0E3 グループ