

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パソコン機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等

8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエーペンギング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# R8C/33Cグループ

ハードウェアマニュアル  
ルネサスマイクロコンピュータ  
R8Cファミリ／R8C/3xシリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、  
予告なしに、本資料に記載した製品または仕様を変更することがあります。  
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

## 本資料ご利用に際しての留意事項

- 1 . 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
- 2 . 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
- 3 . 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他の軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 4 . 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
- 5 . 本資料に記載した情報は、正確を期すため慎重に制作したものですが、萬一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
- 6 . 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任は負いません。
- 7 . 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
- 8 . 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 1 ) 生命維持装置。
  - 2 ) 人体に埋め込み使用するもの。
  - 3 ) 治療行為（患部切り出し、薬剤投与等）を行うもの。
  - 4 ) その他、直接人命に影響を与えるもの。
- 9 . 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
- 10 . 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
- 11 . 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることができないよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
- 12 . 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
- 13 . 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

# このマニュアルの使い方

## 1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改定内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

R8C/33Cグループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス テクノロジホームページに掲載されています。

| ドキュメントの種類                | 記載内容   | 資料名                        | 資料番号         |
|--------------------------|--|----------------------------|--------------|
| ショートシート                  | ハードウェアの概要と電気的特性  | R8C/33C グループショートシート        | RJJ03B0280   |
| ハードウェアマニュアル              | ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明<br>周辺機能の使用方法はアプリケーションノートを参照してください。 | R8C/33C グループハードウェアマニュアル    | 本ハードウェアマニュアル |
| ソフトウェアマニュアル              | CPU命令セットの説明  | R8C/Tinyシリーズソフトウェアマニュアル    | RJJ09B0002   |
| アプリケーションノート              | 周辺機能の使用方法、応用例<br>参考プログラム<br>アセンブリ言語、C言語によるプログラムの作成方法                               | ルネサス テクノロジホームページに掲載されています。 |              |
| RENESAS TECHNICAL UPDATE | 製品の仕様、ドキュメント等に関する速報  |                            |              |

## 2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

- (1) レジスタ名、ビット名、端子名  
本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。  
(例) PM0 レジスタのPM03 ビット  
P3\_5 端子、VCC 端子
  
- (2) 数の表記  
2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。  
(例) 2進数：11b  
16進数：EFA0h  
10進数：1234

### 3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。

x.x.x . . . レジスタ(シンボル)

アドレス . . . h番地

| ビット     | b7    | b6    | b5    | b4 | b3 | b2 | b1    | b0    |     |
|---------|-------|-------|-------|----|----|----|-------|-------|-----|
| シンボル    | ... 7 | ... 6 | ... 5 | -  | -  | -  | ... 1 | ... 0 | * 1 |
| リセット後の値 | 0     | 0     | 0     | 0  | 0  | 0  | 0     | 0     |     |

| ビット | シンボル  | ビット名                                      | 機能   | R/W |
|-----|-------|---|--|-----|
| b0  | ... 0 | ... ビット                                   | b <sub>1</sub> b <sub>0</sub><br>0 0 : ...<br>0 1 : ...<br>1 0 : 設定しないでください<br>1 1 : ... | R/W |
| b1  | ... 1 |   |  | R/W |
| b2  | -     | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。 |  | -   |
| b3  | -     | 予約ビット                                     | “0”にしてください。  | W   |
| b4  | -     |   |  |     |
| b5  | ... 5 | ... ビット                                   | 動作モードによって機能が異なる  | R/W |
| b6  | ... 6 |   |  | R/W |
| b7  | ... 7 | ... ビット                                   | 0 : ...<br>1 : ...   | R   |

\* 2

\* 3

\* 1

R/W : 読むとビットの状態が読みます。書くと有効データになります。

R : 読むとビットの状態が読みます。書いた値は無効になります。

W : 書くと有効データになります。ビットの状態は読みません。

- : 何も配置されていないビットです。

\* 2

• 予約ビット

予約ビットです。指定された値にしてください。

\* 3

• 何も配置されていない

該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。

• 設定しないでください

設定した場合の動作は保証されません。

• 動作モードによって機能が異なる

周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

## 4. 略語および略称の説明

| 略語/略称 | フルスペル   | 備考                      |
|-------|---|-------------------------|
| ACIA  | Asynchronous Communication Interface Adapter  | 調歩同期式通信アダプタ             |
| bps   | bits per second                               | 転送速度を表す単位、ビット/秒         |
| CRC   | Cyclic Redundancy Check                       | 巡回冗長検査                  |
| DMA   | Direct Memory Access                          | CPUの命令を介さずに直接データ転送を行う方式 |
| DMAC  | Direct Memory Access Controller               | DMAを行うコントローラ            |
| GSM   | Global System for Mobile Communications       | FDD-TDMAの第二世代携帯電話の方式    |
| Hi-Z  | High Impedance                                | 回路が電気的に接続されていない状態       |
| IEBus | Inter Equipment Bus                           | NECエレクトロニクス社提唱の通信方式     |
| I/O   | Input / Output                                | 入出力                     |
| IrDA  | Infrared Data Association                     | 赤外線通信の業界団体または規格         |
| LSB   | Least Significant Bit                         | 最下位ビット                  |
| MSB   | Most Significant Bit                          | 最上位ビット                  |
| NC    | Non-Connect                                   | 非接続                     |
| PLL   | Phase Locked Loop                             | 位相同期回路                  |
| PWM   | Pulse Width Modulation                        | パルス幅変調                  |
| SIM   | Subscriber Identity Module                    | ISO/IEC 7816規格の接触型ICカード |
| UART  | Universal Asynchronous Receiver / Transmitter | 調歩同期式シリアルインターフェース       |
| VCO   | Voltage Controlled Oscillator                 | 電圧制御発振器                 |

# 目次

|  |       |
|--|-------|
| 番地別ページ早見表 .....  | B - 1 |
| 1. 概要 .....  | 1     |
| 1.1 特長 .....   | 1     |
| 1.1.1 用途 .....   | 1     |
| 1.1.2 仕様概要 .....   | 2     |
| 1.2 製品一覧 .....   | 4     |
| 1.3 プロック図 .....  | 5     |
| 1.4 ピン配置図 .....  | 6     |
| 1.5 端子機能の説明 .....  | 8     |
| 2. 中央演算処理装置 (CPU) .....                                  | 10    |
| 2.1 データレジスタ (R0、R1、R2、R3) .....                          | 11    |
| 2.2 アドレスレジスタ (A0、A1) .....                               | 11    |
| 2.3 フレームベースレジスタ (FB) .....                               | 11    |
| 2.4 割り込みテーブルレジスタ (INTB) .....                            | 11    |
| 2.5 プログラムカウンタ (PC) .....                                 | 11    |
| 2.6 ユーザstackoverflowポインタ (USP)、割り込みstackポインタ (ISP) ..... | 11    |
| 2.7 スタティックベースレジスタ (SB) .....                             | 11    |
| 2.8 フラグレジスタ (FLG) .....                                  | 11    |
| 2.8.1 キャリフラグ (C フラグ) .....                               | 11    |
| 2.8.2 デバッグフラグ (D フラグ) .....                              | 11    |
| 2.8.3 ゼロフラグ (Z フラグ) .....                                | 11    |
| 2.8.4 サインフラグ (S フラグ) .....                               | 11    |
| 2.8.5 レジスタバンク指定フラグ (B フラグ) .....                         | 11    |
| 2.8.6 オーバフローフラグ (O フラグ) .....                            | 12    |
| 2.8.7 割り込み許可フラグ (I フラグ) .....                            | 12    |
| 2.8.8 スタックポインタ指定フラグ (U フラグ) .....                        | 12    |
| 2.8.9 プロセッサ割り込み優先レベル (IPL) .....                         | 12    |
| 2.8.10 預約ビット .....                                       | 12    |
| 3. メモリ .....   | 13    |
| 3.1 R8C/33C グループ .....                                   | 13    |
| 4. SFR .....   | 14    |
| 5. リセット .....  | 26    |
| 5.1 レジスタの説明 .....  | 28    |
| 5.1.1 プロセッサモードレジスタ 0 (PM0) .....                         | 28    |
| 5.1.2 リセット要因判別レジスタ (RSTFR) .....                         | 28    |
| 5.1.3 オプション機能選択レジスタ (OFS) .....                          | 29    |
| 5.1.4 オプション機能選択レジスタ 2 (OFS2) .....                       | 30    |
| 5.2 ハードウェアリセット .....                                     | 31    |
| 5.2.1 電源が安定している場合 .....                                  | 31    |
| 5.2.2 電源投入時 .....  | 31    |
| 5.3 パワーオンリセット機能 .....                                    | 33    |
| 5.4 電圧監視リセット .....                                       | 34    |
| 5.5 ウオッチドッグタイマリセット .....                                 | 35    |
| 5.6 ソフトウェアリセット .....                                     | 35    |

|        |                                     |    |
|--------|-------------------------------------|----|
| 5.7    | コールドスタート / ウォームスタート判定機能 .....       | 36 |
| 5.8    | リセット要因判別機能 .....                    | 36 |
| 6.     | 電圧検出回路 .....                        | 37 |
| 6.1    | 概要 .....                            | 37 |
| 6.2    | レジスタの説明 .....                       | 41 |
| 6.2.1  | 電圧監視回路制御レジスタ (CMPA) .....           | 41 |
| 6.2.2  | 電圧監視回路エッジ選択レジスタ (VCAC) .....        | 42 |
| 6.2.3  | 電圧検出レジスタ 1 (VCA1) .....             | 42 |
| 6.2.4  | 電圧検出レジスタ 2 (VCA2) .....             | 43 |
| 6.2.5  | 電圧検出 1 レベル選択レジスタ (VD1LS) .....      | 44 |
| 6.2.6  | 電圧監視 0 回路制御レジスタ (VW0C) .....        | 45 |
| 6.2.7  | 電圧監視 1 回路制御レジスタ (VW1C) .....        | 46 |
| 6.2.8  | 電圧監視 2 回路制御レジスタ (VW2C) .....        | 47 |
| 6.2.9  | オプション機能選択レジスタ (OFS) .....           | 48 |
| 6.3    | VCC 入力電圧のモニタ .....                  | 49 |
| 6.3.1  | Vdet0 のモニタ .....                    | 49 |
| 6.3.2  | Vdet1 のモニタ .....                    | 49 |
| 6.3.3  | Vdet2 のモニタ .....                    | 49 |
| 6.4    | 電圧監視 0 リセット .....                   | 50 |
| 6.5    | 電圧監視 1 割り込み .....                   | 51 |
| 6.6    | 電圧監視 2 割り込み .....                   | 53 |
| 7.     | I/O ポート .....                       | 55 |
| 7.1    | I/O ポートの機能 .....                    | 55 |
| 7.2    | 周辺機能への影響 .....                      | 56 |
| 7.3    | I/O ポート以外の端子 .....                  | 56 |
| 7.4    | レジスタの説明 .....                       | 68 |
| 7.4.1  | ポート Pi 方向レジスタ (PDi)(i=0 ~ 4) .....  | 68 |
| 7.4.2  | ポート Pi レジスタ (Pi)(i=0 ~ 4) .....     | 69 |
| 7.4.3  | タイマ RA 端子選択レジスタ (TRASR) .....       | 70 |
| 7.4.4  | タイマ RB/RC 端子選択レジスタ (TRBRCCSR) ..... | 71 |
| 7.4.5  | タイマ RC 端子選択レジスタ 0 (TRCPSR0) .....   | 72 |
| 7.4.6  | タイマ RC 端子選択レジスタ 1 (TRCPSR1) .....   | 73 |
| 7.4.7  | UART0 端子選択レジスタ (U0SR) .....         | 74 |
| 7.4.8  | UART1 端子選択レジスタ (U1SR) .....         | 75 |
| 7.4.9  | UART2 端子選択レジスタ 0 (U2SR0) .....      | 76 |
| 7.4.10 | UART2 端子選択レジスタ 1 (U2SR1) .....      | 77 |
| 7.4.11 | SSU/IIC 端子選択レジスタ (SSUIICCSR) .....  | 77 |
| 7.4.12 | INT 割り込み入力端子選択レジスタ (INTSR) .....    | 78 |
| 7.4.13 | 入出力機能端子選択レジスタ (PINSR) .....         | 79 |
| 7.4.14 | ブルアップ制御レジスタ 0 (PUR0) .....          | 80 |
| 7.4.15 | ブルアップ制御レジスタ 1 (PUR1) .....          | 80 |
| 7.4.16 | ポート P1 駆動能力制御レジスタ (P1DRR) .....     | 81 |
| 7.4.17 | ポート P2 駆動能力制御レジスタ (P2DRR) .....     | 81 |
| 7.4.18 | 駆動能力制御レジスタ 0 (DRR0) .....           | 82 |
| 7.4.19 | 駆動能力制御レジスタ 1 (DRR1) .....           | 83 |
| 7.4.20 | 入力しきい値制御レジスタ 0 (VLT0) .....         | 84 |
| 7.4.21 | 入力しきい値制御レジスタ 1 (VLT1) .....         | 85 |

|        |                                   |     |
|--------|-----------------------------------|-----|
| 7.5    | ポートの設定 .....                      | 86  |
| 7.6    | 未使用端子の処理 .....                    | 99  |
| 8.     | バス制御 .....                        | 100 |
| 9.     | クロック発生回路 .....                    | 102 |
| 9.1    | 概要 .....                          | 102 |
| 9.2    | レジスタの説明 .....                     | 105 |
| 9.2.1  | システムクロック制御レジスタ 0 (CM0) .....      | 105 |
| 9.2.2  | システムクロック制御レジスタ 1 (CM1) .....      | 106 |
| 9.2.3  | システムクロック制御レジスタ 3 (CM3) .....      | 107 |
| 9.2.4  | 発振停止検出レジスタ (OCD) .....            | 109 |
| 9.2.5  | 高速オンチップオシレータ制御レジスタ 7 (FRA7) ..... | 109 |
| 9.2.6  | 高速オンチップオシレータ制御レジスタ 0 (FRA0) ..... | 110 |
| 9.2.7  | 高速オンチップオシレータ制御レジスタ 1 (FRA1) ..... | 110 |
| 9.2.8  | 高速オンチップオシレータ制御レジスタ 2 (FRA2) ..... | 111 |
| 9.2.9  | 時計用プリスケーラリセットフラグ (CPSRF) .....    | 111 |
| 9.2.10 | 高速オンチップオシレータ制御レジスタ 4 (FRA4) ..... | 112 |
| 9.2.11 | 高速オンチップオシレータ制御レジスタ 5 (FRA5) ..... | 112 |
| 9.2.12 | 高速オンチップオシレータ制御レジスタ 6 (FRA6) ..... | 113 |
| 9.2.13 | 高速オンチップオシレータ制御レジスタ 3 (FRA3) ..... | 113 |
| 9.2.14 | 電圧検出レジスタ 2 (VCA2) .....           | 114 |
| 9.3    | XIN クロック .....                    | 116 |
| 9.4    | オンチップオシレータクロック .....              | 117 |
| 9.4.1  | 低速オンチップオシレータクロック .....            | 117 |
| 9.4.2  | 高速オンチップオシレータクロック .....            | 117 |
| 9.5    | XCIN クロック .....                   | 118 |
| 9.6    | CPU クロックと周辺機能クロック .....           | 119 |
| 9.6.1  | システムクロック .....                    | 119 |
| 9.6.2  | CPU クロック .....                    | 119 |
| 9.6.3  | 周辺機能クロック (f1、f2、f4、f8、f32) .....  | 119 |
| 9.6.4  | fOCO .....                        | 119 |
| 9.6.5  | fOCO40M .....                     | 119 |
| 9.6.6  | fOCO-F .....                      | 119 |
| 9.6.7  | fOCO-S .....                      | 120 |
| 9.6.8  | fOCO128 .....                     | 120 |
| 9.6.9  | fC、fC4、fC32 .....                 | 120 |
| 9.6.10 | fOCO-WDT .....                    | 120 |
| 9.7    | パワーコントロール .....                   | 121 |
| 9.7.1  | 標準動作モード .....                     | 121 |
| 9.7.2  | ウェイトモード .....                     | 123 |
| 9.7.3  | ストップモード .....                     | 127 |
| 9.8    | 発振停止検出機能 .....                    | 130 |
| 9.8.1  | 発振停止検出機能の使用方法 .....               | 131 |
| 9.9    | クロック発生回路使用上の注意 .....              | 134 |
| 9.9.1  | ストップモード .....                     | 134 |
| 9.9.2  | ウェイトモード .....                     | 134 |
| 9.9.3  | 発振停止検出機能 .....                    | 135 |
| 9.9.4  | 発振回路定数 .....                      | 135 |

|         |   |     |
|---------|---|-----|
| 10.     | プロテクト .....   | 136 |
| 10.1    | レジスタの説明 .....   | 136 |
| 10.1.1  | プロテクトレジスタ (PRCR).....   | 136 |
| 11.     | 割り込み .....  | 137 |
| 11.1    | 概要 .....  | 137 |
| 11.1.1  | 割り込みの分類 .....   | 137 |
| 11.1.2  | ソフトウェア割り込み .....  | 138 |
| 11.1.3  | 特殊割り込み .....  | 139 |
| 11.1.4  | 周辺機能割り込み .....  | 139 |
| 11.1.5  | 割り込みと割り込みベクタ .....  | 140 |
| 11.2    | レジスタの説明 .....   | 142 |
| 11.2.1  | 割り込み制御レジスタ<br>(TREIC、S2TIC、S2RIC、KUPIC、ADIC、S0TIC、S0RIC、S1TIC、S1RIC、TRAIC、<br>TRBIC、U2BCNIC、VCMP1IC、VCMP2IC)..... | 142 |
| 11.2.2  | 割り込み制御レジスタ (FMRDYIC、TRCIC、SSUIC/IICIC) .....  | 143 |
| 11.2.3  | INTi 割り込み制御レジスタ (INTiIC)(i=0、1、3) .....   | 144 |
| 11.3    | 割り込み制御 .....  | 145 |
| 11.3.1  | I フラグ .....   | 145 |
| 11.3.2  | IR ビット .....  | 145 |
| 11.3.3  | ILVL2 ~ ILVL0 ビット、IPL .....   | 145 |
| 11.3.4  | 割り込みシーケンス .....   | 146 |
| 11.3.5  | 割り込み応答時間 .....  | 147 |
| 11.3.6  | 割り込み要求受付時の IPL の変化 .....  | 147 |
| 11.3.7  | レジスタ退避 .....  | 148 |
| 11.3.8  | 割り込みルーチンからの復帰 .....   | 150 |
| 11.3.9  | 割り込み優先順位 .....  | 150 |
| 11.3.10 | 割り込み優先レベル判定回路 .....   | 151 |
| 11.4    | <u>INT</u> 割り込み .....   | 152 |
| 11.4.1  | INTi 割り込み (i=0、1、3).....  | 152 |
| 11.4.2  | INT 割り込み入力端子選択レジスタ (INTSR).....   | 153 |
| 11.4.3  | 外部入力許可レジスタ 0 (INTEN) .....  | 154 |
| 11.4.4  | INT 入力フィルタ選択レジスタ 0 (INTF) .....   | 154 |
| 11.4.5  | INTi 入力フィルタ (i=0、1、3).....  | 155 |
| 11.5    | キー入力割り込み .....  | 156 |
| 11.5.1  | キー入力許可レジスタ 0 (KIEN) .....   | 157 |
| 11.6    | アドレス一致割り込み .....  | 158 |
| 11.6.1  | アドレス一致割り込み許可レジスタ i (AIERi)(i=0 ~ 1) .....   | 159 |
| 11.6.2  | アドレス一致割り込みレジスタ i (RMADI)(i=0 ~ 1) .....   | 159 |
| 11.7    | タイム RC 割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I <sup>2</sup> C バス<br>インターフェース、フラッシュメモリ割り込み (複数の割り込み要求要因を持つ割り込み) ...     | 160 |
| 11.8    | 割り込み使用上の注意 .....  | 162 |
| 11.8.1  | 00000h 番地の読み出し .....  | 162 |
| 11.8.2  | SP の設定 .....  | 162 |
| 11.8.3  | 外部割り込み、キー入力割り込み .....   | 162 |
| 11.8.4  | 割り込み要因の変更 .....   | 163 |
| 11.8.5  | 割り込み制御レジスタの変更 .....   | 164 |

|  |     |
|--|-----|
| 12. ID コード領域 .....                                     | 165 |
| 12.1 概要 .....  | 165 |
| 12.2 機能 .....  | 166 |
| 12.3 強制イレーズ機能 .....                                    | 167 |
| 12.4 標準シリアル入出力モード禁止機能 .....                            | 167 |
| 12.5 ID コード領域使用上の注意 .....                              | 168 |
| 12.5.1 ID コード領域の設定例 .....                              | 168 |
| 13. オプション機能選択領域 .....                                  | 169 |
| 13.1 概要 .....  | 169 |
| 13.2 レジスタの説明 .....                                     | 170 |
| 13.2.1 オプション機能選択レジスタ (OFS) .....                       | 170 |
| 13.2.2 オプション機能選択レジスタ 2 (OFS2) .....                    | 171 |
| 13.3 オプション機能選択領域使用上の注意 .....                           | 172 |
| 13.3.1 オプション機能選択領域の設定例 .....                           | 172 |
| 14. ウオッчドッグタイマ .....                                   | 173 |
| 14.1 概要 .....  | 173 |
| 14.2 レジスタの説明 .....                                     | 175 |
| 14.2.1 プロセッサモードレジスタ 1 (PM1) .....                      | 175 |
| 14.2.2 ウオッчドッグタイマリセットレジスタ (WDTR) .....                 | 175 |
| 14.2.3 ウオッчドッグタイマスタートレジスタ (WDTS) .....                 | 175 |
| 14.2.4 ウオッчドッグタイマ制御レジスタ (WDTC) .....                   | 176 |
| 14.2.5 カウントソース保護モードレジスタ (CSPR) .....                   | 176 |
| 14.2.6 オプション機能選択レジスタ (OFS) .....                       | 177 |
| 14.2.7 オプション機能選択レジスタ 2 (OFS2) .....                    | 178 |
| 14.3 動作説明 .....  | 179 |
| 14.3.1 複数モードに関わる共通事項 .....                             | 179 |
| 14.3.2 カウントソース保護モード無効時 .....                           | 180 |
| 14.3.3 カウントソース保護モード有効時 .....                           | 181 |
| 15. DTC .....  | 182 |
| 15.1 概要 .....  | 182 |
| 15.2 レジスタの説明 .....                                     | 183 |
| 15.2.1 DTC 制御レジスタ j(DTCCRj)(j=0 ~ 23) .....            | 184 |
| 15.2.2 DTC ブロックサイズレジスタ j(DTBLSj)(j=0 ~ 23) .....       | 184 |
| 15.2.3 DTC 転送回数レジスタ j(DTCCTj)(j=0 ~ 23) .....          | 185 |
| 15.2.4 DTC 転送回数リロードレジスタ j(DTRLDj)(j=0 ~ 23) .....      | 185 |
| 15.2.5 DTC ソースアドレスレジスタ j(DTSARj)(j=0 ~ 23) .....       | 185 |
| 15.2.6 DTC デスティネーションアドレスレジスタ j(DTDARj)(j=0 ~ 23) ..... | 185 |
| 15.2.7 DTC 起動許可レジスタ i(DTCENi)(i=0 ~ 3、5、6) .....       | 186 |
| 15.2.8 DTC 起動制御レジスタ (DTCTL) .....                      | 187 |
| 15.3 動作説明 .....  | 188 |
| 15.3.1 概要 .....  | 188 |
| 15.3.2 起動要因 .....                                      | 188 |
| 15.3.3 コントロールデータの配置と DTC ベクタテーブル .....                 | 190 |
| 15.3.4 ノーマルモード .....                                   | 195 |
| 15.3.5 リピートモード .....                                   | 196 |
| 15.3.6 チェイン転送 .....                                    | 197 |

|         |  |     |
|---------|--|-----|
| 15.3.7  | 割り込み要因 .....                                     | 197 |
| 15.3.8  | 動作タイミング .....                                    | 198 |
| 15.3.9  | DTC 実行サイクル数 .....                                | 199 |
| 15.3.10 | DTC 起動要因受付と割り込み要因フラグ .....                       | 200 |
| 15.4    | DTC 使用上の注意 .....                                 | 202 |
| 15.4.1  | DTC 起動要因 .....                                   | 202 |
| 15.4.2  | DTCENi(i=0 ~ 3、5、6) レジスタ .....                   | 202 |
| 15.4.3  | 周辺モジュール .....                                    | 202 |
| 15.4.4  | 割り込み要求 .....                                     | 202 |
| 16.     | タイマ総論 .....                                      | 203 |
| 17.     | タイマ RA .....                                     | 205 |
| 17.1    | 概要 .....   | 205 |
| 17.2    | レジスタの説明 .....                                    | 206 |
| 17.2.1  | タイマ RA 制御レジスタ (TRACR) .....                      | 206 |
| 17.2.2  | タイマ RA I/O 制御レジスタ (TRAIOC) .....                 | 206 |
| 17.2.3  | タイマ RA モードレジスタ (TRAMR) .....                     | 207 |
| 17.2.4  | タイマ RA プリスケーラレジスタ (TRAPRE) .....                 | 207 |
| 17.2.5  | タイマ RA レジスタ (TRA) .....                          | 208 |
| 17.2.6  | タイマ RA 端子選択レジスタ (TRASR) .....                    | 208 |
| 17.3    | タイマモード .....                                     | 209 |
| 17.3.1  | タイマ RA I/O 制御レジスタ (TRAIOC)[ タイマモード時 ] .....      | 209 |
| 17.3.2  | カウント中のタイマ書き込み制御 .....                            | 210 |
| 17.4    | パルス出力モード .....                                   | 211 |
| 17.4.1  | タイマ RA I/O 制御レジスタ (TRAIOC)[ パルス出力モード時 ] .....    | 212 |
| 17.5    | イベントカウンタモード .....                                | 213 |
| 17.5.1  | タイマ RA I/O 制御レジスタ (TRAIOC)[ イベントカウンタモード時 ] ..... | 214 |
| 17.6    | パルス幅測定モード .....                                  | 215 |
| 17.6.1  | タイマ RA I/O 制御レジスタ (TRAIOC)[ パルス幅測定モード時 ] .....   | 216 |
| 17.6.2  | 動作例 .....  | 217 |
| 17.7    | パルス周期測定モード .....                                 | 218 |
| 17.7.1  | タイマ RA I/O 制御レジスタ (TRAIOC)[ パルス周期測定モード時 ] .....  | 219 |
| 17.7.2  | 動作例 .....  | 220 |
| 17.8    | タイマ RA 使用上の注意 .....                              | 221 |
| 18.     | タイマ RB .....                                     | 222 |
| 18.1    | 概要 .....   | 222 |
| 18.2    | レジスタの説明 .....                                    | 223 |
| 18.2.1  | タイマ RB 制御レジスタ (TRBCR) .....                      | 223 |
| 18.2.2  | タイマ RB ワンショット制御レジスタ (TRBOCR) .....               | 223 |
| 18.2.3  | タイマ RB I/O 制御レジスタ (TRBIOC) .....                 | 224 |
| 18.2.4  | タイマ RB モードレジスタ (TRBMR) .....                     | 224 |
| 18.2.5  | タイマ RB プリスケーラレジスタ (TRBPRE) .....                 | 225 |
| 18.2.6  | タイマ RB セカンダリレジスタ (TRBSC) .....                   | 225 |
| 18.2.7  | タイマ RB プライマリレジスタ (TRBPR) .....                   | 226 |
| 18.2.8  | タイマ RB/RC 端子選択レジスタ (TRBRCRSR) .....              | 226 |
| 18.3    | タイマモード .....                                     | 227 |
| 18.3.1  | タイマ RB I/O 制御レジスタ (TRBIOC)[ タイマモード時 ] .....      | 227 |

|         |  |     |
|---------|--|-----|
| 18.3.2  | カウント中のタイマ書き込み制御 .....  | 228 |
| 18.4    | プログラマブル波形発生モード .....   | 230 |
| 18.4.1  | タイマ RB I/O 制御レジスタ (TRBIOC)[ プログラマブル波形発生モード時 ] .....            | 231 |
| 18.4.2  | 動作例 .....  | 232 |
| 18.5    | プログラマブルワンショット発生モード .....                                       | 233 |
| 18.5.1  | タイマ RB I/O 制御レジスタ (TRBIOC)[ プログラマブルワンショット発生モード時 ] .....        | 234 |
| 18.5.2  | 動作例 .....  | 235 |
| 18.5.3  | ワンショットトリガ選択 .....  | 236 |
| 18.6    | プログラマブルウェイトワンショット発生モード .....                                   | 237 |
| 18.6.1  | タイマ RB I/O 制御レジスタ (TRBIOC)[ プログラマブルウェイトワンショット発生モード時 ] .....    | 238 |
| 18.6.2  | 動作例 .....  | 239 |
| 18.7    | タイマ RB 使用上の注意 .....  | 240 |
| 18.7.1  | タイマモード .....   | 240 |
| 18.7.2  | プログラマブル波形発生モード .....   | 240 |
| 18.7.3  | プログラマブルワンショット発生モード .....                                       | 241 |
| 18.7.4  | プログラマブルウェイトワンショット発生モード .....                                   | 241 |
| 19.     | タイマ RC .....   | 242 |
| 19.1    | 概要 .....   | 242 |
| 19.2    | レジスタの説明 .....  | 244 |
| 19.2.1  | モジュールスタンバイ制御レジスタ (MSTCR) .....                                 | 245 |
| 19.2.2  | タイマ RC モードレジスタ (TRCMR) .....                                   | 245 |
| 19.2.3  | タイマ RC 制御レジスタ 1 (TRCCR1) .....                                 | 246 |
| 19.2.4  | タイマ RC 割り込み許可レジスタ (TRCIER) .....                               | 246 |
| 19.2.5  | タイマ RC ステータスレジスタ (TRCSR) .....                                 | 247 |
| 19.2.6  | タイマ RC I/O 制御レジスタ 0 (TRCIOR0) .....                            | 248 |
| 19.2.7  | タイマ RC I/O 制御レジスタ 1 (TRCIOR1) .....                            | 248 |
| 19.2.8  | タイマ RC カウンタ (TRC) .....  | 249 |
| 19.2.9  | タイマ RC ジェネラルレジスタ A、B、C、D (TRCGRA、TRCGRB、TRCGRC、TRCGRD) .....   | 249 |
| 19.2.10 | タイマ RC 制御レジスタ 2 (TRCCR2) .....                                 | 250 |
| 19.2.11 | タイマ RC デジタルフィルタ機能選択レジスタ (TRCDF) .....                          | 250 |
| 19.2.12 | タイマ RC アウトプットマスク許可レジスタ (TRCOER) .....                          | 251 |
| 19.2.13 | タイマ RC トリガ制御レジスタ (TRCADCR) .....                               | 251 |
| 19.2.14 | タイマ RB/RC 端子選択レジスタ (TRBRCRSR) .....                            | 252 |
| 19.2.15 | タイマ RC 端子選択レジスタ 0 (TRCPSR0) .....                              | 253 |
| 19.2.16 | タイマ RC 端子選択レジスタ 1 (TRCPSR1) .....                              | 254 |
| 19.3    | 複数モードに関わる共通事項 .....  | 255 |
| 19.3.1  | カウントソース .....  | 255 |
| 19.3.2  | バッファ動作 .....   | 256 |
| 19.3.3  | デジタルフィルタ .....   | 258 |
| 19.3.4  | パルス出力強制遮断 .....  | 259 |
| 19.4    | タイマモード (インプットキャプチャ機能) .....                                    | 261 |
| 19.4.1  | タイマ RC I/O 制御レジスタ 0 (TRCIOR0)[ タイマモード (インプットキャプチャ機能) 時 ] ..... | 263 |
| 19.4.2  | タイマ RC I/O 制御レジスタ 1 (TRCIOR1)[ タイマモード (インプットキャプチャ機能) 時 ] ..... | 264 |
| 19.4.3  | 動作例 .....  | 265 |

|        |  |     |
|--------|--|-----|
| 19.5   | タイマモード(アウトプットコンペア機能) .....                                 | 266 |
| 19.5.1 | タイマ RC 制御レジスタ 1(TRCCR1)[ タイマモード(アウトプットコンペア機能)時 ]....       | 268 |
| 19.5.2 | タイマ RC I/O 制御レジスタ 0(TRCIOR0)[ タイマモード(アウトプットコンペア機能)時 ]..... | 269 |
| 19.5.3 | タイマ RC I/O 制御レジスタ 1(TRCIOR1)[ タイマモード(アウトプットコンペア機能)時 ]..... | 270 |
| 19.5.4 | タイマ RC 制御レジスタ 2(TRCCR2)[ タイマモード(アウトプットコンペア機能)時 ]....       | 271 |
| 19.5.5 | 動作例 .....  | 272 |
| 19.5.6 | TRCGRC、TRCGRD レジスタの出力端子変更 .....                            | 273 |
| 19.6   | PWM モード .....  | 275 |
| 19.6.1 | タイマ RC 制御レジスタ 1(TRCCR1)[PWM モード時] .....                    | 277 |
| 19.6.2 | タイマ RC 制御レジスタ 2(TRCCR2)[PWM モード時] .....                    | 278 |
| 19.6.3 | 動作例 .....  | 279 |
| 19.7   | PWM2 モード .....   | 281 |
| 19.7.1 | タイマ RC 制御レジスタ 1(TRCCR1)[PWM2 モード時] .....                   | 283 |
| 19.7.2 | タイマ RC 制御レジスタ 2(TRCCR2)[PWM2 モード時] .....                   | 284 |
| 19.7.3 | タイマ RC デジタルフィルタ機能選択レジスタ (TRCDF)[PWM2 モード時] .....           | 284 |
| 19.7.4 | 動作例 .....  | 286 |
| 19.8   | タイマ RC 割り込み .....  | 289 |
| 19.9   | タイマ RC 使用上の注意 .....  | 290 |
| 19.9.1 | TRC レジスタ .....   | 290 |
| 19.9.2 | TRCSR レジスタ .....   | 290 |
| 19.9.3 | TRCCR1 レジスタ .....  | 290 |
| 19.9.4 | カウントソース切り替え .....  | 290 |
| 19.9.5 | インプットキャプチャ機能 .....   | 291 |
| 19.9.6 | PWM2 モード時の TRCMR レジスタ .....                                | 291 |
| 19.9.7 | カウントソース fOCO40M .....                                      | 291 |
| 20.    | タイマ RE .....   | 292 |
| 20.1   | 概要 .....   | 292 |
| 20.2   | リアルタイムクロックモード .....  | 293 |
| 20.2.1 | タイマ RE 秒データレジスタ (TRESEC)[ リアルタイムクロックモード時 ] .....           | 295 |
| 20.2.2 | タイマ RE 分データレジスタ (TREMIN)[ リアルタイムクロックモード時 ] .....           | 295 |
| 20.2.3 | タイマ RE 時データレジスタ (TREHR)[ リアルタイムクロックモード時 ] .....            | 296 |
| 20.2.4 | タイマ RE 曜日データレジスタ (TREWK)[ リアルタイムクロックモード時 ] .....           | 296 |
| 20.2.5 | タイマ RE 制御レジスタ 1(TRECR1)[ リアルタイムクロックモード時 ] .....            | 297 |
| 20.2.6 | タイマ RE 制御レジスタ 2(TRECR2)[ リアルタイムクロックモード時 ] .....            | 298 |
| 20.2.7 | タイマ RE カウントソース選択レジスタ (TRECSR)[ リアルタイムクロックモード時 ] .....      | 299 |
| 20.2.8 | 動作例 .....  | 300 |
| 20.3   | アウトプットコンペアモード .....  | 301 |
| 20.3.1 | タイマ RE カウンタデータレジスタ (TRESEC)[ アウトプットコンペアモード時 ] .....        | 302 |
| 20.3.2 | タイマ RE コンペアデータレジスタ (TREMIN)[ アウトプットコンペアモード時 ] .....        | 302 |
| 20.3.3 | タイマ RE 制御レジスタ 1(TRECR1)[ アウトプットコンペアモード時 ] .....            | 303 |
| 20.3.4 | タイマ RE 制御レジスタ 2(TRECR2)[ アウトプットコンペアモード時 ] .....            | 303 |
| 20.3.5 | タイマ RE カウントソース選択レジスタ (TRECSR)[ アウトプットコンペアモード時 ] .....      | 304 |
| 20.3.6 | 動作例 .....  | 305 |
| 20.4   | タイマ RE 使用上の注意 .....  | 306 |
| 20.4.1 | カウント開始、停止 .....  | 306 |
| 20.4.2 | レジスタ設定 .....   | 306 |

|         |  |     |
|---------|--|-----|
| 20.4.3  | リアルタイムクロックモードの時刻読み出し手順 .....                           | 308 |
| 21.     | シリアルインタフェース (UART <sub>i</sub> (i=0 ~ 1)).....         | 309 |
| 21.1    | 概要 .....   | 309 |
| 21.2    | レジスタの説明 .....  | 311 |
| 21.2.1  | UART <sub>i</sub> 送受信モードレジスタ (UiMR)(i=0 ~ 1).....      | 311 |
| 21.2.2  | UART <sub>i</sub> ビットレートレジスタ (UiBRG)(i=0 ~ 1).....     | 311 |
| 21.2.3  | UART <sub>i</sub> 送信バッファレジスタ (UiTB)(i=0 ~ 1).....      | 312 |
| 21.2.4  | UART <sub>i</sub> 送受信制御レジスタ 0 (UiC0)(i=0 ~ 1).....     | 313 |
| 21.2.5  | UART <sub>i</sub> 送受信制御レジスタ 1 (UiC1)(i=0 ~ 1).....     | 313 |
| 21.2.6  | UART <sub>i</sub> 受信バッファレジスタ (UiRB)(i=0 ~ 1).....      | 314 |
| 21.2.7  | UART0 端子選択レジスタ (U0SR) .....                            | 315 |
| 21.2.8  | UART1 端子選択レジスタ (U1SR) .....                            | 316 |
| 21.3    | クロック同期形シリアル I/O モード .....                              | 317 |
| 21.3.1  | 通信エラー発生時の対処方法 .....                                    | 321 |
| 21.3.2  | 極性選択機能 .....   | 322 |
| 21.3.3  | LSB ファースト、MSB ファースト選択 .....                            | 322 |
| 21.3.4  | 連続受信モード .....  | 323 |
| 21.4    | クロック非同期形シリアル I/O(UART) モード .....                       | 324 |
| 21.4.1  | ビットレート .....   | 329 |
| 21.4.2  | 通信エラー発生時の対処方法 .....                                    | 330 |
| 21.5    | シリアルインタフェース (UART <sub>i</sub> (i=0 ~ 1)) 使用上の注意 ..... | 331 |
| 22.     | シリアルインタフェース (UART2) .....                              | 332 |
| 22.1    | 概要 .....   | 332 |
| 22.2    | レジスタの説明 .....  | 334 |
| 22.2.1  | UART2 送受信モードレジスタ (U2MR) .....                          | 334 |
| 22.2.2  | UART2 ビットレートレジスタ (U2BRG) .....                         | 334 |
| 22.2.3  | UART2 送信バッファレジスタ (U2TB) .....                          | 335 |
| 22.2.4  | UART2 送受信制御レジスタ 0 (U2C0) .....                         | 336 |
| 22.2.5  | UART2 送受信制御レジスタ 1 (U2C1) .....                         | 337 |
| 22.2.6  | UART2 受信バッファレジスタ (U2RB) .....                          | 338 |
| 22.2.7  | UART2 デジタルフィルタ機能選択レジスタ (URXDF) .....                   | 339 |
| 22.2.8  | UART2 特殊モードレジスタ 5 (U2SMR5) .....                       | 339 |
| 22.2.9  | UART2 特殊モードレジスタ 4 (U2SMR4) .....                       | 340 |
| 22.2.10 | UART2 特殊モードレジスタ 3 (U2SMR3) .....                       | 341 |
| 22.2.11 | UART2 特殊モードレジスタ 2 (U2SMR2) .....                       | 341 |
| 22.2.12 | UART2 特殊モードレジスタ (U2SMR) .....                          | 342 |
| 22.2.13 | UART2 端子選択レジスタ 0 (U2SR0) .....                         | 343 |
| 22.2.14 | UART2 端子選択レジスタ 1 (U2SR1) .....                         | 344 |
| 22.3    | クロック同期形シリアル I/O モード .....                              | 345 |
| 22.3.1  | 通信エラー発生時の対処方法 .....                                    | 349 |
| 22.3.2  | CLK 極性選択 .....   | 349 |
| 22.3.3  | LSB ファースト、MSB ファースト選択 .....                            | 350 |
| 22.3.4  | 連続受信モード .....  | 350 |
| 22.3.5  | シリアルデータ論理切り替え .....                                    | 351 |
| 22.3.6  | CTS/RTS 機能 .....                                       | 351 |
| 22.4    | クロック非同期形シリアル I/O(UART) モード .....                       | 352 |
| 22.4.1  | ビットレート .....   | 356 |

|         |                                      |     |
|---------|--------------------------------------|-----|
| 22.4.2  | 通信エラー発生時の対処方法 .....                  | 357 |
| 22.4.3  | LSB ファースト、MSB ファースト選択 .....          | 357 |
| 22.4.4  | シリアルデータ論理切り替え .....                  | 358 |
| 22.4.5  | <u>TXD、RXD</u> 入出力極性切り替え機能 .....     | 358 |
| 22.4.6  | CTS/RTS 機能 .....                     | 359 |
| 22.4.7  | RXD2 デジタルフィルタ選択機能 .....              | 359 |
| 22.5    | 特殊モード 1 (I <sup>2</sup> C モード) ..... | 360 |
| 22.5.1  | スタートコンディション、ストップコンディションの検出 .....     | 366 |
| 22.5.2  | スタートコンディション、ストップコンディションの出力 .....     | 367 |
| 22.5.3  | 転送クロック .....                         | 368 |
| 22.5.4  | SDA 出力 .....                         | 368 |
| 22.5.5  | SDA 入力 .....                         | 369 |
| 22.5.6  | ACK、NACK .....                       | 369 |
| 22.5.7  | 送受信初期化 .....                         | 369 |
| 22.6    | マルチプロセッサ通信機能 .....                   | 370 |
| 22.6.1  | マルチプロセッサ送信 .....                     | 373 |
| 22.6.2  | マルチプロセッサ受信 .....                     | 374 |
| 22.6.3  | RXD2 デジタルフィルタ選択機能 .....              | 376 |
| 22.7    | シリアルインタフェース (UART2) 使用上の注意 .....     | 377 |
| 22.7.1  | クロック同期形シリアル I/O モード .....            | 377 |
| 22.7.2  | 特殊モード 1 (I <sup>2</sup> C モード) ..... | 378 |
| 23.     | クロック同期形シリアルインタフェース .....             | 379 |
| 23.1    | モード選択 .....                          | 379 |
| 24.     | シンクロナスシリアルコミュニケーションユニット (SSU) .....  | 380 |
| 24.1    | 概要 .....                             | 380 |
| 24.2    | レジスタの説明 .....                        | 382 |
| 24.2.1  | モジュールスタンバイ制御レジスタ (MSTCR) .....       | 382 |
| 24.2.2  | SSU/IIC 端子選択レジスタ (SSUIICSR) .....    | 382 |
| 24.2.3  | SS ビットカウンタレジスタ (SSBR) .....          | 383 |
| 24.2.4  | SS 送信データレジスタ (SSTDTR) .....          | 383 |
| 24.2.5  | SS 受信データレジスタ (SSRDR) .....           | 384 |
| 24.2.6  | SS 制御レジスタ H (SSCRH) .....            | 384 |
| 24.2.7  | SS 制御レジスタ L (SSCRL) .....            | 385 |
| 24.2.8  | SS モードレジスタ (SSMR) .....              | 386 |
| 24.2.9  | SS 許可レジスタ (SSER) .....               | 387 |
| 24.2.10 | SS ステータスレジスタ (SSSR) .....            | 388 |
| 24.2.11 | SS モードレジスタ 2 (SSMR2) .....           | 389 |
| 24.3    | 複数モードに関わる共通事項 .....                  | 390 |
| 24.3.1  | 転送クロック .....                         | 390 |
| 24.3.2  | SS シフトレジスタ (SSTRSR) .....            | 392 |
| 24.3.3  | 割り込み要求 .....                         | 393 |
| 24.3.4  | 各通信モードと端子機能 .....                    | 394 |
| 24.4    | クロック同期式通信モード .....                   | 395 |
| 24.4.1  | クロック同期式通信モードの初期化 .....               | 395 |
| 24.4.2  | データ送信 .....                          | 396 |
| 24.4.3  | データ受信 .....                          | 398 |
| 24.5    | 4 線式バス通信モード .....                    | 402 |

|            |   |            |
|------------|---|------------|
| 24.5.1     | 4 線式バス通信モードの初期化 .....                   | 403        |
| 24.5.2     | データ送信 .....                             | 404        |
| 24.5.3     | データ受信 .....                             | 406        |
| 24.5.4     | SCS 端子制御とアービトレーション .....                | 408        |
| 24.6       | シンクロナスシリアルコミュニケーションユニット使用上の注意 .....     | 409        |
| <b>25.</b> | <b>I<sup>2</sup>C バスインターフェース .....</b>  | <b>410</b> |
| 25.1       | 概要 .....                                | 410        |
| 25.2       | レジスタの説明 .....                           | 413        |
| 25.2.1     | モジュールスタンバイ制御レジスタ (MSTCR) .....          | 413        |
| 25.2.2     | SSU/IIC 端子選択レジスタ (SSUIICSR) .....       | 413        |
| 25.2.3     | 入出力機能端子選択レジスタ (PINSR) .....             | 414        |
| 25.2.4     | IIC バス送信データレジスタ (ICDRT) .....           | 415        |
| 25.2.5     | IIC バス受信データレジスタ (ICDRR) .....           | 415        |
| 25.2.6     | IIC バス制御レジスタ 1(ICCR1) .....             | 416        |
| 25.2.7     | IIC バス制御レジスタ 2(ICCR2) .....             | 417        |
| 25.2.8     | IIC バスマードレジスタ (ICMR) .....              | 418        |
| 25.2.9     | IIC バス割り込み許可レジスタ (ICIER) .....          | 419        |
| 25.2.10    | IIC バステータスレジスタ (ICSR) .....             | 420        |
| 25.2.11    | スレーブアドレスレジスタ (SAR) .....                | 421        |
| 25.2.12    | IIC バシフトレジスタ (ICDRS) .....              | 421        |
| 25.3       | 複数モードに関わる共通事項 .....                     | 422        |
| 25.3.1     | 転送ロック .....                             | 422        |
| 25.3.2     | SDA 端子デジタル遅延選択 .....                    | 424        |
| 25.3.3     | 割り込み要求 .....                            | 425        |
| 25.4       | I <sup>2</sup> C バスインターフェースモード .....    | 426        |
| 25.4.1     | I <sup>2</sup> C バスフォーマット .....         | 426        |
| 25.4.2     | マスター送信動作 .....                          | 427        |
| 25.4.3     | マスター受信動作 .....                          | 429        |
| 25.4.4     | スレーブ送信動作 .....                          | 432        |
| 25.4.5     | スレーブ受信動作 .....                          | 435        |
| 25.5       | クロック同期式シリアルモード .....                    | 437        |
| 25.5.1     | クロック同期式シリアルフォーマット .....                 | 437        |
| 25.5.2     | 送信動作 .....                              | 438        |
| 25.5.3     | 受信動作 .....                              | 439        |
| 25.6       | レジスタ設定例 .....                           | 440        |
| 25.7       | ノイズ除去回路 .....                           | 444        |
| 25.8       | ピット同期回路 .....                           | 445        |
| 25.9       | I <sup>2</sup> C バスインターフェース使用上の注意 ..... | 446        |
| <b>26.</b> | <b>ハードウェア LIN .....</b>                 | <b>447</b> |
| 26.1       | 概要 .....                                | 447        |
| 26.2       | 入出力端子 .....                             | 448        |
| 26.3       | レジスタの説明 .....                           | 448        |
| 26.3.1     | LIN コントロールレジスタ 2(LINCR2) .....          | 448        |
| 26.3.2     | LIN コントロールレジスタ (LINCR) .....            | 449        |
| 26.3.3     | LIN ステータスレジスタ (LINST) .....             | 449        |
| 26.4       | 動作説明 .....                              | 450        |
| 26.4.1     | マスター mode .....                         | 450        |

|        |                                   |     |
|--------|-----------------------------------|-----|
| 26.4.2 | スレーブモード .....                     | 453 |
| 26.4.3 | バス衝突検出機能 .....                    | 457 |
| 26.4.4 | ハードウェア LIN 終了処理.....              | 458 |
| 26.5   | 割り込み要求 .....                      | 459 |
| 26.6   | ハードウェア LIN 使用上の注意 .....           | 460 |
| 27.    | A/D コンバータ .....                   | 461 |
| 27.1   | 概要 .....                          | 461 |
| 27.2   | レジスタの説明 .....                     | 463 |
| 27.2.1 | チップ内蔵基準電圧制御レジスタ (OCVREFCR).....   | 463 |
| 27.2.2 | A/D レジスタ i (ADI)(i = 0 ~ 7) ..... | 464 |
| 27.2.3 | A/D モードレジスタ (ADMOD).....          | 465 |
| 27.2.4 | A/D 入力選択レジスタ (ADINSEL).....       | 466 |
| 27.2.5 | A/D 制御レジスタ 0 (ADCON0).....        | 467 |
| 27.2.6 | A/D 制御レジスタ 1 (ADCON1).....        | 468 |
| 27.3   | 複数モードに関わる共通事項 .....               | 469 |
| 27.3.1 | 入出力端子 .....                       | 469 |
| 27.3.2 | A/D 変換サイクル数 .....                 | 469 |
| 27.3.3 | A/D 変換開始条件 .....                  | 471 |
| 27.3.4 | A/D 変換結果 .....                    | 473 |
| 27.3.5 | 消費電流低減機能 .....                    | 473 |
| 27.3.6 | 拡張アナログ入力端子 .....                  | 473 |
| 27.3.7 | A/D 断線検出アシスト機能 .....              | 473 |
| 27.4   | 単発モード .....                       | 475 |
| 27.5   | 繰り返しモード 0 .....                   | 476 |
| 27.6   | 繰り返しモード 1 .....                   | 477 |
| 27.7   | 単掃引モード .....                      | 479 |
| 27.8   | 繰り返し掃引モード .....                   | 481 |
| 27.9   | A/D 変換時のセンサーの出力インピーダンス .....      | 483 |
| 27.10  | A/D コンバータ使用上の注意 .....             | 485 |
| 28.    | D/A コンバータ .....                   | 486 |
| 28.1   | 概要 .....                          | 486 |
| 28.2   | レジスタの説明 .....                     | 488 |
| 28.2.1 | D/Ai レジスタ (DAi)(i=0 ~ 1) .....    | 488 |
| 28.2.2 | D/A 制御レジスタ (Dacon) .....          | 488 |
| 29.    | コンパレータ B .....                    | 489 |
| 29.1   | 概要 .....                          | 489 |
| 29.2   | レジスタの説明 .....                     | 491 |
| 29.2.1 | コンパレータ B 制御レジスタ 0 (INTCMP) .....  | 491 |
| 29.2.2 | 外部入力許可レジスタ 0 (INTEN) .....        | 491 |
| 29.2.3 | INT 入力フィルタ選択レジスタ 0 (INTF) .....   | 492 |
| 29.3   | 動作説明 .....                        | 493 |
| 29.3.1 | コンパレータ Bi デジタルフィルタ (i=1、3) .....  | 494 |
| 29.4   | コンパレータ B1、コンパレータ B3 割り込み .....    | 495 |
| 30.    | フラッシュメモリ .....                    | 496 |
| 30.1   | 概要 .....                          | 496 |

|         |                                  |     |
|---------|----------------------------------|-----|
| 30.2    | メモリ配置 .....                      | 497 |
| 30.3    | フラッシュメモリ書き換え禁止機能 .....           | 498 |
| 30.3.1  | ID コードチェック機能 .....               | 498 |
| 30.3.2  | ROM コードプロテクト機能 .....             | 499 |
| 30.3.3  | オプション機能選択レジスタ (OFS) .....        | 499 |
| 30.4    | CPU 書き換えモード .....                | 500 |
| 30.4.1  | フラッシュメモリステータスレジスタ (FST) .....    | 501 |
| 30.4.2  | フラッシュメモリ制御レジスタ 0(FMR0) .....     | 504 |
| 30.4.3  | フラッシュメモリ制御レジスタ 1(FMR1) .....     | 507 |
| 30.4.4  | フラッシュメモリ制御レジスタ 2(FMR2) .....     | 509 |
| 30.4.5  | EW0 モード .....                    | 511 |
| 30.4.6  | EW1 モード .....                    | 511 |
| 30.4.7  | サスペンド動作 .....                    | 512 |
| 30.4.8  | 各モードの設定と解除方法 .....               | 513 |
| 30.4.9  | BGO ( バックグラウンドオペレーション ) 機能 ..... | 514 |
| 30.4.10 | データ保護機能 .....                    | 515 |
| 30.4.11 | ソフトウェアコマンド .....                 | 516 |
| 30.4.12 | フルステータスチェック .....                | 526 |
| 30.5    | 標準シリアル入出力モード .....               | 528 |
| 30.5.1  | ID コードチェック機能 .....               | 528 |
| 30.6    | パラレル入出力モード .....                 | 531 |
| 30.6.1  | ROM コードプロテクト機能 .....             | 531 |
| 30.7    | フラッシュメモリ使用上の注意 .....             | 532 |
| 30.7.1  | CPU 書き換えモード .....                | 532 |
| 31.     | 消費電力の低減 .....                    | 536 |
| 31.1    | 概要 .....                         | 536 |
| 31.2    | 消費電力を小さくするためのポイントと処理方法 .....     | 536 |
| 31.2.1  | 電圧検出回路 .....                     | 536 |
| 31.2.2  | ポート .....                        | 536 |
| 31.2.3  | クロック .....                       | 536 |
| 31.2.4  | ウェイトモード、ストップモード .....            | 536 |
| 31.2.5  | 周辺機能クロックの停止 .....                | 536 |
| 31.2.6  | タイマ .....                        | 536 |
| 31.2.7  | A/D コンバータ .....                  | 537 |
| 31.2.8  | クロック同期形シリアルインターフェース .....        | 537 |
| 31.2.9  | 内部電源の消費電力低減 .....                | 537 |
| 31.2.10 | フラッシュメモリの停止 .....                | 538 |
| 31.2.11 | 低消費電流リードモード .....                | 539 |
| 31.2.12 | その他 .....                        | 540 |
| 32.     | 電気的特性 .....                      | 541 |
| 33.     | 使用上の注意事項 .....                   | 568 |
| 33.1    | クロック発生回路使用上の注意 .....             | 568 |
| 33.1.1  | ストップモード .....                    | 568 |
| 33.1.2  | ウェイトモード .....                    | 568 |
| 33.1.3  | 発振停止検出機能 .....                   | 569 |
| 33.1.4  | 発振回路定数 .....                     | 569 |

|         |   |     |
|---------|---|-----|
| 33.2    | 割り込み使用上の注意 .....                                  | 570 |
| 33.2.1  | 00000h 番地の読み出し .....                              | 570 |
| 33.2.2  | SP の設定 .....                                      | 570 |
| 33.2.3  | 外部割り込み、キー入力割り込み .....                             | 570 |
| 33.2.4  | 割り込み要因の変更 .....                                   | 571 |
| 33.2.5  | 割り込み制御レジスタの変更 .....                               | 572 |
| 33.3    | ID コード領域使用上の注意 .....                              | 573 |
| 33.3.1  | ID コード領域の設定例 .....                                | 573 |
| 33.4    | オプション機能選択領域使用上の注意 .....                           | 573 |
| 33.4.1  | オプション機能選択領域の設定例 .....                             | 573 |
| 33.5    | DTC 使用上の注意 .....                                  | 574 |
| 33.5.1  | DTC 起動要因 .....                                    | 574 |
| 33.5.2  | DTCENi(i=0 ~ 3、5、6) レジスタ .....                    | 574 |
| 33.5.3  | 周辺モジュール .....                                     | 574 |
| 33.5.4  | 割り込み要求 .....                                      | 574 |
| 33.6    | タイマ RA 使用上の注意 .....                               | 575 |
| 33.7    | タイマ RB 使用上の注意 .....                               | 576 |
| 33.7.1  | タイマモード .....                                      | 576 |
| 33.7.2  | プログラマブル波形発生モード .....                              | 576 |
| 33.7.3  | プログラマブルワンショット発生モード .....                          | 577 |
| 33.7.4  | プログラマブルウェイトワンショット発生モード .....                      | 577 |
| 33.8    | タイマ RC 使用上の注意 .....                               | 578 |
| 33.8.1  | TRC レジスタ .....                                    | 578 |
| 33.8.2  | TRCSR レジスタ .....                                  | 578 |
| 33.8.3  | TRCCR1 レジスタ .....                                 | 578 |
| 33.8.4  | カウントソース切り替え .....                                 | 578 |
| 33.8.5  | インプットキャプチャ機能 .....                                | 579 |
| 33.8.6  | PWM2 モード時の TRCMR レジスタ .....                       | 579 |
| 33.8.7  | カウントソース fOCO40M .....                             | 579 |
| 33.9    | タイマ RE 使用上の注意 .....                               | 580 |
| 33.9.1  | カウント開始、停止 .....                                   | 580 |
| 33.9.2  | レジスタ設定 .....                                      | 580 |
| 33.9.3  | リアルタイムクロックモードの時刻読み出し手順 .....                      | 582 |
| 33.10   | シリアルインタフェース (UARTi (i=0 ~ 1)) 使用上の注意 .....        | 583 |
| 33.11   | シリアルインタフェース (UART2) 使用上の注意 .....                  | 584 |
| 33.11.1 | クロック同期形シリアル I/O モード .....                         | 584 |
| 33.11.2 | 特殊モード 1 (I <sup>2</sup> C モード) .....              | 585 |
| 33.12   | シンクロナスシリアルコミュニケーションユニット使用上の注意 .....               | 586 |
| 33.13   | I <sup>2</sup> C バスインタフェース使用上の注意 .....            | 586 |
| 33.14   | ハードウェア LIN 使用上の注意 .....                           | 586 |
| 33.15   | A/D コンバータ使用上の注意 .....                             | 586 |
| 33.16   | フラッシュメモリ使用上の注意 .....                              | 587 |
| 33.16.1 | CPU 書き換えモード .....                                 | 587 |
| 33.17   | ノイズに関する注意事項 .....                                 | 591 |
| 33.17.1 | ノイズおよびラッチアップ対策として、VCC-VSS ライン間へのバイパスコンデンサ挿入 ..... | 591 |
| 33.17.2 | ポート制御レジスタのノイズ誤動作対策 .....                          | 591 |

|  |     |
|--|-----|
| 34. オンチップデッパガの注意事項 .....                   | 592 |
| 35. エミュレータデッパガの注意事項 .....                  | 593 |
| 付録 1. 外形寸法図 .....                          | 594 |
| 付録 2. シリアルライタとオンチップデッパギングエミュレータとの接続例 ..... | 595 |
| 付録 3. 発振評価回路例 .....                        | 596 |
| 索引 .....                                   | 597 |

## 番地別ページ早見表

| 番地    | レジスタ                | シンボル     | 掲載ページ       |
|-------|---------------------|----------|-------------|
| 0000h |                     |          |             |
| 0001h |                     |          |             |
| 0002h |                     |          |             |
| 0003h |                     |          |             |
| 0004h | プロセッサモードレジスタ0       | PM0      | 28          |
| 0005h | プロセッサモードレジスタ1       | PM1      | 175         |
| 0006h | システムクロック制御レジスタ0     | CM0      | 105         |
| 0007h | システムクロック制御レジスタ1     | CM1      | 106         |
| 0008h | モジュールスタンバイ制御レジスタ    | MSTCR    | 245、382、413 |
| 0009h | システムクロック制御レジスタ3     | CM3      | 107         |
| 000Ah | プロテクトレジスタ           | PRCR     | 136         |
| 000Bh | リセット要因判別レジスタ        | RSTFR    | 28          |
| 000Ch | 発振停止検出レジスタ          | OCD      | 109         |
| 000Dh | ウォッチドッグタイマリセットレジスタ  | WDTR     | 175         |
| 000Eh | ウォッチドッグタイマスタートレジスタ  | WDTS     | 175         |
| 000Fh | ウォッチドッグタイマ制御レジスタ    | WDTC     | 176         |
| 0010h |                     |          |             |
| 0011h |                     |          |             |
| 0012h |                     |          |             |
| 0013h |                     |          |             |
| 0014h |                     |          |             |
| 0015h | 高速オンチップオシレータ制御レジスタ7 | FRA7     | 109         |
| 0016h |                     |          |             |
| 0017h |                     |          |             |
| 0018h |                     |          |             |
| 0019h |                     |          |             |
| 001Ah |                     |          |             |
| 001Bh |                     |          |             |
| 001Ch | カウントソース保護モードレジスタ    | CSPR     | 176         |
| 001Dh |                     |          |             |
| 001Eh |                     |          |             |
| 001Fh |                     |          |             |
| 0020h |                     |          |             |
| 0021h |                     |          |             |
| 0022h |                     |          |             |
| 0023h | 高速オンチップオシレータ制御レジスタ0 | FRA0     | 110         |
| 0024h | 高速オンチップオシレータ制御レジスタ1 | FRA1     | 110         |
| 0025h | 高速オンチップオシレータ制御レジスタ2 | FRA2     | 111         |
| 0026h | チップ内蔵基準電圧制御レジスタ     | OCVREFCR | 463         |
| 0027h |                     |          |             |
| 0028h | 時計用ブリスケーラリセットフラグ    | CPSRF    | 111         |
| 0029h | 高速オンチップオシレータ制御レジスタ4 | FRA4     | 112         |
| 002Ah | 高速オンチップオシレータ制御レジスタ5 | FRA5     | 112         |
| 002Bh | 高速オンチップオシレータ制御レジスタ6 | FRA6     | 113         |
| 002Ch |                     |          |             |
| 002Dh |                     |          |             |
| 002Eh |                     |          |             |
| 002Fh | 高速オンチップオシレータ制御レジスタ3 | FRA3     | 113         |
| 0030h | 電圧監視回路制御レジスタ        | CMPA     | 41          |
| 0031h | 電圧監視回路エッジ選択レジスタ     | VCAC     | 42          |
| 0032h |                     |          |             |
| 0033h | 電圧検出レジスタ1           | VCA1     | 42          |
| 0034h | 電圧検出レジスタ2           | VCA2     | 43、114      |
| 0035h |                     |          |             |
| 0036h | 電圧検出1レベル選択レジスタ      | VD1LS    | 44          |
| 0037h |                     |          |             |
| 0038h | 電圧監視0回路制御レジスタ       | VW0C     | 45          |
| 0039h | 電圧監視1回路制御レジスタ       | VW1C     | 46          |
| 003Ah | 電圧監視2回路制御レジスタ       | VW2C     | 47          |
| 003Bh |                     |          |             |
| 003Ch |                     |          |             |
| 003Dh |                     |          |             |
| 003Eh |                     |          |             |
| 003Fh |                     |          |             |

注1. 空欄は予約領域です。アクセスしないでください。

| 番地    | レジスタ                          | シンボル        | 掲載ページ |
|-------|-------------------------------|-------------|-------|
| 0040h |                               |             |       |
| 0041h | フラッシュメモリレディ割り込み制御レジスタ         | FMRDYIC     | 143   |
| 0042h |                               |             |       |
| 0043h |                               |             |       |
| 0044h |                               |             |       |
| 0045h |                               |             |       |
| 0046h |                               |             |       |
| 0047h | タイマRC割り込み制御レジスタ               | TRCIC       | 143   |
| 0048h |                               |             |       |
| 0049h |                               |             |       |
| 004Ah | タイマRE割り込み制御レジスタ               | TREIC       | 142   |
| 004Bh | UART2送信割り込み制御レジスタ             | S2TIC       | 142   |
| 004Ch | UART2受信割り込み制御レジスタ             | S2RIC       | 142   |
| 004Dh | キー入力割り込み制御レジスタ                | KUPIC       | 142   |
| 004Eh | A/D変換割り込み制御レジスタ               | ADIC        | 142   |
| 004Fh | SSU割り込み制御レジスタ/IICバス割り込み制御レジスタ | SSUIC/IICIC | 143   |
| 0050h |                               |             |       |
| 0051h | UART0送信割り込み制御レジスタ             | S0TIC       | 142   |
| 0052h | UART0受信割り込み制御レジスタ             | S0RIC       | 142   |
| 0053h | UART1送信割り込み制御レジスタ             | S1TIC       | 142   |
| 0054h | UART1受信割り込み制御レジスタ             | S1RIC       | 142   |
| 0055h |                               |             |       |
| 0056h | タイマRA割り込み制御レジスタ               | TRAIC       | 142   |
| 0057h |                               |             |       |
| 0058h | タイマRB割り込み制御レジスタ               | TRBIC       | 142   |
| 0059h | INT1割り込み制御レジスタ                | INT1IC      | 144   |
| 005Ah | INT3割り込み制御レジスタ                | INT3IC      | 144   |
| 005Bh |                               |             |       |
| 005Ch |                               |             |       |
| 005Dh | INT0割り込み制御レジスタ                | INT0IC      | 144   |
| 005Eh | UART2バス衝突検出割り込み制御レジスタ         | U2BCNIC     | 142   |
| 005Fh |                               |             |       |
| 0060h |                               |             |       |
| 0061h |                               |             |       |
| 0062h |                               |             |       |
| 0063h |                               |             |       |
| 0064h |                               |             |       |
| 0065h |                               |             |       |
| 0066h |                               |             |       |
| 0067h |                               |             |       |
| 0068h |                               |             |       |
| 0069h |                               |             |       |
| 006Ah |                               |             |       |
| 006Bh |                               |             |       |
| 006Ch |                               |             |       |
| 006Dh |                               |             |       |
| 006Eh |                               |             |       |
| 006Fh |                               |             |       |
| 0070h |                               |             |       |
| 0071h |                               |             |       |
| 0072h | 電圧監視1割り込み制御レジスタ               | VCMP1IC     | 142   |
| 0073h | 電圧監視2割り込み制御レジスタ               | VCMP2IC     | 142   |
| 0074h |                               |             |       |
| 0075h |                               |             |       |
| 0076h |                               |             |       |
| 0077h |                               |             |       |
| 0078h |                               |             |       |
| 0079h |                               |             |       |
| 007Ah |                               |             |       |
| 007Bh |                               |             |       |
| 007Ch |                               |             |       |
| 007Dh |                               |             |       |
| 007Eh |                               |             |       |
| 007Fh |                               |             |       |

| 番地    | レジスタ                  | シンボル   | 掲載ページ |
|-------|-----------------------|--------|-------|
| 0080h | DTC起動制御レジスタ           | DTCTL  | 187   |
| 0081h |                       |        |       |
| 0082h |                       |        |       |
| 0083h |                       |        |       |
| 0084h |                       |        |       |
| 0085h |                       |        |       |
| 0086h |                       |        |       |
| 0087h |                       |        |       |
| 0088h | DTC起動許可レジスタ0          | DTCEN0 | 186   |
| 0089h | DTC起動許可レジスタ1          | DTCEN1 | 186   |
| 008Ah | DTC起動許可レジスタ2          | DTCEN2 | 186   |
| 008Bh | DTC起動許可レジスタ3          | DTCEN3 | 186   |
| 008Ch |                       |        |       |
| 008Dh | DTC起動許可レジスタ5          | DTCEN5 | 186   |
| 008Eh | DTC起動許可レジスタ6          | DTCEN6 | 186   |
| 008Fh |                       |        |       |
| 0090h |                       |        |       |
| 0091h |                       |        |       |
| 0092h |                       |        |       |
| 0093h |                       |        |       |
| 0094h |                       |        |       |
| 0095h |                       |        |       |
| 0096h |                       |        |       |
| 0097h |                       |        |       |
| 0098h |                       |        |       |
| 0099h |                       |        |       |
| 009Ah |                       |        |       |
| 009Bh |                       |        |       |
| 009Ch |                       |        |       |
| 009Dh |                       |        |       |
| 009Eh |                       |        |       |
| 009Fh |                       |        |       |
| 00A0h | UART0送受信モードレジスタ       | U0MR   | 311   |
| 00A1h | UART0ビットレートレジスタ       | U0BRG  | 311   |
| 00A2h | UART0送信バッファレジスタ       | U0TB   | 312   |
| 00A3h |                       |        |       |
| 00A4h | UART0送受信制御レジスタ0       | U0C0   | 313   |
| 00A5h | UART0送受信制御レジスタ1       | U0C1   | 313   |
| 00A6h | UART0受信バッファレジスタ       | U0RB   | 314   |
| 00A7h |                       |        |       |
| 00A8h | UART2送受信モードレジスタ       | U2MR   | 334   |
| 00A9h | UART2ビットレートレジスタ       | U2BRG  | 334   |
| 00AAh | UART2送信バッファレジスタ       | U2TB   | 335   |
| 00ABh |                       |        |       |
| 00ACh | UART2送受信制御レジスタ0       | U2C0   | 336   |
| 00ADh | UART2送受信制御レジスタ1       | U2C1   | 337   |
| 00AEh | UART2受信バッファレジスタ       | U2RB   | 338   |
| 00AFh |                       |        |       |
| 00B0h | UART2デジタルフィルタ機能選択レジスタ | URXDF  | 339   |
| 00B1h |                       |        |       |
| 00B2h |                       |        |       |
| 00B3h |                       |        |       |
| 00B4h |                       |        |       |
| 00B5h |                       |        |       |
| 00B6h |                       |        |       |
| 00B7h |                       |        |       |
| 00B8h |                       |        |       |
| 00B9h |                       |        |       |
| 00BAh |                       |        |       |
| 00BBh | UART2特殊モードレジスタ5       | U2SMR5 | 339   |
| 00BCh | UART2特殊モードレジスタ4       | U2SMR4 | 340   |
| 00BDh | UART2特殊モードレジスタ3       | U2SMR3 | 341   |
| 00BEh | UART2特殊モードレジスタ2       | U2SMR2 | 341   |
| 00BFh | UART2特殊モードレジスタ        | U2SMR  | 342   |

注1. 空欄は予約領域です。アクセスしないでください。

| 番地    | レジスタ         | シンボル    | 掲載ページ |
|-------|--------------|---------|-------|
| 00C0h | A/D レジスタ0    | AD0     | 464   |
| 00C1h |              |         |       |
| 00C2h | A/D レジスタ1    | AD1     | 464   |
| 00C3h |              |         |       |
| 00C4h | A/D レジスタ2    | AD2     | 464   |
| 00C5h |              |         |       |
| 00C6h | A/D レジスタ3    | AD3     | 464   |
| 00C7h |              |         |       |
| 00C8h | A/D レジスタ4    | AD4     | 464   |
| 00C9h |              |         |       |
| 00CAh | A/D レジスタ5    | AD5     | 464   |
| 00CBh |              |         |       |
| 00CCh | A/D レジスタ6    | AD6     | 464   |
| 00CDh |              |         |       |
| 00CEh | A/D レジスタ7    | AD7     | 464   |
| 00CFh |              |         |       |
| 00D0h |              |         |       |
| 00D1h |              |         |       |
| 00D2h |              |         |       |
| 00D3h |              |         |       |
| 00D4h | A/D モードレジスタ  | ADMOD   | 465   |
| 00D5h | A/D 入力選択レジスタ | ADINSEL | 466   |
| 00D6h | A/D 制御レジスタ0  | ADCON0  | 467   |
| 00D7h | A/D 制御レジスタ1  | ADCON1  | 468   |
| 00D8h | D/A0 レジスタ    | DA0     | 488   |
| 00D9h | D/A1 レジスタ    | DA1     | 488   |
| 00DAh |              |         |       |
| 00DBh |              |         |       |
| 00DCh | D/A 制御レジスタ   | DACON   | 488   |
| 00DDh |              |         |       |
| 00DEh |              |         |       |
| 00DFh |              |         |       |
| 00E0h | ポートP0 レジスタ   | P0      | 69    |
| 00E1h | ポートP1 レジスタ   | P1      | 69    |
| 00E2h | ポートP0方向レジスタ  | PD0     | 68    |
| 00E3h | ポートP1方向レジスタ  | PD1     | 68    |
| 00E4h | ポートP2 レジスタ   | P2      | 69    |
| 00E5h | ポートP3 レジスタ   | P3      | 69    |
| 00E6h | ポートP2方向レジスタ  | PD2     | 68    |
| 00E7h | ポートP3方向レジスタ  | PD3     | 68    |
| 00E8h | ポートP4 レジスタ   | P4      | 69    |
| 00E9h |              |         |       |
| 00EAh | ポートP4方向レジスタ  | PD4     | 68    |
| 00EBh |              |         |       |
| 00ECh |              |         |       |
| 00EDh |              |         |       |
| 00EEh |              |         |       |
| 00EFh |              |         |       |
| 00F0h |              |         |       |
| 00F1h |              |         |       |
| 00F2h |              |         |       |
| 00F3h |              |         |       |
| 00F4h |              |         |       |
| 00F5h |              |         |       |
| 00F6h |              |         |       |
| 00F7h |              |         |       |
| 00F8h |              |         |       |
| 00F9h |              |         |       |
| 00FAh |              |         |       |
| 00FBh |              |         |       |
| 00FCb |              |         |       |
| 00FDh |              |         |       |
| 00FEh |              |         |       |
| 00FFh |              |         |       |

| 番地    | レジスタ                      | シンボル    | 掲載ページ                   |
|-------|---------------------------|---------|-------------------------|
| 0100h | タイマRA制御レジスタ               | TRACR   | 206                     |
| 0101h | タイマRA I/O制御レジスタ           | TRAIOC  | 206、209、212、214、216、219 |
| 0102h | タイマRAモードレジスタ              | TRAMR   | 207                     |
| 0103h | タイマRAプリスケーラレジスタ           | TRAPRE  | 207                     |
| 0104h | タイマRAレジスタ                 | TRA     | 208                     |
| 0105h | LINコントロールレジスタ2            | LINCR2  | 448                     |
| 0106h | LINコントロールレジスタ             | LINCR   | 449                     |
| 0107h | LINステータスレジスタ              | LINST   | 449                     |
| 0108h | タイマRB制御レジスタ               | TRBCR   | 223                     |
| 0109h | タイマRBワンショット制御レジスタ         | TRBOCR  | 223                     |
| 010Ah | タイマRB I/O制御レジスタ           | TRBIOC  | 224、227、231、234、238     |
| 010Bh | タイマRBモードレジスタ              | TRBMR   | 224                     |
| 010Ch | タイマRBプリスケーラレジスタ           | TRBPRE  | 225                     |
| 010Dh | タイマRBセカンダリレジスタ            | TRBSC   | 225                     |
| 010Eh | タイマRBプライマリレジスタ            | TRBPR   | 226                     |
| 010Fh |                           |         |                         |
| 0110h |                           |         |                         |
| 0111h |                           |         |                         |
| 0112h |                           |         |                         |
| 0113h |                           |         |                         |
| 0114h |                           |         |                         |
| 0115h |                           |         |                         |
| 0116h |                           |         |                         |
| 0117h |                           |         |                         |
| 0118h | タイマRE秒データレジスタ/カウンタデータレジスタ | TRESEC  | 295、302                 |
| 0119h | タイマRE分データレジスタ/コンペアデータレジスタ | TREMIN  | 295、302                 |
| 011Ah | タイマRE時データレジスタ             | TREHR   | 296                     |
| 011Bh | タイマRE曜日データレジスタ            | TREWK   | 296                     |
| 011Ch | タイマRE制御レジスタ1              | TRECR1  | 297、303                 |
| 011Dh | タイマRE制御レジスタ2              | TRECR2  | 298、303                 |
| 011Eh | タイマREカウントソース選択レジスタ        | TRECSR  | 299、304                 |
| 011Fh |                           |         |                         |
| 0120h | タイマRCモードレジスタ              | TRCMR   | 245                     |
| 0121h | タイマRC制御レジスタ1              | TRCCR1  | 246、268、277、283         |
| 0122h | タイマRC割り込み許可レジスタ           | TRCIER  | 246                     |
| 0123h | タイマRCステータスレジスタ            | TRCSR   | 247                     |
| 0124h | タイマRC I/O制御レジスタ0          | TRCIOR0 | 248、263、269             |
| 0125h | タイマRC I/O制御レジスタ1          | TRCIOR1 | 248、264、270             |
| 0126h | タイマRCカウンタ                 | TRC     | 249                     |
| 0127h |                           |         |                         |
| 0128h | タイマRCジェネラルレジスタA           | TRCGRA  | 249                     |
| 0129h |                           |         |                         |
| 012Ah | タイマRCジェネラルレジスタB           | TRCGRB  | 249                     |
| 012Bh |                           |         |                         |
| 012Ch | タイマRCジェネラルレジスタC           | TRCGRC  | 249                     |
| 012Dh |                           |         |                         |
| 012Eh | タイマRCジェネラルレジスタD           | TRCGRD  | 249                     |
| 012Fh |                           |         |                         |

| 番地    | レジスタ                  | シンボル    | 掲載ページ           |
|-------|-----------------------|---------|-----------------|
| 0130h | タイマRC制御レジスタ2          | TRCCR2  | 250、271、278、284 |
| 0131h | タイマRCデジタルフィルタ機能選択レジスタ | TRCDF   | 250、284         |
| 0132h | タイマRCアウトプットマスター許可レジスタ | TRCOER  | 251             |
| 0133h | タイマRCトリガ制御レジスタ        | TRCADCR | 251             |
| 0134h |                       |         |                 |
| 0135h |                       |         |                 |
| 0136h |                       |         |                 |
| 0137h |                       |         |                 |
| 0138h |                       |         |                 |
| 0139h |                       |         |                 |
| 013Ah |                       |         |                 |
| 013Bh |                       |         |                 |
| 013Ch |                       |         |                 |
| 013Dh |                       |         |                 |
| 013Eh |                       |         |                 |
| 013Fh |                       |         |                 |
| 0140h |                       |         |                 |
| 0141h |                       |         |                 |
| 0142h |                       |         |                 |
| 0143h |                       |         |                 |
| 0144h |                       |         |                 |
| 0145h |                       |         |                 |
| 0146h |                       |         |                 |
| 0147h |                       |         |                 |
| 0148h |                       |         |                 |
| 0149h |                       |         |                 |
| 014Ah |                       |         |                 |
| 014Bh |                       |         |                 |
| 014Ch |                       |         |                 |
| 014Dh |                       |         |                 |
| 014Eh |                       |         |                 |
| 014Fh |                       |         |                 |
| 0150h |                       |         |                 |
| 0151h |                       |         |                 |
| 0152h |                       |         |                 |
| 0153h |                       |         |                 |
| 0154h |                       |         |                 |
| 0155h |                       |         |                 |
| 0156h |                       |         |                 |
| 0157h |                       |         |                 |
| 0158h |                       |         |                 |
| 0159h |                       |         |                 |
| 015Ah |                       |         |                 |
| 015Bh |                       |         |                 |
| 015Ch |                       |         |                 |
| 015Dh |                       |         |                 |
| 015Eh |                       |         |                 |
| 015Fh |                       |         |                 |

注1. 空欄は予約領域です。アクセスしないでください。

| 番地    | レジスタ              | シンボル     | 掲載ページ      |
|-------|-------------------|----------|------------|
| 0160h | UART1送受信モードレジスタ   | U1MR     | 311        |
| 0161h | UART1ビットレートレジスタ   | U1BRG    | 311        |
| 0162h | UART1送信バッファレジスタ   | U1TB     | 312        |
| 0163h |                   |          |            |
| 0164h | UART1送受信制御レジスタ0   | U1C0     | 313        |
| 0165h | UART1送受信制御レジスタ1   | U1C1     | 313        |
| 0166h | UART1受信バッファレジスタ   | U1RB     | 314        |
| 0167h |                   |          |            |
| 0168h |                   |          |            |
| 0169h |                   |          |            |
| 016Ah |                   |          |            |
| 016Bh |                   |          |            |
| 016Ch |                   |          |            |
| 016Dh |                   |          |            |
| 016Eh |                   |          |            |
| 016Fh |                   |          |            |
| 0170h |                   |          |            |
| 0171h |                   |          |            |
| 0172h |                   |          |            |
| 0173h |                   |          |            |
| 0174h |                   |          |            |
| 0175h |                   |          |            |
| 0176h |                   |          |            |
| 0177h |                   |          |            |
| 0178h |                   |          |            |
| 0179h |                   |          |            |
| 017Ah |                   |          |            |
| 017Bh |                   |          |            |
| 017Ch |                   |          |            |
| 017Dh |                   |          |            |
| 017Eh |                   |          |            |
| 017Fh |                   |          |            |
| 0180h | タイマRA端子選択レジスタ     | TRASR    | 70、208     |
| 0181h | タイマRB/RC端子選択レジスタ  | TRBRCSR  | 71、226、252 |
| 0182h | タイマRC端子選択レジスタ0    | TRCPSR0  | 72、253     |
| 0183h | タイマRC端子選択レジスタ1    | TRCPSR1  | 73、254     |
| 0184h |                   |          |            |
| 0185h |                   |          |            |
| 0186h |                   |          |            |
| 0187h |                   |          |            |
| 0188h | UART0端子選択レジスタ     | U0SR     | 74、315     |
| 0189h | UART1端子選択レジスタ     | U1SR     | 75、316     |
| 018Ah | UART2端子選択レジスタ0    | U2SR0    | 76、343     |
| 018Bh | UART2端子選択レジスタ1    | U2SR1    | 77、344     |
| 018Ch | SSU/IIC端子選択レジスタ   | SSUIICSR | 77、382、413 |
| 018Dh |                   |          |            |
| 018Eh | INT割り込み入力端子選択レジスタ | INTSR    | 78、153     |
| 018Fh | 入出力機能端子選択レジスタ     | PINSR    | 79、414     |

注1. 空欄は予約領域です。アクセスしないでください。

| 番地    | レジスタ                        | シンボル         | 掲載ページ   |
|-------|-----------------------------|--------------|---------|
| 0190h |                             |              |         |
| 0191h |                             |              |         |
| 0192h |                             |              |         |
| 0193h | SSビットカウンタレジスタ               | SSBR         | 383     |
| 0194h | SS送信データレジスタL/IICバス送信データレジスタ | SSTDR/ICDRT  | 383、415 |
| 0195h | SS送信データレジスタH                | SSTD RH      |         |
| 0196h | SS受信データレジスタL/IICバス受信データレジスタ | SSRDR/ICD RR | 384、415 |
| 0197h | SS受信データレジスタH                | SSR DRH      |         |
| 0198h | SS制御レジスタH/IICバス制御レジスタ1      | SSCRH/ICCR1  | 384、416 |
| 0199h | SS制御レジスタL/IICバス制御レジスタ2      | SSC RL/ICCR2 | 385、417 |
| 019Ah | SSモードレジスタ/IICバスモードレジスタ      | SSMR/ICMR    | 386、418 |
| 019Bh | SS許可レジスタ/IICバス割り込み許可レジスタ    | SSER/ICI ER  | 387、419 |
| 019Ch | SSステータスレジスタ/IICバスステータスレジスタ  | SSSR/ICSR    | 388、420 |
| 019Dh | SSモードレジスタ2/スレーブアドレスレジスタ     | SSMR2/SAR    | 389、421 |
| 019Eh |                             |              |         |
| 019Fh |                             |              |         |
| 01A0h |                             |              |         |
| 01A1h |                             |              |         |
| 01A2h |                             |              |         |
| 01A3h |                             |              |         |
| 01A4h |                             |              |         |
| 01A5h |                             |              |         |
| 01A6h |                             |              |         |
| 01A7h |                             |              |         |
| 01A8h |                             |              |         |
| 01A9h |                             |              |         |
| 01AAh |                             |              |         |
| 01ABh |                             |              |         |
| 01ACh |                             |              |         |
| 01ADh |                             |              |         |
| 01AEh |                             |              |         |
| 01AFh |                             |              |         |
| 01B0h |                             |              |         |
| 01B1h |                             |              |         |
| 01B2h | フラッシュメモリステータスレジスタ           | FST          | 501     |
| 01B3h |                             |              |         |
| 01B4h | フラッシュメモリ制御レジスタ0             | FMR0         | 504     |
| 01B5h | フラッシュメモリ制御レジスタ1             | FMR1         | 507     |
| 01B6h | フラッシュメモリ制御レジスタ2             | FMR2         | 509     |
| 01B7h |                             |              |         |
| 01B8h |                             |              |         |
| 01B9h |                             |              |         |
| 01BAh |                             |              |         |
| 01BBh |                             |              |         |
| 01BCh |                             |              |         |
| 01BDh |                             |              |         |
| 01BEh |                             |              |         |
| 01BFh |                             |              |         |
| 01C0h | アドレス一致割り込みレジスタ0             | RMAD0        | 159     |
| 01C1h |                             |              |         |
| 01C2h |                             |              |         |
| 01C3h | アドレス一致割り込み許可レジスタ0           | AIER0        | 159     |
| 01C4h | アドレス一致割り込みレジスタ1             | RMAD1        | 159     |
| 01C5h |                             |              |         |
| 01C6h |                             |              |         |
| 01C7h | アドレス一致割り込み許可レジスタ1           | AIER1        | 159     |
| 01C8h |                             |              |         |
| 01C9h |                             |              |         |
| 01CAh |                             |              |         |
| 01CBh |                             |              |         |
| 01CCh |                             |              |         |
| 01CDh |                             |              |         |
| 01CEh |                             |              |         |
| 01CFh |                             |              |         |

| 番地    | レジスタ             | シンボル   | 掲載ページ   |
|-------|------------------|--------|---------|
| 01D0h |                  |        |         |
| 01D1h |                  |        |         |
| 01D2h |                  |        |         |
| 01D3h |                  |        |         |
| 01D4h |                  |        |         |
| 01D5h |                  |        |         |
| 01D6h |                  |        |         |
| 01D7h |                  |        |         |
| 01D8h |                  |        |         |
| 01D9h |                  |        |         |
| 01DAh |                  |        |         |
| 01DBh |                  |        |         |
| 01DCh |                  |        |         |
| 01DDh |                  |        |         |
| 01DEh |                  |        |         |
| 01DFh |                  |        |         |
| 01E0h | ブルアップ制御レジスタ0     | PUR0   | 80      |
| 01E1h | ブルアップ制御レジスタ1     | PUR1   | 80      |
| 01E2h |                  |        |         |
| 01E3h |                  |        |         |
| 01E4h |                  |        |         |
| 01E5h |                  |        |         |
| 01E6h |                  |        |         |
| 01E7h |                  |        |         |
| 01E8h |                  |        |         |
| 01E9h |                  |        |         |
| 01EAh |                  |        |         |
| 01EBh |                  |        |         |
| 01ECh |                  |        |         |
| 01EDh |                  |        |         |
| 01EEh |                  |        |         |
| 01EFh |                  |        |         |
| 01F0h | ポートP1駆動能力制御レジスタ  | P1DRR  | 81      |
| 01F1h | ポートP2駆動能力制御レジスタ  | P2DRR  | 81      |
| 01F2h | 駆動能力制御レジスタ0      | DRR0   | 82      |
| 01F3h | 駆動能力制御レジスタ1      | DRR1   | 83      |
| 01F4h |                  |        |         |
| 01F5h | 入力しきい値制御レジスタ0    | VLT0   | 84      |
| 01F6h | 入力しきい値制御レジスタ1    | VLT1   | 85      |
| 01F7h |                  |        |         |
| 01F8h | コンバレータB制御レジスタ0   | INTCMP | 491     |
| 01F9h |                  |        |         |
| 01FAh | 外部入力許可レジスタ0      | INTEN  | 154、491 |
| 01FBh |                  |        |         |
| 01FCh | INT入力フィルタ選択レジスタ0 | INTF   | 154、492 |
| 01FDh |                  |        |         |
| 01FEh | キー入力許可レジスタ0      | KIEN   | 157     |
| 01FFh |                  |        |         |

注1. 空欄は予約領域です。アクセスしないでください。

| 番地    | レジスタ          | シンボル | 掲載ページ |
|-------|---------------|------|-------|
| 2C00h | DTC転送ベクタ領域    |      |       |
| 2C01h | DTC転送ベクタ領域    |      |       |
| 2C02h | DTC転送ベクタ領域    |      |       |
| 2C03h | DTC転送ベクタ領域    |      |       |
| 2C04h | DTC転送ベクタ領域    |      |       |
| 2C05h | DTC転送ベクタ領域    |      |       |
| 2C06h | DTC転送ベクタ領域    |      |       |
| 2C07h | DTC転送ベクタ領域    |      |       |
| 2C08h | DTC転送ベクタ領域    |      |       |
| 2C09h | DTC転送ベクタ領域    |      |       |
| 2C0Ah | DTC転送ベクタ領域    |      |       |
| :     | DTC転送ベクタ領域    |      |       |
| :     | DTC転送ベクタ領域    |      |       |
| 2C3Ah | DTC転送ベクタ領域    |      |       |
| 2C3Bh | DTC転送ベクタ領域    |      |       |
| 2C3Ch | DTC転送ベクタ領域    |      |       |
| 2C3Dh | DTC転送ベクタ領域    |      |       |
| 2C3Eh | DTC転送ベクタ領域    |      |       |
| 2C3Fh | DTC転送ベクタ領域    |      |       |
| 2C40h | DTCコントロールデータ0 |      | DTCD0 |
| 2C41h |               |      |       |
| 2C42h |               |      |       |
| 2C43h |               |      |       |
| 2C44h |               |      |       |
| 2C45h |               |      |       |
| 2C46h |               |      |       |
| 2C47h |               |      |       |
| 2C48h | DTCコントロールデータ1 |      | DTCD1 |
| 2C49h |               |      |       |
| 2C4Ah |               |      |       |
| 2C4Bh |               |      |       |
| 2C4Ch |               |      |       |
| 2C4Dh |               |      |       |
| 2C4Eh |               |      |       |
| 2C4Fh |               |      |       |
| 2C50h | DTCコントロールデータ2 |      | DTCD2 |
| 2C51h |               |      |       |
| 2C52h |               |      |       |
| 2C53h |               |      |       |
| 2C54h |               |      |       |
| 2C55h |               |      |       |
| 2C56h |               |      |       |
| 2C57h |               |      |       |
| 2C58h | DTCコントロールデータ3 |      | DTCD3 |
| 2C59h |               |      |       |
| 2C5Ah |               |      |       |
| 2C5Bh |               |      |       |
| 2C5Ch |               |      |       |
| 2C5Dh |               |      |       |
| 2C5Eh |               |      |       |
| 2C5Fh |               |      |       |
| 2C60h | DTCコントロールデータ4 |      | DTCD4 |
| 2C61h |               |      |       |
| 2C62h |               |      |       |
| 2C63h |               |      |       |
| 2C64h |               |      |       |
| 2C65h |               |      |       |
| 2C66h |               |      |       |
| 2C67h |               |      |       |
| 2C68h | DTCコントロールデータ5 |      | DTCD5 |
| 2C69h |               |      |       |
| 2C6Ah |               |      |       |
| 2C6Bh |               |      |       |
| 2C6Ch |               |      |       |
| 2C6Dh |               |      |       |
| 2C6Eh |               |      |       |
| 2C6Fh |               |      |       |

| 番地    | レジスタ           | シンボル   | 掲載ページ |
|-------|----------------|--------|-------|
| 2C70h | DTCコントロールデータ6  | DTCD6  |       |
| 2C71h |                |        |       |
| 2C72h |                |        |       |
| 2C73h |                |        |       |
| 2C74h |                |        |       |
| 2C75h |                |        |       |
| 2C76h |                |        |       |
| 2C77h |                |        |       |
| 2C78h | DTCコントロールデータ7  | DTCD7  |       |
| 2C79h |                |        |       |
| 2C7Ah |                |        |       |
| 2C7Bh |                |        |       |
| 2C7Ch |                |        |       |
| 2C7Dh |                |        |       |
| 2C7Eh |                |        |       |
| 2C7Fh |                |        |       |
| 2C80h | DTCコントロールデータ8  | DTCD8  |       |
| 2C81h |                |        |       |
| 2C82h |                |        |       |
| 2C83h |                |        |       |
| 2C84h |                |        |       |
| 2C85h |                |        |       |
| 2C86h |                |        |       |
| 2C87h |                |        |       |
| 2C88h | DTCコントロールデータ9  | DTCD9  |       |
| 2C89h |                |        |       |
| 2C8Ah |                |        |       |
| 2C8Bh |                |        |       |
| 2C8Ch |                |        |       |
| 2C8Dh |                |        |       |
| 2C8Eh |                |        |       |
| 2C8Fh |                |        |       |
| 2C90h | DTCコントロールデータ10 | DTCD10 |       |
| 2C91h |                |        |       |
| 2C92h |                |        |       |
| 2C93h |                |        |       |
| 2C94h |                |        |       |
| 2C95h |                |        |       |
| 2C96h |                |        |       |
| 2C97h |                |        |       |
| 2C98h | DTCコントロールデータ11 | DTCD11 |       |
| 2C99h |                |        |       |
| 2C9Ah |                |        |       |
| 2C9Bh |                |        |       |
| 2C9Ch |                |        |       |
| 2C9Dh |                |        |       |
| 2C9Eh |                |        |       |
| 2C9Fh |                |        |       |
| 2CA0h | DTCコントロールデータ12 | DTCD12 |       |
| 2CA1h |                |        |       |
| 2CA2h |                |        |       |
| 2CA3h |                |        |       |
| 2CA4h |                |        |       |
| 2CA5h |                |        |       |
| 2CA6h |                |        |       |
| 2CA7h |                |        |       |
| 2CA8h | DTCコントロールデータ13 | DTCD13 |       |
| 2CA9h |                |        |       |
| 2CAAh |                |        |       |
| 2CABh |                |        |       |
| 2CACh |                |        |       |
| 2CADh |                |        |       |
| 2CAEh |                |        |       |
| 2CAFh |                |        |       |

注1. 空欄は予約領域です。アクセスしないでください。

| 番地    | レジスタ           | シンボル   | 掲載ページ |
|-------|----------------|--------|-------|
| 2CB0h | DTCコントロールデータ14 | DTCD14 |       |
| 2CB1h |                |        |       |
| 2CB2h |                |        |       |
| 2CB3h |                |        |       |
| 2CB4h |                |        |       |
| 2CB5h |                |        |       |
| 2CB6h |                |        |       |
| 2CB7h |                |        |       |
| 2CB8h | DTCコントロールデータ15 | DTCD15 |       |
| 2CB9h |                |        |       |
| 2CBAh |                |        |       |
| 2CBBh |                |        |       |
| 2CBCh |                |        |       |
| 2CBDh |                |        |       |
| 2CBEh |                |        |       |
| 2CBFh |                |        |       |
| 2CC0h | DTCコントロールデータ16 | DTCD16 |       |
| 2CC1h |                |        |       |
| 2CC2h |                |        |       |
| 2CC3h |                |        |       |
| 2CC4h |                |        |       |
| 2CC5h |                |        |       |
| 2CC6h |                |        |       |
| 2CC7h |                |        |       |
| 2CC8h | DTCコントロールデータ17 | DTCD17 |       |
| 2CC9h |                |        |       |
| 2CCAh |                |        |       |
| 2CCBh |                |        |       |
| 2CCCh |                |        |       |
| 2CCDh |                |        |       |
| 2CCEh |                |        |       |
| 2CCFh |                |        |       |
| 2CD0h | DTCコントロールデータ18 | DTCD18 |       |
| 2CD1h |                |        |       |
| 2CD2h |                |        |       |
| 2CD3h |                |        |       |
| 2CD4h |                |        |       |
| 2CD5h |                |        |       |
| 2CD6h |                |        |       |
| 2CD7h |                |        |       |
| 2CD8h | DTCコントロールデータ19 | DTCD19 |       |
| 2CD9h |                |        |       |
| 2CDAh |                |        |       |
| 2CDBh |                |        |       |
| 2CDCh |                |        |       |
| 2CDDh |                |        |       |
| 2CDEh |                |        |       |
| 2CDFh |                |        |       |
| 2CE0h | DTCコントロールデータ20 | DTCD20 |       |
| 2CE1h |                |        |       |
| 2CE2h |                |        |       |
| 2CE3h |                |        |       |
| 2CE4h |                |        |       |
| 2CE5h |                |        |       |
| 2CE6h |                |        |       |
| 2CE7h |                |        |       |
| 2CE8h | DTCコントロールデータ21 | DTCD21 |       |
| 2CE9h |                |        |       |
| 2CEAh |                |        |       |
| 2CEBh |                |        |       |
| 2CECh |                |        |       |
| 2CEDh |                |        |       |
| 2CEEh |                |        |       |
| 2CEFh |                |        |       |

| 番地    | レジスタ           | シンボル   | 掲載<br>ページ             |
|-------|----------------|--------|-----------------------|
| 2CF0h | DTCコントロールデータ22 | DTCD22 |                       |
| 2CF1h |                |        |                       |
| 2CF2h |                |        |                       |
| 2CF3h |                |        |                       |
| 2CF4h |                |        |                       |
| 2CF5h |                |        |                       |
| 2CF6h |                |        |                       |
| 2CF7h |                |        |                       |
| 2CF8h | DTCコントロールデータ23 | DTCD23 |                       |
| 2CF9h |                |        |                       |
| 2CFAh |                |        |                       |
| 2CFBh |                |        |                       |
| 2CFCh |                |        |                       |
| 2CFDh |                |        |                       |
| 2CFEh |                |        |                       |
| 2CFFh |                |        |                       |
| 2D00h |                |        |                       |
| 2D01h |                |        |                       |
| :     |                |        |                       |
| FFDBh | オプション機能選択レジスタ2 | OFS2   | 30、171、178            |
| :     |                |        |                       |
| FFFFh | オプション機能選択レジスタ  | OFS    | 29、48、170、<br>177、499 |

注1. 空欄は予約領域です。アクセスしないでください。

## 1. 概要

### 1.1 特長

R8C/33C グループは、R8C CPU コアを搭載したシングルチップマイクロコンピュータです。R8C CPU コアは、高機能命令を持ちながら高い命令効率を持ち、1M バイトのアドレス空間と、命令を高速に実行する能力を備え、さらに、乗算器があるため高速な演算処理が可能です。

消費電力が小さい上、動作モードによるパワーコントロールが可能です。また、これらのマイコンは、EMI/EMS 性能を最大限に考慮した設計を行っています。

多機能タイマ、シリアルインターフェースなど、多彩な周辺機能を内蔵しており、システムの部品点数を少なくできます。

R8C/33C グループはBGO(バックグラウンドオペレーション)機能付データフラッシュ(1KB × 4 ブロック)を内蔵します。

#### 1.1.1 用途

家電、事務機器、オーディオ、民生機器、他

### 1.1.2 仕様概要

表1.1～表1.2にR8C/33C グループの仕様概要を示します。

表1.1 R8C/33C グループの仕様概要(1)

| 分類                   | 機能               | 説明  |
|----------------------|------------------|---|
| CPU                  | 中央演算処理装置         | R8C CPUコア<br>・基本命令数：89命令<br>・最小命令実行時間：50ns ( $f(XIN)=20MHz$ 、VCC=2.7~5.5V)<br>200ns ( $f(XIN)=5MHz$ 、VCC=1.8~5.5V)<br>・乗算器：16ビット×16ビット 32ビット<br>・積和演算命令：16ビット×16ビット+32ビット 32ビット<br>・動作モード：シングルチップモード(アドレス空間：1Mバイト)                          |
| メモリ                  | ROM、RAM、データフラッシュ | 「表1.3 R8C/33C グループの製品一覧表」を参照してください  |
| 電圧検出                 | 電圧検出回路           | ・パワーオンリセット<br>・電圧検出3点(電圧検出0、電圧検出1は検出レベル選択可能)  |
| I/Oポート               | プログラマブル入出力ポート    | ・入力専用：1<br>・CMOS入出力：27、プルアップ抵抗選択可能<br>・大電流駆動ポート：27  |
| クロック                 | クロック発生回路         | ・4回路：XINクロック発振回路<br>XCINクロック発振回路(32kHz)<br>高速オンチップオシレータ(周波数調整機能付)<br>低速オンチップオシレータ<br>・発振停止検出：XINクロック発振停止検出機能<br>・周波数分周回路：1、2、4、8、16分周選択<br>・低消費電力機構：標準動作モード(高速クロック、低速クロック、高速オンチップオシレータ、低速オンチップオシレータ)、ウェイトモード、ストップモード<br>リアルタイムクロック(タイマRE)あり |
| 割り込み                 |                  | ・割り込みベクタ数：69<br>・外部割り込み入力：7 (INT × 3、キー入力 × 4)<br>・割り込み優先レベル：7レベル   |
| ウォッチドッグタイマ           |                  | ・14ビット×1(プリスケーラ付)<br>・リセットスタート機能選択可能<br>・ウォッチドッグタイマ用低速オンチップオシレータ選択可能  |
| DTC(データトランസファコントローラ) |                  | ・1チャネル<br>・起動要因：23<br>・転送モード：2(ノーマルモード、リピートモード)   |
| タイマ                  | タイマRA            | 8ビット×1(8ビットプリスケーラ付)<br>タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード  |
|                      | タイマRB            | 8ビット×1(8ビットプリスケーラ付)<br>タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード  |
|                      | タイマRC            | 16ビット×1(キャプチャ/コンペアレジスタ4本付)<br>タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本)   |
|                      | タイマRE            | 8ビット×1<br>リアルタイムクロックモード(秒、分、時、曜日カウント)、アウトプットコンペアモード   |

表1.2 R8C/33C グループの仕様概要(2)

| 分類                           | 機能  | 説明  |
|------------------------------|---|---|
| シリアルインタフェース                  | UART0、UART1   | クロック同期形シリアルI/O / 非同期形シリアルI/O兼用×2チャネル  |
|                              | UART2   | クロック同期形シリアルI/O / 非同期形シリアルI/O兼用、I <sup>2</sup> Cモード(I <sup>2</sup> Cバス)、マルチプロセッサ通信機能 |
| シンクロナスシリアルコミュニケーションユニット(SSU) | 1(I <sup>2</sup> Cバスと兼用)  |   |
| I <sup>2</sup> Cバス           | 1(SSUと兼用)   |   |
| LINモジュール                     | ハードウェアLIN : 1(タイマRA、UART0を使用)   |   |
| A/Dコンバータ                     | 分解能10ビット×12チャネル、サンプル&ホールドあり、掃引モードあり   |   |
| D/Aコンバータ                     | 分解能8ビット×2回路   |   |
| コンバレータB                      | 2回路   |   |
| フラッシュメモリ                     | <ul style="list-style-type: none"> <li>・プログラム、イレーズ電圧 : VCC=2.7 ~ 5.5V</li> <li>・プログラム、イレーズ回数 : 10,000回(データフラッシュ)<br/>1,000回(プログラムROM)</li> <li>・プログラムセキュリティ : ROMコードプロテクト、IDコードチェック</li> <li>・デバッグ機能 : オンチップデバッグ、オンボードフラッシュ書き換え機能</li> <li>・BGO(バックグラウンドオペレーション)機能</li> </ul> |   |
| 動作周波数/電源電圧                   | f(XIN)=20MHz(VCC=2.7~5.5V)<br>f(XIN)=5MHz(VCC=1.8~5.5V)   |   |
| 消費電流                         | 標準 6.5mA (VCC=5V、f(XIN)=20MHz)<br>標準 3.5mA (VCC=3V、f(XIN)=10MHz)<br>標準 3.5μA (VCC=3V、ウェイトモード(f(XCIN)=32kHz))<br>標準 2.0μA (VCC=3V、ストップモード)   |   |
| 動作周囲温度                       | -20 ~ 85 (Nバージョン)<br>-40 ~ 85 (Dバージョン)(注1)  |   |
| パッケージ                        | 32ピンLQFP<br>パッケージコード : PLQP0032GB-A(旧コード : 32P6U-A)   |   |

注1. Dバージョン機能をご使用になる場合は、その旨ご指定ください。

## 1.2 製品一覧

表 1.3 に R8C/33C グループの製品一覧表、図 1.1 に R8C/33C グループの型名とメモリサイズ・パッケージを示します。

表 1.3 R8C/33C グループの製品一覧表

2009年12月現在

| 型名               | 内部ROM容量      |              | 内部RAM<br>容量 | パッケージ        | 備考     |
|------------------|--------------|--------------|-------------|--------------|--------|
|                  | プログラム<br>ROM | データ<br>フラッシュ |             |              |        |
| R5F21331CNFP     | 4Kバイト        | 1Kバイト × 4    | 512バイト      | PLQP0032GB-A | Nバージョン |
| R5F21332CNFP     | 8Kバイト        | 1Kバイト × 4    | 1Kバイト       | PLQP0032GB-A |        |
| R5F21334CNFP     | 16Kバイト       | 1Kバイト × 4    | 1.5Kバイト     | PLQP0032GB-A |        |
| R5F21335CNFP     | 24Kバイト       | 1Kバイト × 4    | 2Kバイト       | PLQP0032GB-A |        |
| R5F21336CNFP     | 32Kバイト       | 1Kバイト × 4    | 2.5Kバイト     | PLQP0032GB-A |        |
| R5F21331CDFP (開) | 4Kバイト        | 1Kバイト × 4    | 512バイト      | PLQP0032GB-A | Dバージョン |
| R5F21332CDFP (開) | 8Kバイト        | 1Kバイト × 4    | 1Kバイト       | PLQP0032GB-A |        |
| R5F21334CDFP (開) | 16Kバイト       | 1Kバイト × 4    | 1.5Kバイト     | PLQP0032GB-A |        |
| R5F21335CDFP (開) | 24Kバイト       | 1Kバイト × 4    | 2Kバイト       | PLQP0032GB-A |        |
| R5F21336CDFP (開) | 32Kバイト       | 1Kバイト × 4    | 2.5Kバイト     | PLQP0032GB-A |        |

(開) : 開発中

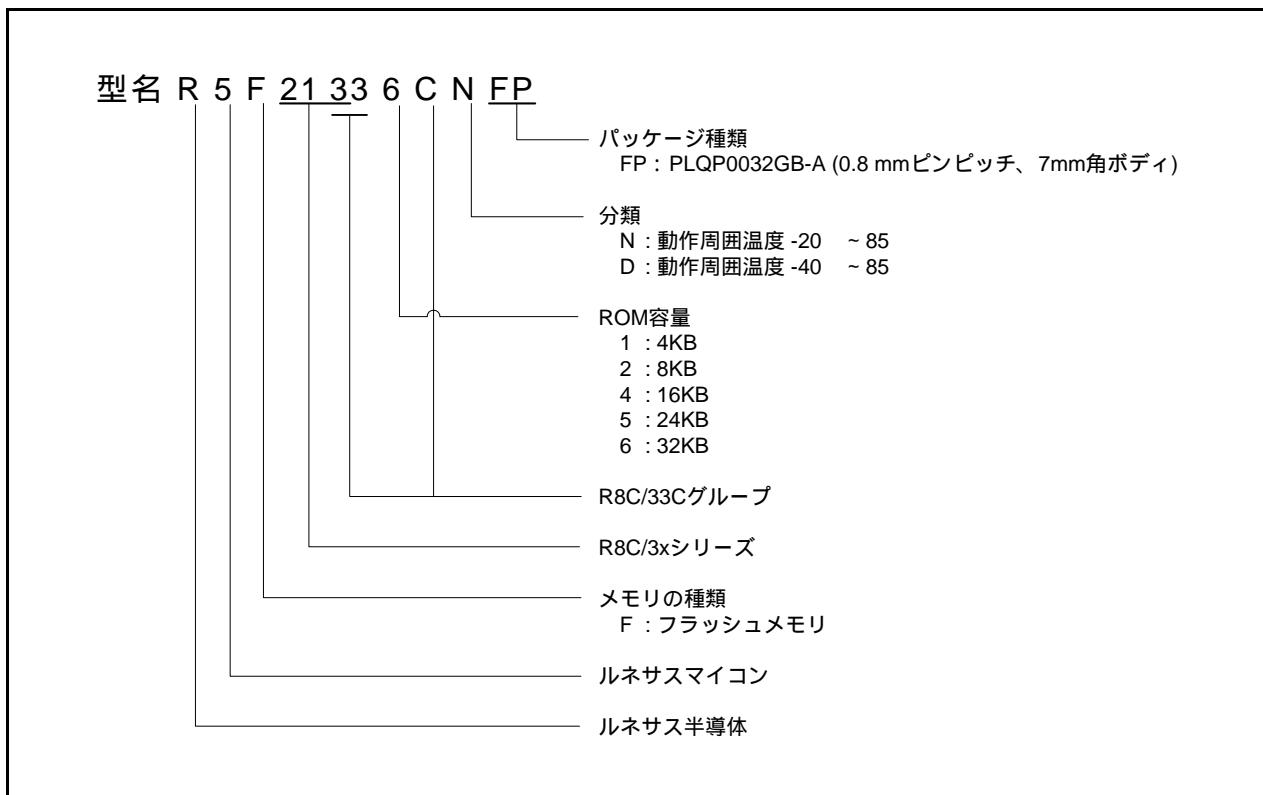
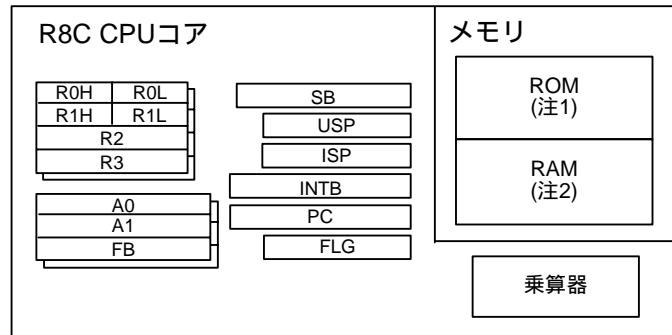
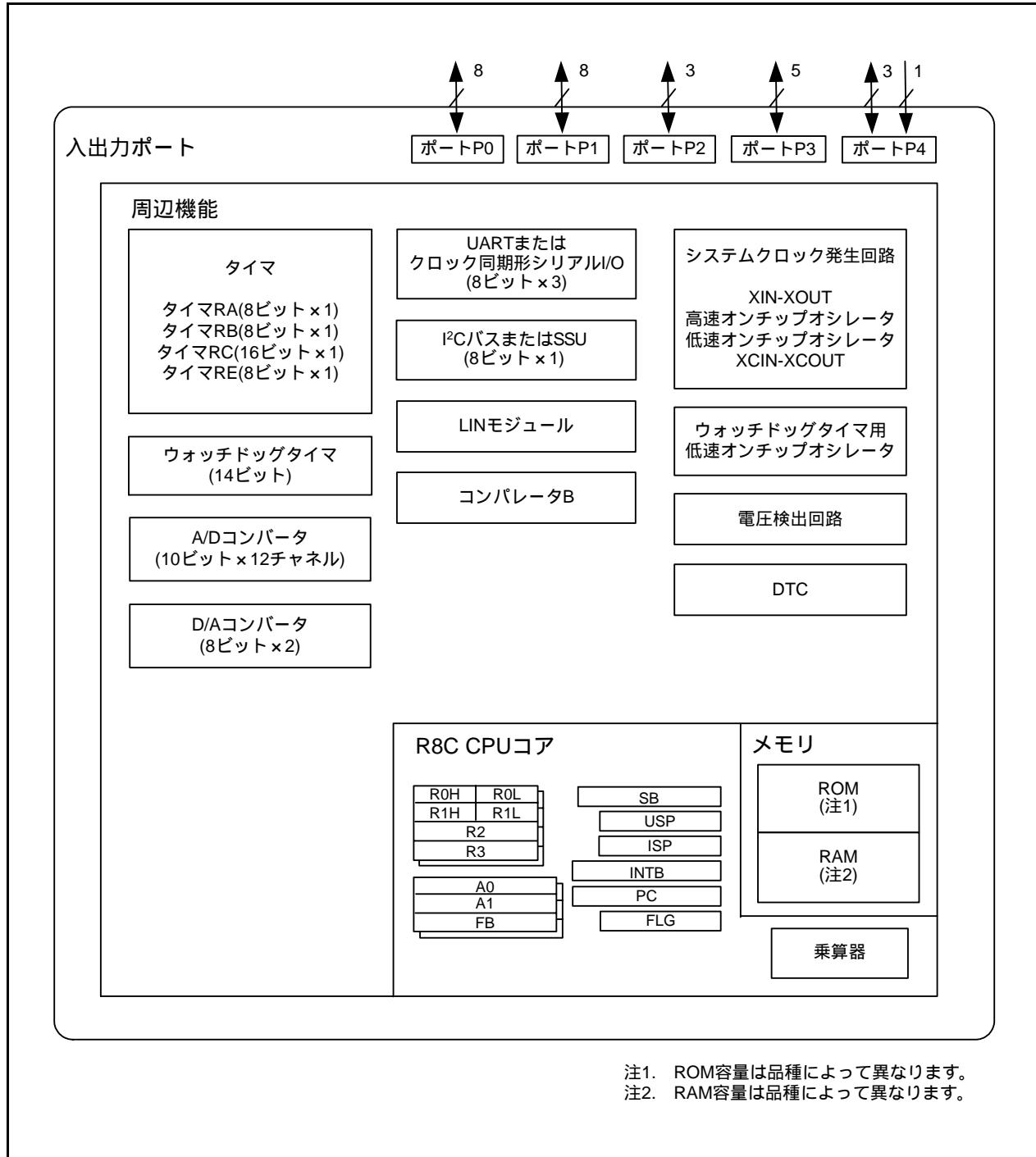


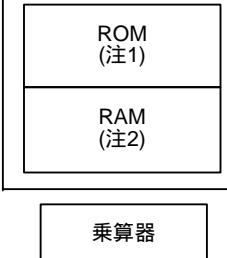
図 1.1 R8C/33C グループの型名とメモリサイズ・パッケージ

### 1.3 ブロック図

図1.2にブロック図を示します。



#### メモリ (Memory)



注1. ROM容量は品種によって異なります。

注2. RAM容量は品種によって異なります。

図1.2 ブロック図

## 1.4 ピン配置図

図 1.3 にピン配置図(上面図)、表 1.4 にピン番号別端子名一覧を示します。

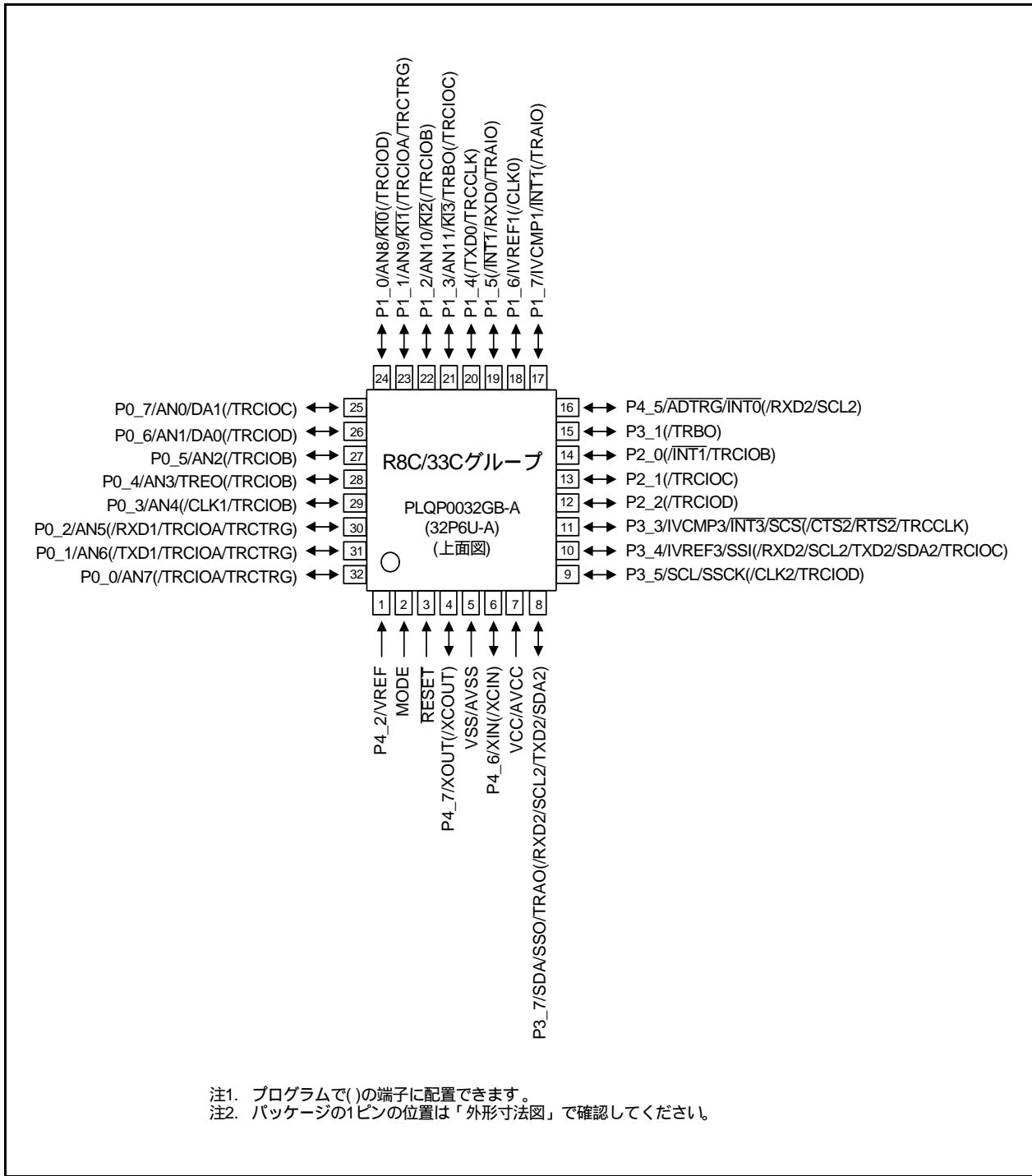


図 1.3 ピン配置図(上面図)

表 1.4 ピン番号別端子名一覧

| ピン番号 | 制御端子         | ポート  | 周辺機能の入出力端子 |                 |                       |      |                    |                           |
|------|--------------|------|------------|-----------------|-----------------------|------|--------------------|---------------------------|
|      |              |      | 割り込み       | タイマ             | シリアルインターフェース          | SSU  | I <sup>2</sup> Cバス | A/Dコンバータ、D/Aコンバータ、コンパレータB |
| 1    |              | P4_2 |            |                 |                       |      |                    | VREF                      |
| 2    | MODE         |      |            |                 |                       |      |                    |                           |
| 3    | RESET        |      |            |                 |                       |      |                    |                           |
| 4    | XOUT(/XCOUT) | P4_7 |            |                 |                       |      |                    |                           |
| 5    | VSS/AVSS     |      |            |                 |                       |      |                    |                           |
| 6    | XIN(/XCIN)   | P4_6 |            |                 |                       |      |                    |                           |
| 7    | VCC/AVCC     |      |            |                 |                       |      |                    |                           |
| 8    |              | P3_7 |            | TRAQ            | (RXD2/SCL2/TXD2/SDA2) | SSO  | SDA                |                           |
| 9    |              | P3_5 |            | (TRCIOD)        | (CLK2)                | SSCK | SCL                |                           |
| 10   |              | P3_4 |            | (TRCIOC)        | (RXD2/SCL2/TXD2/SDA2) | SSI  |                    | IVREF3                    |
| 11   |              | P3_3 | INT3       | (TRCCLK)        | (CTS2/RTS2)           | SCS  |                    | IVCMP3                    |
| 12   |              | P2_2 |            | (TRCIOD)        |                       |      |                    |                           |
| 13   |              | P2_1 |            | (TRCIOC)        |                       |      |                    |                           |
| 14   |              | P2_0 | (INT1)     | (TRCIQB)        |                       |      |                    |                           |
| 15   |              | P3_1 |            | (TRBO)          |                       |      |                    |                           |
| 16   |              | P4_5 | INT0       |                 | (RXD2/SCL2)           |      |                    | ADTRG                     |
| 17   |              | P1_7 | INT1       | (TRAIO)         |                       |      |                    | IVCMP1                    |
| 18   |              | P1_6 |            |                 | (CLK0)                |      |                    | IVREF1                    |
| 19   |              | P1_5 | (INT1)     | (TRAIO)         | (RXD0)                |      |                    |                           |
| 20   |              | P1_4 |            | (TRCCLK)        | (TXD0)                |      |                    |                           |
| 21   |              | P1_3 | KI3        | TRBO(/TRCIOC)   |                       |      |                    | AN11                      |
| 22   |              | P1_2 | KI2        | (TRCIQB)        |                       |      |                    | AN10                      |
| 23   |              | P1_1 | KI1        | (TRCIOA/TRCTRG) |                       |      |                    | AN9                       |
| 24   |              | P1_0 | KI0        | (TRCIOD)        |                       |      |                    | AN8                       |
| 25   |              | P0_7 |            | (TRCIOC)        |                       |      |                    | AN0/DA1                   |
| 26   |              | P0_6 |            | (TRCIOD)        |                       |      |                    | AN1/DA0                   |
| 27   |              | P0_5 |            | (TRCIQB)        |                       |      |                    | AN2                       |
| 28   |              | P0_4 |            | TREO(/TRCIQB)   |                       |      |                    | AN3                       |
| 29   |              | P0_3 |            | (TRCIQB)        | (CLK1)                |      |                    | AN4                       |
| 30   |              | P0_2 |            | (TRCIOA/TRCTRG) | (RXD1)                |      |                    | AN5                       |
| 31   |              | P0_1 |            | (TRCIOA/TRCTRG) | (TXD1)                |      |                    | AN6                       |
| 32   |              | P0_0 |            | (TRCIOA/TRCTRG) |                       |      |                    | AN7                       |

注1. プログラムで()の端子に配置できます。

## 1.5 端子機能の説明

表 1.5 ~ 表 1.6 に端子機能の説明を示します。

表 1.5 端子機能の説明(1)

| 分類                  | 端子名                             | 入出力 | 機能   |
|---------------------|---------------------------------|-----|--|
| 電源入力                | VCC<br>VSS                      | -   | VCC には、1.8V ~ 5.5V を入力してください。<br>VSS には、0V を入力してください。  |
| アナログ電源入力            | AVCC、AVSS                       | -   | A/D コンバータの電源入力です。AVCC と AVSS 間にはコンデンサを接続してください。  |
| リセット入力              | RESET                           | 入力  | この端子に "L" を入力すると、マイクロコンピュータはリセット状態になります。   |
| MODE                | MODE                            | 入力  | 抵抗を介して VCC に接続してください。  |
| XIN クロック入力          | XIN                             | 入力  | XIN クロック発振回路の入出力です。XIN と XOUT の間にはセラミック共振子、または水晶発振子を接続してください(注1)。外部で生成したクロックを入力する場合は、XOUT からクロックを入力し、XIN は開放にしてください。 |
| XIN クロック出力          | XOUT                            | 入出力 |  |
| XCIN クロック入力         | XCIN                            | 入力  | XCIN クロック発振回路の入出力です。XCIN と XCOUT の間には、水晶発振子を接続してください(注1)。  |
| XCIN クロック出力         | XCOUT                           | 出力  | 外部で生成したクロックを入力する場合は、XCIN からクロックを入力し、XCOUT は開放にしてください。  |
| INT 割り込み入力          | INT0、INT1、INT3                  | 入力  | INT 割り込みの入力です。<br>INT0 はタイマ RB、RC の入力です。   |
| キー入力割り込み入力          | KI0 ~ KI3                       | 入力  | キー入力割り込みの入力です。   |
| タイマ RA              | TRAIO                           | 入出力 | タイマ RA の入出力です。   |
|                     | TRAO                            | 出力  | タイマ RA の出力です。  |
| タイマ RB              | TRBO                            | 出力  | タイマ RB の出力です。  |
| タイマ RC              | TRCCLK                          | 入力  | 外部クロック入力です。  |
|                     | TRCTRG                          | 入力  | 外部トリガ入力です。   |
|                     | TRCIOA、TRCIOB、<br>TRCIOC、TRCIOD | 入出力 | タイマ RC の入出力です。   |
| タイマ RE              | TREO                            | 出力  | 分周クロック出力です。  |
| シリアルインタフェース         | CLK0、CLK1、CLK2                  | 入出力 | 転送クロック入出力です。   |
|                     | RXD0、RXD1、RXD2                  | 入力  | シリアルデータ入力です。   |
|                     | TXD0、TXD1、TXD2                  | 出力  | シリアルデータ出力です。   |
|                     | CTS2                            | 入力  | 送信制御用入力です。   |
|                     | RTS2                            | 出力  | 受信制御用出力です。   |
|                     | SCL2                            | 入出力 | I <sup>2</sup> C モードのクロック入出力です。  |
|                     | SDA2                            | 入出力 | I <sup>2</sup> C モードのデータ入出力です。   |
| I <sup>2</sup> C バス | SCL                             | 入出力 | クロック入出力です。   |
|                     | SDA                             | 入出力 | データ入出力です。  |
| SSU                 | SSI                             | 入出力 | データ入出力です。  |
|                     | SCS                             | 入出力 | チップセレクト入出力です。  |
|                     | SSCK                            | 入出力 | クロック入出力です。   |
|                     | SSO                             | 入出力 | データ入出力です。  |

注1. 発振特性は発振子メーカーに問い合わせてください。

表 1.6 端子機能の説明(2)

| 分類        | 端子名   | 入出力 | 機能  |
|-----------|---|-----|---|
| 基準電圧入力    | VREF  | 入力  | A/D コンバータおよびD/A コンバータの基準電圧入力です。   |
| A/D コンバータ | AN0 ~ AN11  | 入力  | A/D コンバータのアナログ入力です。   |
|           | ADTRG   | 入力  | A/D 外部トリガ入力です。  |
| D/A コンバータ | DA0、DA1   | 出力  | D/A コンバータの出力です。   |
| コンパレータB   | IVCMP1、IVCMP3   | 入力  | コンパレータBのアナログ電圧入力端子です。   |
|           | IVREF1、IVREF3   | 入力  | コンパレータBのリファレンス電圧入力端子です。   |
| 入出力ポート    | P0_0 ~ P0_7、<br>P1_0 ~ P1_7、<br>P2_0 ~ P2_2、<br>P3_1、<br>P3_3 ~ P3_5、<br>P3_7、<br>P4_5 ~ P4_7 | 入出力 | CMOS の入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。<br>入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。<br>すべてのポートは、LED 駆動ポートとして使用できます。 |
| 入力ポート     | P4_2  | 入力  | 入力専用ポートです。  |

## 2. 中央演算処理装置(CPU)

図 2.1 に CPU のレジスタを示します。CPU には 13 個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FB はレジスタバンクを構成しています。レジスタバンクは 2 セットあります。

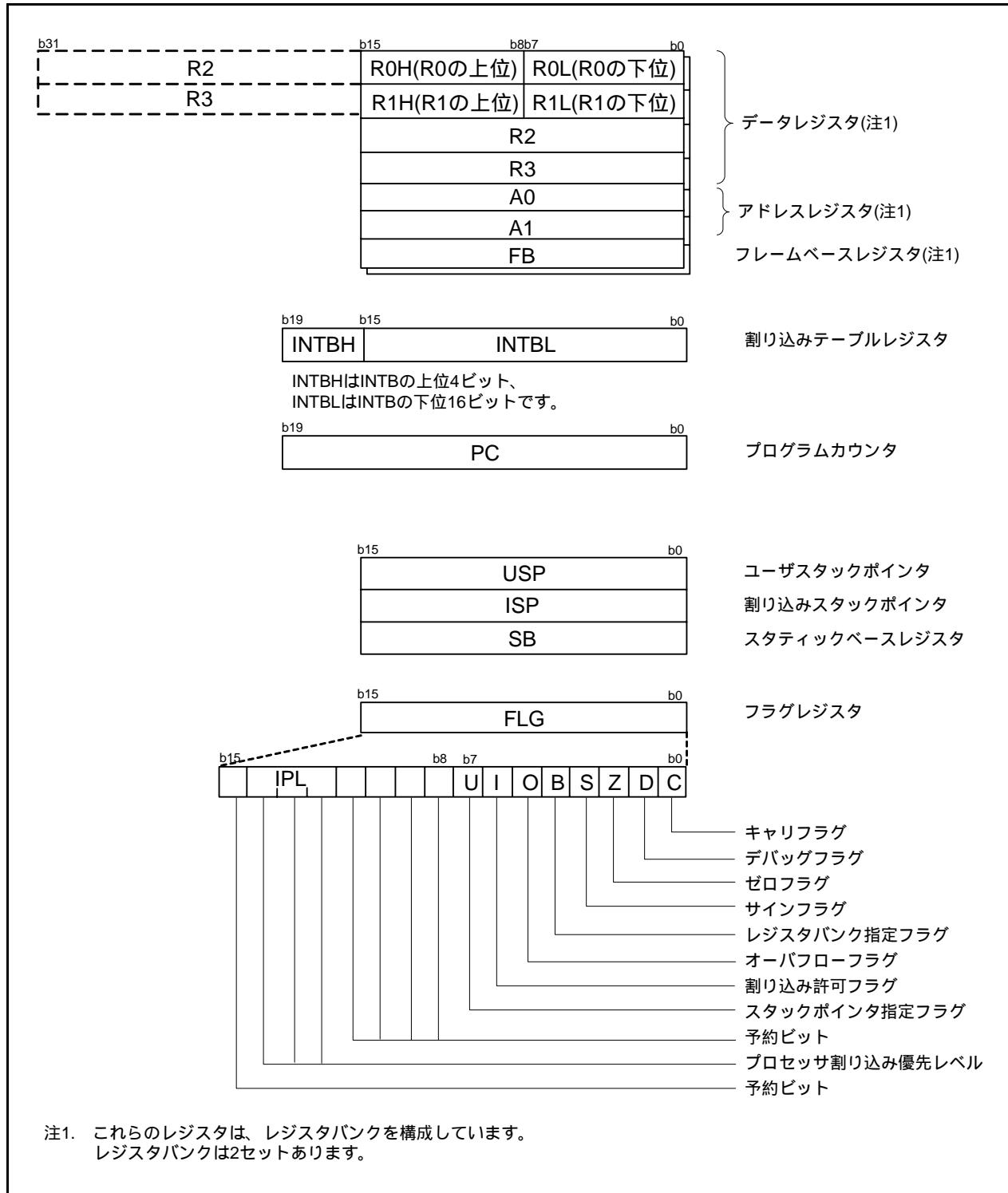


図 2.1 CPU のレジスタ

## 2.1 データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

## 2.2 アドレスレジスタ(A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

## 2.3 フレームベースレジスタ(FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

## 2.4 割り込みテーブルレジスタ(INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

## 2.5 プログラムカウンタ(PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

## 2.6 ユーザstackoverflowポインタ(USP)、割り込みstackoverflowポインタ(ISP)

stackoverflowポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

## 2.7 スタティックベースレジスタ(SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

## 2.8 フラグレジスタ(FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

### 2.8.1 キャリフラグ(Cフラグ)

算術論理ユニットで発生したキャリ、ボロー、シフトアウトしたビット等を保持します。

### 2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

### 2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

### 2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

### 2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが“0”的場合、レジスタバンク0が指定され、“1”的場合、レジスタバンク1が指定されます。

### 2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

### 2.8.7 割り込み許可フラグ(Iフラグ)

マスカブル割り込みを許可するフラグです。Iフラグが“0”的場合、マスカブル割り込みは禁止され、“1”的場合、許可されます。割り込み要求を受け付けると、Iフラグは“0”になります。

### 2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”的場合、ISPが指定され、“1”的場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

### 2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

### 2.8.10 予約ビット

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

### 3. メモリ

#### 3.1 R8C/33C グループ

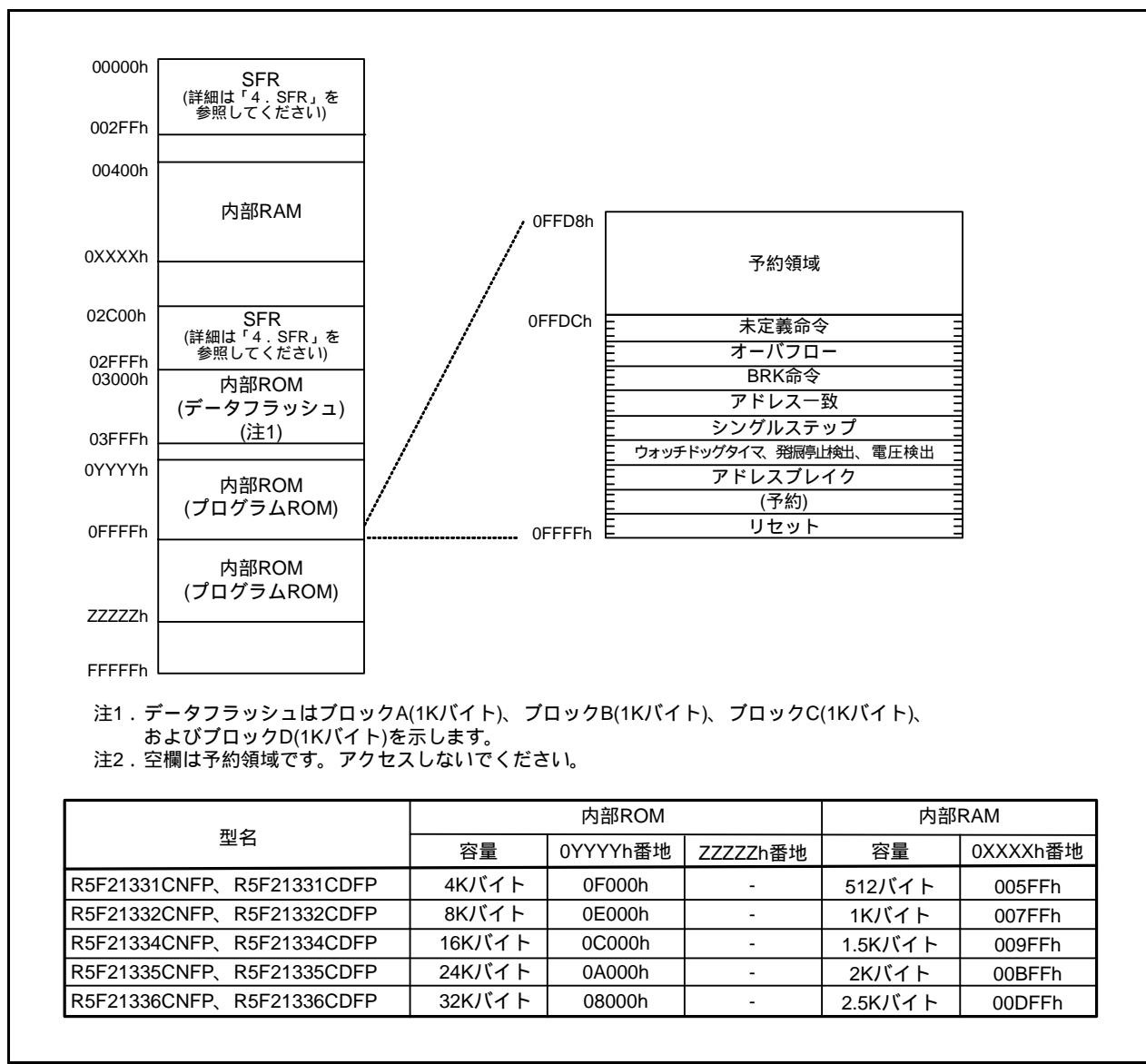
図3.1にR8C/33Cグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFh番地までの1Mバイトあります。内部ROM(プログラムROM)は0FFFFh番地から下位方向に配置されます。例えば32Kバイトの内部ROMは、08000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM(データフラッシュ)は03000h番地から03FFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば2.5Kバイトの内部RAMは、00400h番地から00DFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から002FFh番地、02C00h番地から02FFFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。



## 4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～表4.12にSFR一覧表を、表4.13にIDコード領域、オプション機能選択領域を示します。

表4.1 SFR一覧(1)(注1)

| 番地    | レジスタ                | シンボル     | リセット後の値                          |
|-------|---------------------|----------|----------------------------------|
| 0000h |                     |          |                                  |
| 0001h |                     |          |                                  |
| 0002h |                     |          |                                  |
| 0003h |                     |          |                                  |
| 0004h | プロセッサモードレジスタ0       | PM0      | 00h                              |
| 0005h | プロセッサモードレジスタ1       | PM1      | 00h                              |
| 0006h | システムクロック制御レジスタ0     | CM0      | 00101000b                        |
| 0007h | システムクロック制御レジスタ1     | CM1      | 00100000b                        |
| 0008h | モジュールスタンバイ制御レジスタ    | MSTCR    | 00h                              |
| 0009h | システムクロック制御レジスタ3     | CM3      | 00h                              |
| 000Ah | プロトクトレジスタ           | PRCR     | 00h                              |
| 000Bh | リセット要因判別レジスタ        | RSTFR    | 0XXXXXXXXb (注2)                  |
| 000Ch | 発振停止検出レジスタ          | OCD      | 00000100b                        |
| 000Dh | ウォッチドッグタイマリセットレジスタ  | WDTR     | XXh                              |
| 000Eh | ウォッチドッグタイマスタートレジスタ  | WDTS     | XXh                              |
| 000Fh | ウォッチドッグタイマ制御レジスタ    | WDTC     | 00111111b                        |
| 0010h |                     |          |                                  |
| 0011h |                     |          |                                  |
| 0012h |                     |          |                                  |
| 0013h |                     |          |                                  |
| 0014h |                     |          |                                  |
| 0015h | 高速オンチップオシレータ制御レジスタ7 | FRA7     | 出荷時の値                            |
| 0016h |                     |          |                                  |
| 0017h |                     |          |                                  |
| 0018h |                     |          |                                  |
| 0019h |                     |          |                                  |
| 001Ah |                     |          |                                  |
| 001Bh |                     |          |                                  |
| 001Ch | カウントソース保護モードレジスタ    | CSPR     | 00h<br>10000000b (注3)            |
| 001Dh |                     |          |                                  |
| 001Eh |                     |          |                                  |
| 001Fh |                     |          |                                  |
| 0020h |                     |          |                                  |
| 0021h |                     |          |                                  |
| 0022h |                     |          |                                  |
| 0023h | 高速オンチップオシレータ制御レジスタ0 | FRA0     | 00h                              |
| 0024h | 高速オンチップオシレータ制御レジスタ1 | FRA1     | 出荷時の値                            |
| 0025h | 高速オンチップオシレータ制御レジスタ2 | FRA2     | 00h                              |
| 0026h | チップ内蔵基準電圧制御レジスタ     | OCVREFCR | 00h                              |
| 0027h |                     |          |                                  |
| 0028h | 時計用ブリスケーラリセットフラグ    | CPSRF    | 00h                              |
| 0029h | 高速オンチップオシレータ制御レジスタ4 | FRA4     | 出荷時の値                            |
| 002Ah | 高速オンチップオシレータ制御レジスタ5 | FRA5     | 出荷時の値                            |
| 002Bh | 高速オンチップオシレータ制御レジスタ6 | FRA6     | 出荷時の値                            |
| 002Ch |                     |          |                                  |
| 002Dh |                     |          |                                  |
| 002Eh |                     |          |                                  |
| 002Fh | 高速オンチップオシレータ制御レジスタ3 | FRA3     | 出荷時の値                            |
| 0030h | 電圧監視回路制御レジスタ        | CMPA     | 00h                              |
| 0031h | 電圧監視回路エッジ選択レジスタ     | VCAC     | 00h                              |
| 0032h |                     |          |                                  |
| 0033h | 電圧検出レジスタ1           | VCA1     | 00001000b                        |
| 0034h | 電圧検出レジスタ2           | VCA2     | 00h (注4)<br>00100000b (注5)       |
| 0035h |                     |          |                                  |
| 0036h | 電圧検出1レベル選択レジスタ      | VD1LS    | 00000111b                        |
| 0037h |                     |          |                                  |
| 0038h | 電圧監視0回路制御レジスタ       | VW0C     | 1100X010b (注4)<br>1100X011b (注5) |
| 0039h | 電圧監視1回路制御レジスタ       | VW1C     | 10001010b                        |

注1. 空欄は予約領域です。アクセスしないでください。

注2. RSTFR レジスタのCWR ビットは電源投入後と、電圧監視0リセット後、“0”になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

注3. OFS レジスタのCSPROINI ビットが“0”的場合。

注4. OFS レジスタのLVDAS ビットが“1”的場合。

注5. OFS レジスタのLVDAS ビットが“0”的場合。

X : 不定です。

表4.2 SFR一覧(2)(注1)

| 番地    | レジスタ                                  | シンボル         | リセット後の値    |
|-------|---------------------------------------|--------------|------------|
| 003Ah | 電圧監視 2 回路制御レジスタ                       | VW2C         | 10000010b  |
| 003Bh |                                       |              |            |
| 003Ch |                                       |              |            |
| 003Dh |                                       |              |            |
| 003Eh |                                       |              |            |
| 003Fh |                                       |              |            |
| 0040h |                                       |              |            |
| 0041h | フラッシュメモリレディ割り込み制御レジスタ                 | FMRDYIC      | XXXXXX000b |
| 0042h |                                       |              |            |
| 0043h |                                       |              |            |
| 0044h |                                       |              |            |
| 0045h |                                       |              |            |
| 0046h |                                       |              |            |
| 0047h | タイマ RC 割り込み制御レジスタ                     | TRCIC        | XXXXXX000b |
| 0048h |                                       |              |            |
| 0049h |                                       |              |            |
| 004Ah | タイマ RE 割り込み制御レジスタ                     | TREIC        | XXXXXX000b |
| 004Bh | UART2 送信割り込み制御レジスタ                    | S2TIC        | XXXXXX000b |
| 004Ch | UART2 受信割り込み制御レジスタ                    | S2RIC        | XXXXXX000b |
| 004Dh | キー入力割り込み制御レジスタ                        | KUPIC        | XXXXXX000b |
| 004Eh | A/D 変換割り込み制御レジスタ                      | ADIC         | XXXXXX000b |
| 004Fh | SSU 割り込み制御レジスタ /IIC バス割り込み制御レジスタ (注2) | SSUIC//IICIC | XXXXXX000b |
| 0050h |                                       |              |            |
| 0051h | UART0 送信割り込み制御レジスタ                    | S0TIC        | XXXXXX000b |
| 0052h | UART0 受信割り込み制御レジスタ                    | S0RIC        | XXXXXX000b |
| 0053h | UART1 送信割り込み制御レジスタ                    | S1TIC        | XXXXXX000b |
| 0054h | UART1 受信割り込み制御レジスタ                    | S1RIC        | XXXXXX000b |
| 0055h |                                       |              |            |
| 0056h | タイマ RA 割り込み制御レジスタ                     | TRAIC        | XXXXXX000b |
| 0057h |                                       |              |            |
| 0058h | タイマ RB 割り込み制御レジスタ                     | TRBIC        | XXXXXX000b |
| 0059h | INT1 割り込み制御レジスタ                       | INT1IC       | XX00X000b  |
| 005Ah | INT3 割り込み制御レジスタ                       | INT3IC       | XX00X000b  |
| 005Bh |                                       |              |            |
| 005Ch |                                       |              |            |
| 005Dh | INT0 割り込み制御レジスタ                       | INT0IC       | XX00X000b  |
| 005Eh | UART2 バス衝突検出割り込み制御レジスタ                | U2BCNIC      | XXXXXX000b |
| 005Fh |                                       |              |            |
| 0060h |                                       |              |            |
| 0061h |                                       |              |            |
| 0062h |                                       |              |            |
| 0063h |                                       |              |            |
| 0064h |                                       |              |            |
| 0065h |                                       |              |            |
| 0066h |                                       |              |            |
| 0067h |                                       |              |            |
| 0068h |                                       |              |            |
| 0069h |                                       |              |            |
| 006Ah |                                       |              |            |
| 006Bh |                                       |              |            |
| 006Ch |                                       |              |            |
| 006Dh |                                       |              |            |
| 006Eh |                                       |              |            |
| 006Fh |                                       |              |            |
| 0070h |                                       |              |            |
| 0071h |                                       |              |            |
| 0072h | 電圧監視 1 割り込み制御レジスタ                     | VCMP1IC      | XXXXXX000b |
| 0073h | 電圧監視 2 割り込み制御レジスタ                     | VCMP2IC      | XXXXXX000b |
| 0074h |                                       |              |            |
| 0075h |                                       |              |            |
| 0076h |                                       |              |            |
| 0077h |                                       |              |            |
| 0078h |                                       |              |            |
| 0079h |                                       |              |            |
| 007Ah |                                       |              |            |
| 007Bh |                                       |              |            |
| 007Ch |                                       |              |            |
| 007Dh |                                       |              |            |
| 007Eh |                                       |              |            |
| 007Fh |                                       |              |            |

注1. 空欄は予約領域です。アクセスしないでください。

注2. SSUICSR レジスタの IICSEL ビットで選択できます。

X : 不定です。

表4.3 SFR一覧(3)(注1)

| 番地    | レジスタ                   | シンボル   | リセット後の値    |
|-------|------------------------|--------|------------|
| 0080h | DTC 起動制御レジスタ           | DTCTL  | 00h        |
| 0081h |                        |        |            |
| 0082h |                        |        |            |
| 0083h |                        |        |            |
| 0084h |                        |        |            |
| 0085h |                        |        |            |
| 0086h |                        |        |            |
| 0087h |                        |        |            |
| 0088h | DTC 起動許可レジスタ 0         | DTCEN0 | 00h        |
| 0089h | DTC 起動許可レジスタ 1         | DTCEN1 | 00h        |
| 008Ah | DTC 起動許可レジスタ 2         | DTCEN2 | 00h        |
| 008Bh | DTC 起動許可レジスタ 3         | DTCEN3 | 00h        |
| 008Ch |                        |        |            |
| 008Dh | DTC 起動許可レジスタ 5         | DTCEN5 | 00h        |
| 008Eh | DTC 起動許可レジスタ 6         | DTCEN6 | 00h        |
| 008Fh |                        |        |            |
| 0090h |                        |        |            |
| 0091h |                        |        |            |
| 0092h |                        |        |            |
| 0093h |                        |        |            |
| 0094h |                        |        |            |
| 0095h |                        |        |            |
| 0096h |                        |        |            |
| 0097h |                        |        |            |
| 0098h |                        |        |            |
| 0099h |                        |        |            |
| 009Ah |                        |        |            |
| 009Bh |                        |        |            |
| 009Ch |                        |        |            |
| 009Dh |                        |        |            |
| 009Eh |                        |        |            |
| 009Fh |                        |        |            |
| 00A0h | UART0 送受信モードレジスタ       | U0MR   | 00h        |
| 00A1h | UART0 ビットレートレジスタ       | U0BRG  | XXh        |
| 00A2h | UART0 送信バッファレジスタ       | U0TB   | XXh<br>XXh |
| 00A3h |                        |        |            |
| 00A4h | UART0 送受信制御レジスタ 0      | U0C0   | 00001000b  |
| 00A5h | UART0 送受信制御レジスタ 1      | U0C1   | 00000010b  |
| 00A6h | UART0 受信バッファレジスタ       | U0RB   | XXh<br>XXh |
| 00A7h |                        |        |            |
| 00A8h | UART2 送受信モードレジスタ       | U2MR   | 00h        |
| 00A9h | UART2 ビットレートレジスタ       | U2BRG  | XXh        |
| 00AAh | UART2 送信バッファレジスタ       | U2TB   | XXh<br>XXh |
| 00ABh |                        |        |            |
| 00ACh | UART2 送受信制御レジスタ 0      | U2C0   | 00001000b  |
| 00ADh | UART2 送受信制御レジスタ 1      | U2C1   | 00000010b  |
| 00AEh | UART2 受信バッファレジスタ       | U2RB   | XXh<br>XXh |
| 00AFh |                        |        |            |
| 00B0h | UART2 デジタルフィルタ機能選択レジスタ | URXDF  | 00h        |
| 00B1h |                        |        |            |
| 00B2h |                        |        |            |
| 00B3h |                        |        |            |
| 00B4h |                        |        |            |
| 00B5h |                        |        |            |
| 00B6h |                        |        |            |
| 00B7h |                        |        |            |
| 00B8h |                        |        |            |
| 00B9h |                        |        |            |
| 00BAh |                        |        |            |
| 00BBh | UART2 特殊モードレジスタ5       | U2SMR5 | 00h        |
| 00BCh | UART2 特殊モードレジスタ4       | U2SMR4 | 00h        |
| 00BDh | UART2 特殊モードレジスタ3       | U2SMR3 | 000X0X0Xb  |
| 00BEh | UART2 特殊モードレジスタ2       | U2SMR2 | X0000000b  |
| 00BFh | UART2 特殊モードレジスタ        | U2SMR  | X0000000b  |

注1. 空欄は予約領域です。アクセスしないでください。

X : 不定です。

表4.4 SFR一覧(4)(注1)

| 番地    | レジスタ          | シンボル    | リセット後の値          |
|-------|---------------|---------|------------------|
| 00C0h | A/D レジスタ 0    | AD0     | XXh<br>000000XXb |
| 00C1h |               |         |                  |
| 00C2h | A/D レジスタ 1    | AD1     | XXh<br>000000XXb |
| 00C3h |               |         |                  |
| 00C4h | A/D レジスタ 2    | AD2     | XXh<br>000000XXb |
| 00C5h |               |         |                  |
| 00C6h | A/D レジスタ 3    | AD3     | XXh<br>000000XXb |
| 00C7h |               |         |                  |
| 00C8h | A/D レジスタ 4    | AD4     | XXh<br>000000XXb |
| 00C9h |               |         |                  |
| 00CAh | A/D レジスタ 5    | AD5     | XXh<br>000000XXb |
| 00CBh |               |         |                  |
| 00CCh | A/D レジスタ 6    | AD6     | XXh<br>000000XXb |
| 00CDh |               |         |                  |
| 00CEh | A/D レジスタ 7    | AD7     | XXh<br>000000XXb |
| 00CFh |               |         |                  |
| 00D0h |               |         |                  |
| 00D1h |               |         |                  |
| 00D2h |               |         |                  |
| 00D3h |               |         |                  |
| 00D4h | A/D モードレジスタ   | ADMOD   | 00h              |
| 00D5h | A/D 入力選択レジスタ  | ADINSEL | 11000000b        |
| 00D6h | A/D 制御レジスタ 0  | ADCON0  | 00h              |
| 00D7h | A/D 制御レジスタ 1  | ADCON1  | 00h              |
| 00D8h | D/A0 レジスタ     | DA0     | 00h              |
| 00D9h | D/A1 レジスタ     | DA1     | 00h              |
| 00DAh |               |         |                  |
| 00DBh |               |         |                  |
| 00DCh | D/A 制御レジスタ    | DACON   | 00h              |
| 00DDh |               |         |                  |
| 00DEh |               |         |                  |
| 00DFh |               |         |                  |
| 00E0h | ポート P0 レジスタ   | P0      | XXh              |
| 00E1h | ポート P1 レジスタ   | P1      | XXh              |
| 00E2h | ポート P0 方向レジスタ | PD0     | 00h              |
| 00E3h | ポート P1 方向レジスタ | PD1     | 00h              |
| 00E4h | ポート P2 レジスタ   | P2      | XXh              |
| 00E5h | ポート P3 レジスタ   | P3      | XXh              |
| 00E6h | ポート P2 方向レジスタ | PD2     | 00h              |
| 00E7h | ポート P3 方向レジスタ | PD3     | 00h              |
| 00E8h | ポート P4 レジスタ   | P4      | XXh              |
| 00E9h |               |         |                  |
| 00EAh | ポート P4 方向レジスタ | PD4     | 00h              |
| 00EBh |               |         |                  |
| 00ECh |               |         |                  |
| 00EDh |               |         |                  |
| 00EEh |               |         |                  |
| 00EFh |               |         |                  |
| 00F0h |               |         |                  |
| 00F1h |               |         |                  |
| 00F2h |               |         |                  |
| 00F3h |               |         |                  |
| 00F4h |               |         |                  |
| 00F5h |               |         |                  |
| 00F6h |               |         |                  |
| 00F7h |               |         |                  |
| 00F8h |               |         |                  |
| 00F9h |               |         |                  |
| 00FAh |               |         |                  |
| 00FBh |               |         |                  |
| 00FCh |               |         |                  |
| 00FDh |               |         |                  |
| 00FEh |               |         |                  |
| 00FFh |               |         |                  |

注1. 空欄は予約領域です。アクセスしないでください。

X : 不定です。

表4.5 SFR一覧(5)(注1)

| 番地    | レジスタ                          | シンボル    | リセット後の値    |
|-------|-------------------------------|---------|------------|
| 0100h | タイマ RA 制御レジスタ                 | TRACR   | 00h        |
| 0101h | タイマ RA I/O 制御レジスタ             | TRAIOC  | 00h        |
| 0102h | タイマ RA モードレジスタ                | TRAMR   | 00h        |
| 0103h | タイマ RA ブリスケーラレジスタ             | TRAPRE  | FFh        |
| 0104h | タイマ RA レジスタ                   | TRA     | FFh        |
| 0105h | LIN コントロールレジスタ 2              | LINCR2  | 00h        |
| 0106h | LIN コントロールレジスタ                | LINCR   | 00h        |
| 0107h | LIN ステータスレジスタ                 | LINST   | 00h        |
| 0108h | タイマ RB 制御レジスタ                 | TRBCR   | 00h        |
| 0109h | タイマ RB ワンショット制御レジスタ           | TRBOCR  | 00h        |
| 010Ah | タイマ RB I/O 制御レジスタ             | TRBIOC  | 00h        |
| 010Bh | タイマ RB モードレジスタ                | TRBMR   | 00h        |
| 010Ch | タイマ RB ブリスケーラレジスタ             | TRBPRE  | FFh        |
| 010Dh | タイマ RB セカンダリレジスタ              | TRBSC   | FFh        |
| 010Eh | タイマ RB ブライマリレジスタ              | TRBPR   | FFh        |
| 010Fh |                               |         |            |
| 0110h |                               |         |            |
| 0111h |                               |         |            |
| 0112h |                               |         |            |
| 0113h |                               |         |            |
| 0114h |                               |         |            |
| 0115h |                               |         |            |
| 0116h |                               |         |            |
| 0117h |                               |         |            |
| 0118h | タイマ RE 秒データレジスタ / カウンタデータレジスタ | TRESEC  | 00h        |
| 0119h | タイマ RE 分データレジスタ / コンペアデータレジスタ | TREMIN  | 00h        |
| 011Ah | タイマ RE 時データレジスタ               | TREHR   | 00h        |
| 011Bh | タイマ RE 曜日データレジスタ              | TREWK   | 00h        |
| 011Ch | タイマ RE 制御レジスタ 1               | TRECR1  | 00h        |
| 011Dh | タイマ RE 制御レジスタ 2               | TRECR2  | 00h        |
| 011Eh | タイマ RE カウントソース選択レジスタ          | TRECSR  | 00001000b  |
| 011Fh |                               |         |            |
| 0120h | タイマ RC モードレジスタ                | TRCMR   | 01001000b  |
| 0121h | タイマ RC 制御レジスタ 1               | TRCCR1  | 00h        |
| 0122h | タイマ RC 割り込み許可レジスタ             | TRCIER  | 01110000b  |
| 0123h | タイマ RC ステータスレジスタ              | TRCSR   | 01110000b  |
| 0124h | タイマ RC I/O 制御レジスタ 0           | TRCIOR0 | 10001000b  |
| 0125h | タイマ RC I/O 制御レジスタ 1           | TRCIOR1 | 10001000b  |
| 0126h | タイマ RC カウンタ                   | TRC     | 00h<br>00h |
| 0127h |                               |         |            |
| 0128h | タイマ RC ジェネラルレジスタ A            | TRCGRA  | FFh<br>FFh |
| 0129h |                               |         |            |
| 012Ah | タイマ RC ジェネラルレジスタ B            | TRCGRB  | FFh<br>FFh |
| 012Bh |                               |         |            |
| 012Ch | タイマ RC ジェネラルレジスタ C            | TRCGRC  | FFh<br>FFh |
| 012Dh |                               |         |            |
| 012Eh | タイマ RC ジェネラルレジスタ D            | TRCGRD  | FFh<br>FFh |
| 012Fh |                               |         |            |
| 0130h | タイマ RC 制御レジスタ 2               | TRCCR2  | 00011000b  |
| 0131h | タイマ RC デジタルフィルタ機能選択レジスタ       | TRCDF   | 00h        |
| 0132h | タイマ RC アウトプットマスター許可レジスタ       | TRCOER  | 01111111b  |
| 0133h | タイマ RC トリガ制御レジスタ              | TRCADCR | 00h        |
| 0134h |                               |         |            |
| 0135h |                               |         |            |
| 0136h |                               |         |            |
| 0137h |                               |         |            |
| 0138h |                               |         |            |
| 0139h |                               |         |            |
| 013Ah |                               |         |            |
| 013Bh |                               |         |            |
| 013Ch |                               |         |            |
| 013Dh |                               |         |            |
| 013Eh |                               |         |            |
| 013Fh |                               |         |            |

注1. 空欄は予約領域です。アクセスしないでください。

表4.6 SFR一覧(6)(注1)

| 番地    | レジスタ              | シンボル  | リセット後の値    |
|-------|-------------------|-------|------------|
| 0140h |                   |       |            |
| 0141h |                   |       |            |
| 0142h |                   |       |            |
| 0143h |                   |       |            |
| 0144h |                   |       |            |
| 0145h |                   |       |            |
| 0146h |                   |       |            |
| 0147h |                   |       |            |
| 0148h |                   |       |            |
| 0149h |                   |       |            |
| 014Ah |                   |       |            |
| 014Bh |                   |       |            |
| 014Ch |                   |       |            |
| 014Dh |                   |       |            |
| 014Eh |                   |       |            |
| 014Fh |                   |       |            |
| 0150h |                   |       |            |
| 0151h |                   |       |            |
| 0152h |                   |       |            |
| 0153h |                   |       |            |
| 0154h |                   |       |            |
| 0155h |                   |       |            |
| 0156h |                   |       |            |
| 0157h |                   |       |            |
| 0158h |                   |       |            |
| 0159h |                   |       |            |
| 015Ah |                   |       |            |
| 015Bh |                   |       |            |
| 015Ch |                   |       |            |
| 015Dh |                   |       |            |
| 015Eh |                   |       |            |
| 015Fh |                   |       |            |
| 0160h | UART1 送受信モードレジスタ  | U1MR  | 00h        |
| 0161h | UART1 ピットレートレジスタ  | U1BRG | XXh        |
| 0162h | UART1 送信バッファレジスタ  | U1TB  | XXh<br>XXh |
| 0163h |                   |       |            |
| 0164h | UART1 送受信制御レジスタ 0 | U1C0  | 000001000b |
| 0165h | UART1 送受信制御レジスタ 1 | U1C1  | 00000010b  |
| 0166h | UART1 受信バッファレジスタ  | U1RB  | XXh<br>XXh |
| 0167h |                   |       |            |
| 0168h |                   |       |            |
| 0169h |                   |       |            |
| 016Ah |                   |       |            |
| 016Bh |                   |       |            |
| 016Ch |                   |       |            |
| 016Dh |                   |       |            |
| 016Eh |                   |       |            |
| 016Fh |                   |       |            |
| 0170h |                   |       |            |
| 0171h |                   |       |            |
| 0172h |                   |       |            |
| 0173h |                   |       |            |
| 0174h |                   |       |            |
| 0175h |                   |       |            |
| 0176h |                   |       |            |
| 0177h |                   |       |            |
| 0178h |                   |       |            |
| 0179h |                   |       |            |
| 017Ah |                   |       |            |
| 017Bh |                   |       |            |
| 017Ch |                   |       |            |
| 017Dh |                   |       |            |
| 017Eh |                   |       |            |
| 017Fh |                   |       |            |

注1. 空欄は予約領域です。アクセスしないでください。

X : 不定です。

表4.7 SFR一覧(7)(注1)

| 番地    | レジスタ                        | シンボル                 | リセット後の値               |
|-------|-----------------------------|----------------------|-----------------------|
| 0180h | タイマ RA 端子選択レジスタ             | TRASR                | 00h                   |
| 0181h | タイマ RB/RC 端子選択レジスタ          | TRBRCSR              | 00h                   |
| 0182h | タイマ RC 端子選択レジスタ 0           | TRCPSR0              | 00h                   |
| 0183h | タイマ RC 端子選択レジスタ 1           | TRCPSR1              | 00h                   |
| 0184h |                             |                      |                       |
| 0185h |                             |                      |                       |
| 0186h |                             |                      |                       |
| 0187h |                             |                      |                       |
| 0188h | UART0 端子選択レジスタ              | U0SR                 | 00h                   |
| 0189h | UART1 端子選択レジスタ              | U1SR                 | 00h                   |
| 018Ah | UART2 端子選択レジスタ 0            | U2SR0                | 00h                   |
| 018Bh | UART2 端子選択レジスタ 1            | U2SR1                | 00h                   |
| 018Ch | SSU/IIC 端子選択レジスタ            | SSUIICSR             | 00h                   |
| 018Dh |                             |                      |                       |
| 018Eh | INT 割り込み入力端子選択レジスタ          | INTSR                | 00h                   |
| 018Fh | 入出力機能端子選択レジスタ               | PINSR                | 00h                   |
| 0190h |                             |                      |                       |
| 0191h |                             |                      |                       |
| 0192h |                             |                      |                       |
| 0193h | SS ピットカウンタレジスタ              | SSBR                 | 11111000b             |
| 0194h | SS送信データレジスタL/IICバス送信データレジスタ | (注2)<br>SSTDR/ICDRT  | FFh                   |
| 0195h | SS送信データレジスタH                | (注2)<br>SSTD RH      | FFh                   |
| 0196h | SS受信データレジスタL/IICバス受信データレジスタ | (注2)<br>SSRDR/ICDR R | FFh                   |
| 0197h | SS受信データレジスタH                | (注2)<br>SSRDR H      | FFh                   |
| 0198h | SS制御レジスタH/IICバス制御レジスタ1      | (注2)<br>SSCRH/ICCR1  | 00h                   |
| 0199h | SS制御レジスタL/IICバス制御レジスタ2      | (注2)<br>SSCRL/ICCR2  | 01111101b             |
| 019Ah | SSモードレジスタ/IICバスモードレジスタ      | (注2)<br>SSMR/ICMR    | 00010000b / 00011000b |
| 019Bh | SS許可レジスタ/IICバス割り込み許可レジスタ    | (注2)<br>SSER/ICIER   | 00h                   |
| 019Ch | SSステータスレジスタ/IICバスステータスレジスタ  | (注2)<br>SSSR/ICSR    | 00h / 0000X000b       |
| 019Dh | SSモードレジスタ2/スレーブアドレスレジスタ     | (注2)<br>SSMR2/SAR    | 00h                   |
| 019Eh |                             |                      |                       |
| 019Fh |                             |                      |                       |
| 01A0h |                             |                      |                       |
| 01A1h |                             |                      |                       |
| 01A2h |                             |                      |                       |
| 01A3h |                             |                      |                       |
| 01A4h |                             |                      |                       |
| 01A5h |                             |                      |                       |
| 01A6h |                             |                      |                       |
| 01A7h |                             |                      |                       |
| 01A8h |                             |                      |                       |
| 01A9h |                             |                      |                       |
| 01AAh |                             |                      |                       |
| 01ABh |                             |                      |                       |
| 01ACh |                             |                      |                       |
| 01ADh |                             |                      |                       |
| 01AEh |                             |                      |                       |
| 01AFh |                             |                      |                       |
| 01B0h |                             |                      |                       |
| 01B1h |                             |                      |                       |
| 01B2h | フラッシュメモリステータスレジスタ           | FST                  | 10000X00b             |
| 01B3h |                             |                      |                       |
| 01B4h | フラッシュメモリ制御レジスタ0             | FMR0                 | 00h                   |
| 01B5h | フラッシュメモリ制御レジスタ1             | FMR1                 | 00h                   |
| 01B6h | フラッシュメモリ制御レジスタ2             | FMR2                 | 00h                   |
| 01B7h |                             |                      |                       |
| 01B8h |                             |                      |                       |
| 01B9h |                             |                      |                       |
| 01BAh |                             |                      |                       |
| 01BBh |                             |                      |                       |
| 01BCh |                             |                      |                       |
| 01BDh |                             |                      |                       |
| 01BEh |                             |                      |                       |
| 01BFh |                             |                      |                       |

注1. 空欄は予約領域です。アクセスしないでください。

注2. SSUIICSR レジスタのIICSEL ピットで選択できます。

X : 不定です。

表4.8 SFR一覧(8)(注1)

| 番地    | レジスタ               | シンボル   | リセット後の値                 |
|-------|--------------------|--------|-------------------------|
| 01C0h | アドレス一致割り込みレジスタ 0   | RMAD0  | XXh<br>XXh<br>0000XXXXb |
| 01C1h |                    |        |                         |
| 01C2h |                    |        |                         |
| 01C3h | アドレス一致割り込み許可レジスタ 0 | AIER0  | 00h                     |
| 01C4h | アドレス一致割り込みレジスタ 1   | RMAD1  | XXh<br>XXh<br>0000XXXXb |
| 01C5h |                    |        |                         |
| 01C6h |                    |        |                         |
| 01C7h | アドレス一致割り込み許可レジスタ 1 | AIER1  | 00h                     |
| 01C8h |                    |        |                         |
| 01C9h |                    |        |                         |
| 01CAh |                    |        |                         |
| 01CBh |                    |        |                         |
| 01CCh |                    |        |                         |
| 01CDh |                    |        |                         |
| 01CEh |                    |        |                         |
| 01CFh |                    |        |                         |
| 01D0h |                    |        |                         |
| 01D1h |                    |        |                         |
| 01D2h |                    |        |                         |
| 01D3h |                    |        |                         |
| 01D4h |                    |        |                         |
| 01D5h |                    |        |                         |
| 01D6h |                    |        |                         |
| 01D7h |                    |        |                         |
| 01D8h |                    |        |                         |
| 01D9h |                    |        |                         |
| 01DAh |                    |        |                         |
| 01DBh |                    |        |                         |
| 01DCh |                    |        |                         |
| 01DDh |                    |        |                         |
| 01DEh |                    |        |                         |
| 01DFh |                    |        |                         |
| 01E0h | プルアップ制御レジスタ 0      | PUR0   | 00h                     |
| 01E1h | プルアップ制御レジスタ 1      | PUR1   | 00h                     |
| 01E2h |                    |        |                         |
| 01E3h |                    |        |                         |
| 01E4h |                    |        |                         |
| 01E5h |                    |        |                         |
| 01E6h |                    |        |                         |
| 01E7h |                    |        |                         |
| 01E8h |                    |        |                         |
| 01E9h |                    |        |                         |
| 01EAh |                    |        |                         |
| 01EBh |                    |        |                         |
| 01ECb |                    |        |                         |
| 01EDh |                    |        |                         |
| 01EEh |                    |        |                         |
| 01EFh |                    |        |                         |
| 01F0h | ポート P1 駆動能力制御レジスタ  | P1DRR  | 00h                     |
| 01F1h | ポート P2 駆動能力制御レジスタ  | P2DRR  | 00h                     |
| 01F2h | 駆動能力制御レジスタ 0       | DRR0   | 00h                     |
| 01F3h | 駆動能力制御レジスタ 1       | DRR1   | 00h                     |
| 01F4h |                    |        |                         |
| 01F5h | 入力しきい値制御レジスタ 0     | VLT0   | 00h                     |
| 01F6h | 入力しきい値制御レジスタ 1     | VLT1   | 00h                     |
| 01F7h |                    |        |                         |
| 01F8h | コンパレータ B 制御レジスタ 0  | INTCMP | 00h                     |
| 01F9h |                    |        |                         |
| 01FAh | 外部入力許可レジスタ 0       | INTEN  | 00h                     |
| 01FBh |                    |        |                         |
| 01FCb | INT 入力フィルタ選択レジスタ 0 | INTF   | 00h                     |
| 01FDh |                    |        |                         |
| 01FEh | キー入力許可レジスタ 0       | KIEN   | 00h                     |
| 01FFh |                    |        |                         |

注1. 空欄は予約領域です。アクセスしないでください。

X : 不定です。

表4.9 SFR一覧(9)(注1)

| 番地    | レジスタ            | シンボル  | リセット後の値 |
|-------|-----------------|-------|---------|
| 2C00h | DTC 転送ベクタ領域     |       | XXh     |
| 2C01h | DTC 転送ベクタ領域     |       | XXh     |
| 2C02h | DTC 転送ベクタ領域     |       | XXh     |
| 2C03h | DTC 転送ベクタ領域     |       | XXh     |
| 2C04h | DTC 転送ベクタ領域     |       | XXh     |
| 2C05h | DTC 転送ベクタ領域     |       | XXh     |
| 2C06h | DTC 転送ベクタ領域     |       | XXh     |
| 2C07h | DTC 転送ベクタ領域     |       | XXh     |
| 2C08h | DTC 転送ベクタ領域     |       | XXh     |
| 2C09h | DTC 転送ベクタ領域     |       | XXh     |
| 2C0Ah | DTC 転送ベクタ領域     |       | XXh     |
| :     | DTC 転送ベクタ領域     |       | XXh     |
| :     | DTC 転送ベクタ領域     |       | XXh     |
| 2C3Ah | DTC 転送ベクタ領域     |       | XXh     |
| 2C3Bh | DTC 転送ベクタ領域     |       | XXh     |
| 2C3Ch | DTC 転送ベクタ領域     |       | XXh     |
| 2C3Dh | DTC 転送ベクタ領域     |       | XXh     |
| 2C3Eh | DTC 転送ベクタ領域     |       | XXh     |
| 2C3Fh | DTC 転送ベクタ領域     |       | XXh     |
| 2C40h | DTC コントロールデータ 0 | DTCD0 | XXh     |
| 2C41h |                 |       | XXh     |
| 2C42h |                 |       | XXh     |
| 2C43h |                 |       | XXh     |
| 2C44h |                 |       | XXh     |
| 2C45h |                 |       | XXh     |
| 2C46h |                 |       | XXh     |
| 2C47h |                 |       | XXh     |
| 2C48h | DTC コントロールデータ 1 | DTCD1 | XXh     |
| 2C49h |                 |       | XXh     |
| 2C4Ah |                 |       | XXh     |
| 2C4Bh |                 |       | XXh     |
| 2C4Ch |                 |       | XXh     |
| 2C4Dh |                 |       | XXh     |
| 2C4Eh |                 |       | XXh     |
| 2C4Fh |                 |       | XXh     |
| 2C50h | DTC コントロールデータ 2 | DTCD2 | XXh     |
| 2C51h |                 |       | XXh     |
| 2C52h |                 |       | XXh     |
| 2C53h |                 |       | XXh     |
| 2C54h |                 |       | XXh     |
| 2C55h |                 |       | XXh     |
| 2C56h |                 |       | XXh     |
| 2C57h |                 |       | XXh     |
| 2C58h | DTC コントロールデータ 3 | DTCD3 | XXh     |
| 2C59h |                 |       | XXh     |
| 2C5Ah |                 |       | XXh     |
| 2C5Bh |                 |       | XXh     |
| 2C5Ch |                 |       | XXh     |
| 2C5Dh |                 |       | XXh     |
| 2C5Eh |                 |       | XXh     |
| 2C5Fh |                 |       | XXh     |
| 2C60h | DTC コントロールデータ 4 | DTCD4 | XXh     |
| 2C61h |                 |       | XXh     |
| 2C62h |                 |       | XXh     |
| 2C63h |                 |       | XXh     |
| 2C64h |                 |       | XXh     |
| 2C65h |                 |       | XXh     |
| 2C66h |                 |       | XXh     |
| 2C67h |                 |       | XXh     |
| 2C68h | DTC コントロールデータ 5 | DTCD5 | XXh     |
| 2C69h |                 |       | XXh     |
| 2C6Ah |                 |       | XXh     |
| 2C6Bh |                 |       | XXh     |
| 2C6Ch |                 |       | XXh     |
| 2C6Dh |                 |       | XXh     |
| 2C6Eh |                 |       | XXh     |
| 2C6Fh |                 |       | XXh     |

注1. 空欄は予約領域です。アクセスしないでください。

X : 不定です。

表4.10 SFR一覧(10)(注1)

| 番地    | レジスタ             | シンボル   | リセット後の値 |
|-------|------------------|--------|---------|
| 2C70h | DTC コントロールデータ 6  | DTCD6  | XXh     |
| 2C71h |                  |        | XXh     |
| 2C72h |                  |        | XXh     |
| 2C73h |                  |        | XXh     |
| 2C74h |                  |        | XXh     |
| 2C75h |                  |        | XXh     |
| 2C76h |                  |        | XXh     |
| 2C77h |                  |        | XXh     |
| 2C78h | DTC コントロールデータ 7  | DTCD7  | XXh     |
| 2C79h |                  |        | XXh     |
| 2C7Ah |                  |        | XXh     |
| 2C7Bh |                  |        | XXh     |
| 2C7Ch |                  |        | XXh     |
| 2C7Dh |                  |        | XXh     |
| 2C7Eh |                  |        | XXh     |
| 2C7Fh |                  |        | XXh     |
| 2C80h | DTC コントロールデータ 8  | DTCD8  | XXh     |
| 2C81h |                  |        | XXh     |
| 2C82h |                  |        | XXh     |
| 2C83h |                  |        | XXh     |
| 2C84h |                  |        | XXh     |
| 2C85h |                  |        | XXh     |
| 2C86h |                  |        | XXh     |
| 2C87h |                  |        | XXh     |
| 2C88h | DTC コントロールデータ 9  | DTCD9  | XXh     |
| 2C89h |                  |        | XXh     |
| 2C8Ah |                  |        | XXh     |
| 2C8Bh |                  |        | XXh     |
| 2C8Ch |                  |        | XXh     |
| 2C8Dh |                  |        | XXh     |
| 2C8Eh |                  |        | XXh     |
| 2C8Fh |                  |        | XXh     |
| 2C90h | DTC コントロールデータ 10 | DTCD10 | XXh     |
| 2C91h |                  |        | XXh     |
| 2C92h |                  |        | XXh     |
| 2C93h |                  |        | XXh     |
| 2C94h |                  |        | XXh     |
| 2C95h |                  |        | XXh     |
| 2C96h |                  |        | XXh     |
| 2C97h |                  |        | XXh     |
| 2C98h | DTC コントロールデータ 11 | DTCD11 | XXh     |
| 2C99h |                  |        | XXh     |
| 2C9Ah |                  |        | XXh     |
| 2C9Bh |                  |        | XXh     |
| 2C9Ch |                  |        | XXh     |
| 2C9Dh |                  |        | XXh     |
| 2C9Eh |                  |        | XXh     |
| 2C9Fh |                  |        | XXh     |
| 2CA0h | DTC コントロールデータ 12 | DTCD12 | XXh     |
| 2CA1h |                  |        | XXh     |
| 2CA2h |                  |        | XXh     |
| 2CA3h |                  |        | XXh     |
| 2CA4h |                  |        | XXh     |
| 2CA5h |                  |        | XXh     |
| 2CA6h |                  |        | XXh     |
| 2CA7h |                  |        | XXh     |
| 2CA8h | DTC コントロールデータ 13 | DTCD13 | XXh     |
| 2CA9h |                  |        | XXh     |
| 2CAAh |                  |        | XXh     |
| 2CABh |                  |        | XXh     |
| 2CACh |                  |        | XXh     |
| 2CADh |                  |        | XXh     |
| 2CAEh |                  |        | XXh     |
| 2CAFh |                  |        | XXh     |

注1. 空欄は予約領域です。アクセスしないでください。

X : 不定です。

表4.11 SFR一覧(11)(注1)

| 番地    | レジスタ             | シンボル   | リセット後の値 |
|-------|------------------|--------|---------|
| 2CB0h | DTC コントロールデータ 14 | DTCD14 | XXh     |
| 2CB1h |                  |        | XXh     |
| 2CB2h |                  |        | XXh     |
| 2CB3h |                  |        | XXh     |
| 2CB4h |                  |        | XXh     |
| 2CB5h |                  |        | XXh     |
| 2CB6h |                  |        | XXh     |
| 2CB7h |                  |        | XXh     |
| 2CB8h | DTC コントロールデータ 15 | DTCD15 | XXh     |
| 2CB9h |                  |        | XXh     |
| 2CBAh |                  |        | XXh     |
| 2CBBh |                  |        | XXh     |
| 2CBCh |                  |        | XXh     |
| 2CBDh |                  |        | XXh     |
| 2CBEh |                  |        | XXh     |
| 2CBFh |                  |        | XXh     |
| 2CC0h | DTC コントロールデータ 16 | DTCD16 | XXh     |
| 2CC1h |                  |        | XXh     |
| 2CC2h |                  |        | XXh     |
| 2CC3h |                  |        | XXh     |
| 2CC4h |                  |        | XXh     |
| 2CC5h |                  |        | XXh     |
| 2CC6h |                  |        | XXh     |
| 2CC7h |                  |        | XXh     |
| 2CC8h | DTC コントロールデータ 17 | DTCD17 | XXh     |
| 2CC9h |                  |        | XXh     |
| 2CCAh |                  |        | XXh     |
| 2CCBh |                  |        | XXh     |
| 2CCCh |                  |        | XXh     |
| 2CCDh |                  |        | XXh     |
| 2CCEh |                  |        | XXh     |
| 2CCFh |                  |        | XXh     |
| 2CD0h | DTC コントロールデータ 18 | DTCD18 | XXh     |
| 2CD1h |                  |        | XXh     |
| 2CD2h |                  |        | XXh     |
| 2CD3h |                  |        | XXh     |
| 2CD4h |                  |        | XXh     |
| 2CD5h |                  |        | XXh     |
| 2CD6h |                  |        | XXh     |
| 2CD7h |                  |        | XXh     |
| 2CD8h | DTC コントロールデータ 19 | DTCD19 | XXh     |
| 2CD9h |                  |        | XXh     |
| 2CDAh |                  |        | XXh     |
| 2CDBh |                  |        | XXh     |
| 2CDCh |                  |        | XXh     |
| 2CDDh |                  |        | XXh     |
| 2CDEh |                  |        | XXh     |
| 2CDFh |                  |        | XXh     |
| 2CE0h | DTC コントロールデータ 20 | DTCD20 | XXh     |
| 2CE1h |                  |        | XXh     |
| 2CE2h |                  |        | XXh     |
| 2CE3h |                  |        | XXh     |
| 2CE4h |                  |        | XXh     |
| 2CE5h |                  |        | XXh     |
| 2CE6h |                  |        | XXh     |
| 2CE7h |                  |        | XXh     |
| 2CE8h | DTC コントロールデータ 21 | DTCD21 | XXh     |
| 2CE9h |                  |        | XXh     |
| 2CEAh |                  |        | XXh     |
| 2CEBh |                  |        | XXh     |
| 2CECh |                  |        | XXh     |
| 2CEDh |                  |        | XXh     |
| 2CEEh |                  |        | XXh     |
| 2CEFh |                  |        | XXh     |

注1. 空欄は予約領域です。アクセスしないでください。

X : 不定です。

表4.12 SFR一覧(12)(注1)

| 番地    | レジスタ             | シンボル   | リセット後の値 |
|-------|------------------|--------|---------|
| 2CF0h | DTC コントロールデータ 22 | DTCD22 | XXh     |
| 2CF1h |                  |        | XXh     |
| 2CF2h |                  |        | XXh     |
| 2CF3h |                  |        | XXh     |
| 2CF4h |                  |        | XXh     |
| 2CF5h |                  |        | XXh     |
| 2CF6h |                  |        | XXh     |
| 2CF7h |                  |        | XXh     |
| 2CF8h | DTC コントロールデータ 23 | DTCD23 | XXh     |
| 2CF9h |                  |        | XXh     |
| 2CFAh |                  |        | XXh     |
| 2CFBh |                  |        | XXh     |
| 2CFCh |                  |        | XXh     |
| 2CFDh |                  |        | XXh     |
| 2CFEh |                  |        | XXh     |
| 2CFFh |                  |        | XXh     |
| 2D00h |                  |        |         |
| :     |                  |        |         |
| 2FFFh |                  |        |         |

注1. 空欄は予約領域です。アクセスしないでください。

X : 不定です。

表4.13 IDコード領域、オプション機能選択領域

| 番地     | 領域名             | シンボル | リセット後の値 |
|--------|-----------------|------|---------|
| :      |                 |      |         |
| FFDBh  | オプション機能選択レジスタ 2 | OFS2 | (注1)    |
| :      |                 |      |         |
| FFDFh  | ID1             |      | (注2)    |
| :      |                 |      |         |
| FFE3h  | ID2             |      | (注2)    |
| :      |                 |      |         |
| FFEBh  | ID3             |      | (注2)    |
| :      |                 |      |         |
| FFEFh  | ID4             |      | (注2)    |
| :      |                 |      |         |
| FFF3h  | ID5             |      | (注2)    |
| :      |                 |      |         |
| FFF7h  | ID6             |      | (注2)    |
| :      |                 |      |         |
| FFFFBh | ID7             |      | (注2)    |
| :      |                 |      |         |
| FFFFh  | オプション機能選択レジスタ   | OFS  | (注1)    |

注1. オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

オプション機能選択領域に追加書き込みをしないでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域は“FFh”になります。

ブランク出荷品の出荷時、オプション機能選択領域は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、オプション機能選択領域の値は、ユーザがプログラムで設定した値です。

注2. IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

IDコード領域に追加書き込みをしないでください。IDコード領域を含むブロックを消去すると、IDコード領域は“FFh”になります。

ブランク出荷品の出荷時、IDコード領域は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、IDコード領域の値は、ユーザがプログラムで設定した値です。

## 5. リセット

リセットにはハードウェアリセット、パワーオンリセット、電圧監視リセット、ウォッチドッグタイマリセットおよびソフトウェアリセットがあります。

表 5.1 にリセットの名称と要因を、図 5.1 にリセット回路のブロック図を示します。

表 5.1 リセットの名称と要因

| リセットの名称        | 要因                          |
|----------------|-----------------------------|
| ハードウェアリセット     | RESET 端子の入力電圧が “L”          |
| パワーオンリセット      | VCC の上昇                     |
| 電圧監視リセット       | VCC の下降(監視電圧 : Vdet0)       |
| ウォッチドッグタイマリセット | ウォッチドッグタイマのアンダフロー           |
| ソフトウェアリセット     | PM0 レジスタの PM03 ビットに “1” を書く |

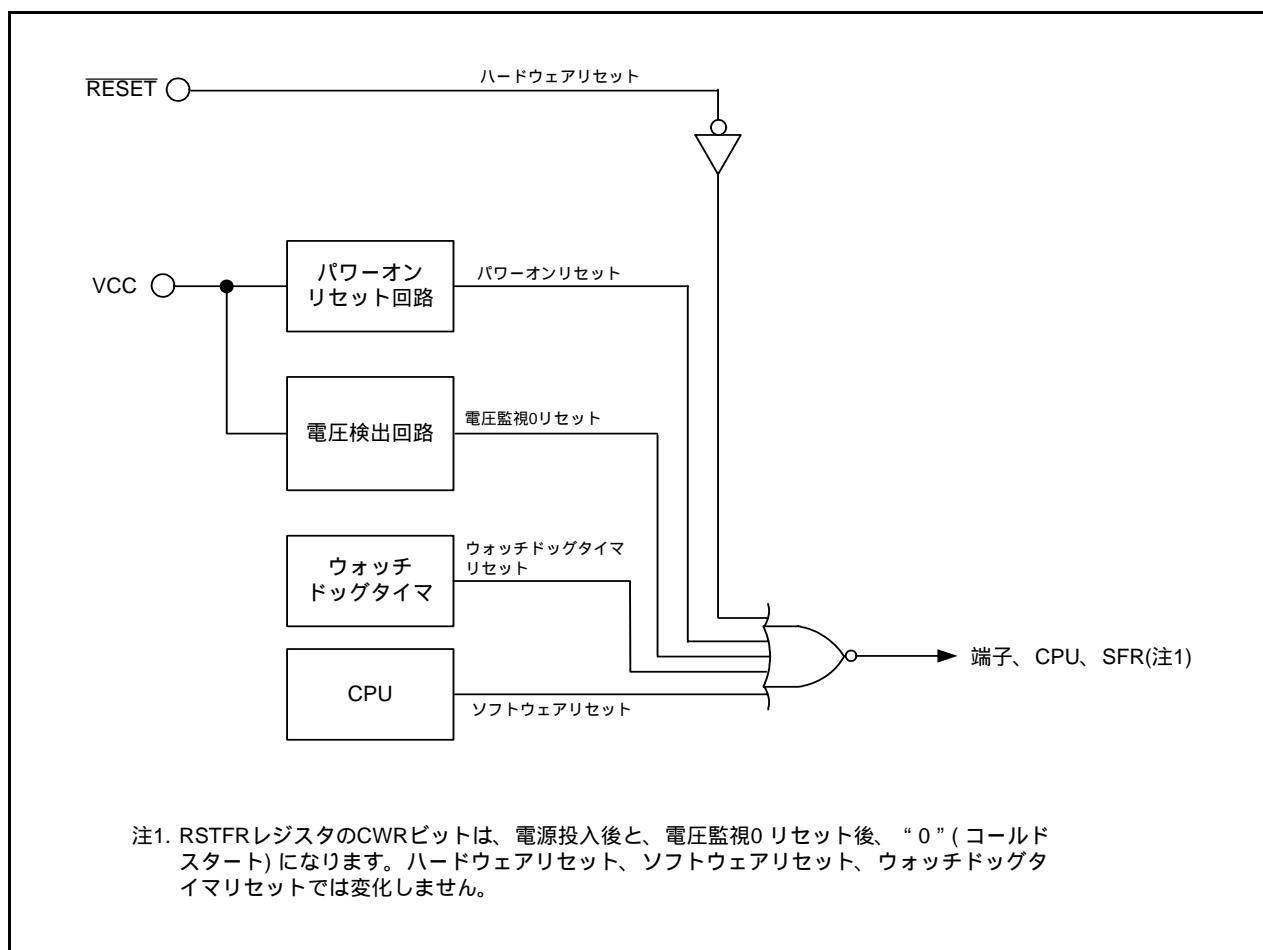


図 5.1 リセット回路のブロック図

表 5.2 に RESET 端子のレベルが “L” の期間の端子の状態を、図 5.2 にリセット後の CPU レジスタの状態を、図 5.3 にリセットシーケンスを示します。

表 5.2 RESET 端子のレベルが “L” の期間の端子の状態

| 端子名   | 端子の状態 |
|---|-------|
| P0、P1、P2_0 ~ P2_2、<br>P3_1、P3_3 ~ P3_5、P3_7 | 入力ポート |
| P4_2、P4_5 ~ P4_7                            | 入力ポート |

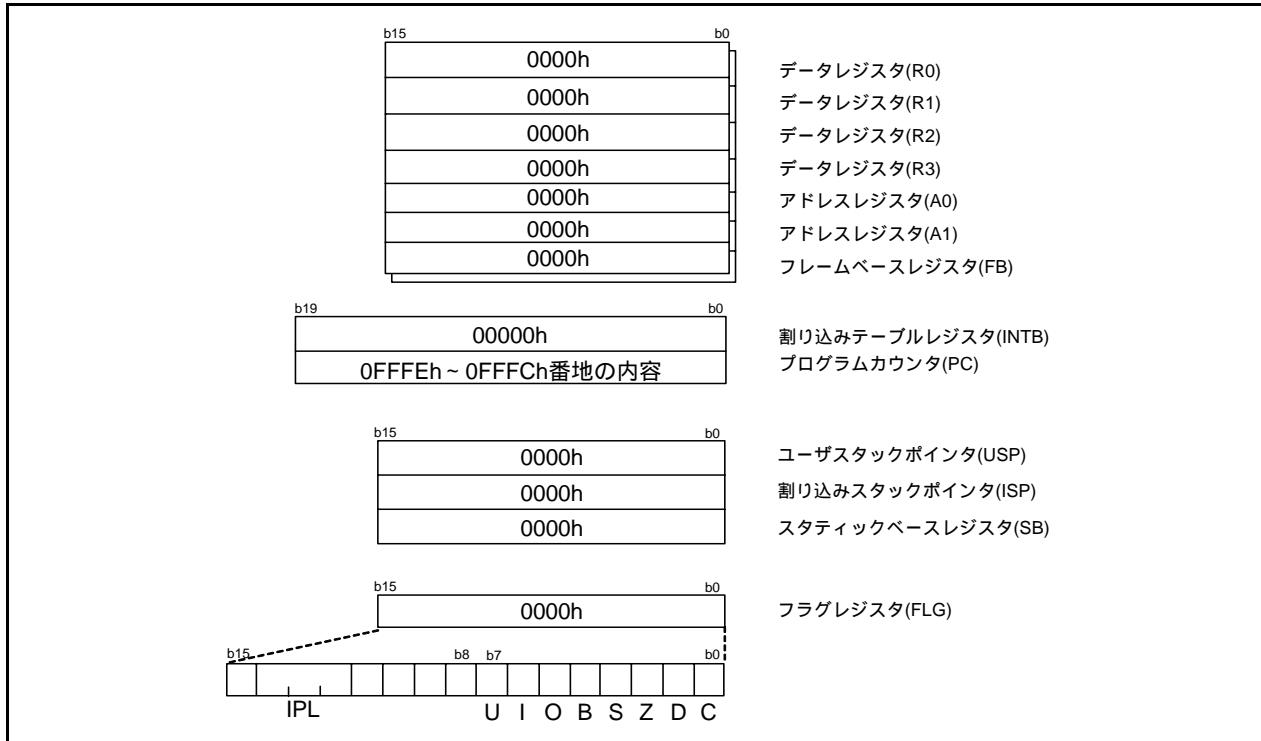


図 5.2 リセット後の CPU レジスタの状態

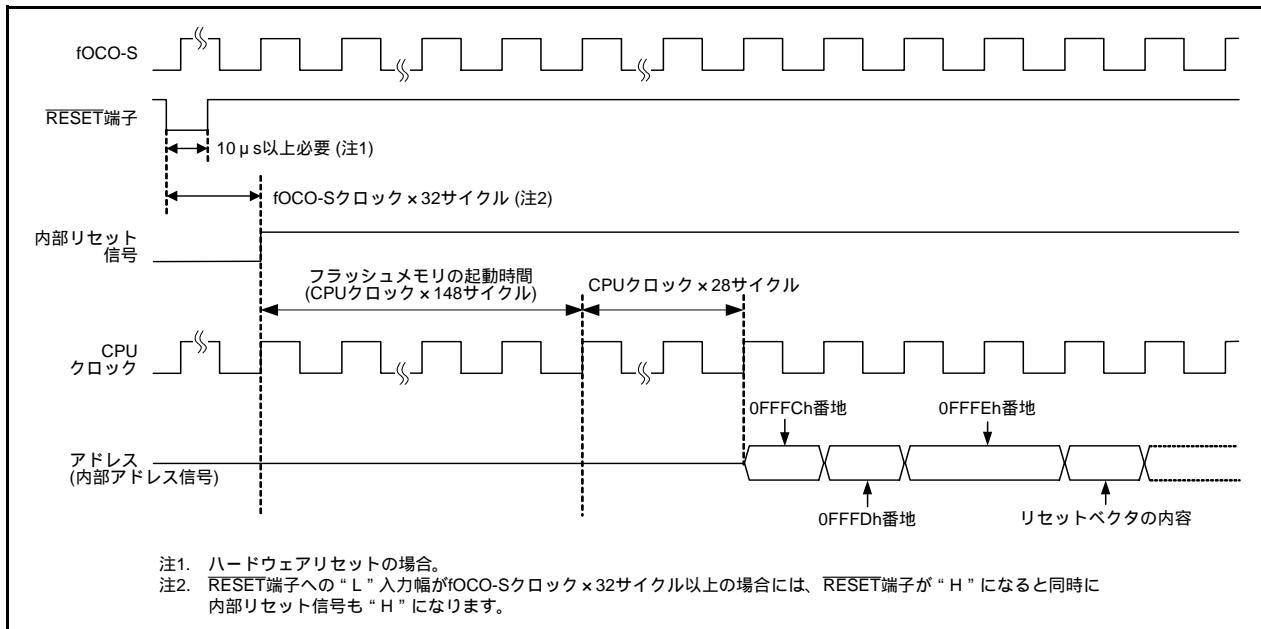


図 5.3 リセットシーケンス

## 5.1 レジスタの説明

### 5.1.1 プロセッサモードレジスタ0 (PM0)

アドレス 0004h 番地

| ビット     | b7 | b6 | b5 | b4 | b3   | b2 | b1 | b0 |
|---------|----|----|----|----|------|----|----|----|
| シンボル    | -  | -  | -  | -  | PM03 | -  | -  | -  |
| リセット後の値 | 0  | 0  | 0  | 0  | 0    | 0  | 0  | 0  |

| ビット | シンボル | ビット名                                       | 機能   | R/W |
|-----|------|--|--|-----|
| b0  | -    | 予約ビット                                      | "0"にしてください                                     | R/W |
| b1  | -    |  |  |     |
| b2  | -    |  |  |     |
| b3  | PM03 | ソフトウェアリセットビット                              | このビットを"1"にするとマイクロコンピュータはリセットされる。読んだ場合、その値は"0"。 | R/W |
| b4  | -    | 何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。 |  | -   |
| b5  | -    |  |  |     |
| b6  | -    |  |  |     |
| b7  | -    |  |  |     |

PM0 レジスタは、PRCR レジスタのPRC1 ビットを“1”(書き込み許可)にした後で書き換えてください。

### 5.1.2 リセット要因判別レジスタ(RSTFR)

アドレス 000Bh 番地

| ビット     | b7 | b6 | b5 | b4 | b3  | b2  | b1  | b0     |
|---------|----|----|----|----|-----|-----|-----|--------|
| シンボル    | -  | -  | -  | -  | WDR | SWR | HWR | CWR    |
| リセット後の値 | 0  | X  | X  | X  | X   | X   | X   | X (注1) |

| ビット | シンボル | ビット名                         | 機能                         | R/W |
|-----|------|------------------------------|----------------------------|-----|
| b0  | CWR  | コールドスタート／ウォームスタート判定フラグ(注2、3) | 0: コールドスタート<br>1: ウォームスタート | R/W |
| b1  | HWR  | ハードウェアリセット検出フラグ              | 0: 未検出<br>1: 検出            | R   |
| b2  | SWR  | ソフトウェアリセット検出フラグ              | 0: 未検出<br>1: 検出            | R   |
| b3  | WDR  | ウォッチドッグタイマリセット検出フラグ          | 0: 未検出<br>1: 検出            | R   |
| b4  | -    | 予約ビット                        | 読んだ場合、その値は不定。              | R   |
| b5  | -    |                              |                            |     |
| b6  | -    |                              |                            |     |
| b7  | -    | 予約ビット                        | "0"にしてください                 | R/W |

注1. CWR ビットは電源投入後と、電圧監視0リセット後、“0”(コールドスタート)になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

注2. CWR ビットはプログラムで“1”を書くと“1”になります(“0”を書いても変化しません)。

注3. VW0C レジスタのVW0C0 ビットが“0”(電圧監視0リセット禁止)のとき、CWR ビットは不定です。

### 5.1.3 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh 番地

| ビット     | b7          | b6    | b5     | b4     | b3     | b2    | b1 | b0    |
|---------|-------------|-------|--------|--------|--------|-------|----|-------|
| シンボル    | CSPROINI    | LVDAS | VDSEL1 | VDSEL0 | ROMCP1 | ROMCR | -  | WDTON |
| リセット後の値 | ユーザの設定値(注1) |       |        |        |        |       |    |       |

| ビット | シンボル     | ビット名                   | 機能   | R/W |
|-----|----------|------------------------|--|-----|
| b0  | WDTON    | ウォッチドッグタイマ起動選択ビット      | 0 : リセット後、ウォッチドッグタイマは自動的に起動<br>1 : リセット後、ウォッチドッグタイマは停止状態   | R/W |
| b1  | -        | 予約ビット                  | “1”にしてください   | R/W |
| b2  | ROMCR    | ROMコードプロテクト解除ビット       | 0 : ROMコードプロテクト解除<br>1 : ROMCP1ビット有効   | R/W |
| b3  | ROMCP1   | ROMコードプロテクトビット         | 0 : ROMコードプロテクト有効<br>1 : ROMコードプロテクト解除   | R/W |
| b4  | VDSEL0   | 電圧検出0レベル選択ビット(注2)      | <sup>b5 b4</sup><br>0 0 : 3.80Vを選択 (Vdet0_3)<br>0 1 : 2.85Vを選択 (Vdet0_2)<br>1 0 : 2.35Vを選択 (Vdet0_1)<br>1 1 : 1.90Vを選択 (Vdet0_0) | R/W |
| b5  | VDSEL1   |                        |  | R/W |
| b6  | LVDAS    | 電圧検出0回路起動ビット(注3)       | 0 : リセット後、電圧監視0リセット有効<br>1 : リセット後、電圧監視0リセット無効   | R/W |
| b7  | CSPROINI | リセット後カウントソース保護モード選択ビット | 0 : リセット後、カウントソース保護モード有効<br>1 : リセット後、カウントソース保護モード無効   | R/W |

注1. OFS レジスタはフラッシュメモリ上にあり、SFR ではありません。ROM データとして、プログラムで適切な値を設定してください。

OFS レジスタに追加書き込みをしないでください。OFS レジスタを含むブロックを消去すると、OFS レジスタは “FFh” になります。

プランク出荷品の出荷時、OFS レジスタは “FFh” です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFS レジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0 ~ VDSEL1 ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDAS ビットを “0” (リセット後、電圧監視0リセット有効)にしてください。

OFS レジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

#### LVDAS ビット(電圧検出0回路起動ビット)

電圧検出0回路で監視する Vdet0 電圧は、VDSEL0 ~ VDSEL1 ビットで選択されます。

### 5.1.4 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh 番地

| ビット     | b7          | b6 | b5 | b4 | b3      | b2      | b1      | b0      |
|---------|-------------|----|----|----|---------|---------|---------|---------|
| シンボル    | -           | -  | -  | -  | WDTRCS1 | WDTRCS0 | WDTUFS1 | WDTUFS0 |
| リセット後の値 | ユーザの設定値(注1) |    |    |    |         |         |         |         |

| ビット | シンボル    | ビット名                          | 機能  | R/W        |
|-----|---------|-------------------------------|---|------------|
| b0  | WDTUFS0 | ウォッチドッグタイマアンダフロー<br>周期設定ビット   | b1 b0<br>0 0 : 03FFh<br>0 1 : 0FFFh<br>1 0 : 1FFFh<br>1 1 : 3FFFh | R/W<br>R/W |
| b2  | WDTRCS0 | ウォッチドッグタイマリフレッシュ<br>受付周期設定ビット | b3 b2<br>0 0 : 25%<br>0 1 : 50%<br>1 0 : 75%<br>1 1 : 100%        | R/W<br>R/W |
| b3  | WDTRCS1 |                               |   |            |
| b4  | -       | 予約ビット                         | "1"にしてください  | R/W        |
| b5  | -       |                               |   |            |
| b6  | -       |                               |   |            |
| b7  | -       |                               |   |            |

注1. OFS2 レジスタはフラッシュメモリ上にあり、SFR ではありません。ROM データとして、プログラムで適切な値を設定してください。

OFS2 レジスタに追加書き込みをしないでください。OFS2 レジスタを含むブロックを消去すると、OFS2 レジスタは "FFh" になります。

プランク出荷品の出荷時、OFS2 レジスタは "FFh" です。ユーザでの書き込み後は、書き込んだ値になります。  
書き込み出荷品の出荷時、OFS2 レジスタの値は、ユーザがプログラムで設定した値です。

OFS2 レジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

#### WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を 100% として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「14.3.1.1 リフレッシュ受付期間」を参照してください。

## 5.2 ハードウェアリセット

RESET端子によるリセットです。電源電圧が推奨動作条件を満たすとき、RESET端子に“L”を入力すると端子、CPU、SFRが初期化されます(「表 5.2 RESET端子のレベルが“L”の期間の端子の状態」、「図 5.2 リセット後のCPUレジスタの状態」、および「表4.1～表4.12 SFR一覧」を参照)。

RESET端子の入力レベルを“L”から“H”にすると、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にRESET端子が“L”になると、内部RAMは不定となります。

図 5.4 にハードウェアリセット回路例と動作を、図 5.5 にハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作を示します。

### 5.2.1 電源が安定している場合

- (1) RESET端子に“L”を入力する
- (2)  $10\ \mu s$ 待つ
- (3) RESET端子に“H”を入力する

### 5.2.2 電源投入時

- (1) RESET端子に“L”を入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまでtd(P-R)待つ(「32. 電気的特性」参照)
- (4)  $10\ \mu s$ 待つ
- (5) RESET端子に“H”を入力する

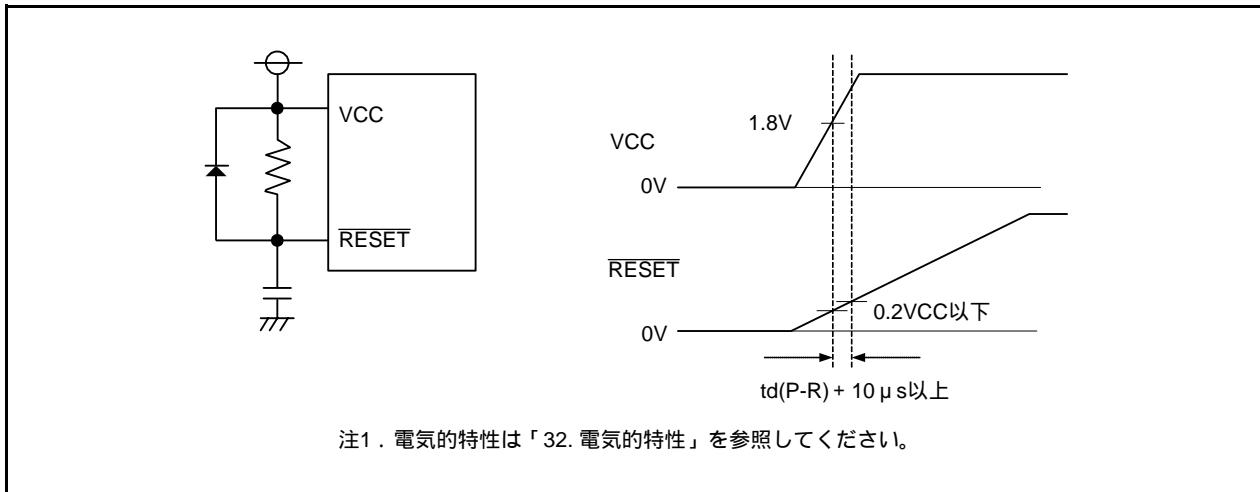


図 5.4 ハードウェアリセット回路例と動作

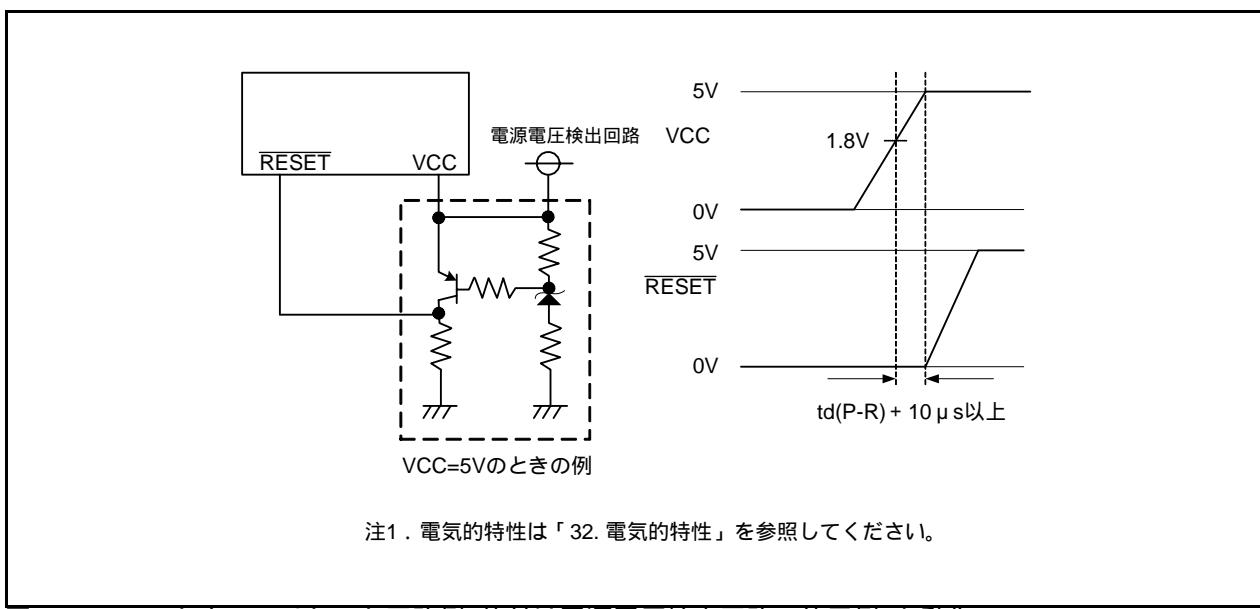


図 5.5 ハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作

### 5.3 パワーオンリセット機能

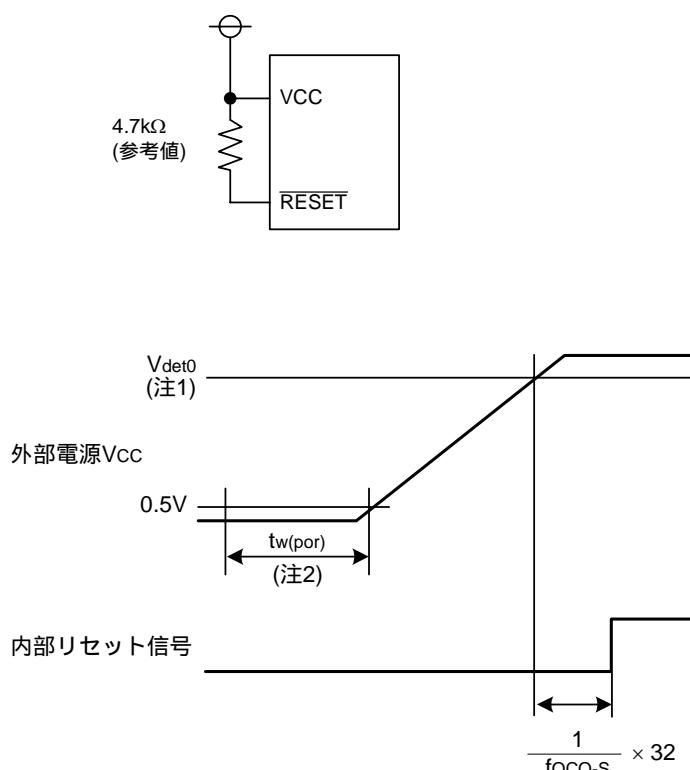
抵抗を介してRESET端子をVCCに接続し、VCCを立ち上げるとパワーオンリセット機能が有効になります。RESET端子にコンデンサを接続する場合も、RESET端子の電圧が常に0.8VCC以上になるようにご注意ください。

VCC端子に入力する電圧がV<sub>det0</sub>以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になります。リセットシーケンス(図5.3参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

パワーオンリセット後のSFRの状態は「4. SFR」を参照してください。

パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

図5.6にパワーオンリセット回路例と動作を示します。



- 注1. V<sub>det0</sub>は電圧検出0回路の電圧検出レベルを示します。 詳細は「6. 電圧検出回路」を参照してください。
- 注2. t<sub>w(por)</sub>は外部電源VCCを有効電圧(0.5V)以下に保持してパワーオンリセットが有効になるために必要な時間です。  
電圧監視0リセットが無効な状態で電源を立ち下げる後に、電源を立ち上げるときは1ms以上保持してください。
- 注3. パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

図5.6 パワーオンリセット回路例と動作

## 5.4 電圧監視リセット

マイクロコンピュータに内蔵している電圧検出0回路によるリセットです。電圧検出0回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet0です。電圧監視リセットを使用する場合は、OFSレジスタのLVDASビットを“0”(リセット後、電圧監視リセット有効)にしてください。Vdet0の電圧検出レベルは、OFSレジスタのVDSEL0～VDSEL1ビットの設定により、変更できます。

VCC端子に入力する電圧がVdet0以下になると端子、CPU、SFRが初期化されます。

次にVCC端子に入力する電圧がVdet0以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(図5.3参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視リセットを有効にしてください。

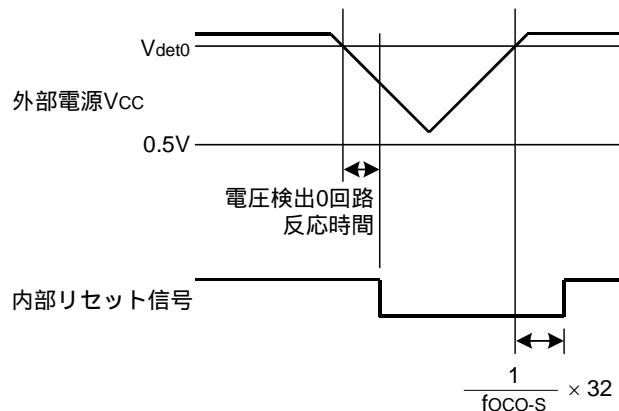
VDSEL0～VDSEL1ビット、LVDASビットはプログラムでは変更できません。これらのビットを設定する場合は、フラッシュライタで0FFFFh番地のb4～b6に値を書いてください。OFSレジスタの詳細は「5.1.3 オプション機能選択レジスタ(OFS)」を参照してください。

電圧監視リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet0以下になると、内部RAMは不定となります。

電圧監視リセットの詳細は「6. 電圧検出回路」を参照してください。

図5.7に電圧監視リセット回路例と動作を示します。



注1. Vdet0は電圧検出0回路の電圧検出レベルを示します。 詳細は「6. 電圧検出回路」を参照してください。

注2. パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視リセットを有効にしてください。

図5.7 電圧監視リセット回路例と動作

## 5.5 ウオッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

ウォッチドッグタイマリセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にウォッチドッグタイマがアンダフローすると、内部RAMは不定となります。

ウォッチドッグタイマのアンダフロー周期とリフレッシュ受付周期を、OFS2レジスタのWDTUFS0～WDTUFS1ビット、WDTRCS0～WDTRCS1ビットでそれぞれ設定することができます。

ウォッチドッグタイマの詳細は「14. ウォッチドッグタイマ」を参照してください。

## 5.6 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

ソフトウェアリセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。

## 5.7 コールドスタート/ウォームスタート判定機能

コールドスタート/ウォームスタート判定機能は、RSTFR レジスタのCWR ビットによって、電源が投入されたときのコールドスタート(リセット処理)と、動作中にリセットが発生したときのウォームスタート(リセット処理)を判定することができます。

CWR ビットは、電源投入時 “0”(コールドスタート)です。また、電圧監視リセットでも “0”になります。CWR ビットはプログラムで “1”を書くと “1”になり、ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

コールドスタート/ウォームスタート判定機能は電圧監視リセットを使用します。

図 5.8 にコールドスタート/ウォームスタート判定機能の動作例を示します。

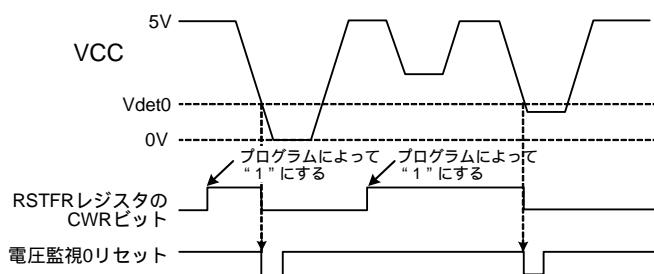


図 5.8 コールドスタート/ウォームスタート判定機能の動作例

## 5.8 リセット要因判別機能

ハードウェアリセット、ソフトウェアリセットおよびウォッチドッグタイマリセットの発生を、RSTFR レジスタで検出できます。

ハードウェアリセットが発生すると、HWR ビットが “1”(検出)になります。ソフトウェアリセットが発生すると、SWR ビットが “1”(検出)になります。ウォッチドッグタイマリセットが発生すると、WDR ビットが “1”(検出)になります。

## 6. 電圧検出回路

電圧検出回路はVCC端子に入力する電圧を監視する回路です。VCC入力電圧をプログラムで監視できます。

### 6.1 概要

電圧検出0はOFSレジスタで、検出電圧を4レベルから選択できます。

電圧検出1はVD1LSレジスタで、検出電圧を16レベルから選択できます。

また、電圧監視0リセット、電圧監視1割り込み、電圧監視2割り込みを使用できます。

表 6.1 電圧検出回路の仕様

| 項目       | 電圧監視0   | 電圧監視1                                     | 電圧監視2                                     |
|----------|---|---|---|
| VCC監視    | 監視する電圧<br>Vdet0   | Vdet1                                     | Vdet2                                     |
|          | 検出対象<br>下降してVdet0を通過したか                                       | 上昇または下降してVdet1を通過したか                      | 上昇または下降してVdet2を通過したか                      |
|          | 検出電圧<br>OFSレジスタで4レベルから選択可能                                    | VD1LSレジスタで16レベルから選択可能                     | 固定レベル                                     |
|          | モニタ<br>なし   | VW1CレジスタのVW1C3ビット<br>Vdet1より高いか低いか        | VCA1レジスタのVCA13ビット<br>Vdet2より高いか低いか        |
| 電圧検出時の処理 | リセット<br>電圧監視0リセット<br>Vdet0 > VCCでリセット；<br>VCC > Vdet0でCPU動作再開 | なし  | なし  |
|          |   | 電圧監視1割り込み<br>ノンマスカブルまたはマスカブルを選択可能         | 電圧監視2割り込み<br>ノンマスカブルまたはマスカブルを選択可能         |
|          | 割り込み<br>なし  | Vdet1 > VCC、VCC > Vdet1の両方、またはどちらかで割り込み要求 | Vdet2 > VCC、VCC > Vdet2の両方、またはどちらかで割り込み要求 |
| デジタルフィルタ | 有効/無効<br>切り替え   | デジタルフィルタ機能なし                              | あり  |
|          | サンプリング時間  | -   | (fOCO-Sのn分周) × 2<br>n : 1, 2, 4, 8        |

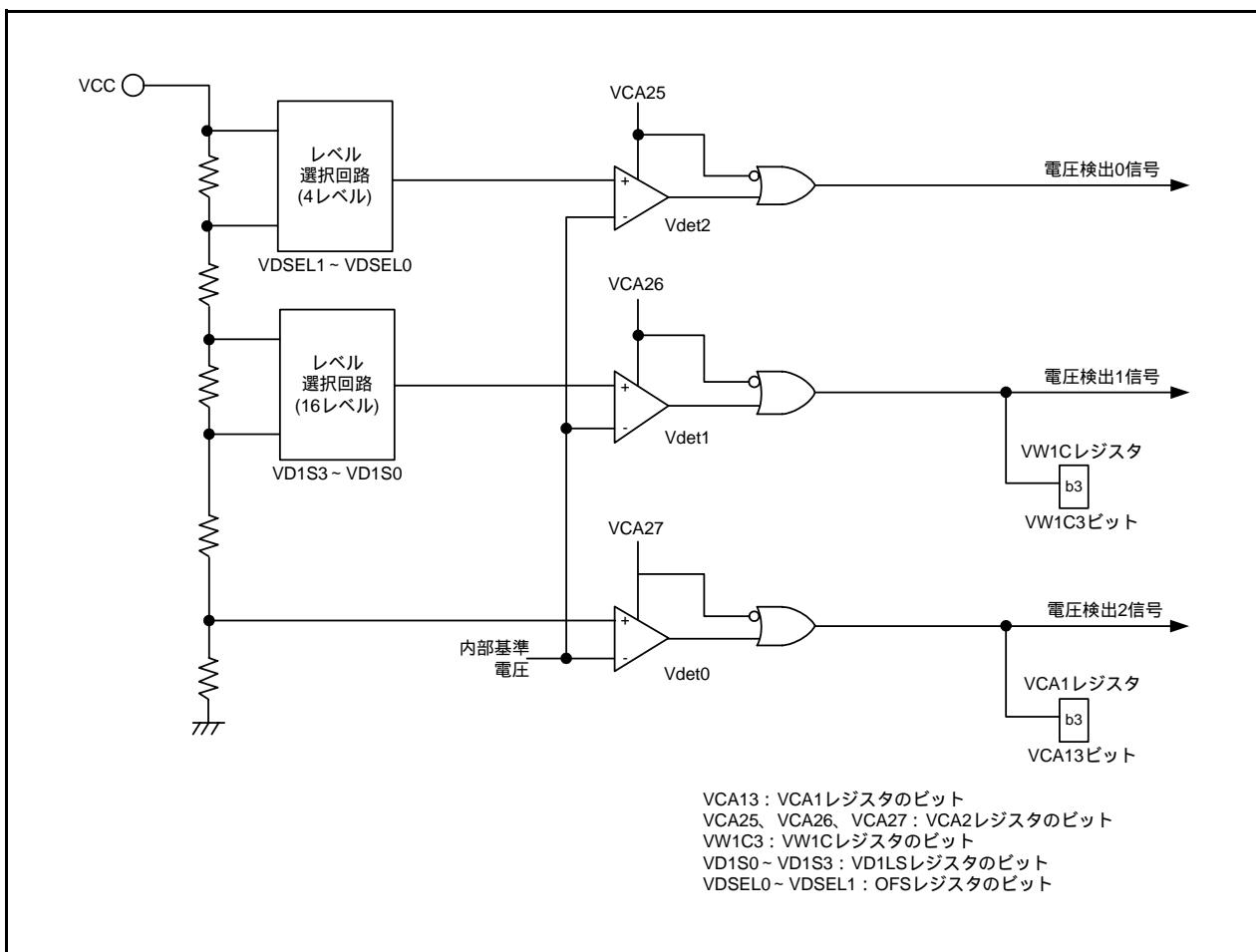


図 6.1 電圧検出回路ブロック図

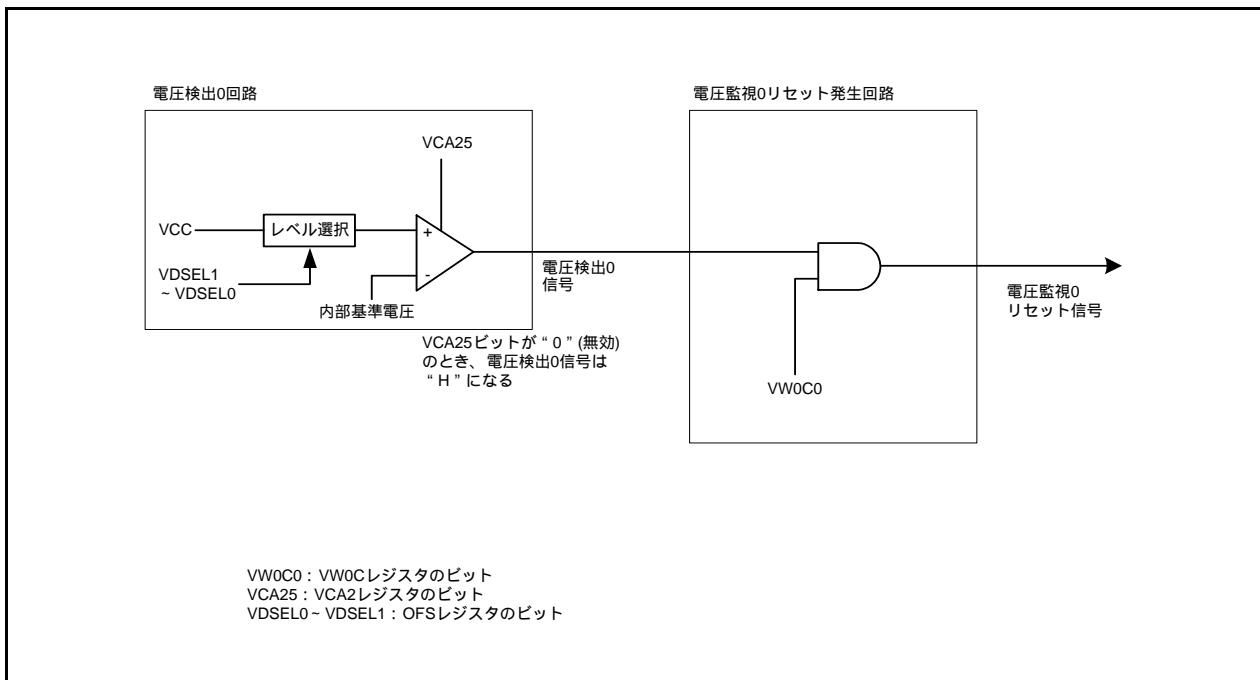


図 6.2 電圧監視0リセット発生回路のブロック図

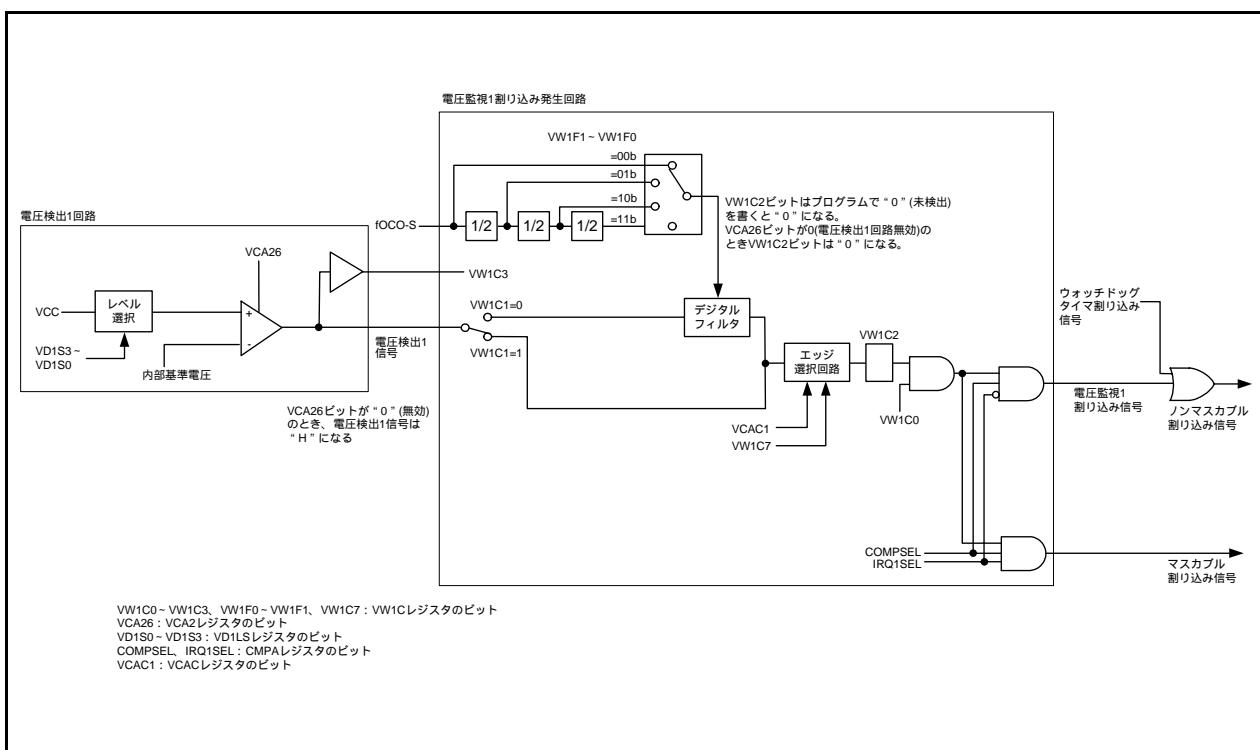


図 6.3 電圧監視1割り込み発生回路のブロック図

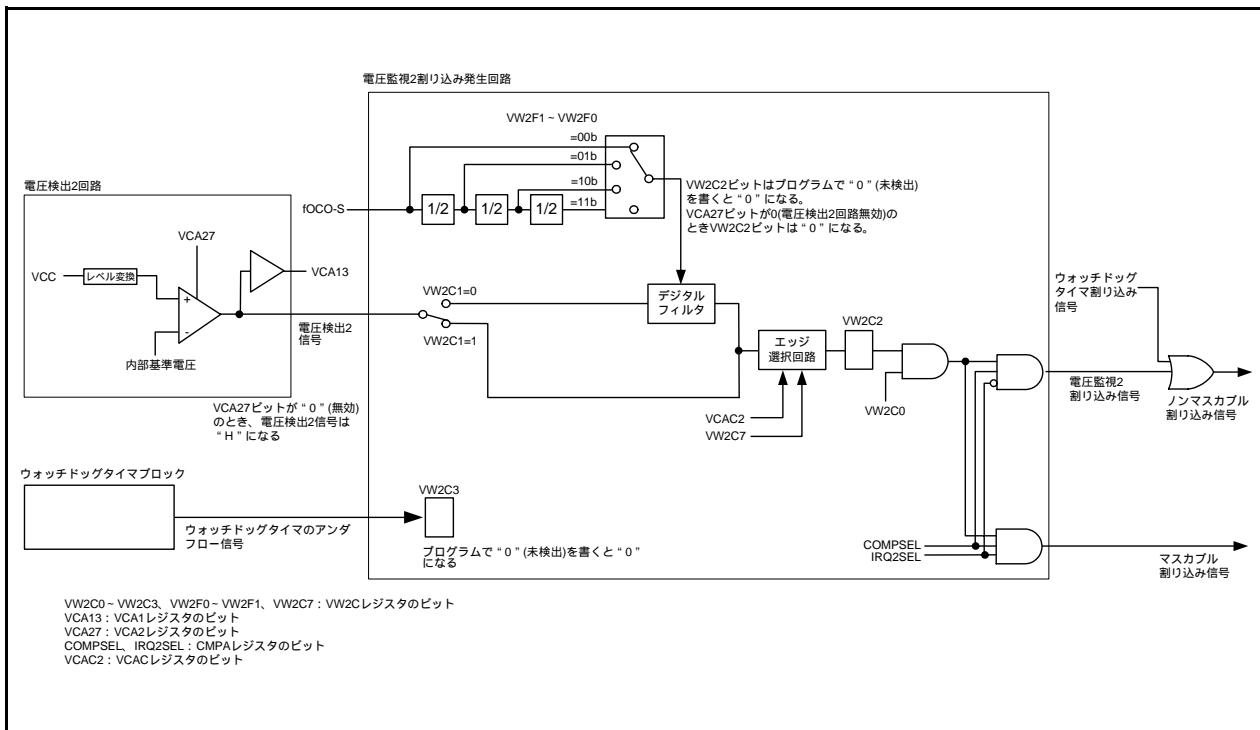


図 6.4 電圧監視2割り込み発生回路のブロック図

## 6.2 レジスタの説明

### 6.2.1 電圧監視回路制御レジスタ(CMPA)

アドレス 0030h番地

| ビット     | b7      | b6 | b5      | b4      | b3 | b2 | b1 | b0 |
|---------|---------|----|---------|---------|----|----|----|----|
| シンボル    | COMPSEL | -  | IRQ2SEL | IRQ1SEL | -  | -  | -  | -  |
| リセット後の値 | 0       | 0  | 0       | 0       | 0  | 0  | 0  | 0  |

| ビット | シンボル    | ビット名                        | 機能   | R/W |
|-----|---------|-----------------------------|--|-----|
| b0  | -       | 予約ビット                       | “0”にしてください                                       | R/W |
| b1  | -       |                             |  |     |
| b2  | -       |                             |  |     |
| b3  | -       |                             |  |     |
| b4  | IRQ1SEL | 電圧監視1割り込み種類選択ビット<br>(注1)    | 0：ノンマスカブル割り込み<br>1：マスカブル割り込み                     | R/W |
| b5  | IRQ2SEL | 電圧監視2割り込み種類選択ビット<br>(注2)    | 0：ノンマスカブル割り込み<br>1：マスカブル割り込み                     | R/W |
| b6  | -       | 予約ビット                       | “0”にしてください                                       | R/W |
| b7  | COMPSEL | 電圧監視割り込み種類選択有効ビット<br>(注1、2) | 0：IRQ1SEL、IRQ2SELビット無効<br>1：IRQ1SEL、IRQ2SELビット有効 | R/W |

注1. VW1C レジスタのVW1C0 ビットが“1”(許可) のとき、IRQ1SEL ビットとCOMPSEL ビットを同時に(1 命令で) 設定しないでください。

注2. VW2C レジスタのVW2C0 ビットが“1”(許可) のとき、IRQ2SEL ビットとCOMPSEL ビットを同時に(1 命令で) 設定しないでください。

### 6.2.2 電圧監視回路エッジ選択レジスタ(VCAC)

アドレス 0031h 番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2    | b1    | b0 |
|---------|----|----|----|----|----|-------|-------|----|
| シンボル    | -  | -  | -  | -  | -  | VCAC2 | VCAC1 | -  |
| リセット後の値 | 0  | 0  | 0  | 0  | 0  | 0     | 0     | 0  |

| ビット | シンボル  | ビット名                                       | 機能               | R/W |
|-----|-------|--|------------------|-----|
| b0  | -     | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -                | -   |
| b1  | VCAC1 | 電圧監視1回路エッジ選択ビット<br>(注1)                    | 0:片エッジ<br>1:両エッジ | R/W |
| b2  | VCAC2 | 電圧監視2回路エッジ選択ビット<br>(注2)                    | 0:片エッジ<br>1:両エッジ | R/W |
| b3  | -     | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -                | -   |
| b4  | -     |  |                  |     |
| b5  | -     |  |                  |     |
| b6  | -     |  |                  |     |
| b7  | -     |  |                  |     |

注1. VCAC1ビットが“0”(片エッジ)のとき、VW1CレジスタのVW1C7ビットが有効になります。VCAC1ビットを“0”にした後、VW1C7ビットを設定してください。

注2. VCAC2ビットが“0”(片エッジ)のとき、VW2CレジスタのVW2C7ビットが有効になります。VCAC2ビットを“0”にした後、VW2C7ビットを設定してください。

### 6.2.3 電圧検出レジスタ1(VCA1)

アドレス 0033h 番地

| ビット     | b7 | b6 | b5 | b4 | b3    | b2 | b1 | b0 |
|---------|----|----|----|----|-------|----|----|----|
| シンボル    | -  | -  | -  | -  | VCA13 | -  | -  | -  |
| リセット後の値 | 0  | 0  | 0  | 0  | 1     | 0  | 0  | 0  |

| ビット | シンボル  | ビット名              | 機能  | R/W |
|-----|-------|-------------------|---|-----|
| b0  | -     | 予約ビット             | “0”にしてください                                    | R/W |
| b1  | -     |                   |   |     |
| b2  | -     |                   |   |     |
| b3  | VCA13 | 電圧検出2信号モニタフラグ(注1) | 0: VCC < Vdet2<br>1: VCC = Vdet2、または電圧検出2回路無効 | R   |
| b4  | -     | 予約ビット             | “0”にしてください                                    | R/W |
| b5  | -     |                   |   |     |
| b6  | -     |                   |   |     |
| b7  | -     |                   |   |     |

注1. VCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき、VCA13ビットは有効です。

VCA2レジスタのVCA27ビットが“0”(電圧検出2回路無効)のとき、VCA13ビットは“1”(VCC = Vdet2)になります。

### 6.2.4 電圧検出レジスタ2 (VCA2)

アドレス 0034h 番地

| ビット     | b7    | b6    | b5    | b4 | b3 | b2 | b1 | b0    |
|---------|-------|-------|-------|----|----|----|----|-------|
| シンボル    | VCA27 | VCA26 | VCA25 | -  | -  | -  | -  | VCA20 |
| リセット後の値 | 0     | 0     | 0     | 0  | 0  | 0  | 0  | 0     |

上記はOFSレジスタのLVDASビットが“1”的場合

| リセット後の値 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
|---------|---|---|---|---|---|---|---|---|
|---------|---|---|---|---|---|---|---|---|

上記はOFSレジスタのLVDASビットが“0”的場合

| ビット | シンボル  | ビット名               | 機能                           | R/W |
|-----|-------|--------------------|------------------------------|-----|
| b0  | VCA20 | 内部電源低消費電力許可ビット(注1) | 0: 低消費電力禁止<br>1: 低消費電力許可(注2) | R/W |
| b1  | -     | 予約ビット              | “0”にしてください                   | R/W |
| b2  | -     |                    |                              |     |
| b3  | -     |                    |                              |     |
| b4  | -     |                    |                              |     |
| b5  | VCA25 | 電圧検出0許可ビット(注3)     | 0: 電圧検出0回路無効<br>1: 電圧検出0回路有効 | R/W |
| b6  | VCA26 | 電圧検出1許可ビット(注4)     | 0: 電圧検出1回路無効<br>1: 電圧検出1回路有効 | R/W |
| b7  | VCA27 | 電圧検出2許可ビット(注5)     | 0: 電圧検出2回路無効<br>1: 電圧検出2回路有効 | R/W |

注1. VCA20ビットはウェイトモードへの移行時のみに使用してください。VCA20ビットの設定は「図9.3 VCA20ビットによる内部電源低消費操作手順」に従ってください。

注2. VCA20ビットが“1”(低消費電力許可)のとき、CM1レジスタのCM10ビットを“1”(ストップモード)にしないでください。

注3. VCA25ビットに書く場合は、リセット後の値を書いてください。

注4. 電圧検出1割り込みを使用する場合、またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを“1”にしてください。

VCA26ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出1回路が動作します。

注5. 電圧検出2割り込みを使用する場合、またはVCA1レジスタのVCA13ビットを使用する場合、VCA27ビットを“1”にしてください。

VCA27ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出2回路が動作します。

VCA2レジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

### 6.2.5 電圧検出1レベル選択レジスタ(VD1LS)

アドレス 0036h 番地

| ビット     | b7 | b6 | b5 | b4 | b3    | b2    | b1    | b0    |
|---------|----|----|----|----|-------|-------|-------|-------|
| シンボル    | -  | -  | -  | -  | VD1S3 | VD1S2 | VD1S1 | VD1S0 |
| リセット後の値 | 0  | 0  | 0  | 0  | 0     | 1     | 1     | 1     |

| ビット | シンボル  | ビット名                          | 機能   | R/W |
|-----|-------|-------------------------------|--|-----|
| b0  | VD1S0 | 電圧検出1レベル選択ビット<br>(電圧下降時の標準電圧) | $b_3\ b_2\ b_1\ b_0$<br>0 0 0 0 : 2.20V (Vdet1_0)<br>0 0 0 1 : 2.35V (Vdet1_1)<br>0 0 1 0 : 2.50V (Vdet1_2)<br>0 0 1 1 : 2.65V (Vdet1_3)<br>0 1 0 0 : 2.80V (Vdet1_4)<br>0 1 0 1 : 2.95V (Vdet1_5)<br>0 1 1 0 : 3.10V (Vdet1_6)<br>0 1 1 1 : 3.25V (Vdet1_7)<br>1 0 0 0 : 3.40V (Vdet1_8)<br>1 0 0 1 : 3.55V (Vdet1_9)<br>1 0 1 0 : 3.70V (Vdet1_A)<br>1 0 1 1 : 3.85V (Vdet1_B)<br>1 1 0 0 : 4.00V (Vdet1_C)<br>1 1 0 1 : 4.15V (Vdet1_D)<br>1 1 1 0 : 4.30V (Vdet1_E)<br>1 1 1 1 : 4.45V (Vdet1_F) | R/W |
| b1  | VD1S1 |                               |  | R/W |
| b2  | VD1S2 |                               |  | R/W |
| b3  | VD1S3 |                               |  | R/W |
| b4  | -     | 予約ビット                         | "0"にしてください   | R/W |
| b5  | -     |                               |  |     |
| b6  | -     |                               |  |     |
| b7  | -     |                               |  |     |

VD1LS レジスタはPRCR レジスタのPRC3 ビットを“1”(書き込み許可)にした後で書き換えてください。

### 6.2.6 電圧監視0回路制御レジスタ(VW0C)

アドレス 0038h 番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0    |
|---------|----|----|----|----|----|----|----|-------|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | VW0C0 |
| リセット後の値 | 1  | 1  | 0  | 0  | X  | 0  | 1  | 0     |

上記はOFSレジスタのLVDASビットが“1”的場合

|         |   |   |   |   |   |   |   |   |
|---------|---|---|---|---|---|---|---|---|
| リセット後の値 | 1 | 1 | 0 | 0 | X | 0 | 1 | 1 |
|---------|---|---|---|---|---|---|---|---|

上記はOFSレジスタのLVDASビットが“0”的場合

| ビット | シンボル  | ビット名               | 機能             | R/W |
|-----|-------|--------------------|----------------|-----|
| b0  | VW0C0 | 電圧監視0リセット許可ビット(注1) | 0: 禁止<br>1: 許可 | R/W |
| b1  | -     | 予約ビット              | “1”にしてください     | R/W |
| b2  | -     | 予約ビット              | “0”にしてください     | R/W |
| b3  | -     | 予約ビット              | 読んだ場合、その値は不定。  | R   |
| b4  | -     | 予約ビット              | “0”にしてください     | R/W |
| b5  | -     |                    |                |     |
| b6  | -     | 予約ビット              | “1”にしてください     | R/W |
| b7  | -     |                    |                |     |

注1. VW0C0ビットはVCA2レジスタのVCA25ビットが“1”(電圧検出0回路有効)のとき有効になります。

VW0C0ビットに書く場合は、リセット後の値を書いてください。

VW0Cレジスタは、PRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

### 6.2.7 電圧監視1回路制御レジスタ(VW1C)

アドレス 0039h番地

| ビット     | b7    | b6 | b5    | b4    | b3    | b2    | b1    | b0    |
|---------|-------|----|-------|-------|-------|-------|-------|-------|
| シンボル    | VW1C7 | -  | VW1F1 | VW1F0 | VW1C3 | VW1C2 | VW1C1 | VW1C0 |
| リセット後の値 | 1     | 0  | 0     | 0     | 1     | 0     | 1     | 0     |

| ビット | シンボル  | ビット名                          | 機能   | R/W |
|-----|-------|-------------------------------|--|-----|
| b0  | VW1C0 | 電圧監視1割り込み許可ビット(注1)            | 0: 禁止<br>1: 許可   | R/W |
| b1  | VW1C1 | 電圧監視1デジタルフィルタ無効モード選択ビット(注2、6) | 0: デジタルフィルタ有効モード<br>(デジタルフィルタ回路有効)<br>1: デジタルフィルタ無効モード<br>(デジタルフィルタ回路無効)                         | R/W |
| b2  | VW1C2 | 電圧変化検出フラグ(注3、4)               | 0: 未検出<br>1: Vdet1通過検出   | R/W |
| b3  | VW1C3 | 電圧検出1信号モニタフラグ(注3)             | 0: VCC < Vdet1<br>1: VCC = Vdet1または電圧検出1回路無効   | R   |
| b4  | VW1F0 | サンプリングクロック選択ビット<br>(注6)       | <sup>b5 b4</sup><br>0 0 : fOCO-Sの1分周<br>0 1 : fOCO-Sの2分周<br>1 0 : fOCO-Sの4分周<br>1 1 : fOCO-Sの8分周 | R/W |
| b5  | VW1F1 |                               |  | R/W |
| b6  | -     | 予約ビット                         | "0"にしてください   | R/W |
| b7  | VW1C7 | 電圧監視1割り込み発生条件選択ビット(注5)        | 0: VCCがVdet1以上になるとき<br>1: VCCがVdet1以下になるとき   | R/W |

注1. VW1C0ビットはVCA2レジスタのVCA26ビットが“1”(電圧検出1回路有効)のとき有効になります。VCA26ビットが“0”(電圧検出1回路無効)のとき、VW1C0ビットを“0”(禁止)にしてください。VW1C0ビットを“1”(許可)にするときは、「表6.2 電圧監視1割り込み関連ビットの設定手順」に従ってください。

注2. デジタルフィルタを使用する場合(VW1C1ビットが“0”)、CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にしてください。

なお、電圧監視1割り込みをストップモードからの復帰に使用する場合は、VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にしてください。

注3. VW1C2ビットおよびVW1C3ビットはVCA2レジスタのVCA26ビットが“1”(電圧検出1回路有効)のとき有効になります。

注4. プログラムで“0”にしてください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。

注5. VW1C7ビットはVCACレジスタのVCAC1ビットが“0”(片エッジ)のとき有効になります。VCAC1ビットを“0”にした後、VW1C7ビットを設定してください。

注6. VW1C0ビットが“1”(許可)のとき、VW1C1ビットとVW1F1～VW1F0ビットを同時に(1命令で)設定しないでください。

VW1CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

VW1Cレジスタを書き換えると、VW1C2ビットが“1”になる場合があります。VW1Cレジスタを書き換え後、VW1C2ビットを“0”にしてください。

### 6.2.8 電圧監視2回路制御レジスタ(VW2C)

アドレス 003Ah番地

| ビット     | b7    | b6 | b5    | b4    | b3    | b2    | b1    | b0    |
|---------|-------|----|-------|-------|-------|-------|-------|-------|
| シンボル    | VW2C7 | -  | VW2F1 | VW2F0 | VW2C3 | VW2C2 | VW2C1 | VW2C0 |
| リセット後の値 | 1     | 0  | 0     | 0     | 0     | 0     | 1     | 0     |

| ビット | シンボル  | ビット名                          | 機能   | R/W |
|-----|-------|-------------------------------|--|-----|
| b0  | VW2C0 | 電圧監視2割り込み許可ビット(注1)            | 0: 禁止<br>1: 許可   | R/W |
| b1  | VW2C1 | 電圧監視2デジタルフィルタ無効モード選択ビット(注2、6) | 0: デジタルフィルタ有効モード<br>(デジタルフィルタ回路有効)<br>1: デジタルフィルタ無効モード<br>(デジタルフィルタ回路無効)                         | R/W |
| b2  | VW2C2 | 電圧変化検出フラグ(注3、4)               | 0: 未検出<br>1: Vdet2通過検出   | R/W |
| b3  | VW2C3 | WDT検出フラグ(注4)                  | 0: 未検出<br>1: 検出  | R/W |
| b4  | VW2F0 | サンプリングクロック選択ビット<br>(注6)       | <sup>b5 b4</sup><br>0 0 : fOCO-Sの1分周<br>0 1 : fOCO-Sの2分周<br>1 0 : fOCO-Sの4分周<br>1 1 : fOCO-Sの8分周 | R/W |
| b5  | VW2F1 |                               |  | R/W |
| b6  | -     | 予約ビット                         | "0"にしてください   | R/W |
| b7  | VW2C7 | 電圧監視2割り込み発生条件選択ビット(注5)        | 0: VCCがVdet2以上になるとき<br>1: VCCがVdet2以下になるとき   | R/W |

注1. VW2C0ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効になります。VCA27ビットが“0”(電圧検出2回路無効)のとき、VW2C0ビットを“0”(禁止)にしてください。VW2C0ビットを“1”(許可)にするときは、「表 6.3 電圧監視2割り込み関連ビットの設定手順」に従ってください。

注2. デジタルフィルタを使用する場合(VW2C1ビットが“0”)、CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にしてください。

なお、電圧監視2割り込みをストップモードからの復帰に使用する場合は、VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にしてください。

注3. VW2C2ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効になります。

注4. プログラムで“0”にしてください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。

注5. VW2C7ビットはVCACレジスタのVCAC2ビットが“0”(片エッジ)のとき有効になります。VCAC2ビットを“0”にした後、VW2C7ビットを設定してください。

注6. VW2C0ビットが“1”(許可)のとき、VW2C1ビットとVW2F1～VW2F0ビットを同時に(1命令で)設定しないでください。

VW2CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

VW2Cレジスタを書き換えると、VW2C2ビットが“1”になる場合があります。VW2Cレジスタを書き換え後、VW2C2ビットを“0”にしてください。

### 6.2.9 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

| ビット     | b7          | b6    | b5     | b4     | b3     | b2    | b1 | b0    |
|---------|-------------|-------|--------|--------|--------|-------|----|-------|
| シンボル    | CSPROINI    | LVDAS | VDSEL1 | VDSEL0 | ROMCP1 | ROMCR | -  | WDTON |
| リセット後の値 | ユーザの設定値(注1) |       |        |        |        |       |    |       |

| ビット | シンボル     | ビット名                   | 機能   | R/W |
|-----|----------|------------------------|--|-----|
| b0  | WDTON    | ウォッチドッグタイマ起動選択ビット      | 0 : リセット後、ウォッチドッグタイマは自動的に起動<br>1 : リセット後、ウォッチドッグタイマは停止状態   | R/W |
| b1  | -        | 予約ビット                  | “1”にしてください   | R/W |
| b2  | ROMCR    | ROMコードプロテクト解除ビット       | 0 : ROMコードプロテクト解除<br>1 : ROMCP1ビット有効   | R/W |
| b3  | ROMCP1   | ROMコードプロテクトビット         | 0 : ROMコードプロテクト有効<br>1 : ROMコードプロテクト解除   | R/W |
| b4  | VDSEL0   | 電圧検出0レベル選択ビット(注2)      | <sup>b5 b4</sup><br>0 0 : 3.80Vを選択 (Vdet0_3)<br>0 1 : 2.85Vを選択 (Vdet0_2)<br>1 0 : 2.35Vを選択 (Vdet0_1)<br>1 1 : 1.90Vを選択 (Vdet0_0) | R/W |
| b5  | VDSEL1   |                        |  | R/W |
| b6  | LVDAS    | 電圧検出0回路起動ビット(注3)       | 0 : リセット後、電圧監視0リセット有効<br>1 : リセット後、電圧監視0リセット無効   | R/W |
| b7  | CSPROINI | リセット後カウントソース保護モード選択ビット | 0 : リセット後、カウントソース保護モード有効<br>1 : リセット後、カウントソース保護モード無効   | R/W |

注1. OFS レジスタはフラッシュメモリ上にあり、SFR ではありません。ROM データとして、プログラムで適切な値を設定してください。

OFS レジスタに追加書き込みをしないでください。OFS レジスタを含むブロックを消去すると、OFS レジスタは “FFh” になります。

プランク出荷品の出荷時、OFS レジスタは “FFh” です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFS レジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0 ~ VDSEL1 ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDAS ビットを “0” (リセット後、電圧監視0リセット有効)にしてください。

OFS レジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

#### LVDAS ビット(電圧検出0回路起動ビット)

電圧検出0回路で監視する Vdet0 電圧は、VDSEL0 ~ VDSEL1 ビットで選択されます。

### 6.3 VCC 入力電圧のモニタ

#### 6.3.1 Vdet0 のモニタ

Vdet0 のモニタはできません。

#### 6.3.2 Vdet1 のモニタ

次の設定をした後、td(E-A) (「32. 電気的特性」参照) 経過後、VW1C レジスタの VW1C3 ビットで電圧監視 1 の比較結果をモニタできます。

- (1) VD1LS レジスタの VD1S3 ~ VD1S0 ビット(電圧検出 1 検出電圧)を設定する
- (2) VCA2 レジスタの VCA26 ビットを “1”(電圧検出 1 回路有効)にする

#### 6.3.3 Vdet2 のモニタ

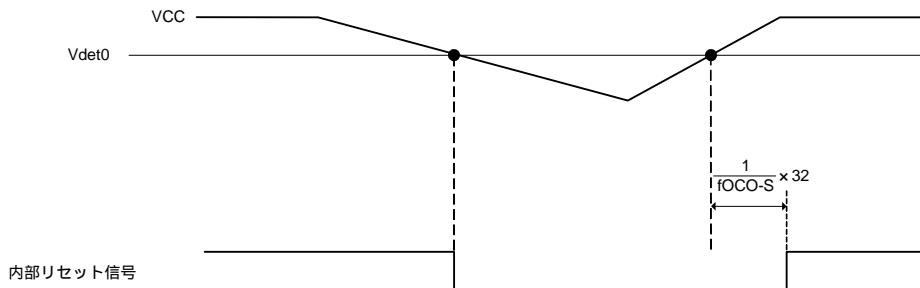
次の設定をした後、td(E-A) (「32. 電気的特性」参照) 経過後、VCA1 レジスタの VCA13 ビットで電圧監視 2 の比較結果をモニタできます。

- VCA2 レジスタの VCA27 ビットを “1”(電圧検出 2 回路有効)にする

## 6.4 電圧監視リセット

電圧監視リセットを使用する場合は、OFS レジスタのLVDAS ビットを“0”(リセット後、電圧監視リセット有効)にしてください。

図 6.5 に電圧監視リセット動作例を示します。



内部リセット信号が“L”になると端子、CPU、SFRが初期化されます。  
内部リセット信号が“H”になると、リセットベクタで示される番地からプログラムを実行します。  
リセット後のSFRの状態は「4. SFR」を参照してください。

図 6.5 電圧監視リセット動作例

## 6.5 電圧監視1割り込み

表 6.2に電圧監視1割り込み関連ビットの設定手順を、図 6.6に電圧監視1割り込み動作例を示します。

なお、電圧監視1割り込みをストップモードからの復帰に使用する場合は、VW1C レジスタのVW1C1 ビットを“1”(デジタルフィルタ無効)にしてください。

表 6.2 電圧監視1割り込み関連ビットの設定手順

| 手順     | デジタルフィルタを使用する場合  | デジタルフィルタを使用しない場合                       |
|--------|--|--|
| 1      | VD1LS レジスタのVD1S3 ~ VD1S0 ビットで電圧検出1検出電圧を選択する                |  |
| 2      | VCA2 レジスタのVCA26 ビットを“1”(電圧検出1回路有効)にする                      |  |
| 3      | td(E-A)待つ  |  |
| 4      | CMPA レジスタのCOMPSEL ビットを“1”にする                               |  |
| 5(注1)  | CMPA レジスタのIRQ1SEL ビットで割り込みの種類を選択する                         |  |
| 6      | VW1C レジスタのVW1F1 ~ VW1F0 ビットでデジタルフィルタのサンプリングクロックを選択する       | VW1C レジスタのVW1C1 ビットを“1”(デジタルフィルタ無効)にする |
| 7(注2)  | VW1C レジスタのVW1C1 ビットを“0”(デジタルフィルタ有効)にする                     |  |
| 8      | VCAC レジスタのVCAC1 ビットと、VW1C レジスタのVW1C7 ビットで割り込み要求のタイミングを選択する |  |
| 9      | VW1C レジスタのVW1C2 ビットを“0”にする                                 |  |
| 10     | CM1 レジスタのCM14 ビットを“0”(低速オンチップオシレータ発振)にする                   |  |
| 11     | デジタルフィルタのサンプリングクロック × 2 サイクル待つ                             | (待ち時間なし)                               |
| 12(注3) | VW1C レジスタのVW1C0 ビットを“1”(電圧監視1割り込み許可)にする                    |  |

注1. VW1C0 ビットが“0”的とき、手順4と5は同時に(1命令で)実行可能です。

注2. VW1C0 ビットが“0”的とき、手順6と7は同時に(1命令で)実行可能です。

注3. 電圧監視1割り込みが無効(VW1C レジスタのVW1C0 ビットが“0”、VCA2 レジスタのVCA26 ビットが“0”)の状態から設定するとき、手順12の電圧監視1割り込みを許可するまでにVcc < Vdet1 (またはVcc > Vdet1)を検出した場合は、割り込みは発生しません。手順10から手順12の間にVcc < Vdet1 (またはVcc > Vdet1)を検出した場合は、VW1C2 ビットが“1”になります。手順12のあとVW1C2 ビットを読み、“1”的場合は検出したときに実行する処理を実施してください。

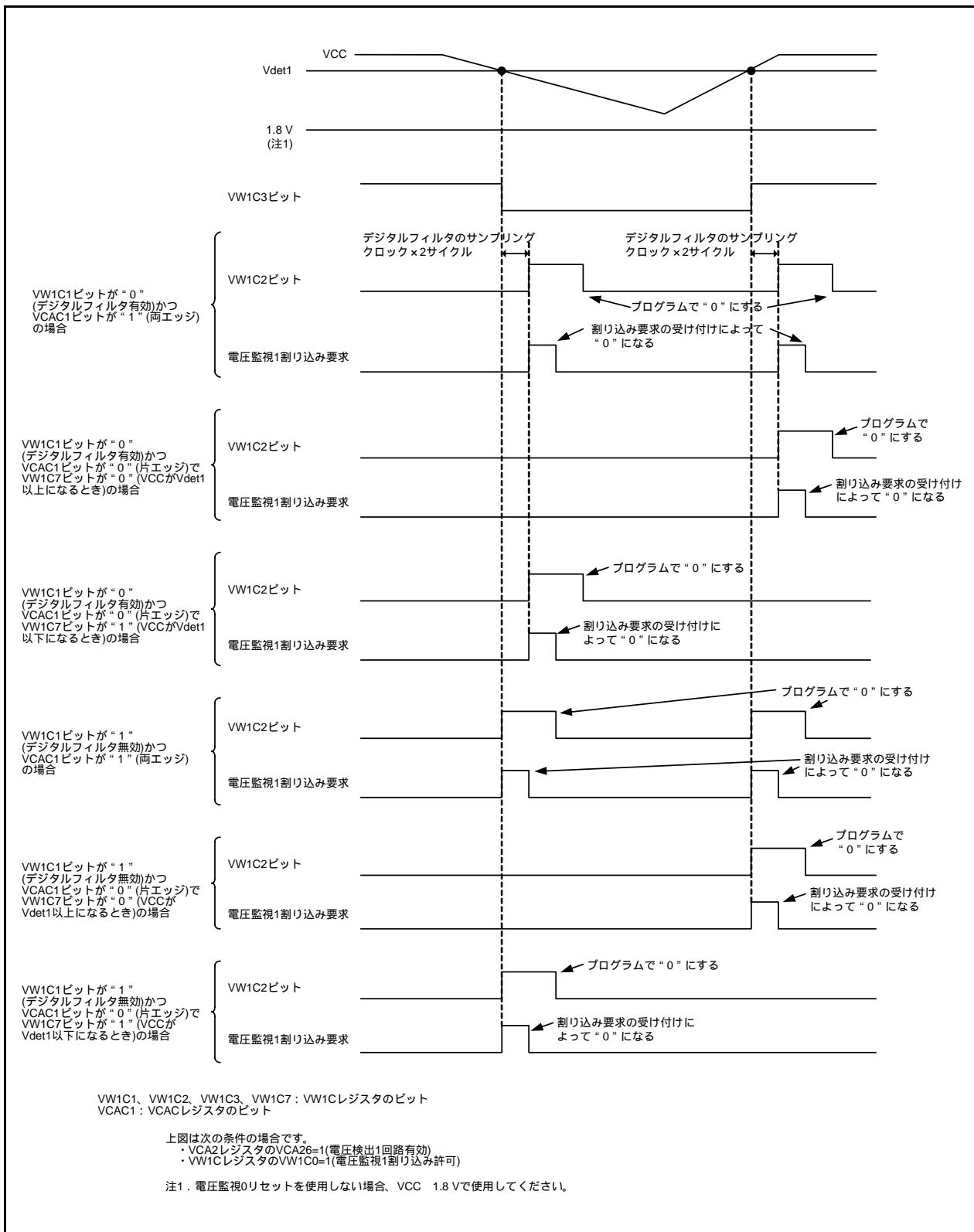


図 6.6 電圧監視1割り込み動作例

## 6.6 電圧監視2割り込み

表 6.3に電圧監視2割り込み関連ビットの設定手順を、図 6.7に電圧監視2割り込み動作例を示します。

なお、電圧監視2割り込みをストップモードからの復帰に使用する場合は、VW2C レジスタのVW2C1 ビットを“1”(デジタルフィルタ無効)にしてください。

表 6.3 電圧監視2割り込み関連ビットの設定手順

| 手順     | デジタルフィルタを使用する場合  | デジタルフィルタを使用しない場合                       |
|--------|--|--|
| 1      | VCA2 レジスタのVCA27 ビットを“1”(電圧検出2回路有効)にする                      |  |
| 2      | td(E-A)待つ  |  |
| 3      | CMPA レジスタのCOMPSEL ビットを“1”にする                               |  |
| 4(注1)  | CMPA レジスタのIRQ2SEL ビットで割り込みの種類を選択する                         |  |
| 5      | VW2C レジスタのVW2F1 ~ VW2F0 ビットでデジタルフィルタのサンプリングクロックを選択する       | VW2C レジスタのVW2C1 ビットを“1”(デジタルフィルタ無効)にする |
| 6(注2)  | VW2C レジスタのVW2C1 ビットを“0”(デジタルフィルタ有効)にする                     |  |
| 7      | VCAC レジスタのVCAC2 ビットと、VW2C レジスタのVW2C7 ビットで割り込み要求のタイミングを選択する |  |
| 8      | VW2C レジスタのVW2C2 ビットを“0”にする                                 |  |
| 9      | CM1 レジスタのCM14 ビットを“0”(低速オンチップオシレータ発振)にする                   |  |
| 10     | デジタルフィルタのサンプリングクロック × 2 サイクル待つ                             | (待ち時間なし)                               |
| 11(注3) | VW2C レジスタのVW2C0 ビットを“1”(電圧監視2割り込み許可)にする                    |  |

注1. VW2C0 ビットが“0”的とき、手順3と4は同時に(1命令で)実行可能です。

注2. VW2C0 ビットが“0”的とき、手順5と6は同時に(1命令で)実行可能です。

注3. 電圧監視2割り込みが無効(VW2C レジスタのVW2C0 ビットが“0”、VCA2 レジスタのVCA27 ビットが“0”)の状態から設定するとき、手順11の電圧監視2割り込みを許可するまでに  $V_{cc} < V_{det2}$  (または  $V_{cc} > V_{det2}$ ) を検出した場合は、割り込みは発生しません。手順9から手順11の間に  $V_{cc} < V_{det2}$  (または  $V_{cc} > V_{det2}$ ) を検出した場合は、VW2C2 ビットが“1”になります。手順11のあと VW2C2 ビットを読み、“1”的場合は検出したときに実行する処理を実施してください。

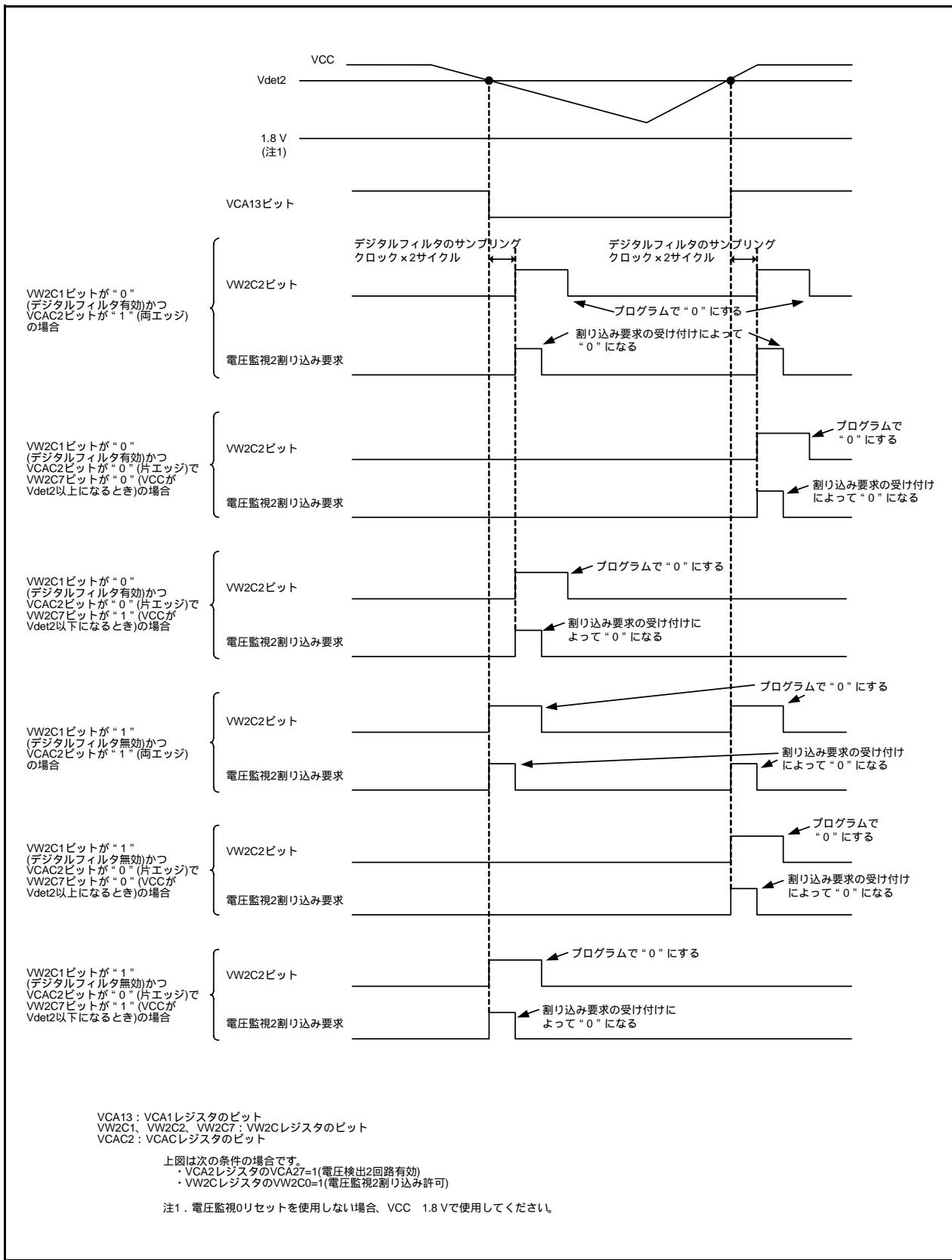


図 6.7 電圧監視2割り込み動作例

## 7. I/O ポート

I/O ポートは、P0、P1、P2\_0 ~ P2\_2、P3\_1、P3\_3 ~ P3\_5、P3\_7、P4\_5 ~ P4\_7 の27本あります(P4\_6、P4\_7 はXINクロック発生回路およびXCINクロック発生回路を使用しない場合、I/O ポートとして使用できます)。

また、A/D コンバータおよびD/A コンバータを使用しない場合、P4\_2 を入力専用ポートとして使用できます。

表7.1にI/O ポートの概要を示します。

表7.1 I/O ポートの概要

| ポート名                       | 入出力 | 出力形式          | 入出力設定         | 内部プルアップ<br>抵抗     | 駆動能力<br>切り替え      | 入力レベル<br>切り替え     |
|----------------------------|-----|---------------|---------------|-------------------|-------------------|-------------------|
| P0                         | 入出力 | CMOS3<br>ステート | 1ビット単位で<br>設定 | 4ビット単位で<br>設定(注1) | 4ビット単位で<br>設定(注3) | 8ビット単位で<br>設定(注4) |
| P1                         | 入出力 | CMOS3<br>ステート | 1ビット単位で<br>設定 | 4ビット単位で<br>設定(注1) | 1ビット単位で<br>設定(注2) | 8ビット単位で<br>設定(注4) |
| P2_0 ~ P2_2                | 入出力 | CMOS3<br>ステート | 1ビット単位で<br>設定 | 3ビット単位で<br>設定(注1) | 1ビット単位で<br>設定(注2) | 3ビット単位で<br>設定(注4) |
| P3_1、P3_3                  | 入出力 | CMOS3<br>ステート | 1ビット単位で<br>設定 | 2ビット単位で<br>設定(注1) | 2ビット単位で<br>設定(注3) | 5ビット単位で<br>設定(注4) |
| P3_4、P3_5、P3_7             | 入出力 | CMOS3<br>ステート | 1ビット単位で<br>設定 | 3ビット単位で<br>設定(注1) | 3ビット単位で<br>設定(注3) |                   |
| P4_5、P4_6(注5)、<br>P4_7(注5) | 入出力 | CMOS3<br>ステート | 1ビット単位で<br>設定 | 3ビット単位で<br>設定(注1) | 3ビット単位で<br>設定(注3) | 4ビット単位で<br>設定(注4) |
| P4_2(注6)                   | 入力  | (出力機<br>能なし)  | なし            | なし                | なし                |                   |

注1. 入力モード時、PUR0 レジスタおよびPUR1 レジスタで内部プルアップ抵抗を接続するか、しないかを選択できます。

注2. P1DRR レジスタおよびP2DRR レジスタで出力トランジスタの駆動能力を Low にするか、High にするかを選択できます。

注3. DRR0 レジスタおよびDRR1 レジスタで出力トランジスタの駆動能力を Low にするか、High にするかを選択できます。

注4. VLT0 レジスタおよびVLT1 レジスタで入力のしきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

注5. XINクロック発振回路およびXCINクロック発振回路を使用しない場合、I/O ポートとして使用できます。

注6. A/D コンバータおよびD/A コンバータを使用しない場合、入力専用ポートとして使用できます。

### 7.1 I/O ポートの機能

ポートP0、P1、P2\_0 ~ P2\_2、P3\_1、P3\_3 ~ P3\_5、P3\_7、P4\_5 ~ P4\_7 の入出力はPDi (i=0 ~ 4) レジスタの PDi\_j (j=0 ~ 7) ビットで制御します。Pi レジスタは出力データを保持するポートラッチと、端子の状態を読む回路で構成されています。

図7.1 ~ 図7.10にI/O ポートの構成を、表7.2にI/O ポートの機能を示します。

表7.2 I/O ポートの機能

| Pi レジスタをアクセス<br>時の動作 | PDi レジスタのPDi_j ビットの値(注1) |                                   |
|----------------------|--------------------------|-----------------------------------|
|                      | “0”(入力モード)のとき            | “1”(出力モード)のとき                     |
| 読み出し                 | 端子の入力レベルを読む              | ポートラッチを読む                         |
| 書き込み                 | ポートラッチに書く                | ポートラッチに書く。ポートラッチに書いた値は、端子から出力される。 |

i=0 ~ 4、j=0 ~ 7

注1. PD4\_0 ~ PD4\_2 ビットには何も配置されていません。

## 7.2 周辺機能への影響

I/O ポートは、周辺機能の入出力として機能する場合があります(「表 1.4 ピン番号別端子名一覧」参照)。

表 7.3 に周辺機能の入出力として機能する場合の PDi\_j ビットの設定( $i=0 \sim 4, j=0 \sim 7$ )を示します。周辺機能の設定方法は、各機能説明を参照してください。

表 7.3 周辺機能の入出力として機能する場合の PDi\_j ビットの設定( $i=0 \sim 4, j=0 \sim 7$ )

| 周辺機能の入出力 | 端子を共用しているポートの PDi_j ビットの設定      |
|----------|---------------------------------|
| 入力       | “0”(入力モード)に設定してください             |
| 出力       | “0”でも“1”でも良い(ポートの設定に関係なく、出力になる) |

## 7.3 I/O ポート以外の端子

図 7.11 に端子の構成を示します。

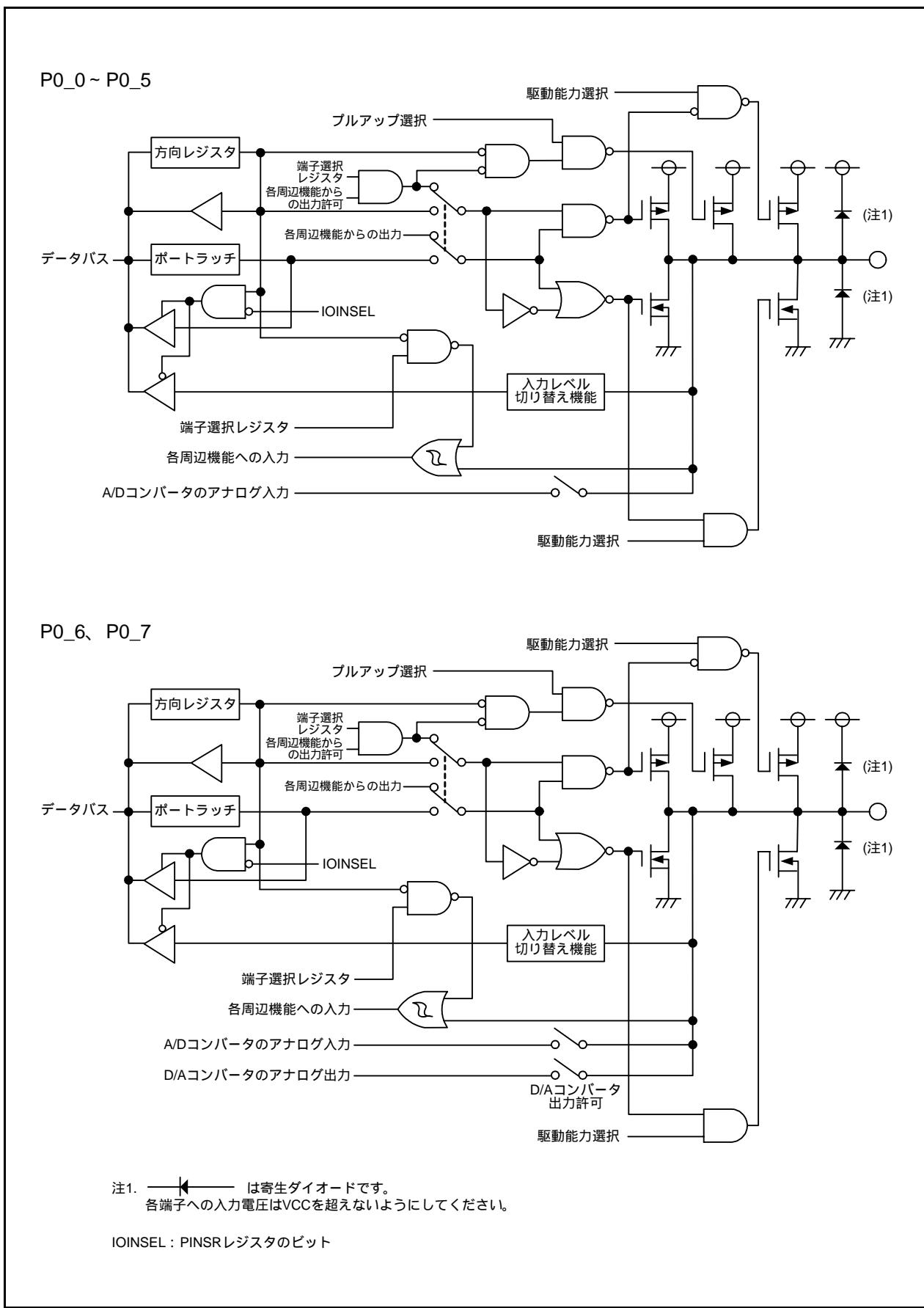


図7.1 I/Oポートの構成(1)

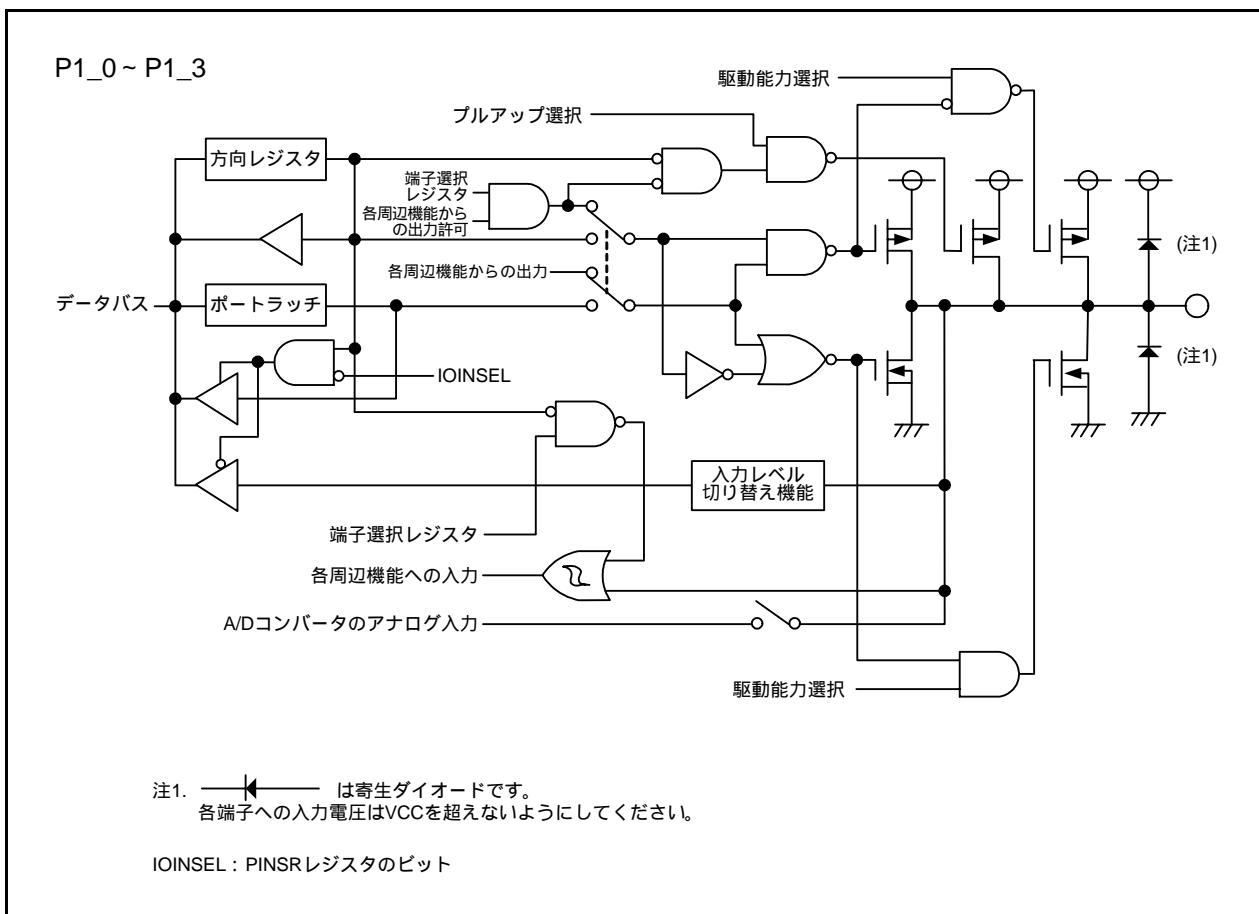


図 7.2 I/O ポートの構成(2)

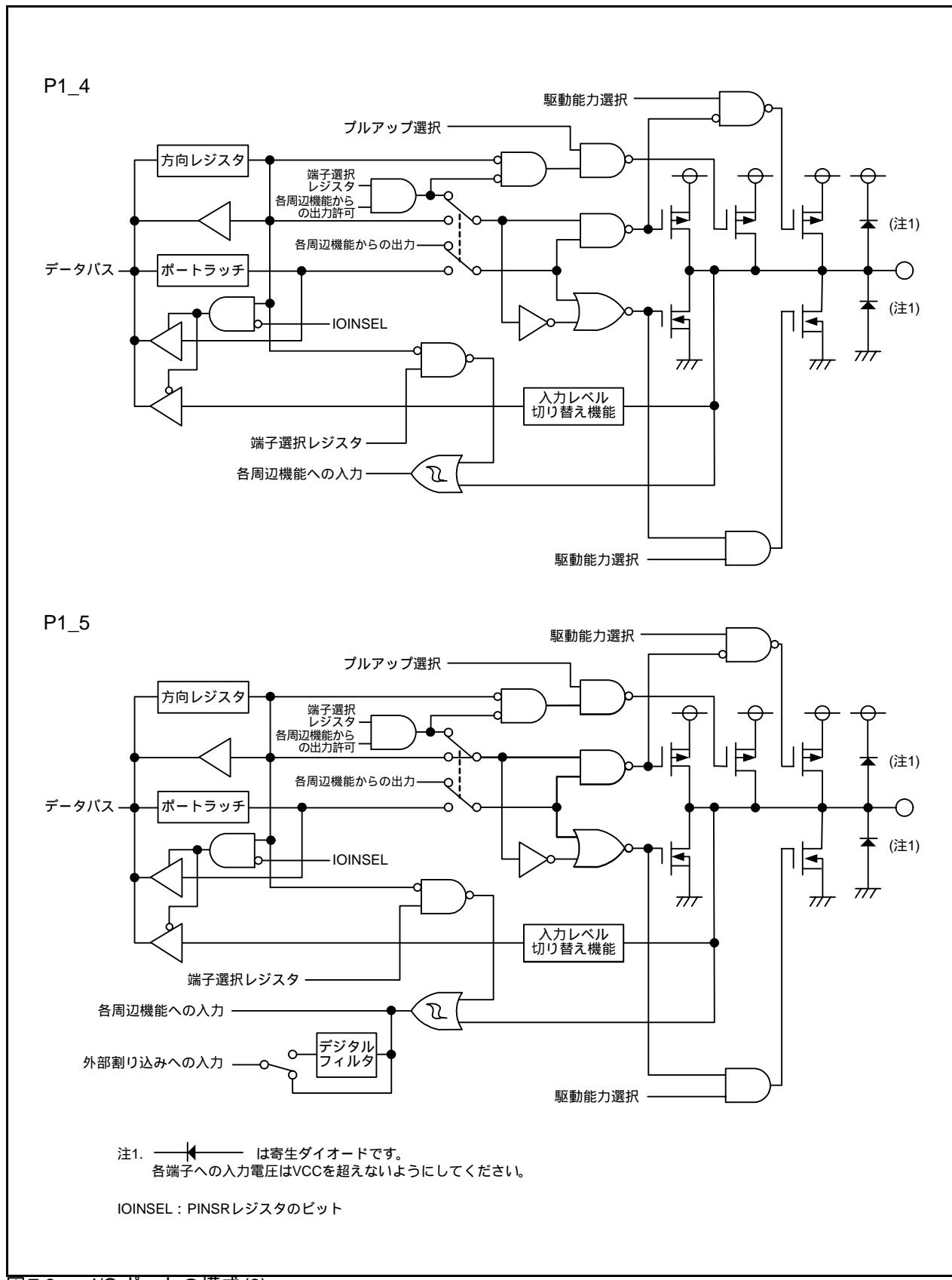


図7.3 I/Oポートの構成(3)

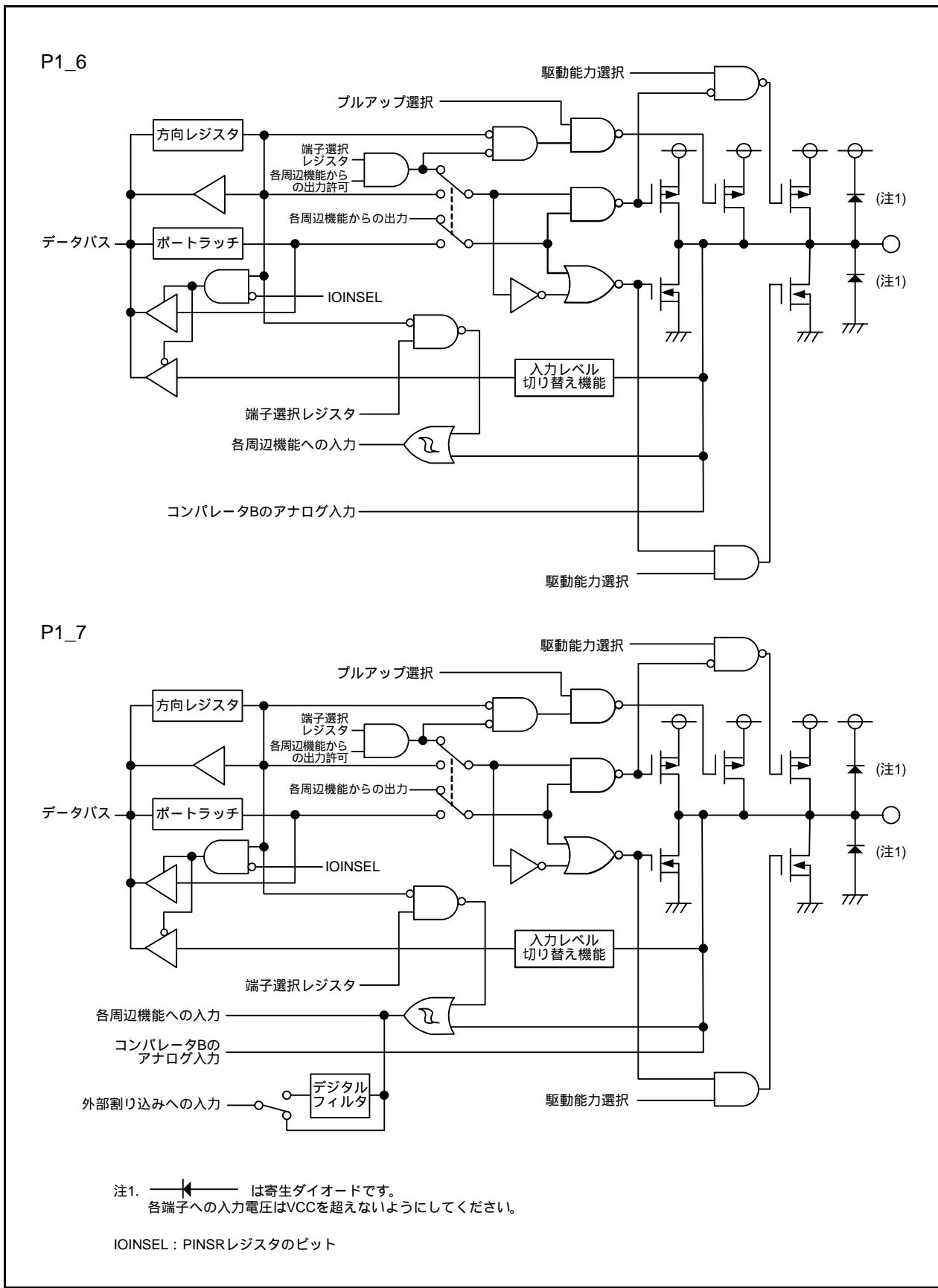
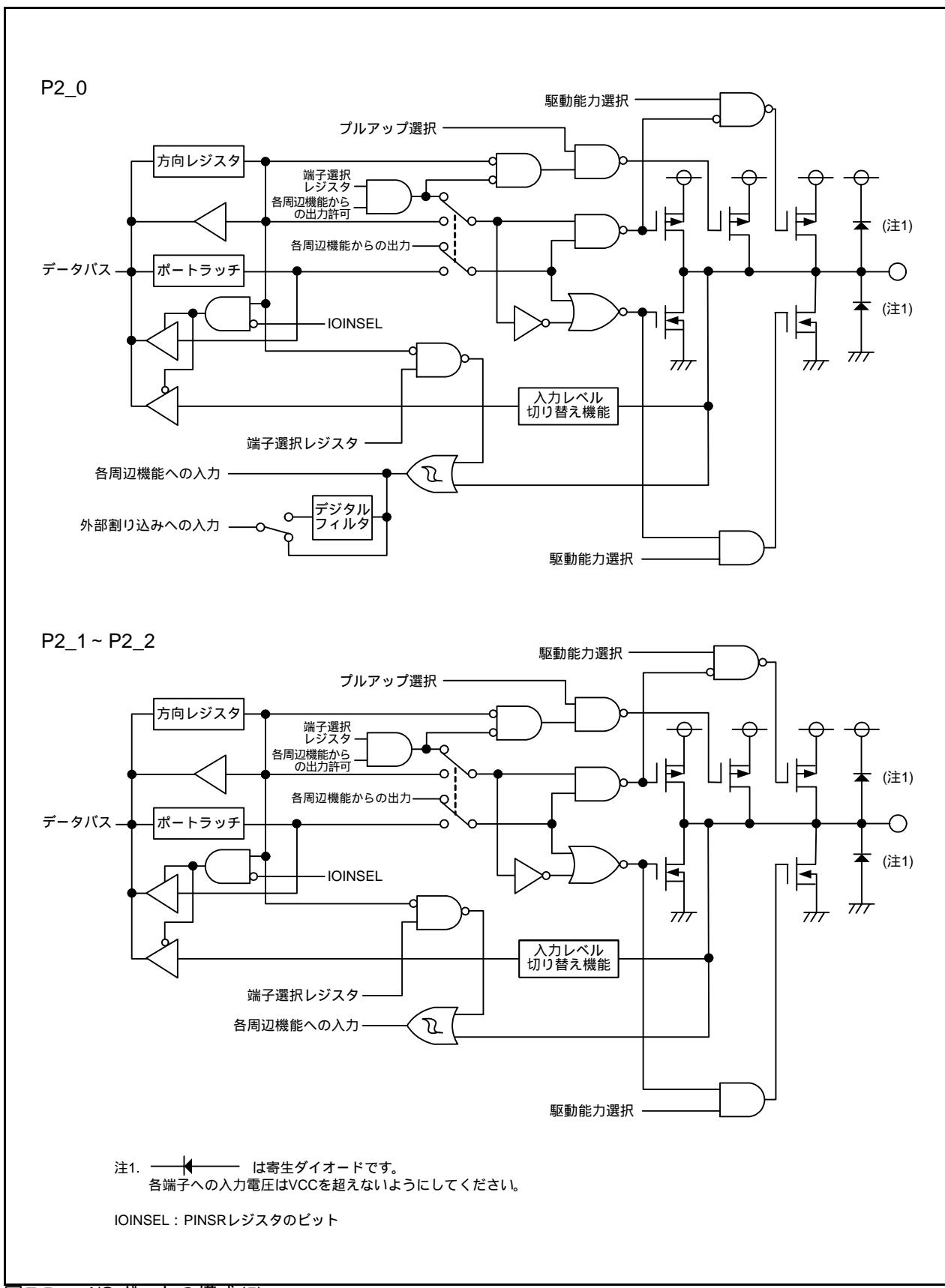


図7.4 I/Oポートの構成(4)



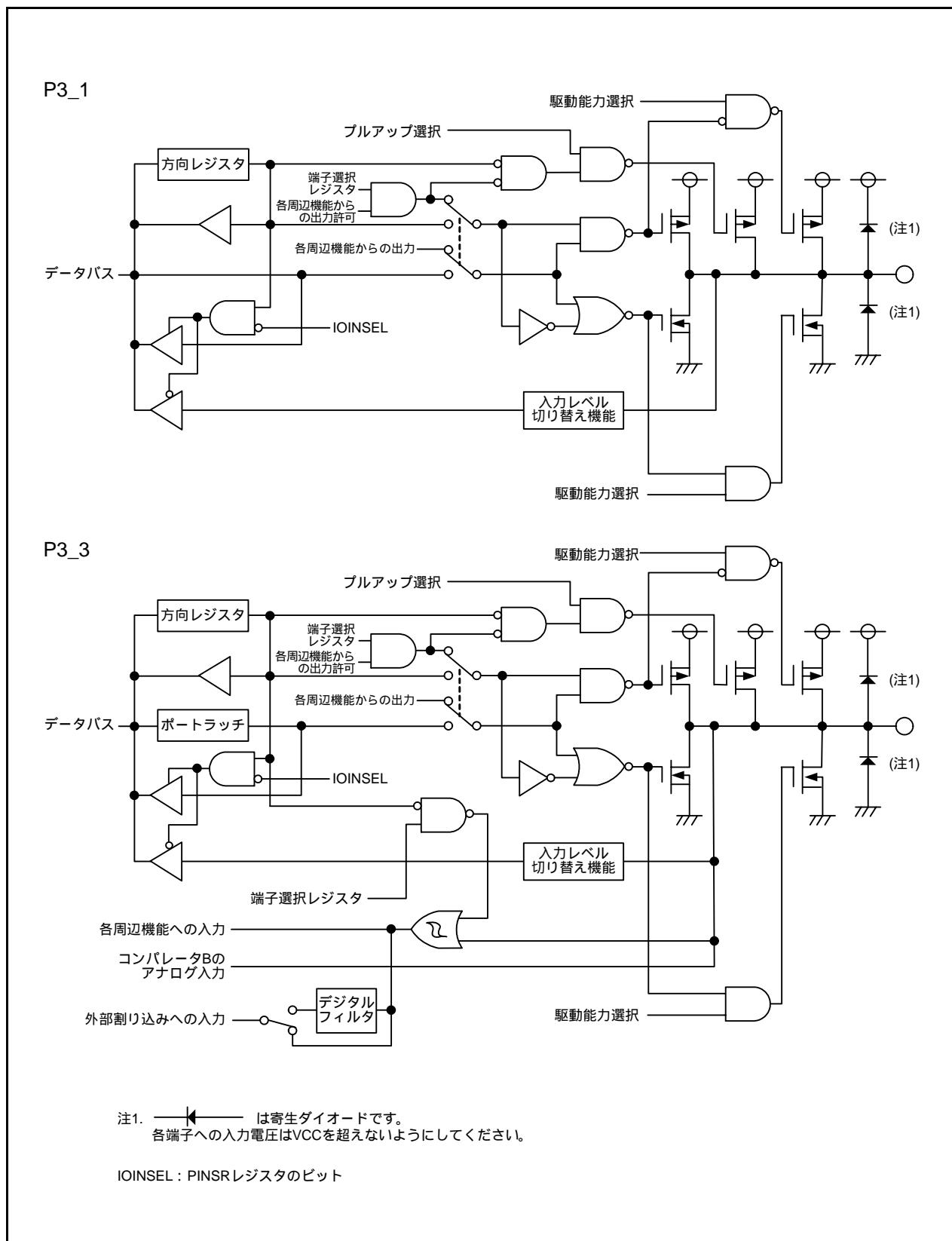


図 7.6 I/O ポートの構成(6)

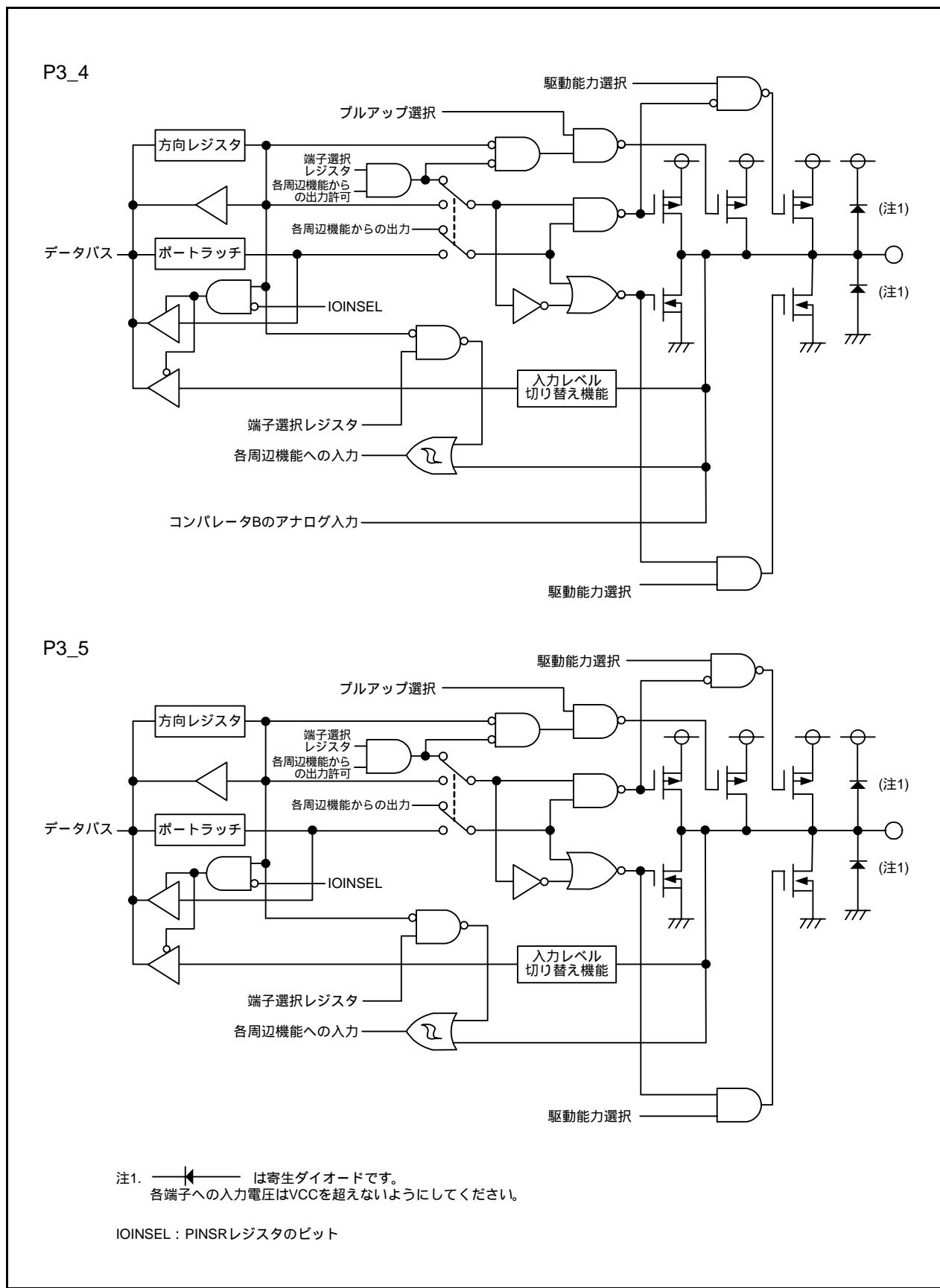


図 7.7 I/O ポートの構成(7)

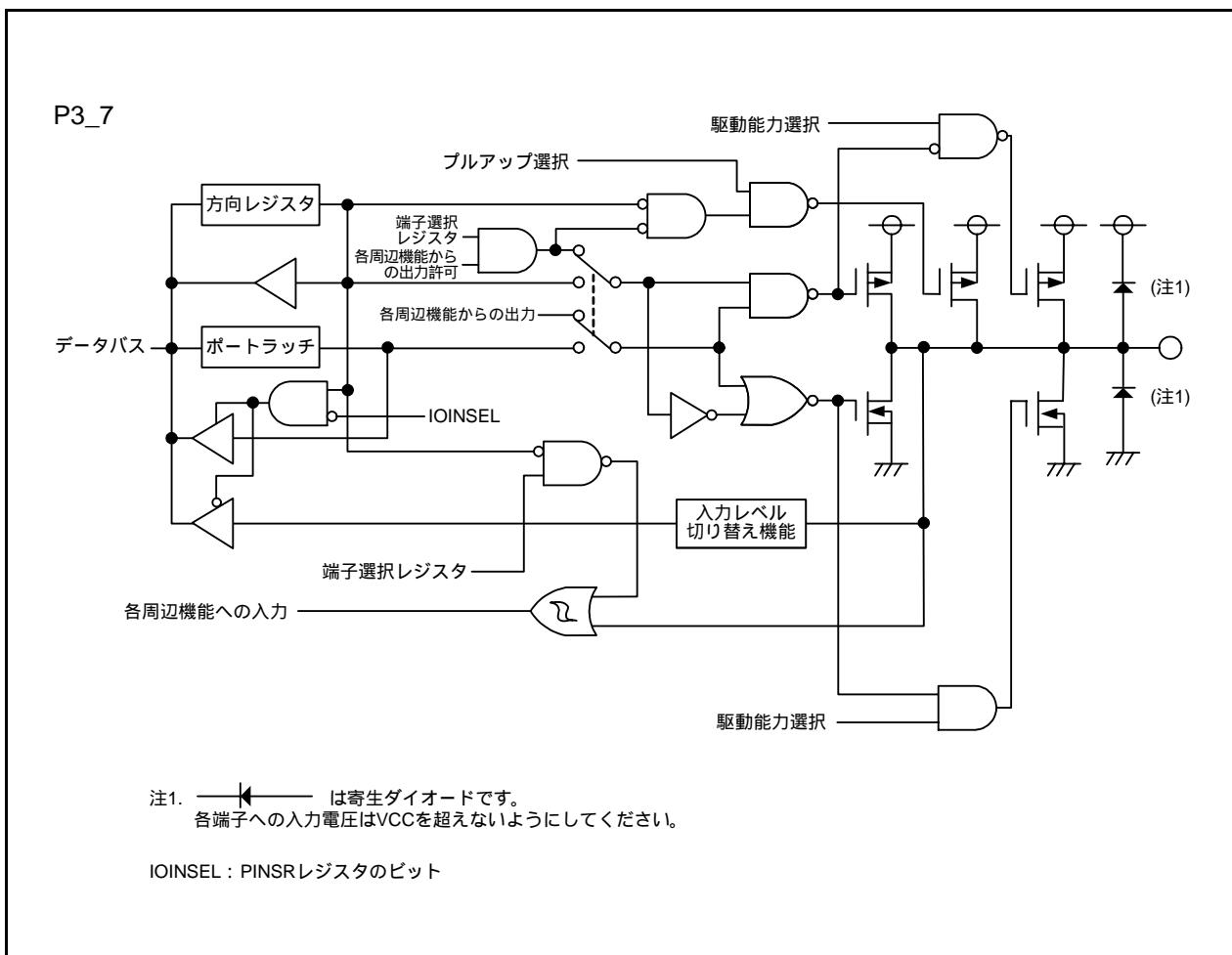


図7.8 I/Oポートの構成(8)

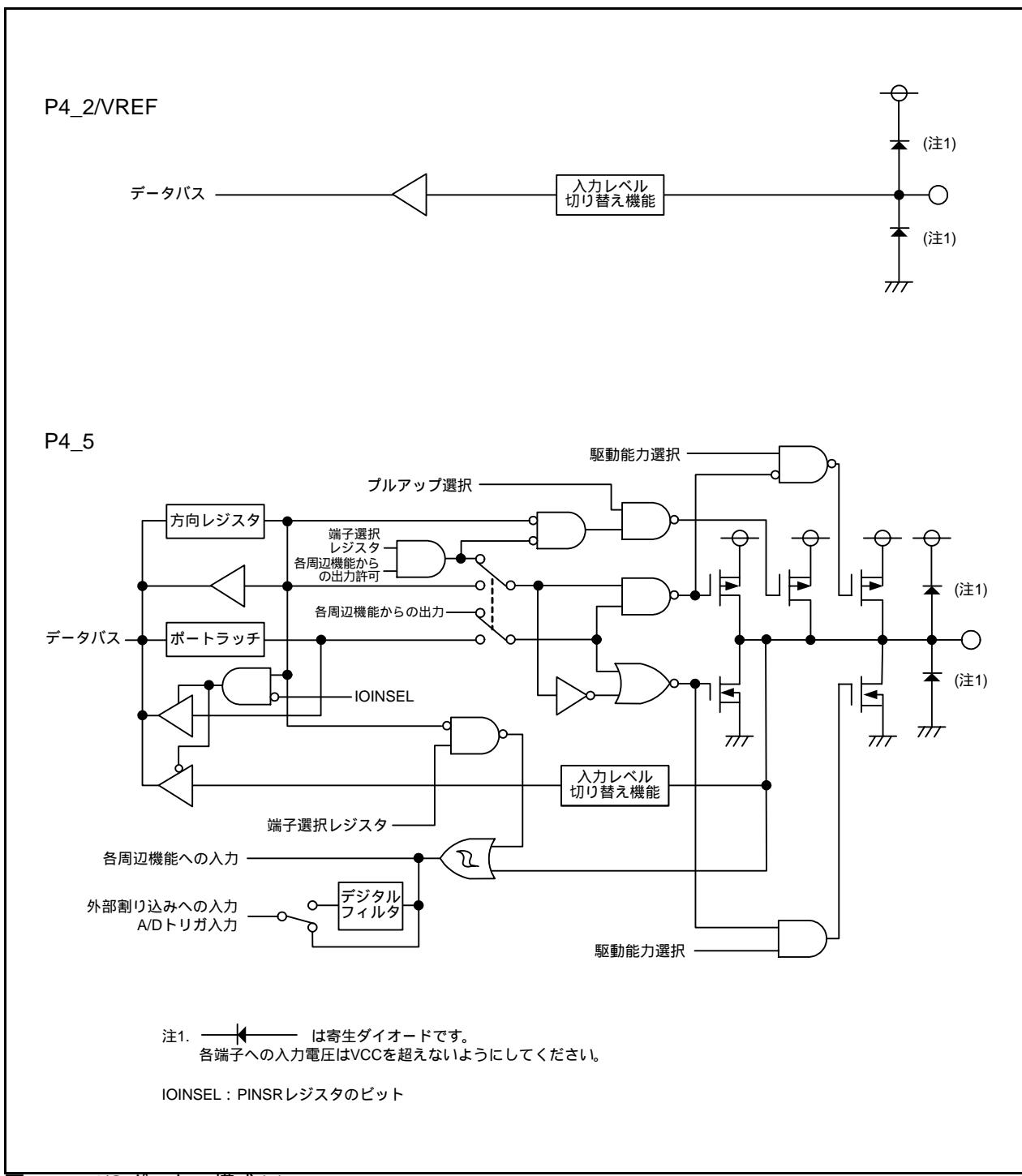


図 7.9 I/O ポートの構成(9)

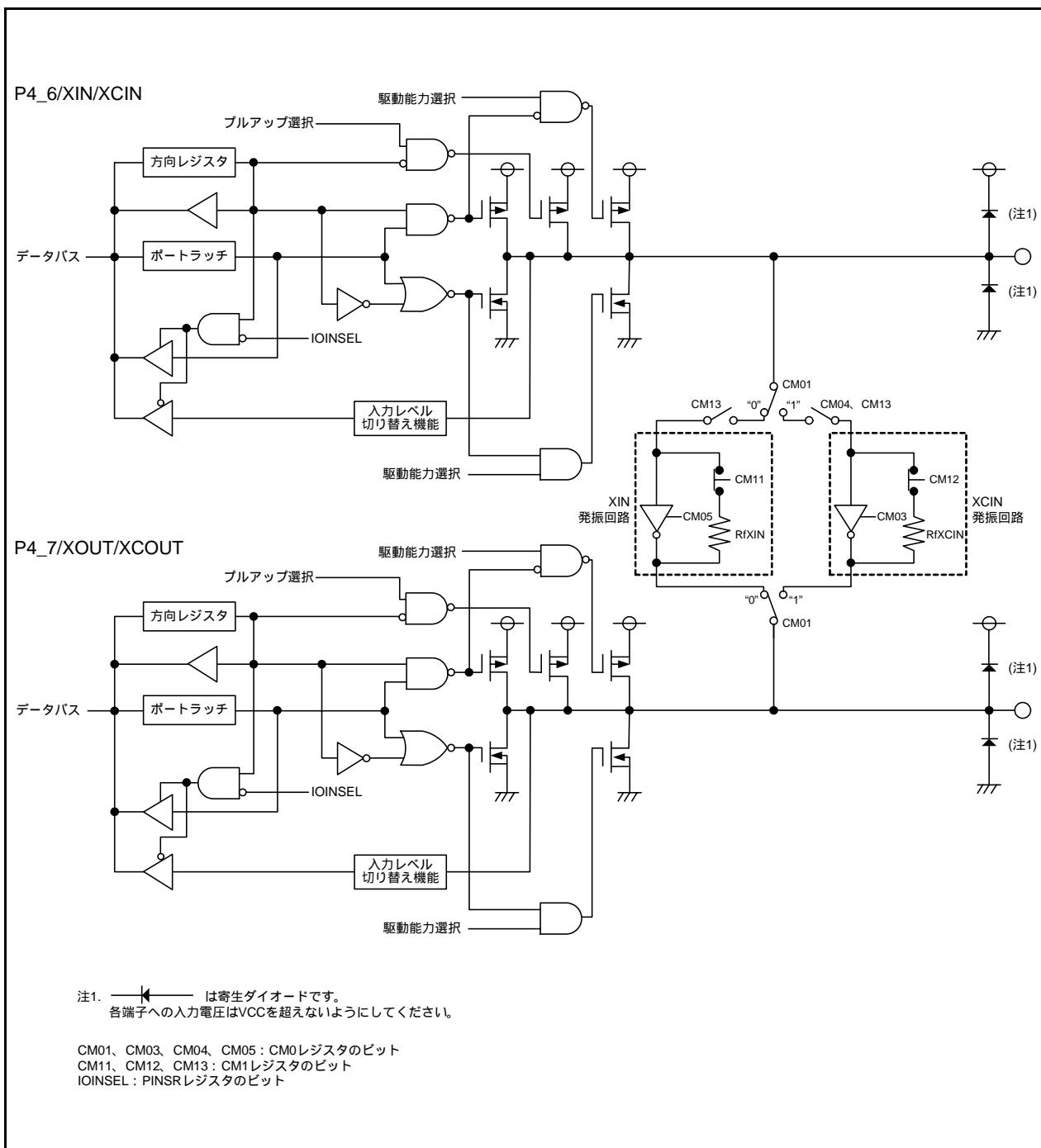


図7.10 I/Oポートの構成(10)

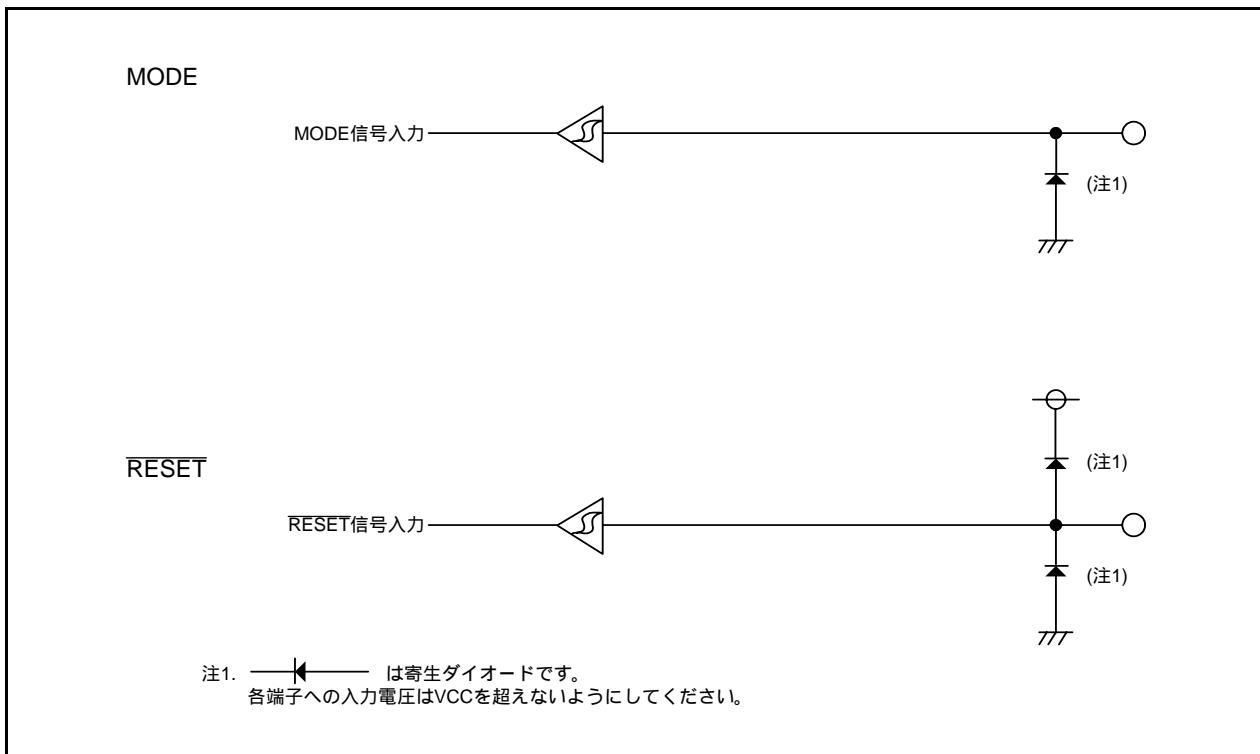


図7.11 端子の構成

## 7.4 レジスタの説明

### 7.4.1 ポートPi方向レジスタ(PDi)(i=0 ~ 4)

アドレス 00E2h番地(PD0(注1))、00E3h番地(PD1)、00E6h番地(PD2(注2))、00E7h番地(PD3(注3))、  
00EAh番地(PD4(注4))

| ビット     | b7    | b6    | b5    | b4    | b3    | b2    | b1    | b0    |
|---------|-------|-------|-------|-------|-------|-------|-------|-------|
| シンボル    | PDi_7 | PDi_6 | PDi_5 | PDi_4 | PDi_3 | PDi_2 | PDi_1 | PDi_0 |
| リセット後の値 | 0     | 0     | 0     | 0     | 0     | 0     | 0     | 0     |

| ビット | シンボル  | ビット名         | 機能   | R/W |
|-----|-------|--------------|--|-----|
| b0  | PDi_0 | ポートPi_0方向ビット | 0 : 入力モード(入力ポートとして機能)<br>1 : 出力モード(出力ポートとして機能) | R/W |
| b1  | PDi_1 | ポートPi_1方向ビット |  | R/W |
| b2  | PDi_2 | ポートPi_2方向ビット |  | R/W |
| b3  | PDi_3 | ポートPi_3方向ビット |  | R/W |
| b4  | PDi_4 | ポートPi_4方向ビット |  | R/W |
| b5  | PDi_5 | ポートPi_5方向ビット |  | R/W |
| b6  | PDi_6 | ポートPi_6方向ビット |  | R/W |
| b7  | PDi_7 | ポートPi_7方向ビット |  | R/W |

- 注1. PD0 レジスタは、PRCR レジスタのPRC2 ビットを“1”(書き込み許可)にした次の命令で書いてください。
- 注2. PD2 レジスタのPD2\_3 ~ PD2\_7 ビットは予約ビットです。PD2\_3 ~ PD2\_7 ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。
- 注3. PD3 レジスタのPD3\_0 ビット、PD3\_2 ビット、PD3\_6 ビットは予約ビットです。PD3\_0 ビット、PD3\_2 ビット、PD3\_6 ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。
- 注4. PD4 レジスタのPD4\_0 ~ PD4\_2 ビットは何も配置されていません。PD4\_0 ~ PD4\_2 ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。  
PD4\_3 ビット、PD4\_4 ビットは予約ビットです。PD4\_3 ビット、PD4\_4 ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。

PDi レジスタはI/O ポートを入力に使用するか、出力に使用するか選択するためのレジスタです。  
PDi レジスタの各ビットは、ポート1本ずつに対応しています。

### 7.4.2 ポート Pi レジスタ(Pi)(i=0 ~ 4)

アドレス 00E0h 番地(P0)、00E1h 番地(P1)、00E4h 番地(P2(注1))、00E5h 番地(P3(注2))、  
00E8h 番地(P4(注3))

| ビット     | b7   | b6   | b5   | b4   | b3   | b2   | b1   | b0   |
|---------|------|------|------|------|------|------|------|------|
| シンボル    | Pi_7 | Pi_6 | Pi_5 | Pi_4 | Pi_3 | Pi_2 | Pi_1 | Pi_0 |
| リセット後の値 | X    | X    | X    | X    | X    | X    | X    | X    |

| ビット | シンボル | ビット名         | 機能                     | R/W |
|-----|------|--------------|------------------------|-----|
| b0  | Pi_0 | ポート Pi_0 ビット | 0：“L” レベル<br>1：“H” レベル | R/W |
| b1  | Pi_1 | ポート Pi_1 ビット |                        | R/W |
| b2  | Pi_2 | ポート Pi_2 ビット |                        | R/W |
| b3  | Pi_3 | ポート Pi_3 ビット |                        | R/W |
| b4  | Pi_4 | ポート Pi_4 ビット |                        | R/W |
| b5  | Pi_5 | ポート Pi_5 ビット |                        | R/W |
| b6  | Pi_6 | ポート Pi_6 ビット |                        | R/W |
| b7  | Pi_7 | ポート Pi_7 ビット |                        | R/W |

- 注1. P2 レジスタの P2\_3 ~ P2\_7 ビットは予約ビットです。P2\_3 ~ P2\_7 ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。
- 注2. P3 レジスタの P3\_0 ビット、P3\_2 ビット、P3\_6 ビットは予約ビットです。P3\_0 ビット、P3\_2 ビット、P3\_6 ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。
- 注3. P4 レジスタの P4\_0 ~ P4\_1 ビットは何も配置されていません。P4\_0 ~ P4\_1 ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。  
P4\_3 ビット、P4\_4 ビットは予約ビットです。P4\_3 ビット、P4\_4 ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。

外部とのデータ入出力は、Pi レジスタへの読み出しと書き込みによって行います。Pi レジスタは、出力データを保持するポートラッチと、端子の状態を読む回路で構成されています。ポートラッチに書いた値は端子から出力されます。Pi レジスタの各ビットは、ポート1本ずつに対応しています。

#### Pi\_j ビット (i=0 ~ 4, j=0 ~ 7)(ポート Pi\_j ビット)

入力モードに設定したI/Oポートに対応するビットを読むと、端子のレベルが読みます。出力モードに設定したI/Oポートに対応するビットに書くと、端子のレベルを制御できます。

### 7.4.3 タイマ RA 端子選択レジスタ(TRASR)

アドレス 0180h 番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1        | b0        |
|---------|----|----|----|----|----|----|-----------|-----------|
| シンボル    | -  | -  | -  | -  | -  | -  | TRAIOSEL1 | TRAIOSEL0 |
| リセット後の値 | 0  | 0  | 0  | 0  | 0  | 0  | 0         | 0         |

| ビット | シンボル      | ビット名                                   | 機能   | R/W |
|-----|-----------|--|--|-----|
| b0  | TRAIOSEL0 | TRAIO端子選択ビット                           | b1 b0<br>0 0 : TRAIO端子は使用しない<br>0 1 : P1_7に割り当てる<br>1 0 : P1_5に割り当てる<br>1 1 : 設定しないでください | R/W |
| b1  | TRAIOSEL1 |  |  | R/W |
| b2  | -         | 予約ビット                                  | "0"にしてください   | R/W |
| b3  | -         |  |  |     |
| b4  | -         |  |  |     |
| b5  | -         | 何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は |  |     |
| b6  | -         | "0"。                                   |  |     |
| b7  | -         |  |  |     |

TRASR レジスタは、タイマ RA の入出力をどの端子に割り当てるかを選択するレジスタです。タイマ RA の入出力端子を使用する場合は、TRASR レジスタを設定してください。

タイマ RA の関連レジスタを設定する前に、TRASR レジスタを設定してください。また、タイマ RA の動作中は TRASR レジスタの設定値を変更しないでください。

#### 7.4.4 タイマ RB/RC 端子選択レジスタ(TRBRCCSR)

アドレス 0181h 番地

| ビット     | b7 | b6 | b5         | b4         | b3 | b2 | b1 | b0       |
|---------|----|----|------------|------------|----|----|----|----------|
| シンボル    | -  | -  | TRCCLKSEL1 | TRCCLKSEL0 | -  | -  | -  | TRBOSEL0 |
| リセット後の値 | 0  | 0  | 0          | 0          | 0  | 0  | 0  | 0        |

| ビット | シンボル       | ビット名                                    | 機能   | R/W |
|-----|------------|---|--|-----|
| b0  | TRBOSEL0   | TRBO 端子選択ビット                            | 0 : P1_3 に割り当てる<br>1 : P3_1 に割り当てる   | R/W |
| b1  | -          | 予約ビット                                   | "0" にしてください  | R/W |
| b2  | -          | 何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は |  | -   |
| b3  | -          | "0"。                                    |  |     |
| b4  | TRCCLKSEL0 | TRCCLK 端子選択ビット                          | b5 b4<br>0 0 : TRCCLK 端子は使用しない<br>0 1 : P1_4 に割り当てる<br>1 0 : P3_3 に割り当てる<br>1 1 : 設定しないでください | R/W |
| b5  | TRCCLKSEL1 |   |  | R/W |
| b6  | -          | 予約ビット                                   | "0" にしてください  | R/W |
| b7  | -          | 何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は |  | -   |
|     |            | "0"。                                    |  |     |

TRBRCCSR レジスタはタイマ RB、およびタイマ RC の入出力をどの端子に割り当てるかを選択するレジスタです。タイマ RB、およびタイマ RC の入出力端子を使用する場合は、TRBRCCSR レジスタを設定してください。

タイマ RB 関連レジスタを設定する前に TRBOSEL0 ビットを、タイマ RC 関連レジスタを設定する前に TRCCLKSEL0 ~ TRCCLKSEL1 ビットを設定してください。また、タイマ RB の動作中は TRBOSEL0 ビットを、タイマ RC の動作中は TRCCLKSEL0 ~ TRCCLKSEL1 ビットの設定値を変更しないでください。

#### 7.4.5 タイマRC端子選択レジスタ0 (TRCPSR0)

アドレス 0182h 番地

| ビット     | b7 | b6         | b5         | b4         | b3 | b2         | b1         | b0         |
|---------|----|------------|------------|------------|----|------------|------------|------------|
| シンボル    | -  | TRCIOBSEL2 | TRCIOBSEL1 | TRCIOBSEL0 | -  | TRCIOASEL2 | TRCIOASEL1 | TRCIOASEL0 |
| リセット後の値 | 0  | 0          | 0          | 0          | 0  | 0          | 0          | 0          |

| ビット | シンボル       | ビット名                                       | 機能  | R/W |
|-----|------------|--|---|-----|
| b0  | TRCIOASEL0 | TRCIOA/TRCTRG 端子選択ビット                      | <sup>b2 b1 b0</sup><br>0 0 0 : TRCIOA/TRCTRG 端子は使用しない<br>0 0 1 : P1_1に割り当てる<br>0 1 0 : P0_0に割り当てる<br>0 1 1 : P0_1に割り当てる<br>1 0 0 : P0_2に割り当てる<br>上記以外 : 設定しないでください                | R/W |
| b1  | TRCIOASEL1 |  |   | R/W |
| b2  | TRCIOASEL2 |  |   | R/W |
| b3  | -          | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |   | -   |
| b4  | TRCIOBSEL0 | TRCIOB 端子選択ビット                             | <sup>b6 b5 b4</sup><br>0 0 0 : TRCIOB 端子は使用しない<br>0 0 1 : P1_2に割り当てる<br>0 1 0 : P0_3に割り当てる<br>0 1 1 : P0_4に割り当てる<br>1 0 0 : P0_5に割り当てる<br>1 0 1 : P2_0に割り当てる<br>上記以外 : 設定しないでください | R/W |
| b5  | TRCIOBSEL1 |  |   | R/W |
| b6  | TRCIOBSEL2 |  |   | R/W |
| b7  | -          | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |   | -   |

TRCPSR0 レジスタは、タイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRCの入出力端子を使用する場合は、TRCPSR0 レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR0 レジスタを設定してください。また、タイマRCの動作中はTRCPSR0 レジスタの設定値を変更しないでください。

#### 7.4.6 タイマRC端子選択レジスタ1 (TRCPSR1)

アドレス 0183h 番地

| ビット     | b7 | b6         | b5         | b4         | b3 | b2         | b1         | b0         |
|---------|----|------------|------------|------------|----|------------|------------|------------|
| シンボル    | -  | TRCIODSEL2 | TRCIODSEL1 | TRCIODSEL0 | -  | TRCIOCSEL2 | TRCIOCSEL1 | TRCIOCSEL0 |
| リセット後の値 | 0  | 0          | 0          | 0          | 0  | 0          | 0          | 0          |

| ビット | シンボル       | ビット名                                       | 機能  | R/W |
|-----|------------|--|---|-----|
| b0  | TRCIOCSEL0 | TRCIOC端子選択ビット                              | b2 b1 b0<br>0 0 0 : TRCIOC端子は使用しない<br>0 0 1 : P1_3に割り当てる<br>0 1 0 : P3_4に割り当てる<br>0 1 1 : P0_7に割り当てる<br>1 0 0 : P2_1に割り当てる<br>上記以外 : 設定しないでください | R/W |
| b1  | TRCIOCSEL1 |  |   | R/W |
| b2  | TRCIOCSEL2 |  |   | R/W |
| b3  | -          | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |   | -   |
| b4  | TRCIODSEL0 | TRCIOD端子選択ビット                              | b6 b5 b4<br>0 0 0 : TRCIOD端子は使用しない<br>0 0 1 : P1_0に割り当てる<br>0 1 0 : P3_5に割り当てる<br>0 1 1 : P0_6に割り当てる<br>1 0 0 : P2_2に割り当てる<br>上記以外 : 設定しないでください | R/W |
| b5  | TRCIODSEL1 |  |   | R/W |
| b6  | TRCIODSEL2 |  |   | R/W |
| b7  | -          | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |   | -   |

TRCPSR1 レジスタは、タイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRCの入出力端子を使用する場合は、TRCPSR1 レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR1 レジスタを設定してください。また、タイマRCの動作中はTRCPSR1 レジスタの設定値を変更しないでください。

#### 7.4.7 UART0端子選択レジスタ (U0SR)

アドレス 0188h 番地

| ビット     | b7 | b6 | b5 | b4       | b3 | b2       | b1 | b0       |
|---------|----|----|----|----------|----|----------|----|----------|
| シンボル    | -  | -  | -  | CLK0SEL0 | -  | RXD0SEL0 | -  | TXD0SEL0 |
| リセット後の値 | 0  | 0  | 0  | 0        | 0  | 0        | 0  | 0        |

| ビット | シンボル     | ビット名                                       | 機能                                 | R/W |
|-----|----------|--|------------------------------------|-----|
| b0  | TXD0SEL0 | TXD0端子選択ビット                                | 0 : TXD0端子は使用しない<br>1 : P1_4に割り当てる | R/W |
| b1  | -        | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -                                  | -   |
| b2  | RXD0SEL0 | RXD0端子選択ビット                                | 0 : RXD0端子は使用しない<br>1 : P1_5に割り当てる | R/W |
| b3  | -        | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -                                  | -   |
| b4  | CLK0SEL0 | CLK0端子選択ビット                                | 0 : CLK0端子は使用しない<br>1 : P1_6に割り当てる | R/W |
| b5  | -        | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -                                  | -   |
| b6  | -        |  |                                    |     |
| b7  | -        |  |                                    |     |

U0SR レジスタは、UART0 の入出力をどの端子に割り当てるかを選択するレジスタです。UART0 の入出力端子を使用する場合は、U0SR レジスタを設定してください。

UART0 の関連レジスタを設定する前に、U0SR レジスタを設定してください。また、UART0 の動作中はU0SR レジスタの設定値を変更しないでください。

#### 7.4.8 UART1 端子選択レジスタ (U1SR)

アドレス 0189h 番地

| ビット     | b7 | b6 | b5 | b4       | b3 | b2       | b1 | b0       |
|---------|----|----|----|----------|----|----------|----|----------|
| シンボル    | -  | -  | -  | CLK1SEL0 | -  | RXD1SEL0 | -  | TXD1SEL0 |
| リセット後の値 | 0  | 0  | 0  | 0        | 0  | 0        | 0  | 0        |

| ビット | シンボル     | ビット名                                   | 機能                                 | R/W |
|-----|----------|--|------------------------------------|-----|
| b0  | TXD1SEL0 | TXD1端子選択ビット                            | 0 : TXD1端子は使用しない<br>1 : P0_1に割り当てる | R/W |
| b1  | -        | 予約ビット                                  | “0”にしてください                         | R/W |
| b2  | RXD1SEL0 | RXD1端子選択ビット                            | 0 : RXD1端子は使用しない<br>1 : P0_2に割り当てる | R/W |
| b3  | -        | 予約ビット                                  | “0”にしてください                         | R/W |
| b4  | CLK1SEL0 | CLK1端子選択ビット                            | 0 : CLK1端子は使用しない<br>1 : P0_3に割り当てる | R/W |
| b5  | -        | 予約ビット                                  | “0”にしてください                         | R/W |
| b6  | -        | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は | “0”。                               | -   |
| b7  | -        |  |                                    |     |

U1SR レジスタは、UART1 の入出力をどの端子に割り当てるかを選択するレジスタです。UART1 の入出力端子を使用する場合は、U1SR レジスタを設定してください。

UART1 の関連レジスタを設定する前に、U1SR レジスタを設定してください。また、UART1 の動作中はU1SR レジスタの設定値を変更しないでください。

### 7.4.9 UART2端子選択レジスタ0 (U2SR0)

アドレス 018Ah番地

| ビット     | b7 | b6 | b5       | b4       | b3 | b2 | b1       | b0       |
|---------|----|----|----------|----------|----|----|----------|----------|
| シンボル    | -  | -  | RXD2SEL1 | RXD2SEL0 | -  | -  | TXD2SEL1 | TXD2SEL0 |
| リセット後の値 | 0  | 0  | 0        | 0        | 0  | 0  | 0        | 0        |

| ビット | シンボル     | ビット名                                       | 機能  | R/W |
|-----|----------|--|---|-----|
| b0  | TXD2SEL0 | TXD2/SDA2端子選択ビット                           | <sup>b1 b0</sup><br>0 0 : TXD2/SDA2端子は使用しない<br>0 1 : P3_7に割り当てる<br>1 0 : P3_4に割り当てる<br>1 1 : 設定しないでください | R/W |
| b1  | TXD2SEL1 |  |   | R/W |
| b2  | -        | 予約ビット                                      | "0"にしてください  | R/W |
| b3  | -        | 何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。 |   | -   |
| b4  | RXD2SEL0 | RXD2/SCL2端子選択ビット                           | <sup>b5 b4</sup><br>0 0 : RXD2/SCL2端子は使用しない<br>0 1 : P3_4に割り当てる<br>1 0 : P3_7に割り当てる<br>1 1 : P4_5に割り当てる | R/W |
| b5  | RXD2SEL1 |  |   | R/W |
| b6  | -        | 予約ビット                                      | "0"にしてください  | R/W |
| b7  | -        | 何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。 |   | -   |

U2SR0 レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2 の入出力端子を使用する場合は、U2SR0 レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR0 レジスタを設定してください。また、UART2の動作中はU2SR0 レジスタの設定値を変更しないでください。

#### 7.4.10 UART2端子選択レジスタ1 (U2SR1)

アドレス 018Bh番地

| ビット     | b7 | b6 | b5 | b4       | b3 | b2 | b1 | b0       |
|---------|----|----|----|----------|----|----|----|----------|
| シンボル    | -  | -  | -  | CTS2SEL0 | -  | -  | -  | CLK2SEL0 |
| リセット後の値 | 0  | 0  | 0  | 0        | 0  | 0  | 0  | 0        |

| ビット | シンボル     | ビット名                                   | 機能                                      | R/W |
|-----|----------|--|---|-----|
| b0  | CLK2SEL0 | CLK2端子選択ビット                            | 0 : CLK2端子は使用しない<br>1 : P3_5に割り当てる      | R/W |
| b1  | -        | 予約ビット                                  | “0”にしてください                              | R/W |
| b2  | -        | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は | “0”。                                    | -   |
| b3  | -        | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は | “0”。                                    | -   |
| b4  | CTS2SEL0 | CTS2/RTS2端子選択ビット                       | 0 : CTS2/RTS2端子は使用しない<br>1 : P3_3に割り当てる | R/W |
| b5  | -        | 予約ビット                                  | “0”にしてください                              | R/W |
| b6  | -        | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は | “0”。                                    | -   |
| b7  | -        | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は | “0”。                                    | -   |

U2SR1 レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2 の入出力端子を使用する場合は、U2SR1 レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR1 レジスタを設定してください。また、UART2の動作中はU2SR1 レジスタの設定値を変更しないでください。

#### 7.4.11 SSU/IIC端子選択レジスタ(SSUIICCSR)

アドレス 018Ch番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0     |
|---------|----|----|----|----|----|----|----|--------|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | IICSEL |
| リセット後の値 | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0      |

| ビット | シンボル   | ビット名                                   | 機能  | R/W |
|-----|--------|--|---|-----|
| b0  | IICSEL | SSU/I <sup>2</sup> Cバス切り替えビット          | 0 : SSU機能を選択<br>1 : I <sup>2</sup> Cバス機能を選択 | R/W |
| b1  | -      | 予約ビット                                  | “0”にしてください                                  | R/W |
| b2  | -      | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は | “0”。  | -   |
| b3  | -      | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は | “0”。  | -   |
| b4  | -      | 予約ビット                                  | “0”にしてください                                  | R/W |
| b5  | -      |  |   |     |
| b6  | -      |  |   |     |
| b7  | -      |  |   |     |

#### 7.4.12 INT割り込み入力端子選択レジスタ(INTSR)

アドレス 018Eh番地

| ビット     | b7 | b6 | b5 | b4 | b3       | b2       | b1       | b0 |
|---------|----|----|----|----|----------|----------|----------|----|
| シンボル    | -  | -  | -  | -  | INT1SEL2 | INT1SEL1 | INT1SEL0 | -  |
| リセット後の値 | 0  | 0  | 0  | 0  | 0        | 0        | 0        | 0  |

| ビット | シンボル     | ビット名                                       | 機能  | R/W |
|-----|----------|--|---|-----|
| b0  | -        | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -   | -   |
| b1  | INT1SEL0 | INT1端子選択ビット                                | b3 b2 b1<br>0 0 0 : P1_7に割り当てる<br>0 0 1 : P1_5に割り当てる<br>0 1 0 : P2_0に割り当てる<br>上記以外：設定しないでください | R/W |
| b2  | INT1SEL1 |  |   | R/W |
| b3  | INT1SEL2 |  |   | R/W |
| b4  | -        | 予約ビット                                      | “0”にしてください  | R/W |
| b5  | -        | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -   | -   |
| b6  | -        | 予約ビット                                      | “0”にしてください  | R/W |
| b7  | -        |  |   |     |

INTSR レジスタは、INT1の入力をどの端子に割り当てるかを選択するレジスタです。INT1を使用する場合は、INTSR レジスタを設定してください。

INT1の関連レジスタを設定する前に、INTSR レジスタを設定してください。また、INT1の動作中はINTSR レジスタの設定値を変更しないでください。

#### 7.4.13 入出力機能端子選択レジスタ(PINSR)

アドレス 018Fh番地

| ビット     | b7      | b6      | b5        | b4       | b3      | b2 | b1 | b0 |
|---------|---------|---------|-----------|----------|---------|----|----|----|
| シンボル    | SDADLY1 | SDADLY0 | IICTCHALF | IICTCTWI | IOINSEL | -  | -  | -  |
| リセット後の値 | 0       | 0       | 0         | 0        | 0       | 0  | 0  | 0  |

| ビット | シンボル      | ビット名                                       | 機能   | R/W |
|-----|-----------|--|--|-----|
| b0  | -         | 予約ビット                                      | "0"にしてください   | R/W |
| b1  | -         |  |  | R/W |
| b2  | -         | 何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。 |  | -   |
| b3  | IOINSEL   | I/Oポート入力機能選択ビット                            | 0 : I/Oポートの入力機能はPDi (i=0 ~ 4) レジスタに依存<br>PDiレジスタのPDi_j (j=0 ~ 7) ビットが "0" (入力モード) のとき、端子の入力レベルを読む。<br>PDiレジスタのPDi_j ビットが "1" (出力モード) のとき、ポートラッチを読む。<br>1 : I/Oポートの入力機能はPDi レジスタに関係なく、端子の入力レベルを読む | R/W |
| b4  | IICTCTWI  | I <sup>2</sup> C転送レート2倍選択ビット               | 0 : ICCR1 レジスタのCKS0 ~ CKS3 ビットの設定値通りの転送レート<br>1 : ICCR1 レジスタのCKS0 ~ CKS3 ビットの設定値の2倍の転送レート  | R/W |
| b5  | IICTCHALF | I <sup>2</sup> C転送レート1/2倍選択ビット             | 0 : ICCR1 レジスタのCKS0 ~ CKS3 ビットの設定値通りの転送レート<br>1 : ICCR1 レジスタのCKS0 ~ CKS3 ビットの設定値の1/2倍の転送レート  | R/W |
| b6  | SDADLY0   | SDA端子デジタル遅延選択ビット                           | <sup>b7 b6</sup><br>0 0 : 3 × f1 サイクルのデジタル遅延<br>0 1 : 11 × f1 サイクルのデジタル遅延<br>1 0 : 19 × f1 サイクルのデジタル遅延<br>1 1 : 設定しないでください   | R/W |
| b7  | SDADLY1   |  |  | R/W |

#### IOINSEL ビット(I/Oポート入力機能選択ビット)

IOINSEL ビットはPDi (i=0 ~ 4) レジスタのPDi\_j (j=0 ~ 7) ビットが "1" (出力モード) のときに、I/Oポートの端子の入力レベルを読むことを選択するためのビットです。"1" にするとI/Oポートの入力機能は、PDi レジスタに関係なく、端子の入力レベルを読みます。

表7.4にIOINSEL ビットによるI/Oポートの読み出し値を示します。IOINSEL ビットでP4\_2を除くすべてのI/Oポートの入力機能を変更できます。

表7.4 IOINSEL ビットによるI/Oポートの読み出し値

| PDi レジスタのPDi_j ビット | "0" (入力モード) |     | "1" (出力モード) |          |
|--------------------|-------------|-----|-------------|----------|
| IOINSEL ビット        | "0"         | "1" | "0"         | "1"      |
| I/Oポート読み出し値        | 端子の入力レベル    |     | ポートラッチの値    | 端子の入力レベル |

#### 7.4.14 プルアップ制御レジスタ0 (PUR0)

アドレス 01E0h番地

| ビット     | b7   | b6   | b5 | b4   | b3   | b2   | b1   | b0   |
|---------|------|------|----|------|------|------|------|------|
| シンボル    | PU07 | PU06 | -  | PU04 | PU03 | PU02 | PU01 | PU00 |
| リセット後の値 | 0    | 0    | 0  | 0    | 0    | 0    | 0    | 0    |

| ビット | シンボル | ビット名                 | 機能                             | R/W |
|-----|------|----------------------|--------------------------------|-----|
| b0  | PU00 | P0_0 ~ P0_3のプルアップ    | 0 : プルアップなし<br>1 : プルアップあり(注1) | R/W |
| b1  | PU01 | P0_4 ~ P0_7のプルアップ    |                                | R/W |
| b2  | PU02 | P1_0 ~ P1_3のプルアップ    |                                | R/W |
| b3  | PU03 | P1_4 ~ P1_7のプルアップ    |                                | R/W |
| b4  | PU04 | P2_0 ~ P2_2のプルアップ    |                                | R/W |
| b5  | -    | 予約ビット                | “0”にしてください                     | R/W |
| b6  | PU06 | P3_1、P3_3のプルアップ      | 0 : プルアップなし<br>1 : プルアップあり(注1) | R/W |
| b7  | PU07 | P3_4、P3_5、P3_7のプルアップ |                                | R/W |

注1. このビットが“1”(プルアップあり)かつポート方向ビットが“0”(入力モード)の端子がプルアップされます。

入力として使用している端子は、PUR0 レジスタの設定値が有効になります。

#### 7.4.15 プルアップ制御レジスタ1 (PUR1)

アドレス 01E1h番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1   | b0 |
|---------|----|----|----|----|----|----|------|----|
| シンボル    | -  | -  | -  | -  | -  | -  | PU11 | -  |
| リセット後の値 | 0  | 0  | 0  | 0  | 0  | 0  | 0    | 0  |

| ビット | シンボル | ビット名                                      | 機能                             | R/W |
|-----|------|---|--------------------------------|-----|
| b0  | -    | 予約ビット                                     | “0”にしてください                     | R/W |
| b1  | PU11 | P4_5 ~ P4_7のプルアップ                         | 0 : プルアップなし<br>1 : プルアップあり(注1) | R/W |
| b2  | -    | 予約ビット                                     | “0”にしてください                     | R/W |
| b3  | -    |   |                                |     |
| b4  | -    |   |                                |     |
| b5  | -    |   |                                |     |
| b6  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。 |                                | -   |
| b7  | -    |   |                                |     |

注1. このビットが“1”(プルアップあり)かつポート方向ビットが“0”(入力モード)の端子がプルアップされます。

入力として使用している端子は、PUR1 レジスタの設定値が有効になります。

#### 7.4.16 ポートP1駆動能力制御レジスタ(P1DRR)

アドレス 01F0h番地

| ビット     | b7     | b6     | b5     | b4     | b3     | b2     | b1     | b0     |
|---------|--------|--------|--------|--------|--------|--------|--------|--------|
| シンボル    | P1DRR7 | P1DRR6 | P1DRR5 | P1DRR4 | P1DRR3 | P1DRR2 | P1DRR1 | P1DRR0 |
| リセット後の値 | 0      | 0      | 0      | 0      | 0      | 0      | 0      | 0      |

| ビット | シンボル   | ビット名      | 機能                      | R/W |
|-----|--------|-----------|-------------------------|-----|
| b0  | P1DRR0 | P1_0の駆動能力 | 0 : Low<br>1 : High(注1) | R/W |
| b1  | P1DRR1 | P1_1の駆動能力 |                         |     |
| b2  | P1DRR2 | P1_2の駆動能力 |                         |     |
| b3  | P1DRR3 | P1_3の駆動能力 |                         |     |
| b4  | P1DRR4 | P1_4の駆動能力 |                         |     |
| b5  | P1DRR5 | P1_5の駆動能力 |                         |     |
| b6  | P1DRR6 | P1_6の駆動能力 |                         |     |
| b7  | P1DRR7 | P1_7の駆動能力 |                         |     |

注1. “H”出力、“L”出力ともにHigh駆動能力に設定されます。

P1DRR レジスタはP1の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するレジスタです。P1DRR*i* ビット(*i*=0 ~ 7)によって、1端子ごとに出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

出力として使用している端子は、P1DRR レジスタの設定値が有効になります。

#### 7.4.17 ポートP2駆動能力制御レジスタ(P2DRR)

アドレス 01F1h番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2     | b1     | b0     |
|---------|----|----|----|----|----|--------|--------|--------|
| シンボル    | -  | -  | -  | -  | -  | P2DRR2 | P2DRR1 | P2DRR0 |
| リセット後の値 | 0  | 0  | 0  | 0  | 0  | 0      | 0      | 0      |

| ビット | シンボル   | ビット名      | 機能                      | R/W |
|-----|--------|-----------|-------------------------|-----|
| b0  | P2DRR0 | P2_0の駆動能力 | 0 : Low<br>1 : High(注1) | R/W |
| b1  | P2DRR1 | P2_1の駆動能力 |                         |     |
| b2  | P2DRR2 | P2_2の駆動能力 |                         |     |
| b3  | -      | 予約ビット     |                         |     |
| b4  | -      |           |                         |     |
| b5  | -      |           |                         |     |
| b6  | -      |           |                         |     |
| b7  | -      |           |                         |     |

注1. “H”出力、“L”出力ともにHigh駆動能力に設定されます。

P2DRR レジスタはP2\_0 ~ P2\_2の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するレジスタです。P2DRR*i* ビット(*i*=0 ~ 2)によって、1端子ごとに出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

出力として使用している端子は、P2DRR レジスタの設定値が有効になります。

#### 7.4.18 駆動能力制御レジスタ0 (DRR0)

アドレス 01F2h番地

| ビット     | b7    | b6    | b5 | b4 | b3 | b2 | b1    | b0    |
|---------|-------|-------|----|----|----|----|-------|-------|
| シンボル    | DRR07 | DRR06 | -  | -  | -  | -  | DRR01 | DRR00 |
| リセット後の値 | 0     | 0     | 0  | 0  | 0  | 0  | 0     | 0     |

| ビット | シンボル  | ビット名                                       | 機能                      | R/W |
|-----|-------|--|-------------------------|-----|
| b0  | DRR00 | P0_0 ~ P0_3の駆動能力                           | 0 : Low<br>1 : High(注1) | R/W |
| b1  | DRR01 | P0_4 ~ P0_7の駆動能力                           |                         |     |
| b2  | -     | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -                       | -   |
| b3  | -     |  |                         |     |
| b4  | -     |  |                         |     |
| b5  | -     |  |                         |     |
| b6  | DRR06 | P3_1、P3_3の駆動能力                             | 0 : Low<br>1 : High(注1) | R/W |
| b7  | DRR07 | P3_4、P3_5、P3_7の駆動能力                        |                         |     |

注1. “H”出力、“L”出力ともにHigh駆動能力に設定されます。

出力として使用している端子は、DRR0 レジスタの設定値が有効になります。

#### DRR00 ビット(P0\_0 ~ P0\_3の駆動能力)

DRR00 ビットは、P0\_0 ~ P0\_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR00 ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

#### DRR01 ビット(P0\_4 ~ P0\_7の駆動能力)

DRR01 ビットは、P0\_4 ~ P0\_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR01 ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

#### DRR06 ビット(P3\_1、P3\_3の駆動能力)

DRR06 ビットは、P3\_1、P3\_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR06 ビットによって、2端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

#### DRR07 ビット(P3\_4、P3\_5、P3\_7の駆動能力)

DRR07 ビットは、P3\_4、P3\_5、P3\_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR07 ビットによって、3端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

#### 7.4.19 駆動能力制御レジスタ1 (DRR1)

アドレス 01F3h番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1    | b0 |
|---------|----|----|----|----|----|----|-------|----|
| シンボル    | -  | -  | -  | -  | -  | -  | DRR11 | -  |
| リセット後の値 | 0  | 0  | 0  | 0  | 0  | 0  | 0     | 0  |

| ビット | シンボル  | ビット名                                       | 機能                      | R/W |
|-----|-------|--|-------------------------|-----|
| b0  | -     | 予約ビット                                      | “0”にしてください              | R/W |
| b1  | DRR11 | P4_5 ~ P4_7の駆動能力                           | 0 : Low<br>1 : High(注1) | R/W |
| b2  | -     | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -                       | -   |
| b3  | -     | 予約ビット                                      | “0”にしてください              | R/W |
| b4  | -     |  |                         |     |
| b5  | -     |  |                         |     |
| b6  | -     | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -                       | -   |
| b7  | -     |  |                         |     |

注1. “H”出力、“L”出力ともにHigh駆動能力に設定されます。

出力として使用している端子は、DRR1レジスタの設定値が有効になります。

#### DRR11 ビット (P4\_5 ~ P4\_7の駆動能力)

DRR11 ビットは、P4\_5 ~ P4\_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR11 ビットによって、4端子の出力トランジスタの駆動能力を Low にするか、High にするかを選択できます。

#### 7.4.20 入力しきい値制御レジスタ0 (VLT0)

アドレス 01F5h 番地

| ビット     | b7    | b6    | b5    | b4    | b3    | b2    | b1    | b0    |
|---------|-------|-------|-------|-------|-------|-------|-------|-------|
| シンボル    | VLT07 | VLT06 | VLT05 | VLT04 | VLT03 | VLT02 | VLT01 | VLT00 |
| リセット後の値 | 0     | 0     | 0     | 0     | 0     | 0     | 0     | 0     |

| ビット | シンボル  | ビット名                                 | 機能  | R/W |
|-----|-------|--------------------------------------|---|-----|
| b0  | VLT00 | P0の入力レベル選択ビット                        | b1 b0<br>00 : 0.50 × VCC<br>01 : 0.35 × VCC<br>10 : 0.70 × VCC<br>11 : 設定しないでください | R/W |
| b1  | VLT01 |                                      |   | R/W |
| b2  | VLT02 | P1の入力レベル選択ビット                        | b3 b2<br>00 : 0.50 × VCC<br>01 : 0.35 × VCC<br>10 : 0.70 × VCC<br>11 : 設定しないでください | R/W |
| b3  | VLT03 |                                      |   | R/W |
| b4  | VLT04 | P2_0 ~ P2_2の入力レベル選択ビット               | b5 b4<br>00 : 0.50 × VCC<br>01 : 0.35 × VCC<br>10 : 0.70 × VCC<br>11 : 設定しないでください | R/W |
| b5  | VLT05 |                                      |   | R/W |
| b6  | VLT06 | P3_1、P3_3 ~ P3_5、P3_7の入力<br>レベル選択ビット | b7 b6<br>00 : 0.50 × VCC<br>01 : 0.35 × VCC<br>10 : 0.70 × VCC<br>11 : 設定しないでください | R/W |
| b7  | VLT07 |                                      |   | R/W |

VLT0 レジスタはポート P0、P1、P2\_0 ~ P2\_2、P3\_1、P3\_3 ~ P3\_5、P3\_7 の入力しきい値の電圧レベルを選択するレジスタです。VLT00 ~ VLT07 ビットによって、入力しきい値を 3 種類の電圧レベル (0.35VCC、0.50VCC、0.70VCC) から選択できます。

#### 7.4.21 入力しきい値制御レジスタ1 (VLT1)

アドレス 01F6h 番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1    | b0    |
|---------|----|----|----|----|----|----|-------|-------|
| シンボル    | -  | -  | -  | -  | -  | -  | VLT11 | VLT10 |
| リセット後の値 | 0  | 0  | 0  | 0  | 0  | 0  | 0     | 0     |

| ビット | シンボル  | ビット名                                       | 機能   | R/W |
|-----|-------|--|--|-----|
| b0  | VLT10 | P4_2、P4_5 ~ P4_7の入力しきい値選択ビット               | <sup>b1 b0</sup><br>0 0 : 0.50 × VCC<br>0 1 : 0.35 × VCC<br>1 0 : 0.70 × VCC<br>1 1 : 設定しないでください | R/W |
| b1  | VLT11 |  |  | R/W |
| b2  | -     | 予約ビット                                      | "0"にしてください   | R/W |
| b3  | -     |  |  |     |
| b4  | -     |  |  |     |
| b5  | -     |  |  |     |
| b6  | -     | 何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。 |  | -   |
| b7  | -     |  |  |     |

VLT1 レジスタはポート P4\_2、P4\_5 ~ P4\_7 の入力しきい値の電圧レベルを選択するレジスタです。VLT10 ~ VLT15 ビットによって、入力しきい値を 3 種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

## 7.5 ポートの設定

表7.5～表7.37にポートの設定を示します。

表7.5 ポートP0\_0/AN7/TRCIOA/TRCTRG

| レジスタ | PD0 | ADINSEL |   |   |        | TRCPSR0 |           |   | タイマRC設定 |   |                      |  | 機能 |                     |              |  |
|------|-----|---------|---|---|--------|---------|-----------|---|---------|---|----------------------|--|----|---------------------|--------------|--|
|      |     | CH      |   |   | ADGSEL |         | TRCIOASEL |   |         | - |                      |  |    |                     |              |  |
|      |     | 2       | 1 | 0 | 1      | 0       | 2         | 1 | 0       |   |                      |  |    |                     |              |  |
| 設定値  | 0   | X       | X | X | X      | X       | 010b以外    |   |         | X |                      |  |    | 入力ポート(注1)           |              |  |
|      | 1   | X       | X | X | X      | X       | 010b以外    |   |         | X |                      |  |    | 出力ポート(注2)           |              |  |
|      | 0   | 1       | 1 | 1 | 0      | 0       | 010b以外    |   |         | X |                      |  |    | A/Dコンバータ入力(AN7)(注1) |              |  |
|      | 0   | X       | X | X | X      | X       | X         | 0 | 1       | 0 | 「表7.34 TRCIOA端子設定」参照 |  |    |                     | TRCIOA入力(注1) |  |
|      | X   | X       | X | X | X      | X       | X         | 0 | 1       | 0 | 「表7.34 TRCIOA端子設定」参照 |  |    |                     | TRCIOA出力(注2) |  |

X：“0”または“1”

注1. PUR0レジスタのPU00ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR00ビットを“1”にすると、出力の駆動能力Highとなります。

表7.6 ポートP0\_1/AN6/TXD1/TRCIOA/TRCTRG

| レジスタ | PD0 | ADINSEL |   |   |        | U1SR |          | U1MR |   | TRCPSR0   |   |        | タイマRC設定 |   | 機能                   |                      |
|------|-----|---------|---|---|--------|------|----------|------|---|-----------|---|--------|---------|---|----------------------|----------------------|
|      |     | CH      |   |   | ADGSEL |      | TXD1SEL0 | SMD  |   | TRCIOASEL |   |        | -       |   |                      |                      |
|      |     | 2       | 1 | 0 | 1      | 0    |          | 2    | 1 | 0         | 2 | 1      | 0       |   |                      |                      |
| 設定値  | 0   | X       | X | X | X      | X    | TXD1SEL0 | 0    | X | X         | X | 011b以外 |         |   | X                    | 入力ポート(注1)            |
|      | 1   | X       | X | X | X      | X    |          | 0    | X | X         | X | 011b以外 |         |   | X                    | 出力ポート(注2)            |
|      | 0   | 1       | 1 | 0 | 0      | 0    |          | 0    | X | X         | X | 011b以外 |         |   | X                    | A/Dコンバータ入力(AN6)(注1)  |
|      | X   | X       | X | X | X      | X    |          | 1    | 0 | 1         | 0 | X      | X       | X | X                    | TXD1出力(注2、3)         |
|      | 0   | X       | X | X | X      | X    |          | 1    | 0 | 1         | 0 | X      | X       | X | X                    | 「表7.34 TRCIOA端子設定」参照 |
|      | X   | X       | X | X | X      | X    |          | 0    | X | X         | X | 0      | 1       | 1 | 「表7.34 TRCIOA端子設定」参照 | TRCIOA入力(注1)         |

X：“0”または“1”

注1. PUR0レジスタのPU00ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR00ビットを“1”にすると、出力の駆動能力Highとなります。

注3. U1C0レジスタのNCHビットを“1”にすると、Nチャネルオーブンドレイン出力になります。

表7.7 ポートP0\_2/AN5/RXD1/TRCIOA/TRCTRG

| レジスタ | PD0 | ADINSEL |   |   |        | U1SR |          | TRCPSR0   |        |   | タイマRC設定 |                      | 機能                  |  |
|------|-----|---------|---|---|--------|------|----------|-----------|--------|---|---------|----------------------|---------------------|--|
|      |     | CH      |   |   | ADGSEL |      | RXD1SEL0 | TRCIOASEL |        |   | -       |                      |                     |  |
|      |     | 2       | 1 | 0 | 1      | 0    |          | 2         | 1      | 0 |         |                      |                     |  |
| 設定値  | 0   | X       | X | X | X      | X    | RXD1SEL0 | X         | 100b以外 |   |         | X                    | 入力ポート(注1)           |  |
|      | 1   | X       | X | X | X      | X    |          | X         | 100b以外 |   |         | X                    | 出力ポート(注2)           |  |
|      | 0   | 1       | 0 | 1 | 0      | 0    |          | 0         | 100b以外 |   |         | X                    | A/Dコンバータ入力(AN5)(注1) |  |
|      | 0   | X       | X | X | X      | X    |          | 1         | 100b以外 |   |         | X                    | RXD1入力(注1)          |  |
|      | 0   | X       | X | X | X      | X    |          | X         | 1      | 0 | 0       | 「表7.34 TRCIOA端子設定」参照 | TRCIOA入力(注1)        |  |
|      | X   | X       | X | X | X      | X    |          | X         | 1      | 0 | 0       | 「表7.34 TRCIOA端子設定」参照 | TRCIOA出力(注2)        |  |

X：“0”または“1”

注1. PUR0レジスタのPU00ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR00ビットを“1”にすると、出力の駆動能力Highとなります。

表7.8 ポートP0\_3/AN4/CLK1/TRCIOB

| レジスタ | PD0 | ADINSEL |   |        |   |   | U1SR     |     | U1MR |       |           | TRCPSR0 |   |   | 機能                   |                     |
|------|-----|---------|---|--------|---|---|----------|-----|------|-------|-----------|---------|---|---|----------------------|---------------------|
|      |     | CH      |   | ADGSEL |   |   | CLK1SEL0 | SMD |      | CKDIR | TRCIOBSEL |         |   | - |                      |                     |
|      |     | 2       | 1 | 0      | 1 | 0 |          | 2   | 1    |       | 2         | 1       | 0 |   |                      |                     |
| 設定値  | 0   | X       | X | X      | X | X | 0        | X   | X    | X     | X         | 010b以外  |   |   | X                    | 入力ポート(注1)           |
|      | 1   | X       | X | X      | X | X | 0        | X   | X    | X     | X         | 010b以外  |   |   | X                    | 出力ポート(注2)           |
|      | 0   | 1       | 0 | 0      | 0 | 0 | 0        | X   | X    | X     | X         | 010b以外  |   |   | X                    | A/Dコンバータ入力(AN4)(注1) |
|      | 0   | X       | X | X      | X | X | 1        | X   | X    | X     | 1         | X       | X | X | X                    | CLK1(外部クロック)入力(注1)  |
|      | X   | X       | X | X      | X | X | 1        | 0   | 0    | 1     | 0         | X       | X | X | X                    | CLK1(内部クロック)出力(注2)  |
|      | 0   | X       | X | X      | X | X | 0        | X   | X    | X     | X         | 0       | 1 | 0 | 「表7.35 TRCIOB端子設定」参照 | TRCIOB入力(注1)        |
|      | X   | X       | X | X      | X | X | 0        | X   | X    | X     | X         | 0       | 1 | 0 | 「表7.35 TRCIOB端子設定」参照 | TRCIOB出力(注2)        |

X：“0”または“1”

注1. PUR0レジスタのPU00ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR00ビットを“1”にすると、出力の駆動能力Highとなります。

表7.9 ポートP0\_4/AN3/TREO/TRCIOB

| レジスタ | PD0 | ADINSEL |   |        |   |   | TRECR1 |           | TRCPSR0 |   |                      | タイムRC設定      |  |   | 機能                  |  |  |  |  |
|------|-----|---------|---|--------|---|---|--------|-----------|---------|---|----------------------|--------------|--|---|---------------------|--|--|--|--|
|      |     | CH      |   | ADGSEL |   |   | TOENA  | TRCIOBSEL |         |   | -                    |              |  |   |                     |  |  |  |  |
|      |     | 2       | 1 | 0      | 1 | 0 |        | 2         | 1       | 0 |                      |              |  |   |                     |  |  |  |  |
| 設定値  | 0   | X       | X | X      | X | X | 0      | 011b以外    |         |   | X                    |              |  | X | 入力ポート(注1)           |  |  |  |  |
|      | 1   | X       | X | X      | X | X | 0      | 011b以外    |         |   | X                    |              |  | X | 出力ポート(注2)           |  |  |  |  |
|      | 0   | 0       | 1 | 1      | 0 | 0 | 0      | 011b以外    |         |   | X                    |              |  | X | A/Dコンバータ入力(AN3)(注1) |  |  |  |  |
|      | X   | X       | X | X      | X | X | 1      | 011b以外    |         |   | X                    |              |  | X | TREO出力(注2)          |  |  |  |  |
|      | 0   | X       | X | X      | X | X | X      | 0         | 1       | 1 | 「表7.35 TRCIOB端子設定」参照 | TRCIOB入力(注1) |  |   |                     |  |  |  |  |
|      | X   | X       | X | X      | X | X | X      | 0         | 1       | 1 | 「表7.35 TRCIOB端子設定」参照 | TRCIOB出力(注2) |  |   |                     |  |  |  |  |

X：“0”または“1”

注1. PUR0レジスタのPU01ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR01ビットを“1”にすると、出力の駆動能力Highとなります。

表7.10 ポートP0\_5/AN2/TRCIOB

| レジスタ | PD0 | ADINSEL |   |        |   |   | TRCPSR0   |   |   | タイムRC設定              |              |  |   | 機能                  |  |
|------|-----|---------|---|--------|---|---|-----------|---|---|----------------------|--------------|--|---|---------------------|--|
|      |     | CH      |   | ADGSEL |   |   | TRCIOBSEL | - |   |                      | -            |  |   |                     |  |
|      |     | 2       | 1 | 0      | 1 | 0 |           | 2 | 1 | 0                    |              |  |   |                     |  |
| 設定値  | 0   | X       | X | X      | X | X | 100b以外    |   |   | X                    |              |  | X | 入力ポート(注1)           |  |
|      | 1   | X       | X | X      | X | X | 100b以外    |   |   | X                    |              |  | X | 出力ポート(注2)           |  |
|      | 0   | 0       | 1 | 0      | 0 | 0 | 100b以外    |   |   | X                    |              |  | X | A/Dコンバータ入力(AN2)(注1) |  |
|      | 0   | X       | X | X      | X | X | 1         | 0 | 0 | 「表7.35 TRCIOB端子設定」参照 | TRCIOB入力(注1) |  |   |                     |  |
|      | X   | X       | X | X      | X | X | 1         | 0 | 0 | 「表7.35 TRCIOB端子設定」参照 | TRCIOB出力(注2) |  |   |                     |  |

X：“0”または“1”

注1. PUR0レジスタのPU01ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR01ビットを“1”にすると、出力の駆動能力Highとなります。

表7.11 ポートP0\_6/AN1/DA0/TRCIOD

| レジスタ<br>ビット | PD0<br>PD0_6 | ADINSEL |   |   |        |   | DACON<br>DA0E | TRCPSR1   |   |   | 機能                   |                     |  |
|-------------|--------------|---------|---|---|--------|---|---------------|-----------|---|---|----------------------|---------------------|--|
|             |              | CH      |   |   | ADGSEL |   |               | TRCIODSEL |   |   |                      |                     |  |
|             |              | 2       | 1 | 0 | 1      | 0 |               | 2         | 1 | 0 |                      |                     |  |
| 設定値         | 0            | X       | X | X | X      | X | 0             | 011b以外    |   |   | X                    | 入力ポート(注1)           |  |
|             | 1            | X       | X | X | X      | X | 0             | 011b以外    |   |   | X                    | 出力ポート(注2)           |  |
|             | 0            | 0       | 0 | 1 | 0      | 0 | 0             | 011b以外    |   |   | X                    | A/Dコンバータ入力(AN1)(注1) |  |
|             | 0            | X       | X | X | X      | X | 1             | 011b以外    |   |   | X                    | D/Aコンバータ出力(DA0)(注1) |  |
|             | 0            | X       | X | X | X      | X | 0             | 0         | 1 | 1 | 「表7.37 TRCIOD端子設定」参照 | TRCIOD入力(注1)        |  |
|             | X            | X       | X | X | X      | X | 0             | 0         | 1 | 1 | 「表7.37 TRCIOD端子設定」参照 | TRCIOD出力(注2)        |  |

X：“0”または“1”

注1. PUR0レジスタのPU01ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR01ビットを“1”にすると、出力の駆動能力Highとなります。

表7.12 ポートP0\_7/AN0/DA1/TRCIOC

| レジスタ<br>ビット | PD0<br>PD0_7 | ADINSEL |   |   |        |   | DACON<br>DA1E | TRCPSR1   |   |   | 機能                   |                     |  |
|-------------|--------------|---------|---|---|--------|---|---------------|-----------|---|---|----------------------|---------------------|--|
|             |              | CH      |   |   | ADGSEL |   |               | TRCIOCSEL |   |   |                      |                     |  |
|             |              | 2       | 1 | 0 | 1      | 0 |               | 2         | 1 | 0 |                      |                     |  |
| 設定値         | 0            | X       | X | X | X      | X | 0             | 011b以外    |   |   | X                    | 入力ポート(注1)           |  |
|             | 1            | X       | X | X | X      | X | 0             | 011b以外    |   |   | X                    | 出力ポート(注2)           |  |
|             | 0            | 0       | 0 | 0 | 0      | 0 | 0             | 011b以外    |   |   | X                    | A/Dコンバータ入力(AN0)(注1) |  |
|             | 0            | X       | X | X | X      | X | 1             | 011b以外    |   |   | X                    | D/Aコンバータ出力(DA1)(注1) |  |
|             | 0            | X       | X | X | X      | X | 0             | 0         | 1 | 1 | 「表7.36 TRCIOC端子設定」参照 | TRCIOC入力(注1)        |  |
|             | X            | X       | X | X | X      | X | 0             | 0         | 1 | 1 | 「表7.36 TRCIOC端子設定」参照 | TRCIOC出力(注2)        |  |

X：“0”または“1”

注1. PUR0レジスタのPU01ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR01ビットを“1”にすると、出力の駆動能力Highとなります。

表7.13 ポートP1\_0/KI0/AN8/TRCIOD

| レジスタ<br>ビット | PD1<br>PD1_0 | KIEN<br>KI0EN | ADINSEL |   |   |        |   | TRCPSR1   |   |   | 機能                   |                     |
|-------------|--------------|---------------|---------|---|---|--------|---|-----------|---|---|----------------------|---------------------|
|             |              |               | CH      |   |   | ADGSEL |   | TRCIODSEL |   |   |                      |                     |
|             |              |               | 2       | 1 | 0 | 1      | 0 | 2         | 1 | 0 |                      |                     |
| 設定値         | 0            | X             | X       | X | X | X      | X | 001b以外    |   |   | X                    | 入力ポート(注1)           |
|             | 1            | X             | X       | X | X | X      | X | 001b以外    |   |   | X                    | 出力ポート(注2)           |
|             | 0            | 1             | X       | X | X | X      | X | 001b以外    |   |   | X                    | KI0入力(注1)           |
|             | 0            | 0             | 0       | 0 | 0 | 0      | 1 | 001b以外    |   |   | X                    | A/Dコンバータ入力(AN8)(注1) |
|             | 0            | X             | X       | X | X | X      | X | 0         | 0 | 1 | 「表7.37 TRCIOD端子設定」参照 | TRCIOD入力(注1)        |
|             | X            | X             | X       | X | X | X      | X | 0         | 0 | 1 | 「表7.37 TRCIOD端子設定」参照 | TRCIOD出力(注2)        |

X：“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、プルアップありとなります。

注2. P1DRR レジスタのP1DRR0ビットを“1”にすると、出力の駆動能力Highとなります。

表7.14 ポートP1\_1/KI1/AN9/TRCIOA/TRCTRG

| レジスタ | PD1 | KIEN | ADINSEL |   |   |        |   | TRCPSR0   |   |   | タイマRC設定              | 機能                  |  |  |
|------|-----|------|---------|---|---|--------|---|-----------|---|---|----------------------|---------------------|--|--|
|      |     |      | CH      |   |   | ADGSEL |   | TRCIOASEL |   |   |                      |                     |  |  |
|      |     |      | 2       | 1 | 0 | 1      | 0 | 2         | 1 | 0 |                      |                     |  |  |
| 設定値  | 0   | X    | X       | X | X | X      | X | 001b以外    |   |   | X                    | 入力ポート(注1)           |  |  |
|      | 1   | X    | X       | X | X | X      | X | 001b以外    |   |   | X                    | 出力ポート(注2)           |  |  |
|      | 0   | 1    | X       | X | X | X      | X | 001b以外    |   |   | X                    | KI1入力(注1)           |  |  |
|      | 0   | 0    | 0       | 0 | 1 | 0      | 1 | 001b以外    |   |   | X                    | A/Dコンバータ入力(AN9)(注1) |  |  |
|      | 0   | X    | X       | X | X | X      | X | 0         | 0 | 1 | 「表7.34 TRCIOA端子設定」参照 | TRCIOA入力(注1)        |  |  |
|      | X   | X    | X       | X | X | X      | X | 0         | 0 | 1 | 「表7.34 TRCIOA端子設定」参照 | TRCIOA出力(注2)        |  |  |

X：“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、プルアップありとなります。

注2. P1DRRレジスタのP1DRR1ビットを“1”にすると、出力の駆動能力Highとなります。

表7.15 ポートP1\_2/KI2/AN10/TRCIOB

| レジスタ | PD1 | KIEN | ADINSEL |   |   |        |   | TRCPSR0   |   |   | タイマRC設定              | 機能                   |  |  |
|------|-----|------|---------|---|---|--------|---|-----------|---|---|----------------------|----------------------|--|--|
|      |     |      | CH      |   |   | ADGSEL |   | TRCIOBSEL |   |   |                      |                      |  |  |
|      |     |      | 2       | 1 | 0 | 1      | 0 | 2         | 1 | 0 |                      |                      |  |  |
| 設定値  | 0   | X    | X       | X | X | X      | X | 001b以外    |   |   | X                    | 入力ポート(注1)            |  |  |
|      | 1   | X    | X       | X | X | X      | X | 001b以外    |   |   | X                    | 出力ポート(注2)            |  |  |
|      | 0   | 1    | X       | X | X | X      | X | 001b以外    |   |   | X                    | KI2入力(注1)            |  |  |
|      | 0   | 0    | 0       | 1 | 0 | 0      | 1 | 001b以外    |   |   | X                    | A/Dコンバータ入力(AN10)(注1) |  |  |
|      | 0   | X    | X       | X | X | X      | X | 0         | 0 | 1 | 「表7.35 TRCIOB端子設定」参照 | TRCIOB入力(注1)         |  |  |
|      | X   | X    | X       | X | X | X      | X | 0         | 0 | 1 | 「表7.35 TRCIOB端子設定」参照 | TRCIOB出力(注2)         |  |  |

X：“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、プルアップありとなります。

注2. P1DRRレジスタのP1DRR2ビットを“1”にすると、出力の駆動能力Highとなります。

表7.16 ポートP1\_3/KI3/AN11/TRBO/TRCIOC

| レジスタ | PD1 | KIEN | ADINSEL |   |   |        |   | TRBRCSR | TRCPCSR1 | タイマRB設定        | タイマRC設定 | 機能                   |            |  |  |  |  |
|------|-----|------|---------|---|---|--------|---|---------|----------|----------------|---------|----------------------|------------|--|--|--|--|
|      |     |      | CH      |   |   | ADGSEL |   |         |          |                |         |                      |            |  |  |  |  |
|      |     |      | 2       | 1 | 0 | 1      | 0 |         |          |                |         |                      |            |  |  |  |  |
| 設定値  | 0   | X    | X       | X | X | X      | X | 1       | 001b以外   | X              | X       | 入力ポート(注1)            |            |  |  |  |  |
|      |     |      |         |   |   |        |   | X       |          | TRBO<br>使用条件以外 |         |                      |            |  |  |  |  |
|      | 1   | X    | X       | X | X | X      | X | 1       | 001b以外   | X              | X       | 出力ポート(注2)            |            |  |  |  |  |
|      |     |      |         |   |   |        |   | X       |          | TRBO<br>使用条件以外 |         |                      |            |  |  |  |  |
|      | 0   | 1    | X       | X | X | X      | X | 1       | 001b以外   | X              | X       | KI3入力(注1)            |            |  |  |  |  |
|      |     |      |         |   |   |        |   | X       |          | TRBO<br>使用条件以外 |         |                      |            |  |  |  |  |
|      | 0   | 0    | 1       | 1 | 0 | 0      | 1 | 1       | 001b以外   | X              | X       | A/Dコンバータ入力(AN11)(注1) |            |  |  |  |  |
|      |     |      |         |   |   |        |   | X       |          | TRBO<br>使用条件以外 |         |                      |            |  |  |  |  |
|      | X   | X    | X       | X | X | X      | X | 0       | X        | X              | X       | X                    | TRBO出力(注2) |  |  |  |  |
|      | 0   | X    | X       | X | X | X      | X | 1       | 0        | X              | X       | TRCIOC入力(注1)         |            |  |  |  |  |
|      |     |      |         |   |   |        |   | X       |          | TRBO<br>使用条件以外 |         |                      |            |  |  |  |  |
|      | X   | X    | X       | X | X | X      | X | 1       | 0        | X              | X       | TRCIOC出力(注2)         |            |  |  |  |  |
|      |     |      |         |   |   |        |   | X       |          | TRBO<br>使用条件以外 |         |                      |            |  |  |  |  |

X：“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、プルアップありとなります。

注2. P1DRRレジスタのP1DRR3ビットを“1”にすると、出力の駆動能力Highとなります。

表7.17 ポートP1\_4/TXD0/TRCCLK

| レジスタ | PD1 | U0SR | U0MR |   |   | TRBRCSR | TRCCR1    |     |   | 機能 |              |  |
|------|-----|------|------|---|---|---------|-----------|-----|---|----|--------------|--|
|      |     |      | SMD  |   |   |         | TRCCLKSEL | TCK |   |    |              |  |
|      |     |      | 2    | 1 | 0 |         | 1         | 0   | 2 |    |              |  |
| 設定値  | 0   | 0    | X    | X | X | X       | X         | X   | X | X  | 入力ポート(注1)    |  |
|      | 1   | 0    | X    | X | X | X       | X         | X   | X | X  | 出力ポート(注2)    |  |
|      | X   | 1    | 0    | 0 | 1 | X       | X         | X   | X | X  | TXD0出力(注2、3) |  |
|      |     |      |      |   | 0 |         |           |     |   |    |              |  |
|      |     |      |      |   | 1 |         |           |     |   |    |              |  |
|      |     |      |      |   | 0 |         |           |     |   |    |              |  |
|      | 0   | 0    | X    | X | X | 0       | 1         | 1   | 0 | 1  | TRCCLK入力(注1) |  |

X：“0”または“1”

注1. PUR0レジスタのPU03ビットを“1”にすると、プルアップありとなります。

注2. P1DRRレジスタのP1DRR4ビットを“1”にすると、出力の駆動能力Highとなります。

注3. U0C0レジスタのNCHビットを“1”にすると、Nチャネルオーブンドレイン出力になります。

表7.18 ポートP1\_5/RXD0/TRAIO/INT1

| レジスタ | PD1   | U0SR     | TRASR    | TRAIOC | TRAMR                                  |      |   | INTSR |         |   | INTEN | INTCMP | 機能      |                              |
|------|-------|----------|----------|--------|--|------|---|-------|---------|---|-------|--------|---------|------------------------------|
| ピット  | PD1_5 | RXD0SEL0 | TRAIOSEL |        | TOPCR                                  | TMOD |   |       | INT1SEL |   |       | INT1EN | INT1CP0 |                              |
|      |       |          | 1        | 0      |  | 2    | 1 | 0     | 2       | 1 | 0     |        |         |                              |
| 設定値  | 0     | X        | 10b以外    | X      | X                                      | X    | X | X     | X       | X | X     | X      | X       | 入力ポート(注1)                    |
|      | 1     | X        | 10b以外    | X      | X                                      | X    | X | X     | X       | X | X     | X      | X       | 出力ポート(注2)                    |
|      | 0     | 1        | 10b以外    | X      | X                                      | X    | X | X     | X       | X | X     | X      | X       | RXD0入力(注1)                   |
|      | 0     | X        | 1 0      | 0      | 000b、001b以外                            | X    | X | X     | X       | X | X     | X      | X       | TRAIO入力(注1)                  |
|      | 0     | X        | 10b以外    | X      | X                                      | X    | X | 0     | 0       | 1 | 1     | 0      | 0       | INT1入力(注1)                   |
|      | 0     | X        | 1 0      | 0      | 000b、001b以外                            | 0    | 0 | 1     | 1       | 0 | 0     | 0      | 0       | TRAIO/INT1入力(注1)             |
|      | X     | X        | 1 0      | 0      | 0                                      | 0    | 0 | 1     | X       | X | X     | X      | X       | TRAIOパルス出力(注2)               |
|      | 0     | 1        | 1 0      | 0      | マスター モード:<br>000b<br>スレーブ モード:<br>011b | X    | X | X     | X       | X | X     | X      | X       | TRAIO/RXD0入力(ハードウェアLIN)      |
|      | 0     | 1        | 1 0      | 0      |  | 0    | 0 | 1     | 1       | 0 | 0     | 0      | 0       | TRAIO/RXD0/INT1入力(ハードウェアLIN) |

X：“0”または“1”

注1. PUR0レジスタのPU03ビットを“1”にすると、プルアップありとなります。

注2. P1DRRレジスタのP1DRR5ビットを“1”にすると、出力の駆動能力Highとなります。

表7.19 ポートP1\_6/CLK0/IVREF1

| レジスタ | PD1   | U0SR     | U0MR |   |   | INTCMP |         |   | 機能 |   |   |   |                                |
|------|-------|----------|------|---|---|--------|---------|---|----|---|---|---|--------------------------------|
| ピット  | PD1_6 | CLK0SEL0 | SMD  |   |   | CKDIR  | INT1CP0 |   |    |   |   |   |                                |
|      |       |          | 2    | 1 | 0 |        | 2       | 1 | 0  |   |   |   |                                |
| 設定値  | 0     | 0        | X    | X | X | X      | X       | X | X  | X | X | X | 入力ポート(注1)                      |
|      | 1     | 0        | X    | X | X | X      | X       | X | X  | X | X | X | 出力ポート(注2)                      |
|      | 0     | 1        | X    | X | X | 1      | 1       | X | X  | X | X | X | CLK0(外部クロック)入力(注1)             |
|      | X     | 1        | 0    | 0 | 1 | 0      | 0       | X | X  | X | X | X | CLK0(内部クロック)出力(注2)             |
|      | 0     | 0        | X    | X | X | X      | X       | 1 | 1  | 1 | 1 | 1 | コンパレータB1<br>リファレンス電圧入力(IVREF1) |

X：“0”または“1”

注1. PUR0レジスタのPU03ビットを“1”にすると、プルアップありとなります。

注2. P1DRRレジスタのP1DRR6ビットを“1”にすると、出力の駆動能力Highとなります。

表7.20 ポートP1\_7/INT1/TRAIO/IVCMP1

| レジスタ | PD1   | TRASR    | TRAIOC | TRAMR       |      |   | INTSR |         |   | INTEN | INTCMP | 機能      |   |                    |
|------|-------|----------|--------|-------------|------|---|-------|---------|---|-------|--------|---------|---|--------------------|
| ピット  | PD1_7 | TRAIOSEL |        | TOPCR       | TMOD |   |       | INT1SEL |   |       | INT1EN | INT1CP0 |   |                    |
|      |       | 1        | 0      |             | 2    | 1 | 0     | 2       | 1 | 0     |        |         |   |                    |
| 設定値  | 0     | 01b以外    | X      | X           | X    | X | X     | X       | X | X     | X      | X       | X | 入力ポート(注1)          |
|      | 1     | 01b以外    | X      | X           | X    | X | X     | X       | X | X     | X      | X       | X | 出力ポート(注2)          |
|      | 0     | 0 1      | 0      | 000b、001b以外 | X    | X | X     | X       | X | X     | X      | X       | X | TRAIO入力(注1)        |
|      | 0     | 01b以外    | X      | X           | X    | X | 0     | 0       | 0 | 1     | 0      | 0       | 0 | INT1入力(注1)         |
|      | 0     | 0 1      | 0      | 000b、001b以外 | 0    | 0 | 0     | 0       | 1 | 0     | 0      | 0       | 0 | TRAIO/INT1入力(注1)   |
|      | X     | 0 1      | 0      | 0           | 0    | 0 | 1     | X       | X | X     | X      | X       | X | TRAIOパルス出力(注2)     |
|      | 0     | 01b以外    | X      | X           | X    | X | X     | X       | X | 1     | 1      | 1       | 1 | コンパレータB1入力(IVCMP1) |

X：“0”または“1”

注1. PUR0レジスタのPU03ビットを“1”にすると、プルアップありとなります。

注2. P1DRRレジスタのP1DRR7ビットを“1”にすると、出力の駆動能力Highとなります。

表7.21 ポートP2\_0/INT1/TRCIOB

| レジスタ<br>ビット | PD2<br>PD2_0 | INTSR   |   |   | INTEN | INTCMP | TRCPSR0   |   |   | INT1SEL               | INT1EN | INT1CP0 | TRCIOBSEL    | - | 機能         |  |  |  |  |  |  |  |  |  |
|-------------|--------------|---------|---|---|-------|--------|-----------|---|---|-----------------------|--------|---------|--------------|---|------------|--|--|--|--|--|--|--|--|--|
|             |              | INT1SEL |   |   |       |        | TRCIOBSEL |   |   |                       |        |         |              |   |            |  |  |  |  |  |  |  |  |  |
|             |              | 2       | 1 | 0 |       |        | 2         | 1 | 0 |                       |        |         |              |   |            |  |  |  |  |  |  |  |  |  |
| 設定値         | 0            | X       | X | X | X     | X      | 101b以外    |   |   | X                     | -      | -       | -            | - | 入力ポート(注1)  |  |  |  |  |  |  |  |  |  |
|             | 1            | X       | X | X | X     | X      | 101b以外    |   |   | X                     | -      | -       | -            | - | 出力ポート(注2)  |  |  |  |  |  |  |  |  |  |
|             | 0            | 0       | 1 | 0 | 1     | 0      | 101b以外    |   |   | X                     | -      | -       | -            | - | INT1入力(注1) |  |  |  |  |  |  |  |  |  |
|             | 0            | X       | X | X | X     | X      | 1         | 0 | 1 | 「表7.35 TRCIOB 端子設定」参照 |        |         | TRCIOB入力(注1) | - | -          |  |  |  |  |  |  |  |  |  |
|             | X            | X       | X | X | X     | X      | 1         | 0 | 1 | 「表7.35 TRCIOB 端子設定」参照 |        |         | TRCIOB出力(注2) | - | -          |  |  |  |  |  |  |  |  |  |

X：“0”または“1”

注1. PUR0レジスタのPU04ビットを“1”にすると、プルアップありとなります。

注2. P2DRRレジスタのP2DRR0ビットを“1”にすると、出力の駆動能力Highとなります。

表7.22 ポートP2\_1/TRCIOC

| レジスタ<br>ビット | PD2<br>PD2_1 | TRCPSR1   |   |   | TRCIOCSEL            |   |   | TRCIOCSEL            |   |   | TRCIOCSEL    |   |   | TRCIOCSEL    |   |              | 機能 |  |
|-------------|--------------|-----------|---|---|----------------------|---|---|----------------------|---|---|--------------|---|---|--------------|---|--------------|----|--|
|             |              | TRCIOCSEL |   |   | TRCIOCSEL            |   |   | TRCIOCSEL            |   |   | TRCIOCSEL    |   |   | TRCIOCSEL    |   |              |    |  |
|             |              | 2         | 1 | 0 | 2                    | 1 | 0 | 2                    | 1 | 0 | 2            | 1 | 0 | 2            | 1 | 0            |    |  |
| 設定値         | 0            | 100b以外    |   |   | 100b以外               |   |   | 100b以外               |   |   | X            | - | - | X            | - | 入力ポート(注1)    |    |  |
|             | 1            | 100b以外    |   |   | 100b以外               |   |   | 100b以外               |   |   | X            | - | - | X            | - | 出力ポート(注2)    |    |  |
|             | 0            | 1         | 0 | 0 | 「表7.36 TRCIOC端子設定」参照 |   |   | 「表7.36 TRCIOC端子設定」参照 |   |   | TRCIOC入力(注1) | - | - | TRCIOC出力(注2) | - | TRCIOC出力(注2) |    |  |
|             | X            | 1         | 0 | 0 | 「表7.36 TRCIOC端子設定」参照 |   |   | 「表7.36 TRCIOC端子設定」参照 |   |   | TRCIOC出力(注2) | - | - | TRCIOC出力(注2) | - | TRCIOC出力(注2) |    |  |

X：“0”または“1”

注1. PUR0レジスタのPU04ビットを“1”にすると、プルアップありとなります。

注2. P2DRRレジスタのP2DRR1ビットを“1”にすると、出力の駆動能力Highとなります。

表7.23 ポートP2\_2/TRCIOD

| レジスタ | PD2   | TRCPSR1   |   |   | タイマRC設定              |  |  | 機能           |  |
|------|-------|-----------|---|---|----------------------|--|--|--------------|--|
| ビット  | PD2_2 | TRCIODSEL |   |   | -                    |  |  |              |  |
|      |       | 2         | 1 | 0 |                      |  |  |              |  |
| 設定値  | 0     | 100b以外    |   |   | X                    |  |  | 入力ポート(注1)    |  |
|      | 1     | 100b以外    |   |   | X                    |  |  | 出力ポート(注2)    |  |
|      | 0     | 1         | 0 | 0 | 「表7.37 TRCIOD端子設定」参照 |  |  | TRCIOD入力(注1) |  |
|      | X     | 1         | 0 | 0 | 「表7.37 TRCIOD端子設定」参照 |  |  | TRCIOD出力(注2) |  |

X：“0”または“1”

注1. PUR0レジスタのPU04ビットを“1”にすると、プルアップありとなります。

注2. P2DRRレジスタのP2DRR2ビットを“1”にすると、出力の駆動能力Highとなります。

表7.24 ポートP3\_1/TRBO

| レジスタ | PD3   | TRBRCSR  |  |  | タイマRB設定            |  |  | 機能         |
|------|-------|----------|--|--|--------------------|--|--|------------|
| ビット  | PD3_1 | TRBOSEL0 |  |  | -                  |  |  |            |
| 設定値  | 0     | 0        |  |  | X                  |  |  | 入力ポート(注1)  |
|      | 1     | 0        |  |  | X                  |  |  | 出力ポート(注2)  |
|      | X     | 1        |  |  | 「表7.33 TRBO端子設定」参照 |  |  | TRBO出力(注2) |

X：“0”または“1”

注1. PUR0レジスタのPU06ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR06ビットを“1”にすると、出力の駆動能力Highとなります。

表7.25 ポートP3\_3/INT3/TRCCLK/SCS/CTS2/RTS2/IVCMP3

| レジスタ | PD3   | SSMR2 | INTEN  | TRBRCSR   | TRCCR1 | U2SR1    | U2MR | U2CO | INTCMP     | 機能 |   |             |                        |
|------|-------|-------|--------|-----------|--------|----------|------|------|------------|----|---|-------------|------------------------|
| ビット  | PD3_3 | CSS   | INT3EN | TRCCLKSEL | TCK    | CTS2SEL0 | SMD  | CRS  | CRD        |    |   |             |                        |
|      |       | 1     |        | 1         | 0      |          | 2    |      |            |    |   |             |                        |
| 設定値  | 0     | 0     | 0      | X         | X      | X        | X    | 0    | X          | X  | X | X           | 入力ポート(注1)              |
|      | 1     | 0     | 0      | X         | X      | X        | X    | 0    | X          | X  | X | X           | 出力ポート(注2)              |
|      | 0     | 0     | 0      | 1         | X      | X        | X    | 0    | X          | X  | X | X           | INT3入力(注1)             |
|      | 0     | 0     | 0      | X         | 1      | 0        | 1    | 0    | X          | X  | X | X           | TRCCLK入力(注1)           |
|      | X     | 0     | 1      | X         | X      | X        | X    | X    | X          |    |   | SCS入力(注1)   |                        |
|      | X     | 1     | 0      | X         | X      | X        | X    | X    | X          |    |   | SCS出力(注2、3) |                        |
|      | X     | 1     | 1      | X         | X      | X        | X    | X    | X          |    |   | CTS2入力(注1)  |                        |
|      | 0     | 0     | 0      | X         | X      | X        | X    | 1    | 000b<br>以外 |    | 0 | 0           | CTS2入力(注1)             |
|      | X     | 0     | 0      | X         | X      | X        | X    | 1    | 000b<br>以外 |    | 1 | 0           | RTS2出力(注2)             |
|      | 0     | 0     | 0      | 1         | 10b以外  |          |      | X    | X          | X  | X | 1           | コンバレータB3入力<br>(IVCMP3) |

X：“0”または“1”

注1. PUR0レジスタのPU06ビットを“1”にすると、プルアップありとなります。

注2. DRR0レジスタのDRR06ビットを“1”にすると、出力の駆動能力Highとなります。

注3. SSMR2レジスタのCSOSビットを“1”(Nチャネルオーブンドレイン出力)にすると、Nチャネルオーブンドレイン出力になります。

表7.26 ポートP3\_4/TRCIOC/SSI/RXD2/SCL2/TXD2/SDA2/IVREF3

| レジ<br>スタ | PD3   | SSUIICSR | シンクロナスシリ<br>アルコミュニケ<br>ーションユニット<br>(「表 24.4 通信<br>モードと入出力端<br>子の関係」参照) | TRCPSR1     |               |   | U2SR0       |           |             | U2MR      |     |   | U2SMR | INTCMP      | タイマRC設定 | 機能 |   |
|----------|-------|----------|--|-------------|---------------|---|-------------|-----------|-------------|-----------|-----|---|-------|-------------|---------|----|---|
| ビット      | PD3_4 | IICSEL   | SSI<br>出力制御  | SSI<br>入力制御 | TRCIOC<br>SEL |   | RXD2<br>SEL |           | TXD2<br>SEL |           | SMD |   | IICM  | INT3<br>CP0 | -       |    |   |
|          |       |          |  |             | 2             | 1 | 0           | 1         | 0           | 1         | 0   | 2 | 1     | 0           |         |    |   |
| 設定値      | 0     | X        | 0  | 0           | 010b<br>以外    |   |             | 01b<br>以外 |             | 10b<br>以外 |     | X | X     | X           | X       | X  | 入力ポート(注1)                                   |
|          | 1     | X        | 0  | 0           | 010b<br>以外    |   |             | 01b<br>以外 |             | 10b<br>以外 |     | X | X     | X           | X       | X  | 出力ポート(注2)                                   |
|          | 0     | X        | 0  | 0           | 0             | 1 | 0           | 01b<br>以外 |             | 10b<br>以外 |     | X | X     | X           | X       | X  | 「表7.36<br>TRCIOC端子<br>設定」参照<br>TRCIOC入力(注1) |
|          | X     | X        | 0  | 0           | 0             | 1 | 0           | 01b<br>以外 |             | 10b<br>以外 |     | X | X     | X           | X       | X  | 「表7.36<br>TRCIOC端子<br>設定」参照<br>TRCIOC出力(注2) |
|          | X     | 0        | 0  | 1           | X             | X | X           | X         | X           | X         | X   | X | X     | X           | X       | X  | SSI入力(注1)                                   |
|          | X     | 0        | 1  | 0           | X             | X | X           | X         | X           | X         | X   | X | X     | X           | X       | X  | SSI出力(注2、3)                                 |
|          | 0     | X        | 0  | 0           | 010b<br>以外    |   |             | 0         | 1           | 10b<br>以外 |     | X | X     | X           | X       | X  | RXD2入力(注1)                                  |
|          | 0     | X        | 0  | 0           | X             | X | X           | 0         | 1           | 10b<br>以外 |     | 0 | 1     | 0           | 1       | X  | SCL2入出力<br>(注2、4)                           |
|          | X     | X        | 0  | 0           | X             | X | X           | X         | X           | 1         | 0   | 0 | 1     | 0           | 0       | X  | TXD2出力(注2、4)                                |
|          | 0     | X        | 0  | 0           | X             | X | X           | X         | X           | 1         | 0   | 0 | 1     | 0           | 1       | X  | SDA2入出力<br>(注2、4)                           |
|          | 0     | X        | 0  | 0           | 010b<br>以外    |   |             | 01b<br>以外 |             | 10b<br>以外 |     | X | X     | X           | X       | 1  | コンパレータB3<br>リファレンス電圧入<br>力(IVREF3)          |

X：“0”または“1”

注1. PUR0レジスタのPU07ビットを“1”にすると、ブルアップありとなります。

注2. DRR0レジスタのDRR07ビットを“1”にすると、出力の駆動能力Highとなります。

注3. SSMR2レジスタのSOOSビットを“1”(Nチャネルオープンドレイン出力)かつBIDEビットを“0”(標準モード)にすると、Nチャネルオープンドレイン出力になります。

注4. U2C0レジスタのNCHビットを“1”にすると、Nチャネルオープンドレイン出力になります。

表7.27 ポート P3\_5/SCL/SSCK/TRCIOD/CLK2

| レジスタ | PD3   | SSUIICSR | ICCR1 | シンクロナスシリアルコミュニケーションユニット<br>(「表 24.4 通信モードと入出力端子の関係」参照) | TRCPSR1   |           |   | U2SR1 |          | U2MR |     |       | タイマRC 設定 | 機能 |                        |
|------|-------|----------|-------|--|-----------|-----------|---|-------|----------|------|-----|-------|----------|----|------------------------|
| ビット  | PD3_5 | IICSEL   | ICE   | SSCK 出力制御  | SSCK 入力制御 | TRCIODSEL |   |       | CLK2SEL0 |      | SMD | CKDIR | -        |    |                        |
|      |       |          |       |  |           | 2         | 1 | 0     |          | 2    | 1   | 0     |          |    |                        |
| 設定値  | 0     | 0        | X     | 0  | 0         | 010b 以外   |   |       | 0        | X    | X   | X     | X        | X  | 入力ポート(注1)              |
|      |       | 1        | 0     | X  | X         |           |   |       |          | X    | X   | X     | X        | X  | 出力ポート(注2)              |
|      | 1     | 0        | X     | 0  | 0         | 010b 以外   |   |       | 0        | X    | X   | X     | X        | X  | SCL入出力(注2)             |
|      |       | 1        | 0     | X  | X         |           |   |       |          | X    | X   | X     | X        | X  | SSCK入力(注1)             |
|      | X     | 1        | 1     | X  | X         | X         | X | X     | X        | X    | X   | X     | X        | X  | SSCK出力(注2、3)           |
|      | X     | 0        | X     | 0  | 1         | X         | X | X     | X        | X    | X   | X     | X        | X  | TRCIOD 入力(注1)          |
|      | X     | 0        | X     | 1  | 0         | X         | X | X     | X        | X    | X   | X     | X        | X  | TRCIOD 出力(注2)          |
|      | 0     | 0        | X     | 0  | 0         | 0 1 0     |   |       | 0        | X    | X   | X     | X        | X  | 「表 7.37 TRCIOD 端子設定」参照 |
|      |       | 1        | 0     | X  | X         |           |   |       |          | X    | X   | X     | X        | X  | 「表 7.37 TRCIOD 端子設定」参照 |
|      | X     | 0        | X     | 0  | 0         | 0 1 0     |   |       | 0        | X    | X   | X     | X        | X  | 「表 7.37 TRCIOD 端子設定」参照 |
|      |       | 1        | 0     | X  | X         |           |   |       |          | X    | X   | X     | X        | X  | CLK2 入力(注2)            |
|      | 0     | 0        | X     | 0  | 0         | X         | X | X     | 1        | X    | X   | X     | 1        | X  | CLK2 入力(注2)            |
|      |       | 1        | 0     | X  | X         | X         | X | X     | 1        | 0    | 0   | 1     | 0        | X  | CLK2 出力(注2、4)          |
|      | X     | 0        | X     | 0  | 0         | X X X     |   |       | 1        | 0    | 0   | 1     | 0        | X  | CLK2 出力(注2、4)          |

X：“0”または“1”

注1. PUR0 レジスタの PU07 ビットを “1” にすると、プルアップありとなります。

注2. DRR0 レジスタの DRR07 ビットを “1” にすると、出力の駆動能力 High となります。

注3. SSMR2 レジスタの SCKOS ビットを “1” (N チャネルオープンドレイン出力) にすると、N チャネルオープンドレイン出力になります。

注4. U2SMR3 レジスタの NODC ビットを “1” にすると、N チャネルオープンドレイン出力になります。

表7.28 ポート P3\_7/SSO/TXD2/SDA2/RXD2/SCL2/TRA0/SDA

| レジスタ | PD3   | SSUIICSR | ICCR1 | シンクロナスシリアルコミュニケーションユニット<br>(「表 24.4 通信モードと入出力端子の関係」参照) | U2SR0    |         |         |     | U2MR   |   |   | U2SMR | TRAIOC | 機能    |                |
|------|-------|----------|-------|--|----------|---------|---------|-----|--------|---|---|-------|--------|-------|----------------|
| ビット  | PD3_7 | IICSEL   | ICE   | SSO 出力制御   | SSO 入力制御 | RXD2SEL | TXD2SEL | 1 0 | 1 0    | 2 | 1 | 0     | IICM   | TOENA |                |
|      |       |          |       |  |          | 1       | 0       |     |        |   |   |       |        |       |                |
| 設定値  | 0     | 1        | 0     | X  | X        | 10b 以外  |         |     | 01b 以外 | X | X | X     | X      | 0     | 入力ポート(注1)      |
|      |       | 0        | X     | 0  | 0        |         |         |     |        | X | X | X     | X      | X     | 出力ポート(注2)      |
|      | 1     | 1        | 0     | X  | X        | 10b 以外  |         |     | 01b 以外 | X | X | X     | X      | 0     | SDA入出力(注2)     |
|      |       | 0        | X     | 0  | 0        |         |         |     |        | X | X | X     | X      | X     | SSO入力(注1)      |
|      | X     | 1        | 1     | X  | X        | X       | X       | X   | X      | X | X | X     | X      | X     | SSO出力(注2、3)    |
|      | X     | 0        | X     | 0  | 1        | X       | X       | X   | X      | X | X | X     | X      | X     | RXD2 入力(注1)    |
|      | X     | 0        | X     | 1  | 0        | X       | X       | X   | X      | X | X | X     | X      | X     | TXD2 出力(注2、4)  |
|      | 0     | 1        | 0     | X  | X        | 1 0     |         |     | 01b 以外 | X | X | X     | X      | 0     | SCL2 入出力(注2、4) |
|      |       | 0        | X     | 0  | 0        |         |         |     |        | X | X | X     | X      | X     | TRA0 出力(注2)    |
|      | X     | 1        | 0     | X  | X        | X X 0   |         |     | 1      | 0 | 1 | 0     | 1      | X     | SDA2 入出力(注2、4) |
|      |       | 0        | X     | 0  | 0        |         |         |     |        | X | X | X     | X      | 1     | X              |
|      | 0     | 1        | 0     | X  | X        | X X 0   |         |     | 01b 以外 | 0 | 1 | 0     | 1      | X     | SDA2 入出力(注2、4) |
|      |       | 0        | X     | 0  | 0        |         |         |     |        | 0 | 0 | 1     | 0      | X     | TRA0 出力(注2)    |

X：“0”または“1”

注1. PUR0 レジスタの PU07 ビットを “1” にすると、プルアップありとなります。

注2. DRR0 レジスタの DRR07 ビットを “1” にすると、出力の駆動能力 High となります。

注3. SSMR2 レジスタの SOOS ビットを “1” (N チャネルオープンドレイン出力) にすると、N チャネルオープンドレイン出力になります。

注4. U2C0 レジスタの NCH ビットを “1” にすると、N チャネルオープンドレイン出力になります。

表7.29 ポートP4\_2/VREF

| レジスタ | ADCON1 |  | DACON |      |  | 機能           |  |
|------|--------|--|-------|------|--|--------------|--|
| ビット  | ADSTBY |  | DA0E  | DA1E |  |              |  |
| 設定値  | 0      |  | 0     | 0    |  | 入力ポート        |  |
|      | 000b以外 |  |       |      |  | 入力ポート/VREF入力 |  |

表7.30 ポートP4\_5/INT0/RXD2/SCL2/ADTRG

| レジスタ | PD4   | INTEN  | U2SR0   |   | U2MR |   |   | U2SMR | ADMOD |   | 機能 |               |
|------|-------|--------|---------|---|------|---|---|-------|-------|---|----|---------------|
| ビット  | PD4_5 | INT0EN | RXD2SEL |   | SMD  |   |   | IICM  | ADCAP |   |    |               |
| 設定値  | 0     | X      | 11b以外   |   | X    | X | X | X     | X     | X | X  | 入力ポート(注1)     |
|      | 1     | X      | 11b以外   |   | X    | X | X | X     | X     | X | X  | 出力ポート(注2)     |
|      | 0     | 1      | 11b以外   |   | X    | X | X | X     | X     | X | X  | INT0入力(注1)    |
|      | 0     | X      | 1       | 1 | X    | X | X | X     | X     | X | X  | RXD2入力(注1)    |
|      | 0     | X      | 1       | 1 | 0    | 1 | 0 | 1     | X     | X | X  | SCL2入出力(注2、3) |
|      | 0     | 1      | 11b以外   |   | X    | X | X | X     | 1     | 1 | 1  | ADTRG入力(注1)   |

X：“0”または“1”

注1. PUR1レジスタのPU11ビットを“1”にすると、プルアップありとなります。

注2. DRR1レジスタのDRR11ビットを“1”にすると、出力の駆動能力Highとなります。

注3. U2C0レジスタのNCHビットを“1”にすると、Nチャネルオーブンドレイン出力になります。

表7.31 ポートP4\_6/XIN/XCIN

| レジスタ | PD4   | CM0  |      |      |      | CM1  |      |      |      | 回路仕様       |          | 機能                       |  |
|------|-------|------|------|------|------|------|------|------|------|------------|----------|--------------------------|--|
| ビット  | PD4_6 | CM01 | CM03 | CM04 | CM05 | CM10 | CM11 | CM12 | CM13 | 発振<br>バッファ | 帰還<br>抵抗 |                          |  |
| 設定値  | 0     | X    | X    | 0    | X    | 0    | X    | X    | 0    | OFF        | OFF      | 入力ポート(注1)                |  |
|      | 1     | X    | X    | 0    | X    | 0    | X    | X    | 0    | OFF        | OFF      | 出力ポート(注2)                |  |
|      | X     | 0    | X    | X    | 0    | 0    | X    | 1    | X    | ON         | ON       | XIN-XOUT発振(内蔵帰還抵抗有効)     |  |
|      |       |      |      |      |      |      |      |      |      | ON         | OFF      | XIN-XOUT発振(内蔵帰還抵抗無効)     |  |
|      |       |      |      |      |      |      |      |      |      | OFF        | ON       | XIN-XOUT発振停止(内蔵帰還抵抗有効)   |  |
|      |       |      |      |      |      |      |      |      |      | OFF        | OFF      | XIN-XOUT発振停止(内蔵帰還抵抗無効)   |  |
|      | X     | 1    | 0    | 1    | X    | 0    | X    | 1    | X    | 0          | ON       | XCIN-XCOUT発振(内蔵帰還抵抗有効)   |  |
|      |       |      |      |      |      |      |      |      |      | 1          | ON       | XCIN-XCOUT発振(内蔵帰還抵抗無効)   |  |
|      |       | 1    | 1    | X    | X    | 0    | X    | 1    | X    | 0          | OFF      | XCIN-XCOUT発振停止(内蔵帰還抵抗有効) |  |
|      |       |      |      |      |      |      |      |      |      | 1          | OFF      | XCIN-XCOUT発振停止(内蔵帰還抵抗無効) |  |
|      |       | X    | X    | X    | X    | 1    | X    | X    | OFF  | OFF        | OFF      | 発振停止(STOPモード)            |  |

X：“0”または“1”

注1. PUR1レジスタのPU11ビットを“1”にすると、プルアップありとなります。

注2. DRR1レジスタのDRR11ビットを“1”にすると、出力の駆動能力Highとなります。

表7.32 ポートP4\_7/XOUT/XCOUT

| レジスタ | PD4   | CM0  |      |      |      | CM1  |      |      |      | 回路仕様       |          | 機能                          |
|------|-------|------|------|------|------|------|------|------|------|------------|----------|-----------------------------|
| ビット  | PD4_7 | CM01 | CM03 | CM04 | CM05 | CM10 | CM11 | CM12 | CM13 | 発振<br>バッファ | 帰還<br>抵抗 |                             |
| 設定値  | 0     | X    | X    | 0    | X    | 0    | X    | X    | 0    | OFF        | OFF      | 入力ポート(注1)                   |
|      | 1     | X    | X    | 0    | X    | 0    | X    | X    | 0    | OFF        | OFF      | 出力ポート(注2)                   |
|      | 0     | X    | X    | 0    | 0    | X    | 0    | X    | 1    | ON         | ON       | XIN-XOUT 発振(内蔵帰還抵抗有効)       |
|      |       |      |      |      |      |      |      |      |      | ON         | OFF      | XIN-XOUT 発振(内蔵帰還抵抗無効)       |
|      |       | 1    | 1    | 1    | 0    | X    | 0    | X    | 1    | OFF        | ON       | XIN-XOUT 発振停止(内蔵帰還抵抗有効)     |
|      |       |      |      |      |      |      |      |      |      | OFF        | OFF      | XIN-XOUT 発振停止(内蔵帰還抵抗無効)     |
|      | X     | 0    | 1    | 0    | X    | 0    | X    | 0    | 1    | ON         | ON       | XCIN-XCOUT 発振(内蔵帰還抵抗有効)(注3) |
|      |       |      |      |      |      |      |      |      |      | ON         | OFF      | XCIN-XCOUT 発振(内蔵帰還抵抗無効)(注3) |
|      |       | 1    | 1    | 1    | X    | 0    | X    | 0    | 1    | OFF        | ON       | XCIN-XCOUT 発振停止(内蔵帰還抵抗有効)   |
|      |       |      |      |      |      |      |      |      |      | OFF        | OFF      | XCIN-XCOUT 発振停止(内蔵帰還抵抗無効)   |
|      | X     | X    | X    | X    | X    | 1    | X    | X    | OFF  | OFF        | OFF      | 発振停止(STOP モード)              |

X：“0”または“1”

注1. PUR1 レジスタのPU11ビットを“1”にすると、プルアップありとなります。

注2. DRR1 レジスタのDRR11ビットを“1”にすると、出力の駆動能力Highとなります。

注3. XCIN-XCOUT発振バッファは、内部降圧電源で動作していますので、XCOUT出力レベルを直接CMOS レベルの信号として使用できません。

表7.33 TRBO端子設定

| レジスタ<br>ビット | TRBIOC<br>TOCNT | TRBMR |       | 機能                        |
|-------------|-----------------|-------|-------|---------------------------|
|             |                 | TMOD1 | TMOD0 |                           |
| 設定値         | 0               | 0     | 1     | プログラマブル波形発生モード(パルス出力)     |
|             | 1               | 0     | 1     | プログラマブル波形発生モード(プログラマブル出力) |
|             | 0               | 1     | 0     | プログラマブルワンショット発生モード        |
|             | 0               | 1     | 1     | プログラマブルウェイトワンショット発生モード    |

表7.34 TRCIOA端子設定

| レジスタ<br>ビット | TRCOER | TRCMR | TRCIOR0 |      |      | TRCCR2 |       | 機能                    |
|-------------|--------|-------|---------|------|------|--------|-------|-----------------------|
|             |        |       | PWM2    | IOA2 | IOA1 | IOA0   | TCEG1 |                       |
| 設定値         | 0      | 1     | 0       | 0    | 1    | X      | X     | タイマ波形出力(アウトプットコンペア機能) |
|             |        |       |         | 1    | X    |        |       |                       |
|             | 0      | 1     | 1       | X    | X    | X      | X     | タイマモード(インプットキャプチャ機能)  |
|             | 1      |       | X       | X    | X    | 0      | 1     | PWM2モード TRCTRG入力      |
|             |        |       |         |      |      | 1      | X     |                       |

X：“0”または“1”

表7.35 TRCIOB端子設定

| レジスタ<br>ビット | TRCOER | TRCMR |      | TRCIOR0 |      |      | 機能                    |
|-------------|--------|-------|------|---------|------|------|-----------------------|
|             |        | EB    | PWM2 | PWMB    | IOB2 | IOB1 |                       |
| 設定値         | 0      | 0     | X    | X       | X    | X    | PWM2モード波形出力           |
|             |        | 1     | 1    | X       | X    | X    | PWMモード波形出力            |
|             | 0      | 1     | 0    | 0       | 0    | 1    | タイマ波形出力(アウトプットコンペア機能) |
|             |        |       |      |         | 1    | X    |                       |
|             | 0      | 1     | 0    | 1       | X    | X    | タイマモード(インプットキャプチャ機能)  |

X：“0”または“1”

表7.36 TRCIOC端子設定

| レジスタ<br>ビット | TRCOER | TRCMR |      | TRCIOR1 |      |      | 機能   |                       |
|-------------|--------|-------|------|---------|------|------|------|-----------------------|
|             |        | EC    | PWM2 | PWMC    | IOC2 | IOC1 | IOC0 |                       |
| 設定値         | 0      | 1     | 1    | X       | X    | X    | X    | PWMモード波形出力            |
|             |        | 1     | 0    | 0       | 0    | 1    |      | タイマ波形出力(アウトプットコンペア機能) |
|             | 0      | 1     | 0    |         | 1    | X    |      |                       |
|             | 1      |       | 0    | 1       | X    | X    |      | タイマモード(インプットキャプチャ機能)  |

X：“0”または“1”

表7.37 TRCIOD端子設定

| レジスタ<br>ビット | TRCOER | TRCMR |      | TRCIOR1 |      |      | 機能   |                       |
|-------------|--------|-------|------|---------|------|------|------|-----------------------|
|             |        | ED    | PWM2 | PWMD    | IOD2 | IOD1 | IOD0 |                       |
| 設定値         | 0      | 1     | 1    | X       | X    | X    | X    | PWMモード波形出力            |
|             |        | 1     | 0    | 0       | 0    | 1    |      | タイマ波形出力(アウトプットコンペア機能) |
|             | 0      | 1     | 0    |         | 1    | X    |      |                       |
|             | 1      |       | 0    | 1       | X    | X    |      | タイマモード(インプットキャプチャ機能)  |

X：“0”または“1”

## 7.6 未使用端子の処理

表7.38に未使用端子の処理例を、図7.12に未使用端子の処理例を示します。

表7.38 未使用端子の処理例

| 端子名  | 処理内容  |
|--|---|
| ポートP0、P1、P2_0～P2_2、<br>P3_1、P3_3～P3_5、P3_7、<br>P4_5～P4_7 | •入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)、または端子ごとに抵抗を介してVCCに接続(プルアップ)(注2)<br>•出力モードに設定し、端子を開放(注1、2) |
| ポートP4_2/VREF   | VCCに接続  |
| RESET(注3)  | 抵抗を介してVCCに接続(プルアップ)(注2)   |

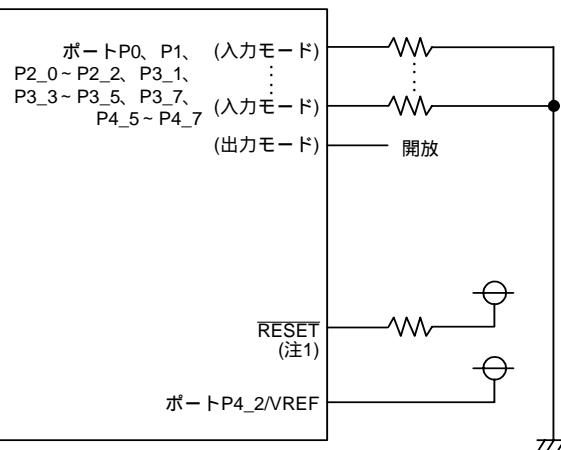
注1. 出力モードに設定し、開放する場合、プログラムによってポートを出力モードに切り替えるまでは、ポートは入力になっています。そのため、端子の電圧レベルが不定になり、ポートが入力モードになっている期間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考えし、プログラムで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。

注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注3. パワーオンリセット機能使用時。

マイクロコンピュータ



注1. パワーオンリセット機能使用時。

図7.12 未使用端子の処理例

## 8. バス制御

ROM、RAM、DTC ベクタ領域、DTC コントロールデータとSFR とはアクセス時のバスサイクルが異なります。

表 8.1 に R8C/33C グループのアクセス領域に対するバスサイクルを示します。

ROM、RAM、DTC ベクタ領域、DTC コントロールデータとSFR は8ビットバスでCPU と接続しています。このためワード(16ビット)単位でアクセスする場合、8ビット単位で2回アクセスします。表 8.2 にアクセス単位とバスの動作を示します。

表 8.1 R8C/33C グループのアクセス領域に対するバスサイクル

| アクセス領域        | バスサイクル           |
|---------------|------------------|
| SFR/ データフラッシュ | CPU クロックの 2 サイクル |
| プログラム ROM/RAM | CPU クロックの 1 サイクル |

表 8.2 アクセス単位とバスの動作

| 領域              | SFR、データフラッシュ                            | ROM(プログラムROM)、RAM<br>DTC ベクタ領域、DTC コントロールデータ |
|-----------------|---|--|
| 偶数番地<br>バイトアクセス | CPU クロック            アドレス            データ | CPU クロック            アドレス            データ      |
| 奇数番地<br>バイトアクセス | CPU クロック            アドレス            データ | CPU クロック            アドレス            データ      |
| 偶数番地<br>ワードアクセス | CPU クロック            アドレス            データ | CPU クロック            アドレス            データ      |
| 奇数番地<br>ワードアクセス | CPU クロック            アドレス            データ | CPU クロック            アドレス            データ      |

ただし、次のSFRのみ16ビットバスでCPUと接続しています。

割り込み：各割り込み制御レジスタ

タイマRC : TRC、TRCGRA、TRCGRB、TRCGRC、TRCGRD レジスタ

SSU : SSTDR、SSTDRH、SSRDR、SSRDRH レジスタ

UART2 : U2MR、U2BRG、U2TB、U2C0、U2C1、U2RB、U2SMR5、U2SMR4、U2SMR3、U2SMR2、U2SMR レジスタ

A/D コンバータ : AD0、AD1、AD2、AD3、AD4、AD5、AD6、AD7、ADMOD、ADINSEL、ADCON0、ADCON1 レジスタ

D/A コンバータ : DA0、DA1 レジスタ

アドレス一致割り込み : RMAD0、AIER0、RMAD1、AIER1 レジスタ

このため、16ビット単位で1回アクセスします。バスの動作は「表 8.2 アクセス単位とバスの動作」の「領域：SFR、データフラッシュ、偶数番地バイトアクセス」と同じで、16ビットデータを1度にアクセスします。

## 9. クロック発生回路

クロック発生回路として、5つの回路が内蔵されています。

- XIN クロック発振回路
- XCIN クロック発振回路
- 低速オンチップオシレータ
- 高速オンチップオシレータ
- ウォッチドッグタイマ用低速オンチップオシレータ

### 9.1 概要

表9.1にクロック発生回路の概略仕様を、図9.1にクロック発生回路(XIN、XCIN共通端子)を、図9.2に周辺機能のクロックを、図9.3にVCA20ビットによる内部電源低消費操作手順を示します。

表9.1 クロック発生回路の概略仕様

| 項目       | XIN クロック<br>発振回路  | XCIN クロック<br>発振回路   | オンチップオシレータ  |   | ウォッチドッグ<br>タイマ用低速オン<br>チップオシレータ                                      |
|----------|---|---|---|---|--|
|          |   |   | 高速オンチップ<br>オシレータ  | 低速オンチップ<br>オシレータ  |  |
| 用途       | <ul style="list-style-type: none"> <li>• CPUのクロック源</li> <li>• 周辺機能のクロック源</li> </ul> | <ul style="list-style-type: none"> <li>• CPUのクロック源</li> <li>• 周辺機能のクロック源</li> </ul>                     | <ul style="list-style-type: none"> <li>• CPUのクロック源</li> <li>• 周辺機能のクロック源</li> <li>• XIN クロック発振停止時のCPU、周辺機能のクロック源</li> </ul> | <ul style="list-style-type: none"> <li>• CPUのクロック源</li> <li>• 周辺機能のクロック源</li> <li>• XIN クロック発振停止時のCPU、周辺機能のクロック源</li> </ul> | <ul style="list-style-type: none"> <li>• ウォッチドッグタイマのクロック源</li> </ul> |
| クロック周波数  | 0 ~ 20MHz   | 32.768kHz   | 約40MHz(注3)  | 約125kHz   | 約125kHz  |
| 接続できる発振子 | <ul style="list-style-type: none"> <li>• セラミック共振子</li> <li>• 水晶発振子</li> </ul>       | 水晶発振子   |   |   |  |
| 発振子の接続端子 | XIN、XOUT(注1)  | XCIN、XCOUT<br>(注1)  | (注1)  | (注1)  |  |
| 発振の開始と停止 | あり  | あり  | あり  | あり  | あり   |
| リセット後の状態 | 停止  | 停止  | 停止  | 発振  | 停止(注4)<br>発振(注5)   |
| その他      | 外部で生成されたクロックを入力可能<br>(注2)   | <ul style="list-style-type: none"> <li>• 外部で生成されたクロックを入力可能</li> <li>• 帰還抵抗Rfを内蔵。(接続/非接続選択可能)</li> </ul> |   |   |  |

注1. XIN クロック発振回路およびXCIN クロック発振回路を使用せず、オンチップオシレータクロックをCPUクロックに使用する場合にはP4\_6、P4\_7として使うことができます。

注2. 外部クロック入力時には、CM0レジスタのCM05ビットを“1”(XINクロック停止)、CM1レジスタのCM11ビットを“1”(内蔵帰還抵抗無効)に、CM13ビットを“1”(XIN-XOUT端子)にしてください。

注3. CPUクロック源として使用する場合には、分周器により最大：約20MHzとなります。

注4. OFSレジスタのCSPROINIビットが“1”(リセット後、カウントソース保護モード無効)の場合です。

注5. OFSレジスタのCSPROINIビットが“0”(リセット後、カウントソース保護モード有効)の場合です。

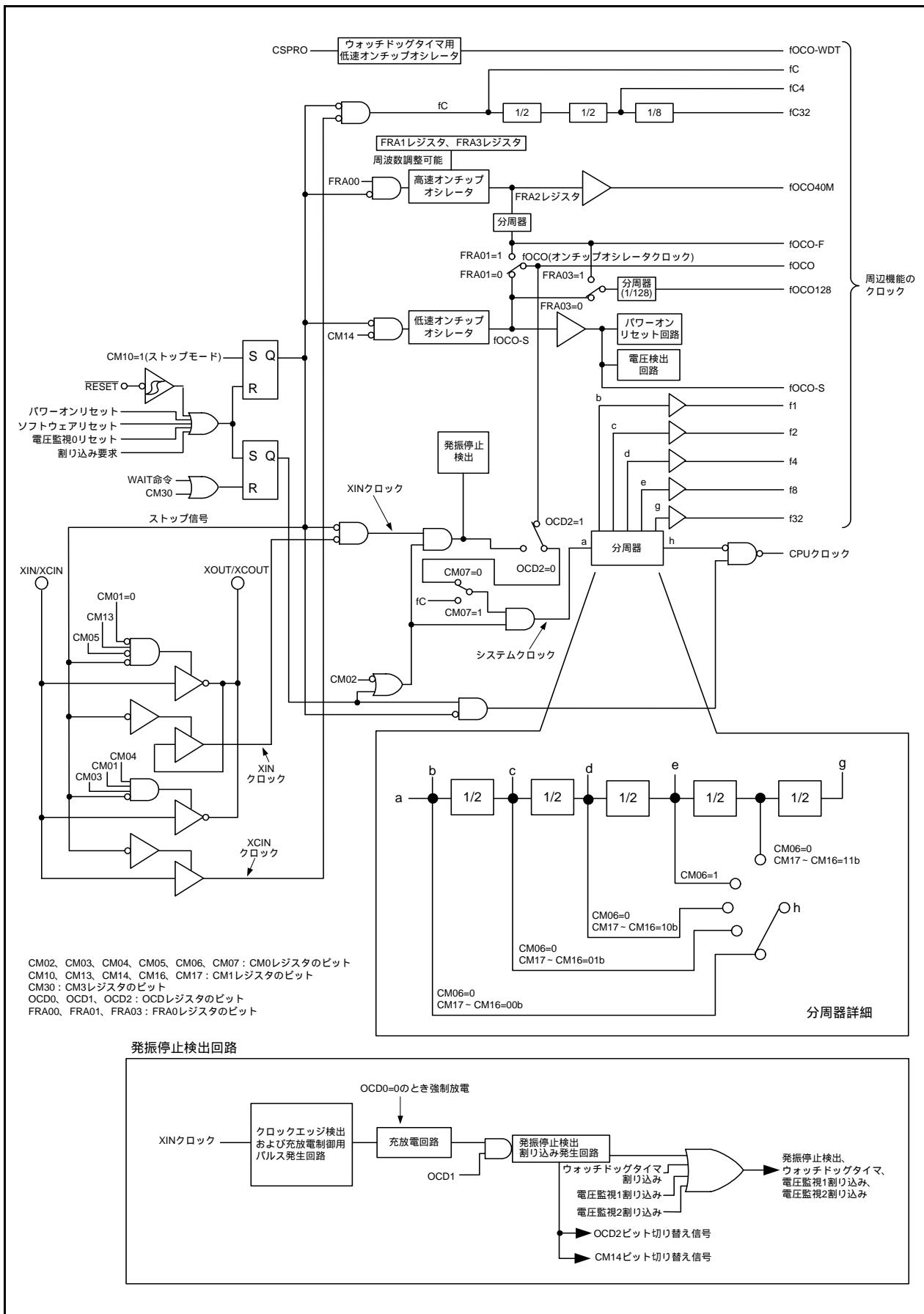


図9.1 クロック発生回路(XIN、XCIN共通端子)

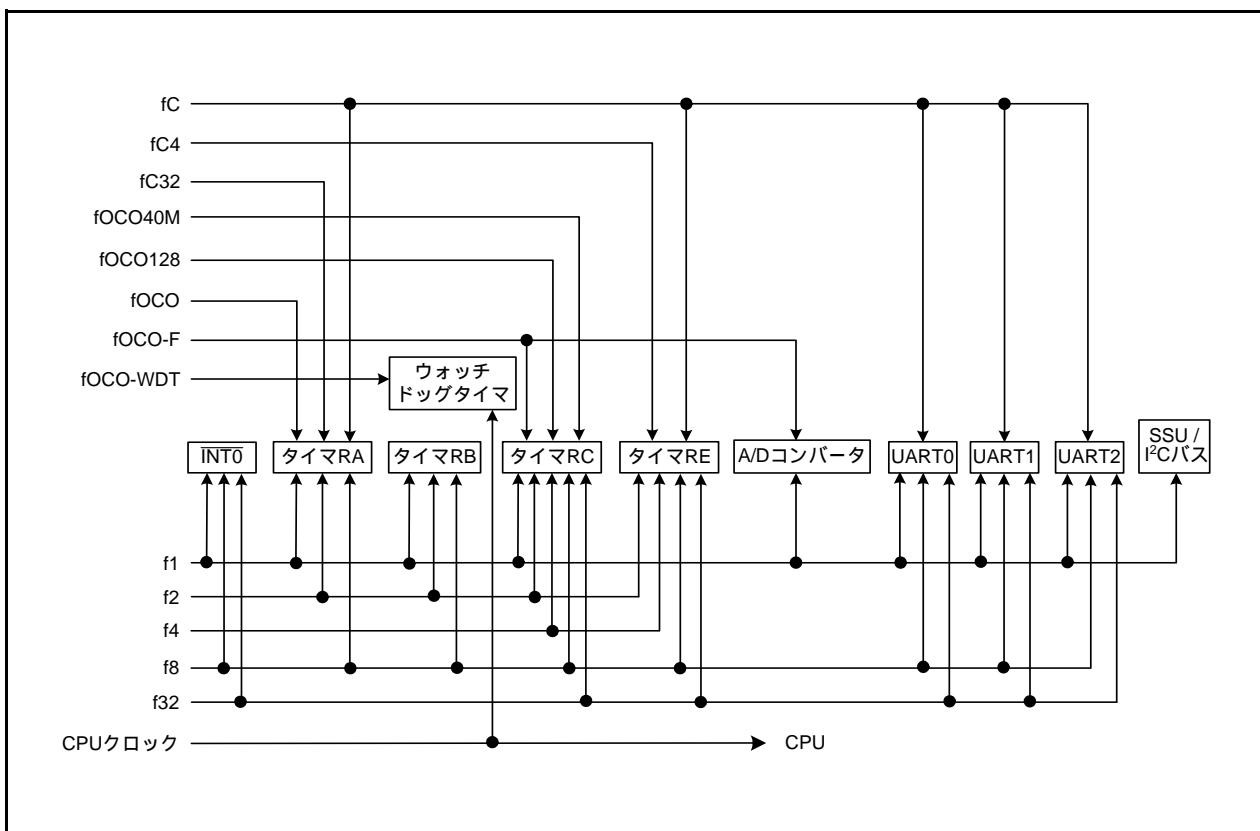


図9.2 周辺機能のクロック

## 9.2 レジスタの説明

### 9.2.1 システムクロック制御レジスタ0 (CM0)

アドレス 0006h 番地

| ビット     | b7   | b6   | b5   | b4   | b3   | b2   | b1   | b0 |
|---------|------|------|------|------|------|------|------|----|
| シンボル    | CM07 | CM06 | CM05 | CM04 | CM03 | CM02 | CM01 | -  |
| リセット後の値 | 0    | 0    | 1    | 0    | 1    | 0    | 0    | 0  |

| ビット | シンボル | ビット名                         | 機能   | R/W |
|-----|------|------------------------------|--|-----|
| b0  | -    | 予約ビット                        | “0”にしてください   | R/W |
| b1  | CM01 | XIN-XCIN切り替えビット              | 0 : P4_6、P4_7をXIN-XOUT端子にする<br>1 : P4_6、P4_7をXCIN-XCOUT端子にする | R/W |
| b2  | CM02 | ウェイトモード時周辺機能クロック停止ビット        | 0 : ウェイトモード時、周辺機能クロックを停止しない<br>1 : ウェイトモード時、周辺機能クロックを停止する    | R/W |
| b3  | CM03 | XCINクロック停止ビット                | 0 : 発振<br>1 : 停止   | R/W |
| b4  | CM04 | ポート/XCIN-XCOUT切り替えビット(注5)    | 0 : 入出力ポートP4_6、P4_7<br>1 : XCIN、XCOUT端子(注6)                  | R/W |
| b5  | CM05 | XINクロック(XIN-XOUT)停止ビット(注1、3) | 0 : 発振<br>1 : 停止(注2)   | R/W |
| b6  | CM06 | CPUクロック分周比選択ビット0(注4)         | 0 : CM1レジスタのCM16、CM17ビット有効<br>1 : 8分周モード                     | R/W |
| b7  | CM07 | XIN、XCINクロック選択ビット(注7)        | 0 : XINクロック<br>1 : XCINクロック                                  | R/W |

注1. CM05ビットは高速オンチップオシレータモード、低速オンチップオシレータモードにするとXINクロックを停止させるビットです。XINクロックが停止したかどうかの検出には使えません。XINクロックを停止させる場合、次のようにしてください。

(1) OCDレジスタのOCD1～OCD0ビットを“00b”にする。

(2) OCD2ビットを“1”(オンチップオシレータクロック選択)にする。

注2. 外部クロック入力時には、クロック発振バッファだけ停止し、クロック入力は受け付けられます。

注3. CM05ビットが“1”(XINクロック停止)かつCM1レジスタのCM13ビットが“0”(P4\_6、P4\_7)の場合のみ、P4\_6、P4\_7は入出力ポートとして使用できます。

注4. ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。

注5. CM04ビットはプログラムで“1”にできますが、“0”にできません。

注6. XCINクロックを使用する場合、CM04ビットを“1”にしてください。

注7. CM04ビットを“1”(XCIN-XCOUT端子)にし、XCINクロックの発振が安定した後に、CM07ビットを“0”から“1”(XCINクロック)にしてください。

CM0レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

### 9.2.2 システムクロック制御レジスタ1 (CM1)

アドレス 0007h 番地

| ビット     | b7   | b6   | b5 | b4   | b3   | b2   | b1   | b0   |
|---------|------|------|----|------|------|------|------|------|
| シンボル    | CM17 | CM16 | -  | CM14 | CM13 | CM12 | CM11 | CM10 |
| リセット後の値 | 0    | 0    | 1  | 0    | 0    | 0    | 0    | 0    |

| ビット | シンボル | ビット名                          | 機能  | R/W |
|-----|------|-------------------------------|---|-----|
| b0  | CM10 | 全クロック停止制御ビット(注2、6)            | 0 : クロック発振<br>1 : 全クロック停止(ストップモード)                                  | R/W |
| b1  | CM11 | XIN-XOUT内蔵帰還抵抗選択ビット           | 0 : 内蔵帰還抵抗有効<br>1 : 内蔵帰還抵抗無効  | R/W |
| b2  | CM12 | XCIN-XCOUT内蔵帰還抵抗選択ビット         | 0 : 内蔵帰還抵抗有効<br>1 : 内蔵帰還抵抗無効  | R/W |
| b3  | CM13 | ポート/XIN-XOUT切り替えビット<br>(注5)   | 0 : 入出力ポートP4_6、P4_7<br>1 : XIN-XOUT端子                               | R/W |
| b4  | CM14 | 低速オンチップオシレータ発振停止<br>ビット(注3、4) | 0 : 低速オンチップオシレータ発振<br>1 : 低速オンチップオシレータ停止                            | R/W |
| b5  | -    | 予約ビット                         | "1"にしてください  | R/W |
| b6  | CM16 | CPUクロック分周比選択ビット1<br>(注1)      | b7 b6<br>00 : 分周なしモード<br>01 : 2分周モード<br>10 : 4分周モード<br>11 : 16分周モード | R/W |
| b7  | CM17 |                               |   | R/W |

- 注1. CM06ビットが“0”(CM16、CM17ビット有効)の場合、CM16～CM17ビットは有効となります。
- 注2. CM10ビットが“1”(ストップモード)の場合、内蔵している帰還抵抗は無効となります。
- 注3. CM14ビットはOCD2ビットが“0”(XINクロック選択)のとき、“1”(低速オンチップオシレータ停止)にできます。OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。“1”を書いても変化しません。
- 注4. 電圧監視1割り込み、電圧監視2割り込みを使用する場合(デジタルフィルタを使用する場合)、CM14ビットを“0”(低速オンチップオシレータ発振)にしてください。
- 注5. CM13ビットはプログラムで一度“1”にすると、“0”にはできません。
- 注6. VCA2レジスタのVCA20ビットが“1”(低消費電力許可)のとき、CM10ビットを“1”(ストップモード)にしないでください。

CM1 レジスタはPRCR レジスタのPRC0 ビットを“1”(書き込み許可)にした後で書き換えてください。

### 9.2.3 システムクロック制御レジスタ3 (CM3)

アドレス 0009h 番地

| ビット     | b7   | b6   | b5   | b4 | b3 | b2 | b1 | b0   |
|---------|------|------|------|----|----|----|----|------|
| シンボル    | CM37 | CM36 | CM35 | -  | -  | -  | -  | CM30 |
| リセット後の値 | 0    | 0    | 0    | 0  | 0  | 0  | 0  | 0    |

| ビット | シンボル | ビット名                                       | 機能  | R/W |
|-----|------|--|---|-----|
| b0  | CM30 | ウェイト制御ビット(注1)                              | 0 : ウェイトモードではない<br>1 : ウェイトモードに移行する   | R/W |
| b1  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -   |     |
| b2  | -    |  |   |     |
| b3  | -    | 予約ビット                                      | “0”にしてください  | R/W |
| b4  | -    |  |   |     |
| b5  | CM35 | ウェイトモードから復帰時のCPUクロック分周比選択ビット(注2)           | 0 : CM0 レジスタの CM06 ビット、CM1 レジスタの CM16、CM17 ビットの設定有効<br>1 : 分周なし   | R/W |
| b6  | CM36 | ウェイトモード、ストップモードから復帰時のシステムクロック選択ビット         | <sup>b7 b6</sup><br>0 0 : ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰<br>0 1 : 設定しないでください<br>1 0 : 高速オンチップオシレータクロックを選択(注3)<br>1 1 : XIN クロックを選択(注4) | R/W |
| b7  | CM37 |  |   | R/W |

注1. ウェイトモードから周辺機能割り込みで復帰時、CM30ビットは“0”(ウェイトモードではない)になります。

注2. ストップモード時はCM35ビットを“0”にしてください。ウェイトモードへ移行時、CM35ビットが“1”(分周なし)のとき、CM0 レジスタの CM06 ビットは“0”(CM16、CM17 ビット有効)、CM1 レジスタの CM17、CM16 ビットは“00b”(分周なしモード)になります。

注3. CM37、CM36ビットが“10b”(高速オンチップオシレータクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次になります。

- OCD レジスタの OCD2 ビット=1(オンチップオシレータクロック選択)
- FRA0 レジスタの FRA00 ビット=1(高速オンチップオシレータ発振)
- FRA0 レジスタの FRA01 ビット=1(高速オンチップオシレータ選択)

注4. CM37、CM36ビットが“11b”(XIN クロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次になります。

- CM0 レジスタの CM05 ビット=0(XIN クロック発振)
- CM1 レジスタの CM13 ビット=1(XIN-XOUT 端子)
- OCD レジスタの OCD2 ビット=0(XIN クロック選択)

CM0 レジスタの CM05 ビットが“1”(XIN クロック停止)で、ウェイトモードへ移行するとき、ウェイトモードから復帰時の CPU クロックに XIN クロックを選択する場合は、CM06 ビットを“1”(8 分周モード)かつ CM35 ビットを“0”にしてください。

ただし、XIN クロックに外部で生成されたクロックを使用する場合は、CM37 ~ CM36 ビットを“11b”(XIN クロックを選択)にしないでください。

CM3 レジスタは、PRCR レジスタの PRC0 ビットを“1”(書き込み許可)にした後で書き換えてください。

### CM30 ビット(ウェイト制御ビット)

CM30 ビットを “1”(ウェイトモードに移行する)にすると、CPU クロックが停止(ウェイトモード)します。XIN クロック、XCIN クロックおよびオンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。CM30 ビットを “1” にするとときは、I フラグを “0”(マスカブル割り込み禁止)にしてください。

リセットまたは周辺機能割り込みにより、ウェイトモードから復帰します。ウェイトモードから周辺機能割り込みによる復帰時に、CM30 ビットを “1” にした命令の直後の命令から、実行を再開します。

ただし、WAIT 命令でウェイトモードに移行する場合、I フラグを “1”(マスカブル割り込み許可)にしてください。このことで、ウェイトモードから復帰時に、CPU は割り込み処理を行います。

### 9.2.4 発振停止検出レジスタ(OCD)

アドレス 000Ch 番地

| ビット     | b7 | b6 | b5 | b4 | b3   | b2   | b1   | b0   |
|---------|----|----|----|----|------|------|------|------|
| シンボル    | -  | -  | -  | -  | OCD3 | OCD2 | OCD1 | OCD0 |
| リセット後の値 | 0  | 0  | 0  | 0  | 0    | 1    | 0    | 0    |

| ビット | シンボル | ビット名              | 機能  | R/W |
|-----|------|-------------------|---|-----|
| b0  | OCD0 | 発振停止検出有効ビット(注6)   | 0: 発振停止検出機能無効(注1)<br>1: 発振停止検出機能有効          | R/W |
| b1  | OCD1 | 発振停止検出割り込み許可ビット   | 0: 禁止(注1)<br>1: 許可                          | R/W |
| b2  | OCD2 | システムクロック選択ビット(注3) | 0: XINクロック選択(注6)<br>1: オンチップオシレータクロック選択(注2) | R/W |
| b3  | OCD3 | クロックモニタビット(注4、5)  | 0: XINクロック発振<br>1: XINクロック停止                | R   |
| b4  | -    | 予約ビット             | "0"にしてください                                  | R/W |
| b5  | -    |                   |   |     |
| b6  | -    |                   |   |     |
| b7  | -    |                   |   |     |

- 注1. ストップモード、高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)に移行する前にOCD1～OCD0ビットを“00b”に設定してください。
- 注2. OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。
- 注3. OCD2ビットは、OCD1～OCD0ビットが“11b”的ときにXINクロック発振停止を検出すると、自動的に“1”(オンチップオシレータクロック選択)に切り替わります。また、OCD3ビットが“1”(XINクロック停止)のとき、OCD2ビットに“0”(XINクロック選択)を書いても変化しません。
- 注4. OCD3ビットはOCD0ビットが“1”(発振停止検出機能有効)のとき有効です。
- 注5. OCD1～OCD0ビットが“00b”的ときにOCD3ビットは“0”(XINクロック発振)になり、変化しません。
- 注6. 発振停止検出後、XINクロックが再発振した場合の切り替え手順は、「図9.10 低速オンチップオシレータからXINクロックへの切り替え手順」を参照してください。

OCD レジスタは、PRCR レジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

### 9.2.5 高速オンチップオシレータ制御レジスタ7 (FRA7)

アドレス 0015h 番地

| ビット     | b7    | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|-------|----|----|----|----|----|----|----|
| シンボル    | -     | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | 出荷時の値 |    |    |    |    |    |    |    |

| ビット   | 機能  | R/W |
|-------|---|-----|
| b7～b0 | 32MHzの周波数調整用データが格納されます。<br>この値をFRA3レジスタに転送し、かつ、FRA6レジスタの調整値をFRA1レジスタに転送することにより、調整ができます。 | R   |

### 9.2.6 高速オンチップオシレータ制御レジスタ0 (FRA0)

アドレス 0023h 番地

| ビット     | b7 | b6 | b5 | b4 | b3    | b2 | b1    | b0    |
|---------|----|----|----|----|-------|----|-------|-------|
| シンボル    | -  | -  | -  | -  | FRA03 | -  | FRA01 | FRA00 |
| リセット後の値 | 0  | 0  | 0  | 0  | 0     | 0  | 0     | 0     |

| ビット | シンボル  | ビット名                                       | 機能   | R/W |
|-----|-------|--|--|-----|
| b0  | FRA00 | 高速オンチップオシレータ許可ビット                          | 0: 高速オンチップオシレータ停止<br>1: 高速オンチップオシレータ発振     | R/W |
| b1  | FRA01 | 高速オンチップオシレータ選択ビット<br>(注1)                  | 0: 低速オンチップオシレータ選択(注2)<br>1: 高速オンチップオシレータ選択 | R/W |
| b2  | -     | 予約ビット                                      | “0”にしてください                                 | R/W |
| b3  | FRA03 | fOCO128クロック選択ビット                           | 0: fOCO-Sの128分周を選択<br>1: fOCO-Fの128分周を選択   | R/W |
| b4  | -     | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |  | -   |
| b5  | -     |  |  |     |
| b6  | -     |  |  |     |
| b7  | -     |  |  |     |

注1. FRA01 ビットは次の条件のとき変更してください。

- FRA00=1(高速オンチップオシレータ発振)
- CM1 レジスタのCM14=0(低速オンチップオシレータ発振)
- FRA2 レジスタのFRA22 ~ FRA20 ビットが  
VCC=2.7V ~ 5.5V の場合は全分周モード設定可能 “000b” ~ “111b”  
VCC=1.8V ~ 5.5V の場合は8分周以上の分周比 “110b” ~ “111b” (8分周モード以上)

注2. FRA01 ビットに“0”(低速オンチップオシレータ選択)を書くとき、同時にFRA00 ビットに“0”(高速オンチップオシレータ停止)を書かないでください。FRA01 ビットを“0”にした後、FRA00 ビットを“0”にしてください。

FRA0 レジスタは、PRCR レジスタのPRC0 ビットを“1”(書き込み許可)にした後、書き換えてください。

### 9.2.7 高速オンチップオシレータ制御レジスタ1 (FRA1)

アドレス 0024h 番地

| ビット     | b7    | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|-------|----|----|----|----|----|----|----|
| シンボル    | -     | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | 出荷時の値 |    |    |    |    |    |    |    |

| ビット     | 機能  | R/W |
|---------|---|-----|
| b7 ~ b0 | 下記のように設定することで高速オンチップオシレータの周波数を変更することができます。<br>40MHz : FRA1=リセット後の値、FRA3=リセット後の値<br>36.864MHz : FRA4 レジスタの値をFRA1 レジスタに転送し、かつ、<br>FRA5 レジスタの値をFRA3 レジスタに転送。<br>32MHz : FRA6 レジスタの値をFRA1 レジスタに転送し、かつ、<br>FRA7 レジスタの値をFRA3 レジスタに転送。 | R/W |

FRA1 レジスタは、PRCR レジスタのPRC0 ビットを“1”(書き込み許可)にした後、書き換えてください。

また、FRA1 レジスタはFRA0 レジスタのFRA00 ビットが“0”(高速オンチップオシレータ停止)のときに、書き換えてください。

### 9.2.8 高速オンチップオシレータ制御レジスタ2 (FRA2)

アドレス 0025h 番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2    | b1    | b0    |
|---------|----|----|----|----|----|-------|-------|-------|
| シンボル    | -  | -  | -  | -  | -  | FRA22 | FRA21 | FRA20 |
| リセット後の値 | 0  | 0  | 0  | 0  | 0  | 0     | 0     | 0     |

| ビット | シンボル  | ビット名                     | 機能   | R/W |
|-----|-------|--------------------------|--|-----|
| b0  | FRA20 | 高速オンチップオシレータ周波数切替<br>ビット | 分周比選択  | R/W |
| b1  | FRA21 |                          | 高速オンチップオシレータクロック分周比を選択します。   | R/W |
| b2  | FRA22 |                          | b2 b1 b0<br>0 0 0 : 2分周モード<br>0 0 1 : 3分周モード<br>0 1 0 : 4分周モード<br>0 1 1 : 5分周モード<br>1 0 0 : 6分周モード<br>1 0 1 : 7分周モード<br>1 1 0 : 8分周モード<br>1 1 1 : 9分周モード | R/W |
| b3  | -     |                          | “0”にしてください   | R/W |
| b4  | -     |                          |  |     |
| b5  | -     |                          |  |     |
| b6  | -     |                          |  |     |
| b7  | -     |                          |  |     |

FRA2 レジスタは、PRCR レジスタの PRC0 ビットを “1”(書き込み許可)にした後、書き換えてください。

### 9.2.9 時計用プリスケーラリセットフラグ (CPSRF)

アドレス 0028h 番地

| ビット     | b7   | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|------|----|----|----|----|----|----|----|
| シンボル    | CPSR | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | 0    | 0  | 0  | 0  | 0  | 0  | 0  | 0  |

| ビット | シンボル | ビット名             | 機能   | R/W |
|-----|------|------------------|--|-----|
| b0  | -    | 予約ビット            | “0”にしてください                                       | R/W |
| b1  | -    |                  |  |     |
| b2  | -    |                  |  |     |
| b3  | -    |                  |  |     |
| b4  | -    |                  |  |     |
| b5  | -    |                  |  |     |
| b6  | -    |                  |  |     |
| b7  | CPSR | 時計用プリスケーラリセットフラグ | このビットを “1” にすると時計用プリスケーラが初期化される(読んだ場合、その値は “0” ) | R/W |

### 9.2.10 高速オンチップオシレータ制御レジスタ4 (FRA4)

アドレス 0029h番地

| ビット     | b7    | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|-------|----|----|----|----|----|----|----|
| シンボル    | -     | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | 出荷時の値 |    |    |    |    |    |    |    |

| ビット     | 機能  | R/W |
|---------|---|-----|
| b7 ~ b0 | 36.864MHzの周波数調整用データが格納されます。<br>この値をFRA1レジスタに転送し、かつ、FRA5レジスタの調整値をFRA3レジスタに転送することにより、調整ができます。 | R   |

### 9.2.11 高速オンチップオシレータ制御レジスタ5 (FRA5)

アドレス 002Ah番地

| ビット     | b7    | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|-------|----|----|----|----|----|----|----|
| シンボル    | -     | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | 出荷時の値 |    |    |    |    |    |    |    |

| ビット     | 機能  | R/W |
|---------|---|-----|
| b7 ~ b0 | 36.864MHzの周波数調整用データが格納されます。<br>この値をFRA3レジスタに転送し、かつ、FRA4レジスタの調整値をFRA1レジスタに転送することにより、調整ができます。 | R   |

### 9.2.12 高速オンチップオシレータ制御レジスタ6 (FRA6)

アドレス 002Bh番地

| ビット  | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|------|----|----|----|----|----|----|----|----|
| シンボル | -  | -  | -  | -  | -  | -  | -  | -  |

リセット後の値 出荷時の値

| ビット     | 機能  | R/W |
|---------|---|-----|
| b7 ~ b0 | 32MHzの周波数調整用データが格納されます。<br>この値をFRA1レジスタに転送し、かつ、FRA7レジスタの調整値をFRA3レジスタに転送することにより、調整ができます。 | R   |

### 9.2.13 高速オンチップオシレータ制御レジスタ3 (FRA3)

アドレス 002Fh番地

| ビット  | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|------|----|----|----|----|----|----|----|----|
| シンボル | -  | -  | -  | -  | -  | -  | -  | -  |

リセット後の値 出荷時の値

| ビット     | 機能  | R/W |
|---------|---|-----|
| b7 ~ b0 | 下記のように設定することで高速オンチップオシレータの周波数を変更することができます。<br>40MHz : FRA1=リセット後の値、FRA3=リセット後の値<br>36.864MHz : FRA4レジスタの値をFRA1レジスタに転送し、かつ、<br>FRA5レジスタの値をFRA3レジスタに転送。<br>32MHz :     FRA6レジスタの値をFRA1レジスタに転送し、かつ、<br>FRA7レジスタの値をFRA3レジスタに転送。 | R/W |

FRA3レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

また、FRA3レジスタはFRA0レジスタのFRA00ビットが“0”(高速オンチップオシレータ停止)のときに、書き換えてください。

### 9.2.14 電圧検出レジスタ2 (VCA2)

アドレス 0034h 番地

| ビット     | b7    | b6    | b5    | b4 | b3 | b2 | b1 | b0    |
|---------|-------|-------|-------|----|----|----|----|-------|
| シンボル    | VCA27 | VCA26 | VCA25 | -  | -  | -  | -  | VCA20 |
| リセット後の値 | 0     | 0     | 0     | 0  | 0  | 0  | 0  | 0     |

上記はOFSレジスタのLVDASビットが“1”的場合

|         |   |   |   |   |   |   |   |   |
|---------|---|---|---|---|---|---|---|---|
| リセット後の値 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
|---------|---|---|---|---|---|---|---|---|

上記はOFSレジスタのLVDASビットが“0”的場合

| ビット | シンボル  | ビット名               | 機能                           | R/W |
|-----|-------|--------------------|------------------------------|-----|
| b0  | VCA20 | 内部電源低消費電力許可ビット(注1) | 0: 低消費電力禁止<br>1: 低消費電力許可(注2) | R/W |
| b1  | -     | 予約ビット              | “0”にしてください                   | R/W |
| b2  | -     |                    |                              |     |
| b3  | -     |                    |                              |     |
| b4  | -     |                    |                              |     |
| b5  | VCA25 | 電圧検出0許可ビット(注3)     | 0: 電圧検出0回路無効<br>1: 電圧検出0回路有効 | R/W |
| b6  | VCA26 | 電圧検出1許可ビット(注4)     | 0: 電圧検出1回路無効<br>1: 電圧検出1回路有効 | R/W |
| b7  | VCA27 | 電圧検出2許可ビット(注5)     | 0: 電圧検出2回路無効<br>1: 電圧検出2回路有効 | R/W |

注1. VCA20ビットはウェイトモードへの移行時のみに使用してください。VCA20ビットの設定は「図9.3 VCA20ビットによる内部電源低消費操作手順」に従ってください。

注2. VCA20ビットが“1”(低消費電力許可)のとき、CM1レジスタのCM10ビットを“1”(ストップモード)にしないでください。

注3. VCA25ビットに書く場合は、リセット後の値を書いてください。

注4. 電圧検出1割り込みを使用する場合、またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを“1”にしてください。

VCA26ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出1回路が動作します。

注5. 電圧検出2割り込みを使用する場合、またはVCA1レジスタのVCA13ビットを使用する場合、VCA27ビットを“1”にしてください。

VCA27ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出2回路が動作します。

VCA2レジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

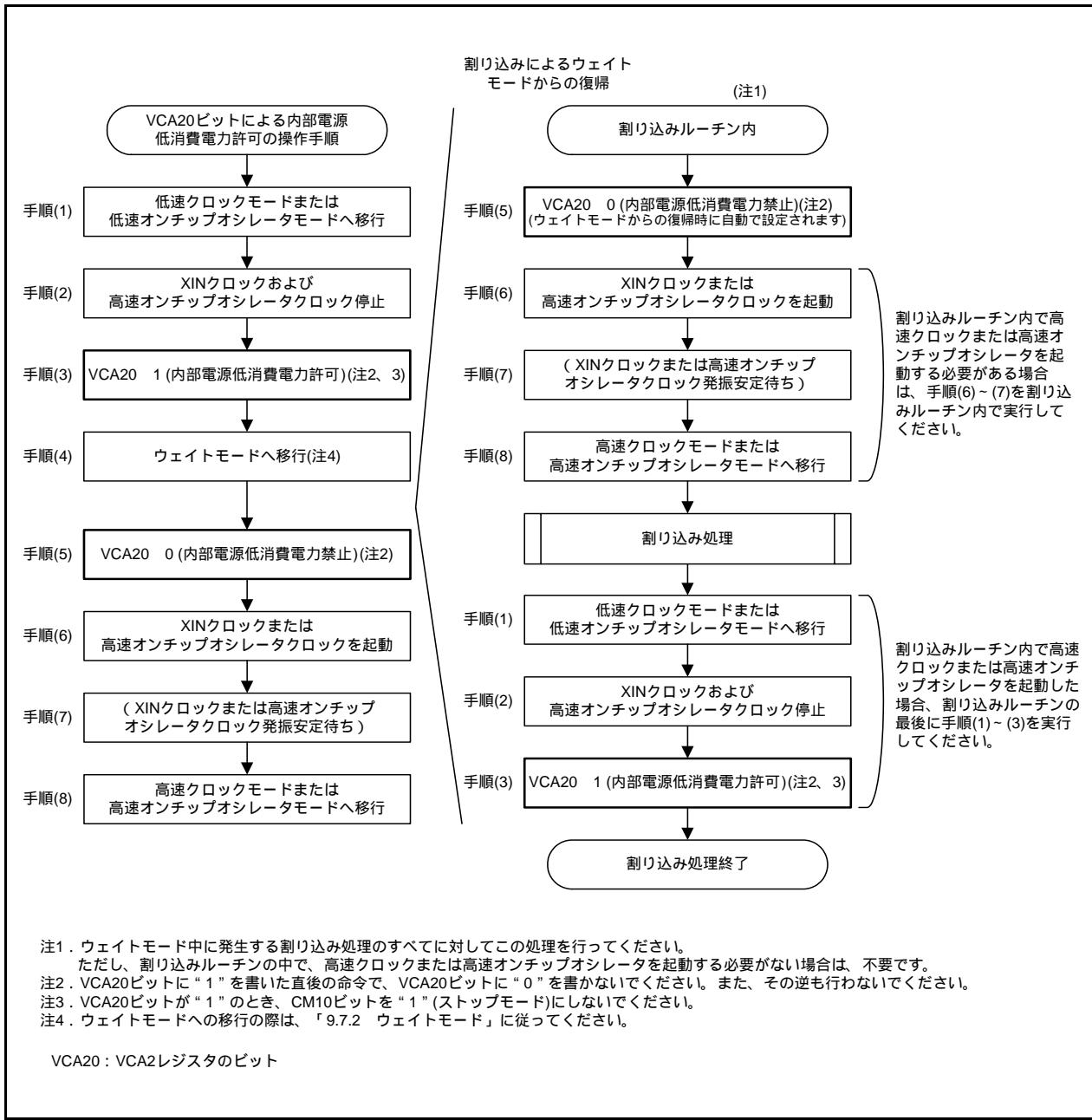


図9.3 VCA20ビットによる内部電源低消費操作手順

クロック発生回路で生成するクロックを説明します。

### 9.3 XIN クロック

XIN クロック発振回路が供給するクロックです。CPU クロックと周辺機能クロックのクロック源になります。XIN クロック発振回路は XIN-XOUT 端子間に発振子を接続することで発振回路が構成されます。XIN クロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。XIN クロック発振回路には、外部で生成されたクロックを XOUT 端子へ入力することもできます。

図9.4にXIN クロックの接続回路例を示します。

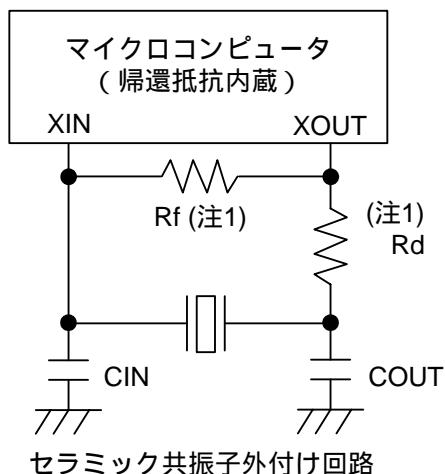
リセット中およびリセット後、XIN クロックは停止しています。

CM1 レジスタの CM13 ビットを “1”(XIN-XOUT 端子)にした後、CM0 レジスタの CM05 ビットを “0”(XIN クロック発振)にすると XIN クロックは発振を開始します。XIN クロックの発振が安定した後、OCD レジスタの OCD2 ビットを “0”(XIN クロック選択)にすると XIN クロックが CPU のクロック源になります。

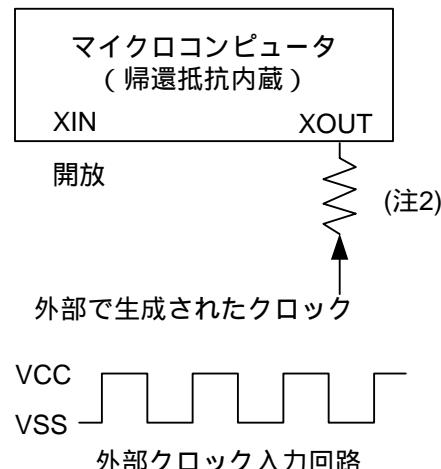
OCD2 ビットを “1”(オンチップオシレータクロック選択)にして使用する場合、CM0 レジスタの CM05 ビットを “1”(XIN クロック停止)にすると、消費電力を低減できます。なお、外部で生成したクロックを XOUT 端子に入力している場合、CM05 ビットを “1” にしても XIN クロックは停止しませんので、必要な場合は外部でクロックを停止させてください。

ストップモード時は、XIN クロックを含めたすべてのクロックが停止します。詳細は「9.7 パワーコントロール」を参照してください。

- CM0 レジスタの CM05 ビットが “0”(発振)、CM1 レジスタの CM13 ビットが “1”(XIN-XOUT 端子)の場合



- CM0 レジスタの CM05 ビットが “1”(停止)、CM1 レジスタの CM11 ビットが “1”(内蔵帰還抵抗無効)、CM13 ビットが “1”(XIN-XOUT 端子)の場合



- 注1. 必要に応じてダンピング抵抗を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので、発振子メーカーの推奨する値に設定してください。  
また 発振子メーカーから外部に帰還抵抗を追加する旨の指示があった場合は、その指示に従って XIN、XOUT 間に帰還抵抗を付加してください。
- 注2. オーバーシュートが発生しないように、必要に応じてダンピング抵抗を挿入してください。

図9.4 XIN クロックの接続回路例

## 9.4 オンチップオシレータクロック

オンチップオシレータが供給するクロックです。オンチップオシレータには、高速オンチップオシレータと低速オンチップオシレータがあります。FRA0 レジスタのFRA01 ビットで選択したオンチップオシレータのクロックが、オンチップオシレータクロックとなります。

### 9.4.1 低速オンチップオシレータクロック

低速オンチップオシレータで生成されたクロックはCPU クロック、周辺機能クロック、fOCO、fOCO-S、fOCO128 のクロック源になります。

リセット後、低速オンチップオシレータで生成されたオンチップオシレータクロックの分周なしが CPU クロックになります。

また、OCD レジスタのOCD1 ~ OCD0 ビットが“11b”の場合、XIN クロックが停止したときに、自動的に低速オンチップオシレータが動作を開始し、クロックを供給します。

低速オンチップオシレータの周波数は電源電圧、動作周囲温度によって大きく変動しますので、応用製品設計の際には周波数変動に対して十分マージンを持ってください。

### 9.4.2 高速オンチップオシレータクロック

高速オンチップオシレータで生成されたクロックはCPU クロック、周辺機能クロック、fOCO、fOCO-F、fOCO40M、fOCO128 のクロック源になります。

CPU クロック、周辺クロック、fOCO、fOCO-F のクロック源として使用する場合には、FRA2 レジスタのFRA20 ~ FRA22 ビットにより、以下のように設定してください。

- VCC=2.7V ~ 5.5V の場合、全分周モード設定可能 “000b” ~ “111b”
- VCC=1.8V ~ 5.5V の場合、8 分周以上の分周比 “110b” ~ “111b” (8 分周モード以上)

高速オンチップオシレータで生成されるオンチップオシレータクロックは、リセット後停止しています。FRA0 レジスタのFRA00 ビットを“1”(オンチップオシレータ発振)にすると発振を開始します。

また、FRA4 ~ FRA7 レジスタには周波数調整用データが格納されています。

高速オンチップオシレータクロックの周波数を36.864MHz にするには、FRA4 レジスタの調整値を FRA1 レジスタへ、FRA5 レジスタの調整値を FRA3 レジスタに転送して使用してください。これにより、シリアルインターフェースを UART モードで使用時に、9600bps、38400bps などのビットレートの設定誤差を、0% にすることができます(「表 21.8、表 22.8 UART モード時のビットレート設定例(内部クロック選択時)」を参照)。

高速オンチップオシレータクロックの周波数を32MHz にするには、FRA6 レジスタの調整値を FRA1 レジスタへ、FRA7 レジスタの調整値を FRA3 レジスタに転送して使用してください。

## 9.5 XCIN クロック

XCIN クロック発振回路が供給するクロックです。CPU クロック、周辺機能クロックのクロック源になります。XCIN クロック発振回路は XCIN-XCOUT 端子間に発振子を接続することで発振回路が構成されます。XCIN クロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。XCIN クロック発振回路には、外部で生成されたクロックを XCIN 端子へ入力することもできます。

図9.5に XCIN クロックの接続回路例を示します。

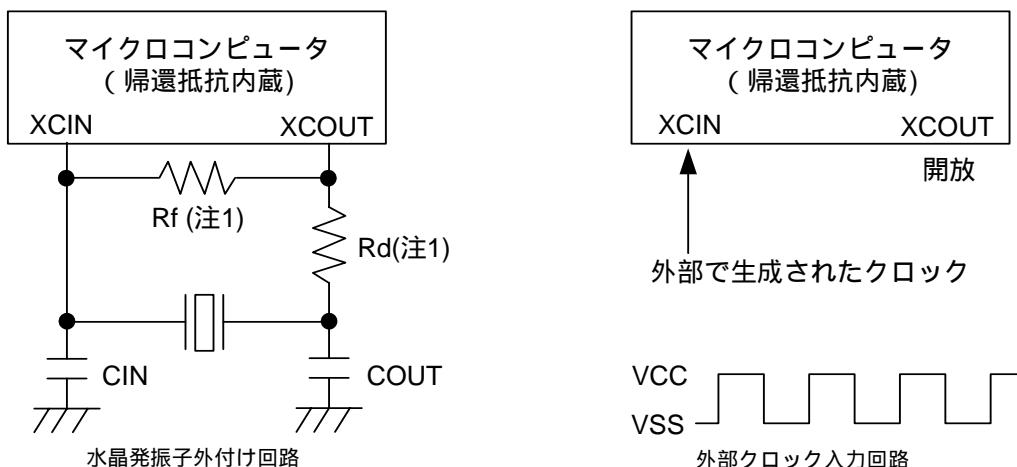
リセット中およびリセット後、XCIN クロックは停止しています。

CM0 レジスタの CM04 ビットを “1” (XCIN-XCOUT 端子) にした後、CM0 レジスタの CM03 ビットを “0” (XCIN クロック発振) にすると XCIN クロックは発振を開始します。XCIN クロックの発振が安定した後、CM0 レジスタの CM07 ビットを “1” (XCIN クロック) にすると XCIN クロックが CPU のクロック源になります。外部で生成されたクロックを XCIN 端子へ入力する場合も、CM0 レジスタの CM04 ビットを “1” (XCIN-XCOUT 端子) にしてください。このとき、XCOUT 端子は開放してください。

このマイクロコンピュータは、帰還抵抗を内蔵していますが、CM1 レジスタの CM12 ビットにより、内蔵抵抗を無効/有効の切り替えも可能です。

ストップモード時は、XCIN クロックを含めたすべてのクロックが停止します。詳細は「9.7 パワーコントロール」を参照してください。

- CM0 レジスタの CM03 ビットが “0” (発振)、CM04 ビットが “1” (XCIN、XCOUT 端子) の場合
- CM0 レジスタの CM03 ビットが “1” (停止)、CM04 ビットが “1” (XCIN、XCOUT 端子) の場合



注1. 必要に応じてダンピング抵抗および帰還抵抗を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので、発振子メーカーの推奨する値に設定してください。  
発振駆動能力をLOWで使用する場合には、LOWの状態でも安定して発振するか確認してください。また、発振子メーカーから外部に帰還抵抗を追加する旨の指示があった場合は、その指示に従って XCIN、XCOUT 間に、帰還抵抗を付加してください。

図9.5 XCIN クロックの接続回路例

## 9.6 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと、周辺機能を動作させる周辺機能クロックがあります。（「図9.1 クロック発生回路(XIN、XCIN共通端子)」参照。）

### 9.6.1 システムクロック

CPUクロックと周辺機能クロックのクロック源です。XINクロック、XCINクロックまたはオンチップオシレータクロックが選択できます。

### 9.6.2 CPUクロック

CPUとウォッチドッグタイマの動作クロックです。

システムクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM16、CM17ビットで選択できます。

なお、XCINクロックは、XCINクロックの発振が安定しているときに使用してください。

リセット後、低速オンチップオシレータクロックの分周なしCPUクロックになります。

なお、ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。ストップモードへ移行するときは、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。

### 9.6.3 周辺機能クロック(f1、f2、f4、f8、f32)

周辺機能の動作クロックです。

$f_i$ ( $i=1, 2, 4, 8, 32$ )はシステムクロックを*i*分周したクロックです。 $f_i$ はタイマRA、タイマRB、タイマRC、タイマRE、シリアルインターフェース、A/Dコンバータで使用します。

CM0レジスタのCM02ビットを“1”(ウェイトモード時周辺機能クロックを停止する)にした後にウェイトモードに移行した場合、 $f_i$ は停止します。

### 9.6.4 fOCO

周辺機能の動作クロックです。

fOCOは、オンチップオシレータクロックと同じ周波数のクロックです。タイマRAで使用します。fOCOはウェイトモード時、停止しません。

### 9.6.5 fOCO40M

タイマRCのカウントソースになります。

fOCO40Mは高速オンチップオシレータで生成したクロックで、FRA00ビットを“1”にすると供給されます。

fOCO40Mはウェイトモード時、停止しません。

このクロックは、電源電圧VCC = 2.7 ~ 5.5Vの範囲で使用することができます。

### 9.6.6 fOCO-F

タイマRC、A/Dコンバータのカウントソースになります。

fOCO-Fは高速オンチップオシレータで生成したクロックを*i*分周( $i=2, 3, 4, 5, 6, 7, 8, 9$ ; FRA2レジスタで選択した分周比)したクロックで、FRA00ビットを“1”にすると供給されます。

fOCO-Fはウェイトモード時、停止しません。

### 9.6.7 fOCO-S

電圧検出回路の動作クロックです。

fOCO-S は低速オンチップオシレータで生成したクロックで、CM14 ビットを “0”(低速オンチップオシレータ発振)にすると供給されます。

fOCO-S はウェイトモード時、停止しません。

### 9.6.8 fOCO128

fOCO-S または fOCO-F を 128 分周したクロックです。FRA03 ビットを “0” にすると fOCO-S の 128 分周が選択され、“1” にすると fOCO-F の 128 分周が選択されます。

タイマ RC の TRCGRA レジスタで使用するキャプチャ信号になります。

### 9.6.9 fC、fC4、fC32

fC、fC4、fC32 はタイマ RA、タイマ RE、シリアルインターフェースで使用します。

なお、fC、fC4、fC32 は、XCIN クロックの発振が安定しているときに使用してください。

### 9.6.10 fOCO-WDT

ウォッチドッグタイマの動作クロックです。

fOCO-WDT はウォッチドッグタイマ用低速オンチップオシレータで生成したクロックで、CSPR レジスタの CSPRO ビットを “1”(カウントソース保護モード有効)にすると供給されます。

fOCO-WDT はウォッチドッグタイマのカウントソース保護モード時、停止しません。

## 9.7 パワーコントロール

パワーコントロールには3つのモードがあります。なお、ここではウェイトモード、ストップモード以外の状態を、標準動作モードと呼びます。

### 9.7.1 標準動作モード

標準動作モードは、さらに4つのモードに分けられます。

標準動作モードでは、CPUクロック、周辺機能クロックが共に供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が高いほど処理能力は上がり、低いほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

CPUクロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。プログラムで発振が安定するまで待ち時間を取りながら、クロックを切り替えてください。

表9.2 クロック関連ビットの設定とモード

| モード                     |      | OCD<br>レジスタ | CM1 レジスタ |               |      | CM0 レジスタ |      |      |      | FRA0 レジスタ |      |       |       |
|-------------------------|------|-------------|----------|---------------|------|----------|------|------|------|-----------|------|-------|-------|
|                         |      |             | OCD2     | CM17、<br>CM16 | CM14 | CM13     | CM07 | CM06 | CM05 | CM04      | CM03 | FRA01 | FRA00 |
| 高速クロック<br>モード           | 分周なし | 0           | 00b      |               | 1    | 0        | 0    | 0    |      |           |      |       |       |
|                         | 2分周  | 0           | 01b      |               | 1    | 0        | 0    | 0    |      |           |      |       |       |
|                         | 4分周  | 0           | 10b      |               | 1    | 0        | 0    | 0    |      |           |      |       |       |
|                         | 8分周  | 0           |          |               | 1    | 0        | 1    | 0    |      |           |      |       |       |
|                         | 16分周 | 0           | 11b      |               | 1    | 0        | 0    | 0    |      |           |      |       |       |
| 低速クロック<br>モード           | 分周なし |             | 00b      |               |      | 1        | 0    |      | 1    | 0         |      |       |       |
|                         | 2分周  |             | 01b      |               |      | 1        | 0    |      | 1    | 0         |      |       |       |
|                         | 4分周  |             | 10b      |               |      | 1        | 0    |      | 1    | 0         |      |       |       |
|                         | 8分周  |             |          |               |      | 1        | 1    |      | 1    | 0         |      |       |       |
|                         | 16分周 |             | 11b      |               |      | 1        | 0    |      | 1    | 0         |      |       |       |
| 高速オンチップ<br>オシレータ<br>モード | 分周なし | 1           | 00b      |               |      | 0        | 0    |      |      |           | 1    | 1     |       |
|                         | 2分周  | 1           | 01b      |               |      | 0        | 0    |      |      |           | 1    | 1     |       |
|                         | 4分周  | 1           | 10b      |               |      | 0        | 0    |      |      |           | 1    | 1     |       |
|                         | 8分周  | 1           |          |               |      | 0        | 1    |      |      |           | 1    | 1     |       |
|                         | 16分周 | 1           | 11b      |               |      | 0        | 0    |      |      |           | 1    | 1     |       |
| 低速オンチップ<br>オシレータ<br>モード | 分周なし | 1           | 00b      | 0             |      | 0        | 0    |      |      |           | 0    |       |       |
|                         | 2分周  | 1           | 01b      | 0             |      | 0        | 0    |      |      |           | 0    |       |       |
|                         | 4分周  | 1           | 10b      | 0             |      | 0        | 0    |      |      |           | 0    |       |       |
|                         | 8分周  | 1           |          | 0             |      | 0        | 1    |      |      |           | 0    |       |       |
|                         | 16分周 | 1           | 11b      | 0             |      | 0        | 0    |      |      |           | 0    |       |       |

:“0”でも“1”でも影響ない

### 9.7.1.1 高速クロックモード

XINクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックとなります。CM14ビットが“0”(低速オンチップオシレータ発振)のとき、またはFRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振)のとき、fOCOをタイマRAで使用できます。

また、FRA00ビットが“1”的とき、fOCO40MをタイマRCで使用できます。

CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

### 9.7.1.2 低速クロックモード

XCINクロックの1分周(分周なし)、2分周、4分周、8分周または16分周がCPUクロックとなります。

このモードにおいて、XINクロックおよび高速オンチップオシレータを停止させ、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすることで、低消費動作が可能です。CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周のいずれかで、低消費電流リードモードを使用できます。ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。CPUクロック分周比を設定した後、FMR27ビットを“1”にしてください。

また、FRA00ビットが“1”的とき、fOCO40MをタイマRCで使用できます。

CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

また、このモードからウェイトモードに入る場合、VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

消費電力を低減する方法は、「31. 消費電力の低減」を参照してください。

### 9.7.1.3 高速オンチップオシレータモード

FRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振)、かつFRA0レジスタのFRA01ビットが“1”的とき、高速オンチップオシレータがオンチップオシレータクロックになります。このとき、オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。FRA00ビットが“1”的とき、fOCO40MをタイマRCで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

### 9.7.1.4 低速オンチップオシレータモード

CM1レジスタのCM14ビットが“0”(低速オンチップオシレータ発振)、かつFRA0レジスタのFRA01ビットが“0”的とき、低速オンチップオシレータがオンチップオシレータクロックになります。このとき、オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。また、オンチップオシレータクロックが周辺機能クロックのクロック源になります。FRA00ビットが“1”的とき、fOCO40MをタイマRCで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

このモードにおいて、XINクロックおよび高速オンチップオシレータを停止させ、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすることで、低消費動作が可能です。CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周のいずれかで、低消費電流リードモードを使用できます。CPUクロック分周比を設定した後、FMR27ビットを“1”にしてください。

また、このモードからウェイトモードに入る場合、VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

消費電力を低減する方法は、「31. 消費電力の低減」を参照してください。

### 9.7.2 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUと、カウントソース保護モード無効時のウォッチドッグタイマが停止します。XINクロック、XCINクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

#### 9.7.2.1 周辺機能クロック停止機能

CM02 ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合、ウェイトモード時にf1、f2、f4、f8、f32が停止しますので、消費電力が低減できます。

#### 9.7.2.2 ウェイトモードへの移行

WAIT命令を実行、またはCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にするとウェイトモードになります。

OCDレジスタのOCD2ビットが“1”(システムクロックにオンチップオシレータを選択)の場合は、OCDレジスタのOCD1ビットを“0”(発振停止検出割り込み禁止)にしてから、WAIT命令を実行、またはCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてください。

OCD1ビットが“1”(発振停止検出割り込み許可)の状態で、ウェイトモードに移行すると、CPUクロックが停止しないため消費電流が減少しません。

ウェイトモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態で、ウェイトモードへ移行しないでください。

#### 9.7.2.3 ウェイトモード時の端子の状態

入出力ポートはウェイトモードに入る直前の状態を保持します。

### 9.7.2.4 ウエイトモードからの復帰

リセット、または周辺機能割り込みにより、ウェイトモードから復帰します。

周辺機能割り込みはCM02ビットの影響を受けます。CM02ビットが“0”(ウェイトモード時、周辺機能クロックを停止しない)の場合は、A/D変換割り込み以外の周辺機能割り込みがウェイトモードから復帰に使用できます。CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号またはオンチップオシレータクロックによって動作する周辺機能の割り込みがウェイトモードからの復帰に使用できます。表9.3にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

表9.3 ウエイトモードからの復帰に使用できる割り込みと使用条件

| 割り込み   | CM02=0の場合         | CM02=1の場合  |
|--|-------------------|--|
| シリアルインターフェース割り込み   | 内部クロック、外部クロックで使用可 | 外部クロックで使用可   |
| シンクロナスシリアルコミュニケーションユニット割り込み/I <sup>2</sup> Cバスインターフェース割り込み | すべてのモードで使用可       | (使用しないでください)   |
| キー入力割り込み   | 使用可               | 使用可  |
| A/D変換割り込み  | (使用しないでください)      | (使用しないでください)   |
| タイマRA割り込み  | すべてのモードで使用可       | フィルタなしの場合にイベントカウンタモードで使用可<br>カウントソースにfOC0、fC、fC32を選択することで使用可 |
| タイマRB割り込み  | すべてのモードで使用可       | (使用しないでください)   |
| タイマRC割り込み  | すべてのモードで使用可       | (使用しないでください)   |
| タイマRE割り込み  | すべてのモードで使用可       | リアルタイムクロックモードで使用可  |
| INT割り込み  | 使用可               | 使用可(INT0、INT1、INT3はフィルタなしの場合に、使用可)                           |
| 電圧監視1割り込み  | 使用可               | 使用可  |
| 電圧監視2割り込み  | 使用可               | 使用可  |
| 発振停止検出割り込み   | 使用可               | (使用しないでください)   |

図9.6にCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、CM30ビットを“1”にする前に次の設定をしてください。

- (1) Iフラグを“0”(マスカブル割り込み禁止)にする。
- (2) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2～ILVL0ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生してから次の命令を実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットおよびVCA2レジスタのVCA20ビットの設定に応じて図9.6のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、CM3レジスタのCM35、CM36、CM37ビットで設定したクロックとなります。このとき、CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットは自動的に変更されます。

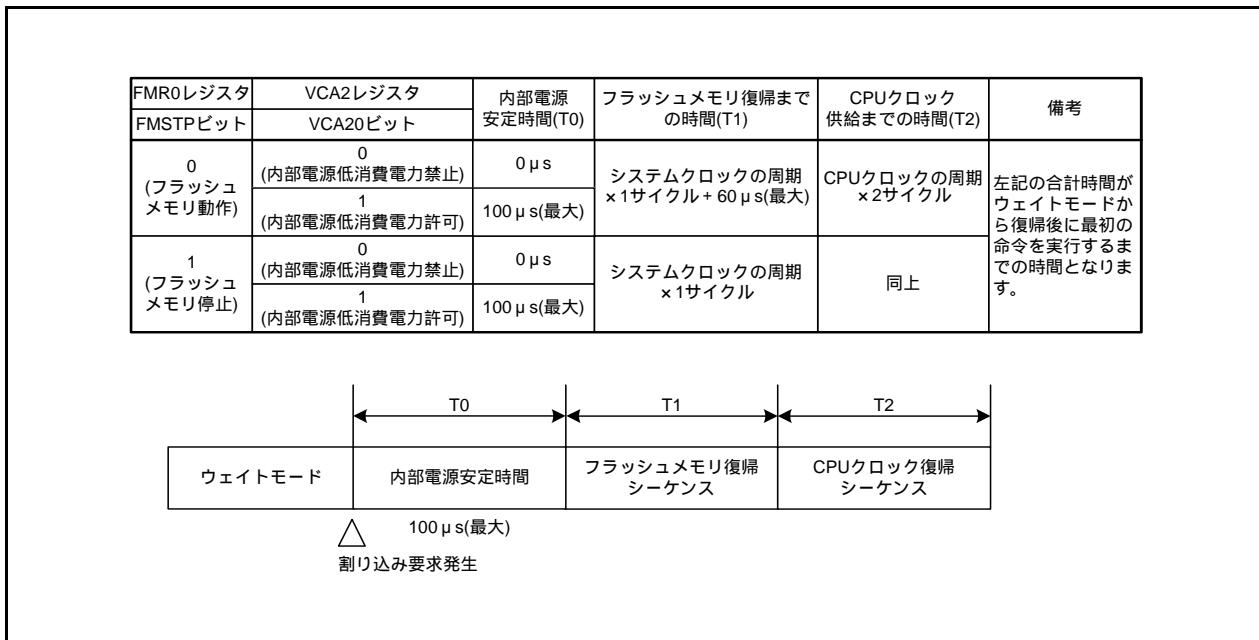


図9.6 CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間

図9.7にWAIT命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT命令実行前に次の設定をしてください。

- (1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタの ILVL2 ~ ILVL0 ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みの ILVL2 ~ ILVL0 ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺割り込みで復帰する場合、割り込み要求が発生してから割り込みルーチンを実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットおよびVCA2レジスタのVCA20ビットの設定に応じて図9.7のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、CM3レジスタのCM35、CM36、CM37ビットで設定したクロックとなります。このとき、CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットは自動的に変更されます。

| FMR0レジスタ<br>FMSTPビット  | VCA2レジスタ<br>VCA20ビット                     | 内部電源<br>安定時間(T0)   | フラッシュメモリ復帰まで<br>の時間(T1)           | CPUクロック<br>供給までの時間(T2) | 割り込みシーケンス<br>の時間(T3)  | 備考  |
|-----------------------|--|--------------------|-----------------------------------|------------------------|-----------------------|---|
| 0<br>(フラッシュ<br>メモリ動作) | 0<br>(内部電源低消費電力禁止)<br>1<br>(内部電源低消費電力許可) | 0 μs<br>100 μs(最大) | システムクロックの周期<br>×1サイクル + 60 μs(最大) | CPUクロックの周期<br>×2サイクル   | CPUクロックの周期<br>×20サイクル | 左記の合計時間が<br>ウェイトモードか<br>ら割り込みルーチ<br>ンを実行するまで<br>の時間となります。 |
| 1<br>(フラッシュ<br>メモリ停止) | 0<br>(内部電源低消費電力禁止)<br>1<br>(内部電源低消費電力許可) | 0 μs<br>100 μs(最大) | システムクロックの周期<br>×1サイクル             | 同上                     | 同上                    |   |

The diagram illustrates the time sequence from Wait Mode to interrupt handling. It shows four main time intervals: T0 (internal power supply stabilization), T1 (flash memory refresh sequence), T2 (CPU clock recovery sequence), and T3 (interrupt handling sequence). A note below the diagram specifies a maximum of 100 μs for T0.

図9.7 WAIT命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間

### 9.7.3 ストップモード

ストップモードでは、fOCO-WDT を除くすべての発振が停止します。したがって、CPU クロックと周辺機能クロックも停止し、これらのクロックで動作する CPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、VCC 端子に印加する電圧が VRAM 以上のとき、内部 RAM は保持されます。

また、外部信号によって動作する周辺機能は動作します。

表9.4にストップモードからの復帰に使用できる割り込みと使用条件を示します。

表9.4 ストップモードからの復帰に使用できる割り込みと使用条件

| 割り込み               | 使用条件  |
|--------------------|---|
| キー入力割り込み           | 使用可   |
| INT0、INT1、INT3割り込み | フィルタなしの場合に使用可                               |
| タイマRA割り込み          | フィルタなしの場合にイベントカウンタモードで外部パルスをカウント時           |
| シリアルインターフェースの割り込み  | 外部クロック選択時                                   |
| 電圧監視1割り込み          | デジタルフィルタ無効モード(VW1CレジスタのVW1C1ビットが“1”)の場合に使用可 |
| 電圧監視2割り込み          | デジタルフィルタ無効モード(VW2CレジスタのVW2C1ビットが“1”)の場合に使用可 |

#### 9.7.3.1 ストップモードへの移行

CM1 レジスタの CM10 ビットを “1”(全クロック停止)にすると、ストップモードになります。同時に CM0 レジスタの CM06 ビットは “1”(8 分周モード)になります。

ストップモードを使用する場合、OCD レジスタの OCD1 ~ OCD0 ビットを “00b”、CM3 レジスタの CM35 ビットを “0”(CM0 レジスタの CM06 ビット、CM1 レジスタの CM16、CM17 ビットの設定有効)にしてからストップモードにしてください。

ストップモードへ移行するときは、FMR27 ビットを “0”(低消費電流リードモード禁止)にした後、移行してください。FMR27 ビットが “1”(低消費電流リードモード許可)の状態で、ストップモードへ移行しないでください。

#### 9.7.3.2 ストップモード時の端子の状態

入出力ポートはストップモードに入る直前の状態を保持します。

ただし、CM1 レジスタの CM13 ビットが “1”(XIN-XOUT 端子)のとき、XOUT(P4\_7) 端子は “H”になります。CM13 ビットが “0”(入力ポート P4\_6、P4\_7) のとき、P4\_7(XOUT) は入力状態になります。

### 9.7.3.3 ストップモードからの復帰

リセット、または周辺機能割り込みにより、ストップモードから復帰します。

図9.8にストップモードから割り込みルーチンを実行するまでの時間を示します。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM10ビットを“1”にしてください。

- (1) ストップモードからの復帰に使用する周辺機能割り込みのILVL2～ILVL0ビットに割り込み優先レベルを設定する。  
また、ストップモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ストップモードからの復帰に使用する周辺機能を動作させる。  
周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みシーケンスを実行します。

周辺機能割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード直前に使用していたクロックの8分周になります。ストップモードへ移行するときは、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。



図9.8 ストップモードから割り込みルーチンを実行するまでの時間

図9.9にパワーコントロールモード状態遷移を示します。

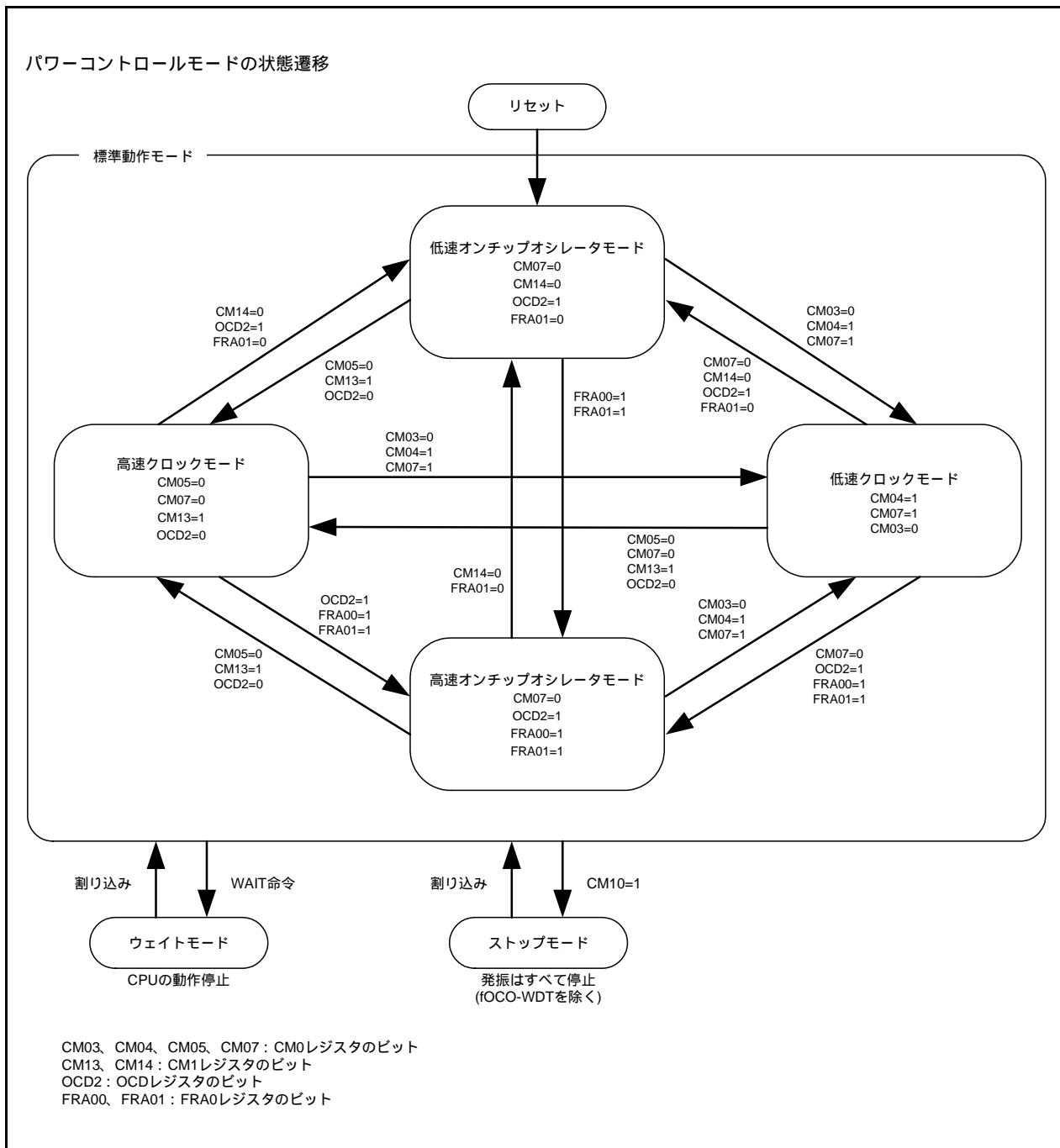


図9.9 パワーコントロールモード状態遷移

## 9.8 発振停止検出機能

発振停止検出機能は、XINクロック発振回路の停止を検出する機能です。

発振停止検出機能はOCDレジスタのOCD0ビットで有効、無効が選択できます。

表9.5に発振停止検出機能の仕様を示します。

XINクロックがCPUクロック源でOCD1～OCD0ビットが“11b”的場合、XINクロックが停止すると、次の状態になります。

- OCDレジスタのOCD2ビット = 1(オンチップオシレータクロック選択)
- OCDレジスタのOCD3ビット = 1(XINクロック停止)
- CM1レジスタのCM14ビット = 0(低速オンチップオシレータ発振)
- 発振停止検出割り込み要求が発生する

表9.5 発振停止検出機能の仕様

| 項目                | 仕様                    |
|-------------------|-----------------------|
| 発振停止検出可能クロックと周波数域 | f(XIN) 2MHz           |
| 発振停止検出機能有効条件      | OCD1～OCD0ビットを“11b”にする |
| 発振停止検出時の動作        | 発振停止検出割り込み発生          |

### 9.8.1 発振停止検出機能の使用方法

- ・発振停止検出割り込みは、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みとベクタを共用しています。発振停止検出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合、要因の判別が必要となります。

表9.6に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みの割り込み要因の判別を示します。図9.11に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2割り込みの割り込み要因判別方法例を示します。

- ・発振停止後、XINクロックが再発振した場合は、プログラムでXINクロックをCPUクロックや周辺機能のクロック源に戻してください。

図9.10に低速オンチップオシレータからXINクロックへの切り替え手順を示します。

- ・発振停止検出機能を使用中にウェイトモードへ移行する場合は、CM02ビットを“0”(ウェイトモード時周辺機能クロックを停止しない)にしてください。

- ・発振停止検出機能は外部要因によるXINクロック停止に備えた機能ですので、プログラムでXINクロックを停止または発振させる場合(ストップモードにする、またはCM05ビットを変更する)は、OCD1～OCD0ビットを“00b”にしてください。

- ・XINクロックの周波数が2MHz未満の場合、この機能は使用できませんので、OCD1～OCD0ビットを“00b”にしてください

- ・発振停止検出後に、CPUクロックと周辺機能のクロック源に低速オンチップオシレータクロックを使用する場合、FRA0レジスタのFRA01ビットを“0”(低速オンチップオシレータ選択)にした後、OCD1～OCD0ビットを“11b”にしてください。

発振停止検出後に、CPUクロックと周辺機能のクロック源に高速オンチップオシレータクロックを使用する場合、FRA00ビットを“1”(高速オンチップオシレータ発振)にし、FRA01ビットを“1”(高速オンチップオシレータ選択)にした後、OCD1～OCD0ビットを“11b”にしてください。

表9.6 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みの割り込み要因の判別

| 発生した割り込み要因                   | 割り込み要因を示すビット  |
|------------------------------|---|
| 発振停止検出<br>((a) または (b) のとき ) | (a) OCD レジスタの OCD3=1<br>(b) OCD レジスタの OCD1 ~ OCD0=11b かつ OCD2=1 |
| ウォッチドッグタイマ                   | VW2C レジスタの VW2C3=1  |
| 電圧監視 1                       | VW1C レジスタの VW1C2=1  |
| 電圧監視 2                       | VW2C レジスタの VW2C2=1  |

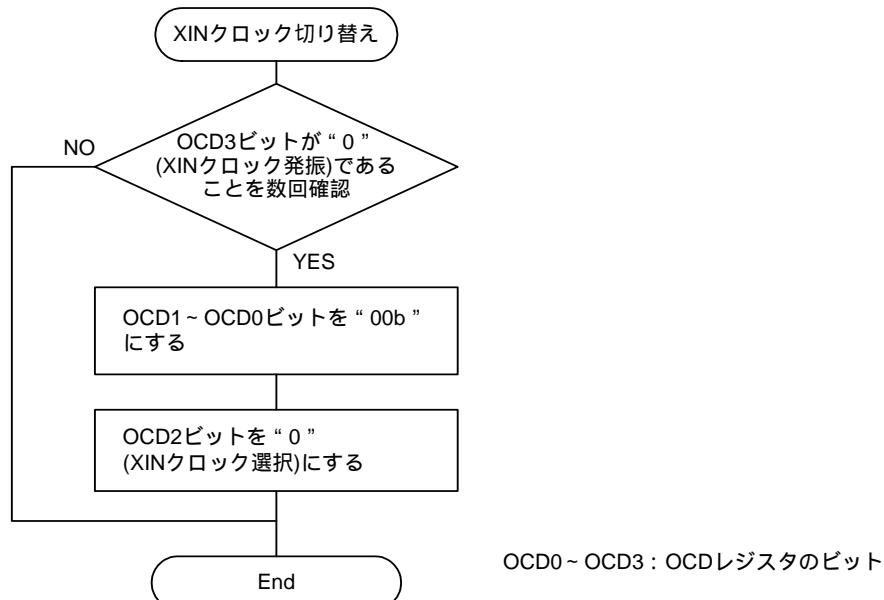


図9.10 低速オンチップオシレータから XIN クロックへの切り替え手順

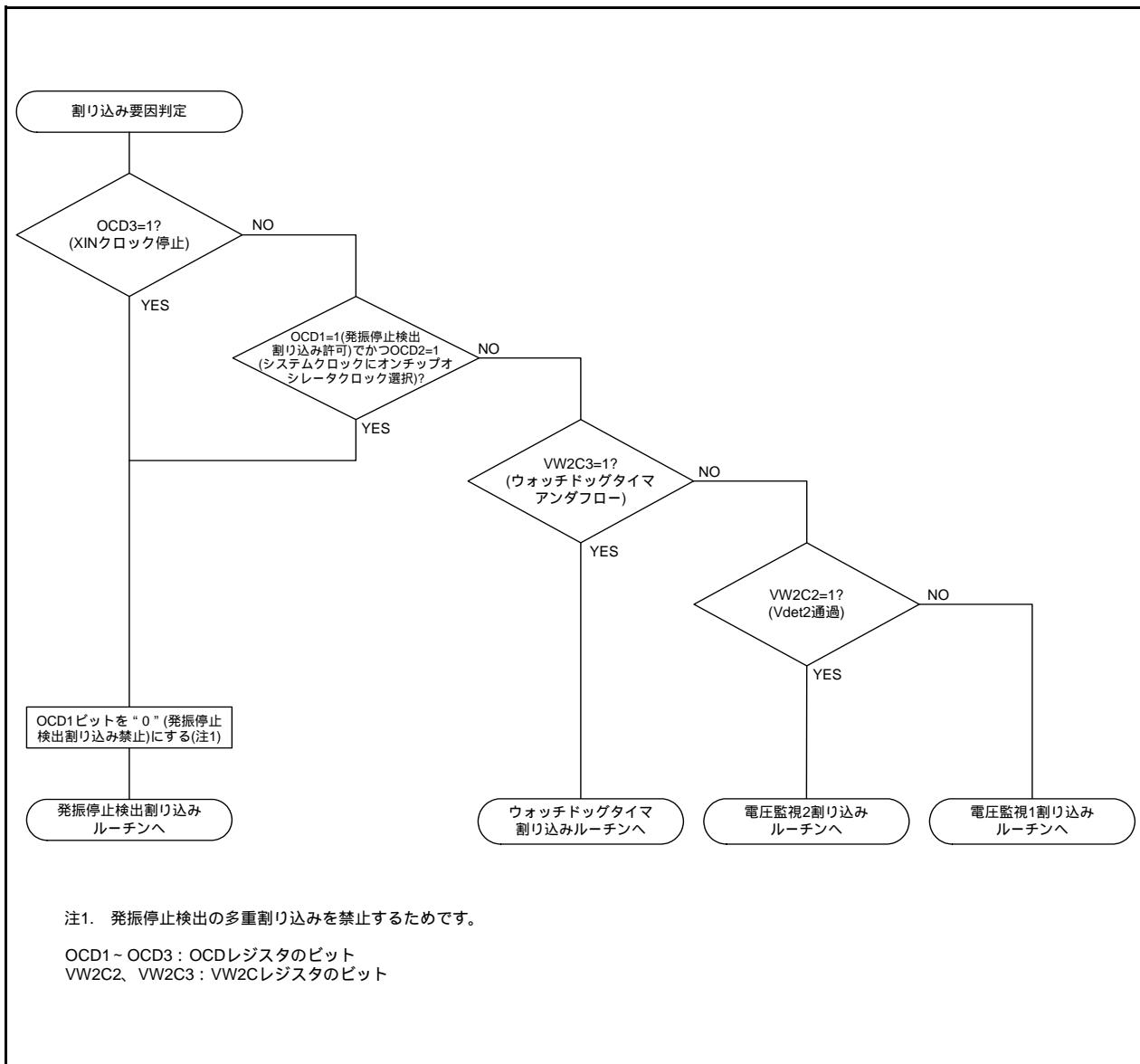


図9.11 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2割り込みの割り込み要因判別方法例

## 9.9 クロック発生回路使用上の注意

### 9.9.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを“1”(ストップモード)にしてください。命令キューはCM10ビットを“1”(ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。  
CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

- ストップモードに移行するプログラム例

```

BCLR    1, FMR0          ; CPU書き換えモード無効
BCLR    7, FMR2          ; 低消費電流リードモード禁止
BSET    0, PRCR          ; CM1レジスタへの書き込み許可
FSET    I                 ; 割り込み許可
BSET    0, CM1            ; ストップモード
JMP.B   LABEL_001

LABEL_001:
NOP
NOP
NOP
NOP

```

### 9.9.2 ウェイトモード

CM30ビットを“1”にしてウェイトモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM30ビットを“1”にしてください。

WAIT命令でウェイトモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。命令キューはCM30ビットを“1”(ウェイトモードに移行する)にする命令、またはWAIT命令から4バイト先読みしてプログラムが停止します。CM30ビットを“1”(ウェイトモードに移行する)にする命令、またはWAIT命令の後にはNOP命令を最低4つ入れてください。

- WAIT命令を実行するプログラム例

```

BCLR    1, FMR0          ; CPU書き換えモード無効
BCLR    7, FMR2          ; 低消費電流リードモード禁止
FSET    I                 ; 割り込み許可
WAIT
NOP
NOP
NOP
NOP

```

- CM30ビットを“1”を実行するプログラム例

```

BCLR    1, FMR0          ; CPU書き換えモード無効
BCLR    7, FMR2          ; 低消費電流リードモード禁止
BSET    0, PRCR          ; CM3レジスタへの書き込み許可
FCLR    I                 ; 割り込み禁止
BSET    0, CM3            ; ウェイトモード
NOP
NOP
NOP
NOP
BCLR    0, PRCR          ; CM3レジスタへの書き込み禁止
FSET    I                 ; 割り込み許可

```

### 9.9.3 発振停止検出機能

XIN クロックの周波数が 2MHz 未満の場合、発振停止検出機能は使用できませんので、OCD1 ~ OCD0 ビットを “00b” にしてください。

### 9.9.4 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

電源電圧 VCC=2.7V 未満でご使用になる場合は、CM1 レジスタの CM11 ビットを “1”(内蔵帰還抵抗無効)にし、外部に帰還抵抗を接続することを推奨します。

## 10. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。

PRCR レジスタが保護するレジスタは次です。

- PRC0 ビットで保護されるレジスタ : CM0、CM1、CM3、OCD、FRA0、FRA1、FRA2、FRA3 レジスタ
- PRC1 ビットで保護されるレジスタ : PM0、PM1 レジスタ
- PRC2 ビットで保護されるレジスタ : PD0 レジスタ
- PRC3 ビットで保護されるレジスタ : OCVREFCR、VCA2、VD1LS、VW0C、VW1C、VW2C レジスタ

### 10.1 レジスタの説明

#### 10.1.1 プロテクトレジスタ (PRCR)

アドレス 000Ah 番地

| ビット     | b7 | b6 | b5 | b4 | b3   | b2   | b1   | b0   |
|---------|----|----|----|----|------|------|------|------|
| シンボル    | -  | -  | -  | -  | PRC3 | PRC2 | PRC1 | PRC0 |
| リセット後の値 | 0  | 0  | 0  | 0  | 0    | 0    | 0    | 0    |

| ビット | シンボル | ビット名                                       | 機能   | R/W |
|-----|------|--|--|-----|
| b0  | PRC0 | プロテクトビット0                                  | CM0、CM1、CM3、OCD、FRA0、FRA1、FRA2、FRA3 レジスタへの書き込み許可<br>0 : 書き込み禁止<br>1 : 書き込み許可(注2) | R/W |
| b1  | PRC1 | プロテクトビット1                                  | PM0、PM1 レジスタへの書き込み許可<br>0 : 書き込み禁止<br>1 : 書き込み許可(注2)                             | R/W |
| b2  | PRC2 | プロテクトビット2                                  | PD0 レジスタへの書き込み許可<br>0 : 書き込み禁止<br>1 : 書き込み許可(注1)                                 | R/W |
| b3  | PRC3 | プロテクトビット3                                  | OCVREFCR、VCA2、VD1LS、VW0C、VW1C、VW2C レジスタへの書き込み許可<br>0 : 書き込み禁止<br>1 : 書き込み許可(注2)  | R/W |
| b4  | -    | 予約ビット                                      | "0"にしてください   | R/W |
| b5  | -    |  |  |     |
| b6  | -    |  |  |     |
| b7  | -    | 何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。 | -  |     |

注1. PRC2 ビットを "1" (書き込み許可) にした後、SFR 領域に書き込むと "0" になります。PRC2 ビットで保護されるレジスタは、PRC2 ビットを "1" にした次の命令で変更してください。なお、PRC2 ビットを "1" にする命令と次の命令の間に、割り込みやDTC起動が実行されないようにしてください。

注2. PRC0、PRC1、PRC3 ビットを "1" (書き込み許可) にした後、SFR 領域に書き込んでも "0" になりませんので、プログラムで "0" にしてください。

## 11. 割り込み

### 11.1 概要

#### 11.1.1 割り込みの分類

図11.1に割り込みの分類を示します。

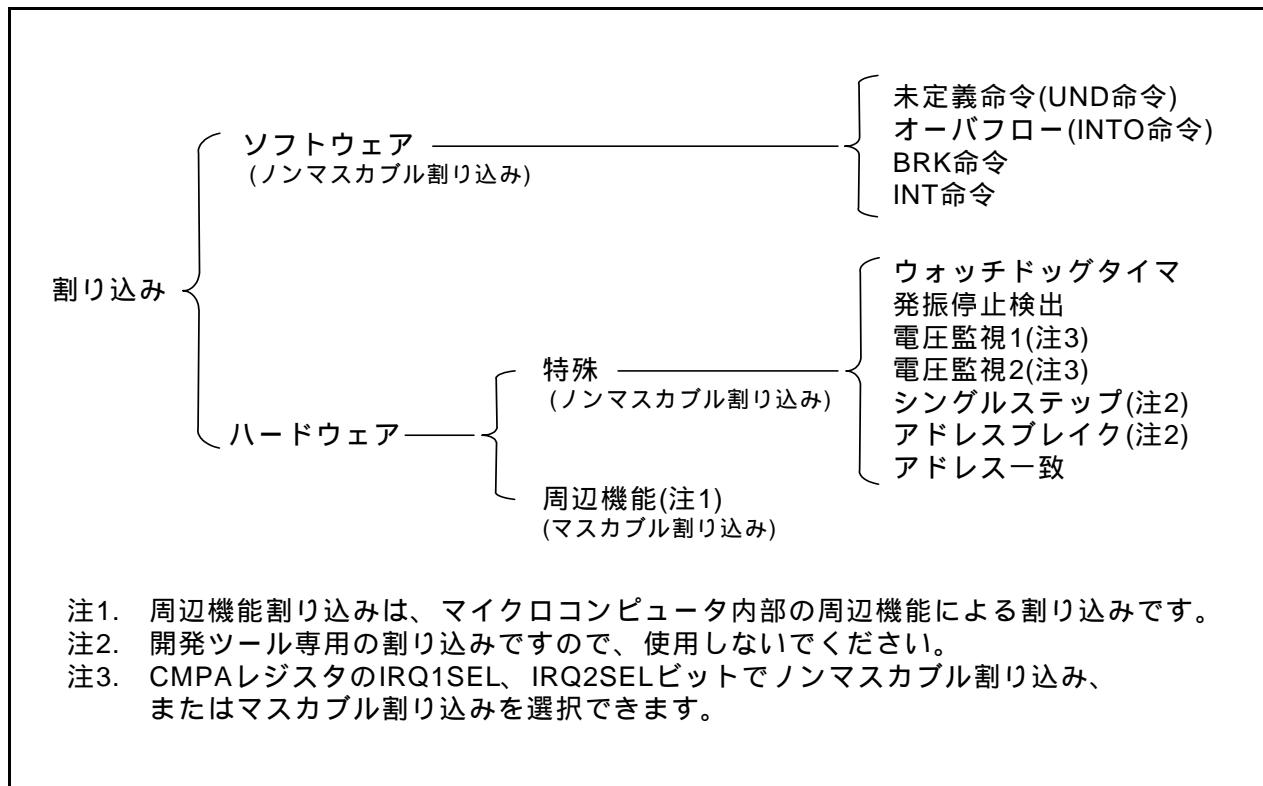


図11.1 割り込みの分類

- マスクブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が可能
- ノンマスクブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が不可能

### 11.1.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスカブル割り込みです。

#### 11.1.2.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

#### 11.1.2.2 オーバフロー割り込み

オーバフロー割り込みは、Oフラグが“1”(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

#### 11.1.2.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

#### 11.1.2.4 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。周辺機能割り込みに割り当てられているソフトウェア割り込み番号は、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0～31では、命令実行時にUフラグを退避し、Uフラグを“0”(ISPを選択)にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

### 11.1.3 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

#### 11.1.3.1 ウオッヂドッグタイム割り込み

ウォッヂドッグタイムによる割り込みです。ウォッヂドッグタイムの詳細は、「14. ウォッヂドッグタイム」を参照してください。

#### 11.1.3.2 発振停止検出割り込み

発振停止検出機能による割り込みです。発振停止検出機能の詳細は「9. クロック発生回路」を参照してください。

#### 11.1.3.3 電圧監視1割り込み

電圧検出回路による割り込みです。CMPA レジスタのIRQ1SEL ビットでノンマスカブル割り込み、またはマスカブル割り込みを選択できます。電圧検出回路の詳細は「6. 電圧検出回路」を参照してください。

#### 11.1.3.4 電圧監視2割り込み

電圧検出回路による割り込みです。CMPA レジスタのIRQ2SEL ビットでノンマスカブル割り込み、またはマスカブル割り込みを選択できます。電圧検出回路の詳細は「6. 電圧検出回路」を参照してください。

#### 11.1.3.5 シングルステップ割り込み、アドレスブレイク割り込み

開発ツール専用の割り込みですので、使用しないでください。

#### 11.1.3.6 アドレス一致割り込み

アドレス一致割り込みは、AIER0 レジスタのAIER00 ビット、AIER1 レジスタのAIER10 ビットのうち、いずれか1つが“1”(アドレス一致割り込み許可)の場合、対応するRMAD0 ~ RMAD1 レジスターで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「11.6 アドレス一致割り込み」を参照してください。

### 11.1.4 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスカブル割り込みです。周辺機能割り込みの割り込み要因は「表 11.2 可変ベクタテーブル」に配置している割り込みとベクタテーブルの番地を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

### 11.1.5 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。

割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。

図11.2に割り込みベクタを示します。

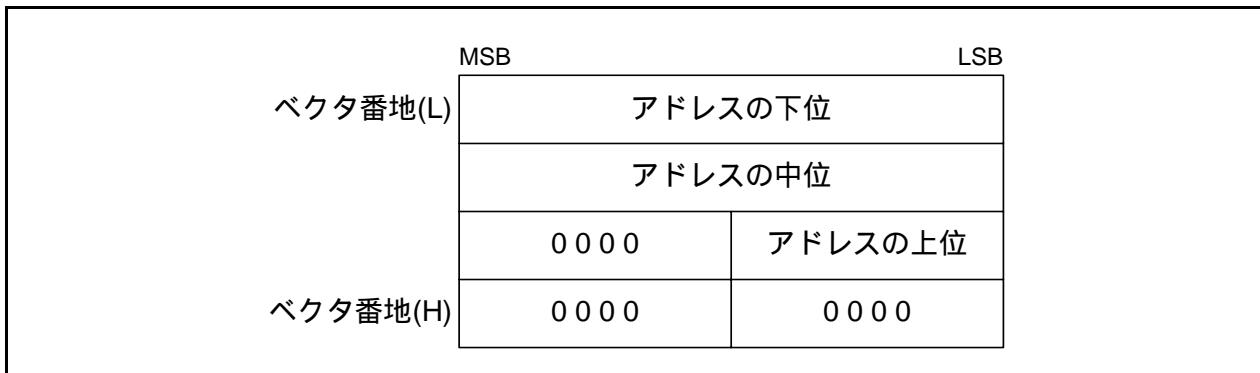


図11.2 割り込みベクタ

#### 11.1.5.1 固定ベクタテーブル

固定ベクタテーブルは、0FFDCh番地から0FFFFh番地に配置されています。

表11.1に固定ベクタテーブルを示します。固定ベクタのベクタ番地(H)はIDコードチェック機能で使用します。詳細は「30.3 フラッシュメモリ書き換え禁止機能」を参照してください。

表11.1 固定ベクタテーブル

| 割り込み要因                                | ベクタ番地<br>番地(L) ~ 番地(H) | 備考   | 参照先  |
|---------------------------------------|------------------------|--|--|
| 未定義命令                                 | 0FFDCh ~ 0FFDFh        | UND命令で割り込み   | R8C/Tinyシリーズソフト<br>ウェアマニュアル                  |
| オーバフロー                                | 0FFE0h ~ 0FFE3h        | INTO命令で割り込み  |  |
| BRK命令                                 | 0FFE4h ~ 0FFE7h        | 0FFE7h番地の内容が<br>FFhの場合は可変ベク<br>タテーブル内のベクタ<br>が示す番地から実行 |  |
| アドレス一致                                | 0FFE8h ~ 0FFEBh        |  | 11.6 アドレス一致割り込み                              |
| シングルステップ(注1)                          | 0FFECh ~ 0FFEFh        |  |  |
| ウォッチドッグタイマ、<br>発振停止検出、<br>電圧監視1、電圧監視2 | 0FFF0h ~ 0FFF3h        |  | 14. ウォッチドッグタイマ、<br>9. クロック発生回路、<br>6. 電圧検出回路 |
| アドレスブレイク(注1)                          | 0FFF4h ~ 0FFF7h        |  |  |
| (予約)                                  | 0FFF8h ~ 0FFF9h        |  |  |
| リセット                                  | 0FFFCh ~ 0FFFFh        |  | 5. リセット                                      |

注1. 開発ツール専用の割り込みですので、使用しないでください。

### 11.1.5.2 可変ベクタテーブル

INTB レジスタに設定された先頭番地から 256 バイトが可変ベクタテーブルの領域となります。

表11.2 に可変ベクタテーブルを示します。

表11.2 可変ベクタテーブル

| 割り込み要因   | ベクタ番地(注1)<br>番地(L) ~ 番地(H)                                 | ソフトウェア<br>割り込み番号 | 割り込み制御<br>レジスタ  | 参照先   |
|--|--|------------------|-----------------|---|
| BRK命令(注3)  | +0 ~ +3(0000h ~ 0003h)                                     | 0                |                 | R8C/Tinyシリーズ<br>ソフトウェアマニュアル   |
| フラッシュメモリレディ<br>(予約)                                    | +4 ~ +7(0004h ~ 0007h)                                     | 1<br>2 ~ 5       | FMRDYIC         | 30. フラッシュメモリ  |
| (予約)   | +24 ~ +27(0018h ~ 001BFh)                                  | 6                |                 |   |
| タイマRC<br>(予約)  | +28 ~ +31(001Ch ~ 001Fh)<br>+32 ~ +35(0020h ~ 0023h)       | 7<br>8           | TRCIC           | 19. タイマRC   |
| (予約)   | +36 ~ +39(0024h ~ 0027h)                                   | 9                |                 |   |
| タイマRE  | +40 ~ +43(0028h ~ 002Bh)                                   | 10               | TREIC           | 20. タイマRE   |
| UART2送信/NACK2  | +44 ~ +47(002Ch ~ 002Fh)                                   | 11               | S2TIC           | 22. シリアルインタフェース<br>(UART2)  |
| UART2受信/ACK2   | +48 ~ +51(0030h ~ 0033h)                                   | 12               | S2RIC           |   |
| キー入力   | +52 ~ +55(0034h ~ 0037h)                                   | 13               | KUPIC           | 11.5 キー入力割り込み   |
| A/D変換  | +56 ~ +59(0038h ~ 003Bh)                                   | 14               | ADIC            | 27. A/Dコンバータ  |
| シンクロナスシリアルコミュニケーションユニット/I <sup>2</sup> Cバスインターフェース(注2) | +60 ~ +63(003Ch ~ 003Fh)                                   | 15               | SSUIC/<br>IICIC | 24. シンクロナスシリアルコミュニケーションユニット(SSU),<br>25. I <sup>2</sup> Cバスインターフェース |
| (予約)   |  | 16               |                 |   |
| UART0送信  | +68 ~ +71(0044h ~ 0047h)                                   | 17               | S0TIC           | 21. シリアルインタフェース<br>(UARTi (i=0 ~ 1))                                |
| UART0受信  | +72 ~ +75(0048h ~ 004Bh)                                   | 18               | S0RIC           |   |
| UART1送信  | +76 ~ +79(004Ch ~ 004Fh)                                   | 19               | S1TIC           |   |
| UART1受信  | +80 ~ +83(0050h ~ 0053h)                                   | 20               | S1RIC           |   |
| (予約)   | +84 ~ +87(0054h ~ 0057h)                                   | 21               |                 |   |
| タイマRA<br>(予約)  | +88 ~ +91(0058h ~ 005Bh)                                   | 22<br>23         | TRAIC           | 17. タイマRA   |
| タイマRB  | +96 ~ +99(0060h ~ 0063h)                                   | 24               | TRBIC           | 18. タイマRB   |
| INT1   | +100 ~ +103(0064h ~ 0067h)                                 | 25               | INT1IC          | 11.4 INT割り込み  |
| INT3   | +104 ~ +107(0068h ~ 006Bh)                                 | 26               | INT3IC          |   |
| (予約)   |  | 27               |                 |   |
| (予約)   |  | 28               |                 |   |
| INT0   | +116 ~ +119(0074h ~ 0077h)                                 | 29               | INT0IC          | 11.4 INT割り込み  |
| UART2バス衝突検出  | +120 ~ +123(0078h ~ 007Bh)                                 | 30               | U2BCNIC         | 22. シリアルインタフェース<br>(UART2)  |
| (予約)   |  | 31               |                 |   |
| ソフトウェア(注3)   | +128 ~ +131(0080h ~ 0083h) ~<br>+164 ~ +167(00A4h ~ 00A7h) | 32 ~ 41          |                 | R8C/Tinyシリーズ<br>ソフトウェアマニュアル   |
| (予約)   |  | 42 ~ 49          |                 |   |
| 電圧監視1  | +200 ~ +203(00C8h ~ 00CBh)                                 | 50               | VCMP1IC         | 6. 電圧検出回路   |
| 電圧監視2  | +204 ~ +207(00CCh ~ 00CFh)                                 | 51               | VCMP2IC         |   |
| (予約)   |  | 52 ~ 55          |                 |   |
| ソフトウェア(注3)   | +224 ~ +227(00E0h ~ 00E3h) ~<br>+252 ~ +255(00FCh ~ 00FFh) | 56 ~ 63          |                 | R8C/Tinyシリーズ<br>ソフトウェアマニュアル   |

注1. INTB レジスタが示す番地からの相対番地です。

注2. SSUICSR レジスタの IICSEL ビットで選択できます。

注3. I フラグによる禁止はできません。

## 11.2 レジスタの説明

### 11.2.1 割り込み制御レジスタ

(TREIC、S2TIC、S2RIC、KUPIC、ADIC、S0TIC、S0RIC、S1TIC、S1RIC、TRAIC、TRBIC、U2BCNIC、VCMP1IC、VCMP2IC)

アドレス 004Ah 番地(TREIC)、004Bh 番地(S2TIC)、004Ch 番地(S2RIC)、004Dh 番地(KUPIC)、  
004Eh 番地(ADIC)、0051h 番地(S0TIC)、0052h 番地(S0RIC)、0053h 番地(S1TIC)、  
0054h 番地(S1RIC)、0056h 番地(TRAIC)、0058h 番地(TRBIC)、005Eh 番地(U2BCNIC)、  
0072h 番地(VCMP1IC)、0073h 番地(VCMP2IC)

| ビット     | b7 | b6 | b5 | b4 | b3 | b2    | b1    | b0    |
|---------|----|----|----|----|----|-------|-------|-------|
| シンボル    | -  | -  | -  | -  | IR | ILVL2 | ILVL1 | ILVL0 |
| リセット後の値 | X  | X  | X  | X  | X  | 0     | 0     | 0     |

| ビット | シンボル  | ビット名                                      | 機能  | R/W         |
|-----|-------|---|---|-------------|
| b0  | ILVL0 | 割り込み優先レベル選択ビット                            | b2 b1 b0<br>0 0 0 : レベル0 (割り込み禁止)<br>0 0 1 : レベル1<br>0 1 0 : レベル2<br>0 1 1 : レベル3<br>1 0 0 : レベル4<br>1 0 1 : レベル5<br>1 1 0 : レベル6<br>1 1 1 : レベル7 | R/W         |
| b1  | ILVL1 |   | R/W   |             |
| b2  | ILVL2 |   | R/W   |             |
| b3  | IR    | 割り込み要求ビット                                 | 0 : 割り込み要求なし<br>1 : 割り込み要求あり  | R/W<br>(注1) |
| b4  | -     | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。 |   | -           |
| b5  | -     |   |   |             |
| b6  | -     |   |   |             |
| b7  | -     |   |   |             |

注1. IR ビットは “0” のみ書けます (“1” を書かないでください)。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「11.8.5 割り込み制御レジスタの変更」を参照してください。

### 11.2.2 割り込み制御レジスタ(FMRDYIC、TRCIC、SSUIC/IICIC)

アドレス 0041h番地(FMRDYIC)、0047h番地(TRCIC)、004Fh番地(SSUIC/IICIC(注1))

| ビット     | b7 | b6 | b5 | b4 | b3 | b2    | b1    | b0    |
|---------|----|----|----|----|----|-------|-------|-------|
| シンボル    | -  | -  | -  | -  | IR | ILVL2 | ILVL1 | ILVL0 |
| リセット後の値 | X  | X  | X  | X  | X  | 0     | 0     | 0     |

| ビット | シンボル  | ビット名                                      | 機能  | R/W |
|-----|-------|---|---|-----|
| b0  | ILVL0 | 割り込み優先レベル選択ビット<br><br>b2 b1 b0            | 0 0 0 : レベル0 (割り込み禁止)<br>0 0 1 : レベル1<br>0 1 0 : レベル2<br>0 1 1 : レベル3<br>1 0 0 : レベル4<br>1 0 1 : レベル5<br>1 1 0 : レベル6<br>1 1 1 : レベル7 | R/W |
| b1  | ILVL1 |   |   | R/W |
| b2  | ILVL2 |   |   | R/W |
| b3  | IR    | 割り込み要求ビット                                 | 0 : 割り込み要求なし<br>1 : 割り込み要求あり  | R   |
| b4  | -     | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。 |   | -   |
| b5  | -     |   |   |     |
| b6  | -     |   |   |     |
| b7  | -     |   |   |     |

注1. SSUIIICSR レジスタのIICSEL ビットで選択できます。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「11.8.5 割り込み制御レジスタの変更」を参照してください。

### 11.2.3 INT*i*割り込み制御レジスタ (INT*i*C)(*i*=0、1、3)

アドレス 0059h番地(INT1IC)、005Ah番地(INT3IC)、005Dh番地(INT0IC)

| ビット     | b7 | b6 | b5 | b4  | b3 | b2    | b1    | b0    |
|---------|----|----|----|-----|----|-------|-------|-------|
| シンボル    | -  | -  | -  | POL | IR | ILVL2 | ILVL1 | ILVL0 |
| リセット後の値 | X  | X  | 0  | 0   | X  | 0     | 0     | 0     |

| ビット | シンボル  | ビット名                                      | 機能   | R/W         |
|-----|-------|---|--|-------------|
| b0  | ILVL0 | 割り込み優先レベル選択ビット<br><small>b2 b1 b0</small> | 000 : レベル0(割り込み禁止)<br>001 : レベル1<br>010 : レベル2<br>011 : レベル3<br>100 : レベル4<br>101 : レベル5<br>110 : レベル6<br>111 : レベル7 | R/W         |
| b1  | ILVL1 |   |  | R/W         |
| b2  | ILVL2 |   |  | R/W         |
| b3  | IR    | 割り込み要求ビット                                 | 0 : 割り込み要求なし<br>1 : 割り込み要求あり   | R/W<br>(注1) |
| b4  | POL   | 極性切り替えビット(注3)                             | 0 : 立ち下がりエッジを選択<br>1 : 立ち上がりエッジを選択(注2)   | R/W         |
| b5  | -     | 予約ビット                                     | "0"にしてください   | R/W         |
| b6  | -     | 何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は不定。 |  | -           |
| b7  | -     |   |  |             |

注1. IRビットは“0”のみ書けます(“1”を書かないでください)。

注2. INTENレジスタのINTiPLビットが“1”(両エッジ)の場合、POLビットを“0”(立ち下がりエッジを選択)にしてください。

注3. POLビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。  
「11.8.4 割り込み要因の変更」を参照してください。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「11.8.5 割り込み制御レジスタの変更」を参照してください。

### 11.3 割り込み制御

マスカブル割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可、禁止は、FLG レジスタの I フラグ、IPL、各割り込み制御レジスタの ILVL2 ~ ILVL0 ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタの IR ビットに示されます。

#### 11.3.1 I フラグ

I フラグは、マスカブル割り込みを許可または禁止します。I フラグを “1”(許可)にすると、マスカブル割り込みは許可され、“0”(禁止)にするとすべてのマスカブル割り込みは禁止されます。

#### 11.3.2 IR ビット

IR ビットは割り込み要求が発生すると、“1”(割り込み要求あり)になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IR ビットは“0”(割り込み要求なし)になります。

IR ビットはプログラムによって“0”にできます。“1”を書かないでください。

ただし、タイマ RC 割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I<sup>2</sup>C バスインターフェース、フラッシュメモリ割り込みでは、IR ビットの動作が違います。「11.7 タイマ RC 割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I<sup>2</sup>C バスインターフェース、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)」を参照してください。

#### 11.3.3 ILVL2 ~ ILVL0 ビット、IPL

割り込み優先レベルは、ILVL2 ~ ILVL0 ビットで設定できます。

表11.3に割り込み優先レベルの設定を、表11.4に IPL により許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- I フラグ = 1
- IR ビット = 1
- 割り込み優先レベル > IPL

I フラグ、IR ビット、ILVL2 ~ ILVL0 ビット、IPL はそれぞれ独立しており、互いに影響を与えることはありません。

表11.3 割り込み優先レベルの設定

| ILVL2 ~ ILVL0 | 割り込み優先レベル     | 優先順位  |
|---------------|---------------|---|
| 000b          | レベル 0(割り込み禁止) | 低い<br><br> |
| 001b          | レベル 1         |   |
| 010b          | レベル 2         |   |
| 011b          | レベル 3         |   |
| 100b          | レベル 4         |   |
| 101b          | レベル 5         |   |
| 110b          | レベル 6         |   |
| 111b          | レベル 7         |   |

表11.4 IPL により許可される割り込み優先レベル

| IPL  | 許可される割り込み優先レベル   |
|------|------------------|
| 000b | レベル 1 以上を許可      |
| 001b | レベル 2 以上を許可      |
| 010b | レベル 3 以上を許可      |
| 011b | レベル 4 以上を許可      |
| 100b | レベル 5 以上を許可      |
| 101b | レベル 6 以上を許可      |
| 110b | レベル 7 以上を許可      |
| 111b | すべてのマスカブル割り込みを禁止 |

### 11.3.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。

図11.3に割り込みシーケンスの実行時間を示します。

- (1) 00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。(注2)
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。  
Iフラグは“0”(割り込み禁止)  
Dフラグは“0”(シングルステップ割り込みは割り込み禁止)  
Uフラグは“0”(ISPを指定)  
ただし、Uフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません。
- (4) CPU内部の一時レジスタ(注1)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) IPLに、受け付けた割り込みの割り込み優先レベルを設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

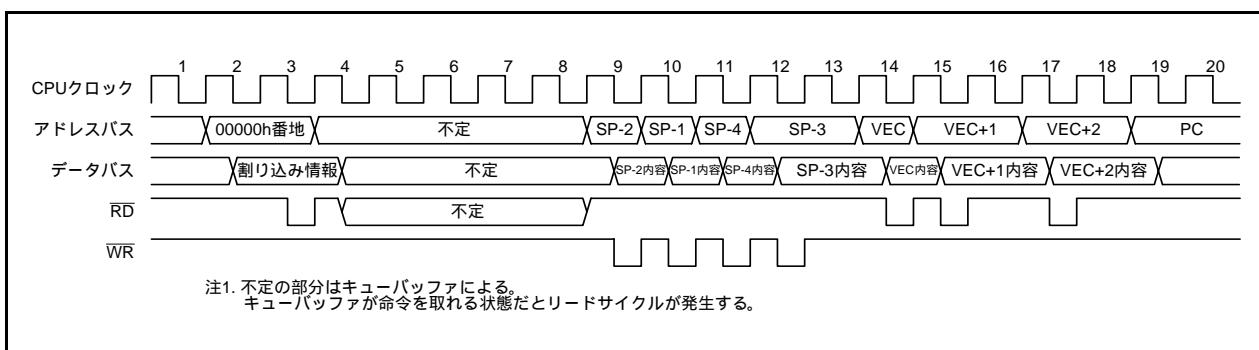


図11.3 割り込みシーケンスの実行時間

- 注2. タイマRC、シンクロナスシリアルコミュニケーションユニット、I<sup>2</sup>Cバスインタフェース割り込みのIRビットの動作は「11.7 タイマRC割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I<sup>2</sup>Cバスインタフェース、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)」を参照してください。

### 11.3.5 割り込み応答時間

図11.4に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図11.4の(a))と割り込みシーケンスを実行する時間(20サイクル(b))で構成されます。

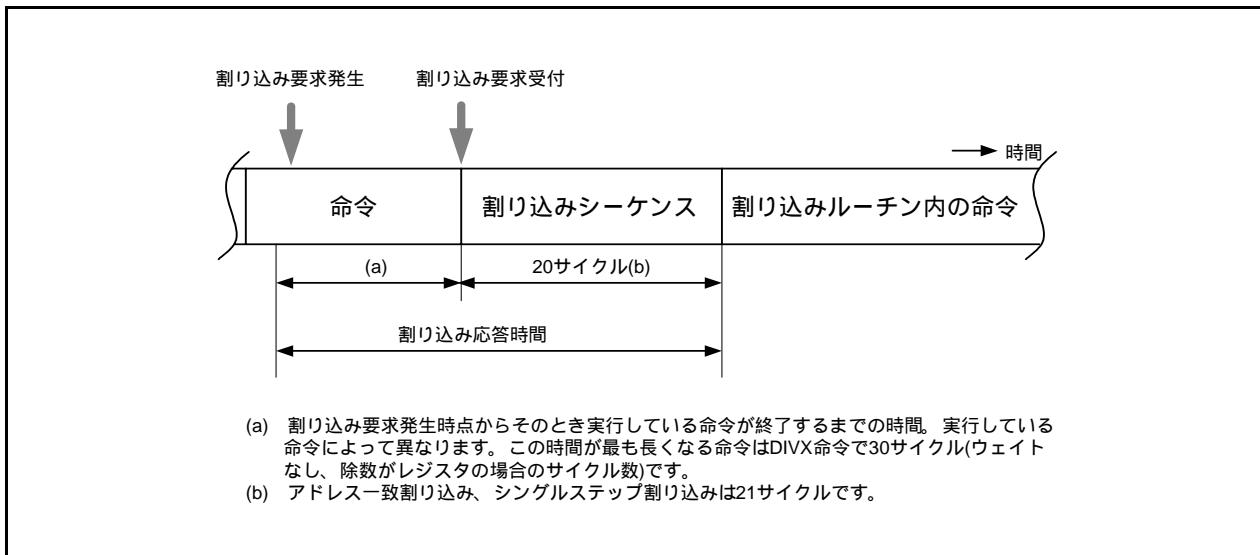


図11.4 割り込み応答時間

### 11.3.6 割り込み要求受付時のIPLの変化

マスカブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表11.5に示す値がIPLに設定されます。

表11.5にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表11.5 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

| 割り込み優先レベルを持たない割り込み要因                   | 設定される IPL の値 |
|--|--------------|
| ウォッチドッグタイマ、発振停止検出、電圧監視1、電圧監視2、アドレスブレイク | 7            |
| ソフトウェア、アドレス一致、シングルステップ                 | 変化しない        |

### 11.3.7 レジスタ退避

割り込みシーケンスでは、FLG レジスタと PC をスタックに退避します。

スタックへは PC の上位 4 ビットと FLG レジスタの上位 4 ビット (IPL)、下位 8 ビットの合計 16 ビットをまず退避し、次に PC の下位 16 ビットを退避します。

図 11.5 に割り込み要求受け付け前と後のスタックの状態を示します。

他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM 命令を用いると、現在使用しているレジスタバンクの複数のレジスタ (注 1) を、1 命令で退避できます。

注 1. R0、R1、R2、R3、A0、A1、SB、FB レジスタから選択できます。

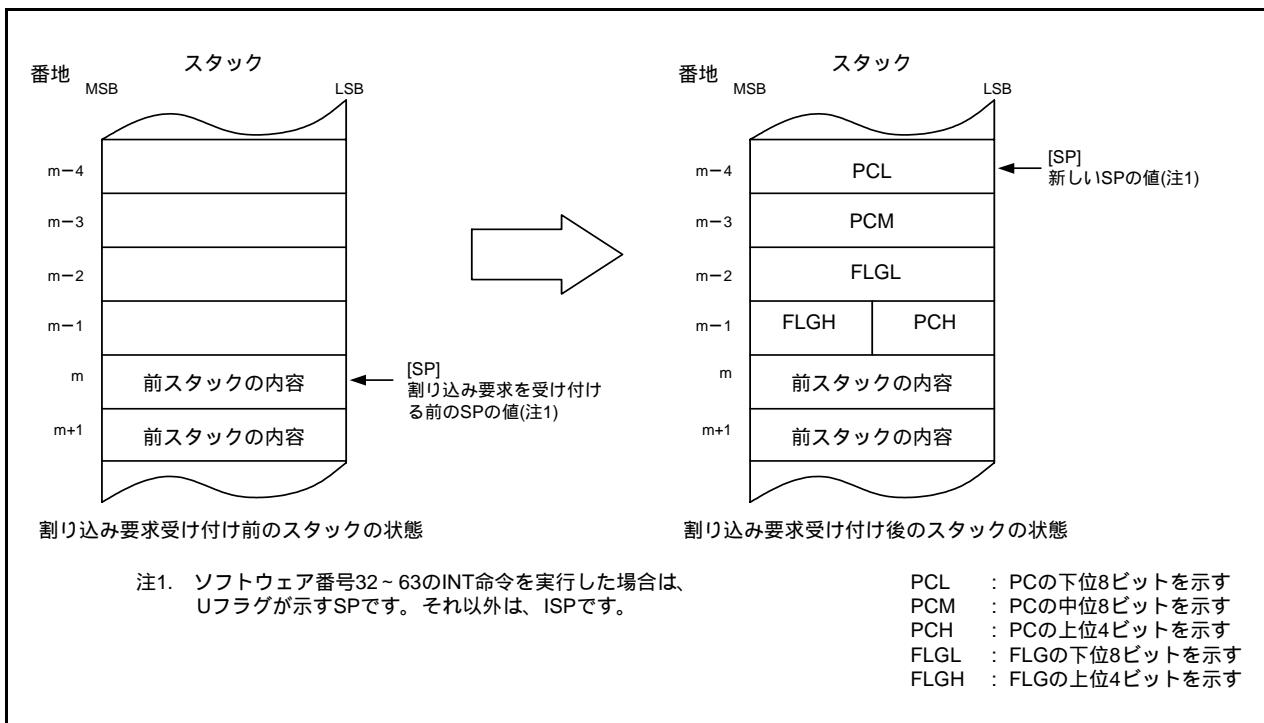


図 11.5 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、8ビットずつ4回に分けて退避されます。  
図11.6にレジスタ退避動作を示します。

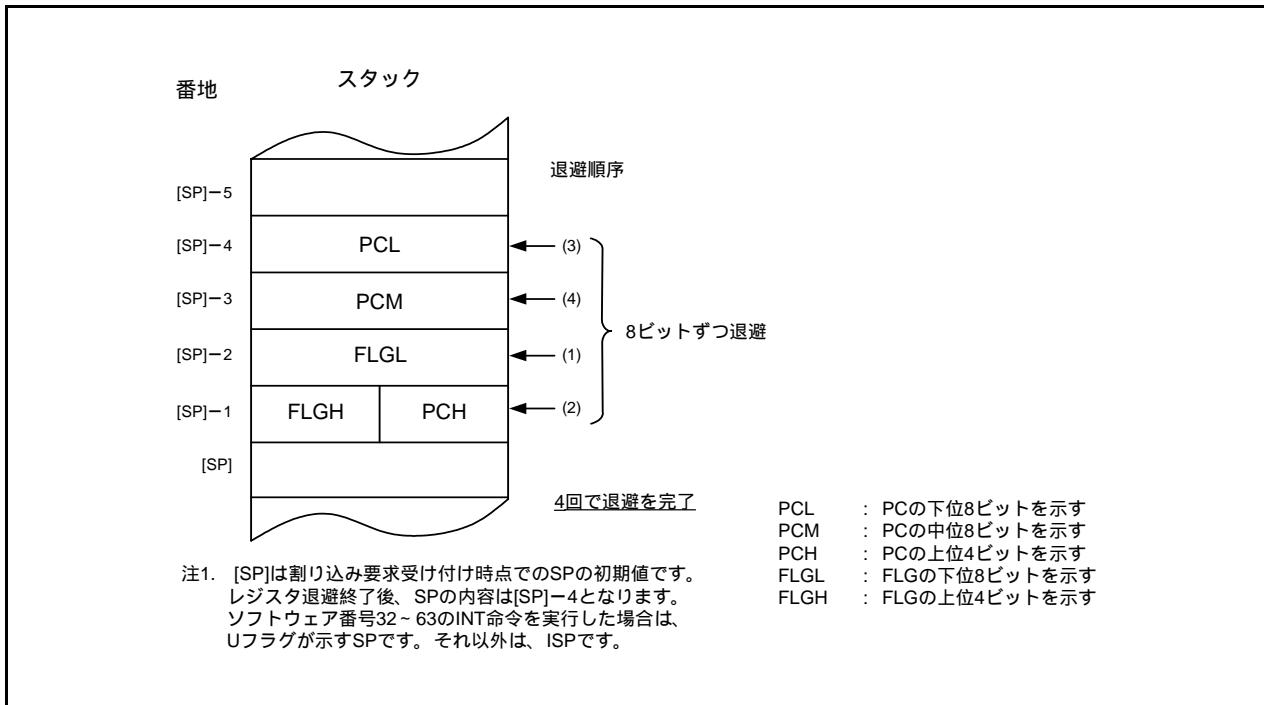


図11.6 レジスタ退避動作

### 11.3.8 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

### 11.3.9 割り込み優先順位

1命令実行中に2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能)の優先レベルは、ILVL2 ~ ILVL0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッчドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。

図11.7にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

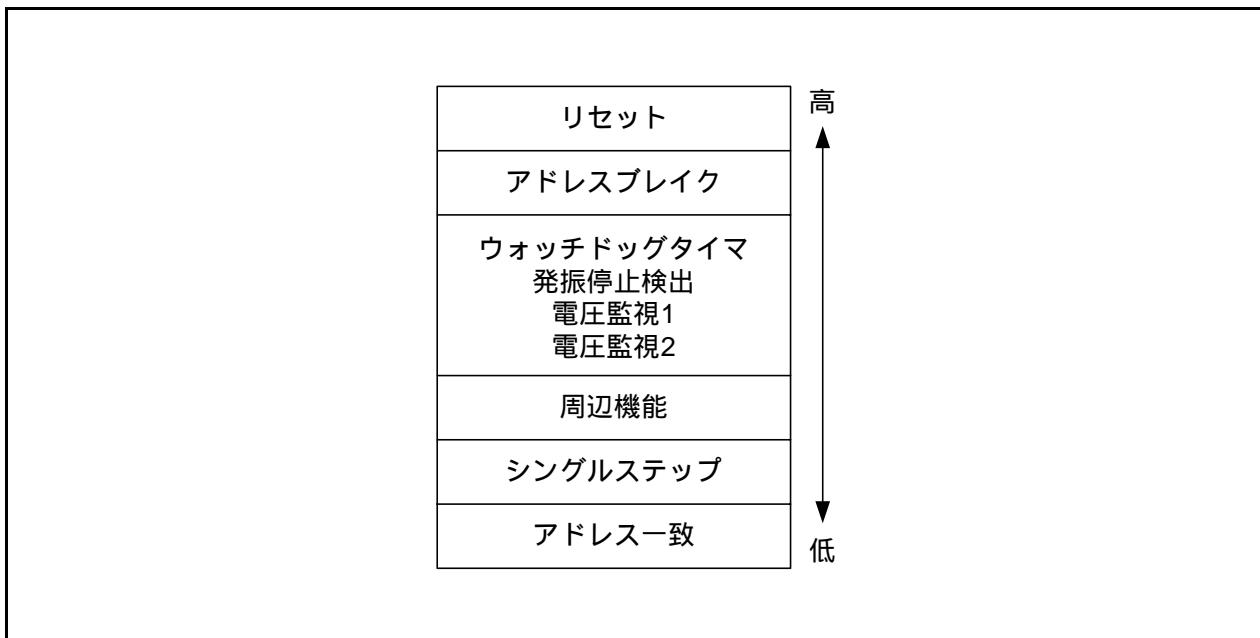


図11.7 ハードウェア割り込みの割り込み優先順位

### 11.3.10 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、最も優先順位の高い割り込みを選択するための回路です。  
図11.8に割り込み優先レベルの判定回路を示します。

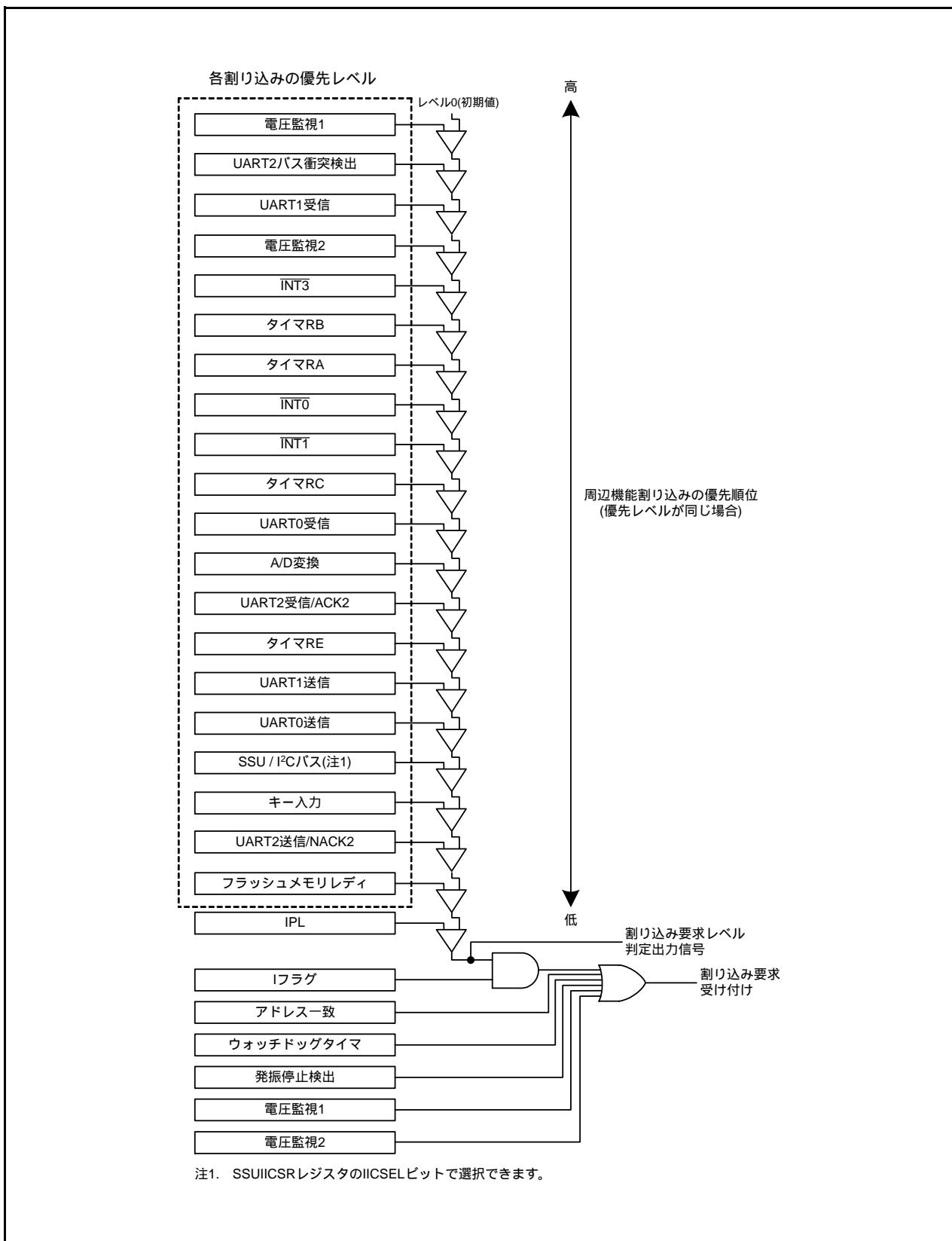


図11.8 割り込み優先レベルの判定回路

## 11.4 INT割り込み

### 11.4.1 INTi割り込み(i=0、1、3)

INTi割り込みはINTi入力による割り込みです。INTi割り込みを使用するときはINTENレジスタのINTiENビット“1”(許可)にしてください。極性をINTENレジスタのINTiPLビットとINTiICレジスタのPOLビットで選択できます。INT1入力は入力端子を選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

INT0端子はタイマRCのパルス出力強制遮断入力と、タイマRBの外部トリガ入力と兼用です。

表11.6にINT割り込みの端子構成を示します。

表11.6 INT割り込みの端子構成

| 端子名         | 割り当てる端子          | 入出力 | 機能   |
|-------------|------------------|-----|--|
| <u>INT0</u> | P4_5             | 入力  | <u>INT0</u> 割り込み入力、タイマRBの外部トリガ入力、タイマRCのパルス出力強制遮断入力 |
| <u>INT1</u> | P1_5、P1_7またはP2_0 | 入力  | <u>INT1</u> 割り込み入力                                 |
| <u>INT3</u> | P3_3             | 入力  | <u>INT3</u> 割り込み入力                                 |

### 11.4.2 INT割り込み入力端子選択レジスタ(INTSR)

| アドレス 018Eh番地 |    |    |    |    |          |          |          |    |
|--------------|----|----|----|----|----------|----------|----------|----|
| ビット          | b7 | b6 | b5 | b4 | b3       | b2       | b1       | b0 |
| シンボル         | -  | -  | -  | -  | INT1SEL2 | INT1SEL1 | INT1SEL0 | -  |
| リセット後の値      | 0  | 0  | 0  | 0  | 0        | 0        | 0        | 0  |

| ビット | シンボル     | ビット名                                       | 機能  | R/W |
|-----|----------|--|---|-----|
| b0  | -        | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |   | -   |
| b1  | INT1SEL0 | INT1端子選択ビット                                | b3 b2 b1<br>0 0 0 : P1_7に割り当てる<br>0 0 1 : P1_5に割り当てる<br>0 1 0 : P2_0に割り当てる<br>上記以外：設定しないでください | R/W |
| b2  | INT1SEL1 |  |   | R/W |
| b3  | INT1SEL2 |  |   | R/W |
| b4  | -        | 予約ビット                                      | “0”にしてください  | R/W |
| b5  | -        | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |   | -   |
| b6  | -        | 予約ビット                                      | “0”にしてください  | R/W |
| b7  | -        |  |   |     |

INTSR レジスタは、INT1の入力をどの端子に割り当てるかを選択するレジスタです。INT1を使用する場合は、INTSR レジスタを設定してください。

INT1の関連レジスタを設定する前に、INTSR レジスタを設定してください。また、INT1の動作中はINTSR レジスタの設定値を変更しないでください。

### 11.4.3 外部入力許可レジスタ0 (INTEN)

アドレス 01FAh 番地

| ビット     | b7     | b6     | b5 | b4 | b3     | b2     | b1     | b0     |
|---------|--------|--------|----|----|--------|--------|--------|--------|
| シンボル    | INT3PL | INT3EN | -  | -  | INT1PL | INT1EN | INT0PL | INT0EN |
| リセット後の値 | 0      | 0      | 0  | 0  | 0      | 0      | 0      | 0      |

| ビット | シンボル   | ビット名                | 機能                 | R/W |
|-----|--------|---------------------|--------------------|-----|
| b0  | INT0EN | INT0入力許可ビット         | 0: 禁止<br>1: 許可     | R/W |
| b1  | INT0PL | INT0入力極性選択ビット(注1、2) | 0: 片エッジ<br>1: 兩エッジ | R/W |
| b2  | INT1EN | INT1入力許可ビット         | 0: 禁止<br>1: 許可     | R/W |
| b3  | INT1PL | INT1入力極性選択ビット(注1、2) | 0: 片エッジ<br>1: 兩エッジ | R/W |
| b4  | -      | 予約ビット               | "0"にしてください         | R/W |
| b5  | -      |                     |                    |     |
| b6  | INT3EN | INT3入力許可ビット         | 0: 禁止<br>1: 許可     | R/W |
| b7  | INT3PL | INT3入力極性選択ビット(注1、2) | 0: 片エッジ<br>1: 兩エッジ | R/W |

注1. INTiPL ビット (i=0, 1, 3) を "1" (兩エッジ) にする場合、INTiC レジスタの POL ビットを "0" (立ち下がりエッジを選択) にしてください。

注2. INTEN レジスタを変更すると、INTiC レジスタの IR ビットが "1" (割り込み要求あり) になることがあります。  
「11.8.4 割り込み要因の変更」を参照してください。

### 11.4.4 INT入力フィルタ選択レジスタ0 (INTF)

アドレス 01FCh 番地

| ビット     | b7     | b6     | b5 | b4 | b3     | b2     | b1     | b0     |
|---------|--------|--------|----|----|--------|--------|--------|--------|
| シンボル    | INT3F1 | INT3F0 | -  | -  | INT1F1 | INT1F0 | INT0F1 | INT0F0 |
| リセット後の値 | 0      | 0      | 0  | 0  | 0      | 0      | 0      | 0      |

| ビット | シンボル   | ビット名            | 機能   | R/W |
|-----|--------|-----------------|--|-----|
| b0  | INT0F0 | INT0入力フィルタ選択ビット | b1 b0<br>00: フィルタなし<br>01: フィルタあり、f1でサンプリング<br>10: フィルタあり、f8でサンプリング<br>11: フィルタあり、f32でサンプリング | R/W |
| b1  | INT0F1 |                 |  | R/W |
| b2  | INT1F0 | INT1入力フィルタ選択ビット | b3 b2<br>00: フィルタなし<br>01: フィルタあり、f1でサンプリング<br>10: フィルタあり、f8でサンプリング<br>11: フィルタあり、f32でサンプリング | R/W |
| b3  | INT1F1 |                 |  | R/W |
| b4  | -      | 予約ビット           | "0"にしてください   | R/W |
| b5  | -      |                 |  |     |
| b6  | INT3F0 | INT3入力フィルタ選択ビット | b7 b6<br>00: フィルタなし<br>01: フィルタあり、f1でサンプリング<br>10: フィルタあり、f8でサンプリング<br>11: フィルタあり、f32でサンプリング | R/W |
| b7  | INT3F1 |                 |  | R/W |

### 11.4.5 $\overline{\text{INT}_i}$ 入力フィルタ ( $i=0, 1, 3$ )

$\overline{\text{INT}_i}$  入力は、デジタルフィルタを持ちます。サンプリングクロックは INTF レジスタの INTiF0 ~ INTiF1 ビットで選択できます。サンプリングクロックごとに INTi のレベルをサンプリングし、レベルが3度一致した時点で、INTiIC レジスタの IR ビットが “1”(割り込み要求あり)になります。

図 11.9 に INTi 入力フィルタの構成を、図 11.10 に INTi 入力フィルタ動作例を示します。

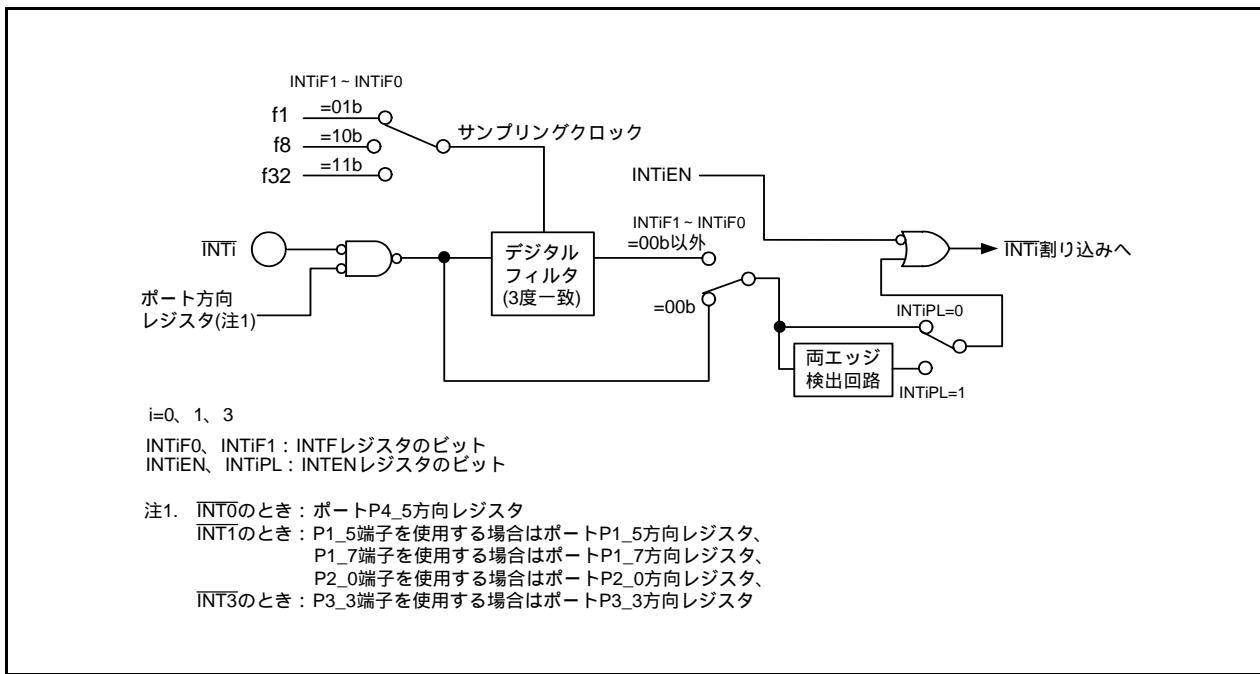


図 11.9  $\overline{\text{INT}_i}$  入力フィルタの構成

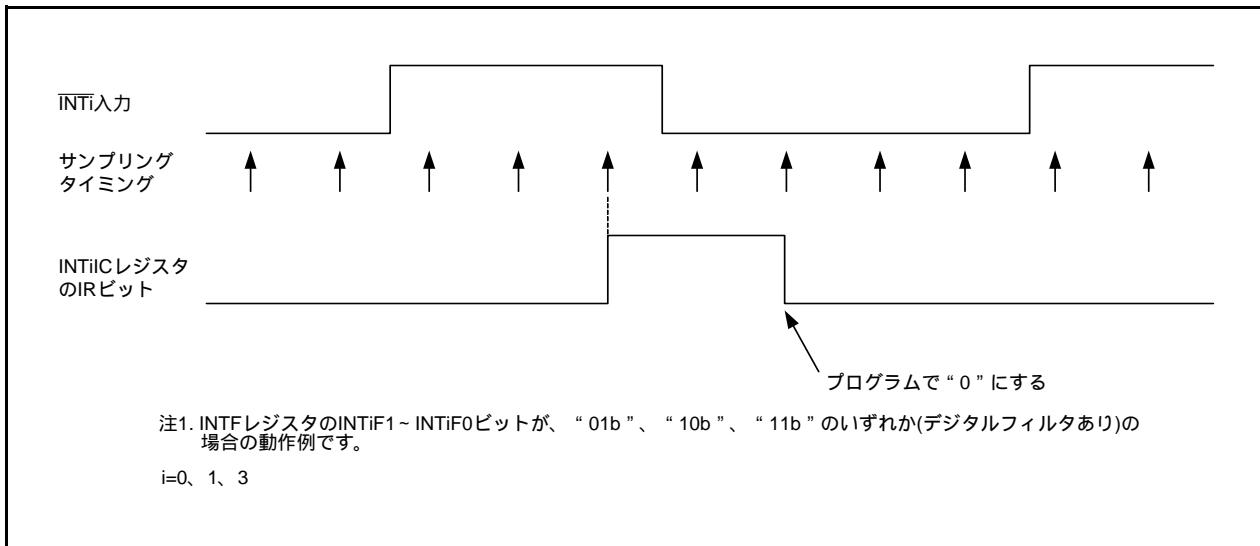


図 11.10  $\overline{\text{INT}_i}$  入力フィルタ動作例

### 11.5 キー入力割り込み

$\overline{KI0} \sim \overline{KI3}$  端子のうち、いずれかの入力エッジでキー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用できます。

KIEN レジスタの KI*i*EN ビット (*i* = 0 ~ 3) で、端子を KI*i* 入力として使用するかどうかを選択できます。また、KIEN レジスタの KI*i*PL ビットで入力極性を選択できます。

なお、KI*i*PL ビットを “0” (立ち下がりエッジ) にしている  $\overline{KIi}$  端子に “L” を入力していると、他の  $\overline{KI0} \sim \overline{KI3}$  端子の入力は割り込みとして検知されません。同様に、KI*i*PL ビットを “1” (立ち上がりエッジ) にしている  $\overline{KIi}$  端子に “H” を入力していると、他の  $\overline{KI0} \sim \overline{KI3}$  端子の入力は割り込みとして検知されません。

図 11.11 にキー入力割り込みのブロック図を示します。表 11.7 にキー入力割り込みの端子構成を示します。

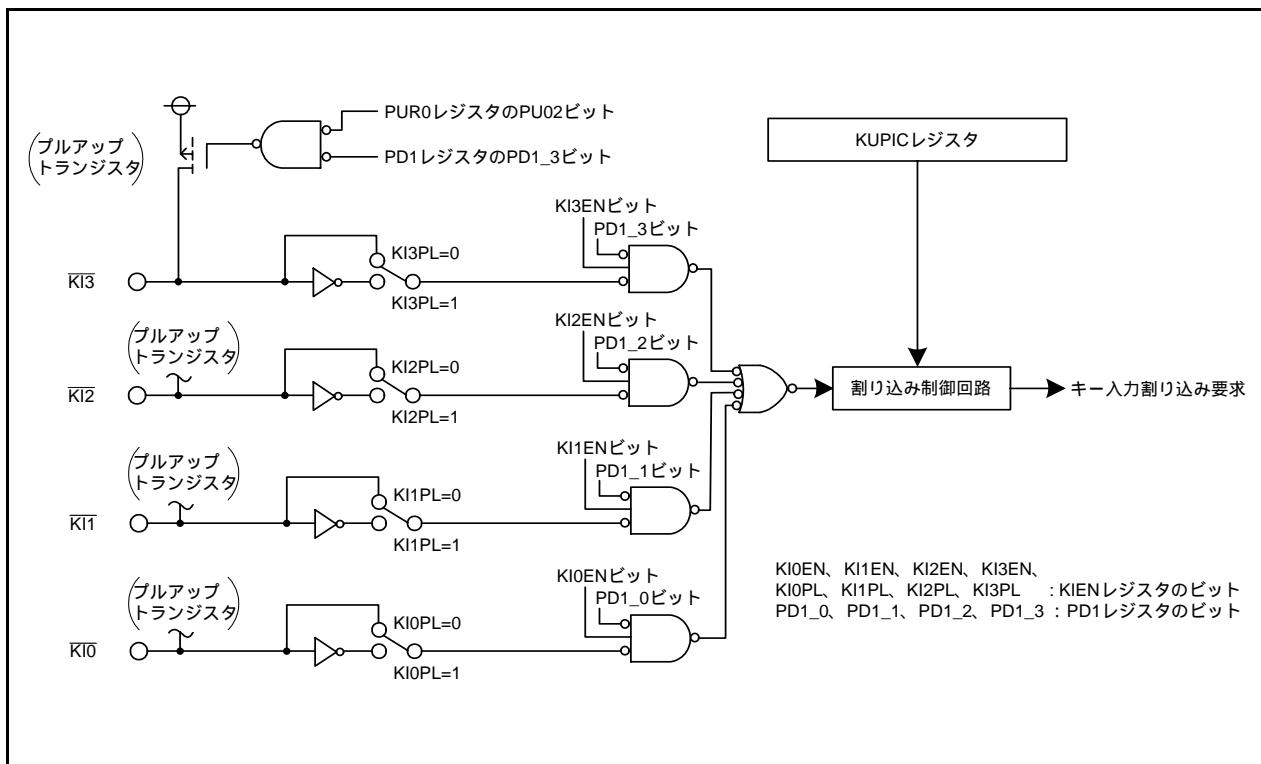


図 11.11 キー入力割り込みのブロック図

表 11.7 キー入力割り込みの端子構成

| 端子名 | 入出力 | 機能                      |
|-----|-----|-------------------------|
| KI0 | 入力  | $\overline{KI0}$ 割り込み入力 |
| KI1 | 入力  | $\overline{KI1}$ 割り込み入力 |
| KI2 | 入力  | $\overline{KI2}$ 割り込み入力 |
| KI3 | 入力  | $\overline{KI3}$ 割り込み入力 |

### 11.5.1 キー入力許可レジスタ0 (KIEN)

アドレス 01FEh 番地

| ビット     | b7    | b6    | b5    | b4    | b3    | b2    | b1    | b0    |
|---------|-------|-------|-------|-------|-------|-------|-------|-------|
| シンボル    | KI3PL | KI3EN | KI2PL | KI2EN | KI1PL | KI1EN | KI0PL | KI0EN |
| リセット後の値 | 0     | 0     | 0     | 0     | 0     | 0     | 0     | 0     |

| ビット | シンボル  | ビット名         | 機能                         | R/W |
|-----|-------|--------------|----------------------------|-----|
| b0  | KI0EN | KI0入力許可ビット   | 0: 禁止<br>1: 許可             | R/W |
| b1  | KI0PL | KI0入力極性選択ビット | 0: 立ち下がりエッジ<br>1: 立ち上がりエッジ | R/W |
| b2  | KI1EN | KI1入力許可ビット   | 0: 禁止<br>1: 許可             | R/W |
| b3  | KI1PL | KI1入力極性選択ビット | 0: 立ち下がりエッジ<br>1: 立ち上がりエッジ | R/W |
| b4  | KI2EN | KI2入力許可ビット   | 0: 禁止<br>1: 許可             | R/W |
| b5  | KI2PL | KI2入力極性選択ビット | 0: 立ち下がりエッジ<br>1: 立ち上がりエッジ | R/W |
| b6  | KI3EN | KI3入力許可ビット   | 0: 禁止<br>1: 許可             | R/W |
| b7  | KI3PL | KI3入力極性選択ビット | 0: 立ち下がりエッジ<br>1: 立ち上がりエッジ | R/W |

KIEN レジスタを変更すると、KUPIC レジスタの IR ビットが “1”(割り込み要求あり)になることがあります。「11.8.4 割り込み要因の変更」を参照してください。

## 11.6 アドレス一致割り込み

RMAD<sub>i</sub>(*i*=0 ~ 1) レジスタで示される番地の命令を実行する直前に、アドレス一致割り込み要求が発生します。デバッガのブレーク機能に使用します。なお、オンチップデバッガ使用時、ユーザシステムでアドレス一致割り込み(AIER0、AIER1、RMAD0、RMAD1 レジスタ、固定ベクタテーブル)を設定しないでください。

RMAD<sub>i</sub>(*i*=0 ~ 1) には命令の先頭番地を設定してください。割り込みの禁止または許可は AIER<sub>i</sub> レジスタの AIER<sub>i</sub>0 ビットで選択できます。アドレス一致割り込みは、I フラグや IPL の影響は受けません。

アドレス一致割り込み要求を受け付けたときに退避される PC の値(「11.3.7 レジスタ退避」参照)は、RMAD<sub>i</sub> レジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- スタックの内容を書き換えて REIT 命令で復帰する
- スタックを POP 命令などを使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表11.8にアドレス一致割り込み要求受け付け時に退避されるPCの値を、表11.9にアドレス一致割り込み要因と関連レジスタの対応を示します。

表11.8 アドレス一致割り込み要求受け付け時に退避されるPCの値

| RMAD <sub>i</sub> レジスタ ( <i>i</i> =0 ~ 1) で示される番地の命令  | 退避される PC の値 (注 1)                |
|---|----------------------------------|
| •オペコードが2 バイトの命令(注2)<br>•オペコードが1 バイトの命令(注2)<br>ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest<br>OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ #IMM8,dest<br>STNZ #IMM8,dest STZX #IMM81,#IMM82,dest<br>CMP.B:S #IMM8,dest PUSHM src POPM dest<br>JMPS #IMM8 JSRS #IMM8<br>MOV.B:S #IMM,dest (ただし、dest = A0 または A1) | RMAD <sub>i</sub> レジスタで示される番地 +2 |
| 上記以外  | RMAD <sub>i</sub> レジスタで示される番地 +1 |

注1. 退避されるPCの値:「11.3.7 レジスタ退避」参照。

注2. オペコード:「R8C/Tiny シリーズソフトウェアマニュアル(RJJ09B0002)」参照。

「第4章 命令コード/サイクル数」の各構文の下に、命令コードを示す図があります。その図の太枠部分がオペコードです。

表11.9 アドレス一致割り込み要因と関連レジスタの対応

| アドレス一致割り込み要因 | アドレス一致割り込み許可ビット | アドレス一致割り込みレジスタ |
|--------------|-----------------|----------------|
| アドレス一致割り込み 0 | AIER00          | RMAD0          |
| アドレス一致割り込み 1 | AIER10          | RMAD1          |

### 11.6.1 アドレス一致割り込み許可レジスタi (AIERi)(i=0 ~ 1)

アドレス 01C3h番地(AIER0)、01C7h番地(AIER1)

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0     |            |
|---------|----|----|----|----|----|----|----|--------|------------|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | AIER00 | AIER0 レジスタ |
| リセット後の値 | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0      |            |

| シンボル    | - | - | - | - | - | - | - | AIER10 | AIER1 レジスタ |
|---------|---|---|---|---|---|---|---|--------|------------|
| リセット後の値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0      |            |

| ビット | シンボル   | ビット名                                       | 機能               | R/W |
|-----|--------|--|------------------|-----|
| b0  | AIERi0 | アドレス一致割り込み許可ビット                            | 0 : 禁止<br>1 : 許可 | R/W |
| b1  | -      | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |                  | -   |
| b2  | -      |  |                  |     |
| b3  | -      |  |                  |     |
| b4  | -      |  |                  |     |
| b5  | -      |  |                  |     |
| b6  | -      |  |                  |     |
| b7  | -      |  |                  |     |

### 11.6.2 アドレス一致割り込みレジスタi (RMADIi)(i=0 ~ 1)

アドレス 01C2h ~ 01C0h番地(RMAD0)、01C6h ~ 01C4h番地(RMAD1)

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |  |
|---------|----|----|----|----|----|----|----|----|--|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | -  |  |
| リセット後の値 | X  | X  | X  | X  | X  | X  | X  | X  |  |

| ビット     | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |  |
|---------|-----|-----|-----|-----|-----|-----|----|----|--|
| シンボル    | -   | -   | -   | -   | -   | -   | -  | -  |  |
| リセット後の値 | X   | X   | X   | X   | X   | X   | X  | X  |  |

| ビット     | b23 | b22 | b21 | b20 | b19 | b18 | b17 | b16 |  |
|---------|-----|-----|-----|-----|-----|-----|-----|-----|--|
| シンボル    | -   | -   | -   | -   | -   | -   | -   | -   |  |
| リセット後の値 | 0   | 0   | 0   | 0   | X   | X   | X   | X   |  |

| ビット      | シンボル | 機能   | 設定可能値           | R/W |
|----------|------|--|-----------------|-----|
| b19 ~ b0 | -    | アドレス一致割り込み用アドレス設定レジスタ                      | 00000h ~ FFFFFh | R/W |
| b20      | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |                 | -   |
| b21      | -    |  |                 |     |
| b22      | -    |  |                 |     |
| b23      | -    |  |                 |     |

**11.7 タイマRC割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I<sup>2</sup>Cバスインターフェース、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)**

タイマRC割り込み、シンクロナスシリアルコミュニケーションユニット、I<sup>2</sup>Cバスインターフェース、フラッシュメモリは、それぞれ複数の割り込み要求要因を持ち、それらの論理和が割り込み要求になり、割り込み制御レジスタのIRビットに反映されます。このため、これらの周辺機能はそれぞれ独自の割り込み要求要因のステータスレジスタ（以下、ステータスレジスタと称す）と、割り込み要求要因の許可レジスタ（以下、許可レジスタと称す）を持ち、割り込み要求の発生（割り込み制御レジスタのIRビットの変化）を制御しています。表11.10にタイマRC、シンクロナスシリアルコミュニケーションユニット、I<sup>2</sup>Cバスインターフェース、フラッシュメモリ割り込み関連レジスタを示します。

表11.10 タイマRC、シンクロナスシリアルコミュニケーションユニット、I<sup>2</sup>Cバスインターフェース、フラッシュメモリ割り込み関連レジスタ

| 周辺機能名                      | 割り込み要求要因の<br>ステータスレジスタ | 割り込み要求要因の<br>許可レジスタ | 割り込み制御レジスタ |
|----------------------------|------------------------|---------------------|------------|
| タイマRC                      | TRCSR                  | TRCIER              | TRCIC      |
| シンクロナスシリアルコミュニケーションユニット    | SSSR                   | SSSER               | SSUIC      |
| I <sup>2</sup> Cバスインターフェース | ICSR                   | ICIER               | IICIC      |
| フラッシュメモリ                   | RDYSTI                 | RDYSTIE             | FMRDYIC    |
|                            | BSYAEI                 | BSYAEIE<br>CMDERIE  |            |

タイマ RC 割り込み、シンクロナスシリアルコミュニケーションユニット、I<sup>2</sup>C バスインタフェース、フラッシュメモリの割り込みが、I フラグ、IR ビット、ILVL0 ~ ILVL2 ビットと IPL の関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1 つの割り込み要求を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- ステータスレジスタのビットが“1”で、それに対応する許可レジスタのビットが“1”(割り込み許可)の場合、割り込み制御レジスタのIR ビットが“1”(割り込み要求あり)になります。
- ステータスレジスタのビットと、それに対応する許可レジスタのビットのどちらか、または両方が“0”になると IR ビットが“0”(割り込み要求なし)になります。

すなわち、IR ビットは、一旦“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。

また、IR ビットに“0”を書いても“0”なりません。

- ステータスレジスタの各ビットは、割り込みが受け付けられても自動的に“0”なりません。

このため、IR ビットも割り込みが受け付けられたとき自動的に“0”なりません。

ステータスレジスタの各ビットは割り込みルーチン内で“0”にしてください。ステータスレジスタの各ビットを“0”にする方法はステータスレジスタの図を参照してください。

- 許可レジスタの複数のビットを“1”にしている場合、IR ビットが“1”になった後、別の要求要因が成立したとき、IR ビットは“1”的ままで変化しません。

- 許可レジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、ステータスレジスタで判定してください。

ステータスレジスタと許可レジスタは各周辺機能の章（「19. タイマ RC」、「24. シンクロナスシリアルコミュニケーションユニット (SSU)」、「25. I<sup>2</sup>C バスインタフェース」、「30. フラッシュメモリ」）を参照してください。

割り込み制御レジスタは「11.3 割り込み制御」を参照してください。

## 11.8 割り込み使用上の注意

### 11.8.1 00000h 番地の読み出し

プログラムで 00000h 番地を読まないでください。マスカブル割り込みの割り込み要求を受け付けた場合、CPU は割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を 00000h 番地から読みます。このとき、受け付けられた割り込みの IR ビットが “0” になります。

プログラムで 00000h 番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みの IR ビットが “0” になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

### 11.8.2 SP の設定

割り込みを受け付ける前に、SP に値を設定してください。リセット後、SP は “0000h” です。そのため、SP に値を設定する前に割り込みを受け付けると、暴走の要因となります。

### 11.8.3 外部割り込み、キー入力割り込み

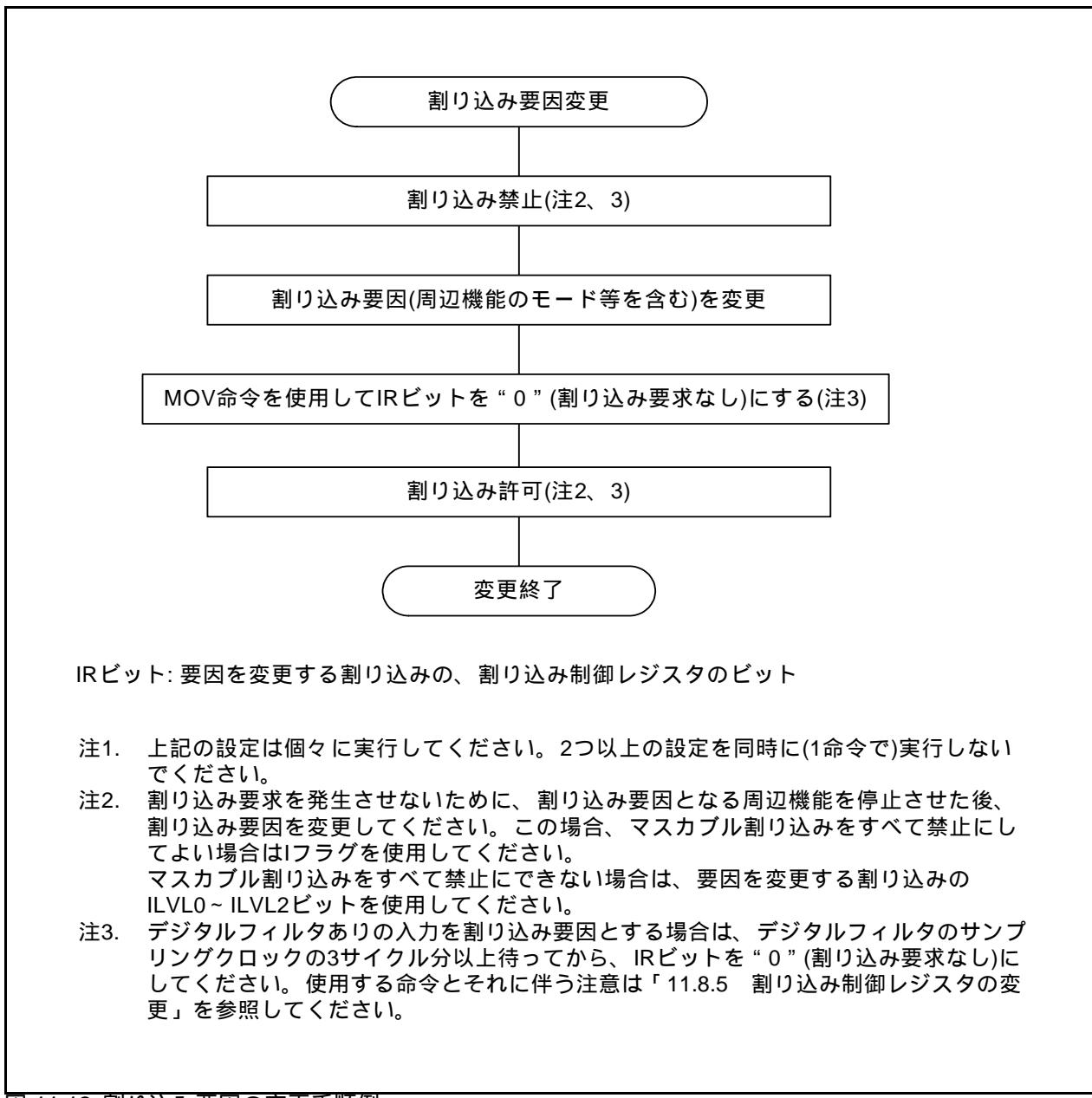
INT0、INT1、INT3 端子、KI0 ~ KI3 端子に入力する信号には、CPU の動作クロックに関係なく電気的特性の外部割り込み INT<sub>i</sub> 入力 (<sub>i</sub> = 0, 1, 3) に示す “L” レベル幅、または “H” レベル幅が必要です。(詳細は「表32.22(Vcc = 5V)、表32.28(Vcc = 3V)、表32.34(Vcc = 2.2V) 外部割り込み INT<sub>i</sub> 入力 (<sub>i</sub> = 0, 1, 3)、キー入力割り込み KI<sub>i</sub> (<sub>i</sub> = 0 ~ 3)」を参照。)

#### 11.8.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図11.12に割り込み要因の変更手順例を示します。



IRビット: 要因を変更する割り込みの、割り込み制御レジスタのビット

- 注1. 上記の設定は個々に実行してください。2つ以上の設定を同時に(1命令で)実行しないでください。
- 注2. 割り込み要求を発生させないために、割り込み要因となる周辺機能を停止させた後、割り込み要因を変更してください。この場合、マスカブル割り込みをすべて禁止にしてよい場合はIFラグを使用してください。  
マスカブル割り込みをすべて禁止にできない場合は、要因を変更する割り込みのILVL0～ILVL2ビットを使用してください。
- 注3. デジタルフィルタありの入力を割り込み要因とする場合は、デジタルフィルタのサンプリングクロックの3サイクル分以上待ってから、IRビットを“0”(割り込み要求なし)にしてください。使用する命令とそれに伴う注意は「11.8.5 割り込み制御レジスタの変更」を参照してください。

図11.12 割り込み要因の変更手順例

### 11.8.5 割り込み制御レジスタの変更

- (a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。
- (b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。  
IR ビット以外のビットの変更  
命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IR ビットが“1”(割り込み要求あり)にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。  
対象となる命令 ..... AND、OR、BCLR、BSET

#### IR ビットの変更

IR ビットを“0”(割り込み要求なし)にする場合、使用する命令によってはIR ビットが“0”にならないことがあります。IR ビットはMOV命令を使用して“0”にしてください。

- (c) I フラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがって I フラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は (b) を参照してください。)

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にI フラグが“1”(割り込み許可)になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
    FCLR    I          ; 割り込み禁止
    AND.B   #00H, 0056H ; TRAIC レジスタを“00h”にする
    NOP
    NOP
    FSET    I          ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
    FCLR    I          ; 割り込み禁止
    AND.B   #00H, 0056H ; TRAIC レジスタを“00h”にする
    MOV.W   MEM, R0    ; ダミーリード
    FSET    I          ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
    PUSHC   FLG
    FCLR    I          ; 割り込み禁止
    AND.B   #00H, 0056H ; TRAIC レジスタを“00h”にする
    POPC    FLG        ; 割り込み許可
```

## 12. ID コード領域

ID コード領域は、標準シリアル入出力モードでフラッシュメモリ書き換え禁止機能に使用します。フラッシュメモリ書き換え禁止機能は、フラッシュメモリの読み出し、書き換え、消去を禁止します。

### 12.1 概要

ID コード領域は固定ベクタテーブルの各ベクタ最上位番地のうち、0FFDFh、0FFE3h、OFFEBh、OFFEFh、0FFF3h、0FFF7h、0FFF8h 番地です。図 12.1 に ID コード領域を示します。

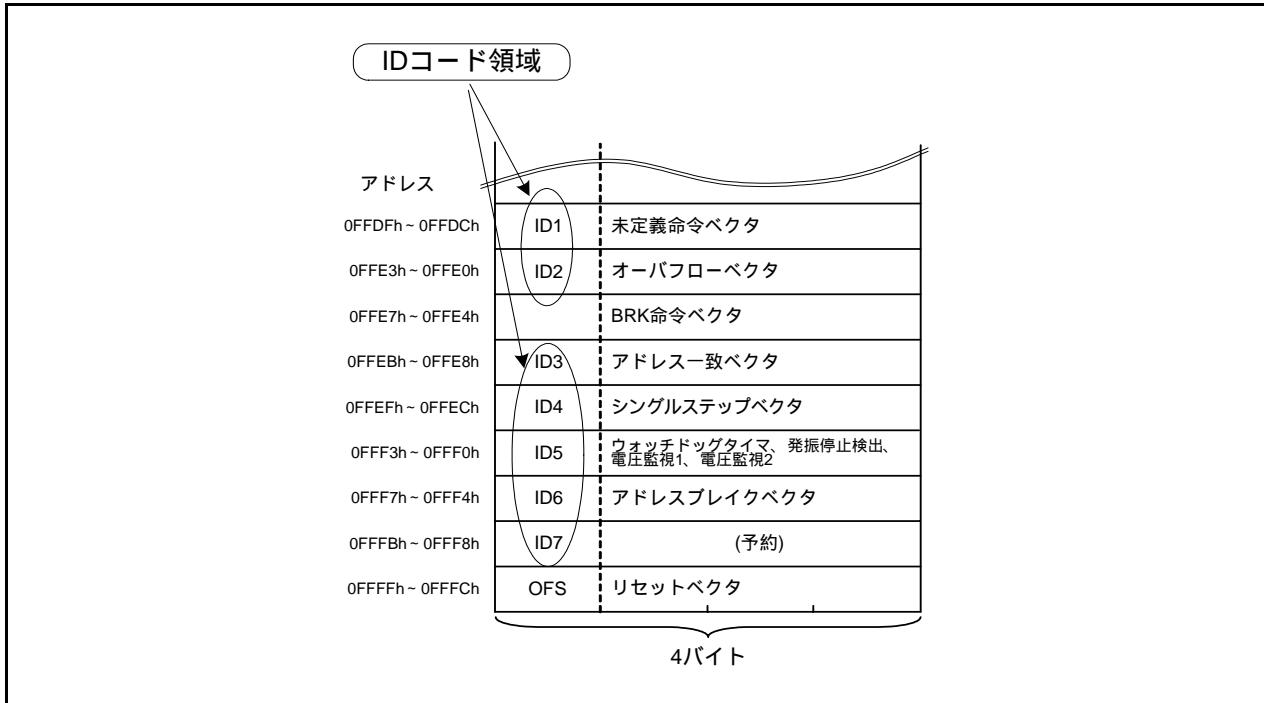


図 12.1 ID コード領域

## 12.2 機能

ID コード領域は標準シリアル入出力モードで使用します。標準シリアル入出力モードでリセットベクタの 3 バイト (0FFFCh ~ 0FFEh 番地) が “FFFFFh” ではない場合、ID コード領域に格納されている ID コードと、シリアルライタやオンラインチップデバッギングエミュレータから送られてくる ID コードの一一致を判定し、一致すれば送られてくるコマンドを受け付け、一致しなければ受け付けません。したがって、シリアルライタやオンラインチップデバッギングエミュレータを使用する予定がある場合は、ID コード領域にあらかじめ決めておいた ID コードを書き込んでください。

リセットベクタの 3 バイト (0FFFCh ~ 0FFEh 番地) が “FFFFFh” の場合、ID コードの判定は行われず、すべてのコマンドが受け付けられます。

ID コード領域はフラッシュメモリ上にあり、SFR ではありません。ROM データとして、プログラムで適切な値を設定してください。

なお、ID コードが ASCII コードの “ ALeRASE ” になる組み合わせは、強制イレーズ機能で使用する予約語です。また、“ Protect ” になる組み合わせは標準シリアル入出力モード禁止機能で使用する予約語です。表 12.1 に ID コードの予約語を示します。ID コード格納番地のアドレスとデータがすべて表 12.1 と一致する場合が予約語です。強制イレーズ機能、標準シリアル入出力モード禁止機能を使用しない場合は、この組み合わせ以外の ID コードを使用してください。

表 12.1 ID コードの予約語

| ID コード格納番地 | ID コードの予約語(ASCII コード)(注 1) |               |               |
|------------|----------------------------|---------------|---------------|
|            | ALeRASE                    | Protect       |               |
| 0FFDFh     | ID1                        | 41h (“A” 大文字) | 50h (“P” 大文字) |
| 0FFE3h     | ID2                        | 4Ch (“L” 大文字) | 72h (“r” 小文字) |
| 0FFEKh     | ID3                        | 65h (“e” 小文字) | 6Fh (“o” 小文字) |
| 0FFEKh     | ID4                        | 52h (“R” 大文字) | 74h (“t” 小文字) |
| 0FFF3h     | ID5                        | 41h (“A” 大文字) | 65h (“e” 小文字) |
| 0FFF7h     | ID6                        | 53h (“S” 大文字) | 63h (“c” 小文字) |
| 0FFFKh     | ID7                        | 45h (“E” 大文字) | 74h (“t” 小文字) |

注 1. ID コード格納番地のアドレスとデータがすべて表 12.1 と一致する場合が予約語です。

### 12.3 強制イレーズ機能

強制イレーズ機能は、標準シリアル入出力モードで使用します。シリアルライタやオンチップデバッギングエミュレータから送られてくるIDコードが、ASCIIコードの“ALeRASE”の場合、ユーザROM領域をすべて消去します。ただし、IDコード格納番地の内容がASCIIコードの“ALeRASE”以外（「表12.1 IDコードの予約語」以外）かつOFSレジスタのROMCRビットが“1”、ROMCP1ビットが“0”（ROMコードプロテクト有効）の場合は、強制イレーズを行わず、IDコードチェック機能によるIDコードの判定を行います。表12.2に強制イレーズ機能の条件と動作を示します。

なお、IDコード格納番地の内容をASCIIコードの“ALeRASE”にしておくと、シリアルライタやオンチップデバッギングエミュレータから送られてくるIDコードが“ALeRASE”ならばユーザROM領域を消し、“ALeRASE”以外ならばIDが一致せず、コマンドを受け付けないので、ユーザROM領域を操作できません。

表12.2 強制イレーズ機能の条件と動作

| 条件                                     |                   |                            | 動作                                    |
|--|-------------------|----------------------------|---------------------------------------|
| シリアルライタやオンチップデバッギングエミュレータから送られてくるIDコード | IDコード格納番地のIDコード   | OFSレジスタのROMCP1、ROMCRビット    |                                       |
| ALeRASE                                | ALeRASE           | -                          | ユーザROM領域をすべて消去<br>(強制イレーズ機能)          |
|  | ALeRASE以外<br>(注1) | “01b”以外<br>(ROMコードプロテクト解除) |                                       |
|  |                   | “01b”<br>(ROMコードプロテクト有効)   | IDコードの判定<br>(IDコードチェック機能)             |
| ALeRASE以外                              | ALeRASE           | -                          | IDコードの判定<br>(IDコードチェック機能。IDコード不一致になる) |
|  | ALeRASE以外<br>(注1) | -                          | IDコードの判定<br>(IDコードチェック機能)             |

注1. “Protect” の場合は「12.4 標準シリアル入出力モード禁止機能」参照。

### 12.4 標準シリアル入出力モード禁止機能

標準シリアル入出力モード禁止機能は、標準シリアル入出力モードで使用します。IDコード格納番地のIDコードがASCIIコードの“Protect”になる組み合わせ（「表12.1 IDコードの予約語」参照）の場合、シリアルライタやオンチップデバッギングエミュレータとの通信を行いません。このため、シリアルライタやオンチップデバッギングエミュレータによるフラッシュメモリの読み出し、書き込み、消去を禁止できます。

なお、IDコードを“Protect”になる組み合わせにし、かつ、OFSレジスタのROMCRビットを“1”、ROMCP1ビットを“0”（ROMコードプロテクト有効）にしている場合は、シリアルライタやオンチップデバッギングエミュレータによるROMコードプロテクト解除ができません。したがって、シリアルライタやオンチップデバッギングエミュレータでもパラレルライタでも、フラッシュメモリの読み出し、書き込み、消去ができなくなります。

## 12.5 IDコード領域使用上の注意

### 12.5.1 IDコード領域の設定例

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- IDコード領域すべてに“55h”を設定する場合

```
.org 00FFDCH
.lword dummy | (55000000h)      ; UND
.lword dummy | (55000000h)      ; INTO
.lword dummy ; BREAK
.lword dummy | (55000000h)      ; ADDRESS MATCH
.lword dummy | (55000000h)      ; SET SINGLE STEP
.lword dummy | (55000000h)      ; WDT
.lword dummy | (55000000h)      ; ADDRESS BREAK
.lword dummy | (55000000h)      ; RESERVE
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

## 13. オプション機能選択領域

### 13.1 概要

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。固定ベクタテーブルのリセットベクタ最上位、0FFFFh 番地および0FFDBh 番地がオプション機能選択領域です。図13.1にオプション機能選択領域を示します。

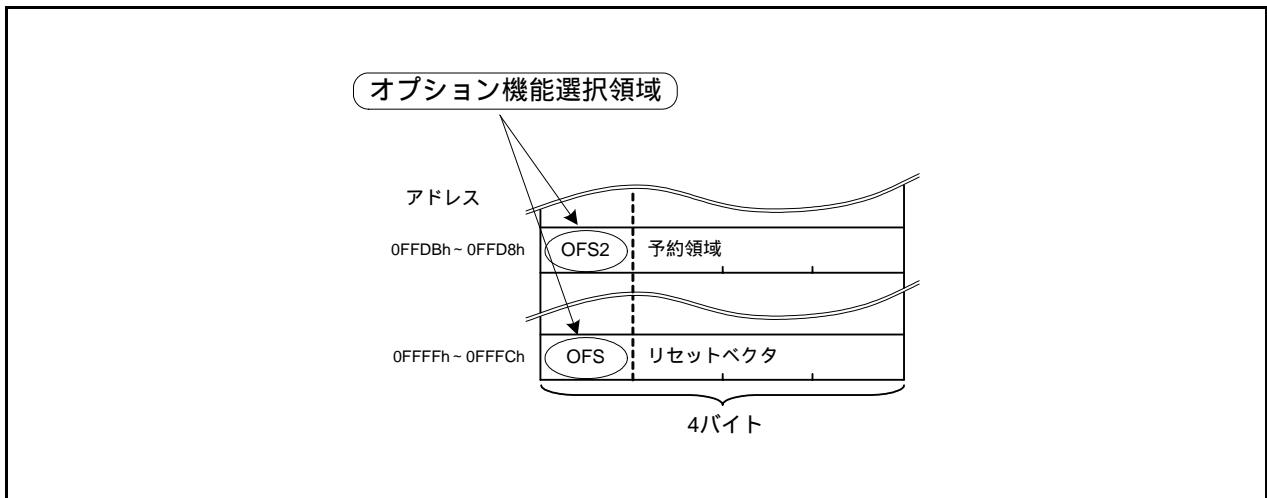


図 13.1 オプション機能選択領域

## 13.2 レジスタの説明

OFS レジスタおよびOFS2 レジスタは、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択するレジスタです。

### 13.2.1 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh 番地

| ビット     | b7          | b6    | b5     | b4     | b3     | b2    | b1 | b0    |
|---------|-------------|-------|--------|--------|--------|-------|----|-------|
| シンボル    | CSPROINI    | LVDAS | VDSEL1 | VDSEL0 | ROMCP1 | ROMCR | -  | WDTON |
| リセット後の値 | ユーザの設定値(注1) |       |        |        |        |       |    |       |

| ビット | シンボル     | ビット名                   | 機能   | R/W |
|-----|----------|------------------------|--|-----|
| b0  | WDTON    | ウォッチドッグタイマ起動選択ビット      | 0 : リセット後、ウォッチドッグタイマは自動的に起動<br>1 : リセット後、ウォッチドッグタイマは停止状態   | R/W |
| b1  | -        | 予約ビット                  | “1”にしてください   | R/W |
| b2  | ROMCR    | ROMコードプロテクト解除ビット       | 0 : ROMコードプロテクト解除<br>1 : ROMCP1ビット有効   | R/W |
| b3  | ROMCP1   | ROMコードプロテクトビット         | 0 : ROMコードプロテクト有効<br>1 : ROMコードプロテクト解除   | R/W |
| b4  | VDSEL0   | 電圧検出0レベル選択ビット(注2)      | <sup>b5 b4</sup><br>0 0 : 3.80Vを選択 (Vdet0_3)<br>0 1 : 2.85Vを選択 (Vdet0_2)<br>1 0 : 2.35Vを選択 (Vdet0_1)<br>1 1 : 1.90Vを選択 (Vdet0_0) | R/W |
| b5  | VDSEL1   |                        |  | R/W |
| b6  | LVDAS    | 電圧検出0回路起動ビット(注3)       | 0 : リセット後、電圧監視0リセット有効<br>1 : リセット後、電圧監視0リセット無効   | R/W |
| b7  | CSPROINI | リセット後カウントソース保護モード選択ビット | 0 : リセット後、カウントソース保護モード有効<br>1 : リセット後、カウントソース保護モード無効   | R/W |

注1. OFS レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFS レジスタに追加書き込みをしないでください。OFS レジスタを含むブロックを消去すると、OFS レジスタは “FFh” になります。

プランク出荷品の出荷時、OFS レジスタは “FFh” です。ユーザでの書き込み後は、書き込んだ値になります。  
書き込み出荷品の出荷時、OFS レジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0 ~ VDSEL1 ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDAS ビットを “0” (リセット後、電圧監視0リセット有効)にしてください。

OFS レジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

#### LVDAS ビット(電圧検出0回路起動ビット)

電圧検出0回路で監視する Vdet0 電圧は、VDSEL0 ~ VDSEL1 ビットで選択されます。

### 13.2.2 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh 番地

| ビット     | b7          | b6 | b5 | b4 | b3      | b2      | b1      | b0      |
|---------|-------------|----|----|----|---------|---------|---------|---------|
| シンボル    | -           | -  | -  | -  | WDTRCS1 | WDTRCS0 | WDTUFS1 | WDTUFS0 |
| リセット後の値 | ユーザの設定値(注1) |    |    |    |         |         |         |         |

| ビット | シンボル    | ビット名                          | 機能  | R/W        |
|-----|---------|-------------------------------|---|------------|
| b0  | WDTUFS0 | ウォッチドッグタイマアンダフロー<br>周期設定ビット   | b1 b0<br>0 0 : 03FFh<br>0 1 : 0FFFh<br>1 0 : 1FFFh<br>1 1 : 3FFFh | R/W<br>R/W |
| b2  | WDTRCS0 | ウォッチドッグタイマリフレッシュ<br>受付周期設定ビット | b3 b2<br>0 0 : 25%<br>0 1 : 50%<br>1 0 : 75%<br>1 1 : 100%        | R/W<br>R/W |
| b3  | WDTRCS1 |                               |   |            |
| b4  | -       | 予約ビット                         | "1"にしてください  | R/W        |
| b5  | -       |                               |   |            |
| b6  | -       |                               |   |            |
| b7  | -       |                               |   |            |

注1. OFS2 レジスタはフラッシュメモリ上にあり、SFR ではありません。ROM データとして、プログラムで適切な値を設定してください。

OFS2 レジスタに追加書き込みをしないでください。OFS2 レジスタを含むブロックを消去すると、OFS2 レジスタは "FFh" になります。

プランク出荷品の出荷時、OFS2 レジスタは "FFh" です。ユーザでの書き込み後は、書き込んだ値になります。  
書き込み出荷品の出荷時、OFS2 レジスタの値は、ユーザがプログラムで設定した値です。

OFS2 レジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

#### WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を 100% として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「14.3.1.1 リフレッシュ受付期間」を参照してください。

### 13.3 オプション機能選択領域使用上の注意

#### 13.3.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- OFS レジスタに “ FFh ” を設定する場合

```
.org 00FFFCH  
.lword reset | (OFF000000h)      ; RESET
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

- OFS2 レジスタに “ FFh ” を設定する場合

```
.org 00FFDBH  
.byte OFFh
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

## 14. ウオッヂドッグタイマ

ウォッヂドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッヂドッグタイマを使用されることをお奨めします。

### 14.1 概要

ウォッヂドッグタイマは14ビットのカウンタを持ち、カウントソース保護モードの有効、無効を選択できます。

表14.1にウォッヂドッグタイマの仕様を示します。

ウォッヂドッグタイマリセットの詳細は「5.5 ウォッヂドッグタイマリセット」を参照してください。

図14.1にウォッヂドッグタイマのブロック図を示します。

表14.1 ウォッヂドッグタイマの仕様

| 項目             | カウントソース保護モード無効時  | カウントソース保護モード有効時                 |
|----------------|--|---------------------------------|
| カウントソース        | CPUクロック  | ウォッヂドッグタイマ用<br>低速オンチップオシレータクロック |
| カウント動作         | ダウンカウント  |                                 |
| カウント開始条件       | 次のいずれかを選択可能<br>•リセット後、自動的にカウントを開始<br>•WDTRレジスタへの書き込みによりカウントを開始   |                                 |
| カウント停止条件       | ストップモード、ウェイトモード  | なし                              |
| ウォッヂドッグタイマ初期条件 | •リセット<br>•WDTRレジスタに“00h”、続いて“FFh”を書く(受付期間の設定あり)(注1)<br>•アンダフロー   |                                 |
| アンダフロー時の動作     | ウォッヂドッグタイマ割り込み、または<br>ウォッヂドッグタイマリセット   | ウォッヂドッグタイマリセット                  |
| 選択機能           | •プリスケーラの分周比<br>WDTCレジスタのWDTC7ビットもしくはCM0レジスタのCM07ビットで選択<br>•カウントソース保護モード<br>リセット後に有効か無効かはOFSレジスタのCSPROINIビット(フラッシュメモリ)で選択、リセット後無効の場合はCSPRレジスタのCSPROビット(プログラム)で選択<br>•リセット後のウォッヂドッグタイマの起動または停止<br>OFSレジスタのWDTONビット(フラッシュメモリ)で選択<br>•ウォッヂドッグタイマの初期値<br>OFS2レジスタのWDTUFS0～WDTUFS1ビットで選択<br>•ウォッヂドッグタイマのリフレッシュ受付周期<br>OFS2レジスタのWDTRCS0～WDTRCS1ビットで選択 |                                 |

注1. WDTRレジスタへは、ウォッヂドッグタイマのカウント動作中に書いてください。

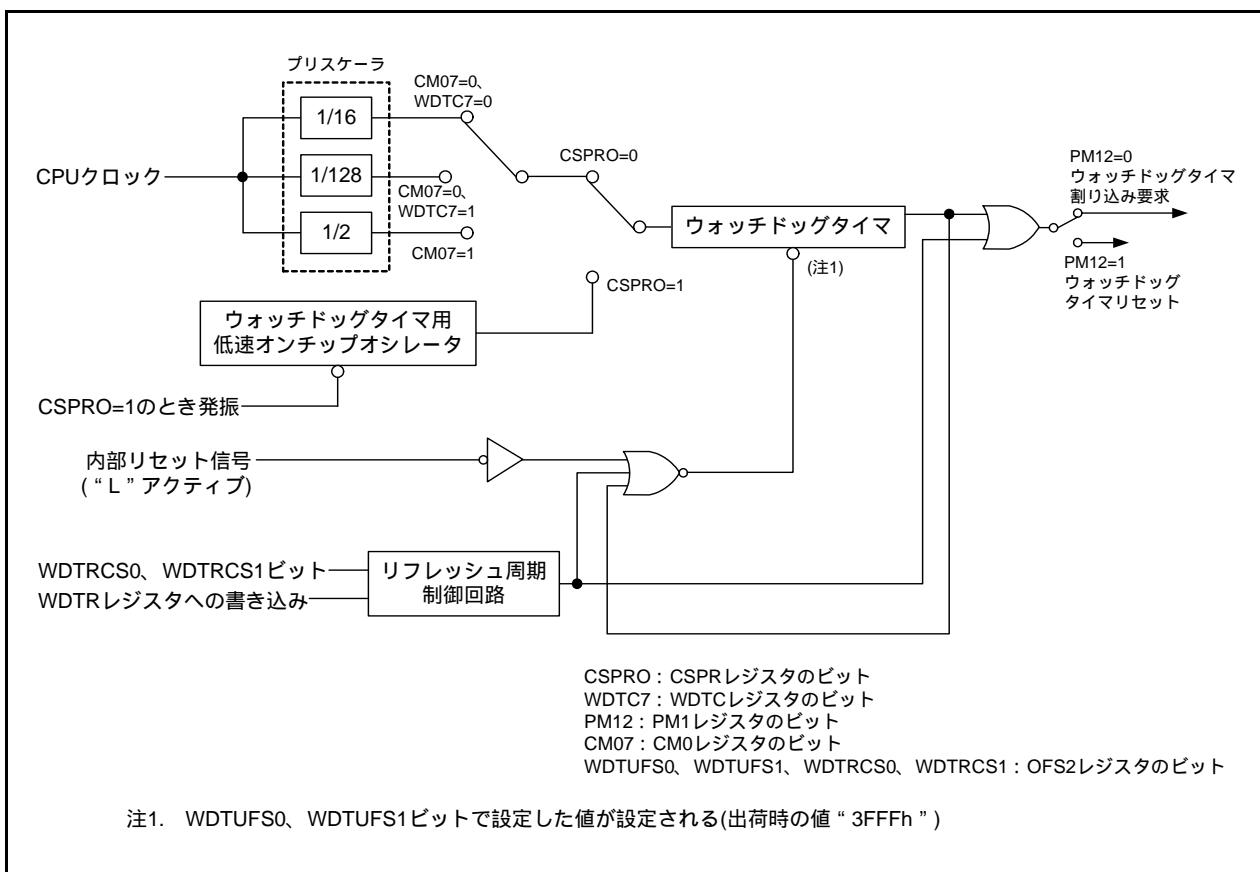


図14.1 ウォッヂドッグタイマのブロック図

## 14.2 レジスタの説明

### 14.2.1 プロセッサモードレジスタ1 (PM1)

アドレス 0005h 番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2   | b1 | b0 |
|---------|----|----|----|----|----|------|----|----|
| シンボル    | -  | -  | -  | -  | -  | PM12 | -  | -  |
| リセット後の値 | 0  | 0  | 0  | 0  | 0  | 0    | 0  | 0  |

| ビット | シンボル | ビット名                                       | 機能   | R/W |
|-----|------|--|--|-----|
| b0  | -    | 予約ビット                                      | “0”にしてください                                 | R/W |
| b1  | -    |  |  |     |
| b2  | PM12 | WDT割り込み/リセット切り替え<br>ビット                    | 0: ウオッヂドッグタイマ割り込み<br>1: ウオッヂドッグタイマリセット(注1) | R/W |
| b3  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |  | -   |
| b4  | -    |  |  |     |
| b5  | -    |  |  |     |
| b6  | -    |  |  |     |
| b7  | -    | 予約ビット                                      | “0”にしてください                                 | R/W |

注1. PM12ビットはプログラムで“1”を書くと“1”になります(“0”を書いても変化しません)。

CSPRレジスタのCSPROビットが“1”(カウントソース保護モード有効)のとき、PM12ビットは自動的に“1”になります。

PM1レジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

### 14.2.2 ウオッヂドッグタイマリセットレジスタ(WDTR)

アドレス 000Dh 番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | X  | X  | X  | X  | X  | X  | X  | X  |

| ビット     | 機能   | R/W |
|---------|--|-----|
| b7 ~ b0 | “00h”を書いて、続いて“FFh”を書くと、ウオッヂドッグタイマは初期化される。<br>ウオッヂドッグタイマの初期値はOFS2レジスタのWDTUFS0、WDTUFS1ビットで指定される。<br>(注1) | W   |

注1. WDTRレジスタへは、ウオッヂドッグタイマのカウント動作中に書いてください。

### 14.2.3 ウオッヂドッグタイマスタートレジスタ(WDTS)

アドレス 000Eh 番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | X  | X  | X  | X  | X  | X  | X  | X  |

| ビット     | 機能                                   | R/W |
|---------|--------------------------------------|-----|
| b7 ~ b0 | このレジスタに対する書き込み命令で、ウオッヂドッグタイマはスタートする。 | W   |

#### 14.2.4 ウオッヂドッグタイマ制御レジスタ(WDTC)

アドレス 000Fh番地

| ビット   | b7    | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|-------|-------|----|----|----|----|----|----|----|
| シンボル  | WDTC7 | -  | -  | -  | -  | -  | -  | -  |
| 出荷時の値 | 0     | 0  | 1  | 1  | 1  | 1  | 1  | 1  |

| ビット | シンボル  | ビット名                           | 機能                    | R/W |
|-----|-------|--------------------------------|-----------------------|-----|
| b0  | -     | ウォッヂドッグタイマの次のビットが読める。          |                       | R   |
| b1  | -     | OFS2レジスタのWDTUFS1 ~ WDTUFS0ビットが |                       | R   |
| b2  | -     | “00b”(03FFh)のとき : b5 ~ b0      |                       | R   |
| b3  | -     | “01b”(0FFFh)のとき : b7 ~ b2      |                       | R   |
| b4  | -     | “10b”(1FFFh)のとき : b8 ~ b3      |                       | R   |
| b5  | -     | “11b”(3FFFh)のとき : b9 ~ b4      |                       | R   |
| b6  | -     | 予約ビット                          | 読んだ場合、その値は“0”         | R   |
| b7  | WDTC7 | プリスケーラ選択ビット                    | 0 : 16分周<br>1 : 128分周 | R/W |

#### 14.2.5 カウントソース保護モードレジスタ(CSPR)

アドレス 001Ch番地

| ビット     | b7    | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|-------|----|----|----|----|----|----|----|
| シンボル    | CSPRO | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | 0     | 0  | 0  | 0  | 0  | 0  | 0  | 0  |

(注1)

| ビット | シンボル  | ビット名                  | 機能                                       | R/W |
|-----|-------|-----------------------|--|-----|
| b0  | -     | 予約ビット                 | “0”にしてください                               | R/W |
| b1  | -     |                       |  |     |
| b2  | -     |                       |  |     |
| b3  | -     |                       |  |     |
| b4  | -     |                       |  |     |
| b5  | -     |                       |  |     |
| b6  | -     |                       |  |     |
| b7  | CSPRO | カウントソース保護モード選択ビット(注2) | 0 : カウントソース保護モード無効<br>1 : カウントソース保護モード有効 | R/W |

注1. OFSレジスタのCSPROINIビットに“0”を書いたとき、リセット後の値は“10000000b”になります。

注2. CSPROビットを“1”にするためには、“0”を書いた後、続いて“1”を書いてください。プログラムでは“0”にできません。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止してください。

### 14.2.6 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

| ビット     | b7          | b6    | b5     | b4     | b3     | b2    | b1 | b0    |
|---------|-------------|-------|--------|--------|--------|-------|----|-------|
| シンボル    | CSPROINI    | LVDAS | VDSEL1 | VDSEL0 | ROMCP1 | ROMCR | -  | WDTON |
| リセット後の値 | ユーザの設定値(注1) |       |        |        |        |       |    |       |

| ビット | シンボル     | ビット名                   | 機能   | R/W |
|-----|----------|------------------------|--|-----|
| b0  | WDTON    | ウォッヂドッグタイマ起動選択ビット      | 0 : リセット後、ウォッヂドッグタイマは自動的に起動<br>1 : リセット後、ウォッヂドッグタイマは停止状態   | R/W |
| b1  | -        | 予約ビット                  | “1”にしてください   | R/W |
| b2  | ROMCR    | ROMコードプロテクト解除ビット       | 0 : ROMコードプロテクト解除<br>1 : ROMCP1ビット有効   | R/W |
| b3  | ROMCP1   | ROMコードプロテクトビット         | 0 : ROMコードプロテクト有効<br>1 : ROMコードプロテクト解除   | R/W |
| b4  | VDSEL0   | 電圧検出0レベル選択ビット(注2)      | <sup>b5 b4</sup><br>0 0 : 3.80Vを選択 (Vdet0_3)<br>0 1 : 2.85Vを選択 (Vdet0_2)<br>1 0 : 2.35Vを選択 (Vdet0_1)<br>1 1 : 1.90Vを選択 (Vdet0_0) | R/W |
| b5  | VDSEL1   |                        |  | R/W |
| b6  | LVDAS    | 電圧検出0回路起動ビット(注3)       | 0 : リセット後、電圧監視0リセット有効<br>1 : リセット後、電圧監視0リセット無効   | R/W |
| b7  | CSPROINI | リセット後カウントソース保護モード選択ビット | 0 : リセット後、カウントソース保護モード有効<br>1 : リセット後、カウントソース保護モード無効   | R/W |

注1. OFS レジスタはフラッシュメモリ上にあり、SFR ではありません。ROM データとして、プログラムで適切な値を設定してください。

OFS レジスタに追加書き込みをしないでください。OFS レジスタを含むブロックを消去すると、OFS レジスタは “FFh” になります。

プランク出荷品の出荷時、OFS レジスタは “FFh” です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFS レジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0 ~ VDSEL1 ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDAS ビットを “0” (リセット後、電圧監視0リセット有効)にしてください。

OFS レジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

#### LVDAS ビット(電圧検出0回路起動ビット)

電圧検出0回路で監視する Vdet0 電圧は、VDSEL0 ~ VDSEL1 ビットで選択されます。

### 14.2.7 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh 番地

| ビット     | b7          | b6 | b5 | b4 | b3      | b2      | b1      | b0      |
|---------|-------------|----|----|----|---------|---------|---------|---------|
| シンボル    | -           | -  | -  | -  | WDTRCS1 | WDTRCS0 | WDTUFS1 | WDTUFS0 |
| リセット後の値 | ユーザの設定値(注1) |    |    |    |         |         |         |         |

| ビット | シンボル    | ビット名                          | 機能  | R/W        |
|-----|---------|-------------------------------|---|------------|
| b0  | WDTUFS0 | ウォッヂドッグタイマアンダフロー<br>周期設定ビット   | b1 b0<br>0 0 : 03FFh<br>0 1 : 0FFFh<br>1 0 : 1FFFh<br>1 1 : 3FFFh | R/W<br>R/W |
| b2  | WDTRCS0 | ウォッヂドッグタイマリフレッシュ<br>受付周期設定ビット | b3 b2<br>0 0 : 25%<br>0 1 : 50%<br>1 0 : 75%<br>1 1 : 100%        | R/W<br>R/W |
| b3  | WDTRCS1 |                               |   |            |
| b4  | -       | 予約ビット                         | "1"にしてください  | R/W        |
| b5  | -       |                               |   |            |
| b6  | -       |                               |   |            |
| b7  | -       |                               |   |            |

注1. OFS2 レジスタはフラッシュメモリ上にあり、SFR ではありません。ROM データとして、プログラムで適切な値を設定してください。

OFS2 レジスタに追加書き込みをしないでください。OFS2 レジスタを含むブロックを消去すると、OFS2 レジスタは "FFh" になります。

プランク出荷品の出荷時、OFS2 レジスタは "FFh" です。ユーザでの書き込み後は、書き込んだ値になります。  
書き込み出荷品の出荷時、OFS2 レジスタの値は、ユーザがプログラムで設定した値です。

OFS2 レジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

#### WDTRCS0、WDTRCS1ビット(ウォッヂドッグタイマリフレッシュ受付周期設定ビット)

ウォッヂドッグタイマのカウント開始からアンダフローまでの期間を 100% として、ウォッヂドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「14.3.1.1 リフレッシュ受付期間」を参照してください。

### 14.3 動作説明

#### 14.3.1 複数モードに関わる共通事項

##### 14.3.1.1 リフレッシュ受付期間

ウォッヂドッグタイマへのリフレッシュ動作(WDTRレジスタへの書き込み)を受付できる期間を、OFS2レジスタのWDTRCS0～WDTRCS1ビットで選択できます。図14.2にウォッヂドッグタイマのリフレッシュ受付期間を示します。

ウォッヂドッグタイマのカウント開始からアンダフローまでの期間を100%として、受付可能な期間内に実行されたリフレッシュ動作が受け付けられます。受付可能な期間以外に実行されたリフレッシュ動作は、不正な書き込みとして、ウォッヂドッグタイマ割り込みまたはウォッヂドッグタイマリセット(PM1レジスタのPM12ビットで選択)が発生します。

なお、ウォッヂドッグタイマのカウント停止中にリフレッシュ動作を実行しないでください。

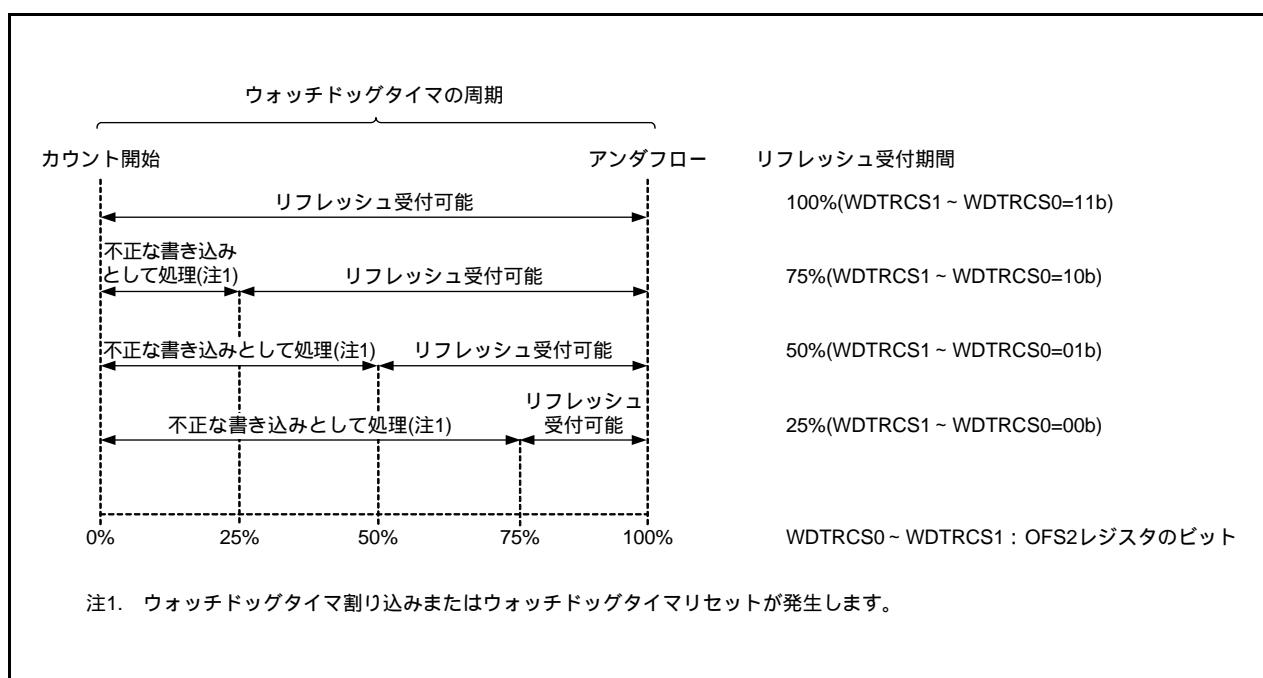


図14.2 ウォッヂドッグタイマのリフレッシュ受付期間

### 14.3.2 カウントソース保護モード無効時

カウントソース保護モード無効時、ウォッヂドッグタイマのカウントソースはCPUクロックです。

表14.2にウォッヂドッグタイマの仕様(カウントソース保護モード無効時)を示します。

表14.2 ウォッヂドッグタイマの仕様(カウントソース保護モード無効時)

| 項目              | 仕様  |
|-----------------|---|
| カウントソース         | CPUクロック   |
| カウント動作          | ダウンカウント   |
| 周期              | <p>プリスケーラの分周比(n) × ウォッヂドッグタイマのカウント値(m) (注1)<br/>CPUクロック</p> <p>n : 16または128(WDTCレジスタのWDTC7ビットで選択)もしくは低速クロック選択時(CM0レジスタのCM07ビット=1)は2</p> <p>m : OFS2レジスタのWDTUFS0 ~ WDTUFS1ビットで設定した値<br/>例: CPUクロックが20MHzで、プリスケーラが16分周し、WDTUFS1 ~ WDTUFS0ビットが“11b”(“3FFFh”)の場合、周期は約13.1ms</p> |
| ウォッヂドッグタイマ初期化条件 | <ul style="list-style-type: none"> <li>リセット</li> <li>WDTRレジスタに“00h”、続いて“FFh”を書く(注3)</li> <li>アンダフロー</li> </ul>  |
| カウント開始条件        | <p>リセット後のウォッヂドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注2)で選択</p> <p>•WDTONビットが“1”(リセット後、ウォッヂドッグタイマは停止状態)のとき<br/>リセット後、ウォッヂドッグタイマとプリスケーラは停止しており、WDTTSレジスタに書くことにより、カウントを開始</p> <p>•WDTONビットが“0”(リセット後、ウォッヂドッグタイマは自動的に起動)のとき<br/>リセット後、自動的にウォッヂドッグタイマとプリスケーラがカウントを開始</p>          |
| カウント停止条件        | ストップモード、ウェイトモード(解除後、保持されていた値からカウントを継続)  |
| アンダフロー時の動作      | <ul style="list-style-type: none"> <li>PM1レジスタのPM12ビットが“0”的とき<br/>ウォッヂドッグタイマ割り込み</li> <li>PM1レジスタのPM12ビットが“1”的とき<br/>ウォッヂドッグタイマリセット(「5.5 ウォッヂドッグタイマリセット」参照)</li> </ul>  |

注1. ウォッヂドッグタイマはWDTRレジスタに“00h”、続いて“FFh”を書くと初期化されます。プリスケーラはリセット後、初期化されています。したがって、ウォッヂドッグタイマの周期には、プリスケーラによる誤差が生じます。

注2. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。

注3. WDTRレジスタへは、ウォッヂドッグタイマのカウント動作中に書いてください。

### 14.3.3 カウントソース保護モード有効時

カウントソース保護モード有効時、ウォッヂドッグタイマのカウントソースはウォッヂドッグタイマ用低速オンチップオシレータクロックです。プログラムの暴走時にCPUクロックが停止しても、ウォッヂドッグタイマにクロックを供給できます。

表14.3にウォッヂドッグタイマの仕様(カウントソース保護モード有効時)を示します。

表14.3 ウォッヂドッグタイマの仕様(カウントソース保護モード有効時)

| 項目              | 仕様   |
|-----------------|--|
| カウントソース         | 低速オンチップオシレータクロック   |
| カウント動作          | ダウンカウント  |
| 周期              | <p>ウォッヂドッグタイマのカウント値(m)<br/>ウォッヂドッグタイマ用低速オンチップオシレータクロック</p> <p>m : OFS2レジスタのWDTUFS0 ~ WDTUFS1ビットで設定した値<br/>例：ウォッヂドッグタイマ用低速オンチップオシレータクロックが125 kHzで、WDTUFS1 ~ WDTUFS0ビットが“00b” (“03FFh”)の場合、周期は約8.2ms</p>   |
| ウォッヂドッグタイマ初期化条件 | <ul style="list-style-type: none"> <li>•リセット</li> <li>•WDTRレジスタに“00h”、続いて“FFh”を書く(注3)</li> <li>•アンダフロー</li> </ul>  |
| カウント開始条件        | <ul style="list-style-type: none"> <li>リセット後のウォッヂドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注1)で選択</li> <li>•WDTONビットが“1”(リセット後、ウォッヂドッグタイマは停止状態)のとき<br/>リセット後、ウォッヂドッグタイマとプリスケーラは停止しており、WDTSレジスタに書くことにより、カウントを開始</li> <li>•WDTONビットが“0”(リセット後、ウォッヂドッグタイマは自動的に起動)のとき<br/>リセット後、自動的にウォッヂドッグタイマとプリスケーラがカウントを開始</li> </ul> |
| カウント停止条件        | なし(カウント開始後はウェイトモード、ストップモードでも停止しない。)  |
| アンダフロー時の動作      | ウォッヂドッグタイマリセット(「5.5 ウォッヂドッグタイマリセット」参照)   |
| レジスタ、ビット        | <ul style="list-style-type: none"> <li>•CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると(注2)、次が自動的に設定される           <ul style="list-style-type: none"> <li>-ウォッヂドッグタイマ用低速オンチップオシレータが発振</li> <li>-PM1レジスタのPM12ビットを“1”(ウォッヂドッグタイマのアンダフロー時、ウォッヂドッグタイマリセット)</li> </ul> </li> </ul>   |

注1. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。

注2. OFSレジスタのCSPROINIビットに“0”を書いても、CSPROビットは“1”になります。  
CSPROINIビットはプログラムでは変更できません。CSPROINIビットを設定する場合は、フラッシュライタで0FFFFh番地のb7に“0”を書き込んでください。

注3. WDTRレジスタへは、ウォッヂドッグタイマのカウント動作中に書いてください。

## 15. DTC

DTC(データトランスマニコントローラ)は、CPUを使わずにSFRと内蔵メモリの間でデータを転送する機能で、1チャネルを搭載しています。DTCは周辺機能割り込みによって起動し、データ転送します。DTCはCPUと同じデータバスを使用し、DTCのバス使用権はCPUよりも優先されます。

DTCのデータ転送を制御するコントロールデータ(転送元アドレス、転送先アドレス、動作モードなど)をDTCコントロールデータ領域上に配置します。DTCは起動するたびにコントロールデータを読み出し、データ転送します。

### 15.1 概要

表15.1にDTCの仕様を示します。

表15.1 DTCの仕様

| 項目              |         | 仕様  |
|-----------------|---------|---|
| 起動要因            |         | 23要因  |
| 配置可能なコントロールデータ  |         | 24通り  |
| 転送可能なアドレス空間     |         | 64Kバイト空間(00000h ~ 0FFFFh)   |
| 最大転送回数          | ノーマルモード | 256回  |
|                 | リピートモード | 255回  |
| 最大転送<br>ブロックサイズ | ノーマルモード | 256バイト  |
|                 | リピートモード | 255バイト  |
| 転送単位            |         | バイト   |
| 転送モード           | ノーマルモード | DTCCTjレジスタが“1”から“0”になる転送で終了する   |
|                 | リピートモード | DTCCTjレジスタが“1”から“0”になる転送終了後、リピートエリアのアドレスを初期化し、DTRLDjレジスタの値がDTCCTjレジスタへリロードして転送を継続する                             |
| アドレス制御          | ノーマルモード | 固定、または加算  |
|                 | リピートモード | リピートエリアでないアドレスを固定、または加算   |
| 起動要因優先度         |         | 「表15.5 DTC起動要因とDTCベクタアドレス」参照  |
| 割り込み要求          | ノーマルモード | DTCCTjレジスタが“1”から“0”になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行います                                       |
|                 | リピートモード | DTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)のとき、DTCCTjレジスタが“1”から“0”になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行います |
| 転送開始            |         | DTCENiレジスタのDTCENi0 ~ DTCENi7ビットを“1”(起動許可)にすると、DTC起動要因が発生するたびにデータ転送を開始する   |
| 転送停止            | ノーマルモード | •DTCENi0 ~ DTCENi7ビットを“0”(起動禁止)にする<br>•DTCCTjレジスタが“1”から“0”になるデータ転送が終了したとき                                       |
|                 | リピートモード | •DTCENi0 ~ DTCENi7ビットを“0”(起動禁止)にする<br>•RPTINTビットが“1”(割り込み発生許可)のとき、DTCCTjレジスタが“1”から“0”になるデータ転送が終了したとき            |

i=0 ~ 3, 5, 6, j=0 ~ 23

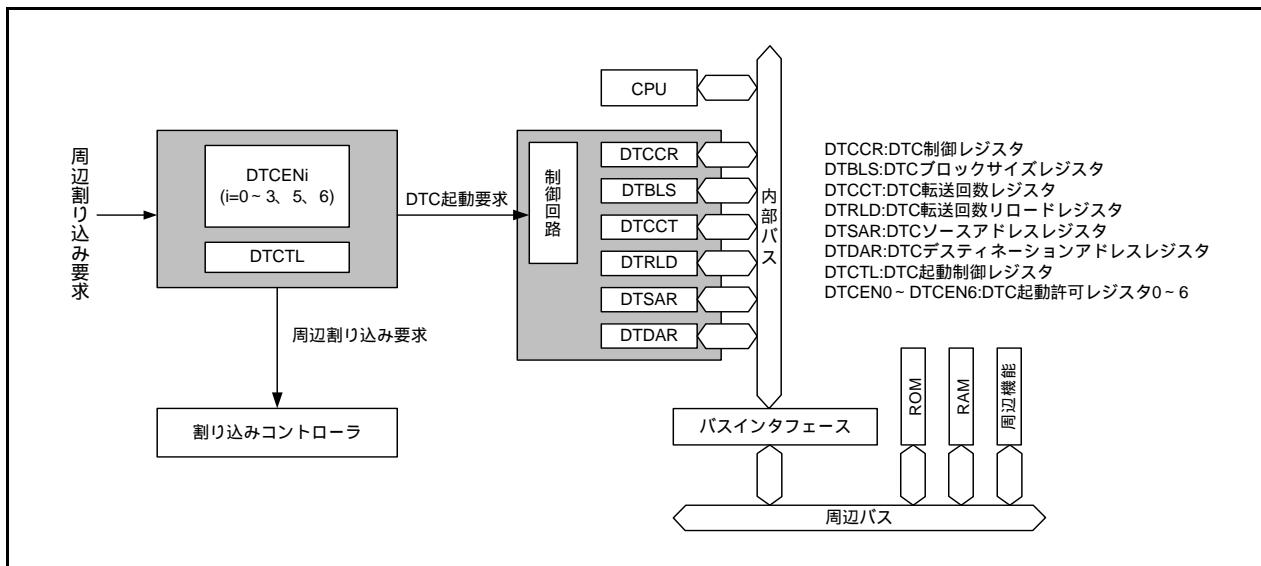


図 15.1 DTC のブロック図

## 15.2 レジスタの説明

DTC は起動するとコントロールデータ領域に配置したコントロールデータ (DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj, j=0 ~ 23) を読み出し、DTC 内の制御レジスタ (DTCCR, DTBLS, DTCCT, DTRLD, DTSAR, DTDAR) へ転送します。DTC のデータ転送終了後、DTC 内の制御レジスタの内容をコントロールデータ領域へ書き戻します。

DTCCR, DTBLS, DTCCT, DTRLD, DTSAR, DTDAR の各レジスタは直接アクセスできません。

DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj は DTC コントロールデータ領域の 2C40h ~ 2CFFh 番地にコントロールデータとして配置し、直接アクセスできます。

また、DTCTL, DTCENi (i=0 ~ 3, 5, 6) レジスタは直接アクセスできます。

### 15.2.1 DTC制御レジスタj(DTCCRj)(j=0 ~ 23)

アドレス「表 15.4 コントロールデータの配置アドレス」参照

| ビット     | b7 | b6 | b5     | b4   | b3    | b2    | b1     | b0   |
|---------|----|----|--------|------|-------|-------|--------|------|
| シンボル    | -  | -  | RPTINT | CHNE | DAMOD | SAMOD | RPTSEL | MODE |
| リセット後の値 | X  | X  | X      | X    | X     | X     | X      | X    |

| ビット | シンボル   | ビット名                   | 機能                               | R/W |
|-----|--------|------------------------|----------------------------------|-----|
| b0  | MODE   | 転送モード選択ビット             | 0: ノーマルモード<br>1: リピートモード         | R/W |
| b1  | RPTSEL | リピートエリア選択ビット(注1)       | 0: 転送先がリピートエリア<br>1: 転送元がリピートエリア | R/W |
| b2  | SAMOD  | ソースアドレス制御ビット(注2)       | 0: 固定<br>1: 加算                   | R/W |
| b3  | DAMOD  | デスティネーションアドレス制御ビット(注2) | 0: 固定<br>1: 加算                   | R/W |
| b4  | CHNE   | チェイン転送許可ビット(注3)        | 0: チェイン転送禁止<br>1: チェイン転送許可       | R/W |
| b5  | RPTINT | リピートモード割り込み許可ビット(注1)   | 0: 割り込み発生禁止<br>1: 割り込み発生許可       | R/W |
| b6  | -      | 予約ビット                  | "0"にしてください                       | R/W |
| b7  | -      |                        |                                  |     |

注1. MODE ビットが“1”(リピートモード)のときに有効です。

注2. リピートエリアに対する SAMOD ビットと DAMOD ビットの設定は無効です。

注3. DTCCR23 レジスタの CHNE ビットは “0”(チェイン転送禁止)にしてください。

### 15.2.2 DTC ブロックサイズレジスタj(DTBLSj)(j=0 ~ 23)

アドレス「表 15.4 コントロールデータの配置アドレス」参照

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | X  | X  | X  | X  | X  | X  | X  | X  |

| ビット     | 機能                        | 設定可能値         | R/W |
|---------|---------------------------|---------------|-----|
| b7 ~ b0 | 1回の起動で転送するデータブロックサイズを設定する | 00h ~ FFh(注1) | R/W |

注1. “00h”的ときブロックサイズは256バイトになります。

### 15.2.3 DTC転送回数レジスタj(DTCCTj)(j=0 ~ 23)

アドレス「表 15.4 コントロールデータの配置アドレス」参照

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | X  | X  | X  | X  | X  | X  | X  | X  |

| ビット     | 機能               | 設定可能値         | R/W |
|---------|------------------|---------------|-----|
| b7 ~ b0 | DTCのデータ転送回数を設定する | 00h ~ FFh(注1) | R/W |

注1. “00h”的とき転送回数は256回になります。DTCが起動するたびに減算(-1)されます。

### 15.2.4 DTC転送回数リロードレジスタj(DTRLDj)(j=0 ~ 23)

アドレス「表 15.4 コントロールデータの配置アドレス」参照

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | X  | X  | X  | X  | X  | X  | X  | X  |

| ビット     | 機能                                  | 設定可能値         | R/W |
|---------|-------------------------------------|---------------|-----|
| b7 ~ b0 | リピートモード動作でこのレジスタの値をDTCCTレジスタへリロードする | 00h ~ FFh(注1) | R/W |

注1. DTCCTレジスタの初期値を設定してください。

### 15.2.5 DTCソースアドレスレジスタj(DTSARj)(j=0 ~ 23)

アドレス「表 15.4 コントロールデータの配置アドレス」参照

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | X  | X  | X  | X  | X  | X  | X  | X  |

| ビット     | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| シンボル    | -   | -   | -   | -   | -   | -   | -  | -  |
| リセット後の値 | X   | X   | X   | X   | X   | X   | X  | X  |

| ビット      | 機能                  | 設定可能値         | R/W |
|----------|---------------------|---------------|-----|
| b15 ~ b0 | データ転送時の転送元アドレスを指定する | 0000h ~ FFFFh | R/W |

### 15.2.6 DTCデスティネーションアドレスレジスタj(DTDARj)(j=0 ~ 23)

アドレス「表 15.4 コントロールデータの配置アドレス」参照

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | X  | X  | X  | X  | X  | X  | X  | X  |

| ビット     | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| シンボル    | -   | -   | -   | -   | -   | -   | -  | -  |
| リセット後の値 | X   | X   | X   | X   | X   | X   | X  | X  |

| ビット      | 機能                  | 設定可能値         | R/W |
|----------|---------------------|---------------|-----|
| b15 ~ b0 | データ転送時の転送先アドレスを指定する | 0000h ~ FFFFh | R/W |

### 15.2.7 DTC 起動許可レジスタ i(DTCENi)(i=0 ~ 3、5、6)

アドレス 0088h 番地(DTCEN0)、0089h 番地(DTCEN1)、008Ah 番地(DTCEN2)、008Bh 番地(DTCEN3)、  
008Dh 番地(DTCEN5)、008Eh 番地(DTCEN6)

| ビット     | b7      | b6      | b5      | b4      | b3      | b2      | b1      | b0      |
|---------|---------|---------|---------|---------|---------|---------|---------|---------|
| シンボル    | DTCENi7 | DTCENi6 | DTCENi5 | DTCENi4 | DTCENi3 | DTCENi2 | DTCENi1 | DTCENi0 |
| リセット後の値 | 0       | 0       | 0       | 0       | 0       | 0       | 0       | 0       |

| ビット | シンボル    | ビット名            | 機能                   | R/W |
|-----|---------|-----------------|----------------------|-----|
| b0  | DTCENi0 | DTC 起動許可ビット(注1) | 0 : 起動禁止<br>1 : 起動許可 | R/W |
| b1  | DTCENi1 |                 |                      | R/W |
| b2  | DTCENi2 |                 |                      | R/W |
| b3  | DTCENi3 |                 |                      | R/W |
| b4  | DTCENi4 |                 |                      | R/W |
| b5  | DTCENi5 |                 |                      | R/W |
| b6  | DTCENi6 |                 |                      | R/W |
| b7  | DTCENi7 |                 |                      | R/W |

i=0 ~ 3、5、6

注1. このビットの動作については、「15.3.7 割り込み要因」を参照してください。

DTCENi レジスタは、各割り込み要因による DTC 起動の許可または禁止を制御します。表 15.2 に割り込み要因と DTCENi0 ~ DTCENi7(i=0 ~ 3、5、6) ビットの対応を示します。

表 15.2 割り込み要因と DTCENi0 ~ DTCENi7(i=0 ~ 3、5、6) ビットの対応

| レジスタ   | DTCENi7 ビット                    | DTCENi6 ビット                       | DTCENi5 ビット | DTCENi4 ビット | DTCENi3 ビット   | DTCENi2 ビット | DTCENi1 ビット                  | DTCENi0 ビット                  |
|--------|--------------------------------|-----------------------------------|-------------|-------------|---------------|-------------|------------------------------|------------------------------|
| DTCEN0 | INT0                           | INT1                              | -           | INT3        | -             | -           | -                            | -                            |
| DTCEN1 | キー入力                           | A/D 変換                            | UART0 受信    | UART0 送信    | UART1 受信      | UART1 送信    | UART2 受信                     | UART2 送信                     |
| DTCEN2 | SSU/I <sup>2</sup> C バス受信データフル | SSU/I <sup>2</sup> C バス送信データエンブティ | 電圧監視2       | 電圧監視1       | -             | -           | タイマ RC インプットキャプチャ / コンペア一致 A | タイマ RC インプットキャプチャ / コンペア一致 B |
| DTCEN3 | タイマ RC インプットキャプチャ / コンペア一致 C   | タイマ RC インプットキャプチャ / コンペア一致 D      | -           | -           | -             | -           | -                            | -                            |
| DTCEN5 | -                              | -                                 | タイマ RE      | -           | -             | -           | -                            | -                            |
| DTCEN6 | -                              | タイマ RA                            | -           | タイマ RB      | フラッシュレディステータス | -           | -                            | -                            |

### 15.2.8 DTC起動制御レジスタ(DTCTL)

アドレス 0080h 番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1   | b0 |
|---------|----|----|----|----|----|----|------|----|
| シンボル    | -  | -  | -  | -  | -  | -  | NMIF | -  |
| リセット後の値 | 0  | 0  | 0  | 0  | 0  | 0  | 0    | 0  |

| ビット | シンボル | ビット名   | 機能                                   | R/W |
|-----|------|--|--------------------------------------|-----|
| b0  | -    | 予約ビット  | "0"にしてください                           | R/W |
| b1  | NMIF | ノンマスカブル割り込み発生ビット<br>(注1)   | 0: ノンマスカブル割り込みなし<br>1: ノンマスカブル割り込み発生 | R/W |
| b2  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。<br>-<br>-<br>-<br>-<br>-<br>- |                                      | -   |
| b3  | -    |  |                                      |     |
| b4  | -    |  |                                      |     |
| b5  | -    |  |                                      |     |
| b6  | -    |  |                                      |     |
| b7  | -    |  |                                      |     |

注1. 読んだ結果が“1”的場合、同じビットに“0”を書くと“0”になります。読んだ結果が“0”的場合、同じビットに“0”を書いても変化しません。“1”を書いた場合は変化しません。

DTCTL レジスタは、ノンマスカブル割り込み(ウォッチドッグタイマ、発振停止検出、電圧監視1、電圧監視2)発生時のDTC起動を制御するレジスタです。

#### NMIF ビット(ノンマスカブル割り込み発生ビット)

NMIF ビットは、ウォッチドッグタイマ割り込み、発振停止検出割り込み、電圧監視1 割り込み、電圧監視2 割り込みのいずれかが発生すると“1”になります。

NMIF ビットが“1”的場合、DTC 起動を許可している割り込みが発生しても DTC は起動しません。DTC 転送中に NMIF ビットが“1”になっても、その転送を終了するまで行います。

割り込み要因がウォッチドッグタイマのとき、WDTC レジスタの WDTC7 ビットを“0”(プリスクーラが16分周)にしている場合は、割り込み要因発生から CPU クロックの16サイクル待ってから、WDTC7 ビットを“1”(プリスクーラが128分周)にしている場合は割り込み要因発生から CPU クロックの128サイクル待ってから、NMIF ビットに“0”を書いてください。

割り込み要因が発振停止検出のとき、OCD レジスタの OCD1 ビットを“0”(発振停止検出割り込み禁止)にした後で、NMIF ビットに“0”を書いてください。

## 15.3 動作説明

### 15.3.1 概要

DTCが起動すると、DTCコントロールデータ領域からコントロールデータを読み出し、このコントロールデータに従ってデータ転送を行い、データ転送後のコントロールデータをDTCコントロールデータ領域へ書き戻します。24組のコントロールデータをDTCコントロールデータ領域へ格納でき、24通りのデータ転送ができます。

転送モードにはノーマルモードとリピートモードがあります。また、DTCCR<sub>j</sub>(j=0 ~ 23)レジスタのCHNEビットが“1”(チェイン転送許可)のとき、1つの起動要因に対して複数のコントロールデータを読み出し、連続してデータを転送します(チェイン転送)。

転送元アドレスは16ビット長のDTSAR<sub>j</sub>レジスタ、転送先アドレスは16ビット長のDTDAR<sub>j</sub>レジスタで指定します。DTSAR<sub>j</sub>レジスタとDTDAR<sub>j</sub>レジスタは、データ転送後、コントロールデータに従って独立に加算されるか固定されます。

### 15.3.2 起動要因

DTCは割り込み要因により起動します。図15.2にDTC起動要因の制御ブロック図を示します。

DTCを起動する割り込み要因は、DTCEN<sub>i</sub>(i=0 ~ 3, 5, 6)レジスタで選択します。

データ転送(チェイン転送の場合、連続して行う最初の転送)の設定が

- ・ノーマルモードでDTCCT<sub>j</sub>(j=0 ~ 23)レジスタが“0”になる転送
- ・リピートモードでDTCCR<sub>j</sub>レジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCT<sub>j</sub>レジスタが“0”になる転送

のとき、DTCは動作中にDTCEN<sub>i</sub>レジスタの対応するDTCEN<sub>i0</sub> ~ DTCEN<sub>i7</sub>ビットを“0”(起動禁止)にします。

データ転送の設定がどちらでもなく、起動要因がタイマRC、フラッシュメモリの割り込み要因である場合、DTCは動作中に起動要因となった割り込み要因フラグを“0”にします。

表15.3にDTC起動要因とDTC動作中に“0”にする割り込み要因フラグを示します。

複数の起動要因が同時に発生した場合には、DTC起動要因の優先順位に従ってDTCを起動します。

DTCの動作が終了した時点で複数のDTC起動要因が発生している場合には、優先順位に従って次の転送を行います。

DTC起動は割り込み要求動作と異なり、Iフラグや割り込み制御レジスタの影響を受けませんので、割り込みが禁止されているときなど、割り込み要求が受け付けられない場合でもDTC起動要求を受け付けることができます。DTC起動許可にした割り込み要因が発生しても割り込み制御レジスタのIRビットは変化しません。

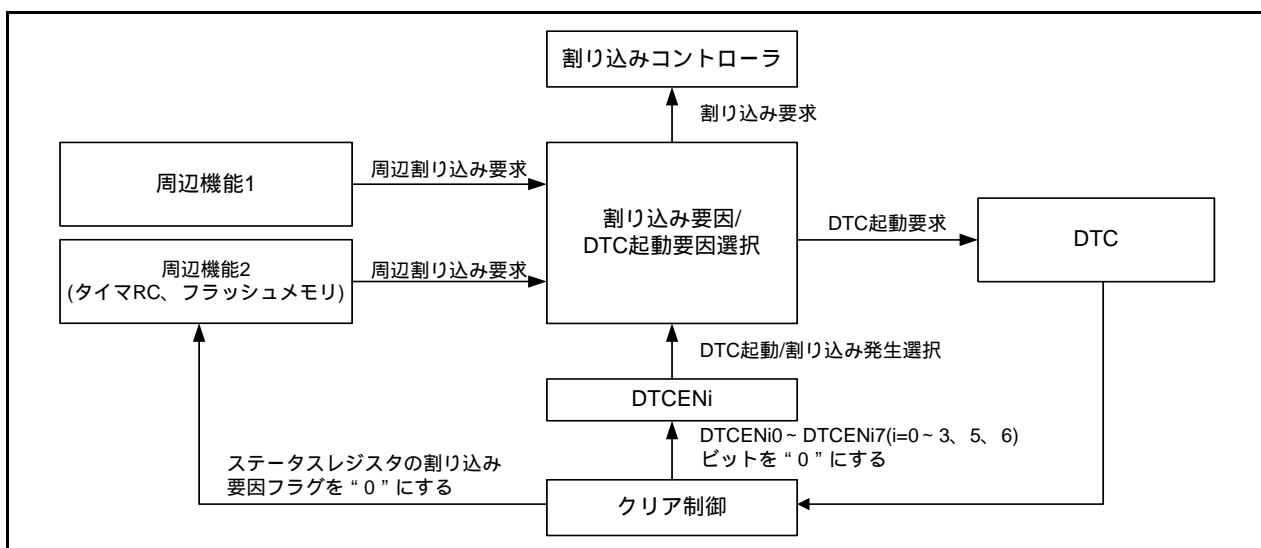


図15.2 DTC起動要因の制御ブロック図

表 15.3 DTC 起動要因と DTC 動作中に “0” にする割り込み要因フラグ

| DTC 起動要因                     | “0” にする割り込み要因フラグ     |
|------------------------------|----------------------|
| タイマ RC インプットキャプチャ / コンペア一致 A | TRCSR レジスタの IMFA ビット |
| タイマ RC インプットキャプチャ / コンペア一致 B | TRCSR レジスタの IMFB ビット |
| タイマ RC インプットキャプチャ / コンペア一致 C | TRCSR レジスタの IMFC ビット |
| タイマ RC インプットキャプチャ / コンペア一致 D | TRCSR レジスタの IMFD ビット |
| フラッシュレディステータス                | FST レジスタの RDYSTI ビット |

### 15.3.3 コントロールデータの配置とDTCベクターテーブル

コントロールデータは先頭アドレスから、DTCCRj、DTBLSj、DTCCTj、DTRLDj、DTSARj、DTDARj(j=0 ~ 23) レジスタの順に配置します。表 15.4 にコントロールデータの配置アドレスを示します。

表 15.4 コントロールデータの配置アドレス

| レジスタ<br>シンボル | コントロール<br>データ番号 | アドレス             | DTCCRj<br>レジスタ | DTBLSj<br>レジスタ | DTCCTj<br>レジスタ | DTRLDj<br>レジスタ | DTSARj<br>レジスタ<br>(下位<br>8ビット) | DTSARj<br>レジスタ<br>(上位<br>8ビット) | DTDARj<br>レジスタ<br>(下位<br>8ビット) | DTDARj<br>レジスタ<br>(上位<br>8ビット) |
|--------------|-----------------|------------------|----------------|----------------|----------------|----------------|--------------------------------|--------------------------------|--------------------------------|--------------------------------|
| DTCD0        | コントロール<br>データ0  | 2C40h ~<br>2C47h | 2C40h          | 2C41h          | 2C42h          | 2C43h          | 2C44h                          | 2C45h                          | 2C46h                          | 2C47h                          |
| DTCD1        | コントロール<br>データ1  | 2C48h ~<br>2C4Fh | 2C48h          | 2C49h          | 2C4Ah          | 2C4Bh          | 2C4Ch                          | 2C4Dh                          | 2C4Eh                          | 2C4Fh                          |
| DTCD2        | コントロール<br>データ2  | 2C50h ~<br>2C57h | 2C50h          | 2C51h          | 2C52h          | 2C53h          | 2C54h                          | 2C55h                          | 2C56h                          | 2C57h                          |
| DTCD3        | コントロール<br>データ3  | 2C58h ~<br>2C5Fh | 2C58h          | 2C59h          | 2C5Ah          | 2C5Bh          | 2C5Ch                          | 2C5Dh                          | 2C5Eh                          | 2C5Fh                          |
| DTCD4        | コントロール<br>データ4  | 2C60h ~<br>2C67h | 2C60h          | 2C61h          | 2C62h          | 2C63h          | 2C64h                          | 2C65h                          | 2C66h                          | 2C67h                          |
| DTCD5        | コントロール<br>データ5  | 2C68h ~<br>2C6Fh | 2C68h          | 2C69h          | 2C6Ah          | 2C6Bh          | 2C6Ch                          | 2C6Dh                          | 2C6Eh                          | 2C6Fh                          |
| DTCD6        | コントロール<br>データ6  | 2C70h ~<br>2C77h | 2C70h          | 2C71h          | 2C72h          | 2C73h          | 2C74h                          | 2C75h                          | 2C76h                          | 2C77h                          |
| DTCD7        | コントロール<br>データ7  | 2C78h ~<br>2C7Fh | 2C78h          | 2C79h          | 2C7Ah          | 2C7Bh          | 2C7Ch                          | 2C7Dh                          | 2C7Eh                          | 2C7Fh                          |
| DTCD8        | コントロール<br>データ8  | 2C80h ~<br>2C87h | 2C80h          | 2C81h          | 2C82h          | 2C83h          | 2C84h                          | 2C85h                          | 2C86h                          | 2C87h                          |
| DTCD9        | コントロール<br>データ9  | 2C88h ~<br>2C8Fh | 2C88h          | 2C89h          | 2C8Ah          | 2C8Bh          | 2C8Ch                          | 2C8Dh                          | 2C8Eh                          | 2C8Fh                          |
| DTCD10       | コントロール<br>データ10 | 2C90h ~<br>2C97h | 2C90h          | 2C91h          | 2C92h          | 2C93h          | 2C94h                          | 2C95h                          | 2C96h                          | 2C97h                          |
| DTCD11       | コントロール<br>データ11 | 2C98h ~<br>2C9Fh | 2C98h          | 2C99h          | 2C9Ah          | 2C9Bh          | 2C9Ch                          | 2C9Dh                          | 2C9Eh                          | 2C9Fh                          |
| DTCD12       | コントロール<br>データ12 | 2CA0h ~<br>2CA7h | 2CA0h          | 2CA1h          | 2CA2h          | 2CA3h          | 2CA4h                          | 2CA5h                          | 2CA6h                          | 2CA7h                          |
| DTCD13       | コントロール<br>データ13 | 2CA8h ~<br>2CAFh | 2CA8h          | 2CA9h          | 2CAAh          | 2CABh          | 2CACh                          | 2CADh                          | 2CAEh                          | 2CAFh                          |
| DTCD14       | コントロール<br>データ14 | 2CB0h ~<br>2CB7h | 2CB0h          | 2CB1h          | 2CB2h          | 2CB3h          | 2CB4h                          | 2CB5h                          | 2CB6h                          | 2CB7h                          |
| DTCD15       | コントロール<br>データ15 | 2CB8h ~<br>2CBFh | 2CB8h          | 2CB9h          | 2CBAh          | 2CBBh          | 2CBCh                          | 2CBDh                          | 2CBEh                          | 2CBFh                          |
| DTCD16       | コントロール<br>データ16 | 2CC0h ~<br>2CC7h | 2CC0h          | 2CC1h          | 2CC2h          | 2CC3h          | 2CC4h                          | 2CC5h                          | 2CC6h                          | 2CC7h                          |
| DTCD17       | コントロール<br>データ17 | 2CC8h ~<br>2CCFh | 2CC8h          | 2CC9h          | 2CCAh          | 2CCBh          | 2CCCh                          | 2CCDh                          | 2CCEh                          | 2CCFh                          |
| DTCD18       | コントロール<br>データ18 | 2CD0h ~<br>2CD7h | 2CD0h          | 2CD1h          | 2CD2h          | 2CD3h          | 2CD4h                          | 2CD5h                          | 2CD6h                          | 2CD7h                          |
| DTCD19       | コントロール<br>データ19 | 2CD8h ~<br>2CDFh | 2CD8h          | 2CD9h          | 2CDAh          | 2CDBh          | 2CDCh                          | 2CDDh                          | 2CDEh                          | 2CDFh                          |
| DTCD20       | コントロール<br>データ20 | 2CE0h ~<br>2CE7h | 2CE0h          | 2CE1h          | 2CE2h          | 2CE3h          | 2CE4h                          | 2CE5h                          | 2CE6h                          | 2CE7h                          |
| DTCD21       | コントロール<br>データ21 | 2CE8h ~<br>2CEFh | 2CE8h          | 2CE9h          | 2CEAh          | 2CEBh          | 2CECh                          | 2CEDh                          | 2CEEh                          | 2CEFh                          |
| DTCD22       | コントロール<br>データ22 | 2CF0h ~<br>2CF7h | 2CF0h          | 2CF1h          | 2CF2h          | 2CF3h          | 2CF4h                          | 2CF5h                          | 2CF6h                          | 2CF7h                          |
| DTCD23       | コントロール<br>データ23 | 2CF8h ~<br>2CFFh | 2CF8h          | 2CF9h          | 2CFAh          | 2CFBh          | 2CFCh                          | 2CFDh                          | 2CFEh                          | 2CFFh                          |

j=0 ~ 23

DTC が起動すると、起動要因ごとに割り当てられているベクターテーブルから読み出したデータによりコントロールデータを決定し、DTC コントロールデータ領域上に配置されたコントロールデータを読み出します。

表 15.5 に DTC 起動要因と DTC ベクタアドレスを示します。起動要因ごとに DTC ベクターテーブルが 1 バイトあり、“00000000b” ~ “00010111b”的データ(表 15.4 のコントロールデータ番号)を格納し、24 組のコントロールデータから 1 つを選択します。

図 15.3 ~ 図 15.7 に DTC 内部動作のフローチャートを示します。

表 15.5 DTC 起動要因と DTC ベクタアドレス

| 割り込み要因発生元               | 名称                    | 要因番号 | DTC ベクタアドレス | 優先順位   |
|-------------------------|-----------------------|------|-------------|--------|
| 外部入力                    | INT0                  | 0    | 2C00h       | 高<br>↑ |
|                         | INT1                  | 1    | 2C01h       |        |
|                         | (予約)                  | 2    | 2C02h       |        |
|                         | INT3                  | 3    | 2C03h       |        |
|                         | (予約)                  | 4    | 2C04h       |        |
| キー入力                    | キー入力                  | 8    | 2C08h       |        |
| A/D                     | A/D 変換                | 9    | 2C09h       |        |
| UART0                   | UART0 受信              | 10   | 2C0Ah       |        |
|                         | UART0 送信              | 11   | 2C0Bh       |        |
| UART1                   | UART1 受信              | 12   | 2C0Ch       |        |
|                         | UART1 送信              | 13   | 2C0Dh       |        |
| UART2                   | UART2 受信              | 14   | 2C0Eh       |        |
|                         | UART2 送信              | 15   | 2C0Fh       |        |
| SSU/I <sup>2</sup> C バス | 受信データフル               | 16   | 2C10h       |        |
|                         | 送信データエンプティ            | 17   | 2C11h       |        |
| 電圧検出回路                  | 電圧監視 2                | 18   | 2C12h       |        |
|                         | 電圧監視 1                | 19   | 2C13h       |        |
| タイマ RC                  | インプットキャプチャ / コンペア一致 A | 22   | 2C16h       |        |
|                         | インプットキャプチャ / コンペア一致 B | 23   | 2C17h       |        |
|                         | インプットキャプチャ / コンペア一致 C | 24   | 2C18h       |        |
|                         | インプットキャプチャ / コンペア一致 D | 25   | 2C19h       |        |
| (予約)                    | -                     | 26   | 2C1Ah       | 低<br>↓ |
|                         | -                     | 27   | 2C1Bh       |        |
|                         | -                     | 28   | 2C1Ch       |        |
|                         | -                     | 29   | 2C1Dh       |        |
|                         | -                     | 30   | 2C1Eh       |        |
|                         | -                     | 31   | 2C1Fh       |        |
|                         | -                     | 32   | 2C20h       |        |
|                         | -                     | 33   | 2C21h       |        |
| タイマ RE                  | タイマ RE                | 42   | 2C2Ah       |        |
| タイマ RA                  | タイマ RA                | 49   | 2C31h       |        |
| タイマ RB                  | タイマ RB                | 51   | 2C33h       |        |
| フラッシュメモリ                | フラッシュレディステータス         | 52   | 2C34h       |        |

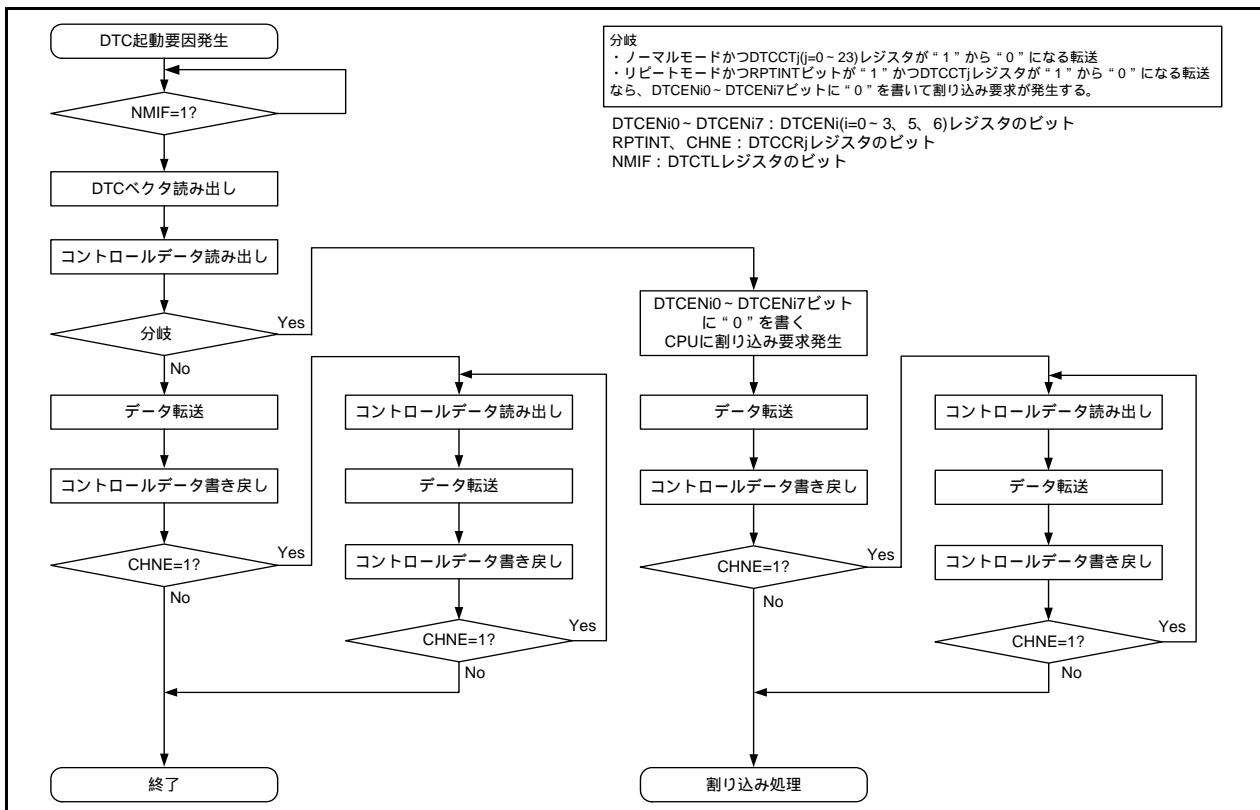


図 15.3 DTC起動要因がSSU/I<sup>2</sup>Cバス、タイマRC、フラッシュメモリの割り込み要因でないときのDTC内部動作フローチャート

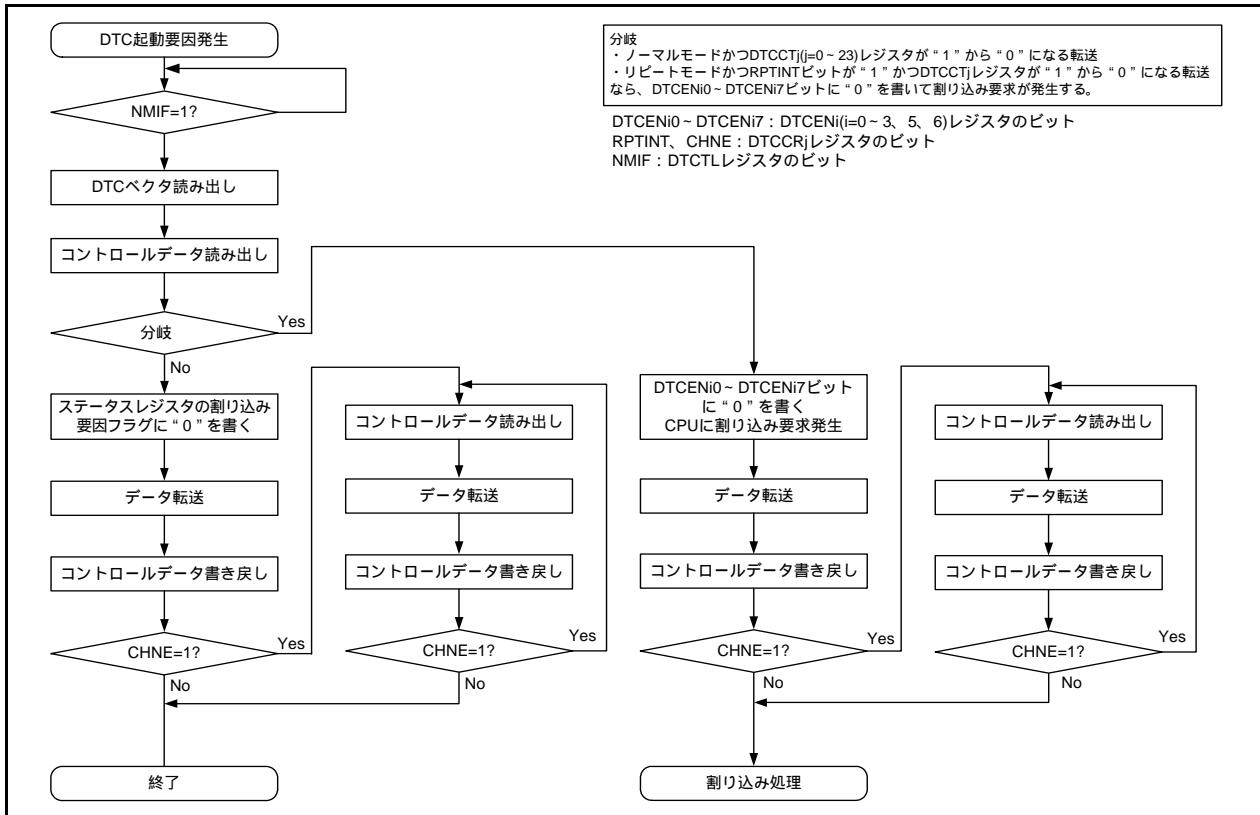
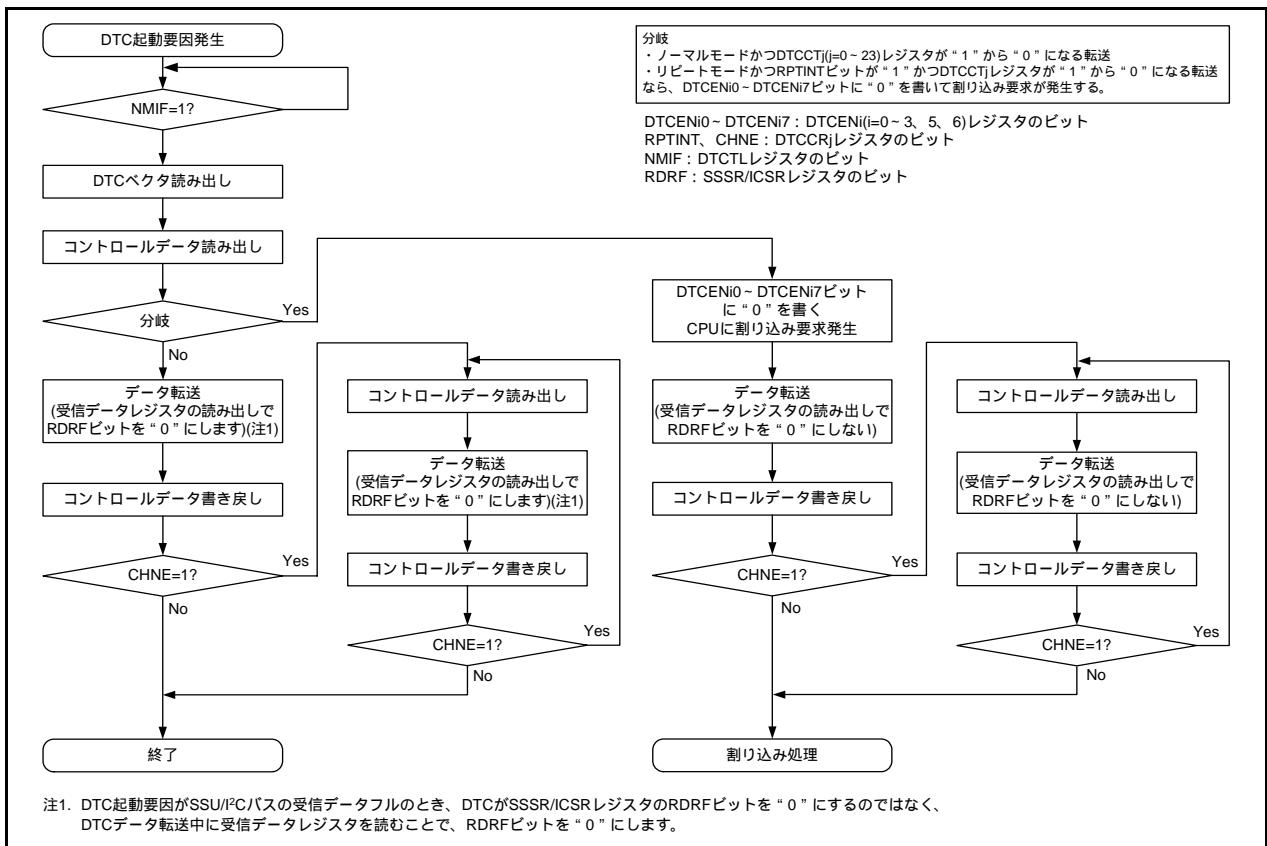
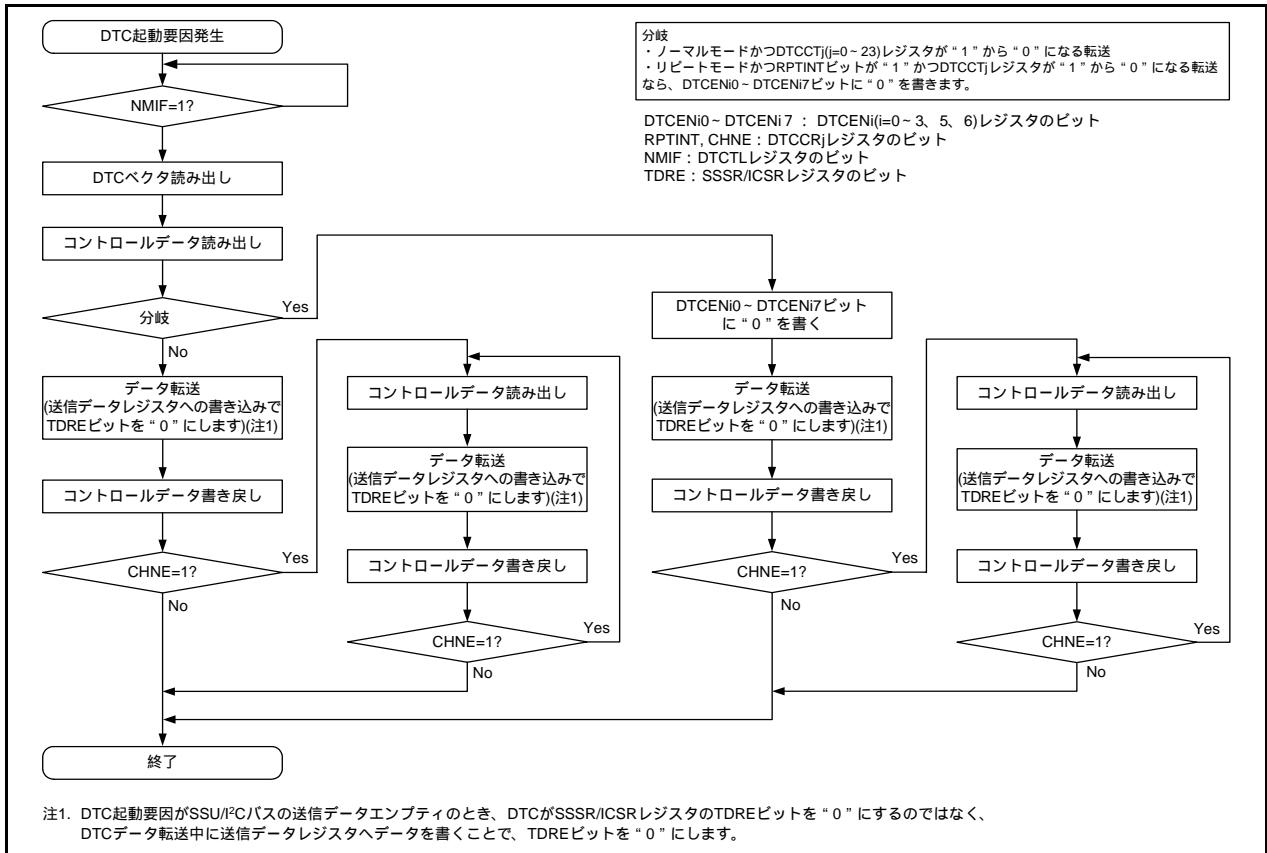


図 15.4 DTC起動要因がタイマRCの割り込み要因であるときのDTC内部動作フローチャート

図 15.5 DTC起動要因がSSU/I<sup>2</sup>Cバスの受信データフレームであるときのDTC内部動作フローチャート図 15.6 DTC起動要因がSSU/I<sup>2</sup>Cバスの送信データエンブティであるときのDTC内部動作フローチャート

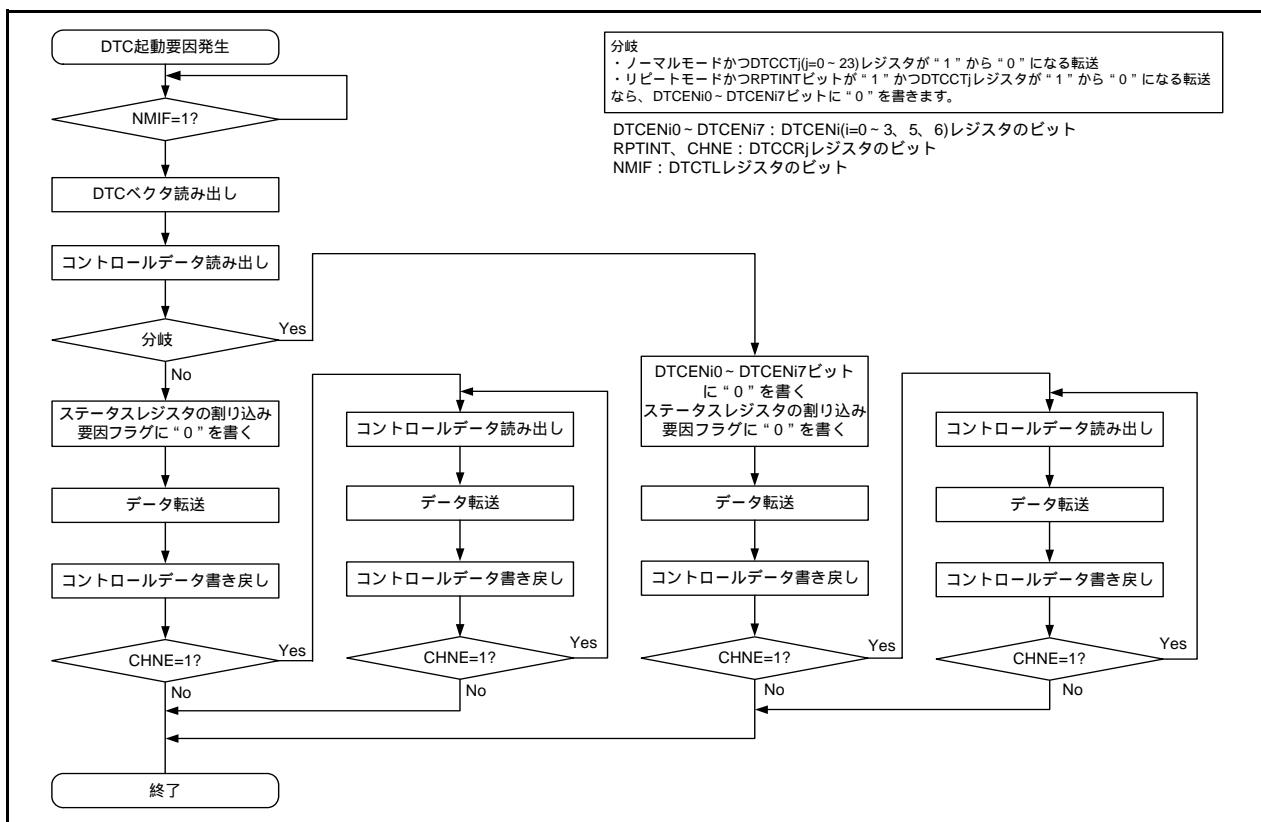


図 15.7 DTC起動要因がフラッシュレディステータスであるときのDTC内部動作フローチャート

### 15.3.4 ノーマルモード

1回の起動で1～256バイトをデータ転送します。転送回数は1～256回です。DTCCT<sub>j</sub>(j=0～23)レジスタが“0”になるデータ転送を行うとき、DTC動作中にCPUへの割り込み要求を発生します。

表 15.6にノーマルモードでのレジスタ機能を示します。

図 15.8にノーマルモードでのデータ転送を示します。

表 15.6 ノーマルモードでのレジスタ機能

| レジスタ                               | シンボル               | 機能                   |
|------------------------------------|--------------------|----------------------|
| DTC ブロックサイズレジスタ <sub>j</sub>       | DTBLS <sub>j</sub> | 1回の起動で転送するデータブロックサイズ |
| DTC 転送回数レジスタ <sub>j</sub>          | DTCCT <sub>j</sub> | データ転送回数              |
| DTC 転送回数リロードレジスタ <sub>j</sub>      | DTRLD <sub>j</sub> | 使用しません               |
| DTC ソースアドレスレジスタ <sub>j</sub>       | DTSAR <sub>j</sub> | データの転送元アドレス          |
| DTC デスティネーションアドレスレジスタ <sub>j</sub> | DTDAR <sub>j</sub> | データの転送先アドレス          |

j=0～23

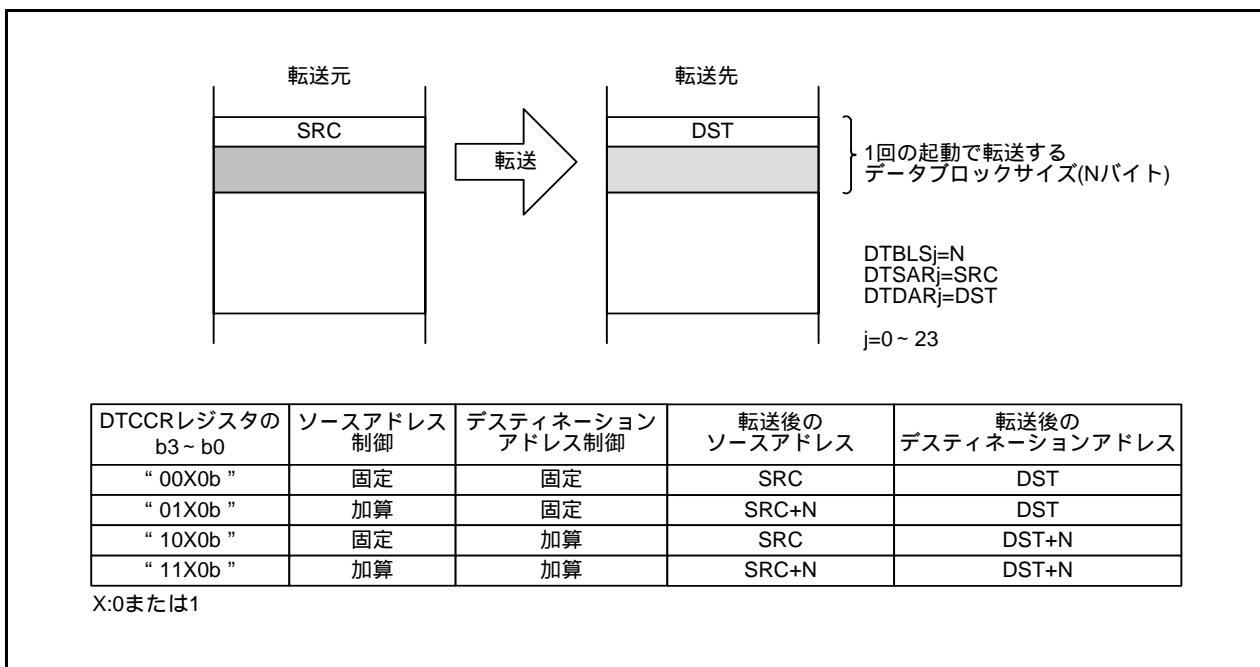


図 15.8 ノーマルモードでのデータ転送

### 15.3.5 リピートモード

1回の起動で1～255バイトをデータ転送します。転送元、転送先のいずれか一方をリピートエリアに指定します。転送回数は1～255回です。指定回数の転送が終了すると、DTCCCT<sub>j</sub>(j=0～23)レジスタおよびリピートエリアに指定したアドレスが初期化され、転送を繰り返します。DTCCR<sub>j</sub>レジスタのRPTINTビットが“1”(割り込み発生許可)でDTCCCT<sub>j</sub>レジスタが“0”になるデータ転送をDTCが行うとき、DTC動作中にCPUへの割り込み要求を発生します。

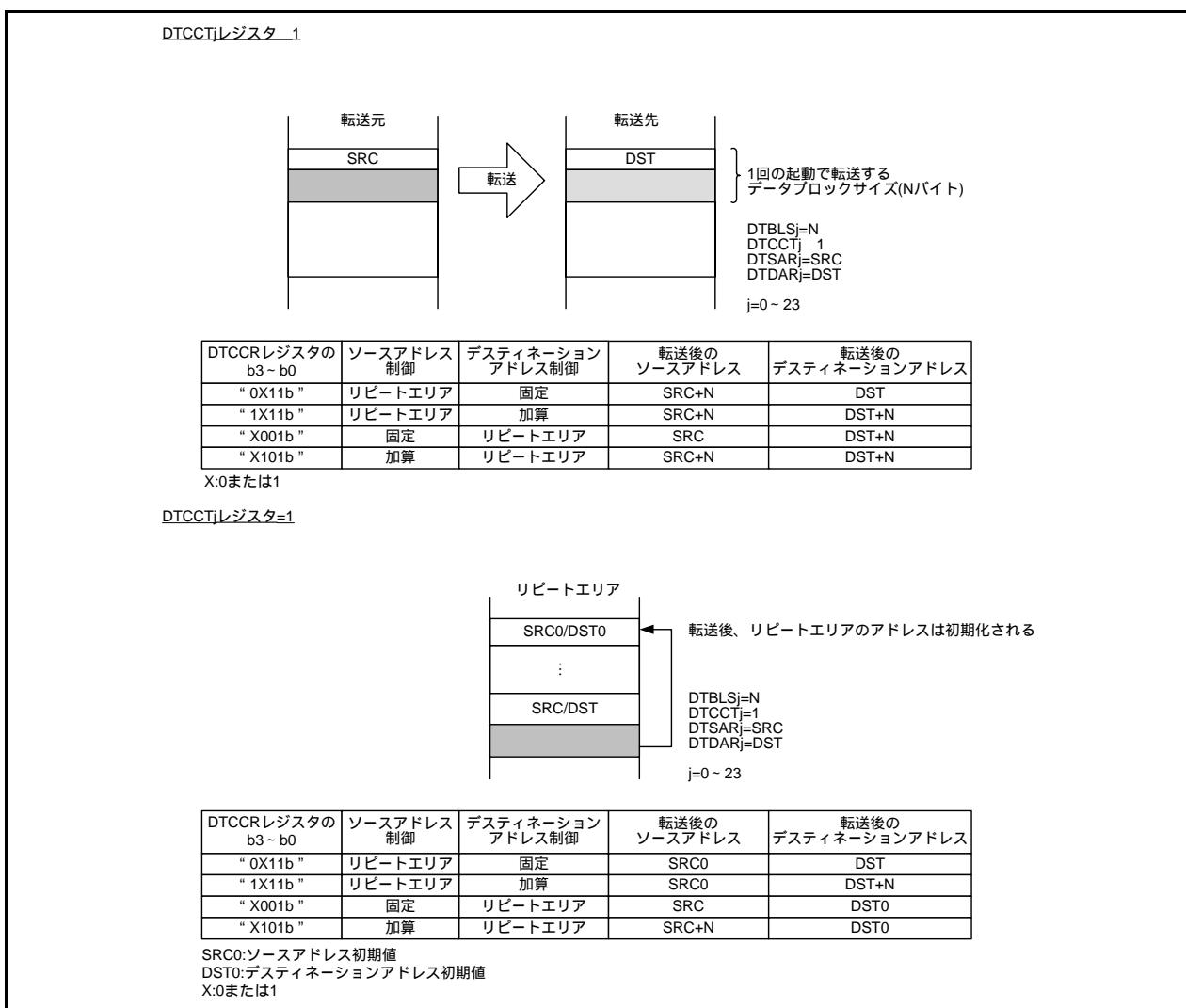
リピートエリアに指定したアドレスの初期値の下位8ビットを“00h”にしてください。また、指定回数の転送が終了するまでに、転送するデータサイズを255バイト以内にしてください。

表15.7にリピートモードでのレジスタ機能を示します。図15.9にリピートモードでのデータ転送を示します。

表15.7 リピートモードでのレジスタ機能

| レジスタ                              | シンボル                | 機能  |
|-----------------------------------|---------------------|---|
| DTCブロックサイズレジスタ <sub>j</sub>       | DTBLS <sub>j</sub>  | 1回の起動で転送するデータブロックサイズ                      |
| DTC転送回数レジスタ <sub>j</sub>          | DTCCCT <sub>j</sub> | データ転送回数                                   |
| DTC転送回数リロードレジスタ <sub>j</sub>      | DTRLD <sub>j</sub>  | このレジスタの値をDTCCCTレジスタへリロード<br>(データ転送回数を初期化) |
| DTCソースアドレスレジスタ <sub>j</sub>       | DTSAR <sub>j</sub>  | データの転送元アドレス                               |
| DTCデスティネーションアドレスレジスタ <sub>j</sub> | DTDAR <sub>j</sub>  | データの転送先アドレス                               |

j=0～23



### 15.3.6 チェイン転送

DTCCR $j$ ( $j=0 \sim 22$ )レジスタのCHNEビットが“1”(チェイン転送許可)のとき、1つの起動要因で複数のデータ転送を連続してできます。図15.10にチェイン転送のフローを示します。

DTCが起動すると、起動要因に対応したDTCベクタアドレスから読み出したデータによりコントロールデータを選択し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。読み出したコントロールデータのCHNEビットが“1”(チェイン転送許可)であれば、転送終了後、連続して配置した次のコントロールデータを読み出して転送します。この動作をCHNEビットが“0”(チェイン転送禁止)のコントロールデータのデータ転送が終了するまで続けます。

DTCCR23レジスタのCHNEビットは“0”(チェイン転送禁止)にしてください。

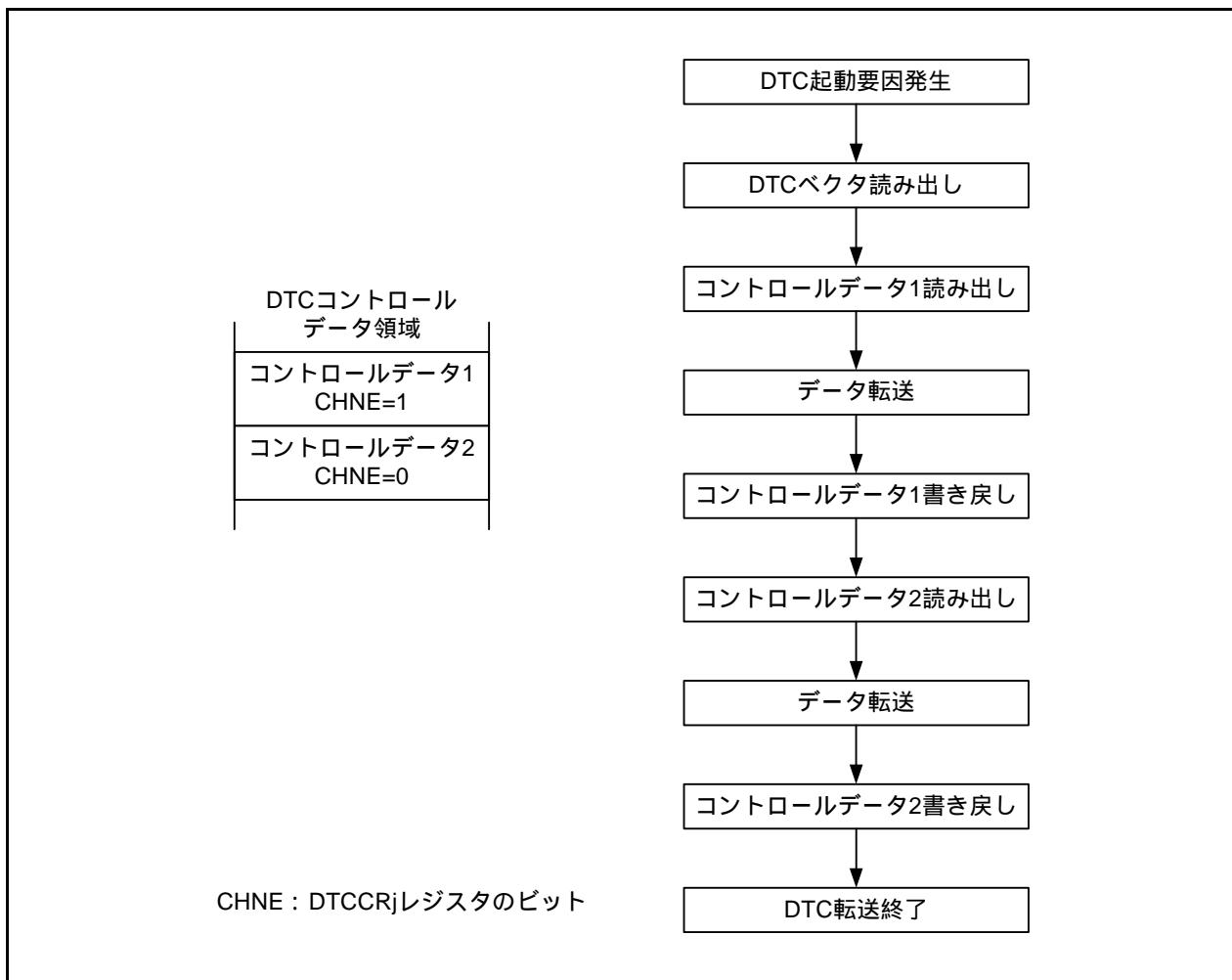


図15.10 チェイン転送のフロー

### 15.3.7 割り込み要因

DTCがノーマルモードでDTCCT $j$ ( $j=0 \sim 23$ )レジスタが“0”になるデータ転送を実行するとき、およびリピートモードでDTCCR $j$ レジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCT $j$ レジスタが“0”になるデータ転送を実行するとき、DTC動作中にCPUに対して起動要因となった割り込み要求を発生します。ただし、起動要因がSSU/I<sup>2</sup>Cバス送信データエンプティまたはフラッシュレディステータスであるとき、CPUに対して割り込み要求を発生しません。

このCPUに対する割り込み要求は、Iフラグや割り込み制御レジスタの影響を受けます。チェイン転送では、連続して行われる最初の転送の転送回数や、RPTINTビットによって割り込み要求の発生の有無が決まります。CPUに対して割り込み要求が発生するとき、対応する起動要因のDTCENi( $i=0 \sim 3, 5, 6$ )レジスタのDTCENi0 ~ DTCENi7( $i=0 \sim 3, 5, 6$ )ビットは“0”(起動禁止)になります。

### 15.3.8 動作タイミング

DTC コントロールデータ領域上に配置したコントロールデータの読み出しは 5 サイクルかかります。コントロールデータ書き戻しはコントロールデータの設定によりサイクル数が異なります。

図 15.11 に DTC の動作タイミング例を、図 15.12 に チェイン転送時の DTC の動作タイミング例を示します。

表 15.8 にコントロールデータ書き戻し仕様を示します。

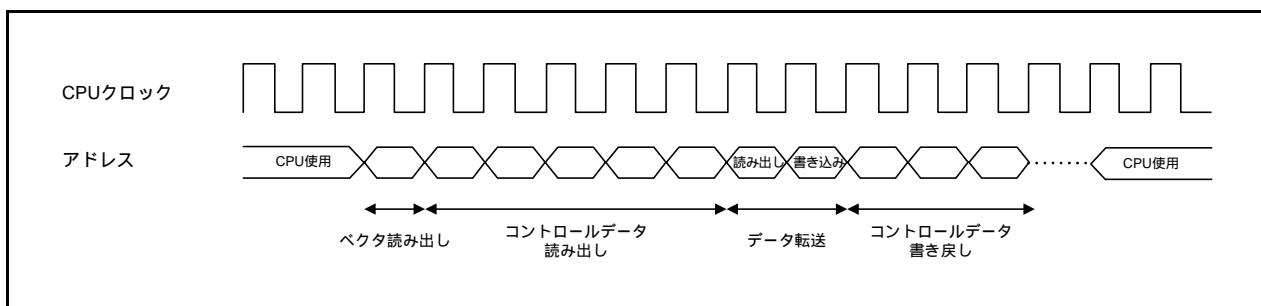


図 15.11 DTC の動作タイミング例

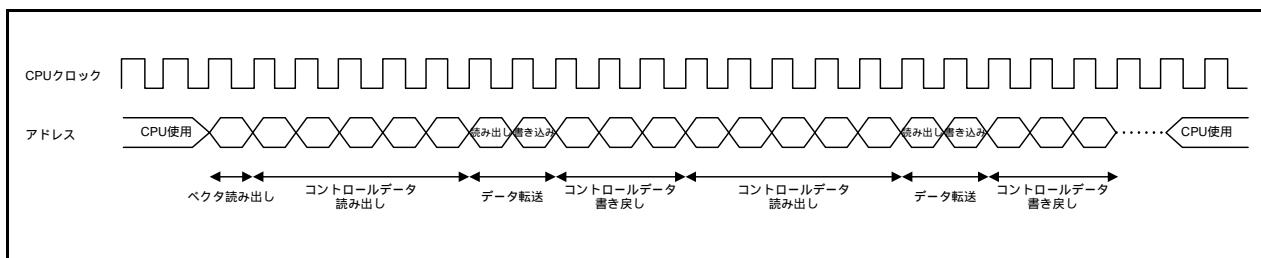


図 15.12 チェイン転送時の DTC の動作タイミング例

表 15.8 コントロールデータ書き戻し仕様

| DTCCR<br>レジスタの<br>b3 ~ b0 | 動作モード       | アドレス制御      |               | 書き戻すコントロールデータ  |                |                |                | サイクル数 |
|---------------------------|-------------|-------------|---------------|----------------|----------------|----------------|----------------|-------|
|                           |             | ソース         | デスティ<br>ネーション | DTCCTj<br>レジスタ | DTRLDj<br>レジスタ | DTSARj<br>レジスタ | DTDARj<br>レジスタ |       |
| “00X0b”                   | ノーマル<br>モード | 固定          | 固定            | 書き戻す           | 書き戻す           | 書き戻さない         | 書き戻さない         | 1     |
| “01X0b”                   |             | 加算          | 固定            | 書き戻す           | 書き戻す           | 書き戻す           | 書き戻さない         | 2     |
| “10X0b”                   |             | 固定          | 加算            | 書き戻す           | 書き戻す           | 書き戻さない         | 書き戻す           | 2     |
| “11X0b”                   |             | 加算          | 加算            | 書き戻す           | 書き戻す           | 書き戻す           | 書き戻す           | 3     |
| “0X11b”                   | リピート<br>モード | リピート<br>エリア | 固定            | 書き戻す           | 書き戻す           | 書き戻す           | 書き戻さない         | 2     |
| “1X11b”                   |             |             | 加算            | 書き戻す           | 書き戻す           | 書き戻す           | 書き戻す           | 3     |
| “X001b”                   |             | 固定          | リピート<br>エリア   | 書き戻す           | 書き戻す           | 書き戻さない         | 書き戻す           | 2     |
| “X101b”                   |             | 加算          |               | 書き戻す           | 書き戻す           | 書き戻す           | 書き戻す           | 3     |

j=0 ~ 23

X : 0または1

### 15.3.9 DTC 実行サイクル数

表 15.9 に DTC 起動時の実行状態と必要なサイクル数を示します。表 15.10 にデータ転送に必要なサイクル数を示します。

表 15.9 DTC 起動時の実行状態と必要なサイクル数

| ベクタ読み出し | コントロールデータ |      | データ読み出し | データ書き込み | 内部動作 |
|---------|-----------|------|---------|---------|------|
|         | 読み出し      | 書き戻し |         |         |      |
| 1       | 5<br>(注2) |      | (注1)    | (注1)    | 1    |

注1. データ読み出し/データ書き込みに必要なサイクル数は「表 15.10 データ転送に必要なサイクル数」を参照してください。

注2. コントロールデータの書き戻しに必要なサイクル数は「表 15.8 コントロールデータ書き戻し仕様」を参照してください。

DTBLSj(j=0 ~ 23) レジスタ=N とすると、データ転送時、

- (1) N=2n(偶数)のとき、n回の2バイト転送
  - (2) N=2n+1(奇数)のとき、n回の2バイト転送後、1回の1バイト転送
- を実行します。

表 15.10 データ転送に必要なサイクル数

| 実行状態        | 転送単位    | 内部RAM<br>(DTC 転送中) |      | 内部ROM<br>(プログラム<br>ROM) | 内部ROM<br>(データ<br>フラッシュ) | SFR<br>(ワードアクセス) |      | SFR<br>(バイトアクセス) | SFR<br>(DTC コントロール<br>データ領域) |      |
|-------------|---------|--------------------|------|-------------------------|-------------------------|------------------|------|------------------|------------------------------|------|
|             |         | 偶数番地               | 奇数番地 |                         |                         | 偶数番地             | 奇数番地 |                  | 偶数番地                         | 奇数番地 |
| データ<br>読み出し | 1バイトSK1 | 1                  |      | 1                       | 2                       | 2                |      | 2                | 1                            |      |
|             | 2バイトSK2 | 1                  | 2    | 2                       | 4                       | 2                | 4    | 4                | 1                            | 2    |
| データ<br>書き込み | 1バイトSL1 | 1                  |      | —                       | —                       | 2                |      | 2                | 1                            |      |
|             | 2バイトSL2 | 1                  | 2    | —                       | —                       | 2                | 4    | 4                | 1                            | 2    |

実行サイクル数は下記計算式で求められます。

$$\text{実行サイクル数} = 1 + \sum [\text{式 A}] + 2$$

Σは1つの起動要因で転送する回数分(CHNEビットが“1”に設定されている数+1)の和

- (1) N = 2n(偶数)のとき

$$\text{式 A} = J + n \cdot SK2 + n \cdot SL2$$

- (2) N = 2n + 1(奇数)のとき

$$\text{式 A} = J + n \cdot SK2 + 1 \cdot SK1 + n \cdot SL2 + 1 \cdot SL1$$

J : コントロールデータ読み出しサイクル数(5サイクル) + 書き戻しに必要なサイクル数

16 ビット単位でアクセスする必要のあるレジスタに対して、データ読み出しありはデータ書き込みを行う場合は、DTBLSj(j = 0 ~ 23) レジスタに2以上の偶数値を設定してください。

DTC は 16 ビット単位でアクセスします。

### 15.3.10 DTC起動要因受付と割り込み要因フラグ

#### 15.3.10.1 フラッシュメモリ、タイマ RC、シンクロナスシリアルコミュニケーションユニット(SSU)/I<sup>2</sup>Cバス以外の割り込み要因

DTC起動要因がフラッシュメモリ、タイマRC、シンクロナスシリアルコミュニケーションユニット/I<sup>2</sup>Cバス以外の割り込み要因であるとき、DTCは割り込み要因が発生してからCPUクロックの8~12サイクルの間、同じDTC起動要因を受け付けることができません。ソフトウェアコマンド実行時に割り込み要因が発生した場合、CPUクロックの9~16サイクルの間、同じDTC起動要因を受け付けることができません。また、DTC動作中にDTC起動要因が発生し、受け付けられた場合には、その要因によってDTCが起動する直前のDTC転送終了後からCPUクロックの8~12サイクルの間、同じDTC起動要因を受け付けることができません。DTCが起動する直前のDTC転送終了直後にソフトウェアコマンドが実行される場合には、CPUクロックの16サイクルの間、同じDTC起動要因を受け付けることができません。

#### 15.3.10.2 フラッシュメモリ

DTC起動要因がフラッシュレディステータスのとき、FSTレジスタのRDYSTIビットが“1”(フラッシュレディステータス割り込み要求あり)になってからDTCが“0”(フラッシュレディステータス割り込み要求なし)にするまで、フラッシュレディステータス割り込み要求が発生しても、DTC起動要因になりません。DTCがRDYSTIビットを“0”にした後、フラッシュレディステータス割り込み要求が発生すると、DTCは起動要因として受け付けます。RDYSTIビットが“1”になってから、DTCが割り込み要因フラグを“0”にするまで、CPUクロックの8~12サイクル必要です。ソフトウェアコマンド実行時にフラッシュレディステータス割り込みが発生した場合、DTCが割り込み要因フラグを“0”にするまで、CPUクロックの9~16サイクル必要です。また、DTC動作中にフラッシュレディステータス割り込み要求が発生し、DTC起動要因として受け付けられた場合には、その要因によってDTCが起動する直前のDTC転送終了後からCPUクロックの8~12サイクル後に、RDYSTIビットが“0”になります。DTCが起動する直前のDTC転送終了直後にソフトウェアコマンドが実行される場合には、CPUクロックの16サイクル後に、RDYSTIビットが“0”になります。

#### 15.3.10.3 タイマRC

DTC起動要因がタイマRCの割り込み要因であるとき、割り込み要因フラグが“1”になってからDTCが割り込み要因フラグを“0”にするまで、インプットキャプチャ/コンペア一致が発生しても、DTC起動要因になりません。DTCが割り込み要因フラグを“0”にした後、インプットキャプチャ/コンペア一致が発生すると、DTCは起動要因として受け付けます。割り込み要因フラグが“1”になってからDTCが割り込み要因フラグを“0”にするまで、CPUクロックの8~12サイクル+タイマ動作クロックの0.5~1.5サイクル必要です。ソフトウェアコマンド実行時に割り込み要因フラグが“1”になった場合、DTCが割り込み要因フラグを“0”にするまで、CPUクロックの9~16サイクル+タイマ動作クロックの0.5~1.5サイクル必要です。また、DTC起動中にタイマRCの各DTC起動要因が発生し、受け付けられた場合には、その要因によってDTCが起動する直前のDTC転送終了後からCPUクロックの8~12サイクル+タイマ動作クロックの0.5~1.5サイクル後に、割り込み要因フラグが“0”になります。DTCが起動する直前のDTC転送終了直後にソフトウェアコマンドが実行される場合には、CPUクロックの16サイクル+タイマ動作クロックの0.5~1.5サイクル後に、割り込み要因フラグが“0”になります。

#### 15.3.10.4 SSU/I<sup>2</sup>C バス受信データフル

DTC 起動要因がSSU/I<sup>2</sup>C バス受信データフルであるとき、データ転送でSSRDR/ICDRR レジスタを読んでください。SSRDR/ICDRR レジスタを読むことで、SSSR/ICSR レジスタのRDRF ビットが“0”(SSRDR/ICDRR レジスタにデータなし)になります。その後、受信データフルの割り込み要因が発生すると、DTC は起動要因として受け付けます。

#### 15.3.10.5 SSU/I<sup>2</sup>C バス送信データエンプティ

DTC 起動要因がSSU/I<sup>2</sup>C バス送信データエンプティであるとき、データ転送でSSTDR/ICDRT レジスタへ書いてください。SSTDR/ICDRT レジスタへ書くことで、SSSR/ICSR レジスタのTDRE ビットが“0”(SSTDR/ICDRT レジスタからSSTRSR/ICDRS レジスタにデータ転送されていない)になります。その後、送信データエンプティの割り込み要因が発生すると、DTC は起動要因として受け付けます。

## 15.4 DTC 使用上の注意

### 15.4.1 DTC 起動要因

- ウェイトモード移行前、またはウェイトモード中に、DTC起動要因を発生させないでください。
- ストップモード移行前、またはストップモード中に、DTC起動要因を発生させないでください。

### 15.4.2 DTCENi(i=0 ~ 3、5、6) レジスタ

- DTCENi0 ~ DTCENi7 ビットは、そのビットに対応する割り込み要求が発生しない箇所で変更してください。
- 周辺機能のステータスレジスタの割り込み要因フラグが“1”的とき、対応する起動要因のDTCENi0 ~ DTCENi7 ビットを変化させないでください。
- DTC転送でDTCENi レジスタをアクセスしないでください。

### 15.4.3 周辺モジュール

- DTC転送で周辺機能のステータスレジスタのビットを“0”にしないでください。
- DTC起動要因がSSU/I<sup>2</sup>Cバス受信データフルのときは、DTC転送でSSRDR/ICDRR レジスタを読んでください。  
SSRDR/ICDRR レジスタを読むことで、SSSR/ICSR レジスタのRDRF ビットが“0”(SSRDR/ICDRR レジスタにデータなし)になります。  
ただし、DTCのデータ転送の設定が
  - ノーマルモードかつDTCC(j=j=0 ~ 23) レジスタが“1”から“0”になる転送
  - リピートモードかつDTCCRj レジスタのRPTINT ビットが“1”(割り込み発生許可)かつDTCC(j) レジスタが“1”から“0”になる転送のときには、SSRDR/ICDRR レジスタを読んでもSSSR/ICSR レジスタのRDRF ビットは“0”(SSRDR/ICDRR レジスタにデータなし)になりません。
- DTC起動要因がSSU/I<sup>2</sup>Cバス送信データエンプティのときは、DTC転送でSSTD/R/ICDRT レジスタへ書いてください。SSTD/R/ICDRT レジスタへ書くことで、SSSR/ICSR レジスタのTDRE ビットが“0”(SSTD/R/ICDRT レジスタからSSTRSR/ICDRS レジスタにデータ転送されていない)になります。

### 15.4.4 割り込み要求

DTC起動要因がSSU/I<sup>2</sup>C送信データエンプティまたはフラッシュレディステータスのとき、DTCがノーマルモードでDTCC(j=j=0 ~ 23) レジスタが“0”になるデータ転送を実行するとき、およびリピートモードでDTCCRj レジスタのRPTINT ビットが“1”(割り込み発生許可)かつDTCC(j) レジスタが“0”になるデータ転送を実行するとき、DTC動作中にCPUに対して起動要因となった割り込み要求を発生しません。

## 16. タイマ総論

タイマは、8ビットプリスケーラ付き8ビットタイマを2本と、16ビットタイマを1本と、4ビットカウンタ、8ビットカウンタを持つタイマを1本内蔵しています。8ビットプリスケーラ付き8ビットタイマは、タイマRA、およびタイマRBの2本です。これらのタイマはカウンタの初期値を記憶しておく、リロードレジスタを持ちます。16ビットタイマは、インプットキャプチャ、アウトプットコンペアを持ったタイマRCです。4ビットカウンタ、8ビットカウンタは、アウトプットコンペアを持ったタイマREです。すべてのタイマは、それぞれ独立して動作します。

表 16.1 に各タイマの機能比較を示します。

表 16.1 各タイマの機能比較

| 項目         | タイマRA                                      | タイマRB  | タイマRC  | タイマRE                      |
|------------|--|--|--|----------------------------|
| 構成         | 8ビットプリスケーラ付8ビットタイマ(リロードレジスタ付)              | 8ビットプリスケーラ付8ビットタイマ(リロードレジスタ付)                    | 16ビットタイマ(インプットキャプチャ、アウトプットコンペア付)                                   | 4ビットカウンタ<br>8ビットカウンタ       |
| カウント       | ダウンカウント                                    | ダウンカウント  | アップカウント  | アップカウント                    |
| カウントソース    | •f1<br>•f2<br>•f8<br>•fOC0<br>•fC32<br>•fC | •f1<br>•f2<br>•f8<br>•タイマRAアンダフロー                | •f1<br>•f2<br>•f4<br>•f8<br>•f32<br>•fOC040M<br>•fOC0-F<br>•TRCCLK | •f4<br>•f8<br>•f32<br>•fC4 |
| 機能         | 内部のカウントソースのカウント                            | タイマモード   | タイマモード(アウトプットコンペア機能)   | -                          |
|            | 外部のカウントソースのカウント                            | イベントカウンタモード                                      | タイマモード(アウトプットコンペア機能)   | -                          |
|            | 外部パルス幅/周期測定                                | パルス幅測定モード<br>パルス周期測定モード                          | タイマモード(インプットキャプチャ機能；4本)  | -                          |
| PWM出力      | パルス出力モード(注1)<br>イベントカウンタモード(注1)            | プログラマブル波形発生モード                                   | タイマモード(アウトプットコンペア機能；4本)(注1)<br>PWMモード(3本)<br>PWM2モード(1本)           | アウトプットコンペアモード(注1)          |
| ワンショット波形出力 | -  | プログラマブルワンショット発生モード<br>プログラマブルウェイト<br>ワンショット発生モード | PWMモード(3本)   | -                          |
| 三相波形出力     | -  | -  | -  | -                          |
| 時計         | タイマモード(fC32カウントのみ)                         | -  | -  | リアルタイムクロックモード              |
| 入力端子       | TRAIO<br>INT2                              | INT0   | INT0、TRCCLK、<br>TRCTRG、<br>TRCIOA、TRCIQB、<br>TRCIQC、TRCIOD         | -                          |
| 出力端子       | TRAQ<br>TRAIO                              | TRBO   | TRCIOA、TRCIQB、<br>TRCIQC、TRCIOD                                    | TREO                       |
| 関連する割り込み   | タイマRA割り込み<br>INT2割り込み                      | タイマRB割り込み<br>INT0割り込み                            | コンペア一致/インプットキャプチャ A ~ D割り込み<br>オーバフロー割り込み<br>INT0割り込み              | タイマRE割り込み                  |
| タイマ停止      | あり   | あり   | あり   | あり                         |

注1. 矩形波です。オーバフローごとの反転なので、パルスの“H”と“L”レベルの幅は同じです。

## 17. タイマRA

タイマRAは、8ビットプリスケーラ付き8ビットタイマです。

### 17.1 概要

プリスケーラとタイマはそれぞれリロードレジスタとカウンタから構成されます。リロードレジスタとカウンタは同じ番地に配置されており、TRAPREレジスタ、TRAレジスタにアクセスすると、リロードレジスタとカウンタにアクセスできます(表17.2～表17.6の各モードの仕様を参照)。

タイマRAのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図17.1にタイマRAのブロック図を、表17.1にタイマRAの端子構成を示します。タイマRAは、次の5種類のモードを持ちます。

- |              |   |
|--------------|---|
| ・タイマモード      | 内部カウントソースをカウントするモード                           |
| ・パルス出力モード    | 内部カウントソースをカウントし、タイマのアンダフローで極性を反転したパルスを出力するモード |
| ・イベントカウンタモード | 外部パルスをカウントするモード                               |
| ・パルス幅測定モード   | 外部パルスのパルス幅を測定するモード                            |
| ・パルス周期測定モード  | 外部パルスのパルス周期を測定するモード                           |

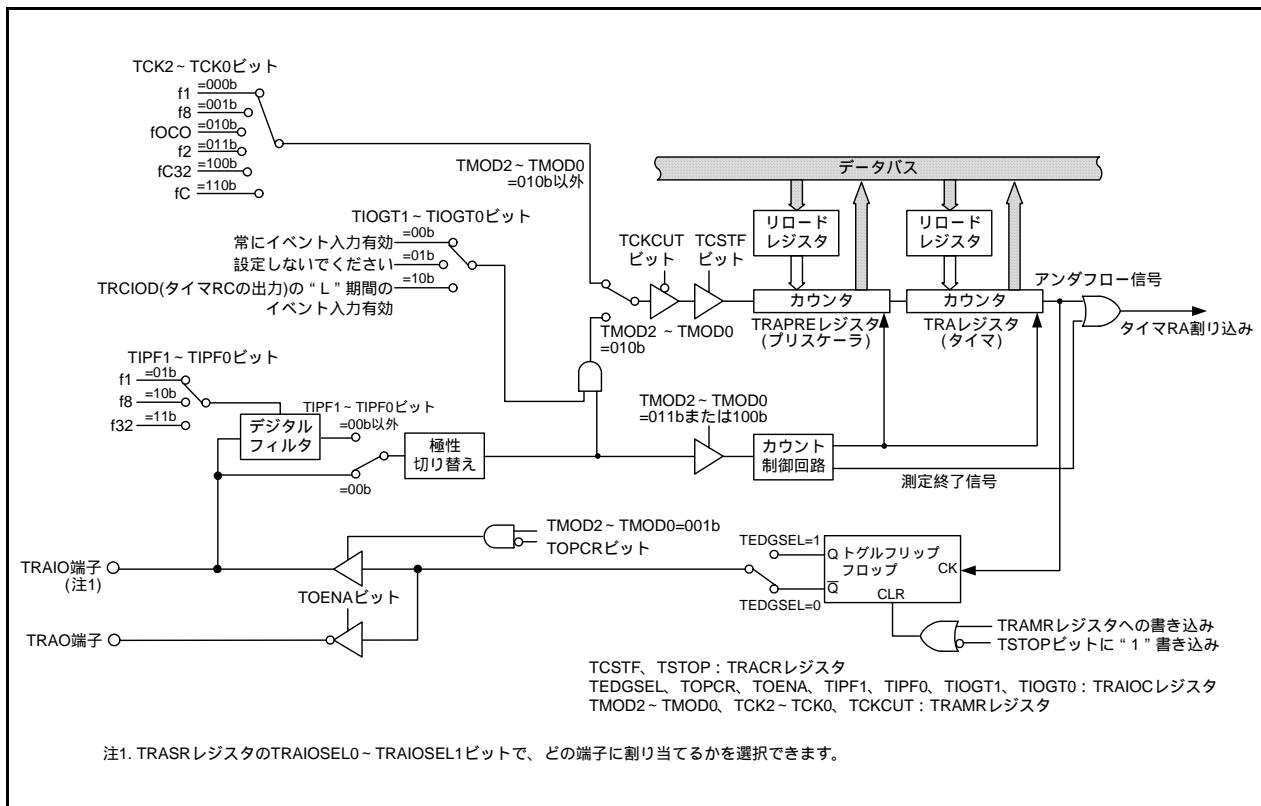


図 17.1 タイマRAのブロック図

表 17.1 タイマRAの端子構成

| 端子名   | 割り当てる端子     | 入出力 | 機能                                    |
|-------|-------------|-----|---------------------------------------|
| TRAIO | P1_5またはP1_7 | 入出力 | モードによって機能が異なります。<br>詳細は各モードを参照してください。 |
| TRAO  | P3_7        | 出力  |                                       |

## 17.2 レジスタの説明

### 17.2.1 タイマ RA制御レジスタ(TRACR)

アドレス 0100h番地

| ビット     | b7 | b6 | b5    | b4    | b3 | b2    | b1    | b0     |
|---------|----|----|-------|-------|----|-------|-------|--------|
| シンボル    | -  | -  | TUNDF | TEDGF | -  | TSTOP | TCSTF | TSTART |
| リセット後の値 | 0  | 0  | 0     | 0     | 0  | 0     | 0     | 0      |

| ビット | シンボル   | ビット名                                       | 機能                                 | R/W |
|-----|--------|--|------------------------------------|-----|
| b0  | TSTART | タイマRAカウント開始ビット(注1)                         | 0: カウント停止<br>1: カウント開始             | R/W |
| b1  | TCSTF  | タイマRAカウントステータスフラグ(注1)                      | 0: カウント停止<br>1: カウント中              | R   |
| b2  | TSTOP  | タイマRAカウント強制停止ビット(注2)                       | “1”を書くとカウントが強制停止します。読んだ場合、その値は“0”。 | R/W |
| b3  | -      | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -                                  | -   |
| b4  | TEDGF  | 有効エッジ判定フラグ(注3、4)                           | 0: 有効エッジなし<br>1: 有効エッジあり(測定期間終了)   | R/W |
| b5  | TUNDF  | タイマRAアンダフローフラグ(注3、4)                       | 0: アンダフローなし<br>1: アンダフローあり         | R/W |
| b6  | -      | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -                                  | -   |
| b7  | -      |  |                                    |     |

注1. TSTART、TCSTFビットの使用上の注意事項については、「17.8 タイマRA使用上の注意」を参照してください。

注2. TSTOPビットに“1”を書くと、TSTARTビット、TCSTFビット、TRAPREレジスタ、TRAレジスタがリセット後の値になります。

注3. プログラムで“0”を書くと、“0”になります(“1”を書いても変化しません)。

注4. タイマモード、パルス出力モード、イベントカウンタモードでは“0”にしてください。

パルス幅測定モード、パルス周期測定モードでは、TRACRレジスタにMOV命令を使用してください。このとき、TEDGFビット、TUNDFビットを変化させたくない場合は、これらのビットに“1”を書いてください。

### 17.2.2 タイマ RA I/O制御レジスタ(TRAIOC)

アドレス 0101h番地

| ビット     | b7     | b6     | b5    | b4    | b3     | b2    | b1    | b0      |
|---------|--------|--------|-------|-------|--------|-------|-------|---------|
| シンボル    | TIOGT1 | TIOGT0 | TIPF1 | TIPF0 | TIOSEL | TOENA | TOPCR | TEDGSEL |
| リセット後の値 | 0      | 0      | 0     | 0     | 0      | 0     | 0     | 0       |

| ビット | シンボル    | ビット名             | 機能              | R/W |
|-----|---------|------------------|-----------------|-----|
| b0  | TEDGSEL | TRAIO極性切り替えビット   | 動作モードによって機能が異なる | R/W |
| b1  | TOPCR   | TRAIO出力制御ビット     |                 | R/W |
| b2  | TOENA   | TRAO出力許可ビット      |                 | R/W |
| b3  | TIOSEL  | ハードウェアLIN機能選択ビット |                 | R/W |
| b4  | TIPF0   | TRAIO入力フィルタ選択ビット |                 | R/W |
| b5  | TIPF1   |                  |                 | R/W |
| b6  | TIOGT0  | TRAIOイベント入力制御ビット |                 | R/W |
| b7  | TIOGT1  |                  |                 | R/W |

### 17.2.3 タイマ RA モードレジスタ (TRAMR)

アドレス 0102h 番地

| ビット     | b7     | b6   | b5   | b4   | b3 | b2    | b1    | b0    |
|---------|--------|------|------|------|----|-------|-------|-------|
| シンボル    | TCKCUT | TCK2 | TCK1 | TCK0 | -  | TMOD2 | TMOD1 | TMOD0 |
| リセット後の値 | 0      | 0    | 0    | 0    | 0  | 0     | 0     | 0     |

| ビット | シンボル   | ビット名                                       | 機能   | R/W |
|-----|--------|--|--|-----|
| b0  | TMOD0  | タイマ RA動作モード選択ビット                           | b <sub>2</sub> b <sub>1</sub> b <sub>0</sub><br>0 0 0 : タイマモード<br>0 0 1 : パルス出力モード<br>0 1 0 : イベントカウンタモード<br>0 1 1 : パルス幅測定モード<br>1 0 0 : パルス周期測定モード<br>1 0 1 : 設定しないでください<br>1 1 0 : 設定しないでください<br>1 1 1 : 設定しないでください | R/W |
| b1  | TMOD1  |  |  | R/W |
| b2  | TMOD2  |  |  | R/W |
| b3  | -      | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |  | -   |
| b4  | TCK0   | タイマ RAカウントソース選択ビット                         | b <sub>6</sub> b <sub>5</sub> b <sub>4</sub><br>0 0 0 : f1<br>0 0 1 : f8<br>0 1 0 : fOC0<br>0 1 1 : f2<br>1 0 0 : fC32<br>1 0 1 : 設定しないでください<br>1 1 0 : fC<br>1 1 1 : 設定しないでください                                       | R/W |
| b5  | TCK1   |  |  | R/W |
| b6  | TCK2   |  |  | R/W |
| b7  | TCKCUT | タイマ RAカウントソース遮断ビット                         | 0 : カウントソース供給<br>1 : カウントソース遮断   | R/W |

TRACR レジスタのTSTART ビットとTCSTF ビットがともに“0”(カウント停止)のときに、TRAMR レジスタを変更してください。

### 17.2.4 タイマ RA プリスケーラレジスタ (TRAPRE)

アドレス 0103h 番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1  |

(注1)

| ビット                             | モード         | 機能                                      | 設定範囲      | R/W |
|---------------------------------|-------------|---|-----------|-----|
| b <sub>7</sub> ~ b <sub>0</sub> | タイマモード      | 内部カウントソースをカウント                          | 00h ~ FFh | R/W |
|                                 | パルス出力モード    |   | 00h ~ FFh | R/W |
|                                 | イベントカウンタモード | 外部カウントソースをカウント                          | 00h ~ FFh | R/W |
|                                 | パルス幅測定モード   | 外部からの入力パルスのパルス幅を測定<br>(内部カウントソースをカウント)  | 00h ~ FFh | R/W |
|                                 | パルス周期測定モード  | 外部からの入力パルスのパルス周期を測定<br>(内部カウントソースをカウント) | 00h ~ FFh | R/W |

注1. TRACR レジスタのTSTOP ビットに“1”を書くとTRAPRE レジスタは“FFh”になります。

### 17.2.5 タイマ RA レジスタ(TRA)

アドレス 0104h 番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1  |

(注1)

| ビット     | モード  | 機能                      | 設定範囲      | R/W |
|---------|------|-------------------------|-----------|-----|
| b7 ~ b0 | 全モード | TRAPRE レジスタのアンダフローをカウント | 00h ~ FFh | R/W |

注1. TRACR レジスタのTSTOP ピットに “1” を書くとTRA レジスタは “FFh” になります。

### 17.2.6 タイマ RA 端子選択レジスタ(TRASR)

アドレス 0180h 番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1        | b0        |
|---------|----|----|----|----|----|----|-----------|-----------|
| シンボル    | -  | -  | -  | -  | -  | -  | TRAIOSEL1 | TRAIOSEL0 |
| リセット後の値 | 0  | 0  | 0  | 0  | 0  | 0  | 0         | 0         |

| ビット | シンボル      | ビット名                                       | 機能   | R/W               |
|-----|-----------|--|--|-------------------|
| b0  | TRAIOSEL0 | TRAIO端子選択ビット                               | b1 b0<br>0 0 : TRAIO端子は使用しない<br>0 1 : P1_7に割り当てる<br>1 0 : P1_5に割り当てる<br>1 1 : 設定しないでください | R/W<br>R/W<br>R/W |
| b1  | TRAIOSEL1 |  |  |                   |
| b2  | -         | 予約ビット                                      | “0”にしてください   | R/W               |
| b3  | -         |  |  |                   |
| b4  | -         |  |  |                   |
| b5  | -         | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |  | -                 |
| b6  | -         |  |  |                   |
| b7  | -         |  |  |                   |

TRASR レジスタは、タイマ RA の入出力をどの端子に割り当てるかを選択するレジスタです。タイマ RA の入出力端子を使用する場合は、TRASR レジスタを設定してください。

タイマ RA の関連レジスタを設定する前に、TRASR レジスタを設定してください。また、タイマ RA の動作中はTRASR レジスタの設定値を変更しないでください。

### 17.3 タイマモード

内部で生成されたカウントソースをカウントするモードです(表 17.2)。

表 17.2 タイマモードの仕様

| 項目            | 仕様  |
|---------------|---|
| カウントソース       | f1、f2、f8、fOCO、fC32、fC   |
| カウント動作        | ・ダウンカウント<br>・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続   |
| 分周比           | $1/(n+1)(m+1)$<br>n : TRAPRE レジスタの設定値、m : TRA レジスタの設定値  |
| カウント開始条件      | TRACR レジスタのTSTART ビットへの “1”(カウント開始)書き込み   |
| カウント停止条件      | ・TRACR レジスタのTSTART ビットへの “0”(カウント停止)書き込み<br>・TRACR レジスタのTSTOP ビットへの “1”(カウント強制停止)書き込み   |
| 割り込み要求発生タイミング | タイマRAのアンダフロー時 [タイマRA割り込み]   |
| TRAIO 端子機能    | プログラマブル入出力ポート   |
| TRAO 端子機能     | プログラマブル入出力ポート   |
| タイマの読み出し      | TRA レジスタ、TRAPRE レジスタを読み出すと、それぞれカウント値が読み出される   |
| タイマの書き込み      | ・カウント停止中に、TRAPRE レジスタ、TRA レジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる<br>・カウント中に、TRAPRE レジスタ、TRA レジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」参照) |

#### 17.3.1 タイマ RA I/O 制御レジスタ(TRAIOC)[タイマモード時]

アドレス 0101h 番地

| ビット     | b7     | b6     | b5    | b4    | b3 | b2    | b1    | b0      |
|---------|--------|--------|-------|-------|----|-------|-------|---------|
| シンボル    | TIOGT1 | TIOGT0 | TIPF1 | TIPF0 | -  | TOENA | TOPCR | TEDGSEL |
| リセット後の値 | 0      | 0      | 0     | 0     | 0  | 0     | 0     | 0       |

| ビット | シンボル    | ビット名              | 機能                 | R/W |
|-----|---------|-------------------|--------------------|-----|
| b0  | TEDGSEL | TRAIO 極性切り替えビット   | タイマモードでは“0”にしてください | R/W |
| b1  | TOPCR   | TRAIO 出力制御ビット     |                    | R/W |
| b2  | TOENA   | TRAO 出力許可ビット      |                    | R/W |
| b3  | -       | 予約ビット             | “0”にしてください。        | R/W |
| b4  | TIPF0   | TRAIO 入力フィルタ選択ビット | タイマモードでは“0”にしてください | R/W |
| b5  | TIPF1   |                   |                    | R/W |
| b6  | TIOGT0  | TRAIO イベント入力制御ビット |                    | R/W |
| b7  | TIOGT1  |                   |                    | R/W |

### 17.3.2 カウント中のタイマ書き込み制御

タイマRAはプリスケーラと、タイマ(プリスケーラのアンダフローをカウントする狭義のタイマ)を持ち、それぞれにリロードレジスタとカウンタがあります。プリスケーラやタイマに書き込む場合、リロードレジスタとカウンタの両方に値が書き込まれます。

しかし、プリスケーラのリロードレジスタからカウンタへは、カウントソースに同期して値を転送します。また、タイマのリロードレジスタからカウンタへは、プリスケーラのアンダフローに同期して値を転送します。このため、カウント中にプリスケーラやタイマに書き込むと、書き込み命令実行後すぐにはカウンタの値が更新されません。図 17.2 にタイマRAカウント中にカウント値を書き換えた場合の動作例を示します。

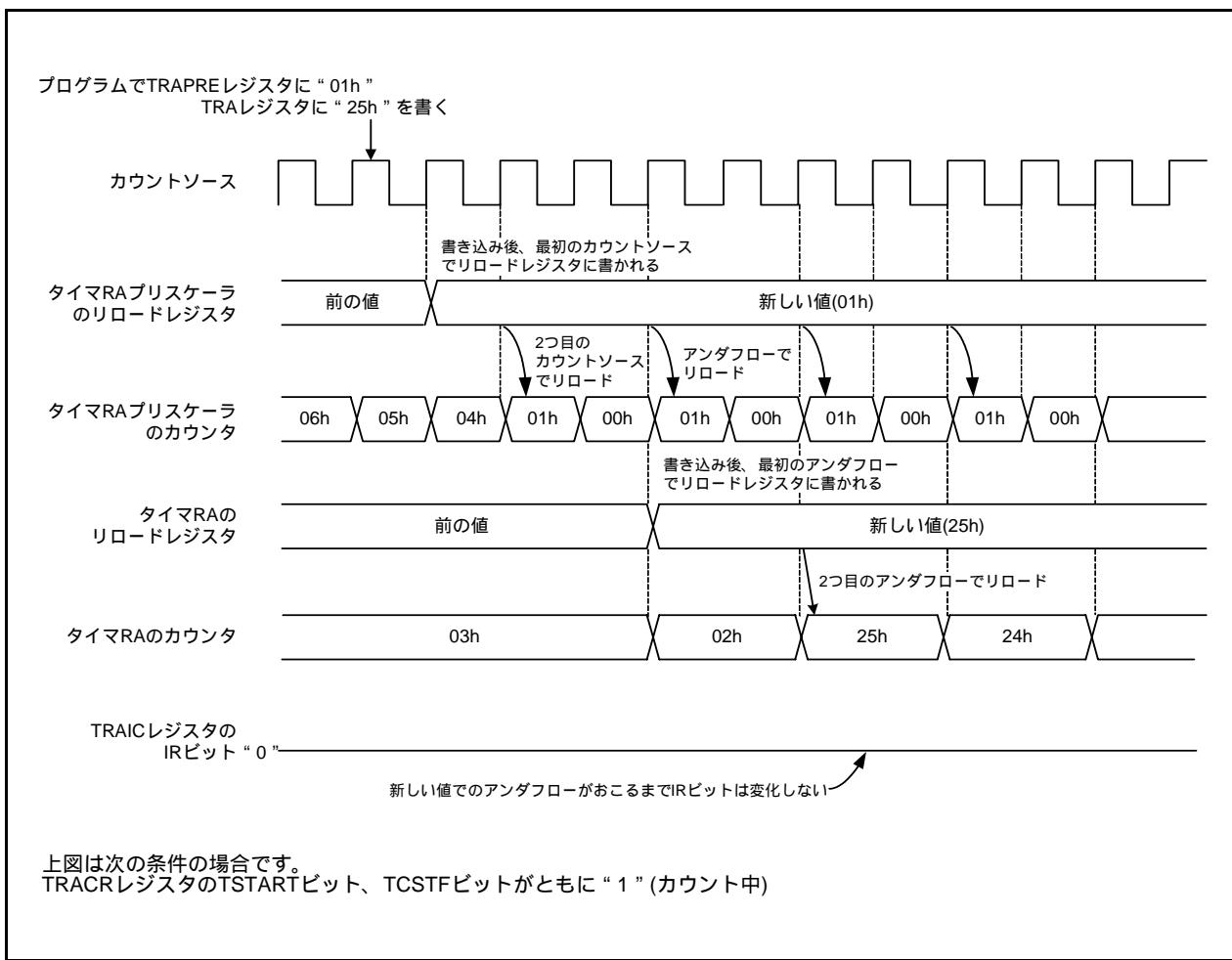


図 17.2 タイマRAカウント中にカウント値を書き換えた場合の動作例

## 17.4 パルス出力モード

内部で生成されたカウントソースをカウントし、タイマがアンダフローするごとに、極性を反転したパルスをTRAIO端子から出力するモードです(表 17.3)。

表 17.3 パルス出力モードの仕様

| 項目            | 仕 様  |
|---------------|--|
| カウントソース       | f1、f2、f8、fOCO、fC32、fC  |
| カウント動作        | <ul style="list-style-type: none"> <li>・ダウンカウント</li> <li>・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続</li> </ul>  |
| 分周比           | $1/(n+1)(m+1)$<br>n : TRAPRE レジスタの設定値、m : TRA レジスタの設定値   |
| カウント開始条件      | TRACR レジスタのTSTART ビットへの“1”(カウント開始)書き込み   |
| カウント停止条件      | <ul style="list-style-type: none"> <li>・TRACR レジスタのTSTART ビットへの“0”(カウント停止)書き込み</li> <li>・TRACR レジスタのTSTOP ビットへの“1”(カウント強制停止)書き込み</li> </ul>  |
| 割り込み要求発生タイミング | タイマRAのアンダフロー時 [タイマRA割り込み]  |
| TRAIO信号端子機能   | パルス出力、またはプログラマブル出力ポート  |
| TRAO端子機能      | プログラマブル入出力ポート、またはTRAIO出力の反転出力  |
| タイマの読み出し      | TRA レジスタ、TRAPRE レジスタを読み出すと、それぞれカウント値が読み出される  |
| タイマの書き込み      | <ul style="list-style-type: none"> <li>・カウント停止中に、TRAPRE レジスタ、TRA レジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>・カウント中に、TRAPRE レジスタ、TRA レジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」参照)</li> </ul>  |
| 選択機能          | <ul style="list-style-type: none"> <li>・TRAIO出力極性切り替え機能<br/>TRAI0C レジスタのTEDGSEL ビットでパルス出力開始時のレベルを選択(注1)</li> <li>・TRA0出力機能<br/>TRAIO 出力の極性を反転したパルスを TRAO 端子から出力 (TRAI0C レジスタのTOENA ビットで選択)</li> <li>・パルス出力停止機能<br/>TRAI0C レジスタのTOPCR ビットでTRAIO 端子からのパルス出力を停止</li> <li>・TRAIO 端子選択機能<br/>TRASR レジスタのTRAI0SEL0 ~ TRAI0SEL1 ビットでP1_5 またはP1_7 を選択</li> </ul> |

注1. TRAMR レジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

### 17.4.1 タイマ RA I/O 制御レジスタ(TRAIOC)[パルス出力モード時]

アドレス 0101h 番地

| ビット     | b7     | b6     | b5    | b4    | b3 | b2    | b1    | b0      |
|---------|--------|--------|-------|-------|----|-------|-------|---------|
| シンボル    | TIOGT1 | TIOGT0 | TIPF1 | TIPF0 | -  | TOENA | TOPCR | TEDGSEL |
| リセット後の値 | 0      | 0      | 0     | 0     | 0  | 0     | 0     | 0       |

| ビット | シンボル    | ビット名             | 機能   | R/W |
|-----|---------|------------------|--|-----|
| b0  | TEDGSEL | TRAIO極性切り替えビット   | 0：“H”からTRAIO出力開始<br>1：“L”からTRAIO出力開始           | R/W |
| b1  | TOPCR   | TRAIO出力制御ビット     | 0：TRAIO出力<br>1：TRAIO出力禁止                       | R/W |
| b2  | TOENA   | TRAO出力許可ビット      | 0：TRAO出力禁止<br>1：TRAO出力<br>(TRAIO出力の反転をポートから出力) | R/W |
| b3  | -       | 予約ビット            | “0”にしてください                                     | R/W |
| b4  | TIPF0   | TRAIO入力フィルタ選択ビット | パルス出力モードでは“0”にしてください                           | R/W |
| b5  | TIPF1   |                  |  | R/W |
| b6  | TIOGT0  | TRAIOイベント入力制御ビット |  | R/W |
| b7  | TIOGT1  |                  |  | R/W |

## 17.5 イベントカウンタモード

TRAIO端子から入力する外部信号をカウントするモードです(表 17.4)。

表 17.4 イベントカウンタモードの仕様

| 項目            | 仕 様   |
|---------------|---|
| カウントソース       | TRAIO端子に入力された外部信号(プログラムで有効エッジを選択可能)   |
| カウント動作        | <ul style="list-style-type: none"> <li>・ダウンカウント</li> <li>・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続</li> </ul>   |
| 分周比           | $1/(n+1)(m+1)$<br>n : TRAPRE レジスタの設定値、m : TRA レジスタの設定値  |
| カウント開始条件      | TRACR レジスタのTSTART ビットへの“1”(カウント開始)書き込み  |
| カウント停止条件      | <ul style="list-style-type: none"> <li>・TRACR レジスタのTSTART ビットへの“0”(カウント停止)書き込み</li> <li>・TRACR レジスタのTSTOP ビットへの“1”(カウント強制停止)書き込み</li> </ul>   |
| 割り込み要求発生タイミング | タイマ RA のアンダフロー時 [タイマ RA 割り込み]   |
| TRAIO 信号端子機能  | カウントソース入力   |
| TRAO 端子機能     | プログラマブル入出力ポートまたはパルス出力(注1)   |
| タイマの読み出し      | TRA レジスタ、TRAPRE レジスタを読み出すと、それぞれカウント値が読み出される   |
| タイマの書き込み      | <ul style="list-style-type: none"> <li>・カウント停止中に、TRAPRE レジスタ、TRA レジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>・カウント中に、TRAPRE レジスタ、TRA レジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」参照)</li> </ul>   |
| 選択機能          | <ul style="list-style-type: none"> <li>・TRAIO 入力極性切り替え機能<br/>TRAI0C レジスタのTEDGSEL ビットでカウントソースの有効エッジを選択</li> <li>・カウントソース入力端子選択機能<br/>TRASR レジスタのTRAI0SEL0 ~ TRAI0SEL1 ビットでP1_5 またはP1_7 を選択</li> <li>・パルス出力機能<br/>タイマがアンダフローするごとに、極性を反転したパルスをTRAO 端子から出力(TRAI0C レジスタのTOENA ビットで選択)(注1)</li> <li>・デジタルフィルタ機能<br/>デジタルフィルタの有無とサンプリング周波数をTRAI0C レジスタのTIPF0 ~ TIPF1 ビットで選択</li> <li>・イベント入力制御機能<br/>TRAIO 端子へのイベント入力の有効期間をTRAI0C レジスタのTIOGT0 ~ TIOGT1 ビットで選択</li> </ul> |

注1. TRAMR レジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

## 17.5.1 タイマ RA I/O 制御レジスタ(TRAIOC)[イベントカウンタモード時]

アドレス 0101h 番地

| ビット     | b7     | b6     | b5    | b4    | b3 | b2    | b1    | b0      |
|---------|--------|--------|-------|-------|----|-------|-------|---------|
| シンボル    | TIOGT1 | TIOGT0 | TIPF1 | TIPF0 | -  | TOENA | TOPCR | TEDGSEL |
| リセット後の値 | 0      | 0      | 0     | 0     | 0  | 0     | 0     | 0       |

| ビット | シンボル    | ビット名                     | 機能  | R/W |
|-----|---------|--------------------------|---|-----|
| b0  | TEDGSEL | TRAIO極性切り替えビット           | 0 : TRAIO入力の立ち上がりエッジでカウント<br>また、“L”からTRAO出力開始<br>1 : TRAIO入力の立ち下がりエッジでカウント<br>また、“H”からTRAO出力開始                      | R/W |
| b1  | TOPCR   | TRAIO出力制御ビット             | イベントカウンタモードでは“0”にしてください   | R/W |
| b2  | TOENA   | TRAO出力許可ビット              | 0 : TRAO出力禁止<br>1 : TRAO出力  | R/W |
| b3  | -       | 予約ビット                    | “0”にしてください  | R/W |
| b4  | TIPF0   | TRAIO入力フィルタ選択ビット<br>(注1) | <sup>b5 b4</sup><br>00 : フィルタなし<br>01 : フィルタあり、f1でサンプリング<br>10 : フィルタあり、f8でサンプリング<br>11 : フィルタあり、f32でサンプリング         | R/W |
| b5  | TIPF1   |                          |   | R/W |
| b6  | TIOGT0  | TRAIOイベント入力制御ビット         | <sup>b7 b6</sup><br>00 : 常にイベント入力有効<br>01 : 設定しないでください<br>10 : TRCIOD(タイマ RC の出力)の“L”期間のイベント入力有効<br>11 : 設定しないでください | R/W |
| b7  | TIOGT1  |                          |   | R/W |

注1. TRAIO端子から同じ値を3回連続してサンプリングした時点で入力が確定します。

## 17.6 パルス幅測定モード

TRAIO端子から入力する外部信号のパルス幅を測定するモードです(表 17.5)。

図 17.3 にパルス幅測定モード時の動作例を示します。

表 17.5 パルス幅測定モードの仕様

| 項目            | 仕 様  |
|---------------|--|
| カウントソース       | f1、f2、f8、fOCO、fC32、fC  |
| カウント動作        | <ul style="list-style-type: none"> <li>・ダウンカウント</li> <li>・測定パルスの“H”レベルの期間、または“L”レベルの期間のみカウントを継続</li> <li>・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続</li> </ul>  |
| カウント開始条件      | TRACR レジスタのTSTART ビットへの“1”(カウント開始)書き込み   |
| カウント停止条件      | <ul style="list-style-type: none"> <li>・TRACR レジスタのTSTART ビットへの“0”(カウント停止)書き込み</li> <li>・TRACR レジスタのTSTOP ビットへの“1”(カウント強制停止)書き込み</li> </ul>  |
| 割り込み要求発生タイミング | <ul style="list-style-type: none"> <li>・タイマ RAのアンダフロー時 [タイマ RA割り込み]</li> <li>・TRAIO 入力の立ち上がり、または立ち下がり(測定期間終了)[タイマ RA割り込み]</li> </ul>   |
| TRAIO 信号端子機能  | 測定パルス入力  |
| TRAO 端子機能     | プログラマブル入出力ポート  |
| タイマの読み出し      | TRA レジスタ、TRAPRE レジスタを読み出すと、それぞれカウント値が読み出される  |
| タイマの書き込み      | <ul style="list-style-type: none"> <li>・カウント停止中に、TRAPRE レジスタ、TRA レジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>・カウント中に、TRAPRE レジスタ、TRA レジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」参照)</li> </ul>  |
| 選択機能          | <ul style="list-style-type: none"> <li>・測定レベル設定<br/>TRAI0C レジスタのTEDGSEL ビットで“H”レベル期間、または“L”レベル期間を選択</li> <li>・測定パルス入力端子選択機能<br/>TRASR レジスタのTRAI0SEL0 ~ TRAI0SEL1 ビットでP1_5またはP1_7を選択</li> <li>・デジタルフィルタ機能<br/>デジタルフィルタの有無とサンプリング周波数をTIPF0 ~ TIPF1 ビットで選択</li> </ul> |

### 17.6.1 タイマ RA I/O 制御レジスタ(TRAIOC)[パルス幅測定モード時]

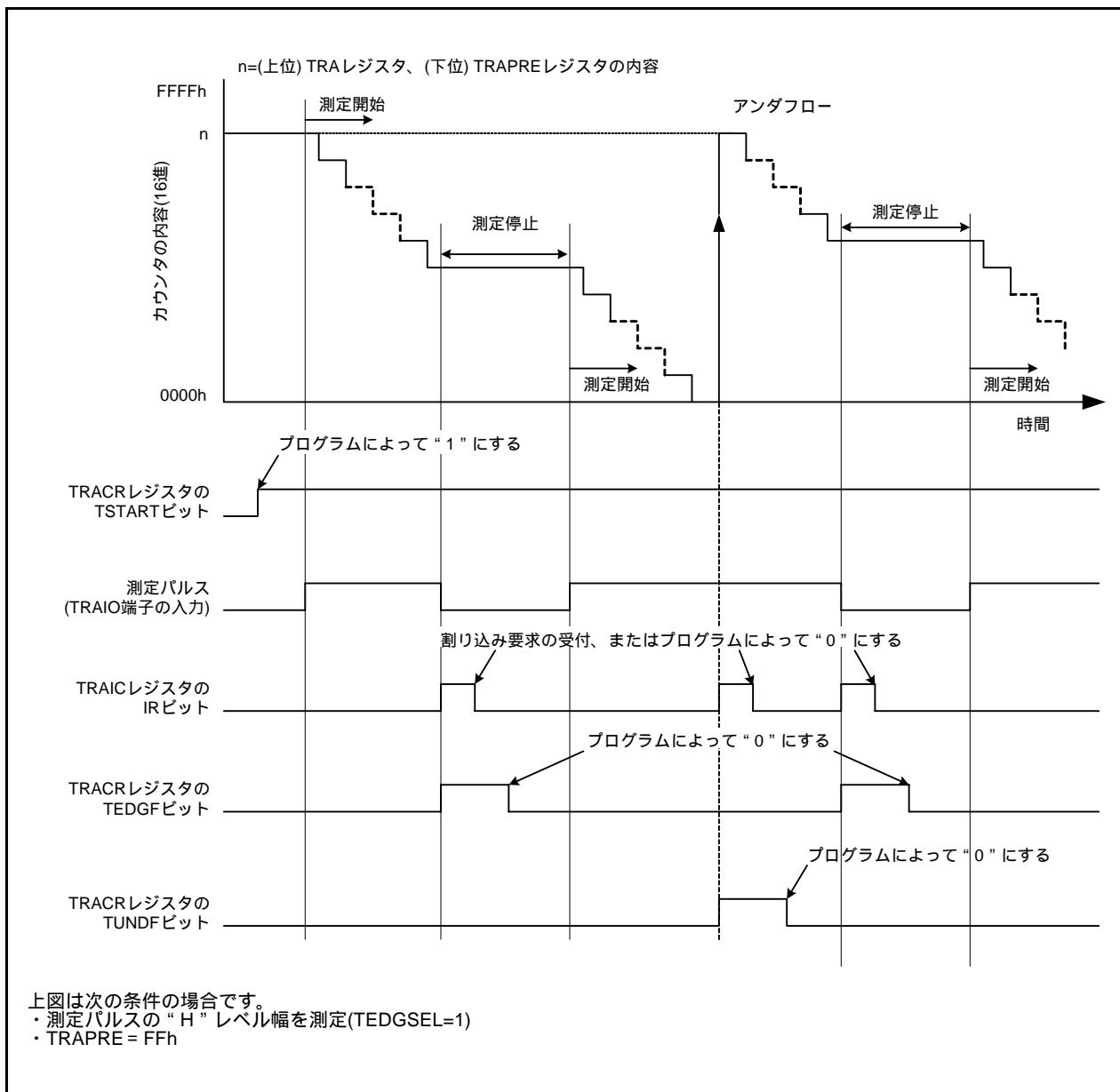
アドレス 0101h 番地

| ビット     | b7     | b6     | b5    | b4    | b3 | b2    | b1    | b0      |
|---------|--------|--------|-------|-------|----|-------|-------|---------|
| シンボル    | TIOGT1 | TIOGT0 | TIPF1 | TIPF0 | -  | TOENA | TOPCR | TEDGSEL |
| リセット後の値 | 0      | 0      | 0     | 0     | 0  | 0     | 0     | 0       |

| ビット | シンボル    | ビット名                     | 機能   | R/W |
|-----|---------|--------------------------|--|-----|
| b0  | TEDGSEL | TRAIO極性切り替えビット           | 0 : TRAIO入力の“L”レベル幅を測定<br>1 : TRAIO入力の“H”レベル幅を測定   | R/W |
| b1  | TOPCR   | TRAIO出力制御ビット             | パルス幅測定モードでは“0”にしてください  | R/W |
| b2  | TOENA   | TRAO出力許可ビット              |  | R/W |
| b3  | -       | 予約ビット                    | “0”にしてください   | R/W |
| b4  | TIPF0   | TRAIO入力フィルタ選択ビット<br>(注1) | b5 b4<br>0 0 : フィルタなし<br>0 1 : フィルタあり、f1でサンプリング<br>1 0 : フィルタあり、f8でサンプリング<br>1 1 : フィルタあり、f32でサンプリング | R/W |
| b5  | TIPF1   |                          |  | R/W |
| b6  | TIOGT0  | TRAIOイベント入力制御ビット         | パルス幅測定モードでは“0”にしてください  | R/W |
| b7  | TIOGT1  |                          |  | R/W |

注1. TRAIO端子から同じ値を3回連続してサンプリングした時点で入力が確定します。

## 17.6.2 動作例



## 17.7 パルス周期測定モード

TRAIO端子から入力する外部信号のパルス周期を測定するモードです(表 17.6)。

図 17.4 にパルス周期測定モード時の動作例を示します。

表 17.6 パルス周期測定モードの仕様

| 項目            | 仕 様  |
|---------------|--|
| カウントソース       | f1、f2、f8、fOC0、fC32、fC  |
| カウント動作        | <ul style="list-style-type: none"> <li>・ダウンカウント</li> <li>・測定パルスの有効エッジ入力後、1回目のタイマRAプリスケーラのアンダフロー時に読み出し用バッファの内容を保持し、2回目のタイマRAプリスケーラのアンダフロー時にタイマRAはリロードレジスタの内容をリロードしてカウントを継続</li> </ul>   |
| カウント開始条件      | TRACR レジスタのTSTARTビットへの“1”(カウント開始)書き込み  |
| カウント停止条件      | <ul style="list-style-type: none"> <li>・TRACR レジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>・TRACR レジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>  |
| 割り込み要求発生タイミング | <ul style="list-style-type: none"> <li>・タイマRAのアンダフロー時、またはリロード時 [タイマRA割り込み]</li> <li>・TRAIO入力の立ち上がり、または立ち下がり(測定期間終了)[タイマRA割り込み]</li> </ul>  |
| TRAIO端子機能     | 測定パルス入力(注1)  |
| TRAO端子機能      | プログラマブル入出力ポート  |
| タイマの読み出し      | TRA レジスタ、TRAPRE レジスタを読み出すと、それぞれカウント値が読み出される  |
| タイマの書き込み      | <ul style="list-style-type: none"> <li>・カウント停止中に、TRAPRE レジスタ、TRA レジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>・カウント中に、TRAPRE レジスタ、TRA レジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2 カウント中のタイマ書き込み制御」参照)</li> </ul>                                  |
| 選択機能          | <ul style="list-style-type: none"> <li>・測定期間選択<br/>TRAI0C レジスタのTEDGSELビットで入力パルスの測定期間を選択</li> <li>・測定パルス入力端子選択機能<br/>TRASR レジスタのTRAI0SEL0 ~ TRAI0SEL1ビットでP1_5またはP1_7を選択</li> <li>・デジタルフィルタ機能<br/>デジタルフィルタの有無とサンプリング周波数をTIPF0 ~ TIPF1ビットで選択</li> </ul> |

注1. タイマRAプリスケーラの周期の2倍より長い周期のパルスを入力してください。また、“H”幅、“L”幅それぞれが、タイマRAプリスケーラの周期より長いパルスを入力してください。これより周期の短いパルスが入力された場合、その入力は無視されることがあります。

### 17.7.1 タイマ RA I/O 制御レジスタ(TRAIOC)[パルス周期測定モード時]

アドレス 0101h 番地

| ビット     | b7     | b6     | b5    | b4    | b3 | b2    | b1    | b0      |
|---------|--------|--------|-------|-------|----|-------|-------|---------|
| シンボル    | TIOGT1 | TIOGT0 | TIPF1 | TIPF0 | -  | TOENA | TOPCR | TEDGSEL |
| リセット後の値 | 0      | 0      | 0     | 0     | 0  | 0     | 0     | 0       |

| ビット | シンボル    | ビット名                     | 機能   | R/W |
|-----|---------|--------------------------|--|-----|
| b0  | TEDGSEL | TRAIO極性切り替えビット           | 0 : 測定パルスの立ち上がりから立ち上がり間測定<br>1 : 測定パルスの立ち下がりから立ち下がり間測定   | R/W |
| b1  | TOPCR   | TRAIO出力制御ビット             | パルス周期測定モードでは“0”にしてください   | R/W |
| b2  | TOENA   | TRAO出力許可ビット              |  | R/W |
| b3  | -       | 予約ビット                    | “0”にしてください   | R/W |
| b4  | TIPF0   | TRAIO入力フィルタ選択ビット<br>(注1) | b5 b4<br>00 : フィルタなし<br>01 : フィルタあり、f1でサンプリング<br>10 : フィルタあり、f8でサンプリング<br>11 : フィルタあり、f32でサンプリング | R/W |
| b5  | TIPF1   |                          |  | R/W |
| b6  | TIOGT0  | TRAIOイベント入力制御ビット         | パルス周期測定モードでは“0”にしてください   | R/W |
| b7  | TIOGT1  |                          |  | R/W |

注1. TRAIO端子から同じ値を3回連続してサンプリングした時点で入力が確定します。

## 17.7.2 動作例

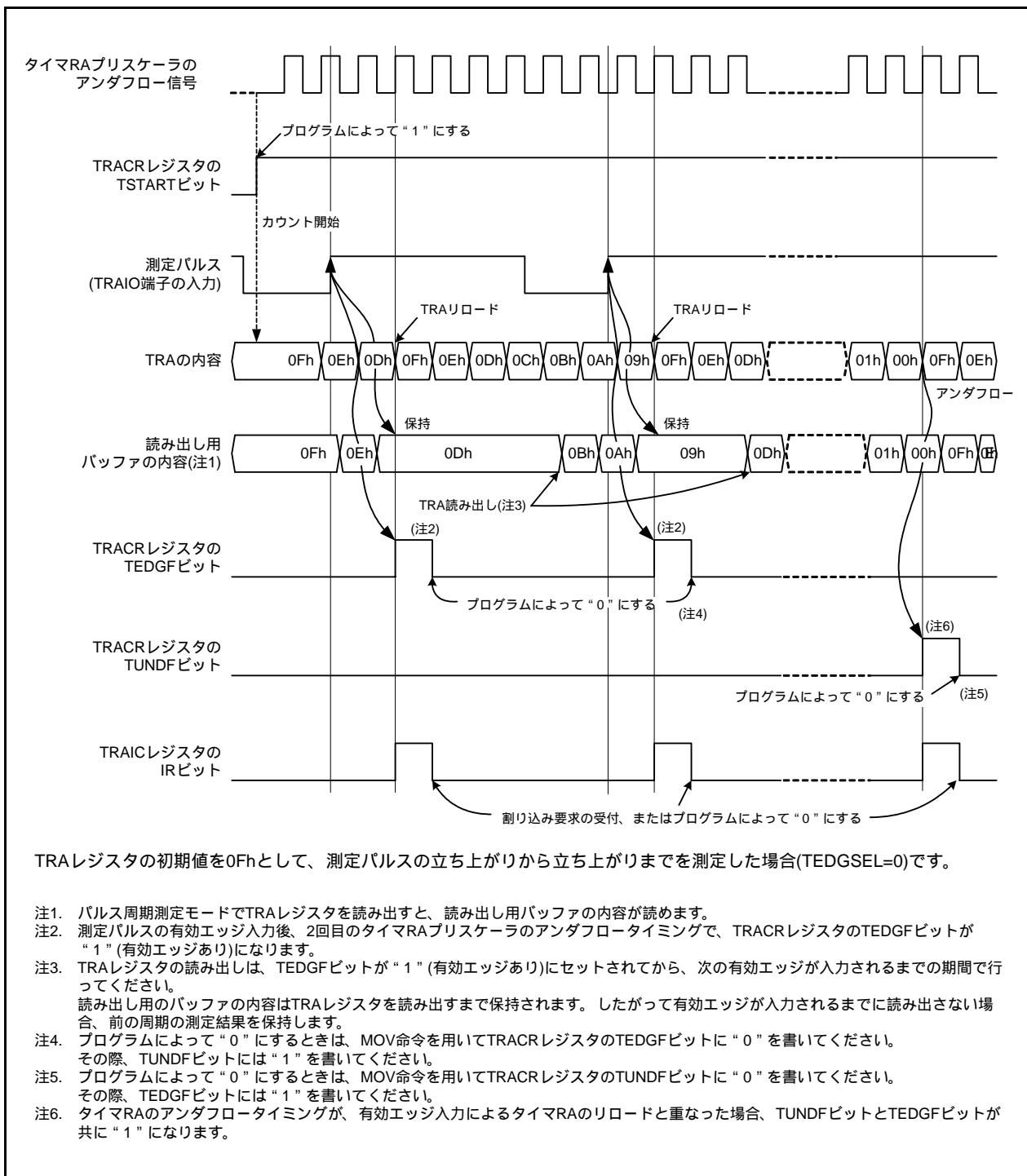


図 17.4 パルス周期測定モード時の動作例

## 17.8 タイマ RA 使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケーラに値を設定した後、カウントを開始してください。
  - プリスケーラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
  - パルス幅測定モードおよびパルス周期測定モードで使用する TRACR レジスタの TEDGF ビットと TUNDF ビットは、プログラムで “0” を書くと “0” になり、“1” を書いても変化しません。TRACR レジスタにリードモディファイライト命令を使用した場合、命令実行中に TEDGF ビット、TUNDF ビットが “1” になっても “0” にする場合があります。このとき、“0” にしたくないTEDGFビット、TUNDFビットにはMOV命令で “1” を書いてください。
  - 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGF ビットと TUNDF ビットは不定です。TEDGF ビットと TUNDF ビットに “0” を書いてから、タイマ RA のカウントを開始してください。
  - カウント開始後に初めて発生するタイマ RA プリスケーラのアンダーフロー信号で、TEDGF ビットが “1” になる場合があります。
  - パルス周期測定モードを使用する場合は、カウント開始直後にタイマ RA プリスケーラの2周期以上の時間を空けて、TEDGF ビットを “0” にしてから使用してください。
  - カウント停止中に TSTART ビットに “1” を書いた後は、カウントソースの 0 ~ 1 サイクルの間、TCSTF ビットは “0” になっています。
- TCSTF ビットが “1” になるまで、TCSTF ビットを除くタイマ RA 関連レジスタ(注1)をアクセスしないでください。
- TCSTF ビットが “1” になった後の最初のカウントソースの有効エッジからカウントを開始します。カウント中に TSTART ビットに “0” を書いた後は、カウントソースの 0 ~ 1 サイクルの間、TCSTF ビットは “1” になっています。TCSTF ビットが “0” になったときカウントは停止します。
- TCSTF ビットが “0” になるまで、TCSTF ビットを除くタイマ RA 関連レジスタ(注1)をアクセスしないでください。

注1. タイマ RA 関連レジスタ : TRACR、TRAI0C、TRAMR、TRAPRE、TRA

- カウント中(TCSTF ビットが “1”)に TRAPRE レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- カウント中(TCSTF ビットが “1”)に TRA レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダーフローの3周期以上空けてください。

## 18. タイマ RB

タイマRBは、8ビットプリスケーラ付き8ビットタイマです。

### 18.1 概要

プリスケーラとタイマはそれぞれリロードレジスタとカウンタから構成されます(リロードレジスタとカウンタへのアクセスは表18.2～表18.5の各モードの仕様を参照してください)。タイマRBは、リロードレジスタとしてタイマRBプライマリ、タイマRBセカンダリの2つのレジスタを持ちます。

タイマRBのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図18.1にタイマRBのブロック図を、表18.1にタイマRBの端子構成を示します。

タイマRBは、次の4種類のモードを持ちます。

- ・タイマモード
- ・プログラマブル波形発生モード
- ・プログラマブルワンショット発生モード
- ・プログラマブルウェイトワンショット発生モード

内部カウントソース(周辺機能クロックまたはタイマRAのアンダフロー)をカウントするモード  
任意のパルス幅を連続して出力するモード  
ワンショットパルスを出力するモード  
ディレイドワンショットパルスを出力するモード

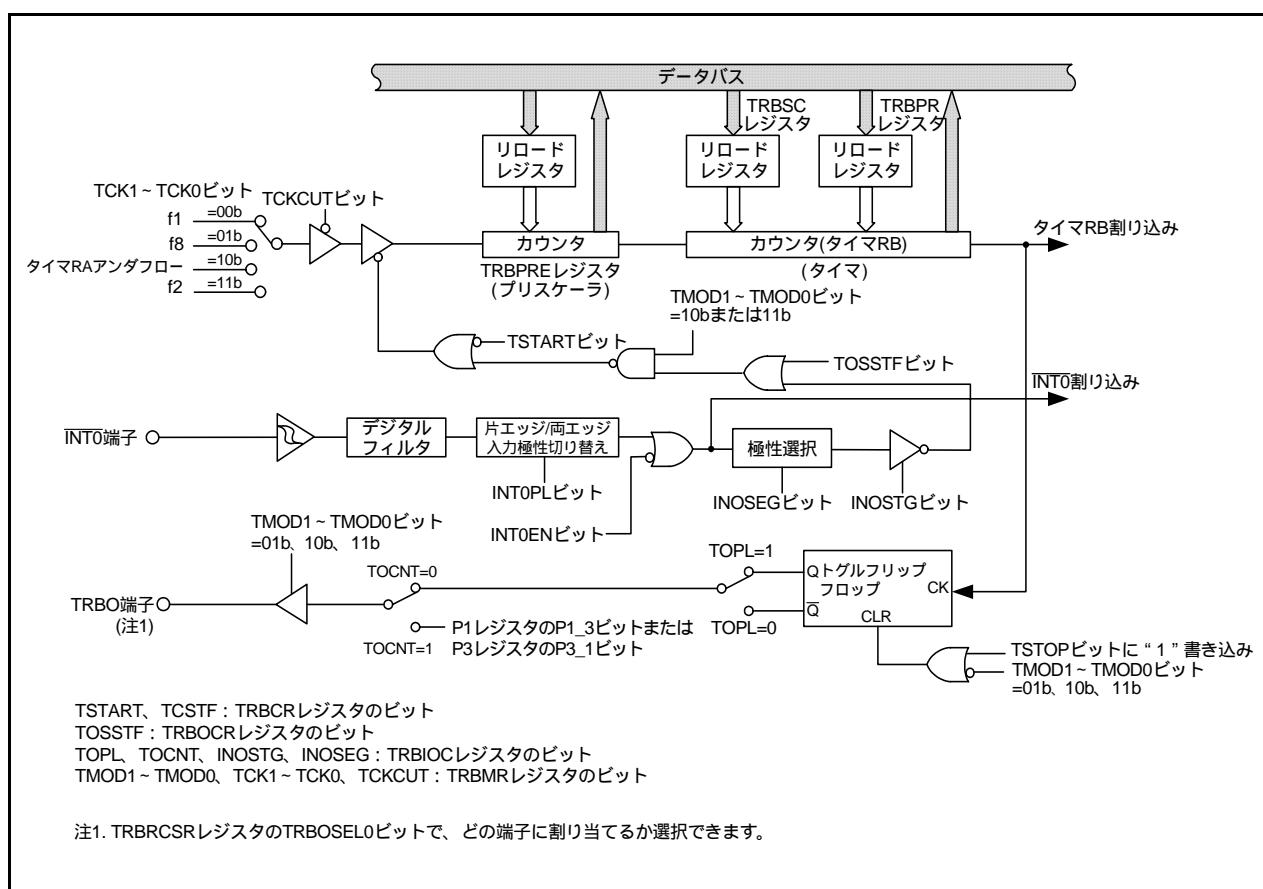


図 18.1 タイマ RB のブロック図

表 18.1 タイマ RB の端子構成

| 端子名  | 割り当てる端子     | 入出力 | 機能  |
|------|-------------|-----|---|
| TRBO | P1_3またはP3_1 | 出力  | パルス出力(プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード) |

## 18.2 レジスタの説明

### 18.2.1 タイマ RB制御レジスタ(TRBCR)

アドレス 0108h番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2    | b1    | b0     |
|---------|----|----|----|----|----|-------|-------|--------|
| シンボル    | -  | -  | -  | -  | -  | TSTOP | TCSTF | TSTART |
| リセット後の値 | 0  | 0  | 0  | 0  | 0  | 0     | 0     | 0      |

| ビット | シンボル   | ビット名                                       | 機能                                 | R/W |
|-----|--------|--|------------------------------------|-----|
| b0  | TSTART | タイマ RBカウント開始ビット(注1)                        | 0 : カウント停止<br>1 : カウント開始           | R/W |
| b1  | TCSTF  | タイマ RBカウントステータスフラグ<br>(注1)                 | 0 : カウント停止<br>1 : カウント中(注3)        | R   |
| b2  | TSTOP  | タイマ RBカウント強制停止ビット<br>(注1, 2)               | “1”を書くとカウントが強制停止します。読んだ場合、その値は“0”。 | R/W |
| b3  | -      | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |                                    | -   |
| b4  | -      |  |                                    |     |
| b5  | -      |  |                                    |     |
| b6  | -      |  |                                    |     |
| b7  | -      |  |                                    |     |

注1. TSTART、TCSTF、TSTOPビットの使用上の注意事項については、「18.7 タイマ RB使用上の注意」を参照してください。

注2. TSTOPビットに“1”を書くと、TRBPREGレジスタ、TRBSCレジスタ、TRBPRレジスタ、TSTARTビット、TCSTFビット、TRBOCRレジスタのTOSSSFビットがリセット後の値になります。

注3. タイマモード、プログラマブル波形発生モードでは、カウント中を示します。プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは、ワンショットパルスのトリガを受け付けられることを示します。

### 18.2.2 タイマ RBワンショット制御レジスタ(TRBOCR)

アドレス 0109h番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2     | b1    | b0   |
|---------|----|----|----|----|----|--------|-------|------|
| シンボル    | -  | -  | -  | -  | -  | TOSSSF | TOSSP | TOSS |
| リセット後の値 | 0  | 0  | 0  | 0  | 0  | 0      | 0     | 0    |

| ビット | シンボル   | ビット名                                       | 機能   | R/W |
|-----|--------|--|--|-----|
| b0  | TOSS   | タイマ RBワンショット開始ビット                          | “1”を書くとワンショットトリガを発生します。<br>読んだ場合、その値は“0”。              | R/W |
| b1  | TOSSP  | タイマ RBワンショット停止ビット                          | “1”を書くとワンショットパルス(ウェイト含む)<br>のカウントを停止します。読んだ場合、その値は“0”。 | R/W |
| b2  | TOSSSF | タイマ RBワンショットステータスフラグ(注1)                   | 0 : ワンショット停止中<br>1 : ワンショット動作中(ウェイト期間含む)               | R   |
| b3  | -      | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |  | -   |
| b4  | -      |  |  |     |
| b5  | -      |  |  |     |
| b6  | -      |  |  |     |
| b7  | -      |  |  |     |

注1. TRBCRレジスタのTSTOPビットに“1”を書くと、TOSSSFビットは“0”になります。

TRBOCRレジスタは、TRBMRレジスタのTMOD1 ~ TMOD0ビットが“10b”(プログラマブルワンショット発生モード)または“11b”(プログラマブルウェイトワンショット発生モード)のとき有効です。

### 18.2.3 タイマ RB I/O 制御レジスタ (TRBIOC)

アドレス 010Ah 番地

| ビット     | b7 | b6 | b5 | b4 | b3     | b2     | b1    | b0   |
|---------|----|----|----|----|--------|--------|-------|------|
| シンボル    | -  | -  | -  | -  | INOSEG | INOSTG | TOCNT | TOPL |
| リセット後の値 | 0  | 0  | 0  | 0  | 0      | 0      | 0     | 0    |

| ビット | シンボル   | ビット名                                       | 機能              | R/W |
|-----|--------|--|-----------------|-----|
| b0  | TOPL   | タイマ RB アウトプットレベル選択ビット                      | 動作モードによって機能が異なる | R/W |
| b1  | TOCNT  | タイマ RB 出力切り替えビット                           |                 | R/W |
| b2  | INOSTG | ワンショットトリガ制御ビット                             |                 | R/W |
| b3  | INOSEG | ワンショットトリガ極性選択ビット                           |                 | R/W |
| b4  | -      | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |                 | -   |
| b5  | -      |  |                 |     |
| b6  | -      |  |                 |     |
| b7  | -      |  |                 |     |

### 18.2.4 タイマ RB モードレジスタ (TRBMR)

アドレス 010Bh 番地

| ビット     | b7     | b6 | b5   | b4   | b3   | b2 | b1    | b0    |
|---------|--------|----|------|------|------|----|-------|-------|
| シンボル    | TCKCUT | -  | TCK1 | TCK0 | TWRC | -  | TMOD1 | TMOD0 |
| リセット後の値 | 0      | 0  | 0    | 0    | 0    | 0  | 0     | 0     |

| ビット | シンボル   | ビット名                                       | 機能   | R/W |
|-----|--------|--|--|-----|
| b0  | TMOD0  | タイマ RB 動作モード選択ビット                          | <sup>b1 b0</sup><br>00 : タイマモード<br>01 : プログラマブル波形発生モード<br>10 : プログラマブルワンショット発生モード<br>11 : プログラマブルウェイトワンショット発生モード | R/W |
| b1  | TMOD1  | (注1)                                       |  | R/W |
| b2  | -      | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |  | -   |
| b3  | TWRC   | タイマ RB 書き込み制御ビット<br>(注2)                   | 0 : リロードレジスタとカウンタへの書き込み<br>1 : リロードレジスタのみ書き込み  | R/W |
| b4  | TCK0   | タイマ RB カウントソース選択ビット<br>(注1)                | <sup>b5 b4</sup><br>00 : f1<br>01 : f8<br>10 : タイマ RA のアンダフロー (注3)<br>11 : f2                                    | R/W |
| b5  | TCK1   |  |  | R/W |
| b6  | -      | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |  | -   |
| b7  | TCKCUT | タイマ RB カウントソース遮断<br>ビット(注1)                | 0 : カウントソース供給<br>1 : カウントソース遮断   | R/W |

注1. TMOD1 ~ TMOD0 ビット、TCK1 ~ TCK0 ビット、TCKCUT ビットは、TRBCR レジスタの TSTART ビットと TCSTF ビットが共に “0” (カウント停止) のときに変更してください。

注2. TWRC ビットは、タイマモードのとき “0” または “1” が選択できます。プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは “1” (リロードレジスタのみ書き込み) にしてください。

注3. タイマ RA のアンダフロー信号をタイマ RB のカウントソースにする場合、タイマ RA はタイマモード、パルス出力モード、またはイベントカウントモードに設定してください。

### 18.2.5 タイマ RB プリスケーラレジスタ(TRBPRE)

アドレス 010Ch 番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1  |

| ビット     | モード                    | 機能                            | 設定範囲      | R/W |
|---------|------------------------|-------------------------------|-----------|-----|
| b7 ~ b0 | タイマモード                 | 内部カウントソース、またはタイマRAアンダフローをカウント | 00h ~ FFh | R/W |
|         | プログラマブル波形発生モード         |                               | 00h ~ FFh | R/W |
|         | プログラマブルワンショット発生モード     |                               | 00h ~ FFh | R/W |
|         | プログラマブルウェイトワンショット発生モード |                               | 00h ~ FFh | R/W |

TRBCR レジスタのTSTOP ビットに “1” を書くと、TRBPRE レジスタは “FFh” になります。

### 18.2.6 タイマ RB セカンダリレジスタ(TRBSC)

アドレス 010Dh 番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1  |

| ビット     | モード                    | 機能                                     | 設定範囲      | R/W       |
|---------|------------------------|--|-----------|-----------|
| b7 ~ b0 | タイマモード                 | 無効                                     | 00h ~ FFh | -         |
|         | プログラマブル波形発生モード         | タイマRB プリスケーラのアンダフローをカウント(注1)           | 00h ~ FFh | W<br>(注2) |
|         | プログラマブルワンショット発生モード     | 無効                                     | 00h ~ FFh | -         |
|         | プログラマブルウェイトワンショット発生モード | タイマRB プリスケーラのアンダフローをカウント(ワンショット幅をカウント) | 00h ~ FFh | W<br>(注2) |

注1. TRBPR レジスタとTRBSC レジスタの値が交互にカウンタにリロードされ、カウントされます。

注2. カウント値は、セカンダリ期間カウント中でもTRBPR レジスタで読めます。

TRBCR レジスタのTSTOP ビットに “1” を書くと、TRBSC レジスタは “FFh” になります。

TRBSC レジスタに書き込むときは、次の手順で書いてください。

- (1) TRBSC レジスタに値を書く
- (2) TRBPR レジスタに値を書く(値を変更しない場合でも、前と同じ値を再度書く)

### 18.2.7 タイマ RB プライマリレジスタ(TRBPR)

アドレス 010Eh 番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1  |

| ビット     | モード                    | 機能                                    | 設定範囲      | R/W |
|---------|------------------------|---------------------------------------|-----------|-----|
| b7 ~ b0 | タイマモード                 | タイマRBプリスケーラのアンダフローをカウント               | 00h ~ FFh | R/W |
|         | プログラマブル波形発生モード         | タイマRBプリスケーラのアンダフローをカウント(注1)           | 00h ~ FFh | R/W |
|         | プログラマブルワンショット発生モード     | タイマRBプリスケーラのアンダフローをカウント(ワンショット幅をカウント) | 00h ~ FFh | R/W |
|         | プログラマブルウェイトワンショット発生モード | タイマRBプリスケーラのアンダフローをカウント(ウェイト期間をカウント)  | 00h ~ FFh | R/W |

注1. TRBPR レジスタと TRBSC レジスタの値が交互にカウンタにリロードされ、カウントされます。

TRBCR レジスタの TSTOP ビットに “1” を書くと、TRBPR レジスタは “FFh” になります。

### 18.2.8 タイマ RB/RC 端子選択レジスタ(TRBRCCSR)

アドレス 0181h 番地

| ビット     | b7 | b6 | b5         | b4         | b3 | b2 | b1 | b0       |
|---------|----|----|------------|------------|----|----|----|----------|
| シンボル    | -  | -  | TRCCLKSEL1 | TRCCLKSEL0 | -  | -  | -  | TRBOSEL0 |
| リセット後の値 | 0  | 0  | 0          | 0          | 0  | 0  | 0  | 0        |

| ビット | シンボル       | ビット名                                   | 機能  | R/W |
|-----|------------|--|---|-----|
| b0  | TRBOSEL0   | TRBO 端子選択ビット                           | 0 : P1_3 に割り当てる<br>1 : P3_1 に割り当てる  | R/W |
| b1  | -          | 予約ビット                                  | “0”にしてください  | R/W |
| b2  | -          | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は | -   |     |
| b3  | -          | “0”。                                   |   |     |
| b4  | TRCCLKSEL0 | TRCCLK 端子選択ビット                         | <sup>b5 b4</sup><br>0 0 : TRCCLK 端子は使用しない<br>0 1 : P1_4 に割り当てる<br>1 0 : P3_3 に割り当てる<br>1 1 : 設定しないでください | R/W |
| b5  | TRCCLKSEL1 |  |   | R/W |
| b6  | -          | 予約ビット                                  | “0”にしてください  | R/W |
| b7  | -          | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は | -   |     |
|     |            | “0”。                                   |   |     |

TRBRCCSR レジスタはタイマ RB、およびタイマ RC の入出力をどの端子に割り当てるかを選択するレジスタです。タイマ RB、およびタイマ RC の入出力端子を使用する場合は、TRBRCCSR レジスタを設定してください。

タイマ RB 関連レジスタを設定する前に TRBOSEL0 ビットを、タイマ RC 関連レジスタを設定する前に TRCCLKSEL0 ~ TRCCLKSEL1 ビットを設定してください。また、タイマ RB の動作中は TRBOSEL0 ビットを、タイマ RC の動作中は TRCCLKSEL0 ~ TRCCLKSEL1 ビットの設定値を変更しないでください。

### 18.3 タイマモード

内部で生成されたカウントソースまたはタイマ RA のアンダフローをカウントするモードです(表 18.2)。タイマモード時、TRBOCR および TRBSC レジスタは使用しません。

表 18.2 タイマモードの仕様

| 項目            | 仕様   |
|---------------|--|
| カウントソース       | f1、f2、f8、タイマ RA のアンダフロー  |
| カウント動作        | ・ダウンカウント<br>・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続<br>(タイマ RB のアンダフロー時はタイマ RB プライマリリロードレジスタの内容をリロード)  |
| 分周比           | $1/(n+1)(m+1)$<br>n : TRBPREG レジスタの設定値、m : TRBPR レジスタの設定値  |
| カウント開始条件      | TRBCR レジスタの TSTART ビットへの “1”(カウント開始)書き込み   |
| カウント停止条件      | ・TRBCR レジスタの TSTOP ビットへの “0”(カウント停止)書き込み<br>・TRBCR レジスタの TSTOP ビットへの “1”(カウント強制停止)書き込み   |
| 割り込み要求発生タイミング | タイマ RB のアンダフロー時[タイマ RB 割り込み]   |
| TRBO 端子機能     | プログラマブル入出力ポート  |
| INT0 端子機能     | プログラマブル入出力ポート、または INT0 割り込み入力  |
| タイマの読み出し      | TRBPR レジスタ、TRBPREG レジスタを読み出すと、それぞれカウント値が読み出される   |
| タイマの書き込み      | ・カウント停止中に、TRBPREG レジスタ、TRBPR レジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる<br>・カウント中に、TRBPREG レジスタ、TRBPR レジスタに書き込むと、TRBMR レジスタの TWRC ビットが “0”なら、それぞれリロードレジスタとカウンタへ書き込まれる。<br>TWRC ビットが “1”なら、それぞれリロードレジスタにのみ書き込まれる。<br>(「18.3.2 カウント中のタイマ書き込み制御」参照) |

#### 18.3.1 タイマ RB I/O 制御レジスタ(TRBIOC)[タイマモード時]

アドレス 010Ah 番地

| ビット     | b7 | b6 | b5 | b4 | b3     | b2     | b1    | b0   |
|---------|----|----|----|----|--------|--------|-------|------|
| シンボル    | -  | -  | -  | -  | INOSEG | INOSTG | TOCNT | TOPL |
| リセット後の値 | 0  | 0  | 0  | 0  | 0      | 0      | 0     | 0    |

| ビット | シンボル   | ビット名  | 機能                  | R/W |
|-----|--------|---|---------------------|-----|
| b0  | TOPL   | タイマ RB アウトプットレベル選択ビット                       | タイマモードでは “0”にしてください | R/W |
| b1  | TOCNT  | タイマ RB 出力切り替えビット                            |                     | R/W |
| b2  | INOSTG | ワンショットトリガ制御ビット                              |                     | R/W |
| b3  | INOSEG | ワンショットトリガ極性選択ビット                            |                     | R/W |
| b4  | -      | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は “0”。 |                     | -   |
| b5  | -      |   |                     |     |
| b6  | -      |   |                     |     |
| b7  | -      |   |                     |     |

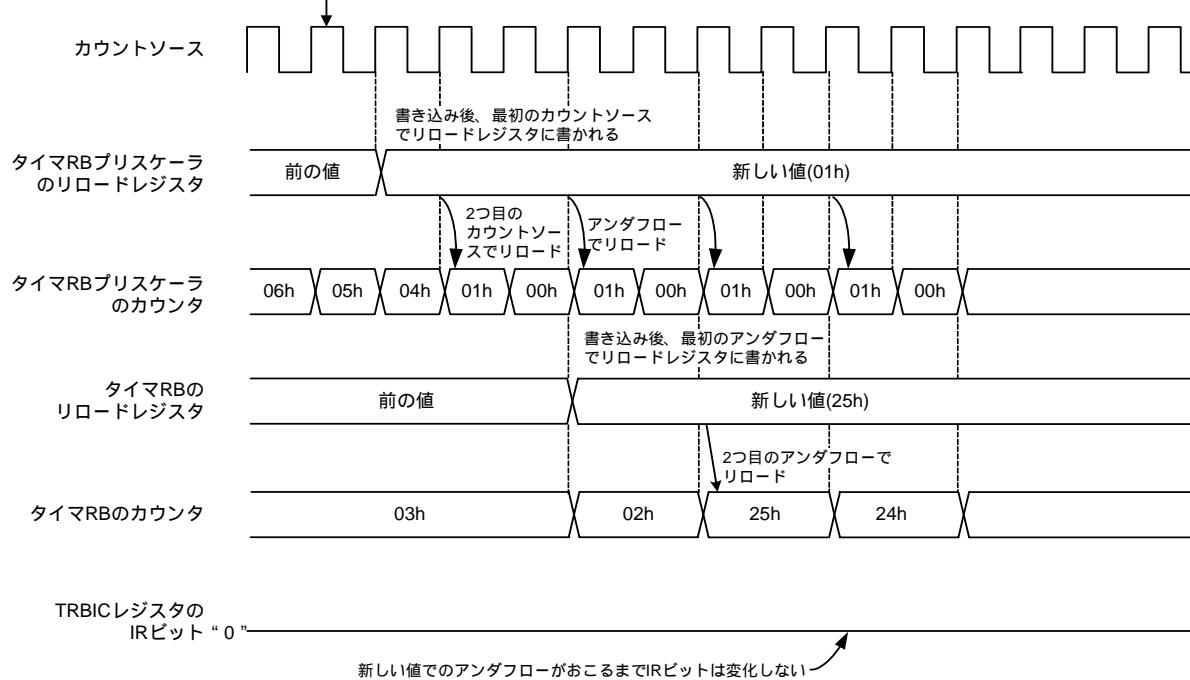
### 18.3.2 カウント中のタイマ書き込み制御

タイマRBはプリスケーラと、タイマ(プリスケーラのアンダフローをカウントする狭義のタイマ)をもち、それぞれにリロードレジスタとカウンタがあります。タイマモードでは、カウント中のプリスケーラやタイマへの書き込む場合、TRBMRレジスタのTWRCビットで、リロードレジスタとカウンタへ書き込むか、リロードレジスタだけに書き込むかを選択できます。

しかし、プリスケーラのリロードレジスタからカウンタへは、カウントソースに同期して値を転送します。また、タイマのリロードレジスタからカウンタへは、プリスケーラのアンダフローに同期して値を転送します。このため、TWRCビットで、リロードレジスタとカウンタへ書き込む選択をしている場合も、書き込み命令実行後すぐにはカウンタの値が更新されません。また、リロードレジスタだけに書き込む選択をしている場合、プリスケーラの値を変更すると書き込んだときの周期がずれます。図18.2にタイマRBカウント中にカウント値を書き換えた場合の動作例を示します。

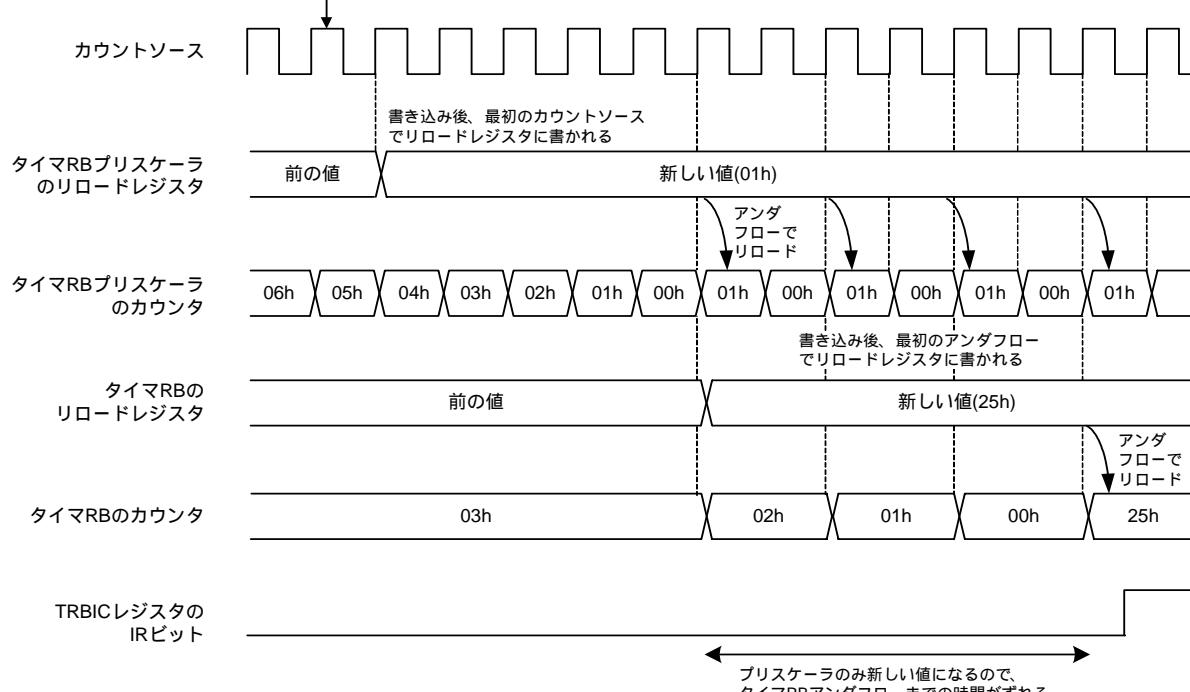
TWRCビットが“0”(リロードレジスタとカウンタへの書き込み)の場合

プログラムでTRBPREレジスタに“01h”  
TRBPRレジスタに“25h”を書く



TWRCビットが“1”(リロードレジスタのみ書き込み)の場合

プログラムでTRBPREレジスタに“01h”  
TRBPRレジスタに“25h”を書く



上図は次の条件の場合です。

TRBCRレジスタのTSTARTビット、TCSTFビットがともに“1”(カウント中)

図 18.2 タイマ RB カウント中にカウント値を書き換えた場合の動作例

## 18.4 プログラマブル波形発生モード

TRBPR レジスタと TRBSC レジスタの値を交互にカウントし、カウンタがアンダフローするごとに、TRBO 端子から出力する信号を反転するモードです(表 18.3)。カウント開始時は、TRBPR レジスタに設定した値からカウントを行います。プログラマブル波形発生モード時、TRBOCR レジスタは使用しません。

図 18.3 にプログラマブル波形発生モード時のタイマ RB の動作例を示します。

表 18.3 プログラマブル波形発生モードの仕様

| 項目            | 仕様  |
|---------------|---|
| カウントソース       | f1、f2、f8、タイマ RA のアンダフロー   |
| カウント動作        | <ul style="list-style-type: none"> <li>・ダウンカウント</li> <li>・アンダフロー時プライマリリロードレジスタとセカンダリリロードレジスタの内容を交互にリロードしてカウントを継続</li> </ul>   |
| 出力波形の幅、周期     | プライマリ期間 : $(n+1)(m+1)/f_i$<br>セカンダリ期間 : $(n+1)(p+1)/f_i$<br>周期 : $(n+1)\{(m+1)+(p+1)\}/f_i$<br>$f_i$ : カウントソースの周波数<br>$n$ : TRBPREG レジスタの設定値、 $m$ : TRBPR レジスタの設定値<br>$p$ : TRBSC レジスタの設定値                          |
| カウント開始条件      | TRBCR レジスタの TSTART ビットへの “1” (カウント開始)書き込み   |
| カウント停止条件      | <ul style="list-style-type: none"> <li>・TRBCR レジスタの TSTART ビットへの “0” (カウント停止)書き込み</li> <li>・TRBCR レジスタの TSTOP ビットへの “1” (カウント強制停止)書き込み</li> </ul>   |
| 割り込み要求発生タイミング | セカンダリ期間のタイマ RB のアンダフローからカウントソースの 1/2 サイクル後 (TRBO 出力の変化と同時に)[タイマ RB 割り込み]  |
| TRBO 端子機能     | プログラマブル出力ポート、またはパルス出力   |
| INT0 端子機能     | プログラマブル入出力ポート、または INT0 割り込み入力   |
| タイマの読み出し      | TRBPR レジスタ、TRBPREG レジスタを読み出すと、それぞれカウント値が読み出される(注1)  |
| タイマの書き込み      | <ul style="list-style-type: none"> <li>・カウント停止中に、TRBPREG レジスタ、TRBSC レジスタ、TRBPR レジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>・カウント中に、TRBPREG レジスタ、TRBSC レジスタ、TRBPR レジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる(注2)</li> </ul> |
| 選択機能          | <ul style="list-style-type: none"> <li>・アウトプットレベル選択機能<br/>プライマリ期間、セカンダリ期間の出力レベルを TOPL ビットで選択</li> <li>・TRBO 端子出力切り替え機能<br/>TRBOCR レジスタの TOCNT ビットでタイマ RB パルス出力または P3_1(P1_3) ラッチ出力を選択(注3)</li> </ul>                |

注1. セカンダリ期間をカウント中でも、TRBPR レジスタを読み出してください。

注2. 波形の出力は、TRBPR レジスタへの書き込み後、次のプライマリ期間から設定値が反映されます。

注3. TOCNT ビットに書いた値は、次のタイミングで有効になります。

- ・カウント開始時
- ・タイマ RB 割り込み要求発生時

したがって、TOCNT ビットを変更後、次のプライマリ期間の出力から反映されます。

## 18.4.1 タイマRB I/O制御レジスタ(TRBIOC)[プログラマブル波形発生モード時]

アドレス 010Ah番地

| ビット     | b7 | b6 | b5 | b4 | b3     | b2     | b1    | b0   |
|---------|----|----|----|----|--------|--------|-------|------|
| シンボル    | -  | -  | -  | -  | INOSEG | INOSTG | TOCNT | TOPL |
| リセット後の値 | 0  | 0  | 0  | 0  | 0      | 0      | 0     | 0    |

| ビット | シンボル   | ビット名                                       | 機能  | R/W |
|-----|--------|--|---|-----|
| b0  | TOPL   | タイマRBアウトプットレベル選択ビット                        | 0 : プライマリ期間 “H” 出力、セカンダリ期間 “L” 出力<br>1 : プライマリ期間 “L” 出力、セカンダリ期間 “H” 出力<br>タイマ停止時 “H” 出力 | R/W |
| b1  | TOCNT  | タイマRB出力切り替えビット                             | 0 : タイマRB波形出力<br>1 : P3_1(P1_3)ポートラッチの値を出力  | R/W |
| b2  | INOSTG | ワンショットトリガ制御ビット                             | プログラマブル波形発生モードでは “0”にしてください   | R/W |
| b3  | INOSEG | ワンショットトリガ極性選択ビット                           |   | R/W |
| b4  | -      | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -   | -   |
| b5  | -      |  |   |     |
| b6  | -      |  |   |     |
| b7  | -      |  |   |     |

## 18.4.2 動作例

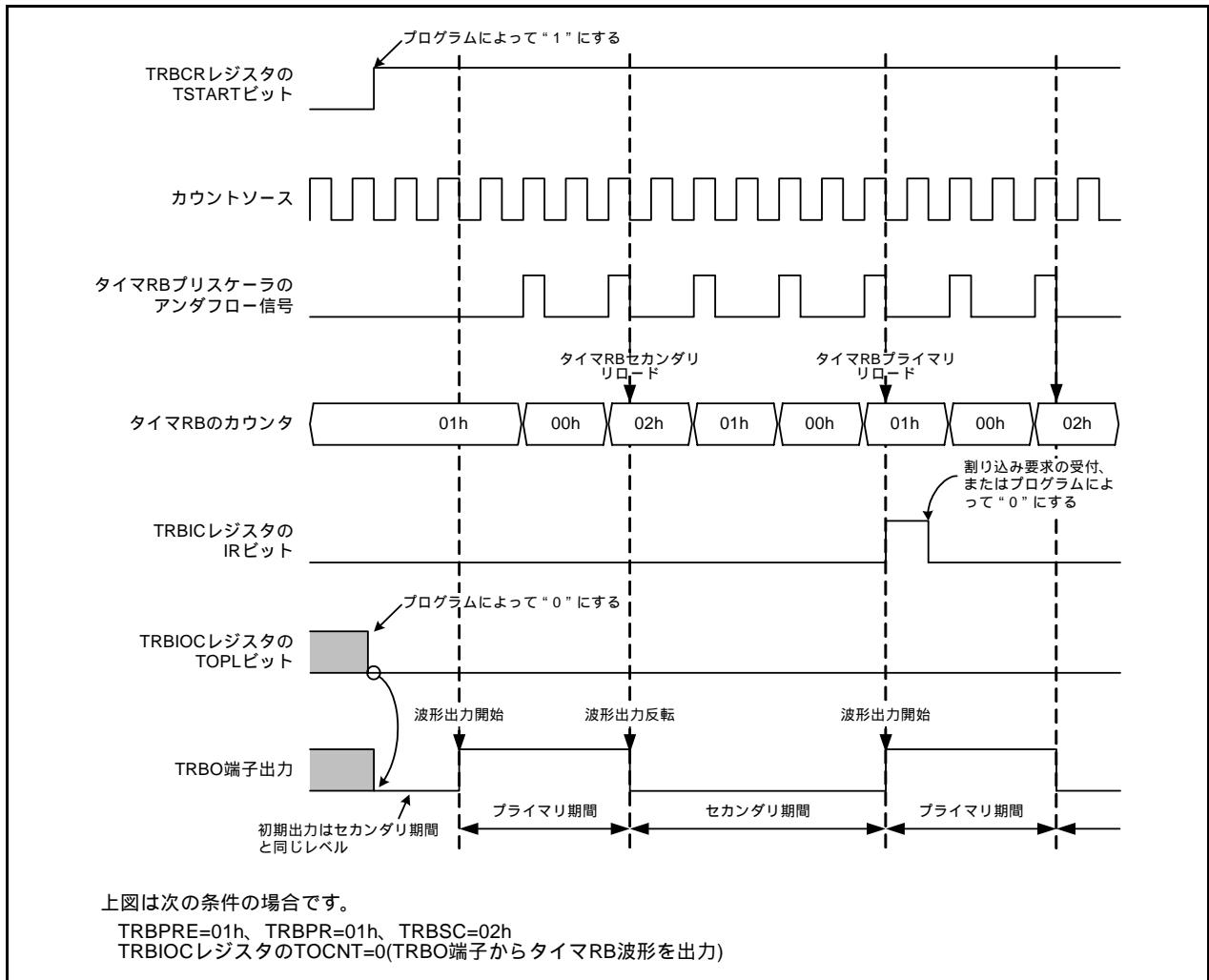


図 18.3 プログラマブル波形発生モード時のタイマRBの動作例

### 18.5 プログラマブルワンショット発生モード

プログラムまたは外部トリガ(INT0端子の入力)により、ワンショットパルスをTRBO端子から出力するモードです(表18.4)。トリガが発生するとその時点から任意の時間(TRBPRレジスタの設定値)、1度だけタイマが動作します。プログラマブルワンショット発生モード時、TRBSCレジスタは使用しません。

図18.4にプログラマブルワンショット発生モード時の動作例を示します。

表18.4 プログラマブルワンショット発生モードの仕様

| 項目            | 仕様  |
|---------------|---|
| カウントソース       | f1、f2、f8、タイマRAのアンダフロー   |
| カウント動作        | <ul style="list-style-type: none"> <li>TRBPRレジスタの設定値をダウンカウント</li> <li>アンダフロー時プライマリリロードレジスタの内容をリロードしてカウントを終了し、TOSSTFビットが“0”(ワンショット停止)になる</li> <li>カウント停止時、リロードレジスタの内容をリロードし停止</li> </ul>   |
| ワンショットパルス出力時間 | (n+1)(m+1)/fi<br>fi : カウントソースの周波数<br>n : TRBPREGレジスタの設定値、m : TRBPRレジスタの設定値  |
| カウント開始条件      | <ul style="list-style-type: none"> <li>TRBCRレジスタのTSTARTビットが“1”(カウント開始)で、かつ次のトリガが発生</li> <li>TRBOCRレジスタのTOSSSTビットへの“1”(ワンショット開始)書き込み</li> <li>INT0端子へのトリガ入力</li> </ul>   |
| カウント停止条件      | <ul style="list-style-type: none"> <li>タイマRBプライマリカウント時のカウントの値がアンダフローし、リロードした後</li> <li>TRBOCRレジスタのTOSSSPビットへの“1”(ワンショット停止)書き込み</li> <li>TRBCRレジスタのTSTOPビットへの“0”(カウント停止)書き込み</li> <li>TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul> |
| 割り込み要求発生タイミング | アンダフローからカウントソースの1/2サイクル後<br>(TRBO端子からの波形出力の終了と同時) [タイマRB割り込み]   |
| TRBO端子機能      | パルス出力   |
| INT0端子機能      | <ul style="list-style-type: none"> <li>TRBIOCレジスタのINOSTGビットが“0”(INT0ワンショットトリガ無効)の場合<br/>プログラマブル入出力ポート、またはINT0割り込み入力</li> <li>TRBIOCレジスタのINOSTGビットが“1”(INT0ワンショットトリガ有効)の場合<br/>外部トリガ(INT0割り込み入力)</li> </ul>                            |
| タイマの読み出し      | TRBPRレジスタ、TRBPREGレジスタを読み出すと、それぞれカウント値が読み出される  |
| タイマの書き込み      | <ul style="list-style-type: none"> <li>カウント停止中に、TRBPREGレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>カウント中に、TRBPREGレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注1)</li> </ul>  |
| 選択機能          | <ul style="list-style-type: none"> <li>アウトプットレベル選択機能<br/>ワンショットパルス波形の出力レベルをTOPLビットで選択</li> <li>ワンショットトリガ選択機能<br/>「18.5.3 ワンショットトリガ選択」参照</li> </ul>  |

注1. TRBPRレジスタへ書き込んだ値は、次のワンショットパルスから反映されます。

## 18.5.1 タイマ RB I/O 制御レジスタ(TRBIOC)[プログラマブルワンショット発生モード時]

アドレス 010Ah 番地

| ビット     | b7 | b6 | b5 | b4 | b3     | b2     | b1    | b0   |
|---------|----|----|----|----|--------|--------|-------|------|
| シンボル    | -  | -  | -  | -  | INOSEG | INOSTG | TOCNT | TOPL |
| リセット後の値 | 0  | 0  | 0  | 0  | 0      | 0      | 0     | 0    |

| ビット | シンボル   | ビット名                                       | 機能   | R/W |
|-----|--------|--|--|-----|
| b0  | TOPL   | タイマ RB アウトプットレベル選択ビット                      | 0: ワンショットパルス “H” 出力、タイマ停止時 “L” 出力<br>1: ワンショットパルス “L” 出力、タイマ停止時 “H” 出力 | R/W |
| b1  | TOCNT  | タイマ RB 出力切り替えビット                           | プログラマブルワンショット発生モードでは “0” にしてください                                       | R/W |
| b2  | INOSTG | ワンショットトリガ制御ビット (注1)                        | 0: INT0端子ワンショットトリガ無効<br>1: INT0端子ワンショットトリガ有効                           | R/W |
| b3  | INOSEG | ワンショットトリガ極性選択ビット (注1)                      | 0: 立ち下がりエッジトリガ<br>1: 立ち上がりエッジトリガ                                       | R/W |
| b4  | -      | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -  | -   |
| b5  | -      |  |  |     |
| b6  | -      |  |  |     |
| b7  | -      |  |  |     |

注1. 「18.5.3 ワンショットトリガ選択」を参照してください。

## 18.5.2 動作例

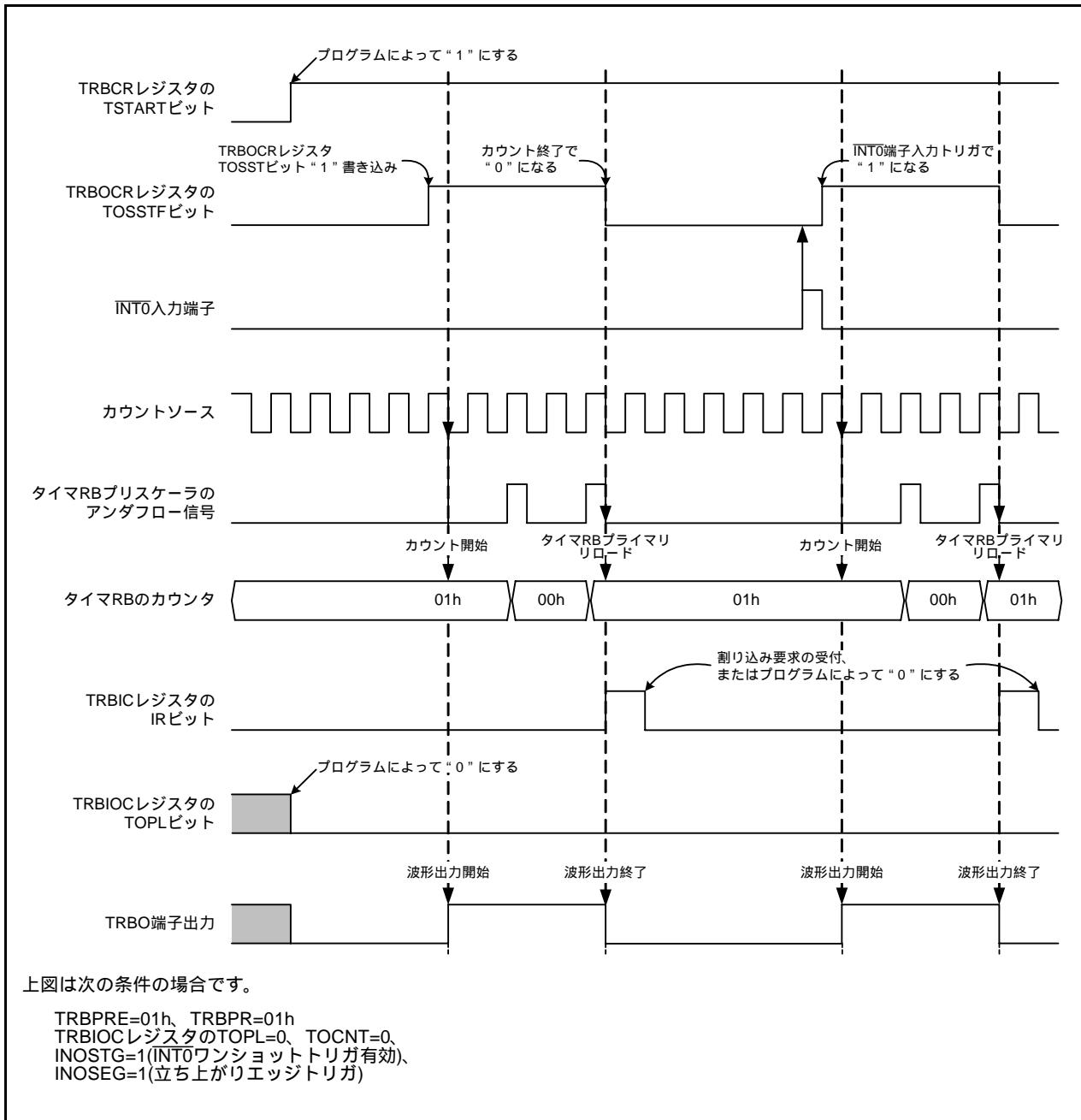


図 18.4 プログラマブルワンショット発生モード時の動作例

### 18.5.3 ワンショットトリガ選択

プログラマブルワンショット発生モードと、プログラマブルウェイトワンショット発生モードでは、TRBCR レジスタのTCSTF ビットが“1”(カウント開始)の状態で、ワンショットトリガが発生すると動作を開始します。

ワンショットトリガは、次のどちらかの要因で発生します。

- プログラムでTRBOCR レジスタのTOSST ビットに“1”を書く
- INT0端子からトリガ入力

ワンショットトリガ発生後、カウントソースの1～2サイクル経ってから TRBOCR レジスタのTOSSTF ビットが、“1”(ワンショット動作中)になります。その後カウントが始まり、プログラマブルワンショット発生モードでは、ワンショット波形出力を開始します(プログラマブルウェイトワンショット発生モードでは、ウェイト期間のカウントを開始します)。TOSSTF ビットが“1”的間に、ワンショットトリガが発生しても再トリガは発生しません。

INT0端子からトリガ入力を使用する場合は、次の設定をした後、トリガを入力してください。

- PD4レジスタのPD4\_5ビットを“0”(入力ポート)にする
- INT0のデジタルフィルタをINTF レジスタのINT0F1～INT0F0 ビットで選択
- INTEN レジスタのINTOPL ビットで両エッジまたは片エッジを選択する。片エッジを選択した場合はさらにTRBIOC レジスタのINOSEG ビットで立ち下がりまたは立ち上がりエッジを選択する
- INTEN レジスタのINT0ENを“1”(許可)にする
- 上記の設定後、TRBIOC レジスタのINOSTG ビットを“1”(INT0端子ワンショットトリガ有効)にする

なお、INT0端子からのトリガ入力で割り込み要求を発生させる場合は、次の点に注意してください。

- 割り込みを使用するための処理が必要ですので「11. 割り込み」を参照してください。
- 片エッジを選択した場合は、INT0IC レジスタのPOL ビットで立ち下がりまたは立ち上がりエッジを選択してください(TRBIOC レジスタのINOSEG ビットはINT0割り込みとは無関係です)。
- TOSSTF ビットが“1”的間に、ワンショットトリガが発生してもタイマ RB の動作には影響ありませんが、INT0IC レジスタのIR ビットは変化します。

## 18.6 プログラムウェイトワンショット発生モード

プログラムまたは外部トリガ(INT0端子の入力)から、一定時間後にワンショットパルスをTRBO端子から出力するモードです(表 18.5)。トリガが発生すると、その時点から任意の時間(TRBPRレジスタの設定値)後、一度だけ任意の時間(TRBSCレジスタの設定値)パルス出力を行います。

図 18.5にプログラマブルウェイトワンショット発生モードの動作例を示します。

表 18.5 プログラムウェイトワンショット発生モードの仕様

| 項目            | 仕様  |
|---------------|---|
| カウントソース       | f1、f2、f8、タイマRAのアンダフロー   |
| カウント動作        | <ul style="list-style-type: none"> <li>・タイマRBプライマリの設定値をダウンカウント</li> <li>・タイマRBプライマリのカウントがアンダフロー時、タイマRBセカンダリの内容をリロードしてカウントを継続</li> <li>・タイマRBセカンダリのカウントがアンダフロー時、タイマRBプライマリの内容をリロードしてカウントを終了し、TOSSTFビットが“0”(ワンショット停止)になる</li> <li>・カウント停止時、リロードレジスタの内容をリロードし停止</li> </ul> |
| ウェイト時間        | $(n+1)(m+1)/fi$<br>fi : カウントソースの周波数<br>n : TRBPREGISTRAの設定値、m : TRBPRレジスタの設定値   |
| ワンショットパルス出力時間 | $(n+1)(p+1)/fi$<br>fi : カウントソースの周波数<br>n : TRBPREGISTRAの設定値、p : TRBSCレジスタの設定値   |
| カウント開始条件      | <ul style="list-style-type: none"> <li>・TRBCRレジスタのTSTARTビットが“1”(カウント開始)でかつ、次のトリガが発生</li> <li>・TRBOCRレジスタのTOSSPビットへの“1”(ワンショット開始)書き込み</li> <li>・INT0端子へのトリガ入力</li> </ul>   |
| カウント停止条件      | <ul style="list-style-type: none"> <li>・タイマRBセカンダリカウント時のカウントの値がアンダフローし、リロードした後</li> <li>・TRBOCRレジスタのTOSSPビットへの“1”(ワンショット停止)書き込み</li> <li>・TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み</li> <li>・TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み</li> </ul>                               |
| 割り込み要求発生タイミング | セカンダリ期間のタイマRBのアンダフローからカウントソースの1/2サイクル後(TRBO端子からの波形出力の終了と同時)[タイマRB割り込み]  |
| TRBO端子機能      | パルス出力   |
| INT0端子機能      | <ul style="list-style-type: none"> <li>・TRBIOCレジスタのINOSTGビットが“0”(INT0ワンショットトリガ無効)の場合<br/>プログラマブル入出力ポート、またはINT0割り込み入力</li> <li>・TRBIOCレジスタのINOSTGビットが“1”(INT0ワンショットトリガ有効)の場合<br/>外部トリガ(INT0割り込み入力)</li> </ul>  |
| タイマの読み出し      | TRBPRレジスタ、TRBPREGISTRAを読み出すと、それぞれカウント値が読み出される   |
| タイマの書き込み      | <ul style="list-style-type: none"> <li>・カウント停止中に、TRBPREGISTRA、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>・カウント中に、TRBPREGISTRA、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる(注1)</li> </ul>   |
| 選択機能          | <ul style="list-style-type: none"> <li>・アウトプットレベル選択機能<br/>ワンショットパルス波形の出力レベルをTOPLビットで選択</li> <li>・ワンショットトリガ選択機能<br/>「18.5.3 ワンショットトリガ選択」参照</li> </ul>  |

注1. TRBSCレジスタおよびTRBPRレジスタへ書き込んだ値は、次のワンショットパルスから反映されます。

### 18.6.1 タイマ RB I/O 制御レジスタ(TRBIOC)[プログラマブルウェイトワンショット発生モード時]

アドレス 010Ah 番地

| ビット     | b7 | b6 | b5 | b4 | b3     | b2     | b1    | b0   |
|---------|----|----|----|----|--------|--------|-------|------|
| シンボル    | -  | -  | -  | -  | INOSEG | INOSTG | TOCNT | TOPL |
| リセット後の値 | 0  | 0  | 0  | 0  | 0      | 0      | 0     | 0    |

| ビット | シンボル   | ビット名   | 機能   | R/W |
|-----|--------|--|--|-----|
| b0  | TOPL   | タイマ RB アウトプットレベル選択ビット                          | 0 : ワンショットパルス “H” 出力、タイマ停止時とウェイト中は “L” 出力<br>1 : ワンショットパルス “L” 出力、タイマ停止時とウェイト中は “H” 出力 | R/W |
| b1  | TOCNT  | タイマ RB 出力切り替えビット                               | プログラマブルウェイトワンショット発生モードでは “0” にしてください。  | R/W |
| b2  | INOSTG | ワンショットトリガ制御ビット<br>(注1)                         | 0 : INT0端子ワンショットトリガ無効<br>1 : INT0端子ワンショットトリガ有効   | R/W |
| b3  | INOSEG | ワンショットトリガ極性選択ビット<br>(注1)                       | 0 : 立ち下がりエッジトリガ<br>1 : 立ち上がりエッジトリガ   | R/W |
| b4  | -      | 何も配置されていない。<br>書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |  | -   |
| b5  | -      |  |  |     |
| b6  | -      |  |  |     |
| b7  | -      |  |  |     |

注1. 「18.5.3 ワンショットトリガ選択」を参照してください。

## 18.6.2 動作例

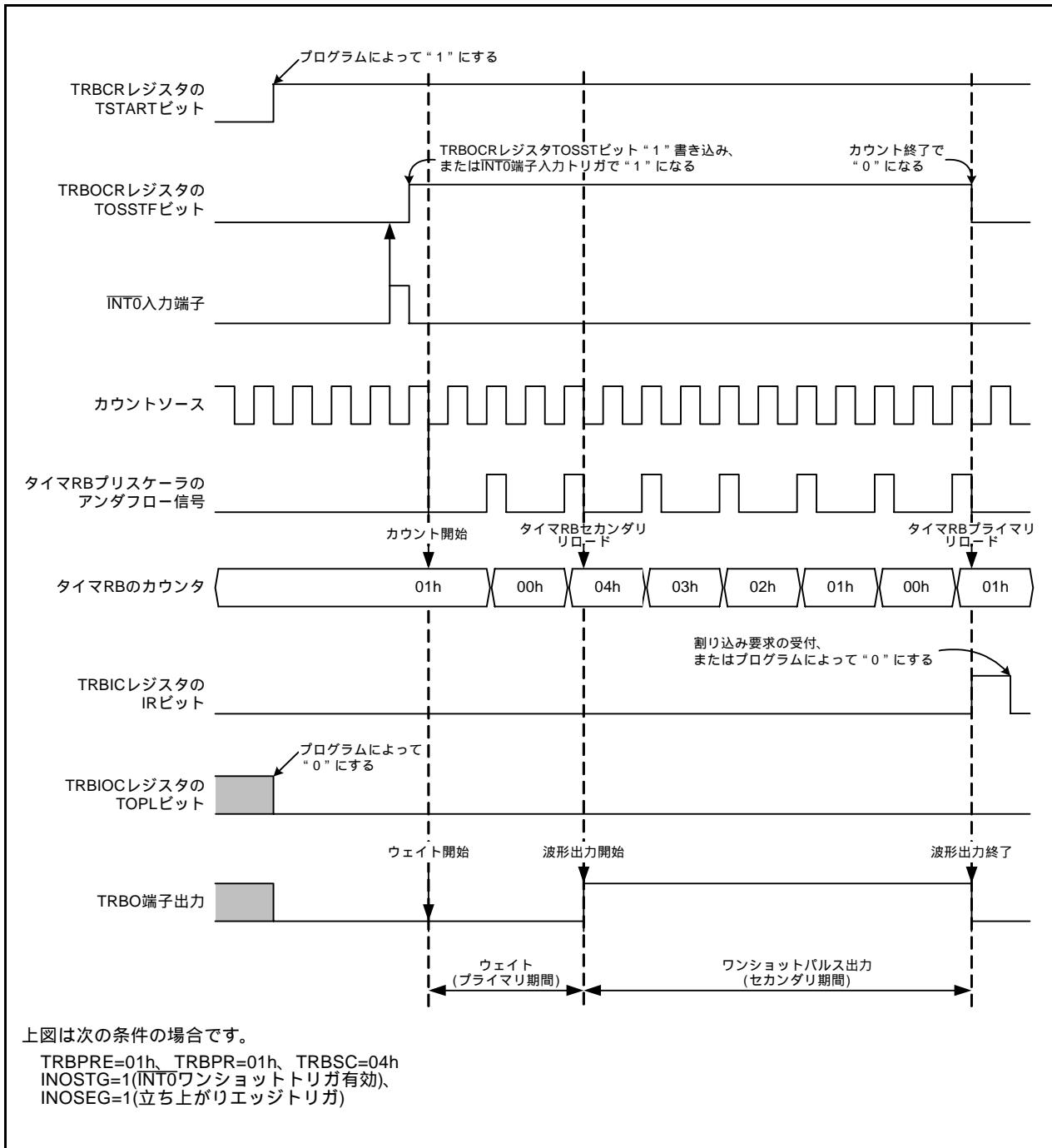


図 18.5 プログラマブルウェイトワンショット発生モードの動作例

## 18.7 タイマ RB 使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケーラに値を設定した後、カウントを開始してください。
- プリスケーラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBCR レジスタのTSTART ビットを“0”にしてカウントを停止したとき、またはTRBOCR レジスタのTOSSP ビットを“1”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTART ビットに“1”を書いた後は、カウントソースの1～2サイクルの間、TCSTF ビットは“0”になっています。

TCSTF ビットが“1”になるまで、TCSTF ビットを除くタイマ RB 関連レジスタ(注1)をアクセスしないでください。

カウント中にTSTART ビットに“0”を書いた後は、カウントソースの1～2サイクルの間、TCSTF ビットは“1”になっています。TCSTF ビットが“0”になったときカウントは停止します。

TCSTF ビットが“0”になるまで、TCSTF ビットを除くタイマ RB 関連レジスタ(注1)をアクセスしないでください。

注1. タイマ RB 関連レジスタ：TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPREG、TRBSC、TRBPR

- カウント中にTRBCR レジスタのTSTOP ビットに“1”を書くと、すぐにタイマ RB は停止します。
- TRBOCR レジスタのTOSST ビットまたはTOSSP ビットに“1”を書くと、カウントソースの1～2サイクル後にTOSSSF ビットが変化します。TOSST ビットに“1”を書いてからTOSSSF ビットが“1”になるまでの期間にTOSSP ビットに“1”を書いた場合、内部の状態によってTOSSSF ビットが“0”になる場合と、“1”になる場合があります。TOSSP ビットに“1”を書いてからTOSSSF ビットが“0”になるまでの期間にTOSST ビットに“1”を書いた場合も同様に、TOSSSF ビットは“0”になるか“1”になるかわかりません。
- タイマ RA のアンダフロー信号をタイマ RB のカウントソースにする場合、タイマ RA はタイマモード、パルス出力モード、またはイベントカウントモードに設定してください。

### 18.7.1 タイマモード

カウント中(TRBCR レジスタのTCSTF ビットが“1” )にTRBPREG レジスタ、TRBPR レジスタに書き込む場合は、下記の点に注意してください。

- TRBPREG レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPR レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダフローの3周期以上空けてください。

### 18.7.2 プログラマブル波形発生モード

カウント中(TRBCR レジスタのTCSTF ビットが“1” )にTRBPREG レジスタ、TRBPR レジスタに書き込む場合は、下記の点に注意してください。

- TRBPREG レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPR レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダフローの3周期以上空けてください。

### 18.7.3 プログラマブルワンショット発生モード

カウント中(TRBCR レジスタの TCSTF ビットが “1” )に TRBPRE レジスタ、 TRBPR レジスタに書き込む場合は下記の点に注意してください。

- TRBPRE レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPR レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダーフローの3周期以上空けてください。

### 18.7.4 プログラマブルウェイトワンショット発生モード

カウント中(TRBCR レジスタの TCSTF ビットが “1” )に TRBPRE レジスタ、 TRBPR レジスタに書き込む場合は下記の点に注意してください。

- TRBPRE レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPR レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダーフローの3周期以上空けてください。

## 19. タイマ RC

タイマ RC は、16 ビットタイマで4本の入出力端子を持ちます。

### 19.1 概要

タイマ RC の動作クロックは f1、fOCO40M または fOCO-F です。表 19.1 にタイマ RC の動作クロックを示します。

表 19.1 タイマ RC の動作クロック

| 条件   | タイマ RC の動作クロック |
|--|----------------|
| カウントソースが f1、f2、f4、f8、f32、TRCCLK 入力<br>(TRCCR1 レジスタの TCK2 ~ TCK0 ビットが “000b” ~ “101b” ) | f1             |
| カウントソースが fOCO40M<br>(TRCCR1 レジスタの TCK2 ~ TCK0 ビットが “110b” )                            | fOCO40M        |
| カウントソースが fOCO-F<br>(TRCCR1 レジスタの TCK2 ~ TCK0 ビットが “111b” )                             | fOCO-F         |

表 19.2 にタイマ RC の端子構成を、図 19.1 にタイマ RC のブロック図を示します。

タイマ RC は3種類のモードを持ちます。

- タイマモード
  - インプットキャプチャ機能 外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
  - アウトプットコンペア機能 カウンタとレジスタの値の一致を検出する機能(検出時に端子出力変更可能)

次の2つのモードは、アウトプットコンペア機能を用います。

- PWM モード 任意の幅のパルスを連続して出力するモード
- PWM2 モード トリガからウェイト時間において、ワンショット波形または PWM 波形を出力するモード

インプットキャプチャ機能、アウトプットコンペア機能、PWM モードは、1 端子ごとに機能とモードを選択できます。

PWM2 モードは、カウンタやレジスタを組み合わせて波形を出力します。端子の機能はモードによって決まります。

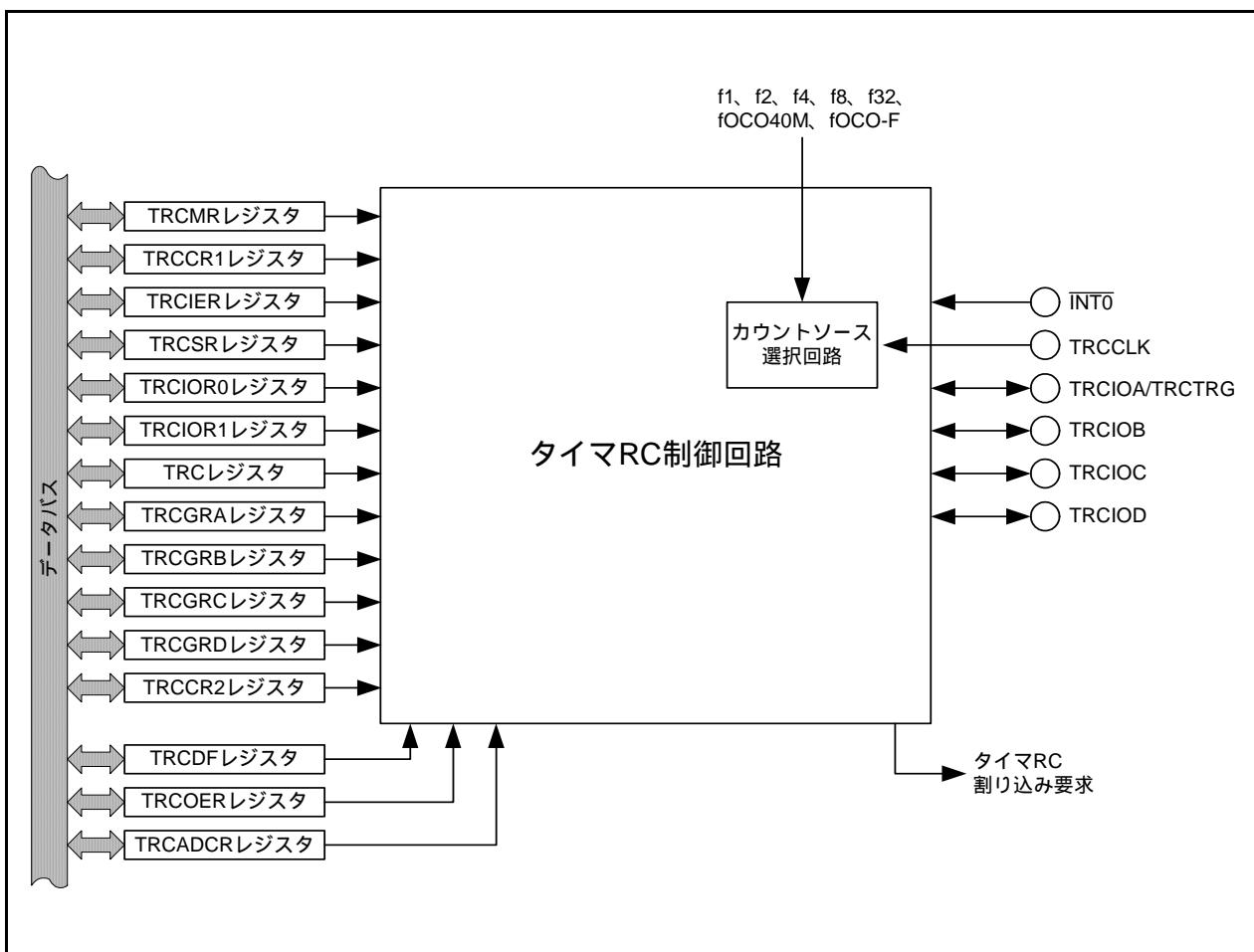


図 19.1 タイマ RC のブロック図

表 19.2 タイマ RC の端子構成

| 端子名    | 割り当てる端子                    | 入出力 | 機能                                |
|--------|----------------------------|-----|-----------------------------------|
| TRCIOA | P0_0、P0_1、P0_2またはP1_1      | 入出力 | モードによって機能が異なります。詳細は各モードを参照してください。 |
| TRCIOD | P0_3、P0_4、P0_5、P1_2またはP2_0 |     |                                   |
| TRCIOC | P0_7、P1_3、P2_1またはP3_4      |     |                                   |
| TRCOER | P0_6、P1_0、P2_2またはP3_5      |     |                                   |
| TRCCLK | P1_4またはP3_3                | 入力  | 外部クロック入力                          |
| TRCTRG | P0_0、P0_1、P0_2またはP1_1      | 入力  | PWM2 モードの外部トリガ入力                  |

## 19.2 レジスタの説明

表 19.3 にタイマ RC 関連レジスター一覧を示します。

表 19.3 タイマ RC 関連レジスター一覧

| 番地    | シンボル    | モード          |              |     | 参照先  |   |
|-------|---------|--------------|--------------|-----|------|---|
|       |         | タイマ          |              | PWM | PWM2 |   |
|       |         | インプットキャプチャ機能 | アウトプットコンペア機能 |     |      |   |
| 0008h | MSTCR   | 有効           | 有効           | 有効  | 有効   | 19.2.1 モジュールスタンバイ制御レジスタ(MSTCR)  |
| 0120h | TRCMR   | 有効           | 有効           | 有効  | 有効   | 19.2.2 タイマ RC モードレジスタ(TRCMR)  |
| 0121h | TRCCR1  | 有効           | 有効           | 有効  | 有効   | タイマ RC 制御レジスタ1<br>19.2.3 タイマ RC 制御レジスタ1 (TRCCR1)<br>19.5.1 タイマ RC 制御レジスタ1 (TRCCR1)[タイマモード(アウトプットコンペア機能)時]<br>19.6.1 タイマ RC 制御レジスタ1 (TRCCR1)[PWMモード時]<br>19.7.1 タイマ RC 制御レジスタ1 (TRCCR1)[PWM2モード時]  |
| 0122h | TRCIER  | 有効           | 有効           | 有効  | 有効   | 19.2.4 タイマ RC 割り込み許可レジスタ(TRCIER)  |
| 0123h | TRCSR   | 有効           | 有効           | 有効  | 有効   | 19.2.5 タイマ RC ステータスレジスタ(TRCSR)  |
| 0124h | TRCIOR0 | 有効           | 有効           | -   | -    | タイマ RC I/O 制御レジスタ0、タイマ RC I/O 制御レジスタ1<br>19.2.6 タイマ RC I/O 制御レジスタ0 (TRCIOR0)<br>19.2.7 タイマ RC I/O 制御レジスタ1 (TRCIOR1)<br>19.4.1 タイマ RC I/O 制御レジスタ0 (TRCIOR0)[タイマモード(インプットキャプチャ機能)時]<br>19.4.2 タイマ RC I/O 制御レジスタ1 (TRCIOR1)[タイマモード(インプットキャプチャ機能)時]<br>19.5.2 タイマ RC I/O 制御レジスタ0 (TRCIOR0)[タイマモード(アウトプットコンペア機能)時]<br>19.5.3 タイマ RC I/O 制御レジスタ1 (TRCIOR1)[タイマモード(アウトプットコンペア機能)時] |
| 0125h | TRCIOR1 |              |              |     |      |   |
| 0126h | TRC     | 有効           | 有効           | 有効  | 有効   | 19.2.8 タイマ RC カウンタ(TRC)   |
| 0127h |         |              |              |     |      |   |
| 0128h | TRCGRA  | 有効           | 有効           | 有効  | 有効   | 19.2.9 タイマ RC ジェネラルレジスタ A、B、C、D (TRCGRA、TRCGRB、TRCGRC、TRCGRD)   |
| 0129h | TRCGRB  |              |              |     |      |   |
| 012Ah | TRCGRC  |              |              |     |      |   |
| 012Bh | TRCGRD  |              |              |     |      |   |
| 012Ch |         |              |              |     |      |   |
| 012Dh |         |              |              |     |      |   |
| 012Eh |         |              |              |     |      |   |
| 012Fh |         |              |              |     |      |   |
| 0130h | TRCCR2  | -            | 有効           | 有効  | 有効   | 19.2.10 タイマ RC 制御レジスタ2 (TRCCR2)   |
| 0131h | TRCDF   | 有効           | -            | -   | 有効   | 19.2.11 タイマ RC デジタルフィルタ機能選択レジスタ(TRCDF)  |
| 0132h | TRCOER  | -            | 有効           | 有効  | 有効   | 19.2.12 タイマ RC アウトプットマスタ許可レジスタ(TRCOER)  |
| 0133h | TRCADCR | -            | 有効           | 有効  | 有効   | 19.2.13 タイマ RC トリガ制御レジスタ(TRCADCR)   |
| 0181h | TRBRCSR | 有効           | 有効           | 有効  | 有効   | 19.2.14 タイマ RC 端子選択レジスタ(TRBRCSR)  |
| 0182h | TRCPsr0 | 有効           | 有効           | 有効  | 有効   | 19.2.15 タイマ RC 端子選択レジスタ0 (TRCPsr0)  |
| 0183h | TRCPsr1 | 有効           | 有効           | 有効  | 有効   | 19.2.16 タイマ RC 端子選択レジスタ1 (TRCPsr1)  |

- : 無効

### 19.2.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h 番地

| ビット     | b7 | b6 | b5     | b4     | b3     | b2 | b1 | b0 |
|---------|----|----|--------|--------|--------|----|----|----|
| シンボル    | -  | -  | MSTTRC | MSTTRD | MSTIIC | -  | -  | -  |
| リセット後の値 | 0  | 0  | 0      | 0      | 0      | 0  | 0  | 0  |

| ビット | シンボル   | ビット名                                       | 機能                          | R/W |
|-----|--------|--|-----------------------------|-----|
| b0  | -      | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |                             | -   |
| b1  | -      |  |                             |     |
| b2  | -      |  |                             |     |
| b3  | MSTIIC | SSU、I <sup>2</sup> Cバススタンバイビット             | 0：アクティブ<br>1：スタンバイ(注1)      | R/W |
| b4  | MSTTRD | 消費電力低減ビット                                  | “1”にしてください。<br>消費電力を低減できます。 | R/W |
| b5  | MSTTRC | タイマRCスタンバイビット                              | 0：アクティブ<br>1：スタンバイ(注2)      | R/W |
| b6  | -      | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |                             | -   |
| b7  | -      |  |                             |     |

注1. MSTIICビットが“1”(スタンバイ)のとき、SSU、I<sup>2</sup>Cバス関連レジスタ(0193h ~ 019Dh番地)へのアクセスは無効になります。

注2. MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0133h番地)へのアクセスは無効になります。

### 19.2.2 タイマRCモードレジスタ(TRCMR)

アドレス 0120h 番地

| ビット     | b7     | b6 | b5  | b4  | b3   | b2   | b1   | b0   |
|---------|--------|----|-----|-----|------|------|------|------|
| シンボル    | TSTART | -  | BFD | BFC | PWM2 | PWMD | PWMC | PWMB |
| リセット後の値 | 0      | 1  | 0   | 0   | 1    | 0    | 0    | 0    |

| ビット | シンボル   | ビット名                                       | 機能                                    | R/W |
|-----|--------|--|---------------------------------------|-----|
| b0  | PWMB   | TRCIOB PWMモード選択ビット<br>(注1)                 | 0：タイマモード<br>1：PWMモード                  | R/W |
| b1  | PWMC   | TRCIOC PWMモード選択ビット<br>(注1)                 | 0：タイマモード<br>1：PWMモード                  | R/W |
| b2  | PWMD   | TRCIOD PWMモード選択ビット<br>(注1)                 | 0：タイマモード<br>1：PWMモード                  | R/W |
| b3  | PWM2   | PWM2モード選択ビット                               | 0：PWM2モード<br>1：タイマモードまたはPWMモード        | R/W |
| b4  | BFC    | TRCGRC レジスタ機能選択ビット<br>(注2)                 | 0：ジェネラルレジスタ<br>1：TRCGRA レジスタのバッファレジスタ | R/W |
| b5  | BFD    | TRCGRD レジスタ機能選択ビット                         | 0：ジェネラルレジスタ<br>1：TRCGRB レジスタのバッファレジスタ | R/W |
| b6  | -      | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 |                                       | -   |
| b7  | TSTART | TRCカウント開始ビット                               | 0：カウント停止<br>1：カウント開始                  | R/W |

注1. これらのビットはPWM2ビットが“1”(タイマモードまたはPWMモード)のとき有効です。

注2. PWM2モードではBFCビットを“0”(ジェネラルレジスタ)にしてください。

TRCMR レジスタのPWM2モード時の注意事項は「19.9.6 PWM2モード時のTRCMR レジスタ」を参照してください。

### 19.2.3 タイマ RC制御レジスタ1 (TRCCR1)

アドレス 0121h番地

| ビット     | b7   | b6   | b5   | b4   | b3  | b2  | b1  | b0  |
|---------|------|------|------|------|-----|-----|-----|-----|
| シンボル    | CCLR | TCK2 | TCK1 | TCK0 | TOD | TOC | TOB | TOA |
| リセット後の値 | 0    | 0    | 0    | 0    | 0   | 0   | 0   | 0   |

| ビット | シンボル | ビット名                 | 機能  | R/W |
|-----|------|----------------------|---|-----|
| b0  | TOA  | TRCIOA出力レベル選択ビット(注1) | 動作モード(機能)によって機能が異なる   | R/W |
| b1  | TOB  | TRCIOB出力レベル選択ビット(注1) |   | R/W |
| b2  | TOC  | TRCIOC出力レベル選択ビット(注1) |   | R/W |
| b3  | TOD  | TRCIOD出力レベル選択ビット(注1) |   | R/W |
| b4  | TCK0 | カウントソース選択ビット(注1)     | b6 b5 b4<br>0 0 0 : f1<br>0 0 1 : f2<br>0 1 0 : f4<br>0 1 1 : f8<br>1 0 0 : f32<br>1 0 1 : TRCCLK入力の立ち上がりエッジ<br>1 1 0 : fOCO40M<br>1 1 1 : fOCO-F(注2) | R/W |
| b5  | TCK1 |                      |   | R/W |
| b6  | TCK2 |                      |   | R/W |
| b7  | CCLR | TRCカウンタクリア選択ビット      | 0 : クリア禁止(フリーランニング動作)<br>1 : インプットキャプチャまたはTRCGRAのコンペア一致でTRCカウンタをクリア   | R/W |

注1. TRCMR レジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。

注2. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

### 19.2.4 タイマ RC割り込み許可レジスタ (TRCIER)

アドレス 0122h番地

| ビット     | b7   | b6 | b5 | b4 | b3    | b2    | b1    | b0    |
|---------|------|----|----|----|-------|-------|-------|-------|
| シンボル    | OVIE | -  | -  | -  | IMIED | IMIEC | IMIEB | IMIEA |
| リセット後の値 | 0    | 1  | 1  | 1  | 0     | 0     | 0     | 0     |

| ビット | シンボル  | ビット名                                       | 機能   | R/W |
|-----|-------|--|--|-----|
| b0  | IMIEA | インプットキャプチャ/コンペア一致割り込み許可ビットA                | 0 : IMFAビットによる割り込み(IMIA)禁止<br>1 : IMFAビットによる割り込み(IMIA)許可   | R/W |
| b1  | IMIEB | インプットキャプチャ/コンペア一致割り込み許可ビットB                | 0 : IMFBビットによる割り込み(IMIB)禁止<br>1 : IMFBビットによる割り込み(IMIB)許可   | R/W |
| b2  | IMIEC | インプットキャプチャ/コンペア一致割り込み許可ビットC                | 0 : IMFCビットによる割り込み(IMIC)禁止<br>1 : IMFCビットによる割り込み(IMIC)許可   | R/W |
| b3  | IMIED | インプットキャプチャ/コンペア一致割り込み許可ビットD                | 0 : IMFIDビットによる割り込み(IMID)禁止<br>1 : IMFIDビットによる割り込み(IMID)許可 | R/W |
| b4  | -     | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 |  | -   |
| b5  | -     |  |  |     |
| b6  | -     |  |  |     |
| b7  | OVIE  | オーバフロー割り込み許可ビット                            | 0 : OVFビットによる割り込み(OVI)禁止<br>1 : OVFビットによる割り込み(OVI)許可       | R/W |

### 19.2.5 タイマ RC ステータスレジスタ(TRCSR)

アドレス 0123h 番地

| ビット<br>シンボル | b7<br>OVF | b6 | b5 | b4 | b3<br>IMFD | b2<br>IMFC | b1<br>IMFB | b0<br>IMFA |
|-------------|-----------|----|----|----|------------|------------|------------|------------|
| リセット後の値     | 0         | 1  | 1  | 1  | 0          | 0          | 0          | 0          |

| ビット | シンボル | ビット名                                       | 機能   | R/W |
|-----|------|--|--|-----|
| b0  | IMFA | インプットキャプチャ / コンペア一致フラグA                    | [ “0” になる要因]<br>読んだ後、“0”を書く(注1)<br>[ “1” になる要因]<br>「表 19.4 各フラグが“1”になる要因」を参照 | R/W |
| b1  | IMFB | インプットキャプチャ / コンペア一致フラグB                    |  | R/W |
| b2  | IMFC | インプットキャプチャ / コンペア一致フラグC                    |  | R/W |
| b3  | IMFD | インプットキャプチャ / コンペア一致フラグD                    |  | R/W |
| b4  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 |  | -   |
| b5  | -    |  |  |     |
| b6  | -    |  |  |     |
| b7  | OVF  | オーバーフローフラグ                                 | [ “0” になる要因]<br>読んだ後、“0”を書く(注1)<br>[ “1” になる要因]<br>「表 19.4 各フラグが“1”になる要因」を参照 | R/W |

注1. 書き込み結果は次のようになります。

- ・読んだ結果が“1”的場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”的場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”的ままで)。
- ・“1”を書いた場合は変化しません。

表 19.4 各フラグが“1”になる要因

| ビット<br>シンボル | タイマモード             |                            | PWM モード | PWM2 モード |
|-------------|--------------------|----------------------------|---------|----------|
|             | インプットキャプチャ機能       | アウトプットコンペア機能               |         |          |
| IMFA        | TRCI0A端子の入力エッジ(注1) | TRC と TRCGRA の値が一致したとき     |         |          |
| IMFB        | TRCI0B端子の入力エッジ(注1) | TRC と TRCGRB の値が一致したとき     |         |          |
| IMFC        | TRCI0C端子の入力エッジ(注1) | TRC と TRCGRC の値が一致したとき(注2) |         |          |
| IMFD        | TRCI0D端子の入力エッジ(注1) | TRC と TRCGRD の値が一致したとき(注2) |         |          |
| OVF         | TRC がオーバフローしたとき    |                            |         |          |

注1. TRCI0R0、TRCI0R1 レジスタの IOj1 ~ IOj0 ビット(j=A、B、C、D)で選択したエッジ。

注2. TRCMR レジスタの BFC、BFD ビットが“1”(TRCGRA、TRCGRB のバッファレジスタ)の場合を含む。

### 19.2.6 タイマ RC I/O 制御レジスタ 0 (TRCIOR0)

アドレス 0124h 番地

| ビット     | b7 | b6   | b5   | b4   | b3   | b2   | b1   | b0   |
|---------|----|------|------|------|------|------|------|------|
| シンボル    | -  | IOB2 | IOB1 | IOB0 | IOA3 | IOA2 | IOA1 | IOA0 |
| リセット後の値 | 1  | 0    | 0    | 0    | 1    | 0    | 0    | 0    |

| ビット   | シンボル | ビット名                | 機能                                 | R/W |  |  |
|---|------|---------------------|------------------------------------|-----|--|--|
| b0  | IOA0 | TRCGRA 制御ビット        | 動作モード(機能)によって機能が異なる                | R/W |  |  |
| b1  | IOA1 |                     |                                    | R/W |  |  |
| b2  | IOA2 | TRCGRA モード選択ビット(注1) | 0: アウトプットコンペア機能<br>1: インプットキャプチャ機能 | R/W |  |  |
| b3  | IOA3 |                     |                                    | R/W |  |  |
| b4  | IOB0 | TRCGRB 制御ビット        | 動作モード(機能)によって機能が異なる                | R/W |  |  |
| b5  | IOB1 |                     |                                    | R/W |  |  |
| b6  | IOB2 | TRCGRB モード選択ビット(注2) | 0: アウトプットコンペア機能<br>1: インプットキャプチャ機能 | R/W |  |  |
| b7  | -    |                     |                                    | -   |  |  |
| 注1. TRCMR レジスタのBFC ビットを “1” (TRCGRA レジスタのバッファレジスタ) にした場合、TRCIOR0 レジスタの IOA2 ビットと TRCIOR1 レジスタの IOC2 ビットの設定を同じにしてください。 |      |                     |                                    |     |  |  |
| 注2. TRCMR レジスタのBFD ビットを “1” (TRCGRB レジスタのバッファレジスタ) にした場合、TRCIOR0 レジスタの IOB2 ビットと TRCIOR1 レジスタの IOD2 ビットの設定を同じにしてください。 |      |                     |                                    |     |  |  |
| 注3. IOA2 ビットが “1” (インプットキャプチャ機能) のとき有効です。   |      |                     |                                    |     |  |  |

TRCIOR0 レジスタはタイマモードのとき有効です。 PWM モード、 PWM2 モードでは無効です。

### 19.2.7 タイマ RC I/O 制御レジスタ 1 (TRCIOR1)

アドレス 0125h 番地

| ビット     | b7   | b6   | b5   | b4   | b3   | b2   | b1   | b0   |
|---------|------|------|------|------|------|------|------|------|
| シンボル    | IOD3 | IOD2 | IOD1 | IOD0 | IOC3 | IOC2 | IOC1 | IOC0 |
| リセット後の値 | 1    | 0    | 0    | 0    | 1    | 0    | 0    | 0    |

| ビット | シンボル | ビット名                | 機能                                 | R/W |
|-----|------|---------------------|------------------------------------|-----|
| b0  | IOC0 | TRCGRC 制御ビット        | 動作モード(機能)によって機能が異なる                | R/W |
| b1  | IOC1 |                     |                                    | R/W |
| b2  | IOC2 | TRCGRC モード選択ビット(注1) | 0: アウトプットコンペア機能<br>1: インプットキャプチャ機能 | R/W |
| b3  | IOC3 |                     |                                    | R/W |
| b4  | IOD0 | TRCGRD 制御ビット        | 動作モード(機能)によって機能が異なる                | R/W |
| b5  | IOD1 |                     |                                    | R/W |
| b6  | IOD2 | TRCGRD モード選択ビット(注2) | 0: アウトプットコンペア機能<br>1: インプットキャプチャ機能 | R/W |
| b7  | IOD3 |                     |                                    | R/W |

- 注1. TRCMR レジスタのBFC ビットを “1” (TRCGRA レジスタのバッファレジスタ) にした場合、TRCIOR0 レジスタの IOA2 ビットと TRCIOR1 レジスタの IOC2 ビットの設定を同じにしてください。
- 注2. TRCMR レジスタのBFD ビットを “1” (TRCGRB レジスタのバッファレジスタ) にした場合、TRCIOR0 レジスタの IOB2 ビットと TRCIOR1 レジスタの IOD2 ビットの設定を同じにしてください。

TRCIOR1 レジスタはタイマモードのとき有効です。 PWM モード、 PWM2 モードでは無効です。

### 19.2.8 タイマ RC カウンタ(TRC)

アドレス 0127h ~ 0126h 番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |

ビット b15 b14 b13 b12 b11 b10 b9 b8

| ビット     | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| シンボル    | -   | -   | -   | -   | -   | -   | -  | -  |
| リセット後の値 | 0   | 0   | 0   | 0   | 0   | 0   | 0  | 0  |

| ビット      | 機能   |  |  |  |  |  |  |  | 設定範囲          | R/W |
|----------|--|--|--|--|--|--|--|--|---------------|-----|
| b15 ~ b0 | カウントソースをカウント。カウント動作はアップカウント。<br>オーバフローすると、TRCSR レジスタのOVF ビットが“1”になる。 |  |  |  |  |  |  |  | 0000h ~ FFFFh | R/W |

TRC レジスタは 16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

### 19.2.9 タイマ RC ジェネラルレジスタ A、B、C、D (TRCGRA、TRCGRB、TRCGRC、TRCGRD)

アドレス 0129h ~ 0128h 番地(TRCGRA)、012Bh ~ 012Ah 番地(TRCGRB)、  
012Dh ~ 012Ch 番地(TRCGRC)、012Fh ~ 012Eh 番地(TRCGRD)

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1  |

ビット b15 b14 b13 b12 b11 b10 b9 b8

| ビット     | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| シンボル    | -   | -   | -   | -   | -   | -   | -  | -  |
| リセット後の値 | 1   | 1   | 1   | 1   | 1   | 1   | 1  | 1  |

| ビット      | 機能            |  |  |  |  |  |  |  | R/W |
|----------|---------------|--|--|--|--|--|--|--|-----|
| b15 ~ b0 | モードによって機能が異なる |  |  |  |  |  |  |  | R/W |

TRCGRA ~ TRCGRD レジスタは 16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

### 19.2.10 タイマ RC制御レジスタ2 (TRCCR2)

アドレス 0130h 番地

| ビット     | b7    | b6    | b5   | b4 | b3 | b2   | b1   | b0   |
|---------|-------|-------|------|----|----|------|------|------|
| シンボル    | TCEG1 | TCEG0 | CSEL | -  | -  | POLD | POLC | POLB |
| リセット後の値 | 0     | 0     | 0    | 1  | 1  | 0    | 0    | 0    |

| ビット | シンボル  | ビット名                                       | 機能  | R/W |
|-----|-------|--|---|-----|
| b0  | POLB  | PWMモードアウトプットレベル制御ビットB (注1)                 | 0 : TRCIOBの出力レベルは“L”アクティブ<br>1 : TRCIOBの出力レベルは“H”アクティブ  | R/W |
| b1  | POLC  | PWMモードアウトプットレベル制御ビットC (注1)                 | 0 : TRCIOCの出力レベルは“L”アクティブ<br>1 : TRCIOCの出力レベルは“H”アクティブ  | R/W |
| b2  | POLD  | PWMモードアウトプットレベル制御ビットD (注1)                 | 0 : TRCIODの出力レベルは“L”アクティブ<br>1 : TRCIODの出力レベルは“H”アクティブ  | R/W |
| b3  | -     | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | -   | -   |
| b4  | -     |  |   |     |
| b5  | CSEL  | TRCカウント動作選択ビット (注2)                        | 0 : TRCGRAレジスタとのコンペア一致後もカウント継続<br>1 : TRCGRAレジスタとのコンペア一致でカウント停止   | R/W |
| b6  | TCEG0 | TRCTRG入力エッジ選択ビット (注3)                      | <sup>b7 b6</sup><br>0 0 : TRCTRGからのトリガ入力を禁止<br>0 1 : 立ち上がりエッジを選択<br>1 0 : 立ち下がりエッジを選択<br>1 1 : 立ち上がり/立ち下がり両エッジを選択 | R/W |
| b7  | TCEG1 |  |   | R/W |

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「19.9.6 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

### 19.2.11 タイマ RCデジタルフィルタ機能選択レジスタ (TRCDF)

アドレス 0131h 番地

| ビット     | b7    | b6    | b5 | b4    | b3  | b2  | b1  | b0  |
|---------|-------|-------|----|-------|-----|-----|-----|-----|
| シンボル    | DFCK1 | DFCK0 | -  | DFTRG | DFD | DFC | DFB | DFA |
| リセット後の値 | 0     | 0     | 0  | 0     | 0   | 0   | 0   | 0   |

| ビット | シンボル  | ビット名                                       | 機能   | R/W |
|-----|-------|--|--|-----|
| b0  | DFA   | TRCIOA端子デジタルフィルタ機能選択ビット(注1)                | 0 : 機能なし<br>1 : 機能あり   | R/W |
| b1  | DFB   | TRCIOB端子デジタルフィルタ機能選択ビット(注1)                | 0 : 機能なし<br>1 : 機能あり   | R/W |
| b2  | DFC   | TRCIOC端子デジタルフィルタ機能選択ビット(注1)                | 0 : 機能なし<br>1 : 機能あり   | R/W |
| b3  | DFD   | TRCIOD端子デジタルフィルタ機能選択ビット(注1)                | 0 : 機能なし<br>1 : 機能あり   | R/W |
| b4  | DFTRG | TRCTRG端子デジタルフィルタ機能選択ビット(注2)                | 0 : 機能なし<br>1 : 機能あり   | R/W |
| b5  | -     | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -  | -   |
| b6  | DFCK0 | デジタルフィルタ機能用クロック選択ビット(注1, 2)                | <sup>b7 b6</sup><br>0 0 : f32<br>0 1 : f8<br>1 0 : f1<br>1 1 : カウントソース(TRCCR1レジスタのTCK2 ~ TCK0ビットで選択したクロック) | R/W |
| b7  | DFCK1 |  |  | R/W |

注1. インプットキャプチャ機能のとき有効です。

注2. PWM2モードで、TRCCR2レジスタのTCEG1 ~ TCEG0ビットが“01b”、“10b”、“11b”(TRCTRGトリガ入力許可)のとき有効です。

### 19.2.12 タイマ RC アウトプットマスター許可レジスタ (TRCOER)

アドレス 0132h 番地

| ビット     | b7  | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|-----|----|----|----|----|----|----|----|
| シンボル    | PTO | -  | -  | -  | ED | EC | EB | EA |
| リセット後の値 | 0   | 1  | 1  | 1  | 1  | 1  | 1  | 1  |

| ビット | シンボル | ビット名                                       | 機能   | R/W |
|-----|------|--|--|-----|
| b0  | EA   | TRCIOA出力禁止ビット(注1)                          | 0: 出力許可<br>1: 出力禁止(TRCIOA端子はプログラマブル入出力ポート)   | R/W |
| b1  | EB   | TRCIOB出力禁止ビット(注1)                          | 0: 出力許可<br>1: 出力禁止(TRCIOB端子はプログラマブル入出力ポート)   | R/W |
| b2  | EC   | TRCIOC出力禁止ビット(注1)                          | 0: 出力許可<br>1: 出力禁止(TRCIOC端子はプログラマブル入出力ポート)   | R/W |
| b3  | ED   | TRCIOD出力禁止ビット(注1)                          | 0: 出力許可<br>1: 出力禁止(TRCIOD端子はプログラマブル入出力ポート)   | R/W |
| b4  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 |  | -   |
| b5  | -    |  |  |     |
| b6  | -    |  |  |     |
| b7  | PTO  | パルス出力強制遮断信号入力INT0<br>有効ビット                 | 0: パルス出力強制遮断入力無効<br>1: パルス出力強制遮断入力有効(INT0端子に“L”を入力すると、EA、EB、EC、EDビットが“1”(出力禁止)になる) | R/W |

注1. 端子をインプットキャプチャ入力として使用するときは無効です。

### 19.2.13 タイマ RC トリガ制御レジスタ (TRCADCR)

アドレス 0133h 番地

| ビット     | b7 | b6 | b5 | b4 | b3      | b2      | b1      | b0      |
|---------|----|----|----|----|---------|---------|---------|---------|
| シンボル    | -  | -  | -  | -  | ADTRGDE | ADTRGCE | ADTRGBE | ADTRGAE |
| リセット後の値 | 0  | 0  | 0  | 0  | 0       | 0       | 0       | 0       |

| ビット | シンボル    | ビット名                                       | 機能  | R/W |
|-----|---------|--|---|-----|
| b0  | ADTRGAE | A/D トリガ A 許可ビット                            | 0: A/D トリガ禁止<br>1: TRC と TRCGRA レジスタのコンペア一致時に A/D トリガ発生 | R/W |
| b1  | ADTRGBE | A/D トリガ B 許可ビット                            | 0: A/D トリガ禁止<br>1: TRC と TRCGRB レジスタのコンペア一致時に A/D トリガ発生 | R/W |
| b2  | ADTRGCE | A/D トリガ C 許可ビット                            | 0: A/D トリガ禁止<br>1: TRC と TRCGRC レジスタのコンペア一致時に A/D トリガ発生 | R/W |
| b3  | ADTRGDE | A/D トリガ D 許可ビット                            | 0: A/D トリガ禁止<br>1: TRC と TRCGRD レジスタのコンペア一致時に A/D トリガ発生 | R/W |
| b4  | -       | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |   | -   |
| b5  | -       |  |   |     |
| b6  | -       |  |   |     |
| b7  | -       |  |   |     |

### 19.2.14 タイマ RB/RC端子選択レジスタ(TRBRCCSR)

アドレス 0181h番地

| ビット     | b7 | b6 | b5         | b4         | b3 | b2 | b1 | b0       |
|---------|----|----|------------|------------|----|----|----|----------|
| シンボル    | -  | -  | TRCCLKSEL1 | TRCCLKSEL0 | -  | -  | -  | TRBOSEL0 |
| リセット後の値 | 0  | 0  | 0          | 0          | 0  | 0  | 0  | 0        |

| ビット | シンボル       | ビット名                                   | 機能  | R/W |
|-----|------------|--|---|-----|
| b0  | TRBOSEL0   | TRBO端子選択ビット                            | 0 : P1_3に割り当てる<br>1 : P3_1に割り当てる  | R/W |
| b1  | -          | 予約ビット                                  | "0"にしてください  | R/W |
| b2  | -          | 何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は |   | -   |
| b3  | -          | "0"。                                   |   |     |
| b4  | TRCCLKSEL0 | TRCCLK端子選択ビット                          | b5 b4<br>0 0 : TRCCLK端子は使用しない<br>0 1 : P1_4に割り当てる<br>1 0 : P3_3に割り当てる<br>1 1 : 設定しないでください | R/W |
| b5  | TRCCLKSEL1 |  |   | R/W |
| b6  | -          | 予約ビット                                  | "0"にしてください  | R/W |
| b7  | -          | 何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は |   | -   |
|     |            | "0"。                                   |   |     |

TRBRCCSR レジスタはタイマ RB、およびタイマ RC の入出力をどの端子に割り当てるかを選択するレジスタです。タイマ RB、およびタイマ RC の入出力端子を使用する場合は、TRBRCCSR レジスタを設定してください。

タイマ RB 関連レジスタを設定する前に TRBOSEL0 ビットを、タイマ RC 関連レジスタを設定する前に TRCCLKSEL0 ~ TRCCLKSEL1 ビットを設定してください。また、タイマ RB の動作中は TRBOSEL0 ビットを、タイマ RC の動作中は TRCCLKSEL0 ~ TRCCLKSEL1 ビットの設定値を変更しないでください。

### 19.2.15 タイマ RC 端子選択レジスタ0 (TRCPSR0)

アドレス 0182h 番地

| ビット     | b7 | b6         | b5         | b4         | b3 | b2         | b1         | b0         |
|---------|----|------------|------------|------------|----|------------|------------|------------|
| シンボル    | -  | TRCIOBSEL2 | TRCIOBSEL1 | TRCIOBSEL0 | -  | TRCIOASEL2 | TRCIOASEL1 | TRCIOASEL0 |
| リセット後の値 | 0  | 0          | 0          | 0          | 0  | 0          | 0          | 0          |

| ビット | シンボル       | ビット名                                       | 機能   | R/W |
|-----|------------|--|--|-----|
| b0  | TRCIOASEL0 | TRCIOA/TRCTRG 端子選択ビット                      | <sup>b2 b1 b0</sup><br>0 0 0 : TRCIOA/TRCTRG 端子は使用しない<br>0 0 1 : P1_1 に割り当てる<br>0 1 0 : P0_0 に割り当てる<br>0 1 1 : P0_1 に割り当てる<br>1 0 0 : P0_2 に割り当てる<br>上記以外 : 設定しないでください                 | R/W |
| b1  | TRCIOASEL1 |  |  | R/W |
| b2  | TRCIOASEL2 |  |  | R/W |
| b3  | -          | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |  | -   |
| b4  | TRCIOBSEL0 | TRCIOB 端子選択ビット                             | <sup>b6 b5 b4</sup><br>0 0 0 : TRCIOB 端子は使用しない<br>0 0 1 : P1_2 に割り当てる<br>0 1 0 : P0_3 に割り当てる<br>0 1 1 : P0_4 に割り当てる<br>1 0 0 : P0_5 に割り当てる<br>1 0 1 : P2_0 に割り当てる<br>上記以外 : 設定しないでください | R/W |
| b5  | TRCIOBSEL1 |  |  | R/W |
| b6  | TRCIOBSEL2 |  |  | R/W |
| b7  | -          | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |  | -   |

TRCPSR0 レジスタは、タイマ RC の入出力をどの端子に割り当てるかを選択するレジスタです。タイマ RC の入出力端子を使用する場合は、TRCPSR0 レジスタを設定してください。

タイマ RC の関連レジスタを設定する前に、TRCPSR0 レジスタを設定してください。また、タイマ RC の動作中は TRCPSR0 レジスタの設定値を変更しないでください。

### 19.2.16 タイマ RC 端子選択レジスタ1 (TRCPSR1)

アドレス 0183h 番地

| ビット     | b7 | b6         | b5         | b4         | b3 | b2         | b1         | b0         |
|---------|----|------------|------------|------------|----|------------|------------|------------|
| シンボル    | -  | TRCIODSEL2 | TRCIODSEL1 | TRCIODSEL0 | -  | TRCIOCSEL2 | TRCIOCSEL1 | TRCIOCSEL0 |
| リセット後の値 | 0  | 0          | 0          | 0          | 0  | 0          | 0          | 0          |

| ビット | シンボル       | ビット名                                       | 機能   | R/W |
|-----|------------|--|--|-----|
| b0  | TRCIOCSEL0 | TRCIOC端子選択ビット                              | <sup>b2 b1 b0</sup><br>0 0 0 : TRCIOC端子は使用しない<br>0 0 1 : P1_3に割り当てる<br>0 1 0 : P3_4に割り当てる<br>0 1 1 : P0_7に割り当てる<br>1 0 0 : P2_1に割り当てる<br>上記以外 : 設定しないでください | R/W |
| b1  | TRCIOCSEL1 |  |  | R/W |
| b2  | TRCIOCSEL2 |  |  | R/W |
| b3  | -          | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |  | -   |
| b4  | TRCIODSEL0 | TRCIOD端子選択ビット                              | <sup>b6 b5 b4</sup><br>0 0 0 : TRCIOD端子は使用しない<br>0 0 1 : P1_0に割り当てる<br>0 1 0 : P3_5に割り当てる<br>0 1 1 : P0_6に割り当てる<br>1 0 0 : P2_2に割り当てる<br>上記以外 : 設定しないでください | R/W |
| b5  | TRCIODSEL1 |  |  | R/W |
| b6  | TRCIODSEL2 |  |  | R/W |
| b7  | -          | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |  | -   |

TRCPSR1 レジスタは、タイマ RC の入出力をどの端子に割り当てるかを選択するレジスタです。タイマ RC の入出力端子を使用する場合は、TRCPSR1 レジスタを設定してください。

タイマ RC の関連レジスタを設定する前に、TRCPSR1 レジスタを設定してください。また、タイマ RC の動作中は TRCPSR1 レジスタの設定値を変更しないでください。

### 19.3 複数モードに関わる共通事項

#### 19.3.1 カウントソース

カウントソースの選択方法は、すべてのモードに共通です。

表 19.5 にカウントソースの選択を、図 19.2 にカウントソースのブロック図を示します。

表 19.5 カウントソースの選択

| カウントソース             | 選択方法  |
|---------------------|---|
| f1, f2, f4, f8, f32 | TRCCR1 レジスタの TCK2 ~ TCK0 ビットでカウントソース選択  |
| fOCO40M<br>fOCO-F   | FRA0 レジスタの FRA00 ビットが “1” (高速オンチップオシレータ発振)<br>TRCCR1 レジスタの TCK2 ~ TCK0 ビットが “110b” (fOCO40M)<br>TRCCR1 レジスタの TCK2 ~ TCK0 ビットが “111b” (fOCO-F) |
| TRCCLK 端子に入力された外部信号 | TRCCR1 レジスタの TCK2 ~ TCK0 ビットが “101b” (カウントソースは外部クロックの立ち上がりエッジ)<br>対応する方向レジスタの方向ビットが “0” (入力モード)   |

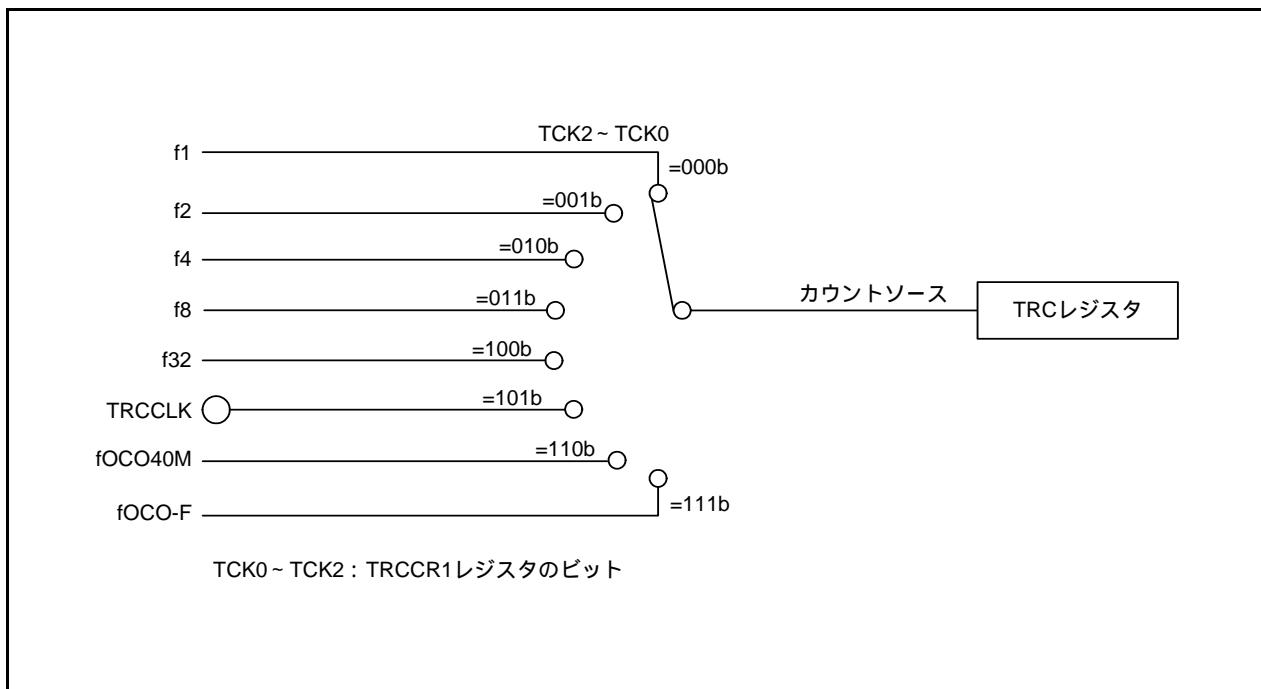


図 19.2 カウントソースのブロック図

TRCCLK 端子に入力する外部クロックのパルス幅は、タイマ RC の動作クロック (「表 19.1 タイマ RC の動作クロック」参照) の 3 サイクル以上にしてください。

カウントソースに fOCO40M または fOCO-F を選択する場合は、FRA0 レジスタの FRA00 ビットを “1” (高速オンチップオシレータ発振) にしてから、TRCCR1 レジスタの TCK2 ~ TCK0 ビットを “110b” (fOCO40M) または “111b” (fOCO-F) にしてください。

### 19.3.2 バッファ動作

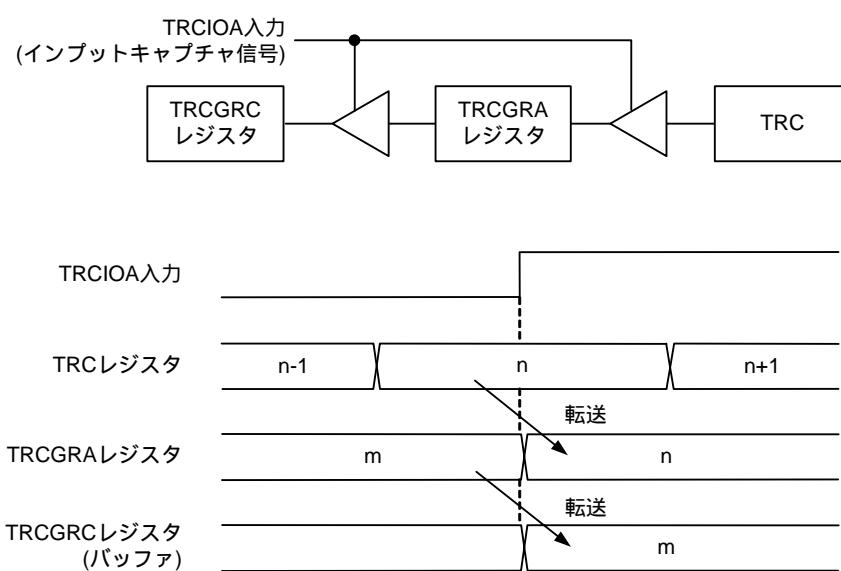
TRCMR レジスタの BFC、BFD ビットで、TRCGRC、TRCGRD レジスタを TRCGRA、TRCGRB レジスタのバッファレジスタにできます。

- TRCGRA のバッファレジスタ : TRCGRC レジスタ
- TRCGRB のバッファレジスタ : TRCGRD レジスタ

バッファ動作は、モードによって違います。表 19.6 に各モードのバッファ動作を、図 19.3 にインプットキャプチャ機能のバッファ動作を、図 19.4 にアウトプットコンペア機能のバッファ動作を示します。

表 19.6 各モードのバッファ動作

| 機能、モード                  | 転送タイミング  | 転送するレジスタ                             |
|-------------------------|--|--------------------------------------|
| インプットキャプチャ機能            | インプットキャプチャ信号入力                                     | TRCGRA(TRCGRB) レジスタの内容をバッファレジスタに転送   |
| アウトプットコンペア機能<br>PWM モード | TRC レジスタと TRCGRA(TRCGRB) レジスタのコンペア一致               | バッファレジスタの内容を TRCGRA(TRCGRB) レジスタに転送  |
| PWM2 モード                | • TRC レジスタと TRCGRA レジスタのコンペア一致<br>• TRCTRG 端子トリガ入力 | バッファレジスタ(TRCGRD) の内容を TRCGRB レジスタに転送 |



上図は次の条件の場合です。

- TRCMR レジスタの BFC ビットが “1” (TRCGRC レジスタは TRCGRA レジスタのバッファレジスタ)
- TRCIOR0 レジスタの IOA2 ~ IOA0 ビット “100b” (立ち上がりエッジでインプットキャプチャ)

図 19.3 インプットキャプチャ機能のバッファ動作

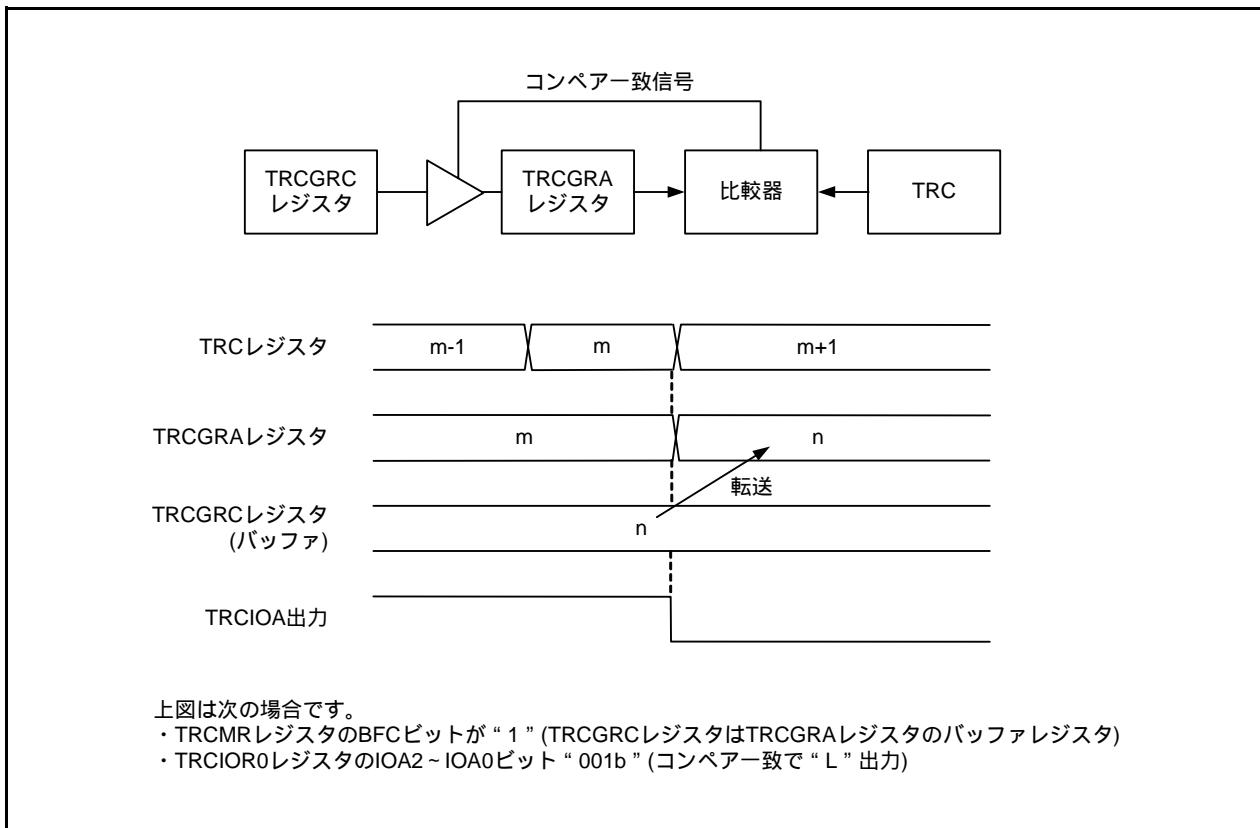


図19.4 アウトプットコンペア機能のバッファ動作

タイマモードでは次のようにしてください。

- TRCGRC レジスタを TRCGRA レジスタのバッファレジスタに使用する場合  
TRCIOR1 レジスタの IOC2 ビットは、TRCIOR0 レジスタの IOA2 ビットと同じ設定にしてください。
- TRCGRD レジスタを TRCGRB レジスタのバッファレジスタに使用する場合  
TRCIOR1 レジスタの IOD2 ビットは、TRCIOR0 レジスタの IOB2 ビットと同じ設定にしてください。

アウトプットコンペア機能、PWMモード、PWM2モードで、TRCGRC、TRCGRD レジスタをバッファレジスタに使用している場合も、TRC レジスタとのコンペア一致で TRCSR レジスタの IMFC、IMFD ビットが“1”になります。

インプットキャプチャ機能で TRCGRC、TRCGRD レジスタをバッファレジスタに使用している場合も、TRCIOC、TRCIOD 端子の入力エッジで TRCSR レジスタの IMFC、IMFD ビットが“1”になります。

### 19.3.3 デジタルフィルタ

TRCTRG 入力または TRCIOj(j = A、B、C、D のいずれか)入力をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックは TRCDF レジスタで選択してください。

図 19.5 にデジタルフィルタのブロック図を示します。

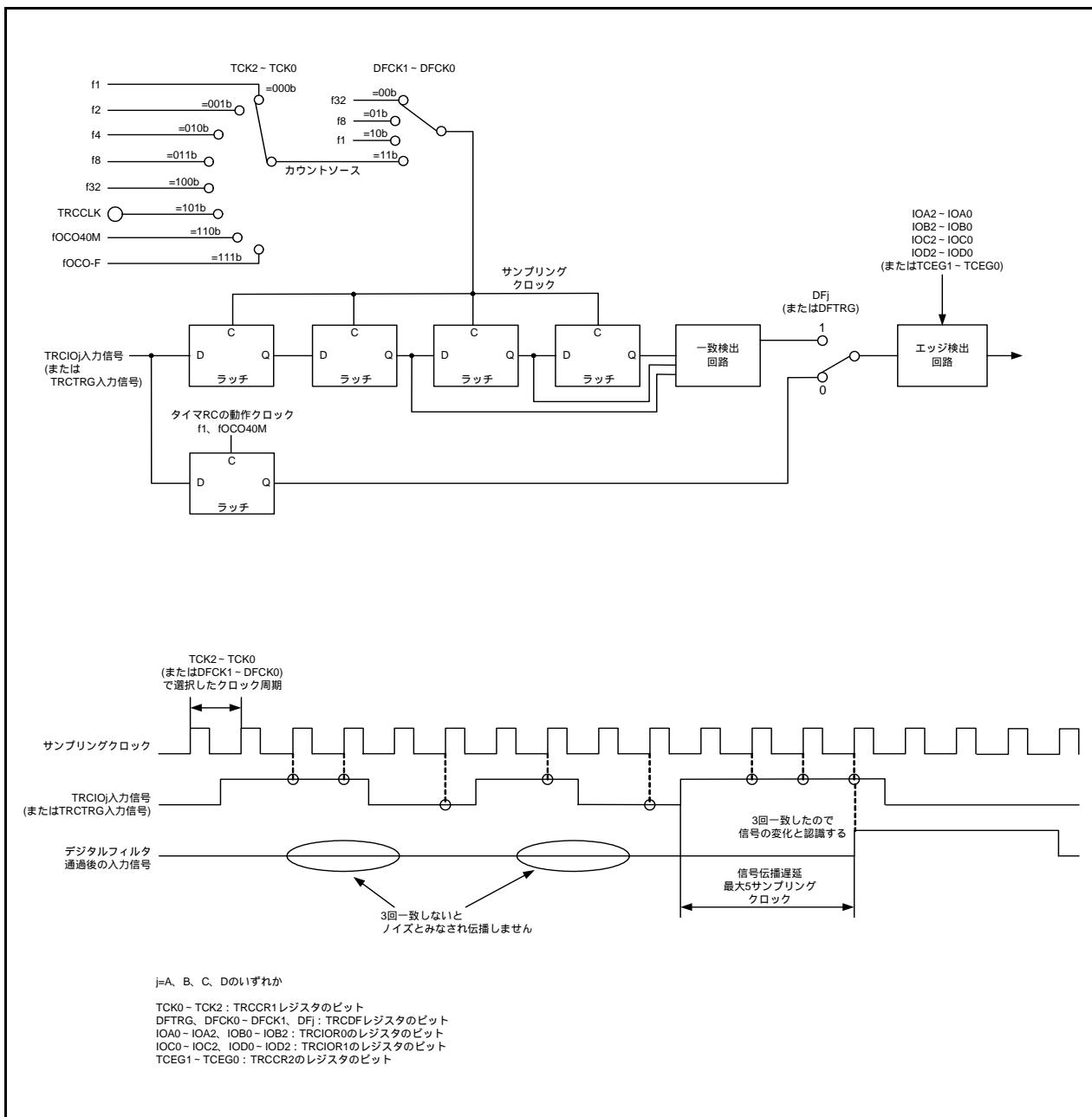


図 19.5 デジタルフィルタのブロック図

### 19.3.4 パルス出力強制遮断

タイマモードのアウトプットコンペア機能、PWMモード、PWM2モードのとき、INT0端子の入力によってTRCIOj(j = A、B、C、Dのいずれか)出力端子を強制的にプログラマブル入出力ポートにし、パルス出力を遮断できます。

これらの機能 / モードで出力に使用する端子は、TRCOER レジスタの Ej ビットを“0”(タイマ RC 出力許可)にすると、タイマ RC の出力端子として機能します。TRCOER レジスタの PTO ビットが“1”(パルス出力強制遮断信号入力 INT0 有効)のとき、INT0 端子に“L”を入力すると、TRCOER レジスタの EA、EB、EC、ED ビットがすべて“1”(タイマ RC 出力禁止、TRCIOj 出力端子はプログラマブル入出力ポート)になります。INT0 端子に“L”を入力してから、タイマ RC の動作クロック(「表 19.1

タイマ RC の動作クロック」参照)の 1 ~ 2 サイクル後に TRCIOj 出力端子がプログラマブル入出力ポートになります。

この機能を使用する場合は、次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態(ハイインピーダンス(入力)、“L”出力、または“H”出力)を設定(「7. I/O ポート」参照)。
- INTEN レジスタの INTOEN ビットを“1”(INT0 入力許可)、INTOPL ビットを“0”(片エッジ)、INTOIC レジスタの POL ビットを“0”(立ち下がりエッジを選択)にする。
- PD4 レジスタの PD4\_5 ビットを“0”(入力モード)にする。
- INT0 のデジタルフィルタを INTF レジスタの INT0F1 ~ INT0F0 ビットで選択する。
- TRCOER レジスタの PTO ビットを“1”(パルス出力強制遮断信号入力 INT0 有効)にする。

なお、INTOIC レジスタの POL ビットと INTEN レジスタの INTOPL ビットの選択と、INT0 端子入力の変更に従って、INTOIC レジスタの IR ビットが“1”(割り込み要求あり)になります(「11.8 割り込み使用上の注意」参照)。

割り込みの詳細は「11. 割り込み」を参照してください。

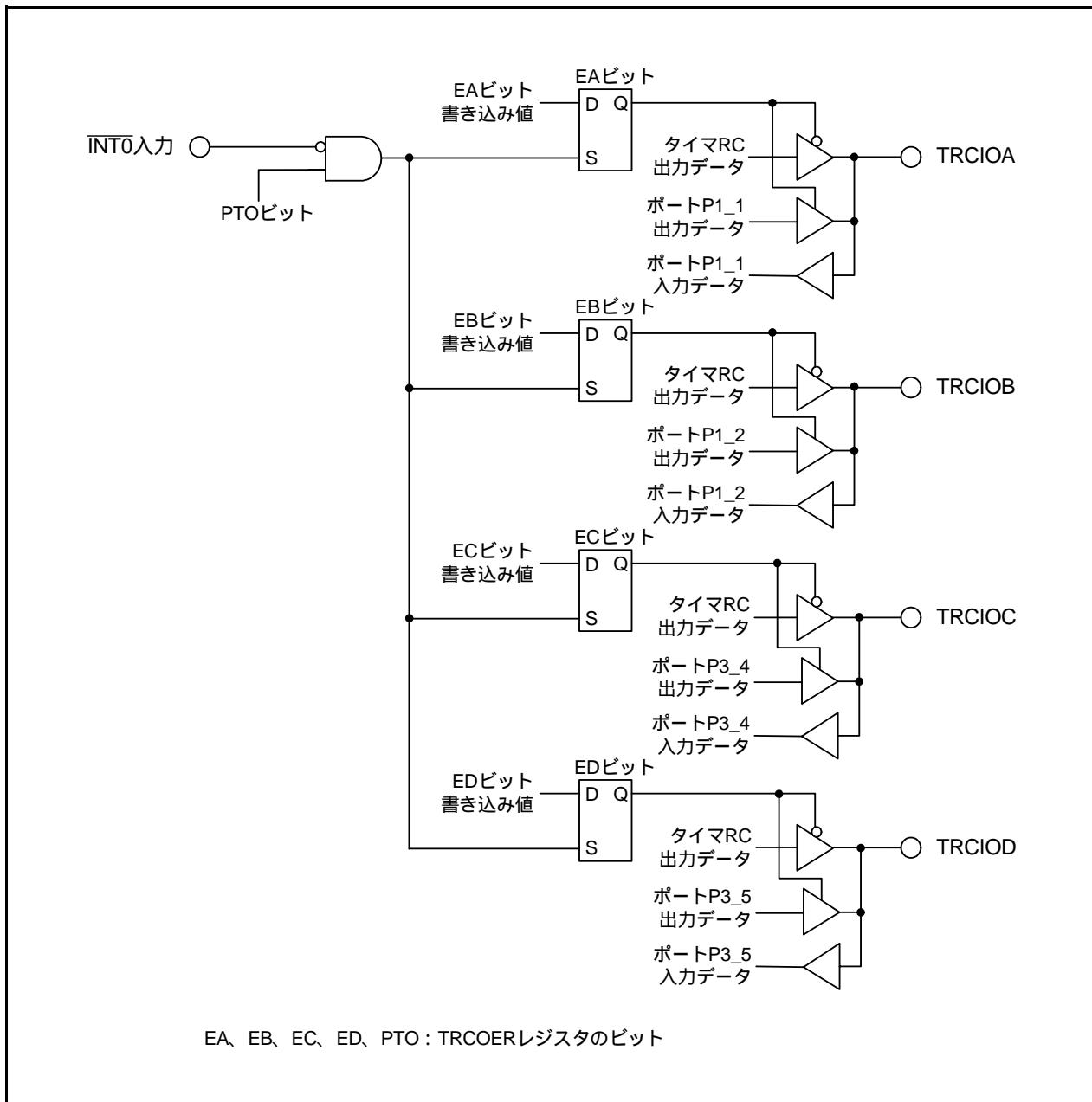


図19.6 パルス出力強制遮断

#### 19.4 タイマモード(インプットキャプチャ機能)

外部信号の幅や周期を測定する機能です。TRCIOj(j = A、B、C、Dのいずれか)端子の外部信号をトリガにしてTRCレジスタ(カウンタ)の内容をTRCGRjレジスタに転送します(インプットキャプチャ)。端子1本ごとにインプットキャプチャ機能にするか、他のモード、機能にするかを選択できます。

なお、TRCGRAレジスタはfOCO128をインプットキャプチャのトリガ入力として選択できます。

表19.7にインプットキャプチャ機能の仕様を、図19.7にインプットキャプチャ機能のブロック図を、表19.8にインプットキャプチャ機能時のTRCGRjレジスタの機能を、図19.8にインプットキャプチャ機能の動作例を示します。

表 19.7 インプットキャプチャ機能の仕様

| 項目                              | 仕様   |
|---------------------------------|--|
| カウントソース                         | f1、f2、f4、f8、f32、fOCO40M、fOCO-F<br>TRCCLK端子に入力された外部信号(立ち上がりエッジ)   |
| カウント動作                          | アップカウント  |
| カウント周期                          | <ul style="list-style-type: none"> <li>• TRCCR1レジスタのCCLRビットが“0”(フリーランニング動作)の場合<br/><math>1/f_k \times 65536</math> f<sub>k</sub> : カウントソースの周波数</li> <li>• TRCCR1レジスタのCCLRビットが“1”(TRCGRAのコンペア一致でTRCレジスタを“0000h”にする)の場合<br/><math>1/f_k \times (n+1)</math><br/>n : TRCGRAレジスタ設定値</li> </ul>   |
| カウント開始条件                        | TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み   |
| カウント停止条件                        | TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み<br>TRCレジスタは停止前の値を保持   |
| 割り込み要求発生タイミング                   | <ul style="list-style-type: none"> <li>• インプットキャプチャ(TRCIOj入力の有効エッジ、またはfOCO128信号のエッジ)</li> <li>• TRCレジスタオーバフロー</li> </ul>   |
| TRCIOA、TRCIOB、TRCIOC、TRCIOD端子機能 | プログラマブル入出力ポート、またはインプットキャプチャ入力(1端子ごとに選択)  |
| INT0端子機能                        | プログラマブル入出力ポート、またはINT0割り込み入力  |
| タイマの読み出し                        | TRCレジスタを読むと、カウント値が読める  |
| タイマの書き込み                        | TRCレジスタに書き込める  |
| 選択機能                            | <ul style="list-style-type: none"> <li>• インプットキャプチャ入力端子選択<br/>TRCIOA、TRCIOB、TRCIOC、TRCIOD端子のいずれか1本または複数本</li> <li>• インプットキャプチャ入力の有効エッジ選択<br/>立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方</li> <li>• バッファ動作(「19.3.2 バッファ動作」参照)</li> <li>• デジタルフィルタ(「19.3.3 デジタルフィルタ」参照)</li> <li>• TRCレジスタを“0000h”にするタイミング<br/>オーバフローまたはインプットキャプチャ</li> <li>• インプットキャプチャトリガ選択<br/>TRCGRAレジスタのインプットキャプチャトリガ入力にfOCO128を選択できる</li> </ul> |

j = A、B、C、Dのいずれか

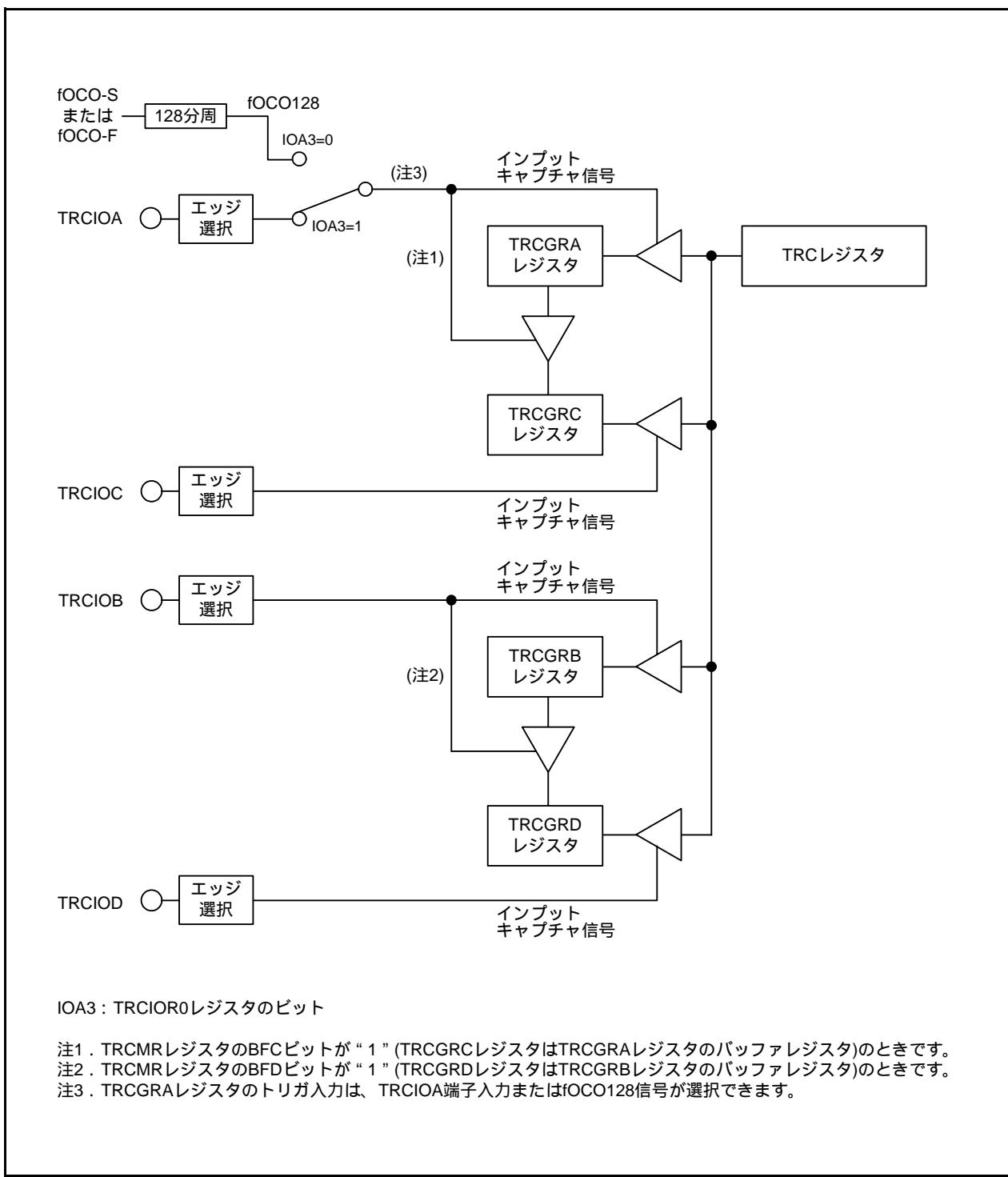


図19.7 インプットキャプチャ機能のブロック図

### 19.4.1 タイマ RC I/O制御レジスタ0 (TRCIOR0)[タイマモード(インプットキャプチャ機能)時]

アドレス 0124h番地

| ビット     | b7 | b6   | b5   | b4   | b3   | b2   | b1   | b0   |
|---------|----|------|------|------|------|------|------|------|
| シンボル    | -  | IOB2 | IOB1 | IOB0 | IOA3 | IOA2 | IOA1 | IOA0 |
| リセット後の値 | 1  | 0    | 0    | 0    | 1    | 0    | 0    | 0    |

| ビット | シンボル | ビット名                                       | 機能   | R/W |
|-----|------|--|--|-----|
| b0  | IOA0 | TRCGRA制御ビット                                | <sup>b1 b0</sup><br>0 0 : 立ち上がりエッジでTRCGRAへインプットキャプチャ<br>0 1 : 立ち下がりエッジでTRCGRAへインプットキャプチャ<br>1 0 : 兩エッジでTRCGRAへインプットキャプチャ<br>1 1 : 設定しないでください | R/W |
| b1  | IOA1 |  |  | R/W |
| b2  | IOA2 | TRCGRAモード選択ビット(注1)                         | インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください   | R/W |
| b3  | IOA3 | TRCGRAインプットキャプチャ入力切替ビット(注3)                | 0 : fOCO128信号<br>1 : TRCIOA端子入力  | R/W |
| b4  | IOB0 | TRCGRB制御ビット                                | <sup>b5 b4</sup><br>0 0 : 立ち上がりエッジでTRCGRBへインプットキャプチャ<br>0 1 : 立ち下がりエッジでTRCGRBへインプットキャプチャ<br>1 0 : 兩エッジでTRCGRBへインプットキャプチャ<br>1 1 : 設定しないでください | R/W |
| b5  | IOB1 |  |  | R/W |
| b6  | IOB2 | TRCGRBモード選択ビット(注2)                         | インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください   | R/W |
| b7  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | -  | -   |

注1. TRCMR レジスタのBFC ビットを“1”(TRCGRA レジスタのバッファレジスタ)にした場合、TRCIOR0 レジスタのIOA2 ビットとTRCIOR1 レジスタのIOC2 ビットの設定と同じにしてください。

注2. TRCMR レジスタのBFD ビットを“1”(TRCGRB レジスタのバッファレジスタ)にした場合、TRCIOR0 レジスタのIOB2 ビットとTRCIOR1 レジスタのIOD2 ビットの設定と同じにしてください。

注3. IOA2 ビットが“1”(インプットキャプチャ機能)のとき有効です。

### 19.4.2 タイマ RC I/O 制御レジスタ1 (TRCIOR1)[タイマモード(インプットキャプチャ機能)時]

アドレス 0125h 番地

| ビット     | b7   | b6   | b5   | b4   | b3   | b2   | b1   | b0   |
|---------|------|------|------|------|------|------|------|------|
| シンボル    | IOD3 | IOD2 | IOD1 | IOD0 | IOC3 | IOC2 | IOC1 | IOC0 |
| リセット後の値 | 1    | 0    | 0    | 0    | 1    | 0    | 0    | 0    |

| ビット | シンボル | ビット名                | 機能   | R/W |
|-----|------|---------------------|--|-----|
| b0  | IOC0 | TRCGRC制御ビット         | <sup>b1 b0</sup><br>0 0 : 立ち上がりエッジでTRCGRCへインプット<br>キャプチャ<br>0 1 : 立ち下がりエッジでTRCGRCへインプット<br>キャプチャ<br>1 0 : 兩エッジでTRCGRCへインプットキャプチャ<br>1 1 : 設定しないでください | R/W |
| b1  | IOC1 |                     |  | R/W |
| b2  | IOC2 | TRCGRC モード選択ビット(注1) | インプットキャプチャ機能では“1”(インプット<br>キャプチャ)にしてください   | R/W |
| b3  | IOC3 | TRCGRC レジスタ機能選択ビット  | “1”にしてください   | R/W |
| b4  | IOD0 | TRCGRD制御ビット         | <sup>b5 b4</sup><br>0 0 : 立ち上がりエッジでTRCGRDへインプット<br>キャプチャ<br>0 1 : 立ち下がりエッジでTRCGRDへインプット<br>キャプチャ<br>1 0 : 兩エッジでTRCGRDへインプットキャプチャ<br>1 1 : 設定しないでください | R/W |
| b5  | IOD1 |                     |  | R/W |
| b6  | IOD2 | TRCGRD モード選択ビット(注2) | インプットキャプチャ機能では“1”(インプット<br>キャプチャ)にしてください   | R/W |
| b7  | IOD3 | TRCGRD レジスタ機能選択ビット  | “1”にしてください   | R/W |

注1. TRCMR レジスタのBFC ビットを“1”(TRCGRA レジスタのバッファレジスタ)にした場合、TRCIOR0 レジスタのIOA2 ビットとTRCIOR1 レジスタのIOC2 ビットの設定と同じにしてください。

注2. TRCMR レジスタのBFD ビットを“1”(TRCGRB レジスタのバッファレジスタ)にした場合、TRCIOR0 レジスタのIOB2 ビットとTRCIOR1 レジスタのIOD2 ビットの設定と同じにしてください。

表 19.8 インプットキャプチャ機能時のTRCGRj レジスタの機能

| レジスタ   | 設定    | レジスタの機能  | インプットキャプチャ<br>入力端子 |
|--------|-------|--|--------------------|
| TRCGRA | -     | ジェネラルレジスタ。インプットキャプチャ時の<br>TRC レジスタの値が読みます。             | TRCIOA             |
| TRCGRB |       |  | TRCIOB             |
| TRCGRC | BFC=0 | ジェネラルレジスタ。インプットキャプチャ時の<br>TRC レジスタの値が読みます。             | TRCIOC             |
| TRCGRD | BFD=0 |  | TRCIOD             |
| TRCGRC | BFC=1 | バッファレジスタ。ジェネラルレジスタからの転送<br>値を保持します(「19.3.2 バッファ動作」参照)。 | TRCIOA             |
| TRCGRD | BFD=1 |  | TRCIOB             |

j = A, B, C, D のいずれか

BFC, BFD : TRCMR レジスタのビット

## 19.4.3 動作例

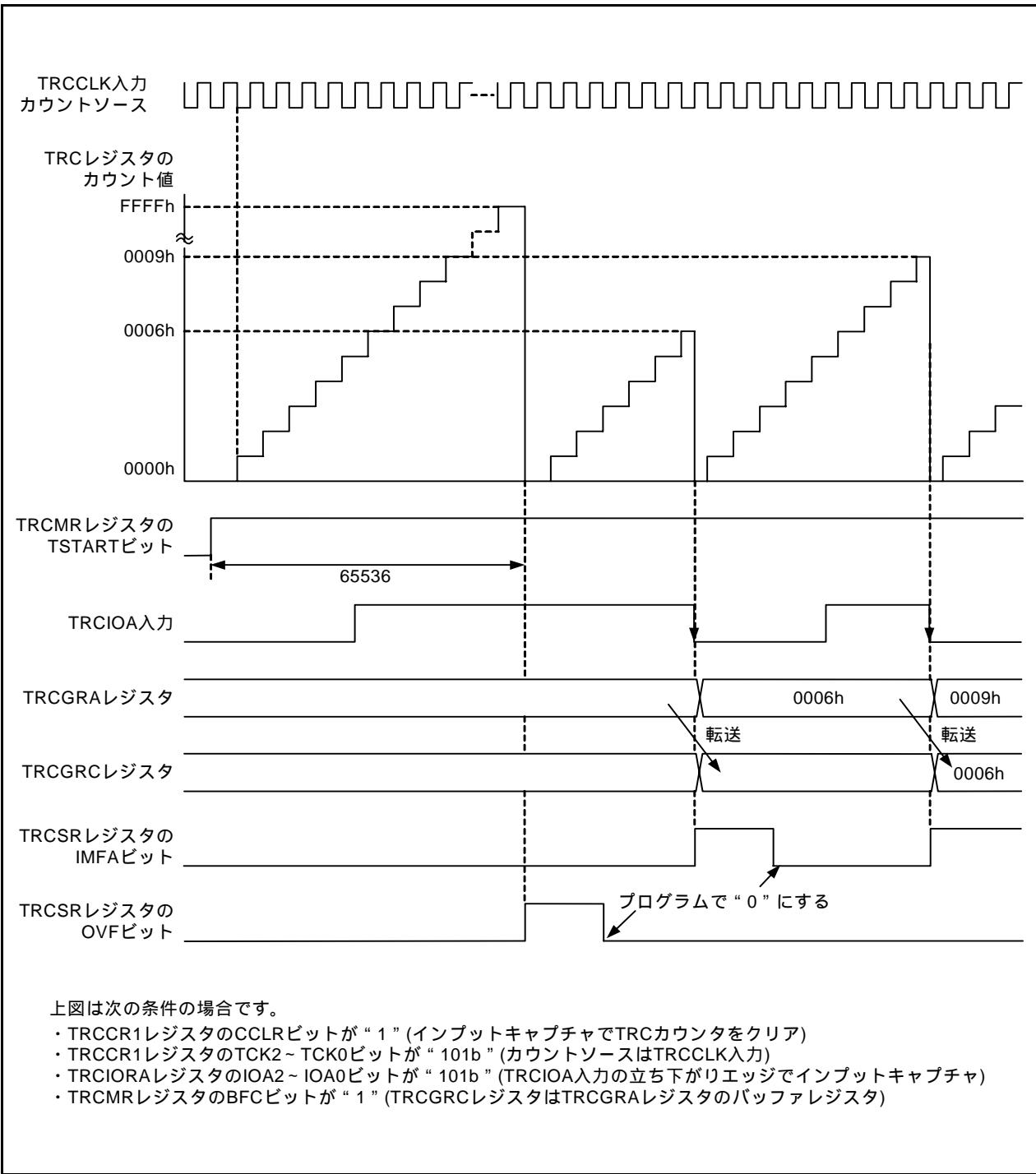


図19.8 インプットキャプチャ機能の動作例

## 19.5 タイマモード(アウトプットコンペア機能)

TRC レジスタ(カウンタ)の内容と、 $\text{TRCGR}_j$ ( $j = A, B, C, D$  のいずれか) レジスタの内容の一致(コンペア一致)を検出するモードです。一致したとき  $\text{TRCIO}_j$  端子から任意のレベルを出力します。端子ごとにアウトプットコンペア機能にするか、他のモード、機能にするかを選択できます。

表 19.9 にアウトプットコンペア機能の仕様を、図 19.9 にアウトプットコンペア機能のブロック図を、表 19.10 にアウトプットコンペア機能時の  $\text{TRCGR}_j$  レジスタの機能を、図 19.10 にアウトプットコンペア機能の動作例を示します。

表 19.9 アウトプットコンペア機能の仕様

| 項目                                   | 仕様  |
|--------------------------------------|---|
| カウントソース                              | $f_1, f_2, f_4, f_8, f_{32}, f_{\text{OCO}40M}, f_{\text{OCO}-F}$<br>TRCCLK 端子に入力された外部信号(立ち上がりエッジ)  |
| カウント動作                               | アップカウント   |
| カウント周期                               | <ul style="list-style-type: none"> <li>• TRCCR1 レジスタの CCLR ビットが “0” (フリーランニング動作) の場合<br/><math>1/f_k \times 65536</math> <math>f_k</math> : カウントソースの周波数</li> <li>• TRCCR1 レジスタの CCLR ビットが “1” (TRCGRA のコンペア一致で TRC レジスタを “0000h” にする) の場合<br/><math>1/f_k \times (n+1)</math><br/><math>n</math> : TRCGRA レジスタ設定値</li> </ul>  |
| 波形出力タイミング                            | コンペア一致  |
| カウント開始条件                             | TRCMR レジスタの TSTART ビットへの “1” (カウント開始)書き込み   |
| カウント停止条件                             | <ul style="list-style-type: none"> <li>• TRCCR2 レジスタの CSEL ビットが “0” (TRCGRA レジスタとのコンペア一致後もカウント継続) の場合<br/>TRCMR レジスタの TSTART ビットへの “0” (カウント停止)書き込み<br/>アウトプットコンペア出力端子はカウント停止前の出力レベルを保持、TRC レジスタは停止前の値を保持</li> <li>• TRCCR2 レジスタの CSEL ビットが “1” (TRCGRA レジスタとのコンペア一致でカウント停止) の場合<br/>TRCGRA レジスタとのコンペア一致でカウント停止、アウトプットコンペア出力端子はコンペア一致による出力変化後のレベルを保持</li> </ul>   |
| 割り込み要求発生タイミング                        | <ul style="list-style-type: none"> <li>• コンペア一致 (TRC レジスタと <math>\text{TRCGR}_j</math> レジスタの内容が一致)</li> <li>• TRC レジスタオーバフロー</li> </ul>   |
| TRCIOA、TRCIOB、TRCIOC、<br>TRCIOD 端子機能 | プログラマブル入出力ポート、またはアウトプットコンペア出力<br>(1 端子ごとに選択)  |
| INT0 端子機能                            | プログラマブル入出力ポート、パルス出力強制遮断信号入力、または INT0 割り込み入力   |
| タイマの読み出し                             | TRC レジスタを読むと、カウント値が読める  |
| タイマの書き込み                             | TRC レジスタに書き込める  |
| 選択機能                                 | <ul style="list-style-type: none"> <li>• アウトプットコンペア出力端子選択<br/>TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子のいずれか 1 本または複数本</li> <li>• コンペア一致時の出力レベル選択<br/>“L” 出力、“H” 出力、またはトグル出力</li> <li>• 初期出力レベル選択<br/>カウント開始からコンペア一致までの期間のレベルを設定</li> <li>• TRC レジスタを “0000h” にするタイミング<br/>オーバフロー、または TRCGRA レジスタのコンペア一致</li> <li>• バッファ動作(「19.3.2 バッファ動作」参照)</li> <li>• パルス出力強制遮断信号入力(「19.3.4 パルス出力強制遮断」参照)</li> <li>• タイマ RC は出力しないことで内部タイマとして使用できる</li> <li>• TRCGRC、TRCGRD の出力端子変更<br/>TRCGRC を TRCIOA 端子の、TRCGRD を TRCIOB 端子の出力制御に使用できる</li> <li>• A/D トリガ発生</li> </ul> |

$j = A, B, C, D$  のいずれか

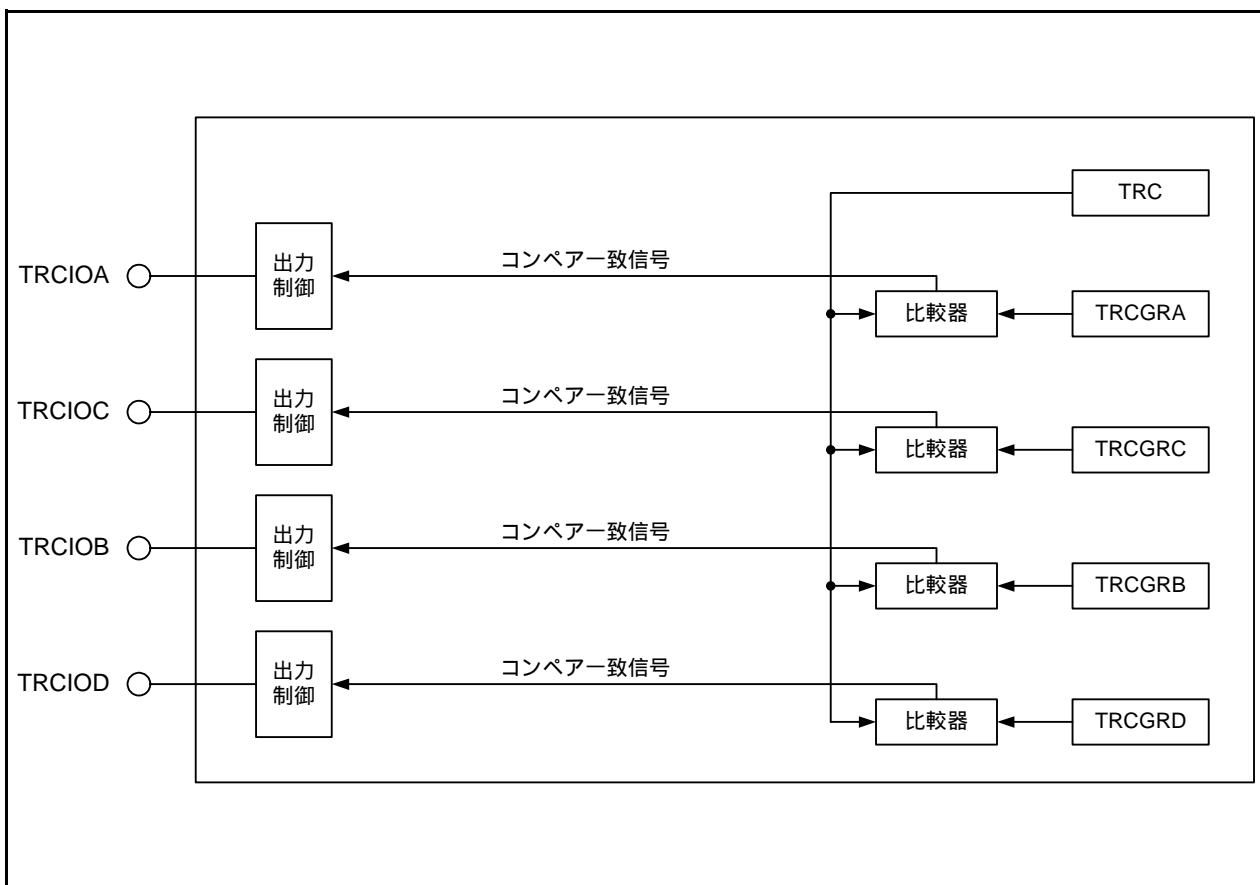


図19.9 アウトプットコンペア機能のブロック図

## 19.5.1 タイマRC制御レジスタ1(TRCCR1)[タイマモード(アウトプットコンペア機能)時]

アドレス 0121h番地

| ビット     | b7   | b6   | b5   | b4   | b3  | b2  | b1  | b0  |
|---------|------|------|------|------|-----|-----|-----|-----|
| シンボル    | CCLR | TCK2 | TCK1 | TCK0 | TOD | TOC | TOB | TOA |
| リセット後の値 | 0    | 0    | 0    | 0    | 0   | 0   | 0   | 0   |

| ビット | シンボル | ビット名                                     | 機能  | R/W |
|-----|------|--|---|-----|
| b0  | TOA  | TRCIOA出力レベル選択ビット(注1、2)                   | 0: 初期出力 “L”<br>1: 初期出力 “H”  | R/W |
| b1  | TOB  | TRCIOB出力レベル選択ビット(注1、2)                   |   | R/W |
| b2  | TOC  | TRCIOC出力レベル選択ビット(注1、2)                   |   | R/W |
| b3  | TOD  | TRCIOD出力レベル選択ビット(注1、2)                   |   | R/W |
| b4  | TCK0 | カウントソース選択ビット(注1)<br><br><br><br><br><br> | b6 b5 b4<br>0 0 0 : f1<br>0 0 1 : f2<br>0 1 0 : f4<br>0 1 1 : f8<br>1 0 0 : f32<br>1 0 1 : TRCCLK入力の立ち上がりエッジ<br>1 1 0 : fOCO40M<br>1 1 1 : fOCO-F(注3) | R/W |
| b5  | TCK1 |  |   | R/W |
| b6  | TCK2 |  |   | R/W |
| b7  | CCLR | TRCカウンタクリア選択ビット                          | 0: クリア禁止(フリーランニング動作)<br>1: TRCGRAのコンペア一致でクリア  | R/W |

注1. TRCMR レジスタのTSTART ビットが “0” (カウント停止) のとき、書いてください。

注2. 端子の機能が波形出力の場合(「7.5 ポートの設定」参照)、TRCCR1 レジスタを設定したとき、初期出力レベルが 出力されます。

注3. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

表 19.10 アウトプットコンペア機能時のTRCGRj レジスタの機能

| レジスタ   | 設定    | レジスタの機能                                       | アウトプットコンペア出力端子 |
|--------|-------|---|----------------|
| TRCGRA | -     | ジェネラルレジスタ。コンペア値を書いてください。                      | TRCIOA         |
| TRCGRB |       |   | TRCIOB         |
| TRCGRC | BFC=0 | ジェネラルレジスタ。コンペア値を書いてください。                      | TRCIOC         |
| TRCGRD | BFD=0 |   | TRCIOD         |
| TRCGRC | BFC=1 | バッファレジスタ。次回のコンペア値を書いてください。(「19.3.2 バッファ動作」参照) | TRCIOA         |
| TRCGRD | BFD=1 |   | TRCIOB         |

j = A、B、C、Dのいずれか

BFC、BFD : TRCMR レジスタのビット

### 19.5.2 タイマ RC I/O 制御レジスタ0 (TRCIOR0)[タイマモード(アウトプットコンペア機能)時]

アドレス 0124h 番地

| ビット     | b7 | b6   | b5   | b4   | b3   | b2   | b1   | b0   |
|---------|----|------|------|------|------|------|------|------|
| シンボル    | -  | IOB2 | IOB1 | IOB0 | IOA3 | IOA2 | IOA1 | IOA0 |
| リセット後の値 | 1  | 0    | 0    | 0    | 1    | 0    | 0    | 0    |

| ビット | シンボル | ビット名                                       | 機能   | R/W |
|-----|------|--|--|-----|
| b0  | IOA0 | TRCGRA制御ビット                                | <sup>b1 b0</sup><br>0 0 : コンペア一致による端子出力禁止<br>(TRCIOA端子はプログラマブル入出力ポート)<br>0 1 : TRCGRAのコンペア一致で“L”出力<br>1 0 : TRCGRAのコンペア一致で“H”出力<br>1 1 : TRCGRAのコンペア一致でトグル出力 | R/W |
| b1  | IOA1 |  |  | R/W |
| b2  | IOA2 | TRCGRAモード選択ビット(注1)                         | アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください   | R/W |
| b3  | IOA3 | TRCGRAインプットキャプチャ入力切替ビット                    | “1”にしてください   | R/W |
| b4  | IOB0 | TRCGRB制御ビット                                | <sup>b5 b4</sup><br>0 0 : コンペア一致による端子出力禁止<br>(TRCIOB端子はプログラマブル入出力ポート)<br>0 1 : TRCGRBのコンペア一致で“L”出力<br>1 0 : TRCGRBのコンペア一致で“H”出力<br>1 1 : TRCGRBのコンペア一致でトグル出力 | R/W |
| b5  | IOB1 |  |  | R/W |
| b6  | IOB2 | TRCGRBモード選択ビット(注2)                         | アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください   | R/W |
| b7  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | -  | -   |

注1. TRCMR レジスタのBFC ビットを“1”(TRCGRA レジスタのバッファレジスタ)にした場合、TRCIOR0 レジスタのIOA2 ビットとTRCIOR1 レジスタのIOC2 ビットの設定と同じにしてください。

注2. TRCMR レジスタのBFD ビットを“1”(TRCGRB レジスタのバッファレジスタ)にした場合、TRCIOR0 レジスタのIOB2 ビットとTRCIOR1 レジスタのIOD2 ビットの設定と同じにしてください。

### 19.5.3 タイマ RC I/O制御レジスタ1 (TRCIOR1)[タイマモード(アウトプットコンペア機能)時]

アドレス 0125h番地

| ビット     | b7   | b6   | b5   | b4   | b3   | b2   | b1   | b0   |
|---------|------|------|------|------|------|------|------|------|
| シンボル    | IOD3 | IOD2 | IOD1 | IOD0 | IOC3 | IOC2 | IOC1 | IOC0 |
| リセット後の値 | 1    | 0    | 0    | 0    | 1    | 0    | 0    | 0    |

| ビット | シンボル | ビット名               | 機能   | R/W |
|-----|------|--------------------|--|-----|
| b0  | IOC0 | TRCGRC制御ビット        | <sup>b1 b0</sup><br>0 0 : コンペア一致による端子出力禁止<br>0 1 : TRCGRCのコンペア一致で“L”出力<br>1 0 : TRCGRCのコンペア一致で“H”出力<br>1 1 : TRCGRCのコンペア一致でトグル出力 | R/W |
| b1  | IOC1 |                    |  | R/W |
| b2  | IOC2 | TRCGRCモード選択ビット(注1) | アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください   | R/W |
| b3  | IOC3 | TRCGRC レジスタ機能選択ビット | 0 : TRCIOA出力レジスタ<br>1 : ジェネラルレジスタまたはバッファレジスタ   | R/W |
| b4  | IOD0 | TRCGRD制御ビット        | <sup>b5 b4</sup><br>0 0 : コンペア一致による端子出力禁止<br>0 1 : TRCGRDのコンペア一致で“L”出力<br>1 0 : TRCGRDのコンペア一致で“H”出力<br>1 1 : TRCGRDのコンペア一致でトグル出力 | R/W |
| b5  | IOD1 |                    |  | R/W |
| b6  | IOD2 | TRCGRDモード選択ビット(注2) | アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください   | R/W |
| b7  | IOD3 | TRCGRD レジスタ機能選択ビット | 0 : TRCIOB出力レジスタ<br>1 : ジェネラルレジスタまたはバッファレジスタ   | R/W |

注1. TRCMR レジスタのBFC ビットを“1”(TRCGRA レジスタのバッファレジスタ)にした場合、TRCIOR0 レジスタのIOA2 ビットとTRCIOR1 レジスタのIOC2 ビットの設定を同じにしてください。

注2. TRCMR レジスタのBFD ビットを“1”(TRCGRB レジスタのバッファレジスタ)にした場合、TRCIOR0 レジスタのIOB2 ビットとTRCIOR1 レジスタのIOD2 ビットの設定を同じにしてください。

## 19.5.4 タイマRC制御レジスタ2(TRCCR2)[タイマモード(アウトプットコンペア機能)時]

アドレス 0130h 番地

| ビット     | b7    | b6    | b5   | b4 | b3 | b2   | b1   | b0   |
|---------|-------|-------|------|----|----|------|------|------|
| シンボル    | TCEG1 | TCEG0 | CSEL | -  | -  | POLD | POLC | POLB |
| リセット後の値 | 0     | 0     | 0    | 1  | 1  | 0    | 0    | 0    |

| ビット | シンボル  | ビット名                                       | 機能   | R/W |
|-----|-------|--|--|-----|
| b0  | POLB  | PWM モードアウトプットレベル制御ビットB (注1)                | 0 : TRCIOBの出力レベルは“L”アクティブ<br>1 : TRCIOBの出力レベルは“H”アクティブ   | R/W |
| b1  | POLC  | PWM モードアウトプットレベル制御ビットC (注1)                | 0 : TRCIOCの出力レベルは“L”アクティブ<br>1 : TRCIOCの出力レベルは“H”アクティブ   | R/W |
| b2  | POLD  | PWM モードアウトプットレベル制御ビットD (注1)                | 0 : TRCIODの出力レベルは“L”アクティブ<br>1 : TRCIODの出力レベルは“H”アクティブ   | R/W |
| b3  | -     | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 |  |     |
| b4  | -     |  |  | -   |
| b5  | CSEL  | TRCカウント動作選択ビット (注2)                        | 0 : TRCGRA レジスタとのコンペア一致後もカウント継続<br>1 : TRCGRA レジスタとのコンペア一致でカウント停止  | R/W |
| b6  | TCEG0 | TRCTRG 入力エッジ選択ビット (注3)                     | <sup>b7 b6</sup><br>0 0 : TRCTRG からのトリガ入力を禁止<br>0 1 : 立ち上がりエッジを選択<br>1 0 : 立ち下がりエッジを選択<br>1 1 : 立ち上がり/立ち下がり両エッジを選択 | R/W |
| b7  | TCEG1 |  |  | R/W |

注1. PWM モードのとき有効です。

注2. アウトプットコンペア機能、PWM モード、PWM2 モードのとき有効です。PWM2 モード時の注意事項は「19.9.6 PWM2 モード時のTRCMR レジスタ」を参照してください。

注3. PWM2 モードのとき有効です。

## 19.5.5 動作例

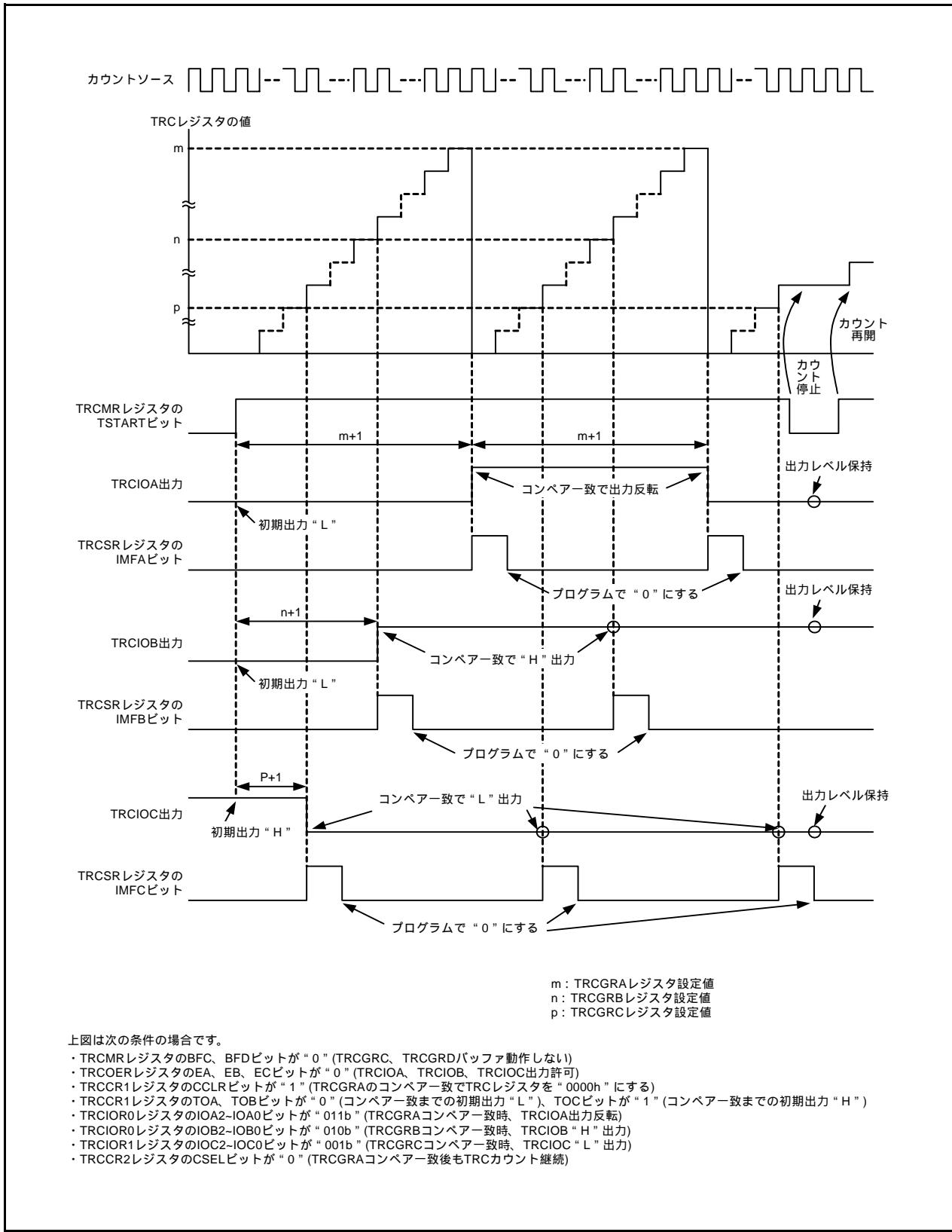


図19.10 アウトプットコンペア機能の動作例

### 19.5.6 TRCGRC、TRCGRD レジスタの出力端子変更

TRCGRC レジスタを TRCIOA 端子の、TRCGRD レジスタを TRCIOB 端子の出力制御に使用できます。したがって、各端子の出力は次のように制御できます。

- TRCIOA 出力は、TRCGRA レジスタの値と TRCGRC レジスタの値の 2 点で制御
- TRCIOB 出力は、TRCGRB レジスタの値と TRCGRD レジスタの値の 2 点で制御

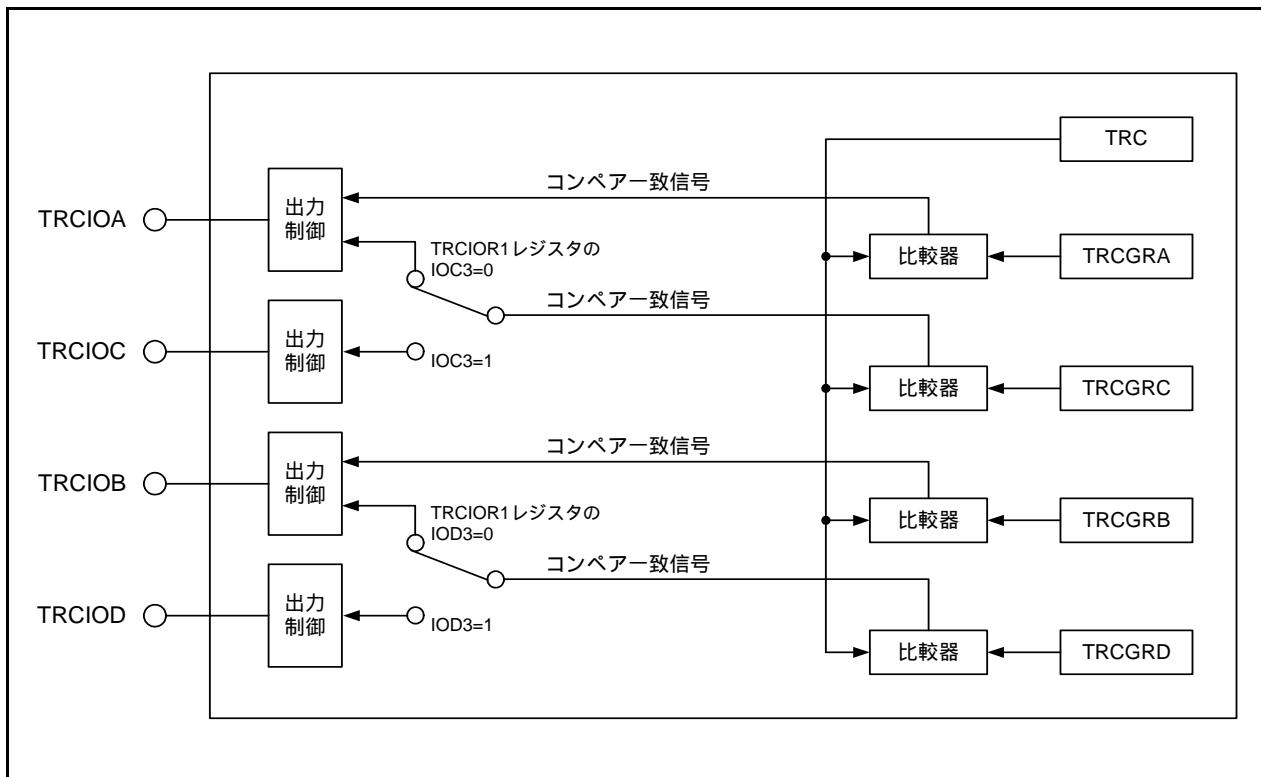


図 19.11 TRCGRC、TRCGRD の出力端子変更

TRCGRC、TRCGRD レジスタの出力端子を変更する場合は、次のようにしてください。

- TRCIOR1 レジスタの IOC3 ビットを “0” (TRCIOA 出力レジスタ)、IOD3 ビットを “0” (TRCIOB 出力レジスタ) にする。
- TRCMR レジスタの BFC、BFD ビットを “0” (ジェネラルレジスタ) にする。
- TRCGRA レジスタと TRCGRC レジスタは違う値を設定。また、TRCGRB レジスタと TRCGRD レジスタは違う値を設定。

図19.12にTRCGRCをTRCIOA端子の、TRCGRDをTRCIOB端子の出力制御に使用した場合の動作例を示します。

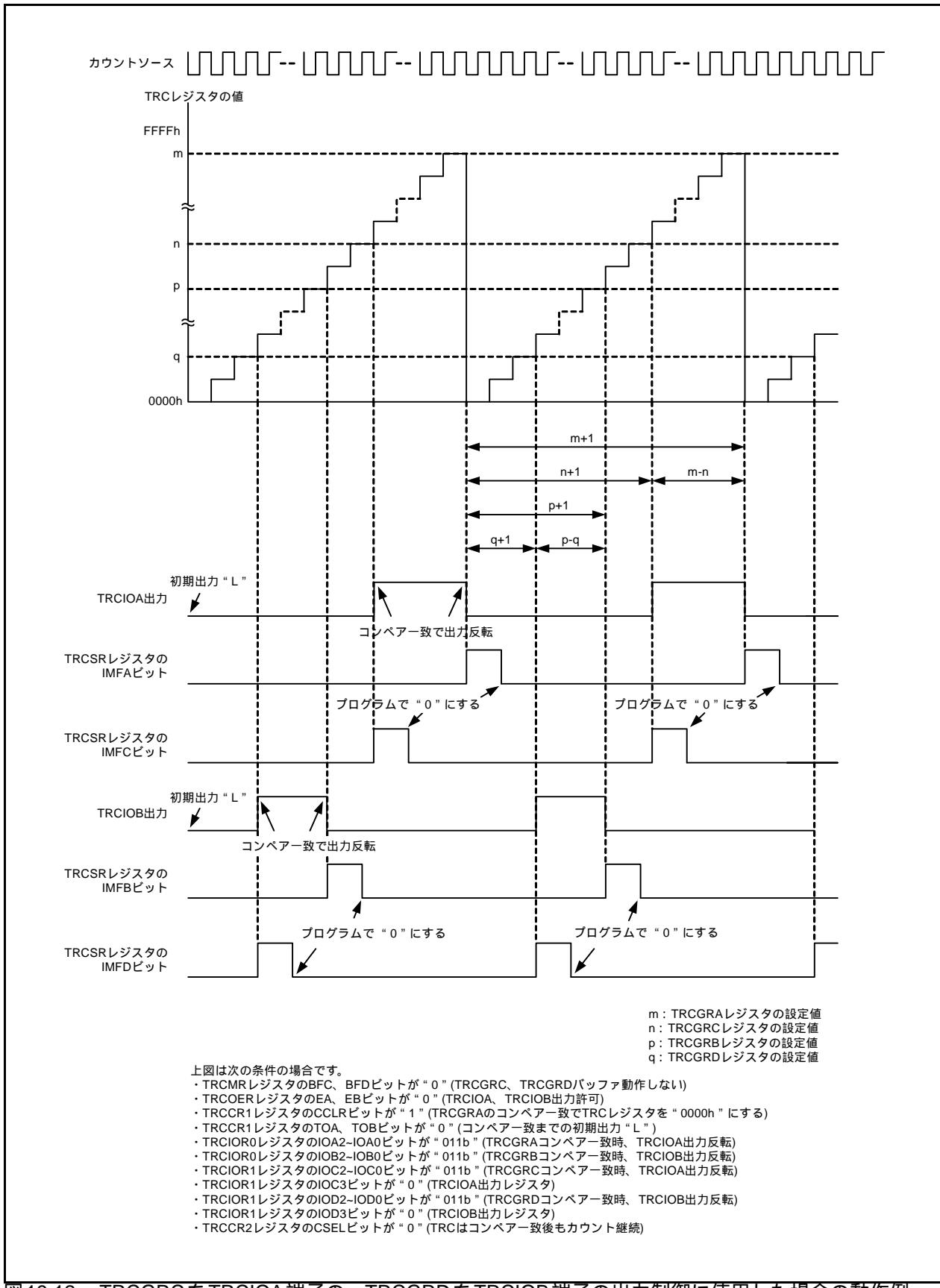


図19.12 TRCGRCをTRCIOA端子の、TRCGRDをTRCIOB端子の出力制御に使用した場合の動作例

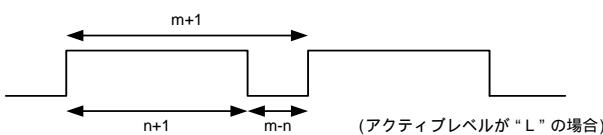
## 19.6 PWM モード

PWM 波形を出力するモードです。同周期の PWM 波形を最大3本出力できます。

端子1本ごとにPWMモードにするか、タイマモードにするかを選択できます。(ただし、いずれの端子を PWM モードに使用する場合も TRCGRA レジスタを使用しますので、TRCGRA レジスタはタイマモードに使用できません。)

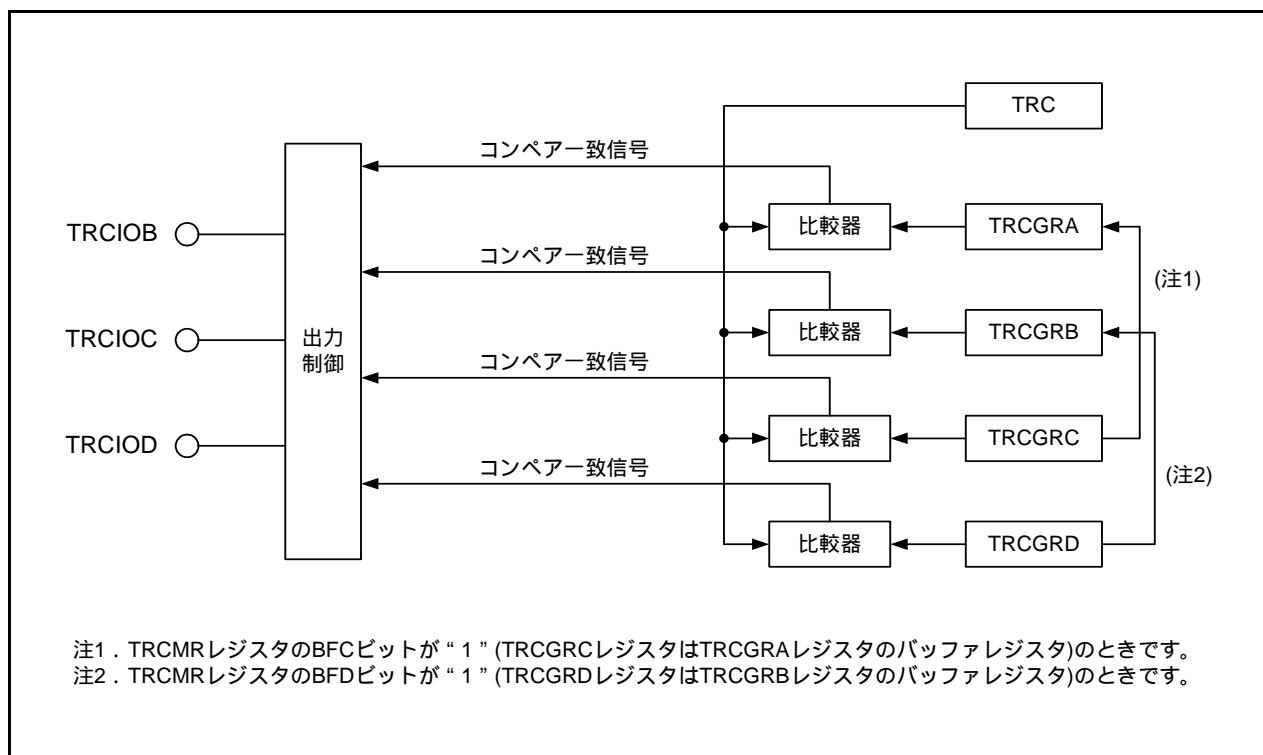
表 19.11 に PWM モードの仕様を、図 19.13 に PWM モードのブロック図を、表 19.12 に PWM モード時の TRCGRh レジスタの機能を、図 19.14 ~ 図 19.15 に PWM モードの動作例を示します。

表 19.11 PWM モードの仕様

| 項目                        | 仕様   |
|---------------------------|--|
| カウントソース                   | f1、f2、f4、f8、f32、fOCO40M、fOCO-F<br>TRCCLK 端子に入力された外部信号(立ち上がりエッジ)  |
| カウント動作                    | アップカウント  |
| PWM 波形                    | <p>PWM 周期 : <math>1/f_k \times (m+1)</math><br/>           アクティブルレベル幅 : <math>1/f_k \times (m-n)</math><br/>           アクティブでないレベルの幅 : <math>1/f_k \times (n+1)</math></p> <p><math>f_k</math> : カウントソースの周波数<br/> <math>m</math> : TRCGRA レジスタ設定値<br/> <math>n</math> : TRCGRj レジスタ設定値</p>  <p>(アクティブルレベルが "L" の場合)</p> |
| カウント開始条件                  | TRCMR レジスタの TSTART ビットへの "1" (カウント開始)書き込み  |
| カウント停止条件                  | <ul style="list-style-type: none"> <li>TRCCR2 レジスタの CSEL ビットが "0" (TRCGRA レジスタとのコンペア一致後もカウント継続) の場合</li> <li>TRCMR レジスタの TSTART ビットへの "0" (カウント停止)書き込み</li> <li>PWM 出力端子はカウント停止前の出力レベルを保持、TRC レジスタは停止前の値を保持</li> <li>TRCCR2 レジスタの CSEL ビットが "1" (TRCGRA レジスタとのコンペア一致でカウント停止) の場合</li> <li>TRCGRA レジスタとのコンペア一致でカウント停止、PWM 出力端子はコンペア一致による出力変化後のレベルを保持</li> </ul>   |
| 割り込み要求発生タイミング             | <ul style="list-style-type: none"> <li>コンペア一致 (TRC レジスタと TRCGRh レジスタの内容が一致 )</li> <li>TRC レジスタオーバフロー</li> </ul>  |
| TRCIOA 端子機能               | プログラマブル入出力ポート  |
| TRCIOB、TRCIOC、TRCIOD 端子機能 | プログラマブル入出力ポート、または PWM 出力(1端子ごとに選択)   |
| INT0 端子機能                 | プログラマブル入出力ポート、パルス出力強制遮断信号入力、または INT0 割り込み入力  |
| タイマの読み出し                  | TRC レジスタを読むと、カウント値が読める   |
| タイマの書き込み                  | TRC レジスタに書きめる  |
| 選択機能                      | <ul style="list-style-type: none"> <li>PWM 出力端子を 1~3 本選択</li> <li>TRCIOB、TRCIOC、TRCIOD 端子のいずれか 1 本または複数本。</li> <li>アクティブルレベルを 1 端子ごとに選択</li> <li>初期出力レベルを 1 端子ごとに選択</li> <li>バッファ動作 (「19.3.2 バッファ動作」参照)</li> <li>パルス出力強制遮断信号入力 (「19.3.4 パルス出力強制遮断」参照)</li> <li>A/D トリガ発生</li> </ul>  |

j = B、C、D のいずれか

h = A、B、C、D のいずれか



### 19.6.1 タイマ RC 制御レジスタ1 (TRCCR1)[PWM モード時]

アドレス 0121h 番地

| ビット     | b7   | b6   | b5   | b4   | b3  | b2  | b1  | b0  |
|---------|------|------|------|------|-----|-----|-----|-----|
| シンボル    | CCLR | TCK2 | TCK1 | TCK0 | TOD | TOC | TOB | TOA |
| リセット後の値 | 0    | 0    | 0    | 0    | 0   | 0   | 0   | 0   |

| ビット | シンボル | ビット名                   | 機能   | R/W |
|-----|------|------------------------|--|-----|
| b0  | TOA  | TRCIOA出力レベル選択ビット(注1)   | PWM モードでは無効  | R/W |
| b1  | TOB  | TRCIOB出力レベル選択ビット(注1、2) | 0 : 初期出力はアクティブでないレベル<br>1 : 初期出力はアクティブレベル  | R/W |
| b2  | TOC  | TRCIOC出力レベル選択ビット(注1、2) |  | R/W |
| b3  | TOD  | TRCIOD出力レベル選択ビット(注1、2) |  | R/W |
| b4  | TCK0 | カウントソース選択ビット(注1)       | b6 b5 b4<br>0 0 0 : f1<br>0 0 1 : f2<br>0 1 0 : f4<br>0 1 1 : f8<br>1 0 0 : f32<br>1 0 1 : TRCCLK 入力の立ち上がりエッジ<br>1 1 0 : fOCO40M<br>1 1 1 : fOCO-F(注3) | R/W |
| b5  | TCK1 |                        |  | R/W |
| b6  | TCK2 |                        |  | R/W |
| b7  | CCLR | TRC カウンタクリア選択ビット       | 0 : クリア禁止(フリーランニング動作)<br>1 : TRCGRA のコンペア一致でクリア  | R/W |

注1. TRCMR レジスタのTSTART ビットが “0” (カウント停止) のとき、書いてください。

注2. 端子の機能が波形出力の場合(「7.5 ポートの設定」参照)、TRCCR1 レジスタを設定したとき、初期出力レベルが 出力されます。

注3. fOCO-F を選択するときは、CPU クロックより速いクロック周波数に fOCO-F を設定してください。

### 19.6.2 タイマ RC 制御レジスタ2 (TRCCR2)[PWM モード時]

アドレス 0130h 番地

| ビット     | b7    | b6    | b5   | b4 | b3 | b2   | b1   | b0   |
|---------|-------|-------|------|----|----|------|------|------|
| シンボル    | TCEG1 | TCEG0 | CSEL | -  | -  | POLD | POLC | POLB |
| リセット後の値 | 0     | 0     | 0    | 1  | 1  | 0    | 0    | 0    |

| ビット | シンボル  | ビット名                                       | 機能   | R/W |
|-----|-------|--|--|-----|
| b0  | POLB  | PWM モードアウトプットレベル制御ビットB (注1)                | 0 : TRCIOBの出力レベルは“L”アクティブ<br>1 : TRCIOBの出力レベルは“H”アクティブ   | R/W |
| b1  | POLC  | PWM モードアウトプットレベル制御ビットC (注1)                | 0 : TRCIOCの出力レベルは“L”アクティブ<br>1 : TRCIOCの出力レベルは“H”アクティブ   | R/W |
| b2  | POLD  | PWM モードアウトプットレベル制御ビットD (注1)                | 0 : TRCIODの出力レベルは“L”アクティブ<br>1 : TRCIODの出力レベルは“H”アクティブ   | R/W |
| b3  | -     | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 |  |     |
| b4  | -     |  |  |     |
| b5  | CSEL  | TRCカウント動作選択ビット (注2)                        | 0 : TRCGRA レジスタとのコンペア一致後もカウント継続<br>1 : TRCGRA レジスタとのコンペア一致でカウント停止  | R/W |
| b6  | TCEG0 | TRCTRG 入力エッジ選択ビット (注3)                     | <sup>b7 b6</sup><br>00 : TRCTRG からのトリガ入力を禁止<br>01 : 立ち上がりエッジを選択<br>10 : 立ち下がりエッジを選択<br>11 : 立ち上がり/立ち下がり両エッジを選択 | R/W |
| b7  | TCEG1 |  |  | R/W |

注1. PWM モードのとき有効です。

注2. アウトプットコンペア機能、PWM モード、PWM2 モードのとき有効です。PWM2 モード時の注意事項は「19.9.6 PWM2 モード時のTRCMR レジスタ」を参照してください。

注3. PWM2 モードのとき有効です。

表 19.12 PWM モード時のTRCGRh レジスタの機能

| レジスタ   | 設定    | レジスタの機能  | PWM 出力端子 |
|--------|-------|--|----------|
| TRCGRA | -     | ジェネラルレジスタ。PWM 周期を設定してください。                           | -        |
| TRCGRB | -     | ジェネラルレジスタ。PWM 出力の変化点を設定してください。                       | TRCIOB   |
| TRCGRC | BFC=0 | ジェネラルレジスタ。PWM 出力の変化点を設定してください                        | TRCIOC   |
| TRCGRD | BFD=0 |  | TRCIOD   |
| TRCGRC | BFC=1 | バッファレジスタ。次回のPWM 周期を設定してください (「19.3.2 バッファ動作」参照)。     | -        |
| TRCGRD | BFD=1 | バッファレジスタ。次回のPWM 出力の変化点を設定してください (「19.3.2 バッファ動作」参照)。 | TRCIOB   |

h = A、B、C、D のいずれか

BFC、BFD : TRCMR レジスタのビット

注1. TRCGRA レジスタの値(PWM 周期)とTRCGRB、TRCGRC、TRCGRD レジスタの値が同じ場合、コンペア一致しても端子の出力レベルは変化しません。

## 19.6.3 動作例

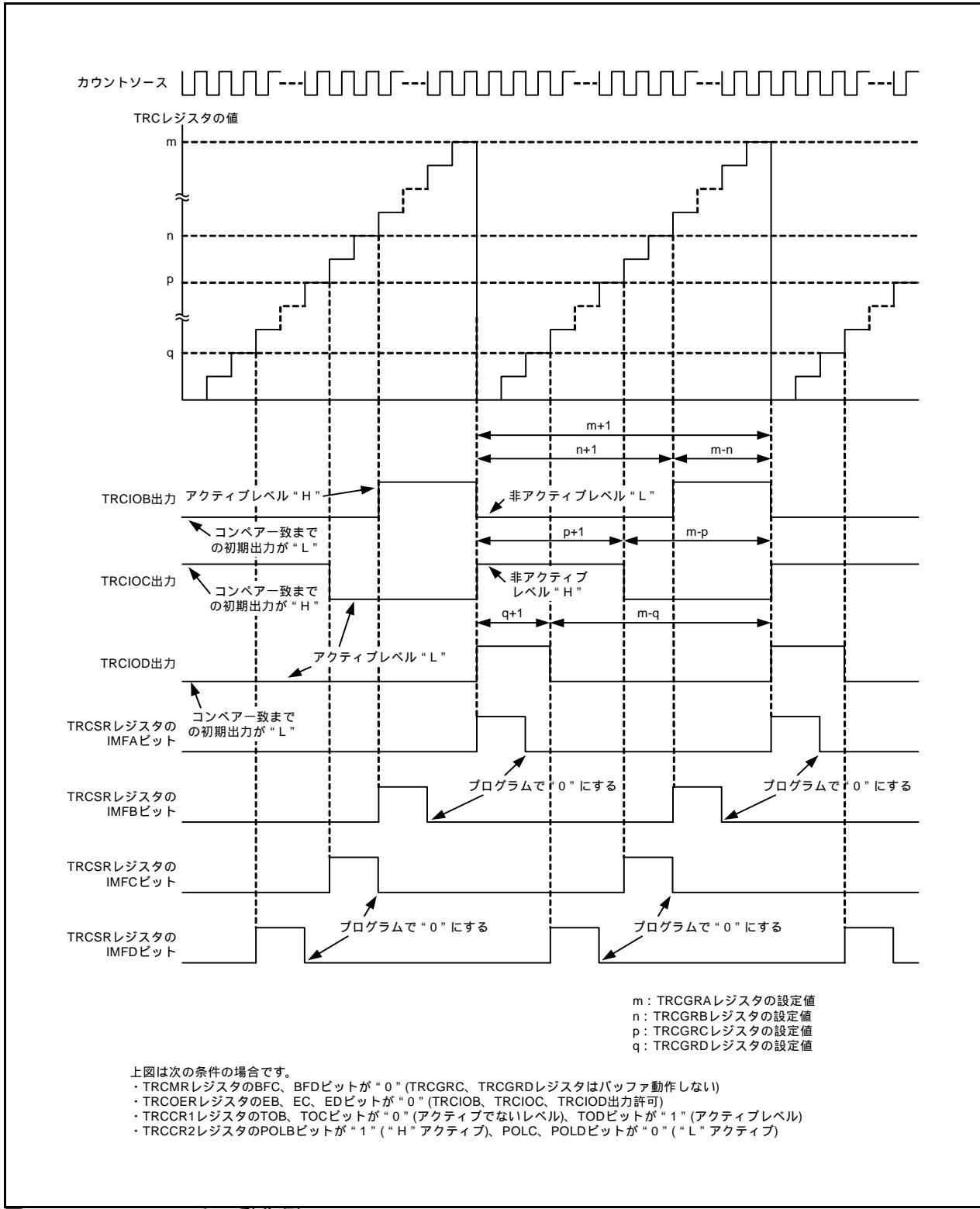


図19.14 PWMモードの動作例

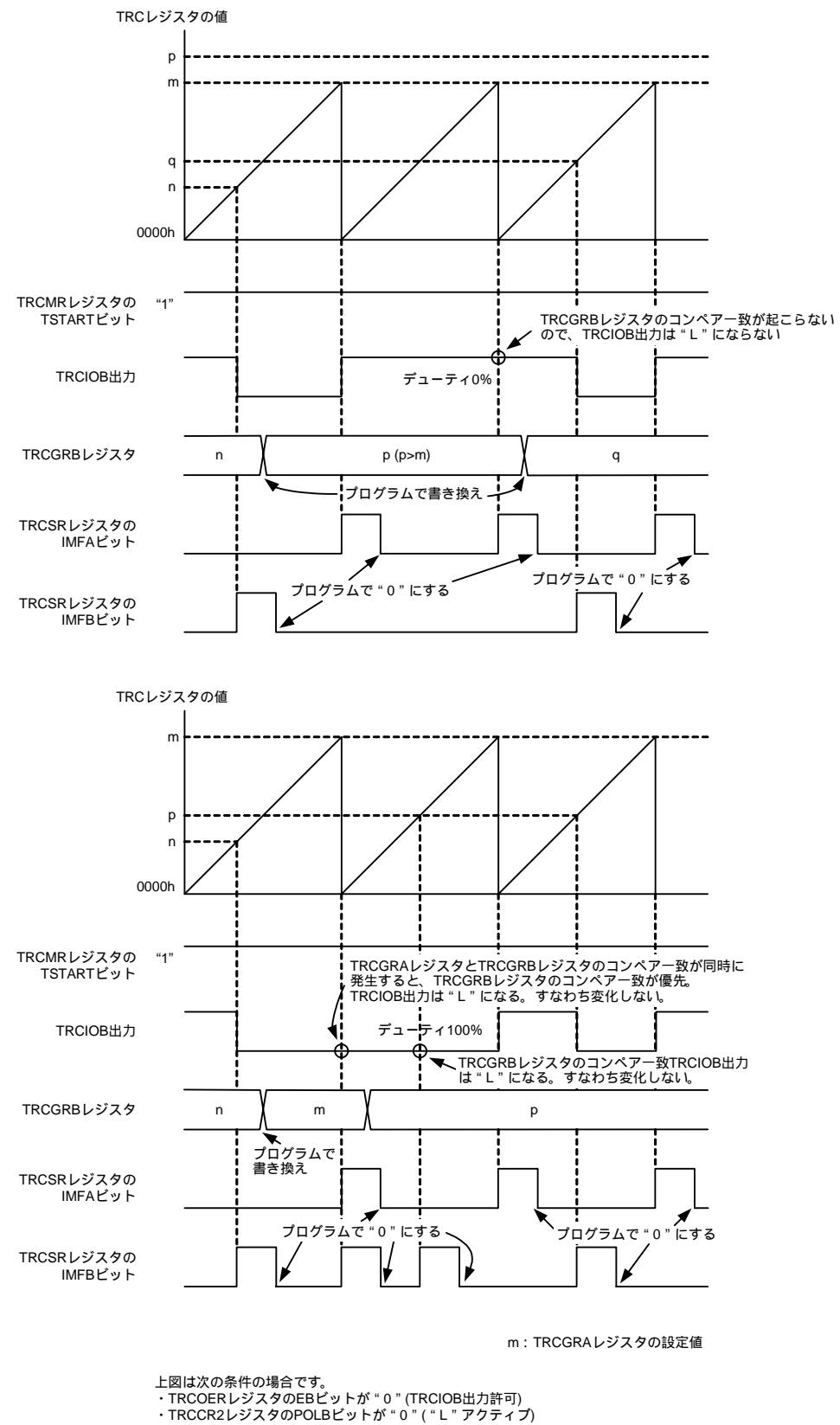


図 19.15 PWM モードの動作例(デューティ 0%、デューティ 100%)

### 19.7 PWM2 モード

PWM波形を1本出力します。トリガから任意のウェイト時間において、端子の出力がアクティブレベルになり、任意の時間後、非アクティブレベルに戻ります。また、非アクティブレベルに戻ると同時にカウンタを停止できるので、プログラマブルウェイトワンショット波形も出力できます。

PWM2モードでは、タイマRCの複数のジェネラルレジスタを組み合わせて使用しますので、他のモードと組み合わせて使用できません。

図19.16にPWM2モードのブロック図を、表19.13にPWM2モードの仕様を、表19.14にPWM2モード時のTRCGRjレジスタの機能を、図19.17～図19.19にPWM2モードの動作例を示します。

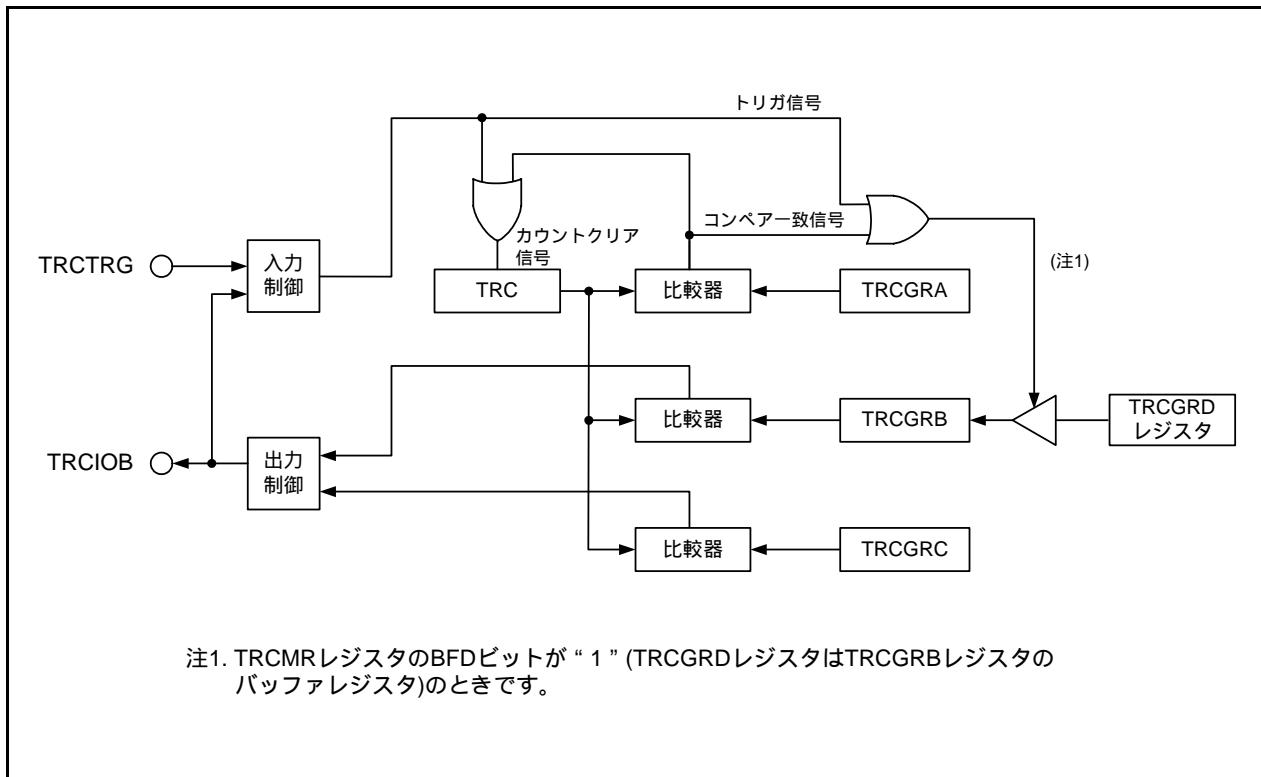
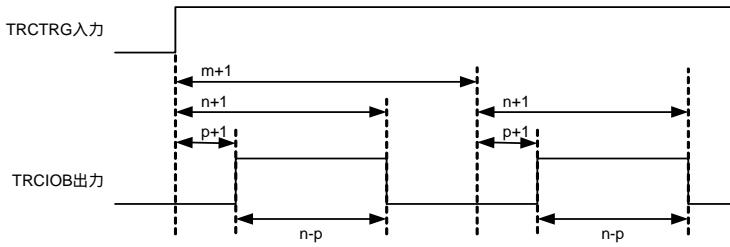


図19.16 PWM2モードのブロック図

表 19.13 PWM2 モードの仕様

| 項目                 | 仕様  |
|--------------------|---|
| カウントソース            | f1、f2、f4、f8、f32、fOCO40M、fOCO-F<br>TRCCLK 端子に入力された外部信号(立ち上がりエッジ)   |
| カウント動作             | TRC レジスタはアップカウント  |
| PWM 波形             | <p>PWM 周期 : <math>1/f_k \times (m+1)</math> (TRCTRG 入力がない場合)<br/>           アクティブルーレベル幅 : <math>1/f_k \times (n-p)</math><br/>           カウント開始またはトリガからのウェイト時間 : <math>1/f_k \times (p+1)</math><br/> <math>f_k</math> : カウントソースの周波数<br/> <math>m</math> : TRCGRA レジスタ設定値<br/> <math>n</math> : TRCGRB レジスタ設定値<br/> <math>p</math> : TRCGRC レジスタ設定値</p>  <p>(TRCTRG : 立ち上がりエッジ、アクティブルーレベルが "H" の場合)</p> |
| カウント開始条件           | <ul style="list-style-type: none"> <li>TRCCR2 レジスタの TCEG1 ~ TCEG0 ビットが "00b" (TRCTRG トリガ入力禁止) または TRCCR2 レジスタの CSEL ビットが "0" (カウント継続) の場合<br/>TRCMR レジスタの TSTART ビットへの "1" (カウント開始) 書き込み</li> <li>TRCCR2 レジスタの TCEG1 ~ TCEG0 ビットが "01b"、"10b"、"11b" (TRCTRG トリガ入力許可) かつ TRCMR レジスタの TSTART ビットが "1" (カウント開始) の場合<br/>TRCTRG 端子にトリガ入力</li> </ul>   |
| カウント停止条件           | <ul style="list-style-type: none"> <li>TRCMR レジスタの TSTART ビットへの "0" (カウント停止) 書き込み (TRCCR2 レジスタの CSEL ビットが "0" の場合も、"1" の場合も含む)<br/>TRCIOB 端子は TRCCR1 レジスタの TOB ビットの内容に従い、初期レベルを出力。TRC レジスタは停止前の値を保持。</li> <li>TRCCR2 レジスタの CSEL ビットが "1" の場合、TRCGRA コンペア一致でカウント停止<br/>TRCIOB 端子は初期レベルを出力。TRCCR1 レジスタの CCLR ビットが "0" のとき、TRC レジスタは停止前の値を保持。TRCCR1 レジスタの CCLR ビットが "1" のとき、TRC レジスタは "0000h"。</li> </ul>  |
| 割り込み発生タイミング        | <ul style="list-style-type: none"> <li>コンペア一致 (TRC レジスタと TRCGRj レジスタの内容が一致)</li> <li>TRC レジスタオーバフロー</li> </ul>  |
| TRCIOA/TRCTRG 端子機能 | プログラマブル入出力ポート、または TRCTRG 入力   |
| TRCIOB 端子機能        | PWM 出力  |
| TRCIOD 端子機能        | プログラマブル入出力ポート   |
| INT0 端子機能          | プログラマブル入出力ポート、パルス出力強制遮断信号入力、または INT0 割り込み入力   |
| タイマの読み出し           | TRC レジスタを読むと、カウント値が読める  |
| タイマの書き込み           | TRC レジスタに書き込む   |
| 選択機能               | <ul style="list-style-type: none"> <li>外部トリガと有効エッジ選択<br/>TRCTRG 端子入力のエッジを PWM 出力のトリガにできる。<br/>立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方。</li> <li>バッファ動作 (「19.3.2 バッファ動作」参照)</li> <li>パルス出力強制遮断信号入力 (「19.3.4 パルス出力強制遮断」参照)</li> <li>デジタルフィルタ (「19.3.3 デジタルフィルタ」参照)</li> <li>A/D トリガ発生</li> </ul>  |

 $j = A, B, C$  のいずれか

## 19.7.1 タイマ RC 制御レジスタ1 (TRCCR1)[PWM2 モード時]

アドレス 0121h 番地

| ビット     | b7   | b6   | b5   | b4   | b3  | b2  | b1  | b0  |
|---------|------|------|------|------|-----|-----|-----|-----|
| シンボル    | CCLR | TCK2 | TCK1 | TCK0 | TOD | TOC | TOB | TOA |
| リセット後の値 | 0    | 0    | 0    | 0    | 0   | 0   | 0   | 0   |

| ビット | シンボル | ビット名                       | 機能   | R/W |
|-----|------|----------------------------|--|-----|
| b0  | TOA  | TRCIOA出力レベル選択ビット(注1)       | PWM2モードでは無効  | R/W |
| b1  | TOB  | TRCIOB出力レベル選択ビット<br>(注1、2) | 0 : アクティブルベル “H”<br>(初期出力 “L”)<br>TRCGRCのコンペア一致で “H” 出力<br>TRCGRBのコンペア一致で “L” 出力<br>1 : アクティブルベル “L”<br>(初期出力 “H”)<br>TRCGRCのコンペア一致で “L” 出力<br>TRCGRBのコンペア一致で “H” 出力 | R/W |
| b2  | TOC  | TRCIOC出力レベル選択ビット(注1)       | PWM2モードでは無効  | R/W |
| b3  | TOD  | TRCIOD出力レベル選択ビット(注1)       |  | R/W |
| b4  | TCK0 | カウントソース選択ビット(注1)           | b6 b5 b4   | R/W |
| b5  | TCK1 |                            | 0 0 0 : f1   | R/W |
| b6  | TCK2 |                            | 0 0 1 : f2<br>0 1 0 : f4<br>0 1 1 : f8<br>1 0 0 : f32<br>1 0 1 : TRCCLK入力の立ち上がりエッジ<br>1 1 0 : fOCO40M<br>1 1 1 : fOCO-F(注3)  | R/W |
| b7  | CCLR | TRCカウンタクリア選択ビット            | 0 : クリア禁止(フリーランニング動作)<br>1 : TRCGRAのコンペア一致でクリア   | R/W |

注1. TRCMR レジスタのTSTART ビットが “0” (カウント停止) のとき、書いてください。

注2. 端子の機能が波形出力の場合(「7.5 ポートの設定」参照)、TRCCR1 レジスタを設定したとき、初期出力レベルが 出力されます。

注3. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

### 19.7.2 タイマ RC 制御レジスタ2 (TRCCR2)[PWM2 モード時]

アドレス 0130h 番地

| ビット     | b7    | b6    | b5   | b4 | b3 | b2   | b1   | b0   |
|---------|-------|-------|------|----|----|------|------|------|
| シンボル    | TCEG1 | TCEG0 | CSEL | -  | -  | POLD | POLC | POLB |
| リセット後の値 | 0     | 0     | 0    | 1  | 1  | 0    | 0    | 0    |

| ビット | シンボル  | ビット名                                       | 機能   | R/W |
|-----|-------|--|--|-----|
| b0  | POLB  | PWM モードアウトプットレベル制御ビットB (注1)                | 0 : TRCIOBの出力レベルは“L”アクティブ<br>1 : TRCIOBの出力レベルは“H”アクティブ   | R/W |
| b1  | POLC  | PWM モードアウトプットレベル制御ビットC (注1)                | 0 : TRCIOCの出力レベルは“L”アクティブ<br>1 : TRCIOCの出力レベルは“H”アクティブ   | R/W |
| b2  | POLD  | PWM モードアウトプットレベル制御ビットD (注1)                | 0 : TRCIODの出力レベルは“L”アクティブ<br>1 : TRCIODの出力レベルは“H”アクティブ   | R/W |
| b3  | -     | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | -  | -   |
| b4  | -     |  |  |     |
| b5  | CSEL  | TRCカウント動作選択ビット (注2)                        | 0 : TRCGRA レジスタとのコンペア一致後もカウント継続<br>1 : TRCGRA レジスタとのコンペア一致でカウント停止  | R/W |
| b6  | TCEG0 | TRCTRG 入力エッジ選択ビット (注3)                     | <sup>b7 b6</sup><br>0 0 : TRCTRG からのトリガ入力を禁止<br>0 1 : 立ち上がりエッジを選択<br>1 0 : 立ち下がりエッジを選択<br>1 1 : 立ち上がり/立ち下がり両エッジを選択 | R/W |
| b7  | TCEG1 |  |  | R/W |

注1. PWM モードのとき有効です。

注2. アウトプットコンペア機能、PWM モード、PWM2 モードのとき有効です。WM2 モード時の注意事項は「19.9.6 PWM2 モード時のTRCMR レジスタ」を参照してください。

注3. PWM2 モードのとき有効です。

### 19.7.3 タイマ RC デジタルフィルタ機能選択レジスタ (TRCDF)[PWM2 モード時]

アドレス 0131h 番地

| ビット     | b7    | b6    | b5 | b4    | b3  | b2  | b1  | b0  |
|---------|-------|-------|----|-------|-----|-----|-----|-----|
| シンボル    | DFCK1 | DFCK0 | -  | DFTRG | DFD | DFC | DFB | DFA |
| リセット後の値 | 0     | 0     | 0  | 0     | 0   | 0   | 0   | 0   |

| ビット | シンボル  | ビット名                                       | 機能   | R/W |
|-----|-------|--|--|-----|
| b0  | DFA   | TRCIOA 端子デジタルフィルタ機能選択ビット(注1)               | 0 : 機能なし<br>1 : 機能あり   | R/W |
| b1  | DFB   | TRCIOB 端子デジタルフィルタ機能選択ビット(注1)               | 0 : 機能なし<br>1 : 機能あり   | R/W |
| b2  | DFC   | TRCIOC 端子デジタルフィルタ機能選択ビット(注1)               | 0 : 機能なし<br>1 : 機能あり   | R/W |
| b3  | DFD   | TRCIOD 端子デジタルフィルタ機能選択ビット(注1)               | 0 : 機能なし<br>1 : 機能あり   | R/W |
| b4  | DFTRG | TRCTRG 端子デジタルフィルタ機能選択ビット(注2)               | 0 : 機能なし<br>1 : 機能あり   | R/W |
| b5  | -     | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -  | -   |
| b6  | DFCK0 | デジタルフィルタ機能用クロック選択ビット(注1、2)                 | <sup>b7 b6</sup><br>0 0 : f32<br>0 1 : f8<br>1 0 : f1<br>1 1 : カウントソース(TRCCR1 レジスタのTCK2 ~ TCK0 ビットで選択したクロック) | R/W |
| b7  | DFCK1 |  |  | R/W |

注1. インプットキャプチャ機能のとき有効です。

注2. PWM2 モードで、TRCCR2 レジスタのTCEG1 ~ TCEG0 ビットが“01b”、“10b”、“11b”(TRCTRG トリガ入力許可)のとき有効です。

表 19.14 PWM2 モード時の TRCGRj レジスタの機能

| レジスタ           | 設定    | レジスタの機能  | PWM2 出力端子 |
|----------------|-------|--|-----------|
| TRCGRA         | -     | ジェネラルレジスタ。PWM周期を設定してください。                            | TRCIOB 端子 |
| TRCGRB<br>(注1) | -     | ジェネラルレジスタ。PWM出力の変化点を設定してください。                        |           |
| TRCGRC<br>(注1) | BFC=0 | ジェネラルレジスタ。PWM出力の変化点(トリガからのウェイト時間)を設定してください。          |           |
| TRCGRD         | BFD=0 | (PWM2 モードでは使用しません)                                   | -         |
| TRCGRD         | BFD=1 | バッファレジスタ。次回の PWM 出力の変化点を設定してください。(「19.3.2 バッファ動作」参照) | TRCIOB 端子 |

j = A、B、C、D のいずれか

BFC、BFD : TRCMR レジスタのビット

注1. TRCGRB レジスタと TRCGRC レジスタに同じ値を設定しないでください。

## 19.7.4 動作例

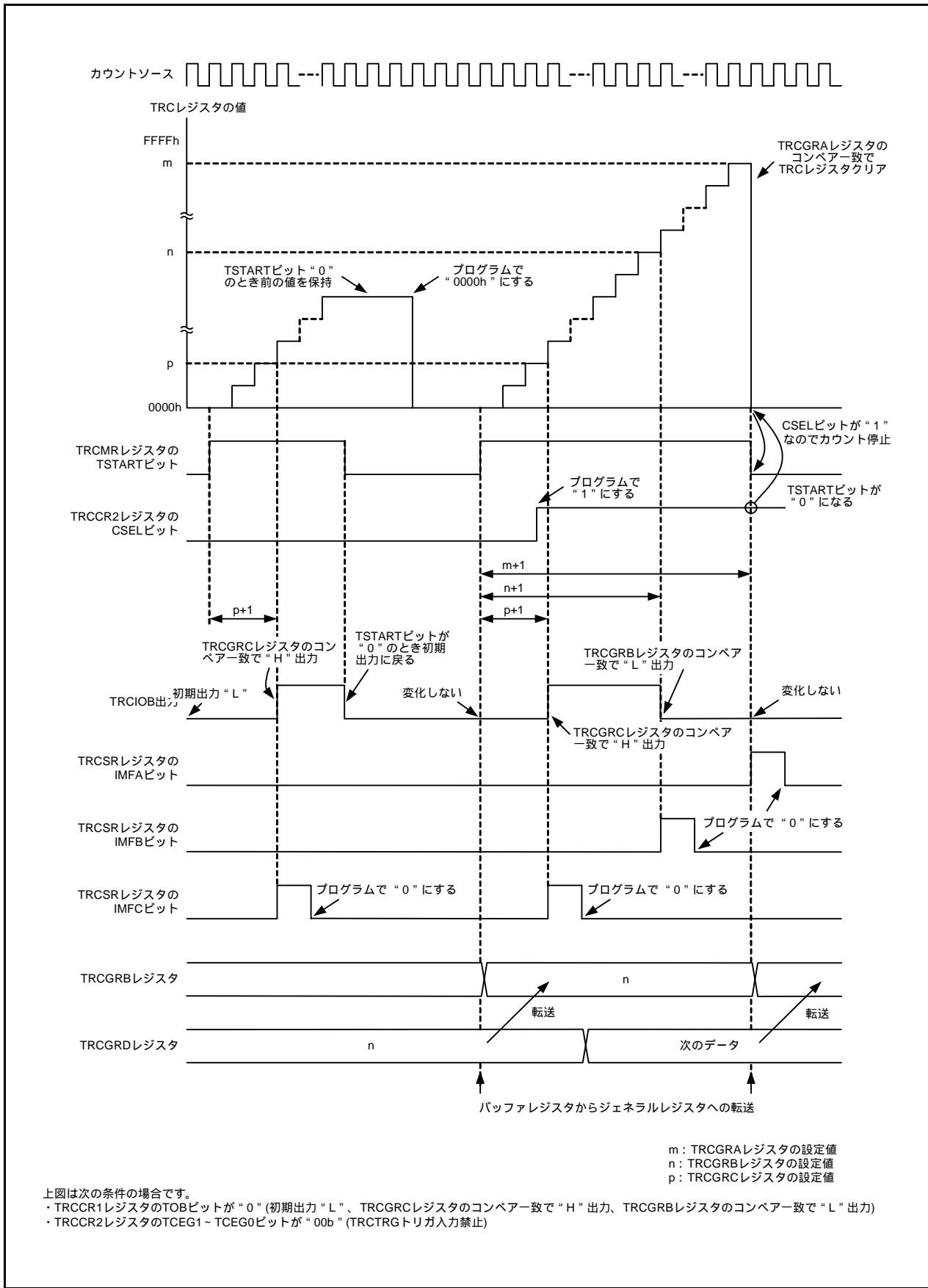


図19.17 PWM2モードの動作例(TRCTRGトリガ入力禁止の場合)

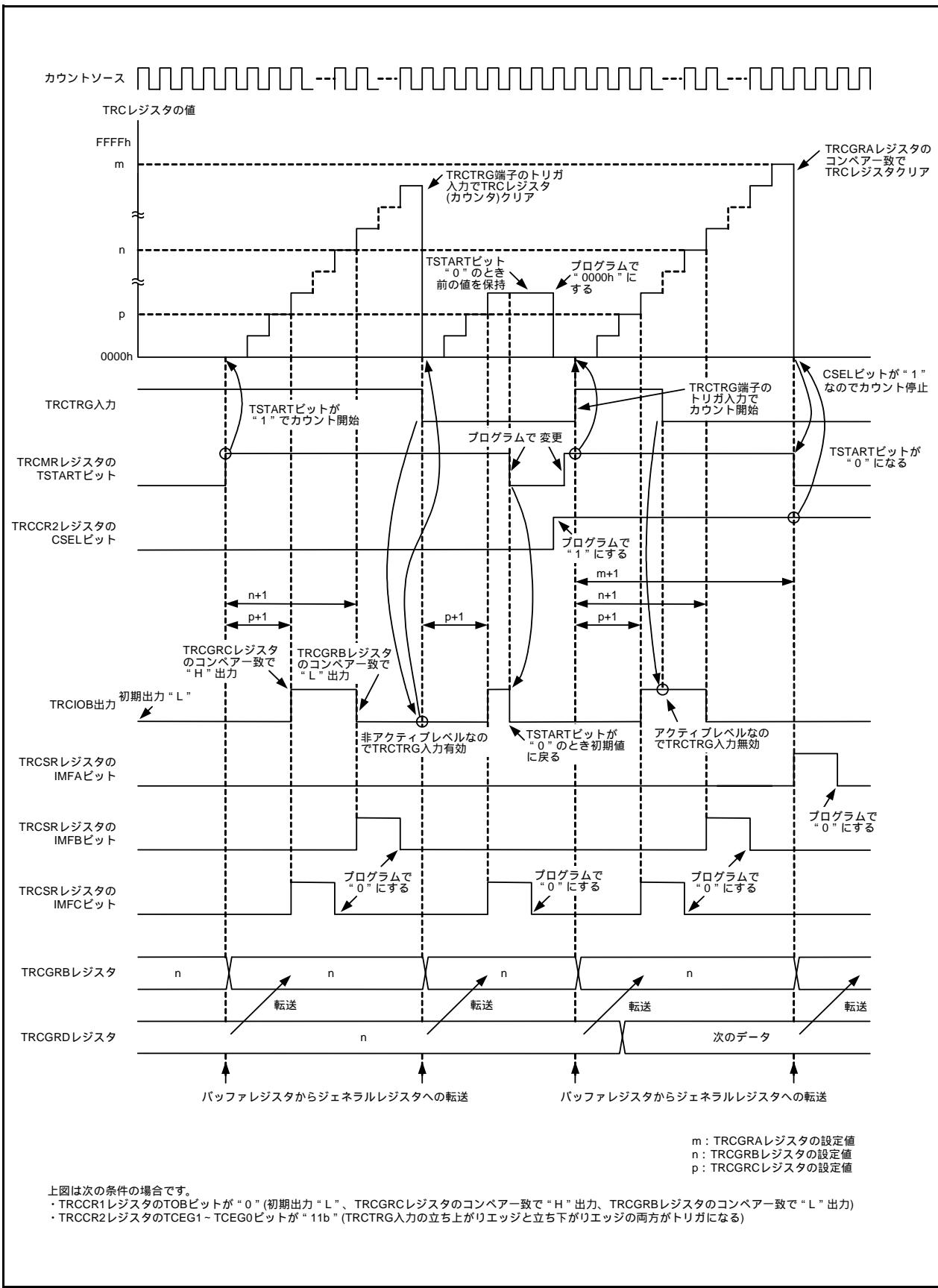
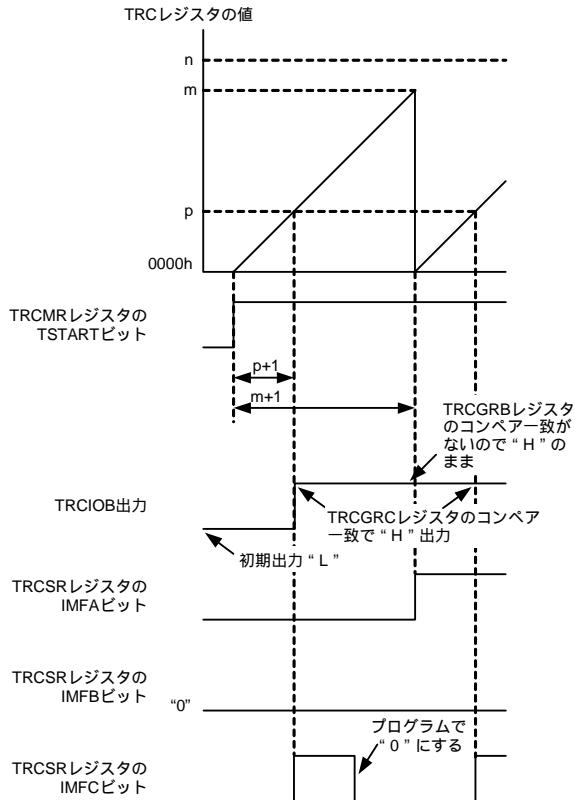
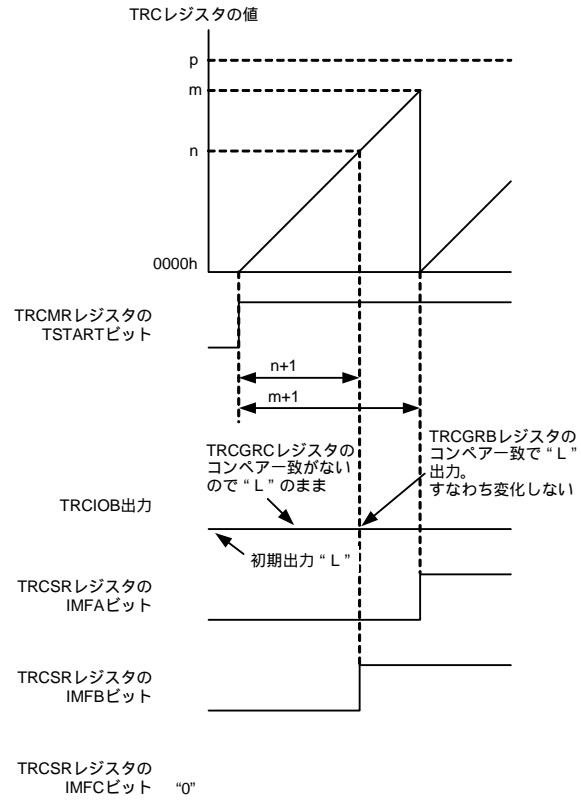


図19.18 PWM2モードの動作例(TRCTRGトリガ入力許可の場合)

- TRCGRBレジスタ設定値がTRCGRAレジスタ設定値より大きい場合



- TRCGRCレジスタ設定値がTRCGRAレジスタ設定値より大きい場合



m : TRCGRAレジスタの設定値  
n : TRCGRBレジスタの設定値  
p : TRCGRCレジスタの設定値

上図は次の条件の場合です。

- TRCCR1レジスタのTOBビットが“0”(初期値“L”、TRCGRCのコンペア一致で“H”出力、TRCGRBのコンペア一致で“L”出力)
- TRCCR2レジスタのTCEG1～TCEG0ビットが“00b”(TRCTRGからのトリガ入力禁止)

図19.19 PWM2モードの動作例(デューティ 0%、デューティ 100%)

## 19.8 タイマ RC割り込み

タイマ RCは、5つの要因からタイマ RC割り込み要求を発生します。タイマ RC割り込みは1つのTRCICレジスタ(IRビット、ILVL0～ILVL2ビット)と1つのベクタを持ちます。

表 19.15にタイマ RC割り込み関連レジスタを、図19.20にタイマ RC割り込みのブロック図を示します。

表 19.15 タイマ RC割り込み関連レジスタ

| タイマ RC<br>ステータスレジスタ<br>TRCSR | タイマ RC<br>割り込み許可レジスタ<br>TRCIER | タイマ RC<br>割り込み制御レジスタ<br>TRCIC |
|------------------------------|--------------------------------|-------------------------------|
|------------------------------|--------------------------------|-------------------------------|

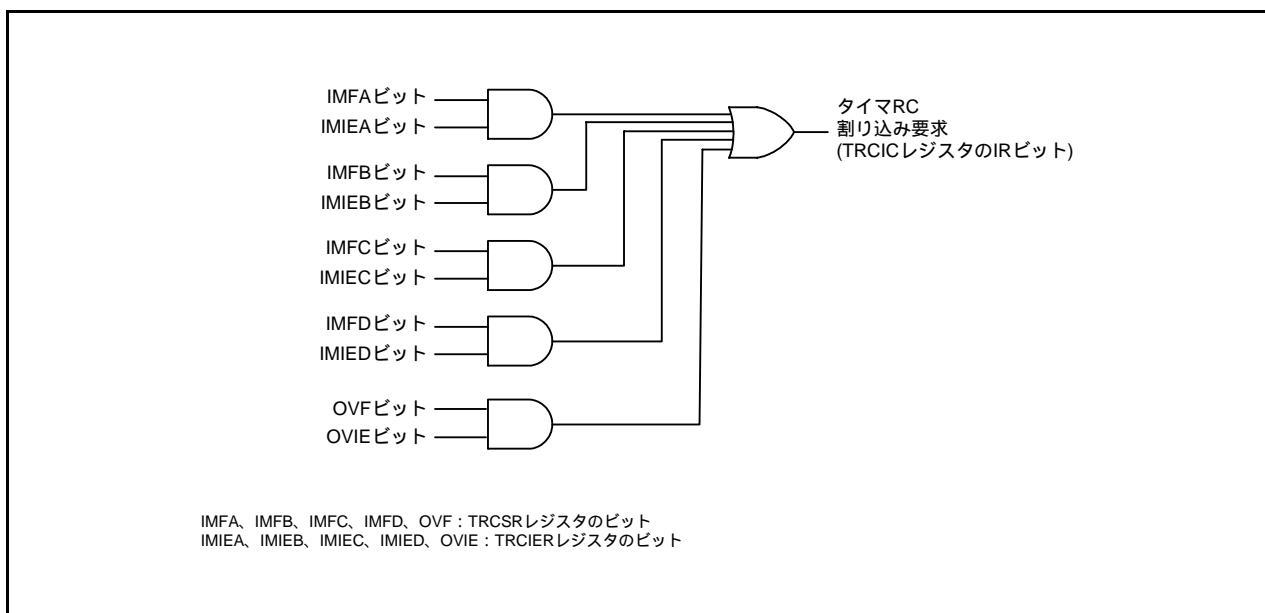


図 19.20 タイマ RC割り込みのブロック図

タイマ RC割り込みが、I フラグ、IR ビット、ILVL0～ILVL2 ビットと IPL の関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1 つの割り込み要因(タイマ RC 割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRCSR レジスタのビットが“1”で、それに対応する TRCIER レジスタのビットが“1”(割り込み許可)の場合、TRCIC レジスタの IR ビットが“1”(割り込み要求あり)になります。
- TRCSR レジスタのビットと、それに対応する TRCIER レジスタのビットのどちらか、または両方が“0”になると IR ビットが“0”(割り込み要求なし)になります。すなわち、IR ビットは、一旦“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IR ビットが“1”になった後、別の要求要因が成立した場合、IR ビットは“1”的ままで変化しません。
- TRCIER レジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、TRCSR レジスタで判定してください。
- TRCSR レジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、割り込みルーチン内で“0”にしてください。“0”にする方法は「19.2.5 タイマ RCステータスレジスタ(TRCSR)」を参照してください。

TRCIER レジスタは「19.2.4 タイマ RC割り込み許可レジスタ(TRCIER)」を参照してください。

TRCIC レジスタは「11.3 割り込み制御」、割り込みベクタは「11.1.5.2 可変ベクタテーブル」を参照してください。

## 19.9 タイマ RC 使用上の注意

### 19.9.1 TRC レジスタ

- TRCCR1 レジスタの CCLR ビットを “1” (TRCGRA レジスタとのコンペア一致で TRC レジスタをクリア) にしている場合に、次の注意事項が該当します。
 

TRCMR レジスタの TSTART ビットが “1” (カウント開始) の状態で、プログラムで TRC レジスタに値を書き込む場合は、TRC レジスタが “0000h” になるタイミングと重ならないように書いてください。

TRC レジスタが “0000h” になるタイミングと、TRC レジスタへの書き込むタイミングが重なると、値は書き込まれず、TRC レジスタが “0000h” になります。
- TRC レジスタに書いた後、TRC レジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B 命令を実行してください。

|        |                          |
|--------|--------------------------|
| プログラム例 | MOV.W #XXXXh, TRC ; 書き込み |
|        | JMP.B L1 ; JMP.B 命令      |
| L1:    | MOV.W TRC,DATA ; 読み出し    |

### 19.9.2 TRCSR レジスタ

TRCSR レジスタに書いた後、TRCSR レジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B 命令を実行してください。

|        |                          |
|--------|--------------------------|
| プログラム例 | MOV.B #XXh, TRCSR ; 書き込み |
|        | JMP.B L1 ; JMP.B 命令      |
| L1:    | MOV.B TRCSR,DATA ; 読み出し  |

### 19.9.3 TRCCR1 レジスタ

TRCCR1 レジスタの TCK2 ~ TCK0 ビットを “111b” (fOCO-F) にするときは、CPU クロックより速いクロック周波数に fOCO-F を設定してください。

### 19.9.4 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。
 

変更手順

  - (1) TRCMR レジスタの TSTART ビットを “0” (カウント停止) にする
  - (2) TRCCR1 レジスタの TCK2 ~ TCK0 ビットを変更する
- カウントソースを fOCO40M からその他のクロックに変更し、fOCO40M を停止させる場合は、クロック切り替え設定後、f1 の 2 サイクル以上待ってから fOCO40M を停止させてください。
 

変更手順

  - (1) TRCMR レジスタの TSTART ビットを “0” (カウント停止) にする
  - (2) TRCCR1 レジスタの TCK2 ~ TCK0 ビットを変更する
  - (3) f1 の 2 サイクル以上待つ
  - (4) FRA0 レジスタの FRA00 ビットを “0” (高速オンチップオシレータ停止) にする

- カウントソースを fOCO-F から fOCO40M に変更し、fOCO-F を停止させる場合は、クロック切り替え設定後、fOCO-F の 2 サイクル以上待ってから fOCO-F を停止させてください。

変更手順

- (1) TRCMR レジスタの TSTART ビットを “0”(カウント停止)にする
- (2) TRCCR1 レジスタの TCK2 ~ TCK0 ビットを変更する
- (3) fOCO-F の 2 サイクル以上待つ
- (4) FRA0 レジスタの FRA00 ビットを “0”(高速オンチップオシレータ停止)にする

- カウントソースを fOCO-F から fOCO40M 以外のクロックに変更し、fOCO-F を停止させる場合は、クロック切り替え設定後、fOCO-F の 1 サイクル + fOCO40M の 1 サイクル以上待ってから fOCO-F を停止させてください。

変更手順

- (1) TRCMR レジスタの TSTART ビットを “0”(カウント停止)にする
- (2) TRCCR1 レジスタの TCK2 ~ TCK0 ビットを変更する
- (3) fOCO-F の 1 サイクル + fOCO40M の 1 サイクル以上待つ
- (4) FRA0 レジスタの FRA00 ビットを “0”(高速オンチップオシレータ停止)にする

### 19.9.5 インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅については、次のように設定してください。

[デジタルフィルタなしの場合]

タイマ RC の動作クロックの 3 サイクル分以上(「表 19.1 タイマ RC の動作クロック」参照)

[デジタルフィルタありの場合]

デジタルフィルタのサンプリングクロックの 5 サイクル分 + タイマ RC の動作クロックの 3 サイクル分以上(「図 19.5 デジタルフィルタのブロック図」参照)

- TRCIOj(j = A, B, C, D のいずれか) 端子にインプットキャプチャ信号が入力されてから、タイマ RC の動作クロックの 1 ~ 2 サイクル後に TRC レジスタの値を TRCGRj レジスタに転送します(デジタルフィルタなしの場合)。

### 19.9.6 PWM2 モード時の TRCMR レジスタ

TRCCR2 レジスタの CSEL ビットが “1”(TRCGRA レジスタとのコンペア一致でカウント停止) のとき、TRC レジスタと TRCGRA レジスタのコンペア一致が発生するタイミングで、TRCMR レジスタに書かないでください。

### 19.9.7 カウントソース fOCO40M

カウントソース fOCO40M については、電源電圧 VCC=2.7 ~ 5.5V の範囲で使用することができます。これ以外の電源電圧では、TRCCR1 レジスタの TCK2 ~ TCK0 ビットを “110b”(fOCO40M をカウントソースに選択) にしないでください。

## 20. タイマRE

タイマREは、(4ビットプリスケーラ付き)8ビットカウンタを持つタイマです。

### 20.1 概要

タイマREは次の2つのモードを持ちます。

- リアルタイムクロックモード fC4から1sを作り、秒、分、時、曜日をカウントするモード
- アウトプットコンペアモード カウントソースをカウントし、コンペア一致を検出するモード

タイマREのカウントソースは、タイマ動作の動作クロックになります。

表20.1にタイマREの端子構成を示します。

表20.1 タイマREの端子構成

| 端子名  | 割り当てる端子 | 入出力 | 機能                                    |
|------|---------|-----|---------------------------------------|
| TREO | P0_4    | 出力  | モードによって機能が異なります。<br>詳細は各モードを参照してください。 |

## 20.2 リアルタイムクロックモード

fC4から2分周器、4ビットカウンタ、8ビットカウンタを使って1sを作り、それを元に秒、分、時、曜日をカウントするモードです。図20.1にリアルタイムクロックモードのブロック図を、表20.2にリアルタイムクロックモードの仕様を、表20.3に割り込み要因を、図20.2に時間表現の定義を、図20.3にリアルタイムクロックモードの動作例を示します。

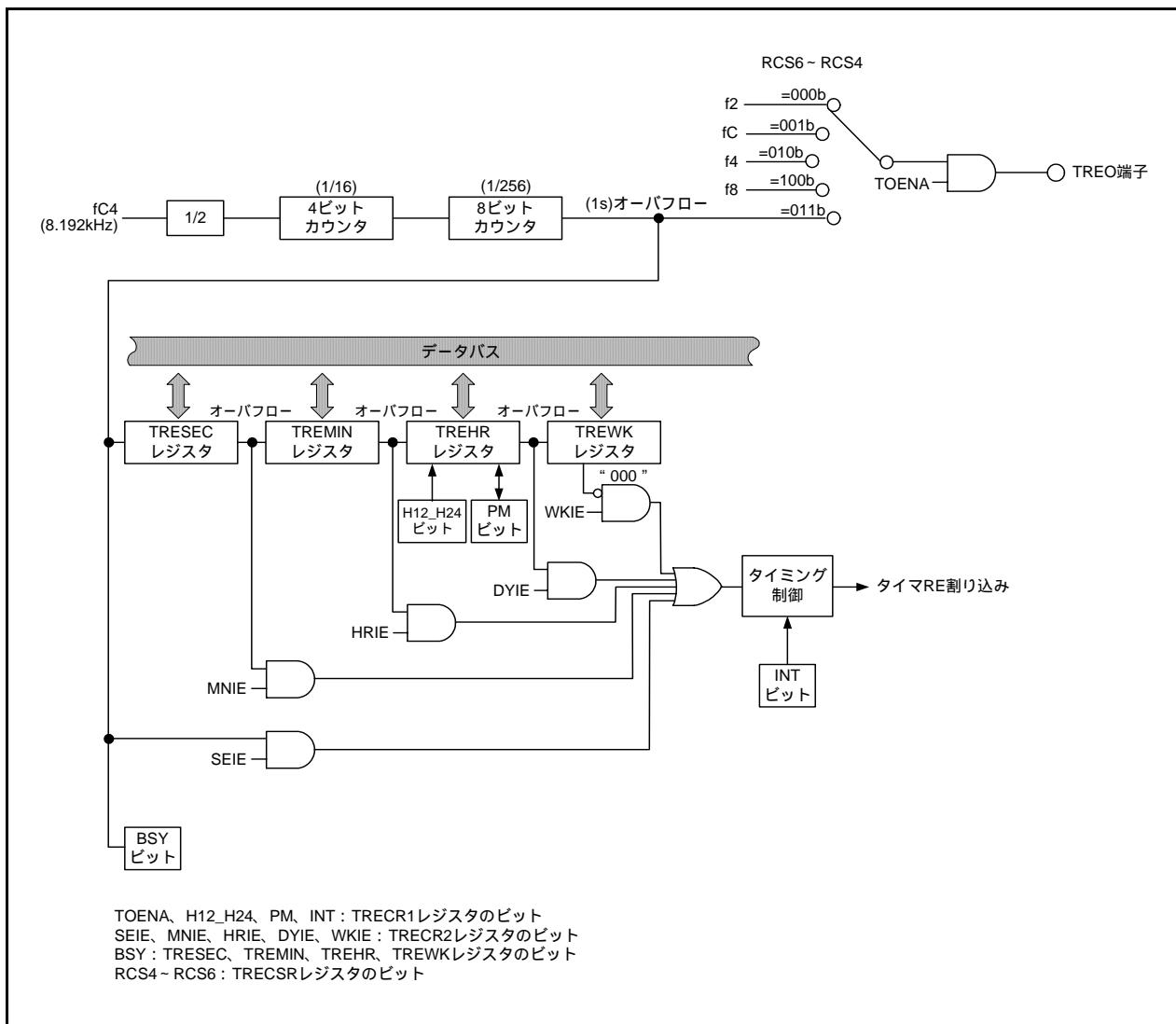


図 20.1 リアルタイムクロックモードのブロック図

表 20.2 リアルタイムクロックモードの仕様

| 項目            | 仕様   |
|---------------|--|
| カウントソース       | fC4  |
| カウント動作        | アップカウント  |
| カウント開始条件      | TRECR1レジスタのTSTARTビットへの“1”(カウント開始)書き込み  |
| カウント停止条件      | TRECR1レジスタのTSTARTビットへの“0”(カウント停止)書き込み  |
| 割り込み要求発生タイミング | 次のうち、いずれか1つを選択<br>• 秒データの更新<br>• 分データの更新<br>• 時データの更新<br>• 曜日データの更新<br>• 曜日データが“000b”(日曜日)になったとき                         |
| TREO端子機能      | プログラマブル入出力ポート、またはf2、fC、f4、f8、1Hzのいずれかを出力   |
| タイマの読み出し      | TRESEC、TREMIN、TREHR、TREWKレジスタを読むと、カウント値が読める。 TRESEC、TREMIN、TREHRレジスタの値はBCDコード。   |
| タイマの書き込み      | TRECR1レジスタのTSTARTビットとTCSTFビットがともに“0”(タイマ停止)のときTRESEC、TREMIN、TREHR、TREWKレジスタに書き込める。 TRESEC、TREMIN、TREHRレジスタへ書き込む値はBCDコード。 |
| 選択機能          | 12時間モード/24時間モード切り替え機能  |

### 20.2.1 タイマRE秒データレジスタ(TRESEC)[リアルタイムクロックモード時]

アドレス 0118h番地

| ビット     | b7  | b6   | b5   | b4   | b3   | b2   | b1   | b0   |
|---------|-----|------|------|------|------|------|------|------|
| シンボル    | BSY | SC12 | SC11 | SC10 | SC03 | SC02 | SC01 | SC00 |
| リセット後の値 | 0   | 0    | 0    | 0    | 0    | 0    | 0    | 0    |

| ビット | シンボル | ビット名        | 機能   | 設定範囲              | R/W |
|-----|------|-------------|--|-------------------|-----|
| b0  | SC00 | 秒一位カウントビット  | 1秒ごとに0から9をカウント。桁上がりが発生すると、秒十位が1加算される。      | 0 ~ 9<br>(BCDコード) | R/W |
| b1  | SC01 |             |  |                   | R/W |
| b2  | SC02 |             |  |                   | R/W |
| b3  | SC03 |             |  |                   | R/W |
| b4  | SC10 | 秒十位カウントビット  | 0から5をカウントして、60秒をカウント                       | 0 ~ 5<br>(BCDコード) | R/W |
| b5  | SC11 |             |  |                   | R/W |
| b6  | SC12 |             |  |                   | R/W |
| b7  | BSY  | タイマREビジーフラグ | TRESEC、TREMIN、TREHR、TREWKレジスタが更新中、“1”になります |                   | R   |

### 20.2.2 タイマRE分データレジスタ(TREMIN)[リアルタイムクロックモード時]

アドレス 0119h番地

| ビット     | b7  | b6   | b5   | b4   | b3   | b2   | b1   | b0   |
|---------|-----|------|------|------|------|------|------|------|
| シンボル    | BSY | MN12 | MN11 | MN10 | MN03 | MN02 | MN01 | MN00 |
| リセット後の値 | 0   | 0    | 0    | 0    | 0    | 0    | 0    | 0    |

| ビット | シンボル | ビット名        | 機能   | 設定範囲              | R/W |
|-----|------|-------------|--|-------------------|-----|
| b0  | MN00 | 分一位カウントビット  | 1分ごとに0から9をカウント。桁上がりが発生すると、分十位が1加算される。      | 0 ~ 9<br>(BCDコード) | R/W |
| b1  | MN01 |             |  |                   | R/W |
| b2  | MN02 |             |  |                   | R/W |
| b3  | MN03 |             |  |                   | R/W |
| b4  | MN10 | 分十位カウントビット  | 0から5をカウントして、60分をカウント                       | 0 ~ 5<br>(BCDコード) | R/W |
| b5  | MN11 |             |  |                   | R/W |
| b6  | MN12 |             |  |                   | R/W |
| b7  | BSY  | タイマREビジーフラグ | TRESEC、TREMIN、TREHR、TREWKレジスタが更新中、“1”になります |                   | R   |

### 20.2.3 タイマRE時データレジスタ(TREHR)[リアルタイムクロックモード時]

アドレス 011Ah番地

| ビット     | b7  | b6 | b5   | b4   | b3   | b2   | b1   | b0   |
|---------|-----|----|------|------|------|------|------|------|
| シンボル    | BSY | -  | HR11 | HR10 | HR03 | HR02 | HR01 | HR00 |
| リセット後の値 | 0   | 0  | 0    | 0    | 0    | 0    | 0    | 0    |

| ビット | シンボル | ビット名                                       | 機能   | 設定範囲              | R/W |
|-----|------|--|--|-------------------|-----|
| b0  | HR00 | 時一位カウントビット                                 | 1時間ごとに0から9をカウント。桁上がりが発生すると、時十位が1加算される。   | 0 ~ 9<br>(BCDコード) | R/W |
| b1  | HR01 |  |  |                   |     |
| b2  | HR02 |  |  |                   |     |
| b3  | HR03 |  |  |                   |     |
| b4  | HR10 | 時十位カウントビット                                 | H12_H24ビットが“0”(12時間モード)のとき、0から1をカウント。<br>H12_H24ビットが“1”(24時間モード)のとき、0から2をカウント。 | 0 ~ 2<br>(BCDコード) | R/W |
| b5  | HR11 |  |  |                   |     |
| b6  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |  |                   | -   |
| b7  | BSY  | タイマREビジーフラグ                                | TRESEC、TREMIN、TREHR、TREWKレジスタが更新中、“1”になります                                     |                   | R   |

### 20.2.4 タイマRE曜日データレジスタ(TREWK)[リアルタイムクロックモード時]

アドレス 011Bh番地

| ビット     | b7  | b6 | b5 | b4 | b3 | b2  | b1  | b0  |
|---------|-----|----|----|----|----|-----|-----|-----|
| シンボル    | BSY | -  | -  | -  | -  | WK2 | WK1 | WK0 |
| リセット後の値 | 0   | 0  | 0  | 0  | 0  | 0   | 0   | 0   |

| ビット | シンボル | ビット名        | 機能   | R/W |
|-----|------|-------------|--|-----|
| b0  | WK0  | 曜日カウントビット   | <sup>b2 b1 b0</sup><br>000:日<br>001:月<br>010:火<br>011:水<br>100:木<br>101:金<br>110:土<br>111:設定しないでください | R/W |
| b1  | WK1  |             |  |     |
| b2  | WK2  |             |  |     |
| b3  | -    |             |  |     |
| b4  | -    |             |  |     |
| b5  | -    |             |  |     |
| b6  | -    |             |  |     |
| b7  | BSY  | タイマREビジーフラグ | TRESEC、TREMIN、TREHR、TREWKレジスタが更新中、“1”になります   | R   |

## 20.2.5 タイマRE制御レジスタ1 (TRECR1)[リアルタイムクロックモード時]

アドレス 011Ch番地

| ビット     | b7     | b6      | b5 | b4     | b3  | b2    | b1    | b0 |
|---------|--------|---------|----|--------|-----|-------|-------|----|
| シンボル    | TSTART | H12_H24 | PM | TRERST | INT | TOENA | TCSTF | -  |
| リセット後の値 | 0      | 0       | 0  | 0      | 0   | 0     | 0     | 0  |

| ビット | シンボル    | ビット名                                       | 機能   | R/W |
|-----|---------|--|--|-----|
| b0  | -       | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |  | -   |
| b1  | TCSTF   | タイマREカウントステータスフラグ                          | 0: カウント停止中<br>1: カウント中   | R   |
| b2  | TOENA   | TREO端子出力許可ビット                              | 0: クロック出力禁止<br>1: クロック出力許可   | R/W |
| b3  | INT     | 割り込み要求タイミングビット                             | リアルタイムクロックモードでは“1”にしてください  | R/W |
| b4  | TRERST  | タイマREリセットビット                               | このビットを“1”にした後、“0”にすると次の状態になります。<br>• TRESEC、TREMIN、TREHR、TREWK、TRECR2レジスタが“00h”<br>• TRECR1レジスタのTCSTF、INT、PM、H12_H24、TSTARTビットが“0”<br>• 8ビットカウンタが“00h”、4ビットカウンタが“0h” | R/W |
| b5  | PM      | 午前/午後ビット                                   | H12_H24ビットが“0”(12時間モード)のとき(注1)<br>0: 午前<br>1: 午後<br>H12_H24ビットが“1”(24時間モード)のとき、不定  | R/W |
| b6  | H12_H24 | 動作モード選択ビット                                 | 0: 12時間モード<br>1: 24時間モード   | R/W |
| b7  | TSTART  | タイマREカウント開始ビット                             | 0: カウント停止<br>1: カウント開始   | R/W |

注1. タイマREがカウント中、自動的に変化します。

|   |                           |           |    |    |    |    |           |   |   |   |   |        |    |    |    |    |    |    |    |
|---|---------------------------|-----------|----|----|----|----|-----------|---|---|---|---|--------|----|----|----|----|----|----|----|
| TREHR<br>レジスタ<br>の内容  | H12_H24ビット=1<br>(24時間モード) | 0         | 1  | 2  | 3  | 4  | 5         | 6 | 7 | 8 | 9 | 10     | 11 | 12 | 13 | 14 | 15 | 16 | 17 |
|   | H12_H24ビット=0<br>(12時間モード) | 0         | 1  | 2  | 3  | 4  | 5         | 6 | 7 | 8 | 9 | 10     | 11 | 0  | 1  | 2  | 3  | 4  | 5  |
| PMビットの内容  |                           | 0 (午前)    |    |    |    |    |           |   |   |   |   | 1 (午後) |    |    |    |    |    |    |    |
| TREWKレジスタの内容  |                           | 000 (日曜日) |    |    |    |    |           |   |   |   |   | ...    |    |    |    |    |    |    |    |
| TREHR<br>レジスタ<br>の内容  | H12_H24ビット=1<br>(24時間モード) | 18        | 19 | 20 | 21 | 22 | 23        | 0 | 1 | 2 | 3 | ...    |    |    |    |    |    |    |    |
|   | H12_H24ビット=0<br>(12時間モード) | 6         | 7  | 8  | 9  | 10 | 11        | 0 | 1 | 2 | 3 | ...    |    |    |    |    |    |    |    |
| PMビットの内容  |                           | 1 (午後)    |    |    |    |    | 0 (午前)    |   |   |   |   | ...    |    |    |    |    |    |    |    |
| TREWKレジスタの内容  |                           | 000 (日曜日) |    |    |    |    | 001 (月曜日) |   |   |   |   | ...    |    |    |    |    |    |    |    |
| PMビット、H12_H24ビット：TRECR1レジスタのビット<br>上記は日曜日の午前0時からカウントを始めた場合です。 |                           |           |    |    |    |    |           |   |   |   |   |        |    |    |    |    |    |    |    |

図 20.2 時間表現の定義

## 20.2.6 タイマ RE 制御レジスタ2 (TRECR2)[リアルタイムクロックモード時]

アドレス 011Dh 番地

| ビット     | b7 | b6 | b5    | b4   | b3   | b2   | b1   | b0   |
|---------|----|----|-------|------|------|------|------|------|
| シンボル    | -  | -  | COMIE | WKIE | DYIE | HRIE | MNIE | SEIE |
| リセット後の値 | 0  | 0  | 0     | 0    | 0    | 0    | 0    | 0    |

| ビット | シンボル  | ビット名                                       | 機能                           | R/W |
|-----|-------|--|------------------------------|-----|
| b0  | SEIE  | 秒周期割り込み許可ビット(注1)                           | 0: 秒周期割り込み禁止<br>1: 秒周期割り込み許可 | R/W |
| b1  | MNIE  | 分周期割り込み許可ビット(注1)                           | 0: 分周期割り込み禁止<br>1: 分周期割り込み許可 | R/W |
| b2  | HRIE  | 時周期割り込み許可ビット(注1)                           | 0: 時周期割り込み禁止<br>1: 時周期割り込み許可 | R/W |
| b3  | DYIE  | 日周期割り込み許可ビット(注1)                           | 0: 日周期割り込み禁止<br>1: 日周期割り込み許可 | R/W |
| b4  | WKIE  | 週周期割り込み許可ビット(注1)                           | 0: 週周期割り込み禁止<br>1: 週周期割り込み許可 | R/W |
| b5  | COMIE | コンペア一致割り込み許可ビット                            | リアルタイムクロックモードでは“0”にしてください    | R/W |
| b6  | -     | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |                              | -   |
| b7  | -     |  |                              |     |

注1. 複数の許可ビットを“1”(割り込み許可)にしないでください。

表 20.3 割り込み要因

| 要因名     | 割り込み要因                             | 割り込み許可ビット |
|---------|------------------------------------|-----------|
| 週周期割り込み | TREWK レジスタの値が“000b”(日曜日)になる(1週間周期) | WKIE      |
| 日周期割り込み | TREWK レジスタが更新(1日周期)される             | DYIE      |
| 時周期割り込み | TREHR レジスタが更新(1時間周期)される            | HRIE      |
| 分周期割り込み | TREMIN レジスタが更新(1分周期)される            | MNIE      |
| 秒周期割り込み | TRESEC レジスタが更新(1秒周期)される            | SEIE      |

### 20.2.7 タイマRE カウントソース選択レジスタ(TRECSR)[リアルタイムクロックモード時]

アドレス 011Eh 番地

| ビット     | b7 | b6   | b5   | b4   | b3   | b2   | b1   | b0   |
|---------|----|------|------|------|------|------|------|------|
| シンボル    | -  | RCS6 | RCS5 | RCS4 | RCS3 | RCS2 | RCS1 | RCS0 |
| リセット後の値 | 0  | 0    | 0    | 0    | 1    | 0    | 0    | 0    |

| ビット | シンボル | ビット名                                       | 機能                                      | R/W |
|-----|------|--|---|-----|
| b0  | RCS0 | カウントソース選択ビット                               | リアルタイムクロックモードでは“00b”にしてください             | R/W |
| b1  | RCS1 |  |   | R/W |
| b2  | RCS2 | 4ビットカウンタ選択ビット                              | リアルタイムクロックモードでは“0”にしてください               | R/W |
| b3  | RCS3 | リアルタイムクロックモード選択ビット                         | リアルタイムクロックモードでは“1”にしてください               | R/W |
| b4  | RCS4 | クロック出力選択ビット(注1)                            | <sup>b6 b5 b4</sup><br>0 0 0 : f2       | R/W |
| b5  | RCS5 |  | 0 0 1 : fC                              | R/W |
| b6  | RCS6 |  | 0 1 0 : f4<br>0 1 1 : 1Hz<br>1 0 0 : f8 | R/W |
| b7  | -    |  | 上記以外：設定しないでください                         | -   |
|     |      | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |   |     |

注1. RCS4 ~ RCS6ビットは、TRECR1レジスタのTOENAビットが0(クロック出力禁止)のとき、書いてください。

## 20.2.8 動作例

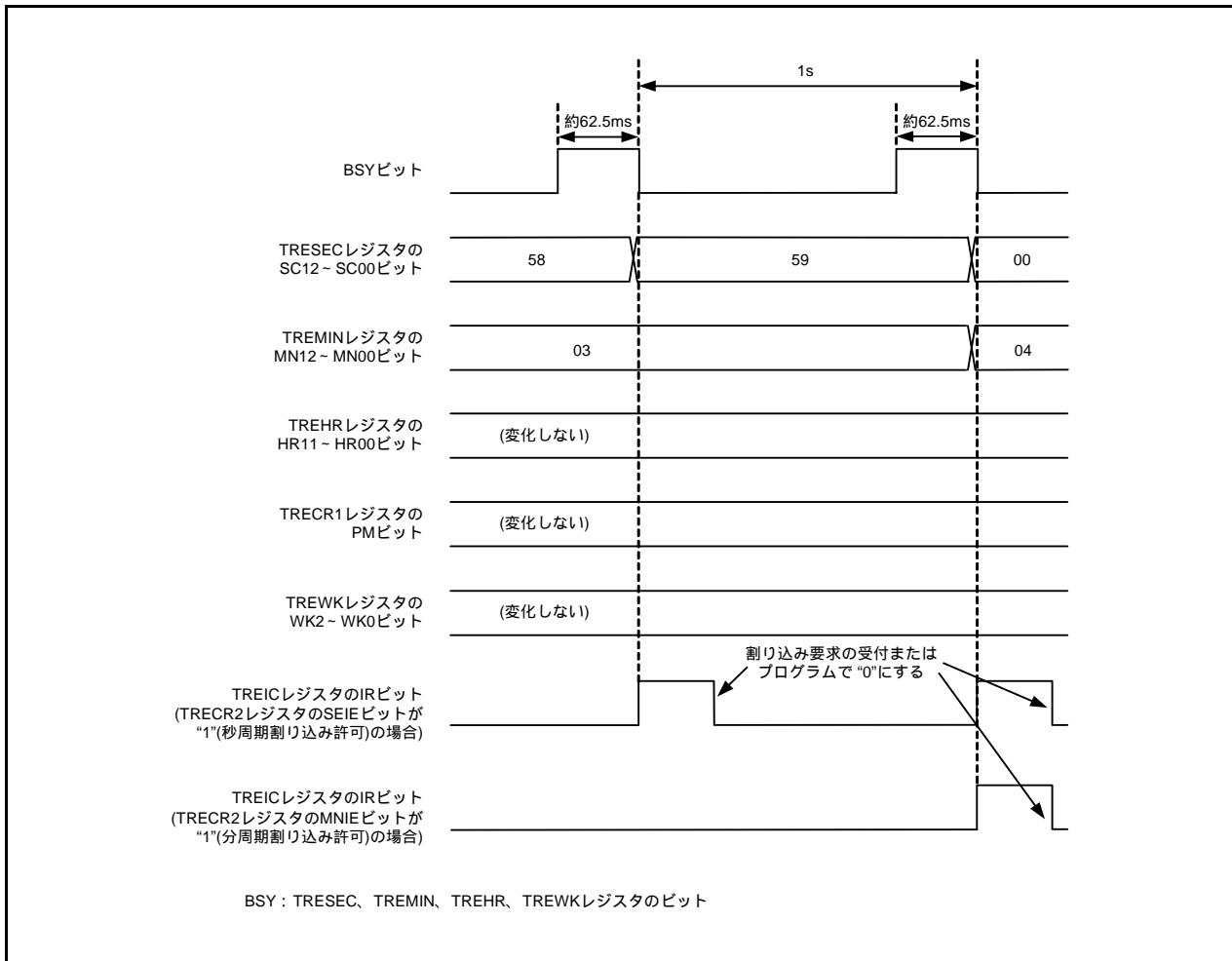


図 20.3 リアルタイムクロックモードの動作例

### 20.3 アウトプットコンペアモード

カウントソースを2分周したものを、4ビットカウンタ、8ビットカウンタを使ってカウントし、8ビットカウンタとコンペア値の一致を検出するモードです。図20.4にアウトプットコンペアモードのブロック図を、表20.4にアウトプットコンペアモードの仕様を、図20.5にアウトプットコンペアモードの動作例を示します。

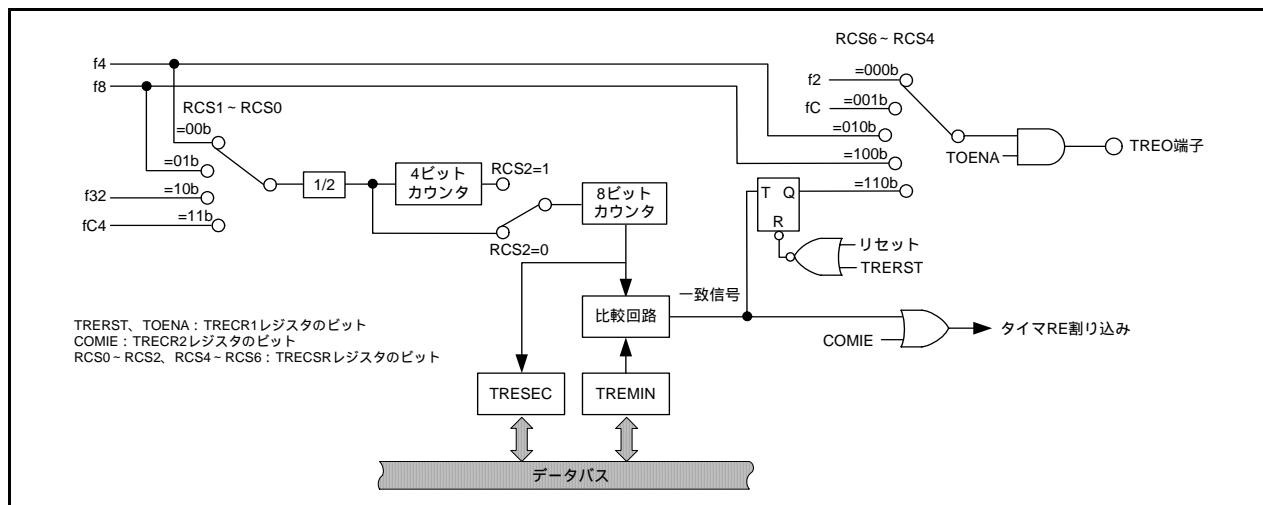


図20.4 アウトプットコンペアモードのブロック図

表20.4 アウトプットコンペアモードの仕様

| 項目            | 仕様  |
|---------------|---|
| カウントソース       | f4, f8, f32, fC4  |
| カウント動作        | <ul style="list-style-type: none"> <li>アップカウント</li> <li>8ビットカウンタは、値がTREMINレジスタの内容と一致すると、値が“00h”に戻り、カウントを継続。カウント停止中はカウント値を保持。</li> </ul>   |
| カウント周期        | <ul style="list-style-type: none"> <li>RCS2=0(4ビットカウンタ使用しない)の場合<br/> <math>1/f_i \times 2 \times (n + 1)</math><br/> <math>f_i</math> : カウントソースの周波数<br/> <math>n</math> : TREMINレジスタの設定値         </li> <li>RCS2=1(4ビットカウンタ使用する)の場合<br/> <math>1/f_i \times 32 \times (n + 1)</math> </li> </ul> |
| カウント開始条件      | TRECRR1レジスタのTSTARTビットへの“1”(カウント開始)書き込み  |
| カウント停止条件      | TRECRR1レジスタのTSTARTビットへの“0”(カウント停止)書き込み  |
| 割り込み要求発生タイミング | 8ビットカウンタの内容とTREMINレジスタの内容が一致したとき  |
| TREO端子機能      | 次のいずれかを選択 <ul style="list-style-type: none"> <li>プログラマブル入出力ポート</li> <li>f2, fC, f4, f8のいずれかを出力</li> <li>コンペア出力</li> </ul>   |
| タイマの読み出し      | TRESECレジスタを読むと、8ビットカウンタの値が読める。<br>TREMINレジスタを読むと、コンペア値が読める。   |
| タイマの書き込み      | TRESECレジスタへの書き込みはできない。<br>TRECRR1レジスタのTSTARTビットとTCSTFビットがともに“0”(タイマ停止)のとき、TREMINレジスタに書き込む。  |
| 選択機能          | <ul style="list-style-type: none"> <li>4ビットカウンタ使用選択</li> <li>コンペア出力機能</li> </ul> 8ビットカウンタ値とTREMINレジスタの内容が一致するごとにTREO出力極性を反転。リセット解除後と、TRECRR1のTRERSTビットによるタイマREリセット後は“L”出力。TSTARTビットを“0”(カウント停止)にすると出力レベルを保持。  |

### 20.3.1 タイマREカウンタデータレジスタ(TRESEC)[アウトプットコンペアモード時]

アドレス 0118h番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |

| ビット     | 機能   | R/W |
|---------|--|-----|
| b7 ~ b0 | 8ビットのカウンタデータが読みます。<br>タイマREのカウントが停止しても、カウント値は保持されます。<br>コンペア一致で、TRESECレジスタは“00h”になります。 | R   |

### 20.3.2 タイマREコンペアデータレジスタ(TREMIN)[アウトプットコンペアモード時]

アドレス 0119h番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |

| ビット     | 機能              | R/W |
|---------|-----------------|-----|
| b7 ~ b0 | 8ビットのコンペアデータを格納 | R/W |

## 20.3.3 タイマRE制御レジスタ1 (TRECR1)[アウトプットコンペアモード時]

アドレス 011Ch番地

| ビット     | b7     | b6      | b5 | b4     | b3  | b2    | b1    | b0 |
|---------|--------|---------|----|--------|-----|-------|-------|----|
| シンボル    | TSTART | H12_H24 | PM | TRERST | INT | TOENA | TCSTF | -  |
| リセット後の値 | 0      | 0       | 0  | 0      | 0   | 0     | 0     | 0  |

| ビット | シンボル    | ビット名                                       | 機能  | R/W |
|-----|---------|--|---|-----|
| b0  | -       | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |   | -   |
| b1  | TCSTF   | タイマREカウントステータスフラグ                          | 0: カウント停止中<br>1: カウント中  | R   |
| b2  | TOENA   | TREO端子出力許可ビット                              | 0: クロック出力禁止<br>1: クロック出力許可  | R/W |
| b3  | INT     | 割り込み要求タイミングビット                             | アウトプットコンペアモードでは“0”にしてください   | R/W |
| b4  | TRERST  | タイマREリセットビット                               | このビットを“1”にした後、“0”にすると次の状態になります。<br>• TRESEC、TREMIN、TREHR、TREWK、TRECR2 レジスタが“00h”<br>• TRECR1 レジスタのTCSTF、INT、PM、H12_H24、TSTART ビットが“0”<br>• 8ビットカウンタが“00h”、4ビットカウンタが“0h” | R/W |
| b5  | PM      | 午前/午後ビット                                   | アウトプットコンペアモードでは“0”にしてください   | R/W |
| b6  | H12_H24 | 動作モード選択ビット                                 |   | R/W |
| b7  | TSTART  | タイマREカウント開始ビット                             | 0: カウント停止<br>1: カウント開始  | R/W |

## 20.3.4 タイマRE制御レジスタ2 (TRECR2)[アウトプットコンペアモード時]

アドレス 011Dh番地

| ビット     | b7 | b6 | b5    | b4   | b3   | b2   | b1   | b0   |
|---------|----|----|-------|------|------|------|------|------|
| シンボル    | -  | -  | COMIE | WKIE | DYIE | HRIE | MNIE | SEIE |
| リセット後の値 | 0  | 0  | 0     | 0    | 0    | 0    | 0    | 0    |

| ビット | シンボル  | ビット名                                       | 機能                                 | R/W |
|-----|-------|--|------------------------------------|-----|
| b0  | SEIE  | 秒周期割り込み許可ビット                               | アウトプットコンペアモードでは“0”にしてください          | R/W |
| b1  | MNIE  | 分周期割り込み許可ビット                               |                                    | R/W |
| b2  | HRIE  | 時周期割り込み許可ビット                               |                                    | R/W |
| b3  | DYIE  | 日周期割り込み許可ビット                               |                                    | R/W |
| b4  | WKIE  | 週周期割り込み許可ビット                               |                                    | R/W |
| b5  | COMIE | コンペア一致割り込み許可ビット                            | 0: コンペア一致割り込み禁止<br>1: コンペア一致割り込み許可 | R/W |
| b6  | -     | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |                                    | -   |
| b7  | -     |  |                                    |     |

### 20.3.5 タイマRE カウントソース選択レジスタ(TRECSR)[アウトプットコンペアモード時]

アドレス 011Eh 番地

| ビット     | b7 | b6   | b5   | b4   | b3   | b2   | b1   | b0   |
|---------|----|------|------|------|------|------|------|------|
| シンボル    | -  | RCS6 | RCS5 | RCS4 | RCS3 | RCS2 | RCS1 | RCS0 |
| リセット後の値 | 0  | 0    | 0    | 0    | 1    | 0    | 0    | 0    |

| ビット | シンボル | ビット名                                       | 機能   | R/W |
|-----|------|--|--|-----|
| b0  | RCS0 | カウントソース選択ビット(注1)                           | <sup>b1 b0</sup><br>0 0 : f4<br>0 1 : f8<br>1 0 : f32<br>1 1 : fC4   | R/W |
| b1  | RCS1 |  |  | R/W |
| b2  | RCS2 | 4ビットカウンタ選択ビット(注1)                          | 0 : 使用しない<br>1 : 使用する  | R/W |
| b3  | RCS3 | リアルタイムクロックモード選択ビット                         | アウトプットコンペアモードでは“0”にしてください  | R/W |
| b4  | RCS4 | クロック出力選択ビット(注2)                            | <sup>b6 b5 b4</sup><br>0 0 0 : f2<br>0 0 1 : fC<br>0 1 0 : f4<br>1 0 0 : f8<br>1 1 0 : コンペア出力<br>上記以外 : 設定しないでください | R/W |
| b5  | RCS5 |  |  | R/W |
| b6  | RCS6 |  |  | R/W |
| b7  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -  | -   |

注1. RCS0 ~ RCS2 ビットは、TRECR1 レジスタのTCSTF ビットが“0”(カウント停止中)のとき、書いてください。

注2. RCS4 ~ RCS6 ビットは、TRECR1 レジスタのTOENA ビットが“0”(クロック出力禁止)のとき、書いてください。

## 20.3.6 動作例

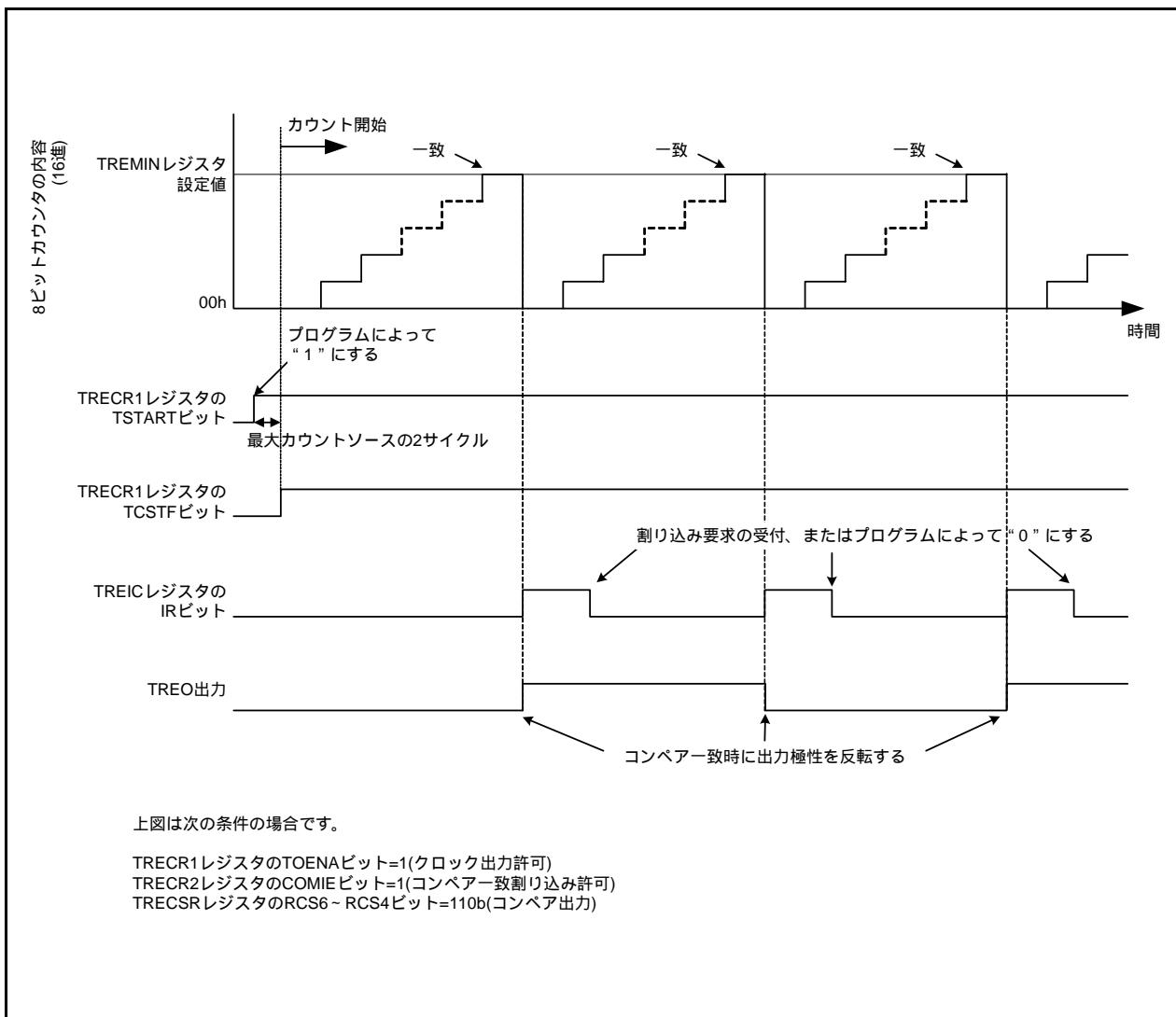


図 20.5 アウトプットコンペアモードの動作例

## 20.4 タイマRE 使用上の注意

### 20.4.1 カウント開始、停止

タイマREにはカウント開始または停止を指示するためのTSTARTビットと、カウントが開始または停止したこと示すTCSTFビットがあります。TSTARTビットとTCSTFビットはともにTRECR1レジスタにあります。

TSTARTビットを“1”(カウント開始)にするとタイマREがカウントを開始し、TCSTFビットが“1”(カウント開始)になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くタイマRE関連レジスタ(注1)をアクセスしないでください。

同様に、TSTARTビットを“0”(カウント停止)にするとタイマREがカウントを停止し、TCSTFビットが“0”(カウント停止)になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの2サイクル分の時間がかかります。この間、TCSTFビットを除くタイマRE関連レジスタをアクセスしないでください。

注1. タイマRE関連レジスタ : TRESEC、TREMIN、TREHR、TREWK、TRECR1、TRECR2、TRECSR

### 20.4.2 レジスタ設定

次のレジスタやビットは、タイマREが停止中に書いてください。

- TRESEC、TREMIN、TREHR、TREWK、TRECR2 レジスタ
- TRECR1 レジスタのH12\_H24ビット、PMビット、INTビット
- TRECSR レジスタのRCS0 ~ RCS3 ビット

タイマREが停止中とは、TRECR1 レジスタのTSTARTビットとTCSTFビットがともに“0”(タイマRE停止)の状態を指します。

また、TRECR2 レジスタは、上記のレジスタやビットの設定の最後(タイマREカウント開始の直前)に設定してください。

図 20.6にリアルタイムクロックモード時の設定例を示します。

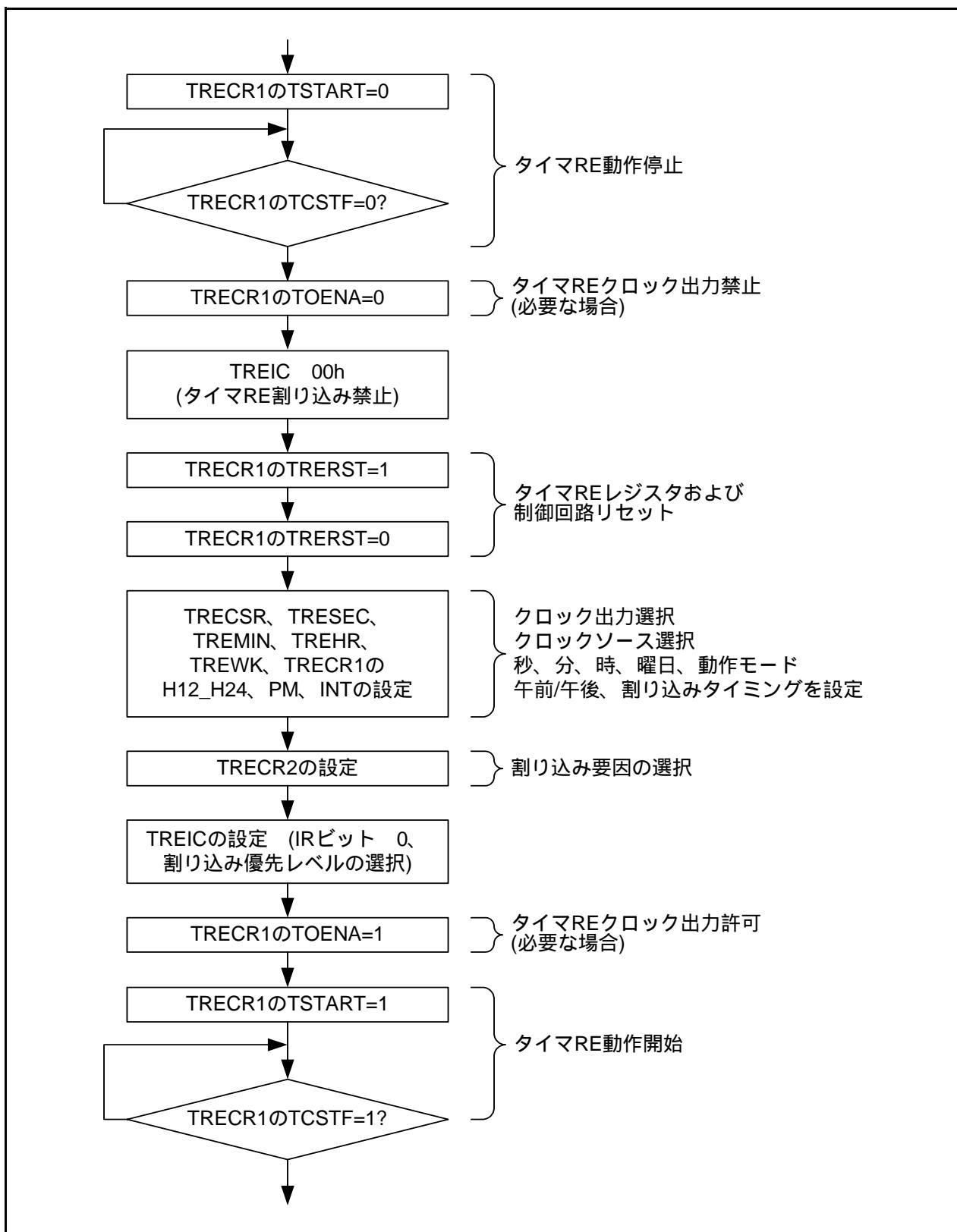


図 20.6 リアルタイムクロックモード時の設定例

### 20.4.3 リアルタイムクロックモードの時刻読み出し手順

リアルタイムクロックモードでは、時刻データの更新時、TRESEC、TREMIN、TREHR、TREWK レジスタ、TRECR1 レジスタのPM ビットはBSY ビットが“0”(データ更新中ではない)ときに読み出してください。

また、複数のレジスタを読み出す場合、あるレジスタを読んだ後、別のレジスタを読むまでにデータが更新されると、結果的に誤った時刻を採用してしまいます。

これらを回避するための読み出し手順例を示します。

- 割り込みを使用する方法

タイマRE割り込みルーチン内で、TRESEC、TREMIN、TREHR、TREWK レジスタ、TRECR1 レジスタのPM ビットのうち、必要な内容を読み出す。

- プログラムで監視する方法1

プログラムでTREIC レジスタのIR ビットを監視し、“1”(タイマRE割り込み要求発生)になったら、TRESEC、TREMIN、TREHR、TREWK レジスタ、TRECR1 レジスタのPM ビットのうち、必要な内容を読み出す。

- プログラムで監視する方法2

- (1) BSY ビットを監視する。
- (2) BSY ビットが“1”になったら、“0”になるまで監視する( BSY ビットが“1”的期間は約62.5ms )
- (3) BSY ビットが“0”になったら、TRESEC、TREMIN、TREHR、TREWK レジスタ、TRECR1 レジスタのPM ビットのうち、必要な内容を読み出す。

- 読み出した結果が2回同じであれば採用する方法

- (1) TRESEC、TREMIN、TREHR、TREWK レジスタ、TRECR1 レジスタのPM ビットのうち、必要な内容を読み出す。
- (2) (1)と同じレジスタを読み出し、内容を比較する。
- (3) 一致すれば正しい値として採用する。一致しなければ読み出した値が、前回の値と一致するまで繰り返す。

なお、複数のレジスタを読み出す場合は、できるだけ連続して読み出す。

## 21. シリアルインタフェース(UART*i* (*i*=0 ~ 1)))

シリアルインタフェースはUART0 ~ UART2の3チャネルで構成しています。本章はUART*i* (*i*=0 ~ 1)について説明します。

### 21.1 概要

UART0 ~ UART1はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。

図21.1にUART*i* (*i*=0 ~ 1)のブロック図を、図21.2に送受信部のブロック図を、表21.1にUART*i* (*i*=0 ~ 1)の端子構成を示します。

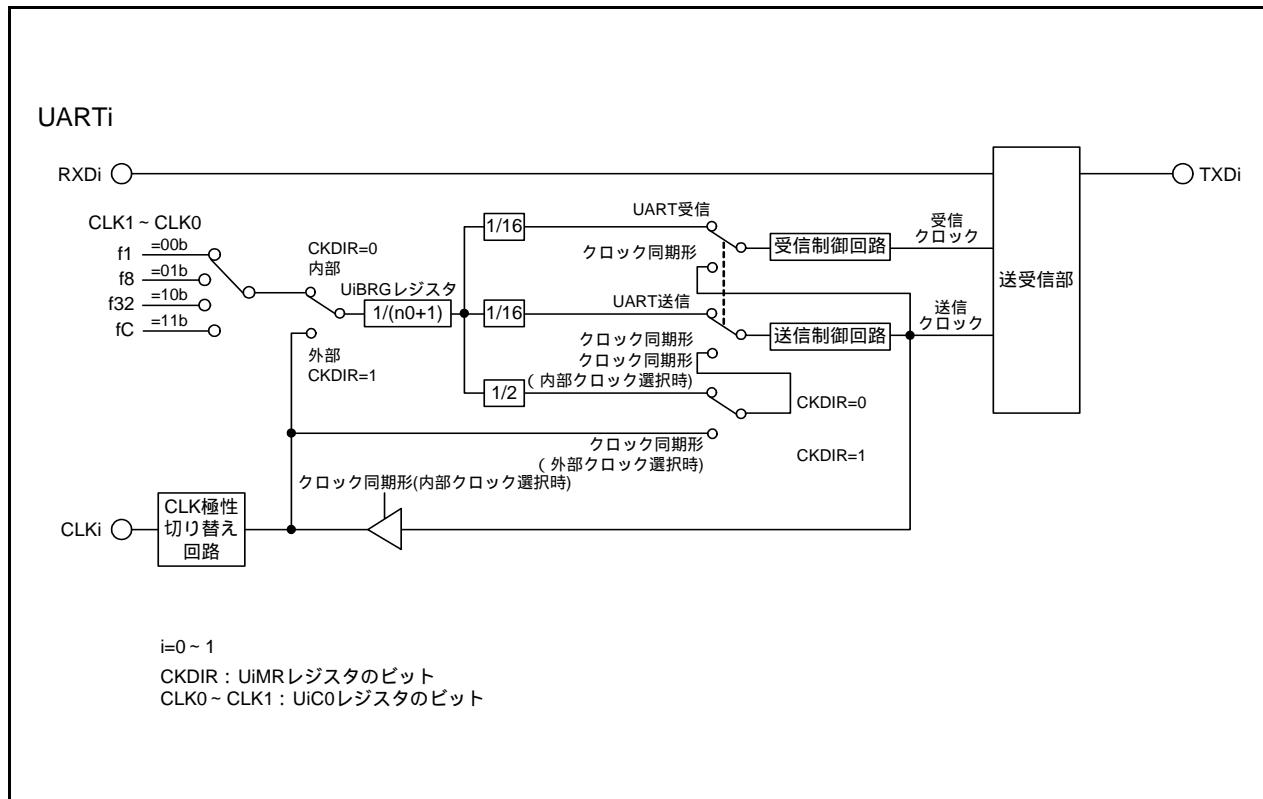
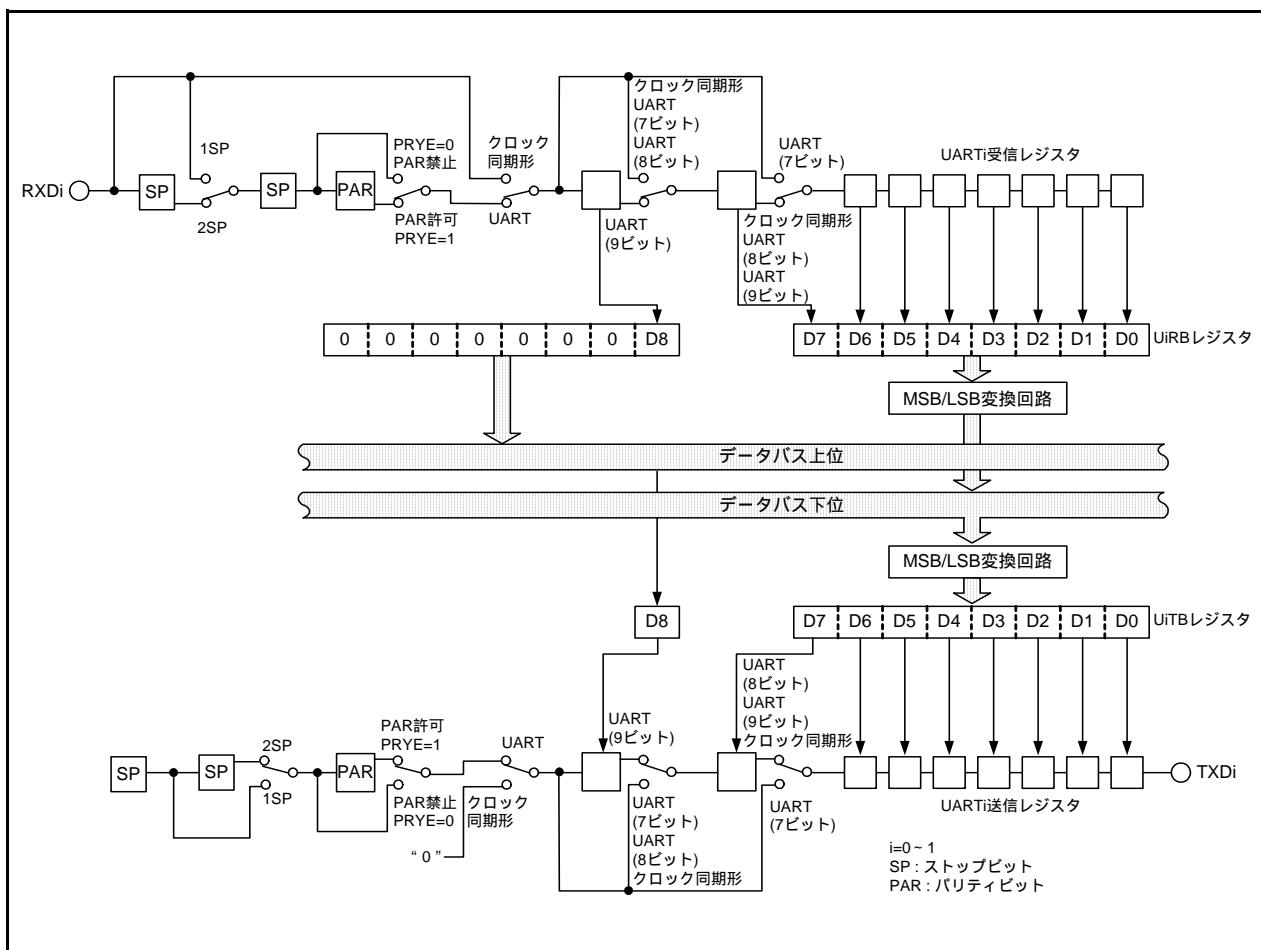


図21.1 UART*i* (*i*=0 ~ 1)のブロック図

表 21.1 UART*i* (*i*=0 ~ 1) の端子構成

| 端子名  | 割り当てる端子 | 入出力 | 機能        |
|------|---------|-----|-----------|
| TXD0 | P1_4    | 出力  | シリアルデータ出力 |
| RXD0 | P1_5    | 入力  | シリアルデータ入力 |
| CLK0 | P1_6    | 入出力 | 転送クロック入出力 |
| TXD1 | P0_1    | 出力  | シリアルデータ出力 |
| RXD1 | P0_2    | 入力  | シリアルデータ入力 |
| CLK1 | P0_3    | 入出力 | 転送クロック入出力 |

## 21.2 レジスタの説明

### 21.2.1 UART*i*送受信モードレジスタ(UiMR)(*i*=0 ~ 1)

アドレス 00A0h番地(U0MR)、0160h番地(U1MR)

| ビット     | b7 | b6   | b5  | b4   | b3    | b2   | b1   | b0   |
|---------|----|------|-----|------|-------|------|------|------|
| シンボル    | -  | PRYE | PRY | STPS | CKDIR | SMD2 | SMD1 | SMD0 |
| リセット後の値 | 0  | 0    | 0   | 0    | 0     | 0    | 0    | 0    |

| ビット | シンボル  | ビット名            | 機能  | R/W |
|-----|-------|-----------------|---|-----|
| b0  | SMD0  | シリアルI/Oモード選択ビット | b2 b1 b0<br>0 0 0 : シリアルインタフェースは無効<br>0 0 1 : クロック同期形シリアルI/Oモード<br>1 0 0 : UARTモード転送データ長7ビット<br>1 0 1 : UARTモード転送データ長8ビット<br>1 1 0 : UARTモード転送データ長9ビット<br>上記以外 : 設定しないでください | R/W |
| b1  | SMD1  |                 | R/W   |     |
| b2  | SMD2  |                 | R/W   |     |
| b3  | CKDIR | 内/外部クロック選択ビット   | 0 : 内部クロック<br>1 : 外部クロック  | R/W |
| b4  | STPS  | ストップピット長選択ビット   | 0 : 1ストップピット<br>1 : 2ストップピット  | R/W |
| b5  | PRY   | パリティ奇/偶選択ビット    | PRYE=1のとき有効<br>0 : 奇数パリティ<br>1 : 偶数パリティ   | R/W |
| b6  | PRYE  | パリティ許可ビット       | 0 : パリティ禁止<br>1 : パリティ許可  | R/W |
| b7  | -     | 予約ビット           | "0"にしてください  | R/W |

### 21.2.2 UART*i*ビットレートレジスタ (UiBRG)(*i*=0 ~ 1)

アドレス 00A1h番地(U0BRG)、0161h番地(U1BRG)

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | X  | X  | X  | X  | X  | X  | X  | X  |

| ビット     | 機能                              | 設定範囲      | R/W |
|---------|---------------------------------|-----------|-----|
| b7 ~ b0 | 設定値をnとすると、UiBRGはカウントソースをn+1分周する | 00h ~ FFh | W   |

UiBRG レジスタは、送受信停止中に書いてください。

UiBRG レジスタは、MOV命令を使用して書いてください。

UiC0 レジスタのCLK0 ~ CLK1 ビットを設定した後、UiBRG レジスタに書いてください。

21.2.3 UART*i*送信バッファレジスタ (UiTB)(*i*=0 ~ 1)

アドレス 00A3h ~ 00A2h 番地(U0TB)、0163h ~ 0162h 番地(U1TB)

| ビット     | b7  | b6  | b5  | b4  | b3  | b2  | b1 | b0 |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| シンボル    | -   | -   | -   | -   | -   | -   | -  | -  |
| リセット後の値 | X   | X   | X   | X   | X   | X   | X  | X  |
| ビット     | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
| シンボル    | -   | -   | -   | -   | -   | -   | -  | -  |
| リセット後の値 | X   | X   | X   | X   | X   | X   | X  | X  |

| ビット | シンボル | 機能  | R/W |
|-----|------|---|-----|
| b0  | -    | 送信データ                                     | W   |
| b1  | -    |   |     |
| b2  | -    |   |     |
| b3  | -    |   |     |
| b4  | -    |   |     |
| b5  | -    |   |     |
| b6  | -    |   |     |
| b7  | -    |   |     |
| b8  | -    |   |     |
| b9  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。 | -   |
| b10 | -    |   |     |
| b11 | -    |   |     |
| b12 | -    |   |     |
| b13 | -    |   |     |
| b14 | -    |   |     |
| b15 | -    |   |     |

転送データ長が9ビットの場合、UiTB レジスタの上位バイト 下位バイトの順で書いてください。  
UiTB レジスタはMOV命令を使用して書いてください。

### 21.2.4 UARTi送受信制御レジスタ0 (UiC0)(i=0 ~ 1)

アドレス 00A4h番地(U0C0)、0164h番地(U1C0)

| ビット     | b7    | b6    | b5  | b4 | b3    | b2 | b1   | b0   |
|---------|-------|-------|-----|----|-------|----|------|------|
| シンボル    | UFORM | CKPOL | NCH | -  | TXEPT | -  | CLK1 | CLK0 |
| リセット後の値 | 0     | 0     | 0   | 0  | 1     | 0  | 0    | 0    |

| ビット | シンボル  | ビット名                                       | 機能  | R/W |
|-----|-------|--|---|-----|
| b0  | CLK0  | BRGカウントソース選択ビット(注1)                        | b <sub>1</sub> b <sub>0</sub><br>0 0 : f1を選択<br>0 1 : f8選択<br>1 0 : f32を選択<br>1 1 : fCを選択 | R/W |
| b1  | CLK1  |  |   | R/W |
| b2  | -     | 予約ビット                                      | "0"にしてください  | R/W |
| b3  | TXEPT | 送信レジスタ空フラグ                                 | 0: 送信レジスタにデータあり(送信中)<br>1: 送信レジスタにデータなし(送信完了)   | R   |
| b4  | -     | 何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。 |   | -   |
| b5  | NCH   | データ出力選択ビット                                 | 0: TXDi端子はCMOS出力<br>1: TXDi端子はNチャネルオープンドレイン出力   | R/W |
| b6  | CKPOL | CLK極性選択ビット                                 | 0: 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力<br>1: 転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力            | R/W |
| b7  | UFORM | 転送フォーマット選択ビット                              | 0: LSBファースト<br>1: MSBファースト  | R/W |

注1. BRGカウントソースを変更した場合は、UiBRG レジスタを再設定してください。

### 21.2.5 UARTi送受信制御レジスタ1 (UiC1)(i=0 ~ 1)

アドレス 00A5h番地(U0C1)、0165h番地(U1C1)

| ビット     | b7 | b6 | b5    | b4    | b3 | b2 | b1 | b0 |
|---------|----|----|-------|-------|----|----|----|----|
| シンボル    | -  | -  | UiRRM | UiIRS | RI | RE | TI | TE |
| リセット後の値 | 0  | 0  | 0     | 0     | 0  | 0  | 1  | 0  |

| ビット | シンボル  | ビット名                                       | 機能                                   | R/W |
|-----|-------|--|--------------------------------------|-----|
| b0  | TE    | 送信許可ビット                                    | 0: 送信禁止<br>1: 送信許可                   | R/W |
| b1  | TI    | 送信バッファ空フラグ                                 | 0: UiTBにデータあり<br>1: UiTBにデータなし       | R   |
| b2  | RE    | 受信許可ビット                                    | 0: 受信禁止<br>1: 受信許可                   | R/W |
| b3  | RI    | 受信完了フラグ(注1)                                | 0: UiRBにデータなし<br>1: UiRBにデータあり       | R   |
| b4  | UiIRS | UARTi送信割り込み要因選択ビット                         | 0: 送信バッファ空(TI=1)<br>1: 送信完了(TXEPT=1) | R/W |
| b5  | UiRRM | UARTi連続受信モード許可ビット(注2)                      | 0: 連続受信モード禁止<br>1: 連続受信モード許可         | R/W |
| b6  | -     | 何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。 |                                      | -   |
| b7  | -     |  |                                      |     |

注1. RIビットはUiRB レジスタの上位バイトを読み出したとき、"0"になります。

注2. UARTモード時、UiRRMビットは"0"(連続受信モード禁止)にしてください。

### 21.2.6 UART*i*受信バッファレジスタ (UiRB)(*i*=0 ~ 1)

アドレス 00A7h ~ 00A6h番地(U0RB)、0167h ~ 0166h番地(U1RB)

| ビット     | b7  | b6  | b5  | b4  | b3  | b2  | b1 | b0 |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| シンボル    | -   | -   | -   | -   | -   | -   | -  | -  |
| リセット後の値 | X   | X   | X   | X   | X   | X   | X  | X  |
| ビット     | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
| シンボル    | SUM | PER | FER | OER | -   | -   | -  | -  |
| リセット後の値 | X   | X   | X   | X   | X   | X   | X  | X  |

| ビット | シンボル | ビット名                                      | 機能                               | R/W |
|-----|------|---|----------------------------------|-----|
| b0  | -    | -   | 受信データ(D7 ~ D0)                   | R   |
| b1  | -    | -   |                                  |     |
| b2  | -    | -   |                                  |     |
| b3  | -    | -   |                                  |     |
| b4  | -    | -   |                                  |     |
| b5  | -    | -   |                                  |     |
| b6  | -    | -   |                                  |     |
| b7  | -    | -   |                                  |     |
| b8  | -    | -   | 受信データ(D8)                        | R   |
| b9  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。 |                                  |     |
| b10 | -    |   |                                  |     |
| b11 | -    |   |                                  |     |
| b12 | OER  | オーバランエラーフラグ(注1)                           | 0: オーバランエラーなし<br>1: オーバランエラー発生   | R   |
| b13 | FER  | フレーミングエラーフラグ(注1、2)                        | 0: フレーミングエラーなし<br>1: フレーミングエラー発生 | R   |
| b14 | PER  | パリティエラーフラグ(注1、2)                          | 0: パリティエラーなし<br>1: パリティエラー発生     | R   |
| b15 | SUM  | エラーサムフラグ(注1、2)                            | 0: エラーなし<br>1: エラー発生             | R   |

注1. SUM、PER、FER、OER ビットは、UiMR レジスタの SMD2 ~ SMD0 ビットを “000b” (シリアルインターフェースは無効)にしたとき、またはUiC1 レジスタの RE ビットを “0” (受信禁止)にしたとき、“0” (エラーなし)になります(SUM ビットは、PER、FER、OER ビットがすべて “0” (エラーなし)になると、“0” (エラーなし)になります)。また、PER、FER ビットはUiRB レジスタの上位バイトを読み出したとき、“0”になります。

UiMR レジスタの SMD2 ~ SMD0 ビットを “000b” にするときは、UiC1 レジスタの TE ビットを “0” (送信禁止)、RE ビットを “0” (受信禁止)にしてください。

注2. UiMR レジスタの SMD2 ~ SMD0 ビットが “001b” (クロック同期形シリアルI/O モード)のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定です。

UiRB レジスタは必ず 16 ビット単位で読み出してください。

### 21.2.7 UART0端子選択レジスタ (U0SR)

アドレス 0188h 番地

| ビット     | b7 | b6 | b5 | b4       | b3 | b2       | b1 | b0       |
|---------|----|----|----|----------|----|----------|----|----------|
| シンボル    | -  | -  | -  | CLK0SEL0 | -  | RXD0SEL0 | -  | TXD0SEL0 |
| リセット後の値 | 0  | 0  | 0  | 0        | 0  | 0        | 0  | 0        |

| ビット | シンボル     | ビット名                                       | 機能                                 | R/W |
|-----|----------|--|------------------------------------|-----|
| b0  | TXD0SEL0 | TXD0端子選択ビット                                | 0 : TXD0端子は使用しない<br>1 : P1_4に割り当てる | R/W |
| b1  | -        | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -                                  | -   |
| b2  | RXD0SEL0 | RXD0端子選択ビット                                | 0 : RXD0端子は使用しない<br>1 : P1_5に割り当てる | R/W |
| b3  | -        | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -                                  | -   |
| b4  | CLK0SEL0 | CLK0端子選択ビット                                | 0 : CLK0端子は使用しない<br>1 : P1_6に割り当てる | R/W |
| b5  | -        | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -                                  | -   |
| b6  | -        |  |                                    |     |
| b7  | -        |  |                                    |     |

U0SR レジスタは、UART0 の入出力をどの端子に割り当てるかを選択するレジスタです。UART0 の入出力端子を使用する場合は、U0SR レジスタを設定してください。

UART0 の関連レジスタを設定する前に、U0SR レジスタを設定してください。また、UART0 の動作中はU0SR レジスタの設定値を変更しないでください。

### 21.2.8 UART1端子選択レジスタ(U1SR)

アドレス 0189h 番地

| ビット     | b7 | b6 | b5 | b4       | b3 | b2       | b1 | b0       |
|---------|----|----|----|----------|----|----------|----|----------|
| シンボル    | -  | -  | -  | CLK1SEL0 | -  | RXD1SEL0 | -  | TXD1SEL0 |
| リセット後の値 | 0  | 0  | 0  | 0        | 0  | 0        | 0  | 0        |

| ビット | シンボル     | ビット名                                   | 機能                                 | R/W |
|-----|----------|--|------------------------------------|-----|
| b0  | TXD1SEL0 | TXD1端子選択ビット                            | 0 : TXD1端子は使用しない<br>1 : P0_1に割り当てる | R/W |
| b1  | -        | 予約ビット                                  | “0”にしてください                         | R/W |
| b2  | RXD1SEL0 | RXD1端子選択ビット                            | 0 : RXD1端子は使用しない<br>1 : P0_2に割り当てる | R/W |
| b3  | -        | 予約ビット                                  | “0”にしてください                         | R/W |
| b4  | CLK1SEL0 | CLK1端子選択ビット                            | 0 : CLK1端子は使用しない<br>1 : P0_3に割り当てる | R/W |
| b5  | -        | 予約ビット                                  | “0”にしてください                         | R/W |
| b6  | -        | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は | “0”。                               | -   |
| b7  | -        |  |                                    |     |

U1SR レジスタは、UART1 の入出力をどの端子に割り当てるかを選択するレジスタです。UART1 の入出力端子を使用する場合は、U1SR レジスタを設定してください。

UART1 の関連レジスタを設定する前に、U1SR レジスタを設定してください。また、UART1 の動作中はU1SR レジスタの設定値を変更しないでください。

### 21.3 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表 21.2 にクロック同期形シリアルI/Oモードの仕様を、表 21.3 にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表 21.2 クロック同期形シリアルI/Oモードの仕様

| 項目            | 仕様   |
|---------------|--|
| 転送データフォーマット   | •転送データ長 8ビット   |
| 転送クロック        | •UiMR レジスタのCKDIR ビットが “0” (内部クロック) : $f_i/(2(n+1))$<br>$f_i=f_1, f_8, f_{32}, f_C$ $n=UiBRG$ レジスタの設定値 $00h \sim FFh$<br>•CKDIR ビットが “1” (外部クロック) : CLK <i>i</i> 端子からの入力  |
| 送信開始条件        | •送信開始には、以下の条件が必要です(注1)。<br>UiC1 レジスタの TE ビットが “1” (送信許可)<br>UiC1 レジスタの TI ビットが “0” (UiTB レジスタにデータあり)   |
| 受信開始条件        | •受信開始には、以下の条件が必要です(注1)。<br>UiC1 レジスタの RE ビットが “1” (受信許可)<br>UiC1 レジスタの TE ビットが “1” (送信許可)<br>UiC1 レジスタの TI ビットが “0” (UiTB レジスタにデータあり)  |
| 割り込み要求発生タイミング | •送信する場合、次の条件のいずれかを選択できます。<br>-UiRS ビットが “0” (送信バッファ空) :<br>UiTB レジスタから UART <i>i</i> 送信レジスタへデータ転送時(送信開始時)<br>-UiRS ビットが “1” (送信完了) : UART <i>i</i> 送信レジスタからデータ送信完了時<br>•受信する場合<br>UART <i>i</i> 受信レジスタから、UiRB レジスタへデータ転送時(受信完了時) |
| エラー検出         | •オーバランエラー(注2)<br>UiRB レジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生  |
| 選択機能          | •CLK 極性選択<br>転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択<br>•LSB ファースト、MSB ファースト選択<br>ビット0から送受信するか、またはビット7から送受信するかを選択<br>•連続受信モード選択<br>UiRB レジスタを読み出す動作により、同時に受信許可状態になる   |

*i*=0 ~ 1

注1. 外部クロックを選択している場合、UiC0 レジスタの CKPOL ビットが “0” (転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力) のときは外部クロックが “H” の状態で、CKPOL ビットが “1” (転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力) のときは外部クロックが “L” の状態で条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRB レジスタの受信データ(b0 ~ b8)は不定になります。また SiRIC レジスタの IR ビットは変化しません。

表 21.3 クロック同期形シリアルI/Oモード時の使用レジスタと設定値(注1)

| レジスタ  | ビット         | 機能                              |
|-------|-------------|---------------------------------|
| UiTB  | b0 ~ b7     | 送信データを設定してください                  |
| UiRB  | b0 ~ b7     | 受信データが読めます                      |
|       | OER         | オーバランエラーフラグ                     |
| UiBRG | b0 ~ b7     | ピットレートを設定してください                 |
| UiMR  | SMD2 ~ SMD0 | “001b”にしてください                   |
|       | CKDIR       | 内部クロック、外部クロックを選択してください          |
| UiC0  | CLK1 ~ CLK0 | UiBRGレジスタのカウントソースを選択してください      |
|       | TXEPT       | 送信レジスタ空フラグ                      |
|       | NCH         | TXDi端子の出力形式を選択してください            |
|       | CKPOL       | 転送クロックの極性を選択してください              |
|       | UFORM       | LSBファースト、またはMSBファーストを選択してください   |
| UiC1  | TE          | 送受信を許可する場合、“1”にしてください           |
|       | TI          | 送信バッファ空フラグ                      |
|       | RE          | 受信を許可する場合、“1”にしてください            |
|       | RI          | 受信完了フラグ                         |
|       | UiIRS       | UART <i>i</i> 送信割り込み要因を選択してください |
|       | UiRRM       | 連続受信モードを使用する場合、“1”にしてください       |

*i*=0 ~ 1

注1. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0”を書いてください。

表 21.4 にクロック同期形シリアルI/Oモード時の入出力端子の機能を示します。

UART*i* (*i*=0 ~ 1) の動作モード選択後、転送開始までは、TXD*i* 端子は “H” レベルを出力します(NCH ビットが “1” (Nチャネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表 21.4 クロック同期形シリアルI/Oモード時の入出力端子の機能

| 端子名        | 機能        | 選択方法   |
|------------|-----------|--|
| TXD0(P1_4) | シリアルデータ出力 | U0SR レジスタの TXD0SEL0 ビット = 1<br>(受信だけを行うときは TXD0SEL0 ビット = 0 と設定することで、P1_4 をポートとして使用可)                            |
| RXD0(P1_5) | シリアルデータ入力 | U0SR レジスタの RXD0SEL0 ビット = 1<br>PD1 レジスタの PD1_5 ビット = 0<br>(送信だけを行うときは RXD0SEL0 ビット = 0 と設定することで、P1_5 をポートとして使用可) |
| CLK0(P1_6) | 転送クロック出力  | U0SR レジスタの CLK0SEL0 ビット = 1<br>U0MR レジスタの CKDIR ビット = 0  |
|            | 転送クロック入力  | U0SR レジスタの CLK0SEL0 ビット = 1<br>U0MR レジスタの CKDIR ビット = 1<br>PD1 レジスタの PD1_6 ビット = 0                               |
| TXD1(P0_1) | シリアルデータ出力 | U1SR レジスタの TXD1SEL0 ビット = 1<br>(受信だけを行うときは TXD1SEL0 ビット = 0 と設定することで、P0_1 をポートとして使用可)                            |
| RXD1(P0_2) | シリアルデータ入力 | U1SR レジスタの RXD1SEL0 ビット = 1<br>PD0 レジスタの PD0_2 ビット = 0<br>(送信だけを行うときは RXD1SEL0 ビット = 0 と設定することで、P0_2 をポートとして使用可) |
| CLK1(P0_3) | 転送クロック出力  | U1SR レジスタの CLK1SEL0 ビット = 1<br>U1MR レジスタの CKDIR ビット = 0  |
|            | 転送クロック入力  | U1SR レジスタの CLK1SEL0 ビット = 1<br>U1MR レジスタの CKDIR ビット = 1<br>PD0 レジスタの PD0_3 ビット = 0                               |

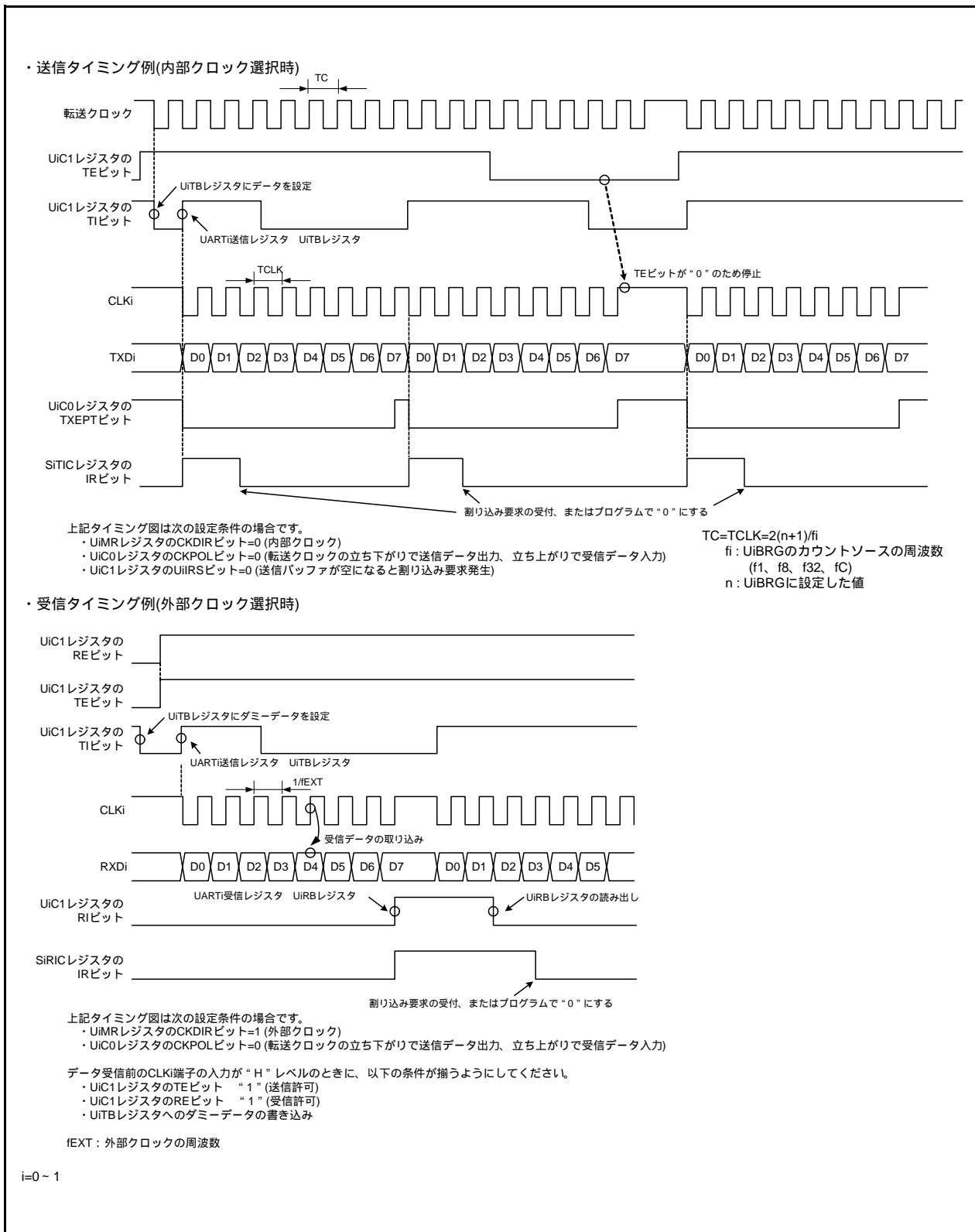


図 21.3 クロック同期形シリアルI/Oモード時の送受信タイミング例

### 21.3.1 通信エラー発生時の対処方法

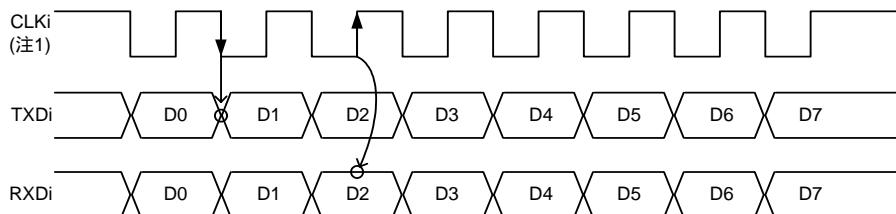
クロック同期形シリアルI/Oモードで受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) UiC1 レジスタ(*i*=0 ~ 1)のTE ビットを“0”(送信禁止)、RE ビットを“0”(受信禁止)にする。
- (2) UiMR レジスタのSMD2 ~ SMD0 ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) UiMR レジスタのSMD2 ~ SMD0 ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (4) UiC1 レジスタのTE ビットを“1”(送信許可)、RE ビットを“1”(受信許可)にする。

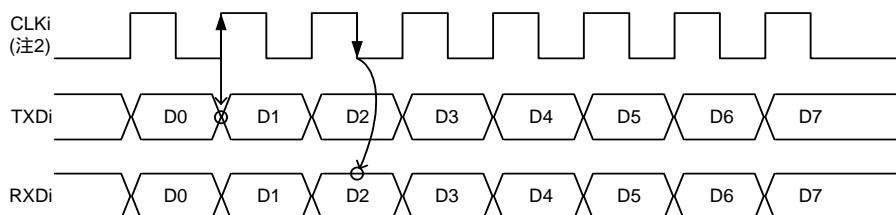
### 21.3.2 極性選択機能

図 21.4 に転送クロックの極性を示します。UiC0 レジスタ (*i*=0 ~ 1) の CKPOL ビットによって転送クロックの極性を選択できます。

- UiC0 レジスタの CKPOL ビット=0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のとき



- UiC0 レジスタの CKPOL ビット=1(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のとき



*i*=0 ~ 1

注1. 転送を行っていないときの CLK<sub>i</sub> 端子のレベルは “H” です。

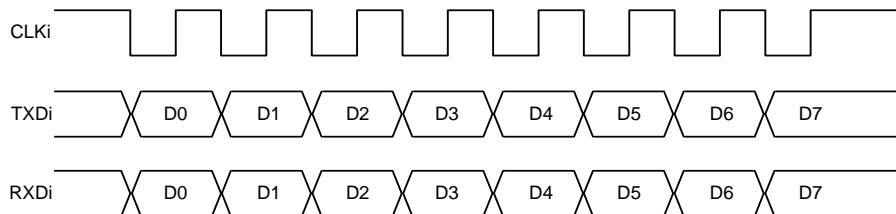
注2. 転送を行っていないときの CLK<sub>i</sub> 端子のレベルは “L” です。

図 21.4 転送クロックの極性

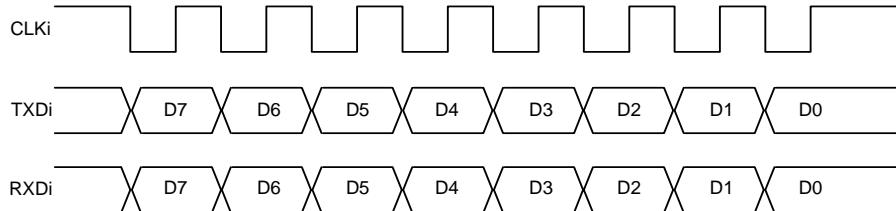
### 21.3.3 LSB ファースト、MSB ファースト選択

図 21.5 に転送フォーマットを示します。UiC0 レジスタ (*i*=0 ~ 1) の UFORM ビットで転送フォーマットを選択できます。

- UiC0 レジスタの UFORM ビット=0(LSB ファースト)のとき(注1)



- UiC0 レジスタの UFORM ビット=1(MSB ファースト)のとき(注1)



*i*=0 ~ 1

注1. UiC0 レジスタの CKPOL ビット=0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)の場合です。

図 21.5 転送フォーマット

### 21.3.4 連続受信モード

UiC1 レジスタ(*i*=0 ~ 1)のUiRRM ビットを“1”(連続受信モード許可)に設定することによって、連続受信モードになります。連続受信モードでは、UiRB レジスタを読むことでUiC1 レジスタのTI ビットが“0”(UiTB にデータあり)になります。UiRRM ビットが“1”的場合、プログラムでUiTB レジスタにダミーデータを書かないでください。

## 21.4 クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意のビットレート、転送データフォーマットを設定して送受信を行うモードです。

表21.5にクロック非同期形シリアルI/Oモードの仕様を、表21.6にUARTモード時の使用レジスタと設定値を示します。

表21.5 クロック非同期形シリアルI/Oモードの仕様

| 項目            | 仕様   |
|---------------|--|
| 転送データフォーマット   | <ul style="list-style-type: none"> <li>キャラクタビット(転送データ) 7ビット、8ビット、9ビット選択可</li> <li>スタートビット 1ビット</li> <li>パリティビット 奇数、偶数、無し選択可</li> <li>ストップビット 1ビット、2ビット選択可</li> </ul>   |
| 転送クロック        | <ul style="list-style-type: none"> <li>UiMRレジスタのCKDIRビットが“0”(内部クロック) : <math>f_j/(16(n+1))</math><br/> <math>f_j=f_1, f_8, f_{32}, f_C</math> <math>n=UiBRG</math>レジスタの設定値 <math>00h \sim FFh</math></li> <li>CKDIRビットが“1”(外部クロック) : <math>fEXT/(16(n+1))</math><br/> <math>fEXT</math>はCLK<i>i</i>端子からの入力 <math>n=UiBRG</math>レジスタの設定値 <math>00h \sim FFh</math></li> </ul> |
| 送信開始条件        | <ul style="list-style-type: none"> <li>送信開始には、以下の条件が必要です。<br/> UiC1レジスタのTEビットが“1”(送信許可)<br/> UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)</li> </ul>   |
| 受信開始条件        | <ul style="list-style-type: none"> <li>受信開始には、以下の条件が必要です。<br/> UiC1レジスタのREビットが“1”(受信許可)<br/> スタートビットの検出</li> </ul>   |
| 割り込み要求発生タイミング | <ul style="list-style-type: none"> <li>送信する場合、次の条件のいずれかを選択できます。 <ul style="list-style-type: none"> <li>-UiIRSビットが“0”(送信バッファ空) :<br/> UiTBレジスタからUART<i>i</i>送信レジスタへデータ転送時(送信開始時)</li> <li>-UiIRSビットが“1”(送信完了) :<br/> UART<i>i</i>送信レジスタからデータ送信完了時</li> </ul> </li> <li>受信する場合<br/> UART<i>i</i>受信レジスタから、UiRBレジスタへデータ転送時(受信完了時)</li> </ul>                                     |
| エラー検出         | <ul style="list-style-type: none"> <li>オーバランエラー(注1) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生</li> <li>フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生(注2)</li> <li>パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”的個数が設定した個数でなかったときに発生(注2)</li> <li>エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる</li> </ul>  |

*i*=0 ~ 1

注1. オーバランエラーが発生した場合、UiRBレジスタの受信データ(b0 ~ b8)は不定になります。またSiRICレジスタのIRビットは変化しません。

注2. フレーミングエラーフラグ、パリティエラーフラグは、UART*i*受信レジスタからUiRBレジスタにデータが転送されるときに“1”になります。

表 21.6 UARTモード時の使用レジスタと設定値

| レジスタ  | ビット             | 機能   |
|-------|-----------------|--|
| UiTB  | b0 ~ b8         | 送信データを設定してください(注1)   |
| UiRB  | b0 ~ b8         | 受信データが読みます(注2)   |
|       | OER、FER、PER、SUM | エラーフラグ   |
| UiBRG | b0 ~ b7         | ピットレートを設定してください  |
| UiMR  | SMD2 ~ SMD0     | 転送データが7ビットの場合、“100b”を設定してください。<br>転送データが8ビットの場合、“101b”を設定してください。<br>転送データが9ビットの場合、“110b”を設定してください。 |
|       | CKDIR           | 内部クロック、外部クロックを選択してください。  |
|       | STPS            | ストップピットを選択してください。  |
|       | PRY、PRYE        | パリティの有無、偶数奇数を選択してください。   |
| UiC0  | CLK1 ~ CLK0     | UiBRG レジスタのカウントソースを選択してください。   |
|       | TXEPT           | 送信レジスタ空フラグ   |
|       | NCH             | TXDi端子の出力形式を選択してください。  |
|       | CKPOL           | “0”にしてください。  |
|       | UFORM           | 転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。<br>転送データ長7ビットまたは9ビット時は“0”にしてください。                            |
| UiC1  | TE              | 送信を許可する場合、“1”にしてください。  |
|       | TI              | 送信バッファ空フラグ   |
|       | RE              | 受信を許可する場合、“1”にしてください。  |
|       | RI              | 受信完了フラグ  |
|       | UiIRS           | UART <i>i</i> 送信割り込み要因を選択してください。   |
|       | UiRRM           | “0”にしてください。  |

i=0 ~ 1

注1. 使用するビットは次のとおりです。転送データ長7ビット：ビットb0 ~ b6、転送データ長8ビット：ビットb0 ~ b7、転送データ長9ビット：ビットb0 ~ b8

注2. 転送データ長7ビットの場合のビットb7 ~ b8、転送データ長8ビットの場合のビットb8の内容は不定です。

表 21.7 にUARTモード時の入出力端子の機能を示します。なお、UART*i*(*i*=0 ~ 1)の動作モード選択後、転送開始までは、TXDi端子は“H”レベルを出力します(NCHビットが“1”(Nチャネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表 21.7 UARTモード時の入出力端子の機能

| 端子名        | 機能            | 選択方法   |
|------------|---------------|--|
| TXD0(P1_4) | シリアルデータ出力     | U0SR レジスタの TXD0SEL0 ビット = 1<br>(受信だけを行うときは TXD0SEL0 ビット = 0 と設定することで、P1_4 をポートとして使用可)                            |
| RXD0(P1_5) | シリアルデータ入力     | U0SR レジスタの RXD0SEL0 ビット = 1<br>PD1 レジスタの PD1_5 ビット = 0<br>(送信だけを行うときは RXD0SEL0 ビット = 0 と設定することで、P1_5 をポートとして使用可) |
| CLK0(P1_6) | プログラマブル入出力ポート | U0SR レジスタの CLK0SEL0 ビット = 0(CLK0端子は使用しない)  |
|            | 転送クロック入力      | U0SR レジスタの CLK0SEL0 ビット = 1<br>U0MR レジスタの CKDIR ビット = 1<br>PD1 レジスタの PD1_6 ビット = 0                               |
| TXD1(P0_1) | シリアルデータ出力     | U1SR レジスタの TXD1SEL0 ビット = 1<br>(受信だけを行うときは TXD1SEL0 ビット = 0 と設定することで、P0_1 をポートとして使用可)                            |
| RXD1(P0_2) | シリアルデータ入力     | U1SR レジスタの RXD1SEL0 ビット = 1<br>PD0 レジスタの PD0_2 ビット = 0<br>(送信だけを行うときは RXD1SEL0 ビット = 0 と設定することで、P0_2 をポートとして使用可) |
| CLK1(P0_3) | プログラマブル入出力ポート | U1SR レジスタの CLK1SEL0 ビット = 0(CLK1端子は使用しない)  |
|            | 転送クロック入力      | U1SR レジスタの CLK1SEL0 ビット = 1<br>U1MR レジスタの CKDIR ビット = 1<br>PD0 レジスタの PD0_3 ビット = 0                               |

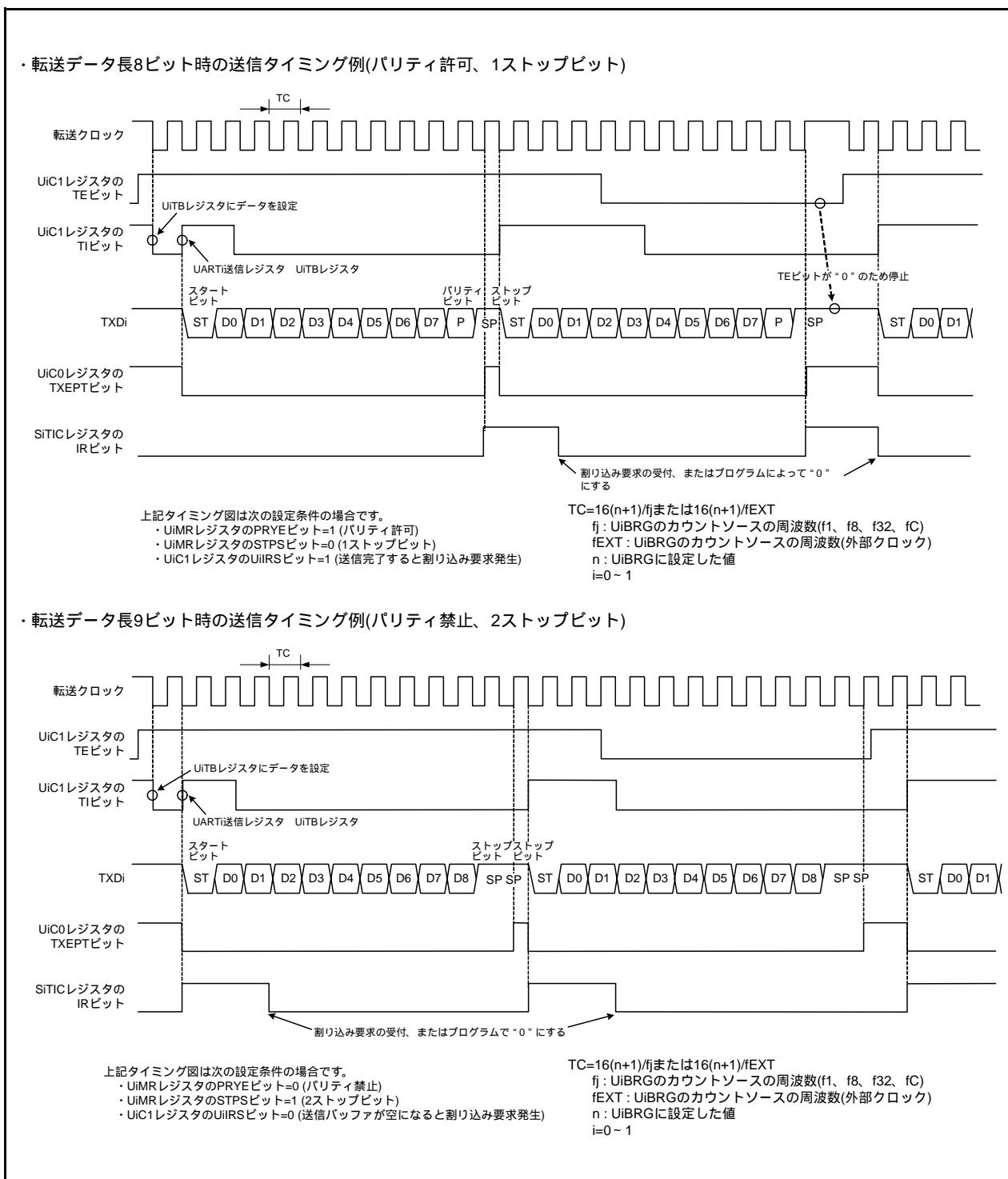


図 21.6 UARTモード時の送信タイミング

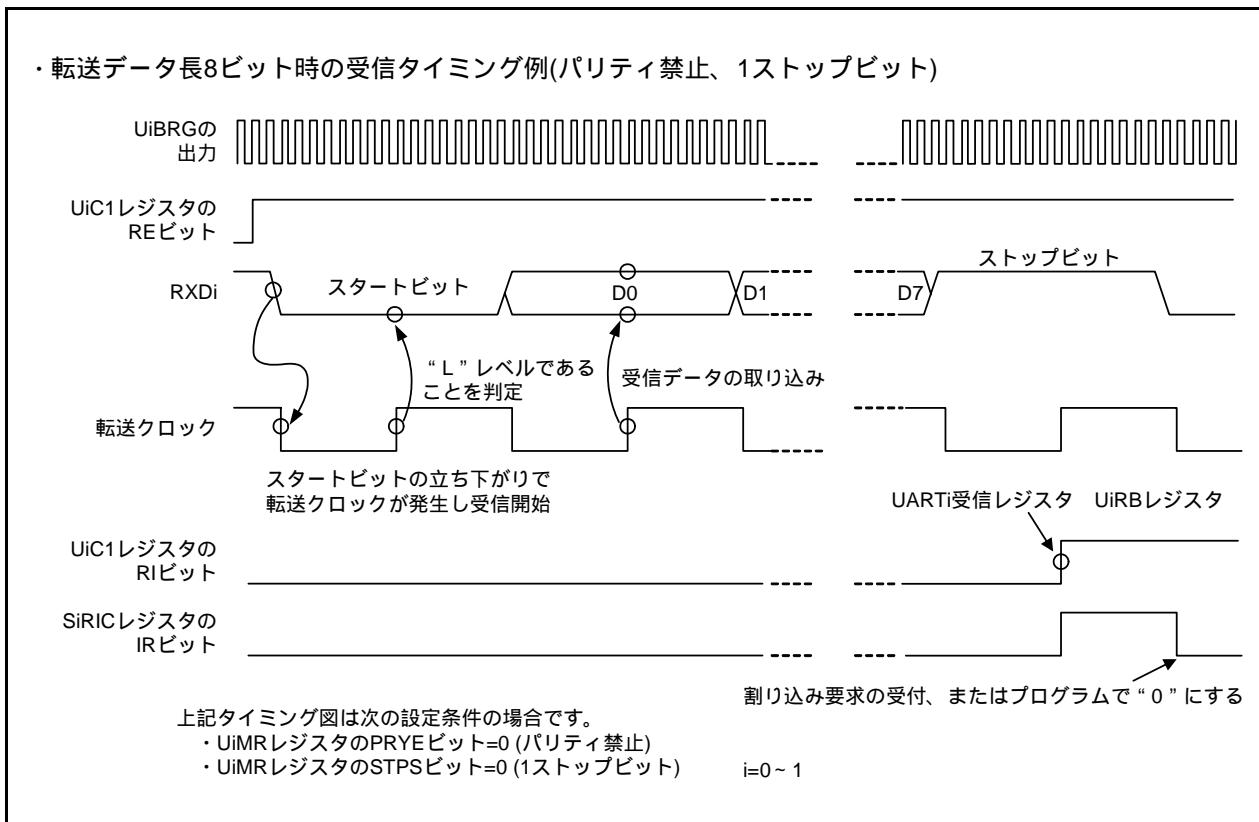


図 21.7 UARTモード時の受信タイミング例

### 21.4.1 ビットレート

UARTモードではUiBRGレジスタ(*i*=0 ~ 1)で分周した周波数の16分周がビットレートになります。

| < UARTモード >   |  |  |  |  |  |  |  |  |  |
|---|--|--|--|--|--|--|--|--|--|
| ・ 内部クロック選択時   |  |  |  |  |  |  |  |  |  |
| $\text{UiBRGレジスタへの設定値} = \frac{f_j}{\text{ビットレート} \times 16} - 1$     |  |  |  |  |  |  |  |  |  |
| $f_j : \text{UiBRGレジスタのカウントソースの周波数}(f_1, f_8, f_{32}, f_C)$           |  |  |  |  |  |  |  |  |  |
| ・ 外部クロック選択時   |  |  |  |  |  |  |  |  |  |
| $\text{UiBRGレジスタへの設定値} = \frac{f_{EXT}}{\text{ビットレート} \times 16} - 1$ |  |  |  |  |  |  |  |  |  |
| $f_{EXT} : \text{UiBRGレジスタのカウントソースの周波数(外部クロック)}$                      |  |  |  |  |  |  |  |  |  |
| $i=0 \sim 1$  |  |  |  |  |  |  |  |  |  |

図 21.8 UiBRG レジスタ (*i*=0 ~ 1) の設定値の算出式

表 21.8 UARTモード時のビットレート設定例(内部クロック選択時)

| ビット<br>レート<br>(bps) | UiBRGの<br>カウント<br>ソース | システムクロック = 20 MHz |              |                 | システムクロック = 18.432 MHz<br>(注1) |              |                 | システムクロック = 8 MHz |              |                 |
|---------------------|-----------------------|-------------------|--------------|-----------------|-------------------------------|--------------|-----------------|------------------|--------------|-----------------|
|                     |                       | UiBRGの<br>設定値     | 実時間<br>(bps) | 設定<br>誤差<br>(%) | UiBRGの<br>設定値                 | 実時間<br>(bps) | 設定<br>誤差<br>(%) | UiBRGの<br>設定値    | 実時間<br>(bps) | 設定<br>誤差<br>(%) |
| 1200                | f8                    | 129 (81h)         | 1201.92      | 0.16            | 119 (77h)                     | 1200.00      | 0.00            | 51 (33h)         | 1201.92      | 0.16            |
| 2400                | f8                    | 64 (40h)          | 2403.85      | 0.16            | 59 (3Bh)                      | 2400.00      | 0.00            | 25 (19h)         | 2403.85      | 0.16            |
| 4800                | f8                    | 32 (20h)          | 4734.85      | - 1.36          | 29 (1Dh)                      | 4800.00      | 0.00            | 12 (0Ch)         | 4807.69      | 0.16            |
| 9600                | f1                    | 129 (81h)         | 9615.38      | 0.16            | 119 (77h)                     | 9600.00      | 0.00            | 51 (33h)         | 9615.38      | 0.16            |
| 14400               | f1                    | 86 (56h)          | 14367.82     | - 0.22          | 79 (4Fh)                      | 14400.00     | 0.00            | 34 (22h)         | 14285.71     | - 0.79          |
| 19200               | f1                    | 64 (40h)          | 19230.77     | 0.16            | 59 (3Bh)                      | 19200.00     | 0.00            | 25 (19h)         | 19230.77     | 0.16            |
| 28800               | f1                    | 42 (2Ah)          | 29069.77     | 0.94            | 39 (27h)                      | 28800.00     | 0.00            | 16 (10h)         | 29411.76     | 2.12            |
| 38400               | f1                    | 32 (20h)          | 37878.79     | - 1.36          | 29 (1Dh)                      | 38400.00     | 0.00            | 12 (0Ch)         | 38461.54     | 0.16            |
| 57600               | f1                    | 21 (15h)          | 56818.18     | - 1.36          | 19 (13h)                      | 57600.00     | 0.00            | 8 (08h)          | 55555.56     | - 3.55          |
| 115200              | f1                    | 10 (0Ah)          | 113636.36    | - 1.36          | 9 (09h)                       | 115200.00    | 0.00            |                  |              |                 |

$i=0 \sim 1$

注1. 高速オンチップオシレータに対して、FRA4レジスタの調整値をFRA1レジスタに、FRA5レジスタの調整値をFRA3レジスタに書き込んでください。

システムクロックに高速オンチップオシレータを選択し、FRA2レジスタのFRA22 ~ FRA20ビットを“000b”(2分周モード)にした場合です。高速オンチップオシレータの精度は「32. 電気的特性」を参照してください。

### 21.4.2 通信エラー発生時の対処方法

UART モードで、受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) UiC1 レジスタ(*i* = 0 ~ 1)のTE ビットを“0”(送信禁止)、RE ビットを“0”(受信禁止)にする。
- (2) UiMR レジスタのSMD2 ~ SMD0 ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) UiMR レジスタのSMD2 ~ SMD0 ビットを“100b”(UART モード転送データ長7ビット)、“101b”(UART モード転送データ長8ビット)、“110b”(UART モード転送データ長9ビット)のいずれかにする。
- (4) UiC1 レジスタのTE ビットを“1”(送信許可)、RE ビットを“1”(受信許可)にする。

## 21.5 シリアルインタフェース(UARTi (i=0 ~ 1)) 使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、UiRB(i=0 ~ 1)レジスタを読み出すときは、必ず16ビット単位で読み出してください。

UiRBレジスタのPER、FERビットとUiC1レジスタのRIビットは、UiRBレジスタの上位バイトを読み出したとき、“0”になります。

受信エラーはUiRBレジスタを読み出し後、読み出した値で確認してください。

<受信バッファレジスタを読み出すプログラム例>

```
MOV.W 00A6H, R0 ; U0RB レジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、UiTBレジスタに書くときは、上位バイト 下位バイトの順で、8ビット単位で書いてください。

<送信バッファレジスタに書き込むプログラム例>

```
MOV.B #XXH, 00A3H ; U0TB レジスタの上位バイトへの書き込み  
MOV.B #XXH, 00A2H ; U0TB レジスタの下位バイトへの書き込み
```

## 22. シリアルインタフェース(UART2)

シリアルインターフェースはUART0 ~ UART2の3チャネルで構成しています。本章はUART2について説明します。

### 22.1 概要

UART2は専用の転送クロック発生用タイマを持ちます。

図 22.1にUART2のブロック図を、図 22.2にUART2送受信部のブロック図を示します。表 22.1にUART2の端子構成を示します。

UART2には、次のモードがあります。

- ・クロック同期形シリアルI/Oモード
- ・クロック非同期形シリアルI/Oモード(UARTモード)
- ・特殊モード1(I<sup>2</sup>Cモード)
- ・マルチプロセッサ通信機能

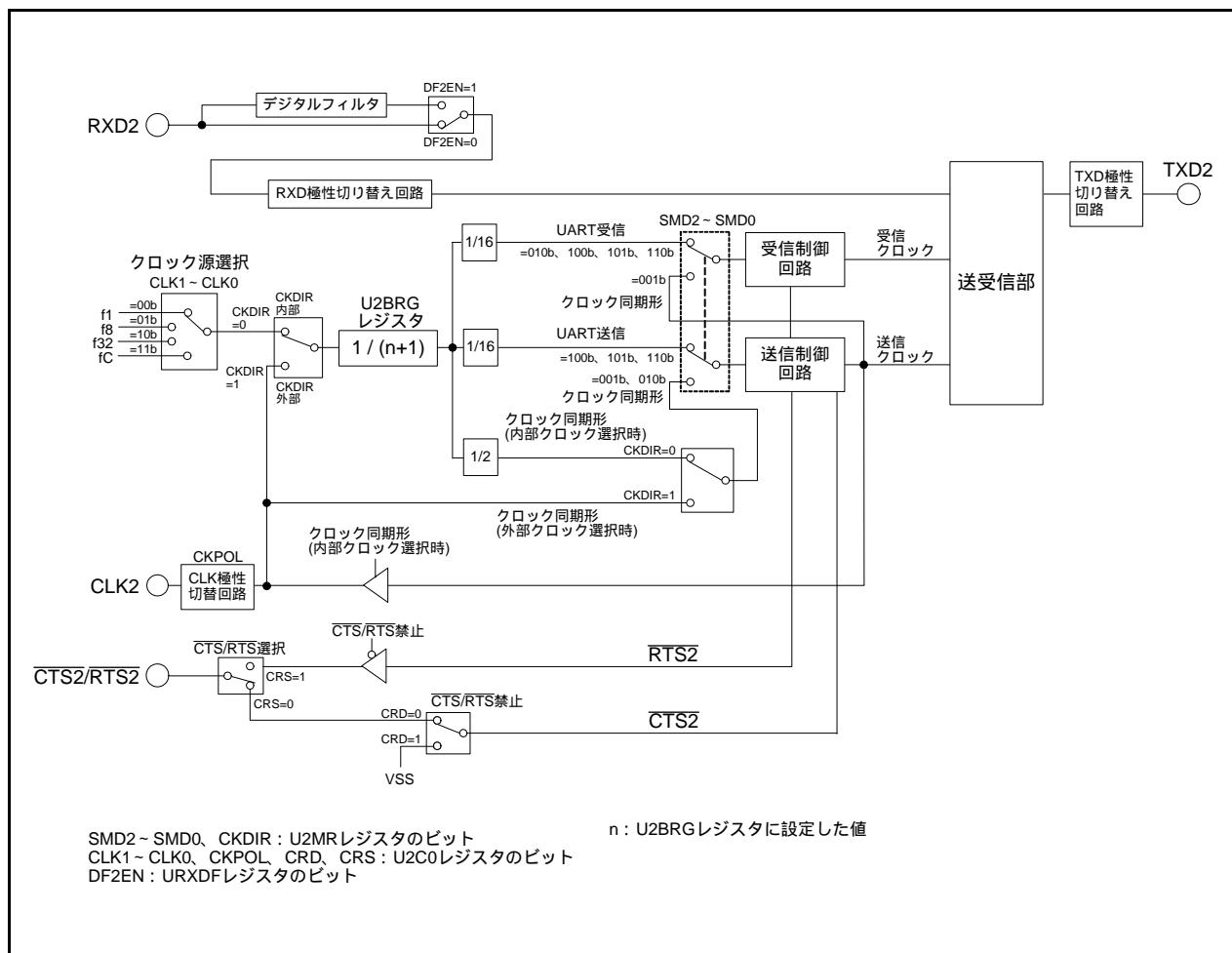


図 22.1 UART2のブロック図

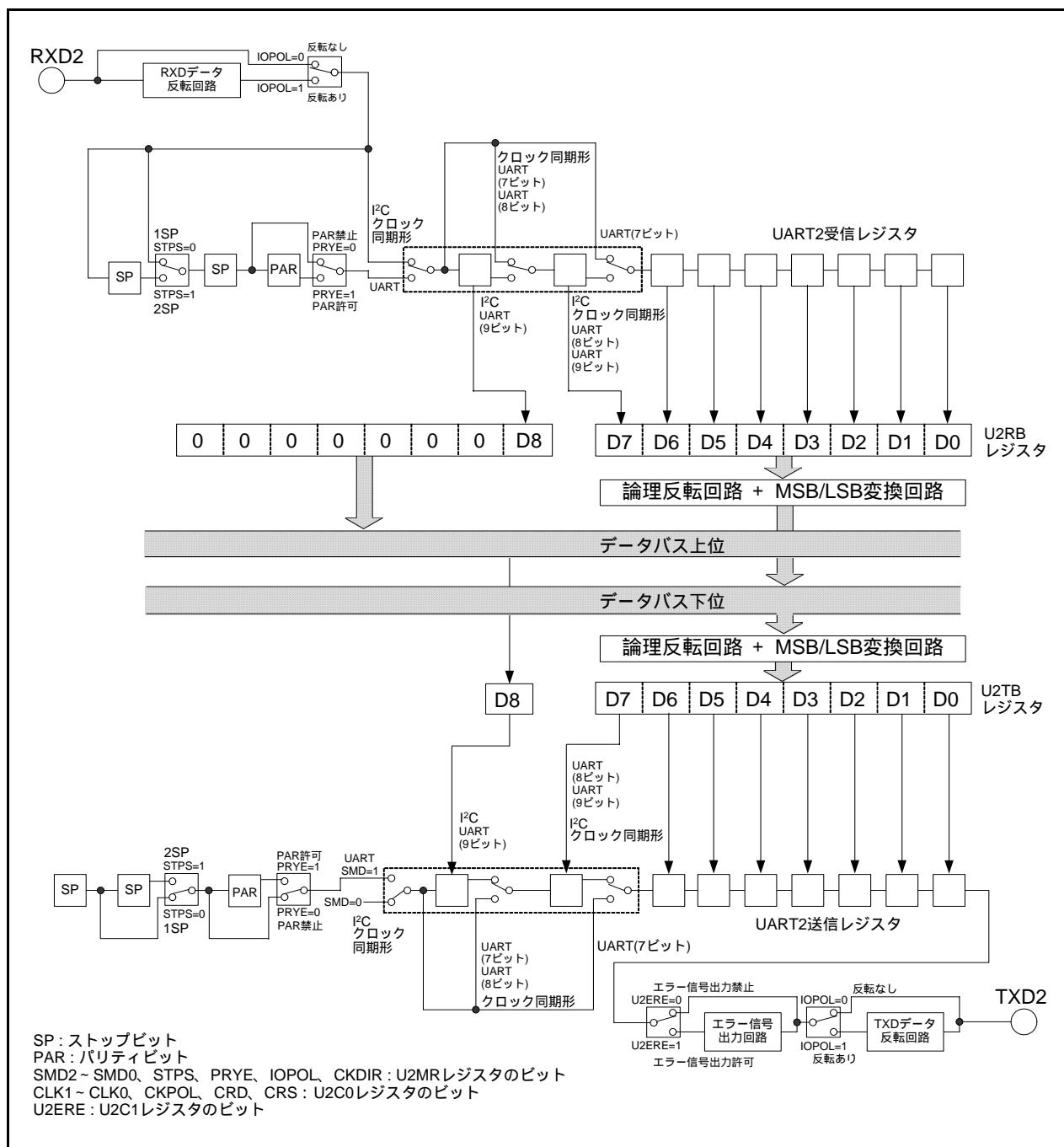


図 22.2 UART2送受信部のブロック図

表 22.1 UART2の端子構成

| 端子名  | 割り当てる端子          | 入出力 | 機能                          |
|------|------------------|-----|-----------------------------|
| TXD2 | P3_4またはP3_7      | 出力  | シリアルデータ出力                   |
| RXD2 | P3_4、P3_7またはP4_5 | 入力  | シリアルデータ入力                   |
| CLK2 | P3_5             | 入出力 | 転送クロック入出力                   |
| CTS2 | P3_3             | 入力  | 送信制御用入力                     |
| RTS2 | P3_3             | 出力  | 受信制御用出力                     |
| SCL2 | P3_4、P3_7またはP4_5 | 入出力 | I <sup>2</sup> Cモードのクロック入出力 |
| SDA2 | P3_4またはP3_7      | 入出力 | I <sup>2</sup> Cモードのデータ入出力  |

## 22.2 レジスタの説明

### 22.2.1 UART2送受信モードレジスタ (U2MR)

アドレス 00A8h番地

| ビット     | b7    | b6   | b5  | b4   | b3    | b2   | b1   | b0   |
|---------|-------|------|-----|------|-------|------|------|------|
| シンボル    | IOPOL | PRYE | PRY | STPS | CKDIR | SMD2 | SMD1 | SMD0 |
| リセット後の値 | 0     | 0    | 0   | 0    | 0     | 0    | 0    | 0    |

| ビット | シンボル  | ビット名                | 機能   | R/W |
|-----|-------|---------------------|--|-----|
| b0  | SMD0  | シリアルI/Oモード選択ビット     | b2 b1 b0<br>0 0 0 : シリアルインタフェースは無効<br>0 0 1 : クロック同期形シリアルI/Oモード<br>0 1 0 : I <sup>2</sup> Cモード<br>1 0 0 : UARTモード転送データ長7ビット<br>1 0 1 : UARTモード転送データ長8ビット<br>1 1 0 : UARTモード転送データ長9ビット<br>上記以外 : 設定しないでください | R/W |
| b1  | SMD1  |                     |  | R/W |
| b2  | SMD2  |                     |  | R/W |
| b3  | CKDIR | 内/外部クロック選択ビット       | 0 : 内部クロック<br>1 : 外部クロック   | R/W |
| b4  | STPS  | ストップビット長選択ビット       | 0 : 1ストップビット<br>1 : 2ストップビット   | R/W |
| b5  | PRY   | パリティ奇/偶選択ビット        | PRYE=1のとき有効<br>0 : 奇数パリティ<br>1 : 偶数パリティ  | R/W |
| b6  | PRYE  | パリティ許可ビット           | 0 : パリティ禁止<br>1 : パリティ許可   | R/W |
| b7  | IOPOL | TXD、RXD入出力極性切り替えビット | 0 : 反転なし<br>1 : 反転あり   | R/W |

### 22.2.2 UART2ビットトレートレジスタ (U2BRG)

アドレス 00A9h番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | X  | X  | X  | X  | X  | X  | X  | X  |

| ビット     | 機能                              | 設定範囲      | R/W |
|---------|---------------------------------|-----------|-----|
| b7 ~ b0 | 設定値をnとすると、U2BRGはカウントソースをn+1分周する | 00h ~ FFh | W   |

U2BRG レジスタは、送受信停止中に書いてください。

U2BRG レジスタは、MOV命令を使用して書いてください。

U2C0 レジスタのCLK1 ~ CLK0 ビットを設定した後にU2BRG レジスタに書いてください。

### 22.2.3 UART2送信バッファレジスタ (U2TB)

アドレス 00ABh ~ 00AAh 番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | X  | X  | X  | X  | X  | X  | X  | X  |

| ビット     | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8   |
|---------|-----|-----|-----|-----|-----|-----|----|------|
| シンボル    | -   | -   | -   | -   | -   | -   | -  | MPTB |
| リセット後の値 | X   | X   | X   | X   | X   | X   | X  | X    |

| ビット | シンボル | 機能   | R/W |
|-----|------|--|-----|
| b0  | -    | 送信データ (D7 ~ D0)<br>[マルチプロセッサ通信機能を使用しない場合]<br>送信データ D8<br>[マルチプロセッサ通信機能を使用する場合]<br>• ID を転送するときは、MPTB ビットを “1” にしてください<br>• データを転送するときは、MPTB ビットを “0” にしてください | W   |
| b1  | -    |  |     |
| b2  | -    |  |     |
| b3  | -    |  |     |
| b4  | -    |  |     |
| b5  | -    |  |     |
| b6  | -    |  |     |
| b7  | -    |  |     |
| b8  | MPTB | 送信データ (D8)(注1)<br>何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。   | W   |
| b9  | -    |  |     |
| b10 | -    |  |     |
| b11 | -    |  |     |
| b12 | -    |  |     |
| b13 | -    |  |     |
| b14 | -    |  |     |
| b15 | -    |  |     |

注1. MPTB ビットを設定した後、b0 ~ b7 を設定してください。

### 22.2.4 UART2送受信制御レジスタ0 (U2C0)

アドレス 00ACh番地

| ビット     | b7    | b6    | b5  | b4  | b3    | b2  | b1   | b0   |
|---------|-------|-------|-----|-----|-------|-----|------|------|
| シンボル    | UFORM | CKPOL | NCH | CRD | TXEPT | CRS | CLK1 | CLK0 |
| リセット後の値 | 0     | 0     | 0   | 0   | 1     | 0   | 0    | 0    |

| ビット | シンボル  | ビット名                      | 機能   | R/W |
|-----|-------|---------------------------|--|-----|
| b0  | CLK0  | U2BRGカウントソース選択ビット<br>(注1) | <sup>b1 b0</sup><br>0 0 : f1を選択<br>0 1 : f8選択<br>1 0 : f32を選択<br>1 1 : fcを選択             | R/W |
| b1  | CLK1  |                           |  | R/W |
| b2  | CRS   | CTS/RTS機能選択ビット            | CRD=0のとき有効<br>0 : CTS機能を選択<br>1 : RTS機能を選択   | R/W |
| b3  | TXEPT | 送信レジスタ空フラグ                | 0 : 送信レジスタにデータあり(送信中)<br>1 : 送信レジスタにデータなし(送信完了)  | R   |
| b4  | CRD   | CTS/RTS禁止ビット              | 0 : CTS/RTS機能許可<br>1 : CTS/RTS機能禁止   | R/W |
| b5  | NCH   | データ出力選択ビット                | 0 : TXD2/SDA2、SCL2端子はCMOS出力<br>1 : TXD2/SDA2、SCL2端子はNチャネルオープンドレイン出力                      | R/W |
| b6  | CKPOL | CLK極性選択ビット                | 0 : 転送クロックの立ち下がりで送信データ出力、<br>立ち上がりで受信データ入力<br>1 : 転送クロックの立ち上がりで送信データ出力、<br>立ち下がりで受信データ入力 | R/W |
| b7  | UFORM | 転送フォーマット選択ビット(注2)         | 0 : LSBファースト<br>1 : MSBファースト   | R/W |

注1. CLK1 ~ CLK0 ビットを変更した場合は、U2BRG レジスタを再設定してください。

注2. UFORM ビットはU2MR レジスタの SMD2 ~ SMD0 ビットが “001b” (クロック同期形シリアルI/Oモード)、または“101b” (UARTモード転送データ長8ビット)のとき有効です。

SMD2 ~ SMD0 ビットが “010b” (I<sup>2</sup>C モード)のときは“1”に、“100b” (UARTモード転送データ長7ビット)または“110b” (UARTモード転送データ長9ビット)のときは“0”にしてください。

### 22.2.5 UART2送受信制御レジスタ1 (U2C1)

アドレス 00ADh 番地

| ビット     | b7    | b6    | b5    | b4    | b3 | b2 | b1 | b0 |
|---------|-------|-------|-------|-------|----|----|----|----|
| シンボル    | U2ERE | U2LCH | U2RRM | U2IRS | RI | RE | TI | TE |
| リセット後の値 | 0     | 0     | 0     | 0     | 0  | 0  | 1  | 0  |

| ビット | シンボル  | ビット名               | 機能   | R/W |
|-----|-------|--------------------|--|-----|
| b0  | TE    | 送信許可ビット            | 0 : 送信禁止<br>1 : 送信許可                       | R/W |
| b1  | TI    | 送信バッファ空フラグ         | 0 : U2TB レジスタにデータあり<br>1 : U2TB レジスタにデータなし | R   |
| b2  | RE    | 受信許可ビット            | 0 : 受信禁止<br>1 : 受信許可                       | R/W |
| b3  | RI    | 受信完了フラグ            | 0 : U2RB レジスタにデータなし<br>1 : U2RB レジスタにデータあり | R   |
| b4  | U2IRS | UART2送信割り込み要因選択ビット | 0 : 送信バッファ空(TI=1)<br>1 : 送信完了(TXEPT=1)     | R/W |
| b5  | U2RRM | UART2連続受信モード許可ビット  | 0 : 連続受信モード禁止<br>1 : 連続受信モード許可             | R/W |
| b6  | U2LCH | データ論理選択ビット(注1)     | 0 : 反転なし<br>1 : 反転あり                       | R/W |
| b7  | U2ERE | エラー信号出力許可ビット       | 0 : 出力しない<br>1 : 出力する                      | R/W |

注1. U2MR レジスタのSMD2 ~ SMD0 ビットが“001b”(クロック同期形シリアルI/Oモード)、“100b”(UARTモード転送データ長7ビット)または“101b”(UARTモード転送データ長8ビット)のとき有効です。

SMD2 ~ SMD0 ビットが“010b”(I<sup>2</sup>Cモード)または“110b”(UARTモード転送データ長9ビット)のときは“0”にしてください。

### 22.2.6 UART2受信バッファレジスタ (U2RB)

アドレス 00AFh ~ 00AEh 番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | X  | X  | X  | X  | X  | X  | X  | X  |

| ビット     | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8   |
|---------|-----|-----|-----|-----|-----|-----|----|------|
| シンボル    | SUM | PER | FER | OER | -   | -   | -  | MPRB |
| リセット後の値 | X   | X   | X   | X   | X   | X   | X  | X    |

| ビット | シンボル | ビット名                                      | 機能   | R/W |
|-----|------|---|--|-----|
| b0  | -    | -   | 受信データ(D7 ~ D0)   | R   |
| b1  | -    |   |  |     |
| b2  | -    |   |  |     |
| b3  | -    |   |  |     |
| b4  | -    |   |  |     |
| b5  | -    |   |  |     |
| b6  | -    |   |  |     |
| b7  | -    |   |  |     |
| b8  | MPRB | -   | 受信データ(D8)(注1)<br>[マルチプロセッサ通信機能を使用しない場合]<br>受信データ(D8)<br>[マルチプロセッサ通信機能を使用する場合]<br>• MPRBビットが“0”のとき、受信したD0 ~ D7<br>はデータフィールド<br>• MPRBビットが“1”のとき、受信したD0 ~ D7<br>はIDフィールド | R   |
| b9  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。 |  | -   |
| b10 | -    | 予約ビット                                     | “0”にしてください   | R/W |
| b11 | OER  | オーバランエラーフラグ(注1)                           | 0: オーバランエラーなし<br>1: オーバランエラー発生   | R   |
| b12 | FER  | フレーミングエラーフラグ<br>(注1、2)                    | 0: フレーミングエラーなし<br>1: フレーミングエラー発生   | R   |
| b13 | PER  | パリティエラーフラグ(注1、2)                          | 0: パリティエラーなし<br>1: パリティエラー発生   | R   |
| b14 | SUM  | エラーサムフラグ(注1、2)                            | 0: エラーなし<br>1: エラー発生   | R   |

注1. U2MR レジスタのSMD2 ~ SMD0 ビットを“000b”(シリアルインタフェースは無効)にしたとき、またはU2C1 レジスタのRE ビットを0”(受信禁止)にしたとき、SUM、PER、FER、OER ビットは、すべて“0”(エラーなし)になります。SUM ビットはPER、FER、OER ビットがすべて“0”(エラーなし)になると“0”(エラーなし)になります。また、PER、FER ビットは、U2RB レジスタの下位バイトを読んだとき、“0”になります。

U2MR レジスタのSMD2 ~ SMD0 ビットを“000b”にするときは、U2C1 レジスタのTE ビットを“0”(送信禁止)、RE ビットを“0”(受信禁止)にしてください。

注2. U2MR レジスタのSMD2 ~ SMD0 ビットが“001b”(クロック同期形シリアルI/O モード)または“010b”(I<sup>2</sup>C モード)のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定です。

### 22.2.7 UART2デジタルフィルタ機能選択レジスタ(URXDF)

アドレス 00B0h番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2    | b1 | b0 |
|---------|----|----|----|----|----|-------|----|----|
| シンボル    | -  | -  | -  | -  | -  | DF2EN | -  | -  |
| リセット後の値 | 0  | 0  | 0  | 0  | 0  | 0     | 0  | 0  |

| ビット | シンボル  | ビット名                                       | 機能                                       | R/W |
|-----|-------|--|--|-----|
| b0  | -     | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -  | -   |
| b1  | -     |  |  |     |
| b2  | DF2EN | RXD2デジタルフィルタ許可ビット<br>(注1)                  | 0 : RXD2デジタルフィルタ禁止<br>1 : RXD2デジタルフィルタ許可 | R/W |
| b3  | -     | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -  |     |
| b4  | -     |  |  |     |
| b5  | -     |  |  |     |
| b6  | -     |  |  |     |
| b7  | -     |  |  |     |

注1. RXD2デジタルフィルタはクロック非同期形シリアルI/O(UART)モードでのみ、使用できます。U2MR レジスタのSMD2 ~ SMD0 ビットが“001b”(クロック同期形シリアルI/Oモード)、または“010b”(I<sup>2</sup>Cモード)のときは、DF2EN ビットを“0”(RXD2デジタルフィルタ禁止)にしてください。

### 22.2.8 UART2特殊モードレジスタ5 (U2SMR5)

アドレス 00BBh番地

| ビット     | b7 | b6 | b5 | b4   | b3 | b2 | b1 | b0 |
|---------|----|----|----|------|----|----|----|----|
| シンボル    | -  | -  | -  | MPIE | -  | -  | -  | MP |
| リセット後の値 | 0  | 0  | 0  | 0    | 0  | 0  | 0  | 0  |

| ビット | シンボル | ビット名                                       | 機能  | R/W |
|-----|------|--|---|-----|
| b0  | MP   | マルチプロセッサ通信許可ビット                            | 0 : マルチプロセッサ通信禁止<br>1 : マルチプロセッサ通信許可(注1)  | R/W |
| b1  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -   |     |
| b2  | -    |  |   |     |
| b3  | -    |  |   |     |
| b4  | MPIE | マルチプロセッサ通信制御ビット                            | MP ビットが“1”(マルチプロセッサ通信許可)のとき有効です。<br>MPIE ビットが“1”的とき、次の状態になります。<br>• マルチプロセッサビットが“0”的受信データは無視し、U2C1 レジスタのRI ビット、U2RB レジスタのOER、FER ビットが“1”になることを禁止します。<br>• マルチプロセッサビットが“1”的受信データを受信すると、MPIE ビットは“0”になり、マルチプロセッサ通信以外の受信動作になります。 | R/W |
| b5  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -   |     |
| b6  | -    |  |   |     |
| b7  | -    | 予約ビット                                      | “0”にしてください  | R/W |

注1. MP ビットが“1”(マルチプロセッサ通信許可)のとき、U2MR レジスタのPRY、PRYE ビットの設定は無効になります。U2MR レジスタのSMD2 ~ SMD0 ビットが“001b”(クロック同期形シリアルI/Oモード)では、MP ビットを“0”(マルチプロセッサ通信禁止)にしてください。

### 22.2.9 UART2特殊モードレジスタ4 (U2SMR4)

アドレス 00BCh番地

| ビット     | b7   | b6    | b5   | b4   | b3      | b2     | b1      | b0     |
|---------|------|-------|------|------|---------|--------|---------|--------|
| シンボル    | SWC9 | SCLHI | ACKC | ACKD | STSPSEL | STPREQ | RSTAREQ | STAREQ |
| リセット後の値 | 0    | 0     | 0    | 0    | 0       | 0      | 0       | 0      |

| ビット | シンボル    | ビット名                      | 機能  | R/W |
|-----|---------|---------------------------|---|-----|
| b0  | STAREQ  | スタートコンディション生成ビット<br>(注1)  | 0:クリア<br>1:スタート   | R/W |
| b1  | RSTAREQ | リスタートコンディション生成ビット<br>(注1) | 0:クリア<br>1:スタート   | R/W |
| b2  | STPREQ  | ストップコンディション生成ビット<br>(注1)  | 0:クリア<br>1:スタート   | R/W |
| b3  | STSPSEL | SCL、SDA出力選択ビット            | 0:スタートコンディション、ストップコンディション出力しない<br>1:スタートコンディション、ストップコンディション出力する | R/W |
| b4  | ACKD    | ACKデータビット                 | 0:ACK<br>1:NACK   | R/W |
| b5  | ACKC    | ACKデータ出力許可ビット             | 0:シリアルインターフェースデータ出力<br>1:ACKデータ出力                               | R/W |
| b6  | SCLHI   | SCL出力停止許可ビット              | 0:禁止<br>1:許可  | R/W |
| b7  | SWC9    | SCLウェイトビット3               | 0:SCL "L" ホールド禁止<br>1:SCL "L" ホールド許可                            | R/W |

注1. 各コンディションが生成されたとき、“0”になります。

### 22.2.10 UART2特殊モードレジスタ3 (U2SMR3)

アドレス 00BDh 番地

| ビット     | b7  | b6  | b5  | b4 | b3   | b2 | b1   | b0 |
|---------|-----|-----|-----|----|------|----|------|----|
| シンボル    | DL2 | DL1 | DL0 | -  | NODC | -  | CKPH | -  |
| リセット後の値 | 0   | 0   | 0   | X  | 0    | X  | 0    | X  |

| ビット | シンボル | ビット名                                      | 機能  | R/W |
|-----|------|---|---|-----|
| b0  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。 | -   | -   |
| b1  | CKPH | クロック位相設定ビット                               | 0:クロック遅れなし<br>1:クロック遅れあり  | R/W |
| b2  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。 | -   | -   |
| b3  | NODC | クロック出力選択ビット                               | 0: CLK2はCMOS出力<br>1: CLK2はNチャネルオーブンドレイン出力   | R/W |
| b4  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。 | -   | -   |
| b5  | DL0  | SDA2デジタル遅延値設定ビット<br>(注1、2)                | b7 b6 b5<br>0 0 0: 遅延なし<br>0 0 1: U2BRG カウントソースの1~2サイクル<br>0 1 0: U2BRG カウントソースの2~3サイクル<br>0 1 1: U2BRG カウントソースの3~4サイクル<br>1 0 0: U2BRG カウントソースの4~5サイクル<br>1 0 1: U2BRG カウントソースの5~6サイクル<br>1 1 0: U2BRG カウントソースの6~7サイクル<br>1 1 1: U2BRG カウントソースの7~8サイクル | R/W |
| b6  | DL1  |   |   | R/W |
| b7  | DL2  |   |   | R/W |

注1. DL2 ~ DL0 ビットはI<sup>2</sup>C モードで、SDA2 出力にデジタル的に遅延を発生させるものです。I<sup>2</sup>C モード以外の場合、“000b”(遅延なし)にしてください。

注2. 遅延量はSCL2端子、SDA2端子の負荷により変化します。また、外部クロックを使用した場合には、100ns程度、遅延が大きくなります。

### 22.2.11 UART2特殊モードレジスタ2 (U2SMR2)

アドレス 00BEh 番地

| ビット     | b7 | b6   | b5   | b4   | b3 | b2  | b1  | b0    |
|---------|----|------|------|------|----|-----|-----|-------|
| シンボル    | -  | SDHI | SWC2 | STAC | -  | SWC | CSC | IICM2 |
| リセット後の値 | X  | 0    | 0    | 0    | 0  | 0   | 0   | 0     |

| ビット | シンボル  | ビット名                                      | 機能                                    | R/W |
|-----|-------|---|---------------------------------------|-----|
| b0  | IICM2 | I <sup>2</sup> C モード選択ビット2                | 「表 22.12 I <sup>2</sup> C モード時の各機能」参照 | R/W |
| b1  | CSC   | クロック同期化ビット                                | 0: 禁止<br>1: 許可                        | R/W |
| b2  | SWC   | SCLウェイト出力ビット                              | 0: 禁止<br>1: 許可                        | R/W |
| b3  | -     | 予約ビット                                     | “0”にしてください                            | R/W |
| b4  | STAC  | UART2初期化ビット                               | 0: 禁止<br>1: 許可                        | R/W |
| b5  | SWC2  | SCLウェイト出力ビット2                             | 0: 転送クロック<br>1: “L”出力                 | R/W |
| b6  | SDHI  | SDA出力禁止ビット                                | 0: 許可<br>1: 禁止(ハイインピーダンス)             | R/W |
| b7  | -     | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。 | -                                     | -   |

### 22.2.12 UART2特殊モードレジスタ (U2SMR)

アドレス 00BFh番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2  | b1 | b0   |
|---------|----|----|----|----|----|-----|----|------|
| シンボル    | -  | -  | -  | -  | -  | BBS | -  | IICM |
| リセット後の値 | X  | 0  | 0  | 0  | 0  | 0   | 0  | 0    |

| ビット | シンボル | ビット名                                      | 機能   | R/W |
|-----|------|---|--|-----|
| b0  | IICM | I <sup>2</sup> Cモード選択ビット                  | 0 : I <sup>2</sup> Cモード以外<br>1 : I <sup>2</sup> Cモード | R/W |
| b1  | -    | 予約ビット                                     | “0”にしてください   | R/W |
| b2  | BBS  | バスビギーフラグ(注1)                              | 0 : ストップコンディション検出<br>1 : スタートコンディション検出(ビジー)          | R/W |
| b3  | -    | 予約ビット                                     | “0”にしてください   | R/W |
| b4  | -    |   |  | R/W |
| b5  | -    |   |  | R/W |
| b6  | -    |   |  | R/W |
| b7  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。 |  | -   |

注1. BBSビットはプログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。

### 22.2.13 UART2端子選択レジスタ0 (U2SR0)

アドレス 018Ah番地

| ビット     | b7 | b6 | b5       | b4       | b3 | b2 | b1       | b0       |
|---------|----|----|----------|----------|----|----|----------|----------|
| シンボル    | -  | -  | RXD2SEL1 | RXD2SEL0 | -  | -  | TXD2SEL1 | TXD2SEL0 |
| リセット後の値 | 0  | 0  | 0        | 0        | 0  | 0  | 0        | 0        |

| ビット | シンボル     | ビット名                                       | 機能  | R/W |
|-----|----------|--|---|-----|
| b0  | TXD2SEL0 | TXD2/SDA2端子選択ビット                           | <sup>b1 b0</sup><br>0 0 : TXD2/SDA2端子は使用しない<br>0 1 : P3_7に割り当てる<br>1 0 : P3_4に割り当てる<br>1 1 : 設定しないでください | R/W |
| b1  | TXD2SEL1 |  |   | R/W |
| b2  | -        | 予約ビット                                      | "0"にしてください  | R/W |
| b3  | -        | 何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。 |   | -   |
| b4  | RXD2SEL0 | RXD2/SCL2端子選択ビット                           | <sup>b5 b4</sup><br>0 0 : RXD2/SCL2端子は使用しない<br>0 1 : P3_4に割り当てる<br>1 0 : P3_7に割り当てる<br>1 1 : P4_5に割り当てる | R/W |
| b5  | RXD2SEL1 |  |   | R/W |
| b6  | -        | 予約ビット                                      | "0"にしてください  | R/W |
| b7  | -        | 何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。 |   | -   |

U2SR0 レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2 の入出力端子を使用する場合は、U2SR0 レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR0 レジスタを設定してください。また、UART2の動作中はU2SR0 レジスタの設定値を変更しないでください。

### 22.2.14 UART2端子選択レジスタ1 (U2SR1)

アドレス 018Bh番地

| ビット     | b7 | b6 | b5 | b4       | b3 | b2 | b1 | b0       |
|---------|----|----|----|----------|----|----|----|----------|
| シンボル    | -  | -  | -  | CTS2SEL0 | -  | -  | -  | CLK2SEL0 |
| リセット後の値 | 0  | 0  | 0  | 0        | 0  | 0  | 0  | 0        |

| ビット | シンボル     | ビット名                                   | 機能                                      | R/W |
|-----|----------|--|---|-----|
| b0  | CLK2SEL0 | CLK2端子選択ビット                            | 0 : CLK2端子は使用しない<br>1 : P3_5に割り当てる      | R/W |
| b1  | -        | 予約ビット                                  | “0”にしてください                              | R/W |
| b2  | -        | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は | “0”。                                    | -   |
| b3  | -        | CTS2SEL0                               | CTS2/RTS2端子選択ビット                        | R/W |
| b4  |          |  | 0 : CTS2/RTS2端子は使用しない<br>1 : P3_3に割り当てる |     |
| b5  | -        | 予約ビット                                  | “0”にしてください                              | R/W |
| b6  | -        | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は | “0”。                                    | -   |
| b7  | -        |  |   |     |

U2SR1 レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2 の入出力端子を使用する場合は、U2SR1 レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR1 レジスタを設定してください。また、UART2の動作中はU2SR1 レジスタの設定値を変更しないでください。

### 22.3 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表 22.2にクロック同期形シリアルI/Oモードの仕様を、表 22.3にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表 22.2 クロック同期形シリアルI/Oモードの仕様

| 項目            | 仕様  |
|---------------|---|
| 転送データフォーマット   | 転送データ長 8ビット   |
| 転送クロック        | <ul style="list-style-type: none"> <li>U2MR レジスタの CKDIR ビットが “0” (内部クロック) : <math>f_j/(2(n+1))</math><br/> <math>f_j=f_1, f_8, f_{32}, f_C</math> <math>n=U2BRG</math> レジスタの設定値 <math>00h \sim FFh</math></li> <li>CKDIR ビットが “1” (外部クロック) : CLK2 端子からの入力</li> </ul>          |
| 送信制御、受信制御     | CTS機能、RTS機能、CTS/RTS機能禁止を選択可   |
| 送信開始条件        | <p>送信開始には、以下の条件が必要(注1)</p> <ul style="list-style-type: none"> <li>U2C1 レジスタの TE ビットが “1” (送信許可)</li> <li>U2C1 レジスタの TI ビットが “0” (U2TB レジスタにデータあり)</li> <li>CTS 機能を選択している場合、CTS2 端子の入力が “L”</li> </ul>   |
| 受信開始条件        | <p>受信開始には、以下の条件が必要(注1)</p> <ul style="list-style-type: none"> <li>U2C1 レジスタの RE ビットが “1” (受信許可)</li> <li>U2C1 レジスタの TE ビットが “1” (送信許可)</li> <li>U2C1 レジスタの TI ビットが “0” (U2TB レジスタにデータあり)</li> </ul>   |
| 割り込み要求発生タイミング | <p>送信する場合、次の条件のいずれかを選択可</p> <ul style="list-style-type: none"> <li>U2C1 レジスタの U2IRS ビットが “0” (送信バッファ空) : U2TB レジスタから UART2 送信レジスタへデータ転送時(送信開始時)</li> <li>U2IRS ビットが “1” (送信完了) : UART2 送信レジスタからデータ送信完了時受信する場合</li> <li>UART2 受信レジスタから、U2RB レジスタへデータ転送時(受信完了時)</li> </ul>      |
| エラー検出         | <p>オーバランエラー (注2)</p> <p>U2RB レジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生</p>  |
| 選択機能          | <ul style="list-style-type: none"> <li>CLK極性選択<br/>転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択</li> <li> LSB ファースト、 MSB ファースト選択<br/>ビット0から送受信するか、またはビット7から送受信するかを選択可</li> <li>連続受信モード選択<br/>U2RB レジスタを読むことで、同時に受信許可状態になる</li> <li>シリアルデータ論理切り替え<br/>送受信データの論理値を反転する機能</li> </ul> |

注1. 外部クロックを選択している場合、U2C0 レジスタの CKPOL ビットが “0” (転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力) のときは外部クロックが “H” の状態で、CKPOL ビットが “1” (転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力) のときは外部クロックが “L” の状態で条件を満たしてください。

注2. オーバランエラーが発生した場合、U2RB レジスタの受信データは不定になります。また S2RIC レジスタの IR ビットは “1” (割り込み要求あり) に変化しません。

表 22.3 クロック同期形シリアルI/Oモード時の使用レジスタと設定値

| レジスタ     | ビット         | 機能                             |
|----------|-------------|--------------------------------|
| U2TB(注1) | b0 ~ b7     | 送信データを設定してください                 |
| U2RB(注1) | b0 ~ b7     | 受信データが読みます                     |
|          | OER         | オーバランエラーフラグ                    |
| U2BRG    | b0 ~ b7     | 転送速度を設定してください                  |
| U2MR(注1) | SMD2 ~ SMD0 | “001b”にしてください                  |
|          | CKDIR       | 内部クロック、外部クロックを選択してください         |
|          | IOPOL       | “0”にしてください                     |
| U2C0     | CLK1 ~ CLK0 | U2BRGのカウントソースを選択してください         |
|          | CRS         | CTSまたはRTSを使用する場合、どちらかを選択してください |
|          | TXEPT       | 送信レジスタ空フラグ                     |
|          | CRD         | CTSまたはRTS機能の許可、または禁止を選択してください  |
|          | NCH         | TXD2端子の出力形式を選択してください           |
|          | CKPOL       | 転送クロックの極性を選択してください             |
|          | UFORM       | LSBファースト、またはMSBファーストを選択してください  |
| U2C1     | TE          | 送受信を許可する場合、“1”にしてください          |
|          | TI          | 送信バッファ空フラグ                     |
|          | RE          | 受信を許可する場合、“1”にしてください           |
|          | RI          | 受信完了フラグ                        |
|          | U2IRS       | UART2送信割り込み要因を選択してください         |
|          | U2RRM       | 連続受信モードを使用する場合、“1”にしてください      |
|          | U2LCH       | データ論理反転を使用する場合、“1”にしてください      |
|          | U2ERE       | “0”にしてください                     |
| U2SMR    | b0 ~ b7     | “0”にしてください                     |
| U2SMR2   | b0 ~ b7     | “0”にしてください                     |
| U2SMR3   | b0 ~ b2     | “0”にしてください                     |
|          | NODC        | クロック出力形式を選択してください              |
|          | b4 ~ b7     | “0”にしてください                     |
| U2SMR4   | b0 ~ b7     | “0”にしてください                     |
| URXDF    | DF2EN       | “0”にしてください                     |
| U2SMR5   | MP          | “0”にしてください                     |

注1. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0”を書いてください。

表 22.4 にクロック同期形シリアルI/Oモード時の入出力端子の機能(転送クロック複数端子出力機能を非選択の場合)を示します。

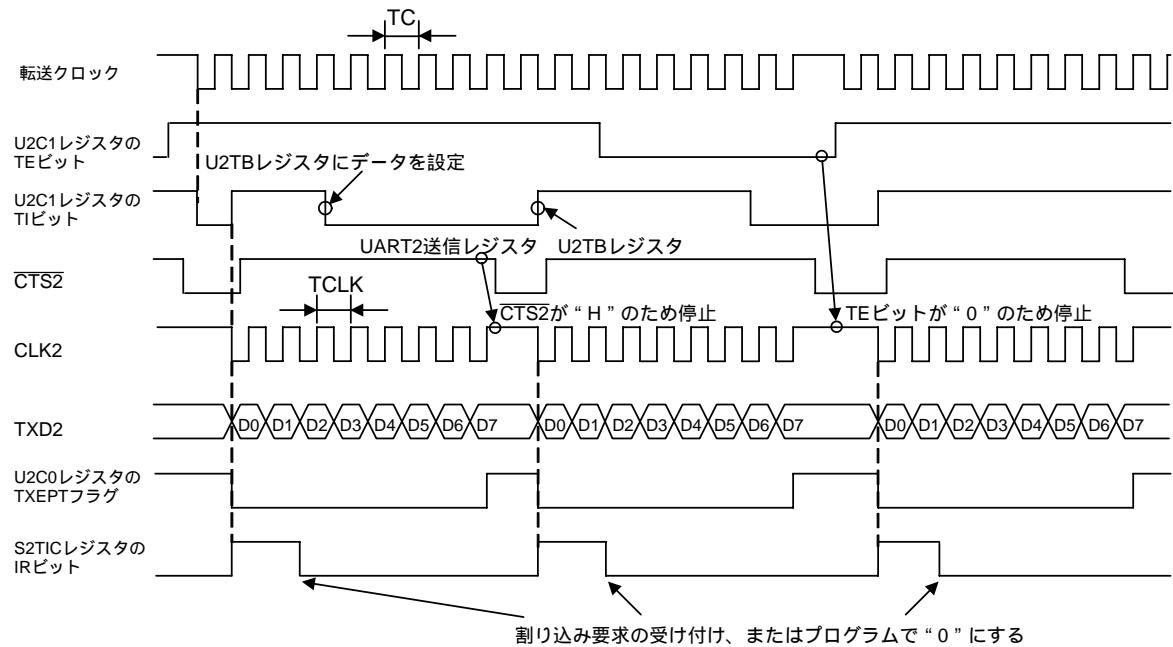
なお、UART2 の動作モード選択後、転送開始までは、TXD2 端子は “H” を出力します(N チャネルオープンドレイン出力選択時はハイインピーダンス状態)。

図 22.3 にクロック同期形シリアルI/Oモード時の送受信タイミング例を示します。

表 22.4 クロック同期形シリアルI/Oモード時の入出力端子の機能(転送クロック複数端子出力機能を非選択の場合)

| 端子名                      | 機能        | 選択方法   |
|--------------------------|-----------|--|
| TXD2(P3_4またはP3_7)        | シリアルデータ出力 | <ul style="list-style-type: none"> <li>TXD2(P3_4)の場合<br/>U2SR0 レジスタの TXD2SEL1、TXD2SEL0 ビット = 10b(P3_4)</li> <li>TXD2(P3_7)の場合<br/>U2SR0 レジスタの TXD2SEL1、TXD2SEL0 ビット = 01b(P3_7)</li> <li>受信だけを行うときは TXD2SEL1、TXD2SEL0 ビット = 00b と設定することで、P3_4、P3_7 をポートとして使用可</li> </ul>   |
| RXD2(P3_4、P3_7 または P4_5) | シリアルデータ入力 | <ul style="list-style-type: none"> <li>RXD2(P3_4)の場合<br/>U2SR0 レジスタの RXD2SEL1、RXD2SEL0 ビット = 01b(P3_4)<br/>PD3 レジスタの PD3_4 ビット = 0</li> <li>RXD2(P3_7)の場合<br/>U2SR0 レジスタの RXD2SEL1、RXD2SEL0 ビット = 10b(P3_7)<br/>PD3 レジスタの PD3_7 ビット = 0</li> <li>RXD2(P4_5)の場合<br/>U2SR0 レジスタの RXD2SEL1、RXD2SEL0 ビット = 11b(P4_5)<br/>PD4 レジスタの PD4_5 ビット = 0</li> <li>送信だけを行うときは RXD2SEL1、RXD2SEL0 ビット = 00b と設定することで、P3_4、P3_7、P4_5 をポートとして使用可</li> </ul> |
| CLK2(P3_5)               | 転送クロック出力  | U2SR1 レジスタの CLK2SEL0 ビット = 1<br>U2MR レジスタの CKDIR ビット = 0   |
|                          | 転送クロック入力  | U2SR1 レジスタの CLK2SEL0 ビット = 1<br>U2MR レジスタの CKDIR ビット = 1<br>PD3 レジスタの PD3_5 ビット = 0  |
| CTS2/RTS2 (P3_3)         | CTS 入力    | U2SR1 レジスタの CTS2SEL0 ビット = 1<br>U2C0 レジスタの CRD ビット = 0<br>U2C0 レジスタの CRS ビット = 0<br>PD3 レジスタの PD3_3 ビット = 0  |
|                          | RTS 出力    | U2SR1 レジスタの CTS2SEL0 ビット = 1<br>U2C0 レジスタの CRD ビット = 0<br>U2C0 レジスタの CRS ビット = 1   |
|                          | 入出力ポート    | U2SR1 レジスタの CTS2SEL0 ビット = 0   |

## (1) 送信タイミング例(内部クロック選択時)



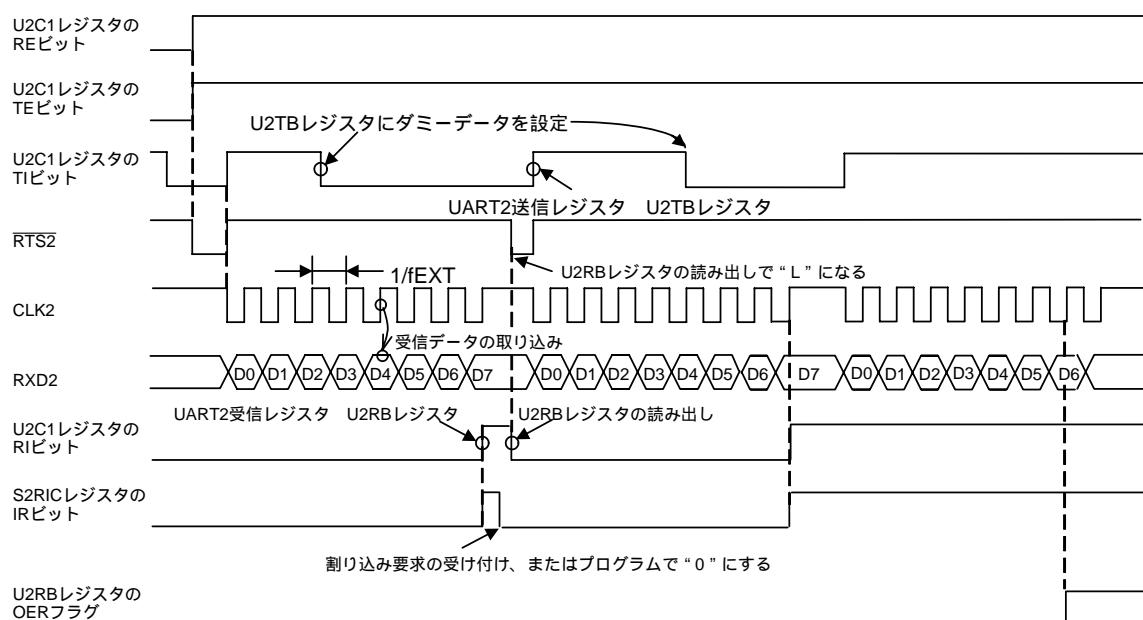
この図は次の設定条件の場合です。

- ・U2MRレジスタのCKDIRビット=0(内部クロック選択)
- ・U2C0レジスタのCRDビット=0(CTS/RTS機能許可)、CRSビット=0(CTS機能選択)
- ・U2C0レジスタのCKPOLビット=0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)
- ・U2C1レジスタのU2IRSビット=0(U2TBレジスタ空で割り込み要求発生)

$$TC = TCLK = 2(n+1)/f_j$$

$f_j$  : U2BRGカウントソースの周波数  
( $f_1, f_8, f_{32}, f_C$ )  
 $n$  : U2BRGレジスタに設定した値

## (2) 受信タイミング例(外部クロック選択時)



この図は次の設定条件の場合です。

- ・U2MRレジスタのCKDIRビット=1(外部クロック選択)
- ・U2C0レジスタのCRDビット=0(CTS/RTS機能許可)、CRSビット=1(CTS機能選択)
- ・U2C0レジスタのCKPOLビット=0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)

データ受信前のCLK2端子の入力が“H”的ときに、次の条件が揃うようにしてください。

- ・U2C1レジスタのTEビット=1(送信許可)
- ・U2C1レジスタのREビット=1(受信許可)
- ・U2TBレジスタへのダミーデータの書き込み

$f_{EXT}$  : 外部クロックの周波数

図 22.3 クロック同期形シリアルI/Oモード時の送受信タイミング例

### 22.3.1 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) U2C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) U2MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) U2MRレジスタのSMD2～SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (4) U2C1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

### 22.3.2 CLK極性選択

U2C0レジスタのCKPOLビットで転送クロックの極性を選択できます。図22.4に転送クロックの極性を示します。

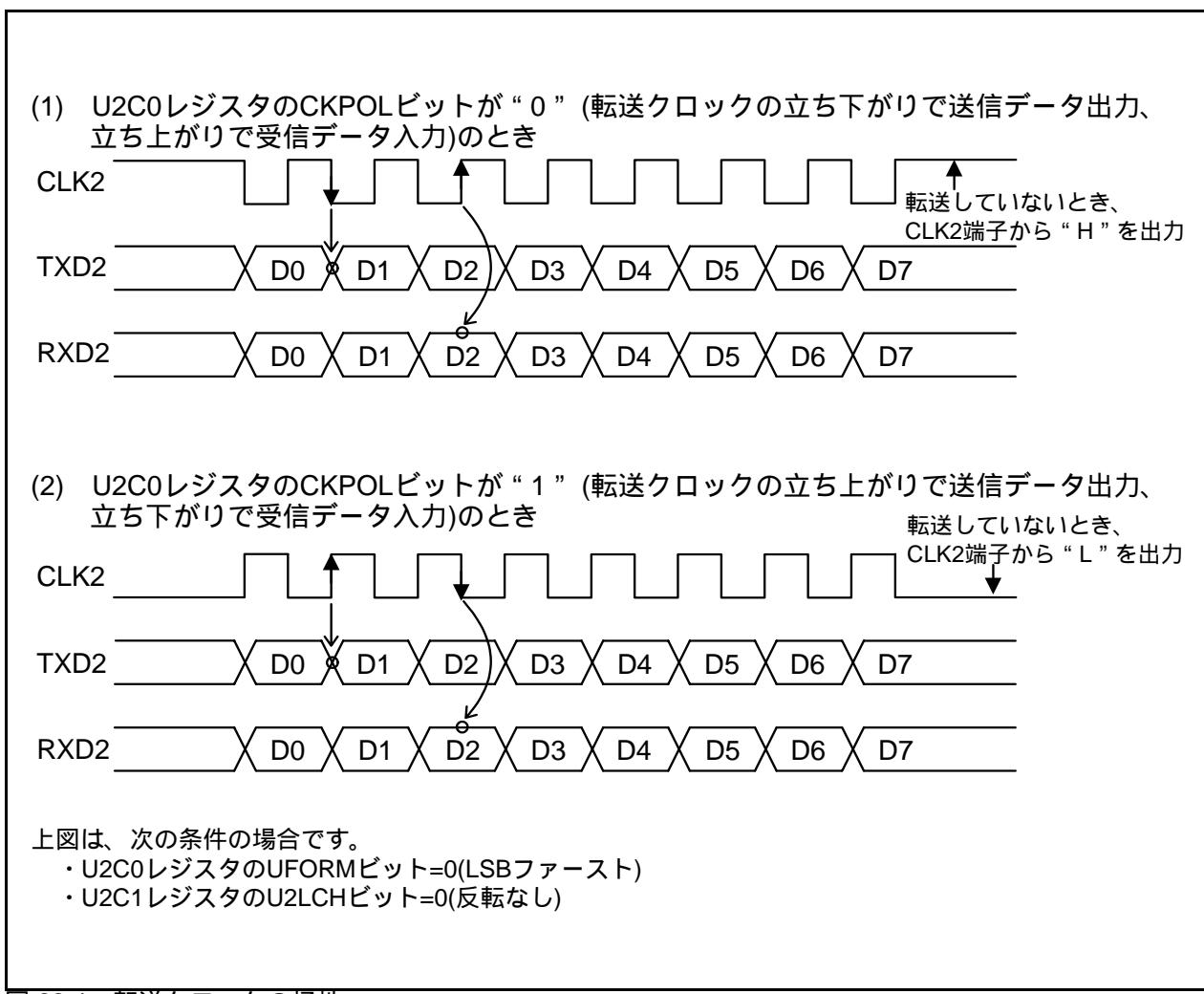
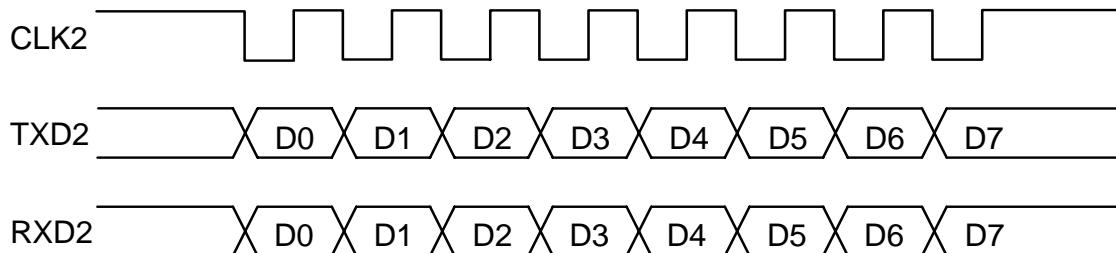


図 22.4 転送クロックの極性

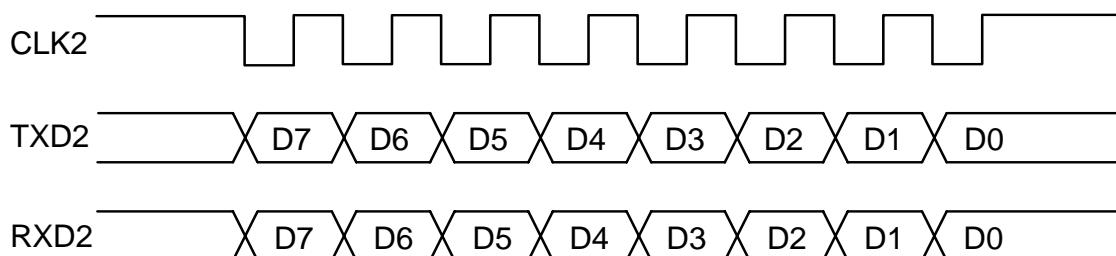
### 22.3.3 LSB ファースト、MSB ファースト選択

U2C0 レジスタの UFORM ビットで転送フォーマットを選択できます。図 22.5 に転送フォーマットを示します。

(1) U2C0 レジスタの UFORM ビットが “0” (LSB ファースト) のとき



(2) U2C0 レジスタの UFORM ビットが “1” (MSB ファースト) のとき



上図は、次の条件の場合です。

- U2C0 レジスタの CKPOL ビット=0  
(転送クロックの立ち下がりで送信データ出力、立ち上がりで、受信データ入力)
- U2C1 レジスタの U2LCH ビット=0(反転なし)

図 22.5 転送フォーマット

### 22.3.4 連続受信モード

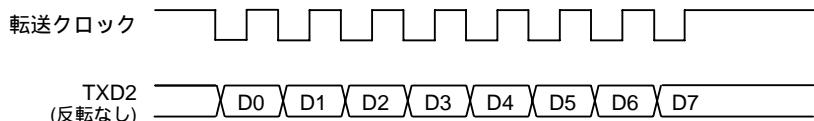
連続受信モードは、受信バッファレジスタを読み出すことで受信許可状態になるモードです。このモードを選択すれば、受信許可状態にするために、送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

U2C1 レジスタの U2RRM ビットを “1” (連続受信モード) にすると、U2RB レジスタを読むことで U2C1 レジスタの TI ビットが “0” (U2TB レジスタにデータあり) になります。U2RRM ビットが “1” の場合、プログラムで U2TB レジスタにダミーデータを書かないでください。

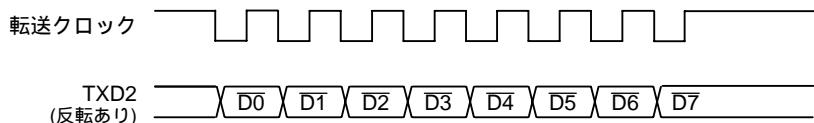
### 22.3.5 シリアルデータ論理切り替え

U2C1 レジスタの U2LCH ビットが “1”(反転あり) の場合、U2TB レジスタに書いた値の論理を反転して送信します。U2RB レジスタを読むと、受信データの論理を反転した値が読みます。図 22.6 にシリアルデータ論理を示します。

(1) U2C1 レジスタの U2LCH ビット “0”(反転なし) のとき



(2) U2C1 レジスタの U2LCH ビット “1”(反転あり) のとき



上図は、次の条件の場合です。

- U2C0 レジスタの CKPOL ビット=0(転送クロックの立ち下がりで送信データ出力)
- UFORM ビット=0(LSB ファースト)

図 22.6 シリアルデータ論理

### 22.3.6 CTS/RTS 機能

CTS 機能は、CTS2/RTS2 端子に “L” を入力すると、送受信を開始させる機能です。CTS2/RTS2 端子の入力レベルが “L” になると、送受信を開始します。送受信の最中に入力レベルを “H” にした場合、次のデータから送受信を停止します。

RTS 機能は、受信準備が整ったとき、CTS2/RTS2 端子の出力レベルが “L” になります。CLK2 端子の最初の立ち下がりで出力レベルが “H” になります。

- U2C0 レジスタの CRD ビット=1(CTS/RTS 機能禁止)

CTS2/RTS2 端子はプログラマブル入出力機能

- CRD ビット=0、CRS ビット=0(CTS 機能選択)

CTS2/RTS2 端子は CTS 機能

- CRD ビット=0、CRS ビット=1(RTS 機能選択)

CTS2/RTS2 端子は RTS 機能

## 22.4 クロック非同期形シリアルI/O(UART)モード

UARTモードは任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表 22.5 にUARTモードの仕様を、表 22.6 にUARTモード時の使用レジスタと設定値を示します。

表 22.5 UARTモードの仕様

| 項目            | 仕様  |
|---------------|---|
| 転送データフォーマット   | <ul style="list-style-type: none"> <li>キャラクタビット(転送データ) 7ビット、8ビット、9ビットを選択可</li> <li>スタートビット 1ビット</li> <li>parityビット 奇数、偶数、なしを選択可</li> <li>トップビット 1ビット、2ビットを選択可</li> </ul>  |
| 転送クロック        | <ul style="list-style-type: none"> <li>U2MR レジスタの CKDIR ビットが “0” (内部クロック) : fJ/(16(n+1))<br/>fJ=f1, f8, f32, fC n=U2BRG レジスタの設定値 00h ~ FFh</li> <li>CKDIR ビットが “1” (外部クロック) : fEXT/(16(n+1))<br/>fEXT は CLK2 端子からの入力 n=U2BRG レジスタの設定値 00h ~ FFh</li> </ul>  |
| 送信制御、受信制御     | CTS機能、RTS機能、CTS/RTS機能禁止を選択可   |
| 送信開始条件        | <p>送信開始には、次の条件が必要</p> <ul style="list-style-type: none"> <li>U2C1 レジスタの TE ビットが “1” (送信許可)</li> <li><u>U2C1 レジスタの TI ビットが “0” (U2TB レジスタにデータあり)</u></li> <li>CTS機能を選択している場合、CTS2端子の入力が “L”</li> </ul>   |
| 受信開始条件        | <p>受信開始には、次の条件が必要</p> <ul style="list-style-type: none"> <li>U2C1 レジスタの RE ビットが “1” (受信許可)</li> <li>スタートビットの検出</li> </ul>   |
| 割り込み要求発生タイミング | <p>送信する場合、次の条件のいずれかを選択可</p> <ul style="list-style-type: none"> <li>U2C1 レジスタの U2IRS ビットが “0” (送信バッファ空) : U2TB レジスタから UART2 送信レジスタへデータ転送時(送信開始時)</li> <li>U2IRS ビットが “1” (送信完了) : UART2 送信レジスタからデータ送信完了時受信する場合</li> <li>UART2 受信レジスタから U2RB レジスタへデータ転送時(受信完了時)</li> </ul>  |
| エラー検出         | <ul style="list-style-type: none"> <li>オーバランエラー (注1)<br/>U2RB レジスタを読む前に次のデータ受信を開始し、次のデータの最終トップビットの1つ前のビットを受信すると発生</li> <li>フレーミングエラー (注2)<br/>設定した個数のトップビットが検出されなかったときに発生</li> <li>parityエラー (注2)<br/>parity許可時にparityビットとキャラクタビット中の “1” の個数が設定した個数でなかったときに発生</li> <li>エラーサムフラグ<br/>オーバランエラー、フレーミングエラー、parityエラーのうちいずれかが発生した場合 “1” になる</li> </ul> |
| 選択機能          | <ul style="list-style-type: none"> <li>LSB ファースト、MSB ファースト選択<br/>ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可</li> <li>シリアルデータ論理切り替え<br/>送信するデータの論理値を反転する機能。スタートビット、トップビットは反転しない。</li> <li>TXD、RXD入出力極性切り替え<br/>TXD端子出力とRXD端子入力を反転する機能。入出力するデータのレベルがすべて反転する。</li> <li>RXD2デジタルフィルタ選択<br/>RXD2入力信号はデジタルフィルタの有効、無効の選択可</li> </ul>                           |

注1. オーバランエラーが発生した場合、U2RB レジスタの受信データは不定になります。また S2RIC レジスタの IR ビットは変化しません。

注2. フレーミングエラーフラグ、parityエラーフラグは、UART2受信レジスタから U2RB レジスタにデータが転送されるときに “1” になります。

表 22.6 UARTモード時の使用レジスタと設定値

| レジスタ  | ビット             | 機能   |
|-------|-----------------|--|
| U2TB  | b0 ~ b8         | 送信データを設定してください(注1)   |
| U2RB  | b0 ~ b8         | 受信データが読みます(注1、2)   |
|       | OER、FER、PER、SUM | エラーフラグ   |
| U2BRG | b0 ~ b7         | 転送速度を設定してください  |
| U2MR  | SMD2 ~ SMD0     | 転送データが7ビットの場合、“100b”を設定してください。<br>転送データが8ビットの場合、“101b”を設定してください。<br>転送データが9ビットの場合、“110b”を設定してください。 |
|       | CKDIR           | 内部クロック、外部クロックを選択してください   |
|       | STPS            | ストップビットを選択してください   |
|       | PRY、PRYE        | パリティの有無、偶数奇数を選択してください  |
|       | IOPOL           | TXD/RXD入出力極性を選択してください  |
|       | CLK0、CLK1       | U2BRGのカウントソースを選択してください   |
|       | CRS             | CTSまたはRTS機能を使用する場合、どちらかを選択してください   |
| U2C0  | TXEPT           | 送信レジスタ空フラグ   |
|       | CRD             | CTS/RTS機能の許可または禁止を選択してください   |
|       | NCH             | TXD2端子の出力形式を選択してください   |
|       | CKPOL           | “0”にしてください   |
|       | UFORM           | 転送データ長8ビット時、 LSBファースト、 MSBファーストを選択できます。<br>転送データ長7ビットまたは9ビット時は“0”にしてください。                          |
|       | TE              | 送信を許可する場合、“1”にしてください   |
|       | TI              | 送信バッファ空フラグ   |
| U2C1  | RE              | 受信を許可するとき、“1”にしてください   |
|       | RI              | 受信完了フラグ  |
|       | U2IRS           | UART2送信割り込み要因を選択してください   |
|       | U2RRM           | “0”にしてください   |
|       | U2LCH           | データ論理反転を使用する場合、“1”にしてください  |
|       | U2ERE           | “0”にしてください   |
|       | U2SMR           | “0”にしてください   |
|       | U2SMR2          | “0”にしてください   |
|       | U2SMR3          | “0”にしてください   |
|       | U2SMR4          | “0”にしてください   |
| URXDF | DF2EN           | デジタルフィルタの無効、有効を選択してください  |
|       | MP              | “0”にしてください   |

注1. 使用するビットは次のとおりです。転送データ長7ビット：ビットb0 ~ b6、転送データ長8ビット：ビットb0 ~ b7、転送データ長9ビット：ビットb0 ~ b8

注2. 転送データ長7ビットの場合のビットb7 ~ b8、転送データ長8ビットの場合のビットb8の内容は不定です。

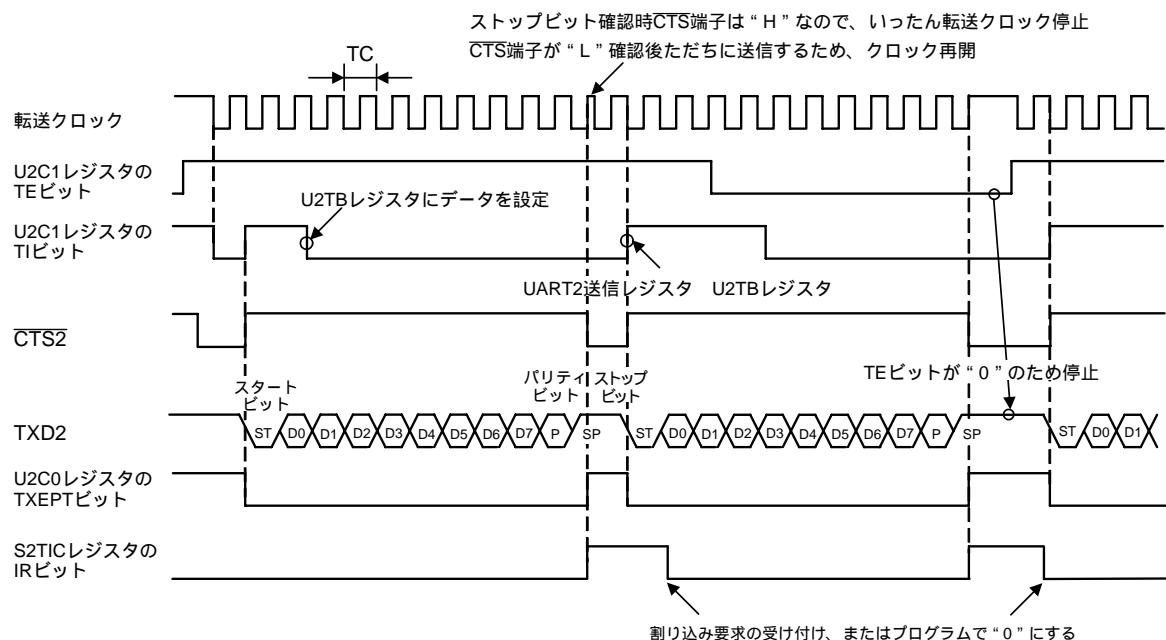
表 22.7 にUARTモード時の入出力端子の機能を示します。なお、UART2の動作モード選択後、転送開始までは、TXD2 端子は“H”レベルを出力します(N チャネルオープンドレイン出力選択時は、ハイインピーダンス状態)。

図 22.7 にUARTモード時の送信タイミング例を、図 22.8 にUARTモード時の受信タイミング例を示します。

表 22.7 UARTモード時の入出力端子の機能

| 端子名                    | 機能        | 選択方法   |
|------------------------|-----------|--|
| TXD2(P3_4またはP3_7)      | シリアルデータ出力 | <ul style="list-style-type: none"> <li>TXD2(P3_4)の場合<br/>U2SR0 レジスタの TXD2SEL1、TXD2SEL0 ビット = 10b(P3_4)</li> <li>TXD2(P3_7)の場合<br/>U2SR0 レジスタの TXD2SEL1、TXD2SEL0 ビット = 01b(P3_7)</li> <li>受信だけを行うときは TXD2SEL1、TXD2SEL0 ビット = 00b と設定することで、P3_4、P3_7 をポートとして使用可</li> </ul>   |
| RXD2(P3_4、P3_7またはP4_5) | シリアルデータ入力 | <ul style="list-style-type: none"> <li>RXD2(P3_4)の場合<br/>U2SR0 レジスタの RXD2SEL1、RXD2SEL0 ビット = 01b(P3_4)<br/>PD3 レジスタの PD3_4 ビット = 0</li> <li>RXD2(P3_7)の場合<br/>U2SR0 レジスタの RXD2SEL1、RXD2SEL0 ビット = 10b(P3_7)<br/>PD3 レジスタの PD3_7 ビット = 0</li> <li>RXD2(P4_5)の場合<br/>U2SR0 レジスタの RXD2SEL1、RXD2SEL0 ビット = 11b(P4_5)<br/>PD4 レジスタの PD4_5 ビット = 0</li> <li>送信だけを行うときは RXD2SEL1、RXD2SEL0 ビット = 00b と設定することで、P3_4、P3_7、P4_5 をポートとして使用可</li> </ul> |
| CLK2(P3_5)             | 入出力ポート    | U2SR1 レジスタの CLK2SEL0 ビット = 0   |
|                        | 転送クロック入力  | U2SR1 レジスタの CLK2SEL0 ビット = 1<br>U2MR レジスタの CKDIR ビット = 1<br>PD3 レジスタの PD3_5 ビット = 0  |
| CTS2/RTS2(P3_3)        | CTS入力     | U2SR1 レジスタの CTS2SEL0 ビット = 1<br>U2C0 レジスタの CRD ビット = 0<br>U2C0 レジスタの CRS ビット = 0<br>PD3 レジスタの PD3_3 ビット = 0  |
|                        | RTS出力     | U2SR1 レジスタの CTS2SEL0 ビット = 1<br>U2C0 レジスタの CRD ビット = 0<br>U2C0 レジスタの CRS ビット = 1   |
|                        | 入出力ポート    | U2SR1 レジスタの CTS2SEL0 ビット = 0   |

## (1) 転送データ長8ビット時の送信タイミング例(parity許可、1トップビット)



上記タイミング図は次の設定条件の場合です。

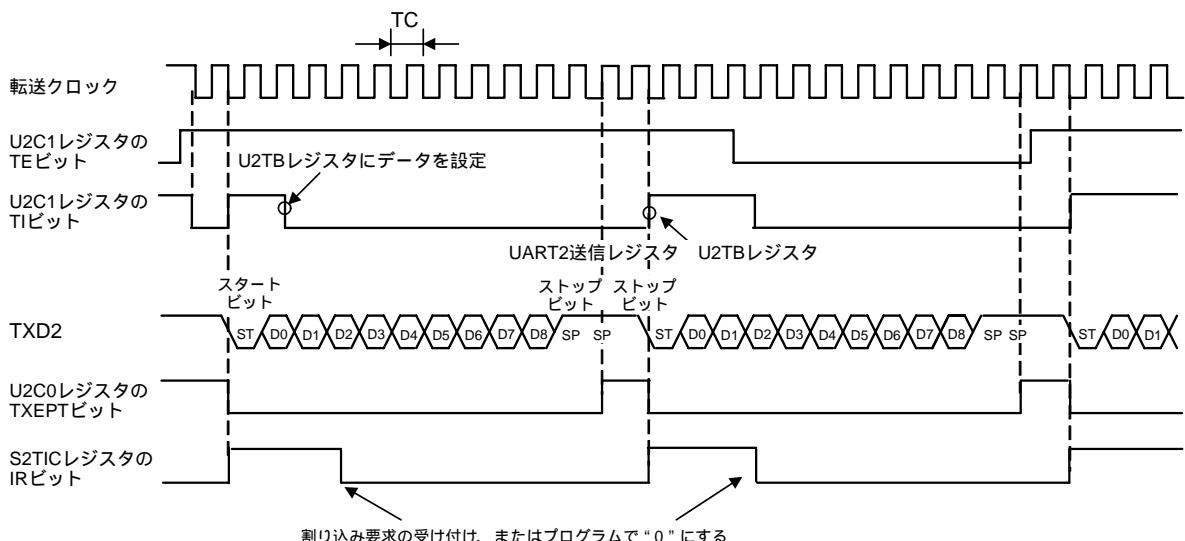
- ・U2MRレジスタのPRYEビット=1(parity許可)
- ・U2MRレジスタのSTPSビット=0(1トップビット)
- ・U2C0レジスタのCRDビット=0(CTS/RTS機能許可)、  
CRSビット=0(CTS機能選択)
- ・U2C1レジスタのU2IRSビット=1(送信完了で割り込み要求発生)

TC=16(n+1)/fjまたは16(n+1)/fEXT

fj : U2BRGカウントソースの周波数(f1, f8, f32, fC)  
fEXT : U2BRGカウントソースの周波数(外部クロック)

n : U2BRGに設定した値

## (2) 転送データ長9ビット時の送信タイミング例(parity禁止、2トップビット)



上記タイミング図は次の設定条件の場合です。

- ・U2MRレジスタのPRYEビット=0(parity禁止)
- ・U2MRレジスタのSTPSビット=1(2トップビット)
- ・U2C0レジスタのCRDビット=1(CTS/RTS機能禁止)
- ・U2C1レジスタのU2IRSビット=0(送信バッファ空で割り込み要求発生)

TC=16(n+1)/fjまたは16(n+1)/fEXT

fj : U2BRGカウントソースの周波数(f1, f8, f32, fC)  
fEXT : U2BRGカウントソースの周波数(外部クロック)

n : U2BRGに設定した値

図 22.7 UARTモード時の送信タイミング例

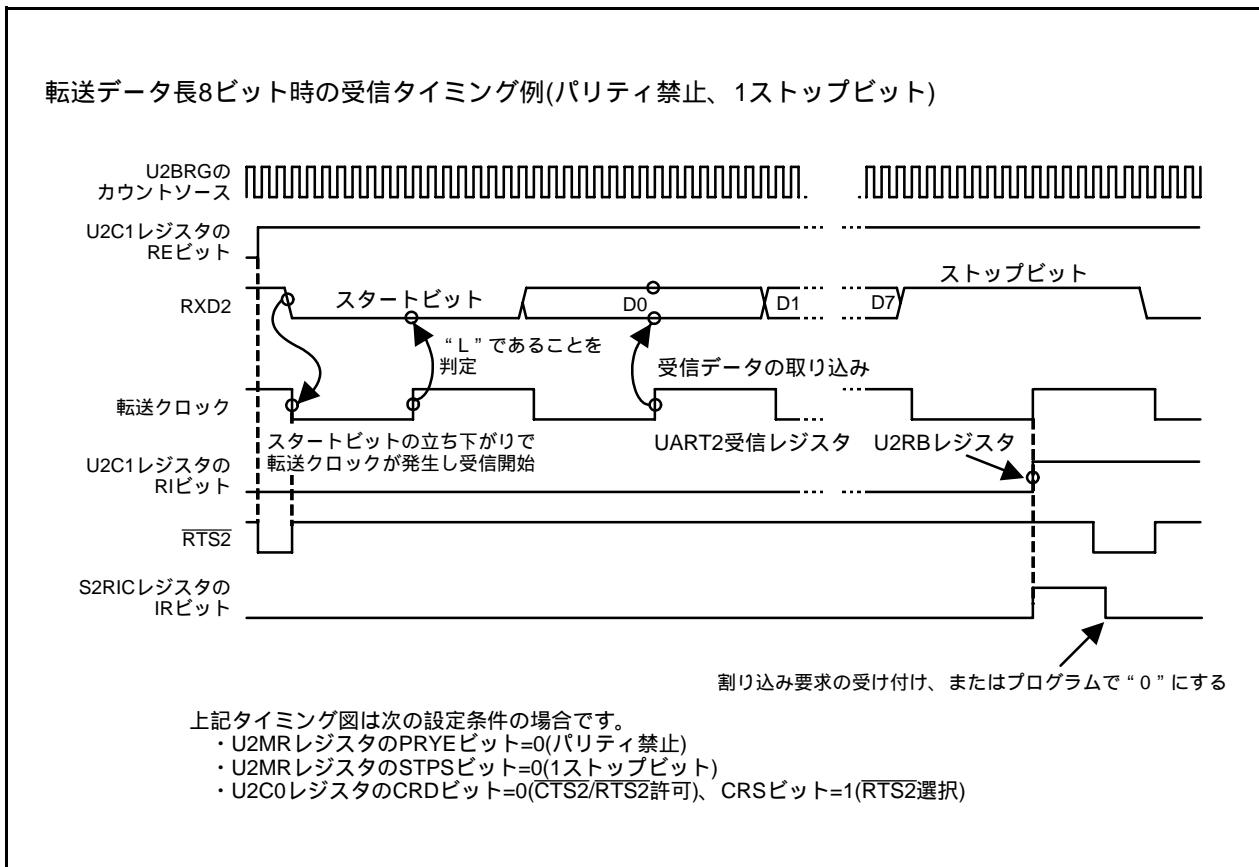


図 22.8 UARTモード時の受信タイミング例

#### 22.4.1 ビットレート

UARTモードではU2BRGレジスタで分周した周波数の16分周がビットレートになります。表 22.8 にUARTモード時のビットレート設定例(内部クロック選択時)を示します。

表 22.8 UARTモード時のビットレート設定例(内部クロック選択時)

| ビット<br>レート<br>(bps) | U2BRG<br>のカウン<br>トソース | システムクロック = 20 MHz |              |                 | システムクロック = 18.432 MHz<br>(注1) |              |                 | システムクロック = 8 MHz |              |                 |
|---------------------|-----------------------|-------------------|--------------|-----------------|-------------------------------|--------------|-----------------|------------------|--------------|-----------------|
|                     |                       | U2BRG<br>の設定値     | 実時間<br>(bps) | 設定<br>誤差<br>(%) | U2BRG<br>の設定値                 | 実時間<br>(bps) | 設定<br>誤差<br>(%) | U2BRG<br>の設定値    | 実時間<br>(bps) | 設定<br>誤差<br>(%) |
| 1200                | f8                    | 129 (81h)         | 1201.92      | 0.16            | 119 (77h)                     | 1200.00      | 0.00            | 51 (33h)         | 1201.92      | 0.16            |
| 2400                | f8                    | 64 (40h)          | 2403.85      | 0.16            | 59 (3Bh)                      | 2400.00      | 0.00            | 25 (19h)         | 2403.85      | 0.16            |
| 4800                | f8                    | 32 (20h)          | 4734.85      | - 1.36          | 29 (1Dh)                      | 4800.00      | 0.00            | 12 (0Ch)         | 4807.69      | 0.16            |
| 9600                | f1                    | 129 (81h)         | 9615.38      | 0.16            | 119 (77h)                     | 9600.00      | 0.00            | 51 (33h)         | 9615.38      | 0.16            |
| 14400               | f1                    | 86 (56h)          | 14367.82     | - 0.22          | 79 (4Fh)                      | 14400.00     | 0.00            | 34 (22h)         | 14285.71     | - 0.79          |
| 19200               | f1                    | 64 (40h)          | 19230.77     | 0.16            | 59 (3Bh)                      | 19200.00     | 0.00            | 25 (19h)         | 19230.77     | 0.16            |
| 28800               | f1                    | 42 (2Ah)          | 29069.77     | 0.94            | 39 (27h)                      | 28800.00     | 0.00            | 16 (10h)         | 29411.76     | 2.12            |
| 38400               | f1                    | 32 (20h)          | 37878.79     | - 1.36          | 29 (1Dh)                      | 38400.00     | 0.00            | 12 (0Ch)         | 38461.54     | 0.16            |
| 57600               | f1                    | 21 (15h)          | 56818.18     | - 1.36          | 19 (13h)                      | 57600.00     | 0.00            | 8 (08h)          | 55555.56     | - 3.55          |
| 115200              | f1                    | 10 (0Ah)          | 113636.36    | - 1.36          | 9 (09h)                       | 115200.00    | 0.00            |                  |              |                 |

注1. 高速オンチップオシレータに対して、FRA4レジスタの調整値をFRA1レジスタに、FRA5レジスタの調整値をFRA3レジスタに書き込んでください。

システムクロックに高速オンチップオシレータを選択し、FRA2レジスタのFRA22 ~ FRA20ビットを“000b”(2分周モード)にした場合です。高速オンチップオシレータの精度は「32. 電気的特性」を参照してください。

### 22.4.2 通信エラー発生時の対処方法

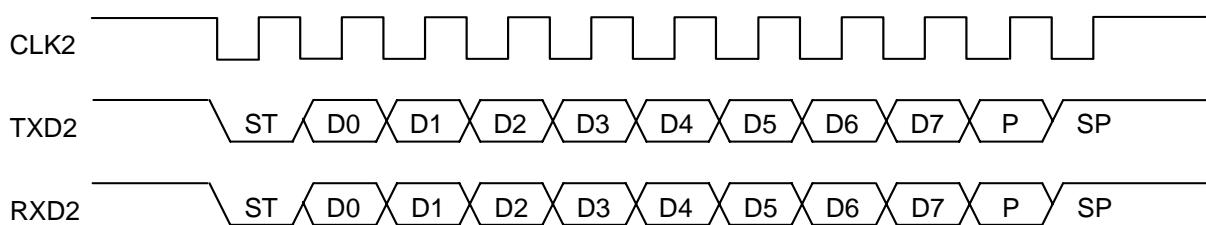
UARTモードで、受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) U2C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) U2MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) U2MRレジスタのSMD2～SMD0ビットを“100b”(UARTモード転送データ長7ビット)、“101b”(UARTモード転送データ長8ビット)、“110b”(UARTモード転送データ長9ビット)のいずれかにする。
- (4) U2C1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

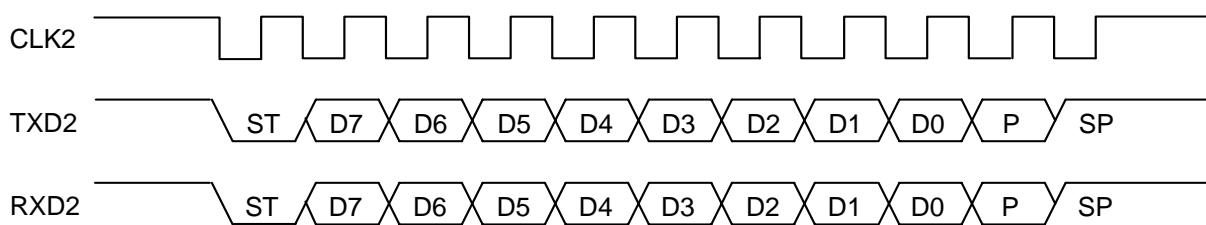
### 22.4.3 LSBファースト、MSBファースト選択

図22.9に示すように、U2C0レジスタのUFORMビットで転送フォーマットを選択できます。この機能は転送データ長8ビットのときに有効です。図22.9に転送フォーマットを示します。

#### (1) U2C0レジスタのUFORMビットが“0”(LSBファースト)のとき



#### (2) U2C0レジスタのUFORMビットが“1”(MSBファースト)のとき



上図は、次の条件の場合です。

- ・U2C0レジスタのCKPOLビット=0  
(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データの入力)
- ・U2C1レジスタのU2LCHビット=0(反転なし)
- ・U2MRレジスタのSTPSビット=0(1ストップビット)
- ・U2MRレジスタのPRYEビット=1(parity許可)

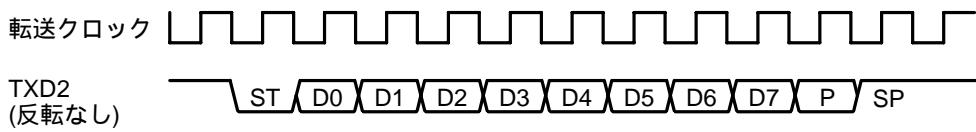
ST : スタートビット  
P : パリティビット  
SP : ストップビット

図22.9 転送フォーマット

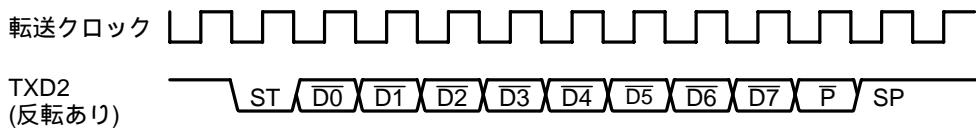
#### 22.4.4 シリアルデータ論理切り替え

U2TB レジスタに書いた値の論理を反転して送信します。U2RB レジスタを読むと、受信データの論理を反転した値が読みます。図 22.10 にシリアルデータ論理を示します。

(1) U2C1 レジスタのU2LCH ビットが “0” (反転なし) のとき



(2) U2C1 レジスタのU2LCH ビット “1” (反転あり) のとき



ST : スタートビット  
P : パリティ  
SP : ストップビット

上図は、次の条件の場合です。

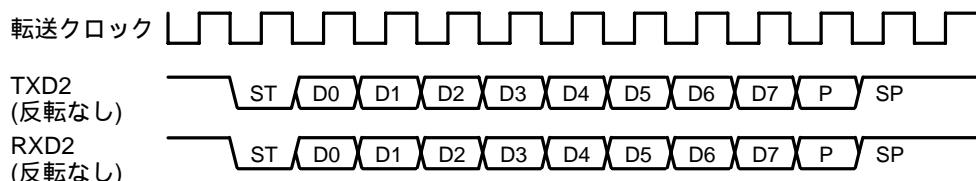
- ・U2C0 レジスタのCKPOL ビット=0(転送クロックの立ち下がりで送信データ出力)
- ・U2C0 レジスタのUFORM ビット=0(LSBファースト)
- ・U2MR レジスタのSTPS ビット=0(1ストップビット)
- ・U2MR レジスタのPRYE ビット=1(パリティ許可)

図 22.10 シリアルデータ論理

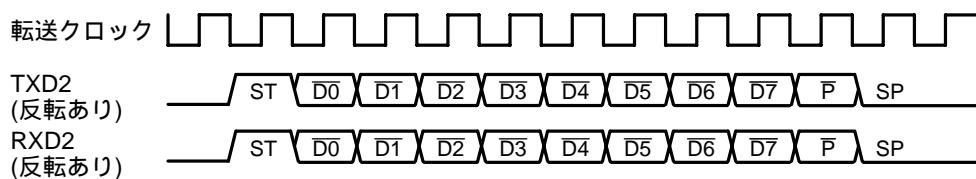
#### 22.4.5 TXD、RXD 入出力極性切り替え機能

TXD2 端子出力と RXD2 端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図 22.11 に TXD、RXD 入出力極性切り替えを示します。

(1) U2MR レジスタのIOPOL ビットが “0” (反転なし) のとき



(2) U2MR レジスタのIOPOL ビットが “1” (反転あり) のとき



上図は、次の条件の場合です。

- ・U2C0 レジスタのUFORM ビット=0(LSBファースト)
- ・U2MR レジスタのSTPS ビット=0(1ストップビット)
- ・U2MR レジスタのPRYE ビット=1(パリティ許可)

ST : スタートビット  
P : パリティ  
SP : ストップビット

図 22.11 TXD、RXD 入出力極性切り替え

### 22.4.6 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能

$\overline{\text{CTS}}$  機能は、 $\overline{\text{CTS2}}/\overline{\text{RTS2}}$  端子に “L” を入力すると、送信を開始させる機能です。 $\overline{\text{CTS2}}/\overline{\text{RTS2}}$  端子の入力レベルが “L” になると、送信を開始します。送信の最中に入力レベルを “H” にした場合、次のデータから送信を停止します。

RTS 機能は、受信準備が整ったとき、 $\overline{\text{CTS2}}/\overline{\text{RTS2}}$  端子の出力レベルが “L” になります。CLK2 端子の最初の立ち下がりで出力レベルが “H” になります。

- U2C0 レジスタの CRD ビット = 1 ( $\overline{\text{CTS}}/\overline{\text{RTS}}$  機能禁止)       $\overline{\text{CTS2}}/\overline{\text{RTS2}}$  端子はプログラマブル入出力機能
- CRD ビット = 0、CRS ビット = 0 ( $\overline{\text{CTS}}$  機能選択)       $\overline{\text{CTS2}}/\overline{\text{RTS2}}$  端子は  $\overline{\text{CTS}}$  機能
- CRD ビット = 0、CRS ビット = 1 (RTS 機能選択)       $\overline{\text{CTS2}}/\overline{\text{RTS2}}$  端子は RTS 機能

### 22.4.7 RXD2 デジタルフィルタ選択機能

URXDF レジスタの DF2EN ビットが “1” (RXD2 デジタルフィルタ許可) のとき、RXD2 入力信号はノイズ除去のためのデジタルフィルタ回路を経由して内部に取り込まれます。ノイズ除去回路は、3段直列に接続されたラッチ回路と一致検出回路で構成されます。RXD2 入力信号がビットレートの 16 倍の周波数の内部基本クロックでサンプリングされ、3つのラッチ出力が一致すると信号として認識し、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。

すなわち、3クロック以下の信号変化はノイズとして判断し信号変化として認識しません。

図 22.12 に RXD2 デジタルフィルタ回路のブロック図を示します。

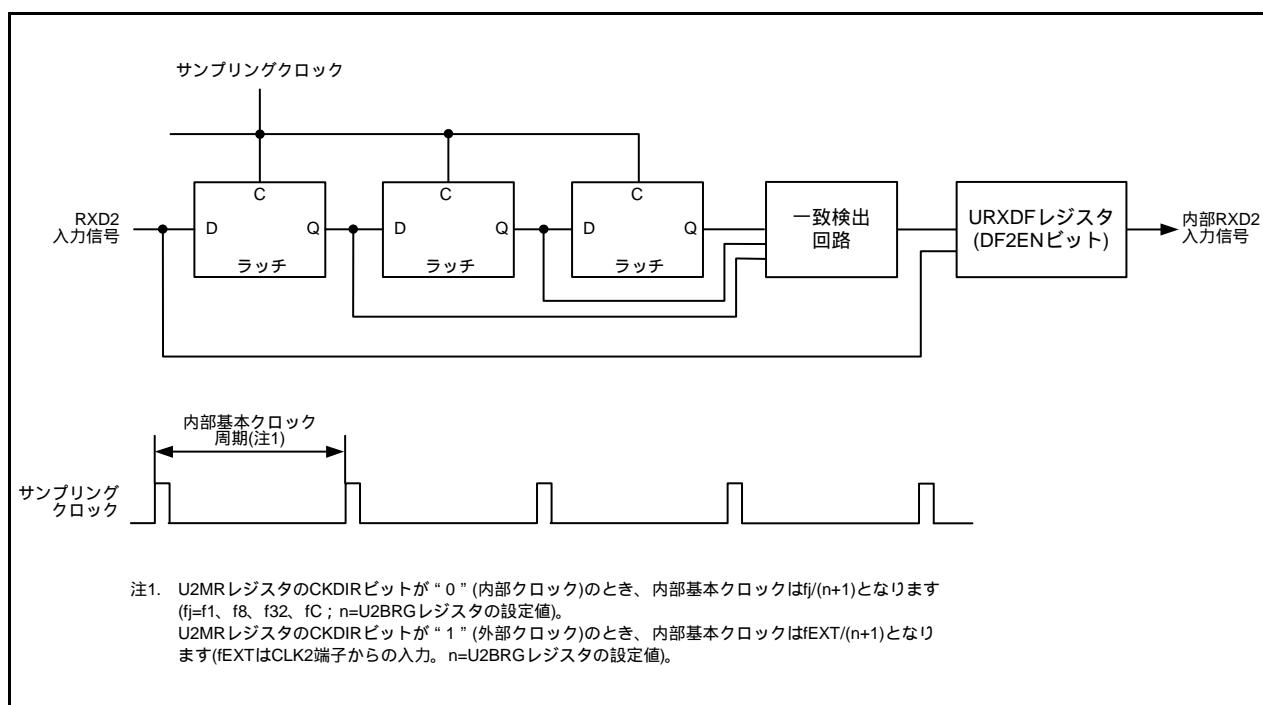


図 22.12 RXD2 デジタルフィルタ回路のブロック図

## 22.5 特殊モード1 (I<sup>2</sup>C モード)

I<sup>2</sup>C モードは、簡易形 I<sup>2</sup>C インタフェースに対応したモードです。表 22.9 に I<sup>2</sup>C モードの仕様を、表 22.10 ~ 表 22.11 に I<sup>2</sup>C モード時の使用レジスタと設定値を、表 22.12 に I<sup>2</sup>C モード時の各機能を、図 22.13 に I<sup>2</sup>C モードのブロック図を、図 22.14 に U2RB レジスタへの転送、割り込みのタイミングを示します。

表 22.12 に示すように、SMD2 ~ SMD0 ビットを “010b” に、IICM ビットを “1” にすると I<sup>2</sup>C モードになります。SDA2 送信出力には遅延回路が付加されますので、SCL2 が “L” になり安定した後、SDA2 出力が変化します。

表 22.9 I<sup>2</sup>C モードの仕様

| 項目            | 仕様  |
|---------------|---|
| 転送データフォーマット   | 転送データ長 8ビット   |
| 転送クロック        | <ul style="list-style-type: none"> <li>•マスター時<br/>U2MR レジスタの CKDIR ビットが “0” (内部クロック) : <math>f_j/(2(n+1))</math><br/><math>f_j=f_1, f_8, f_{32}, f_C</math> <math>n=U2BRG</math> レジスタの設定値 <math>00h \sim FFh</math></li> <li>•スレーブ時<br/>CKDIR ビットが “1” (外部クロック) : SCL2 端子からの入力</li> </ul> |
| 送信開始条件        | 送信開始には、以下の条件が必要(注1) <ul style="list-style-type: none"> <li>•U2C1 レジスタの TE ビットが “1” (送信許可)</li> <li>•U2C1 レジスタの TI ビットが “0” (U2TB レジスタにデータあり)</li> </ul>   |
| 受信開始条件        | 受信開始には、以下の条件が必要(注1) <ul style="list-style-type: none"> <li>•U2C1 レジスタの RE ビットが “1” (受信許可)</li> <li>•U2C1 レジスタの TE ビットが “1” (送信許可)</li> <li>•U2C1 レジスタの TI ビットが “0” (U2TB レジスタにデータあり)</li> </ul>   |
| 割り込み要求発生タイミング | スタートコンディション検出、ストップコンディション検出、アクノリッジ未検出、アクノリッジ検出  |
| エラー検出         | オーバランエラー (注2)<br>U2RB レジスタを読む前に次のデータ受信を開始し、次のデータの 8 ビット目を受信すると発生  |
| 選択機能          | <ul style="list-style-type: none"> <li>•SDA2 デジタル遅延<br/>デジタル遅延なし、または U2BRG カウントソースの 2 ~ 8 サイクルの遅延を選択可</li> <li>•クロック位相設定<br/>クロック遅れあり、なしを選択可</li> </ul>   |

注1. 外部クロックを選択している場合、外部クロックが “H” の状態で条件を満たしてください。

注2. オーバランエラーが発生した場合、U2RB レジスタ受信データは不定になります。また S2RIC レジスタの IR ビットは変化しません。

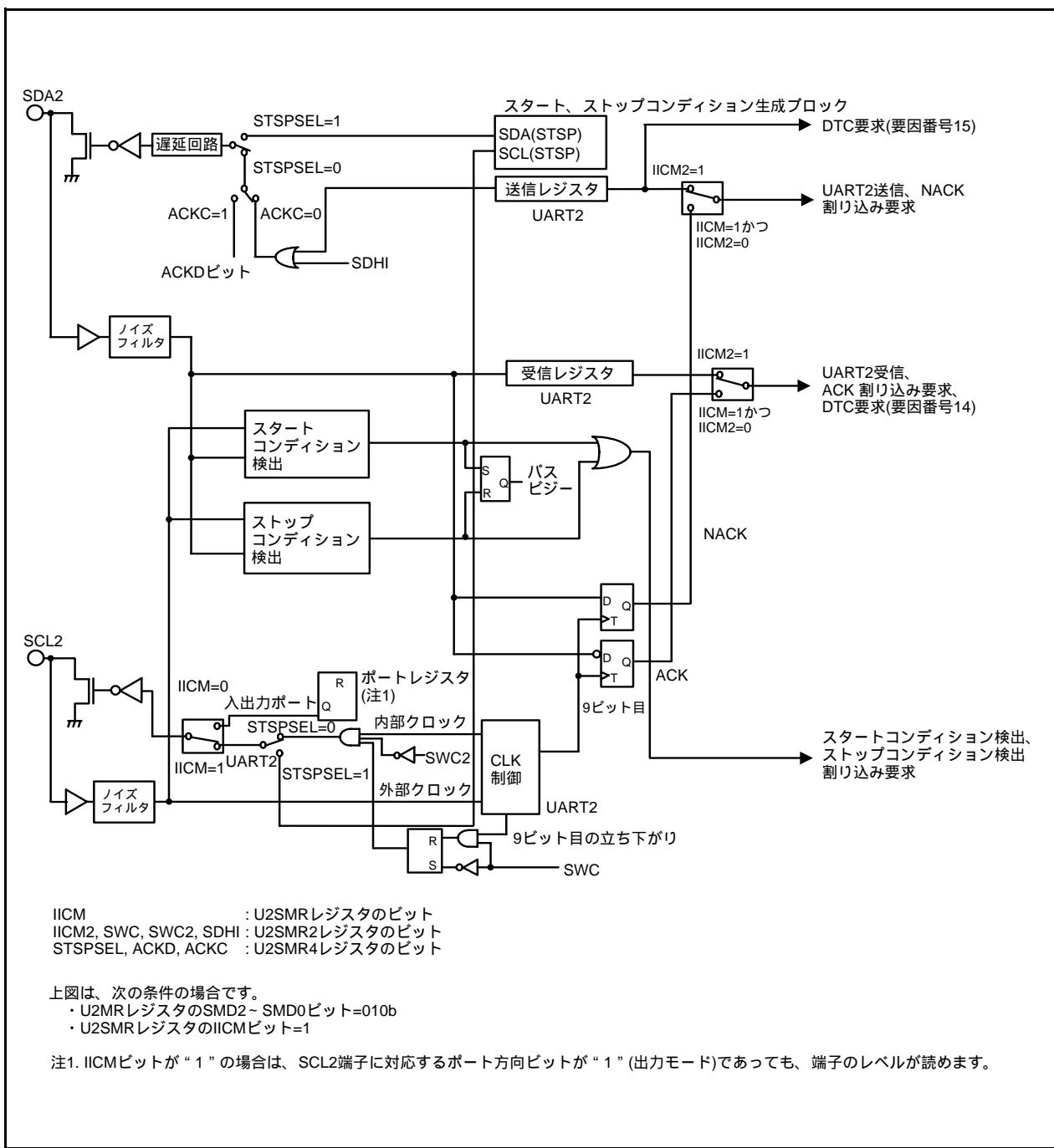
図 22.13 I<sup>2</sup>C モードのブロック図

表 22.10 I<sup>2</sup>C モード時の使用レジスタと設定値(1)

| レジスタ     | ビット                   | 機能   |  |
|----------|-----------------------|--|--|
|          |                       | マスク時   | スレーブ時  |
| U2TB(注1) | b0 ~ b7               | 送信データを設定してください                                     | 送信データを設定してください                                     |
| U2RB(注1) | b0 ~ b7               | 受信データが読みます   | 受信データが読みます   |
|          | b8                    | ACK、NACKが入ります                                      | ACK、NACKが入ります                                      |
|          | OER                   | オーバランエラーフラグ  | オーバランエラーフラグ  |
| U2BRG    | b0 ~ b7               | 転送速度を設定してください                                      | 無効   |
| U2MR(注1) | SMD2 ~ SMD0           | "010b"にしてください                                      | "010b"にしてください                                      |
|          | CKDIR                 | "0"にしてください   | "1"にしてください   |
|          | IOPOL                 | "0"にしてください   | "0"にしてください   |
| U2C0     | CLK1 ~ CLK0           | U2BRGのカウントソースを選択してください                             | 無効   |
|          | CRS                   | CRD=1なので無効   | CRD=1なので無効   |
|          | TXEPT                 | 送信レジスタ空フラグ   | 送信レジスタ空フラグ   |
|          | CRD                   | "1"にしてください   | "1"にしてください   |
|          | NCH                   | "1"にしてください   | "1"にしてください   |
|          | CKPOL                 | "0"にしてください   | "0"にしてください   |
|          | UFORM                 | "1"にしてください   | "1"にしてください   |
| U2C1     | TE                    | 送信を許可する場合、"1"にしてください                               | 送信を許可する場合、"1"にしてください                               |
|          | TI                    | 送信バッファ空フラグ   | 送信バッファ空フラグ   |
|          | RE                    | 受信を許可する場合、"1"にしてください                               | 受信を許可する場合、"1"にしてください                               |
|          | RI                    | 受信完了フラグ  | 受信完了フラグ  |
|          | U2IRS                 | "1"にしてください   | "1"にしてください   |
|          | U2RRM、<br>U2LCH、U2ERE | "0"にしてください   | "0"にしてください   |
| U2SMR    | IICM                  | "1"にしてください   | "1"にしてください   |
|          | BBS                   | バスビジーフラグ   | バスビジーフラグ   |
|          | b3 ~ b7               | "0"にしてください   | "0"にしてください   |
| U2SMR2   | IICM2                 | 「表 22.12 I <sup>2</sup> C モード時の各機能」参照              | 「表 22.12 I <sup>2</sup> C モード時の各機能」参照              |
|          | CSC                   | クロック同期化を許可する場合、"1"にしてください                          | "0"にしてください   |
|          | SWC                   | クロックの9ビット目の立ち下がりで SCL2出力を "L" 出力固定にする場合、"1"にしてください | クロックの9ビット目の立ち下がりで SCL2出力を "L" 出力固定にする場合、"1"にしてください |
|          | STAC                  | "0"にしてください   | スタートコンディション検出でUART2を初期化する場合、"1"にしてください             |
|          | SWC2                  | SCL2の出力を強制的に "L" にする場合、"1"にしてください                  | SCL2の出力を強制的に "L" にする場合、"1"にしてください                  |
|          | SDHI                  | SDA2出力を禁止にする場合、"1"にしてください                          | SDA2出力を禁止にする場合、"1"にしてください                          |
|          | b7                    | "0"にしてください   | "0"にしてください   |
|          | b0、b2、b4、<br>NODC     | "0"にしてください   | "0"にしてください   |
| U2SMR3   | CKPH                  | 「表 22.12 I <sup>2</sup> C モード時の各機能」参照              | 「表 22.12 I <sup>2</sup> C モード時の各機能」参照              |
|          | DL2 ~ DL0             | SDA2のデジタル遅延値を設定してください                              | SDA2のデジタル遅延値を設定してください                              |

注1. この表に記載していないビットは、I<sup>2</sup>C モード時に書く場合、"0" を書いてください。

表 22.11 I<sup>2</sup>C モード時の使用レジスタと設定値(2)

| レジスタ   | ビット     | 機能                                      |   |
|--------|---------|---|---|
|        |         | マスク時                                    | スレーブ時   |
| U2SMR4 | STAREQ  | スタートコンディションを生成する場合、“1”にしてください           | “0”にしてください                                      |
|        | RSTAREQ | リスタートコンディションを生成する場合、“1”にしてください          | “0”にしてください                                      |
|        | STPREQ  | ストップコンディションを生成する場合、“1”にしてください           | “0”にしてください                                      |
|        | STSPSEL | 各コンディション出力時に“1”にしてください                  | “0”にしてください                                      |
|        | ACKD    | ACK、NACKを選択してください                       | ACK、NACKを選択してください                               |
|        | ACKC    | ACKデータを出力する場合、“1”にしてください                | ACKデータを出力する場合、“1”にしてください                        |
|        | SCLHI   | ストップコンディション検出時にSCL2出力を停止する場合、“1”にしてください | “0”にしてください                                      |
|        | SWC9    | “0”にしてください                              | クロックの9ビット目の次の立ち下がりでSCL2を“L”ホールドにする場合、“1”にしてください |
| URXDF  | DF2EN   | “0”にしてください                              | “0”にしてください                                      |
| U2SMR5 | MP      | “0”にしてください                              | “0”にしてください                                      |

表 22.12 I<sup>2</sup>C モード時の各機能

| 機能   | クロック同期シリアル<br>I/O モード<br>(SMD2 ~ SMD0=001b、<br>IICM=0)   | I <sup>2</sup> C モード (SMD2 ~ SMD0=010b、 IICM=1)             |  |                                   |  |
|--|--|---|--|-----------------------------------|--|
|  |  | IICM2=0(NACK/ACK割り込み)                                       |  | IICM2=1(UART送信/UART受信割り込み)        |  |
|  |  | CKPH=0<br>(クロック遅れなし)  | CKPH=1<br>(クロック遅れあり)   | CKPH=0<br>(クロック遅れなし)              | CKPH=1<br>(クロック遅れあり)   |
| UART2バス衝突検出<br>割り込みの要因<br>(注1、5)                 | -  | スタートコンディション検出、ストップコンディション検出<br>(「表 22.13 STSPSEL ビットの機能」参照) |  |                                   |  |
| UART2送信/NACK2<br>割り込みの要因<br>(注1、6)               | UART2送信<br>送信開始、または送信<br>完了(U2IRS で選択)                   | アクノリッジ未検出(NACK)<br>9ビット目のSCL2の立ち上がり                         | UART2送信<br>9ビット目のSCL2<br>の立ち上がり                                  | UART2送信<br>9ビット目の次の<br>SCL2の立ち下がり |  |
| UART2受信/ACK2割<br>り込みの要因<br>(注1、6)                | UART2受信<br>8ビット目の受信時<br>CKPOL=0(立ち上がり)<br>CKPOL=1(立ち下がり) | アクノリッジ検出(ACK)<br>9ビット目のSCL2の立ち上がり                           | UART2受信<br>9ビット目のSCL2の立ち下がり                                      |                                   |  |
| UART受信シフト<br>レジスタから U2RB<br>レジスタへのデータ<br>転送タイミング | CKPOL=0(立ち上がり)<br>CKPOL=1(立ち下がり)                         | 9ビット目のSCL2の立ち上がり  | 9ビット目のSCL2<br>の立ち下がり   | 9ビット目のSCL2の<br>立ち下がりと、立ち<br>上がり   |  |
| UART2送信出力遅延                                      | 遅延なし   | 遅延あり  |  |                                   |  |
| TXD2/SDA2端子の機能                                   | TXD2出力   | SDA2入出力   |  |                                   |  |
| RXD2/SCL2端子の機能                                   | RXD2入力   | SCL2入出力   |  |                                   |  |
| CLK2端子の機能  | CLK2入力または出力<br>ポート選択                                     | - (I <sup>2</sup> C モードには使用しない)                             |  |                                   |  |
| ノイズフィルター幅  | 15ns   | 200ns   |  |                                   |  |
| RXD2、SCL2端子<br>レベルの読み込み                          | 対応するポート方向ビットが“0”の場合、可能                                   | 対応するポート方向ビットの内容に関係なく、可能                                     |  |                                   |  |
| TXD2、SDA2出力の<br>初期値                              | CKPOL=0(H)<br>CKPOL=1(L)                                 | I <sup>2</sup> C モード設定前に、ポートレジスタに設定した値(注2)                  |  |                                   |  |
| SCL2の初期値、終了値                                     | -  | H   | L  | H                                 | L  |
| DTC要因番号14<br>(注6)                                | UART2受信<br>8ビット目の受信時<br>CKPOL=0(立ち上がり)<br>CKPOL=1(立ち下がり) | アクノリッジ検出(ACK)   | UART2受信<br>9ビット目のSCL2の立ち下がり                                      |                                   |  |
| DTC要因番号15<br>(注6)                                | UART2送信<br>送信開始、または送信完<br>了(U2IRS ビットで選択)                | UART2送信<br>9ビット目のSCL2<br>の立ち上がり                             | UART2送信<br>9ビット目のSCL2<br>の立ち下がり                                  | UART2送信<br>9ビット目のSCL2<br>の立ち上がり   | UART2送信<br>9ビット目の次の<br>SCL2の立ち下がり  |
| 受信データ格納  | 1 ~ 8ビット目をU2RB<br>レジスタのビットb0 ~<br>b7に格納                  | 1 ~ 8ビット目をU2RB レジスタの<br>ビットb7 ~ b0に格納                       | 1 ~ 7ビット目をU2RB レジスタのビット<br>b6 ~ b0に、8ビット目をU2RB レジスタ<br>のビットb8に格納 |                                   |  |
| 受信データ読み出し  | U2RB レジスタの状態をそのまま読み出す                                    |   |  |                                   | 1 ~ 8ビット目をU2RB<br>レジスタのビットb7<br>~ b0に格納(注3)                              |
|  |  |   |  |                                   | U2RB レジスタのビッ<br>トb6 ~ b0はビットb7<br>~ b1として、ビット<br>b8はビットb0として<br>読み出す(注4) |

注1. 割り込み要因を変更すると、変更した割り込みの割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります(「11.8 割り込み使用上の注意」参照)。次のビットを変更すると、割り込み要因、割り込みタイミング等が変化しますので、これらのビットを変更した後、IRビットを“0”(割り込み要求なし)にしてください。

U2MR レジスタのSMD2 ~ SMD0 ビット、U2SMR レジスタのIICM ビット、U2SMR2 レジスタのIICM2 ビット、U2SMR3 レジスタのCKPH ビット

注2. SDA2出力の初期値は、SMD2 ~ SMD0 ビットが“000b”(シリアルインタフェースが無効)の状態で設定してください。

注3. U2RB レジスタへのデータ転送2回目(9ビット目 SCL2立ち上がり時)

注4. U2RB レジスタへのデータ転送1回目(9ビット目 SCL2立ち下がり時)

注5. 「図 22.16 STSPSEL ビットの機能」参照。

注6. 「図 22.14 U2RB レジスタへの転送、割り込みのタイミング」参照。

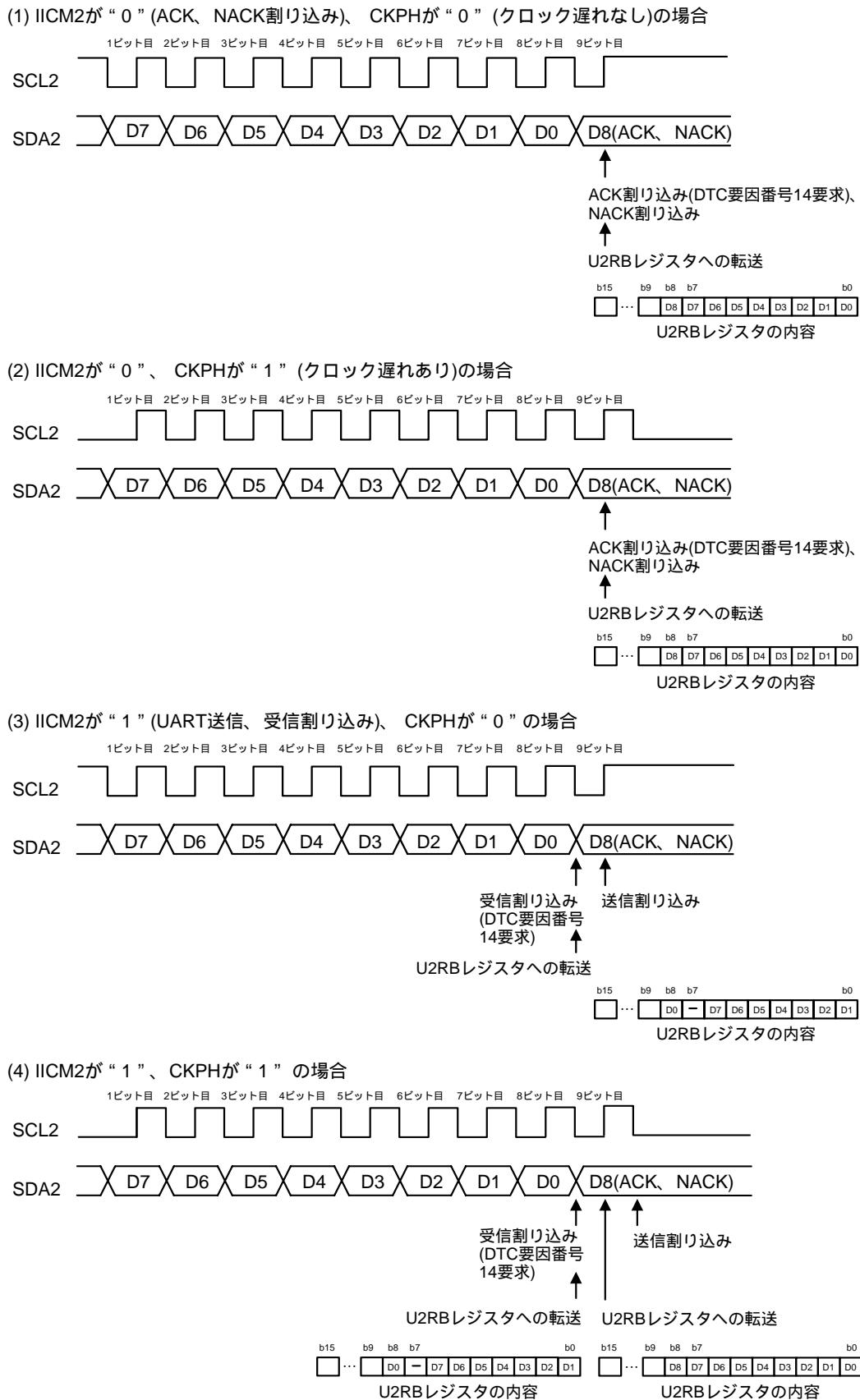


図 22.14 U2RB レジスタへの転送、割り込みのタイミング

### 22.5.1 スタートコンディション、ストップコンディションの検出

スタートコンディション検出またはストップコンディション検出を判定します。

スタートコンディション検出割り込み要求は、SCL2端子が“H”の状態でSDA2端子が“H”から“L”に変化すると発生します。ストップコンディション検出割り込み要求は、SCL2端子が“H”的状態でSDA2端子が“L”から“H”に変化すると発生します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用していますので、どちらの要求による割り込みかは、U2SMR レジスタのBBS ビットで判定してください。

図 22.15 にスタートコンディション、ストップコンディションの検出を示します。

$f_1$ の5サイクル < セットアップ時間

$f_1$ の5サイクル < ホールド時間

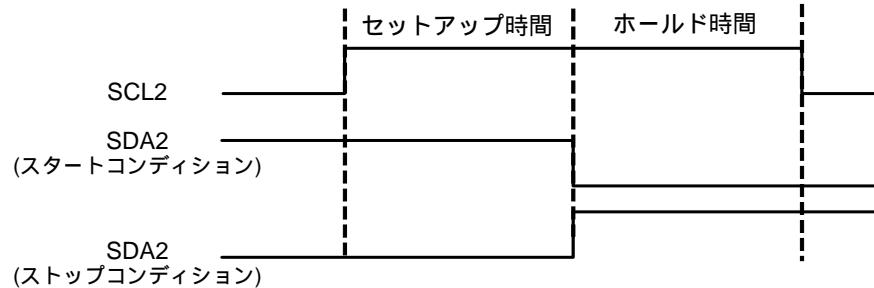


図 22.15 スタートコンディション、ストップコンディションの検出

### 22.5.2 スタートコンディション、ストップコンディションの出力

U2SMR4 レジスタのSTAREQ ビットを “1”(スタート)にするとスタートコンディションを生成します。

U2SMR4 レジスタのRSTAREQ ビットを “1”(スタート)にするとリスタートコンディションを生成します。

U2SMR4 レジスタのSTPREQ ビットを “1”(スタート)にするとストップコンディションを生成します。出力の手順は次の通りです。

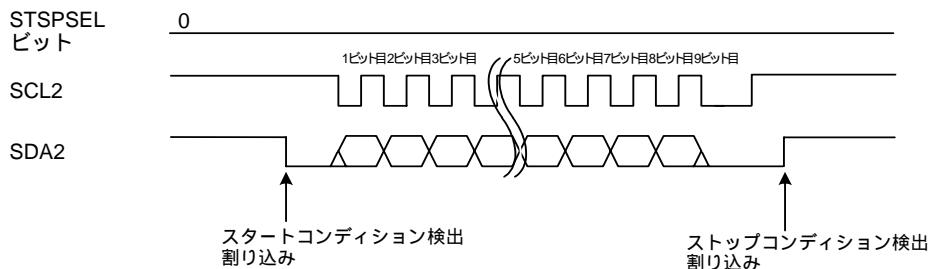
- (1) STAREQ ビット、RSTAREQ ビット、またはSTPREQ ビットを “1”(スタート)にする
- (2) U2SMR4 レジスタのSTSPSEL ビットを “1”(出力)にする

表 22.13 にSTSPSEL ビットの機能を、図 22.16 にSTSPSEL ビットの機能を示します。

表 22.13 STSPSEL ビットの機能

| 機能                                       | STSPSEL=0   | STSPSEL=1  |
|--|---|--|
| SCL2、SDA2端子の出力                           | 転送クロック、データを出力。<br>スタートコンディション、ストップコンディションの出力はポートを使ったプログラムで実現<br>(ハードウェアによる自動生成はしない) | STAREQ ビット、RSTAREQ ビット、<br>STPREQ ビットに従って、スタートコンディション、ストップコンディションを出力 |
| スタートコンディション、<br>ストップコンディション割り込み要求発生タイミング | スタートコンディション、ストップコンディション検出   | スタートコンディション、ストップコンディション生成終了  |

- (1) スレーブ時  
CKDIRが “1”(外部クロック)



- (2) マスター時  
CKDIRが “0”(内部クロック)、CKPHが “1”(クロック遅れあり)

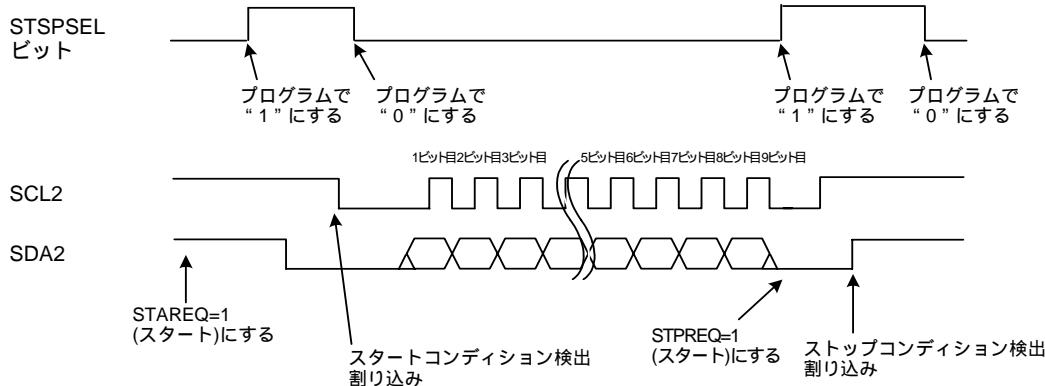


図 22.16 STSPSEL ビットの機能

### 22.5.3 転送クロック

「図 22.14 U2RB レジスタへの転送、割り込みのタイミング」に示すような転送クロックで送受信を行います。

U2SMR2 レジスタの CSC ビットは内部で生成したクロック(内部SCL2)と、SCL2端子に入力される外部クロックの同期をとるためのビットです。CSC ビットを“1”(クロック同期化を許可)にすると、内部 SCL2 が“H”的場合、SCL2 端子に立ち下がりエッジがあれば内部 SCL2 を“L”とし、U2BRG レジスタの値をリロードして L 区間のカウントを開始します。また、SCL2 端子が“L”的とき、内部 SCL2 が“L”から“H”に変化するとカウントを停止し、SCL2 端子が“H”になるとカウントを再開します。したがって、UART2 の転送クロックは、内部 SCL2 と SCL2 端子の信号の論理積になります。なお、転送クロックは内部 SCL2 の 1 ビット目の立ち下がりの半周期前から 9 ビット目の立ち上がりまでの期間で動作します。この機能を使用する場合、転送クロックは内部クロックを選択してください。

U2SMR2 レジスタの SWC ビットでクロックの 9 ビット目の立ち下がりで、SCL2 端子は“L”出力固定になるか“L”出力固定を解除するかを選択できます。

U2SMR4 レジスタの SCLHI ビットを“1”(許可)にすると、ストップコンディション検出時に SCL2 出力を停止します(ハイインピーダンス状態)。

U2SMR2 レジスタの SWC2 ビットを“1”(“L”出力)にすると、送受信中でも SCL2 端子から強制的に“L”を出力できます。SWC2 ビットを“0”(転送クロック)にすると、SCL2 端子からの“L”出力は解除され、転送クロックが入出力されます。

U2SMR3 レジスタの CKPH ビットが“1”的とき、U2SMR4 レジスタの SWC9 ビットを“1”(SCL “L” ホールド許可)にすると、クロックの 9 ビット目の次の立ち下がりで SCL2 端子は“L”出力固定になります。SWC9 ビットを“0”(SCL “L” ホールド禁止)にすると“L”出力固定は解除されます。

### 22.5.4 SDA 出力

U2TB レジスタのビット b7 ~ b0(D7 ~ D0)に書いた値を、D7 から順に出力します。9 ビット目 (D8) は ACK または NACK です。

SDA2 送信出力の初期値は、IICM=1(I<sup>2</sup>C モード)で、U2MR レジスタの SMD2 ~ SMD0 ビットが“000b”(シリアルインタフェースは無効)の状態で設定してください。

U2SMR3 レジスタの DL2 ~ DL0 ビットにより SDA2 の出力を遅延なし、または U2BRG カウントソースの 2 ~ 8 サイクルの遅延を設定できます。

U2SMR2 レジスタの SDHI ビットを“1”(SDA 出力禁止)にすると、SDA2 端子が強制的にハイインピーダンス状態になります。なお、SDHI ビットは UART2 の転送クロックの立ち上がりのタイミングで書かないでください。

### 22.5.5 SDA入力

IICM2ビットが“0”的とき、受信したデータの1～8ビット目(D7～D0)をU2RBレジスタのビットb7～b0に格納します。9ビット目(D8)はACKまたはNACKです。

IICM2ビットが“1”的とき、受信したデータの1～7ビット目(D7～D1)をU2RBレジスタのビットb6～b0に、8ビット目(D0)をU2RBレジスタのビットb8に格納します。IICM2ビットが“1”的ときでも、CKPHビットが“1”であれば、9ビット目のクロックの立ち上がり後にU2RBレジスタを読み出すことにより、IICM2ビットが“0”的ときと同様のデータが読めます。

### 22.5.6 ACK、NACK

U2SMR4レジスタのSTSPSELビットが“0”(スタートコンディション、トップコンディションを生成しない)でU2SMR4レジスタのACKCビットが“1”(ACKデータ出力)の場合、U2SMR4レジスタのACKDビットの値がSDA2端子から出力されます。

IICM2ビットが“0”的場合、NACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDA2端子が“H”的ままであると発生します。ACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDA2端子が“L”ならば発生します。

DTC要求要因にACK2(UART2受信)を選択すると、アクノリッジ検出によってDTC転送を起動できます。

### 22.5.7 送受信初期化

STACビットを“1”(UART2初期化許可)にし、スタートコンディションを検出すると次のように動作します。

- 送信シフトレジスタは初期化され、U2TBレジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信を開始します。ただし、UART2出力値はクロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。
- SWCビットが“1”(SCLウェイト出力許可)になります。これにより、クロックの9ビット目の立ち下がりでSCL2端子が“L”になります。

なお、この機能を使用しUART2の送受信を開始した場合、TIビットは変化しません。また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

## 22.6 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により、複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有のIDコードを割り付けます。シリアル通信サイクルは、受信局を指定するID送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが“1”的ときID送信サイクル、“0”的ときデータ送信サイクルとなります。図22.17にマルチプロセッサフォーマットを使用したプロセッサ間通信の例(受信局AへのデータAAhの送信の例)を示します。送信局は、まず受信局のIDコードにマルチプロセッサビット1を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット0を付加した通信データを送信します。受信局は、マルチプロセッサビットが“1”的通信データを受信すると自局のIDと比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが“1”的通信データを受信するまで、通信データを読みとばします。

UART2はこの機能をサポートするため、U2SMR5レジスタにMPIEビットが設けてあります。MPIEビットを“1”にセットすると、マルチプロセッサビットが“1”的データを受け取るまでUART2受信レジスタからU2RBレジスタの転送、および受信エラーの検出とU2C1レジスタのRIビット、U2RBレジスタのFER、OERビットの各ステータスフラグのセットを禁止します。マルチプロセッサビットが“1”的受信キャラクタを受け取ると、U2RBレジスタのMPRBビットが“1”にセットされるとともに、U2SMR5レジスタのMPIEビットが“0”になり、通常の受信動作に戻ります。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モード(UARTモード)と変わりません。マルチプロセッサ通信を行うときのクロックも、通常の調歩同期式モード(UARTモード)と同一です。

図22.18にマルチプロセッサ通信機能のブロック図を、表22.14にマルチプロセッサ通信機能時の使用レジスタと設定値を示します。

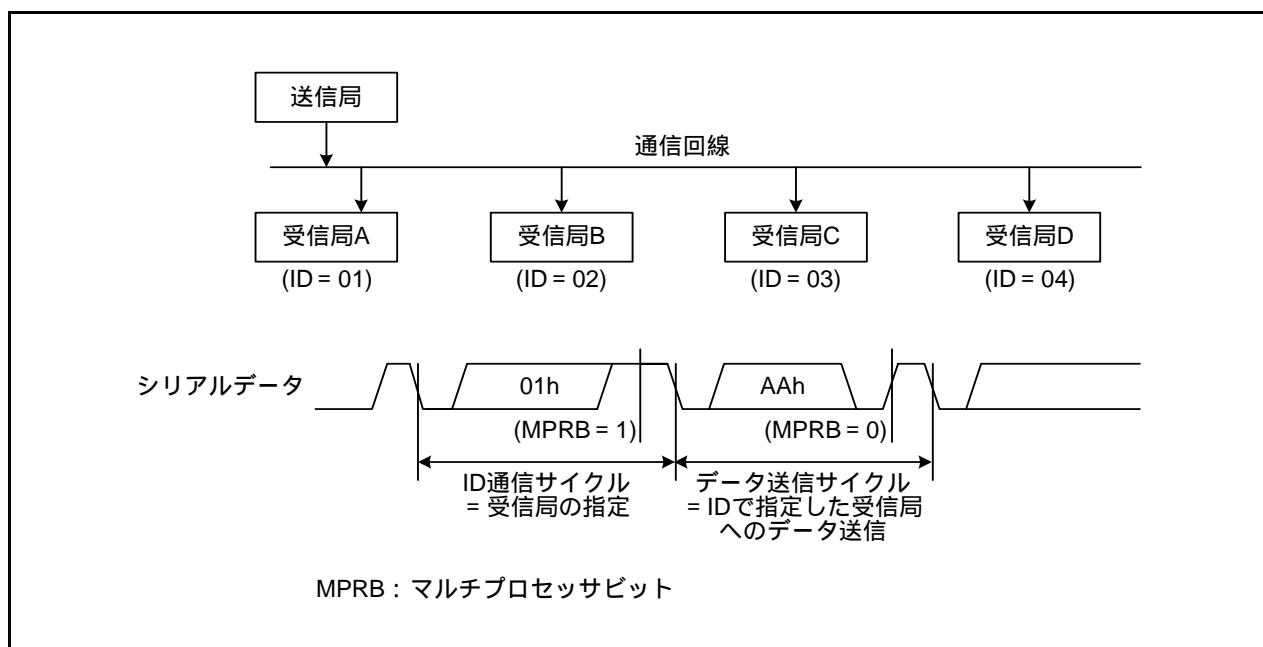


図 22.17 マルチプロセッサフォーマットを使用したプロセッサ間通信の例(受信局AへのデータAAhの送信の例)

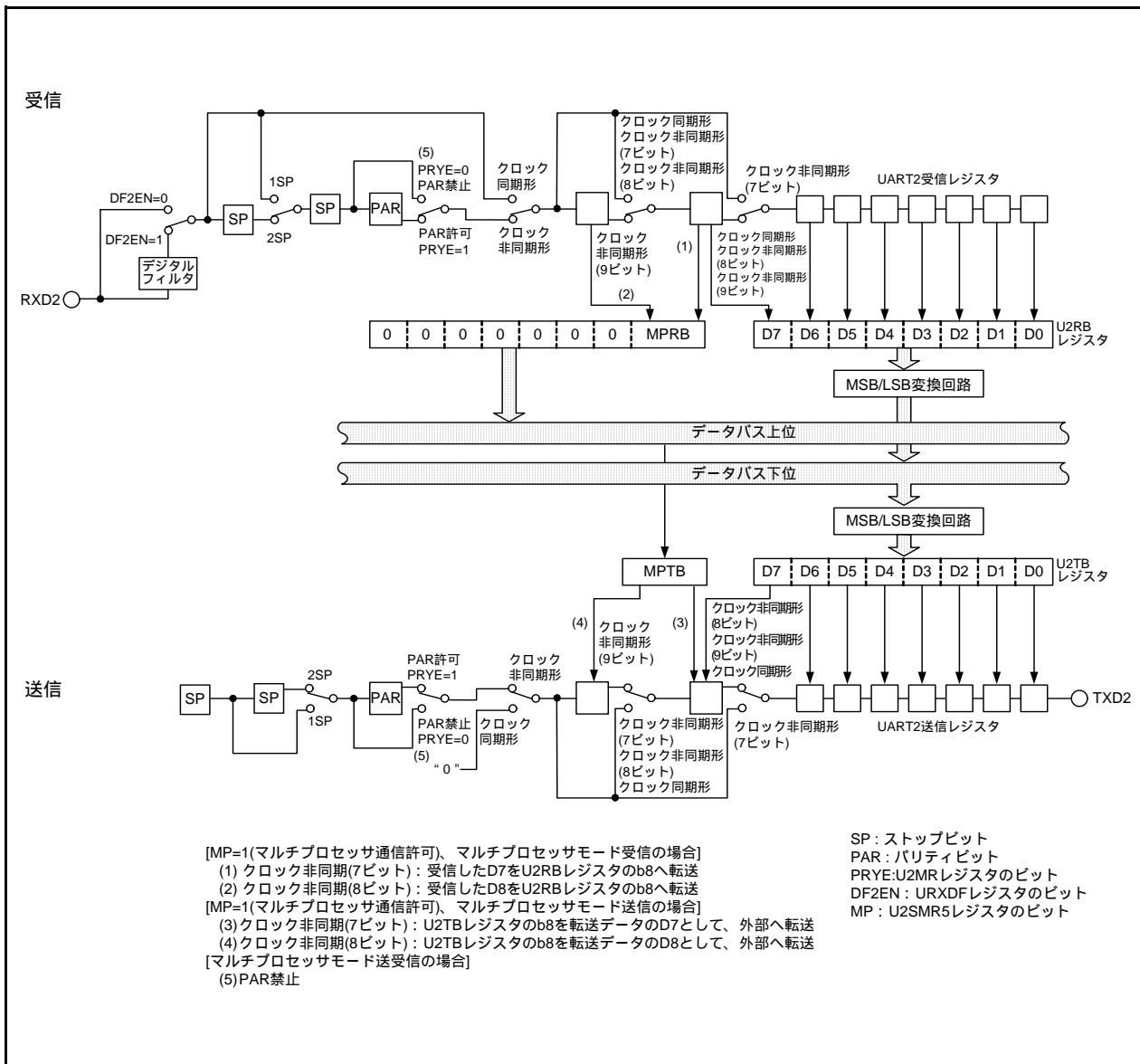


図 22.18 マルチプロセッサ通信機能のブロック図

表 22.14 マルチプロセッサ通信機能時の使用レジスタと設定値

| レジスタ     | ビット         | 機能                            |
|----------|-------------|-------------------------------|
| U2TB(注1) | b0 ~ b7     | 送信データを設定してください                |
|          | MPTB        | “0”または“1”を設定してください            |
| U2RB(注2) | b0 ~ b7     | 受信データが読みます                    |
|          | MPRB        | マルチプロセッサビット                   |
|          | OER、FER、SUM | エラーフラグ                        |
| U2BRG    | b0 ~ b7     | 転送速度を設定してください                 |
| U2MR     | SMD2 ~ SMD0 | 転送データが7ビットの場合、“100b”を設定してください |
|          |             | 転送データが8ビットの場合、“101b”を設定してください |
|          | CKDIR       | 内部クロック、外部クロックを選択してください        |
|          | STPS        | ストップビットを選択してください              |
|          | PRY、PRYE    | パリティ検出機能無効                    |
| U2C0     | IOPOL       | “0”にしてください                    |
|          | CLK0、CLK1   | U2BRGのカウントソースを選択してください        |
|          | CRS         | CTSまたはRTS機能無効                 |
|          | TXEPT       | 送信レジスタ空フラグ                    |
|          | CRD         | “0”にしてください                    |
|          | NCH         | TXD2端子出力形式を選択してください           |
|          | CKPOL       | “0”にしてください                    |
| U2C1     | UFORM       | “0”にしてください                    |
|          | TE          | 送信を許可する場合、“1”にしてください          |
|          | TI          | 送信バッファ空フラグ                    |
|          | RE          | 受信を許可するとき、“1”にしてください          |
|          | RI          | 受信完了フラグ                       |
|          | U2IRS       | UART2の送信割り込み要因を選択してください       |
|          | U2LCH       | “0”にしてください                    |
| U2SMR    | U2ERE       | “0”にしてください                    |
|          | b0 ~ b7     | “0”にしてください                    |
| U2SMR2   | b0 ~ b7     | “0”にしてください                    |
| U2SMR3   | b0 ~ b7     | “0”にしてください                    |
| U2SMR4   | b0 ~ b7     | “0”にしてください                    |
| U2SMR5   | MP          | “1”にしてください                    |
|          | MPIE        | “1”にしてください                    |
| URXDF    | DF2EN       | デジタルフィルタの有効、無効を選択してください       |

注1. IDデータフレームを送信したとき、MPTBビットを“1”にしてください。データフレームを送信したとき、MPTBビットを“0”にしてください。

注2. MPRBビットが“1”的場合、受信したD7～D0はIDフィールドです。MPRBビットが“0”的場合、受信したD7～D0はデータフィールドです。

### 22.6.1 マルチプロセッサ送信

図 22.19 にマルチプロセッサデータ送信のフローチャートの例を示します。ID 送信サイクルでは、U2TB レジスタの MPBT ビットを “1” にして送信してください。データ送信サイクルでは、U2TB レジスタの MPBT を “0” にして送信してください。その他の動作は調歩同期モード(UART モード)の動作と同じです。

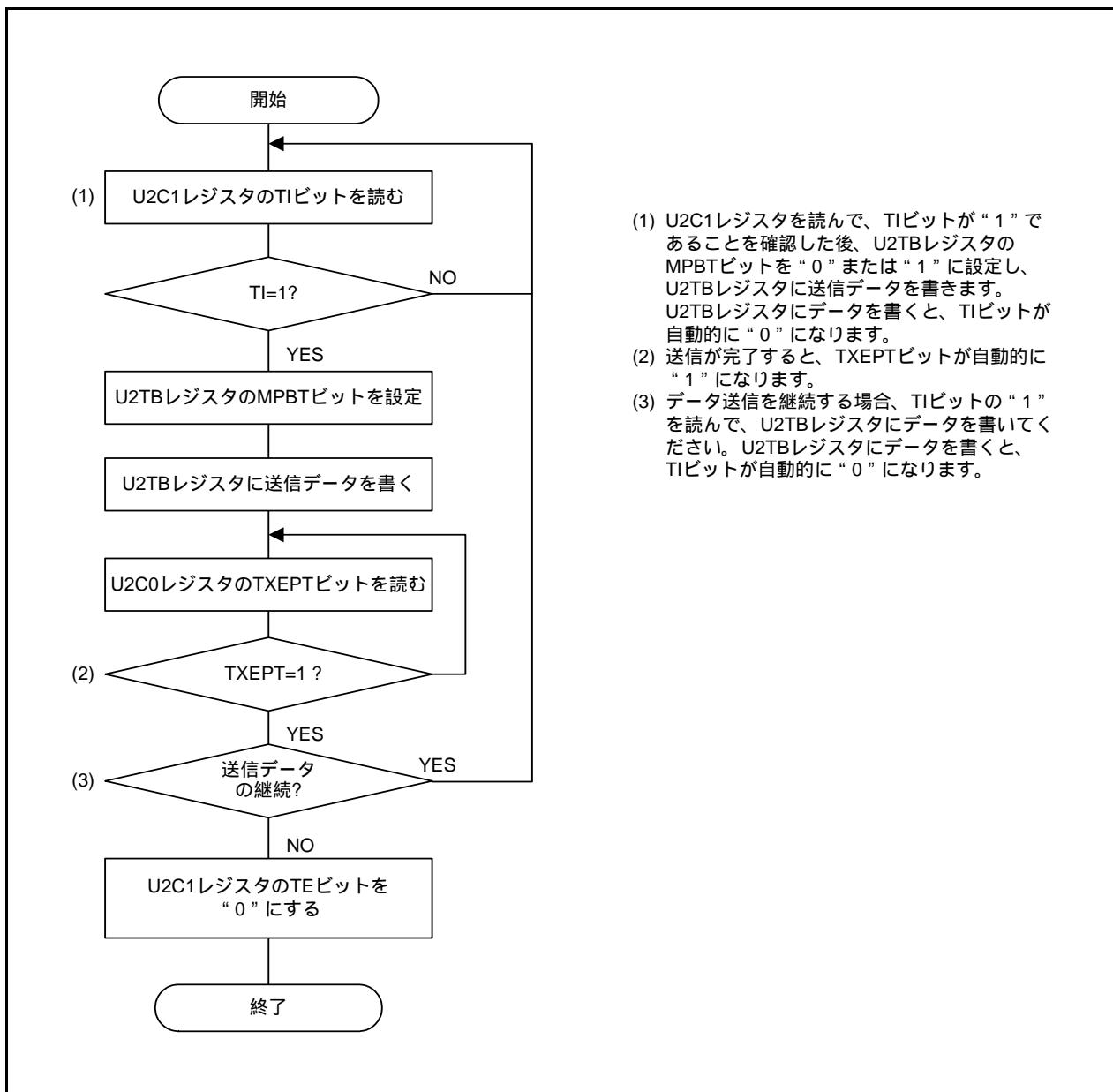


図 22.19 マルチプロセッサデータ送信のフローチャートの例

### 22.6.2 マルチプロセッサ受信

図 22.20 にマルチプロセッサデータ受信のフローチャートの例を示します。U2SMR5 レジスタの MPIE ビットを “1” にすると、マルチプロセッサビットが “1” の通信データを受信するまで、通信データを読みとばします。マルチプロセッサビットが “1” の通信データを、受信データとして U2RB レジスタに転送します。このとき、受信完了割り込み要求を発生します。その他の動作は調歩同期式モード(UART モード)の動作と同じです。図 22.21 にマルチプロセッサ通信の受信時の動作例(8 ビットデータ/マルチプロセッサビットあり/1 ビットトップビットの例)を示します。

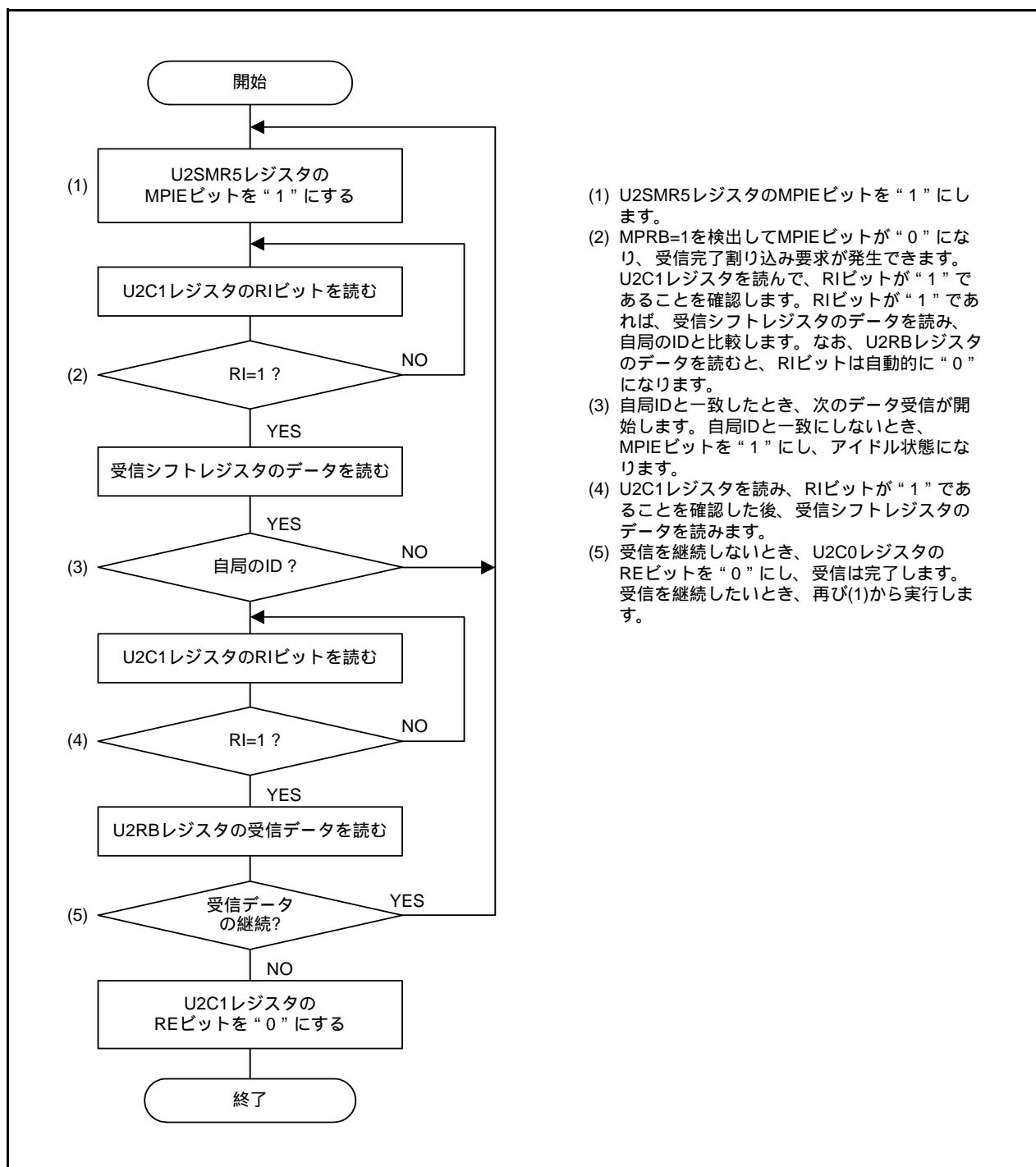


図 22.20 マルチプロセッサデータ受信のフローチャートの例

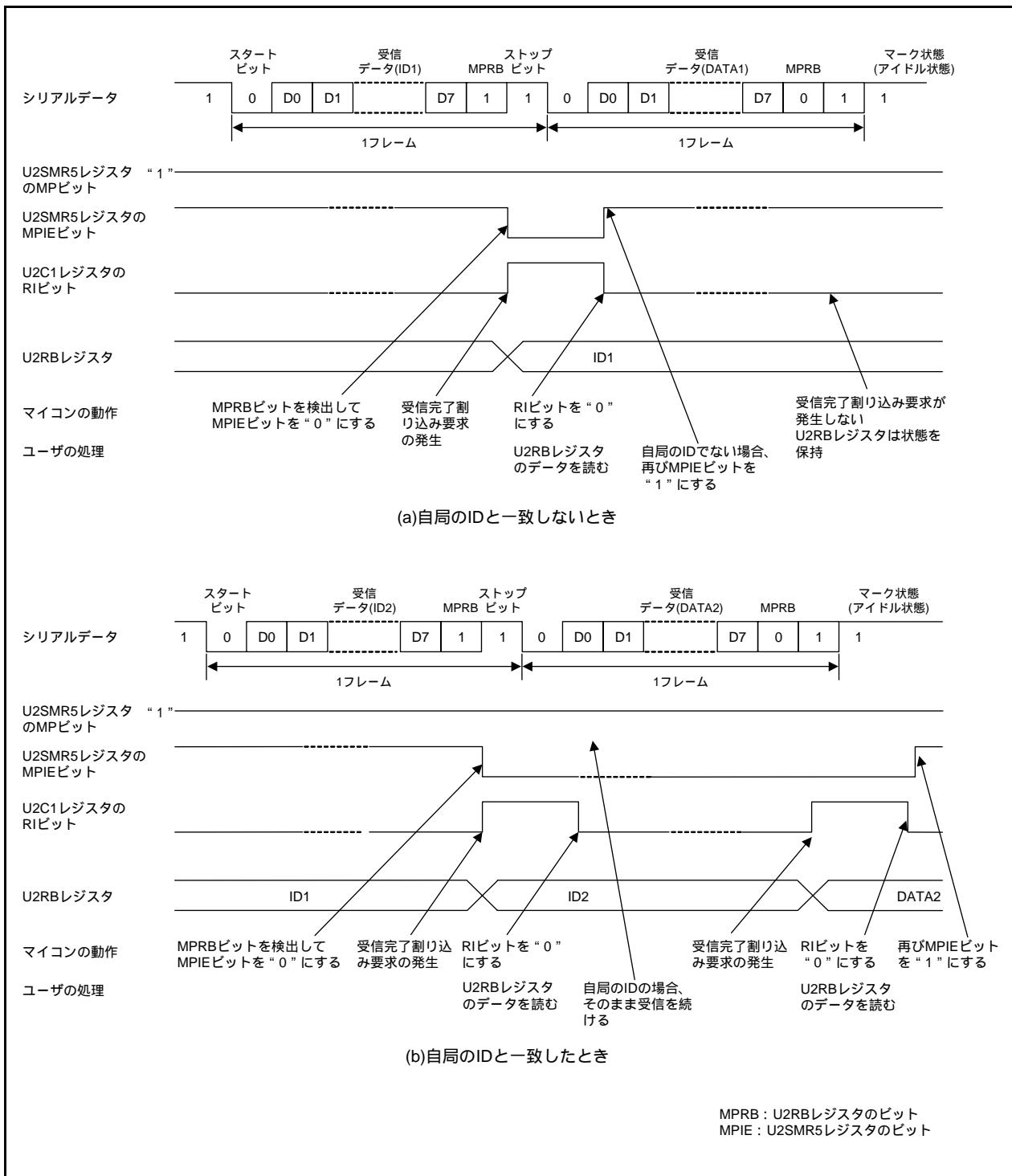


図 22.21 マルチプロセッサ通信の受信時の動作例(8ビットデータ/マルチプロセッサビットあり/1ビットストップビットの例)

### 22.6.3 RXD2デジタルフィルタ選択機能

URXDFレジスタのDF2ENビットが“1”(RXD2デジタルフィルタ許可)のとき、RXD2入力信号はノイズ除去のためのデジタルフィルタ回路を経由して内部に取り込まれます。ノイズ除去回路は、3段直列に接続されたラッチ回路と一致検出回路で構成されます。RXD2入力信号がビットレートの16倍の周波数の内部基本クロックでサンプリングされ、3つのラッチ出力が一致すると信号として認識し、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。

すなわち、3クロック以下の信号変化はノイズとして判断し信号変化として認識しません。

図22.22にRXD2デジタルフィルタ回路のブロック図を示します。

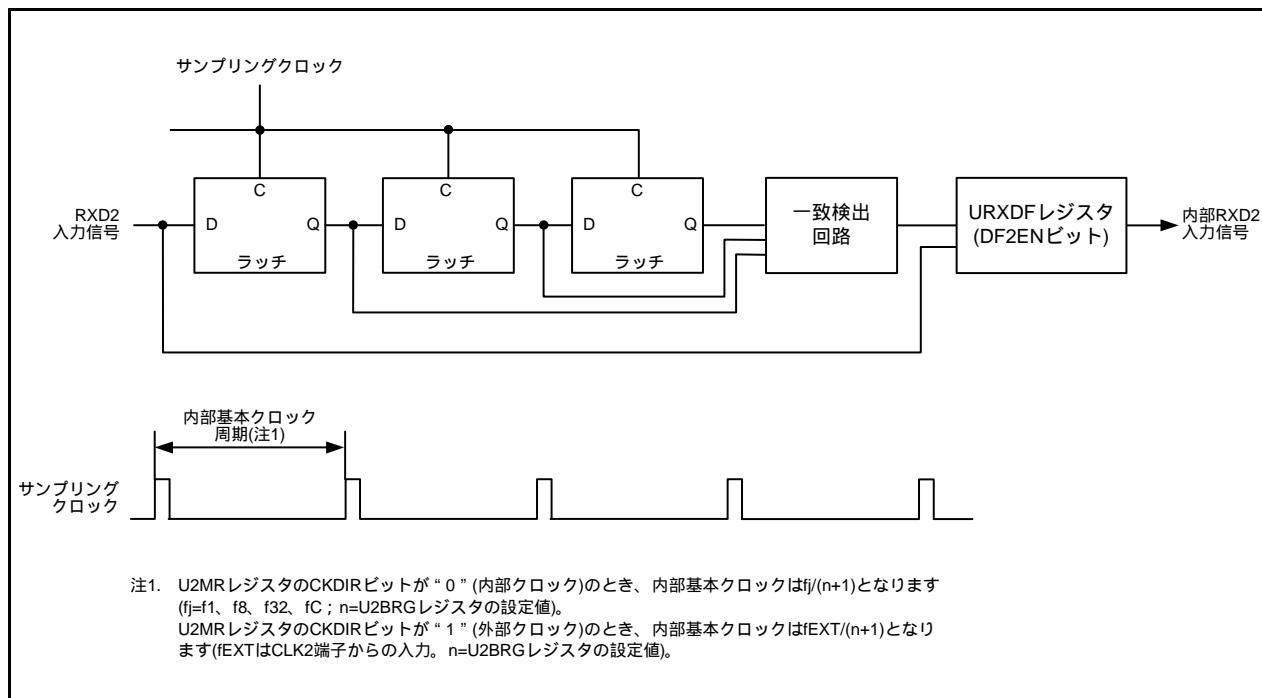


図 22.22 RXD2デジタルフィルタ回路のブロック図

## 22.7 シリアルインタフェース(UART2)使用上の注意

### 22.7.1 クロック同期形シリアルI/Oモード

#### 22.7.1.1 送受信

外部クロック選択時、RTS機能を選択した場合は、受信可能状態になるとRTS2端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されるとRTS2端子の出力レベルは“H”になります。このため、RTS2端子を送信側のCTS2端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時はRTS機能は無効です。

#### 22.7.1.2 送信

外部クロックを選択している場合、U2C0 レジスタの CKPOL ビットが“0”(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”的状態で、CKPOL ビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”的状態で次の条件を満たしてください。

- U2C1 レジスタの TE ビットが“1”(送信許可)
- U2C1 レジスタの TI ビットが“0”(U2TB レジスタにデータあり)
- CTS 機能を選択している場合、CTS2 端子の入力が“L”

#### 22.7.1.3 受信

クロック同期形シリアルI/O では送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXD2端子からはダミーデータが外部に出力されます。

内部クロック選択時はU2C1 レジスタの TE ビットを“1”(送信許可)にし、ダミーデータをU2TB レジスタに設定するとシフトクロックが発生します。外部クロック選択時はTE ビットを“1”にし、ダミーデータをU2TB レジスタに設定し、外部クロックがCLK2端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、U2C1 レジスタの RE ビットが“1”(U2RB レジスタにデータあり)でUART2受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、U2RB レジスタの OER ビットが“1”(オーバランエラー発生)になります。この場合、U2RB レジスタは不定ですので、オーバランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバランエラーが発生したときはS2RIC レジスタの IR ビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにU2TB レジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、CKPOL ビットが“0”的状態で、CKPOL ビットが“1”的状態で次の条件を満たしてください。

- U2C1 レジスタの RE ビットが“1”(受信許可)
- U2C1 レジスタの TE ビットが“1”(送信許可)
- U2C1 レジスタの TI ビットが“0”(U2TB レジスタにデータあり)

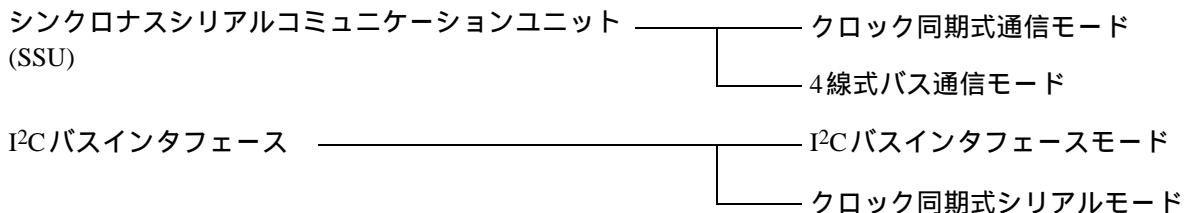
### 22.7.2 特殊モード1(I<sup>2</sup>C モード)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、U2SMR4 レジスタの STSPSEL ビットを “0” にした後、転送クロックの半サイクル以上待ってから、各コンディション生成ビット(STAREQ、RSTAREQ、STPREQ)を “0” から “1” にしてください。

## 23. クロック同期形シリアルインタフェース

クロック同期形シリアルインタフェースは、次の構成です。

### クロック同期形シリアルインタフェース



クロック同期形シリアルインタフェースは、0193h ~ 019Dh 番地のレジスタを使用します。同じ番地でもモードによってレジスタやビットの名称、シンボル、機能が違います。詳細は各機能のレジスタの説明を参照してください。

なお、クロック同期式通信モードとクロック同期式シリアルモードの違いは転送クロックの選択肢、クロック出力形式、データ出力形式の選択肢などです。

### 23.1 モード選択

クロック同期形シリアルインタフェースは4種類のモードを持ちます。

表 23.1 にモード選択に関わるビットを示します。各モードの詳細は「24. シンクロナスシリアルコミュニケーションユニット(SSU)」および「25. I<sup>2</sup>Cバスインターフェース」を参照してください。

表 23.1 モード選択

| SSUIICSR<br>レジスタの<br>IICSELビット | 0198h番地のビット7<br>(ICCR1レジスタの<br>ICEビット) | 019Dh番地のビット0<br>(SSMR2レジスタの<br>SSUMSビット、<br>SARレジスタのFSビット) | 機能名                             | モード                               |
|--------------------------------|--|--|---------------------------------|-----------------------------------|
| 0                              | 0                                      | 0  | シンクロナスシリアル<br>コミュニケーション<br>ユニット | クロック同期式通信<br>モード                  |
| 0                              | 0                                      | 1  |                                 | 4線式バス通信モード                        |
| 1                              | 1                                      | 0  |                                 | I <sup>2</sup> Cバスインターフェース<br>モード |
| 1                              | 1                                      | 1  |                                 | クロック同期式シリアルモード                    |

## 24. シンクロナスシリアルコミュニケーションユニット(SSU)

シンクロナスシリアルコミュニケーションユニット(SSU)は、クロック同期式のシリアルデータ通信が可能です。

### 24.1 概要

表 24.1 にシンクロナスシリアルコミュニケーションユニットの仕様を、図 24.1 にシンクロナスシリアルコミュニケーションユニットブロック図を示します。表 24.2 にシンクロナスシリアルコミュニケーションユニットの端子構成を示します。

表 24.1 シンクロナスシリアルコミュニケーションユニットの仕様

| 項目            | 仕様  |
|---------------|---|
| 転送データフォーマット   | <ul style="list-style-type: none"> <li>転送データ長 8 ~ 16 ビット</li> <li>送信部および受信部がバッファ構造のため、シリアルデータの連続送信、連続受信が可能</li> </ul>   |
| 動作モード         | <ul style="list-style-type: none"> <li>クロック同期式通信モード</li> <li>4 線式バス通信モード(双方向通信モード含む)</li> </ul>   |
| マスター/スレーブデバイス | 選択可能  |
| 入出力端子         | <p>SSCK(入出力) : クロック入出力端子<br/>     SSI(入出力) : データ入出力端子<br/>     SSO(入出力) : データ入出力端子<br/>     SCS(入出力) : チップセレクト入出力端子</p>   |
| 転送クロック        | <ul style="list-style-type: none"> <li>SSCRH レジスタの MSS ビットが “0”(スレ - ブデバイスとして動作)のとき<br/>         外部クロック(SSCK 端子から入力)</li> <li>SSCRH レジスタの MSS ビットが “1”(マスター デバイスとして動作)のとき<br/>         内部クロック(f1/256, f1/128, f1/64, f1/32, f1/16, f1/8, f1/4 から選択できる、<br/>         SSCK 端子から出力)</li> <li>クロック極性と位相を選択できる</li> </ul>  |
| 受信エラーの検出      | <ul style="list-style-type: none"> <li>オーバランエラーを検出</li> <li>受信時にオーバランエラーが発生し、異常終了したことを示す。SSSR レジスタの RDRF ビットが “1”(SSRDR レジスタにデータあり)の状態で、次のシリアルデータ受信を完了したとき、ORER ビットが “1” になる</li> </ul>   |
| マルチマスターの検出    | <ul style="list-style-type: none"> <li>コンフリクトエラーを検出</li> <li>SSMR2 レジスタの SSUMS ビットが “1”(4 線式バス通信モード)、SSCRH レジスタの MSS ビットが “1”(マスター デバイスとして動作)の状態でシリアル通信を開始しようとしたとき、SCS 端子入力が “L” であれば SSSR レジスタの CE ビットが “1” になる。</li> <li>SSMR2 レジスタの SSUMS ビットが “1”(4 線式バス通信モード)、SSCRH レジスタの MSS ビットが “0”(スレ - ブデバイスとして動作)で転送中に SCS 端子入力が “L” から “H” に変化したとき、SSSR レジスタの CE ビットが “1” になる。</li> </ul> |
| 割り込み要求        | 5種類(送信終了、送信データエンプティ、受信データフル、オーバランエラー、コンフリクトエラー)(注1)   |
| 選択機能          | <ul style="list-style-type: none"> <li>データ転送方向<br/>         MSB ファーストまたは LSB ファーストを選択</li> <li>SSCK クロック極性<br/>         クロック停止時のレベルを “L” か “H” かを選択</li> <li>SSCK クロック位相<br/>         データ変化およびデータ取り込みのエッジを選択</li> </ul>   |

注1. 割り込みベクタテーブルはシンクロナスシリアルコミュニケーションユニットの1つです。

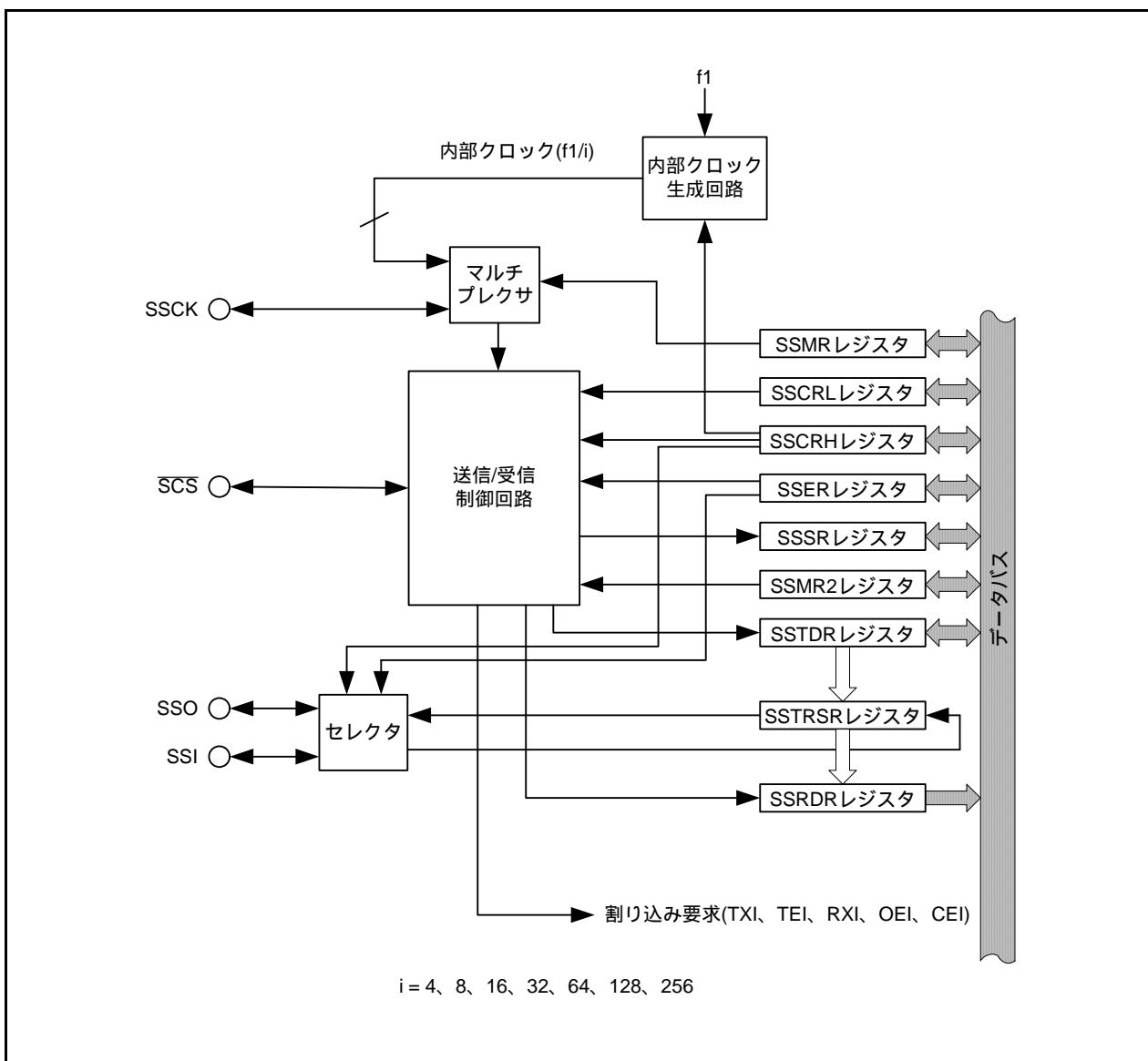


図 24.1 シンクロナスシリアルコミュニケーションユニットブロック図

表 24.2 シンクロナスシリアルコミュニケーションユニットの端子構成

| 端子名  | 割り当てる端子 | 入出力 | 機能         |
|------|---------|-----|------------|
| SSI  | P3_4    | 入出力 | データ入出力     |
| SCS  | P3_3    | 入出力 | チップセレクト入出力 |
| SSCK | P3_5    | 入出力 | クロック入出力    |
| SSO  | P3_7    | 入出力 | データ入出力     |

## 24.2 レジスタの説明

### 24.2.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

| ビット     | b7 | b6 | b5     | b4     | b3     | b2 | b1 | b0 |
|---------|----|----|--------|--------|--------|----|----|----|
| シンボル    | -  | -  | MSTTRC | MSTTRD | MSTIIC | -  | -  | -  |
| リセット後の値 | 0  | 0  | 0      | 0      | 0      | 0  | 0  | 0  |

| ビット | シンボル   | ビット名                                       | 機能                          | R/W |
|-----|--------|--|-----------------------------|-----|
| b0  | -      | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |                             | -   |
| b1  | -      |  |                             |     |
| b2  | -      |  |                             |     |
| b3  | MSTIIC | SSU、I <sup>2</sup> Cバススタンバイビット             | 0：アクティブ<br>1：スタンバイ(注1)      | R/W |
| b4  | MSTTRD | 消費電力低減ビット                                  | “1”にしてください。<br>消費電力を低減できます。 | R/W |
| b5  | MSTTRC | タイマRCスタンバイビット                              | 0：アクティブ<br>1：スタンバイ(注2)      | R/W |
| b6  | -      | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |                             | -   |
| b7  | -      |  |                             |     |

注1. MSTIICビットが“1”(スタンバイ)のとき、SSU、I<sup>2</sup>Cバス関連レジスタ(0193h ~ 019Dh番地)へのアクセスは無効になります。

注2. MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0133h番地)へのアクセスは無効になります。

### 24.2.2 SSU/I<sup>2</sup>C端子選択レジスタ(SSUIICSR)

アドレス 018Ch番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0     |
|---------|----|----|----|----|----|----|----|--------|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | IICSEL |
| リセット後の値 | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0      |

| ビット | シンボル   | ビット名                                       | 機能                                      | R/W |
|-----|--------|--|---|-----|
| b0  | IICSEL | SSU/I <sup>2</sup> Cバス切り替えビット              | 0：SSU機能を選択<br>1：I <sup>2</sup> Cバス機能を選択 | R/W |
| b1  | -      | 予約ビット                                      | “0”にしてください                              | R/W |
| b2  | -      | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |   | -   |
| b3  | -      |  |   |     |
| b4  | -      | 予約ビット                                      | “0”にしてください                              | R/W |
| b5  | -      |  |   |     |
| b6  | -      |  |   |     |
| b7  | -      |  |   |     |

### 24.2.3 SS ビットカウンタレジスタ(SSBR)

アドレス 0193h 番地

| ビット     | b7 | b6 | b5 | b4 | b3  | b2  | b1  | b0  |
|---------|----|----|----|----|-----|-----|-----|-----|
| シンボル    | -  | -  | -  | -  | BS3 | BS2 | BS1 | BS0 |
| リセット後の値 | 1  | 1  | 1  | 1  | 1   | 0   | 0   | 0   |

| ビット | シンボル | ビット名                                       | 機能                   | R/W |  |
|-----|------|--|----------------------|-----|--|
| b0  | BS0  | SSU データ転送長設定ビット(注1)                        | $b_3\ b_2\ b_1\ b_0$ | R/W |  |
| b1  | BS1  |  | 0000: 16 ビット         | R/W |  |
| b2  | BS2  |  | 1000: 8 ビット          | R/W |  |
| b3  | BS3  |  | 1001: 9 ビット          | R/W |  |
|     |      |  | 1010: 10 ビット         |     |  |
|     |      |  | 1011: 11 ビット         |     |  |
|     |      |  | 1100: 12 ビット         |     |  |
|     |      |  | 1101: 13 ビット         |     |  |
|     |      |  | 1110: 14 ビット         |     |  |
|     |      |  | 1111: 15 ビット         |     |  |
| b4  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | -                    | -   |  |
| b5  | -    |  |                      |     |  |
| b6  | -    |  |                      |     |  |
| b7  | -    |  |                      |     |  |

注1. SSU の動作中は、BS0 ~ BS3 ビットに書かないでください。

SSBR レジスタを設定するときは、SSER レジスタの RE ビットを “0”(受信禁止)、TE ビットを “0”(送信禁止)にしてください。

### BS0 ~ BS3 ビット(SSU データ転送長設定ビット)

SSU データ転送長として 8 ~ 16 ビットが使用できます。

### 24.2.4 SS 送信データレジスタ(SSTDR)

アドレス 0195h ~ 0194h 番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1  |

| ビット     | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| シンボル    | -   | -   | -   | -   | -   | -   | -  | -  |
| リセット後の値 | 1   | 1   | 1   | 1   | 1   | 1   | 1  | 1  |

| ビット      | シンボル | 機能  | R/W |
|----------|------|---|-----|
| b15 ~ b0 | -    | 送信データを保管。(注1)<br>SSTRSR レジスタの空きが検出されると、保管されている送信データが SSTRSR レジスタへ転送されて、送信が開始する。<br>SSTRSR レジスタからデータを送信中に、SSTDR レジスタに次の送信データを書いておくと、連続して送信できる。<br>SSMR レジスタの MLS ビットが “1”( LSB ファーストでデータ転送)の場合、SSTDR レジスタに書いた後、読むと MSB と LSB が反転したデータが読まれます。 | R/W |

注1. SSBR レジスタで SSU データ転送長を 9 ビット以上に設定する場合、SSTDR レジスタを 16 ビット単位でアクセスしてください。

### 24.2.5 SS受信データレジスタ(SSRDR)

アドレス 0197h ~ 0196h 番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1  |

| ビット     | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| シンボル    | -   | -   | -   | -   | -   | -   | -  | -  |
| リセット後の値 | 1   | 1   | 1   | 1   | 1   | 1   | 1  | 1  |

| ビット      | シンボル | 機能   | R/W |
|----------|------|--|-----|
| b15 ~ b0 | -    | 受信データを保管。(注1、2)<br>SSTRSR レジスタが1バイトのデータを受信すると、SSRDR レジスタへ受信データが転送されて、受信動作が終了する。このとき、次の受信が可能になる。<br>このようにSSTRSR レジスタとSSRDR レジスタの2つのレジスタによって、連続受信が可能である。 | R   |

注1. SSSR レジスタのORER ビットが“1”(オーバランエラー発生)になったとき、SSRDR レジスタはオーバランエラー発生前の受信データを保持します。オーバランエラー発生時の受信データは、破棄されます。

注2. SSBR レジスタでSSU データ転送長を9ビット以上に設定する場合、SSRDR レジスタを16ビット単位でアクセスしてください。

### 24.2.6 SS制御レジスタH (SSCRH)

アドレス 0198h 番地

| ビット     | b7 | b6    | b5  | b4 | b3 | b2   | b1   | b0   |
|---------|----|-------|-----|----|----|------|------|------|
| シンボル    | -  | RSSTP | MSS | -  | -  | CKS2 | CKS1 | CKS0 |
| リセット後の値 | 0  | 0     | 0   | 0  | 0  | 0    | 0    | 0    |

| ビット | シンボル  | ビット名                                       | 機能  | R/W |
|-----|-------|--|---|-----|
| b0  | CKS0  | 転送クロック選択ビット(注1)                            | b2 b1 b0<br>0 0 0 : f1/256<br>0 0 1 : f1/128<br>0 1 0 : f1/64<br>0 1 1 : f1/32<br>1 0 0 : f1/16<br>1 0 1 : f1/8<br>1 1 0 : f1/4<br>1 1 1 : 設定しないでください | R/W |
| b1  | CKS1  |  |   | R/W |
| b2  | CKS2  |  |   | R/W |
| b3  | -     | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |   | -   |
| b4  | -     |  |   |     |
| b5  | MSS   | マスター/スレーブデバイス選択ビット(注2)                     | 0 : スレーブデバイスとして動作<br>1 : マスターデバイスとして動作  | R/W |
| b6  | RSSTP | 受信シングルルストップビット(注3)                         | 0 : 1バイトのデータ受信後も受信動作を継続<br>1 : 1バイトのデータ受信後、受信動作が終了  | R/W |
| b7  | -     | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |   | -   |

注1. MSS ビットが“1”(マスターデバイスとして動作)のときに、設定されたクロックが使用されます。

注2. MSS ビットが“1”(マスターデバイスとして動作)のとき、SSCK 端子は転送クロック出力端子になります。SSSR レジスタのCE ビットが“1”(コンフリクトエラー発生)になると、MSS ビットは“0”(スレーブデバイスとして動作)になります。

注3. MSS ビットが“0”(スレーブデバイスとして動作)のとき、RSSTP ビットは無効です。

### 24.2.7 SS制御レジスタL (SSCRL)

アドレス 0199h 番地

| ビット     | b7 | b6 | b5  | b4   | b3 | b2 | b1   | b0 |
|---------|----|----|-----|------|----|----|------|----|
| シンボル    | -  | -  | SOL | SOLP | -  | -  | SRES | -  |
| リセット後の値 | 0  | 1  | 1   | 1    | 1  | 1  | 0    | 1  |

| ビット | シンボル | ビット名                                       | 機能   | R/W |
|-----|------|--|--|-----|
| b0  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | -  | -   |
| b1  | SRES | SSU制御部リセットビット                              | このビットに“1”を書くと、SSU制御部およびSSTRSRレジスタが初期化される。<br>SSU内部レジスタ(注1)の値は保持される。                            | R/W |
| b2  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | -  | -   |
| b3  | -    |  |  |     |
| b4  | SOLP | SOLライトプロテクトビット(注2)                         | “0”を書くとSOLビットによって出力レベルが変更できる。<br>“1”を書いても無効。読んだ場合、その値は“1”。                                     | R/W |
| b5  | SOL  | シリアルデータ出力値設定ビット                            | 読んだ場合<br>0:シリアルデータ出力が“L”<br>1:シリアルデータ出力が“H”<br>書いた場合(注2、3)<br>0:データ出力を“L”にする<br>1:データ出力を“H”にする | R/W |
| b6  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | -  | -   |
| b7  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -  | -   |

注1. SSBR、SSCRH、SSCRL、SSMR、SSER、SSSR、SSMR2、SSTD、SSRDRの各レジスタ。

注2. シリアルデータ送信後のデータ出力は、送信されたシリアルデータの最終ビットの値を保持します。

シリアルデータの送信前後にSOLビットの内容を書き換えると、その時点からデータ出力に反映されます。

SOLビットに書くときは、MOV命令を使用してSOLPビットに“0”、SOLビットに“0”または“1”を同時に書いてください。

注3. データ転送中はSOLビットに書かないでください。

### 24.2.8 SSモードレジスタ (SSMR)

アドレス 019Ah 番地

| ビット     | b7  | b6   | b5   | b4 | b3  | b2  | b1  | b0  |
|---------|-----|------|------|----|-----|-----|-----|-----|
| シンボル    | MLS | CPOS | CPHS | -  | BC3 | BC2 | BC1 | BC0 |
| リセット後の値 | 0   | 0    | 0    | 1  | 0   | 0   | 0   | 0   |

| ビット | シンボル | ビット名                                       | 機能   | R/W |
|-----|------|--|--|-----|
| b0  | BC0  | ビットカウンタ3~0                                 | b <sub>3</sub> b <sub>2</sub> b <sub>1</sub> b <sub>0</sub><br>0 0 0 0: 残り16ビット<br>0 0 0 1: 残り1ビット<br>0 0 1 0: 残り2ビット<br>0 0 1 1: 残り3ビット<br>0 1 0 0: 残り4ビット<br>0 1 0 1: 残り5ビット<br>0 1 1 0: 残り6ビット<br>0 1 1 1: 残り7ビット<br>1 0 0 0: 残り8ビット<br>1 0 0 1: 残り9ビット<br>1 0 1 0: 残り10ビット<br>1 0 1 1: 残り11ビット<br>1 1 0 0: 残り12ビット<br>1 1 0 1: 残り13ビット<br>1 1 1 0: 残り14ビット<br>1 1 1 1: 残り15ビット | R   |
| b1  | BC1  |  |  | R   |
| b2  | BC2  |  |  | R   |
| b3  | BC3  |  |  | R   |
| b4  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | -  | -   |
| b5  | CPHS | SSCKクロック位相選択ビット(注1)                        | 0: 奇数エッジでデータ変化<br>(偶数エッジでデータ取り込み)<br>1: 偶数エッジでデータ変化<br>(奇数エッジでデータ取り込み)   | R/W |
| b6  | CPOS | SSCKクロック極性選択ビット(注1)                        | 0: クロック停止時、“H”<br>1: クロック停止時、“L”   | R/W |
| b7  | MLS  | MSBファースト/LSBファースト選択ビット                     | 0: MSBファーストでデータ転送<br>1: LSBファーストでデータ転送   | R/W |

注1. CPHS、CPOSビットの設定については「24.3.1.1 転送クロックの極性、位相とデータの関係」を参照してください。

SSMR2 レジスタの SSUMS ビットが “0” (クロック同期式通信モード) のとき、CPHS ビットを “0”、CPOS ビットを “0” にしてください。

### 24.2.9 SS許可レジスタ (SSE) (SSER)

アドレス 019Bh 番地

| ビット     | b7  | b6   | b5  | b4 | b3 | b2 | b1 | b0   |
|---------|-----|------|-----|----|----|----|----|------|
| シンボル    | TIE | TEIE | RIE | TE | RE | -  | -  | CEIE |
| リセット後の値 | 0   | 0    | 0   | 0  | 0  | 0  | 0  | 0    |

| ビット | シンボル | ビット名                                       | 機能   | R/W |
|-----|------|--|--|-----|
| b0  | CEIE | コンフリクトエラー割り込み許可ビット                         | 0 : コンフリクトエラー割り込み要求禁止<br>1 : コンフリクトエラー割り込み要求許可                   | R/W |
| b1  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -  | -   |
| b2  | -    |  |  |     |
| b3  | RE   | 受信許可ビット                                    | 0 : 受信禁止<br>1 : 受信許可   | R/W |
| b4  | TE   | 送信許可ビット                                    | 0 : 送信禁止<br>1 : 送信許可   | R/W |
| b5  | RIE  | 受信割り込み許可ビット                                | 0 : 受信データフルおよびオーバランエラー割り込み要求禁止<br>1 : 受信データフルおよびオーバランエラー割り込み要求許可 | R/W |
| b6  | TEIE | 送信終了割り込み許可ビット                              | 0 : 送信終了割り込み要求禁止<br>1 : 送信終了割り込み要求許可                             | R/W |
| b7  | TIE  | 送信割り込み許可ビット                                | 0 : 送信データエンプティ割り込み要求禁止<br>1 : 送信データエンプティ割り込み要求許可                 | R/W |

## 24.2.10 SSステータスレジスタ (SSSR)

アドレス 019Ch 番地

| ビット     | b7   | b6   | b5   | b4 | b3 | b2   | b1 | b0 |
|---------|------|------|------|----|----|------|----|----|
| シンボル    | TDRE | TEND | RDRF | -  | -  | ORER | -  | CE |
| リセット後の値 | 0    | 0    | 0    | 0  | 0  | 0    | 0  | 0  |

| ビット | シンボル | ビット名                                       | 機能  | R/W |
|-----|------|--|---|-----|
| b0  | CE   | コンフリクトエラーフラグ(注1)                           | 0: コンフリクトエラーなし<br>1: コンフリクトエラー発生(注2)  | R/W |
| b1  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -   | -   |
| b2  | ORER | オーバランエラーフラグ(注1)                            | 0: オーバランエラーなし<br>1: オーバランエラー発生(注3)  | R/W |
| b3  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -   | -   |
| b4  | -    |  |   |     |
| b5  | RDRF | 受信データレジスタフルフラグ<br>(注1、4)                   | 0: SSRDR レジスタにデータなし<br>1: SSRDR レジスタにデータあり                                      | R/W |
| b6  | TEND | 送信終了フラグ(注1、5)                              | 0: 送信データの最後尾ビットの送信時、TDRE<br>ビットが“0”<br>1: 送信データの最後尾ビットの送信時、TDRE<br>ビットが“1”      | R/W |
| b7  | TDRE | 送信データ空フラグ(注1、5、6)                          | 0: SSTDR レジスタから SSTRSR レジスタにデータ転送されていない<br>1: SSTDR レジスタから SSTRSR レジスタにデータ転送された | R/W |

注1. CE、ORER、RDRF、TEND、TDRE ビットへの“1”書き込みは無効です。これらのビットを“0”にするには、“1”を読んだ後、“0”を書いてください。

注2. SSMR2 レジスタの SSUMS ビットが“1”(4線式バス通信モード)、SSCRH レジスタの MSS ビットが“1”(マスデバイスとして動作)の状態でシリアル通信を開始しようとしたとき、SCS 端子入力が“L”であれば CE ビットが“1”になります。「24.5.4 SCS 端子制御とアービトリレーション」を参照してください。

SSMR2 レジスタの SSUMS ビットが“1”(4線式バス通信モード)、SSCRH レジスタの MSS ビットが“0”(スレーブデバイスとして動作)で転送途中に SCS 端子入力が“L”から“H”に変化したとき、CE ビットが“1”になります。

注3. 受信時にオーバランエラーが発生し、異常終了したことを示します。RDRF ビットが“1”(SSRDR レジスタにデータあり)の状態で、次のシリアルデータ受信を完了したとき、ORER ビットが“1”になります。

ORER ビットが“1”(オーバランエラー発生)になった後、“1”的状態で受信はできません。また MSS ビットが“1”(マスタデバイスとして動作)の状態では、送信もできません。

注4. RDRF ビットは SSRDR レジスタからデータを読み出したとき、“0”になります。

注5. TEND、TDRE ビットは SSTDR レジスタにデータを書いたとき、“0”になります。

注6. TDRE ビットは SSER レジスタの TE ビットを“1”(送信許可)にしたとき、“1”になります。

SSSR レジスタを連続してアクセスする場合、アクセスする命令間に NOP 命令を 1 つ以上挿入してください。

## 24.2.11 SSモードレジスタ2 (SSMR2)

アドレス 019Dh番地

| ビット     | b7   | b6   | b5   | b4   | b3    | b2   | b1   | b0    |
|---------|------|------|------|------|-------|------|------|-------|
| シンボル    | BIDE | SCKS | CSS1 | CSS0 | SCKOS | SOOS | CSOS | SSUMS |
| リセット後の値 | 0    | 0    | 0    | 0    | 0     | 0    | 0    | 0     |

| ビット | シンボル  | ビット名                       | 機能   | R/W |
|-----|-------|----------------------------|--|-----|
| b0  | SSUMS | SSUモード選択ビット(注1)            | 0 : クロック同期式通信モード<br>1 : 4線式バス通信モード   | R/W |
| b1  | CSOS  | SCS端子オーブンドレイン出力選択ビット       | 0 : CMOS出力<br>1 : Nチャネルオーブンドレイン出力  | R/W |
| b2  | SOOS  | シリアルデータオーブンドレイン出力選択ビット(注1) | 0 : CMOS出力(注5)<br>1 : Nチャネルオーブンドレイン出力  | R/W |
| b3  | SCKOS | SSCK端子オーブンドレイン出力選択ビット      | 0 : CMOS出力<br>1 : Nチャネルオーブンドレイン出力  | R/W |
| b4  | CSS0  | SCS端子選択ビット(注2)             | <sup>b5 b4</sup><br>0 0 : ポートとして機能<br>0 1 : SCS入力端子として機能<br>1 0 : SCS出力端子として機能(注3)<br>1 1 : SCS出力端子として機能(注3) | R/W |
| b5  | CSS1  |                            |  | R/W |
| b6  | SCKS  | SSCK端子選択ビット                | 0 : ポートとして機能<br>1 : シリアルクロック端子として機能  | R/W |
| b7  | BIDE  | 双方向モード許可ビット(注1、4)          | 0 : 標準モード(データ入力とデータ出力を2端子使用して通信)<br>1 : 双方向モード(データ入力とデータ出力を1端子使用して通信)  | R/W |

注1. データ入出力端子の組合せは、「24.3.2.1 データ入出力端子とSSシフトレジスタの関係」を参照してください。

注2. SSUMSビットが“0”(クロック同期式通信モード)のとき、CSS0、CSS1ビットの内容にかかわらず、SCS端子はポートとして機能します。

注3. 転送開始前は、SCS入力端子として機能します。

注4. SSUMSビットが“0”(クロック同期式通信モード)のとき、BIDEビットは無効です。

注5. SOOSビットが“0”(CMOS出力)のとき、SSI端子およびSSO端子に対応するポート方向レジスタのビットを“0”(入力モード)にしてください。

## 24.3 複数モードに関わる共通事項

### 24.3.1 転送クロック

転送クロックを 7 種類の内部クロック (f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4) と、外部クロックから選択できます。

シンクロナスシリアルコミュニケーションユニットを使用する場合はまず、SSMR2 レジスタの SCKS ビットを “1” にして、SSCK 端子をシリアルクロック端子として選択してください。

SSCRH レジスタの MSS ビットが “1” (マスタデバイスとして動作) のときは内部クロックが選択され、SSCK 端子が出力になります。転送が開始すると、SSCRH レジスタの CKS0 ~ CKS2 で選択された転送レートのクロックが、SSCK 端子から出力されます。

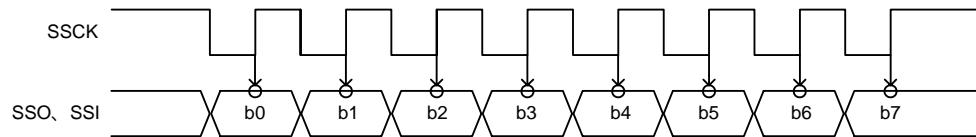
SSCRH レジスタの MSS ビットが “0” (スレ - ブデバイスとして動作) のときは外部クロックが選択され、SSCK 端子は入力になります。

#### 24.3.1.1 転送クロックの極性、位相とデータの関係

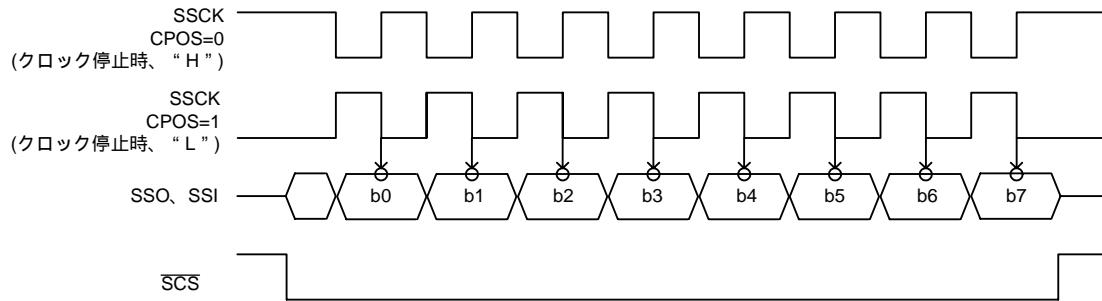
SSMR2 レジスタの SSUMS ビットと SSMR レジスタの CPHS、CPOS ビットの組み合わせで、転送クロックの極性、位相および転送データの関係が変わります。図 24.2 に転送クロックの極性、位相および転送データの関係を示します。

また、SSMR レジスタの MLS ビットの設定により、MSB ファーストで転送するか LSB ファーストで転送するかを選択できます。MLS ビットが “1” のときは、LSB から始まり最後に MSB の順で転送されます。MLS ビットが “0” のときは、MSB から始まり最後に LSB の順で転送されます。

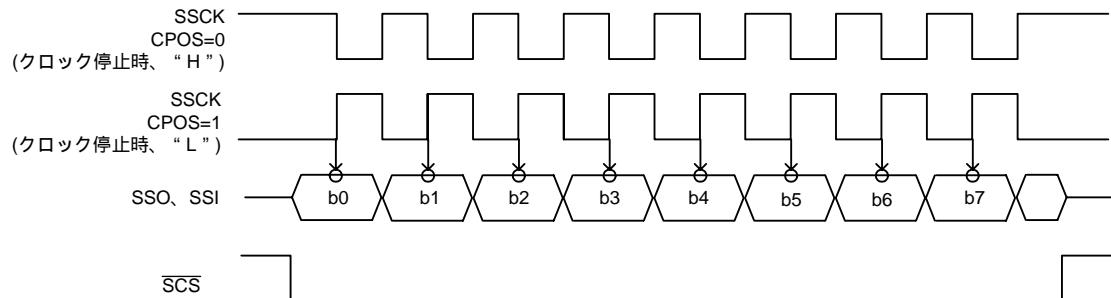
- SSUMS=0(クロック同期式通信モード)、CPHS=0(奇数エッジでデータ変化)、  
CPOS=0(クロック停止時、“H”)のとき



- SSUMS=1(4線式バス通信モード)、CPHS=0(奇数エッジでデータ変化)のとき



- SSUMS=1(4線式バス通信モード)、CPHS=1(奇数エッジでデータ取り込み)のとき



CPHS、CPOS : SSMRレジスタのビット  
SSUMS : SSMR2レジスタのビット

図 24.2 転送クロックの極性、位相および転送データの関係

### 24.3.2 SSシフトレジスタ(SSTRSR)

SSTRSR レジスタはシリアルデータを送受信するシフトレジスタです。

SSTDR レジスタから SSTRSR レジスタに送信データが転送されるとき、SSMR レジスタの MLS ビットが“0”(MSB ファースト)の場合は、SSTDR レジスタのビット0がSSTRSR レジスタのビット0に転送されます。MLS ビットが“1”(LSB ファースト)の場合は、SSTDR レジスタのビット7がSSTRSR レジスタのビット0に転送されます。

#### 24.3.2.1 データ入出力端子とSSシフトレジスタの関係

SSCRH レジスタの MSS ビットと SSMR2 レジスタの SSUMS ビットとの組み合わせにより、データ入出力端子と SSTRSR レジスタの接続関係が変わります。また、SSMR2 レジスタの BIDE ビットによっても接続関係が変わります。図 24.3 にデータ入出力端子と SSTRSR レジスタの接続関係を示します。

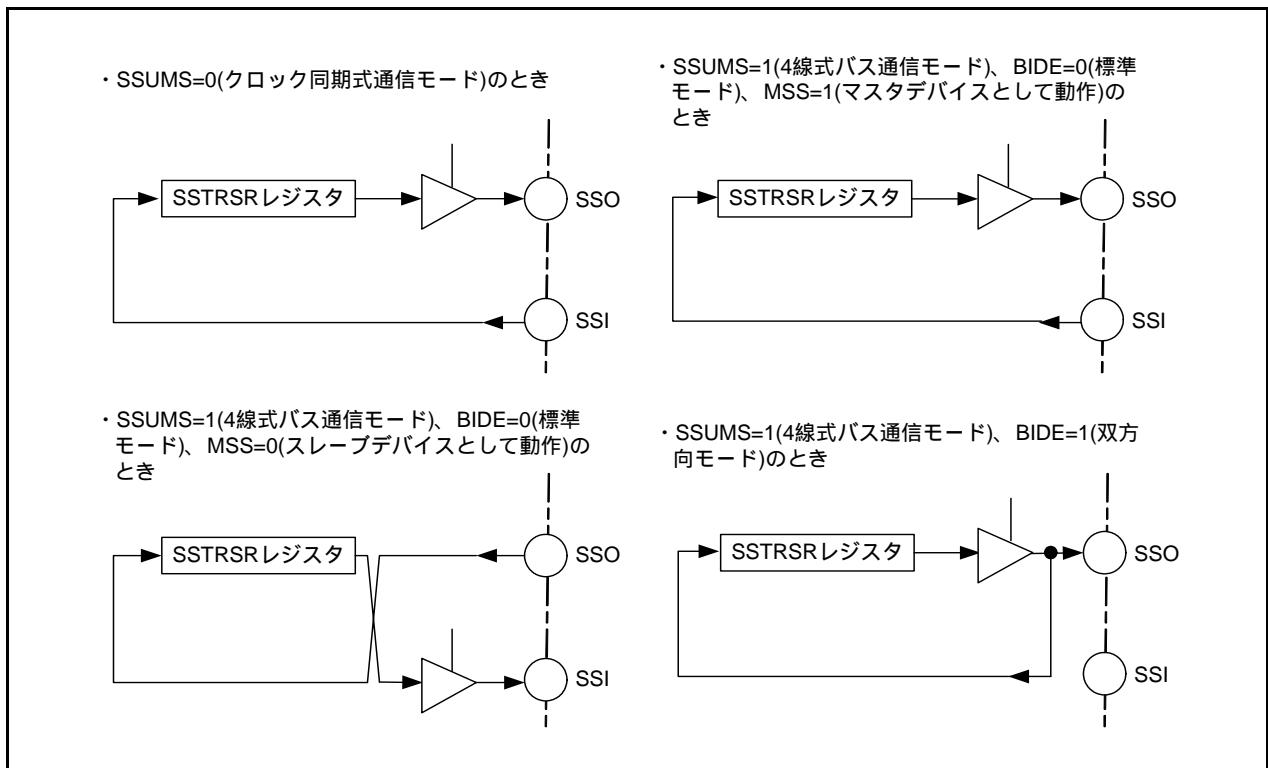


図 24.3 データ入出力端子と SSTRSR レジスタの接続関係

### 24.3.3 割り込み要求

シンクロナスシリアルコミュニケーションユニットの割り込み要求には、送信データエンプティ、送信終了、受信データフル、オーバランエラー、コンフリクトエラー割り込み要求があります。これらの割り込み要求はシンクロナスシリアルコミュニケーションユニット割り込みベクタテーブルに割り付けられているため、フラグによる要因の判別が必要です。表 24.3 にシンクロナスシリアルコミュニケーションユニットの割り込み要求を示します。

表 24.3 シンクロナスシリアルコミュニケーションユニットの割り込み要求

| 割り込み要求     | 略称  | 発生条件             |
|------------|-----|------------------|
| 送信データエンプティ | TXI | TIE=1 かつ TDRE=1  |
| 送信終了       | TEI | TEIE=1 かつ TEND=1 |
| 受信データフル    | RXI | RIE=1 かつ RDRF=1  |
| オーバランエラー   | OEI | RIE=1 かつ ORER=1  |
| コンフリクトエラー  | CEI | CEIE=1 かつ CE=1   |

CEIE、RIE、TEIE、TIE : SSER レジスタのビット

ORER、RDRF、TEND、TDRE : SSSR レジスタのビット

表 24.3 の発生条件が満たされたとき、シンクロナスシリアルコミュニケーションユニット割り込み要求が発生します。シンクロナスシリアルコミュニケーションユニット割り込みルーチンで、それぞれの割り込み要因を “0” にしてください。

ただし、TDRE ビットおよび TEND ビットは SSTDR レジスタに送信データを書くことで、RDRF ビットは SSRDR レジスタを読むことで自動的に “0” になります。特に TDRE ビットは SSTDR レジスタに送信データを書いたとき、同時に再度 TDRE ビットが “1” (SSTDR レジスタから SSTRSR レジスタにデータ転送された) になり、さらに TDRE ビットを “0” (SSTDR レジスタから SSTRSR レジスタにデータ転送されていない) にすると、余分に 1 バイト送信する場合があります。

#### 24.3.4 各通信モードと端子機能

シンクロナスシリアルコミュニケーションユニットは各通信モードでSSCRHレジスタのMSSビットと、SSERレジスタのRE、TEビットの設定により、入出力端子の機能が変わります。表24.4に通信モードと入出力端子の関係を示します。

表24.4 通信モードと入出力端子の関係

| 通信モード                       | ビットの設定 |      |     |    |    | 端子の状態  |        |      |
|-----------------------------|--------|------|-----|----|----|--------|--------|------|
|                             | SSUMS  | BIDE | MSS | TE | RE | SSI    | SSO    | SSCK |
| クロック同期式<br>通信モード            | 0      | 無効   | 0   | 0  | 1  | 入力     | - (注1) | 入力   |
|                             |        |      |     | 1  | 0  | - (注1) | 出力     | 入力   |
|                             |        |      | 1   | 0  | 1  | 入力     | 出力     | 入力   |
|                             |        |      |     | 1  | 0  | - (注1) | 出力     | 出力   |
|                             | 1      | 0    | 0   | 0  | 1  | 入力     | - (注1) | 出力   |
|                             |        |      |     | 1  | 0  | 出力     | - (注1) | 入力   |
|                             |        |      | 1   | 0  | 1  | 出力     | 入力     | 入力   |
|                             |        |      |     | 1  | 0  | - (注1) | 出力     | 出力   |
| 4線式バス通信<br>モード              | 1      | 1    | 0   | 0  | 1  | - (注1) | 入力     | 入力   |
|                             |        |      |     | 1  | 0  | 出力     | - (注1) | 入力   |
|                             |        |      | 1   | 0  | 1  | 入力     | - (注1) | 出力   |
|                             |        |      |     | 1  | 0  | - (注1) | 出力     | 出力   |
| 4線式バス(双方<br>向)通信モード<br>(注2) | 1      | 1    | 0   | 0  | 1  | - (注1) | 入力     | 入力   |
|                             |        |      |     | 1  | 0  | - (注1) | 出力     | 入力   |
|                             |        |      | 1   | 0  | 1  | - (注1) | 入力     | 出力   |
|                             |        |      |     | 1  | 0  | - (注1) | 出力     | 出力   |

注1. プログラマブル入出力ポートとして使用できます。

注2. 4線式バス(双方向)通信モード時は、TEおよびREビットを共に“1”にしないでください。

SSUMS、BIDE : SSMR2レジスタのビット

MSS : SSCRHレジスタのビット

TE、RE : SSERレジスタのビット

## 24.4 クロック同期式通信モード

### 24.4.1 クロック同期式通信モードの初期化

図 24.4 にクロック同期式通信モードの初期化を示します。データの送信 / 受信前に、SSER レジスタの TE ビットを “0”(送信禁止)、RE ビットを “0”(受信禁止)にして初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TE ビットを “0”、RE ビットを “0” にしてから変更してください。

RE ビットを “0” にしても、RDRF、ORER の各フラグ、および SSRDR レジスタの内容は保持されます。

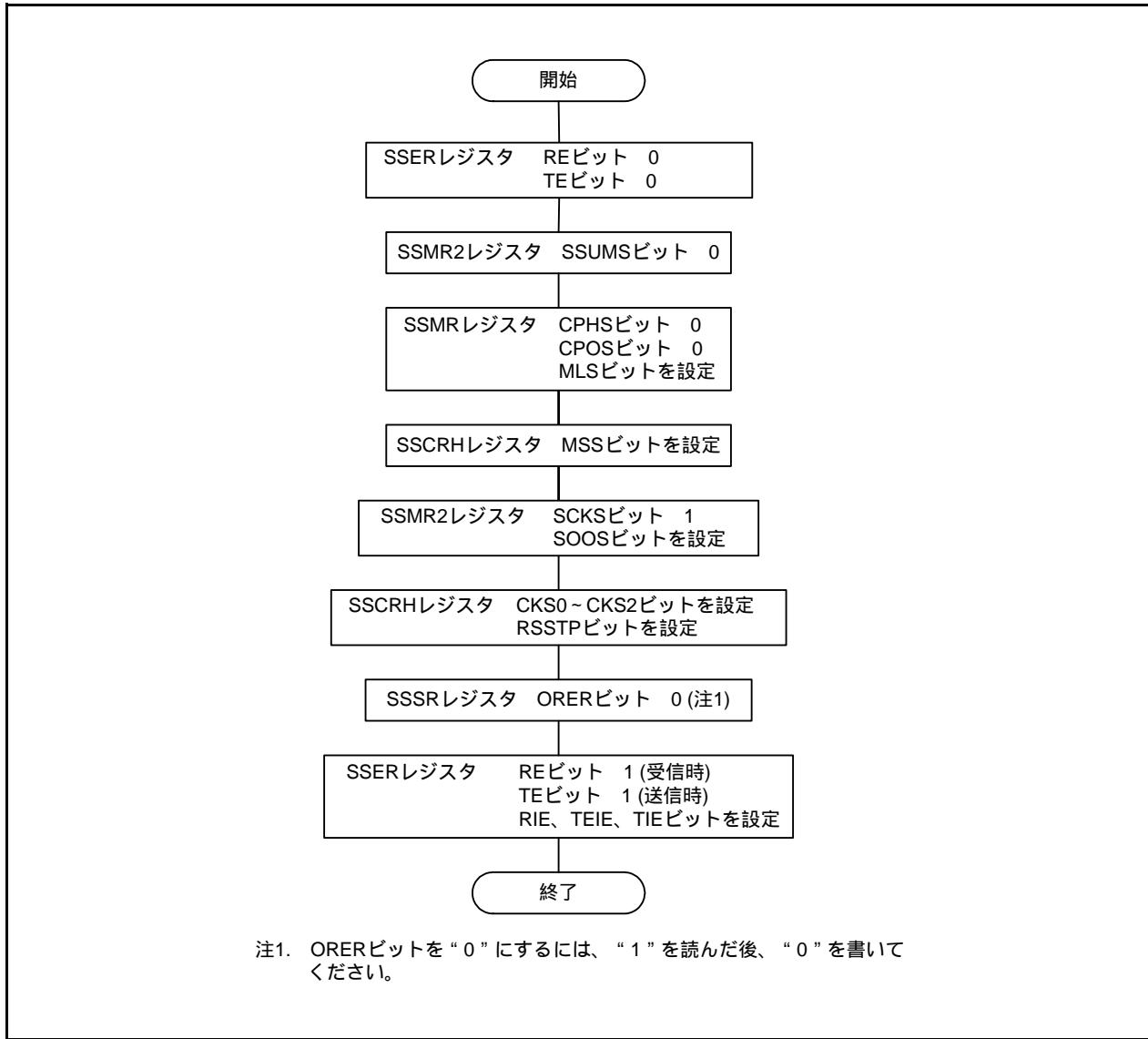


図 24.4 クロック同期式通信モードの初期化

### 24.4.2 データ送信

図 24.5 にデータ送信時の動作例(クロック同期式通信モード、SSU データ転送長 8 ビット)を示します。データ送信時は以下のように動作します(SSBR レジスタでデータ転送長を 8 ~ 16 ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを出力します。

TE ビットを “1”(送信許可)にした後、SSTDR レジスタに送信データを書くと、自動的に TDRE ビットが “0”(SSTDR レジスタから SSTRSR レジスタにデータ転送されていない)になり、SSTDR レジスタから SSTRSR レジスタにデータが転送されます。その後、TDRE ビットが “1”(SSTDR レジスタから SSTRSR レジスタにデータ転送された)になり、送信を開始します。このとき、SSER レジスタの TIE ビットが “1” の場合、TXI 割り込み要求を発生します。

TDRE ビットが “0” の状態で 1 フレームの転送が終わると、SSTDR レジスタから SSTRSR レジスタにデータが転送され、次フレームの送信を開始します。TDRE ビットが “1” の状態で 8 ビット目が送出されると、SSSR レジスタの TEND ビットが “1”(送信データの最後尾ビットの送信時、TDRE ビットが “1”)になり、その状態を保持します。このとき SSER レジスタの TEIE ビットが “1”(送信終了割り込み要求許可)の場合、TEI 割り込み要求を発生します。送信終了後、SSCK 端子は “H” に固定されます。

なお、SSSR レジスタの ORER ビットが “1”(オーバランエラー発生)の状態では、送信できません。送信の前には、ORER ビットが “0” であることを確認してください。

図 24.6 にデータ送信のフローチャート例(クロック同期式通信モード)を示します。

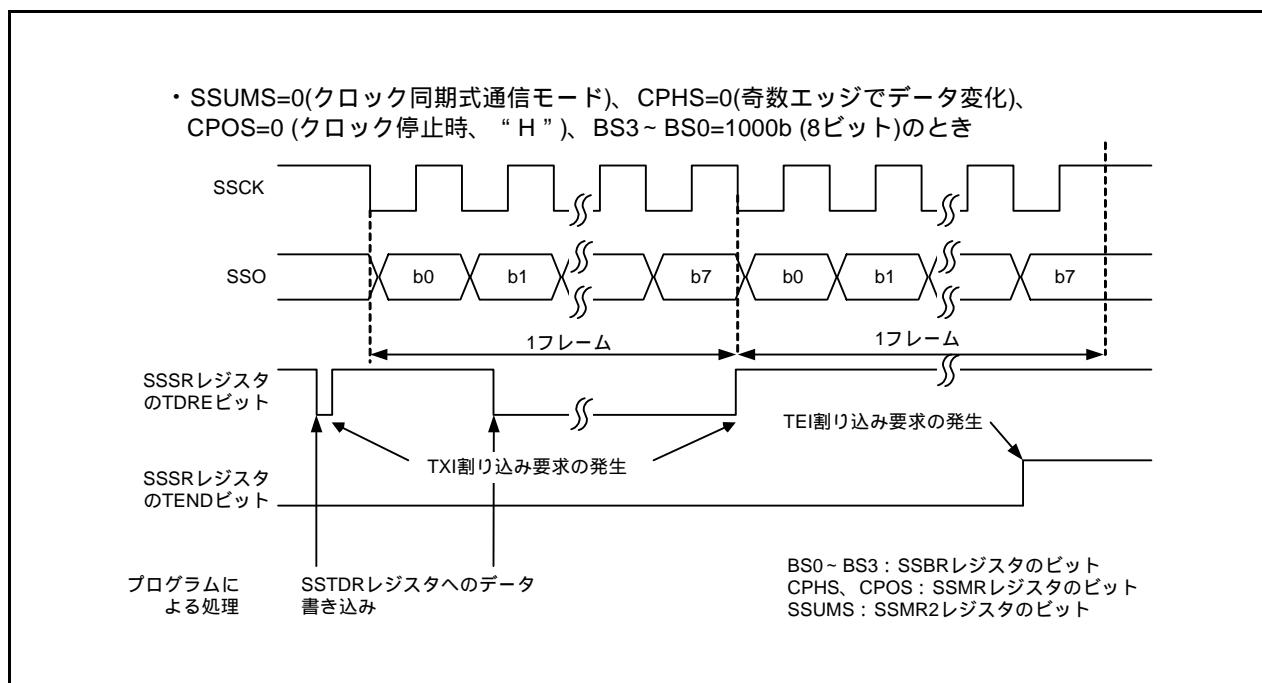


図 24.5 データ送信時の動作例(クロック同期式通信モード、SSU データ転送長 8 ビット)

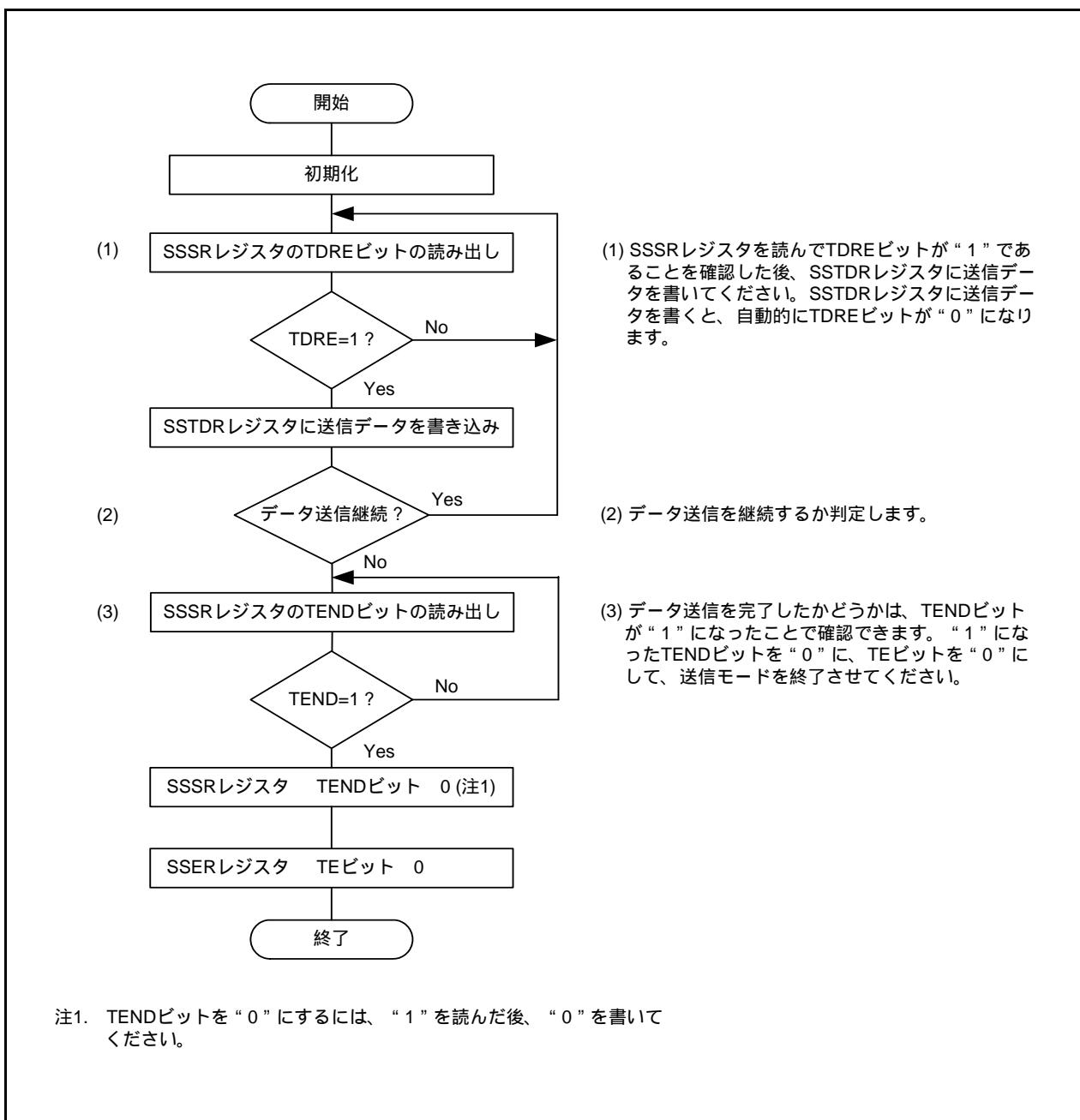


図 24.6 データ送信のフローチャート例(クロック同期式通信モード)

### 24.4.3 データ受信

図 24.7 にデータ受信時の動作例(クロック同期式通信モード、SSU データ転送長 8 ビット)を示します。データ受信時は以下のように動作します(SSBR レジスタでデータ転送長を 8 ~ 16 ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初に SSRDR レジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8 ビットのデータ受信後、SSSR レジスタの RDRF ビットが“1”(SSRDR レジスタにデータあり)になります。SSRDR レジスタに受信データが格納されます。このとき、SSER レジスタの RIE ビットが“1”(RXI および OEI 割り込み要求許可)の場合、RXI 割り込み要求を発生します。SSRDR レジスタを読むと、自動的に RDRF ビットは“0”(SSRDR レジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、SSCRH レジスタの RSSTP ビットを“1”(1 バイトのデータ受信後、受信動作が終了)にした後、受信したデータを読んでください。これにより、8 ビット分クロックを出力し停止します。その後、SSER レジスタの RE ビットを“0”(受信禁止)に、RSSTP ビットを“0”(1 バイトのデータ受信後も受信動作を継続)にし、最後に受信したデータを読んでください。RE ビットが“1”(受信許可)の状態で SSRDR レジスタを読むと、受信クロックを再度出力してしまいます。

RDRF ビットが“1”的状態で 8 クロック目が立ち上がると、SSSR レジスタの ORER ビットが“1”(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORER ビットが“1”的状態では受信できません。受信再開の前には、ORER ビットが“0”であることを確認してください。

図 24.8 にデータ受信のフローチャート例(MSS=1)(クロック同期式通信モード)を示します。

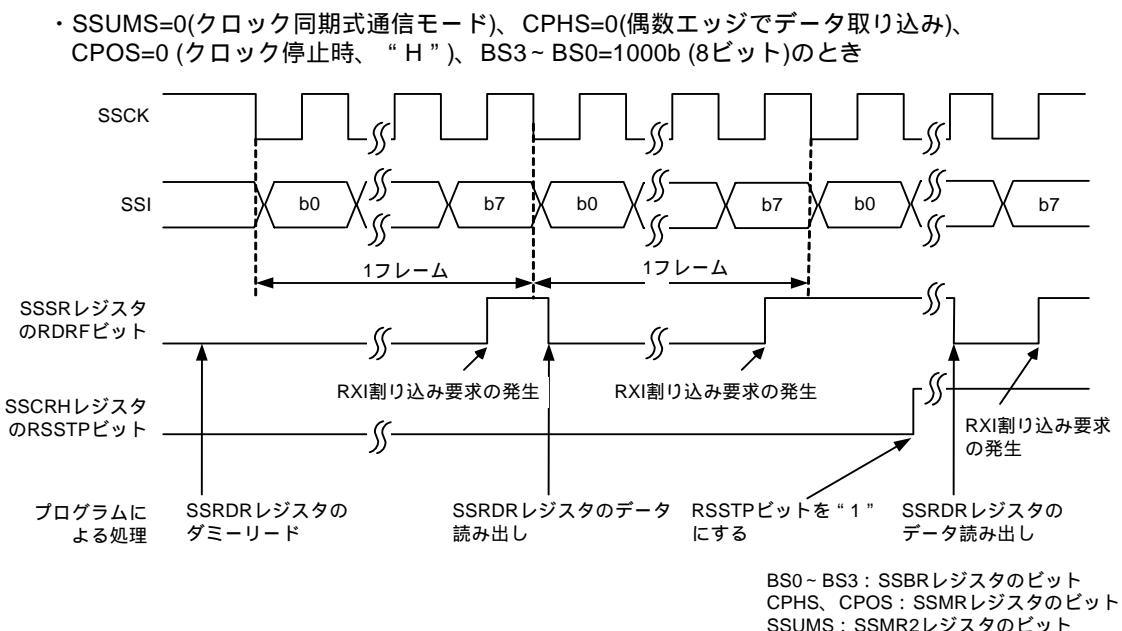


図 24.7 データ受信時の動作例(クロック同期式通信モード、SSU データ転送長 8 ビット)

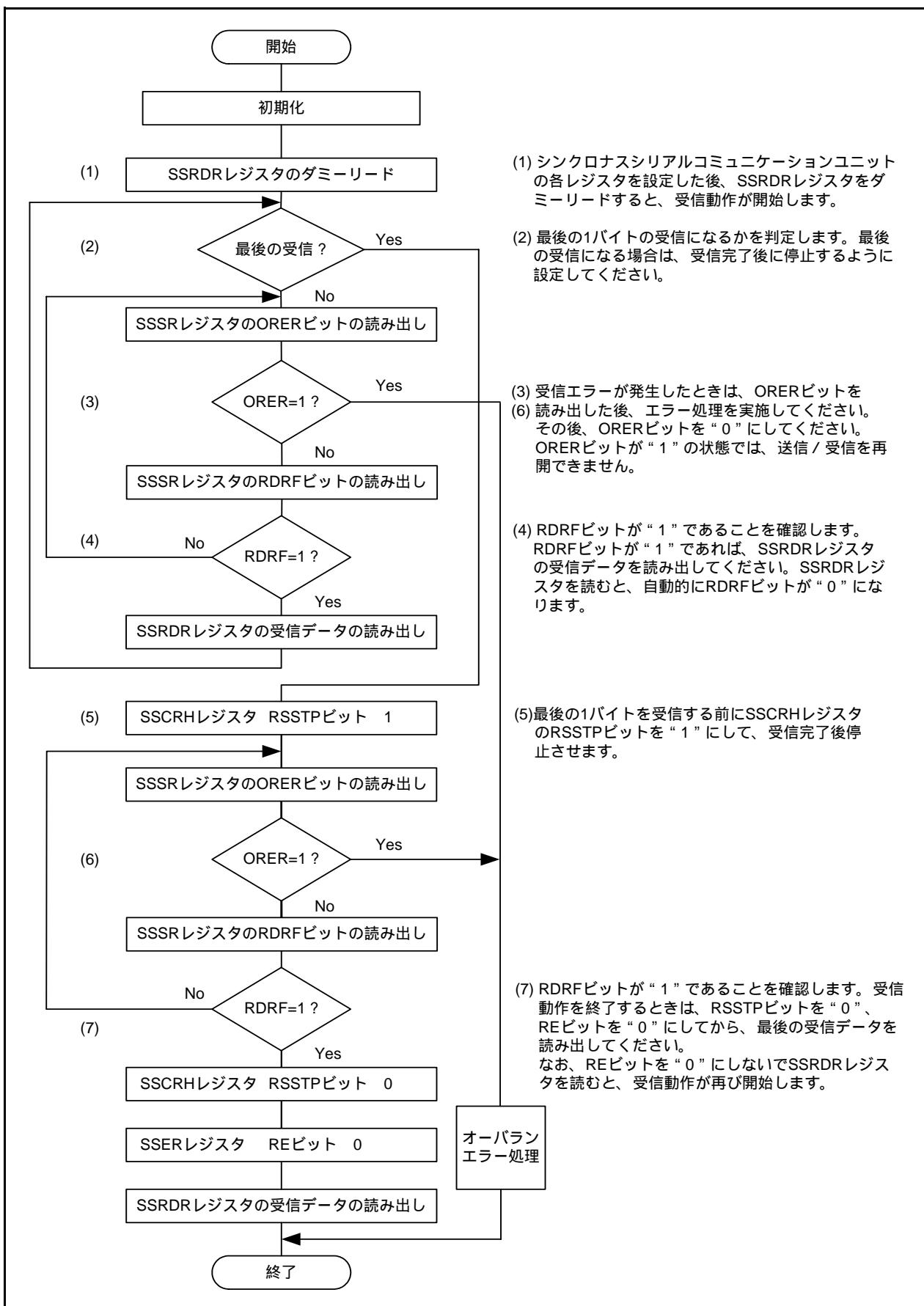


図 24.8 データ受信のフローチャート例(MSS=1)(クロック同期式通信モード)

#### 24.4.3.1 データ送受信

データ送受信は前述のデータ送信とデータ受信の複合的な動作になります。

SSTDR レジスタに送信データを書くと、送受信は開始されます。また、TDRE ビットが“1”(SSTDR レジスタから SSTRSR レジスタにデータ転送された)の状態で最終転送クロック (SSBR レジスタでデータ転送長を 8 ~ 16 ビットの範囲で、設定することができます)が立ち上がった場合、またはORER ビットが“1”(オーバランエラー発生)になった場合、送受信動作は停止します。

なお、送信モード (TE=1) あるいは受信モード (RE=1) から、送受信モード (TE=RE=1) に切り替える場合は、一度 TE ビットを“0”、RE ビットを“0”にしてから変更してください。また、TEND ビットが“0”(送信データの最後尾ビットの送信時、TDRE ビットが“0”)、RDRF ビットが“0”(SSRDR レジスタにデータなし)、ORER ビットが“0”(オーバランエラーなし)であることを確認した後、TE および RE ビットを“1”にしてください。

図 24.9 にデータ送受信のフローチャート例(クロック同期式通信モード)を示します。

なお、送受信モード (TE=RE=1) から送受信モードを解除する場合、SSRDR レジスタを読んだ後、送受信モードを解除すると、クロックが出力される場合があります。これを回避するため、次のいずれかの手順で設定してください。

- まず RE ビットを“0”にして、その後、TE ビットを“0”にする
- TE ビットと RE ビットを同時に“0”にする

その後、受信モード (TE=0、RE=1) にする場合は、SRES ビットに“1”を書いた後、“0”にして SSU 制御部および SSTRSR レジスタを初期化してから、RE ビットを“1”にしてください。

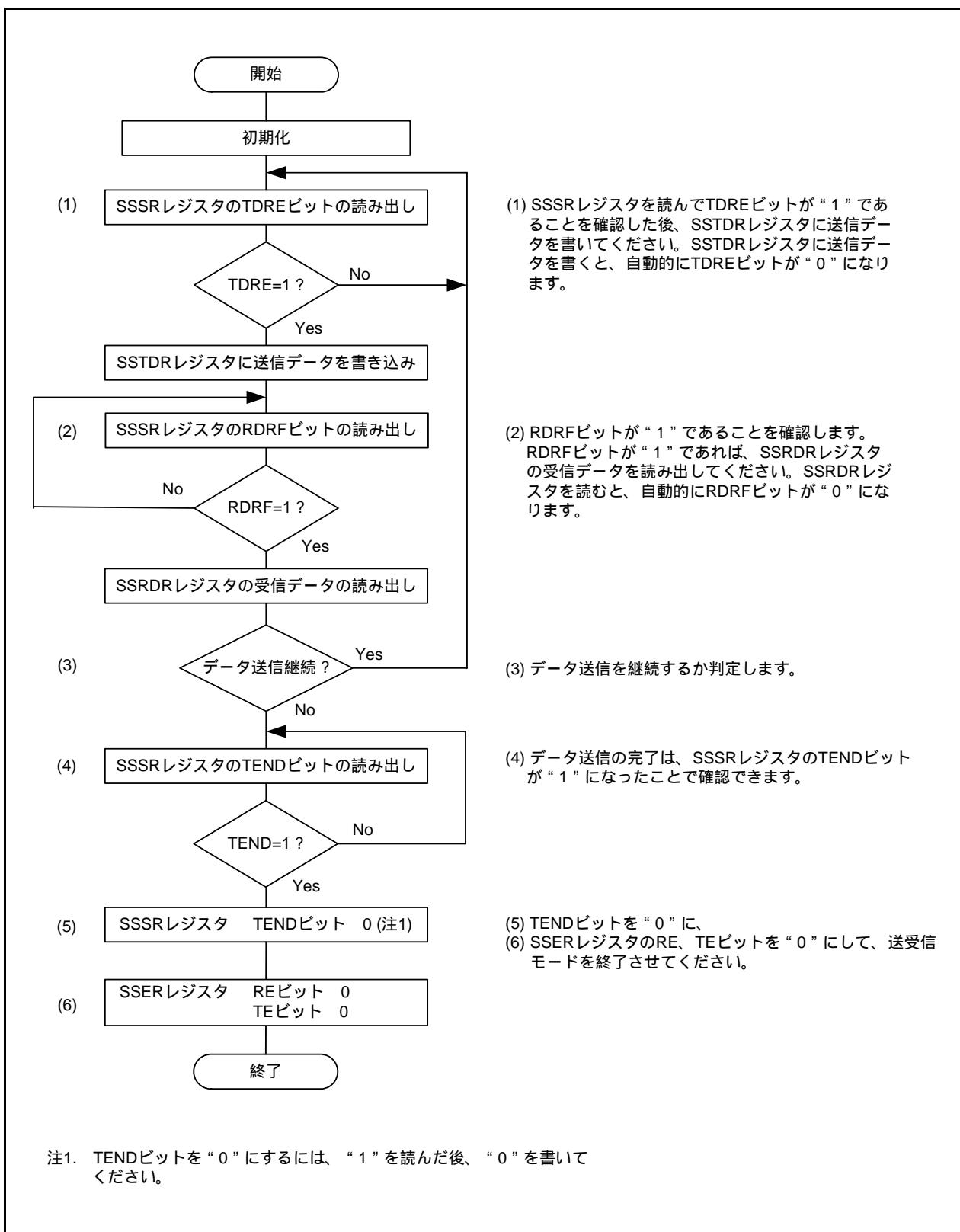


図 24.9 データ送受信のフローチャート例(クロック同期式通信モード)

## 24.5 4線式バス通信モード

4線式バス通信モードは、クロックライン、データ入力ライン、データ出力ライン、チップセレクトラインの4本のバスを使用して通信するモードです。このモードにはデータ入力ラインとデータ出力ラインを1端子で行う双方向モードも含みます。

データ入力ラインとデータ出力ラインは、SSCRH レジスタの MSS ビットおよびSSMR2 レジスタの BIDE ビットの設定により、変わります。詳細は「24.3.2.1 データ入出力端子と SS シフトレジスタの関係」を参照してください。また、このモードではクロックの極性、位相とデータの関係を SSMR レジスタの CPOS ビットおよびCPHS ビットにより、設定できます。詳細は「24.3.1.1 転送クロックの極性、位相とデータの関係」を参照してください。

チップセレクトラインは、マスタデバイスの場合は出力制御、スレーブデバイスの場合は入力制御します。マスタデバイスの場合はSSMR2 レジスタの CSS1 ビットを“1”にして SCS 端子を出力制御するか、あるいは汎用ポートを出力制御することができます。スレーブデバイスの場合はSSMR2 レジスタの CSS1、CSS0 ビットを“01b”にして SCS 端子を入力として機能させます。

4線式バス通信モードでは、標準的にSSMR レジスタの MLS ビットを“0”にして、MSB ファーストで通信を行います。

### 24.5.1 4線式バス通信モードの初期化

図 24.10 に 4 線式バス通信モードの初期化を示します。データの送信/受信前に、SSER レジスタの TE ビットを “0” (送信禁止)、RE ビットを “0” (受信禁止) して初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TE ビットを “0”、RE ビットを “0” にしてから変更してください。

RE ビットを “0” にしても、RDRF、ORER の各フラグ、および SSRDR レジスタの内容は保持されます。

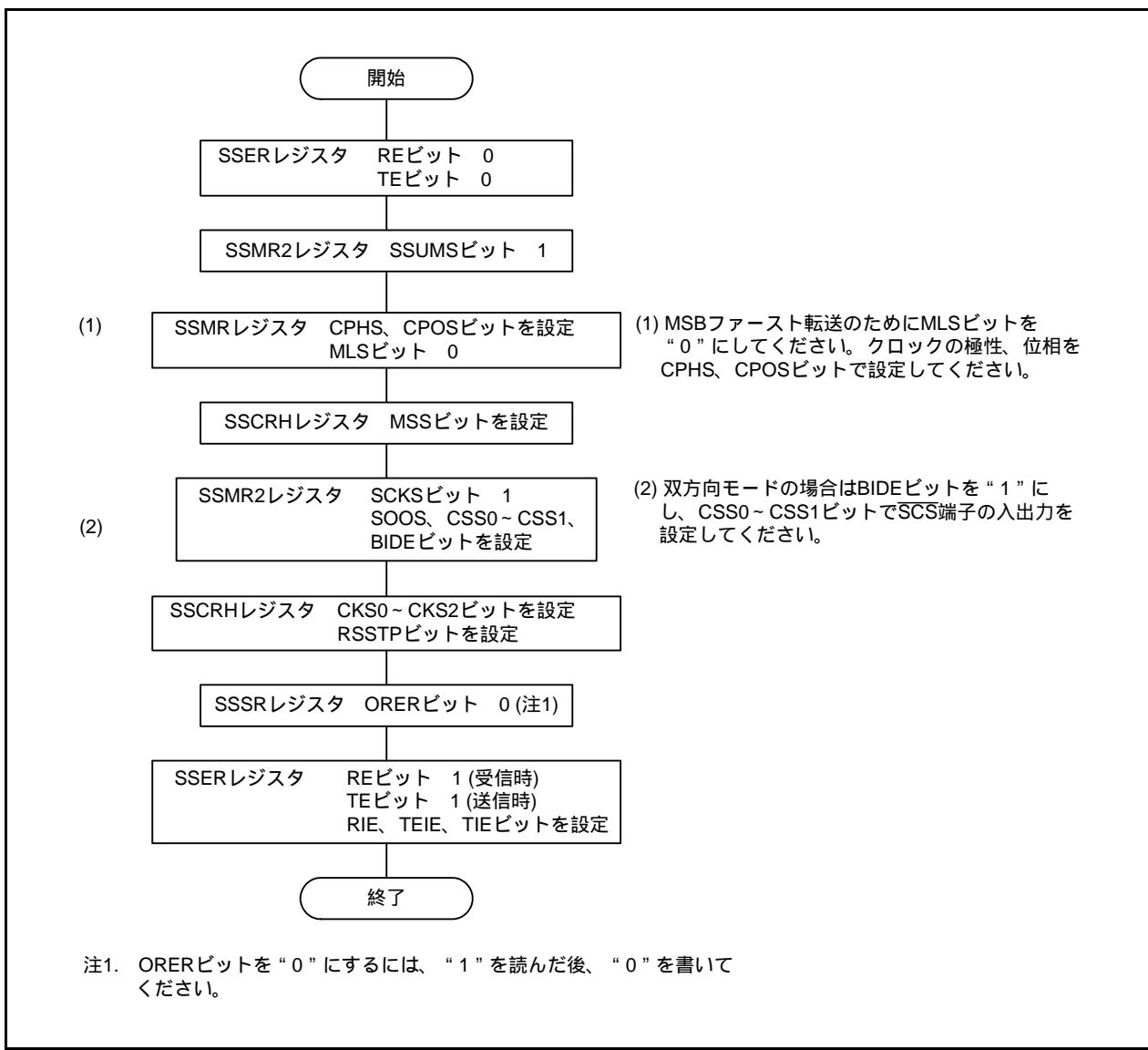


図 24.10 4 線式バス通信モードの初期化

### 24.5.2 データ送信

図 24.11 にデータ送信時の動作例(4線式バス通信モード、SSU データ転送長 8 ビット)を示します。データ送信時は以下のように動作します(SSBR レジスタでデータ転送長を 8 ~ 16 ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、SCS 端子が“L”入力状態で入力クロックに同期してデータを出力します。

TE ビットを“1”(送信許可)にした後、SSTDR レジスタに送信データを書くと、自動的に TDRE ビットが“0”(SSTDR レジスタから SSTRSR レジスタにデータ転送されていない)になり、SSTDR レジスタから SSTRSR レジスタにデータが転送されます。その後、TDRE ビットが“1”(SSTDR レジスタから SSTRSR レジスタにデータ転送された)になり、送信を開始します。このとき、SSER レジスタの TIE ビットが“1”的場合、TXI 割り込み要求を発生します。

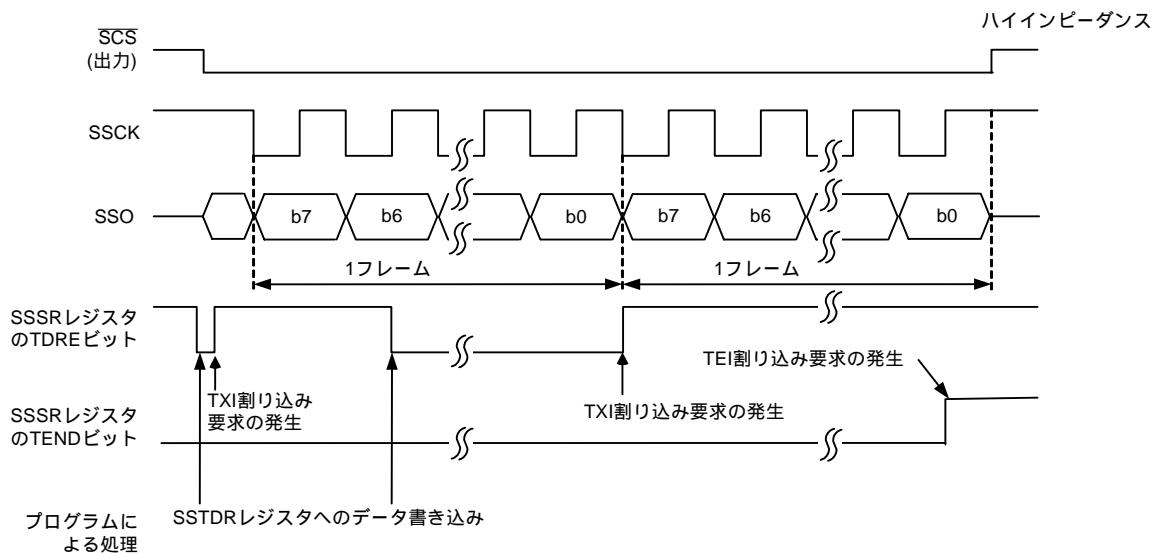
TDRE ビットが“0”的状態で 1 フレームの転送が終わると、SSTDR レジスタから SSTRSR レジスタにデータが転送され、次フレームの送信を開始します。TDRE が“1”的状態で 8 ビット目が送出されると、SSSR レジスタの TEND ビットが“1”(送信データの最後尾ビットの送信時、TDRE ビットが“1”)になり、その状態を保持します。このとき SSER レジスタの TEIE ビットが“1”(送信終了割り込み要求許可)の場合、TEI 割り込み要求を発生します。送信終了後、SSCK 端子は“H”に固定され、SCS 端子は“H”になります。SCS 端子が“L”的まま連続的に送信する場合、8 ビット目が送出される前に次の送信データを SSTDR レジスタに書いてください。

なお、SSSR レジスタの ORER ビットが“1”(オーバランエラー発生)の状態では、送信できません。送信の前には、ORER ビットが“0”的であることを確認してください。

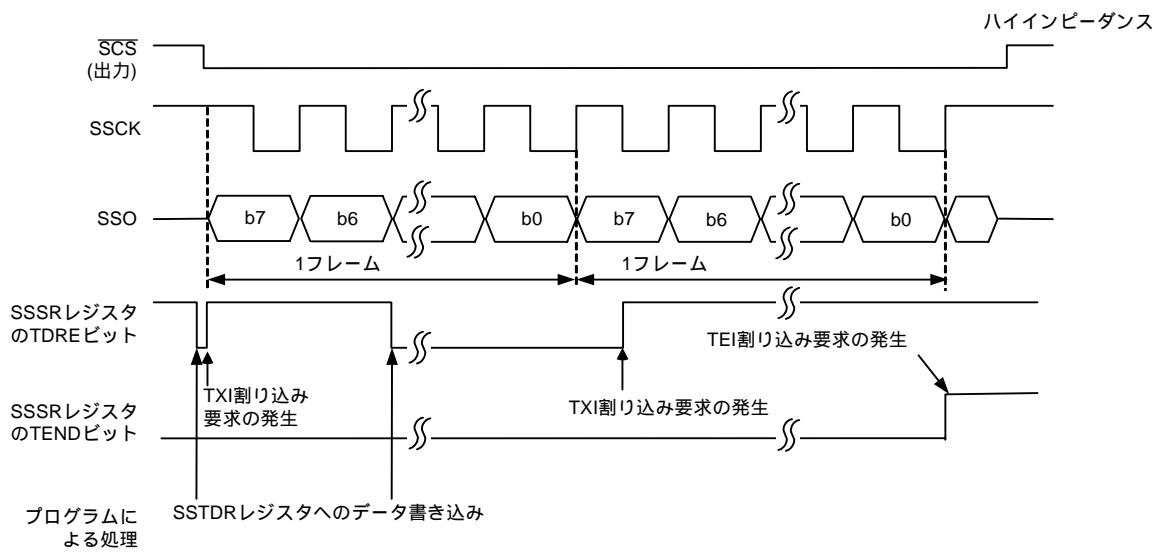
クロック同期式通信モードとの違いは、マスタデバイス時に SCS 端子がハイインピーダンス状態では、SSO 端子がハイインピーダンス状態となり、スレーブデバイス時に SCS 端子が“H”入力状態では、SSI 端子がハイインピーダンス状態となることです。

フローチャート例はクロック同期式通信モードと同じです(「図 24.6 データ送信のフローチャート例(クロック同期式通信モード)」参照)。

- CPHS=0(奇数エッジでデータ変化)、CPOS=0(クロック停止時、“H”)、  
BS3～BS0=1000b (8ビット)のとき



- CPHS=1(偶数エッジでデータ変化)、CPOS=0(クロック停止時、“H”)、  
BS3～BS0=1000b (8ビット)のとき



BS0～BS3 : SSBRレジスタのビット  
CPHS、CPOS : SSMRレジスタのビット

図 24.11 データ送信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)

### 24.5.3 データ受信

図 24.12 にデータ受信時の動作例(4線式バス通信モード、SSU データ転送長8ビット)を示します。データ受信時は以下のように動作します(SSBR レジスタでデータ転送長を8~16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、SCS 端子が“L”入力状態で入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初に SSRDR レジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SSSR レジスタのRDRF ビットが“1”(SSRDR レジスタにデータあり)になります。SSRDR レジスタに受信データが格納されます。このとき、SSER レジスタのRIE ビットが“1”(RXI および OEI 割り込み要求許可)の場合、RXI 割り込み要求を発生します。SSRDR レジスタを読むと、自動的に RDRF ビットは“0”(SSRDR レジスタにデータなし)になります。

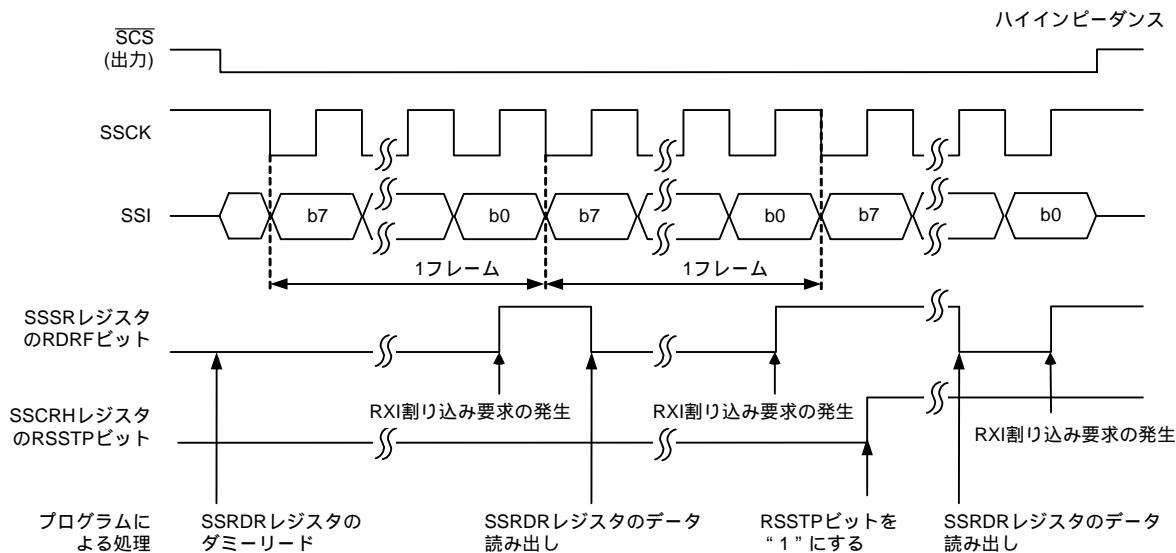
マスタデバイスに設定し受信を終了する場合には、SSCRH レジスタのRSSTP ビットを“1”(1 バイトのデータ受信後、受信動作が終了)にした後、受信したデータを読んでください。これにより、8 ビット分クロックを出力し停止します。その後、SSER レジスタのRE ビットを“0”(受信禁止)に、RSSTP ビットを“0”(1 バイトのデータ受信後も受信動作を継続)にし、最後に受信したデータを読んでください。RE ビットが“1”(受信許可)状態で SSRDR レジスタを読むと、受信クロックを再度出力してしまいます。

RDRF ビットが“1”的状態で8クロック目が立ち上がると、SSSR レジスタのORER ビットが“1”(オーバランエラー発生)になります。オーバランエラー(OEI)が発生し、停止します。なお、ORER ビットが“1”的状態では受信できません。受信再開の前には、ORER ビットが“0”であることを確認してください。

RDRF ビット、ORER ビットが“1”になるタイミングは、SSMR レジスタのCPHS ビットの設定により異なります。このタイミングを図 24.12 に示します。CPHS ビットを“1”(奇数エッジでデータ取り込み)にした場合、フレームの途中でビットが“1”になるので、受信終了時には注意してください。

フローチャート例はクロック同期式通信モードと同じです(「図 24.8 データ受信のフローチャート例(MSS=1)(クロック同期式通信モード)」参照)。

- CPHS=0(偶数エッジでデータ取り込み)、CPOS=0(クロック停止時、“H”)、  
BS3～BS0=1000b (8ビット)のとき



- CPHS=1(奇数エッジでデータ取り込み)、CPOS=0(クロック停止時、“H”)、  
BS3～BS0=1000b (8ビット)のときのとき

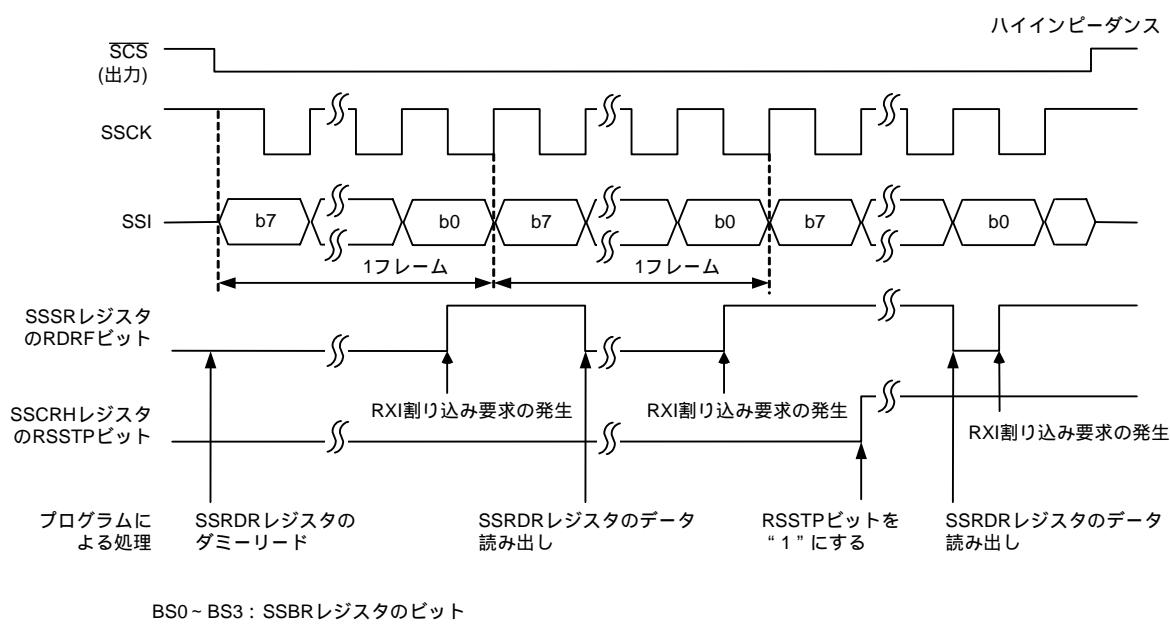


図 24.12 データ受信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)

#### 24.5.4 SCS端子制御とアービトレーション

SSMR2 レジスタの SSUMS ビットを “1”(4線式バス通信モード)、CSS1 ビットを “1”(SCS出力端子として機能)にした場合には、SSCRH レジスタの MSS ビットを “1”(マスタデバイスとして動作)にしてからシリアル転送を開始する前に、SCS端子のアービトレーションをチェックします。この期間に同期化した内部SCS信号が “L” になったことを検出すると、SSSR レジスタの CE ビットが “1”(コンフリクトエラー発生)になり、自動的に MSS ビットが “0”(スレーブデバイスとして動作)になります。

図 24.13 にアービトレーションチェックタイミングを示します。

なお、CE ビットが “1” の状態では、以後の送信動作ができません。したがって、送信をスタートする前に、CE ビットを “0”(コンフリクトエラーなし)にしてください。

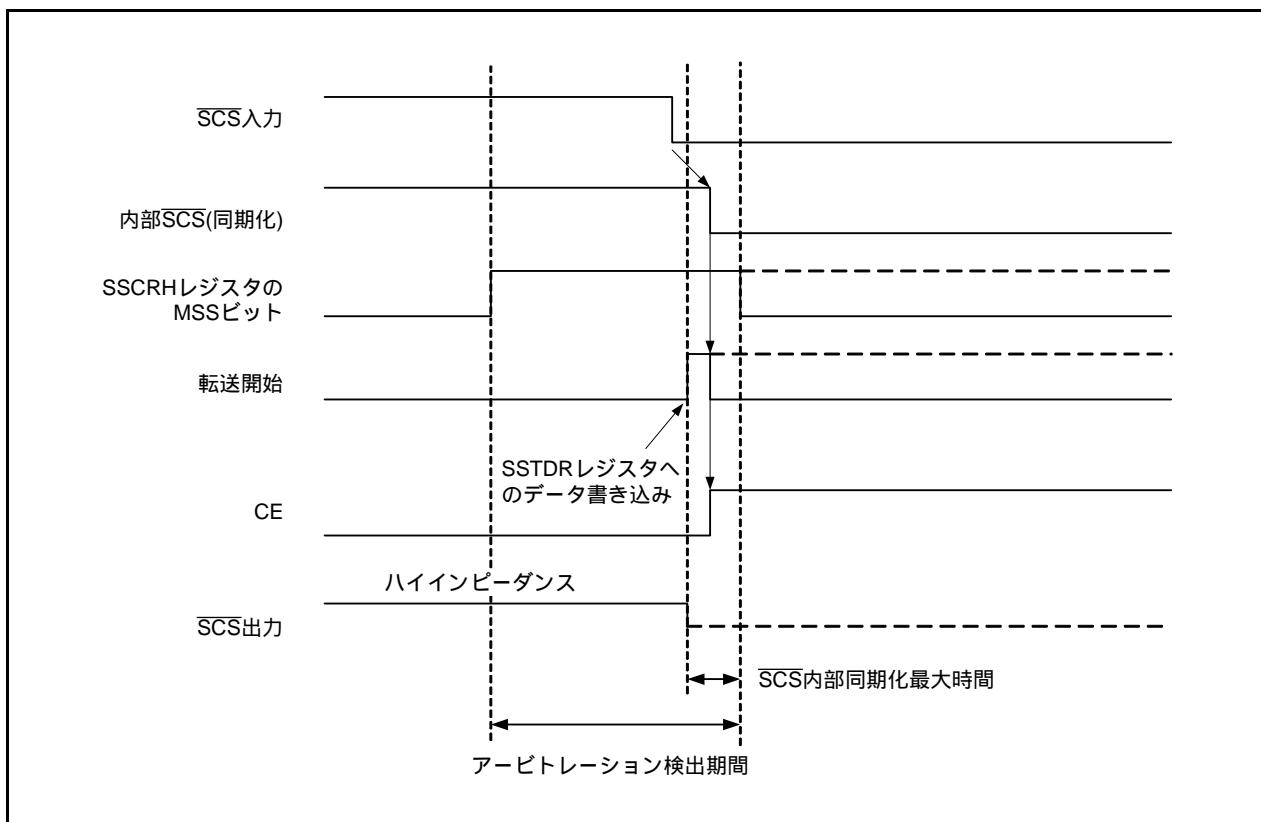


図 24.13 アービトレーションチェックタイミング

## 24.6 シンクロナスシリアルコミュニケーションユニット使用上の注意

シンクロナスシリアルコミュニケーションユニットを使用する場合には、SSUIICSR レジスタの IICSEL ビットを “0” (SSU 機能を選択)にしてください。

## 25. I<sup>2</sup>C バスインターフェース

I<sup>2</sup>C バスインターフェースは、フィリップス社 I<sup>2</sup>C バスのデータ転送フォーマットに基づいてシリアル通信を行う回路です。

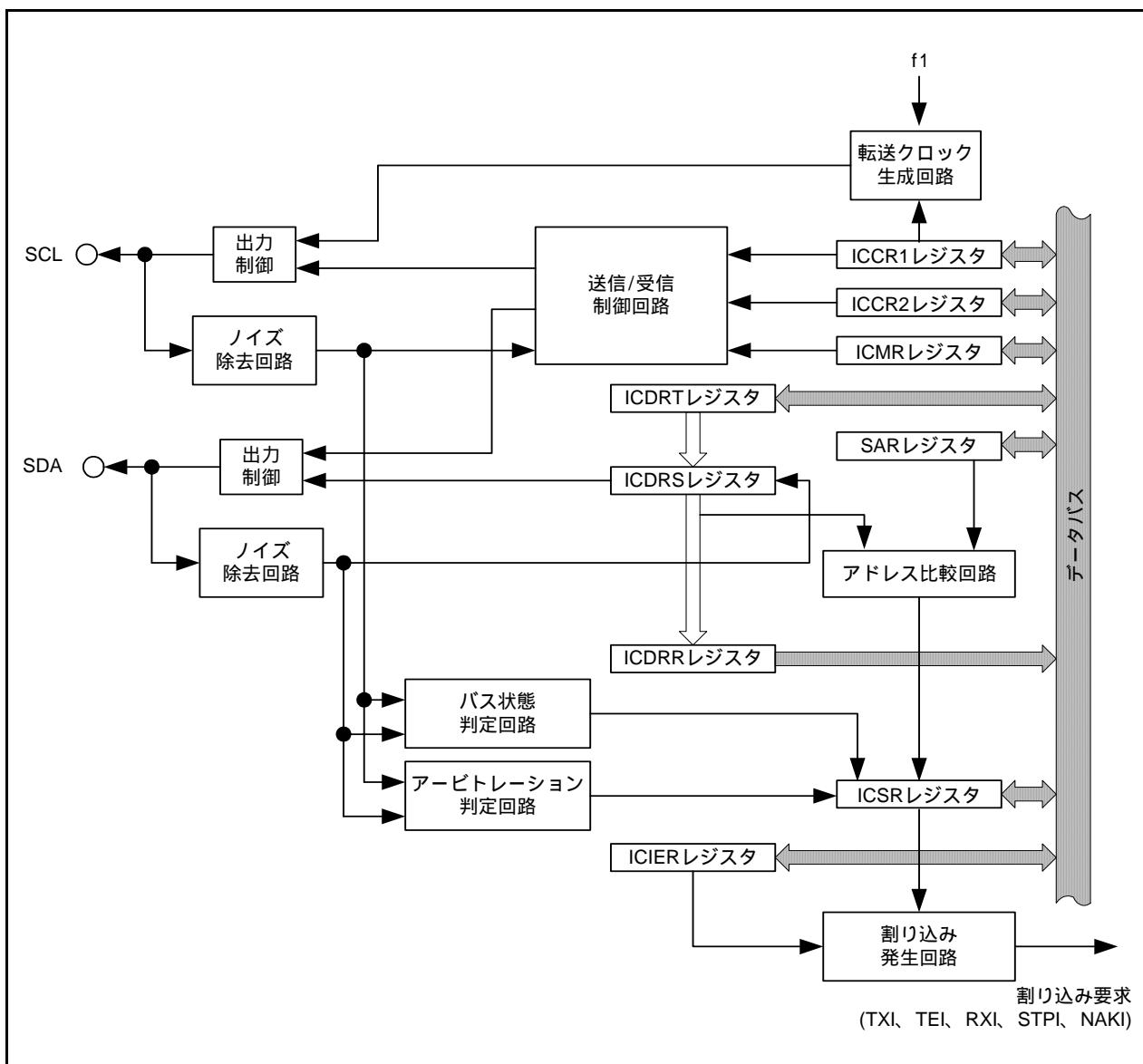
### 25.1 概要

表 25.1 に I<sup>2</sup>C バスインターフェースの仕様、図 25.1 に I<sup>2</sup>C バスインターフェースブロック図、図 25.2 に SCL、SDA 端子の外部回路接続例、表 25.2 に I<sup>2</sup>C バスインターフェースの端子構成を示します。

表 25.1 I<sup>2</sup>C バスインターフェースの仕様

| 項目       | 仕様   |
|----------|--|
| 通信フォーマット | <ul style="list-style-type: none"> <li>・ I<sup>2</sup>C バスフォーマット</li> <li>- マスター/スレーブデバイスの選択可能</li> <li>- 連続送信、連続受信が可能(シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため)</li> <li>- マスター mode では開始条件、停止条件の自動生成</li> <li>- 送信時、アクノリッジビットを自動ロード</li> <li>- ビット同期、ウェイト機能内蔵(マスター mode ではビットごとに SCL の状態をモニタして自動的に同期を取る。転送準備ができていない場合、SCL を "L" にして待機させる。)</li> <li>- SCL、SDA 端子の直接駆動(N チャネルオープンドレイン出力)が可能</li> <li>・ クロック同期式シリアルフォーマット</li> <li>- 連続送信、連続受信が可能(シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため)</li> </ul> |
| 入出力端子    | SCL(入出力) : シリアルクロック入出力端子<br>SDA(入出力) : シリアルデータ入出力端子  |
| 転送クロック   | <ul style="list-style-type: none"> <li>・ ICCR1 レジスタの MST ビットが "0" のとき<br/>外部クロック(SCL 端子から入力)</li> <li>・ ICCR1 レジスタの MST ビットが "1" のとき<br/>ICCR1 レジスタの CKS0 ~ CKS3 ビットおよび PINSR レジスタの IICTCTWI ビット、IICTCHALF ビットで選択する内部クロック(SCL 端子から出力)</li> </ul>   |
| 受信エラーの検出 | <ul style="list-style-type: none"> <li>・ オーバランエラーを検出(クロック同期式シリアルフォーマット)</li> <li>受信時にオーバランエラーが発生したことを示す。ICSR レジスタの RDRF ビットが "1" (ICDRR レジスタにデータあり) の状態で、次のデータの最終ビットを受信したとき、AL ビットが "1" になる</li> </ul>   |
| 割り込み要因   | <ul style="list-style-type: none"> <li>・ I<sup>2</sup>C バスフォーマット ..... 6種類(注1)<br/>送信データエンプティ(スレーブアドレス一致時を含む)、送信終了、受信データフル(スレーブアドレス一致時を含む)、アビトリレーションロスト、NACK 検出、停止条件検出</li> <li>・ クロック同期式シリアルフォーマット ..... 4種類(注1)<br/>送信データエンプティ、送信終了、受信データフル、オーバランエラー</li> </ul>  |
| 選択機能     | <ul style="list-style-type: none"> <li>・ I<sup>2</sup>C バスフォーマット</li> <li>- 受信時、アクノリッジの出力レベルを選択可能</li> <li>・ クロック同期式シリアルフォーマット</li> <li>- データ転送方向に MSB ファーストまたは LSB ファーストを選択可能</li> <li>・ SDA のデジタル遅延</li> <li>- PINSR レジスタの SDADLY0 ~ SDADLY1 ビットで SDA 端子のデジタル遅延値を選択可能</li> </ul>   |

注1. 割り込みベクタテーブルは I<sup>2</sup>C バスインターフェースの1つです。

図 25.1 I<sup>2</sup>C バスインターフェースブロック図表 25.2 I<sup>2</sup>C バスインターフェースの端子構成

| 端子名 | 割り当てる端子 | 機能      |
|-----|---------|---------|
| SCL | P3_5    | クロック入出力 |
| SDA | P3_7    | データ入出力  |

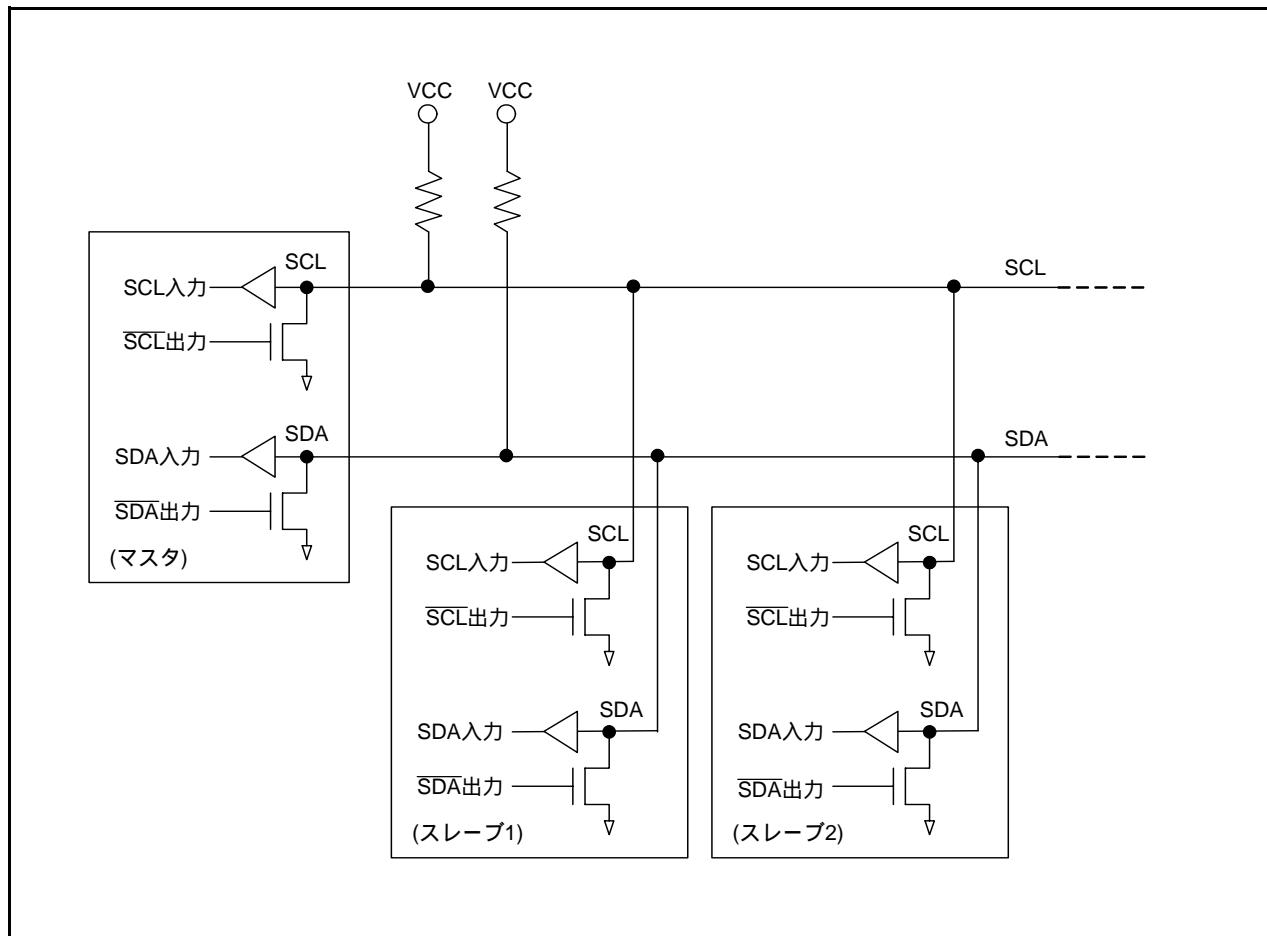


図 25.2 SCL、SDA 端子の外部回路接続例

## 25.2 レジスタの説明

### 25.2.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h 番地

| ビット     | b7 | b6 | b5     | b4     | b3     | b2 | b1 | b0 |
|---------|----|----|--------|--------|--------|----|----|----|
| シンボル    | -  | -  | MSTTRC | MSTTRD | MSTIIC | -  | -  | -  |
| リセット後の値 | 0  | 0  | 0      | 0      | 0      | 0  | 0  | 0  |

| ビット | シンボル   | ビット名                                       | 機能                          | R/W |
|-----|--------|--|-----------------------------|-----|
| b0  | -      | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |                             |     |
| b1  | -      |  |                             |     |
| b2  | -      |  |                             |     |
| b3  | MSTIIC | SSU、I <sup>2</sup> Cバススタンバイビット             | 0：アクティブ<br>1：スタンバイ(注1)      | R/W |
| b4  | MSTTRD | 消費電力低減ビット                                  | “1”にしてください。<br>消費電力を低減できます。 | R/W |
| b5  | MSTTRC | タイマRCスタンバイビット                              | 0：アクティブ<br>1：スタンバイ(注2)      | R/W |
| b6  | -      | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |                             |     |
| b7  | -      |  |                             |     |

注1. MSTIICビットが“1”(スタンバイ)のとき、SSU、I<sup>2</sup>Cバス関連レジスタ(0193h ~ 019Dh番地)へのアクセスは無効になります。

注2. MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h ~ 0133h番地)へのアクセスは無効になります。

### 25.2.2 SSU/I<sup>2</sup>C端子選択レジスタ(SSUIICSR)

アドレス 018Ch 番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0     |
|---------|----|----|----|----|----|----|----|--------|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | IICSEL |
| リセット後の値 | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0      |

| ビット | シンボル   | ビット名                                       | 機能                                      | R/W |
|-----|--------|--|---|-----|
| b0  | IICSEL | SSU/I <sup>2</sup> Cバス切り替えビット              | 0：SSU機能を選択<br>1：I <sup>2</sup> Cバス機能を選択 | R/W |
| b1  | -      | 予約ビット                                      | “0”にしてください                              | R/W |
| b2  | -      | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |   |     |
| b3  | -      |  |   |     |
| b4  | -      | 予約ビット                                      | “0”にしてください                              | R/W |
| b5  | -      |  |   |     |
| b6  | -      |  |   |     |
| b7  | -      |  |   |     |

### 25.2.3 入出力機能端子選択レジスタ(PINSR)

アドレス 018Fh番地

| ビット     | b7      | b6      | b5        | b4       | b3      | b2 | b1 | b0 |
|---------|---------|---------|-----------|----------|---------|----|----|----|
| シンボル    | SDADLY1 | SDADLY0 | IICTCHALF | IICTCTWI | IOINSEL | -  | -  | -  |
| リセット後の値 | 0       | 0       | 0         | 0        | 0       | 0  | 0  | 0  |

| ビット | シンボル      | ビット名                                       | 機能   | R/W |
|-----|-----------|--|--|-----|
| b0  | -         | 予約ビット                                      | "0"にしてください   | R/W |
| b1  | -         |  |  | R/W |
| b2  | -         | 何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。 |  | -   |
| b3  | IOINSEL   | I/Oポート入力機能選択ビット                            | 0 : I/Oポートの入力機能はPDi (i=0 ~ 4) レジスタに依存<br>PDiレジスタのPDi_j (j=0 ~ 7) ビットが "0" (入力モード) のとき、端子の入力レベルを読む。<br>PDiレジスタのPDi_j ビットが "1" (出力モード) のとき、ポートラッチを読む。<br>1 : I/Oポートの入力機能はPDi レジスタに関係なく、端子の入力レベルを読む | R/W |
| b4  | IICTCTWI  | I <sup>2</sup> C転送レート2倍選択ビット               | 0 : ICCR1 レジスタのCKS0 ~ CKS3 ビットの設定値通りの転送レート<br>1 : ICCR1 レジスタのCKS0 ~ CKS3 ビットの設定値の2倍の転送レート  | R/W |
| b5  | IICTCHALF | I <sup>2</sup> C転送レート1/2倍選択ビット             | 0 : ICCR1 レジスタのCKS0 ~ CKS3 ビットの設定値通りの転送レート<br>1 : ICCR1 レジスタのCKS0 ~ CKS3 ビットの設定値の1/2倍の転送レート  | R/W |
| b6  | SDADLY0   | SDA端子デジタル遅延選択ビット                           | <sup>b7 b6</sup><br>0 0 : 3 × f1 サイクルのデジタル遅延<br>0 1 : 11 × f1 サイクルのデジタル遅延<br>1 0 : 19 × f1 サイクルのデジタル遅延<br>1 1 : 設定しないでください   | R/W |
| b7  | SDADLY1   |  |  | R/W |

#### IOINSEL ビット(I/Oポート入力機能選択ビット)

IOINSEL ビットはPDi (i=0 ~ 4) レジスタのPDi\_j (j=0 ~ 7) ビットが "1" (出力モード) のときに、I/Oポートの端子の入力レベルを読むことを選択するためのビットです。"1" にするとI/Oポートの入力機能は、PDi レジスタに関係なく、端子の入力レベルを読みます。

表 25.3 に IOINSEL ビットによる I/O ポートの読み出し値を示します。IOINSEL ビットで P4\_2 を除くすべての I/O ポートの入力機能を変更できます。

表 25.3 IOINSEL ビットによる I/O ポートの読み出し値

| PDi レジスタのPDi_j ビット | "0" (入力モード) |     | "1" (出力モード) |          |
|--------------------|-------------|-----|-------------|----------|
| IOINSEL ビット        | "0"         | "1" | "0"         | "1"      |
| I/O ポート読み出し値       | 端子の入力レベル    |     | ポートラッチの値    | 端子の入力レベル |

### 25.2.4 IIC バス送信データレジスタ (ICDRT)

アドレス 0194h 番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1  |

| ビット     | 機能   | R/W |
|---------|--|-----|
| b7 ~ b0 | 送信データを保管。<br>ICDRS レジスタの空きが検出されると、保管されている送信データが ICDRS レジスタへ転送されて、送信が開始します。<br>ICDRS レジスタからデータを送信中に、ICDRT レジスタに次の送信データを書いておくと、連続して送信できます。<br>ICMR レジスタの MLS ビットが “1(LSB ファーストでデータ転送)” の場合、ICDRT レジスタに書いた後、読み出すと MSB と LSB が反転したデータが読み出されます。 | R/W |

### 25.2.5 IIC バス受信データレジスタ (ICDRR)

アドレス 0196h 番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1  |

| ビット     | 機能  | R/W |
|---------|---|-----|
| b7 ~ b0 | 受信データを保管。<br>ICDRS レジスタが 1 バイトのデータを受信すると、ICDRR レジスタへ受信データが転送されて、次の受信が可能になります。 | R   |

### 25.2.6 I<sup>2</sup>C バス制御レジスタ1(ICCR1)

アドレス 0198h 番地

| ビット     | b7  | b6   | b5  | b4  | b3   | b2   | b1   | b0   |
|---------|-----|------|-----|-----|------|------|------|------|
| シンボル    | ICE | RCVD | MST | TRS | CKS3 | CKS2 | CKS1 | CKS0 |
| リセット後の値 | 0   | 0    | 0   | 0   | 0    | 0    | 0    | 0    |

| ビット | シンボル | ビット名                             | 機能  | R/W |  |
|-----|------|----------------------------------|---|-----|--|
| b0  | CKS0 | 転送クロック選択ビット3 ~ 0(注1)             | b3 b2 b1 b0<br>0 0 0 0 : f1/28<br>0 0 0 1 : f1/40<br>0 0 1 0 : f1/48<br>0 0 1 1 : f1/64<br>0 1 0 0 : f1/80<br>0 1 0 1 : f1/100<br>0 1 1 0 : f1/112<br>0 1 1 1 : f1/128<br>1 0 0 0 : f1/56<br>1 0 0 1 : f1/80<br>1 0 1 0 : f1/96<br>1 0 1 1 : f1/128<br>1 1 0 0 : f1/160<br>1 1 0 1 : f1/200<br>1 1 1 0 : f1/224<br>1 1 1 1 : f1/256 | R/W |  |
| b1  | CKS1 |                                  |   | R/W |  |
| b2  | CKS2 |                                  |   | R/W |  |
| b3  | CKS3 |                                  |   | R/W |  |
|     |      |                                  |   |     |  |
|     |      |                                  |   |     |  |
|     |      |                                  |   |     |  |
|     |      |                                  |   |     |  |
|     |      |                                  |   |     |  |
|     |      |                                  |   |     |  |
|     |      |                                  |   |     |  |
|     |      |                                  |   |     |  |
|     |      |                                  |   |     |  |
|     |      |                                  |   |     |  |
|     |      |                                  |   |     |  |
|     |      |                                  |   |     |  |
|     |      |                                  |   |     |  |
|     |      |                                  |   |     |  |
| b4  | TRS  | 送信/受信選択ビット(注2、3、6)               | b5 b4<br>0 0 : スレーブ受信モード(注4)<br>0 1 : スレーブ送信モード<br>1 0 : マスター受信モード<br>1 1 : マスター送信モード   | R/W |  |
| b5  | MST  | マスター/スレーブ選択ビット(注5、6)             |   | R/W |  |
| b6  | RCVD | 受信禁止ビット                          | TRS=0の状態でICDRR レジスタを読んだ後、<br>0 : 次の受信動作を継続<br>1 : 次の受信動作を禁止   | R/W |  |
| b7  | ICE  | I <sup>2</sup> C バスインターフェース許可ビット | 0 : 本モジュールは機能停止状態<br>(SCL、SDA端子はポート機能)<br>1 : 本モジュールは転送動作可能状態<br>(SCL、SDA端子はバス駆動状態)   | R/W |  |

注1. マスター モードでは必要な転送レートに合わせて設定してください。転送レートについては、「表 25.4 ~ 表 25.5 転送レート例」を参照してください。スレーブ モードでは、送信モード時のデータセットアップ時間の確保に使用されます。この時間はCKS3=0のとき10Tcyc、CKS3=1のとき20Tcycとなります。(1Tcyc=1/f1(s))

注2. TRS ビットは転送フレーム間で書き換えてください。

注3. スレーブ受信モードで開始条件後の7ビットがSAR レジスタに設定したスレーブアドレスと一致し、8ビット目が“1”の場合、TRS ビットが“1”になります。

注4. I<sup>2</sup>C バスフォーマットのマスター モードでバス競合負けすると、MST および TRS ビットが“0”になり、スレーブ受信モードになります。

注5. クロック同期式シリアルフォーマットのマスター受信モードでオーバランエラーが発生した場合、MST ビットが“0”になり、スレーブ受信モードになります。

注6. マルチマスターで使用する場合、TRS および MST ビットの設定にはMOV命令を使用してください。

### 25.2.7 I<sup>2</sup>C バス制御レジスタ2(ICCR2)

アドレス 0199h 番地

| ビット     | b7   | b6  | b5   | b4    | b3   | b2 | b1     | b0 |
|---------|------|-----|------|-------|------|----|--------|----|
| シンボル    | BBSY | SCP | SDAO | SDAOP | SCLO | -  | IICRST | -  |
| リセット後の値 | 0    | 1   | 1    | 1     | 1    | 1  | 0      | 1  |

| ビット | シンボル   | ビット名                                       | 機能   | R/W |
|-----|--------|--|--|-----|
| b0  | -      | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | -  | -   |
| b1  | IICRST | I <sup>2</sup> C バス制御部リセットビット              | I <sup>2</sup> C バスの動作中に、通信不具合等によりハングアップしたとき、“1”を書くとポートの設定、レジスタの初期化をせずに、I <sup>2</sup> C バスの制御部をリセットします。   | R/W |
| b2  | -      | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。 | -  | -   |
| b3  | SCLO   | SCL モニタフラグ                                 | 0 : SCL 端子は “L”<br>1 : SCL 端子は “H”   | R   |
| b4  | SDAOP  | SDAO ライトプロテクトビット                           | SDAO ビットを書き換えるとき、同時に “0” を書いてください。(注1) 読んだ場合、その値は“1”。  | R/W |
| b5  | SDAO   | SDA 出力値制御ビット                               | 読んだ場合<br>0 : SDA 端子出力が “L”<br>1 : SDA 端子出力が “H”<br>書いた場合(注1、2)<br>0 : SDA 端子出力を “L” に変更する。<br>1 : SDA 端子出力をハイインピーダンスに変更する<br>(外部プルアップ抵抗によって、“H” 出力)。             | R/W |
| b6  | SCP    | 開始/停止条件発行禁止ビット                             | BBSY ビットに書くとき、同時に “0” を書いてください。(注3) 読んだ場合、その値は“1”。“1”書き込みは無効になります。   | R/W |
| b7  | BBSY   | バスビジービット(注4)                               | 読んだ場合<br>0 : バスが開放状態(SCL 信号が “H” の状態で SDA 信号が “L” から “H” に変化)<br>1 : バスが占有状態(SCL 信号が “H” の状態で SDA 信号が “H” から “L” に変化)<br>書いた場合(注3)<br>0 : 停止条件を発行<br>1 : 開始条件を発行 | R/W |

注1. SDAO ビットを書き換える場合は、同時に SDAOP ビットに “0” を MOV 命令を使用して書いてください。

注2. 転送動作中に書かないでください。

注3. マスタモード時に有効です。BBSY ビットに書く場合は、同時に SCP ビットに “0” を MOV 命令を使用して書いてください。開始条件の再発行時も、同様に実施してください。

注4. クロック同期シリアルフォーマット時は無効です。

### 25.2.8 I<sup>2</sup>C バスモードレジスタ(ICMR)

アドレス 019Ah 番地

| ビット     | b7  | b6   | b5 | b4 | b3   | b2  | b1  | b0  |
|---------|-----|------|----|----|------|-----|-----|-----|
| シンボル    | MLS | WAIT | -  | -  | BCWP | BC2 | BC1 | BC0 |
| リセット後の値 | 0   | 0    | 0  | 1  | 1    | 0   | 0   | 0   |

| ビット | シンボル | ビット名   | 機能   | R/W |
|-----|------|--|--|-----|
| b0  | BC0  | ビットカウンタ2 ~ 0<br>b2 b1 b0<br>000 : 9ビット(注3)<br>001 : 2ビット<br>010 : 3ビット<br>011 : 4ビット<br>100 : 5ビット<br>101 : 6ビット<br>110 : 7ビット<br>111 : 8ビット<br>クロック同期式シリアルフォーマット(読み出し時は残りの転送ビット数、書き込み時は次に転送するデータのビット数)(注1, 2)<br>b2 b1 b0<br>000 : 8ビット<br>001 : 1ビット<br>010 : 2ビット<br>011 : 3ビット<br>100 : 4ビット<br>101 : 5ビット<br>110 : 6ビット<br>111 : 7ビット | I <sup>2</sup> Cバスフォーマット(読み出し時は残りの転送ビット数、書き込み時は次に転送するデータのビット数)(注1, 2)              | R/W |
| b1  | BC1  |  |  | R/W |
| b2  | BC2  |  |  | R/W |
| b3  | BCWP | BCライトプロテクトビット  | BC0 ~ BC2ビットを書き換えるとき、同時に“0”を書いてください。(注2、4) 読んだ場合、その値は“1”。                          | R/W |
| b4  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。   |  | -   |
| b5  | -    | 予約ビット  | “0”にしてください   | R/W |
| b6  | WAIT | ウェイト挿入ビット(注5)  | 0 : ウェイトなし(データとアクノリッジを連続して転送)<br>1 : ウェイトあり(データの最終ビットのクロックが立ち下がった後、2転送クロック分“L”を延長) | R/W |
| b7  | MLS  | MSBファースト/LSBファースト選択ビット   | 0 : MSBファーストでデータ転送(注6)<br>1 : LSBファーストでデータ転送                                       | R/W |

注1. 転送フレーム間で書き換えてください。“000b”以外の値を書くときは、SCL信号が“L”的ときに書いてください。

注2. BC0 ~ BC2ビットに書く場合は、同時にBCWPビットに“0”をMOV命令を使用して書いてください。

注3. アクノリッジを含むデータ転送終了後、BC2 ~ BC0ビットは自動的に“000b”になります。開始条件検出時、BC2 ~ BC0ビットは自動的に“000b”になります。

注4. クロック同期式シリアルフォーマット時は書き換えないでください。

注5. I<sup>2</sup>Cバスフォーマットのマスタモード時に、設定値が有効です。I<sup>2</sup>Cバスフォーマットのスレーブモード時およびクロック同期シリアルフォーマット時は無効です。

注6. I<sup>2</sup>Cバスフォーマット時は、“0”にしてください。

### 25.2.9 I<sup>2</sup>C バス割り込み許可レジスタ (ICIER)

アドレス 019Bh 番地

| ビット     | b7  | b6   | b5  | b4    | b3   | b2   | b1    | b0    |
|---------|-----|------|-----|-------|------|------|-------|-------|
| シンボル    | TIE | TEIE | RIE | NAKIE | STIE | ACKE | ACKBR | ACKBT |
| リセット後の値 | 0   | 0    | 0   | 0     | 0    | 0    | 0     | 0     |

| ビット | シンボル  | ビット名             | 機能   | R/W |
|-----|-------|------------------|--|-----|
| b0  | ACKBT | 送信アクノリッジ選択ビット    | 0 : 受信モード時、アクノリッジのタイミングで“0”を送出<br>1 : 受信モード時、アクノリッジのタイミングで“1”を送出                                     | R/W |
| b1  | ACKBR | 受信アクノリッジビット      | 0 : 送信モード時、受信デバイスから受け取ったアクノリッジビットが“0”<br>1 : 送信モード時、受信デバイスから受け取ったアクノリッジビットが“1”                       | R   |
| b2  | ACKE  | アクノリッジビット判定選択ビット | 0 : 受信アクノリッジの内容を無視して連続的に転送<br>1 : 受信アクノリッジが“1”的場合、転送中止   | R/W |
| b3  | STIE  | 停止条件検出割り込み許可ビット  | 0 : 停止条件検出割り込み要求禁止<br>1 : 停止条件検出割り込み要求許可(注2)   | R/W |
| b4  | NAKIE | NACK受信割り込み許可ビット  | 0 : NACK受信割り込み要求およびアビトレスポンロスト/オーバランエラー割り込み要求禁止<br>1 : NACK受信割り込み要求およびアビトレスポンロスト/オーバランエラー割り込み要求許可(注1) | R/W |
| b5  | RIE   | 受信割り込み許可ビット      | 0 : 受信データフルおよびオーバランエラー割り込み要求禁止<br>1 : 受信データフルおよびオーバランエラー割り込み要求許可(注1)                                 | R/W |
| b6  | TEIE  | 送信終了割り込み許可ビット    | 0 : 送信終了割り込み要求禁止<br>1 : 送信終了割り込み要求許可   | R/W |
| b7  | TIE   | 送信割り込み許可ビット      | 0 : 送信データエンブティ割り込み要求禁止<br>1 : 送信データエンブティ割り込み要求許可   | R/W |

注1. オーバランエラー割り込み要求はクロック同期フォーマット時です。

注2. ICSRレジスタのSTOPビットが“0”的とき、STIEビットを“1”(停止条件検出割り込み要求許可)にしてください。

### 25.2.10 I<sup>2</sup>C バスステータスレジスタ(ICSR)

アドレス 019Ch 番地

| ビット     | b7   | b6   | b5   | b4    | b3   | b2 | b1  | b0  |
|---------|------|------|------|-------|------|----|-----|-----|
| シンボル    | TDRE | TEND | RDRF | NACKF | STOP | AL | AAS | ADZ |
| リセット後の値 | 0    | 0    | 0    | 0     | X    | 0  | 0   | 0   |

| ビット | シンボル  | ビット名                            | 機能  | R/W |
|-----|-------|---------------------------------|---|-----|
| b0  | ADZ   | ゼネラルコールアドレス認識フラグ(注1、2)          | ゼネラルコールアドレス検出したとき、“1”になります  | R/W |
| b1  | AAS   | スレーブアドレス認識フラグ(注1)               | スレーブ受信モードで開始条件直後の第1フレームがSARレジスタのSVA0～SVA6と一致した場合、“1”になります(スレーブアドレス検出、ゼネラルコールアドレス検出)   | R/W |
| b2  | AL    | アービトレーションロストフラグ/オーバランエラーフラグ(注1) | I <sup>2</sup> Cバスフォーマットの場合、マスタモード時にバス競合負けたことを示します。次のときに“1”になります(注3)<br>• マスタ送信モード時、SCL信号の立ち上がりで内部SDA信号とSDA端子のレベルが不一致のとき<br>• マスタ送信/受信モード時、開始条件検出時にSDA端子が“H”的とき<br><br>クロック同期フォーマットの場合、オーバランエラーが発生したことを示します。次のときに“1”になります<br>• RDRFビットが“1”的状態で、次のデータの最終ビットを受信したとき | R/W |
| b3  | STOP  | 停止条件検出フラグ(注1)                   | フレームの転送の完了後に停止条件を検出したとき、“1”になります  | R/W |
| b4  | NACKF | ノーアクノリッジ検出フラグ(注1、4)             | 送信時、受信デバイスからアクノリッジがなかったとき、“1”になります  | R/W |
| b5  | RDRF  | 受信データレジスタフルフラグ(注1、5)            | ICDRSレジスタからICDRRレジスタに受信データが転送されたとき、“1”になります。  | R/W |
| b6  | TEND  | 送信終了フラグ(注1、6)                   | I <sup>2</sup> Cバスフォーマットの場合、TDREビットが“1”的状態でSCL信号の9クロック目が立ち上がったとき、“1”になります。<br>クロック同期フォーマットの場合、送信フレームの最終ビットを送出したとき、“1”になります。   | R/W |
| b7  | TDRE  | 送信データ空フラグ(注1、6)                 | 次のときに“1”になります。<br>• ICDRTレジスタからICDRSレジスタにデータ転送されて、ICDRTレジスタが空になったとき<br>• ICCR1レジスタのTRSビットを“1”(送信モード)にしたとき<br>• 開始条件(再送含む)を発行したとき<br>• スレーブ受信モードからスレーブ送信モードに変わったとき   | R/W |

注1. 各ビットは“1”を読んだ後、“0”を書くと“0”になります。

注2. I<sup>2</sup>Cバスフォーマットのスレーブ受信モードのとき有効です。

注3. 複数のマスタがほぼ同時にバスを占有しようとしたときに、I<sup>2</sup>CバスインターフェースはSDAをモニタし、自分が出したデータと異なった場合、ALフラグを“1”にして、バスが他のマスタによって占有されたことを示します。

注4. NACKFビットはICIERレジスタのACKEビットが“1”(受信アクノリッジが“1”的場合、転送中止)のとき有効です。

注5. RDRFビットはICDRRレジスタからデータを読み出したとき、“0”になります。

注6. TEND、TDREビットはICDRTレジスタにデータを書いたとき、“0”になります。

ICSRレジスタを連続してアクセスする場合、アクセスする命令間にNOP命令を1つ以上挿入してください。

### 25.2.11 スレーブアドレスレジスタ(SAR)

アドレス 019Dh 番地

| ビット     | b7   | b6   | b5   | b4   | b3   | b2   | b1   | b0 |
|---------|------|------|------|------|------|------|------|----|
| シンボル    | SVA6 | SVA5 | SVA4 | SVA3 | SVA2 | SVA1 | SVA0 | FS |
| リセット後の値 | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0  |

| ビット | シンボル | ビット名        | 機能   | R/W |
|-----|------|-------------|--|-----|
| b0  | FS   | フォーマット選択ビット | 0 : I <sup>2</sup> Cバスフォーマット<br>1 : クロック同期式シリアルフォーマット  | R/W |
| b1  | SVA0 | スレーブアドレス6~0 | I <sup>2</sup> Cバスに接続する他のスレーブデバイスと異なるアドレスを設定してください。<br>I <sup>2</sup> Cバスフォーマットのスレーブモード時、開始条件後に送られてくる第1フレームの上位7ビットと、SVA0 ~ SVA6が一致したとき、スレーブデバイスとして動作します。 | R/W |
| b2  | SVA1 |             |  | R/W |
| b3  | SVA2 |             |  | R/W |
| b4  | SVA3 |             |  | R/W |
| b5  | SVA4 |             |  | R/W |
| b6  | SVA5 |             |  | R/W |
| b7  | SVA6 |             |  | R/W |

### 25.2.12 IICバスシフトレジスタ(ICDRS)

| ビット  | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|------|----|----|----|----|----|----|----|----|
| シンボル | -  | -  | -  | -  | -  | -  | -  | -  |

| ビット     | 機能  | R/W |
|---------|---|-----|
| b7 ~ b0 | データを送受信するシフトレジスタ。<br>送信時はICRDT レジスタから送信データがICDRS レジスタに転送され、データがSDA端子から送出されます。<br>受信時は1バイトのデータの受信が終了すると、データがICDRS レジスタからICDRR レジスタへ転送されます。 | -   |

## 25.3 複数モードに関わる共通事項

### 25.3.1 転送クロック

ICCR1 レジスタの MST ビットが“0”のとき、転送クロックは SCL 端子から入力される外部クロックです。

ICCR1 レジスタの MST ビットが“1”的とき、転送クロックは ICCR1 レジスタの CKS0 ~ CKS3 ビットおよび PINSR レジスタの IICTCTWI ビット、 IICTCHALF ビットで選択された内部クロックになり、 SCL 端子から出力されます。表 25.4 に転送レート例(1)を示します。

表 25.4 転送レート例(1)

| PINSR レジスタ | ICCR1 レジスタ |          |      |      | 転送<br>クロック | 転送レート  |         |         |          |          |          |
|------------|------------|----------|------|------|------------|--------|---------|---------|----------|----------|----------|
|            | IICTCHALF  | IICTCTWI | CKS3 | CKS2 | CKS1       | CKS0   | f1=5MHz | f1=8MHz | f1=10MHz | f1=16MHz | f1=20MHz |
| 0          | 0          | 0        | 0    | 0    | 0          | f1/28  | 179kHz  | 286kHz  | 357kHz   | 571kHz   | 714kHz   |
|            |            |          |      | 1    | 1          | f1/40  | 125kHz  | 200kHz  | 250kHz   | 400kHz   | 500kHz   |
|            |            |          |      | 1    | 0          | f1/48  | 104kHz  | 167kHz  | 208kHz   | 333kHz   | 417kHz   |
|            |            |          |      | 1    | 1          | f1/64  | 78.1kHz | 125kHz  | 156kHz   | 250kHz   | 313kHz   |
|            |            |          | 1    | 0    | 0          | f1/80  | 62.5kHz | 100kHz  | 125kHz   | 200kHz   | 250kHz   |
|            |            |          |      | 1    | 1          | f1/100 | 50.0kHz | 80.0kHz | 100kHz   | 160kHz   | 200kHz   |
|            |            |          |      | 1    | 0          | f1/112 | 44.6kHz | 71.4kHz | 89.3kHz  | 143kHz   | 179kHz   |
|            |            |          |      | 1    | 1          | f1/128 | 39.1kHz | 62.5kHz | 78.1kHz  | 125kHz   | 156kHz   |
|            |            | 1        | 0    | 0    | 0          | f1/56  | 89.3kHz | 143kHz  | 179kHz   | 286kHz   | 357kHz   |
|            |            |          |      | 1    | 1          | f1/80  | 62.5kHz | 100kHz  | 125kHz   | 200kHz   | 250kHz   |
|            |            |          |      | 1    | 0          | f1/96  | 52.1kHz | 83.3kHz | 104kHz   | 167kHz   | 208kHz   |
|            |            |          |      | 1    | 1          | f1/128 | 39.1kHz | 62.5kHz | 78.1kHz  | 125kHz   | 156kHz   |
|            |            |          | 1    | 0    | 0          | f1/160 | 31.3kHz | 50.0kHz | 62.5kHz  | 100kHz   | 125kHz   |
|            |            |          |      | 1    | 1          | f1/200 | 25.0kHz | 40.0kHz | 50.0kHz  | 80.0kHz  | 100kHz   |
|            |            |          |      | 1    | 0          | f1/224 | 22.3kHz | 35.7kHz | 44.6kHz  | 71.4kHz  | 89.3kHz  |
|            |            |          |      | 1    | 1          | f1/256 | 19.5kHz | 31.3kHz | 39.1kHz  | 62.5kHz  | 78.1kHz  |

表 25.5 転送レート例(2)

| PINSR レジスタ |          | ICCR1 レジスタ |      |      |      | 転送<br>クロック | 転送レート   |         |          |          |          |
|------------|----------|------------|------|------|------|------------|---------|---------|----------|----------|----------|
| IICTCHALF  | IICTCTWI | CKS3       | CKS2 | CKS1 | CKS0 |            | f1=5MHz | f1=8MHz | f1=10MHz | f1=16MHz | f1=20MHz |
| 0          | 1        | 0          | 0    | 0    | 0    | f1/28      | 358kHz  | 572kHz  | 714kHz   | 1142kHz  | 1428kHz  |
|            |          |            |      | 1    | 0    | f1/40      | 250kHz  | 400kHz  | 500kHz   | 800kHz   | 1000kHz  |
|            |          |            |      | 1    | 0    | f1/48      | 208kHz  | 334kHz  | 416kHz   | 666kHz   | 834kHz   |
|            |          |            |      | 1    | 1    | f1/64      | 156kHz  | 250kHz  | 312kHz   | 500kHz   | 626kHz   |
|            |          |            | 1    | 0    | 0    | f1/80      | 125kHz  | 200kHz  | 250kHz   | 400kHz   | 500kHz   |
|            |          |            |      | 1    | 0    | f1/100     | 100kHz  | 160kHz  | 200kHz   | 320kHz   | 400kHz   |
|            |          |            |      | 1    | 0    | f1/112     | 89kHz   | 143kHz  | 179kHz   | 286kHz   | 358kHz   |
|            |          |            |      | 1    | 1    | f1/128     | 78kHz   | 125kHz  | 156kHz   | 250kHz   | 312kHz   |
|            |          | 1          | 0    | 0    | 0    | f1/56      | 179kHz  | 286kHz  | 358kHz   | 572kHz   | 714kHz   |
|            |          |            |      | 1    | 0    | f1/80      | 125kHz  | 200kHz  | 250kHz   | 400kHz   | 500kHz   |
|            |          |            |      | 1    | 0    | f1/96      | 104kHz  | 167kHz  | 208kHz   | 334kHz   | 416kHz   |
|            |          |            |      | 1    | 1    | f1/128     | 78kHz   | 125kHz  | 156kHz   | 250kHz   | 312kHz   |
|            |          |            | 1    | 0    | 0    | f1/160     | 63kHz   | 100kHz  | 125kHz   | 200kHz   | 250kHz   |
|            |          |            |      | 1    | 0    | f1/200     | 50kHz   | 80kHz   | 100kHz   | 160kHz   | 200kHz   |
|            |          |            |      | 1    | 0    | f1/224     | 45kHz   | 71kHz   | 89kHz    | 143kHz   | 179kHz   |
|            |          |            |      | 1    | 1    | f1/256     | 39kHz   | 63kHz   | 78kHz    | 125kHz   | 156kHz   |
| 1          | 0        | 0          | 0    | 0    | 0    | f1/28      | 90kHz   | 143kHz  | 179kHz   | 286kHz   | 357kHz   |
|            |          |            |      | 1    | 0    | f1/40      | 63kHz   | 100kHz  | 125kHz   | 200kHz   | 250kHz   |
|            |          |            |      | 1    | 0    | f1/48      | 52kHz   | 84kHz   | 104kHz   | 167kHz   | 209kHz   |
|            |          |            |      | 1    | 1    | f1/64      | 39kHz   | 63kHz   | 78kHz    | 125kHz   | 157kHz   |
|            |          |            | 1    | 0    | 0    | f1/80      | 31kHz   | 50kHz   | 63kHz    | 100kHz   | 125kHz   |
|            |          |            |      | 1    | 0    | f1/100     | 25kHz   | 40kHz   | 50kHz    | 80kHz    | 100kHz   |
|            |          |            |      | 1    | 0    | f1/112     | 22kHz   | 36kHz   | 45kHz    | 72kHz    | 90kHz    |
|            |          |            |      | 1    | 1    | f1/128     | 20kHz   | 31kHz   | 39kHz    | 63kHz    | 78kHz    |
|            |          | 1          | 0    | 0    | 0    | f1/56      | 45kHz   | 72kHz   | 90kHz    | 143kHz   | 179kHz   |
|            |          |            |      | 1    | 0    | f1/80      | 31kHz   | 50kHz   | 63kHz    | 100kHz   | 125kHz   |
|            |          |            |      | 1    | 0    | f1/96      | 26kHz   | 42kHz   | 52kHz    | 84kHz    | 104kHz   |
|            |          |            |      | 1    | 1    | f1/128     | 20kHz   | 31kHz   | 39kHz    | 63kHz    | 78kHz    |
|            |          |            | 1    | 0    | 0    | f1/160     | 16kHz   | 25kHz   | 31kHz    | 50kHz    | 63kHz    |
|            |          |            |      | 1    | 0    | f1/200     | 13kHz   | 20kHz   | 25kHz    | 40kHz    | 50kHz    |
|            |          |            |      | 1    | 0    | f1/224     | 11kHz   | 18kHz   | 22kHz    | 36kHz    | 45kHz    |
|            |          |            |      | 1    | 1    | f1/256     | 10kHz   | 16kHz   | 20kHz    | 31kHz    | 39kHz    |

### 25.3.2 SDA 端子デジタル遅延選択

PINSR レジスタの SDADLY0 ~ SDADLY1 ビットで、SDA 端子のデジタル遅延値を選択できます。

図 25.3 に SDA 端子のデジタル遅延の動作例を示します。

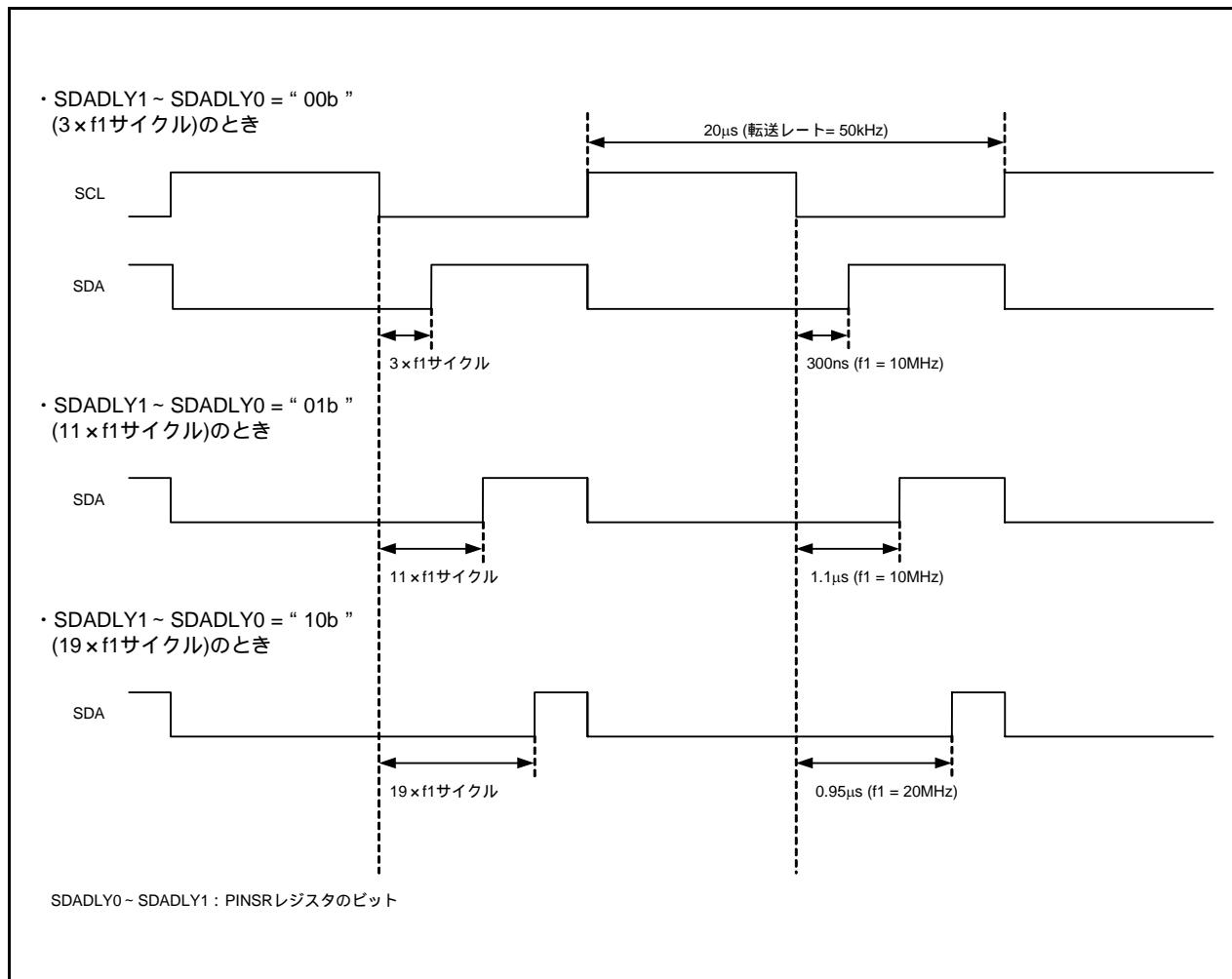


図 25.3 SDA 端子のデジタル遅延の動作例

### 25.3.3 割り込み要求

I<sup>2</sup>C バスインターフェースの割り込み要求は、I<sup>2</sup>C バスフォーマット時に 6 種類、クロック同期式シリアルフォーマット時に 4 種類あります。表 25.6 に I<sup>2</sup>C バスインターフェースの割り込み要求を示します。

これらの割り込み要求は I<sup>2</sup>C バスインターフェース割り込みベクタテーブルに割り付けられているため、各ビットによる要因の判別が必要です。

表 25.6 I<sup>2</sup>C バスインターフェースの割り込み要求

| 割り込み要求                  |      | 発生条件                                       | フォーマット              |             |
|-------------------------|------|--|---------------------|-------------|
|                         |      |  | I <sup>2</sup> C バス | クロック同期式シリアル |
| 送信データエンプティ              | TXI  | TIE=1 かつ TDRE=1                            | 有効                  | 有効          |
| 送信終了                    | TEI  | TEIE=1 かつ TEND=1                           | 有効                  | 有効          |
| 受信データフル                 | RXI  | RIE=1 かつ RDRF=1                            | 有効                  | 有効          |
| 停止条件検出                  | STPI | STIE=1 かつ STOP=1                           | 有効                  | 無効          |
| NACK 検出                 | NAKI | NAKIE=1 かつ AL=1 ( または NAKIE=1 かつ NACKF=1 ) | 有効                  | 無効          |
| アービトレーションロスト / オーバランエラー |      |  | 有効                  | 有効          |

STIE、NAKIE、RIE、TEIE、TIE : ICIER レジスタのビット

AL、STOP、NACKF、RDRF、TEND、TDRE : ICSR レジスタのビット

表 25.6 の発生条件が満たされたとき、I<sup>2</sup>C バスインターフェース割り込み要求が発生します。I<sup>2</sup>C バスインターフェース割り込みルーチンで、それぞれの割り込み発生条件を “0” にしてください。

ただし、TDRE ビットおよび TEND ビットは ICDRT レジスタに送信データを書くことで、RDRF ビットは ICDRR レジスタを読むことで、自動的に “0” になります。特に TDRE ビットは ICDRT レジスタに送信データを書いたとき “0” になり、ICDRT レジスタから ICDRS レジスタにデータ転送されたときに TDRE ビットが “1” になり、さらに TDRE ビットを “0” にすると、余分に 1 バイト送信する場合があります。

また、STIE ビットを “1” ( 停止条件検出割り込み要求許可 ) にするのは、STOP ビットが “0” のときにしてください。

## 25.4 I<sup>2</sup>C バスインターフェースモード

### 25.4.1 I<sup>2</sup>C バスフォーマット

SAR レジスタの FS ビットを “0” にすると、I<sup>2</sup>C バスフォーマットで通信します。

図 25.4 に I<sup>2</sup>C バスフォーマットとバスタイミングを示します。開始条件に続く第 1 フレームは、常に 8 ビット構成になります。

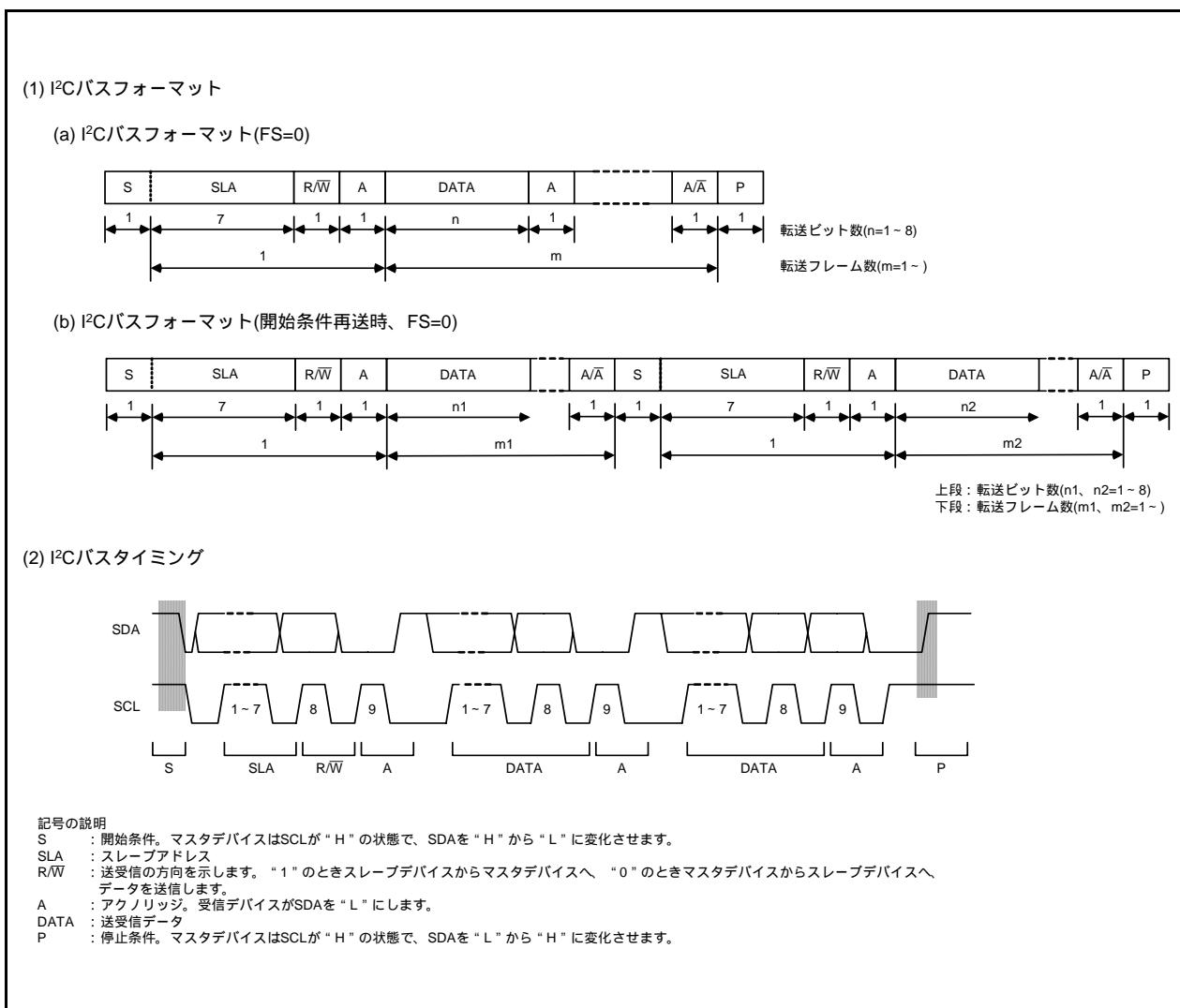


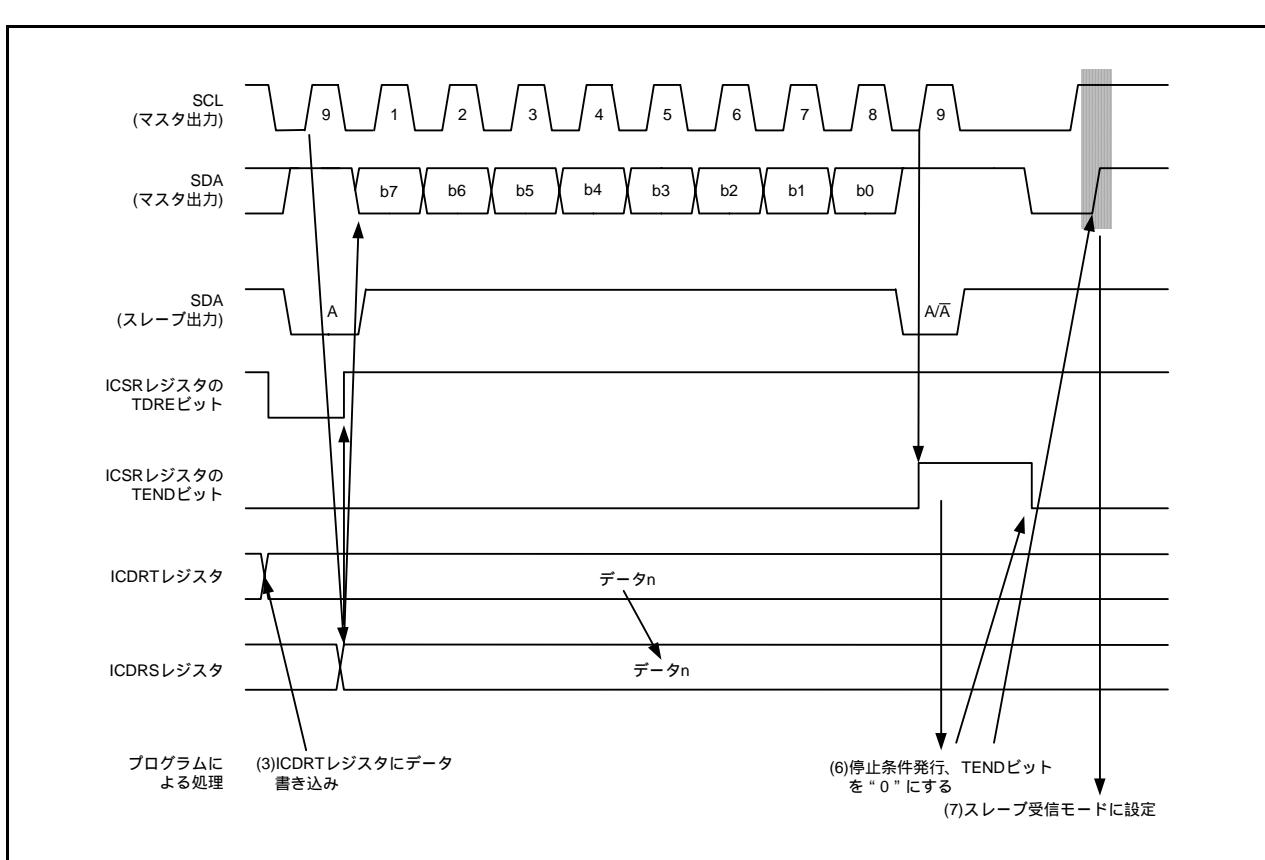
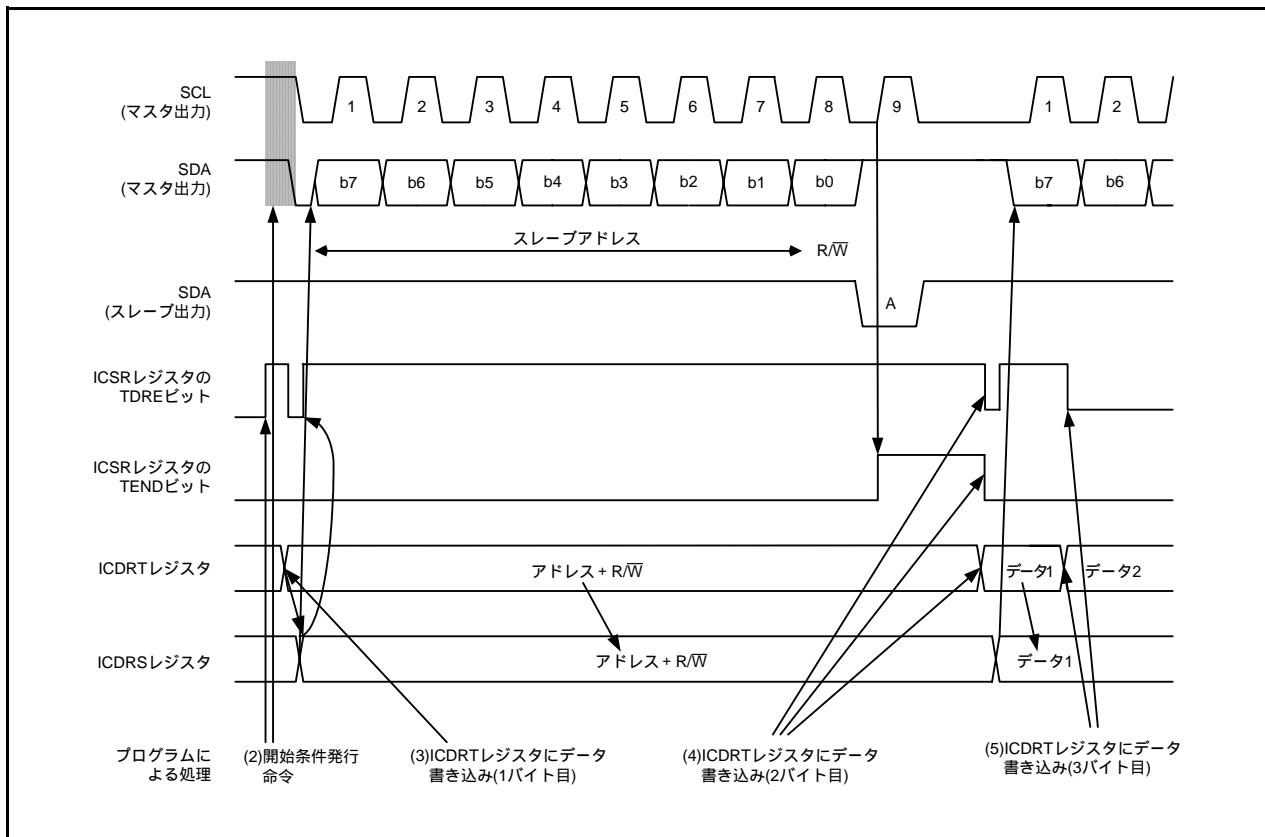
図 25.4 I<sup>2</sup>C バスフォーマットとバスタイミング

### 25.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。図 25.5、図 25.6 にマスタ送信モードの動作タイミング(I<sup>2</sup>C バスインタフェースモード)を示します。

以下にマスタ送信モードの送信手順と動作を示します。

- (1) ICSR レジスタのSTOP ビットを初期化するため “0”にしてください。その後、ICCR1 レジスタのICE ビットを “1”(転送動作可能状態)にしてください。その後、ICMR レジスタのWAIT、MLS ビット、ICCR1 レジスタのCKS0 ~ CKS3 ビットなどを設定してください(初期設定)。
- (2) ICCR2 レジスタのBBSY ビットを読んで、バスが開放状態であることを確認後、ICCR1 レジスタのTRS、MST ビットをマスタ送信モードに設定してください。その後、BBSY=1 と SCP=0 を MOV 命令で書いてください(開始条件発行)。これにより開始条件を生成します。
- (3) ICSR レジスタのTDRE ビットが “1”であることを確認した後、ICDRT レジスタに送信データ(1 バイト目はスレーブアドレスと R/W を示すデータ)を書いてください。このとき TDRE ビットは自動的に “0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE ビットが “1”になります。
- (4) TDRE ビットが “1”の状態で 1 バイト送信が完了し、送信クロックの 9 クロック目の立ち上がりで ICSR レジスタのTEND ビットが “1”になります。ICIER レジスタのACKBR ビットを読んで、スレーブデバイスが選択されたことを確認した後、2 バイト目のデータを ICDRT レジスタに書いてください。ACKBR ビットが “1”的ときはスレーブデバイスが認識されていないため、停止条件を発行してください。停止条件の発行は、BBSY=0 と SCP=0 を MOV 命令で書くことで行われます。なおデータの準備ができるまで、または停止条件を発行するまでは SCL が “L” に固定されます。
- (5) 2 バイト目以降の送信データは、TDRE ビットが “1”になるたびに、ICDRT レジスタにデータを書いてください。
- (6) 送信するバイト数を ICDRT レジスタに書いたとき、その後は TDRE ビットが “1”の状態で TEND ビットが “1”になるまで待ってください。または、ICIER レジスタのACKE ビットが “1”(受信アクノリッジが “1” の場合、転送中止)の状態で、受信デバイスからのNACK(ICSR レジスタのNACKF=1)を待ってください。その後、停止条件を発行して TEND ビット、あるいは NACKF ビットを “0”にしてください。
- (7) ICSR レジスタのSTOP ビットが “1”になったとき、スレーブ受信モードに戻してください。

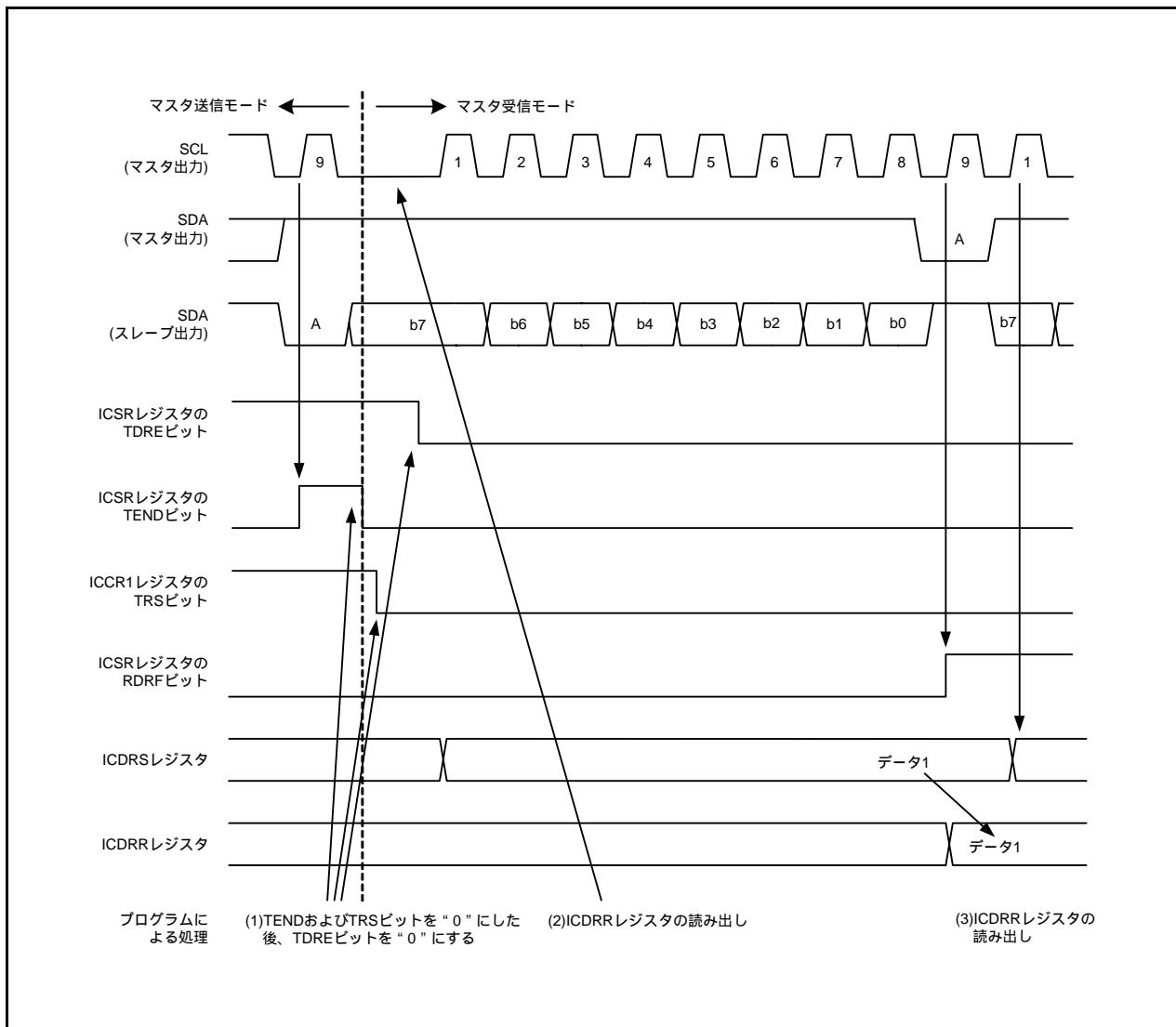


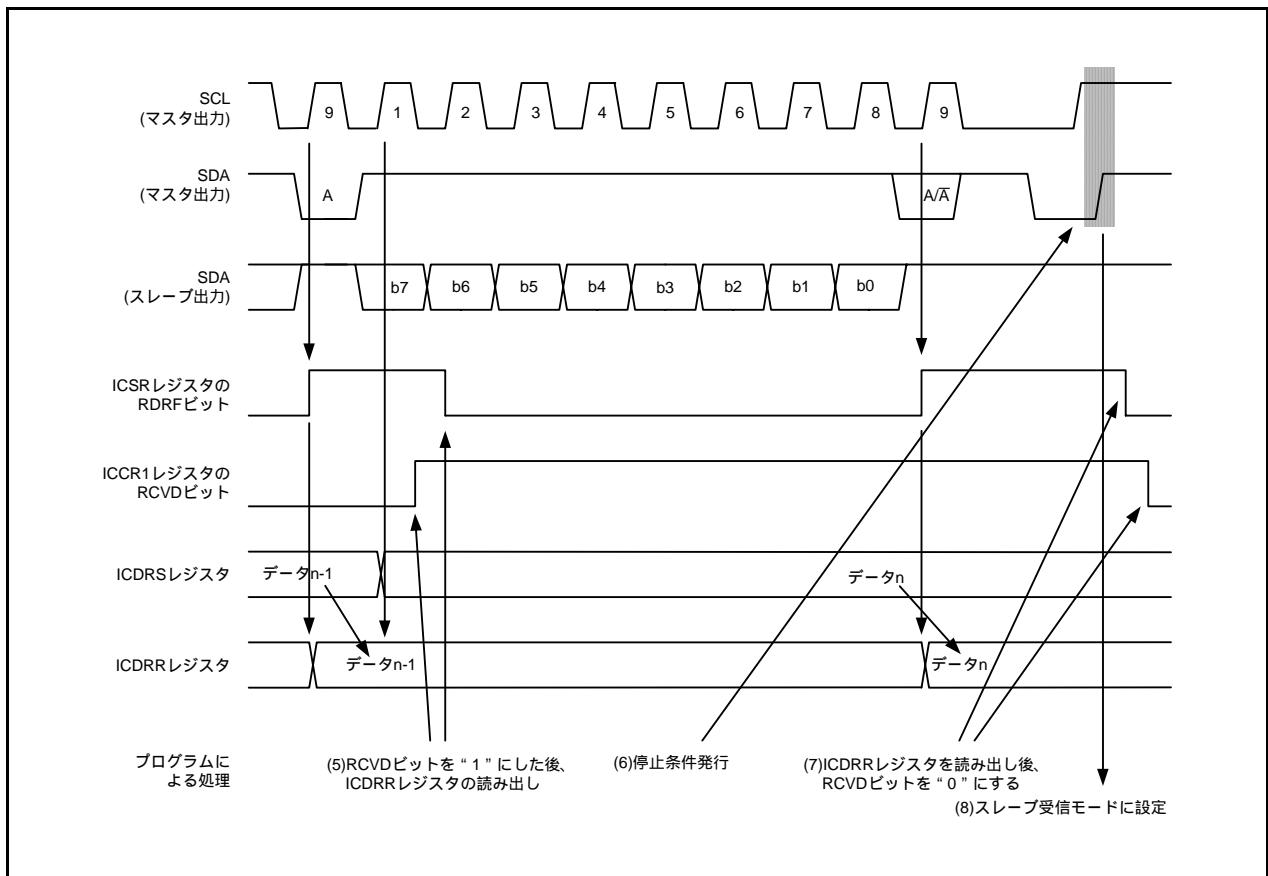
### 25.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアクノリッジを返します。図 25.7、図 25.8 にマスタ受信モードの動作タイミング(I<sup>2</sup>C バスインターフェースモード)を示します。

以下にマスタ受信モードの受信手順と動作を示します。

- (1) ICSR レジスタのTEND ビットを“0”にした後、ICCR1 レジスタのTRS ビットを“0”にして、マスタ送信モードからマスタ受信モードに切り替えてください。その後、ICSR レジスタのTDRE ビットを“0”にしてください。
- (2) ICDRR レジスタをダミーリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの9クロック目に、ICIER レジスタのACKBT ビットで設定したレベルを、SDA に出力します。
- (3) 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりで、ICSR レジスタのRDRF ビットが“1”になります。このとき、ICDRR レジスタを読むと、受信したデータを読み出すことができ、同時にRDRF ビットは“0”になります。
- (4) RDRF ビットが“1”になるたびにICDRR レジスタを読むことで、連続的に受信できます。なお、別処理でRDRF ビットが“1”になった状態で、ICDRR レジスタの読み出しが遅れて8クロック目が立ち下がった場合、ICDRR レジスタを読むまでSCL が“L”に固定されます。
- (5) 次の受信が最終フレームの場合、ICDRR レジスタを読む前にICCR1 レジスタのRCVD ビットを“1”(次の受信動作を禁止)にしてください。これにより次の受信後、停止条件発行可能状態になります。
- (6) 受信クロックの9クロック目の立ち上がりでRDRF ビットが“1”になったとき、停止条件を発行してください。
- (7) ICSR レジスタのSTOP ビットが“1”になったとき、ICDRR レジスタを読んでください。その後、RCVD ビットを“0”(次の受信動作を継続)にしてください。
- (8) スレーブ受信モードに戻してください。

図 25.7 マスタ受信モードの動作タイミング(I<sup>2</sup>C バスインターフェースモード)(1)

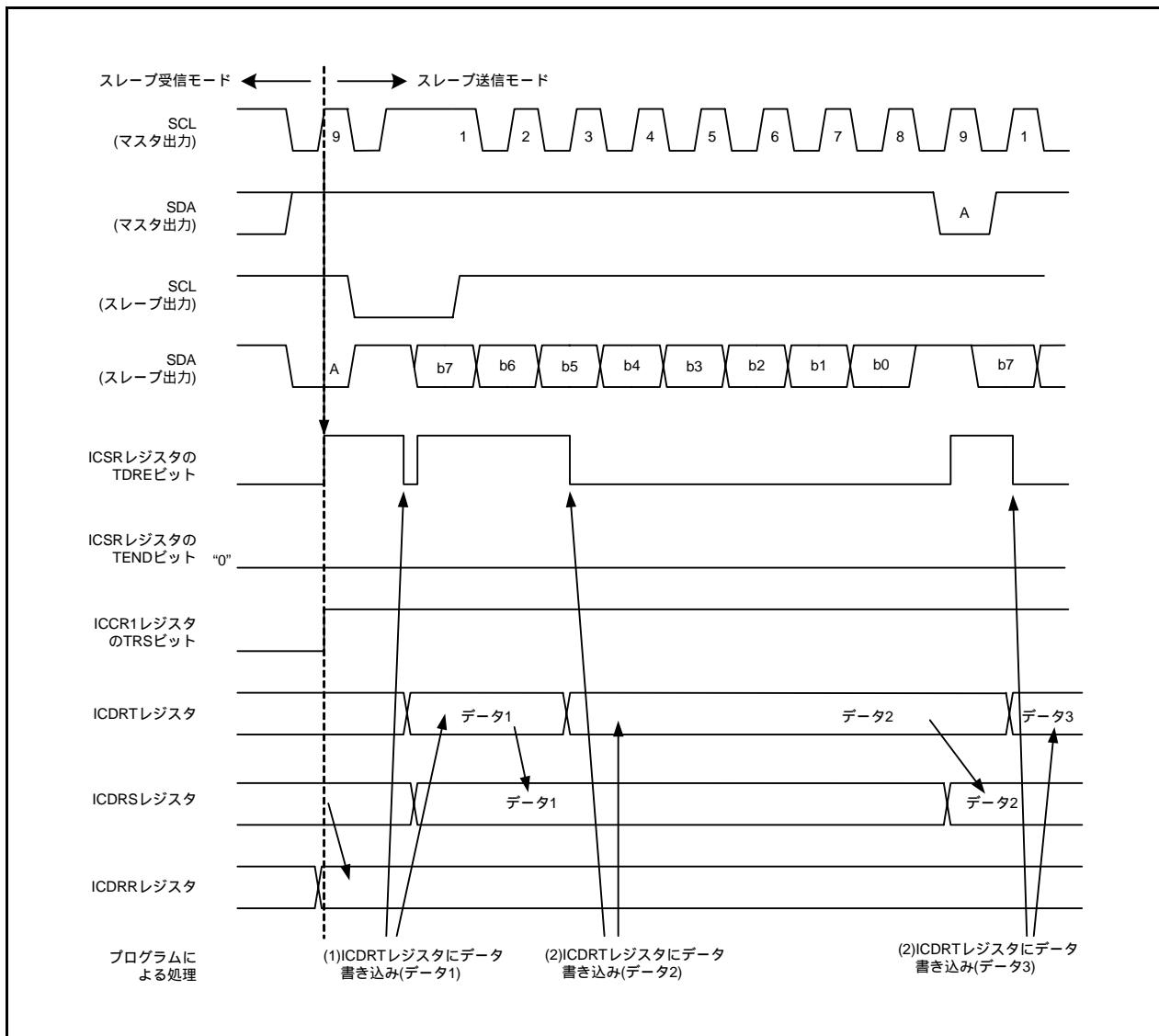
図 25.8 マスタ受信モードの動作タイミング(I<sup>2</sup>C バスインターフェースモード)(2)

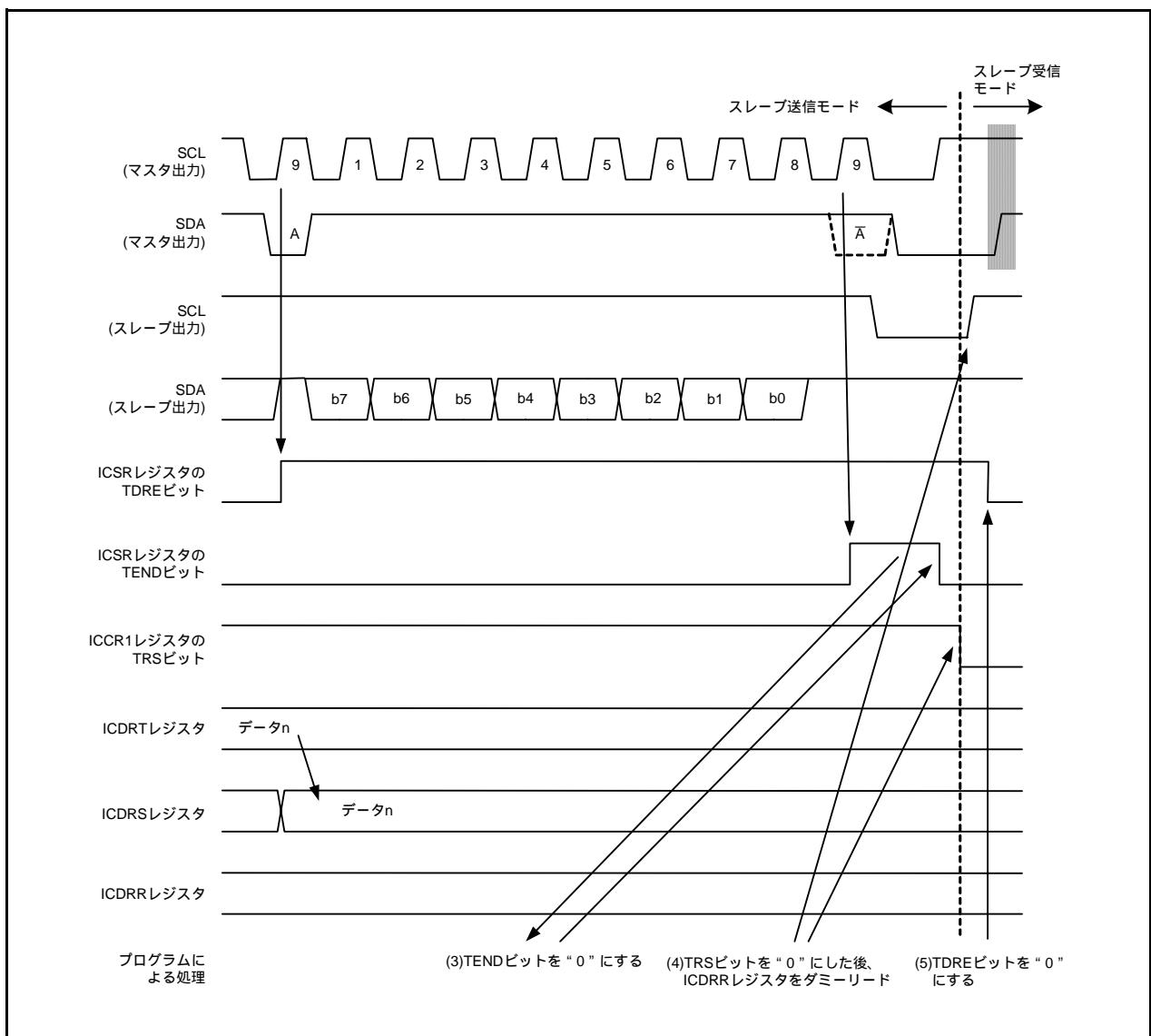
#### 25.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクリッジを返します。図 25.9、図 25.10 にスレーブ送信モードの動作タイミング(I<sup>2</sup>C バスインタフェースモード)を示します。

以下にスレーブ送信モードの送信手順と動作を示します。

- (1) ICCR1 レジスタの ICE ビットを “1”(転送動作可能状態)にしてください。その後、ICMR レジスタの WAIT、MLS ビット、ICCR1 レジスタの CKS0 ~ CKS3 ビットなどを設定してください(初期設定)。次にICCR1 レジスタの TRS、MST ビットを “0”にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。
- (2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりで、スレーブデバイスはICIER レジスタの ACKBT ビットで設定したレベルを SDA に出力します。このとき、8ビット目のデータ(R/W)が “1” のとき、TRS ビットおよびICSR レジスタの TDRE ビットが “1” になり、自動的にスレーブ送信モードに切り替わります。TDRE ビットが “1” になるたびにICDRT レジスタに送信データを書くと、連続送信が可能です。
- (3) 最終送信データをICDRT レジスタに書いた後に TDRE ビットが “1” になったとき、TDRE ビットが “1” の状態で ICSR レジスタの TEND ビットが “1” になるまで待ってください。TEND ビットが “1” になったら、TEND ビットを “0” にしてください。
- (4) 終了処理のため TRS ビットを “0” にし、ICDRR レジスタをダミーリードしてください。これにより SCL が開放されます。
- (5) TDRE ビットを “0” にしてください。

図 25.9 スレーブ送信モードの動作タイミング(I<sup>2</sup>C バスインターフェースモード)(1)

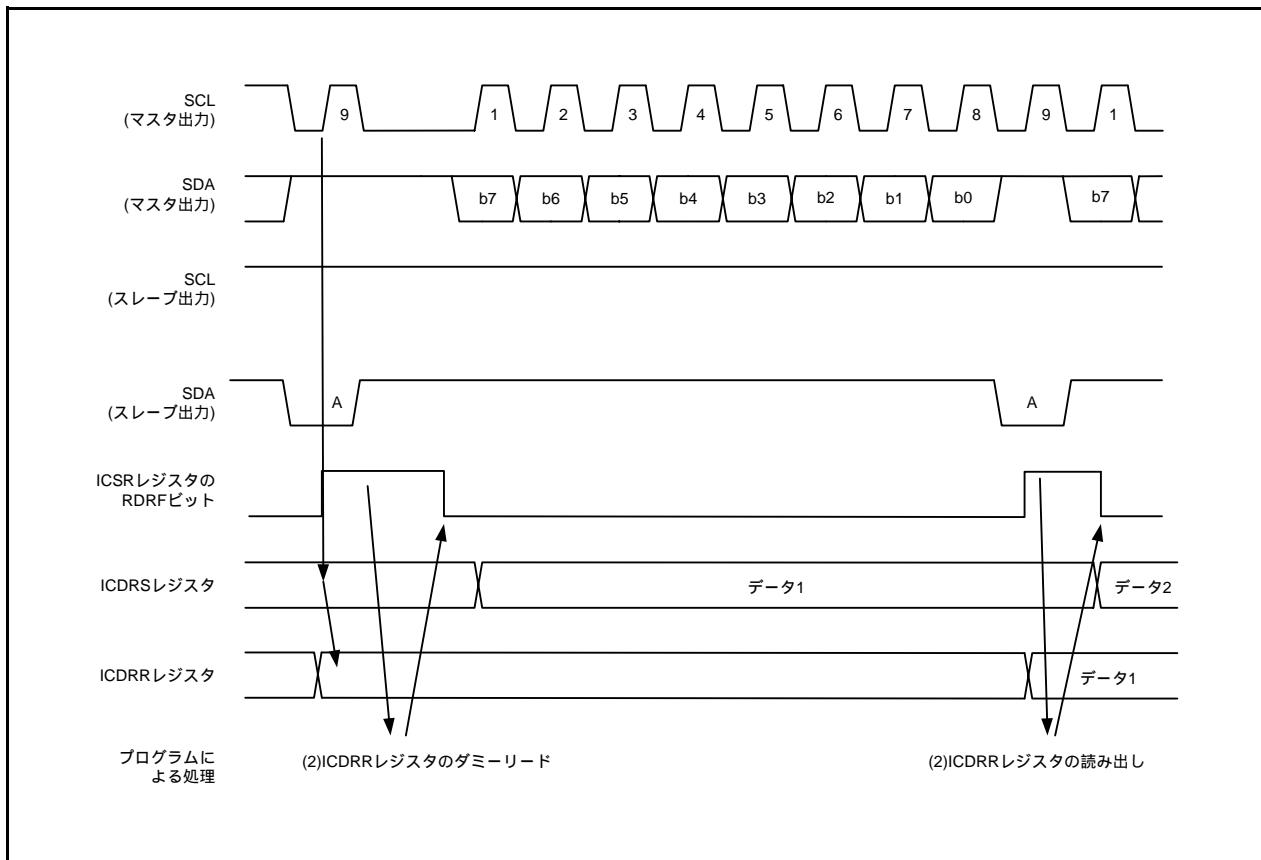
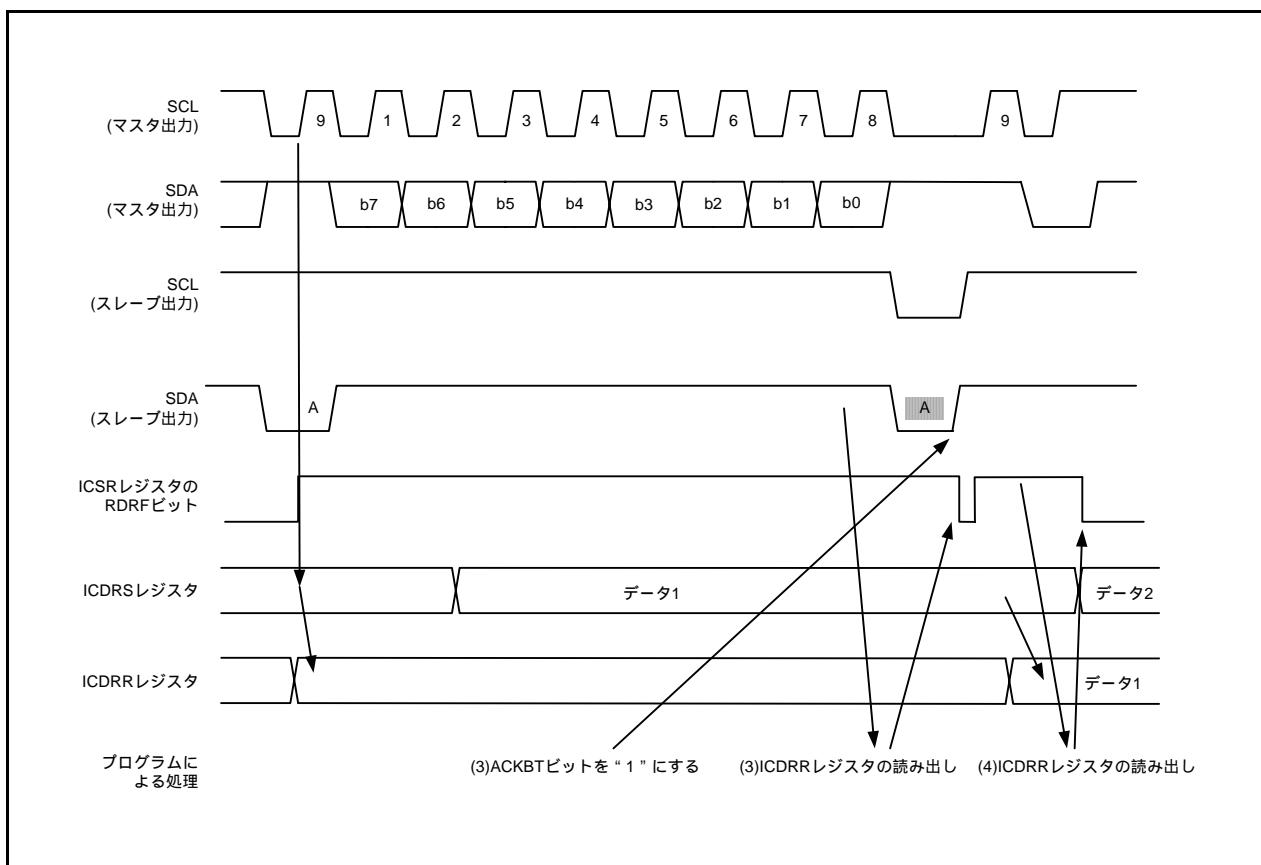
図 25.10 スレーブ送信モードの動作タイミング(I<sup>2</sup>C バスインターフェースモード)(2)

### 25.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。図 25.11、図 25.12 にスレーブ受信モードの動作タイミング(I<sup>2</sup>C バスインターフェースモード)を示します。

以下にスレーブ受信モードの受信手順と動作を示します。

- (1) ICCR1 レジスタの ICE ビットを “1”(転送動作可能状態)にしてください。その後、ICMR レジスタの WAIT、MLS ビット、ICCR1 レジスタの CKS0 ~ CKS3 ビットなどを設定してください(初期設定)。次にICCR1 レジスタの TRS、MST ビットを “0”にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。
- (2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりで、スレーブデバイスはICIER レジスタの ACKBT ビットで設定したレベルを SDA に出力します。同時にICSR レジスタの RDRF ビットが “1”になりますので、ICDRR レジスタをダミーリード(読み出したデータはスレーブアドレス + R/W を示すので不要)してください。
- (3) RDRF ビットが “1”になるたびに、ICDRR レジスタを読んでください。RDRF ビットが “1”の状態で8クロック目が立ち下がると、ICDRR レジスタを読むまで SCL が “L” に固定されます。ICDRR レジスタを読む前に行なったマスタデバイスに返すアクノリッジの設定変更は、次の転送フレームに反映されます。
- (4) 最終バイトの読み出しも、同様にICDRR レジスタを読むことで行います。

図 25.11 スレーブ受信モードの動作タイミング(I<sup>2</sup>Cバスインターフェースモード)(1)図 25.12 スレーブ受信モードの動作タイミング(I<sup>2</sup>Cバスインターフェースモード)(2)

## 25.5 クロック同期式シリアルモード

### 25.5.1 クロック同期式シリアルフォーマット

SAR レジスタのFS ビットを“1”にすると、クロック同期式シリアルフォーマットで通信します。

図 25.13 にクロック同期式シリアルフォーマットの転送フォーマットを示します。

ICCR1 レジスタの MST ビットが“1”的とき SCL から転送クロック出力となり、MST ビットが“0”的とき外部クロック入力となります。

転送データは SCL クロックの立ち下がりから立ち上がりまで出力され、SCL クロックの立ち上がりエッジのデータの確定が実施されます。データの転送順は ICMR レジスタの MLS ビットにより、MSB ファーストか LSB ファーストかを選択可能です。また、ICCR2 レジスタの SDAO ビットにより、転送待機中に SDA の出力レベルを変更することができます。

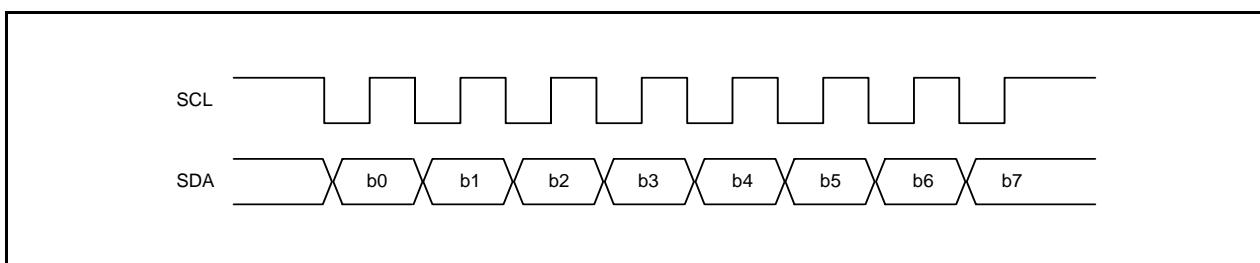


図 25.13 クロック同期式シリアルフォーマットの転送フォーマット

### 25.5.2 送信動作

送信モードでは転送クロックの立ち下がりに同期して、送信データを SDA から出力します。転送クロックはICCR1レジスタのMSTビットが“1”とき出力、MSTビットが“0”とき入力となります。図 25.14に送信モードの動作タイミング(クロック同期式シリアルモード)を示します。

以下に送信モードの手順と動作を示します。

- (1) ICCR1 レジスタのICE ビットを “1”(転送動作可能状態)にしてください。その後、ICCR1 レジスタのCKS0 ~ CKS3 ビット、MST ビットなどを設定してください(初期設定)。
- (2) ICCR1 レジスタのTRS ビットを “1”にして送信モードにしてください。これにより、ICSR レジスタのTDRE ビットが “1”になります。
- (3) TDRE ビットが “1”であることを確認した後、ICDRT レジスタに送信データを書いてください。これにより ICDRT レジスタから ICDRS レジスタにデータが転送され、自動的に TDRE ビットが “1”になります。TDRE ビットが “1”になるたびに ICDRT レジスタにデータを書くと、連続送信が可能です。なお、送信モードから受信モードに切り替える場合、TDRE ビットが “1”の状態でTRS ビットを “0”にしてください。

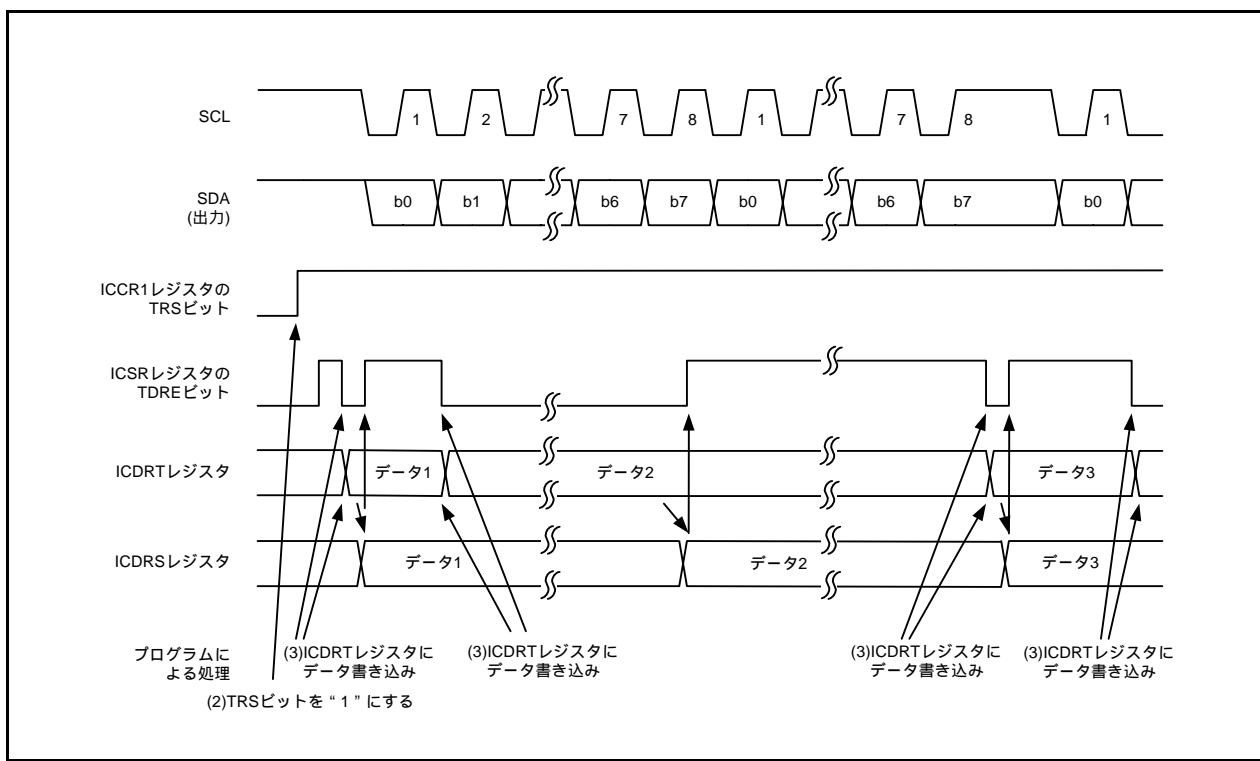


図 25.14 送信モードの動作タイミング(クロック同期式シリアルモード)

### 25.5.3 受信動作

受信モードでは転送クロックの立ち上がりで、データをラッチします。転送クロックはICCR1レジスタのMSTビットが“1”とき出力、MSTビットが“0”とき入力となります。

図25.15に受信モードの動作タイミング(クロック同期式シリアルモード)を示します。

以下に受信モードの手順と動作を示します。

- (1) ICCR1レジスタのICEビットを“1”(転送動作可能状態)にしてください。その後、ICCR1レジスタのCKS0～CKS3ビット、MSTビットなどを設定してください(初期設定)。
- (2) 転送クロックを出力時、MSTビットを“1”にしてください。これにより受信クロックの出力を開始します。
- (3) 受信が完了すると、ICDRSレジスタからICDRRレジスタにデータが転送され、ICSRレジスタのRDRFビットが“1”になります。MSTビットが“1”的ときは次バイトデータが受信可能状態のため、連続してクロックを出力します。RDRFビットが“1”になるたびにICDRRレジスタを読むことで、連続的に受信可能です。RDRFビットが“1”的状態で8クロック目が立上るとオーバランを検出し、ICSRレジスタのALビットが“1”になります。このときICDRRレジスタには、前の受信データが保持されています。
- (4) MSTビットが“1”的とき、受信を停止するためには、ICCR1レジスタのRCVDビットを“1”(次の受信動作を禁止)にしてから、ICDRRレジスタを読んでください。これにより次バイトデータの受信完了後、SCLが“H”に固定されます。

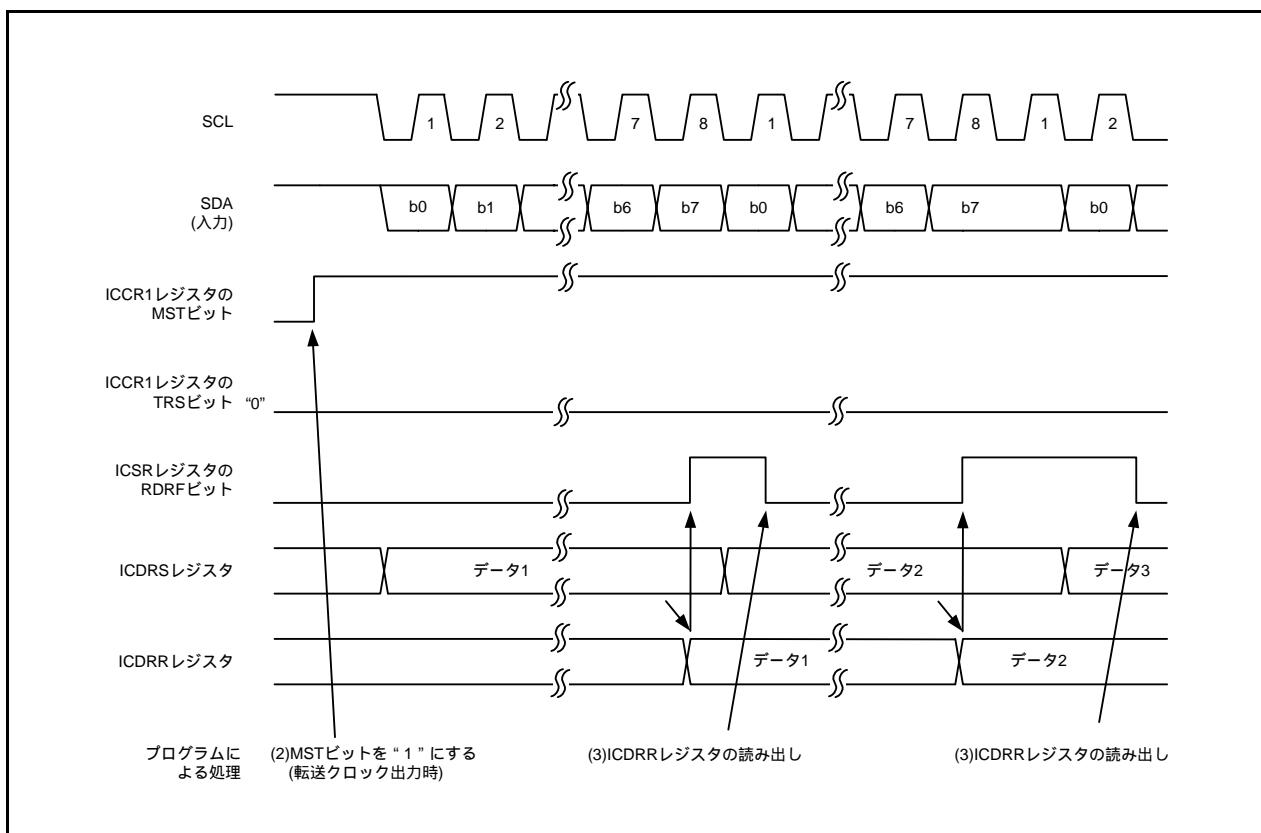
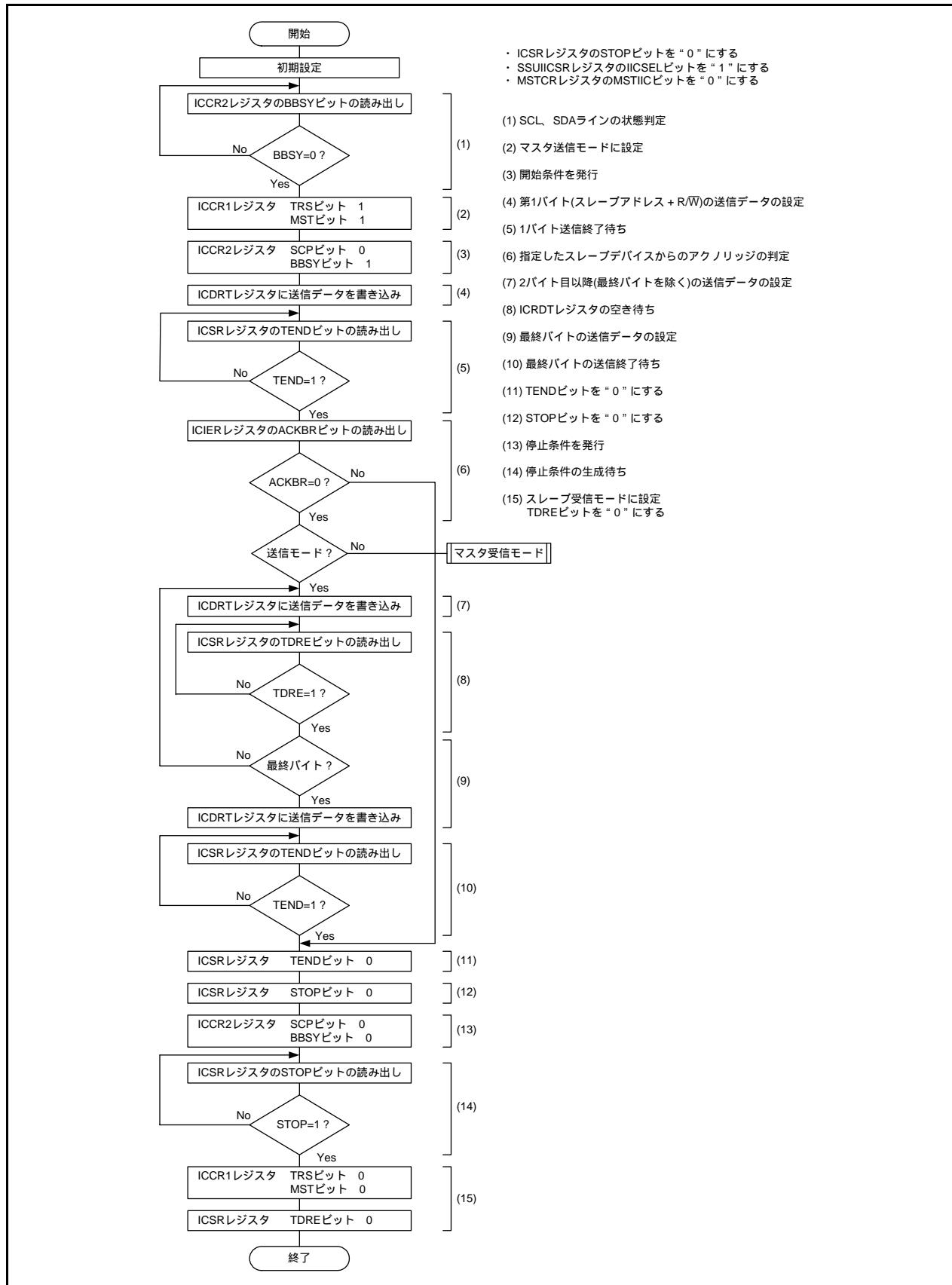
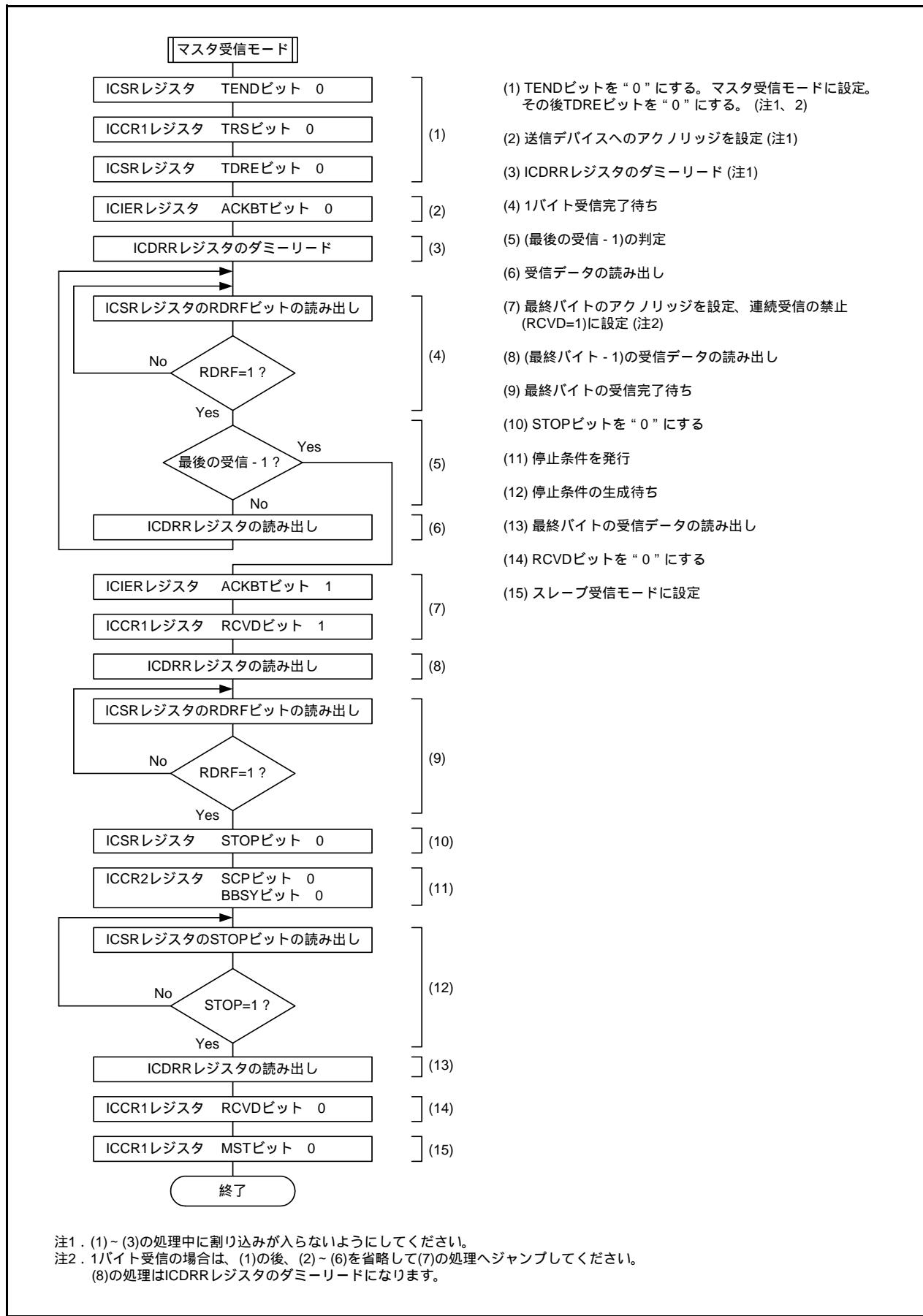


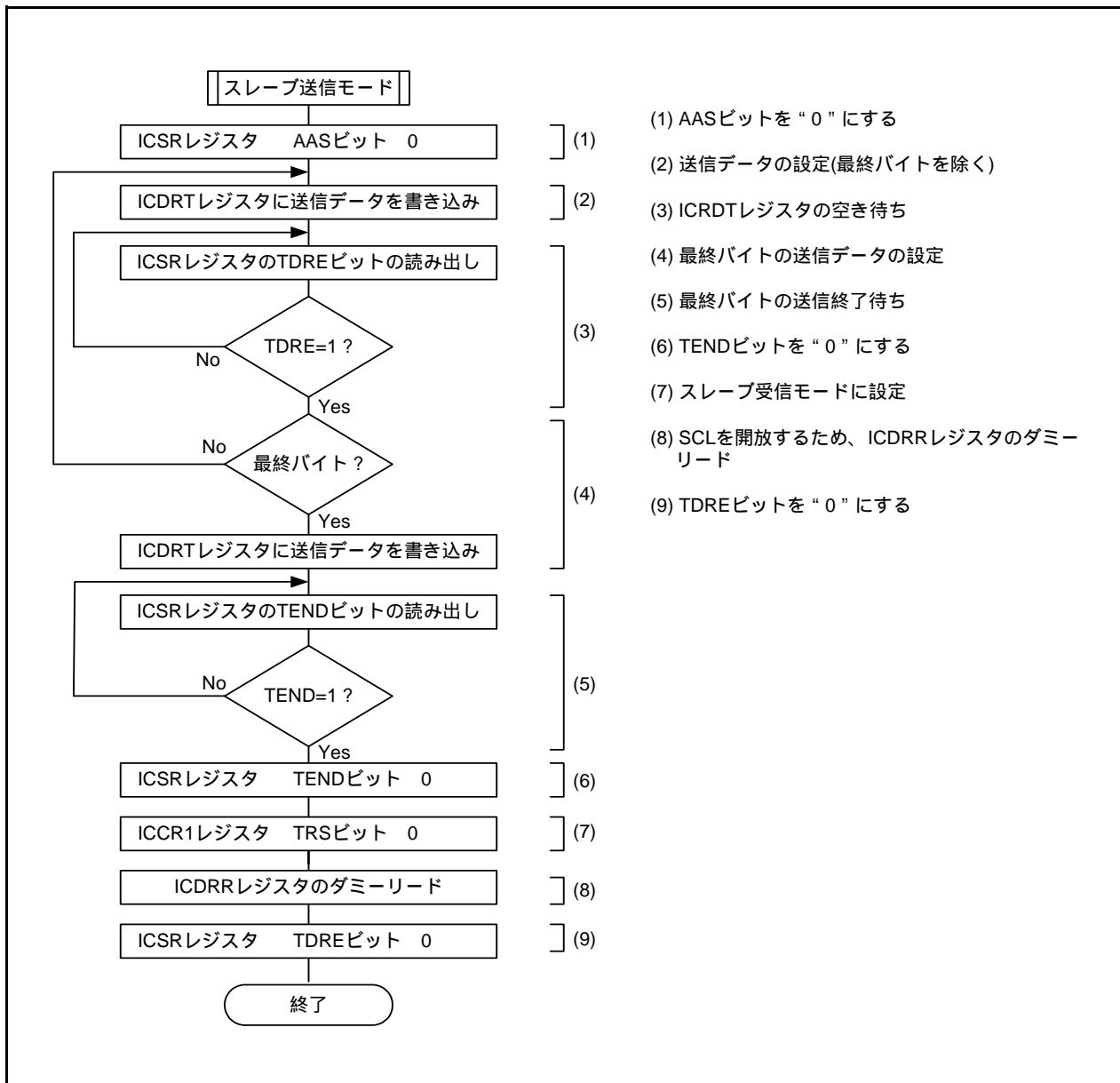
図25.15 受信モードの動作タイミング(クロック同期式シリアルモード)

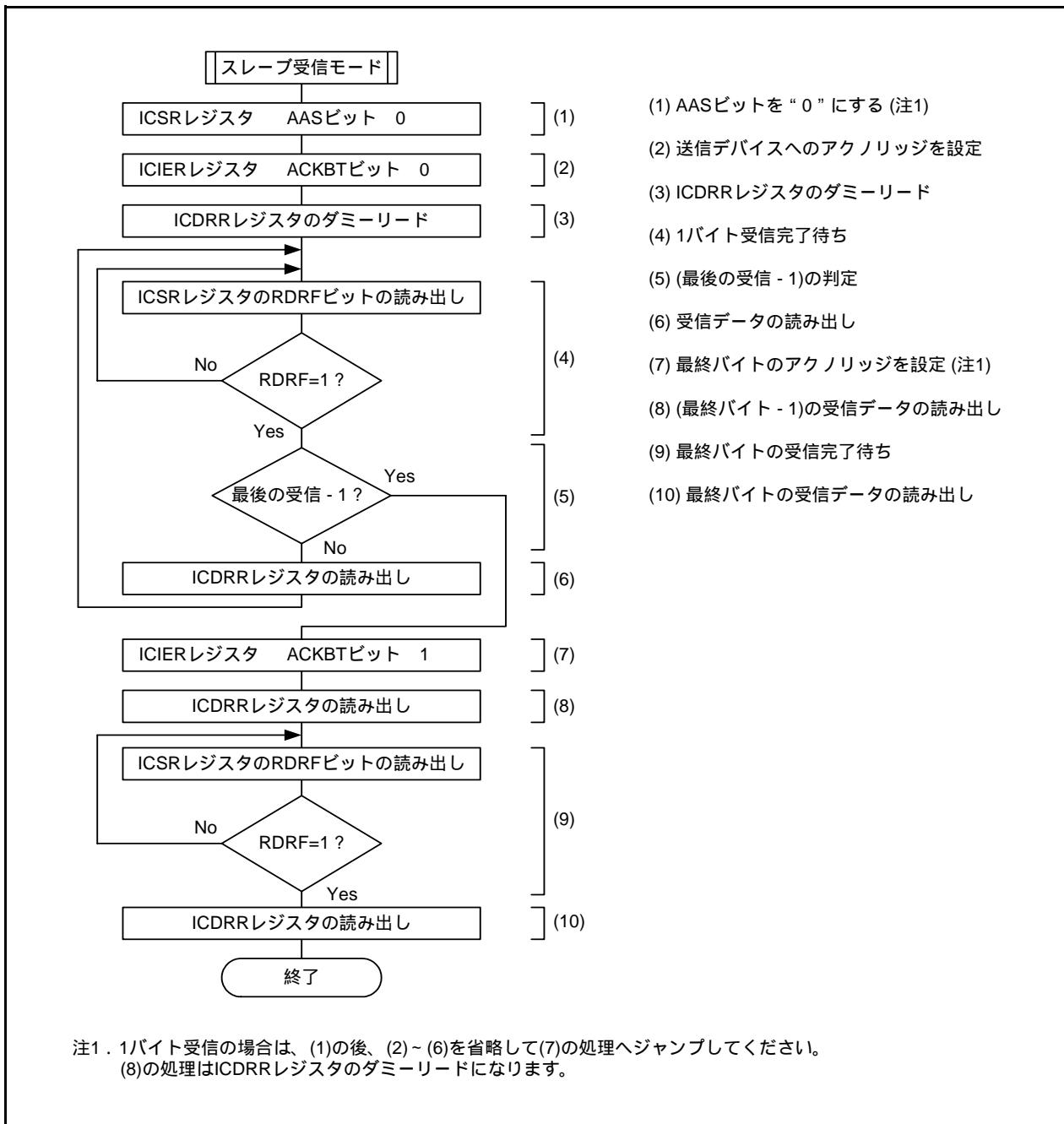
## 25.6 レジスタ設定例

I<sup>2</sup>C バスインターフェースを使用する場合のレジスタ設定例を図 25.16 ~ 図 25.19 に示します。



図 25.17 マスタ受信モードのレジスタ設定例(I<sup>2</sup>C バスインターフェースモード)

図 25.18 スレーブ送信モードのレジスタ設定例(I<sup>2</sup>C バスインターフェースモード)

図 25.19 スレーブ受信モードのレジスタ設定例(I<sup>2</sup>C バスインターフェースモード)

## 25.7 ノイズ除去回路

SCL 端子およびSDA 端子の状態は、ノイズ除去回路を経由して内部に取り込まれます。図 25.20 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は2段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（またはSDA 端子入力信号）がf1でサンプリングされ、2つのラッチ出力が一致したとき初めて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

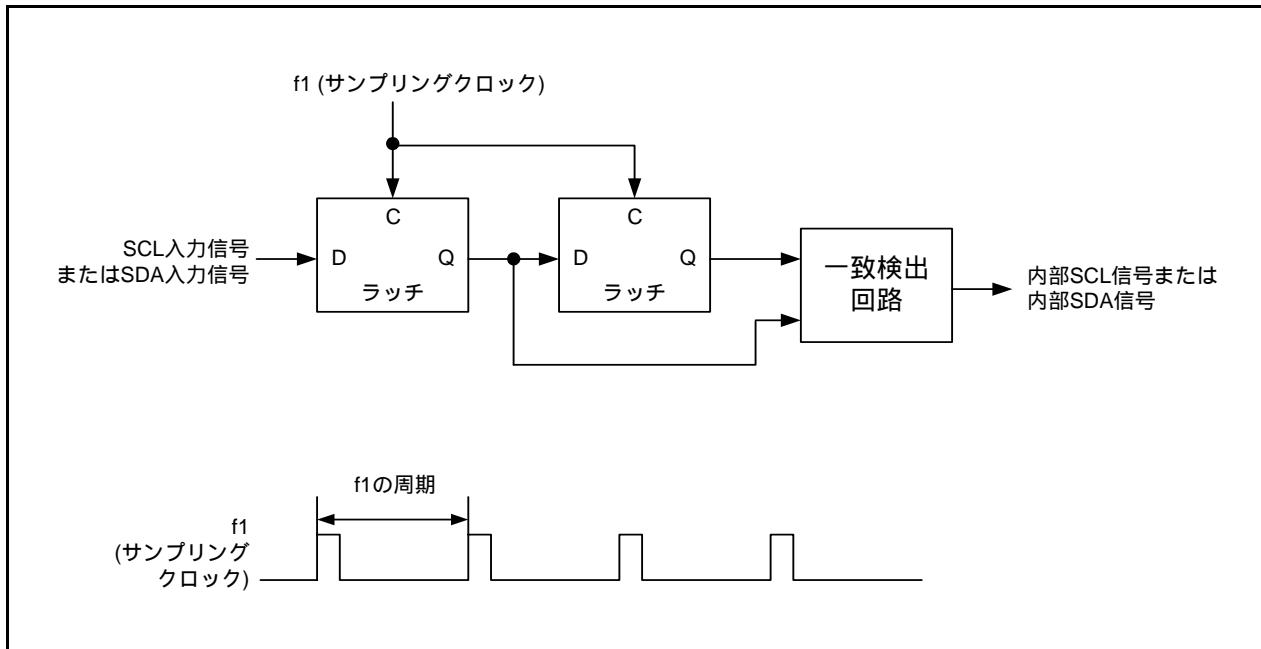


図 25.20 ノイズ除去回路のブロック図

## 25.8 ビット同期回路

- I<sup>2</sup>C バスインターフェースをマスタモードに設定時、
- スレーブデバイスにより SCL が “L” に保持された場合
  - SCL ラインの負荷(負荷容量、プルアップ抵抗)により SCL の立ち上がりがゆるやかになった場合の2つの状態で “H” 期間が短くなる可能性があるため、SCL をモニタしてビットごとに同期をとりながら通信します。

図 25.21 にビット同期回路のタイミングを、表 25.7 に SCL を “L” 出力からハイインピーダンスにした後、SCL をモニタするまでの時間を示します。

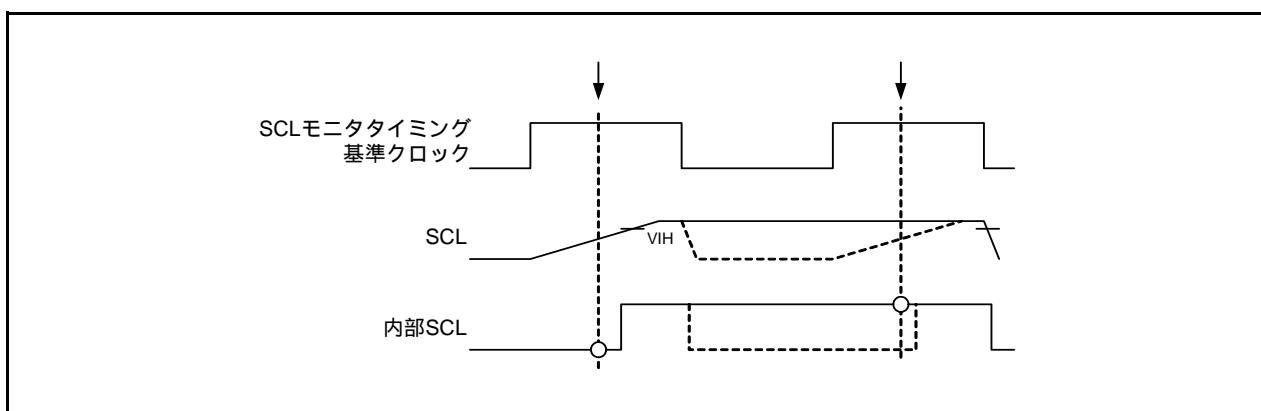


図 25.21 ビット同期回路のタイミング

表 25.7 SCL を “L” 出力からハイインピーダンスにした後、SCL をモニタするまでの時間

| ICCR1 レジスタ |      | SCL をモニタする時間 |
|------------|------|--------------|
| CKS3       | CKS2 |              |
| 0          | 0    | 7.5Tcyc      |
|            | 1    | 19.5Tcyc     |
| 1          | 0    | 17.5Tcyc     |
|            | 1    | 41.5Tcyc     |

1Tcyc=1/f<sub>1</sub>(s)

### 25.9 I<sup>2</sup>C バスインターフェース使用上の注意

I<sup>2</sup>C バスインターフェースを使用する場合には、SSUIICSR レジスタの IICSEL ビットを “1”(I<sup>2</sup>C バスインターフェース機能を選択)にしてください。

## 26. ハードウェアLIN

ハードウェアLINは、タイマRAおよびUART0と連携し、LIN通信を行うものです。

### 26.1 概要

ハードウェアLINには、以下の特長があります。

図26.1にハードウェアLINのブロック図を示します。

各モードでのWake Up機能はINT1より検出します。

#### 【マスタモード】

- Synch Break 発生
- バス衝突検出

#### 【スレーブモード】

- Synch Break 検出
- Synch Field 計測
- Synch Break およびSynch Field 信号のUART0入力制御機能
- バス衝突検出

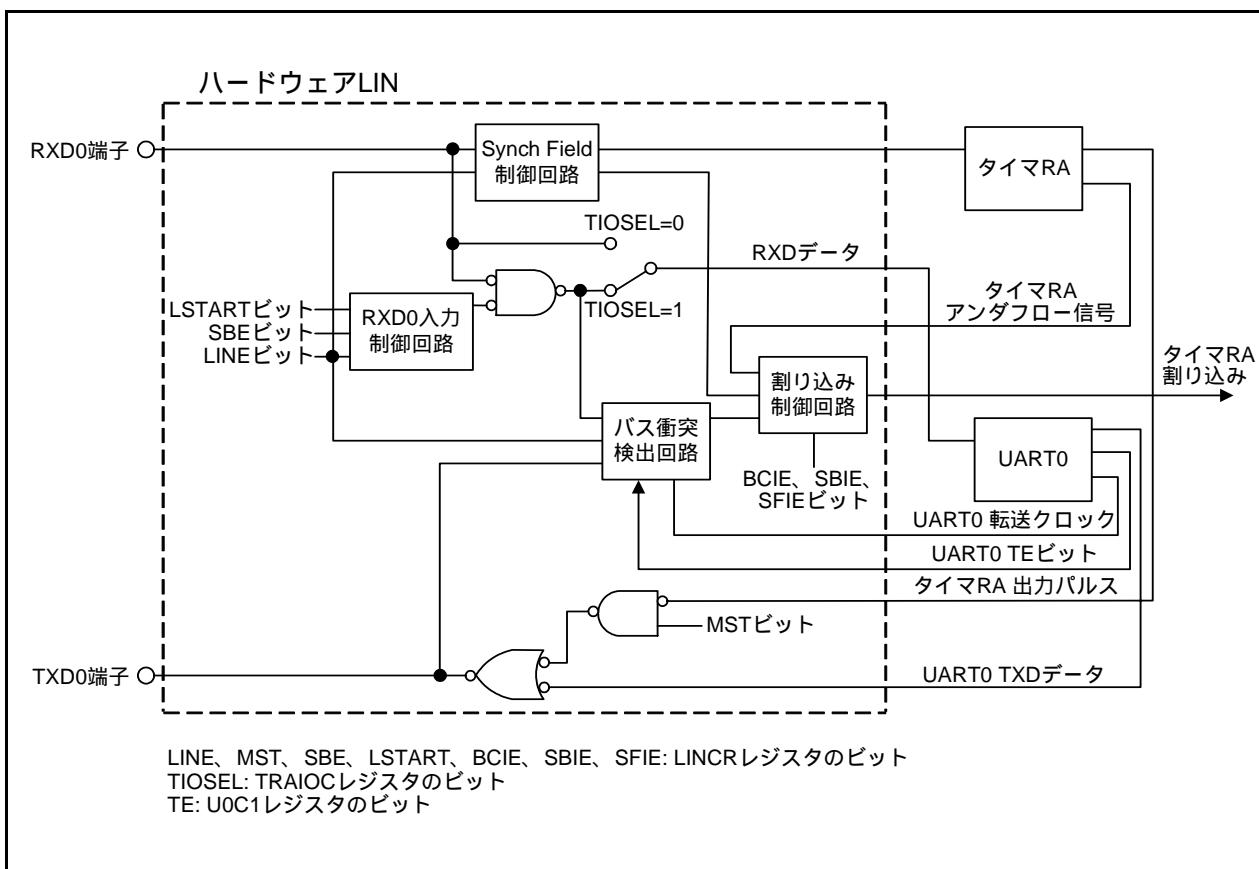


図26.1 ハードウェアLINのブロック図

## 26.2 入出力端子

表26.1にハードウェアLINの端子構成を示します。

表26.1 ハードウェアLINの端子構成

| 名称           | 端子名  | 割り当てる端子  | 入出力 | 機能                  |
|--------------|------|----------|-----|---------------------|
| レシーブデータ入力    | RXD0 | P1_5(注1) | 入力  | ハードウェアLINの受信データ入力端子 |
| トランスマットデータ出力 | TXD0 | P1_4(注2) | 出力  | ハードウェアLINの送信データ出力端子 |

注1. ハードウェアLINを使用するときは、表7.18を参照してください。

注2. ハードウェアLINを使用するときは、U0SRレジスタのTXD0SEL0ビットを“1”にしてください。

## 26.3 レジスタの説明

ハードウェアLINには以下のレジスタがあります。

- LINコントロールレジスタ2(LINCR2)
- LINコントロールレジスタ(LINCR)
- LINステータスレジスタ(LINST)

### 26.3.1 LINコントロールレジスタ2(LINCR2)

アドレス 0105h番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0  |
|---------|----|----|----|----|----|----|----|-----|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | BCE |
| リセット後の値 | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0   |

| ビット | シンボル | ビット名                                       | 機能                       | R/W |
|-----|------|--|--------------------------|-----|
| b0  | BCE  | Synch Break送信時、バス衝突検出有効ビット                 | 0：バス衝突検出禁止<br>1：バス衝突検出有効 | R/W |
| b1  | -    | 予約ビット                                      | “0”にしてください               | R/W |
| b2  | -    |  |                          |     |
| b3  | -    |  |                          |     |
| b4  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |                          | -   |
| b5  | -    |  |                          |     |
| b6  | -    |  |                          |     |
| b7  | -    |  |                          |     |

### 26.3.2 LINコントロールレジスタ(LINCR)

アドレス 0106h番地

| ビット     | b7   | b6  | b5  | b4     | b3    | b2   | b1   | b0   |
|---------|------|-----|-----|--------|-------|------|------|------|
| シンボル    | LINE | MST | SBE | LSTART | RXDSF | BCIE | SBIE | SFIE |
| リセット後の値 | 0    | 0   | 0   | 0      | 0     | 0    | 0    | 0    |

| ビット | シンボル   | ビット名                                     | 機能   | R/W |
|-----|--------|--|--|-----|
| b0  | SFIE   | Synch Field計測完了割り込み許可ビット                 | 0 : Synch Field計測完了割り込み禁止<br>1 : Synch Field計測完了割り込み許可                     | R/W |
| b1  | SBIE   | Synch Break検出割り込み許可ビット                   | 0 : Synch Break検出割り込み禁止<br>1 : Synch Break検出割り込み許可                         | R/W |
| b2  | BCIE   | バス衝突検出割り込み許可ビット                          | 0 : バス衝突検出割り込み禁止<br>1 : バス衝突検出割り込み許可                                       | R/W |
| b3  | RXDSF  | RXD0入力ステータスフラグ                           | 0 : RXD0入力許可状態<br>1 : RXD0入力禁止状態   | R   |
| b4  | LSTART | Synch Break検出開始ビット(注1)                   | “1”を書くとタイマRA入力許可、RXD0入力禁止になります。読んだ場合、その値は“0”。                              | R/W |
| b5  | SBE    | RXD0入力マスク解除タイミングセレクトビット<br>(スレーブモードのみ有効) | 0 : Synch Break検出後に解除<br>1 : Synch Field計測完了後に解除                           | R/W |
| b6  | MST    | LIN動作モード設定ビット(注2)                        | 0 : スレーブモード<br>(Synch Break検出回路動作)<br>1 : マスター モード<br>(タイマRAの出力をTXD0とORする) | R/W |
| b7  | LINE   | LIN動作開始ビット                               | 0 : LINは動作停止<br>1 : LINは動作開始(注3)   | R/W |

注1. LSTARTビット設定後、RXDSFフラグが“1”になる事を確認してからSynch Breakを入力開始してください。

注2. LIN動作モードを切り替える場合は、一度、LIN動作を停止(LINEビット=0)してください。

注3. LINEビットを“1”(LINは動作開始)にした直後は、タイマRAおよびUART0への入力は禁止です。(図26.3 ヘッダフィールド送信フローチャート例(1)および図26.7 ヘッダフィールド受信フローチャート例(2)を参照してください。)

### 26.3.3 LINステータスレジスタ(LINST)

アドレス 0107h番地

| ビット     | b7 | b6 | b5    | b4    | b3    | b2    | b1    | b0    |
|---------|----|----|-------|-------|-------|-------|-------|-------|
| シンボル    | -  | -  | B2CLR | B1CLR | B0CLR | BCDCT | SBDCT | SFDCT |
| リセット後の値 | 0  | 0  | 0     | 0     | 0     | 0     | 0     | 0     |

| ビット | シンボル  | ビット名                                       | 機能                                     | R/W |
|-----|-------|--|--|-----|
| b0  | SFDCT | Synch Field計測完了フラグ                         | “1”的ときSynch Field計測完了                  | R   |
| b1  | SBDCT | Synch Break検出フラグ                           | “1”的ときSynch Break検出、またはSynch Break発生完了 | R   |
| b2  | BCDCT | バス衝突検出フラグ                                  | “1”的ときバス衝突検出                           | R   |
| b3  | B0CLR | SFDCTフラグクリアビット                             | “1”を書くとSFDCTビットを“0”にします。読んだ場合、その値は“0”。 | R/W |
| b4  | B1CLR | SBDCTフラグクリアビット                             | “1”を書くとSBDCTビットを“0”にします。読んだ場合、その値は“0”。 | R/W |
| b5  | B2CLR | BCDCTフラグクリアビット                             | “1”を書くとBCDCTビットを“0”にします。読んだ場合、その値は“0”。 | R/W |
| b6  | -     | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |  | -   |
| b7  | -     |  |  |     |

## 26.4 動作説明

### 26.4.1 マスタモード

図26.2にマスタモードでの、ヘッダフィールドの送信時の動作例を、図26.3～図26.4にヘッダフィールドの送信を行うためのフローチャート例を示します。

ハードウェアLINは、ヘッダフィールド送信時、以下のように動作します。

- (1) タイマRAのTRACRレジスタのTSTARTビットに“1”を書き込むと、タイマRAのTRAPRE、TRAレジスタに設定された期間、TXD0端子から“L”レベルを出力します。
- (2) タイマRAがアンダフローすると、TXD0端子の出力を反転し、LINSTレジスタのSBDCTフラグが“1”にセットされます。また、LINCRレジスタのSBIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。
- (3) UART0により、“55h”を送信します。
- (4) UART0により、“55h”的送信が完了後、IDフィールドを送信します。
- (5) IDフィールドの送信完了後、レスポンスフィールドの通信を行います。

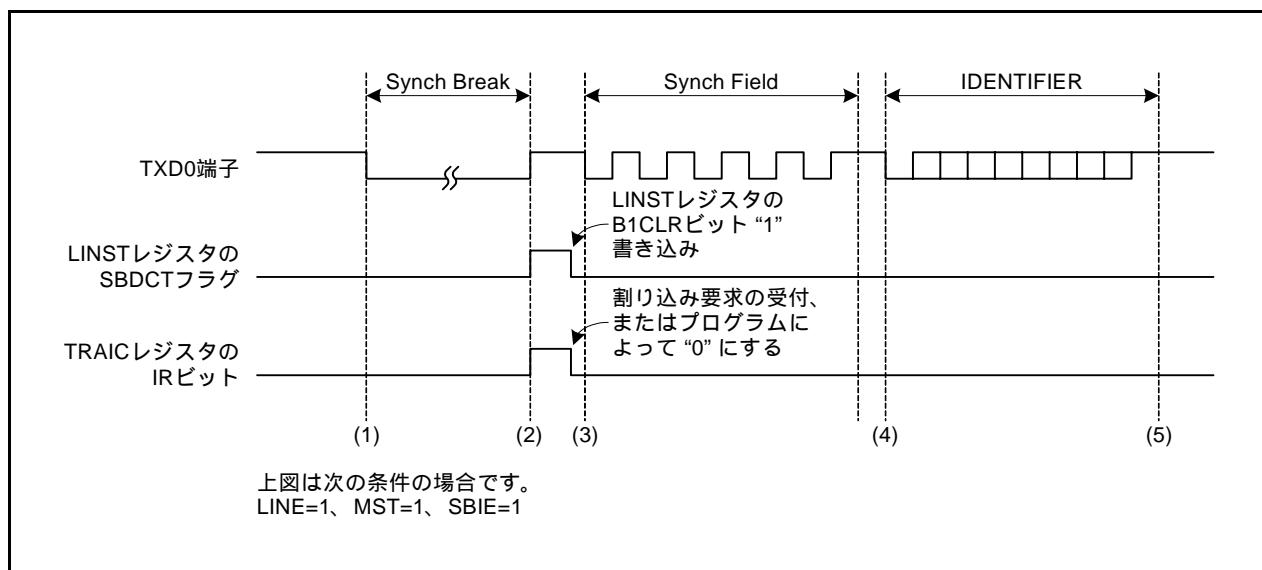


図26.2 ヘッダフィールドの送信時の動作例

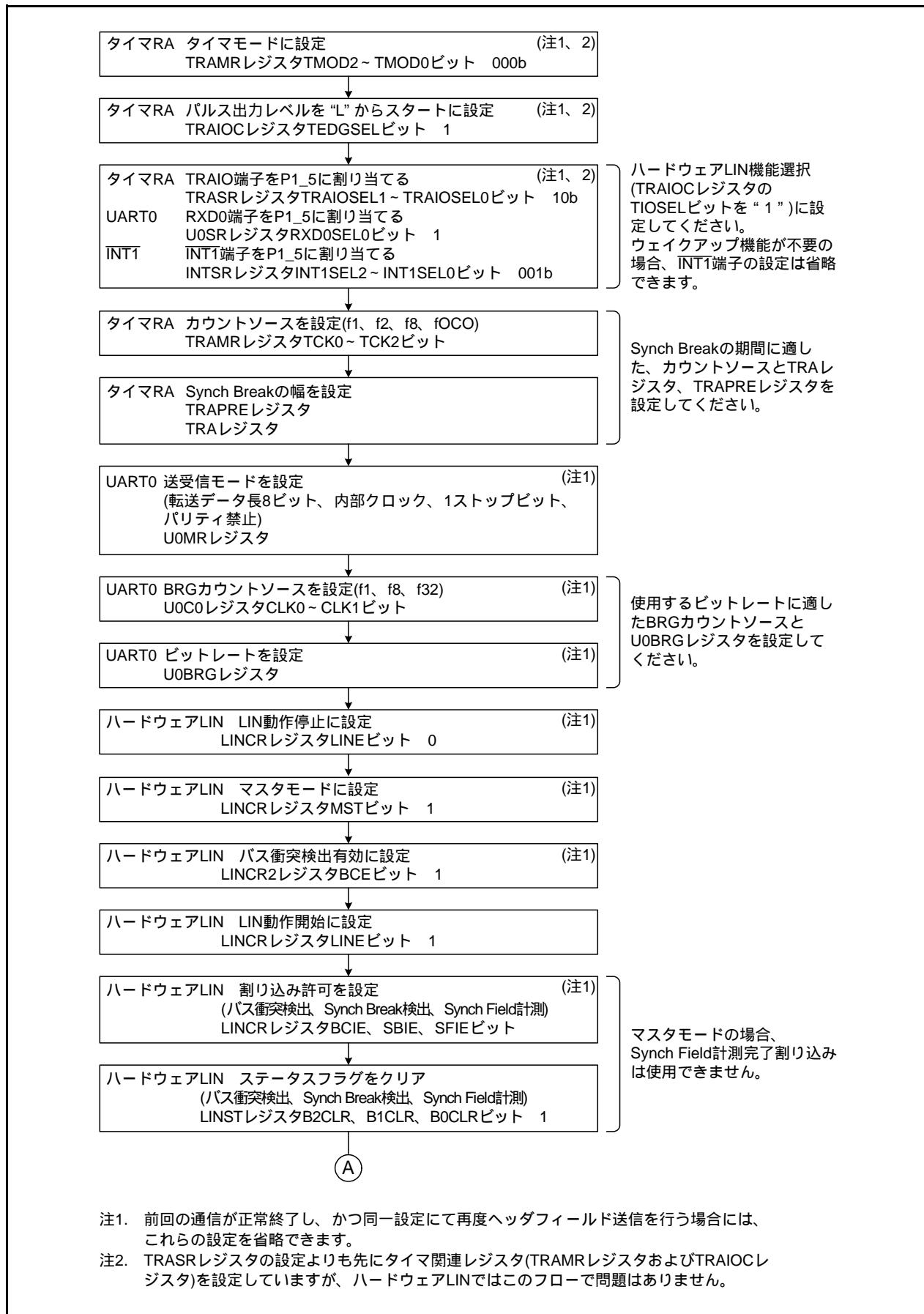


図26.3 ヘッダフィールド送信フローチャート例(1)

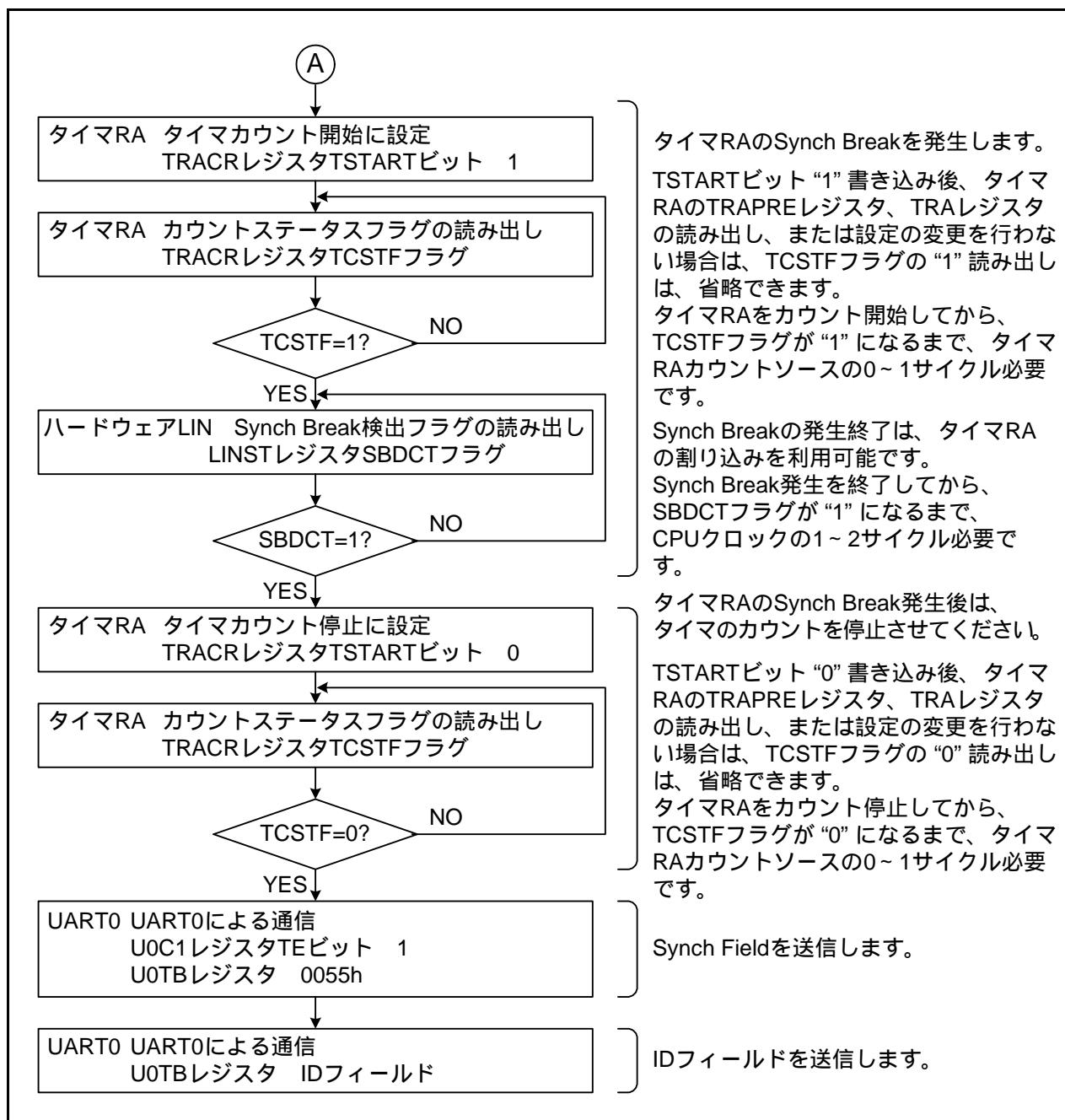


図26.4 ヘッダフィールド送信フローチャート例(2)

### 26.4.2 スレーブモード

図26.5にスレーブモードでの、ヘッダフィールドの受信時の動作例を、図26.6～図26.8にヘッダフィールドの受信を行うためのフローチャート例を示します。

ハードウェアLINは、ヘッダフィールド受信時、以下のように動作します。

- (1) ハードウェアLINのLINCRレジスタのLSTARTビットに“1”を書き込むと、Synch Break検出が可能になります。
- (2) タイマRAに設定した期間以上の“L”レベルが入力されるとSynch Breakとして検出します。このとき、LINSTレジスタのSBDCTフラグが“1”にセットされます。また、LINCRレジスタのSBIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。そして、Synch Field計測に遷移します。
- (3) Synch Field(55h)を受信します。このとき、タイマRAにより、スタートビットおよび0～6ビットまでの期間を測定します。このとき、Synch Fieldの信号をUART0のRXD0に入力するか禁止にするかをLINCRのSBEビットにより選択できます。
- (4) Synch Field計測が完了するとLINSTレジスタのSFDCTフラグが“1”にセットされます。また、LINCRレジスタのSFIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。
- (5) Synch Field計測完了後、タイマRAのカウント値から転送速度を算出し、UART0に設定およびタイマRAのTRAPREレジスタとTRAレジスタを再設定します。そして、UART0により、IDフィールドを受信します。
- (6) IDフィールドの受信完了後、レスポンスフィールドの通信を行います。

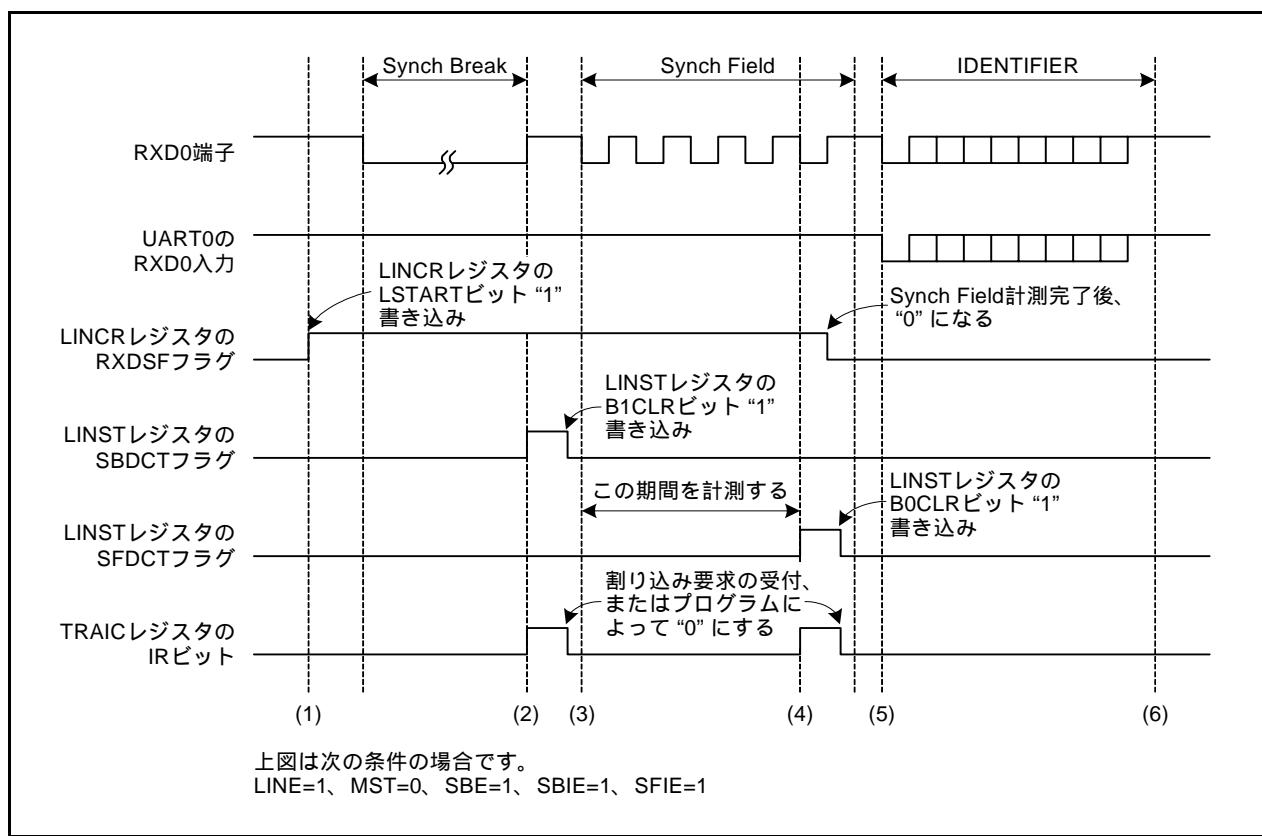


図26.5 ヘッダフィールドの受信時の動作例

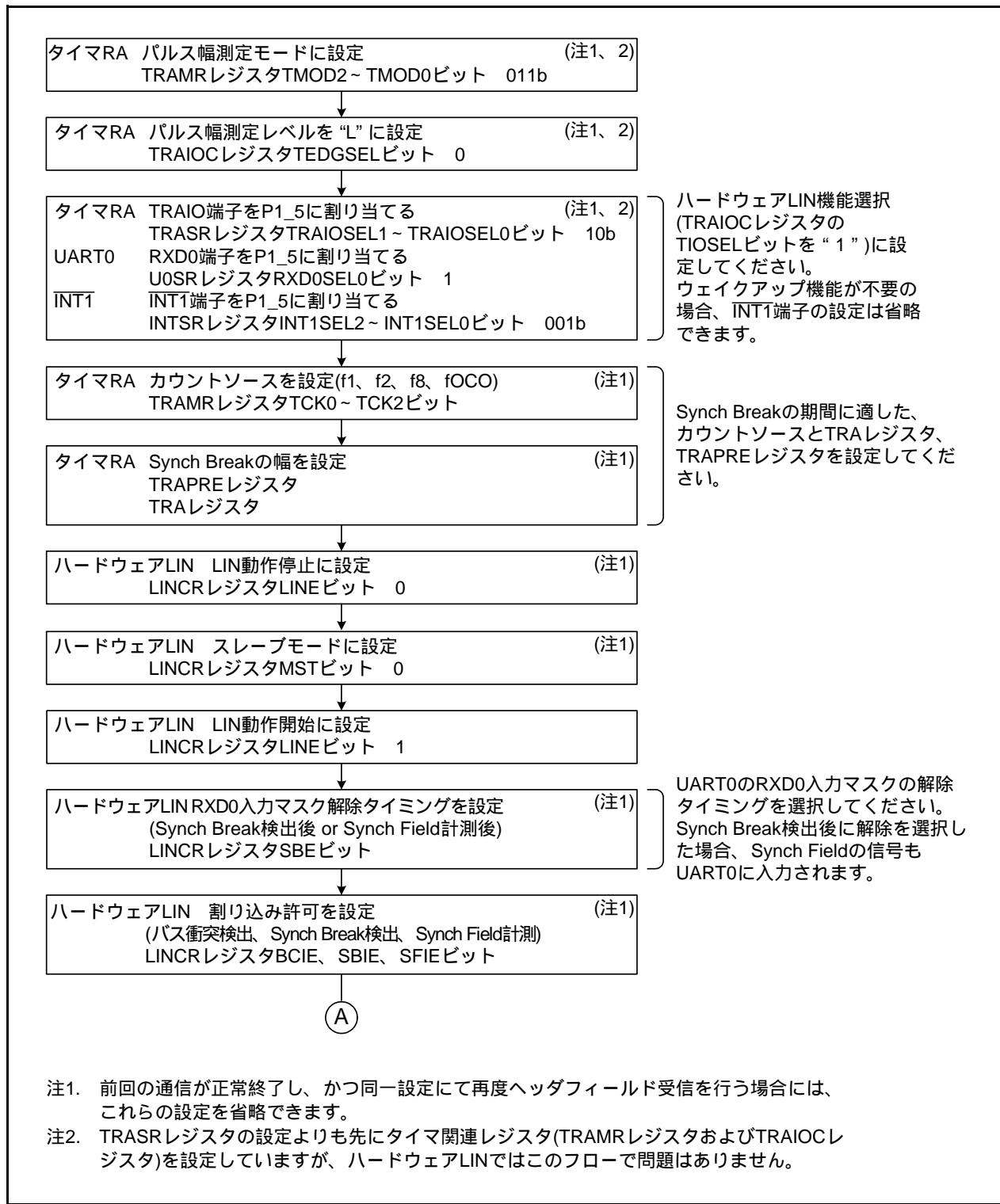


図26.6 ヘッダフィールド受信フローチャート例(1)

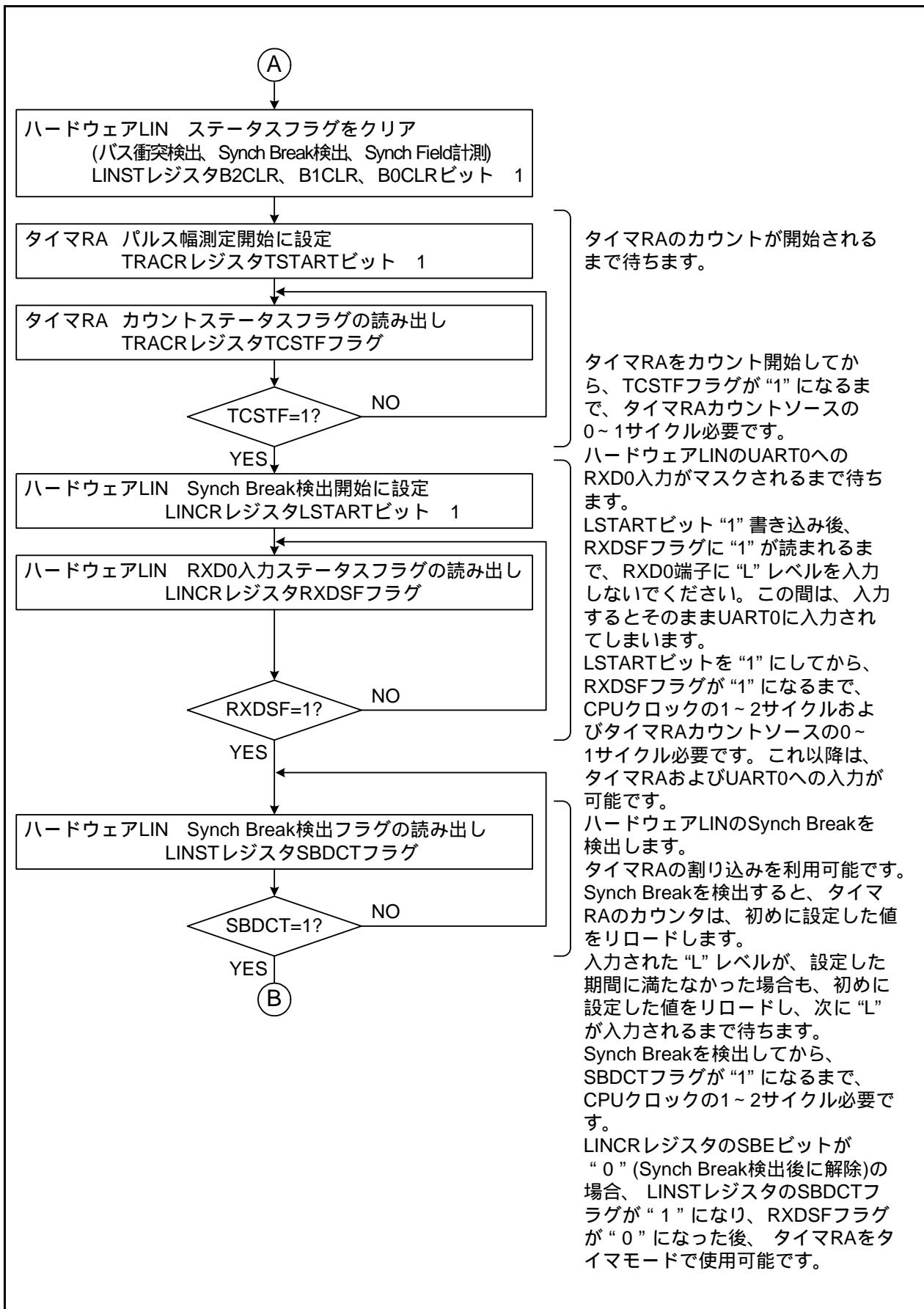


図26.7 ヘッダフィールド受信フローチャート例(2)

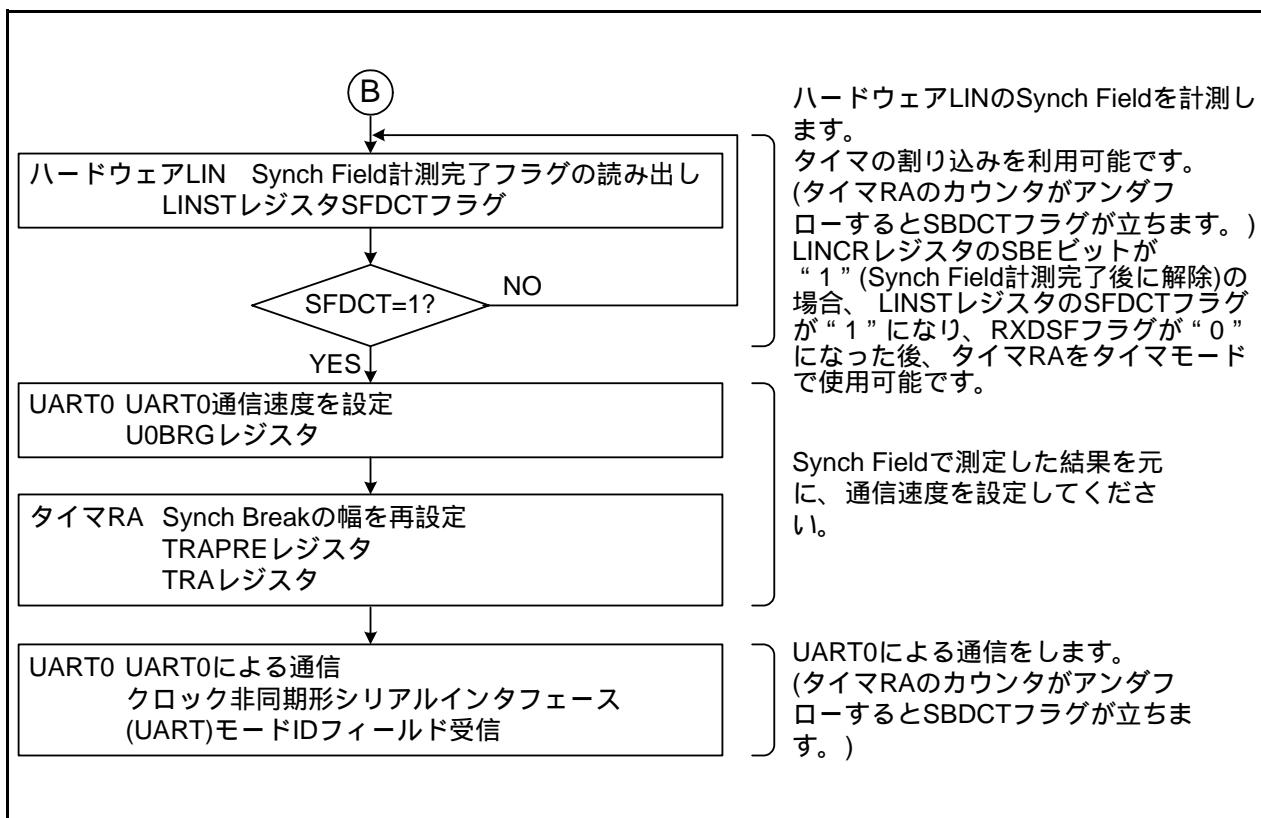


図26.8 ヘッダフィールド受信フローチャート例(3)

### 26.4.3 バス衝突検出機能

UART0が送信許可(U0C1レジスタのTEビットが“1”)の場合、バス衝突検出機能を使用することができます。Synch Break送信中にバス衝突検出を行う場合は、LINCR2レジスタのBCEビットを“1”(バス衝突検出有効)にしてください。

図26.9にバス衝突検出時の動作例を示します。

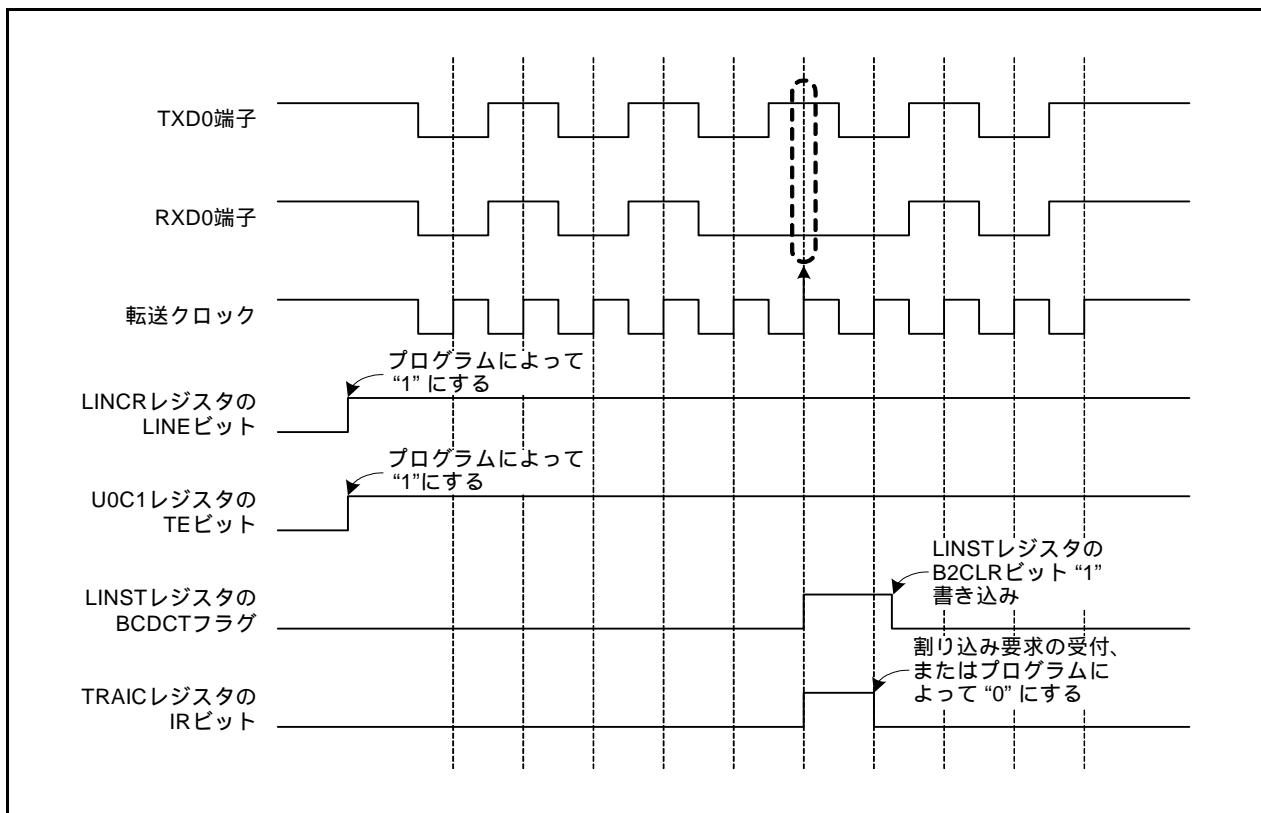


図26.9 バス衝突検出時の動作例

#### 26.4.4 ハードウェアLIN終了処理

図26.10にハードウェアLIN通信終了のフローチャート例を示します。

ハードウェアLINの終了処理は、以下のタイミングで実施してください。

- バス衝突検出機能を使用する場合：

チェックサム送信終了後、ハードウェアLINの終了処理を実施

- バス衝突検出機能を使用しない場合：

ヘッダフィールド送受信終了後、ハードウェアLINの終了処理を実施

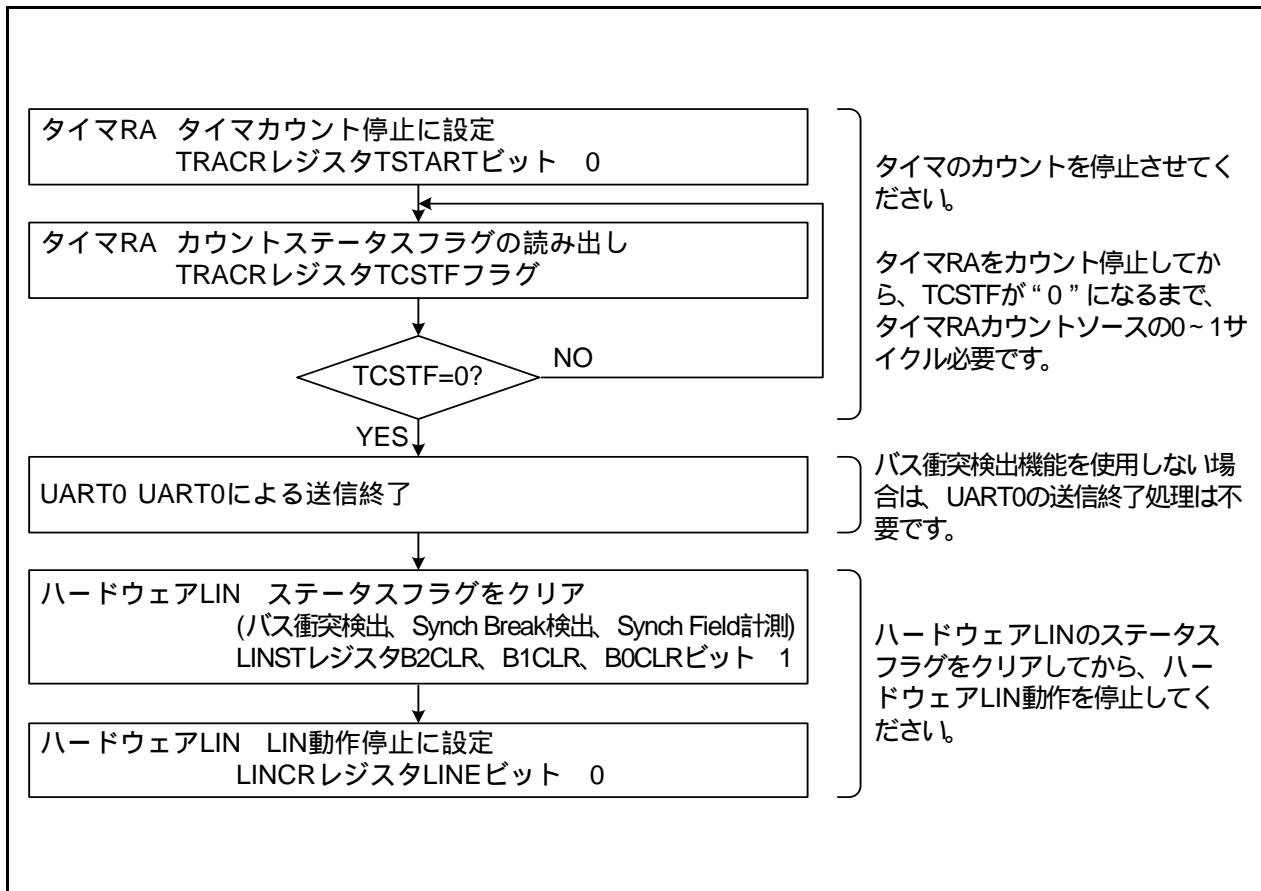


図26.10 ハードウェアLIN通信終了のフローチャート例

## 26.5 割り込み要求

ハードウェアLINが生成する割り込み要求には、Synch Break検出、Synch Break発生完了、Synch Field計測完了およびバス衝突検出の計4種類があります。これらの割り込みは、タイマRAの割り込みと兼用となっています。

表26.2にハードウェアLINの割り込み要求を示します。

表26.2 ハードウェアLINの割り込み要求

| 割り込み要求          | ステータスフラグ | 割り込み要因  |
|-----------------|----------|---|
| Synch Break検出   | SBDCT    | タイマRAによりRXD0入力の“L”レベルの期間を計測し、アンダフローしたとき。また、通信中にSynch Breakの期間より長い“L”レベルが入力されたとき |
| Synch Break発生完了 |          | タイマRAにより設定された期間、TXD0へ“L”レベルの出力を完了したとき   |
| Synch Field計測完了 | SFDCT    | タイマRAによりSynch Fieldの6ビット目の計測が完了したとき   |
| バス衝突検出          | BCDCT    | UART0が送信許可の場合、データラッシュタイミングでRXD0入力とTXD0出力の値が異なったとき                               |

## 26.6 ハードウェアLIN使用上の注意

ヘッダフィールドおよびレスポンスフィールドのタイムアウト処理は、Synch Break検出割り込みを起點に他のタイマで時間計測を行ってください。

## 27. A/D コンバータ

容量結合増幅器で構成された、10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。アナログ入力は、P0\_0 ~ P0\_7、P1\_0 ~ P1\_3と端子を共用しています。

### 27.1 概要

表27.1にA/Dコンバータの性能を、図27.1にA/Dコンバータのブロック図を示します。

表 27.1 A/D コンバータの性能

| 項目                                | 性能  |
|-----------------------------------|---|
| A/D 変換方式                          | 逐次比較変換方式(容量結合増幅器)   |
| アナログ入力電圧(注1)                      | 0V ~ AVCC   |
| 動作クロック AD(注2)                     | fAD、fADの2分周、fADの4分周、fADの8分周<br>(fAD=f1 または fOCO-F)  |
| 分解能                               | 8ビットまたは10ビット選択可能  |
| 絶対精度                              | AVCC=Vref=5V、AD=20MHzのとき<br>・分解能8ビットの場合 ± 2LSB<br>・分解能10ビットの場合 ± 3LSB<br>AVCC=Vref=3.3V、AD=16MHzのとき<br>・分解能8ビットの場合 ± 2LSB<br>・分解能10ビットの場合 ± 5LSB<br>AVCC=Vref=3.0V、AD=10MHzのとき<br>・分解能8ビットの場合 ± 2LSB<br>・分解能10ビットの場合 ± 5LSB<br>AVCC=Vref=2.2V、AD=5MHzのとき<br>・分解能8ビットの場合 ± 2LSB<br>・分解能10ビットの場合 ± 5LSB |
| 動作モード                             | 単発モード、繰り返しモード0、繰り返しモード1、単掃引モード、繰り返し掃引モード  |
| アナログ入力端子                          | 12本(AN0 ~ AN11)   |
| A/D 変換開始条件                        | •ソフトウェアトリガ<br>•タイマRC<br>•外部トリガ<br>(「27.3.3 A/D 変換開始条件」参照)   |
| 1端子あたりの変換速度(注3)<br>( AD=fAD のとき ) | 最短43 ADサイクル   |

注1. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

注2. 動作クロック ADは「表32.3 A/Dコンバータ特性」を参照してください。

注3. 分解能8ビット、10ビット共に1端子あたりの変換速度は最短43 ADサイクルになります。

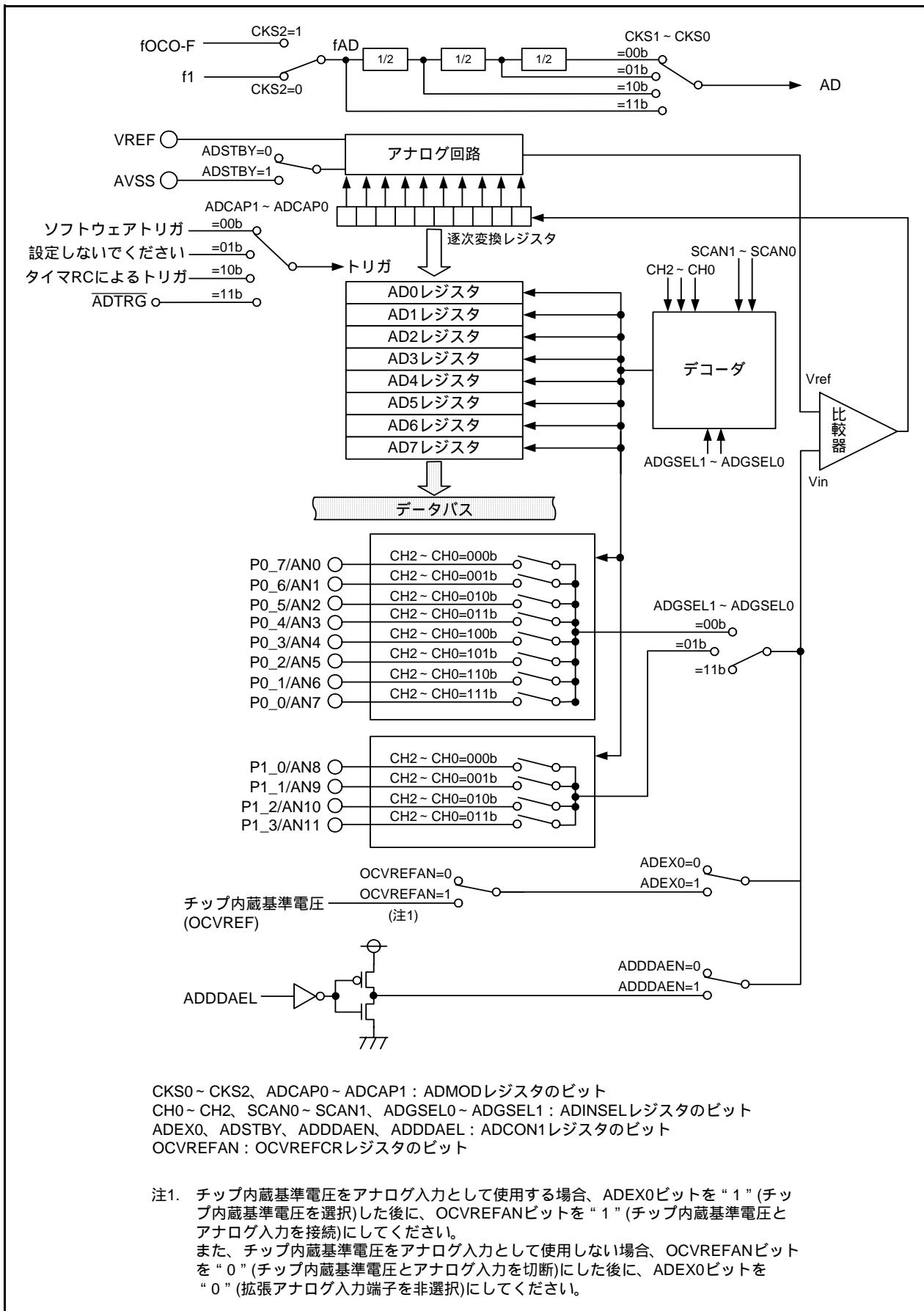


図 27.1 A/D コンバータのブロック図

## 27.2 レジスタの説明

### 27.2.1 チップ内蔵基準電圧制御レジスタ(OCVREFCR)

アドレス 0026h 番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0       |
|---------|----|----|----|----|----|----|----|----------|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | OCVREFAN |
| リセット後の値 | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0        |

| ビット | シンボル     | ビット名                        | 機能   | R/W |
|-----|----------|-----------------------------|--|-----|
| b0  | OCVREFAN | チップ内蔵基準電圧 - アナログ入力接続ビット(注1) | 0 : チップ内蔵基準電圧とアナログ入力を切断<br>1 : チップ内蔵基準電圧とアナログ入力を接続 | R/W |
| b1  | -        | 予約ビット                       | “0”にしてください   | R/W |
| b2  | -        |                             |  |     |
| b3  | -        |                             |  |     |
| b4  | -        |                             |  |     |
| b5  | -        |                             |  |     |
| b6  | -        |                             |  |     |
| b7  | -        |                             |  |     |

注1. チップ内蔵基準電圧をアナログ入力として使用する場合、ADCON1 レジスタの ADEX0 ビットを “1”(チップ内蔵基準電圧を選択)にした後に、OCVREFAN ビットを “1”(チップ内蔵基準電圧とアナログ入力を接続)にしてください。

また、チップ内蔵基準電圧をアナログ入力として使用しない場合、OCVREFAN ビットを “0”(チップ内蔵基準電圧とアナログ入力を切断)にした後に、ADEX0 ビットを “0”(拡張アナログ入力端子を非選択)にしてください。

OCVREFCR レジスタは、PRCR レジスタの PRC3 ビットを “1”(書き込み許可)にした後で書き換えてください。

A/D変換中にOCVREFCR レジスタの内容を書き換えた場合、変換結果は不定になります。

### 27.2.2 A/D レジスタ i (AD<sub>i</sub>) (<sub>i</sub> = 0 ~ 7)

アドレス 00C1h ~ 00C0h 番地(AD0)、00C3h ~ 00C2h 番地(AD1)、00C5h ~ 00C4h 番地(AD2)、  
00C7h ~ 00C6h 番地(AD3)、00C9h ~ 00C8h 番地(AD4)、00CBh ~ 00CAh 番地(AD5)、  
00CDh ~ 00CCh 番地(AD6)、00CFh ~ 00CEh 番地(AD7)

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | X  | X  | X  | X  | X  | X  | X  | X  |

| ビット     | b15 | b14 | b13 | b12 | b11 | b10 | b9 | b8 |
|---------|-----|-----|-----|-----|-----|-----|----|----|
| シンボル    | -   | -   | -   | -   | -   | -   | -  | -  |
| リセット後の値 | 0   | 0   | 0   | 0   | 0   | 0   | X  | X  |

| ビット | 機能   |  | R/W |
|-----|--|--|-----|
|     | 10ビットモードの場合<br>(ADCON1 レジスタのBITS ビット=“1”)  | 8ビットモードの場合<br>(ADCON1 レジスタのBITS ビット=“0”) |     |
| b0  | A/D 変換結果の下位8ビット                            | A/D 変換結果                                 | R   |
| b1  |  |  |     |
| b2  |  |  |     |
| b3  |  |  |     |
| b4  |  |  |     |
| b5  |  |  |     |
| b6  |  |  |     |
| b7  |  |  |     |
| b8  | A/D 変換結果の上位2ビット                            | 読んだ場合、その値は“0”。                           | R   |
| b9  |  |  |     |
| b10 | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |  | -   |
| b11 |  |  |     |
| b12 |  |  |     |
| b13 |  |  |     |
| b14 |  |  |     |
| b15 | 予約ビット                                      | 読んだ場合、その値は不定。                            | R   |

A/D 変換中に ADCON1、ADMOD、ADINSEL、OCVREFCR レジスタのいずれかの内容を書き換えた場合、変換結果は不定になります。

10ビットモードかつ繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、AD<sub>i</sub> レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

### 27.2.3 A/D モードレジスタ(ADMOD)

アドレス 00D4h 番地

| ビット     | b7     | b6     | b5  | b4  | b3  | b2   | b1   | b0   |
|---------|--------|--------|-----|-----|-----|------|------|------|
| シンボル    | ADCAP1 | ADCAP0 | MD2 | MD1 | MD0 | CKS2 | CKS1 | CKS0 |
| リセット後の値 | 0      | 0      | 0   | 0   | 0   | 0    | 0    | 0    |

| ビット | シンボル   | ビット名           | 機能  | R/W |
|-----|--------|----------------|---|-----|
| b0  | CKS0   | 分周選択ビット        | <sup>b1 b0</sup><br>0 0 : fAD の 8 分周<br>0 1 : fAD の 4 分周<br>1 0 : fAD の 2 分周<br>1 1 : fAD の 1 分周(分周なし)  | R/W |
| b1  | CKS1   |                |   | R/W |
| b2  | CKS2   | クロック源選択ビット(注1) | 0 : f1 を選択<br>1 : fOCO-F を選択  | R/W |
| b3  | MD0    | A/D動作モード選択ビット  | <sup>b5 b4 b3</sup><br>0 0 0 : 単発モード<br>0 0 1 : 設定しないでください<br>0 1 0 : 繰り返しモード0<br>0 1 1 : 繰り返しモード1<br>1 0 0 : 単掃引モード<br>1 0 1 : 設定しないでください<br>1 1 0 : 繰り返し掃引モード<br>1 1 1 : 設定しないでください | R/W |
| b4  | MD1    |                |   | R/W |
| b5  | MD2    |                |   | R/W |
| b6  | ADCAP0 |                |   | R/W |
| b7  | ADCAP1 | A/D変換トリガ選択ビット  | <sup>b7 b6</sup><br>0 0 : ソフトウェアトリガ(ADCON0レジスタのADST ビット)によるA/D変換開始<br>0 1 : 設定しないでください<br>1 0 : タイマRCからの変換トリガによるA/D変換開始<br>1 1 : 外部トリガ(ADTRG)によるA/D変換開始                               | R/W |

注1. CKS2ビットを変更したときは、ADの3サイクル以上経過した後にA/D変換を開始してください。

A/D変換中に ADMOD レジスタの内容を書き換えた場合、変換結果は不定になります。

### 27.2.4 A/D 入力選択レジスタ (ADINSEL)

アドレス 00D5h 番地

| ビット     | b7      | b6      | b5    | b4    | b3 | b2  | b1  | b0  |
|---------|---------|---------|-------|-------|----|-----|-----|-----|
| シンボル    | ADGSEL1 | ADGSEL0 | SCAN1 | SCAN0 | -  | CH2 | CH1 | CH0 |
| リセット後の値 | 1       | 1       | 0     | 0     | 0  | 0   | 0   | 0   |

| ビット | シンボル    | ビット名            | 機能  | R/W |
|-----|---------|-----------------|---|-----|
| b0  | CH0     | アナログ入力端子選択ビット   | 「表 27.2 アナログ入力端子選択」参照   | R/W |
| b1  | CH1     |                 |   | R/W |
| b2  | CH2     |                 |   | R/W |
| b3  | -       | 予約ビット           | “0”にしてください  | R/W |
| b4  | SCAN0   | A/D 掃引端子数選択ビット  | b5 b4<br>00 : 2端子<br>01 : 4端子<br>10 : 6端子<br>11 : 8端子                                       | R/W |
| b5  | SCAN1   |                 |   | R/W |
| b6  | ADGSEL0 | A/D 入力グループ選択ビット | b7 b6<br>00 : ポート P0 グループを選択<br>01 : ポート P1 グループを選択<br>10 : 設定しないでください<br>11 : ポート グループを非選択 | R/W |
| b7  | ADGSEL1 |                 |   | R/W |

A/D 変換中に ADINSEL レジスタの内容を書き換えた場合、変換結果は不定になります。

表 27.2 アナログ入力端子選択

| CH2 ~ CH0 ビット | ADGSEL1 ~ ADGSEL0 ビット = 00b | ADGSEL1 ~ ADGSEL0 ビット = 01b |
|---------------|-----------------------------|-----------------------------|
| 000b          | AN0                         | AN8                         |
| 001b          | AN1                         | AN9                         |
| 010b          | AN2                         | AN10                        |
| 011b          | AN3                         | AN11                        |
| 100b          | AN4                         | 設定しないでください                  |
| 101b          | AN5                         |                             |
| 110b          | AN6                         |                             |
| 111b          | AN7                         |                             |

### 27.2.5 A/D 制御レジスタ 0 (ADCON0)

アドレス 00D6h 番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0   |
|---------|----|----|----|----|----|----|----|------|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | ADST |
| リセット後の値 | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0    |

| ビット | シンボル | ビット名                                       | 機能                           | R/W |
|-----|------|--|------------------------------|-----|
| b0  | ADST | A/D 変換開始フラグ                                | 0 : A/D 変換停止<br>1 : A/D 変換開始 | R/W |
| b1  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |                              | -   |
| b2  | -    |  |                              |     |
| b3  | -    |  |                              |     |
| b4  | -    |  |                              |     |
| b5  | -    |  |                              |     |
| b6  | -    |  |                              |     |
| b7  | -    |  |                              |     |

#### ADST ビット (A/D 変換開始フラグ)

【“1”になる条件】A/D 変換開始時およびA/D 変換中

【“0”になる条件】A/D 変換停止時

### 27.2.6 A/D 制御レジスタ1 (ADCON1)

アドレス 00D7h 番地

| ビット     | b7      | b6      | b5     | b4   | b3 | b2 | b1 | b0    |
|---------|---------|---------|--------|------|----|----|----|-------|
| シンボル    | ADDDAEL | ADDDAEN | ADSTBY | BITS | -  | -  | -  | ADEX0 |
| リセット後の値 | 0       | 0       | 0      | 0    | 0  | 0  | 0  | 0     |

| ビット | シンボル    | ビット名                       | 機能                                       | R/W |
|-----|---------|----------------------------|--|-----|
| b0  | ADEX0   | 拡張アナログ入力端子選択ビット<br>(注1)    | 0: 拡張アナログ入力端子を非選択<br>1: チップ内蔵基準電圧を選択(注2) | R/W |
| b1  | -       | 予約ビット                      | "0"にしてください                               | R/W |
| b2  | -       |                            |  |     |
| b3  | -       |                            |  |     |
| b4  | BITS    | 8/10ビットモード選択ビット            | 0: 8ビットモード<br>1: 10ビットモード                | R/W |
| b5  | ADSTBY  | A/Dスタンバイビット(注3)            | 0: A/D動作停止(スタンバイ)<br>1: A/D動作可能          | R/W |
| b6  | ADDDAEN | A/D断線検出アシスト機能許可ビット<br>(注4) | 0: 禁止<br>1: 許可                           | R/W |
| b7  | ADDDAEL | A/D断線検出アシスト方式選択ビット<br>(注4) | 0: 変換前ディスチャージ<br>1: 変換前プリチャージ            | R/W |

注1. チップ内蔵基準電圧をアナログ入力として使用する場合、ADEX0 ビットを "1" (チップ内蔵基準電圧を選択) にした後に、OCVREFCR レジスタの OCVREFAN ビットを "1" (チップ内蔵基準電圧とアナログ入力を接続) してください。

また、チップ内蔵基準電圧をアナログ入力として使用しない場合、OCVREFAN ビットを "0" (チップ内蔵基準電圧とアナログ入力を切断) にした後に、ADEX0 ビットを "0" (拡張アナログ入力端子を非選択) してください。

注2. 単掃引モード、繰り返し掃引モードでは設定しないでください。

注3. ADSTBY ビットを "0" (A/D動作停止) から "1" (A/D動作可能) にしたときは、AD の 1 サイクル以上経過した後に A/D 変換を開始してください。

注4. A/D断線検出アシスト機能を許可にするためには、ADDDAEN ビットを "1" (許可) にした後、ADDDAEL ビットで変換開始状態を選択してください。

断線時の変換結果は、外付け回路によって変化します。本機能はシステムに合わせた評価を十分に行った上で、使用してください。

A/D 変換中に ADCON1 レジスタの内容を書き換えた場合、変換結果は不定になります。

## 27.3 複数モードに関わる共通事項

### 27.3.1 入出力端子

アナログ入力はAN0～AN11で、P0\_0～P0\_7、P1\_0～P1\_3と端子を共用しています。

AN<sub>i</sub> (*i*=0～11) 端子を入力で使用する場合、端子に対応するポート方向ビットを“0”(入力モード)にしてください。

A/D動作モードを変更する場合は、アナログ入力端子を再選択してください。

### 27.3.2 A/D 変換サイクル数

図27.2にA/D変換タイミング図を、図27.3にA/D変換サイクル数(AD=fADのとき)を示します。

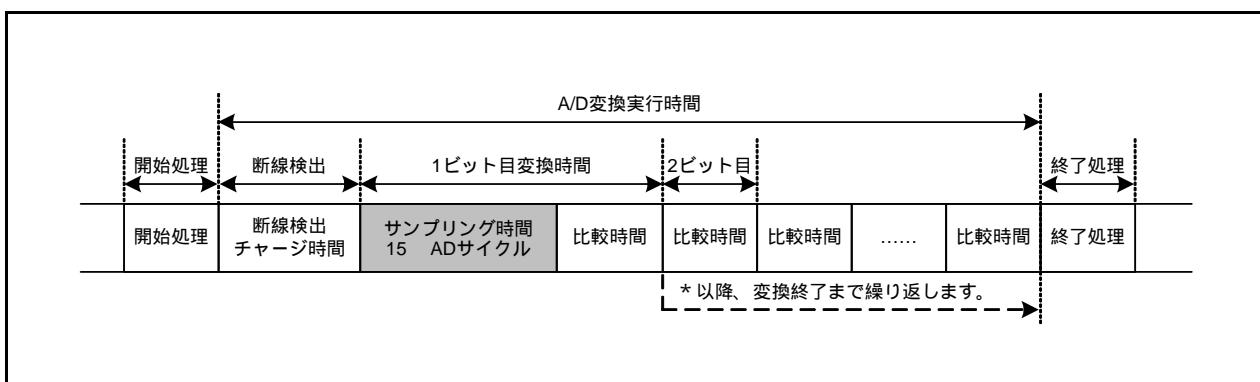


図27.2 A/D変換タイミング図

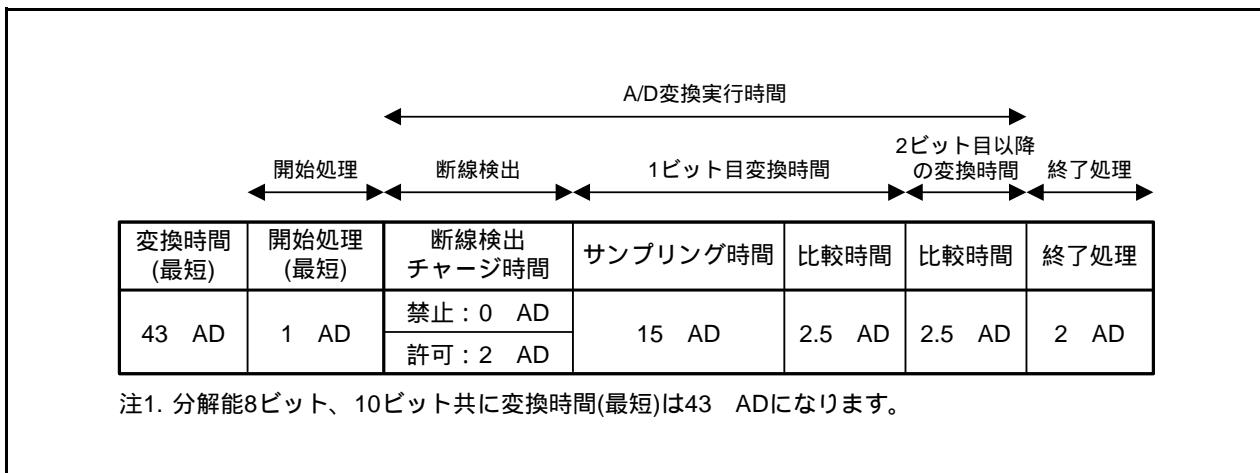


図27.3 A/D変換サイクル数(AD=fADのとき)

表 27.3 に各 A/D 変換項目のサイクル数を示します。A/D 変換時間は次のとおりです。

開始処理時間は AD の選択によって変わります。

ADCON0 レジスタの ADST ビットに “1” (A/D 変換開始) を書くと、開始処理時間経過後に A/D 変換を始めます。A/D 変換を始めるまでに ADST ビットを読むと “0” (A/D 変換停止) を読み出します。

複数端子または複数回 A/D 変換を実行するモードでは、1 端子の A/D 変換実行時間と、次の A/D 変換実行時間の間に、実行間処理時間が入ります。

単発モード、単掃引モードでは、終了処理時間に ADST ビットが “0” になり、最後の A/D 変換結果が ADi レジスタに入ります。

- 単発モードの場合

開始処理時間 + A/D 変換実行時間 + 終了処理時間

- 単掃引モードで 2 端子を選択した場合

開始処理時間 + (A/D 変換実行時間 + 実行間処理時間 + A/D 変換実行時間) + 終了処理時間

表 27.3 各 A/D 変換項目のサイクル数

| A/D 変換項目   |               | サイクル数            |
|------------|---------------|------------------|
| 開始処理時間     | AD=fAD        | fAD の 1 ~ 2 サイクル |
|            | AD=fAD の 2 分周 | fAD の 2 ~ 3 サイクル |
|            | AD=fAD の 4 分周 | fAD の 3 ~ 4 サイクル |
|            | AD=fAD の 8 分周 | fAD の 5 ~ 6 サイクル |
| A/D 変換実行時間 | 断線検出禁止        | AD の 40 サイクル     |
|            | 断線検出許可        | AD の 42 サイクル     |
| 実行間処理時間    |               | AD の 1 サイクル      |
| 終了処理時間     |               | fAD の 2 ~ 3 サイクル |

### 27.3.3 A/D 変換開始条件

A/D 変換開始トリガはソフトウェアトリガと、タイマRCからのトリガと、外部トリガがあります。

図27.4にA/D変換開始制御部のブロック図を示します。

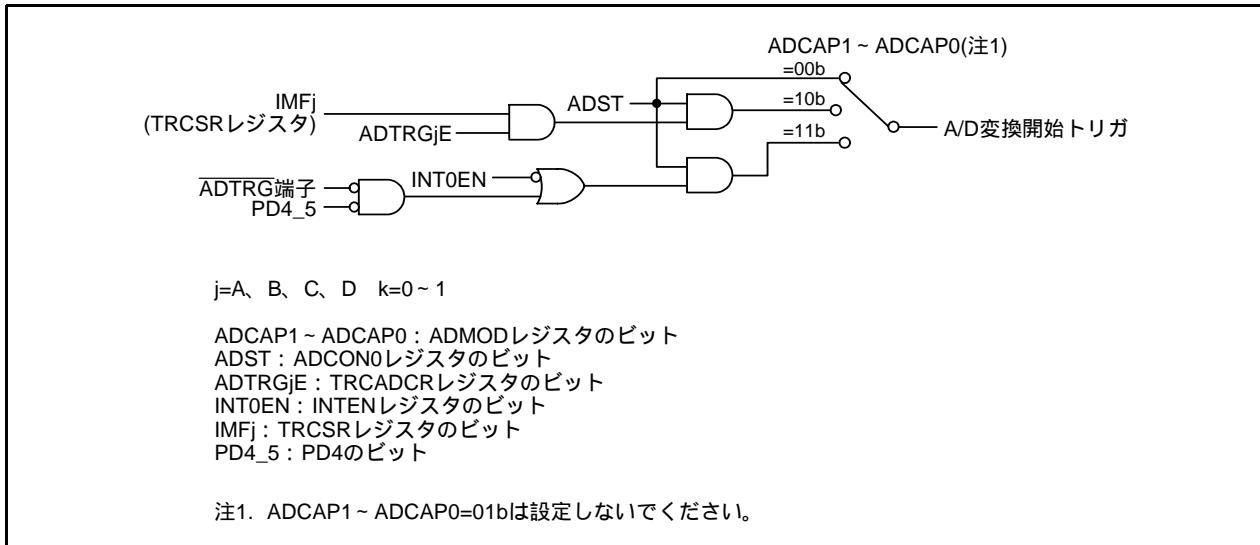


図27.4 A/D変換開始制御部のブロック図

#### 27.3.3.1 ソフトウェアトリガ

ADMOD レジスタの ADCAP1 ~ ADCAP0 ビットが “00b” (ソフトウェアトリガ) の場合です。

ADCON0 レジスタの ADST ビットを “1” (A/D 変換開始) にすると A/D 変換を開始します。

#### 27.3.3.2 タイマRCからのトリガ

ADMOD レジスタの ADCAP1 ~ ADCAP0 ビットが “10b” (タイマRC) の場合です。

この機能を使用する場合は次のようにしてください。

- ADMOD レジスタの ADCAP1 ~ ADCAP0 ビットが “10b” (タイマRC)
- タイマRCをアウトプットコンペア機能(タイマモード、PWMモード、PWM2モード)で使用
- TRCADCR レジスタの ADTRGjE ビット(j = A、B、C、D)が “1” (TRCGRj レジスタのコンペア一致でA/Dトリガ発生)
- ADCON0 レジスタの ADST ビットが “1” (A/D 変換開始)

上記の状態で、TRCSR レジスタの IMFj ビットが“0”から“1”になると、A/D 変換を開始します。タイマRC、アウトプットコンペア機能(タイマモード、PWMモード、PWM2モード)の詳細は「19. タイマRC」、「19.5 タイマモード(アウトプットコンペア機能)」、「19.6 PWMモード」、「19.7 PWM2モード」を参照してください。

### 27.3.3.3 外部トリガ

ADMOD レジスタの ADCAP1 ~ ADCAP0 ビットが “11b” (外部トリガ(ADTRG)) の場合です。  
この機能を使用する場合は次のようにしてください。

- ADMOD レジスタの ADCAP1 ~ ADCAP0 ビットを “11b” (外部トリガ(ADTRG)) にする。
- INTEN レジスタの INT0EN ビットを “1” (INT0 入力許可)、INT0PL ビットを “0” (片エッジ)、INT0IC レジスタの POL ビットを “0” (立ち下がりエッジを選択) にする。
- PD4 レジスタの PD4\_5 ビットを “0” (入力モード) にする。
- INT0 のデジタルフィルタを INTF レジスタの INT0F1 ~ INT0F0 ビットで選択する。
- ADCON0 レジスタの ADST ビットを “1” (A/D 変換開始) にする。

なお、INT0IC レジスタの POL ビットと INTEN レジスタの INT0PL ビットの選択と、ADTRG 端子入力の変更に従って、INT0IC レジスタの IR ビットが “1” (割り込み要求あり) になります (「11.8 割り込み使用上の注意」参照)。

割り込みの詳細は「11. 割り込み」を参照してください。

上記の状態で、ADTRG 端子の入力を “H” から “L” になると A/D 変換を開始します。

### 27.3.4 A/D 変換結果

A/D 変換した結果は AD<sub>i</sub> レジスタ ( $i = 0 \sim 7$ ) に格納されます。使用する A/D 動作モードによって、格納される AD<sub>i</sub> レジスタは違います。AD<sub>i</sub> レジスタはリセット後不定です。値は書き込めません。

繰り返しモード 0 では割り込み要求は発生しません。1 回目の A/D 変換終了は、A/D 変換時間が経過したことをプログラムで判定してください。

単発モード、繰り返しモード 1、単掃引モード、繰り返し掃引モードでは、A/D 変換終了などのタイミングで割り込み要求が発生します (ADIC レジスタの IR ビットが “1” になります)。

ただし、繰り返しモード 1、繰り返し掃引モードでは、割り込み要求発生後も A/D 変換を続けます。次の A/D 変換が終了すると AD<sub>i</sub> レジスタに値を上書きしますので、それまでに AD<sub>i</sub> レジスタを読み出してください。

単発モード、単掃引モードで、ADMOD レジスタの ADCAP1 ~ ADCAP0 ビットが “00b” (ソフトウェアトリガ) の場合は、ADCON0 レジスタの ADST ビットでも A/D 変換終了、掃引終了を判定できます。

A/D 変換動作中に、プログラムで ADCON0 レジスタの ADST ビットを “0” (A/D 変換停止) にして強制終了した場合、A/D コンバータの変換結果は不定となり、割り込み要求は発生しません。また、A/D 変換していない AD<sub>i</sub> レジスタも、不定になる場合があります。

プログラムで ADST ビットを “0” にした場合は、すべての AD<sub>i</sub> レジスタの値を使用しないでください。

### 27.3.5 消費電流低減機能

A/D コンバータを使用しないとき、ADCON1 レジスタの ADSTBY ビットを “0” (A/D 動作停止 (スタンバイ)) にすると、アナログ回路電流が流れないので、消費電力が少くなります。

A/D コンバータを使用する場合は、ADSTBY ビットを “1” (A/D 動作可能) にして、AD の 1 サイクル以上経過した後で、ADCON0 レジスタの ADST ビットを “1” (A/D 変換開始) にしてください。ADST ビットと ADSTBY ビットは、同時に “1” を書かないでください。

また、A/D 変換中に ADSTBY ビットを “0” (A/D 動作停止 (スタンバイ)) にしないでください。

### 27.3.6 拡張アナログ入力端子

単発モード、繰り返しモード 0、繰り返しモード 1 では、チップ内蔵基準電圧 (OCVREF) をアナログ入力として使用できます。

チップ内蔵基準電圧を使用することにより、VREF の変動を確認することができます。ADCON1 レジスタの ADEX0 ビットと OCVREFCR レジスタの OCVREFAN ビットで選択してください。

単発モード、繰り返しモード 0 でのチップ内蔵基準電圧の A/D 変換結果は、AD0 レジスタに格納されます。

### 27.3.7 A/D 断線検出アシスト機能

A/D 変換の動作時に、前に変換したチャネルのアナログ入力電圧の回り込みによる影響を抑制するため、変換開始前にチョッパアンプキャパシタの電荷を所定の状態 (AVCC または GND) に固定する機能を内蔵しています。この機能により、アナログ入力端子に接続した配線の、より確実な断線検出が可能になります。

図 27.5 に AVCC 側での A/D 断線検出例 (変換前プリチャージを選択) を、図 27.6 に AVSS 側での A/D 断線検出例 (変換前ディスチャージを選択) を示します。

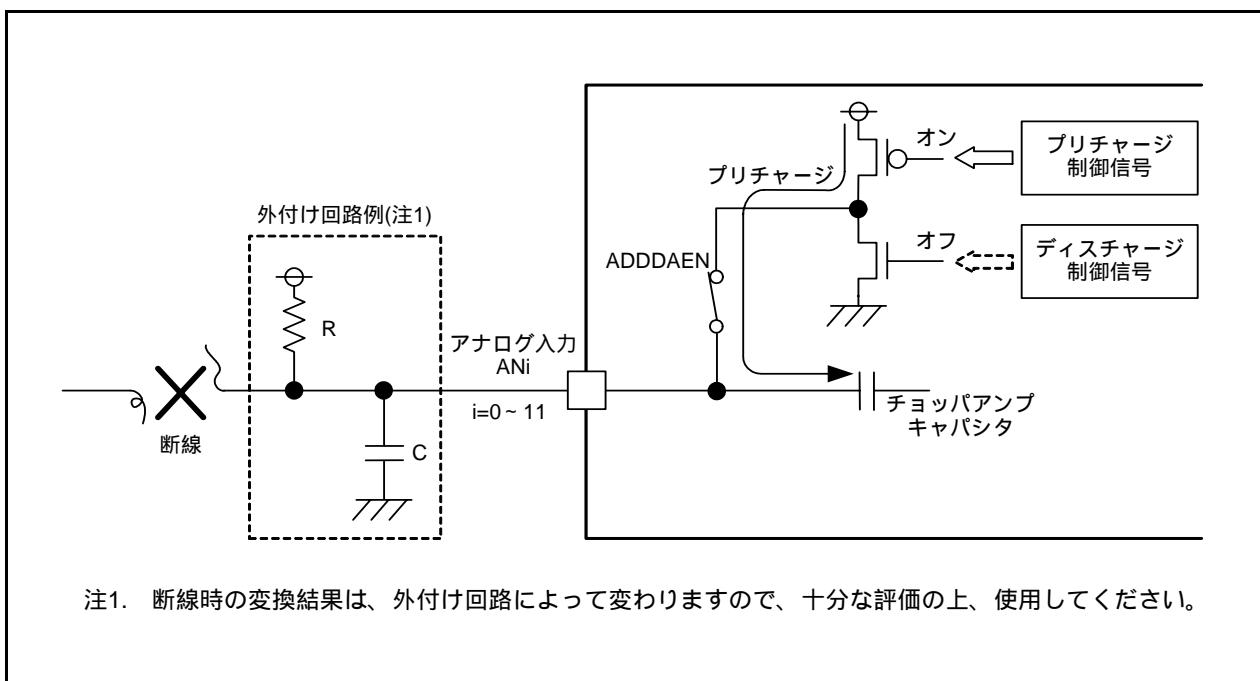


図 27.5 AVCC 側での A/D 断線検出例(変換前プリチャージを選択)

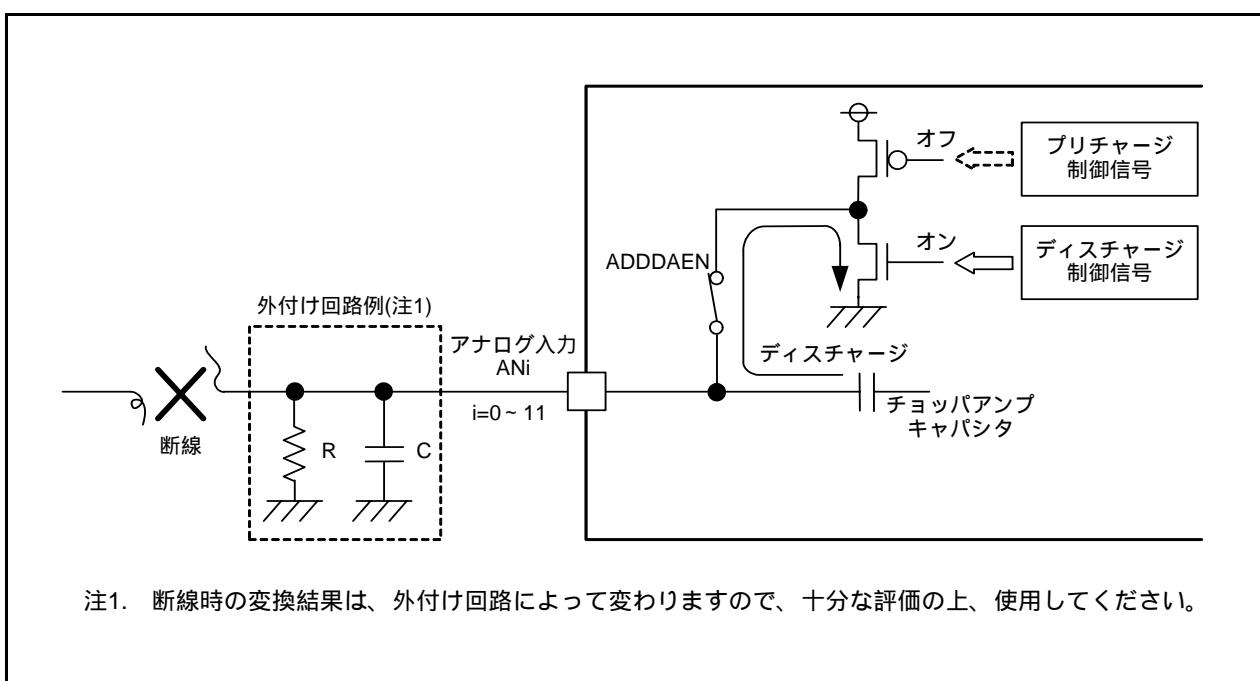


図 27.6 AVSS 側での A/D 断線検出例(変換前ディスチャージを選択)

## 27.4 単発モード

AN0 ~ AN11、またはOCVREFから選択した1本の端子の入力電圧を、1回A/D変換するモードです。  
表 27.4に単発モードの仕様を示します。

表 27.4 単発モードの仕様

| 項目             | 仕様   |
|----------------|--|
| 機能             | ADINSEL レジスタのCH2 ~ CH0 ビットとADGSEL1 ~ ADGSEL0 ビット、またはADCON1 レジスタのADEX0 ビットで選択した端子の入力電圧を1回A/D変換する  |
| 分解能            | 8ビットまたは10ビット   |
| A/D変換開始条件      | <ul style="list-style-type: none"> <li>• ソフトウェアトリガ</li> <li>• タイマRC</li> <li>• 外部トリガ<br/>(「27.3.3 A/D変換開始条件」参照)</li> </ul>   |
| A/D変換停止条件      | <ul style="list-style-type: none"> <li>• A/D変換終了(ADMOD レジスタのADCAP1 ~ ADCAP0 ビットが“00b”(ソフトウェアトリガ)の場合、ADCON0 レジスタのADST ビットが“0”になる)</li> <li>• ADST ビットを“0”にする</li> </ul> |
| 割り込み要求発生タイミング  | A/D変換終了時   |
| アナログ入力端子       | AN0 ~ AN11、またはOCVREFから1端子を選択   |
| A/D変換結果の格納レジスタ | AD0 レジスタ : AN0、AN8、OCVREF<br>AD1 レジスタ : AN1、AN9<br>AD2 レジスタ : AN2、AN10<br>AD3 レジスタ : AN3、AN11<br>AD4 レジスタ : AN4<br>AD5 レジスタ : AN5<br>AD6 レジスタ : AN6<br>AD7 レジスタ : AN7  |
| A/D変換値の読み出し    | 選択した端子に対応したAD0 レジスタ ~ AD7 レジスタの読み出し  |

## 27.5 繰り返しモード0

AN0 ~ AN11、またはOCVREFから選択した1本の端子の入力電圧を、繰り返しA/D変換するモードです。

表27.5に繰り返しモード0の仕様を示します。

表27.5 繰り返しモード0の仕様

| 項目             | 仕様  |
|----------------|---|
| 機能             | ADINSELレジスタのCH2 ~ CH0ビットとADGSEL1 ~ ADGSEL0ビット、またはADCON1レジスタのADEX0で選択した端子の入力電圧を繰り返しA/D変換する   |
| 分解能            | 8ビットまたは10ビット  |
| A/D変換開始条件      | <ul style="list-style-type: none"> <li>•ソフトウェアトリガ</li> <li>•タイマRC</li> <li>•外部トリガ<br/>(「27.3.3 A/D変換開始条件」参照)</li> </ul>                                       |
| A/D変換停止条件      | ADCON0レジスタのADSTビットを“0”にする   |
| 割り込み要求発生タイミング  | 発生しない   |
| アナログ入力端子       | AN0 ~ AN11、またはOCVREFから1端子を選択  |
| A/D変換結果の格納レジスタ | AD0レジスタ : AN0、AN8、OCVREF<br>AD1レジスタ : AN1、AN9<br>AD2レジスタ : AN2、AN10<br>AD3レジスタ : AN3、AN11<br>AD4レジスタ : AN4<br>AD5レジスタ : AN5<br>AD6レジスタ : AN6<br>AD7レジスタ : AN7 |
| A/D変換値の読み出し    | 選択した端子に対応したAD0レジスタ～AD7レジスタの読み出し   |

## 27.6 繰り返しモード1

AN0 ~ AN11、またはOCVREFから選択した1本の端子の入力電圧を、繰り返しA/D変換するモードです。

表27.6に繰り返しモード1の仕様を、図27.7に繰り返しモード1時の動作例を示します。

表27.6 繰り返しモード1の仕様

| 項目             | 仕様  |
|----------------|---|
| 機能             | ADINSELレジスタのCH2 ~ CH0ビットとADGSEL1 ~ ADGSEL0ビット、またはADCON1レジスタのADEX0ビットで選択した端子の入力電圧を繰り返しA/D変換する  |
| 分解能            | 8ビットまたは10ビット  |
| A/D変換開始条件      | •ソフトウェアトリガ<br>•タイマRC<br>•外部トリガ<br>(「27.3.3 A/D変換開始条件」参照)  |
| A/D変換停止条件      | ADCON0レジスタのADSTビットを“0”にする   |
| 割り込み要求発生タイミング  | AD7レジスタにA/D変換結果が格納されたとき   |
| アナログ入力端子       | AN0 ~ AN11、またはOCVREFから1端子を選択  |
| A/D変換結果の格納レジスタ | AD0レジスタ：1回目のA/D変換結果、9回目のA/D変換結果、..<br>AD1レジスタ：2回目のA/D変換結果、10回目のA/D変換結果、..<br>AD2レジスタ：3回目のA/D変換結果、11回目のA/D変換結果、..<br>AD3レジスタ：4回目のA/D変換結果、12回目のA/D変換結果、..<br>AD4レジスタ：5回目のA/D変換結果、13回目のA/D変換結果、..<br>AD5レジスタ：6回目のA/D変換結果、14回目のA/D変換結果、..<br>AD6レジスタ：7回目のA/D変換結果、15回目のA/D変換結果、..<br>AD7レジスタ：8回目のA/D変換結果、16回目のA/D変換結果、.. |
| A/D変換値の読み出し    | AD0レジスタ～AD7レジスタの読み出し  |

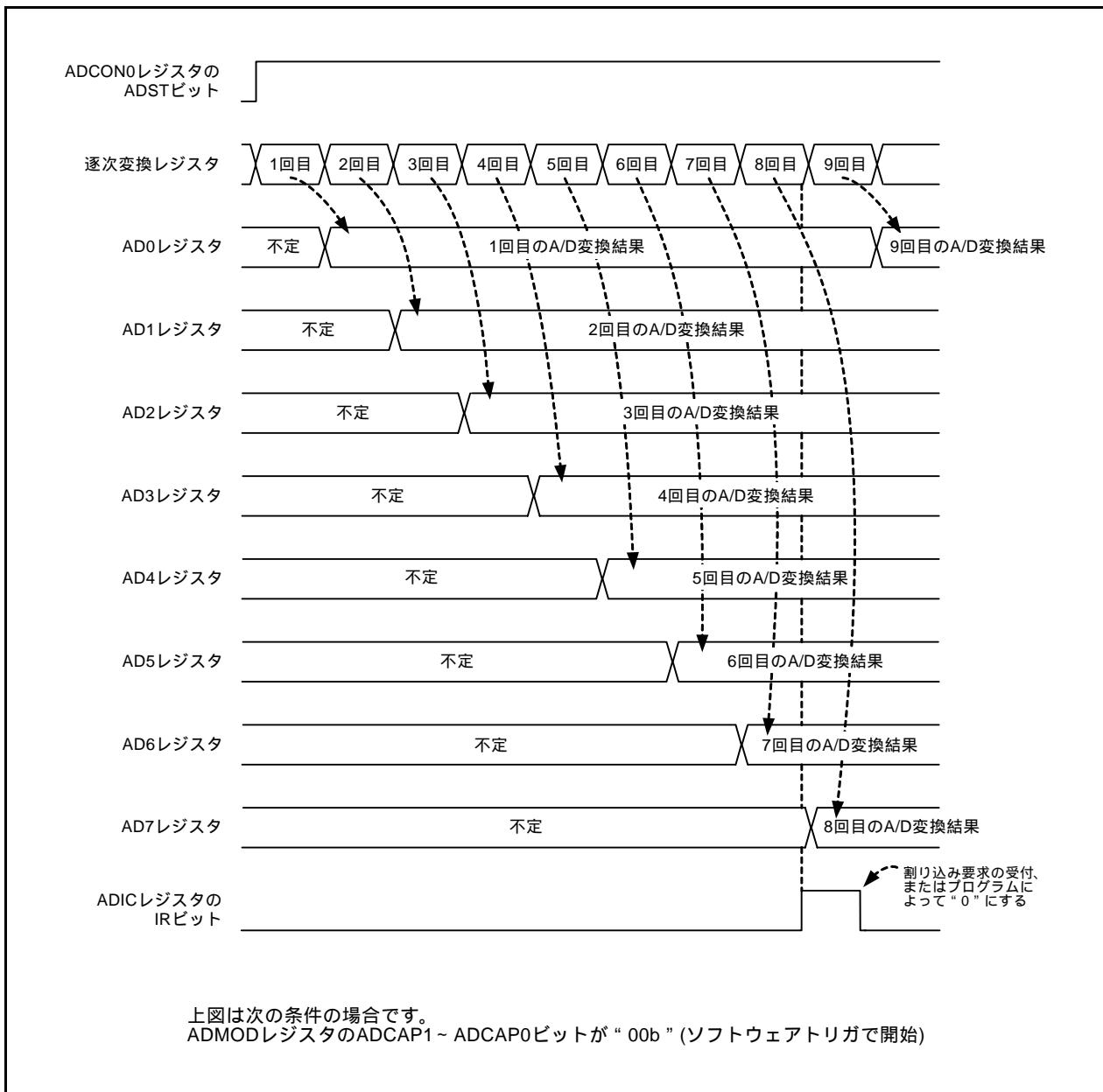


図 27.7 繰り返しモード1時の動作例

## 27.7 単掃引モード

AN0 ~ AN11から選択した2本、4本、6本または8本の端子の入力電圧を、1回ずつA/D変換するモードです。

表 27.7に単掃引モードの仕様を、図 27.8に単掃引モード時の動作例を示します。

表 27.7 単掃引モードの仕様

| 項目             | 仕様  |
|----------------|---|
| 機能             | ADINSELレジスタのADGSEL1 ~ ADGSEL0ビットとSCAN1 ~ SCAN0ビットで選択した端子の入力電圧を1回ずつA/D変換する   |
| 分解能            | 8ビットまたは10ビット  |
| A/D変換開始条件      | <ul style="list-style-type: none"> <li>• ソフトウェアトリガ</li> <li>• タイマRC</li> <li>• 外部トリガ<br/>(「27.3.3 A/D変換開始条件」参照)</li> </ul>  |
| A/D変換停止条件      | <ul style="list-style-type: none"> <li>• 2端子を選択している場合、選択した2端子のA/D変換終了(ADCON0レジスタのADSTビットが“0”になる)</li> <li>• 4端子を選択している場合、選択した4端子のA/D変換終了(ADSTビットが“0”になる)</li> <li>• 6端子を選択している場合、選択した6端子のA/D変換終了(ADSTビットが“0”になる)</li> <li>• 8端子を選択している場合、選択した8端子のA/D変換終了(ADSTビットが“0”になる)</li> <li>• ADSTビットを“0”にする</li> </ul> |
| 割り込み要求発生タイミング  | <ul style="list-style-type: none"> <li>• 2端子を選択している場合、選択した2端子のA/D変換終了時</li> <li>• 4端子を選択している場合、選択した4端子のA/D変換終了時</li> <li>• 6端子を選択している場合、選択した6端子のA/D変換終了時</li> <li>• 8端子を選択している場合、選択した8端子のA/D変換終了時</li> </ul>  |
| アナログ入力端子       | AN0 ~ AN1(2端子)、AN8 ~ AN9(2端子)、<br>AN0 ~ AN3(4端子)、AN8 ~ AN11(4端子)、<br>AN0 ~ AN5(6端子)、<br>AN0 ~ AN7(8端子)<br>(SCAN1 ~ SCAN0ビットとADGSEL1 ~ ADGSEL0ビットで選択)  |
| A/D変換結果の格納レジスタ | AD0 レジスタ : AN0、AN8<br>AD1 レジスタ : AN1、AN9<br>AD2 レジスタ : AN2、AN10<br>AD3 レジスタ : AN3、AN11<br>AD4 レジスタ : AN4<br>AD5 レジスタ : AN5<br>AD6 レジスタ : AN6<br>AD7 レジスタ : AN7  |
| A/D変換値の読み出し    | 選択した端子に対応したAD0 レジスタ ~ AD7 レジスタの読み出し   |

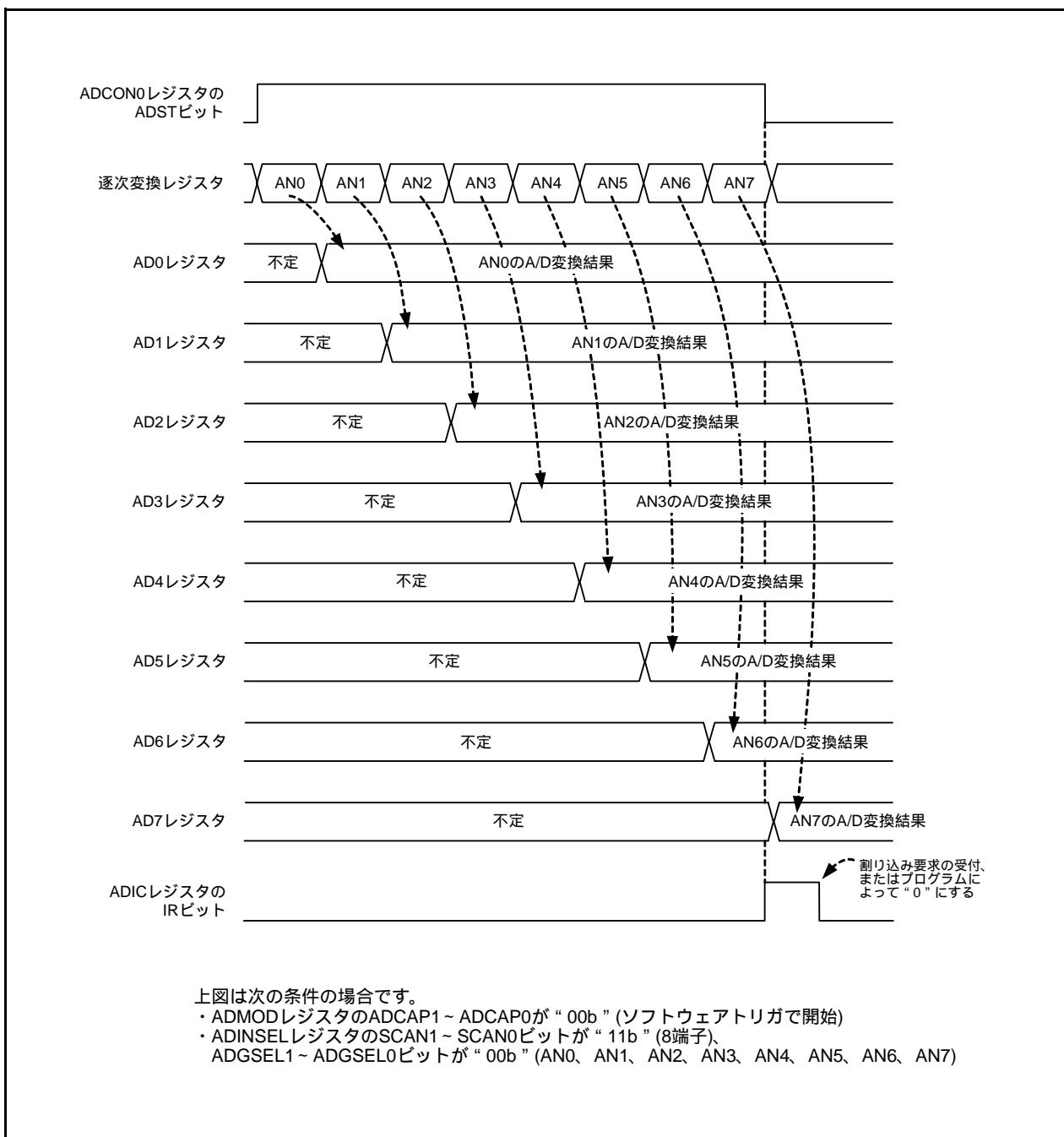


図 27.8 単掃引モード時の動作例

## 27.8 繰り返し掃引モード

AN0 ~ AN11から選択した2本、4本、6本または8本の端子の入力電圧を、繰り返しA/D変換するモードです。

表 27.8に繰り返し掃引モードの仕様を、図 27.9に繰り返し掃引モード時の動作例を示します。

表 27.8 繰り返し掃引モードの仕様

| 項目             | 仕様   |
|----------------|--|
| 機能             | ADINSELレジスタのADGSEL1 ~ ADGSEL0ビットとSCAN1 ~ SCAN0ビットで選択した端子の入力電圧を繰り返しA/D変換する  |
| 分解能            | 8ビットまたは10ビット   |
| A/D変換開始条件      | <ul style="list-style-type: none"> <li>• ソフトウェアトリガ</li> <li>• タイマRC</li> <li>• 外部トリガ<br/>(「27.3.3 A/D変換開始条件」参照)</li> </ul>   |
| A/D変換停止条件      | ADCON0レジスタのADSTビットを“0”にする  |
| 割り込み要求発生タイミング  | <ul style="list-style-type: none"> <li>• 2端子を選択している場合、選択した2端子のA/D変換終了時</li> <li>• 4端子を選択している場合、選択した4端子のA/D変換終了時</li> <li>• 6端子を選択している場合、選択した6端子のA/D変換終了時</li> <li>• 8端子を選択している場合、選択した8端子のA/D変換終了時</li> </ul> |
| アナログ入力端子       | AN0 ~ AN1(2端子)、AN8 ~ AN9(2端子)、<br>AN0 ~ AN3(4端子)、AN8 ~ AN11(4端子)、<br>AN0 ~ AN5(6端子)、<br>AN0 ~ AN7(8端子)<br>(SCAN1 ~ SCAN0ビットとADGSEL1 ~ ADGSEL0ビットで選択)   |
| A/D変換結果の格納レジスタ | AD0 レジスタ : AN0、AN8<br>AD1 レジスタ : AN1、AN9<br>AD2 レジスタ : AN2、AN10<br>AD3 レジスタ : AN3、AN11<br>AD4 レジスタ : AN4<br>AD5 レジスタ : AN5<br>AD6 レジスタ : AN6<br>AD7 レジスタ : AN7   |
| A/D変換値の読み出し    | 選択した端子に対応したAD0 レジスタ ~ AD7 レジスタの読み出し  |

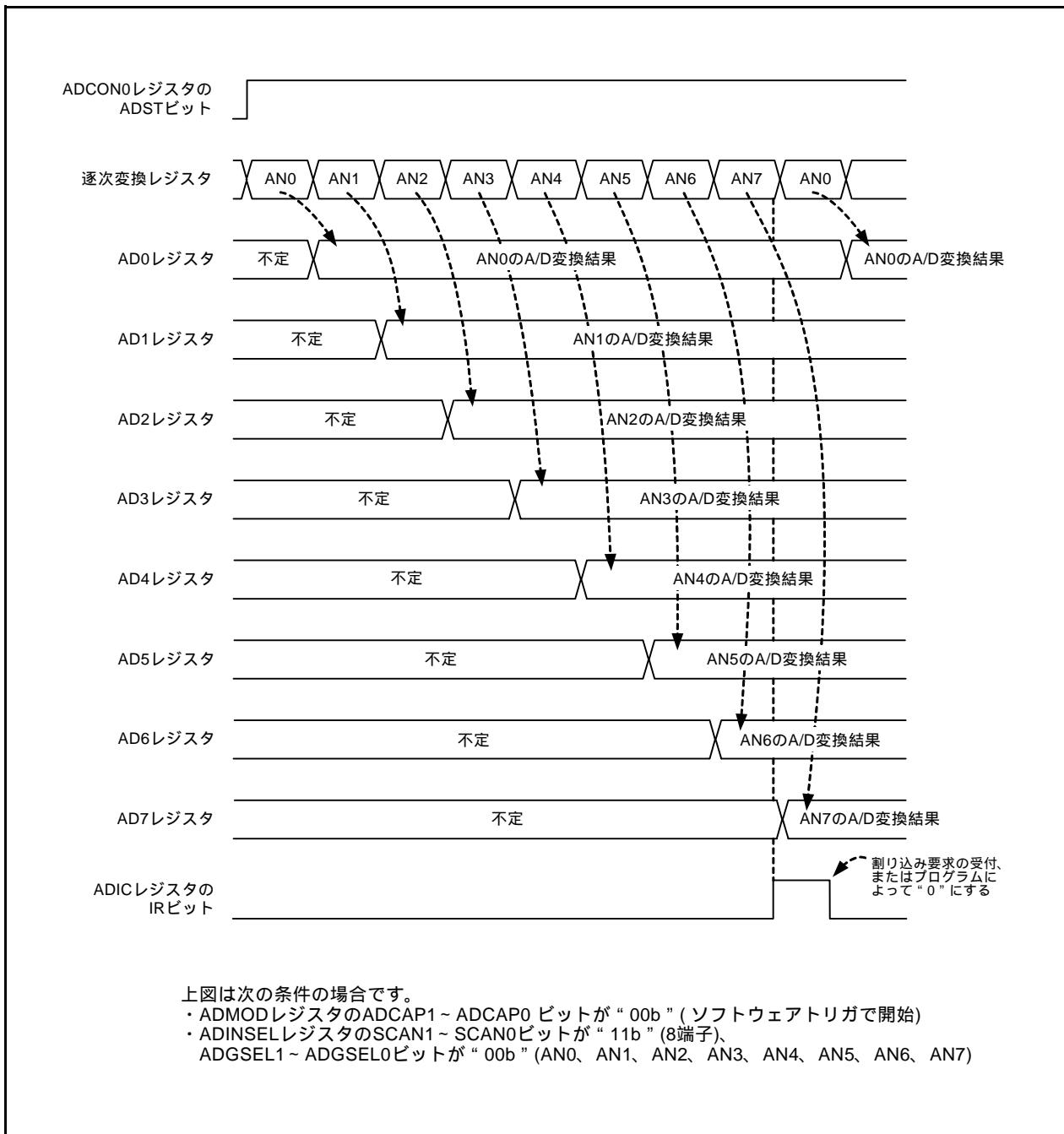


図 27.9 繰り返し掃引モード時の動作例

## 27.9 A/D 変換時のセンサーの出力インピーダンス

A/D 変換を正しく行うためには、図 27.10 の内部コンデンサ C への充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)を T とします。また、センサー等価回路の出力インピーダンスを R<sub>0</sub>、マイコン内部の抵抗を R、A/D コンバータの精度(誤差)を X、分解能を Y(Y は 10 ビットモード時 1024、8 ビットモード時 256)とします。

$$\begin{aligned} VC \text{ は一般に } VC &= VIN \left\{ 1 - e^{-\frac{1}{C(R_0 + R)} t} \right\} \\ t = T \text{ のとき、} VC &= VIN - \frac{X}{Y} VIN = VIN \left( 1 - \frac{X}{Y} \right) \text{ より、} \\ e^{-\frac{1}{C(R_0 + R)} T} &= \frac{X}{Y} \\ -\frac{1}{C(R_0 + R)} T &= \ln \frac{X}{Y} \\ \text{よって、} R_0 &= -\frac{T}{C \cdot \ln \frac{X}{Y}} - R \end{aligned}$$

図27.10にアナログ入力端子と外部センサーの等価回路例を示します。VINとVCの差が0.1LSBとなるとき、時間TでコンデンサCの端子間電圧VCが0からVIN-(0.1/1024)VINになるインピーダンスR0を求めます。(0.1/1024)は10ビットモードでのA/D変換時に、コンデンサ充電不十分によるA/D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

AD=20MHzのとき、T=0.75 μsとなります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます。

T=0.75 μs、R=10k 、C=6.0pF、X=0.1、Y=1024だから、

$$R0 = -\frac{0.75 \times 10^{-6}}{6.0 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 10 \times 10^3 \doteq 3.5 \times 10^3$$

したがって、A/Dコンバータの精度(誤差)を0.1LSB以下にするセンサー回路の出力インピーダンスR0は最大3.5k になります。

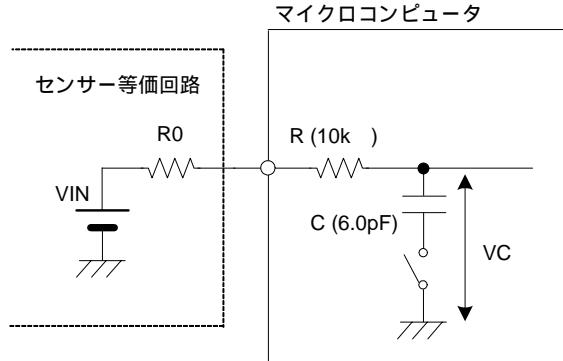


図27.10 アナログ入力端子と外部センサーの等価回路例

## 27.10 A/D コンバータ使用上の注意

- ADMOD レジスタ、ADINSEL レジスタ、ADCON0 レジスタ(ADST ビットを除く)、ADCON1 レジスタ、OCVREFCR レジスタに対する書き込みは、A/D 変換停止時(トリガ発生前)に行ってください。
- 繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、A/D 変換中のCPUクロックには、A/D コンバータの動作クロック AD 以上の周波数を選択してください。  
AD に fOCO-F を選択しないでください。
- VREF 端子と AVSS 端子間に  $0.1 \mu F$  のコンデンサを接続してください。
- A/D 変換中はストップモードに移行しないでください。
- A/D 変換中は CM0 レジスタの CM02 ビットの状態(“1”(ウェイトモード時、周辺機能クロックを停止する)、“0”(ウェイトモード時、周辺機能クロックを停止しない))にかかわらず、ウェイトモードに移行しないでください。
- A/D 変換中は FMR0 レジスタの FMSTP ビットを “1”(フラッシュメモリ停止)、および FMR27 ビットを “1”(低消費電流リードモード許可)にすると、A/D 変換結果が不定になるため、この設定をしないでください。
- fOCO-F が停止しているときは、ADMOD レジスタの CKS2 ビットを変更しないでください。
- A/D 変換動作中に、プログラムで ADCON0 レジスタの ADST ビットを “0”(A/D 変換停止)にして強制終了した場合、A/D コンバータの変換結果は不定となり、割り込み要求は発生しません。また、A/D 変換していない ADi レジスタも、不定になる場合があります。  
プログラムで ADST ビットを “0” にした場合は、すべての ADi レジスタの値を使用しないでください。

## 28. D/A コンバータ

8ビットのR-2R方式によるD/Aコンバータです。独立した2つのD/Aコンバータです。

### 28.1 概要

D/A変換は、DA*i*レジスタ(*i*=0～1)に値を書くと行われます。変換結果を出力するときDACONレジスタのDA*i*Eビットを“1”(出力許可)にしてください。D/A変換を使用する場合、PD0レジスタの対応するPD0\_6、PD0\_7ビットは“0”(入力モード)に、PUR0レジスタのPU01ビットは“0”(ブルアップなし)にしてください。

出力されるアナログ電圧Vは、DA*i*レジスタに設定した値n(nは10進数)で決まります。

$$V = V_{ref} \times n / 256 \quad (n=0 \sim 255)$$

V<sub>ref</sub>: 基準電圧

表28.1にD/Aコンバータの仕様を、図28.1にD/Aコンバータブロック図を、図28.2にD/Aコンバータの等価回路を示します。

表28.1 D/Aコンバータの仕様

| 項目       | 性能          |
|----------|-------------|
| D/A変換方式  | R-2R方式      |
| 分解能      | 8ビット        |
| アナログ出力端子 | 2本(DA0、DA1) |

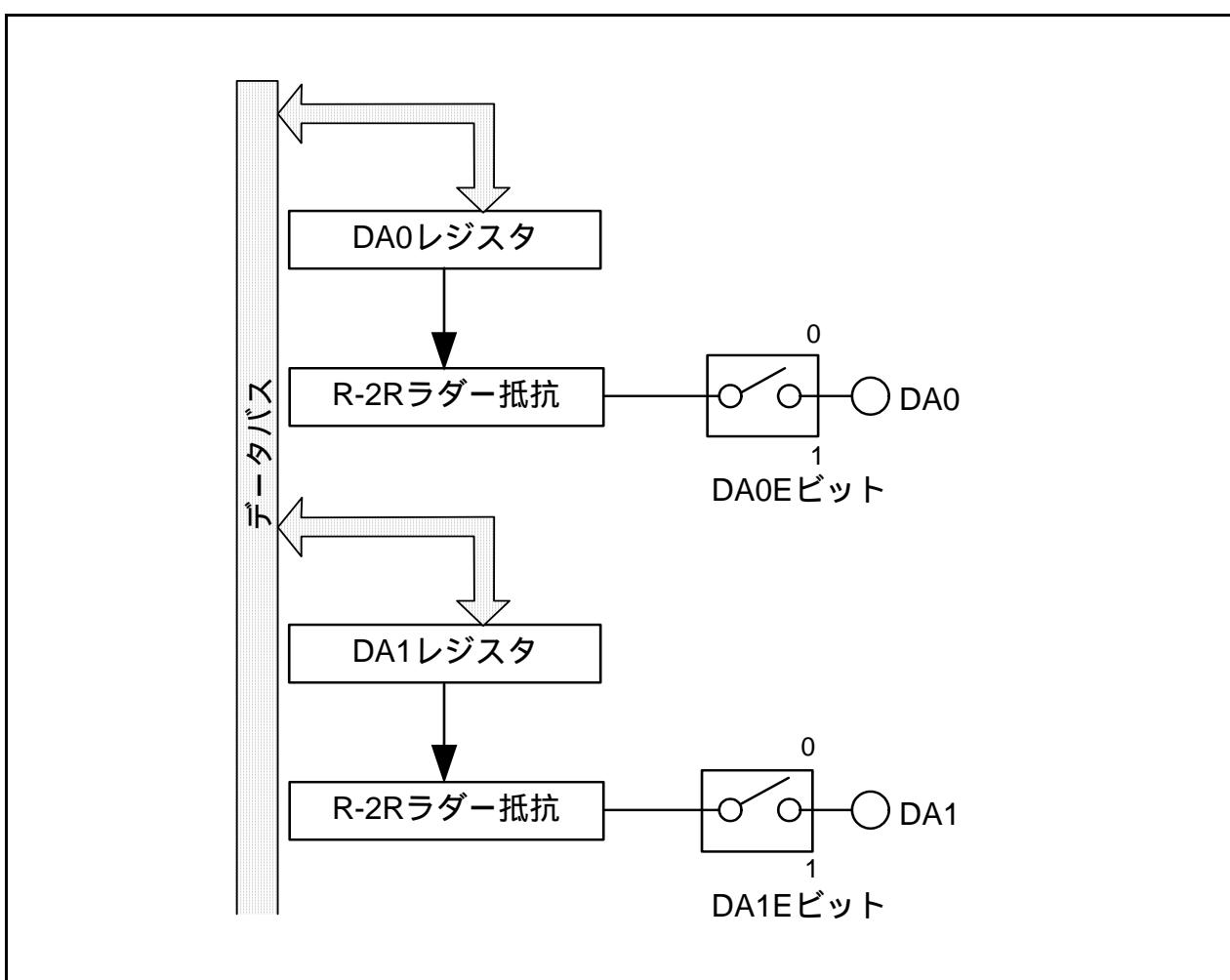


図28.1 D/Aコンバータブロック図

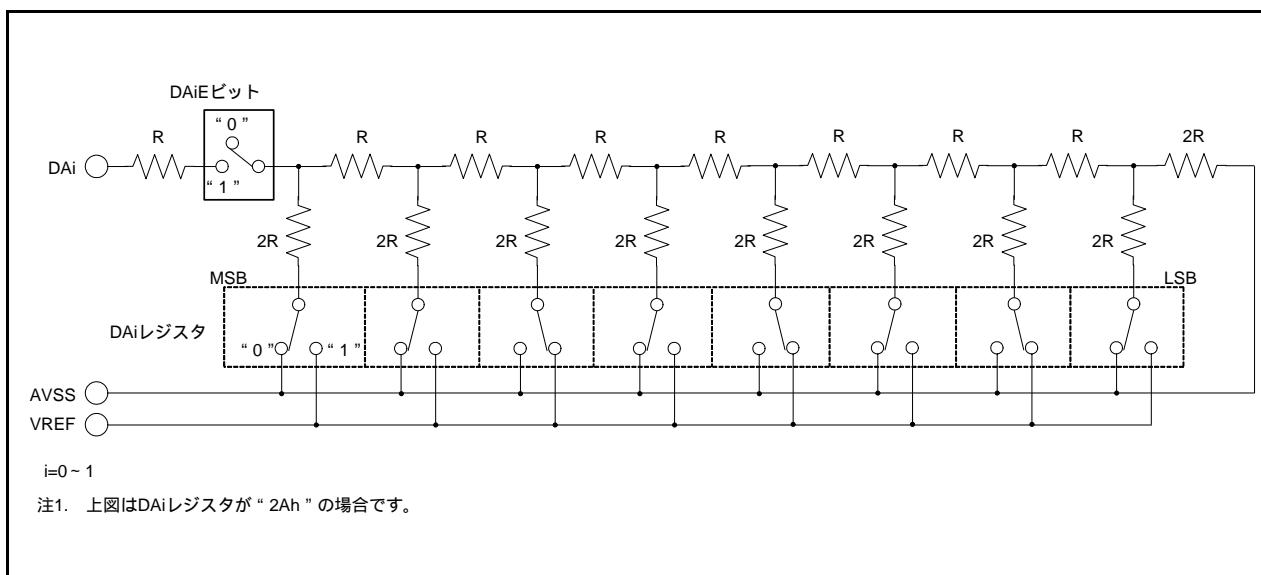


図28.2 D/Aコンバータの等価回路

## 28.2 レジスタの説明

### 28.2.1 D/Ai レジスタ (DAi)(i=0 ~ 1)

アドレス 00D8h 番地(DA0)、00D9h 番地(DA1)

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
|---------|----|----|----|----|----|----|----|----|
| シンボル    | -  | -  | -  | -  | -  | -  | -  | -  |
| リセット後の値 | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |

| ビット     | 機能        | 設定可能値     | R/W |
|---------|-----------|-----------|-----|
| b7 ~ b0 | D/A変換の出力値 | 00h ~ FFh | R/W |

D/A コンバータを使用しない場合には、不要な消費電流を小さくするために DAiE ビット (i=0 ~ 1) を “0”(出力禁止)にし、DAi レジスタを “00h”にして、R-2R の抵抗に電流が流れないようにしてください。

### 28.2.2 D/A制御レジスタ (Dacon)

アドレス 00DCh 番地

| ビット     | b7 | b6 | b5 | b4 | b3 | b2 | b1   | b0   |
|---------|----|----|----|----|----|----|------|------|
| シンボル    | -  | -  | -  | -  | -  | -  | DA1E | DA0E |
| リセット後の値 | 0  | 0  | 0  | 0  | 0  | 0  | 0    | 0    |

| ビット | シンボル | ビット名                                       | 機能                 | R/W |
|-----|------|--|--------------------|-----|
| b0  | DA0E | D/A0出力許可ビット                                | 0: 出力禁止<br>1: 出力許可 | R/W |
| b1  | DA1E | D/A1出力許可ビット                                | 0: 出力禁止<br>1: 出力許可 | R/W |
| b2  | -    | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |                    | -   |
| b3  | -    |  |                    |     |
| b4  | -    |  |                    |     |
| b5  | -    |  |                    |     |
| b6  | -    |  |                    |     |
| b7  | -    |  |                    |     |

D/A コンバータを使用しない場合には、不要な消費電流を小さくするために DAiE ビット (i=0 ~ 1) を “0”(出力禁止)にし、DAi レジスタを “00h”にして、R-2R の抵抗に電流が流れないようにしてください。

## 29. コンパレータB

コンパレータBはリファレンス入力電圧と、アナログ入力電圧を比較します。コンパレータB1とコンパレータB3の独立した2つのコンパレータです。

### 29.1 概要

リファレンス入力電圧とアナログ入力電圧の比較結果を、ソフトウェアで読みます。リファレンス入力電圧としてIVREF*i*(*i*=1, 3)端子への入力が使用できます。

表29.1にコンパレータBの仕様を、図29.1にコンパレータBのブロック図を、表29.2に入出力端子を示します。

表29.1 コンパレータBの仕様

| 項目            | 仕様  |
|---------------|---|
| アナログ入力電圧      | IVCMP <i>i</i> 端子への入力電圧                   |
| リファレンス入力電圧    | IVREF <i>i</i> 端子への入力電圧                   |
| 比較結果          | INTCMPレジスタのINT <i>i</i> COUTビットの読み出し      |
| 割り込み要求発生タイミング | 比較結果が変化したとき                               |
| 選択機能          | デジタルフィルタ機能<br>デジタルフィルタの有無、サンプリング周波数を選択できる |

*i*=1, 3

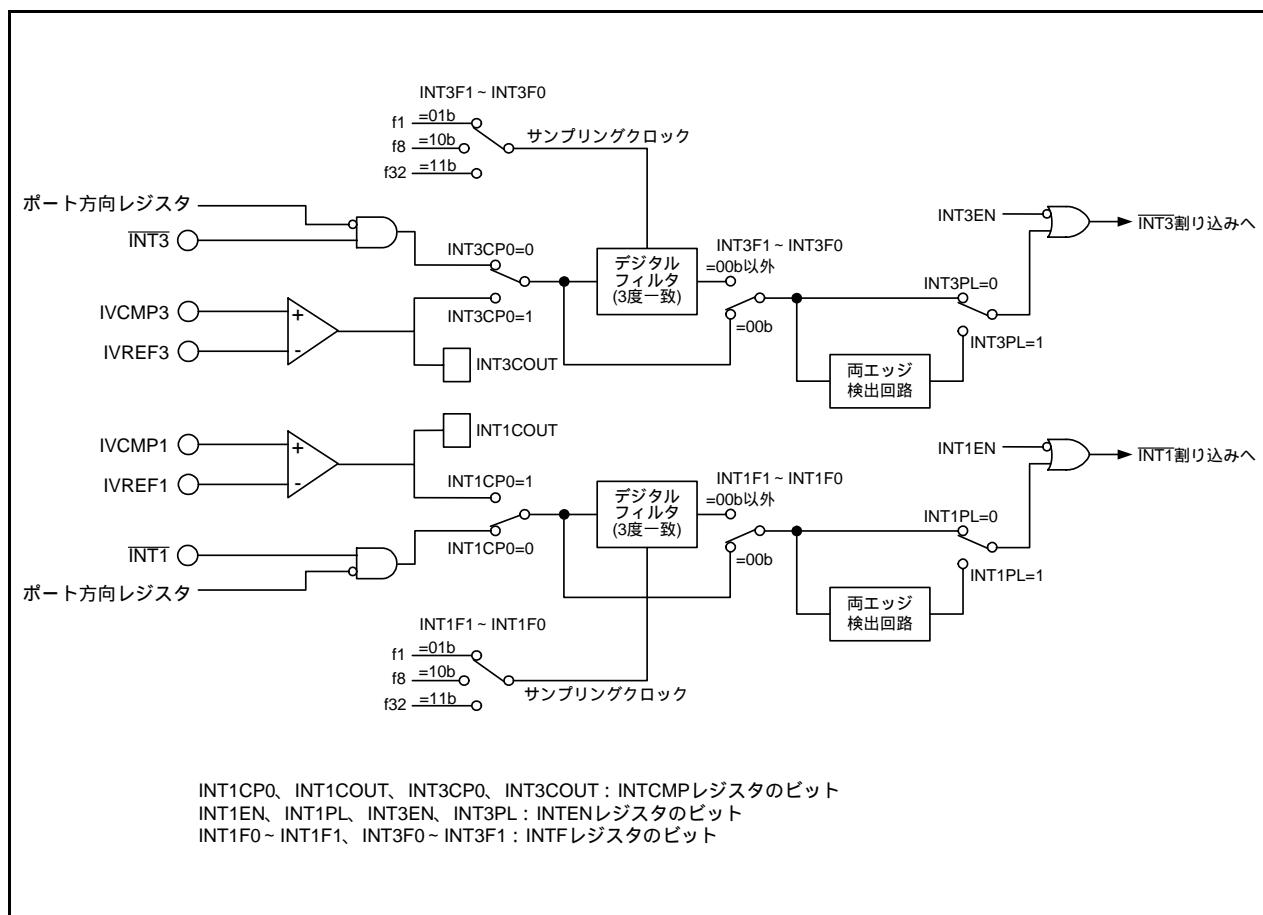


図29.1 コンパレータBのブロック図

表29.2 入出力端子

| 端子名    | 入出力 | 機能                  |
|--------|-----|---------------------|
| IVCMP1 | 入力  | コンパレータB1用アナログ端子     |
| IVREF1 | 入力  | コンパレータB1用リファレンス電圧端子 |
| IVCMP3 | 入力  | コンパレータB3用アナログ端子     |
| IVREF3 | 入力  | コンパレータB3用リファレンス電圧端子 |

## 29.2 レジスタの説明

### 29.2.1 コンパレータB制御レジスタ0 (INTCMP)

アドレス 01F8h番地

| ビット     | b7       | b6 | b5 | b4      | b3       | b2 | b1 | b0      |
|---------|----------|----|----|---------|----------|----|----|---------|
| シンボル    | INT3COUT | -  | -  | INT3CP0 | INT1COUT | -  | -  | INT1CP0 |
| リセット後の値 | 0        | 0  | 0  | 0       | 0        | 0  | 0  | 0       |

| ビット | シンボル     | ビット名            | 機能  | R/W |
|-----|----------|-----------------|---|-----|
| b0  | INT1CP0  | コンパレータB1動作許可ビット | 0 : コンパレータB1動作禁止<br>1 : コンパレータB1動作許可                      | R/W |
| b1  | -        | 予約ビット           | "0"にしてください  | R/W |
| b2  | -        |                 |   |     |
| b3  | INT1COUT | コンパレータB1モニタフラグ  | 0 : IVCMP1 < IVREF1またはコンパレータB1動作禁止<br>1 : IVCMP1 > IVREF1 | R   |
| b4  | INT3CP0  | コンパレータB3動作許可ビット | 0 : コンパレータB3動作禁止<br>1 : コンパレータB3動作許可                      | R/W |
| b5  | -        | 予約ビット           | "0"にしてください  | R/W |
| b6  | -        |                 |   |     |
| b7  | INT3COUT | コンパレータB3モニタフラグ  | 0 : IVCMP3 < IVREF3またはコンパレータB3動作禁止<br>1 : IVCMP3 > IVREF3 | R   |

### 29.2.2 外部入力許可レジスタ0 (INTEN)

アドレス 01FAh番地

| ビット     | b7     | b6     | b5 | b4 | b3     | b2     | b1     | b0     |
|---------|--------|--------|----|----|--------|--------|--------|--------|
| シンボル    | INT3PL | INT3EN | -  | -  | INT1PL | INT1EN | INT0PL | INT0EN |
| リセット後の値 | 0      | 0      | 0  | 0  | 0      | 0      | 0      | 0      |

| ビット | シンボル   | ビット名                | 機能                   | R/W |
|-----|--------|---------------------|----------------------|-----|
| b0  | INT0EN | INT0入力許可ビット         | 0 : 禁止<br>1 : 許可     | R/W |
| b1  | INT0PL | INT0入力極性選択ビット(注1、2) | 0 : 片エッジ<br>1 : 兩エッジ | R/W |
| b2  | INT1EN | INT1入力許可ビット         | 0 : 禁止<br>1 : 許可     | R/W |
| b3  | INT1PL | INT1入力極性選択ビット(注1、2) | 0 : 片エッジ<br>1 : 兩エッジ | R/W |
| b4  | -      | 予約ビット               | "0"にしてください           | R/W |
| b5  | -      |                     |                      |     |
| b6  | INT3EN | INT3入力許可ビット         | 0 : 禁止<br>1 : 許可     | R/W |
| b7  | INT3PL | INT3入力極性選択ビット(注1、2) | 0 : 片エッジ<br>1 : 兩エッジ | R/W |

注1. INTiPL ビット(i=0、1、3)を“1”(兩エッジ)にする場合、INTiIC レジスタのPOL ビットを“0”(立ち下がりエッジを選択)にしてください。

注2. INTEN レジスタを変更すると、INTiIC レジスタのIR ビットが“1”(割り込み要求あり)になることがあります。「11.8.4 割り込み要因の変更」を参照してください。

### 29.2.3 INT入力フィルタ選択レジスタ0 (INTF)

アドレス 01FCh 番地

| ビット     | b7     | b6     | b5 | b4 | b3     | b2     | b1     | b0     |
|---------|--------|--------|----|----|--------|--------|--------|--------|
| シンボル    | INT3F1 | INT3F0 | -  | -  | INT1F1 | INT1F0 | INT0F1 | INT0F0 |
| リセット後の値 | 0      | 0      | 0  | 0  | 0      | 0      | 0      | 0      |

| ビット | シンボル   | ビット名            | 機能  | R/W |
|-----|--------|-----------------|---|-----|
| b0  | INT0F0 | INT0入力フィルタ選択ビット | <sup>b1 b0</sup><br>00 : フィルタなし<br>01 : フィルタあり、f1でサンプリング<br>10 : フィルタあり、f8でサンプリング<br>11 : フィルタあり、f32でサンプリング | R/W |
| b1  | INT0F1 |                 |   | R/W |
| b2  | INT1F0 | INT1入力フィルタ選択ビット | <sup>b3 b2</sup><br>00 : フィルタなし<br>01 : フィルタあり、f1でサンプリング<br>10 : フィルタあり、f8でサンプリング<br>11 : フィルタあり、f32でサンプリング | R/W |
| b3  | INT1F1 |                 |   | R/W |
| b4  | -      | 予約ビット           | “0”にしてください  | R/W |
| b5  | -      |                 |   | R/W |
| b6  | INT3F0 | INT3入力フィルタ選択ビット | <sup>b7 b6</sup><br>00 : フィルタなし<br>01 : フィルタあり、f1でサンプリング<br>10 : フィルタあり、f8でサンプリング<br>11 : フィルタあり、f32でサンプリング | R/W |
| b7  | INT3F1 |                 |   | R/W |

### 29.3 動作説明

コンパレータ B1 とコンパレータ B3 はそれぞれ独立して動作できます。動作は同じです。表 29.3 にコンパレータ B 関連レジスタの設定手順を示します。

表 29.3 コンパレータ B 関連レジスタの設定手順

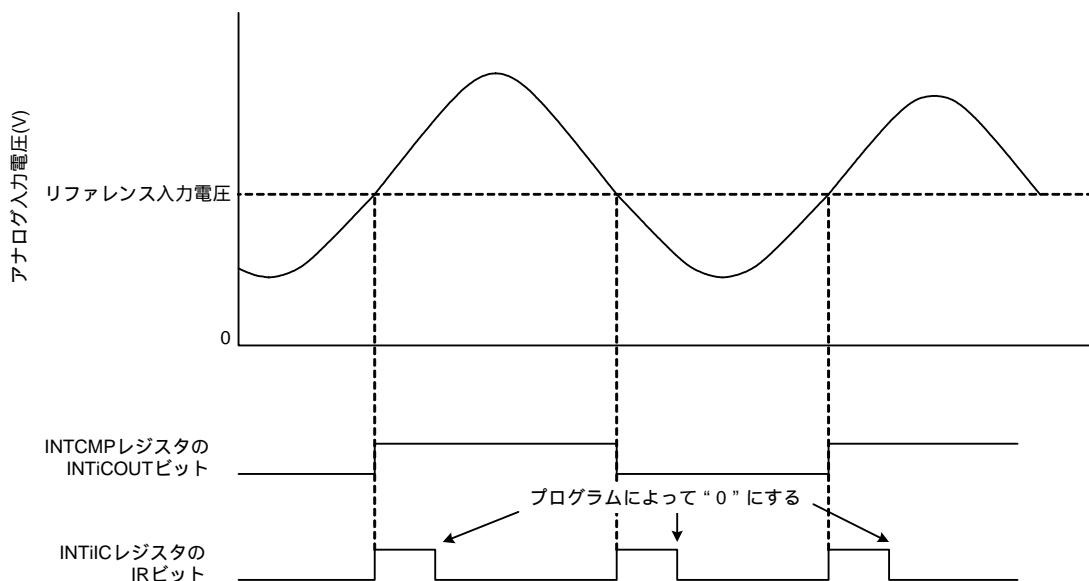
| 順番 | レジスタ   | ビット                 | 設定値                              |
|----|--|---------------------|----------------------------------|
| 1  | IVCMI <sub>i</sub> 、IVREF <sub>i</sub> 端子の機能選択。「7.5 ポートの設定」参照。<br>ただし、順番 2 以降に示されるレジスタ、ビット以外を設定してください。 |                     |                                  |
| 2  | INTF   | フィルタ有無、サンプリングクロック選択 |                                  |
| 3  | INTCMP   | INTiCP0             | 1 (動作許可)                         |
| 4  | コンパレータ安定時間 (最大 100 μs) 待ち  |                     |                                  |
| 5  | INTEN  | INTiEN              | 割り込みを使用する場合 : 1 (割り込み許可)         |
|    |  | INTiPL              | 割り込みを使用する場合 : 入力極性選択             |
| 6  | INTiIC   | ILVL2 ~ ILVL0       | 割り込みを使用する場合 : 割り込み優先レベル選択        |
|    |  | IR                  | 割り込みを使用する場合 : 0 (割り込み要求なし : 初期化) |

i=1, 3

図 29.2 にコンパレータ Bi(i = 1, 3) の動作例を示します。

リファレンス入力よりアナログ入力の電圧が高い場合は、INTCMP レジスタの INTiCOUT ビットが“1”になります。リファレンス入力よりアナログ入力の電圧が低い場合は、INTiCOUT ビットが“0”になります。

コンパレータ Bi 割り込みを使用する場合は、INTEN レジスタの INTiEN ビットを“1”(割り込み許可)にしてください。このとき比較結果が変化すれば、コンパレータ Bi 割り込み要求が発生します。割り込みについては「29.4 コンパレータ B1、コンパレータ B3 割り込み」を参照してください。



上図は次の条件の場合です。

INTF レジスタの INTiF1 ~ INTiF0 ビット = 00b (フィルタなし)  
INTEN レジスタの INTiPL ビット = 1 (両エッジ)

i=1, 3

図 29.2 コンパレータ Bi(i = 1, 3) の動作例

### 29.3.1 コンパレータBiデジタルフィルタ( $i=1, 3$ )

コンパレータ Bi は、 $\overline{\text{INTi}}$  入力と同一のデジタルフィルタを使用できます。サンプリングクロックは INTF レジスタの INTiF1 ~ INTiF0 ビットで選択できます。サンプリングクロックごとにコンパレータ Bi の出力信号 INTiCOUT 信号をサンプリングし、レベルが 3 度一致した時点で、INTiIC レジスタの IR ビットが “1”(割り込み要求あり)になります。

図 29.3 にコンパレータ Bi デジタルフィルタの構成を、図 29.4 にコンパレータ Bi デジタルフィルタ動作例を示します。

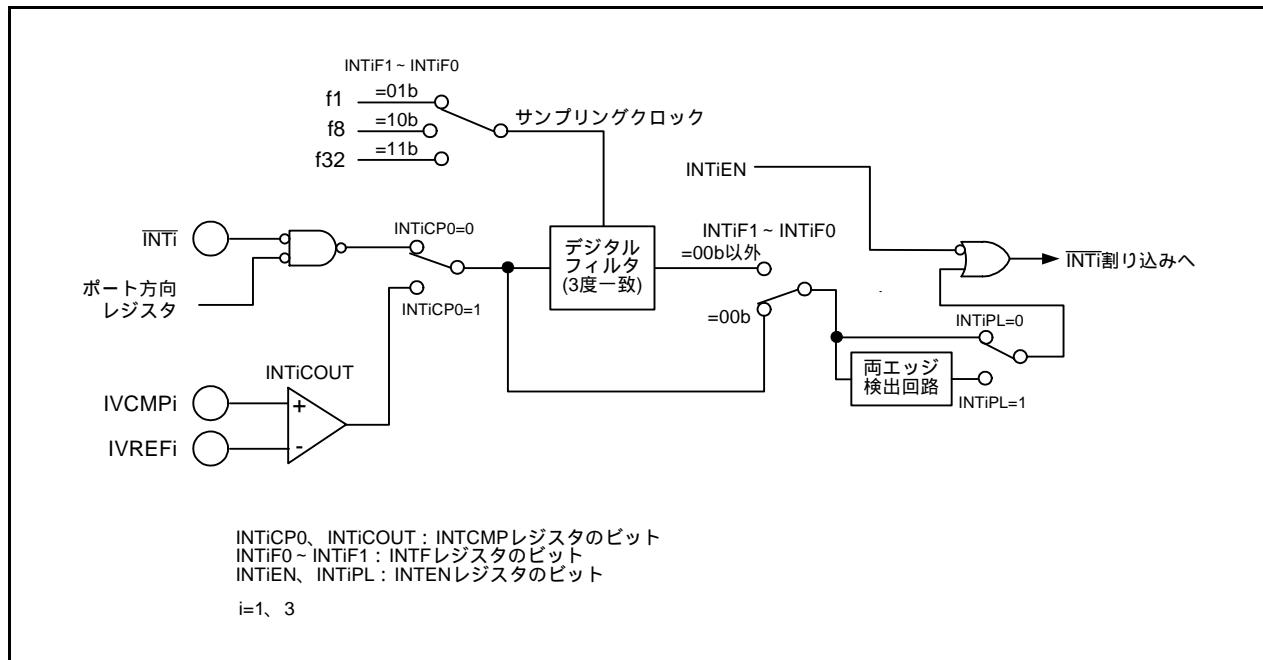


図 29.3 コンパレータ Bi デジタルフィルタの構成

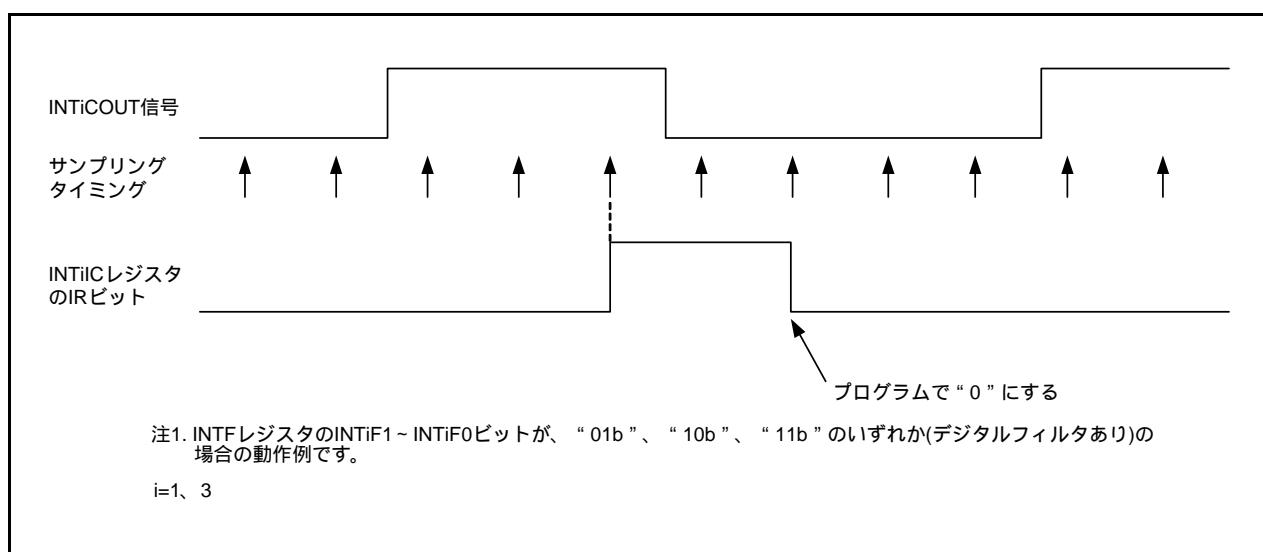


図 29.4 コンパレータ Bi デジタルフィルタ動作例

## 29.4 コンパレータB1、コンパレータB3割り込み

コンパレータBはコンパレータB1、およびコンパレータB3の2つの割り込み要求を発生します。コンパレータBi( $i=1, 3$ )割り込みはINTi( $i=1, 3$ )入力による割り込みと同一のINTiICレジスタ(IRビット、ILVL0～ILVL2ビット)と、それぞれ1つの割り込みベクタを持ちます。

コンパレータBi割り込みを使用するときはINTENレジスタのINTiENビットを“1”(割り込み許可)にしてください。さらに極性をINTENレジスタのINTiPLビットとINTiICレジスタのPOLビットで選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

## 30. フラッシュメモリ

フラッシュメモリは、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードがあります。

### 30.1 概要

表 30.1 にフラッシュメモリの性能概要を示します(表 30.1 に示す以外の項目は「表 1.1 ~ 表 1.2 R8C/33C グループの仕様概要」を参照してください)。表 30.2 にフラッシュメモリ書き換えモードの概要を示します。

表 30.1 フラッシュメモリの性能概要

| 項目                   |                               | 性能  |
|----------------------|-------------------------------|---|
| フラッシュメモリの動作モード       |                               | 3モード(CPU書き換え、標準シリアル入出力、パラレル入出力)   |
| 消去ブロック分割             |                               | 図 30.1 を参照してください。   |
| プログラム方式              |                               | バイト単位   |
| イレーズ方式               |                               | ブロック消去  |
| プログラム、イレーズ制御方式(注1)   |                               | ソフトウェアコマンドによるプログラム、イレーズ制御   |
| 書き換え制御方式             | ブロック 0 ~ 3<br>(プログラム ROM)(注3) | ロックビットによるブロック単位の書き換えプロテクト制御   |
|                      | ブロック A、B、C、D<br>(データフラッシュ)    | FMR1 レジスタの FMR14、FMR15、FMR16、FMR17 ビットによる<br>ブロック A、B、C、D に対する個別の書き換え制御 |
| コマンド数                |                               | 7コマンド   |
| プログラム、<br>イレーズ回数(注2) | ブロック 0 ~ 3<br>(プログラム ROM)(注3) | 1,000回  |
|                      | ブロック A、B、C、D<br>(データフラッシュ)    | 10,000回   |
| IDコードチェック機能          |                               | 標準シリアル入出力モード対応  |
| ROM コードプロテクト         |                               | パラレル入出力モード対応  |

注1. プログラム、イレーズを実行する場合は、電源電圧 VCC=2.7V ~ 5.5V の条件で行ってください。2.7V 未満では、プログラム、イレーズを実行しないでください。

注2. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数が n 回 ( $n=1,000, 10,000$  回) の場合、ブロックごとにそれぞれ  $n$  回ずつイレーズすることができます。例えば、1K バイトブロックのブロック A について、それぞれ異なる番地に 1 バイト書き込みを 1,024 回に分けて行った場合、そのブロックをイレーズするとプログラム/イレーズ回数は 1 回と数えます。100 回以上の書き換えを実施する場合は、実質的な書き換え回数を減少させるために、空き領域がなくなるまでプログラムを実施してからイレーズを行うようにすることと、特定ブロックのみの書き換えは避け、各ブロックへのプログラム、イレーズ回数を平準化するように書き換えを実施してください。また、ブロックごとに何回イレーズを実施したかを情報として残していただき、制限回数を設けていただくことをお勧めします。

注3. 製品によってブロック数およびブロックの分割が異なります。詳細は「図 30.1 R8C/33C グループのフラッシュメモリのブロック図」を参照してください。

表 30.2 フラッシュメモリ書き換えモードの概要

| フラッシュメモリ<br>書き換えモード | CPU書き換えモード                                 | 標準シリアル入出力モード                    | パラレル入出力モード                     |
|---------------------|--|---------------------------------|--------------------------------|
| 機能概要                | CPU がソフトウェアコマンドを実行することにより、ユーザ ROM 領域を書き換える | 専用シリアルライタを使用して、ユーザ ROM 領域を書き換える | 専用パラレルライタを使用してユーザ ROM 領域を書き換える |
| 書き換えできる領域           | ユーザ ROM                                    | ユーザ ROM                         | ユーザ ROM                        |
| 書き換えプログラム           | ユーザプログラム                                   | 標準ブートプログラム                      |                                |

### 30.2 メモリ配置

フラッシュメモリは、ユーザROM領域とブートROM領域(予約領域)に分けられます。

図 30.1 に R8C/33C グループのフラッシュメモリのブロック図を示します。

ユーザROM領域にはプログラムROMとデータフラッシュがあります。

プログラムROM： 主にプログラムを格納するためのフラッシュメモリ

データフラッシュ： 主に書き換えが必要なデータを格納するためのフラッシュメモリ

ユーザROM領域はいくつかのブロックに分割されています。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

ブートROM領域は出荷時に標準シリアル入出力モードの書き換え制御プログラム(標準ブートプログラム)が格納されています。ブートROM領域は、ユーザROM領域とは別に存在します。

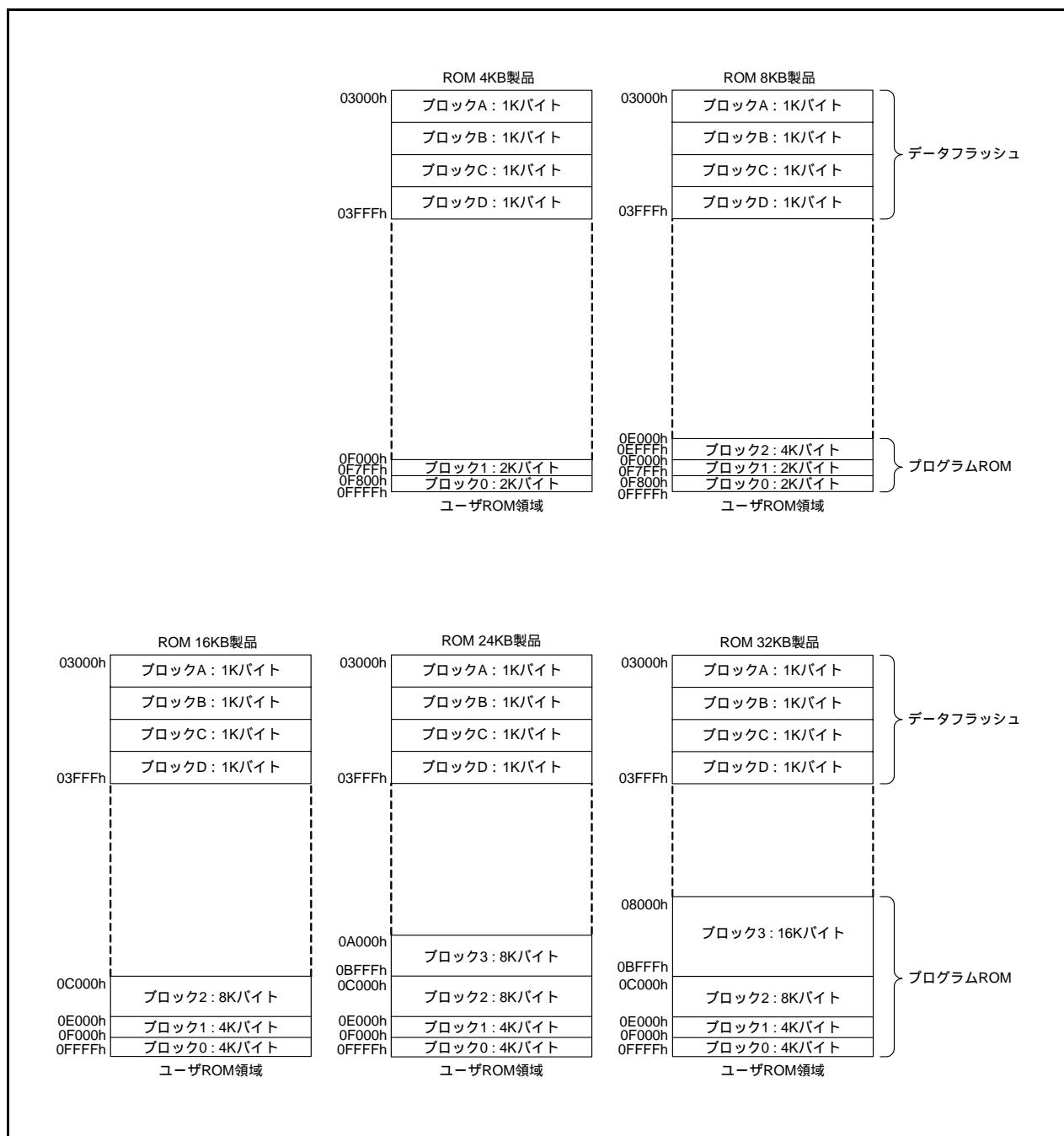


図 30.1 R8C/33C グループのフラッシュメモリのブロック図

### 30.3 フラッシュメモリ書き換え禁止機能

フラッシュメモリを簡単に読んだり書き換えることができないように、標準シリアル入出力モードにはIDコードチェック機能が、パラレル入出力モードにはROMコードプロテクト機能があります。

#### 30.3.1 IDコードチェック機能

IDコードチェック機能は、標準シリアル入出力モードで使用します。リセットベクタの3バイト(0FFFCh ~ 0FFFFEh 番地)が“FFFFFFFh”ではない場合、シリアルライタやオンラインチップデバッグギングエミュレータから送られてくるIDコードと、フラッシュメモリに書かれている7バイトのIDコードが一致するか判定します。コードが一致しなければ、シリアルライタやオンラインチップデバッグギングエミュレータから送られてくるコマンドは受け付けません。IDコードチェック機能の詳細は、「12. IDコード領域」を参照してください。

### 30.3.2 ROM コードプロテクト機能

ROM コードプロテクトはパラレル入出力モード使用時、OFS レジスタを使用して、フラッシュメモリの内容の読み出し、書き換え、消去を禁止する機能です。

オプション機能選択領域の詳細は「13. オプション機能選択領域」を参照してください。

ROMCR ビットに“1”、ROMCP1 ビットに“0”を書くと、ROM コードプロテクトが有効になり、内蔵フラッシュメモリの内容の読み出し、書き換えが禁止されます。

一度、ROM コードプロテクトを有効にすると、パラレル入出力モードでは、内蔵フラッシュメモリの内容を書き換えできません。ROM コードプロテクトを解除する場合は、CPU 書き換えモードまたは標準シリアル入出力モードを使用して、OFS レジスタを含むブロックを消去してください。

### 30.3.3 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh 番地

| ビット     | b7          | b6    | b5     | b4     | b3     | b2    | b1 | b0    |
|---------|-------------|-------|--------|--------|--------|-------|----|-------|
| シンボル    | CSPROINI    | LVDAS | VDSEL1 | VDSEL0 | ROMCP1 | ROMCR | -  | WDTON |
| リセット後の値 | ユーザの設定値(注1) |       |        |        |        |       |    |       |

| ビット | シンボル     | ビット名                   | 機能   | R/W |
|-----|----------|------------------------|--|-----|
| b0  | WDTON    | ウォッチドッグタイマ起動選択ビット      | 0 : リセット後、ウォッチドッグタイマは自動的に起動<br>1 : リセット後、ウォッチドッグタイマは停止状態   | R/W |
| b1  | -        | 予約ビット                  | “1”にしてください   | R/W |
| b2  | ROMCR    | ROM コードプロテクト解除ビット      | 0 : ROM コードプロテクト解除<br>1 : ROMCP1 ビット有効   | R/W |
| b3  | ROMCP1   | ROM コードプロテクトビット        | 0 : ROM コードプロテクト有効<br>1 : ROM コードプロテクト解除   | R/W |
| b4  | VDSEL0   | 電圧検出0レベル選択ビット(注2)      | <sup>b5 b4</sup><br>0 0 : 3.80V を選択 (Vdet0_3)<br>0 1 : 2.85V を選択 (Vdet0_2)<br>1 0 : 2.35V を選択 (Vdet0_1)<br>1 1 : 1.90V を選択 (Vdet0_0) | R/W |
| b5  | VDSEL1   |                        |  | R/W |
| b6  | LVDAS    | 電圧検出0回路起動ビット(注3)       | 0 : リセット後、電圧監視0リセット有効<br>1 : リセット後、電圧監視0リセット無効   | R/W |
| b7  | CSPROINI | リセット後カウントソース保護モード選択ビット | 0 : リセット後、カウントソース保護モード有効<br>1 : リセット後、カウントソース保護モード無効   | R/W |

注1. OFS レジスタはフラッシュメモリ上にあり、SFR ではありません。ROM データとして、プログラムで適切な値を設定してください。

OFS レジスタに追加書き込みをしないでください。OFS レジスタを含むブロックを消去すると、OFS レジスタは“FFh”になります。

プランク出荷品の出荷時、OFS レジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFS レジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0 ~ VDSEL1 ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDAS ビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFS レジスタの設定例は、「13.3.1 オプション機能選択領域の設定例」を参照してください。

#### LVDAS ビット(電圧検出0回路起動ビット)

電圧検出0回路で監視する Vdet0 電圧は、VDSEL0 ~ VDSEL1 ビットで選択されます。

### 30.4 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライタなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。ソフトウェアコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

また、CPU書き換えモードで消去動作中に、消去動作を一時中断するイレーズサスペンド機能を持ちます。イレーズサスペンド中は、フラッシュメモリの読み出しままたはプログラムができます。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1モード)があります。

表 30.3 にEW0モードとEW1モードの違いを示します。

表 30.3 EW0モードとEW1モードの違い

| 項目                               | EW0モード   | EW1モード  |
|----------------------------------|--|---|
| 動作モード                            | シングルチップモード   | シングルチップモード  |
| 書き換え制御プログラムを配置できる領域              | ユーザROM   | ユーザROM  |
| 書き換え制御プログラムを実行できる領域              | RAM(書き換え制御プログラムを転送して実行)<br>ただし、データフラッシュ領域を書き換える場合は、プログラムROM領域上で実行可能。   | ユーザROMまたはRAM  |
| 書き換えられる領域                        | ユーザROM   | ユーザROM<br>ただし、書き換え制御プログラムがあるブロックを除く   |
| ソフトウェアコマンドの制限                    |  | プログラム、ブロックイレーズコマンド書き換え制御プログラムがあるブロックに対して実行禁止  |
| プログラム、ブロックイレーズ後、イレーズサスペンド移行後のモード | リードアレイモード  | リードアレイモード   |
| プログラム、ブロックイレーズ実行中のCPUの状態         | 動作   | <ul style="list-style-type: none"> <li>・データフラッシュ領域をプログラム、ブロックイレーズ実行中、CPUは動作</li> <li>・プログラムROM領域をプログラム、ブロックイレーズ実行中、CPUはホールド状態(入出力ポートはコマンド実行前の状態を保持)</li> </ul>            |
| フラッシュメモリのステータス検知                 | プログラムでFSTレジスタのFST7、FST5、FST4ビットを読む   | プログラムでFSTレジスタのFST7、FST5、FST4ビットを読む  |
| イレーズサスペンドへの移行条件                  | <ul style="list-style-type: none"> <li>・プログラムでFMR2レジスタのFMR20、FMR21ビットを“1”にする</li> <li>・FMR2レジスタのFMR20とFMR22ビットが“1”かつ許可されたマスクブル割り込み要求が発生</li> </ul> | <ul style="list-style-type: none"> <li>・プログラムでFMR2レジスタのFMR20、FMR21ビットを“1”にする<br/>(データフラッシュ領域を書き換え中)</li> <li>・FMR2レジスタのFMR20とFMR22ビットが“1”かつ許可されたマスクブル割り込み要求が発生</li> </ul> |
| CPUクロック                          | 最大20MHz  | 最大20MHz   |

### 30.4.1 フラッシュメモリステータスレジスタ(FST)

アドレス 01B2h番地

| ビット     | b7   | b6   | b5   | b4   | b3 | b2     | b1     | b0     |
|---------|------|------|------|------|----|--------|--------|--------|
| シンボル    | FST7 | FST6 | FST5 | FST4 | -  | LBDATA | BSYAEI | RDYSTI |
| リセット後の値 | 1    | 0    | 0    | 0    | 0  | X      | 0      | 0      |

| ビット | シンボル   | ビット名                                       | 機能   | R/W |
|-----|--------|--|--|-----|
| b0  | RDYSTI | フラッシュレディステータス割り込み要求フラグ(注1、4)               | 0 : フラッシュレディステータス割り込み要求なし<br>1 : フラッシュレディステータス割り込み要求あり     | R/W |
| b1  | BSYAEI | フラッシュアクセスエラー割り込み要求フラグ(注2、4)                | 0 : フラッシュアクセスエラー割り込み要求なし<br>1 : フラッシュアクセスエラー割り込み要求あり       | R/W |
| b2  | LBDATA | LBDATAモニターフラグ                              | 0 : ロック状態<br>1 : 非ロック状態                                    | R   |
| b3  | -      | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 |  | -   |
| b4  | FST4   | プログラムエラー処理フラグ(注3)                          | 0 : プログラムエラーなし<br>1 : プログラムエラーあり                           | R   |
| b5  | FST5   | イレーズエラー / ブランクチェックエラー処理フラグ(注3)             | 0 : イレーズエラー / ブランクチェックエラーなし<br>1 : イレーズエラー / ブランクチェックエラーあり | R   |
| b6  | FST6   | イレーズサスペンドステータスフラグ                          | 0 : イレーズサスペンド以外<br>1 : イレーズサスペンド中                          | R   |
| b7  | FST7   | レディ / ビジーステータスフラグ                          | 0 : ビジー<br>1 : レディ   | R   |

注1. プログラムでRDYSTIビットを“1”(フラッシュレディステータス割り込み要求あり)にできません。

注2. プログラムでBSYAEIビットを“1”(フラッシュアクセスエラー割り込み要求あり)にできません。

注3. コマンドエラー時にも“1”(エラーあり)になります。

注4. このビットが“1”的とき、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にしないでください。

#### RDYSTIビット(フラッシュレディステータス割り込み要求フラグ)

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)で、自動書き込みまたは自動消去が終了、もしくはイレーズサスペンドモードに移行したときにRDYSTIビットが“1”(フラッシュレディステータス割り込み要求あり)になります。

割り込み処理の中で、RDYSTIビットを“0”(フラッシュレディステータス割り込み要求なし)にしてください。

[“0”になる条件]

割り込み処理のプログラムで“0”にしてください。

[“1”になる条件]

FMR0レジスタのRDYSTIEビットが“1”的ときに、ビジーからレディーに遷移すると、RDYSTIビットは“1”になります。

ビジーからレディに変化するのは、次の状態のときです。

- フラッシュメモリのイレーズ / プログラム終了
- サスPEND受付
- 強制終了完了
- ロックビットプログラム終了
- リードロックビットステータス終了
- ブロックブランクチェック終了
- フラッシュメモリ停止が解除され、フラッシュメモリ読み出し可能となったとき

### BSYAEI ビット(フラッシュアクセスエラー割り込み要求フラグ)

FMR0 レジスタの BSYAEIE ビットが “1”(フラッシュアクセスエラー割り込み許可)で、自動書き込みまたは自動消去状態のブロックへアクセスした場合、または FMR0 レジスタの CMDERIE ビットが “1”(イレーズ/ライトエラー割り込み許可)のときに、イレーズエラーまたはプログラムエラーが発生した場合に、BSYAEI ビットが “1”(フラッシュアクセスエラー割り込み要求あり)になります。割り込み処理の中で、BSYAEI ビットを “0”(フラッシュアクセスエラー割り込み要求なし)にしてください。

#### [“0”になる条件]

- (1) 割り込み処理のプログラムで “0”にしてください。
- (2) クリアステータスレジスタコマンドを実行してください。

#### [“1”になる条件]

- (1) FMR0 レジスタの BSYAEIE ビットが “1”的ときに、フラッシュメモリがビジー状態で、イレーズ/ライトを実行している領域を読み/書きする。  
または、プログラム ROM 領域をイレーズ/ライト中にデータフラッシュ領域をリードする。  
(ただし、両者共に読み出し値は不定。書き込みは無効。)
- (2) FMR0 レジスタの CMDERIE ビットが “1”(イレーズ/ライトエラー割り込み許可)のときに、コマンドシーケンスエラー、イレーズエラー、ブランクチェックエラーまたはプログラムエラーが発生した場合。

### LBDATA ビット(LBDATA モニターフラグ)

ロックビットの状態を示す読み出し専用ビットです。ロックビットの状態を確認するためには、リードロックビットステータスコマンドを実行し、FST7 ビットが “1”(レディ)になった後で、LBDATA ビットを読んでください。

更新条件は、プログラム、イレーズ、リードロックビットステータスのコマンド発行時です。  
リードロックビットステータスコマンドを入力すると、FST7 ビットが “0”(ビジー)になります。  
FST7 ビットが “1”(レディ)になった時点で LBDATA ビットにロックビットの状態が格納されます。  
次のコマンドが入力されるまで、LBDATA ビットのデータは保持されます。

### FST4 ビット(プログラムエラーフラグ)

自動書き込みの状況を示す読み出し専用のビットです。プログラムエラーが発生すると “1”、それ以外のときは “0” となります。詳細は「30.4.12 フルステータスチェック」を参照してください。

### FST5 ビット(イレーズエラー / ブランクチェックエラーフラグ)

自動消去またはブロックブランクチェックコマンドの状況を示す読み出し専用のビットです。イレーズエラーまたはブランクチェックエラーが発生すると “1”、それ以外のときは “0” となります。  
詳細は「30.4.12 フルステータスチェック」を参照してください。

### FST6 ビット(イレーズサスペンドステータスフラグ)

サスペンドの状態を示す読み出し専用のビットです。イレーズサスペンドリクエストを受け付け、サスペンド状態に移行すると “1” になります。それ以外のときは “0” になります。

### FST7 ビット(レディ / ビジーステータスフラグ)

FST7 ビットが “0”(ビジー)のとき、フラッシュメモリは次の状態です。

- プログラム中
- イレーズ中
- ロックビットプログラム中
- リードロックビットステータス中
- ブロックブランクチェック中
- 強制停止動作中
- フラッシュメモリ停止中
- フラッシュメモリ復帰中

それ以外の場合は、FST7 ビットが “1”(レディ)になります。

### 30.4.2 フラッシュメモリ制御レジスタ0(FMR0)

アドレス 01B4h番地

| ビット     | b7      | b6      | b5      | b4     | b3    | b2    | b1    | b0 |
|---------|---------|---------|---------|--------|-------|-------|-------|----|
| シンボル    | RDYSTIE | BSYAEIE | CMDERIE | CMDRST | FMSTP | FMR02 | FMR01 | -  |
| リセット後の値 | 0       | 0       | 0       | 0      | 0     | 0     | 0     | 0  |

| ビット | シンボル    | ビット名                      | 機能   | R/W |
|-----|---------|---------------------------|--|-----|
| b0  | -       | 予約ビット                     | “0”にしてください   | R/W |
| b1  | FMR01   | CPU書き換えモード選択ビット<br>(注1、4) | 0 : CPU書き換えモード無効<br>1 : CPU書き換えモード有効   | R/W |
| b2  | FMR02   | EW1モード選択ビット(注1)           | 0 : EW0モード<br>1 : EW1モード   | R/W |
| b3  | FMSTP   | フラッシュメモリ停止ビット(注2)         | 0 : フラッシュメモリ動作<br>1 : フラッシュメモリ停止<br>(低消費電力状態、フラッシュメモリ初期化)                                | R/W |
| b4  | CMDRST  | イレーズ/ライトシーケンスリセットビット(注3)  | CMDRSTビットを“1”にすると、イレーズ/ライトシーケンスはリセットされ、イレーズ/ライトを強制停止させることができます。<br>読み出した場合は、“0”が読み出されます。 | R/W |
| b5  | CMDERIE | イレーズ/ライトエラー割り込み許可ビット      | 0 : イレーズ/ライトエラー割り込み禁止<br>1 : イレーズ/ライトエラー割り込み許可   | R/W |
| b6  | BSYAEIE | フラッシュアクセスエラー割り込み許可ビット     | 0 : フラッシュアクセスエラー割り込み禁止<br>1 : フラッシュアクセスエラー割り込み許可   | R/W |
| b7  | RDYSTIE | フラッシュレディステータス割り込み許可ビット    | 0 : フラッシュレディステータス割り込み禁止<br>1 : フラッシュレディステータス割り込み許可                                       | R/W |

注1. このビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止してください。

注2. FMSTPビットはRAMに転送したプログラムで書いてください。FMSTPビットはFMR01ビットが“1”(CPU書き換えモード有効)のとき、有効です。FMSTPビットを“1”(フラッシュメモリ停止)にする場合は、FSTレジスタのFST7ビットが“1”(レディ)のとき、設定してください。

注3. CMDRSTビットはFMR01ビットが“1”(CPU書き換えモード有効)かつFSTレジスタのFST7ビットが“0”(ビジー)のとき、有効です。

注4. FMR01ビットを“0”(CPU書き換えモード無効)にする場合は、FSTレジスタのRDYSTIビットが“0”(フラッシュレディステータス割り込み要求なし)、かつBSYAEIビットが“0”(フラッシュアクセスエラー割り込み要求なし)のとき、設定してください。

#### FMR01ビット(CPU書き換えモード選択ビット)

FMR01ビットを“1”(CPU書き換えモード有効)にすると、ソフトウェアコマンドの受け付けが可能になります。

#### FMR02ビット(EW1モード選択ビット)

FMR02ビットを“1”(EW1モード)にすると、EW1モードになります。

### FMSTP ビット(フラッシュメモリ停止ビット)

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTP ビットを “1” にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTP ビットは RAM に転送したプログラムで書いてください。

高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)、低速クロックモード(XINクロック停止)でさらに低消費電力にする場合、FMSTP ビットを “1” にしてください。詳細は「31.2.10 フラッシュメモリの停止」を参照してください。

なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0 レジスタを設定する必要がありません。

また、FMSTP ビットが “1” のとき(FMSTP ビットを “1” から “0” へ変更直後のビジー中(FST7 ビットが “0” の期間)も含む)は、同時に低消費電流リードモードにしないでください。

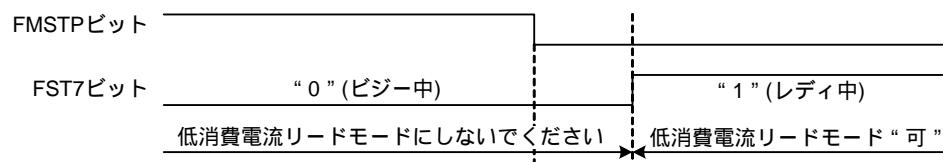


図30.2 低消費電流リードモードへの移行

### CMDRST ビット(イレーズ/ライトシーケンスリセットビット)

フラッシュメモリのシーケンスを初期化し、プログラム、ブロックイレーズコマンドを強制停止させるためのビットです。データフラッシュ領域へのプログラム/イレーズ中のシーケンスリセットの場合は、プログラム ROM 領域を読み出すことは可能です。

FMR0 レジスタの CMDRST ビットによりプログラム、ブロックイレーズコマンドを強制停止した場合、FST レジスタの FST7 ビットが “1”(レディ)に復帰後、クリアステータスコマンドを実行してください。再度同じアドレスにプログラムする場合は、ブロックイレーズコマンドを再度実行し、ブロックイレーズが正常に終わったことを確認した上で、プログラムを行ってください。プログラム、ブロックイレーズコマンドを強制停止したアドレスおよびブロックがプログラム領域の場合、FMR1 レジスタの FMR13 ビットを “1”(ロックビット無効)にした後で、ブロックイレーズコマンドを再度実行してください。

また、イレーズサスペンド中に CMDRST ビットを “1”(イレーズ/ライト停止)にすると、サスペンドの状態も初期化されるため、ブロックイレーズをサスペンドしていたブロックに対しても、ブロックイレーズを再度実行してください。

CMDRST ビットを “1”(イレーズ/ライト停止)にしてから、td(CMDRST-READY)後に、実行中のコマンドが強制停止され、フラッシュメモリが読み出し可能になります。

### CMDERIE ビット(イレーズ/ライトエラー割り込み許可ビット)

次のエラーが発生したときに、フラッシュコマンドエラー割り込みを発生させることを許可するビットです。

- プログラムエラー
- ブロックイレーズエラー
- コマンドシーケンスエラー
- ブロックブランクチェックエラー

CMDERIE ビットを“1”(イレーズ/ライトエラー割り込み許可)にし、上記エラーが発生すると割り込みが発生します。

フラッシュコマンドエラー割り込みが発生した場合は、割り込み処理の中でクリアステータスレジスタコマンドを実行してください。

### BSYAEIE ビット(フラッシュアクセスエラー割り込み許可ビット)

書き換え中のフラッシュメモリに対して、アクセスした場合に、フラッシュアクセスエラー割り込みを発生させることを許可するビットです。

### RDYSTIE ビット(フラッシュレディステータス割り込み許可ビット)

フラッシュシーケンスがビジーからレディ状態になったときに、フラッシュレディステータス割り込みを発生させることを許可するビットです。

### 30.4.3 フラッシュメモリ制御レジスタ1(FMR1)

アドレス 01B5h番地

| ビット     | b7    | b6    | b5    | b4    | b3    | b2    | b1    | b0    |
|---------|-------|-------|-------|-------|-------|-------|-------|-------|
| シンボル    | FMR17 | FMR16 | FMR15 | FMR14 | FMR13 | FMR12 | FMR11 | FMR10 |
| リセット後の値 | 0     | 0     | 0     | 0     | 0     | 0     | 0     | 0     |

| ビット | シンボル  | ビット名                                       | 機能  | R/W |
|-----|-------|--|---|-----|
| b0  | FMR10 | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -   |     |
| b1  | FMR11 |  |   |     |
| b2  | FMR12 |  |   |     |
| b3  | FMR13 | ロックビット無効選択ビット(注1)                          | 0: ロックビット有効<br>1: ロックビット無効  | R/W |
| b4  | FMR14 | データフラッシュブロックA書き換え禁止ビット(注2、3)               | 0: 書き換え許可(ソフトウェアコマンド受付可能)<br>1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない) | R/W |
| b5  | FMR15 | データフラッシュブロックB書き換え禁止ビット(注2、3)               | 0: 書き換え許可(ソフトウェアコマンド受付可能)<br>1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない) | R/W |
| b6  | FMR16 | データフラッシュブロックC書き換え禁止ビット(注2、3)               | 0: 書き換え許可(ソフトウェアコマンド受付可能)<br>1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない) | R/W |
| b7  | FMR17 | データフラッシュブロックD書き換え禁止ビット(注2、3)               | 0: 書き換え許可(ソフトウェアコマンド受付可能)<br>1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない) | R/W |

- 注1. FMR13 ビットを “1” にするときは、“0”を書いた後、続けて “1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止してください。
- 注2. このビットを “0” にするときは、“1”を書いた後、続けて “0”を書いてください。また、“1”を書いた後、“0”を書くまでの間は、割り込みとDTC起動を禁止してください。
- 注3. FMR0 レジスタのFMR01 ビットを “0” (CPU書き換えモード無効)にすると “0”になります。

#### FMR13 ビット(ロックビット無効選択ビット)

FMR13 ビットを “1” (ロックビット無効)にすると、ロックビットを無効にできます。“0”にすると、ロックビットが有効になります。ロックビットについては「30.4.10 データ保護機能」を参照してください。

FMR13 ビットは、ロックビット機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR13 ビットを “1” にした状態でブロックイレーズコマンドを実行すると、“0”(ロック状態)であったロックビットデータは、消去終了後には “1” (非ロック状態)になります。

##### [ “0” になる条件]

次の条件が成立した時点で “0”になります。

- プログラムコマンド終了時点
- イレーズコマンド終了時点
- イレーズサスPEND移行時点
- コマンドシーケンスエラー発生時点
- FMR0 レジスタのFMR01 ビットが “0” (CPU書き換えモード無効)になった場合
- FMR0 レジスタのFMSTP ビットが “1” (フラッシュメモリ停止)になった場合
- FMR0 レジスタのCMDRST ビットが “1” (イレーズ/ライト停止)になった場合

##### [ “1” になる条件]

プログラムで “1”にしてください。

**FMR14ビット(データフラッシュブロックA書き換え禁止ビット)**

FMR14ビットが“0”的き、データフラッシュのブロックAはプログラムコマンド、ブロックイレーズコマンドを受け付けます。

**FMR15ビット(データフラッシュブロックB書き換え禁止ビット)**

FMR15ビットが“0”的き、データフラッシュのブロックBはプログラムコマンド、ブロックイレーズコマンドを受け付けます。

**FMR16ビット(データフラッシュブロックC書き換え禁止ビット)**

FMR16ビットが“0”的き、データフラッシュのブロックCはプログラムコマンド、ブロックイレーズコマンドを受け付けます。

**FMR17ビット(データフラッシュブロックD書き換え禁止ビット)**

FMR17ビットが“0”的き、データフラッシュのブロックDはプログラムコマンド、ブロックイレーズコマンドを受け付けます。

### 30.4.4 フラッシュメモリ制御レジスタ2(FMR2)

アドレス 01B6h番地

| ビット     | b7    | b6 | b5 | b4 | b3 | b2    | b1    | b0    |
|---------|-------|----|----|----|----|-------|-------|-------|
| シンボル    | FMR27 | -  | -  | -  | -  | FMR22 | FMR21 | FMR20 |
| リセット後の値 | 0     | 0  | 0  | 0  | 0  | 0     | 0     | 0     |

| ビット | シンボル  | ビット名                                       | 機能   | R/W |
|-----|-------|--|--|-----|
| b0  | FMR20 | イレーズサスPEND許可ビット<br>(注1)                    | 0 : イレーズサスPEND禁止<br>1 : イレーズサスPEND許可                         | R/W |
| b1  | FMR21 | イレーズサスPENDリクエスト<br>ビット(注2)                 | 0 : イレーズリストアト<br>1 : イレーズサスPENDリクエスト                         | R/W |
| b2  | FMR22 | 割り込み要求サスPENDリクエスト<br>許可ビット(注1)             | 0 : 割り込み要求でイレーズサスPENDリクエスト禁止<br>1 : 割り込み要求でイレーズサスPENDリクエスト許可 | R/W |
| b3  | -     | 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。 | -  | -   |
| b4  | -     | 予約ビット                                      | “0”にしてください   | R/W |
| b5  | -     |  |  | R/W |
| b6  | -     |  |  | R/W |
| b7  | FMR27 | 低消費電流リードモード許可ビット<br>(注1、3)                 | 0 : 低消費電流リードモード禁止<br>1 : 低消費電流リードモード許可                       | R/W |

注1. このビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止してください。

注2. FMR21ビットを“0”(イレーズリストアト)にする場合は、FMR0レジスタのFMR01ビットが“1”(CPU書き換えモード有効)のとき、設定してください。

注3. 次のいずれかの設定をした後、FMR27ビットを“1”にしてください。

- ・CPUクロックを低速オンチップオシレータクロックの4分周、8分周または16分周に設定
- ・CPUクロックをXCINクロックの1分周(分周なし)、2分周、4分周または8分周に設定

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態で、ウェイトモードまたはストップモードへ移行しないでください。

#### FMR20ビット(イレーズサスPEND許可ビット)

FMR20ビットを“1”(許可)にすると、イレーズサスPEND機能が許可されます。

#### FMR21ビット(イレーズサスPENDリクエストビット)

FMR21ビットを“1”にすると、イレーズサスPENDモードに移行します。FMR22ビットが“1”(割り込み要求でイレーズサスPENDリクエスト許可)の場合、許可された割り込みの割り込み要求が発生すると、FMR21ビットは自動的に“1”(イレーズサスPENDリクエスト)になり、イレーズサスPENDモードに移行します。自動消去を再開するときは、FMR21ビットを“0”(イレーズリストアト)にしてください。

##### [“0”になる条件]

プログラムで“0”にしてください。

##### [“1”になる条件]

- ・割り込み要求発生時に、FMR22ビットが“1”(割り込み要求でイレーズサスPENDリクエスト許可)のとき。
- ・プログラムで“1”にしてください。

### FMR22 ビット(割り込み要求サスPENDリクエスト許可ビット)

FMR22 ビットを“1”(割り込みでイレーズサスPENDリクエスト許可)にすると、自動消去中に、割り込み要求が発生したときに、自動的にFMR21 ビットを“1”(イレーズサスPENDリクエスト)にします。

EW1 モードでユーザ ROM 領域を書き換え中にイレーズサスPENDを使用するときに、“1”にしてください。

### FMR27 ビット(低消費電流リードモード許可ビット)

低速クロックモード(XINクロック停止)、低速オンチップオシレータモード(XINクロック停止)のときに、FMR27 ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。詳細は「31.2.11 低消費電流リードモード」を参照してください。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周
- CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。CPUクロック分周比を設定した後、FMR27 ビットを“1”にしてください。

ウェイトモードまたはストップモードへ移行するときは、FMR27 ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27 ビットが“1”(低消費電流リードモード許可)の状態で、ウェイトモードまたはストップモードへ移行しないでください。

なお、FMR27 ビットが“1”(低消費電流リードモード許可)のとき、プログラム、ブロックイレーズ、ロックビットプログラムコマンドを実行しないでください。また、FMSTP ビットを“1”(フラッシュメモリ停止)から“0”(フラッシュメモリ動作)にする場合は、FMR27 ビットが“0”(低消費電流リードモード禁止)のときに行ってください。

### 30.4.5 EW0 モード

FMR0 レジスタの FMR01 ビットを “1” (CPU書き換えモード有効) にすると CPU 書き換えモードになり、ソフトウェアコマンドの受け付けが可能となります。このとき、FMR0 レジスタの FMR02 ビットが “0” なので、EW0 モードになります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などは、FST レジスタで確認できます。

自動消去中にイレーズサスペンドに移行する場合は、FMR20 ビットを “1” (イレーズサスペンド許可)、FMR21 ビットを “1” (イレーズサスペンドリクエスト) にしてください。次に、FST レジスタの FST7 ビットが “1” (レディ) になったことを確認し、FST6 ビットが “1” (イレーズサスペンド中) になったことを確認後、フラッシュメモリにアクセスしてください (FST6 ビットが “0” になったとき、消去終了です)。

FMR2 レジスタの FMR21 ビットを “0” (イレーズリストート) にすると、自動消去を再開します。また、自動消去の再開を確認する場合は、FST レジスタの FST7 ビットが “0” になったことを確認し、FST6 ビットが “0” (イレーズサスペンド以外) になったことを確認してください。

### 30.4.6 EW1 モード

FMR0 レジスタの FMR01 ビットを “1” (CPU 書き換えモード有効) にした後、FMR02 ビットを “1” (EW1 モード) にすると EW1 モードになります。

プログラム、イレーズの終了時の状態などは、FST レジスタで確認できます。

自動消去時、イレーズサスペンド機能を有効にする場合には、FMR2 レジスタの FMR20 ビットを “1” (サスペンド許可) にしてからロックイレーズコマンドを実行してください。ユーザ ROM 領域を自動消去中にイレーズサスペンドに移行する場合は、FMR2 レジスタの FMR22 ビットを “1” (割り込み要求でイレーズサスペンドリクエスト許可) にしてください。また、イレーズサスペンドに移行するための割り込みはあらかじめ割り込み許可状態にしてください。

割り込み要求が発生すると、FMR2 レジスタの FMR21 ビットは自動的に “1” (イレーズサスペンドリクエスト) になり、td(SR-SUS) 後に、自動消去が中断されます。割り込み処理終了後、FMR21 ビットを “0” (イレーズリストート) にして自動消去を再開させてください。

### 30.4.7 サスPEND動作

サスPEND機能は自動消去の途中で、その動作を一時中断する機能です。

自動消去を中断したとき、次の動作が実行できます。(「表 30.4 サスPEND中に実行できる動作」参照)

- データフラッシュの任意のブロックの自動消去をサスPENDした場合、データフラッシュの別のブロックへの自動書き込み、および読み出しが実行できます。
- データフラッシュの自動消去をサスPENDした場合、プログラム ROMへの自動書き込みおよび読み出しが実行できます。
- プログラム ROM の任意のブロックの自動消去をサスPENDした場合、プログラム ROM の別のブロックへの自動書き込み、および読み出しが実行できます。
- プログラム ROM の自動消去をサスPENDした場合、データフラッシュへの自動書き込みおよび読み出しが実行できます。
- サスPENDを確認する場合、FST7 ビットが “1”(レディ)となったことを確認後、FST6 ビットが “1”(イレーズサスPEND中)になったことで、サスPENDしたことを確認してください。(FST6 ビットが “0”(イレーズサスPEND以外)となったときは、消去終了です。)

図 30.3 にサスPEND動作に関するタイミングを示します。

表 30.4 サスPEND中に実行できる動作

|                                |              | サスPEND中の動作                             |       |     |   |       |     |   |       |     |  |       |      |
|--------------------------------|--------------|--|-------|-----|---|-------|-----|---|-------|-----|--|-------|------|
|                                |              | データフラッシュ<br>(サスPEND移行前の<br>イレーズ実行ブロック) |       |     | データフラッシュ<br>(サスPEND移行前の<br>イレーズ未実行ブロック) |       |     | プログラム ROM<br>(サスPEND移行前の<br>イレーズ実行ブロック) |       |     | プログラム ROM<br>(サスPEND移行前の<br>イレーズ未実行ブロック) |       |      |
|                                |              | イレーズ                                   | プログラム | リード | イレーズ                                    | プログラム | リード | イレーズ                                    | プログラム | リード | イレーズ                                     | プログラム | リード  |
| サスPEND<br>移行前の<br>イレーズ<br>実行領域 | データ<br>フラッシュ | x                                      | x     | x   | x                                       |       |     |   |       |     | x  |       | (注5) |
|                                | プログラム<br>ROM |  |       |     | x                                       |       |     | x                                       |       | x   | x  | x     |      |

注1. はサスPEND機能を使用することで動作可能、xは動作禁止、 は組み合わせなし

注2. プログラム中はサスPENDできません。

注3. イレーズはブロックイレーズを、プログラムはプログラム、ロックビットプログラム、リードロックビットストータスの各コマンドを実行できます。

クリアステータスレジスタコマンドは、FSTレジスタのFST7ビットが “1”(レディ)で実行できます。

サスPEND中、ロックブランクチェックは動作禁止です。

注4. イレーズサスPEND移行直後は、リードアレイモードになります。

注5. データフラッシュをプログラムあるいはブロックイレーズ動作中に、BGO 機能によりプログラム ROM 領域を読み出すことができます。

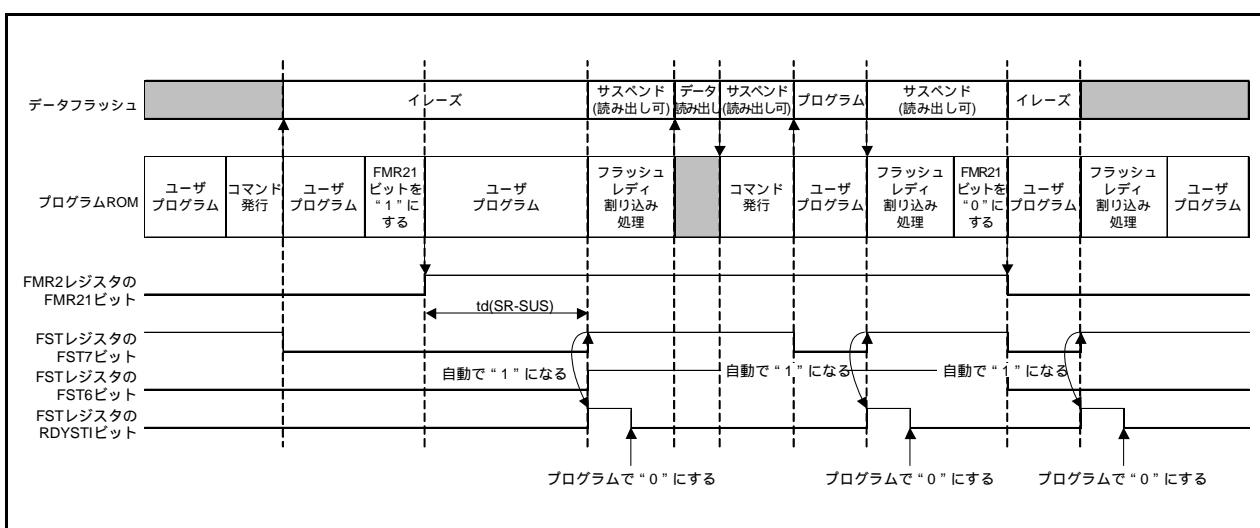


図 30.3 サスPEND動作に関するタイミング

### 30.4.8 各モードの設定と解除方法

図 30.4 に EW0 モードの設定と解除方法を、図 30.5 に EW0 モード(データフラッシュを書き換える場合)、EW1 モードの設定と解除方法を示します。

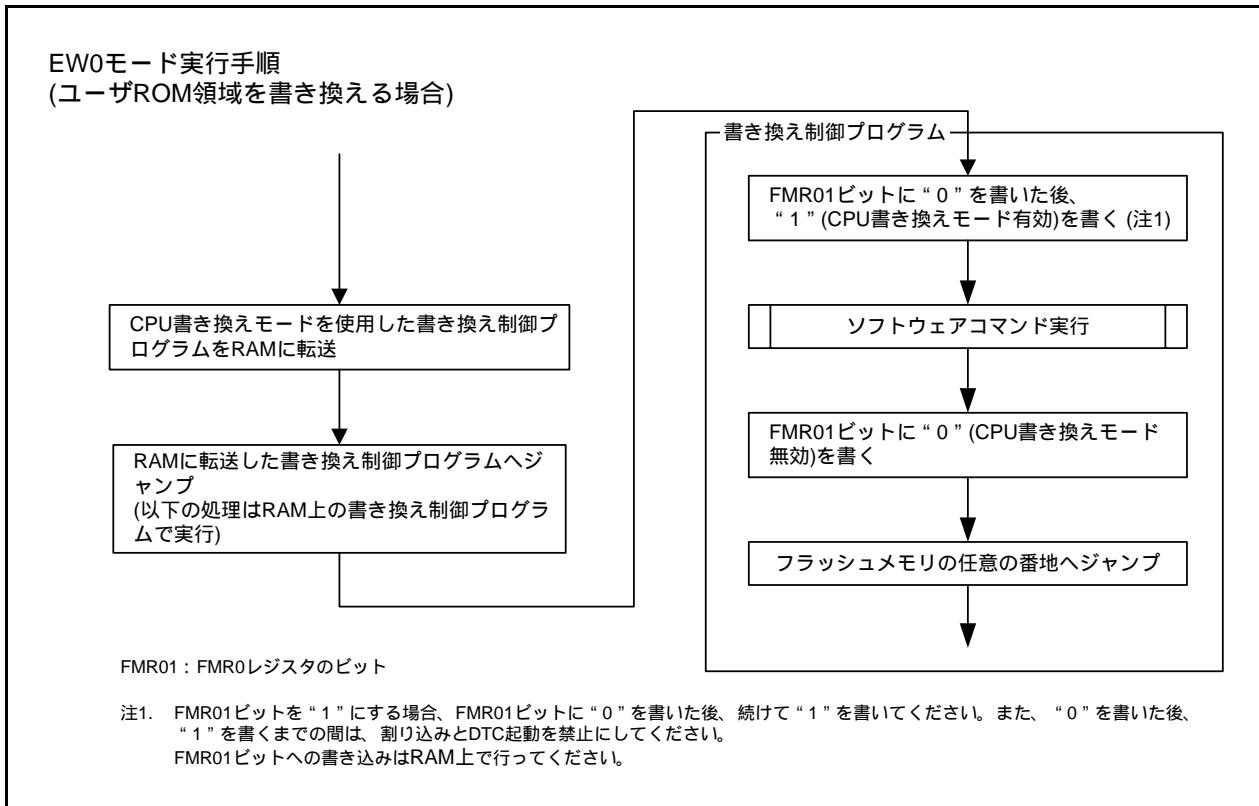


図 30.4 EW0 モードの設定と解除方法

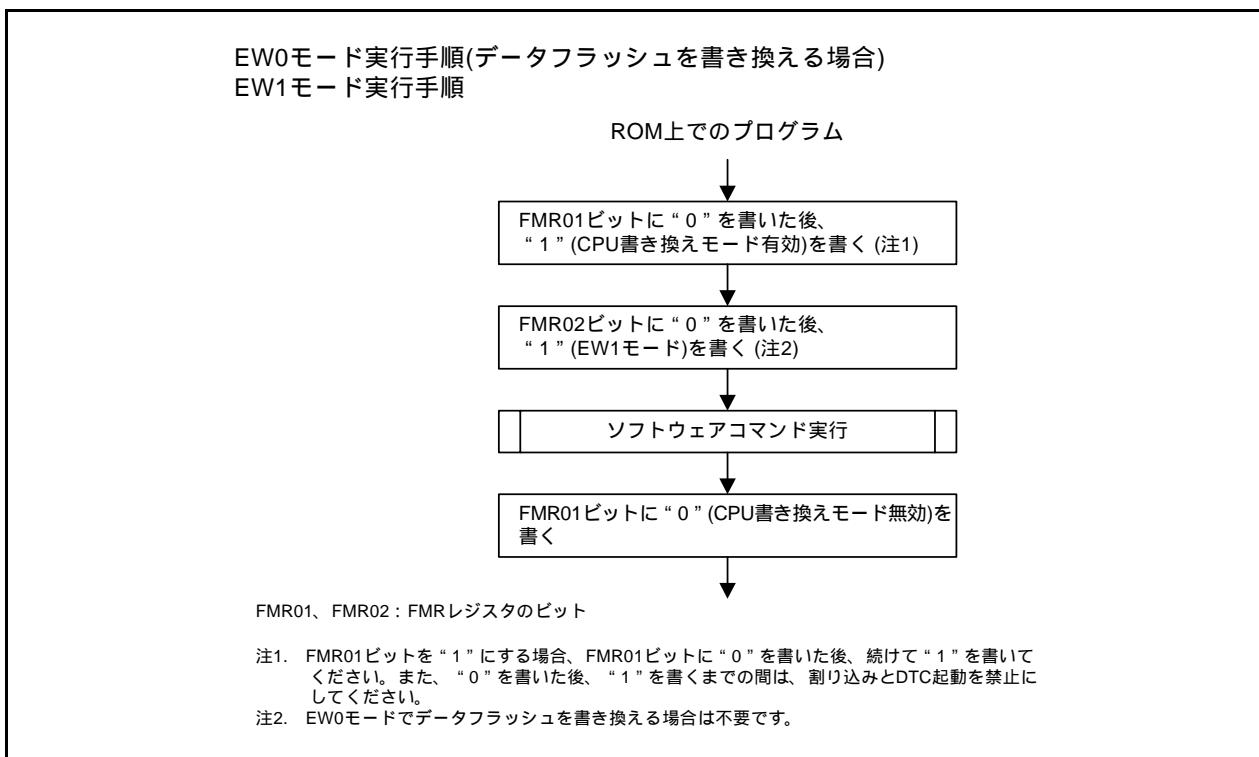


図 30.5 EW0 モード(データフラッシュを書き換える場合)、EW1 モードの設定と解除方法

### 30.4.9 BGO (バックグラウンドオペレーション)機能

データフラッシュをプログラムあるいはブロックイレーズ動作中に、プログラムROM領域を指定するとアレイデータを読み出すことができます。このためにソフトウェアコマンドをライトする必要がありません。アクセス時間は通常のリード動作と同じです。

なお、データフラッシュのプログラムあるいはブロックイレーズ動作中に、他のデータフラッシュのブロックの読み出しはできません。

図 30.6 にBGO機能を示します。

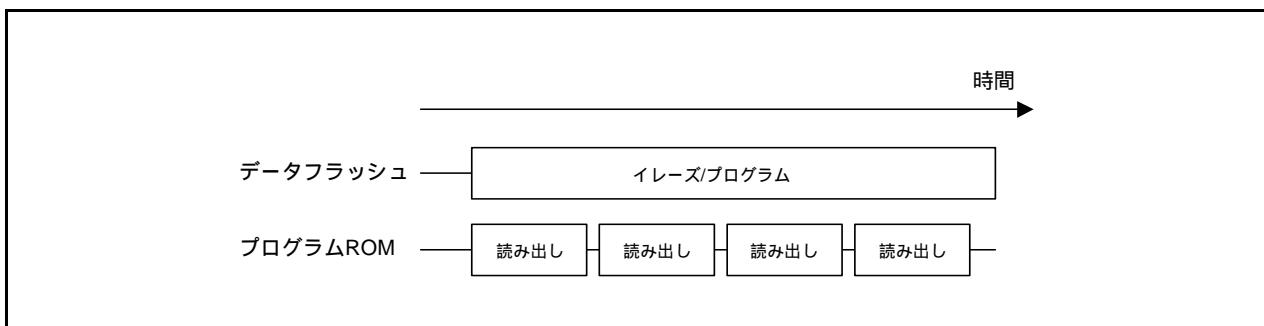


図 30.6 BGO 機能

### 30.4.10 データ保護機能

フラッシュメモリのプログラム ROM の各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMR1 レジスタの FMR13 ビットが“0”(ロックビット有効)のときに有効です。ロックビットにより、ブロックごとにプログラム、イレーズを禁止(ロック)できます。したがって、誤ってデータを書いたり、消したりすることを防げます。ロックビットによるブロックの状態を次に示します。

- ロックビットデータが“0”的とき：ロック状態(そのブロックはプログラム、イレーズできない)
- ロックビットデータが“1”的とき：非ロック状態(そのブロックはプログラム、イレーズできる)

ロックビットデータは、ロックビットプログラムコマンドを実行すると、“0”(ロック状態)に、ブロックを消去すると“1”(非ロック状態)になります。ロックビットデータだけをコマンドで“1”にすることはできません。

ロックビットデータは、リードロックビットステータスコマンドで読めます。

FMR13 ビットを“1”(ロックビット無効)にすると、ロックビットの機能が無効になり、全ブロックが非ロック状態になります(各ロックビットデータは変化しません)。FMR13 ビットを“0”にすると、ロックビットの機能が有効になります(ロックビットデータは保持されています)。

FMR13 ビットが“1”的状態で、ロックイレーズコマンドを実行すると、ロックビットにかかわらず、対象となるブロックが消去されます。消去終了後、イレーズ対象のブロックのロックビットは“1”になります。

各コマンドの詳細は、「30.4.11 ソフトウェアコマンド」を参照してください。

FMR13 ビットは自動消去終了後、“0”になります。FMR13 ビットは以下のいずれかの条件が成立した場合に“0”になります。別のロック状態のブロックをイレーズまたは、プログラムする場合は、再度、FMR13 ビットを“1”にし、ロックイレーズコマンドまたは、プログラムコマンドを実行してください。

- FST レジスタの FST7 ビットが“0”(ビジー)から“1”(レディ)になった場合
- コマンドシーケンスエラーが発生した場合
- FMR0 レジスタの FMR01 ビットが“0”(CPU書き換えモード無効)になった場合
- FMR0 レジスタの FMSTP ビットが“1”(フラッシュメモリ停止)になった場合
- FMR0 レジスタの CMDRST ビットが“1”(イレーズ/ライト停止)になった場合

図 30.7 に FMR13 ビットの動作に関するタイミングを示します。

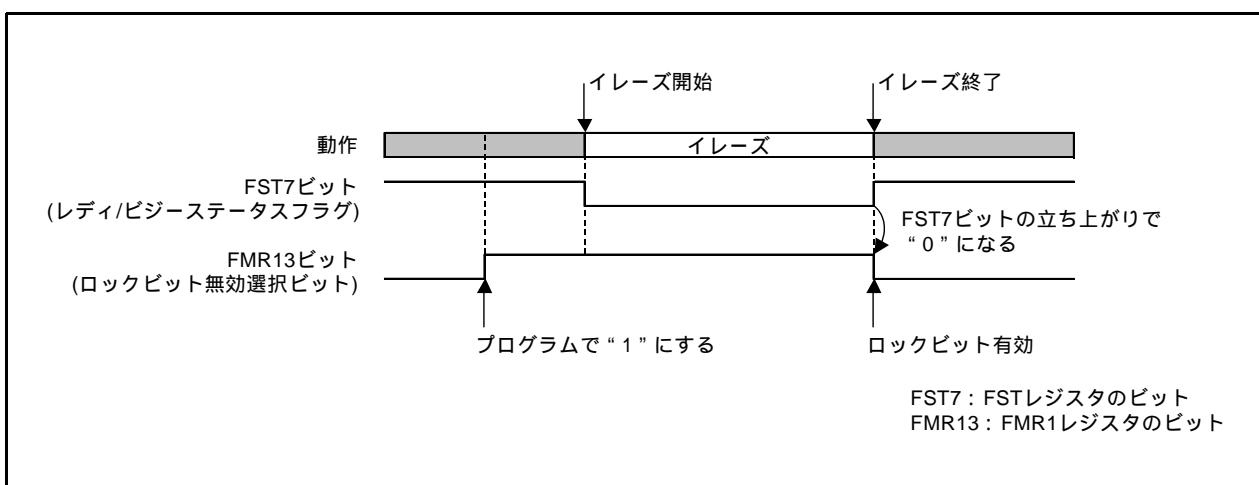


図 30.7 FMR13 ビットの動作に関するタイミング

### 30.4.11 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは8ビット単位で行ってください。

なお、ソフトウェアコマンド一覧で示されるコマンド以外を、入力しないようにしてください。

表 30.5 ソフトウェアコマンド一覧表

| ソフトウェアコマンド     | 第1バスサイクル |      |     | 第2バスサイクル |      |     |
|----------------|----------|------|-----|----------|------|-----|
|                | モード      | アドレス | データ | モード      | アドレス | データ |
| リードアレイ         | ライト      | ×    | FFh |          |      |     |
| クリアステータスレジスタ   | ライト      | ×    | 50h |          |      |     |
| プログラム          | ライト      | WA   | 40h | ライト      | WA   | WD  |
| ロックイレーズ        | ライト      | ×    | 20h | ライト      | BA   | D0h |
| ロックビットプログラム    | ライト      | BT   | 77h | ライト      | BT   | D0h |
| リードロックビットステータス | ライト      | ×    | 71h | ライト      | BT   | D0h |
| ロックブランクチェック    | ライト      | ×    | 25h | ライト      | BA   | D0h |

WA : 書き込み番地

WD : 書き込みデータ

BA : ブロックの任意の番地

BT : ブロックの先頭番地

× : ユーザROM領域内の任意の番地

#### 30.4.11.1 リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで“FFh”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が8ビット単位で読みます。

リードアレイモードは他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読みます。

また、リセット解除後、プログラム、ロックイレーズ後、イレーズサスペンド移行後はリードアレイモードになります。

#### 30.4.11.2 クリアステータスレジスタ

FST レジスタのFST4 ~ FST5 ビットを“0”にするコマンドです。

第1バスサイクルで“50h”を書くと、FST レジスタのFST4 ~ FST5 ビットが“0”になります。

### 30.4.11.3 プログラム

1 バイト単位でフラッシュメモリにデータを書くコマンドです。

書き込み番地に第1バスサイクルで“40h”を書き、第2バスサイクルでデータを書くと自動書き込み(データのプログラムとペリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一番地にしてください。

自動書き込み終了はFSTレジスタのFST7ビットで確認できます。FST7ビットは、自動書き込み期間中は“0”、終了後は“1”になります。

自動書き込み終了後、FSTレジスタのFST4ビットで自動書き込みの結果を知ることができます。  
(「30.4.12 フルステータスチェック」参照)

既にプログラムされた番地に対する追加書き込みはしないでください。

プログラムROMの各ブロックはロックビットによりプログラムコマンドを禁止できます。

また、FMR1レジスタのFMR14ビットが“1”(書き換え禁止)のときはデータフラッシュブロックAに対するプログラムコマンド、FMR15ビットが“1”(書き換え禁止)のときはデータフラッシュブロックBに対するプログラムコマンド、FMR16ビットが“1”(書き換え禁止)のときはデータフラッシュブロックCに対するプログラムコマンド、FMR17ビットが“1”(書き換え禁止)のときはデータフラッシュブロックDに対するプログラムコマンドが受け付けられません。

図30.8にプログラムフローチャート(フラッシュレディステータス割り込み禁止)を、図30.9にプログラムフローチャート(フラッシュレディステータス割り込み許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)のときは、自動書き込み終了でフラッシュレディステータス割り込みを発生させることができます。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

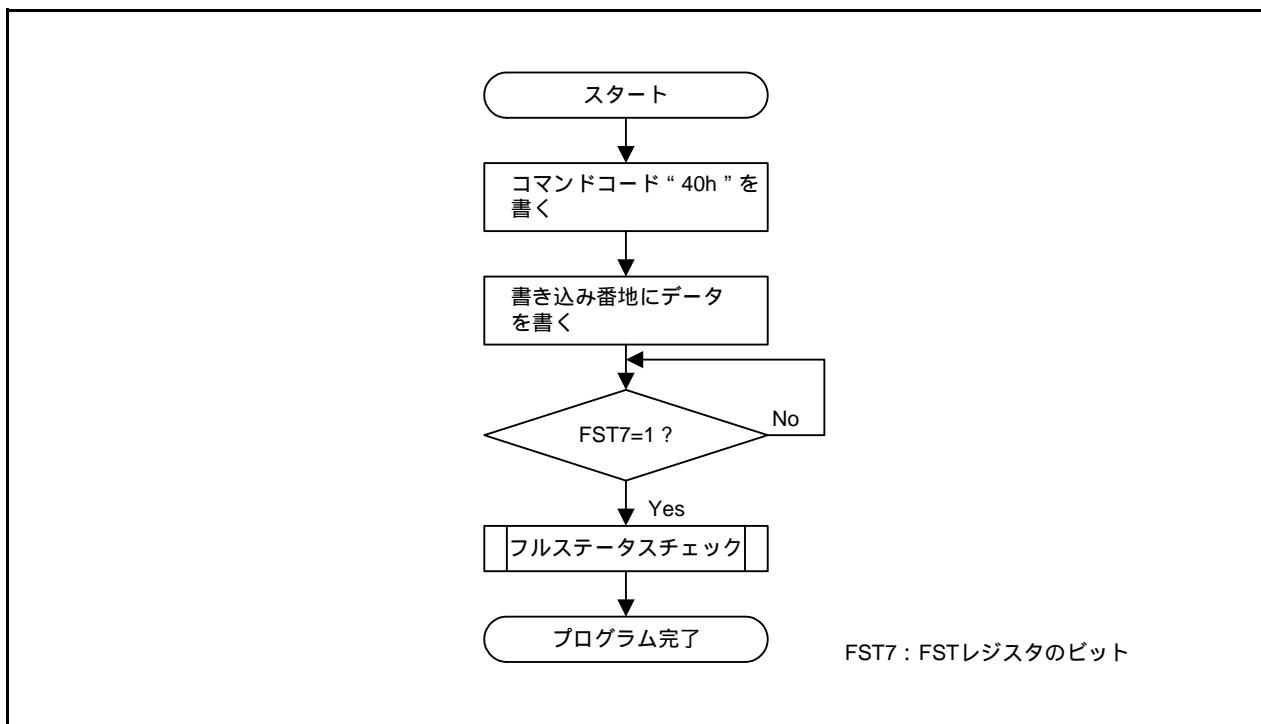


図30.8 プログラムフローチャート(フラッシュレディステータス割り込み禁止)

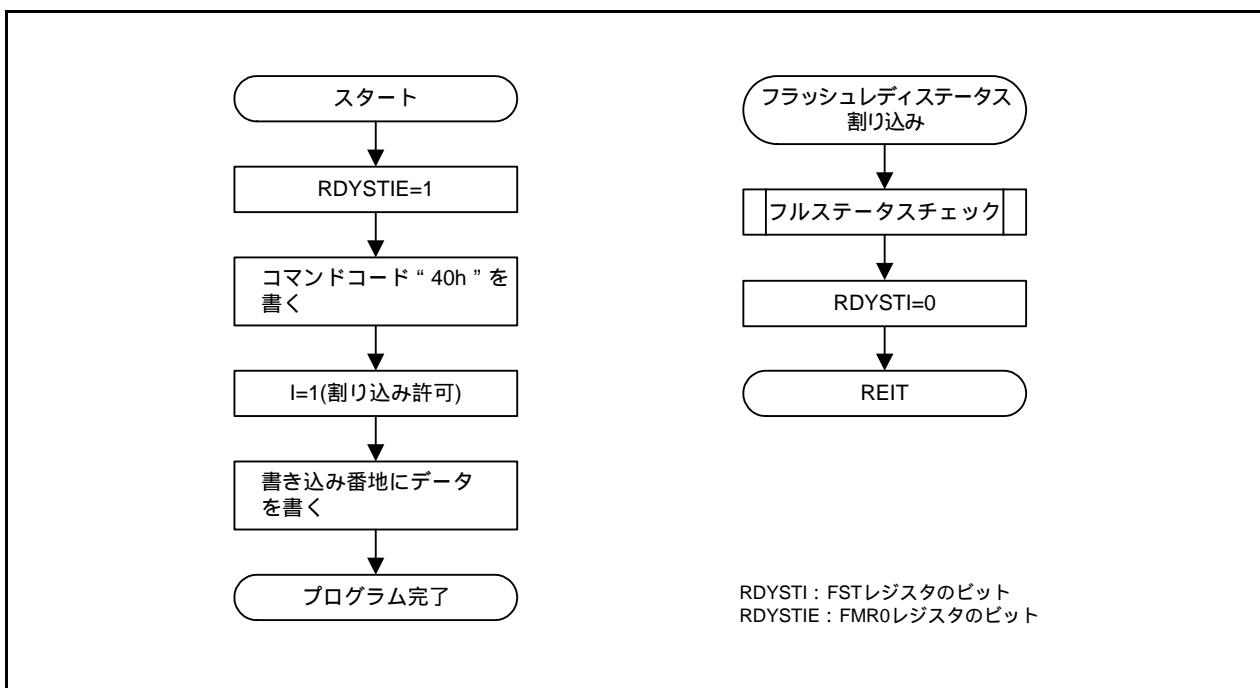


図 30.9 プログラムフローチャート(フラッシュレディステータス割り込み許可)

### 30.4.11.4 ブロックイレーズ

第1バスサイクルで“20h”、第2バスサイクルで“D0h”をブロックの任意の番地に書くと指定されたブロックに対し、自動消去(イレーズとイレーズペリファイ)を開始します。

自動消去の終了は、FSTレジスタのFST7ビットで確認できます。FST7ビットは、自動消去期間中は、“0”終了後は“1”になります。また、自動消去の終了後、ブロック内のデータはすべて“FFh”になります。

自動消去終了後、FSTレジスタのFST5ビットで、自動消去の結果を知ることができます。(「30.4.12 フルステータスチェック」参照)

プログラムROMの各ブロックはロックビットによりブロックイレーズコマンドを禁止できます。

また、FMR1レジスタのFMR14ビットが“1”(書き換え禁止)のときはデータフラッシュブロックAに対するブロックイレーズコマンド、FMR15ビットが“1”(書き換え禁止)のときはデータフラッシュブロックBに対するブロックイレーズコマンド、FMR16ビットが“1”(書き換え禁止)のときはデータフラッシュブロックCに対するブロックイレーズコマンド、FMR17ビットが“1”(書き換え禁止)のときはデータフラッシュブロックDに対するブロックイレーズコマンドが受け付けられません。

図30.10にブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止)を、図30.11にブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)を、図30.12にブロックイレーズフローチャート(フラッシュレディステータス割り込み許可かつサスペンド許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)のときは、自動消去終了でフラッシュレディステータス割り込みを発生させることができます。RDYSTIEビットが“1”かつFMR2レジスタのFMR20ビットが“1”(イレーズサスペンド許可)のときは、FMR21ビットを“1”(イレーズサスペンドリクエスト)にし、自動消去が中断されるとフラッシュレディステータス割り込みが発生します。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動消去の結果を知ることができます。

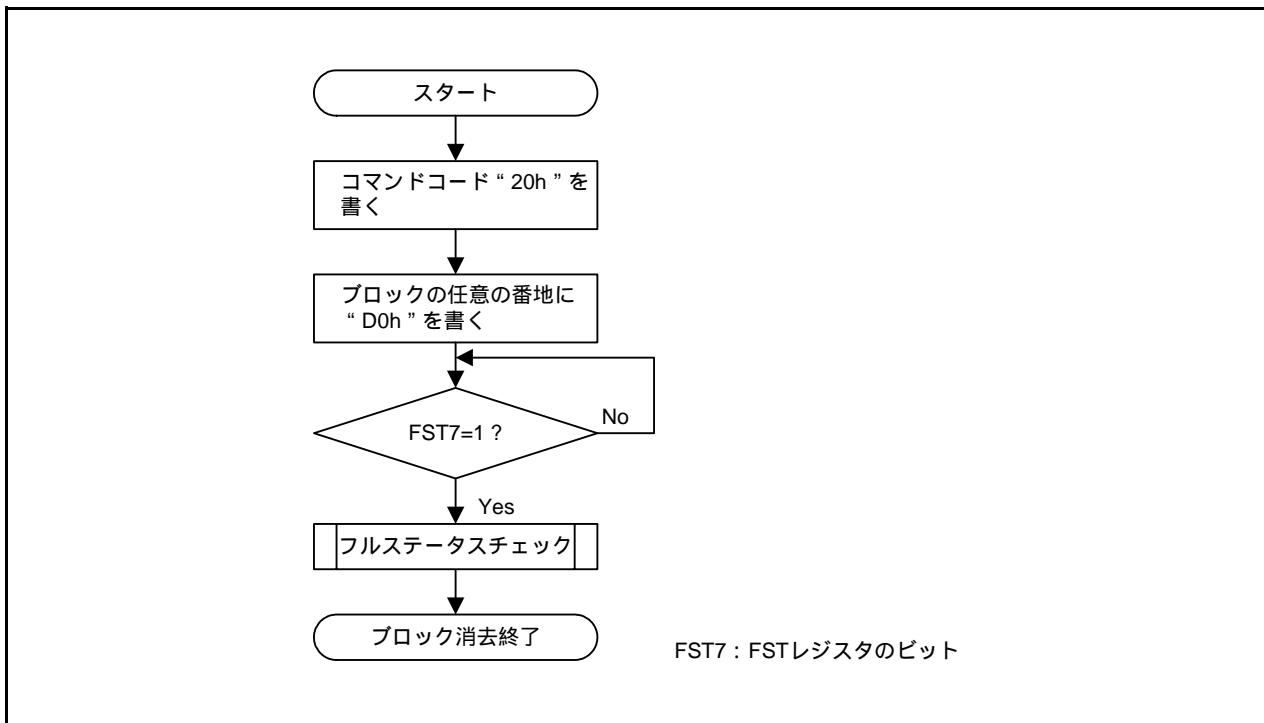


図 30.10 ブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止)

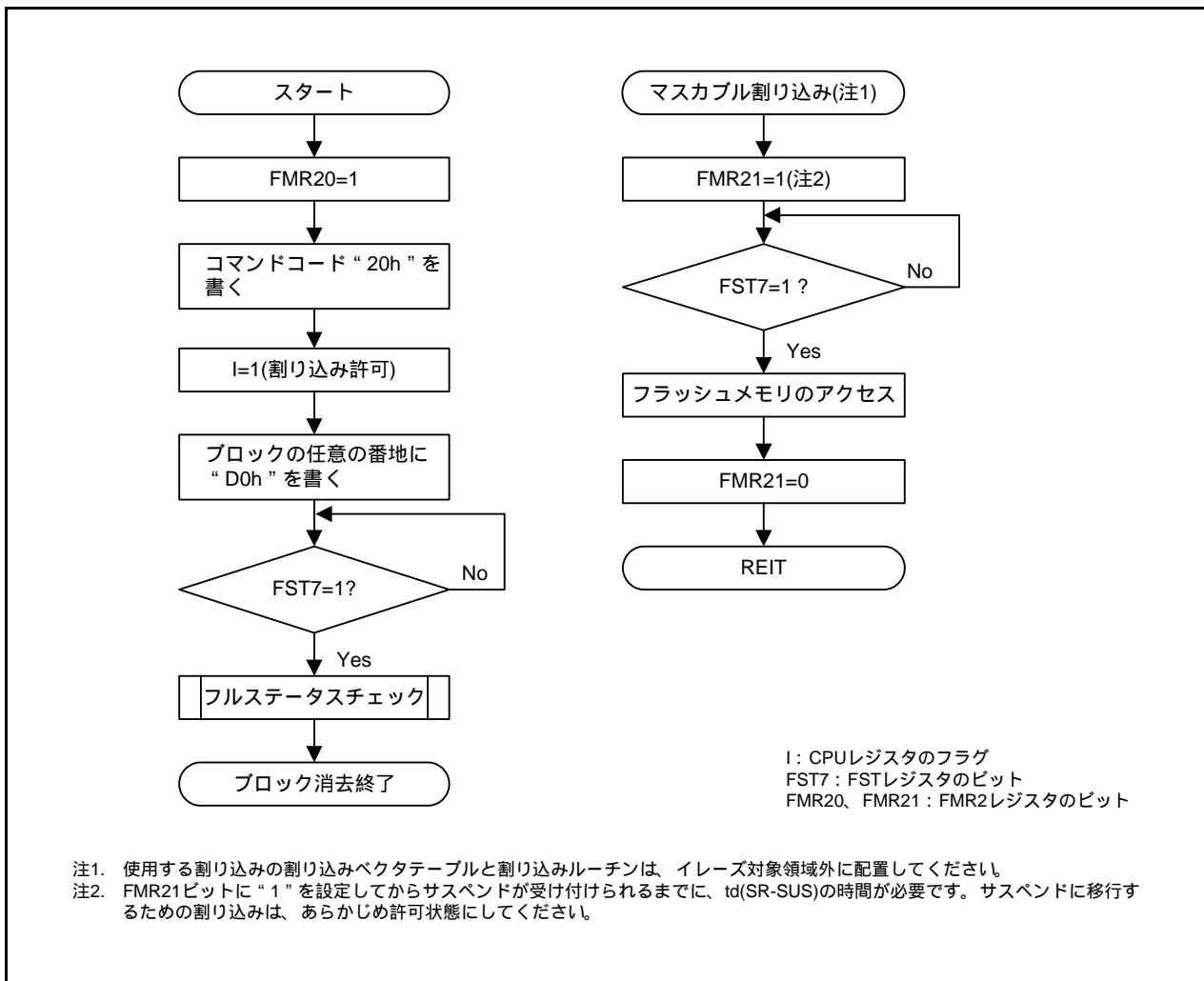


図 30.11 ブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)

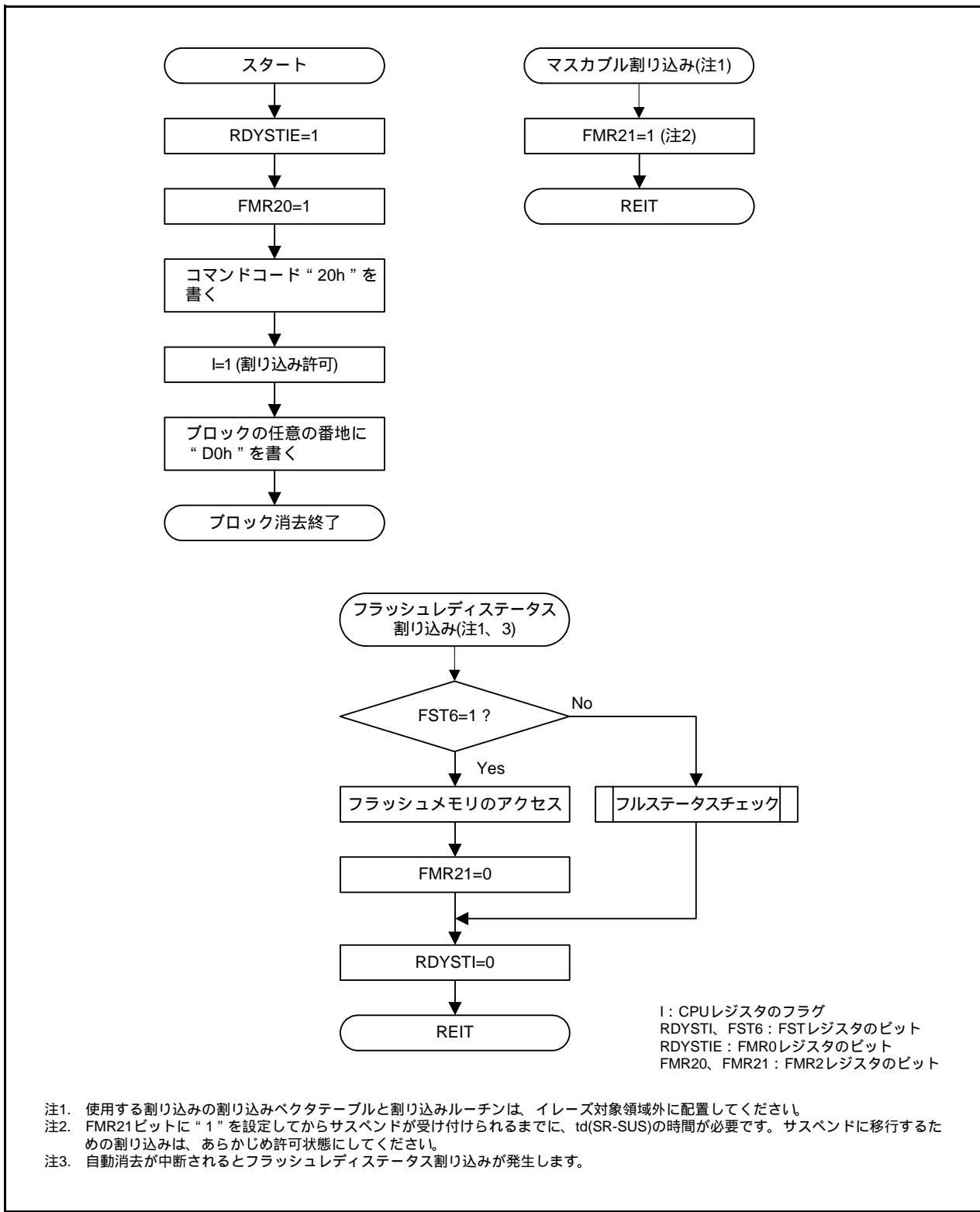


図 30.12 ブロックイレーズフローチャート（フラッシュレディステータス割り込み許可かつサスPEND許可）

### 30.4.11.5 ロックビットプログラム

プログラムROM領域内の任意のブロックのロックビットを“0”(ロック状態)にするコマンドです。

第1バスサイクルで“77h”、第2バスサイクルで“D0h”をロックの先頭番地に書くと、指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの先頭番地と同一番地にしてください。

図30.13にロックビットプログラムフローチャートを示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読みます。

ロックビットの書き込みの終了は、FSTレジスタのFST7ビットで確認できます。

なお、ロックビットの機能、ロックビットを“1”(非ロック状態)にする方法については「30.4.10 データ保護機能」を参照してください。

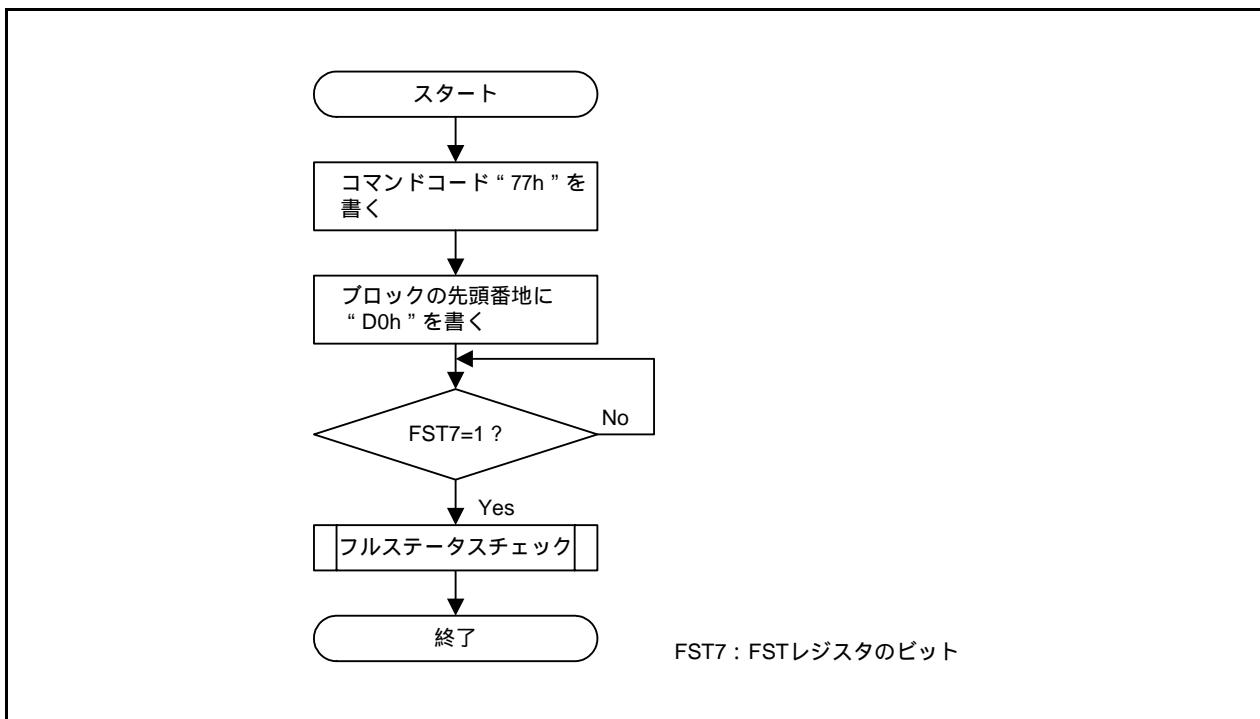


図 30.13 ロックビットプログラムフローチャート

### 30.4.11.6 リードロックビットステータス

プログラムROM領域内の任意のブロックのロックビットの状態を読むコマンドです。

第1バスサイクルで“71h”、第2バスサイクルでブロックの先頭番地に“D0h”を書くと、指定されたブロックのロックビットの状態が、FSTレジスタのLBDATAビットに格納されます。FSTレジスタのFST7ビットが“1”(レディ)になった後、LBDATAビットを読んでください。

図30.14にリードロックビットステータスフローチャートを示します。

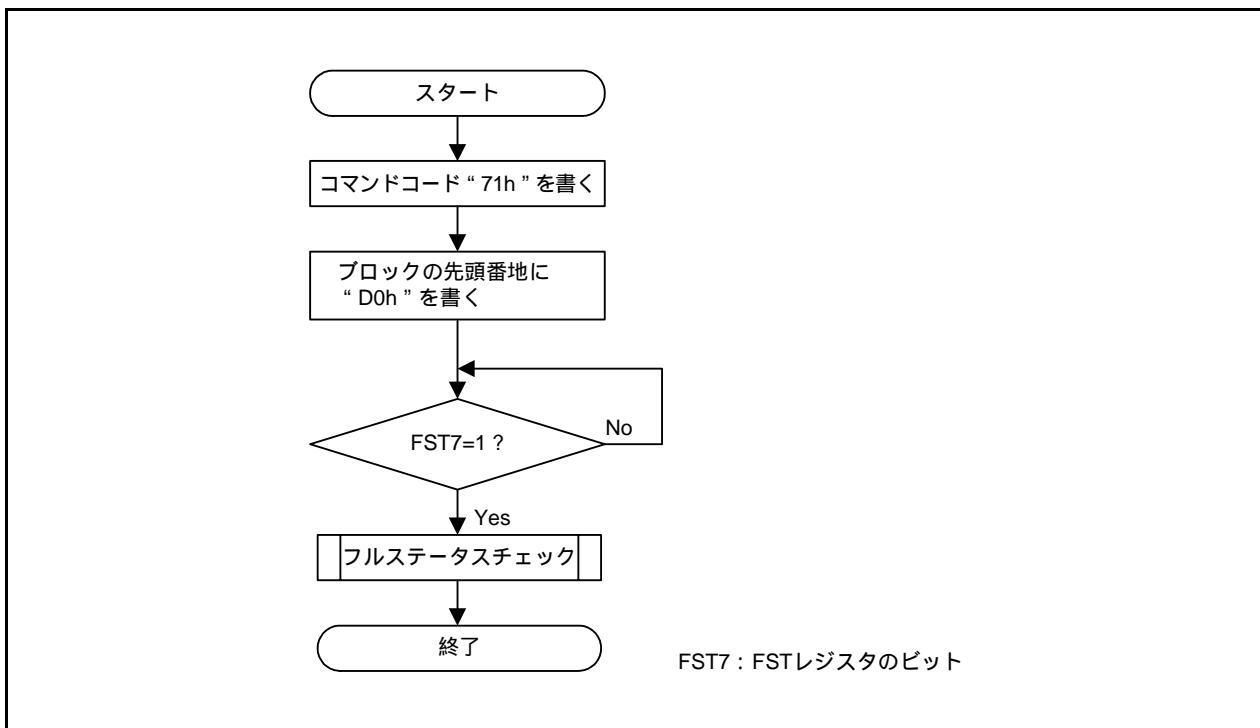


図30.14 リードロックビットステータスフローチャート

### 30.4.11.7 ブロックプランクチェック

任意のブロック内のすべての番地が、プランクデータ“FFh”であることを確認するコマンドです。

第1バスサイクルで“25h”、第2バスサイクルでブロックの任意の番地に“D0h”を書くと、指定されたブロック内のプランクチェックを開始します。プランクチェックの終了は、FSTレジスタのFST7ビットで確認できます。FST7ビットは、プランクチェック期間中は“0”、終了後は“1”になります。

プランクチェック終了後、FSTレジスタのFST5ビットで、プランクチェックの結果を知ることができます（「30.4.12 フルステータスチェック」参照）。なお、このコマンドはチェックしたいブロックが書き込みされていないことをチェックするためのものであり、イレーズの正常終了の確認にはフルステータスチェックを行ってください。

FST6ビットが“1”（イレーズサスペンド中）のときは、ブロックプランクチェックコマンドを実行しないでください。

図30.15にブロックプランクチェックフローチャートを示します。

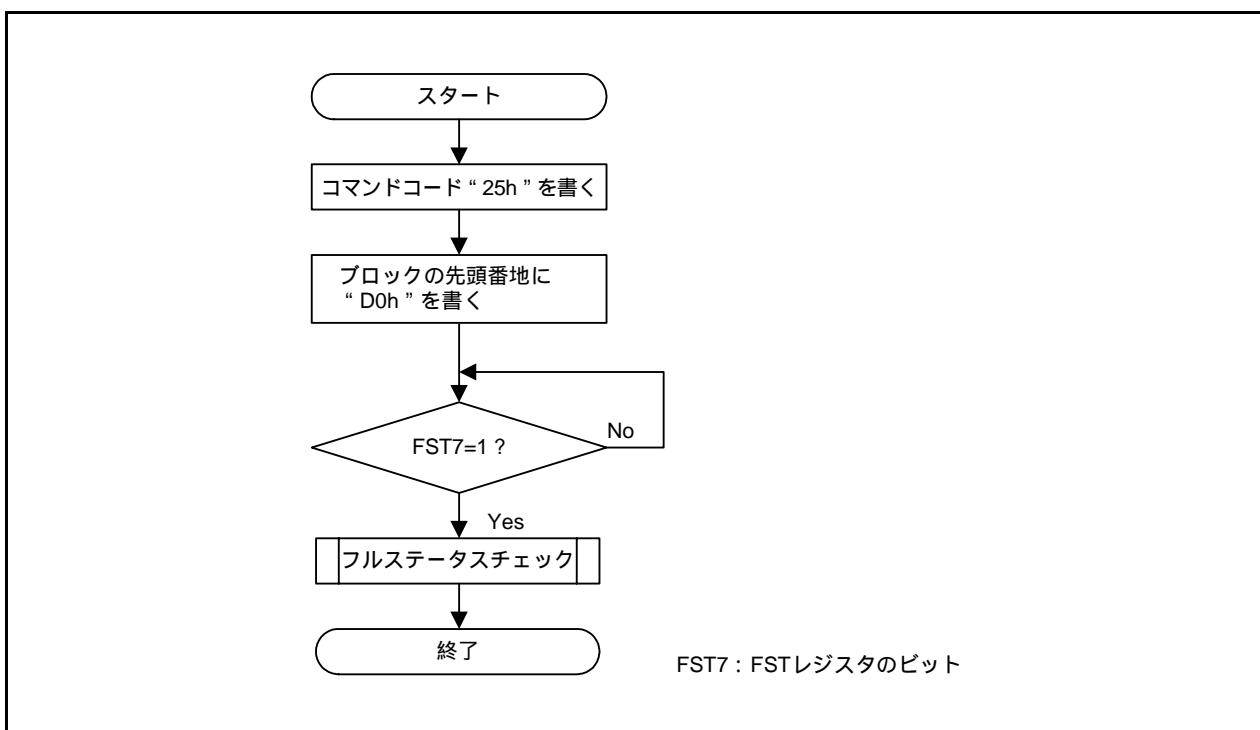


図30.15 ブロックプランクチェックフローチャート

なお、本コマンドはライタメーカー向けを想定したものであり、一般ユーザ向けのコマンドではありません。

### 30.4.12 フルステータスチェック

エラーが発生すると、FST レジスタの FST4 ~ FST5 ビットが “1” になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表 30.6 にエラーと FST レジスタの状態を、図 30.16 にフルステータスチェックフローチャート、各エラー発生時の対処方法を示します。

表 30.6 エラーと FST レジスタの状態

| FST レジスタの状態 |      | エラー                       | エラー発生条件  |
|-------------|------|---------------------------|--|
| FST5        | FST4 |                           |  |
| 1           | 1    | コマンドシーケンスエラー              | <ul style="list-style-type: none"> <li>・コマンドを正しく書かなかったとき</li> <li>・ロックイレーズコマンドの第2バスサイクルのデータに書いても良い値(“D0h”または“FFh”)以外のデータを書いたとき(注1)</li> <li>・サスPEND中のイレーズコマンドを実行</li> <li>・サスPEND中のロックへのコマンドを実行</li> </ul> |
| 1           | 0    | イレーズエラー                   | ロックイレーズコマンドを実行し、正しく自動消去されなかったとき  |
|             |      | ブランクチェックエラー               | ロックブランクチェックコマンドを実行し、ブランクデータ “FFh” 以外のデータを読み出したとき   |
| 0           | 1    | プログラムエラー / ロックピットプログラムエラー | プログラムコマンドを実行し、正しく自動書き込みされなかったとき  |

注1. これらのコマンドの第2バスサイクルで “FFh” を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

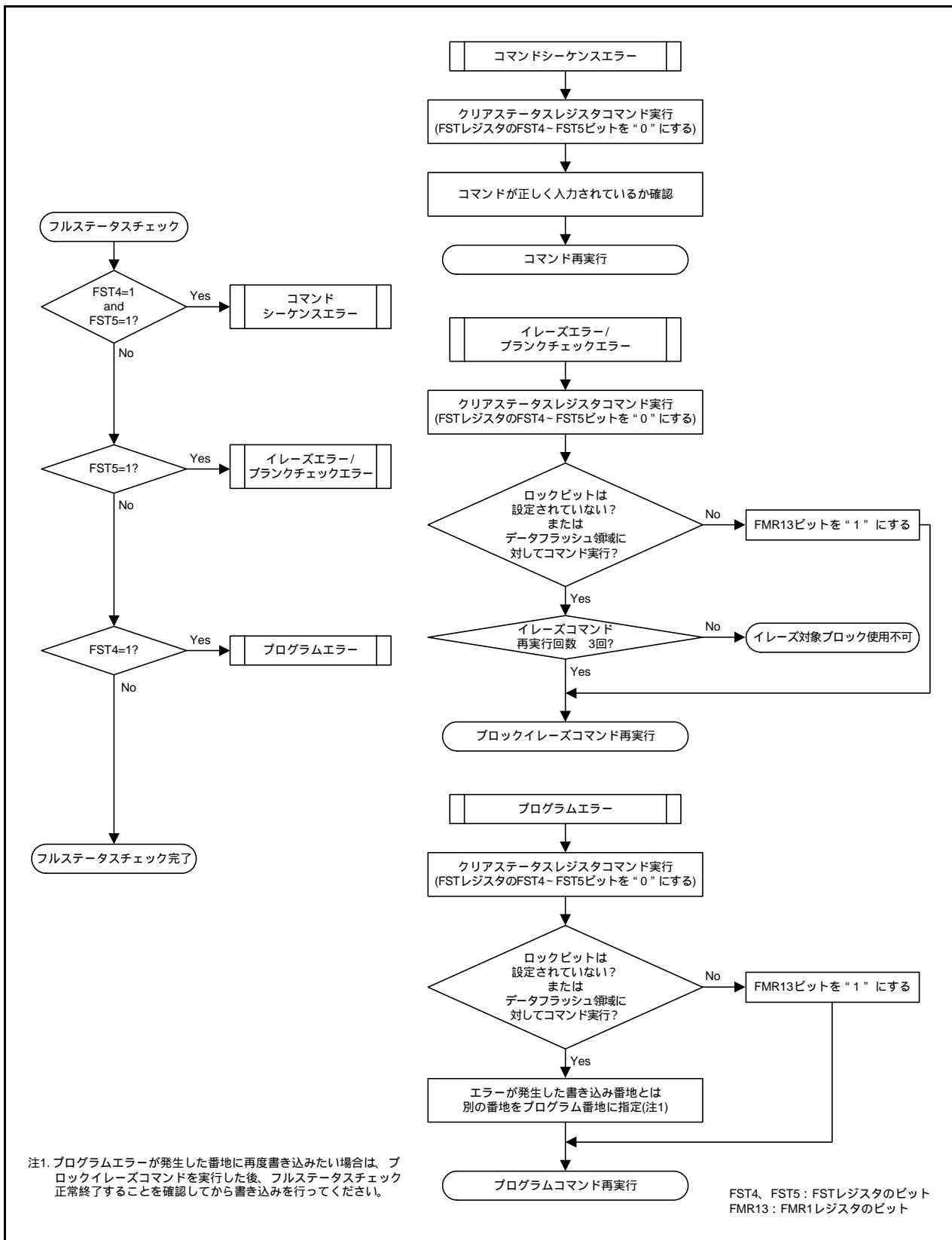


図 30.16 フルステータスチェックフローチャート、各エラー発生時の対処方法

### 30.5 標準シリアル入出力モード

標準シリアル入出力モードでは、本マイコンに対応したシリアルライタを使用して、マイコンを基板に実装した状態で、ユーザROM領域を書き換えることができます。

標準シリアル入出力モードには3つのモードがあります。

- 標準シリアル入出力モード1.....クロック同期形シリアルI/Oを用いてシリアルライタと接続
- 標準シリアル入出力モード2.....クロック非同期形シリアルI/Oを用いてシリアルライタと接続
- 標準シリアル入出力モード3.....特別なクロック非同期形シリアルI/Oを用いてシリアルライタと接続

本マイコンは標準シリアル入出力モード2と標準シリアル入出力モード3を使用できます。

シリアルライタとの接続例は「付録2. シリアルライタとオンチップデバッギングエミュレータとの接続例」を参照してください。シリアルライタについては、各メーカーにお問い合わせください。また、シリアルライタの操作方法については、シリアルライタのユーザーズマニュアルを参照してください。

表30.7に端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)を、図30.17に標準シリアル入出力モード2を使用する場合の端子処理例を、表30.8に端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)を、図30.18に標準シリアル入出力モード3を使用する場合の端子処理例を示します。

なお、表30.8に示した端子処理を行い、ライタを使ってフラッシュメモリを書き換えた後、シングルチップモードでフラッシュメモリ上のプログラムを動作させる場合は、MODE端子に“H”を入力して、ハードウェアリセットしてください。

#### 30.5.1 IDコードチェック機能

シリアルライタから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します。

IDコードチェック機能の詳細は、「12. IDコード領域」を参照してください。

表 30.7 端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)

| 端子名                   | 名称            | 入出力 | 機能   |
|-----------------------|---------------|-----|--|
| VCC、VSS               | 電源入力          |     | Vcc端子にはプログラム、イレーズの保証電圧を、Vssには0Vを入力してください。                |
| RESET                 | リセット入力        | 入力  | リセット入力端子です。  |
| P4_6/XIN/(XCIN)       | P4_6入力/クロック入力 | 入力  | XIN(XCIN)端子とXOUT(XCOUT)端子の間にはセラミック共振子、または水晶発振子を接続してください。 |
| P4_7/XOUT/(XCOUT)     | P4_7入力/クロック出力 | 入出力 |  |
| P0_0 ~ P0_7           | 入力ポートP0       | 入力  | “H”を入力、“L”を入力、または開放してください。                               |
| P1_0 ~ P1_3、P1_6、P1_7 | 入力ポートP1       | 入力  | “H”を入力、“L”を入力、または開放してください。                               |
| P2_0 ~ P2_2           | 入力ポートP2       | 入力  | “H”を入力、“L”を入力、または開放してください。                               |
| P3_1、P3_3 ~ P3_5、P3_7 | 入力ポートP3       | 入力  | “H”を入力、“L”を入力、または開放してください。                               |
| P4_2/VREF、P4_5        | 入力ポートP4       | 入力  | “H”を入力、“L”を入力、または開放してください。                               |
| MODE                  | MODE          | 入出力 | “L”を入力してください。  |
| P1_4                  | TXD出力         | 出力  | シリアルデータの出力端子です。  |
| P1_5                  | RXD入力         | 入力  | シリアルデータの入力端子です。  |

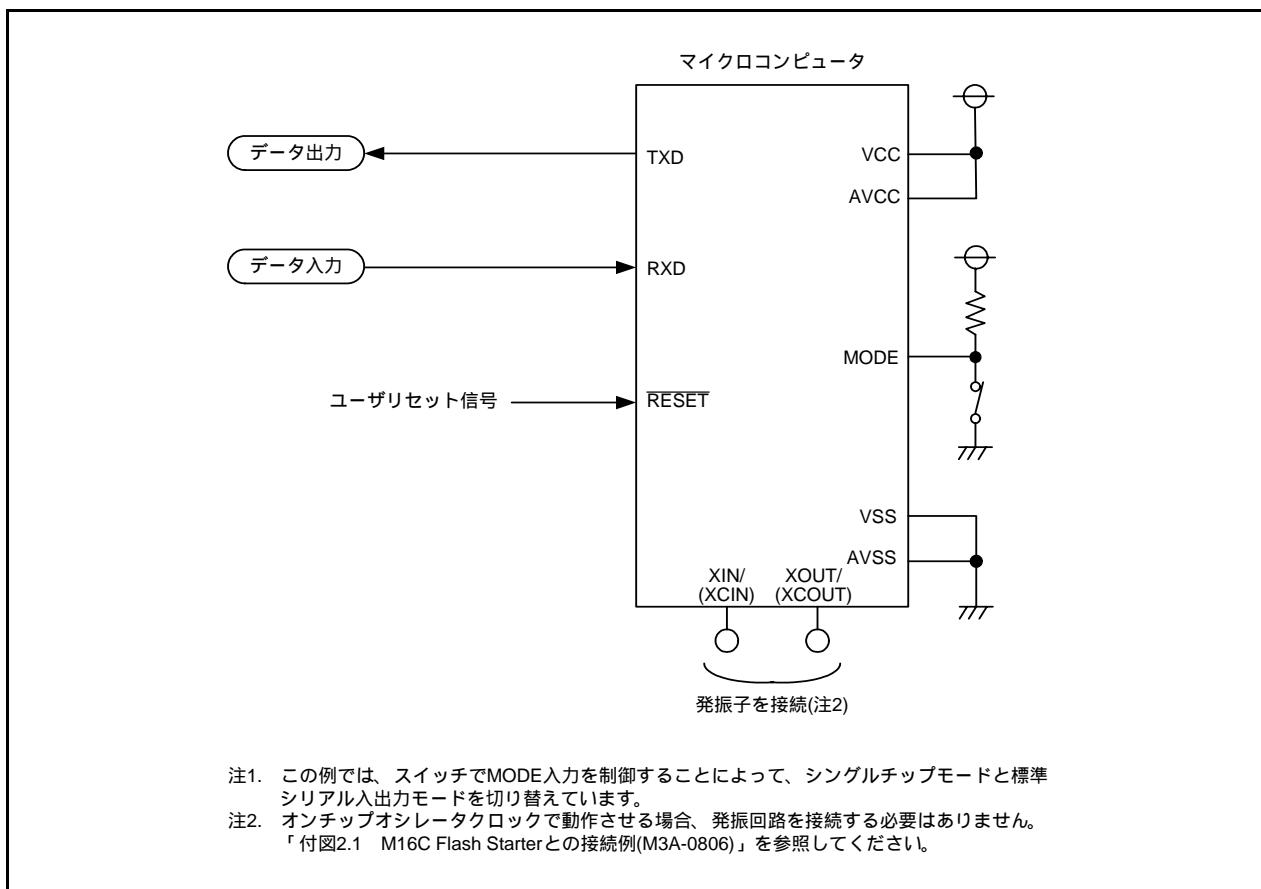
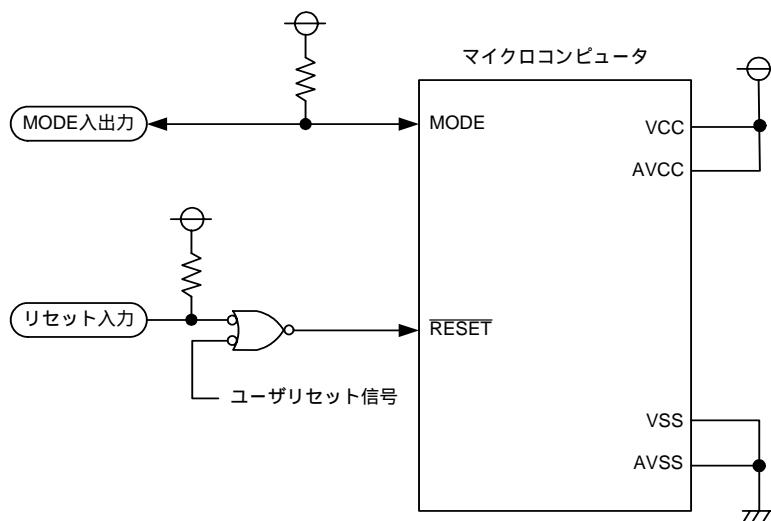


図 30.17 標準シリアル入出力モード2を使用する場合の端子処理例

表 30.8 端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)

| 端子名                           | 名称            | 入出力 | 機能   |
|-------------------------------|---------------|-----|--|
| VCC、VSS                       | 電源入力          |     | Vcc端子にはプログラム、イレーズの保証電圧を、Vssには0Vを入力してください。                                |
| RESET                         | リセット入力        | 入力  | リセット入力端子です。  |
| P4_6/XIN(XCIN)                | P4_6入力/クロック入力 | 入力  | 外付けの発振子を接続する場合、XIN(XCIN)端子とXOUT/(XCOUT)端子の間にはセラミック共振子、または水晶発振子を接続してください。 |
| P4_7/XOUT/(XCOUT)             | P4_7入力/クロック出力 | 入出力 | 入力ポートとして使用する場合、“H”を入力、“L”を入力、または開放してください。                                |
| P0_0 ~ P0_7                   | 入力ポートP0       | 入力  | “H”を入力、“L”を入力、または開放してください。   |
| P1_0 ~ P1_7                   | 入力ポートP1       | 入力  | “H”を入力、“L”を入力、または開放してください。   |
| P2_0 ~ P2_2                   | 入力ポートP2       | 入力  | “H”を入力、“L”を入力、または開放してください。   |
| P3_1、<br>P3_3 ~ P3_5、<br>P3_7 | 入力ポートP3       | 入力  | “H”を入力、“L”を入力、または開放してください。   |
| P4_2/VREF、<br>P4_5            | 入力ポートP4       | 入力  | “H”を入力、“L”を入力、または開放してください。   |
| MODE                          | MODE          | 入出力 | シリアルデータの入出力端子です。フラッシュライタに接続してください。                                       |



- 注1. ライタによって制御する端子、外付け回路が違います。詳しくは、ライタのマニュアルを参照してください。
- 注2. この例では、ライタを接続することによって、シングルチップモードと標準シリアル入出力モードを切り替えています。
- 注3. オンチップオシレータクロックで動作させる場合、発振回路を接続する必要はありません。

図 30.18 標準シリアル入出力モード3を使用する場合の端子処理例

## 30.6 パラレル入出力モード

パラレル入出力モードは内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

本マイコンに対応したパラレルライタを使用してください。パラレルライタについては、各メーカーにお問い合わせください。また、パラレルライタの操作方法については、パラレルライタのユーザーズマニュアルを参照してください。

パラレル入出力モードでは、図 30.1 に示すユーザROM領域の書き換えができます。

### 30.6.1 ROM コードプロテクト機能

ROM コードプロテクトはフラッシュメモリの読み出し、書き換えを禁止する機能です(「30.3.2 ROM コードプロテクト機能」参照)。

## 30.7 フラッシュメモリ使用上の注意

### 30.7.1 CPU書き換えモード

#### 30.7.1.1 使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

#### 30.7.1.2 割り込み

表30.9～表30.11にCPU書き換えモード時の割り込みを示します。

表30.9 CPU書き換えモード時の割り込み(1)

| モード | イレーズ/<br>ライト対象 | 状態                               | マスカブル割り込み   |
|-----|----------------|----------------------------------|---|
| EW0 | データ<br>フラッシュ   | 自動消去中<br>(suspend有効)             | 割り込み要求を受け付けると、割り込み処理を実行します。<br>FMR22ビットが“1”(割り込み要求でイレーズサスPENDリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスPENDリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。<br>FMR22ビットが“0”(割り込み要求でイレーズサスPENDリクエスト禁止)でイレーズサスPENDが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。<br>自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”(イレーズリスタート)にすることで、自動消去を再開することができます。 |
|     |                | 自動消去中<br>(suspend無効またはFMR22=“0”) | 自動消去、自動書き込みは実行したまま、割り込み処理を実行します。  |
|     |                | 自動書き込み中                          |   |
|     | プログラム<br>ROM   | 自動消去中<br>(suspend有効)             | ベクタをRAMに配置することで使用できます。  |
|     |                | 自動消去中<br>(suspend無効)             |   |
|     |                | 自動書き込み中                          |   |
| EW1 | データ<br>フラッシュ   | 自動消去中<br>(suspend有効)             | 割り込み要求を受け付けると、割り込み処理を実行します。<br>FMR22ビットが“1”的場合は、自動でFMR21ビットが“1”になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。<br>FMR22ビットが“0”でイレーズサスPENDが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。<br>自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”にすることで、自動消去を再開することができます。   |
|     |                | 自動消去中<br>(suspend無効またはFMR22=“0”) | 自動消去、自動書き込みは実行したまま、割り込み処理を実行します。  |
|     |                | 自動書き込み中                          |   |
|     | プログラム<br>ROM   | 自動消去中<br>(suspend有効)             | td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR21ビットを“0”にすることで、自動消去を再開することができます。<br>自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。   |
|     |                | 自動消去中<br>(suspend無効またはFMR22=“0”) | 自動消去、自動書き込みが優先され、割り込み要求が待たれます。自動消去、自動書き込みが終了した後、割り込み処理を実行します。   |
|     |                | 自動書き込み中                          |   |

FMR21、FMR22 : FMR2レジスタのビット

表30.10 CPU書き換えモード時の割り込み(2)

| モード          | イレーズ/<br>ライト対象 | 状態                               | ・ウォッチドッグタイマ<br>・発振停止検出<br>・電圧監視2<br>・電圧監視1<br>・NMI<br>(注1)   | ・未定義命令<br>・INTO命令<br>・BRK命令<br>・シングルステップ<br>・アドレス一致<br>・アドレスブレイク<br>(注1)  |
|--------------|----------------|----------------------------------|--|---|
| EWO          | データ<br>フラッシュ   | 自動消去中<br>(suspend有効)             | 割り込み要求を受け付けると、割り込み処理を実行します。<br>FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。<br>FMR22ビットが“0”(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。<br>自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”(イレーズリストア)にすることで、自動消去を再開することができます。 | 割り込み要求を受け付けると、割り込み処理を実行します。<br>イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。<br>自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR2レジスタのFMR21ビットを“0”にすることで、自動消去を再開することができます。 |
|              |                | 自動消去中<br>(suspend無効またはFMR22=“0”) | 自動消去、自動書き込みは実行したまま、割り込み処理を実行します。   |   |
|              |                | 自動書き込み中                          |  |   |
| プログラム<br>ROM |                | 自動消去中<br>(suspend有効)             | 割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。  | 自動消去、自動書き込み中は使用しないでください。  |
|              |                | 自動消去中<br>(suspend無効)             | 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。  |   |
|              |                | 自動書き込み中                          |  |   |

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスクブル割り込みを使用しないでください。

表30.11 CPU書き換えモード時の割り込み(3)

| モード          | イレーズ/<br>ライト対象 | 状態                               | ・ウォッチドッグタイマ<br>・発振停止検出<br>・電圧監視2<br>・電圧監視1<br>・NMI<br>(注1)  | ・未定義命令<br>・INTO命令<br>・BRK命令<br>・シングルステップ<br>・アドレス一致<br>・アドレスブレイク (注1)   |
|--------------|----------------|----------------------------------|---|---|
| EW1          | データ<br>フラッシュ   | 自動消去中<br>(suspend有効)             | 割り込み要求を受け付けると、割り込み処理を実行します。<br>FMR22ビットが“1”の場合は、自動でFMR21ビットが“1”になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。<br>FMR22ビットが“0”でイレーズサスPENDが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。<br>自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”にすることで、自動消去を再開することができます。     | 割り込み要求を受け付けると、割り込み処理を実行します。<br>イレーズサスPENDが必要な場合は、割り込み処理内でFMR21ビットを“1”してください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。<br>自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR2レジスタのFMR21ビットを“0”にすることで、自動消去を再開することができます。 |
|              |                | 自動消去中<br>(suspend無効またはFMR22=“0”) | 自動消去、自動書き込みは実行したまま、割り込み処理を実行します。  |   |
|              |                | 自動書き込み中                          |   |   |
| プログラム<br>ROM |                | 自動消去中<br>(suspend有効)             | 割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。<br>自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスPEND機能を使用して、定期的にウォッチドッグタイマを初期化してください。 | 自動消去、自動書き込み中は使用できません。   |
|              |                | 自動消去中<br>(suspend無効またはFMR22=“0”) |   |   |
|              |                | 自動書き込み中                          |   |   |

FMR21, FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

### 30.7.1.3 アクセス方法

次のビットを“1”にするときは、対象となるビットに“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止してください。

- FMR0レジスタのFMR01、FMR02ビット
- FMR1レジスタのFMR13ビット
- FMR2レジスタのFMR20、FMR22、FMR27ビット

また、次のビットを“0”にするときは、対象となるビットに“1”を書いた後、続けて“0”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止してください。

- FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビット

### 30.7.1.4 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

### 30.7.1.5 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

### 30.7.1.6 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

FSTレジスタのFST7ビットが“0”(ビジー(書き込み、消去実行中))の場合、ストップモード、ウェイトモードに移行しないでください。

FMR27ビットが“1”(低消費電流リードモード許可)の状態で、ストップモード、ウェイトモードへ移行しないでください。

### 30.7.1.7 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム、イレーズを実行する場合は、電源電圧VCC=2.7～5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

### 30.7.1.8 ブロックプランクチェック

イレーズサスペンド中にブロックプランクチェックコマンドを実行しないでください。

### 30.7.1.9 低消費電流リードモード

低速クロックモード、低速オンチップオシレータモードのときに、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周
- CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。CPUクロック分周比を設定した後、FMR27ビットを“1”(低消費電流リードモード許可)にしてください。

消費電力を低減する方法は、「31. 消費電力の低減」を参照してください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態で、ウェイトモードまたはストップモードへ移行しないでください。

## 31. 消費電力の低減

### 31.1 概要

この章では消費電力を小さくするためのポイント、処理方法について説明します。

### 31.2 消費電力を小さくするためのポイントと処理方法

消費電力を小さくするためのポイントを示します。システム設計やプログラムを作成するときに参考してください。

#### 31.2.1 電圧検出回路

電圧監視1を使用しない場合、VCA2レジスタのVCA26ビットを“0”(電圧検出1回路無効)に、電圧監視2を使用しない場合、VCA2レジスタのVCA27ビットを“0”(電圧検出2回路無効)にしてください。

パワーオンリセット、電圧監視0リセットを使用しない場合、VCA2レジスタのVCA25ビットを“0”(電圧検出0回路無効)にしてください。

#### 31.2.2 ポート

ウェイトモードまたはストップモードに移行しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは、貫通電流が流れます。不要なポートは入力に設定し、安定した電位に固定してからウェイトモードまたはストップモードに移行してください。

#### 31.2.3 クロック

消費電力は一般的に動作しているクロックの数や、その周波数に関係があります。動作しているクロックの数が少ないほど、また周波数は低いほど消費電力は小さくなります。

そのため、不要なクロックを停止させてください。

低速オンチップオシレータの発振停止：CM1レジスタのCM14ビット

高速オンチップオシレータの発振停止：FRA0レジスタのFRA00ビット

#### 31.2.4 ウェイトモード、ストップモード

ウェイトモード、およびストップモードでは消費電力が低減できます。詳細は「9.7 パワーコントロール」を参照してください。

#### 31.2.5 周辺機能クロックの停止

ウェイトモード時に周辺機能クロック f1、f2、f4、f8、f32 が不要の場合、CM0レジスタのCM02ビットを“1”(ウェイトモード時、周辺機能クロックを停止する)にして、ウェイトモード時の f1、f2、f4、f8、f32 を停止させてください。

#### 31.2.6 タイマ

タイマRAを使用しない場合、TRAMRレジスタのTCKCUTビットを“1”(カウントソース遮断)にしてください。

タイマRBを使用しない場合、TRBMRレジスタのTCKCUTビットを“1”(カウントソース遮断)にしてください。

タイマRCを使用しない場合、MSTCRレジスタのMSTTRCビットを“1”(スタンバイ)にしてください。

### 31.2.7 A/D コンバータ

A/D コンバータを使用しないとき、ADCON1 レジスタの ADSTBY ビットを “0”(A/D 動作停止(スタンバイ)) になると、アナログ回路電流が流れないので、消費電力が少なくなります。

### 31.2.8 クロック同期形シリアルインターフェース

SSU および I<sup>2</sup>C バスを使用しない場合、MSTCR レジスタの MSTIIC ビットを “1”(スタンバイ)にしてください。

### 31.2.9 内部電源の消費電力低減

低速クロックモードまたは低速オンチップオシレータモードでウェイトモードへ移行する場合、VCA2 レジスタの VCA20 ビットにより、内部電源の消費電力を低減できます。図 31.1 に VCA20 ビットによる内部電源低消費操作手順を示します。VCA20 ビットにより内部電源低消費電力を許可する場合は、「図 31.1 VCA20 ビットによる内部電源低消費操作手順」に従ってください。

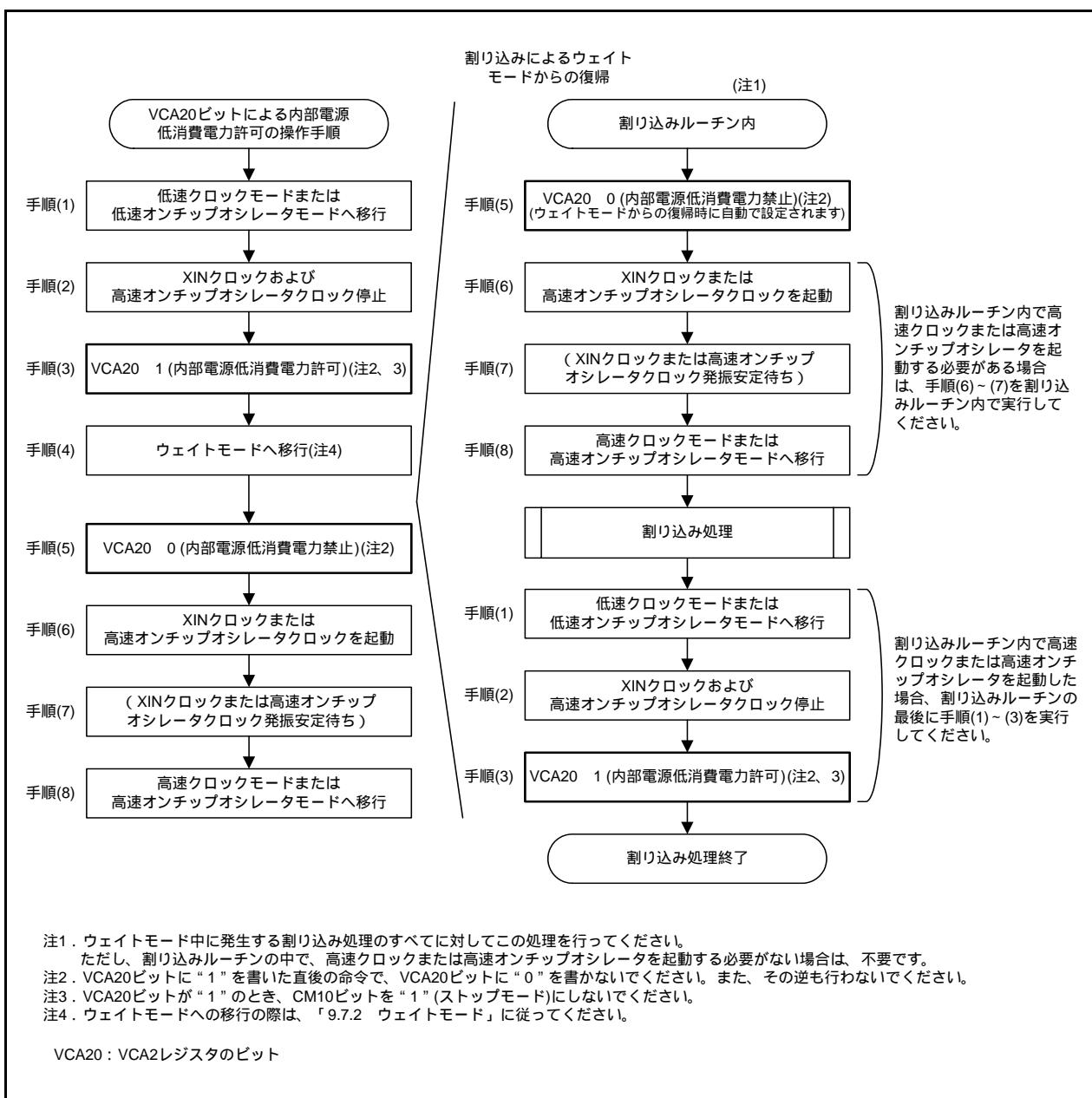


図 31.1 VCA20 ビットによる内部電源低消費操作手順

### 31.2.10 フラッシュメモリの停止

低速オンチップオシレータモード、低速クロックモードの場合、FMR0 レジスタの FMSTP ビットによってフラッシュメモリを停止させ、さらに低消費電力にすることができます。

FMSTP ビットを “1”(フラッシュメモリ停止)にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTP ビットは RAM に転送したプログラムで書いてください。

なお、CPU 書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0 レジスタを設定する必要はありません。

図 31.2 に FMSTP ビットによる低消費電力操作手順例を示します。

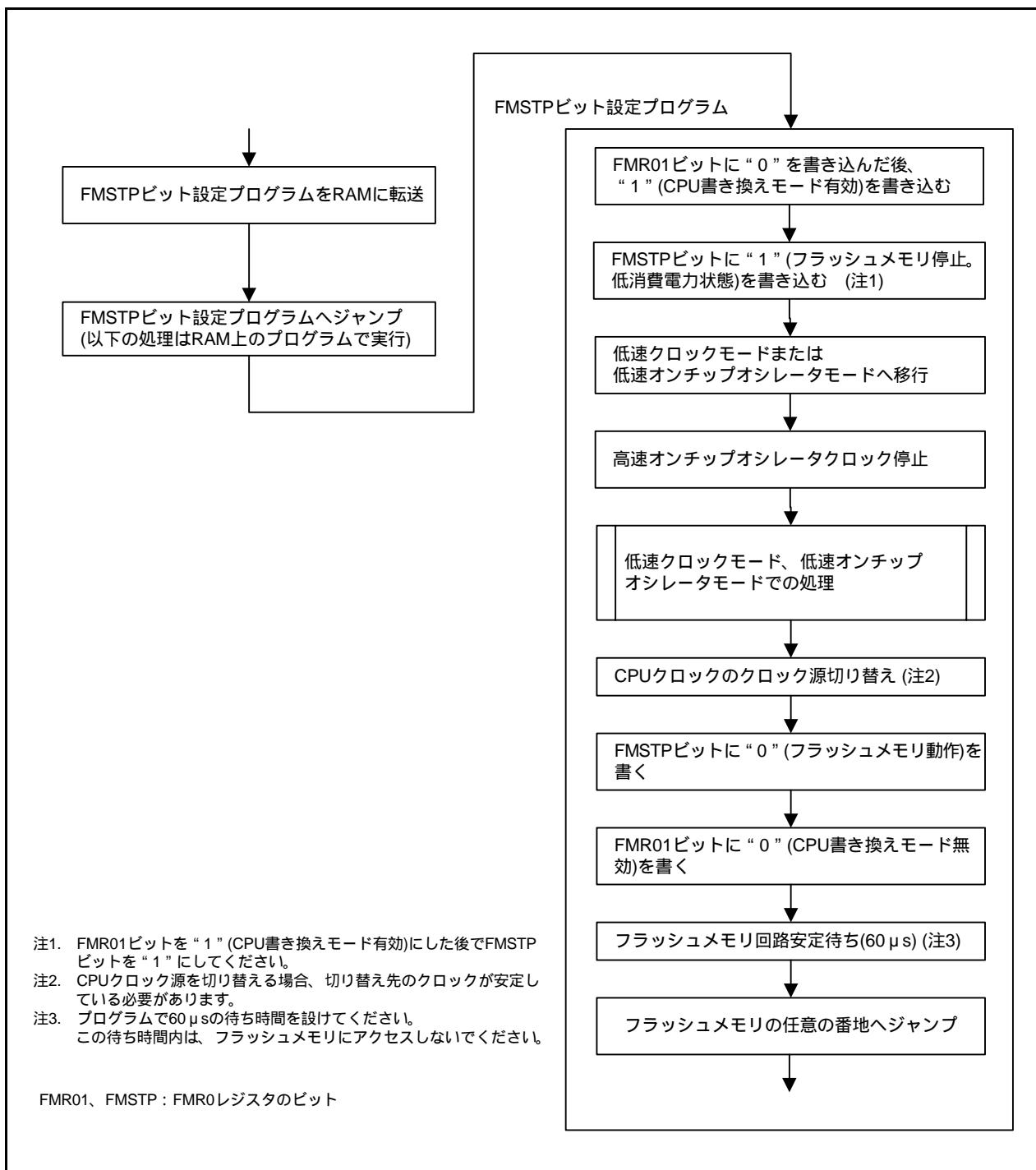


図 31.2 FMSTP ビットによる低消費電力操作手順例

### 31.2.11 低消費電流リードモード

低速クロックモード、低速オンチップオシレータモードのときに、FMR2 レジスタの FMR27 ビットを “1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

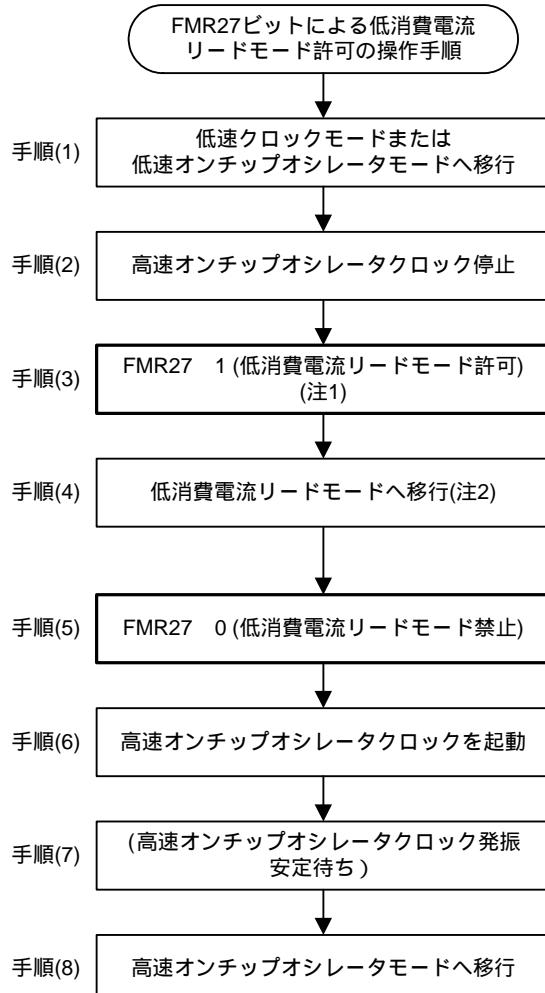
CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPU クロックが低速オンチップオシレータクロックの4分周、8分周または16分周
- CPU クロックがXCIN クロックの1分周(分周なし)、2分周、4分周または8分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。CPUクロック分周比を設定した後、FMR27 ビットを “1”(低消費電流リードモード許可)にしてください。

ウェイトモードまたはストップモードへ移行するときは、FMR27 ビットを “0”(低消費電流リードモード禁止)にした後、移行してください。FMR27 ビットが “1”(低消費電流リードモード許可)の状態で、ウェイトモードまたはストップモードへ移行しないでください。

図 31.3 に低消費電流リードモードの操作手順例を示します。



注1. FMR27ビットを“1”にするときは、このビットに“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止してください。

注2. 低消費電流リードモードでは、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にしてください。  
ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態で、ウェイトモードまたはストップモードへ移行しないでください。

FMR27 : FMR2レジスタのビット

図 31.3 低消費電流リードモードの操作手順例

### 31.2.12 その他

MSTCR レジスタのMSTTRD ビットを“1”にしてください。  
周辺機能の消費電力を低減できます。

## 32. 電気的特性

表32.1 絶対最大定格

| 記号       | 項目     | 測定条件         | 定格値                                     | 単位 |
|----------|--------|--------------|---|----|
| Vcc/AVcc | 電源電圧   |              | - 0.3 ~ 6.5                             | V  |
| Vi       | 入力電圧   |              | - 0.3 ~ Vcc + 0.3                       | V  |
| Vo       | 出力電圧   |              | - 0.3 ~ Vcc + 0.3                       | V  |
| Pd       | 消費電力   | - 40 Topr 85 | 500                                     | mW |
| Topr     | 動作周囲温度 |              | - 20 ~ 85(Nバージョン)/<br>- 40 ~ 85(Dバージョン) |    |
| Tstg     | 保存温度   |              | - 65 ~ 150                              |    |

表32.2 推奨動作条件

| 記号        | 項目                 |                     |                          | 測定条件                 | 規格値             |         |        | 単位        |  |  |
|-----------|--------------------|---------------------|--------------------------|----------------------|-----------------|---------|--------|-----------|--|--|
|           |                    |                     |                          |                      | 最小              | 標準      | 最大     |           |  |  |
| Vcc/AVcc  | 電源電圧               |                     |                          |                      | 1.8             |         | 5.5    | V         |  |  |
| Vss/AVss  | 電源電圧               |                     |                          |                      | 0               |         |        | V         |  |  |
| ViH       | "H" 入力電圧           | CMOS 入力以外           |                          |                      | 0.8Vcc          |         | Vcc    | V         |  |  |
|           |                    | CMOS 入力             | 入力レベル切り替え機能<br>(I/O ポート) | 入力レベル選択 :<br>0.35Vcc | 4.0V Vcc 5.5V   | 0.5Vcc  |        | Vcc V     |  |  |
|           |                    |                     |                          |                      | 2.7V Vcc < 4.0V | 0.55Vcc |        | Vcc V     |  |  |
|           |                    |                     |                          |                      | 1.8V Vcc < 2.7V | 0.65Vcc |        | Vcc V     |  |  |
|           |                    | 入力レベル選択 :<br>0.5Vcc |                          |                      | 4.0V Vcc 5.5V   | 0.65Vcc |        | Vcc V     |  |  |
|           |                    |                     |                          |                      | 2.7V Vcc < 4.0V | 0.7Vcc  |        | Vcc V     |  |  |
|           |                    |                     |                          |                      | 1.8V Vcc < 2.7V | 0.8Vcc  |        | Vcc V     |  |  |
|           |                    | 入力レベル選択 :<br>0.7Vcc |                          |                      | 4.0V Vcc 5.5V   | 0.85Vcc |        | Vcc V     |  |  |
|           |                    |                     |                          |                      | 2.7V Vcc < 4.0V | 0.85Vcc |        | Vcc V     |  |  |
|           |                    |                     |                          |                      | 1.8V Vcc < 2.7V | 0.85Vcc |        | Vcc V     |  |  |
|           | 外部クロック入力(XOUT)     |                     |                          |                      | 1.2             |         | Vcc    | V         |  |  |
| ViL       | "L" 入力電圧           | CMOS 入力以外           |                          |                      | 0               |         | 0.2Vcc | V         |  |  |
|           |                    | CMOS 入力             | 入力レベル切り替え機能<br>(I/O ポート) | 入力レベル選択 :<br>0.35Vcc | 4.0V Vcc 5.5V   | 0       |        | 0.2Vcc V  |  |  |
|           |                    |                     |                          |                      | 2.7V Vcc < 4.0V | 0       |        | 0.2Vcc V  |  |  |
|           |                    |                     |                          |                      | 1.8V Vcc < 2.7V | 0       |        | 0.2Vcc V  |  |  |
|           |                    | 入力レベル選択 :<br>0.5Vcc |                          |                      | 4.0V Vcc 5.5V   | 0       |        | 0.4Vcc V  |  |  |
|           |                    |                     |                          |                      | 2.7V Vcc < 4.0V | 0       |        | 0.3Vcc V  |  |  |
|           |                    |                     |                          |                      | 1.8V Vcc < 2.7V | 0       |        | 0.2Vcc V  |  |  |
|           |                    | 入力レベル選択 :<br>0.7Vcc |                          |                      | 4.0V Vcc 5.5V   | 0       |        | 0.55Vcc V |  |  |
|           |                    |                     |                          |                      | 2.7V Vcc < 4.0V | 0       |        | 0.45Vcc V |  |  |
|           |                    |                     |                          |                      | 1.8V Vcc < 2.7V | 0       |        | 0.35Vcc V |  |  |
|           | 外部クロック入力(XOUT)     |                     |                          |                      | 0               |         | 0.4    | V         |  |  |
| IoH(sum)  | "H" 尖頭総出力電流        | 全端子のIoH(peak)の総和    |                          |                      |                 |         | - 160  | mA        |  |  |
| IoH(sum)  | "H" 平均総出力電流        | 全端子のIoH(avg)の総和     |                          |                      |                 |         | - 80   | mA        |  |  |
| IoH(peak) | "H" 尖頭出力電流         | 駆動能力 Low 時          |                          |                      |                 |         | - 10   | mA        |  |  |
|           |                    | 駆動能力 High 時         |                          |                      |                 |         | - 40   | mA        |  |  |
| IoH(avg)  | "H" 平均出力電流         | 駆動能力 Low 時          |                          |                      |                 |         | - 5    | mA        |  |  |
|           |                    | 駆動能力 High 時         |                          |                      |                 |         | - 20   | mA        |  |  |
| IoL(sum)  | "L" 尖頭総出力電流        | 全端子のIoL(peak)の総和    |                          |                      |                 |         | 160    | mA        |  |  |
| IoL(sum)  | "L" 平均総出力電流        | 全端子のIoL(avg)の総和     |                          |                      |                 |         | 80     | mA        |  |  |
| IoL(peak) | "L" 尖頭出力電流         | 駆動能力 Low 時          |                          |                      |                 |         | 10     | mA        |  |  |
|           |                    | 駆動能力 High 時         |                          |                      |                 |         | 40     | mA        |  |  |
| IoL(avg)  | "L" 平均出力電流         | 駆動能力 Low 時          |                          |                      |                 |         | 5      | mA        |  |  |
|           |                    | 駆動能力 High 時         |                          |                      |                 |         | 20     | mA        |  |  |
| f(XIN)    | XIN クロック入力発振周波数    |                     |                          | 2.7V Vcc 5.5V        |                 |         | 20     | MHz       |  |  |
|           |                    |                     |                          | 1.8V Vcc < 2.7V      |                 |         | 5      | MHz       |  |  |
| f(XCIN)   | XCIN クロック入力発振周波数   |                     |                          | 1.8V Vcc 5.5V        |                 | 32.768  | 50     | kHz       |  |  |
| fOCO40M   | タイマRC のカウントソース(注3) |                     |                          | 2.7V Vcc 5.5V        | 32              |         | 40     | MHz       |  |  |
| fOCO-F    | fOCO-F 周波数         |                     |                          | 2.7V Vcc 5.5V        |                 |         | 20     | MHz       |  |  |
|           |                    |                     |                          | 1.8V Vcc < 2.7V      |                 |         | 5      | MHz       |  |  |
| f(BCLK)   | CPU クロック周波数        |                     |                          | 2.7V Vcc 5.5V        |                 |         | 20     | MHz       |  |  |
|           |                    |                     |                          | 1.8V Vcc < 2.7V      |                 |         | 5      | MHz       |  |  |

注1. 指定のない場合は、Vcc = 1.8V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン) です。

注2. 平均出力電流は 100 ms の期間内での平均値です。

注3. fOCO40M は Vcc = 2.7V ~ 5.5V の範囲で、タイマRC のカウントソースとして使用することができます。

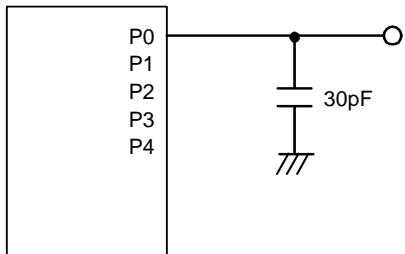


図32.1 ポートP0～P4のタイミング測定回路

表32.3 A/Dコンバータ特性

| 記号    | 項目               | 測定条件                           |                             | 規格値  |      | 単位      |
|-------|------------------|--------------------------------|-----------------------------|------|------|---------|
|       |                  |                                |                             | 最小   | 標準   |         |
|       | 分解能              | Vref = AVcc                    |                             |      |      | 10 Bit  |
|       | 絶対精度<br>10ビットモード | Vref = AVcc = 5.0V             | AN0 ~ AN7入力<br>AN8 ~ AN11入力 |      |      | ± 3 LSB |
|       |                  | Vref = AVcc = 3.3V             | AN0 ~ AN7入力<br>AN8 ~ AN11入力 |      |      | ± 5 LSB |
|       |                  | Vref = AVcc = 3.0V             | AN0 ~ AN7入力<br>AN8 ~ AN11入力 |      |      | ± 5 LSB |
|       |                  | Vref = AVcc = 2.2V             | AN0 ~ AN7入力<br>AN8 ~ AN11入力 |      |      | ± 5 LSB |
|       | 8ビットモード          | Vref = AVcc = 5.0V             | AN0 ~ AN7入力<br>AN8 ~ AN11入力 |      |      | ± 2 LSB |
|       |                  | Vref = AVcc = 3.3V             | AN0 ~ AN7入力<br>AN8 ~ AN11入力 |      |      | ± 2 LSB |
|       |                  | Vref = AVcc = 3.0V             | AN0 ~ AN7入力<br>AN8 ~ AN11入力 |      |      | ± 2 LSB |
|       |                  | Vref = AVcc = 2.2V             | AN0 ~ AN7入力<br>AN8 ~ AN11入力 |      |      | ± 2 LSB |
| AD    | A/D変換クロック        |                                | 4.0V Vref = AVcc 5.5V (注2)  | 2    |      | 20 MHz  |
|       |                  |                                | 3.2V Vref = AVcc 5.5V (注2)  | 2    |      | 16 MHz  |
|       |                  |                                | 2.7V Vref = AVcc 5.5V (注2)  | 2    |      | 10 MHz  |
|       |                  |                                | 2.2V Vref = AVcc 5.5V (注2)  | 2    |      | 5 MHz   |
|       | 許容信号源インピーダンス     |                                |                             |      | 3    | k       |
| tCONV | 変換時間<br>10ビットモード | Vref = AVcc = 5.0V、 AD = 20MHz |                             | 2.15 |      | μs      |
|       |                  | Vref = AVcc = 5.0V、 AD = 20MHz |                             | 2.15 |      | μs      |
| tsAMP | サンプリング時間         | AD = 20MHz                     |                             | 0.75 |      | μs      |
| Ivref | Vref電流           | Vcc=5V、 XIN = f1 = AD = 20MHz  |                             | 45   |      | μA      |
| Vref  | 基準電圧             |                                |                             | 2.2  | AVcc | V       |
| VIA   | アナログ入力電圧(注3)     |                                |                             | 0    | Vref | V       |

注1. 指定のない場合は、Vcc/AVcc = Vref = 2.2V ~ 5.5V、Vss = 0V, Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. ウェイトモード時、ストップモード時、フラッシュメモリの停止時、および低消費電流リードモード時では、A/D変換結果が不定になります。(これらの状態のときのA/D変換処理、およびA/D変換中のこれらの状態への遷移はしないでください。)

注3. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

表32.4 D/Aコンバータ特性

| 記号    | 項目       | 測定条件 | 規格値 |    |     | 単位  |
|-------|----------|------|-----|----|-----|-----|
|       |          |      | 最小  | 標準 | 最大  |     |
|       | 分解能      |      |     |    | 8   | Bit |
|       | 絶対精度     |      |     |    | 2.5 | LSB |
| tsu   | 設定時間     |      |     |    | 3   | μs  |
| Ro    | 出力抵抗     |      |     | 6  |     | k   |
| Ivref | 基準電源入力電流 | (注2) |     |    | 1.5 | mA  |

注1. 指定のない場合は、 $V_{cc}/AV_{cc} = V_{ref} = 2.7V \sim 5.5V$ 、 $T_{opr} = -20 \sim 85$  (Nバージョン) /  $-40 \sim 85$  (Dバージョン) です。

注2. D/Aコンバータ1本使用、使用していないD/AコンバータのDA*i*(*i* = 0 ~ 1)レジスタの値が“00h”の場合です。  
A/Dコンバータのラダーリザイダーレジスタの値は除きます。

表32.5 コンパレータBの電気的特性

| 記号   | 項目                  | 測定条件                     | 規格値  |      |                | 単位 |
|------|---------------------|--------------------------|------|------|----------------|----|
|      |                     |                          | 最小   | 標準   | 最大             |    |
| Vref | IVREF1、IVREF3入力基準電圧 |                          | 0    |      | $V_{cc} - 1.4$ | V  |
| Vi   | IVCMP1、IVCMP3入力電圧   |                          | -0.3 |      | $V_{cc} + 0.3$ | V  |
|      | オフセット               |                          |      | 5    | 100            | mV |
| td   | コンパレータ出力遅延時間(注2)    | $Vi = V_{ref} \pm 100mV$ |      | 0.1  |                | μs |
| Icmp | コンパレータ動作電流          | $V_{cc} = 5.0V$          |      | 17.5 |                | μA |

注1. 指定のない場合は、 $V_{cc} = 2.7V \sim 5.5V$ 、 $T_{opr} = -20 \sim 85$  (Nバージョン) /  $-40 \sim 85$  (Dバージョン) です。

注2. デジタルフィルタ無効時。

表32.6 フラッシュメモリ(プログラムROM)の電気的特性

| 記号                   | 項目                              | 測定条件      | 規格値       |     |                       | 単位 |
|----------------------|---------------------------------|-----------|-----------|-----|-----------------------|----|
|                      |                                 |           | 最小        | 標準  | 最大                    |    |
|                      | プログラム、イレーズ回数(注2)                |           | 1,000(注3) |     |                       | 回  |
|                      | バイトプログラム時間                      |           |           | 80  | 500                   | μs |
|                      | ブロックイレーズ時間                      |           |           | 0.3 |                       | s  |
| td(SR-SUS)           | サスペンドへの遷移時間                     |           |           |     | 5+CPUクロック<br>× 3サイクル  | ms |
|                      | イレーズ開始または再開から次のサスペン<br>ド要求までの間隔 |           | 0         |     |                       | μs |
|                      | サスペンドからイレーズの再開までの時間             |           |           |     | 30+CPUクロック<br>× 1サイクル | μs |
| td(CMDRST-<br>READY) | コマンド強制停止実行から読み出し可能に<br>なるまでの時間  |           |           |     | 30+CPUクロック<br>× 1サイクル | μs |
|                      | 書き込み、消去電圧                       |           | 2.7       |     | 5.5                   | V  |
|                      | 読み出し電圧                          |           | 1.8       |     | 5.5                   | V  |
|                      | 書き込み、消去時の温度                     |           | 0         |     | 60                    |    |
|                      | データ保持時間(注7)                     | 周囲温度 = 55 | 20        |     |                       | 年  |

注1. 指定のない場合は、Vcc = 2.7V ~ 5.5V、Topr = 0 ~ 60 です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 1,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをブロードラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。

ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店にお問い合わせください。

注7. 電源電圧またはクロックが印加されていない時間を含みます。

表32.7 フラッシュメモリ(データフラッシュ ブロックA～ブロックD)の電気的特性

| 記号                   | 項目                                    | 測定条件      | 規格値        |     |                       | 単位 |
|----------------------|---------------------------------------|-----------|------------|-----|-----------------------|----|
|                      |                                       |           | 最小         | 標準  | 最大                    |    |
|                      | プログラム、イレーズ回数(注2)                      |           | 10,000(注3) |     |                       | 回  |
|                      | バイトプログラム時間<br>(プログラム/イレーズ回数 1,000回)   |           |            | 160 | 1500                  | μs |
|                      | バイトプログラム時間<br>(プログラム/イレーズ回数 > 1,000回) |           |            | 300 | 1500                  | μs |
|                      | ブロックイレーズ時間<br>(プログラム/イレーズ回数 1,000回)   |           |            | 0.2 | 1                     | s  |
|                      | ブロックイレーズ時間<br>(プログラム/イレーズ回数 > 1,000回) |           |            | 0.3 | 1                     | s  |
| td(SR-SUS)           | サスペンドへの遷移時間                           |           |            |     | 5+CPUクロック<br>× 3サイクル  | ms |
|                      | イレーズ開始または再開から次のサスペン<br>ド要求までの間隔       |           | 0          |     |                       | μs |
|                      | サスペンドからイレーズの再開までの時間                   |           |            |     | 30+CPUクロック<br>× 1サイクル | μs |
| td(CMDRST-<br>READY) | コマンド強制停止実行から読み出し可能に<br>なるまでの時間        |           |            |     | 30+CPUクロック<br>× 1サイクル | μs |
|                      | 書き込み、消去電圧                             |           | 2.7        |     | 5.5                   | V  |
|                      | 読み出し電圧                                |           | 1.8        |     | 5.5                   | V  |
|                      | 書き込み、消去時の温度                           |           | - 20(注7)   |     | 85                    |    |
|                      | データ保持時間(注8)                           | 周囲温度 = 55 | 20         |     |                       | 年  |

注1. 指定のない場合は、Vcc = 2.7V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをブロ  
グラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA～ブロックDのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店にお問い合わせください。

注7. Dバージョンは - 40 。

注8. 電源電圧またはクロックが印加されていない時間を含みます。

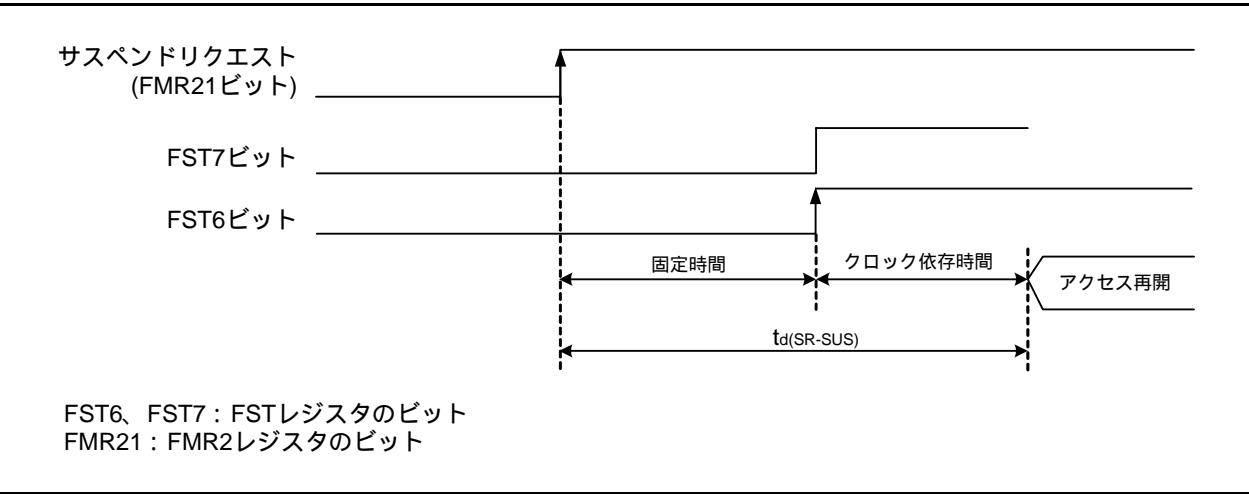


図32.2 サスペンドへの遷移時間

表32.8 電圧検出0回路の電気的特性

| 記号      | 項目                    | 測定条件                                | 規格値  |      |      | 単位 |
|---------|-----------------------|-------------------------------------|------|------|------|----|
|         |                       |                                     | 最小   | 標準   | 最大   |    |
| Vdet0   | 電圧検出レベルVdet0_0 (注2)   |                                     | 1.80 | 1.90 | 2.05 | V  |
|         | 電圧検出レベルVdet0_1 (注2)   |                                     | 2.15 | 2.35 | 2.50 | V  |
|         | 電圧検出レベルVdet0_2 (注2)   |                                     | 2.70 | 2.85 | 3.05 | V  |
|         | 電圧検出レベルVdet0_3 (注2)   |                                     | 3.55 | 3.80 | 4.05 | V  |
|         | 電圧検出0回路反応時間 (注4)      | Vcc = 5V (Vdet0_0 - 0.1)V<br>に下げたとき |      | 6    | 150  | μs |
|         | 電圧検出回路の自己消費電流         | VCA25 = 1、Vcc = 5.0V                |      | 1.5  |      | μA |
| td(E-A) | 電圧検出回路動作開始までの待ち時間(注3) |                                     |      |      | 100  | μs |

注1. 測定条件はVcc = 1.8V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. 電圧検出レベルはOFSレジスタのVDSEL0 ~ VDSEL1ビットで選択してください。

注3. VCA2レジスタのVCA25ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注4. Vdet0を通過した時点から、電圧監視0リセットが発生するまでの時間です。

表32.9 電圧検出1回路の電気的特性

| 記号      | 項目                        | 測定条件                                | 規格値  |      |      | 単位 |
|---------|---------------------------|-------------------------------------|------|------|------|----|
|         |                           |                                     | 最小   | 標準   | 最大   |    |
| Vdet1   | 電圧検出レベルVdet1_0 (注2)       | Vcc立ち下がり時                           | 2.00 | 2.20 | 2.40 | V  |
|         | 電圧検出レベルVdet1_1 (注2)       | Vcc立ち下がり時                           | 2.15 | 2.35 | 2.55 | V  |
|         | 電圧検出レベルVdet1_2 (注2)       | Vcc立ち下がり時                           | 2.30 | 2.50 | 2.70 | V  |
|         | 電圧検出レベルVdet1_3 (注2)       | Vcc立ち下がり時                           | 2.45 | 2.65 | 2.85 | V  |
|         | 電圧検出レベルVdet1_4 (注2)       | Vcc立ち下がり時                           | 2.60 | 2.80 | 3.00 | V  |
|         | 電圧検出レベルVdet1_5 (注2)       | Vcc立ち下がり時                           | 2.75 | 2.95 | 3.15 | V  |
|         | 電圧検出レベルVdet1_6 (注2)       | Vcc立ち下がり時                           | 2.85 | 3.10 | 3.40 | V  |
|         | 電圧検出レベルVdet1_7 (注2)       | Vcc立ち下がり時                           | 3.00 | 3.25 | 3.55 | V  |
|         | 電圧検出レベルVdet1_8 (注2)       | Vcc立ち下がり時                           | 3.15 | 3.40 | 3.70 | V  |
|         | 電圧検出レベルVdet1_9 (注2)       | Vcc立ち下がり時                           | 3.30 | 3.55 | 3.85 | V  |
|         | 電圧検出レベルVdet1_A (注2)       | Vcc立ち下がり時                           | 3.45 | 3.70 | 4.00 | V  |
|         | 電圧検出レベルVdet1_B (注2)       | Vcc立ち下がり時                           | 3.60 | 3.85 | 4.15 | V  |
|         | 電圧検出レベルVdet1_C (注2)       | Vcc立ち下がり時                           | 3.75 | 4.00 | 4.30 | V  |
|         | 電圧検出レベルVdet1_D (注2)       | Vcc立ち下がり時                           | 3.90 | 4.15 | 4.45 | V  |
|         | 電圧検出レベルVdet1_E (注2)       | Vcc立ち下がり時                           | 4.05 | 4.30 | 4.60 | V  |
|         | 電圧検出レベルVdet1_F (注2)       | Vcc立ち下がり時                           | 4.20 | 4.45 | 4.75 | V  |
|         | 電圧検出1回路のVcc立ち上がり時のヒステリシス幅 | Vdet1_0 ~ Vdet1_5選択時                |      | 0.07 |      | V  |
|         |                           | Vdet1_6 ~ Vdet1_F選択時                |      | 0.10 |      | V  |
|         | 電圧検出1回路反応時間 (注3)          | Vcc = 5V (Vdet1_0 - 0.1)V<br>に下げたとき |      | 60   | 150  | μs |
|         | 電圧検出回路の自己消費電流             | VCA26 = 1、Vcc = 5.0V                |      | 1.7  |      | μA |
| td(E-A) | 電圧検出回路動作開始までの待ち時間 (注4)    |                                     |      |      | 100  | μs |

注1. 測定条件はVcc = 1.8V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. 電圧検出レベルはVD1LSレジスタのVD1S0 ~ VD1S3ビットで選択してください。

注3. Vdet1を通過した時点から、電圧監視1割り込み要求が発生するまでの時間です。

注4. VCA2レジスタのVCA26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表32.10 電圧検出2回路の電気的特性

| 記号      | 項目                        | 測定条件                            | 規格値  |      |      | 単位 |
|---------|---------------------------|---------------------------------|------|------|------|----|
|         |                           |                                 | 最小   | 標準   | 最大   |    |
| Vdet2   | 電圧検出レベルVdet2_0            | Vcc立ち下がり時                       | 3.70 | 4.00 | 4.30 | V  |
|         | 電圧検出2回路のVcc立ち上がり時のヒステリシス幅 |                                 |      | 0.10 |      | V  |
|         | 電圧検出2回路反応時間(注2)           | Vcc = 5V (Vdet2_0 - 0.1)Vに下げたとき |      | 20   | 150  | μs |
|         | 電圧検出回路の自己消費電流             | VCA27 = 1、Vcc = 5.0V            |      | 1.7  |      | μA |
| td(E-A) | 電圧検出回路動作開始までの待ち時間(注3)     |                                 |      |      | 100  | μs |

注1. 測定条件はVcc = 1.8V ~ 5.5V、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

注2. Vdet2を通過した時点から、電圧監視2割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表32.11 パワーオンリセット回路(注2)

| 記号  | 項目              | 測定条件 | 規格値 |    |       | 単位      |
|-----|-----------------|------|-----|----|-------|---------|
|     |                 |      | 最小  | 標準 | 最大    |         |
| trh | 外部電源Vccの立ち上がり傾き | (注1) | 0   |    | 50000 | mV/msec |

注1. 指定のない場合測定条件は、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

注2. パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視リセットを有効にしてください。

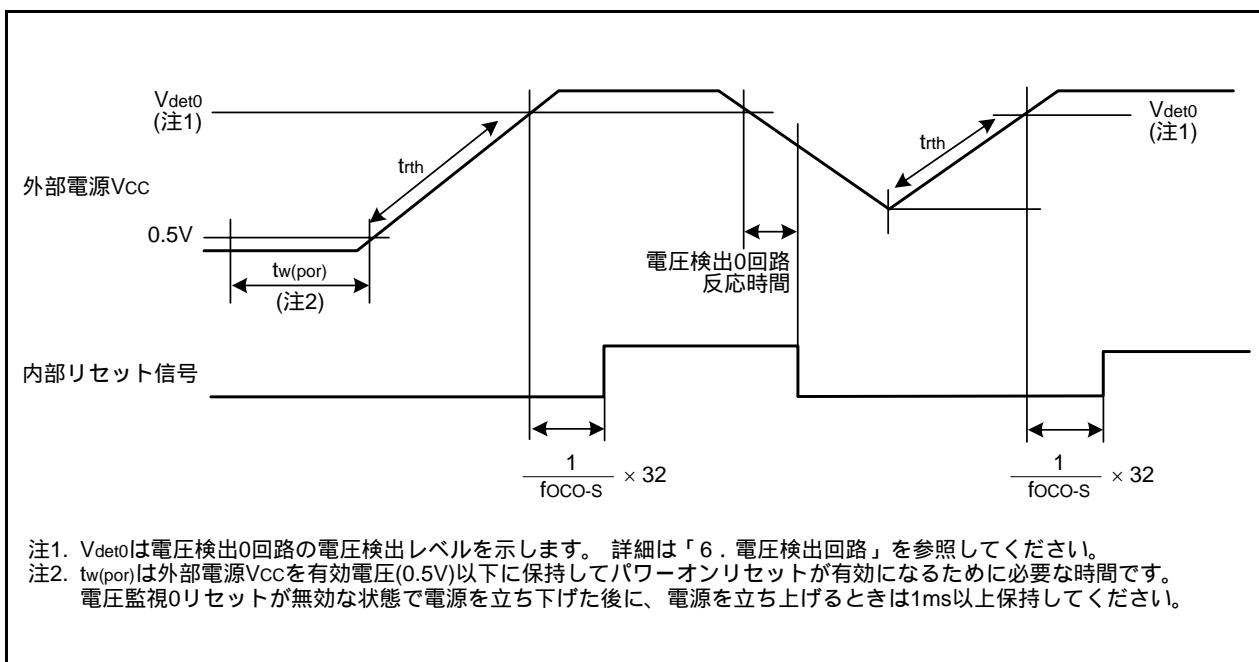


図32.3 パワーオンリセット回路の電気的特性

表32.12 高速オンチップオシレータ発振回路の電気的特性

| 記号   | 項目                                | 測定条件   | 規格値    |        |     | 単位 |
|--|-----------------------------------|--------|--------|--------|-----|----|
|  |                                   |        | 最小     | 標準     | 最大  |    |
| リセット解除時の高速オンチップオシレータ発振周波数  | Vcc = 1.8V ~ 5.5V<br>- 20 Topr 85 | 38.4   | 40     | 41.6   | MHz |    |
|  | Vcc = 1.8V ~ 5.5V<br>- 40 Topr 85 | 38.0   | 40     | 42.0   | MHz |    |
| FRA4 レジスタの補正値を FRA1 レジスターに、かつ FRA5 レジスタの補正値を FRA3 レジスタに書き込んだときの高速オンチップオシレータ発振周波数(注2) | Vcc = 1.8V ~ 5.5V<br>- 20 Topr 85 | 35.389 | 36.864 | 38.338 | MHz |    |
|  | Vcc = 1.8V ~ 5.5V<br>- 40 Topr 85 | 35.020 | 36.864 | 38.707 | MHz |    |
| FRA6 レジスタの補正値を FRA1 レジスターに、かつ FRA7 レジスタの補正値を FRA3 レジスタに書き込んだときの高速オンチップオシレータ発振周波数     | Vcc = 1.8V ~ 5.5V<br>- 20 Topr 85 | 30.72  | 32     | 33.28  | MHz |    |
|  | Vcc = 1.8V ~ 5.5V<br>- 40 Topr 85 | 30.40  | 32     | 33.60  | MHz |    |
| 発振安定時間   | Vcc = 5.0V、Topr = 25              |        | 0.5    | 3      | ms  |    |
| 発振時の自己消費電流   | Vcc = 5.0V、Topr = 25              |        | 400    |        | μA  |    |

注1. 指定のない場合は、Vcc = 1.8V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン)です。

注2. シリアルインターフェースを UART モードで使用時に、9600bps、38400bps などのピットレートの設定誤差を、0% にすることができます。

表32.13 低速オンチップオシレータ発振回路の電気的特性

| 記号     | 項目                | 測定条件                 | 規格値 |     |     | 単位  |
|--------|-------------------|----------------------|-----|-----|-----|-----|
|        |                   |                      | 最小  | 標準  | 最大  |     |
| fOCO-S | 低速オンチップオシレータ発振周波数 |                      | 60  | 125 | 250 | kHz |
|        | 発振安定時間            | Vcc = 5.0V、Topr = 25 |     | 30  | 100 | μs  |
|        | 発振時の自己消費電流        | Vcc = 5.0V、Topr = 25 |     | 2   |     | μA  |

注1. 指定のない場合は、Vcc = 1.8V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン)です。

表32.14 電源回路のタイミング特性

| 記号      | 項目                  | 測定条件 | 規格値 |    |      | 単位 |
|---------|---------------------|------|-----|----|------|----|
|         |                     |      | 最小  | 標準 | 最大   |    |
| td(P-R) | 電源投入時の内部電源安定時間 (注2) |      |     |    | 2000 | μs |

注1. 測定条件は Vcc = 1.8V ~ 5.5V、Topr = 25 です。

注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

表32.15 シンクロナスシリアルコミュニケーションユニット(SSU)のタイミング必要条件(注1)

| 記号     | 項目                   | 測定条件            | 規格値      |    |             | 単位           |
|--------|----------------------|-----------------|----------|----|-------------|--------------|
|        |                      |                 | 最小       | 標準 | 最大          |              |
| tsUCYC | SSCKクロックサイクル時間       |                 | 4        |    |             | tcYC<br>(注2) |
| tH     | SSCKクロック“H”パルス幅      |                 | 0.4      |    | 0.6         | tsUCYC       |
| tLO    | SSCKクロック“L”パルス幅      |                 | 0.4      |    | 0.6         | tsUCYC       |
| tRISE  | SSCKクロック立ち上がり時間      | マスタ             |          |    | 1           | tcYC<br>(注2) |
|        |                      | スレーブ            |          |    | 1           | μs           |
| tFALL  | SSCKクロック立ち下がり時間      | マスタ             |          |    | 1           | tcYC<br>(注2) |
|        |                      | スレーブ            |          |    | 1           | μs           |
| tsU    | SSO、SSIデータ入力セットアップ時間 |                 | 100      |    |             | ns           |
| tH     | SSO、SSIデータ入力ホールド時間   |                 | 1        |    |             | tcYC<br>(注2) |
| tLEAD  | SCSセットアップ時間          | スレーブ            | 1tcYC+50 |    |             | ns           |
| tLAG   | SCSホールド時間            | スレーブ            | 1tcYC+50 |    |             | ns           |
| tOD    | SSO、SSIデータ出力遅延時間     |                 |          |    | 1           | tcYC<br>(注2) |
| tSA    | SSIスレーブアクセス時間        | 2.7V Vcc 5.5V   |          |    | 1.5tcYC+100 | ns           |
|        |                      | 1.8V Vcc < 2.7V |          |    | 1.5tcYC+200 | ns           |
| tOR    | SSIスレーブアウト開放時間       | 2.7V Vcc 5.5V   |          |    | 1.5tcYC+100 | ns           |
|        |                      | 1.8V Vcc < 2.7V |          |    | 1.5tcYC+200 | ns           |

注1. 指定のない場合は、 $V_{CC} = 1.8V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_{OPR} = -20 \sim 85$  (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

注2.  $1tcYC = 1/f_1 (s)$

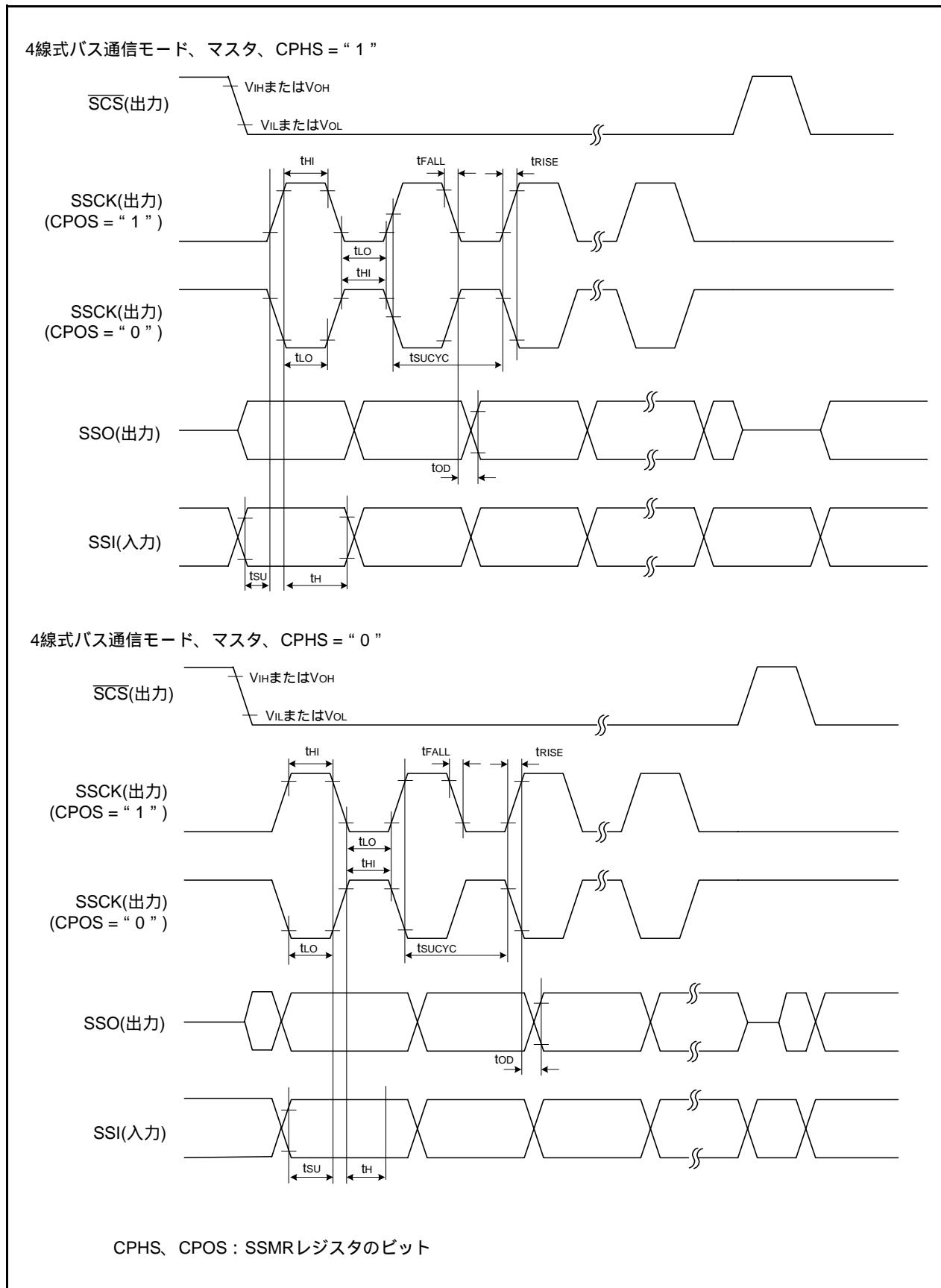


図32.4 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(マスタ)

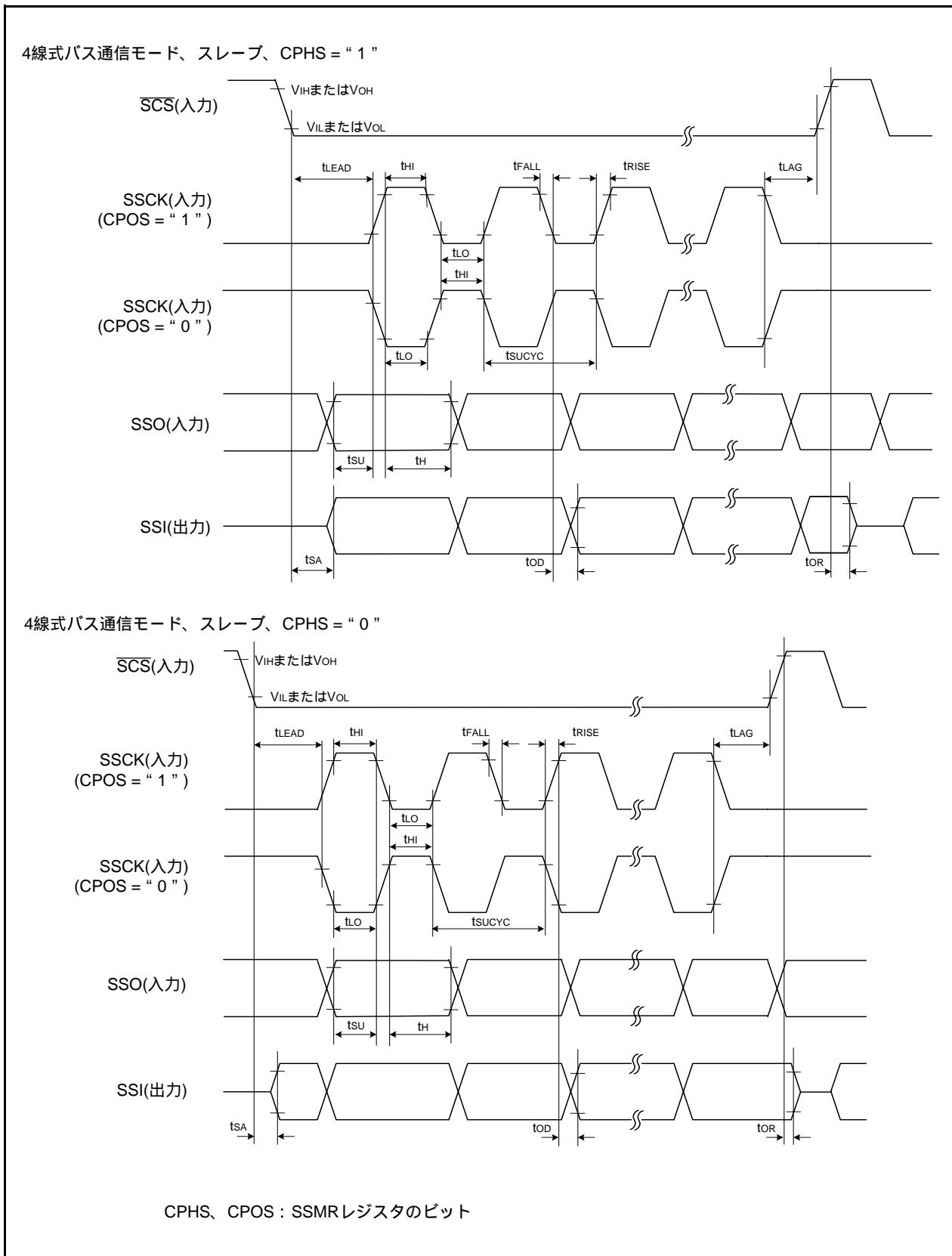


図32.5 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(スレーブ)

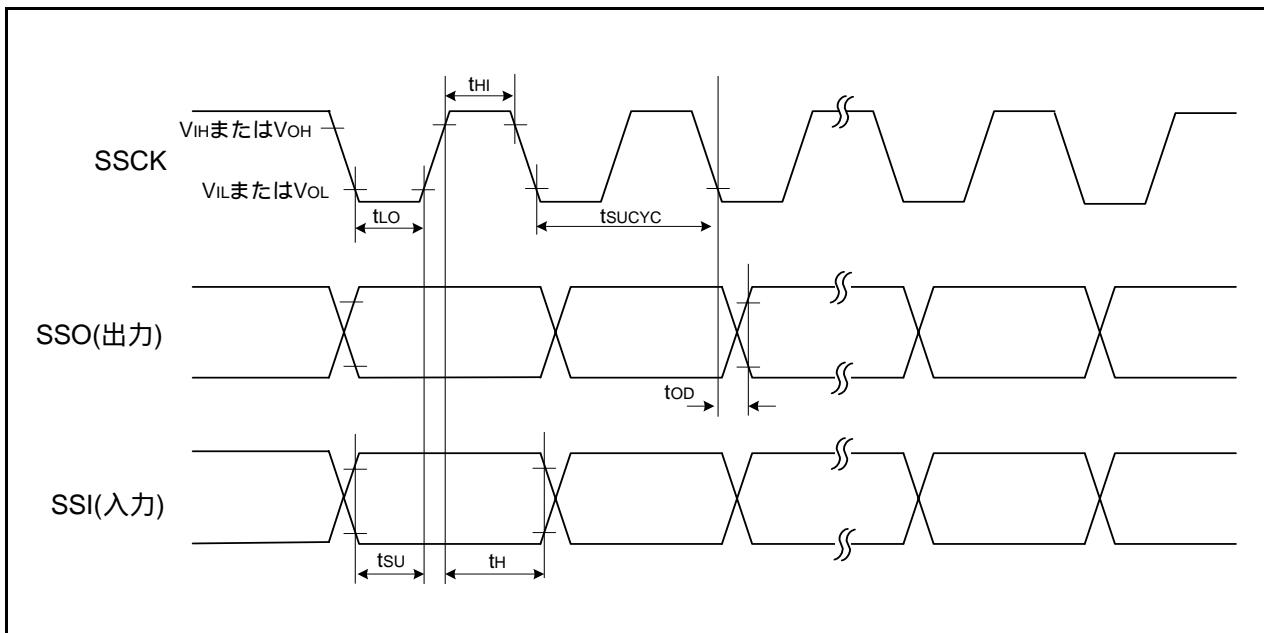


図32.6 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(クロック同期式通信モード)

表32.16 I<sup>2</sup>Cバスインターフェースのタイミング必要条件(注1)

| 記号    | 項目                   | 測定条件 | 規格値              |    |           | 単位 |
|-------|----------------------|------|------------------|----|-----------|----|
|       |                      |      | 最小               | 標準 | 最大        |    |
| tsCL  | SCL入力サイクル時間          |      | 12tcyc + 600(注2) |    |           | ns |
| tsCLH | SCL入力 "H" パルス幅       |      | 3tcyc + 300(注2)  |    |           | ns |
| tsCLL | SCL入力 "L" パルス幅       |      | 5tcyc + 500(注2)  |    |           | ns |
| tsf   | SCL、SDA入力立ち下がり時間     |      |                  |    | 300       | ns |
| tSP   | SCL、SDA入力スパイクパルス除去時間 |      |                  |    | 1tcyc(注2) | ns |
| tBUF  | SDA入力バスフリー時間         |      | 5tcyc(注2)        |    |           | ns |
| tSTAH | 開始条件入力ホールド時間         |      | 3tcyc(注2)        |    |           | ns |
| tSTAS | 再送開始条件入力セットアップ時間     |      | 3tcyc(注2)        |    |           | ns |
| tSTOP | 停止条件入力セットアップ時間       |      | 3tcyc(注2)        |    |           | ns |
| tSDAS | データ入力セットアップ時間        |      | 1tcyc + 40(注2)   |    |           | ns |
| tSDAH | データ入力ホールド時間          |      | 10               |    |           | ns |

注1. 指定のない場合は、Vcc = 1.8V ~ 5.5V、Vss = 0V、Topr = -20 ~ 85 (Nバージョン) / -40 ~ 85 (Dバージョン)です。

注2. 1tcyc = 1/f1 (s)

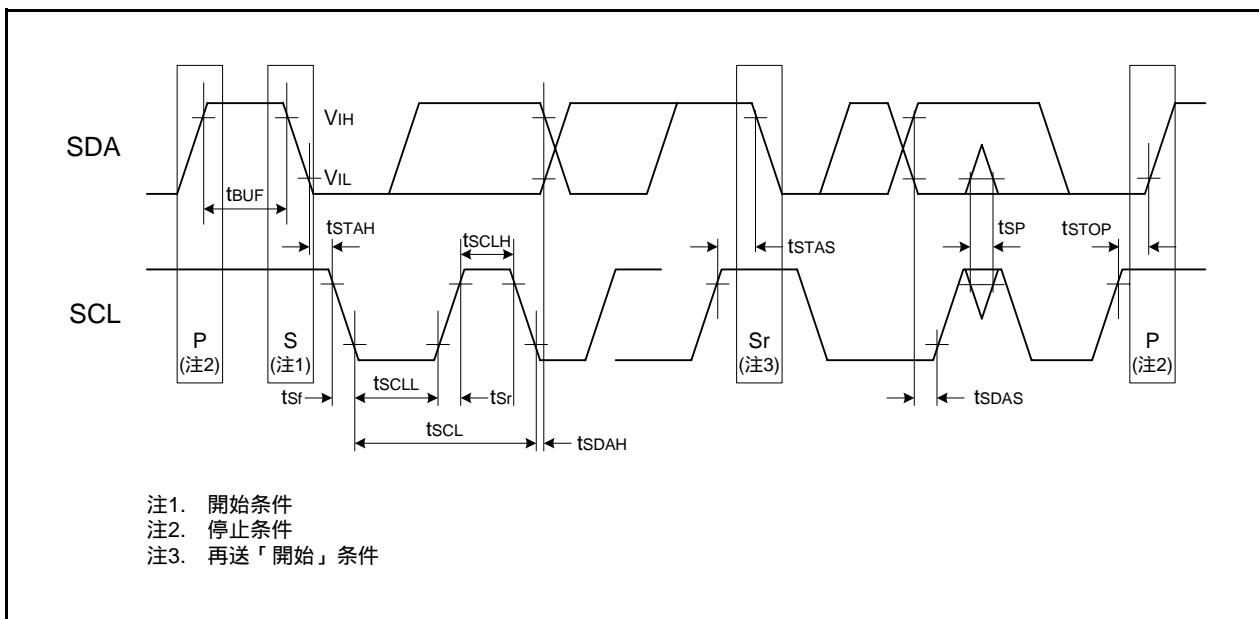
図32.7 I<sup>2</sup>Cバスインターフェースの入出力タイミング

表32.17 電気的特性(1) [ 4.2V Vcc 5.5V ]

| 記号                               | 項目         | 測定条件  | 規格値   |                       |       | 単位    |
|----------------------------------|------------|---|---|-----------------------|-------|-------|
|                                  |            |   | 最小  | 標準                    | 最大    |       |
| V <sub>OH</sub>                  | " H " 出力電圧 | XOUT以外  | 駆動能力 High V <sub>cc</sub> = 5V I <sub>OH</sub> = - 20mA | V <sub>cc</sub> - 2.0 |       | Vcc V |
|                                  |            | XOUT  | 駆動能力 Low V <sub>cc</sub> = 5V I <sub>OH</sub> = - 5mA   | V <sub>cc</sub> - 2.0 |       | Vcc V |
|                                  |            |   | V <sub>cc</sub> = 5V I <sub>OH</sub> = - 200 μA         | 1.0                   | —     | Vcc V |
| V <sub>OL</sub>                  | " L " 出力電圧 | XOUT以外  | 駆動能力 High V <sub>cc</sub> = 5V I <sub>OL</sub> = 20mA   |                       |       | 2.0 V |
|                                  |            | XOUT  | 駆動能力 Low V <sub>cc</sub> = 5V I <sub>OL</sub> = 5mA     |                       |       | 2.0 V |
|                                  |            |   | V <sub>cc</sub> = 5V I <sub>OL</sub> = 200 μ A          | —                     | —     | 0.5 V |
| V <sub>T+</sub> -V <sub>T-</sub> | ヒステリシス     | I <sub>INT0</sub> 、I <sub>INT1</sub> 、I <sub>INT3</sub> 、K <sub>I0</sub> 、K <sub>I1</sub> 、K <sub>I2</sub> 、K <sub>I3</sub> 、TRAIO、TRBO、TRCIOA、TRCIQB、TRCIQC、TRCIOD、TRCTRQ、TRCCLK、ADTRG、RXD0、RXD1、RXD2、CLK0、CLK1、CLK2、SSI、SCL、SDA、SSO |   | 0.1                   | 1.2   | V     |
|                                  |            | RESET   |   | 0.1                   | 1.2   | V     |
| I <sub>IH</sub>                  | " H " 入力電流 | VI = 5V、V <sub>cc</sub> = 5.0V  |   |                       | 5.0   | μA    |
| I <sub>IL</sub>                  | " L " 入力電流 | VI = 0V、V <sub>cc</sub> = 5.0V  |   |                       | - 5.0 | μA    |
| R <sub>PULLUP</sub>              | プルアップ抵抗    | VI = 0V、V <sub>cc</sub> = 5.0V  | 25  | 50                    | 100   | k     |
| R <sub>RXIN</sub>                | 帰還抵抗 XIN   |   |   | 0.3                   |       | M     |
| R <sub>RXCIN</sub>               | 帰還抵抗 XCIN  |   |   | 8                     |       | M     |
| V <sub>RAM</sub>                 | RAM保持電圧    | ストップモード時  | 1.8   |                       |       | V     |

注1. 指定のない場合は、4.2V V<sub>cc</sub> 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)、f(XIN) = 20MHzです。

表32.18 電気的特性(2) [ 3.3V Vcc 5.5V ]

(指定のない場合は、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン))

| 記号              | 項目  | 測定条件            | 規格値   |    |     | 単位   |    |
|-----------------|---|-----------------|---|----|-----|------|----|
|                 |   |                 | 最小  | 標準 | 最大  |      |    |
| I <sub>CC</sub> | 電源電流<br>(V <sub>CC</sub> = 3.3V ~ 5.5V)<br>シングルチップモードで、出力端子は開放、その他の端子はV <sub>SS</sub> | 高速クロックモード       | XIN = 20MHz (方形波)<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振 = 125kHz<br>分周なし  |    | 6.5 | 15   | mA |
|                 |   |                 | XIN = 16MHz (方形波)<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振 = 125kHz<br>分周なし  |    | 5.3 | 12.5 | mA |
|                 |   |                 | XIN = 10MHz (方形波)<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振 = 125kHz<br>8分周   |    | 3.6 |      | mA |
|                 |   |                 | XIN = 20MHz (方形波)<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振 = 125kHz<br>8分周   |    | 3.0 |      | mA |
|                 |   |                 | XIN = 16MHz (方形波)<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振 = 125kHz<br>8分周   |    | 2.2 |      | mA |
|                 |   |                 | XIN = 10MHz (方形波)<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振 = 125kHz<br>8分周   |    | 1.5 |      | mA |
|                 |   | 高速オンチップオシレータモード | XINクロック停止<br>高速オンチップオシレータ発振f <sub>OCO-F</sub> = 20MHz<br>低速オンチップオシレータ発振 = 125kHz<br>分周なし  |    | 7.0 | 15   | mA |
|                 |   |                 | XINクロック停止<br>高速オンチップオシレータ発振f <sub>OCO-F</sub> = 20MHz<br>低速オンチップオシレータ発振 = 125kHz<br>8分周   |    | 3.0 |      | mA |
|                 |   |                 | XINクロック停止<br>高速オンチップオシレータ発振 f <sub>OCO-F</sub> = 4MHz<br>低速オンチップオシレータ発振 = 125kHz<br>16分周<br>MSTIIC = MSTTRD = MSTTRC = "1"                |    | 1   |      | mA |
|                 | 低速オンチップオシレータモード   | 低速クロックモード       | XINクロック停止<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振 = 125kHz<br>8分周 FMR27 = "1"、VCA20 = "0"   |    | 90  | 400  | μA |
|                 |   |                 | XINクロック停止<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振停止<br>XCINクロック発振 = 32kHz<br>分周なし<br>FMR27 = "1"、VCA20 = "0"                                |    | 85  | 400  | μA |
|                 |   | ウェイトモード         | XINクロック停止<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振停止<br>XCINクロック発振 = 32kHz<br>分周なし<br>RAM上のプログラム動作<br>フラッシュメモリ停止時 FMSTP = "1"、VCA20 = "0"    |    | 47  |      | μA |
|                 |   |                 | XINクロック停止<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振 = 125kHz<br>WAIT命令実行中<br>周辺クロック動作<br>VCA27 = VCA26 = VCA25 = "0"、VCA20 = "1"              |    | 15  | 100  | μA |
|                 | ストップモード   | 低速クロックモード       | XINクロック停止<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振 = 125kHz<br>WAIT命令実行中<br>周辺クロック停止<br>VCA27 = VCA26 = VCA25 = "0"、VCA20 = "1"              |    | 4   | 90   | μA |
|                 |   |                 | XINクロック停止<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振停止<br>XCINクロック発振 = 32kHz(周辺クロック停止)<br>WAIT命令実行中<br>VCA27 = VCA26 = VCA25 = "0"、VCA20 = "1" |    | 3.5 |      | μA |
|                 |   | ウェイトモード         | XINクロック停止、Topr = 25<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振停止<br>CM10 = "1"<br>周辺クロック停止<br>VCA27 = VCA26 = VCA25 = "0"                      |    | 2.0 | 5.0  | μA |
|                 |   |                 | XINクロック停止、Topr = 85<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振停止<br>CM10 = "1"<br>周辺クロック停止<br>VCA27 = VCA26 = VCA25 = "0"                      |    | 5.0 |      | μA |

タイミング必要条件 (指定のない場合は、 $V_{CC} = 5V$ 、 $V_{SS} = 0V$ 、 $T_{OPR} = 25^\circ C$ )

表32.19 外部クロック入力(XOUT、XCIN)

| 記号             | 項目            | 規格値 |    | 単位      |
|----------------|---------------|-----|----|---------|
|                |               | 最小  | 最大 |         |
| $t_C(XOUT)$    | XOUT入力サイクル時間  | 50  |    | ns      |
| $t_{WH}(XOUT)$ | XOUT入力“H”パルス幅 | 24  |    | ns      |
| $t_{WL}(XOUT)$ | XOUT入力“L”パルス幅 | 24  |    | ns      |
| $t_C(XCIN)$    | XCIN入力サイクル時間  | 14  |    | $\mu s$ |
| $t_{WH}(XCIN)$ | XCIN入力“H”パルス幅 | 7   |    | $\mu s$ |
| $t_{WL}(XCIN)$ | XCIN入力“L”パルス幅 | 7   |    | $\mu s$ |

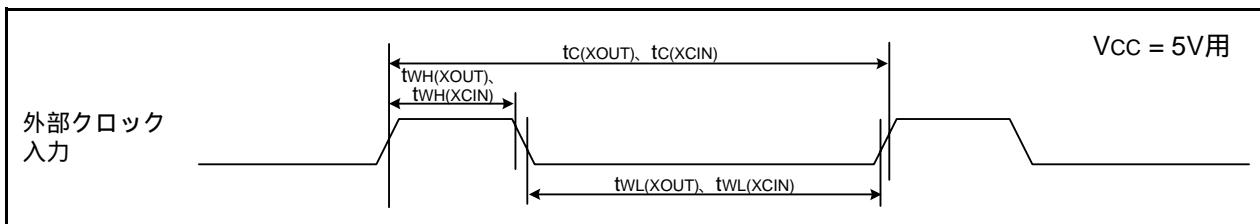


図32.8  $V_{CC} = 5V$ 時の外部クロック入力タイミング

表32.20 TRAIO入力

| 記号              | 項目             | 規格値 |    | 単位 |
|-----------------|----------------|-----|----|----|
|                 |                | 最小  | 最大 |    |
| $t_C(TRAIO)$    | TRAIO入力サイクル時間  | 100 |    | ns |
| $t_{WH}(TRAIO)$ | TRAIO入力“H”パルス幅 | 40  |    | ns |
| $t_{WL}(TRAIO)$ | TRAIO入力“L”パルス幅 | 40  |    | ns |

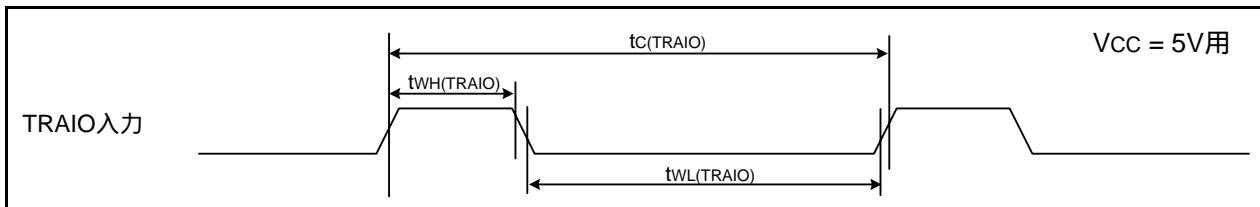
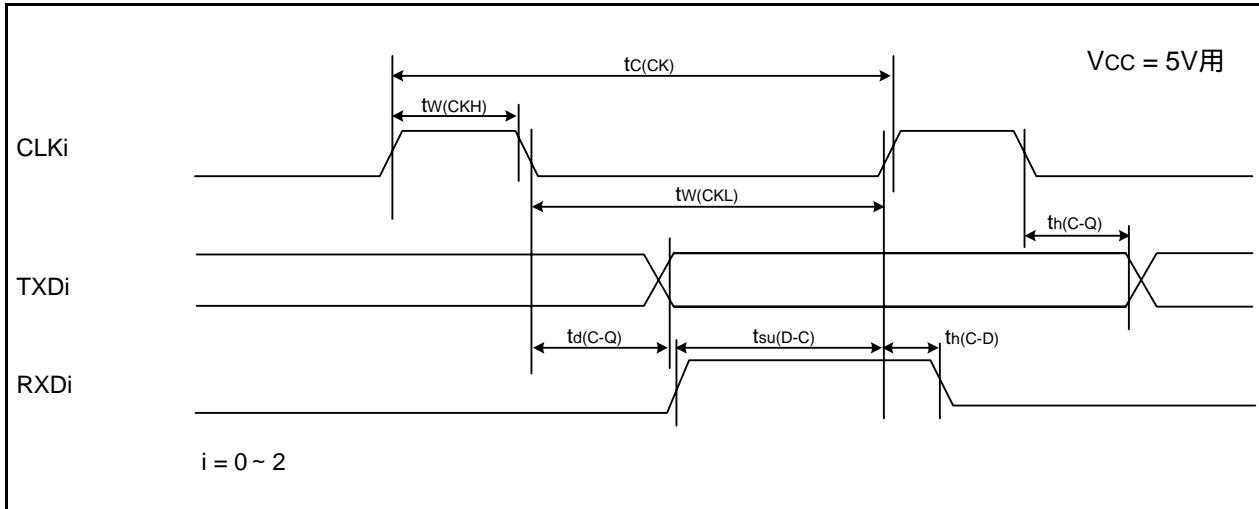


図32.9  $V_{CC} = 5V$ 時のTRAIO入力タイミング

表32.21 シリアルインタフェース

| 記号       | 項目                       | 規格値 |    | 単位 |
|----------|--------------------------|-----|----|----|
|          |                          | 最小  | 最大 |    |
| tc(CK)   | CLK <i>i</i> 入力サイクル時間    | 200 |    | ns |
| tw(CKH)  | CLK <i>i</i> 入力 "H" パルス幅 | 100 |    | ns |
| tw(CKL)  | CLK <i>i</i> 入力 "L" パルス幅 | 100 |    | ns |
| td(C-Q)  | TXD <i>i</i> 出力遅延時間      |     | 50 | ns |
| th(C-Q)  | TXD <i>i</i> ホールド時間      | 0   |    | ns |
| tsu(D-C) | RXD <i>i</i> 入力セットアップ時間  | 50  |    | ns |
| th(C-D)  | RXD <i>i</i> 入力ホールド時間    | 90  |    | ns |

 $i = 0 \sim 2$ 図32.10  $V_{CC} = 5V$ 時のシリアルインタフェースのタイミング表32.22 外部割り込み $\overline{INT_i}$ 入力 ( $i = 0, 1, 3$ )、キー入力割り込み $\overline{Kli}$  ( $i = 0 \sim 3$ )

| 記号      | 項目   | 規格値     |    | 単位 |
|---------|--|---------|----|----|
|         |  | 最小      | 最大 |    |
| tw(INH) | $\overline{INT_i}$ 入力 "H" パルス幅、 $\overline{Kli}$ 入力 "H" パルス幅 | 250(注1) |    | ns |
| tw(INL) | $\overline{INT_i}$ 入力 "L" パルス幅、 $\overline{Kli}$ 入力 "L" パルス幅 | 250(注2) |    | ns |

注1.  $\overline{INT_i}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{INT_i}$ 入力 "H" パルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

注2.  $\overline{INT_i}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{INT_i}$ 入力 "L" パルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

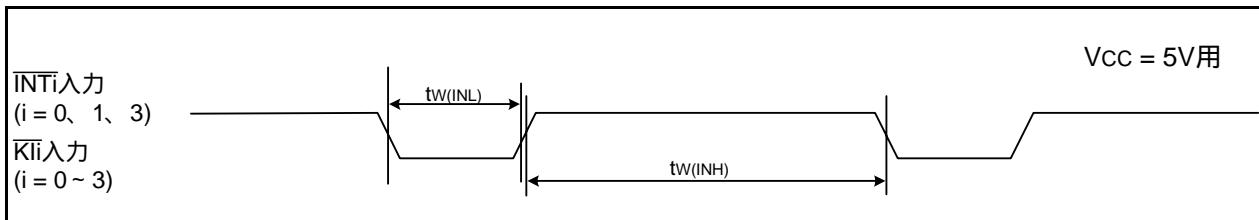
図32.11  $V_{CC} = 5V$ 時の外部割り込み $\overline{INT_i}$ およびキー入力割り込み $\overline{Kli}$ 入力タイミング

表32.23 電気的特性(3) [ 2.7V Vcc &lt; 4.2V ]

| 記号                               | 項目                | 測定条件  |                            | 規格値       |       | 単位    |
|----------------------------------|-------------------|---|----------------------------|-----------|-------|-------|
|                                  |                   | 最小  | 標準                         | 最大        |       |       |
| VoH                              | " H " 出力電圧 XOUT以外 | 駆動能力 High   | I <sub>OH</sub> = - 5mA    | Vcc - 0.5 |       | Vcc V |
|                                  |                   | 駆動能力 Low  | I <sub>OH</sub> = - 1mA    | Vcc - 0.5 |       | Vcc V |
|                                  | XOUT              |   | I <sub>OH</sub> = - 200 μA | 1.0       |       | Vcc V |
| VOL                              | " L " 出力電圧 XOUT以外 | 駆動能力 High   | I <sub>OL</sub> = 5mA      |           |       | 0.5 V |
|                                  |                   | 駆動能力 Low  | I <sub>OL</sub> = 1mA      |           |       | 0.5 V |
|                                  | XOUT              |   | I <sub>OL</sub> = 200 μA   |           |       | 0.5 V |
| V <sub>T+</sub> -V <sub>T-</sub> | ヒステリシス            | INT0、INT1、INT3、KI0、KI1、KI2、KI3、TRAIO、TRBO、TRCIOA、TRCIQB、TRCIOC、TRCIOD、TRCTRQ、TRCCLK、ADTRG、RXD0、RXD1、RXD2、CLK0、CLK1、CLK2、SSI、SCL、SDA、SSO | Vcc = 3.0V                 | 0.1       | 0.4   | V     |
|                                  |                   | RESET   | Vcc = 3.0V                 | 0.1       | 0.5   | V     |
| I <sub>IH</sub>                  | " H " 入力電流        | VI = 3V、Vcc = 3.0V  |                            |           | 4.0   | μA    |
| I <sub>IL</sub>                  | " L " 入力電流        | VI = 0V、Vcc = 3.0V  |                            |           | - 4.0 | μA    |
| R <sub>PULLUP</sub>              | プルアップ抵抗           | VI = 0V、Vcc = 3.0V  | 42                         | 84        | 168   | k     |
| R <sub>rxIN</sub>                | 帰還抵抗              | XIN   |                            |           | 0.3   | M     |
| R <sub>xcin</sub>                | 帰還抵抗              | XCIN  |                            |           | 8     | M     |
| V <sub>RAM</sub>                 | RAM保持電圧           | ストップモード時  | 1.8                        |           |       | V     |

注1. 指定のない場合は、2.7V Vcc < 4.2V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)、f(XIN) = 10MHz です。

表32.24 電気的特性(4) [ 2.7V ~ Vcc &lt; 3.3V ]

(指定のない場合は、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン))

| 記号  | 項目  | 測定条件   | 規格値   |     |     | 単位  |    |
|-----|---|--|---|-----|-----|-----|----|
|     |   |  | 最小  | 標準  | 最大  |     |    |
| Icc | 電源電流<br>(Vcc = 2.7V ~ 3.3V)<br>シングルチップモードで、出力端子は開放、他の端子はVss | 高速クロックモード  | XIN = 10MHz (方形波)<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振 = 125kHz<br>分周なし  |     | 3.5 | 10  | mA |
|     |   |  | XIN = 10MHz (方形波)<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振 = 125kHz<br>8分周   |     | 1.5 | 7.5 | mA |
|     | 高速オンチップオシレータモード   | XINクロック停止<br>高速オンチップオシレータ発振 fOCO-F = 20MHz<br>低速オンチップオシレータ発振 = 125kHz<br>分周なし  |   | 7.0 | 15  | mA  |    |
|     |   |  | XINクロック停止<br>高速オンチップオシレータ発振 fOCO-F = 20MHz<br>低速オンチップオシレータ発振 = 125kHz<br>8分周  |     | 3.0 |     | mA |
|     |   | XINクロック停止<br>高速オンチップオシレータ発振 fOCO-F = 10MHz<br>低速オンチップオシレータ発振 = 125kHz<br>分周なし  |   | 4.0 |     | mA  |    |
|     |   |  | XINクロック停止<br>高速オンチップオシレータ発振 fOCO-F = 10MHz<br>低速オンチップオシレータ発振 = 125kHz<br>8分周  |     | 1.5 |     | mA |
|     |   | XINクロック停止<br>高速オンチップオシレータ発振 fOCO-F = 4MHz<br>低速オンチップオシレータ発振 = 125kHz<br>16分周<br>MSTIC = MSTTRD = MSTTRC = "1"                              |   | 1   |     | mA  |    |
|     |   |  | XINクロック停止<br>高速オンチップオシレータ発振 fOCO-F = 4MHz<br>低速オンチップオシレータ発振 = 125kHz<br>8分周 FMR27 = "1"、VCA20 = "0"                                   |     | 90  | 390 | μA |
|     |   | 低速クロックモード  | XINクロック停止<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振 = 125kHz<br>XCINクロック発振 = 32kHz<br>分周なし<br>FMR27 = "1"、VCA20 = "0"                     |     | 80  | 400 | μA |
|     |   |  | XINクロック停止<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振停止<br>XCINクロック発振 = 32kHz<br>分周なし<br>RAM上のプログラム動作<br>フラッシュメモリ停止時 FMSTP= "1"、VCA20 = "0" |     | 40  |     | μA |
|     | ウェイトモード   | XINクロック停止<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振 = 125kHz<br>WAIT命令実行中<br>周辺クロック動作<br>VCA27 = VCA26 = VCA25 = "0"<br>VCA20= "1"             |   | 15  | 90  | μA  |    |
|     |   |  | XINクロック停止<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振 = 125kHz<br>WAIT命令実行中<br>周辺クロック停止<br>VCA27 = VCA26 = VCA25 = "0"<br>VCA20= "1"        |     | 4   | 80  | μA |
|     |   | XINクロック停止<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振停止<br>XCINクロック発振= 32kHz(周辺クロック停止)<br>WAIT命令実行中<br>VCA27 = VCA26 = VCA25 = "0"<br>VCA20= "1" |   | 3.5 |     | μA  |    |
|     | ストップモード   | XINクロック停止、Topr = 25<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振停止<br>CM10 = "1"<br>周辺クロック停止<br>VCA27 = VCA26 = VCA25 = "0"                       |   | 2.0 | 5.0 | μA  |    |
|     |   | XINクロック停止、Topr = 85<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振停止<br>CM10 = "1"<br>周辺クロック停止<br>VCA27 = VCA26 = VCA25 = "0"                       |   | 5.0 |     | μA  |    |

タイミング必要条件 (指定のない場合は、 $V_{CC} = 3V$ 、 $V_{SS} = 0V$ 、 $T_{OPR} = 25^\circ C$  )

表32.25 外部クロック入力(XOUT、XCIN)

| 記号             | 項目              | 規格値 |    | 単位      |
|----------------|-----------------|-----|----|---------|
|                |                 | 最小  | 最大 |         |
| $t_C(XOUT)$    | XOUT入力サイクル時間    | 50  |    | ns      |
| $t_{WH}(XOUT)$ | XOUT入力 "H" パルス幅 | 24  |    | ns      |
| $t_{WL}(XOUT)$ | XOUT入力 "L" パルス幅 | 24  |    | ns      |
| $t_C(XCIN)$    | XCIN入力サイクル時間    | 14  |    | $\mu s$ |
| $t_{WH}(XCIN)$ | XCIN入力 "H" パルス幅 | 7   |    | $\mu s$ |
| $t_{WL}(XCIN)$ | XCIN入力 "L" パルス幅 | 7   |    | $\mu s$ |

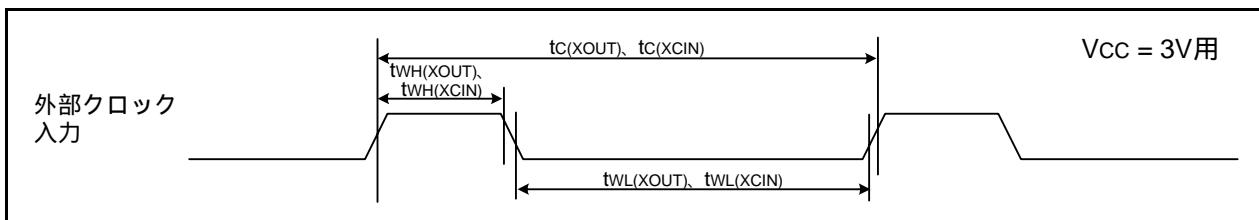


図32.12  $V_{CC} = 3V$ 時の外部クロック入力タイミング

表32.26 TRAIO入力

| 記号              | 項目               | 規格値 |    | 単位 |
|-----------------|------------------|-----|----|----|
|                 |                  | 最小  | 最大 |    |
| $t_C(TRAIO)$    | TRAIO入力サイクル時間    | 300 |    | ns |
| $t_{WH}(TRAIO)$ | TRAIO入力 "H" パルス幅 | 120 |    | ns |
| $t_{WL}(TRAIO)$ | TRAIO入力 "L" パルス幅 | 120 |    | ns |

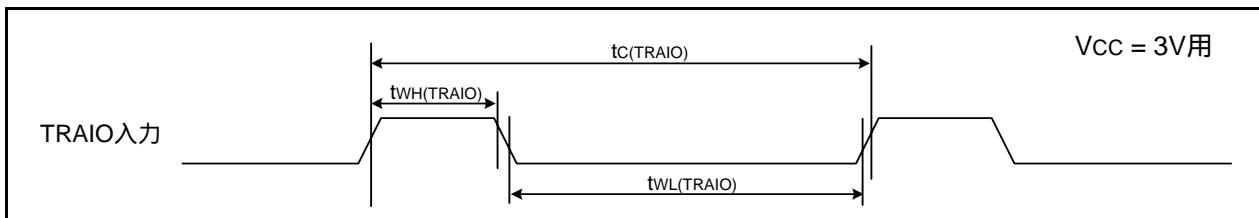
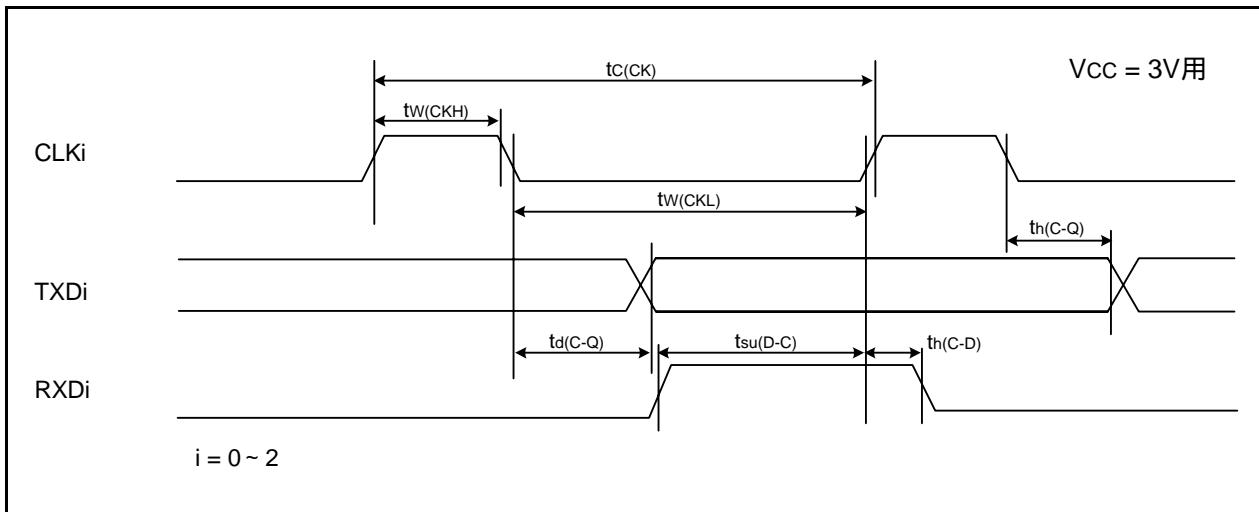


図32.13  $V_{CC} = 3V$ 時のTRAIO入力タイミング

表32.27 シリアルインタフェース

| 記号            | 項目                       | 規格値 |    | 単位 |
|---------------|--------------------------|-----|----|----|
|               |                          | 最小  | 最大 |    |
| $t_{c(CK)}$   | CLK <i>i</i> 入力サイクル時間    | 300 |    | ns |
| $t_{W(CKH)}$  | CLK <i>i</i> 入力 "H" パルス幅 | 150 |    | ns |
| $t_{W(CKL)}$  | CLK <i>i</i> 入力 "L" パルス幅 | 150 |    | ns |
| $t_{d(C-Q)}$  | TXD <i>i</i> 出力遅延時間      |     | 80 | ns |
| $t_{h(C-Q)}$  | TXD <i>i</i> ホールド時間      | 0   |    | ns |
| $t_{su(D-C)}$ | RXD <i>i</i> 入力セットアップ時間  | 70  |    | ns |
| $t_{h(C-D)}$  | RXD <i>i</i> 入力ホールド時間    | 90  |    | ns |

 $i = 0 \sim 2$ 表32.28 外部割り込み $\overline{INT_i}$ 入力 ( $i = 0, 1, 3$ )、キー入力割り込み $\overline{Kli}$  ( $i = 0 \sim 3$ )

| 記号           | 項目   | 規格値     |    | 単位 |
|--------------|--|---------|----|----|
|              |  | 最小      | 最大 |    |
| $t_{W(INH)}$ | $\overline{INT_i}$ 入力 "H" パルス幅、 $\overline{Kli}$ 入力 "H" パルス幅 | 380(注1) |    | ns |
| $t_{W(INL)}$ | $\overline{INT_i}$ 入力 "L" パルス幅、 $\overline{Kli}$ 入力 "L" パルス幅 | 380(注2) |    | ns |

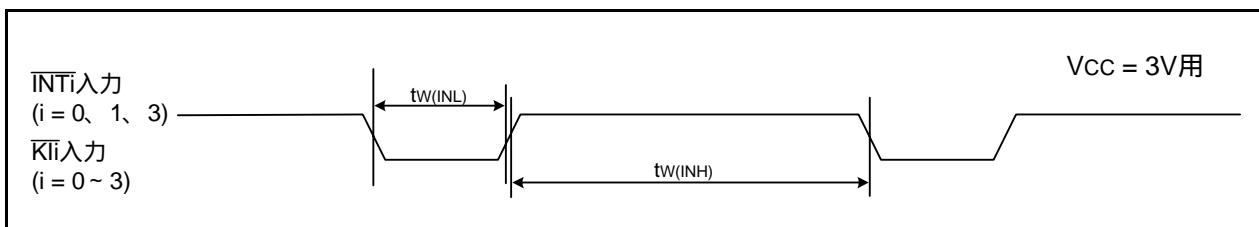
注1.  $\overline{INT_i}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{INT_i}$ 入力 "H" パルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。注2.  $\overline{INT_i}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{INT_i}$ 入力 "L" パルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

表32.29 電気的特性(5) [ 1.8V Vcc &lt; 2.7V ]

| 記号          | 項目         | 測定条件  | 規格値                      |           |       | 単位       |
|-------------|------------|---|--------------------------|-----------|-------|----------|
|             |            |   | 最小                       | 標準        | 最大    |          |
| VoH         | " H " 出力電圧 | XOUT以外  | 駆動能力 High<br>IoH = - 2mA | Vcc - 0.5 |       | Vcc<br>V |
|             |            |   | 駆動能力 Low<br>IoH = - 1mA  | Vcc - 0.5 |       | Vcc<br>V |
|             | XOUT       |   | IoH = - 200 μA           | 1.0       |       | Vcc<br>V |
| Vol         | " L " 出力電圧 | XOUT以外  | 駆動能力 High<br>IoL = 2mA   |           | 0.5   | V        |
|             |            |   | 駆動能力 Low<br>IoL = 1mA    |           | 0.5   | V        |
|             | XOUT       |   | IoL = 200 μA             |           | 0.5   | V        |
| VTr+ - VTr- | ヒステリシス     | INT0、INT1、INT3、<br>KI0、KI1、KI2、KI3、<br>TRAIO、TRBO、<br>TRCIOA、TRCIQB、<br>TRCIQC、TRCIOD、<br>TRCTRQ、TRCCLK、<br>ADTRG、<br>RXD0、RXD1、RXD2、<br>CLK0、CLK1、CLK2、<br>SSI、SCL、SDA、SSO |                          | 0.05      | 0.20  | V        |
|             |            | RESET   |                          | 0.05      | 0.20  | V        |
| IiH         | " H " 入力電流 |   | VI = 2.2V、Vcc = 2.2V     |           | 4.0   | μA       |
| IiL         | " L " 入力電流 |   | VI = 0V、Vcc = 2.2V       |           | - 4.0 | μA       |
| Rpullup     | プルアップ抵抗    |   | VI = 0V、Vcc = 2.2V       | 70        | 140   | 300 k    |
| Rxin        | 帰還抵抗       | XIN   |                          |           | 0.3   | M        |
| Rxcin       | 帰還抵抗       | XCIN  |                          |           | 8     | M        |
| Vram        | RAM保持電圧    |   | ストップモード時                 | 1.8       |       | V        |

注1. 指定のない場合は、1.8V Vcc < 2.7V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)、  
f(XIN) = 5MHz です。

表32.30 電気的特性(6) [ 1.8V ~ Vcc &lt; 2.7V ]

(指定のない場合は、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン))

| 記号  | 項目  | 測定条件   | 規格値   |     |     | 単位  |    |
|-----|---|--|---|-----|-----|-----|----|
|     |   |  | 最小  | 標準  | 最大  |     |    |
| Icc | 電源電流<br>(Vcc = 1.8V ~ 2.7V)<br>シングルチップモードで、出力端子は開放、その他の端子はVss | 高速クロックモード  | XIN = 5MHz (方形波)<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振 = 125kHz<br>分周なし   |     | 2.2 |     |    |
|     |   |  | XIN = 5MHz (方形波)<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振 = 125kHz<br>8分周  |     | 0.8 |     |    |
|     | 高速オンチップオシレータモード   | XINクロック停止<br>高速オンチップオシレータ発振fOCO-F = 5MHz<br>低速オンチップオシレータ発振 = 125kHz<br>分周なし  |   | 2.5 | 10  | mA  |    |
|     |   |  | XINクロック停止<br>高速オンチップオシレータ発振fOCO-F = 5MHz<br>低速オンチップオシレータ発振 = 125kHz<br>8分周  |     | 1.7 |     |    |
|     |   | XINクロック停止<br>高速オンチップオシレータ発振fOCO-F = 4MHz<br>低速オンチップオシレータ発振 = 125kHz<br>16分周<br>MSTIIC = MSTTRD = MSTTRC = "1"        |   | 1   |     | mA  |    |
|     |   |  | XINクロック停止<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振 = 125kHz<br>8分周 FMR27 = "1"、VCA20 = "0"   |     | 90  | 300 | μA |
|     | 低速クロックモード   | XINクロック停止<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振停止<br>XCINクロック発振 = 32kHz<br>分周なし<br>FMR27 = "1"、VCA20 = "0"           |   | 80  | 350 | μA  |    |
|     |   |  | XINクロック停止<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振停止<br>XCINクロック発振 = 32kHz<br>分周なし<br>RAM上のプログラム動作<br>フラッシュメモリ停止時 FMSTP= "1"、VCA20 = "0"       |     | 40  |     | μA |
|     |   | ウェイトモード  | XINクロック停止<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振 = 125kHz<br>WAIT命令実行中<br>周辺クロック動作<br>VCA27 = VCA26 = VCA25 = "0"<br>VCA20= "1"              |     | 15  | 90  | μA |
|     |   |  | XINクロック停止<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振 = 125kHz<br>WAIT命令実行中<br>周辺クロック停止<br>VCA27 = VCA26 = VCA25 = "0"<br>VCA20= "1"              |     | 4   | 80  | μA |
|     |   |  | XINクロック停止<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振停止<br>XCINクロック発振 = 32kHz(周辺クロック停止)<br>WAIT命令実行中<br>VCA27 = VCA26 = VCA25 = "0"<br>VCA20= "1" |     | 3.5 |     | μA |
|     | ストップモード   | XINクロック停止、Topr = 25<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振停止<br>CM10 = "1"<br>周辺クロック停止<br>VCA27 = VCA26 = VCA25 = "0" |   | 2.0 | 5   | μA  |    |
|     |   |  | XINクロック停止、Topr = 85<br>高速オンチップオシレータ発振停止<br>低速オンチップオシレータ発振停止<br>CM10 = "1"<br>周辺クロック停止<br>VCA27 = VCA26 = VCA25 = "0"                        |     | 5.0 |     | μA |

タイミング必要条件 (指定のない場合は、 $V_{CC} = 2.2V$ 、 $V_{SS} = 0V$ 、 $T_{OPR} = 25^\circ C$ )

表32.31 外部クロック入力(XOUT、XCIN)

| 記号             | 項目            | 規格値 |    | 単位      |
|----------------|---------------|-----|----|---------|
|                |               | 最小  | 最大 |         |
| $t_C(XOUT)$    | XOUT入力サイクル時間  | 200 |    | ns      |
| $t_{WH}(XOUT)$ | XOUT入力“H”パルス幅 | 90  |    | ns      |
| $t_{WL}(XOUT)$ | XOUT入力“L”パルス幅 | 90  |    | ns      |
| $t_C(XCIN)$    | XCIN入力サイクル時間  | 14  |    | $\mu s$ |
| $t_{WH}(XCIN)$ | XCIN入力“H”パルス幅 | 7   |    | $\mu s$ |
| $t_{WL}(XCIN)$ | XCIN入力“L”パルス幅 | 7   |    | $\mu s$ |

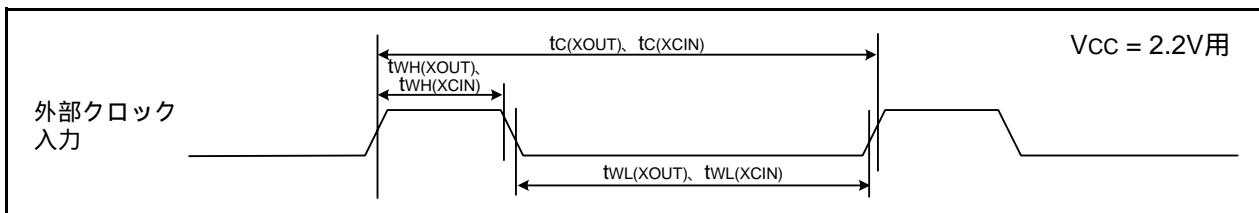


図32.16  $V_{CC} = 2.2V$  時の外部クロック入力タイミング

表32.32 TRAIO入力

| 記号              | 項目             | 規格値 |    | 単位 |
|-----------------|----------------|-----|----|----|
|                 |                | 最小  | 最大 |    |
| $t_C(TRAIO)$    | TRAIO入力サイクル時間  | 500 |    | ns |
| $t_{WH}(TRAIO)$ | TRAIO入力“H”パルス幅 | 200 |    | ns |
| $t_{WL}(TRAIO)$ | TRAIO入力“L”パルス幅 | 200 |    | ns |

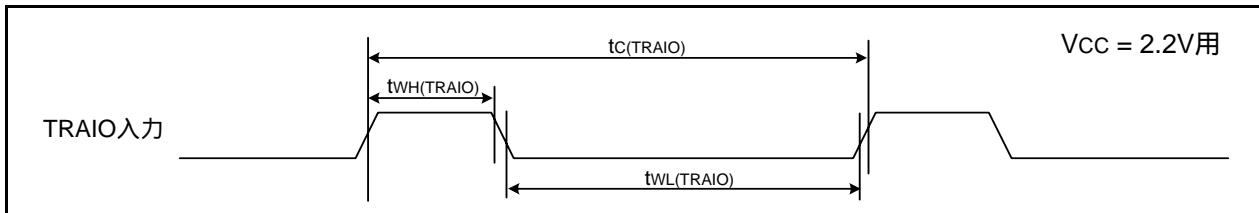
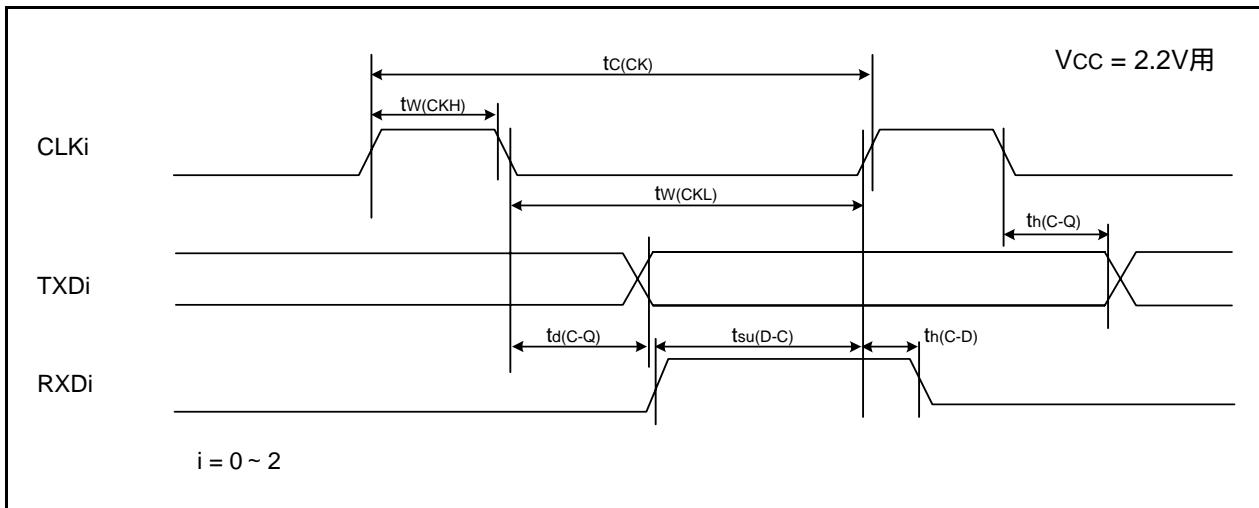


図32.17  $V_{CC} = 2.2V$  時のTRAIO入力タイミング

表32.33 シリアルインタフェース

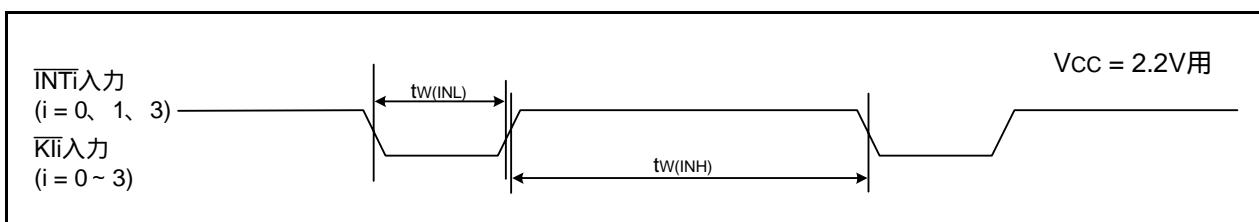
| 記号            | 項目                       | 規格値 |     | 単位 |
|---------------|--------------------------|-----|-----|----|
|               |                          | 最小  | 最大  |    |
| $t_{c(CK)}$   | CLK <i>i</i> 入力サイクル時間    | 800 |     | ns |
| $t_{W(CKH)}$  | CLK <i>i</i> 入力 "H" パルス幅 | 400 |     | ns |
| $t_{W(CKL)}$  | CLK <i>i</i> 入力 "L" パルス幅 | 400 |     | ns |
| $t_{d(C-Q)}$  | TXDi出力遅延時間               |     | 200 | ns |
| $t_{h(C-Q)}$  | TXDiホールド時間               | 0   |     | ns |
| $t_{su(D-C)}$ | RXDi入力セットアップ時間           | 150 |     | ns |
| $t_{h(C-D)}$  | RXDi入力ホールド時間             | 90  |     | ns |

 $i = 0 \sim 2$ 図32.18  $V_{CC} = 2.2V$  時のシリアルインタフェースのタイミング表32.34 外部割り込み  $\overline{INT_i}$  入力 ( $i = 0, 1, 3$ )、キー入力割り込み  $\overline{Kli}$  ( $i = 0 \sim 3$ )

| 記号           | 項目   | 規格値      |    | 単位 |
|--------------|--|----------|----|----|
|              |  | 最小       | 最大 |    |
| $t_{W(INH)}$ | $\overline{INT_i}$ 入力 "H" パルス幅、 $\overline{Kli}$ 入力 "H" パルス幅 | 1000(注1) |    | ns |
| $t_{W(INL)}$ | $\overline{INT_i}$ 入力 "L" パルス幅、 $\overline{Kli}$ 入力 "L" パルス幅 | 1000(注2) |    | ns |

注1.  $\overline{INT_i}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{INT_i}$ 入力 "H" パルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

注2.  $\overline{INT_i}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{INT_i}$ 入力 "L" パルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

図32.19  $V_{CC} = 2.2V$  時の外部割り込み  $\overline{INT_i}$  およびキー入力割り込み  $\overline{Kli}$  入力タイミング

## 33. 使用上の注意事項

### 33.1 クロック発生回路使用上の注意

#### 33.1.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを“1”(ストップモード)にしてください。命令キューはCM10ビットを“1”(ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。

CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

- ストップモードに移行するプログラム例

|            |           |                   |
|------------|-----------|-------------------|
| BCLR       | 1, FMR0   | ; CPU書き換えモード無効    |
| BCLR       | 7, FMR2   | ; 低消費電流リードモード禁止   |
| BSET       | 0, PRCR   | ; CM1レジスタへの書き込み許可 |
| FSET       | I         | ; 割り込み許可          |
| BSET       | 0, CM1    | ; ストップモード         |
| JMP.B      | LABEL_001 |                   |
| LABEL_001: |           |                   |
| NOP        |           |                   |

#### 33.1.2 ウェイトモード

CM30ビットを“1”にしてウェイトモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM30ビットを“1”にしてください。

WAIT命令でウェイトモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。命令キューはCM30ビットを“1”(ウェイトモードに移行する)にする命令、またはWAIT命令から4バイト先読みしてプログラムが停止します。CM30ビットを“1”(ウェイトモードに移行する)にする命令、またはWAIT命令の後にはNOP命令を最低4つ入れてください。

- WAIT命令を実行するプログラム例

|      |         |                 |
|------|---------|-----------------|
| BCLR | 1, FMR0 | ; CPU書き換えモード無効  |
| BCLR | 7, FMR2 | ; 低消費電流リードモード禁止 |
| FSET | I       | ; 割り込み許可        |
| WAIT |         | ; ウェイトモード       |
| NOP  |         |                 |

- CM30ビットを“1”を実行するプログラム例

|      |         |                   |
|------|---------|-------------------|
| BCLR | 1, FMR0 | ; CPU書き換えモード無効    |
| BCLR | 7, FMR2 | ; 低消費電流リードモード禁止   |
| BSET | 0, PRCR | ; CM3レジスタへの書き込み許可 |
| FCLR | I       | ; 割り込み禁止          |
| BSET | 0, CM3  | ; ウェイトモード         |
| NOP  |         |                   |
| BCLR | 0, PRCR | ; CM3レジスタへの書き込み禁止 |
| FSET | I       | ; 割り込み許可          |

### 33.1.3 発振停止検出機能

XIN クロックの周波数が 2MHz 未満の場合、発振停止検出機能は使用できませんので、OCD1 ~ OCD0 ビットを “00b” にしてください。

### 33.1.4 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

電源電圧 VCC=2.7V 未満でご使用になる場合は、CM1 レジスタの CM11 ビットを “1”(内蔵帰還抵抗無効)にし、外部に帰還抵抗を接続することを推奨します。

## 33.2 割り込み使用上の注意

### 33.2.1 00000h 番地の読み出し

プログラムで 00000h 番地を読まないでください。マスカブル割り込みの割り込み要求を受け付けた場合、CPU は割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を 00000h 番地から読みます。このとき、受け付けられた割り込みの IR ビットが “0” になります。

プログラムで 00000h 番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みの IR ビットが “0” になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

### 33.2.2 SP の設定

割り込みを受け付ける前に、SP に値を設定してください。リセット後、SP は “0000h” です。そのため、SP に値を設定する前に割り込みを受け付けると、暴走の要因となります。

### 33.2.3 外部割り込み、キー入力割り込み

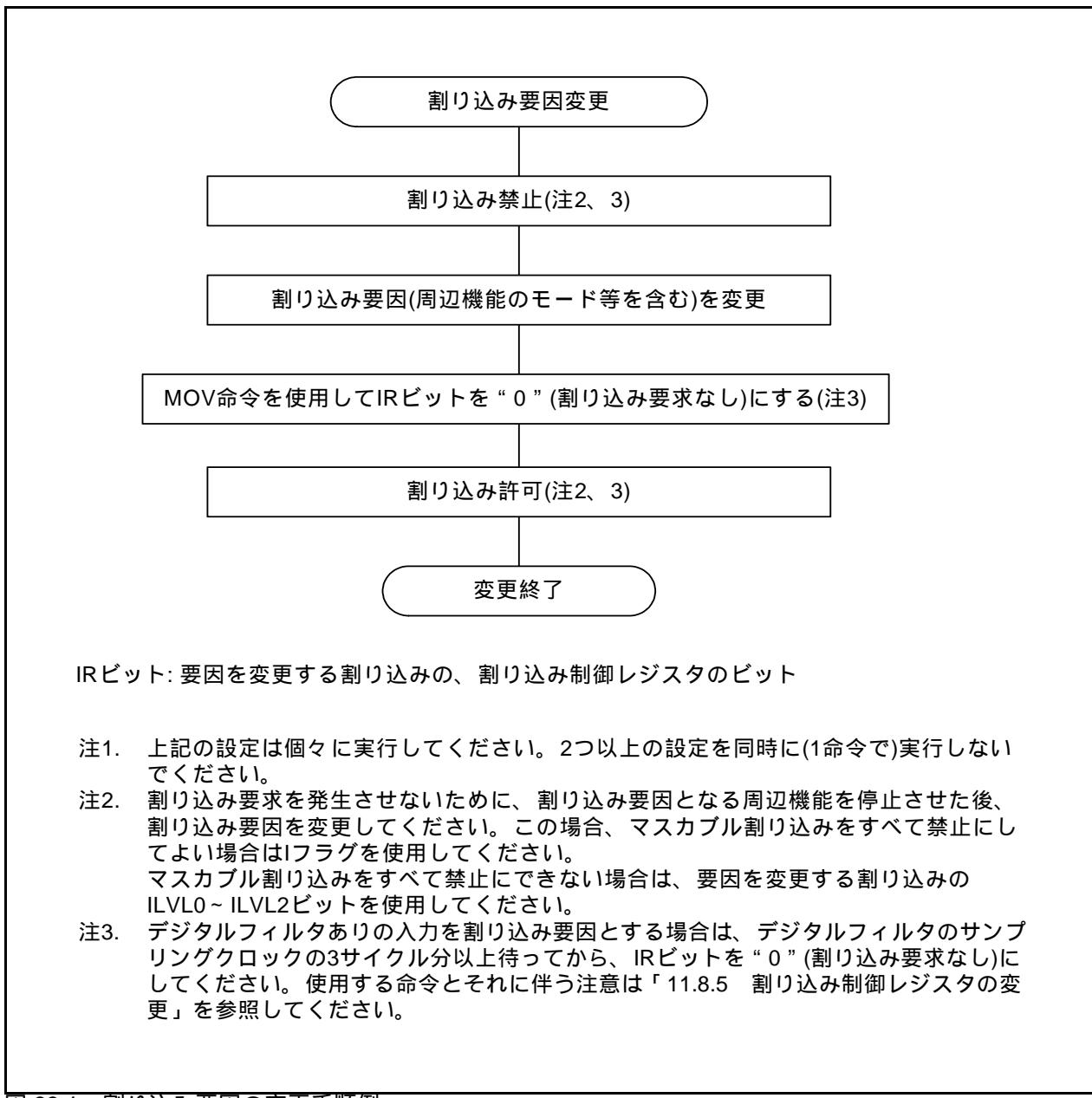
INT0、INT1、INT3 端子、KI0 ~ KI3 端子に入力する信号には、CPU の動作クロックに関係なく電気的特性の外部割り込み INT<sub>i</sub> 入力 (<sub>i</sub> = 0, 1, 3) に示す“L”レベル幅、または“H”レベル幅が必要です。(詳細は「表32.22(Vcc = 5V)、表32.28(Vcc = 3V)、表32.34(Vcc = 2.2V) 外部割り込み INT<sub>i</sub> 入力 (<sub>i</sub> = 0, 1, 3)、キー入力割り込み KI<sub>i</sub> (<sub>i</sub> = 0 ~ 3)」を参照。)

### 33.2.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図33.1に割り込み要因の変更手順例を示します。



IRビット: 要因を変更する割り込みの、割り込み制御レジスタのビット

- 注1. 上記の設定は個々に実行してください。2つ以上の設定を同時に(1命令で)実行しないでください。
- 注2. 割り込み要求を発生させないために、割り込み要因となる周辺機能を停止させた後、割り込み要因を変更してください。この場合、マスカブル割り込みをすべて禁止にしてよい場合はIFラグを使用してください。  
マスカブル割り込みをすべて禁止にできない場合は、要因を変更する割り込みのILVL0～ILVL2ビットを使用してください。
- 注3. デジタルフィルタありの入力を割り込み要因とする場合は、デジタルフィルタのサンプリングクロックの3サイクル分以上待ってから、IRビットを“0”(割り込み要求なし)にしてください。使用する命令とそれに伴う注意は「11.8.5 割り込み制御レジスタの変更」を参照してください。

図33.1 割り込み要因の変更手順例

### 33.2.5 割り込み制御レジスタの変更

- (a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。
- (b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

#### IR ビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IR ビットが“1”(割り込み要求あり)にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令 ..... AND、OR、BCLR、BSET

#### IR ビットの変更

IR ビットを“0”(割り込み要求なし)にする場合、使用する命令によっては IR ビットが“0”にならないことがあります。IR ビットは MOV 命令を使用して“0”にしてください。

- (c) I フラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがって I フラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は (b) を参照してください。)

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前に I フラグが“1”(割り込み許可)になることを防ぐ方法です。

#### 例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

INT\_SWITCH1:

```
FCLR    I          ; 割り込み禁止
AND.B   #00H, 0056H ; TRAIC レジスタを“00h”にする
NOP
NOP
FSET    I          ; 割り込み許可
```

#### 例2：ダミーリードで FSET 命令を待たせる例

INT\_SWITCH2:

```
FCLR    I          ; 割り込み禁止
AND.B   #00H, 0056H ; TRAIC レジスタを“00h”にする
MOV.W   MEM, R0    ; ダミーリード
FSET    I          ; 割り込み許可
```

#### 例3：POPC命令でIフラグを変更する例

INT\_SWITCH3:

```
PUSHC  FLG
FCLR   I          ; 割り込み禁止
AND.B   #00H, 0056H ; TRAIC レジスタを“00h”にする
POPC   FLG        ; 割り込み許可
```

### 33.3 ID コード領域使用上の注意

#### 33.3.1 ID コード領域の設定例

ID コード領域はフラッシュメモリ上にあり、SFR ではありません。ROM データとして、プログラムで適切な値を設定してください。次に設定例を示します。

- ID コード領域すべてに “ 55h ” を設定する場合

```
.org 00FFDCH
.lword dummy | (55000000h)      ; UND
.lword dummy | (55000000h)      ; INTO
.lword dummy ; BREAK
.lword dummy | (55000000h)      ; ADDRESS MATCH
.lword dummy | (55000000h)      ; SET SINGLE STEP
.lword dummy | (55000000h)      ; WDT
.lword dummy | (55000000h)      ; ADDRESS BREAK
.lword dummy | (55000000h)      ; RESERVE
```

( プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。 )

### 33.4 オプション機能選択領域使用上の注意

#### 33.4.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリ上にあり、SFR ではありません。ROM データとして、プログラムで適切な値を設定してください。次に設定例を示します。

- OFS レジスタに “ FFh ” を設定する場合

```
.org 00FFFCH
.lword reset | (OFF000000h)      ; RESET
```

( プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。 )

- OFS2 レジスタに “ FFh ” を設定する場合

```
.org 00FFDBH
.byte OFFh
```

( プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。 )

## 33.5 DTC 使用上の注意

### 33.5.1 DTC 起動要因

- ウェイトモード移行前、またはウェイトモード中に、DTC起動要因を発生させないでください。
- ストップモード移行前、またはストップモード中に、DTC起動要因を発生させないでください。

### 33.5.2 DTCENi(i=0 ~ 3、5、6) レジスタ

- DTCENi0 ~ DTCENi7 ビットは、そのビットに対応する割り込み要求が発生しない箇所で変更してください。
- 周辺機能のステータスレジスタの割り込み要因フラグが“1”的とき、対応する起動要因のDTCENi0 ~ DTCENi7 ビットを変化させないでください。
- DTC転送でDTCENi レジスタをアクセスしないでください。

### 33.5.3 周辺モジュール

- DTC転送で周辺機能のステータスレジスタのビットを“0”にしないでください。
- DTC起動要因がSSU/I<sup>2</sup>Cバス受信データフルのときは、DTC転送でSSRDR/ICDRR レジスタを読んでください。  
SSRDR/ICDRR レジスタを読むことで、SSSR/ICSR レジスタのRDRFビットが“0”(SSRDR/ICDRR レジスタにデータなし)になります。  
ただし、DTCのデータ転送の設定が
  - ノーマルモードかつDTCC(j=j=0 ~ 23)レジスタが“1”から“0”になる転送
  - リピートモードかつDTCCRj レジスタのRPTINT ビットが“1”(割り込み発生許可)かつDTCC(j)レジスタが“1”から“0”になる転送のときには、SSRDR/ICDRR レジスタを読んでもSSSR/ICSR レジスタのRDRF ビットは“0”(SSRDR/ICDRR レジスタにデータなし)になりません。
- DTC起動要因がSSU/I<sup>2</sup>Cバス送信データエンプティのときは、DTC転送でSSTDRT/ICDRT レジスタへ書いてください。SSTDRT/ICDRT レジスタへ書くことで、SSSR/ICSR レジスタのTDRE ビットが“0”(SSTDRT/ICDRT レジスタからSSTRSR/ICDRS レジスタにデータ転送されていない)になります。

### 33.5.4 割り込み要求

DTC起動要因がSSU/I<sup>2</sup>C送信データエンプティまたはフラッシュレディステータスのとき、DTCがノーマルモードでDTCC(j=j=0 ~ 23)レジスタが“0”になるデータ転送を実行するとき、およびリピートモードでDTCCRj レジスタのRPTINT ビットが“1”(割り込み発生許可)かつDTCC(j)レジスタが“0”になるデータ転送を実行するとき、DTC動作中にCPUに対して起動要因となった割り込み要求を発生しません。

### 33.6 タイマRA使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケーラに値を設定した後、カウントを開始してください。
  - プリスケーラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
  - パルス幅測定モードおよびパルス周期測定モードで使用する TRACR レジスタの TEDGF ビットと TUNDF ビットは、プログラムで “0” を書くと “0” になり、“1” を書いても変化しません。TRACR レジスタにリードモディファイライト命令を使用した場合、命令実行中に TEDGF ビット、TUNDF ビットが “1” になっても “0” にする場合があります。このとき、“0” にしたくないTEDGFビット、TUNDFビットにはMOV命令で “1” を書いてください。
  - 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGF ビットと TUNDF ビットは不定です。TEDGF ビットと TUNDF ビットに “0” を書いてから、タイマ RA のカウントを開始してください。
  - カウント開始後に初めて発生するタイマ RA プリスケーラのアンダーフロー信号で、TEDGF ビットが “1” になる場合があります。
  - パルス周期測定モードを使用する場合は、カウント開始直後にタイマ RA プリスケーラの2周期以上の時間を空けて、TEDGF ビットを “0” にしてから使用してください。
  - カウント停止中に TSTART ビットに “1” を書いた後は、カウントソースの 0 ~ 1 サイクルの間、TCSTF ビットは “0” になっています。
- TCSTF ビットが “1” になるまで、TCSTF ビットを除くタイマ RA 関連レジスタ(注1)をアクセスしないでください。
- TCSTF ビットが “1” になった後の最初のカウントソースの有効エッジからカウントを開始します。カウント中に TSTART ビットに “0” を書いた後は、カウントソースの 0 ~ 1 サイクルの間、TCSTF ビットは “1” になっています。TCSTF ビットが “0” になったときカウントは停止します。
- TCSTF ビットが “0” になるまで、TCSTF ビットを除くタイマ RA 関連レジスタ(注1)をアクセスしないでください。

注1. タイマ RA 関連レジスタ : TRACR、TRAI0C、TRAMR、TRAPRE、TRA

- カウント中(TCSTF ビットが “1”)に TRAPRE レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- カウント中(TCSTF ビットが “1”)に TRA レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダーフローの3周期以上空けてください。

### 33.7 タイマRB使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケーラに値を設定した後、カウントを開始してください。
- プリスケーラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBCR レジスタのTSTART ビットを“0”にしてカウントを停止したとき、またはTRBOCR レジスタのTOSSP ビットを“1”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTART ビットに“1”を書いた後は、カウントソースの1～2サイクルの間、TCSTF ビットは“0”になっています。

TCSTF ビットが“1”になるまで、TCSTF ビットを除くタイマ RB 関連レジスタ(注1)をアクセスしないでください。

カウント中にTSTART ビットに“0”を書いた後は、カウントソースの1～2サイクルの間、TCSTF ビットは“1”になっています。TCSTF ビットが“0”になったときカウントは停止します。

TCSTF ビットが“0”になるまで、TCSTF ビットを除くタイマ RB 関連レジスタ(注1)をアクセスしないでください。

注1. タイマ RB 関連レジスタ：TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPREG、TRBSC、TRBPR

- カウント中にTRBCR レジスタのTSTOP ビットに“1”を書くと、すぐにタイマ RB は停止します。
- TRBOCR レジスタのTOSSST ビットまたはTOSSP ビットに“1”を書くと、カウントソースの1～2サイクル後にTOSSSTF ビットが変化します。TOSSST ビットに“1”を書いてからTOSSSTF ビットが“1”になるまでの期間にTOSSP ビットに“1”を書いた場合、内部の状態によってTOSSSTF ビットが“0”になる場合と、“1”になる場合があります。TOSSP ビットに“1”を書いてからTOSSSTF ビットが“0”になるまでの期間にTOSSST ビットに“1”を書いた場合も同様に、TOSSSTF ビットは“0”になるか“1”になるかわかりません。
- タイマ RA のアンダフロー信号をタイマ RB のカウントソースにする場合、タイマ RA はタイマモード、パルス出力モード、またはイベントカウントモードに設定してください。

#### 33.7.1 タイマモード

カウント中(TRBCR レジスタのTCSTF ビットが“1” )にTRBPREG レジスタ、TRBPR レジスタに書き込む場合は、下記の点に注意してください。

- TRBPREG レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPR レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダフローの3周期以上空けてください。

#### 33.7.2 プログラマブル波形発生モード

カウント中(TRBCR レジスタのTCSTF ビットが“1” )にTRBPREG レジスタ、TRBPR レジスタに書き込む場合は、下記の点に注意してください。

- TRBPREG レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPR レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダフローの3周期以上空けてください。

### 33.7.3 プログラマブルワンショット発生モード

カウント中(TRBCR レジスタのTCSTF ビットが“1”)にTRBPRE レジスタ、TRBPR レジスタに書き込む場合は下記の点に注意してください。

- TRBPRE レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPR レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダーフローの3周期以上空けてください。

### 33.7.4 プログラマブルウェイトワンショット発生モード

カウント中(TRBCR レジスタのTCSTF ビットが“1”)にTRBPRE レジスタ、TRBPR レジスタに書き込む場合は下記の点に注意してください。

- TRBPRE レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPR レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダーフローの3周期以上空けてください。

## 33.8 タイマRC使用上の注意

### 33.8.1 TRC レジスタ

- TRCCR1 レジスタの CCLR ビットを “1” (TRCGRA レジスタとのコンペア一致で TRC レジスタをクリア) にしている場合に、次の注意事項が該当します。
 

TRCMR レジスタの TSTART ビットが “1” (カウント開始) の状態で、プログラムで TRC レジスタに値を書き込む場合は、TRC レジスタが “0000h” になるタイミングと重ならないように書いてください。

TRC レジスタが “0000h” になるタイミングと、TRC レジスタへの書き込むタイミングが重なると、値は書き込まれず、TRC レジスタが “0000h” になります。
- TRC レジスタに書いた後、TRC レジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B 命令を実行してください。

|        |                          |
|--------|--------------------------|
| プログラム例 | MOV.W #XXXXh, TRC ; 書き込み |
|        | JMP.B L1 ; JMP.B 命令      |
| L1:    | MOV.W TRC,DATA ; 読み出し    |

### 33.8.2 TRCSR レジスタ

TRCSR レジスタに書いた後、TRCSR レジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B 命令を実行してください。

|        |                          |
|--------|--------------------------|
| プログラム例 | MOV.B #XXh, TRCSR ; 書き込み |
|        | JMP.B L1 ; JMP.B 命令      |
| L1:    | MOV.B TRCSR,DATA ; 読み出し  |

### 33.8.3 TRCCR1 レジスタ

TRCCR1 レジスタの TCK2 ~ TCK0 ビットを “111b” (fOCO-F) にするときは、CPU クロックより速いクロック周波数に fOCO-F を設定してください。

### 33.8.4 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。
 

変更手順

  - (1) TRCMR レジスタの TSTART ビットを “0” (カウント停止) にする
  - (2) TRCCR1 レジスタの TCK2 ~ TCK0 ビットを変更する
- カウントソースを fOCO40M からその他のクロックに変更し、fOCO40M を停止させる場合は、クロック切り替え設定後、f1 の 2 サイクル以上待ってから fOCO40M を停止させてください。
 

変更手順

  - (1) TRCMR レジスタの TSTART ビットを “0” (カウント停止) にする
  - (2) TRCCR1 レジスタの TCK2 ~ TCK0 ビットを変更する
  - (3) f1 の 2 サイクル以上待つ
  - (4) FRA0 レジスタの FRA00 ビットを “0” (高速オンチップオシレータ停止) にする

- カウントソースを fOCO-F から fOCO40M に変更し、fOCO-F を停止させる場合は、クロック切り替え設定後、fOCO-F の 2 サイクル以上待ってから fOCO-F を停止させてください。

変更手順

- (1) TRCMR レジスタの TSTART ビットを “0”(カウント停止)にする
- (2) TRCCR1 レジスタの TCK2 ~ TCK0 ビットを変更する
- (3) fOCO-F の 2 サイクル以上待つ
- (4) FRA0 レジスタの FRA00 ビットを “0”(高速オンチップオシレータ停止)にする

- カウントソースを fOCO-F から fOCO40M 以外のクロックに変更し、fOCO-F を停止させる場合は、クロック切り替え設定後、fOCO-F の 1 サイクル + fOCO40M の 1 サイクル以上待ってから fOCO-F を停止させてください。

変更手順

- (1) TRCMR レジスタの TSTART ビットを “0”(カウント停止)にする
- (2) TRCCR1 レジスタの TCK2 ~ TCK0 ビットを変更する
- (3) fOCO-F の 1 サイクル + fOCO40M の 1 サイクル以上待つ
- (4) FRA0 レジスタの FRA00 ビットを “0”(高速オンチップオシレータ停止)にする

### 33.8.5 インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅については、次のように設定してください。  
[デジタルフィルタなしの場合]  
タイマRCの動作クロックの3サイクル分以上(「表 19.1 タイマRCの動作クロック」参照)  
[デジタルフィルタありの場合]  
デジタルフィルタのサンプリングクロックの5サイクル分 + タイマRCの動作クロックの3サイクル分以上(「図19.5 デジタルフィルタのブロック図」参照)
- TRCIOj(j = A, B, C, D のいずれか)端子にインプットキャプチャ信号が入力されてから、タイマRCの動作クロックの1 ~ 2 サイクル後に TRC レジスタの値を TRCGRj レジスタに転送します  
(デジタルフィルタなしの場合)

### 33.8.6 PWM2 モード時のTRCMR レジスタ

TRCCR2 レジスタの CSEL ビットが “1”(TRCGRA レジスタとのコンペア一致でカウント停止)のとき、TRC レジスタと TRCGRA レジスタのコンペア一致が発生するタイミングで、TRCMR レジスタに書かないでください。

### 33.8.7 カウントソース fOCO40M

カウントソース fOCO40M については、電源電圧 VCC=2.7 ~ 5.5V の範囲で使用することができます。これ以外の電源電圧では、TRCCR1 レジスタの TCK2 ~ TCK0 ビットを “110b”(fOCO40M をカウントソースに選択)にしないでください。

### 33.9 タイマRE使用上の注意

#### 33.9.1 カウント開始、停止

タイマREにはカウント開始または停止を指示するためのTSTARTビットと、カウントが開始または停止したこと示すTCSTFビットがあります。TSTARTビットとTCSTFビットはともにTRECR1レジスタにあります。

TSTARTビットを“1”(カウント開始)にするとタイマREがカウントを開始し、TCSTFビットが“1”(カウント開始)になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くタイマRE関連レジスタ(注1)をアクセスしないでください。

同様に、TSTARTビットを“0”(カウント停止)にするとタイマREがカウントを停止し、TCSTFビットが“0”(カウント停止)になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの2サイクル分の時間がかかります。この間、TCSTFビットを除くタイマRE関連レジスタをアクセスしないでください。

注1. タイマRE関連レジスタ : TRESEC、TREMIN、TREHR、TREWK、TRECR1、TRECR2、TRECSR

#### 33.9.2 レジスタ設定

次のレジスタやビットは、タイマREが停止中に書いてください。

- TRESEC、TREMIN、TREHR、TREWK、TRECR2レジスタ
- TRECR1レジスタのH12\_H24ビット、PMビット、INTビット
- TRECSRレジスタのRCS0 ~ RCS3ビット

タイマREが停止中とは、TRECR1レジスタのTSTARTビットとTCSTFビットがともに“0”(タイマRE停止)の状態を指します。

また、TRECR2レジスタは、上記のレジスタやビットの設定の最後(タイマREカウント開始の直前)に設定してください。

図33.2にリアルタイムクロックモード時の設定例を示します。

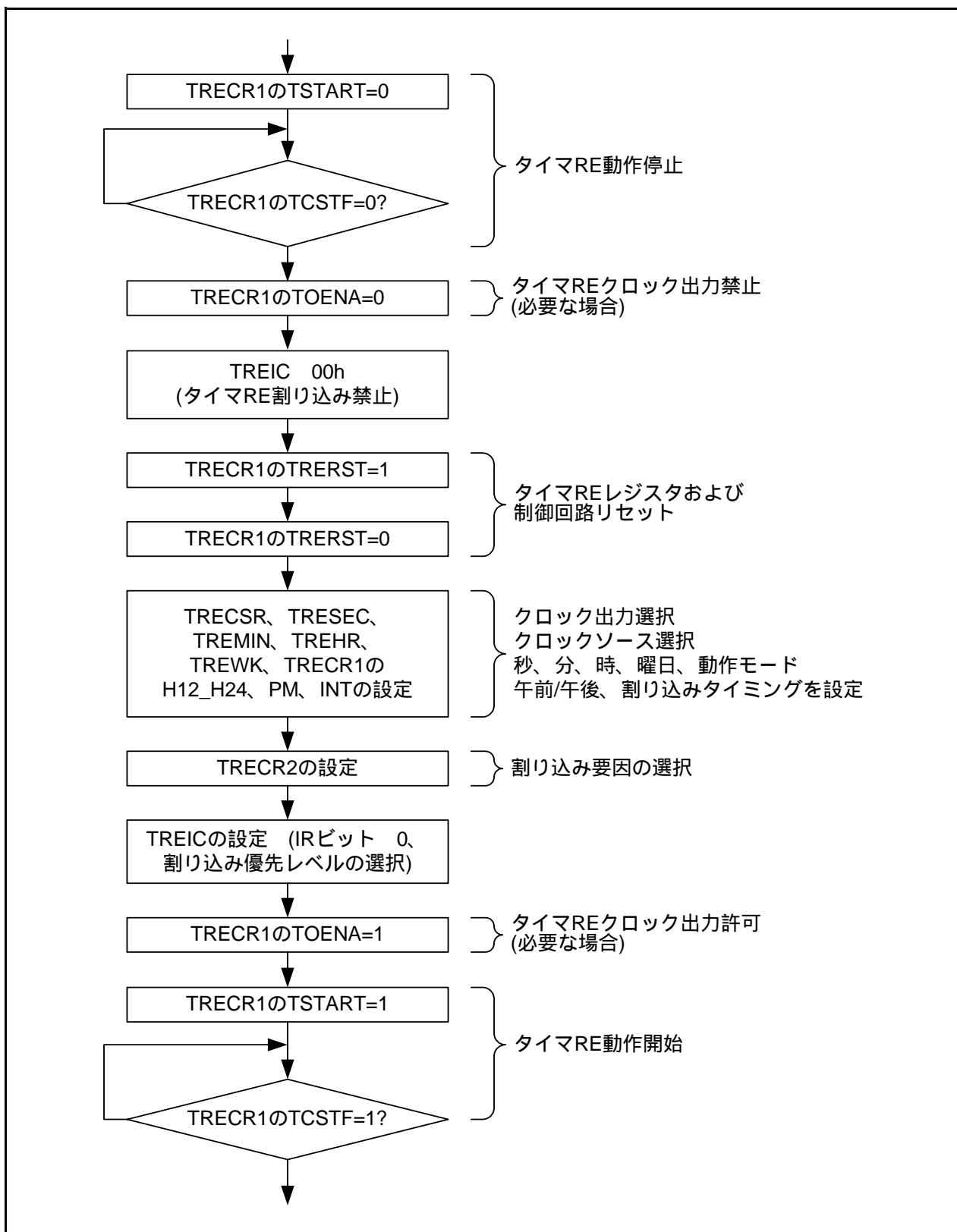


図 33.2 リアルタイムクロックモード時の設定例

### 33.9.3 リアルタイムクロックモードの時刻読み出し手順

リアルタイムクロックモードでは、時刻データの更新時、TRESEC、TREMIN、TREHR、TREWK レジスタ、TRECR1 レジスタの PM ビットは BSY ビットが “0”（データ更新中ではない）ときに読み出してください。

また、複数のレジスタを読み出す場合、あるレジスタを読んだ後、別のレジスタを読むまでにデータが更新されると、結果的に誤った時刻を採用してしまいます。

これらを回避するための読み出し手順例を示します。

- 割り込みを使用する方法

タイマ RE 割り込みルーチン内で、TRESEC、TREMIN、TREHR、TREWK レジスタ、TRECR1 レジスタの PM ビットのうち、必要な内容を読み出す。

- プログラムで監視する方法1

プログラムで TREIC レジスタの IR ビットを監視し、“1”（タイマ RE 割り込み要求発生）になったら、TRESEC、TREMIN、TREHR、TREWK レジスタ、TRECR1 レジスタの PM ビットのうち、必要な内容を読み出す。

- プログラムで監視する方法2

- (1) BSY ビットを監視する。
- (2) BSY ビットが“1”になったら、“0”になるまで監視する（BSY ビットが“1”的期間は約 62.5ms）。
- (3) BSY ビットが“0”になったら、TRESEC、TREMIN、TREHR、TREWK レジスタ、TRECR1 レジスタの PM ビットのうち、必要な内容を読み出す。

- 読み出した結果が2回同じであれば採用する方法

- (1) TRESEC、TREMIN、TREHR、TREWK レジスタ、TRECR1 レジスタの PM ビットのうち、必要な内容を読み出す。
- (2) (1)と同じレジスタを読み出し、内容を比較する。
- (3) 一致すれば正しい値として採用する。一致しなければ読み出した値が、前回の値と一致するまで繰り返す。

なお、複数のレジスタを読み出す場合は、できるだけ連続して読み出す。

### 33.10 シリアルインタフェース(UARTi (i=0 ~ 1)) 使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、UiRB(i=0 ~ 1)レジスタを読み出すときは、必ず16ビット単位で読み出してください。

UiRBレジスタのPER、FERビットとUiC1レジスタのRIビットは、UiRBレジスタの上位バイトを読み出したとき、“0”になります。

受信エラーはUiRBレジスタを読み出し後、読み出した値で確認してください。

<受信バッファレジスタを読み出すプログラム例>

```
MOV.W 00A6H, R0 ; U0RB レジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、UiTBレジスタに書くときは、上位バイト 下位バイトの順で、8ビット単位で書いてください。

<送信バッファレジスタに書き込むプログラム例>

```
MOV.B #XXH, 00A3H ; U0TB レジスタの上位バイトへの書き込み  
MOV.B #XXH, 00A2H ; U0TB レジスタの下位バイトへの書き込み
```

### 33.11 シリアルインタフェース(UART2)使用上の注意

#### 33.11.1 クロック同期形シリアルI/Oモード

##### 33.11.1.1 送受信

外部クロック選択時、RTS機能を選択した場合は、受信可能状態になるとRTS2端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されるとRTS2端子の出力レベルは“H”になります。このため、RTS2端子を送信側のCTS2端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時はRTS機能は無効です。

##### 33.11.1.2 送信

外部クロックを選択している場合、U2C0 レジスタの CKPOL ビットが“0”(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”的状態で、CKPOL ビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”的状態で次の条件を満たしてください。

- U2C1 レジスタの TE ビットが“1”(送信許可)
- U2C1 レジスタの TI ビットが“0”(U2TB レジスタにデータあり)
- CTS機能を選択している場合、CTS2端子の入力が“L”

##### 33.11.1.3 受信

クロック同期形シリアルI/O では送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXD2端子からはダミーデータが外部に出力されます。

内部クロック選択時はU2C1 レジスタの TE ビットを“1”(送信許可)にし、ダミーデータを U2TB レジスタに設定するとシフトクロックが発生します。外部クロック選択時はTE ビットを“1”にし、ダミーデータを U2TB レジスタに設定し、外部クロックが CLK2 端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、U2C1 レジスタの RE ビットが“1”(U2RB レジスタにデータあり)でUART2受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、U2RB レジスタの OER ビットが“1”(オーバランエラー発生)になります。この場合、U2RB レジスタは不定ですので、オーバランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバランエラーが発生したときは S2RIC レジスタの IR ビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとに U2TB レジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、CKPOL ビットが“0”的状態で外部クロックが“H”的状態で、CKPOL ビットが“1”的状態で外部クロックが“L”的状態で次の条件を満たしてください。

- U2C1 レジスタの RE ビットが“1”(受信許可)
- U2C1 レジスタの TE ビットが“1”(送信許可)
- U2C1 レジスタの TI ビットが“0”(U2TB レジスタにデータあり)

### 33.11.2 特殊モード1(I<sup>2</sup>C モード)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、U2SMR4 レジスタの STSPSEL ビットを “0” にした後、転送クロックの半サイクル以上待ってから、各コンディション生成ビット(STAREQ、RSTAREQ、STPREQ)を “0” から “1” にしてください。

### 33.12 シンクロナスシリアルコミュニケーションユニット使用上の注意

シンクロナスシリアルコミュニケーションユニットを使用する場合には、SSUIICSR レジスタの IICSEL ビットを “0”(SSU 機能を選択)にしてください。

### 33.13 I<sup>2</sup>C バスインターフェース使用上の注意

I<sup>2</sup>C バスインターフェースを使用する場合には、SSUIICSR レジスタの IICSEL ビットを “1”(I<sup>2</sup>C バスインターフェース機能を選択)にしてください。

### 33.14 ハードウェア LIN 使用上の注意

ヘッダフィールドおよびレスポンスフィールドのタイムアウト処理は、Sync Break 検出割り込みを起点に他のタイマで時間計測を行ってください。

### 33.15 A/D コンバータ使用上の注意

- ADMOD レジスタ、ADINSEL レジスタ、ADCON0 レジスタ(ADST ビットを除く)、ADCON1 レジスタ、OCVREFCR レジスタに対する書き込みは、A/D 変換停止時(トリガ発生前)に行ってください。
- 繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、A/D 変換中の CPU クロックには、A/D コンバータの動作クロック AD 以上の周波数を選択してください。  
AD に fOCO-F を選択しないでください。
- VREF 端子と AVSS 端子間に 0.1 μF のコンデンサを接続してください。
- A/D 変換中はストップモードに移行しないでください。
- A/D 変換中は CM0 レジスタの CM02 ビットの状態 (“1”(ウェイトモード時、周辺機能クロックを停止する)、“0”(ウェイトモード時、周辺機能クロックを停止しない))にかかわらず、ウェイトモードに移行しないでください。
- A/D 変換中は FMR0 レジスタの FMSTP ビットを “1”(フラッシュメモリ停止)、および FMR27 ビットを “1”(低消費電流リードモード許可)にすると、A/D 変換結果が不定になるため、この設定をしないでください。
- fOCO-F が停止しているときは、ADMOD レジスタの CKS2 ビットを変更しないでください。
- A/D 変換動作中に、プログラムで ADCON0 レジスタの ADST ビットを “0”(A/D 変換停止)にして強制終了した場合、A/D コンバータの変換結果は不定となり、割り込み要求は発生しません。また、A/D 変換していない ADi レジスタも、不定になる場合があります。  
プログラムで ADST ビットを “0” にした場合は、すべての ADi レジスタの値を使用しないでください。

## 33.16 フラッシュメモリ使用上の注意

### 33.16.1 CPU書き換えモード

#### 33.16.1.1 使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

#### 33.16.1.2 割り込み

表33.1～表33.3にCPU書き換えモード時の割り込みを示します。

表33.1 CPU書き換えモード時の割り込み(1)

| モード | イレーズ/<br>ライト対象 | 状態                               | マスカブル割り込み   |
|-----|----------------|----------------------------------|---|
| EW0 | データ<br>フラッシュ   | 自動消去中<br>(suspend有効)             | 割り込み要求を受け付けると、割り込み処理を実行します。<br>FMR22ビットが“1”(割り込み要求でイレーズサスPENDリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスPENDリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。<br>FMR22ビットが“0”(割り込み要求でイレーズサスPENDリクエスト禁止)でイレーズサスPENDが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。<br>自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”(イレーズリスタート)にすることで、自動消去を再開することができます。 |
|     |                | 自動消去中<br>(suspend無効またはFMR22=“0”) | 自動消去、自動書き込みは実行したまま、割り込み処理を実行します。  |
|     |                | 自動書き込み中                          |   |
|     | プログラム<br>ROM   | 自動消去中<br>(suspend有効)             | ベクタをRAMに配置することで使用できます。  |
|     |                | 自動消去中<br>(suspend無効)             |   |
|     |                | 自動書き込み中                          |   |
| EW1 | データ<br>フラッシュ   | 自動消去中<br>(suspend有効)             | 割り込み要求を受け付けると、割り込み処理を実行します。<br>FMR22ビットが“1”的場合は、自動でFMR21ビットが“1”になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。<br>FMR22ビットが“0”でイレーズサスPENDが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。<br>自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”にすることで、自動消去を再開することができます。   |
|     |                | 自動消去中<br>(suspend無効またはFMR22=“0”) | 自動消去、自動書き込みは実行したまま、割り込み処理を実行します。  |
|     |                | 自動書き込み中                          |   |
|     | プログラム<br>ROM   | 自動消去中<br>(suspend有効)             | td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR21ビットを“0”にすることで、自動消去を再開することができます。<br>自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。   |
|     |                | 自動消去中<br>(suspend無効またはFMR22=“0”) | 自動消去、自動書き込みが優先され、割り込み要求が待たれます。自動消去、自動書き込みが終了した後、割り込み処理を実行します。   |
|     |                | 自動書き込み中                          |   |

FMR21、FMR22 : FMR2レジスタのビット

表33.2 CPU書き換えモード時の割り込み(2)

| モード          | イレーズ/<br>ライト対象 | 状態                               | ・ウォッチドッグタイマ<br>・発振停止検出<br>・電圧監視2<br>・電圧監視1<br>・NMI<br>(注1)   | ・未定義命令<br>・INTO命令<br>・BRK命令<br>・シングルステップ<br>・アドレス一致<br>・アドレスブレイク<br>(注1)  |
|--------------|----------------|----------------------------------|--|---|
| EW0          | データ<br>フラッシュ   | 自動消去中<br>(suspend有効)             | 割り込み要求を受け付けると、割り込み処理を実行します。<br>FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。<br>FMR22ビットが“0”(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。<br>自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”(イレーズリストア)にすることで、自動消去を再開することができます。 | 割り込み要求を受け付けると、割り込み処理を実行します。<br>イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。<br>自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR2レジスタのFMR21ビットを“0”にすることで、自動消去を再開することができます。 |
|              |                | 自動消去中<br>(suspend無効またはFMR22=“0”) | 自動消去、自動書き込みは実行したまま、割り込み処理を実行します。   |   |
|              |                | 自動書き込み中                          |  |   |
| プログラム<br>ROM |                | 自動消去中<br>(suspend有効)             | 割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。  | 自動消去、自動書き込み中は使用しないでください。  |
|              |                | 自動消去中<br>(suspend無効)             | 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。  |   |
|              |                | 自動書き込み中                          |  |   |

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスクブル割り込みを使用しないでください。

表33.3 CPU書き換えモード時の割り込み(3)

| モード          | イレーズ/<br>ライト対象       | 状態                               | ・ウォッチドッグタイマ<br>・発振停止検出<br>・電圧監視2<br>・電圧監視1<br>・NMI<br>(注1)  | ・未定義命令<br>・INTO命令<br>・BRK命令<br>・シングルステップ<br>・アドレス一致<br>・アドレスブレイク (注1)  |
|--------------|----------------------|----------------------------------|---|--|
| EW1          | データ<br>フラッシュ         | 自動消去中<br>(suspend有効)             | 割り込み要求を受け付けると、割り込み処理を実行します。<br>FMR22ビットが“1”の場合は、自動でFMR21ビットが“1”になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。<br>FMR22ビットが“0”でイレーズサスPENDが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。<br>自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”にすることで、自動消去を再開することができます。     | 割り込み要求を受け付けると、割り込み処理を実行します。<br>イレーズサスPENDが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。<br>自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR2レジスタのFMR21ビットを“0”にすることで、自動消去を再開することができます。 |
|              |                      | 自動消去中<br>(suspend無効またはFMR22=“0”) | 自動消去、自動書き込みは実行したまま、割り込み処理を実行します。  |  |
|              |                      | 自動書き込み中                          |   |  |
| プログラム<br>ROM | 自動消去中<br>(suspend有効) | 自動消去中<br>(suspend有効)             | 割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。<br>自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスPEND機能を使用して、定期的にウォッチドッグタイマを初期化してください。 | 自動消去、自動書き込み中は使用できません。  |
|              |                      | 自動消去中<br>(suspend無効またはFMR22=“0”) |   |  |
|              |                      | 自動書き込み中                          |   |  |

FMR21, FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

### 33.16.1.3 アクセス方法

次のビットを“1”にするときは、対象となるビットに“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止してください。

- FMR0 レジスタのFMR01、FMR02 ビット
- FMR1 レジスタのFMR13 ビット
- FMR2 レジスタのFMR20、FMR22、FMR27 ビット

また、次のビットを“0”にするときは、対象となるビットに“1”を書いた後、続けて“0”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止してください。

- FMR1 レジスタのFMR14、FMR15、FMR16、FMR17 ビット

### 33.16.1.4 ユーザ ROM 領域の書き換え

EW0 モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

### 33.16.1.5 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

### 33.16.1.6 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

FST レジスタのFST7 ビットが“0”(ビジー(書き込み、消去実行中))の場合、ストップモード、ウェイトモードに移行しないでください。

FMR27 ビットが“1”(低消費電流リードモード許可)の状態で、ストップモード、ウェイトモードへ移行しないでください。

### 33.16.1.7 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム、イレーズを実行する場合は、電源電圧VCC=2.7 ~ 5.5V の条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

### 33.16.1.8 ブロックブランクチェック

イレーズサスペンド中にブロックブランクチェックコマンドを実行しないでください。

### 33.16.1.9 低消費電流リードモード

低速クロックモード、低速オンチップオシレータモードのときに、FMR2 レジスタのFMR27 ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPU クロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPU クロックが低速オンチップオシレータクロックの4分周、8分周または16分周
- CPU クロックがXCIN クロックの1分周(分周なし)、2分周、4分周または8分周

ただし、選択したCPU クロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。CPU クロック分周比を設定した後、FMR27 ビットを“1”(低消費電流リードモード許可)にしてください。

消費電力を低減する方法は、「31. 消費電力の低減」を参照してください。

ウェイトモードまたはストップモードへ移行するときは、FMR27 ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27 ビットが“1”(低消費電流リードモード許可)の状態で、ウェイトモードまたはストップモードへ移行しないでください。

### 33.17 ノイズに関する注意事項

#### 33.17.1 ノイズおよびラッチアップ対策として、VCC-VSS ライン間へのバイパスコンデンサ挿入

VCC 端子と VSS 端子間にバイパスコンデンサ (0.1  $\mu$ F 程度) を最短距離でかつ、比較的太い配線を使って接続してください。

#### 33.17.2 ポート制御レジスタのノイズ誤動作対策

過酷なノイズ試験等で外来ノイズ(主に電源系ノイズ)を受けると、IC 内部のノイズ対策回路でも対策しきれない場合があります。この場合、ポート関連のレジスタ値が変化する可能性があります。

このような場合のプログラム対策として、ポートレジスタ、ポート方向レジスタ、およびプルアップ制御レジスタを定期的に再設定することを推奨します。ただし、割り込み処理の中でポート出力を切り替えるような制御を行う場合は、再設定処理との間で競合が発生する可能性もありますので、制御処理を十分にご検討の上、再設定処理を導入してください。

## 34. オンチップデバッガの注意事項

オンチップデバッガを使用して本マイコンのプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。

- (1) オンチップデバッガでは、ユーザのフラッシュメモリ領域およびRAM領域を一部使用します。ユーザはこの領域を使用しないでください。  
使用領域につきましては、各オンチップデバッガのマニュアルを参照してください。
- (2) アドレス一致割り込み(AIER0、AIER1、RMAD0、RMAD1 レジスタ、固定ベクタテーブル)をユーザシステムで設定しないでください。
- (3) BRK命令をユーザシステムで使用しないでください。
- (4) 電源電圧VCC=1.8 ~ 5.5Vの条件でデバッグ可能です。フラッシュメモリの書き換えが発生する場合の電源電圧は、2.7V以上にしてください。

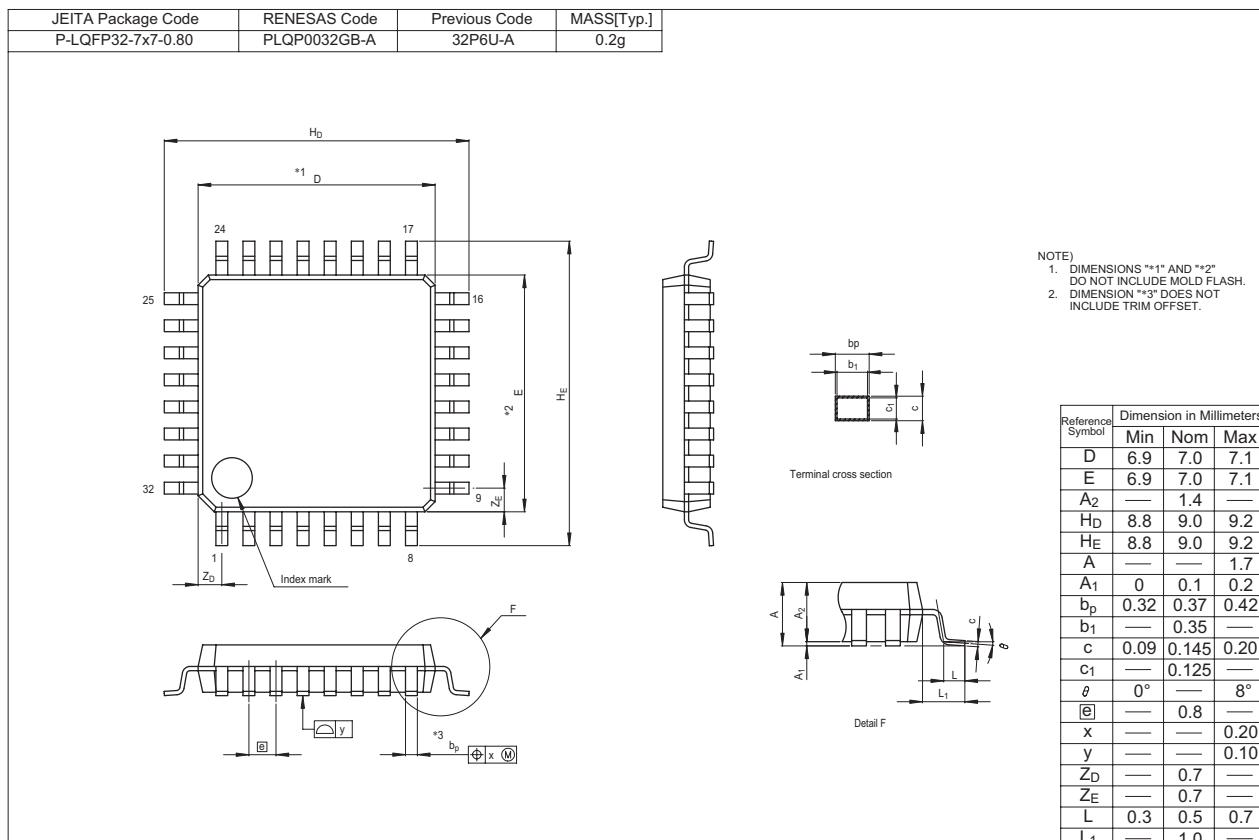
オンチップデバッガの接続や使用法には、固有の制限事項があります。オンチップデバッガの詳細は各オンチップデバッガのマニュアルを参照してください。

## 35. エミュレータデバッグの注意事項

エミュレータデバッグの接続や使用法には、固有の制限事項があります。エミュレータデバッグの詳細は各エミュレータデバッグのマニュアルを参照してください。

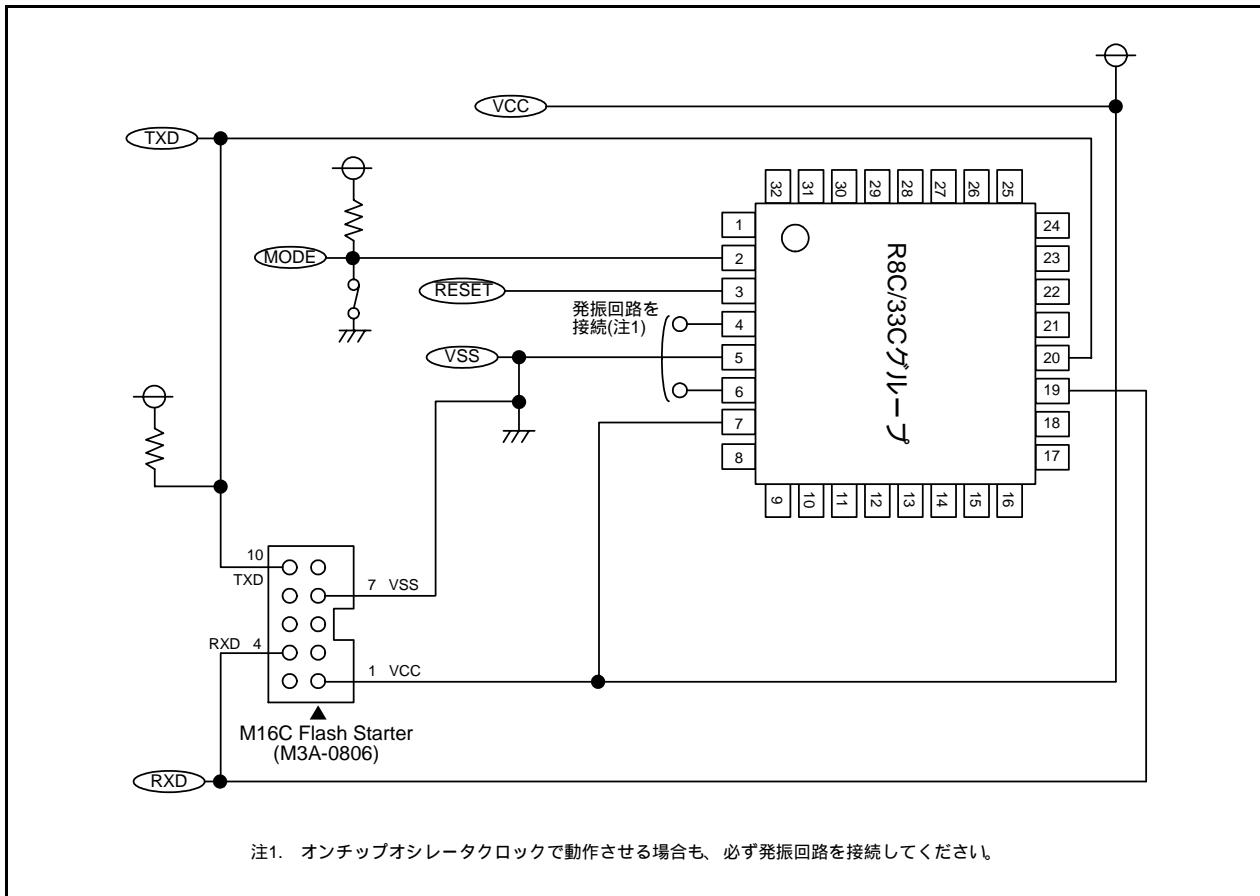
## 付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス テクノロジホームページの「パッケージ」に掲載されています。

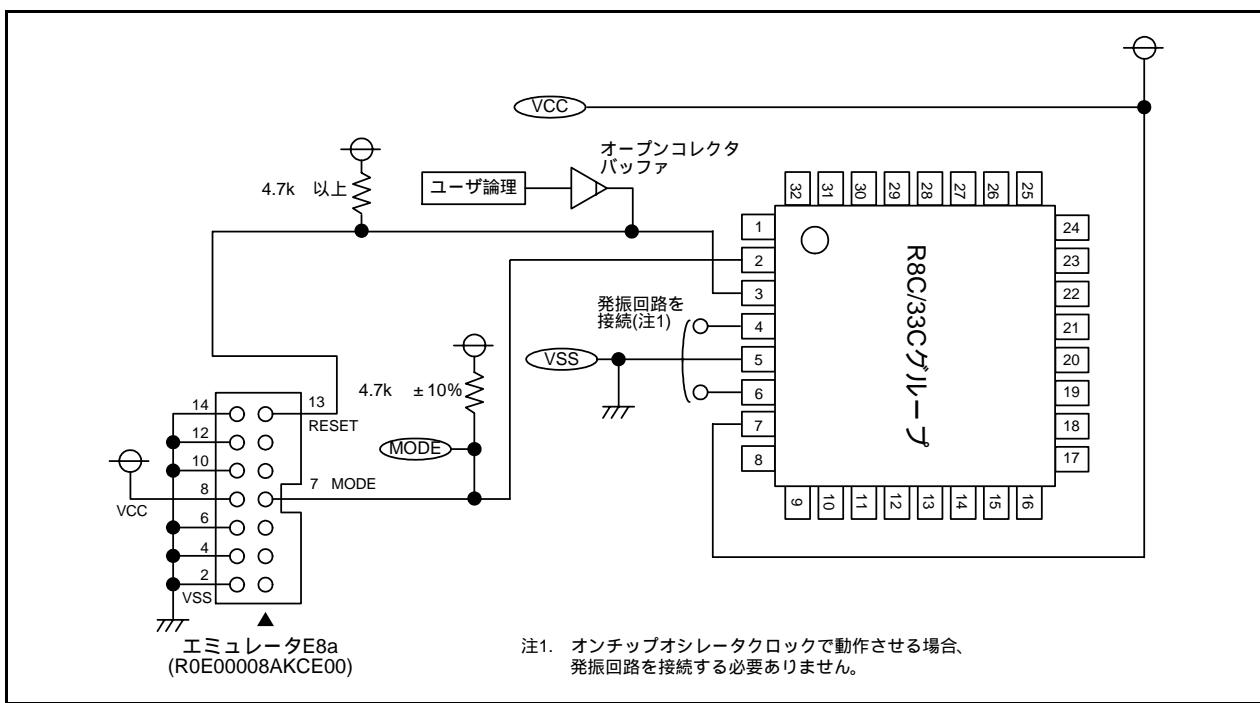


## 付録2. シリアルライタとオンチップデバッグエミュレータとの接続例

付図2.1にM16C Flash Starterとの接続例(M3A-0806)を、付図2.2にエミュレータE8a(R0E00008AKCE00)との接続例を示します。



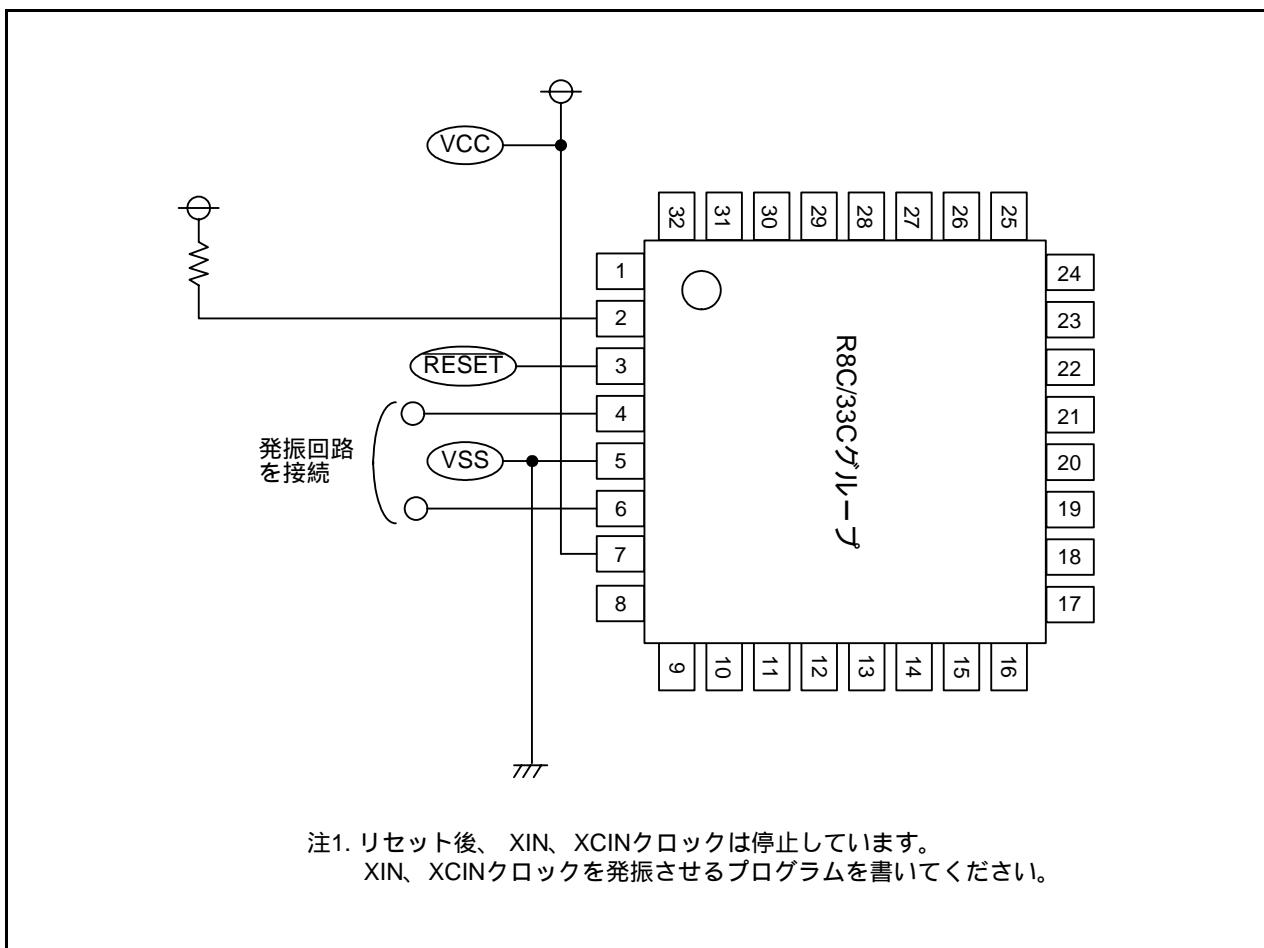
付図2.1 M16C Flash Starterとの接続例(M3A-0806)



付図2.2 エミュレータE8a(R0E00008AKCE00)との接続例

### 付録3. 発振評価回路例

付図3.1に発振評価回路例を示します。



付図3.1 発振評価回路例

## 索引

### 【記号 / 数字】

|                      |     |
|----------------------|-----|
| 4線式バス通信モード .....     | 402 |
| 4線式バス通信モードの初期化 ..... | 403 |

### 【A】

|                             |     |
|-----------------------------|-----|
| A/Dコンバータ .....              | 461 |
| A/D断線検出アシスト機能 .....         | 473 |
| A/D変換開始条件 .....             | 471 |
| A/D変換結果 .....               | 473 |
| A/D変換サイクル数 .....            | 469 |
| A/D変換時のセンサーの出力インピーダンス ..... | 483 |
| A0、A1 .....                 | 11  |
| ACK、NACK .....              | 369 |
| ADCON0 .....                | 467 |
| ADCON1 .....                | 468 |
| ADI(i=0 ~ 7) .....          | 464 |
| ADIC .....                  | 142 |
| ADINSEL .....               | 466 |
| ADMOD .....                 | 465 |
| AIERi(i=0 ~ 1) .....        | 159 |

### 【B】

|                              |     |
|------------------------------|-----|
| BGO(バックグラウンドオペレーション)機能 ..... | 514 |
| Bフラグ .....                   | 11  |

### 【C】

|                        |          |
|------------------------|----------|
| CLK極性選択 .....          | 349      |
| CM0 .....              | 105      |
| CM1 .....              | 106      |
| CM3 .....              | 107      |
| CMPA .....             | 41       |
| CPSRF .....            | 111      |
| CPU .....              | 10       |
| CPU書き換えモード .....       | 500      |
| CPUクロック .....          | 119      |
| CPUクロックと周辺機能クロック ..... | 119      |
| CSPR .....             | 176      |
| CTS/RTS機能 .....        | 351, 359 |
| Cフラグ .....             | 11       |

### 【D】

|                             |     |
|-----------------------------|-----|
| D/Aコンバータ .....              | 486 |
| DACON .....                 | 488 |
| DAi(i=0 ~ 1) .....          | 488 |
| DRR0 .....                  | 82  |
| DRR1 .....                  | 83  |
| DTBLSj(j=0 ~ 23) .....      | 184 |
| DTC .....                   | 182 |
| DTCCRj(j=0 ~ 23) .....      | 184 |
| DTCCTj(j=0 ~ 23) .....      | 185 |
| DTCENi(i=0 ~ 3, 5, 6) ..... | 186 |
| DTCTL .....                 | 187 |
| DTC実行サイクル数 .....            | 199 |
| DTDARj(j=0 ~ 23) .....      | 185 |
| DTRLDj(j=0 ~ 23) .....      | 185 |
| DTSARj(j=0 ~ 23) .....      | 185 |
| Dフラグ .....                  | 11  |

### 【E】

|              |     |
|--------------|-----|
| EW0モード ..... | 511 |
| EW1モード ..... | 511 |

### 【F】

|                           |     |
|---------------------------|-----|
| f1, f2, f4, f8, f32 ..... | 119 |
| FB .....                  | 11  |
| fC, fC4, fC32 .....       | 120 |
| FLG .....                 | 11  |
| FMR0 .....                | 504 |
| FMR1 .....                | 507 |
| FMR2 .....                | 509 |
| FMRDYIC .....             | 143 |
| fOCO .....                | 119 |
| fOCO128 .....             | 120 |
| fOCO40M .....             | 119 |
| fOCO-F .....              | 119 |
| fOCO-S .....              | 120 |
| fOCO-WDT .....            | 120 |
| FRA0 .....                | 110 |
| FRA1 .....                | 110 |
| FRA2 .....                | 111 |
| FRA3 .....                | 113 |
| FRA4 .....                | 112 |
| FRA5 .....                | 112 |
| FRA6 .....                | 113 |
| FRA7 .....                | 109 |
| FST .....                 | 501 |

### 【I】

|                            |          |
|----------------------------|----------|
| I/Oポート .....               | 55       |
| I/Oポート以外の端子 .....          | 56       |
| I/Oポートの機能 .....            | 55       |
| I2Cバスインターフェース .....        | 410      |
| I2Cバスインターフェースモード .....     | 426      |
| I2Cバスフォーマット .....          | 426      |
| ICCR1 .....                | 416      |
| ICCR2 .....                | 417      |
| ICDRR .....                | 415      |
| ICDRS .....                | 421      |
| ICDRT .....                | 415      |
| ICIER .....                | 419      |
| ICMR .....                 | 418      |
| ICSR .....                 | 420      |
| IDコードチェック機能 .....          | 498, 528 |
| IDコード領域 .....              | 165      |
| ILVL2 ~ ILVL0ビット、IPL ..... | 145      |
| INTB .....                 | 11       |
| INTCMP .....               | 491      |
| INTEN .....                | 154, 491 |
| INTF .....                 | 154, 492 |
| INTiIIC(i=0, 1, 3) .....   | 144      |
| INTi入力フィルタ(i=0 ~ 4) .....  | 155      |
| INTi割り込み(i=0, 1, 3) .....  | 152      |
| INTSR .....                | 78, 153  |
| INT割り込み .....              | 152      |
| IPL .....                  | 12       |
| IRビット .....                | 145      |
| ISP .....                  | 11       |
| Iフラグ .....                 | 12, 145  |

## 【K】

|       |     |
|-------|-----|
| KIEN  | 157 |
| KUPIC | 142 |

## 【L】

|                       |               |
|-----------------------|---------------|
| LINCR                 | 449           |
| LINCR2                | 448           |
| LINST                 | 449           |
| LSB ファースト、MSB ファースト選択 | 322, 350, 357 |

## 【M】

|       |               |
|-------|---------------|
| MSTCR | 245, 382, 413 |
|-------|---------------|

## 【O】

|          |                       |
|----------|-----------------------|
| OCD      | 109                   |
| OCVREFCR | 463                   |
| OFs      | 29, 48, 170, 177, 499 |
| OFs2     | 30, 171, 178          |
| O フラグ    | 12                    |

## 【P】

|              |         |
|--------------|---------|
| P1DRR        | 81      |
| P2DRR        | 81      |
| PC           | 11      |
| PDi(i=0 ~ 4) | 68      |
| Pi(i=0 ~ 4)  | 69      |
| PINSR        | 79, 414 |
| PM0          | 28      |
| PM1          | 175     |
| PRCR         | 136     |
| PUR0         | 80      |
| PUR1         | 80      |
| PWM2 モード     | 281     |
| PWM モード      | 275     |

## 【R】

|                   |          |
|-------------------|----------|
| R0, R1, R2, R3    | 11       |
| RMADI(i=0 ~ 1)    | 159      |
| ROM コードプロテクト機能    | 499, 531 |
| RSTFR             | 28       |
| RXD2 デジタルフィルタ選択機能 | 359, 376 |

## 【S】

|                    |     |
|--------------------|-----|
| S0RIC              | 142 |
| S0TIC              | 142 |
| S1RIC              | 142 |
| S1TIC              | 142 |
| S2RIC              | 142 |
| S2TIC              | 142 |
| SAR                | 421 |
| SB                 | 11  |
| SCS 端子制御とアービトレーション | 408 |
| SDA 出力             | 368 |
| SDA 端子デジタル遅延選択     | 424 |
| SDA 入力             | 369 |
| SFR                | 14  |
| SSBR               | 383 |
| SSCRH              | 384 |
| SSCRL              | 385 |
| SSER               | 387 |

|             |              |
|-------------|--------------|
| SSMR        | 386          |
| SSMR2       | 389          |
| SSRDR       | 384          |
| SSSR        | 388          |
| SSTDR       | 383          |
| SSTRSR      | 392          |
| SSUIC/IICIC | 143          |
| SSUICSR     | 77, 382, 413 |
| SS フィットレジスタ | 392          |
| S フラグ       | 11           |

## 【T】

|                            |                              |
|----------------------------|------------------------------|
| TRA                        | 208                          |
| TRACR                      | 206                          |
| TRAIC                      | 142                          |
| TRAI0C                     | 206, 209, 212, 214, 216, 219 |
| TRAMR                      | 207                          |
| TRAPRE                     | 207                          |
| TRASR                      | 70, 208                      |
| TRBCR                      | 223                          |
| TRBIC                      | 142                          |
| TRBI0C                     | 224, 227, 231, 234, 238      |
| TRBMR                      | 224                          |
| TRBOCR                     | 223                          |
| TRBPR                      | 226                          |
| TRBPRE                     | 225                          |
| TRBRCSR                    | 71, 226, 252                 |
| TRBSC                      | 225                          |
| TRC                        | 249                          |
| TRCADCR                    | 251                          |
| TRCCR1                     | 246, 268, 277, 283           |
| TRCCR2                     | 250, 271, 278, 284           |
| TRCDF                      | 250, 284                     |
| TRCGRA                     | 249                          |
| TRCGRB                     | 249                          |
| TRCGRC                     | 249                          |
| TRCGRC, TRCGRD レジスタの出力端子変更 | 273                          |
| TRCGRD                     | 249                          |
| TRCIC                      | 143                          |
| TRCIER                     | 246                          |
| TRCI0R0                    | 248, 263, 269                |
| TRCI0R1                    | 248, 264, 270                |
| TRCMR                      | 245                          |
| TRCOER                     | 251                          |
| TRCP0R0                    | 72, 253                      |
| TRCP0R1                    | 73, 254                      |
| TRCSR                      | 247                          |
| TRECR1                     | 297, 303                     |
| TRECR2                     | 298, 303                     |
| TRECSR                     | 299, 304                     |
| TREHR                      | 296                          |
| TREIC                      | 142                          |
| TREMIN                     | 295, 302                     |
| TRESEC                     | 295, 302                     |
| TREWK                      | 296                          |
| TXD, RXD 入出力極性切り替え機能       | 358                          |

## 【U】

|         |         |
|---------|---------|
| U0SR    | 74, 315 |
| U1SR    | 75, 316 |
| U2BCNIC | 142     |
| U2BRG   | 334     |
| U2C0    | 336     |
| U2C1    | 337     |
| U2MR    | 334     |

|                      |          |
|----------------------|----------|
| U2RB .....           | 338      |
| U2SMR .....          | 342      |
| U2SMR2 .....         | 341      |
| U2SMR3 .....         | 341      |
| U2SMR4 .....         | 340      |
| U2SMR5 .....         | 339      |
| U2SR0 .....          | 76, 343  |
| U2SR1 .....          | 77, 344  |
| U2TB .....           | 335      |
| UART .....           | 324, 352 |
| UiBRG(i=0 ~ 1) ..... | 311      |
| UiC0(i=0 ~ 1) .....  | 313      |
| UiC1(i=0 ~ 1) .....  | 313      |
| UiMR(i=0 ~ 1) .....  | 311      |
| UiRB(i=0 ~ 1) .....  | 314      |
| UiTB(i=0 ~ 1) .....  | 312      |
| URXDF .....          | 339      |
| USP .....            | 11       |
| Uフラグ .....           | 12       |

**【V】**

|                    |         |
|--------------------|---------|
| VCA1 .....         | 42      |
| VCA2 .....         | 43, 114 |
| VCAC .....         | 42      |
| VCC 入力電圧のモニタ ..... | 49      |
| VCMP1IC .....      | 142     |
| VCMP2IC .....      | 142     |
| VD1LS .....        | 44      |
| Vdet0 のモニタ .....   | 49      |
| Vdet1 のモニタ .....   | 49      |
| Vdet2 のモニタ .....   | 49      |
| VLT0 .....         | 84      |
| VLT1 .....         | 85      |
| VW0C .....         | 45      |
| VW1C .....         | 46      |
| VW2C .....         | 47      |

**【W】**

|            |     |
|------------|-----|
| WDTC ..... | 176 |
| WDTR ..... | 175 |
| WDTS ..... | 175 |

**【X】**

|                |     |
|----------------|-----|
| XCINクロック ..... | 118 |
| XINクロック .....  | 116 |

**【Z】**

|            |    |
|------------|----|
| Zフラグ ..... | 11 |
|------------|----|

**【あ】**

|                     |     |
|---------------------|-----|
| アウトプットコンペア機能 .....  | 266 |
| アウトプットコンペアモード ..... | 301 |
| アドレス一致割り込み .....    | 158 |
| アドレスレジスタ .....      | 11  |

**【い】**

|                    |     |
|--------------------|-----|
| イベントカウンタモード .....  | 213 |
| インプットキャプチャ機能 ..... | 261 |

**【う】**

|                       |     |
|-----------------------|-----|
| ウェイトモード .....         | 123 |
| ウェイトモード、ストップモード ..... | 536 |
| ウォッチドッグタイマ .....      | 173 |
| ウォッチドッグタイマリセット .....  | 35  |

**【え】**

|                       |     |
|-----------------------|-----|
| エミュレータデバッグの注意事項 ..... | 593 |
|-----------------------|-----|

**【お】**

|                      |     |
|----------------------|-----|
| オーバフローフラグ .....      | 12  |
| オプション機能選択領域 .....    | 169 |
| オンチップオシレータクロック ..... | 117 |
| オンチップデバッグの注意事項 ..... | 592 |

**【か】**

|                       |          |
|-----------------------|----------|
| 外形寸法図 .....           | 594      |
| 概要 .....              | 1        |
| カウントソース .....         | 255      |
| カウントソース保護モード無効時 ..... | 180      |
| カウントソース保護モード有効時 ..... | 181      |
| カウント中のタイマ書き込み制御 ..... | 210, 228 |
| 拡張アナログ入力端子 .....      | 473      |
| 各通信モードと端子機能 .....     | 394      |
| 各モードの設定と解除方法 .....    | 513      |

**【き】**

|                |     |
|----------------|-----|
| キー入力割り込み ..... | 156 |
| 起動要因 .....     | 188 |
| 機能 .....       | 166 |
| キャリフラグ .....   | 11  |
| 強制イレーズ機能 ..... | 167 |
| 極性選択機能 .....   | 322 |

**【く】**

|                                |          |
|--------------------------------|----------|
| 繰り返し掃引モード .....                | 481      |
| 繰り返しモード0 .....                 | 476      |
| 繰り返しモード1 .....                 | 477      |
| クロック .....                     | 536      |
| クロック同期形シリアルI/Oモード .....        | 317, 345 |
| クロック同期形シリアルインターフェース .....      | 379, 537 |
| クロック同期式シリアルフォーマット .....        | 437      |
| クロック同期式シリアルモード .....           | 437      |
| クロック同期式通信モード .....             | 395      |
| クロック同期式通信モードの初期化 .....         | 395      |
| クロック発生回路 .....                 | 102      |
| クロック非同期形シリアルI/O(UART)モード ..... | 324, 352 |

**【こ】**

|                                |     |
|--------------------------------|-----|
| 高速オンチップオシレータクロック .....         | 117 |
| コールドスタート/ウォームスタート判定機能 .....    | 36  |
| コントロールデータの配置とDTCペクターテーブル ..... | 190 |
| コンパレータB .....                  | 489 |
| コンパレータB1、コンパレータB3割り込み .....    | 495 |
| コンパレータBiデジタルフィルタ(i=1, 3) ..... | 494 |

|   |  |
|---|--|
| <b>【さ】</b>  | 端子機能の説明 ..... 8                        |
| サインフラグ ..... 11   | 単掃引モード ..... 479                       |
| サスPEND動作 ..... 512  | 単発モード ..... 475                        |
| <b>【し】</b>  | <b>【ち】</b>                             |
| システムクロック ..... 119  | チェイン転送 ..... 197                       |
| 周辺機能クロック ..... 119  | 中央演算処理装置(CPU) ..... 10                 |
| 周辺機能クロックの停止 ..... 536   |  |
| 周辺機能への影響 ..... 56   | <b>【つ】</b>                             |
| 周辺機能割り込み ..... 139  | 通信エラー発生時の対処方法 ..... 321, 330, 349, 357 |
| 受信動作 ..... 439  |  |
| 仕様概要 ..... 2  | <b>【て】</b>                             |
| 使用上の注意事項 ..... 568  | 低消費電流リードモード ..... 539                  |
| 消費電流低減機能 ..... 473  | 低速オンチップオシレータクロック ..... 117             |
| 消費電力の低減 ..... 536   | データ保護機能 ..... 515                      |
| 消費電力を小さくするためのポイントと処理方法 ..... 536  | データレジスタ ..... 11                       |
| シリアルインターフェース(UART2) ..... 332   | デジタルフィルタ ..... 258                     |
| シリアルインターフェース(UARTi (i=0 ~ 1)) ..... 309   | デバッグフラグ ..... 11                       |
| シリアルデータ論理切り替え ..... 351, 358  | 電圧監視0リセット ..... 34, 50                 |
| シリアルライタとオンラインチップデバッギングエミュレータとの接続例 ..... 595   | 電圧監視1割り込み ..... 51                     |
| シンクロナスシリアルコミュニケーションユニット (SSU) ..... 380   | 電圧監視2割り込み ..... 53                     |
|   | 電圧検出回路 ..... 37, 536                   |
| <b>【す】</b>  | 電気的特性 ..... 541                        |
| スタートコンディション、ストップコンディションの検出 ..... 366  | 電源が安定している場合 ..... 31                   |
| スタートコンディション、ストップコンディションの出力 ..... 367  | 電源投入時 ..... 31                         |
| スタッキング指定フラグ ..... 12  | 転送クロック ..... 368, 390, 422             |
| スタティックベースレジスタ ..... 11  |  |
| ストップモード ..... 127   | <b>【と】</b>                             |
| スレーブ受信動作 ..... 435  | 動作タイミング ..... 198                      |
| スレーブ送信動作 ..... 432  | 特殊モード1(I2C モード) ..... 360              |
| スレーブモード ..... 453   | 特殊割り込み ..... 139                       |
|   | 特長 ..... 1                             |
| <b>【せ】</b>  |  |
| 製品一覧 ..... 4  | <b>【な】</b>                             |
| ゼロフラグ ..... 11  | 内部電源の消費電力低減 ..... 537                  |
| <b>【そ】</b>  |  |
| 送受信初期化 ..... 369  | <b>【に】</b>                             |
| 送信動作 ..... 438  | 入出力端子 ..... 448, 469                   |
| ソフトウェアコマンド ..... 516  |  |
| ソフトウェアリセット ..... 35   | <b>【の】</b>                             |
| ソフトウェア割り込み ..... 138  | ノイズ除去回路 ..... 444                      |
| <b>【た】</b>  | ノーマルモード ..... 195                      |
| タイマ ..... 536   |  |
| タイマRA ..... 205   | <b>【は】</b>                             |
| タイマRB ..... 222   | ハードウェアLIN ..... 447                    |
| タイマRC ..... 242   | ハードウェアLIN終了処理 ..... 458                |
| タイマRC割り込み ..... 289   | ハードウェアリセット ..... 31                    |
| タイマRC割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、I2Cバスインターフェース割り込み(複数の割り込み要求要因を持つ割り込み) ..... 160 | バス衝突検出機能 ..... 457                     |
| タイマRE ..... 292   | バス制御 ..... 100                         |
| タイマ総論 ..... 203   | 発振停止検出機能 ..... 130                     |
| タイマモード ..... 209, 227, 261, 266   | 発振停止検出機能の使用方法 ..... 131                |
|   | 発振評価回路例 ..... 596                      |
|   | パッファ動作 ..... 256                       |
|   | パラレル入出力モード ..... 531                   |
|   | パルス周期測定モード ..... 218                   |
|   | パルス出力強制遮断 ..... 259                    |
|   | パルス出力モード ..... 211                     |

パルス幅測定モード ..... 215  
 パワーオンリセット機能 ..... 33  
 パワーコントロール ..... 121

## 【ひ】

ピット同期回路 ..... 445  
 ピットレート ..... 329, 356  
 標準シリアル入出力モード ..... 528  
 標準シリアル入出力モード禁止機能 ..... 167  
 標準動作モード ..... 121  
 ピン配置図 ..... 6

## 【ふ】

フラグレジスタ ..... 11  
 フラッシュメモリ ..... 496  
 フラッシュメモリ書き換え禁止機能 ..... 498  
 フラッシュメモリの停止 ..... 538  
 フルステータスチェック ..... 526  
 フレームベースレジスタ ..... 11  
 プログラマブルウェイトワンショット発生モード ..... 237  
 プログラマブル波形発生モード ..... 230  
 プログラマブルワンショット発生モード ..... 233  
 プログラムカウンタ ..... 11  
 プロセッサ割り込み優先レベル ..... 12  
 プロック図 ..... 5  
 プロテクト ..... 136

## 【ほ】

ポート ..... 536  
 ポートの設定 ..... 86

## 【ま】

マスター受信動作 ..... 429  
 マスター送信動作 ..... 427  
 マスターモード ..... 450  
 マルチプロセッサ受信 ..... 374  
 マルチプロセッサ送信 ..... 373  
 マルチプロセッサ通信機能 ..... 370

## 【み】

未使用端子の処理 ..... 99

## 【め】

メモリ ..... 13  
 メモリ配置 ..... 497

## 【も】

モード選択 ..... 379

## 【ゆ】

ユーザースタックポインタ ..... 11

## 【よ】

用途 ..... 1  
 予約ピット ..... 12

## 【り】

リアルタイムクロックモード ..... 293  
 リセット ..... 26  
 リセット要因判別機能 ..... 36  
 リピートモード ..... 196

## 【れ】

レジスタ設定例 ..... 440  
 レジスタ退避 ..... 148  
 レジスタバンク指定フラグ ..... 11  
 連続受信モード ..... 323, 350

## 【わ】

割り込み ..... 137  
 割り込み応答時間 ..... 147  
 割り込み許可フラグ ..... 12  
 割り込みシーケンス ..... 146  
 割り込みスタックポインタ ..... 11  
 割り込み制御 ..... 145  
 割り込みテーブルレジスタ ..... 11  
 割り込みと割り込みベクタ ..... 140  
 割り込みの分類 ..... 137  
 割り込み優先順位 ..... 150  
 割り込み優先レベル判定回路 ..... 151  
 割り込み要因 ..... 197  
 割り込み要求 ..... 393, 425, 459  
 割り込み要求受付時のIPLの変化 ..... 147  
 割り込みルーチンからの復帰 ..... 150  
 ワンショットトリガ選択 ..... 236

|      |                         |
|------|-------------------------|
| 改訂記録 | R8C/33C グループハードウェアマニュアル |
|------|-------------------------|

| Rev. | 発行日        | 改訂内容  |   |
|------|------------|---|---|
|      |            | ページ   | ポイント  |
| 0.10 | 2009.09.17 | -   | 初版発行  |
| 1.00 | 2009.12.10 | 全ページ<br>4<br>43、45、<br>114<br>47<br>54<br>66<br>107<br>119<br>123<br>127<br>134、568<br>186<br>304<br>332<br>461<br>500<br>509、510<br>535、590<br>539<br>540<br>544<br>546<br>547<br>548<br>549<br>550<br>586 | 「暫定仕様書」、「開発中」の表記を削除<br>表1.3 変更<br>6.2.4、6.2.6、9.2.14 リセット後の値の記述 変更<br>6.2.8 b7の機能 「またはLVCMP2」 削除<br>図6.7 「VCCまたはLVCMP2」 「VCC」<br>図7.10 変更<br>9.2.3 注5 削除<br>9.6.5 “VCC = 3.0 ~ 5.5V” “VCC = 2.7 ~ 5.5V”<br>9.7.2.2 変更<br>9.7.3.1 変更<br>9.9.1、9.9.2、33.1.1、33.1.2 変更<br>15.2.7 注1 追記<br>20.3.5 b2 「(注1)」 追記、注1 変更<br>図22.1 変更<br>表27.1 注2 変更<br>表30.3 CPUクロック 「20MHz」 「最大20MHz」<br>30.4.4 注3、FMR27ビット 変更<br>30.7.1.6、30.7.1.9、33.15.1.6、33.15.1.9 変更<br>31.2.11 変更<br>図32.3 注2 変更<br>表32.3 変更<br>表32.6 変更<br>表32.7 変更<br>表32.8、表32.9 変更<br>表32.10 変更<br>表32.12 変更、注2 削除<br>33.13 I <sup>2</sup> Cバスインターフェース使用上の注意 追記 |

---

R8C/33C グループハードウェアマニュアル

発行年月日 2009年9月17日 Rev.0.10  
2009年12月10日 Rev.1.00

発行 株式会社 ルネサス テクノロジ 営業統括部  
〒100-0004 東京都千代田区大手町2-6-2

R8C/33C グループ  
ハードウェアマニュアル



ルネサス エレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753 ☎211-8668

RJJ09B0605-0100