User's Manual

32

R32C/118グループ

ユーザーズマニュアル　ハードウェア編

ルネサスマイクロコンピュータ
M16Cファミリ／R32C/100シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.1.20　2012.10

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、
   各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
   家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：　輸送機器（自動車、電車、船舶等）、交通用信号機器、
   防災・防犯装置、各種安全装置等

   当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。 たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。 なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注１において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理
   【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。
   CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。
2. 電源投入時の処置
   【注意】電源投入時は，製品の状態は不定です。
   電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。
   外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。
   同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. リザーブアドレス（予約領域）のアクセス禁止
   【注意】リザーブアドレス（予約領域）のアクセスを禁止します。
   アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
4. クロックについて
   【注意】リセット時は、クロックが安定した後、リセットを解除してください。
   プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。
   リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
5. 製品間の相違について
   【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。
   同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

R32C/118 グループでは以下のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクス ホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	R32C/118グループ データシート	R01DS0065JJ0120
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 周辺機能の使用方法はアプリケーションノートを参照してください	R32C/118グループ ユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
ユーザーズマニュアル ソフトウェア編/ ソフトウェアマニュアル	CPU命令セットの説明	R32C/100シリーズ ソフトウェアマニュアル	RJJ09B0272-0100
アプリケーションノート	周辺機能の使用方法、応用例 参考プログラム アセンブリ言語、C言語によるプログラムの作成方法	ルネサス エレクトロニクス ホームページに掲載されています	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. 数や記号の表記

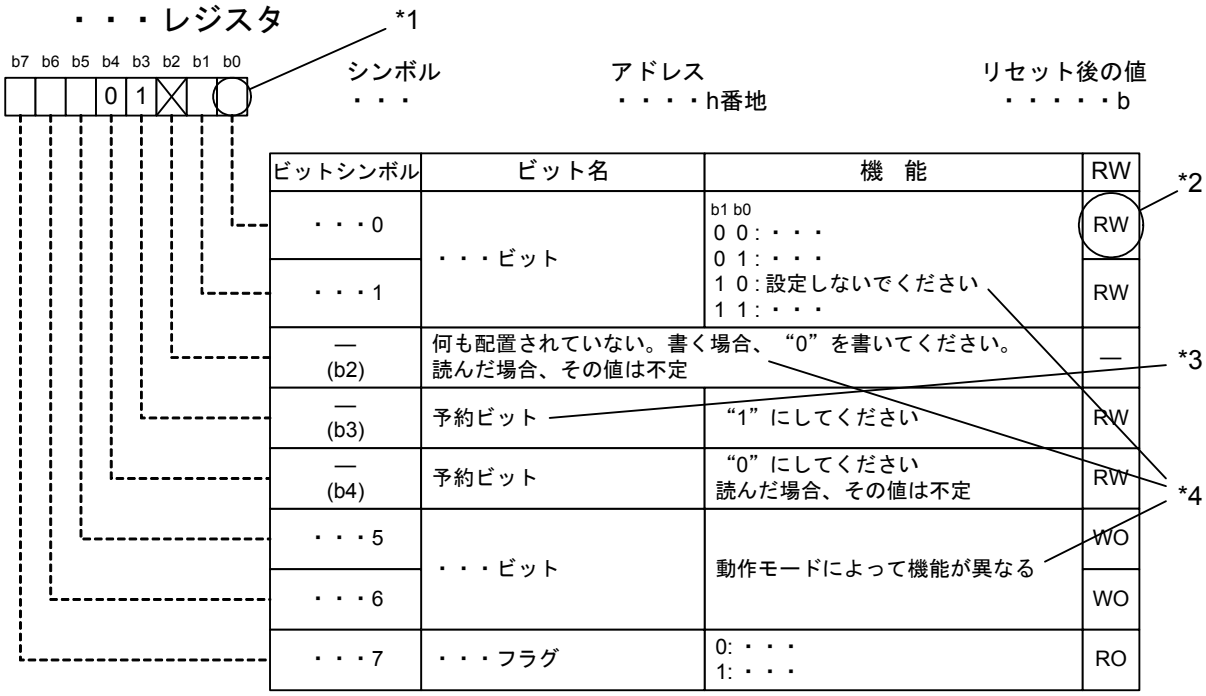
このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

(1) レジスタ名、ビット名、端子名
本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。
(例) PM0レジスタのPM03ビット
P3_5端子、VCC端子

(2) 数の表記
2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。
(例) 2進数: 11b
16進数: EFA0h
10進数: 1234

3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。



ビットシンボル	ビット名	機　能	RW
・・・0	・・・ビット	b1 b0 0 0 : ・・・ 0 1 : ・・・ 1 0 : 設定しないでください 1 1 : ・・・	RW
・・・1			RW
— (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
— (b3)	予約ビット	“1”にしてください	RW
— (b4)	予約ビット	“0”にしてください 読んだ場合、その値は不定	RW
・・・5	・・・ビット	動作モードによって機能が異なる	WO
・・・6			WO
・・・7	・・・フラグ	0: ・・・ 1: ・・・	RO

*2

*3

*4

*1
空白 : 用途に応じて“0”または“1”にしてください
0 : “0”にしてください
1 : “1”にしてください
× : 何も配置されていないビットです

*2
RW : 読むとビットの値が読めます。書くと有効データになります
RO : 読むとビットの値が読めます。書いた値は無効になります
WO : 書くと有効データになります。ビットの値は読めません (読んだ場合は不定値が読めます)
— : 何も配置されていないビットです

*3
・予約ビット
予約ビットです。指定された値にしてください。RWのビットについては、特に記載のない限り書いた値が読めます

*4
・何も配置されていない
該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください
・設定しないでください
設定した場合の動作は保証されません
・動作モードによって機能が異なる
周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください

4. 略語および略称の説明

略語/略称	フルスペル	説明
ACIA	Asynchronous Communications Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電気的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver/Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1. 概要 1

1.1 特長 1

1.1.1 用途 1

1.1.2 仕様概要 2

1.2 製品一覧 6

1.3 ブロック図 9

1.4 ピン接続図 10

1.5 端子機能の説明 19

2. 中央演算処理装置(CPU) 24

2.1 基本レジスタ 25

2.1.1 データレジスタ(R2R0, R3R1, R6R4, R7R5) 25

2.1.2 アドレスレジスタ(A0, A1, A2, A3) 25

2.1.3 スタティックベースレジスタ(SB) 25

2.1.4 フレームベースレジスタ(FB) 25

2.1.5 プログラムカウンタ(PC) 25

2.1.6 割り込みベクタテーブルベースレジスタ(INTB) 25

2.1.7 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP) 25

2.1.8 フラグレジスタ(FLG) 25

2.2 高速割り込みレジスタ 27

2.2.1 フラグ退避レジスタ(SVF) 27

2.2.2 PC退避レジスタ(SVP) 27

2.2.3 ベクタレジスタ(VCT) 27

2.3 DMAC関連レジスタ 28

2.3.1 DMAモードレジスタ(DMD0, DMD1, DMD2, DMD3) 28

2.3.2 DMAターミナルカウントレジスタ(DCT0, DCT1, DCT2, DCT3) 28

2.3.3 DMAターミナルカウントリロードレジスタ(DCR0, DCR1, DCR2, DCR3) 28

2.3.4 DMAソースアドレスレジスタ(DSA0, DSA1, DSA2, DSA3) 28

2.3.5 DMAソースアドレスリロードレジスタ(DSR0, DSR1, DSR2, DSR3) 28

2.3.6 DMAデスティネーションアドレスレジスタ(DDA0, DDA1, DDA2, DDA3) 28

2.3.7 DMAデスティネーションアドレスリロードレジスタ(DDR0, DDR1, DDR2, DDR3) 28

3. メモリ 29

4. SFR 30

5. リセット 83

5.1 ハードウェアリセット 83

5.2 ソフトウェアリセット 86

5.3 ウォッチドッグタイマリセット 86

5.4 リセットベクタ 87

6. パワーマネージメント 88
6.1 電圧レギュレータ ... 88
6.1.1 平滑コンデンサ ... 89
6.2 電圧低下検出回路 ... 90
6.2.1 電圧低下検出回路の動作 ... 92
6.2.2 電圧低下検出割り込み ... 92
6.2.3 電圧低下検出回路の応用例 ... 93
7. プロセッサモード 94
7.1 プロセッサモードの種類 ... 94
7.2 プロセッサモードの設定 ... 94
8. クロック発生回路 97
8.1 クロック発生回路の種類 ... 97
8.1.1 メインクロック ... 106
8.1.2 サブクロック(fC) ... 107
8.1.3 PLLクロック ... 108
8.1.4 オンチップオシレータクロック ... 111
8.2 発振停止検出機能 ... 112
8.2.1 発振停止検出機能使用方法 ... 112
8.3 ベースクロック ... 112
8.4 CPUクロックと周辺バスクロック ... 113
8.5 周辺機能クロック ... 113
8.6 クロック出力機能 ... 114
8.7 パワーコントロール ... 115
8.7.1 通常動作モード ... 116
8.7.2 ウェイトモード ... 121
8.7.3 ストップモード ... 124
8.8 システムクロック保護機能 ... 126
8.9 クロック発生回路使用上の注意 ... 127
8.9.1 サブクロック ... 127
8.9.2 パワーコントロール ... 127
9. バス 128
9.1 バス設定 ... 128
9.2 周辺バスタイミングの設定 ... 129
9.3 外部バスの設定 ... 130
9.3.1 外部アドレス空間の設定 ... 130
9.3.2 外部データバス幅の選択 ... 136
9.3.3 セパレートバス、マルチプレクスバスの選択 ... 138
9.3.4 リード、ライト信号 ... 141
9.3.5 外部バスタイミング ... 142

9.3.6 ALE信号 146
9.3.7 $\overline{\text{RDY}}$信号 147
9.3.8 $\overline{\text{HOLD}}$信号 150
9.3.9 BCLK出力 150
9.4 内部領域をアクセスしたときの外部バスの状態 150
9.5 バスの注意事項 151
9.5.1 システム設計上の注意事項 151
9.5.2 レジスタ設定上の注意事項 151

10. プロテクト 152
10.1 プロテクトレジスタ (PRCR レジスタ) 152
10.2 プロテクトレジスタ 2 (PRCR2 レジスタ) 153
10.3 プロテクトレジスタ 3 (PRCR3 レジスタ) 153
10.4 プロテクト解除レジスタ (PRR レジスタ) 154

11. 割り込み 155
11.1 割り込みの分類 155
11.2 ソフトウェア割り込み 156
11.3 ハードウェア割り込み 157
11.3.1 特殊割り込み 157
11.3.2 周辺機能割り込み 157
11.4 高速割り込み 157
11.5 割り込みベクタ 158
11.5.1 固定ベクタテーブル 158
11.5.2 可変ベクタテーブル 159
11.6 割り込み要求の受け付け 164
11.6.1 I フラグと IPL 164
11.6.2 割り込み制御レジスタ 165
11.6.3 復帰用割り込み優先レベル設定レジスタ 168
11.6.4 割り込みシーケンス 169
11.6.5 割り込み応答時間 170
11.6.6 割り込み要求受け付け時の IPL の変化 171
11.6.7 レジスタ退避 171
11.7 割り込み処理ルーチンからの復帰 172
11.8 割り込み優先順位 172
11.9 割り込み優先順位判定回路 172
11.10 外部割り込み 174
11.11 NMI 175
11.12 キー入力割り込み 176
11.13 インテリジェント I/O 割り込み 177
11.14 割り込み使用上の注意 180
11.14.1 ISP の設定 180

11.14.2 NMI 180
11.14.3 外部割り込み 180
12. ウォッチドッグタイマ 181
13. DMAC 183
13.1 転送サイクル 192
13.1.1 転送番地とデータバス幅の影響 192
13.1.2 バスタイミングの影響 193
13.1.3 $\overline{\text{RDY}}$ 信号の影響 193
13.2 DMA転送サイクル数 195
13.3 チャネル優先順位とDMA転送タイミング 196
13.4 DMAコントローラ使用上の注意 197
13.4.1 DMAC関連レジスタの設定 197
13.4.2 DMAC関連レジスタの読み出し 197
14. DMAC II 198
14.1 DMAC IIの設定 199
14.1.1 RIPL1、RIPL2レジスタ 199
14.1.2 DMAC IIインデックス 200
14.1.3 周辺機能の割り込み制御レジスタ 203
14.1.4 周辺機能の可変ベクタテーブル 203
14.1.5 IIOiIE レジスタ (i=0~11) のIRLTビット 203
14.2 DMAC IIの動作 203
14.3 転送対象 204
14.3.1 メモリ間転送 204
14.3.2 即値転送 204
14.3.3 演算転送 204
14.4 転送方式 205
14.4.1 単転送 205
14.4.2 バースト転送 205
14.4.3 複数転送 205
14.5 チェーン転送 206
14.6 転送完了割り込み 206
14.7 実行時間 207
15. プログラマブル入出力ポート 208
15.1 ポートPiレジスタ (Piレジスタ、i=0~15) 210
16. タイマ 211
16.1 タイマA 213
16.1.1 タイマモード 219
16.1.2 イベントカウンタモード 221

16.1.3 ワンショットタイマモード ... 225
16.1.4 パルス幅変調モード ... 227
16.2 タイマB ... 230
16.2.1 タイマモード ... 233
16.2.2 イベントカウンタモード ... 234
16.2.3 パルス周期測定モード、パルス幅測定モード ... 236
16.3 タイマ使用上の注意 ... 239
16.3.1 タイマA、タイマB共通 ... 239
16.3.2 タイマA ... 239
16.3.3 タイマB ... 241

17. 三相モータ制御用タイマ機能 242
17.1 三相モータ制御用タイマのモード ... 248
17.2 タイマB2 ... 248
17.3 タイマA4、A1、A2 ... 250
17.4 上下同時通電出力禁止機能と短絡防止タイマ ... 253
17.5 三相モータ制御用タイマの動作例 ... 254
17.6 三相モータ制御用タイマ機能使用上の注意 ... 257
17.6.1 シャットダウン機能 ... 257
17.6.2 レジスタ設定 ... 257

18. シリアルインタフェース 258
18.1 クロック同期型シリアルインタフェースモード ... 275
18.1.1 通信エラー発生時の対処方法 ... 280
18.1.2 CLK極性選択 ... 280
18.1.3 LSBファースト、MSBファースト選択 ... 281
18.1.4 連続受信モード ... 281
18.1.5 シリアルデータ論理切り替え ... 282
18.1.6 CTS/RTS機能 ... 282
18.2 クロック非同期型シリアルインタフェースモード(UARTモード) ... 283
18.2.1 ビットレート ... 288
18.2.2 通信エラー発生時の対処方法 ... 289
18.2.3 LSBファースト、MSBファースト選択 ... 289
18.2.4 シリアルデータ論理切り替え ... 290
18.2.5 TXD、RXD入出力極性切り替え ... 291
18.2.6 CTS/RTS機能 ... 291
18.3 特殊モード1 (I^2Cモード) ... 292
18.3.1 スタートコンディション、ストップコンディションの検出 ... 297
18.3.2 スタートコンディション、ストップコンディションの生成 ... 297
18.3.3 アービトレーション ... 298
18.3.4 SCL制御とクロック同期化 ... 298
18.3.5 SDA出力 ... 300

18.3.6 SDA入力 ... 301
18.3.7 アクノリッジ ... 301
18.3.8 送受信初期化 ... 301
18.4 特殊モード2 ... 302
18.4.1 $\overline{SSi}$ 入力端子機能(i=0~6) ... 304
18.4.2 クロック位相設定機能 ... 305
18.5 シリアルインタフェース使用上の注意 ... 307
18.5.1 UiBRGレジスタ(i=0~8)の変更 ... 307
18.5.2 クロック同期モード ... 307
18.5.3 特殊モード1 (I^2Cモード) ... 307
18.5.4 通信異常時の対処方法 ... 308
19. A/Dコンバータ 309
19.1 モードの説明 ... 316
19.1.1 単発モード ... 316
19.1.2 繰り返しモード ... 317
19.1.3 単掃引モード ... 318
19.1.4 繰り返し掃引モード0 ... 319
19.1.5 繰り返し掃引モード1 ... 320
19.1.6 マルチポート単掃引モード ... 321
19.1.7 マルチポート繰り返し掃引モード0 ... 322
19.2 機能 ... 323
19.2.1 分解能選択機能 ... 323
19.2.2 サンプル&ホールド ... 323
19.2.3 トリガ選択機能 ... 323
19.2.4 DMAC利用モード ... 323
19.2.5 拡張アナログ入力端子 ... 324
19.2.6 外部オペアンプ接続モード ... 324
19.2.7 消費電流低減機能 ... 325
19.2.8 センサの出力インピーダンス ... 325
19.3 A/Dコンバータ使用上の注意 ... 327
19.3.1 基板設計上の注意点 ... 327
19.3.2 プログラム作成上の注意点 ... 327
20. D/Aコンバータ 329
21. CRC演算回路 331
22. X-Y変換回路 334
22.1 読み出し時のデータ変換 ... 335
22.2 書き込み時のデータ変換 ... 337

23. インテリジェントI/O 338
23.1 ベースタイマ(グループ0~2) 353
23.2 時間計測機能(グループ0、1) 359
23.3 波形生成機能(グループ0~2) 363
23.3.1 単相波形出力モード(グループ0~2) 364
23.3.2 反転波形出力モード(グループ0~2) 366
23.3.3 セット-リセット波形出力(SR波形出力)モード(グループ0~2) 368
23.3.4 ビットモジュレーションPWM出力モード(グループ2) 371
23.3.5 リアルタイムポート(RTP)出力モード(グループ2) 373
23.3.6 並列リアルタイムポート(RTP)出力モード(グループ2) 375
23.4 グループ2通信機能 377
23.4.1 可変長クロック同期型シリアルI/Oモード(グループ2) 382
24. マルチマスタ I2Cバスインタフェース 385
24.1 マルチマスタ I2Cバスインタフェース関連レジスタ 387
24.1.1 I2Cバス送受信シフトレジスタ (I2CTRSR) 387
24.1.2 I2Cバススレーブアドレスレジスタ (I2CSAR) 388
24.1.3 I2Cバス制御レジスタ 0 (I2CCR0) 389
24.1.4 I2Cバスクロック制御レジスタ (I2CCCR) 391
24.1.5 I2Cバススタートコンディション/ストップコンディション制御レジスタ (I2CSSCR) 393
24.1.6 I2Cバス制御レジスタ 1 (I2CCR1) 395
24.1.7 I2Cバス制御レジスタ 2 (I2CCR2) 398
24.1.8 I2Cバスステータスレジスタ (I2CSR) 400
24.1.9 I2Cバスモードレジスタ (I2CMR) 404
24.2 スタートコンディション生成方法 405
24.3 ストップコンディション生成方法 407
24.4 スタートコンディション重複防止機能 408
24.5 スタートコンディション/ストップコンディション検出 409
24.6 データ送受信 411
24.6.1 マスタ送信例 412
24.6.2 スレーブ受信例 413
24.7 使用上の注意事項 414
24.7.1 I2Cバスインタフェースの各レジスタアクセス 414
24.7.2 リスタートコンディションの生成 416
25. CANモジュール 417
25.1 CAN SFR 420
25.1.1 CANi制御レジスタ (CiCTLR レジスタ) (i=0, 1) 421
25.1.2 CANiクロック選択レジスタ (CiCLKR レジスタ) (i=0, 1) 425
25.1.3 CANiビットコンフィグレーションレジスタ (CiBCR レジスタ) (i=0, 1) 426
25.1.4 CANiマスクレジスタk (CiMKRk レジスタ) (i=0, 1、k=0~7) 428
25.1.5 CANi FIFO受信ID比較レジスタn (CiFIDCR0、CiFIDCR1 レジスタ) (i=0, 1、n=0, 1) 429

25.1.6 CANiマスク無効レジスタ(CiMKIVLRレジスタ) (i=0, 1) 431
25.1.7 CANiメールボックス(CiMBjレジスタ) (i=0, 1、j=0~31) 432
25.1.8 CANiメールボックス割り込み許可レジスタ(CiMIERレジスタ) (i=0, 1) 436
25.1.9 CANiメッセージ制御レジスタj (CiMCTLjレジスタ) (i=0, 1、j=0~31) 437
25.1.10 CANi受信FIFO制御レジスタ(CiRFCRレジスタ) (i=0, 1) 441
25.1.11 CANi受信FIFOポインタ制御レジスタ(CiRFPCRレジスタ) (i=0, 1) 444
25.1.12 CANi送信FIFO制御レジスタ(CiTFCRレジスタ) (i=0, 1) 445
25.1.13 CANi送信FIFOポインタ制御レジスタ(CiTFPCRレジスタ) (i=0, 1) 447
25.1.14 CANiステータスレジスタ(CiSTRレジスタ) (i=0, 1) 448
25.1.15 CANiメールボックスサーチモードレジスタ(CiMSMRレジスタ) (i=0, 1) 451
25.1.16 CANiメールボックスサーチステータスレジスタ(CiMSSRレジスタ) (i=0, 1) 452
25.1.17 CANiチャネルサーチサポートレジスタ(CiCSSRレジスタ) (i=0, 1) 454
25.1.18 CANiアクセプタンスフィルタサポートレジスタ(CiAFSRレジスタ) (i=0, 1) 455
25.1.19 CANiエラー割り込み許可レジスタ(CiEIERレジスタ) (i=0, 1) 456
25.1.20 CANiエラー割り込み要因判定レジスタ(CiEIFRレジスタ) (i=0, 1) 458
25.1.21 CANi受信エラーカウントレジスタ(CiRECRレジスタ) (i=0, 1) 461
25.1.22 CANi送信エラーカウントレジスタ(CiTECRレジスタ) (i=0, 1) 462
25.1.23 CANiエラーコード格納レジスタ(CiECSRレジスタ) (i=0, 1) 463
25.1.24 CANiタイムスタンプレジスタ(CiTSRレジスタ) (i=0, 1) 465
25.1.25 CANiテスト制御レジスタ(CiTCRレジスタ) (i=0, 1) 466
25.2 動作モード 469
25.2.1 CANリセットモード 470
25.2.2 CAN Haltモード 471
25.2.3 CANスリープモード 472
25.2.4 CANオペレーション モード(バスオフ状態以外) 473
25.2.5 CANオペレーションモード(バスオフ状態) 474
25.3 CAN通信速度の設定 475
25.3.1 CANクロックの設定 475
25.3.2 ビットタイミングの設定 475
25.3.3 ビットレート 476
25.4 メールボックスとマスクレジスタの構成 477
25.5 アクセプタンスフィルタ処理とマスク機能 479
25.6 受信、送信 482
25.6.1 受信 483
25.6.2 送信 485
25.7 CAN割り込み 486
26. 入出力端子 487
26.1 ポートPi方向レジスタ(PDiレジスタ、i=0~15) 488
26.2 出力機能選択レジスタ 489
26.3 入力機能選択レジスタ 507

26.4 プルアップ制御レジスタ 0~4 (PUR0~PUR4 レジスタ) 512
26.5 ポート制御レジスタ (PCR レジスタ) 515
26.6 未使用端子の処理 516

27. フラッシュメモリ 519
27.1 概要 519
27.2 フラッシュメモリプロテクト 521
27.2.1 ロックビットプロテクト 521
27.2.2 ROMコードプロテクト 521
27.2.3 IDコードプロテクト 522
27.2.4 強制イレーズ機能 523
27.2.5 標準シリアル入出力モード禁止機能 524
27.3 CPU 書き換えモード 525
27.3.1 CPU動作モードとフラッシュメモリ書き換え 533
27.3.2 フラッシュメモリ書き換えバスタイミング設定 534
27.3.3 ソフトウェアコマンド 538
27.3.4 モード遷移 539
27.3.5 コマンド発行手順 540
27.3.6 ステータスチェック 546
27.4 標準シリアル入出力モード 547
27.5 パラレル入出力モード 550
27.6 フラッシュメモリ書き換えに関する注意 551
27.6.1 電源電圧に関する注意事項 551
27.6.2 ハードウェアリセットに関する注意事項 551
27.6.3 フラッシュメモリプロテクトに関する注意点 551
27.6.4 プログラム作成上の注意点 551
27.6.5 割り込み使用上の注意点 551
27.6.6 書き換え制御プログラムの書き換えに関する注意点 552
27.6.7 プログラム、イレーズ回数とソフトウェアコマンド実行時間 552
27.6.8 その他の注意事項 552

28. 電気的特性 553

29. 使用上の注意事項 594
29.1 基板設計に関する注意 594
29.1.1 電源端子 594
29.1.2 電源電圧 594
29.2 レジスタ設定時の注意 595
29.2.1 ライトオンリのビットを含むレジスタ 595
29.3 クロック発生回路使用上の注意 597
29.3.1 サブクロック 597
29.3.2 パワーコントロール 597

29.4 バスの注意事項 ... 598
29.4.1 システム設計上の注意事項 ... 598
29.4.2 レジスタ設定上の注意事項 ... 598
29.5 割り込み使用上の注意 ... 599
29.5.1 ISPの設定 ... 599
29.5.2 NMI ... 599
29.5.3 外部割り込み ... 599
29.6 DMAコントローラ使用上の注意 ... 600
29.6.1 DMAC関連レジスタの設定 ... 600
29.6.2 DMAC関連レジスタの読み出し ... 600
29.7 タイマ使用上の注意 ... 601
29.7.1 タイマA、タイマB共通 ... 601
29.7.2 タイマA ... 601
29.7.3 タイマB ... 603
29.8 三相モータ制御用タイマ機能使用上の注意 ... 604
29.8.1 シャットダウン機能 ... 604
29.8.2 レジスタ設定 ... 604
29.9 シリアルインタフェース使用上の注意 ... 605
29.9.1 UiBRG レジスタ (i=0~8)の変更 ... 605
29.9.2 クロック同期モード ... 605
29.9.3 特殊モード1 (I^2Cモード) ... 605
29.9.4 通信異常時の対処方法 ... 606
29.10 A/Dコンバータ使用上の注意 ... 607
29.10.1 基板設計上の注意点 ... 607
29.10.2 プログラム作成上の注意点 ... 607
29.11 フラッシュメモリ書き換えに関する注意 ... 609
29.11.1 電源電圧に関する注意事項 ... 609
29.11.2 ハードウェアリセットに関する注意事項 ... 609
29.11.3 フラッシュメモリプロテクトに関する注意点 ... 609
29.11.4 プログラム作成上の注意点 ... 609
29.11.5 割り込み使用上の注意点 ... 609
29.11.6 書き換え制御プログラムの書き換えに関する注意点 ... 610
29.11.7 プログラム、イレーズ回数とソフトウェアコマンド実行時間 ... 610
29.11.8 その他の注意事項 ... 610

付録1.外形寸法図 611

索引 612

1. 概要

1.1 特長

M16C ファミリは、高い ROM 効率、優れたノイズ特性、超低消費電力、実応用での高い処理能力、豊富な内蔵周辺機能などを特長とする 32/16 ビット CISC マイコンです。同一アーキテクチャで、ピン配置互換、周辺機能上位互換を保持した上位から下位機種までのシリーズ展開により、幅広い応用分野に対応しています。

R32C/100 シリーズは、M16C ファミリの最上位の製品です。32 ビット CISC アーキテクチャを採用し、4G バイトのアドレス空間を備えています。また、乗算器や積和演算器、単精度浮動小数点演算器を搭載することで、高い命令効率と処理能力を達成しました。シリアルインタフェース、CRC 演算回路、DMAC、A/D コンバータ、D/A コンバータ、タイマ、I^2C、ウォッチドッグタイマなど豊富な周辺機能を搭載しています。

R32C/118 グループは R32C/100 シリーズの標準製品です。パッケージは 144 ピン LQFP と 100 ピン LQFP を採用し、シリアルインタフェースを 9 チャネル、マルチマスタ I^2C バスインタフェースを 1 チャネル、CAN モジュールを 2 チャネル内蔵しています。

1.1.1 用途

カーオーディオ、オーディオ、プリンタ、事務機器、産業機器、他

1.1.2 仕様概要

表 1.1~表 1.4にR32C/118グループの仕様概要を示します。

表 1.1 仕様概要(144ピン版) (1/2)

分類	機能	説明
CPU	中央演算処理装置	R32C/100シリーズCPUコア •基本命令数: 108 •最小命令実行時間: 15.625 ns (f(CPU) = 64 MHz) •乗算器: 32ビット× 32ビット→ 64ビット •積和演算命令: 32ビット× 32ビット+ 64ビット→ 64ビット •FPU: 単精度 (IEEE-754準拠) •バレルシフタ: 32ビット •動作モード: シングルチップモード、メモリ拡張モード、マイクロプロセッサモード(オプション(注1))
メモリ		フラッシュメモリ: 384K~1Mバイト RAM: 40K / 48K / 63Kバイト データフラッシュ: 4Kバイト× 2ブロック 品種ごとのメモリサイズについては表 1.5、表 1.6をご参照ください
電圧検出	電圧低下検出回路	オプション(注1) 電圧低下検出割り込み
クロック	クロック発生回路	•4回路 (メインクロック、サブクロック、PLL、オンチップオシレータ) •発振停止検出: メインクロック発振停止、再発振検出機能 •周波数分周回路: 2 ~ 24分周選択 •低消費電力機構: ウェイトモード、ストップモード
外部バス拡張	バス•メモリ拡張機能	•アドレス空間: 4Gバイト(うち64Mバイトまで利用可能) •外部バスインタフェース: ウェイト挿入可、チップセレクト4出力 •バス形式: セパレートバス/マルチプレクスバス切り替え可、データバス幅切り替え可(8/16/32ビット)
割り込み		割り込みベクタ数: 261 外部割り込み入力: $\overline{\text{NMI}}$、$\overline{\text{INT}}$ × 9、キー入力× 4 割り込み優先レベル: 7レベル
ウォッチドッグタイマ		15ビット× 1 (プリスケーラ付)
DMA	DMAC	4チャネル •サイクルスチール方式 •起動要因数: 57 •転送モード: 単転送、リピート転送
	DMAC II	•すべての周辺機能割り込み要因で起動可能 •即値転送機能、演算転送機能、チェーン転送機能
I/Oポート	プログラマブル入出力ポート	•入力専用: 2 •CMOS入出力: 120 •内5Vトレラントポート: 32 •4端子ごとにプルアップ抵抗設定可能(5Vトレラントポート除く)

注1. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

表 1.2 仕様概要(144ピン版) (2/2)

分類	機能	説明
タイマ	タイマA	16ビットタイマ×5 タイマモード、イベントカウンタモード、ワンショットタイマモード、パルス幅変調(PWM)モード イベントカウンタ二相パルス信号処理(二相エンコーダ入力)×3
	タイマB	16ビットタイマ×6 タイマモード、イベントカウンタモード、パルス周期測定モード、パルス幅測定モード
	三相モータ制御用タイマ機能	三相モータ制御用タイマ×1(タイマA1、A2、A4、B2使用) 短絡防止タイマ内蔵
シリアルインタフェース	UART0~UART8	クロック同期/非同期兼用×9チャネル • I2C-bus (UART0~UART6) • 特殊モード2 (UART0~UART6) • IEBus (UART0~UART6) (オプション(注1))
A/Dコンバータ		分解能10ビット×34チャネル サンプル&ホールドあり
D/Aコンバータ		分解能8ビット×2回路
CRC演算回路		CRC-CCITT ($X^{16}+X^{12}+X^5+1$)
X-Y変換回路		16ビット×16ビット
インテリジェントI/O		時間計測機能(インプットキャプチャ): 16ビット×16 波形生成機能(アウトプットコンペア): 16ビット×24 通信機能: 可変長クロック同期型シリアルI/O、IEBus (オプション(注1))
マルチマスタI2Cバスインタフェース		1チャネル
CANモジュール		2チャネル ISO11898-1仕様準拠 32メールボックス
フラッシュメモリ		プログラム、イレーズ電圧: VCC = 3.0 ~ 5.5 V プログラム、イレーズ回数: 1000回 プログラムセキュリティ: ROMコードプロテクト、IDコードプロテクト デバッグ機能: オンチップデバッグ、オンボードフラッシュ書き換え機能
動作周波数/電源電圧		64 MHz (高速版)、50 MHz (通常版) / VCC = 3.0 ~ 5.5 V
動作周囲温度		-20°C ~ 85°C (Nバージョン) -40°C ~ 85°C (Dバージョン) -40°C ~ 85°C (Pバージョン)
消費電流		45 mA (VCC = 5.0 V、f(CPU) = 64 MHz) 35 mA (VCC = 5.0 V、f(CPU) = 50 MHz) 8 µA (VCC = 3.3 V、f(XCIN) = 32.768 kHz、ウェイトモード)
パッケージ		144ピンプラスチックモールドLQFP (PLQP0144KA-A)

注1. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

表 1.3 仕様概要(100ピン版) (1/2)

分類	機能	説明
CPU	中央演算処理装置	R32C/100シリーズCPUコア •基本命令数: 108 •最小命令実行時間: 15.625 ns (f(CPU) = 64 MHz) •乗算器: 32ビット× 32ビット→ 64ビット •積和演算命令: 32ビット× 32ビット+ 64ビット→ 64ビット •FPU: 単精度 (IEEE-754準拠) •バレルシフタ: 32ビット •動作モード: シングルチップモード、メモリ拡張モード、マイクロプロセッサモード(オプション(注1))
メモリ		フラッシュメモリ: 384K~1Mバイト RAM: 40K / 48K / 63Kバイト データフラッシュ: 4Kバイト× 2ブロック 品種ごとのメモリサイズについては表 1.5、表 1.6をご参照ください
電圧検出	電圧低下検出回路	オプション(注1) 電圧低下検出割り込み
クロック	クロック発生回路	•4回路 (メインクロック、サブクロック、PLL、オンチップオシレータ) •発振停止検出: メインクロック発振停止、再発振検出機能 •周波数分周回路: 2 ~ 24分周選択 •低消費電力機構: ウェイトモード、ストップモード
外部バス拡張	バス•メモリ拡張機能	•アドレス空間: 4Gバイト(うち64Mバイトまで利用可能) •外部バスインタフェース: ウェイト挿入可、チップセレクト4出力 •バス形式: セパレートバス/マルチプレクスバス切り替え可、データバス幅切り替え可(8/16ビット)
割り込み		割り込みベクタ数: 261 外部割り込み入力: $\overline{\text{NMI}}$、$\overline{\text{INT}}$ × 6、キー入力× 4 割り込み優先レベル: 7レベル
ウォッチドッグタイマ		15ビット× 1 (プリスケーラ付)
DMA	DMAC	4チャネル •サイクルスチール方式 •起動要因数: 51 •転送モード: 単転送、リピート転送
	DMAC II	•すべての周辺機能割り込み要因で起動可能 •即値転送機能、演算転送機能、チェーン転送機能
I/Oポート	プログラマブル入出力ポート	•入力専用: 2 •CMOS入出力: 84 •内5Vトレラントポート: 32 •4端子ごとにプルアップ抵抗設定可能(5Vトレラントポート除く)

注1. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

表 1.4 仕様概要(100ピン版) (2/2)

分類	機能	説明
タイマ	タイマA	16ビットタイマ×5 タイマモード、イベントカウンタモード、ワンショットタイマモード、パルス幅変調(PWM)モード イベントカウンタ二相パルス信号処理(二相エンコーダ入力)×3
	タイマB	16ビットタイマ×6 タイマモード、イベントカウンタモード、パルス周期測定モード、パルス幅測定モード
	三相モータ制御用タイマ機能	三相モータ制御用タイマ×1(タイマA1、A2、A4、B2使用) 短絡防止タイマ内蔵
シリアルインタフェース	UART0~UART8	クロック同期/非同期兼用×9チャネル • I^2C-bus (UART0~UART6) • 特殊モード2 (UART0~UART6) • IEBus (UART0~UART6) (オプション(注1))
A/Dコンバータ		分解能10ビット×26チャネル サンプル&ホールドあり
D/Aコンバータ		分解能8ビット×2回路
CRC演算回路		CRC-CCITT ($X^{16}+X^{12}+X^5+1$)
X-Y変換回路		16ビット×16ビット
インテリジェントI/O		時間計測機能(インプットキャプチャ): 16ビット×16 波形生成機能(アウトプットコンペア): 16ビット×19 通信機能: 可変長クロック同期型シリアルI/O、IEBus (オプション(注1))
マルチマスタI^2Cバスインタフェース		1チャネル
CANモジュール		2チャネル ISO11898-1仕様準拠 32メールボックス
フラッシュメモリ		プログラム、イレーズ電圧: VCC = 3.0 ~ 5.5 V プログラム、イレーズ回数: 1000回 プログラムセキュリティ: ROMコードプロテクト、IDコードプロテクト デバッグ機能: オンチップデバッグ、オンボードフラッシュ書き換え機能
動作周波数/電源電圧		64 MHz (高速版)、50 MHz (通常版) / VCC = 3.0 ~ 5.5 V
動作周囲温度		-20°C ~ 85°C (Nバージョン) -40°C ~ 85°C (Dバージョン) -40°C ~ 85°C (Pバージョン)
消費電流		45 mA (VCC = 5.0 V、f(CPU) = 64 MHz) 35 mA (VCC = 5.0 V、f(CPU) = 50 MHz) 8 µA (VCC = 3.3 V、f(XCIN) = 32.768 kHz、ウェイトモード)
パッケージ		100ピンプラスチックモールドLQFP (PLQP0100KB-A)

注1. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

1.2 製品一覧

表 1.5、表 1.6に製品一覧表、図 1.1に型名とメモリサイズ・パッケージを示します。

表 1.5 製品一覧表(1)通常版 2012年10月現在

型名	パッケージ(注1)	ROM容量(注2)	RAM容量	備考
R5F64185NFD (計)	PLQP0144KA-A	384Kバイト +8Kバイト	40Kバイト	-20°C ~ 85°C (Nバージョン)
R5F64185DFD				-40°C ~ 85°C (Dバージョン)
R5F64185PFD				-40°C ~ 85°C (Pバージョン)
R5F64185NFB (計)	PLQP0100KB-A			-20°C ~ 85°C (Nバージョン)
R5F64185DFB				-40°C ~ 85°C (Dバージョン)
R5F64185PFB				-40°C ~ 85°C (Pバージョン)
R5F64186NFD (計)	PLQP0144KA-A	512Kバイト +8Kバイト		-20°C ~ 85°C (Nバージョン)
R5F64186DFD				-40°C ~ 85°C (Dバージョン)
R5F64186PFD				-40°C ~ 85°C (Pバージョン)
R5F64186NFB (計)	PLQP0100KB-A			-20°C ~ 85°C (Nバージョン)
R5F64186DFB				-40°C ~ 85°C (Dバージョン)
R5F64186PFB				-40°C ~ 85°C (Pバージョン)
R5F64187NFD (計)	PLQP0144KA-A	640Kバイト +8Kバイト	48Kバイト	-20°C ~ 85°C (Nバージョン)
R5F64187DFD				-40°C ~ 85°C (Dバージョン)
R5F64187PFD				-40°C ~ 85°C (Pバージョン)
R5F64187NFB (計)	PLQP0100KB-A			-20°C ~ 85°C (Nバージョン)
R5F64187DFB				-40°C ~ 85°C (Dバージョン)
R5F64187PFB				-40°C ~ 85°C (Pバージョン)
R5F64188NFD (計)	PLQP0144KA-A	768Kバイト +8Kバイト	63Kバイト	-20°C ~ 85°C (Nバージョン)
R5F64188DFD				-40°C ~ 85°C (Dバージョン)
R5F64188PFD				-40°C ~ 85°C (Pバージョン)
R5F64188NFB (計)	PLQP0100KB-A			-20°C ~ 85°C (Nバージョン)
R5F64188DFB				-40°C ~ 85°C (Dバージョン)
R5F64188PFB				-40°C ~ 85°C (Pバージョン)
R5F64189NFD (計)	PLQP0144KA-A	1Mバイト +8Kバイト		-20°C ~ 85°C (Nバージョン)
R5F64189DFD				-40°C ~ 85°C (Dバージョン)
R5F64189PFD				-40°C ~ 85°C (Pバージョン)
R5F64189NFB (計)	PLQP0100KB-A			-20°C ~ 85°C (Nバージョン)
R5F64189DFB				-40°C ~ 85°C (Dバージョン)
R5F64189PFB				-40°C ~ 85°C (Pバージョン)

(計): 計画中

注1. 旧パッケージコードは以下のとおりです。
PLQP0100KB-A : 100P6Q-A、PLQP0144KA-A : 144P6Q-A

注2. ROM容量の「+8Kバイト」はデータフラッシュの容量です。

表 1.6　製品一覧表(2)高速版　　2012年10月現在

型名	パッケージ(注1)	ROM容量(注2)	RAM容量	備考
R5F64185HNFD（計）	PLQP0144KA-A	384Kバイト +8Kバイト	40Kバイト	-20°C ~ 85°C (Nバージョン)
R5F64185HDFD				-40°C ~ 85°C (Dバージョン)
R5F64185HPFD				-40°C ~ 85°C (Pバージョン)
R5F64185HNFB（計）	PLQP0100KB-A			-20°C ~ 85°C (Nバージョン)
R5F64185HDFB				-40°C ~ 85°C (Dバージョン)
R5F64185HPFB				-40°C ~ 85°C (Pバージョン)
R5F64186HNFD（計）	PLQP0144KA-A	512Kバイト +8Kバイト		-20°C ~ 85°C (Nバージョン)
R5F64186HDFD				-40°C ~ 85°C (Dバージョン)
R5F64186HPFD				-40°C ~ 85°C (Pバージョン)
R5F64186HNFB（計）	PLQP0100KB-A			-20°C ~ 85°C (Nバージョン)
R5F64186HDFB				-40°C ~ 85°C (Dバージョン)
R5F64186HPFB				-40°C ~ 85°C (Pバージョン)
R5F64187HNFD（計）	PLQP0144KA-A	640Kバイト +8Kバイト	48Kバイト	-20°C ~ 85°C (Nバージョン)
R5F64187HDFD				-40°C ~ 85°C (Dバージョン)
R5F64187HPFD				-40°C ~ 85°C (Pバージョン)
R5F64187HNFB（計）	PLQP0100KB-A			-20°C ~ 85°C (Nバージョン)
R5F64187HDFB				-40°C ~ 85°C (Dバージョン)
R5F64187HPFB				-40°C ~ 85°C (Pバージョン)
R5F64188HNFD（計）	PLQP0144KA-A	768Kバイト +8Kバイト	63Kバイト	-20°C ~ 85°C (Nバージョン)
R5F64188HDFD				-40°C ~ 85°C (Dバージョン)
R5F64188HPFD				-40°C ~ 85°C (Pバージョン)
R5F64188HNFB（計）	PLQP0100KB-A			-20°C ~ 85°C (Nバージョン)
R5F64188HDFB				-40°C ~ 85°C (Dバージョン)
R5F64188HPFB				-40°C ~ 85°C (Pバージョン)
R5F64189HNFD（計）	PLQP0144KA-A	1Mバイト +8Kバイト		-20°C ~ 85°C (Nバージョン)
R5F64189HDFD				-40°C ~ 85°C (Dバージョン)
R5F64189HPFD				-40°C ~ 85°C (Pバージョン)
R5F64189HNFB（計）	PLQP0100KB-A			-20°C ~ 85°C (Nバージョン)
R5F64189HDFB				-40°C ~ 85°C (Dバージョン)
R5F64189HPFB				-40°C ~ 85°C (Pバージョン)

(計): 計画中

注1.　旧パッケージコードは以下のとおりです。
　　PLQP0100KB-A : 100P6Q-A、PLQP0144KA-A : 144P6Q-A

注2.　ROM容量の「+8Kバイト」はデータフラッシュの容量です。

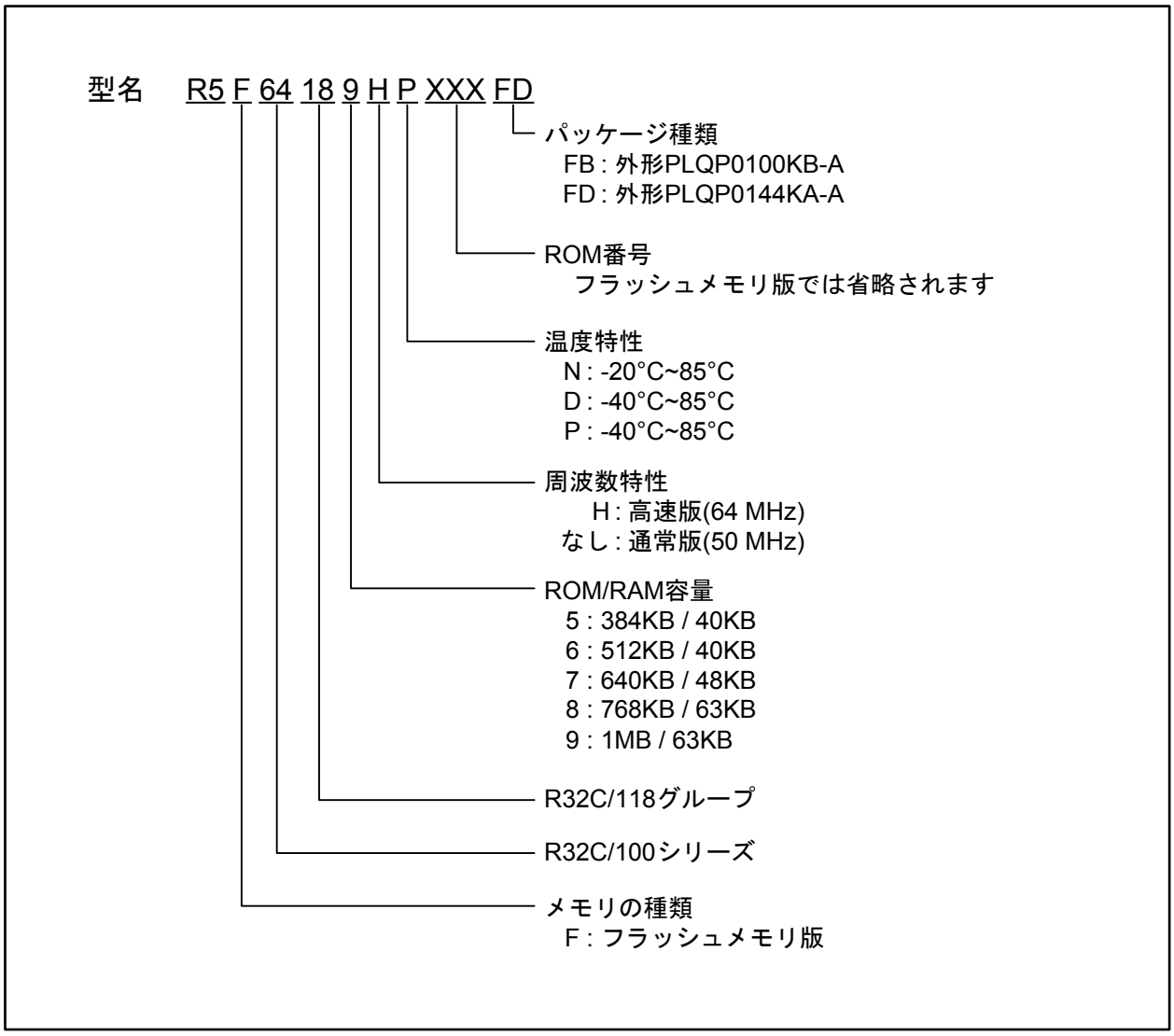
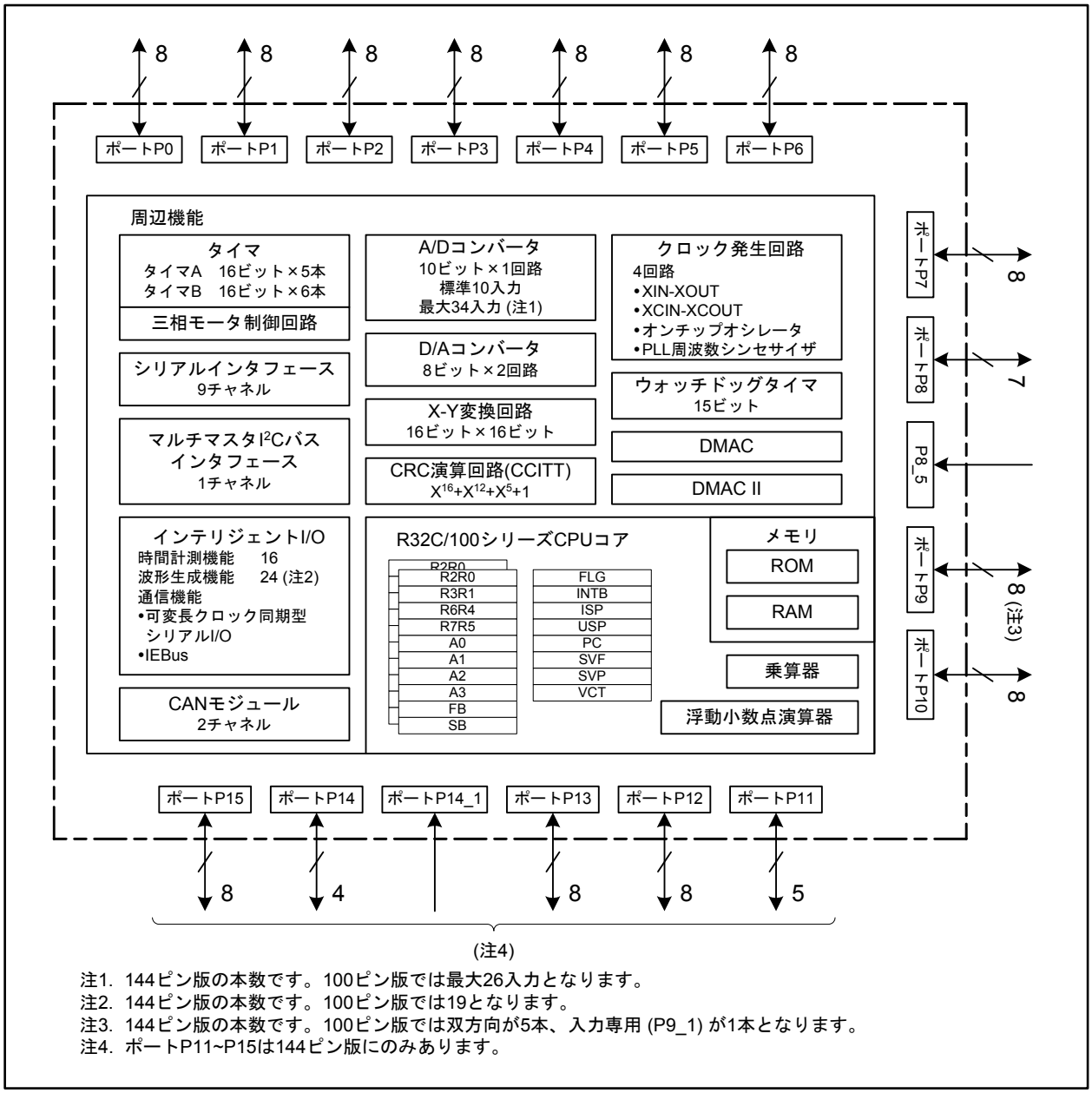


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2にR32C/118グループのブロック図を示します。

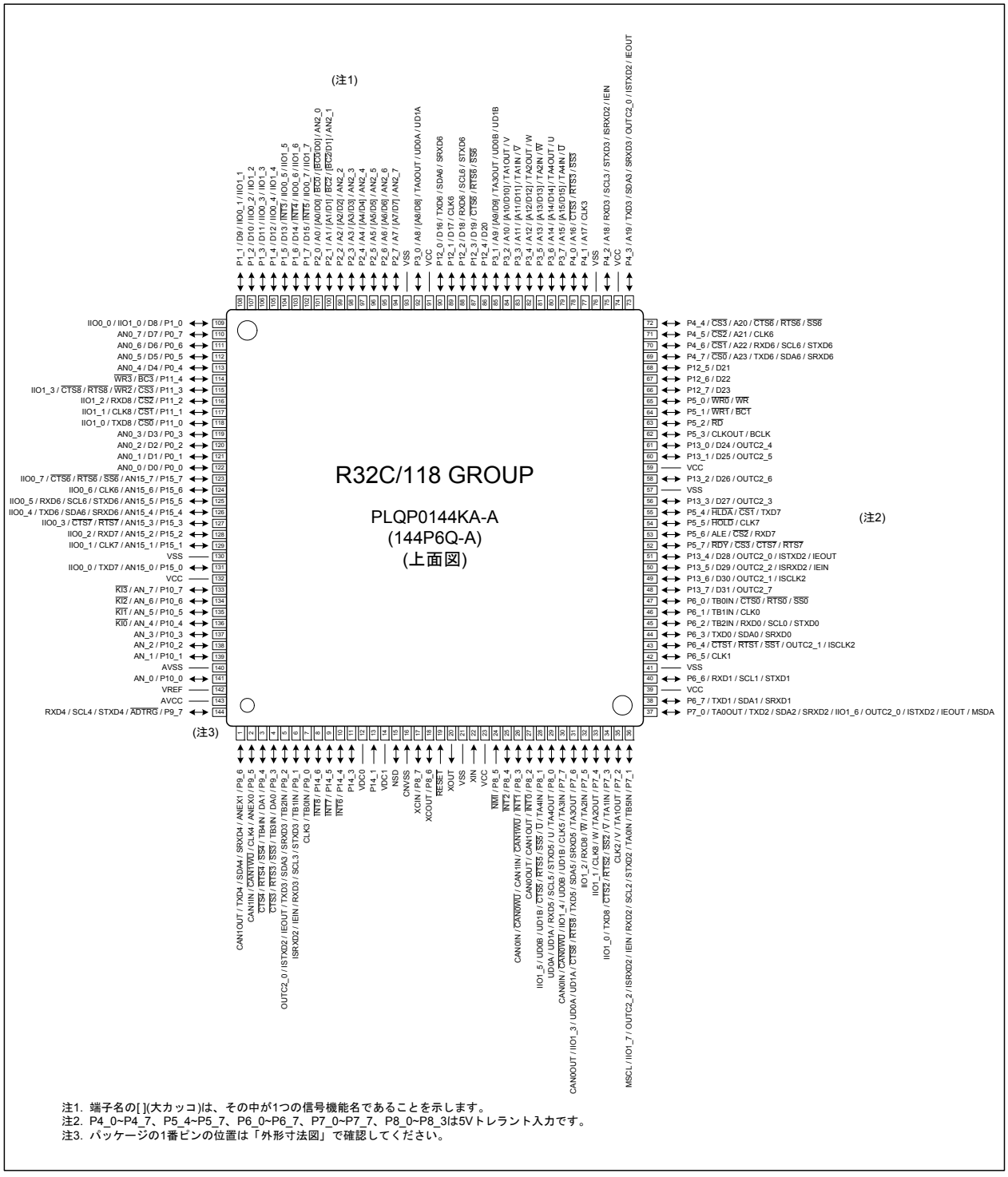


注1. 144ピン版の本数です。100ピン版では最大26入力となります。
注2. 144ピン版の本数です。100ピン版では19となります。
注3. 144ピン版の本数です。100ピン版では双方向が5本、入力専用 (P9_1) が1本となります。
注4. ポートP11~P15は144ピン版にのみあります。

図 1.2 R32C/118グループのブロック図

1.4 ピン接続図

図 1.3、図 1.4にピン接続図(上面図)を示します。



注1. 端子名の[ ](大カッコ)は、その中が1つの信号機能名であることを示します。
注2. P4_0~P4_7、P5_4~P5_7、P6_0~P6_7、P7_0~P7_7、P8_0~P8_3は5Vトレラント入力です。
注3. パッケージの1番ピンの位置は「外形寸法図」で確認してください。

図 1.3 144 ピン版ピン接続図(上面図)

表 1.7 144ピン版端子名一覧表 (1/4)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART/CAN端子	インテリジェントI/O端子	アナログ端子	バス制御端子
1		P9_6			TXD4/SDA4/SRXD4/CAN1OUT		ANEX1	
2		P9_5			CLK4/CAN1IN/$\overline{\text{CAN1WU}}$		ANEX0	
3		P9_4		TB4IN	$\overline{\text{CTS4}}$/$\overline{\text{RTS4}}$/$\overline{\text{SS4}}$		DA1	
4		P9_3		TB3IN	$\overline{\text{CTS3}}$/$\overline{\text{RTS3}}$/$\overline{\text{SS3}}$		DA0	
5		P9_2		TB2IN	TXD3/SDA3/SRXD3	OUTC2_0/ISTXD2/IEOUT		
6		P9_1		TB1IN	RXD3/SCL3/STXD3	ISRXD2/IEIN		
7		P9_0		TB0IN	CLK3			
8		P14_6	$\overline{\text{INT8}}$					
9		P14_5	$\overline{\text{INT7}}$					
10		P14_4	$\overline{\text{INT6}}$					
11		P14_3						
12	VDC0							
13		P14_1						
14	VDC1							
15	NSD							
16	CNVSS							
17	XCIN	P8_7						
18	XCOUT	P8_6						
19	$\overline{\text{RESET}}$							
20	XOUT							
21	VSS							
22	XIN							
23	VCC							
24		P8_5	$\overline{\text{NMI}}$					
25		P8_4	$\overline{\text{INT2}}$					
26		P8_3	$\overline{\text{INT1}}$		CAN0IN/$\overline{\text{CAN0WU}}$/CAN1IN/$\overline{\text{CAN1WU}}$			
27		P8_2	$\overline{\text{INT0}}$		CAN0OUT/CAN1OUT			
28		P8_1		TA4IN/$\overline{\text{U}}$	$\overline{\text{CTS5}}$/$\overline{\text{RTS5}}$/$\overline{\text{SS5}}$	IIO1_5/UD0B/UD1B		
29		P8_0		TA4OUT/U	RXD5/SCL5/STXD5	UD0A/UD1A		
30		P7_7		TA3IN	CLK5/CAN0IN/$\overline{\text{CAN0WU}}$	IIO1_4/UD0B/UD1B		
31		P7_6		TA3OUT	TXD5/SDA5/SRXD5/$\overline{\text{CTS8}}$/$\overline{\text{RTS8}}$/CAN0OUT	IIO1_3/UD0A/UD1A		
32		P7_5		TA2IN/$\overline{\text{W}}$	RXD8	IIO1_2		
33		P7_4		TA2OUT/W	CLK8	IIO1_1		
34		P7_3		TA1IN/$\overline{\text{V}}$	$\overline{\text{CTS2}}$/$\overline{\text{RTS2}}$/$\overline{\text{SS2}}$/TXD8	IIO1_0		
35		P7_2		TA1OUT/V	CLK2			
36		P7_1		TA0IN/TB5IN	RXD2/SCL2/STXD2/MSCL	IIO1_7/OUTC2_2/ISRXD2/IEIN		

表 1.8 144ピン版端子名一覧表 (2/4)

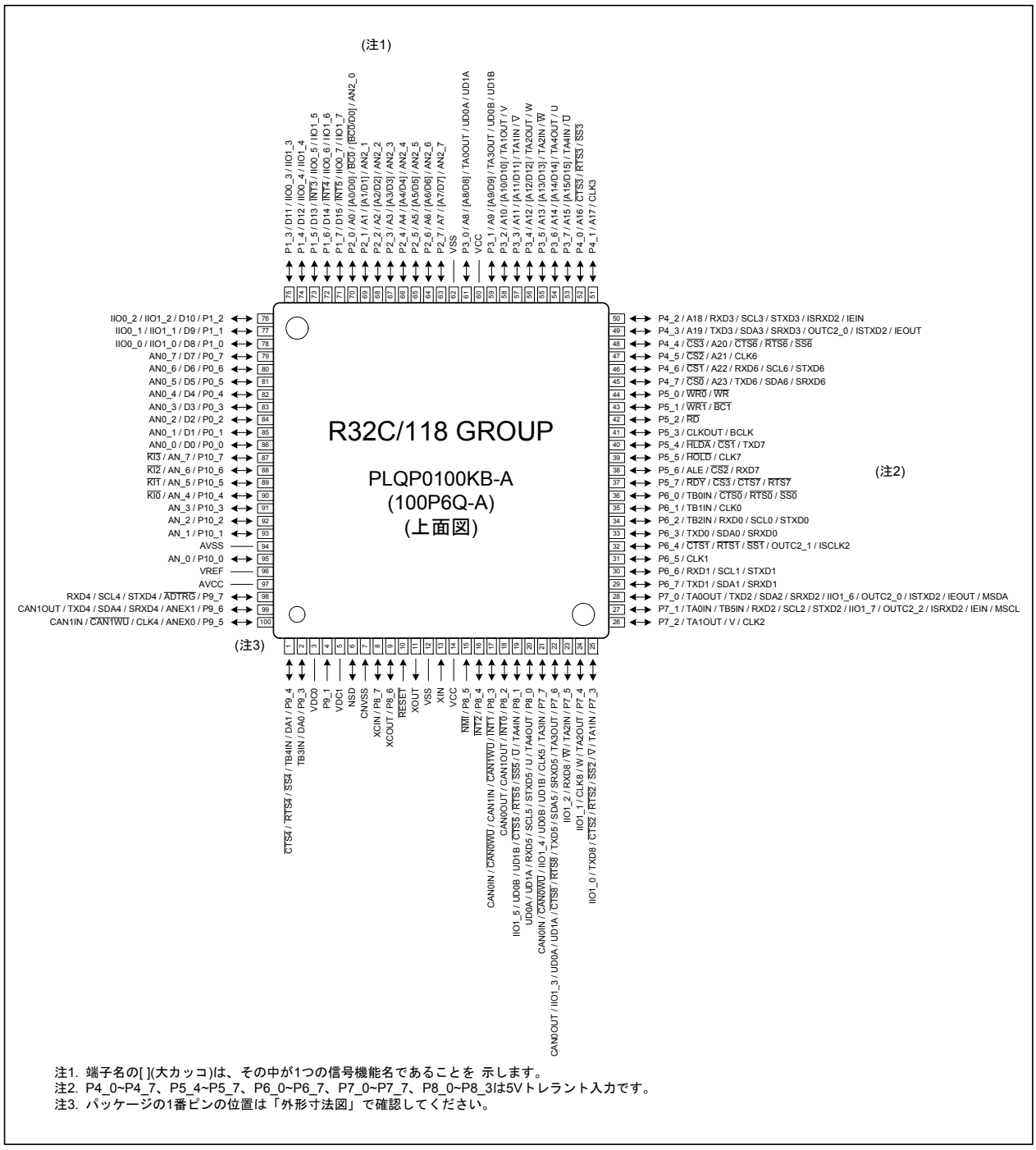
Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART/CAN端子	インテリジェントI/O端子	アナログ端子	バス制御端子
37		P7_0		TA0OUT	TXD2/SDA2/SRXD2/MSDA	IIO1_6/OUTC2_0/ISTXD2/IEOUT		
38		P6_7			TXD1/SDA1/SRXD1			
39	VCC							
40		P6_6			RXD1/SCL1/STXD1			
41	VSS							
42		P6_5			CLK1			
43		P6_4			$\overline{\text{CTS1}}$/$\overline{\text{RTS1}}$/$\overline{\text{SS1}}$	OUTC2_1/ISCLK2		
44		P6_3			TXD0/SDA0/SRXD0			
45		P6_2		TB2IN	RXD0/SCL0/STXD0			
46		P6_1		TB1IN	CLK0			
47		P6_0		TB0IN	$\overline{\text{CTS0}}$/$\overline{\text{RTS0}}$/$\overline{\text{SS0}}$			
48		P13_7				OUTC2_7		D31
49		P13_6				OUTC2_1/ISCLK2		D30
50		P13_5				OUTC2_2/ISRXD2/IEIN		D29
51		P13_4				OUTC2_0/ISTXD2/IEOUT		D28
52		P5_7			$\overline{\text{CTS7}}$/$\overline{\text{RTS7}}$			$\overline{\text{RDY}}$/$\overline{\text{CS3}}$
53		P5_6			RXD7			ALE/$\overline{\text{CS2}}$
54		P5_5			CLK7			$\overline{\text{HOLD}}$
55		P5_4			TXD7			$\overline{\text{HLDA}}$/$\overline{\text{CS1}}$
56		P13_3				OUTC2_3		D27
57	VSS							
58		P13_2				OUTC2_6		D26
59	VCC							
60		P13_1				OUTC2_5		D25
61		P13_0				OUTC2_4		D24
62		P5_3						CLKOUT/BCLK
63		P5_2						$\overline{\text{RD}}$
64		P5_1						$\overline{\text{WR1}}$/$\overline{\text{BC1}}$
65		P5_0						$\overline{\text{WR0}}$/$\overline{\text{WR}}$
66		P12_7						D23
67		P12_6						D22
68		P12_5						D21
69		P4_7			TXD6/SDA6/SRXD6			$\overline{\text{CS0}}$/A23
70		P4_6			RXD6/SCL6/STXD6			$\overline{\text{CS1}}$/A22
71		P4_5			CLK6			$\overline{\text{CS2}}$/A21
72		P4_4			$\overline{\text{CTS6}}$/$\overline{\text{RTS6}}$/$\overline{\text{SS6}}$			$\overline{\text{CS3}}$/A20

表 1.9 144ピン版端子名一覧表 (3/4)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART/CAN端子	インテリジェントI/O端子	アナログ端子	バス制御端子
73		P4_3			TXD3/SDA3/SRXD3	OUTC2_0/ISTXD2/IEOUT		A19
74	VCC							
75		P4_2			RXD3/SCL3/STXD3	ISRXD2/IEIN		A18
76	VSS							
77		P4_1			CLK3			A17
78		P4_0			$\overline{\text{CTS3}}$/$\overline{\text{RTS3}}$/$\overline{\text{SS3}}$			A16
79		P3_7		TA4IN/$\overline{\text{U}}$				A15(/D15)
80		P3_6		TA4OUT/U				A14(/D14)
81		P3_5		TA2IN/$\overline{\text{W}}$				A13(/D13)
82		P3_4		TA2OUT/W				A12(/D12)
83		P3_3		TA1IN/$\overline{\text{V}}$				A11(/D11)
84		P3_2		TA1OUT/V				A10(/D10)
85		P3_1		TA3OUT		UD0B/UD1B		A9(/D9)
86		P12_4						D20
87		P12_3			$\overline{\text{CTS6}}$/$\overline{\text{RTS6}}$/$\overline{\text{SS6}}$			D19
88		P12_2			RXD6/SCL6/STXD6			D18
89		P12_1			CLK6			D17
90		P12_0			TXD6/SDA6/SRXD6			D16
91	VCC							
92		P3_0		TA0OUT		UD0A/UD1A		A8(/D8)
93	VSS							
94		P2_7					AN2_7	A7(/D7)
95		P2_6					AN2_6	A6(/D6)
96		P2_5					AN2_5	A5(/D5)
97		P2_4					AN2_4	A4(/D4)
98		P2_3					AN2_3	A3(/D3)
99		P2_2					AN2_2	A2(/D2)
100		P2_1					AN2_1	A1(/D1)/$\overline{\text{BC2}}$(/D1)
101		P2_0					AN2_0	A0(/D0)/$\overline{\text{BC0}}$(/D0)
102		P1_7	$\overline{\text{INT5}}$			IIO0_7/IIO1_7		D15
103		P1_6	$\overline{\text{INT4}}$			IIO0_6/IIO1_6		D14
104		P1_5	$\overline{\text{INT3}}$			IIO0_5/IIO1_5		D13
105		P1_4				IIO0_4/IIO1_4		D12
106		P1_3				IIO0_3/IIO1_3		D11
107		P1_2				IIO0_2/IIO1_2		D10
108		P1_1				IIO0_1/IIO1_1		D9

表 1.10　144ピン版端子名一覧表 (4/4)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART/CAN端子	インテリジェントI/O端子	アナログ端子	バス制御端子
109		P1_0				IIO0_0/IIO1_0		D8
110		P0_7					AN0_7	D7
111		P0_6					AN0_6	D6
112		P0_5					AN0_5	D5
113		P0_4					AN0_4	D4
114		P11_4						$\overline{BC3}/\overline{WR3}$
115		P11_3			$\overline{CTS8}/\overline{RTS8}$	IIO1_3		$\overline{CS3}/\overline{WR2}$
116		P11_2			RXD8	IIO1_2		$\overline{CS2}$
117		P11_1			CLK8	IIO1_1		$\overline{CS1}$
118		P11_0			TXD8	IIO1_0		$\overline{CS0}$
119		P0_3					AN0_3	D3
120		P0_2					AN0_2	D2
121		P0_1					AN0_1	D1
122		P0_0					AN0_0	D0
123		P15_7			$\overline{CTS6}/\overline{RTS6}/\overline{SS6}$	IIO0_7	AN15_7	
124		P15_6			CLK6	IIO0_6	AN15_6	
125		P15_5			RXD6/SCL6/STXD6	IIO0_5	AN15_5	
126		P15_4			TXD6/SDA6/SRXD6	IIO0_4	AN15_4	
127		P15_3			$\overline{CTS7}/\overline{RTS7}$	IIO0_3	AN15_3	
128		P15_2			RXD7	IIO0_2	AN15_2	
129		P15_1			CLK7	IIO0_1	AN15_1	
130	VSS							
131		P15_0			TXD7	IIO0_0	AN15_0	
132	VCC							
133		P10_7	$\overline{KI3}$				AN_7	
134		P10_6	$\overline{KI2}$				AN_6	
135		P10_5	$\overline{KI1}$				AN_5	
136		P10_4	$\overline{KI0}$				AN_4	
137		P10_3					AN_3	
138		P10_2					AN_2	
139		P10_1					AN_1	
140	AVSS							
141		P10_0					AN_0	
142	VREF							
143	AVCC							
144		P9_7			RXD4/SCL4/STXD4		$\overline{ADTRG}$	



注1. 端子名の[ ](大カッコ)は、その中が1つの信号機能名であることを 示します。
注2. P4_0~P4_7、P5_4~P5_7、P6_0~P6_7、P7_0~P7_7、P8_0~P8_3は5Vトレラント入力です。
注3. パッケージの1番ピンの位置は「外形寸法図」で確認してください。

図 1.4 100ピン版ピン接続図(上面図)

表 1.11　100ピン版端子名一覧表 (1/3)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART/CAN端子	インテリジェントI/O端子	アナログ端子	バス制御端子
1		P9_4		TB4IN	CTS4/RTS4/SS4		DA1	
2		P9_3		TB3IN			DA0	
3	VDC0							
4		P9_1						
5	VDC1							
6	NSD							
7	CNVSS							
8	XCIN	P8_7						
9	XCOUT	P8_6						
10	RESET							
11	XOUT							
12	VSS							
13	XIN							
14	VCC							
15		P8_5	NMI					
16		P8_4	INT2					
17		P8_3	INT1		CAN0IN/CAN0WU/ CAN1IN/CAN1WU			
18		P8_2	INT0		CAN0OUT/CAN1OUT			
19		P8_1		TA4IN/U	CTS5/RTS5/SS5	IIO1_5/UD0B/UD1B		
20		P8_0		TA4OUT/U	RXD5/SCL5/STXD5	UD0A/UD1A		
21		P7_7		TA3IN	CLK5/CAN0IN/ CAN0WU	IIO1_4/UD0B/UD1B		
22		P7_6		TA3OUT	TXD5/SDA5/SRXD5/ CTS8/RTS8/CAN0OUT	IIO1_3/UD0A/UD1A		
23		P7_5		TA2IN/W	RXD8	IIO1_2		
24		P7_4		TA2OUT/W	CLK8	IIO1_1		
25		P7_3		TA1IN/V	CTS2/RTS2/SS2/TXD8	IIO1_0		
26		P7_2		TA1OUT/V	CLK2			
27		P7_1		TA0IN/ TB5IN	RXD2/SCL2/STXD2/ MSCL	IIO1_7/OUTC2_2/ ISRXD2/IEIN		
28		P7_0		TA0OUT	TXD2/SDA2/SRXD2/ MSDA	IIO1_6/OUTC2_0/ ISTXD2/IEOUT		
29		P6_7			TXD1/SDA1/SRXD1			
30		P6_6			RXD1/SCL1/STXD1			
31		P6_5			CLK1			
32		P6_4			CTS1/RTS1/SS1	OUTC2_1/ISCLK2		
33		P6_3			TXD0/SDA0/SRXD0			
34		P6_2		TB2IN	RXD0/SCL0/STXD0			
35		P6_1		TB1IN	CLK0			
36		P6_0		TB0IN	CTS0/RTS0/SS0			
37		P5_7			CTS7/RTS7			RDY/CS3

表 1.12　100ピン版端子名一覧表 (2/3)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART/CAN端子	インテリジェントI/O端子	アナログ端子	バス制御端子
38		P5_6			RXD7			ALE/$\overline{CS2}$
39		P5_5			CLK7			$\overline{HOLD}$
40		P5_4			TXD7			$\overline{HLDA}$/$\overline{CS1}$
41		P5_3						CLKOUT/ BCLK
42		P5_2						$\overline{RD}$
43		P5_1						$\overline{WR1}$/$\overline{BC1}$
44		P5_0						$\overline{WR0}$/$\overline{WR}$
45		P4_7			TXD6/SDA6/SRXD6			$\overline{CS0}$/A23
46		P4_6			RXD6/SCL6/STXD6			$\overline{CS1}$/A22
47		P4_5			CLK6			$\overline{CS2}$/A21
48		P4_4			$\overline{CTS6}$/$\overline{RTS6}$/$\overline{SS6}$			$\overline{CS3}$/A20
49		P4_3			TXD3/SDA3/SRXD3	OUTC2_0/ISTXD2/ IEOUT		A19
50		P4_2			RXD3/SCL3/STXD3	ISRXD2/IEIN		A18
51		P4_1			CLK3			A17
52		P4_0			$\overline{CTS3}$/$\overline{RTS3}$/$\overline{SS3}$			A16
53		P3_7		TA4IN/$\overline{U}$				A15(/D15)
54		P3_6		TA4OUT/U				A14(/D14)
55		P3_5		TA2IN/$\overline{W}$				A13(/D13)
56		P3_4		TA2OUT/W				A12(/D12)
57		P3_3		TA1IN/$\overline{V}$				A11(/D11)
58		P3_2		TA1OUT/V				A10(/D10)
59		P3_1		TA3OUT		UD0B/UD1B		A9(/D9)
60	VCC							
61		P3_0		TA0OUT		UD0A/UD1A		A8(/D8)
62	VSS							
63		P2_7					AN2_7	A7(/D7)
64		P2_6					AN2_6	A6(/D6)
65		P2_5					AN2_5	A5(/D5)
66		P2_4					AN2_4	A4(/D4)
67		P2_3					AN2_3	A3(/D3)
68		P2_2					AN2_2	A2(/D2)
69		P2_1					AN2_1	A1(/D1)
70		P2_0					AN2_0	A0(/D0)/ $\overline{BC0}$(/D0)
71		P1_7	$\overline{INT5}$			IIO0_7/IIO1_7		D15
72		P1_6	$\overline{INT4}$			IIO0_6/IIO1_6		D14
73		P1_5	$\overline{INT3}$			IIO0_5/IIO1_5		D13
74		P1_4				IIO0_4/IIO1_4		D12
75		P1_3				IIO0_3/IIO1_3		D11
76		P1_2				IIO0_2/IIO1_2		D10

表 1.13　100ピン版端子名一覧表 (3/3)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART/CAN端子	インテリジェントI/O端子	アナログ端子	バス制御端子
77		P1_1				IIO0_1/IIO1_1		D9
78		P1_0				IIO0_0/IIO1_0		D8
79		P0_7					AN0_7	D7
80		P0_6					AN0_6	D6
81		P0_5					AN0_5	D5
82		P0_4					AN0_4	D4
83		P0_3					AN0_3	D3
84		P0_2					AN0_2	D2
85		P0_1					AN0_1	D1
86		P0_0					AN0_0	D0
87		P10_7	$\overline{KI3}$				AN_7	
88		P10_6	$\overline{KI2}$				AN_6	
89		P10_5	$\overline{KI1}$				AN_5	
90		P10_4	$\overline{KI0}$				AN_4	
91		P10_3					AN_3	
92		P10_2					AN_2	
93		P10_1					AN_1	
94	AVSS							
95		P10_0					AN_0	
96	VREF							
97	AVCC							
98		P9_7			RXD4/SCL4/STXD4		$\overline{ADTRG}$	
99		P9_6			TXD4/SDA4/SRXD4/ CAN1OUT		ANEX1	
100		P9_5			CLK4/CAN1IN/ $\overline{CAN1WU}$		ANEX0	

1.5 端子機能の説明

表 1.14 端子機能の説明 (1/4)

分類	端子名	入出力	機能
電源入力	VCC, VSS	入力	VCC端子には、3.0 ~ 5.5 Vを入力してください。VSS端子は、グラウンドに接続してください
平滑コンデンサ接続端子	VDC0, VDC1	—	両端子間に内部ロジック電圧安定用の平滑コンデンサを接続してください
アナログ電源入力	AVCC, AVSS	入力	A/Dコンバータの電源入力です。AVCCはVCCに接続してください。AVSSはVSSに接続してください
リセット入力	$\overline{\text{RESET}}$	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります
CNVSS	CNVSS	入力	抵抗を介してVSSにプルダウンしてください
デバッグポート	NSD	入出力	デバッガとの通信に使用します。1k ~ 4.7kΩの抵抗で、VCCにプルアップしてください
メインクロック入力	XIN	入力	メインクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子または水晶振動子を接続してください。外部で生成したクロックを入力する場合は、XINから入力しXOUTは開放にしてください
メインクロック出力	XOUT	出力	
サブクロック入力	XCIN	入力	サブクロック発振回路の入出力です。XCINとXCOUTの間には水晶振動子を接続してください。外部で生成したクロックを入力する場合は、XCINから入力しXCOUTは開放にしてください
サブクロック出力	XCOUT	出力	
BCLK出力	BCLK	出力	バスクロック信号を出力します
クロック出力	CLKOUT	出力	低速クロック、f8または、f32と同じ周期のクロックを出力します
外部割り込み入力	$\overline{\text{INT0}}$~$\overline{\text{INT8}}$ (注1)	入力	外部割り込みの入力です
NMI入力	P8_5/$\overline{\text{NMI}}$	入力	NMIの入力です
キー入力割り込み	$\overline{\text{KI0}}$~$\overline{\text{KI3}}$	入力	キー入力割り込みの入力です
バス制御端子	D0~D7	入出力	セパレートバスを選択している領域をアクセスしたとき、データ(D0~D7)の入出力を行います
	D8~D15	入出力	外部データバス幅が16ビットまたは32ビットで、セパレートバスを選択している領域をアクセスしたとき、データ(D8~D15)の入出力を行います
	D16~D31 (注2)	入出力	外部データバス幅に32ビットを選択している領域をアクセスしたとき、データ(D16~D31)の入出力を行います
	A0~A23	出力	アドレスA0~A23を出力します

注1. $\overline{\text{INT6}}$~$\overline{\text{INT8}}$は144ピン版にのみあります。
注2. D16~D31は144ピン版にのみあります。

表 1.15　端子機能の説明 (2/4)

分類	端子名	入出力	機能
バス制御端子	A0/D0~A7/D7	入出力	マルチプレクスバスを選択している領域をアクセスしたとき、アドレス(A0~A7)の出力とデータ(D0~D7)の入出力を時分割で行います
	A8/D8~A15/D15	入出力	外部データバス幅が16ビットまたは32ビットで、マルチプレクスバスを選択している領域をアクセスしたとき、アドレス(A8~A15)の出力とデータ(D8~D15)の入出力を時分割で行います
	$\overline{BC0}$/D0, $\overline{BC2}$/D1 (注1)	入出力	マルチプレクスバスを選択している領域をアクセスしたとき、バイトコントロール($\overline{BC0}$, $\overline{BC2}$)の出力とデータ(D0, D1)の入出力を時分割で行います
	$\overline{CS0}$~$\overline{CS3}$	出力	チップセレクト信号を出力します
	$\overline{WR0}$/$\overline{WR1}$/$\overline{WR2}$/$\overline{WR3}$, $\overline{WR}$/$\overline{BC0}$/$\overline{BC1}$/$\overline{BC2}$/$\overline{BC3}$, $\overline{RD}$ (注1)	出力	ライト信号、バイトコントロール信号、リード信号を出力します。プログラムで$\overline{WRx}$を使用するか、$\overline{WR}$、$\overline{BCx}$を使用するかを選択できます ■$\overline{WR0}$、$\overline{WR1}$、$\overline{WR2}$、$\overline{WR3}$、$\overline{RD}$選択時 外部データバス幅が32ビットの場合、$\overline{WR0}$信号が“L”のときは4n+0番地に、$\overline{WR1}$信号が“L”のときは4n+1番地に、$\overline{WR2}$信号が“L”のときは4n+2番地に、$\overline{WR3}$信号が“L”のときは4n+3番地に書き込みます。 外部データバス幅が16ビットの場合、$\overline{WR0}$信号が“L”のときは偶数番地に、$\overline{WR1}$信号が“L”のときは奇数番地に書き込みます。 $\overline{RD}$信号が“L”のとき読み出します ■$\overline{WR}$、$\overline{BC0}$、$\overline{BC1}$、$\overline{BC2}$、$\overline{BC3}$、$\overline{RD}$選択時 $\overline{WR}$信号が“L”のとき書き込みます。$\overline{RD}$信号が“L”のとき読み出します。 外部データバス幅が32ビットの場合、$\overline{BC0}$信号が“L”のときは4n+0番地を、$\overline{BC1}$信号が“L”のときは4n+1番地を、$\overline{BC2}$信号が“L”のときは4n+2番地を、$\overline{BC3}$信号が“L”のときは4n+3番地をアクセスします。 外部データバス幅が16ビットの場合、$\overline{BC0}$信号が“L”のときは偶数番地を、$\overline{BC1}$信号が“L”のときは奇数番地をアクセスします
	ALE	出力	マルチプレクスバスを選択しているときに、アドレス信号をラッチするための信号です
	$\overline{HOLD}$	入力	この端子が“L”の期間、マイクロコンピュータはホールド状態になります
	$\overline{HLDA}$	出力	マイクロコンピュータがホールド状態の期間、“L”を出力します
	$\overline{RDY}$	入力	BCLKの立ち下がり時にこの端子に“L”が入力されていると、CPUはバスサイクルを延長します

注1.　$\overline{BC2}$/D1、$\overline{WR2}$、$\overline{WR3}$、$\overline{BC2}$、$\overline{BC3}$は144ピン版にのみあります。

表 1.16　端子機能の説明 (3/4)

分類	端子名	入出力	機能
入出力ポート (注1、2)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_3~P14_6, P15_0~P15_7	入出力	CMOSの入出力ポートです。 1端子ごとに入力ポートまたは出力ポートに設定できます。 一部のポートは5V トレラント入力です。また、ポートによって、プルアップ抵抗、Nチャネルオープンドレイン出力の設定を有効にできます。詳細は「表 1.18 端子の機能一覧」を参照してください
入力ポート (注2)	P9_1 (100ピン版) P14_1 (144ピン版)	入力	CMOSの入力ポートです。 プルアップ抵抗の有無を選択できます。詳細は「表 1.18 端子の機能一覧」を参照してください
タイマA	TA0OUT~TA4OUT	入出力	タイマA0~A4の入出力です
	TA0IN~TA4IN	入力	タイマA0~A4の入力です
タイマB	TB0IN~TB5IN	入力	タイマB0~B5の入力です
三相モータ制御用タイマ出力	U, $\overline{U}$, V, $\overline{V}$, W, $\overline{W}$	出力	三相モータ制御用タイマの出力です
シリアルインタフェース	$\overline{CTS0}$~$\overline{CTS8}$	入力	ハンドシェイク入力です
	$\overline{RTS0}$~$\overline{RTS8}$	出力	ハンドシェイク出力です
	CLK0~CLK8	入出力	送受信クロック入出力です
	RXD0~RXD8	入力	シリアルデータ入力です
	TXD0~TXD8	出力	シリアルデータ出力です
簡易型I²Cバス	SDA0~SDA6	入出力	シリアルデータ入出力です
	SCL0~SCL6	入出力	送受信クロック入出力です
シリアルインタフェース特殊機能	STXD0~STXD6	出力	スレーブモードを選択したときのシリアルデータ出力です
	SRXD0~SRXD6	入力	スレーブモードを選択したときのシリアルデータ入力です
	$\overline{SS0}$~$\overline{SS6}$	入力	シリアルインタフェース特殊機能の制御用入力です

注1.　100ピン版のP9_1は、入力専用ポートです。
注2.　P9_0、P9_2、P11~P15は、144ピン版にのみあります。

表 1.17　端子機能の説明 (4/4)

分類	端子名	入出力	機能
A/Dコンバータ	AN_0~AN_7, AN0_0~AN0_7, AN2_0~AN2_7, AN15_0~AN15_7 (注1)	入力	A/Dコンバータのアナログ入力です
	$\overline{\text{ADTRG}}$	入力	A/Dコンバータの外部トリガ入力です
	ANEX0	入出力	A/Dコンバータの拡張アナログ入力兼、外部オペアンプ接続モードでの出力です
	ANEX1	入力	A/Dコンバータの拡張アナログ入力です
D/Aコンバータ	DA0, DA1	出力	D/Aコンバータの出力です
基準電圧入力	VREF	入力	A/DコンバータとD/Aコンバータの基準電圧入力です
インテリジェントI/O	IIO0_0~IIO0_7	入出力	インテリジェントI/Oグループ0の入出力です。インプットキャプチャ入力とアウトプットコンペア出力を切り替えられます
	IIO1_0~IIO1_7	入出力	インテリジェントI/Oグループ1の入出力です。インプットキャプチャ入力とアウトプットコンペア出力を切り替えられます
	UD0A, UD0B, UD1A, UD1B	入力	二相エンコーダ用の入力です
	OUTC2_0~ OUTC2_7 (注2)	出力	インテリジェントI/Oグループ2のアウトプットコンペア出力です
	ISCLK2	入出力	通信機能部のクロック入出力です
	ISRXD2	入力	通信機能部の受信データ入力です
	ISTXD2	出力	通信機能部の送信データ出力です
	IEIN	入力	通信機能部の受信データ入力です
	IEOUT	出力	通信機能部の送信データ出力です
マルチマスタI^2Cバス	MSDA	入出力	シリアルデータ入出力です
	MSCL	入出力	送受信クロック入出力です
CANモジュール	CAN0IN, CAN1IN	入力	CAN通信機能の受信データ入力です
	CAN0OUT, CAN1OUT	出力	CAN通信機能の送信データ出力です
	$\overline{\text{CAN0WU}}$, $\overline{\text{CAN1WU}}$	入力	CANウェイクアップ用割り込み入力です

注1.　AN15_0~AN15_7は144ピン版にのみあります。
注2.　OUTC2_3~OUTC2_7は144ピン版にのみあります。

表 1.18　端子の機能一覧

端子名	パッケージ		選択可能な機能		5Vトレラント入力 (注3)
	144 ピン版	100 ピン版	プルアップ抵抗 (注1)	Nチャネルオープンドレイン出力(注2)	
P0_0~P0_7	○	○	○		
P1_0~P1_7	○	○	○		
P2_0~P2_7	○	○	○		
P3_0~P3_7	○	○	○		
P4_0~P4_7	○	○		○	○
P5_0~P5_3	○	○	○		
P5_4~P5_7	○	○		○	○
P6_0~P6_7	○	○		○	○
P7_0~P7_7	○	○		○	○
P8_0~P8_3	○	○		○	○
P8_4, P8_6, P8_7	○	○	○		
P9_0~P9_3 (144 ピン版)	○		○	○	
P9_1, P9_3 (100 ピン版)		○	○		
P9_4~P9_7	○	○	○	○	
P10_0~P10_7	○	○	○		
P11_0~P11_3	○		○	○	
P11_4	○		○		
P12_0~P12_3	○		○	○	
P12_4~P12_7	○		○		
P13_0~P13_7	○		○		
P14_1, P14_3	○		○		
P14_4~P14_6	○		○		
P15_0~P15_7	○		○	○	

注1.　Pi_0~Pi_3 (i=0~15)の4端子とPi_4~Pi_7の4端子ごとに一括でプルアップ抵抗の有無を選択できます。プルアップ抵抗は、入力に設定した端子でのみ有効になります。

注2.　1端子ごとにNチャネルオープンドレイン出力に設定できます。

注3.　5Vトレラントは入力端子に設定したときに有効になります。入出力端子で5Vトレラントを有効にする場合、Nチャネルオープンドレイン出力に設定してください。

2. 中央演算処理装置(CPU)

図 2.1 にCPUのレジスタを示します。これらのうち、R2R0、R3R1、R6R4、R7R5、A0、A1、A2、A3、SB、FBの10個のレジスタは2バンクあります。

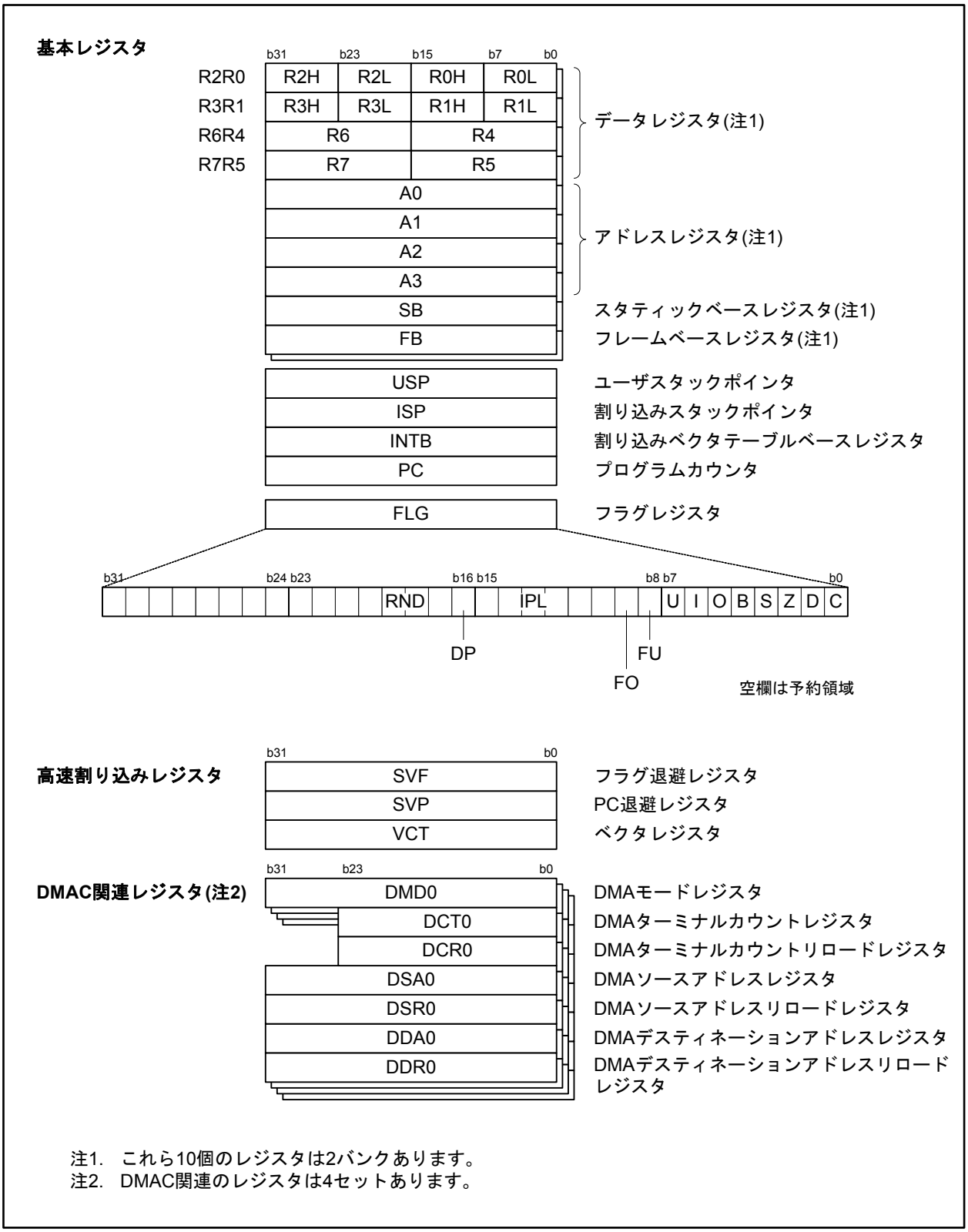


図 2.1　中央演算処理装置のレジスタ構成

2.1 基本レジスタ

2.1.1 データレジスタ(R2R0, R3R1, R6R4, R7R5)

R2R0、R3R1、R6R4、R7R5は32ビットで構成されており、主に転送や算術、論理演算に使用します。

R2R0は、上位(R2)と下位(R0)を別々に16ビットのデータレジスタとして使用できます。R3R1、R6R4、R7R5も同様に2つの16ビットレジスタに分割できます。

また、R2R0は、上位(R2H)、中上位(R2L)、中下位(R0H)、下位(R0L)を別々に8ビットのデータレジスタとしても使用できます。R3R1も同様に4つの8ビットレジスタに分割できます。

2.1.2 アドレスレジスタ(A0, A1, A2, A3)

A0、A1、A2、A3は32ビットで構成されており、アドレスレジスタ間接アドレッシングやアドレスレジスタ相対アドレッシングに使用します。また、データレジスタ同様転送や算術、論理演算にも使用できます。

2.1.3 スタティックベースレジスタ(SB)

SBは32ビットで構成されており、SB相対アドレッシングに使用します。

2.1.4 フレームベースレジスタ(FB)

FBは32ビットで構成されており、FB相対アドレッシングに使用します。

2.1.5 プログラムカウンタ(PC)

PCは32ビットで構成されており、次に実行する命令の番地を示します。

2.1.6 割り込みベクタテーブルベースレジスタ(INTB)

INTBは32ビットで構成されており、可変ベクタテーブルの先頭番地を示します。

2.1.7 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)

スタックポインタ(SP)は、USPとISPの2種類があり、ともに32ビットで構成されています。

USPとISPはUフラグで切り替えられます。Uフラグについては「2.1.8 フラグレジスタ(FLG)」を参照してください。

使用するスタックポインタ(USP/ISP)は、スタックポインタ指定フラグ(Uフラグ)によって切り替えられます。スタックポインタ指定フラグ(Uフラグ)は、フラグレジスタ(FLG)のビット7です。

USP、ISPには4の倍数を設定してください。4の倍数を設定したほうがメモリアクセス回数が少なくなり、割り込みシーケンスの実行速度が速くなります。

2.1.8 フラグレジスタ(FLG)

FLGは32ビットで構成されており、CPUの状態を示します。

2.1.8.1 キャリーフラグ (Cフラグ)

算術論理ユニットで発生したキャリー、ボロー、シフトアウトしたビット等を保持します。

2.1.8.2 デバッグフラグ (Dフラグ)

デバッグ専用です。書くときは“0”を書いてください。

2.1.8.3 ゼロフラグ (Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.1.8.4 サインフラグ (Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.1.8.5 レジスタバンク指定フラグ (Bフラグ)

レジスタバンクの選択を行います。Bフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

2.1.8.6 オーバフローフラグ (Oフラグ)

演算の結果がオーバフローしたとき“1”になり、それ以外のとき“0”になります。

2.1.8.7 割り込み許可フラグ (Iフラグ)

マスカブル割り込みを許可するフラグです。Iフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。割り込みを受け付けると、Iフラグは“0”になります。

2.1.8.8 スタックポインタ指定フラグ (Uフラグ)

Uフラグが“0”のとき割り込みスタックポインタ(ISP)が指定され、“1”のときユーザスタックポインタ(USP)が指定されます。

ハードウェア割り込みを受け付けたとき、またはソフトウェア割り込み番号0~127のINT命令を実行したとき、Uフラグは“0”になります。

2.1.8.9 浮動小数点アンダフローフラグ(FUフラグ)

浮動小数点演算の結果が、最小の正規化数を下回った場合(アンダフロー)、“1”になり、それ以外のとき“0”になります。

また、オペランドのデータが正規化数でも0でもない(不正入力値)場合にも、“1”になります。

2.1.8.10 浮動小数点オーバフローフラグ(FOフラグ)

浮動小数点演算の結果が、最大の正規化数を上回った場合(オーバフロー)、“1”になり、それ以外のとき“0”になります。

また、オペランドのデータが正規化数でも0でもない(不正入力値)場合にも、“1”になります。

2.1.8.11 プロセッサ割り込み優先レベル (IPL)

IPLは3ビットで構成されており、レベル0からレベル7までの8段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの要求レベルが、プロセッサ割り込み優先レベル(IPL)より大きい場合、その割り込みが許可されます。

プロセッサ割り込み優先レベル(IPL)をレベル7 (111b)に設定した場合、すべての割り込みが禁止されます。

2.1.8.12 固定小数点位置指定ビット(DPビット)

固定小数点の小数点位置を指定するビットです。また、固定小数点乗算の結果から、どの部分を最終演算結果として抜き出すかを指定するビットでもあります。

MULX命令で使用します。

2.1.8.13 浮動小数点丸め演算モード(RND)

浮動小数点丸め演算モード(RND)は2ビットで構成されており、浮動小数点演算の結果を丸める方式を指定します。

2.1.8.14 予約領域

書くときは“0”を書いてください。読んだときその値は不定です。

2.2 高速割り込みレジスタ

高速割り込みレジスタは、割り込みシーケンスを高速に行うための専用レジスタです。

高速割り込みレジスタには以下の3つのレジスタがあります。詳細は、「11.4 高速割り込み」を参照してください。

2.2.1 フラグ退避レジスタ(SVF)

フラグ退避レジスタ(SVF)は32ビットで構成されており、高速割り込み発生時にフラグレジスタを退避させるために使用します。

2.2.2 PC退避レジスタ(SVP)

PC退避レジスタ(SVP)は32ビットで構成されており、高速割り込み発生時プログラムカウンタを退避させるために使用します。

2.2.3 ベクタレジスタ(VCT)

ベクタレジスタ(VCT)は32ビットで構成されており、高速割り込み発生時の分岐先番地を示します。

2.3 DMAC関連レジスタ

DMAC関連レジスタには以下の7種類のレジスタがあります。詳細は、「13. DMAC」を参照してください。

2.3.1 DMAモードレジスタ (DMD0, DMD1, DMD2, DMD3)

DMAモードレジスタ (DMD0, DMD1, DMD2, DMD3)は32ビットで構成されており、DMAの転送モードなどを設定するレジスタです。

2.3.2 DMAターミナルカウントレジスタ (DCT0, DCT1, DCT2, DCT3)

DMAターミナルカウントレジスタ (DCT0, DCT1, DCT2, DCT3)は24ビットで構成されており、DMAの転送回数を設定するレジスタです。

2.3.3 DMAターミナルカウントリロードレジスタ (DCR0, DCR1, DCR2, DCR3)

DMAターミナルカウントリロードレジスタ (DCR0, DCR1, DCR2, DCR3)は24ビットで構成されており、DMAターミナルカウントレジスタのリロード値を設定するレジスタです。

2.3.4 DMAソースアドレスレジスタ (DSA0, DSA1, DSA2, DSA3)

DMAソースアドレスレジスタ (DSA0, DSA1, DSA2, DSA3)は32ビットで構成されており、DMAの転送元のアドレスを設定するレジスタです。

2.3.5 DMAソースアドレスリロードレジスタ (DSR0, DSR1, DSR2, DSR3)

DMAソースアドレスリロードレジスタ (DSR0, DSR1, DSR2, DSR3)は32ビットで構成されており、DMAソースアドレスレジスタへのリロード値を設定するレジスタです。

2.3.6 DMAデスティネーションアドレスレジスタ (DDA0, DDA1, DDA2, DDA3)

DMAデスティネーションアドレスレジスタ (DDA0, DDA1, DDA2, DDA3)は32ビットで構成されており、DMAの転送先のアドレスを設定するレジスタです。

2.3.7 DMAデスティネーションアドレスリロードレジスタ (DDR0, DDR1, DDR2, DDR3)

DMAデスティネーションアドレスリロードレジスタ (DDR0, DDR1, DDR2, DDR3)は32ビットで構成されており、DMAデスティネーションアドレスレジスタへのリロード値を設定するレジスタです。

3. メモリ

R32C/118グループのメモリ配置図を図 3.1に示します。

アドレス空間は00000000h番地からFFFFFFFFh番地までの4Gバイトあります。

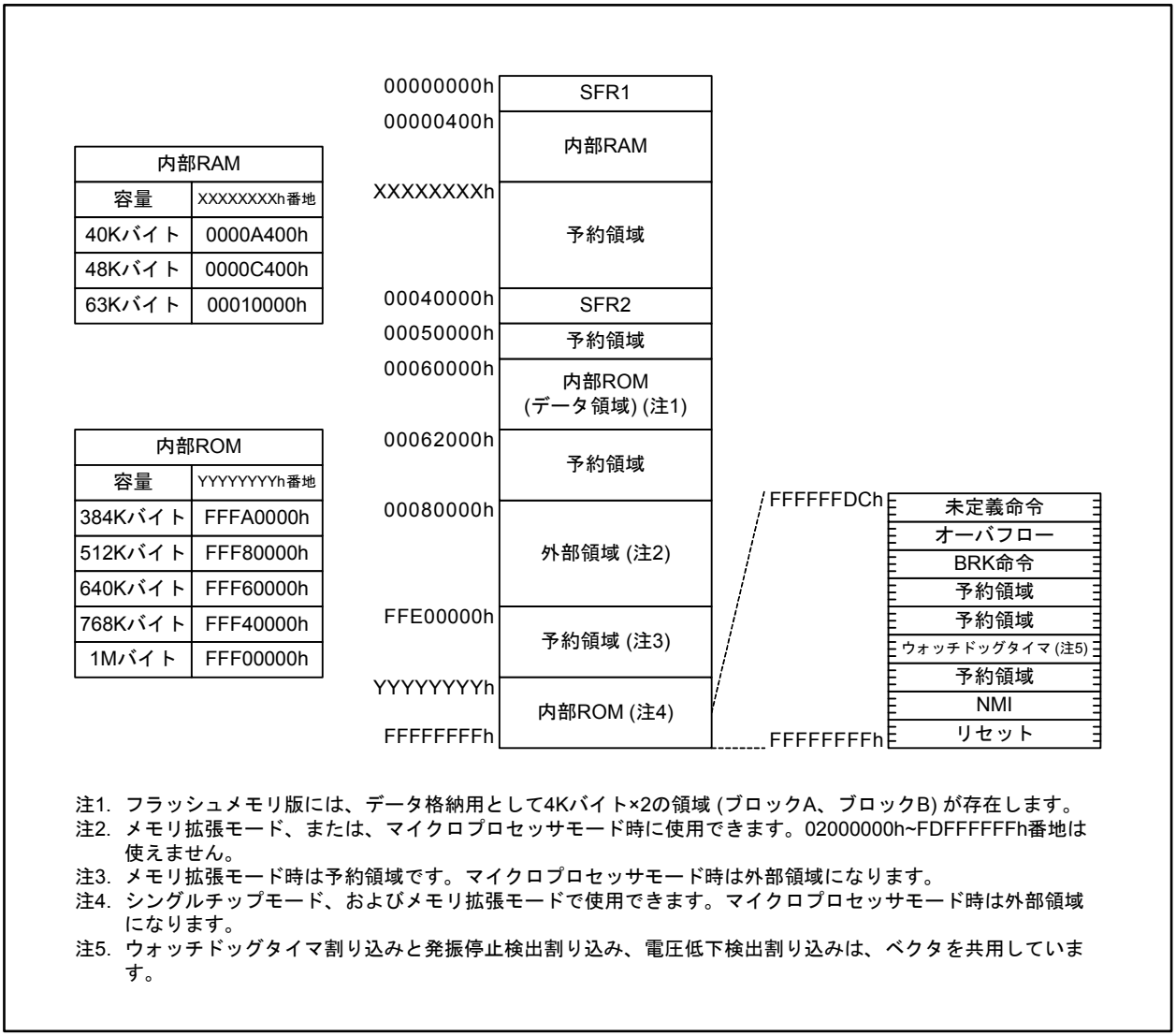
内部ROMはFFFFFFFFh番地から下位方向に配置されています。たとえば1Mバイトの内部ROMは、FFF00000h番地からFFFFFFFFh番地までに配置されています。

固定割り込みベクタはFFFFFFDCh番地からFFFFFFFFh番地までに配置されています。ここに割り込み処理ルーチンの先頭アドレスを格納します。

内部RAMは00000400h番地から上位方向に配置されています。たとえば63Kバイトの内部RAMは、00000400h番地から0000FFFFh番地までに配置されています。内部RAMはデータ格納以外に、サブルーチン呼び出しや割り込み時のスタックとしても使用します。

SFR (Special Function Register)は、00000000h番地から000003FFh番地までと、00040000h番地から0004FFFFh番地までに配置されています。ここには、周辺装置の制御レジスタが配置されています。SFR領域のうち何も配置されていない番地は、すべて予約領域のため、アクセスしないでください。

メモリ拡張モード時、または、マイクロプロセッサモード時、一部の領域は内部予約領域となり使用できません。



注1. フラッシュメモリ版には、データ格納用として4Kバイト×2の領域 (ブロックA、ブロックB) が存在します。
注2. メモリ拡張モード、または、マイクロプロセッサモード時に使用できます。02000000h~FDFFFFFFh番地は使えません。
注3. メモリ拡張モード時は予約領域です。マイクロプロセッサモード時は外部領域になります。
注4. シングルチップモード、およびメモリ拡張モードで使用できます。マイクロプロセッサモード時は外部領域になります。
注5. ウォッチドッグタイマ割り込みと発振停止検出割り込み、電圧低下検出割り込みは、ベクタを共用しています。

図 3.1　メモリ配置図

4. SFR

SFR (Special Function Register)は、周辺機能の制御をしたり、状態を取得するためのレジスタです。
表 4.1 SFR一覧(1)~表 4.53 SFR一覧(53)にSFRの一覧を示します。

表 4.1 SFR一覧(1)

番地	レジスタ	シンボル	リセット後の値
000000h			
000001h			
000002h			
000003h			
000004h	クロック制御レジスタ	CCR	0001 1000b
000005h			
000006h	フラッシュメモリ制御レジスタ	FMCR	0000 0001b
000007h	プロテクト解除レジスタ	PRR	00h
000008h			
000009h			
00000Ah			
00000Bh			
00000Ch			
00000Dh			
00000Eh			
00000Fh			
000010h	外部バス制御レジスタ3/フラッシュメモリ書き換えバス制御レジスタ3	EBC3/FEBC3	0000h
000011h			
000012h	チップセレクト2-3境界設定レジスタ	CB23	00h
000013h			
000014h	外部バス制御レジスタ2	EBC2	0000h
000015h			
000016h	チップセレクト1-2境界設定レジスタ	CB12	00h
000017h			
000018h	外部バス制御レジスタ1	EBC1	0000h
000019h			
00001Ah	チップセレクト0-1境界設定レジスタ	CB01	00h
00001Bh			
00001Ch	外部バス制御レジスタ0/フラッシュメモリ書き換えバス制御レジスタ0	EBC0/FEBC0	0000h
00001Dh			
00001Eh	周辺バス制御レジスタ	PBC	0504h
00001Fh			
000020h~00005Fh			

X: 不定
空欄はすべて予約領域です。アクセスしないでください。

表 4.2 SFR一覧(2)

番地	レジスタ	シンボル	リセット後の値
000060h			
000061h	タイマB5割り込み制御レジスタ	TB5IC	XXXX X000b
000062h	UART5送信/NACK割り込み制御レジスタ	S5TIC	XXXX X000b
000063h	UART2受信/ACK割り込み制御レジスタ/I²Cバスライン割り込み制御レジスタ	S2RIC/I2CLIC	XXXX X000b
000064h	UART6送信/NACK割り込み制御レジスタ	S6TIC	XXXX X000b
000065h	UART3受信/ACK割り込み制御レジスタ	S3RIC	XXXX X000b
000066h	UART5/6バス衝突、スタートコンディション/ストップコンディション検出割り込み制御レジスタ	BCN5IC/BCN6IC	XXXX X000b
000067h	UART4受信/ACK割り込み制御レジスタ	S4RIC	XXXX X000b
000068h	DMA0転送完了割り込み制御レジスタ	DM0IC	XXXX X000b
000069h	UART0/3バス衝突、スタートコンディション/ストップコンディション検出割り込み制御レジスタ	BCN0IC/BCN3IC	XXXX X000b
00006Ah	DMA2転送完了割り込み制御レジスタ	DM2IC	XXXX X000b
00006Bh	A/Dコンバータ0変換完了割り込み制御レジスタ	AD0IC	XXXX X000b
00006Ch	タイマA0割り込み制御レジスタ	TA0IC	XXXX X000b
00006Dh	インテリジェントI/O割り込み制御レジスタ0	IIO0IC	XXXX X000b
00006Eh	タイマA2割り込み制御レジスタ	TA2IC	XXXX X000b
00006Fh	インテリジェントI/O割り込み制御レジスタ2	IIO2IC	XXXX X000b
000070h	タイマA4割り込み制御レジスタ	TA4IC	XXXX X000b
000071h	インテリジェントI/O割り込み制御レジスタ4	IIO4IC	XXXX X000b
000072h	UART0受信/ACK割り込み制御レジスタ	S0RIC	XXXX X000b
000073h	インテリジェントI/O割り込み制御レジスタ6	IIO6IC	XXXX X000b
000074h	UART1受信/ACK割り込み制御レジスタ	S1RIC	XXXX X000b
000075h	インテリジェントI/O割り込み制御レジスタ8	IIO8IC	XXXX X000b
000076h	タイマB1割り込み制御レジスタ	TB1IC	XXXX X000b
000077h	インテリジェントI/O割り込み制御レジスタ10	IIO10IC	XXXX X000b
000078h	タイマB3割り込み制御レジスタ	TB3IC	XXXX X000b
000079h			
00007Ah	INT5割り込み制御レジスタ	INT5IC	XX00 X000b
00007Bh	CAN0ウェイクアップ割り込み制御レジスタ	C0WIC	XXXX X000b
00007Ch	INT3割り込み制御レジスタ	INT3IC	XX00 X000b
00007Dh			
00007Eh	INT1割り込み制御レジスタ	INT1IC	XX00 X000b
00007Fh			
000080h			
000081h	UART2送信/NACK割り込み制御レジスタ/I²Cバスインタフェース割り込み制御レジスタ	S2TIC/I2CIC	XXXX X000b
000082h	UART5受信/ACK割り込み制御レジスタ	S5RIC	XXXX X000b
000083h	UART3送信/NACK割り込み制御レジスタ	S3TIC	XXXX X000b
000084h	UART6受信/ACK割り込み制御レジスタ	S6RIC	XXXX X000b
000085h	UART4送信/NACK割り込み制御レジスタ	S4TIC	XXXX X000b
000086h			
000087h	UART2バス衝突、スタートコンディション/ストップコンディション検出割り込み制御レジスタ	BCN2IC	XXXX X000b

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.3 SFR一覧(3)

番地	レジスタ	シンボル	リセット後の値
000088h	DMA1転送完了割り込み制御レジスタ	DM1IC	XXXX X000b
000089h	UART1/4バス衝突、スタートコンディション/ストップコンディション検出割り込み制御レジスタ	BCN1IC/BCN4IC	XXXX X000b
00008Ah	DMA3転送完了割り込み制御レジスタ	DM3IC	XXXX X000b
00008Bh	キー入力割り込み制御レジスタ	KUPIC	XXXX X000b
00008Ch	タイマA1割り込み制御レジスタ	TA1IC	XXXX X000b
00008Dh	インテリジェントI/O割り込み制御レジスタ1	IIO1IC	XXXX X000b
00008Eh	タイマA3割り込み制御レジスタ	TA3IC	XXXX X000b
00008Fh	インテリジェントI/O割り込み制御レジスタ3	IIO3IC	XXXX X000b
000090h	UART0送信/NACK割り込み制御レジスタ	S0TIC	XXXX X000b
000091h	インテリジェントI/O割り込み制御レジスタ5	IIO5IC	XXXX X000b
000092h	UART1送信/NACK割り込み制御レジスタ	S1TIC	XXXX X000b
000093h	インテリジェントI/O割り込み制御レジスタ7	IIO7IC	XXXX X000b
000094h	タイマB0割り込み制御レジスタ	TB0IC	XXXX X000b
000095h	インテリジェントI/O割り込み制御レジスタ9	IIO9IC	XXXX X000b
000096h	タイマB2割り込み制御レジスタ	TB2IC	XXXX X000b
000097h	インテリジェントI/O割り込み制御レジスタ11	IIO11IC	XXXX X000b
000098h	タイマB4割り込み制御レジスタ	TB4IC	XXXX X000b
000099h			
00009Ah	INT4割り込み制御レジスタ	INT4IC	XX00 X000b
00009Bh	CAN1ウェイクアップ割り込み制御レジスタ	C1WIC	XXXX X000b
00009Ch	INT2割り込み制御レジスタ	INT2IC	XX00 X000b
00009Dh			
00009Eh	INT0割り込み制御レジスタ	INT0IC	XX00 X000b
00009Fh			
0000A0h	インテリジェントI/O割り込み要求レジスタ0	IIO0IR	0000 0XX1b
0000A1h	インテリジェントI/O割り込み要求レジスタ1	IIO1IR	0000 0XX1b
0000A2h	インテリジェントI/O割り込み要求レジスタ2	IIO2IR	0000 0X01b
0000A3h	インテリジェントI/O割り込み要求レジスタ3	IIO3IR	0000 XXX1b
0000A4h	インテリジェントI/O割り込み要求レジスタ4	IIO4IR	000X 0XX1b
0000A5h	インテリジェントI/O割り込み要求レジスタ5	IIO5IR	000X 0XX1b
0000A6h	インテリジェントI/O割り込み要求レジスタ6	IIO6IR	000X 0XX1b
0000A7h	インテリジェントI/O割り込み要求レジスタ7	IIO7IR	X00X 0XX1b
0000A8h	インテリジェントI/O割り込み要求レジスタ8	IIO8IR	XX0X 0XX1b
0000A9h	インテリジェントI/O割り込み要求レジスタ9	IIO9IR	0X00 0XX1b
0000AAh	インテリジェントI/O割り込み要求レジスタ10	IIO10IR	0X00 0XX1b
0000ABh	インテリジェントI/O割り込み要求レジスタ11	IIO11IR	0X00 0XX1b
0000ACh			
0000ADh			
0000AEh			
0000AFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.4 SFR一覧(4)

番地	レジスタ	シンボル	リセット後の値
0000B0h	インテリジェントI/O割り込み許可レジスタ0	IIO0IE	00h
0000B1h	インテリジェントI/O割り込み許可レジスタ1	IIO1IE	00h
0000B2h	インテリジェントI/O割り込み許可レジスタ2	IIO2IE	00h
0000B3h	インテリジェントI/O割り込み許可レジスタ3	IIO3IE	00h
0000B4h	インテリジェントI/O割り込み許可レジスタ4	IIO4IE	00h
0000B5h	インテリジェントI/O割り込み許可レジスタ5	IIO5IE	00h
0000B6h	インテリジェントI/O割り込み許可レジスタ6	IIO6IE	00h
0000B7h	インテリジェントI/O割り込み許可レジスタ7	IIO7IE	00h
0000B8h	インテリジェントI/O割り込み許可レジスタ8	IIO8IE	00h
0000B9h	インテリジェントI/O割り込み許可レジスタ9	IIO9IE	00h
0000BAh	インテリジェントI/O割り込み許可レジスタ10	IIO10IE	00h
0000BBh	インテリジェントI/O割り込み許可レジスタ11	IIO11IE	00h
0000BCh			
0000BDh			
0000BEh			
0000BFh			
0000C0h			
0000C1h	CAN0送信割り込み制御レジスタ	C0TIC	XXXX X000b
0000C2h			
0000C3h	CAN0エラー割り込み制御レジスタ	C0EIC	XXXX X000b
0000C4h			
0000C5h	CAN1受信割り込み制御レジスタ	C1RIC	XXXX X000b
0000C6h			
0000C7h			
0000C8h			
0000C9h			
0000CAh			
0000CBh			
0000CCh			
0000CDh			
0000CEh			
0000CFh			
0000D0h	CAN0送信FIFO割り込み制御レジスタ	C0FTIC	XXXX X000b
0000D1h			
0000D2h	CAN1送信FIFO割り込み制御レジスタ	C1FTIC	XXXX X000b
0000D3h			
0000D4h			
0000D5h			
0000D6h			
0000D7h			
0000D8h			
0000D9h			
0000DAh			
0000DBh			
0000DCh			
0000DDh	UART7送信割り込み制御レジスタ	S7TIC	XXXX X000b
0000DEh	INT7割り込み制御レジスタ	INT7IC	XX00 X000b
0000DFh	UART8送信割り込み制御レジスタ	S8TIC	XXXX X000b

X: 不定
空欄はすべて予約領域です。アクセスしないでください。

表 4.5 SFR一覧(5)

番地	レジスタ	シンボル	リセット後の値
0000E0h			
0000E1h	CAN0受信割り込み制御レジスタ	C0RIC	XXXX X000b
0000E2h			
0000E3h	CAN1送信割り込み制御レジスタ	C1TIC	XXXX X000b
0000E4h			
0000E5h	CAN1エラー割り込み制御レジスタ	C1EIC	XXXX X000b
0000E6h			
0000E7h			
0000E8h			
0000E9h			
0000EAh			
0000EBh			
0000ECh			
0000EDh			
0000EEh			
0000EFh			
0000F0h	CAN0受信FIFO割り込み制御レジスタ	C0FRIC	XXXX X000b
0000F1h			
0000F2h	CAN1受信FIFO割り込み制御レジスタ	C1FRIC	XXXX X000b
0000F3h			
0000F4h			
0000F5h			
0000F6h			
0000F7h			
0000F8h			
0000F9h			
0000FAh			
0000FBh			
0000FCh	INT8割り込み制御レジスタ	INT8IC	XX00 X000b
0000FDh	UART7受信割り込み制御レジスタ	S7RIC	XXXX X000b
0000FEh	INT6割り込み制御レジスタ	INT6IC	XX00 X000b
0000FFh	UART8受信割り込み制御レジスタ	S8RIC	XXXX X000b
000100h 000101h	グループ1 時間計測/波形生成レジスタ0	G1TM0/G1PO0	XXXXh
000102h 000103h	グループ1 時間計測/波形生成レジスタ1	G1TM1/G1PO1	XXXXh
000104h 000105h	グループ1 時間計測/波形生成レジスタ2	G1TM2/G1PO2	XXXXh
000106h 000107h	グループ1 時間計測/波形生成レジスタ3	G1TM3/G1PO3	XXXXh

X: 不定
空欄はすべて予約領域です。アクセスしないでください。

表 4.6 SFR一覧(6)

番地	レジスタ	シンボル	リセット後の値
000108h	グループ1 時間計測/波形生成レジスタ4	G1TM4/G1PO4	XXXXh
000109h			
00010Ah	グループ1 時間計測/波形生成レジスタ5	G1TM5/G1PO5	XXXXh
00010Bh			
00010Ch	グループ1 時間計測/波形生成レジスタ6	G1TM6/G1PO6	XXXXh
00010Dh			
00010Eh	グループ1 時間計測/波形生成レジスタ7	G1TM7/G1PO7	XXXXh
00010Fh			
000110h	グループ1 波形生成制御レジスタ0	G1POCR0	0000 X000b
000111h	グループ1 波形生成制御レジスタ1	G1POCR1	0X00 X000b
000112h	グループ1 波形生成制御レジスタ2	G1POCR2	0X00 X000b
000113h	グループ1 波形生成制御レジスタ3	G1POCR3	0X00 X000b
000114h	グループ1 波形生成制御レジスタ4	G1POCR4	0X00 X000b
000115h	グループ1 波形生成制御レジスタ5	G1POCR5	0X00 X000b
000116h	グループ1 波形生成制御レジスタ6	G1POCR6	0X00 X000b
000117h	グループ1 波形生成制御レジスタ7	G1POCR7	0X00 X000b
000118h	グループ1 時間計測制御レジスタ0	G1TMCR0	00h
000119h	グループ1 時間計測制御レジスタ1	G1TMCR1	00h
00011Ah	グループ1 時間計測制御レジスタ2	G1TMCR2	00h
00011Bh	グループ1 時間計測制御レジスタ3	G1TMCR3	00h
00011Ch	グループ1 時間計測制御レジスタ4	G1TMCR4	00h
00011Dh	グループ1 時間計測制御レジスタ5	G1TMCR5	00h
00011Eh	グループ1 時間計測制御レジスタ6	G1TMCR6	00h
00011Fh	グループ1 時間計測制御レジスタ7	G1TMCR7	00h
000120h	グループ1 ベースタイマレジスタ	G1BT	XXXXh
000121h			
000122h	グループ1 ベースタイマ制御レジスタ0	G1BCR0	0000 0000b
000123h	グループ1 ベースタイマ制御レジスタ1	G1BCR1	0000 0000b
000124h	グループ1 時間計測プリスケーラレジスタ6	G1TPR6	00h
000125h	グループ1 時間計測プリスケーラレジスタ7	G1TPR7	00h
000126h	グループ1 機能許可レジスタ	G1FE	00h
000127h	グループ1 機能選択レジスタ	G1FS	00h
000128h			
000129h			
00012Ah			
00012Bh			
00012Ch			
00012Dh			
00012Eh			
00012Fh			
000130h~ 00013Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.7 SFR一覧(7)

番地	レジスタ	シンボル	リセット後の値
000140h	グループ2 波形生成レジスタ0	G2PO0	XXXXh
000141h			
000142h	グループ2 波形生成レジスタ1	G2PO1	XXXXh
000143h			
000144h	グループ2 波形生成レジスタ2	G2PO2	XXXXh
000145h			
000146h	グループ2 波形生成レジスタ3	G2PO3	XXXXh
000147h			
000148h	グループ2 波形生成レジスタ4	G2PO4	XXXXh
000149h			
00014Ah	グループ2 波形生成レジスタ5	G2PO5	XXXXh
00014Bh			
00014Ch	グループ2 波形生成レジスタ6	G2PO6	XXXXh
00014Dh			
00014Eh	グループ2 波形生成レジスタ7	G2PO7	XXXXh
00014Fh			
000150h	グループ2 波形生成制御レジスタ0	G2POCR0	0000 0000b
000151h	グループ2 波形生成制御レジスタ1	G2POCR1	0000 0000b
000152h	グループ2 波形生成制御レジスタ2	G2POCR2	0000 0000b
000153h	グループ2 波形生成制御レジスタ3	G2POCR3	0000 0000b
000154h	グループ2 波形生成制御レジスタ4	G2POCR4	0000 0000b
000155h	グループ2 波形生成制御レジスタ5	G2POCR5	0000 0000b
000156h	グループ2 波形生成制御レジスタ6	G2POCR6	0000 0000b
000157h	グループ2 波形生成制御レジスタ7	G2POCR7	0000 0000b
000158h			
000159h			
00015Ah			
00015Bh			
00015Ch			
00015Dh			
00015Eh			
00015Fh			
000160h	グループ2 ベースタイマレジスタ	G2BT	XXXXh
000161h			
000162h	グループ2 ベースタイマ制御レジスタ0	G2BCR0	0000 0000b
000163h	グループ2 ベースタイマ制御レジスタ1	G2BCR1	0000 0000b
000164h	ベースタイマスタートレジスタ	BTSR	XXXX 0000b
000165h			
000166h	グループ2 機能許可レジスタ	G2FE	00h
000167h	グループ2 RTP出力バッファレジスタ	G2RTP	00h
000168h			
000169h			
00016Ah	グループ2 SI/O通信モードレジスタ	G2MR	00XX X000b
00016Bh	グループ2 SI/O通信制御レジスタ	G2CR	0000 X110b
00016Ch	グループ2 SI/O送信バッファレジスタ	G2TB	XXXXh
00016Dh			
00016Eh	グループ2 SI/O受信バッファレジスタ	G2RB	XXXXh
00016Fh			

X: 不定
空欄はすべて予約領域です。アクセスしないでください。

表 4.8 SFR一覧(8)

番地	レジスタ	シンボル	リセット後の値
000170h	グループ2 IEBusアドレスレジスタ	IEAR	XXXXh
000171h			
000172h	グループ2 IEBus制御レジスタ	IECR	00XX X000b
000173h	グループ2 IEBus送信割り込み要因判別レジスタ	IETIF	XXX0 0000b
000174h	グループ2 IEBus受信割り込み要因判別レジスタ	IERIF	XXX0 0000b
000175h			
000176h			
000177h			
000178h			
000179h			
00017Ah			
00017Bh			
00017Ch			
00017Dh			
00017Eh			
00017Fh			
000180h	グループ0 時間計測/波形生成レジスタ0	G0TM0/G0PO0	XXXXh
000181h			
000182h	グループ0 時間計測/波形生成レジスタ1	G0TM1/G0PO1	XXXXh
000183h			
000184h	グループ0 時間計測/波形生成レジスタ2	G0TM2/G0PO2	XXXXh
000185h			
000186h	グループ0 時間計測/波形生成レジスタ3	G0TM3/G0PO3	XXXXh
000187h			
000188h	グループ0 時間計測/波形生成レジスタ4	G0TM4/G0PO4	XXXXh
000189h			
00018Ah	グループ0 時間計測/波形生成レジスタ5	G0TM5/G0PO5	XXXXh
00018Bh			
00018Ch	グループ0 時間計測/波形生成レジスタ6	G0TM6/G0PO6	XXXXh
00018Dh			
00018Eh	グループ0 時間計測/波形生成レジスタ7	G0TM7/G0PO7	XXXXh
00018Fh			
000190h	グループ0 波形生成制御レジスタ0	G0POCR0	0000 X000b
000191h	グループ0 波形生成制御レジスタ1	G0POCR1	0X00 X000b
000192h	グループ0 波形生成制御レジスタ2	G0POCR2	0X00 X000b
000193h	グループ0 波形生成制御レジスタ3	G0POCR3	0X00 X000b
000194h	グループ0 波形生成制御レジスタ4	G0POCR4	0X00 X000b
000195h	グループ0 波形生成制御レジスタ5	G0POCR5	0X00 X000b
000196h	グループ0 波形生成制御レジスタ6	G0POCR6	0X00 X000b
000197h	グループ0 波形生成制御レジスタ7	G0POCR7	0X00 X000b
000198h	グループ0 時間計測制御レジスタ0	G0TMCR0	00h
000199h	グループ0 時間計測制御レジスタ1	G0TMCR1	00h
00019Ah	グループ0 時間計測制御レジスタ2	G0TMCR2	00h
00019Bh	グループ0 時間計測制御レジスタ3	G0TMCR3	00h
00019Ch	グループ0 時間計測制御レジスタ4	G0TMCR4	00h
00019Dh	グループ0 時間計測制御レジスタ5	G0TMCR5	00h
00019Eh	グループ0 時間計測制御レジスタ6	G0TMCR6	00h
00019Fh	グループ0 時間計測制御レジスタ7	G0TMCR7	00h

X: 不定
空欄はすべて予約領域です。アクセスしないでください。

表 4.9 SFR一覧(9)

番地	レジスタ	シンボル	リセット後の値
0001A0h	グループ0 ベースタイマレジスタ	G0BT	XXXXh
0001A1h			
0001A2h	グループ0 ベースタイマ制御レジスタ0	G0BCR0	0000 0000b
0001A3h	グループ0 ベースタイマ制御レジスタ1	G0BCR1	0000 0000b
0001A4h	グループ0 時間計測プリスケーラレジスタ6	G0TPR6	00h
0001A5h	グループ0 時間計測プリスケーラレジスタ7	G0TPR7	00h
0001A6h	グループ0 機能許可レジスタ	G0FE	00h
0001A7h	グループ0 機能選択レジスタ	G0FS	00h
0001A8h			
0001A9h			
0001AAh			
0001ABh			
0001ACh			
0001ADh			
0001AEh			
0001AFh			
0001B0h			
0001B1h			
0001B2h			
0001B3h			
0001B4h			
0001B5h			
0001B6h			
0001B7h			
0001B8h			
0001B9h			
0001BAh			
0001BBh			
0001BCh			
0001BDh			
0001BEh			
0001BFh			
0001C0h			
0001C1h			
0001C2h			
0001C3h			
0001C4h	UART5特殊モードレジスタ4	U5SMR4	00h
0001C5h	UART5特殊モードレジスタ3	U5SMR3	00h
0001C6h	UART5特殊モードレジスタ2	U5SMR2	00h
0001C7h	UART5特殊モードレジスタ	U5SMR	00h
0001C8h	UART5送受信モードレジスタ	U5MR	00h
0001C9h	UART5転送速度レジスタ	U5BRG	XXh
0001CAh	UART5送信バッファレジスタ	U5TB	XXXXh
0001CBh			
0001CCh	UART5送受信制御レジスタ0	U5C0	0000 1000b
0001CDh	UART5送受信制御レジスタ1	U5C1	0000 0010b
0001CEh	UART5受信バッファレジスタ	U5RB	XXXXh
0001CFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.10 SFR一覧(10)

番地	レジスタ	シンボル	リセット後の値
0001D0h			
0001D1h			
0001D2h			
0001D3h			
0001D4h	UART6特殊モードレジスタ4	U6SMR4	00h
0001D5h	UART6特殊モードレジスタ3	U6SMR3	00h
0001D6h	UART6特殊モードレジスタ2	U6SMR2	00h
0001D7h	UART6特殊モードレジスタ	U6SMR	00h
0001D8h	UART6送受信モードレジスタ	U6MR	00h
0001D9h	UART6転送速度レジスタ	U6BRG	XXh
0001DAh	UART6送信バッファレジスタ	U6TB	XXXXh
0001DBh			
0001DCh	UART6送受信制御レジスタ0	U6C0	0000 1000b
0001DDh	UART6送受信制御レジスタ1	U6C1	0000 0010b
0001DEh	UART6受信バッファレジスタ	U6RB	XXXXh
0001DFh			
0001E0h	UART7送受信モードレジスタ	U7MR	00h
0001E1h	UART7転送速度レジスタ	U7BRG	XXh
0001E2h	UART7送信バッファレジスタ	U7TB	XXXXh
0001E3h			
0001E4h	UART7送受信制御レジスタ0	U7C0	00X0 1000b
0001E5h	UART7送受信制御レジスタ1	U7C1	XXXX 0010b
0001E6h	UART7受信バッファレジスタ	U7RB	XXXXh
0001E7h			
0001E8h	UART8送受信モードレジスタ	U8MR	00h
0001E9h	UART8転送速度レジスタ	U8BRG	XXh
0001EAh	UART8送信バッファレジスタ	U8TB	XXXXh
0001EBh			
0001ECh	UART8送受信制御レジスタ0	U8C0	00X0 1000b
0001EDh	UART8送受信制御レジスタ1	U8C1	XXXX 0010b
0001EEh	UART8受信バッファレジスタ	U8RB	XXXXh
0001EFh			
0001F0h	UART7,8送受信制御レジスタ2	U78CON	X000 0000b
0001F1h			
0001F2h			
0001F3h			
0001F4h			
0001F5h			
0001F6h			
0001F7h			
0001F8h			
0001F9h			
0001FAh			
0001FBh			
0001FCh			
0001FDh			
0001FEh			
0001FFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.11 SFR一覧(11)

番地	レジスタ	シンボル	リセット後の値
000200h~ 0002BFh			
0002C0h	X0 レジスタ /Y0 レジスタ	X0R/Y0R	XXXXh
0002C1h			
0002C2h	X1 レジスタ /Y1 レジスタ	X1R/Y1R	XXXXh
0002C3h			
0002C4h	X2 レジスタ /Y2 レジスタ	X2R/Y2R	XXXXh
0002C5h			
0002C6h	X3 レジスタ /Y3 レジスタ	X3R/Y3R	XXXXh
0002C7h			
0002C8h	X4 レジスタ /Y4 レジスタ	X4R/Y4R	XXXXh
0002C9h			
0002CAh	X5 レジスタ /Y5 レジスタ	X5R/Y5R	XXXXh
0002CBh			
0002CCh	X6 レジスタ /Y6 レジスタ	X6R/Y6R	XXXXh
0002CDh			
0002CEh	X7 レジスタ /Y7 レジスタ	X7R/Y7R	XXXXh
0002CFh			
0002D0h	X8 レジスタ /Y8 レジスタ	X8R/Y8R	XXXXh
0002D1h			
0002D2h	X9 レジスタ /Y9 レジスタ	X9R/Y9R	XXXXh
0002D3h			
0002D4h	X10 レジスタ /Y10 レジスタ	X10R/Y10R	XXXXh
0002D5h			
0002D6h	X11 レジスタ /Y11 レジスタ	X11R/Y11R	XXXXh
0002D7h			
0002D8h	X12 レジスタ /Y12 レジスタ	X12R/Y12R	XXXXh
0002D9h			
0002DAh	X13 レジスタ /Y13 レジスタ	X13R/Y13R	XXXXh
0002DBh			
0002DCh	X14 レジスタ /Y14 レジスタ	X14R/Y14R	XXXXh
0002DDh			
0002DEh	X15 レジスタ /Y15 レジスタ	X15R/Y15R	XXXXh
0002DFh			
0002E0h	X-Y制御レジスタ	XYC	XXXX XX00b
0002E1h			
0002E2h			
0002E3h			
0002E4h	UART1特殊モードレジスタ4	U1SMR4	00h
0002E5h	UART1特殊モードレジスタ3	U1SMR3	00h
0002E6h	UART1特殊モードレジスタ2	U1SMR2	00h
0002E7h	UART1特殊モードレジスタ	U1SMR	00h
0002E8h	UART1送受信モードレジスタ	U1MR	00h
0002E9h	UART1転送速度レジスタ	U1BRG	XXh
0002EAh	UART1送信バッファレジスタ	U1TB	XXXXh
0002EBh			
0002ECh	UART1送受信制御レジスタ0	U1C0	0000 1000b
0002EDh	UART1送受信制御レジスタ1	U1C1	0000 0010b
0002EEh	UART1受信バッファレジスタ	U1RB	XXXXh
0002EFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.12 SFR一覧(12)

番地	レジスタ	シンボル	リセット後の値
0002F0h			
0002F1h			
0002F2h			
0002F3h			
0002F4h	UART4特殊モードレジスタ4	U4SMR4	00h
0002F5h	UART4特殊モードレジスタ3	U4SMR3	00h
0002F6h	UART4特殊モードレジスタ2	U4SMR2	00h
0002F7h	UART4特殊モードレジスタ	U4SMR	00h
0002F8h	UART4送受信モードレジスタ	U4MR	00h
0002F9h	UART4転送速度レジスタ	U4BRG	XXh
0002FAh	UART4送信バッファレジスタ	U4TB	XXXXh
0002FBh			
0002FCh	UART4送受信制御レジスタ0	U4C0	0000 1000b
0002FDh	UART4送受信制御レジスタ1	U4C1	0000 0010b
0002FEh	UART4受信バッファレジスタ	U4RB	XXXXh
0002FFh			
000300h	タイマB3、B4、B5カウント開始フラグ	TBSR	000X XXXXb
000301h			
000302h	タイマA1-1レジスタ	TA11	XXXXh
000303h			
000304h	タイマA2-1レジスタ	TA21	XXXXh
000305h			
000306h	タイマA4-1レジスタ	TA41	XXXXh
000307h			
000308h	三相PWM制御レジスタ0	INVC0	00h
000309h	三相PWM制御レジスタ1	INVC1	00h
00030Ah	三相出力バッファレジスタ0	IDB0	XX11 1111b
00030Bh	三相出力バッファレジスタ1	IDB1	XX11 1111b
00030Ch	短絡防止タイマ	DTT	XXh
00030Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2	XXh
00030Eh			
00030Fh			
000310h	タイマB3レジスタ	TB3	XXXXh
000311h			
000312h	タイマB4レジスタ	TB4	XXXXh
000313h			
000314h	タイマB5レジスタ	TB5	XXXXh
000315h			
000316h			
000317h			
000318h			
000319h			
00031Ah			
00031Bh	タイマB3モードレジスタ	TB3MR	00XX 0000b
00031Ch	タイマB4モードレジスタ	TB4MR	00XX 0000b
00031Dh	タイマB5モードレジスタ	TB5MR	00XX 0000b
00031Eh			
00031Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.13 SFR一覧(13)

番地	レジスタ	シンボル	リセット後の値
000320h			
000321h			
000322h			
000323h			
000324h	UART3特殊モードレジスタ4	U3SMR4	00h
000325h	UART3特殊モードレジスタ3	U3SMR3	00h
000326h	UART3特殊モードレジスタ2	U3SMR2	00h
000327h	UART3特殊モードレジスタ	U3SMR	00h
000328h	UART3送受信モードレジスタ	U3MR	00h
000329h	UART3転送速度レジスタ	U3BRG	XXh
00032Ah	UART3送信バッファレジスタ	U3TB	XXXXh
00032Bh			
00032Ch	UART3送受信制御レジスタ0	U3C0	0000 1000b
00032Dh	UART3送受信制御レジスタ1	U3C1	0000 0010b
00032Eh	UART3受信バッファレジスタ	U3RB	XXXXh
00032Fh			
000330h			
000331h			
000332h			
000333h			
000334h	UART2特殊モードレジスタ4	U2SMR4	00h
000335h	UART2特殊モードレジスタ3	U2SMR3	00h
000336h	UART2特殊モードレジスタ2	U2SMR2	00h
000337h	UART2特殊モードレジスタ	U2SMR	00h
000338h	UART2送受信モードレジスタ	U2MR	00h
000339h	UART2転送速度レジスタ	U2BRG	XXh
00033Ah	UART2送信バッファレジスタ	U2TB	XXXXh
00033Bh			
00033Ch	UART2送受信制御レジスタ0	U2C0	0000 1000b
00033Dh	UART2送受信制御レジスタ1	U2C1	0000 0010b
00033Eh	UART2受信バッファレジスタ	U2RB	XXXXh
00033Fh			
000340h	カウント開始レジスタ	TABSR	0000 0000b
000341h	時計用プリスケーラリセットレジスタ	CPSRF	0XXX XXXXb
000342h	ワンショット開始レジスタ	ONSF	0000 0000b
000343h	トリガ選択レジスタ	TRGSR	0000 0000b
000344h	アップダウン選択レジスタ	UDF	0000 0000b
000345h			
000346h	タイマA0レジスタ	TA0	XXXXh
000347h			
000348h	タイマA1レジスタ	TA1	XXXXh
000349h			
00034Ah	タイマA2レジスタ	TA2	XXXXh
00034Bh			
00034Ch	タイマA3レジスタ	TA3	XXXXh
00034Dh			
00034Eh	タイマA4レジスタ	TA4	XXXXh
00034Fh			

X: 不定
空欄はすべて予約領域です。アクセスしないでください。

表 4.14 SFR一覧(14)

番地	レジスタ	シンボル	リセット後の値
000350h	タイマB0レジスタ	TB0	XXXXh
000351h			
000352h	タイマB1レジスタ	TB1	XXXXh
000353h			
000354h	タイマB2レジスタ	TB2	XXXXh
000355h			
000356h	タイマA0モードレジスタ	TA0MR	0000 0000b
000357h	タイマA1モードレジスタ	TA1MR	0000 0000b
000358h	タイマA2モードレジスタ	TA2MR	0000 0000b
000359h	タイマA3モードレジスタ	TA3MR	0000 0000b
00035Ah	タイマA4モードレジスタ	TA4MR	0000 0000b
00035Bh	タイマB0モードレジスタ	TB0MR	00XX 0000b
00035Ch	タイマB1モードレジスタ	TB1MR	00XX 0000b
00035Dh	タイマB2モードレジスタ	TB2MR	00XX 0000b
00035Eh	タイマB2特殊モードレジスタ	TB2SC	XXXX XXX0b
00035Fh	カウントソースプリスケーラレジスタ	TCSPR	0000 0000b
000360h			
000361h			
000362h			
000363h			
000364h	UART0特殊モードレジスタ4	U0SMR4	00h
000365h	UART0特殊モードレジスタ3	U0SMR3	00h
000366h	UART0特殊モードレジスタ2	U0SMR2	00h
000367h	UART0特殊モードレジスタ	U0SMR	00h
000368h	UART0送受信モードレジスタ	U0MR	00h
000369h	UART0転送速度レジスタ	U0BRG	XXh
00036Ah	UART0送信バッファレジスタ	U0TB	XXXXh
00036Bh			
00036Ch	UART0送受信制御レジスタ0	U0C0	0000 1000b
00036Dh	UART0送受信制御レジスタ1	U0C1	0000 0010b
00036Eh	UART0受信バッファレジスタ	U0RB	XXXXh
00036Fh			
000370h			
000371h			
000372h			
000373h			
000374h			
000375h			
000376h			
000377h			
000378h			
000379h			
00037Ah			
00037Bh			
00037Ch	CRCデータレジスタ	CRCD	XXXXh
00037Dh			
00037Eh	CRCインプットレジスタ	CRCIN	XXh
00037Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.15 SFR一覧(15)

番地	レジスタ	シンボル	リセット後の値
000380h	A/D0 レジスタ 0	AD00	00XXh
000381h			
000382h	A/D0 レジスタ 1	AD01	00XXh
000383h			
000384h	A/D0 レジスタ 2	AD02	00XXh
000385h			
000386h	A/D0 レジスタ 3	AD03	00XXh
000387h			
000388h	A/D0 レジスタ 4	AD04	00XXh
000389h			
00038Ah	A/D0 レジスタ 5	AD05	00XXh
00038Bh			
00038Ch	A/D0 レジスタ 6	AD06	00XXh
00038Dh			
00038Eh	A/D0 レジスタ 7	AD07	00XXh
00038Fh			
000390h			
000391h			
000392h	A/D0制御レジスタ 4	AD0CON4	XXXX 00XXb
000393h			
000394h	A/D0制御レジスタ 2	AD0CON2	XX0X X000b
000395h	A/D0制御レジスタ 3	AD0CON3	XXXX X000b
000396h	A/D0制御レジスタ 0	AD0CON0	00h
000397h	A/D0制御レジスタ 1	AD0CON1	00h
000398h	D/A レジスタ 0	DA0	XXh
000399h			
00039Ah	D/A レジスタ 1	DA1	XXh
00039Bh			
00039Ch	D/A制御レジスタ	DACON	XXXX XX00b
00039Dh			
00039Eh			
00039Fh			
0003A0h			
0003A1h			
0003A2h			
0003A3h			
0003A4h			
0003A5h			
0003A6h			
0003A7h			
0003A8h			
0003A9h			
0003AAh			
0003ABh			
0003ACh			
0003ADh			
0003AEh			
0003AFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.16 SFR一覧(16)

番地	レジスタ	シンボル	リセット後の値
0003B0h			
0003B1h			
0003B2h			
0003B3h			
0003B4h			
0003B5h			
0003B6h			
0003B7h			
0003B8h			
0003B9h			
0003BAh			
0003BBh			
0003BCh			
0003BDh			
0003BEh			
0003BFh			
0003C0h	ポートP0レジスタ	P0	XXh
0003C1h	ポートP1レジスタ	P1	XXh
0003C2h	ポートP0方向レジスタ	PD0	0000 0000b
0003C3h	ポートP1方向レジスタ	PD1	0000 0000b
0003C4h	ポートP2レジスタ	P2	XXh
0003C5h	ポートP3レジスタ	P3	XXh
0003C6h	ポートP2方向レジスタ	PD2	0000 0000b
0003C7h	ポートP3方向レジスタ	PD3	0000 0000b
0003C8h	ポートP4レジスタ	P4	XXh
0003C9h	ポートP5レジスタ	P5	XXh
0003CAh	ポートP4方向レジスタ	PD4	0000 0000b
0003CBh	ポートP5方向レジスタ	PD5	0000 0000b
0003CCh	ポートP6レジスタ	P6	XXh
0003CDh	ポートP7レジスタ	P7	XXh
0003CEh	ポートP6方向レジスタ	PD6	0000 0000b
0003CFh	ポートP7方向レジスタ	PD7	0000 0000b
0003D0h	ポートP8レジスタ	P8	XXh
0003D1h	ポートP9レジスタ	P9	XXh
0003D2h	ポートP8方向レジスタ	PD8	00X0 0000b
0003D3h	ポートP9方向レジスタ	PD9	0000 0000b
0003D4h	ポートP10レジスタ	P10	XXh
0003D5h	ポートP11レジスタ	P11	XXh
0003D6h	ポートP10方向レジスタ	PD10	0000 0000b
0003D7h	ポートP11方向レジスタ	PD11	XXX0 0000b
0003D8h	ポートP12レジスタ	P12	XXh
0003D9h	ポートP13レジスタ	P13	XXh
0003DAh	ポートP12方向レジスタ	PD12	0000 0000b
0003DBh	ポートP13方向レジスタ	PD13	0000 0000b
0003DCh	ポートP14レジスタ	P14	XXh
0003DDh	ポートP15レジスタ	P15	XXh
0003DEh	ポートP14方向レジスタ	PD14	X000 0000b
0003DFh	ポートP15方向レジスタ	PD15	0000 0000b

X: 不定
空欄はすべて予約領域です。アクセスしないでください。

表 4.17 SFR一覧(17)

番地	レジスタ	シンボル	リセット後の値
0003E0h			
0003E1h			
0003E2h			
0003E3h			
0003E4h			
0003E5h			
0003E6h			
0003E7h			
0003E8h			
0003E9h			
0003EAh			
0003EBh			
0003ECh			
0003EDh			
0003EEh			
0003EFh			
0003F0h	プルアップ制御レジスタ 0	PUR0	0000 0000b
0003F1h	プルアップ制御レジスタ 1	PUR1	XXXX X0XXb
0003F2h	プルアップ制御レジスタ 2	PUR2	000X XXXXb
0003F3h	プルアップ制御レジスタ 3	PUR3	0000 0000b
0003F4h	プルアップ制御レジスタ 4	PUR4	XXXX 0000b
0003F5h			
0003F6h			
0003F7h			
0003F8h			
0003F9h			
0003FAh			
0003FBh			
0003FCh			
0003FDh			
0003FEh			
0003FFh	ポート制御レジスタ	PCR	0XXX XXX0b

X: 不定
空欄はすべて予約領域です。アクセスしないでください。

表 4.18 SFR一覧(18)

番地	レジスタ	シンボル	リセット後の値
040000h	フラッシュメモリ制御レジスタ0	FMR0	0X01 XX00b
040001h	フラッシュメモリステータスレジスタ0	FMSR0	1000 0000b
040002h			
040003h			
040004h			
040005h			
040006h			
040007h			
040008h	フラッシュレジスタプロテクト解除レジスタ0	FPR0	00h
040009h	フラッシュメモリ制御レジスタ1	FMR1	0000 0010b
04000Ah	ブロックプロテクトビットモニタレジスタ0	FBPM0	??X? ????b (注1)
04000Bh	ブロックプロテクトビットモニタレジスタ1	FBPM1	XXX? ????b (注1)
04000Ch			
04000Dh			
04000Eh			
04000Fh			
040010h			
040011h	ブロックプロテクトビットモニタレジスタ2	FBPM2	???? ????b (注1)
040012h			
040013h			
040014h			
040015h			
040016h			
040017h			
040018h			
040019h			
04001Ah			
04001Bh			
04001Ch			
04001Dh			
04001Eh			
04001Fh			
040020h	PLL制御レジスタ0	PLC0	0000 0001b
040021h	PLL制御レジスタ1	PLC1	0001 1111b
040022h			
040023h			
040024h			
040025h			
040026h			
040027h			
040028h			
040029h			
04002Ah			
04002Bh			
04002Ch			
04002Dh			
04002Eh			
04002Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. フラッシュメモリの各ブロックのプロテクトビットの状態が反映されます。

表 4.19 SFR一覧(19)

番地	レジスタ	シンボル	リセット後の値
040030h~ 04003Fh			
040040h			
040041h			
040042h			
040043h			
040044h	プロセッサモードレジスタ0 (注1)	PM0	1000 0000b (CNVSS端子が“L”) 0000 0011b (CNVSS端子が“H”)
040045h			
040046h	システムクロック制御レジスタ0	CM0	0000 1000b
040047h	システムクロック制御レジスタ1	CM1	0010 0000b
040048h	プロセッサモードレジスタ3	PM3	00h
040049h			
04004Ah	プロテクトレジスタ	PRCR	XXXX X000b
04004Bh			
04004Ch	プロテクトレジスタ3	PRCR3	0000 0000b
04004Dh	発振停止検出レジスタ	CM2	00h
04004Eh			
04004Fh			
040050h			
040051h			
040052h			
040053h	プロセッサモードレジスタ2	PM2	00h
040054h	チップセレクト出力端子設定レジスタ0	CSOP0	1000 XXXXb
040055h	チップセレクト出力端子設定レジスタ1	CSOP1	01X0 XXXXb
040056h	チップセレクト出力端子設定レジスタ2	CSOP2	XXXX 0000b
040057h			
040058h			
040059h			
04005Ah	低速モードクロック制御レジスタ	CM3	XXXX XX00b
04005Bh			
04005Ch			
04005Dh			
04005Eh			
04005Fh			
040060h	電圧レギュレータ制御レジスタ	VRCR	0000 0000b
040061h			
040062h	電圧低下検出回路制御レジスタ	LVDC	0000 XX00b
040063h			
040064h	検出電圧設定レジスタ	DVCR	0000 XXXXb
040065h			
040066h			
040067h			
040068h~ 040093h			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. PM0 レジスタはソフトウェアリセット、ウォッチドッグタイマリセットを行ってもリセット前の値が保持されます。

表 4.20 SFR一覧(20)

番地	レジスタ	シンボル	リセット後の値
040094h			
040095h			
040096h			
040097h	三相出力バッファ制御レジスタ	IOBC	0XXX XXXXb
040098h	入力機能選択レジスタ0	IFS0	X000 0000b
040099h	入力機能選択レジスタ1	IFS1	XXXX X0X0b
04009Ah	入力機能選択レジスタ2	IFS2	0000 00X0b
04009Bh	入力機能選択レジスタ3	IFS3	XXXX XX00b
04009Ch			
04009Dh			
04009Eh			
04009Fh			
0400A0h	ポートP0_0機能選択レジスタ	P0_0S	0XXX X000b
0400A1h	ポートP1_0機能選択レジスタ	P1_0S	XXXX X000b
0400A2h	ポートP0_1機能選択レジスタ	P0_1S	0XXX X000b
0400A3h	ポートP1_1機能選択レジスタ	P1_1S	XXXX X000b
0400A4h	ポートP0_2機能選択レジスタ	P0_2S	0XXX X000b
0400A5h	ポートP1_2機能選択レジスタ	P1_2S	XXXX X000b
0400A6h	ポートP0_3機能選択レジスタ	P0_3S	0XXX X000b
0400A7h	ポートP1_3機能選択レジスタ	P1_3S	XXXX X000b
0400A8h	ポートP0_4機能選択レジスタ	P0_4S	0XXX X000b
0400A9h	ポートP1_4機能選択レジスタ	P1_4S	XXXX X000b
0400AAh	ポートP0_5機能選択レジスタ	P0_5S	0XXX X000b
0400ABh	ポートP1_5機能選択レジスタ	P1_5S	XXXX X000b
0400ACh	ポートP0_6機能選択レジスタ	P0_6S	0XXX X000b
0400ADh	ポートP1_6機能選択レジスタ	P1_6S	XXXX X000b
0400AEh	ポートP0_7機能選択レジスタ	P0_7S	0XXX X000b
0400AFh	ポートP1_7機能選択レジスタ	P1_7S	XXXX X000b
0400B0h	ポートP2_0機能選択レジスタ	P2_0S	0XXX X000b
0400B1h	ポートP3_0機能選択レジスタ	P3_0S	XXXX X000b
0400B2h	ポートP2_1機能選択レジスタ	P2_1S	0XXX X000b
0400B3h	ポートP3_1機能選択レジスタ	P3_1S	XXXX X000b
0400B4h	ポートP2_2機能選択レジスタ	P2_2S	0XXX X000b
0400B5h	ポートP3_2機能選択レジスタ	P3_2S	XXXX X000b
0400B6h	ポートP2_3機能選択レジスタ	P2_3S	0XXX X000b
0400B7h	ポートP3_3機能選択レジスタ	P3_3S	XXXX X000b
0400B8h	ポートP2_4機能選択レジスタ	P2_4S	0XXX X000b
0400B9h	ポートP3_4機能選択レジスタ	P3_4S	XXXX X000b
0400BAh	ポートP2_5機能選択レジスタ	P2_5S	0XXX X000b
0400BBh	ポートP3_5機能選択レジスタ	P3_5S	XXXX X000b
0400BCh	ポートP2_6機能選択レジスタ	P2_6S	0XXX X000b
0400BDh	ポートP3_6機能選択レジスタ	P3_6S	XXXX X000b
0400BEh	ポートP2_7機能選択レジスタ	P2_7S	0XXX X000b
0400BFh	ポートP3_7機能選択レジスタ	P3_7S	XXXX X000b

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.21 SFR一覧(21)

番地	レジスタ	シンボル	リセット後の値
0400C0h	ポートP4_0機能選択レジスタ	P4_0S	X0XX X000b
0400C1h	ポートP5_0機能選択レジスタ	P5_0S	XXXX X000b
0400C2h	ポートP4_1機能選択レジスタ	P4_1S	X0XX X000b
0400C3h	ポートP5_1機能選択レジスタ	P5_1S	XXXX X000b
0400C4h	ポートP4_2機能選択レジスタ	P4_2S	X0XX X000b
0400C5h	ポートP5_2機能選択レジスタ	P5_2S	XXXX X000b
0400C6h	ポートP4_3機能選択レジスタ	P4_3S	X0XX X000b
0400C7h	ポートP5_3機能選択レジスタ	P5_3S	XXXX X000b
0400C8h	ポートP4_4機能選択レジスタ	P4_4S	X0XX X000b
0400C9h	ポートP5_4機能選択レジスタ	P5_4S	X0XX X000b
0400CAh	ポートP4_5機能選択レジスタ	P4_5S	X0XX X000b
0400CBh	ポートP5_5機能選択レジスタ	P5_5S	X0XX X000b
0400CCh	ポートP4_6機能選択レジスタ	P4_6S	X0XX X000b
0400CDh	ポートP5_6機能選択レジスタ	P5_6S	X0XX X000b
0400CEh	ポートP4_7機能選択レジスタ	P4_7S	X0XX X000b
0400CFh	ポートP5_7機能選択レジスタ	P5_7S	X0XX X000b
0400D0h	ポートP6_0機能選択レジスタ	P6_0S	X0XX X000b
0400D1h	ポートP7_0機能選択レジスタ	P7_0S	X0XX X000b
0400D2h	ポートP6_1機能選択レジスタ	P6_1S	X0XX X000b
0400D3h	ポートP7_1機能選択レジスタ	P7_1S	X0XX X000b
0400D4h	ポートP6_2機能選択レジスタ	P6_2S	X0XX X000b
0400D5h	ポートP7_2機能選択レジスタ	P7_2S	X0XX X000b
0400D6h	ポートP6_3機能選択レジスタ	P6_3S	X0XX X000b
0400D7h	ポートP7_3機能選択レジスタ	P7_3S	X0XX X000b
0400D8h	ポートP6_4機能選択レジスタ	P6_4S	X0XX X000b
0400D9h	ポートP7_4機能選択レジスタ	P7_4S	X0XX X000b
0400DAh	ポートP6_5機能選択レジスタ	P6_5S	X0XX X000b
0400DBh	ポートP7_5機能選択レジスタ	P7_5S	X0XX X000b
0400DCh	ポートP6_6機能選択レジスタ	P6_6S	X0XX X000b
0400DDh	ポートP7_6機能選択レジスタ	P7_6S	X0XX X000b
0400DEh	ポートP6_7機能選択レジスタ	P6_7S	X0XX X000b
0400DFh	ポートP7_7機能選択レジスタ	P7_7S	X0XX X000b
0400E0h	ポートP8_0機能選択レジスタ	P8_0S	X0XX X000b
0400E1h	ポートP9_0機能選択レジスタ	P9_0S	X0XX X000b
0400E2h	ポートP8_1機能選択レジスタ	P8_1S	X0XX X000b
0400E3h	ポートP9_1機能選択レジスタ	P9_1S	X0XX X000b
0400E4h	ポートP8_2機能選択レジスタ	P8_2S	X0XX X000b
0400E5h	ポートP9_2機能選択レジスタ	P9_2S	X0XX X000b
0400E6h	ポートP8_3機能選択レジスタ	P8_3S	X0XX X000b
0400E7h	ポートP9_3機能選択レジスタ	P9_3S	00XX X000b
0400E8h	ポートP8_4機能選択レジスタ	P8_4S	XXXX X000b
0400E9h	ポートP9_4機能選択レジスタ	P9_4S	00XX X000b
0400EAh			
0400EBh	ポートP9_5機能選択レジスタ	P9_5S	00XX X000b
0400ECh	ポートP8_6機能選択レジスタ	P8_6S	XXXX X000b
0400EDh	ポートP9_6機能選択レジスタ	P9_6S	00XX X000b
0400EEh	ポートP8_7機能選択レジスタ	P8_7S	XXXX X000b
0400EFh	ポートP9_7機能選択レジスタ	P9_7S	X0XX X000b

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.22 SFR一覧(22)

番地	レジスタ	シンボル	リセット後の値
0400F0h	ポートP10_0機能選択レジスタ	P10_0S	0XXX X000b
0400F1h	ポートP11_0機能選択レジスタ	P11_0S	X0XX X000b
0400F2h	ポートP10_1機能選択レジスタ	P10_1S	0XXX X000b
0400F3h	ポートP11_1機能選択レジスタ	P11_1S	X0XX X000b
0400F4h	ポートP10_2機能選択レジスタ	P10_2S	0XXX X000b
0400F5h	ポートP11_2機能選択レジスタ	P11_2S	X0XX X000b
0400F6h	ポートP10_3機能選択レジスタ	P10_3S	0XXX X000b
0400F7h	ポートP11_3機能選択レジスタ	P11_3S	X0XX X000b
0400F8h	ポートP10_4機能選択レジスタ	P10_4S	0XXX X000b
0400F9h	ポートP11_4機能選択レジスタ	P11_4S	XXXX X000b
0400FAh	ポートP10_5機能選択レジスタ	P10_5S	0XXX X000b
0400FBh			
0400FCh	ポートP10_6機能選択レジスタ	P10_6S	0XXX X000b
0400FDh			
0400FEh	ポートP10_7機能選択レジスタ	P10_7S	0XXX X000b
0400FFh			
040100h	ポートP12_0機能選択レジスタ	P12_0S	X0XX X000b
040101h	ポートP13_0機能選択レジスタ	P13_0S	XXXX X000b
040102h	ポートP12_1機能選択レジスタ	P12_1S	X0XX X000b
040103h	ポートP13_1機能選択レジスタ	P13_1S	XXXX X000b
040104h	ポートP12_2機能選択レジスタ	P12_2S	X0XX X000b
040105h	ポートP13_2機能選択レジスタ	P13_2S	XXXX X000b
040106h	ポートP12_3機能選択レジスタ	P12_3S	X0XX X000b
040107h	ポートP13_3機能選択レジスタ	P13_3S	XXXX X000b
040108h	ポートP12_4機能選択レジスタ	P12_4S	XXXX X000b
040109h	ポートP13_4機能選択レジスタ	P13_4S	XXXX X000b
04010Ah	ポートP12_5機能選択レジスタ	P12_5S	XXXX X000b
04010Bh	ポートP13_5機能選択レジスタ	P13_5S	XXXX X000b
04010Ch	ポートP12_6機能選択レジスタ	P12_6S	XXXX X000b
04010Dh	ポートP13_6機能選択レジスタ	P13_6S	XXXX X000b
04010Eh	ポートP12_7機能選択レジスタ	P12_7S	XXXX X000b
04010Fh	ポートP13_7機能選択レジスタ	P13_7S	XXXX X000b
040110h			
040111h	ポートP15_0機能選択レジスタ	P15_0S	00XX X000b
040112h			
040113h	ポートP15_1機能選択レジスタ	P15_1S	00XX X000b
040114h			
040115h	ポートP15_2機能選択レジスタ	P15_2S	00XX X000b
040116h	ポートP14_3機能選択レジスタ	P14_3S	XXXX X000b
040117h	ポートP15_3機能選択レジスタ	P15_3S	00XX X000b
040118h	ポートP14_4機能選択レジスタ	P14_4S	XXXX X000b
040119h	ポートP15_4機能選択レジスタ	P15_4S	00XX X000b
04011Ah	ポートP14_5機能選択レジスタ	P14_5S	XXXX X000b
04011Bh	ポートP15_5機能選択レジスタ	P15_5S	00XX X000b
04011Ch	ポートP14_6機能選択レジスタ	P14_6S	XXXX X000b
04011Dh	ポートP15_6機能選択レジスタ	P15_6S	00XX X000b
04011Eh			
04011Fh	ポートP15_7機能選択レジスタ	P15_7S	00XX X000b

X: 不定
空欄はすべて予約領域です。アクセスしないでください。

表 4.23 SFR一覧(23)

番地	レジスタ	シンボル	リセット後の値
040120h~ 04403Fh			
044040h			
044041h			
044042h			
044043h			
044044h			
044045h			
044046h			
044047h			
044048h			
044049h			
04404Ah			
04404Bh			
04404Ch			
04404Dh			
04404Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXXX XXXXb
04404Fh	ウォッチドッグタイマ制御レジスタ	WDC	000X XXXXb
044050h			
044051h			
044052h			
044053h			
044054h			
044055h			
044056h			
044057h			
044058h			
044059h			
04405Ah			
04405Bh			
04405Ch			
04405Dh			
04405Eh			
04405Fh	プロテクトレジスタ2	PRCR2	0XXX XXXXb

X: 不定
空欄はすべて予約領域です。アクセスしないでください。

表 4.24 SFR一覧(24)

番地	レジスタ	シンボル	リセット後の値
044060h			
044061h			
044062h			
044063h			
044064h			
044065h			
044066h			
044067h			
044068h			
044069h			
04406Ah			
04406Bh			
04406Ch			
04406Dh	外部割り込み要因選択レジスタ1	IFSR1	X0XX X000b
04406Eh			
04406Fh	外部割り込み要因選択レジスタ0	IFSR0	0000 0000b
044070h	DMA0起動要因選択レジスタ2	DM0SL2	XX00 0000b
044071h	DMA1起動要因選択レジスタ2	DM1SL2	XX00 0000b
044072h	DMA2起動要因選択レジスタ2	DM2SL2	XX00 0000b
044073h	DMA3起動要因選択レジスタ2	DM3SL2	XX00 0000b
044074h			
044075h			
044076h			
044077h			
044078h	DMA0起動要因選択レジスタ	DM0SL	XXX0 0000b
044079h	DMA1起動要因選択レジスタ	DM1SL	XXX0 0000b
04407Ah	DMA2起動要因選択レジスタ	DM2SL	XXX0 0000b
04407Bh	DMA3起動要因選択レジスタ	DM3SL	XXX0 0000b
04407Ch			
04407Dh	復帰用割り込み優先レベル設定レジスタ2	RIPL2	XX0X 0000b
04407Eh			
04407Fh	復帰用割り込み優先レベル設定レジスタ1	RIPL1	XX0X 0000b
044080h			
044081h			
044082h			
044083h			
044084h			
044085h			
044086h			
044087h			
044088h			
044089h			
04408Ah			
04408Bh			
04408Ch			
04408Dh			
04408Eh			
04408Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.25 SFR一覧(25)

番地	レジスタ	シンボル	リセット後の値
044090h~ 0443FFh			
044400h	I²Cバス送受信シフトレジスタ	I2CTRSR	XXh
044401h			
044402h	I²Cバススレーブアドレスレジスタ	I2CSAR	00h
044403h	I²Cバス制御レジスタ0	I2CCR0	0000 0000b
044404h	I²Cバスクロック制御レジスタ	I2CCCR	0000 0000b
044405h	I²Cバススタートコンディション/ストップコンディション制御レジスタ	I2CSSCR	0001 1010b
044406h	I²Cバス制御レジスタ1	I2CCR1	0011 0000b
044407h	I²Cバス制御レジスタ2	I2CCR2	0X00 0000b
044408h	I²Cバスステータスレジスタ	I2CSR	0001 000Xb
044409h			
04440Ah			
04440Bh			
04440Ch			
04440Dh			
04440Eh			
04440Fh			
044410h	I²Cバスモードレジスタ	I2CMR	XXXX 0000b
044411h			
044412h			
044413h			
044414h			
044415h			
044416h			
044417h			
044418h			
044419h			
04441Ah			
04441Bh			
04441Ch			
04441Dh			
04441Eh			
04441Fh			
044420h~ 0467FFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.26 SFR一覧(26)

番地	レジスタ	シンボル	リセット後の値
046800h~ 0477FFh			
047800h	CAN1メールボックス0: メッセージ識別子	C1MB0	XXXX XXXXh
047801h			
047802h			
047803h			
047804h			
047805h	CAN1メールボックス0: データ長		XXh
047806h	CAN1メールボックス0: データフィールド		XXXX XXXX
047807h			XXXX XXXXh
047808h			
047809h			
04780Ah			
04780Bh			
04780Ch			
04780Dh			
04780Eh	CAN1メールボックス0: タイムスタンプ		XXXXh
04780Fh			
047810h	CAN1メールボックス1: メッセージ識別子	C1MB1	XXXX XXXXh
047811h			
047812h			
047813h			
047814h			
047815h	CAN1メールボックス1: データ長		XXh
047816h	CAN1メールボックス1: データフィールド		XXXX XXXX
047817h			XXXX XXXXh
047818h			
047819h			
04781Ah			
04781Bh			
04781Ch			
04781Dh			
04781Eh	CAN1メールボックス1: タイムスタンプ		XXXXh
04781Fh			
047820h	CAN1メールボックス2: メッセージ識別子	C1MB2	XXXX XXXXh
047821h			
047822h			
047823h			
047824h			
047825h	CAN1メールボックス2: データ長		XXh
047826h	CAN1メールボックス2: データフィールド		XXXX XXXX
047827h			XXXX XXXXh
047828h			
047829h			
04782Ah			
04782Bh			
04782Ch			
04782Dh			
04782Eh	CAN1メールボックス2: タイムスタンプ		XXXXh
04782Fh			

X: 不定
空欄はすべて予約領域です。アクセスしないでください。

表 4.27 SFR一覧(27)

番地	レジスタ	シンボル	リセット後の値
047830h	CAN1メールボックス3: メッセージ識別子	C1MB3	XXXX XXXXh
047831h			
047832h			
047833h			
047834h			
047835h	CAN1メールボックス3: データ長		XXh
047836h	CAN1メールボックス3: データフィールド		XXXX XXXX
047837h			XXXX XXXXh
047838h			
047839h			
04783Ah			
04783Bh			
04783Ch			
04783Dh			
04783Eh	CAN1メールボックス3: タイムスタンプ		XXXXh
04783Fh			
047840h	CAN1メールボックス4: メッセージ識別子	C1MB4	XXXX XXXXh
047841h			
047842h			
047843h			
047844h			
047845h	CAN1メールボックス4: データ長		XXh
047846h	CAN1メールボックス4: データフィールド		XXXX XXXX
047847h			XXXX XXXXh
047848h			
047849h			
04784Ah			
04784Bh			
04784Ch			
04784Dh			
04784Eh	CAN1メールボックス4: タイムスタンプ		XXXXh
04784Fh			
047850h	CAN1メールボックス5: メッセージ識別子	C1MB5	XXXX XXXXh
047851h			
047852h			
047853h			
047854h			
047855h	CAN1メールボックス5: データ長		XXh
047856h	CAN1メールボックス5: データフィールド		XXXX XXXX
047857h			XXXX XXXXh
047858h			
047859h			
04785Ah			
04785Bh			
04785Ch			
04785Dh			
04785Eh	CAN1メールボックス5: タイムスタンプ		XXXXh
04785Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.28 SFR一覧(28)

番地	レジスタ	シンボル	リセット後の値
047860h	CAN1メールボックス6: メッセージ識別子	C1MB6	XXXX XXXXh
047861h			
047862h			
047863h			
047864h			
047865h	CAN1メールボックス6: データ長		XXh
047866h	CAN1メールボックス6: データフィールド		XXXX XXXX
047867h			XXXX XXXXh
047868h			
047869h			
04786Ah			
04786Bh			
04786Ch			
04786Dh			
04786Eh	CAN1メールボックス6: タイムスタンプ		XXXXh
04786Fh			
047870h	CAN1メールボックス7: メッセージ識別子	C1MB7	XXXX XXXXh
047871h			
047872h			
047873h			
047874h			
047875h	CAN1メールボックス7: データ長		XXh
047876h	CAN1メールボックス7: データフィールド		XXXX XXXX
047877h			XXXX XXXXh
047878h			
047879h			
04787Ah			
04787Bh			
04787Ch			
04787Dh			
04787Eh	CAN1メールボックス7: タイムスタンプ		XXXXh
04787Fh			
047880h	CAN1メールボックス8: メッセージ識別子	C1MB8	XXXX XXXXh
047881h			
047882h			
047883h			
047884h			
047885h	CAN1メールボックス8: データ長		XXh
047886h	CAN1メールボックス8: データフィールド		XXXX XXXX
047887h			XXXX XXXXh
047888h			
047889h			
04788Ah			
04788Bh			
04788Ch			
04788Dh			
04788Eh	CAN1メールボックス8: タイムスタンプ		XXXXh
04788Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.29 SFR一覧(29)

番地	レジスタ	シンボル	リセット後の値
047890h	CAN1メールボックス9: メッセージ識別子	C1MB9	XXXX XXXXh
047891h			
047892h			
047893h			
047894h			
047895h	CAN1メールボックス9: データ長		XXh
047896h	CAN1メールボックス9: データフィールド		XXXX XXXX
047897h			XXXX XXXXh
047898h			
047899h			
04789Ah			
04789Bh			
04789Ch			
04789Dh			
04789Eh	CAN1メールボックス9: タイムスタンプ		XXXXh
04789Fh			
0478A0h	CAN1メールボックス10: メッセージ識別子	C1MB10	XXXX XXXXh
0478A1h			
0478A2h			
0478A3h			
0478A4h			
0478A5h	CAN1メールボックス10: データ長		XXh
0478A6h	CAN1メールボックス10: データフィールド		XXXX XXXX
0478A7h			XXXX XXXXh
0478A8h			
0478A9h			
0478AAh			
0478ABh			
0478ACh			
0478ADh			
0478AEh	CAN1メールボックス10: タイムスタンプ		XXXXh
0478AFh			
0478B0h	CAN1メールボックス11: メッセージ識別子	C1MB11	XXXX XXXXh
0478B1h			
0478B2h			
0478B3h			
0478B4h			
0478B5h	CAN1メールボックス11: データ長		XXh
0478B6h	CAN1メールボックス11: データフィールド		XXXX XXXX
0478B7h			XXXX XXXXh
0478B8h			
0478B9h			
0478BAh			
0478BBh			
0478BCh			
0478BDh			
0478BEh	CAN1メールボックス11: タイムスタンプ		XXXXh
0478BFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.30 SFR一覧(30)

番地	レジスタ	シンボル	リセット後の値
0478C0h	CAN1メールボックス12: メッセージ識別子	C1MB12	XXXX XXXXh
0478C1h			
0478C2h			
0478C3h			
0478C4h			
0478C5h	CAN1メールボックス12: データ長		XXh
0478C6h	CAN1メールボックス12: データフィールド		XXXX XXXX
0478C7h			XXXX XXXXh
0478C8h			
0478C9h			
0478CAh			
0478CBh			
0478CCh			
0478CDh			
0478CEh	CAN1メールボックス12: タイムスタンプ		XXXXh
0478CFh			
0478D0h	CAN1メールボックス13: メッセージ識別子	C1MB13	XXXX XXXXh
0478D1h			
0478D2h			
0478D3h			
0478D4h			
0478D5h	CAN1メールボックス13: データ長		XXh
0478D6h	CAN1メールボックス13: データフィールド		XXXX XXXX
0478D7h			XXXX XXXXh
0478D8h			
0478D9h			
0478DAh			
0478DBh			
0478DCh			
0478DDh			
0478DEh	CAN1メールボックス13: タイムスタンプ		XXXXh
0478DFh			
0478E0h	CAN1メールボックス14: メッセージ識別子	C1MB14	XXXX XXXXh
0478E1h			
0478E2h			
0478E3h			
0478E4h			
0478E5h	CAN1メールボックス14: データ長		XXh
0478E6h	CAN1メールボックス14: データフィールド		XXXX XXXX
0478E7h			XXXX XXXXh
0478E8h			
0478E9h			
0478EAh			
0478EBh			
0478ECh			
0478EDh			
0478EEh	CAN1メールボックス14: タイムスタンプ		XXXXh
0478EFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.31 SFR一覧(31)

番地	レジスタ	シンボル	リセット後の値
0478F0h	CAN1メールボックス15: メッセージ識別子	C1MB15	XXXX XXXXh
0478F1h			
0478F2h			
0478F3h			
0478F4h			
0478F5h	CAN1メールボックス15: データ長		XXh
0478F6h	CAN1メールボックス15: データフィールド		XXXX XXXX
0478F7h			XXXX XXXXh
0478F8h			
0478F9h			
0478FAh			
0478FBh			
0478FCh			
0478FDh			
0478FEh	CAN1メールボックス15: タイムスタンプ		XXXXh
0478FFh			
047900h	CAN1メールボックス16: メッセージ識別子	C1MB16	XXXX XXXXh
047901h			
047902h			
047903h			
047904h			
047905h	CAN1メールボックス16: データ長		XXh
047906h	CAN1メールボックス16: データフィールド		XXXX XXXX
047907h			XXXX XXXXh
047908h			
047909h			
04790Ah			
04790Bh			
04790Ch			
04790Dh			
04790Eh	CAN1メールボックス16: タイムスタンプ		XXXXh
04790Fh			
047910h	CAN1メールボックス17: メッセージ識別子	C1MB17	XXXX XXXXh
047911h			
047912h			
047913h			
047914h			
047915h	CAN1メールボックス17: データ長		XXh
047916h	CAN1メールボックス17: データフィールド		XXXX XXXX
047917h			XXXX XXXXh
047918h			
047919h			
04791Ah			
04791Bh			
04791Ch			
04791Dh			
04791Eh	CAN1メールボックス17: タイムスタンプ		XXXXh
04791Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.32 SFR一覧(32)

番地	レジスタ	シンボル	リセット後の値
047920h	CAN1メールボックス18: メッセージ識別子	C1MB18	XXXX XXXXh
047921h			
047922h			
047923h			
047924h			
047925h	CAN1メールボックス18: データ長		XXh
047926h	CAN1メールボックス18: データフィールド		XXXX XXXX
047927h			XXXX XXXXh
047928h			
047929h			
04792Ah			
04792Bh			
04792Ch			
04792Dh			
04792Eh	CAN1メールボックス18: タイムスタンプ		XXXXh
04792Fh			
047930h	CAN1メールボックス19: メッセージ識別子	C1MB19	XXXX XXXXh
047931h			
047932h			
047933h			
047934h			
047935h	CAN1メールボックス19: データ長		XXh
047936h	CAN1メールボックス19: データフィールド		XXXX XXXX
047937h			XXXX XXXXh
047938h			
047939h			
04793Ah			
04793Bh			
04793Ch			
04793Dh			
04793Eh	CAN1メールボックス19: タイムスタンプ		XXXXh
04793Fh			
047940h	CAN1メールボックス20: メッセージ識別子	C1MB20	XXXX XXXXh
047941h			
047942h			
047943h			
047944h			
047945h	CAN1メールボックス20: データ長		XXh
047946h	CAN1メールボックス20: データフィールド		XXXX XXXX
047947h			XXXX XXXXh
047948h			
047949h			
04794Ah			
04794Bh			
04794Ch			
04794Dh			
04794Eh	CAN1メールボックス20: タイムスタンプ		XXXXh
04794Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.33 SFR一覧(33)

番地	レジスタ	シンボル	リセット後の値
047950h	CAN1メールボックス21: メッセージ識別子	C1MB21	XXXX XXXXh
047951h			
047952h			
047953h			
047954h			
047955h	CAN1メールボックス21: データ長		XXh
047956h	CAN1メールボックス21: データフィールド		XXXX XXXX
047957h			XXXX XXXXh
047958h			
047959h			
04795Ah			
04795Bh			
04795Ch			
04795Dh			
04795Eh	CAN1メールボックス21: タイムスタンプ		XXXXh
04795Fh			
047960h	CAN1メールボックス22: メッセージ識別子	C1MB22	XXXX XXXXh
047961h			
047962h			
047963h			
047964h			
047965h	CAN1メールボックス22: データ長		XXh
047966h	CAN1メールボックス22: データフィールド		XXXX XXXX
047967h			XXXX XXXXh
047968h			
047969h			
04796Ah			
04796Bh			
04796Ch			
04796Dh			
04796Eh	CAN1メールボックス22: タイムスタンプ		XXXXh
04796Fh			
047970h	CAN1メールボックス23: メッセージ識別子	C1MB23	XXXX XXXXh
047971h			
047972h			
047973h			
047974h			
047975h	CAN1メールボックス23: データ長		XXh
047976h	CAN1メールボックス23: データフィールド		XXXX XXXX
047977h			XXXX XXXXh
047978h			
047979h			
04797Ah			
04797Bh			
04797Ch			
04797Dh			
04797Eh	CAN1メールボックス23: タイムスタンプ		XXXXh
04797Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.34 SFR一覧(34)

番地	レジスタ	シンボル	リセット後の値
047980h	CAN1メールボックス24: メッセージ識別子	C1MB24	XXXX XXXXh
047981h			
047982h			
047983h			
047984h			
047985h	CAN1メールボックス24: データ長		XXh
047986h	CAN1メールボックス24: データフィールド		XXXX XXXX
047987h			XXXX XXXXh
047988h			
047989h			
04798Ah			
04798Bh			
04798Ch			
04798Dh			
04798Eh	CAN1メールボックス24: タイムスタンプ		XXXXh
04798Fh			
047990h	CAN1メールボックス25: メッセージ識別子	C1MB25	XXXX XXXXh
047991h			
047992h			
047993h			
047994h			
047995h	CAN1メールボックス25: データ長		XXh
047996h	CAN1メールボックス25: データフィールド		XXXX XXXX
047997h			XXXX XXXXh
047998h			
047999h			
04799Ah			
04799Bh			
04799Ch			
04799Dh			
04799Eh	CAN1メールボックス25: タイムスタンプ		XXXXh
04799Fh			
0479A0h	CAN1メールボックス26: メッセージ識別子	C1MB26	XXXX XXXXh
0479A1h			
0479A2h			
0479A3h			
0479A4h			
0479A5h	CAN1メールボックス26: データ長		XXh
0479A6h	CAN1メールボックス26: データフィールド		XXXX XXXX
0479A7h			XXXX XXXXh
0479A8h			
0479A9h			
0479AAh			
0479ABh			
0479ACh			
0479ADh			
0479AEh	CAN1メールボックス26: タイムスタンプ		XXXXh
0479AFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.35 SFR一覧(35)

番地	レジスタ	シンボル	リセット後の値
0479B0h	CAN1メールボックス27: メッセージ識別子	C1MB27	XXXX XXXXh
0479B1h			
0479B2h			
0479B3h			
0479B4h			
0479B5h	CAN1メールボックス27: データ長		XXh
0479B6h	CAN1メールボックス27: データフィールド		XXXX XXXX
0479B7h			XXXX XXXXh
0479B8h			
0479B9h			
0479BAh			
0479BBh			
0479BCh			
0479BDh			
0479BEh	CAN1メールボックス27: タイムスタンプ		XXXXh
0479BFh			
0479C0h	CAN1メールボックス28: メッセージ識別子	C1MB28	XXXX XXXXh
0479C1h			
0479C2h			
0479C3h			
0479C4h			
0479C5h	CAN1メールボックス28: データ長		XXh
0479C6h	CAN1メールボックス28: データフィールド		XXXX XXXX
0479C7h			XXXX XXXXh
0479C8h			
0479C9h			
0479CAh			
0479CBh			
0479CCh			
0479CDh			
0479CEh	CAN1メールボックス28: タイムスタンプ		XXXXh
0479CFh			
0479D0h	CAN1メールボックス29: メッセージ識別子	C1MB29	XXXX XXXXh
0479D1h			
0479D2h			
0479D3h			
0479D4h			
0479D5h	CAN1メールボックス29: データ長		XXh
0479D6h	CAN1メールボックス29: データフィールド		XXXX XXXX
0479D7h			XXXX XXXXh
0479D8h			
0479D9h			
0479DAh			
0479DBh			
0479DCh			
0479DDh			
0479DEh	CAN1メールボックス29: タイムスタンプ		XXXXh
0479DFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.36 SFR一覧(36)

番地	レジスタ	シンボル	リセット後の値
0479E0h	CAN1メールボックス30: メッセージ識別子	C1MB30	XXXX XXXXh
0479E1h			
0479E2h			
0479E3h			
0479E4h			
0479E5h	CAN1メールボックス30: データ長		XXh
0479E6h	CAN1メールボックス30: データフィールド		XXXX XXXX
0479E7h			XXXX XXXXh
0479E8h			
0479E9h			
0479EAh			
0479EBh			
0479ECh			
0479EDh			
0479EEh	CAN1メールボックス30: タイムスタンプ		XXXXh
0479EFh			
0479F0h	CAN1メールボックス31: メッセージ識別子	C1MB31	XXXX XXXXh
0479F1h			
0479F2h			
0479F3h			
0479F4h			
0479F5h	CAN1メールボックス31: データ長		XXh
0479F6h	CAN1メールボックス31: データフィールド		XXXX XXXX
0479F7h			XXXX XXXXh
0479F8h			
0479F9h			
0479FAh			
0479FBh			
0479FCh			
0479FDh			
0479FEh	CAN1メールボックス31: タイムスタンプ		XXXXh
0479FFh			
047A00h	CAN1マスクレジスタ0	C1MKR0	XXXX XXXXh
047A01h			
047A02h			
047A03h			
047A04h	CAN1マスクレジスタ1	C1MKR1	XXXX XXXXh
047A05h			
047A06h			
047A07h			
047A08h	CAN1マスクレジスタ2	C1MKR2	XXXX XXXXh
047A09h			
047A0Ah			
047A0Bh			
047A0Ch	CAN1マスクレジスタ3	C1MKR3	XXXX XXXXh
047A0Dh			
047A0Eh			
047A0Fh			

X: 不定
空欄はすべて予約領域です。アクセスしないでください。

表 4.37 SFR一覧(37)

番地	レジスタ	シンボル	リセット後の値
047A10h	CAN1マスクレジスタ4	C1MKR4	XXXX XXXXh
047A11h			
047A12h			
047A13h			
047A14h	CAN1マスクレジスタ5	C1MKR5	XXXX XXXXh
047A15h			
047A16h			
047A17h			
047A18h	CAN1マスクレジスタ6	C1MKR6	XXXX XXXXh
047A19h			
047A1Ah			
047A1Bh			
047A1Ch	CAN1マスクレジスタ7	C1MKR7	XXXX XXXXh
047A1Dh			
047A1Eh			
047A1Fh			
047A20h	CAN1FIFO受信ID比較レジスタ0	C1FIDCR0	XXXX XXXXh
047A21h			
047A22h			
047A23h			
047A24h	CAN1FIFO受信ID比較レジスタ1	C1FIDCR1	XXXX XXXXh
047A25h			
047A26h			
047A27h			
047A28h	CAN1マスク無効レジスタ	C1MKIVLR	XXXX XXXXh
047A29h			
047A2Ah			
047A2Bh			
047A2Ch	CAN1メールボックス割り込み許可レジスタ	C1MIER	XXXX XXXXh
047A2Dh			
047A2Eh			
047A2Fh			
047A30h			
047A31h			
047A32h			
047A33h			
047A34h			
047A35h			
047A36h			
047A37h			
047A38h			
047A39h			
047A3Ah			
047A3Bh			
047A3Ch			
047A3Dh			
047A3Eh			
047A3Fh			
047A40h~ 047B1Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.38 SFR一覧(38)

番地	レジスタ	シンボル	リセット後の値
047B20h	CAN1メッセージ制御レジスタ0	C1MCTL0	00h
047B21h	CAN1メッセージ制御レジスタ1	C1MCTL1	00h
047B22h	CAN1メッセージ制御レジスタ2	C1MCTL2	00h
047B23h	CAN1メッセージ制御レジスタ3	C1MCTL3	00h
047B24h	CAN1メッセージ制御レジスタ4	C1MCTL4	00h
047B25h	CAN1メッセージ制御レジスタ5	C1MCTL5	00h
047B26h	CAN1メッセージ制御レジスタ6	C1MCTL6	00h
047B27h	CAN1メッセージ制御レジスタ7	C1MCTL7	00h
047B28h	CAN1メッセージ制御レジスタ8	C1MCTL8	00h
047B29h	CAN1メッセージ制御レジスタ9	C1MCTL9	00h
047B2Ah	CAN1メッセージ制御レジスタ10	C1MCTL10	00h
047B2Bh	CAN1メッセージ制御レジスタ11	C1MCTL11	00h
047B2Ch	CAN1メッセージ制御レジスタ12	C1MCTL12	00h
047B2Dh	CAN1メッセージ制御レジスタ13	C1MCTL13	00h
047B2Eh	CAN1メッセージ制御レジスタ14	C1MCTL14	00h
047B2Fh	CAN1メッセージ制御レジスタ15	C1MCTL15	00h
047B30h	CAN1メッセージ制御レジスタ16	C1MCTL16	00h
047B31h	CAN1メッセージ制御レジスタ17	C1MCTL17	00h
047B32h	CAN1メッセージ制御レジスタ18	C1MCTL18	00h
047B33h	CAN1メッセージ制御レジスタ19	C1MCTL19	00h
047B34h	CAN1メッセージ制御レジスタ20	C1MCTL20	00h
047B35h	CAN1メッセージ制御レジスタ21	C1MCTL21	00h
047B36h	CAN1メッセージ制御レジスタ22	C1MCTL22	00h
047B37h	CAN1メッセージ制御レジスタ23	C1MCTL23	00h
047B38h	CAN1メッセージ制御レジスタ24	C1MCTL24	00h
047B39h	CAN1メッセージ制御レジスタ25	C1MCTL25	00h
047B3Ah	CAN1メッセージ制御レジスタ26	C1MCTL26	00h
047B3Bh	CAN1メッセージ制御レジスタ27	C1MCTL27	00h
047B3Ch	CAN1メッセージ制御レジスタ28	C1MCTL28	00h
047B3Dh	CAN1メッセージ制御レジスタ29	C1MCTL29	00h
047B3Eh	CAN1メッセージ制御レジスタ30	C1MCTL30	00h
047B3Fh	CAN1メッセージ制御レジスタ31	C1MCTL31	00h

X: 不定
空欄はすべて予約領域です。アクセスしないでください。

表 4.39 SFR一覧(39)

番地	レジスタ	シンボル	リセット後の値
047B40h	CAN1制御レジスタ	C1CTLR	0000 0101b
047B41h			0000 0000b
047B42h	CAN1ステータスレジスタ	C1STR	0000 0101b
047B43h			0000 0000b
047B44h	CAN1ビットコンフィグレーションレジスタ	C1BCR	00 0000h
047B45h			
047B46h			
047B47h	CAN1クロック選択レジスタ	C1CLKR	000X 0000b
047B48h	CAN1受信FIFO制御レジスタ	C1RFCR	1000 0000b
047B49h	CAN1受信FIFOポインタ制御レジスタ	C1RFPCR	XXh
047B4Ah	CAN1送信FIFO制御レジスタ	C1TFCR	1000 0000b
047B4Bh	CAN1送信FIFOポインタ制御レジスタ	C1TFPCR	XXh
047B4Ch	CAN1エラー割り込み許可レジスタ	C1EIER	00h
047B4Dh	CAN1エラー割り込み要因判定レジスタ	C1EIFR	00h
047B4Eh	CAN1受信エラーカウントレジスタ	C1RECR	00h
047B4Fh	CAN1送信エラーカウントレジスタ	C1TECR	00h
047B50h	CAN1エラーコード格納レジスタ	C1ECSR	00h
047B51h	CAN1チャネルサーチサポートレジスタ	C1CSSR	XXh
047B52h	CAN1メールボックスサーチステータスレジスタ	C1MSSR	1000 0000b
047B53h	CAN1メールボックスサーチモードレジスタ	C1MSMR	0000 0000b
047B54h	CAN1タイムスタンプレジスタ	C1TSR	0000h
047B55h			
047B56h	CAN1アクセプタンスフィルタサポートレジスタ	C1AFSR	XXXXh
047B57h			
047B58h	CAN1テスト制御レジスタ	C1TCR	00h
047B59h			
047B5Ah			
047B5Bh			
047B5Ch			
047B5Dh			
047B5Eh			
047B5Fh			
047B60h~ 047BFFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.40 SFR一覧(40)

番地	レジスタ	シンボル	リセット後の値
047C00h	CAN0メールボックス0: メッセージ識別子	C0MB0	XXXX XXXXh
047C01h			
047C02h			
047C03h			
047C04h			
047C05h	CAN0メールボックス0: データ長		XXh
047C06h	CAN0メールボックス0: データフィールド		XXXX XXXX
047C07h			XXXX XXXXh
047C08h			
047C09h			
047C0Ah			
047C0Bh			
047C0Ch			
047C0Dh			
047C0Eh	CAN0メールボックス0: タイムスタンプ		XXXXh
047C0Fh			
047C10h	CAN0メールボックス1: メッセージ識別子	C0MB1	XXXX XXXXh
047C11h			
047C12h			
047C13h			
047C14h			
047C15h	CAN0メールボックス1: データ長		XXh
047C16h	CAN0メールボックス1: データフィールド		XXXX XXXX
047C17h			XXXX XXXXh
047C18h			
047C19h			
047C1Ah			
047C1Bh			
047C1Ch			
047C1Dh			
047C1Eh	CAN0メールボックス1: タイムスタンプ		XXXXh
047C1Fh			
047C20h	CAN0メールボックス2: メッセージ識別子	C0MB2	XXXX XXXXh
047C21h			
047C22h			
047C23h			
047C24h			
047C25h	CAN0メールボックス2: データ長		XXh
047C26h	CAN0メールボックス2: データフィールド		XXXX XXXX
047C27h			XXXX XXXXh
047C28h			
047C29h			
047C2Ah			
047C2Bh			
047C2Ch			
047C2Dh			
047C2Eh	CAN0メールボックス2: タイムスタンプ		XXXXh
047C2Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.41 SFR一覧(41)

番地	レジスタ	シンボル	リセット後の値
047C30h	CAN0メールボックス3: メッセージ識別子	C0MB3	XXXX XXXXh
047C31h			
047C32h			
047C33h			
047C34h			
047C35h	CAN0メールボックス3: データ長		XXh
047C36h	CAN0メールボックス3: データフィールド		XXXX XXXX
047C37h			XXXX XXXXh
047C38h			
047C39h			
047C3Ah			
047C3Bh			
047C3Ch			
047C3Dh			
047C3Eh	CAN0メールボックス3: タイムスタンプ		XXXXh
047C3Fh			
047C40h	CAN0メールボックス4: メッセージ識別子	C0MB4	XXXX XXXXh
047C41h			
047C42h			
047C43h			
047C44h			
047C45h	CAN0メールボックス4: データ長		XXh
047C46h	CAN0メールボックス4: データフィールド		XXXX XXXX
047C47h			XXXX XXXXh
047C48h			
047C49h			
047C4Ah			
047C4Bh			
047C4Ch			
047C4Dh			
047C4Eh	CAN0メールボックス4: タイムスタンプ		XXXXh
047C4Fh			
047C50h	CAN0メールボックス5: メッセージ識別子	C0MB5	XXXX XXXXh
047C51h			
047C52h			
047C53h			
047C54h			
047C55h	CAN0メールボックス5: データ長		XXh
047C56h	CAN0メールボックス5: データフィールド		XXXX XXXX
047C57h			XXXX XXXXh
047C58h			
047C59h			
047C5Ah			
047C5Bh			
047C5Ch			
047C5Dh			
047C5Eh	CAN0メールボックス5: タイムスタンプ		XXXXh
047C5Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.42 SFR一覧(42)

番地	レジスタ	シンボル	リセット後の値
047C60h	CAN0メールボックス6: メッセージ識別子	C0MB6	XXXX XXXXh
047C61h			
047C62h			
047C63h			
047C64h			
047C65h	CAN0メールボックス6: データ長		XXh
047C66h	CAN0メールボックス6: データフィールド		XXXX XXXX
047C67h			XXXX XXXXh
047C68h			
047C69h			
047C6Ah			
047C6Bh			
047C6Ch			
047C6Dh			
047C6Eh	CAN0メールボックス6: タイムスタンプ		XXXXh
047C6Fh			
047C70h	CAN0メールボックス7: メッセージ識別子	C0MB7	XXXX XXXXh
047C71h			
047C72h			
047C73h			
047C74h			
047C75h	CAN0メールボックス7: データ長		XXh
047C76h	CAN0メールボックス7: データフィールド		XXXX XXXX
047C77h			XXXX XXXXh
047C78h			
047C79h			
047C7Ah			
047C7Bh			
047C7Ch			
047C7Dh			
047C7Eh	CAN0メールボックス7: タイムスタンプ		XXXXh
047C7Fh			
047C80h	CAN0メールボックス8: メッセージ識別子	C0MB8	XXXX XXXXh
047C81h			
047C82h			
047C83h			
047C84h			
047C85h	CAN0メールボックス8: データ長		XXh
047C86h	CAN0メールボックス8: データフィールド		XXXX XXXX
047C87h			XXXX XXXXh
047C88h			
047C89h			
047C8Ah			
047C8Bh			
047C8Ch			
047C8Dh			
047C8Eh	CAN0メールボックス8: タイムスタンプ		XXXXh
047C8Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.43 SFR一覧(43)

番地	レジスタ	シンボル	リセット後の値
047C90h	CAN0メールボックス9: メッセージ識別子	C0MB9	XXXX XXXXh
047C91h			
047C92h			
047C93h			
047C94h			
047C95h	CAN0メールボックス9: データ長		XXh
047C96h	CAN0メールボックス9: データフィールド		XXXX XXXX
047C97h			XXXX XXXXh
047C98h			
047C99h			
047C9Ah			
047C9Bh			
047C9Ch			
047C9Dh			
047C9Eh	CAN0メールボックス9: タイムスタンプ		XXXXh
047C9Fh			
047CA0h	CAN0メールボックス10: メッセージ識別子	C0MB10	XXXX XXXXh
047CA1h			
047CA2h			
047CA3h			
047CA4h			
047CA5h	CAN0メールボックス10: データ長		XXh
047CA6h	CAN0メールボックス10: データフィールド		XXXX XXXX
047CA7h			XXXX XXXXh
047CA8h			
047CA9h			
047CAAh			
047CABh			
047CACh			
047CADh			
047CAEh	CAN0メールボックス10: タイムスタンプ		XXXXh
047CAFh			
047CB0h	CAN0メールボックス11: メッセージ識別子	C0MB11	XXXX XXXXh
047CB1h			
047CB2h			
047CB3h			
047CB4h			
047CB5h	CAN0メールボックス11: データ長		XXh
047CB6h	CAN0メールボックス11: データフィールド		XXXX XXXX
047CB7h			XXXX XXXXh
047CB8h			
047CB9h			
047CBAh			
047CBBh			
047CBCh			
047CBDh			
047CBEh	CAN0メールボックス11: タイムスタンプ		XXXXh
047CBFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.44 SFR一覧(44)

番地	レジスタ	シンボル	リセット後の値
047CC0h	CAN0メールボックス12: メッセージ識別子	C0MB12	XXXX XXXXh
047CC1h			
047CC2h			
047CC3h			
047CC4h			
047CC5h	CAN0メールボックス12: データ長		XXh
047CC6h	CAN0メールボックス12: データフィールド		XXXX XXXX
047CC7h			XXXX XXXXh
047CC8h			
047CC9h			
047CCAh			
047CCBh			
047CCCh			
047CCDh			
047CCEh	CAN0メールボックス12: タイムスタンプ		XXXXh
047CCFh			
047CD0h	CAN0メールボックス13: メッセージ識別子	C0MB13	XXXX XXXXh
047CD1h			
047CD2h			
047CD3h			
047CD4h			
047CD5h	CAN0メールボックス13: データ長		XXh
047CD6h	CAN0メールボックス13: データフィールド		XXXX XXXX
047CD7h			XXXX XXXXh
047CD8h			
047CD9h			
047CDAh			
047CDBh			
047CDCh			
047CDDh			
047CDEh	CAN0メールボックス13: タイムスタンプ		XXXXh
047CDFh			
047CE0h	CAN0メールボックス14: メッセージ識別子	C0MB14	XXXX XXXXh
047CE1h			
047CE2h			
047CE3h			
047CE4h			
047CE5h	CAN0メールボックス14: データ長		XXh
047CE6h	CAN0メールボックス14: データフィールド		XXXX XXXX
047CE7h			XXXX XXXXh
047CE8h			
047CE9h			
047CEAh			
047CEBh			
047CECh			
047CEDh			
047CEEh	CAN0メールボックス14: タイムスタンプ		XXXXh
047CEFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.45 SFR一覧(45)

番地	レジスタ	シンボル	リセット後の値
047CF0h	CAN0メールボックス15: メッセージ識別子	C0MB15	XXXX XXXXh
047CF1h			
047CF2h			
047CF3h			
047CF4h			
047CF5h	CAN0メールボックス15: データ長		XXh
047CF6h	CAN0メールボックス15: データフィールド		XXXX XXXX
047CF7h			XXXX XXXXh
047CF8h			
047CF9h			
047CFAh			
047CFBh			
047CFCh			
047CFDh			
047CFEh	CAN0メールボックス15: タイムスタンプ		XXXXh
047CFFh			
047D00h	CAN0メールボックス16: メッセージ識別子	C0MB16	XXXX XXXXh
047D01h			
047D02h			
047D03h			
047D04h			
047D05h	CAN0メールボックス16: データ長		XXh
047D06h	CAN0メールボックス16: データフィールド		XXXX XXXX
047D07h			XXXX XXXXh
047D08h			
047D09h			
047D0Ah			
047D0Bh			
047D0Ch			
047D0Dh			
047D0Eh	CAN0メールボックス16: タイムスタンプ		XXXXh
047D0Fh			
047D10h	CAN0メールボックス17: メッセージ識別子	C0MB17	XXXX XXXXh
047D11h			
047D12h			
047D13h			
047D14h			
047D15h	CAN0メールボックス17: データ長		XXh
047D16h	CAN0メールボックス17: データフィールド		XXXX XXXX
047D17h			XXXX XXXXh
047D18h			
047D19h			
047D1Ah			
047D1Bh			
047D1Ch			
047D1Dh			
047D1Eh	CAN0メールボックス17: タイムスタンプ		XXXXh
047D1Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.46 SFR一覧(46)

番地	レジスタ	シンボル	リセット後の値
047D20h	CAN0メールボックス18: メッセージ識別子	C0MB18	XXXX XXXXh
047D21h			
047D22h			
047D23h			
047D24h			
047D25h	CAN0メールボックス18: データ長		XXh
047D26h	CAN0メールボックス18: データフィールド		XXXX XXXX
047D27h			XXXX XXXXh
047D28h			
047D29h			
047D2Ah			
047D2Bh			
047D2Ch			
047D2Dh			
047D2Eh	CAN0メールボックス18: タイムスタンプ		XXXXh
047D2Fh			
047D30h	CAN0メールボックス19: メッセージ識別子	C0MB19	XXXX XXXXh
047D31h			
047D32h			
047D33h			
047D34h			
047D35h	CAN0メールボックス19: データ長		XXh
047D36h	CAN0メールボックス19: データフィールド		XXXX XXXX
047D37h			XXXX XXXXh
047D38h			
047D39h			
047D3Ah			
047D3Bh			
047D3Ch			
047D3Dh			
047D3Eh	CAN0メールボックス19: タイムスタンプ		XXXXh
047D3Fh			
047D40h	CAN0メールボックス20: メッセージ識別子	C0MB20	XXXX XXXXh
047D41h			
047D42h			
047D43h			
047D44h			
047D45h	CAN0メールボックス20: データ長		XXh
047D46h	CAN0メールボックス20: データフィールド		XXXX XXXX
047D47h			XXXX XXXXh
047D48h			
047D49h			
047D4Ah			
047D4Bh			
047D4Ch			
047D4Dh			
047D4Eh	CAN0メールボックス20: タイムスタンプ		XXXXh
047D4Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.47 SFR一覧(47)

番地	レジスタ	シンボル	リセット後の値
047D50h	CAN0メールボックス21: メッセージ識別子	C0MB21	XXXX XXXXh
047D51h			
047D52h			
047D53h			
047D54h			
047D55h	CAN0メールボックス21: データ長		XXh
047D56h	CAN0メールボックス21: データフィールド		XXXX XXXX
047D57h			XXXX XXXXh
047D58h			
047D59h			
047D5Ah			
047D5Bh			
047D5Ch			
047D5Dh			
047D5Eh	CAN0メールボックス21: タイムスタンプ		XXXXh
047D5Fh			
047D60h	CAN0メールボックス22: メッセージ識別子	C0MB22	XXXX XXXXh
047D61h			
047D62h			
047D63h			
047D64h			
047D65h	CAN0メールボックス22: データ長		XXh
047D66h	CAN0メールボックス22: データフィールド		XXXX XXXX
047D67h			XXXX XXXXh
047D68h			
047D69h			
047D6Ah			
047D6Bh			
047D6Ch			
047D6Dh			
047D6Eh	CAN0メールボックス22: タイムスタンプ		XXXXh
047D6Fh			
047D70h	CAN0メールボックス23: メッセージ識別子	C0MB23	XXXX XXXXh
047D71h			
047D72h			
047D73h			
047D74h			
047D75h	CAN0メールボックス23: データ長		XXh
047D76h	CAN0メールボックス23: データフィールド		XXXX XXXX
047D77h			XXXX XXXXh
047D78h			
047D79h			
047D7Ah			
047D7Bh			
047D7Ch			
047D7Dh			
047D7Eh	CAN0メールボックス23: タイムスタンプ		XXXXh
047D7Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.48 SFR一覧(48)

番地	レジスタ	シンボル	リセット後の値
047D80h	CAN0メールボックス24: メッセージ識別子	C0MB24	XXXX XXXXh
047D81h			
047D82h			
047D83h			
047D84h			
047D85h	CAN0メールボックス24: データ長		XXh
047D86h	CAN0メールボックス24: データフィールド		XXXX XXXX
047D87h			XXXX XXXXh
047D88h			
047D89h			
047D8Ah			
047D8Bh			
047D8Ch			
047D8Dh			
047D8Eh	CAN0メールボックス24: タイムスタンプ		XXXXh
047D8Fh			
047D90h	CAN0メールボックス25: メッセージ識別子	C0MB25	XXXX XXXXh
047D91h			
047D92h			
047D93h			
047D94h			
047D95h	CAN0メールボックス25: データ長		XXh
047D96h	CAN0メールボックス25: データフィールド		XXXX XXXX
047D97h			XXXX XXXXh
047D98h			
047D99h			
047D9Ah			
047D9Bh			
047D9Ch			
047D9Dh			
047D9Eh	CAN0メールボックス25: タイムスタンプ		XXXXh
047D9Fh			
047DA0h	CAN0メールボックス26: メッセージ識別子	C0MB26	XXXX XXXXh
047DA1h			
047DA2h			
047DA3h			
047DA4h			
047DA5h	CAN0メールボックス26: データ長		XXh
047DA6h	CAN0メールボックス26: データフィールド		XXXX XXXX
047DA7h			XXXX XXXXh
047DA8h			
047DA9h			
047DAAh			
047DABh			
047DACh			
047DADh			
047DAEh	CAN0メールボックス26: タイムスタンプ		XXXXh
047DAFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.49 SFR一覧(49)

番地	レジスタ	シンボル	リセット後の値
047DB0h	CAN0メールボックス27: メッセージ識別子	C0MB27	XXXX XXXXh
047DB1h			
047DB2h			
047DB3h			
047DB4h			
047DB5h	CAN0メールボックス27: データ長		XXh
047DB6h	CAN0メールボックス27: データフィールド		XXXX XXXX
047DB7h			XXXX XXXXh
047DB8h			
047DB9h			
047DBAh			
047DBBh			
047DBCh			
047DBDh			
047DBEh	CAN0メールボックス27: タイムスタンプ		XXXXh
047DBFh			
047DC0h	CAN0メールボックス28: メッセージ識別子	C0MB28	XXXX XXXXh
047DC1h			
047DC2h			
047DC3h			
047DC4h			
047DC5h	CAN0メールボックス28: データ長		XXh
047DC6h	CAN0メールボックス28: データフィールド		XXXX XXXX
047DC7h			XXXX XXXXh
047DC8h			
047DC9h			
047DCAh			
047DCBh			
047DCCh			
047DCDh			
047DCEh	CAN0メールボックス28: タイムスタンプ		XXXXh
047DCFh			
047DD0h	CAN0メールボックス29: メッセージ識別子	C0MB29	XXXX XXXXh
047DD1h			
047DD2h			
047DD3h			
047DD4h			
047DD5h	CAN0メールボックス29: データ長		XXh
047DD6h	CAN0メールボックス29: データフィールド		XXXX XXXX
047DD7h			XXXX XXXXh
047DD8h			
047DD9h			
047DDAh			
047DDBh			
047DDCh			
047DDDh			
047DDEh	CAN0メールボックス29: タイムスタンプ		XXXXh
047DDFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.50 SFR一覧(50)

番地	レジスタ	シンボル	リセット後の値
047DE0h	CAN0メールボックス30: メッセージ識別子	C0MB30	XXXX XXXXh
047DE1h			
047DE2h			
047DE3h			
047DE4h			
047DE5h	CAN0メールボックス30: データ長		XXh
047DE6h	CAN0メールボックス30: データフィールド		XXXX XXXX
047DE7h			XXXX XXXXh
047DE8h			
047DE9h			
047DEAh			
047DEBh			
047DECh			
047DEDh			
047DEEh	CAN0メールボックス30: タイムスタンプ		XXXXh
047DEFh			
047DF0h	CAN0メールボックス31: メッセージ識別子	C0MB31	XXXX XXXXh
047DF1h			
047DF2h			
047DF3h			
047DF4h			
047DF5h	CAN0メールボックス31: データ長		XXh
047DF6h	CAN0メールボックス31: データフィールド		XXXX XXXX
047DF7h			XXXX XXXXh
047DF8h			
047DF9h			
047DFAh			
047DFBh			
047DFCh			
047DFDh			
047DFEh	CAN0メールボックス31: タイムスタンプ		XXXXh
047DFFh			
047E00h	CAN0マスクレジスタ0	C0MKR0	XXXX XXXXh
047E01h			
047E02h			
047E03h			
047E04h	CAN0マスクレジスタ1	C0MKR1	XXXX XXXXh
047E05h			
047E06h			
047E07h			
047E08h	CAN0マスクレジスタ2	C0MKR2	XXXX XXXXh
047E09h			
047E0Ah			
047E0Bh			
047E0Ch	CAN0マスクレジスタ3	C0MKR3	XXXX XXXXh
047E0Dh			
047E0Eh			
047E0Fh			

X: 不定
空欄はすべて予約領域です。アクセスしないでください。

表 4.51 SFR一覧(51)

番地	レジスタ	シンボル	リセット後の値
047E10h	CAN0マスクレジスタ4	C0MKR4	XXXX XXXXh
047E11h			
047E12h			
047E13h			
047E14h	CAN0マスクレジスタ5	C0MKR5	XXXX XXXXh
047E15h			
047E16h			
047E17h			
047E18h	CAN0マスクレジスタ6	C0MKR6	XXXX XXXXh
047E19h			
047E1Ah			
047E1Bh			
047E1Ch	CAN0マスクレジスタ7	C0MKR7	XXXX XXXXh
047E1Dh			
047E1Eh			
047E1Fh			
047E20h	CAN0FIFO受信ID比較レジスタ0	C0FIDCR0	XXXX XXXXh
047E21h			
047E22h			
047E23h			
047E24h	CAN0FIFO受信ID比較レジスタ1	C0FIDCR1	XXXX XXXXh
047E25h			
047E26h			
047E27h			
047E28h	CAN0マスク無効レジスタ	C0MKIVLR	XXXX XXXXh
047E29h			
047E2Ah			
047E2Bh			
047E2Ch	CAN0メールボックス割り込み許可レジスタ	C0MIER	XXXX XXXXh
047E2Dh			
047E2Eh			
047E2Fh			
047E30h			
047E31h			
047E32h			
047E33h			
047E34h			
047E35h			
047E36h			
047E37h			
047E38h			
047E39h			
047E3Ah			
047E3Bh			
047E3Ch			
047E3Dh			
047E3Eh			
047E3Fh			
047E40h~ 047F1Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.52 SFR一覧(52)

番地	レジスタ	シンボル	リセット後の値
047F20h	CAN0メッセージ制御レジスタ0	C0MCTL0	00h
047F21h	CAN0メッセージ制御レジスタ1	C0MCTL1	00h
047F22h	CAN0メッセージ制御レジスタ2	C0MCTL2	00h
047F23h	CAN0メッセージ制御レジスタ3	C0MCTL3	00h
047F24h	CAN0メッセージ制御レジスタ4	C0MCTL4	00h
047F25h	CAN0メッセージ制御レジスタ5	C0MCTL5	00h
047F26h	CAN0メッセージ制御レジスタ6	C0MCTL6	00h
047F27h	CAN0メッセージ制御レジスタ7	C0MCTL7	00h
047F28h	CAN0メッセージ制御レジスタ8	C0MCTL8	00h
047F29h	CAN0メッセージ制御レジスタ9	C0MCTL9	00h
047F2Ah	CAN0メッセージ制御レジスタ10	C0MCTL10	00h
047F2Bh	CAN0メッセージ制御レジスタ11	C0MCTL11	00h
047F2Ch	CAN0メッセージ制御レジスタ12	C0MCTL12	00h
047F2Dh	CAN0メッセージ制御レジスタ13	C0MCTL13	00h
047F2Eh	CAN0メッセージ制御レジスタ14	C0MCTL14	00h
047F2Fh	CAN0メッセージ制御レジスタ15	C0MCTL15	00h
047F30h	CAN0メッセージ制御レジスタ16	C0MCTL16	00h
047F31h	CAN0メッセージ制御レジスタ17	C0MCTL17	00h
047F32h	CAN0メッセージ制御レジスタ18	C0MCTL18	00h
047F33h	CAN0メッセージ制御レジスタ19	C0MCTL19	00h
047F34h	CAN0メッセージ制御レジスタ20	C0MCTL20	00h
047F35h	CAN0メッセージ制御レジスタ21	C0MCTL21	00h
047F36h	CAN0メッセージ制御レジスタ22	C0MCTL22	00h
047F37h	CAN0メッセージ制御レジスタ23	C0MCTL23	00h
047F38h	CAN0メッセージ制御レジスタ24	C0MCTL24	00h
047F39h	CAN0メッセージ制御レジスタ25	C0MCTL25	00h
047F3Ah	CAN0メッセージ制御レジスタ26	C0MCTL26	00h
047F3Bh	CAN0メッセージ制御レジスタ27	C0MCTL27	00h
047F3Ch	CAN0メッセージ制御レジスタ28	C0MCTL28	00h
047F3Dh	CAN0メッセージ制御レジスタ29	C0MCTL29	00h
047F3Eh	CAN0メッセージ制御レジスタ30	C0MCTL30	00h
047F3Fh	CAN0メッセージ制御レジスタ31	C0MCTL31	00h

X: 不定
空欄はすべて予約領域です。アクセスしないでください。

表 4.53 SFR一覧(53)

番地	レジスタ	シンボル	リセット後の値
047F40h	CAN0制御レジスタ	C0CTLR	0000 0101b
047F41h			0000 0000b
047F42h	CAN0ステータスレジスタ	C0STR	0000 0101b
047F43h			0000 0000b
047F44h	CAN0ビットコンフィグレーションレジスタ	C0BCR	00 0000h
047F45h			
047F46h			
047F47h	CAN0クロック選択レジスタ	C0CLKR	000X 0000b
047F48h	CAN0受信FIFO制御レジスタ	C0RFCR	1000 0000b
047F49h	CAN0受信FIFOポインタ制御レジスタ	C0RFPCR	XXh
047F4Ah	CAN0送信FIFO制御レジスタ	C0TFCR	1000 0000b
047F4Bh	CAN0送信FIFOポインタ制御レジスタ	C0TFPCR	XXh
047F4Ch	CAN0エラー割り込み許可レジスタ	C0EIER	00h
047F4Dh	CAN0エラー割り込み要因判定レジスタ	C0EIFR	00h
047F4Eh	CAN0受信エラーカウントレジスタ	C0RECR	00h
047F4Fh	CAN0送信エラーカウントレジスタ	C0TECR	00h
047F50h	CAN0エラーコード格納レジスタ	C0ECSR	00h
047F51h	CAN0チャネルサーチサポートレジスタ	C0CSSR	XXh
047F52h	CAN0メールボックスサーチステータスレジスタ	C0MSSR	1000 0000b
047F53h	CAN0メールボックスサーチモードレジスタ	C0MSMR	0000 0000b
047F54h	CAN0タイムスタンプレジスタ	C0TSR	0000h
047F55h			
047F56h	CAN0アクセプタンスフィルタサポートレジスタ	C0AFSR	XXXXh
047F57h			
047F58h	CAN0テスト制御レジスタ	C0TCR	00h
047F59h			
047F5Ah			
047F5Bh			
047F5Ch			
047F5Dh			
047F5Eh			
047F5Fh			
047F60h~ 047FFFh			
048000h~ 04FFFFh			

X: 不定
空欄はすべて予約領域です。アクセスしないでください。

5. リセット

リセットには、ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットがあります。

5.1 ハードウェアリセット

$\overline{\text{RESET}}$端子によるリセットです。電源電圧が推奨動作条件を満たすとき、$\overline{\text{RESET}}$端子に“L”を入力すると端子は初期化されます(表 5.1参照)。また、発振回路が初期化され、メインクロックの発振が始まります。$\overline{\text{RESET}}$端子の入力レベルを“L”から“H”にするとCPUとSFRが初期化され、リセットベクタで示される番地からプログラムを実行します。内部RAMは初期化されません。また、内部RAMに書き込み中に$\overline{\text{RESET}}$端子が“L”になると、内部RAMは不定となります。

図 5.1にリセット回路の一例を、図 5.2にリセットシーケンスを、表 5.1に$\overline{\text{RESET}}$端子のレベルが“L”の期間の端子の状態を、図 5.3にリセット後のCPUレジスタの状態を示します。リセット後のSFRの状態は「4. SFR」を参照してください。

A. 電源が安定している場合

(1) $\overline{\text{RESET}}$端子に“L”を入力する
(2) XIN端子に20サイクル以上のクロックを入力する
(3) $\overline{\text{RESET}}$端子に“H”を入力する

B. 電源投入時

(1) $\overline{\text{RESET}}$端子に“L”を入力する
(2) 電源電圧を推奨動作条件を満たす電圧まで上昇させる
(3) 内部電源が安定するまでtd(P-R)待つ
(4) XIN端子に20サイクル以上のクロックを入力する
(5) $\overline{\text{RESET}}$端子に“H”を入力する

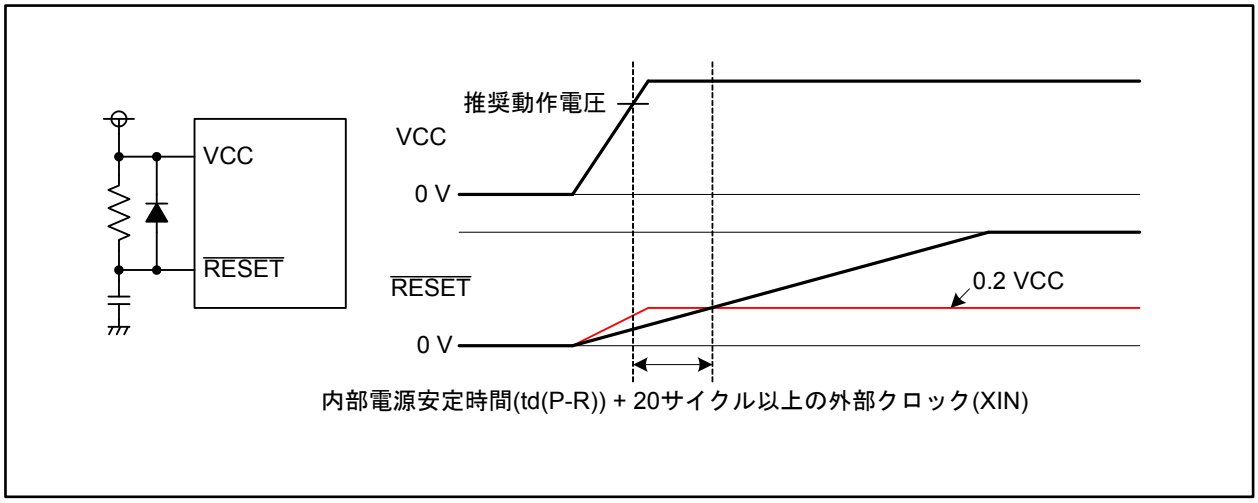
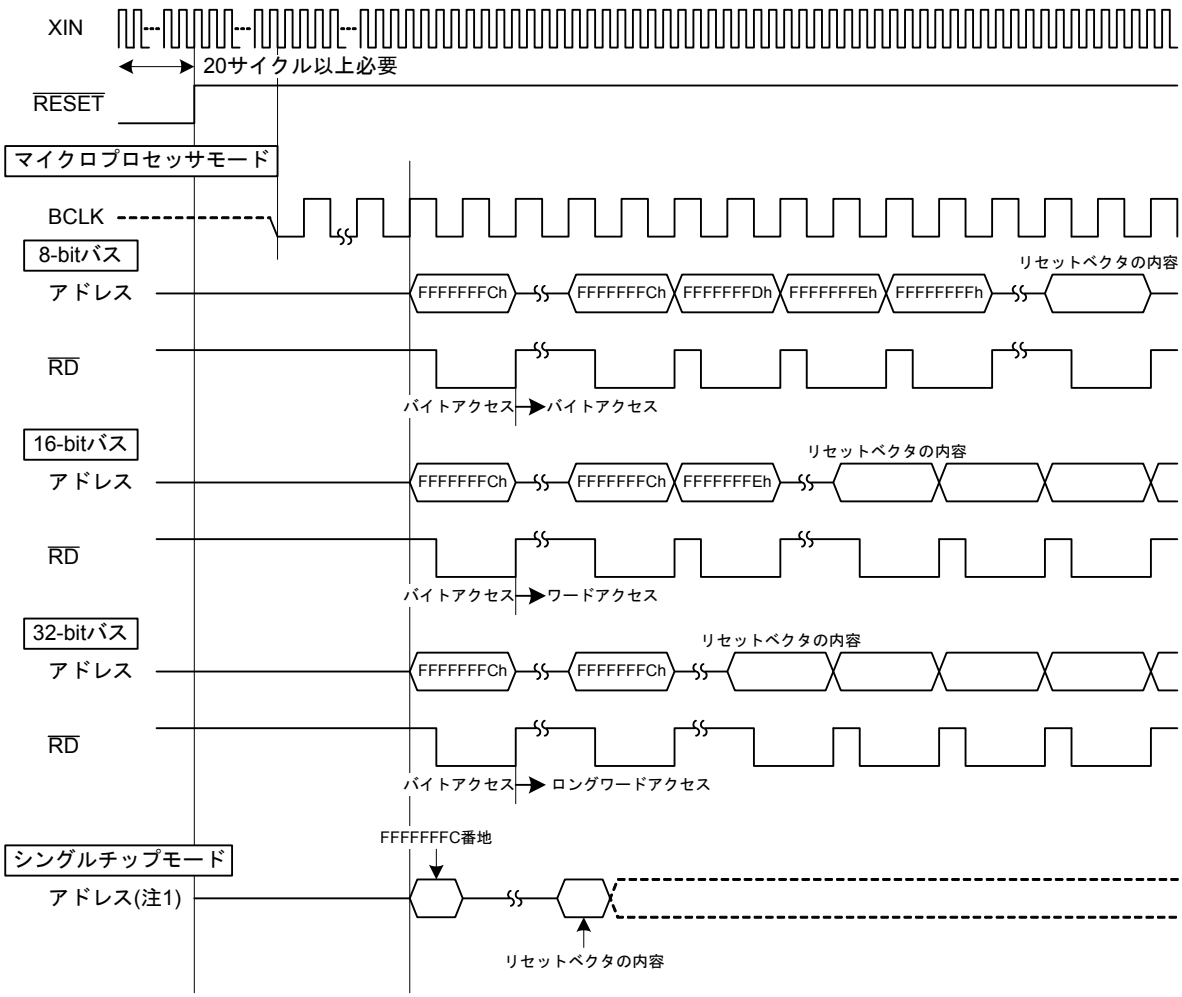


図 5.1　リセット回路の一例



注1. チップ内部のアドレスです。外部には出力されません。

図 5.2 リセットシーケンス

表 5.1　RESET端子のレベルが“L”の期間の端子の状態(注1)

端子名	端子の状態	
	CNVSS = VSS	CNVSS = VCC
P0	入力ポート(ハイインピーダンス)	データ入力
P1	入力ポート(ハイインピーダンス)	入力ポート(ハイインピーダンス)
P2, P3	入力ポート(ハイインピーダンス)	アドレス出力(不定)
P4_0~P4_6	入力ポート(ハイインピーダンス)	アドレス出力(不定)
P4_7	入力ポート(ハイインピーダンス)	CS0出力(“H”を出力)
P5_0	入力ポート(ハイインピーダンス)	WR出力(“H”を出力)
P5_1	入力ポート(ハイインピーダンス)	BC1出力(不定)
P5_2	入力ポート(ハイインピーダンス)	RD出力(“H”を出力)
P5_3	入力ポート(ハイインピーダンス)	BCLK出力(注2)
P5_4	入力ポート(ハイインピーダンス)	HLDA出力(出力値はHOLD端子の入力値に依存)(注2)
P5_5	入力ポート(ハイインピーダンス)	HOLD入力(ハイインピーダンス)
P5_6	入力ポート(ハイインピーダンス)	CS2出力(“H”を出力)
P5_7	入力ポート(ハイインピーダンス)	RDY入力(ハイインピーダンス)
P6~P15 (注3)	入力ポート(ハイインピーダンス)	入力ポート(ハイインピーダンス)

注1.　内部電源電圧が安定するまでは、プルアップ抵抗の有無は不定となります。
注2.　電源投入後、内部電源電圧が安定してからの状態です。内部電圧が安定するまでは不定です。
注3.　ポートP11~P15は144ピン版にのみ存在します。

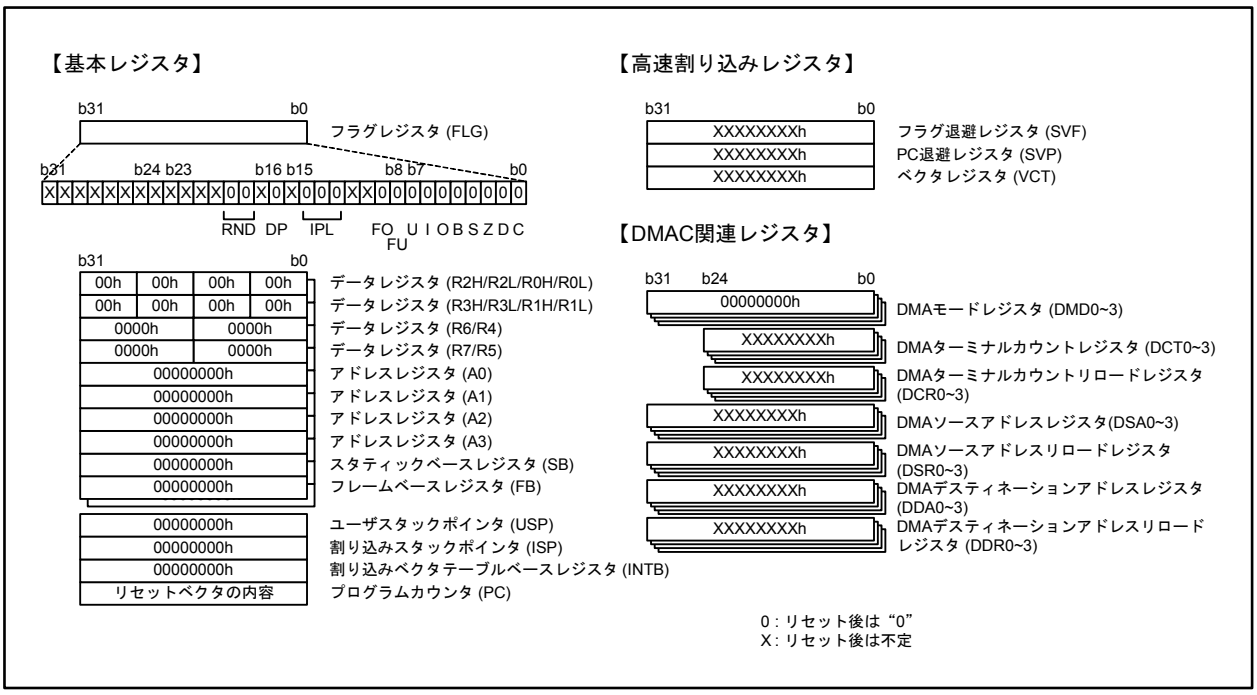


図 5.3　リセット後のCPUレジスタの状態

5.2 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータがリセットされ、CPU、SFR、端子が初期化されます。その後、CPUはリセットベクタで示される番地からプログラムを実行します。

CPUクロック源にPLLクロックを選択し、メインクロックの発振が十分安定している状態で、PM03ビットを“1”にしてください。

ソフトウェアリセットでは、PM0レジスタのPM01~PM00ビットを初期化しないため、プロセッサモードは変化しません。

5.3 ウォッチドッグタイマリセット

CM0レジスタのCM06ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータがリセットされ、CPU、SFR、端子が初期化されます。その後、CPUはリセットベクタで示される番地からプログラムを実行します。

ウォッチドッグタイマリセットでは、PM0レジスタのPM01~PM00ビットを初期化しないため、プロセッサモードは変化しません。

5.4 リセットベクタ

R32C/100シリーズのリセットベクタは、図5.4のとおり構成されています。

リセットベクタの内容の下位2ビットを“00b”にしたものがプログラムの開始番地になり、下位2ビットがマイクロプロセッサモード時の外部バス幅指定ビットになります。このため、プログラムの開始番地は下位2ビットが“00b”となるように4バイトアライメントに配置する必要があります。

シングルチップモード時は外部バス幅指定ビットを“00b”にしてください。

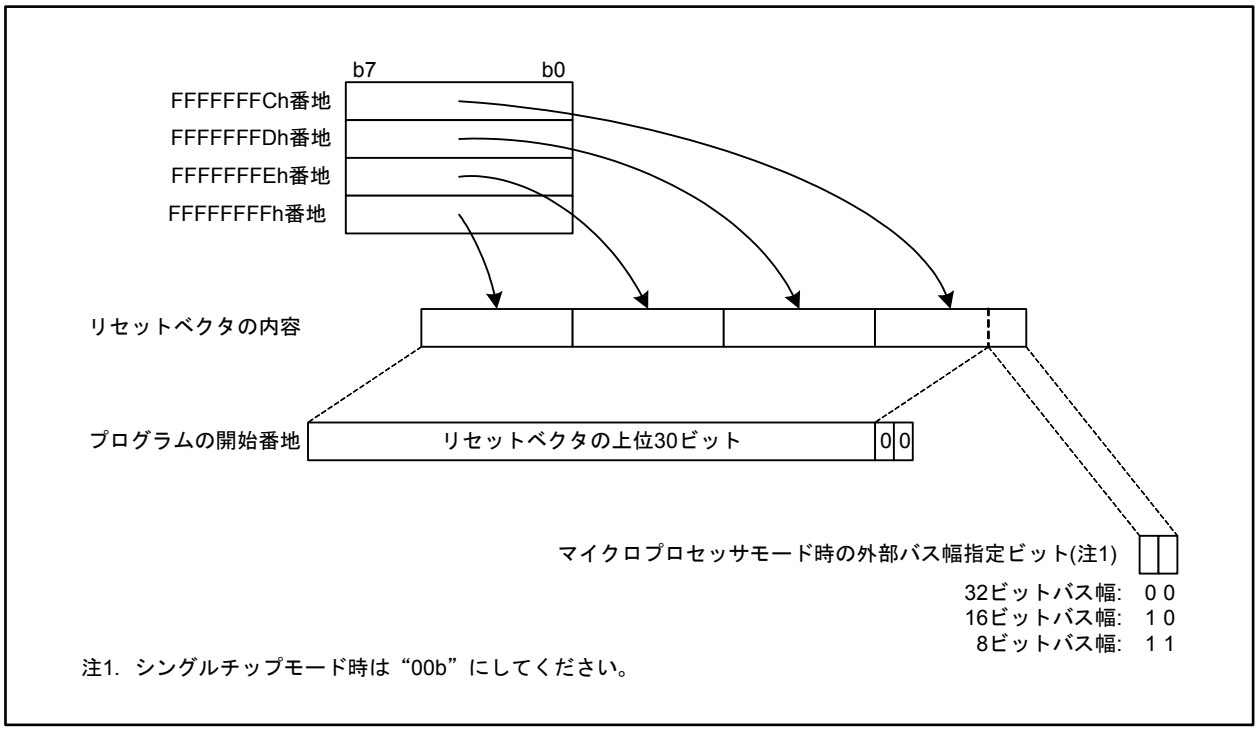


図5.4 リセットベクタの構成

6. パワーマネージメント

6.1 電圧レギュレータ

内部ロジック電圧は内部電圧レギュレータによって、VCC端子からの入力を降圧して生成されます。
図 6.1に内部電圧レギュレータのブロック図を、図 6.2に電圧レギュレータ制御レジスタを示します。

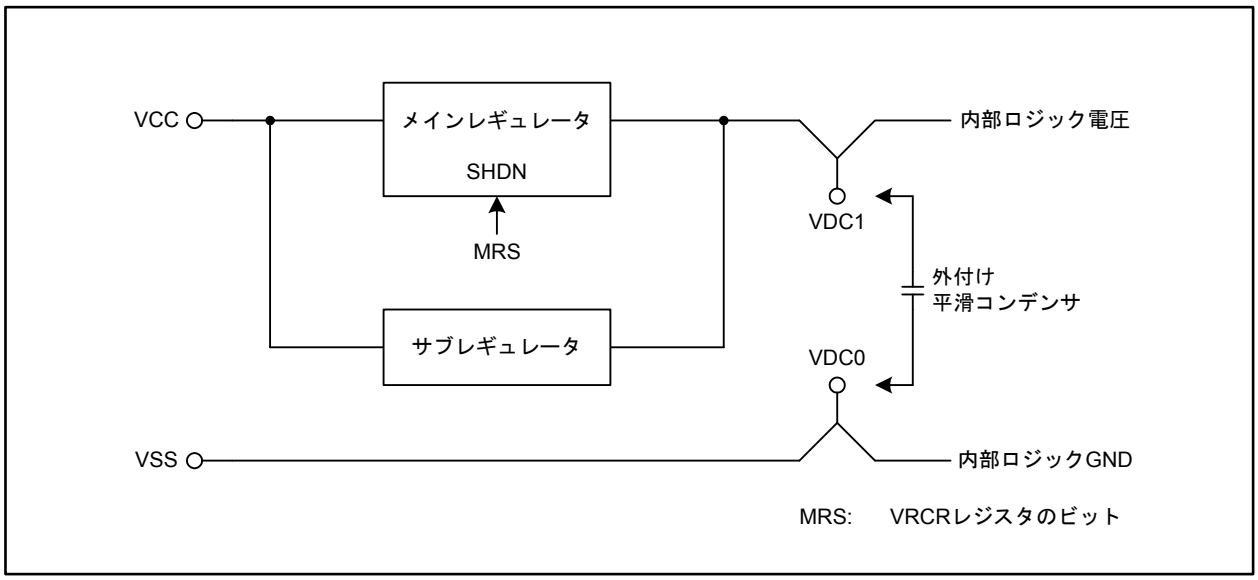


図 6.1　内部電圧レギュレータのブロック図

電圧レギュレータ制御レジスタ (注1)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
VRCR	040060h番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
MRS	メインレギュレータ停止ビット (注2)	0: メインレギュレータ動作 1: メインレギュレータ停止 (注3)	RW
— (b7-b1)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”		—

注1. このレジスタはPRCR3レジスタのPRC31ビットを“1”(書き換え許可) にした後で書き換えてください。
注2. このビットは、CM0レジスタのCM05ビットが“0”(メインクロック発振)、またはCM1レジスタのCM10ビットが“0”(PLL発振) のときは、“0”になります。
注3. メインレギュレータ停止中は、フラッシュメモリの書き換えを行わないでください。

図 6.2　VRCR レジスタ

6.1.1 平滑コンデンサ

内部電圧を安定させるためにチップ外部に平滑コンデンサが必要です。使用するコンデンサは、高周波特性が良く、静電容量温度特性の良いものを選択してください。一般的にはセラミックコンデンサを推奨します。コンデンサの容量は、使用温度、両端子間の直流電圧、経年変化等の条件によって変化します。これらの条件を考慮の上、電気的特性に記載する容量値を満たすようなコンデンサを選択ください。

表 6.1に推奨するコンデンサの一覧を示します。

また、VDC1/VDC0端子と平滑コンデンサの間の配線は、できるだけ太く、短くしてください。

表 6.1 推奨コンデンサー覧

温度特性				定格電圧	静電容量	容量誤差
特性記号		温度範囲	静電容量変化率			
B	JIS	-25°C ~ 85°C	±10%	6.3 V以上	4.7 μF	±20%以下
R	JIS	-55°C ~ 125°C	±15%	6.3 V以上	4.7 μF	±20%以下
X5R	EIA	-55°C ~ 85°C	±15%	6.3 V以上	4.7 μF	±20%以下
X7R	EIA	-55°C ~ 125°C	±15%	6.3 V以上	4.7 μF	±20%以下
X8R	EIA	-55°C ~ 150°C	±15%	6.3 V以上	4.7 μF	±20%以下
X6S	EIA	-55°C ~ 105°C	±22%	6.3 V以上	4.7 μF	±20%以下
X7S	EIA	-55°C ~ 125°C	±22%	6.3 V以上	4.7 μF	±20%以下

6.2　電圧低下検出回路

電圧低下検出回路はVCC端子に入力する電源電圧を監視する回路です。

内部電圧レギュレータの入力となるVCC電源電圧を監視し、内部ロジック電圧が低下する前に警告を出すことができます。CPUはこの警告を受けてから、実際に内部ロジック電圧が下がるまでの間に、重要なデータをフラッシュメモリに退避し、安全にシャットダウンすることができます。

図 6.3に電圧低下検出回路のブロック図を、図 6.4~図 6.5に関連レジスタを示します。

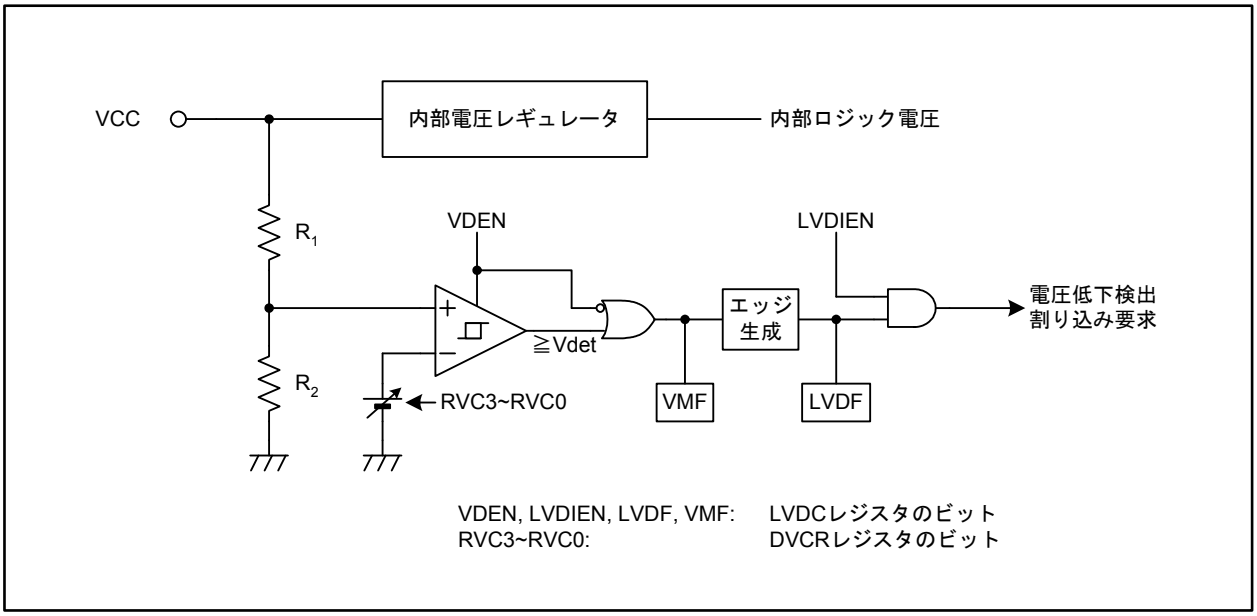


図 6.3　電圧低下検出回路ブロック図

電圧低下検出回路制御レジスタ (注1)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
LVDC	40062h番地	0000 XX00b

ビットシンボル	ビット名	機　能	RW
VDEN	電圧検出回路許可ビット	0: 電圧検出回路無効 1: 電圧検出回路有効	RW
LVDIEN	電圧低下検出割り込み許可ビット (注2)	0: 割り込み禁止 1: 電圧低下検出割り込み許可	RW
LVDF	電圧低下検出フラグ (注3、4)	0: 未検出 1: 検出電圧 (Vdet) 通過を検出	RW
VMF	電圧モニタフラグ (注3)	0: VCC＜Vdet 1: VCC≧Vdet または電圧検出回路無効	RO
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”		—

注1. このレジスタはPRCR3レジスタのPRC31ビットを“1”(書き込み許可) にした後で書き換えてください。
注2. このビットはVDENビットを“1”にし、電圧検出回路が安定した後“1”にしてください。
注3. このビットはVDENビットが“1”のとき有効です。
注4. プログラムで“0”を書くと、“0”になります (“1”を書いても変化しません)。

図 6.4　LVDC レジスタ

検出電圧設定レジスタ (注1)

b7	b6	b5	b4	b3	b2	b1	b0
1	☒	☒	☒	☒			

シンボル: DVCR　　アドレス: 40064h番地　　リセット後の値: 0000 XXXXb

ビットシンボル	ビット名	機　能	RW
RVC0	リファレンス電圧設定ビット (注2)	b3 b2 b1 b0 0 0 0 0 : 3.90 V 0 0 0 1 : 3.75 V 0 0 1 0 : 3.60 V 0 0 1 1 : 3.45 V 0 1 0 0 : 3.30 V 1 0 1 1 : 4.65 V 1 1 0 0 : 4.50 V 1 1 0 1 : 4.35 V 1 1 1 0 : 4.20 V 1 1 1 1 : 4.05 V 上記以外 : 設定しないでください	RW
RVC1			RW
RVC2			RW
RVC3			RW
— (b6-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”		—
— (b7)	予約ビット	“1”にしてください	RW

注1. このレジスタはPRCR3レジスタのPRC31ビットを“1”(書き込み許可) にした後で書き換えてください。また、LVDCレジスタのVDENビットが“0”(電圧検出回路無効) の状態で書き換えてください。

注2. 検出電圧 Vdet(F)、Vdet(R) は以下のようになります。

リファレンス電圧	電圧低下検出電圧 Vdet(F)	電圧復帰検出電圧 Vdet(R)
4.65 V	4.55 V	4.77 V
4.50 V	4.40 V	4.62 V
4.35 V	4.24 V	4.46 V
4.20 V	4.09 V	4.31 V
4.05 V	3.95 V	4.17 V
3.90 V	3.80 V	4.02 V
3.75 V	3.65 V	3.87 V
3.60 V	3.50 V	3.72 V
3.45 V	3.35 V	3.57 V
3.30 V	3.20 V	3.42 V

図 6.5　DVCR レジスタ

6.2.1　電圧低下検出回路の動作

LVDCレジスタのVDENビットを“1”(電圧検出回路有効)にすると、td(E-A)後に電圧検出回路が安定動作を開始します。

VCC端子に入力する電圧が低下してVdet(F)未満になるとVMFビットが“0”(VCC < Vdet)になり、LVDFビットが“1”(検出電圧(Vdet)通過を検出)になります。このときLVDIENビットが“1”(電圧低下検出割り込み許可)であると、割り込み要求が発生します。LVDFビットはプログラムで“0”(未検出)にしてください。

また、電圧が再上昇してVdet(R)以上になるとVMFビットが“1”(VCC ≧ Vdet)になり、LVDFビットが“1”(検出電圧(Vdet)通過を検出)になります。このときLVDIENビットが“1”(電圧低下検出割り込み許可)であると、割り込み要求が発生します。

図6.6に電圧低下検出回路の動作を示します。

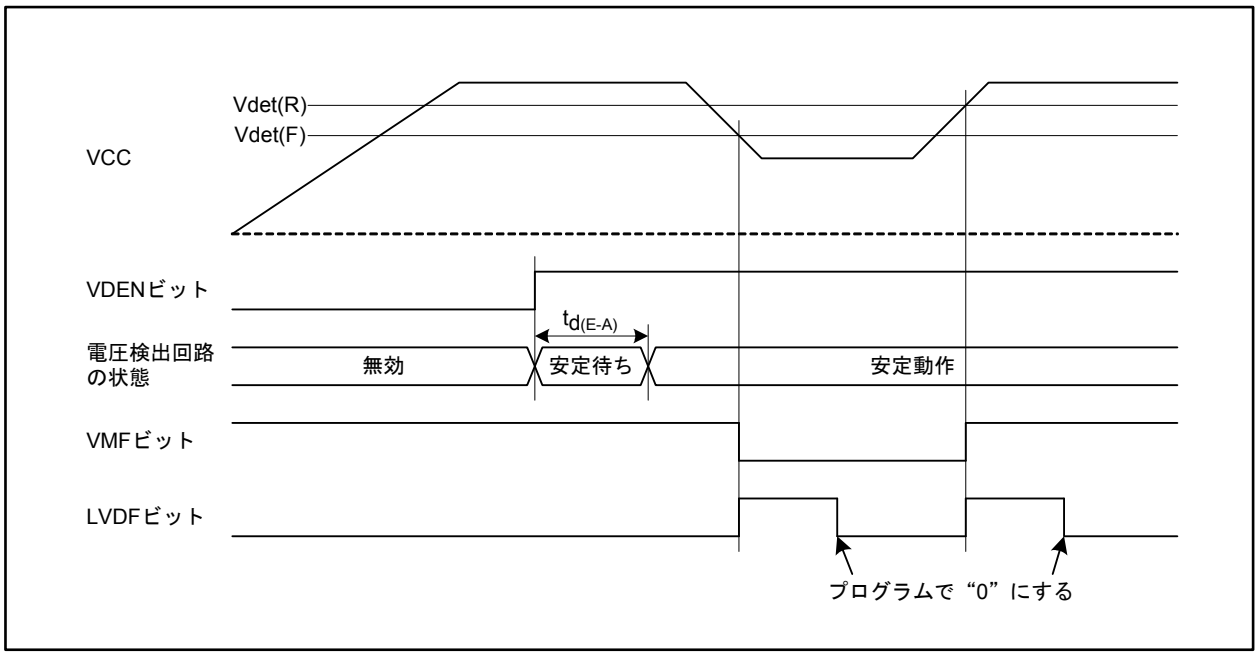


図6.6　電圧低下検出回路の動作

6.2.2　電圧低下検出割り込み

LVDCレジスタのLVDIENビットが“1”(電圧低下検出割り込み許可)の場合、VCC端子に入力する電圧が降下してVdet(F)未満になったとき、または上昇してVdet(R)以上になったとき、電圧低下検出割り込み要求が発生します。

電圧低下検出割り込みは、ウォッチドッグタイマ割り込み、発振停止検出割り込みと割り込みベクタを共用しています。電圧低下検出割り込みをこれらの割り込みと同時に使用する場合、割り込み処理ルーチンでLVDCレジスタのLVDFビットを読み出し、電圧低下検出割り込みが発生したことを確認してください。

LVDFビットはVCC端子に入力する電圧が上昇または下降してVdetを通過したことを検出したとき“1”になります。LVDFビットが“0”から“1”に変化すると電圧低下検出割り込み要求が発生します。LVDFビットはプログラムで“0”(未検出)にしてください。

6.2.3　電圧低下検出回路の応用例

電圧低下検出割り込みの応用例を図 6.7に示します。

内部ロジック電圧は内部電圧レギュレータによって、VCC端子からの入力を降圧して生成されます。このためVCC電圧が低下し始めたときには、内部ロジック電圧はまだ安定していますが、VCC電圧がさらに低下すると内部ロジック電圧が低下し始めるため、MCUの動作が保障できなくなります。したがって、VCC 電圧が低下し始めてから内部ロジック電圧が低下し始めるまでの期間がシステムを安全にシャットダウンできる時間となります。このVCC電圧が低下し始めたことを検出する用途に電圧低下検出割り込みが使用できます。

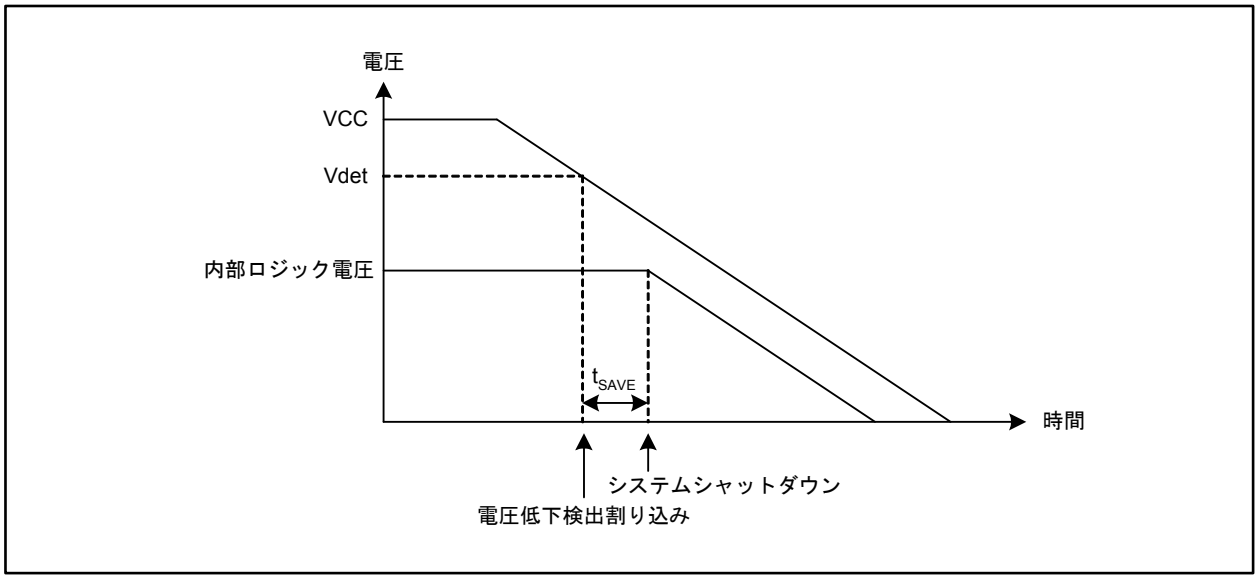


図 6.7　電圧低下検出割り込みの応用例

7. プロセッサモード

7.1 プロセッサモードの種類

R32C/100シリーズのプロセッサモードには、シングルチップモード、メモリ拡張モード、マイクロプロセッサモードの3種類があります。表7.1に各プロセッサモードの特徴を示します。

表7.1 各プロセッサモードの特徴

プロセッサモード	アクセス可能な領域	入出力ポートが割り当てられている端子
シングルチップモード	SFR、内部RAM、内部ROM	すべて入出力ポートまたは周辺機能入出力として使用可能
メモリ拡張モード	SFR、内部RAM、内部ROM、外部領域	一部の端子をバス制御端子として使用(注1)
マイクロプロセッサモード	SFR、内部RAM、外部領域	一部の端子をバス制御端子として使用(注1)

注1. 詳細は、「9. バス」を参照してください。

R32C/118グループでは、上記のうちシングルチップモード、メモリ拡張モードを標準でサポートしています。マイクロプロセッサモードはオプションです。ご利用の際は、弊社営業窓口までお問い合わせください。

7.2 プロセッサモードの設定

プロセッサモードは、CNVSS端子、PM0レジスタのPM01~PM00ビットで設定します。

ハードウェアリセット実行後は、CNVSS端子の状態により表7.2に示すとおりシングルチップモード、またはマイクロプロセッサモードで動作を開始します。

表7.2 ハードウェアリセット実行後のプロセッサモード

CNVSS端子の入力レベル(注1)	プロセッサモード
“L”	シングルチップモードで動作を開始
“H”	マイクロプロセッサモードで動作を開始

注1. CNVSS端子は抵抗を介してVCCまたはVSSに接続してください。

シングルチップモードで動作を開始した後、PM01~PM00ビットを“01b”(メモリ拡張モード)に書き換えると、メモリ拡張モードに切り替わります。

なお、どちらのプロセッサモードで動作を開始した場合でも、PM01~PM00ビットを書き換えると、設定値に対応するモードに切り替わりますが、マイクロプロセッサモードで動作を開始した場合は、PM01~PM00ビットの設定にかかわらず、内部ROMはアクセスできません。

プロセッサモードを変更する場合、以下の点に注意して変更してください。

注1. PM01~PM00ビットを“01b”(メモリ拡張モード)または“11b”(マイクロプロセッサモード)に書き換える場合、PM07~PM02ビットは変更しないでください。
注2. PM07~PM02ビットを書き換えるときは、PM01~PM00ビットを変更しないでください。
注3. 内部ROMのプログラムを実行中、マイクロプロセッサモードへ移行しないでください。
注4. 外部領域にあるプログラムを実行中、シングルチップモードへ移行しないでください。
注5. 内部ROMと重なる領域でプログラムを実行中、メモリ拡張モードへ移行しないでください。

図7.1にPM0レジスタ、図7.2にプロセッサモード別のメモリ配置図を示します。

プロセッサモードレジスタ0 (注1)

b7	b6	b5	b4	b3	b2	b1	b0
	0	0	0				

シンボル: PM0
アドレス: 40044h番地
リセット後の値: 1000 0000b (CNVSS端子が“L”)
0000 0011b (CNVSS端子が“H”)

ビットシンボル	ビット名	機　能	RW
PM00	プロセッサモードビット (注2、3)	b1 b0 0 0 : シングルチップモード 0 1 : メモリ拡張モード 1 0 : 設定しないでください 1 1 : マイクロプロセッサモード	RW
PM01			RW
PM02	R/Wモード選択ビット	0: $\overline{RD}$ / $\overline{WR}$ / $\overline{BC0}$ / $\overline{BC1}$ / $\overline{BC2}$ / $\overline{BC3}$ 1: $\overline{RD}$ / $\overline{WR0}$ / $\overline{WR1}$ / $\overline{WR2}$ / $\overline{WR3}$	RW
PM03	ソフトウェアリセットビット	このビットを“1”にすると、マイクロコンピュータがリセットされます。読んだ場合、その値は“0”	RW
— (b6-b4)	予約ビット	“0”にしてください	RW
PM07	BCLK出力機能選択ビット (注4)	0: BCLK出力 (注5) 1: BCLK出力しない。端子の機能はCM0レジスタのCM01~CM00ビットで選択	RW

注1. このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可) にした後で書き換えてください。
注2. PM03ビットを“1”にしてもプロセッサモードは変更されません。
注3. PM01~PM00ビットを“01b”または“11b”に書き換えるときは、他のビットと同時に書き換えないでください。他のビットを書き換えてからPM01~PM00ビットを書き換えてください。
注4. シングルチップモード時、PM07ビットを“0”にしてもBCLKは出力されません。
メモリ拡張モード、マイクロプロセッサモード時にクロック出力を停止する場合は、PM07ビットを“1”、CM0レジスタのCM01~CM00ビットを“00b”(入出力ポートP5_3) にしてください。このときP5_3からは“L”が出力されます。
注5. PM07ビットが“0”の場合はCM01~CM00ビットを“00b”にしてください。

図 7.1　PM0 レジスタ

注1. シングルチップモードでは外部拡張はできません。
注2. プロセッサモードにかかわらず使用禁止です。

図 7.2　プロセッサモード別メモリ配置

8. クロック発生回路

8.1 クロック発生回路の種類

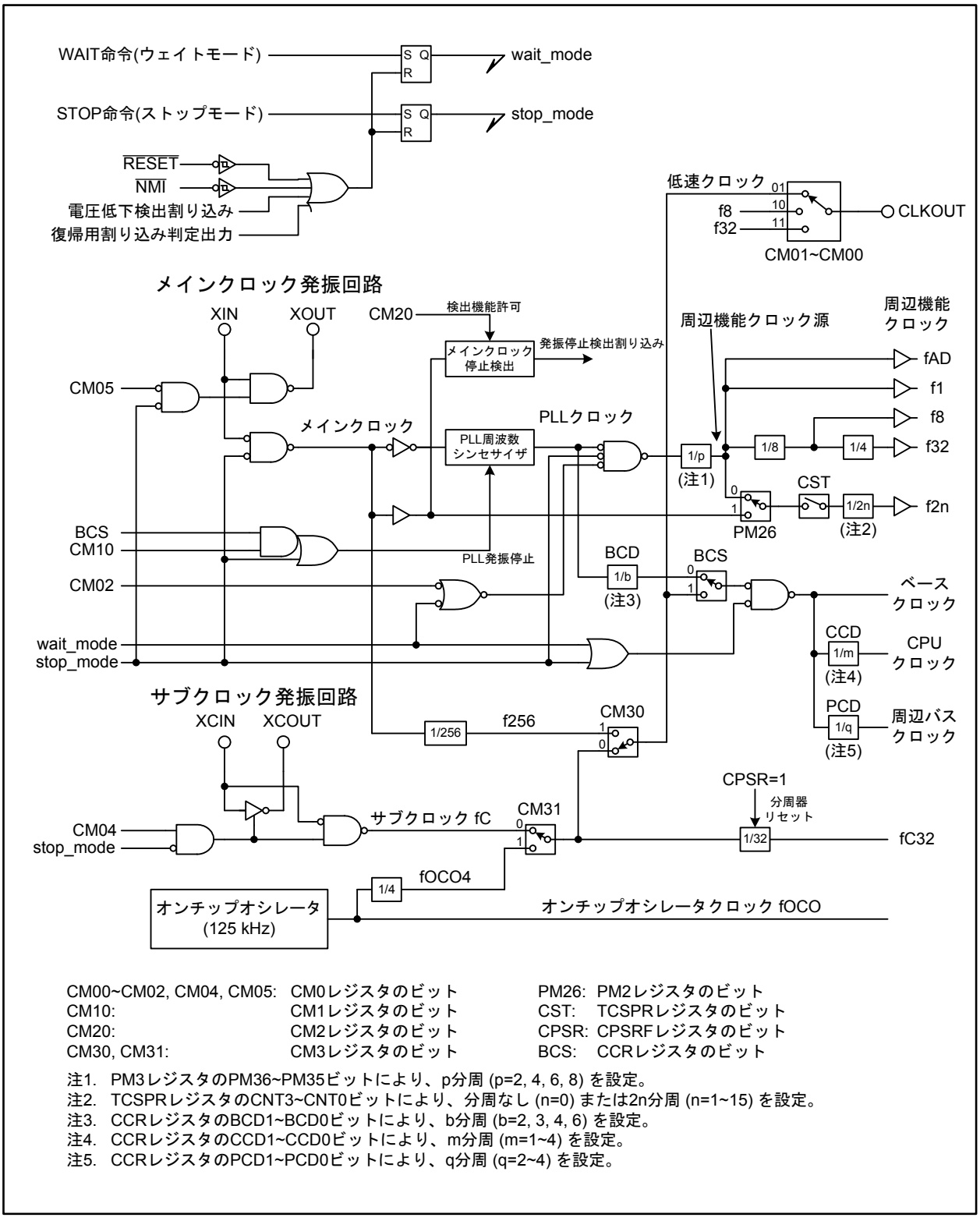
以下に示す4つのクロック発生回路を内蔵しています。

- メインクロック発振回路
- サブクロック発振回路
- PLL周波数シンセサイザ
- オンチップオシレータ

表 8.1 にクロック発生回路の概略仕様を示します。また、図 8.1 にクロック発生回路のブロック図を、図 8.2~図 8.10 にクロック制御関連レジスタを示します。

表 8.1 クロック発生回路の概略仕様

項目	メインクロック発振回路	サブクロック発振回路	PLL周波数シンセサイザ	オンチップオシレータ
用途	• PLL基準クロック源 • 周辺機能クロック源	• CPUクロック源 • タイマA、タイマBのカウントソース	• CPUクロック源 • 周辺機能クロック源	• CPUクロック源 • タイマA、タイマBのカウントソース
クロック周波数	4 MHz ~ 16 MHz	32.768 kHz	$f_{SO(PLL)}$ または $f_{(PLL)}$	約125 kHz
接続できる発振子または付加回路	セラミック共振子 水晶発振子	水晶発振子	—	—
発振子または付加回路の接続端子	XIN, XOUT	XCIN, XCOUT	—	—
発振停止、発振再開機能	あり	あり	あり	あり
リセット後の状態	発振	停止	発振	停止
その他	外部で生成されたクロックも入力可能	外部で生成されたクロックも入力可能	メインクロック停止時はPLL周波数シンセサイザの自励発振周波数 $f_{SO(PLL)}$ で発振	



CM00~CM02, CM04, CM05: CM0レジスタのビット
CM10: CM1レジスタのビット
CM20: CM2レジスタのビット
CM30, CM31: CM3レジスタのビット
PM26: PM2レジスタのビット
CST: TCSPRレジスタのビット
CPSR: CPSRFレジスタのビット
BCS: CCRレジスタのビット

注1. PM3レジスタのPM36~PM35ビットにより、p分周 (p=2, 4, 6, 8) を設定。
注2. TCSPRレジスタのCNT3~CNT0ビットにより、分周なし (n=0) または2n分周 (n=1~15) を設定。
注3. CCRレジスタのBCD1~BCD0ビットにより、b分周 (b=2, 3, 4, 6) を設定。
注4. CCRレジスタのCCD1~CCD0ビットにより、m分周 (m=1~4) を設定。
注5. CCRレジスタのPCD1~PCD0ビットにより、q分周 (q=2~4) を設定。

図 8.1 クロック発生回路のブロック図

クロック制御レジスタ (注1)

b7	b6	b5	b4	b3	b2	b1	b0
	0						

シンボル	アドレス	リセット後の値
CCR	0004h番地	0001 1000b

ビットシンボル	ビット名	機　能	RW
BCD0	ベースクロック分周選択ビット (注2)	b1 b0 0 0 : 6分周 0 1 : 4分周 1 0 : 3分周 1 1 : 2分周	RW
BCD1			RW
CCD0	CPUクロック分周選択ビット (注3)	b3 b2 0 0 : 4分周 0 1 : 3分周 1 0 : 2分周 1 1 : 分周なし	RW
CCD1			RW
PCD0	周辺バスクロック分周選択ビット (注2、3、4)	b5 b4 0 0 : 設定しないでください 0 1 : 2分周 1 0 : 3分周 1 1 : 4分周	RW
PCD1			RW
— (b6)	予約ビット	“0”にしてください	RW
BCS	ベースクロック源選択ビット	0: PLLクロック 1: fC、fOCO4 または f256 (注5、6)	RW

注1. このレジスタはPRRレジスタの値を“AAh”(書き込み許可) にした後で書き換えてください。
注2. ベースクロック分周値と周辺バスクロック分周値は、同時に値を変更しないでください。同時に変更した場合、周辺バスクロックが動作上限周波数を超える場合があります。
注3. CPUクロックの分周比を周辺バスクロックの分周比より大きくしないでください。
注4. このビットは、リセット後1回だけ設定し、設定後は値を書き換えないでください。また、このビットを書き換える前に、PBCレジスタを書き換えてください。
注5. このビットを“1”にする場合、0004h~0007h番地に対して32ビット単位で書き換えてください。
注6. これらの低速クロックの切り替えは、CM3レジスタのCM31~CM30ビットで行います。先にCM31~CM30ビットでいずれかのクロックを選択した後、このビットを“1”にしてください。

図 8.2　CCR レジスタ

システムクロック制御レジスタ0 (注1)

b7	b6	b5	b4	b3	b2	b1	b0
0							

シンボル: CM0　　アドレス: 40046h番地　　リセット後の値: 0000 1000b

ビットシンボル	ビット名	機　能	RW
CM00	クロック出力機能選択ビット (注2)	b1 b0 0 0 : 入出力ポートP5_3 0 1 : 低速クロックを出力 1 0 : f8 を出力 1 1 : f32 を出力	RW
CM01			RW
CM02	ウェイトモード時周辺機能クロック源停止ビット(注3)	ウェイトモード時、 0: 周辺機能クロック源を停止しない 1: 周辺機能クロック源を停止する (注4)	RW
CM03	XCIN-XCOUT駆動能力選択ビット (注5)	0: Low 1: High	RW
CM04	ポートXC切り替えビット	0: 入出力ポート機能 1: XCIN-XCOUT発振機能 (注6)	RW
CM05	メインクロック(XIN-XOUT) 停止ビット(注3、7)	0: 発振 1: 停止	RW
CM06	ウォッチドッグタイマ機能選択ビット (注8)	0: ウォッチドッグタイマ割り込み 1: リセット (注9)	RW
— (b7)	予約ビット	“0”にしてください	RW

注1. このレジスタはPRCRレジスタのPRC0ビットを“1” (書き込み許可) にした後で書き換えてください。
注2. PM0レジスタのPM07ビットが“0” (BCLK出力) のときはCM01~CM00ビットを“00b”にしてください。
メモリ拡張モードでPM07ビットが“1” (端子の機能はCM01~CM00ビットで選択) のとき、CM01~CM00ビットを“00b”にするとP5_3端子から“L”を出力します(ポートP5_3機能にはなりません)。
注3. PM2レジスタのPM21ビットが“1” (クロック変更禁止) の場合、CM02、CM05ビットに書いても値は変化しません。
注4. fC32および、クロック源にメインクロックを選択したf2nは停止しません。
注5. ストップモードに移行したとき、CM03ビットは“1”になります。
注6. CM04ビットを“1”にする場合、PD8レジスタのPD8_7ビット、PD8_6ビットを“0” (入力) に、PUR2レジスタのPU25ビットを“0” (プルアップなし) にしてください。
注7. このビットは低消費電力モードにするときに、メインクロックを停止させるためのビットです。メインクロックが停止したかどうかの検出には使用できません。
このビットを“1”にすると、XOUT端子は“H”になります。また、内蔵している帰還抵抗は接続されたままですので、XIN端子は帰還抵抗を介してXOUT端子にプルアップされた状態となります。
注8. このビットはウォッチドックタイマを動作させる前に設定してください。動作中に書き換える場合は、WDTSレジスタに書いた直後に実施してください。
注9. 一度“1”にすると、プログラムでは“0”にできません。

図 8.3　CM0 レジスタ

システムクロック制御レジスタ1 (注1)

b7	b6	b5	b4	b3	b2	b1	b0
0			0	0	0	0	

シンボル	アドレス	リセット後の値
CM1	40047h番地	0010 0000b

ビットシンボル	ビット名	機　能	RW
CM10	PLL発振停止ビット (注2、3)	0: 発振 1: 停止	RW
— (b4-b1)	予約ビット	“0”にしてください	RW
CM15	XIN-XOUT駆動能力選択ビット (注4)	b6 b5 0 0 : Low 0 1 : High 1 0 : Super Low (注5) 1 1 : 設定しないでください	RW
CM16			RW
— (b7)	予約ビット	“0”にしてください	RW

注1. このレジスタはPRCRレジスタのPRC0ビットを“1” (書き込み許可) にした後で書き換えてください。
注2. CCRレジスタのBCSビットが“0” (ベースクロック源はPLLクロック) の場合、CM10ビットを“1”にしてもPLL周波数シンセサイザの発振は停止しません。
注3. PM2レジスタのPM21ビットが“1” (クロック変更禁止) の場合、CM10ビットに書いても変化しません。
注4. メインクロックを停止させると“01b”になります。“00b”や“10b”にするときは、メインクロックの発振が十分安定してから実施してください。
注5. Super Lowを使用するときは、8 MHz以下の発振子をご使用ください。

図 8.4　CM1 レジスタ

発振停止検出レジスタ (注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0			0	

シンボル: CM2　　アドレス: 4004Dh番地　　リセット後の値: 0000 0000b

ビットシンボル	ビット名	機　能	RW
CM20	発振停止検出許可ビット (注2、3)	0: 発振停止検出機能無効 1: 発振停止検出機能有効	RW
— (b1)	予約ビット	“0”にしてください	RW
CM22	発振停止検出フラグ　(注4)	0: メインクロック未停止 1: メインクロック停止を検出	RW
CM23	メインクロックモニタフラグ (注5)	0: メインクロック発振 1: メインクロック停止	RO
— (b7-b4)	予約ビット	“0”にしてください	RW

注1. このレジスタはPRCRレジスタのPRC0ビットを“1” (書き込み許可) にした後で書き換えてください。
注2. 低速モードでのベースクロックにf256を選択した場合、このビットは“0”にしてください。
注3. PM2レジスタのPM21ビットが“1”(クロック変更禁止) の場合、CM20ビットに書いても変化しません。
注4. メインクロック停止検出時、“1”になります。プログラムで“0”にできますが、“1”にできません。
メインクロック停止中に“0”を書くと、次にメインクロックが供給された後のメインクロック停止検出まで“1”になりません。
注5. 発振停止検出割り込み発生後、CM23ビットを数回読むことによりメインクロックの状態を判定してください。

図 8.5　CM2 レジスタ

低速モードクロック制御レジスタ (注1)

b7	b6	b5	b4	b3	b2	b1	b0
×	×	×	×	×	×		

シンボル: CM3　　アドレス: 4005Ah番地　　リセット後の値: XXXX XX00b

ビットシンボル	ビット名	機　能	RW
CM30	低速モードベースクロック選択ビット	b1 b0 0 0 : fC 0 1 : f256 (メインクロックの1/256) 1 0 : fOCO4 (オンチップオシレータクロックの1/4) (注2) 1 1 : 設定しないでください	RW
CM31			RW
— (b7-b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. このレジスタはPRCR2レジスタのPRC27ビットを“1”(書き込み許可) にした後で書き換えてください。また、CCRレジスタのBCSビットが“0”(PLLクロック) のときに書き換えてください。
注2. CM31ビットを“1”にするとオンチップオシレータが発振を開始します。

図 8.6　CM3 レジスタ

カウントソースプリスケーラレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
	0	0	0				

シンボル	アドレス	リセット後の値
TCSPR	035Fh番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
CNT0	分周比選択ビット　(注1)	設定値をnとすると、メインクロックまたは周辺機能クロック源を2n分周したものが、f2nになる。 ただし、n=0の場合は分周なし	RW
CNT1			RW
CNT2			RW
CNT3			RW
— (b6-b4)	予約ビット	“0”にしてください	RW
CST	分周器動作許可ビット	0: 分周器停止 1: 分周器動作	RW

注1. CNT3~CNT0ビットを書き換える場合は、CSTビットを“0”にして書き換えてください。

図 8.7　TCSPR レジスタ

時計用プリスケーラリセットレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット後の値
CPSRF	0341h番地	0XXX XXXXb

ビットシンボル	ビット名	機　能	RW
— (b6-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
CPSR	時計用プリスケーラ リセットビット	このビットに“1”を書くと、fCの32分周器を初期化する。 読んだ場合、その値は“0”	RW

図 8.8　CPSRF レジスタ

プロセッサモードレジスタ2 (注1)

b7	b6	b5	b4	b3	b2	b1	b0
0		0		0	0		0

シンボル: PM2　　アドレス: 40053h番地　　リセット後の値: 0000 0000b

ビットシンボル	ビット名	機　能	RW
— (b0)	予約ビット	“0”にしてください	RW
PM21	システムクロック 保護ビット　(注2、3)	0: PRCRレジスタでクロックを保護 1: クロックの変更禁止	RW
— (b3-b2)	予約ビット	“0”にしてください	RW
PM24	NMI許可ビット　(注2)	0: NMI禁止　(注4) 1: NMI有効	RW
— (b5)	予約ビット	“0”にしてください	RW
PM26	f2nクロック源選択ビット (注5)	0: 周辺機能クロック源 1: メインクロック	RW
— (b7)	予約ビット	“0”にしてください	RW

注1. このレジスタはPRCRレジスタのPRC1ビットを“1” (書き込み許可) にした後で書き換えてください。
注2. 一度“1”にすると、プログラムでは“0”にできません。
注3. PM21ビットを“1”にすると、以下のビットに値を書いても変化しません。
　　CM0レジスタのCM02ビット (ウェイトモード時の周辺機能クロック源)
　　CM0レジスタのCM05ビット (メインクロックの発振/停止)
　　CM1レジスタのCM10ビット (PLLの発振/停止)
　　CM2レジスタのCM20ビット (発振停止検出機能の有効/無効)
注4. PM24ビットが“0”の場合、三相モータ制御用タイマ機能の強制遮断も無効です。
注5. このビットを変更するときは、f2nを使用するすべての周辺機能を停止してから書き換えてください。

図 8.9　PM2 レジスタ

プロセッサモードレジスタ3 (注1)

b7	b6	b5	b4	b3	b2	b1	b0
0			0	0	0	0	0

シンボル　PM3　　アドレス　40048h番地　　リセット後の値　0000 0000b

ビットシンボル	ビット名	機　能	RW
— (b4-b0)	予約ビット	“0”にしてください	RW
PM35	周辺機能クロック源分周比選択ビット (注2)	b6 b5 0 0 : 8分周 0 1 : 6分周 1 0 : 4分周 1 1 : 2分周	RW
PM36			RW
— (b7)	予約ビット	“0”にしてください	RW

注1. このレジスタはPRCRレジスタのPRC0ビットを“1” (書き込み許可) にした後で書き換えてください。また、fAD、f1、f8、f32、クロック源に周辺機能クロック源を選択したf2nを使用するすべての周辺機能を停止してから書き換えてください。
注2. 周辺機能クロック源の周波数が電気的特性に規定する周波数以下になるように、分周比を設定してください。

図 8.10　PM3 レジスタ

クロック発生回路で生成するクロックを説明します。

8.1.1 メインクロック

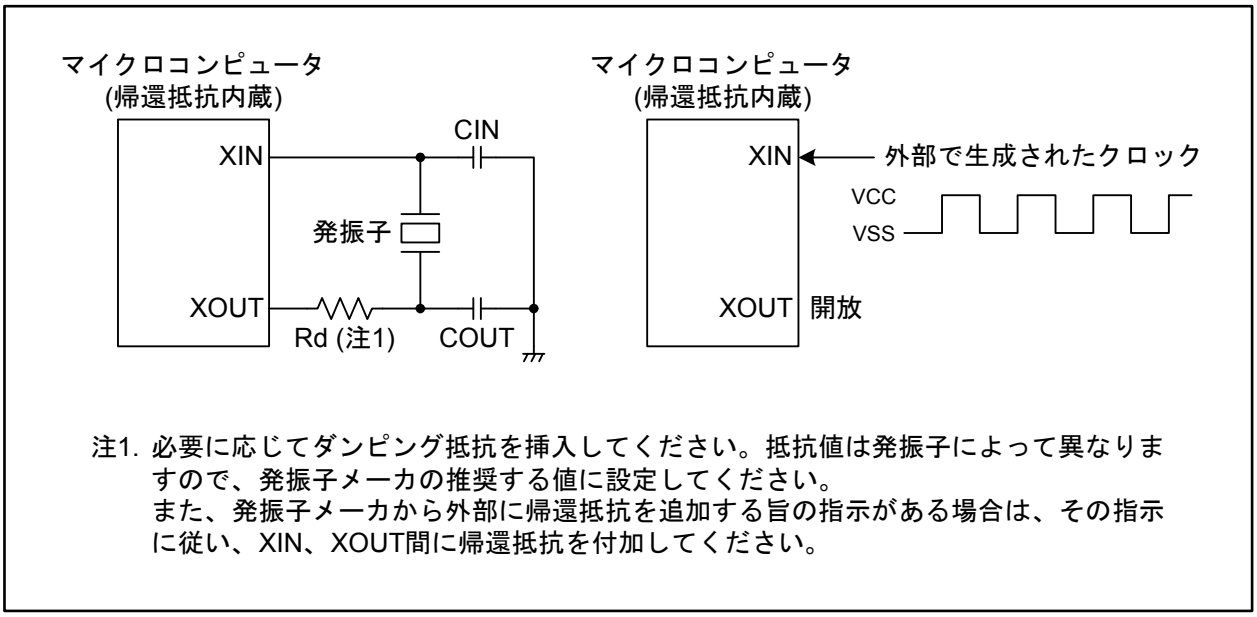
メインクロック発振回路が供給するクロックです。PLL基準クロックや、周辺機能クロックのクロック源になります。また、CANモジュールの動作クロックとしても使用できます。

メインクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。メインクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。メインクロック発振回路には、外部で生成されたクロックをXIN端子へ入力することもできます。図 8.11 にメインクロックの接続回路例を示します。回路定数は発振子によって異なりますので、発振子メーカの推奨する値に設定してください。

リセット後、メインクロック発振回路は動作していますが、PLL周波数シンセサイザの入力で切断された状態になっており、CPUにはPLL周波数シンセサイザの自励発振周波数の12分周が供給されています。

CM0レジスタのCM05ビットを“1”(メインクロック発振回路の発振停止)にすると、消費電力を低減できます。この場合、XOUTは“H”になります。また、XINとXOUTはチップ内部の帰還抵抗で接続されていますので、XINは帰還抵抗を介してXOUTにプルアップされた状態となります。なお、外部で生成したクロックをXIN端子に入力している場合、CM05を“1”にしないでください。

ストップモード時は、メインクロックを含めたすべてのクロックが停止します。詳細は「8.7 パワーコントロール」を参照してください。



注1. 必要に応じてダンピング抵抗を挿入してください。抵抗値は発振子によって異なりますので、発振子メーカの推奨する値に設定してください。
また、発振子メーカから外部に帰還抵抗を追加する旨の指示がある場合は、その指示に従い、XIN、XOUT間に帰還抵抗を付加してください。

図 8.11　メインクロックの接続回路例

8.1.2　サブクロック(fC)

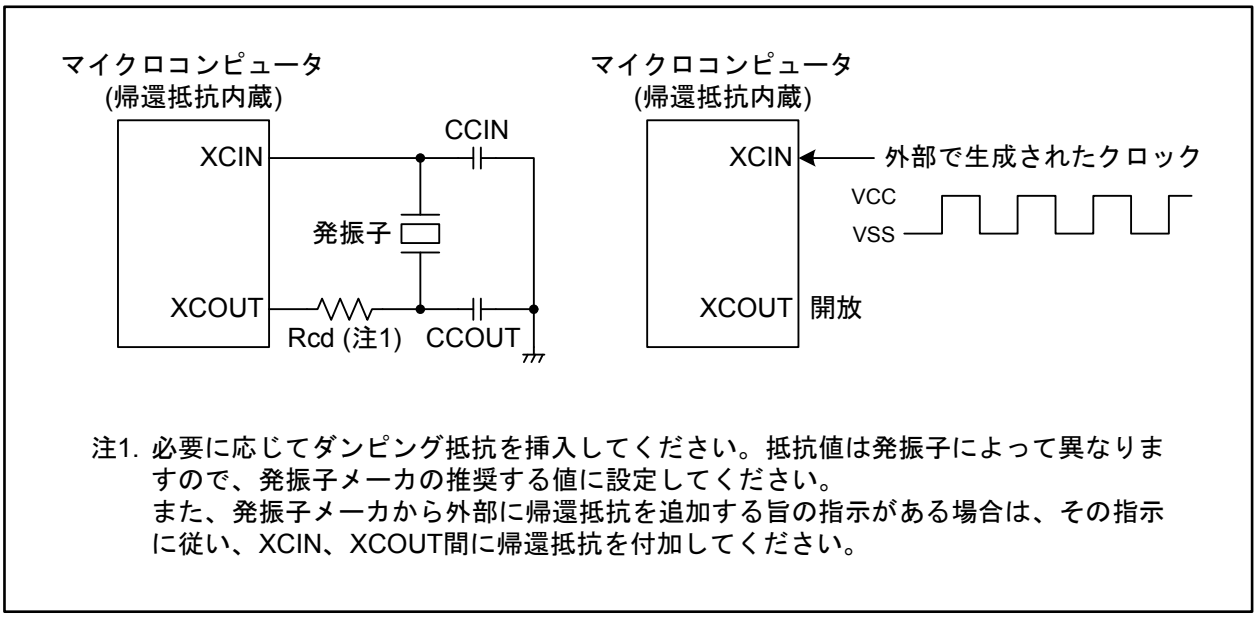
サブクロック発振回路が供給するクロックです。CPUクロックと、タイマA、タイマBのカウントソースのクロック源になります。また、CLKOUT端子から外部に出力できます。

サブクロック発振回路は、XCIN-XCOUT端子間に水晶発振子を接続することで発振回路が構成されます。サブクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。サブクロック発振回路には、外部で生成されたクロックをXCIN端子へ入力することもできます。図8.12にサブクロックの回路接続例を示します。回路定数は発振子によって異なりますので、発振子メーカの推奨する値に設定してください。

リセット後、サブクロックは停止しています。このとき、帰還抵抗は発振回路から切り離されています。PD8レジスタのPD8_6、PD8_7ビットの両方を“0”(入力モード)にし、PUR2レジスタのPU25ビットを“0”(プルアップしない)にした後、CM0レジスタのCM04ビットを“1”(XCIN-XCOUT発振機能)にすると、サブクロック発振回路が発振を始めます。外部で生成したクロックをXCIN端子へ入力する場合は、PD8_7ビットを“0”にし、PU25ビットを“0”にした後、CM04ビットを“1”にすると、XCIN端子へ入力されたクロックがサブクロック源になります。

サブクロックの発振が安定した後、CM3レジスタに“00h”(fC)を書き、CCRレジスタのBCSビットを“1”(fC、fOCO4またはf256)にすると、サブクロックがCPUと周辺バスのベースクロックになります。

ストップモード時、サブクロックを含めたすべてのクロックが停止します。詳細は「8.7 パワーコントロール」を参照してください。



注1. 必要に応じてダンピング抵抗を挿入してください。抵抗値は発振子によって異なりますので、発振子メーカの推奨する値に設定してください。
また、発振子メーカから外部に帰還抵抗を追加する旨の指示がある場合は、その指示に従い、XCIN、XCOUT間に帰還抵抗を付加してください。

図8.12　サブクロックの接続例

8.1.3　PLLクロック

PLLクロックは、PLL周波数シンセサイザがメインクロックを元に生成するクロックで、CPUクロックや、周辺機能クロックなど、すべてのクロック源に使用します。

図 8.13にPLL周波数シンセサイザのブロック図を、図 8.14にPLC0レジスタ、図 8.15にPLC1レジスタを示します。

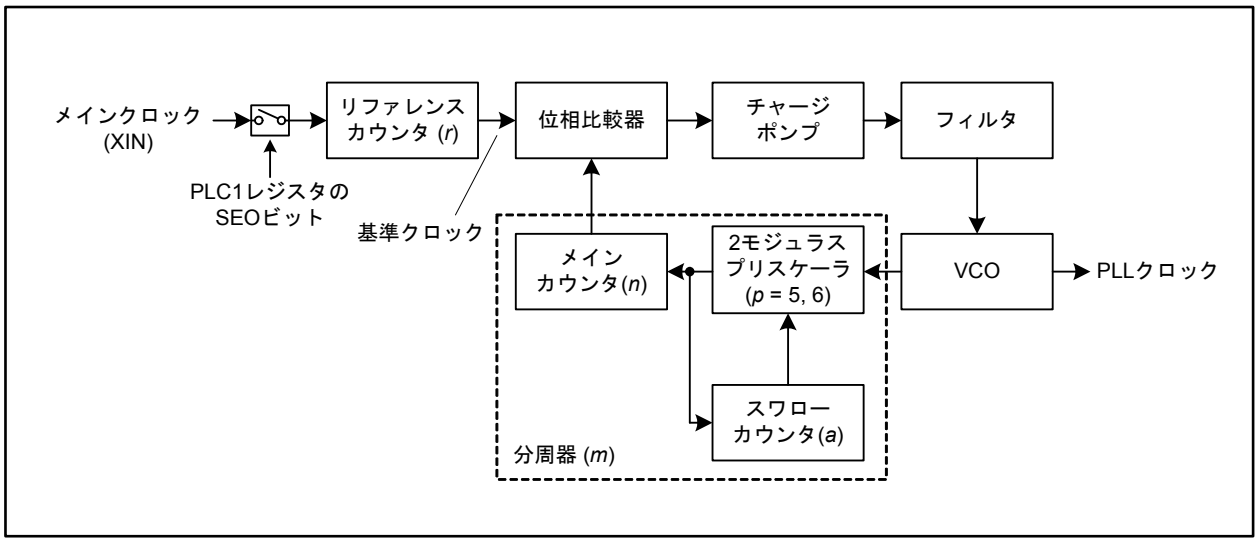


図 8.13　PLL周波数シンセサイザブロック図

PLL制御レジスタ0 (注1、2)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル　PLC0　　アドレス　40020h番地　　リセット後の値　0000 0001b

ビットシンボル	ビット名	機　能	RW
MCV0	メインカウンタ分周比設定ビット	メインカウンタの分周比をnとする場合、n-1を設定する	RW
MCV1			RW
MCV2			RW
MCV3			RW
MCV4			RW
SCV0	スワローカウンタ分周比設定ビット	設定値をaとすると、2モジュラスプリスケーラの分周比が、n回中a回が6分周、それ以外は5分周となる	RW
SCV1			RW
SCV2			RW

注1. このレジスタはPRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。また、PRC2ビットを“1”にする命令とPLC0レジスタを書き換える命令の間に割り込みやDMA転送が入らないようにしてください。
注2. このレジスタはリセット後1回だけ書き換えられます。

図 8.14　PLC0 レジスタ

PLL制御レジスタ1 (注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0					

シンボル: PLC1　　アドレス: 40021h番地　　リセット後の値: 0001 1111b

ビットシンボル	ビット名	機　能	RW
RCV0	リファレンスカウンタ分周比設定ビット	メインクロックをr分周する場合、r-1を設定する	RW
RCV1			RW
RCV2			RW
RCV3			RW
SEO	自励発振動作設定ビット	0: メインクロック逓倍動作 1: 自励発振動作	RW
— (b7-b5)	予約ビット	“0”にしてください	RW

注1. このレジスタはPRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。また、PRC2ビットを“1”にする命令とPLC1レジスタを書き換える命令の間に割り込みやDMA転送が入らないようにしてください。

図 8.15　PLC1 レジスタ

PLL周波数シンセサイザはパルススワロー方式で、分周比mは$n \times p$で表せますが、pの分周比は、スワローカウンタの機能により、n回中a回が6分周、それ以外は5分周となります。したがって、実際の分周比mは、

$$m = n \times p$$
$$= n \times \left(\frac{a}{n} \cdot 6 + \frac{n-a}{n} \cdot 5 \right)$$
$$= 5n + a$$

と表せます。ただし、設定できるaの範囲は、$0 \le a < 5$、$0 \le a \le n$です。

また、リファレンスカウンタのr分周と併せて、PLLクロックはメインクロック(XIN)周波数のm/r倍の周波数となります。

$$\text{PLLクロック周波数 } f(PLL) = \frac{m}{r} \cdot \text{メインクロック周波数}$$
$$= \frac{5n + a}{r} \cdot \text{メインクロック周波数}$$

リセット後、リファレンスカウンタは16分周、PLL周波数シンセサイザは10逓倍になりますが、リファレンスとなるメインクロックが接続されてないため、固有の周波数 $f_{SO(PLL)}$ で自励発振を行います。

なお、メインクロックをr分周した基準クロックは2 MHz以上、4 MHz以下になるように、また分周比mが25~100になるように各レジスタの値を設定する必要があります。

表 8.2にPLC1~PLC0レジスタの設定値を示します。この表に記載している設定値をご使用ください。メインクロックの発振が安定している状態で、PLC1~PLC0レジスタの設定を変更してからPLLクロックが安定するまで、$t_{LOCK(PLL)}$の待ち時間が必要です。

表 8.2 PLC1~PLC0 レジスタの設定値 (注 1)

メイン クロック	*r*	基準 クロック	*n*	*a*	*m*	PLC1 設定値	PLC0 設定値	*m*/*r*	PLL クロック
4 MHz	2	2 MHz	9	3	48	01h	68h	24	96 MHz
6 MHz	2	3 MHz	6	2	32	01h	45h	16	96 MHz
8 MHz	3	2.6667 MHz	7	1	36	02h	26h	12	96 MHz
10 MHz	5	2 MHz	9	3	48	04h	68h	9.6	96 MHz
12 MHz	4	3 MHz	6	2	32	03h	45h	8	96 MHz
16 MHz	5	3.2 MHz	6	0	30	04h	05h	6	96 MHz
4 MHz	1	4 MHz	5	0	25	00h	04h	25	100 MHz
6 MHz	3	2 MHz	10	0	50	02h	09h	16.6667	100 MHz
8 MHz	2	4 MHz	5	0	25	01h	04h	12.5	100 MHz
10 MHz	3	3.3333 MHz	6	0	30	02h	05h	10	100 MHz
12 MHz	3	4 MHz	5	0	25	02h	04h	8.3333	100 MHz
16 MHz	4	4 MHz	5	0	25	03h	04h	6.25	100 MHz
4 MHz	1	4 MHz	6	0	30	00h	05h	30	120 MHz
6 MHz	2	3 MHz	8	0	40	01h	07h	20	120 MHz
8 MHz	2	4 MHz	6	0	30	01h	05h	15	120 MHz
10 MHz	3	3.3333 MHz	7	1	36	02h	26h	12	120 MHz
12 MHz	3	4 MHz	6	0	30	02h	05h	10	120 MHz
16 MHz	4	4 MHz	6	0	30	03h	05h	7.5	120 MHz
4 MHz	1	4 MHz	6	2	32	00h	45h	32	128 MHz
6 MHz	3	2 MHz	12	4	64	02h	8Bh	21.3333	128 MHz
8 MHz	2	4 MHz	6	2	32	01h	45h	16	128 MHz
10 MHz	5	2 MHz	12	4	64	04h	8Bh	12.8	128 MHz
12 MHz	3	4 MHz	6	2	32	02h	45h	10.6667	128 MHz
16 MHz	4	4 MHz	6	2	32	03h	45h	8	128 MHz

注 1. この表に記載している設定値をご使用ください。

8.1.4 オンチップオシレータクロック

オンチップオシレータ(OCO)が供給するクロックです。CPUクロックと、タイマA、タイマBのカウントソースのクロック源になります。発振周波数はおおよそ125 kHzで、この1/4の周波数のクロックがCPUや周辺バスのベースクロックとして使用できます。

リセット後オンチップオシレータは停止しています。CM3レジスタのCM31ビットを“1”にすると、オンチップオシレータが発振を開始します。オンチップオシレータはほぼ瞬時に発振を開始しますので、安定待ちは必要ありません。

8.2 発振停止検出機能

外部の要因でメインクロックが停止した場合に、クロックの停止を検出する機能です。

CM2レジスタのCM20ビットが“1”(発振停止検出機能有効)の場合、メインクロックが停止すると、発振停止検出割り込み要求が発生します。このときPLL周波数シンセサイザは固有の発振周波数で自励発振を行いますので、PLLクロックをCPUクロックや周辺機能クロックのクロック源にしている場合、これらの動作は停止しません。

発振停止が検出されたとき、CM2レジスタの以下のビットが変化します。

- CM22ビット= 1 (メインクロック停止を検出)
- CM23ビット= 1 (メインクロック停止)

8.2.1 発振停止検出機能使用方法

発振停止検出割り込みは、ウォッチドッグタイマ割り込み、電圧低下検出割り込みとベクタを共用しています。発振停止検出割り込みとこれらの割り込みを同時に使用する場合、割り込み処理ルーチン内でCM22ビットを読み出し、発振停止検出割り込み要求が発生したことを確認してください。

発振停止検出後、メインクロックの発振が再開した場合、PLL周波数シンセサイザの発振が安定するまでに一時的にPLLクロック周波数が設定周波数を超える場合があります。発振停止を検出した後は、速やかにプログラムでメインクロックの再発振を抑止する(CM0レジスタのCM05ビットを“1”にする)か、ベースクロックの分周比(CCRレジスタのBCD1~BCD0ビットで設定)と周辺機能クロック源の分周比(PM3レジスタのPM36~PM35ビットで設定)を上げてください。

低速モード時、CM20ビットが“1”(発振停止検出機能有効)の場合、メインクロックが停止すると、発振停止検出割り込み要求が発生します。このとき、CPUクロックは低速クロックのまま変化しません。なお、低速モードでベースクロックにf256(メインクロックの256分周)を使用する場合、発振停止検出機能は使えません。

この機能は外部要因によるメインクロック停止に備えた機能ですので、プログラムでメインクロックを停止させる場合、すなわち、ストップモードにする、またはCM05を“1”(メインクロック発振停止)にする場合は、CM20ビットを“0”(発振停止検出機能無効)にしてください。また、ウェイトモードにする場合も、CM20ビットを“0”にしてください。

発振停止検出機能は、コンデンサへの充電電圧がある値以下かどうかで判断しています。したがって、実際にはメインクロックが約500 kHzを下回ると発振停止と認識します。このため、割り込み処理ルーチン内でCM22ビットを“0”にするようなプログラムを記述した場合、メインクロックの発振周波数が500 kHz前後で上昇下降を繰り返した場合に多重割り込みが発生し、スタックがオーバフローすることがあります。

8.3 ベースクロック

ベースクロックはCPUクロックや周辺バスクロックの元となる基準クロックです。リセット後、ベースクロックはPLLクロックの6分周になっています。

ベースクロック源には、PLLクロックまたは低速クロックが選択できます。低速クロックとしては、サブクロック(fC)、オンチップオシレータクロックの4分周(fOCO4)、メインクロックの256分周(f256)が選択できます。

ベースクロックのクロック源としてPLLクロックを選択した場合、選択したクロックを2、3、4、6分周したものがベースクロックとなり、低速クロックを選択した場合は低速クロックそのものがベースクロックとなります。

ベースクロック源の選択はCCRレジスタのBCSビットで、PLLクロックからの分周比はCCRレジスタのBCD1~BCD0ビットで、低速クロックの選択はCM3レジスタのCM31~CM30ビットで設定できます。

8.4 CPUクロックと周辺バスクロック

CPUクロックはCPUの動作クロックです。リセット後、CPUクロックはベースクロックの2分周になっています。

CPUクロック源はベースクロックであり、分周比はCCRレジスタのCCD1~CCD0ビットで選択できます。また、ベースクロックを2~4分周したものが周辺バスクロックになり、分周比はCCRレジスタのPCD1~PCD0ビットで選択できます。

周辺バスクロックはウォッチドッグタイマのカウントソース、CANモジュールの動作クロックにも使用します。

メモリ拡張モードまたはマイクロプロセッサモード時、マイクロコンピュータ外部でのタイミング生成のための基準クロックとして、周辺バスクロックをBCLKとしてBCLK端子から出力できます。詳細は「8.6 クロック出力機能」を参照してください。

暴走時、PLLクロックをクロック源とするCPUクロックが停止しないようにしたい場合、CM0レジスタのCM05ビットが“0”(メインクロック発振)、CCRレジスタのBCSビットが“0”(ベースクロック源はPLLクロック)の状態で以下の処理をしてください。

(1) PRCRレジスタのPRC1ビットを“1”(PM2レジスタ書き込み許可)にする
(2) PM2レジスタのPM21ビットを“1”(クロック変更禁止)にする

8.5 周辺機能クロック

ウォッチドッグタイマ、CANモジュールを除く周辺機能の動作クロックまたはカウントソースです。周辺機能クロックの基準となる周辺機能クロック源はPLLクロックと同一周波数のクロックをPM3レジスタのPM36~PM35ビットの設定によって2、4、6、8分周したクロックです。

周辺機能クロックは大きく以下の3種類に分類できます。

(1) f1、f8、f32、f2n

f1、f8、f32は周辺機能クロック源をそれぞれ1、8、32分周したクロックです。f2nのクロック源は、PM2レジスタのPM26ビットにより、周辺機能クロック源またはメインクロックのどちらかを選択できます。また、f2nはTCSPRレジスタのCNT3~CNT0ビットにより、分周比を設定できます(n=1~15、n=0のときは分周なし)。

CM02ビットを“1”(ウェイトモード時、周辺機能クロック源を停止する)にしてウェイトモードに移行した場合、および低消費電力モード時、f1、f8、f32、クロック源に周辺機能クロック源を選択したf2nは停止します。

f1、f8、f2nは、タイマA、タイマBのカウントソース、シリアルインタフェースの動作クロックに使用します。また、f1はインテリジェントI/Oの動作クロックにも使用します。

f8とf32はCLKOUT端子から出力できます。詳細は「8.6 クロック出力機能」を参照してください。

(2) fAD

周辺機能クロック源と同一周波数です。A/Dコンバータの動作クロックです。

CM02ビットを“1”(ウェイトモード時、周辺機能クロック源を停止する)にしてウェイトモードに移行した場合、および低消費電力モード時、このクロックは停止します。

(3) fC32

サブクロックの32分周、またはオンチップオシレータクロックの128分周で、タイマA、タイマBのカウントソースに使用します。サブクロックまたはオンチップオシレータクロックが供給されているときに使用できます。

8.6 クロック出力機能

低速クロック、f8、またはf32をCLKOUT端子から出力できます。

また、メモリ拡張モードまたはマイクロプロセッサモード時、ベースクロックを2～4分周した周辺バスクロックをBCLKとしてBCLK端子から出力できます。

表 8.3にシングルチップモードでのCLKOUT端子の機能を、表 8.4にメモリ拡張モードまたはマイクロプロセッサモードでのCLKOUT端子の機能を示します。

表 8.3 シングルチップモードでのCLKOUT端子の機能

PM0レジスタ(注1)	CM0レジスタ(注2)		CLKOUT端子の機能
PM07	CM01	CM00	
0または1	0	0	入出力ポートP5_3
1	0	1	低速クロックを出力
1	1	0	f8を出力
1	1	1	f32を出力

注1. このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。
注2. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

表 8.4 メモリ拡張モードまたはマイクロプロセッサモードでのCLKOUT端子の機能

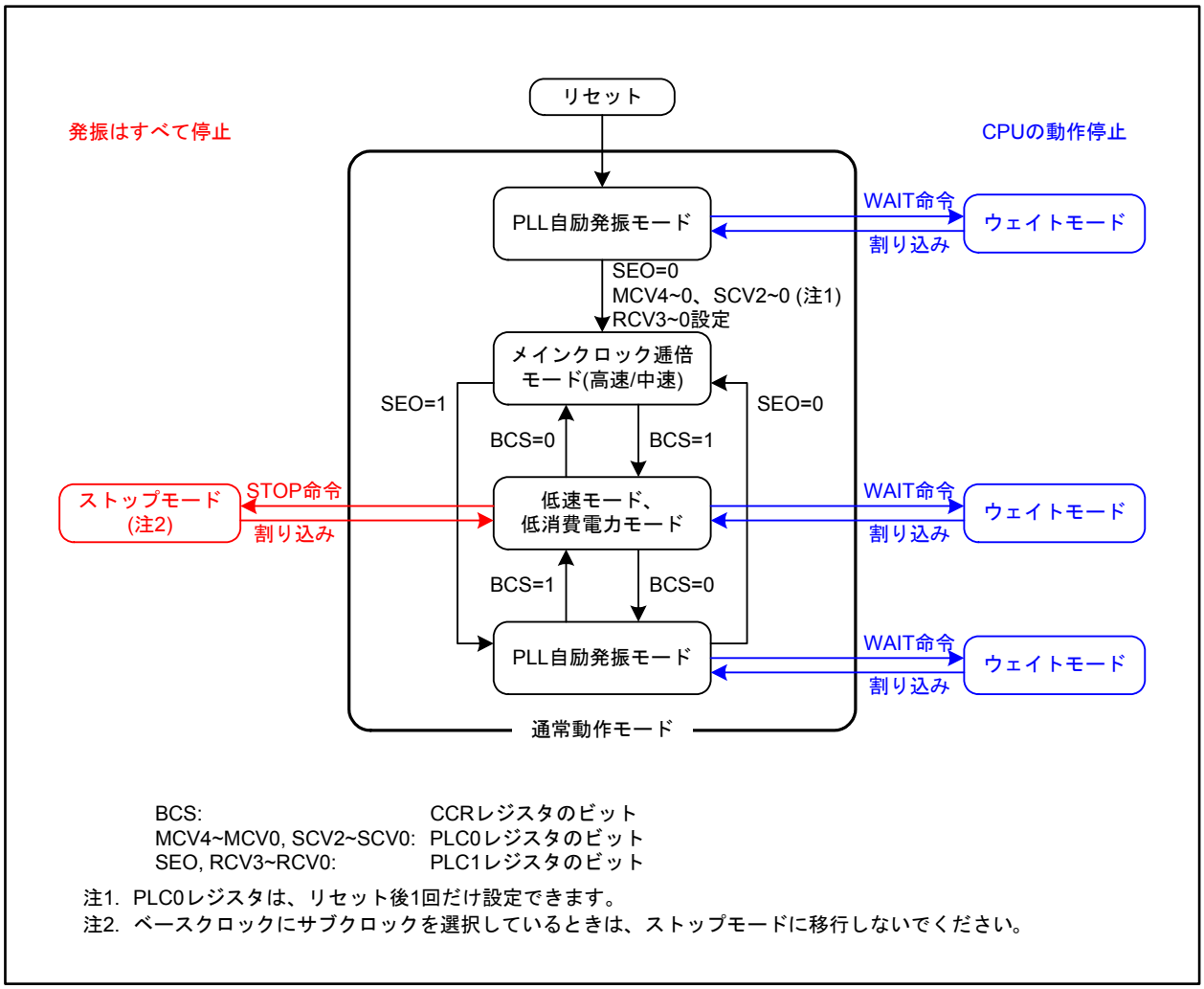
PM0レジスタ(注1)	CM0レジスタ(注2)		CLKOUT端子の機能
PM07	CM01	CM00	
0	0(注3)	0(注3)	BCLKを出力
1	0	0	“L”を出力(P5_3になりません)
1	0	1	低速クロックを出力
1	1	0	f8を出力
1	1	1	f32を出力

注1. このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。
注2. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
注3. PM07ビットが“0”(BCLK出力)の場合、CM01~CM00ビットは“00b”(入出力ポートP5_3)にしてください。

8.7　パワーコントロール

パワーコントロールには、通常動作モード、ウェイトモード、ストップモードの3つのモードがあります。なお、「通常動作モード」は本節にて限定的に使用する便宜上の名称であり、ウェイトモード、ストップモード以外の状態を指します。

図 8.16に通常動作モード、ウェイトモード、ストップモードの状態遷移図を示します。



BCS:　CCRレジスタのビット
MCV4~MCV0, SCV2~SCV0:　PLC0レジスタのビット
SEO, RCV3~RCV0:　PLC1レジスタのビット

注1. PLC0レジスタは、リセット後1回だけ設定できます。
注2. ベースクロックにサブクロックを選択しているときは、ストップモードに移行しないでください。

図 8.16　ウェイトモード、ストップモードの状態遷移図

8.7.1 通常動作モード

通常動作モードには、さらに以下の5つのモードに分けられます。

通常動作モードでは、CPU クロック、周辺機能クロックがともに供給されていますので、CPU も周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が高いほど処理能力は上がり、低いほど消費電力は下がります。また、不要な発振回路を停止させるとさらに消費電力を低減できます。

(1) メインクロック逓倍モード(高速モード)

ベースクロック源にPLLクロックを選択し、PLL周波数シンセサイザのリファレンス入力となるメインクロックを供給している状態をメインクロック逓倍モードと言います。このうち、CPUを最高動作周波数で動作させるモードを高速モードと言います。PLLクロックの2分周をベースクロックに、ベースクロックとCPUクロックを同一周波数にします。周辺機能クロックとしてはfAD、f1、f8、f32、f2nが使用できます。サブクロックまたはオンチップオシレータクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

(2) メインクロック逓倍モード(中速モード)

メインクロック逓倍モードのうち高速モード以外の状態を指します。PLL クロックの2、3、4、6分周がベースクロックに、ベースクロックの1～4分周がCPUクロックになります。周辺機能クロックとしてはfAD、f1、f8、f32、f2nが使用できます。サブクロックまたはオンチップオシレータクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

(3) 低速モード

ベースクロック源に低速クロックを使用するモードです。低速クロックがベースクロックに、ベースクロックの1～4分周がCPUクロックになります。周辺機能クロックとしてはfAD、f1、f8、f32、f2nが使用できます。サブクロックまたはオンチップオシレータクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

(4) 低消費電力モード

低速モードにした後、メインクロックおよび、PLL 周波数シンセサイザを停止させた状態です。サブクロックまたはオンチップオシレータクロックの4分周がベースクロックに、ベースクロックの1～4分周がCPUクロックになります。fC32がタイマA、タイマBのカウントソースに使用できます。周辺機能クロックはfC32のみです。このモードのとき VRCR レジスタの MRS ビットを“1”(メインレギュレータ停止)にすると、さらに消費電流を減らすことができます。

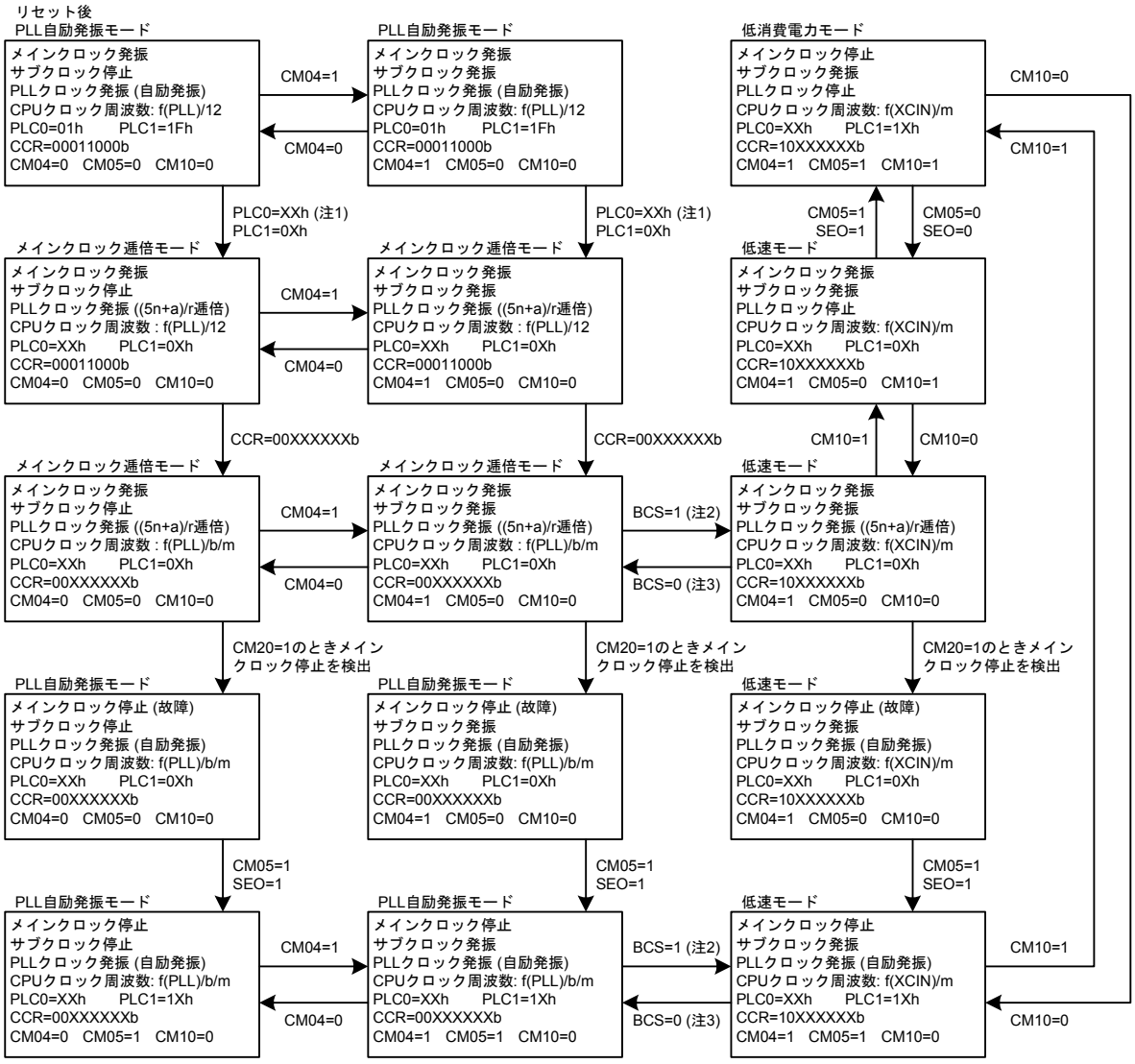
(5) PLL自励発振モード

ベースクロック源にPLLクロックを選択し、PLL周波数シンセサイザのリファレンス入力となるメインクロックの供給を停止させた状態です。PLL 周波数シンセサイザは固有の発振周波数で自励発振を行います。PLLクロックの2、3、4、6分周がベースクロックに、ベースクロックの1～4分周がCPUクロックになります。また、周辺機能クロックとしてはfAD、f1、f8、f32、f2nが使用できます。サブクロックまたはオンチップオシレータクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

通常動作モード内の状態遷移は非常に複雑なため、代表的な状態についてのみ遷移図を示します。図8.17にサブクロック使用時の状態遷移図、図8.18にメインクロックの256分周使用時の状態遷移図、図8.19にオンチップオシレータ使用時の状態遷移図を示します。これ以外の状態への遷移につきましては、各レジスタの設定内容、および以下の注意事項を参考に判断してください。

- PLLをメインクロック逓倍動作から自励発振動作に切り替えるときは、PLC1レジスタのSEOビットを“1”(自励発振動作)にすることで実施してください。メインクロックを停止させる場合は、SEOビットを“1”にした後、CM0レジスタのCM05ビットを“1”(停止)にしてください。
- PLL自励発振モードからメインクロック逓倍モードに戻る場合、SEOビットを“0”(メインクロック逓倍動作)にする前に、CCRレジスタのBCD1~BCD0ビット、およびPM3レジスタのPM36~PM35ビットによりクロックの分周比を上げて、周波数を下げてください。SEOビットを“0”にした後、PLLの発振が安定してから、BCD1~BCD0ビット、PM36~PM35ビットの設定を元に戻してください。
- CPUクロックを切り替える場合は、切り替え先のクロックが安定してから切り替えてください。特にサブクロックは発振が安定するまで時間(注1)を要しますので、電源投入直後や、ストップモードからの復帰後は、プログラムで待ち時間をとってから移行してください。

注1. 発振安定時間は各発振子メーカへお問い合わせください。

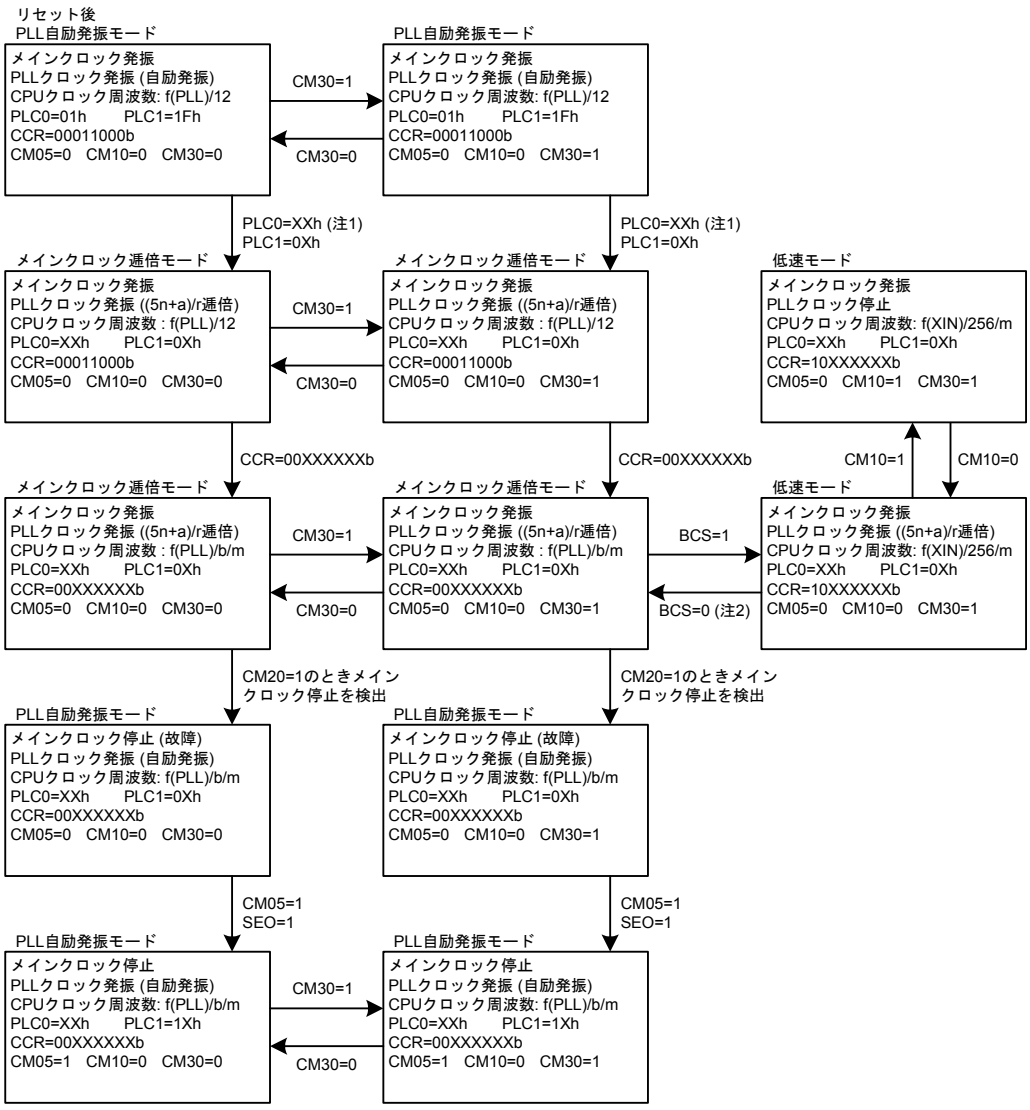


⟶　: 矢印の向きに遷移できます。矢印のない方向へは遷移しないでください。

BCS:　CCRレジスタのビット　CM10: CM1レジスタのビット　SEO: PLC1レジスタのビット
CM04, CM05: CM0レジスタのビット　CM20: CM2レジスタのビット
PLC0=XXh: PLC0レジスタのMCV4~MCV0ビット、SCV2~SCV0ビットでPLLの逓倍率を設定してください。
PLC1=0Xh: PLC1レジスタのRCV3~RCV0ビットでリファレンスクロックの分周値を設定してください。
ただし、PLLの発振周波数が電気的特性に規定する最大値を超えないようにしてください。
CCR=00XXXXXXb: CCRレジスタで各クロックの分周値を設定してください。
ただし、CPUクロック周波数、周辺バスクロック周波数が、それぞれ電気的特性に規定する最大値を超えないようにしてください。

注1. PLC0レジスタはリセット解除後に一度だけ設定できます。
注2. サブクロックの発振が十分に安定してから切り替えてください。
注3. PLLクロックの発振が十分に安定してから切り替えてください。

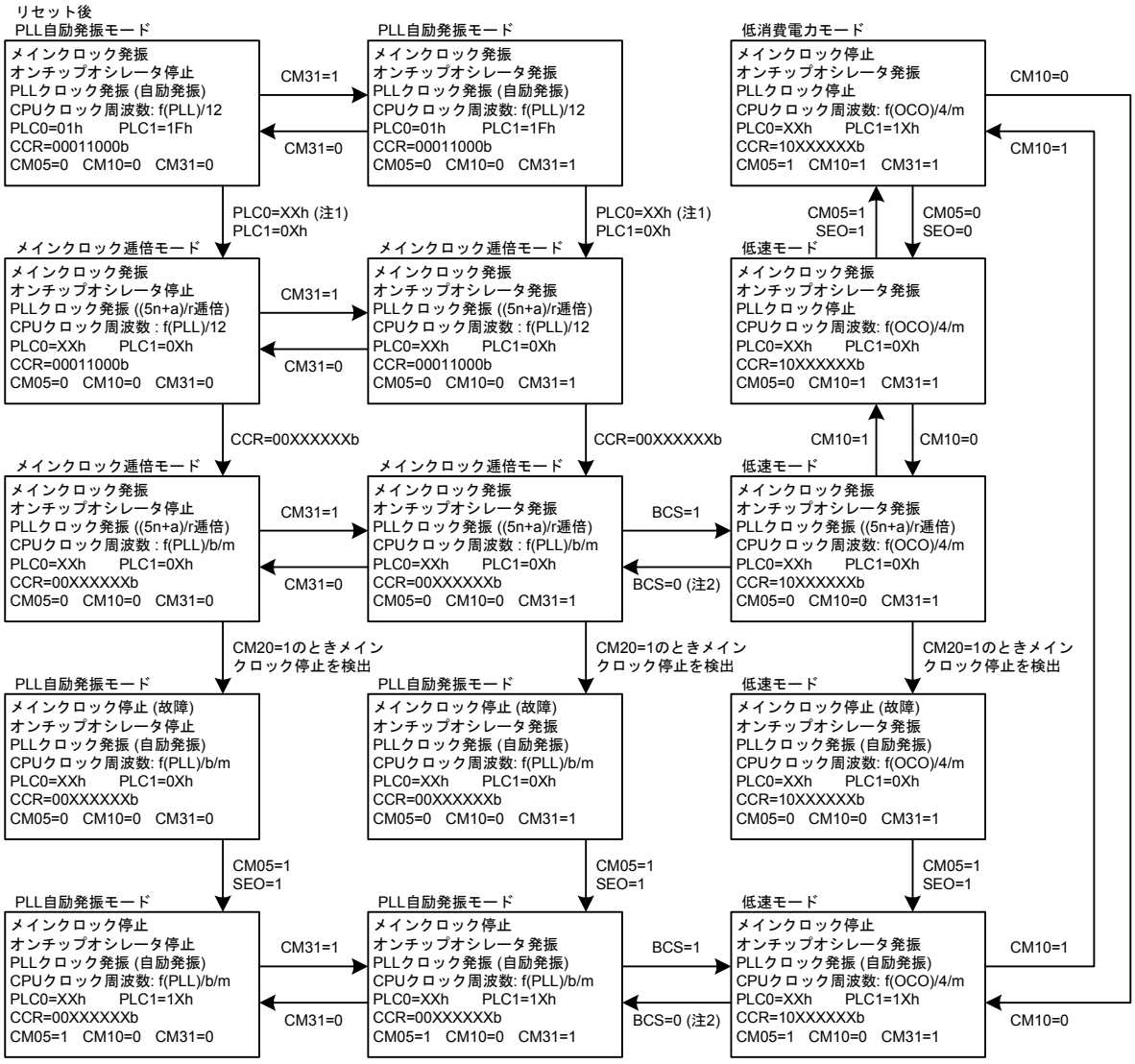
図 8.17　状態遷移図(サブクロック使用時)



⟶　: 矢印の向きに遷移できます。矢印のない方向へは遷移しないでください。

BCS:　CCRレジスタのビット　　CM10:　CM1レジスタのビット　　CM30:　CM3レジスタのビット
CM05:　CM0レジスタのビット　　CM20:　CM2レジスタのビット　　SEO:　PLC1レジスタのビット
PLC0=XXh: PLC0レジスタのMCV4~MCV0ビット、SCV2~SCV0ビットでPLLの逓倍率を設定してください。
PLC1=0Xh: PLC1レジスタのRCV3~RCV0ビットでリファレンスクロックの分周値を設定してください。
ただし、PLLの発振周波数が電気的特性に規定する最大値を超えないようにしてください。
CCR=00XXXXXXb: CCRレジスタで各クロックの分周値を設定してください。
ただし、CPUクロック周波数、周辺バスクロック周波数が、それぞれ電気的特性に規定する最大値を超えないようにしてください。
注1. PLC0レジスタはリセット解除後に一度だけ設定できます。
注2. PLLクロックの発振が十分に安定してから切り替えてください。

図 8.18　状態遷移図(メインクロックの256分周使用時)



⟶　: 矢印の向きに遷移できます。矢印のない方向へは遷移しないでください。

BCS:　CCRレジスタのビット　　CM10:　CM1レジスタのビット　　CM31:　CM3レジスタのビット
CM05:　CM0レジスタのビット　　CM20:　CM2レジスタのビット　　SEO:　PLC1レジスタのビット

PLC0=XXh: PLC0レジスタのMCV4~MCV0ビット、SCV2~SCV0ビットでPLLの逓倍率を設定してください。
PLC1=0Xh: PLC1レジスタのRCV3~RCV0ビットでリファレンスクロックの分周値を設定してください。
　ただし、PLLの発振周波数が電気的特性に規定する最大値を超えないようにしてください。
CCR=00XXXXXXb: CCRレジスタで各クロックの分周値を設定してください。
　ただし、CPUクロック周波数、周辺バスクロック周波数が、それぞれ電気的特性に規定する最大値を超えないようにしてください。
注1. PLC0レジスタはリセット解除後に一度だけ設定できます。
注2. PLLクロックの発振が十分に安定してから切り替えてください。

図 8.19　状態遷移図(オンチップオシレータ使用時)

8.7.2 ウェイトモード

ウェイトモードではベースクロックが停止しますので、ベースクロックから作られるCPUクロックと周辺バスクロックも停止します。そのためこれらのクロックで動作するCPUとウォッチドッグタイマも停止します。メインクロック、サブクロック、PLLクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

8.7.2.1 周辺機能クロック源停止機能

CM0レジスタのCM02ビットが“1”(ウェイトモード時、周辺機能クロック源を停止する)の場合、ウェイトモード時にf1、f8、f32、クロック源に周辺機能クロックを選択したときのf2n、fADが停止しますので、消費電力が低減できます。fC32と、クロック源にメインクロックを選択したときのf2nは停止しません。

8.7.2.2 ウェイトモードへの移行

WAIT命令を実行するとウェイトモードになります。
ウェイトモードを使用する場合、以下の設定を行った後、WAIT命令を実行してください。

- **初期設定での処理**
  復帰用割り込み優先レベル(RIPL1レジスタ、RIPL2レジスタのRLVL2~RLVL0ビット)を“7”にした後、各割り込み要求レベルを設定する
- **ウェイトモード移行前の処理**
  (1) Iフラグを“0”にする
  (2) 割り込み番号1~127の割り込みのうち割り込み要求レベルが“0”でないものを“0”にする
  (3) いずれかの割り込み制御レジスタをダミーリードする
  (4) フラグレジスタのIPLを“0”にする
  (5) 一時的に割り込みを許可する(以下の命令を実行)

```
FSET I
NOP
NOP
FCLR I
```

  (6) ウェイトモードからの復帰に使用する割り込みの割り込み要求レベルを設定する
  これ以降割り込み制御レジスタを書き換えないでください
  (7) フラグレジスタのIPLを設定する
  (8) 復帰用割り込み優先レベルをIPLと同じ値に設定する
  復帰に使用する割り込みの割り込み要求レベル > IPL = 復帰用割り込み優先レベル
  (9) 発振停止検出機能を使用している場合、CM2レジスタのCM20ビットを“0”(発振停止検出機能無効)にする
  (10)動作モードをPLL自励発振モード、低速モード、または低消費電力モードに変更する
  (11)Iフラグを“1”にする
  (12)WAIT命令を実行する
- **ウェイトモード復帰後の処理**
  ウェイトモード復帰後、すぐに復帰用割り込み優先レベルを“7”にする

8.7.2.3 ウェイトモード時の端子の状態

表 8.5にウェイトモード時の端子の状態を示します。

表 8.5 ウェイトモード時の端子の状態

端子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
アドレスバス、データバス、$\overline{CS0}$~$\overline{CS3}$、$\overline{BC0}$~$\overline{BC3}$		ウェイトモードに入る直前の状態を保持	—
$\overline{RD}$, $\overline{WR}$, $\overline{WR0}$~$\overline{WR3}$		“H”	—
$\overline{HLDA}$, BCLK		“H”	—
ALE		“H”	—
ポート		ウェイトモードに入る直前の状態を保持	
DA0, DA1		ウェイトモードに入る直前の状態を保持	
CLKOUT	低速クロック選択時	クロック出力	
	f8、f32選択時	CM0レジスタのCM02ビットが“0” (ウェイトモード時、周辺機能クロック源を停止しない)のときは、クロック出力。 CM02ビットが“1” (ウェイトモード時、周辺機能クロック源を停止する)のときは、ウェイトモードに入る直前の状態を保持	

8.7.2.4 ウェイトモードからの復帰

ハードウェアリセット、NMI、または割り込み番号0~63に割り当てられている周辺機能割り込みにより、ウェイトモードから復帰します。

周辺機能割り込みを使用せず、ハードウェアリセットまたはNMIで復帰する場合、周辺機能割り込みのILVL2~ILVL0ビットを“000b” (割り込み禁止)にした後、WAIT命令を実行してください。

周辺機能割り込みはCM0レジスタのCM02ビットの影響を受けます。CM02ビットが“0” (ウェイトモード時、周辺機能クロック源を停止しない)の場合、割り込み番号0~63の周辺機能割り込みがウェイトモードからの復帰に使用できます。CM02ビットが“1” (ウェイトモード時、周辺機能クロック源を停止する)の場合、周辺機能クロック源から生成されるクロック (f1、f8、f32、クロック源に周辺機能クロック源を選択したf2n、fAD)で動作する周辺機能は停止しますので、ウェイトモードからの復帰に使用できません。ただし、周辺機能クロック源に依存しないクロック (fC32、外部クロック、クロック源にメインクロックを選択したf2n)で動作する周辺機能は停止しませんので、これらが生成する割り込みのうち、割り込み番号0~63に割り当てられた割り込みはウェイトモードからの復帰に使用できます。

周辺機能割り込みまたはNMIでウェイトモードから復帰したときのCPUクロックは、WAIT命令実行時のCPUクロックと同じクロックです。

表 8.6にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

表 8.6 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02=0の場合	CM02=1の場合
NMI	使用可能	使用可能
外部割り込み(注1)	使用可能	使用可能
キー入力割り込み	使用可能	使用可能
電圧低下検出割り込み	使用可能	使用可能
タイマA割り込み タイマB割り込み	すべてのモードで使用可能	イベントカウンタモード、またはカウントソースがfC32、f2n (クロック源にメインクロックを選択)のとき使用可能
シリアルインタフェース割り込み(注2)	内部クロックでも外部クロックでも使用可能	外部クロックまたはf2n (クロック源にメインクロックを選択)使用時は使用可能
A/D変換割り込み	単発モード、または単掃引モードで使用可能	使用しないでください
インテリジェントI/O割り込み	使用可能	使用しないでください
I^2Cバスインタフェース割り込み	使用可能	使用しないでください
I^2Cバスライン割り込み	使用可能	使用可能
CANウェイクアップ割り込み	使用可能	使用可能

注1. INT6~INT8はインテリジェントI/O割り込みのみ使用可能
注2. UART7、UART8を除く

8.7.3 ストップモード

ストップモードでは、停止しないように保護されたクロックを除くすべてのクロックの発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。

8.7.3.1 ストップモードへの移行

STOP命令を実行すると、ストップモードになります。
ストップモードを使用する場合、以下の設定を行った後、STOP命令を実行してください。

• 初期設定での処理

復帰用割り込み優先レベル(RIPL1レジスタ、RIPL2レジスタのRLVL2~RLVL0ビット)を“7”にした後、各割り込み要求レベルを設定する

• ストップモード移行前の処理

(1) Iフラグを“0”にする
(2) 割り込み番号1~127の割り込みのうち割り込み要求レベルが“0”でないものを“0”にする
(3) いずれかの割り込み制御レジスタをダミーリードする
(4) フラグレジスタのIPLを“0”にする
(5) 一時的に割り込みを許可する(以下の命令を実行)

```
FSET I
NOP
NOP
FCLR I
```

(6) ストップモードからの復帰に使用する割り込みの割り込み要求レベルを設定する
これ以降割り込み制御レジスタを書き換えないでください
(7) フラグレジスタのIPLを設定する
(8) 復帰用割り込み優先レベルをIPLと同じ値に設定する
復帰に使用する割り込みの割り込み要求レベル > IPL = 復帰用割り込み優先レベル
(9) 発振停止検出機能を使用している場合、CM2レジスタのCM20ビットを“0”(発振停止検出機能無効)にする
(10)ベースクロックをメインクロックの256分周(f256)またはオンチップオシレータの4分周(fOCO4)に変更する
(11)Iフラグを“1”にする
(12)STOP命令を実行する

• ストップモード復帰後の処理

ストップモード復帰後、すぐに復帰用割り込み優先レベルを“7”にする

8.7.3.2　ストップモード時の端子の状態

表 8.7にストップモード時の端子の状態を示します。

表 8.7　ストップモード時の端子の状態

端子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
アドレスバス、データバス、 $\overline{CS0}$~$\overline{CS3}$、$\overline{BC0}$~$\overline{BC3}$		ストップモードに入る直前の状態を保持	—
$\overline{RD}$, $\overline{WR}$, $\overline{WR0}$~$\overline{WR3}$		“H”	—
$\overline{HLDA}$, BCLK		“H”	—
ALE		“H”	—
ポート		ストップモードに入る直前の状態を保持	
DA0, DA1		ストップモードに入る直前の状態を保持	
CLKOUT	低速クロック選択時	“H”	
	f8、f32選択時	ストップモードに入る直前の状態を保持	
XIN		ハイインピーダンス	
XOUT		“H”	
XCIN, XCOUT		ハイインピーダンス	

8.7.3.3　ストップモードからの復帰

ハードウェアリセット、NMI、電圧低下検出割り込み、または割り込み番号 0~63 に割り当てられている周辺機能割り込みにより、ストップモードから復帰します。

周辺機能割り込みを使用せず、ハードウェアリセットまたはNMI で復帰する場合、周辺機能割り込みのILVL2~ILVL0ビットをすべて“000b” (割り込み禁止)にした後、STOP命令を実行してください。

周辺機能割り込みまたはNMIでストップモードから復帰したときのCPUクロックは、STOP命令実行時のCPUクロックと同じクロックです。

表 8.8にストップモードからの復帰に使用できる割り込みと使用条件を示します。

表 8.8　ストップモードからの復帰に使用できる割り込みと使用条件

割り込み	条件
NMI	
電圧低下検出割り込み	
外部割り込み	INT6~INT8はインテリジェントI/O割り込み使用時
キー入力割り込み	
タイマA割り込み タイマB割り込み	イベントカウンタモードで周波数100 Hz以下の外部パルスのカウント時
シリアルインタフェース割り込み(注1)	外部クロック使用時
I^2Cバスライン割り込み	
CANウェイクアップ割り込み	

注1.　UART7、UART8を除く

8.8 システムクロック保護機能

ベースクロックのクロック源にPLLクロックを選択しているとき、プログラムの暴走でCPUクロックが停止しないようにクロックの変更を禁止する機能です。

PM2レジスタのPM21ビットを“1”(クロックの変更禁止)にすると、以下のビットに書き込めなくなります。

- CM0レジスタのCM02ビット、CM05ビット
- CM1レジスタのCM10ビット
- CM2レジスタのCM20ビット
- PM2レジスタのPM27ビット

システムクロック保護機能を使用する場合、CM0レジスタのCM05ビットが“0”(メインクロック発振)、CCRレジスタのBCSビットが“0”(ベースクロックのクロック源はPLLクロック)の状態で以下の処理をしてください。

(1) PRCRレジスタのPRC1ビットを“1”(PM2レジスタ書き込み許可)にする
(2) PM2レジスタのPM21ビットを“1”(クロック変更禁止)にする
(3) PRCRレジスタのPRC1ビットを“0”(PM2レジスタ書き込み禁止)にする

8.9 クロック発生回路使用上の注意

8.9.1 サブクロック

8.9.1.1 発振回路定数のマッチングの確認

サブクロック発振回路の発振回路定数のマッチングは、駆動能力Highと駆動能力Lowの両方とも確認してください。

発振回路定数のマッチングに関しては発振子メーカにお問い合わせください。

8.9.2 パワーコントロール

ベースクロック源を切り替えるとき、クロック分周比を切り替えるときは、使用するクロックの発振が安定してから切り替えてください。オンチップオシレータはCM3レジスタのCM31ビットを“1”にすると瞬時に発振を開始しますので、発振安定を待つ必要はありません。

ベースクロック源をPLLクロックから低速クロックに切り替える(CCRレジスタのBCSビットを“1”にする)場合は、MOV.L命令またはOR.L命令を使用してください。

- アセンブリ言語の場合の例

```
OR.L    #80h, 0004h
```

- C言語の場合の例

```
asm("OR.L  #80h, 0004h");
```

8.9.2.1 ストップモード

- ストップモードからリセットによって復帰する場合、メインクロックの発振が充分に安定するまで$\overline{\text{RESET}}$端子に“L”を入力してください。

8.9.2.2 消費電力を低減するためのポイント

システム設計やプログラムを作成するときに参考にしてください。

- 端子処理

  入力端子を開放のままにすると、貫通電流が流れることがあります。未使用端子は入力に設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)するか、または出力に設定し、端子を開放してください。

- A/Dコンバータ

  A/D変換を行わないときはAD0CON1レジスタのVCUTビットを“0”(VREF未接続)にしてください。なお、A/D変換を行うときは、VCUTビットを“1”(VREF接続)にしてから1 µs以上経過した後、A/D変換を開始させてください。

- D/Aコンバータ

  D/A変換を行わないときは、DACONレジスタのDAiEビット(i=0, 1)を“0”(出力禁止)にし、DAiレジスタを“00h”にしてください。

- 周辺機能の停止

  ウェイトモードへ移行するとき、CM0レジスタのCM02ビットで周辺機能クロック源を停止することにより、消費電力を低減させることができます。ただし、fC32は停止しません。

9. バス

バスには、内部バスと外部バスがあり、内部バスには高速に動作するCPUバスと、低速な周辺バスがあります。バスブロック図を図9.1に示します。

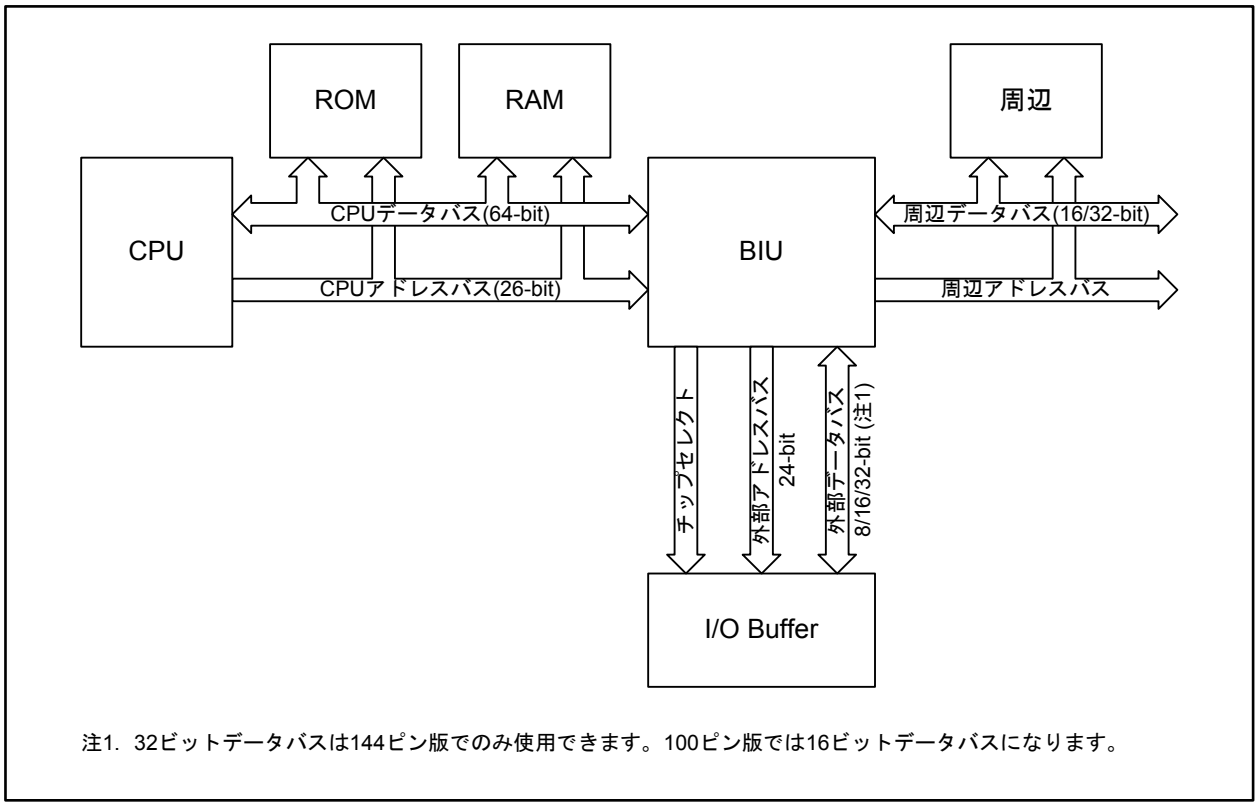


図 9.1 バスブロック図

メモリ拡張モード、またはマイクロプロセッサモードでは、一部の端子がアドレスバス、データバスを制御するバス制御端子となります。バス制御端子にはA0~A23、D0~D31、$\overline{CS0}$~$\overline{CS3}$、$\overline{WR0}$/$\overline{WR}$、$\overline{BC0}$、$\overline{WR1}$/$\overline{BC1}$、$\overline{WR2}$/$\overline{BC2}$、$\overline{WR3}$/$\overline{BC3}$、$\overline{RD}$、BCLK、$\overline{HLDA}$、$\overline{HOLD}$、ALE、$\overline{RDY}$があります。

9.1 バス設定

バスの設定は、リセットベクタの下位2ビット、PBCレジスタ、EBC0~EBC3レジスタ、CSOP0~CSOP2レジスタで切り替えられます。

表9.1にバスの設定と切り替え要因を示します。

表 9.1 バスの設定と切り替え要因

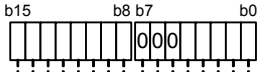
バスの設定	切り替え要因
内部SFRバスタイミング	PBCレジスタ
外部バスタイミング	EBC0~EBC3レジスタ
外部データバス幅	PBCレジスタ、EBC0~EBC3レジスタ
リセット後の外部データバス幅	リセットベクタの下位2ビット
セパレートバス/マルチプレクスバス選択	PBCレジスタ、EBC0~EBC3レジスタ
チップセレクトを出力する端子	CSOP0~CSOP2レジスタ

9.2 周辺バスタイミングの設定

周辺バスは最大32 MHz (理論値。品種ごとの最大値は「28. 電気的特性」に定めるf(BCLK)の値になります)で動作する16/32ビット幅のバスです。高速に動作する64ビット幅のCPUバスとのタイミング調整、バス幅変換は、バスインタフェースユニット(BIU)で行います。

周辺バスのタイミングを設定するPBCレジスタを図9.2に示します。

周辺バス制御レジスタ (注1、2)



シンボル	アドレス	リセット後の値
PBC	001Fh-001Eh番地	0504h

ビットシンボル	ビット名	機　能	RW
PRD0	リードタイミング設定ビット	周辺バスクロックの設定 (CCRレジスタのPCD1~PCD0ビット) により以下のいずれかを設定してください。 (1) PCD1~PCD0ビットが“01b” “00100b”を設定してください (2) PCD1~PCD0ビットが“10b” “01101b”を設定してください (3) PCD1~PCD0ビットが“11b” “01111b”を設定してください	RW
PRD1			RW
PRD2			RW
PRD3			RW
PRD4			RW
— (b7-b5)	予約ビット	“0”にしてください	RW
PWR0	ライトタイミング設定ビット	周辺バスクロックの設定 (CCRレジスタのPCD1~PCD0ビット) により以下のいずれかを設定してください。 (1) PCD1~PCD0ビットが“01b” “00101b”を設定してください (2) PCD1~PCD0ビットが“10b” “01010b”を設定してください (3) PCD1~PCD0ビットが“11b” “01111b”を設定してください	RW
PWR1			RW
PWR2			RW
PWR3			RW
PWR4			RW
EXMPX	外部バス形式指定ビット (注3)	0: セパレートバス領域あり 1: 全領域マルチプレクスバス	RW
EXBW0	外部最大バス幅設定ビット (注4)	b15b14 0 0 : 8ビット 0 1 : 16ビット 1 0 : 32ビット (注5) 1 1 : 設定しないでください	RW
EXBW1			RW

注1. このレジスタはPRRレジスタの値を“AAh”(書き込み許可) にした後で書き換えてください。
注2. このレジスタは、リセット後1回だけ設定してください。また、CCRレジスタ設定後、このレジスタを書き換えないでください。
注3. EBC0~EBC3レジスタのMPXビットがすべて“1”の場合、このビットを“1”にすると、ポートP0、ポートP1、ポートP4_0~P4_3がプログラマブル入出力ポートとして使用できます。
注4. EBC0~EBC3レジスタのBW1~BW0ビットで設定するバス幅の最大値を設定してください。このビットの設定により、ポートP1、ポートP12、ポートP13の機能が変わります。
注5. 144ピン版でのみ設定できます。

図 9.2 PBC レジスタ

9.3 外部バスの設定

外部バスは最大32 MHz (理論値。品種ごとの最大値は「28. 電気的特性」に定めるf(BCLK)の値と同じになります) で動作する8/16/32ビット幅のバスです。高速に動作する64ビット幅のCPUバスとのタイミング調整、バス幅変換は、バスインタフェースユニット(BIU)で行います。

9.3.1 外部アドレス空間の設定

R32C/100シリーズCPUでは、MCU内部のアドレスバスはA0~A25の26本で構成されています。A26~A31はA25を符号拡張していますので、アクセス可能な領域は、00000000h~01FFFFFFh番地とFE000000h~FFFFFFFFh番地の計64MBの領域となります。

このうち外部に出力されるアドレスはA0~A23の最大24本です。また、A18~A25をデコードして生成されるチップセレクト信号が$\overline{CS3}$~$\overline{CS0}$の4本あります。すべてのチップセレクト信号に16MBの空間を割り当てることで、最大63.5MBの空間を外部に割り当てることができます。なお、シングルチップモードからメモリ拡張モードに変更したとき、アドレスバスの状態は外部領域をアクセスするまで不定です。

チップセレクト信号$\overline{CS3}$~$\overline{CS0}$はそれぞれA20~A23と端子を共用しています。また、$\overline{CS0}$~$\overline{CS3}$はP11_0~P11_3から、$\overline{CS1}$~$\overline{CS3}$はP5_4、P5_6、P5_7からも出力可能です。

マイクロプロセッサモードの場合、リセット後ポートP4_7から$\overline{CS0}$信号が出力されます。A23は使用できませんので、1つのチップセレクトあたりの最大領域サイズは8MBになります。なお、$\overline{CS1}$~$\overline{CS3}$は設定するまで出力されません。

$\overline{CSi}$ (i =0~3)は外部領域iをアクセス中は“L”を出力します。別の外部領域をアクセスすると“H”を出力します。図9.3にアドレスバスとチップセレクト信号の出力例を示します。

使用するチップセレクト信号の種類、出力する端子はCSOP0~CSOP2レジスタで、各チップセレクトの領域はCB01、CB12、CB23レジスタで設定できます。

図9.4~図9.6にCSOP0~CSOP2レジスタを示します。また、図9.7、図9.8、図9.9にCB01、CB12、CB23レジスタを、図9.10、図9.11にチップセレクトの領域を示します。

CSOP0~CSOP2レジスタには、同じチップセレクト信号が複数の端子から出力されないように設定してください。また、CB01、CB12、CB23レジスタは以下の条件を満たすように設定してください。

- メモリ拡張モードの場合

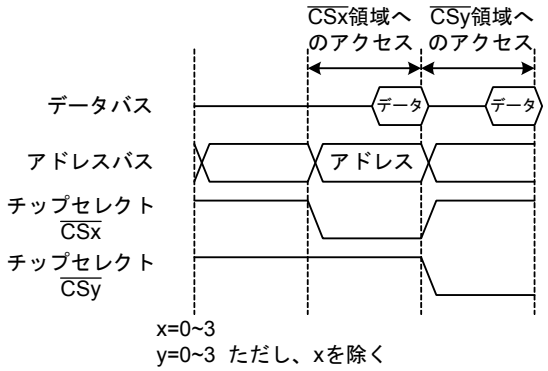
$$0080000h \le (CB23 \times 2^{18}) \le (CB12 \times 2^{18}) \le (CB01 \times 2^{18}) \le 3DC0000h$$

- マイクロプロセッサモードの場合

$$0080000h \le (CB23 \times 2^{18}) \le (CB12 \times 2^{18}) \le (CB01 \times 2^{18}) \le 3FC0000h$$

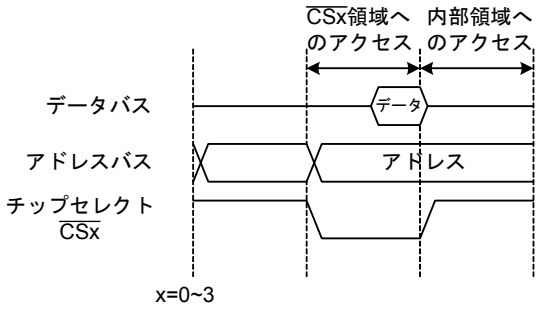
(A) 外部領域をアクセス後、次のサイクルでアドレスバス、チップセレクト信号が共に変化

$\overline{CSx}$領域をアクセス後、次のサイクルで$\overline{CSy}$領域をアクセスする場合、アドレスバス、チップセレクト信号が共に変化します。



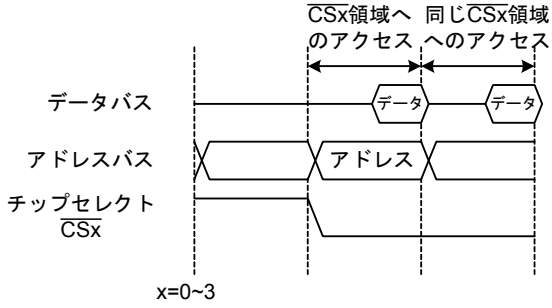
(B) 外部領域をアクセス後、次のサイクルでチップセレクト信号のみ変化 (アドレスバスは変化しない)

$\overline{CSx}$領域をアクセス後、次のサイクルで内部領域をアクセスする場合、チップセレクト信号は変化しますが、アドレスバスは変化しません。



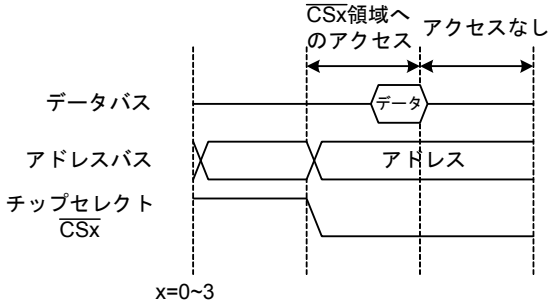
(C) 外部領域をアクセス後、次のサイクルでアドレスバスのみ変化 (チップセレクト信号は変化しない)

$\overline{CSx}$領域をアクセス後、次のサイクルで同じ$\overline{CSx}$領域をアクセスする場合、アドレスバスは変化しますが、チップセレクト信号は変化しません。



(D) 外部領域をアクセス後、次のサイクルでアドレスバス、チップセレクト信号が共に変化しない

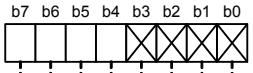
$\overline{CSx}$領域をアクセス後、次のサイクルでいずれの領域にもアクセスしない (命令のプリフェッチも発生しない) 場合、アドレスバス、チップセレクト信号は共に変化しません。



注1. これらの例は、連続する2つのサイクルのアドレスバスとチップセレクト信号を示しています。これらの組み合わせにより、チップセレクト信号は2バスサイクル以上伸びる場合があります。

図 9.3　アドレスバスとチップセレクト信号の出力例(セパレートバス)

チップセレクト出力端子設定レジスタ0 (注1)



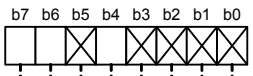
シンボル	アドレス	リセット後の値
CSOP0	40054h番地	1000 XXXXb

ビットシンボル	ビット名	機　能	RW
— (b3-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
P4_4B	P4_4バス機能設定ビット	0: P4_4からA20を出力 1: P4_4から$\overline{CS3}$を出力	RW
P4_5B	P4_5バス機能設定ビット	0: P4_5からA21を出力 1: P4_5から$\overline{CS2}$を出力	RW
P4_6B	P4_6バス機能設定ビット	0: P4_6からA22を出力 1: P4_6から$\overline{CS1}$を出力	RW
P4_7B	P4_7バス機能設定ビット	0: P4_7からA23を出力 (注2) 1: P4_7から$\overline{CS0}$を出力	RW

注1. このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可) にした後で書き換えてください。
注2. マイクロプロセッサモードで動作を開始した場合、P4_7Bビットに“0”を書かないでください。

図 9.4　CSOP0 レジスタ

チップセレクト出力端子設定レジスタ1 (注1)



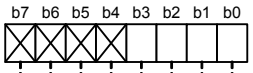
シンボル	アドレス	リセット後の値
CSOP1	40055h番地	01X0 XXXXb

ビットシンボル	ビット名	機　能	RW
— (b3-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
P5_4B	P5_4バス機能設定ビット	0: P5_4から$\overline{HLDA}$を出力 1: P5_4から$\overline{CS1}$を出力	RW
— (b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
P5_6B	P5_6バス機能設定ビット	0: P5_6からALEを出力 1: P5_6から$\overline{CS2}$を出力	RW
P5_7B	P5_7バス機能設定ビット	0: P5_7は$\overline{RDY}$入力端子 1: P5_7から$\overline{CS3}$を出力	RW

注1. このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可) にした後で書き換えてください。

図 9.5　CSOP1 レジスタ

チップセレクト出力端子設定レジスタ2 (注1)



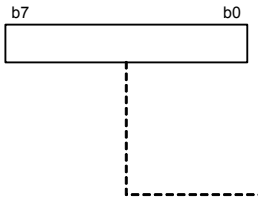
シンボル	アドレス	リセット後の値
CSOP2	40056h番地	XXXX 0000b

ビットシンボル	ビット名	機　能	RW
P11_0B	P11_0バス機能設定ビット	0: P11_0は周辺機能に使用 1: P11_0から$\overline{CS0}$を出力	RW
P11_1B	P11_1バス機能設定ビット	0: P11_1は周辺機能に使用 1: P11_1から$\overline{CS1}$を出力	RW
P11_2B	P11_2バス機能設定ビット	0: P11_2は周辺機能に使用 1: P11_2から$\overline{CS2}$を出力	RW
P11_3B	P11_3バス機能設定ビット	0: P11_3は周辺機能に使用 1: P11_3から$\overline{CS3}$または$\overline{WR2}$を出力 (注2)	RW
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可) にした後で書き換えてください。
注2. PM0レジスタのPM02ビットが“1”($\overline{RD}$/$\overline{WR0}$/$\overline{WR1}$/$\overline{WR2}$/$\overline{WR3}$)、かつPBCレジスタのEXBW1~EXBW0ビットが“10b”(外部バスは最大32ビット) のときは$\overline{WR2}$、それ以外のときは$\overline{CS3}$が出力されます。

図 9.6　CSOP2 レジスタ

チップセレクト0-1境界設定レジスタ (注1)



シンボル	アドレス	リセット後の値
CB01	001Ah番地	00h

機　能	設定範囲	RW
$\overline{CS0}$領域の先頭アドレスのA25~A18の値を設定してください。 指定したアドレスの手前までが$\overline{CS1}$領域となります	メモリ拡張モード時 02h~F8h (注2) マイクロプロセッサモード時 02h~FFh (注2)	RW

注1. このレジスタはPRRレジスタを“AAh”(書き込み許可) にした後で書き換えてください。
注2. CB12レジスタの設定値以上の値を設定してください。

図 9.7　CB01 レジスタ

チップセレクト1-2境界設定レジスタ (注1)

b7	b0	シンボル	アドレス	リセット後の値
		CB12	0016h番地	00h

機　能	設定範囲	RW
$\overline{CS1}$領域の先頭アドレスのA25~A18の値を設定してください。 指定したアドレスの手前までが$\overline{CS2}$領域となります	メモリ拡張モード時 02h~F8h (注2) マイクロプロセッサモード時 02h~FFh (注2)	RW

注1. このレジスタはPRRレジスタを“AAh”(書き込み許可) にした後で書き換えてください。
注2. CB23レジスタの設定値以上の値を設定してください。また、CB01レジスタの設定値以下の値を設定してください。

図 9.8　CB12 レジスタ

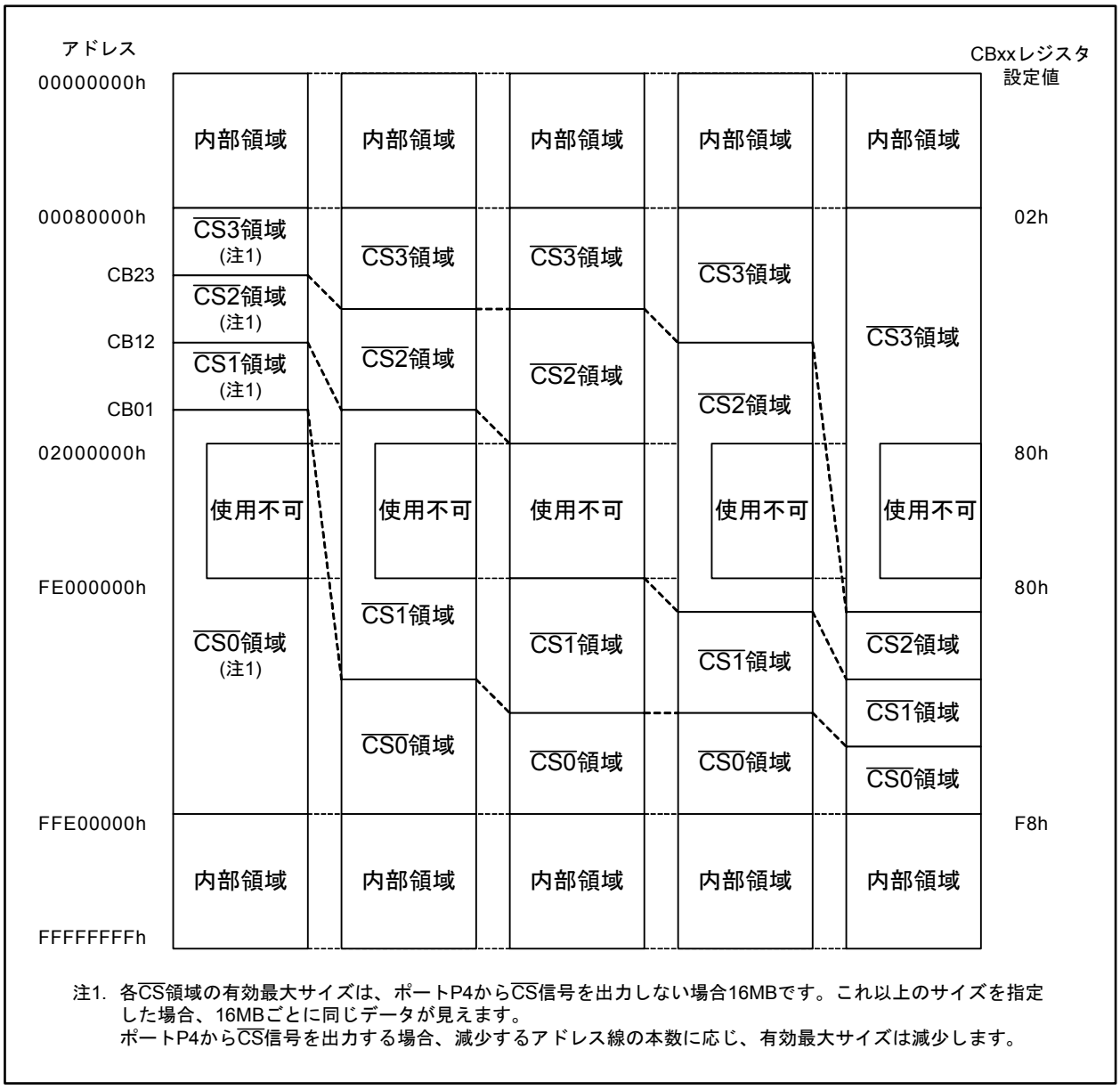
チップセレクト2-3境界設定レジスタ (注1)

b7	b0	シンボル	アドレス	リセット後の値
		CB23	0012h番地	00h

機　能	設定範囲	RW
$\overline{CS2}$領域の先頭アドレスのA25~A18の値を設定してください。 指定したアドレスの手前までが$\overline{CS3}$領域となります	メモリ拡張モード時 02h~F8h (注2) マイクロプロセッサモード時 02h~FFh (注2)	RW

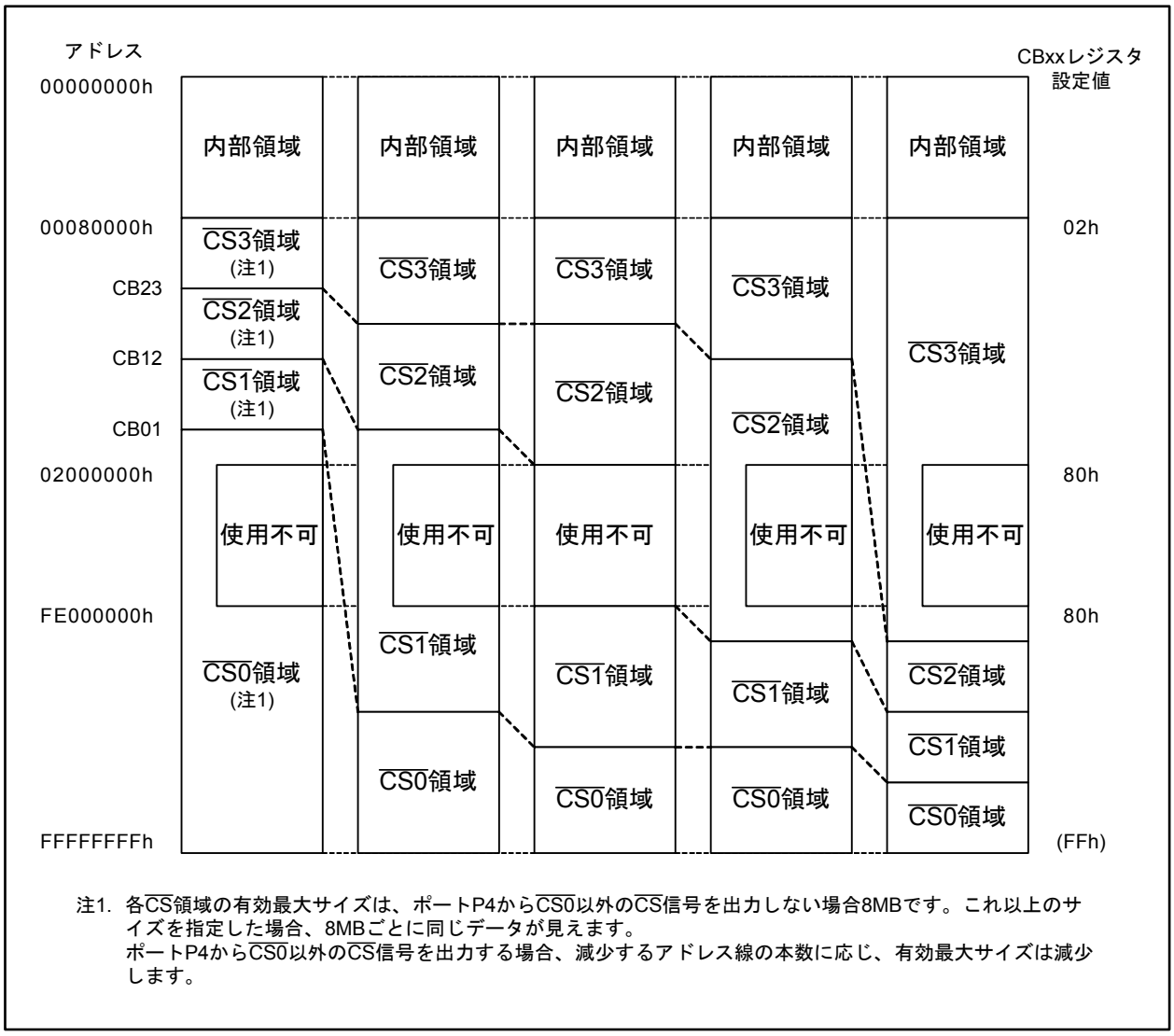
注1. このレジスタはPRRレジスタを“AAh”(書き込み許可) にした後で書き換えてください。
注2. CB12レジスタの設定値以下の値を設定してください。

図 9.9　CB23 レジスタ



注1. 各$\overline{CS}$領域の有効最大サイズは、ポートP4から$\overline{CS}$信号を出力しない場合16MBです。これ以上のサイズを指定した場合、16MBごとに同じデータが見えます。
ポートP4から$\overline{CS}$信号を出力する場合、減少するアドレス線の本数に応じ、有効最大サイズは減少します。

図 9.10 メモリ拡張モード時のチップセレクト領域



注1. 各$\overline{CS}$領域の有効最大サイズは、ポートP4から$\overline{CS0}$以外の$\overline{CS}$信号を出力しない場合8MBです。これ以上のサイズを指定した場合、8MBごとに同じデータが見えます。
ポートP4から$\overline{CS0}$以外の$\overline{CS}$信号を出力する場合、減少するアドレス線の本数に応じ、有効最大サイズは減少します。

図 9.11 マイクロプロセッサモード時のチップセレクト領域

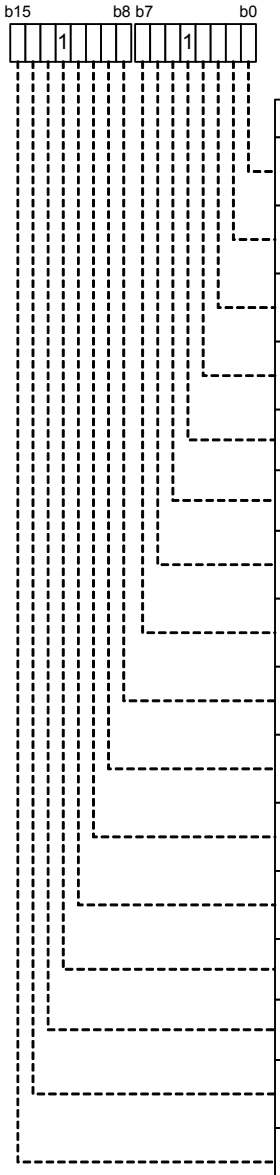
9.3.2 外部データバス幅の選択

外部データバス幅は、8 ビット、16 ビット、32 ビットを選択できます。領域ごとのバス幅は、EBC0~EBC3 レジスタの BW1~BW0 ビットで指定します。また、全領域中の最大バス幅を PBC レジスタの EXBW1~EXBW0 ビットで指定します。EXBW1~EXBW0 ビットで指定するバス幅が、BW1~BW0 ビットで指定したバス幅を下回らないようにしてください。

なお、EXBW1~EXBW0 ビットで指定したバス幅よりもバス幅が狭い領域にアクセスした場合、使用されないデータ出力端子からは不定値が出力されます。

図 9.12 に EBC0~EBC3 レジスタを示します。

外部バス制御レジスタi (i=0~3) (注1)



シンボル	アドレス	リセット後の値
EBC0, EBC1	001Dh-001Ch、0019h-0018h番地	0000h
EBC2, EBC3	0015h-0014h、0011h-0010h番地	0000h

ビットシンボル	ビット名	機　能	RW
ESUR0 ESUR1	リード前アドレスセットアップ時間設定ビット (注2)	b1 b0 0 0 : *sur* = 0 0 1 : *sur* = 1 1 0 : *sur* = 2 1 1 : *sur* = 3	RW
EWR0 EWR1	リード信号パルス幅設定ビット (注2)	b3 b2 0 0 : *wr* = 1 0 1 : *wr* = 2 1 0 : *wr* = 3 1 1 : *wr* = 4	RW
— (b4)	予約ビット	“1”にしてください	RW
RDY	$\overline{\text{RDY}}$信号モニタビット	0: $\overline{\text{RDY}}$信号を無視する 1: $\overline{\text{RDY}}$信号を使用する	RW
MPY0 MPY1	設定サイクル数逓倍ビット (注2)	b7 b6 0 0 : *mpy* = 1 0 1 : *mpy* = 2 1 0 : *mpy* = 3 1 1 : *mpy* = 4	RW
ESUW0 ESUW1	ライト前アドレスセットアップ時間設定ビット (注2)	b9 b8 0 0 : *suw* = 0 0 1 : *suw* = 1 1 0 : *suw* = 2 1 1 : *suw* = 3	RW
EWW0 EWW1	ライト信号パルス幅設定ビット (注2)	b11b10 0 0 : *ww* = 1 0 1 : *ww* = 2 1 0 : *ww* = 3 1 1 : *ww* = 4	RW
— (b12)	予約ビット	“1”にしてください	RW
MPX	外部バス形式選択ビット	0: セパレートバス 1: マルチプレクスバス	RW
BW0 BW1	外部バス幅設定ビット (注3)	b15b14 0 0 : 8ビット 0 1 : 16ビット 1 0 : 32ビット (注4) 1 1 : 設定しないでください	RW

注1. このレジスタはPRRレジスタの値を“AAh”(書き込み許可)にした後で書き換えてください。
注2. レジスタへの設定値と実際のタイミングとの関係は、「9.3.5 外部バスタイミング」を参照してください。
注3. ここで設定したバス幅の最大値を、PBCレジスタのEXBW1~EXBW0ビットに設定してください。
注4. 144ピン版でのみ設定できます。

図 9.12　EBC0~EBC3 レジスタ

9.3.3 セパレートバス、マルチプレクスバスの選択

バスの形式は、セパレートバスまたはマルチプレクスバスを選択できます。領域ごとのバス形式の設定は、EBC0~EBC3 レジスタの MPX ビットで指定します。また、すべての領域でマルチプレクスバスを使用する場合は、PBC レジスタの EXMPX ビットを“1”(全領域マルチプレクスバス)にすると、ポート P0、P1、P4_0~P4_3 をプログラマブル入出力ポートとして使用できます。

(1) セパレートバス

データとアドレスを異なる端子から個別に入出力するバスの形式です。

EBC0~EBC3 レジスタの MPX ビットを“0”にすると、当該領域はセパレートバスになります。

データバス幅は、EBC0~EBC3 レジスタの BW1~BW0 ビットにより 8 ビット、16 ビット、または 32 ビットを選択できます。

PBC レジスタの EXBW1~EXBW0 ビットが“00b”(8 ビットデータバス)のときは、ポート P0 はデータバス、ポート P1、P12、P13 はプログラマブル入出力ポートとなります。

EXBW1~EXBW0 ビットが“01b”(16 ビットデータバス)のときはポート P0、P1 はデータバス、ポート P12、P13 はプログラマブル入出力ポートとなります。ただし、BW1~BW0 ビットが“00b”(8 ビットデータバス)の領域にアクセスしたとき、ポート P1 (D8~D15)は不定です。

EXBW1~EXBW0 ビットが“10b”(32 ビットデータバス)のときはポート P0、P1、P12、P13 はデータバスとなります。ただし、BW1~BW0 ビットが“00b”(8 ビットデータバス)の領域にアクセスしたとき、ポート P1、P12、P13 (D8~D31)が、BW1~BW0 ビットが“01b”(16 ビットデータバス)の領域にアクセスしたとき、ポート P12、P13 (D16~D31)が不定となります。

(2) マルチプレクスバス

データとアドレスを同一の端子から時分割で入出力するバスの形式です。

EBC0~EBC3 レジスタの MPX ビットを“1”にすると、当該領域はマルチプレクスバスになります。

EBC0~EBC3 レジスタの BW1~BW0 ビットを“00b”(8 ビットデータバス)に設定した領域では、D0~D7 が A0~A7 とマルチプレクスされます。BW1~BW0 ビットを“01b”(16 ビットデータバス)または、“10b”(32 ビットデータバス)に設定した領域では D0~D15 が $\overline{BC0}$、A1/$\overline{BC2}$、A2~A15 とマルチプレクスされます。

マイクロプロセッサモードでは、リセット後セパレートバスで動作しますので、$\overline{CS1}$~$\overline{CS3}$ の領域をマルチプレクスバスに設定することはできますが、$\overline{CS0}$ の領域をマルチプレクスバスに設定することはできません。

プロセッサモード別の端子の機能を表 9.2 に、バス形式別の端子の機能を表 9.3 に示します。

表 9.2　プロセッサモードと端子の機能(注1)

プロセッサモード	シングルチップモード	マイクロプロセッサモード/メモリ拡張モード						メモリ拡張モード		
バス形式	—	セパレートバスのみ (EXMPX=0)			セパレートバス、マルチプレクスバス混在(EXMPX=0)			マルチプレクスバスのみ (EXMPX=1)		
データバス幅	—	8ビットバスのみ	8/16ビットバス混在	8/16/32ビットバス混在	8ビットバスのみ	8/16ビットバス混在	8/16/32ビットバス混在	8ビットバスのみ	8/16ビットバス混在	8/16/32ビットバス混在
P0_0 ~ P0_7	入出力ポート	D0 ~ D7						入出力ポート		
P1_0 ~ P1_7	入出力ポート	入出力ポート	D8 ~ D15		入出力ポート	D8 ~ D15		入出力ポート		
P2_0	入出力ポート	A0	A0 または $\overline{BC0}$		A0 または A0/D0	A0 または A0/D0 または $\overline{BC0}$ または $\overline{BC0}$/D0		A0/D0	A0/D0 または $\overline{BC0}$/D0	
P2_1	入出力ポート	A1		A1 または $\overline{BC2}$	A1 または A1/D1		A1 または A1/D1 または $\overline{BC2}$ または $\overline{BC2}$/D1	A1/D1		A1/D1 または $\overline{BC2}$/D1
P2_2 ~ P2_7	入出力ポート	A2 ~ A7			A2 ~ A7 または A2/D2 ~ A7/D7			A2/D2 ~ A7/D7		
P3_0 ~ P3_7	入出力ポート	A8 ~ A15			A8 ~ A15	A8 ~ A15 または A8/D8 ~ A15/D15		A8 ~ A15	A8/D8 ~ A15/D15	
P4_0 ~ P4_3	入出力ポート	A16 ~ A19						入出力ポート		
P4_4	入出力ポート	A20 または $\overline{CS3}$								
P4_5	入出力ポート	A21 または $\overline{CS2}$								
P4_6	入出力ポート	A22 または $\overline{CS1}$								
P4_7	入出力ポート	A23 または $\overline{CS0}$								
P5_0	入出力ポート	$\overline{WR}$ または $\overline{WR0}$								
P5_1	入出力ポート	不定 (注2)	$\overline{BC1}$ または $\overline{WR1}$		不定 (注2)	$\overline{BC1}$ または $\overline{WR1}$		不定 (注2)	$\overline{BC1}$ または $\overline{WR1}$	
P5_2	入出力ポート	$\overline{RD}$								
P5_3	入出力ポート	BCLK								
P5_4	入出力ポート	$\overline{HLDA}$ または $\overline{CS1}$								
P5_5	入出力ポート	$\overline{HOLD}$								
P5_6	入出力ポート	ALE または $\overline{CS2}$			ALE に設定してください					
P5_7	入出力ポート	$\overline{RDY}$ または $\overline{CS3}$								
P11_0 ~ P11_2	入出力ポート	$\overline{CS0}$ ~ $\overline{CS2}$ または入出力ポート								
P11_3	入出力ポート	$\overline{CS3}$ または入出力ポート		$\overline{CS3}$ または $\overline{WR2}$	$\overline{CS3}$ または入出力ポート		$\overline{CS3}$ または $\overline{WR2}$	$\overline{CS3}$ または入出力ポート		$\overline{CS3}$ または $\overline{WR2}$
P11_4	入出力ポート	入出力ポート		$\overline{BC3}$ または $\overline{WR3}$	入出力ポート		$\overline{BC3}$ または $\overline{WR3}$	入出力ポート		$\overline{BC3}$ または $\overline{WR3}$
P12_0 ~ P12_7	入出力ポート	入出力ポート		D16 ~ D23	入出力ポート		D16 ~ D23	入出力ポート		D16 ~ D23
P13_0 ~ P13_7	入出力ポート	入出力ポート		D24 ~ D31	入出力ポート		D24 ~ D31	入出力ポート		D24 ~ D31

注1.　ポートP11~P15は144ピン版にのみあります。

注2.　不定値が出力されます。

表 9.3 バス形式と端子の機能(マイクロプロセッサモード/メモリ拡張モード)(注1)

バス形式	セパレートバス			マルチプレクスバス		
MPXビット	“0”			“1”		
バス幅	8ビット	16ビット	32ビット	8ビット	16ビット	32ビット
BW1 ~ BW0ビット	“00b”	“01b”	“10b”	“00b”	“01b”	“10b”
P0_0 ~ P0_7	D0 ~ D7			入出力ポート		
P1_0 ~ P1_7	入出力ポート	D8 ~ D15		入出力ポート		
P2_0	A0	$\overline{BC0}$		A0/D0	$\overline{BC0}$/D0	
P2_1	A1		$\overline{BC2}$	A1/D1		$\overline{BC2}$/D1
P2_2 ~ P2_7	A2 ~ A7			A2/D2 ~ A7/D7		
P3_0 ~ P3_7	A8 ~ A15			A8/D8 ~ A15/D15		
P4_0 ~ P4_3	A16 ~ A19			A16 ~ A19または入出力ポート		
P4_4	A20または$\overline{CS3}$					
P4_5	A21または$\overline{CS2}$					
P4_6	A22または$\overline{CS1}$					
P4_7	A23または$\overline{CS0}$ (マイクロプロセッサモード時は$\overline{CS0}$固定)					
P5_0	$\overline{WR}$または$\overline{WR0}$					
P5_1	不定(注2)	$\overline{BC1}$または$\overline{WR1}$		不定(注2)	$\overline{BC1}$または$\overline{WR1}$	
P5_2	$\overline{RD}$					
P5_3	BCLK					
P5_4	$\overline{HLDA}$または$\overline{CS1}$					
P5_5	$\overline{HOLD}$					
P5_6	ALEまたは$\overline{CS2}$			ALEに設定してください		
P5_7	$\overline{RDY}$または$\overline{CS3}$					
P11_0 ~ P11_2	$\overline{CS0}$ ~ $\overline{CS2}$または入出力ポート					
P11_3	$\overline{CS3}$または入出力ポート		$\overline{CS3}$または$\overline{WR2}$	$\overline{CS3}$または入出力ポート		$\overline{CS3}$または$\overline{WR2}$
P11_4	入出力ポート		$\overline{BC3}$または$\overline{WR3}$	入出力ポート		$\overline{BC3}$または$\overline{WR3}$
P12_0 ~ P12_7	入出力ポート		D16 ~ D23	入出力ポート		D16 ~ D23
P13_0 ~ P13_7	入出力ポート		D24 ~ D31	入出力ポート		D24 ~ D31

注1. ポートP11~P15は144ピン版にのみあります。
注2. 不定値が出力されます。

9.3.4 リード、ライト信号

データバスが16ビットまたは32ビットのとき、リード、ライト信号はPM0レジスタのPM02ビットで、$\overline{RD}$、$\overline{WR}$、$\overline{BC0}$、$\overline{BC1}$、$\overline{BC2}$、$\overline{BC3}$の組み合わせ、または$\overline{RD}$、$\overline{WR0}$、$\overline{WR1}$、$\overline{WR2}$、$\overline{WR3}$の組み合わせを選択できます。

PBCレジスタのEXBW1~EXBW0ビットが“00b”(外部領域は8ビットデータバスのみ)のとき、PM02ビットを“0”($\overline{RD}$/$\overline{WR}$/$\overline{BC0}$/$\overline{BC1}$/$\overline{BC2}$/$\overline{BC3}$)にしてください。EXBW1~EXBW0ビットが“01b”(外部領域は最大16ビット幅)または“10b”(外部領域は最大32ビット幅)で、8ビット幅の領域をアクセスするとき、PM02ビットの値にかかわらず、$\overline{RD}$、$\overline{WR}$、$\overline{BC0}$、$\overline{BC1}$、$\overline{BC2}$、$\overline{BC3}$の組み合わせとなります。

表9.4、表9.5に各信号の動作を示します。

リセット後、リード、ライト信号は$\overline{RD}$、$\overline{WR}$、$\overline{BC0}$、$\overline{BC1}$、$\overline{BC2}$、$\overline{BC3}$の組み合わせです。$\overline{RD}$、$\overline{WR0}$、$\overline{WR1}$、$\overline{WR2}$、$\overline{WR3}$の組み合わせに切り替えるときは、PM02ビットを切り替えてから外部のメモリに書いてください。

表9.4 $\overline{RD}$、$\overline{WR0}$、$\overline{WR1}$、$\overline{WR2}$、$\overline{WR3}$の動作(注1)

データバス幅	$\overline{RD}$	$\overline{WR0}$	$\overline{WR1}$	$\overline{WR2}$	$\overline{WR3}$	外部データバスの状態
32ビット (注2)	L	H	H	H	H	4バイトのデータを読む
	H	L	H	H	H	4n+0番地に1バイトのデータを書く
	H	H	L	H	H	4n+1番地に1バイトのデータを書く
	H	H	H	L	H	4n+2番地に1バイトのデータを書く
	H	H	H	H	L	4n+3番地に1バイトのデータを書く
	H	L	L	H	H	4n+0~1番地に2バイトのデータを書く
	H	H	L	L	H	4n+1~2番地に2バイトのデータを書く
	H	H	H	L	L	4n+2~3番地に2バイトのデータを書く
	H	L	L	L	H	4n+0~2番地に3バイトのデータを書く
	H	H	L	L	L	4n+1~3番地に3バイトのデータを書く
	H	L	L	L	L	4n+0~3番地に4バイトのデータを書く
16ビット	L	H	H	H/L (A1)	—	2バイトのデータを読む
	H	L	H	H/L (A1)	—	偶数番地に1バイトのデータを書く
	H	H	L	H/L (A1)	—	奇数番地に1バイトのデータを書く
	H	L	L	H/L (A1)	—	偶奇数両番地に2バイトのデータを書く
8ビット	L	H ($\overline{WR}$)	—	H/L (A1)	—	1バイトのデータを読む
	H	L ($\overline{WR}$)	—	H/L (A1)	—	1バイトのデータを書く

注1. $\overline{WR2}$、$\overline{WR3}$は144ピン版にのみあります。

注2. 144ピン版でのみ指定できます。

表 9.5　$\overline{RD}$、$\overline{WR}$、$\overline{BC0}$、$\overline{BC1}$、$\overline{BC2}$、$\overline{BC3}$の動作(注1)

データバス幅	$\overline{RD}$	$\overline{WR}$	$\overline{BC0}$	$\overline{BC1}$	$\overline{BC2}$	$\overline{BC3}$	外部データバスの状態
32ビット (注2)	L	H	L	L	L	L	4バイトのデータを読む
	H	L	L	H	H	H	4n+0番地に1バイトのデータを書く
	H	L	H	L	H	H	4n+1番地に1バイトのデータを書く
	H	L	H	H	L	H	4n+2番地に1バイトのデータを書く
	H	L	H	H	H	L	4n+3番地に1バイトのデータを書く
	H	L	L	L	H	H	4n+0~1番地に2バイトのデータを書く
	H	L	H	L	L	H	4n+1~2番地に2バイトのデータを書く
	H	L	H	H	L	L	4n+2~3番地に2バイトのデータを書く
	H	L	L	L	L	H	4n+0~2番地に3バイトのデータを書く
	H	L	H	L	L	L	4n+1~3番地に3バイトのデータを書く
	H	L	L	L	L	L	4n+0~3番地に4バイトのデータを書く
16ビット	L	H	L	L	H/L (A1)	—	2バイトのデータを読む
	H	L	L	H	H/L (A1)	—	偶数番地に1バイトのデータを書く
	H	L	H	L	H/L (A1)	—	奇数番地に1バイトのデータを書く
	H	L	L	L	H/L (A1)	—	偶奇数両番地に2バイトのデータを書く
8ビット	L	H	H/L (A0)	—	H/L (A1)	—	1バイトのデータを読む
	H	L	H/L (A0)	—	H/L (A1)	—	1バイトのデータを書く

注1.　$\overline{BC2}$、$\overline{BC3}$は144ピン版にのみあります。
注2.　144ピン版でのみ指定できます。

9.3.5　外部バスタイミング

外部バスのタイミングは、EBC0~EBC3レジスタで行います。基準クロックはCCRレジスタのBCD1~BCD0ビットで設定されるベースクロックです。

MPY1~MPY0ビット、ESUR1~ESUR0ビットの設定値とTsu(A-R) (リード前アドレスセットアップサイクル数) の関係を表 9.6に、MPY1~MPY0ビット、EWR1~EWR0ビットの設定値とTw(R) (リードパルス幅) の関係を表 9.7に、MPY1~MPY0ビット、ESUW1~ESUW0ビットの設定値とTsu(A-W) (ライト前アドレスセットアップサイクル数) の関係を表 9.8 に、MPY1~MPY0 ビット、EWW1~EWW0 ビットの設定値とTw(W) (ライトパルス幅) の関係を表 9.9にそれぞれ示します。

表 9.6　MPY1~MPY0ビット、ESUR1~ESUR0ビットの設定値とTsu(A-R)の関係(単位:サイクル)

ESUR1~ESUR0ビットの設定値		セパレートバス				マルチプレクスバス			
		MPY1~MPY0ビットの設定値				MPY1~MPY0ビットの設定値			
		00b	01b	10b	11b	00b	01b	10b	11b
		mpy=1	*mpy*=2	*mpy*=3	*mpy*=4	*mpy*=1	*mpy*=2	*mpy*=3	*mpy*=4
00b	*sur*=0	0.5	0.5	0.5	0.5	1	1	1	1
01b	*sur*=1	1.5	2.5	3.5	4.5	2	3	4	5
10b	*sur*=2	2.5	4.5	6.5	8.5	3	5	7	9
11b	*sur*=3	3.5	6.5	9.5	12.5	4	7	10	13
計算式		Tsu(A-R) = *sur* × *mpy* + 0.5				Tsu(A-R) = *sur* × *mpy* + 1			

表 9.7 MPY1~MPY0ビット、EWR1~EWR0ビットの設定値とTw(R)の関係(単位:サイクル)

EWR1~EWR0ビットの設定値		セパレートバス				マルチプレクスバス			
		MPY1~MPY0ビットの設定値				MPY1~MPY0ビットの設定値			
		00b	01b	10b	11b	00b	01b	10b	11b
		mpy=1	*mpy*=2	*mpy*=3	*mpy*=4	*mpy*=1	*mpy*=2	*mpy*=3	*mpy*=4
00b	*wr*=1	1.5	2.5	3.5	4.5	0.5 (注1)	1.5	2.5	3.5
01b	*wr*=2	2.5	4.5	6.5	8.5	1.5	3.5	5.5	7.5
10b	*wr*=3	3.5	6.5	9.5	12.5	2.5	5.5	8.5	11.5
11b	*wr*=4	4.5	8.5	12.5	16.5	3.5	7.5	11.5	15.5
計算式		Tw(R) = *wr* × *mpy* + 0.5				Tw(R) = *wr* × *mpy* - 0.5			

注1. 設定しないでください。

表 9.8 MPY1~MPY0ビット、ESUW1~ESUW0ビットの設定値とTsu(A-W)の関係(単位:サイクル)

ESUW1~ESUW0ビットの設定値		MPY1~MPY0ビットの設定値			
		00b	01b	10b	11b
		mpy=1	*mpy*=2	*mpy*=3	*mpy*=4
00b	*suw*=0	1	1	1	1
01b	*suw*=1	2	3	4	5
10b	*suw*=2	3	5	7	9
11b	*suw*=3	4	7	10	13
計算式		Tsu(A-W) = *suw* × *mpy* + 1			

表 9.9 MPY1~MPY0ビット、EWW1~EWW0ビットの設定値とTw(W)の関係(単位:サイクル)

EWW1~EWW0ビットの設定値		MPY1~MPY0ビットの設定値			
		00b	01b	10b	11b
		mpy=1	*mpy*=2	*mpy*=3	*mpy*=4
00b	*ww*=1	0.5 (注1)	1.5	2.5	3.5
01b	*ww*=2	1.5	3.5	5.5	7.5
10b	*ww*=3	2.5	5.5	8.5	11.5
11b	*ww*=4	3.5	7.5	11.5	15.5
計算式		Tw(W) = *ww* × *mpy* - 0.5			

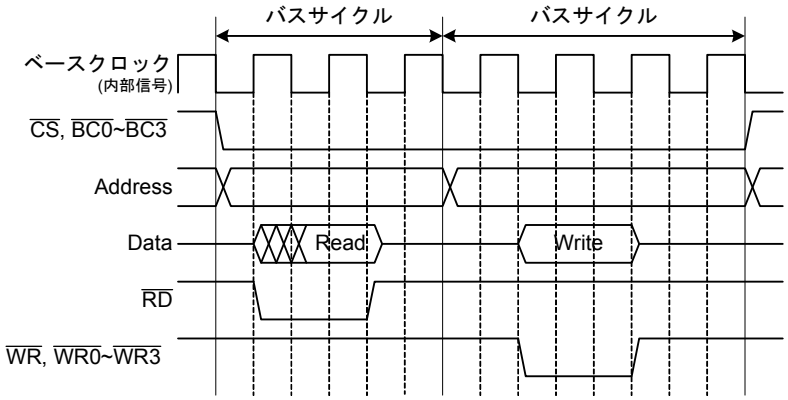
注1. 設定しないでください。

MPXビットが“0”(セパレートバス)のときの外部バスタイミング例を図9.13に、MPXビットが“1”(マルチプレクスバス)のときの外部バスタイミング例を図9.14に示します。

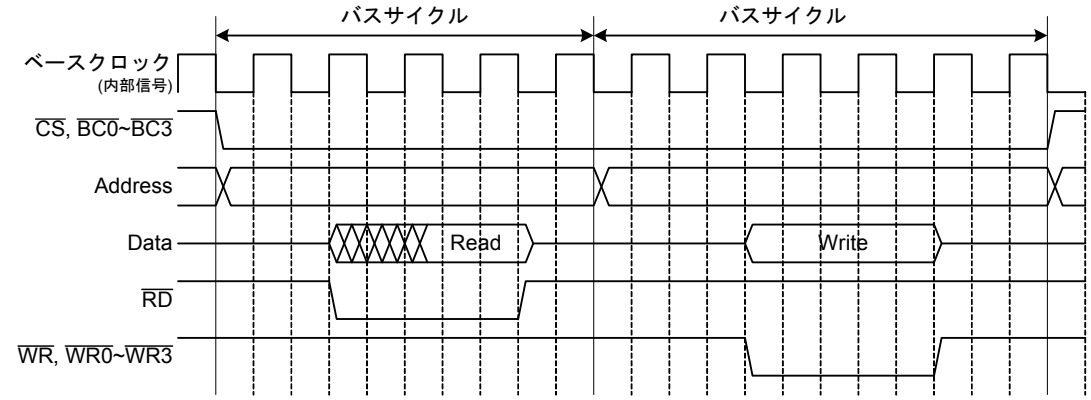
なお、実際のバスサイクル数は、以下のように周辺バスクロック周期の整数倍になるよう調整されます。

- 2分周の場合　バスサイクル数の計算値が奇数の場合、バスサイクル数が偶数となるようにアイドルサイクルが挿入される
- 3分周の場合　バスサイクル数の計算値が3の倍数でない場合、バスサイクル数が3の倍数となるようにアイドルサイクルが挿入される
- 4分周の場合　バスサイクル数の計算値が4の倍数でない場合、バスサイクル数が4の倍数となるようにアイドルサイクルが挿入される

(A) EBCiレジスタが XX01 0100 0001 0000b の場合



(B) EBCiレジスタが XX01 1001 0001 0101b の場合



(C) EBCiレジスタが XX01 0101 0101 0101b の場合

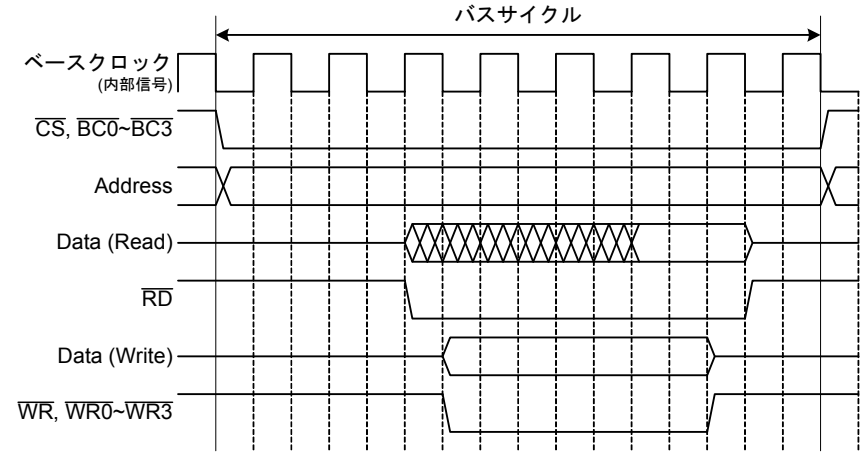
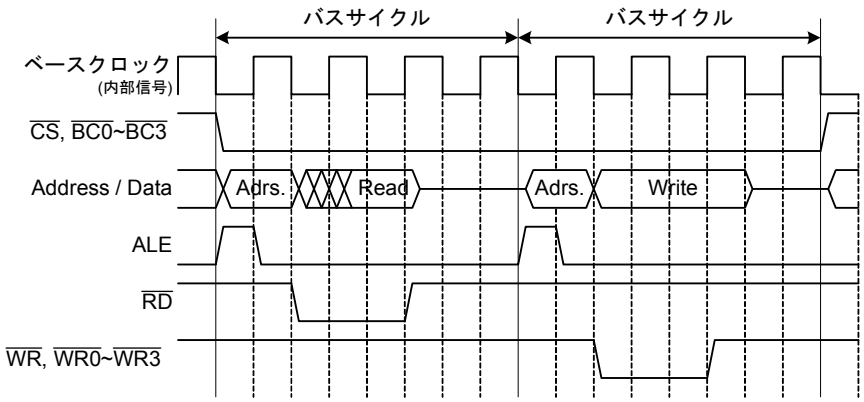
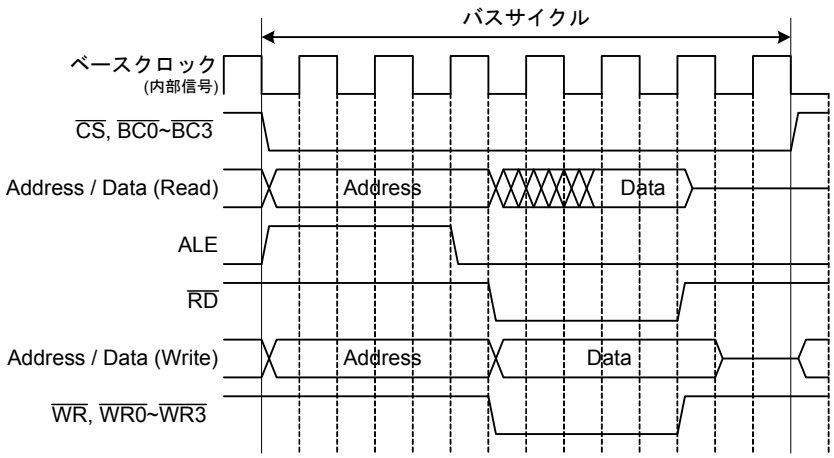


図 9.13　セパレートバス選択時の外部バスタイミング例(i=0~3)

(A) EBCiレジスタが XX11 0100 0001 0100b の場合



(B) EBCiレジスタが XX11 1010 0001 1010b の場合



(C) EBCiレジスタが XX11 0101 0101 0101b の場合

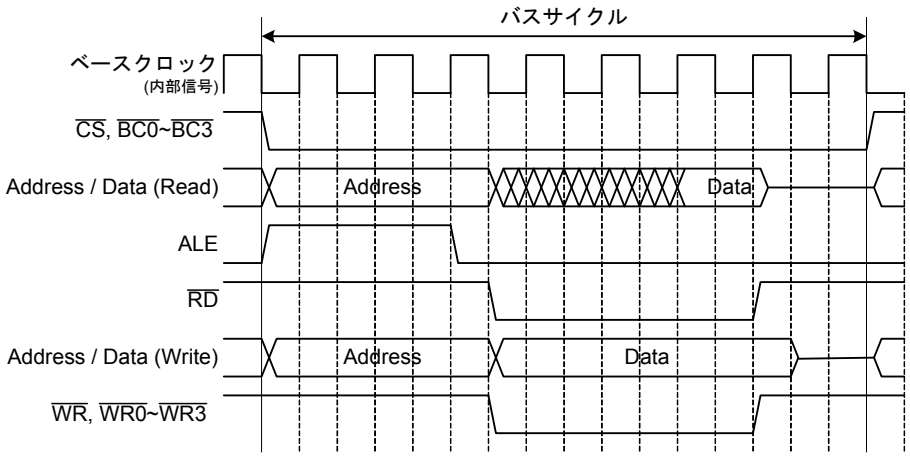


図 9.14 マルチプレクスバス選択時の外部バスタイミング例(i=0~3)

9.3.6 ALE信号

マルチプレクスバスのアドレスをラッチするための信号です。ALE信号の立ち下がりでアドレスをラッチしてください。ALE信号は内部領域、外部領域どちらをアクセスするかにかかわらず出力します。

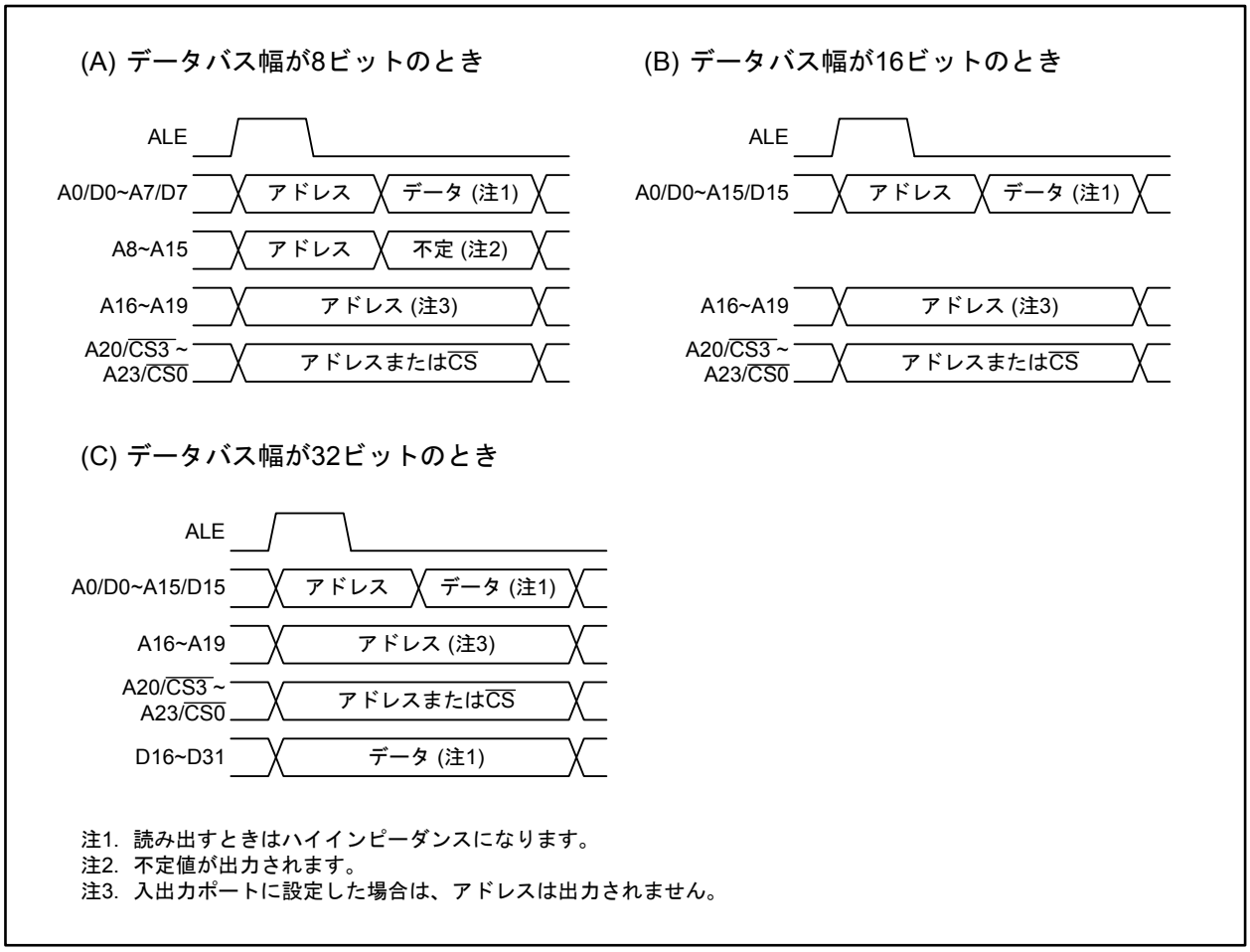


図 9.15 ALE信号とアドレスバス、データバス

ALE信号は、バスサイクルの開始とともに“H”になり、リード信号またはライト信号が“L”になる半ベースクロック前に“L”になります。

9.3.7 $\overline{\text{RDY}}$信号

EBC0~EBC3 レジスタによるタイミング設定以上にアクセス速度が遅い外部デバイスを接続する場合や、1 つの $\overline{\text{CS}}$ 領域にアクセスタイミングが異なる複数のデバイスを接続する場合に、外部のコントローラがCPUに対しバスサイクルを延長させるために使用する信号です。

EBC0~EBC3 レジスタの RDY ビットが “1” ($\overline{\text{RDY}}$ 信号を使用) の場合、ベースクロックの立ち下がり *mpy* 回おきに $\overline{\text{RDY}}$ 端子をサンプリングし、“L”が入力されているとバスサイクルにウェイトが挿入されます。その後、ベースクロックの立ち下がり *mpy* 回おきに $\overline{\text{RDY}}$ 端子を確認し、“H”が入力されると、残りのバスサイクルを実行します。

ベースクロックは外部端子に出力されていませんので、実際には $\overline{\text{RD}}$、$\overline{\text{WR}}$、$\overline{\text{WR0}}$~$\overline{\text{WR3}}$ 信号が“L”のときに $\overline{\text{RDY}}$ 信号を“L”にし、BCLK信号の立ち上がりに同期して $\overline{\text{RDY}}$ 信号を“H”にします。

図 9.16 に $\overline{\text{RDY}}$ 信号の生成回路例を、表 9.10 にこの回路を使用するときの EBC0~EBC3 レジスタの設定条件を示します。また、図 9.17 にバスサイクルが $\overline{\text{RDY}}$ 信号によって延長された例を示します。

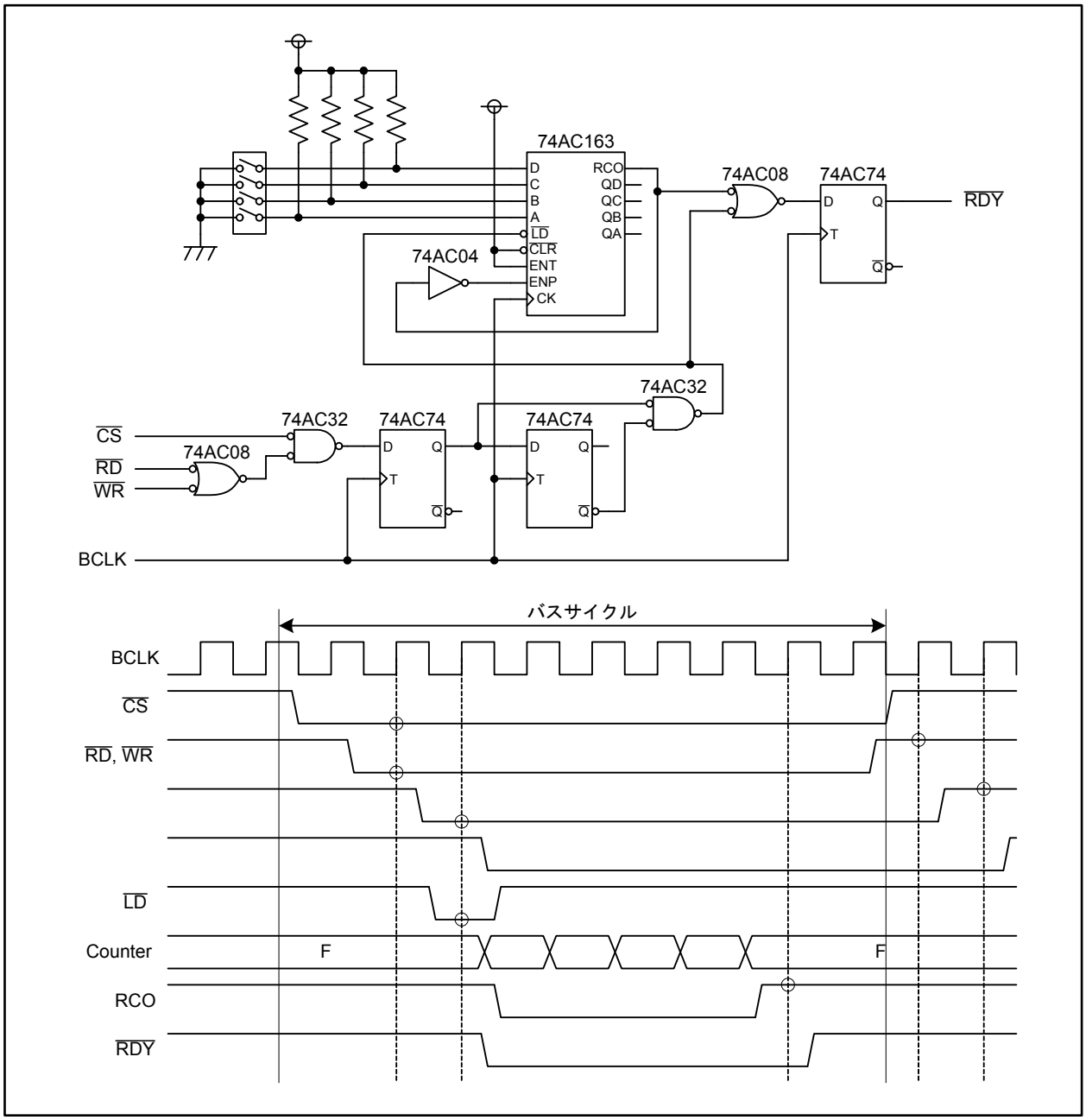


図 9.16 $\overline{\text{RDY}}$信号生成回路例

表 9.10　図 9.16の回路を使用するときのEBCiレジスタの設定条件(i=0~3)

周辺バスクロック周波数	設定条件	設定例
ベースクロック周波数の1/2	*mpy*=3 セパレートバス時 RD信号パルス幅≧9.5 WR信号パルス幅≧11.5 RD/WR信号“H”幅≧2.5 マルチプレクスバス時 RD信号パルス幅≧11.5 WR信号パルス幅≧11.5	 セパレートバス時 EBCi = XX01 1101 1011 1001b など マルチプレクスバス時 EBCi = XX11 1101 1011 1101b など
ベースクロック周波数の1/3	*mpy*=3 セパレートバス時 RD信号パルス幅≧12.5 WR信号パルス幅≧11.5 RD/WR信号“H”幅≧3.5 マルチプレクスバス時 RD信号パルス幅≧11.5 WR信号パルス幅≧11.5	 セパレートバス時 EBCi = XX01 1101 1011 1101b など マルチプレクスバス時 EBCi = XX11 1101 1011 1101b など
ベースクロック周波数の1/4	*mpy*=4 セパレートバス時 RD信号パルス幅≧20.5 WR信号パルス幅≧19.5 RD/WR信号“H”幅≧4.5 マルチプレクスバス時 RD信号パルス幅≧19.5 WR信号パルス幅≧19.5	 セパレートバス時 使用不可能 マルチプレクスバス時 使用不可能

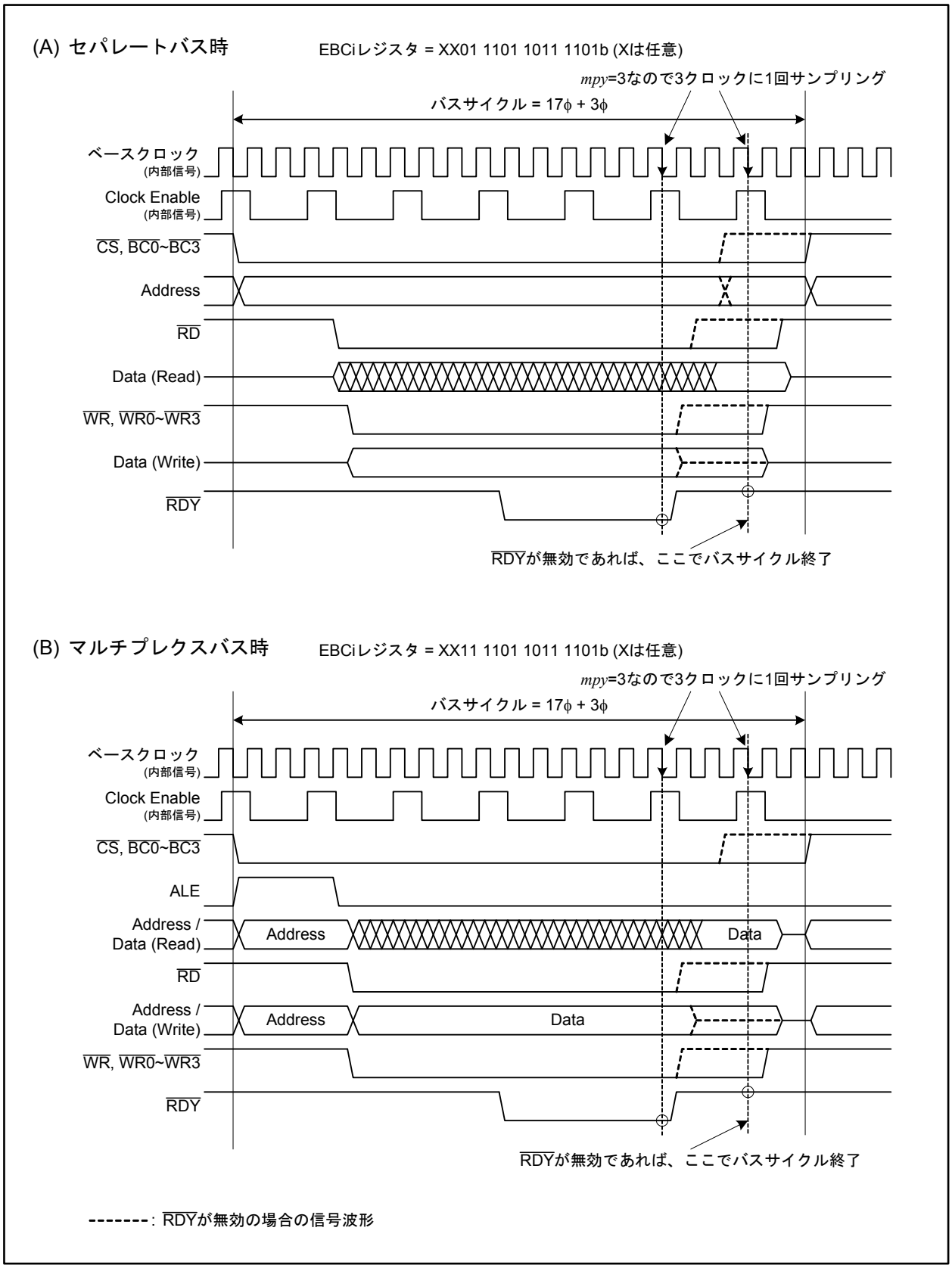


図 9.17　バスサイクルがRDYによって延長された例(f(BCLK)=1/2 f(Base)) (i=0~3)

9.3.8 $\overline{\text{HOLD}}$信号

外部バスマスタが外部バスの使用権をCPUに要求するための信号です。外部バスマスタが$\overline{\text{HOLD}}$端子を“L”にすると、CPUはその時点のバスサイクルを終了した後$\overline{\text{HLDA}}$端子から“L”を出力し、外部バスを外部バスマスタへ譲渡します。CPUは$\overline{\text{HOLD}}$端子が“L”の期間は次のバスサイクルを開始しません。

外部バスマスタが外部バスの使用権をCPUに返すときは、$\overline{\text{HOLD}}$端子を“H”にします。このとき、$\overline{\text{HLDA}}$端子が“L”になっていることを確認してから$\overline{\text{HOLD}}$端子を“H”にしてください。

表9.11にホールド中のマイクロコンピュータの状態を示します。

なお、バスの使用優先順位は高い方から順に、外部バスマスタ、DMAC、CPUとなります。

表9.11 ホールド中のマイクロコンピュータの状態

項目	状態
発振	動作
アドレスバス、データバス、$\overline{\text{CS0}}$~$\overline{\text{CS3}}$、$\overline{\text{BC0}}$~$\overline{\text{BC3}}$	ハイインピーダンス
$\overline{\text{RD}}$, $\overline{\text{WR}}$, $\overline{\text{WR0}}$~$\overline{\text{WR3}}$	ハイインピーダンス
プログラマブル入出力ポート	$\overline{\text{HOLD}}$信号を受け付けたときの状態を保持
$\overline{\text{HLDA}}$端子	“L”を出力
内蔵周辺回路	動作(ただしウォッチドッグタイマは停止)
ALE端子	“L”を出力

9.3.9 BCLK出力

BCLKは周辺バスクロックと同じ周波数のクロックで、PLLが生成したクロックを分周したものです。メモリ拡張モード、マイクロプロセッサモード時に、PM0レジスタのPM07ビットを“0” (BCLK出力)、CM0レジスタのCM01~CM00ビットを“00b” (入出力ポートP5_3)にすると、P5_3より出力されます。シングルチップモード時にBCLKを出力することはできません。詳細は、「8. クロック発生回路」を参照してください。

9.4 内部領域をアクセスしたときの外部バスの状態

表9.12に内部領域をアクセスしたときの外部バスの状態を示します。

表9.12 内部領域をアクセスしたときの外部バスの状態

端子		SFRをアクセスしたとき	内部メモリをアクセスしたとき
アドレスバス		アドレスを出力	直前にアクセスされたSFRまたは外部領域のアドレスを保持
データバス	リード時	ハイインピーダンス	ハイインピーダンス
	ライト時	データを出力	不定
$\overline{\text{CS0}}$~$\overline{\text{CS3}}$		“H”を出力	“H”を出力
$\overline{\text{BC0}}$~$\overline{\text{BC3}}$		$\overline{\text{BC0}}$~$\overline{\text{BC3}}$を出力	直前にアクセスされたSFRまたは外部領域のアドレスを保持
$\overline{\text{RD}}$, $\overline{\text{WR}}$, $\overline{\text{WR0}}$~$\overline{\text{WR3}}$		$\overline{\text{RD}}$、$\overline{\text{WR}}$、$\overline{\text{WR0}}$~$\overline{\text{WR3}}$を出力	“H”を出力
ALE		ALE信号を出力	ALE信号を出力

9.5 バスの注意事項

9.5.1 システム設計上の注意事項

メモリ拡張モードを使用し、かつフラッシュメモリのCPU書き換えを実施する場合、$\overline{CS0}$領域と$\overline{CS3}$領域には以下の制限があります。CPU書き換え時にもアクセスしたいデバイスは$\overline{CS1}$領域と$\overline{CS2}$領域に配置してください。

- CPU書き換え時にFEBC0、FEBC3レジスタを設定すると、該当する領域はセパレートバスになります。外部デバイスをマルチプレクスバスで接続していた場合、当該デバイスにはアクセスできなくなります。
- CPU書き換え時にFEBC0、FEBC3レジスタを設定すると、該当する領域のバスタイミングが変わります。設定内容によっては外部デバイスにアクセスできなくなる場合があります。

9.5.2 レジスタ設定上の注意事項

9.5.2.1 チップセレクト境界設定レジスタについて

メモリ拡張モードを使用しない場合、CB01、CB12、CB23レジスタの値をリセット後の値のまま変更しないでください。

メモリ拡張モードを使用する場合、これらのレジスタは各チップセレクト領域を使用する/しないに関わらず、すべて指定の範囲の値を設定してください。

9.5.2.2 外部バス制御レジスタについて

EBC0、EBC3レジスタはそれぞれFEBC0、FEBC3レジスタとアドレスを共有しています。フラッシュメモリ書き換え時にFEBC0、FEBC3レジスタを変更した場合、フラッシュメモリ書き換え完了後、EBC0、EBC3レジスタを再設定してください。

10. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタが容易に書き換えられないように保護する機能です。PRCR レジスタと、PRCR2~PRCR3 レジスタ、PRR レジスタがあります。

10.1 プロテクトレジスタ (PRCR レジスタ)

図 10.1 にPRCR レジスタを示します。PRCR レジスタが保護するレジスタは表 10.1 のとおりです。

表 10.1　PRCR レジスタが保護するレジスタ

ビット	保護されるレジスタ
PRC0 ビット	CM0 レジスタ、CM1 レジスタ、CM2 レジスタ、PM3 レジスタ
PRC1 ビット	PM0 レジスタ、PM2 レジスタ、CSOP0 レジスタ、CSOP1 レジスタ、CSOP2 レジスタ、INVC0 レジスタ、INVC1 レジスタ、IOBC レジスタ、I2CMR レジスタ
PRC2 ビット	PLC0 レジスタ、PLC1 レジスタ、PD9 レジスタ、P9_iS レジスタ (i=0~7)

PRC2 ビットを“1” (書き込み許可)にした後､任意の番地に書き込みを実行すると“0” (書き込み禁止)になります。PD9 レジスタ、P9_iS レジスタ (i=0~7)、PLC0 レジスタ、PLC1 レジスタは、PRC2 ビットを“1”にした次の命令で変更してください。また、PRC2 ビットを“1”にする命令と次の命令の間に割り込みやDMA 転送が入らないようにしてください。PRC1、PRC0 ビットは任意の番地に書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

プロテクトレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
PRCR	4004Ah番地	XXXX X000b

ビットシンボル	ビット名	機　能	RW
PRC0	プロテクトビット0	CM0、CM1、CM2、PM3レジスタに対する書き込み許可 0: 書き込み禁止 1: 書き込み許可	RW
PRC1	プロテクトビット1	PM0、PM2、CSOP0、CSOP1、CSOP2、INVC0、INVC1、IOBC、I2CMRレジスタに対する書き込み許可 0: 書き込み禁止 1: 書き込み許可	RW
PRC2	プロテクトビット2　(注1)	PLC0、PLC1、PD9、P9_iS (i=0~7) レジスタに対する書き込み許可 0: 書き込み禁止 1: 書き込み許可	RW
— (b7-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. PRC2ビットは“1”を書いた後、任意の番地に書き込みを実行すると“0”になります。

図 10.1　PRCR レジスタ

10.2　プロテクトレジスタ2 (PRCR2レジスタ)

図 10.2にPRCR2レジスタを示します。PRCR2レジスタが保護するレジスタはCM3レジスタのみです。

プロテクトレジスタ2

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット後の値
PRCR2	4405Fh番地	0XXX XXXXb

ビットシンボル	ビット名	機　能	RW
— (b6-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
PRC27	CM3プロテクトビット	CM3レジスタに対する書き込み許可 0: 書き込み禁止 1: 書き込み許可	RW

図 10.2　PRCR2レジスタ

10.3　プロテクトレジスタ3 (PRCR3レジスタ)

図 10.3にPRCR3レジスタを示します。PRCR3レジスタが保護するレジスタは表 10.2のとおりです。

表 10.2　PRCR3レジスタが保護するレジスタ

ビット	保護されるレジスタ
PRC31ビット	VRCRレジスタ、LVDCレジスタ、DVCRレジスタ

プロテクトレジスタ3

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0	0		0

シンボル	アドレス	リセット後の値
PRCR3	4004Ch番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
— (b0)	予約ビット	“0”にしてください	RW
PRC31	プロテクトビット31	VRCR、LVDC、DVCRレジスタに対する書き込み許可 0: 書き込み禁止 1: 書き込み許可	RW
— (b7-b2)	予約ビット	“0”にしてください	RW

図 10.3　PRCR3レジスタ

10.4　プロテクト解除レジスタ (PRR レジスタ)

図 10.4 に PRR レジスタを示します。PRR レジスタが保護するレジスタは表 10.3 のとおりです。

表 10.3　PRR レジスタが保護するレジスタ

CCR レジスタ、FMCR レジスタ、PBC レジスタ、FEBC0 レジスタ、FEBC3 レジスタ、EBC0~EBC3 レジスタ、CB01 レジスタ、CB12 レジスタ、CB23 レジスタ

PRR レジスタに“AAh” (書き込み許可) を書いた後、上記のレジスタに書き込みできます。上記のレジスタにデータを書く必要がないときは、意図しない書き込みから上記レジスタを保護するために、PRR レジスタには“AAh”以外の値を書いてください。

プロテクト解除レジスタ

b7 b0

シンボル	アドレス	リセット後の値
PRR	0007h番地	00h

機　能	設定範囲	RW
CCR、FMCR、PBC、FEBC0、FEBC3、EBC0~EBC3、CB01、CB12、CB23レジスタに対するプロテクトを制御します AAh:　書き込み許可 AAh以外:　書き込み禁止	00h~FFh	RW

図 10.4　PRR レジスタ

11. 割り込み

11.1 割り込みの分類

図 11.1に割り込みの分類を示します。

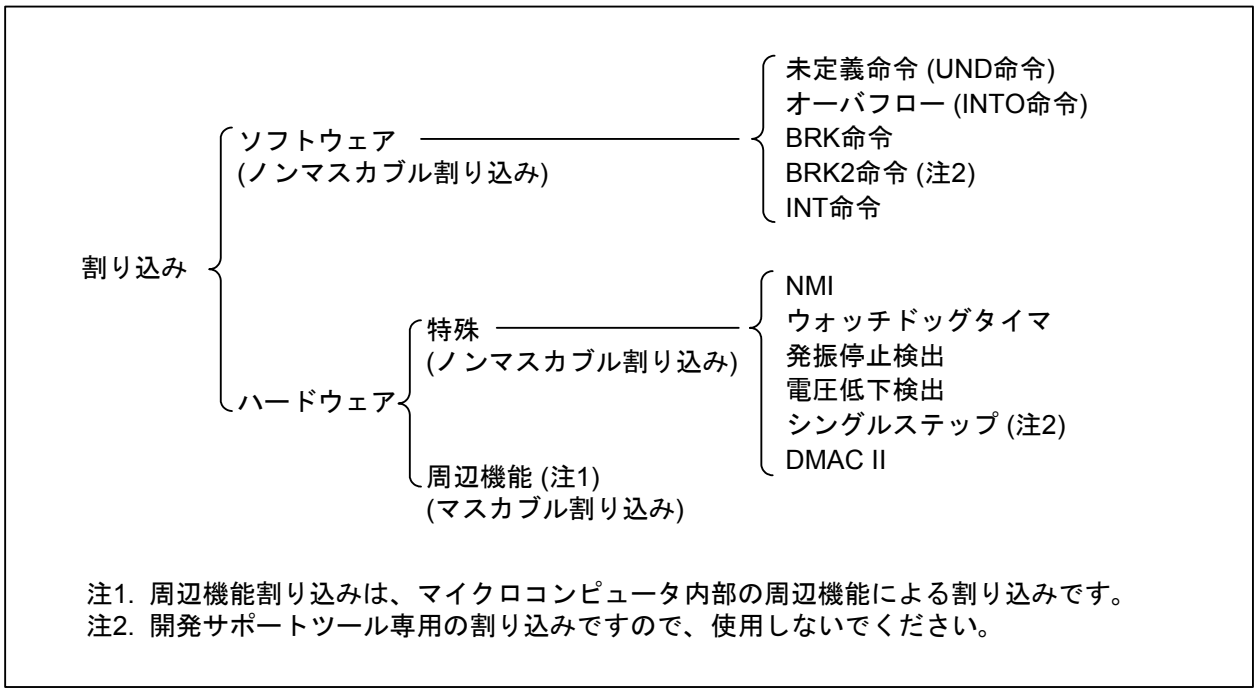


図 11.1 割り込みの分類

また、上記分類のほか、マスクの可、不可によりマスカブル割り込みとノンマスカブル割り込みに分類できます。

(1) マスカブル割り込み

割り込み許可フラグ (I フラグ) による割り込み許可 / 禁止や、割り込み要求レベルによる割り込み優先順位の変更が可能な割り込みです。

(2) ノンマスカブル割り込み

割り込み許可フラグ (I フラグ) による割り込み許可 / 禁止や、割り込み要求レベルによる割り込み優先順位の変更が不可能な割り込みです。

11.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスカブル割り込みです。

ソフトウェア割り込みには以下の5つがあります。

(1) 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

(2) オーバフロー割り込み

オーバフロー割り込みは、オーバフローフラグ(Oフラグ)が“1”のときINTO命令を実行すると発生します。演算によってOフラグが変化する命令は以下のとおりです。

ABS, ADC, ADCF, ADD, ADDF, ADSF, CMP, CMPF, CNVIF, DIV, DIVF, DIVU, DIVX, EDIV, EDIVU, EDIVX, MUL, MULF, MULU, MULX, NEG, RMPA, ROUND, SBB, SCMPU, SHA, SUB, SUBF, SUNTIL, SWHILE

(3) BRK命令割り込み

BRK命令割り込みはBRK命令を実行すると発生します。

(4) BRK2命令割り込み

BRK2命令割り込みはBRK2命令を実行すると発生します。

開発サポートツール専用の割り込みですので、使用しないでください。

(5) INT命令割り込み

INT命令割り込みは、ソフトウェア割り込み番号0~255を指定し、INT命令を実行すると発生します。なお、ソフトウェア割り込み番号0~127は周辺機能割り込みに割り当てられますので、INT命令を実行することで周辺機能割り込みと同じ割り込み処理ルーチンを実行できます。

INT命令割り込みに使用するスタックポインタ(SP)は、ソフトウェア割り込み番号によって異なります。ソフトウェア割り込み番号0~127では、割り込み要求受け付け時にスタックポインタ指定フラグ(Uフラグ)を退避し、Uフラグを“0”にして割り込みスタックポインタ(ISP)を選択した後、割り込みシーケンスを実行します。割り込み処理ルーチンから復帰するときに割り込み要求受け付け前のUフラグが復帰されます。ソフトウェア割り込み番号128~255では、スタックポインタは切り替わりません。

11.3 ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺機能割り込みがあります。
周辺機能割り込みでは最優先の割り込み1つだけに高速割り込みを設定することができます。

11.3.1 特殊割り込み

特殊割り込みはノンマスカブル割り込みです。特殊割り込みには以下の5つがあります。

(1) NMI (Non Maskable Interrupt)

NMIは、$\overline{\text{NMI}}$端子からの入力信号が“H”から“L”に変化すると発生します。NMIの詳細は、「11.11 NMI」を参照してください。

(2) ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマ割り込みの詳細は、「12. ウォッチドッグタイマ」を参照してください。

(3) 発振停止検出割り込み

発振停止検出機能により、メインクロックの発振停止を検出すると発生する割り込みです。発振停止検出の詳細は、「8.2 発振停止検出機能」を参照してください。

(4) 電圧低下検出割り込み

電圧検出回路機能により、VCC端子の電圧低下を検出すると発生する割り込みです。電圧検出回路の詳細は、「6.2 電圧低下検出回路」を参照してください。

(5) シングルステップ割り込み

開発サポートツール専用の割り込みですので、使用しないでください。

11.3.2 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。割り込みベクタテーブルはINT命令で使用するソフトウェア割り込み番号0~127と同一です。周辺機能割り込みは、マスカブル割り込みです。

周辺機能割り込みの割り込み要因は、表 11.2~ 表 11.5 を参照してください。また、周辺機能の詳細は、各機能の説明を参照してください。

11.4 高速割り込み

高速割り込みは、割り込みの応答を高速に実行できる割り込みで、周辺機能割り込みの中で最優先の割り込み1つだけに使用できます。

高速割り込みは以下の手順で利用できます。

(1) RIPL1レジスタとRIPL2レジスタの両方のFSITビットを“1”(割り込み要求レベル7は高速割り込みに使用)にする
(2) RIPL1レジスタとRIPL2レジスタの両方のDMAIIビットを“0”(割り込み要求レベル7は割り込みに使用)にする
(3) 高速割り込み処理ルーチンの先頭番地をVCTレジスタに設定する

この状態で割り込み制御レジスタのILVL2~ILVL0ビットを“111b”(レベル7)にした割り込みが高速割り込みとなります。このとき複数の割り込みをレベル7にしないでください。

高速割り込みでは割り込みを受け付けると、FLGレジスタをSVFレジスタ、PCをSVPレジスタに退避し、VCTレジスタで示される番地からプログラムを実行します。

高速割り込み処理ルーチンからの復帰にはFREIT命令を実行してください。FREIT命令を実行すると、SVFレジスタ、SVPレジスタに退避していた値が、それぞれFLGレジスタ、PCに復帰します。

11.5　割り込みベクタ

割り込みベクタはそれぞれ4バイトから構成されています。割り込みベクタには割り込み処理ルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。図11.2に割り込みベクタの内容を示します。

図 11.2　割り込みベクタ

11.5.1　固定ベクタテーブル

固定ベクタテーブルはFFFFFFDCh番地からFFFFFFFFh番地に配置されています。表11.1に固定ベクタテーブルを示します。

表 11.1　固定ベクタテーブル

割り込み要因	ベクタテーブル番地 (番地(L)~番地(H))	備　考	参照先
未定義命令	FFFFFFDCh~FFFFFFDFh	UND命令で割り込み	R32C/100シリーズ ソフトウェアマニュアル
オーバフロー	FFFFFFE0h~FFFFFFE3h	INTO命令で割り込み	
BRK命令	FFFFFFE4h~FFFFFFE7h	FFFFFFE7h番地が“FFh”の場合は可変ベクタテーブル内のソフトウェア割り込み番号0のベクタが示す番地へ分岐	
—	FFFFFFE8h~FFFFFFEBh	予約領域	
—	FFFFFFECh~FFFFFFEFh	予約領域	
ウォッチドッグタイマ 発振停止検出 電圧低下検出	FFFFFFF0h~FFFFFFF3h	ウォッチドッグタイマ割り込みと発振停止検出割り込みと電圧低下検出割り込みで共用	12. ウォッチドッグタイマ 8. クロック発生回路 6.2 電圧低下検出回路
—	FFFFFFF4h~FFFFFFF7h	予約領域	
NMI	FFFFFFF8h~FFFFFFFBh	$\overline{\text{NMI}}$端子による外部割り込み	
リセット	FFFFFFFCh~FFFFFFFFh		5. リセット

11.5.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から1024バイトが可変ベクタテーブルの領域となります。表11.2~表11.5に可変ベクタテーブルを示します。

INTBレジスタに設定する値は4の倍数にしてください。4の倍数を設定したほうが割り込みシーケンスの実行速度が速くなります。

表 11.2 可変ベクタテーブル(1)

割り込み要因	ベクタテーブル相対番地 (番地(L)~番地(H))(注1)	ソフトウェア 割り込み番号	参照先
BRK命令(注2)	+0~+3 (0000h~0003h)	0	R32C/100シリーズ ソフトウェア マニュアル
予約領域	+4~+7 (0004h~0007h)	1	
UART5送信、NACK(注3)	+8~+11 (0008h~000Bh)	2	18. シリアルインタフェース
UART5受信、ACK(注3)	+12~+15 (000Ch~000Fh)	3	
UART6送信、NACK(注3)	+16~+19 (0010h~0013h)	4	
UART6受信、ACK(注3)	+20~+23 (0014h~0017h)	5	
バス衝突検出、スタートコンディション検出またはストップコンディション検出(UART5またはUART6)(注3、4)	+24~+27 (0018h~001Bh)	6	
予約領域	+28~+31 (001Ch~001Fh)	7	
DMA0転送完了	+32~+35 (0020h~0023h)	8	13. DMAC
DMA1転送完了	+36~+39 (0024h~0027h)	9	
DMA2転送完了	+40~+43 (0028h~002Bh)	10	
DMA3転送完了	+44~+47 (002Ch~002Fh)	11	
タイマA0	+48~+51 (0030h~0033h)	12	16.1 タイマA
タイマA1	+52~+55 (0034h~0037h)	13	
タイマA2	+56~+59 (0038h~003Bh)	14	
タイマA3	+60~+63 (003Ch~003Fh)	15	
タイマA4	+64~+67 (0040h~0043h)	16	
UART0送信、NACK(注3)	+68~+71 (0044h~0047h)	17	18. シリアルインタフェース
UART0受信、ACK(注3)	+72~+75 (0048h~004Bh)	18	
UART1送信、NACK(注3)	+76~+79 (004Ch~004Fh)	19	
UART1受信、ACK(注3)	+80~+83 (0050h~0053h)	20	
タイマB0	+84~+87 (0054h~0057h)	21	16.2 タイマB
タイマB1	+88~+91 (0058h~005Bh)	22	
タイマB2	+92~+95 (005Ch~005Fh)	23	
タイマB3	+96~+99 (0060h~0063h)	24	
タイマB4	+100~+103 (0064h~0067h)	25	
INT5	+104~+107 (0068h~006Bh)	26	11.10 外部割り込み
INT4	+108~+111 (006Ch~006Fh)	27	
INT3	+112~+115 (0070h~0073h)	28	
INT2	+116~+119 (0074h~0077h)	29	
INT1	+120~+123 (0078h~007Bh)	30	
INT0	+124~+127 (007Ch~007Fh)	31	
タイマB5	+128~+131 (0080h~0083h)	32	16.2 タイマB

注1. INTBレジスタが示す番地からの相対番地です。
注2. Iフラグで割り込み禁止にはできません。
注3. I^2Cモード時、NACK、ACK、スタートコンディション/ストップコンディション検出が割り込み要因になります。
注4. UART5、UART6のどちらの割り込みに使用するかは、IFSR1レジスタのIFSR16ビットで選択してください。

表 11.3 可変ベクタテーブル(2)

割り込み要因	ベクタテーブル相対番地 (番地(L)~番地(H))(注1)	ソフトウェア割り込み番号	参照先
UART2送信、NACK (注2)/I²Cバスインタフェース(注3)	+132~+135 (0084h~0087h)	33	18. シリアルインタフェース /24. マルチマスタI²Cバスインタフェース
UART2受信、ACK (注2)/I²Cバスライン(注3)	+136~+139 (0088h~008Bh)	34	
UART3送信、NACK (注2)	+140~+143 (008Ch~008Fh)	35	
UART3受信、ACK (注2)	+144~+147 (0090h~0093h)	36	
UART4送信、NACK (注2)	+148~+151 (0094h~0097h)	37	
UART4受信、ACK (注2)	+152~+155 (0098h~009Bh)	38	
バス衝突検出、スタートコンディション検出またはストップコンディション検出(UART2) (注2)	+156~+159 (009Ch~009Fh)	39	
バス衝突検出、スタートコンディション検出またはストップコンディション検出(UART3またはUART0) (注2、4)	+160~+163 (00A0h~00A3h)	40	
バス衝突検出、スタートコンディション検出またはストップコンディション検出(UART4またはUART1) (注2、4)	+164~+167 (00A4h~00A7h)	41	
A/D0	+168~+171 (00A8h~00ABh)	42	19. A/Dコンバータ
キー入力	+172~+175 (00ACh~00AFh)	43	11.12 キー入力割り込み
インテリジェントI/O割り込み0	+176~+179 (00B0h~00B3h)	44	11.13 インテリジェントI/O割り込み、23. インテリジェントI/O
インテリジェントI/O割り込み1	+180~+183 (00B4h~00B7h)	45	
インテリジェントI/O割り込み2	+184~+187 (00B8h~00BBh)	46	
インテリジェントI/O割り込み3	+188~+191 (00BCh~00BFh)	47	
インテリジェントI/O割り込み4	+192~+195 (00C0h~00C3h)	48	
インテリジェントI/O割り込み5	+196~+199 (00C4h~00C7h)	49	
インテリジェントI/O割り込み6	+200~+203 (00C8h~00CBh)	50	
インテリジェントI/O割り込み7	+204~+207 (00CCh~00CFh)	51	
インテリジェントI/O割り込み8	+208~+211 (00D0h~00D3h)	52	
インテリジェントI/O割り込み9	+212~+215 (00D4h~00D7h)	53	
インテリジェントI/O割り込み10	+216~+219 (00D8h~00DBh)	54	
インテリジェントI/O割り込み11	+220~+223 (00DCh~00DFh)	55	
予約領域	+224~+227 (00E0h~00E3h)	56	
予約領域	+228~+231 (00E4h~00E7h)	57	
CAN0ウェイクアップ	+232~+235 (00E8h~00EBh)	58	25. CANモジュール
CAN1ウェイクアップ	+236~+239 (00ECh~00EFh)	59	
予約領域	+240~+243 (00F0h~00F3h)	60	
予約領域	+244~+247 (00F4h~00F7h)	61	
予約領域	+248~+251 (00F8h~00FBh)	62	
予約領域	+252~+255 (00FCh~00FFh)	63	

注1. INTBレジスタが示す番地からの相対番地です。
注2. I²Cモード時、NACK、ACK、スタートコンディション/ストップコンディション検出が割り込み要因になります。
注3. UART2とI²Cバスのどちらを使用するかは、I2CMRレジスタのI2CENビットで選択してください。
注4. UART0、UART3のどちらの割り込みに使用するかは、IFSR0レジスタのIFSR06ビットで、UART1、UART4のどちらの割り込みに使用するかは、IFSR07ビットで選択してください。

表 11.4 可変ベクタテーブル(3)(注1)

割り込み要因	ベクタテーブル相対番地 (番地(L)~番地(H))(注2)	ソフトウェア割り込み番号	参照先
予約領域	+256~+259 (0100h~0103h)	64	
予約領域	+260~+263 (0104h~0107h)	65	
予約領域	+264~+267 (0108h~010Bh)	66	
予約領域	+268~+271 (010Ch~010Fh)	67	
予約領域	+272~+275 (0110h~0113h)	68	
予約領域	+276~+279 (0114h~0117h)	69	
予約領域	+280~+283 (0118h~011Bh)	70	
予約領域	+284~+287 (011Ch~011Fh)	71	
予約領域	+288~+291 (0120h~0123h)	72	
予約領域	+292~+295 (0124h~0127h)	73	
予約領域	+296~+299 (0128h~012Bh)	74	
予約領域	+300~+303 (012Ch~012Fh)	75	
予約領域	+304~+307 (0130h~0133h)	76	
予約領域	+308~+311 (0134h~0137h)	77	
予約領域	+312~+315 (0138h~013Bh)	78	
予約領域	+316~+319 (013Ch~013Fh)	79	
CAN0送信FIFO	+320~+323 (0140h~0143h)	80	25. CANモジュール
CAN0受信FIFO	+324~+327 (0144h~0147h)	81	
CAN1送信FIFO	+328~+331 (0148h~014Bh)	82	
CAN1受信FIFO	+332~+335 (014Ch~014Fh)	83	
予約領域	+336~+339 (0150h~0153h)	84	
予約領域	+340~+343 (0154h~0157h)	85	
予約領域	+344~+347 (0158h~015Bh)	86	
予約領域	+348~+351 (015Ch~015Fh)	87	
予約領域	+352~+355 (0160h~0163h)	88	
予約領域	+356~+359 (0164h~0167h)	89	
予約領域	+360~+363 (0168h~016Bh)	90	
予約領域	+364~+367 (016Ch~016Fh)	91	
予約領域	+368~+371 (0170h~0173h)	92	
INT8	+372~+375 (0174h~0177h)	93	11.10 外部割り込み
INT7	+376~+379 (0178h~017Bh)	94	
INT6	+380~+383 (017Ch~017Fh)	95	

注1. ウェイトモード、ストップモードからの復帰には使用できません。
注2. INTBレジスタが示す番地からの相対番地です。

表 11.5 可変ベクタテーブル(4)(注1)

割り込み要因	ベクタテーブル相対番地 (番地(L)~番地(H))(注2)	ソフトウェア 割り込み番号	参照先
CAN0送信	+384~+387 (0180h~0183h)	96	25. CANモジュール
CAN0受信	+388~+391 (0184h~0187h)	97	
CAN0エラー	+392~+395 (0188h~018Bh)	98	
CAN1送信	+396~+399 (018Ch~018Fh)	99	
CAN1受信	+400~+403 (0190h~0193h)	100	
CAN1エラー	+404~+407 (0194h~0197h)	101	
予約領域	+408~+411 (0198h~019Bh)	102	
予約領域	+412~+415 (019Ch~019Fh)	103	
予約領域	+416~+419 (01A0h~01A3h)	104	
予約領域	+420~+423 (01A4h~01A7h)	105	
予約領域	+424~+427 (01A8h~01ABh)	106	
予約領域	+428~+431 (01ACh~01AFh)	107	
予約領域	+432~+435 (01B0h~01B3h)	108	
予約領域	+436~+439 (01B4h~01B7h)	109	
予約領域	+440~+443 (01B8h~01BBh)	110	
予約領域	+444~+447 (01BCh~01BFh)	111	
予約領域	+448~+451 (01C0h~01C3h)	112	
予約領域	+452~+455 (01C4h~01C7h)	113	
予約領域	+456~+459 (01C8h~01CBh)	114	
予約領域	+460~+463 (01CCh~01CFh)	115	
予約領域	+464~+467 (01D0h~01D3h)	116	
予約領域	+468~+471 (01D4h~01D7h)	117	
予約領域	+472~+475 (01D8h~01DBh)	118	
予約領域	+476~+479 (01DCh~01DFh)	119	
予約領域	+480~+483 (01E0h~01E3h)	120	18. シリアルインタフェース
予約領域	+484~+487 (01E4h~01E7h)	121	
予約領域	+488~+491 (01E8h~01EBh)	122	
予約領域	+492~+495 (01ECh~01EFh)	123	
UART7送信	+496~+499 (01F0h~01F3h)	124	
UART7受信	+500~+503 (01F4h~01F7h)	125	
UART8送信	+504~+507 (01F8h~01FBh)	126	
UART8受信	+508~+511 (01FCh~01FFh)	127	
INT命令(注3)	+0~+3 (0000h~0003h) ~ +1020~+1023 (03FCh~03FFh)	0 ~ 255	11.2 ソフトウェア割り込み

注1. ウェイトモード、ストップモードからの復帰には使用できません。
注2. INTBレジスタが示す番地からの相対番地です。
注3. Iフラグで割り込み禁止にはできません。

11.6 割り込み要求の受け付け

ソフトウェア割り込みと特殊割り込みは、割り込み要求が発生すると無条件に受け付けられます。
周辺機能割り込みは以下の3つの条件がすべて成立したとき受け付けられます。

- Iフラグ =1
- IR ビット =1
- ILVL2~ILVL0 ビット > IPL

I フラグ、IPL、IR ビット、ILVL2~ILVL0 ビットはそれぞれ独立しており、互いに影響を与えることはありません。IフラグとIPLはFLGレジスタにあります。IRビットとILVL2~ILVL0ビットは割り込み制御レジスタにあります。

これらのフラグ、ビットについて以下で説明します。

11.6.1 IフラグとIPL

Iフラグ(割り込み許可フラグ)は、マスカブル割り込みを禁止または許可します。Iフラグを“1”(許可)にすると、すべてのマスカブル割り込みは許可され、“0”(禁止)にすると禁止されます。Iフラグはリセット後“0”(禁止)になります。

IPL(プロセッサ割り込み優先レベル)は3ビットで構成されており、レベル0~7の8段階のプロセッサ割り込み優先レベルを示します。要求があった割り込みの割り込み要求レベル(ILVL2~ILVL0)がIPLより大きい場合、その割り込みは許可されます。

表 11.6にIPLの内容による割り込み許可レベルを示します。

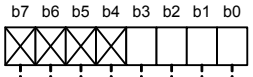
表 11.6 プロセッサ割り込み優先レベル(IPL)の内容と受け付けられる割り込み要求レベル

プロセッサ割り込み優先レベル(IPL)			受け付けられる割り込み要求レベル
IPL2	IPL1	IPL0	
1	1	1	すべてのマスカブル割り込みを禁止
1	1	0	レベル7のみを許可
1	0	1	レベル6以上を許可
1	0	0	レベル5以上を許可
0	1	1	レベル4以上を許可
0	1	0	レベル3以上を許可
0	0	1	レベル2以上を許可
0	0	0	レベル1以上を許可

11.6.2　割り込み制御レジスタ

周辺機能割り込みは、各割り込みを制御する割り込み制御レジスタを持ちます。
図 11.3、図 11.4に割り込み制御レジスタを示します。

割り込み制御レジスタ



シンボル	アドレス	リセット後の値
TA0IC~TA4IC	006Ch、008Ch、006Eh、008Eh、0070h番地	XXXX X000b
TB0IC~TB5IC	0094h、0076h、0096h、0078h、0098h、0061h番地	XXXX X000b
S0TIC~S4TIC	0090h、0092h、0081h (注1)、0083h、0085h番地	XXXX X000b
S5TIC~S8TIC	0062h、0064h、00DDh、00DFh番地	XXXX X000b
S0RIC~S4RIC	0072h、0074h、0063h (注2)、0065h、0067h番地	XXXX X000b
S5RIC~S8RIC	0082h、0084h、00FDh、00FFh番地	XXXX X000b
BCN0IC~BCN3IC	0069h、0089h、0087h、0069h (注3) 番地	XXXX X000b
BCN4IC~BCN6IC	0089h (注4)、0066h、0066h (注5) 番地	XXXX X000b
DM0IC~DM3IC	0068h、0088h、006Ah、008Ah番地	XXXX X000b
AD0IC	006Bh番地	XXXX X000b
KUPIC	008Bh番地	XXXX X000b
IIO0IC~IIO5IC	006Dh、008Dh、006Fh、008Fh、0071h、0091h番地	XXXX X000b
IIO6IC~IIO11IC	0073h、0093h、0075h、0095h、0077h、0097h番地	XXXX X000b
I2CIC, I2CLIC	0081h (注1)、0063h (注2) 番地	XXXX X000b
C0FTIC, C1FTIC	00D0h、00D2h番地	XXXX X000b
C0FRIC, C1FRIC	00F0h、00F2h番地	XXXX X000b
C0TIC, C1TIC	00C1h、00E3h番地	XXXX X000b
C0RIC, C1RIC	00E1h、00C5h番地	XXXX X000b
C0EIC, C1EIC	00C3h、00E5h番地	XXXX X000b
C0WIC, C1WIC	007Bh、009Bh番地	XXXX X000b

ビットシンボル	ビット名	機　能	RW
ILVL0	割り込み要求レベル選択ビット	b2 b1 b0 0 0 0: レベル0 (割り込み禁止) 0 0 1: レベル1 0 1 0: レベル2 0 1 1: レベル3 1 0 0: レベル4 1 0 1: レベル5 1 1 0: レベル6 1 1 1: レベル7	RW
ILVL1			RW
ILVL2			RW
IR	割り込み要求フラグ	0: 割り込み要求なし 1: 割り込み要求あり　(注6)	RW
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. S2TICレジスタとI2CICレジスタは番地を共用しています。
注2. S2RICレジスタとI2CLICレジスタは番地を共用しています。
注3. BCN0ICレジスタとBCN3ICレジスタは番地を共用しています。
注4. BCN1ICレジスタとBCN4ICレジスタは番地を共用しています。
注5. BCN5ICレジスタとBCN6ICレジスタは番地を共用しています。
注6. “0”のみ書き込み可能 (“1”は書かないでください)。

図 11.3　割り込み制御レジスタ (1)

割り込み制御レジスタ

シンボル	アドレス	リセット後の値
INT0IC~INT2IC	009Eh、007Eh、009Ch番地	XX00 X000b
INT3IC~INT5IC (注1)	007Ch、009Ah、007Ah番地	XX00 X000b
INT6IC~INT8IC	00FEh、00DEh、00FCh番地	XX00 X000b

ビットシンボル	ビット名	機　能	RW
ILVL0	割り込み要求レベル選択ビット	b2 b1 b0 0 0 0: レベル0 (割り込み禁止) 0 0 1: レベル1 0 1 0: レベル2 0 1 1: レベル3 1 0 0: レベル4 1 0 1: レベル5 1 1 0: レベル6 1 1 1: レベル7	RW
ILVL1			RW
ILVL2			RW
IR	割り込み要求フラグ	0: 割り込み要求なし 1: 割り込み要求あり (注2)	RW
POL	極性切り替えビット	0: 立ち下がりエッジ/ “L”レベルを選択 1: 立ち上がりエッジ/ “H”レベルを選択 (注3)	RW
LVS	レベルセンス/エッジセンス切り替えビット	0: エッジセンス 1: レベルセンス (注4)	RW
— (b7-b6)	何も配置されていない。書く場合、 “0” を書いてください。 読んだ場合、その値は不定		—

注1. マイクロプロセッサモード、メモリ拡張モードで16/32ビットデータバス使用時、$\overline{INT3}$~$\overline{INT5}$の各端子がデータバスになります。このときINT3IC~INT5ICレジスタのILVL2~ILVL0ビットを “000b” にしてください。
注2. “0” のみ書き込み可能 (“1” は書かないでください)。
注3. IFSR0レジスタ、IFSR1レジスタの対応するビットを “1” (両エッジ) で使用する場合、 “0” (立ち下がりエッジ) にしてください。
注4. レベルセンスを選択する場合、IFSR0レジスタ、IFSR1レジスタの対応するビットを “0” (片エッジ) にしてください。

図 11.4　割り込み制御レジスタ (2)

ILVL2~ILVL0 ビット

ILVL2~ILVL0 ビットで割り込み要求レベルを選択します。割り込み要求レベルの値が大きいほど割り込みの優先順位が高くなります。

割り込み要求発生時、割り込み要求レベルはIPL と比較され、割り込みの要求レベルがIPL より大きい場合だけ、その割り込みが許可されます。したがって、ILVL2~ILVL0 ビットに“000b”を設定すれば、その割り込みは禁止されます。

IR ビット

IR ビットは割り込み要求が発生すると“1” (割り込み要求あり)になり、割り込み要求が受け付けられるまで保持されます。割り込み要求が受け付けられ対応する割り込みベクタに分岐した後、“0” (割り込み要求なし)になります。

IR ビットはプログラムによって“0”にできます(“1”を書かないでください)。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止してから変更してください。

また、割り込み制御レジスタを変更した直後に割り込みを許可するときは、割り込み制御レジスタの書き込みが終了する前に割り込み許可フラグ(Iフラグ)が“1”(割り込み許可)にならないように、2つの命令の間にNOPを挿入する、割り込み制御レジスタをダミーリードするなどの対策を行ってください。

割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によってはIRビットが“1”(割り込み要求あり)にならないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを書き換えるようにしてください。

- AND
- OR
- BCLR
- BSET

IRビットを“0”(割り込み要求なし)にするとき、AND命令やBCLR命令では書き換え中の割り込み要求を保持するために、IRビットが“0”にならないことがあります。このことが問題になる場合は、MOV命令を使用してレジスタを書き換えてください。IRビットのみを“0”にしたい場合は、一旦メモリなどに値を読んだ後、メモリ上でANDやBCLRを実行し、メモリの値をMOV命令で書き戻してください。

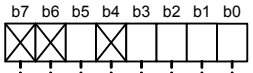
11.6.3　復帰用割り込み優先レベル設定レジスタ

復帰用割り込み優先レベル設定レジスタ(RIPL1、RIPL2レジスタ)はウェイトモードやストップモードからの復帰に割り込みを使用するとき、高速割り込みを使用するときに使用します。

ウェイトモードやストップモードからの復帰については「8.7.2 ウェイトモード」、「8.7.3 ストップモード」を参照してください。高速割り込みについては「11.4 高速割り込み」を参照してください。

図 11.5にRIPL1、RIPL2レジスタを示します。

復帰用割り込み優先レベル設定レジスタi (i=1, 2) (注1)



シンボル	アドレス	リセット後の値
RIPL1, RIPL2	4407Fh、4407Dh番地	XX0X 0000b

ビットシンボル	ビット名	機　能	RW
RLVL0	ウェイトモード/ストップモード復帰用割り込み優先レベル選択ビット　(注2)	b2 b1 b0 0 0 0 : レベル0 0 0 1 : レベル1 0 1 0 : レベル2 0 1 1 : レベル3 1 0 0 : レベル4 1 0 1 : レベル5 1 1 0 : レベル6 1 1 1 : レベル7	RW
RLVL1			RW
RLVL2			RW
FSIT	高速割り込み選択ビット　(注3)	0: 割り込み要求レベル7は通常割り込みに使用 1: 割り込み要求レベル7は高速割り込みに使用　(注4)	RW
— (b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
DMAII	DMA II選択ビット　(注5)	0: 割り込み要求レベル7は割り込みに使用 1: 割り込み要求レベル7はDMA II転送に使用　(注4)	RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. RIPL1レジスタと、RIPL2レジスタには同じ値を書いてください。
注2. 要求のあった割り込みの要求レベルが、RLVL2 ~ RLVL0ビットで選択したレベルより大きい場合、ウェイトモード、ストップモードから復帰します。FLGレジスタのIPLと同じ値を設定してください。
注3. FSITビットが“1”の場合、割り込み要求レベルがレベル7の割り込みが高速割り込みになります。このとき、1つの割り込みのみ割り込み要求レベルをレベル7にしてください。
注4. FSITビットとDMAIIビットはどちらか一方のみ“1”にしてください。高速割り込みとDMAC IIは同時に使用できません。
注5. DMAIIビットを設定した後で割り込み制御レジスタのILVL2 ~ ILVL0ビットを設定してください。なお、DMAC IIの転送はIフラグとIPLの影響を受けません。

図 11.5　RIPL1、RIPL2 レジスタ

11.6.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込み処理ルーチンが実行されるまでの割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、RMPA、SCMPU、SIN、SMOVB、SMOVF、SMOVU、SOUT、SSTR、SUNTIL、SWHILEの各命令については、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、以下の動作を順次行います。

(1) CPUは割り込みアクノリッジを返すことで、割り込みコントローラから割り込み情報(割り込み番号、割り込み要求レベル)を取得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。
(2) 割り込みシーケンス直前のFLGレジスタの内容をCPU内部の一時レジスタ(ユーザは使用できません)に退避します。
(3) FLGレジスタの各ビットは以下のようになります。
- Iフラグ(割り込み許可フラグ)=0(割り込み禁止)
- Dフラグ(デバッグフラグ)=0(シングルステップ割り込み禁止)
- Uフラグ(スタックポインタ指定フラグ)=0(ISPを指定)

(4) CPU内部の一時レジスタ(ユーザは使用できません)の内容をスタックに退避します。高速割り込みの場合は、SVF(フラグ退避レジスタ)に退避します。
(5) PC(プログラムカウンタ)の内容をスタック領域に退避します。高速割り込みの場合は、SVP(PC退避レジスタ)に退避します。
(6) IPL(プロセッサ割り込み優先レベル)に、受け付けた割り込みの割り込み要求レベルを設定します。
(7) 割り込みベクタテーブルから受け付けた割り込み要因のベクタを取得します。
(8) 取得した割り込みベクタをPCに設定します。

割り込みシーケンス終了後は、割り込み処理ルーチンの先頭番地から命令を実行します。

11.6.5 割り込み応答時間

割り込み応答時間とは、割り込み要求が発生してから割り込み処理ルーチン内の最初の命令を実行するまでの時間を示します。図 11.6 に割り込み応答時間を示します。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(a)と割り込みシーケンスを実行する時間(b)で構成されます。

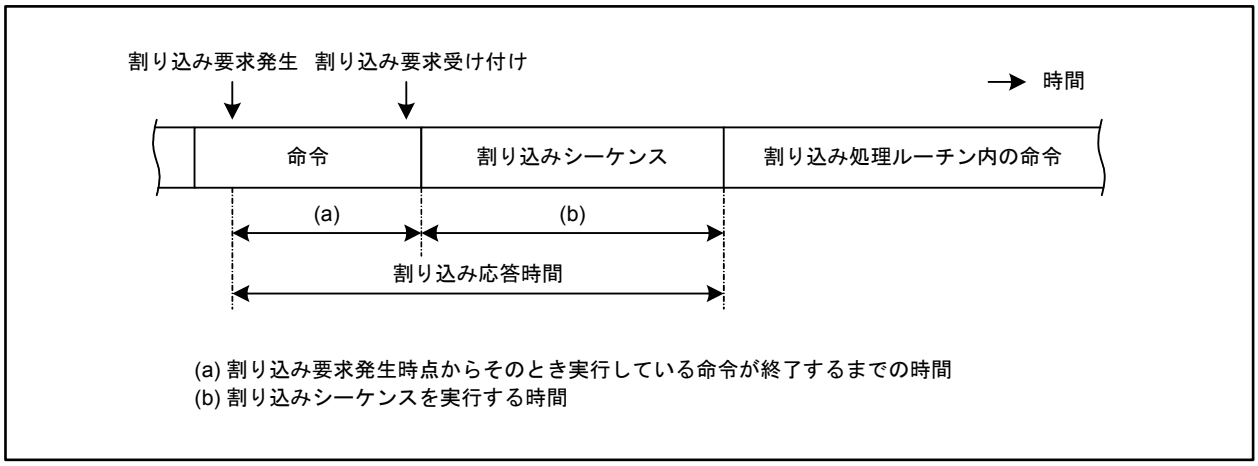


図 11.6 割り込み応答時間

(a)の時間は、実行している命令によって異なります。この時間が最も長くなる命令は、LDCTX、STCTXなど、レジスタをスタックに一括退避/復帰する命令です。STCTX命令の場合、退避するレジスタが10個のときで最短30サイクルで、スタック領域にウェイトがある場合さらに増加します。

(b)の時間は表 11.7のとおりです。

表 11.7 割り込みシーケンス実行時間(注1)

割り込み	実行時間(CPUクロック換算)
周辺機能	13 + αサイクル(注2)
INT命令	11サイクル
NMI	10サイクル
ウォッチドッグタイマ 発振停止検出 電圧低下検出	11サイクル
未定義命令	12サイクル
オーバフロー	12サイクル
BRK命令(可変ベクタテーブル)	16サイクル
BRK命令(固定ベクタテーブル)	19サイクル
BRK2命令	19サイクル
高速割り込み	11サイクル

注1. 割り込みベクタを、内部ROMの4の倍数となる番地に配置したときの値です。ただし高速割り込みは除きます。

注2. αは「SFRのウェイト数-2」です。

11.6.6　割り込み要求受け付け時のIPLの変化

周辺機能割り込み要求が受け付けられると、IPL (プロセッサ割り込み優先レベル)には受け付けた割り込みの割り込み要求レベルが設定されます。

ソフトウェア割り込みと特殊割り込みは、割り込み要求レベルを持ちません。これらの割り込み要求が受け付けられたときは、表 11.8に示す値がIPLに設定されます。

表 11.8　割り込み要求レベルを持たない割り込みとIPLの関係

割り込み要求レベルを持たない割り込み要因	設定されるIPLの値
NMI、ウォッチドッグタイマ、発振停止検出、電圧低下検出	7
リセット	0
ソフトウェア	変化しない

11.6.7　レジスタ退避

割り込みシーケンスでは、フラグレジスタ(FLG)とプログラムカウンタ(PC)の内容だけがスタック領域に退避されます。スタック領域へ退避する順番は、フラグレジスタ—プログラムカウンタの順です。図 11.7に割り込み要求受け付け前後のスタックの状態を示します。

高速割り込みの割り込みシーケンスでは、フラグレジスタ(FLG)はフラグ退避レジスタ(SVF)に、プログラムカウンタ(PC)はPC退避レジスタ(SVP)に退避されます。

その他の必要なレジスタは、割り込み処理ルーチンの最初でソフトウェアによって退避してください。PUSHM命令を用いると、1命令でフレームベースレジスタ(FB)とスタックポインタ(SP)を除くすべてのレジスタを退避することができます。

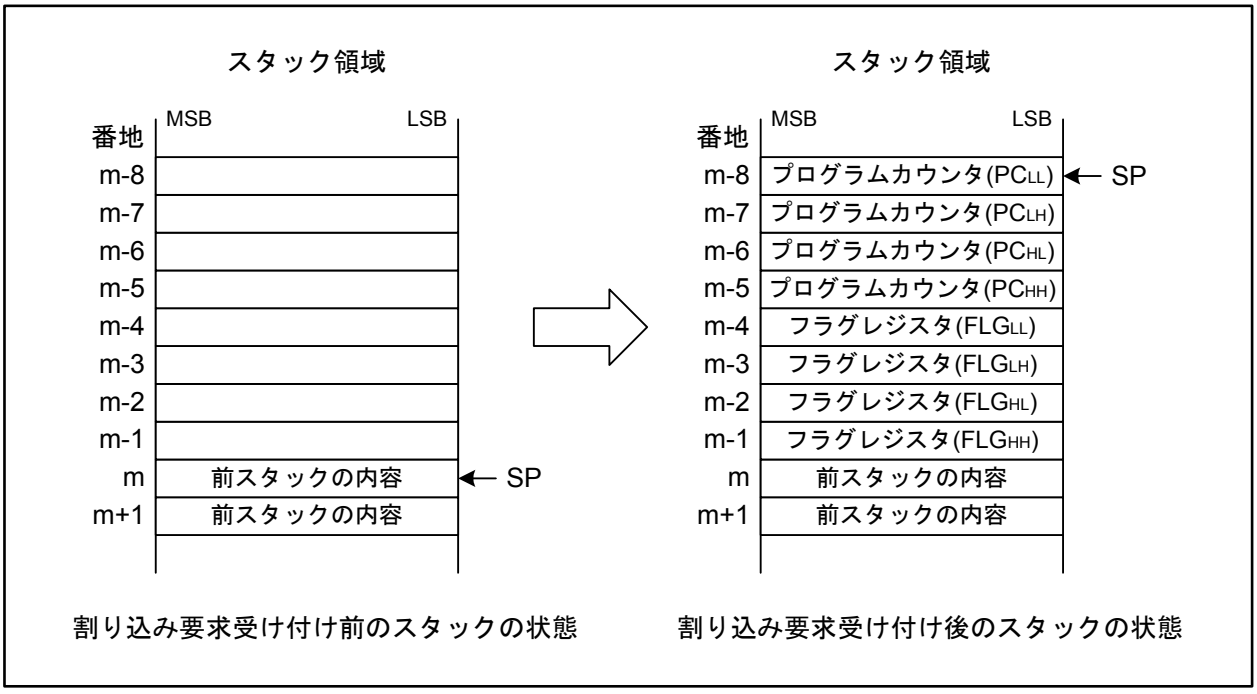


図 11.7　割り込み要求受け付け前後のスタックの状態

11.7 割り込み処理ルーチンからの復帰

割り込み処理ルーチンの最後でREIT命令を実行すると、スタック領域に退避されていた割り込みシーケンス直前のフラグレジスタ(FLG)、およびプログラムカウンタ(PC)の内容が復帰されます。高速割り込みの場合は、割り込み処理ルーチンの最後でFREIT命令を実行すると、退避レジスタに退避されていた割り込みシーケンス直前のフラグレジスタ(FLG)、およびプログラムカウンタ(PC)の内容が復帰されます。その後、割り込み要求受け付け前に実行していたプログラムに戻り、中断されていた処理が継続して実行されます。

割り込み処理ルーチン内でソフトウェアによって退避したレジスタは、REIT、FREIT命令実行前にPOPM命令などを使用して復帰してください。

割り込み処理ルーチン内でレジスタバンクを切り替えた場合、REITまたはFREIT命令を実行すると、自動的に割り込みシーケンス直前のレジスタバンクに戻ります。

11.8 割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能割り込み)の優先順位は、割り込み要求レベル選択ビット(ILVL2~ILVL0ビット)によって任意の優先順位を設定することができます。ただし、割り込み要求レベルが同じ設定の場合は、ハードウェアで設定されている優先度の高い割り込みが受け付けられます。

リセット(リセットは優先順位が一番高い割り込みとして扱われます)、ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。以下にハードウェアで設定されている割り込み優先順位を示します。

リセット > ウォッチドッグタイマ / 発振停止検出 / 電圧低下検出 > NMI > 周辺機能

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると必ず割り込み処理ルーチンへ分岐します。

11.9 割り込み優先順位判定回路

割り込み優先順位判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図11.8に割り込み優先順位判定回路を示します。

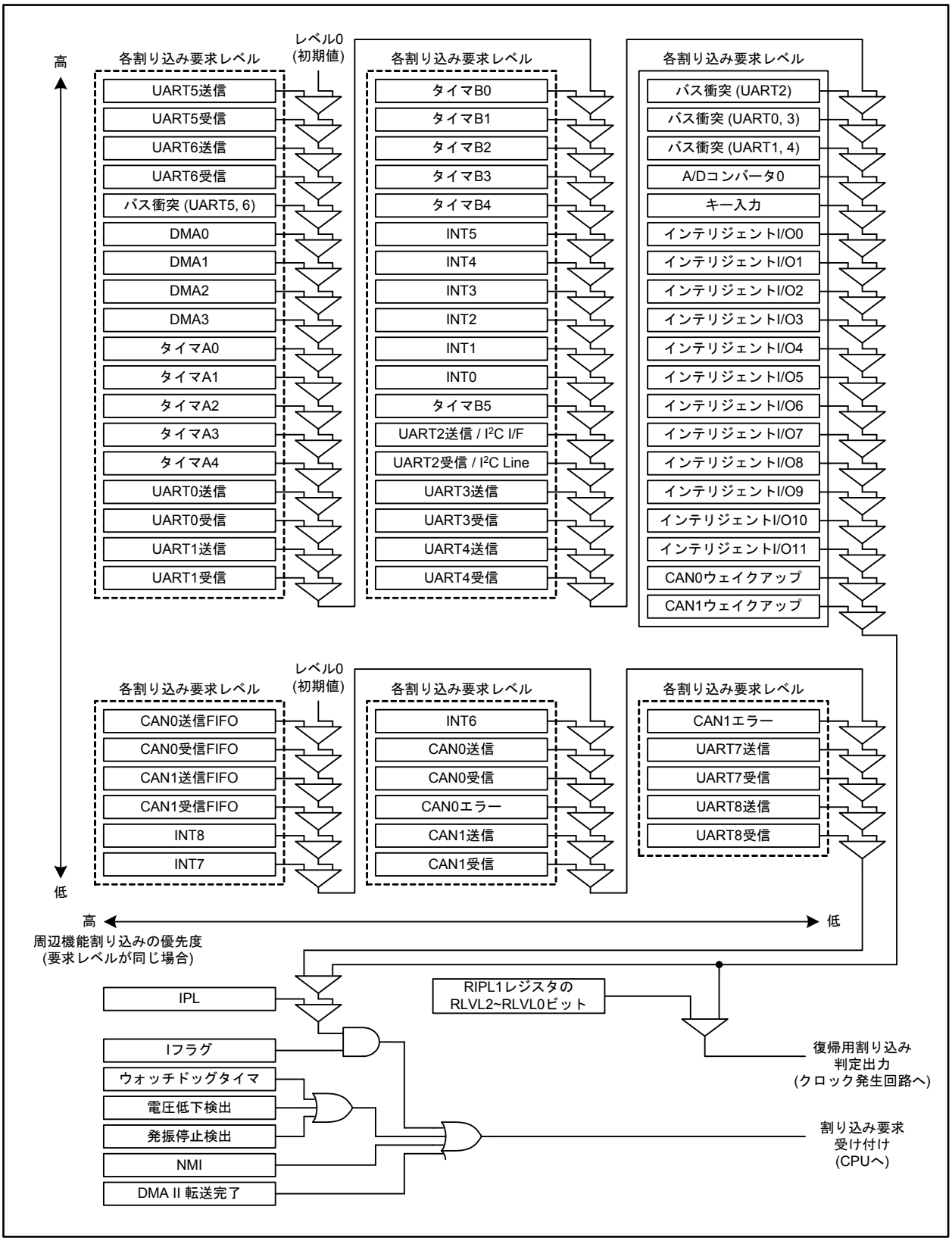


図 11.8　割り込み優先順位判定回路

11.10 外部割り込み

外部割り込みは$\overline{\text{INTi}}$端子 (i=0~8)からの外部入力による割り込みです。入力信号のレベルで割り込みをかけるレベルセンスと、エッジで割り込みをかけるエッジセンスをINTiICレジスタのLVSビットで選択できます。また、入力信号の極性をINTiICレジスタのPOLビットで選択できます。

エッジセンスを使用する場合は、$\overline{\text{INTj}}$ (j=0~5)ではIFSR0レジスタのIFSR0jビットを、$\overline{\text{INTm}}$ (m=6~8)ではIFSR1レジスタのIFSR1nビット (n=m-6)を“1” (両エッジ)にすると、外部割り込み入力の立ち上がり、立ち下がりの両方のエッジで割り込み要求が発生します。IFSR0jビット、IFSR1nビットを“1”にする場合は、対応するPOLビットを“0” (立ち下がりエッジ)にしてください。

レベルセンスを使用する場合は、IFSR0jビット、IFSR1nビットを“0” (片エッジ)にしてください。$\overline{\text{INTi}}$端子の入力レベルがPOLビットで選択したレベルのときに、INTiICレジスタのIRビットが“1”になります。その後、$\overline{\text{INTi}}$端子が変化してもIRビットは“1”を保持し、INTi割り込みを受け付けるか、“0”を書くと“0”になります。

図 11.9にIFSR0レジスタを、図 11.10にIFSR1レジスタを示します。

外部割り込み要因選択レジスタ0

b7	b6	b5	b4	b3	b2	b1	b0

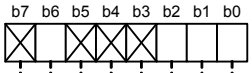
シンボル: IFSR0　　アドレス: 4406Fh番地　　リセット後の値: 0000 0000b

ビットシンボル	ビット名	機　能	RW
IFSR00	$\overline{\text{INT0}}$端子極性選択ビット (注1)	0: 片エッジ 1: 両エッジ	RW
IFSR01	$\overline{\text{INT1}}$端子極性選択ビット (注1)	0: 片エッジ 1: 両エッジ	RW
IFSR02	$\overline{\text{INT2}}$端子極性選択ビット (注1)	0: 片エッジ 1: 両エッジ	RW
IFSR03	$\overline{\text{INT3}}$端子極性選択ビット (注1)	0: 片エッジ 1: 両エッジ	RW
IFSR04	$\overline{\text{INT4}}$端子極性選択ビット (注1)	0: 片エッジ 1: 両エッジ	RW
IFSR05	$\overline{\text{INT5}}$端子極性選択ビット (注1)	0: 片エッジ 1: 両エッジ	RW
IFSR06	UART0、3割り込み要因選択ビット	0: UART3のバス衝突、スタートコンディション検出、ストップコンディション検出 1: UART0のバス衝突、スタートコンディション検出、ストップコンディション検出	RW
IFSR07	UART1、4割り込み要因選択ビット	0: UART4のバス衝突、スタートコンディション検出、ストップコンディション検出 1: UART1のバス衝突、スタートコンディション検出、ストップコンディション検出	RW

注1. レベルセンスを選択する場合、このビットは“0”にしてください。
両エッジを選択する場合、対応するINTiICレジスタ (i=0~5) のPOLビットを“0” (立ち下がりエッジ) にしてください。

図 11.9　IFSR0 レジスタ

外部割り込み要因選択レジスタ1



シンボル　IFSR1　　アドレス　4406Dh番地　　リセット後の値　X0XX X000b

ビットシンボル	ビット名	機　能	RW
IFSR10	$\overline{\text{INT6}}$端子極性選択ビット (注1)	0: 片エッジ 1: 両エッジ	RW
IFSR11	$\overline{\text{INT7}}$端子極性選択ビット (注1)	0: 片エッジ 1: 両エッジ	RW
IFSR12	$\overline{\text{INT8}}$端子極性選択ビット (注1)	0: 片エッジ 1: 両エッジ	RW
— (b5-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
IFSR16	UART5、6割り込み要因選択ビット	0: UART5のバス衝突、スタートコンディション検出、ストップコンディション検出 1: UART6のバス衝突、スタートコンディション検出、ストップコンディション検出	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. レベルセンスを選択する場合、このビットは“0”にしてください。
両エッジを選択する場合、対応するINTiICレジスタ (i=6~8) のPOLビットを“0”(立ち下がりエッジ) にしてください。

図 11.10　IFSR1 レジスタ

11.11　NMI

NMI (Non Maskable Interrupt) は、$\overline{\text{NMI}}$端子の入力が“H”から“L”に変化したときに発生します。NMIはノンマスカブル割り込みです。リセット後、NMI は禁止の状態になっています。プログラムの先頭で割り込みスタックポインタ (ISP) を設定した後、PM2 レジスタの PM24 ビットを“1”にしてNMI を許可にしてください。なお、$\overline{\text{NMI}}$端子はポート P8_5 と端子を共用していますので、端子の入力レベルを P8 レジスタの P8_5 ビットで読むことができます。

注1. NMIの機能を使用しない場合は、PM2 レジスタのPM24 ビットを“0”から変更しないでください。

11.12 キー入力割り込み

P10_4~P10_7をすべて入力ポートとして設定すると、キー入力割り込み機能が使用できます。

P10_4~P10_7のいずれかの端子が“H”から“L”に変化すると、キー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用できます。図 11.11 にキー入力割り込みのブロック図を示します。なお、いずれかの端子に“L”が入力されていると、他の端子の入力は割り込みとして検知されません。

キー入力割り込み機能を使用する場合、P10_4S~P10_7S レジスタはすべて“00h”(ポート)に設定してください。また、PD10_4~PD10_7 ビットもすべて“0”(入力)にしてください。これ以外の設定では、キー入力割り込み機能は使用できません。

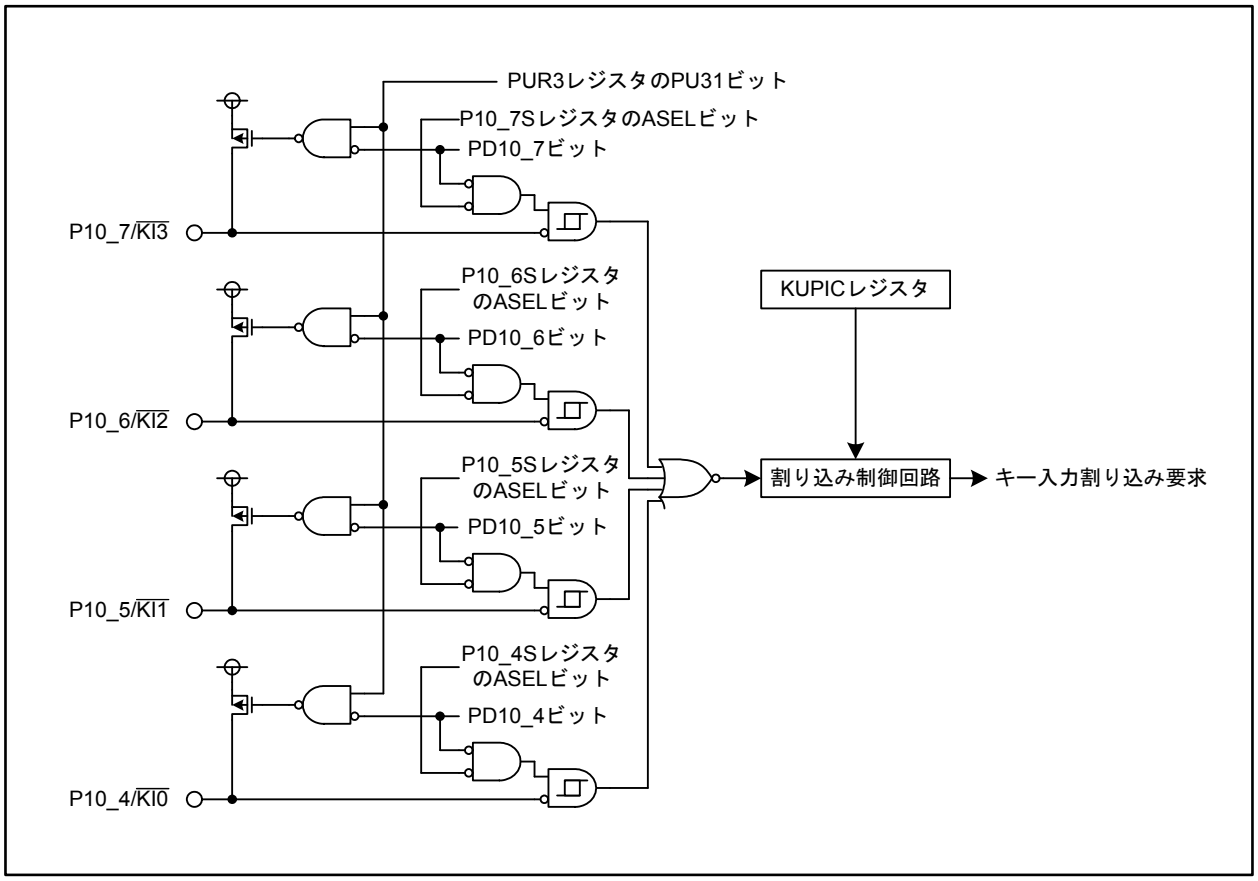


図 11.11 キー入力割り込みのブロック図

11.13 インテリジェントI/O割り込み

インテリジェントI/O割り込みは、ソフトウェア割り込み番号44~55に割り当てられています。

図 11.12 にインテリジェントI/O割り込みのブロック図を、図 11.13 にIIOiIR レジスタ (i=0~11) を、図 11.14にIIOiIEレジスタを示します。

インテリジェントI/O割り込みを使用する場合は、IIOiIEレジスタのIRLTビットを“1” (割り込み要求を割り込みで使用する) にしてください。

インテリジェントI/O割り込みには、多数の割り込み要因があります。インテリジェントI/Oの各機能で割り込み要求が発生すると、IIOiIR レジスタの該当するビットが“1” (割り込み要求あり) になります。このとき、IIOiIEレジスタの対応するビットが“1” (割り込み許可) であれば、該当するIIOiIC レジスタのIRビットが“1” (割り込み要求あり) になります。

なお、IRビットが“0”から“1”になった後、別の割り込み要因によって、IIOiIRレジスタのビットが“1”になり、かつ、IIOiIEレジスタの該当するビットが“1”だった場合は、IRビットは“1”のまま変化しません。

また、IIOiIRレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、プログラムでAND命令またはBCLR命令を使用して“0”にしてください。これらのビットを“1”のままにしておくと、それ以降に成立した割り込み要求がすべて無効になります。

インテリジェントI/O割り込みをDMA IIの起動要因として使用する場合、IIOiIEレジスタのIRLTビットを“0” (割り込み要求をDMA、DMA IIで使用) にし、IIOiIEレジスタで使用する割り込み要求を許可にしてください。

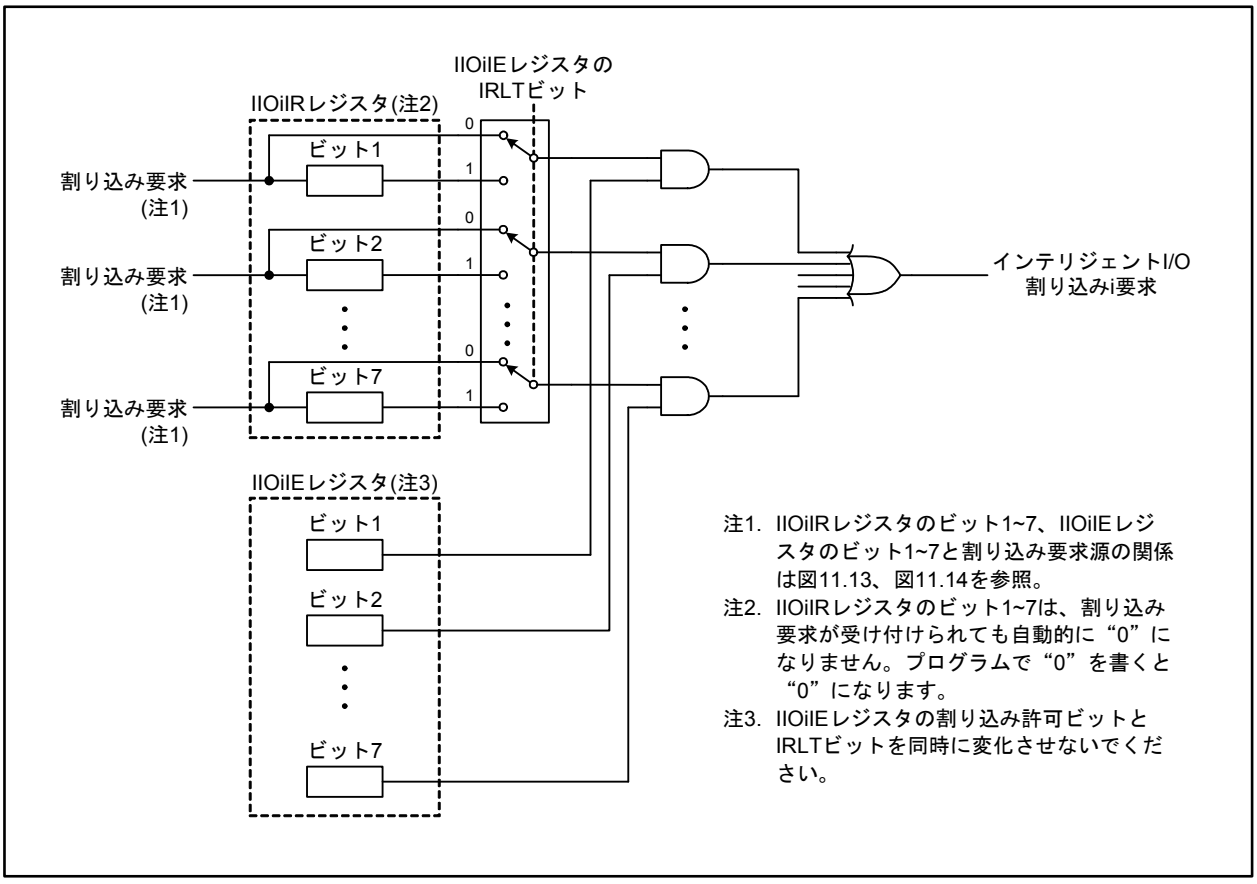
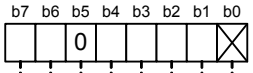


図 11.12 インテリジェントI/O割り込みのブロック図(i=0~11)

インテリジェントI/O割り込み要求レジスタi (i=0~11)



シンボル: IIO0IR~IIO11IR　アドレス: 下表参照　リセット後の値: ??0? ???1b (注1)

ビットシンボル	ビット名	機　能	RW
— (b0)	何も配置されていない。読んだ場合、その値は“1”		—
(注2)	0: 割り込み要求なし 1: 割り込み要求あり (注3)		RW
(注2)	0: 割り込み要求なし 1: 割り込み要求あり (注3)		RW
(注2)	0: 割り込み要求なし 1: 割り込み要求あり (注3)		RW
(注2)	0: 割り込み要求なし 1: 割り込み要求あり (注3)		RW
— (b5)	予約ビット	“0”にしてください	RW
(注2)	0: 割り込み要求なし 1: 割り込み要求あり (注3)		RW
(注2)	0: 割り込み要求なし 1: 割り込み要求あり (注3)		RW

注1. 当該ビットに機能が割り当てられている場合、リセット後の値は“X”(不定)です。機能が割り当てられていない場合、リセット後の値は“0”です。
注2. ビットシンボルは下表を参照してください。
注3. 当該ビットに機能が割り当てられている場合、“0”のみ書けます。“1”は書かないでください。“0”を書く場合、AND命令またはBCLR命令を使用してください。
機能が割り当てられていない場合 (予約ビットの場合)、“0”にしてください。

インテリジェントI/O割り込み要求レジスタのビットシンボル一覧

シンボル	アドレス	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
IIO0IR	00A0h	—	—	—	—	—	TM13R/PO13R	TM02R/PO02R	—
IIO1IR	00A1h	—	—	—	—	—	TM14R/PO14R	TM00R/PO00R	—
IIO2IR	00A2h	—	—	—	—	—	TM12R/PO12R	—	—
IIO3IR	00A3h	—	—	—	—	PO27R	TM10R/PO10R	TM03R/PO03R	—
IIO4IR	00A4h	—	—	—	BT1R	—	TM17R/PO17R	TM04R/PO04R	—
IIO5IR	00A5h	—	—	—	SIO2RR	—	PO21R	TM05R/PO05R	—
IIO6IR	00A6h	—	—	—	SIO2TR	—	PO20R	TM06R/PO06R	—
IIO7IR	00A7h	IE0R	—	—	BT0R	—	PO22R	TM07R/PO07R	—
IIO8IR	00A8h	IE1R	IE2R	—	BT2R	—	PO23R	TM11R/PO11R	—
IIO9IR	00A9h	—	INT6R	—	—	—	PO24R	TM15R/PO15R	—
IIO10IR	00AAh	—	INT7R	—	—	—	PO25R	TM16R/PO16R	—
IIO11IR	00ABh	—	INT8R	—	—	—	PO26R	TM01R/PO01R	—

BTxR: インテリジェントI/Oグループx ベースタイマ割り込み要求 (x=0~2)
TMxyR: インテリジェントI/Oグループx 時間計測機能 チャネルy 割り込み要求 (x=0, 1、y=0~7)
POxyR: インテリジェントI/Oグループx 波形生成機能 チャネルy 割り込み要求 (x=0~2、y=0~7)
IEzR: インテリジェントI/Oグループ2 IEBus通信機能割り込み要求 (z=0~2)
SIO2RR: インテリジェントI/Oグループ2 通信部受信割り込み要求
SIO2TR: インテリジェントI/Oグループ2 通信部送信割り込み要求
INTmR: INTm割り込み要求 (m=6~8)

図 11.13 IIO0IR~IIO11IR レジスタ

インテリジェントI/O割り込み許可レジスタi (i=0~11)

b7	b6	b5	b4	b3	b2	b1	b0
		0					

シンボル　IIO0IE~IIO11IE　　アドレス　下表参照　　リセット後の値　0000 0000b

ビットシンボル	ビット名	機　能	RW
IRLT	割り込み要求選択ビット (注2)	0: 割り込み要求をDMA、DMA IIで使用 1: 割り込み要求を割り込みで使用	RW
(注1)	0: IIOiIRレジスタのビット1の割り込みを禁止 1: IIOiIRレジスタのビット1の割り込みを許可		RW
(注1)	0: IIOiIRレジスタのビット2の割り込みを禁止 1: IIOiIRレジスタのビット2の割り込みを許可		RW
(注1)	0: IIOiIRレジスタのビット3の割り込みを禁止 1: IIOiIRレジスタのビット3の割り込みを許可		RW
(注1)	0: IIOiIRレジスタのビット4の割り込みを禁止 1: IIOiIRレジスタのビット4の割り込みを許可		RW
— (b5)	予約ビット	“0”にしてください	RW
(注1)	0: IIOiIRレジスタのビット6の割り込みを禁止 1: IIOiIRレジスタのビット6の割り込みを許可		RW
(注1)	0: IIOiIRレジスタのビット7の割り込みを禁止 1: IIOiIRレジスタのビット7の割り込みを許可		RW

注1. ビットシンボルは下表を参照してください。
注2. 割り込み要求を割り込みで使用する場合、IRLTビットを“1”にした後、ビット1~4、6、7を“1”にしてください。

インテリジェントI/O割り込み許可レジスタのビットシンボル一覧

シンボル	アドレス	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
IIO0IE	00B0h	—	—	—	—	—	TM13E/PO13E	TM02E/PO02E	IRLT
IIO1IE	00B1h	—	—	—	—	—	TM14E/PO14E	TM00E/PO00E	IRLT
IIO2IE	00B2h	—	—	—	—	—	TM12E/PO12E	—	IRLT
IIO3IE	00B3h	—	—	—	—	PO27E	TM10E/PO10E	TM03E/PO03E	IRLT
IIO4IE	00B4h	—	—	—	BT1E	—	TM17E/PO17E	TM04E/PO04E	IRLT
IIO5IE	00B5h	—	—	—	SIO2RE	—	PO21E	TM05E/PO05E	IRLT
IIO6IE	00B6h	—	—	—	SIO2TE	—	PO20E	TM06E/PO06E	IRLT
IIO7IE	00B7h	IE0E	—	—	BT0E	—	PO22E	TM07E/PO07E	IRLT
IIO8IE	00B8h	IE1E	IE2E	—	BT2E	—	PO23E	TM11E/PO11E	IRLT
IIO9IE	00B9h	—	INT6E	—	—	—	PO24E	TM15E/PO15E	IRLT
IIO10IE	00BAh	—	INT7E	—	—	—	PO25E	TM16E/PO16E	IRLT
IIO11IE	00BBh	—	INT8E	—	—	—	PO26E	TM01E/PO01E	IRLT

BTxE:　インテリジェントI/Oグループx ベースタイマ割り込み許可 (x=0~2)
TMxyE:　インテリジェントI/Oグループx 時間計測機能 チャネルy 割り込み許可 (x=0, 1、y=0~7)
POxyE:　インテリジェントI/Oグループx 波形生成機能 チャネルy 割り込み許可 (x=0~2、y=0~7)
IEzE:　インテリジェントI/Oグループ2 IEBus通信機能割り込み許可 (z=0~2)
SIO2RE: インテリジェントI/Oグループ2 通信部受信割り込み許可
SIO2TE: インテリジェントI/Oグループ2 通信部送信割り込み許可
INTmE:　INTm割り込み許可 (m=6~8)

図 11.14　IIO0IE~IIO11IE レジスタ

11.14 割り込み使用上の注意

11.14.1 ISPの設定

リセット後、ISP (割り込みスタックポインタ)は“00000000h”に初期化されています。そのため、ISPに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、ISPに値を設定してください。ISPには4の倍数を設定してください。4の倍数を設定したほうがメモリアクセス回数が少なくなり、割り込みシーケンスの実行速度が速くなります。

特にNMIを使用する場合は割り込みを禁止できませんので、プログラムの先頭でISPを設定した後、PM2レジスタのPM24ビットを“1” (NMI有効)にしてください。

11.14.2 NMI

- NMIは、PM2レジスタのPM24ビットを“1” (NMI有効)にした後は禁止できません。NMIを使用しない場合はPM24ビットを“0”から変更しないでください。

- PM2レジスタのPM24ビットが“1” (NMI有効)の場合、P8レジスタのP8_5ビットは、$\overline{\text{NMI}}$端子の状態を確認する用途にのみ使用できます。汎用ポートとしては使用できません。

11.14.3 外部割り込み

- $\overline{\text{INTi}}$端子(i=0~8)に入力する信号には、電気的特性で規定する信号幅が必要です。規定の最小幅を下回った場合、割り込みが受け付けられない場合があります。

- INTiICレジスタ(i=0~8)のPOLビット、LVSビット、IFSR0レジスタのIFSR0iビット(i=0~5)、IFSR1レジスタのIFSR1jビット(j=i–6、i=6~8)で$\overline{\text{INTi}}$端子の有効エッジや有効レベルを切り替えたとき、対応するIRビットが“1” (割り込み要求あり)になる場合があります。これらのビットは、INTiICレジスタのILVL2 ~ ILVL0ビットを“000b” (割り込み禁止)にしてから書き換えてください。また、書き換えた後は、対応するIRビットを“0” (割り込み要求なし)にしてからILVL2 ~ ILVL0ビットを設定してください。

- $\overline{\text{INT6}}$~$\overline{\text{INT8}}$端子への割り込み入力信号は、IIO9IR~IIO11IRレジスタのINT6R~INT8Rビットにも接続されています。これらインテリジェントI/O割り込みを使用することで、$\overline{\text{INT6}}$~$\overline{\text{INT8}}$端子への割り込み入力をウェイトモード/ストップモードからの復帰要因として使用できます。なお、インテリジェントI/O割り込みに割り付けられた外部割り込み信号は立ち下がりエッジのみが有効です。INTiICレジスタ(i=0~8)のPOLビット、LVSビット、IFSR0レジスタのIFSR0iビット(i=0~5)、IFSR1レジスタのIFSR1jビット(j=i–6、i=6~8)の影響は受けません。

12. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知するために使用します。ウォッチドッグタイマは15ビットのカウンタを持ち、周辺バスクロックをプリスケーラで分周したクロックによりダウンカウントします。

ウォッチドッグタイマがアンダフローしたときに、割り込み要求を発生させるか、リセットをかけるかをCM0レジスタのCM06ビットで選択できます。一度CM06ビットを“1”(リセット)にすると、プログラムでは“0”(ウォッチドッグタイマ割り込み)にできません。CM06ビットはリセットによってのみ“0”にできます。

ウォッチドッグタイマにはプリスケーラがあり、周辺バスクロックを16、128分周します。分周比はWDCレジスタのWDC7ビットで選択できます。

MCUがウェイトモードまたはストップモードのとき、$\overline{\text{HOLD}}$信号が“L”のときは、カウントを停止し、これらの状態が解除されると保持していた値からカウントを再開します。

ウォッチドッグタイマの周期は以下のように計算できます。ただし、WDTS レジスタに書き込むタイミングによっては、最大でプリスケーラ出力1周期分の誤差が生じます。

$$\text{ウォッチドッグタイマの周期} = \frac{\text{プリスケーラの分周値(16または128)} \times 32768}{\text{周辺バスクロック周波数}}$$

たとえば、CPU クロック周波数が 64 MHz で周辺バスクロック周波数がその 1/2、プリスケーラの分周値が16の場合、ウォッチドッグタイマの周期は約16.4 msとなります。

ウォッチドッグタイマは、WDTS レジスタへ書き込みを行ったとき、またはウォッチドッグタイマ割り込みの割り込み要求が発生したときに初期化されます。プリスケーラのカウント値はリセット後にのみ初期化されます。

リセット後はウォッチドッグタイマとプリスケーラのカウントは停止しており、WDTS レジスタに値を書くことによりカウントを開始します。

図 12.1にウォッチドッグタイマのブロック図、図 12.2~図 12.3にウォッチドッグタイマ関連のレジスタを示します。

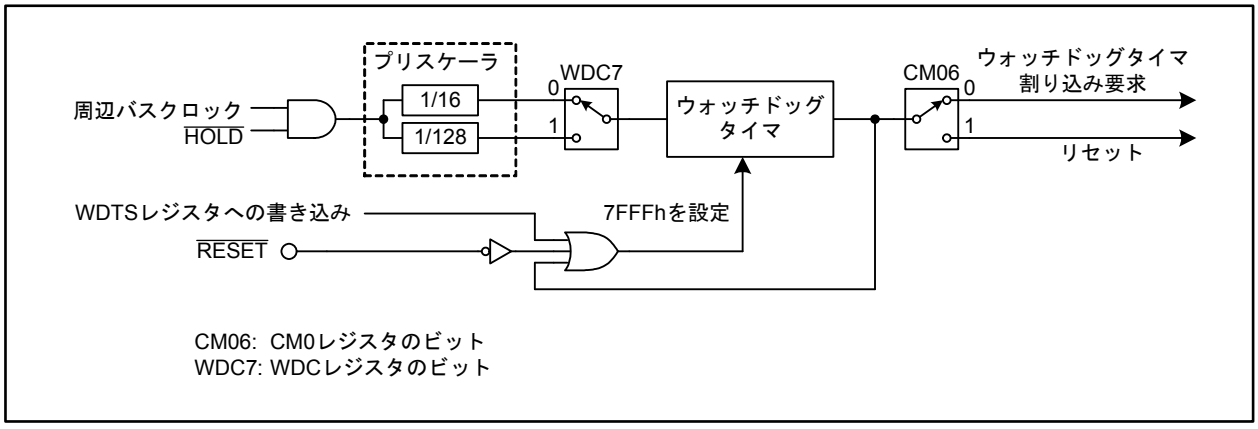


図 12.1　ウォッチドッグタイマのブロック図

ウォッチドッグタイマ制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
	0	0					

シンボル	アドレス	リセット後の値
WDC	4404Fh番地	000X XXXXb

ビットシンボル	ビット名	機　能	RW
— (b4-b0)	ウォッチドッグタイマの上位5ビット (b14-b10)		RO
— (b6-b5)	予約ビット	“0”にしてください	RW
WDC7	プリスケーラ選択ビット (注1)	0: 16分周 1: 128分周	RW

注1. このビットは、ウォッチドッグタイマ起動前に設定してください。

図 12.2　WDC レジスタ

ウォッチドッグタイマスタートレジスタ

b7	b0

シンボル	アドレス	リセット後の値
WDTS	4404Eh番地	不定

機　能	RW
このレジスタに値を書くと、ウォッチドッグタイマは初期化され、カウントを開始します。 ウォッチドッグタイマの初期値は、書き込む値にかかわらず“7FFFh”が設定されます	WO

図 12.3　WDTS レジスタ

13. DMAC

DMA (ダイレクト・メモリ・アクセス) とはCPUの命令を使用せずにデータを転送する機能で、DMAを行うコントローラをDMAC (DMAコントローラ) といいます。

R32C/100シリーズではサイクルスチール方式のDMACを4チャネル搭載しています。

DMACは、転送要求が1回発生するごとに、転送元番地から転送先番地へ8、16、または32ビットのデータを1回だけ転送します。CPUとDMACは同じバスを使用しますが、バスアクセスの優先順位はDMACのほうがCPUよりも高いため、転送要求が発生してから1回のデータ転送を完了するまでの動作を高速に行えます。

図 13.1にCPU内蔵DMAC関連レジスター一覧、表 13.1にDMACの仕様、図 13.2~図 13.10にDMAC関連レジスタを示します。図 13.1に示すレジスタはCPU内部に配置されているため、アクセスする場合はLDC、STC命令を使用してください。

DMAC関連レジスタ

DMD0	DMA0モードレジスタ
DMD1	DMA1モードレジスタ
DMD2	DMA2モードレジスタ
DMD3	DMA3モードレジスタ
DCT0	DMA0ターミナルカウントレジスタ
DCT1	DMA1ターミナルカウントレジスタ
DCT2	DMA2ターミナルカウントレジスタ
DCT3	DMA3ターミナルカウントレジスタ
DCR0	DMA0ターミナルカウントリロードレジスタ(注1)
DCR1	DMA1ターミナルカウントリロードレジスタ(注1)
DCR2	DMA2ターミナルカウントリロードレジスタ(注1)
DCR3	DMA3ターミナルカウントリロードレジスタ(注1)
DSA0	DMA0ソースアドレスレジスタ
DSA1	DMA1ソースアドレスレジスタ
DSA2	DMA2ソースアドレスレジスタ
DSA3	DMA3ソースアドレスレジスタ
DSR0	DMA0ソースアドレスリロードレジスタ(注1)
DSR1	DMA1ソースアドレスリロードレジスタ(注1)
DSR2	DMA2ソースアドレスリロードレジスタ(注1)
DSR3	DMA3ソースアドレスリロードレジスタ(注1)
DDA0	DMA0デスティネーションアドレスレジスタ
DDA1	DMA1デスティネーションアドレスレジスタ
DDA2	DMA2デスティネーションアドレスレジスタ
DDA3	DMA3デスティネーションアドレスレジスタ
DDR0	DMA0デスティネーションアドレスリロードレジスタ(注1)
DDR1	DMA1デスティネーションアドレスリロードレジスタ(注1)
DDR2	DMA2デスティネーションアドレスリロードレジスタ(注1)
DDR3	DMA3デスティネーションアドレスリロードレジスタ(注1)

注1. リピート転送で使用するレジスタです。単転送では使用しません。

図 13.1 CPU内蔵DMAC関連レジスター一覧

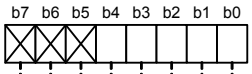
表 13.1 DMAC仕様 (i=0~3)

項目		仕様
チャネル数		4チャネル
方式		サイクルスチール方式
転送空間		64Mバイト(00000000h~01FFFFFFhおよびFE000000h~FFFFFFFFh)の任意の空間から64Mバイトの任意の空間へデータ転送
最大転送バイト数		64Mバイト(32ビット転送時)、32Mバイト(16ビット転送時)、16Mバイト(8ビット転送時)
DMA起動要因(注1)		$\overline{\text{INT0}}$~$\overline{\text{INT3}}$、$\overline{\text{INT6}}$~$\overline{\text{INT8}}$端子への入力の立ち下がりエッジまたは両エッジ タイマA0~タイマA4割り込み要求 タイマB0~タイマB5割り込み要求 UART0~UART8送信と受信割り込み要求 A/D変換割り込み要求 インテリジェントI/O割り込み要求 マルチマスタI^2Cバス割り込み要求 ソフトウェアトリガ
チャネル優先順位		DMA0>DMA1>DMA2>DMA3 (DMA0が最優先)
転送サイズ		8ビット、16ビット、32ビット
アドレッシング		インクリメント、または固定
転送モード	単転送	DCTiレジスタが“00000000h”になると転送が終了する
	リピート転送	DCTiレジスタが“00000000h”になるとDCRiレジスタの値がDCTiレジスタにリロードされ、DMA転送を継続する
DMA転送完了割り込み要求発生タイミング		DCTiレジスタが“00000001h”から“00000000h”になるとき
DMA転送開始	単転送	DCTiレジスタに“00000001h”以上の値を設定し、DMDiレジスタのMDi1~MDi0ビットを“01b” (単転送)にした後、DMA転送要求が発生すると開始
	リピート転送	DCTiレジスタに“00000001h”以上の値を設定し、MDi1~MDi0ビットを“11b” (リピート転送)にした後、DMA転送要求が発生すると開始
DMA転送停止	単転送	MDi1~MDi0ビットを“00b” (DMA転送禁止)にする
	リピート転送	MDi1~MDi0ビットを“00b” (DMA転送禁止)にする
DCTiレジスタ、DSAiレジスタ、DDAiレジスタへのリロードのタイミング		リピート転送モードでDCTiレジスタが“00000001h”から“00000000h”になるとき
DMA転送サイクル数		最小3サイクル

注1. DMA転送は、各割り込みに影響を与えません。

DMA転送要求には、DMiSL2レジスタ(i=0~3)のDSRビットへの書き込みによるソフトウェアトリガのほか、DMiSLレジスタのDSEL4~DSEL0ビット、DMiSL2レジスタのDSEL24~DSEL20ビットで指定した各機能から出力される割り込み要求を使用しています。ただし、DMA転送要求は割り込み要求とは異なり、Iフラグや割り込み制御レジスタの影響を受けませんので、割り込みが禁止されているときなど、割り込み要求が受け付けられない場合でも受け付けられます。また、DMA転送は割り込みに影響を与えませんので、DMA転送によって割り込み制御レジスタのIRビットが変化することはありません。

DMAi 起動要因選択レジスタ(i=0~3)



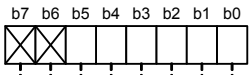
シンボル	アドレス	リセット後の値
DM0SL~DM3SL	44078h、44079h、4407Ah、4407Bh番地	XXX0 0000b

ビットシンボル	ビット名	機　能	RW
DSEL0	DMA起動要因選択ビット (注1)	表13.2 DMiSLレジスタ (i=0~3) 機能一覧表を参照	RW
DSEL1			RW
DSEL2			RW
DSEL3			RW
DSEL4			RW
— (b7-b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. 対応するチャネルのDMDiレジスタのMDi1~MDi0ビットが“00b”(DMA転送禁止) の状態でDSEL4~DSEL0ビットを変更してください。

図 13.2　DM0SL~DM3SL レジスタ

DMAi 起動要因選択レジスタ2 (i=0~3)



シンボル	アドレス	リセット後の値
DM0SL2~DM3SL2	44070h、44071h、44072h、44073h番地	XX00 0000b

ビットシンボル	ビット名	機　能	RW
DSEL20	DMA起動要因選択ビット (注1)	表13.3 DMiSL2レジスタ (i=0~3) 機能一覧表を参照	RW
DSEL21			RW
DSEL22			RW
DSEL23			RW
DSEL24			RW
DSR	ソフトウェアDMA転送要求ビット	ソフトウェアトリガ選択時は、このビットを“1”にするとDMA転送要求が発生する (読んだ場合は“0”)	RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. 対応するチャネルのDMDiレジスタのMDi1~MDi0ビットが“00b”(DMA転送禁止) の状態でDSEL24~DSEL20ビットを変更してください。

図 13.3　DM0SL2~DM3SL2 レジスタ

表 13.2 DMiSL レジスタ(i=0~3)機能一覧表

設定値	DMA起動要因				
b4 b3 b2 b1 b0	DMA0	DMA1	DMA2	DMA3	
0 0 0 0 0	起動要因選択レジスタ2から選択				
0 0 0 0 1	$\overline{\text{INT0}}$立ち下がりエッジ	$\overline{\text{INT1}}$立ち下がりエッジ	$\overline{\text{INT2}}$立ち下がりエッジ	$\overline{\text{INT3}}$立ち下がりエッジ(注1)	(注2)
0 0 0 1 0	$\overline{\text{INT0}}$両エッジ	$\overline{\text{INT1}}$両エッジ	$\overline{\text{INT2}}$両エッジ	$\overline{\text{INT3}}$両エッジ(注1)	(注2)
0 0 0 1 1	タイマA0割り込み要求				
0 0 1 0 0	タイマA1割り込み要求				
0 0 1 0 1	タイマA2割り込み要求				
0 0 1 1 0	タイマA3割り込み要求				
0 0 1 1 1	タイマA4割り込み要求				
0 1 0 0 0	タイマB0割り込み要求				
0 1 0 0 1	タイマB1割り込み要求				
0 1 0 1 0	タイマB2割り込み要求				
0 1 0 1 1	タイマB3割り込み要求				
0 1 1 0 0	タイマB4割り込み要求				
0 1 1 0 1	タイマB5割り込み要求				
0 1 1 1 0	UART0送信割り込み要求				
0 1 1 1 1	UART0受信またはACK割り込み要求(注3)				
1 0 0 0 0	UART1送信割り込み要求				
1 0 0 0 1	UART1受信またはACK割り込み要求(注3)				
1 0 0 1 0	UART2送信割り込み要求またはI^2Cバスインタフェース割り込み要求(注4)				
1 0 0 1 1	UART2受信またはACK割り込み要求(注3)またはI^2Cバスライン割り込み要求(注4)				
1 0 1 0 0	UART3送信割り込み要求		UART5送信割り込み要求		
1 0 1 0 1	UART3受信またはACK割り込み要求(注3)		UART5受信またはACK割り込み要求(注3)		
1 0 1 1 0	UART4送信割り込み要求		UART6送信割り込み要求		
1 0 1 1 1	UART4受信またはACK割り込み要求(注3)		UART6受信またはACK割り込み要求(注3)		
1 1 0 0 0	A/D0割り込み要求				
1 1 0 0 1	インテリジェントI/O割り込み0要求	インテリジェントI/O割り込み7要求	インテリジェントI/O割り込み2要求	インテリジェントI/O割り込み9要求	
1 1 0 1 0	インテリジェントI/O割り込み1要求	インテリジェントI/O割り込み8要求	インテリジェントI/O割り込み3要求	インテリジェントI/O割り込み10要求	
1 1 0 1 1	インテリジェントI/O割り込み2要求	インテリジェントI/O割り込み9要求	インテリジェントI/O割り込み4要求	インテリジェントI/O割り込み11要求	
1 1 1 0 0	インテリジェントI/O割り込み3要求	インテリジェントI/O割り込み10要求	インテリジェントI/O割り込み5要求	インテリジェントI/O割り込み0要求	
1 1 1 0 1	インテリジェントI/O割り込み4要求	インテリジェントI/O割り込み11要求	インテリジェントI/O割り込み6要求	インテリジェントI/O割り込み1要求	
1 1 1 1 0	インテリジェントI/O割り込み5要求	インテリジェントI/O割り込み0要求	インテリジェントI/O割り込み7要求	インテリジェントI/O割り込み2要求	
1 1 1 1 1	インテリジェントI/O割り込み6要求	インテリジェントI/O割り込み1要求	インテリジェントI/O割り込み8要求	インテリジェントI/O割り込み3要求	

注1. メモリ拡張モード、マイクロプロセッサモードで$\overline{\text{INT3}}$端子がデータバスとなる場合、DMA3の起動要因に$\overline{\text{INT3}}$端子入力は使用できません。

注2. $\overline{\text{INTi}}$端子(i=0~3)への入力の立ち下がりエッジと両エッジがDMA起動要因になります。外部割り込み(INTiIC レジスタのPOL ビット、LVS ビット、IFSR0 レジスタ)の影響を受けません。また、外部割り込みへ影響を与えません。

注3. UARTi受信(i=0~6)とACKの切り替えは、UiSMR レジスタとUiSMR2 レジスタによって行います。

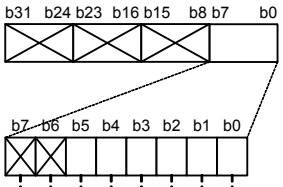
注4. UART2とI^2Cバスインタフェースのどちらを使用するかは、I2CMR レジスタのI2CEN ビットで選択してください。

表 13.3 DMiSL2 レジスタ (i=0~3) 機能一覧表

設定値	DMA起動要因				
b4 b3 b2 b1 b0	DMA0	DMA1	DMA2	DMA3	
0 0 0 0 0	ソフトウェアトリガ				
0 0 0 0 1	$\overline{\text{INT6}}$立ち下がりエッジ	$\overline{\text{INT7}}$立ち下がりエッジ	$\overline{\text{INT8}}$立ち下がりエッジ	予約	(注1)
0 0 0 1 0	$\overline{\text{INT6}}$両エッジ	$\overline{\text{INT7}}$両エッジ	$\overline{\text{INT8}}$両エッジ	予約	(注1)
0 0 0 1 1	予約				
0 0 1 0 0	予約				
0 0 1 0 1	予約				
0 0 1 1 0	予約				
0 0 1 1 1	予約				
0 1 0 0 0	予約				
0 1 0 0 1	予約				
0 1 0 1 0	予約				
0 1 0 1 1	予約				
0 1 1 0 0	予約				
0 1 1 0 1	予約				
0 1 1 1 0	予約				
0 1 1 1 1	予約				
1 0 0 0 0	予約				
1 0 0 0 1	予約				
1 0 0 1 0	予約				
1 0 0 1 1	予約				
1 0 1 0 0	予約				
1 0 1 0 1	予約				
1 0 1 1 0	予約				
1 0 1 1 1	予約				
1 1 0 0 0	UART7送信割り込み要求				
1 1 0 0 1	UART7受信割り込み要求				
1 1 0 1 0	UART8送信割り込み要求				
1 1 0 1 1	UART8受信割り込み要求				
1 1 1 0 0	予約				
1 1 1 0 1	予約				
1 1 1 1 0	予約				
1 1 1 1 1	予約				

注1. $\overline{\text{INTi}}$端子 (i=6~8) への入力の立ち下がりエッジと両エッジがDMA起動要因になります。外部割り込み (INTiIC レジスタのPOL ビット、LVS ビット、IFSR1 レジスタ) の影響を受けません。また、外部割り込みへ影響を与えません。

DMAiモードレジスタ (i=0~3) (注1)



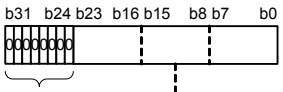
シンボル: DMD0~DMD3
アドレス: (CPU内部レジスタ)
リセット後の値: XXXX XXXX XXXX XXXX XXXX XXXX XX00 0000b

ビットシンボル	ビット名	機　能	RW
MDi0	転送モード選択ビット (注2)	b1 b0 0 0 : DMA転送禁止 0 1 : 単転送 1 0 : 設定しないでください 1 1 : リピート転送	RW
MDi1			RW
BWi0	転送サイズ選択ビット(注3)	b3 b2 0 0 : 8ビット 0 1 : 16ビット 1 0 : 32ビット 1 1 : 設定しないでください	RW
BWi1			RW
USAi	ソースアドレス更新選択ビット (注3)	0: 更新しない (固定) 1: 更新する (インクリメント)	RW
UDAi	デスティネーションアドレス更新選択ビット (注3)	0: 更新しない (固定) 1: 更新する (インクリメント)	RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
— (b31-b8)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. このレジスタへの書き込みは、LDC命令を使用してください。
注2. 他のすべてのDMAC関連レジスタを設定した後、このビットを設定してください。
注3. これらのビットを書き換えるときは、MDi1~MDi0ビットを“00b”にしてから実施してください。

図 13.4　DMD0~DMD3 レジスタ

DMAiターミナルカウントレジスタ (i=0~3) (注1)



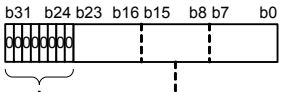
シンボル: DCT0~DCT3
アドレス: (CPU内部レジスタ)
リセット後の値: XXXX XXXXh

機　能	設定範囲	RW
転送回数を設定	000000h ~ FFFFFFh (注2)	RW
予約ビット	“00h”にしてください	RW

注1. このレジスタへの書き込みは、LDC命令を使用してください。また、対応するチャネルのDMDiレジスタのMDi1~MDi0ビットが“00b”(DMA転送禁止) の状態で値を設定してください。
注2. “000000h”を設定した場合、その後のDMA転送要求は受け付けません。

図 13.5　DCT0~DCT3 レジスタ

DMAiターミナルカウントリロードレジスタ(i=0~3) (注1)



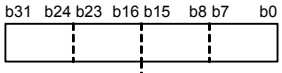
シンボル	アドレス	リセット後の値
DCR0~DCR3	(CPU内部レジスタ)	XXXX XXXXh

機　能	設定範囲	RW
転送回数を設定	000000h ~ FFFFFFh	RW
予約ビット	“00h”にしてください	RW

注1. このレジスタへの書き込みは、LDC命令を使用してください。また、対応するチャネルのDMDiレジスタのMDi1~MDi0ビットが“00b”(DMA転送禁止) の状態で値を設定してください。

図 13.6　DCR0~DCR3 レジスタ

DMAiソースアドレスレジスタ(i=0~3) (注1)



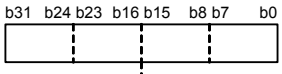
シンボル	アドレス	リセット後の値
DSA0~DSA3	(CPU内部レジスタ)	XXXX XXXXh

機　能	設定範囲	RW
転送元のアドレスを設定	00000000h ~ 01FFFFFFh および FE000000h ~ FFFFFFFFh (64Mバイト)	RW

注1. このレジスタへの書き込みは、LDC命令を使用してください。また、対応するチャネルのDMDiレジスタのMDi1~MDi0ビットが“00b”(DMA転送禁止) の状態で値を設定してください。

図 13.7　DSA0~DSA3 レジスタ

DMAiソースアドレスリロードレジスタ(i=0~3) (注1)



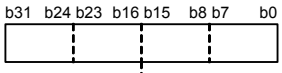
シンボル	アドレス	リセット後の値
DSR0~DSR3	(CPU内部レジスタ)	XXXX XXXXh

機　能	設定範囲	RW
転送元のアドレスを設定	00000000h ~ 01FFFFFFh および FE000000h ~ FFFFFFFFh (64Mバイト)	RW

注1. このレジスタへの書き込みは、LDC命令を使用してください。また、対応するチャネルのDMDiレジスタのMDi1~MDi0ビットが“00b”(DMA転送禁止) の状態で値を設定してください。

図 13.8　DSR0~DSR3 レジスタ

DMAiデスティネーションアドレスレジスタ(i=0~3) (注1)



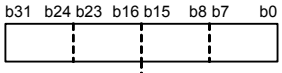
シンボル	アドレス	リセット後の値
DDA0~DDA3	(CPU内部レジスタ)	XXXX XXXXh

機　能	設定範囲	RW
転送先のアドレスを設定	00000000h ~ 01FFFFFFh および FE000000h ~ FFFFFFFFh (64Mバイト)	RW

注1. このレジスタへの書き込みは、LDC命令を使用してください。また、対応するチャネルのDMDiレジスタのMDi1~MDi0ビットが“00b”(DMA転送禁止) の状態で値を設定してください。

図 13.9　DDA0~DDA3 レジスタ

DMAiデスティネーションアドレスリロードレジスタ(i=0~3) (注1)



シンボル	アドレス	リセット後の値
DDR0~DDR3	(CPU内部レジスタ)	XXXX XXXXh

機　能	設定範囲	RW
転送先のアドレスを設定	00000000h ~ 01FFFFFFh および FE000000h ~ FFFFFFFFh (64Mバイト)	RW

注1. このレジスタへの書き込みは、LDC命令を使用してください。また、対応するチャネルのDMDiレジスタのMDi1~MDi0ビットが“00b”(DMA転送禁止) の状態で値を設定してください。

図 13.10　DDR0~DDR3 レジスタ

13.1 転送サイクル

転送サイクルは、メモリまたはSFRの読み出し(ソースリード)のバスサイクルと、書き込み(デスティネーションライト)のバスサイクルで構成されています。

読み出しと書き込みのバスサイクル数は、DSAiレジスタ(i=0~3)とDDAiレジスタに設定する値や、対象とするデバイスが接続されているバスのデータバス幅、バスタイミングの影響を受けます。

13.1.1 転送番地とデータバス幅の影響

表13.4に転送番地のアライメントやデータバス幅によるバスサイクル数の増加を、転送単位別に示します。

表13.4 転送番地とデータバス幅によるバスサイクル数の増加

転送単位	データバス幅	転送番地	増加するバスサイクル数	発生するバスサイクル
8ビット	8~64ビット	n番地	0	[n]
16ビット	8ビット	n番地	+1	[n]-[n+1]
	16ビット	2n番地	0	[2n]
		2n+1番地	+1	[2n+1]-[2n+2]
	32ビット	4n番地	0	[4n]
		4n+1番地	0	[4n+1]
		4n+2番地	0	[4n+2]
		4n+3番地	+1	[4n+3]-[4n+4]
	64ビット	8n番地	0	[8n]
		8n+1番地	0	[8n+1]
		8n+2番地	0	[8n+2]
		8n+3番地	0	[8n+3]
		8n+4番地	0	[8n+4]
		8n+5番地	0	[8n+5]
		8n+6番地	0	[8n+6]
		8n+7番地	+1	[8n+7]-[8n+8]
32ビット	8ビット	n番地	+3	[n]-[n+1]-[n+2]-[n+3]
	16ビット	4n番地	+1	[4n]-[4n+2]
		4n+1番地	+2	[4n+1]-[4n+2]-[4n+4]
		4n+2番地	+1	[4n+2]-[4n+4]
		4n+3番地	+2	[4n+3]-[4n+4]-[4n+6]
	32ビット	4n番地	0	[4n]
		4n+1番地	+1	[4n+1]-[4n+4]
		4n+2番地	+1	[4n+2]-[4n+4]
		4n+3番地	+1	[4n+3]-[4n+4]
	64ビット	8n番地	0	[8n]
		8n+1番地	0	[8n+1]
		8n+2番地	0	[8n+2]
		8n+3番地	0	[8n+3]
		8n+4番地	0	[8n+4]
		8n+5番地	+1	[8n+5]-[8n+8]
		8n+6番地	+1	[8n+6]-[8n+8]
		8n+7番地	+1	[8n+7]-[8n+8]

13.1.2 バスタイミングの影響

R32C/100シリーズでは、デバイスごとに接続されるバスを分割し、それぞれバス幅、バスタイミングが異なります。デバイスごとのバス幅、アクセスサイクル数を表13.5に示します。

表13.5 デバイスごとのバス幅およびバスサイクル数

デバイス名称	アドレス(注1)	バス幅	アクセスサイクル数(注2)	基準クロック
フラッシュメモリ	FFE00000h~FFFFFFFFh	64ビット	2または3(注3)	CPUクロック
データフラッシュ	00060000h~00061FFFh	64ビット	5	CPUクロック
RAM	00000400h~0003FFFFh	64ビット	1または2(注4)	CPUクロック
SFR領域	00000000h~0000001Fh	16ビット	3(注5)	周辺バスクロック
	00000020h~000003FFh	16ビット	2(注5)	周辺バスクロック
SFR2領域	00040000h~00041FFFh	16ビット	2(注5)	周辺バスクロック
	00042000h~00043FFFh	32ビット	2(注5)	周辺バスクロック
	00044000h~000440DFh	16ビット	2(注5、6)	周辺バスクロック
	000440E0h~000443FFh	16ビット	3(注5、6)	周辺バスクロック
	00044400h~00045FFFh	16ビット	2(注5、6)	周辺バスクロック
	00046000h~000467FFh	32ビット	3(注5、6)	周辺バスクロック
	00046800h~00047FFFh	32ビット	2(注5、6)	周辺バスクロック
	00048000h~0004FFFFh	64ビット	2	CPUクロック
外部バス	00080000h~01FFFFFFh FE000000h~FFDFFFFFh	8/16/32ビット	EBCnレジスタ(n=0~3)の設定値に依存(注5)	周辺バスクロック

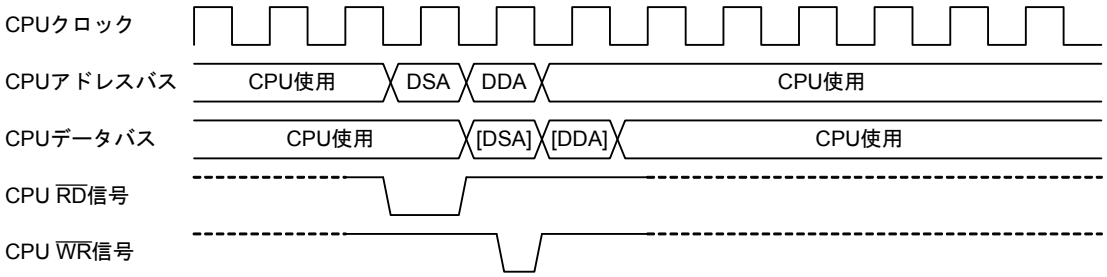
注1. 予約領域を含みます。
注2. アクセスサイクル数は、それぞれのバスのクロックを基準にしています。
注3. 同一ページ内は2サイクル、ページを外れると3サイクルになります。
注4. ライトサイクルが連続する場合、2回目のライトサイクルは2サイクルになります。また、ライトサイクル直後のリードサイクルも2サイクルになります。
注5. SFRアクセスが連続した場合、2回目以降のアクセスはベースクロック1サイクル分増えます。
注6. 周辺バスクロックの位相によっては、最大1サイクル増える場合があります。

図13.11にソースリードについての転送サイクル例を示します。この図では、デスティネーションを内部RAMとし、デスティネーションライトサイクルを1サイクルとして、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にデスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、デスティネーションライトサイクルとソースリードサイクルに各条件を適用してください。たとえば図13.11(B)のようにバスサイクルが2回発生する場合では、ソースリードサイクルとデスティネーションライトサイクルは、それぞれにバスサイクルが2回必要となります。

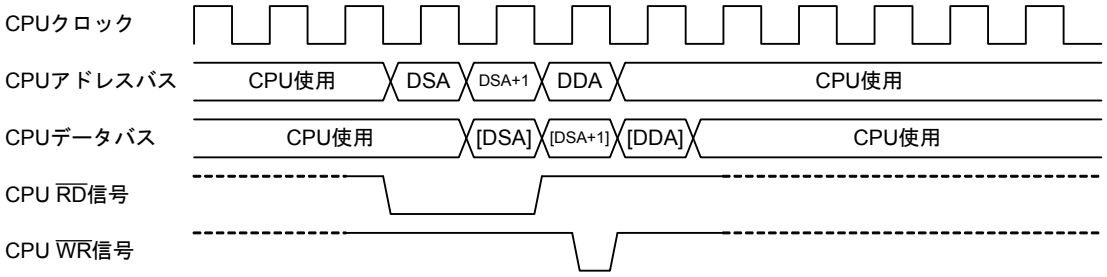
13.1.3 $\overline{\text{RDY}}$ 信号の影響

メモリ拡張モードとマイクロプロセッサモード時、外部領域では$\overline{\text{RDY}}$信号の影響を受けます。詳細は「9.3.7 $\overline{\text{RDY}}$信号」を参照してください。

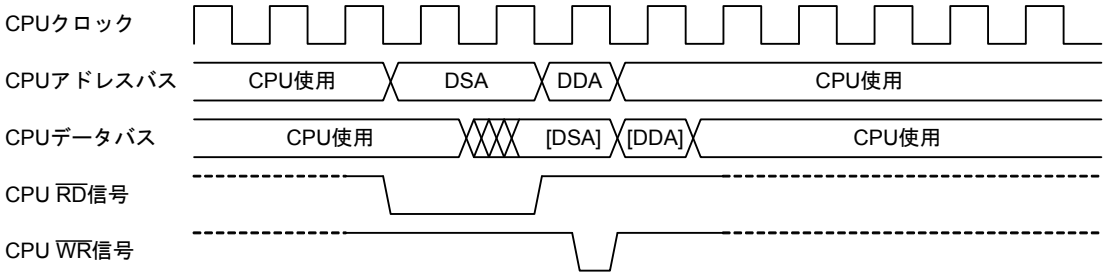
(A) ソースリードが1サイクルで完了する場合
例: RAM上の8n番地から16ビットデータを転送する場合



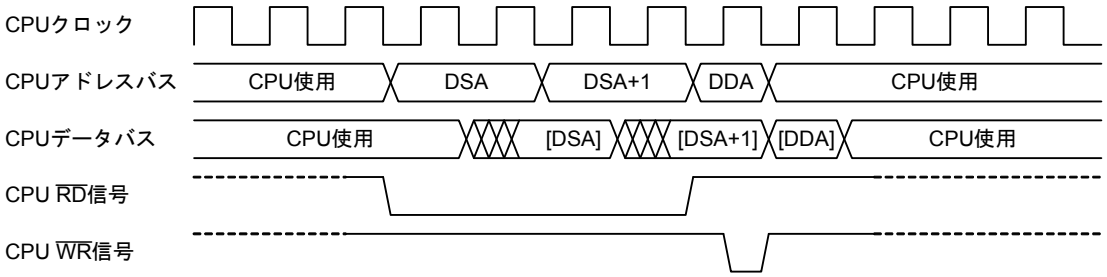
(B) ソースリードのバスサイクルが2回発生する場合
例: RAM上の8n+7番地から16ビットデータを転送する場合



(C) (A) の条件でソースリードに1ウェイトが入ったとき
例: ROM上の16n番地から16ビットデータを転送する場合



(D) (B) の条件でソースリードに1ウェイトが入ったとき
例: ROM上の16n+7番地から16ビットデータを転送する場合



注1. デスティネーションライトサイクルが1サイクルの例です。
デスティネーションについても各条件で、ソースと同じタイミングの変化があります。

図 13.11 ソースリードについての転送サイクル例

13.2 DMA転送サイクル数

DMA転送のサイクル数は以下のとおり計算できます。

1転送単位の転送サイクル数 = 読み出しサイクル数 × j + 書き込みサイクル数 × k + 1

読み出しサイクル数はソースリードに必要なバスサイクル数、書き込みサイクル数はデスティネーションライトに必要なバスサイクル数で、それぞれ最低1サイクル必要です。アドレスによってサイクル数が増加しますので表 13.4からバスサイクル数を求めてください。

j は読み出しに必要なアクセスサイクル数、k は書き込みに必要なアクセスサイクル数で、表 13.5 を参照ください。

最後の+1はDCTiレジスタ(i=0~3)の減算サイクルです。

たとえば400h番地(RAM)から800h番地(RAM)に32ビットデータのDMA転送を行う場合、転送サイクル数は、

転送サイクル数 = 1 × 1 + 1 × 1 + 1
= 3

と計算できます。

また、周辺バスクロックがCPUクロックの1/2の周波数のときに、AD00レジスタ(380h番地)からP1レジスタ(3C1h番地)、P0レジスタ(3C0h番地)に16ビットデータのDMA転送を行う場合、転送サイクル数は、

転送サイクル数 = 1 × 2 × 2 + 1 × 2 × 2 + 1
= 9

と計算できます。

13.3 チャネル優先順位とDMA転送タイミング

複数のDMA転送要求が同一サンプリング期間(CPUクロックの立ち下がりエッジから次の立ち下がりエッジの一周期)で入った場合、これらの要求は同時にDMACに入力されます。この場合のチャネル優先順位は、DMA0>DMA1>DMA2>DMA3です。

以下、DMA0とDMA1への転送要求が同一サンプリング期間に入った場合の動作を、図13.12に示す外部要因によるDMA転送例を例に説明します。

図13.12ではDMA0への転送要求とDMA1への転送要求が同時に発生したので、まずチャネル優先順位が高いDMA0が転送を開始し、1転送単位終了後CPUにバスを明け渡します。CPUが1回のバスアクセスを終了すると、次にDMA1が転送を開始し、1転送単位終了後CPUにバスを明け渡します。

なお、DMA転送要求の回数はカウントできませんので、図13.12のDMA1のようにバスの使用が許可されるまでに複数回$\overline{\text{INT1}}$割り込みが発生した場合も、転送回数は1回です。

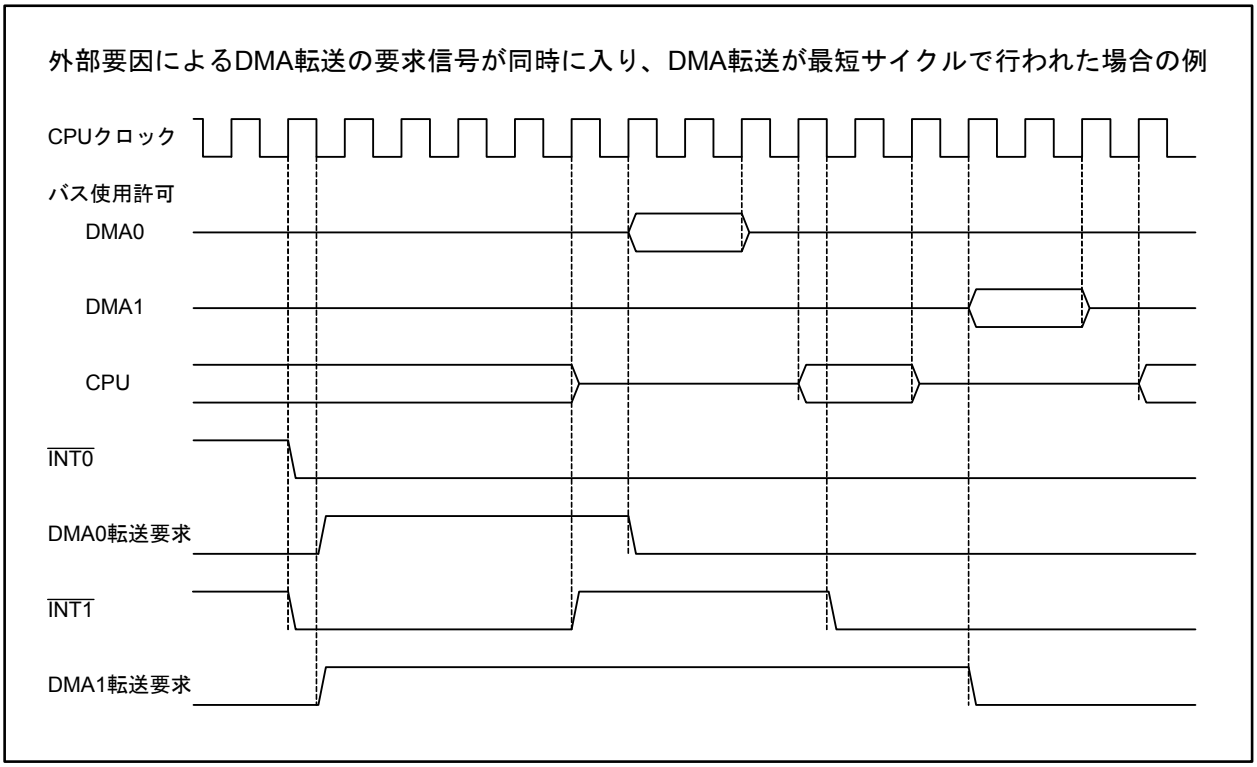


図 13.12 外部要因によるDMA転送例

13.4 DMAコントローラ使用上の注意

13.4.1 DMAC関連レジスタの設定

- DMAC関連レジスタを設定する場合、設定するチャネルのDMDiレジスタ(i=0~3)のMDi1~MDi0ビットが“00b” (DMA転送禁止)の状態で設定し、最後にMDi1~MDi0ビットを“01b” (単転送)または“11b” (リピート転送)に設定してください。DMDiレジスタのUDAi、USAi、BWi1~BWi0ビットを書き換える場合も、MDi1~MDi0ビットが“00b” (DMA転送禁止)のときに実施してください。

- DMA転送を許可した後でDMAC関連レジスタを書き換える必要が生じた場合、まずDMA転送要求が発生しないようにDMA起動要因となる周辺機能を停止し、次に書き換えたいチャネルのDMDiレジスタのMDi1~MDi0ビットを“00b” (DMA転送禁止)にしてから実施してください。

- 一旦DMA転送要求が受け付けられた後は、DMDiレジスタのMDi1~MDi0ビットを“00b” (DMA転送禁止)にしてもDMA転送を禁止することはできません。この場合、DMA転送が完了するまでMDi1~MDi0ビット以外のDMAC関連レジスタの設定を変更しないでください。

- DMiSL、DMiSL2レジスタを設定した後、周辺バスクロックで6クロック以上待ってから、DMDiレジスタのMDi1~MDi0ビットに“01b” (単転送)または“11b” (リピート転送)を書いてください。

13.4.2 DMAC関連レジスタの読み出し

- DMiSL、DMiSL2レジスタをそれぞれ連続して読み出す場合、以下の順で読み出してください。
  DM0SL→DM1SL→DM2SL→DM3SL
  DM0SL2→DM1SL2→DM2SL2→DM3SL2

14. DMAC II

周辺機能からの割り込み要求により起動し、CPUの命令を介さずにデータ転送を行います。転送対象にはメモリ、即値、メモリ+メモリ、即値+メモリが選択できます。

表14.1にDMAC IIの仕様を示します。

表 14.1 DMAC IIの仕様

項目	仕様
DMAC II起動要因	割り込み制御レジスタのILVL2~ILVL0ビットを“111b”(レベル7)にしたすべての周辺機能からの割り込み要求
転送対象	•メモリ→メモリ(メモリ間転送) •即値→メモリ(即値転送) •メモリ+メモリ→メモリ(演算転送) •即値+メモリ→メモリ(演算転送)
転送サイズ	8ビット、16ビット
転送空間	64Mバイト(00000000h~01FFFFFFhおよびFE000000h~FFFFFFFFh)の任意の空間から64Mバイトの任意の空間へデータ転送(注1)
アドレッシング	転送元と転送先で個別に以下の2つから選択可能 •固定: 毎回同じアドレス •インクリメント: データ転送1回ごとにアドレスを1(転送サイズ=8ビット)または2(転送サイズ=16ビット)加算
転送方式	•単転送: 一度の転送要求でデータ転送を1回だけ実行 •バースト転送: 一度の転送要求で転送カウンタに設定された回数のデータ転送を連続して実行 •複数転送: 一度の転送要求でそれぞれ異なる転送元/転送先に対する複数回のメモリ間転送を実行
チェーン転送機能	複数のDMAC IIインデックス(転送情報)を順次切り替えてデータ転送を実行
転送完了割り込み要求	転送カウンタが“0000h”になったとき発生

注1. ただし、転送サイズが16ビットで転送先アドレスが“FFFFFFFFh”のとき、FFFFFFFFh番地と00000000h番地に転送します。転送元アドレスが“FFFFFFFFh”のときも同様です。

14.1 DMAC IIの設定

DMAC IIを使用する場合、以下の設定を行ってください。

- RIPL1レジスタ、RIPL2レジスタ
- DMAC IIインデックス
- DMAC IIの起動要因となる周辺機能の割り込み制御レジスタ
- DMAC IIの起動要因となる周辺機能の可変ベクタ
- インテリジェントI/O割り込みを使用する場合、IIOiIEレジスタ(i=0~11)のIRLTビット。IIOiIEレジスタについては「11. 割り込み」を参照してください。

14.1.1 RIPL1、RIPL2レジスタ

RIPL1、RIPL2レジスタ両方のDMAIIビットを“1”(DMA II転送)に、FSITビットを“0”(通常割り込み)にすると、割り込み制御レジスタのILVL2~ILVL0ビットを“111b”(レベル7)にしたすべての周辺機能からの割り込み要求で、DMAC IIが起動します。

図 14.1にRIPL1、RIPL2レジスタを示します。

復帰用割り込み優先レベル設定レジスタi (i=1, 2) (注1)

b7	b6	b5	b4	b3	b2	b1	b0
×	×		×				

シンボル	アドレス	リセット後の値
RIPL1, RIPL2	4407Fh、4407Dh番地	XX0X 0000b

ビットシンボル	ビット名	機　能	RW
RLVL0	ウェイトモード/ストップモード復帰用割り込み優先レベル選択ビット (注2)	b2 b1 b0 0 0 0 : レベル0 0 0 1 : レベル1 0 1 0 : レベル2 0 1 1 : レベル3 1 0 0 : レベル4 1 0 1 : レベル5 1 1 0 : レベル6 1 1 1 : レベル7	RW
RLVL1			RW
RLVL2			RW
FSIT	高速割り込み選択ビット (注3)	0: 割り込み要求レベル7は通常割り込みに使用 1: 割り込み要求レベル7は高速割り込みに使用 (注4)	RW
— (b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
DMAII	DMA II選択ビット (注5)	0: 割り込み要求レベル7は割り込みに使用 1: 割り込み要求レベル7はDMA II転送に使用 (注4)	RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. RIPL1レジスタと、RIPL2レジスタには同じ値を書いてください。
注2. 要求のあった割り込みの要求レベルが、RLVL2 ~ RLVL0ビットで選択したレベルより大きい場合、ウェイトモード、ストップモードから復帰します。FLGレジスタのIPLと同じ値を設定してください。
注3. FSITビットが“1”の場合、割り込み要求レベルがレベル7の割り込みが高速割り込みになります。このとき、1つの割り込みのみ割り込み要求レベルをレベル7にしてください。
注4. FSITビットとDMAIIビットはどちらか一方のみ“1”にしてください。高速割り込みとDMAC IIは同時に使用できません。
注5. DMAIIビットを設定した後で割り込み制御レジスタのILVL2 ~ ILVL0ビットを設定してください。なお、DMAC IIの転送はIフラグとIPLの影響を受けません。

図 14.1　RIPL1、RIPL2レジスタ

14.1.2 DMAC IIインデックス

DMAC IIインデックスは12~60バイトで構成されるデータテーブルで、転送モード、転送カウンタ、転送元アドレス (または即値データ)、演算対象のアドレス、転送先アドレス、チェーン転送ベースアドレス、転送完了割り込み処理分岐先アドレスの各パラメータを格納します。

DMAC IIインデックスはRAMに配置してください。

図 14.2にDMAC IIインデックスを、表 14.2にDMAC IIインデックスの記述例を示します。

メモリ間転送、即値転送、演算転送

DMAC IIインデックス先頭番地 (BASE)

	16ビット	
BASE+2	転送モード	(MOD)
	転送カウンタ	(COUNT)
BASE+4	転送元アドレス (または即値)	(SADR)
BASE+8	演算対象アドレス (注1)	(OADR)
BASE+12	転送先アドレス	(DADR)
BASE+16	チェーン転送ベースアドレス (注2)	(CADR)
BASE+20	転送完了割り込み処理分岐先アドレス (注3)	(IADR)

複数転送

	16ビット	
BASE	転送モード	(MOD)
BASE+2	転送カウンタ	(COUNT)
BASE+4	転送元アドレス	(SADR1)
BASE+8	転送先アドレス	(DADR1)
BASE+12	転送元アドレス	(SADR2)
BASE+16	転送先アドレス	(DADR2)
	⋮	
BASE+52	転送元アドレス	(SADR7)
BASE+56	転送先アドレス	(DADR7)

注1. 演算転送機能を使用しない場合、このデータは不要です。
注2. チェーン転送機能を使用しない場合、このデータは不要です。
注3. 転送完了割り込みを使用しない場合、このデータは不要です。

DMAC IIインデックスはRAMに配置してください。また、必要なデータを前詰めで配置してください。
たとえば、演算転送機能を使用しない場合、転送先アドレスを BASE+8 番地に配置してください (DMAC IIインデックス記述例の表参照)。
DMAC IIの起動要因となる周辺機能割り込みの割り込みベクタ領域に、DMAC IIインデックスの先頭番地を設定してください。

図 14.2 DMAC IIインデックス

次に、DMAC IIインデックスの内容を説明します。これらのデータは使用するDMAC IIの転送モードに応じて表 14.2に示す順序で配置してください。

- **転送モード(MOD)**
  2バイトデータで、転送モードを設定してください。図 14.3に転送モードの設定内容を示します。
- **転送カウンタ(COUNT)**
  2バイトデータで、転送回数を設定してください。
- **転送元アドレス(SADR)**
  4バイトデータで、転送元メモリのアドレスまたは即値を設定してください。即値の場合、上位2バイトは無視されます。
- **演算対象アドレス(OADR)**
  4バイトデータで、演算対象となるメモリのアドレスを設定してください。演算転送機能を使用する場合のみ、このデータを設定してください。

• 転送先アドレス(DADR)
4バイトデータで、転送先メモリのアドレスを設定してください。
• チェーン転送ベースアドレス(CADR)
4バイトデータで、次回に行う転送のDMAC IIインデックス先頭番地(BASE)を設定してください。チェーン転送機能を使用する場合のみ、このデータを設定してください。
• 転送完了割り込み処理分岐先アドレス(IADR)
4バイトデータで、転送完了割り込み処理ルーチンの先頭番地を設定してください。転送完了割り込みを使用する場合のみ、このデータを設定してください。

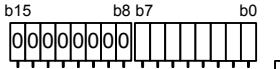
なお、これ以降の説明では各パラメータ名は上記( )内の記号を使用します。

表 14.2 DMAC IIインデックス記述例

転送データ	メモリ間転送/即値転送				演算転送				複数転送
チェーン転送	不使用	使用	不使用	使用	不使用	使用	不使用	使用	使用できません
転送完了割り込み	不使用	不使用	使用	使用	不使用	不使用	使用	使用	使用できません
DMAC IIインデックス	MOD COUNT SADR DADR 12バイト	MOD COUNT SADR DADR CADR 16バイト	MOD COUNT SADR DADR IADR 16バイト	MOD COUNT SADR DADR CADR IADR 20バイト	MOD COUNT SADR OADR DADR 16バイト	MOD COUNT SADR OADR DADR CADR 20バイト	MOD COUNT SADR OADR DADR IADR 20バイト	MOD COUNT SADR OADR DADR CADR IADR 24バイト	MOD COUNT SADR1 DADR1 SADRi DADRi i=1~7 最大60バイト (i=7のとき)

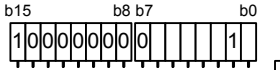
転送モード (MOD) (注1)

複数転送非選択時 (MULT=0)



ビットシンボル	ビット名	機　能	RW
SIZE	転送サイズ選択ビット	0: 8ビット 1: 16ビット	RW
IMM	転送対象選択ビット	0: 即値 1: メモリ	RW
UPDS	転送元アドレッシング選択ビット	0: 固定 1: インクリメント	RW
UPDD	転送先アドレッシング選択ビット	0: 固定 1: インクリメント	RW
OPER	演算転送機能選択ビット	0: 演算機能なし 1: 演算機能あり	RW
BRST	バースト転送機能選択ビット	0: 単転送 1: バースト転送	RW
INTE	転送完了割り込み選択ビット	0: 割り込みを使用しない 1: 割り込みを使用する	RW
CHAIN	チェーン転送選択ビット	0: チェーン転送を行わない 1: チェーン転送を行う	RW
— (b14-b8)	予約ビット	“0”にしてください	RW
MULT	複数転送選択ビット	0: 複数転送を行わない	RW

複数転送選択時 (MULT=1)



ビットシンボル	ビット名	機　能	RW
SIZE	転送サイズ選択ビット	0: 8ビット 1: 16ビット	RW
IMM	予約ビット	“1”にしてください	RW
UPDS	転送元アドレッシング選択ビット	0: 固定 1: インクリメント	RW
UPDD	転送先アドレッシング選択ビット	0: 固定 1: インクリメント	RW
CNT0	転送数設定ビット	b6 b5 b4 0 0 0 : 設定しないでください 0 0 1 : 1回 0 1 0 : 2回 : : 1 1 1 : 7回	RW
CNT1			RW
CNT2			RW
CHAIN	予約ビット	“0”にしてください	RW
— (b14-b8)	予約ビット	“0”にしてください	RW
MULT	複数転送選択ビット	1: 複数転送を行う	RW

注1. RAMに配置してください。

図 14.3　MOD

14.1.3 周辺機能の割り込み制御レジスタ

DMAC IIの起動要因に使用する周辺機能割り込みの割り込み制御レジスタは、ILVL2~ILVL0ビットを“111b”(レベル7)にしてください。

14.1.4 周辺機能の可変ベクタテーブル

DMAC IIの起動要因となる周辺機能割り込みの割り込みベクタ領域に、DMAC IIインデックスの先頭番地を設定してください。

チェーン転送を使用するときは、可変ベクタテーブルをRAMに配置してください。

14.1.5 IIOiIEレジスタ(i=0~11)のIRLTビット

インテリジェントI/O割り込みによりDMAC IIを起動する場合、起動要因となる割り込みのIIOiIEレジスタのIRLTビットを“0”(割り込み要求をDMA、DMA IIで使用)にしてください。

14.2 DMAC IIの動作

RIPL1、RIPL2レジスタのDMAIIビットを“1”(割り込み要求レベル7はDMA II転送に使用)にすると、DMA II転送機能が選択されます。割り込み制御レジスタのILVL2~ILVL0ビットを“111b”(レベル7)にしたすべての周辺機能割り込み要求が、DMAC IIの起動要因になります。これらの周辺機能の割り込み要求は、DMA II転送要求となりますので、CPUへの割り込み要求としては使用できません。

ILVL2~ILVL0ビットが“111b”の割り込み要求が発生すると、Iフラグと IPLに関係なくDMAC IIが起動します。

なお、DMAC IIの起動要因となる周辺機能割り込み要求と、より優先順位の高い割り込み要求(ウォッチドッグタイマ割り込み、電圧低下検出割り込み、発振停止検出割り込み、NMI)が同時に発生した場合、優先順位の高い割り込みがDMA II転送よりも優先して受け付けられ、その割り込みシーケンス終了後にDMA II転送が開始されます。

14.3 転送対象

DMAC IIでは、以下の3種類の転送対象に対し8ビットまたは16ビット単位でデータ転送を行います。

- メモリ間転送: 64Mバイト空間(00000000h~01FFFFFFhおよびFE000000h~FFFFFFFFh)の任意のメモリから同空間の任意のメモリに転送します。
- 即値転送: 即値データを64Mバイト空間の任意のメモリに転送します。
- 演算転送: 2つのデータを加算し、加算結果を64Mバイト空間の任意のメモリに転送します。

ただし、転送サイズが16ビットでDADRが“FFFFFFFFh”のとき、FFFFFFFFh番地と00000000h番地に転送します。SADRが“FFFFFFFFh”のときも同様です。

14.3.1 メモリ間転送

任意のメモリから任意のメモリへ転送します。転送の種類は、以下のとおりです。

- アドレス固定のメモリからアドレス固定のメモリへの転送
- アドレス固定のメモリから連続するメモリ領域への転送
- 連続するメモリ領域からアドレス固定のメモリへの転送
- 連続するメモリ領域から連続するメモリ領域への転送

アドレッシングに「インクリメント」を選択した場合、転送後、次回の転送のためにSADR、DADRがインクリメントされます。アドレスは、転送サイズが8ビットの場合は1、16ビットの場合は2加算されます。アドレスを加算することでSADRまたはDADRが“FFFFFFFFh”を超える場合、アドレスは“00000000h”に戻ります。同様にSADRまたはDADRが“01FFFFFFh”を超える場合、アドレスは“02000000h”となりますが、実際の転送はFE000000h番地に対して実行されます。

14.3.2 即値転送

即値を任意のメモリへ転送します。転送先のアドレッシングには「固定」または「インクリメント」を選択できます。SADRに即値を格納してください。8ビットの即値を転送する場合、SADRの下位1バイトに、16ビットの即値を転送する場合、SADRの下位2バイトにデータを設定してください(それぞれ上位3バイト、上位2バイトは無視されます)。

14.3.3 演算転送

任意のメモリの内容と任意のメモリの内容、または即値と任意のメモリの内容を加算した結果を任意のメモリに転送します。SADRに演算対象データのアドレスまたは即値を設定し、OADRにもう一方の演算対象データのアドレスを設定してください。メモリ+メモリ演算転送の場合、転送元と転送先のアドレッシングに「固定」または「インクリメント」が選択できます。転送元アドレッシングが「インクリメント」の場合には、演算対象のアドレッシングも「インクリメント」となります。即値+メモリ演算転送の場合、転送先のアドレッシングのみ「固定」または「インクリメント」から選択できます。

14.4 転送方式

DMAC IIでは単転送、バースト転送、複数転送が行えます。転送回数はCOUNTで設定します。COUNTが“0000h”の場合、転送は行いません。

14.4.1 単転送

MODのBRSTビットを“0”にすると単転送が選択されます。

一度の転送要求で、データ転送を1回だけ実行します。

転送元または転送先のアドレッシングに「インクリメント」を選択した場合、転送後、次回の転送のためにアドレスをインクリメントします。COUNTは、データ転送が1回実行されるごとにデクリメントされます。MODのINTEビットが“1”(転送完了割り込みを使用する)の場合、COUNTが“0000h”になった時点で、転送完了割り込み要求が発生します。

14.4.2 バースト転送

MODのBRSTビットを“1”にするとバースト転送が選択されます。

一度の転送要求で、COUNTで設定された回数分、連続してデータ転送を実行します。

COUNTはデータ転送が1回実行されるごとにデクリメントされ、“0000h”になったときバースト転送が終了します。INTEビットが“1”(転送完了割り込みを使用する)の場合、バースト転送終了時、転送完了割り込み要求が発生します。

なお、バースト転送中は、すべての割り込みを受け付けません。

14.4.3 複数転送

MODのMULTビットを“1”にすると複数転送が選択されます。

一度の転送要求でそれぞれ異なる転送元/転送先に対する複数回のメモリ間転送を行います。転送数はMODのCNT2~CNT0ビットで“001b”(1回)~“111b”(7回)が選択できます。なお、CNT2~CNT0ビットは“000b”にしないでください。

転送数分のSDAR、DADRをMOD、COUNTに続く番地にそれぞれ交互に配置してください。

複数転送選択時、演算転送、バースト転送、チェーン転送、および転送完了割り込みの各機能は使用できません。

14.5 チェーン転送

MODのCHAINビットを“1”にするとチェーン転送機能が有効になります。
チェーン転送時は以下のように動作します。

(1) 転送要求が発生すると、その要因の割り込みベクタが示すDMAC IIインデックスの内容に従ってデータ転送を実行します。BRSTビットが“0”のときは単転送、“1”のときはバースト転送が実行されます。
(2) COUNTが“0000h”になったとき、(1)の割り込みベクタがCADRの値に書き換わります。INTEビットが“1”の場合は、同時に転送完了割り込み要求が発生します。
(3) 次にDMA II転送要求が発生すると、(2)で書き換えた割り込みベクタが示すDMAC IIインデックスの内容に従ってデータ転送を実行します。

図 14.4にチェーン転送時の可変ベクタとDMAC IIインデックスを示します。
チェーン転送を使用する場合、可変ベクタテーブルはRAMに配置してください。

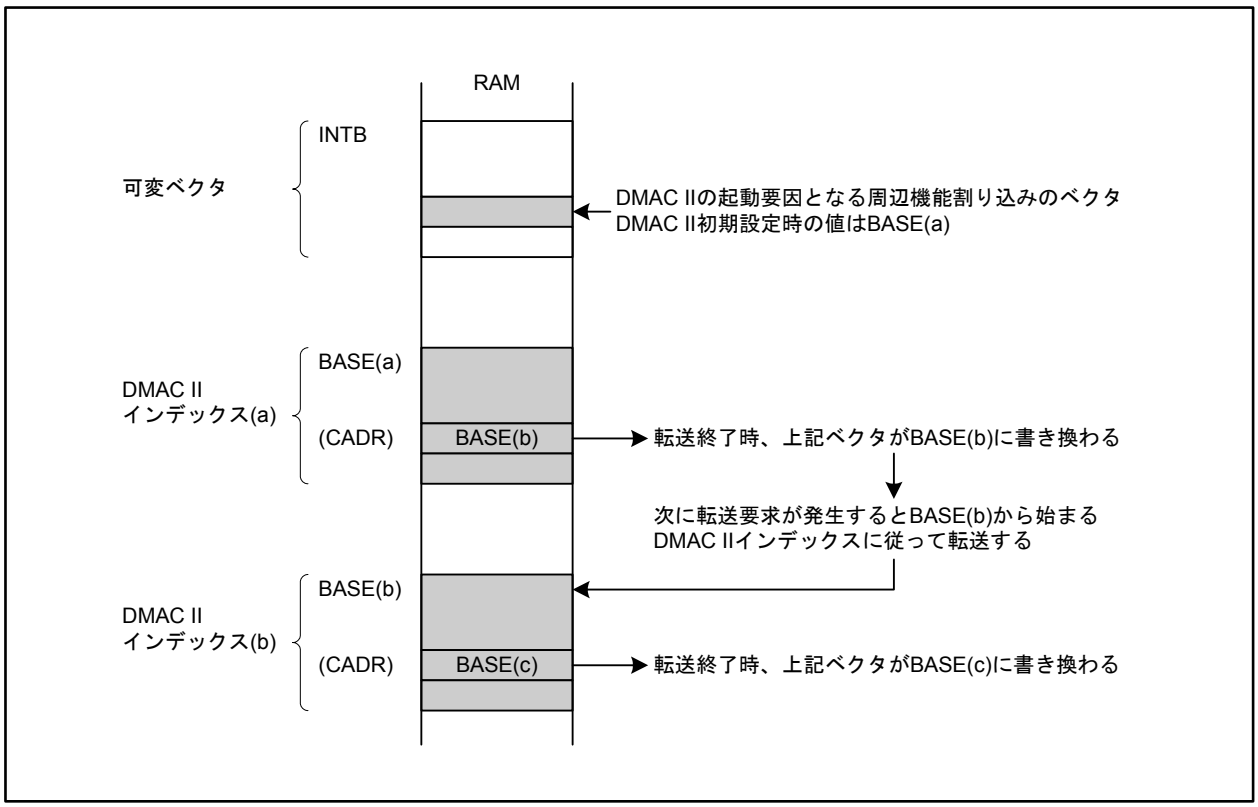


図 14.4 チェーン転送時の可変ベクタとDMAC IIインデックス

14.6 転送完了割り込み

MODのINTEビットを“1”にすると、転送完了割り込み要求を発生させることができます。転送完了割り込み処理ルーチンの先頭番地をIADRに設定してください。転送完了割り込み要求は、COUNTが“0000h”になったとき発生します。

転送完了割り込み処理ルーチンの最初の命令は、DMA II転送が完了した7サイクル後に実行されます。

14.7 実行時間

DMAC IIの実行サイクル数は以下のとおり計算できます。

複数転送以外: $t = 6 + (26 + a + b + c + d) \times m + (4 + e) \times n$ [サイクル]
複数転送: $t = 21 + (11 + b + c) \times k$ [サイクル]

a: IMM = 0 (転送元が即値)の場合a = 0、
IMM = 1 (転送元がメモリ)の場合a = –1
b: UPDS = 1 (転送元アドレッシングがインクリメント)の場合b = 0、
UPDS = 0 (転送元アドレッシングが固定)の場合b = 1
c: UPDD = 1 (転送先アドレッシングがインクリメント)の場合c = 0、
UPDD = 0 (転送先アドレッシングが固定)の場合c = 1
d: OPER = 0 (演算機能なし)の場合d = 0
OPER = 1 (演算機能あり)でUPDS = 0 (転送元が即値かアドレス固定)の場合d = 7、
OPER = 1 (演算機能あり)でUPDS = 1 (転送元アドレッシングがインクリメント)の場合d = 8
e: CHAIN = 0 (チェーン転送機能なし)の場合e = 0、
CHAIN = 1 (チェーン転送機能あり)の場合e = 4
m: BRST = 0 (単転送)の場合m = 1、
BRST = 1 (バースト転送)の場合m = COUNT
n: COUNTが“0001h”の場合n = 0、
COUNTが“0002h”以上の場合n = 1
k: CNT2~CNT0ビットで設定した転送数

上式は概算値であり、CPUの状態、バスウェイトやDMAC IIインデックスの配置によりサイクル数は変化します。

メモリ間転送、転送元アドレスがインクリメント、転送先アドレス固定、単転送、2回転送を行った後、転送完了割り込みを使用 (転送カウンタ= 2)、チェーン転送機能なしの場合

(a = -1, b = 0, c = 1, d = 0, e = 0, m = 1)

DMA II転送 1回目: t = 6 + (26 - 1 + 0 + 1 + 0) × 1 + (4 + 0) × 1 = 36 [サイクル]
DMA II転送 2回目: t = 6 + (26 - 1 + 0 + 1 + 0) × 1 + (4 + 0) × 0 = 32 [サイクル]

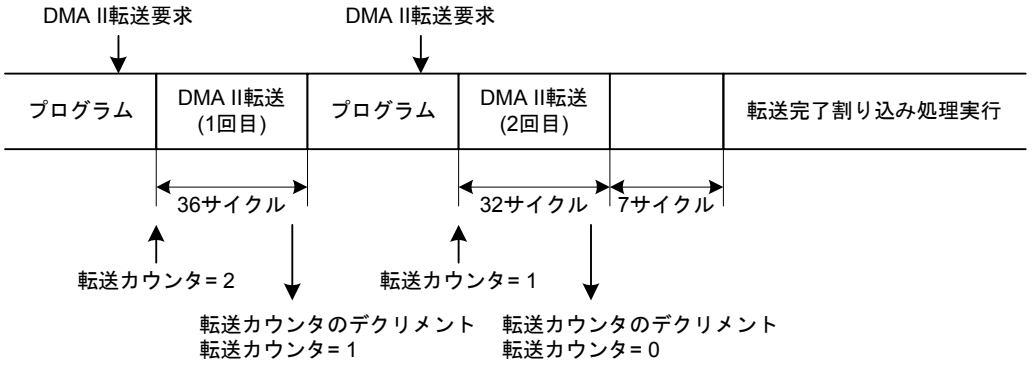


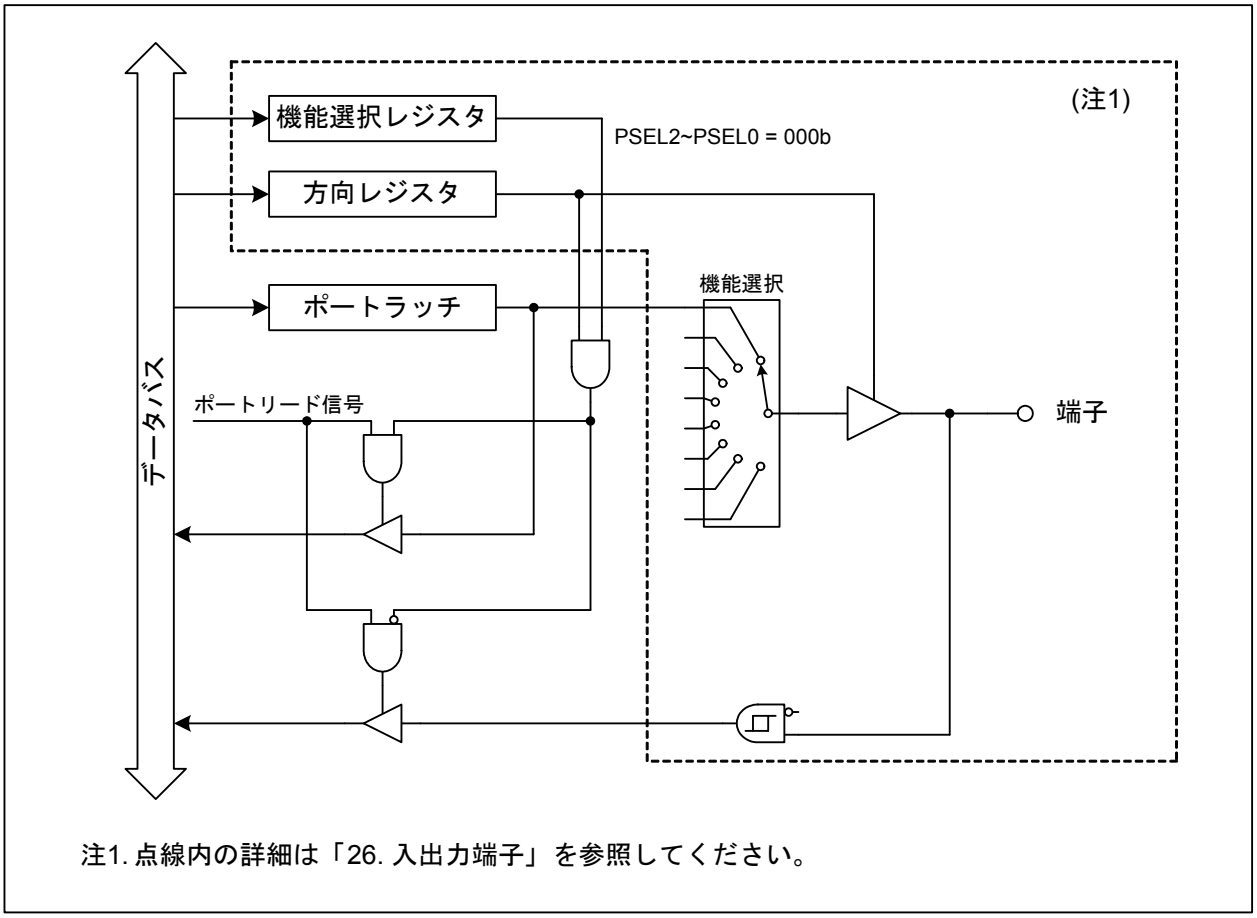
図 14.5 転送時間

15. プログラマブル入出力ポート

プログラマブル入出力ポートは、100ピン版ではP0~P10 (P8_5、P9_0~P9_2は除く)の84本、144ピン版ではP0~P15 (P8_5、P14_0~P14_2は除く)の120本あります。

ポートの入出力方向は、方向レジスタによって1本ごとに設定できます。ただし、P8_5とP9_1またはP14_1は入力専用です。P8_5は$\overline{\text{NMI}}$と端子を共用していますので、$\overline{\text{NMI}}$入力レベルをP8レジスタのP8_5ビットから読めます。

図15.1にプログラマブル入出力ポートの構成を、図15.2~図15.4に入力専用ポートの構成を示します。



注1. 点線内の詳細は「26. 入出力端子」を参照してください。

図15.1　プログラマブル入出力ポートの構成

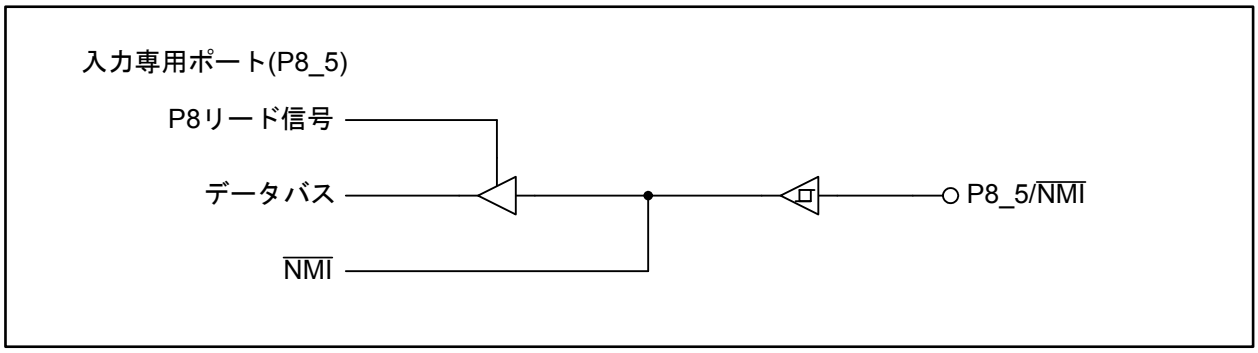


図 15.2　入力専用ポートの構成(1)

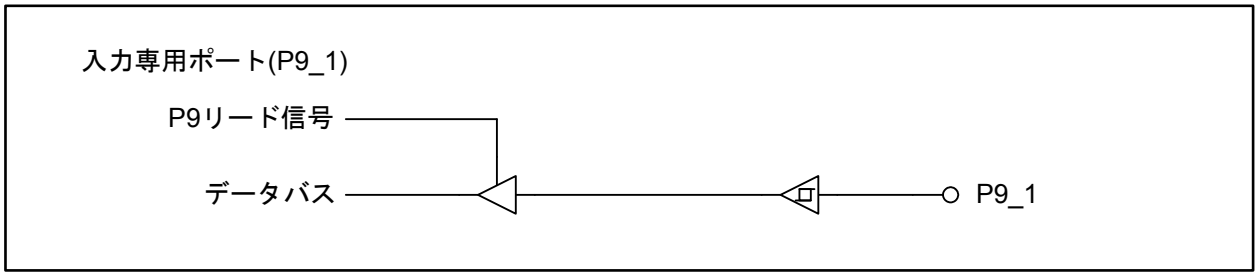


図 15.3　入力専用ポートの構成(2) (100ピン版のみ)

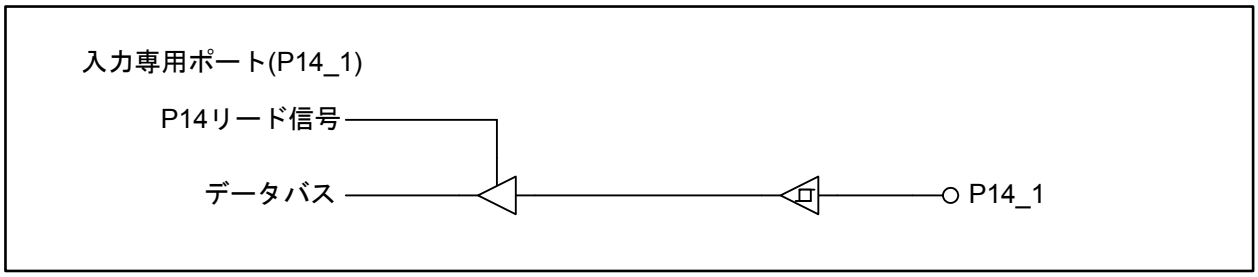


図 15.4　入力専用ポートの構成(3) (144ピン版のみ)

15.1　ポートPiレジスタ (Piレジスタ、i=0~15)

外部とのデータ入出力は、Piレジスタへの書き込みと読み出しによって行います。Piレジスタは出力データを保持するポートラッチと端子の状態を読む回路で構成されています。Piレジスタの各ビットは各ポートと一対一に対応しています。

出力機能選択レジスタでプログラマブル入出力ポートを選択した場合、出力のときはポートラッチの値が、入力のときは端子の状態が読めます。

メモリ拡張モードとマイクロプロセッサモードでは、バス制御信号 (A0~A23, D0~D31, $\overline{CS0}$~$\overline{CS3}$, $\overline{WR}$/$\overline{WR0}$, $\overline{BC0}$, $\overline{BC1}$/$\overline{WR1}$, $\overline{BC2}$/$\overline{WR2}$, $\overline{BC3}$/$\overline{WR3}$, $\overline{RD}$, CLKOUT/BCLK, $\overline{HLDA}$, $\overline{HOLD}$, ALE, $\overline{RDY}$) が割り当てられている端子のPiレジスタは変更できません。

図 15.5にPiレジスタを示します。

ポートPiレジスタ (i=0~15) (注1、2)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
P0, P1, P2, P3	03C0h、03C1h、03C4h、03C5h番地	不定
P4, P5, P6, P7	03C8h、03C9h、03CCh、03CDh番地	不定
P8 (注3), P9 (注3、4)	03D0h、03D1h番地	不定
P10, P11 (注2、5)	03D4h、03D5h番地	不定
P12 (注2), P13 (注2)	03D8h、03D9h番地	不定
P14 (注2、3、4、5)	03DCh番地	不定
P15 (注2)	03DDh番地	不定

ビットシンボル	ビット名	機　能	RW
Pi_0	ポートPi_0ビット　(注4)	方向ビットが“0”(入力) の場合 書いた場合、対応するビットに値が書かれるが、端子には出力されない。 読んだ場合、対応する端子の状態が読める 0: 端子の状態は“L” 1: 端子の状態は“H” 方向ビットが“1”(出力) の場合 書いた場合、対応する端子のレベルに値が反映される 0: “L”が出力される 1: “H”が出力される 読んだ場合、対応するビットに設定した値が読める	RW
Pi_1	ポートPi_1ビット　(注3)		RW
Pi_2	ポートPi_2ビット　(注4)		RW
Pi_3	ポートPi_3ビット		RW
Pi_4	ポートPi_4ビット		RW
Pi_5	ポートPi_5ビット (注3、5)		RW
Pi_6	ポートPi_6ビット　(注5)		RW
Pi_7	ポートPi_7ビット　(注5)		RW

注1. メモリ拡張モードとマイクロプロセッサモードでは、バス制御信号 (A0~A23, D0~D31, $\overline{CS0}$~$\overline{CS3}$, $\overline{WR}$/$\overline{WR0}$, $\overline{BC0}$, $\overline{BC1}$/$\overline{WR1}$, $\overline{BC2}$/$\overline{WR2}$, $\overline{BC3}$/$\overline{WR3}$, $\overline{RD}$, CLKOUT/BCLK, $\overline{HLDA}$, $\overline{HOLD}$, ALE, $\overline{RDY}$) が割り当てられている端子のポートレジスタは変更できません。

注2. P11~P15レジスタは144ピン版にのみ存在します。

注3. P8レジスタのP8_5ビット、P9レジスタのP9_1ビット (100ピン版の場合)、P14レジスタのP14_1ビット (144ピン版の場合) は読み出しのみできます。

注4. P9レジスタのP9_0、P9_2ビット (100ピン版の場合)、P14レジスタのP14_0、P14_2ビット (144ピン版の場合) は予約ビットです。書く場合“0”を書いてください。読んだ場合、その値は不定です。

注5. P11レジスタのP11_5~P11_7ビット、P14レジスタのP14_7ビットには何も配置されていません。書く場合、“0”を書いてください。読んだ場合、その値は不定です。

図 15.5　P0~P15 レジスタ

16. タイマ

16ビットタイマが11本あります。11本のタイマは、持っている機能によってタイマA (5本) とタイマB (6本) の2種類に分類できます。すべてのタイマはそれぞれ独立して動作します。各タイマのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図 16.1にタイマAの構成、図 16.2にタイマBの構成を示します。

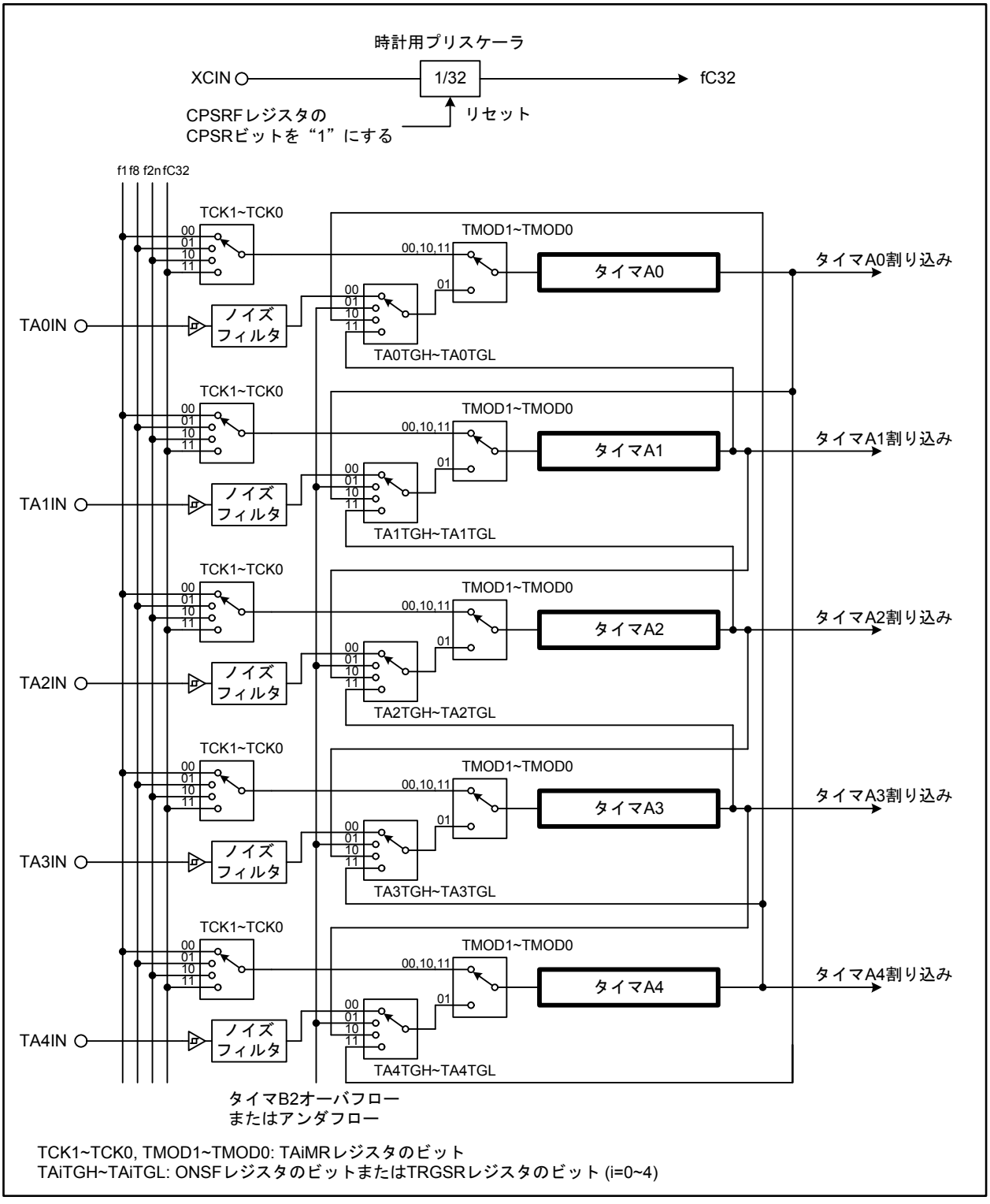


図 16.1　タイマAの構成

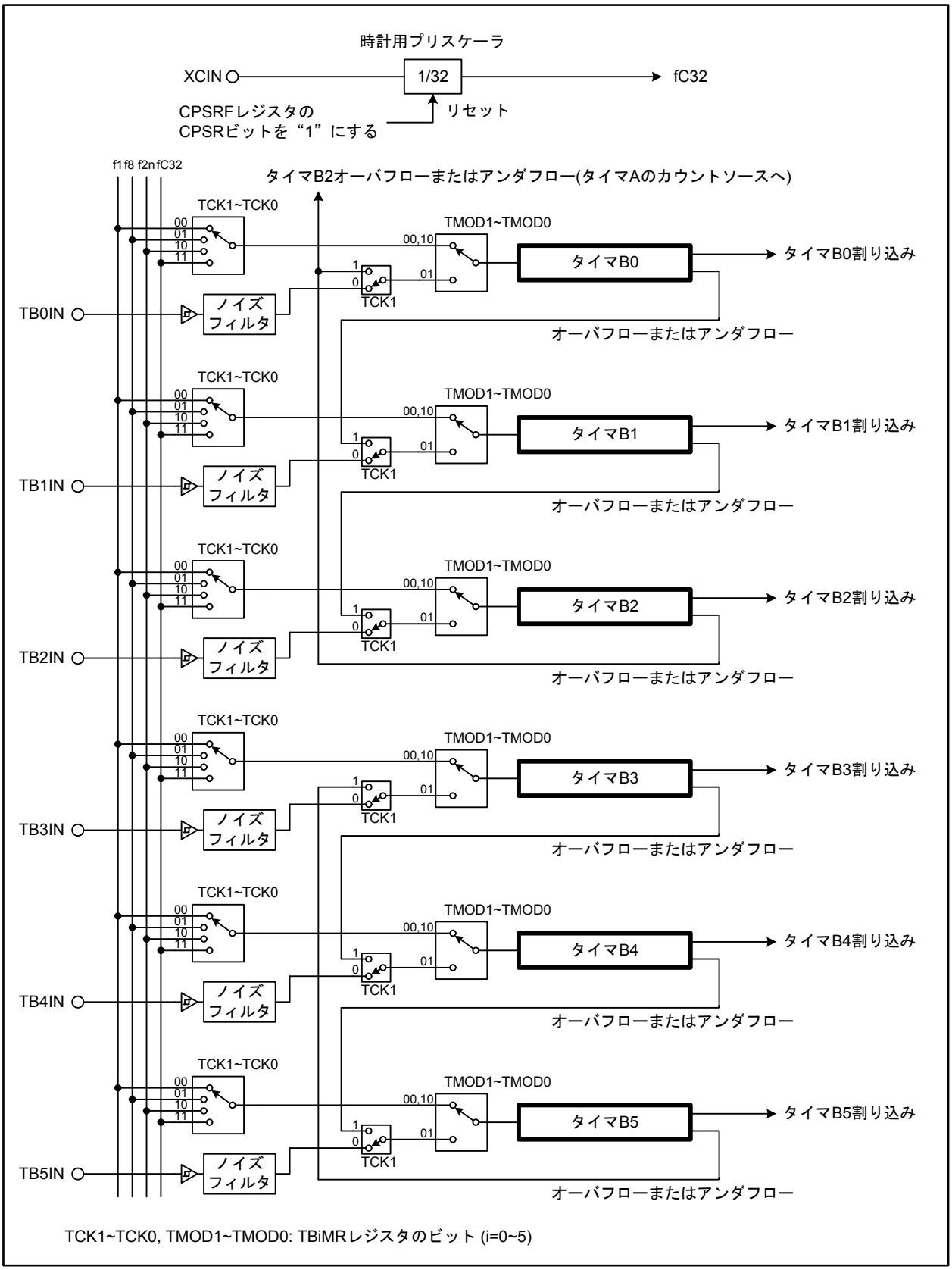


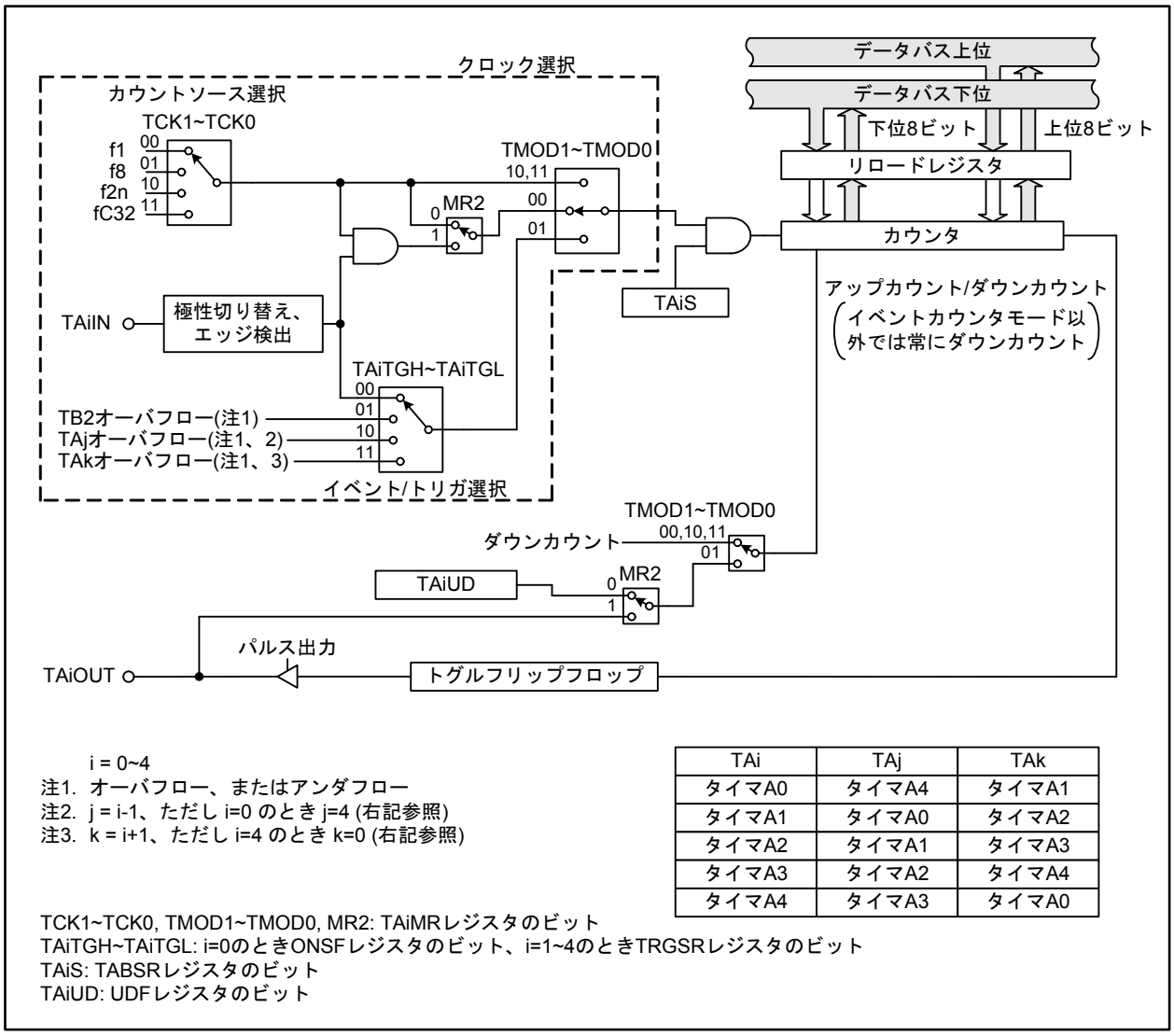
図 16.2 タイマBの構成

16.1　タイマA

図 16.3にタイマAのブロック図を、図 16.4~図 16.10にタイマA関連のレジスタを示します。

タイマAには以下の4種類のモードがあり、イベントカウンタモードを除いてタイマA0~A4は同一の機能を持ちます。各モードはTA0MR~TA4MR レジスタのTMOD1~TMOD0 ビットで選択できます。

- タイマモード　内部カウントソースをカウントするモード
- イベントカウンタモード　外部からのパルスまたは他のタイマのオーバフローとアンダフローをカウントするモード
- ワンショットタイマモード　カウント値が“0000h”になるまでの間に一度だけパルスを出力するモード
- パルス幅変調モード　任意のパルス幅を連続して出力するモード



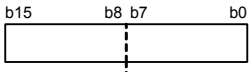
i = 0~4
注1. オーバフロー、またはアンダフロー
注2. j = i-1、ただし i=0 のとき j=4 (右記参照)
注3. k = i+1、ただし i=4 のとき k=0 (右記参照)

TAi	TAj	TAk
タイマA0	タイマA4	タイマA1
タイマA1	タイマA0	タイマA2
タイマA2	タイマA1	タイマA3
タイマA3	タイマA2	タイマA4
タイマA4	タイマA3	タイマA0

TCK1~TCK0, TMOD1~TMOD0, MR2: TAiMRレジスタのビット
TAiTGH~TAiTGL: i=0のときONSFレジスタのビット、i=1~4のときTRGSRレジスタのビット
TAiS: TABSRレジスタのビット
TAiUD: UDFレジスタのビット

図 16.3　タイマAブロック図

タイマAiレジスタ(i=0~4) (注1)



シンボル	アドレス	リセット後の値
TA0~TA2	0347h-0346h、0349h-0348h、034Bh-034Ah番地	不定
TA3, TA4	034Dh-034Ch、034Fh-034Eh番地	不定

モード	機　能	設定範囲	RW
タイマモード	設定値をnとすると、カウントソースをn+1分周する	0000h~FFFFh	RW
イベントカウンタモード	設定値をnとすると、カウントソースをアップカウント時、FFFFh -n+1分周し、ダウンカウント時、n+1分周する (注2)	0000h~FFFFh	RW
ワンショットタイマモード	設定値をnとすると、カウントソースをn分周し、停止する (注3)	0000h~FFFFh (注4)	WO
パルス幅変調モード(16ビットPWM)	カウントソースの周波数fj、TAiレジスタの設定値をnとすると、 PWMの周期: $(2^{16}-1)$ / fj PWMパルスの“H”幅: n / fj (注5)	0000h~FFFEh (注4)	WO
パルス幅変調モード(8ビットPWM)	カウントソースの周波数fj、TAiレジスタの上位アドレスの設定値をn、下位アドレスの設定値をmとすると、 PWMの周期: $(2^{8}-1) \times (m+1)$ / fj PWMパルスの“H”幅: (m+1)n / fj (注5)	00h~FEh (上位アドレス) 00h~FFh (下位アドレス) (注4)	WO

fj: f1, f8, f2n, fC32
注1. 読み出しと書き込みは16ビット単位で実行してください。
注2. 外部入力パルスまたは他のタイマのオーバフローとアンダフローをカウント。
注3. TAiレジスタを“0000h”にした場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。
注4. TAiレジスタへはMOV命令を使用して書いてください。
注5. TAiレジスタを“0000h”にした場合、パルス幅変調器は動作せず、TAiOUT端子の出力レベルは“L”のままで、タイマAi割り込み要求も発生しません。また、8ビットパルス幅変調器として動作しているとき、TAiレジスタの上位8ビットを“00h”にした場合も同様です。

図 16.4　TA0~TA4 レジスタ

タイマAiモードレジスタ (i=0~4)

b7	b6	b5	b4	b3	b2	b1	b0
					0		

シンボル	アドレス	リセット後の値
TA0MR~TA4MR	0356h、0357h、0358h、0359h、035Ah番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード 0 1 : イベントカウンタモード 1 0 : ワンショットタイマモード 1 1 : パルス幅変調モード	RW
TMOD1			RW
— (b2)	予約ビット	“0”にしてください	RW
MR1	—	動作モードによって機能が異なる	RW
MR2			RW
MR3			RW
TCK0	カウントソース選択ビット	動作モードによって機能が異なる	RW
TCK1			RW

図 16.5　TA0MR~TA4MR レジスタ

カウント開始レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット後の値
TABSR	0340h番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
TA0S	タイマA0カウント開始ビット	0: カウント停止 1: カウント開始	RW
TA1S	タイマA1カウント開始ビット	0: カウント停止 1: カウント開始	RW
TA2S	タイマA2カウント開始ビット	0: カウント停止 1: カウント開始	RW
TA3S	タイマA3カウント開始ビット	0: カウント停止 1: カウント開始	RW
TA4S	タイマA4カウント開始ビット	0: カウント停止 1: カウント開始	RW
TB0S	タイマB0カウント開始ビット	0: カウント停止 1: カウント開始	RW
TB1S	タイマB1カウント開始ビット	0: カウント停止 1: カウント開始	RW
TB2S	タイマB2カウント開始ビット	0: カウント停止 1: カウント開始	RW

図 16.6　TABSR レジスタ

アップダウン選択レジスタ(注1)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
UDF	0344h番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
TA0UD	タイマA0 アップダウン選択ビット	0: ダウンカウント 1: アップカウント (注2)	RW
TA1UD	タイマA1 アップダウン選択ビット	0: ダウンカウント 1: アップカウント (注2)	RW
TA2UD	タイマA2 アップダウン選択ビット	0: ダウンカウント 1: アップカウント (注2)	RW
TA3UD	タイマA3 アップダウン選択ビット	0: ダウンカウント 1: アップカウント (注2)	RW
TA4UD	タイマA4 アップダウン選択ビット	0: ダウンカウント 1: アップカウント (注2)	RW
TA2P	タイマA2 二相パルス信号処理 機能選択ビット	0: 二相パルス信号処理機能禁止 1: 二相パルス信号処理機能許可 (注3)	WO
TA3P	タイマA3 二相パルス信号処理 機能選択ビット	0: 二相パルス信号処理機能禁止 1: 二相パルス信号処理機能許可 (注3)	WO
TA4P	タイマA4 二相パルス信号処理 機能選択ビット	0: 二相パルス信号処理機能禁止 1: 二相パルス信号処理機能許可 (注3)	WO

注1. このレジスタへの書き込みはMOV命令を使用してください。
注2. イベントカウンタモード時、TAiMRレジスタ (i=0~4) のMR2ビットを“0”(アップ/ダウン切り替え要因はUDFレジスタの内容) にすると有効になります。
注3. 二相パルス信号処理機能を使用しない場合は“0”にしてください。

図 16.7　UDF レジスタ

ワンショット開始レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
ONSF	0342h番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
TA0OS	タイマA0 ワンショット開始ビット	0: 何もしない 1: タイマスタート (注1)	RW
TA1OS	タイマA1 ワンショット開始ビット	0: 何もしない 1: タイマスタート (注1)	RW
TA2OS	タイマA2 ワンショット開始ビット	0: 何もしない 1: タイマスタート (注1)	RW
TA3OS	タイマA3 ワンショット開始ビット	0: 何もしない 1: タイマスタート (注1)	RW
TA4OS	タイマA4 ワンショット開始ビット	0: 何もしない 1: タイマスタート (注1)	RW
TAZIE	Z相入力信号有効ビット	0: Z相入力信号無効 1: Z相入力信号有効	RW
TA0TGL	タイマA0イベント/ トリガ選択ビット	b7 b6 0 0 : TA0IN端子の入力を選択 0 1 : TB2のオーバフローを選択 (注2) 1 0 : TA4のオーバフローを選択 (注2) 1 1 : TA1のオーバフローを選択 (注2)	RW
TA0TGH			RW

注1. 読み出し時の値は“0”。
注2. オーバフロー、またはアンダフロー。

図 16.8　ONSF レジスタ

トリガ選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
TRGSR	0343h番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
TA1TGL	タイマA1イベント/トリガ選択ビット	b1 b0 0 0 : TA1IN端子の入力を選択 0 1 : TB2のオーバフローを選択 (注1) 1 0 : TA0のオーバフローを選択 (注1) 1 1 : TA2のオーバフローを選択 (注1)	RW
TA1TGH			RW
TA2TGL	タイマA2イベント/トリガ選択ビット	b3 b2 0 0 : TA2IN端子の入力を選択 0 1 : TB2のオーバフローを選択 (注1) 1 0 : TA1のオーバフローを選択 (注1) 1 1 : TA3のオーバフローを選択 (注1)	RW
TA2TGH			RW
TA3TGL	タイマA3イベント/トリガ選択ビット	b5 b4 0 0 : TA3IN端子の入力を選択 0 1 : TB2のオーバフローを選択 (注1) 1 0 : TA2のオーバフローを選択 (注1) 1 1 : TA4のオーバフローを選択 (注1)	RW
TA3TGH			RW
TA4TGL	タイマA4イベント/トリガ選択ビット	b7 b6 0 0 : TA4IN端子の入力を選択 0 1 : TB2のオーバフローを選択 (注1) 1 0 : TA3のオーバフローを選択 (注1) 1 1 : TA0のオーバフローを選択 (注1)	RW
TA4TGH			RW

注1. オーバフロー、またはアンダフロー。

図 16.9　TRGSR レジスタ

カウントソースプリスケーラレジスタ

b7 b6 b5 b4 b3 b2 b1 b0
0 0 0

シンボル	アドレス	リセット後の値
TCSPR	035Fh番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
CNT0	分周比選択ビット　(注1)	設定値をnとすると、メインクロックまたは周辺機能クロック源を2n分周したものが、f2nになる。 ただし、n=0の場合は分周なし	RW
CNT1			RW
CNT2			RW
CNT3			RW
— (b6-b4)	予約ビット	“0”にしてください	RW
CST	分周器動作許可ビット	0: 分周器停止 1: 分周器動作	RW

注1. CNT3~CNT0ビットを書き換える場合は、CSTビットを“0”にして書き換えてください。

図 16.10　TCSPR レジスタ

16.1.1 タイマモード

内部で生成されたカウントソースをカウントするモードです。表 16.1 にタイマモードの仕様を、図 16.11 にタイマモード時のTA0MR~TA4MR レジスタを示します。

表 16.1 タイマモードの仕様(i=0~4)

項目	仕様
カウントソース	f1, f8, f2n, fC32
カウント動作	• ダウンカウント • アンダフロー時、リロードレジスタの内容をリロードしてカウントを継続
分周比	$\frac{1}{n+1}$ n: TAi レジスタ設定値 0000h~FFFFh
カウント開始条件	TABSR レジスタのTAiS ビットを“1” (カウント開始)にする
カウント停止条件	TABSR レジスタのTAiS ビットを“0” (カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはゲート入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	TAi レジスタを読むと、カウント値が読める
タイマの書き込み	• カウント停止中、カウント開始後1回目のカウントソースが入力されるまで TAi レジスタに書くと、リロードレジスタとカウンタの両方に書かれる • カウント中 TAi レジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
その他の機能	• ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 • パルス出力機能 アンダフローするごとにTAiOUT端子の極性が反転 TAiS ビットが“0” (カウント停止)の期間は“L”出力

タイマAiモードレジスタ (i=0~4) (タイマモード)

b7	b6	b5	b4	b3	b2	b1	b0
		0			0	0	0

シンボル	アドレス	リセット後の値
TA0MR~TA4MR	0356h、0357h、0358h、0359h、035Ah番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード	RW
TMOD1			RW
— (b2)	予約ビット	“0”にしてください	RW
MR1	ゲート機能選択ビット	b4 b3 0 X : ゲート機能なし (注1) (TAiIN端子はプログラマブル入出力端子) 1 0 : TAiIN端子が“L”の期間だけカウント 1 1 : TAiIN端子が“H”の期間だけカウント	RW
MR2			RW
MR3	タイマモードでは“0”にしてください		RW
TCK0	カウントソース選択ビット	b7 b6 0 0 : f1 0 1 : f8 1 0 : f2n 1 1 : fC32	RW
TCK1			RW

注1. Xの値は“0”または“1”のいずれでも可。

図 16.11 タイマモード時のTA0MR~TA4MRレジスタ

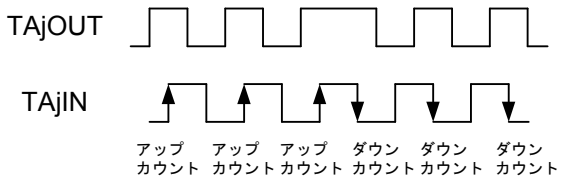
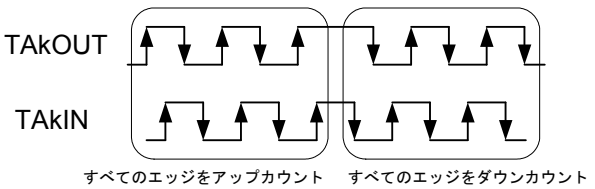
16.1.2 イベントカウンタモード

外部信号または他のタイマのオーバフローとアンダフローをカウントするモードです。タイマA2、A3、A4は、二相の外部信号をカウントできます。表16.2にイベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)、表16.3にイベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)を示します。図16.12にイベントカウンタモード時のTA0MR~TA4MRレジスタを示します。

表16.2 イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合) (i=0~4)

項目	仕様
カウントソース	• TAiIN端子に入力された外部信号(プログラムにて有効エッジを選択可能) • タイマB2のオーバフローとアンダフロー、タイマAj (j=i-1、ただしi=0のときj=4)のオーバフローとアンダフロー、タイマAk (k=i+1、ただしi=4のときk=0)のオーバフローとアンダフロー
カウント動作	• アップカウントまたはダウンカウントを、外部信号またはプログラムで選択可能 • オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続します。フリーラン機能選択時はリロードせずカウントを継続します
分周比	• アップカウント時: $\frac{1}{FFFFh - n + 1}$ • ダウンカウント時: $\frac{1}{n + 1}$ n: TAiレジスタ設定値 0000h~FFFFh
カウント開始条件	TABSRレジスタのTAiSビットを“1” (カウント開始)にする
カウント停止条件	TABSRレジスタのTAiSビットを“0” (カウント停止)にする
割り込み要求発生タイミング	オーバフロー時とアンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはカウントソース入力
TAiOUT端子機能	プログラマブル入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	• カウント停止中、カウント開始後1回目のカウントソースが入力されるまで TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる • カウント中 TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
その他の機能	• フリーランカウント機能 オーバフローまたはアンダフローが発生してもリロードレジスタからリロードしない • パルス出力機能 オーバフローまたはアンダフローするごとにTAiOUT端子の極性が反転 TAiSビットが“0” (カウント停止)の期間は“L”出力

表 16.3　イベントカウンタモードの仕様(タイマA2~A4で二相パルス信号処理を使用する場合) (i=2~4)

項目	仕様
カウントソース	TAiIN、TAiOUT端子に入力された二相パルス信号
カウント動作	•アップカウントまたはダウンカウントを二相パルス信号によって切り替え可 •オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続します。フリーラン機能選択時はリロードせずカウントを継続します
分周比	•アップカウント時: $\frac{1}{FFFFh - n + 1}$ •ダウンカウント時: $\frac{1}{n + 1}$　　n: TAi設定値 0000h~FFFFh
カウント開始条件	TABSRレジスタのTAiSビットを“1” (カウント開始)にする
カウント停止条件	TABSRレジスタのTAiSビットを“0” (カウント停止)にする
割り込み要求発生タイミング	オーバフロー時とアンダフロー時
TAiIN端子機能	二相パルス入力
TAiOUT端子機能	二相パルス入力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	•カウント停止中、カウント開始後1回目のカウントソースが入力されるまで TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる •カウント中 TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
その他の機能(注1)	•通常処理動作(タイマA2、タイマA3) TAjOUT端子(j=2, 3)の入力信号が“H”レベルの期間TAjIN端子の立ち上がりをアップカウントし、立ち下りをダウンカウントします  •4逓倍処理動作(タイマA3、タイマA4) TAkOUT端子(k=3, 4)の入力信号が“H”の期間にTAkIN端子が立ち上がる位相関係の場合、TAkOUT、TAkIN端子の立ち上がり、立ち下がりをアップカウントします。TAkOUT端子の入力信号が“H”の期間にTAkIN端子が立ち下がる位相関係の場合、TAkOUT、TAkIN端子の立ち上がり、立ち下がりをダウンカウントします  •Z相入力によるカウンタ初期化(タイマA3) Z相入力により、タイマのカウント値を“0”にします

注1.　タイマA3だけいずれかを選択できます。タイマA2は通常処理動作に、タイマA4は4逓倍処理動作に固定です。

タイマAiモードレジスタ (i=0~4) (イベントカウンタモード)

b7	b6	b5	b4	b3	b2	b1	b0
		0			0	0	1

シンボル	アドレス	リセット後の値
TA0MR~TA4MR	0356h、0357h、0358h、0359h、035Ah番地	0000 0000b

ビットシンボル	ビット名	機　能 (二相パルス信号処理を使用しない)	機　能 (二相パルス信号処理を使用する)	RW
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード (注1)		RW
TMOD1				RW
— (b2)	予約ビット	“0”にしてください		RW
MR1	カウント極性選択ビット (注2)	0: 立ち下がりエッジをカウント 1: 立ち上がりエッジをカウント	“0”にしてください	RW
MR2	アップ/ダウン切り替え要因選択ビット	0: UDFレジスタの内容 1: TAiOUT端子の入力内容 (注3)	“1”にしてください	RW
MR3	イベントカウンタモードでは、“0”にしてください			RW
TCK0	カウント動作タイプ選択ビット	0: リロードタイプ 1: フリーランタイプ		RW
TCK1	二相パルス処理動作選択ビット (注4、5)	“0”にしてください	0: 通常処理動作 1: 4逓倍処理動作	RW

注1. イベントカウンタモードではカウントソースをONSFレジスタ、またはTRGSRレジスタのTAiTGH~TAiTGLビットで選択できます。
注2. 外部信号カウント時のみ有効。
注3. TAiOUT端子の入力信号が“L”のときはダウンカウント、“H”のときはアップカウントを行います。
注4. TCK1ビットはTA3MRレジスタにおいて有効です。
注5. 二相パルス信号処理を行う場合、UDFレジスタのTAjPビット(j=2~4) は“1”(二相パルス信号処理機能許可)に、TRGSRレジスタのTAjTGH~TAjTGLビットを“00b”(TAjIN端子の入力) にしてください。

図 16.12 イベントカウンタモード時のTA0MR~TA4MR レジスタ

16.1.2.1 二相パルス信号処理でのカウンタ初期化

二相パルス信号処理時にZ相(カウンタ初期化)入力信号により、タイマのカウント値を“0”にする機能です。

この機能は、タイマA3のイベントカウンタモード、二相パルス信号処理、フリーランタイプ、4逓倍処理でのみ使用でき、Z相は$\overline{\text{INT2}}$端子から入力します。

ONSFレジスタのTAZIEビットを“1”(Z相入力有効)にすると、Z相入力によるカウンタの初期化が有効になります。また、Z相入力でカウンタを“0”にするためには、TA3レジスタにあらかじめ“0000h”を書いてください。

Z相入力は、$\overline{\text{INT2}}$入力のエッジを検出して行います。エッジの極性はINT2ICレジスタのPOLビットで選択できます。Z相のパルス幅は、タイマA3のカウントソースの1周期分以上になるように入力してください。図16.13に二相パルス(A相、B相)とZ相の関係を示します。

Z相入力でのカウンタが初期化されるタイミングは、Z相入力を受けた次のカウントソースタイミングになります。図16.14にカウンタ初期化タイミングを示します。

タイマA3のオーバフローとアンダフロータイミングと$\overline{\text{INT2}}$入力によるカウンタの初期化のタイミングが重なると、タイマA3の割り込み要求が2回連続して発生しますので、本機能使用時はタイマA3の割り込み要求は使用しないでください。

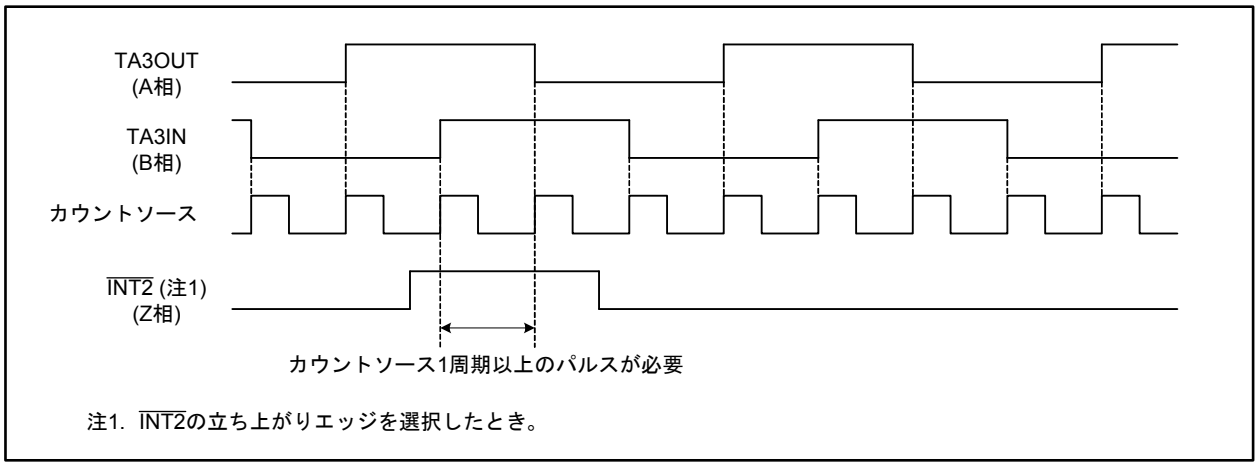


図 16.13 二相パルス(A相、B相)とZ相の関係

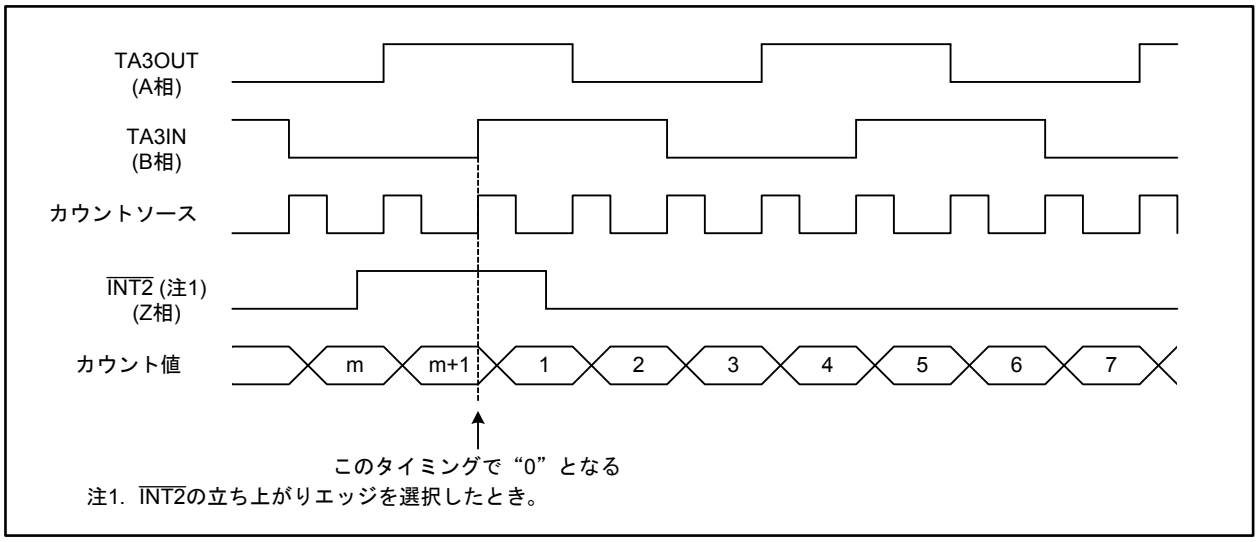


図 16.14 カウンタ初期化タイミング

16.1.3 ワンショットタイマモード

一度のトリガに対して一度だけタイマが動作するモードです。表 16.4 にワンショットタイマモードの仕様を示します。トリガが発生するとその時点から任意の期間、タイマが動作します。図 16.15 にワンショットタイマモード時の TA0MR~TA4MR レジスタを示します。

表 16.4 ワンショットタイマモードの仕様 (i=0~4)

項目	仕様
カウントソース	f1, f8, f2n, fC32
カウント動作	• ダウンカウント • カウントの値が 0000h になるタイミングでリロードしてカウントを停止 • カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	$\frac{1}{n}$ n: TAi レジスタ設定値 0000h~FFFFh (ただし、“0000h”の場合、カウンタは動作しない)
カウント開始条件	TABSR レジスタの TAiS ビットが“1” (カウント開始) で、かつ以下のトリガが発生 • TAiIN 端子からの外部トリガ入力 • タイマ B2 のオーバフローまたはアンダフロー、タイマ Aj (j=i-1、ただし i=0 のとき j=4) のオーバフローまたはアンダフロー、タイマ Ak (k=i+1、ただし i=4 のとき k=0) のオーバフローまたはアンダフロー • ONSF レジスタの TAiOS ビットを“1” (タイマスタート) にする
カウント停止条件	• カウントの値が“0000h”になり、リロードした後 • TABSR レジスタの TAiS ビットを“0” (カウント停止) にする
割り込み要求発生タイミング	カウントの値が“0000h”になるタイミング
TAiIN 端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT 端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	TAi レジスタを読んだ場合、その値は不定
タイマの書き込み	• カウント停止中、カウント開始後 1 回目のカウントソースが入力されるまで TAi レジスタに書くと、リロードレジスタとカウンタの両方に書かれる • カウント中 TAi レジスタに書くと、リロードレジスタに書かれる (次のリロード時に転送)
その他の機能	• パルス出力機能 カウント停止中は“L”、カウント中は“H”を出力

タイマAiモードレジスタ (i=0~4) (ワンショットタイマモード)

b7	b6	b5	b4	b3	b2	b1	b0
		0			0	1	0

シンボル	アドレス	リセット後の値
TA0MR~TA4MR	0356h、0357h、0358h、0359h、035Ah番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
TMOD0	動作モード選択ビット	b1 b0 1 0 : ワンショットタイマモード	RW
TMOD1			RW
— (b2)	予約ビット	“0”にしてください	RW
MR1	外部トリガ選択ビット(注1)	0: TAiIN端子の入力信号の立ち下がり 1: TAiIN端子の入力信号の立ち上がり	RW
MR2	トリガ選択ビット	0: ONSFレジスタのTAiOSビット 1: ONSF、TRGSRレジスタの TAiTGH、TAiTGLビットで選択	RW
MR3	ワンショットタイマモードでは“0”にしてください		RW
TCK0	カウントソース選択ビット	b7 b6 0 0 : f1 0 1 : f8 1 0 : f2n 1 1 : fC32	RW
TCK1			RW

注1. TRGSRレジスタのTAiTGH~TAiTGLビットを“00b”(TAiIN端子の入力) にする場合のみ有効。
“01b”(TB2のオーバフローまたはアンダフロー)、“10b”(TAiのオーバフローまたはアンダフロー)、
“11b”(TAiのオーバフローまたはアンダフロー) にする場合、“0”または“1”いずれでも可。

図 16.15 ワンショットタイマモード時のTA0MR~TA4MR レジスタ

16.1.4 パルス幅変調モード

任意の幅のパルスを連続して出力するモードです。表 16.5にパルス幅変調モードの仕様を示します。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図 16.16にパルス幅変調モード時のTA0MR~TA4MR レジスタ、図 16.17に16ビットパルス幅変調器の動作例、図 16.18に8ビットパルス幅変調器の動作例を示します。

表 16.5 パルス幅変調モードの仕様(i=0~4)

項目	仕様
カウントソース	f1, f8, f2n, fC32
カウント動作	• ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) • PWMパルスの立ち上がりでリロードしてカウントを継続 • カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	• “H”幅: $\frac{n}{fj}$ n: TAi レジスタ設定値 0000h~FFFEh fj: カウントソース周波数 • 周期: $\frac{2^{16}-1}{fj}$ 固定
8ビットPWM	• “H”幅: $\frac{n \times (m+1)}{fj}$ n: TAi レジスタの上位番地の設定値 00h~FEh • 周期: $\frac{(2^8-1) \times (m+1)}{fj}$ m: TAi レジスタの下位番地の設定値 00h~FFh
カウント開始条件	以下のいずれかを選択可能 • TABSR レジスタのTAiS ビットを“1” (カウント開始)にする • TAiS ビットが“1”で、かつTAiIN端子からの外部トリガ入力 • TAiS ビットが“1”で、かつ以下のトリガが発生 タイマB2のオーバフローまたはアンダフロー、タイマAj (j=i-1、ただしi=0のときj=4)のオーバフローまたはアンダフロー、タイマAk (k=i+1、ただしi=4のときk=0)のオーバフローまたはアンダフロー
カウント停止条件	TABSR レジスタのTAiS ビットを“0” (カウント停止)にする
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	TAi レジスタを読んだ場合、その値は不定
タイマの書き込み	• カウント停止中、カウント開始後1回目のカウントソースが入力されるまで TAi レジスタに書くと、リロードレジスタとカウンタの両方に書かれる • カウント中 TAi レジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

タイマAiモードレジスタ (i=0~4) (パルス幅変調モード)

b7	b6	b5	b4	b3	b2	b1	b0
					0	1	1

シンボル	アドレス	リセット後の値
TA0MR~TA4MR	0356h、0357h、0358h、0359h、035Ah番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
TMOD0	動作モード選択ビット	b1 b0 1 1 : パルス幅変調(PWM)モード	RW
TMOD1			RW
— (b2)	予約ビット	“0”にしてください	RW
MR1	外部トリガ選択ビット(注1)	0: TAiIN端子の入力信号の立ち下がり 1: TAiIN端子の入力信号の立ち上がり	RW
MR2	トリガ選択ビット	0: ONSFレジスタのTAiSビット 1: ONSF、TRGSRレジスタの TAiTGH、TAiTGLビットで選択	RW
MR3	16/8ビットPWMモード 選択ビット	0: 16ビットパルス幅変調器として動作 1: 8ビットパルス幅変調器として動作	RW
TCK0	カウントソース選択ビット	b7 b6 0 0 : f1 0 1 : f8 1 0 : f2n 1 1 : fC32	RW
TCK1			RW

注1. TRGSRレジスタのTAiTGH~TAiTGLビットを“00b”(TAiIN端子の入力) にする場合のみ有効。
“01b”(TB2のオーバフローまたはアンダフロー)、“10b”(TAiのオーバフローまたはアンダフロー)、
“11b”(TAiのオーバフローまたはアンダフロー) にする場合、“0”または“1”いずれでも可。

図 16.16 パルス幅変調モード時のTA0MR~TA4MRレジスタ

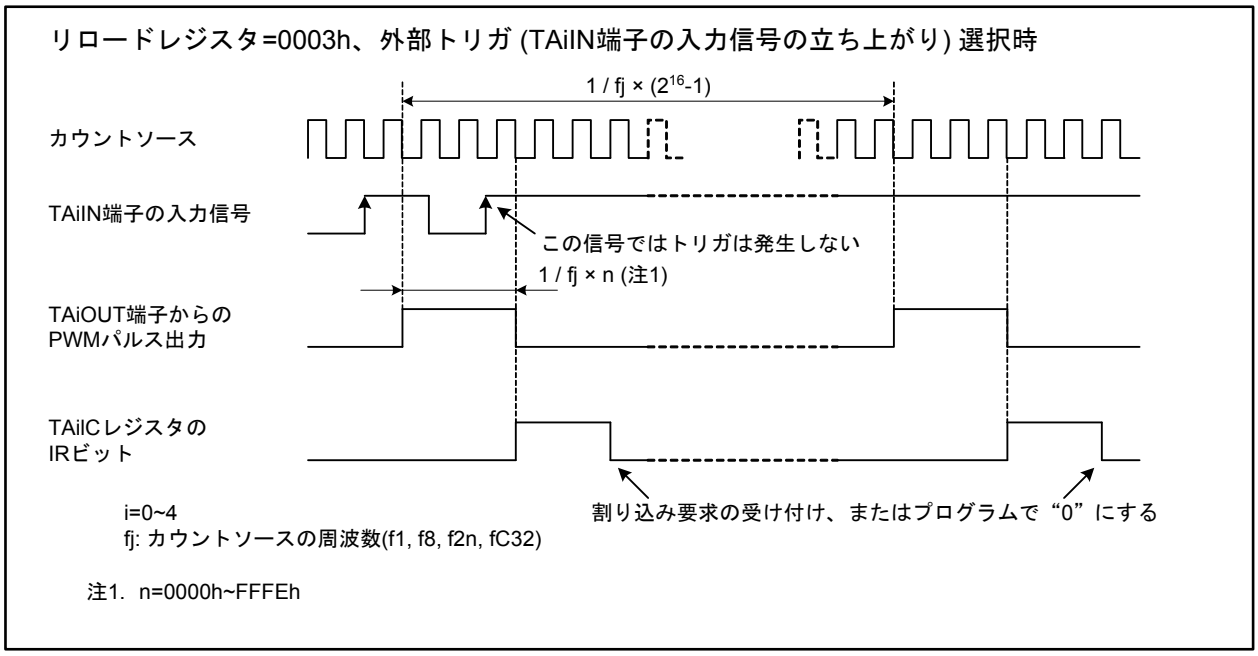


図 16.17 16ビットパルス幅変調器の動作例

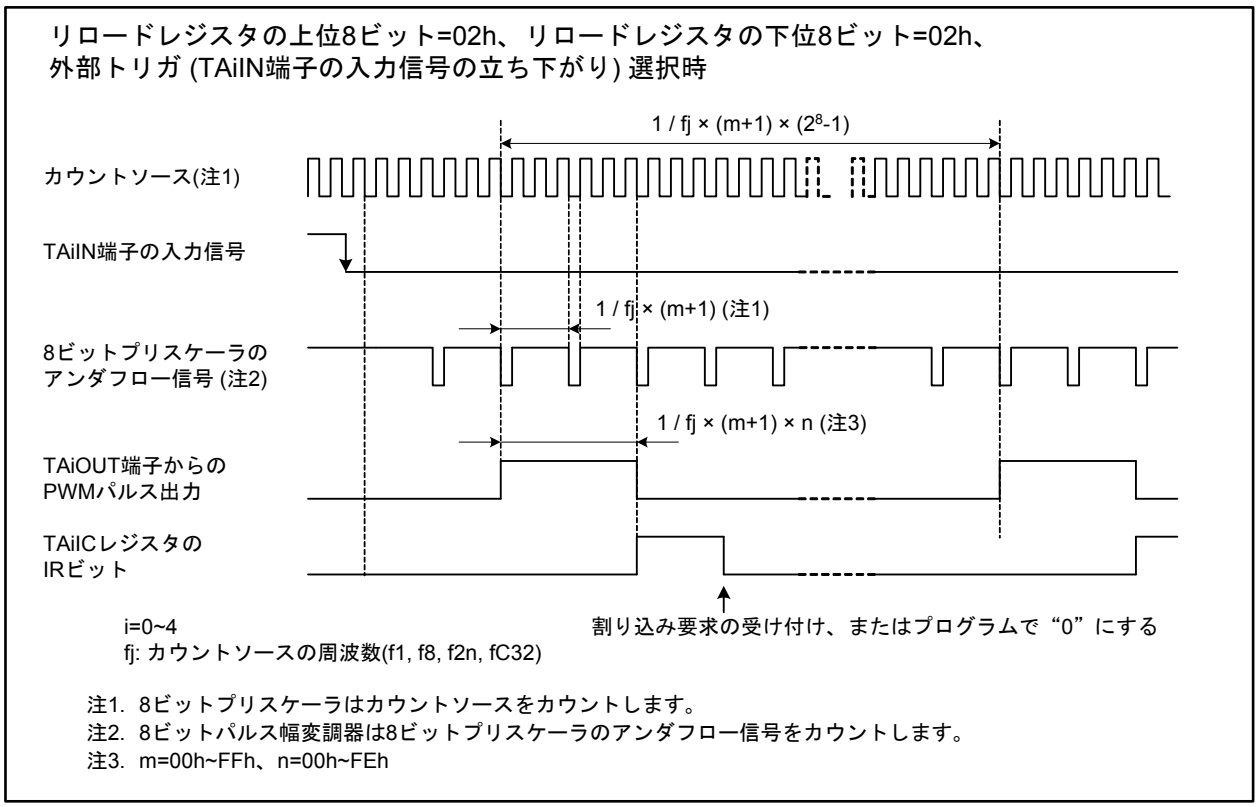


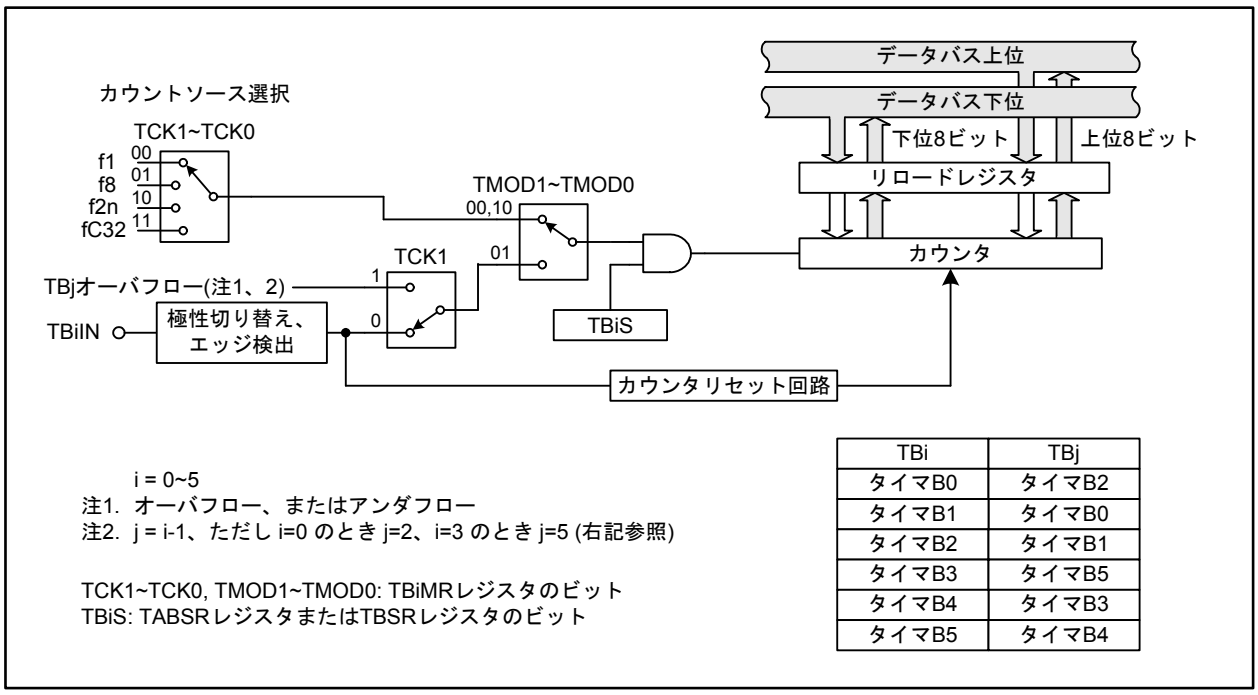
図 16.18 8ビットパルス幅変調器の動作例

16.2 タイマB

図 16.19にタイマBのブロック図を、図 16.20~図 16.23にタイマB関連レジスタを示します。

タイマBは、以下の3種類のモードがあります。各モードは、TB0MR~TB5MRレジスタのTMOD1~TMOD0ビットで選択できます。

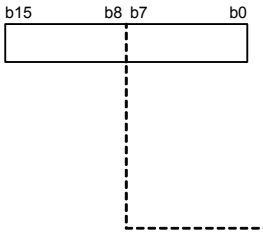
- タイマモード　　内部カウントソースをカウントするモード
- イベントカウンタモード　　外部からのパルスまたは他のタイマのオーバフローとアンダフローをカウントするモード
- パルス周期測定モード、パルス幅測定モード
  外部パルスの周期またはパルス幅を測定するモード



TBi	TBj
タイマB0	タイマB2
タイマB1	タイマB0
タイマB2	タイマB1
タイマB3	タイマB5
タイマB4	タイマB3
タイマB5	タイマB4

図 16.19 タイマBブロック図

タイマBiレジスタ(i=0~5) (注1)



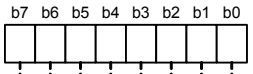
シンボル	アドレス	リセット後の値
TB0~TB2	0351h-0350h、0353h-0352h、0355h-0354h番地	不定
TB3~TB5	0311h-0310h、0313h-0312h、0315h-0314h番地	不定

モード	機　能	設定範囲	RW
タイマモード	設定値をnとすると、カウントソースをn+1分周する	0000h~FFFFh	RW
イベントカウンタモード	設定値をnとすると、カウントソースをn+1分周する (注2)	0000h~FFFFh	RW
パルス周期測定モード パルス幅測定モード	TBiIN入力パルスの有効エッジから有効エッジまでの期間、カウントソースをアップカウントする	—	RO

注1. 読み出し、または書き込みは16ビット単位で実行してください。
注2. 外部入力パルスまたは他のタイマのオーバフローとアンダフローをカウント。

図 16.20 TB0~TB5 レジスタ

タイマBiモードレジスタ (i=0~5)



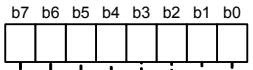
シンボル	アドレス	リセット後の値
TB0MR~TB2MR	035Bh、035Ch、035Dh番地	00XX 0000b
TB3MR~TB5MR	031Bh、031Ch、031Dh番地	00XX 0000b

ビットシンボル	ビット名	機　能	RW
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード 0 1 : イベントカウンタモード 1 0 : パルス周期測定モード、パルス幅測定モード 1 1 : 設定しないでください	RW
TMOD1			RW
MR0	—	動作モードによって機能が異なる (注1、2)	RW
MR1			RW
MR2			RW
MR3			RW
TCK0	カウントソース選択ビット	動作モードによって機能が異なる	RW
TCK1			RW

注1. MR2ビットは、TB0MR、TB3MRレジスタにのみ存在します。
注2. TB1MR、TB2MR、TB4MR、TB5MRレジスタでは、MR2ビットには何も配置されていません。
書く場合、“0”を書いてください。読んだ場合、その値は不定です。

図 16.21 TB0MR~TB5MR レジスタ

カウント開始レジスタ

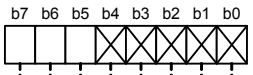


シンボル	アドレス	リセット後の値
TABSR	0340h番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
TA0S	タイマA0カウント開始ビット	0: カウント停止 1: カウント開始	RW
TA1S	タイマA1カウント開始ビット	0: カウント停止 1: カウント開始	RW
TA2S	タイマA2カウント開始ビット	0: カウント停止 1: カウント開始	RW
TA3S	タイマA3カウント開始ビット	0: カウント停止 1: カウント開始	RW
TA4S	タイマA4カウント開始ビット	0: カウント停止 1: カウント開始	RW
TB0S	タイマB0カウント開始ビット	0: カウント停止 1: カウント開始	RW
TB1S	タイマB1カウント開始ビット	0: カウント停止 1: カウント開始	RW
TB2S	タイマB2カウント開始ビット	0: カウント停止 1: カウント開始	RW

図 16.22 TABSR レジスタ

タイマB3、B4、B5カウント開始レジスタ



シンボル	アドレス	リセット後の値
TBSR	0300h番地	000X XXXXb

ビットシンボル	ビット名	機　能	RW
— (b4-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
TB3S	タイマB3カウント開始ビット	0: カウント停止 1: カウント開始	RW
TB4S	タイマB4カウント開始ビット	0: カウント停止 1: カウント開始	RW
TB5S	タイマB5カウント開始ビット	0: カウント停止 1: カウント開始	RW

図 16.23 TBSR レジスタ

16.2.1 タイマモード

内部で生成されたカウントソースをカウントするモードです。表 16.6 にタイマモードの仕様を、図 16.24 にタイマモード時の TB0MR~TB5MR レジスタを示します。

表 16.6 タイマモードの仕様(i=0~5)

項目	仕様
カウントソース	f1, f8, f2n, fC32
カウント動作	ダウンカウント アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	$\frac{1}{n+1}$ n: TBi レジスタ設定値 0000h~FFFFh
カウント開始条件	TABSR、TBSR レジスタの TBiS ビットを“1”(カウント開始)にする
カウント停止条件	TABSR、TBSR レジスタの TBiS ビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN 端子機能	プログラマブル入出力ポート
タイマの読み出し	TBi レジスタを読むと、カウント値が読める
タイマの書き込み	• カウント停止中、カウント開始後 1 回目のカウントソースが入力されるまで TBi レジスタに書くと、リロードレジスタとカウンタの両方に書かれる • カウント中 TBi レジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

タイマ Bi モードレジスタ (i=0~5) (タイマモード)

b7	b6	b5	b4	b3	b2	b1	b0
		0				0	0

シンボル	アドレス	リセット後の値
TB0MR~TB2MR	035Bh、035Ch、035Dh 番地	00XX 0000b
TB3MR~TB5MR	031Bh、031Ch、031Dh 番地	00XX 0000b

ビットシンボル	ビット名	機 能	RW
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード	RW
TMOD1			RW
MR0	タイマモードでは無効。 “0”または“1”のいずれでも可		RW
MR1			RW
MR2	TB0MR、TB3MR レジスタ 予約ビット。“0”にしてください		RW
	TB1MR、TB2MR、TB4MR、TB5MR レジスタ 何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
MR3	タイマモードでは無効。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
TCK0	カウントソース選択ビット	b7 b6 0 0 : f1 0 1 : f8 1 0 : f2n 1 1 : fC32	RW
TCK1			RW

図 16.24 タイマモード時の TB0MR~TB5MR レジスタ

16.2.2 イベントカウンタモード

外部信号、他のタイマのオーバフローまたはアンダフローをカウントするモードです。表 16.7 にイベントカウンタモードの仕様を、図 16.25 にイベントカウンタモード時の TB0MR~TB5MR レジスタを示します。

表 16.7 イベントカウンタモードの仕様(i=0~5)

項目	仕様
カウントソース	• TBiIN端子に入力された外部信号 カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がりと立ち上がりをプログラムによって選択可 • TBjのオーバフローとアンダフロー (j=i-1、ただしi=0のときj=2、i=3のときj=5)
カウント動作	ダウンカウント アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	$\frac{1}{n+1}$ n: TBiレジスタ設定値 0000h~FFFFh
カウント開始条件	TABSRレジスタ、TBSRレジスタのTBiSビットを“1”(カウント開始)にする
カウント停止条件	TABSRレジスタ、TBSRレジスタのTBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	プログラマブル入出力ポート、カウントソース入力
タイマの読み出し	TBiレジスタを読むと、カウント値が読める
タイマの書き出し	• カウント停止中、カウント開始後1回目のカウントソースが入力されるまで TBiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる • カウント中 TBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

タイマBiモードレジスタ (i=0~5) (イベントカウンタモード)

b7	b6	b5	b4	b3	b2	b1	b0
		0				0	1

シンボル	アドレス	リセット後の値
TB0MR~TB2MR	035Bh、035Ch、035Dh番地	00XX 0000b
TB3MR~TB5MR	031Bh、031Ch、031Dh番地	00XX 0000b

ビットシンボル	ビット名	機　能	RW
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード	RW
TMOD1			RW
MR0	カウント極性選択ビット (注1)	b3 b2 0 0 : 立ち下がりエッジをカウント 0 1 : 立ち上がりエッジをカウント 1 0 : 両エッジをカウント 1 1 : 設定しないでください	RW
MR1			RW
MR2	TB0MR、TB3MRレジスタ 予約ビット。“0”にしてください		RW
	TB1MR、TB2MR、TB4MR、TB5MRレジスタ 何も配置されていない。書く場合“0”を書いてください。 読んだ場合、その値は不定		—
MR3	イベントカウンタモードでは無効。 書く場合“0”を書いてください。読んだ場合、その値は不定		—
TCK0	イベントカウンタモードでは無効。 “0”または“1”いずれでも可		RW
TCK1	イベントクロック選択ビット	0: TBiIN端子からの入力 1: TBjのオーバフローまたは、アンダフロー (注2)	RW

注1. TCK1ビットが“0”の場合有効。
TCK1ビットが“1”の場合は、“0”または“1”のいずれでも可。
注2. j = i - 1。ただし、i = 0 のとき j = 2、i = 3 のとき j = 5。

図 16.25 イベントカウンタモード時のTB0MR~TB5MR レジスタ

16.2.3 パルス周期測定モード、パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです。表 16.8にパルス周期測定モード、パルス幅測定モードの仕様を、図 16.26 にパルス周期測定モード、パルス幅測定モード時の TB0MR ~ TB5MR レジスタ、図 16.27にパルス周期測定時の動作例、図 16.28にパルス幅測定時の動作例を示します。

表 16.8 パルス周期測定モード、パルス幅測定モードの仕様(i=0~5)

項目	仕様
カウントソース	f1, f8, f2n, fC32
カウント動作	アップカウント 被測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000h”にしてカウントを継続
カウント開始条件	TABSR レジスタ、TBSR レジスタのTBiS ビットを“1” (カウント開始)にする
カウント停止条件	TABSR レジスタ、TBSR レジスタのTBiS ビットを“0” (カウント停止)にする
割り込み要求発生タイミング	•被測定パルスの有効エッジ入力時(注1) •オーバフロー時(同時にTBiMR レジスタのMR3 ビットが“1” (オーバフローあり)になります(注2))
TBiIN端子機能	被測定パルス入力
タイマの読み出し	TBi レジスタを読むと、リロードレジスタの内容(測定結果)が読める(注3)
タイマの書き込み	TBi レジスタに書いた値は、リロードレジスタにもカウンタにも書かれない

注1. カウント開始後1回目の有効エッジ入力時は、割り込み要求は発生しません。
注2. TBiS ビットが“1” (カウント開始)のとき、MR3 ビットが“1” (オーバフローあり)になってからカウントソース1クロック以上経過した後、TBiMR レジスタに書くと“0” (オーバフローなし)になります。
注3. カウント開始後2回目の有効エッジ入力までは、TBi レジスタからの読み出し値は不定です。

タイマBiモードレジスタ (i=0~5) (パルス周期測定モード、パルス幅測定モード)

b7	b6	b5	b4	b3	b2	b1	b0
						1	0

シンボル	アドレス	リセット後の値
TB0MR~TB2MR	035Bh、035Ch、035Dh番地	00XX 0000b
TB3MR~TB5MR	031Bh、031Ch、031Dh番地	00XX 0000b

ビットシンボル	ビット名	機　能	RW
TMOD0	動作モード選択ビット	b1 b0 1 0 : パルス周期測定モード、パルス幅測定モード	RW
TMOD1			RW
MR0	測定モード選択ビット (注1)	b3 b2 0 0 : パルス周期測定1 0 1 : パルス周期測定2 1 0 : パルス幅測定 1 1 : 設定しないでください	RW
MR1			RW
MR2	TB0MR、TB3MRレジスタ 予約ビット。“0”にしてください		RW
	TB1MR、TB2MR、TB4MR、TB5MRレジスタ 何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
MR3	タイマBiオーバフローフラグ (注2)	0: オーバフローなし 1: オーバフローあり	RO
TCK0	カウントソース選択ビット	b7 b6 0 0 : f1 0 1 : f8 1 0 : f2n 1 1 : fC32	RW
TCK1			RW

注1. MR1~MR0ビットで選択できる測定内容は以下のとおりです。
パルス周期測定1 (MR1~MR0ビット=00b): 被測定パルスの立ち下がりから次の立ち下がり間の測定
パルス周期測定2 (MR1~MR0ビット=01b): 被測定パルスの立ち上がりから次の立ち上がり間の測定
パルス幅測定 (MR1~MR0ビット=10b): 被測定パルスの立ち下がりから次の立ち上がり間の測定と立ち上がりから次の立ち下がり間の測定

注2. リセット時は不定です。
MR3ビットはTABSRレジスタ、TBSRレジスタのTBiSビットが“1”(カウント開始) のとき、MR3ビットが“1”になってからカウントソース1クロック以上経過した後、TBiMRレジスタに書くと“0”になります。
MR3ビットをプログラムで“1”にできません。

図 16.26 パルス周期測定モード、パルス幅測定モード時のTB0MR~TB5MRレジスタ

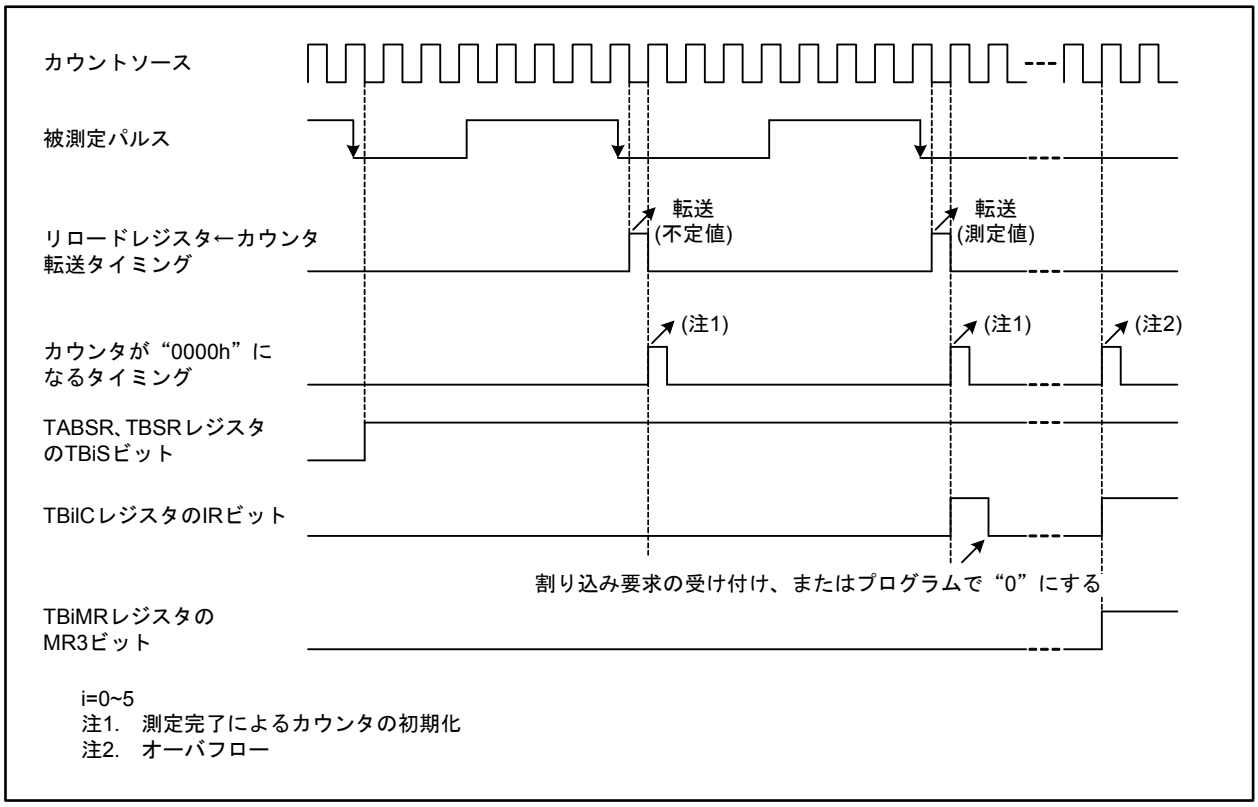


図 16.27 パルス周期測定時の動作図

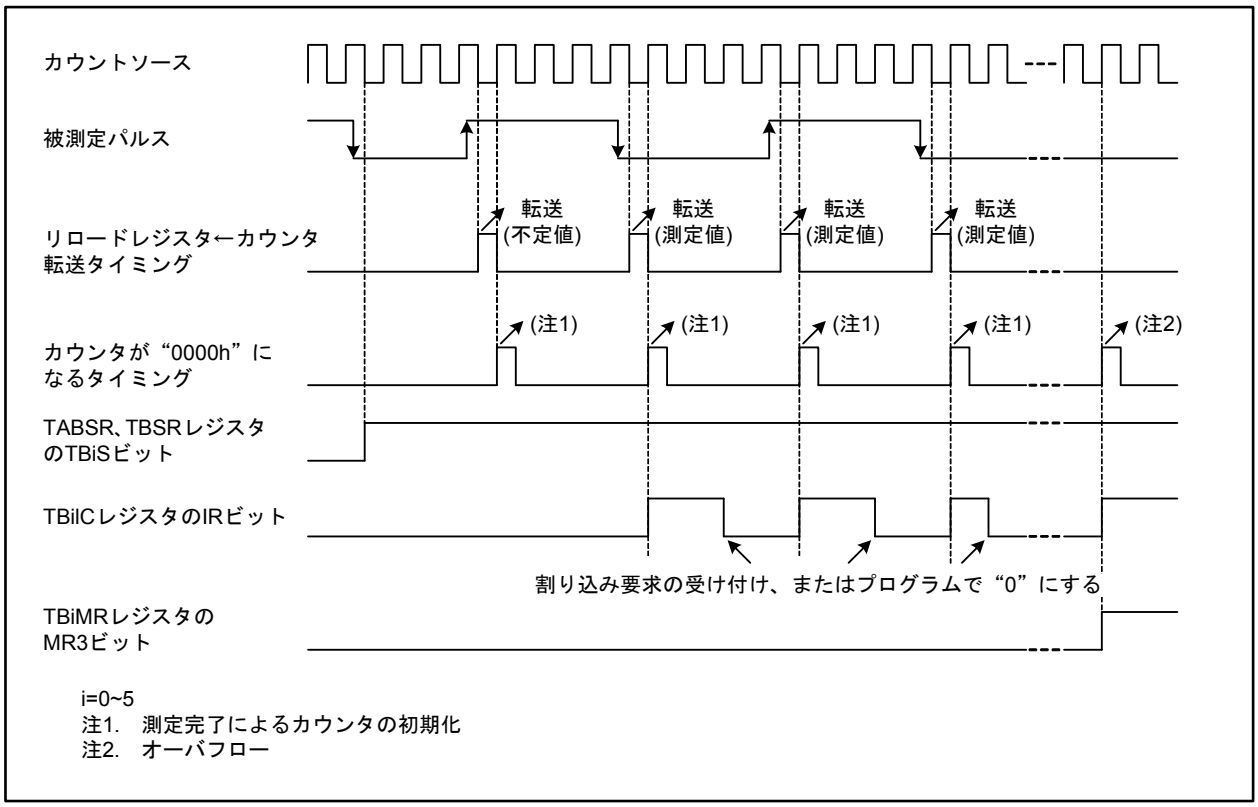


図 16.28 パルス幅測定時の動作図

16.3 タイマ使用上の注意

16.3.1 タイマA、タイマB共通

リセット後、タイマは停止しています。モードやカウントソース、カウンタの値を設定した後、TABSRレジスタまたはTBSRレジスタの、TAiSビット(i=0~4)またはTBjSビット(j=0~5)を“1”(カウント開始)にしてください。

以下のレジスタ、ビットは、対応するTAiSビットまたはTBjSビットが“0”(カウント停止)の状態で変更してください。

- TAiMRレジスタ、TBjMRレジスタ
- UDFレジスタ
- ONSFレジスタのTAZIEビット、TA0TGLビット、TA0TGHビット
- TRGSRレジスタ

16.3.2 タイマA

16.3.2.1 タイマモード時

- カウント中のカウンタの値は、TAiレジスタを読むことでいつでも知ることができます。ただし、TAiレジスタのリードがリロードタイミングと重なったときは“FFFFh”が読めます。また、カウント停止中にTAiレジスタに値を設定して、カウント開始前にTAiレジスタを読んだ場合、設定した値が読めます。

16.3.2.2 イベントカウンタモード時

- カウント中のカウンタの値は、TAiレジスタを読むことでいつでも知ることができます。ただし、TAiレジスタのリードがリロードタイミングと重なった場合、アンダフロー時は“FFFFh”が、オーバフロー時は“0000h”が読めます。また、カウント停止中にTAiレジスタに値を設定して、カウント開始前にTAiレジスタを読んだ場合、設定した値が読めます。

16.3.2.3 ワンショットタイマモード時

- カウント中にTABSRレジスタのTAiSビットを“0”(カウント停止)にすると、以下のようになります。
  - カウンタはカウントを停止し、TAiレジスタの設定値をリロードします。
  - TAiOUT端子は“L”を出力します。
  - CPUクロックの1サイクル後、TAiICレジスタのIRビットが“1”(割り込み要求あり)になります。

- ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、トリガにTAiIN端子への入力を選択している場合、トリガ入力からワンショットタイマの出力までに、最大でカウントソース1クロック分の遅延が生じます。

- 下記のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。タイマAi割り込み(IRビット)を使用する場合は、下記の設定を行った後、IRビットを“0”にしてください。
  - リセット後、ワンショットタイマモードを選択したとき
  - 動作モードをタイマモードからワンショットタイマモードに変更したとき
  - 動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき

- カウント中に再トリガが発生した場合は、カウンタは1回ダウンカウントした後、TAiレジスタ(i=0~4)の設定値をリロードしてカウントを続けます。カウント中に再トリガを発生させる場合は、前回のトリガの発生からタイマのカウントソース1クロック以上経過した後に発生させてください。

- カウント開始条件にTAiIN端子へのトリガ入力を選択している場合、タイマAのカウント値が“0000h”になる直前の300 nsの間に再トリガを入力しないでください。ワンショットタイマがカウントを継続しないで停止する場合があります。

16.3.2.4 パルス幅変調モード時

- 下記のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。タイマAi割り込み(IRビット)を使用する場合は、以下の設定を行った後、IRビットを“0”にしてください。
  - リセット後、PWMモードを選択したとき
  - 動作モードをタイマモードからPWMモードに変更したとき
  - 動作モードをイベントカウンタモードからPWMモードに変更したとき

- PWMパルスを出力中にTAiSビットを“0”(カウント停止)にすると以下のようになります。
  - カウンタはカウントを停止します。
  - TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になり、IRビットが“1”になります。
  - TAiOUT端子から“L”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

16.3.3 タイマB

16.3.3.1 タイマモード、イベントカウンタモード時

- カウント中のカウンタの値は、TBjレジスタ(j=0~5)を読むことでいつでも知ることができます。ただし、TBjレジスタのリードがリロードタイミングと重なったときは“FFFFh”が読めます。また、カウント停止中にTBjレジスタに値を設定して、カウント開始前にTBjレジスタを読んだ場合、設定した値が読めます。

16.3.3.2 パルス周期測定/パルス幅測定モード時

- TBjMRレジスタのMR3ビットを“0”(オーバフローなし)にするには、TBjSビットが“1”(カウント開始)のとき、MR3ビットが“1”(オーバフローあり)になってからカウントソース1クロック以上経過した後に、TBjMRレジスタに書いてください。

- オーバフローだけの検出にはTBjICレジスタのIRビットを使用してください。MR3ビットは、割り込み処理ルーチンで割り込み要因を判断するときにだけ使用してください。

- カウント開始時のカウンタの値は不定です。したがって、カウント開始後最初の有効エッジが入力されるまでにカウンタがオーバフローし、タイマBj割り込み要求が発生する可能性があります。

- カウント開始後、最初の有効エッジが入力された時は、カウンタの値が不定なので不定値がリロードレジスタに転送されます。なお、このときタイマBj割り込み要求は発生しません。

- カウント開始後にTBjMRレジスタのMR1~MR0ビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。ただし、MR1~MR0ビットに同じ値を上書きした場合は、IRビットは変化しません。

- パルス幅測定モードでは、連続してパルス幅を測定します。測定結果が“H”幅の測定結果であるか“L”幅の測定結果であるかは、プログラムで判断してください。

- パルス周期測定モードでは、カウンタのオーバフローと同時に有効エッジが入力された場合、割り込み要求が1回しか発生しないため、有効エッジが入力されたことを確認できません。カウンタがオーバフローしない範囲で使用してください。

- パルス幅測定モードでは、タイマBj割り込みの処理ルーチンでポートのレベルを読んで、カウンタがオーバフローしたか、有効エッジが入力されたかを判断してください。

17. 三相モータ制御用タイマ機能

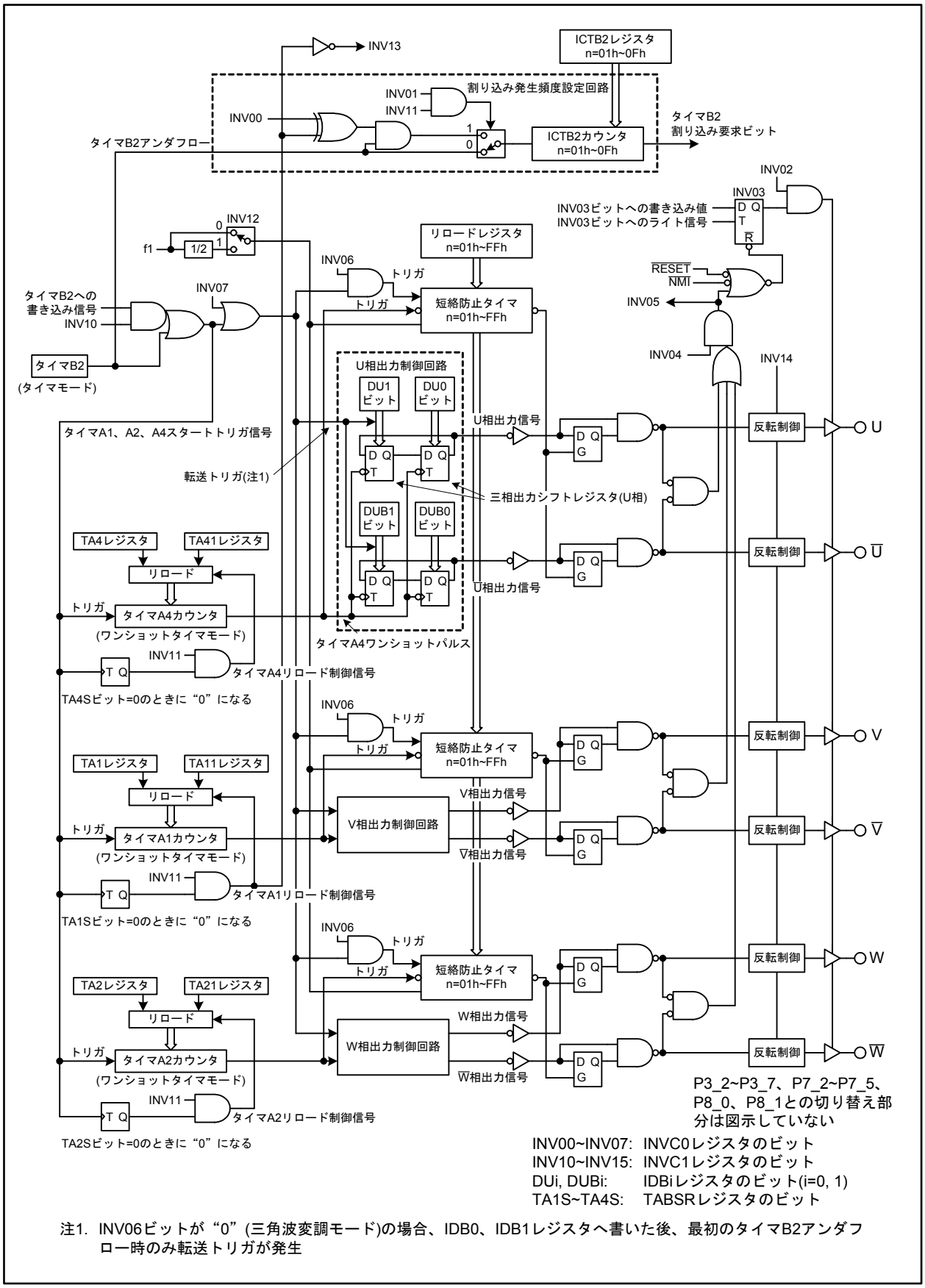
タイマA1、A2、A4、B2を使用して三相モータ駆動波形を出力できます。INVC0レジスタのINV02ビットを“1”にすると、三相モータ制御用タイマ機能になります。この機能では、タイマB2を搬送波制御に、タイマA4、A1、A2を三相PWM出力(U, $\overline{U}$, V, $\overline{V}$, W, $\overline{W}$)の制御に使用します。

表17.1に三相モータ制御用タイマ機能の仕様を、図17.1にブロック図を示します。また、図17.2~図17.6に関連レジスタを示します。

表17.1　三相モータ制御用タイマ機能の仕様

項目	仕様
三相PWM波形出力端子	6本(U, $\overline{U}$, V, $\overline{V}$, W, $\overline{W}$)
強制遮断入力(注1)	$\overline{NMI}$端子に“L”を入力
使用タイマ	タイマA4、A1、A2 (ワンショットタイマモードで使用) タイマA4: U、$\overline{U}$相波形制御 タイマA1: V、$\overline{V}$相波形制御 タイマA2: W、$\overline{W}$相波形制御 タイマB2 (タイマモードで使用) 搬送波周期制御 短絡防止タイマ (8ビットタイマ3本、リロードレジスタ共用) 短絡防止時間制御
出力波形	三角波変調、鋸波変調 •1周期すべて“H”または“L”出力可能 •上側通電信号と下側通電信号の出力論理を独立して設定可能
搬送波周期	三角波変調: カウントソース× (m + 1) × 2 鋸波変調 :　カウントソース× (m + 1) m: TB2レジスタ設定値　0000h~FFFFh カウントソース:　f1, f8, f2n, fC32
三相PWM出力幅	三角波変調: カウントソース× n × 2 鋸波変調:　カウントソース× n n:　TA4、TA1、TA2 (INVC1レジスタのINV11ビットが“1”のときはTA4、TA41、TA1、TA11、TA2、TA21)レジスタ設定値　0001h~FFFFh カウントソース:　f1, f8, f2n, fC32
短絡防止時間(幅)	カウントソース×p、または短絡防止時間なし p:　DTTレジスタ設定値　01h~FFh カウントソース:　f1、またはf1の2分周
通電出力論理	アクティブ“H”またはアクティブ“L”選択可能
上下同時通電出力禁止機能	上下同時通電出力禁止機能あり、上下同時通電出力検出機能あり
割り込み頻度	タイマB2割り込みは、搬送波周期ごと~搬送波周期15回ごと選択

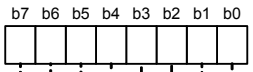
注1.　$\overline{NMI}$入力による強制遮断は、PM2レジスタのPM24ビットが“1” (NMI有効)で、INVC0レジスタのINV02ビットが“1” (三相モータ制御用タイマ機能を使用)、かつINV03ビットが“1” (三相モータ制御用タイマ出力許可)のとき有効です。



注1. INV06ビットが“0”(三角波変調モード)の場合、IDB0、IDB1レジスタへ書いた後、最初のタイマB2アンダフロー時のみ転送トリガが発生

図 17.1　三相モータ制御用タイマ機能のブロック図

三相PWM制御レジスタ0 (注1)



シンボル	アドレス	リセット後の値
INVC0	0308h番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
INV00	ICTB2カウント条件選択ビット (注2)	b1 b0 0 X : タイマB2アンダフロー 1 0 : タイマA1リロード制御信号が“0”のときのタイマB2アンダフロー (注3) 1 1 : タイマA1リロード制御信号が“1”のときのタイマB2アンダフロー (注3、4)	RW
INV01			RW
INV02	三相モータ機能選択ビット	0: 三相モータ制御用タイマ機能を使用しない 1: 三相モータ制御用タイマ機能を使用する (注5、6、7)	RW
INV03	三相モータ出力制御ビット	0: 三相モータ制御用タイマ出力禁止 (注7) 1: 三相モータ制御用タイマ出力許可 (注8)	RW
INV04	上下同時通電出力禁止ビット	0: 上下同時通電出力無視 1: 上下同時通電出力禁止	RW
INV05	上下同時通電出力検出フラグ	0: 未検出 1: 検出 (注9)	RO
INV06	変調モード選択ビット	0: 三角波変調モード 1: 鋸波変調モード (注10)	RW
INV07	ソフトウェアトリガ選択ビット	このビットに“1”を書くと転送トリガが発生する。INV06ビットが“1”の場合、短絡防止タイマへのトリガも発生する。 読んだ場合、その値は“0”	RW

注1. このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可) にした後で書き換えてください。
また、INV00~INV02、INV06ビットは、タイマA1、A2、A4、B2が停止中に書き換えてください。
注2. INVC1レジスタのINV11ビットが“1”(三相モード1) のとき有効です。“0”(三相モード0) のときは、INV00、INV01ビットに関係なく、タイマB2がアンダフローするごとにICTB2カウンタのカウントが進みます。
注3. INV01ビットに“1”を書く場合は、ICTB2レジスタに値を設定してから書いてください。また、TABSRレジスタのTA1Sビットを最初のタイマB2アンダフローまでに“1”(カウント開始) にしてください。
注4. INV00ビットを“1”にした場合、ICTB2レジスタの設定値をnとすると、最初の割り込みはn-1回目のタイマB2アンダフローで発生し、2回目以降の割り込みはタイマB2がn回アンダフローするごとに発生します。
注5. INV02ビットを“1”にすると、短絡防止タイマやU、V、W相出力制御回路、ICTB2カウンタが動作します。
注6. INV02ビットを“1”にした後で、IOBCレジスタ、出力機能選択レジスタの順で端子を設定してください。
注7. U、$\overline{U}$、V、$\overline{V}$、W、$\overline{W}$端子 (端子を共用している他の出力機能に設定している場合も含む) は、INV02ビットを“1”にし、かつINV03ビットを“0”にすると、すべてハイインピーダンスになります。
注8. INV03ビットは以下の場合に“0”になります。
- リセット
- INV04ビットが“1”のとき、上側通電信号と下側通電信号が同時にアクティブになった場合
- プログラムで“0”にしたとき
- PM2レジスタのPM24ビットが“1”(NMI有効) のときに、$\overline{NMI}$端子が“H”から“L”に変化したとき

注9. プログラムで“1”は書けません。このビットを“0”にする場合は、INV04ビットに“0”を書いてください。
注10. INV06ビットが“1”の場合、INVC1レジスタのINV11ビットを“0”(三相モード0)、TB2SCレジスタのPWCONビットを“0”(タイマB2のアンダフローでタイマB2リロード) にしてください。

図 17.2　INVC0 レジスタ

三相PWM制御レジスタ1 (注1)

b7	b6	b5	b4	b3	b2	b1	b0
0							

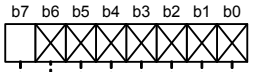
シンボル: INVC1　　アドレス: 0309h番地　　リセット後の値: 0000 0000b

ビットシンボル	ビット名	機　能	RW
INV10	タイマA1、A2、A4 スタートトリガ選択ビット	0: タイマB2アンダフロー 1: タイマB2アンダフローと、TB2レジスタへの書き込み	RW
INV11	タイマA1-1、A2-1、A4-1 制御ビット	0: 三相モード0　(注2、3) 1: 三相モード1	RW
INV12	短絡防止タイマカウント ソース選択ビット	0: f1 1: f1の2分周	RW
INV13	搬送波状態検出フラグ (注4)	0: タイマA1リロード制御信号が“0” 1: タイマA1リロード制御信号が“1”	RO
INV14	通電出力論理制御ビット	0: アクティブ“L” 1: アクティブ“H”	RW
INV15	短絡防止時間無効ビット	0: 短絡防止時間有効 1: 短絡防止時間無効	RW
INV16	短絡防止時間タイマトリガ 選択ビット	0: タイマ (A4、A1、A2) のワンショットパルスの立ち下がり　(注5) 1: 三相出力シフトレジスタ (U、V、W相) 出力の立ち上がり	RW
— (b7)	予約ビット	“0”にしてください	RW

注1. このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可) にした後で書き換えてください。
また、このレジスタはタイマA1、A2、A4、B2が停止中に書き換えてください。
注2. INVC0レジスタのINV06ビットが“1”(鋸波変調モード) の場合は、“0”にしてください。
注3. INV11ビットを“0”にした場合、TB2SCレジスタのPWCONビットを“0”(タイマB2のアンダフローでタイマB2リロー ド) にしてください。
注4. INV13ビットは、INV06ビットが“0”(三角波変調モード) かつINV11ビットが“1”のときのみ有効です。
注5. 以下の条件すべてに該当する場合は、INV16ビットを“1”にしてください。
• INV15ビットが“0”
• INV03ビットが“1”(三相モータ制御用タイマ出力許可) のときは、常にDijビット (i=U、VまたはW、j=0~1) とDiBjビットの値が異なる (短絡防止時間以外の期間、上側通電信号と下側通電信号は常に逆のレベルを出力する)。
また、上記の条件に該当しない場合は、INV16ビットを“0”にしてください。

図 17.3　INVC1 レジスタ

三相出力バッファ制御レジスタ (注1)



シンボル	アドレス	リセット後の値
IOBC	40097h番地	0XXX XXXXb

ビットシンボル	ビット名	機　能	RW
— (b6-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
TBSOUT	三相出力端子選択ビット (注2)	0: P7, P8のU, $\overline{U}$, V, $\overline{V}$, W, $\overline{W}$を使用する 1: P3のU, $\overline{U}$, V, $\overline{V}$, W, $\overline{W}$を使用する	RW

注1. このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。
注2. INVC0レジスタのINV02ビットを“1”にした後で、このビットを設定してください。その後、対応するポートの出力機能選択レジスタを設定してください。
三相出力端子は、INVC0レジスタのINV03ビットが“0”のとき出力をハイインピーダンスにする機能があります。この機能は出力バッファのアウトプットイネーブルを制御することで実現していますが、複数のポートに出力を割り振れる場合、出力機能選択レジスタだけではアウトプットイネーブルが制御できません。そのためTBSOUTビットで3ステート制御を行う出力バッファを選択する必要があります。

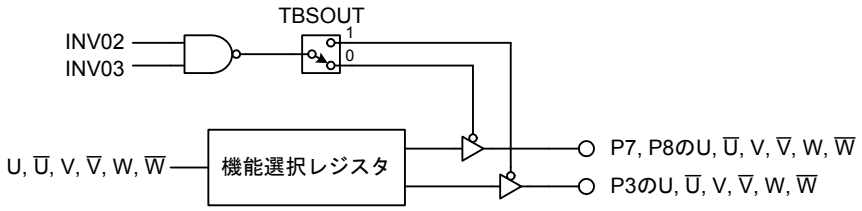
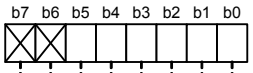


図 17.4　IOBC レジスタ

三相出力バッファレジスタi (i=0, 1) (注1)



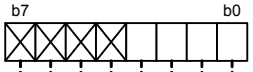
シンボル	アドレス	リセット後の値
IDB0, IDB1	030Ah、030Bh番地	XX11 1111b

ビットシンボル	ビット名	機　能	RW
DUi	U相出力バッファi	三相出力シフトレジスタの出力論理を書いてください。ここで書いた値は、各通電信号に以下のとおり反映されます 0: アクティブ (ON) 1: 非アクティブ (OFF) 読んだ場合は三相出力シフトレジスタの値が読めます	RW
DUBi	$\overline{U}$相出力バッファi		RW
DVi	V相出力バッファi		RW
DVBi	$\overline{V}$相出力バッファi		RW
DWi	W相出力バッファi		RW
DWBi	$\overline{W}$相出力バッファi		RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. IDB0、IDB1レジスタの値は転送トリガで三相出力シフトレジスタに転送されます。転送トリガ後、IDB0レジスタに書いた値が初めに各相出力信号となり、次にタイマA1、A2、A4ワンショットパルスの立ち下がりでIDB1レジスタに書いた値が各相出力信号となります。

図 17.5　IDB0、IDB1 レジスタ

タイマB2割り込み発生頻度設定カウンタ (注1~3)



シンボル	アドレス	リセット後の値
ICTB2	030Dh番地	不定

機　能	設定範囲	RW
INV01ビットが“0”(タイマB2がアンダフローするとICTB2 カウンタのカウントを進める) の場合、設定値をnとすると、タイマB2 がn回アンダフローするごとにタイマB2割り込み要求が発生する。 INV01ビットが“1”(タイマA1リロード制御信号が条件に合うとき、タイマB2がアンダフローするとICTB2 カウンタのカウントを進める) の場合、設定値をnとすると、タイマA1リロード制御信号が条件に合うとき、タイマB2がn回アンダフローするごとにタイマB2割り込み要求が発生する	01h~0Fh	WO
何も配置されていない。書く場合、“0”を書いてください		—

注1. このレジスタへの書き込みは、MOV命令を使用してください。
注2. INVC0レジスタのINV01ビットが“1”の場合は、更にTABSRレジスタのTB2Sビットが“0”(タイマB2カウント停止) のときに書いてください。INV01ビットが“0”の場合は、TB2Sビットが“1”(タイマB2カウント開始) でも書けますが、タイマB2のアンダフローのタイミングで書かないでください。
注3. INVC0レジスタのINV00ビットを“1”にする場合、ICTB2カウンタの設定値をnとすると、最初の割り込みはn-1回目のタイマB2アンダフローで発生し、2回目以降の割り込みはタイマB2がn回アンダフローするごとに発生します。

図 17.6　ICTB2 レジスタ

17.1 三相モータ制御用タイマのモード

三相モータ制御用タイマには、三角波変調モードと鋸波変調モードがあり、さらに三角波変調モードには三相モード0と三相モード1があります。それぞれの特徴と設定を表17.2に示します。

表 17.2 モード一覧

項目	三角波変調モード		鋸波変調モード
	三相モード0	三相モード1	(三相モード0)
設定	INV06=0, INV11=0, PWCON=0	INV06=0, INV11=1	INV06=1, INV11=0, PWCON=0
搬送波波形	三角波		鋸波
TA11、TA21、TA41レジスタ	使用しない	使用する	使用しない
IDB0レジスタ、IDB1レジスタから三相出力シフトレジスタへの転送タイミング	IDB0レジスタ、IDB1レジスタに書いた後、転送トリガ(注1)に同期して1回のみ転送		転送トリガ(注1)ごとに転送
INV16=0の場合の短絡防止タイマトリガタイミング	タイマA1、A2、A4のワンショットパルスの立ち下がりに同期		タイマA1、A2、A4のワンショットパルスの立ち下がりと、転送トリガに同期
INVC0レジスタのINV00ビット、INV01ビット	無効 INV00、INV01ビットの値に関係なくタイマB2がアンダフローするごとにICTB2カウント	有効	無効 INV00、INV01ビットの値に関係なくタイマB2がアンダフローするごとにICTB2カウント
INV13ビット	無効	有効	無効

注1. 転送トリガ: タイマB2アンダフローとINV07ビットへの書き込み、またはINV10ビットが“1”のときのTB2レジスタへの書き込み

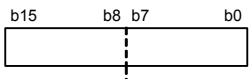
17.2 タイマB2

三相モータ制御用タイマ機能を使用する場合、タイマB2は搬送波制御に使用します。

タイマB2はタイマモードに設定します。

図17.7に三相モータ制御用タイマ機能時のTB2レジスタ、図17.8に三相モータ制御用タイマ機能時のTB2MRレジスタを示します。また、三相モード1のときに搬送波周期を変更するタイミングを切り替えるTB2SCレジスタを図17.9に示します。

タイマB2レジスタ(注1)



シンボル: TB2
アドレス: 0355h-0354h番地
リセット後の値: 不定

機　能	設定範囲	RW
設定値をnとすると、カウントソースをn+1分周する。 アンダフローごとに、タイマA1、A2、A4をスタートさせる	0000h~FFFFh	RW

注1. 読み出し、書き込みは16ビット単位で実行してください。

図 17.7 三相モータ制御用タイマ機能時のTB2レジスタ

タイマB2モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
		0	X	0	0	0	0

シンボル: TB2MR　アドレス: 035Dh番地　リセット後の値: 00XX 0000b

ビットシンボル	ビット名	機　能	RW
TMOD0	動作モード選択ビット	三相モータ制御用タイマ機能では“00b”(タイマモード) にしてください	RW
TMOD1			RW
MR0	三相モータ制御用タイマ機能では無効。書く場合、“0”を書いてください。読んだ場合、その値は不定		RW
MR1			RW
MR2	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定		—
MR3	三相モータ制御用タイマ機能では無効。書く場合、“0”を書いてください。読んだ場合、その値は不定		—
TCK0	カウントソース選択ビット	b7 b6 0 0 : f1 0 1 : f8 1 0 : f2n 1 1 : fC32	RW
TCK1			RW

図 17.8　三相モータ制御用タイマ機能時のTB2MRレジスタ

タイマB2特殊モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
X	X	X	X	X	X	X	X

シンボル: TB2SC　アドレス: 035Eh番地　リセット後の値: XXXX XXX0b

ビットシンボル	ビット名	機　能	RW
PWCON	タイマB2リロードタイミング切り替えビット (注1)	0: タイマB2 アンダフロー 1: タイマA1リロード制御信号が“0”のときのタイマB2アンダフロー	RW
— (b7-b1)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定		—

注1. INV11ビットが“0”(三相モード0)、またはINV06ビットが“1”(鋸波変調モード) の場合は、“0”にしてください。

図 17.9　TB2SCレジスタ

17.3　タイマA4、A1、A2

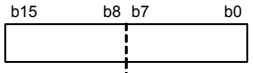
三相モータ制御用タイマ機能を使用する場合、タイマA4、A1、A2は三相PWM出力(U, $\overline{U}$, V, $\overline{V}$, W, $\overline{W}$)の制御に使用します。

タイマA4、A1、A2はワンショットタイマモードに設定します。タイマB2がアンダフローするごとにタイマA4、A1、A2にトリガが入力され、ワンショットパルスが生成されます。したがって、タイマB2割り込みが発生するごとにTA4、TA1、TA2レジスタの値を書き換えることでPWM波形のデューティ比を変えることができます。

また三相モード1では、タイマB2割り込みごとにカウンタへのリロード値がTAi、TAi-1 (i=4, 1, 2)と入れ替わるため、タイマB2割り込みの頻度を半分に減らすことができます。

図17.10に三相モータ制御用タイマ機能時のTA1、TA2、TA4、TA11、TA21、TA41レジスタ、図17.11に三相モータ制御用タイマ機能時のTA1MR、TA2MR、TA4MRレジスタ、図17.12に三相モータ制御用タイマ機能時のTRGSRレジスタ、図17.13にTABSRレジスタを示します。

タイマAi、Ai-1レジスタ (i=1, 2, 4) (注1~6)



シンボル	アドレス	リセット後の値
TA1, TA2, TA4	0349h-0348h、034Bh-034Ah、034Fh-034Eh番地	不定
TA11, TA21, TA41	0303h-0302h、0305h-0304h、0307h-0306h番地	不定

機　能	設定範囲	RW
設定値をnとすると、スタートトリガ後、カウントソースをn回カウントして停止する。タイマA1、A2、A4が停止するタイミングで各相出力信号が変化する	0000h~FFFFh	WO

注1. 書き込みは16ビット単位で行ってください。
注2. これらのレジスタに“0000h”を書いた場合、カウンタは動作せず、タイマAi割り込みは発生しません。
注3. これらのレジスタへの書き込みにはMOV命令を使用してください。
注4. INVC1レジスタのINV15ビットが“0”(短絡防止時間有効)の場合、通電出力がアクティブになるタイミングが遅れ、短絡防止タイマが停止するタイミングで変化します。
注5. INVC1レジスタのINV11ビットが“0”(三相モード0)の場合、タイマAiスタートトリガによってTAiレジスタの値がリロードレジスタに転送されます。
INV11ビットが“1”(三相モード1)の場合、タイマAiスタートトリガによってまずTAi1レジスタの値が、次のタイマAiスタートトリガ時にTAiレジスタの値がリロードレジスタに転送されます。以降、TAi1レジスタの値とTAiレジスタの値が交互にリロードレジスタに転送されます。
注6. タイマB2アンダフローが発生するタイミングで、これらのレジスタへ書かないでください。

図17.10　TA1、TA2、TA4、TA11、TA21、TA41レジスタ

タイマAiモードレジスタ (i=1, 2, 4)

b7	b6	b5	b4	b3	b2	b1	b0
		0	1	0	0	1	0

シンボル	アドレス	リセット後の値
TA1MR, TA2MR, TA4MR	0357h、0358h、035Ah番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
TMOD0	動作モード選択ビット	三相モータ制御用タイマ機能では“10b”(ワンショットタイマモード)にしてください	RW
TMOD1			RW
MR0	予約ビット	“0”にしてください	RW
MR1	外部トリガ選択ビット	三相モータ制御用タイマ機能では“0”にしてください	RW
MR2	トリガ選択ビット	三相モータ制御用タイマ機能では“1”(TRGSRレジスタで選択)にしてください	RW
MR3	三相モータ制御用タイマ機能では“0”にしてください		RW
TCK0	カウントソース選択ビット	b7 b6 0 0 : f1 0 1 : f8 1 0 : f2n 1 1 : fC32	RW
TCK1			RW

図 17.11　三相モータ制御用タイマ機能時のTA1MR、TA2MR、TA4MR レジスタ

トリガ選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
TRGSR	0343h番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
TA1TGL	タイマA1イベント/トリガ選択ビット	V相出力制御回路を使用する場合は、“01b”(TB2のアンダフロー)にしてください	RW
TA1TGH			RW
TA2TGL	タイマA2イベント/トリガ選択ビット	W相出力制御回路を使用する場合は、“01b”(TB2のアンダフロー)にしてください	RW
TA2TGH			RW
TA3TGL	タイマA3イベント/トリガ選択ビット	b5 b4 0 0 : TA3IN端子の入力を選択 0 1 : TB2のオーバフローを選択 (注1) 1 0 : TA2のオーバフローを選択 (注1) 1 1 : TA4のオーバフローを選択 (注1)	RW
TA3TGH			RW
TA4TGL	タイマA4イベント/トリガ選択ビット	U相出力制御回路を使用する場合は、“01b”(TB2のアンダフロー)にしてください	RW
TA4TGH			RW

注1. オーバフロー、またはアンダフロー。

図 17.12　三相モータ制御用タイマ機能時のTRGSRレジスタ

カウント開始レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
TABSR	0340h番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
TA0S	タイマA0カウント開始ビット	0: カウント停止 1: カウント開始	RW
TA1S	タイマA1カウント開始ビット	0: カウント停止 1: カウント開始	RW
TA2S	タイマA2カウント開始ビット	0: カウント停止 1: カウント開始	RW
TA3S	タイマA3カウント開始ビット	0: カウント停止 1: カウント開始	RW
TA4S	タイマA4カウント開始ビット	0: カウント停止 1: カウント開始	RW
TB0S	タイマB0カウント開始ビット	0: カウント停止 1: カウント開始	RW
TB1S	タイマB1カウント開始ビット	0: カウント停止 1: カウント開始	RW
TB2S	タイマB2カウント開始ビット	0: カウント停止 1: カウント開始	RW

図 17.13　TABSRレジスタ

17.4　上下同時通電出力禁止機能と短絡防止タイマ

三相モータ制御用タイマには、上側トランジスタと下側トランジスタが同時に導通することで発生するアーム短絡を防止する機能があります。1つはプログラムの間違い等によって上下通電出力が同時にアクティブにならないようにする上下同時通電出力禁止機能、もう1つはトランジスタのターンオフ遅れによって上下トランジスタが同時にONにならないようにする短絡防止タイマです。

上下同時通電出力禁止機能はINVC0レジスタのINV04ビットを“1”にすることで設定できます。このとき、U相と$\overline{U}$相、V相と$\overline{V}$相、あるいはW相と$\overline{W}$相が同時にアクティブになると、三相モータ制御出力端子はすべてハイインピーダンスになります。図 17.14 に上下同時通電出力禁止時の出力波形例を示します。

短絡防止タイマはINVC1レジスタのINV15ビットを“0”にすることで有効になります。短絡防止時間はDTTレジスタで設定します。図 17.15にDTTレジスタを、図 17.16に短絡防止タイマ使用時の出力波形例を示します。

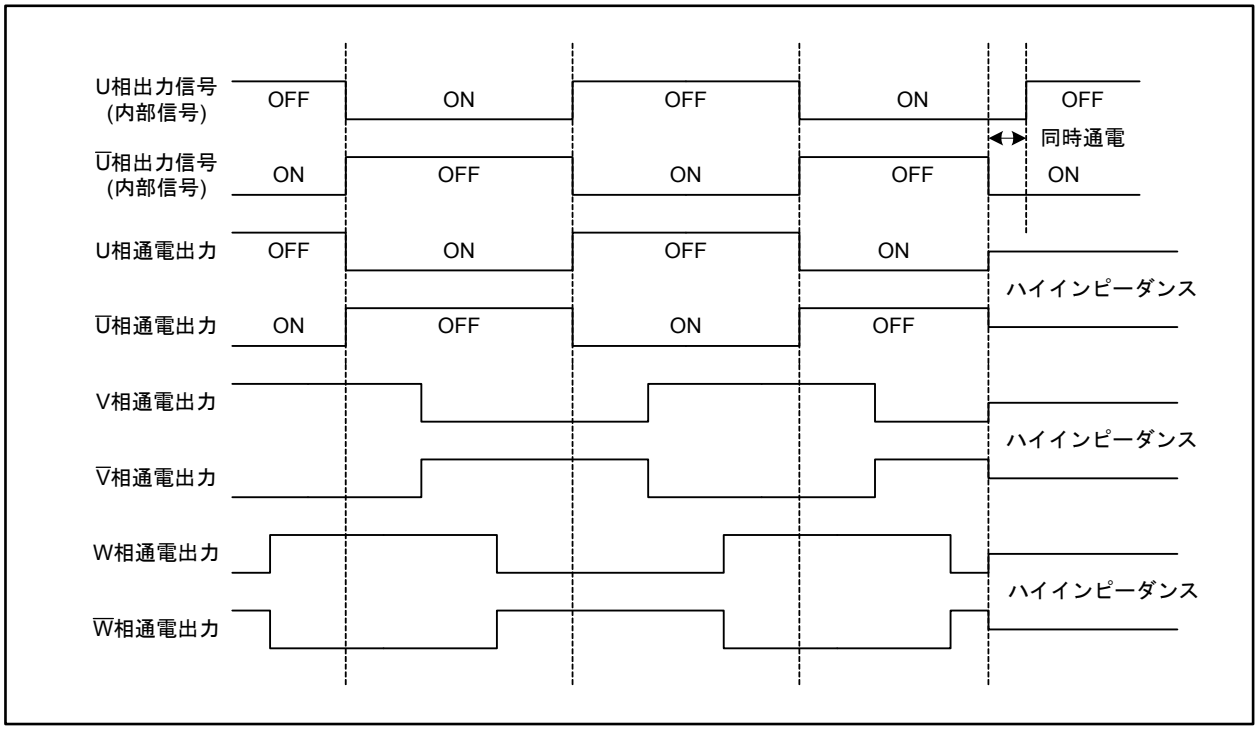


図 17.14　上下同時通電出力禁止時の出力波形例

短絡防止タイマ (注1、2)

b7　　b0

シンボル	アドレス	リセット後の値
DTT	030Ch番地	不定

機　能	設定範囲	RW
上側トランジスタと下側トランジスタが同時に通電しないように、通電信号がアクティブになるタイミングを遅らせるためのワンショットタイマです。 設定値をnとすると、トリガが入った後カウントソースをn回カウントして停止します (注3)	01h~FFh	WO

注1. このレジスタへの書き込みはMOV命令を使用してください。
注2. INVC1レジスタのINV15ビットが“0”(短絡防止時間有効) のとき有効です。INV15ビットが“1”(短絡防止時間無効) のとき短絡防止時間はありません。
注3. トリガはINVC1レジスタのINV16ビットで、カウントソースはINVC1レジスタのINV12ビットで選択してください。

図 17.15 DTT レジスタ

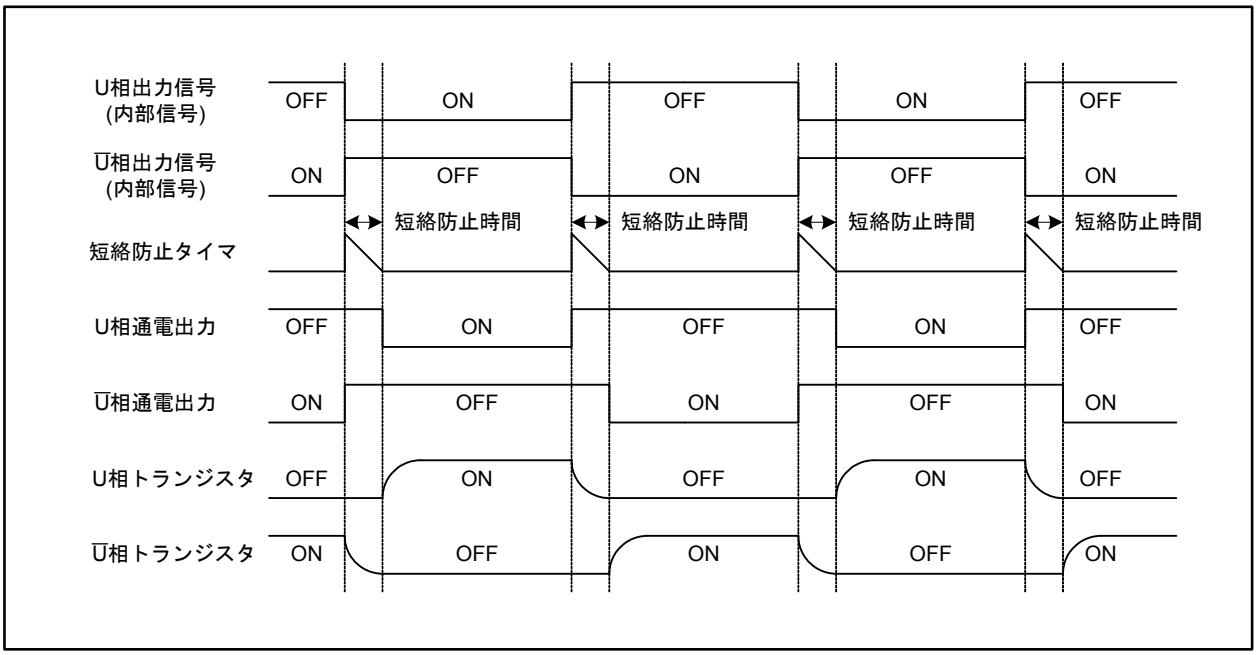
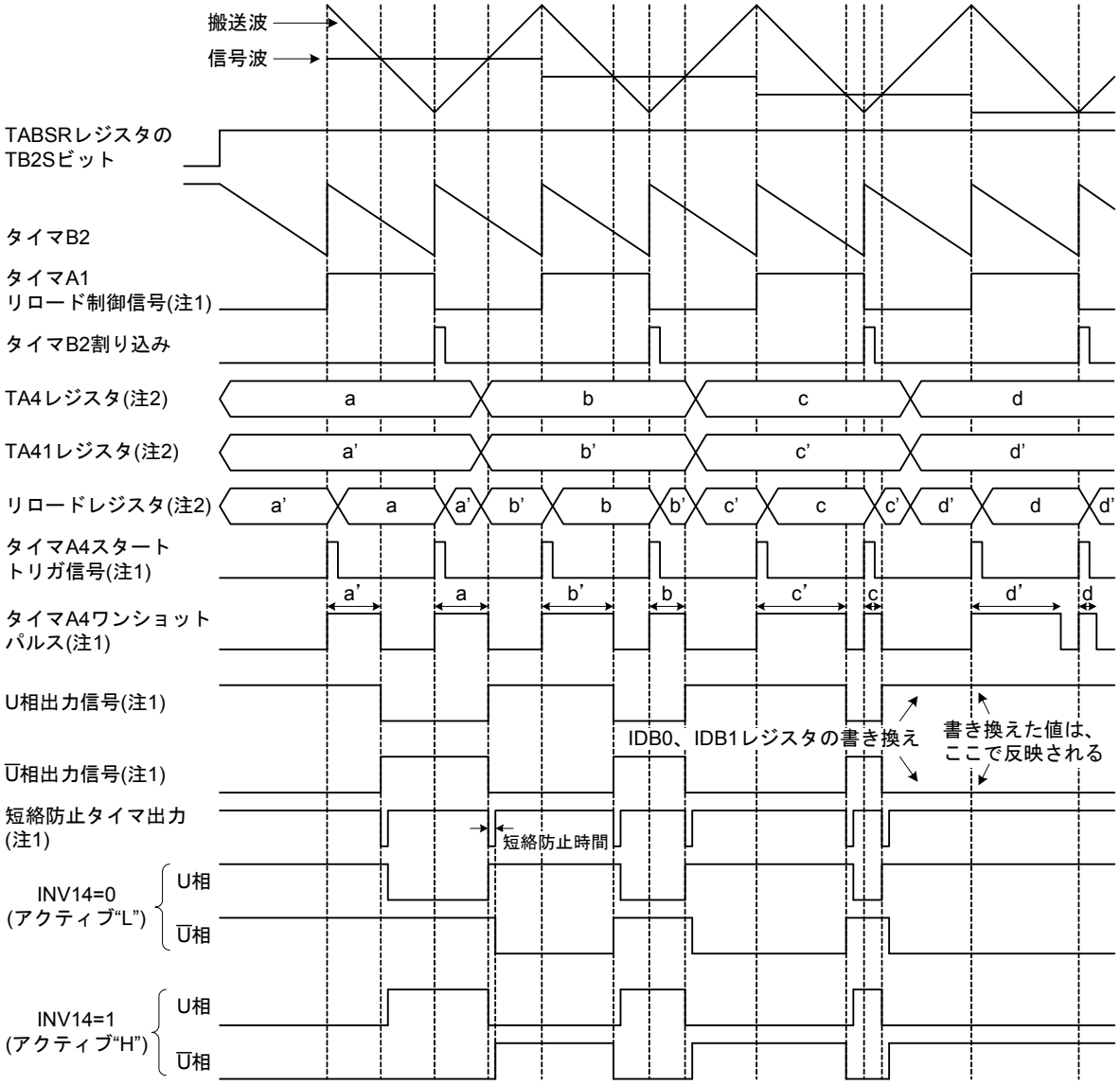


図 17.16 短絡防止タイマ使用時の出力波形例

17.5 三相モータ制御用タイマの動作例

図 17.17に三角波変調波形例を、図 17.18に鋸波変調波形例を示します。



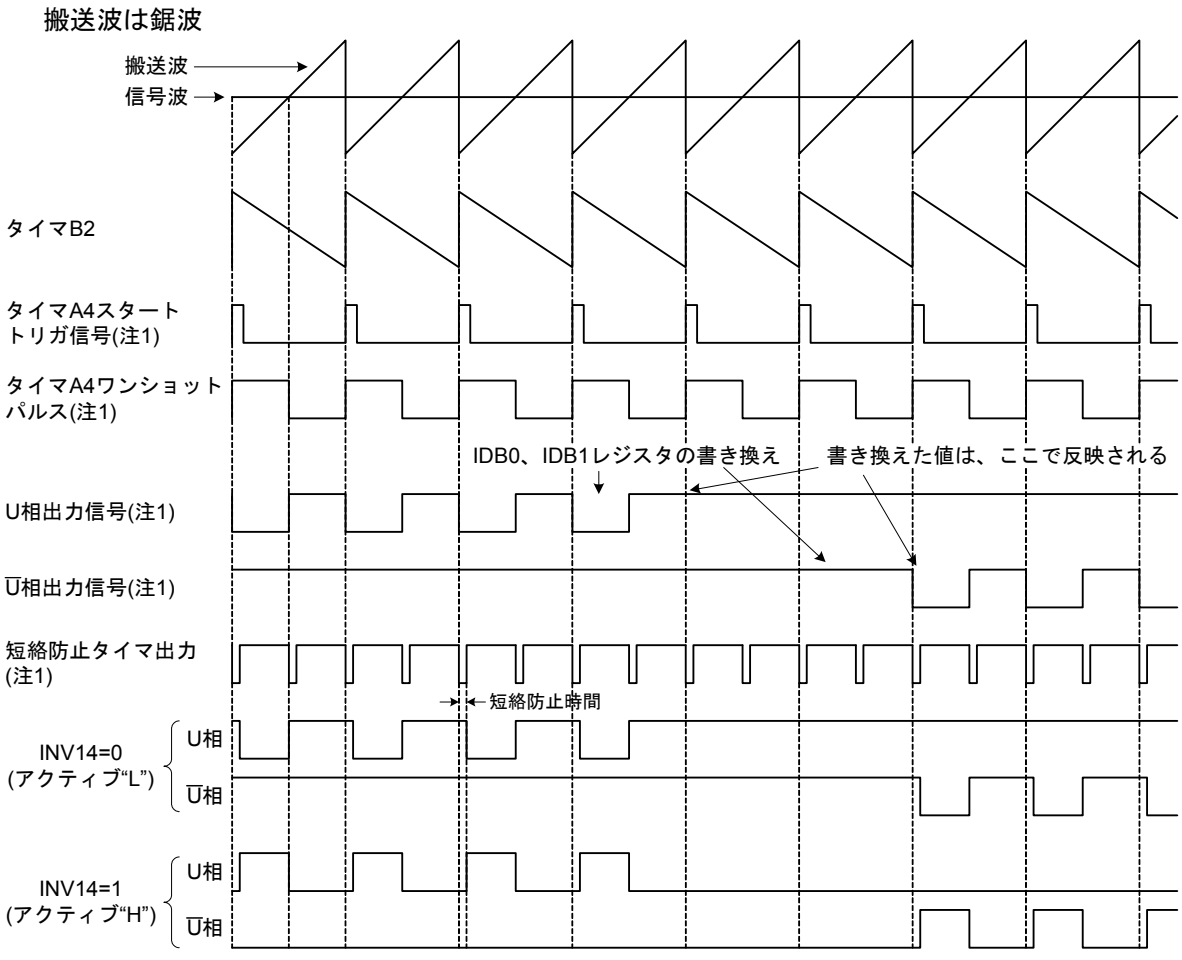
INVC0=00XX11XXb (X: システムに合わせて設定)、INVC1=010XXXX0bの場合の波形例です。
PWM出力変更例は以下のとおりです。

(A) INV11=1 (三相モード1) の場合
- INV01=0、ICTB2=2h (タイマB2アンダフロー2回目ごとにタイマB2割り込み)、またはINV01=1、INV00=1、ICTB2=1h (タイマA1リロード制御信号が"1"のときのタイマB2アンダフローごとにタイマB2割り込み)
- タイマの初期値: TA41=a'、TA4=a
  タイマB2割り込みごとに、TA4、TA41レジスタを変更
  1回目: TA41=b'、TA4=b。 2回目: TA41=c'、TA4=c。
- IDB0、IDB1レジスタの初期値
  DU0=1、DUB0=0、DU1=0、DUB1=1
  3回目のタイマB2割り込みで、DU0=1、DUB0=0、DU1=1、DUB1＝0に変更

(B) INV11=0 (三相モード0) の場合
- INV01=0、ICTB2=1h (タイマB2アンダフローごとにタイマB2割り込み)
- タイマの初期値: TA4=a'
  タイマB2割り込みごとに、TA4レジスタを変更
  1回目: TA4=a。2回目: TA4=b'。3回目: TA4=b。
  4回目: TA4=c'。5回目: TA4=c。
- IDB0、IDB1レジスタの初期値
  DU0=1、DUB0=0、DU1=0、DUB1=1
  6回目のタイマB2割り込みで、DU0=1、DUB0=0、DU1=1、DUB1＝0に変更

注1. 内部信号。ブロック図参照。
注2. INVC1レジスタのINV11ビットが"1" (三相モード1) の場合

図 17.17　三角波変調動作例



INVC0=01XX110Xb (X: システムに合わせて設定)、INVC1=000XXX00bの場合の波形例です。
120°通電制御などに使用できます。

PWM出力変更例は以下のとおりです。
- IDB0、IDB1レジスタの初期値: DU0=0、DUB0=1、DU1=1、DUB1=1。
  3回目のタイマB2割り込みで、DU0=1、DUB0=1、DU1=1、DUB1＝1に変更。
  5回目のタイマB2割り込みで、DU0=1、DUB0=0、DU1=1、DUB1＝1に変更。

注1. 内部信号。ブロック図参照。

図 17.18 鋸波変調動作例

17.6 三相モータ制御用タイマ機能使用上の注意

17.6.1 シャットダウン機能

- PM2レジスタのPM24ビットが“1” (NMI有効)で、INVC0レジスタのINV02ビットが“1” (三相モータ制御用タイマ機能を使用する)、かつINV03ビットが“1” (三相モータ制御用タイマ出力許可)のとき、$\overline{\text{NMI}}$端子に“L”を入力するとTA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

17.6.2 レジスタ設定

- タイマB2がアンダフローする前後で、TAi1レジスタ(i=1, 2, 4)に値を設定しないでください。
TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、アンダフローまでに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔があかないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、アンダフローまでに十分な時間がない場合は、アンダフローするまで待った後TAi1レジスタを設定してください。

18. シリアルインタフェース

シリアルインタフェースは9チャネル(UART0~UART8)あります。
UARTi (i=0~8)は、それぞれ専用の送受信クロック発生用タイマを持ち、独立して動作します。
図 18.1にUART0~UART6のブロック図を、図 18.2にUART7、UART8のブロック図を示します。
UARTiには、以下のモードがあります。

- クロック同期型シリアルインタフェースモード (UART0 ~ UART8)
- クロック非同期型シリアルインタフェースモード (UARTモード) (UART0 ~ UART8)
- 特殊モード1 (I^2Cモード) (UART0 ~ UART6)
- 特殊モード2 (UART0 ~ UART6)
- 特殊モード4 (バス衝突検出機能、IEモード)(オプション(注1)) (UART0 ~ UART6)

図 18.3~図 18.19に、UARTi関連のレジスタを示します。
レジスタの設定、端子の設定はモードごとの表を参照してください。

注1. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

表 18.1 UART0~UART8の機能比較

モード/機能	UART0~UART6	UART7, UART8
クロック同期型シリアルインタフェースモード	あり	あり
シリアルデータ論理切り替え選択	可能	選択できません
UARTモード	あり	あり
CTS/RTS機能選択	可能	可能
TXD、RXD入出力極性切り替え選択	可能	選択できません
特殊モード1 (I^2Cモード)	あり	なし
特殊モード2	あり	なし
特殊モード4 (IEモード)(オプション(注1))	あり	なし
TXD、RXD端子出力形式	プッシュプル出力 機能選択レジスタにより、Nチャネルオープンドレイン出力に設定可能	プッシュプル出力 機能選択レジスタにより、Nチャネルオープンドレイン出力に設定可能

注1. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

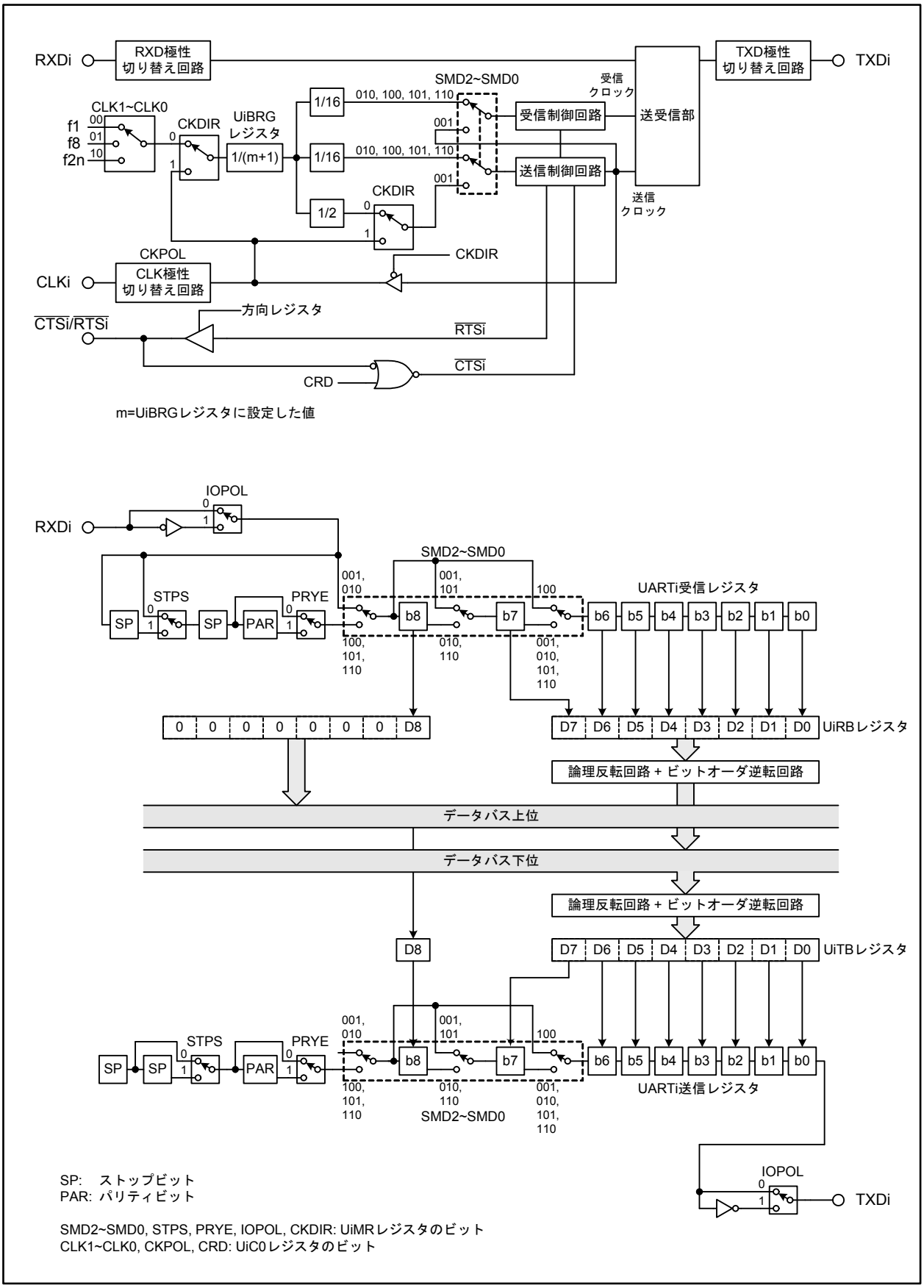


図 18.1 UARTi (i=0~6)ブロック図

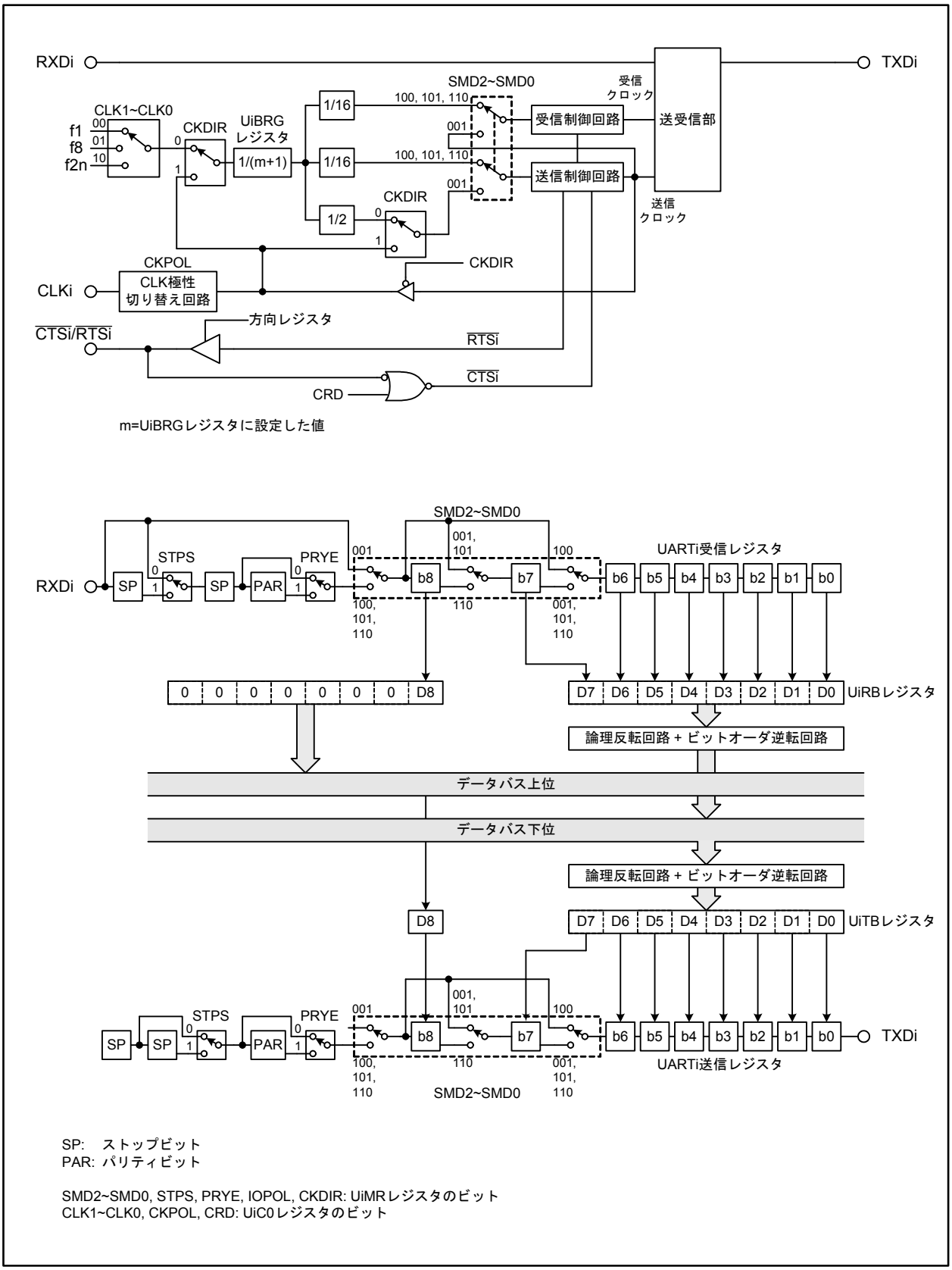
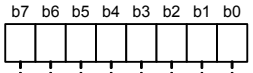


図 18.2 UARTi (i=7, 8) ブロック図

UARTi送受信モードレジスタ (i=0~6)



シンボル	アドレス	リセット後の値
U0MR~U3MR	0368h、02E8h、0338h、0328h番地	0000 0000b
U4MR~U6MR	02F8h、01C8h、01D8h番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
SMD0	シリアルインタフェース モード選択ビット	b2 b1 b0 0 0 0 : シリアルインタフェース無効 0 0 1 : クロック同期型シリアルインタフェースモード 0 1 0 : I²Cモード 1 0 0 : UARTモード キャラクタ長 7ビット 1 0 1 : UARTモード キャラクタ長 8ビット 1 1 0 : UARTモード キャラクタ長 9ビット 上記以外 : 設定しないでください	RW
SMD1			RW
SMD2			RW
CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック	RW
STPS	ストップビット長選択ビット	0: 1ストップビット 1: 2ストップビット	RW
PRY	パリティ奇/偶数選択ビット	PRYE=1のとき有効 0: 奇数パリティ 1: 偶数パリティ	RW
PRYE	パリティイネーブルビット	0: パリティなし 1: パリティあり	RW
IOPOL	TXD、RXD入出力極性切り替えビット	0: 反転なし 1: 反転あり	RW

図 18.3　U0MR~U6MR レジスタ

UARTi送受信モードレジスタ (i=7, 8)

b7	b6	b5	b4	b3	b2	b1	b0
0							

シンボル: U7MR, U8MR　　アドレス: 01E0h、01E8h番地　　リセット後の値: 0000 0000b

ビットシンボル	ビット名	機　能	RW
SMD0	シリアルインタフェース モード選択ビット	b2 b1 b0 0 0 0 : シリアルインタフェース無効 0 0 1 : クロック同期型シリアルインタフェースモード 1 0 0 : UARTモード キャラクタ長 7ビット 1 0 1 : UARTモード キャラクタ長 8ビット 1 1 0 : UARTモード キャラクタ長 9ビット 上記以外 : 設定しないでください	RW
SMD1			RW
SMD2			RW
CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック	RW
STPS	ストップビット長選択ビット	0: 1ストップビット 1: 2ストップビット	RW
PRY	パリティ奇/偶数選択ビット	PRYE=1のとき有効 0: 奇数パリティ 1: 偶数パリティ	RW
PRYE	パリティイネーブルビット	0: パリティなし 1: パリティあり	RW
— (b7)	予約ビット	“0”にしてください	RW

図 18.4　U7MR、U8MR レジスタ

UARTi送受信制御レジスタ0 (i=0~6)

b7	b6	b5	b4	b3	b2	b1	b0
		0			0		

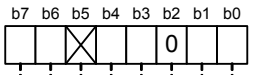
シンボル	アドレス	リセット後の値
U0C0~U3C0	036Ch、02ECh、033Ch、032Ch番地	0000 1000b
U4C0~U6C0	02FCh、01CCh、01DCh番地	0000 1000b

ビットシンボル	ビット名	機　能	RW
CLK0	UiBRGカウント ソース選択ビット	b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f2nを選択 1 1 : 設定しないでください	RW
CLK1			RW
— (b2)	予約ビット	“0”にしてください	RW
TXEPT	送信シフトレジスタ空 フラグ	0: 送信シフトレジスタにデータあり (送信中) 1: 送信シフトレジスタにデータなし (送信完了)	RO
CRD	CTS機能禁止ビット	0: CTS機能許可 1: CTS機能禁止	RW
— (b5)	予約ビット	“0”にしてください	RW
CKPOL	CLK極性選択ビット	0: 送受信クロックの立ち下がりに同期して送信データ出力、立ち上がりに同期して受信データ入力 1: 送受信クロックの立ち上がりに同期して送信データ出力、立ち下がりに同期して受信データ入力	RW
UFORM	ビットオーダ選択ビット (注1)	0: LSBファースト 1: MSBファースト	RW

注1. UiMRレジスタのSMD2~SMD0ビットが“001b”(クロック同期型シリアルインタフェースモード)、または“101b”(UARTモード キャラクタ長8ビット) のとき選択できます。
SMD2~SMD0ビットが“010b”(I^2Cモード) のときは“1”に、“100b”(UARTモード キャラクタ長7ビット) または“110b”(UARTモード キャラクタ長9ビット) のときは“0”にしてください。

図 18.5　U0C0~U6C0 レジスタ

UARTi送受信制御レジスタ0 (i=7, 8)



シンボル　U7C0, U8C0
アドレス　01E4h、01ECh番地
リセット後の値　00X0 1000b

ビットシンボル	ビット名	機　能	RW
CLK0	UiBRGカウント ソース選択ビット	b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f2nを選択 1 1 : 設定しないでください	RW
CLK1			RW
— (b2)	予約ビット	“0”にしてください	RW
TXEPT	送信シフトレジスタ空フラグ	0: 送信シフトレジスタにデータあり (送信中) 1: 送信シフトレジスタにデータなし (送信完了)	RO
CRD	CTS機能禁止ビット	0: CTS機能許可 1: CTS機能禁止	RW
— (b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
CKPOL	CLK極性選択ビット	0: 送受信クロックの立ち下がりに同期して送信データ出力、立ち上がりに同期して受信データ入力 1: 送受信クロックの立ち上がりに同期して送信データ出力、立ち下がりに同期して受信データ入力	RW
UFORM	ビットオーダ選択ビット (注1)	0: LSBファースト 1: MSBファースト	RW

注1. UiMRレジスタのSMD2~SMD0ビットが“001b”(クロック同期型シリアルインタフェースモード)、または“101b”(UARTモード キャラクタ長8ビット) のとき選択できます。
SMD2~SMD0ビットが“100b”(UARTモード キャラクタ長7ビット) または“110b”(UARTモード キャラクタ長9ビット) のときは“0”にしてください。

図 18.6　U7C0、U8C0 レジスタ

UARTi送受信制御レジスタ1 (i=0~6)

b7 b6 b5 b4 b3 b2 b1 b0
0

シンボル	アドレス	リセット後の値
U0C1~U3C1	036Dh、02EDh、033Dh、032Dh番地	0000 0010b
U4C1~U6C1	02FDh、01CDh、01DDh番地	0000 0010b

ビットシンボル	ビット名	機　能	RW
TE	送信許可ビット	0: 送信禁止 1: 送信許可	RW
TI	送信バッファ空フラグ	0: UiTBレジスタにデータあり 1: UiTBレジスタにデータなし	RO
RE	受信許可ビット	0: 受信禁止 1: 受信許可	RW
RI	受信完了フラグ	0: UiRBレジスタにデータなし 1: UiRBレジスタにデータあり	RO
UiIRS	UARTi送信割り込み要因選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	RW
UiRRM	UARTi連続受信モード許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	RW
UiLCH	データ論理選択ビット (注1)	0: 反転なし 1: 反転あり	RW
— (b7)	予約ビット	“0”にしてください	RW

注1. UiMRレジスタのSMD2~SMD0ビットが“001b”(クロック同期型シリアルインタフェースモード)、“100b”(UARTモード キャラクタ長7ビット)、または“101b”(UARTモード キャラクタ長8ビット) のとき選択できます。
SMD2~SMD0ビットが“010b”(I²Cモード) 、または“110b”(UARTモード キャラクタ長9ビット) のときは“0”にしてください。

図 18.7　U0C1~U6C1 レジスタ

UARTi送受信制御レジスタ1 (i=7, 8)

b7 b6 b5 b4 b3 b2 b1 b0
× × × × × × × ×

シンボル	アドレス	リセット後の値
U7C1, U8C1	01E5h、01EDh番地	XXXX 0010b

ビットシンボル	ビット名	機　能	RW
TE	送信許可ビット	0: 送信禁止 1: 送信許可	RW
TI	送信バッファ空フラグ	0: UiTBレジスタにデータあり 1: UiTBレジスタにデータなし	RO
RE	受信許可ビット	0: 受信禁止 1: 受信許可	RW
RI	受信完了フラグ	0: UiRBレジスタにデータなし 1: UiRBレジスタにデータあり	RO
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

図 18.8　U7C1、U8C1 レジスタ

UART7、8送受信制御レジスタ2

b7	b6	b5	b4	b3	b2	b1	b0
X	0	0	0				

シンボル: U78CON　　アドレス: 01F0h番地　　リセット後の値: X000 0000b

ビットシンボル	ビット名	機　能	RW
U7IRS	UART7送信割り込み要因選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	RW
U8IRS	UART8送信割り込み要因選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	RW
U7RRM	UART7連続受信モード許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	RW
U8RRM	UART8連続受信モード許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	RW
— (b6-b4)	予約ビット	“0”にしてください	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

図 18.9　U78CON レジスタ

UARTi特殊モードレジスタ (i=0~6)

b7	b6	b5	b4	b3	b2	b1	b0
0				0			

シンボル	アドレス	リセット後の値
U0SMR~U3SMR	0367h、02E7h、0337h、0327h番地	0000 0000b
U4SMR~U6SMR	02F7h、01C7h、01D7h番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
IICM	I^2Cモード選択ビット (注1)	0: I^2Cモード以外 1: I^2Cモード	RW
ABC	アービトレーションロスト検出フラグ制御 (注1)	0: 1ビットごとに更新 1: 1バイトごとに更新	RW
BBS	バスビジーフラグ (注1、2)	0: ストップコンディション検出 1: スタートコンディション検出 (バスビジー)	RW
— (b3)	予約ビット	“0”にしてください	RW
ABSCS	バス衝突検出サンプリングクロック選択ビット (注3)	0: 送受信クロックの立ち上がり 1: タイマAjのアンダフロー (j=0, 3, 4) (注4)	RW
ACSE	送信許可ビット自動クリア機能選択ビット (注3)	0: 自動クリア機能なし 1: バス衝突発生時自動クリア	RW
SSS	送信開始条件選択ビット (注3)	0: RXDiと無関係 1: RXDiに同期	RW
— (b7)	予約ビット	“0”にしてください	RW

注1. I^2Cモードで使用します。
注2. “0”のみ書けます。“1”を書いても変化しません。
注3. IEモードで使用します。
注4. UART0ではタイマA3のアンダフロー信号、UART1ではタイマA4のアンダフロー信号、UART2ではタイマA0のアンダフロー信号、UART3ではタイマA3のアンダフロー信号、UART4ではタイマA4のアンダフロー信号、UART5ではタイマA3のアンダフロー信号、UART6ではタイマA4のアンダフロー信号。

図 18.10　U0SMR~U6SMR レジスタ

UARTi特殊モードレジスタ2 (i=0~6)

b7	b6	b5	b4	b3	b2	b1	b0
0							

シンボル	アドレス	リセット後の値
U0SMR2~U3SMR2	0366h、02E6h、0336h、0326h番地	0000 0000b
U4SMR2~U6SMR2	02F6h、01C6h、01D6h番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
IICM2	I²Cモード選択ビット2	0: ACK/NACK割り込みを使用 1: 送受信割り込みを使用	RW
CSC	クロック同期化ビット (注1)	0: クロック同期を実施しない 1: クロック同期を実施する	RW
SWC	SCLウェイト自動挿入ビット (注2)	0: ウェイトなし/ウェイト解除 1: 8ビット受信後、SCLi端子を“L”に固定	RW
ALS	SDA出力自動停止ビット (注1)	アービトレーションロスト検出時、 0: SDAi出力を停止しない 1: SDAi出力を停止する	RW
STC	UARTi自動初期化ビット (注2)	スタートコンディション検出時、 0: 回路を初期化しない 1: 回路を初期化する	RW
SWC2	SCLウェイト出力ビット2 (注1)	0: SCLi端子に送受信クロックを出力 1: SCLi端子を“L”に固定	RW
SDHI	SDA出力停止ビット (注2)	0: データ出力 1: 出力停止 (ハイインピーダンス)	RW
— (b7)	予約ビット	“0”にしてください	RW

注1. I²Cモードでマスタの場合に使用します。
注2. I²Cモードでスレーブの場合に使用します。

図 18.11　U0SMR2~U6SMR2 レジスタ

UARTi特殊モードレジスタ3 (i=0~6)

b7	b6	b5	b4	b3	b2	b1	b0
				0			

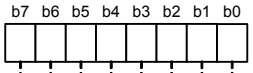
シンボル	アドレス	リセット後の値
U0SMR3~U3SMR3	0365h、02E5h、0335h、0325h番地	0000 0000b
U4SMR3~U6SMR3	02F5h、01C5h、01D5h番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
SSE	$\overline{SS}$端子機能許可ビット (注1、2)	0: SS機能禁止 1: SS機能許可	RW
CKPH	クロック位相設定ビット	0: クロック遅れなし 1: クロック遅れあり	RW
DINC	シリアル入力端子設定ビット (注1)	0: TXDi、RXDiを選択 (マスタモード) 1: STXDi、SRXDiを選択 (スレーブモード)	RW
— (b3)	予約ビット	“0”にしてください	RW
ERR	モードフォルトフラグ (注1)	0: モードフォルトエラーなし 1: モードフォルトエラーあり (注3)	RW
DL0	SDAiデジタル遅延値設定ビット (注4、5)	BRGカウントソースを基準にSDAi出力を以下のサイクル数遅延します b7 b6 b5 0 0 0 : 遅延なし 0 0 1 : 1~2サイクル 0 1 0 : 2~3サイクル 0 1 1 : 3~4サイクル 1 0 0 : 4~5サイクル 1 0 1 : 5~6サイクル 1 1 0 : 6~7サイクル 1 1 1 : 7~8サイクル	RW
DL1			RW
DL2			RW

注1. 特殊モード2で使用します。
注2. SS機能を使用する場合、UiC0レジスタのCRDビットを“1”(CTS機能を禁止) にしてください。
注3. “0”のみ書けます。“1”を書いても変化しません。
注4. DL2~DL0ビットはI^2Cモードで、SDAi出力にデジタル的に遅延を発生させるものです。I^2Cモード以外の場合、“000b”にしてください。
注5. 外部クロックを選択した場合、100 ns程度遅延が大きくなります。

図 18.12　U0SMR3~U6SMR3 レジスタ

UARTi特殊モードレジスタ4 (i=0~6)



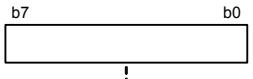
シンボル	アドレス	リセット後の値
U0SMR4~U3SMR4	0364h、02E4h、0334h、0324h番地	0000 0000b
U4SMR4~U6SMR4	02F4h、01C4h、01D4h番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
STAREQ	スタートコンディション生成ビット (注1)	0: クリア 1: スタート (注2)	RW
RSTAREQ	リスタートコンディション生成ビット (注1)	0: クリア 1: スタート (注2)	RW
STPREQ	ストップコンディション生成ビット (注1)	0: クリア 1: スタート (注2)	RW
STSPSEL	SCL、SDA出力選択ビット (注1)	0: シリアル入出力回路選択 1: スタートコンディション/ストップコンディション生成回路選択 (注3)	RW
ACKD	ACKデータビット (注4)	0: ACK 1: NACK	RW
ACKC	ACKデータ出力許可ビット (注4)	0: シリアルデータ出力 1: ACKデータ出力	RW
SCLHI	SCL出力停止ビット (注1)	ストップコンディション検出時、 0: SCLi出力を停止しない 1: SCLi出力を停止する	RW
SWC9	SCLウェイト自動挿入ビット3 (注4)	0: ウェイトなし/ウェイト解除 1: 9ビット目を受信後、SCLi端子を“L”に固定	RW

注1. I²Cモードでマスタの場合に使用します。UiSMRレジスタのIICMビットが“1”(I²Cモード) のとき“1”にできます。
注2. 各コンディションが生成されたとき、“0”になります。生成失敗時は“1”のままとなります。
注3. 先にSTAREQ、RSTAREQ、STPREQビットのいずれかを“1”にした後、“1”にしてください。
注4. I²Cモードでスレーブの場合に使用します。UiSMRレジスタのIICMビットが“1”(I²Cモード) のとき“1”にできます。

図 18.13　U0SMR4~U6SMR4 レジスタ

UARTi転送速度レジスタ (i=0~8) (注1、2、3)



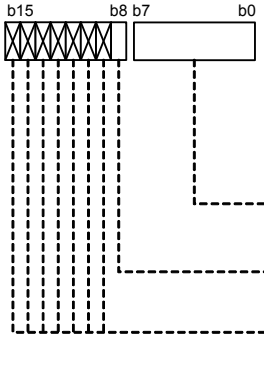
シンボル	アドレス	リセット後の値
U0BRG~U3BRG	0369h、02E9h、0339h、0329h番地	不定
U4BRG~U7BRG	02F9h、01C9h、01D9h、01E1h番地	不定
U8BRG	01E9h番地	不定

機　能	設定範囲	RW
設定値をnとすると、UiBRGはカウントソースをn+1分周する	00h~FFh	WO

注1. このレジスタは、UiC0レジスタのCLK1~CLK0ビットを設定した後で書き換えてください。
注2. このレジスタへは、MOV命令を使用して書いてください。
注3. 送受信停止中に値を書いてください。

図 18.14　U0BRG~U8BRG レジスタ

UARTi送信バッファレジスタ (i=0~8) (注1)



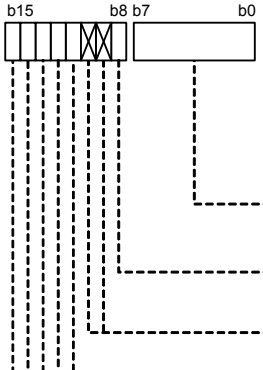
シンボル	アドレス	リセット後の値
U0TB~U2TB	036Bh-036Ah、02EBh-02EAh、033Bh-033Ah番地	不定
U3TB~U5TB	032Bh-032Ah、02FBh-02FAh、01CBh-01CAh番地	不定
U6TB~U8TB	01DBh-01DAh、01E3h-01E2h、01EBh-01EAh番地	不定

ビットシンボル	機　能	RW
— (b7-b0)	送信データ (D7~D0)	WO
— (b8)	送信データ (D8)	WO
— (b15-b9)	何も配置されていない。書く場合、“0”を書いてください	—

注1. このレジスタはMOV命令を使用して書いてください。

図 18.15　U0TB~U8TB レジスタ

UARTi受信バッファレジスタ (i=0~6)



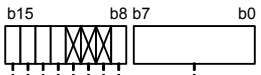
シンボル	アドレス	リセット後の値
U0RB~U2RB	036Fh-036Eh、02EFh-02EEh、033Fh-033Eh番地	不定
U3RB~U5RB	032Fh-032Eh、02FFh-02FEh、01CFh-01CEh番地	不定
U6RB	01DFh-01DEh番地	不定

ビットシンボル	ビット名	機　能	RW
— (b7-b0)	—	受信データ (D7~D0)	RO
— (b8)	—	受信データ (D8)	RO
— (b10-b9)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”		—
ABT	アービトレーションロスト検出フラグ (注1)	0: 未検出 (勝) 1: 検出 (負)	RW
OER	オーバランエラーフラグ (注2)	0: オーバランエラーなし 1: オーバランエラー発生	RO
FER	フレーミングエラーフラグ (注2、3)	0: フレーミングエラーなし 1: フレーミングエラー発生	RO
PER	パリティエラーフラグ (注2、3)	0: パリティエラーなし 1: パリティエラー発生	RO
SUM	エラーサムフラグ (注2、3)	0: エラーなし 1: エラー発生	RO

注1. ABTビットは“0”のみ書けます。
注2. UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェース無効) にしたとき、またはUiC1レジスタのREビットを“0”(受信禁止) にしたとき、OER、FER、PER、SUMビットは“0”になります。
OER、FER、PERビットがすべて“0”になると、SUMビットも“0”になります。
また、UiRBレジスタの下位バイトを読んだときも、FER、PERビットは“0”になります。
注3. SMD2~SMD0ビットが“001b”(クロック同期型シリアルインタフェースモード) または“010b”(I^2Cモード) のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定です。

図 18.16　U0RB~U6RB レジスタ

UARTi受信バッファレジスタ (i=7, 8)



シンボル	アドレス	リセット後の値
U7RB, U8RB	01E7h-01E6h、01EFh-01EEh番地	不定

ビットシンボル	ビット名	機　能	RW
— (b7-b0)	—	受信データ (D7~D0)	RO
— (b8)	—	受信データ (D8)	RO
— (b11-b9)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”		—
OER	オーバランエラーフラグ (注1)	0: オーバランエラーなし 1: オーバランエラー発生	RO
FER	フレーミングエラーフラグ (注1、2)	0: フレーミングエラーなし 1: フレーミングエラー発生	RO
PER	パリティエラーフラグ (注1、2)	0: パリティエラーなし 1: パリティエラー発生	RO
SUM	エラーサムフラグ (注1、2)	0: エラーなし 1: エラー発生	RO

注1. UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェース無効) にしたとき、またはUiC1レジスタのREビットを“0”(受信禁止) にしたとき、OER、FER、PER、SUMビットは“0”になります。
OER、FER、PERビットがすべて“0”になると、SUMビットも“0”になります。
また、UiRBレジスタの下位バイトを読んだときも、FER、PERビットは“0”になります。

注2. SMD2~SMD0ビットが“001b”(クロック同期型シリアルインタフェースモード) のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定です。

図 18.17　U7RB、U8RB レジスタ

外部割り込み要因選択レジスタ0

b7 b6 b5 b4 b3 b2 b1 b0

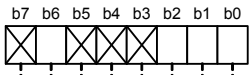
シンボル	アドレス	リセット後の値
IFSR0	4406Fh番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
IFSR00	$\overline{\text{INT0}}$端子極性選択ビット (注1)	0: 片エッジ 1: 両エッジ	RW
IFSR01	$\overline{\text{INT1}}$端子極性選択ビット (注1)	0: 片エッジ 1: 両エッジ	RW
IFSR02	$\overline{\text{INT2}}$端子極性選択ビット (注1)	0: 片エッジ 1: 両エッジ	RW
IFSR03	$\overline{\text{INT3}}$端子極性選択ビット (注1)	0: 片エッジ 1: 両エッジ	RW
IFSR04	$\overline{\text{INT4}}$端子極性選択ビット (注1)	0: 片エッジ 1: 両エッジ	RW
IFSR05	$\overline{\text{INT5}}$端子極性選択ビット (注1)	0: 片エッジ 1: 両エッジ	RW
IFSR06	UART0、3割り込み要因選択ビット	0: UART3のバス衝突、スタートコンディション検出、ストップコンディション検出 1: UART0のバス衝突、スタートコンディション検出、ストップコンディション検出	RW
IFSR07	UART1、4割り込み要因選択ビット	0: UART4のバス衝突、スタートコンディション検出、ストップコンディション検出 1: UART1のバス衝突、スタートコンディション検出、ストップコンディション検出	RW

注1. レベルセンスを選択する場合、このビットは“0”にしてください。
両エッジを選択する場合、対応するINTiICレジスタ (i=0~5) のPOLビットを“0”(立ち下がりエッジ) にしてください。

図 18.18 IFSR0 レジスタ

外部割り込み要因選択レジスタ1



シンボル　IFSR1　　アドレス　4406Dh番地　　リセット後の値　X0XX X000b

ビットシンボル	ビット名	機　能	RW
IFSR10	$\overline{\text{INT6}}$端子極性選択ビット (注1)	0: 片エッジ 1: 両エッジ	RW
IFSR11	$\overline{\text{INT7}}$端子極性選択ビット (注1)	0: 片エッジ 1: 両エッジ	RW
IFSR12	$\overline{\text{INT8}}$端子極性選択ビット (注1)	0: 片エッジ 1: 両エッジ	RW
— (b5-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
IFSR16	UART5、6割り込み要因選択ビット	0: UART5のバス衝突、スタートコンディション検出、ストップコンディション検出 1: UART6のバス衝突、スタートコンディション検出、ストップコンディション検出	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. レベルセンスを選択する場合、このビットは“0”にしてください。
両エッジを選択する場合、対応するINTiICレジスタ (i=6~8) のPOLビットを“0”(立ち下がりエッジ) にしてください。

図 18.19　IFSR1 レジスタ

18.1　クロック同期型シリアルインタフェースモード

クロック同期型シリアルインタフェースモードは、送受信クロックに同期してデータの送受信を行うモードです。表 18.2にクロック同期型シリアルインタフェースモードの仕様を示します。

表 18.2　クロック同期型シリアルインタフェースモードの仕様

項目	仕様
データフォーマット	キャラクタ長　　8ビット
送受信クロック	• UiMR レジスタ (i=0~8) のCKDIR ビットが“0” (内部クロック): $\frac{fx}{2(m+1)}$　　fx = f1, f8, f2n　　m : UiBRG レジスタ設定値 (00h~FFh) • CKDIR ビットが“1” (外部クロック): CLKi端子からの入力
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能無効を選択
送信開始条件	送信開始には、以下の条件が必要です (注1) • UiC1 レジスタのTE ビットが“1” (送信許可) • UiC1 レジスタのTI ビットが“0” (UiTB レジスタにデータあり) • CTS機能選択時、$\overline{\text{CTSi}}$端子への入力信号が“L”
受信開始条件	受信開始には、以下の条件が必要です (注1) • UiC1 レジスタのRE ビットが“1” (受信許可) • TE ビットが“1” (送信許可) • TI ビットが“0” (UiTB レジスタにデータあり) • CTS機能選択時、$\overline{\text{CTSi}}$端子への入力信号が“L”
割り込み要求発生タイミング	送信割り込みは、U0C1~U6C1、U78CON レジスタのUiIRS ビットの設定により、以下の条件のいずれかを選択できます • UiIRS ビットが“0” (送信バッファ空): UiTB レジスタからUARTi送信レジスタへデータ転送時 (送信開始時) • UiIRS ビットが“1” (送信完了): UARTi送信レジスタからデータ送信完了時 受信割り込み • UARTi受信レジスタからUiRB レジスタへデータ転送時 (受信完了時)
エラー検出	オーバランエラー (注2) UiRB レジスタを読む前に次のデータ受信を開始し、7ビット目のデータを受信すると発生
その他選択項目	• CLK極性選択 送受信データの出力と入力タイミングが、送受信クロックの立ち上がりに同期するか、立ち下がりに同期するかを選択できます • ビットオーダ選択 LSB ファーストまたはMSB ファーストを選択できます • 連続受信モード選択 UiRB レジスタを読むと同時に、受信許可にすることができます • シリアルデータ論理切り替え (UART0~UART6) 送受信データの論理を反転することができます

注1.　外部クロック選択時、UiC0 レジスタのCKPOL ビットが“0” (送受信クロックの立ち下がりに同期して送信データ出力、立ち上がりに同期して受信データ入力)の場合はCLKi端子が“H”の状態で、CKPOL ビットが“1” (送受信クロックの立ち上がりに同期して送信データ出力、立ち下がりに同期して受信データ入力)の場合はCLKi端子が“L”の状態で、これらの条件を満たすようにしてください。

注2.　オーバランエラーが発生した場合、UiRB レジスタは不定になります。SiRIC レジスタのIR ビットは“1” (割り込み要求あり)に変化しません。

表 18.3、表 18.4 に使用するレジスタと設定値を示します。なお、UARTi (i=0~8) の動作モード選択後、送信開始までは、TXDi端子は“H”を出力します(Nチャネルオープンドレイン出力選択時はハイインピーダンス)。

図 18.20 にクロック同期型シリアルインタフェースモード時の送信動作例を、図 18.21 にクロック同期型シリアルインタフェースモード時の受信動作例を示します。

表 18.3　クロック同期型シリアルインタフェースモードで使用するレジスタと設定値(UART0~UART6)

レジスタ	ビット	機能
UiMR	7~4	“0000b”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	SMD2~SMD0	“001b”にしてください
UiC0	UFORM	LSBファースト、またはMSBファーストを選択してください
	CKPOL	送受信クロックの極性を選択してください
	5	“0”にしてください
	CRD	CTS機能の許可、または禁止を選択してください
	TXEPT	送信レジスタ空フラグ
	2	“0”にしてください
	CLK1~CLK0	UiBRGレジスタのカウントソースを選択してください
UiC1	7	“0”にしてください
	UiLCH	データ論理反転を使用する場合、“1”にしてください
	UiRRM	連続受信モードを使用する場合、“1”にしてください
	UiIRS	UARTi送信割り込み要因を選択してください
	RI	受信完了フラグ
	RE	受信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	TE	送受信を許可する場合、“1”にしてください
UiSMR	7~0	“00h”にしてください
UiSMR2	7~0	“00h”にしてください
UiSMR3	7~0	“00h”にしてください
UiSMR4	7~0	“00h”にしてください
UiBRG	7~0	転送速度を設定してください
IFS0	IFS06	CLK3、RXD3、$\overline{\text{CTS3}}$の入力端子を選択してください
	IFS03~IFS02	CLK6、RXD6、$\overline{\text{CTS6}}$の入力端子を選択してください
UiTB	7~0	送信データを設定してください
UiRB	OER	オーバランエラーフラグ
	7~0	受信データが読めます

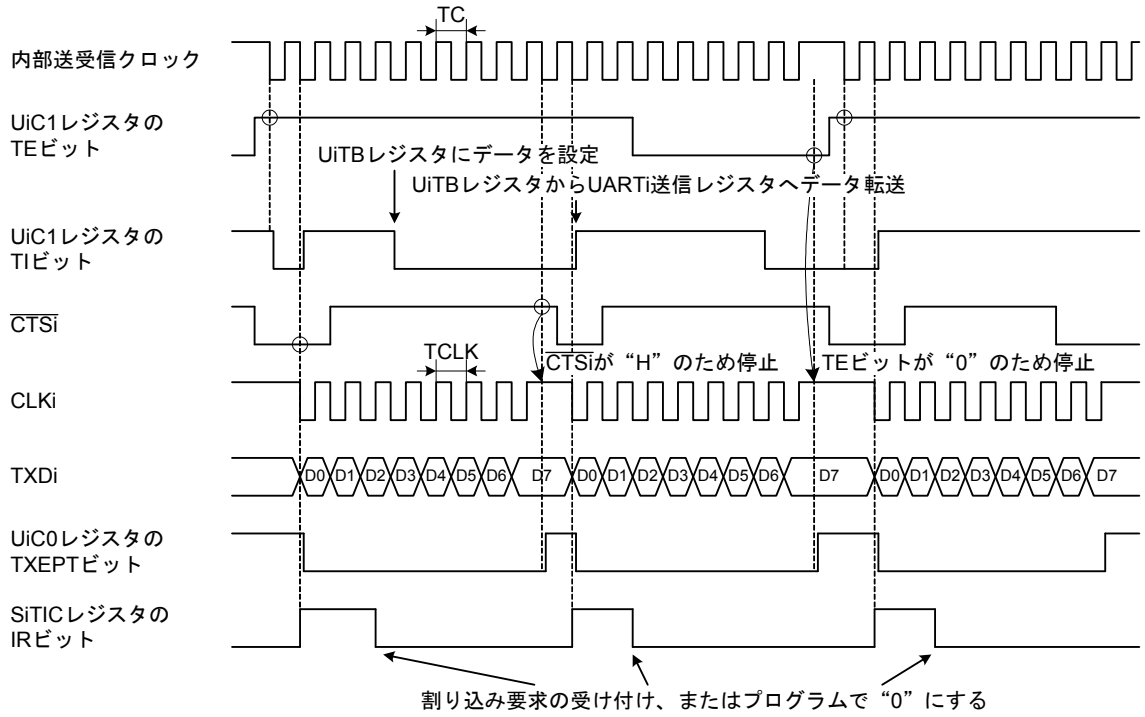
i=0~6

表 18.4　クロック同期型シリアルインタフェースモードで使用するレジスタと設定値(UART7、UART8)

レジスタ	ビット	機能
UiMR	7~4	“0000b”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	SMD2~SMD0	“001b”にしてください
UiC0	UFORM	LSBファースト、またはMSBファーストを選択してください
	CKPOL	送受信クロックの極性を選択してください
	5	“0”にしてください
	CRD	CTS機能の許可、または禁止を選択してください
	TXEPT	送信レジスタ空フラグ
	2	“0”にしてください
	CLK1~CLK0	UiBRGレジスタのカウントソースを選択してください
UiC1	RI	受信完了フラグ
	RE	受信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	TE	送受信を許可する場合、“1”にしてください
U78CON	UiRRM	連続受信モードを使用する場合、“1”にしてください
	UiIRS	UARTi送信割り込み要因を選択してください
IFS0	IFS05	CLK7、RXD7、$\overline{\text{CTS7}}$の入力端子を選択してください
	IFS04	CLK8、RXD8、$\overline{\text{CTS8}}$の入力端子を選択してください
UiBRG	7~0	転送速度を設定してください
UiTB	7~0	送信データを設定してください
UiRB	OER	オーバランエラーフラグ
	7~0	受信データが読めます

i=7, 8

送信タイミング例 (内部クロック選択時)

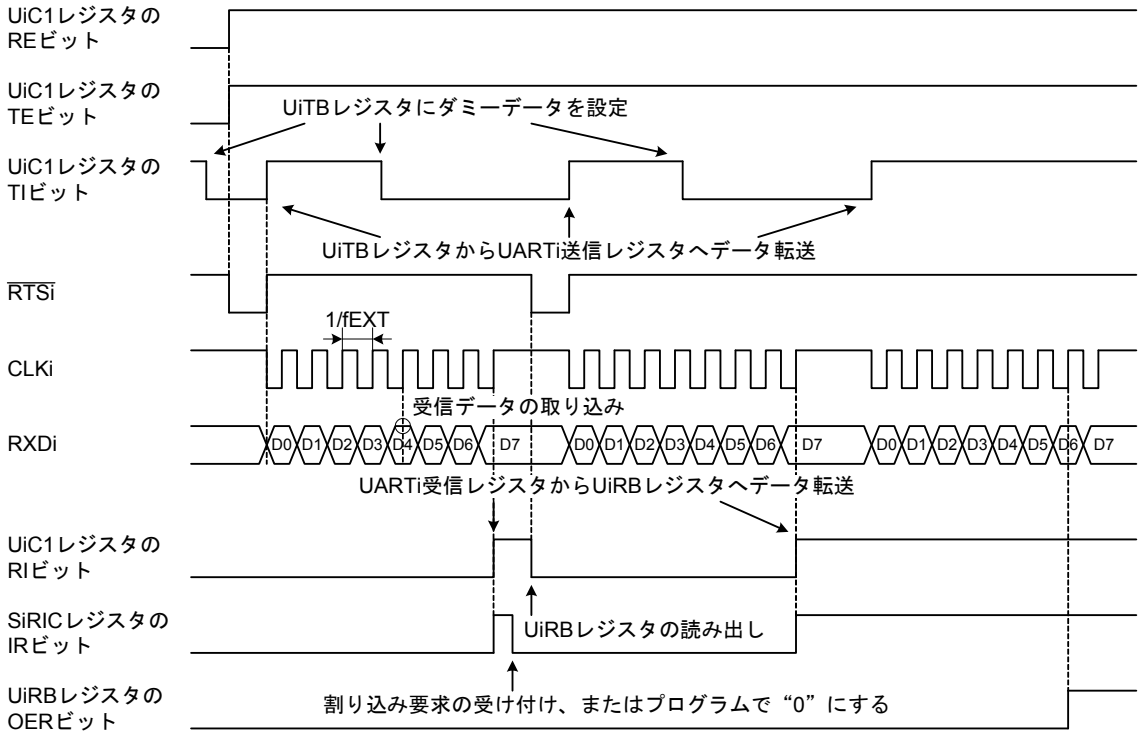


この図は以下の設定条件の場合です。
- UiMRレジスタのCKDIRビット=0 (内部クロック選択)
- UiC0レジスタのCRDビット=0 (CTS機能許可)
- UiC0レジスタのCKPOLビット=0 (送受信クロックの立ち下がりで送信データ出力)
- UiC1レジスタ、U78CONレジスタのUiIRSビット=0 (送信バッファ空で割り込み要求発生)

TC = TCLK = 2(m+1)/fx
fx: UiBRGカウントソースの周波数 (f1, f8, f2n)
m: UiBRGレジスタに設定した値

図 18.20　クロック同期型シリアルインタフェースモード時の送信動作例

受信タイミング例 (外部クロック選択時)



この図は以下の設定条件の場合です。
・UiMRレジスタのCKDIRビット=1 (外部クロック選択)
・UiC0レジスタのCKPOLビット=0 (送受信クロックの立ち上がりで受信データ入力)

fEXT : 外部クロックの周波数

データ受信前のCLKi端子の入力が“H”のときに、以下の条件が揃うようにしてください。
・UiC1レジスタのTEビット=1 (送信許可)
・UiC1レジスタのREビット=1 (受信許可)
・UiTBレジスタへのダミーデータの書き込み

図 18.21　クロック同期型シリアルインタフェースモード時の受信動作例

18.1.1 通信エラー発生時の対処方法

クロック同期型シリアルインタフェースモードで受信または送信時に通信エラーが発生した場合、以下の手順で再設定を行ってください。

A. UiRBレジスタ(i=0~8)の初期化手順

(1) UiC1レジスタのREビットを“0”(受信禁止)にする。
(2) UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェース無効)にする。
(3) UiMRレジスタのSMD2~SMD0ビットを“001b”(クロック同期型シリアルインタフェースモード)にする。
(4) UiC1レジスタのREビットを“1”(受信許可)にする。

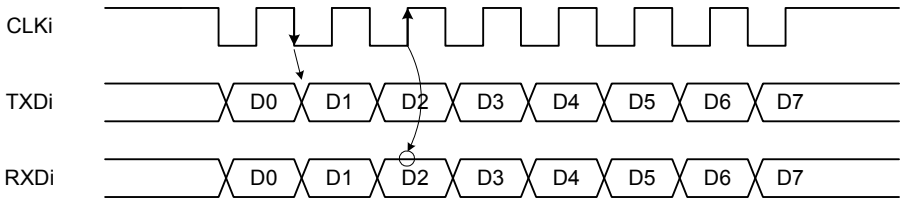
B. UiTBレジスタの初期化手順

(1) UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェース無効)にする。
(2) UiMRレジスタのSMD2~SMD0ビットを“001b”(クロック同期型シリアルインタフェースモード)にする。
(3) UiC1レジスタのTEビットに、その値にかかわらず“1”(送信許可)を書き込む。

18.1.2 CLK極性選択

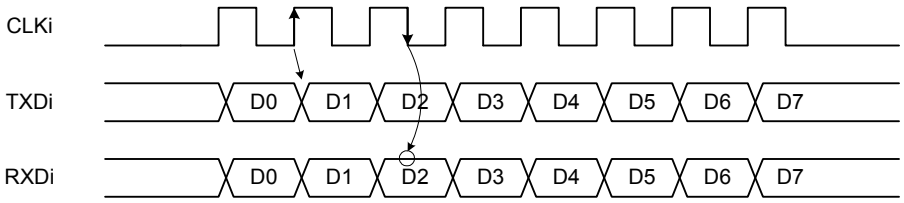
図18.22に示すようにUiC0レジスタ(i=0~8)のCKPOLビットで送受信クロックの極性を選択できます。

(A) UiC0レジスタのCKPOLビット=0(送受信クロックの立ち下がりに同期して送信データ出力、立ち上がりに同期して受信データの入力)のとき



注1. 送受信を行っていないときのCLKi端子のレベルは“H”です。
注2. UiC0レジスタのUFORMビット=0(LSBファースト)、UiC1レジスタのUiLCHビット=0(反転なし)の場合です。

(B) UiC0レジスタのCKPOLビット=1(送受信クロックの立ち上がりに同期して送信データ出力、立ち下がりに同期して受信データの入力)のとき



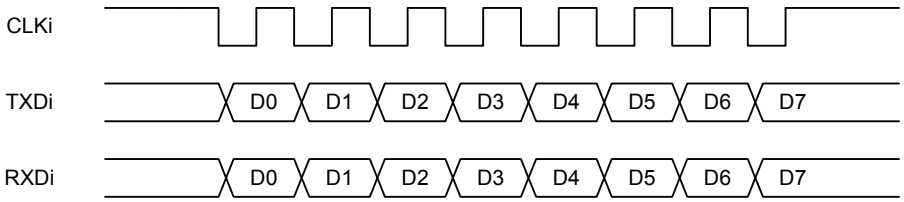
注3. 送受信を行っていないときのCLKi端子のレベルは“L”です。
注4. UiC0レジスタのUFORMビット=0(LSBファースト)、UiC1レジスタのUiLCHビット=0(反転なし)の場合です。

図18.22 送受信クロックの極性(i=0~8)

18.1.3　LSBファースト、MSBファースト選択

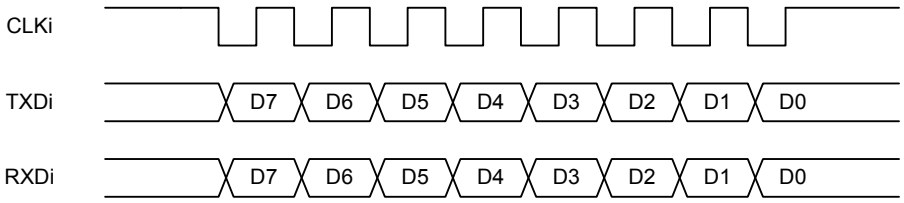
図 18.23に示すように、UiC0レジスタ(i=0~8)のUFORMビットでビットオーダを選択できます。

(A) UiC0レジスタのUFORMビット=0 (LSBファースト) のとき



注1. UiC0レジスタのCKPOLビット=0 (送受信クロックの立ち下がりに同期して送信データ出力、立ち上がりに同期して受信データ入力)、UiC1レジスタのUiLCHビット=0 (反転なし) の場合です。

(B) UiC0レジスタのUFORMビット=1 (MSBファースト) のとき



注2. UiC0レジスタのCKPOLビット=0 (送受信クロックの立ち下がりに同期して送信データ出力、立ち上がりに同期して受信データ入力)、UiC1レジスタのUiLCHビット=0 (反転なし) の場合です。

図 18.23　ビットオーダ(i=0~8)

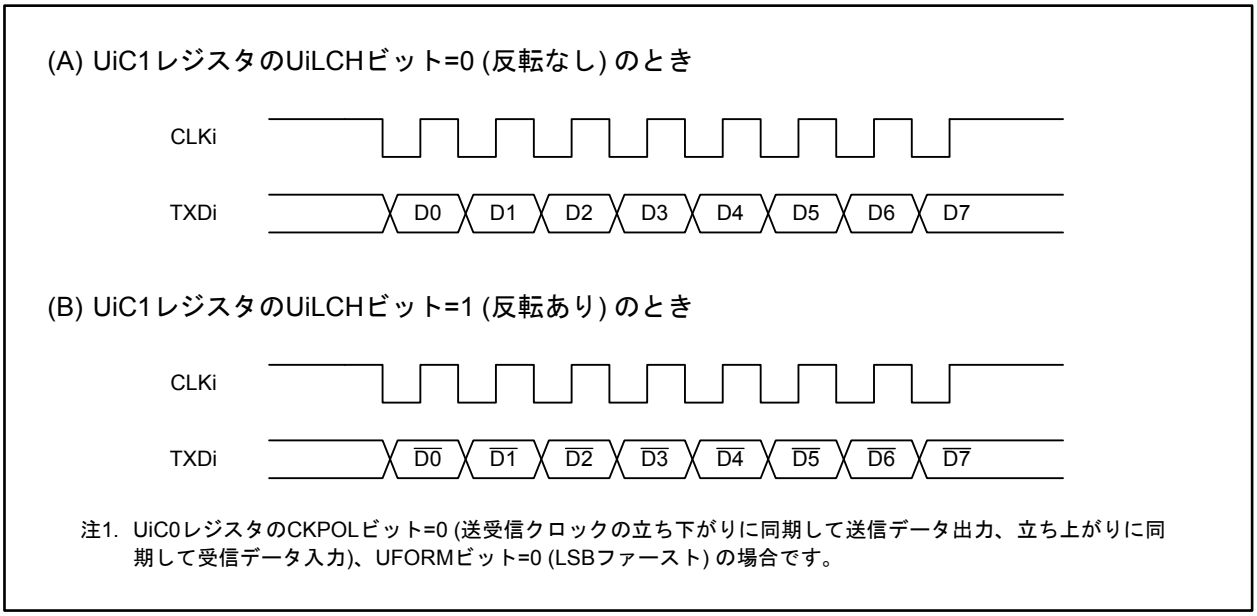
18.1.4　連続受信モード

連続受信モードは、受信バッファレジスタを読み出すと自動的に受信許可になるモードです。このモードを選択すれば、受信を許可するために送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

U0C1~U6C1、U78CONレジスタのUiRRMビット(i=0~8)を“1”(連続受信モード)にすると、UiRBレジスタを読むことでUiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)になります。UiRRMビットが“1”の場合、UiTBレジスタにダミーデータを書かないでください。

18.1.5　シリアルデータ論理切り替え

UiC1 レジスタ (i=0~6) の UiLCH ビットが“1” (反転あり) の場合、送信時に UiTB レジスタに書いた値の論理を反転して送信します。また、UiRB レジスタを読むと、受信データの論理を反転した値が読めます。図 18.24 にシリアルデータ論理を示します。



注1. UiC0レジスタのCKPOLビット=0 (送受信クロックの立ち下がりに同期して送信データ出力、立ち上がりに同期して受信データ入力)、UFORMビット=0 (LSBファースト) の場合です。

図 18.24　シリアルデータ論理(i=0~6)

18.1.6　CTS/RTS機能

CTS機能は、$\overline{\text{CTSi}}$/$\overline{\text{RTSi}}$端子 (i=0~8) を使用して送信制御を行う機能です。$\overline{\text{CTSi}}$/$\overline{\text{RTSi}}$端子の入力レベルが“L”になると、送信を開始します。送信の最中に入力レベルを“H”にした場合、次のデータから送信を停止します。

クロック同期型シリアルインタフェースモードでは、受信時にも送信回路を動作させる必要がありますので、CTS機能を有効にした場合、受信を開始する場合にも$\overline{\text{CTSi}}$/$\overline{\text{RTSi}}$端子の入力レベルを“L”にする必要があります。

RTS 機能は、$\overline{\text{CTSi}}$/$\overline{\text{RTSi}}$ 端子を使用して受信回路の状態を示す機能です。受信準備が整ったとき、$\overline{\text{CTSi}}$/$\overline{\text{RTSi}}$端子の出力レベルが“L”になります。CLKi端子の最初の立ち下がりで出力レベルが“H”になります。

18.2　クロック非同期型シリアルインタフェースモード(UARTモード)

UARTモードは、スタートビットの立ち下がりをトリガとして内部クロックをデータに同期させて送受信を行うモードです。表 18.5にUARTモードの仕様を示します。

表 18.5　UARTモードの仕様

項目	仕様
データフォーマット	• スタートビット　1ビット • データビット(データキャラクタ)　7ビット、8ビット、9ビット選択可 • パリティビット　奇数、偶数、なし選択可 • ストップビット　1ビット、2ビット選択可
送受信クロック	• UiMR レジスタ(i=0~8)のCKDIRビットが“0”(内部クロック)の場合 $\frac{fx}{16(m+1)}$　fx = f1, f8, f2n　m : UiBRG レジスタ設定値(00h~FFh) • CKDIRビットが“1”(外部クロック)の場合 $\frac{fEXT}{16(m+1)}$　$fEXT$: CLKi端子入力クロック
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能無効を選択
送信開始条件	送信開始には以下の条件が必要です • UiC1 レジスタのTEビットが“1”(送信許可) • UiC1 レジスタのTIビットが“0”(UiTB レジスタにデータあり) • CTS機能選択時、$\overline{\text{CTSi}}$端子に“L”を入力
受信開始条件	受信開始には、以下の条件が必要です • UiC1 レジスタのREビットが“1”(受信許可) • スタートビットの検出
割り込み要求発生タイミング	送信割り込みは、U0C1~U6C1、U78CON レジスタのUiIRSビットの設定により、以下の条件のいずれかを選択できます • UiIRSビットが“0”(送信バッファ空): UiTB レジスタからUARTi送信レジスタへデータ転送時(送信開始時) • UiIRSビットが“1”(送信完了): UARTi送信レジスタからデータ送信完了時 受信割り込み • UARTi受信レジスタからUiRB レジスタへデータ転送時(受信完了時)
エラー検出	• オーバランエラー(注1) UiRB レジスタを読む前に次のデータの最終ストップビットの1つ前のビット(2ストップビット選択時は1ストップビット目)を受信すると発生 • フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 • パリティエラー パリティありの場合に、受信したデータキャラクタとパリティビットに含まれる“1”の個数(奇/偶)が設定した個数(奇/偶)でなかったときに発生 • エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる
その他選択項目	• ビットオーダ選択 LSBファーストまたはMSBファーストを選択可能 • シリアルデータ論理切り替え 送受信データの論理を反転する機能。スタートビットとストップビットは反転しません • TXD、RXD入出力極性切り替え TXD端子からの出力レベルとRXD端子への入力レベルを反転する機能。入出力する信号のレベルがすべて反転します

注1.　オーバランエラーが発生した場合、UiRB レジスタは不定になります。SiRIC レジスタのIRビットは“1”(割り込み要求あり)に変化しません。

表 18.6、表 18.7 に使用するレジスタと設定値を示します。なお、UARTi (i=0~8) の動作モード選択後、送信開始まではTXDi端子は“H”を出力します(Nチャネルオープンドレイン出力選択時はハイインピーダンス)。

図 18.25、図 18.26にUARTモード時の送信動作例を、図 18.27にUARTモード時の受信動作例を示します。

表 18.6　UARTモードで使用するレジスタと設定値(UART0~UART6)

レジスタ	ビット	機能
UiMR	IOPOL	TXD端子、RXD端子の入出力極性を選択してください
	PRY, PRYE	パリティの有無、偶数奇数を選択してください
	STPS	ストップビット長を選択してください
	CKDIR	内部クロック、外部クロックを選択してください
	SMD2~SMD0	キャラクタ長が7ビットの場合、“100b”にしてください
		キャラクタ長が8ビットの場合、“101b”にしてください
		キャラクタ長が9ビットの場合、“110b”にしてください
UiC0	UFORM	キャラクタ長が8ビットの場合、LSBファースト、MSBファーストを選択できます。キャラクタ長が7ビットまたは9ビットの場合は“0”にしてください
	CKPOL	“0”にしてください
	5	“0”にしてください
	CRD	CTS機能の許可、または禁止を選択してください
	TXEPT	送信レジスタ空フラグ
	2	“0”にしてください
	CLK1~CLK0	UiBRGレジスタのカウントソースを選択してください
UiC1	7	“0”にしてください
	UiLCH	データ論理反転を使用する場合、“1”にしてください
	UiRRM	“0”にしてください
	UiIRS	UARTi送信割り込み要因を選択してください
	RI	受信完了フラグ
	RE	受信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	TE	送信を許可する場合、“1”にしてください
UiSMR	7~0	“00h”にしてください
UiSMR2	7~0	“00h”にしてください
UiSMR3	7~0	“00h”にしてください
UiSMR4	7~0	“00h”にしてください
UiBRG	7~0	転送速度を設定してください
IFS0	IFS06	CLK3、RXD3、$\overline{\text{CTS3}}$の入力端子を選択してください
	IFS03~IFS02	CLK6、RXD6、$\overline{\text{CTS6}}$の入力端子を選択してください
UiTB	8~0	送信データを設定してください(注1)
UiRB	OER, FER, PER, SUM	エラーフラグ
	8~0	受信データが読めます(注1)

i=0~6

注1.　使用するビットは以下のとおりです。

キャラクタ長7ビット:　　ビット6~0

キャラクタ長8ビット:　　ビット7~0

キャラクタ長9ビット:　　ビット8~0

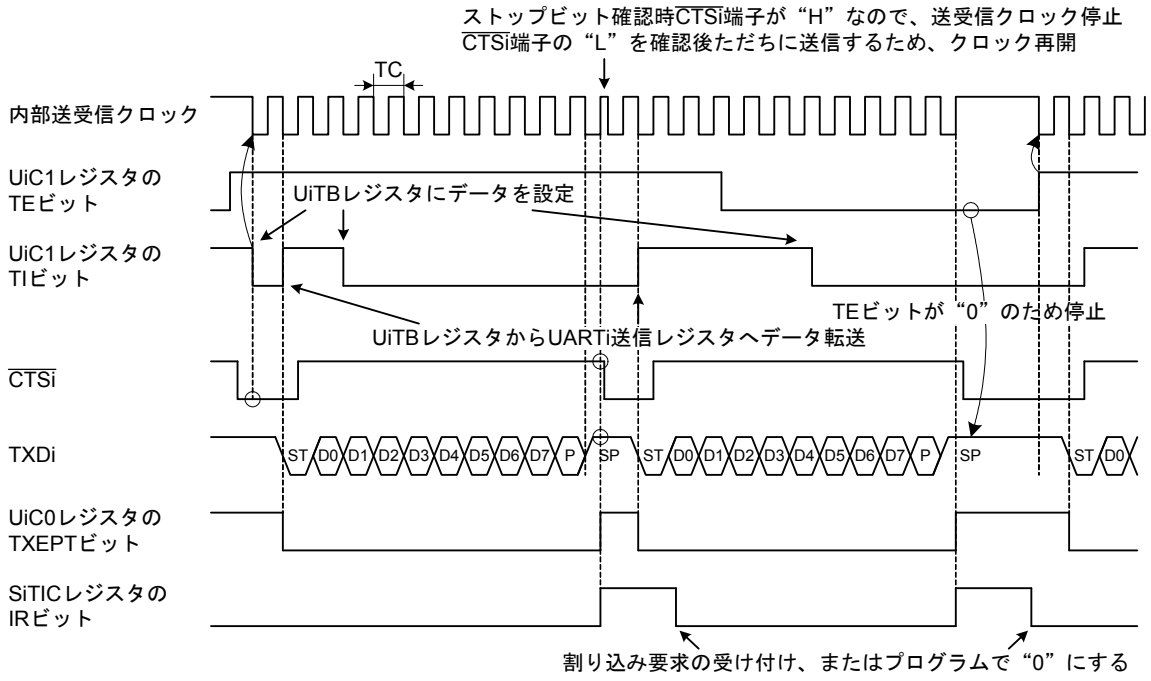
表 18.7　UARTモードで使用するレジスタと設定値(UART7、UART8)

レジスタ	ビット	機能
UiMR	PRY, PRYE	パリティの有無、偶数奇数を選択してください
	STPS	ストップビット長を選択してください
	CKDIR	内部クロック、外部クロックを選択してください
	SMD2~SMD0	キャラクタ長が7ビットの場合、“100b”にしてください
		キャラクタ長が8ビットの場合、“101b”にしてください
		キャラクタ長が9ビットの場合、“110b”にしてください
UiC0	UFORM	キャラクタ長が8ビットの場合、LSBファースト、MSBファーストを選択できます。キャラクタ長が7ビットまたは9ビットの場合は“0”にしてください
	CKPOL	“0”にしてください
	5	“0”にしてください
	CRD	CTS機能の許可、または禁止を選択してください
	TXEPT	送信レジスタ空フラグ
	2	“0”にしてください
	CLK1~CLK0	UiBRGレジスタのカウントソースを選択してください
UiC1	RI	受信完了フラグ
	RE	受信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	TE	送信を許可する場合、“1”にしてください
U78CON	UiRRM	“0”にしてください
	UiIRS	UARTi送信割り込み要因を選択してください
UiBRG	7~0	転送速度を設定してください
IFS0	IFS05	CLK7、RXD7、$\overline{\text{CTS7}}$の入力端子を選択してください
	IFS04	CLK8、RXD8、$\overline{\text{CTS8}}$の入力端子を選択してください
UiTB	8~0	送信データを設定してください(注1)
UiRB	OER, FER, PER, SUM	エラーフラグ
	8~0	受信データが読めます(注1)

i=7, 8

注1.　使用するビットは以下のとおりです。
　　キャラクタ長7ビット:　　ビット6~0
　　キャラクタ長8ビット:　　ビット7~0
　　キャラクタ長9ビット:　　ビット8~0

キャラクタ長8ビット時の送信タイミング例 (パリティあり、1ストップビット)

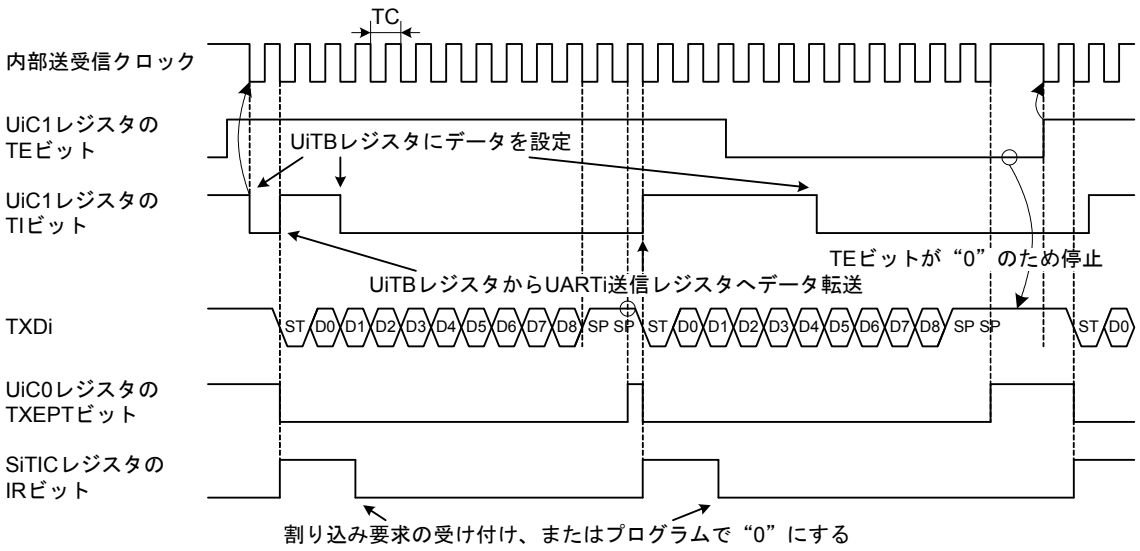


上記タイミング図は以下の設定条件の場合です。
- UiMRレジスタのPRYEビット=1 (パリティあり)
- UiMRレジスタのSTPSビット=0 (1ストップビット)
- UiC0レジスタのCRDビット=0 (CTS機能選択)
- UiC1レジスタのUiIRSビット=1 (送信完了で割り込み要求発生)

TC = 16(m+1)/fx または 16(m+1)/fEXT
- fx: UiBRGカウントソースの周波数 (f1, f8, f2n)
- fEXT: UiBRGカウントソースの周波数 (外部クロック)
- m: UiBRGレジスタに設定した値

図 18.25 UARTモード時の送信動作例(1) (i=0~8)

キャラクタ長9ビット時の送信タイミング例 (パリティなし、2ストップビット)



ST:　スタートビット
P:　パリティビット
SP:　ストップビット

上記タイミング図は以下の設定条件の場合です。
- UiMRレジスタのPRYEビット=0 (パリティなし)
- UiMRレジスタのSTPSビット=1 (2ストップビット)
- UiC0レジスタのCRDビット=1 (CTS機能禁止)
- UiC1レジスタのUiIRSビット=0 (送信バッファ空で割り込み要求発生)

TC = 16(m+1)/fx または 16(m+1)/fEXT
- fx:　UiBRGカウントソースの周波数 (f1, f8, f2n)
- fEXT:　UiBRGカウントソースの周波数 (外部クロック)
- m:　UiBRGレジスタに設定した値

図 18.26　UARTモード時の送信動作例(2) (i=0~8)

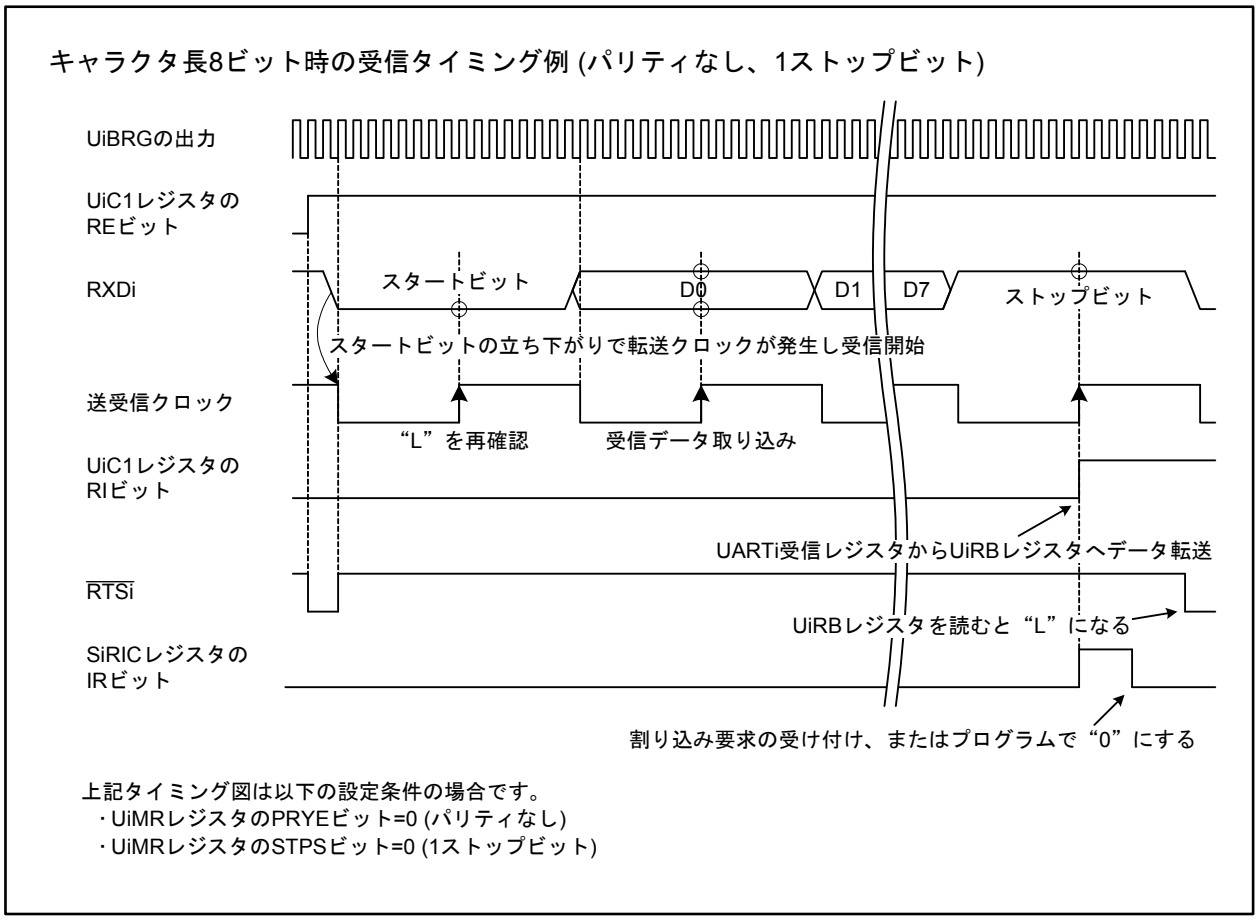


図 18.27　UARTモード時の受信動作例(i=0~8)

18.2.1　ビットレート

UARTモードでは、カウントソースをUiBRGレジスタ(i=0~8)で分周した周波数の16分周がビットレートになります。表18.8にビットレートの設定例を示します。

表 18.8　ビットレートの設定例

ビットレート (bps)	BRGのカウントソース	周辺機能クロック: 30 MHz		周辺機能クロック: 32 MHz	
		BRGの設定値: n	実時間 (bps)	BRGの設定値: n	実時間 (bps)
1200	f8	194 (C2h)	1202	207 (CFh)	1202
2400	f8	97 (61h)	2392	103 (67h)	2404
4800	f8	48 (30h)	4783	51 (33h)	4808
9600	f1	194 (C2h)	9615	207 (CFh)	9615
14400	f1	129 (81h)	14423	138 (8Ah)	14388
19200	f1	97 (61h)	19133	103 (67h)	19231
28800	f1	64 (40h)	28846	68 (44h)	28986
31250	f1	59 (3Bh)	31250	63 (3Fh)	31250
38400	f1	48 (30h)	38265	51 (33h)	38462
51200	f1	36 (24h)	50676	38 (26h)	51282

18.2.2　通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信エラーが発生した場合、以下の手順で再設定を行ってください。

A. UiRBレジスタ(i=0~8)の初期化手順

(1) UiC1レジスタのREビットを“0”(受信禁止)にする。
(2) UiC1レジスタのREビットを“1”(受信許可)にする。

B. UiTBレジスタの初期化手順

(1) UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェース無効)にする。
(2) UiMRレジスタのSMD2~SMD0ビットを再設定(“001b”, “101b”, “110b”)する。
(3) UiC1レジスタのTEビットに、その値にかかわらず“1”(送信許可)を書き込む。

18.2.3　LSBファースト、MSBファースト選択

図18.28に示すように、UiC0レジスタ(i=0~8)のUFORMビットでビットオーダを選択できます。この機能はキャラクタ長8ビットのときに使用できます。

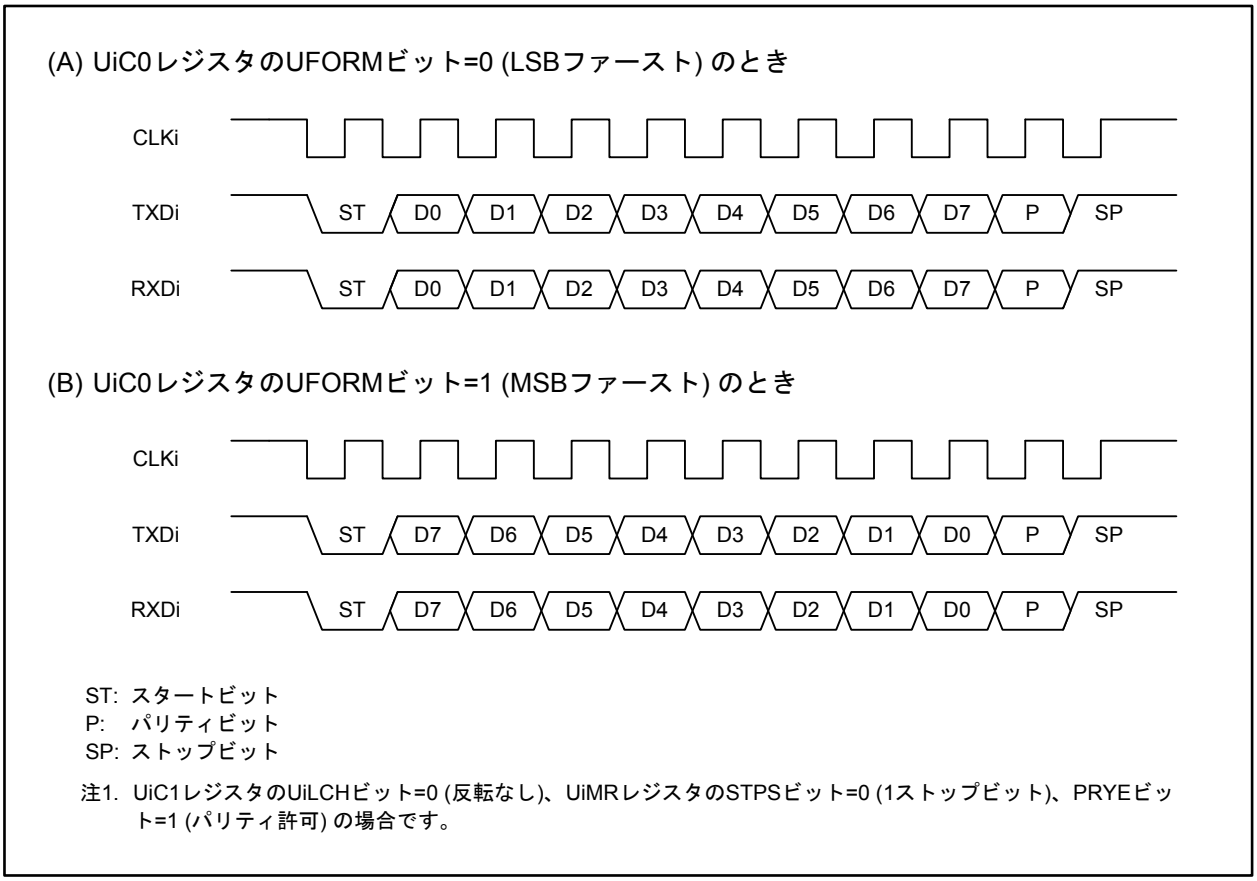


図18.28　ビットオーダ(i=0~8)

18.2.4　シリアルデータ論理切り替え

UiC1レジスタ(i=0~6)のUiLCHビットを“1”(反転あり)にすると、UiTBレジスタへ書くときと、UiRBレジスタから読むときにデータの論理を反転させます。パリティビットは反転しません。

図 18.29にシリアルデータ論理を示します。

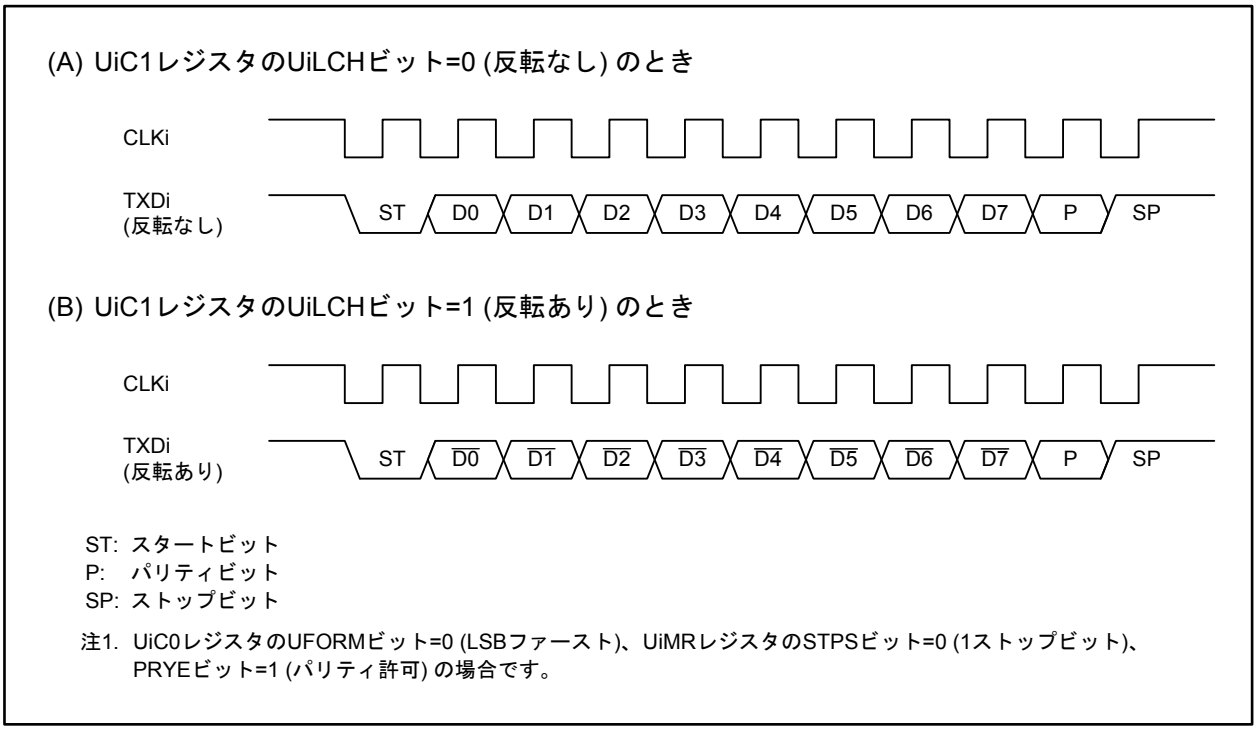


図 18.29　シリアルデータ論理(i=0~6)

18.2.5　TXD、RXD入出力極性切り替え

TXD端子からの出力レベルとRXD端子への入力レベルを反転する機能です。UiMRレジスタ(i=0~6)のIOPOLビットを“1”(反転あり)にすると、入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図18.30にTXD、RXD入出力極性切り替えを示します。

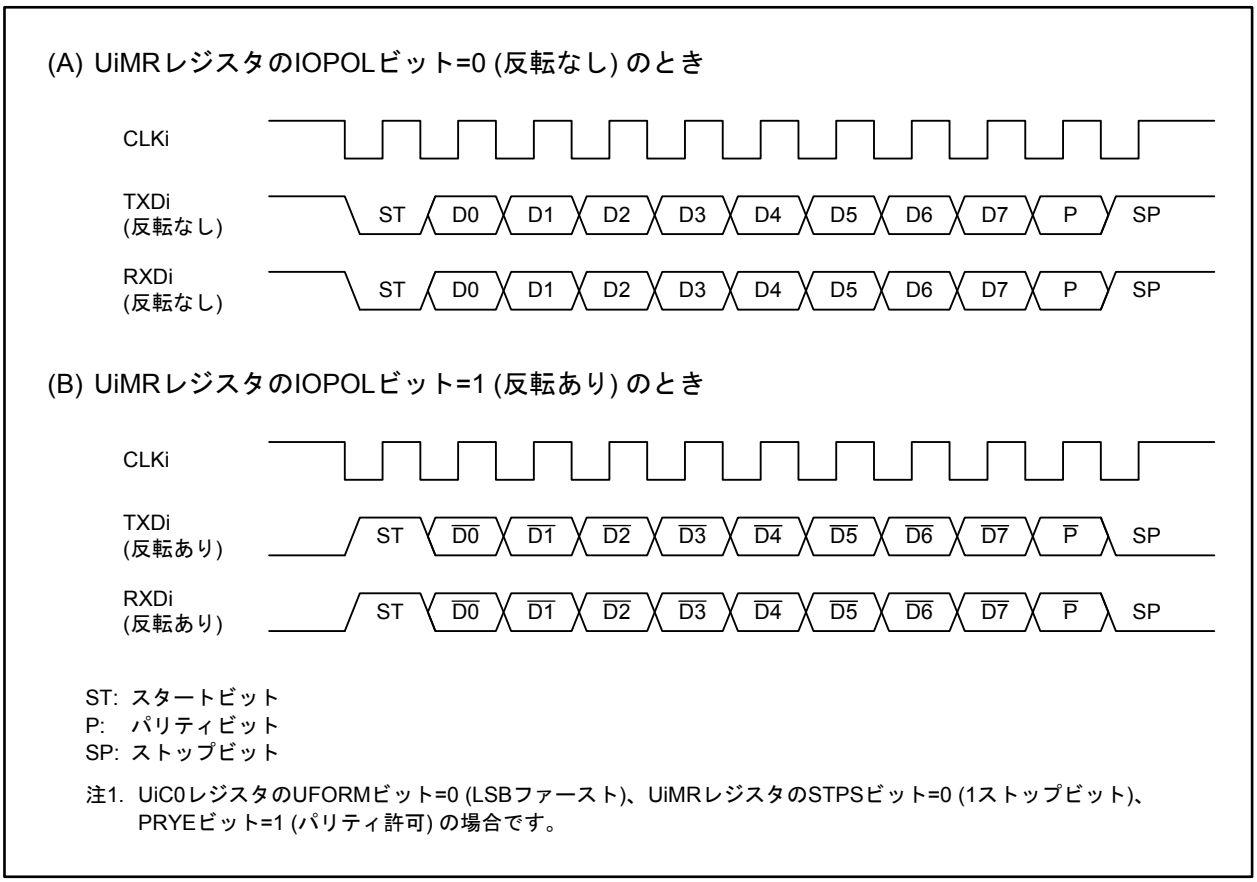


図 18.30　TXD、RXD入出力極性切り替え(i=0~6)

18.2.6　CTS/RTS機能

CTS機能は、$\overline{\text{CTSi}}/\overline{\text{RTSi}}$端子(i=0~8)を使用して送信制御を行う機能です。$\overline{\text{CTSi}}/\overline{\text{RTSi}}$端子の入力レベルが“L”になると、送信を開始します。送信の最中に入力レベルを“H”にした場合、次のデータから送信を停止します。

RTS機能は、$\overline{\text{CTSi}}/\overline{\text{RTSi}}$端子を使用して受信回路の状態を示す機能です。受信準備が整ったとき、$\overline{\text{CTSi}}/\overline{\text{RTSi}}$端子の出力レベルが“L”になります。CLKi端子の最初の立ち下がりで出力レベルが“H”になります。

18.3　特殊モード1 (I²Cモード)

I²Cモードは、簡易形I²Cインタフェースに対応したモードです。表 18.9にI²Cモードの仕様を示します。

表 18.9　I²Cモードの仕様

項目	仕様
データフォーマット	キャラクタ長　　8ビット
送受信クロック	マスタ時 • UiMR レジスタ (i=0~6) のCKDIR ビットが“0” (内部クロック): $\frac{fx}{2(m+1)}$　fx = f1, f8, f2n　　m : UiBRG レジスタ設定値 (00h~FFh) スレーブ時 • CKDIR ビットが“1” (外部クロック): SCLi端子からの入力
送信開始条件	送信開始には、以下の条件が必要です (注1) • UiC1 レジスタのTE ビットが“1” (送信許可) • UiC1 レジスタのTI ビットが“0” (UiTB レジスタにデータあり)
受信開始条件	受信開始には、以下の条件が必要です (注1) • UiC1 レジスタのRE ビットが“1” (受信許可) • TE ビットが“1” (送信許可) • TI ビットが“0” (UiTB レジスタにデータあり)
割り込み要求発生タイミング	スタートコンディション検出、ストップコンディション検出、 ACK (Acknowledge) 検出、NACK (Not-Acknowledge) 検出
エラー検出	オーバランエラー (注2) UiRB レジスタを読む前に次のデータ受信を開始し、次のデータの8ビット目を受信すると発生
その他選択項目	• アービトレーションロスト UiRB レジスタのABT ビットの更新タイミングを選択可能 • SDAiデジタル遅延 デジタル遅延なし、またはUiBRG カウントソースの2~8サイクルの遅延を選択可能 • クロック位相設定 クロック遅れあり、なしを選択可能

注1.　外部クロックを選択している場合、外部クロックが“H”の状態で条件を満たしてください。
注2.　オーバランエラーが発生した場合、UiRB レジスタは不定になります。またSiRIC レジスタのIR ビットは変化しません。

表 18.10にI²Cモードで使用するレジスタと設定値を、表 18.11にI²Cモード時の各機能を、図 18.31にI²Cモード時のブロック図を、図 18.32にUiRB レジスタ (i=0~6) への転送、割り込みのタイミングを示します。

表 18.11に示すように、UiMR レジスタ (i=0~6) のSMD2~SMD0 ビットを“010b”に、UiSMR レジスタのIICM ビットを“1”にするとI²Cモードになります。SDAi送信出力には遅延回路が付加されますので、SCLiが“L”になり安定した後、SDAi出力が変化します。

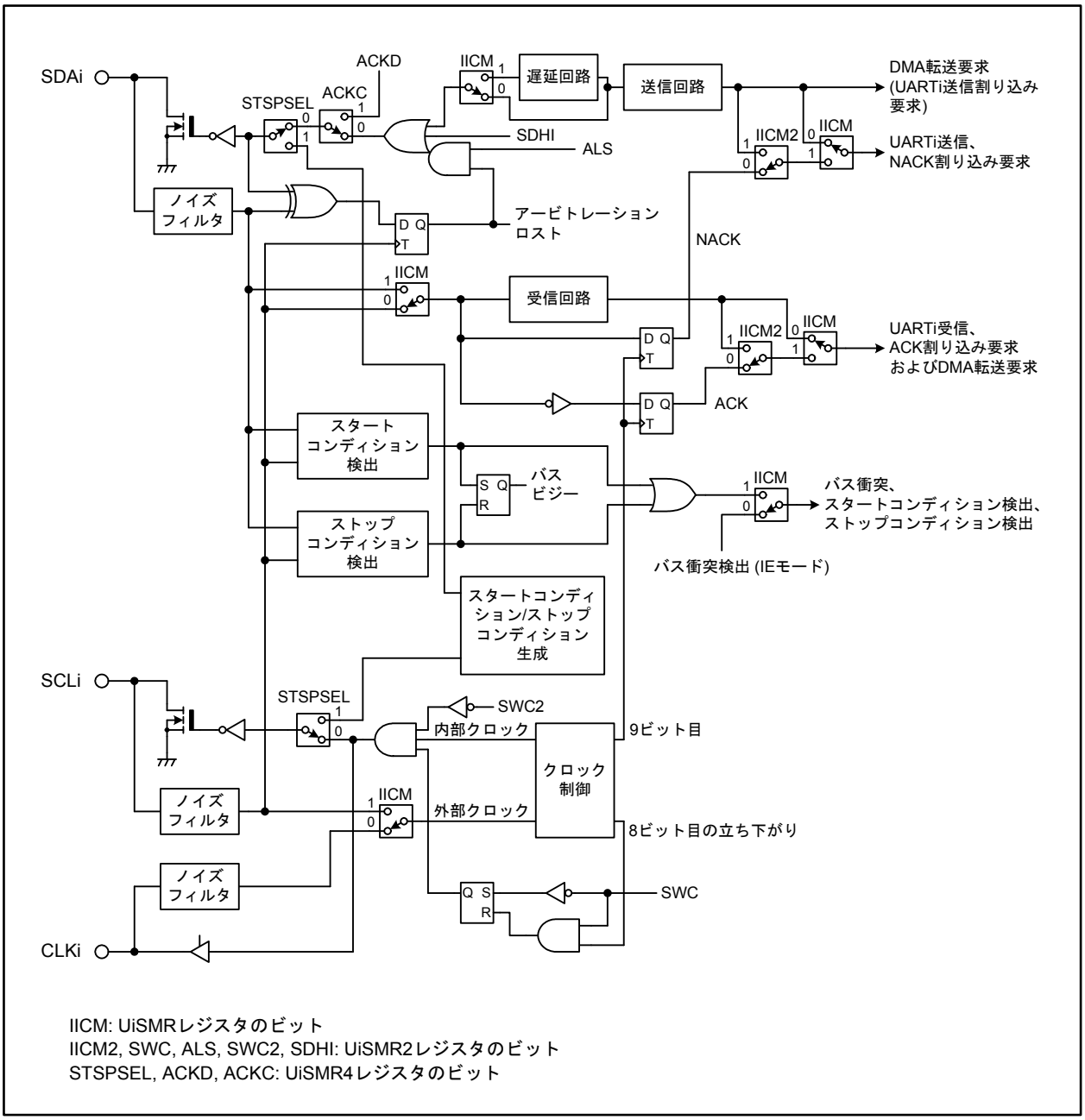


図 18.31 I²Cモードのブロック図(i=0~6)

表 18.10 I²Cモードで使用するレジスタと設定値(i=0~6)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
UiMR	IOPOL	“0”にしてください	
	CKDIR	“0”にしてください	“1”にしてください
	SMD2~SMD0	“010b”にしてください	
UiC0	7~4	“1001b”にしてください	
	TXEPT	送信レジスタ空フラグ	
	2	“0”にしてください	
	CLK1~CLK0	UiBRGのカウントソースを選択してください	無効
UiC1	7~5	“000b”にしてください	
	UiIRS	“1”にしてください	
	RI	受信完了フラグ	
	RE	受信を許可する場合、“1”にしてください	
	TI	送信バッファ空フラグ	
	TE	送受信を許可する場合、“1”にしてください	
UiSMR	7~3	“00000b”にしてください	
	BBS	バスビジーフラグ	
	ABC	アービトレーションロスト検出タイミングを選択してください	無効
	IICM	“1”にしてください	
UiSMR2	7	“0”にしてください	
	SDHI	SDA出力を禁止する場合、“1”にしてください	
	SWC2	SCLの出力を強制的に“L”にする場合、“1”にしてください	
	STC	“0”にしてください	スタートコンディション検出でUARTiを初期化する場合、“1”にしてください
	ALS	アービトレーションロスト検出時にSDAiの出力を停止する場合、“1”にしてください	“0”にしてください
	SWC	8ビット受信後にSCLiを“L”出力固定にする場合、“1”にしてください	
	CSC	クロック同期を実施する場合、“1”にしてください	“0”にしてください
	IICM2	表 18.11参照	
UiSMR3	DL2~DL0	SDAiのデジタル遅延値を設定してください	
	4~2	“000b”にしてください	
	CKPH	表 18.11参照	
	SSE	“0”にしてください	
UiSMR4	SWC9	“0”にしてください	9ビット受信後にSCLiを“L”出力固定にする場合、“1”にしてください
	SCLHI	ストップコンディション検出時にSCL出力停止を許可する場合、“1”にしてください	“0”にしてください
	ACKC	ACKデータを出力する場合、“1”にしてください	
	ACKD	ACK、NACKを選択してください	
	STSPSEL	各コンディション出力時に“1”にしてください	“0”にしてください
	STPREQ	ストップコンディションを生成する場合、“1”にしてください	“0”にしてください
	RSTAREQ	リスタートコンディションを生成する場合、“1”にしてください	“0”にしてください
	STAREQ	スタートコンディションを生成する場合、“1”にしてください	“0”にしてください
UiBRG	7~0	転送速度を設定してください	無効
IFSR0	IFSR06, IFSR07	割り込みを使用するUARTを選択してください	
IFSR1	IFSR16	割り込みを使用するUARTを選択してください	
IFS0	IFS06	SCL3、SDA3の入力端子を選択してください	
	IFS03~IFS02	SCL6、SDA6の入力端子を選択してください	
UiTB	8	送信時は“1”を、受信時はACKビットの値を設定してください	
	7~0	送信時は送信データを、受信時は“FFh”を設定してください	
UiRB	OER	オーバランエラーフラグ	
	ABT	アービトレーションロスト検出フラグ	無効
	8	受信割り込み発生直後はD0が、送信割り込み発生後はACK、NACKが入ります	
	7~0	受信割り込み発生直後はD7~D1が、送信割り込み発生後はD7~D0が読めます	

表 18.11 I²Cモード時の各機能(i=0~6)

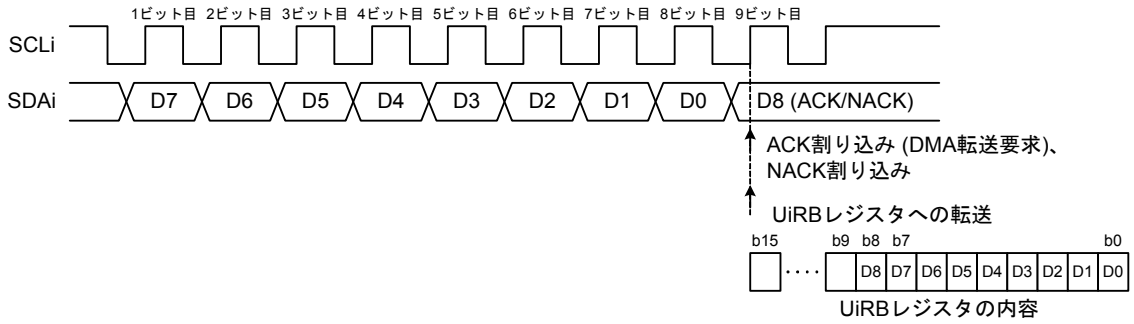
機能	クロック同期型シリアルインタフェースモード (SMD2~SMD0=001b, IICM=0)	I²Cモード(SMD2~SMD0=010b, IICM=1)			
		IICM2=0 (ACK/NACK割り込み)		IICM2=1 (送受信割り込み)	
		CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)	CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)
割り込み番号6、39~41の要因(注1) (図 18.32参照)	—	スタートコンディション検出、ストップコンディション検出(表 18.12参照)			
割り込み番号2、4、17、19、33、35、37の要因(注1) (図 18.32参照)	UARTi送信 送信開始、または送信完了(UiIRSで選択)	NACK検出 9ビット目のSCLiの立ち上がり		UARTi送信 9ビット目のSCLiの立ち上がり	UARTi送信 9ビット目のSCLiの立ち下がり
割り込み番号3、5、18、20、34、36、38の要因(注1) (図 18.32参照)	UARTi受信 8ビット目の受信時 CKPOL=0: 立ち上がり CKPOL=1: 立ち下がり	ACK検出 9ビット目のSCLiの立ち上がり		UARTi受信 8ビット目のSCLiの立ち下がり	
UART受信レジスタからUiRBレジスタへのデータ転送タイミング	CKPOL=0: 立ち上がり CKPOL=1: 立ち下がり	9ビット目のSCLiの立ち上がり		8ビット目のSCLiの立ち下がり	8ビット目のSCLiの立ち下がりと、9ビット目の立ち上がり
UARTi送信出力遅延	遅延なし	遅延あり			
P6_3, P6_7, P7_0, P7_3, P7_6, P9_2, P9_6, P11_0, P12_0, P15_0, P15_4端子の機能	TXDi出力	SDAi入出力			
P6_2, P6_6, P7_1, P7_5, P8_0, P9_1, P9_7, P11_2, P12_2, P15_2, P15_5端子の機能	RXDi入力	SCLi入出力			
P6_1, P6_5, P7_2, P7_4, P7_7, P9_0, P9_5, P11_1, P12_1, P15_1, P15_6端子の機能	CLKi入力または出力	— (I²Cモードでは使用しない)			
RXDi、SCLi端子レベルの読み込み	対応するポート方向ビットの内容に関係なく可能				
SDAi出力端子の初期値	—	H (機能選択レジスタでポートを選択した場合はポートレジスタの値)			
SCLiの初期値、終了値	—	H	L	H	L
DMA要因(図 18.32参照)	UARTi受信	ACK検出		UARTi受信 8ビット目のSCLiの立ち下がり	
受信データ格納	1~8ビット目をUiRBレジスタのビット0~7に格納	1~8ビット目をUiRBレジスタのビット7~0に格納		1~7ビット目をUiRBレジスタのビット6~0に、8ビット目をUiRBレジスタのビット8に格納	1回目(注2)は左に同じ。 2回目(注3)は1~8ビット目をUiRBレジスタのビット7~0に、9ビット目をUiRBレジスタのビット8に格納
受信データ読み出し	UiRBレジスタの状態をそのまま読み出す			UiRBレジスタのビット6~0はビット7~1として、ビット8はビット0として読み出す	1回目(注2)は左に同じ。 2回目(注3)はUiRBレジスタの状態をそのまま読み出す

注1. 要因を切り替える場合、以下の手順で行ってください。
(1) 対応する割り込み番号の割り込みを禁止する
(2) 要因を切り替える
(3) 対応する割り込み番号のIRビットを“0” (割り込みなし)にする
(4) 対応する割り込み番号のILVL2~ILVL0を設定する

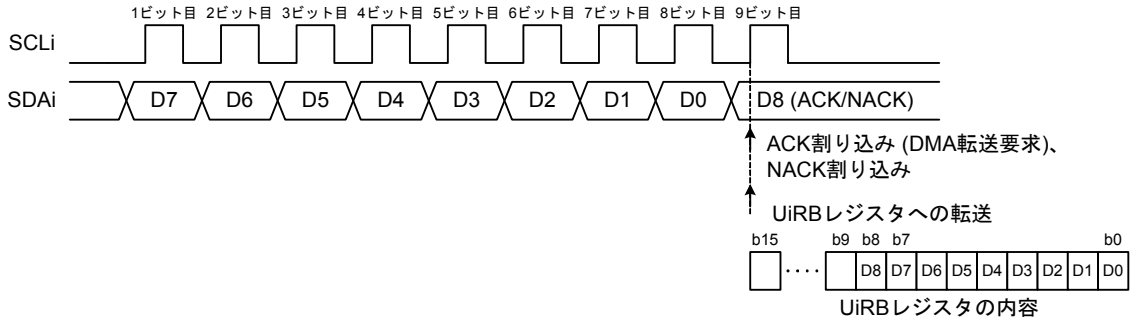
注2. 8ビット目のSCLi立ち下がり時に1回目のUiRBレジスタへの転送が行われます。

注3. 9ビット目のSCLi立ち上がり時に2回目のUiRBレジスタへの転送が行われます。

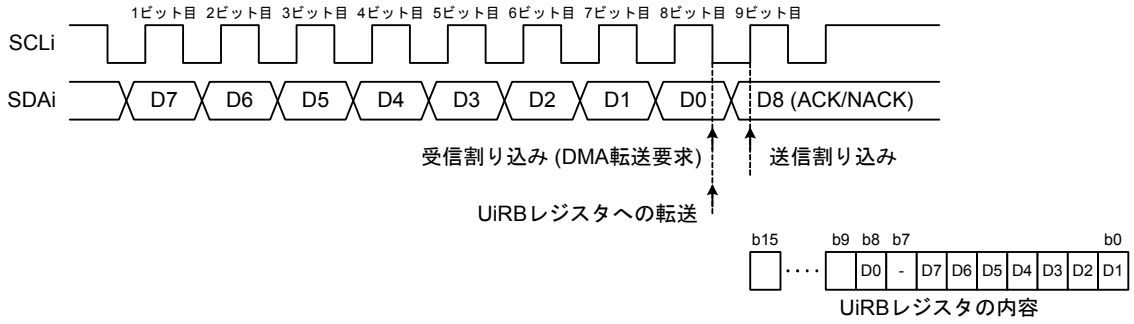
(A) IICM2 = 0 (ACK/NACK割り込み)、CKPH = 0 (クロック遅れなし) の場合



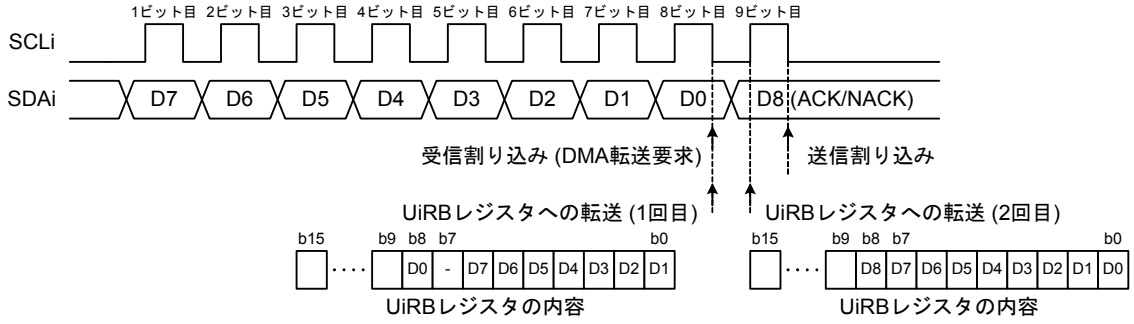
(B) IICM2 = 0、CKPH = 1 (クロック遅れあり) の場合



(C) IICM2 = 1 (送受信割り込み)、CKPH = 0 の場合



(D) IICM2 = 1、CKPH = 1 の場合



この図は以下の設定条件の場合です。
・UiMRレジスタのCKDIRビット=0 (内部クロック)

図 18.32 UiRB レジスタへの転送、割り込みのタイミング (i=0~6)

18.3.1　スタートコンディション、ストップコンディションの検出

スタートコンディション検出回路によりスタートコンディションを、ストップコンディション検出回路によりストップコンディションを検出します。

スタートコンディション検出割り込み要求は、SCLi端子(i=0~6)が“H”の状態でSDAi端子が“H”から“L”に変化すると発生します。ストップコンディション検出割り込み要求は、SCLi端子が“H”の状態でSDAi端子が“L”から“H”に変化すると発生します。

スタートコンディション検出割り込みとストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共有していますので、どちらの要求による割り込みかはUiSMRレジスタのBBSビットで判定してください。

スタートコンディション、ストップコンディションを検出するには、図 18.33 に示すとおりセットアップ時間、ホールド時間ともに周辺機能クロック(f1)の6サイクル以上必要です。Fast-Modeの仕様を満たすためには、f1は10 MHz以上である必要があります。

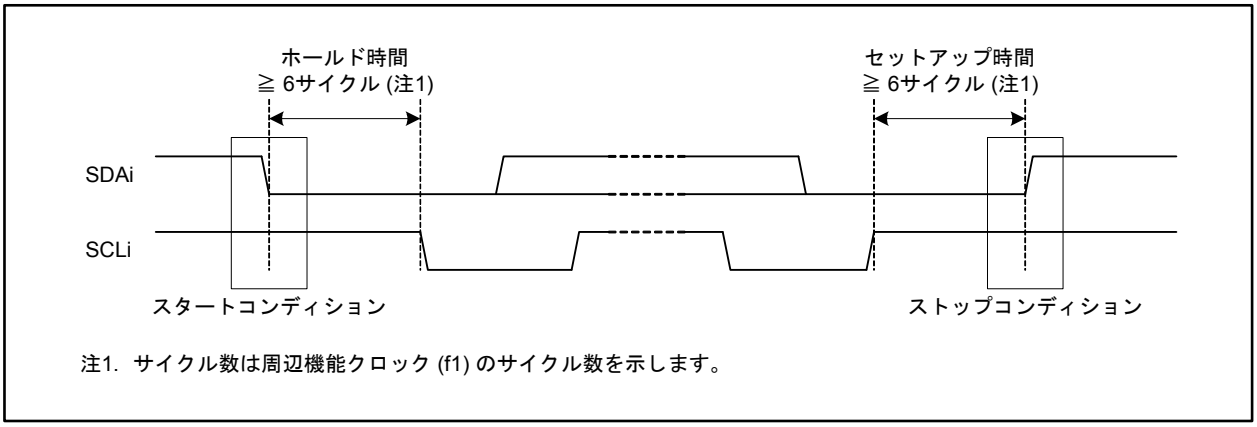


図 18.33　スタートコンディション、ストップコンディションの検出タイミング(i=0~6)

18.3.2　スタートコンディション、ストップコンディションの生成

UiSMR4レジスタ(i=0~6)のSTAREQビット、RSTAREQビット、STPREQビットを使用して、それぞれスタートコンディション、リスタートコンディション、ストップコンディションを生成できます。

STAREQビットを“1”(スタート)にした後、UiSMR4レジスタのSTSPSELビットを“1”(スタートコンディション/ストップコンディション生成回路選択)にするとスタートコンディションを出力します。同様に、RSTAREQビットを“1”(スタート)にした後、STSPSELビットを“1”にするとリスタートコンディション、STPREQビットを“1”(スタート)にした後、STSPSELビットを“1”にするとストップコンディションを出力します。

表 18.12と図 18.34にSTSPSELビットの機能を示します。

表 18.12　STSPSELビットの機能

項目	STSPSEL=0の場合	STSPSEL=1の場合
スタートコンディション、ストップコンディションの生成	ソフトウェアでポートを制御して実現(ハードウェアによる自動発生はしない)	STAREQビット、RSTAREQビット、STPREQビットに従って、スタートコンディション、ストップコンディションを出力
スタートコンディション、ストップコンディション割り込み要求発生タイミング	スタートコンディション、ストップコンディション検出時	スタートコンディション、ストップコンディション生成終了時

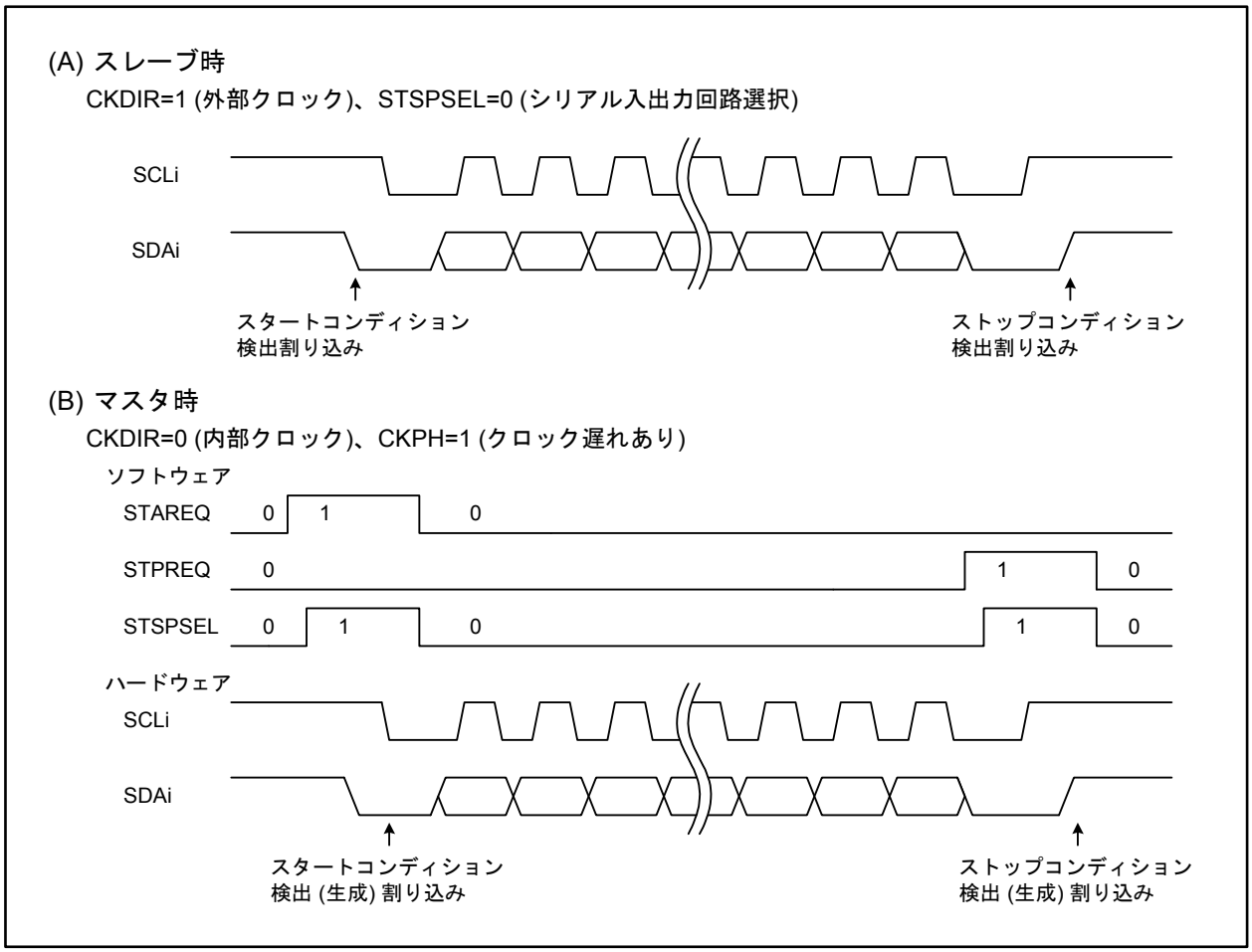


図 18.34 STSPSELビットの機能(i=0~6)

18.3.3 アービトレーション

SCLiの立ち上がり時に、自身の送信データとSDAi端子からの入力データが一致しているかを判定し、一致していなければ出力を停止することによりアービトレーションを行います。

UiSMRレジスタ(i=0~6)のABCビットでUiRBレジスタのABTビットの更新タイミングを選択します。ABCビットが“0”(ビットごとに更新)の場合、判定時に不一致を検出すると同時にABTビットが“1”に、検出しないと“0”になります。ABCビットが“1”(バイトごとに更新)の場合、判定時に一度でも不一致が検出された場合、8ビット目のSCLiの立ち下がりでABTビットが“1”(検出)になります。なお、バイトごとに更新する場合は、1バイト目のACK検出完了後、ABTビットを“0”(未検出)にしてから、次の1バイトの転送を開始してください。

UiSMR2レジスタのALSビットを“1”(SDA出力を停止する)にすると、アービトレーションロストが発生しABTビットが“1”になると同時にSDAi端子がハイインピーダンスになります。

18.3.4 SCL制御とクロック同期化

I^2Cモードでの送受信は、図 18.32 に示すような送受信クロックで行います。しかし、送受信クロックが速くなってくると、ACKの生成や送信データの準備に必要な時間を確保することが難しくなってきます。I^2Cモードではこの時間を確保するためのウェイト挿入の機能、および他デバイスが挿入したウェイトに対しクロックを同期させる機能をサポートしています。

UiSMR2レジスタ(i=0~6)のSWCビットは、アクノリッジ生成のためのウェイトを挿入するときに使用します。SWCビットが“1”(8ビット受信後、SCLi端子を“L”に固定)の場合、8ビット目のSCLiの立ち下がりでSCLi端子が“L”固定になります。SWCビットを“0”(ウェイトなし/ウェイト解除)にすると、“L”固定を解除できます。

UiSMR2レジスタのSWC2ビットを“1”(SCLi端子を“L”に固定)にすると、送受信中でもSCLi端子を“L”固定にできます。SWC2ビットを“0”(SCLi端子に送受信クロックを出力)にすると、SCLi端子からの“L”固定は解除され、送受信クロックが出力されます。

UiSMR4レジスタのSWC9ビットは、受信したアクノリッジビットを判定するためのウェイトを挿入するときに使用します。UiSMR3レジスタのCKPHビットが“1”(クロック遅れあり)のとき、SWC9ビットを“1”(9ビット受信後、SCLi端子を“L”に固定)にすると、9ビット目のSCLiの立ち下がりでSCLi端子が“L”固定になります。SWC9ビットを“0”(ウェイトなし/ウェイト解除)にすると“L”固定を解除できます。

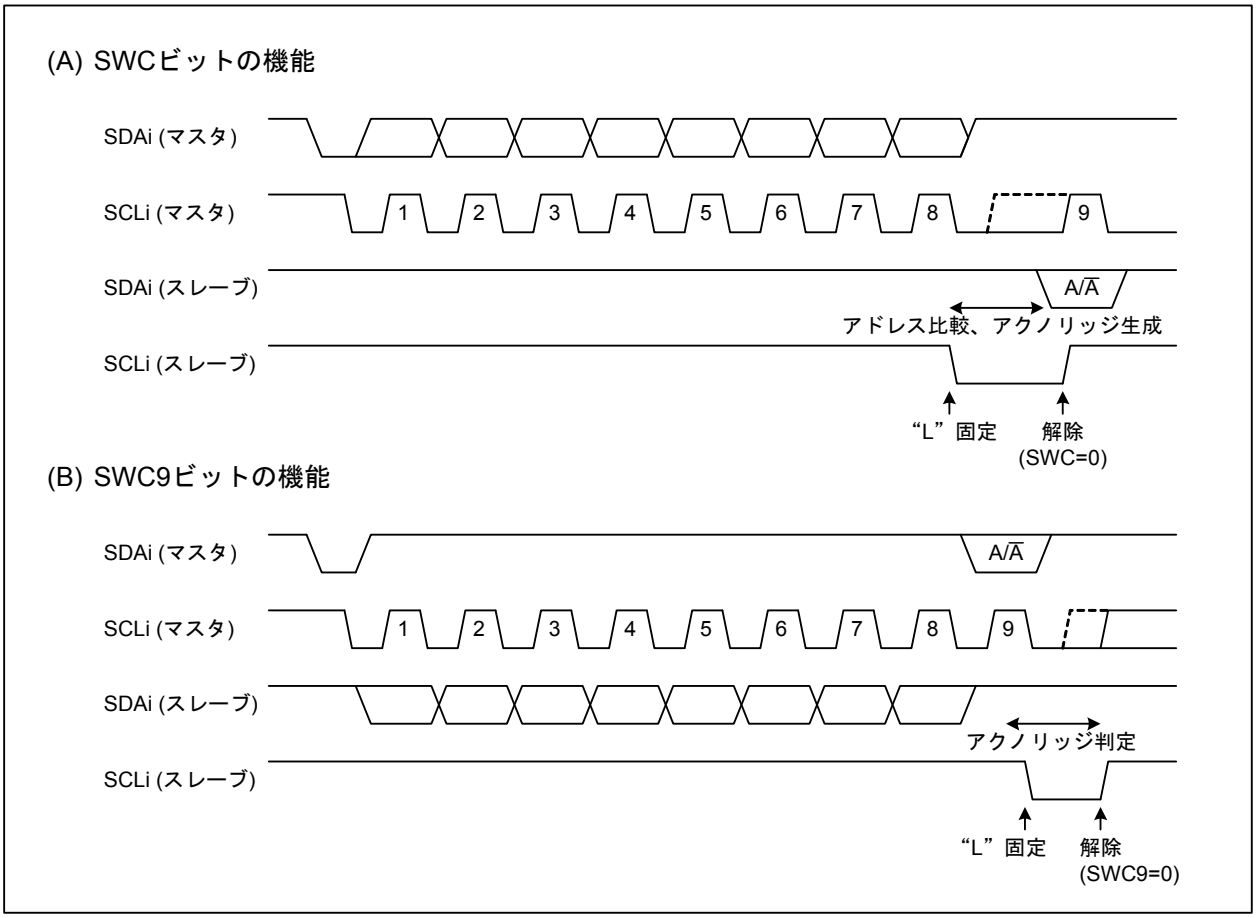


図 18.35 SWCビット、SWC9ビットによるウェイトの挿入(i=0~6)

UiSMR2レジスタのCSCビットは、他のデバイスがウェイトを挿入するなどしたために、自身が出力したクロックとSCLi端子に入力されたクロックが異なったとき、内部で生成するクロックをSCLi端子から入力されるクロックに同期させるためのビットです。CSCビットが“1”(クロック同期を実施する)の場合、内部生成クロックが“H”のときにSCLi端子が“H”から“L”に変化すると、内部生成クロックを“L”にし、UiBRGレジスタの値をリロードしてL区間のカウントを開始します。また、SCLi端子が“L”のとき、内部生成クロックが“L”から“H”に変化するとカウントを停止し、SCLi端子が“H”になるとカウントを再開します。したがってUARTiの送受信クロックは、内部生成クロックとSCLi端子の信号の論理積になります。送受信クロックは、内部生成クロックの1クロック前から9クロック目まで同期化されます。CSCビットはUiMRレジスタのCKDIRビットが“0”(内部クロック)のときのみ“1”にできます。

UiSMR4レジスタのSCLHIビットは、自身がマスタとして送受信を行っているときに他のマスタがストップコンディションを生成した場合に、SCLi端子を開放するために使用します。SCLHIビットを“1”(出力停止)にすると、ストップコンディション検出時にSCLi端子を開放し(ハイインピーダンス)、クロック出力を停止します。

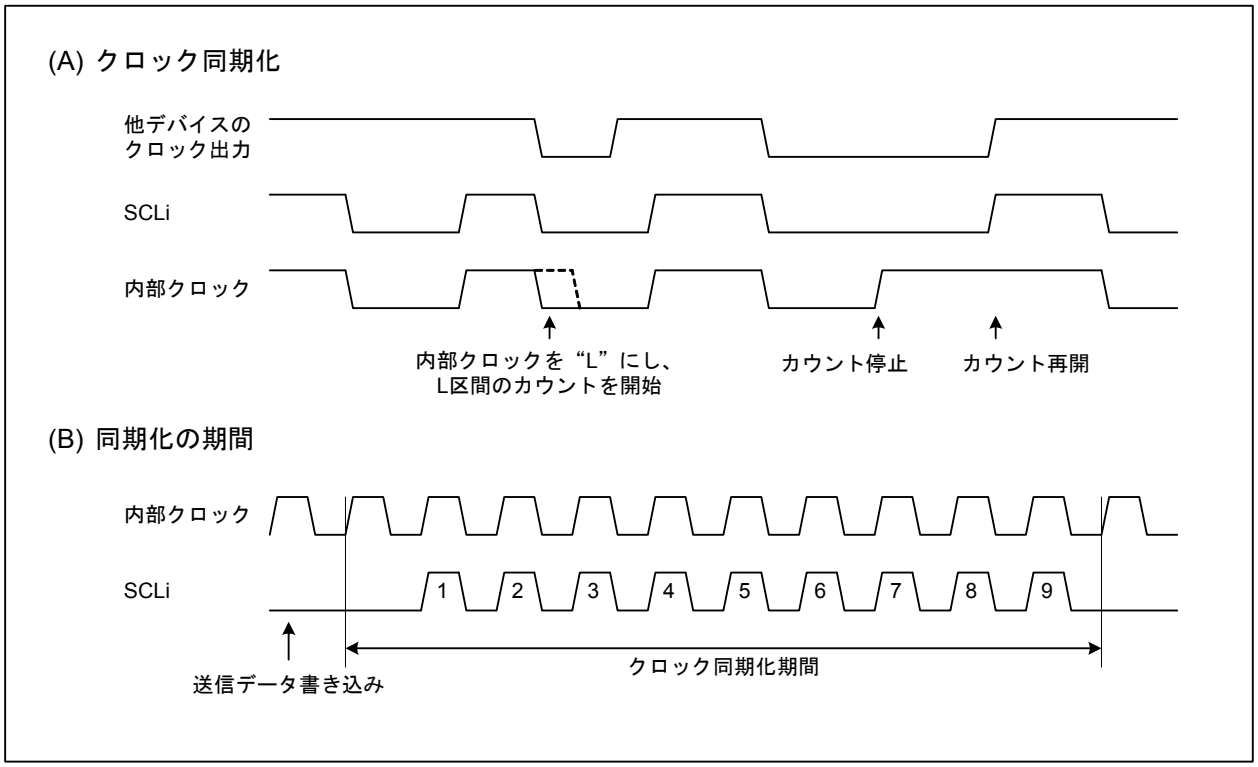


図 18.36 クロック同期化(i=0~6)

18.3.5 SDA出力

UiTBレジスタ(i=0~6)のビット8~0 (D8~D0)に書いた値を、D7から順にD0まで、最後にD8の順で出力します。D8はアクノリッジ信号のためのビットですから、送信時はD8には“1”を設定してバスを開放する必要があります。また、受信時はD8にACKもしくはNACKを設定します。

UiSMR3レジスタのDL2~DL0ビットにより、SCLiの立ち下りエッジに対するSDAiの遅延量を設定できます。遅延量はUiBRGカウントソースを基準に、0サイクル(なし)または2~8サイクルの範囲で設定できます。

UiSMR2レジスタのSDHIビットを“1”(出力停止)にすることで、いつでもSDAi端子をハイインピーダンスにできます。I^2Cモード設定後に、ポートの機能をSDAiに割り当て、端子を出力に設定すると、SDAi端子からは“L”が出力されます。このときSDHIビットが“1”であれば、SDAi端子はハイインピーダンスになります。

なお、SCLi端子が“H”のときにSDHIビットを書き換えた場合、スタートコンディションやストップコンディションを生成することになります。また、SCLiの立ち上がり直前にSDHIビットを書き換えた場合、アービトレーションロストと誤検出されることがあります。SCLi端子が“L”の時にSDAi端子が変化するように、SDHIビットを書き換えてください。

18.3.6 SDA入力

UiSMR2レジスタ(i=0~6)のIICM2ビットが“0”(ACK/NACK割り込みを使用)の場合、受信したデータの1~8ビット目(D7~D0)をUiRBレジスタのビット7~0に、9ビット目(ACK/NACK)をUiRBレジスタのビット8に格納します。

IICM2ビットが“1”(送受信割り込みを使用)の場合、受信したデータの1~7ビット目(D7~D1)をUiRBレジスタのビット6~0に、8ビット目(D0)をUiRBレジスタのビット8に格納します。IICM2ビットが“1”の場合でも、UiSMR3レジスタのCKPHビットが“1”(クロック遅れあり)であれば、9ビット目のSCLiの立ち上がり後にUiRBレジスタを読み出すことにより、IICM2ビットが“0”の場合と同様のデータが読み出せます。

18.3.7 アクノリッジ

データを受信することが確定している場合、UiTBレジスタに00FFhをダミーデータとして設定することで、8ビット受信後にACKが出力されます。

また、UiSMR4レジスタ(i=0~6)のSTSPSELビットが“0”(シリアル入出力回路選択)で、UiSMR4レジスタのACKCビットが“1”(ACKデータ出力)の場合、UiSMR4レジスタのACKDビットの値がSDAi端子から出力されます。

IICM2ビットが“0”の場合、9ビット目のSCLiの立ち上がり時にSDAi端子が“H”であればNACK割り込み要求が、“L”であればACK割り込み要求が発生します。

DMA起動要因に「UARTi受信またはACK割り込み要求」を選択すると、ACK検出によってDMA転送を起動できます。

18.3.8 送受信初期化

UiMRレジスタ(i=0~6)のCKDIRビットが“1”(外部クロック)で、UiSMR2レジスタのSTCビットが“1”(回路を初期化する)の場合、スタートコンディションを検出すると以下のように動作します。

- 送信レジスタが初期化され、UiTBレジスタの内容が送信レジスタに転送されます。次のSCLiの立ち下がりエッジを1ビット目の送信クロックとして送信を開始します。ただし、SCLiの立ち下りからデータが出力されるまでの間、SDAi端子からは初期化前の送信レジスタの値が出力されます。
- 受信レジスタは初期化され、次のSCLiの立ち下がりエッジを1ビット目の受信クロックとして受信を開始します。
- UiSMR2レジスタのSWCビットが“1”(8ビット受信後、SCL端子を“L”に固定)になります。

なお、この機能を使用しUARTiの送受信を開始した場合、TIビットは変化しません。

18.4　特殊モード2

特殊モード2は、1つまたは複数のマスタから複数のスレーブへ、クロックに同期してシリアル通信を行うモードです。$\overline{SSi}$ 入力端子(i=0~6)を用いて、シリアルバスの通信を制御します。表 18.13に特殊モード2の仕様を示します。

表 18.13 特殊モード2の仕様

項目	仕様
データフォーマット	キャラクタ長　　8ビット
送受信クロック	• UiMR レジスタ(i=0~6)のCKDIRビットが“0”(内部クロック): $\frac{fx}{2(m+1)}$　　fx = f1, f8, f2n　　m : UiBRG レジスタ設定値(00h~FFh) • CKDIRビットが“1”(外部クロック): CLKi端子からの入力
送信制御、受信制御	SS機能
送信開始条件	送信開始には以下の条件が必要です(注1) • UiC1 レジスタのTEビットが“1”(送信許可) • UiC1 レジスタのTIビットが“0” (UiTB レジスタにデータあり)
受信開始条件	受信開始には、以下の条件が必要です(注1) • UiC1 レジスタのREビットが“1”(受信許可) • TEビットが“1”(送信許可) • TIビットが“0” (UiTB レジスタにデータあり)
割り込み要求発生タイミング	送信割り込みは、U0C1~U6C1 レジスタのUiIRSビットの設定により、以下の条件のいずれかを選択できます • UiIRSビットが“0”(送信バッファ空): UiTB レジスタからUARTi送信レジスタへデータ転送時(送信開始時) • UiIRSビットが“1”(送信完了): UARTi送信レジスタからデータ送信完了時 受信割り込み • UARTi受信レジスタからUiRB レジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注2) UiRB レジスタを読む前に次のデータ受信を開始し、7ビット目のデータを受信すると発生
その他選択項目	• CLK極性選択 送受信データの出力と入力タイミングが、送受信クロックの立ち上がりに同期するか、立ち下がりに同期するかを選択できます • ビットオーダ選択 LSBファーストまたはMSBファーストを選択できます • 連続受信モード選択 UiRB レジスタを読むと同時に、受信許可にすることができます • シリアルデータ論理切り替え 送受信データの論理を反転することができます • クロック位相選択 送受信クロックの極性と相の組み合わせで4種類のクロックを選択できます • $\overline{SSi}$入力端子機能 $\overline{SSi}$端子が“H”のとき、出力端子をハイインピーダンスにすることができます

注1.　外部クロック選択時、UiC0 レジスタのCKPOLビットが“0”(送受信クロックの立ち下がりに同期して送信データ出力、立ち上がりに同期して受信データ入力)の場合はCLKi端子が“H”の状態で、CKPOLビットが“1”(送受信クロックの立ち上がりに同期して送信データ出力、立ち下がりに同期して受信データ入力)の場合はCLKi端子が“L”の状態で、これらの条件を満たすようにしてください。

注2.　オーバランエラーが発生した場合、UiRB レジスタは不定になります。SiRIC レジスタのIRビットは“1”(割り込み要求あり)に変化しません。

表 18.14に特殊モード2で使用するレジスタと設定値を示します。

表 18.14 特殊モード2で使用するレジスタと設定値(i=0~6)

レジスタ	ビット	機能
UiMR	7~4	“0000b”にしてください
	CKDIR	マスタモードの場合“0”に、スレーブモードの場合“1”にしてください
	SMD2~SMD0	“001b”にしてください
UiC0	UFORM	LSBファースト、またはMSBファーストを選択してください
	CKPOL	UiSMR3レジスタのCKPHビットとの組み合わせでクロック位相を設定できます
	5	“0”にしてください
	CRD	“1”にしてください
	TXEPT	送信レジスタ空フラグ
	2	“0”にしてください
	CLK1~CLK0	UiBRGレジスタのカウントソースを選択してください
UiC1	7~6	“00b”にしてください
	UiRRM	連続受信モードを使用する場合、“1”にしてください
	UiIRS	UARTi送信割り込み要因を選択してください
	RI	受信完了フラグ
	RE	受信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	TE	送受信を許可する場合、“1”にしてください
UiSMR	7~0	“00h”にしてください
UiSMR2	7~0	“00h”にしてください
UiSMR3	7~5	“000b”にしてください
	ERR	モードフォルトフラグ
	3	“0”にしてください
	DINC	マスタモードの場合“0”に、スレーブモードの場合“1”にしてください
	CKPH	UiC0レジスタのCKPOLビットとの組み合わせでクロック位相を設定できます
	SSE	“1”にしてください
UiSMR4	7~0	“00h”にしてください
UiBRG	7~0	転送速度を設定してください
IFS0	IFS06	CLK3、RXD3、SRXD3、$\overline{SS3}$の入力端子を選択してください
	IFS03~IFS02	CLK6、RXD6、SRXD6、$\overline{SS6}$の入力端子を選択してください
UiTB	7~0	送信データを設定してください
UiRB	OER	オーバランエラーフラグ
	7~0	受信データが読めます

18.4.1　$\overline{SSi}$ 入力端子機能(i=0~6)

UiSMR3 レジスタの SSE ビットを“1” (SS機能許可)にするとこのモードが選択され、$\overline{CTSi}$/$\overline{RTSi}$/$\overline{SSi}$端子が$\overline{SSi}$入力端子になります。

UiSMR3 レジスタの DINC ビットでマスタとして使用するか、スレーブとして使用するかを選択できます。複数のデバイスをマスタにした場合(マルチマスタシステム)、$\overline{SSi}$端子の状態でその時々のマスタが決まります。

18.4.1.1　スレーブモードでのSS機能

DINC ビットが“1” (スレーブモード)で$\overline{SSi}$端子に“H”が入力されている場合、STXDi端子はハイインピーダンスになり、CLKi端子からのクロック入力は無視されます。$\overline{SSi}$端子に“L”が入力されている場合、クロックの入力が有効となり、STXDi 端子からシリアルデータが出力され、シリアル通信が可能になります。

18.4.1.2　マスタモードでのSS機能

DINC ビットが“0” (マスタモード)で$\overline{SSi}$端子に“H”が入力されている場合、他にマスタが存在しないか、他のマスタが通信を行っていないこと示すため、マスタとなって通信を開始できます。マスタは CLKi端子から送受信クロックを出力します。$\overline{SSi}$端子に“L”が入力されている場合、他にマスタが存在していることを示し、TXDi、CLKiの各端子はハイインピーダンスになります。また、モードフォルトが発生し、UiSMR3 レジスタの ERR ビットが“1”になります。なお、通信中にモードフォルトが発生しても、通信は停止しません。通信を停止したい場合、UiMR レジスタの SMD2~SMD0 ビットを “000b” (シリアルインタフェースは無効)にしてください。

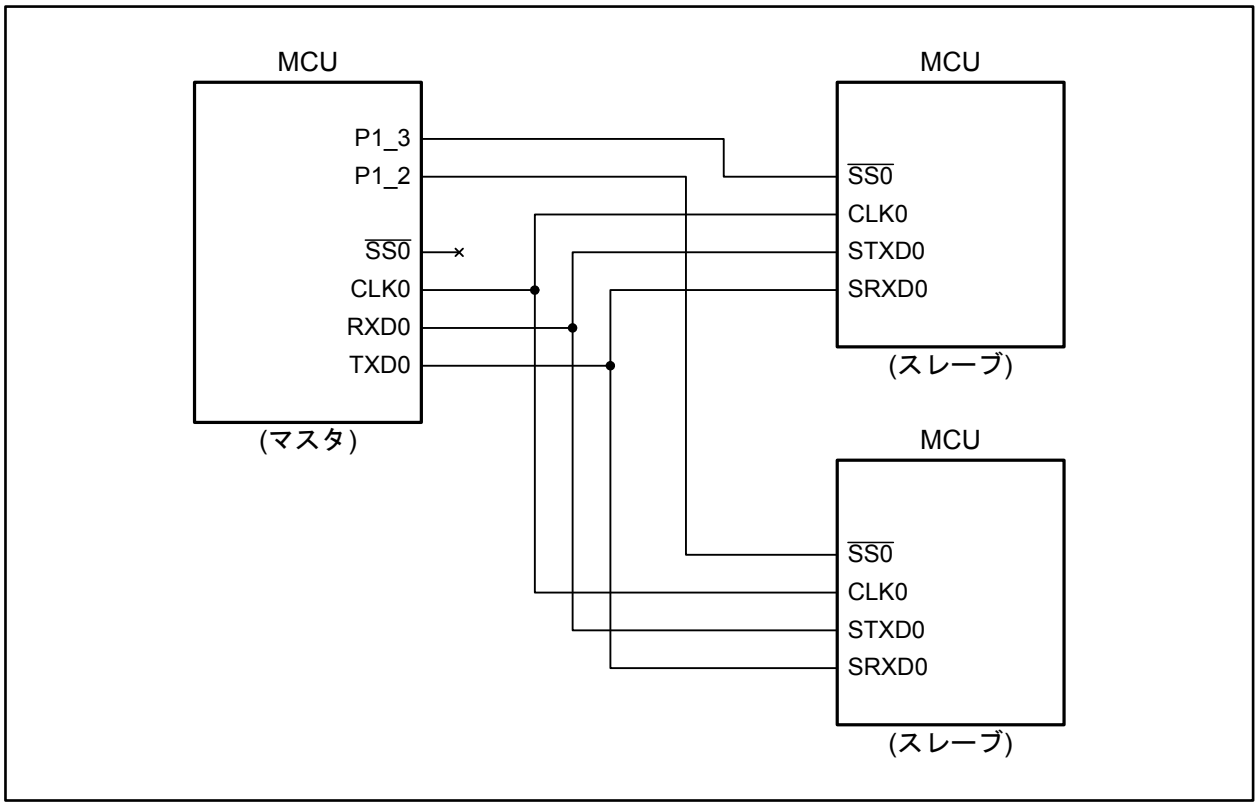


図 18.37　$\overline{SSi}$端子を用いたシリアルバスの通信制御例

18.4.2　クロック位相設定機能

UiC0レジスタのCKPOLビットと、UiSMR3レジスタ(i=0~6)のCKPHビットによって、送受信クロックの極性と位相を変化させることで、4種類のクロックを選択できます。

マスタは、送受信クロックの極性と位相をそのとき通信するスレーブと同じにしてください。

18.4.2.1　マスタモードでの送受信タイミング

DINCビットが“0”(マスタモード)の場合、UiMRレジスタのCKDIRビットを“0”(内部クロック)にして、クロックを生成する必要があります。図18.38に各クロックの位相ごとの送受信タイミングを示します。

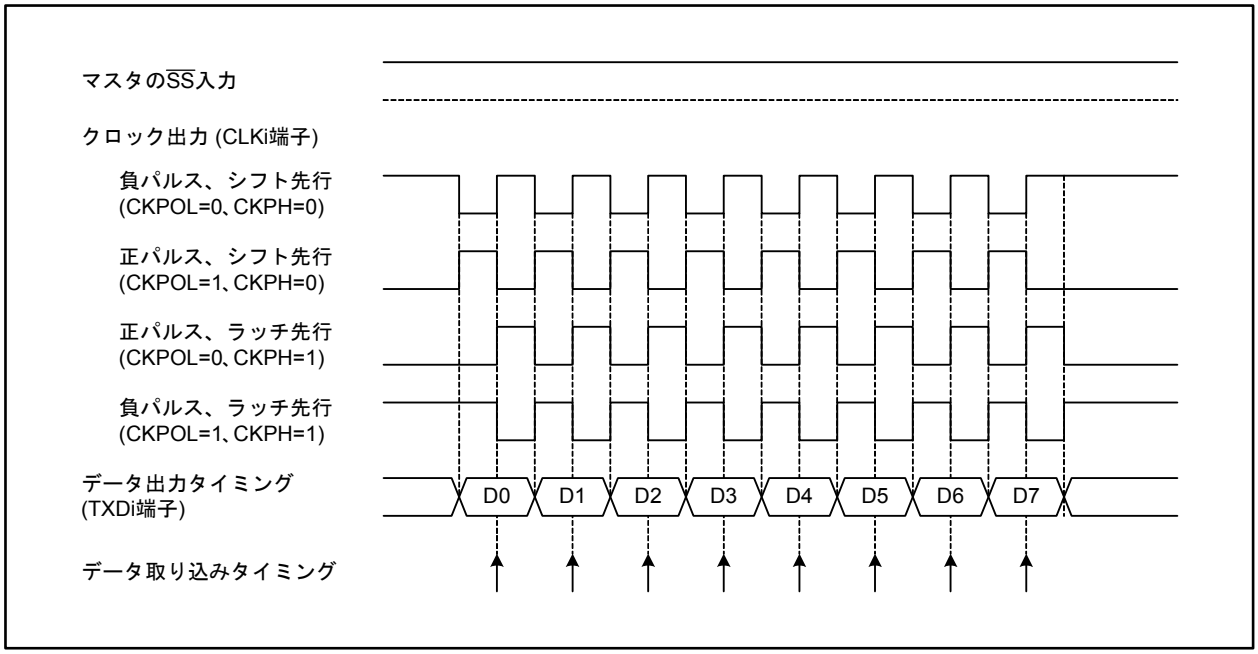


図 18.38　マスタモードでの送受信タイミング

18.4.2.2　スレーブモードでの送受信タイミング

DINCビットが“1”(スレーブモード)の場合、UiMRレジスタのCKDIRビットを“1”(外部クロック)にする必要があります。

CKPHビットが“0”(クロック遅れなし)で$\overline{SSi}$端子に“H”が入力されている場合、STXDiはハイインピーダンスです。$\overline{SSi}$端子に“L”が入力されるとデータ送信を開始する条件が揃いますが、出力は不定です。その後、クロックに同期してデータ送信を行います。図18.39にタイミングを示します。

CKPHビットが“1”(クロック遅れあり)で$\overline{SSi}$端子に“H”が入力されている場合、STXDiはハイインピーダンスです。$\overline{SSi}$端子に“L”が入力されると最初のデータが出力されます。その後、クロックに同期してデータ送信を行います。図18.40にタイミングを示します。

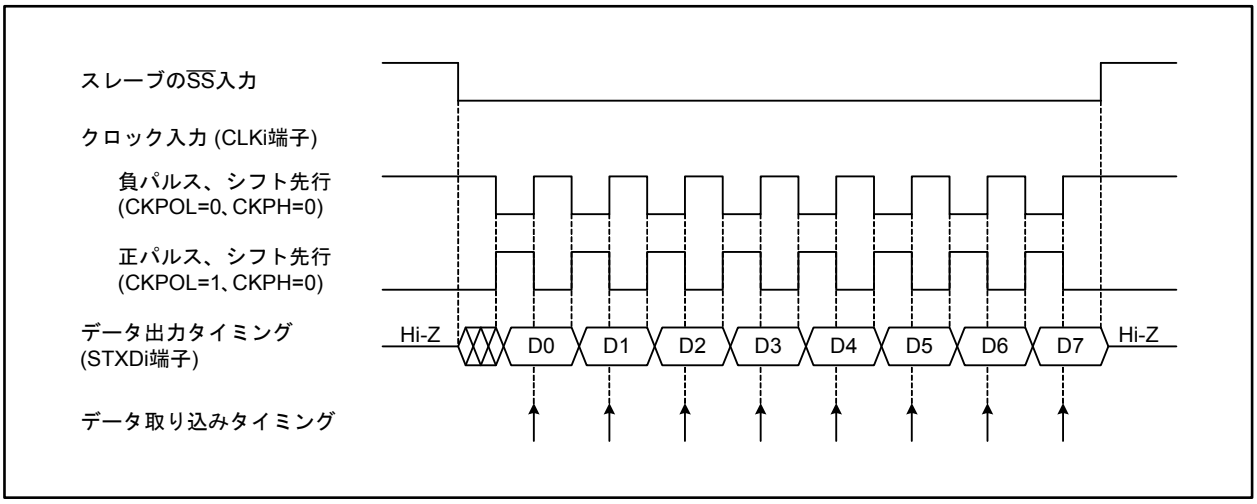


図 18.39　スレーブモードでの送受信タイミング(CKPH=0)

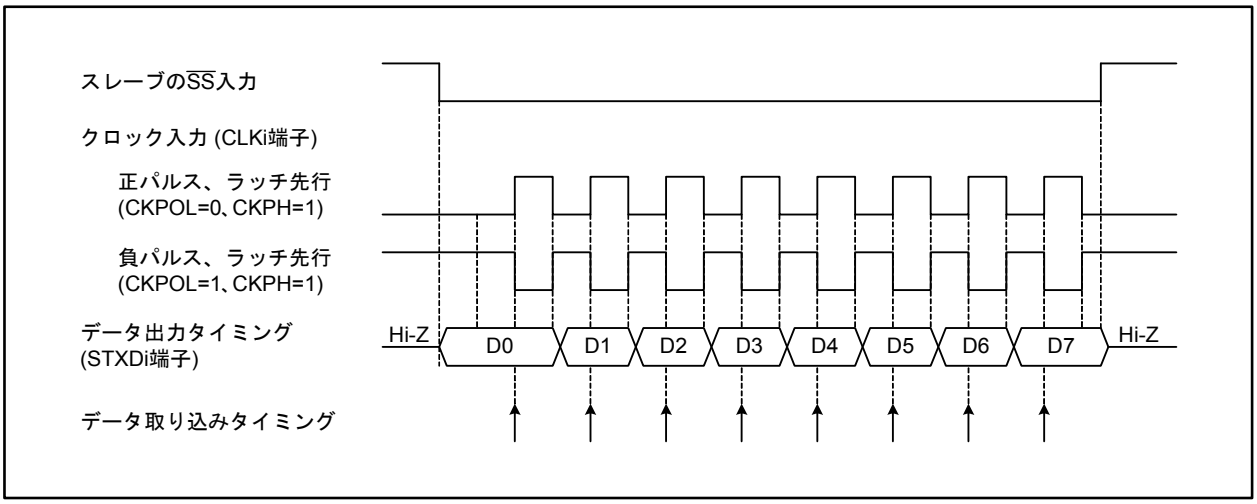


図 18.40　スレーブモードでの送受信タイミング(CKPH=1)

18.5 シリアルインタフェース使用上の注意

18.5.1 UiBRGレジスタ(i=0~8)の変更

- UiBRGレジスタはUiC0レジスタのCLK1~CLK0ビットを設定した後に書いてください。また、CLK1~CLK0ビットを変更した場合は、UiBRGレジスタも設定し直してください。

- UiBRGレジスタに“00h”を書いた場合、直後にカウンタが動作し“FFh”になる場合があります。この場合、設定した“00h”がリロードされるまで256クロック余分に時間がかかります。“00h”がリロードされた後は、設定どおり分周なしになります。

18.5.2 クロック同期モード

18.5.2.1 外部クロック選択

- 外部クロックを選択している場合、UiC0レジスタ(i=0~8)のCKPOLビットが“0”(送受信クロックの立ち下がりに同期して送信データ出力、立ち上がりに同期して受信データ入力)のときは外部クロックが“H”の状態で、CKPOLビットが“1”(送受信クロックの立ち上がりに同期して送信データ出力、立ち下がりに同期して受信データ入力)のときは外部クロックが“L”の状態で以下の条件を満たしてください。
  - UiC1レジスタのTEビットが“1”(送信許可)
  - UiC1レジスタのREビットが“1”(受信許可)
  - UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
    送信のみの場合はREビットの設定は不要

18.5.2.2 受信

- クロック同期モードでは送信制御回路で送受信クロックを制御します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXDi端子(i=0~8)からはダミーデータが外部に出力されます。

- 連続してデータを受信した場合、UiC1レジスタのRIビットが“1”(UiRBレジスタにデータあり)のときに次の受信データの7ビット目を受信するとオーバランエラーが発生し、UiRBレジスタのOERビットが“1”(オーバランエラー発生)になります。この場合、UiRBレジスタは不定になります。オーバランエラーが発生したときはSiRICレジスタのIRビットは“1”に変化しません。

18.5.3 特殊モード1 (I^2Cモード)

- スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、UiSMR4レジスタ(i=0~6)のSTSPSELビットを“0”にした後、送受信クロックの半クロック以上待ってから、各コンディション生成ビット(STAREQビット、RSTAREQビット、STPREQビット)を“0”から“1”にしてください。

18.5.4 通信異常時の対処方法

送受信中に機能選択レジスタを書き換えるなど、通信異常が発生するような操作を行わないでください。万が一通信相手がそのような操作を行った場合、あるいはノイズの影響などによりビットずれが発生した場合など通信異常が発生した場合は、以下の手順で内部回路を初期化してください。

A. クロック同期モードの場合

(1) UiC1 レジスタ (i=0~8) の TE ビットを“0” (送信禁止)、RE ビットを“0” (受信禁止) にする。
(2) UiMR レジスタの SMD2~SMD0 ビットを“000b” (シリアルインタフェース無効) にする。
(3) UiMR レジスタの SMD2~SMD0 ビットを“001b” (クロック同期型シリアルインタフェースモード) にする。
(4) 必要に応じて UiC1 レジスタの TE ビットを“1” (送信許可)、RE ビットを“1” (受信許可) にする。

B. UART モードの場合

(1) UiC1 レジスタの TE ビットを“0” (送信禁止)、RE ビットを“0” (受信禁止) にする。
(2) UiMR レジスタの SMD2~SMD0 ビットを“000b” (シリアルインタフェース無効) にする。
(3) UiMR レジスタの SMD2~SMD0 ビットを “100b” (UART モード キャラクタ長 7 ビット) または、“101b” (UARTモード キャラクタ長8ビット)、“110b” (UARTモード キャラクタ長9ビット)にする。
(4) 必要に応じて UiC1 レジスタの TE ビットを“1” (送信許可)、RE ビットを“1” (受信許可) にする。

19. A/Dコンバータ

容量結合増幅器で構成された10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。

A/D変換の結果は、選択した端子に対応したA/Dレジスタに格納されます。ただし、DMAC利用モードが有効の場合はAD00レジスタのみに格納されます。

A/Dコンバータを使用しない場合、AD0CON1レジスタのVCUTビットを“0” (VREF切断)にすると、VREF端子からラダー抵抗へ供給される電流が流れなくなり、消費電力を減らすことができます。

表19.1にA/Dコンバータの仕様を、図19.1にA/Dコンバータのブロック図を、図19.2~図19.7にA/Dコンバータ関連のレジスタを示します。

表19.1　A/Dコンバータの仕様

項目	性能
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧 (注1)	0 V ~ AVCC (VCC)
動作クロックϕAD (注2)	fAD、fADの2分周、fADの3分周、fADの4分周、fADの6分周またはfADの8分周
分解能	8ビット、10ビット
動作モード	単発モード、繰り返しモード、単掃引モード、繰り返し掃引モード0、繰り返し掃引モード1、マルチポート単掃引モード、マルチポート繰り返し掃引モード0
アナログ入力端子 (注3)	34本(注4) AN、AN0、AN2、AN15各8本(注5)。拡張入力2本(ANEX0, ANEX1)
A/D変換開始条件	ソフトウェアトリガ •AD0CON0レジスタのADSTビットを“1” (A/D変換開始)にする 外部トリガ(再トリガ可能) •ADSTビットを“1”にした後、$\overline{\text{ADTRG}}$端子への入力信号が“H”から“L”に変化したとき ハードウェアトリガ(再トリガ可能) •ADSTビットを“1”にした後、三相モータ制御用タイマ機能の(割り込み発生頻度設定回路通過後の)タイマB2割り込み要求が発生したとき
1端子あたりの変換速度	•サンプル&ホールドなし 分解能8ビットの場合49ϕADサイクル、分解能10ビットの場合59ϕADサイクル うち2ϕADサイクルはサンプリング時間 •サンプル&ホールドあり 分解能8ビットの場合28ϕADサイクル、分解能10ビットの場合33ϕADサイクル うち3ϕADサイクルはサンプリング時間

注1.　サンプル&ホールド機能の有無に依存しません。

注2.　ϕADの周波数は、VCC = 4.2 ~ 5.5 Vのとき16 MHz以下に、VCC = 3.0 ~ 4.2 Vのとき10 MHz以下にしてください。また、サンプル&ホールド機能なしのときϕADの周波数は250 kHz以上に、サンプル&ホールド機能ありのときϕADの周波数は1 MHz以上にしてください。

注3.　AVCC = VREF = VCCの場合、AN_0~AN_7、AN0_0~AN0_7、AN2_0~AN2_7、AN15_0~AN15_7、ANEX0、ANEX1のA/D入力電圧はVCC以下にしてください。

注4.　144ピン版の数値です。100ピン版では26本です。

注5.　100ピン版にはAN15_0~AN15_7端子はありません。

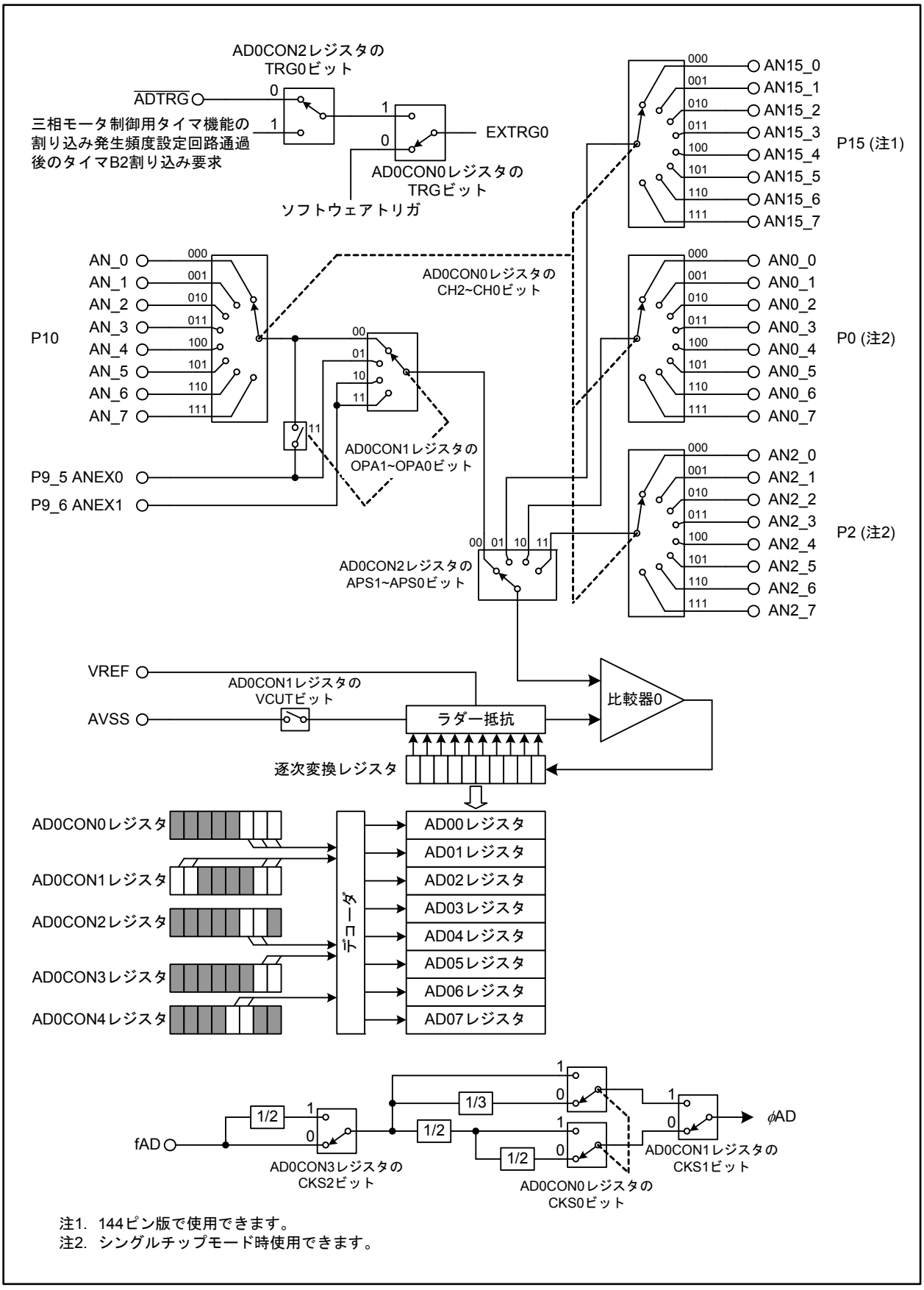


図 19.1 A/Dコンバータのブロック図

A/D0制御レジスタ0 (注1)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
AD0CON0	0396h番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
CH0	アナログ入力端子選択ビット (注2、3、4)	b2 b1 b0 0 0 0 : ANi_0 0 0 1 : ANi_1 0 1 0 : ANi_2 0 1 1 : ANi_3 1 0 0 : ANi_4 1 0 1 : ANi_5 1 1 0 : ANi_6 1 1 1 : ANi_7 (i=なし、0、2、15)	RW
CH1			RW
CH2			RW
MD0	A/D動作モード選択ビット0 (注2、5、6)	b4 b3 0 0 : 単発モード 0 1 : 繰り返しモード 1 0 : 単掃引モード 1 1 : 繰り返し掃引モード0、繰り返し掃引モード1	RW
MD1			RW
TRG	トリガ選択ビット	0: ソフトウェアトリガ 1: 外部トリガ/ハードウェアトリガ (注7)	RW
ADST	A/D変換開始ビット	0: A/D変換停止 1: A/D変換開始 (注7)	RW
CKS0	周波数選択ビット	(注8)	RW

注1. A/D変換中にこのレジスタに値を書くと、変換結果は不定になります。
注2. A/D動作モードを変更した場合には、あらためてアナログ入力端子の設定をしてください。
注3. このビットは、単発モード、繰り返しモードで有効です。
注4. AD0CON2レジスタのAPS1~APS0ビットでAN、AN0、AN2、AN15のいずれかを選択してください。
注5. AD0CON3レジスタのMSSビットが“1”(マルチポート掃引モード有効) の場合、“10b”にするとマルチポート単掃引モード、“11b”にするとマルチポート繰り返し掃引モード0になります。
注6. AD0CON3レジスタのMSSビットが“1”の場合“10b”または“11b”にしてください。
注7. 外部トリガ/ハードウェアトリガを使用する場合は、AD0CON2レジスタのTRG0ビットでトリガ要因を選択し、TRGビットを“1”にした後、ADSTビットを“1”にしてください。
注8. VCC = 5 Vのとき、ϕADの周波数は16 MHz以下にしてください。また、VCC = 3.3 Vのとき、ϕADの周波数は10 MHz以下にしてください。
ϕADはCKS0ビット、AD0CON1レジスタのCKS1ビット、AD0CON3レジスタのCKS2ビットの組み合わせで選択できます。

AD0CON3レジスタのCKS2ビット	AD0CON0レジスタのCKS0ビット	AD0CON1レジスタのCKS1ビット	ϕAD
0	0	0	fADの4分周
		1	fADの3分周
	1	0	fADの2分周
		1	fAD
1	0	0	fADの8分周
		1	fADの6分周

図 19.2　AD0CON0 レジスタ

A/D0制御レジスタ1 (注1)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
AD0CON1	0397h番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
SCAN0	A/D掃引端子選択ビット (注2、3)	単掃引モード、繰り返し掃引モード0選択時 b1 b0 0 0 : ANi_0, ANi_1 0 1 : ANi_0~ANi_3 1 0 : ANi_0~ANi_5 1 1 : ANi_0~ANi_7 繰り返し掃引モード1 選択時　(注4) b1 b0 0 0 : ANi_0 0 1 : ANi_0, ANi_1 1 0 : ANi_0~ANi_2 1 1 : ANi_0~ANi_3 マルチポート単掃引モード、マルチポート繰り返し掃引モード0 選択時 b1 b0 1 1 : ANi_0~ANi_7　(注5) (i=なし、0、2、15)	RW
SCAN1			RW
MD2	A/D動作モード選択ビット1	0: 繰り返し掃引モード1以外 1: 繰り返し掃引モード1　(注6)	RW
BITS	8/10ビットモード選択ビット	0: 8ビットモード 1: 10ビットモード	RW
CKS1	周波数選択ビット	(注7)	RW
VCUT	VREF接続ビット　(注8)	0: VREF切断　(注9) 1: VREF接続　(注10)	RW
OPA0	外部オペアンプ接続モードビット　(注11、12)	b7 b6 0 0 : ANEX0、ANEX1は使用しない (ANi_0~ANi_7入力をA/D変換) 0 1 : ANEX0入力をA/D変換 1 0 : ANEX1入力をA/D変換 1 1 : 外部オペアンプ接続	RW
OPA1			RW

注1. A/D変換中にこのレジスタに値を書くと、変換結果は不定になります。
注2. このビットは単掃引モード、繰り返し掃引モード0、繰り返し掃引モード1、マルチポート単掃引モード、マルチポート繰り返し掃引モード0で有効です。
注3. AD0CON2レジスタのAPS1~APS0ビットでAN、AN0、AN2、AN15のいずれかを選択してください。
注4. MD2ビットを“1”にした場合、A/D変換を行う頻度が高い端子です。
注5. マルチポート単掃引モードとマルチポート繰り返し掃引モード0では“11b”以外の値を設定しないでください。
注6. AD0CON3レジスタのMSSビットが“1”(マルチポート掃引モード有効) の場合、MD2ビットを“0”に設定してください。
注7. AD0CON0レジスタのCKS0ビットの注を参照してください。
注8. A/Dコンバータへの基準電圧を制御するビットです。D/Aコンバータには影響しません。
注9. A/D変換中に“0”を書かないでください。
注10. VCUTビットを“0”から“1”にしたときは、1 µs以上経過した後にA/D変換を開始してください。
注11. 単発モード、繰り返しモードのみ“01b”、または“10b”を選択できます。その他のモードでは、これらのビットを“00b”または“11b”に設定してください。
注12. AD0CON3レジスタのMSSビットが“1”(マルチポート掃引モード有効) の場合、“00b”にしてください。

図 19.3　AD0CON1 レジスタ

A/D0制御レジスタ2 (注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0						

シンボル: AD0CON2　　アドレス: 0394h番地　　リセット後の値: XX0X X000b

ビットシンボル	ビット名	機　能	RW
SMP	A/D変換方式選択ビット	0: サンプル&ホールドなし 1: サンプル&ホールドあり	RW
APS0	アナログ入力ポート選択ビット (注2、3、4)	b2 b1 0 0 : AN_0~AN_7, ANEX0, ANEX1 0 1 : AN15_0~AN15_7 1 0 : AN0_0~AN0_7 1 1 : AN2_0~AN2_7	RW
APS1			RW
— (b4-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
TRG0	外部トリガ要因選択ビット	0: $\overline{\text{ADTRG}}$を選択 1: 三相モータ制御用タイマの(ICTB2 レジスタカウント後の)タイマB2割り込み要求を選択	RW
— (b7-b6)	予約ビット	“0”にしてください。 読んだ場合、その値は不定	RW

注1. A/D変換中にこのレジスタに値を書くと、変換結果は不定になります。
注2. AD0CON3レジスタのMSSビットが“1”(マルチポート掃引モード有効) の場合、“01b”にしてください。
注3. 100ピン版では“01b”にしないでください。ただし、MSSビットが“1”(マルチポート掃引モード有効) の場合を除きます。
注4. シングルチップモード以外では、“10b”または“11b”に設定しないでください。

図 19.4　AD0CON2 レジスタ

A/D0制御レジスタ3 (注1、2)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0					

シンボル: AD0CON3　　アドレス: 0395h番地　　リセット後の値: XXXX X000b

ビットシンボル	ビット名	機　能	RW
DUS	DMAC利用モード選択ビット (注3)	0: DMAC利用モード無効 1: DMAC利用モード有効 (注4、5)	RW
MSS	マルチポート掃引モード選択ビット	0: マルチポート掃引モード無効 1: マルチポート掃引モード有効 (注3、6)	RW
CKS2	周波数選択ビット	(注7)	RW
MSF0	マルチポート掃引ステータスフラグ (注8)	b4 b3 0 0 : AN_0~AN_7 0 1 : AN15_0~AN15_7 1 0 : AN0_0~AN0_7 1 1 : AN2_0~AN2_7	RO
MSF1			RO
— (b7-b5)	予約ビット	“0”にしてください。 読んだ場合、その値は不定	RW

注1. A/D変換中にこのレジスタに値を書くと、変換結果は不定になります。
注2. A/D変換中は、正しい値が読み出せない場合があります。停止させてから読み出し、書き込みをしてください。
注3. MSSビットを“1”にする場合、DUSビットも“1”にしてください。
注4. DUSビットが“1”の場合、A/D変換結果はすべてAD00レジスタへ格納されます。
注5. 変換結果をDMACで転送する場合、DMACの設定も行ってください。
注6. MSSビットを“1”にする場合、AD0CON1レジスタのMD2ビットを“0”(繰り返し掃引モード1以外)、AD0CON2レジスタのAPS1~APS0ビットを“01b”(AN15_0~AN15_7)、AD0CON1レジスタのOPA1~OPA0ビットを“00b”(ANEX0、ANEX1は使用しない) にしてください。
注7. AD0CON0レジスタのCKS0ビットの注を参照してください。
注8. MSSビットが“1”の場合、有効です。MSSビットが“0”の場合、読んだ値は不定です。

図 19.5　AD0CON3 レジスタ

A/D0制御レジスタ4 (注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0			0	0

シンボル	アドレス	リセット後の値
AD0CON4	0392h番地	XXXX 00XXb

ビットシンボル	ビット名	機　能	RW
— (b1-b0)	予約ビット	“0”にしてください。 読んだ場合、その値は不定	RW
MPS10	マルチポート掃引ポート選択ビット (注2、3)	b3 b2 0 0 : (注4) 0 1 : AN_0~AN_7, AN15_0~AN15_7 1 0 : AN_0~AN_7, AN0_0~AN0_7 1 1 : AN_0~AN_7, AN2_0~AN2_7	RW
MPS11			RW
— (b7-b4)	予約ビット	“0”にしてください。 読んだ場合、その値は不定	RW

注1. A/D変換中にこのレジスタに値を書くと、変換結果は不定になります。
注2. 100ピン版では、“01b”に設定しないでください。
注3. シングルチップモード以外では、“10b”または“11b”に設定しないでください。
注4. AD0CON3レジスタのMSSビットが“0”(マルチポート掃引モード無効) の場合、“00b”にしてください。
MSSビットが“1”(マルチポート掃引モード有効) の場合、“00b”以外を設定してください。

図 19.6　AD0CON4 レジスタ

A/D0レジスタi (i=0~7) (注1~4)

b15	b8	b7	b0

シンボル	アドレス	リセット後の値
AD00, AD01	0381h-0380h、0383h-0382h番地	0000 0000 XXXX XXXXb
AD02, AD03	0385h-0384h、0387h-0386h番地	0000 0000 XXXX XXXXb
AD04, AD05	0389h-0388h、038Bh-038Ah番地	0000 0000 XXXX XXXXb
AD06, AD07	038Dh-038Ch、038Fh-038Eh番地	0000 0000 XXXX XXXXb

ビットシンボル	機　能	RW
— (b7-b0)	A/D変換結果の下位8ビット	RO
— (b9-b8)	10ビットモード時:　A/D変換結果の上位2ビット 8ビットモード時:　読んだ場合、“0”が読めます	RO
— (b15-b10)	読んだ場合、“0”が読めます	RO

注1. 変換結果をDMACで転送する場合、プログラムでこれらのレジスタを読み出すと不定値が読めます。
注2. A/D変換停止中に書いた場合、そのレジスタの値は不定です。
注3. AD0CON3レジスタのDUSビットが“1”(DMAC利用モード有効) の場合、AD00レジスタのみ有効です。その他のレジスタの値は不定です。
注4. 10ビットモード時に変換結果をDMACで転送する場合は、DMACを16ビット転送にしてください。

図 19.7　AD00~AD07 レジスタ

19.1 モードの説明

19.1.1 単発モード

選択した1本の端子の入力電圧を1回だけ変換するモードです。表19.2に単発モードの仕様を示します。

表 19.2 単発モードの仕様

項目	仕様
機能	AD0CON0レジスタのCH2~CH0ビット、AD0CON1レジスタのOPA1~OPA0ビット、AD0CON2レジスタのAPS1~APS0ビットで選択した1本の端子の入力電圧を1回だけ変換する
開始条件	AD0CON0レジスタのTRGビットが“0” (ソフトウェアトリガ)の場合 AD0CON0レジスタのADSTビットを“1” (A/D変換開始)にしたとき TRGビットが“1” (外部トリガ/ハードウェアトリガ)の場合 AD0CON2レジスタのTRG0ビットで条件を選択 • TRG0ビットが“0” ADSTビットを“1”にした後、$\overline{\text{ADTRG}}$端子への入力信号が“H”から“L”に変化したとき • TRG0ビットが“1” ADSTビットを“1”にした後、三相モータ制御用タイマ機能の(割り込み発生頻度設定回路通過後の)タイマB2割り込み要求が発生したとき
停止条件	• A/D変換終了時(ソフトウェアトリガ選択時、ADSTビットは“0”になる) • ADSTビットを“0” (A/D変換停止)にしたとき
割り込み要求発生タイミング	A/D変換終了時
入力端子	AN_0~AN_7、AN0_0~AN0_7、AN2_0~AN2_7、AN15_0~AN15_7、ANEX0、ANEX1から1端子を選択
A/D変換値の読み出し	AD0CON3レジスタのDUSビットが“0” (DMAC利用モード無効)の場合 選択した端子に対応したAD0jレジスタ(j=0~7)を読み出してください DUSビットが“1” (DMAC利用モード有効)の場合 「13. DMAC」を参照し、DMACの設定も行ってください A/D変換完了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます プログラムでAD00レジスタを読み出さないでください

19.1.2 繰り返しモード

選択した1本の端子の入力電圧を繰り返し変換するモードです。表19.3に繰り返しモードの仕様を示します。

表19.3 繰り返しモードの仕様

項目	仕様
機能	AD0CON0レジスタのCH2~CH0ビット、AD0CON1レジスタのOPA1~OPA0ビット、AD0CON2レジスタのAPS1~APS0ビットで選択した1本の端子の入力電圧を繰り返し変換する
開始条件	AD0CON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 AD0CON0レジスタのADSTビットを“1”(A/D変換開始)にしたとき TRGビットが“1”(外部トリガ/ハードウェアトリガ)の場合 AD0CON2レジスタのTRG0ビットで条件を選択 •TRG0ビットが“0” ADSTビットを“1”にした後、$\overline{\text{ADTRG}}$端子への入力信号が“H”から“L”に変化したとき •TRG0ビットが“1” ADSTビットを“1”にした後、三相モータ制御用タイマ機能の(割り込み発生頻度設定回路通過後の)タイマB2割り込み要求が発生したとき
停止条件	•ADSTビットを“0”(A/D変換停止)にしたとき
割り込み要求発生タイミング	•AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合、発生しない •DUSビットが“1”(DMAC利用モード有効)の場合、各A/D変換終了時に発生
入力端子	AN_0~AN_7、AN0_0~AN0_7、AN2_0~AN2_7、AN15_0~AN15_7、ANEX0、ANEX1から1端子を選択
A/D変換値の読み出し	AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合 選択した端子に対応したAD0jレジスタ(j=0~7)を読み出してください DUSビットが“1”(DMAC利用モード有効)の場合 •変換結果をDMACで転送する場合 「13. DMAC」を参照し、DMACの設定も行ってください A/D変換完了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます プログラムでAD00レジスタを読み出さないでください •変換結果をプログラムで転送する場合 AD0ICレジスタのIRビットが“1”になった後、AD00レジスタを読み出してください。IRビットは“0”にしてください

19.1.3 単掃引モード

選択した複数の端子の入力電圧を1回ずつ変換するモードです。表19.4に単掃引モードの仕様を示します。

表 19.4 単掃引モードの仕様

項目	仕様
機能	AD0CON1レジスタのSCAN1~SCAN0ビットとAD0CON2レジスタのAPS1~APS0ビットで選択した複数の端子の入力電圧を1回ずつ変換する
開始条件	AD0CON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 AD0CON0レジスタのADSTビットを“1”(A/D変換開始)にしたとき TRGビットが“1”(外部トリガ/ハードウェアトリガ)の場合 AD0CON2レジスタのTRG0ビットで条件を選択 •TRG0ビットが“0” ADSTビットを“1”にした後、$\overline{\text{ADTRG}}$端子への入力信号が“H”から“L”に変化したとき •TRG0ビットが“1” ADSTビットを“1”にした後、三相モータ制御用タイマ機能の(割り込み発生頻度設定回路通過後の)タイマB2割り込み要求が発生したとき
停止条件	•A/D変換終了時(ソフトウェアトリガ選択時、ADSTビットは“0”になる) •ADSTビットを“0”(A/D変換停止)にしたとき
割り込み要求発生タイミング	•AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合、掃引終了時に発生 •DUSビットが“1”(DMAC利用モード有効)の場合、各A/D変換終了時に発生
入力端子	ANi_0 (i=なし、0、2、15)とANi_1 (2端子)、ANi_0~ANi_3 (4端子)、ANi_0~ANi_5 (6端子)、またはANi_0~ANi_7 (8端子)から選択
A/D変換値の読み出し	AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合 選択した端子に対応したAD0jレジスタ(j=0~7)を読み出してください DUSビットが“1”(DMAC利用モード有効)の場合 「13. DMAC」を参照し、DMACの設定も行ってください A/D変換完了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます プログラムでAD00レジスタを読み出さないでください

19.1.4 繰り返し掃引モード0

選択した複数の端子の入力電圧を繰り返し変換するモードです。表19.5に繰り返し掃引モード0の仕様を示します。

表19.5 繰り返し掃引モード0の仕様

項目	仕様
機能	AD0CON1レジスタのSCAN1~SCAN0ビットとAD0CON2レジスタのAPS1~APS0ビットで選択した複数の端子の入力電圧を繰り返し変換する
開始条件	AD0CON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 AD0CON0レジスタのADSTビットを“1”(A/D変換開始)にしたとき TRGビットが“1”(外部トリガ/ハードウェアトリガ)の場合 AD0CON2レジスタのTRG0ビットで条件を選択 •TRG0ビットが“0” ADSTビットを“1”にした後、$\overline{\text{ADTRG}}$端子への入力信号が“H”から“L”に変化したとき •TRG0ビットが“1” ADSTビットを“1”にした後、三相モータ制御用タイマ機能の(割り込み発生頻度設定回路通過後の)タイマB2割り込み要求が発生したとき
停止条件	•ADSTビットを“0”(A/D変換停止)にしたとき
割り込み要求発生タイミング	•AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合、発生しない •DUSビットが“1”(DMAC利用モード有効)の場合、各A/D変換終了時に発生
入力端子	ANi_0 (i=なし、0、2、15)とANi_1 (2端子)、ANi_0~ANi_3 (4端子)、ANi_0~ANi_5 (6端子)、またはANi_0~ANi_7 (8端子)から選択
A/D変換値の読み出し	AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合 選択した端子に対応したAD0jレジスタ(j=0~7)を読み出してください DUSビットが“1”(DMAC利用モード有効)の場合 •変換結果をDMACで転送する場合 「13. DMAC」を参照し、DMACの設定も行ってください A/D変換完了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます プログラムでAD00レジスタを読み出さないでください •変換結果をプログラムで転送する場合 AD0ICレジスタのIRビットが“1”になった後、AD00レジスタを読み出してください。IRビットは“0”にしてください

19.1.5 繰り返し掃引モード1

選択した1~4本の端子に重点をおいて、8本の端子の入力電圧を繰り返し変換するモードです。表 19.6に繰り返し掃引モード1の仕様を示します。

表 19.6 繰り返し掃引モード1の仕様

項目	仕様
機能	AD0CON1レジスタのSCAN1~SCAN0ビットとAD0CON2レジスタのAPS1~APS0ビットで選択した1~4本の端子に重点をおいて、8本の端子の入力電圧を繰り返し変換する 例:AN_0を選択した場合AN_0→AN_1→AN_0→AN_2→AN_0→AN_3•••の順にA/D変換を行う
開始条件	AD0CON0レジスタのTRGビットが“0” (ソフトウェアトリガ)の場合 AD0CON0レジスタのADSTビットを“1” (A/D変換開始)にしたとき TRGビットが“1” (外部トリガ/ハードウェアトリガ)の場合 AD0CON2レジスタのTRG0ビットで条件を選択 • TRG0ビットが“0” ADSTビットを“1”にした後、$\overline{\text{ADTRG}}$端子への入力信号が“H”から“L”に変化したとき(再トリガは無効です) • TRG0ビットが“1” ADSTビットを“1”にした後、三相モータ制御用タイマ機能の(割り込み発生頻度設定回路通過後の)タイマB2割り込み要求が発生したとき
停止条件	• ADSTビットを“0” (A/D変換停止)にしたとき
割り込み要求発生タイミング	• AD0CON3レジスタのDUSビットが“0” (DMAC利用モード無効)の場合、発生しない • DUSビットが“1” (DMAC利用モード有効)の場合、各A/D変換終了時に発生
入力端子	ANi_0~ANi_7 (8端子) (i=なし、0、2、15)
重点的にA/D変換を行う端子	ANi_0 (1端子)、ANi_0とANi_1 (2端子)、ANi_0~ANi_2 (3端子)、ANi_0~ANi_3 (4端子) から選択
A/D変換値の読み出し	AD0CON3レジスタのDUSビットが“0” (DMAC利用モード無効)の場合 選択した端子に対応したAD0jレジスタ(j=0~7)を読み出してください DUSビットが“1” (DMAC利用モード有効)の場合 • 変換結果をDMACで転送する場合 「13. DMAC」を参照し、DMACの設定も行ってください A/D変換完了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます プログラムでAD00レジスタを読み出さないでください • 変換結果をプログラムで転送する場合 AD0ICレジスタのIRビットが“1”になった後、AD00レジスタを読み出してください。IRビットは“0”にしてください

19.1.6 マルチポート単掃引モード

選択した16本の端子の入力電圧を1回ずつ変換するモードです。
AD0CON3レジスタのDUSビットを“1” (DMAC利用モード有効)にしてください。
表 19.7にマルチポート単掃引モードの仕様を示します。

表 19.7 マルチポート単掃引モードの仕様

項目	仕様
機能	AD0CON4レジスタのMPS11~MPS10ビットで選択した16本の端子の入力電圧を、AN_0~AN_7→ANi_0~ANi_7 (i=0, 2, 15)の順に1回ずつ変換する 例:MPS11~MPS10ビットが“10b” (AN_0~AN_7, AN0_0~AN0_7)の場合 AN_0→AN_1→AN_2→AN_3→AN_4→AN_5→AN_6→AN_7→AN0_0→•••→AN0_6→AN0_7の順にA/D変換を行う
開始条件	AD0CON0レジスタのTRGビットが“0” (ソフトウェアトリガ)の場合 AD0CON0レジスタのADSTビットを“1” (A/D変換開始)にしたとき TRGビットが“1” (外部トリガ/ハードウェアトリガ)の場合 AD0CON2レジスタのTRG0ビットで条件を選択 •TRG0ビットが“0” ADSTビットを“1”にした後、$\overline{\text{ADTRG}}$端子への入力信号が“H”から“L”に変化したとき •TRG0ビットが“1” ADSTビットを“1”にした後、三相モータ制御用タイマ機能の(割り込み発生頻度設定回路通過後の)タイマB2割り込み要求が発生したとき
停止条件	•A/D変換終了時(ソフトウェアトリガ選択時、ADSTビットは“0”になる) •ADSTビットを“0” (A/D変換停止)にしたとき
割り込み要求発生タイミング	各A/D変換終了時に発生(DUSビットを“1”に設定してください)
入力端子	AN_0~AN_7→AN15_0~AN15_7、AN_0~AN_7→AN0_0~AN0_7、AN_0~AN_7→AN2_0~AN2_7から選択
A/D変換値の読み出し	DUSビットを“1”に設定してください 「13. DMAC」を参照し、DMACの設定も行ってください A/D変換完了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます プログラムでAD00レジスタを読み出さないでください

19.1.7 マルチポート繰り返し掃引モード0

選択した16本の端子の入力電圧を繰り返し変換するモードです。
AD0CON3レジスタのDUSビットを“1” (DMAC利用モード有効)にしてください。
表19.8にマルチポート繰り返し掃引モード0の仕様を示します。

表19.8 マルチポート繰り返し掃引モード0の仕様

項目	仕様
機能	AD0CON4レジスタのMPS11~MPS10ビットで選択した16本の端子の入力電圧を、AN_0~AN_7→ANi_0~ANi_7 (i=0, 2, 15)の順に繰り返し変換する 例:MPS11~MPS10ビットが“10b” (AN_0~AN_7, AN0_0~AN0_7)の場合 AN_0→AN_1→AN_2→AN_3→AN_4→AN_5→AN_6→AN_7→AN0_0→AN0_1→•••→AN0_6→AN0_7の順に、繰り返しA/D変換を行う
開始条件	AD0CON0レジスタのTRGビットが“0” (ソフトウェアトリガ)の場合 AD0CON0レジスタのADSTビットを“1” (A/D変換開始)にしたとき TRGビットが“1” (外部トリガ/ハードウェアトリガ)の場合 AD0CON2レジスタのTRG0ビットで条件を選択 • TRG0ビットが“0” ADSTビットを“1”にした後、$\overline{\text{ADTRG}}$端子への入力信号が“H”から“L”に変化したとき • TRG0ビットが“1” ADSTビットを“1”にした後、三相モータ制御用タイマ機能の(割り込み発生頻度設定回路通過後の)タイマB2割り込み要求が発生したとき
停止条件	• ADSTビットを“0” (A/D変換停止)にしたとき
割り込み要求発生タイミング	各A/D変換終了時に発生(DUSビットを“1”に設定してください)
入力端子	AN_0~AN_7→AN15_0~AN15_7、AN_0~AN_7→AN0_0~AN0_7、AN_0~AN_7→AN2_0~AN2_7から選択
A/D変換値の読み出し	DUSビットを“1”に設定してください 「13. DMAC」を参照し、DMACの設定も行ってください A/D変換完了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます プログラムでAD00レジスタを読み出さないでください

19.2 機能

19.2.1 分解能選択機能

AD0CON1レジスタのBITSビットで分解能を選択できます。BITSビットを“1”(変換精度は10ビット)にすると、A/D変換結果がAD0iレジスタ(i=0~7)のビット0~9に格納されます。BITSビットを“0”(変換精度は8ビット)にすると、A/D変換結果がAD0iレジスタのビット0~7に格納されます。

19.2.2 サンプル&ホールド

AD0CON2レジスタのSMPビットを“1”(サンプル&ホールドあり)にすると、1端子あたりの変換速度が向上し、分解能8ビットの場合28ϕADサイクル、分解能10ビットの場合33ϕADサイクルになります。サンプル&ホールドは、すべての動作モードで有効です。サンプル&ホールドの有無を選択してからA/D変換を開始してください。

19.2.3 トリガ選択機能

AD0CON0レジスタのTRGビットとAD0CON2レジスタのTRG0ビットの組み合わせにより、A/D変換の開始トリガを選択できます。表19.9にトリガ選択機能の設定を示します。

表19.9 トリガ選択機能設定

ビットと設定値		トリガ
AD0CON0レジスタ	AD0CON2レジスタ	
TRG=0	—	ソフトウェアトリガ AD0CON0レジスタのADSTビットを“1”にすると、A/D変換を開始する
TRG=1 (注1、2)	TRG0=0	外部トリガ $\overline{\text{ADTRG}}$入力信号の立ち下がりでA/D変換を開始する
	TRG0=1	ハードウェアトリガ 三相モータ制御用タイマ機能の(割り込み発生頻度設定回路通過後の)タイマB2割り込み要求でA/D変換を開始する

注1. ADSTビットが“1”(A/D変換開始)の状態で、トリガが発生するとA/D変換を開始します。
注2. A/D変換中に外部トリガまたはハードウェアトリガが入力されると、それまでに行っていたA/D変換は中断され、再度A/D変換を開始します。

19.2.4 DMAC利用モード

すべてのモードでDMAC利用モードが使用できます。マルチポート単掃引モードとマルチポート繰り返し掃引モード0の場合は、DMAC利用モードを使用してください。AD0CON3レジスタのDUSビットを“1”(DMAC利用モード有効)にすると、A/D変換結果はすべてAD00レジスタへ格納されます。DMACを利用することで、1端子のA/D変換が終了するたびに、AD00レジスタから任意のメモリ空間へDMA転送が行われます。分解能が8ビットの場合は8ビット転送を、分解能が10ビットの場合は16ビット転送を設定してください。DMACの使用方法については、「13. DMAC」を参照してください。

19.2.5 拡張アナログ入力端子

単発モードと繰り返しモードでは、ANEX0、ANEX1端子をアナログ入力端子として使用できます。AD0CON1レジスタのOPA1~OPA0ビットで選択してください(表19.10参照)。ANEX0入力のA/D変換結果はAD00レジスタへ、ANEX1入力のA/D変換結果はAD01レジスタへ格納されます。ただし、AD0CON3レジスタのDUSビットが“1”(DMAC利用モード有効)の場合、AD00レジスタへ格納されます。

拡張アナログ入力端子を使用する場合は、AD0CON2レジスタのAPS1~APS0ビットを“00b”(アナログ入力ポートはAN_0~AN_7、ANEX0、ANEX1)、AD0CON3レジスタのMSSビットを“0”(マルチポート掃引モード無効)にしてください。

表19.10 拡張アナログ入力端子の設定

AD0CON1レジスタ		ANEX0の機能	ANEX1の機能
OPA1	OPA0		
0	0	使用しない	使用しない
0	1	アナログ入力	使用しない
1	0	使用しない	アナログ入力
1	1	外部オペアンプへの出力	外部オペアンプからの入力

19.2.6 外部オペアンプ接続モード

拡張アナログ入力端子ANEX0、ANEX1を用いて複数のアナログ入力を1個の外部オペアンプで増幅できます。

AD0CON1レジスタのOPA1~OPA0ビットが“11b”(外部オペアンプ接続)のとき、AN_0~AN_7の入力をANEX0端子から出力します。この出力を外部オペアンプで増幅し、ANEX1端子へ入力してください。

A/D変換は、ANEX1入力に対して行われ、A/D変換結果は対応するAD0iレジスタ(i=0~7)に格納されます。A/D変換速度は外部オペアンプの応答特性に依存します。なお、ANEX0端子とANEX1端子を直結しないでください。

外部オペアンプ接続モードを使用する場合は、AD0CON2レジスタのAPS1~APS0ビットは“00b”にしてください。

図19.8に外部オペアンプ接続モードの接続例を示します。

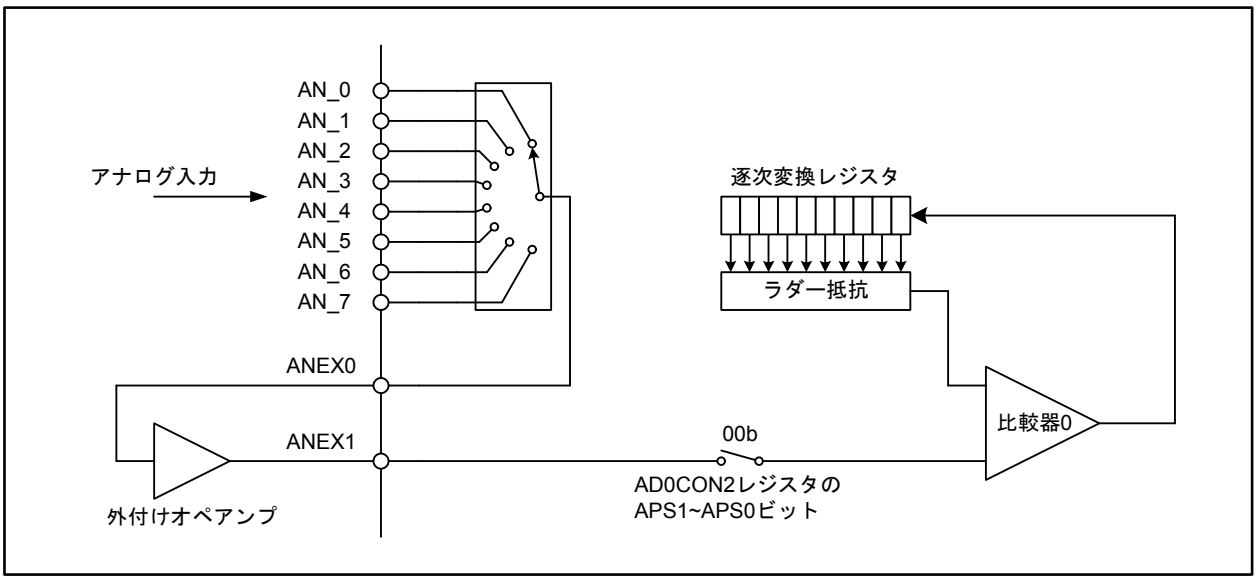


図19.8 外部オペアンプ接続モードの接続例

19.2.7 消費電流低減機能

A/Dコンバータを使用しないとき、AD0CON1レジスタのVCUTビットを“0” (VREF切断)にすることで、A/Dコンバータのラダー抵抗と基準電圧入力端子(VREF)を切り離すことができます。切り離すと、VREF端子からラダー抵抗へ供給される電流が流れなくなり、消費電力が少なくなります。

A/D コンバータを使用する場合は、VCUT ビットを“1” (VREF 接続) にして 1 µs 以上経過した後、AD0CON0 レジスタのADSTビットを“1” (A/D変換開始)にしてください。ADSTビットとVCUTビットに同時に“1”を書かないでください。

また、A/D変換中にVCUTビットを“0”にしないでください。

なお、VCUTビットはD/Aコンバータの供給電源には影響しません(図 19.9参照)。

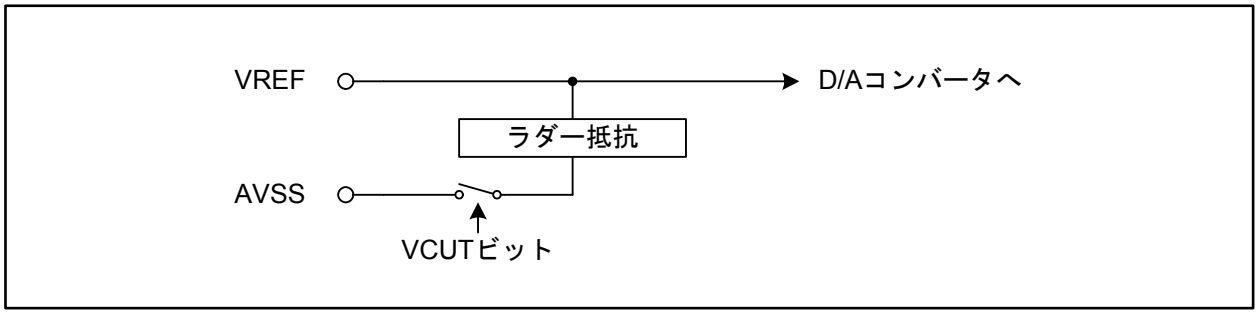


図 19.9 VCUTビットによる電源供給

19.2.8 センサの出力インピーダンス

図 19.10にアナログ入力端子と外部センサの等価回路を示します。

A/D変換を正しく行うためには、図 19.10に示す内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間をサンプリング時間といい、サンプル&ホールドなしのとき2ϕADサイクル、サンプル&ホールドありのとき3ϕADサイクルです。

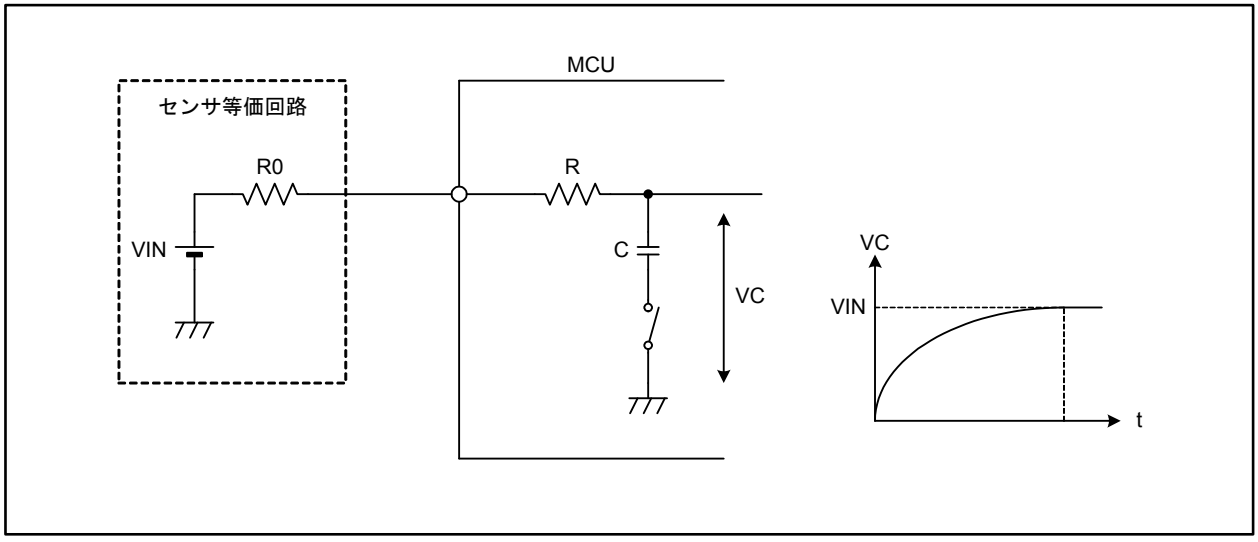


図 19.10 アナログ入力端子と外部センサの等価回路

サンプリング時間をT[s]、センサの出力インピーダンスをR0[Ω]、マイコンの内部抵抗をR[Ω]、A/Dコンバータの精度(誤差)をx[LSB]、分解能をy[階調](10ビットモード時1024、8ビットモード時256)とすると、コンデンサCの両端の電位差VCは、

$$VC = VIN\left\{1 - e^{-\frac{t}{C(R0+R)}}\right\}$$

で表され、t = Tのとき、変換誤差をx以下にするには、

$$VC = VIN - \frac{x}{y}VIN = VIN\left(1 - \frac{x}{y}\right)$$

でなければならないため、

$$e^{-\frac{T}{C(R0+R)}} = \frac{x}{y}$$

$$-\frac{T}{C(R0+R)} = \ln\frac{x}{y}$$

$$R0 = -\frac{T}{C\ln\frac{x}{y}} - R$$

と計算できます。

ϕAD = 10 MHz、サンプル&ホールドあり、10ビットモードのときに、誤差を0.1 LSB以下にするセンサの出力インピーダンスR0は、T = 0.3 µs、x = 0.1、y = 1024、R = 2.0 kΩ (参考値)、C = 6.5 pF (参考値)を代入して、

$$R0 = -\frac{0.3 \times 10^{-6}}{6.5 \times 10^{-12} \cdot \ln\frac{0.1}{1024}} - 2.0 \times 10^{3}$$

$$= 2998$$

と計算できます。

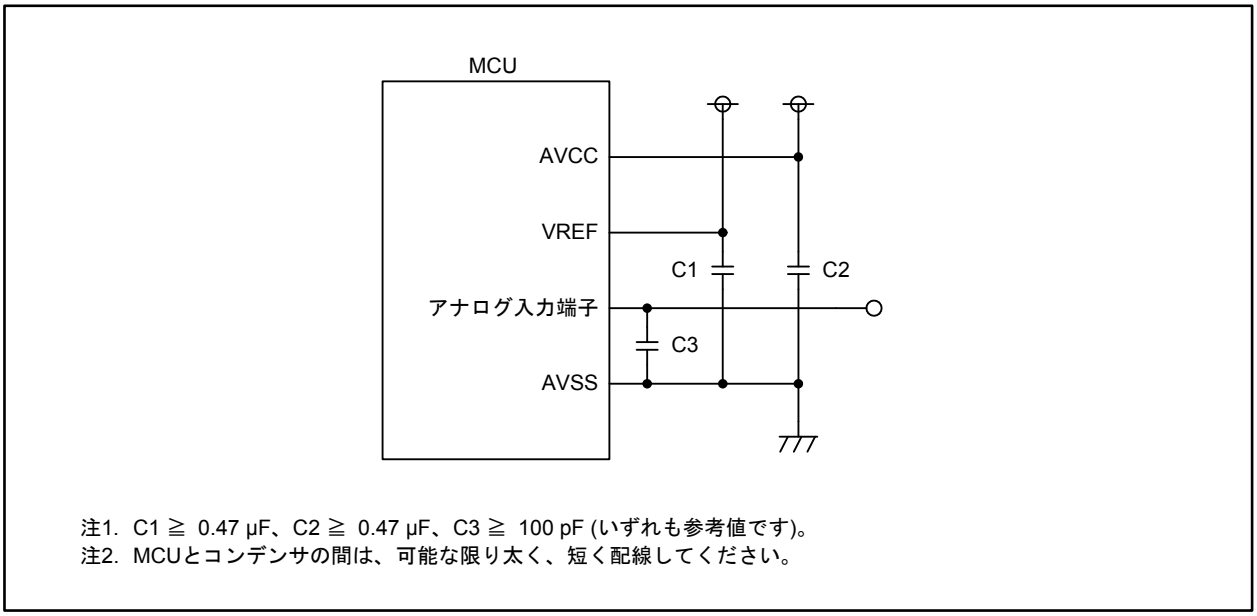
以上から、A/Dコンバータの精度(誤差)を0.1 LSB以下にするためには、センサの出力インピーダンスR0が約3 kΩ以下でないといけないことがわかります。

なお、実際の誤差は、上記の0.1 LSBに絶対精度が加わった値になります。

19.3 A/Dコンバータ使用上の注意

19.3.1 基板設計上の注意点

- ノイズによる誤動作やラッチアップの防止、または変換誤差の低減のため、AVCC端子、VREF端子、アナログ入力端子(AN_0~AN_7, AN0_0~AN0_7, AN2_0~AN2_7, AN15_0~AN15_7)とAVSS端子の間にそれぞれコンデンサを挿入してください。図 19.11に端子の処理例を示します。



注1. C1 ≧ 0.47 µF、C2 ≧ 0.47 µF、C3 ≧ 100 pF (いずれも参考値です)。
注2. MCUとコンデンサの間は、可能な限り太く、短く配線してください。

図 19.11 A/D関連端子の処理例

- キー入力割り込みを使用する場合、AN_4~AN_7は4本ともアナログ入力端子として使用しないでください(A/D入力電圧がVIL以下になると、キー入力割り込み要求が発生します)。

- AVCC = VREF = VCCの場合、AN_0~AN_7、AN0_0~AN0_7、AN2_0~AN2_7、AN15_0~AN15_7、ANEX0、ANEX1のA/D入力電圧はVCC以下にしてください。

19.3.2 プログラム作成上の注意点

- AD0CON0レジスタ(ADSTビットを除く)、AD0CON1レジスタ、AD0CON2レジスタ、AD0CON3レジスタ、AD0CON4レジスタは、A/D変換停止時(トリガ発生前)に書いてください。

- AD0CON1レジスタのVCUTビットを“0” (VREF未接続)から“1” (VREF接続)にしたときは、1 µs以上経過した後にA/D変換を開始させてください。A/D変換を行わないときは、消費電流を低減させるためにVCUTビットを“1”から“0”にしてください。

- アナログ入力端子として使用する端子に対応するポート方向ビットは“0” (入力)にしてください。また、対応するポートの機能選択レジスタのASELビットを“1” (A/D入力として使用する)にしてください。

- AD0CON0レジスタのTRGビットが“1” (外部トリガ・ハードウェアトリガ)の場合は、ADTRG端子に対応するポート方向ビット(PD9_7ビット)は“0” (入力)にしてください。

- φADは、VCC = 4.2 ~ 5.5 Vのとき16 MHz以下に、VCC = 3.0 ~ 4.2 Vのとき10 MHz以下にしてください。サンプル&ホールド機能なしの場合、φADの周波数は250 kHz以上にしてください。サンプル&ホールド機能ありの場合、φADの周波数は1 MHz以上にしてください。

- A/D動作モード(AD0CON0レジスタのMD1~MD0ビット、AD0CON1レジスタのMD2ビット)を変更した場合は、AD0CON0レジスタのCH2~CH0ビットまたは、AD0CON1レジスタのSCAN1~SCAN0ビットでアナログ入力端子を再選択してください。

- A/D変換結果がAD0iレジスタ(i=0~7)に格納される時にCPUがAD0iレジスタを読んだ場合、誤った値がAD0iレジスタに格納されることがあります。A/D変換が完了したことを確認してからAD0iレジスタを読んでください。
  単発モード、単掃引モードを使用する場合は、AD0ICレジスタのIRビットが“1” (割り込み要求あり)になったことを確認してから対象のAD0iレジスタを読んでください。
  繰り返しモード、繰り返し掃引モード0、繰り返し掃引モード1を使用する場合は、AD0CON3レジスタのDUSビットを“1” (DMAC利用モード有効)にすれば変換完了ごとに割り込み要求を発生させることができます。上と同様、AD0ICレジスタのIRビットが“1” (割り込み要求あり)になったことを確認してからAD00レジスタを読んでください。

- A/D変換中にAD0CON0レジスタのADSTビットを“0” (A/D変換停止)にしてA/D変換を中断した場合、A/Dコンバータの変換結果は不定となります。また、A/D変換を行っていないAD0iレジスタも不定になる場合があります。A/D変換を中断した場合は、いずれのAD0iレジスタの値も使用しないでください。

- DMAC利用モードでは、外部トリガは使用できません。また、変換結果をDMACで転送する場合、AD00レジスタをプログラムで読まないでください。

- 単掃引モードでA/D変換中にAD0CON0レジスタのADSTビットを“0” (A/D変換停止)にしてA/D変換を中断した場合、掃引が終了していないにもかかわらず割り込み要求が発生することがあります。A/D変換を中断する場合は、割り込みを禁止した後、ADSTビットを“0” (A/D変換停止)にしてください。

20. D/Aコンバータ

8ビットのR-2R抵抗ラダー方式によるD/Aコンバータです。独立した2つのD/Aコンバータがあります。

D/A変換は、対応したDAiレジスタ(i=0, 1)に値を書くと実行されます。変換結果を出力するかどうかはDACONレジスタのDAiEビットで選択してください。DAiEビットを“1”(出力許可)にするとDAi端子から変換結果が出力されます。なお、このとき対応するポートのプルアップは禁止されます。

出力されるアナログ電圧(V)は、DAiレジスタに設定した値n(nは10進数)で決まります。

$$V = \frac{VREF \times n}{256} \qquad (n = 0 \sim 255)$$

$VREF$: 基準電圧

表20.1にD/Aコンバータの仕様を、図20.1にD/Aコンバータのブロック図を、図20.2~図20.3にD/Aコンバータ関連レジスタを、図20.4にD/Aコンバータの等価回路を示します。

D/Aコンバータを使用しないときは、DAiレジスタを“00h”、DAiEビットを“0”(出力禁止)にしてください。

表20.1　D/Aコンバータの仕様

項目	仕様
変換方式	R-2R抵抗ラダー方式
分解能	8ビット
アナログ出力端子	2チャネル

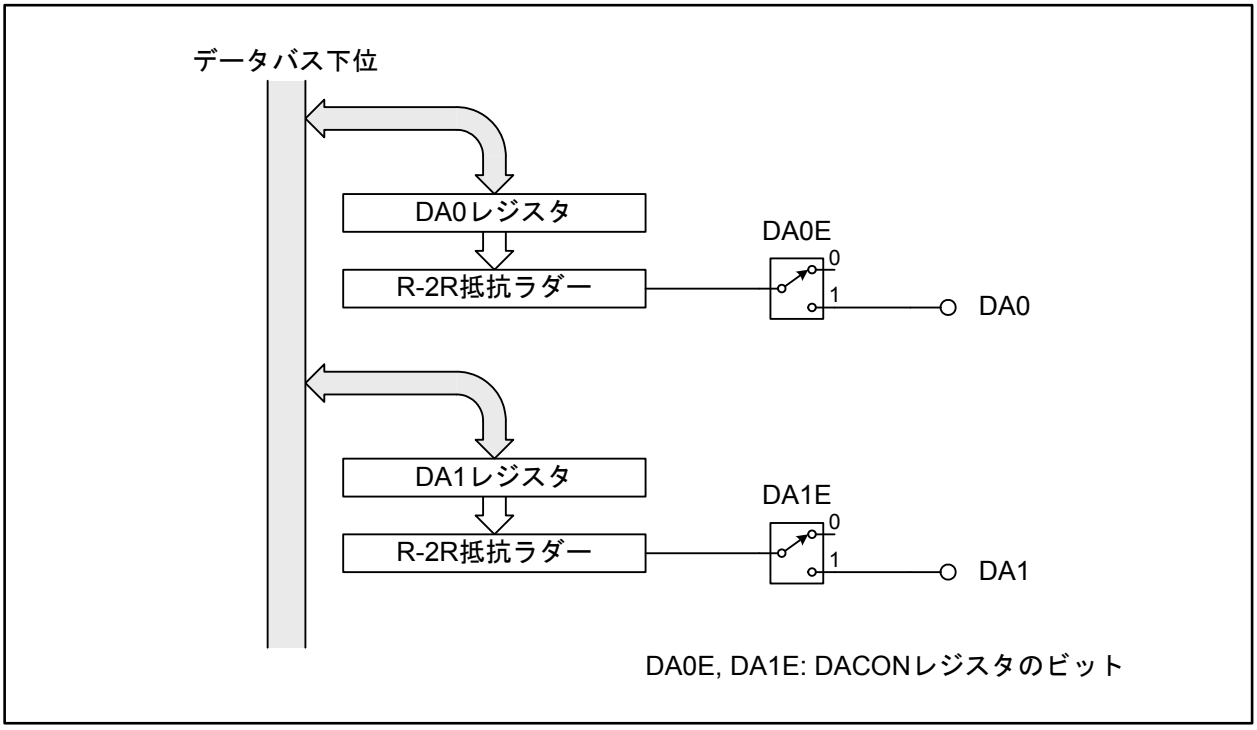
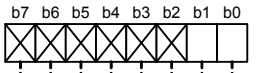


図20.1　D/Aコンバータのブロック図

D/A制御レジスタ

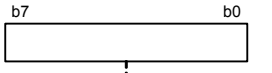


シンボル　DACON
アドレス　039Ch番地
リセット後の値　XXXX XX00b

ビットシンボル	ビット名	機　能	RW
DA0E	D/A0出力許可ビット	0: 出力禁止 1: 出力許可	RW
DA1E	D/A1出力許可ビット	0: 出力禁止 1: 出力許可	RW
— (b7-b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

図 20.2　DACON レジスタ

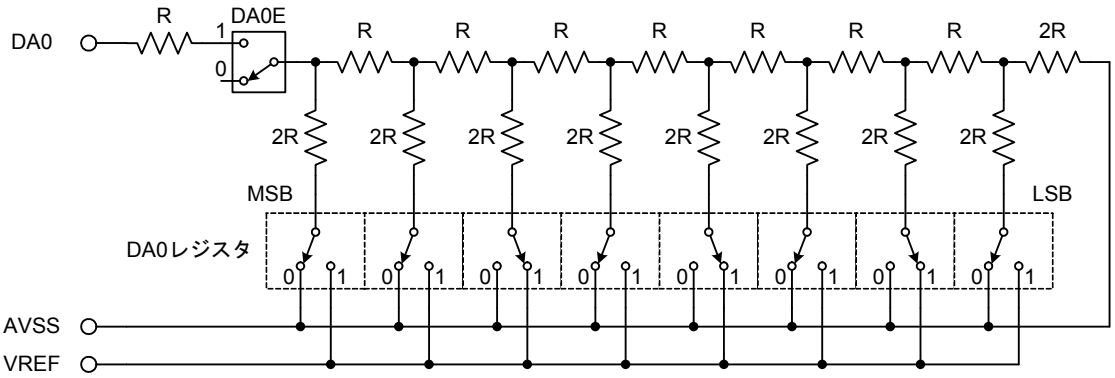
D/Aレジスタi (i=0, 1)



シンボル　DA0, DA1
アドレス　0398h、039Ah番地
リセット後の値　不定

機　能	設定範囲	RW
D/A変換の出力値	00h~FFh	RW

図 20.3　DA0、DA1 レジスタ



注1. 上図はDA0レジスタの値が“2Ah”の場合です。
注2. この回路はD/A1においても同様です。
注3. D/A変換器を使用しない場合には、不要な消費電流を小さくするためにDAiEビット (i=0, 1) を“0”(出力禁止)にし、DAiレジスタを“00h”にして、R-2R抵抗ラダーに電流が流れないようにしてください。

図 20.4　D/Aコンバータの等価回路

21. CRC演算回路

CRC (Cyclic Redundancy Check)演算回路は、データブロックの誤り検出に使用します。CRCコードの生成にはCRC-CCITT ($X^{16}+X^{12}+X^5+1$)の生成多項式を使用します。

CRCコードは、8ビット単位の任意長データブロックに対し生成される16ビットのコードです。CRCコードは、CRCDレジスタに初期値を設定した後、1バイトのデータをCRCINレジスタに書くごとに、CRCDレジスタに設定されます。

図21.1にCRC演算回路のブロック図、図21.2~図21.3にCRCの関連レジスタを示します。また、図21.4にCRC演算例を示します。

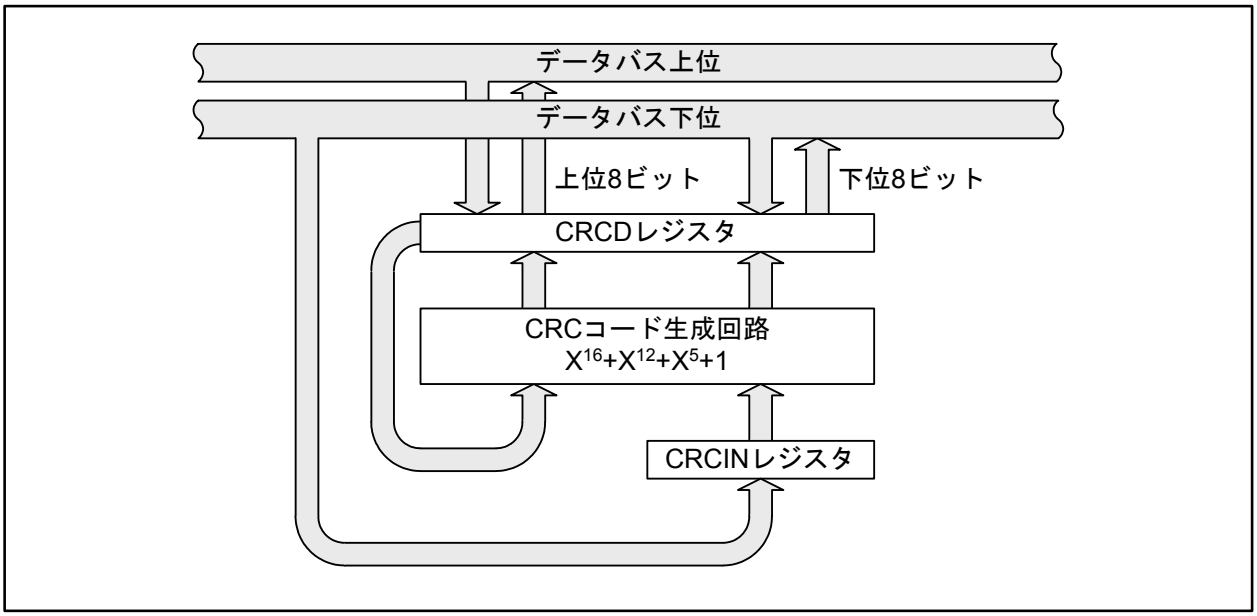


図21.1　CRC演算回路のブロック図

CRCデータレジスタ

b15　b8　b7　b0

シンボル	アドレス	リセット後の値
CRCD	037Dh-037Ch番地	不定

機　能	設定範囲	RW
CRC演算の結果が格納されています。 このレジスタにビット順を逆転した初期値を書いた後、 CRCINレジスタにデータを書くと、このレジスタからビット順を逆転したCRCコードが読めます	0000h~FFFFh	RW

図21.2　CRCDレジスタ

CRCインプットレジスタ

b7	b0	シンボル	アドレス	リセット後の値
		CRCIN	037Eh番地	不定

機　能	設定範囲	RW
データ入力。 データは、ビット順を逆転させてください	00h~FFh	RW

図 21.3　CRCIN レジスタ

“80C4h”のCRCコードを生成する場合の設定手順とCRC演算

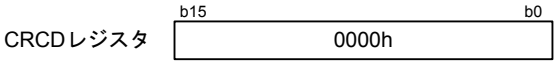
● CRC演算回路の仕様

CRCコード: CRCINレジスタに書いた値のビット順を逆転したものを被除数、生成多項式を除数とする除算の剰余
生成多項式: $X^{16}+X^{12}+X^5+1$ (1 0001 0000 0010 0001b)

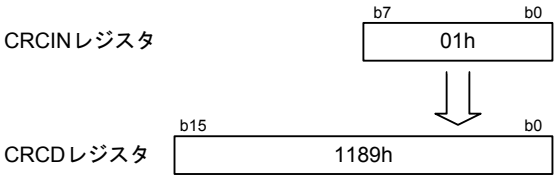
● 設定手順

(1) プログラムで“80C4h”のビット順をバイト単位で逆転させる
“80h”→“01h”、“C4h”→“23h”

(2) CRCDレジスタに初期値:0000hを書く

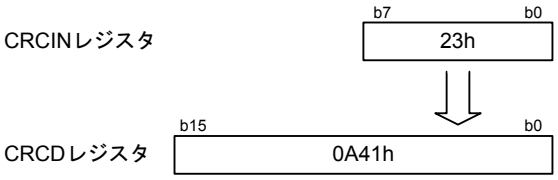


(3) CRCINレジスタに80hのビット逆転値01hを書く



2サイクル後、“80h”のCRCコード(9188h)の、ビット順を逆転した“1189h”がCRCDレジスタに格納される

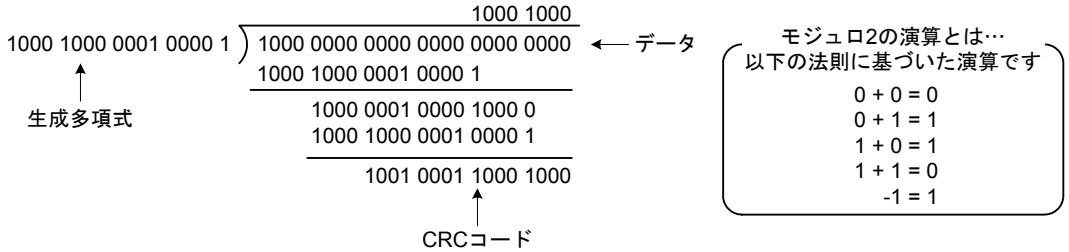
(4) CRCINレジスタにC4hのビット逆転値23hを書く



2サイクル後、“80C4h”のCRCコード(8250h)の、ビット位置を反転した“0A41h”がCRCDレジスタに格納される

● CRC演算詳細

上記(3)の場合、“80h (1000 0000b)”を左へ16ビットシフトした“1000 0000 0000 0000 0000 0000b”と、CRCDレジスタの初期値“0000h”を左へ8ビットシフトした“0000 0000 0000 0000 0000 0000b”を加算した値のモジュロ2除算を行う。



剰余“1001 0001 1000 1000b (9188h)”のビット順を逆転した“0001 0001 1000 1001b (1189h)”がCRCDレジスタから読める。

続けて上記(4)の場合、“C4h (1100 0100b)”を左へ16ビットシフトした“1100 0100 0000 0000 0000 0000b”と、CRCDレジスタに残っている(3)の剰余を左へ8ビットシフトした“1001 0001 1000 1000 0000 0000b”を加算した値のモジュロ2除算を行う。
剰余“1000 0010 0101 0000b (8250h)”のビット順を逆転した“0000 1010 0100 0001b (0A41h)”がCRCDレジスタから読める。

図 21.4　CRC演算例

22. X-Y変換回路

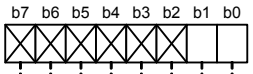
X-Y変換回路は16×16ビットのマトリクスデータを90度回転させたり、16ビットデータのビット順を逆転させることができます。

X-Y変換回路の動作はXYCレジスタにより設定します。図22.1にXYCレジスタを示します。

また、データの書き込みはXiRレジスタ(i=0~15)から、変換したデータの読み出しはYjRレジスタ(j=0~15)から行います。XiRレジスタとYjRレジスタは同一アドレスに配置されており、XiRレジスタは書き込み専用、YjRレジスタは読み出し専用です。

図22.2にXiRレジスタ、図22.3にYjRレジスタを示します。XiRレジスタとYjRレジスタは偶数番地から16ビット単位でアクセスしてください。8ビット単位でアクセスした時の動作は不定となります。

X-Y制御レジスタ

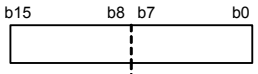


シンボル	アドレス	リセット後の値
XYC	02E0h番地	XXXX XX00b

ビットシンボル	ビット名	機　能	RW
XYC0	読み出しモード設定ビット	0: データ回転あり 1: データ回転なし	RW
XYC1	書き込みモード設定ビット	0: ビット逆転なし 1: ビット逆転あり	RW
— (b7-b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

図22.1　XYCレジスタ

Xiレジスタ (i=0~15) (注1)



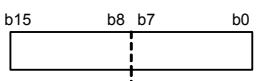
シンボル	アドレス	リセット後の値
X0R~X2R	02C1h-02C0h、02C3h-02C2h、02C5h-02C4h番地	不定
X3R~X5R	02C7h-02C6h、02C9h-02C8h、02CBh-02CAh番地	不定
X6R~X8R	02CDh-02CCh、02CFh-02CEh、02D1h-02D0h番地	不定
X9R~X11R	02D3h-02D2h、02D5h-02D4h、02D7h-02D6h番地	不定
X12R~X14R	02D9h-02D8h、02DBh-02DAh、02DDh-02DCh番地	不定
X15R	02DFh-02DEh番地	不定

機　能	設定範囲	RW
X-Y変換回路の入力値	0000h~FFFFh	WO

注1. 書き込みは16ビット単位で行ってください。

図22.2　X0R~X15Rレジスタ

Yjレジスタ (j=0~15) (注1)



シンボル	アドレス	リセット後の値
Y0R~Y2R	02C1h-02C0h、02C3h-02C2h、02C5h-02C4h番地	不定
Y3R~Y5R	02C7h-02C6h、02C9h-02C8h、02CBh-02CAh番地	不定
Y6R~Y8R	02CDh-02CCh、02CFh-02CEh、02D1h-02D0h番地	不定
Y9R~Y11R	02D3h-02D2h、02D5h-02D4h、02D7h-02D6h番地	不定
Y12R~Y14R	02D9h-02D8h、02DBh-02DAh、02DDh-02DCh番地	不定
Y15R	02DFh-02DEh番地	不定

機　能	RW
X-Y変換回路の変換結果	RO

注1. 読み出しは16ビット単位で行ってください。

図 22.3　Y0R~Y15R レジスタ

22.1　読み出し時のデータ変換

YjR レジスタの読み出し方法は、XYC レジスタの XYC0 ビットで選択できます。

XYC0 ビットが“0” (データ回転あり) で YjR レジスタを読むと、X0R~X15R レジスタのビット j を同時に読めます。

例えば、Y0R レジスタを読むと、ビット 0 で X0R レジスタのビット 0、ビット 1 で X1R レジスタのビット 0、•••、ビット 14 で X14R レジスタのビット 0、ビット 15 で X15R レジスタのビット 0 が読めます。同様に Y15R レジスタを読むと、ビット 0 で X0R レジスタのビット 15、ビット 1 で X1R レジスタのビット 15、•••、ビット 14 で X14R レジスタのビット 15、ビット 15 で X15R レジスタのビット 15 が読めます。

図 22.4 に XYC0 ビットが“0”の場合の変換テーブルを、図 22.5 に X-Y 変換例を示します。

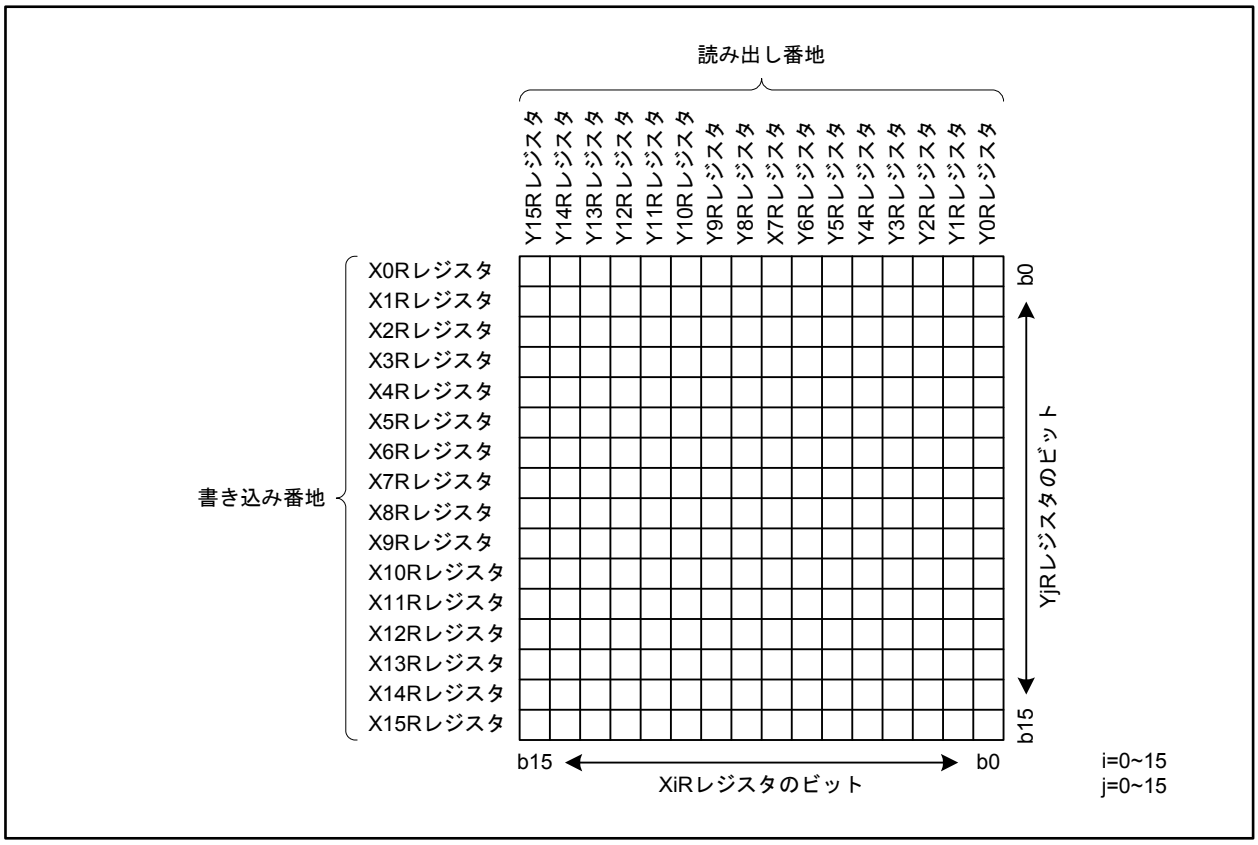


図 22.4　XYC0ビットが“0”の場合の変換テーブル図

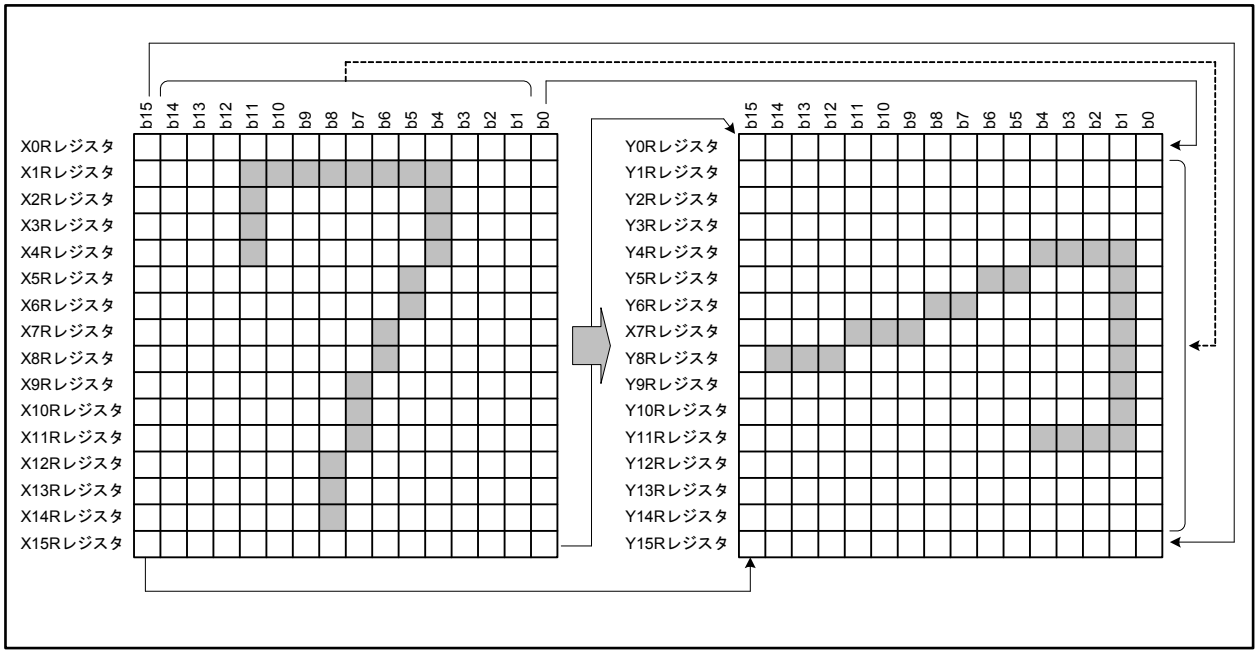


図 22.5　X-Y変換例

XYCレジスタのXYC0ビットを“1”(データ回転なし)にしてYjRレジスタを読むと、XiRレジスタに書かれた値がそのまま読めます。図22.6にXYC0ビットが“1”の場合の変換テーブルを示します。

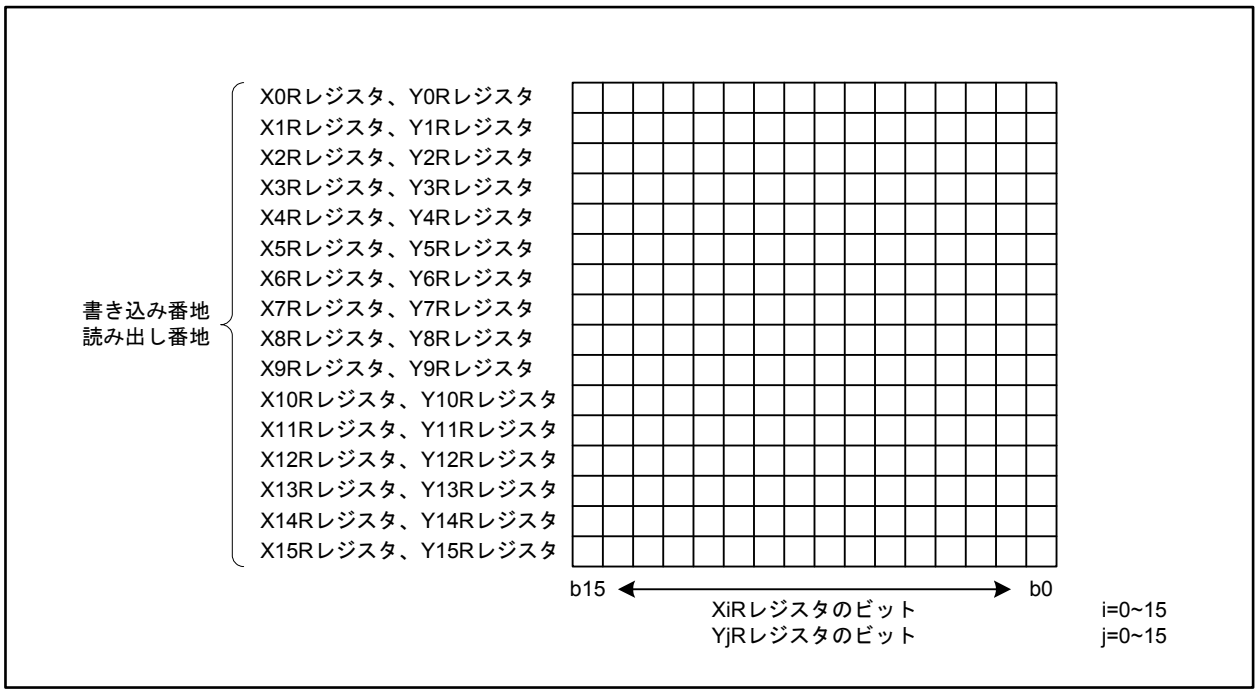


図22.6　XYC0ビットが“1”の場合の変換テーブル

22.2　書き込み時のデータ変換

XiRレジスタに書く値のビット配置は、XYCレジスタのXYC1ビットで選択できます。

XYC1ビットを“0”(ビット逆転なし)にしてXiRレジスタに書くと、ビット順はそのまま書かれます。

XYC1ビットを“1”(ビット逆転あり)にしてXiRレジスタに書くと、ビット順を逆転して書きます。図22.7にXYC1ビットが“1”の場合の変換を示します。

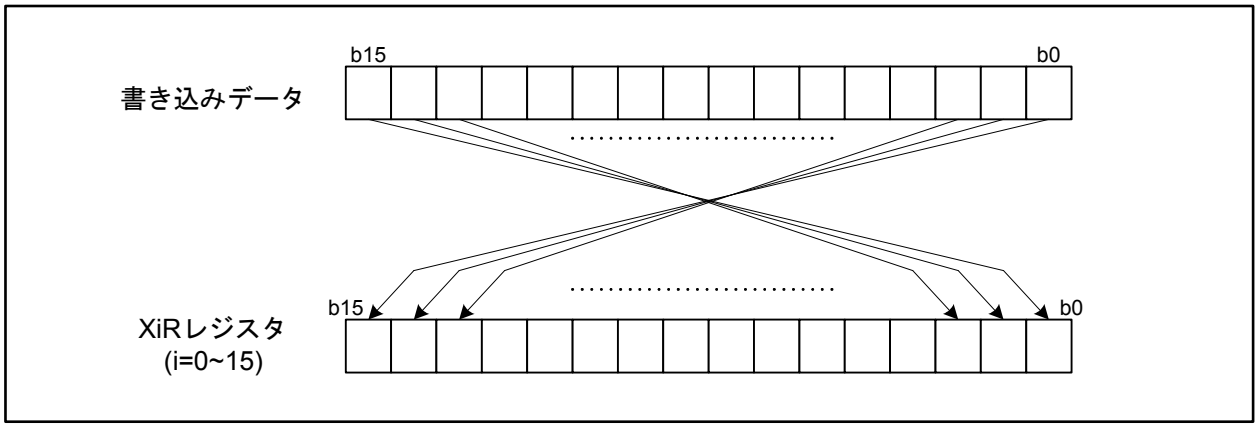


図22.7　XYC1ビットが“1”の場合の変換

23. インテリジェントI/O

インテリジェントI/Oは、時間計測、波形生成、可変長クロック同期シリアルI/O、IEBus通信(オプション)を実現できる高機能入出力ポートです。

インテリジェントI/Oは3つのグループがあり、各グループは、フリーラン動作を行う16ビットベースタイマを1本、時間計測または波形生成用16ビットレジスタを8本備えています。

表 23.1にインテリジェントI/Oの機能とチャネルを示します。

表 23.1　インテリジェントI/Oの機能とチャネル

機能		グループ0	グループ1	グループ2
時間計測(注1)	デジタルフィルタ	8チャネル	8チャネル	なし
	トリガ入力プリスケーラ	2チャネル	2チャネル	
	トリガ入力ゲート	2チャネル	2チャネル	
波形生成(注1)	単相波形出力モード	8チャネル	8チャネル	8チャネル
	反転波形出力モード	8チャネル	8チャネル	8チャネル
	SR波形出力モード	8チャネル	8チャネル	8チャネル
	ビットモジュレーションPWMモード	なし	なし	8チャネル
	RTPモード			8チャネル
	並列RTPモード			8チャネル
通信	可変長クロック同期型シリアルI/Oモード	なし	なし	あり
	IEBusモード(オプション(注2))			

注1.　時間計測機能と波形生成機能は端子を共有しています。
注2.　オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

時間計測機能と波形生成機能は、チャネルごとに機能を選択できます。

図 23.1~図 23.3にインテリジェントI/Oのブロック図を示します。

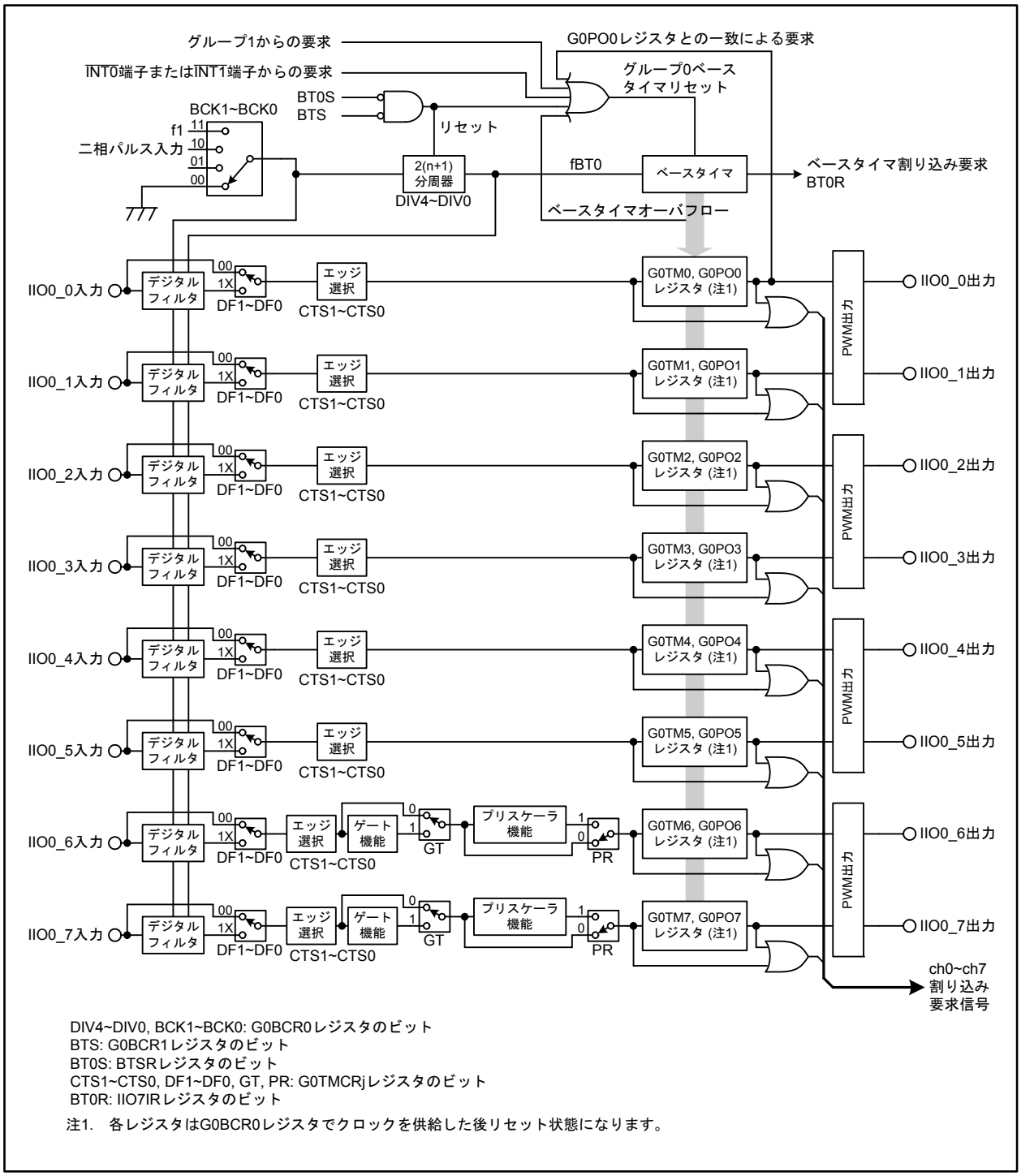
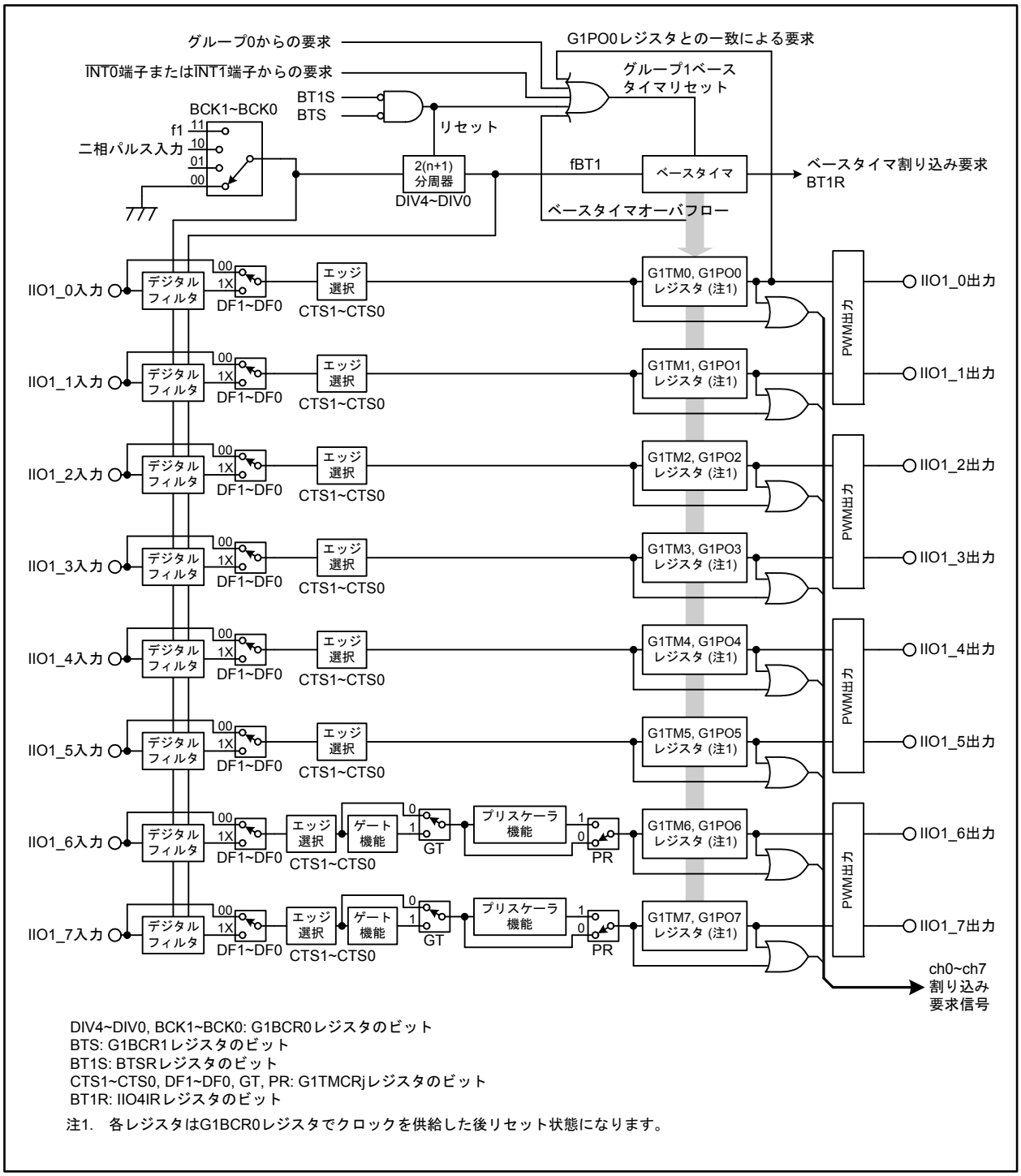


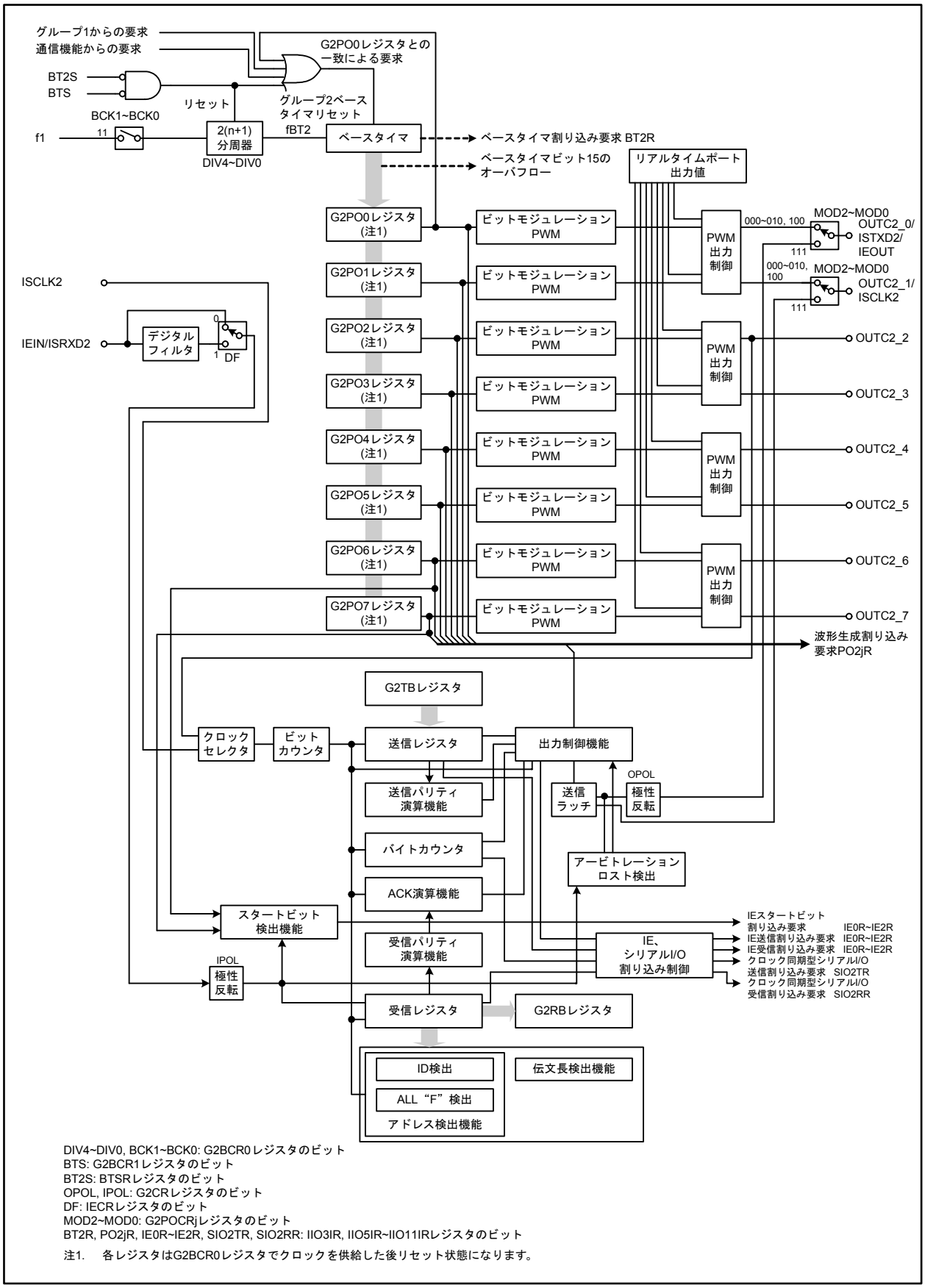
図 23.1　インテリジェントI/Oグループ0ブロック図(j=0~7)



DIV4~DIV0, BCK1~BCK0: G1BCR0レジスタのビット
BTS: G1BCR1レジスタのビット
BT1S: BTSRレジスタのビット
CTS1~CTS0, DF1~DF0, GT, PR: G1TMCRjレジスタのビット
BT1R: IIO4IRレジスタのビット

注1.　各レジスタはG1BCR0レジスタでクロックを供給した後リセット状態になります。

図 23.2　インテリジェントI/Oグループ1ブロック図(j=0~7)



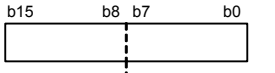
DIV4~DIV0, BCK1~BCK0: G2BCR0レジスタのビット
BTS: G2BCR1レジスタのビット
BT2S: BTSRレジスタのビット
OPOL, IPOL: G2CRレジスタのビット
DF: IECRレジスタのビット
MOD2~MOD0: G2POCRjレジスタのビット
BT2R, PO2jR, IE0R~IE2R, SIO2TR, SIO2RR: IIO3IR, IIO5IR~IIO11IRレジスタのビット

注1.　各レジスタはG2BCR0レジスタでクロックを供給した後リセット状態になります。

図 23.3　インテリジェントI/Oグループ2ブロック図(j=0~7)

図 23.4~図 23.17にインテリジェントI/Oのベースタイマ、時間計測機能、波形生成機能関連レジスタを示します(通信機能関連レジスタは図 23.33~図 23.40を参照してください)。

グループi ベースタイマレジスタ (i=0~2) (注1)



シンボル	アドレス	リセット後の値
G0BT, G1BT	01A1h-01A0h、0121h-0120h番地	不定
G2BT	0161h-0160h番地	不定

機　能	設定範囲	RW
・ベースタイマ動作中 読むと、ベースタイマの値が読める。書くと、書いた直後に書いた値からカウントする。ベースタイマをリセットすると“0000h”になる ・ベースタイマリセット中 “0000h”になるが、読んだ値は不定。値は書けない (注2)	0000h~FFFFh	RW

注1. GiBTレジスタには、fBTiの半周期遅れてベースタイマの値が反映されます。
注2. ベースタイマは、GiBCR0レジスタのBCK1~BCK0ビットが“00b”(カウントソースクロック停止) のとき停止し、それ以外は動作します。ただし、BTSRレジスタのBTiSビットと、GiBCR1レジスタのBTSビットを両方“0”(ベースタイマリセット) にすることにより、“0000h”のままカウントしない状態にすることができます。
BTiSビットと、BTSビットのどちらかを“1”(ベースタイマカウント開始) にすると、この状態が解除され、カウントを開始します。

図 23.4　G0BT~G2BT レジスタ

グループi ベースタイマ制御レジスタ0 (i=0~2)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット後の値
G0BCR0~G2BCR0	01A2h、0122h、0162h番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
BCK0	カウントソース選択ビット	b1 b2 0 0 : クロック停止 0 1 : 設定しないでください 1 0 : 二相パルス入力 (注1) 1 1 : f1	RW
BCK1			RW
DIV0	カウントソース分周比選択ビット	設定値をn (n=0~31) とすると、カウントソースを 2(n+1) 分周する。ただし、n=31 のときは分周なし b6 b5 b4 b3 b2 0 0 0 0 0 : 2分周 (n=0) 0 0 0 0 1 : 4分周 (n=1) 0 0 0 1 0 : 6分周 (n=2) : 1 1 1 1 0 : 62分周 (n=30) 1 1 1 1 1 : 分周なし (n=31)	RW
DIV1			RW
DIV2			RW
DIV3			RW
DIV4			RW
IT	ベースタイマ割り込み要因選択ビット	0: ビット15またはビット9のオーバフロー 1: ビット14のオーバフロー	RW

注1. グループ0またはグループ1でGjBCR1レジスタ (j=0, 1) のUD1~UD0ビットが“10b”(二相パルス信号処理モード) の場合のみ使用できます。他のモードまたはグループ2ではBCK1~BCK0ビットを“10b”にしないでください。

図 23.5　G0BCR0~G2BCR0 レジスタ

グループi ベースタイマ制御レジスタ1 (i=0, 1)

b7	b6	b5	b4	b3	b2	b1	b0
0				0			

シンボル: G0BCR1, G1BCR1　　アドレス: 01A3h、0123h番地　　リセット後の値: 0000 0000b

ビットシンボル	ビット名	機　能	RW
RST0	ベースタイマリセット要因選択ビット0	0: この要因ではベースタイマをリセットしない 1: 他グループのベースタイマのベースタイマリセットに同期してベースタイマをリセットする (注1)	RW
RST1	ベースタイマリセット要因選択ビット1	0: この要因ではベースタイマをリセットしない 1: GiPO0レジスタとベースタイマの一致でベースタイマをリセットする (注2)	RW
RST2	ベースタイマリセット要因選択ビット2	0: この要因ではベースタイマをリセットしない 1: INT0/INT1端子への“L”入力でベースタイマをリセットする (注3)	RW
— (b3)	予約ビット	“0”にしてください	RW
BTS	ベースタイマスタートビット (注4、5)	0: ベースタイマリセット 1: ベースタイマカウント開始	RW
UD0	アップ、ダウン制御ビット	b6 b5 0 0 : アップカウントモード 0 1 : アップダウンカウントモード 1 0 : 二相パルス信号処理モード (注6) 1 1 : 設定しないでください	RW
UD1			RW
— (b7)	予約ビット	“0”にしてください	RW

注1. グループ0の場合グループ1ベースタイマ、グループ1の場合グループ0ベースタイマのベースタイマリセットに同期してベースタイマをリセットします。
注2. ベースタイマとGiPO0レジスタの値が一致すると、fBTiの2クロックサイクル後にベースタイマをリセットします。RST1ビットが“1”の場合、波形生成機能に使用するGiPOjレジスタ (j=1~7) の値は、GiPO0レジスタより小さな値にしてください。
注3. IFS2レジスタでUDiZ信号用に選択した外部割り込み入力端子に“L”を入力すると、ベースタイマをリセットします。
注4. グループ0、1のベースタイマのカウントを別々に開始させる場合は、BTSRレジスタのBTkSビット (k=0, 1) を“0”(ベースタイマリセット) にした後、BTSビットを“1”にしてください。
注5. 複数グループのベースタイマのカウントを同時に開始させる場合は、BTSRレジスタを使用してください。このとき、BTSビットは“0”にしてください。
注6. 二相パルス信号処理モードでは、RST1ビットが“1”でもGiPO0レジスタとベースタイマが一致した2サイクル後がダウンカウントの場合、ベースタイマはリセットされません。

図 23.6　G0BCR1、G1BCR1 レジスタ

グループ2ベースタイマ制御レジスタ1

b7	b6	b5	b4	b3	b2	b1	b0
	0	0		0			

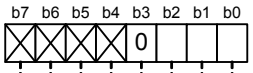
シンボル　G2BCR1
アドレス　0163h番地
リセット後の値　0000 0000b

ビットシンボル	ビット名	機　能	RW
RST0	ベースタイマリセット要因選択ビット0	0: グループ1ベースタイマのベースタイマリセットに同期してベースタイマをリセットしない 1: グループ1ベースタイマのベースタイマリセットに同期してベースタイマをリセットする	RW
RST1	ベースタイマリセット要因選択ビット1	0: G2PO0レジスタとの一致でベースタイマをリセットしない 1: G2PO0レジスタとの一致でベースタイマをリセットする　(注1)	RW
RST2	ベースタイマリセット要因選択ビット2	0: 通信機能からのリセット要求でベースタイマをリセットしない 1: 通信機能からのリセット要求でベースタイマをリセットする	RW
— (b3)	予約ビット	“0”にしてください	RW
BTS	ベースタイマスタートビット　(注2、3)	0: ベースタイマリセット 1: ベースタイマカウント開始	RW
— (b6-b5)	予約ビット	“0”にしてください	RW
PRP	並列リアルタイムポート機能選択ビット　(注4)	0: RTP出力モード 1: 並列RTP出力モード	RW

注1. ベースタイマとG2PO0レジスタの値が一致すると、fBT2の2クロックサイクル後にベースタイマをリセットします。RST1ビットが“1”の場合、波形生成機能、通信機能に使用するG2POjレジスタ (j=1~7) の値は、G2PO0レジスタより小さな値にしてください。
注2. グループ2のベースタイマのカウントを開始させる場合は、BTSRレジスタのBT2Sビットを“0”(ベースタイマリセット) にした後、BTSビットを“1”にしてください。
注3. 複数グループのベースタイマのカウントを同時に開始させる場合は、BTSRレジスタを使用してください。このとき、BTSビットは“0”にしてください。
注4. G2POCRiレジスタのRTPビットが“1”(リアルタイムポートを使用する) のとき有効です。

図 23.7　G2BCR1 レジスタ

ベースタイマスタートレジスタ (注1、2)



シンボル	アドレス	リセット後の値
BTSR	0164h番地	XXXX 0000b

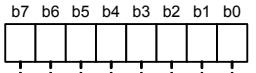
ビットシンボル	ビット名	機　能	RW
BT0S	グループ0ベースタイマスタートビット	0: ベースタイマリセット 1: ベースタイマカウント開始	RW
BT1S	グループ1ベースタイマスタートビット	0: ベースタイマリセット 1: ベースタイマカウント開始	RW
BT2S	グループ2ベースタイマスタートビット	0: ベースタイマリセット 1: ベースタイマカウント開始	RW
— (b3)	予約ビット	“0”にしてください	RW
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. インテリジェントI/Oを使用する場合、初期設定時に以下の設定をしてください。
(1) G2BCR0レジスタを設定し、グループ2ベースタイマにクロックを供給する。
(2) BT0S~BT2Sビットをすべて“0”にする。
(3) その他のインテリジェントI/O関連レジスタを設定する。
なお、BTiSビット (i=0~2) は、複数グループのベースタイマのカウントを同時に開始させるためのビットです。各ベースタイマのカウントを別々に開始させる場合は、BTiSビットを“0”にしてGiBCR1レジスタのBTSビットを使用してください。

注2. 複数のベースタイマのカウントを同時に開始させる場合、以下のようにしてください。ベースタイマを別々に開始させる場合には必要ありません。
・同時に開始させるグループのGiBCR0レジスタ (i=0~2のうちの複数) のBCK1~BCK0ビットとDIV4~DIV0ビットは、同じ値にしてください。
・BCK1~BCK0ビットまたはDIV4~DIV0ビットを変更した後、以下の手順で2度ベースタイマを開始してください。
(1) BTiSビットを“1”にする。
(2) fBTiの1クロックサイクル後以降に、BTiSビットを“0”にする。
(3) さらにfBTiの1クロックサイクル後以降に、BTiSビットを“1”にする。

図 23.8　BTSR レジスタ

グループi 時間計測制御レジスタj (i=0, 1、j=0~7)



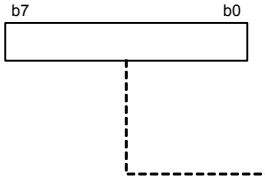
シンボル	アドレス	リセット後の値
G0TMCR0~G0TMCR3	0198h、0199h、019Ah、019Bh番地	0000 0000b
G0TMCR4~G0TMCR7	019Ch、019Dh、019Eh、019Fh番地	0000 0000b
G1TMCR0~G1TMCR3	0118h、0119h、011Ah、011Bh番地	0000 0000b
G1TMCR4~G1TMCR7	011Ch、011Dh、011Eh、011Fh番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
CTS0	時間計測トリガ選択ビット	b1 b0 0 0 : 時間計測しない 0 1 : 立ち上がりエッジ 1 0 : 立ち下がりエッジ 1 1 : 両エッジ	RW
CTS1			RW
DF0	デジタルフィルタ機能選択ビット	b3 b2 0 0 : デジタルフィルタなし 0 1 : 設定しないでください 1 0 : fBTi 1 1 : f1	RW
DF1			RW
GT	ゲート機能選択ビット (注1)	0: ゲート機能を使用しない 1: ゲート機能を使用する	RW
GOC	ゲート機能解除選択ビット (注1、2)	0: ゲート機能解除選択しない 1: ベースタイマとGiPOkレジスタ (k=j-2) の一致により、ゲートを解除する	RW
GSC	ゲート機能解除ビット (注1、2)	このビットに“1”を書くと、ゲートが解除される	RW
PR	プリスケーラ機能選択ビット (注1)	0: 使用しない 1: 使用する	RW

注1. これらの機能は、GiTMCR6レジスタとGiTMCR7レジスタにあります。
GiTMCR0~GiTMCR5レジスタのビット4~7は、すべて“0”にしてください。
注2. これらのビットは、GTビットが“1”のときのみ有効です。

図 23.9　G0TMCR0~G0TMCR7、G1TMCR0~G1TMCR7 レジスタ

グループi 時間計測プリスケーラレジスタj (i=0, 1、j=6, 7)



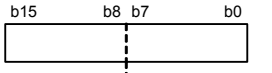
シンボル	アドレス	リセット後の値
G0TPR6, G0TPR7	01A4h、01A5h番地	00h
G1TPR6, G1TPR7	0124h、0125h番地	00h

機　能	設定範囲	RW
設定値をnとすると、トリガ入力をn+1カウントするごとに時間計測を行う (注1)	00h~FFh	RW

注1. GiTMCRjレジスタのPRビットを“0”(プリスケーラ機能を使用しない) から“1”(プリスケーラ機能を使用する) にした後の最初のプリスケーラ周期は、n+1 にならず n になることがあります。それ以降の周期では、n+1 になります。

図 23.10　G0TPR6、G0TPR7、G1TPR6、G1TPR7 レジスタ

グループi 時間計測レジスタj (i=0, 1、j=0~7)

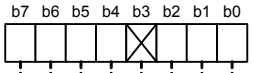


シンボル	アドレス	リセット後の値
G0TM0, G0TM1	0181h-0180h、0183h-0182h番地	不定
G0TM2, G0TM3	0185h-0184h、0187h-0186h番地	不定
G0TM4, G0TM5	0189h-0188h、018Bh-018Ah番地	不定
G0TM6, G0TM7	018Dh-018Ch、018Fh-018Eh番地	不定
G1TM0, G1TM1	0101h-0100h、0103h-0102h番地	不定
G1TM2, G1TM3	0105h-0104h、0107h-0106h番地	不定
G1TM4, G1TM5	0109h-0108h、010Bh-010Ah番地	不定
G1TM6, G1TM7	010Dh-010Ch、010Fh-010Eh番地	不定

機　能	設定範囲	RW
時間計測タイミングごとにベースタイマの値が格納される	—	RO

図 23.11　G0TM0~G0TM7、G1TM0~G1TM7 レジスタ

グループi 波形生成制御レジスタj (i=0, 1、j=0~7)



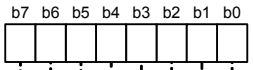
シンボル	アドレス	リセット後の値
G0POCR0	0190h番地	0000 X000b
G0POCR1~G0POCR3	0191h、0192h、0193h番地	0X00 X000b
G0POCR4~G0POCR7	0194h、0195h、0196h、0197h番地	0X00 X000b
G1POCR0	0110h番地	0000 X000b
G1POCR1~G1POCR3	0111h、0112h、0113h番地	0X00 X000b
G1POCR4~G1POCR7	0114h、0115h、0116h、0117h番地	0X00 X000b

ビットシンボル	ビット名	機　能	RW
MOD0	動作モード選択ビット	b2 b1 b0 0 0 0 : 単相波形出力モード 0 0 1 : SR波形出力モード　(注1) 0 1 0 : 反転波形出力モード 0 1 1 : 設定しないでください 1 0 0 : 設定しないでください 1 0 1 : 設定しないでください 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	RW
MOD1			RW
MOD2			RW
— (b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
IVL	出力初期値選択ビット (注2)	0: 初期値として“L”を出力 1: 初期値として“H”を出力	RW
RLD	GiPOjレジスタ値リロードタイミング選択ビット	0: 書き込み時にリロード 1: ベースタイマリセット時にリロード	RW
BTRE	ベースタイマリセット許可ビット (注3)	0: ベースタイマのビット15のオーバフローでベースタイマをリセットする 1: ベースタイマのビット9のオーバフローでベースタイマをリセットする　(注4)	RW
INV	反転出力機能選択ビット (注5)	0: 出力を反転しない 1: 出力を反転する	RW

注1. この設定は偶数チャネルのみ有効です。SR波形出力モードが選択された場合、対応する奇数チャネル (偶数チャネルの次のチャネル) に書いた値に意味は持ちません。波形は偶数チャネルより出力されます。奇数チャネルからは出力されません。
注2. GiFSレジスタのFSCjビットが“0”(波形生成機能を選択) で、GiFEレジスタのIFEjビットが“1”(チャネルjの機能を許可) のとき、IVLビットに値を書くと設定した値が出力されます。
注3. GiPOCR0レジスタのみにあります。GiPOCR1~GiPOCR7レジスタのビット6は“0”にしてください。
注4. BTREビットを“1”にする場合、GiBCR0レジスタのBCK1~BCK0ビットを“11b”(f1)、GiBCR1レジスタのUD1~UD0ビットを“00b”(アップカウントモード) にしてください。
注5. 反転出力機能は、波形生成回路の最終段にあります。このため、INVビットを“1”にした場合、IVLビットを“0”にすると“H”を、IVLビットを“1”にすると“L”を出力します。

図 23.12　G0POCR0~G0POCR7、G1POCR0~G1POCR7 レジスタ

グループ2波形生成制御レジスタj (j=0~7)



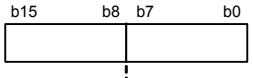
シンボル	アドレス	リセット後の値
G2POCR0~G2POCR3	0150h、0151h、0152h、0153h番地	0000 0000b
G2POCR4~G2POCR7	0154h、0155h、0156h、0157h番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
MOD0	動作モード選択ビット (注1)	b2 b1 b0 0 0 0 : 単相波形出力モード 0 0 1 : SR波形出力モード (注2) 0 1 0 : 反転波形出力モード 0 1 1 : 設定しないでください 1 0 0 : ビットモジュレーション PWM出力モード 1 0 1 : 設定しないでください 1 1 0 : 設定しないでください 1 1 1 : 通信機能の出力を使用 (注3)	RW
MOD1			RW
MOD2			RW
PRT	並列リアルタイムポート出力トリガ選択ビット (注4)	0: G2PO0~G2PO7レジスタとベースタイマの一致をトリガにしない 1: G2PO0~G2PO7レジスタとベースタイマの一致をトリガにする	RW
IVL	出力初期値選択ビット	0: 初期値として“L”を出力 1: 初期値として“H”を出力	RW
RLD	G2POjレジスタ値リロードタイミング選択ビット	0: 書き込み時にリロード 1: ベースタイマリセット時にリロード	RW
RTP	リアルタイムポート機能選択ビット	0: 使用しない 1: 使用する (RTP出力モードまたは並列RTP出力モード)	RW
INV	反転出力機能選択ビット (注5)	0: 出力を反転しない 1: 出力を反転する	RW

注1. RTPビットが“1”のとき、MOD2~MOD0ビットに書いた値は無効です。
注2. この設定は偶数チャネルのみ有効です。SR波形出力モードが選択された場合、対応する奇数チャネル (偶数チャネルの次のチャネル) に書いた値に意味は持ちません。波形は偶数チャネルより出力されます。奇数チャネルからは出力されません。
注3. この設定はグループ2のチャネル0と1のみ有効です。ISTXD2またはIEOUTを出力に使用するときはG2POCR0レジスタ、ISCLK2を出力に使用するときはG2POCR1レジスタのMOD2~MOD0ビットを“111b”にしてください。それ以外のチャネルでMOD2~MOD0ビットを“111b”にしないでください。
注4. RTPビットが“1”、かつG2BCR1レジスタのPRPビットが“1”(並列RTP出力モード) のとき有効です。
注5. 反転出力機能は、波形生成回路の最終段にあります。このため、INVビットを“1”にした場合、IVLビットを“0”にすると“H”を、IVLビットを“1”にすると“L”を出力します。

図 23.13　G2POCR0~G2POCR7 レジスタ

グループi波形生成レジスタj (i=0~2、j=0~7)

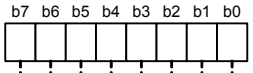


シンボル	アドレス	リセット後の値
G0PO0~G0PO2	0181h-0180h、0183h-0182h、0185h-0184h番地	不定
G0PO3~G0PO5	0187h-0186h、0189h-0188h、018Bh-018Ah番地	不定
G0PO6, G0PO7	018Dh-018Ch、018Fh-018Eh番地	不定
G1PO0~G1PO2	0101h-0100h、0103h-0102h、0105h-0104h番地	不定
G1PO3~G1PO5	0107h-0106h、0109h-0108h、010Bh-010Ah番地	不定
G1PO6, G1PO7	010Dh-010Ch、010Fh-010Eh番地	不定
G2PO0~G2PO2	0141h-0140h、0143h-0142h、0145h-0144h番地	不定
G2PO3~G2PO5	0147h-0146h、0149h-0148h、014Bh-014Ah番地	不定
G2PO6, G2PO7	014Dh-014Ch、014Fh-014Eh番地	不定

機　能	設定範囲	RW
・GiPOCRjレジスタのRLDビットが“0”のとき 書いた直後に値がGiPOjレジスタにリロードされ出力波形に反映される ・GiPOCRjレジスタのRLDビットが“1”のとき ベースタイマリセット時に値がリロードされる。 このとき書いてからリロードされるまでの間にこのレジスタを読むと、書いた値が読める	0000h~FFFFh	RW

図 23.14　G0PO0~G0PO7、G1PO0~G1PO7、G2PO0~G2PO7 レジスタ

グループi 機能選択レジスタ (i=0, 1)



シンボル	アドレス	リセット後の値
G0FS, G1FS	01A7h、0127h番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
FSC0	チャネル0時間計測、波形生成機能選択ビット	0: 波形生成機能を選択 1: 時間計測機能を選択	RW
FSC1	チャネル1時間計測、波形生成機能選択ビット		RW
FSC2	チャネル2時間計測、波形生成機能選択ビット		RW
FSC3	チャネル3時間計測、波形生成機能選択ビット		RW
FSC4	チャネル4時間計測、波形生成機能選択ビット		RW
FSC5	チャネル5時間計測、波形生成機能選択ビット		RW
FSC6	チャネル6時間計測、波形生成機能選択ビット		RW
FSC7	チャネル7時間計測、波形生成機能選択ビット		RW

図 23.15　G0FS、G1FS レジスタ

グループi 機能許可レジスタ (i=0~2)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
G0FE~G2FE	01A6h、0126h、0166h番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
IFE0	チャネル0機能許可ビット	0: チャネルjの機能を停止 1: チャネルjの機能を動作 (j=0~7)	RW
IFE1	チャネル1機能許可ビット		RW
IFE2	チャネル2機能許可ビット		RW
IFE3	チャネル3機能許可ビット		RW
IFE4	チャネル4機能許可ビット		RW
IFE5	チャネル5機能許可ビット		RW
IFE6	チャネル6機能許可ビット		RW
IFE7	チャネル7機能許可ビット		RW

図 23.16　G0FE~G2FE レジスタ

グループ2RTP出力バッファレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
G2RTP	0167h番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
RTP0	チャネル0 RTP出力バッファ	0: “L” を出力 1: “H” を出力	RW
RTP1	チャネル1 RTP出力バッファ		RW
RTP2	チャネル2 RTP出力バッファ		RW
RTP3	チャネル3 RTP出力バッファ		RW
RTP4	チャネル4 RTP出力バッファ		RW
RTP5	チャネル5 RTP出力バッファ		RW
RTP6	チャネル6 RTP出力バッファ		RW
RTP7	チャネル7 RTP出力バッファ		RW

図 23.17　G2RTP レジスタ

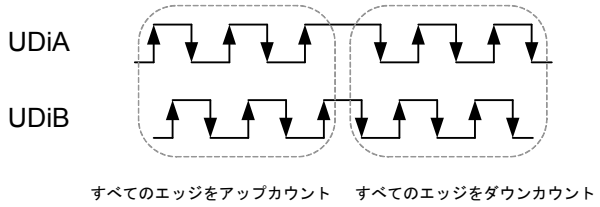
23.1　ベースタイマ(グループ0~2)

内部で生成されたカウントソースをフリーランカウントします。表 23.2 にベースタイマの仕様を、図 23.4~図 23.17 にベースタイマ関連レジスタを、図 23.18 にベースタイマのブロック図を、図 23.19 にベースタイマ(グループ0、1)アップカウントモードの動作例を、図 23.20 にベースタイマアップダウンカウントモードの動作例を、図 23.21 に二相パルス信号処理モードの動作例を示します。

表 23.2　ベースタイマの仕様 (i=0~2)

項目	仕様
カウントソース(fBTi)	f1の2(n+1)分周(グループ0~2)、二相パルス入力の2(n+1)分周(グループ0、1) n: GiBCR0レジスタのDIV4~DIV0ビットで設定。n=0~31。ただしn=31の場合、分周しない
カウント動作	•アップカウント •アップダウンカウント •二相パルス処理
カウント開始条件	•各グループのベースタイマのカウントを別々に開始させる場合 GiBCR1レジスタのBTSビットを“1”(ベースタイマカウント開始)にする •複数グループのベースタイマのカウントを同時に開始させる場合 BTSRレジスタのBTiSビットを“1”(ベースタイマカウント開始)にする
カウント停止条件	BTSRレジスタのBTiSビットを“0”(ベースタイマリセット)、かつGiBCR1レジスタのBTSビットを“0”(ベースタイマリセット)にする
ベースタイマリセット条件	•ベースタイマとGiPO0レジスタの値が一致 •外部割り込み端子($\overline{\text{INT0}}$または$\overline{\text{INT1}}$)に“L”を入力 グループ0: IFS2レジスタのIFS23~IFS22ビットで選択 グループ1: IFS2レジスタのIFS27~IFS26ビットで選択 •ベースタイマビット15のオーバフロー、ベースタイマビット9のオーバフロー時 •通信機能からの初期化要求(グループ2)
ベースタイマリセット時の値	“0000h”
割り込み要求	ベースタイマのビット9または、ビット14、ビット15のオーバフロー時に、割り込み要求レジスタのBTiRビットが“1”(割り込み要求あり)になる(図11.12参照)
ベースタイマの読み出し	•ベースタイマ動作中にGiBTレジスタを読むとベースタイマの値が読める •ベースタイマのリセット中にGiBTレジスタを読むと不定値になる
ベースタイマへの書き込み	ベースタイマ動作中に値を書いた場合、書いた直後に書いた値からカウントされる。ベースタイマのリセット中は書けない

表 23.2　ベースタイマの仕様 (i=0~2)

項目	仕様
その他選択項目	• アップダウンカウントモード(グループ0、1) BTSビットまたはBTiSビットを“1”にするとベースタイマはカウントを開始し、“FFFFh”になるとダウンカウントする。また、GiBCR1レジスタのRST1ビットが“1” (GiPO0レジスタとの一致でベースタイマをリセットする)の場合、GiPO0レジスタと一致した2カウント後にダウンカウントする。次に“0000h”になると再びアップカウントする(図 23.20参照) • 二相パルス処理モード(グループ0、1) UDiA、UDiBからの二相パルスをカウントする(図 23.21参照) 

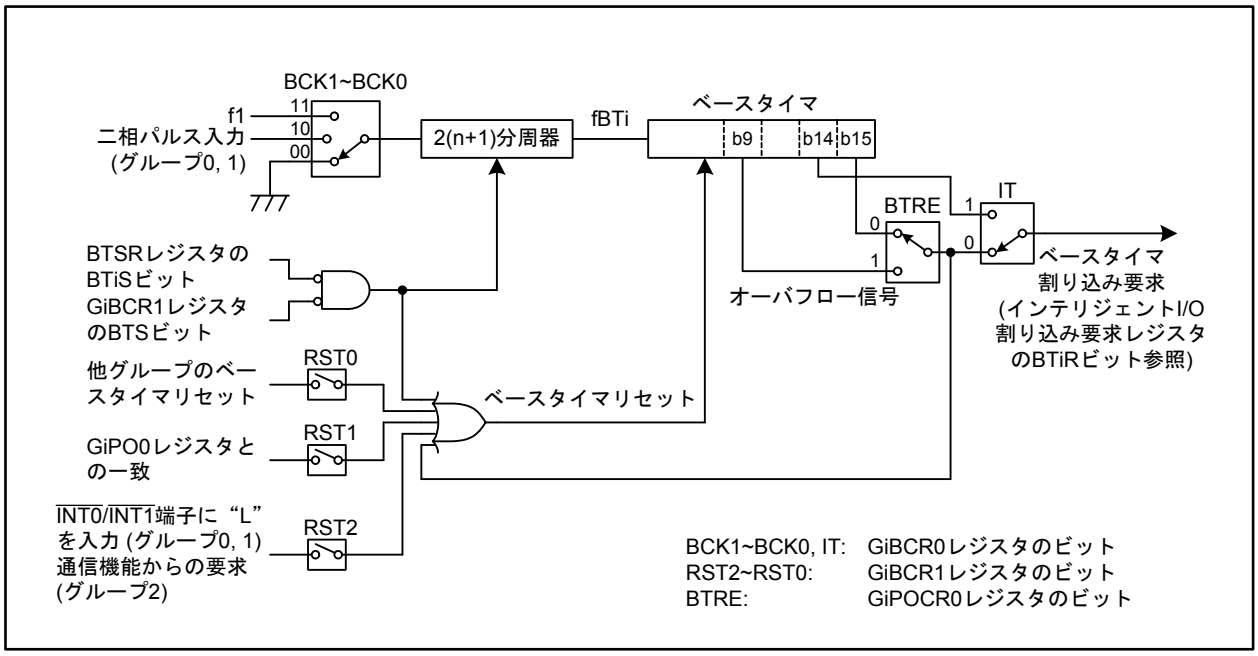


図 23.18 ベースタイマのブロック図(i=0~2)

表 23.3 ベースタイマ関連レジスタの設定(時間計測機能、波形生成機能、通信機能共通) (i=0~2)

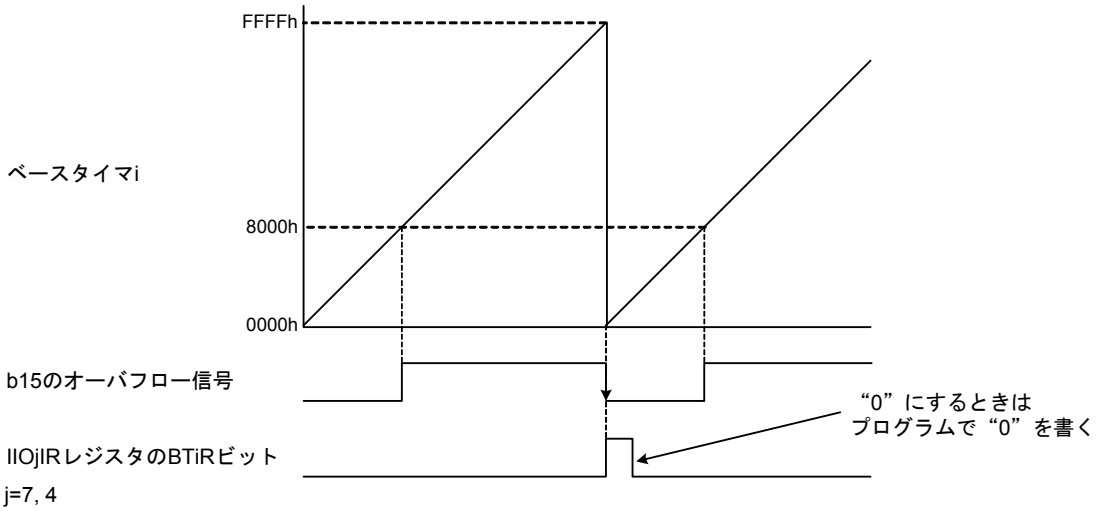
レジスタ	ビット	機能
G2BCR0	—	BTSRレジスタへの動作クロック供給。“0111 1111b”にしてください
BTSR	—	“0000 0000b”にしてください
GiBCR0	BCK1~BCK0	カウントソース選択
	DIV4~DIV0	カウントソース分周比選択
	IT	ベースタイマ割り込み選択
GiBCR1	RST2~RST0	ベースタイマリセットタイミング選択
	BTS	ベースタイマを別々で開始する場合使用
	UD1~UD0	カウント方法選択(グループ0、1)
GiPOCR0	BTRE	ベースタイマリセット要因選択
GiBT	—	ベースタイマの値を読む、または書く

RST1ビットが“1” (ベースタイマとGiPO0の一致でベースタイマをリセット)の場合以下のレジスタの設定が必要です。

GiPOCR0	MOD2~MOD0	“000b” (単相波形出力モード)にしてください
GiPO0	—	リセット周期を設定してください
GiFS	FSC0	“0” (波形生成機能)にしてください
GiFE	IFE0	“1” (チャネル0の機能を動作)にしてください

グループによって、ビット構成、機能が違います。

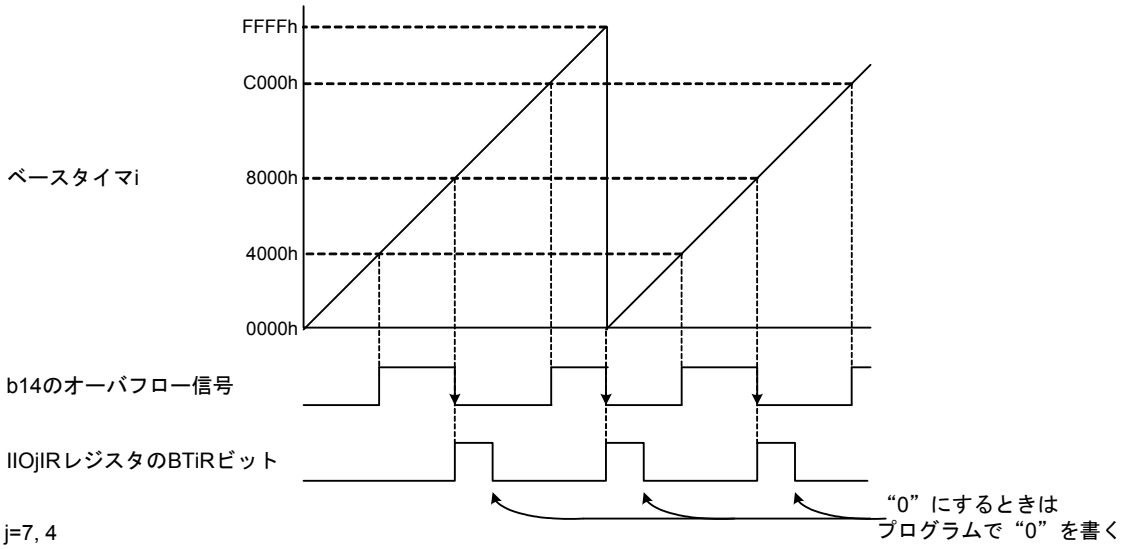
(A) GiBCR0レジスタのITビットが“0”(ビット15のオーバフローでベースタイマ割り込み) の場合



j=7, 4

この図は以下の条件の場合です。
・GiBCR1レジスタのRST1ビットが“0”(GiPO0レジスタとベースタイマの一致でベースタイマをリセットしない)
・GiBCR1レジスタのUD1~UD0ビットが“00b”(アップカウントモード)

(B) GiBCR0レジスタのITビットが“1”(ビット14のオーバフローでベースタイマ割り込み) の場合

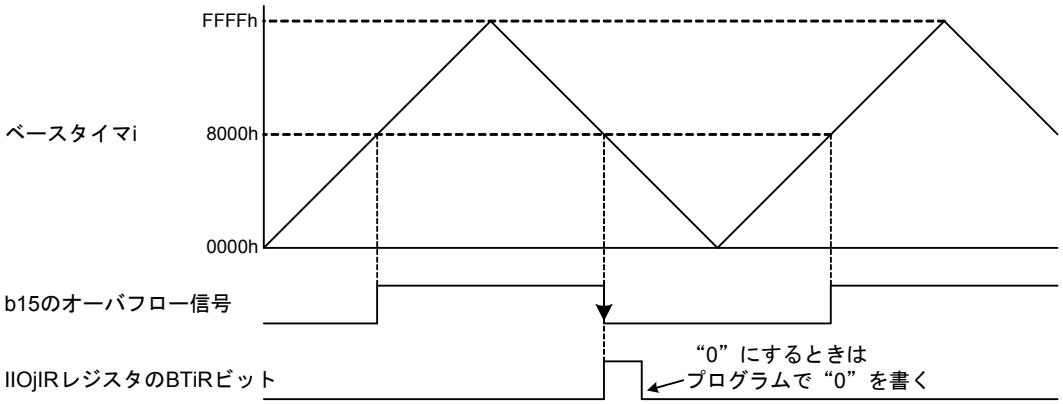


j=7, 4

この図は以下の条件の場合です。
・GiBCR1レジスタのRST1ビットが“0”(GiPO0レジスタとベースタイマの一致でベースタイマをリセットしない)
・GiBCR1レジスタのUD1~UD0ビットが“00b”(アップカウントモード)

図 23.19　ベースタイマのアップモードの動作例(i=0, 1) (グループ0、1)

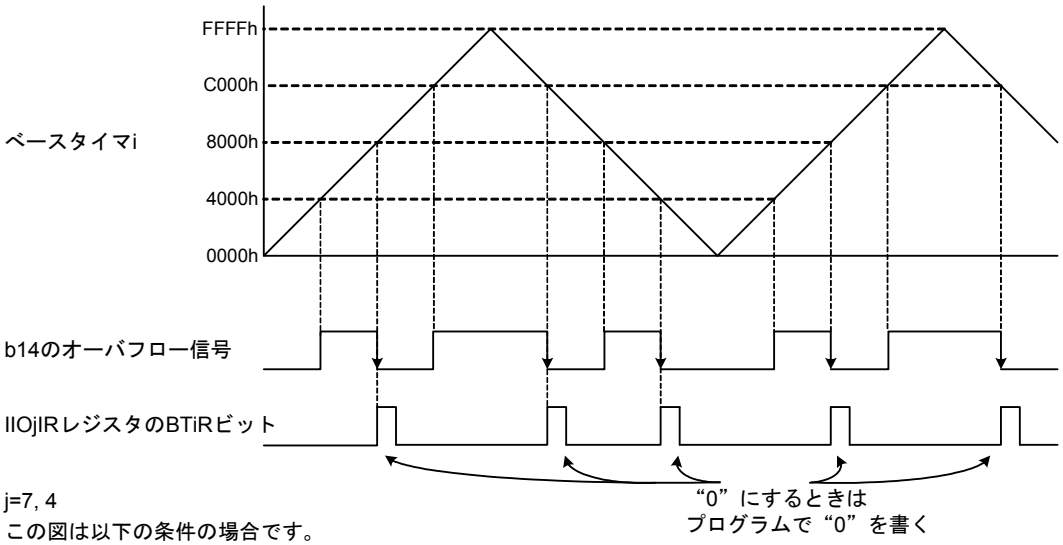
(A) GiBCR0レジスタのITビットが“0”(ビット15のオーバフローでベースタイマ割り込み) の場合



j=7, 4

この図は以下の条件の場合です。
・GiBCR1レジスタのRST1ビットが“0”(GiPO0レジスタとベースタイマの一致でベースタイマをリセットしない)
・GiBCR1レジスタのUD1~UD0ビットが“01b”(アップダウンカウントモード)

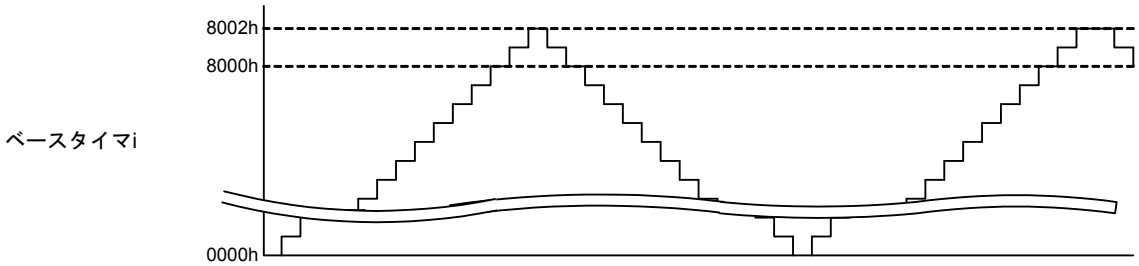
(B) GiBCR0レジスタのITビットが“1”(ビット14のオーバフローでベースタイマ割り込み) の場合



j=7, 4

この図は以下の条件の場合です。
・GiBCR1レジスタのRST1ビットが“0”(GiPO0レジスタとベースタイマの一致でベースタイマをリセットしない)
・GiBCR1レジスタのUD1~UD0ビットが“01b”(アップダウンカウントモード)

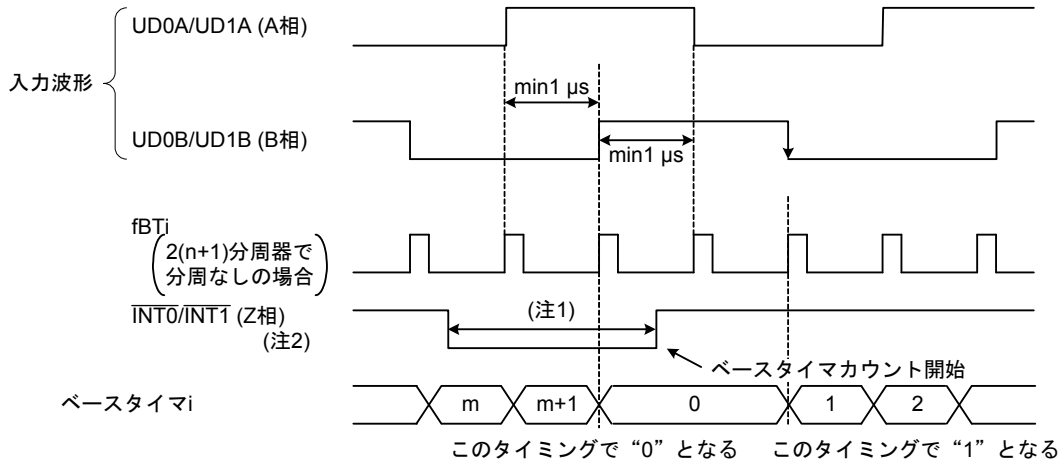
(C) GiBCR1レジスタのRSTビットが“1”(GiPO0レジスタとベースタイマの一致でベースタイマをリセットする) 場合



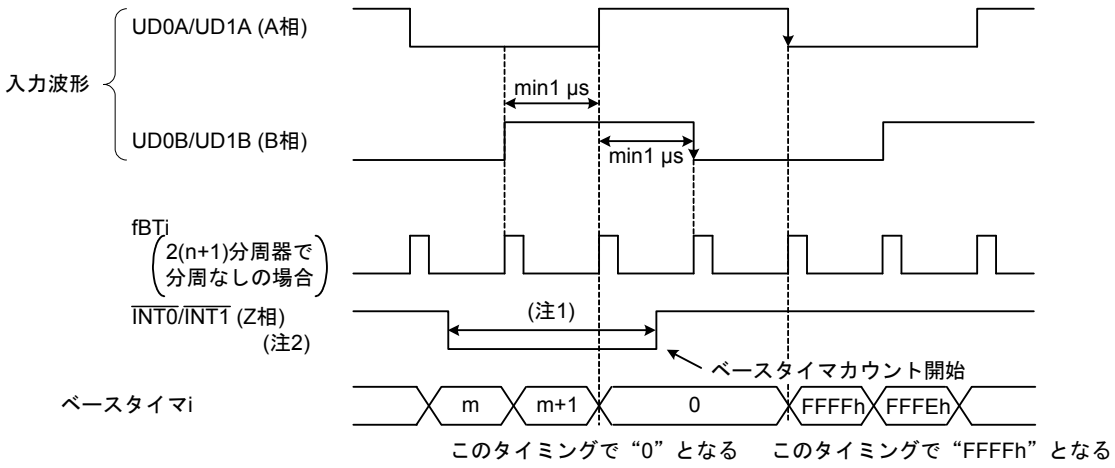
この図は以下の条件の場合です。
・GiPO0レジスタの値が“8000h”
・GiBCR1レジスタのUD1~UD0ビットが“01b”(アップダウンカウントモード)

図 23.20　ベースタイマのアップダウンモードの動作例(i=0, 1) (グループ0、1)

(A) アップカウント中にベースタイマをリセットした場合



(B) ダウンカウント中にベースタイマをリセットした場合



注1. fBTiの1.5サイクル以上の幅が必要です。
注2. 二相パルス信号処理モードを使用する場合、GiBCR1レジスタのRST2ビットを“1”にしてください。

図 23.21　ベースタイマの二相パルス信号処理モードの動作例 (i=0, 1) (グループ0、1)

23.2　時間計測機能(グループ0、1)

外部トリガが入力されるごとにベースタイマの値をGiTMjレジスタ(i=0, 1、j=0~7)に格納します。表23.4に時間計測機能の仕様を、表23.5に時間計測機能関連レジスタの設定を示します。図23.22、図23.23に時間計測機能の動作例を、図23.24にプリスケーラ機能、ゲート機能使用時の動作例を示します。

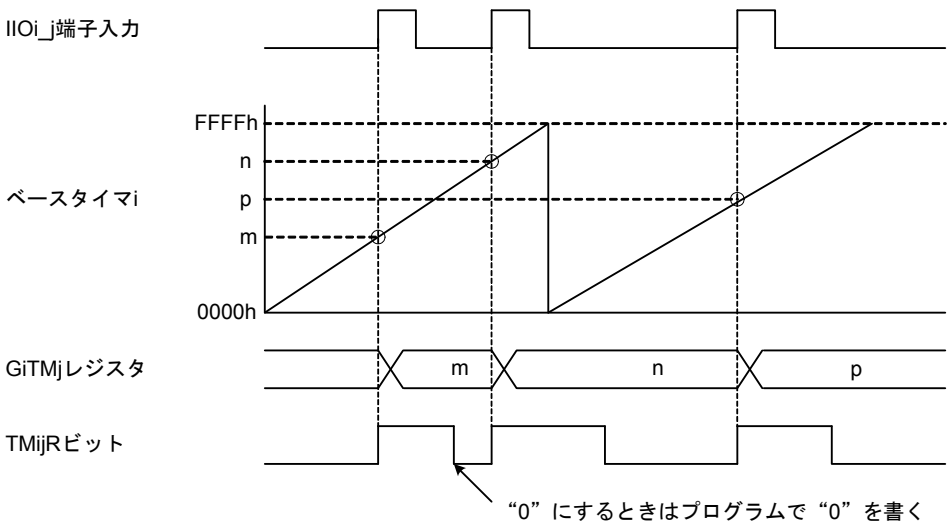
表23.4　時間計測機能の仕様 (i=0, 1、j=0~7)

項目	仕様
計測チャネル	グループ0: チャネル0~7 グループ1: チャネル0~7
トリガ入力極性選択	IIOi_j端子の立ち上がりエッジ、立ち下がりエッジ、または両エッジ
計測開始条件	GiFSレジスタのFSCjビットが“1”(時間計測機能を選択)の状態で、GiFEレジスタのIFEjビットを“1”(チャネルjの機能を動作)にする
計測停止条件	IFEjビットを“0”(チャネルjの機能を停止)にする
時間計測タイミング	• プリスケーラ機能なし: トリガ入力ごと • プリスケーラ機能あり(チャネル6、7): GiTPRkレジスタ(k=6, 7)値+1回目のトリガ入力ごと
割り込み要求	時間計測タイミングに、割り込み要求レジスタのTMijRビットが“1”(割り込み要求あり)になる(図11.12参照)
IIOi_j端子(入力)	トリガ入力
その他選択項目	• デジタルフィルタ機能 トリガ入力レベルをf1またはfBTiごとに判定し、3回一致したパルス成分を通過させる • プリスケーラ機能(チャネル6、7) トリガ入力をカウントし、(GiTPRkレジスタの値+1)回目のトリガ入力ごとに時間計測を実行 • ゲート機能(チャネル6、7) 最初のトリガ入力による時間計測以降、トリガ入力の受け付けを禁止する。GiTMCRkレジスタのGOCビットが“1”(GiPOpレジスタ(p=4, 5、k=6のときp=4、k=7のときp=5)の一致によりゲートを解除)の状態で、ベースタイマとGiPOpレジスタの値が一致、またはGiTMCRkレジスタのGSCビットを“1”にすると、再度トリガ入力の受け付けを許可

表23.5　時間計測機能(グループ0、1)関連レジスタの設定 (i=0, 1、j=0~7、k=6, 7)

レジスタ	ビット	機能
GiTMCRj	CTS1~CTS0	時間計測トリガ選択
	DF1~DF0	デジタルフィルタ機能選択
	GT, GOC, GSC	ゲート機能選択
	PR	プリスケーラ機能選択
GiTPRk	—	プリスケーラ値設定
GiFS	FSCj	“1”(時間計測機能)にしてください
GiFE	IFEj	“1”(チャネルjの機能を動作)にしてください

グループ、チャネルによって、ビット構成、機能が違います。
ベースタイマ関連レジスタを設定後に、時間計測機能関連レジスタを設定してください。



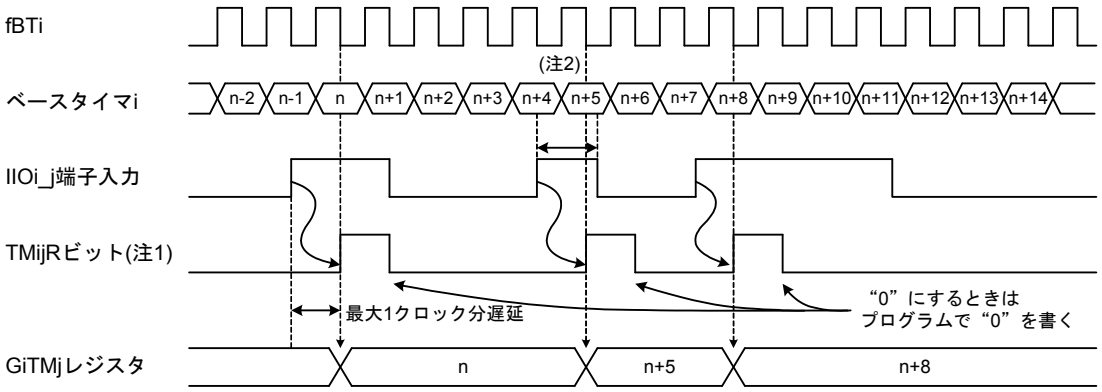
TMijRビット: IIO0IR~IIO11IRレジスタのビット

この図は以下の条件の場合です。
・GiTMCRjレジスタのCTS1~CTS0ビットが“01b”(時間計測トリガは立ち上がりエッジ)、PRビットが“0”(プリスケーラ機能を使用しない)、GTビットが“0”(ゲート機能を使用しない)
・GiBCR1レジスタのRST2~RST0ビットが“000b”(ベースタイマをリセットしない)、UD1~UD0ビットが“00b” (アップカウントモード)

ベースタイマとGiPO0レジスタが一致するとき、ベースタイマを“0000h”にする場合 (RST2~RST0ビットが“010b”の場合) は、ベースタイマは「GiPO0レジスタの設定値+2」までカウントした後“0000h”になります。

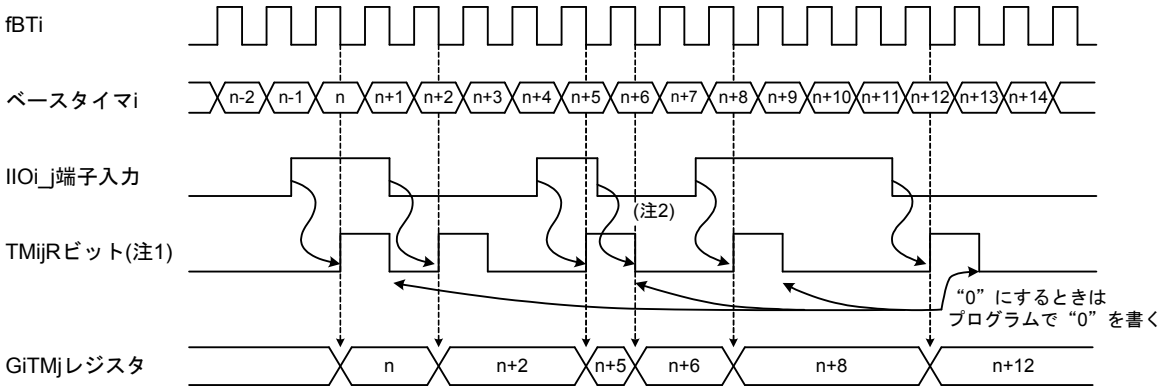
図 23.22 時間計測機能の動作例(1) (i=0, 1、j=0~7)

(A) 時間測定トリガに立ち上がりエッジを選択した場合
(GiTMCRjレジスタのCTS1~CTS0ビットが“01b”)



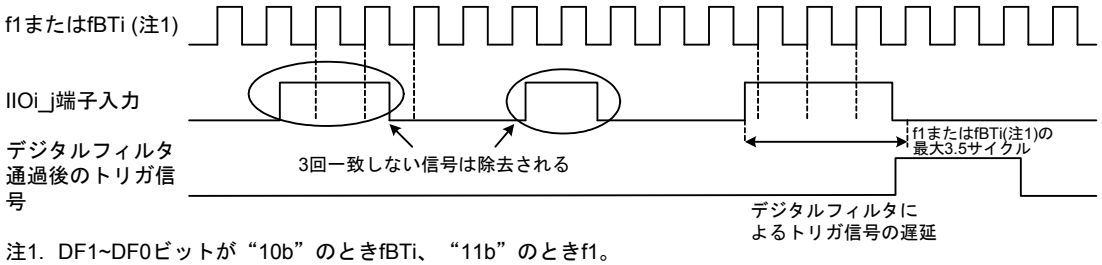
注1. IIO0IR~IIO11IRレジスタのビット。
注2. IIOi_j端子への入力パルスは、fBTiの1.5サイクル以上の幅が必要です。

(B) 時間計測トリガに両エッジを選択した場合 (CTS1~CTS0ビットが“11b”)



注1. IIO0IR~IIO11IRレジスタのビット。
注2. TMijRビットが“1”のときにトリガ信号を受信した場合、割り込みは発生しません。
ただし、GiTMjレジスタの値は変化します。

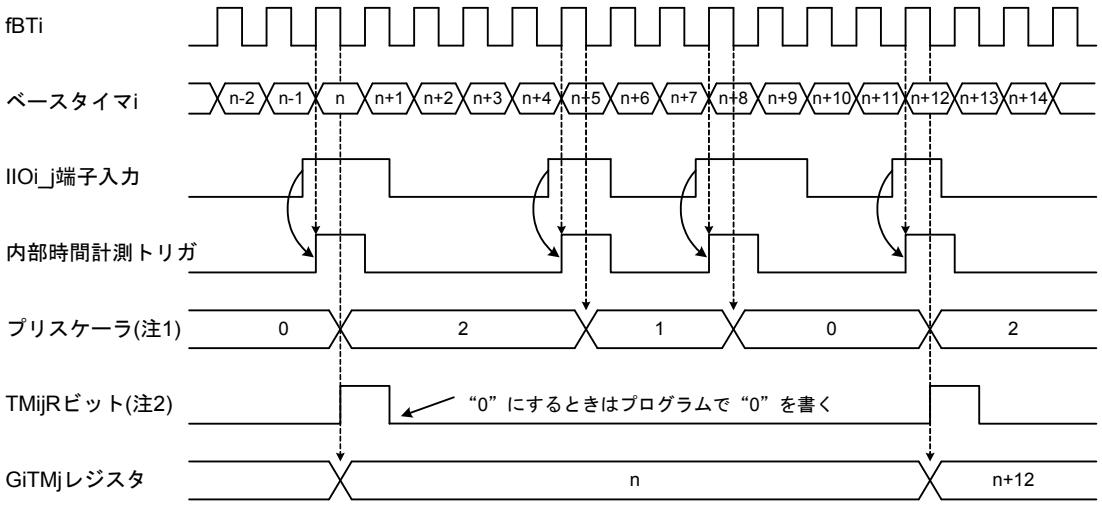
(C) デジタルフィルタを使用した場合のトリガ信号
(GiTMCRjレジスタのDF1~DF0ビットが“10b”または“11b”)



注1. DF1~DF0ビットが“10b”のときfBTi、“11b”のときf1。

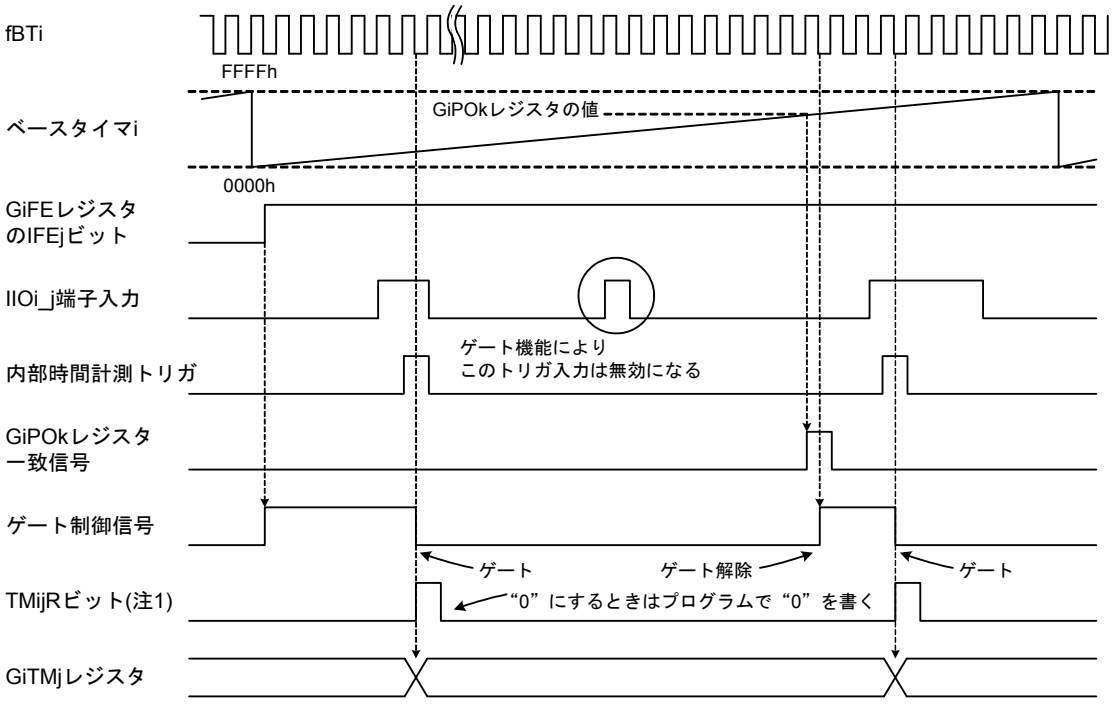
図 23.23　時間計測機能の動作例(2) (i=0, 1、j=0~7)

(A) プリスケーラ機能を使用した場合
(GiTPRjレジスタが“02h”、GiTMCRjレジスタのPRビットが“1”)



注1. GiTMCRjレジスタのPRビットを“1”(プリスケーラ機能を使用する) にした後の2回目以降のプリスケーラ周期のものです。
注2. IIO0IR~IIO11IRレジスタのビット。

(B) ゲート機能を使用した場合
(GiPOkレジスタの一致によりゲート機能解除、GiTMCRjレジスタのGTビットが“1”、GOCビットが“1”)



k=4, 5
注1. IIO0IR~IIO11IRレジスタのビット。

図 23.24　プリスケーラ機能、ゲート機能使用時の動作例 (i=0, 1、j=6, 7)

23.3 波形生成機能(グループ0~2)

ベースタイマとGiPOjレジスタ(i=0~2、j=0~7)の値の一致により、波形生成を行います。
波形生成機能には、以下の6つのモードがあります。

- 単相波形出力モード(グループ0~2)
- 反転波形出力モード(グループ0~2)
- セット-リセット波形出力(SR波形出力)モード(グループ0~2)
- ビットモジュレーションPWM出力モード(グループ2)
- リアルタイムポート(RTP)出力モード(グループ2)
- 並列リアルタイムポート(RTP)出力モード(グループ2)

表23.6に波形生成機能関連レジスタの設定を示します。

表23.6 波形生成機能関連レジスタの設定 (i=0~2、j=0~7)

レジスタ	ビット	機能
GiPOCRj	MOD2~MOD0	波形出力モードを選択
	PRT (注1)	並列RTP出力モードを使用する場合は“1”にしてください
	IVL	出力初期値選択
	RLD	GiPOjレジスタ値リロードタイミング選択
	RTP (注1)	RTP出力モードまたは並列RTP出力モードを使用する場合は“1”にしてください。このビットが“1”の場合、MOD2~MOD0のビット値は無効になります
	INV	出力反転選択
G2BCR1	PRP	並列RTP出力モードを使用する場合は“1”にしてください
GiPOj	—	出力波形のレベルを反転させるタイミングを設定
GiFS	FSCj	“0” (波形生成機能)にしてください(グループ0、1のみ)
GiFE	IFEj	“1” (チャネルjの機能を動作)にしてください
G2RTP	RTP0~RTP7	RTP出力モード、並列RTP出力モードでのRTP出力値を設定します

グループ、チャネルによって、ビット構成、機能が違います。
ベースタイマ関連レジスタを設定した後に、波形生成機能関連レジスタを設定してください。
注1. このビットは、G2POCRjレジスタにあります。G0POCRj、G1POCRjレジスタにはありません。

23.3.1　単相波形出力モード(グループ0~2)

ベースタイマとGiPOjレジスタ(i=0~2、j=0~7)の値が一致するとIIOi_j端子(グループ2はOUTC2_j端子)の出力レベルは“H”になり、ベースタイマが“0000h”になると“L”になります。GiPOCRjレジスタのIVLビットを“1”(初期値として“H”を出力)にすると、波形出力開始時の出力レベルは“H”になります。INVビットを“1”(出力を反転する)にすると、出力波形のレベルを反転して出力します。詳細は、図23.25を参照してください。

表23.7に単相波形出力モードの仕様を示します。

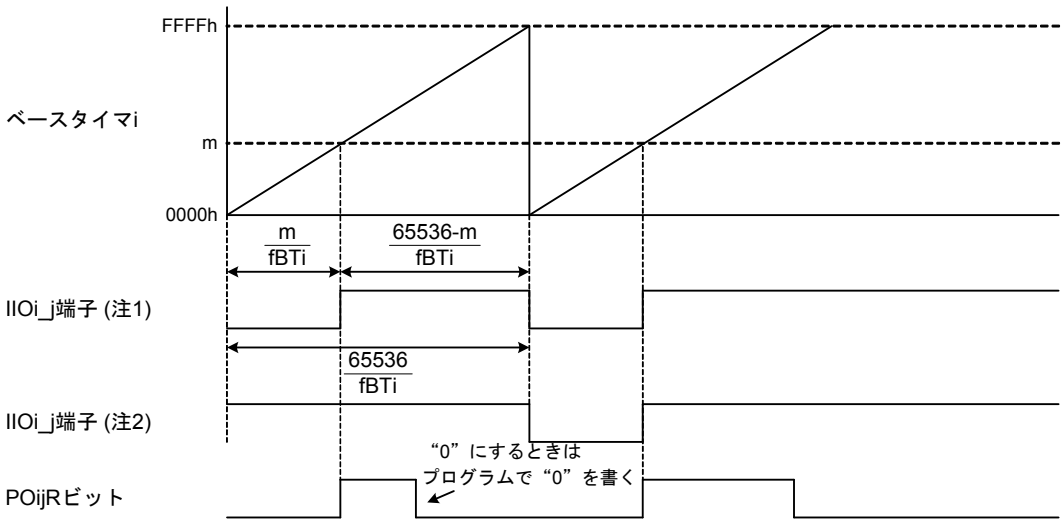
表 23.7　単相波形出力モードの仕様 (i=0~2)

項目	仕様
出力波形(注1)	• フリーラン動作(GiBCR1レジスタのRST2~RST0ビットが“000b”)の場合 周期: $\frac{65536}{fBTi}$ “L”幅: $\frac{m}{fBTi}$ “H”幅: $\frac{65536-m}{fBTi}$ m: GiPOjレジスタ(j=0~7)の設定値 0000h~FFFFh • ベースタイマとGiPO0レジスタが一致するとき、ベースタイマを“0000h”にする(GiBCR1レジスタのRST2~RST0ビットが“010b”)場合 周期: $\frac{n+2}{fBTi}$ “L”幅: $\frac{m}{fBTi}$ “H”幅: $\frac{n+2-m}{fBTi}$ m: GiPOjレジスタ(j=1~7)の設定値 0000h~FFFFh n: GiPO0レジスタの設定値 0001h~FFFDh $m \geq n+2$ の場合、出力レベルは“L”固定
波形出力開始条件(注2)	GiFEレジスタのIFEjビット(j=0~7)を“1”(チャネルjの機能を動作)にする
波形出力停止条件	IFEjビットを“0”(チャネルjの機能を停止)にする
割り込み要求	ベースタイマとGiPOjレジスタの値が一致したときに、インテリジェントI/O割り込み要求レジスタのPOijRビットが“1”(割り込み要求あり)になる(図11.12参照)
IIOi_j端子(出力)(グループ2はOUTC2_j端子)	パルス出力
その他選択項目	• 初期値設定機能 波形出力開始時の出力レベルを設定 • 反転出力機能 出力波形のレベルを反転して、IIOi_j端子(グループ2はOUTC2_j端子)から出力

注1.　GiPOCRjレジスタのINVビットが“1”(出力を反転する)の場合、“L”幅と“H”幅は逆になります。

注2.　時間計測機能と波形生成機能が共用されているチャネルを使用する場合、GiFSレジスタのFSCjビットを“0”(波形生成機能を選択)にしてください。

(A) フリーラン動作の場合 (GiBCRレジスタのRST2~RST0ビットが“000b”)

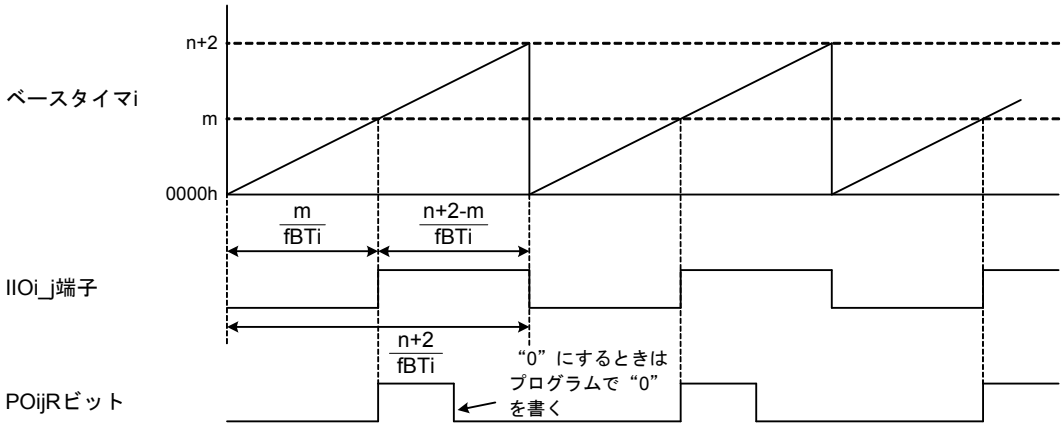


j=0~7
m: GiPOjレジスタの値 (0000h~FFFFh)
POijRビット: IIO0IR~IIO11IRレジスタのビット

注1. GiPOCRjレジスタのINVビットが“0”(出力を反転しない)、IVLビットが“0”(初期値として“L”を出力) のときの波形です。
注2. INVビットが“0”(出力を反転しない)、IVLビットが“1”(初期値として“H”を出力) のときの波形です。

この図は以下の条件の場合です。
・ GiBCR1レジスタのUD1~UD0ビットが“00b”(アップカウントモード)

(B) ベースタイマとGiPO0レジスタが一致する時、ベースタイマをリセットする場合 (RST2~RST0ビットが“010b”)



j=1~7
m: GiPOjレジスタの値 (0000h~FFFFh)
n: GiPO0レジスタの値 (0001h~FFFDh)
POijRビット: IIO0IR~IIO11IRレジスタのビット

この図は以下の条件の場合です。
・GiPOCRjレジスタのIVLビットが“0”(初期値として“L”を出力)、INVビットが“0”(出力を反転しない)
・GiBCR1レジスタのUD1~UD0ビットが“00b”(アップカウントモード)
・m < n + 2

図 23.25 単相波形出力モードの動作例 (i=0~2)

23.3.2　反転波形出力モード(グループ0~2)

ベースタイマとGiPOjレジスタ(i=0~2、j=0~7)の値が一致するごとにIIOi_j端子(グループ2はOUTC2_j端子)の出力レベルを反転します。

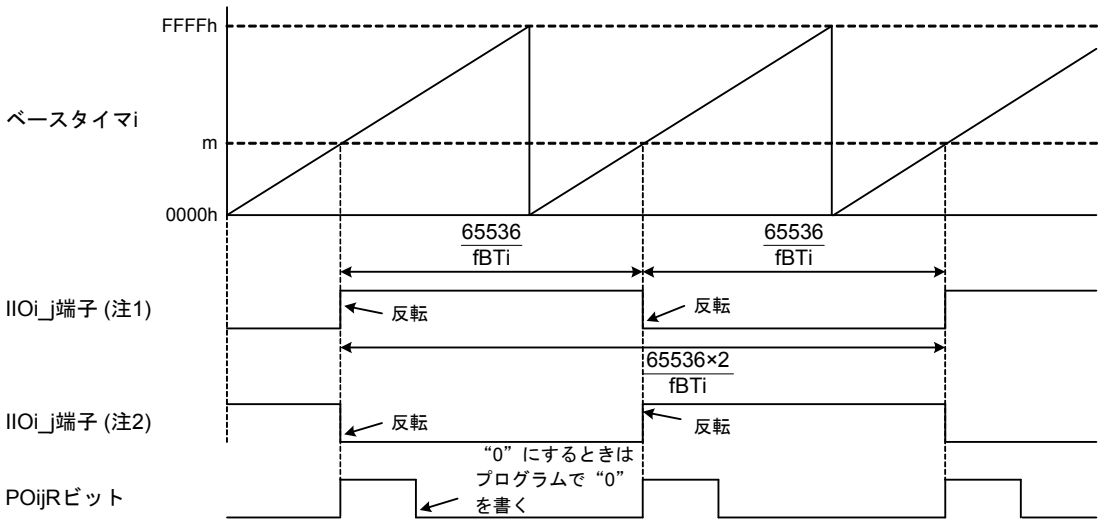
表23.8に反転波形出力モードの仕様を、図23.26に反転波形出力モードの動作例を示します。

表 23.8　反転波形出力モードの仕様 (i=0~2)

項目	仕様
出力波形	• フリーラン動作(GiBCR1レジスタのRST2~RST0ビットが“000b”)の場合 周期: $\frac{65536 \times 2}{fBTi}$ “H”幅、“L”幅: $\frac{65536}{fBTi}$ GiPOjレジスタ(j=0~7)の設定値(0000h~FFFFh) • ベースタイマとGiPO0レジスタが一致した時ベースタイマを“0000h”にする(RST2~RST0ビットが“010b”)場合 周期: $\frac{2(n+2)}{fBTi}$ “H”幅、“L”幅: $\frac{n+2}{fBTi}$ n: GiPO0レジスタの設定値(0001h~FFFDh) GiPOjレジスタ(j=1~7)の設定値(0000h~FFFFh) GiPOjレジスタの値≧$n+2$の場合、出力レベルは反転しません
波形出力開始条件(注1)	GiFEレジスタのIFEjビット(j=0~7)を“1”(チャネルjの機能を動作)にする
波形出力停止条件	GiFEレジスタのIFEjビットを“0”(チャネルjの機能を停止)にする
割り込み要求	ベースタイマとGiPOjレジスタの値が一致したとき、インテリジェントI/O割り込み要求レジスタのPOijRビットが“1”(割り込み要求あり)になる(図 11.12参照)
IIOi_j端子(出力)(グループ2はOUTC2_j端子)	パルス出力
その他選択項目	• 初期値設定機能 波形出力開始時の出力レベルを設定 • 反転出力機能 出力波形のレベルを反転して、IIOi_j端子(グループ2はOUTC2_j端子)から出力

注1.　時間計測機能と波形生成機能が共用されているチャネルを使用する場合、GiFSレジスタのFSCjビットを“0”(波形生成機能を選択)にしてください。

(A) フリーラン動作の場合 (GiBCR1レジスタのRST2~RST0ビットが“000b”)

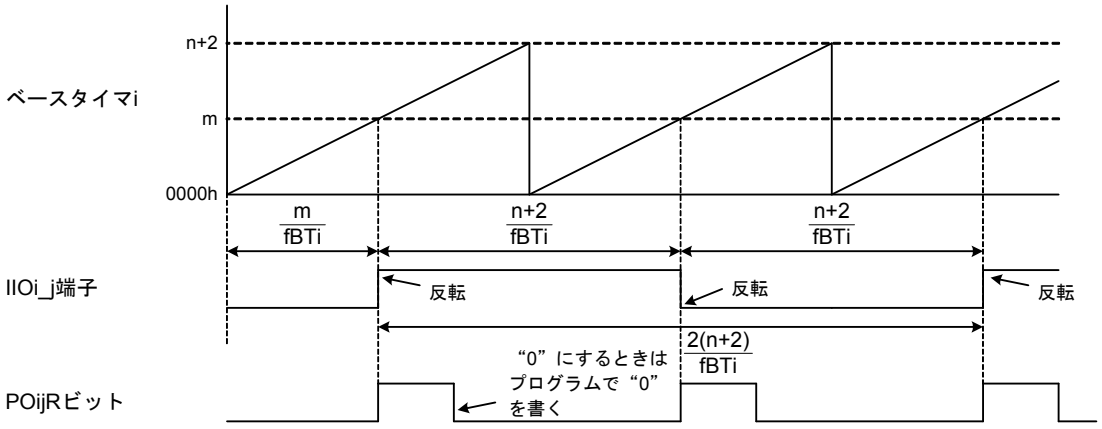


j=0~7
m: GiPOjレジスタの値 (0000h~FFFFh)
POijRビット: IIO0IR~IIO11IRレジスタのビット

注1. GiPOCRjレジスタのINVビットが“0”(出力を反転しない)、IVLビットが“0”(初期値として“L”を出力)のときの波形です。
注2. INVビットが“0”(出力を反転しない)、IVLビットが“1”(初期値として“H”を出力) のときの波形です。

この図は以下の条件の場合です。
・ GiBCR1レジスタのUD1~UD0ビットが“00b”(アップカウントモード)

(B) ベースタイマとGiPO0レジスタが一致する時、ベースタイマをリセットする場合 (RST2~RST0ビットが“010b”)



j=1~7
m: GiPOjレジスタの値 (0000h~FFFFh)
n: GiPO0レジスタの値 (0001h~FFFDh)
POijRビット: IIO0IR~IIO11IRレジスタのビット

この図は以下の条件の場合です。
・GiPOCRjレジスタのIVLビットが“0”(初期値として“L”を出力)、INVビットが“0”(出力を反転しない)
・GiBCR1レジスタのUD1~UD0ビットが“00b”(アップカウントモード)
・m < n + 2

図 23.26 反転波形出力モード時の動作例 (i=0~2)

23.3.3 セット-リセット波形出力(SR波形出力)モード(グループ0~2)

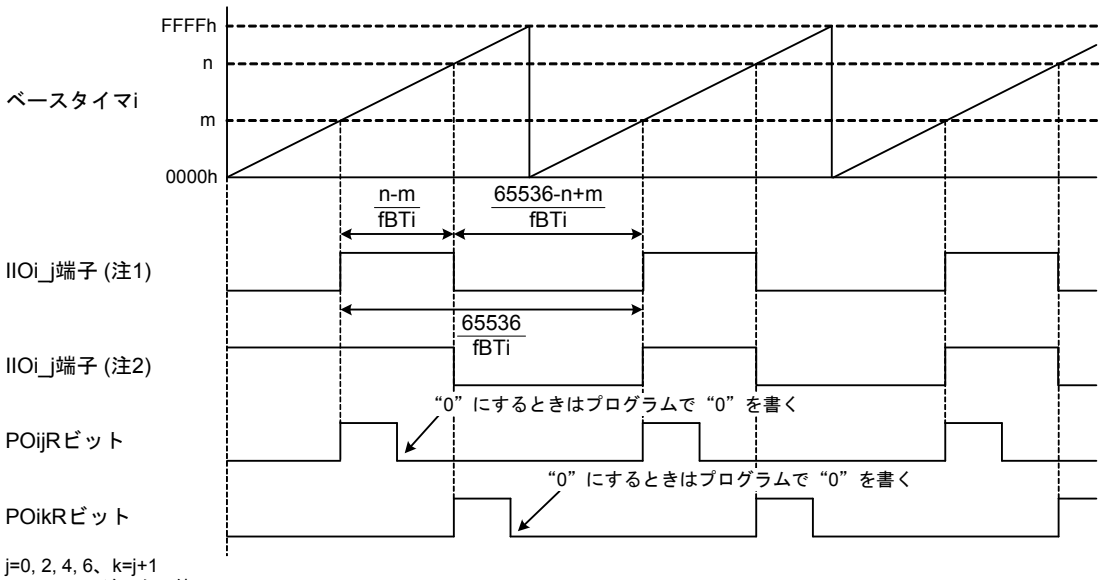
ベースタイマとGiPOjレジスタ(i=0~2、j=0, 2, 4, 6)の値が一致するとIIOi_j端子(グループ2はOUTC2_j端子)の出力レベルは“H”になり、ベースタイマとGiPOkレジスタ(k=j+1)の値が一致するか、ベースタイマが“0000h”になると“L”になります。GiPOCRjレジスタ(j=0~7)のIVLビットを“1”(初期値として“H”を出力)にすると、波形出力開始時の出力レベルは“H”になります。INVビットを“1”(出力を反転する)にすると、出力波形のレベルを反転して出力します。詳細は、図23.27を参照してください。表23.9にSR波形出力モードの仕様を示します。

表 23.9　SR波形出力モードの仕様 (i=0~2)

項目	仕様
出力波形(注1)	• フリーラン動作(GiBCR1レジスタのRST2~RST0ビットが“000b”)の場合 (A) $m < n$ の場合 “H”幅: $\frac{n-m}{fBTi}$ “L”幅: $\frac{m}{fBTi}$ (注2) + $\frac{65536-n}{fBTi}$ (注3) (B) $m \geq n$ の場合 “H”幅: $\frac{65536-m}{fBTi}$ “L”幅: $\frac{m}{fBTi}$ m: GiPOjレジスタ(j=0, 2, 4, 6)の設定値 n: GiPOkレジスタ(k=j+1)の設定値 m、nの値は0000h~FFFFh • ベースタイマとGiPO0レジスタが一致したとき、ベースタイマを“0000h”にする(RST2~RST0ビットが“010b”)場合(注4) (A) $m < n < p+2$ の場合 “H”幅: $\frac{n+m}{fBTi}$ “L”幅: $\frac{m}{fBTi}$ (注2) + $\frac{p+2-n}{fBTi}$ (注3) (B) $m < p+2 \leq n$ の場合 “H”幅: $\frac{p+2-m}{fBTi}$ “L”幅: $\frac{m}{fBTi}$ (C) $m \geq p+2$ の場合、出力レベルは“L”固定 p: GiPO0レジスタの設定値 m: GiPOjレジスタ(j=2, 4, 6)の設定値 n: GiPOkレジスタ(k=j+1)の設定値 pの値は0001h~FFFDh　　m、nの値は0000h~FFFFh
波形出力開始条件(注5)	GiFEレジスタのIFEqビット(q=0~7)を“1”(チャネルqの機能を動作)にする
波形出力停止条件	GiFEレジスタのIFEqビットを“0”(チャネルqの機能を停止)にする
割り込み要求	ベースタイマとGiPOjレジスタの値が一致したとき、インテリジェントI/O割り込み要求レジスタのPOijRビットが“1”になり、ベースタイマとGiPOkレジスタの値が一致したとき、POikRビットが“1”(割り込み要求あり)になる(図 11.12参照)
IIOi_j端子(出力)(グループ2はOUTC2_j端子)	パルス出力
その他選択項目	• 初期値設定機能 波形出力開始時の出力レベルを設定 • 反転出力機能 出力波形のレベルを反転して、IIOi_j端子(グループ2はOUTC2_j端子)から出力

注1.　GiPOCRjレジスタのINVビットが“1”(出力を反転する)の場合、“L”幅と“H”幅は逆になります。
注2.　ベースタイマをリセットしてから出力レベルが“H”になるまでの期間
注3.　出力レベルが“L”になってから、ベースタイマをリセットするまでの期間
注4.　GiPO0レジスタとベースタイマの一致でベースタイマをリセットする場合、チャネル0、1のSR波形生成機能は使用できません。
注5.　時間計測機能と波形生成機能が共用されているチャネルを使用する場合、GiFSレジスタのFSCjビットを“0”(波形生成機能を選択)にしてください。

(A) フリーラン動作の場合 (GiBCR1レジスタのRST2~RST0ビットが“000b”)

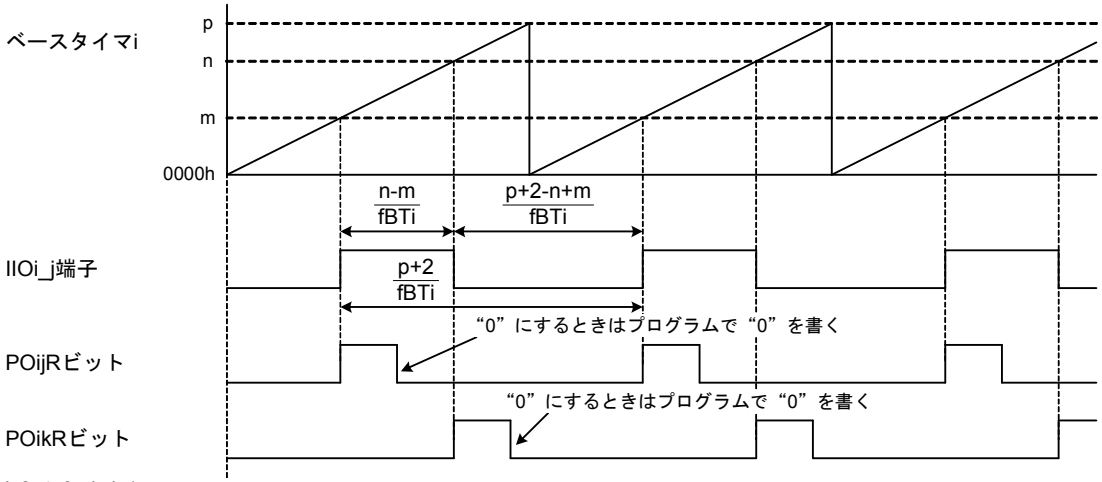


j=0, 2, 4, 6、k=j+1
m: GiPOjレジスタの値 (0000h~FFFFh)
n: GiPOkレジスタの値 (0000h~FFFFh)
POijRビット、POikRビット: IIO0IR~IIO11IRレジスタのビット

注1. GiPOCRjレジスタのINVビットが“0”(出力を反転しない)、IVLビットが“0”(初期値として“L”を出力) のときの波形です。
注2. INVビットが“0”(出力を反転しない)、IVLビットが“1”(初期値として“H”を出力) のときの波形です。

この図は以下の条件の場合です。
・GiBCR1レジスタのUD1~UD0ビットが“00b”(アップカウントモード)
・m < n

(B) ベースタイマとGiPO0レジスタが一致する時、ベースタイマをリセットする場合 (RST2~RST0ビットが“010b”)



j=2, 4, 6、k=j+1
m: GiPOjレジスタの値 (0000h~FFFFh)
n: GiPOkレジスタの値 (0000h~FFFFh)
p: GiPO0レジスタの値 (0001h~FFFDh)
POijRビット、POikRビット: IIO0IR~IIO11IRレジスタのビット

この図は以下の条件の場合です。
・GiPOCRkレジスタのIVLビットが“0”(初期値として“L”を出力)、INVビットが“0”(出力を反転しない)
・GiBCR1レジスタのUD1~UD0ビットが“00b”(アップカウントモード)
・m < n < p + 2

図 23.27　SR波形出力モードの動作例 (i=0~2)

23.3.4　ビットモジュレーションPWM出力モード(グループ2)

ビットモジュレーションPWM出力モードでは、16ビット分解能のPWM出力をすることができます。

1024回連続した小区間tを1周期とするパルスを繰り返し出力します。小区間tの周期は$\frac{64}{fBT2}$で、“L”の基本幅はG2POjレジスタ(j=0~7)の上位6ビットで設定し、下位10ビットで最小分解能ビット幅(1クロック)を付加した“L”幅の1周期における小区間数を設定します。

INVビットを“1”(出力を反転する)にすると、出力波形のレベルを反転して出力します。

表23.10にビットモジュレーションPWM出力モードの仕様を、表23.11にモジュレート付加小区間数と最小分解能ビット幅を付加する小区間tの関係を、図23.28にビットモジュレーションPWM出力モードの動作例を示します。

表23.10　ビットモジュレーションPWM出力モードの仕様

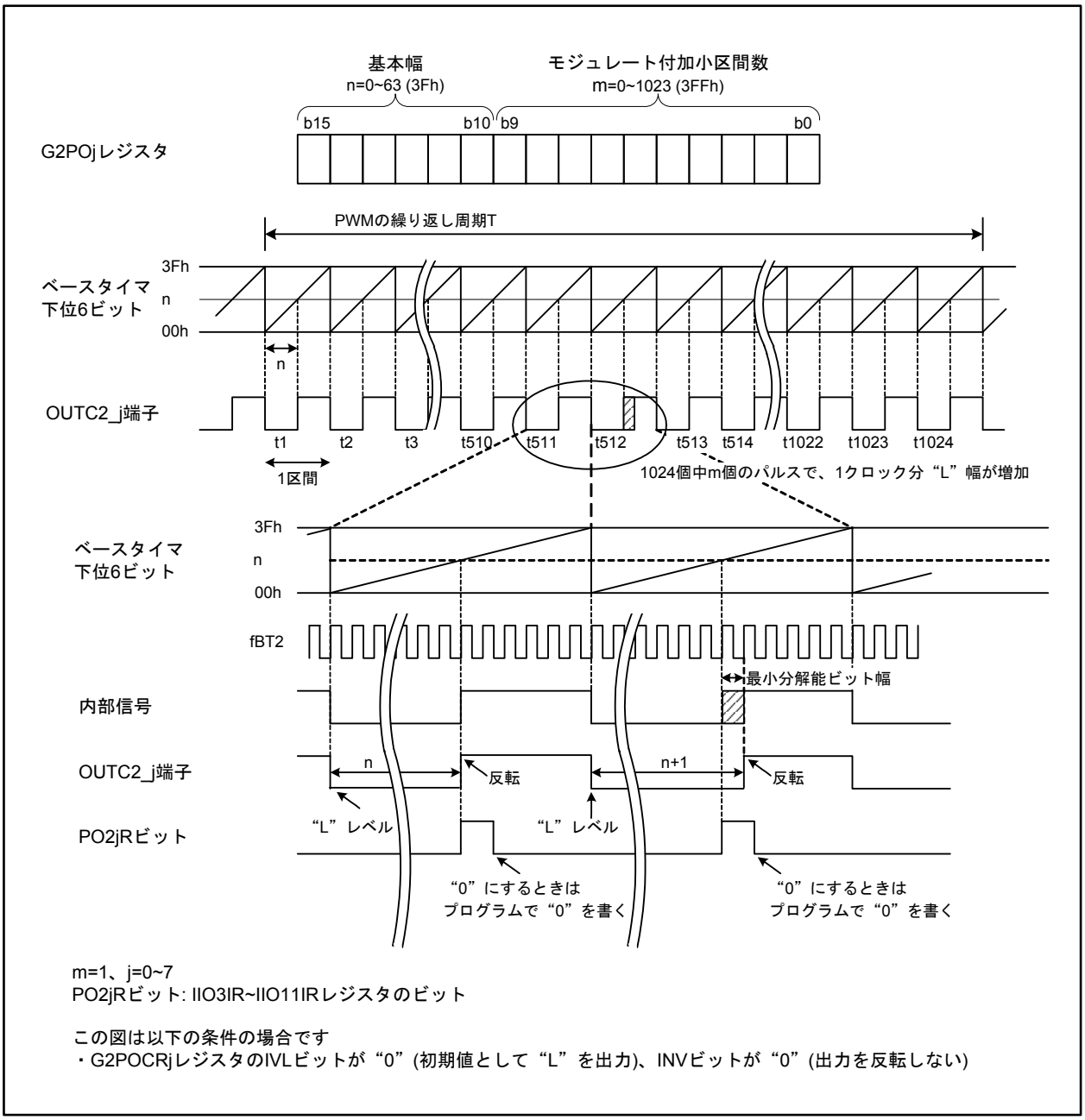
項目	仕様
出力波形(注1、2)	PWMの繰り返し周期T: $\frac{65536}{fBT2}\left(=\frac{64}{fBT2}\times 1024\right)$ 小区間tの周期: $\frac{64}{fBT2}$ “L”幅: m区間で$\frac{n+1}{fBT2}$、$(1024-m)$区間で$\frac{n}{fBT2}$ 平均“L”幅: $\frac{1}{fBT2}\times\left(n+\frac{m}{1024}\right)$ n: G2POjレジスタ(j=0~7)の設定値(上位6ビット) 00h~3Fh m: G2POjレジスタの設定値(下位10ビット) 000h~3FFh
波形出力開始条件	G2FEレジスタのIFEjビットを“1”(チャネルjの機能を動作)にする
波形出力停止条件	IFEjビットを“0”(チャネルjの機能を停止)にする
割り込み要求	ベースタイマの下位6ビットとG2POjレジスタの上位6ビットで設定した値が一致したとき、割り込み要求レジスタのPO2jRビットが“1”(割り込み要求あり)になる(図 11.12参照)
OUTC2_j端子	パルス出力
その他選択項目	•初期値設定機能 波形出力開始時の出力レベルを設定 •反転出力機能 出力波形のレベルを反転して、OUTC2_j端子から出力

注1.　ビットモジュレーションPWM出力モードを使用する場合は、G2BCR1レジスタのRST2~RST0ビットを“000b”にしてください。

注2.　G2POCRjレジスタのINVビットが“1”の場合、“L”幅と“H”幅は逆になります。

表23.11　モジュレート付加小区間数と最小分解能ビット幅を付加する小区間tの関係

モジュレート付加小区間数	最小分解能ビット幅を付加する小区間
00 0000 0000b	なし
00 0000 0001b	t512
00 0000 0010b	t256, t768
00 0000 0100b	t128, t384, t640, t896
00 0000 1000b	t64, t192, t320, t448, t576, t704, t832, t960
:	:
10 0000 0000b	t1, t3, t5, t7, … t1019, t1021, t1023



m=1、j=0~7
PO2jRビット: IIO3IR~IIO11IRレジスタのビット

この図は以下の条件の場合です
・G2POCRjレジスタのIVLビットが“0”(初期値として“L”を出力)、INVビットが“0”(出力を反転しない)

図 23.28 ビットモジュレーションPWM出力モードの動作例

23.3.5　リアルタイムポート(RTP)出力モード(グループ2)

ベースタイマとG2POjレジスタ(j=0~7)の値が一致すると、G2RTPレジスタで設定した値をビット単位でOUTC2_j端子から出力します。表23.12にRTP出力モードの仕様を、図23.29にRTP出力機能のブロック図を、図23.30にRTP出力モード動作例を示します。

表23.12　RTP出力モードの仕様

項目	仕様
波形出力開始条件	G2FEレジスタのIFEjビット(j=0~7)を“1”(チャネルjの機能を動作)にする
波形出力停止条件	G2FEレジスタのIFEjビットを“0”(チャネルjの機能を停止)にする
割り込み要求	ベースタイマとG2POjレジスタの値(0000h~FFFFh(注1))が一致したとき、割り込み要求レジスタのPO2jRビットが“1”(割り込み要求あり)になる(図11.12参照)
OUTC2_j端子	RTP出力
その他選択項目	•初期値設定機能 波形出力開始時の出力レベルを設定 •反転出力機能 出力波形のレベルを反転して、OUTC2_j端子から出力

注1.　ベースタイマとG2PO0レジスタが一致するとき、ベースタイマを“0000h”にする(G2BCR1レジスタのRST2~RST0ビットが“010b”)場合、G2PO0レジスタの値は0001h~FFFDhにしてください。

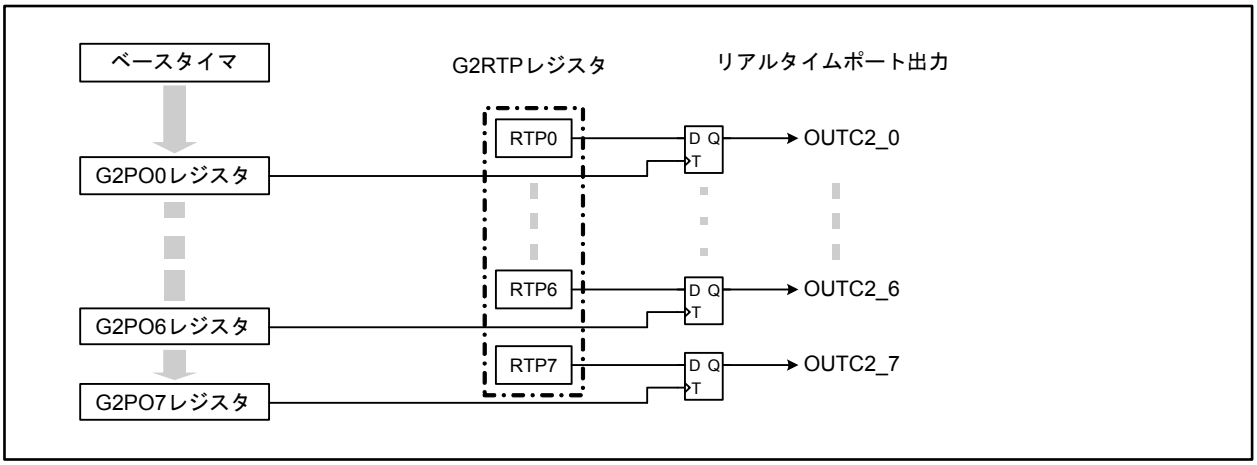
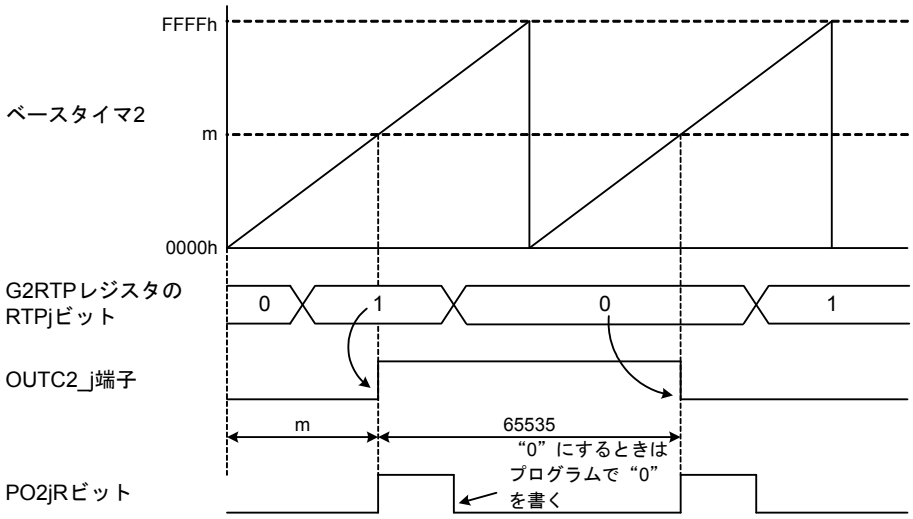


図23.29　RTP出力機能のブロック図

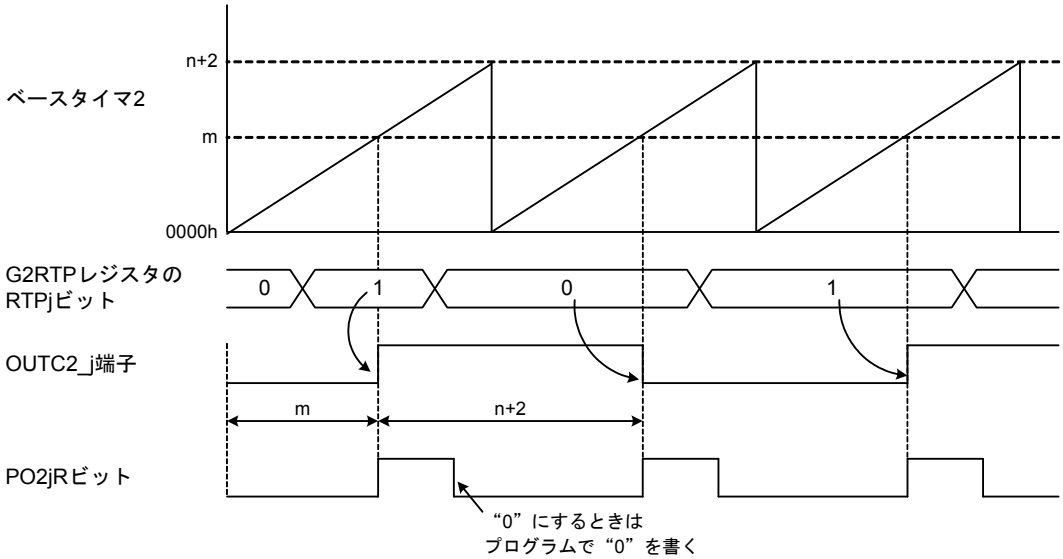
(A) フリーラン動作の場合 (G2BCR1レジスタのRST2~RST0ビットが“000b”)



j=0~7
m: G2POjレジスタの値 (0000h~FFFFh)
PO2jRビット: IIO03R~IIO11IRレジスタのビット

この図は以下の条件の場合です。
・G2POCRjレジスタのIVLビットが“0”(初期化として“L”を出力)、IVLビットが“0”(出力を反転しない)

(B) ベースタイマとG2PO0レジスタが一致する時、ベースタイマをリセットする場合 (RST2~RST0ビットが“010b”)



j=1~7
m: G2POjレジスタの値 (0000h~FFFFh)
n: G2POjレジスタの値 (0001h~FFFDh)
PO2jRビット: IIO03R~IIO11IRレジスタのビット

この図は以下の条件の場合です。
・G2POCRjレジスタのIVLビットが“0”(初期値として“L”を出力)、INVビットが“0”(出力を反転しない)
・m<n+2

図 23.30 RTP出力モードの動作例

23.3.6　並列リアルタイムポート(RTP)出力モード(グループ2)

ベースタイマとG2POjレジスタ(j=0~7)の値が一致すると、G2RTPレジスタで設定したすべての値をバイト単位でOUTC2_j端子から出力します。表23.13に並列RTP出力モードの仕様を、図23.7にG2BCR1レジスタを示します。図23.31に並列RTP出力機能のブロック図を、図23.32に並列RTP出力モードの動作例を示します。

表23.13　並列RTP出力モードの仕様

項目	仕様
波形出力開始条件	G2FEレジスタのIFEjビット(j=0~7)を“1”(チャネルjの機能を動作)にする
波形出力停止条件	IFEjビットを“0”(チャネルjの機能を停止)にする
割り込み要求	ベースタイマとG2POjレジスタの値(0000h~FFFFh(注1))が一致したとき、割り込み要求レジスタのPO2jRビットが“1”(割り込み要求あり)になる(図11.12参照)
OUTC2_j端子	RTP出力
その他選択項目	•初期値設定機能 波形出力開始時の出力レベルを設定 •反転出力機能 出力波形のレベルを反転して、OUTC2_j端子から出力

注1.　ベースタイマとG2PO0レジスタが一致するとき、ベースタイマを“0000h”にする(G2BCR1レジスタのRST2~RST0ビットが“010b”)場合、G2PO0レジスタの値は0001h~FFFDhにしてください。

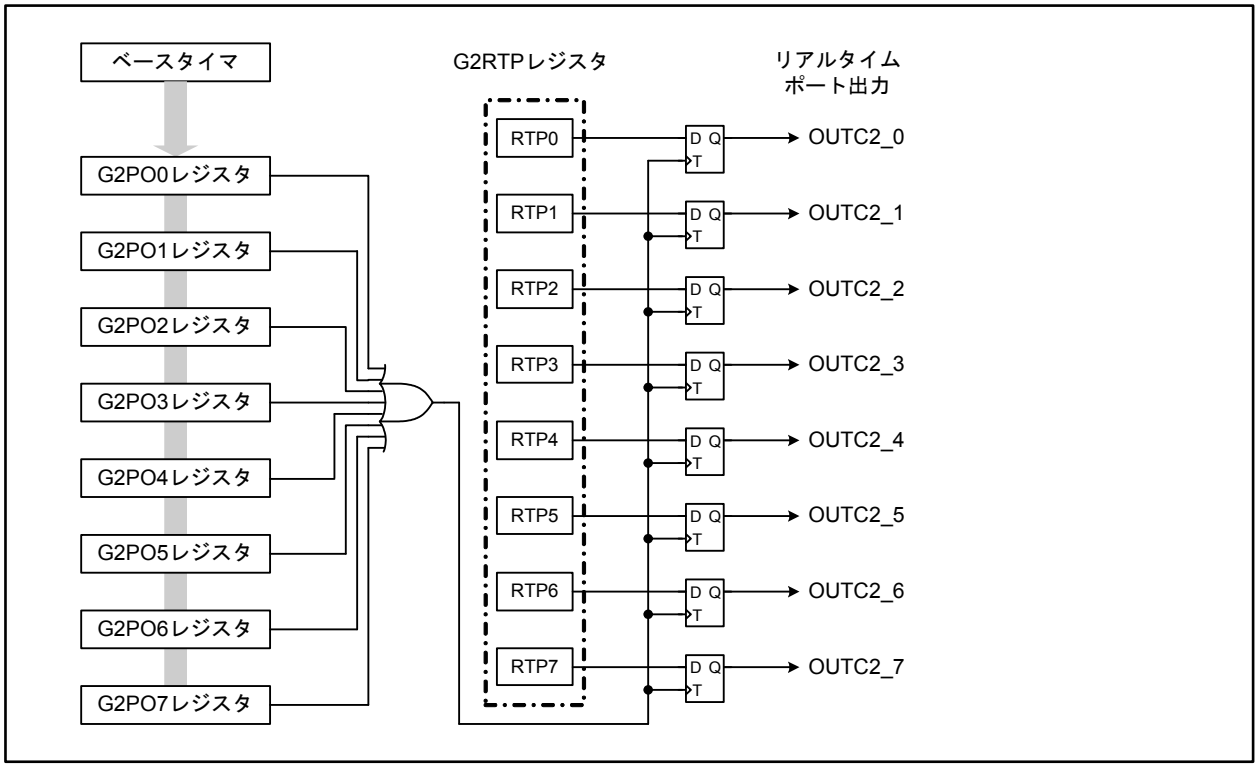
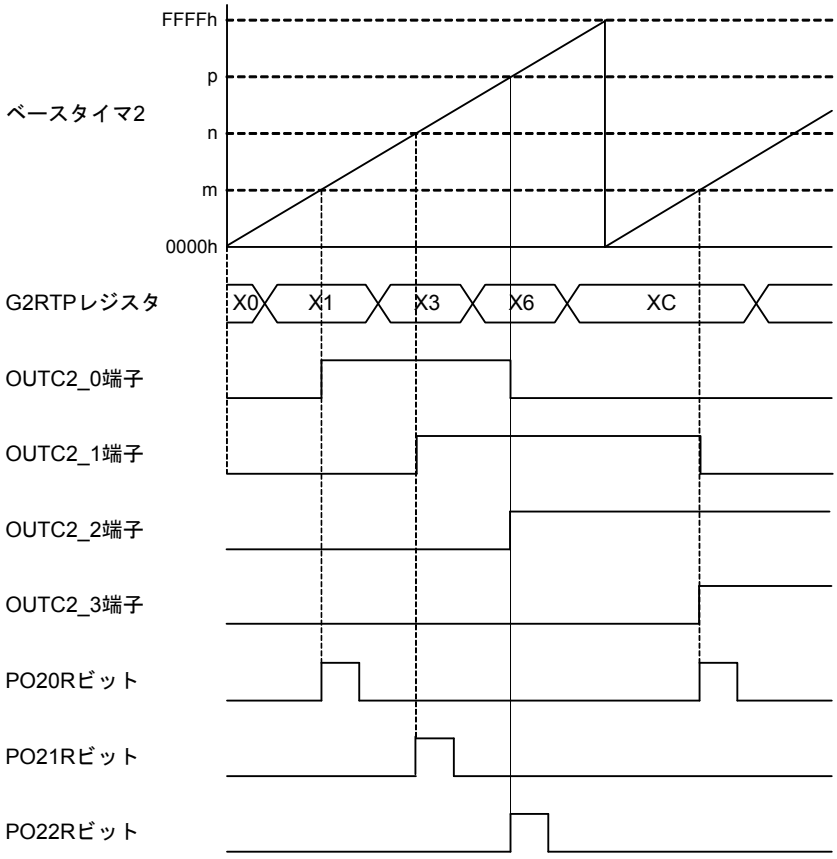


図23.31　並列RTP出力機能のブロック図

(A) フリーラン動作の場合



m: G2PO0レジスタの値 (0000h~FFFFh)
n: G2PO1レジスタの値 (0000h~FFFFh)
p: G2PO2レジスタの値 (0000h~FFFFh)
PO20R、PO21R、PO22Rビット: IIO3IR~IIO11IRレジスタのビット

この図は以下の条件の場合です。
・G2POCRjレジスタのIVLビットが“0”(初期化として“L”を出力)、IVLビットが“0”(出力を反転しない)
・G2BCR1レジスタのRST2~RST0ビットが“000b”(ベースタイマをリセットしない)
・m<n<p

図 23.32 並列RTP出力モードの動作例

23.4　グループ2通信機能

2本の8ビットシフトレジスタと波形生成機能を使用することで通信機能は動作します。

インテリジェントI/Oグループ2では、可変長クロック同期型シリアルI/OまたはIEBus通信(オプション(注1))を行います。

図23.33~図23.40に関連するレジスタを示します。

注1. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

グループ2 SI/O送信バッファレジスタ

b15　b8 b7　b0

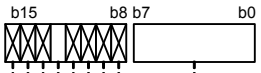
シンボル	アドレス	リセット後の値
G2TB	016Dh-016Ch番地	不定

ビットシンボル	ビット名	機　能	RW
— (b7-b0)	送信バッファ	送信データ	WO
SZ0	送受信キャラクタ長選択ビット	b10b9 b8 0 0 0:8ビット 0 0 1:1ビット 0 1 0:2ビット 0 1 1:3ビット 1 0 0:4ビット 1 0 1:5ビット 1 1 0:6ビット 1 1 1:7ビット	RW
SZ1			RW
SZ2			RW
— (b12-b11)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
A	ACK機能選択ビット	0: ACKビットを付加しない 1: 最終送信ビットの後にACKビットを付加	RW
PC	パリティ演算継続ビット	0: この送信データの後にパリティビットを付加 1: 次回の送信データにパリティを繰り越す (注1)	RW
P	パリティ機能選択ビット	0: パリティなし 1: パリティあり (偶数パリティのみ)	RW

注1. Pビットを“0”にした後、PCビットを“1”にしてください。

図23.33　G2TBレジスタ

グループ2 SI/O受信バッファレジスタ



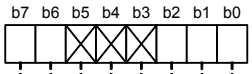
シンボル	アドレス	リセット後の値
G2RB	016Fh-016Eh番地	不定

ビットシンボル	ビット名	機　能	RW
— (b7-b0)	受信バッファ	受信データ	RO
— (b11-b8)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
OER	オーバランエラーフラグ (注1)	0: オーバランエラーなし 1: オーバランエラーあり	RO
— (b15-b13)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. G2MRレジスタのGMD1~GMD0ビットを“00b”(通信部リセット)、またはG2CRレジスタのREビットを“0”(受信禁止) にするとOERビットは“0”になります。

図 23.34　G2RB レジスタ

グループ2 SI/O通信モードレジスタ



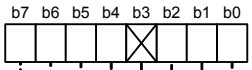
シンボル	アドレス	リセット後の値
G2MR	016Ah番地	00XX X000b

ビットシンボル	ビット名	機　能	RW
GMD0	通信モード選択ビット	b1 b0 0 0 : 通信回路リセット (OERビットが“0”になる)　(注1) 0 1 : 可変長クロック同期型シリアルI/Oモード　(注2) 1 0 : IEBusモード　(注2) 1 1 : 設定しないでください	RW
GMD1			RW
CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック	RW
— (b5-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
UFORM	ビットオーダ選択ビット	0: LSBファースト 1: MSBファースト	RW
IRS	送信割り込み要因選択ビット	0: 送信バッファ空 1: 送信完了	RW

注1. GMD1~GMD0ビットを“00b”にした後、ベースタイマクロックを1サイクル以上動作させてください。
注2. GMD1~GMD0ビットを“01b”または“10b”にする場合は、ベースタイマクロック停止中に書き換えてください。

図 23.35　G2MR レジスタ

グループ2 SI/O通信制御レジスタ



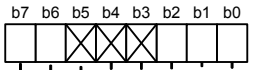
シンボル	アドレス	リセット後の値
G2CR	016Bh番地	0000 X110b

ビットシンボル	ビット名	機　能	RW
TE	送信許可ビット	0: 送信禁止 1: 送信許可	RW
TXEPT	送信シフトレジスタ空フラグ	0: 送信シフトレジスタにデータあり (送信中) 1: 送信シフトレジスタにデータなし (送信完了)	RO
TI	送信バッファ空フラグ	0: G2TBレジスタにデータあり 1: G2TBレジスタにデータなし	RO
— (b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
RE	受信許可ビット　(注1)	0: 受信禁止 1: 受信許可	RW
RI	受信完了フラグ	0: G2RBレジスタにデータなし 1: G2RBレジスタにデータあり	RO
OPOL	ISTXD2出力極性選択ビット	0: 反転なし 1: 反転あり	RW
IPOL	ISRXD2入力極性選択ビット　(注1)	0: 反転なし 1: 反転あり	RW

注1. これらのビットを書き換えるとグループ2ベースタイマがリセットされることがあります。リセットさせないためには、G2BCR1レジスタのRST2ビットを“0”(通信機能からのリセット要求でベースタイマリセットしない) にしてください。

図 23.36　G2CR レジスタ

グループ2 IEBus制御レジスタ



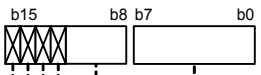
シンボル	アドレス	リセット後の値
IECR	0172h番地	00XX X000b

ビットシンボル	ビット名	機　能	RW
IEB	IEBus使用許可ビット (注1)	0: IEBus使用禁止 (注2) 1: IEBus使用許可	RW
IETS	IEBus送信開始要求ビット	0: 送信終了 1: 送信開始	RW
IEBBS	IEBus バスビジーフラグ	0: アイドル状態 1: ビジー状態 (スタートコンディション検出)	RO
— (b5-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
DF	デジタルフィルタ選択ビット	0: デジタルフィルタなし 1: デジタルフィルタあり	RW
IEM	IEBusモード選択ビット	0: モード1 1: モード2	RW

注1. IEBビットはベースタイマクロック停止中に書き換えてください。
注2. IEBビットを“0”にしたときは、fBT2の1サイクル以上“0”を保持してください。また、“1”にする場合、G2BCR0レジスタのBCK1~BCK0ビットを“00b”(クロック停止) にしてください。

図 23.37　IECR レジスタ

グループ2 IEBusアドレスレジスタ

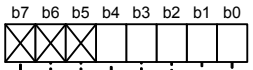


シンボル	アドレス	リセット後の値
IEAR	0171h-0170h番地	不定

機　能	RW
アドレスデータ	RW
アドレスデータ	RW
何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定	—

図 23.38　IEAR レジスタ

グループ2 IEBus送信割り込み要因判別レジスタ



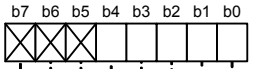
シンボル	アドレス	リセット後の値
IETIF	0173h番地	XXX0 0000b

ビットシンボル	ビット名	機　能	RW
IETNF	正常終了フラグ	0: エラー終了 1: 正常終了 (注1)	RW
IEACK	ACKエラーフラグ	0: エラーなし 1: エラーあり (注1)	RW
IETMB	最大送信バイトエラーフラグ	0: エラーなし 1: エラーあり (注1)	RW
IETT	タイミングエラーフラグ	0: エラーなし 1: エラーあり (注1)	RW
IEABL	アービトレーションロストフラグ	0: エラーなし 1: エラーあり (注1)	RW
— (b7-b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. プログラムで“0”にできますが、“1”にはできません。IECRレジスタのIEBビットを“0”(IEBus使用禁止) にすると、これらのビットは“0”になります。

図 23.39　IETIF レジスタ

グループ2 IEBus受信割り込み要因判別レジスタ



シンボル	アドレス	リセット後の値
IERIF	0174h番地	XXX0 0000b

ビットシンボル	ビット名	機　能	RW
IERNF	正常終了フラグ	0: エラー終了 1: 正常終了 (注1)	RW
IEPAR	パリティエラーフラグ	0: エラーなし 1: エラーあり (注1)	RW
IERMB	最大受信バイトエラーフラグ	0: エラーなし 1: エラーあり (注1)	RW
IERT	タイミングエラーフラグ	0: エラーなし 1: エラーあり (注1)	RW
IERETC	他要因受信完了フラグ	0: エラーなし 1: エラーあり (注1)	RW
— (b7-b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. プログラムで“0”にできますが、“1”にはできません。IECRレジスタのIEBビットを“0”(IEBus使用禁止) にすると、これらのビットは“0”になります。

図 23.40　IERIF レジスタ

23.4.1　可変長クロック同期型シリアルI/Oモード(グループ2)

送受信クロックに同期してデータ送受信を行うモードです。このモードでは、キャラクタ長を1~8ビットから選択できます。表23.14にグループ2の可変長クロック同期型シリアルI/Oモードの仕様を、表23.15に使用レジスタと設定値を、図23.41に送信、受信動作例を示します。

表23.14　グループ2の可変長クロック同期型シリアルI/Oモードの仕様

項目	仕様
データフォーマット	キャラクタ長:　1~8ビット
送受信クロック	•G2MRレジスタのCKDIRビットが“0” (内部クロック選択): $\frac{fBT2}{2(n+2)}$　n: G2PO0レジスタの設定値(0000h~FFFFh)(注1) ビットレートをG2PO0レジスタで決定し、チャネル2波形生成機能、反転波形出力モードで生成 •CKDIRビットが“1” (外部クロック選択): ISCLK2端子へ入力(注2)
送信開始条件	送信開始には以下の条件が必要です •G2CRレジスタのTEビットが“1” (送信許可) •G2CRレジスタのTIビットが“0” (G2TBレジスタにデータあり)
受信開始条件	受信開始には以下の条件が必要です •G2CRレジスタのREビットが“1” (受信許可) •G2CRレジスタのTEビットが“1” (送信許可) •G2CRレジスタのTIビットが“0” (G2TBレジスタにデータあり)
割り込み要求	送信時 以下の条件のいずれかを選択できます。条件が成立するとIIO6IRレジスタのSIO2TRビットが“1” (割り込み要求あり)になります(図11.12参照) •G2MRレジスタのIRSビットが“0” (G2TBレジスタ空で割り込み)の場合、G2TBレジスタから送信シフトレジスタへデータが転送された時(送信開始時) •IRSビットが“1” (送信完了で割り込み)の場合、送信シフトレジスタからのデータ送信が完了した時 受信時 受信シフトレジスタからG2RBレジスタへデータが転送された時(受信完了時)、IIO5IRレジスタのSIO2RRビットが“1” (割り込み要求あり)になります(図11.12参照)
エラー検出	オーバランエラー (注3) G2RBレジスタを読む前に次のデータ受信を開始し、最終ビットのデータを受信すると発生
その他選択項目	•ビットオーダ選択 LSBファーストまたはMSBファーストを選択できます •シリアルデータ極性切り替え ISTXD2、ISRXD2端子の送受信データの極性を反転することができます •送受信キャラクタ長選択 送受信キャラクタ長を1~8ビットの間で設定できます

注1.　通信機能を使用する場合、G2PO0レジスタには1以上を設定してください。
注2.　送受信クロック周波数が、fBT2を20分周した周波数を超えないようにしてください。
注3.　オーバランエラーが発生した場合、G2RBレジスタは不定になります。

表 23.15 グループ2の可変長クロック同期型シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
G2BCR0	BCK1~BCK0	“11b”にしてください
	DIV4~DIV0	カウントソースの分周比を選択してください
	IT	“0”にしてください
G2BCR1	7~0	“0001 0010b”にしてください
G2POCR0	7~0	“0000 0111b”にしてください
G2POCR1	7~0	“0000 0111b”にしてください
G2POCR2	7~0	“0000 0010b”にしてください
G2PO0	15~0	波形生成用の比較値を設定してください $\frac{fBT2}{2 \times (\text{設定値} + 2)}$ が送受信クロック周波数になります
G2PO2	15~0	G2PO0レジスタの値より小さい値を設定してください
G2FE	IFE2~IFE0	“111b”にしてください
G2MR	GMD1~GMD0	“01b”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
	IRS	送信割り込み要因を選択してください
G2CR	TE	送受信を許可する場合、“1”にしてください
	TXEPT	送信シフトレジスタ空フラグ
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ
	OPOL	ISTXD2出力極性切り替え(通常は“0”にしてください)
	IPOL	ISRXD2入力極性切り替え(通常は“0”にしてください)
G2TB	15~0	送受信キャラクタ長、送信データを書いてください
G2RB	15~0	受信データとエラーフラグが格納されます

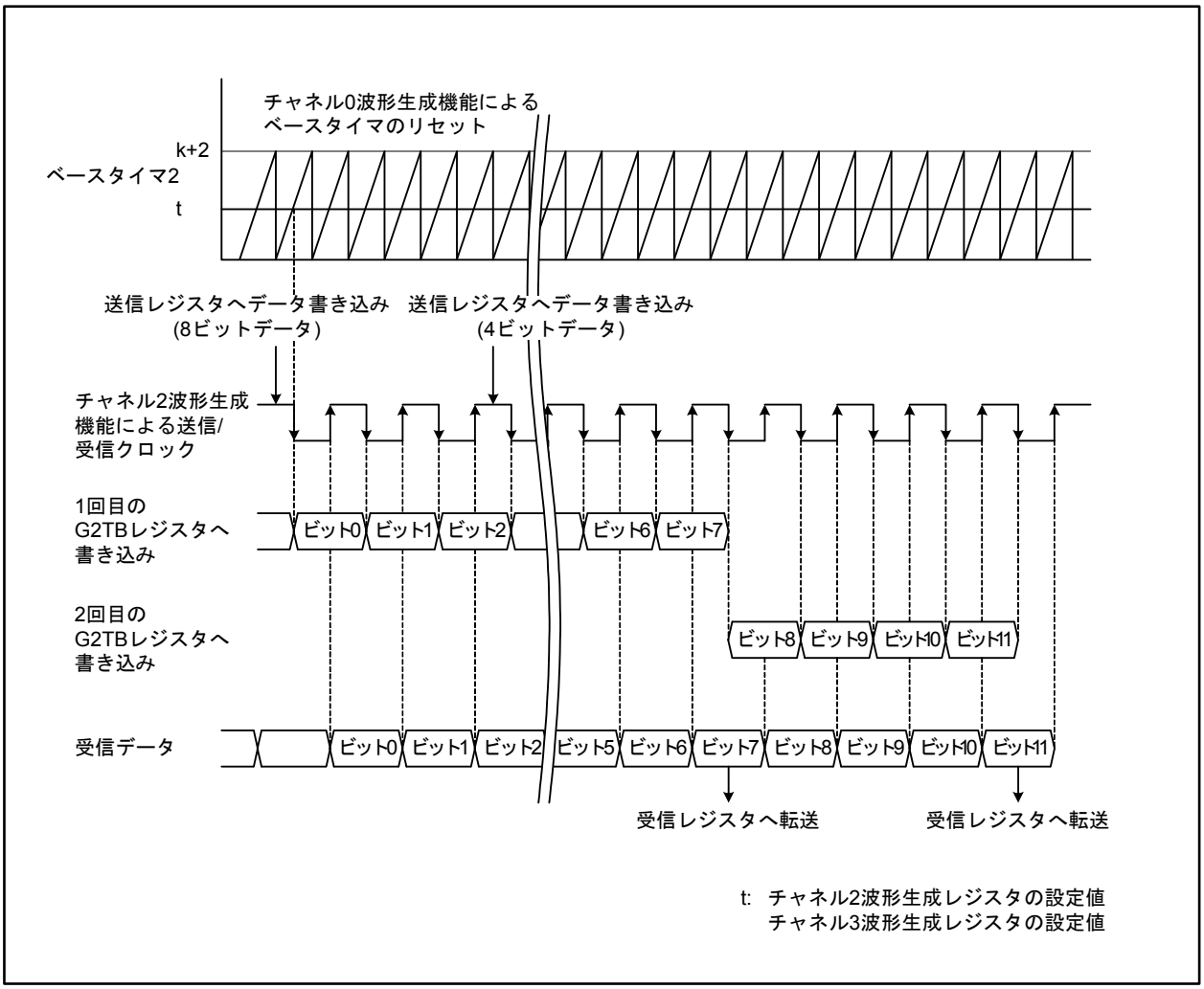


図 23.41　グループ2の可変長クロック同期型シリアルI/Oモード時の送信、受信動作例

24. マルチマスタ I2Cバスインタフェース

マルチマスタ I2Cバスインタフェース(MMI2C)は、I2Cバスのデータ送受信フォーマットに基づいてシリアル送受信を行う回路です。アービトレーションロスト検出機能とクロック同期機能を持ちます。表24.1にマルチマスタ I2Cバスインタフェースの仕様を、表24.2にマルチマスタ I2Cバスインタフェースの検出機能を、図24.1にマルチマスタ I2Cバスインタフェースのブロック図を示します。

表 24.1　マルチマスタ I2Cバスインタフェースの仕様

項目	機能
データフォーマット	I2Cバス規格準拠 •7ビットアドレッシングフォーマット •高速モード •標準モード
マスタ / スレーブデバイス	選択可能
入出力端子	シリアルデータライン: MSDA (SDA) シリアルクロックライン: MSCL (SCL)
送受信クロック	16.1k ~ 400kbps (ϕIIC = 4 MHz) ϕIIC: I2Cバスシステムクロック
送受信モード	I2Cバス規格準拠 •マスタ送信 •マスタ受信 •スレーブ送信 •スレーブ受信
割り込み要求	• I2Cバスインタフェース割り込み:6種類(送信完了、受信完了、スレーブアドレス一致検出、ジェネラルコールアドレス検出、ストップコンディション検出、タイムアウト検出) •I2Cバスライン割り込み : 2種類(MSDA端子、MSCL端子の立ち上がりまたは立ち下がり)
その他の機能	•タイムアウト検出 バスビジー中に一定時間以上MSCL端子のレベルが“H”になったことを検出する機能 •フリーフォーマット選択 スレーブアドレスの値にかかわらず、1バイト目の受信時に割り込み要求発生を選択する機能

表 24.2　マルチマスタI²Cバスインタフェースの検出機能

項目	機能
スレーブアドレス一致検出	スレーブ受信時、スレーブアドレスの検出を行い、一致した場合はACKを自動的に送出します。一致しない場合はNACKを送出し、それ以降は送受信を行いません
ジェネラルコールアドレス検出	スレーブ受信時、ジェネラルコールアドレスを検出します
アービトレーションロスト検出	アービトレーションロストを検出し、検出時はただちにMSDA端子の出力を停止します
バスビジー検出	バスビジーを検出しBBSYビットをセット/リセットします

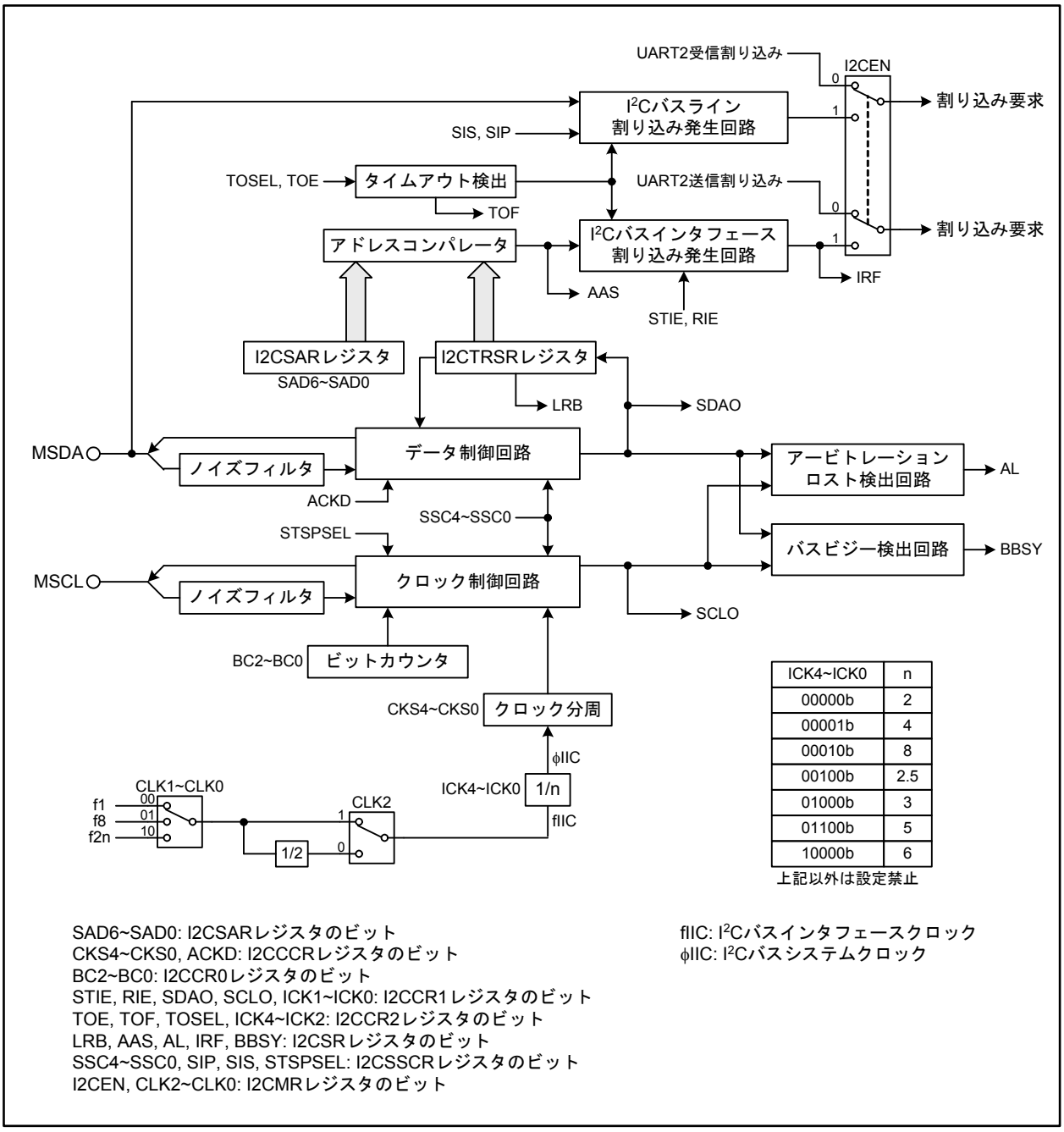


図 24.1　マルチマスタI²Cバスインタフェースのブロック図

24.1　マルチマスタI2Cバスインタフェース関連レジスタ

24.1.1　I2Cバス送受信シフトレジスタ (I2CTRSR)

I2Cバス送受信シフトレジスタ (注1、2、3)

b7	b0	シンボル	アドレス	リセット後の値
		I2CTRSR	044400h番地	不定

機　能	RW
送信時、送信データを設定します。 受信時、データ受信前にダミーデータを書き、割り込み発生後、受信データを読み出します。 送信中、受信中はシフト中の値が読めます	RW

注1. I2CCR0レジスタのICEビットが“1” (I2Cバスインタフェース有効) の時に書けます。
注2. 送信/受信に同じレジスタを使用するので、送信時は先に受信データを読み出してください。
注3. このレジスタに値を書くと、I2CCR0レジスタのBC2~BC0ビットは“000b”に、I2CSRレジスタのLRB、AAS、ALビットは“0”になります。

図 24.2　I2CTRSRレジスタ

I2CTRSRレジスタは、受信データの格納、および送信データを書くための8ビットシフトレジスタです。送信データをI2CTRSRレジスタに書くと、SCLクロックに同期してビット7から順に外部へ送出されます。1ビット送出されるたびに1ビットシフトされます。データ受信時はSCLクロックに同期してビット0から順に格納され、1ビット入力されるごとに1ビットシフトされます。受信データがI2CTRSRレジスタに格納されるタイミングを図24.3に示します。

I2CTRSRレジスタは、I2CCR0レジスタのICEビットが“1” (I2Cバスインタフェース有効) のとき書き込みが可能です。ICEビットが“1”、I2CSRレジスタのMSTビットが“1” (マスタモード) のとき、I2CTRSRレジスタにデータを書くと、ビットカウンタがリセットされ、SCLクロックが出力されます。

I2CTRSRレジスタへの書き込みは、スタートコンディション生成時、またはMSCL端子に“L”を出力しているときに、行ってください。I2CTRSRレジスタからの読み出しは常時可能です。

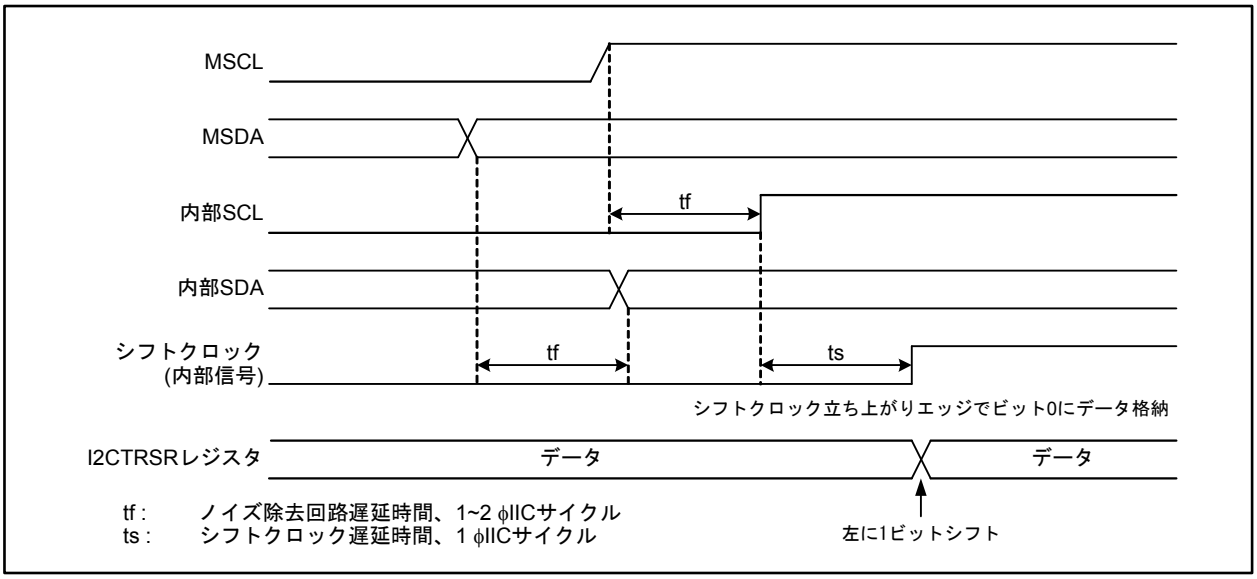


図 24.3　受信データをI2CTRSRレジスタに格納するタイミング

24.1.2　I2Cバススレーブアドレスレジスタ (I2CSAR)

I2Cバススレーブアドレスレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
							0

シンボル	アドレス	リセット後の値
I2CSAR	044402h番地	00h

ビットシンボル	ビット名	機　能	RW
— (b0)	予約ビット	“0”にしてください	RW
SAD0	スレーブアドレス	I2Cバスに接続する他のスレーブデバイスと異なるアドレスを設定してください。 スレーブモード時、スタートコンディション後に送られてくる第1フレームの上位7ビットと、SAD6~SAD0が一致したとき、スレーブデバイスとして動作します	RW
SAD1			RW
SAD2			RW
SAD3			RW
SAD4			RW
SAD5			RW
SAD6			RW

図 24.4　I2CSAR レジスタ

I2CSAR レジスタは、スレーブデバイスとして自動認識させるために、スレーブアドレスを格納するレジスタです。I2CSAR レジスタに設定されたスレーブアドレスと受信したアドレスが一致すれば、スレーブデバイスとして動作します。

24.1.2.1　SAD6~SAD0 ビット

SAD6~SAD0 ビットは、スレーブアドレスを格納するビットで、7 ビットで構成されます。アドレッシングフォーマット時は、受信したアドレスデータの 7 ビットと SAD6~SAD0 ビットの内容が比較され、一致が検出されるとスレーブデバイスとして動作します。

24.1.3　I²Cバス制御レジスタ0 (I2CCR0)

I²Cバス制御レジスタ0

b7	b6	b5	b4	b3	b2	b1	b0
0		0					

シンボル: I2CCR0　　アドレス: 044403h番地　　リセット後の値: 0000 0000b

ビットシンボル	ビット名	機　能	RW
BC0	送受信ビット数設定ビット (注1)	b2 b1 b0 0 0 0 : 8ビット 0 0 1 : 7ビット 0 1 0 : 6ビット 0 1 1 : 5ビット 1 0 0 : 4ビット 1 0 1 : 3ビット 1 1 0 : 2ビット 1 1 1 : 1ビット	RW
BC1			RW
BC2			RW
ICE	I²Cバスインタフェース許可ビット	0: I²Cバスインタフェース機能停止 1: I²Cバスインタフェース有効	RW
DFS	データフォーマット選択ビット	0: アドレッシングフォーマット 1: フリーデータフォーマット	RW
— (b5)	予約ビット	“0”にしてください	RW
RST	I²Cバスインタフェースリセットビット	“1”を書くとI²Cバスインタフェースがリセットされます	RW
— (b7)	予約ビット	“0”にしてください	RW

注1. 以下の場合、自動的に“000b”になります。
スタートコンディション/ストップコンディション検出
データ送信完了
データ受信完了

図 24.5　I2CCR0 レジスタ

I2CCR0 レジスタはデータ通信フォーマットの制御を行うレジスタです。

24.1.3.1　BC2~BC0 ビット

BC2~BC0 ビットは、次に送受信されるデータのビット数を設定するビットです。これらのビットで指定したデータビット数(I2CCCR レジスタの ACKCLK ビットが“1”の場合、ACK クロックも合わせたビット数)の送受信完了後、I²Cバスインタフェース割り込み要求が発生し、BC2~BC0 ビットは“000b”に戻ります。また、スタートコンディションを検出しても BC2~BC0 ビットは“000b”になります。アドレスデータは、BC2~BC0 ビットの設定値に関係なく 8 ビットで送受信されます。

24.1.3.2 ICEビット

ICEビットは、I²Cバスインタフェースの使用を許可するビットです。ICEビットを“1”にすると、I²Cバスインタフェースを使用することができます。ICEビットを“0”にすると、MSDAおよびMSCL端子が“H”固定(P7_0S、P7_1Sレジスタの NODビットが“1”の場合、ハイインピーダンス)になり、使用できません。

ICEビットを“0”にすると以下の状態になります。

- I2CSRレジスタのADZ、AAS、AL、BBSY、TRS、MSTビットが“0”、IRFビットが“1”
- I2CTRSRレジスタへの書き込み禁止
- I²Cバスシステムクロック(φIIC)が停止、内部カウンタ、フラグがリセット
- I2CCR2レジスタのTOFビットが“0”(タイムアウト未検出)

24.1.3.3 DFSビット

DFSビットは、スレーブアドレスの自動認識を許可するビットです。“0”の場合は、アドレッシングフォーマットが選択され、スレーブアドレスが自動認識されます。I2CSARレジスタに格納されたスレーブアドレスと受信したアドレスを比較して一致した場合、またはジェネラルコールアドレスを受信した場合のみ、データの受信処理を行います。DFSビットを“1”にした場合は、フリーデータフォーマットとなり、スレーブアドレスを認識しないので、すべてのデータ受信処理を行います。

24.1.3.4 RSTビット

RSTビットは、通信異常発生時に、I²Cバスインタフェースをリセットするビットです。ICEビットが“1”(I²Cバスインタフェース有効)のとき、RSTビットに“1”(リセット)を書くと、I²Cバスインタフェースは以下の状態になります。

- I2CSRレジスタのADZ、AAS、AL、BBSY、TRS、MSTビットが“0”、IRFビットが“1”
- I2CCR2レジスタのTOFビットが“0”(タイムアウト未検出)
- 内部カウンタ、フラグがリセット

RSTビットに“1”を書くと、最大2.5φIICサイクル後にマルチマスタI²Cバスインタフェースのリセット処理が完了し、RSTビットは自動的に“0”になります。

図24.6にI²Cバスインタフェースのリセットタイミングを示します。

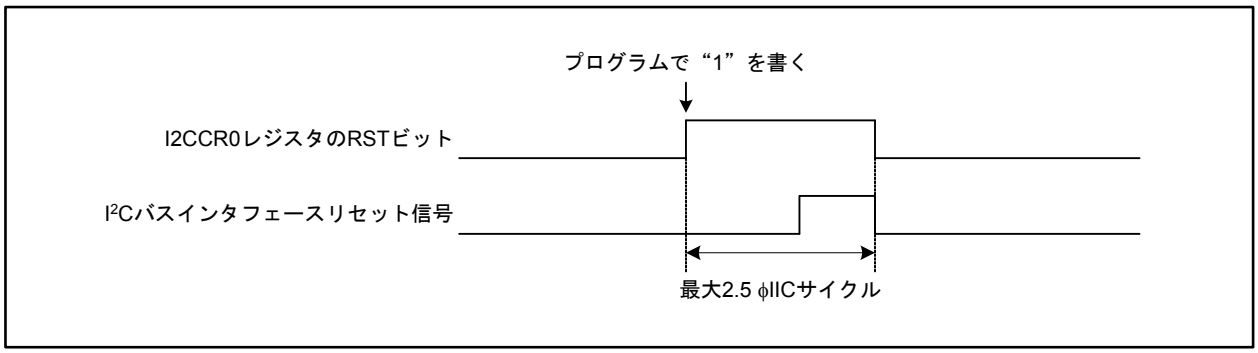


図24.6　I²Cバスインタフェースのリセットタイミング

24.1.4　I2C バスクロック制御レジスタ (I2CCCR)

I2C バスクロック制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット後の値
I2CCCR	044404h番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
CKS0	送受信クロック周波数制御ビット	設定値をnとすると、送受信クロック周波数は、 標準モードでは φIIC/8n [Hz]、 高速モードでは φIIC/4n [Hz] となります。 ただし、高速モード時00101bを設定するとφIIC/2n [Hz] となります。 また、00000b~00010bは設定しないでください	RW
CKS1			RW
CKS2			RW
CKS3			RW
CKS4			RW
CLKMD	クロックモード選択ビット	0: 標準モード 1: 高速モード	RW
ACKD	ACKデータビット	0: ACK送出 1: NACK送出	RW
ACKCLK	ACKクロック生成ビット	0: ACKクロック非生成 1: ACKクロック生成	RW

図 24.7　I2CCCR レジスタ

I2CCCR レジスタは、ACK の制御、SCL モードの設定、SCL クロックの周波数を設定するレジスタです。データ送受信中は、ACKD ビット以外のビットを書き換えないでください。

24.1.4.1　CKS4~CKS0 ビット

CKS4~CKS0 ビットは、SCL クロック周波数を設定するビットです。CKS4~CKS0 ビットの設定値を n (有効値 3~31) とすると、SCL クロック周波数は表 24.3 に示す値となります。CKS4~CKS0 ビットは送受信中に書き換えないでください。

表 24.3　I2CCCR レジスタの設定値と SCL 周波数

CKS4~CKS0 の設定値 (n)	SCL 周波数 (φIIC = 4 MHz の場合) (注 1)	
	標準モード	高速モード
0~2	設定禁止 (注 2)	設定禁止 (注 2)
3	設定禁止 (注 3)	333 kHz (φIIC/4n)
4	設定禁止 (注 3)	250 kHz (φIIC/4n)
5	100 kHz (φIIC/8n)	400 kHz (φIIC/2n) (注 4)
6~31	83 k ~ 16 kHz (φIIC/8n)	166 k ~ 32 kHz (φIIC/4n)

注 1.　SCL クロック周波数が、標準モードでは 100 kHz 以下、高速モードでは 400 kHz 以下となるよう、CKS 値を設定してください。SCL クロックの “H” 期間は、標準モードで +2~-4φIIC、高速モードで +2~-2φIIC の変動があります。負値変動の場合、“H” 期間が短くなる分、“L” 期間が長くなるので、周波数は変わりません。

注 2.　φIIC の周波数に関係なく、0~2 の値は設定しないでください。

注 3.　φIIC が 4 MHz 以上の場合は、SCL クロック周波数が規格範囲外になるので設定しないでください。

注 4.　SCL クロックのデューティ比は通常 50% ですが、高速モードで CKS 値が “5” の場合のみ、35% ~ 45% になります。

24.1.4.2 CLKMD ビット

CLKMD ビットは、SCL モードを選択するビットです。“0”を設定すると標準モードになり、“1”を設定すると高速モードになります。高速モード I2C バス規格 (最高 400k ビット / 秒) で使用する場合、φIIC を 4 MHz 以上にしてください。

24.1.4.3 ACKD ビット

ACKD ビットは、ACK クロック時の MSDA 端子の状態を設定するビットです。ACKD ビットを“0”に設定すると、ACK クロック時に MSDA 端子が “L” (ACK 応答) になります。“1”に設定すると、ACK クロック時の MSDA 端子は“H”の状態を保持します。

表 24.4 に ACK クロック時の MSDA 端子の状態を示します。

表 24.4　ACK クロック時の MSDA 端子の状態

受信内容	DFS ビット	ACKD ビット	スレーブアドレス	MSDA 端子の状態
スレーブアドレス	0	0	一致	“L” (ACK)
			不一致	“H” (NACK)
		1	—	“H” (NACK)
	1	0	—	“L” (ACK)
		1	—	“H” (NACK)
データ	—	0	—	“L” (ACK)
		1	—	“H” (NACK)

24.1.4.4 ACKCLK ビット

ACKCLK ビットは、ACK 応答の有無を設定するビットです。ACKCLK ビットを “1” (ACK クロック生成) にすると、1 バイトのデータ送受信に続いて ACK クロックが生成されます。ACKCLK ビットが “0” (ACK クロック非生成) の場合、データ送受信後に ACK クロックは生成されません。その場合、データ送受信の最終クロックの立ち下がりで I2CIC レジスタの IR ビットが “1” (I2C バスインタフェース割り込み要求あり) になります。

24.1.5 I2Cバススタートコンディション/ストップコンディション制御レジスタ (I2CSSCR)

I2Cバススタートコンディション/ストップコンディション制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット後の値
I2CSSCR	044405h番地	0001 1010b

ビットシンボル	ビット名	機　能	RW
SSC0	スタートコンディション/ストップコンディション検出設定ビット	スタートコンディション/ストップコンディションの検出条件 (SCL開放時間、セットアップ時間、ホールド時間) を設定	RW
SSC1			RW
SSC2			RW
SSC3			RW
SSC4			RW
SIP	I2Cバスライン割り込み端子極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	RW
SIS	I2Cバスライン割り込み端子選択ビット	0: MSDA端子 1: MSCL端子	RW
STSPSEL	スタートコンディション/ストップコンディション生成選択ビット	0: ショートモード 1: ロングモード	RW

図 24.8　I2CSSCR レジスタ

I2CSSCR レジスタは、スタートコンディション/ストップコンディションの検出や生成を制御するレジスタです。

24.1.5.1 SSC4~SSC0 ビット

SSC4~SSC0 ビットは、標準モード時のスタートコンディション/ストップコンディションの検出条件 (SCL 開放時間、セットアップ/ホールド時間) を選択するビットです。この条件は I2C バスシステムクロック (φIIC) が基準なので、XIN 周波数や、I2C バスシステムクロック選択ビット (I2CCR2~I2CCR1 レジスタの ICK4~ICK0 ビット) によって変わります。SSC4~SSC0 ビットには奇数および“00000b”を設定しないでください。スタートコンディション/ストップコンディションの検出は、I2CCR0 レジスタの ICE ビットに“1” (I2C バスインタフェース有効) を設定した直後より開始されます。SSC4~SSC0 の推奨設定値を表 24.11 に示します。

24.1.5.2 SIP ビット

SIP ビットは、MSCL、MSDA 端子の入力信号により I2C バスライン割り込みを発生させる場合のエッジ検出極性を選択するビットです。SIP ビットに“0”を設定すると立ち下がりエッジ、“1”を設定すると立ち上がりエッジを検出します。

24.1.5.3 SIS ビット

SIS ビットは、I2C バスライン割り込みの発生要因となる入力信号を選択するビットです。SIS ビットに“0”を設定すると MSDA 端子、“1”を設定すると MSCL 端子からの入力信号が要因となります。

24.1.5.4　STSPSEL ビット

STSPSEL ビットは、スタートコンディション/ストップコンディション生成時のセットアップ/ホールド時間を選択するビットです。STSPSEL ビットに“0”を設定するとショートモード、“1”を設定するとロングモードになります。φIIC 周波数が 4 MHz を超える場合は、STSPSEL ビットを“1” (ロングモード)にしてください。図 24.16 にスタートコンディション生成タイミングを、表 24.9 にスタートコンディション/ストップコンディション生成時のセットアップ/ホールド時間を示します。

24.1.6　I2Cバス制御レジスタ1 (I2CCR1)

I2Cバス制御レジスタ1 (注1)

b7	b6	b5	b4	b3	b2	b1	b0
				0	0		

シンボル: I2CCR1　　アドレス: 044406h番地　　リセット後の値: 0011 0000b

ビットシンボル	ビット名	機　能	RW
STIE	ストップコンディション検出割り込み許可ビット	0: 禁止 1: 許可	RW
RIE	データ受信完了割り込み許可ビット (注2)	0: 禁止 1: 許可	RW
— (b3-b2)	予約ビット	“0”にしてください	RW
SDAO	内部SDA出力モニタビット	0: “L”出力 1: “H”出力	RO
SCLO	内部SCL出力モニタビット	0: “L”出力 1: “H”出力	RO
ICK0	I2Cバスシステムクロック選択ビット (注3)	b7 b6 0 0 : fIICの2分周 0 1 : fIICの4分周 1 0 : fIICの8分周 1 1 : 設定しないでください	RW
ICK1			RW

注1. このレジスタに対して、ビット命令は使用しないでください。
注2. I2CCCRレジスタのACKCLKビットが“0”(ACKクロック非生成) のときは、“0”にしてください。
注3. I2CCR2レジスタのICK4~ICK2ビットが“000b”のときに有効です。

図 24.9　I2CCR1 レジスタ

I2CCR1 レジスタは、I2Cバスインタフェースの各制御を行うレジスタです。

24.1.6.1　STIE ビット

STIE ビットは、ストップコンディション検出時の割り込みを許可するビットです。STIE ビットに“1”を設定すると、ストップコンディション検出時にI2C バスインタフェース割り込みが発生し、I2CCR2 レジスタの STOP ビットが“1” (ストップコンディション検出割り込み要求あり)、I2CIC レジスタの IR ビットが“1” (I2Cバスインタフェース割り込み要求あり)になります。

24.1.6.2　RIE ビット

RIE ビットは、I2CCCR レジスタの ACKCLK ビットが“1” (ACK クロック生成)の場合に、データの最終ビットを受信したときの割り込みを許可するビットです。RIE ビットを“1”にすると、受信データの最終ビット(8クロック目のSCL立ち下がり)で、I2Cバスインタフェース割り込みが発生します。

RIE ビットの設定値に関係なく、ACK ビット (9 クロック目の SCL 立ち下がり) で、I2C バスインタフェース割り込みが発生するので、RIE ビットが“1”の場合は1データにつき2回のI2Cバスインタフェース割り込みが発生することになります。どちらの要因で発生した割り込みかは、RIE ビットを読み出すことで判断することができます。RIE ビットの読み出し値は、内部 WAIT フラグの状態を示し、“1” の場合データの最終ビット、“0”の場合ACK ビットが要因となって発生した割り込みであると判断できます。

I2CCCR レジスタの ACKCLK ビットが“0” (ACK クロック非生成) の場合は、RIE ビットは“0”にしてください。データ送信時、スレーブアドレス受信時は、RIE ビットの設定値に関わらず、内部 WAIT フラグは“0” で、ACK ビット (9 クロック目の SCL 立ち下がり) 時のみ、I2C バスインタフェース割り込みが発生します。

表 24.5　データ受信時のI2Cバス割り込み要求発生タイミングと送受信再開の方法

I2Cバスインタフェース 割り込み発生タイミング	内部WAIT フラグ	送受信再開方法
データ最終ビット(8クロック目)	1	I2CCCRレジスタのACKDビットへの書き込み
ACKビット(9クロック目)	0	I2CTRSRレジスタへの書き込み

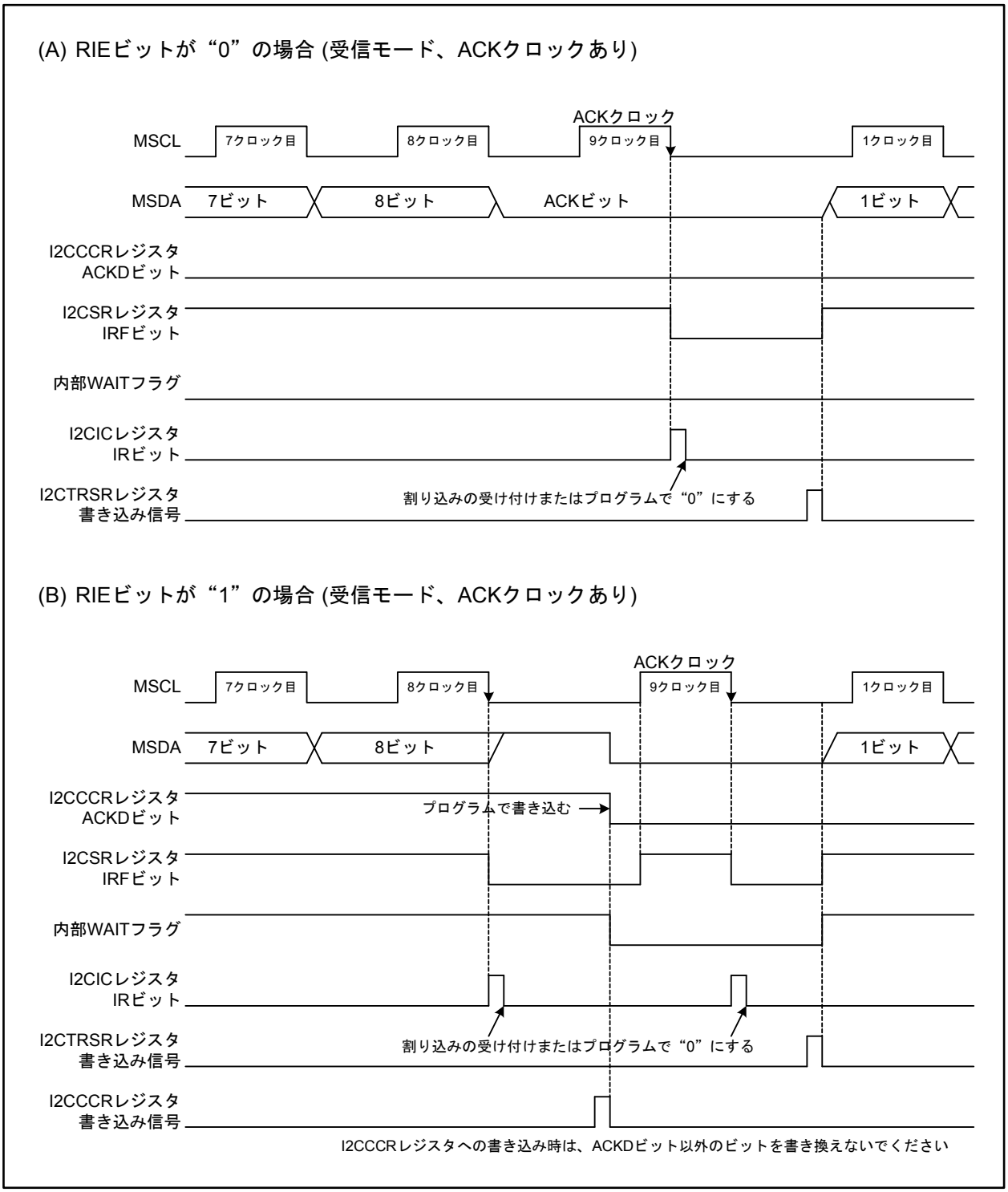


図 24.10　データ受信時の割り込み要求発生タイミング

24.1.6.3 SDAO / SCLOビット

SDAO/SCLOビットは、それぞれ内部SDA出力信号、内部SCL出力信号の論理値をモニタする、読み出し専用ビットです。書くときは“0”を書いてください。内部SDA出力信号、内部SCL出力信号は、外部デバイスの影響を受ける前の出力レベルであり、MSDA、MSCL端子の状態を示すものではありません。

24.1.6.4 ICK1~ICK0ビット

ICK1~ICK0ビットは、I2Cバスシステムクロック(φIIC)の周波数を選択するビットで、I2CCR2レジスタのICK4~ICK2ビットが“000b”のときに有効です。I2CCR0レジスタのICEビットが“0”(I2Cバスインタフェース機能停止)のとき書き換えてください。I2Cバスシステムクロック(φIIC)を、fIICの2分周、4分周、8分周から選択できます。I2CCR2レジスタのICK4~ICK2ビットで2.5分周、3分周、5分周、6分周も選択できますが、その場合、ICK1~ICK0ビットは無効になります。

表 24.6　I2Cバスシステムクロック(φIIC)選択ビット

I2CCR2レジスタ			I2CCR1レジスタ		φIIC
ICK4ビット	ICK3ビット	ICK2ビット	ICK1ビット	ICK0ビット	
0	0	0	0	0	fIICの2分周
			0	1	fIICの4分周
			1	0	fIICの8分周
0	0	1	0	0	fIICの2.5分周
0	1	0	0	0	fIICの3分周
0	1	1	0	0	fIICの5分周
1	0	0	0	0	fIICの6分周

上記以外の組み合わせは設定しないでください。

24.1.7　I²Cバス制御レジスタ2 (I2CCR2)

I²Cバス制御レジスタ2

b7	b6	b5	b4	b3	b2	b1	b0
	0						

シンボル: I2CCR2　　アドレス: 044407h番地　　リセット後の値: 0X00 0000b

ビットシンボル	ビット名	機　能	RW
TOE	タイムアウト検出機能許可ビット	0: 禁止 1: 許可	RW
TOF	タイムアウト検出フラグ	0: 未検出 1: 検出	RO
TOSEL	タイムアウト検出時間選択ビット	0: ロングタイム 1: ショートタイム	RW
ICK2	I²Cバスシステムクロック選択ビット	b5 b4 b3 0 0 0 : φIIC=I2CCR1レジスタのICK1~ICK0ビットで設定 0 0 1 : φIIC=fIIC / 2.5 0 1 0 : φIIC=fIIC / 3 0 1 1 : φIIC=fIIC / 5 1 0 0 : φIIC=fIIC / 6 上記以外 : 設定しないでください	RW
ICK3			RW
ICK4			RW
— (b6)	予約ビット	“0”にしてください	RW
STOP	ストップコンディション検出割り込み要求モニタビット	I²Cバスインタフェース割り込み要求 0: なし 1: あり	RW

図 24.11　I2CCR2 レジスタ

I2CCR2 レジスタは、通信異常検出を制御するレジスタです。送受信中に SCL クロックが停止すると、各デバイスは通信状態のまま停止します。それを回避するため、送受信中にSCLクロックが“H”状態のまま一定時間経過すると、I²Cバスインタフェース割り込みを発生させる機能を備えています。

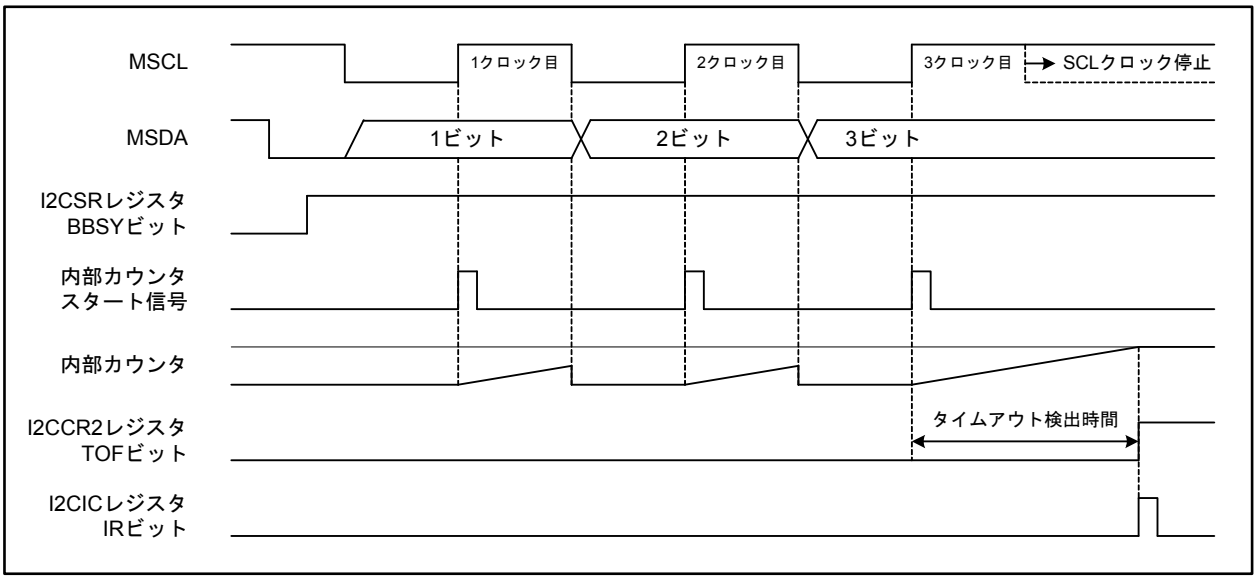


図 24.12　タイムアウト検出タイミング図

24.1.7.1 TOEビット

TOEビットは、タイムアウト検出機能を許可するビットです。TOEビットを“1”に設定すると、タイムアウト検出機能が許可され、I2CSRレジスタのBBSYビットが“1”(バスビジー)のままSCLクロックが一定時間以上“H”の状態が続いたとき、I²Cバスインタフェース割り込み要求が発生します。

タイムアウト検出時間は、φIICをカウントソースとする内部カウンタにより計測され、TOSELビットにより、ロングタイムとショートタイムから選択できます。「24.1.7.3 TOSELビット」を参照してください。

タイムアウトが検出された場合は、I2CCR0レジスタのICEビットを“0”(I²Cバスインタフェース機能停止)にして、I²Cバスインタフェースを初期化してください。

24.1.7.2 TOFビット

TOFビットは、タイムアウト検出状態を示すフラグです。TOEビットが“1”のときに有効で、TOFビットが“1”(タイムアウト検出)になると同時にI2CICレジスタのIRビットが“1”(I²Cバスインタフェース割り込み要求あり)になります。

24.1.7.3 TOSELビット

TOSELビットは、タイムアウト検出時間を選択するビットです。TOEビットが“1”(タイムアウト検出機能許可)のとき有効で、ロングタイムとショートタイムから選択できます。TOSELビットを“0”に設定するとロングタイムが選択され、内部カウンタは16ビットカウンタとして機能します。TOSELビットを“1”に設定するとショートタイムが選択され、内部カウンタは14ビットカウンタとして機能します。内部カウンタは、I²Cバスシステムクロック(φIIC)をカウントソースとしてアップカウントします。タイムアウト検出時間は、表24.7のようになります。

表 24.7　タイムアウト検出時間例

φIIC	ロングタイム(TOSEL=0)	ショートタイム(TOSEL=1)
4 MHz	16.4 ms	4.1 ms
2 MHz	32.8 ms	8.2 ms
1 MHz	65.6 ms	16.4 ms

24.1.7.4 ICK4~ICK2ビット

ICK4~ICK2ビットは、I²Cバスシステムクロック(φIIC)の周波数を選択するビットです。I2CCR0レジスタのICEビットが“0”(I²Cバスインタフェース機能停止)のとき書き換えてください。

I²Cバスシステムクロック(φIIC)を、fIICの2.5分周、3分周、5分周、6分周から選択できます。ICK4~ICK2ビットに“000b”を設定すると、I2CCR1レジスタのICK1~ICK0ビットにより2分周、4分周、8分周が選択可能になります。表24.6を参照してください。

24.1.7.5 STOPビット

STOPビットは、ストップコンディション検出割り込みをモニタするビットです。ストップコンディション検出によるI²Cバスインタフェース割り込みが発生すると“1”になります。I2CCR1レジスタのSTIEビットが“1”(ストップコンディション検出によるI²Cバスインタフェース割り込み許可)の場合に有効です。このビットはプログラムで“0”を書くと“0”になります。“1”を書いても変化しません。

24.1.8 I2Cバスステータスレジスタ (I2CSR)

I2Cバスステータスレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット後の値
I2CSR	044408h番地	0001 000Xb

ビットシンボル	ビット名	機　能	RW
LRB	最終受信ビット　(注1、2)	0: 最終ビット=0 1: 最終ビット=1	RW
ADZ	ジェネラルコールアドレス検出フラグ　(注1、2)	0: ジェネラルコールアドレス未検出 1: ジェネラルコールアドレス検出	RW
AAS	スレーブアドレス一致フラグ　(注1、2)	0: アドレス不一致 1: アドレス一致	RW
AL	アービトレーションロスト検出フラグ　(注1、2)	0: 未検出 1: 検出	RW
IRF	I2Cバスインタフェース割り込み要求フラグ　(注3)	0: 割り込み要求あり 1: 割り込み要求なし	RO
BBSY	バスビジーフラグ　(注2)	0: バスフリー 1: バスビジー	RW
TRS	送受信切り替えビット	0: 受信モード 1: 送信モード　(注1)	RW
MST	マスタ/スレーブ選択ビット	0: スレーブモード 1: マスタモード　(注1)	RW

注1. スタートコンディション/ストップコンディションを生成しないで、TRSビットまたはMSTビットに“1”を設定する場合、下位4ビットには“1111b”を書いてください。
注2. ステータスのチェックとして使用する場合は読み出し専用です。
注3. 読み出し専用です。書く場合は、“0”を書いてください。

図 24.13 I2CSRレジスタ

I2CSRレジスタは、I2Cバスインタフェースの状態をモニタするレジスタです。表 24.8に示す機能を使用する場合のみ、書き込みを行います。表 24.8 に示す値以外の値をI2CSR レジスタに書かないでください。表 24.8に示す値をI2CSRレジスタに書いたとしても、I2CSRレジスタの下位6ビットは変化しません。

表 24.8　I2CSRレジスタ書き込みによる機能

I2CSRレジスタ書き込み値								機能
MST	TRS	BBSY	IRF	AL	AAS	ADZ	LRB	
0	0	X	0	1	1	1	1	スレーブ受信モードを選択
0	1							スレーブ送信モードを選択
1	0							マスタ受信モードを選択
1	1							マスタ送信モードを選択
1	1	0	0	0	0	0	0	マスタ送信モードを選択し、ストップコンディション待機状態に設定
		1						マスタ送信モードを選択し、スタートコンディション待機状態に設定

24.1.8.1 LRBビット

LRBビットは、受信したデータの最終ビット値を格納するビットです。ACK応答受信の結果を確認する場合に使用します。I2CCCRレジスタのACKCLKビットが“1” (ACKクロック生成)で、ACK応答を受信した場合、LRBビットは“0”になります。ACK応答を受信しなかった場合、LRBビットは“1”になります。I2CCCRレジスタのACKCLKビットが“0” (ACKクロック非生成)の場合、LRBビットには受信データの最終ビット値が入ります。I2CTRSRレジスタに値を書くと、LRBビットは“0”になります。

24.1.8.2 ADZビット

ADZビットは、ジェネラルコールアドレスを受信したことを示すフラグです。スレーブ受信モードで、I2CCR0レジスタのDFSビットが“0” (アドレッシングフォーマット)の場合にジェネラルコールアドレスを受信すると、ADZビットが“1”になります。

ADZビットは、以下のいずれかの場合に“0”になります。

- スタートコンディション/ストップコンディションを検出したとき
- I2CCR0レジスタのICEビットを“0” (I2Cバスインタフェース機能停止)にしたとき
- I2CCR0レジスタのRSTビットに“1” (I2Cバスインタフェースリセット)を書いたとき

24.1.8.3 AASビット

AASビットは、受信したアドレスデータが一致したかを示すフラグです。スレーブ受信モードで、I2CCR0レジスタのDFSビットが“0” (アドレッシングフォーマット)の場合に、受信したアドレスデータが、I2CSARレジスタのSAD6~SAD0ビット(スレーブアドレス)と一致したか、ジェネラルコールアドレスであった場合に、AASビットが“1”になります。

AASビットは、以下のいずれかの場合に“0”になります。

- I2CTRSRレジスタにデータを書いたとき
- I2CCR0レジスタのICEビットを“0” (I2Cバスインタフェース機能停止)にしたとき
- I2CCR0レジスタのRSTビットに“1” (I2Cバスインタフェースリセット)を書いたとき

24.1.8.4 ALビット

ALビットは、アービトレーションロストの検出を示すフラグです。マスタ送信時に、他のデバイスによってMSDA端子が“L”に変化した場合、ALビットが“1”になります。そのとき、I2CSRレジスタのTRSビットが“0” (受信モード)になり、アービトレーションロストとなったバイトの最後で、I2CSRレジスタのMSTビットが“0” (スレーブモード)になります。

ALビットは、以下のいずれかの場合に“0”になります。

- I2CTRSRレジスタにデータを書いたとき
- I2CCR0レジスタのICEビットを“0” (I2Cバスインタフェース機能停止)にしたとき
- I2CCR0レジスタのRSTビットに“1” (I2Cバスインタフェースリセット)を書いたとき

24.1.8.5　IRFビット

IRFビットは、I²Cバスインタフェース割り込みの要求信号を発生させるビットです。I²Cバスインタフェース割り込みの要因が発生すると、まずIRFビットが“0”になり、IRFビットの立ち下がりに同期して、I²Cバスインタフェース割り込みが発生します。タイミング例として図24.10を参照してください。

IRFビットは、以下のいずれかの場合に“0”になります。

- 1バイトのデータが送信完了したとき(アービトレーションロスト検出時も含む)
- 1バイトのデータを受信完了したとき
- スレーブ受信時、アドレッシングフォーマットでスレーブアドレスの一致が検出されたとき
- スレーブ受信時、アドレッシングフォーマットでジェネラルコールアドレスを受信したとき
- スレーブ受信時、フリーフォーマットでアドレスデータを受信完了したとき

IRFビットは、以下のいずれかの場合に“1”になります。

- I2CTRSRレジスタにデータを書いたとき
- I2CCCRレジスタにデータを書いたとき(RIE=1、内部WAITフラグ=1)
- I2CCR0レジスタのICEビットを“0”(I²Cバスインタフェース機能停止)にしたとき
- I2CCR0レジスタのRSTビットに“1”(I²Cバスインタフェースリセット)を書いたとき

24.1.8.6　BBSYビット

BBSYビットは、I²Cバスの使用状況を示すフラグです。BBSYビットは、スタートコンディション検出時に“1”になり、ストップコンディション検出時に“0”になります。BBSYビットが“0”の時は、I²Cバスが使用されていない状態なので、スタートコンディションを生成することが可能です。

スタートコンディション/ストップコンディションの検出条件は、I2CSSCRレジスタのSSC4~SSC0ビットの設定に従います。

BBSYビットは、以下のいずれかの場合に“0”になります。

- ストップコンディションを検出したとき
- I2CCR0レジスタのICEビットを“0”(I²Cバスインタフェース機能停止)にしたとき
- I2CCR0レジスタのRSTビットに“1”(I²Cバスインタフェースリセット)を書いたとき

24.1.8.7　TRSビット

TRSビットは、データの通信方向を指定するビットです。TRSビットに“0”を設定すると、受信モードとなり、他のデバイスからのデータを待ちます。TRSビットに“1”を設定すると、送信モードとなり、SCLクロックに同期してSDAにアドレスやデータを出力します。

TRSビットは、スレーブ受信モードのアドレッシングフォーマット時にアドレス一致が検出され、受信したR/$\overline{W}$ビットが“1”(データ要求)の場合、自動的に“1”(送信モード)になります。

TRSビットは、以下のいずれかの場合に“0”になります。

- プログラムでTRSビットに“0”を書いたとき
- アービトレーションロストを検出したとき
- ストップコンディションを検出したとき
- スタートコンディション重複防止機能が動作したとき
- スレーブモードでスタートコンディションを検出したとき
- スレーブモードでNACK応答を検出したとき
- I2CCR0レジスタのICEビットを“0”(I²Cバスインタフェース機能停止)にしたとき
- I2CCR0レジスタのRSTビットに“1”(I²Cバスインタフェースリセット)を書いたとき

24.1.8.8 MSTビット

MSTビットは、マスタ/スレーブを指定するビットです。MSTビットを“0”にするとスレーブモードになり、マスタデバイスが発生させたSCLクロックに同期して通信を行います。MSTビットを“1”にするとマスタモードになり、SCLクロックを発生させて通信を行います。

MSTビットは、以下のいずれかの場合に“0”になります。

- プログラムでMSTビットに“0”を書いたとき
- アービトレーションロストを検出し、当該バイトの通信が完了したとき
- ストップコンディションを検出したとき
- スタートコンディションを検出したとき
- スタートコンディション重複防止機能が動作したとき
- I2CCR0レジスタのICEビットを“0” (I2Cバスインタフェース機能停止)にしたとき
- I2CCR0レジスタのRSTビットに“1” (I2Cバスインタフェースリセット)を書いたとき

24.1.9 I²Cバスモードレジスタ (I2CMR)

I²Cバスモードレジスタ (注1)

b7	b6	b5	b4	b3	b2	b1	b0
✕	✕	✕	✕				

シンボル	アドレス	リセット後の値
I2CMR	044410h番地	XXXX 0000b

ビットシンボル	ビット名	機　能	RW
I2CEN	I²Cバスインタフェース/ UART2切り替えビット	0: UART2 1: I²Cバスインタフェース	RW
CLK0	I²Cバスインタフェース クロック源選択ビット	b3 b2 b1 0 0 0 : f1の2分周 0 0 1 : f8の2分周 0 1 0 : f2nの2分周 0 1 1 : 設定しないでください 1 0 0 : f1 1 0 1 : f8 1 1 0 : f2n 1 1 1 : 設定しないでください	RW
CLK1			RW
CLK2			RW
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可) にした後で書き換えてください。

図 24.14 I2CMR レジスタ

I2CMR レジスタは、I²Cバスインタフェースの信号切り替えや、クロック源の選択を行うレジスタです。このレジスタを書き換える場合、PRCR レジスタの PRC1 ビットを“1” (書き込み許可) にした後で書き換えてください。

24.1.9.1 I2CEN ビット

I2CEN ビットは、UART2 の信号と I²C バスインタフェースの信号を切り替えるビットです。I2CEN ビットを “1” にすると I²C バスインタフェースが選択され、MSDA 信号、MSCL 信号、I²C バスインタフェース割り込み、I²C バスライン割り込みが有効になります。I2CEN ビットを “0” にすると、MSDA 信号、MSCL 信号、I²C バスインタフェース割り込み、I²C バスライン割り込みは無効になり、UART2 の信号が有効になります。

24.1.9.2 CLK2~CLK0 ビット

CLK2~CLK0 ビットは、I²C バスインタフェースクロック (fIIC) のクロック源を選択するビットです。f1、f8、f2n および、それらの 2 分周から選択することができます。ここで選択した I²C バスインタフェースクロック (fIIC) は、更に I²C バスシステムクロック (ϕIIC) のクロック源として利用されます。

24.2　スタートコンディション生成方法

I2CCR0レジスタのICEビットが“1”(I²Cバスインタフェース有効)、I2CSRレジスタのBBSYビットが“0”(バスフリー)の状態で、I2CSRレジスタに“E0h”を書き、スタートコンディションスタンバイ状態にします。次に、I2CTRSRレジスタにスレーブアドレスを書くと、スタートコンディションが生成されます。その後、ビットカウンタが“000b”になり1バイト分のSCLクロックが出力され、スレーブアドレスが送信されます。図24.15にスタートコンディション生成手順を示します。

なお、ストップコンディション生成後、BBSYビットが“0”になってからφIICの1.5サイクル間は、I2CSRレジスタに値を書けません。ストップコンディション生成後すぐにスタートコンディション生成を行う場合は、I2CSRレジスタに“E0h”を書いた後、I2CSRレジスタのTRSビット、MSTビットがともに“1”になっている事を確認してから、I2CTRSRレジスタにスレーブアドレスを書いてください。

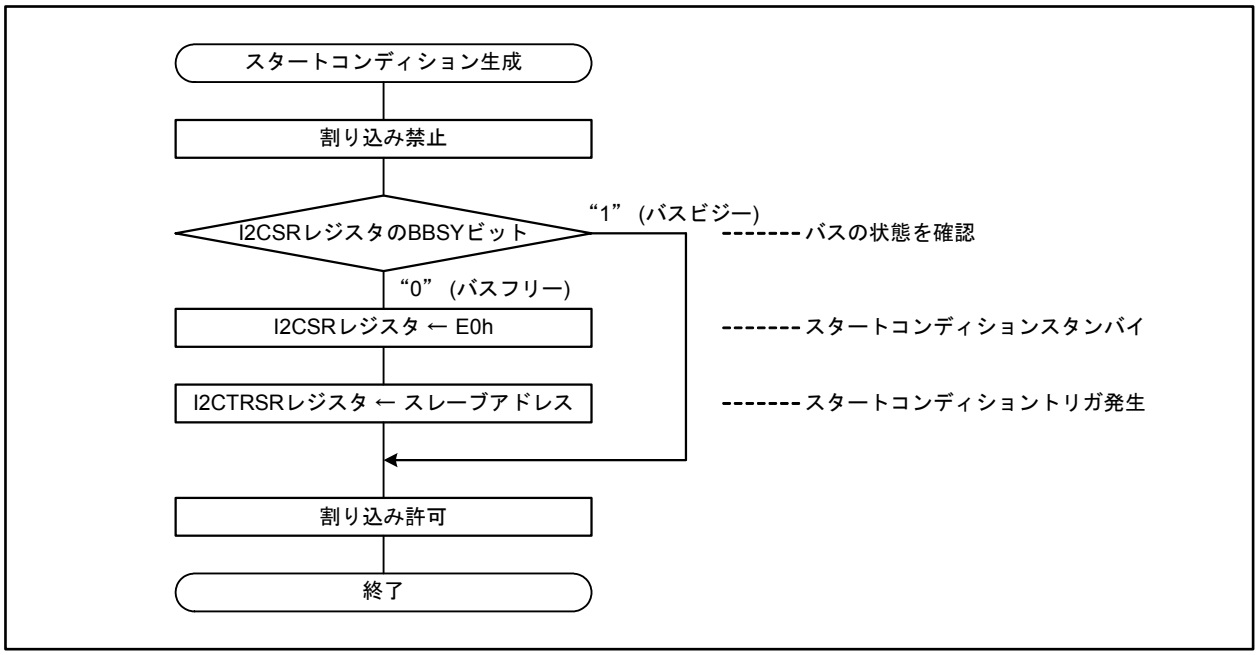


図24.15　スタートコンディション生成手順

スタートコンディションの生成タイミングは、標準モードと高速モードで異なります。図24.16にスタートコンディション生成タイミングを、表24.9にスタートコンディション/ストップコンディション生成時のセットアップ/ホールド時間を示します。

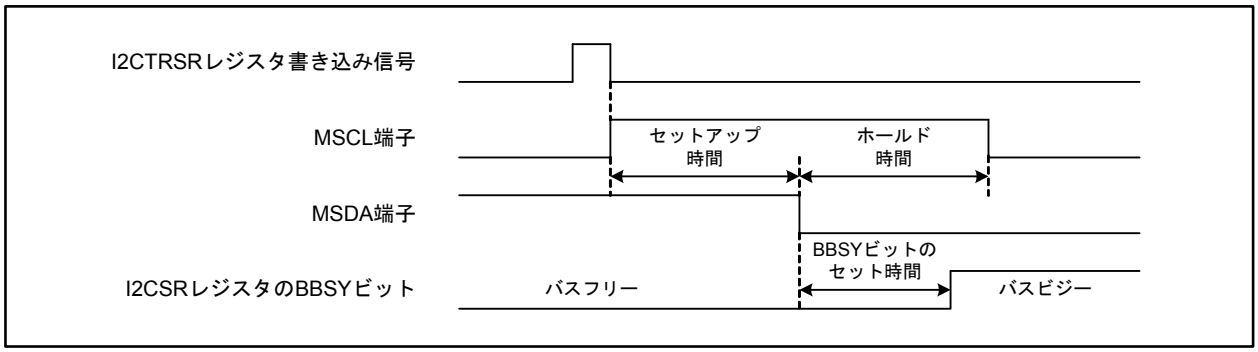


図24.16　スタートコンディション生成タイミング

表24.9　スタートコンディション/ストップコンディション生成時のセットアップ/ホールド時間

項目	SCLモード	ショートモード (STSPSEL=0)	ロングモード (STSPSEL=1)
セットアップ時間	標準モード(CLKMD=0)	5.0 µs (20)	13.0 µs (52)
	高速モード(CLKMD=1)	2.5 µs (10)	6.5 µs (26)
ホールド時間	標準モード(CLKMD=0)	5.0 µs (20)	13.0 µs (52)
	高速モード(CLKMD=1)	2.5 µs (10)	6.5 µs (26)

CLKMD: I2CCCR レジスタのビット
STSPSEL: I2CSSCR レジスタのビット
( )内はφIICのサイクル数

24.3 ストップコンディション生成方法

I2CCR0レジスタのICEビットが“1”(I²Cバスインタフェース有効)の状態で、I2CSRレジスタに“C0h”を書くと、ストップコンディションスタンバイ状態になり、MSDA端子が“L”になります。次に、I2CTRSRレジスタにダミーデータを書くと、ストップコンディションが生成されます。図24.17にストップコンディション生成手順を示します。

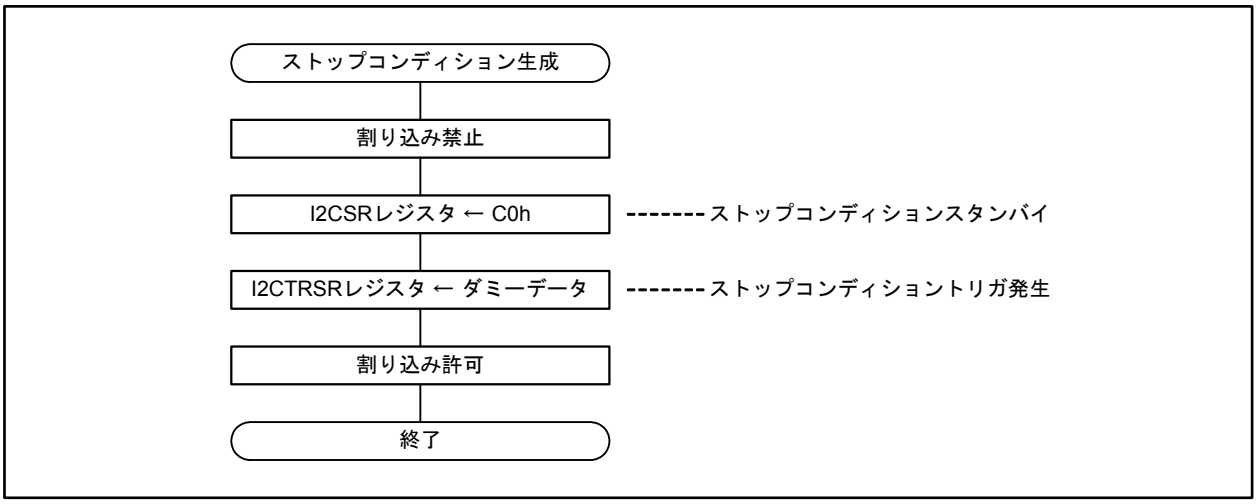


図24.17 ストップコンディション生成手順

ストップコンディションの生成タイミングは、標準モードと高速モードで異なります。図24.18にストップコンディション生成タイミングを、表24.9にスタートコンディション/ストップコンディション生成時のセットアップ/ホールド時間を示します。

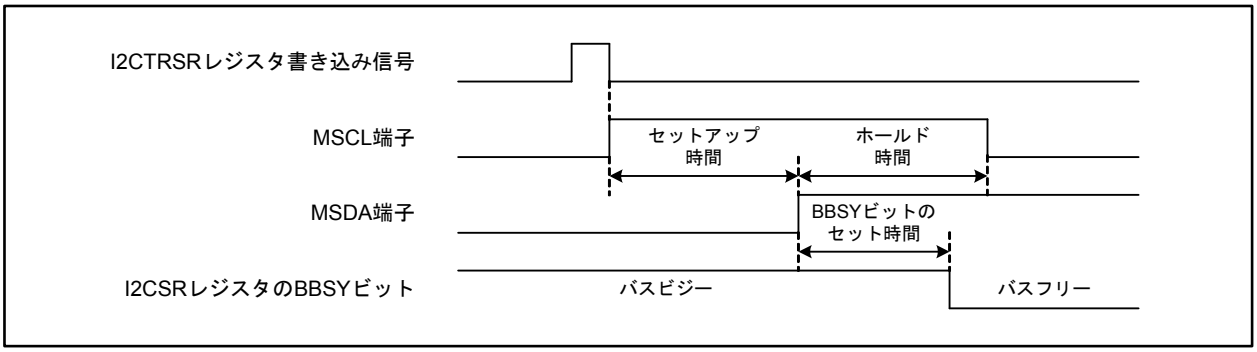


図24.18 ストップコンディション生成タイミング

なお、ストップコンディション生成の指示をし、I2CSRレジスタのBBSYビットが“0”(バスフリー)になるまでの間、I2CSRレジスタまたはI2CTRSRレジスタに書き込みを行わないでください。ストップコンディションが正常に生成できない場合があります。

また、ストップコンディション生成の指示をし、MSCL端子のレベルが“H”になった後、BBSYビットが“0”になるまでの間に、MSCL端子の入力信号が“L”になると、内部SCL出力を“L”にします。この場合、ストップコンディションの生成、I2CCR0レジスタのICEビットへの“0”書き込み(I²Cバスインタフェース機能停止)、RSTビットへの“1”書き込み(I²Cバスインタフェースリセット)のいずれかを行うと、MSCL端子の“L”出力を停止(開放)します。

24.4　スタートコンディション重複防止機能

スタートコンディション生成時は、バスが使用されていないことを、I2CSR レジスタの BBSY ビットで確認した後にスタートコンディションを生成させますが、BBSY ビットの確認後スタートコンディションが生成される間に、他のマスタデバイスがスタートコンディションを生成し、BBSY ビットが“1”になる可能性があります。その場合、スタートコンディション重複防止機能が動作し、スタートコンディションの生成は中止されます。

スタートコンディション重複防止機能の動作は以下のとおりです。

- スタートコンディションスタンバイ設定を禁止(スタンバイ状態を解除)
- I2CTRSR レジスタへの書き込みを禁止(スタートコンディショントリガ発生禁止)
- I2CSR レジスタの MST、TRS ビットが“0”になる(スレーブ受信モードに移行)
- I2CSR レジスタの AL ビットが“1”になる(アービトレーションロスト検出)

図 24.19 にスタートコンディション重複防止機能動作例を示します。

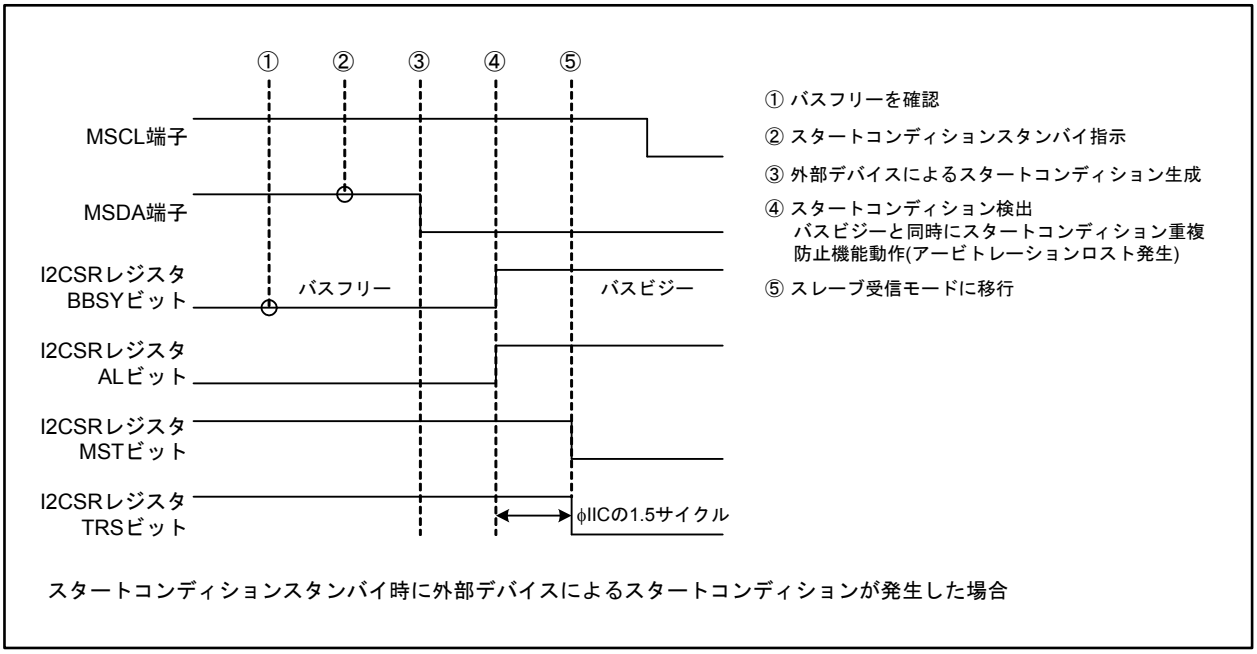


図 24.19　スタートコンディション重複防止機能動作例

スタートコンディション重複防止機能の有効期間は、スタートコンディションの SDA 立ち下がりからスレーブアドレスの受信完了までです。すなわち、この期間に I2CSR レジスタ、I2CTRSR レジスタに書き込むと上記の動作をします。図 24.20 にスタートコンディション重複防止機能有効期間を示します。

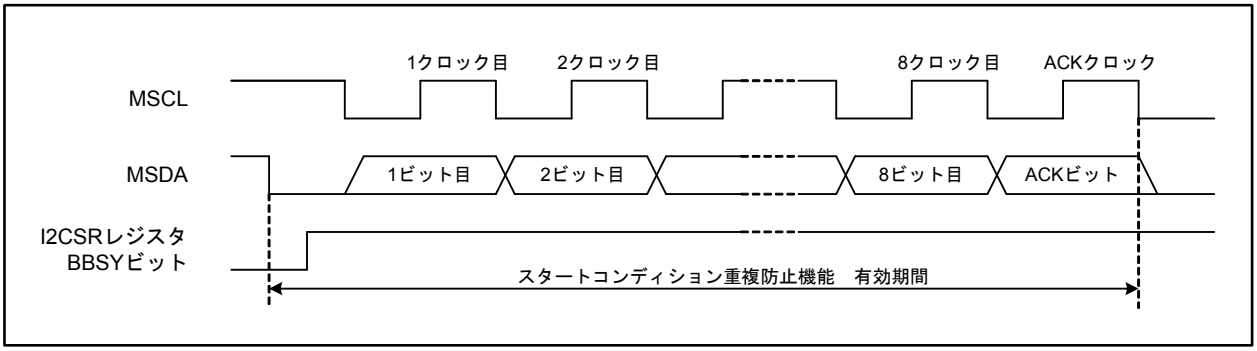


図 24.20　スタートコンディション重複防止機能有効期間

24.5　スタートコンディション/ストップコンディション検出

図 24.21にスタートコンディション検出、図 24.22にストップコンディション検出、表 24.10にスタートコンディション / ストップコンディションの検出条件を示します。スタートコンディション / ストップコンディションはI2CSSCR レジスタのSSC4~SSC0 ビットにより条件が設定され、MSCL端子、MSDA端子の入力信号が、表 24.10 のMSCL端子開放時間、セットアップ時間、ホールド時間の3つの条件を満たす場合のみ検出できます。

I2CSR レジスタのBBSY ビットは、スタートコンディションの検出により“1”になり、ストップコンディションの検出により“0”になります。BBSY ビットのセット/リセットタイミングは標準モードと高速モードで異なります。表 24.11 の BBSY ビットセット / リセット時間を参照してください。また、表 24.11 に標準モードでのSSC4~SSC0 ビットの推奨値を示します。

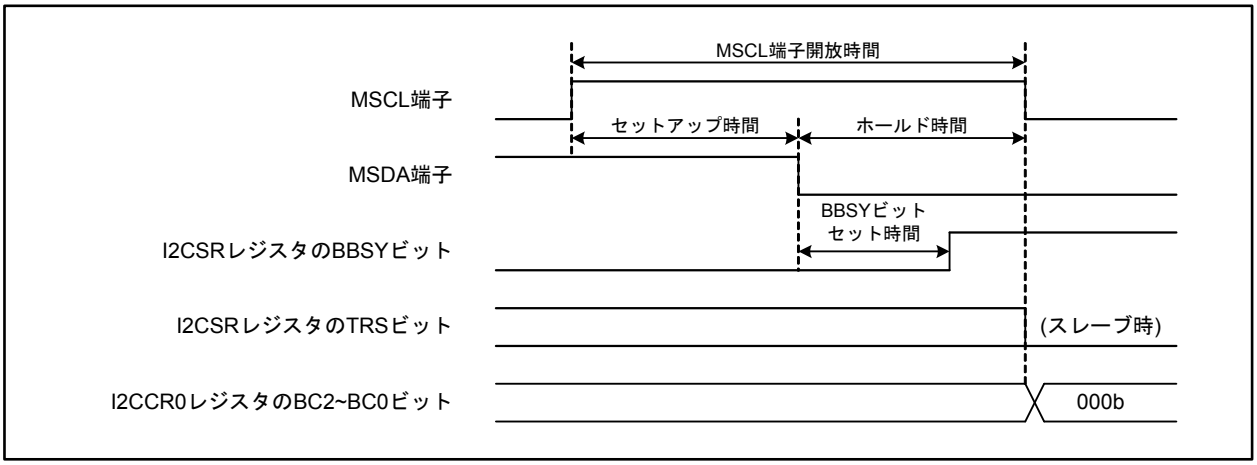


図 24.21　スタートコンディション検出

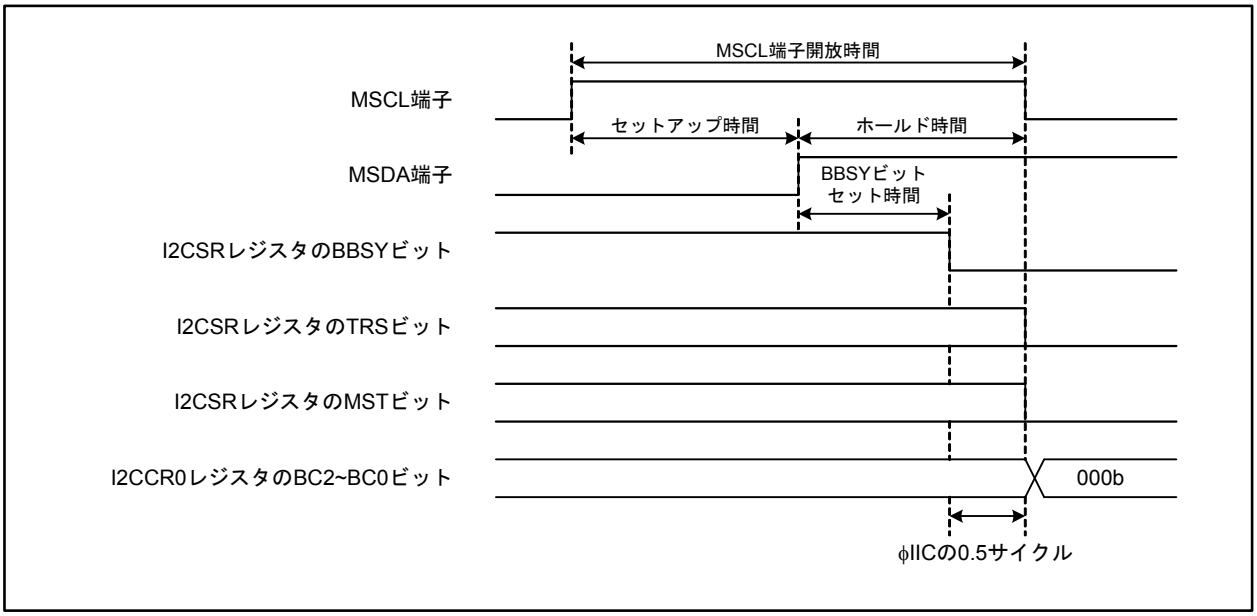


図 24.22　ストップコンディション検出

表 24.10 スタートコンディション/ストップコンディションの検出条件

項目	標準モード	高速モード
MSCL端子開放時間	SSC値 + 1サイクル(6.25 µs)	4サイクル(1.0 µs)
セットアップ時間	$\frac{\text{SSC値}}{2}$ + 1 サイクル<4.0 µs (3.25 µs)	2サイクル(0.5 µs)
ホールド時間	$\frac{\text{SSC値}}{2}$ サイクル<4.0 µs (3.0 µs)	2サイクル(0.5 µs)
BBSY ビットセット/リセット時間	$\frac{\text{SSC値} - 1}{2}$ + 2 サイクル(3.375 µs)	3.5サイクル(0.875 µs)

単位: φIICのサイクル数
SSC値: I2CSSCR レジスタのSSC4~SSC0 ビットの値で、0および奇数は設定禁止
( )内は、φIIC = 4 MHz時、I2CSSCR レジスタ =18hの場合の時間例

表 24.11 標準モードでのSSC4~SSC0 ビットの推奨値

φIIC	SSC 推奨値	スタートコンディション/ストップコンディションの検出条件			BBSY ビットセット/リセット時間
		MSCL端子開放時間	セットアップ時間	ホールド時間	
5 MHz	30	6.2 µs (31)	3.2 µs (16)	3.0 µs (15)	4.125 µs (16.5)
4 MHz	26	6.75 µs (27)	3.5 µs (14)	3.25 µs (13)	3.625 µs (14.5)
	24	6.25 µs (25)	3.25 µs (13)	3.0 µs (12)	3.375 µs (13.5)
2 MHz	12	6.5 µs (13)	3.5 µs (7)	3.0 µs (6)	3.75 µs (7.5)
	10	5.5 µs (11)	3.0 µs (6)	2.5 µs (5)	3.25 µs (6.5)
1 MHz	4	5.0 µs (5)	3.0 µs (3)	2.0 µs (2)	3.5 µs (3.5)

( )内はφIICのサイクル数
SSC推奨値: I2CSSCR レジスタのSSC4~SSC0 ビットの10進値

24.6 データ送受信

7ビットアドレスフォーマットでマスタ送信またはスレーブ受信を行う場合のデータ送受信フォーマット例を、「24.6.1 マスタ送信例~24.6.2 スレーブ受信例」に示します。これらの例は、表24.12の条件による初期設定後に通信を始めた場合の例です。

表24.12 初期設定例

レジスタ	設定値	設定項目	設定内容
I2CSAR	02h	自己スレーブアドレス	1
I2CCCR	85h	SCL周波数	100 kHz (ϕIIC = 4 MHz)
		クロックモード	標準モード
		ACKクロック	あり
I2CCR2	00h	タイムアウト検出	禁止
I2CCR1	13h	ストップコンディション検出割り込み	許可
		データ受信完了割り込み	許可
		ϕIIC選択	fIICの2分周
I2CSR	0Fh	通信モード	スレーブ受信モード
I2CSSCR	98h	SSC値(表 24.11参照)	24
		スタートコンディション/ストップコンディション生成選択	ロングモード
I2CCR0	08h	送受信ビット数	8ビット
		I²Cバスインタフェース機能	有効(通信許可)
		データフォーマット	アドレッシングフォーマット
I2CMR	09h	I²Cバスインタフェース/UART2切り替え	I²Cバスインタフェースを選択
		I²Cバスインタフェースクロック源	fIIC = f2n

24.6.1 マスタ送信例

マスタ送信の手順と動作を説明します。図 24.23 にマスタ送信の動作例を示します。下記(A)~(C)は、それぞれ図 24.23 に対応した実行手順を示し、その中の(1)~(3)はプログラムによる指示、「→」で始まる行はマイコンによる自動処理を意味します。

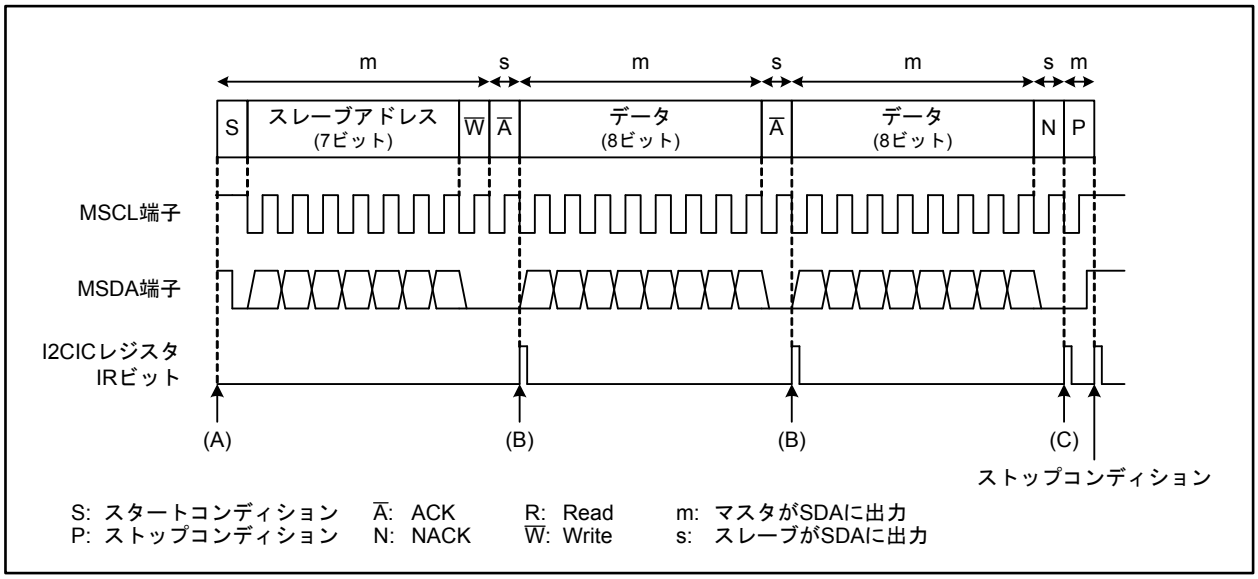


図 24.23 マスタ送信の動作例

(A) スレーブアドレス送信
(1) I2CSR レジスタの BBSY ビットが“0”(バスフリー)であることを確認
(2) I2CSR レジスタに“E0h”を書く
→スタートコンディションスタンバイ状態になる
(3) I2CTRSR レジスタの上位 7 ビットに送信先(スレーブ)のアドレスを書く
→スタートコンディションが生成される
→スレーブアドレスが送信される

(B) データ送信(I2C バス割り込みルーチン内での処理)
(1) I2CTRSR レジスタに送信データを書く
→データが送信される
複数バイトのデータを送信する場合、I2CTRSR レジスタに連続してデータを書きます。

(C) マスタ送信完了(I2C バス割り込みルーチン内での処理)
(1) I2CSR レジスタに“C0h”を書く
→ストップコンディションスタンバイ状態になる
(2) I2CTRSR レジスタにダミーデータを書く
→ストップコンディションが生成される

送信が完了した場合の他、スレーブデバイスから ACK 応答がない場合(図 24.23 のように NACK が返った場合)もマスタ送信完了の処理をしてください。

24.6.2　スレーブ受信例

スレーブ受信の手順と動作を説明します。図 24.24にスレーブ受信の動作例を示します。下記(A)~(D)は、それぞれ図 24.24 に対応した実行手順を示し、その中の(1)~(3)はプログラムによる指示、「→」で始まる行はマイコンによる自動処理を意味します。

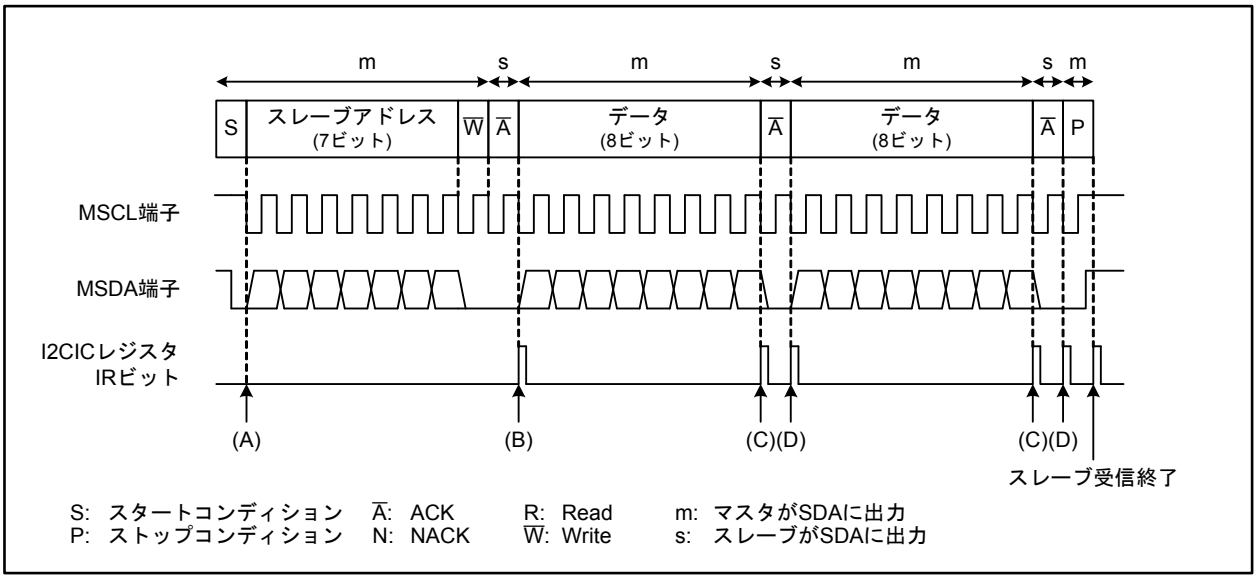


図 24.24　スレーブ受信の動作例

(A) スレーブアドレス受信(マイコンによる自動処理)
→スタートコンディションを検出
→スレーブアドレスを受信
→以下の場合はACKが送信され、I²Cバスインタフェース割り込みが発生
•ジェネラルコールアドレスを受信(I2CSR レジスタのADZ ビットが“1”)
•アドレス一致検出(I2CSR レジスタのAAS ビットが“1”)

(B) スレーブ受信開始(I²Cバス割り込みルーチン内での処理)
(1) I2CSR レジスタの内容確認。TRS ビットが“0” ならスレーブ受信
(2) I2CTRSR レジスタにダミーデータを書く
→データ受信開始

(C) データ受信完了(I²Cバス割り込みルーチン内での処理)
(1) I2CTRSR レジスタから受信データ読み出し
(2) 最終データの場合は、I2CCCR レジスタのACKD ビットを“1” (NACK)にする
(3) 最終データ以外の場合は、I2CCCR レジスタのACKD ビットを“0” (ACK)にする
→ACK/NACK が送信され、I²Cバスインタフェース割り込みが発生

(D) ACK送信完了(I²Cバス割り込みルーチン内での処理)
(1) I2CTRSR レジスタにダミーデータを書く
→最終データの場合は、ストップコンディションを検出
→最終データ以外の場合は、再度データ受信開始

24.7 使用上の注意事項

24.7.1 I2C バスインタフェースの各レジスタアクセス

I2C バスインタフェースの各制御レジスタに対して、読み出しや書き込みをする場合の注意事項を示します。

- I2CTRSR レジスタ
  データ送受信中に書き込みを行わないでください。送受信用ビットカウンタがリセットされ、正常にデータ送受信ができなくなります。
- I2CCR0 レジスタ
  スタートコンディション検出時と1バイト送受信完了時にBC2~BC0ビットが“000b”になるので、このタイミングで読み出しや書き込みを行った場合、意図しない値になることがあります。
  ビットカウンタのリセットタイミングを図 24.26、図 24.27に示します。
- I2CCCR レジスタ
  送受信途中で、ACKD ビット以外のビットを書き換えないでください。送受信中に書き換えを行うと、I2C バスクロック回路がリセットされ、正常に送受信ができません。
- I2CCR1 レジスタ
  ICK4~ICK0 ビットはI2CCR0 レジスタのICE ビットを“0” (I2C バスインタフェース機能停止) に設定している状態で書き換えを行ってください。RIE ビットは、読み出しを行うと内部WAIT フラグが読み出されます。よって本レジスタにはビット処理命令 (リードモディファイライト命令) を使用しないでください。
- I2CSR レジスタ
  すべてのビットが通信状態により変化するので、ビット処理命令 (リードモディファイライト命令) を使用しないでください。また、通信モードを設定するMST、TRS ビットが変化するタイミングでは、読み出しや書き込みを行わないでください。意図しない値になることがあります。
  MST、TRS ビットが変化するタイミングを図 24.25~図 24.27に示します。

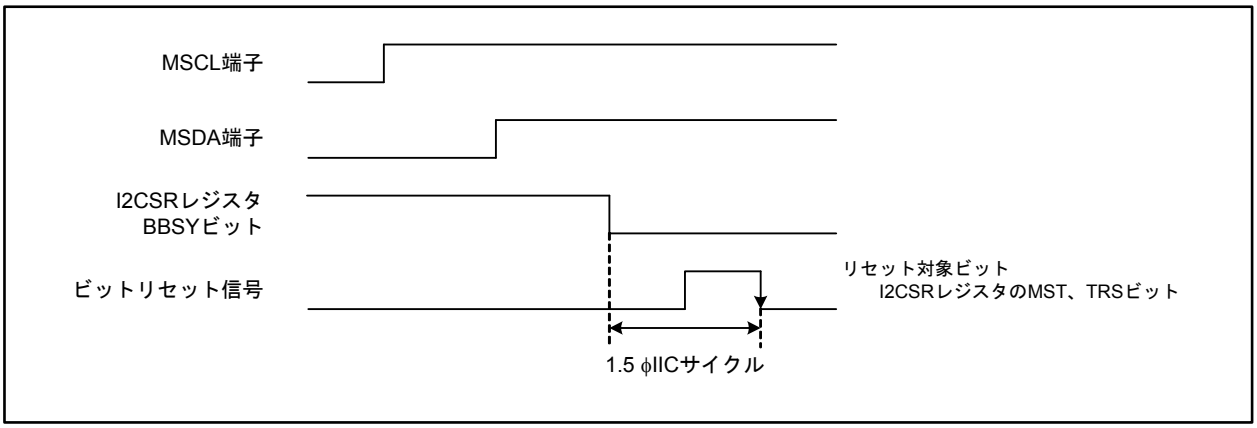


図 24.25　ビットリセットタイミング(ストップコンディション検出時)

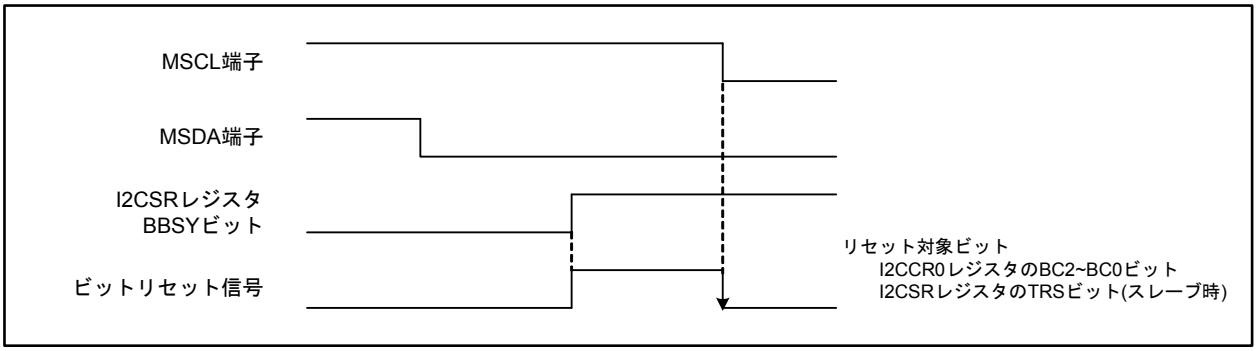


図 24.26　ビットリセットタイミング(スタートコンディション検出時)

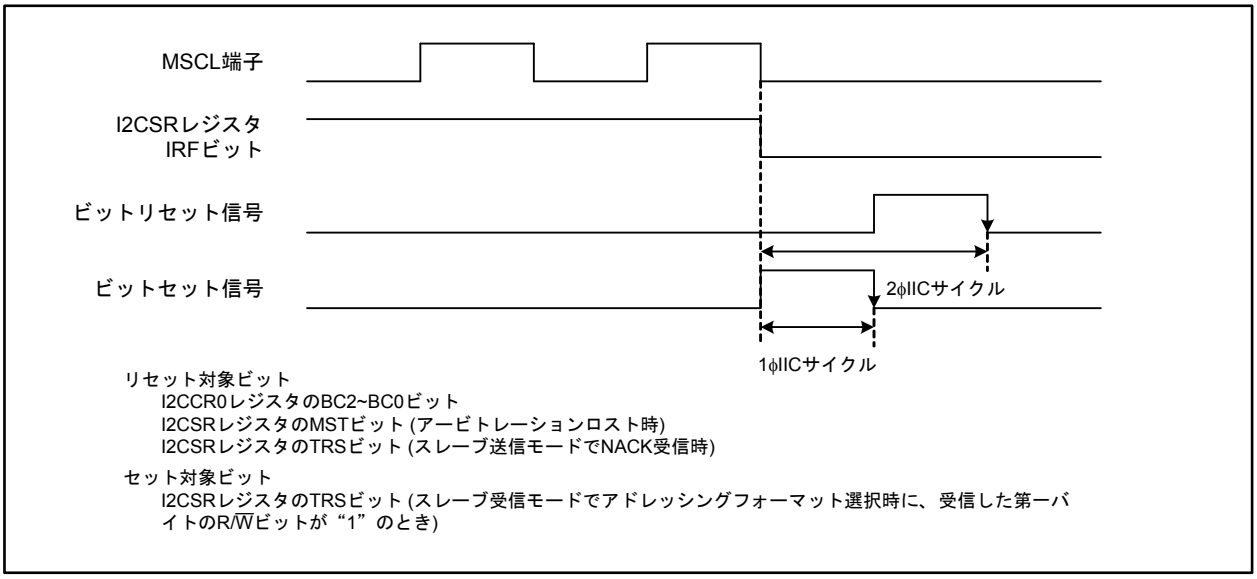


図 24.27　ビットセット/リセットタイミング(データ送受信完了時)

24.7.2　リスタートコンディションの生成

1バイトのデータ送信完了後にリスタートコンディションを生成させる場合は、以下の手順を実行してください。

(1) I2CSR レジスタに“E0h”を書く(スタートコンディションスタンバイ状態、MSDA端子開放)
(2) MSDA端子が“H”になるまで待つ
(3) I2CTRSR レジスタにスレーブアドレスを書く(スタートコンディショントリガ生成)

図 24.28にリスタートコンディション生成タイミングを示します。

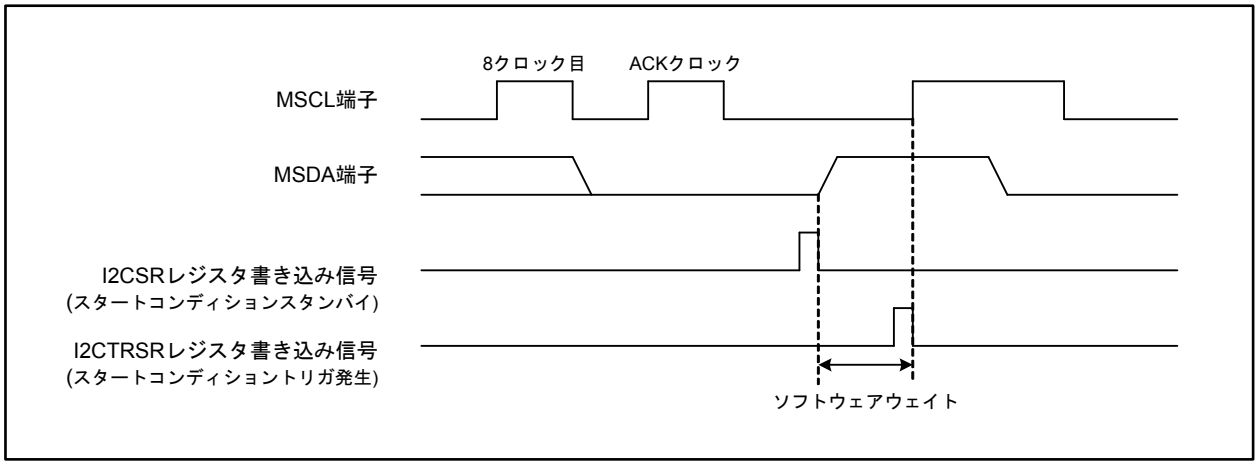


図 24.28　リスタートコンディション生成タイミング

25. CANモジュール

ISO11898-1仕様に準拠したCAN (Controller Area Network)モジュールを2チャネル(CAN0, CAN1)内蔵しています。CANモジュールは標準(11ビット) IDentifier (以下、IDと略す)と拡張(29ビット) IDの両フォーマットのメッセージを送受信できます。

表 25.1、表 25.2にCANモジュールの仕様、図 25.1にCANモジュールブロック図を示します。
なお、CANバストランシーバは外付けしてください。

表 25.1 CANモジュールの仕様(1)

項目	仕様
プロトコル	ISO11898-1仕様準拠
ビットレート	最大1 Mbps
メッセージボックス	32メールボックス 2種類のメールボックスモードを選択可能 •通常メールボックスモード 32個のメールボックスをすべて送信または受信用に設定可能 •FIFOメールボックスモード 24個のメールボックスを送信または受信用に設定可能 残りのメールボックスを送信用に4段、受信用に4段のFIFOに設定可能
受信	•データフレームとリモートフレームを受信可能 •受信するIDフォーマット(標準IDのみ、拡張IDのみ、標準IDと拡張IDの両方)を選択可能 •ワンショット受信機能を選択可能 •オーバライトモード(メッセージ上書き)またはオーバランモード(メッセージ破棄)を選択可能 •受信完了割り込みの許可/禁止をメールボックスごとに設定可能
アクセプタンスフィルタ	8つのアクセプタンスマスク(メールボックス4個ごとに個別のマスク) メールボックスごとにマスクの有効/無効を設定可能
送信	•データフレームとリモートフレームを送信可能 •送信するIDフォーマット(標準IDのみ、拡張IDのみ、標準IDと拡張IDの両方)を選択可能 •ワンショット送信機能を選択可能 •ID優先送信モードまたはメールボックス番号優先送信モードを選択可能 •送信要求をアボート可能(フラグでアボート完了を確認可能) •送信完了割り込みの許可/禁止をメールボックスごとに設定可能
バスオフ復帰モード遷移	バスオフ状態からの復帰モード遷移を選択可能 •ISO11898-1仕様準拠 •バスオフ開始でCAN Haltモードへ自動遷移 •バスオフ終了でCAN Haltモードへ自動遷移 •プログラムによるCAN Haltモードへの遷移 •プログラムによるエラーアクティブ状態への遷移

表 25.2　CANモジュールの仕様(2)

項目	仕様
エラー状態の監視	•CANバスエラー(スタッフエラー、フォームエラー、ACKエラー、CRCエラー、ビットエラー、ACKデリミタエラー)を監視可能 •エラー状態の遷移を検出可能(エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) •エラーカウンタを読み出し可能
タイムスタンプ機能	16ビットカウンタによるタイムスタンプ機能 基準クロックは、1、2、4、8ビットタイムから選択可能
割り込み要因	6種類 •受信完了 •送信完了 •受信FIFO •送信FIFO •エラー •ウェイクアップ
CANスリープモード	CANクロックを停止することで消費電流を低減可能
ソフトウェアサポートユニット	3つのソフトウェアサポートユニット •アクセプタンスフィルタサポート •メールボックス検索サポート(受信メールボックス検索、送信メールボックス検索、メッセージロスト検索) •チャネル検索サポート
CANクロックソース	周辺バスクロックかメインクロックを選択可能
テストモード	ユーザ評価用に3つのテストモードを用意 •リッスンオンリモード •セルフテストモード0(外部ループバック) •セルフテストモード1(内部ループバック)

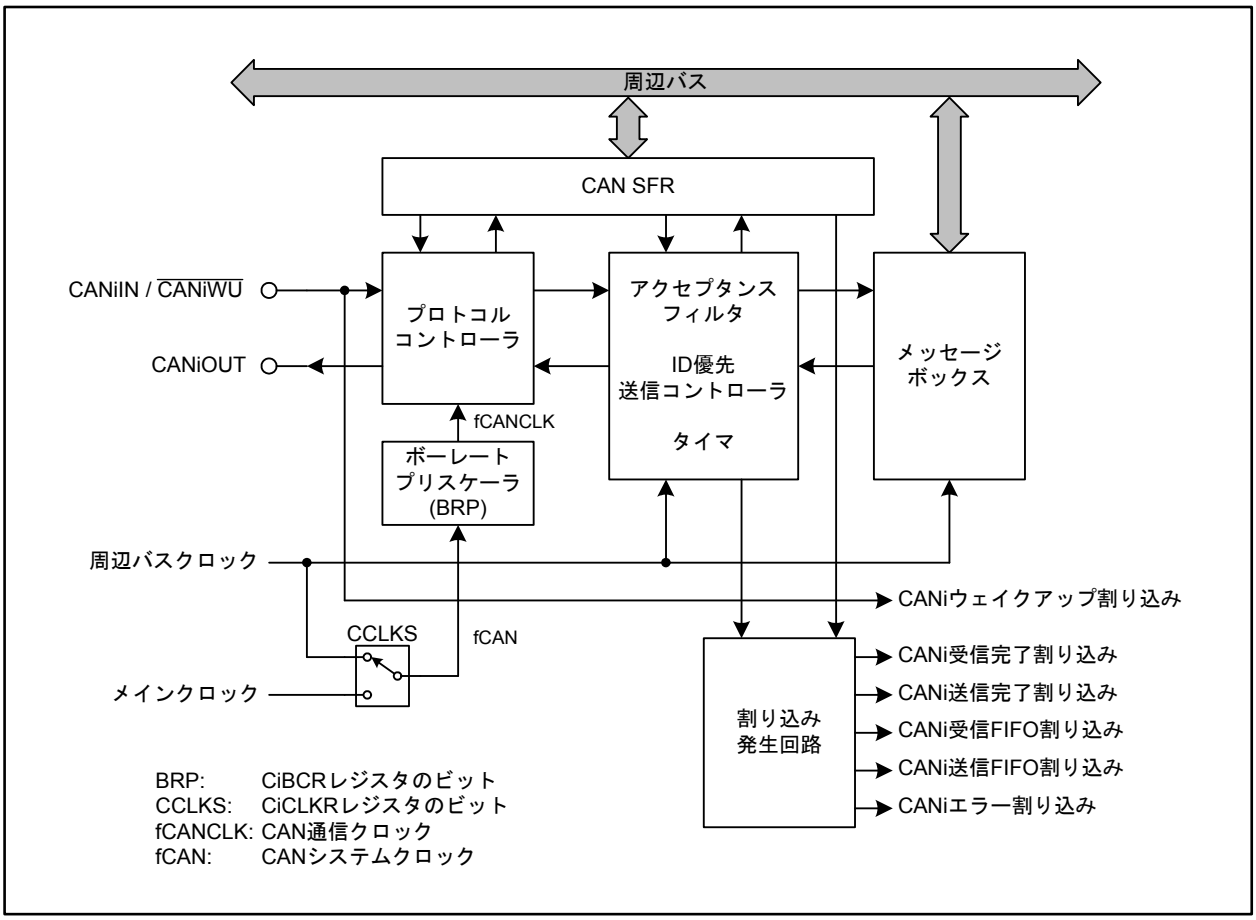


図 25.1 CANモジュールブロック図(i=0, 1)

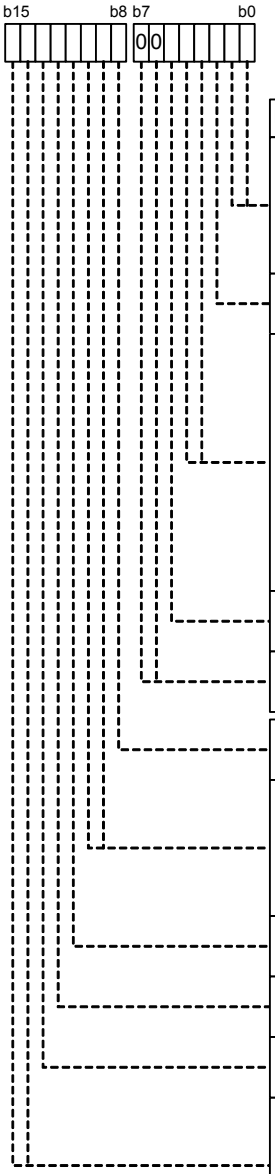
- CANiIN/CANiOUT (i=0, 1): CANの入出力端子です。
- プロトコルコントローラ: バスアービトレーションや送受信時のビットタイミング、スタッフ処理、エラー処理などのCANプロトコル処理を行います。
- メッセージボックス: 送信または受信メールボックスとして使用可能な32個のメールボックスで構成されています。各メールボックスには固有のID、データ長コード、8バイトのデータフィールドおよびタイムスタンプがあります。
- アクセプタンスフィルタ: 受信メッセージのフィルタ処理を行います。このフィルタ処理には、CiMKR0~CiMKR7レジスタを使用します。
- タイマ: タイムスタンプ機能に使用します。メールボックスにメッセージを格納するときのタイマ値がタイムスタンプ値として書き込まれます。
- ウェイクアップ: CANバス上にメッセージが検出されると、CANiウェイクアップ割り込み要求を発生します。
- 割り込み発生回路: 以下の5種類の割り込み要求を発生させることができます。
  - CANi受信完了割り込み
  - CANi送信完了割り込み
  - CANi受信FIFO割り込み
  - CANi送信FIFO割り込み
  - CANiエラー割り込み
- CAN SFR: CAN関連のレジスタです。詳細は、「25.1 CAN SFR」を参照してください。

25.1 CAN SFR

図 25.2~図 25.11、図 25.13、図 25.14、図 25.16~図 25.20、図 25.22、図 25.24~図 25.30にCAN関連レジスタを示します。

25.1.1　CANi制御レジスタ(CiCTLRレジスタ) (i=0, 1)

CANi制御レジスタ(i=0, 1)



シンボル	アドレス	リセット後の値
C0CTLR	47F41h-47F40h番地	0000 0000 0000 0101b
C1CTLR	47B41h-47B40h番地	0000 0000 0000 0101b

ビットシンボル	ビット名	機　能	RW
CANM	CAN動作モード選択ビット (注1)	b1 b0 0 0 : CANオペレーションモード 0 1 : CANリセットモード 1 0 : CAN Haltモード 1 1 : 設定しないでください	RW
SLPM	CANスリープモードビット (注1、2)	0: CANスリープモードではない 1: CANスリープモード	RW
BOM	バスオフ復帰モード選択ビット (注3)	b4 b3 0 0 : ノーマルモード (ISO11898-1仕様準拠) 0 1 : バスオフ開始で自動的にCAN Haltモードへ遷移 1 0 : バスオフ終了で自動的にCAN Haltモードへ遷移 1 1 : プログラムによる要求でCAN Halt モードへ遷移 (バスオフ復帰期間中)	RW
RBOC	バスオフ強制復帰ビット (注4)	0: 何もしない 1: バスオフからの強制復帰 (注5)	RW
— (b7-b6)	予約ビット	“0”にしてください	RW
MBM	CANメールボックスモード選択ビット (注3)	0: 通常メールボックスモード 1: FIFOメールボックスモード	RW
IDFM	IDフォーマットモード選択ビット (注3)	b10b9 0 0 : 標準IDモード 0 1 : 拡張IDモード 1 0 : ミックスIDモード 1 1 : 設定しないでください	RW
MLM	メッセージロストモード選択ビット (注3)	0: オーバライトモード 1: オーバランモード	RW
TPM	送信優先順位モード選択ビット (注3)	0: ID優先送信モード 1: メールボックス番号優先送信モード	RW
TSRC	タイムスタンプカウンタリセットビット (注6)	0: リセットしない 1: リセットする (注5)	RW
TSPS	タイムスタンププリスケーラ選択ビット (注3)	b15b14 0 0 : 1ビットタイムごと 0 1 : 2ビットタイムごと 1 0 : 4ビットタイムごと 1 1 : 8ビットタイムごと	RW

注1. CANM、SLPMビットを変更した場合は、CiSTRレジスタでモードが切り替わることを確認してください。
　　モードが切り替わるまで、CANM、SLPMビットは変更しないでください。
注2. SLPMビットは、CANリセットモードまたはCAN Haltモード時に変更してください。
　　SLPMビットを書き換える場合は、本ビットのみ“0”または“1”にしてください。
注3. BOM、MBM、IDFM、MLM、TPM、TSPSビットは、CANリセットモード時に変更してください。
注4. RBOCビットはバスオフ状態時に“1”にしてください。
注5. “1”にした後自動的に“0”に戻ります。読んだ場合“0”が読めます。
注6. TSRCビットはCANオペレーションモード時に“1”にしてください。

図 25.2　C0CTLR、C1CTLRレジスタ

25.1.1.1 CANMビット

CANモジュールのモード(CANオペレーションモード、CANリセットモード、CAN Haltモード)を選択するビットです。詳細は、「25.2 動作モード」を参照してください。

CANスリープモードはSLPMビットで設定します。

“11b”には設定しないでください。

BOMビットの設定によってCAN Haltモードへ遷移した場合は、CANMビットは自動的に“10b”になります。

25.1.1.2 SLPMビット

“1” にすると、CANスリープモードになります。

“0” にすると、CANスリープモードは解除されます。

詳細は、「25.2 動作モード」を参照してください。

25.1.1.3 BOMビット

CANモジュールのバスオフ復帰モードの選択に使用します。

“00b”の場合、バスオフからの復帰はISO11898-1仕様に準拠します。すなわち、CANモジュールは、11の連続するレセシブビットを128回検出後、再びCAN通信(エラーアクティブ状態)に入ります。バスオフからの復帰時にバスオフ復帰割り込み要求が発生します。

“01b ” の場合、CANモジュールがバスオフ状態に達すると、CiCTLRレジスタ(i=0, 1)のCANMビットが“10b” (CAN Haltモード)になってから、CAN Haltモードへ遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、CiTECR、CiRECRレジスタは“00h”になります。

“10b”の場合、CANモジュールがバスオフ状態に達するとCANMビットが“10b”になり、バスオフ状態から復帰した(11の連続するレセシブビットを128回検出)後に、CAN Haltモードに遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求が発生し、CiTECR、CiRECRレジスタが“00h”になります。

“11b” の場合、CANモジュールがまだバスオフ状態のときにCANMビットを“10b” にすると、CAN Haltモードになります。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、CiTECR、CiRECRレジスタは“00h”になります。しかし、CANMビットを“10b”にする前に、11の連続するレセシブビットを128回検出して、バスオフから復帰した場合は、バスオフ復帰割り込み要求が発生します。

CANモジュールがCAN Haltモードに遷移するのと同時(BOMビットが“01b”のとき:バスオフ開始、またはBOMビットが“10b”のとき:バスオフ終了)に、CPUがCANリセットモードへの遷移を要求した場合は、CPUの要求が優先されます。

25.1.1.4 RBOCビット

バスオフ状態時“1” (バスオフからの強制復帰)にすると、バスオフ状態から強制的に復帰します。このビットは自動的に“0”になります。エラー状態は、バスオフ状態からエラーアクティブ状態へと変化します。

“1”にすると、CiRECR、CiTECRレジスタが“00h”になり、CiSTRレジスタのBOSTビットは“0” (CANモジュールはバスオフ状態ではない)になります。他のレジスタは変化しません。バスオフからの復帰によるバスオフ復帰割り込み要求は発生しません。

BOMビットが“00b” (ノーマルモード)のときにのみ使用してください。

25.1.1.5 MBMビット

“0” (通常メールボックスモード)の場合、メールボックス[0]~[31]は送信または受信メールボックスに設定されます。

“1” (FIFOメールボックスモード)の場合、メールボックス[0]~[23]は送信または受信メールボックスに設定され、メールボックス[24]~[27]は送信FIFOに、メールボックス[28]~[31]は受信FIFOに設定されます。

送信データはメールボックス[24]に書き込み(メールボックス[24]は送信FIFOのウィンドウメールボックスです)、受信データはメールボックス[28]から読み出します(メールボックス[28]は受信FIFOのウィンドウメールボックスです)。

表25.3にメールボックスの設定を示します。

表25.3 メールボックスの設定

メールボックス	MBM=0 (通常メールボックスモード)	MBM=1(注1) (FIFOメールボックスモード)
メールボックス[0]~[23]	通常メールボックス	通常メールボックス
メールボックス[24]~[27]		送信FIFO
メールボックス[28]~[31]		受信FIFO

注1. MBMビットが“1”のときは、以下の点に注意してください。

- 送信FIFOはCiTFCRレジスタ(i=0, 1)で制御します
  メールボックス[24]~[27]のCiMCTLjレジスタ(j=0~31)は無効です
  CiMCTL24~CiMCTL27レジスタは使用できません
- 受信FIFOはCiRFCRレジスタで制御します
  メールボックス[28]~[31]のCiMCTLjレジスタは無効です
  CiMCTL28~CiMCTL31レジスタは使用できません
- FIFO割り込みについてはCiMIERレジスタを参照してください
- CiMKIVLRレジスタのメールボックス[24]~[31]に対応するビットは無効です。これらのビットには“0”を設定してください
- 送信/受信FIFOはデータフレーム/リモートフレームのいずれにも使用可能です

25.1.1.6 IDFMビット

IDフォーマットを指定します。

“00b”の場合、すべてのメールボックス(FIFOメールボックスを含む)は、標準IDのみに対応します。

“01b”の場合、すべてのメールボックス(FIFOメールボックスを含む)は、拡張IDのみに対応します。

“10b”の場合、すべてのメールボックス(FIFOメールボックスを含む)は、標準IDと拡張IDの両方に対応します。標準IDと拡張IDの選択は、通常メールボックスモードの場合、対応するメールボックスのIDEビットで指定します。FIFOメールボックスモードの場合、メールボックス[0]~[23]は対応するメールボックスのIDEビット、受信FIFOはCiFIDCR0、CiFIDCR1レジスタのIDEビット、送信FIFOはメールボックス[24]のIDEビットで指定します。

“11b”は、設定しないでください。

25.1.1.7 MLMビット

未読メールボックスに新しいメッセージを取り込む場合の動作を指定します。オーバライトモードまたはオーバランモードを選択できます。すべてのメールボックス(受信FIFOを含む)は、オーバライトモードかオーバランモードのどちらかになります。

“0”の場合、すべてのメールボックスはオーバライトモードになり、メールボックスの古いメッセージに新しいメッセージが上書きされます。

“1”の場合、すべてのメールボックスはオーバランモードになり、新しいメッセージは破棄されます。

25.1.1.8 TPMビット

メッセージを送信する場合の優先順のモードを指定します。ID優先送信モードまたはメールボックス番号優先送信モードを選択できます。

すべてのメールボックスは、ID優先送信またはメールボックス番号優先送信のどちらかになります。

“0”の場合、ID優先送信モードとなり送信優先順位はCANバス アービトレーションルール(ISO11898-1仕様)に準拠します。ID優先送信モードは、通常メールボックスモードのときメールボックス [0]~[31] 、FIFO メールボックスモードのときメールボックス [0]~[23] と送信 FIFO の送信に設定されたメールボックスのIDを比較します。2つ以上のメールボックスのIDが同じ場合、小さい番号のメールボックスが優先されます。

次に送信FIFOから送信される予定のメッセージのみが、送信アービトレーションの対象となります。送信FIFOのメッセージを送信中の場合、送信FIFO内の次の待機メッセージが送信アービトレーションの対象となります。

“1” の場合、メールボックス番号優先送信モードとなり送信に設定された一番小さい番号のメールボックスが優先されます。FIFOメールボックスモードでは、送信FIFOは通常メールボックス(メールボックス [0]~[23])よりも優先順位が低くなります。

25.1.1.9 TSRCビット

タイムスタンプカウンタをリセットするために使用します。

“1”にするとCiTSRレジスタ(i=0, 1)が“0000h”になります。このビットは自動的に“0”になります。

25.1.1.10 TSPSビット

タイムスタンプ用のプリスケーラを選択します。

タイムスタンプの基準クロックは、1、2、4、または8ビットタイムのいずれかを選択できます。

25.1.2　CANiクロック選択レジスタ(CiCLKRレジスタ) (i=0, 1)

CANiクロック選択レジスタ(i=0, 1)

b7	b6	b5	b4	b3	b2	b1	b0
0	×	×	0	0	×	0	

シンボル	アドレス	リセット後の値
C0CLKR	47F47h番地	000X 0000b
C1CLKR	47B47h番地	000X 0000b

ビットシンボル	ビット名	機　能	RW
CCLKS	CANクロックソース選択ビット (注1)	0: 周辺バスクロック 1: メインクロック (注2)	RW
— (b1)	予約ビット	“0”にしてください	RW
— (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”		—
— (b3)	予約ビット	“0”にしてください	RW
— (b4)	予約ビット	“0”にしてください。 読んだ場合、その値は不定	RW
— (b6-b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”		—
— (b7)	予約ビット	“0”にしてください	RW

注1. CCLKSビットは、CANリセットモード時に変更してください。
注2. CCLKSビットを“1”にする場合、周辺バスクロックの周波数はメインクロックの周波数以上にしてください。

図 25.3　C0CLKR、C1CLKR レジスタ

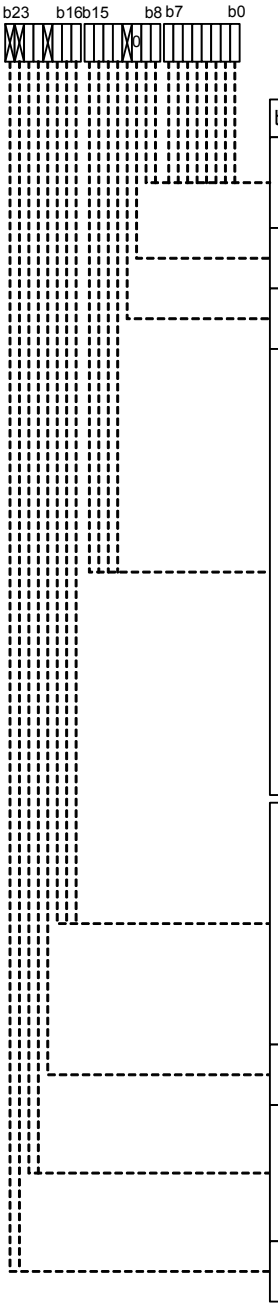
25.1.2.1　CCLKSビット

“0”の場合、CANクロックソース(fCAN)にPLL周波数シンセサイザにより生成された周辺バスクロックが使用されます。

“1”の場合、CANクロックソース(fCAN)にPLL周波数シンセサイザを使用せず、外部のXIN端子から入力されたメインクロックが使用されます。

25.1.3　CANiビットコンフィグレーションレジスタ(CiBCRレジスタ) (i=0, 1)

CANiビットコンフィグレーションレジスタ(i=0, 1) (注1、2)



シンボル	アドレス	リセット後の値
C0BCR	47F46h-47F44h番地	00 0000h
C1BCR	47B46h-47B44h番地	00 0000h

ビットシンボル	ビット名	機　能	RW
BRP	プリスケーラ分周比 設定ビット (10ビット)	設定値を P (0~1023) とすると、ボーレートプリスケーラは fCAN を P+1で 分周します	RW
— (b10)	予約ビット	“0”にしてください	RW
— (b11)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”		—
TSEG1	タイムセグメント1 制御ビット	b15b14b13b12 0 0 0 0 : 0 0 0 1 : 0 0 1 0 :　} 設定しないでください 0 0 1 1 : 4 Tq 0 1 0 0 : 5 Tq 0 1 0 1 : 6 Tq 0 1 1 0 : 7 Tq 0 1 1 1 : 8 Tq 1 0 0 0 : 9 Tq 1 0 0 1 : 10 Tq 1 0 1 0 : 11 Tq 1 0 1 1 : 12 Tq 1 1 0 0 : 13 Tq 1 1 0 1 : 14 Tq 1 1 1 0 : 15 Tq 1 1 1 1 : 16 Tq	RW
TSEG2	タイムセグメント2 制御ビット	b18b17b16 0 0 0 : 設定しないでください 0 0 1 : 2 Tq 0 1 0 : 3 Tq 0 1 1 : 4 Tq 1 0 0 : 5 Tq 1 0 1 : 6 Tq 1 1 0 : 7 Tq 1 1 1 : 8 Tq	RW
— (b19)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”		—
SJW	再同期ジャンプ幅 制御ビット	b21b20 0 0 : 1 Tq 0 1 : 2 Tq 1 0 : 3 Tq 1 1 : 4 Tq	RW
— (b23-b22)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”		—

注1. CiBCRレジスタは、CANリセットモードからCAN Haltモード、もしくはCANリセットモードからCANオペレーションモードへ遷移する前に設定してください。一度設定するとCANリセットモード、もしくはCAN Haltモードで変更できます。
注2. CiBCRレジスタは24ビットです。32ビットでアクセスする場合は、CiCLKRレジスタを書き換えないように注意してください。

図 25.4　C0BCR、C1BCR レジスタ

ビットタイミングの設定については、「25.3 CAN通信速度の設定」を参照してください。

25.1.3.1 BRPビット

CAN通信クロック(fCANCLK)の周波数設定に使用します。
fCANCLKの周期が1 Time Quantum (Tq)となります。

25.1.3.2 TSEG1ビット

プロパゲーションタイムセグメント(PROP_SEG)とフェーズバッファセグメント1 (PHASE_SEG1)の合計長をTq値で指定します。
4~16 Tqの値が設定可能です。

25.1.3.3 TSEG2ビット

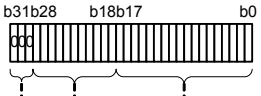
フェーズバッファセグメント2 (PHASE_SEG2)の長さをTq値で指定します。
2~8 Tqの値が設定可能です。
TSEG1ビットより小さな値を設定してください。

25.1.3.4 SJWビット

再同期ジャンプ幅(Resynchronization Jump Width)をTq値で指定します。
1~4 Tqの値が設定可能です。
TSEG2ビット以下の値を設定してください。

25.1.4　CANiマスクレジスタk (CiMKRkレジスタ) (i=0, 1、k=0~7)

CANiマスクレジスタk (i=0, 1、k=0~7) (注1)



シンボル	アドレス	リセット後の値
C0MKR0, C0MKR1	47E03h-47E00h、47E07h-47E04h番地	不定
C0MKR2, C0MKR3	47E0Bh-47E08h、47E0Fh-47E0Ch番地	不定
C0MKR4, C0MKR5	47E13h-47E10h、47E17h-47E14h番地	不定
C0MKR6, C0MKR7	47E1Bh-47E18h、47E1Fh-47E1Ch番地	不定
C1MKR0, C1MKR1	47A03h-47A00h、47A07h-47A04h番地	不定
C1MKR2, C1MKR3	47A0Bh-47A08h、47A0Fh-47A0Ch番地	不定
C1MKR4, C1MKR5	47A13h-47A10h、47A17h-47A14h番地	不定
C1MKR6, C1MKR7	47A1Bh-47A18h、47A1Fh-47A1Ch番地	不定

ビットシンボル	ビット名	機　能	RW
EID	拡張IDビット	0: 対応するEIDビットは比較されない 1: 対応するEIDビットは比較される	RW
SID	標準IDビット	0: 対応するSIDビットは比較されない 1: 対応するSIDビットは比較される	RW
— (b31-b29)	予約ビット	“0”にしてください	RW

注1. CiMKR0~CiMKR7レジスタは、CANリセットモードまたはCAN Haltモード時に変更してください。

図 25.5　C0MKR0~C1MKR7 レジスタ

FIFOメールボックスモードでのマスク機能については、「25.5 アクセプタンスフィルタ処理とマスク機能」を参照してください。

25.1.4.1　EIDビット

CAN拡張IDビットに対応するフィルタマスクビットです。拡張IDのメッセージを受信する場合に使用します。

“0”の場合、受信メッセージ中の対応するEIDビットは比較されません。

“1”の場合、受信メッセージ中の対応するEIDビットは比較されます。

25.1.4.2　SIDビット

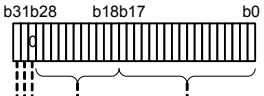
CAN標準IDビットに対応するフィルタマスクビットです。標準IDと拡張IDのメッセージを受信する場合の両方で使用します。

“0”の場合、受信メッセージ中の対応するSIDビットは比較されません。

“1”の場合、受信メッセージ中の対応するSIDビットは比較されます。

25.1.5 CANi FIFO受信ID比較レジスタn (CiFIDCR0、CiFIDCR1レジスタ) (i=0, 1、n=0, 1)

CANi FIFO受信ID比較レジスタn (i=0, 1、n=0, 1) (注1)



シンボル	アドレス	リセット後の値
C0FIDCR0	47E23h-47E20h番地	不定
C0FIDCR1	47E27h-47E24h番地	不定
C1FIDCR0	47A23h-47A20h番地	不定
C1FIDCR1	47A27h-47A24h番地	不定

ビットシンボル	ビット名	機　能	RW
EID	拡張IDビット	0: 対応するEIDビットは“0” 1: 対応するEIDビットは“1”	RW
SID	標準IDビット	0: 対応するSIDビットは“0” 1: 対応するSIDビットは“1”	RW
— (b29)	予約ビット	“0”にしてください	RW
RTR	リモートフレーム要求ビット	0: データフレーム 1: リモートフレーム	RW
IDE	ID拡張ビット (注2)	0: 標準ID 1: 拡張ID	RW

注1. CiFIDCR0、CiFIDCR1レジスタは、CANリセットモードまたはCAN Haltモード時に変更してください。
注2. IDEビットは、CiCTLRレジスタのIDFMビットが“10b”(ミックスIDモード) のとき有効です。IDFMビットが“00b”(標準IDモード) または“01b”(拡張IDモード) のときは、“0”を書いてください。

図 25.6 C0FIDCR0~C1FIDCR1レジスタ

CiCTLRレジスタのMBMビットが“1” (FIFOメールボックスモード)のとき有効です。CiMB28～CiMB31レジスタのEID、SID、RTR、IDEビットは無効です。

使用方法については、「25.5 アクセプタンスフィルタ処理とマスク機能」を参照してください。

25.1.5.1 EIDビット

データフレームとリモートフレームの拡張IDを設定します。拡張IDのメッセージを受信する場合に使用します。

25.1.5.2 SIDビット

データフレームとリモートフレームの標準IDを設定します。標準IDと拡張IDのメッセージを受信する場合の両方で使用します。

25.1.5.3 RTRビット

データフレームまたはリモートフレームの指定されたフレームフォーマットを設定します。
以下の動作を指定します。

- CiFIDCR0、CiFIDCR1レジスタ(i=0, 1)の両方のRTRビットが“0”の場合、データフレームのみ受信できます
- CiFIDCR0、CiFIDCR1レジスタの両方のRTRビットが“1”の場合、リモートフレームのみ受信できます
- CiFIDCR0、CiFIDCR1レジスタのRTRビットが“0”と“1”のそれぞれ異なる設定の場合、データフレームとリモートフレームの両方を受信できます

25.1.5.4 IDEビット

標準IDまたは拡張IDのIDフォーマットを設定します。
CiCTLRレジスタのIDFMビットが“10b”(ミックスIDモード)のとき有効です。
IDFMビットが“10b”のとき、以下の動作を指定します。

- CiFIDCR0、CiFIDCR1レジスタの両方のIDEビットが“0”の場合、標準IDフレームのみ受信できます
- CiFIDCR0、CiFIDCR1レジスタの両方のIDEビットが“1”の場合、拡張IDフレームのみ受信できます
- CiFIDCR0、CiFIDCR1レジスタのIDEビットが“0”と“1”のそれぞれ異なる設定の場合、標準IDと拡張IDのフレームの両方を受信できます

25.1.6　CANiマスク無効レジスタ(CiMKIVLRレジスタ) (i=0, 1)

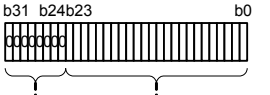
CANiマスク無効レジスタ(i=0, 1) (注1)

シンボル	アドレス	リセット後の値
C0MKIVLR	47E2Bh-47E28h番地	不定
C1MKIVLR	47A2Bh-47A28h番地	不定

通常メールボックスモード

ビットシンボル	ビット名	機　能	RW
— (b31-b0)	マスク無効ビット	0: マスク有効 1: マスク無効	RW

FIFOメールボックスモード



ビットシンボル	ビット名	機　能	RW
— (b23-b0)	マスク無効ビット	0: マスク有効 1: マスク無効	RW
— (b31-b24)	予約ビット	“0”にしてください	RW

注1. CiMKIVLRレジスタは、CANリセットモードまたはCAN Haltモード時に変更してください。

図 25.7　C0MKIVLR、C1MKIVLRレジスタ

各ビットは、同じ番号のメールボックスに対応します。“1”の場合、ビット番号に対応するメールボックスのアクセプタンスマスクは無効となります。この場合、メールボックスは受信メッセージのIDとCiMBjレジスタ(j=0~31)のSID、EIDビットが一致する場合にのみ受信します。

25.1.7 CANiメールボックス(CiMBjレジスタ) (i=0, 1、j=0~31)

表25.4にCANiメールボックスのメモリ配置、表25.5にCANデータフレームの構成を示します。
CANiメールボックスのリセット後の値は不定です。

表25.4 CANiメールボックスのメモリ配置(i=0, 1)

アドレス		メッセージ内容
CAN0	CAN1	メモリ配置
47C00h + j × 16 + 0	47800h + j × 16 + 0	EID7 ~ EID0
47C00h + j × 16 + 1	47800h + j × 16 + 1	EID15 ~ EID8
47C00h + j × 16 + 2	47800h + j × 16 + 2	SID5 ~ SID0, EID17, EID16
47C00h + j × 16 + 3	47800h + j × 16 + 3	IDE, RTR, SID10 ~ SID6
47C00h + j × 16 + 4	47800h + j × 16 + 4	—
47C00h + j × 16 + 5	47800h + j × 16 + 5	データ長コード(DLC)
47C00h + j × 16 + 6	47800h + j × 16 + 6	データバイト0
47C00h + j × 16 + 7 : : : 47C00h + j × 16 + 13	47800h + j × 16 + 7 : : : 47800h + j × 16 + 13	データバイト1 : : : データバイト7
47C00h + j × 16 + 14	47800h + j × 16 + 14	タイムスタンプ下位バイト
47C00h + j × 16 + 15	47800h + j × 16 + 15	タイムスタンプ上位バイト

j: メールボックス番号(j=0~31)

表25.5 CANデータフレームの構成

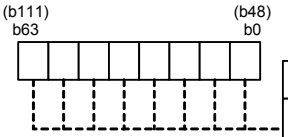
SID10 ~ SID6	SID5 ~ SID0	EID17 ~ EID16	EID15 ~ EID8	EID7 ~ EID0	DLC3 ~ DLC0	DATA0	DATA1	・・・・	DATA7

CANiメールボックスレジスタj (i=0, 1、j=0~31) (注1)

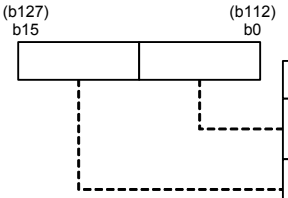
シンボル	アドレス(注2)	リセット後の値
C0MB0~C0MB31	47C00h~47DFFh番地	不定
C1MB0~C1MB31	47800h~479FFh番地	不定

ビットシンボル	ビット名	機　能	RW
EID	拡張ID (注3)	0: 対応するEIDビットは“0” 1: 対応するEIDビットは“1”	RW
SID	標準ID	0: 対応するSIDビットは“0” 1: 対応するSIDビットは“1”	RW
— (b29)	予約ビット	“0”にしてください	RW
RTR	リモートフレーム要求ビット	0: データフレーム 1: リモートフレーム	RW
IDE	ID拡張ビット (注4)	0: 標準ID 1: 拡張ID	RW

ビットシンボル	ビット名	設定範囲	RW
— (b7-b0)	予約ビット	“0”にしてください	RW
DLC	データ長コード (注5)	0h~Fh	RW
— (b15-b12)	予約ビット	“0”にしてください	RW



シンボル	名　称	設定範囲	RW
DATA0~ DATA7	データバイト0~7 (注5、6)	00h~FFh	RW



シンボル	名　称	設定範囲	RW
TSL	タイムスタンプ下位バイト	00h~FFh	RW
TSH	タイムスタンプ上位バイト	00h~FFh	RW

注1. CiMBjレジスタは、関連するCiMCTLjレジスタが“00h”でかつアボート処理中でないときに変更してください。
注2. 詳細なアドレスについては、前ページの「メールボックスのメモリ配置」の表を参照してください。
注3. メールボックスが標準IDのメッセージを受信した場合、メールボックスのEIDビットは不定になります。
注4. IDEビットは、CiCTLRレジスタのIDFMビットが“10b”(ミックスIDモード) のとき有効です。IDFMビットが“00b”(標準IDモード) または“01b”(拡張IDモード) のときは、“0”を書いてください。
注5. メールボックスが8バイトよりも少ないnバイトのメッセージを受信すると、メールボックスのDATAn~DATA7の値は不定になります。
注6. メールボックスがリモートフレームを受信した場合、メールボックスのDATA0~DATA7は以前の値が保持されます。

図 25.8　C0MBj、C1MBj レジスタ

各メールボックスの内容は、新しいメッセージを受信しない限り、以前の値を保持します。

25.1.7.1 EIDビット

データフレームとリモートフレームの拡張IDを設定します。拡張IDのメッセージを送受信する場合に使用します。

25.1.7.2 SIDビット

データフレームとリモートフレームの標準IDを設定します。標準IDと拡張IDのメッセージを送受信する場合の両方で使用します。

25.1.7.3 RTRビット

データフレームまたはリモートフレームのフレームフォーマットを設定します。以下の動作を指定します。

- 受信メールボックスは、RTRビットで選択したフレームフォーマットのみ受信する
- 送信メールボックスは、RTRビットで選択したフレームフォーマットで送信を行う
- 受信FIFOメールボックスは、CiFIDCR0、CiFIDCR1レジスタ(i=0, 1)のRTRビットで選択したデータフレーム、リモートフレーム、または両方のフレームを受信する
- 送信FIFOメールボックスは、関連する送信メッセージのRTRビットで選択したデータフレームまたはリモートフレームを送信する

25.1.7.4 IDEビット

標準IDまたは拡張IDのIDフォーマットを設定します。
CiCTLRレジスタのIDFMビットが“10b”(ミックスIDモード)のとき有効です。
IDFMビットが“10b”のとき、IDEビットは以下の動作を指定します。

- 受信メールボックスは、IDEビットで選択したIDフォーマットのみ受信する
- 送信メールボックスは、IDEビットで選択したIDフォーマットで送信を行う
- 受信FIFOメールボックスは、CiFIDCR0、CiFIDCR1レジスタのIDEビットで選択した標準ID、拡張ID、または両方のIDメッセージを受信する
- 送信FIFOメールボックスは、関連する送信メッセージのIDEビットで選択した標準IDまたは拡張IDのメッセージを送信する

25.1.7.5 DLC (Data Length Code)

データフレームで送信するデータのバイト数を設定します。リモートフレームを使用してデータを要求する場合、要求するデータのバイト数を設定します。

データフレームを受信した場合、受信したデータのバイト数が格納されます。リモートフレームを受信した場合、要求されたデータのバイト数が格納されます。

表 25.6にDLCと対応するデータ長を示します。

表 25.6 DLCと対応するデータ長

DLC [3]	DLC [2]	DLC [1]	DLC [0]	データ長
0	0	0	0	0バイト
0	0	0	1	1バイト
0	0	1	0	2バイト
0	0	1	1	3バイト
0	1	0	0	4バイト
0	1	0	1	5バイト
0	1	1	0	6バイト
0	1	1	1	7バイト
1	X	X	X	8バイト

X: 任意の値

25.1.7.6 DATA0~DATA7

送信または受信したCANメッセージデータを格納します。DATA0から、送信または受信されます。CANバス上のビットオーダは、MSBファーストでビット7から送信または受信されます。

25.1.7.7 TSL, TSH

受信メッセージがメールボックスに取り込まれたときのタイムスタンプカウンタ値を格納します。

25.1.8　CANiメールボックス割り込み許可レジスタ(CiMIERレジスタ) (i=0, 1)

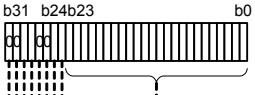
CANiメールボックス割り込み許可レジスタ(i=0, 1) (注1、2)

シンボル	アドレス	リセット後の値
C0MIER	47E2Fh-47E2Ch番地	不定
C1MIER	47A2Fh-47A2Ch番地	不定

通常メールボックスモード

ビットシンボル	ビット名	機　能	RW
— (b31-b0)	割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	RW

FIFOメールボックスモード



ビットシンボル	ビット名	機　能	RW
— (b23-b0)	割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	RW
— (b24)	送信FIFO割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	RW
— (b25)	送信FIFO割り込み発生タイミング制御ビット	送信FIFO割り込み要求は、 0: 毎回の送信完了後発生 1: 送信完了によって送信FIFOが空になったとき発生	RW
— (b27-b26)	予約ビット	“0”にしてください	RW
— (b28)	受信FIFO割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	RW
— (b29)	受信FIFO割り込み発生タイミング制御ビット	受信FIFO割り込み要求は 0: 毎回の受信完了後発生 1: 受信完了によって受信FIFOがバッファワーニングになったとき発生 (注3)	RW
— (b31-b30)	予約ビット	“0”にしてください	RW

注1. CiMIERレジスタは、関連するCiMCTLjレジスタ (j=0~31) が“00h”で、対応するメールボックスが送受信アボートの処理をしていないときにのみ変更してください。
注2. 関連するFIFOのCiMIERレジスタのビットは、FIFOメールボックスモードの場合、CiTFCRレジスタのTFEビットが“0”でTFESTビットが“1”、CiRFCRレジスタのRFEビットが“0”でRFESTビットが“1”のときにのみ変更してください。
注3. 受信FIFOがフルからバッファワーニングとなった場合、割り込み要求は発生しません。

図 25.9　C0MIER、C1MIERレジスタ

メールボックスは個別に割り込み許可を設定できます。

通常メールボックスモード(ビット0~31)とFIFOメールボックスモード(ビット0~23)では、それぞれのビットは同じ番号のメールボックスに対応します。これらのビットは、対応するメールボックスの送信完了/受信完了割り込みを許可/禁止します。

FIFOメールボックスモードのビット24、25、28、29は送信/受信FIFO割り込みの許可/禁止と割り込み要求が発生するタイミングを指定します。

バッファワーニングとは、受信FIFOに3つ目のメッセージが格納された状態です。

25.1.9　CANiメッセージ制御レジスタj (CiMCTLjレジスタ) (i=0, 1、j=0~31)

CANiメッセージ制御レジスタj (i=0, 1、j=0~31) (注1、2)

b7	b6	b5	b4	b3	b2	b1	b0
		X		X			

シンボル	アドレス	リセット後の値
C0MCTL0~C0MCTL31	47F20h~47F3Fh番地	00h
C1MCTL0~C1MCTL31	47B20h~47B3Fh番地	00h

ビットシンボル	ビット名	機　能	RW
TRMREQビットが“0”、RECREQビットが“1”の場合			
NEWDATA	受信完了フラグ　(注3、4)	0: データが受信されていない、またはNEWDATAビットに“0”を書いた場合 1: 新しいメッセージをメールボックスに格納中、または格納された	RW
INVALDATA	受信中ステータスフラグ	0: メッセージは有効 1: メッセージ更新中	RO
MSGLOST	メッセージロストフラグ (注3、4)	0: メッセージはオーバライトまたはオーバランされていない 1: メッセージはオーバライトまたはオーバランされた	RW
TRMREQビットが“1”、RECREQビットが“0”の場合			
SENTDATA	送信完了フラグ　(注3、4)	0: 送信が終了していない (ペンディングの場合) 1: 送信完了 (成功)	RW
TRMACTIVE	送信中ステータスフラグ	0: 送信待機中、または送信要求なし 1: 送信要求の取り込みから、送信完了、エラー発生またはアービトレーションロスト発生まで	RO
TRMABT	送信アボート完了フラグ (注3、4)	0: 送信が開始された、または送信アボートが送信完了により失敗、または送信アボートが要求されていない 1: 送信アボート完了	RW
— (b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”		—
ONESHOT	ワンショット許可ビット (注5)	0: ワンショット受信、およびワンショット送信禁止 1: ワンショット受信またはワンショット送信許可	RW
— (b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”		—
RECREQ	受信メールボックス設定ビット　(注4、6、7)	0: 受信メールボックスに設定しない 1: 受信メールボックスに設定する	RW
TRMREQ	送信メールボックス設定ビット　(注4、6)	0: 送信メールボックスに設定しない 1: 送信メールボックスに設定する	RW

注1. CiMCTLjレジスタは、CANオペレーションモードまたはCAN Haltモード時に変更してください。
注2. FIFOメールボックスモードでは、CiMCTL24~CiMCTL31レジスタは使用しないでください。
注3. “0”のみ書けます (“1”を書いても変化しません)。
注4. NEWDATA、SENTDATA、MSGLOST、TRMABT、RECREQ、およびTRMREQビットにプログラムで“0”を書く場合は、MOV命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。
注5. ワンショット受信モードに移行するときは、RECREQビットを“1”にするのと同時に、ONESHOTビットに“1”を書いてください。ワンショット受信モードを解除するときは、RECREQビットに“0”を書いた後、“0”になったことを確認してからONESHOTビットに“0”を書いてください。
ワンショット送信モードに移行するときは、TRMREQビットを“1”にするのと同時に、ONESHOTビットに“1”を書いてください。ワンショット送信モードを解除するときは、メッセージが送信されたか中止された後にONESHOTビットに“0”を書いてください。
注6. RECREQビットとTRMREQビットの両方を“1”にしないでください。
注7. RECREQビットを“0”にするときには、NEWDATA、MSGLOSTビットとRECREQビットは同時に“0”にしてください。

図 25.10　C0MCTLj、C1MCTLjレジスタ

25.1.9.1 NEWDATAビット

メールボックスに新しいメッセージを格納中または格納が完了したときに、“1”になります。“1”になるタイミングは、INVALDATAビットと同時です。

プログラムで“0”を書くと“0”になります。

関連するINVALDATAビットが“1”の間は、NEWDATAビットはプログラムで“0”を書いても“0”になりません。

25.1.9.2 SENTDATAビット

対応するメールボックスからのデータ送信が完了すると“1”になります。

プログラムで“0”を書くと“0”になります。

“0”にする場合は、TRMREQビットを“0”にしてからSENTDATAビットを“0”にしてください。SENTDATAビットとTRMREQビットは同時に“0”になりません。

メールボックスから新しいメッセージを送信するには、SENTDATAビットを“0”にしてください。

25.1.9.3 INVALDATAビット

メッセージの受信完了後、受信したメッセージをメールボックスに更新中に“1”になります。

メッセージの格納完了時点で“0”になります。INVALDATAビットが“1”の間にメールボックスを読んだ場合、データは不定値になります。

25.1.9.4 TRMACTIVEビット

CANモジュールから対応するメールボックスのメッセージ送信を開始すると“1”になります。

CANモジュールがCANバスアービトレーションに負けるか、CANバスエラーが起こるか、あるいはデータ送信が完了すると、“0”になります。

25.1.9.5 MSGLOSTビット

NEWDATAビットが“1”の間、メールボックスが新しい受信メッセージによってメッセージが上書きされたり破棄された場合、“1”になります。EOFの6番目のビットの終わりで“1”になります。

プログラムで“0”を書くと“0”になります。

オーバライトモードとオーバランモードの両方において、EOFの6番目のビットに続く周辺バスクロック5サイクルの間は、MSGLOSTビットはプログラムで“0”を書いても“0”になりません。

25.1.9.6 TRMABTビット

以下の場合、“1”になります。

- 送信アボート要求に続いて、送信を開始する前に送信アボートが完了する
- 送信アボート要求に続いて、CANモジュールがCANバスアービトレーション負けまたはCANバスエラーを検出した場合
- ワンショット送信モード(RECREQビットが“0”、TRMREQビットが“1”、ONESHOTビットが“1”)で、CANモジュールがCANバスアービトレーション負けまたはCANバスエラーを検出した場合

データ送信が完了すると“1”にはなりません。データ送信が完了した場合はSENTDATAビットが“1”になります。

プログラムで“0”を書くと“0”になります。

25.1.9.7 ONESHOTビット

ONESHOTビットは受信モードと送信モードの2つの使い方があります。

(1) ワンショット受信モード

受信モード(RECREQビットが“1”、TRMREQビットが“0”)のときONESHOTビットを“1”にすると、メールボックスはメッセージを1回のみ受信します(メッセージの受信が1回完了した後は、受信メールボックスとして動作しません)。NEWDATAおよびINVALDATAビットの動作は、通常の受信モードと同じです。このモードでは、MSGLOSTビットは“1”にはなりません。

ONESHOTビットを“0”にする場合、RECREQビットへ“0”を書いた後、RECREQビットが“0”になったことを確認してから行ってください。

(2) ワンショット送信モード

送信モード(RECREQビットが“0”、TRMREQビットが“1”)のときONESHOTビットを“1”にすると、CANモジュールはメッセージを1回のみ送信します(CANバスエラーまたはCANバスアービトレーション負けの場合でも、メッセージの再送信を行いません)。送信が完了すると、SENTDATAビットが“1”になります。CANバスエラーまたはCANバスアービトレーション負けによって送信が完了できなかったときは、TRMABTビットが“1”になります。

ONESHOTビットを“0”にする場合、SENTDATAビットが“1”、またはTRMABTビットが“1”になってから行ってください。

25.1.9.8 RECREQビット

表25.11に示す受信モードを選択します。

“1”にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信に設定されます。

“0”にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信に設定されません。

以下の期間は、ハードウェアプロテクトがかかり、プログラムで“0”を書いても“0”になりません。

ハードウェアプロテクトの開始

- アクセプタンスフィルタ処理の開始(CRCフィールドの始まり)

ハードウェアプロテクトの解除

- メッセージの受信に指定されたメールボックスは、受信メッセージがメールボックスに格納された後、またはCANバスエラーが発生した後(すなわち、ハードウェアプロテクトの最大期間はCRCフィールドの始まりからEOFの7番目のビットの終わりまで)
- その他のメールボックスは、アクセプタンスフィルタ処理後
- 受信するメールボックスがない場合は、アクセプタンスフィルタ処理後

RECREQビットを“1”にする場合は、TRMREQビットを“1”にしないでください。

メールボックスの設定を送信から受信に変更する場合は、受信に変更する前に、まず送信をアボートし、そしてSENTDATAビットとTRMABTビットを“0”にしてください。

25.1.9.9 TRMREQビット

表25.11に示す送信モードを選択します。

“1”にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されます。

“0”にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されません。

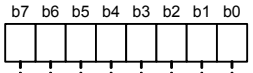
送信要求をキャンセルするために、TRMREQビットを“1”から“0”に変更すると、TRMABTビットまたはSENTDATAビットが“1”になります。

TRMREQビットを“1”にする場合は、RECREQビットを“1”にしないでください。

メールボックスの設定を受信から送信に変更する場合は、送信に変更する前に、まず受信をアボートし、そしてNEWDATAビットとMSGLOSTビットを“0”にしてください。

25.1.10 CANi受信FIFO制御レジスタ (CiRFCRレジスタ) (i=0, 1)

CANi受信FIFO制御レジスタ (i=0, 1) (注1)



シンボル	アドレス	リセット後の値
C0RFCR	47F48h番地	1000 0000b
C1RFCR	47B48h番地	1000 0000b

ビットシンボル	ビット名	機　能	RW
RFE	受信FIFO許可ビット (注2)	0: 受信FIFO禁止 1: 受信FIFO許可	RW
RFUST	受信FIFO未読メッセージ数ステータスフラグ	b3 b2 b1 0 0 0 : 未読メッセージなし 0 0 1 : 未読メッセージ1件あり 0 1 0 : 未読メッセージ2件あり 0 1 1 : 未読メッセージ3件あり 1 0 0 : 未読メッセージ4件あり 1 0 1 : 1 1 0 : } 予約 1 1 1 :	RO
RFMLF	受信FIFOメッセージロストフラグ (注3)	0: 受信FIFOメッセージロスト未発生 1: 受信FIFOメッセージロスト発生	RW
RFFST	受信FIFOフルステータスフラグ	0: 受信FIFOはフルではない 1: 受信FIFOはフル (未読メッセージ4件)	RO
RFWST	受信FIFOバッファワーニングステータスフラグ	0: 受信FIFOはバッファワーニングではない 1: 受信FIFOはバッファワーニング (未読メッセージ3件)	RO
RFEST	受信FIFO空ステータスフラグ	0: 受信FIFOに未読メッセージあり 1: 受信FIFOに未読メッセージなし	RO

注1. CiRFCRレジスタは、CANオペレーションモードまたはCAN Haltモード時に変更してください。
注2. RFEビットを“0”にするときは、RFMLFビットも同時に“0”にしてください。
注3. “0”のみ書けます (“1”を書いても変化しません)。

図 25.11 C0RFCR、C1RFCR レジスタ

25.1.10.1 RFEビット

“1” にすると、受信FIFOが受信許可になります。

“0” にすると、受信 FIFOは受信禁止になり、空(RFESTビットが“1”)になります。

通常メールボックスモード(CiCTLRレジスタ(i=0, 1)のMBMビットが“0”)では、“1”にしないでください。

以下の期間は、ハードウェアプロテクトがかかり、プログラムで“0”を書いても“0”になりません。

ハードウェアプロテクトの開始

- アクセプタンスフィルタ処理の開始(CRCフィールドの始まり)

ハードウェアプロテクトの解除

- メッセージの受信に受信FIFOが指定された場合は、受信メッセージが受信FIFOに格納された後、またはCANバスエラーが発生した後(すなわち、ハードウェアプロテクトの最大期間はCRCフィールドの始まりからEOFの7番目のビットの終わりまで)
- メッセージの受信に受信FIFOが指定されない場合は、アクセプタンスフィルタ処理後

25.1.10.2 RFUSTビット

受信 FIFO内の未読メッセージの数を示します。

RFEビットを“0”にすると、“000b”に初期化されます。

25.1.10.3 RFMLFビット

受信FIFOがフルのときに新しいメッセージを受信すると、“1” (受信FIFOメッセージロスト発生)になります。“1”になるタイミングは、EOFの6番目のビットの終わりです。

プログラムで“0”を書くと“0”になります。

オーバランモードとオーバライトモードのどちらも、受信FIFOがフルでメッセージの受信が決定している場合、ハードウェアプロテクトによりEOFの6番目のビットに続く周辺バスクロック5サイクルの間は、プログラムで“0” (受信FIFOメッセージロスト未発生)になりません。

25.1.10.4 RFFSTビット

受信 FIFO内の未読メッセージが4件になると、“1” (受信FIFOはフル)になります。受信FIFO内の未読メッセージが4件未満になると、“0” (受信FIFOはフルではない)になります。RFEビットを“0”にすると、“0”になります。

25.1.10.5 RFWSTビット

受信 FIFO内の未読メッセージが3件になると、“1” (受信FIFOはバッファワーニング)になります。受信FIFO内の未読メッセージが3件未満もしくは4件になると“0” (受信FIFOはバッファワーニングではない)になります。RFEビットを“0”にすると、“0”になります。

25.1.10.6 RFESTビット

受信 FIFO内の未読メッセージがなくなると、“1” (受信FIFOに未読メッセージなし)になります。RFEビットを“0”にすると、“1”になります。受信FIFO内の未読メッセージが1件以上になると、“0” (受信FIFOに未読メッセージあり)になります。

図 25.12に受信FIFOメールボックスの動作を示します。

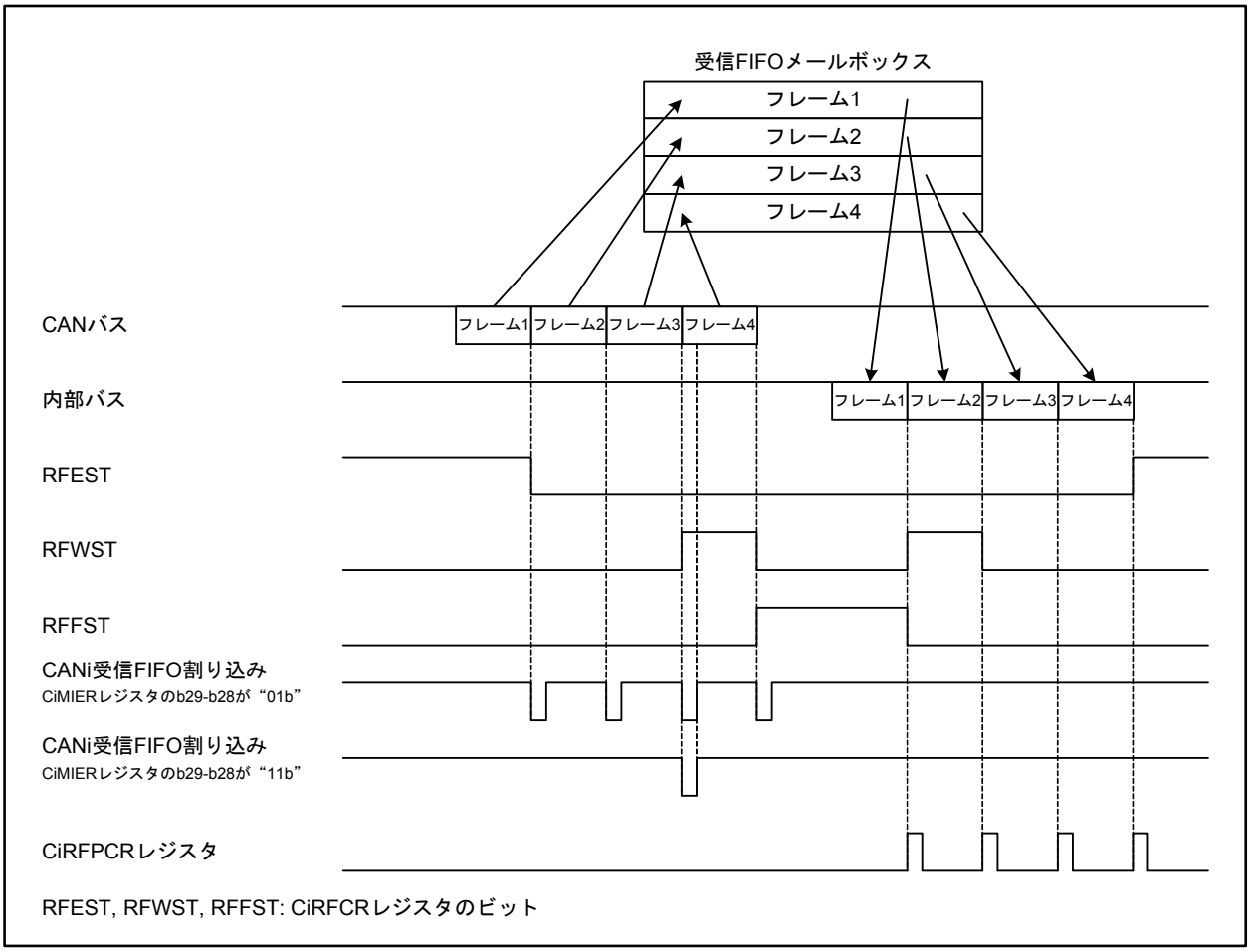


図 25.12 受信FIFOメールボックスの動作(CiMIERレジスタのb29-b28が“01b”または“11b”) (i=0, 1)

25.1.11 CANi受信FIFOポインタ制御レジスタ (CiRFPCRレジスタ) (i=0, 1)

CANi受信FIFOポインタ制御レジスタ (i=0, 1)

b7 b0

シンボル	アドレス	リセット後の値
C0RFPCR	47F49h番地	不定
C1RFPCR	47B49h番地	不定

機　能	設定値	RW
FFhを書き込むと、受信FIFOのCPU側ポインタが移動	FFh	WO

図 25.13 C0RFPCR、C1RFPCRレジスタ

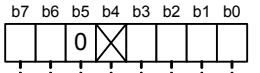
受信FIFOにメッセージが存在するとき、受信FIFOのCPU側ポインタを次のメールボックスに移動させるためには、プログラムで“FFh”を書いてください。

CiRFCRレジスタのRFEビットが“0” (受信FIFO禁止) のときは、書かないでください。

受信オーバライトモードでRFFSTビットが“1” (受信FIFOはフル) のときに新しいメッセージが受信されると、CAN側ポインタとCPU側ポインタの両方が移動します。この状態で、RFMLFビットが“1”のとき、プログラムでCiRFPCRレジスタに書き込んでもCPU側ポインタは移動しません。

25.1.12 CANi送信FIFO制御レジスタ (CiTFCRレジスタ) (i=0, 1)

CANi送信FIFO制御レジスタ (i=0, 1) (注1)



シンボル	アドレス	リセット後の値
C0TFCR	47F4Ah番地	1000 0000b
C1TFCR	47B4Ah番地	1000 0000b

ビットシンボル	ビット名	機　能	RW
TFE	送信FIFO許可ビット	0: 送信FIFO禁止 1: 送信FIFO許可	RW
TFUST	送信FIFO未送信メッセージ数ステータスビット	b3 b2 b1 0 0 0 : 未送信メッセージなし 0 0 1 : 未送信メッセージ1件 0 1 0 : 未送信メッセージ2件 0 1 1 : 未送信メッセージ3件 1 0 0 : 未送信メッセージ4件 1 0 1 : 1 1 0 : } 予約 1 1 1 :	RO
— (b4)	何も配置されていない。書く場合、 “0” を書いてください。 読んだ場合、その値は “0”		—
— (b5)	予約ビット	書く場合、 “0” を書いてください。 読んだ場合、その値は不定	RO
TFFST	送信FIFOフルステータスビット	0: 送信FIFOはフルではない 1: 送信FIFOはフル (未送信4件)	RO
TFEST	送信FIFO空ステータスビット	0: 送信FIFOに未送信メッセージあり 1: 送信FIFOに未送信メッセージなし	RO

注1. CiTFCRレジスタは、CANオペレーションモードまたはCAN Haltモード時に変更してください。

図 25.14 C0TFCR、C1TFCR レジスタ

25.1.12.1 TFE ビット

“1”にすると、送信 FIFOが送信許可になります。

“0”にすると、送信 FIFOは空(TFESTビットが“1”)になり、以下のように送信FIFOからの未送信メッセージが失われます。

- 送信FIFOからの次の送信予定がなく、また送信中でもないとき、空になります
- 送信FIFOからの次の送信予定があるかまたはすでに送信中の場合、送信完了、CANバスエラー、アービトレーション負け、またはCAN Haltモードへの遷移に続いて空になります

再度“1”にする前に、TFESTビットが“1”になっているか確認してください。

“1”にした後、送信データをCiMB24レジスタに書いてください。

通常メールボックスモード(CiCTLRレジスタのMBMビットが“0”)では、“1”にしないでください。

25.1.12.2 TFUST ビット

送信FIFO内の未送信メッセージの数を示します。

TFEビットを“0”にした後、送信アボートが完了、または送信が完了すると、“000b”になります。

25.1.12.3 TFFSTビット

送信FIFO内の未送信メッセージが4件になると、“1”(送信FIFOはフル)になります。送信FIFO内の未送信メッセージが4件未満になると、“0”(送信FIFOはフルではない)になります。送信FIFOの送信アボートが完了すると、“0”になります。

25.1.12.4 TFESTビット

送信FIFO内の未送信メッセージがなくなると、“1”(送信FIFOにメッセージなし)になります。送信FIFOの送信アボートが完了すると、“1”になります。

送信FIFO内の未送信メッセージが1件以上になると、“0”(送信FIFOにメッセージあり)になります。

図25.15に送信FIFOメールボックスの動作を示します。

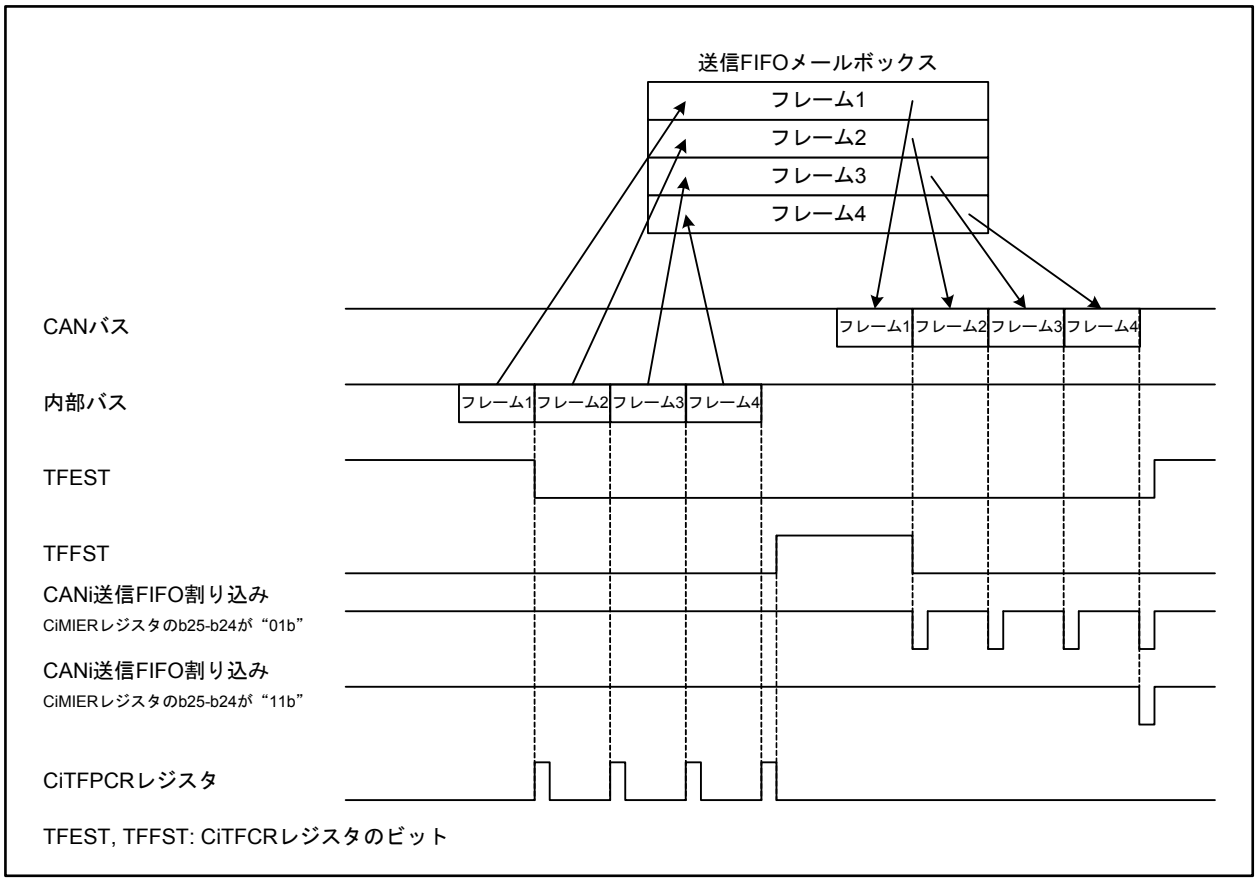


図25.15 送信FIFOメールボックスの動作(CiMIERレジスタのb25-b24が“01b”または“11b”) (i=0, 1)

25.1.13 CANi送信FIFOポインタ制御レジスタ (CiTFPCRレジスタ) (i=0, 1)

CANi送信FIFOポインタ制御レジスタ (i=0, 1)

b7 b0

シンボル	アドレス	リセット後の値
C0TFPCR	47F4Bh番地	不定
C1TFPCR	47B4Bh番地	不定

機　能	設定値	RW
FFhを書き込むと、送信FIFOのCPU側ポインタが移動	FFh	WO

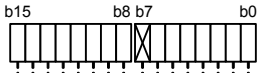
図 25.16 C0TFPCR、C1TFPCRレジスタ

送信FIFOがフルでないとき、送信FIFOのCPU側ポインタを次のメールボックスに移動させるためには、プログラムで“FFh”を書いてください。

CiTFCRレジスタのTFEビットが“0” (送信FIFO禁止)のときは、書かないでください。

25.1.14 CANiステータスレジスタ(CiSTRレジスタ) (i=0, 1)

CANiステータスレジスタ(i=0, 1)



シンボル	アドレス	リセット後の値
C0STR	47F43h-47F42h番地	0000 0000 0000 0101b
C1STR	47B43h-47B42h番地	0000 0000 0000 0101b

ビットシンボル	ビット名	機　能	RW
RSTST	CANリセットステータスフラグ	0: CANリセットモードではない 1: CANリセットモード	RO
HLTST	CAN Haltステータスフラグ	0: CAN Haltモードではない 1: CAN Haltモード	RO
SLPST	CANスリープステータスフラグ	0: CANスリープモードではない 1: CANスリープモード	RO
EPST	エラーパッシブステータスフラグ	0: エラーパッシブ状態ではない 1: エラーパッシブ状態	RO
BOST	バスオフステータスフラグ	0: バスオフ状態ではない 1: バスオフ状態	RO
TRMST	送信ステータスフラグ(transmitter)	0: バスアイドルまたは受信中 1: 送信中またはバスオフ状態	RO
RECST	受信ステータスフラグ(receiver)	0: バスアイドルまたは送信中 1: 受信中	RO
—(b7)	何も配置されていない。読んだ場合、その値は“0”		—
NDST	NEWDATAステータスフラグ	0: NEWDATAビットが“1”のメールボックスなし 1: NEWDATAビットが“1”のメールボックスあり	RO
SDST	SENTDATAステータスフラグ	0: SENTDATAビットが“1”のメールボックスなし 1: SENTDATAビットが“1”のメールボックスあり	RO
RFST	受信FIFOステータスフラグ	0: 受信FIFOにメッセージなし(空) 1: 受信FIFOにメッセージあり	RO
TFST	送信FIFOステータスフラグ	0: 送信FIFOはフル 1: 送信FIFOはフルではない	RO
NMLST	通常メールボックスメッセージロストステータスフラグ	0: MSGLOSTビットが“1”のメールボックスなし 1: MSGLOSTビットが“1”のメールボックスあり	RO
FMLST	FIFOメールボックスメッセージロストステータスフラグ	0: RFMLFビットが“0” 1: RFMLFビットが“1”	RO
TABST	送信アボートステータスフラグ	0: TRMABTビットが“1”のメールボックスなし 1: TRMABTビットが“1”のメールボックスあり	RO
EST	エラーステータスフラグ	0: エラーなし 1: エラー発生	RO

図 25.17　C0STR、C1STRレジスタ

25.1.14.1 RSTSTビット

CANリセットモードになると、“1”になります。
CANリセットモード以外になると、“0”になります。
CANリセットモードからCANスリープモードに遷移しても、“1”のままです。

25.1.14.2 HLTSTビット

CAN Haltモードになると、“1”になります。
CAN Haltモード以外になると、“0”になります。
CAN HaltモードからCANスリープモードに遷移しても、“1”のままです。

25.1.14.3 SLPSTビット

CANスリープモードになると、“1”になります。
CANスリープモード以外になると、“0”になります。

25.1.14.4 EPSTビット

CiTECRまたはCiRECRレジスタ(i=0, 1)の値が127を超えて、CANモジュールがエラーパッシブ状態(128 ≦ TEC < 256または128 ≦ REC < 256)になると、“1”になります。エラーパッシブ状態以外になると、“0”になります。

TECは送信エラーカウンタ(CiTECRレジスタ)、RECは受信エラーカウンタ(CiRECRレジスタ)の値です。

25.1.14.5 BOSTビット

CiTECRレジスタの値が255を超えて、CANモジュールがバスオフ状態(TEC ≧ 256)になると、“1”になります。バスオフ状態以外になると、“0”になります。

25.1.14.6 TRMSTビット

CANモジュールが送信ノードかバスオフ状態になると、“1”になります。受信ノードかバスアイドル状態になると、“0”になります。

25.1.14.7 RECSTビット

CANモジュールが受信ノードになると、“1”になります。送信ノードかバスアイドル状態になると、“0”になります。

25.1.14.8 NDSTビット

CiMCTLjレジスタ(j=0~31)のNEWDATAビットが1つでも“1”になると、CiMIERレジスタの値とは無関係に“1”になります。

NEWDATAビットがすべて“0”になると、“0”になります。

25.1.14.9 SDSTビット

CiMCTLjレジスタ(i=0, 1、j=0~31)のSENTDATAビットが1つでも“1”になると、CiMIERレジスタの値とは無関係に“1”になります。

SENTDATAビットがすべて“0”になると、“0”になります。

25.1.14.10 RFSTビット

受信FIFOにメッセージが存在すると、“1”になります。

受信FIFOが空になると、“0”になります。

通常メールボックスモードになると、“0”になります。

25.1.14.11 TFSTビット

送信FIFOがフルでなくなると、“1”になります。

送信FIFOがフルになると、“0”になります。

通常メールボックスモードになると、“0”になります。

25.1.14.12 NMLSTビット

CiMCTLjレジスタのMSGLOSTビットが1つでも“1”になると、CiMIERレジスタの値とは無関係に“1”になります。

MSGLOSTビットがすべて“0”になると、“0”になります。

25.1.14.13 FMLSTビット

CiRFCRレジスタのRFMLFビットが“1”になると、CiMIERレジスタの値とは無関係に“1”になります。

RFMLFビットが“0”になると、“0”になります。

25.1.14.14 TABSTビット

CiMCTLjレジスタのTRMABTビットが1つでも“1”になると、CiMIERレジスタの値とは無関係に“1”になります。

TRMABTビットがすべて“0”になると、“0”になります。

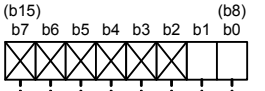
25.1.14.15 ESTビット

CiEIFRレジスタで1つでもエラーが検出されると、CiEIERレジスタの値とは無関係に“1”になります。

CiEIFRレジスタで1つもエラーが検出されないと、“0”になります。

25.1.15 CANiメールボックスサーチモードレジスタ (CiMSMRレジスタ) (i=0, 1)

CANiメールボックスサーチモードレジスタ (i=0, 1) (注1)



シンボル	アドレス	リセット後の値
C0MSMR	47F53h番地	0000 0000b
C1MSMR	47B53h番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
MBSM	メールボックス検索モード選択ビット	b1 b0 0 0 : 受信メールボックス検索モード 0 1 : 送信メールボックス検索モード 1 0 : メッセージロスト検索モード 1 1 : チャネル検索モード	RW
— (b7-b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”		—

注1. CiMSMRレジスタは、CANオペレーションモードまたはCAN Haltモード時に変更してください。

図 25.18 C0MSMR、C1MSMR レジスタ

25.1.15.1 MBSMビット

メールボックス検索機能のための検索モードを選択します。

“00b” の場合、受信メールボックス検索モードになります。このモードで検索対象となるビットは、CiMCTLj レジスタ (j=0~31) の通常メールボックスでの NEWDATA ビットと CiRFCR レジスタの RFEST ビットです。

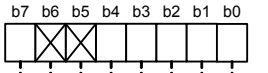
“01b” の場合、送信メールボックス検索モードになります。このモードで検索対象となるビットは、CiMCTLj レジスタの SENTDATA ビットです。

“10b” の場合、メッセージロスト検索モードになります。このモードで検索対象となるビットは、CiMCTLj レジスタの通常メールボックスでの MSGLOST ビットと CiRFCR レジスタの RFMLF ビットです。

“11b” の場合、チャネル検索モードになります。このモードで検索対象となるレジスタは CiCSSR レジスタです。「25.1.17 CANiチャネルサーチサポートレジスタ (CiCSSR レジスタ) (i=0, 1)」を参照してください。

25.1.16 CANiメールボックスサーチステータスレジスタ (CiMSSRレジスタ) (i=0, 1)

CANiメールボックスサーチステータスレジスタ (i=0, 1)



シンボル	アドレス	リセット後の値
C0MSSR	47F52h番地	1000 0000b
C1MSSR	47B52h番地	1000 0000b

ビットシンボル	ビット名	機　能	RW
MBNST	検索結果メールボックス番号ステータスビット	各検索モードの検索結果を出力 出力番号: 0~31	RO
— (b6-b5)	何も配置されていない。読んだ場合、その値は“0”		—
SEST	検索結果ステータスビット	0: 検索結果あり 1: 検索結果なし	RO

図 25.19　C0MSSR、C1MSSRレジスタ

25.1.16.1 MBNSTビット

CiMSMRレジスタ(i=0, 1)の各モードで検索された、最小のメールボックス番号が出力されます。

受信メールボックス検索モード、送信メールボックス検索モード、およびメッセージロスト検索モードにより、出力される検索結果であるメールボックスの値は、以下の場合に更新されます。

- 出力されたメールボックスのNEWDATA、SENTDATA、またはMSGLOSTビットが“0”になる
- より優先順位の高いメールボックスのNEWDATA、SENTDATA、またはMSGLOSTビットが“1”になる

受信メールボックス検索モードおよびメッセージロスト検索モードのとき、受信FIFOにメッセージが存在し、すべての通常メールボックス(メールボックス[0]~[23])に未読の受信メッセージもロストメッセージもない場合、受信FIFO(メールボックス[28])が出力されます。

送信メールボックス検索モードのとき、送信FIFO(メールボックス[24])は出力されません。

表25.7にFIFOメールボックスモードでのMBNSTビットの動作を示します。

表25.7 FIFOメールボックスモードでのMBNSTビットの動作

MBSMビット	メールボックス[24] (送信FIFO)	メールボックス[28] (受信FIFO)
00b	メールボックス[24]は出力されない	通常メールボックスの、どのNEWDATAビットも“1”にならず、また受信FIFOにメッセージが存在する場合は、メールボックス[28]が出力される
01b		メールボックス[28]は出力されない
10b		通常メールボックスの、どのMSGLOSTビットも“1”にならず、受信FIFO内のRFMLFビットが“1”になると、メールボックス[28]が出力される
11b		メールボックス[28]は出力されない

チャネル検索モードでは、チャネル番号が出力されます。CiMSSRレジスタがプログラムで読み出された後に、次のターゲットチャネル番号が出力されます。

25.1.16.2 SESTビット

すべてのメールボックスの検索で該当するメールボックスがない場合、“1”(検索結果なし)になります。

例えば、送信メールボックス検索モードで、SENTDATAビットが“1”のメールボックスが1つもない場合“1”になり、1つでもある場合“0”になります。

SESTビットが“1”の場合、MBNSTビットの値は不定です。

25.1.17 CANiチャネルサーチサポートレジスタ (CiCSSRレジスタ) (i=0, 1)

CANiチャネルサーチサポートレジスタ (i=0, 1) (注1、2)

b7 b0

シンボル	アドレス	リセット後の値
C0CSSR	47F51h番地	不定
C1CSSR	47B51h番地	不定

機　能	設定値	RW
チャネル検索の値が入力された場合、チャネル番号をCiMSSRレジスタに出力	チャネル値	RW

注1. CiCSSRレジスタは、CiMSMRレジスタのMBSMビットが“11b”(チャネル検索モード) のときのみ変更してください。
注2. CiCSSRレジスタは、CANオペレーションモードまたはCAN Haltモード時に変更してください。

図 25.20 C0CSSR、C1CSSRレジスタ

“1”が設定されたCiCSSRレジスタのビットは、8 to 3プライオリティエンコーダ(LSB側が優先)によってエンコードされ、CiMSSRレジスタのMBNSTビットに出力されます。

CiMSSRレジスタは、読むたびに値が更新されます。

図 25.21にCiCSSR、CiMSSRレジスタの書き込みと読み出しを示します。

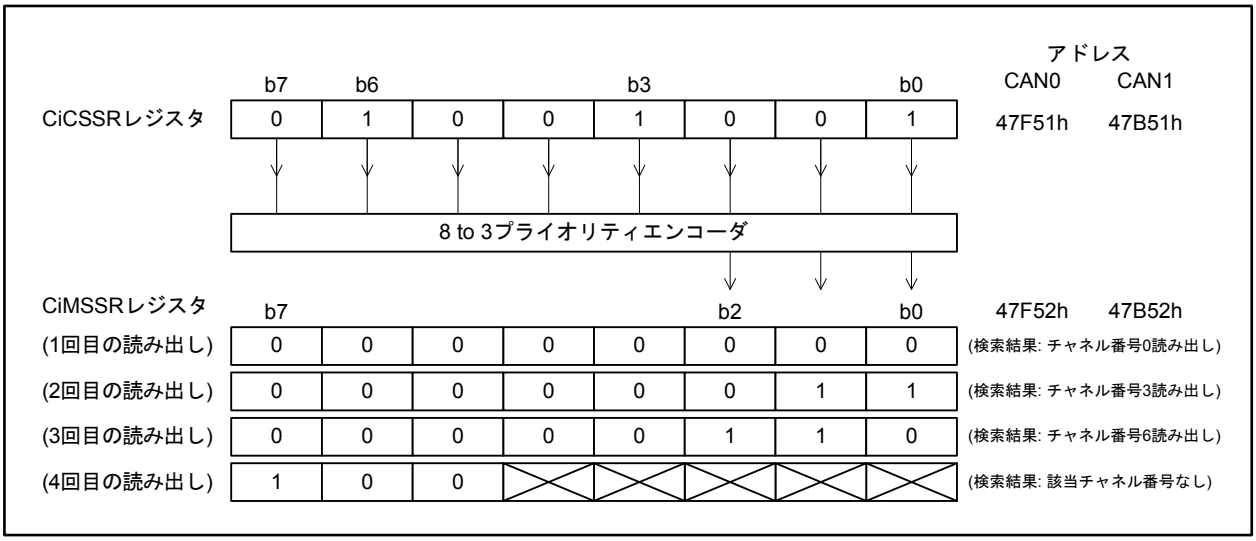
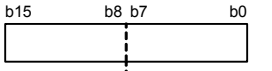


図 25.21 CiCSSR、CiMSSRレジスタの書き込みと読み出し (i=0, 1)

CiCSSRレジスタの値もCiMSSRレジスタを読み出す度に更新されます。読んだ場合、8 to 3プライオリティエンコーダ変換前の値が読めます。

25.1.18 CANiアクセプタンスフィルタサポートレジスタ (CiAFSRレジスタ) (i=0, 1)

CANiアクセプタンスフィルタサポートレジスタ (i=0, 1) (注1)



シンボル	アドレス	リセット後の値
C0AFSR	47F57h-47F56h番地	不定
C1AFSR	47B57h-47B56h番地	不定

機　能	設定値	RW
受信メッセージの標準IDを書いた後に、データテーブル検索用に変換された値を読み出せます	標準ID/変換値	RW

注1. CiAFSRレジスタは、CANオペレーションモードまたはCAN Haltモード時に変更してください。

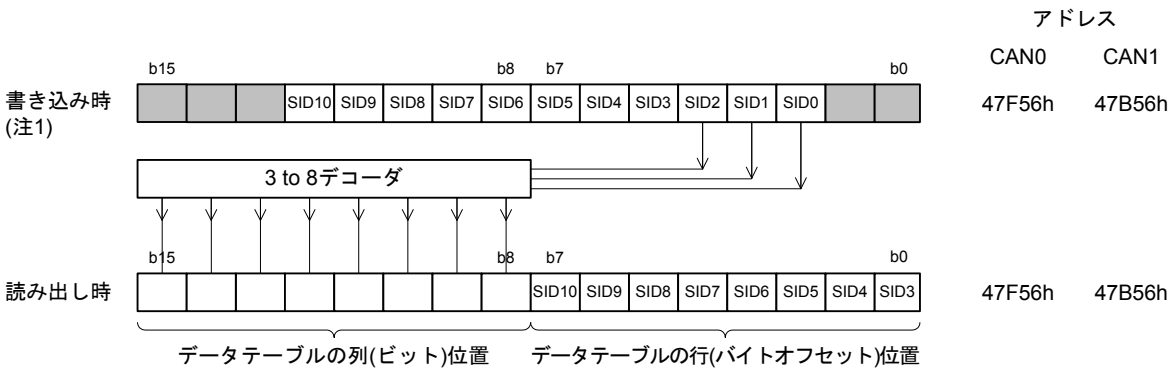
図 25.22 C0AFSR、C1AFSRレジスタ

アクセプタンスフィルタサポートユニット (ASU) は、あらかじめユーザにより作成された全標準IDが有効か無効かを1ビット単位で設定したデータテーブル(8ビット×256)の検索に使用できます。受信した標準IDが格納されたCiMBjレジスタ(j=0~31)のSIDビットを含む16ビット単位のデータをCiAFSRレジスタへ書くと、デコードされたデータテーブル検索用の行(バイトオフセット)位置と列(ビット)位置が読み出せます。ASUは、標準(11 ビット)ID のみに使用できます。

ASUは、以下の場合に有効です。

- 受信するID がアクセプタンスフィルタでマスクできない場合
  例)受信するID: 078h、087h、111h
- 受信するIDが多すぎて、ソフトウェアによるフィルタリングの処理時間を減少させたい場合

図 25.23にCiAFSRレジスタの書き込み、読み出しを示します。



注1. CiMBjレジスタのSIDビットを含む16ビット単位のデータと同じ値を書き込みます。

図 25.23 CiAFSRレジスタの書き込み、読み出し (i=0, 1、j=0~31)

25.1.19 CANiエラー割り込み許可レジスタ (CiEIERレジスタ) (i=0, 1)

CANiエラー割り込み許可レジスタ (i=0, 1) (注1)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
C0EIER	47F4Ch番地	00h
C1EIER	47B4Ch番地	00h

ビットシンボル	ビット名	機　能	RW
BEIE	バスエラー割り込み許可ビット	0: バスエラー割り込み禁止 1: バスエラー割り込み許可	RW
EWIE	エラーワーニング割り込み許可ビット	0: エラーワーニング割り込み禁止 1: エラーワーニング割り込み許可	RW
EPIE	エラーパッシブ割り込み許可ビット	0: エラーパッシブ割り込み禁止 1: エラーパッシブ割り込み許可	RW
BOEIE	バスオフ開始割り込み許可ビット	0: バスオフ開始割り込み禁止 1: バスオフ開始割り込み許可	RW
BORIE	バスオフ復帰割り込み許可ビット	0: バスオフ復帰割り込み禁止 1: バスオフ復帰割り込み許可	RW
ORIE	受信オーバラン割り込み許可ビット	0: 受信オーバラン割り込み禁止 1: 受信オーバラン割り込み許可	RW
OLIE	オーバロードフレーム送信割り込み許可ビット	0: オーバロードフレーム送信割り込み禁止 1: オーバロードフレーム送信割り込み許可	RW
BLIE	バスロック割り込み許可ビット	0: バスロック割り込み禁止 1: バスロック割り込み許可	RW

注1. CiEIERレジスタは、CANリセットモード時に変更してください。

図 25.24 C0EIER、C1EIER レジスタ

CiEIER レジスタは、CiEIFR レジスタのエラー割り込み要因に対して個別にエラー割り込みの許可 / 禁止を設定できます。

25.1.19.1 BEIEビット

“0”にすると、CiEIFRレジスタ(i=0, 1)のBEIFビットが“1”になっても、エラー割り込み要求は発生しません。

“1”にすると、BEIFビットが“1”になった場合、エラー割り込み要求が発生します。

25.1.19.2 EWIEビット

“0”にすると、CiEIFRレジスタのEWIFビットが“1”になっても、エラー割り込み要求は発生しません。

“1”にすると、EWIFビットが“1”になった場合、エラー割り込み要求が発生します。

25.1.19.3 EPIEビット

“0”にすると、CiEIFRレジスタのEPIFビットが“1”になっても、エラー割り込み要求は発生しません。

“1”にすると、EPIFビットが“1”になった場合、エラー割り込み要求が発生します。

25.1.19.4 BOEIEビット

“0”にすると、CiEIFRレジスタのBOEIFビットが“1”になっても、エラー割り込み要求は発生しません。

“1”にすると、BOEIFビットが“1”になった場合、エラー割り込み要求が発生します。

25.1.19.5 BORIEビット

“0”にすると、CiEIFRレジスタのBORIFビットが“1”になっても、エラー割り込み要求は発生しません。

“1”にすると、BORIFビットが“1”になった場合、エラー割り込み要求が発生します。

25.1.19.6 ORIEビット

“0”にすると、CiEIFRレジスタのORIFビットが“1”になっても、エラー割り込み要求は発生しません。

“1”にすると、ORIFビットが“1”になった場合、エラー割り込み要求が発生します。

25.1.19.7 OLIEビット

“0”にすると、CiEIFRレジスタのOLIFビットが“1”になっても、エラー割り込み要求は発生しません。

“1”にすると、OLIFビットが“1”になった場合、エラー割り込み要求が発生します。

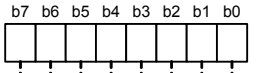
25.1.19.8 BLIEビット

“0”にすると、CiEIFRレジスタのBLIFビットが“1”になっても、エラー割り込み要求は発生しません。

“1”にすると、BLIFビットが“1”になった場合、エラー割り込み要求が発生します。

25.1.20 CANiエラー割り込み要因判定レジスタ (CiEIFR レジスタ) (i=0, 1)

CANiエラー割り込み要因判定レジスタ (i=0, 1) (注1)



シンボル	アドレス	リセット後の値
C0EIFR	47F4Dh番地	00h
C1EIFR	47B4Dh番地	00h

ビットシンボル	ビット名	機　能	RW
BEIF	バスエラー検出フラグ	0: バスエラー未検出 1: バスエラー検出	RW
EWIF	エラーワーニング検出フラグ	0: エラーワーニング未検出 1: エラーワーニング検出	RW
EPIF	エラーパッシブ検出フラグ	0: エラーパッシブ未検出 1: エラーパッシブ検出	RW
BOEIF	バスオフ開始検出フラグ	0: バスオフ開始未検出 1: バスオフ開始検出	RW
BORIF	バスオフ復帰検出フラグ	0: バスオフ復帰未検出 1: バスオフ復帰検出	RW
ORIF	受信オーバラン検出フラグ	0: 受信オーバラン未検出 1: 受信オーバラン検出	RW
OLIF	オーバロードフレーム送信検出フラグ	0: オーバロードフレーム送信未検出 1: オーバロードフレーム送信検出	RW
BLIF	バスロック検出フラグ	0: バスロック未検出 1: バスロック検出	RW

注1. 各ビットにプログラムで“0”を書く場合は、MOV命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。“1”を書いてもこれらのビットの値は変化しません。

図 25.25 C0EIFR、C1EIFR レジスタ

CiEIFR レジスタは、各ビットに対応する現象が発生すると、CiEIER レジスタの設定にかかわらず対応するビットが“1”になります。

各ビットを“0”にする場合は、プログラムで“0”を書いてください。“1”になるタイミングとプログラムで“0”にするタイミングが同時の場合、そのビットは“1”になります。

25.1.20.1 BEIF ビット

バスエラーが検出されると、“1”になります。

25.1.20.2 EWIF ビット

REC (受信エラーカウンタ) またはTEC (送信エラーカウンタ) の値が95を超えると、“1”になります。

REC または TEC が最初に95を超えたときのみ“1”になります。したがって、REC またはTEC が95を超えたままで、プログラムで“0”を書いた場合、一度REC とTECが95以下になり、再びREC またはTEC が95を超えるまでは“1”にはなりません。

25.1.20.3 EPIFビット

CANエラーステートがエラーパッシブ状態(RECまたはTECの値が127を超える)になると、“1”になります。

RECまたはTECが最初に127を超えたときのみ“1”になります。したがって、RECまたはTECが127を超えたままで、プログラムで“0”を書いた場合、一度RECとTECが127以下になり、再びRECまたはTECが127を超えるまでは“1”にはなりません。

25.1.20.4 BOEIFビット

CANエラーステートがバスオフ状態(TECの値が255を超える)になると、“1”になります。

CiCTLRレジスタ(i=0, 1)のBOMビットが“01b”(バスオフ開始で自動的にCAN Haltモードへ遷移)で、CANモジュールがバスオフ状態になった場合も、“1”になります。

25.1.20.5 BORIFビット

CANモジュールが以下の条件でバスオフ状態から通常復帰(11の連続するレセシブビットを128回検出)をした場合、“1”になります。

(1) CiCTLRレジスタのBOMビットが“00b”のとき
(2) BOMビットが“10b”のとき
(3) BOMビットが“11b” のとき

なお、CANモジュールが以下の条件でバスオフ状態から復帰した場合、“1”になりません。

(1) CiCTLRレジスタのCANMビットを“01b”(CANリセットモード)にしたとき
(2) CiCTLRレジスタのRBOCビットを“1”(バスオフからの強制復帰)にしたとき
(3) BOMビットが“01b”のとき
(4) BOMビットが“11b”で、通常復帰をする前に、CANMビットを“10b”(CAN Haltモード)にしたとき

表25.8にBOMビットの設定値によるBOEIF、BORIFビットの動作を示します。

表25.8 BOMビットの設定値によるBOEIF、BORIFビットの動作

BOMビット	BOEIFビット	BORIFビット
00b	バスオフ状態への遷移時“1”になる	バスオフ状態からの復帰時“1”になる
01b		“1”にはならない
10b		バスオフ状態からの復帰時“1”になる
11b		CANMビットが“10b”(CAN Haltモード)になる前に、バスオフ状態から通常復帰をした場合“1”になる

25.1.20.6 ORIFビット

受信オーバランが発生すると、“1”になります。

オーバライトモードでは“1”になりません。オーバライトモードの場合、オーバライト条件が発生すると、受信完了割り込み要求が発生し、“1”にはなりません。

通常メールボックスモードの場合、オーバランモードで、メールボックス[0]~[31]のいずれかでオーバランが発生すると、“1”になります。

FIFOメールボックスモードの場合、オーバランモードで、メールボックス[0]~[23]のいずれかまたは受信FIFOでオーバランが発生すると、“1”になります。

25.1.20.7 OLIFビット

CANモジュールが受信または送信を行う場合にオーバロードフレームの送信条件が検出されると、“1”になります。

25.1.20.8 BLIFビット

CANモジュールがCANオペレーションモードの間、CANバス上に32の連続するドミナントビットを検出すると、“1”になります。

“1”になった後、以下のどちらかで再検出します。

- このビットを“1”から“0”にした後、レセシブビットを検出
- このビットを“1”から“0”にした後、CANリセットモードもしくはCAN Haltモードに遷移し、再度CANオペレーションモードに遷移

25.1.21 CANi受信エラーカウントレジスタ(CiRECRレジスタ) (i=0, 1)

CANi受信エラーカウントレジスタ (i=0, 1)

b7 b0

シンボル	アドレス	リセット後の値
C0RECR	47F4Eh番地	00h
C1RECR	47B4Eh番地	00h

機　能	カウンタ値	RW
受信エラーカウント機能 受信中のCANモジュールのエラー状態によってカウンタ値を増減させます	00h~FFh (注1)	RO

注1. バスオフ状態時の値は不定になります。

図 25.26 C0RECR、C1RECRレジスタ

CiRECRレジスタは、受信エラーカウンタの値を示します。
受信エラーカウンタの増減条件については、CAN仕様(ISO11898-1)を参照してください。

25.1.22 CANi送信エラーカウントレジスタ(CiTECRレジスタ) (i=0, 1)

CANi送信エラーカウントレジスタ(i=0, 1)

b7 b0

シンボル	アドレス	リセット後の値
C0TECR	47F4Fh番地	00h
C1TECR	47B4Fh番地	00h

機　能	カウンタ値	RW
送信エラーカウント機能 送信中のCANモジュールのエラー状態によってカウンタ値を増減させます	00h~FFh (注1)	RO

注1. バスオフ状態時の値は不定になります。

図 25.27 C0TECR、C1TECRレジスタ

CiTECRレジスタは、送信エラーカウンタの値を示します。
送信エラーカウンタの増減条件については、CAN仕様(ISO11898-1)を参照してください。

25.1.23 CANiエラーコード格納レジスタ (CiECSRレジスタ) (i=0, 1)

CANiエラーコード格納レジスタ (i=0, 1)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
C0ECSR	47F50h番地	00h
C1ECSR	47B50h番地	00h

ビットシンボル	ビット名	機　能	RW
SEF	スタッフエラーフラグ (注1、2)	0: スタッフエラー未検出 1: スタッフエラー検出	RW
FEF	フォームエラーフラグ (注1、2)	0: フォームエラー未検出 1: フォームエラー検出	RW
AEF	ACKエラーフラグ (注1、2)	0: ACKエラー未検出 1: ACKエラー検出	RW
CEF	CRCエラーフラグ (注1、2)	0: CRCエラー未検出 1: CRCエラー検出	RW
BE1F	ビットエラー (レセシブ) フラグ (注1、2)	0: ビットエラー未検出 1: ビットエラー (レセシブ) 検出	RW
BE0F	ビットエラー (ドミナント) フラグ (注1、2)	0: ビットエラー未検出 1: ビットエラー (ドミナント) 検出	RW
ADEF	ACKデリミタエラーフラグ (注1、2)	0: ACKデリミタエラー未検出 1: ACKデリミタエラー検出	RW
EDPM	エラー表示モード選択ビット (注3)	0: 最初に検出されたエラーコードを出力 (注4) 1: 蓄積したエラーコードを出力	RW

注1. “1”を書いてもこれらのビットの値は変化しません。
注2. SEF、FEF、AEF、CEF、BE1F、BE0F、およびADEFビットにプログラムで“0”を書く場合は、MOV命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。
注3. EDPMビットは、CANリセットモードまたはCAN Haltモード時に変更してください。
注4. 同時に2つ以上のエラーが検出された場合は、該当するすべてのビットが“1”になります。

図 25.28 C0ECSR、C1ECSRレジスタ

CiECSRレジスタは、CANバス上のエラーの発生をモニタリングする場合に使用できます。
各エラーの発生条件を確認するには、CAN仕様(ISO11898-1)を参照してください。
EDPMビット以外の各ビットを“0”にする場合は、プログラムで“0”を書いてください。各ビットが“1”になるタイミングとプログラムで“0”を書くタイミングが同じ場合、そのビットは“1”になります。

25.1.23.1 SEFビット

スタッフエラーを検出すると“1”になります。

25.1.23.2 FEFビット

フォームエラーを検出すると“1”になります。

25.1.23.3 AEFビット

ACKエラーを検出すると “1” になります。

25.1.23.4 CEFビット

CRCエラーを検出すると“1”になります。

25.1.23.5 BE1Fビット

レセシブビットエラーを検出すると“1”になります。

25.1.23.6 BE0Fビット

ドミナントビットエラーを検出すると“1”になります。

25.1.23.7 ADEFビット

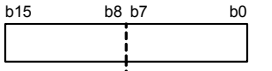
送信中のACKデリミタでフォームエラーを検出すると“1”になります。

25.1.23.8 EDPMビット

CiECSRレジスタ(i=0, 1)の出力モードを選択します。
“0”にすると、CiECSRレジスタは最初のエラーコードを出力します。
“1”にすると、CiECSRレジスタは蓄積したエラーコードを出力します。

25.1.24 CANiタイムスタンプレジスタ (CiTSRレジスタ) (i=0, 1)

CANiタイムスタンプレジスタ (i=0, 1) (注1)



シンボル	アドレス	リセット後の値
C0TSR	47F55h-47F54h番地	0000h
C1TSR	47B55h-47B54h番地	0000h

機　能	カウンタ値	RW
タイムスタンプ機能のためのフリーランカウンタ値	0000h~FFFFh	RO

注1. 読み出しは16ビット単位で実行してください。

図 25.29 C0TSR、C1TSRレジスタ

CiTSRレジスタを読むと、その時点のタイムスタンプカウンタ (16ビットフリーランカウンタ) の値が読み出せます。

タイムスタンプカウンタの基準クロックの値は1ビットタイムを逓倍したもので、CiCTLRレジスタのTSPSビットで設定します。

タイムスタンプカウンタは、CANスリープモードおよびCAN Haltモードで停止し、CANリセットモードで初期化されます。

受信メッセージが受信メールボックスに格納されるときのタイムスタンプカウンタの値がCiMBjレジスタ (j=0~31) のTSL、TSHへ格納されます。

25.1.25 CANiテスト制御レジスタ(CiTCRレジスタ) (i=0, 1)

CANiテスト制御レジスタ (i=0, 1) (注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0			

シンボル	アドレス	リセット後の値
C0TCR	47F58h番地	00h
C1TCR	47B58h番地	00h

ビットシンボル	ビット名	機　能	RW
TSTE	CANテストモード許可ビット	0: CANテストモード禁止 1: CANテストモード許可	RW
TSTM	CANテストモード選択ビット	b2 b1 0 0 : CANテストモードでない 0 1 : リッスンオンリモード 1 0 : セルフテストモード0 (外部ループバック) 1 1 : セルフテストモード1 (内部ループバック)	RW
— (b7-b3)	予約ビット	“0”にしてください	RW

注1. CiTCRレジスタは、CAN Haltモード時に変更してください。

図 25.30 C0TCR、C1TCRレジスタ

25.1.25.1 TSTEビット

“0”にすると、CANテストモードは禁止になります。
“1”にすると、CANテストモードは許可になります。

25.1.25.2 TSTMビット

CANテストモードを選択するビットです。
各CANテストモードの詳細を、以下に説明します。

25.1.25.3 リッスンオンリモード

CAN 仕様 (ISO11898-1) では、オプションのバスモニタモードが推奨されています。リッスンオンリモードでは、有効なデータフレームと有効なリモートフレームとを受信できます。CAN バス上にはレセシブビットのみが送信され、ACK ビット、オーバロードフラグ、アクティブエラーフラグは送信されません。

リッスンオンリモードは、ボーレート検出に使用できます。

リッスンオンリモードでは、どのメールボックスからも送信要求をしないでください。

図 25.31 にリッスンオンリモード選択時の接続を示します。

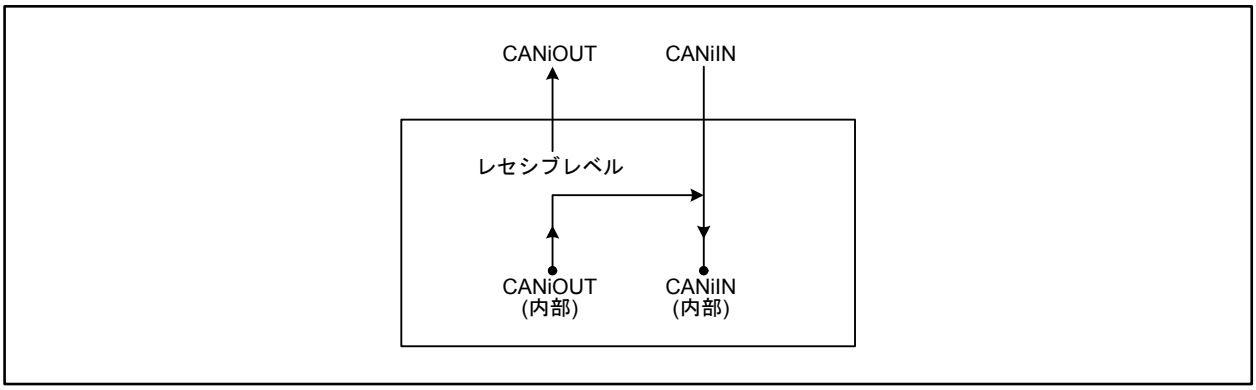


図 25.31 リッスンオンリモード選択時の接続 (i=0, 1)

25.1.25.4 セルフテストモード 0 (外部ループバック)

セルフテストモード 0 は CAN トランシーバテスト用です。

セルフテストモード 0 では、送信したメッセージを CAN トランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部から独立して行う機能のため、ACK ビットを生成します。

CANiOUT/CANiIN 端子 (i=0, 1) は CAN トランシーバに接続してください。

図 25.32 にセルフテストモード 0 選択時の接続を示します。

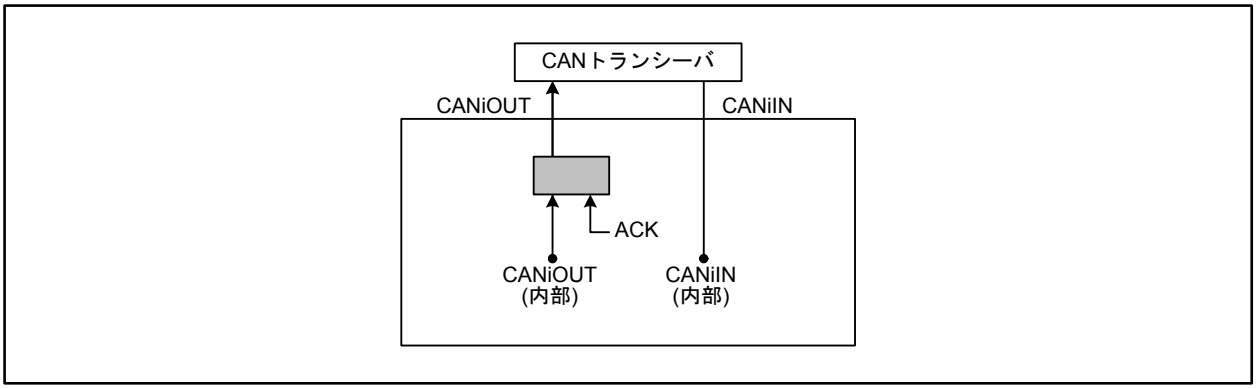


図 25.32 セルフテストモード 0 選択時の接続 (i=0, 1)

25.1.25.5 セルフテストモード1 (内部ループバック)

セルフテストモード1は、セルフテスト機能用です。

セルフテストモード1では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部から独立して行う機能のため、ACKビットを生成します。

セルフテストモード1では内部CANiOUT端子(i=0, 1)から内部CANiIN端子への内部フィードバックを行います。外部CANiIN端子の入力の値は、無視されます。外部CANiOUT端子はレセシブビットのみ出力します。CANiOUT/CANiIN端子はCANバスや他のどの外部デバイスにも接続する必要がありません。

図25.33にセルフテストモード1選択時の接続を示します。

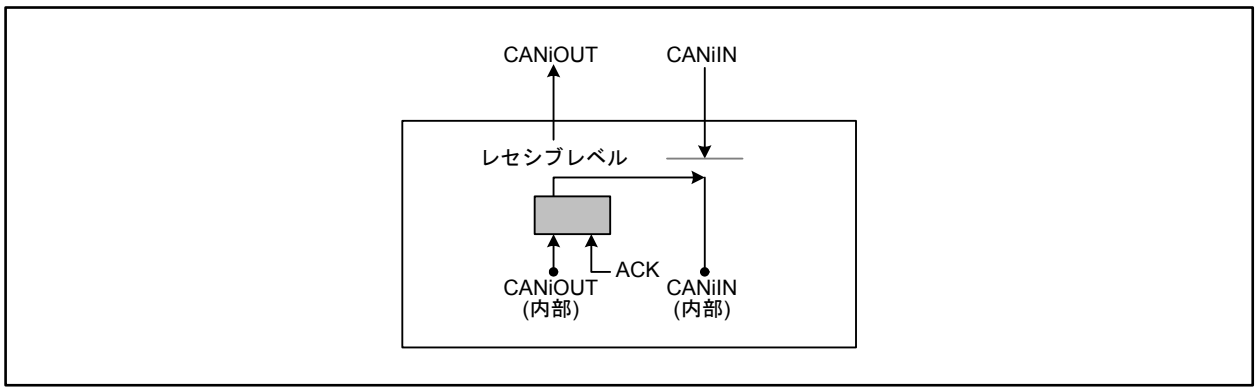


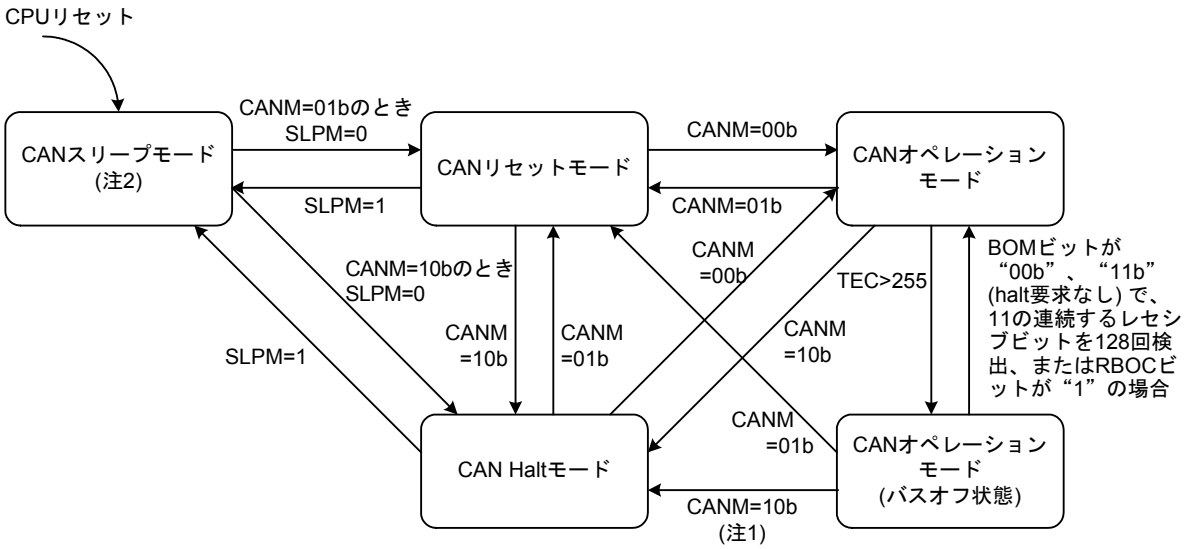
図 25.33 セルフテストモード1選択時の接続(i=0, 1)

25.2 動作モード

CANモジュールには、以下の4つの動作モードがあります。

- CANリセットモード
- CAN Haltモード
- CANオペレーションモード
- CANスリープモード

図 25.34にCAN動作モード間の遷移を示します。



CANM, SLPM, BOM, RBOC: CiCTLRレジスタのビット

注1. バスオフ状態からCAN Haltモードへの遷移タイミングは、BOMビットの設定に依存します。
BOMビットが“01b”のとき、状態遷移のタイミングはバスオフ状態への遷移直後になります。
BOMビットが“10b”のとき、状態遷移のタイミングはバスオフ状態終了時になります。
BOMビットが“11b”のとき、状態遷移のタイミングはCANMビットが“10b”(CAN Haltモード) の設定時になります。

注2. CANスリープモードを設定/解除する場合は、SLPMビットを変更してください。

図 25.34 CAN動作モード間の遷移(i=0, 1)

25.2.1 CANリセットモード

CANリセットモードは、CAN通信の設定を行うモードです。

CiCTLRレジスタ(i=0, 1)のCANMビットを“01b”にすると、CANリセットモードになります。そのとき、CiSTRレジスタのRSTSTビットが“1”になります。RSTSTビットが“1”になるまで、CANMビットを変更しないでください。

CANリセットモードから他のモードへ遷移する前に、CiBCRレジスタを設定してください。

以下のレジスタは、CANリセットモードに遷移した後、それぞれのリセット後の値に初期化され、CANリセットモード中は初期値を保持します。

- CiMCTLjレジスタ(j=0~31)
- CiSTRレジスタ(SLPSTビットとTFSTビットを除く)
- CiEIFRレジスタ
- CiRECRレジスタ
- CiTECRレジスタ
- CiTSRレジスタ
- CiMSSRレジスタ
- CiMSMRレジスタ
- CiRFCRレジスタ
- CiTFCRレジスタ
- CiTCRレジスタ
- CiECSRレジスタ(EDPMビットを除く)

以下のレジスタは、CANリセットモードに遷移した後も、以前の値を保持します。

- CiCLKRレジスタ
- CiCTLRレジスタ
- CiSTRレジスタ(SLPSTビットとTFSTビット)
- CiMIERレジスタ
- CiEIERレジスタ
- CiBCRレジスタ
- CiCSSRレジスタ
- CiECSRレジスタ(EDPMビットのみ)
- CiMBjレジスタ
- CiMKR0~CiMKR7レジスタ
- CiFIDCR0、CiFIDCR1レジスタ
- CiMKIVLRレジスタ
- CiAFSRレジスタ
- CiRFPCRレジスタ
- CiTFPCRレジスタ

25.2.2 CAN Halt モード

CAN Halt モードは、メールボックスの設定とテストモードの設定を行うモードです。

CiCTLR レジスタ (i=0, 1) のCANM ビットを“10b”にすると、CAN Haltモードになります。そのとき、CiSTR レジスタのHLTST ビットが“1”になります。HLTST ビットが“1”になるまで、CANM ビットを変更しないでください。

送信または受信時の状態遷移の条件は、「表 25.9 CAN リセットモードと CAN Halt モードでの動作」を参照してください。

CAN Haltモードへの遷移では、CiSTR レジスタのRSTST ビット、HLTST ビットおよびSLPST ビット以外のビットと他のすべてのレジスタは変化しません。

CAN Halt モードでは、CiCLKR レジスタ、CiCTLR レジスタ (CANM ビットとSLPM ビットを除く) およびCiEIER レジスタは変更しないでください。CANテストモードで、自動ボーレート検出として使用するためにリッスンオンリモードを選択している場合のみ、CAN HaltモードでCiBCR レジスタを変更できます。

表 25.9 CANリセットモードとCAN Haltモードでの動作

モード	受信	送信	バスオフ
CANリセットモード	メッセージ受信の終了を待たずにCANリセットモードに遷移	メッセージ送信の終了を待ってCANリセットモードに遷移(注1、4)	バスオフ復帰の終了を待たずにCANリセットモードに遷移
CAN Haltモード	メッセージ受信の終了を待ってCAN Haltモードに遷移(注2、3)	メッセージ送信の終了を待ってCAN Haltモードに遷移(注1、4)	【BOMビットが“00b”の場合】 バスオフ復帰後のみ、プログラムのHalt要求を受け付ける 【BOMビットが“01b”の場合】 バスオフ復帰の終了を待たずに自動的にCAN Haltモードに遷移(プログラムのHalt要求とは無関係に) 【BOMビットが“10b”の場合】 バスオフ復帰の終了を待って自動的にCAN Haltモードに遷移(プログラムのHalt要求とは無関係に) 【BOMビットが“11b”の場合】 バスオフ中にプログラムによるHalt要求があると、CAN Haltモードに遷移(バスオフ復帰の終了を待たずに)

BOMビット: CiCTLR レジスタのビット (i=0, 1)

注1. いくつかのメッセージ送信が要求されている場合、最初のメッセージ送信が完了した後にモードを遷移します。サスペンドトランスミッション中にCAN リセットモードが要求されている状態では、バスアイドルになったとき、次の送信が終了したとき、またはCANモジュールが受信になったときに、モードを遷移します。

注2. CANバスがドミナントレベルでロックされた場合、CiEIFR レジスタのBLIF ビットをモニタすると、プログラムはバスロック状態を検出できます。

注3. CAN Haltモードが要求された後、受信中にCANバスエラーが発生すると、CAN Haltモードに遷移します。

注4. CANリセットモードまたはCAN Haltモードが要求された後、送信中にCANバスエラーまたはCANアービトレーションロストが発生すると、要求されたCAN モードに遷移します。

25.2.3 CANスリープモード

CANスリープモードは、CANモジュールへのクロック供給を停止することによって、消費電流を低減するためのモードです。MCUのリセット後は、CANスリープモードから動作を開始します。

CiCTLRレジスタ(i=0, 1)のSLPMビットを“1”にすると、CANスリープモードになります。そのとき、CiSTRレジスタのSLPSTビットが“1”になります。SLPSTビットが“1”になるまで、SLPMビットの値を変更しないでください。CANスリープモードへの遷移時は、他のレジスタは変化しません。

SLPMビットは、CANリセットモードとCAN Haltモードで変更してください。CANスリープモード中は、SLPMビットのみ変更できます。これ以外のビット、レジスタは変更しないでください。読み出し動作は許可されます。

SLPMビットを“0”にすると、CANスリープモードから解除されます。CANスリープモードからの復帰時、他のレジスタは変化しません。

25.2.4 CANオペレーション モード(バスオフ状態以外)

CANオペレーションモードは、CAN通信をするモードです。

CiCTLRレジスタ(i=0, 1)のCANMビットを“00b”にすると、CANオペレーションモードになります。そのとき、CiSTRレジスタのRSTSTビットとHLTSTビットが“0”になります。RSTSTビットとHLTSTビットが“0”になるまで、CANMビットの値を変更しないでください。

CANオペレーションモードに遷移した後、11の連続するレセシブビットを検出すると、CANモジュールは以下の状態になります。

- CANモジュールは、通信が可能なネットワーク上でのアクティブノードとなり、CANメッセージの送受信が可能になる
- 受信エラーカウンタおよび送信エラーカウンタなど、CANバスのエラー監視処理が行われる

CANバスの状態によって、CANオペレーションモード中に、以下の3つのいずれかのサブモードになっています。

- アイドルモード: 送受信を行っていない状態です
- 受信モード: 他のノードが送信したCANメッセージを受信しています
- 送信モード: CANメッセージを送信しています。セルフテストモード0 (CiTCRレジスタのTSTMビットが“10b”)またはセルフテストモード1 (TSTMビットが“11b”)が選択されている場合、同時に自ノードが送信したメッセージを受信します

図25.35にCANオペレーションモードのサブモードを示します。

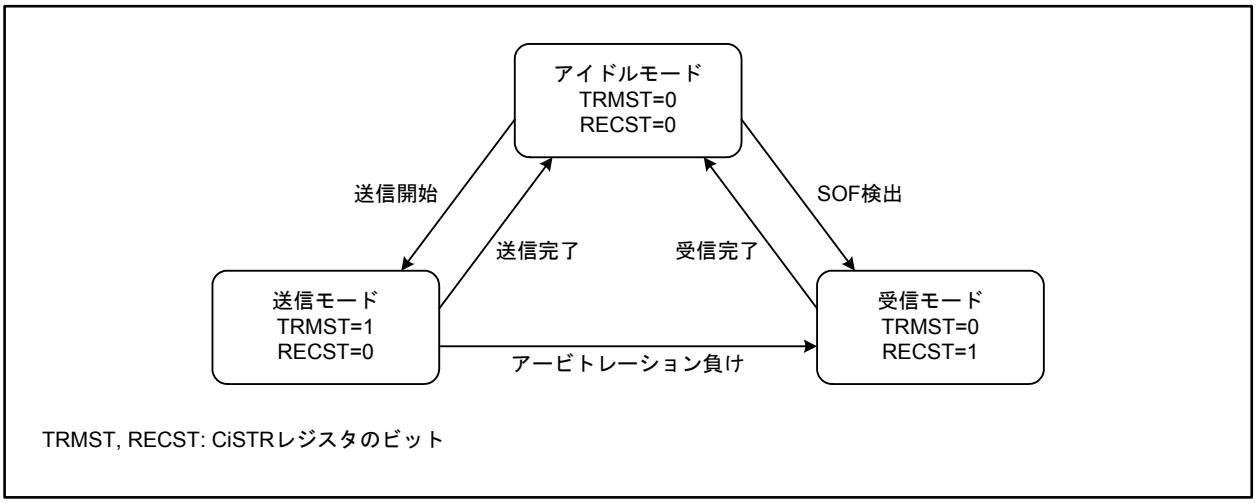


図 25.35 CANオペレーションモードのサブモード(i=0, 1)

25.2.5 CANオペレーションモード(バスオフ状態)

CAN仕様の送信、受信エラーカウンタの増減ルールに従って、バスオフ状態に遷移します。

バスオフ状態から復帰するには以下の場合があります。なお、バスオフ状態のとき、CiSTR、CiEIFR、CiRECR、CiTECRおよびCiTSR レジスタ(i=0, 1)を除く関連レジスタの値は変化しません。

(1) CiCTLRレジスタのBOMビットが“00b”の場合(ノーマルモード)

バスオフ状態からの復帰完了後、エラーアクティブ状態に遷移し、CAN 通信ができるようになります。このとき、CiEIFR レジスタのBORIF ビットが“1” (バスオフ復帰検出)になります。

(2) CiCTLR レジスタのRBOCビットを“1”にしたとき(バスオフからの強制復帰)

バスオフ状態になり、RBOC ビットが“1”になると、エラーアクティブ状態に遷移し、11の連続するレセシブビットを検出した後、再びCAN通信ができるようになります。このとき、BORIF ビットは“1”になりません。

(3) BOMビットが“01b”の場合(バスオフ開始で自動的にCAN Haltモードへ遷移)

バスオフ状態に達するとCAN Haltモードになります。このとき、BORIF ビットは“1”になりません。

(4) BOMビットが“10b”の場合(バスオフ終了で自動的にCAN Haltモードへ遷移)

バスオフからの復帰が完了するとCAN Haltモードになります。このとき、BORIF ビットは“1”になります。

(5) BOMビットが“11b”の場合(プログラムによりCAN Haltモードへ遷移)にバスオフ状態でCiCTLRレジスタのCANMビットを“10b”にしたとき(CAN Haltモード)

バスオフ状態時にCANM ビットが“10b” (CAN Haltモード)に設定されると、CAN Haltモードになります。このとき、BORIF ビットは“1”になりません。

バスオフ中にCANM ビットが“10b”に設定されないときは、(1)と同じ動作になります。

25.3　CAN通信速度の設定

CAN通信速度の設定について、以下に説明します。

25.3.1　CANクロックの設定

本グループでは、CANクロック選択回路があります。

CANクロックは、CiCLKRレジスタ(i=0, 1)のCCLKSビットとCiBCRレジスタのBRPビットで設定できます。

図25.36にCANクロック発生回路ブロック図を示します。

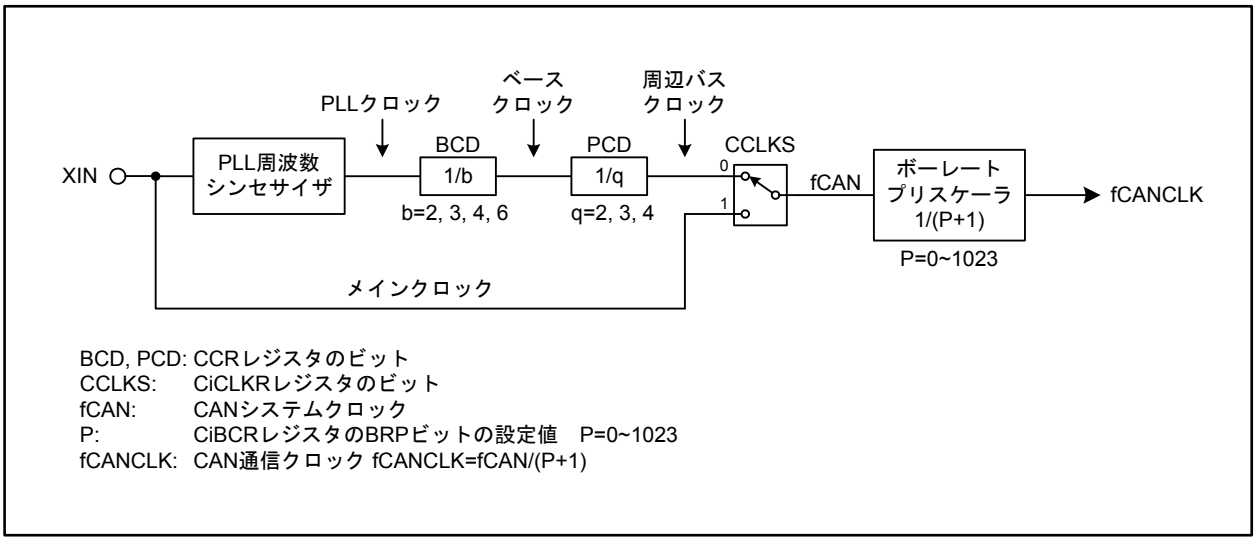


図25.36　CANクロック発生回路ブロック図(i=0, 1)

25.3.2　ビットタイミングの設定

ビットタイムは、送信または受信するメッセージの1ビットの時間であり、以下の3つのセグメントで構成されます。

図25.37にビットタイミング図を示します。

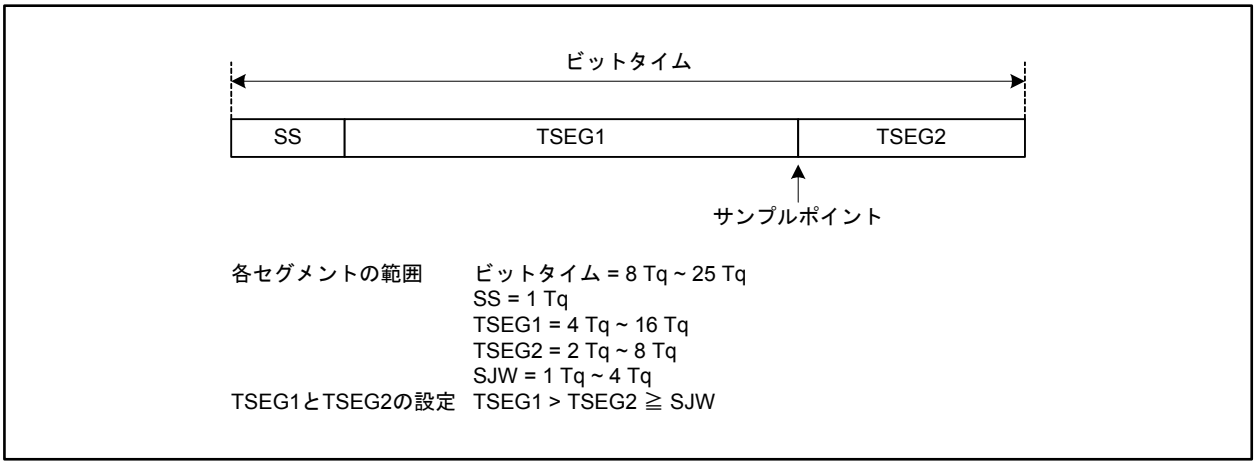


図25.37　ビットタイミング図

25.3.3 ビットレート

ビットレートは、fCAN (CANクロック)、ボーレートプリスケーラ分周値、および1ビットタイムのTqの数に依存します。

$$\text{ビットレート[bps]} = \frac{fCAN}{\text{ボーレートプリスケーラ分周値(注1)} \times \text{1ビットタイムのTqの数}} = \frac{fCANCLK}{\text{1ビットタイムのTq数}}$$

注1. ボーレートプリスケーラ分周値=P + 1 (P=0~1023)
P: CiBCR レジスタ (i=0, 1) のBRPビットの設定値

表 25.10にビットレートの例を示します。

表 25.10 ビットレートの例

fCAN	32 MHz		24 MHz		20 MHz		16 MHz		8 MHz	
ビットレート	Tq数	P+1	Tq数	P+1	Tq数	P+1	Tq数	P+1	Tq数	P+1
1 Mbps	8 Tq	4	8 Tq	3	10 Tq	2	8 Tq	2	8 Tq	1
	16 Tq	2			20 Tq	1	16 Tq	1		
500 kbps	8 Tq	8	8 Tq	6	10 Tq	4	8 Tq	4	8 Tq	2
	16 Tq	4	16 Tq	3	20 Tq	2	16 Tq	2	16 Tq	1
250 kbps	8 Tq	16	8 Tq	12	10 Tq	8	8 Tq	8	8 Tq	4
	16 Tq	8	16 Tq	6	20 Tq	4	16 Tq	4	16 Tq	2
83.3 kbps	8 Tq	48	8 Tq	36	8 Tq	30	8 Tq	24	8 Tq	12
	16 Tq	24	16 Tq	18	10 Tq	24	16 Tq	12	16 Tq	6
					16 Tq	15				
					20 Tq	12				
33.3 kbps	8 Tq	120	8 Tq	90	8 Tq	75	8 Tq	60	8 Tq	30
	10 Tq	96	10 Tq	72	10 Tq	60	10 Tq	48	10 Tq	24
	16 Tq	60	16 Tq	45	20 Tq	30	16 Tq	30	16 Tq	15
	20 Tq	48	20 Tq	36			20 Tq	24	20 Tq	12

25.4　メールボックスとマスクレジスタの構成

同じ構成の32個のメールボックスがあります。
図 25.38にC0MBj、C1MBjレジスタ(j=0~31)の構成を示します。

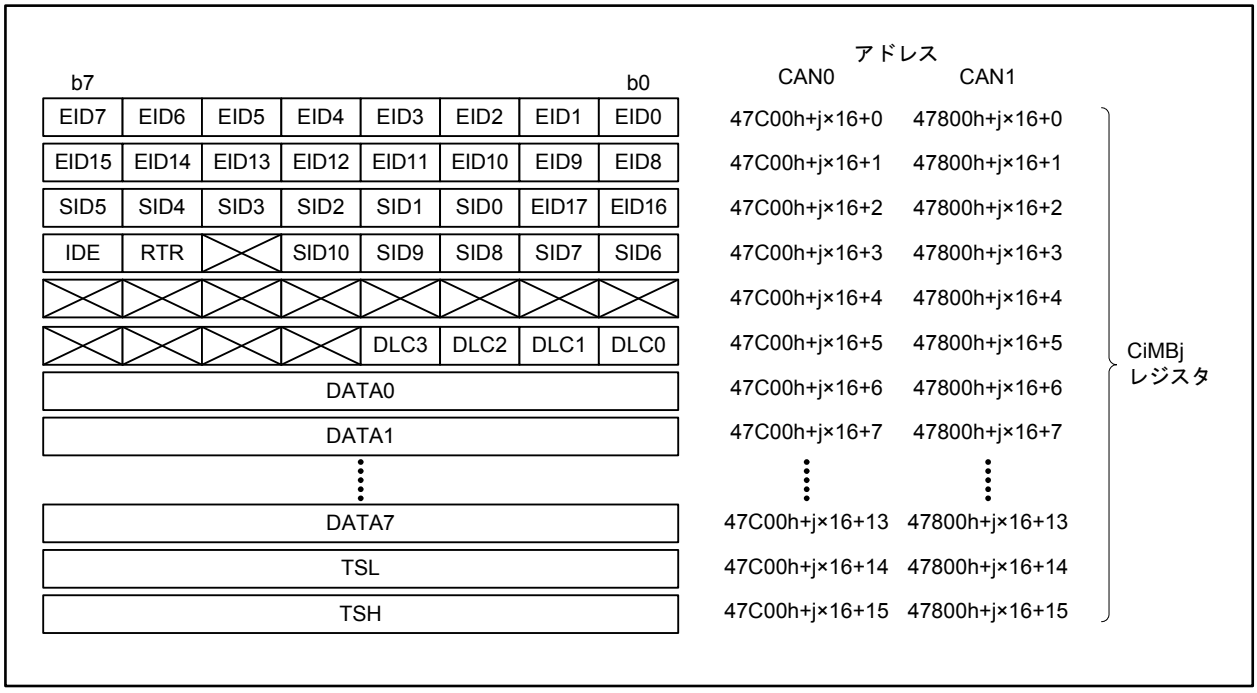


図 25.38　C0MBj、C1MBjレジスタの構成(i=0, 1、j=0~31)

同じ構成の8個のマスクレジスタがあります。
図 25.39にC0MKRk、C1MKRkレジスタ(k=0~7)の構成を示します。

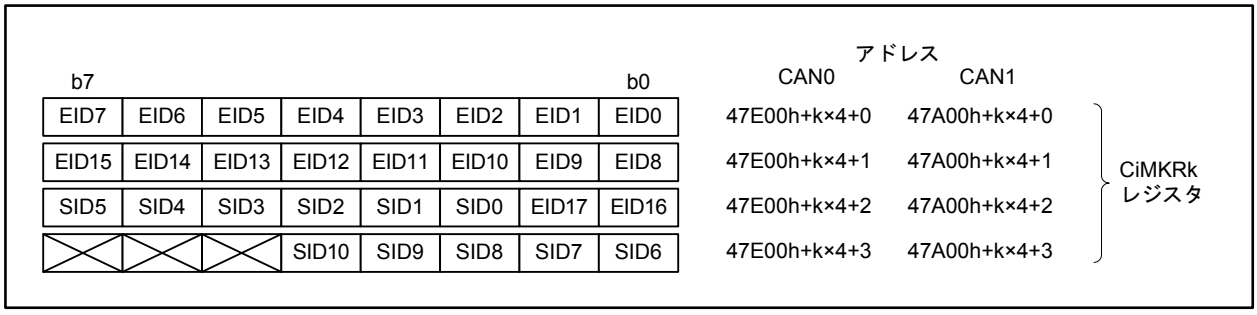


図 25.39　C0MKRk、C1MKRkレジスタの構成(i=0, 1、k=0~7)

同じ構成の2個のFIFO受信ID比較レジスタがあります。
図 25.40にC0FIDCRn、C1FIDCRnレジスタ(n=0, 1)の構成を示します。

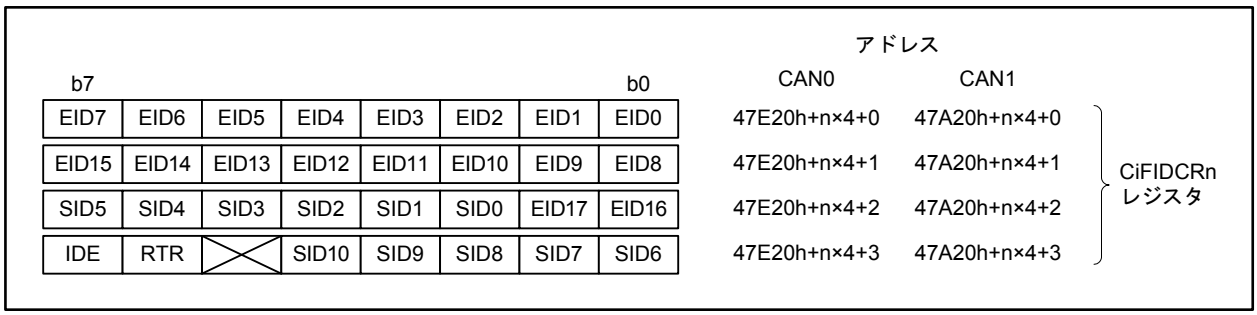


図 25.40　C0FIDCRn、C1FIDCRnレジスタの構成(i=0, 1、n=0, 1)

25.5 アクセプタンスフィルタ処理とマスク機能

アクセプタンスフィルタは、メールボックスに対して一定範囲の複数IDのメッセージ受信を許可します。

CiMKR0~CiMKR7レジスタ(i=0, 1)は標準IDと29ビットの拡張IDのマスクができます。

- CiMKR0レジスタは、メールボックス[0]~[3]に対応
- CiMKR1レジスタは、メールボックス[4]~[7]に対応
- CiMKR2レジスタは、メールボックス[8]~[11]に対応
- CiMKR3レジスタは、メールボックス[12]~[15]に対応
- CiMKR4レジスタは、メールボックス[16]~[19]に対応
- CiMKR5レジスタは、メールボックス[20]~[23]に対応
- CiMKR6レジスタは、通常メールボックスモードの場合はメールボックス[24]~[27]、FIFOメールボックスモードの場合は受信FIFOメールボックス[28]~[31]に対応
- CiMKR7レジスタは、通常メールボックスモードの場合はメールボックス[28]~[31]、FIFOメールボックスモードの場合は受信FIFOメールボックス[28]~[31]に対応

CiMKIVLRレジスタは、各メールボックスに対して個別にアクセプタンスフィルタ処理を禁止します。

CiMBjレジスタ(j=0~31)のIDEビットは、CiCTLRレジスタのIDFMビットが“10b”(ミックスIDモード)のとき、有効です。

CiMBjレジスタのRTRビットはデータフレームまたはリモートフレームを選択します。

FIFOメールボックスモードでは、通常メールボックス(メールボックス[0]~[23])は、CiMKR0~CiMKR5レジスタの中から対応する1つを使用してアクセプタンスフィルタ処理を行いますが、受信FIFOメールボックス(メールボックス[28]~[31])は、CiMKR6、CiMKR7レジスタの2つを使用してアクセプタンスフィルタ処理を行います。

また、受信FIFOはCiFIDCR0、CiFIDCR1レジスタの2つを使用して、IDの比較を行います。受信FIFOのCiMB28~CiMB31レジスタのEID、SID、RTR、IDEビットは無効になります。それぞれ2つの論理和の結果でアクセプタンスフィルタ処理を行うので、受信FIFOでは2つの範囲のIDを受信することができます。

CiMKIVLRレジスタは、受信FIFOに対しては無効です。

標準IDと拡張IDの両方がそれぞれCiFIDCR0、CiFIDCR1レジスタのIDEビットに設定された場合、両方のIDフォーマットが受信されます。

データフレームと リモートフレームの両方がそれぞれCiFIDCR0、CiFIDCR1レジスタのRTRビットに設定された場合、データフレームと リモートフレームの両方が受信されます。

2つの範囲のIDの組み合わせを必要としない場合は、FIFO IDとマスクレジスタの両方に同じマスク値と同じIDを設定してください。

図25.41にマスクレジスタとメールボックスの対応、図25.42にアクセプタンスフィルタ処理を示します。

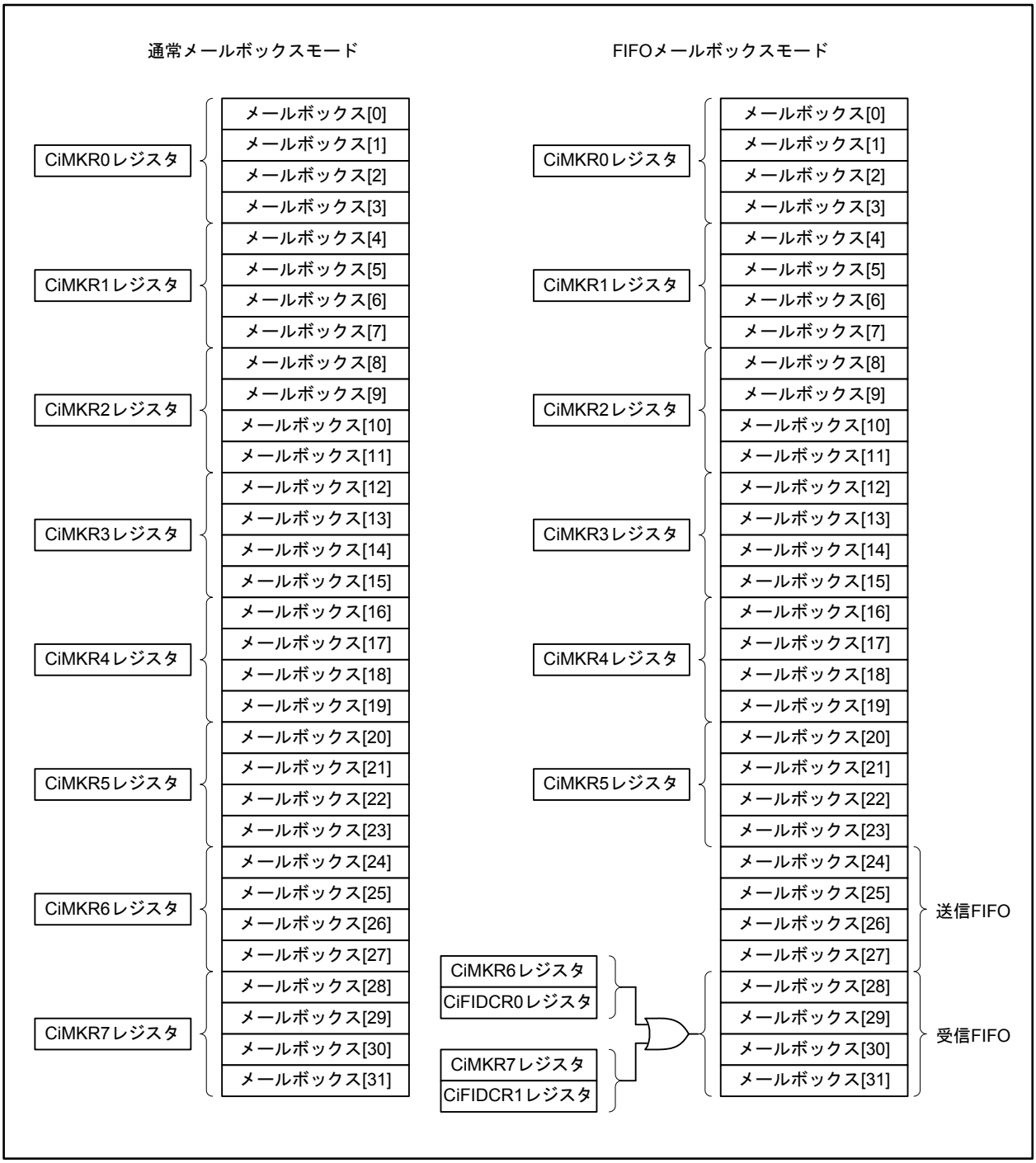


図 25.41 マスクレジスタとメールボックスの対応 (i=0, 1)

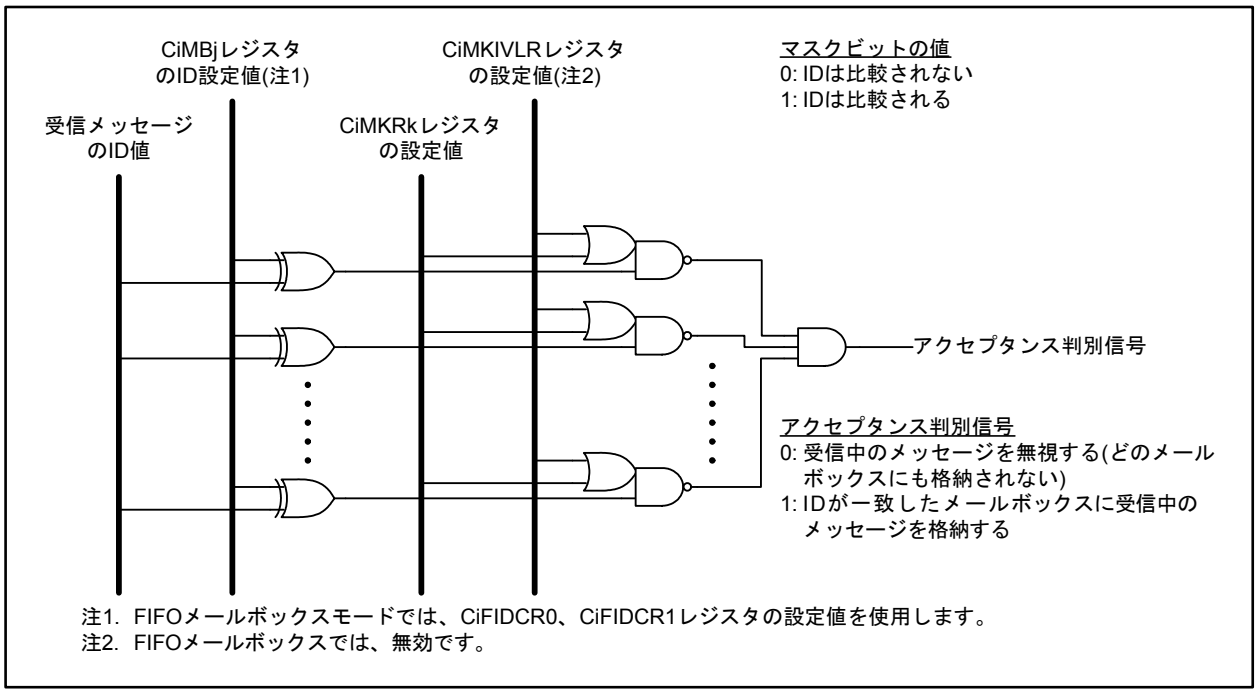


図 25.42 アクセプタンスフィルタ処理(i=0, 1、j=0~31、k=0~7)

25.6 受信、送信

表 25.11にCAN通信モードの設定方法を示します。

表 25.11 CAN受信モードとCAN送信モードの設定方法

TRMREQ	RECREQ	ONESHOT	メールボックスの通信モード
0	0	0	メールボックス使用不可、または送信アボート中
0	0	1	ワンショットモードでプログラムされたメールボックスからの送信か受信がアボートされた場合のみ、設定可能
0	1	0	データフレームまたはリモートフレームの受信メールボックスとして設定
0	1	1	データフレームまたはリモートフレームのワンショット受信メールボックスとして設定
1	0	0	データフレームまたはリモートフレームの送信メールボックスとして設定
1	0	1	データフレームまたはリモートフレームのワンショット送信メールボックスとして設定
1	1	0	設定しないでください
1	1	1	設定しないでください

TRMREQ, RECREQ, ONESHOT: CiMCTLjレジスタのビット(i=0, 1、j=0~31)

メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定するときは、以下の点に注意してください。

(1) メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定する前に、CiMCTLjレジスタ(i=0, 1、j=0~31)を“00h”にしてください。

(2) 受信メッセージは、受信のモード設定とアクセプタンスフィルタ処理の結果に従って、条件に一致した最初のメールボックスに格納されます。受信されたメッセージを格納するメールボックスは、メールボックスの番号の小さいほうが優先順位がより高くなります。

(3) CAN オペレーションモードでメッセージを送信する場合、そのメッセージが自身のメールボックスの受信対象となるIDを持っていたとしても、受信はしません。ただし、セルフテストモードのときはこのメッセージを受信してACKを返します。

メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定するときは、以下の点に注意してください。

(1) メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定する前に、CiMCTLjレジスタを“00h”にして、さらに、アボート処理中でないことを確認してください。

25.6.1 受信

図 25.43にデータフレーム受信時の動作例(オーバライトモードの場合)を示します。

この例は、CiMCTL0 レジスタ(i=0, 1)の受信条件に一致する2つの連続したCANメッセージを受信する際、最初のメッセージを上書きする場合の動作です。

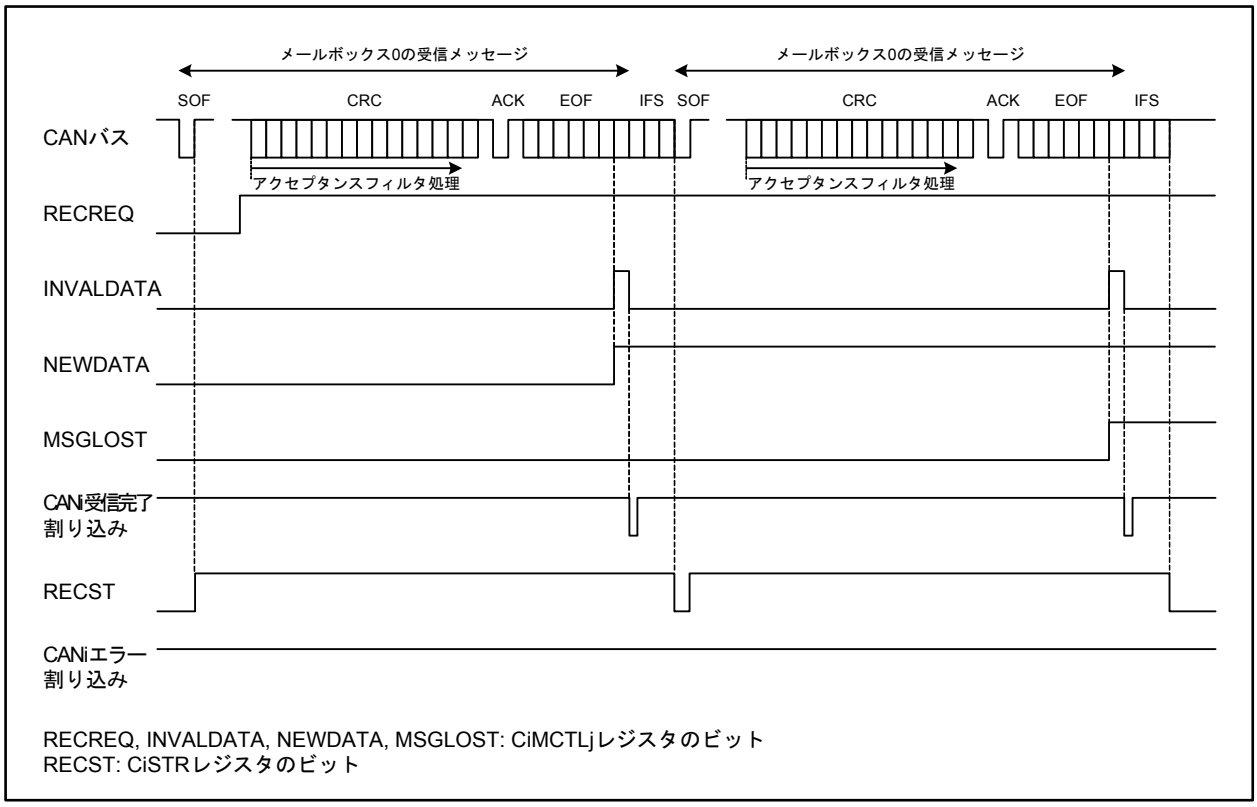


図 25.43 データフレーム受信時の動作例(オーバライトモードの場合) (i=0, 1、j=0~31)

(1) CAN バス上で SOF を検知すると、CAN モジュールに送信を開始するメッセージがない場合、CiSTR レジスタのRECST ビットが“1” (受信中)になります。

(2) 受信メールボックスを選択するために、CRC フィールドの最初からアクセプタンスフィルタ処理が開始されます。

(3) メッセージの受信を完了すると、受信メールボックスのCiMCTLj レジスタ(j=0~31)のNEWDATA ビットが“1” (新しいメッセージを更新中、またはメールボックスに格納された)になります。同時に CiMCTLj レジスタの INVALDATA ビットが “1” (メッセージを更新中) になり、そのメールボックスにメッセージ全体が転送された後、INVALDATA ビットは“0” (メッセージは有効)に戻ります。

(4) 受信メールボックスの CiMIER レジスタの割り込み許可ビットが “1” (割り込み許可) の場合、CANi 受信完了割り込み要求が発生します。INVALDATA ビットが “0” になると、この割り込み(CANi受信完了割り込み)が発生します。

(5) メールボックスからメッセージを読み出した後、NEWDATA ビットをプログラムで“0”にする必要があります。

(6) オーバライトモードでは、NEWDATA ビットがまだ“1”に設定されているメールボックスに次のCAN メッセージの受信が完了すると、CiMCTLj レジスタのMSGLOST ビットが“1” (メッセージはオーバライトされた)になります。新しく受信したメッセージはメールボックスに転送されます。CANi受信完了割り込み要求は、(4)と同様に発生します。

図 25.44にデータフレーム受信時の動作例(オーバランモードの場合)を示します。

この例は、CiMCTL0 レジスタ(i=0, 1)の受信条件に一致する2つの連続したCANメッセージを受信する際、2つ目のメッセージを破棄する場合の動作です。

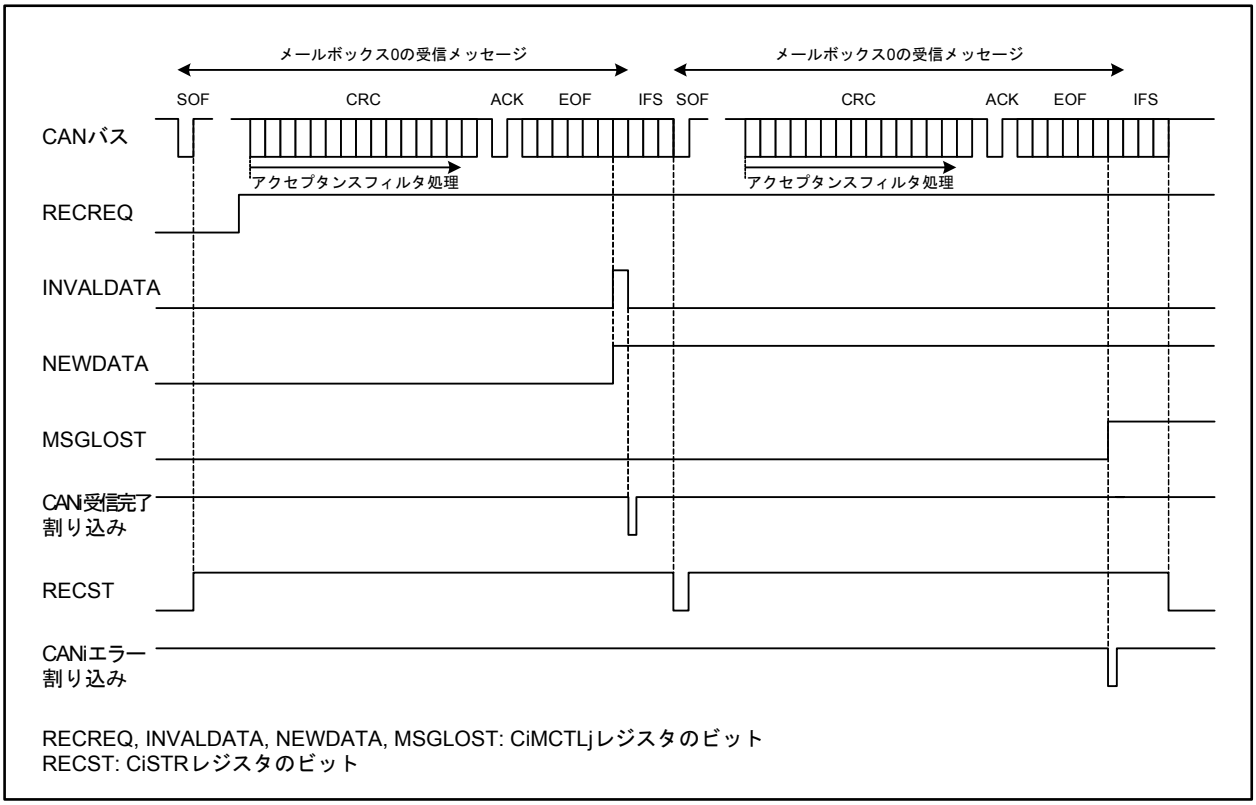


図 25.44 データフレーム受信時の動作例(オーバランモードの場合) (i=0, 1、j=0~31)

(1)~(5)はオーバライトモードと同じです。

(6) オーバランモードでは、NEWDATAビットが“0”に設定される前に、次のCANメッセージの受信が完了すると、CiMCTLj レジスタ(j=0~31)の MSGLOST ビットが“1”(メッセージはオーバランされた)になります。新しく受信したメッセージは破棄され、CiEIER レジスタの対応する割り込み許可ビットが“1”(割り込み許可)の場合、CANiエラー割り込み要求が発生します。

25.6.2 送信

図 25.45にデータフレーム送信時の動作例を示します。
この例は、CiMCTL0、CiMCTL1 レジスタ(i=0, 1)へ設定したメッセージを送信する場合の動作です。

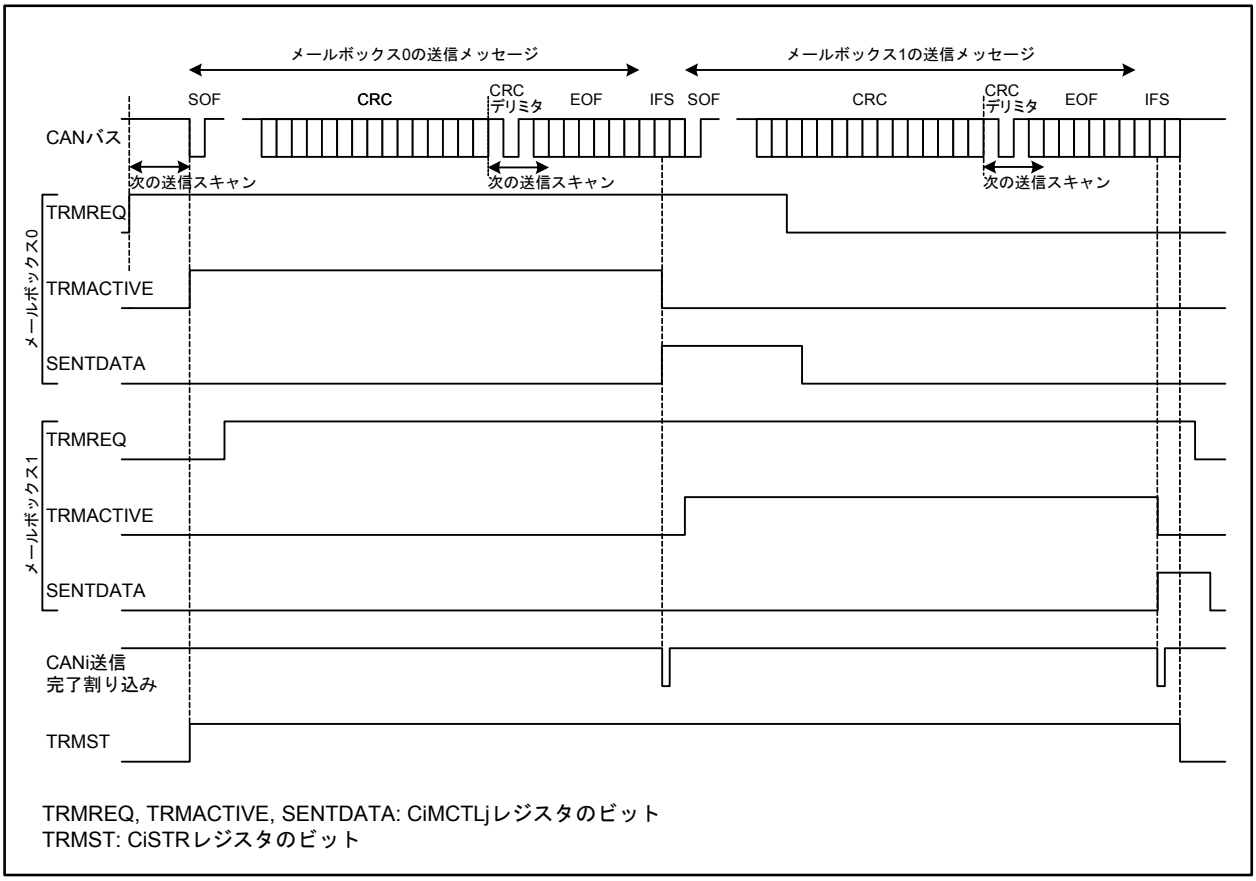


図 25.45 データフレーム送信時の動作例(i=0, 1、j=0~31)

(1) バスアイドル状態で、CiMCTLj レジスタ(j=0~31)のTRMREQビットを“1”(送信メールボックス)にすると、最も優先順位の高い送信メールボックスを決定するために、メールボックススキャン処理が開始されます。送信メールボックスが決定すると、CiMCTLj レジスタの TRMACTIVEビットが“1”(送信要求の取り込みから、送信完了、エラー発生またはアービトレーションロスト発生まで)、CiSTR レジスタのTRMSTビットが“1”(送信中)になり、CANモジュールは送信を開始します(注1)。
(2) 他のTRMREQビットが設定されている場合は、CRCデリミタから次の送信のための送信スキャン処理を開始します。
(3) アービトレーション負けが発生せずに送信が完了すると、CiMCTLj レジスタのSENTDATAビットが“1”(送信完了)に、TRMACTIVEビットが“0”(送信待機中、または送信要求なし)になります。そして、CiMIER レジスタの割り込み許可ビットが“1”(割り込み許可)の場合は、CANi送信完了割り込み要求が発生します。
(4) 同一のメールボックスから次の送信を要求する場合は、SENTDATAビットとTRMREQビットを“0”にして、SENTDATAビットと TRMREQビットが“0”になるのを確認した後、TRMREQビットを“1”にしてください。

注1. CANモジュールが送信を開始した後でアービトレーション負けをした場合、TRMACTIVEビットは“0”になります。CRCデリミタの始めから最も優先順位の高い送信メールボックスを検索するために、再び送信スキャン処理が行われます。送信中またはアービトレーション負けに続いてエラーが発生すると、エラーデリミタの始めから、最も優先順位の高い送信のメールボックスを検索するために、再び送信スキャン処理が行われます。

25.7 CAN割り込み

CANモジュールには、以下のCAN割り込みがあります。

- CANiウェイクアップ割り込み(i=0, 1)
- CANi受信完了割り込み
- CANi送信完了割り込み
- CANi受信FIFO割り込み
- CANi送信FIFO割り込み
- CANiエラー割り込み

CANiエラー割り込みには、8つの要因があります。これらの要因は、CiEIFRレジスタをチェックすることで確認できます。

- バスエラー
- エラーワーニング
- エラーパッシブ
- バスオフ開始
- バスオフ復帰
- 受信オーバラン
- オーバロードフレーム送信
- バスロック

26. 入出力端子

本マイコンの各端子は、プログラマブル入出力ポート、内部周辺機能の入出力、またはバス制御端子として機能します。これらの機能は、機能選択レジスタや、プロセッサモードレジスタで切り替えて使用することができます。ここでは、機能選択レジスタについて説明します。バス制御端子として使用する場合は、「7. プロセッサモード」、「9. バス」を参照してください。

また、端子4本ごとにプルアップ抵抗の有無を選択できます。プルアップ抵抗は、端子が出力になっている場合には、レジスタの設定内容にかかわらず切り離されます。

図 26.1に代表的な入出力端子のブロック図を示します。

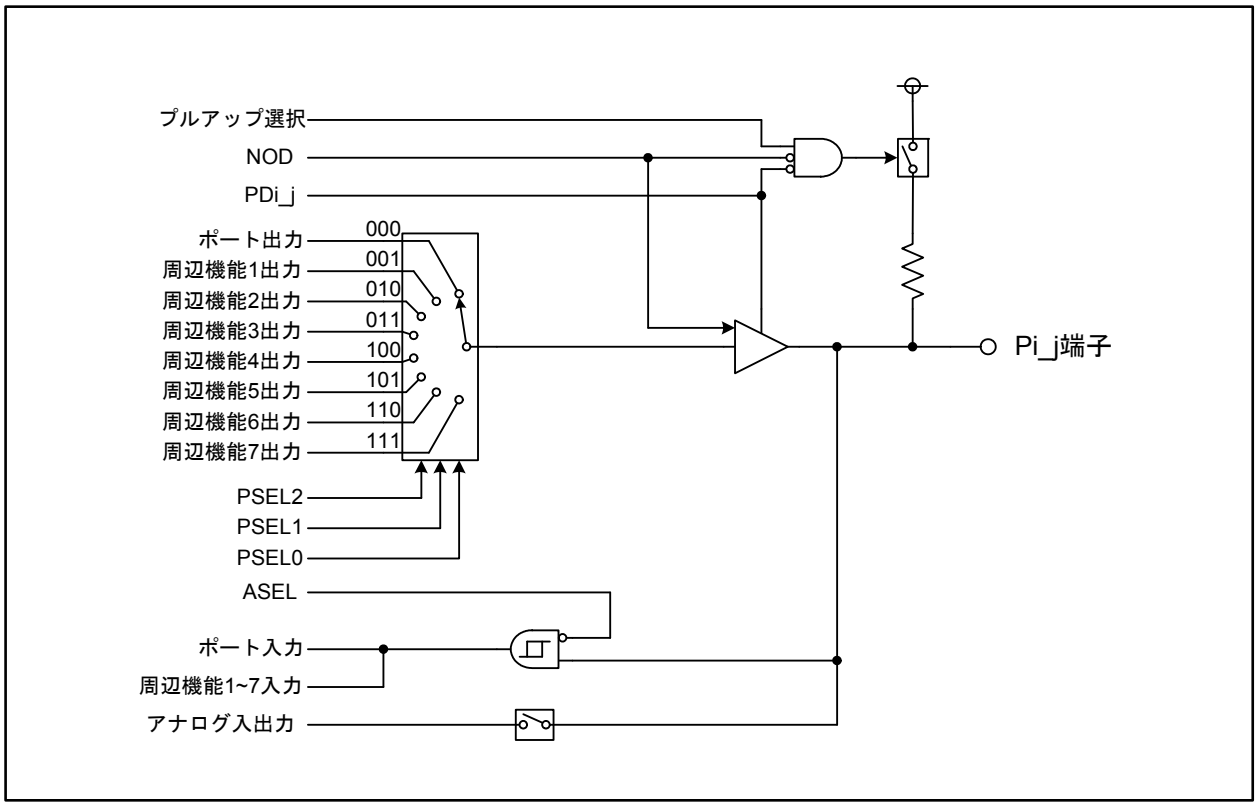


図 26.1　入出力端子ブロック図(代表例) (i=0~15、j=0~7)

入出力端子には、端子の入出力方向を決定する方向レジスタと、端子の機能を決定する出力機能選択レジスタ、プルアップ抵抗を制御するプルアップ制御レジスタがあります。出力機能選択レジスタには、プログラマブル入出力ポートと周辺機能出力(アナログ出力を除く)のいずれを使用するかを選択するためのビットPSEL2~PSEL0と、端子の出力をNチャネルオープンドレインにするためのビットNOD、アナログ入出力時に発生する中間電位によって入力バッファの消費電流が増大するのを防ぐためのビットASELがあります。

アナログ入出力端子として使用する場合は、PDi_jに“0”(入力)を設定し、PSEL2~PSEL0に“000b”を、ASELビットに“1”を設定してください。

ポートP8_5は$\overline{\text{NMI}}$と端子を共用する入力専用端子となっており、機能選択レジスタ、方向レジスタのビット5ともにありません。また、ポートP14_1 (100ピン版ではP9_1)も入力専用端子となっており、機能選択レジスタ、方向レジスタのビット1はともに予約領域になっています。

また、ポートP9はPRCRレジスタのPRC2ビットにより、意図しない書き込みから保護されています(「10. プロテクト」参照)。

26.1　ポートPi方向レジスタ (PDiレジスタ、i=0~15)

端子の入出力方向を選択するためのレジスタです。このレジスタの各ビットは、各端子と一対一に対応しています。

メモリ拡張モードとマイクロプロセッサモードでは、バス制御信号 (A0~A23, D0~D31, $\overline{CS0}$~$\overline{CS3}$, $\overline{WR}$/$\overline{WR0}$, $\overline{BC0}$, $\overline{BC1}$/$\overline{WR1}$, $\overline{BC2}$/$\overline{WR2}$, $\overline{BC3}$/$\overline{WR3}$, $\overline{RD}$, CLKOUT/BCLK, $\overline{HLDA}$, $\overline{HOLD}$, ALE, $\overline{RDY}$) が割り当てられている端子のPDiレジスタは変更できません。

図 26.2にPDiレジスタを示します。

なお、P8_5に対応する方向レジスタのビットはありません。またP14_1 (100ピン版ではP9_1)に対応する方向レジスタのビットは予約ビットとなっております。

また、PD9レジスタはPRCRレジスタのPRC2ビットにより、意図しない書き込みから保護されています(「10. プロテクト」参照)。

ポートPi 方向レジスタ (i=0~15) (注1)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
PD0, PD1, PD2	03C2h、03C3h、03C6h番地	0000 0000b
PD3, PD4, PD5	03C7h、03CAh、03CBh番地	0000 0000b
PD6, PD7	03CEh、03CFh番地	0000 0000b
PD8 (注2)	03D2h番地	00X0 0000b
PD9 (注3、4), PD10	03D3h、03D6h番地	0000 0000b
PD11 (注2、5)	03D7h番地	XXX0 0000b
PD12 (注5)	03DAh番地	0000 0000b
PD13 (注5)	03DBh番地	0000 0000b
PD14 (注2、4、5)	03DEh番地	X000 0000b
PD15 (注5)	03DFh番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
PDi_0	ポートPi_0方向ビット(注4)	0: 入力 (入力ポートとして機能) 1: 出力 (出力ポートとして機能)	RW
PDi_1	ポートPi_1方向ビット(注4)	0: 入力 (入力ポートとして機能) 1: 出力 (出力ポートとして機能)	RW
PDi_2	ポートPi_2方向ビット(注4)	0: 入力 (入力ポートとして機能) 1: 出力 (出力ポートとして機能)	RW
PDi_3	ポートPi_3方向ビット	0: 入力 (入力ポートとして機能) 1: 出力 (出力ポートとして機能)	RW
PDi_4	ポートPi_4方向ビット	0: 入力 (入力ポートとして機能) 1: 出力 (出力ポートとして機能)	RW
PDi_5	ポートPi_5方向ビット(注2)	0: 入力 (入力ポートとして機能) 1: 出力 (出力ポートとして機能)	RW
PDi_6	ポートPi_6方向ビット(注2)	0: 入力 (入力ポートとして機能) 1: 出力 (出力ポートとして機能)	RW
PDi_7	ポートPi_7方向ビット(注2)	0: 入力 (入力ポートとして機能) 1: 出力 (出力ポートとして機能)	RW

注1. メモリ拡張モードとマイクロプロセッサモードでは、バス制御信号 (A0~A23, D0~D31, $\overline{CS0}$~$\overline{CS3}$, $\overline{WR}$/ $\overline{WR0}$, $\overline{BC0}$, $\overline{BC1}$/$\overline{WR1}$, $\overline{BC2}$/$\overline{WR2}$, $\overline{BC3}$/$\overline{WR3}$, $\overline{RD}$, CLKOUT/BCLK, $\overline{HLDA}$, $\overline{HOLD}$, ALE, $\overline{RDY}$) が割り当てられている端子の方向レジスタは変更できません。

注2. PD8レジスタのPD8_5ビット、PD11レジスタのPD11_5~PD11_7ビット、PD14レジスタのPD14_7ビットには何も配置されていません。書く場合、“0”を書いてください。読んだ場合、その値は不定です。

注3. PD9レジスタはPRCRレジスタのPRC2ビットを“1”(書き込み許可) にした次の命令で書いてください。また、PRC2ビットを“1”にする命令とPD9レジスタを書き換える命令の間に割り込みやDMA転送が入らないようにしてください。

注4. 100ピン版のPD9レジスタのPD9_0~PD9_2ビット、144ピン版のPD14レジスタのPD14_0~ PD14_2ビットは予約ビットです。書く場合、“0”を書いてください。

注5. 100ピン版ではPD11~PD15レジスタの有効なビットに“1”(出力) を書いてください。

図 26.2　PD0~PD15 レジスタ

26.2 出力機能選択レジスタ

プログラマブル入出力ポートと周辺機能出力が端子を共用している場合、その端子の出力機能を決定するレジスタです。入力に関しては、このレジスタの設定にかかわらず、接続されたすべての周辺機能に入力されます。

出力機能選択レジスタには、プログラマブル入出力ポートと周辺機能出力 (アナログ出力を除く) のいずれを使用するかを選択するためのビットPSEL2~PSEL0と、端子の出力をNチャネルオープンドレインにするためのビットNOD、アナログ入出力時に発生する中間電位による消費電流増大を防ぐためのビットASELがあります。

表 26.1にPSEL2~PSEL0の値と周辺機能の相関を、図 26.3~図 26.19に機能選択レジスタを示します。

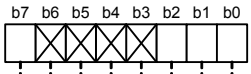
なお、ポートP8_5、P14_1 (100ピン版ではP9_1)は入力専用端子ですので、出力機能選択レジスタはありません。

また、P9_iSレジスタはPRCRレジスタのPRC2ビットにより、意図しない書き込みから保護されています(「10. プロテクト」参照)。

表 26.1 周辺機能の割り当て

PSEL2~PSEL0	周辺機能
001b	タイマ
010b	三相モータ制御機能
011b	UART
100b	UART特殊機能
101b	インテリジェントI/Oグループ0, 2、CANチャネル0
110b	インテリジェントI/Oグループ1、CANチャネル1
111b	UART8

ポートP0_i 機能選択レジスタ (i=0~7)



シンボル	アドレス	リセット後の値
P0_0S~P0_2S	400A0h、400A2h、400A4h番地	0XXX X000b
P0_3S~P0_5S	400A6h、400A8h、400AAh番地	0XXX X000b
P0_6S, P0_7S	400ACh、400AEh番地	0XXX X000b

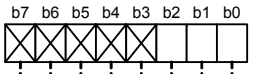
ビットシンボル	ビット名	機　能	RW
PSEL0	ポートP0_i 出力機能選択ビット	b2 b1 b0 0 0 0 : 入出力ポート P0_i 0 0 1 : 設定しないでください 0 1 0 : 設定しないでください 0 1 1 : 設定しないでください 1 0 0 : 設定しないでください 1 0 1 : 設定しないでください 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	RW
PSEL1			RW
PSEL2			RW
— (b6-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
ASEL	ポートP0_i アナログ機能選択ビット	0: AN0_i 以外に使用する 1: AN0_i として使用する	RW

図 26.3　P0_0S~P0_7S レジスタ

ポートP0_i (i=0~7)はA/Dコンバータ入力AN0_iと端子を共用しています。

プログラマブル入出力ポートとして使用する場合、P0_iS レジスタには“00h”を設定してください。A/Dコンバータ入力として使用する場合は、P0_iS レジスタに“80h”を設定し、PD0_iを“0” (ポートP0_iを入力)に設定してください。

ポートP1_i 機能選択レジスタ (i=0~7)



シンボル	アドレス	リセット後の値
P1_0S~P1_2S	400A1h、400A3h、400A5h番地	XXXX X000b
P1_3S~P1_5S	400A7h、400A9h、400ABh番地	XXXX X000b
P1_6S, P1_7S	400ADh、400AFh番地	XXXX X000b

ビットシンボル	ビット名	機　能	RW
PSEL0	ポートP1_i 出力機能選択ビット (注1)	b2 b1 b0 0 0 0 : 入出力ポート P1_i 0 0 1 : 設定しないでください 0 1 0 : 設定しないでください 0 1 1 : 設定しないでください 1 0 0 : 設定しないでください 1 0 1 : IIO0_i 出力 1 1 0 : IIO1_i 出力 1 1 1 : 設定しないでください	RW
PSEL1			RW
PSEL2			RW
— (b7-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. 個々の端子については下表を参照してください。

ポート	PSEL2~PSEL0設定値							
	000b	001b	010b	011b	100b	101b	110b	111b
P1_0	P1_0	— (注2)	— (注2)	— (注2)	— (注2)	IIO0_0出力	IIO1_0出力	— (注2)
P1_1	P1_1	— (注2)	— (注2)	— (注2)	— (注2)	IIO0_1出力	IIO1_1出力	— (注2)
P1_2	P1_2	— (注2)	— (注2)	— (注2)	— (注2)	IIO0_2出力	IIO1_2出力	— (注2)
P1_3	P1_3	— (注2)	— (注2)	— (注2)	— (注2)	IIO0_3出力	IIO1_3出力	— (注2)
P1_4	P1_4	— (注2)	— (注2)	— (注2)	— (注2)	IIO0_4出力	IIO1_4出力	— (注2)
P1_5	P1_5	— (注2)	— (注2)	— (注2)	— (注2)	IIO0_5出力	IIO1_5出力	— (注2)
P1_6	P1_6	— (注2)	— (注2)	— (注2)	— (注2)	IIO0_6出力	IIO1_6出力	— (注2)
P1_7	P1_7	— (注2)	— (注2)	— (注2)	— (注2)	IIO0_7出力	IIO1_7出力	— (注2)

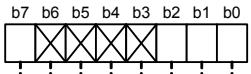
注2. 設定しないでください。

図 26.4　P1_0S~P1_7S レジスタ

ポートP1_i (i=0~7)はインテリジェントI/Oグループ0、1 (IIO0, IIO1)、外部割り込み入力と端子を共用しています。

出力端子として使用する場合は、PD1_iを“1”(ポートP1_iを出力)に設定し、図 26.4に従って機能を選択してください。また、入力端子として使用する場合は、PD1_iを“0”(ポートP1_iを入力)に設定してください。

ポートP2_i 機能選択レジスタ (i=0~7)



シンボル	アドレス	リセット後の値
P2_0S~P2_2S	400B0h、400B2h、400B4h番地	0XXX X000b
P2_3S~P2_5S	400B6h、400B8h、400BAh番地	0XXX X000b
P2_6S, P2_7S	400BCh、400BEh番地	0XXX X000b

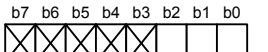
ビットシンボル	ビット名	機　能	RW
PSEL0	ポートP2_i 出力機能選択ビット	b2 b1 b0 0 0 0 : 入出力ポート P2_i 0 0 1 : 設定しないでください 0 1 0 : 設定しないでください 0 1 1 : 設定しないでください 1 0 0 : 設定しないでください 1 0 1 : 設定しないでください 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	RW
PSEL1			RW
PSEL2			RW
— (b6-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
ASEL	ポートP2_i アナログ機能選択ビット	0: AN2_i 以外に使用する 1: AN2_i として使用する	RW

図 26.5　P2_0S~P2_7S レジスタ

ポートP2_i (i=0~7)はA/Dコンバータ入力AN2_iと端子を共用しています。

プログラマブル入出力ポートとして使用する場合、P2_iS レジスタには“00h”を設定してください。A/Dコンバータ入力として使用する場合は、P2_iS レジスタに“80h”を設定し、PD2_iを“0” (ポートP2_iを入力)に設定してください。

ポートP3_i 機能選択レジスタ (i=0~7)



シンボル	アドレス	リセット後の値
P3_0S~P3_2S	400B1h、400B3h、400B5h番地	XXXX X000b
P3_3S~P3_5S	400B7h、400B9h、400BBh番地	XXXX X000b
P3_6S, P3_7S	400BDh、400BFh番地	XXXX X000b

ビットシンボル	ビット名	機　能	RW
PSEL0	ポートP3_i 出力機能選択ビット (注1)	b2 b1 b0 0 0 0 : 入出力ポート P3_i 0 0 1 : タイマ出力 0 1 0 : 三相出力 0 1 1 : 設定しないでください 1 0 0 : 設定しないでください 1 0 1 : 設定しないでください 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	RW
PSEL1			RW
PSEL2			RW
— (b7-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. 個々の端子については下表を参照してください。

ポート	PSEL2~PSEL0設定値							
	000b	001b	010b	011b	100b	101b	110b	111b
P3_0	P3_0	TA0OUT出力	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)
P3_1	P3_1	TA3OUT出力	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)
P3_2	P3_2	TA1OUT出力	V	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)
P3_3	P3_3	— (注2)	$\overline{V}$	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)
P3_4	P3_4	TA2OUT出力	W	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)
P3_5	P3_5	— (注2)	$\overline{W}$	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)
P3_6	P3_6	TA4OUT出力	U	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)
P3_7	P3_7	— (注2)	$\overline{U}$	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)

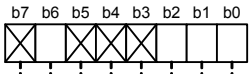
注2. 設定しないでください。

図 26.6　P3_0S~P3_7S レジスタ

ポートP3_i (i=0~7)はタイマ出力、三相モータ制御出力と端子を共用しています。

出力端子として使用する場合は、PD3_iを“1” (ポートP3_iを出力)に設定し、図 26.6に従って機能を選択してください。また、入力端子として使用する場合は、PD3_iを“0” (ポートP3_iを入力)に設定してください。

ポートP4_i 機能選択レジスタ (i=0~7)



シンボル	アドレス	リセット後の値
P4_0S~P4_2S	400C0h、400C2h、400C4h番地	X0XX X000b
P4_3S~P4_5S	400C6h、400C8h、400CAh番地	X0XX X000b
P4_6S, P4_7S	400CCh、400CEh番地	X0XX X000b

ビットシンボル	ビット名	機　能	RW
PSEL0	ポートP4_i 出力機能選択ビット (注1)	b2 b1 b0 0 0 0 : 入出力ポート P4_i 0 0 1 : 設定しないでください 0 1 0 : 設定しないでください 0 1 1 : UART3、UART6出力 1 0 0 : UART3特殊機能、UART6特殊機能出力 1 0 1 : IIO2出力 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	RW
PSEL1			RW
PSEL2			RW
— (b5-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
NOD	Nチャネルオープン ドレイン出力選択ビット	0: プッシュプル出力 1: Nチャネルオープンドレイン出力	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. 個々の端子については下表を参照してください。

ポート	PSEL2~PSEL0設定値							
	000b	001b	010b	011b	100b	101b	110b	111b
P4_0	P4_0	— (注2)	— (注2)	$\overline{\text{RTS3}}$	— (注2)	— (注2)	— (注2)	— (注2)
P4_1	P4_1	— (注2)	— (注2)	CLK3出力	— (注2)	— (注2)	— (注2)	— (注2)
P4_2	P4_2	— (注2)	— (注2)	SCL3出力	STXD3	— (注2)	— (注2)	— (注2)
P4_3	P4_3	— (注2)	— (注2)	TXD3 SDA3出力	— (注2)	OUTC2_0 ISTXD2 IEOUT	— (注2)	— (注2)
P4_4	P4_4	— (注2)	— (注2)	$\overline{\text{RTS6}}$	— (注2)	— (注2)	— (注2)	— (注2)
P4_5	P4_5	— (注2)	— (注2)	CLK6出力	— (注2)	— (注2)	— (注2)	— (注2)
P4_6	P4_6	— (注2)	— (注2)	SCL6出力	STXD6	— (注2)	— (注2)	— (注2)
P4_7	P4_7	— (注2)	— (注2)	TXD6 SDA6出力	— (注2)	— (注2)	— (注2)	— (注2)

注2. 設定しないでください。

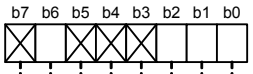
図 26.7　P4_0S~P4_7S レジスタ

ポートP4_i (i=0~7)はシリアルインタフェース(UART3, UART6)、インテリジェントI/Oグループ2 (IIO2)と端子を共用しています。

出力端子として使用する場合は、PD4_iを“1”(ポートP4_iを出力)に設定し、図 26.7に従って機能を選択してください。また、入力端子として使用する場合は、PD4_iを“0”(ポートP4_iを入力)に設定してください。

ポートP4_0~P4_7は5Vトレラント入力です。入出力端子として使用するときに5Vトレラント入力を有効にする場合は、NODビットを“1”にして該当する端子をNチャネルオープンドレイン出力にしてください。

ポートP5_i 機能選択レジスタ (i=0~7)



シンボル	アドレス	リセット後の値
P5_0S, P5_1S	400C1h、400C3h番地	XXXX X000b
P5_2S, P5_3S	400C5h、400C7h番地	XXXX X000b
P5_4S, P5_5S	400C9h、400CBh番地	X0XX X000b
P5_6S, P5_7S	400CDh、400CFh番地	X0XX X000b

ビットシンボル	ビット名	機　能	RW
PSEL0	ポートP5_i 出力機能選択ビット (注1)	b2 b1 b0 0 0 0 : 入出力ポート P5_i 0 0 1 : 設定しないでください 0 1 0 : 設定しないでください 0 1 1 : UART7出力 1 0 0 : 設定しないでください 1 0 1 : 設定しないでください 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	RW
PSEL1			RW
PSEL2			RW
— (b5-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
— (b6) (i=0~3) NOD (i=4~7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
	Nチャネルオープン ドレイン出力選択ビット	0: プッシュプル出力 1: Nチャネルオープンドレイン出力	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. 個々の端子については下表を参照してください。

ポート	PSEL2~PSEL0設定値							
	000b	001b	010b	011b	100b	101b	110b	111b
P5_0	P5_0	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)
P5_1	P5_1	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)
P5_2	P5_2	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)
P5_3	P5_3	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)
P5_4	P5_4	— (注2)	— (注2)	TXD7	— (注2)	— (注2)	— (注2)	— (注2)
P5_5	P5_5	— (注2)	— (注2)	CLK7出力	— (注2)	— (注2)	— (注2)	— (注2)
P5_6	P5_6	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)
P5_7	P5_7	— (注2)	— (注2)	$\overline{\text{RTS7}}$	— (注2)	— (注2)	— (注2)	— (注2)

注2. 設定しないでください。

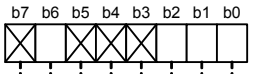
図 26.8　P5_0S~P5_7S レジスタ

ポートP5_i (i=0~7)はシリアルインタフェース(UART7)と端子を共用しています。

出力端子として使用する場合は、PD5_iを“1”(ポートP5_iを出力)に設定し、図 26.8に従って機能を選択してください。また、入力端子として使用する場合は、PD5_iを“0”(ポートP5_iを入力)に設定してください。

ポートP5_4~P5_7は5Vトレラント入力です。入出力端子として使用するときに5Vトレラント入力を有効にする場合は、NODビットを“1”にして該当する端子をNチャネルオープンドレイン出力にしてください。

ポートP6_i 機能選択レジスタ (i=0~7)



シンボル	アドレス	リセット後の値
P6_0S~P6_2S	400D0h、400D2h、400D4h番地	X0XX X000b
P6_3S~P6_5S	400D6h、400D8h、400DAh番地	X0XX X000b
P6_6S, P6_7S	400DCh、400DEh番地	X0XX X000b

ビットシンボル	ビット名	機　能	RW
PSEL0	ポートP6_i 出力機能選択ビット (注1)	b2 b1 b0 0 0 0 : 入出力ポート P6_i 0 0 1 : 設定しないでください 0 1 0 : 設定しないでください 0 1 1 : UART0、UART1出力 1 0 0 : UART0特殊機能、UART1特殊機能出力 1 0 1 : IIO2出力 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	RW
PSEL1			RW
PSEL2			RW
— (b5-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
NOD	Nチャネルオープン ドレイン出力選択ビット	0: プッシュプル出力 1: Nチャネルオープンドレイン出力	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. 個々の端子については下表を参照してください。

ポート	PSEL2~PSEL0設定値							
	000b	001b	010b	011b	100b	101b	110b	111b
P6_0	P6_0	— (注2)	— (注2)	$\overline{\text{RTS0}}$	— (注2)	— (注2)	— (注2)	— (注2)
P6_1	P6_1	— (注2)	— (注2)	CLK0出力	— (注2)	— (注2)	— (注2)	— (注2)
P6_2	P6_2	— (注2)	— (注2)	SCL0出力	STXD0	— (注2)	— (注2)	— (注2)
P6_3	P6_3	— (注2)	— (注2)	TXD0 SDA0出力	— (注2)	— (注2)	— (注2)	— (注2)
P6_4	P6_4	— (注2)	— (注2)	$\overline{\text{RTS1}}$	— (注2)	OUTC2_1 ISCLK2出力	— (注2)	— (注2)
P6_5	P6_5	— (注2)	— (注2)	CLK1出力	— (注2)	— (注2)	— (注2)	— (注2)
P6_6	P6_6	— (注2)	— (注2)	SCL1出力	STXD1	— (注2)	— (注2)	— (注2)
P6_7	P6_7	— (注2)	— (注2)	TXD1 SDA1出力	— (注2)	— (注2)	— (注2)	— (注2)

注2. 設定しないでください。

図 26.9　P6_0S~P6_7S レジスタ

ポートP6_i (i=0~7)はシリアルインタフェース(UART0, UART1)、インテリジェントI/Oグループ2 (IIO2)と端子を共用しています。

出力端子として使用する場合は、PD6_iを“1”(ポートP6_iを出力)に設定し、図 26.9に従って機能を選択してください。また、入力端子として使用する場合は、PD6_iを“0”(ポートP6_iを入力)に設定してください。

ポートP6_0~P6_7は5Vトレラント入力です。入出力端子として使用するときに5Vトレラント入力を有効にする場合は、NODビットを“1”にして該当する端子をNチャネルオープンドレイン出力にしてください。

ポートP7_i 機能選択レジスタ (i=0~7)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
P7_0S~P7_2S	400D1h、400D3h、400D5h番地	X0XX X000b
P7_3S~P7_5S	400D7h、400D9h、400DBh番地	X0XX X000b
P7_6S, P7_7S	400DDh、400DFh番地	X0XX X000b

ビットシンボル	ビット名	機　能	RW
PSEL0	ポートP7_i 出力機能選択ビット (注1)	b2 b1 b0 0 0 0 : 入出力ポート P7_i 0 0 1 : タイマ出力 0 1 0 : 三相出力 0 1 1 : UART2、UART5、MMI2C出力 1 0 0 : UART2特殊機能出力 1 0 1 : IIO2、CAN0出力 1 1 0 : IIO1出力 1 1 1 : UART8出力	RW
PSEL1			RW
PSEL2			RW
— (b5-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
NOD	Nチャネルオープン ドレイン出力選択ビット	0: プッシュプル出力 1: Nチャネルオープンドレイン出力	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. 個々の端子については下表を参照してください。

ポート	PSEL2~PSEL0設定値							
	000b	001b	010b	011b	100b	101b	110b	111b
P7_0	P7_0	TA0OUT出力	— (注2)	TXD2 SDA2出力 MSDA出力	— (注2)	OUTC2_0 ISTXD2 IEOUT	IIO1_6出力	— (注2)
P7_1	P7_1	— (注2)	— (注2)	SCL2出力 MSCL出力	STXD2	OUTC2_2	IIO1_7出力	— (注2)
P7_2	P7_2	TA1OUT出力	V	CLK2出力	— (注2)	— (注2)	— (注2)	— (注2)
P7_3	P7_3	— (注2)	$\overline{V}$	$\overline{RTS2}$	— (注2)	— (注2)	IIO1_0出力	TXD8
P7_4	P7_4	TA2OUT出力	W	— (注2)	— (注2)	— (注2)	IIO1_1出力	CLK8出力
P7_5	P7_5	— (注2)	$\overline{W}$	— (注2)	— (注2)	— (注2)	IIO1_2出力	— (注2)
P7_6	P7_6	TA3OUT出力	— (注2)	TXD5 SDA5出力	— (注2)	CAN0OUT	IIO1_3出力	$\overline{RTS8}$
P7_7	P7_7	— (注2)	— (注2)	CLK5出力	— (注2)	— (注2)	IIO1_4出力	— (注2)

注2. 設定しないでください。

図 26.10　P7_0S~P7_7S レジスタ

ポートP7_i (i=0~7)はタイマ、三相モータ制御、シリアルインタフェース(UART2, UART5, UART8)、マルチマスタ I^2C バスインタフェース (MMI2C)、インテリジェント I/O グループ 1、2 (IIO1, IIO2)、CAN モジュールと端子を共用しています。

出力端子として使用する場合は、PD7_iを“1” (ポートP7_iを出力) に設定し、図 26.10 に従って機能を選択してください。また、入力端子として使用する場合は、PD7_iを“0” (ポートP7_iを入力)に設定してください。

ポートP7_0~P7_7は5Vトレラント入力です。入出力端子として使用するときに5Vトレラント入力を有効にする場合は、NODビットを“1”にして該当する端子をNチャネルオープンドレイン出力にしてください。

ポートP8_i 機能選択レジスタ (i=0~4, 6, 7)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
P8_0S, P8_1S	400E0h、400E2h番地	X0XX X000b
P8_2S, P8_3S	400E4h、400E6h番地	X0XX X000b
P8_4S	400E8h番地	XXXX X000b
P8_6S, P8_7S	400ECh、400EEh番地	XXXX X000b

ビットシンボル	ビット名	機　能	RW
PSEL0	ポートP8_i 出力機能選択ビット (注1)	b2 b1 b0 0 0 0 : 入出力ポート P8_i 0 0 1 : タイマ出力 0 1 0 : 三相出力 0 1 1 : UART5出力 1 0 0 : UART5特殊機能出力 1 0 1 : CAN0出力 1 1 0 : IIO1、CAN1出力 1 1 1 : 設定しないでください	RW
PSEL1			RW
PSEL2			RW
— (b5-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
NOD (i=0~3) — (b6) (i=4, 6, 7)	Nチャネルオープン ドレイン出力選択ビット	0: プッシュプル出力 1: Nチャネルオープンドレイン出力	RW
	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. 個々の端子については下表を参照してください。

ポート	PSEL2~PSEL0設定値							
	000b	001b	010b	011b	100b	101b	110b	111b
P8_0	P8_0	TA4OUT出力	U	SCL5出力	STXD5	— (注2)	— (注2)	— (注2)
P8_1	P8_1	— (注2)	$\overline{U}$	$\overline{RTS5}$	— (注2)	— (注2)	IIO1_5出力	— (注2)
P8_2	P8_2	— (注2)	— (注2)	— (注2)	— (注2)	CAN0OUT	CAN1OUT	— (注2)
P8_3	P8_3	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)
P8_4	P8_4	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)
P8_6	P8_6	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)
P8_7	P8_7	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)

注2. 設定しないでください。

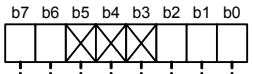
図 26.11　P8_0S~P8_4S、P8_6S、P8_7S レジスタ

ポートP8_i (i=0~4, 6, 7)はタイマ、三相モータ制御、シリアルインタフェース(UART5)、インテリジェントI/Oグループ1 (IIO1)、CANモジュール、外部割り込み入力と端子を共用しています。

出力端子として使用する場合は、PD8_iを“1”(ポートP8_iを出力)に設定し、図 26.11 に従って機能を選択してください。また、入力端子として使用する場合は、PD8_iを“0”(ポートP8_iを入力)に設定してください。

ポートP8_0~P8_3は5Vトレラント入力です。入出力端子として使用するときに5Vトレラント入力を有効にする場合は、NODビットを“1”にして該当する端子をNチャネルオープンドレイン出力にしてください。

ポートP9_i 機能選択レジスタ (i=0~7) (注1)



シンボル	アドレス	リセット後の値
P9_0S~P9_2S	400E1h、400E3h、400E5h番地	X0XX X000b
P9_3S~P9_5S	400E7h、400E9h、400EBh番地	00XX X000b
P9_6S	400EDh番地	00XX X000b
P9_7S	400EFh番地	X0XX X000b

ビットシンボル	ビット名	機　能	RW
PSEL0	ポートP9_i 出力機能選択ビット (注2)	b2 b1 b0 0 0 0 : 入出力ポート P9_i 0 0 1 : 設定しないでください 0 1 0 : 設定しないでください 0 1 1 : UART3、UART4出力 1 0 0 : UART3特殊機能、UART4特殊機能出力 1 0 1 : IIO2出力 1 1 0 : CAN1出力 1 1 1 : 設定しないでください	RW
PSEL1			RW
PSEL2			RW
— (b5-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
NOD	Nチャネルオープン ドレイン出力選択ビット	0: プッシュプル出力 1: Nチャネルオープンドレイン出力	RW
— (b7) (i=0~2, 7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
ASEL (i=3~6)	ポートP9_i (i=3~6) アナログ機能選択ビット	0: アナログ端子以外に使用する 1: アナログ端子として使用する	RW

注1. これらのレジスタはPRCRレジスタのPRC2ビットを“1”(書き込み許可) にした次の命令で書き換えてください。また、PRC2ビットを“1”にする命令とP9_iSレジスタを書き換える命令の間に割り込みやDMA転送が入らないようにしてください。

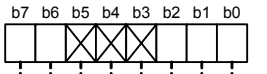
注2. 個々の端子については下表を参照してください。

ポート	PSEL2~PSEL0設定値							
	000b	001b	010b	011b	100b	101b	110b	111b
P9_0	P9_0	— (注3)	— (注3)	CLK3出力	— (注3)	— (注3)	— (注3)	— (注3)
P9_1	P9_1	— (注3)	— (注3)	SCL3出力	STXD3	— (注3)	— (注3)	— (注3)
P9_2	P9_2	— (注3)	— (注3)	TXD3 SDA3出力	— (注3)	OUTC2_0 ISTXD2 IEOUT	— (注3)	— (注3)
P9_3	P9_3	— (注3)	— (注3)	$\overline{\text{RTS3}}$	— (注3)	— (注3)	— (注3)	— (注3)
P9_4	P9_4	— (注3)	— (注3)	$\overline{\text{RTS4}}$	— (注3)	— (注3)	— (注3)	— (注3)
P9_5	P9_5	— (注3)	— (注3)	CLK4出力	— (注3)	— (注3)	— (注3)	— (注3)
P9_6	P9_6	— (注3)	— (注3)	TXD4 SDA4出力	— (注3)	— (注3)	CAN1OUT	— (注3)
P9_7	P9_7	— (注3)	— (注3)	SCL4出力	STXD4	— (注3)	— (注3)	— (注3)

注3. 設定しないでください。

図 26.12　P9_0S~P9_7S レジスタ (144 ピン版)

ポートP9_i 機能選択レジスタ (i=3~7) (注1)



シンボル	アドレス	リセット後の値
P9_3S~P9_5S	400E7h、400E9h、400EBh番地	00XX X000b
P9_6S	400EDh番地	00XX X000b
P9_7S	400EFh番地	X0XX X000b

ビットシンボル	ビット名	機　能	RW
PSEL0	ポートP9_i 出力機能選択ビット (注2)	b2 b1 b0 0 0 0 : 入出力ポート P9_i 0 0 1 : 設定しないでください 0 1 0 : 設定しないでください 0 1 1 : UART4出力 1 0 0 : UART4特殊機能出力 1 0 1 : 設定しないでください 1 1 0 : CAN1出力 1 1 1 : 設定しないでください	RW
PSEL1			RW
PSEL2			RW
— (b5-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
— (b6) (i=3) NOD (i=4~7)	予約ビット	“0”にしてください	RW
	Nチャネルオープン ドレイン出力選択ビット	0: プッシュプル出力 1: Nチャネルオープンドレイン出力	
— (b7) (i=7) ASEL (i=3~6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
	ポートP9_i (i=3~6) アナログ機能選択ビット	0: アナログ端子以外に使用する 1: アナログ端子として使用する	RW

注1. これらのレジスタはPRCRレジスタのPRC2ビットを“1” (書き込み許可) にした次の命令で書き換えてください。また、PRC2ビットを“1”にする命令とP9_iSレジスタを書き換える命令の間に割り込みやDMA転送が入らないようにしてください。
注2. 個々の端子については下表を参照してください。

ポート	PSEL2~PSEL0設定値							
	000b	001b	010b	011b	100b	101b	110b	111b
P9_3	P9_3	— (注3)	— (注3)	— (注3)	— (注3)	— (注3)	— (注3)	— (注3)
P9_4	P9_4	— (注3)	— (注3)	$\overline{\text{RTS4}}$	— (注3)	— (注3)	— (注3)	— (注3)
P9_5	P9_5	— (注3)	— (注3)	CLK4出力	— (注3)	— (注3)	— (注3)	— (注3)
P9_6	P9_6	— (注3)	— (注3)	TXD4 SDA4出力	— (注3)	— (注3)	CAN1OUT	— (注3)
P9_7	P9_7	— (注3)	— (注3)	SCL4出力	STXD4	— (注3)	— (注3)	— (注3)

注3. 設定しないでください。

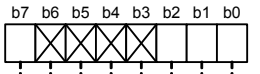
図 26.13　P9_3S~P9_7S レジスタ (100 ピン版)

ポートP9_i (i=0~7)はシリアルインタフェース(UART3, UART4)、インテリジェントI/Oグループ2 (IIO2)、CANモジュールと端子を共用しています。このうち、ポートP9_i (i=3~6)は、A/Dコンバータ入出力(ANEX0, ANEX1)、D/Aコンバータ出力とも端子を共用しています。

A/Dコンバータ、D/Aコンバータ以外の出力端子として使用する場合は、PD9_iを“1” (ポートP9_iを出力)に設定し、図 26.12に従って機能を選択してください。また、A/Dコンバータ、D/Aコンバータ以外の入力端子として使用する場合は、PD9_iを“0” (ポートP9_iを入力)に設定してください。A/Dコンバータ、D/Aコンバータとして使用する場合は、P9_iSレジスタに“80h”を設定し、入出力方向にかかわらずPD9_iを“0” (ポートP9_iを入力)に設定してください。

NODビットを“1”にすると、該当する端子はNチャネルオープンドレイン出力となります。

ポートP10_i 機能選択レジスタ (i=0~7)



シンボル	アドレス	リセット後の値
P10_0S~P10_2S	400F0h、400F2h、400F4h番地	0XXX X000b
P10_3S~P10_5S	400F6h、400F8h、400FAh番地	0XXX X000b
P10_6S, P10_7S	400FCh、400FEh番地	0XXX X000b

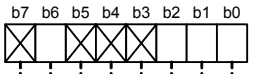
ビットシンボル	ビット名	機　能	RW
PSEL0	ポートP10_i 出力機能選択ビット	b2 b1 b0 0 0 0 : 入出力ポート P10_i 0 0 1 : 設定しないでください 0 1 0 : 設定しないでください 0 1 1 : 設定しないでください 1 0 0 : 設定しないでください 1 0 1 : 設定しないでください 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	RW
PSEL1			RW
PSEL2			RW
— (b6-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
ASEL	ポートP10_i アナログ機能選択ビット	0: AN_i 以外に使用する 1: AN_i として使用する	RW

図 26.14　P10_0S~P10_7S レジスタ

ポートP10_i (i=0~7)はA/Dコンバータ入力AN_i、キー入力割り込みと端子を共用しています。

プログラマブル入出力ポートとして使用する場合、P10_iSレジスタには“00h”を設定してください。A/Dコンバータ以外の入力端子として使用する場合は、PD10_iを“0”(ポートP10_iを入力)に設定してください。A/Dコンバータ入力として使用する場合は、P10_iSレジスタに“80h”を設定し、PD10_iを“0”(ポートP10_iを入力)に設定してください。

ポートP11_i 機能選択レジスタ (i=0~4)



シンボル	アドレス	リセット後の値
P11_0S~P11_2S	400F1h、400F3h、400F5h番地	X0XX X000b
P11_3S	400F7h番地	X0XX X000b
P11_4S	400F9h番地	XXXX X000b

ビットシンボル	ビット名	機　能	RW
PSEL0	ポートP11_i 出力機能選択ビット (注1)	b2 b1 b0 0 0 0 : 入出力ポート P11_i 0 0 1 : 設定しないでください 0 1 0 : 設定しないでください 0 1 1 : UART8出力 1 0 0 : 設定しないでください 1 0 1 : 設定しないでください 1 1 0 : IIO1_i 出力 1 1 1 : 設定しないでください	RW
PSEL1			RW
PSEL2			RW
— (b5-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
NOD (i=0~3)	Nチャネルオープン ドレイン出力選択ビット	0: プッシュプル出力 1: Nチャネルオープンドレイン出力	RW
— (b6) (i=4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. 個々の端子については下表を参照してください。

ポート	PSEL2~PSEL0設定値							
	000b	001b	010b	011b	100b	101b	110b	111b
P11_0	P11_0	— (注2)	— (注2)	TXD8	— (注2)	— (注2)	IIO1_0出力	— (注2)
P11_1	P11_1	— (注2)	— (注2)	CLK8出力	— (注2)	— (注2)	IIO1_1出力	— (注2)
P11_2	P11_2	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	IIO1_2出力	— (注2)
P11_3	P11_3	— (注2)	— (注2)	$\overline{\text{RTS8}}$	— (注2)	— (注2)	IIO1_3出力	— (注2)
P11_4	P11_4	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)

注2. 設定しないでください。

図 26.15　P11_0S~P11_4S レジスタ

ポートP11_i (i=0~4)はシリアルインタフェース(UART8)、インテリジェントI/Oグループ1 (IIO1)と端子を共用しています。

出力端子として使用する場合は、PD11_iを“1”(ポートP11_iを出力)に設定し、図 26.15に従って機能を選択してください。また、入力端子として使用する場合は、PD11_iを“0”(ポートP11_iを入力)に設定してください。

NODビットを“1”にすると、該当する端子はNチャネルオープンドレイン出力となります。

ポートP12_i 機能選択レジスタ (i=0~7)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
P12_0S~P12_2S	40100h、40102h、40104h番地	X0XX X000b
P12_3S	40106h番地	X0XX X000b
P12_4S~P12_6S	40108h、4010Ah、4010Ch番地	XXXX X000b
P12_7S	4010Eh番地	XXXX X000b

ビットシンボル	ビット名	機　能	RW
PSEL0	ポートP12_i 出力機能選択ビット (注1)	b2 b1 b0 0 0 0 : 入出力ポート P12_i 0 0 1 : 設定しないでください 0 1 0 : 設定しないでください 0 1 1 : UART6出力 1 0 0 : UART6特殊機能 1 0 1 : 設定しないでください 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	RW
PSEL1			RW
PSEL2			RW
— (b5-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
NOD (i=0~3)	Nチャネルオープン ドレイン出力選択ビット	0: プッシュプル出力 1: Nチャネルオープンドレイン出力	RW
— (b6) (i=4~7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. 個々の端子については下表を参照してください。

ポート	PSEL2~PSEL0設定値							
	000b	001b	010b	011b	100b	101b	110b	111b
P12_0	P12_0	— (注2)	— (注2)	TXD6 SDA6出力	— (注2)	— (注2)	— (注2)	— (注2)
P12_1	P12_1	— (注2)	— (注2)	CLK6出力	— (注2)	— (注2)	— (注2)	— (注2)
P12_2	P12_2	— (注2)	— (注2)	SCL6出力	STXD6	— (注2)	— (注2)	— (注2)
P12_3	P12_3	— (注2)	— (注2)	$\overline{\text{RTS6}}$	— (注2)	— (注2)	— (注2)	— (注2)
P12_4	P12_4	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)
P12_5	P12_5	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)
P12_6	P12_6	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)
P12_7	P12_7	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)	— (注2)

注2. 設定しないでください。

図 26.16　P12_0S~P12_7S レジスタ

ポートP12_i (i=0~7)はシリアルインタフェース(UART6)と端子を共用しています。

出力端子として使用する場合は、PD12_iを“1”(ポートP12_iを出力)に設定し、図 26.16に従って機能を選択してください。また、入力端子として使用する場合は、PD12_iを“0”(ポートP12_iを入力)に設定してください。

NODビットを“1”にすると、該当する端子はNチャネルオープンドレイン出力となります。

ポートP13_i 機能選択レジスタ (i=0~7)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
P13_0S~P13_2S	40101h、40103h、40105h番地	XXXX X000b
P13_3S~P13_5S	40107h、40109h、4010Bh番地	XXXX X000b
P13_6S, P13_7S	4010Dh、4010Fh番地	XXXX X000b

ビットシンボル	ビット名	機　能	RW
PSEL0	ポートP13_i 出力機能選択ビット (注1)	b2 b1 b0 0 0 0 : 入出力ポート P13_i 0 0 1 : 設定しないでください 0 1 0 : 設定しないでください 0 1 1 : 設定しないでください 1 0 0 : 設定しないでください 1 0 1 : IIO2出力 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	RW
PSEL1			RW
PSEL2			RW
— (b7-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. 個々の端子については下表を参照してください。

ポート	PSEL2~PSEL0設定値							
	000b	001b	010b	011b	100b	101b	110b	111b
P13_0	P13_0	— (注2)	— (注2)	— (注2)	— (注2)	OUTC2_4	— (注2)	— (注2)
P13_1	P13_1	— (注2)	— (注2)	— (注2)	— (注2)	OUTC2_5	— (注2)	— (注2)
P13_2	P13_2	— (注2)	— (注2)	— (注2)	— (注2)	OUTC2_6	— (注2)	— (注2)
P13_3	P13_3	— (注2)	— (注2)	— (注2)	— (注2)	OUTC2_3	— (注2)	— (注2)
P13_4	P13_4	— (注2)	— (注2)	— (注2)	— (注2)	OUTC2_0 ISTXD2 IEOUT	— (注2)	— (注2)
P13_5	P13_5	— (注2)	— (注2)	— (注2)	— (注2)	OUTC2_2	— (注2)	— (注2)
P13_6	P13_6	— (注2)	— (注2)	— (注2)	— (注2)	OUTC2_1 ISCLK2出力	— (注2)	— (注2)
P13_7	P13_7	— (注2)	— (注2)	— (注2)	— (注2)	OUTC2_7	— (注2)	— (注2)

注2. 設定しないでください。

図 26.17　P13_0S~P13_7S レジスタ

ポートP13_i (i=0~7)はインテリジェントI/Oグループ2 (IIO2)と端子を共用しています。

出力端子として使用する場合は、PD13_iを“1” (ポートP13_iを出力)に設定し、図 26.17に従って機能を選択してください。また、入力端子として使用する場合は、PD13_iを“0” (ポートP13_iを入力)に設定してください。

ポートP14_i 機能選択レジスタ (i=3~6)

b7 b6 b5 b4 b3 b2 b1 b0

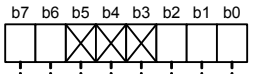
シンボル	アドレス	リセット後の値
P14_3S~P14_5S	40116h、40118h、4011Ah番地	XXXX X000b
P14_6S	4011Ch番地	XXXX X000b

ビットシンボル	ビット名	機　能	RW
PSEL0	ポートP14_i 出力機能選択ビット	b2 b1 b0 0 0 0 : 入出力ポート P14_i 0 0 1 : 設定しないでください 0 1 0 : 設定しないでください 0 1 1 : 設定しないでください 1 0 0 : 設定しないでください 1 0 1 : 設定しないでください 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	RW
PSEL1			RW
PSEL2			RW
— (b7-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

図 26.18　P14_3S~P14_6S レジスタ

ポート P14_i (i=3~6) は外部割り込み入力と端子を共用しています。P14_iS レジスタには“00h” (入出力ポート) を設定してください。

ポートP15_i 機能選択レジスタ (i=0~7)



シンボル	アドレス	リセット後の値
P15_0S~P15_2S	40111h、40113h、40115h番地	00XX X000b
P15_3S~P15_5S	40117h、40119h、4011Bh番地	00XX X000b
P15_6S, P15_7S	4011Dh、4011Fh番地	00XX X000b

ビットシンボル	ビット名	機　能	RW
PSEL0	ポートP15_i 出力機能選択ビット (注1)	b2 b1 b0 0 0 0 : 入出力ポート P15_i 0 0 1 : 設定しないでください 0 1 0 : 設定しないでください 0 1 1 : UART6、UART7出力 1 0 0 : UART6特殊機能 1 0 1 : IIO0_i 出力 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	RW
PSEL1			RW
PSEL2			RW
— (b5-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
NOD	Nチャネルオープンドレイン出力選択ビット	0: プッシュプル出力 1: Nチャネルオープンドレイン出力	RW
ASEL	ポートP15_i アナログ機能選択ビット	0: AN15_i 以外に使用する 1: AN15_i として使用する	RW

注1. 個々の端子については下表を参照してください。

ポート	PSEL2~PSEL0設定値							
	000b	001b	010b	011b	100b	101b	110b	111b
P15_0	P15_0	— (注2)	— (注2)	TXD7	— (注2)	IIO0_0出力	— (注2)	— (注2)
P15_1	P15_1	— (注2)	— (注2)	CLK7出力	— (注2)	IIO0_1出力	— (注2)	— (注2)
P15_2	P15_2	— (注2)	— (注2)	— (注2)	— (注2)	IIO0_2出力	— (注2)	— (注2)
P15_3	P15_3	— (注2)	— (注2)	$\overline{\text{RTS7}}$	— (注2)	IIO0_3出力	— (注2)	— (注2)
P15_4	P15_4	— (注2)	— (注2)	TXD6 SDA6出力	— (注2)	IIO0_4出力	— (注2)	— (注2)
P15_5	P15_5	— (注2)	— (注2)	SCL6出力	STXD6	IIO0_5出力	— (注2)	— (注2)
P15_6	P15_6	— (注2)	— (注2)	CLK6出力	— (注2)	IIO0_6出力	— (注2)	— (注2)
P15_7	P15_7	— (注2)	— (注2)	$\overline{\text{RTS6}}$	— (注2)	IIO0_7出力	— (注2)	— (注2)

注2. 設定しないでください。

図 26.19　P15_0S~P15_7S レジスタ

ポート P15_i (i=0~7) はシリアルインタフェース (UART6, UART7)、インテリジェント I/O グループ 0 (IIO0)、A/D コンバータ入力 AN15_i と端子を共用しています。

出力端子として使用する場合は、PD15_i を“1” (ポート P15_i を出力) に設定し、図 26.19 に従って機能を選択してください。また、A/D コンバータ以外の入力端子として使用する場合は、PD15_i を“0” (ポート P15_i を入力) に設定してください。A/D コンバータ入力として使用する場合は、P15_iS レジスタに“80h”を設定し、PD15_i を“0” (ポート P15_i を入力) に設定してください。

NOD ビットを“1”にすると、該当する端子は N チャネルオープンドレイン出力となります。

26.3 入力機能選択レジスタ

周辺機能の入力が複数の端子に配置されている場合、どの端子の入力を周辺機能に接続するかを決定するレジスタです。

図 26.20~図 26.23に入力機能選択レジスタを示します。

入力機能選択レジスタ0

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
IFS0	40098h番地	X000 0000b

ビットシンボル	ビット名	機　能	RW
IFS00	タイマA入力端子切り替えビット (注1)	タイマA入力を 0: ポートP3に割り当てる 1: ポートP7、P8に割り当てる	RW
IFS01	タイマB入力端子切り替えビット (注2)	タイマB入力を 0: ポートP6に割り当てる 1: ポートP9に割り当てる	RW
IFS02	UART6入力端子切り替えビット (注3)	UART6入力を b3 b2 0 0 : ポートP4に割り当てる 0 1 : 設定しないでください 1 0 : ポートP15に割り当てる 1 1 : ポートP12に割り当てる	RW
IFS03			RW
IFS04	UART8入力端子切り替えビット (注4)	UART8入力を 0: ポートP7に割り当てる 1: ポートP11に割り当てる	RW
IFS05	UART7入力端子切り替えビット (注5)	UART7入力を 0: ポートP5に割り当てる 1: ポートP15に割り当てる	RW
IFS06	UART3入力端子切り替えビット (注6)	UART3入力を 0: ポートP4に割り当てる 1: ポートP9に割り当てる	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. タイマAの端子ごとの設定は下表を参照してください。

IFS00	TA0OUT入力	TA1OUT入力	TA1IN	TA2OUT入力	TA2IN	TA3OUT入力	TA4OUT入力	TA4IN
0	P3_0	P3_2	P3_3	P3_4	P3_5	P3_1	P3_6	P3_7
1	P7_0	P7_2	P7_3	P7_4	P7_5	P7_6	P8_0	P8_1

注2. タイマBの端子ごとの設定は下表を参照してください。100ピン版では“0”にしてください。

IFS01	TB0IN	TB1IN	TB2IN
0	P6_0	P6_1	P6_2
1	P9_0	P9_1	P9_2

注3. UART6の端子ごとの設定は下表を参照してください。100ピン版では“00b”にしてください。

IFS03	IFS02	SDA6入力/SRXD6	RXD6/SCL6入力	CLK6入力	$\overline{\text{CTS6}}/\overline{\text{SS6}}$
0	0	P4_7	P4_6	P4_5	P4_4
1	0	P15_4	P15_5	P15_6	P15_7
1	1	P12_0	P12_2	P12_1	P12_3

注4. UART8の端子ごとの設定は下表を参照してください。100ピン版では“0”にしてください。

IFS04	CLK8入力	RXD8	$\overline{\text{CTS8}}$
0	P7_4	P7_5	P7_6
1	P11_1	P11_2	P11_3

注5. UART7の端子ごとの設定は下表を参照してください。100ピン版では“0”にしてください。

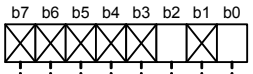
IFS05	CLK7入力	RXD7	$\overline{\text{CTS7}}$
0	P5_5	P5_6	P5_7
1	P15_1	P15_2	P15_3

注6. UART3の端子ごとの設定は下表を参照してください。100ピン版では“0”にしてください。

IFS06	SDA3入力/SRXD3	RXD3/SCL3入力	CLK3入力	$\overline{\text{CTS3}}/\overline{\text{SS3}}$
0	P4_3	P4_2	P4_1	P4_0
1	P9_2	P9_1	P9_0	P9_3

図 26.20　IFS0 レジスタ

入力機能選択レジスタ1

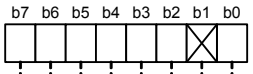


シンボル	アドレス	リセット後の値
IFS1	40099h番地	XXXX X0X0b

ビットシンボル	ビット名	機　能	RW
IFS10	CAN0入力端子切り替えビット	CAN0IN、$\overline{\text{CAN0WU}}$入力を 0: ポートP7_7に割り当てる 1: ポートP8_3に割り当てる	RW
— (b1)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
IFS12	CAN1入力端子切り替えビット	CAN1IN、$\overline{\text{CAN1WU}}$入力を 0: ポートP9_5に割り当てる 1: ポートP8_3に割り当てる	RW
— (b7-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

図 26.21　IFS1レジスタ

入力機能選択レジスタ2



シンボル	アドレス	リセット後の値
IFS2	4009Ah番地	0000 00X0b

ビットシンボル	ビット名	機　能	RW
IFS20	インテリジェントI/O グループ0入力端子 切り替えビット (注1)	IIO0入力を 0: ポートP1に割り当てる 1: ポートP15に割り当てる	RW
— (b1)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
IFS22	インテリジェントI/O グループ0二相パルス入力 端子切り替えビット (注2)	グループ0二相パルス入力を b3 b2 0 0 : ポートP8と$\overline{INT1}$に割り当てる 0 1 : ポートP7と$\overline{INT0}$に割り当てる 1 0 : ポートP3と$\overline{INT1}$に割り当てる 1 1 : ポートP3と$\overline{INT0}$に割り当てる	RW
IFS23			RW
IFS24	インテリジェントI/O グループ1入力端子 切り替えビット (注3)	IIO1入力を b5 b4 0 0 : ポートP7、P8に割り当てる 0 1 : ポートP11に割り当てる 1 0 : ポートP1に割り当てる 1 1 : 設定しないでください	RW
IFS25			RW
IFS26	インテリジェントI/O グループ1二相パルス入力 端子切り替えビット (注4)	グループ1二相パルス入力を b7 b6 0 0 : ポートP8と$\overline{INT1}$に割り当てる 0 1 : ポートP7と$\overline{INT0}$に割り当てる 1 0 : ポートP3と$\overline{INT1}$に割り当てる 1 1 : ポートP3と$\overline{INT0}$に割り当てる	RW
IFS27			RW

注1. インテリジェントI/Oグループ0の端子ごとの設定は下表を参照してください。100ピン版では“0”にしてください。

IFS20	IIO0_0入力	IIO0_1入力	IIO0_2入力	IIO0_3入力	IIO0_4入力	IIO0_5入力	IIO0_6入力	IIO0_7入力
0	P1_0	P1_1	P1_2	P1_3	P1_4	P1_5	P1_6	P1_7
1	P15_0	P15_1	P15_2	P15_3	P15_4	P15_5	P15_6	P15_7

注2. インテリジェントI/Oグループ0二相パルス入力の端子ごとの設定は下表を参照してください。

IFS23	IFS22	UD0A	UD0B	UD0Z
0	0	P8_0	P8_1	P8_3 ($\overline{INT1}$)
0	1	P7_6	P7_7	P8_2 ($\overline{INT0}$)
1	0	P3_0	P3_1	P8_3 ($\overline{INT1}$)
1	1	P3_0	P3_1	P8_2 ($\overline{INT0}$)

注3. インテリジェントI/Oグループ1の端子ごとの設定は下表を参照してください。100ピン版では“01b”を選択しないでください。

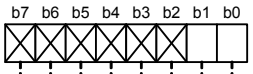
IFS25	IFS24	IIO1_0入力	IIO1_1入力	IIO1_2入力	IIO1_3入力	IIO1_4入力	IIO1_5入力	IIO1_6入力	IIO1_7入力
0	0	P7_3	P7_4	P7_5	P7_6	P7_7	P8_1	P7_0	P7_1
0	1	P11_0	P11_1	P11_2	P11_3	—	—	—	—
1	0	P1_0	P1_1	P1_2	P1_3	P1_4	P1_5	P1_6	P1_7

注4. インテリジェントI/Oグループ1二相パルス入力の端子ごとの設定は下表を参照してください。

IFS27	IFS26	UD1A	UD1B	UD1Z
0	0	P8_0	P8_1	P8_3 ($\overline{INT1}$)
0	1	P7_6	P7_7	P8_2 ($\overline{INT0}$)
1	0	P3_0	P3_1	P8_3 ($\overline{INT1}$)
1	1	P3_0	P3_1	P8_2 ($\overline{INT0}$)

図 26.22　IFS2レジスタ

入力機能選択レジスタ3



シンボル	アドレス	リセット後の値
IFS3	4009Bh番地	XXXX XX00b

ビットシンボル	ビット名	機　能	RW
IFS30	インテリジェントI/Oグループ2入力端子切り替えビット (注1)	IIO2入力を b1 b0 0 0 : ポートP6、P7に割り当てる 0 1 : ポートP6、P9に割り当てる 1 0 : ポートP13に割り当てる 1 1 : ポートP6、P4に割り当てる	RW
IFS31			RW
— (b7-b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. インテリジェントI/Oグループ2の端子ごとの設定は下表を参照してください。100ピン版では“00b”または“11b”を設定してください。

IFS31	IFS30	ISCLK2入力	ISRXD2/IEIN
0	0	P6_4	P7_1
0	1	P6_4	P9_1
1	0	P13_6	P13_5
1	1	P6_4	P4_2

図 26.23　IFS3レジスタ

26.4 プルアップ制御レジスタ0~4 (PUR0~PUR4レジスタ)

図 26.24~図 26.28にPUR0~PUR4レジスタを示します。

PUR0~PUR4 レジスタによって、4端子ごとにプルアップするかしないかを設定できます。これらのレジスタのビットを“1” (プルアップする)、方向レジスタを“0” (入力モード)に設定したポートはプルアップされます。

メモリ拡張モード、マイクロプロセッサモード時、バスとして動作しているP0~P5、P11~P13のプルアップ制御ビットは“0” (プルアップしない)にしてください。なお、メモリ拡張モード、マイクロプロセッサモード時、P0、P1、P11~P13を入力ポートとして使用する場合、これらのポートはプルアップできます。

プルアップ制御レジスタ0 (注1)

b7	b6	b5	b4	b3	b2	b1	b0

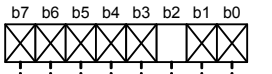
シンボル	アドレス	リセット後の値
PUR0	03F0h番地	0000 0000b

ビットシンボル	ビット名	機 能	RW
PU00	P0_0~P0_3プルアップ制御ビット	対応するポートのプルアップの設定を行う 0: プルアップしない 1: プルアップする	RW
PU01	P0_4~P0_7プルアップ制御ビット		RW
PU02	P1_0~P1_3プルアップ制御ビット		RW
PU03	P1_4~P1_7プルアップ制御ビット		RW
PU04	P2_0~P2_3プルアップ制御ビット		RW
PU05	P2_4~P2_7プルアップ制御ビット		RW
PU06	P3_0~P3_3プルアップ制御ビット		RW
PU07	P3_4~P3_7プルアップ制御ビット		RW

注1. メモリ拡張モードとマイクロプロセッサモードでは、ポートP0~P3はバス制御端子として動作しますので、PUR0レジスタ の各ビットは“0”にしてください。ただし、8ビットバスやマルチプレクスバスを選択し、P0、P1を入出力ポートとして使用する場合は、対応するポートをプルアップすることができます。

図 26.24 PUR0 レジスタ

プルアップ制御レジスタ1 (注1)



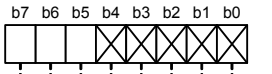
シンボル	アドレス	リセット後の値
PUR1	03F1h番地	XXXX X0XXb

ビットシンボル	ビット名	機　能	RW
— (b1-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
PU12	P5_0~P5_3プルアップ制御ビット	対応するポートのプルアップの設定を行う 0: プルアップしない 1: プルアップする	RW
— (b7-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. メモリ拡張モードとマイクロプロセッサモードでは、ポートP5はバス制御端子として動作しますので、PUR1レジスタの各ビットは“0”にしてください。

図 26.25 PUR1 レジスタ

プルアップ制御レジスタ2



シンボル	アドレス	リセット後の値
PUR2	03F2h番地	000X XXXXb

ビットシンボル	ビット名	機　能	RW
— (b4-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
PU25	P8_4~P8_7プルアップ制御ビット (注1)	対応するポートのプルアップの設定を行う 0: プルアップしない 1: プルアップする	RW
PU26	P9_0~P9_3プルアップ制御ビット (注2)		RW
PU27	P9_4~P9_7プルアップ制御ビット		RW

注1. P8_5にはプルアップ抵抗は内蔵していません。
注2. 100ピン版では、P9_0とP9_2のプルアップ抵抗は内蔵していません。

図 26.26 PUR2 レジスタ

プルアップ制御レジスタ3

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
PUR3	03F3h番地	0000 0000b

ビットシンボル	ビット名	機　能	RW
PU30	P10_0~P10_3プルアップ制御ビット	対応するポートのプルアップの設定を行う 0: プルアップしない 1: プルアップする	RW
PU31	P10_4~P10_7プルアップ制御ビット		RW
PU32	P11_0~P11_3プルアップ制御ビット　(注1、2)		RW
PU33	P11_4プルアップ制御ビット　(注1、2)		RW
PU34	P12_0~P12_3プルアップ制御ビット　(注1、2)		RW
PU35	P12_4~P12_7プルアップ制御ビット　(注1、2)		RW
PU36	P13_0~P13_3プルアップ制御ビット　(注1、2)		RW
PU37	P13_4~P13_7プルアップ制御ビット　(注1、2)		RW

注1. 100ピン版にP11~P13はありません。PU32~PU37は“0”にしてください。
注2. メモリ拡張モードとマイクロプロセッサモードでは、ポートP11~P13はバス制御端子として動作しますので、PU32~PU37ビットは“0”にしてください。ただし、8/16ビットバスやマルチプレクスバスを選択し、P11~P13を入出力ポートとして使用する場合は、対応するポートをプルアップすることができます。

図 26.27　PUR3 レジスタ

プルアップ制御レジスタ4 (注1)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
PUR4	03F4h番地	XXXX 0000b

ビットシンボル	ビット名	機　能	RW
PU40	P14_1, P14_3プルアップ制御ビット	対応するポートのプルアップの設定を行う 0: プルアップしない 1: プルアップする	RW
PU41	P14_4~P14_6プルアップ制御ビット		RW
PU42	P15_0~P15_3プルアップ制御ビット		RW
PU43	P15_4~P15_7プルアップ制御ビット		RW
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. 100ピン版では“00h”にしてください。

図 26.28　PUR4 レジスタ

26.5　ポート制御レジスタ (PCR レジスタ)

図 26.29にPCR レジスタを示します。

ポートP1 の出力形式をプッシュプル出力とするか擬似Nチャネルオープンドレイン出力とするかを選択するレジスタです。PCR0 ビットを“1”にした場合、出力バッファのPチャネルトランジスタを常時OFFにします。ただし、寄生ダイオードは残ったままになりますので、ポートP1 は完全なオープンドレインにはならず、入力電圧の絶対最大定格は“-0.3 V ~ VCC + 0.3 V”となります(図 26.30参照)。

なお、メモリ拡張モード、マイクロプロセッサモード時、ポートP1 をデータバスに使用する場合は、PCR0 ビットを“0”にしてください。ただし、メモリ拡張モード、マイクロプロセッサモード時でもポートP1 をプログラマブル入出力ポートや周辺機能入出力として使用する場合は、PCR0 ビットで出力形式を選択できます。

ポート制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル: PCR　　アドレス: 03FFh番地　　リセット後の値: 0XXX XXX0b

ビットシンボル	ビット名	機　能	RW
PCR0	ポートP1出力形式制御ビット (注1)	0: プッシュプル出力 1: 擬似Nチャネルオープンドレイン出力 (注2)	RW
— (b6-b1)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
PCE	ポートP9_0、P9_2、P11 ~ P15有効化ビット (注3)	0: ポートP9_0、P9_2、P11~P15無効 1: ポートP9_0、P9_2、P11~P15有効	RW

注1. メモリ拡張モードとマイクロプロセッサモードでは、ポートP1はデータバスとして動作しますので、このビットを“0”にしてください。ただし入出力ポートや周辺機能入出力として使用する場合は、プッシュプル出力か擬似Nチャネルオープンドレイン出力かの選択ができます。

注2. 本機能は、CMOS出力バッファのPチャネルトランジスタを常時オフするものであり、ポートP1を完全にオープンドレインにする機能ではありません。したがって、入力電圧の絶対最大定格は“-0.3 V ~ VCC + 0.3 V”となります。

注3. 100ピン版では“1”にしないでください。

図 26.29　PCR レジスタ

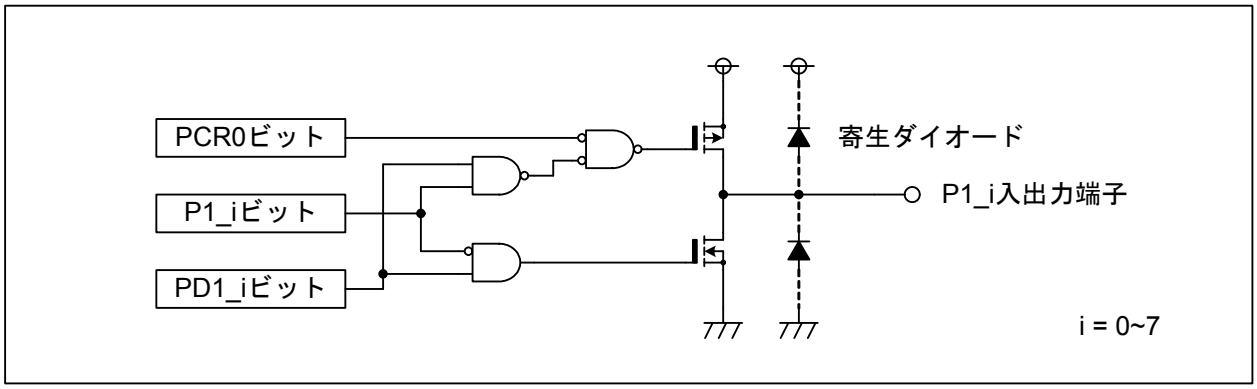


図 26.30　ポートP1 出力バッファの構成

26.6 未使用端子の処理

ボード上で使用しない端子の処理例を表 26.2、表 26.3、図 26.32に示します。

表 26.2 シングルチップモード時の未使用端子の処理例(注1)

端子名	処理内容
ポートP0~P15 (P8_5、P9_1 (100ピン版の場合)、P14_1 (144ピン版の場合)は除く) (注2、3、4)	入力に設定し、端子ごとに抵抗(注5)を介してVSSに接続(プルダウン)するか、または出力に設定し、端子を開放
P9_1 (100ピン版の場合)	抵抗(注5)を介してVSSに接続(プルダウン)
P14_1 (144ピン版の場合)	抵抗(注5)を介してVSSに接続(プルダウン)
XOUT (注6)	開放
$\overline{\text{NMI}}$ (P8_5)	抵抗(注5)を介してVCCに接続(プルアップ)
AVCC	VCCに接続
AVSS, VREF	VSSに接続
NSD	1k ~ 4.7kΩの抵抗を介して、VCCに接続(プルアップ)

注1. 未使用端子は、マイクロコンピュータの端子からできるだけ短い配線(2 cm以内)で処理してください。

注2. 出力に設定し開放する場合、リセット解除からポートを出力にするまでの間、ポートは入力になっています。そのため、ポートが入力になっている間、端子の電圧レベルが不定となり、電源電流が増加する場合があります。また、ノイズやノイズによって引き起こされる暴走などにより方向レジスタの内容が変化する場合を考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定することでプログラムの信頼性が高くなります。

注3. ポートP9_0、P9_2、P11~P15は144ピン版にのみ存在します。

注4. 100ピン版では、03D7h、03DAh、03DBh、03DEh、03DFh番地に“FFh”を設定してください。

注5. 抵抗値はシステムにあわせて最適な値を選択してください。推奨値は10k ~ 100kΩです。

注6. XIN端子に外部クロックを入力しているとき。

表 26.3　メモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例(注1)

端子名	処理内容
ポートP1、P6~P15 (P8_5、P9_1 (100ピン版の場合)、P14_1 (144ピン版の場合)は除く) (注2、3、4)	入力に設定し、端子ごとに抵抗(注5)を介してVSSに接続(プルダウン)するか、または出力に設定し、端子を開放
P9_1 (100ピン版の場合)	抵抗(注5)を介してVSSに接続(プルダウン)
P14_1 (144ピン版の場合)	抵抗(注5)を介してVSSに接続(プルダウン)
$\overline{BC0}$~$\overline{BC3}$, $\overline{WR0}$~$\overline{WR3}$, ALE, $\overline{HLDA}$, XOUT (注6), BCLK	開放
$\overline{HOLD}$, $\overline{RDY}$	抵抗(注5)を介してVCCに接続(プルアップ)
$\overline{NMI}$ (P8_5)	抵抗(注5)を介してVCCに接続(プルアップ)
AVCC	VCCに接続
AVSS, VREF	VSSに接続
NSD	1k ~ 4.7kΩの抵抗を介して、VCCに接続(プルアップ)

注1.　未使用端子は、マイクロコンピュータの端子からできるだけ短い配線(2 cm以内)で処理してください。

注2.　出力に設定し開放する場合、リセット解除からポートを出力にするまでの間、ポートは入力になっています。そのため、ポートが入力になっている間、端子の電圧レベルが不定となり、電源電流が増加する場合があります。また、ノイズやノイズによって引き起こされる暴走などにより方向レジスタの内容が変化する場合を考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定することでプログラムの信頼性が高くなります。

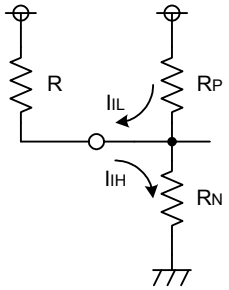
注3.　ポートP9_0、P9_2、P11~P15は144ピン版にのみ存在します。

注4.　100ピン版では、03D7h、03DAh、03DBh、03DEh、03DFh番地に“FFh”を設定してください。

注5.　抵抗値はシステムにあわせて最適な値を選択してください。推奨値は10k ~ 100kΩです。

注6.　XIN端子に外部クロックを入力しているとき。

プルアップ/プルダウン抵抗の考え方



左に入力端子の等価回路を示します。
入力電流 I_{IL}、I_{IH} から等価入力抵抗 R_P、R_N を計算します。
(例) VCC = 5.0 V、$I_{IH} = I_{IL}$ = 5 μA とすると

$$R_P = R_N = \frac{5.0}{5 \times 10^{-6}} = 1\ M\Omega$$

“H”と認識される電圧 V_{IH} は 0.8VCC 以上なので、
R // R_P : R_N = 0.2 : 0.8
を満たす R が V_{IH} = 0.8VCC となる抵抗値です。
この式を計算すると、

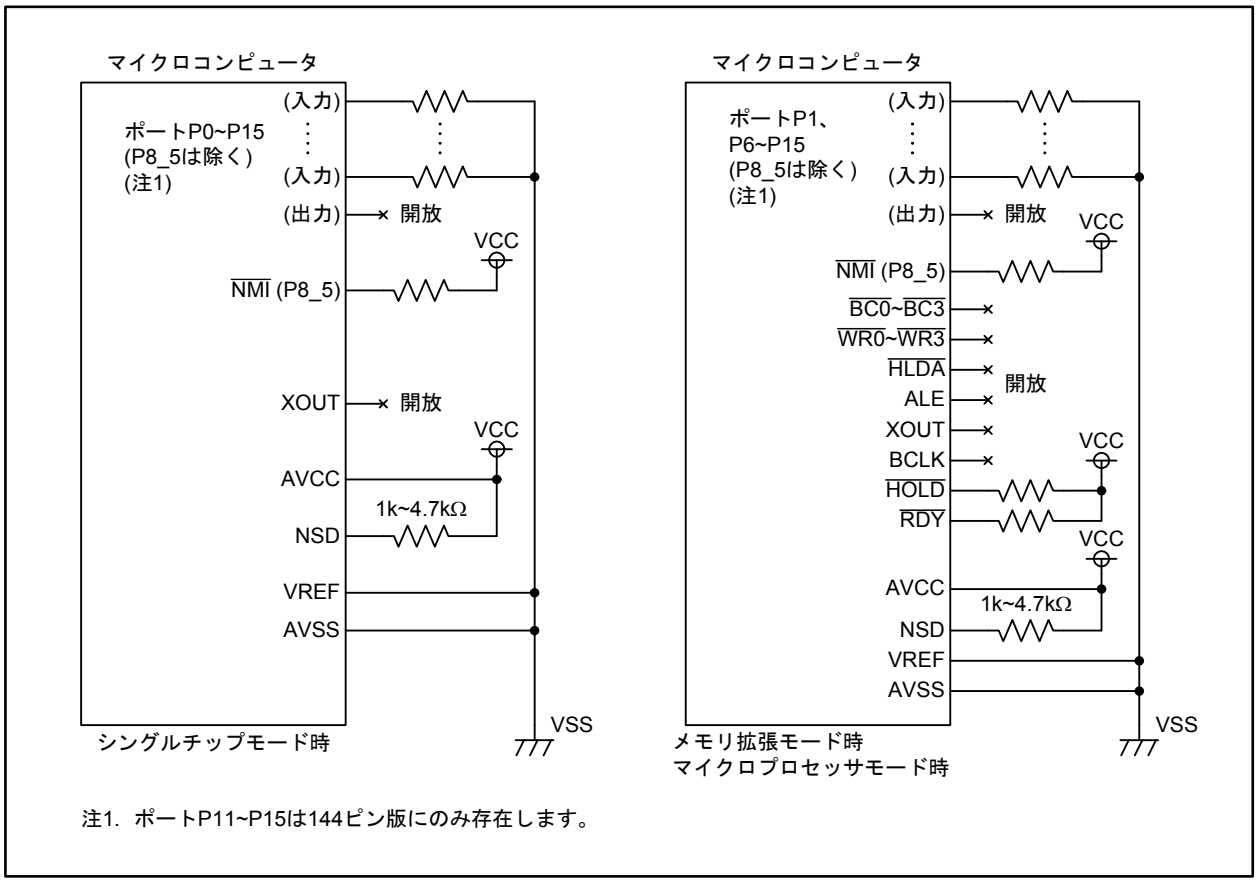
$$R = \frac{2R_PR_N}{8R_P - 2R_N}$$

となり、プルアップ抵抗 R の最大値が求まります。
(例) VCC = 5.0 V、$I_{IH} = I_{IL}$ = 5 μA とすると

$$R = \frac{2 \times 10^6 \times 10^6}{8 \times 10^6 - 2 \times 10^6} = 333333$$

から約 330 kΩ と計算できます。
ここで計算した抵抗値にマージンを考慮して、実際の抵抗値を決定します。

図 26.31　プルアップ/プルダウン抵抗の考え方



注1. ポートP11~P15は144ピン版にのみ存在します。

図 26.32 未使用端子の処理例

27. フラッシュメモリ

27.1 概要

フラッシュメモリは、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードで書き換えることができます。

表 27.1にフラッシュメモリの仕様を、表 27.2に各書き換えモードの概要を示します。

表 27.1 フラッシュメモリの仕様

項目	仕様
フラッシュメモリ書き換えモード	CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モード
ブロック分割	図 27.1を参照してください
プログラム単位	8バイト単位
イレーズ単位	ブロック単位
プログラム、イレーズ制御方式	ソフトウェアコマンドによる制御
プロテクトの種類	ロックビットプロテクト、ROMコードプロテクト、IDコードプロテクト
ソフトウェアコマンド数	9

表 27.2 フラッシュメモリ書き換えモードの概要

書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
概要	CPUがソフトウェアコマンドを実行することによりフラッシュメモリを書き換える EW0モード: 内蔵フラッシュメモリ以外の領域上のプログラムから書き換え可能 EW1モード: 書き換え対象のブロック以外の領域上のプログラムから書き換え可能	専用シリアルライタを使用してフラッシュメモリを書き換える 標準シリアル入出力モード1: クロック同期型シリアルインタフェースを使用 標準シリアル入出力モード2: クロック非同期型シリアルインタフェースを使用	専用パラレルライタを使用してフラッシュメモリを書き換える
CPU動作モード	シングルチップモード メモリ拡張モード(EW0モード)	標準シリアル入出力モード	パラレル入出力モード
ROMライタ	—	シリアルライタ	パラレルライタ
オンボード書き換え	可能	可能	不可能

図 27.1に内蔵フラッシュメモリのブロック図を示します。

内蔵フラッシュメモリにはユーザプログラムを格納するためのブロック 0~17 (プログラム領域) と、ユーザプログラムが動作した結果得られたデータを格納するためのブロック A、B (データ領域/データフラッシュ)があります。

それぞれのブロックは独立しており、ロックビットを設定することでブロックごとに書き換えや消去を禁止できます。

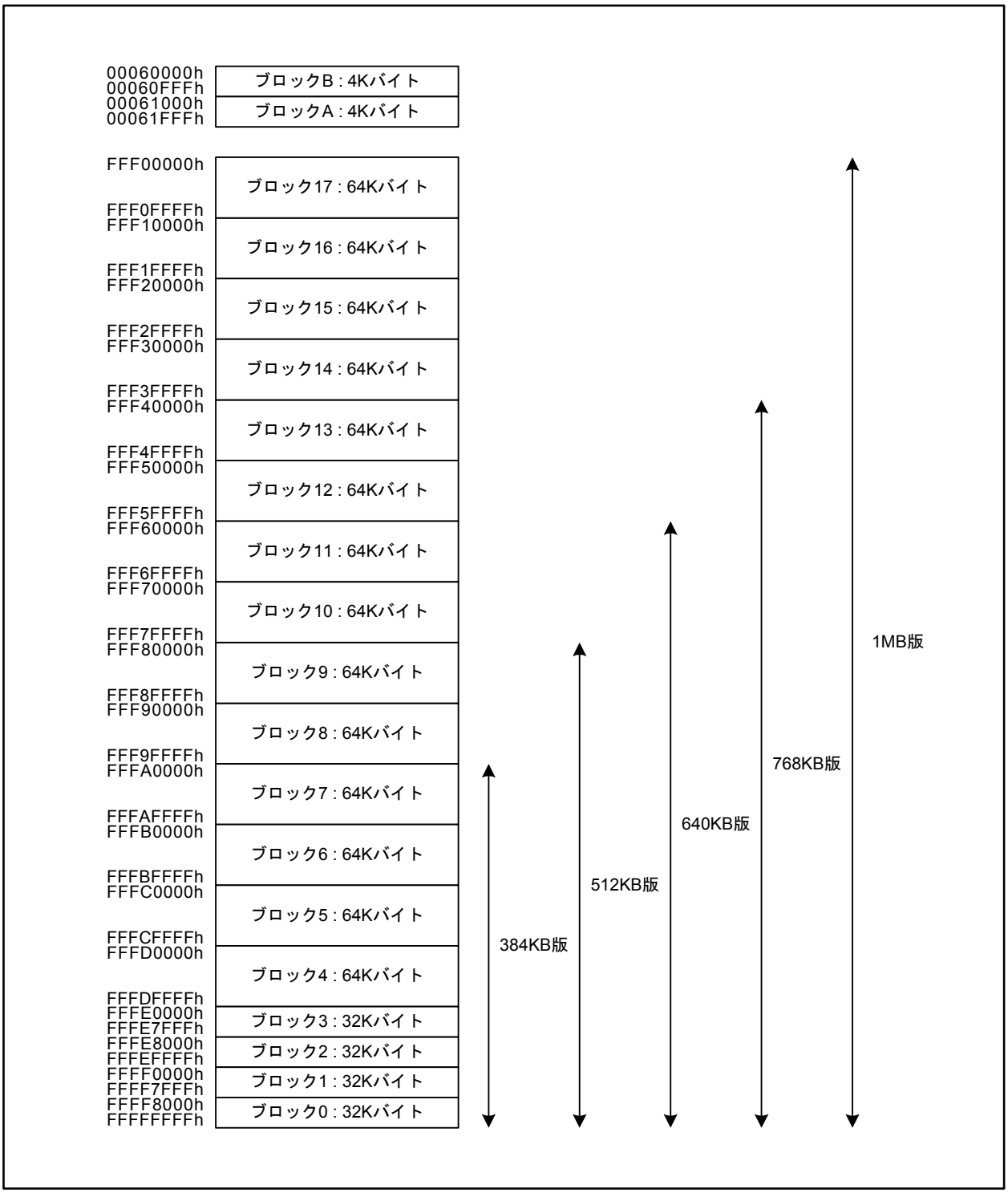


図 27.1　内蔵フラッシュメモリのブロック図

27.2 フラッシュメモリプロテクト

プロテクトの種類には、プログラムの暴走などによる意図しない書き込みや消去から保護するものと、第三者によるフラッシュメモリの読み出し、書き込みから保護するものの2種類があります。前者はロックビットによって実現され、後者はプロテクトビットによるものと、IDコードによるものとがあります。

それぞれの特長を表 27.3に示します。

表 27.3 プロテクトの種類と特長

プロテクト	ロックビットプロテクト	ROMコードプロテクト	IDコードプロテクト
保護対象	消去、書き込み	読み出し、書き込み	読み出し、消去、書き込み
対象とする書き換えモード	CPU書き換えモード 標準シリアル入出力モード パラレル入出力モード	パラレル入出力モード	標準シリアル入出力モード
保護範囲	ブロックごと	フラッシュメモリ全領域	フラッシュメモリ全領域
プロテクト方法	ロックビット書き換え	いずれかのブロックのプロテクトビット書き換え	IDコードが設定されたプログラムの書き込み
解除方法	FMRレジスタのLBDビットを“1” (ロックビット無効)にする 恒久的には上記操作の後、該当ブロックを消去する	プロテクトビットがセットされたブロックすべてを消去する	シリアルライタから正しいIDコードを入力する

27.2.1 ロックビットプロテクト

すべての書き換えモードに対して有効なプロテクトです。ロックビットプロテクトが有効な場合、ロックビットが“0” (ロック)のブロックに対して書き換え、消去はできません。

ロックビットを“0”にするには、ソフトウェアコマンドのロックビットプログラムコマンドを発行してください。また、FMR1レジスタのLBDビットを“1” (ロックビット無効)にすると、ロックビットプロテクトが無効になり、全ブロックの書き換え、消去ができるようになります。ロックビットを“0” (ロック)にしたブロックを消去すると、そのブロックのロックビットも消去されて“1” (非ロック)になります。

27.2.2 ROMコードプロテクト

パラレル入出力モードに対して有効なプロテクトです。ROMコードプロテクトが有効な場合、パラレルライタでは、いずれの領域の内容も読み書きできません。ROMコードプロテクトを解除するには、プロテクトビットを“0” (プロテクト)にしたすべてのブロックを消去してください。

フラッシュメモリの各ブロックには、プロテクトビットが2ビットずつあります。表 27.4にソフトウェアコマンドで指定するプロテクトビットのアドレスを示します。これらのプロテクトビットのうちいずれか1つでも“0” (プロテクト)にすると、全領域がプロテクトされます。

表 27.4　プロテクトビットのアドレス一覧

ブロック	プロテクトビット0	プロテクトビット1
Block B	00060100h	00060300h
Block A	00061100h	00061300h
Block 17	FFF00100h	FFF00300h
Block 16	FFF10100h	FFF10300h
Block 15	FFF20100h	FFF20300h
Block 14	FFF30100h	FFF30300h
Block 13	FFF40100h	FFF40300h
Block 12	FFF50100h	FFF50300h
Block 11	FFF60100h	FFF60300h
Block 10	FFF70100h	FFF70300h
Block 9	FFF80100h	FFF80300h
Block 8	FFF90100h	FFF90300h
Block 7	FFFA0100h	FFFA0300h
Block 6	FFFB0100h	FFFB0300h
Block 5	FFFC0100h	FFFC0300h
Block 4	FFFD0100h	FFFD0300h
Block 3	FFFE0100h	FFFE0300h
Block 2	FFFE8100h	FFFE8300h
Block 1	FFFF0100h	FFFF0300h
Block 0	FFFF8100h	FFFF8300h

27.2.3　IDコードプロテクト

標準シリアル入出力モードに対して有効なプロテクトです。シリアルライタから送られてくる7バイトのIDコードとフラッシュメモリに書かれているIDコードが一致すると、シリアルライタからのコマンドが受け付けられるようになります。ただし、リセットベクタが“FFFFFFFFh”の場合は、フラッシュメモリが消去済みであると判断し、IDコードのチェックは行いません。なお、ROMコードプロテクトが有効で、リセットベクタが“FFFFFFFFh”の場合は、消去コマンドしか受け付けません。

IDコードはシリアルライタからID1、ID2、...、ID7の順で送られてきます。IDコードは図 27.2に示すとおり、ID1から順にそれぞれFFFFFFE8h番地、FFFFFFE9h番地、...、FFFFFFEEh番地に割り当てられています。これらの番地にIDコードを設定したプログラムをフラッシュメモリに書き込むことでプロテクトが有効になります。

なお、高速版(64MHz版)では、IDコードが“ALeRASE”、“Protect”に対応するASCIIコードの組み合わせは予約IDコードとなっています。詳細は表 27.5、「27.2.4 強制イレーズ機能」、「27.2.5 標準シリアル入出力モード禁止機能」を参照してください。

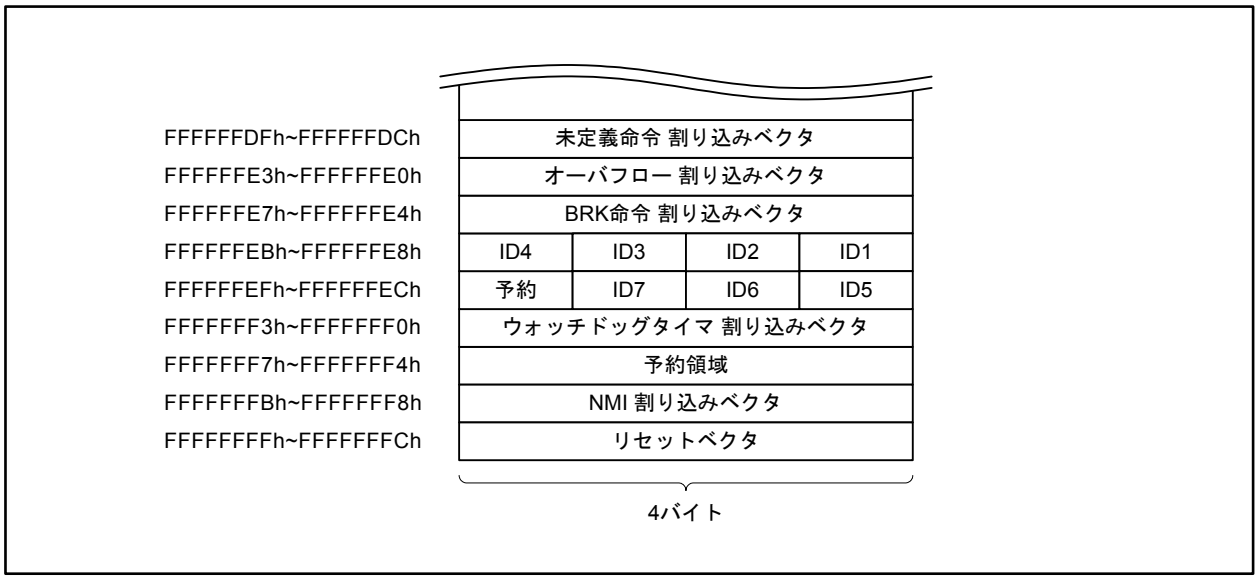


図 27.2　IDコード格納番地

表 27.5　予約IDコード

IDコード		ID1	ID2	ID3	ID4	ID5	ID6	ID7
ALeRASE	文字	“A”	“L”	“e”	“R”	“A”	“S”	“E”
	ASCIIコード	41h	4Ch	65h	52h	41h	53h	45h
Protect	文字	“P”	“r”	“o”	“t”	“e”	“c”	“t”
	ASCIIコード	50h	72h	6Fh	74h	65h	63h	74h

27.2.4　強制イレーズ機能

シリアルライタから送られてきたIDコードが“A”、“L”、“e”、“R”、“A”、“S”、“E”に対応するASCIIコードであったとき、フラッシュメモリの全ブロックをイレーズする機能です。高速版(64MHz版)の標準シリアル入出力モードで有効です。標準版(50MHz版)では対応していません。

ROMコードプロテクトを有効にし、かつフラッシュメモリに“ALeRASE”以外のIDコードをプログラムしている場合、この機能は働きません。

表 27.6　強制イレーズ機能の動作条件

シリアルライタから送られてくるIDコード	フラッシュメモリに書かれているIDコード	ROMコードプロテクト	動作
“ALeRASE”	“ALeRASE”	—	フラッシュメモリの全ブロックをイレーズ
	“ALeRASE”、“Protect”以外	無効	
		有効	IDコードチェック(不一致)
“ALeRASE”以外	“ALeRASE”	—	IDコードチェック(不一致)
	“ALeRASE”、“Protect”以外	—	IDコードチェック

27.2.5 標準シリアル入出力モード禁止機能

フラッシュメモリに“P”、“r”、“o”、“t”、“e”、“c”、“t”に対応するASCIIコードがIDコードとして書かれているとき、標準シリアル入出力モードによるフラッシュメモリへのアクセスを禁止する機能です。高速版(64MHz版)で使用できます。標準版(50MHz版)では対応していません。

フラッシュメモリのROMコードプロテクトを有効にし、かつ“Protect”に相当するIDコードをプログラムした場合、シリアルライタでROMコードプロテクトを解除できなくなります。この場合、パラレルライタでフラッシュメモリを消去する以外、MCU外部からフラッシュメモリにアクセスすることはできなくなります。

27.3　CPU 書き換えモード

CPU 書き換えモードは、CPU がソフトウェアコマンドを実行することによって、フラッシュメモリを書き換えるモードです。CPU書き換えモードでは、CPUバスから直接フラッシュメモリにアクセスせず、フラッシュメモリ書き換え専用のバスを経由してフラッシュメモリにアクセスします(図 27.3参照)。

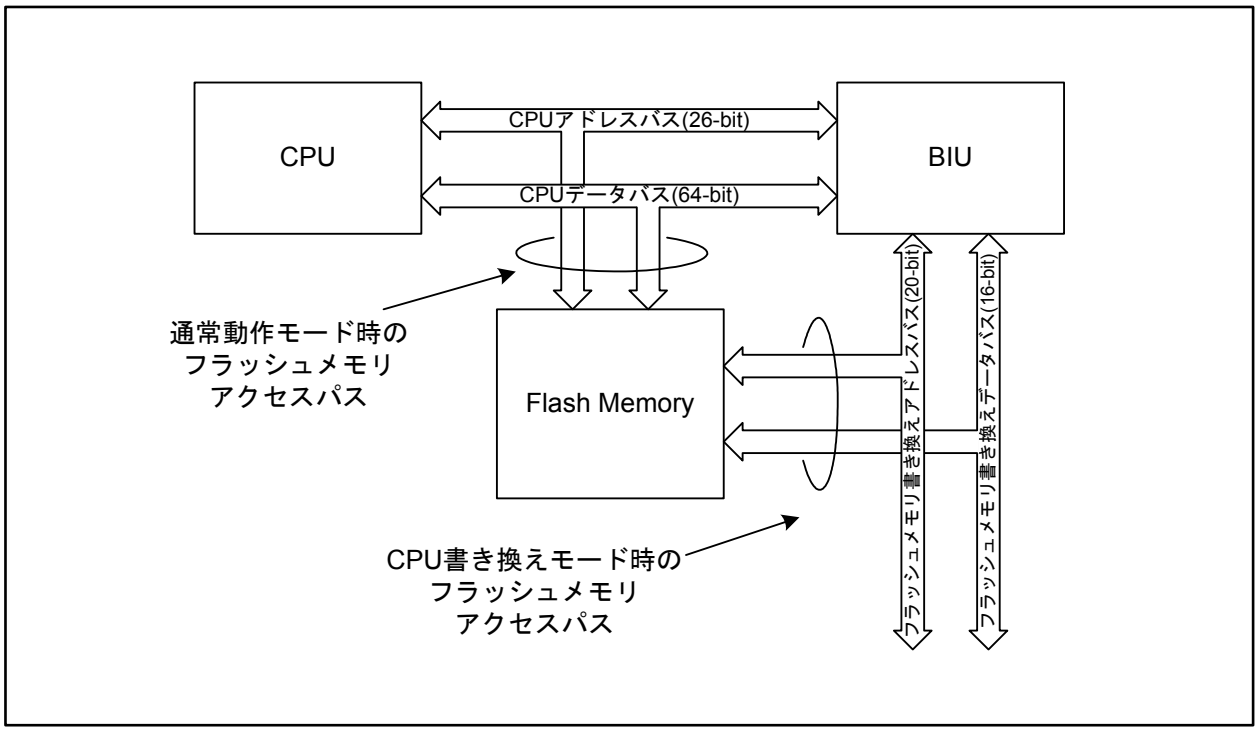


図 27.3　CPU書き換えモード時のフラッシュメモリアクセスパス

フラッシュメモリ書き換えのためのバス設定は、FEBC0、FEBC3 レジスタで行います。FEBC0、FEBC3 レジスタは、「27.3.2 フラッシュメモリ書き換えバスタイミング設定」および「28. 電気的特性」を参照して、書き換え条件を満たすように設定してください。なお、FEBC0 レジスタと EBC0 レジスタ、FEBC3 レジスタと EBC3 レジスタはそれぞれアドレスを共用していますので、FEBC0、FEBC3 レジスタを書き換えると外部バスの設定も変わります。フラッシュメモリの書き換え後は EBC0、EBC3 レジスタを再設定してください。

CPU書き換えモードには、EW0モードとEW1モードがあります。表 27.7にEW0モードとEW1モードの相違点を示します。

表 27.7　EW0モードとEW1モードの相違点

項目	EW0モード	EW1モード
CPU動作モード	シングルチップモード メモリ拡張モード (注1)	シングルチップモード
書き換えプログラムを実行できる領域	内蔵フラッシュメモリ以外の領域	書き換え対象のブロック以外の内蔵フラッシュメモリ、内蔵RAM
ソフトウェアコマンドの制限	なし	• プログラムコマンド/ブロックイレーズコマンド 書き換えプログラムのあるブロックに対して実行禁止 • リードステータスレジスタモード移行コマンド 実行禁止 • リードロックビットステータスモード移行コマンド RAM上から実行してください • リードプロテクトビットステータスモード移行コマンド RAM上から実行してください
プログラム、イレーズ後のモード	リードステータスレジスタモード	リードアレイモード
プログラム、イレーズ中のCPUの状態	動作	ホールド(入出力ポートはコマンド発行前の状態を保持)
フラッシュメモリのステータス検知	• プログラムでFMSR0レジスタを読む • リードステータスレジスタモード移行コマンドを実行し、データを読む	• プログラムでFMSR0レジスタを読む
その他制限	なし	• プログラム、イレーズ中は割り込み(NMIを除く)、DMAを禁止にしてください

注1.　メモリ拡張モードを使用する場合、$\overline{CS0}$ 領域、$\overline{CS3}$ 領域の使用に制限があります。詳細は「27.3.1 CPU動作モードとフラッシュメモリ書き換え」を参照ください。

FMCRレジスタのFEWビットを“1”にすると、CPU書き換えモードになります。その後、FMR0レジスタのEWMビットの設定値によってEW0モードとEW1モードを選択できます。

FMCRレジスタ、FMR0レジスタは、それぞれPRRレジスタ、FPR0レジスタにより保護されています。図 27.4~図 27.12に関連するレジスタを示します。

フラッシュメモリ制御レジスタ (注1)

b7	b6	b5	b4	b3	b2	b1	b0
	0	0	0	0	0	0	1

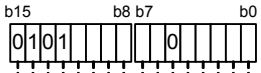
シンボル	アドレス	リセット後の値
FMCR	0006h番地	0000 0001b

ビットシンボル	ビット名	機　能	RW
— (b0)	予約ビット	“1”にしてください	RW
— (b6-b1)	予約ビット	“0”にしてください	RW
FEW	CPU書き換えモード設定ビット (注2)	0: 通常動作モード 1: CPU書き換えモード	RW

注1. このレジスタはPRRレジスタの値を“AAh”(書き込み許可)にした後で書き換えてください。
注2. VRCRレジスタのMRSビットが“1”(メインレギュレータ停止)のとき、このビットを“1”にしないでください。

図 27.4　FMCR レジスタ

フラッシュメモリ書き換えバス制御レジスタi (i=0, 3)(注1)



シンボル	アドレス	リセット後の値
FEBC0, FEBC3	001Dh-001Ch、0011h-0010h番地	0000h

ビットシンボル	ビット名	機　能	RW
FWR0	リード信号パルス幅設定ビット	b3 b2 b1 b0 0 0 0 0 : *wr* = 1 0 0 0 1 : *wr* = 2 0 1 0 1 : *wr* = 3 0 1 1 0 : *wr* = 4 1 0 1 0 : *wr* = 5 1 0 1 1 : *wr* = 6 1 1 1 1 : *wr* = 7 上記以外 : 設定しないでください	RW
FWR1			RW
FWR2			RW
FWR3			RW
FWR4	リード信号パルス幅微調整ビット	0: 微調整しない 1: 微調整する	RW
— (b5)	予約ビット	“0”にしてください	RW
MPY0	設定サイクル数逓倍ビット	b7 b6 0 0 : 設定しないでください 0 1 : 設定しないでください 1 0 : *mpy* = 3 1 1 : *mpy* = 4	RW
MPY1			RW
FSUW0	ライト前アドレスセットアップ時間設定ビット	b9 b8 0 0 : *suw* = 0 0 1 : *suw* = 1 1 0 : *suw* = 2 1 1 : *suw* = 3	RW
FSUW1			
FWW0	ライト信号パルス幅設定ビット	b11b10 0 0 : *ww* = 1 0 1 : *ww* = 2 1 0 : *ww* = 3 1 1 : *ww* = 4	RW
FWW1			
— (b12)	予約ビット	“1”にしてください	RW
— (b13)	予約ビット	“0”にしてください	RW
— (b14)	予約ビット	“1”にしてください	RW
— (b15)	予約ビット	“0”にしてください	RW

注1. このレジスタはPRRレジスタの値を“AAh”(書き込み許可) にした後で書き換えてください。

図 27.5　FEBC0、FEBC3 レジスタ

フラッシュレジスタプロテクト解除レジスタ0

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0	0	0	

シンボル: FPR0　　アドレス: 40008h番地　　リセット後の値: 0000 0000b

ビットシンボル	ビット名	機　能	RW
PR0	プロテクト解除ビット	FMR0、FMR1レジスタに対する書き込み許可 0: 書き込み禁止 1: 書き込み許可	RW
— (b7-b1)	予約ビット	“0”にしてください	RW

図 27.6　FPR0 レジスタ

フラッシュメモリ制御レジスタ0 (注1、2)

b7	b6	b5	b4	b3	b2	b1	b0
0		0					

シンボル: FMR0　　アドレス: 40000h番地　　リセット後の値: 0X01 XX00b

ビットシンボル	ビット名	機　能	RW
EWM	書き換えモード選択ビット	0: EW0モード 1: EW1モード	RW
LBM	ロックビットリードモード設定ビット	0: データバス経由で読み出し　(注3) 1: LBSビットで読み出し　(注4)	RW
LBS	ロックビットステータスフラグ　(注4)	0: ロック 1: 非ロック	RO
RRDY	リードレディフラグ	0: ビジー 1: レディ	RO
FCA	最終コマンド受け付けビジーフラグ	0: 最終コマンド受け付け可 1: 最終コマンド受け付けビジー	RO
— (b5)	予約ビット	“0”にしてください	RW
— (b6)	予約ビット	読んだ場合、その値は不定	RO
— (b7)	予約ビット	“0”にしてください	RW

注1. このレジスタはFPR0レジスタのPR0ビットを“1”(書き込み許可) にした後で書き換えてください。
注2. このレジスタは、ウェイトモード、ストップモードから復帰した後、リセットされます。
注3. リードロックビットステータスモードに移行した後、対象ブロック内の任意の偶数番地を読むと、読み出したデータのビット6にロックビットの状態が反映されます。
注4. リードロックビットステータスコマンドを発行すると、LBSビットにロックビットの状態が反映されます。

図 27.7　FMR0 レジスタ

フラッシュメモリ制御レジスタ1 (注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0		0		0

シンボル: FMR1　アドレス: 40009h番地　リセット後の値: 0000 0010b

ビットシンボル	ビット名	機　能	RW
— (b0)	予約ビット	“0”にしてください	RW
RR	リセット解除ビット	0: リセット 1: リセット解除	RW
— (b2)	予約ビット	“0”にしてください	RW
LBD	ロックビットプロテクト無効化ビット	0: ロックビットプロテクト有効 1: ロックビットプロテクト無効	RW
— (b7-b4)	予約ビット	“0”にしてください	RW

注1. このレジスタはFPR0レジスタのPR0ビットを“1”(書き込み許可) にした後で書き換えてください。

図 27.8　FMR1 レジスタ

フラッシュメモリステータスレジスタ0

b7	b6	b5	b4	b3	b2	b1	b0

シンボル: FMSR0　アドレス: 40001h番地　リセット後の値: 1000 0000b

ビットシンボル	ビット名	機　能	RW
— (b3-b0)	予約ビット	読んだ場合、その値は不定	RO
WERR	プログラムエラーフラグ	0: プログラムエラーなし 1: プログラムエラー発生	RO
EERR	イレーズエラーフラグ	0: イレーズエラーなし 1: イレーズエラー発生 (注1)	RO
— (b6)	予約ビット	読んだ場合、その値は不定	RO
RDY	レディフラグ	0: ビジー 1: レディ	RO

注1. イレーズエラーが発生した場合は、クリアステータスレジスタコマンド発行後再度ブロックイレーズコマンドを発行し、イレーズエラーが発生しなくなってから少なくとも3回ブロックイレーズを実施してください。

図 27.9　FMSR0 レジスタ

ブロックプロテクトビットモニタレジスタ0 (注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル: FBPM0　　アドレス: 4000Ah番地　　リセット後の値: ??X? ????b (注1)

ビットシンボル	ビット名	機　能	RW
BP0	Block0プロテクトビットモニタフラグ	0: プロテクト 1: プロテクト解除	RO
BP1	Block1プロテクトビットモニタフラグ	0: プロテクト 1: プロテクト解除	RO
BP2	Block2プロテクトビットモニタフラグ	0: プロテクト 1: プロテクト解除	RO
BP3	Block3プロテクトビットモニタフラグ	0: プロテクト 1: プロテクト解除	RO
BP4	Block4プロテクトビットモニタフラグ	0: プロテクト 1: プロテクト解除	RO
— (b5)	予約ビット	読んだ場合、その値は不定	RO
BP5	Block5プロテクトビットモニタフラグ	0: プロテクト 1: プロテクト解除	RO
BP6	Block6プロテクトビットモニタフラグ	0: プロテクト 1: プロテクト解除	RO

注1. このレジスタはリセット解除後1回だけ更新されます。値はそのときのプロテクトビットの状態が反映されます。

図 27.10　FBPM0 レジスタ

ブロックプロテクトビットモニタレジスタ1 (注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル: FBPM1　　アドレス: 4000Bh番地　　リセット後の値: XXX? ????b (注1)

ビットシンボル	ビット名	機　能	RW
BP7	Block7プロテクトビットモニタフラグ	0: プロテクト 1: プロテクト解除	RO
BP8	Block8プロテクトビットモニタフラグ	0: プロテクト 1: プロテクト解除	RO
BP9	Block9プロテクトビットモニタフラグ	0: プロテクト 1: プロテクト解除	RO
BPB	BlockBプロテクトビットモニタフラグ	0: プロテクト 1: プロテクト解除	RO
BPA	BlockAプロテクトビットモニタフラグ	0: プロテクト 1: プロテクト解除	RO
— (b7-b5)	予約ビット	読んだ場合、その値は不定	RO

注1. このレジスタはリセット解除後1回だけ更新されます。値はそのときのプロテクトビットの状態が反映されます。

図 27.11　FBPM1 レジスタ

ブロックプロテクトビットモニタレジスタ2 (注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル: FBPM2　　アドレス: 40011h番地　　リセット後の値: ???? ????b (注1)

ビットシンボル	ビット名	機　能	RW
BP10	Block10プロテクトビットモニタフラグ	0: プロテクト 1: プロテクト解除	RO
BP11	Block11プロテクトビットモニタフラグ	0: プロテクト 1: プロテクト解除	RO
BP12	Block12プロテクトビットモニタフラグ	0: プロテクト 1: プロテクト解除	RO
BP13	Block13プロテクトビットモニタフラグ	0: プロテクト 1: プロテクト解除	RO
BP14	Block14プロテクトビットモニタフラグ	0: プロテクト 1: プロテクト解除	RO
BP15	Block15プロテクトビットモニタフラグ	0: プロテクト 1: プロテクト解除	RO
BP16	Block16プロテクトビットモニタフラグ	0: プロテクト 1: プロテクト解除	RO
BP17	Block17プロテクトビットモニタフラグ	0: プロテクト 1: プロテクト解除	RO

注1. このレジスタはリセット解除後1回だけ更新されます。値はそのときのプロテクトビットの状態が反映されます。

図 27.12　FBPM2 レジスタ

27.3.1 CPU動作モードとフラッシュメモリ書き換え

フラッシュメモリ書き換えのバスタイミング設定に使用するレジスタはCPUの動作モードによって異なります。

メモリ拡張モードを使用せずシングルチップモードのみを使用する場合、CB01、CB12、CB23レジスタはリセット後の値(“00h”)のまま変更しないでください。このとき、プログラム領域、データ領域ともFEBC0レジスタでバス設定が行えます。

メモリ拡張モードを使用する場合、CB01、CB12、CB23レジスタを各レジスタの設定範囲に従って、値を変更してください。このとき、プログラム領域はFEBC0レジスタ、データ領域はFEBC3レジスタでバス設定が行えます。

また、メモリ拡張モードで使用するEBC0、EBC3レジスタとFEBC0、FEBC3レジスタは同じレジスタを共有していますので、フラッシュメモリ書き換えのためにFEBCiレジスタ(i=0, 3)を変更するとEBCiレジスタの設定値も変化します。このため、CPU書き換えモード中には、$\overline{CS0}$領域、$\overline{CS3}$領域に配置された外部デバイスにアクセスできなくなる場合があります。

表27.8にこれらの詳細と制限事項を記載します。

表27.8　CPU動作モードとフラッシュメモリ書き換え

項目	CPU動作モード	
	シングルチップモード	メモリ拡張モード
CB01レジスタ	00hのまま変更しないでください	02h~F8hの範囲で、かつCB12レジスタの設定値以上の値を設定してください
CB12レジスタ	00hのまま変更しないでください	02h~F8hの範囲で、かつCB23レジスタの設定値以上、CB01レジスタの設定値以下の値を設定してください
CB23レジスタ	00hのまま変更しないでください	02h~F8hの範囲で、かつCB12レジスタの設定値以下の値を設定してください
プログラム領域のバス設定	FEBC0レジスタ	FEBC0レジスタ
データ領域のバス設定	FEBC0レジスタ	FEBC3レジスタ
FEBCiレジスタ設定後の$\overline{CS0}$領域、$\overline{CS3}$領域の状態	—	•セパレートバス •16ビット幅 •$\overline{RDY}$信号無視
制限事項	なし	•$\overline{HOLD}$信号は無視されます •$\overline{CS0}$領域、$\overline{CS3}$領域をマルチプレクスバスで使用していた場合、CPU書き換えモード時は外部デバイスにアクセスできません •$\overline{CS0}$領域、$\overline{CS3}$領域のバスタイミングが変わりますので、外部デバイスにアクセスできなくなる場合があります

27.3.2　フラッシュメモリ書き換えバスタイミング設定

フラッシュメモリ書き換えのためのバス設定はFEBC0、FEBC3 レジスタで行います。ここではFEBC0、FEBC3 レジスタの設定について詳細に説明します。

バスタイミングの基準となるクロックはCCRレジスタのBCD1～BCD0ビットで設定されるベースクロックです。tsu、tw、tc、thなどの時間はベースクロックのサイクル数で規定します。

フラッシュメモリのリードタイミング図を図 27.13に、周辺バスクロック分周値ごとのMPY1~MPY0ビット、FWR4~FWR0ビットの設定値とリードサイクルの関係を表 27.9~表 27.11に、フラッシュメモリのライトタイミング図を図 27.14に、周辺バスクロック分周値ごとのMPY1~MPY0ビット、FSUW1~FSUW0ビット、FWW1~FWW0ビットの設定値とライトサイクルの関係を表 27.12~表 27.14にそれぞれ示します。

電気的特性に示すCPU 書き換えモードのタイミング条件を満たすリードサイクル、ライトサイクルのタイミングをこれらの表から選択します。

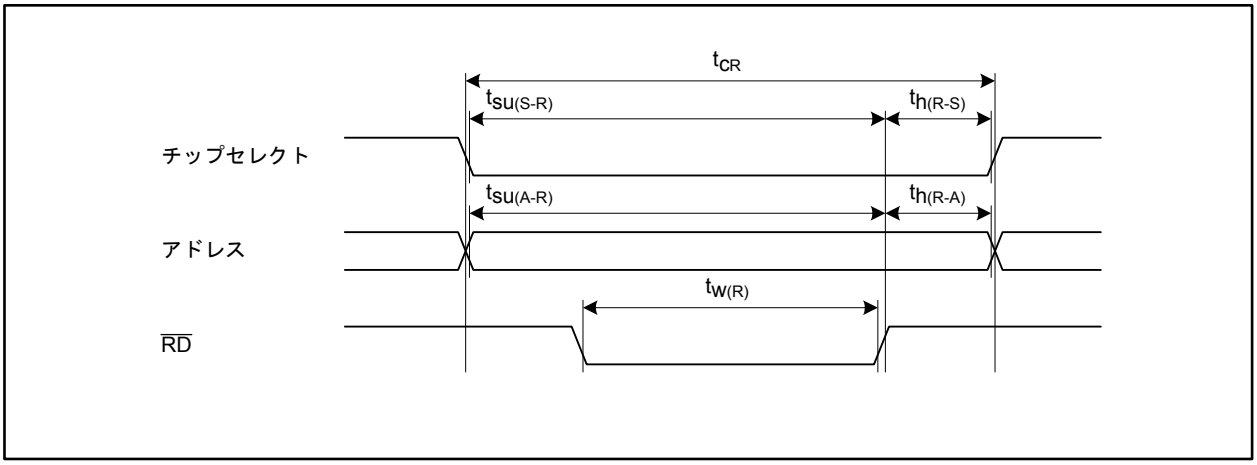


図 27.13　リードタイミング

表 27.9　周辺バスクロック2分周時におけるMPY1~MPY0ビット、FWR4~FWR0ビットの設定値とリードサイクルの関係(単位:サイクル)

FWR3~FWR0ビットの設定値		FWR4ビットの設定値	MPY1~MPY0ビットの設定値							
			10b				11b			
			mpy=3				*mpy*=4			
			tsu(S-R), tsu(A-R)	tw(R)	tcR	th(R-S), th(R-A)	tsu(S-R), tsu(A-R)	tw(R)	tcR	th(R-S), th(R-A)
0000b	*wr*=1	0	4	3	4	0	6	5	6	0
		1	6	5	6	0	6	5	6	0
0001b	*wr*=2	0	8	7	8	0	10	9	10	0
		1	8	7	8	0	10	9	10	0
0101b	*wr*=3	0	10	9	10	0	14	13	14	0
		1	12	11	12	0	14	13	14	0
0110b	*wr*=4	0	14	13	14	0	18	17	18	0
		1	14	13	14	0	18	17	18	0
1010b	*wr*=5	0	16	15	16	0	22	21	22	0
		1	18	17	18	0	22	21	22	0
1011b	*wr*=6	0	20	19	20	0	26	25	26	0
		1	20	19	20	0	26	25	26	0
1111b	*wr*=7	0	22	21	22	0	30	29	30	0
		1	24	23	24	0	30	29	30	0

表 27.10 周辺バスクロック3分周時におけるMPY1~MPY0ビット、FWR4~FWR0ビットの設定値とリードサイクルの関係(単位:サイクル)

FWR3~FWR0ビットの設定値		FWR4ビットの設定値	MPY1~MPY0ビットの設定値							
			10b				11b			
			mpy=3				*mpy*=4			
			tsu(S-R), tsu(A-R)	tw(R)	tcR	th(R-S), th(R-A)	tsu(S-R), tsu(A-R)	tw(R)	tcR	th(R-S), th(R-A)
0000b	*wr*=1	0	6	4.5	6	0	6	4.5	6	0
		1	6	4.5	6	0	6	4.5	6	0
0001b	*wr*=2	0	9	7.5	9	0	9	7.5	9	0
		1	9	7.5	9	0	12	10.5	12	0
0101b	*wr*=3	0	12	10.5	12	0	15	13.5	15	0
		1	12	10.5	12	0	15	13.5	15	0
0110b	*wr*=4	0	15	13.5	15	0	18	16.5	18	0
		1	15	13.5	15	0	18	16.5	18	0
1010b	*wr*=5	0	18	16.5	18	0	21	19.5	21	0
		1	18	16.5	18	0	24	22.5	24	0
1011b	*wr*=6	0	21	19.5	21	0	27	25.5	27	0
		1	21	19.5	21	0	27	25.5	27	0
1111b	*wr*=7	0	24	22.5	24	0	30	28.5	30	0
		1	24	22.5	24	0	30	28.5	30	0

表 27.11 周辺バスクロック4分周時におけるMPY1~MPY0ビット、FWR4~FWR0ビットの設定値とリードサイクルの関係(単位:サイクル)

FWR3~FWR0ビットの設定値		FWR4ビットの設定値	MPY1~MPY0ビットの設定値							
			10b				11b			
			mpy=3				*mpy*=4			
			tsu(S-R), tsu(A-R)	tw(R)	tcR	th(R-S), th(R-A)	tsu(S-R), tsu(A-R)	tw(R)	tcR	th(R-S), th(R-A)
0000b	*wr*=1	0	4	2	4	0	8	6	8	0
		1	8	6	8	0	8	6	8	0
0001b	*wr*=2	0	8	6	8	0	12	10	12	0
		1	8	6	8	0	12	10	12	0
0101b	*wr*=3	0	12	10	12	0	16	14	16	0
		1	12	10	12	0	16	14	16	0
0110b	*wr*=4	0	16	14	16	0	20	18	20	0
		1	16	14	16	0	20	18	20	0
1010b	*wr*=5	0	16	14	16	0	24	22	24	0
		1	20	18	20	0	24	22	24	0
1011b	*wr*=6	0	20	18	20	0	28	26	28	0
		1	20	18	20	0	28	26	28	0
1111b	*wr*=7	0	24	22	24	0	32	30	32	0
		1	24	22	24	0	32	30	32	0

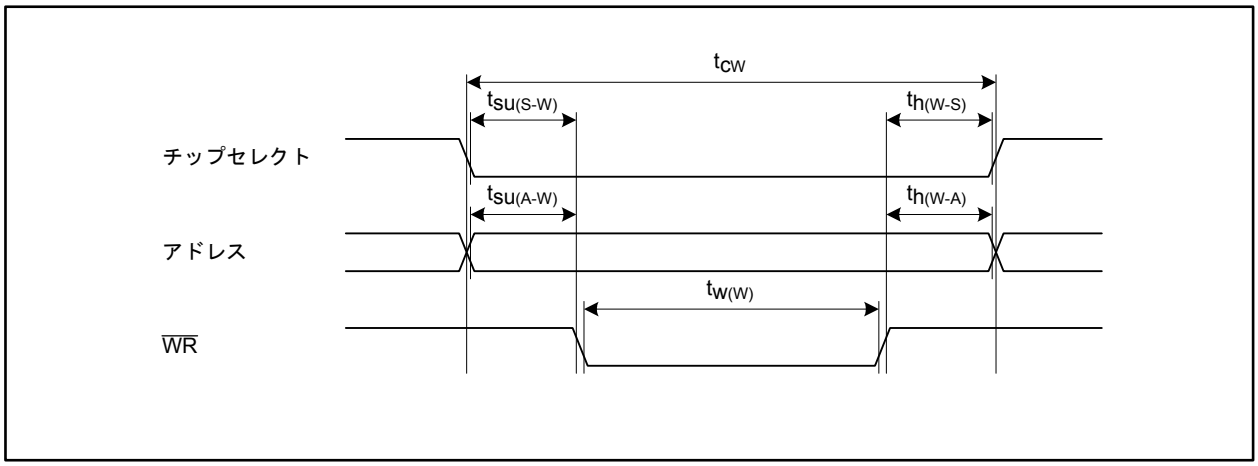


図 27.14　ライトタイミング

表 27.12　周辺バスクロック2分周時におけるMPY1~MPY0ビット、FSUW1~FSUW0、FWW1~FWW0ビットの設定値とライトサイクルの関係(単位:サイクル)

FSUW1~FSUW0ビットの設定値		FWW1~FWW0ビットの設定値		MPY1~MPY0ビットの設定値							
				10b				11b			
				mpy=3				*mpy*=4			
				tsu(S-W), tsu(A-W)	tw(W)	tcw	th(W-S), th(W-A)	tsu(S-W), tsu(A-W)	tw(W)	tcw	th(W-S), th(W-A)
00b	*suw*=0	00b	*ww*=1	1	3	6	2	1	4	6	1
		01b	*ww*=2	1	6	8	1	1	8	10	1
		10b	*ww*=3	1	9	12	2	1	12	14	1
		11b	*ww*=4	1	12	14	1	1	16	18	1
01b	*suw*=1	00b	*ww*=1	4	3	8	1	5	4	10	1
		01b	*ww*=2	4	6	12	2	5	8	14	1
		10b	*ww*=3	4	9	14	1	5	12	18	1
		11b	*ww*=4	4	12	18	2	5	16	22	1
10b	*suw*=2	00b	*ww*=1	7	3	12	2	9	4	14	1
		01b	*ww*=2	7	6	14	1	9	8	18	1
		10b	*ww*=3	7	9	18	2	9	12	22	1
		11b	*ww*=4	7	12	20	1	9	16	26	1
11b	*suw*=3	00b	*ww*=1	10	3	14	1	13	4	18	1
		01b	*ww*=2	10	6	18	2	13	8	22	1
		10b	*ww*=3	10	9	20	1	13	12	26	1
		11b	*ww*=4	10	12	24	2	13	16	30	1

表 27.13 周辺バスクロック3分周時におけるMPY1~MPY0ビット、FSUW1~FSUW0、FWW1~FWW0ビットの設定値とライトサイクルの関係(単位:サイクル)

FSUW1~FSUW0ビットの設定値		FWW1~FWW0ビットの設定値		MPY1~MPY0ビットの設定値							
				10b				11b			
				mpy=3				*mpy*=4			
				tsu(S-W), tsu(A-W)	tw(W)	tcW	th(W-S), th(W-A)	tsu(S-W), tsu(A-W)	tw(W)	tcW	th(W-S), th(W-A)
00b	*suw*=0	00b	*ww*=1	1	3	6	2	1	4	6	1
		01b	*ww*=2	1	6	9	2	1	8	12	3
		10b	*ww*=3	1	9	12	2	1	12	15	2
		11b	*ww*=4	1	12	15	2	1	16	18	1
01b	*suw*=1	00b	*ww*=1	4	3	9	2	6	3	12	3
		01b	*ww*=2	4	6	12	2	6	7	15	2
		10b	*ww*=3	4	9	15	2	6	11	18	1
		11b	*ww*=4	4	12	18	2	6	15	24	3
10b	*suw*=2	00b	*ww*=1	7	3	12	2	9	4	15	2
		01b	*ww*=2	7	6	15	2	9	8	18	1
		10b	*ww*=3	7	9	18	2	9	12	24	3
		11b	*ww*=4	7	12	21	2	9	16	27	2
11b	*suw*=3	00b	*ww*=1	10	3	15	2	13	4	18	1
		01b	*ww*=2	10	6	18	2	13	8	24	3
		10b	*ww*=3	10	9	21	2	13	12	27	2
		11b	*ww*=4	10	12	24	2	13	16	30	1

表 27.14 周辺バスクロック4分周時におけるMPY1~MPY0ビット、FSUW1~FSUW0、FWW1~FWW0ビットの設定値とライトサイクルの関係(単位:サイクル)

FSUW1~FSUW0ビットの設定値		FWW1~FWW0ビットの設定値		MPY1~MPY0ビットの設定値							
				10b				11b			
				mpy=3				*mpy*=4			
				tsu(S-W), tsu(A-W)	tw(W)	tcW	th(W-S), th(W-A)	tsu(S-W), tsu(A-W)	tw(W)	tcW	th(W-S), th(W-A)
00b	*suw*=0	00b	*ww*=1	1	3	8	4	1	4	8	3
		01b	*ww*=2	1	6	8	1	1	8	12	3
		10b	*ww*=3	1	9	12	2	1	12	16	3
		11b	*ww*=4	1	12	16	3	1	16	20	3
01b	*suw*=1	00b	*ww*=1	4	3	8	1	5	4	12	3
		01b	*ww*=2	4	6	12	2	5	8	16	3
		10b	*ww*=3	4	9	16	3	5	12	20	3
		11b	*ww*=4	4	12	20	4	5	16	24	3
10b	*suw*=2	00b	*ww*=1	8	2	12	2	9	4	16	3
		01b	*ww*=2	8	5	16	3	9	8	20	3
		10b	*ww*=3	8	8	20	4	9	12	24	3
		11b	*ww*=4	8	11	20	1	9	16	28	3
11b	*suw*=3	00b	*ww*=1	10	3	16	3	13	4	20	3
		01b	*ww*=2	10	6	20	4	13	8	24	3
		10b	*ww*=3	10	9	20	1	13	12	28	3
		11b	*ww*=4	10	12	24	2	13	16	32	3

27.3.3 ソフトウェアコマンド

CPU書き換えモードにおいて、フラッシュメモリに対してソフトウェアコマンドを発行すると、フラッシュメモリの書き換えや消去を行うことができます。

コマンドの書き込み、データの読み書きは16ビット単位で行ってください。

表27.15にソフトウェアコマンドの一覧を示します。

表27.15 ソフトウェアコマンド一覧

ソフトウェアコマンド	第一コマンド		第二コマンド	
	アドレス	データ	アドレス	データ
リードアレイモード移行	FFFFF800h	00FFh	—	—
リードステータスレジスタモード移行(注1)	FFFFF800h	0070h	—	—
クリアステータスレジスタ	FFFFF800h	0050h	—	—
プログラム(注2)	FFFFF800h	0043h	WA	WD
ブロックイレーズ	FFFFF800h	0020h	BA	00D0h
ロックビットプログラム	FFFFF800h	0077h	BA	00D0h
リードロックビットステータス	FFFFF800h	0071h	BA	00D0h
リードロックビットステータスモード移行(注3)	FFFFF800h	0071h	—	—
プロテクトビットプログラム	FFFFF800h	0067h	PBA	00D0h
リードプロテクトビットステータスモード移行(注3)	FFFFF800h	0061h	—	—

WA: 書き込みアドレス(偶数)

WD: 書き込みデータ(16ビット)

BA: 対象ブロック内の任意の偶数番地

PBA: プロテクトビットのアドレス(表27.4参照)

注1. EW1モードでは使用できません。

注2. プログラムは64ビット(4ワード)単位で行います。第二コマンド以降第五コマンドまでが一連のコマンドです。アドレス(WA)の上位29ビットは固定、下位3ビットは、第二コマンドから順に、000b-010b-100b-110b (0h-2h-4h-6hまたは8h-Ah-Ch-Eh)となるように指定してください。

注3. RAM上のプログラムから発行してください。

27.3.4 モード遷移

CPU書き換えモードにおけるフラッシュメモリの動作モードには以下の4つがあります。

- リードアレイモード
- リードステータスレジスタモード
- リードロックビットステータスモード
- リードプロテクトビットステータスモード

これらのモードにあるときにフラッシュメモリを読み出すと、それぞれ、メモリの内容、ステータスレジスタの内容、読み出したブロックのロックビットの状態、プロテクトビットの状態が読み出せます。これらの内容をそれぞれ表27.16~表27.18に示します。

表 27.16 ステータスレジスタの内容

ビット	ビットシンボル	ビット名	内容	
			“0”	“1”
b15-b8	—	無効ビット	—	—
b7	SR7	シーケンサ ステータス	ビジー	レディ
b6	—	予約ビット	—	—
b5	SR5	イレーズステータス	正常終了	異常終了
b4	SR4	プログラムステータス	正常終了	異常終了
b3	—	予約ビット	—	—
b2	—	予約ビット	—	—
b1	—	予約ビット	—	—
b0	—	予約ビット	—	—

表 27.17 ロックビットステータスの内容

ビット	ビットシンボル	ビット名	内容	
			“0”	“1”
b15-b7	—	無効ビット	—	—
b6	LBS	ロックビットステータス	ロック	非ロック
b5-b0	—	無効ビット	—	—

表 27.18 プロテクトビットステータスの内容

ビット	ビットシンボル	ビット名	内容	
			“0”	“1”
b15-b7	—	無効ビット	—	—
b6	PBS	プロテクトビットステータス	プロテクト	非プロテクト
b5-b0	—	無効ビット	—	—

これらのモードからソフトウェアコマンドを発行することで、フラッシュメモリの書き込みや消去が実行できます。プログラム、イレーズが終了した後は、自動的にリードアレイモード(EW1モードの場合)またはリードステータスレジスタモード(EW0モードの場合)に戻ります。

27.3.5 コマンド発行手順

ここではソフトウェアコマンドの発行手順について説明します。
コマンドはFMSR0レジスタのRDYビットが“1”(レディ)のときに発行してください。

27.3.5.1 リードアレイモード移行コマンド

リードアレイモードに移行するコマンドです。
FFFFF800h番地に“00FFh”を書くと、フラッシュメモリはリードアレイモードになり、フラッシュメモリ内の任意の番地の内容を読み出せるようになります。
EW1モードに入るとフラッシュメモリは常にリードアレイモードになっています。

27.3.5.2 リードステータスレジスタモード移行コマンド

リードステータスレジスタモードに移行するコマンドです。
FFFFF800h番地に“0070h”を書くと、フラッシュメモリのどの番地を読んでも、ステータスレジスタの内容が読めます。
EW1モードではこのコマンドを発行しないでください。

27.3.5.3 クリアステータスレジスタコマンド

フラッシュメモリ内部のステータスレジスタをリセットするコマンドです。
FFFFF800h番地に“0050h”を書くと、ステータスレジスタのSR5、SR4ビットが“0”(正常終了)になります(表27.16参照)。その結果、FMSR0レジスタのEERR、WERRビットも“0”になります。

27.3.5.4 プログラムコマンド

4ワード(8バイト)単位でフラッシュメモリにデータを書くコマンドです。

FFFFF800h番地に“0043h”を書き、続けて8n+0番地~8n+6番地にデータを書くと、自動書き込み(データのプログラムとベリファイ)を開始します。最終コマンド発行前にはFMR0レジスタのFCAビットが“0”になることを確認してください。

自動書き込みの終了はFMSR0レジスタのRDYビットで確認できます。RDYビットは、自動書き込み中は“0”(ビジー)、終了後は“1”(レディ)になります。

自動書き込みの結果はFMSR0レジスタのWERRビットで確認できます(「27.3.6 ステータスチェック」参照)。

なお、すでにプログラムされた番地に追加書き込みをしないでください。

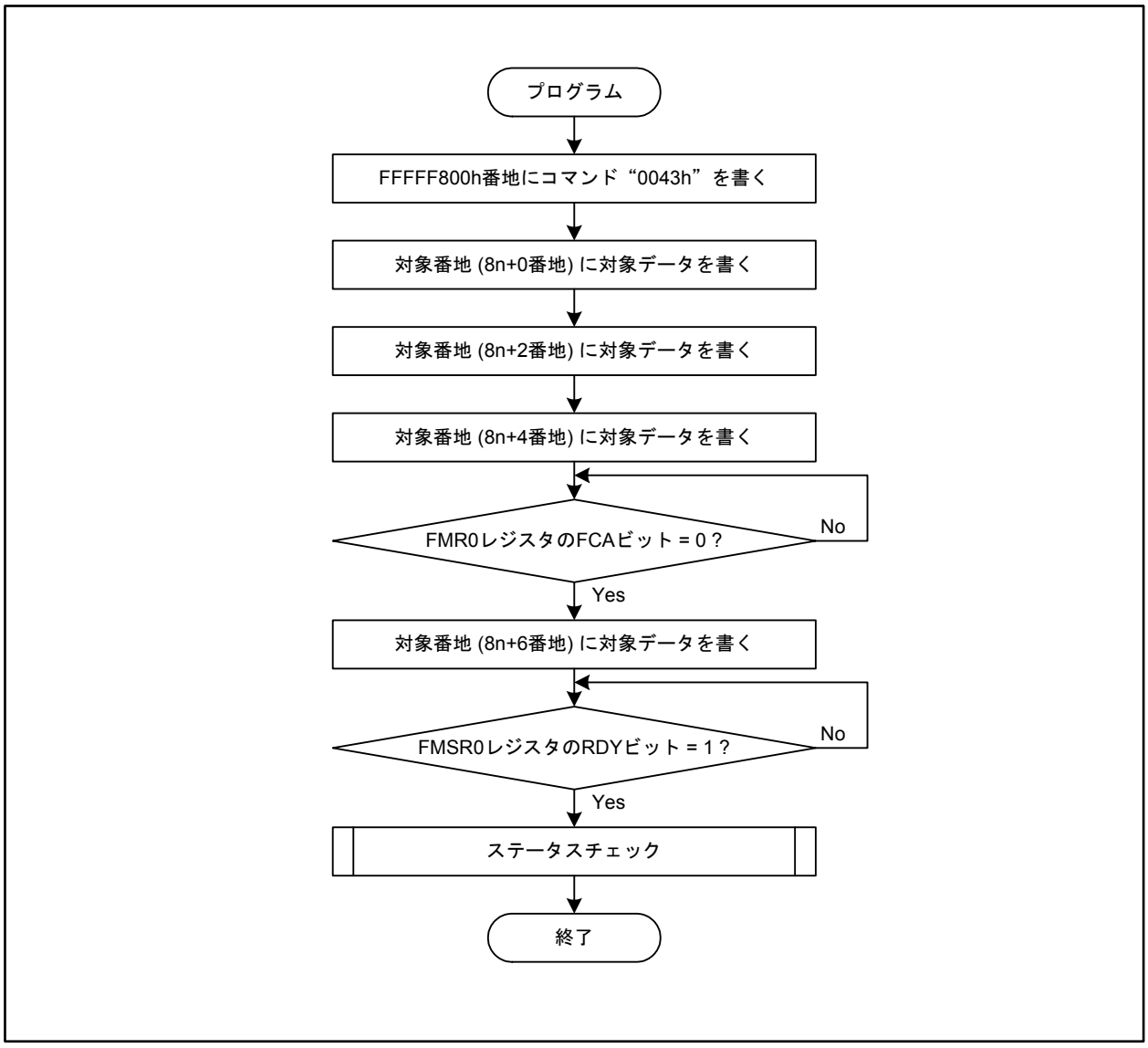


図 27.15 プログラムコマンド発行のフローチャート

27.3.5.5　ブロックイレーズコマンド

フラッシュメモリの指定したブロックを消去するコマンドです。

FFFFF800h番地に“0020h”を書き、FMR0レジスタのFCAビットが“0”になることを確認した後、対象とするブロックの任意の偶数番地に“00D0h”を書くと、指定されたブロックの自動消去(イレーズとベリファイ)を開始します。

自動消去の終了はFMSR0レジスタのRDYビットで確認できます。RDYビットは、自動消去中は“0”(ビジー)、終了後は“1”(レディ)になります。

自動消去の結果はFMSR0レジスタのEERRビットで確認できます(「27.3.6 ステータスチェック」参照)。

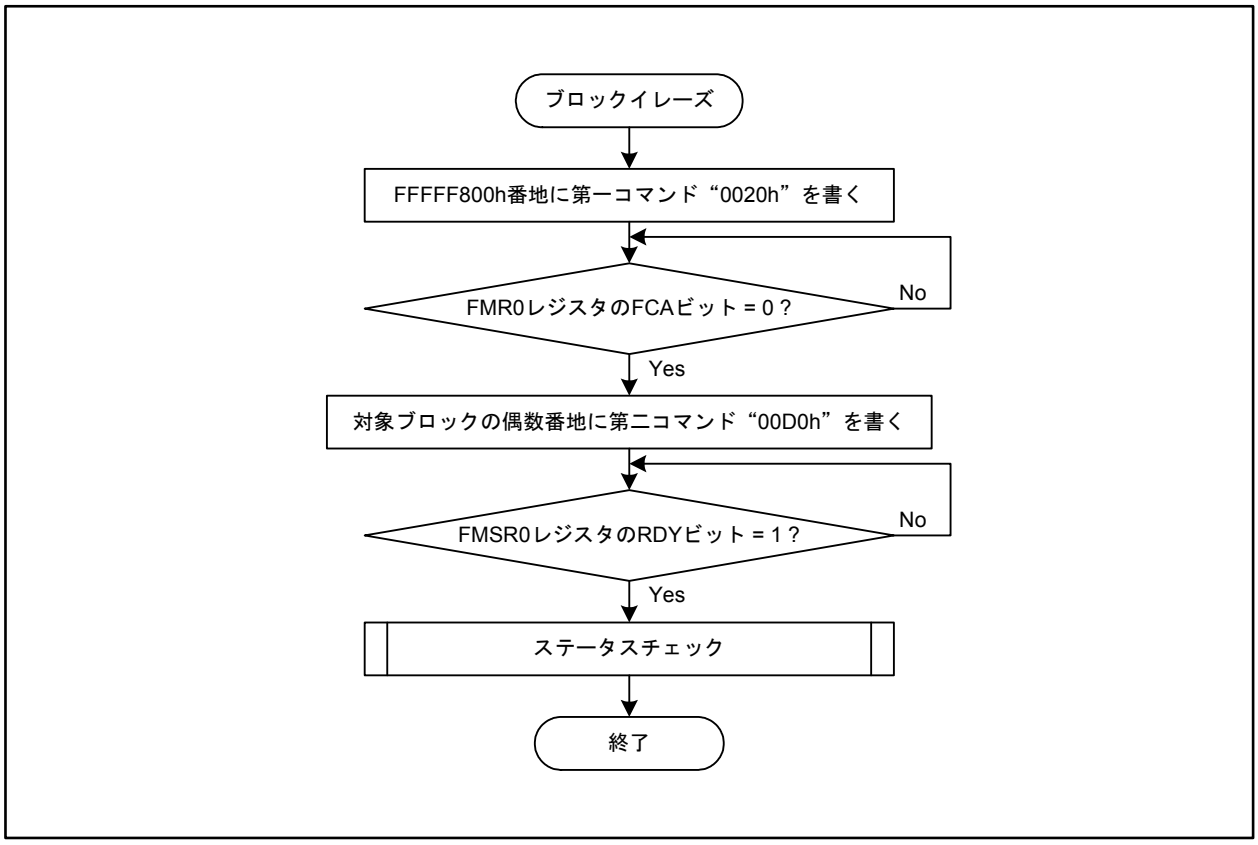


図 27.16　ブロックイレーズコマンド発行のフローチャート

27.3.5.6　ロックビットプログラムコマンド

フラッシュメモリの指定したブロックをロックするコマンドです。

FFFFF800h番地に“0077h”を書き、FMR0レジスタのFCAビットが“0”になることを確認した後、対象とするブロックの任意の偶数番地に“00D0h”を書くと、指定されたブロックのロックビットに“0”(ロック)が書かれます。

ロックビットプログラムの終了はFMSR0レジスタのRDYビットで確認できます。RDYビットは、ロックビットプログラム中は“0”(ビジー)、終了後は“1”(レディ)になります。

ロックビットの状態はFMR0レジスタのLBMビットが“1”(LBSビット経由で読み出し)の場合、リードロックビットステータスコマンドで確認できます(「27.3.5.7 リードロックビットステータスコマンド」参照)。LBMビットが“0”(データバス経由で読み出し)の場合は、リードロックビットステータスモードに移行してください(「27.3.5.8 リードロックビットステータスモード移行コマンド」参照)。

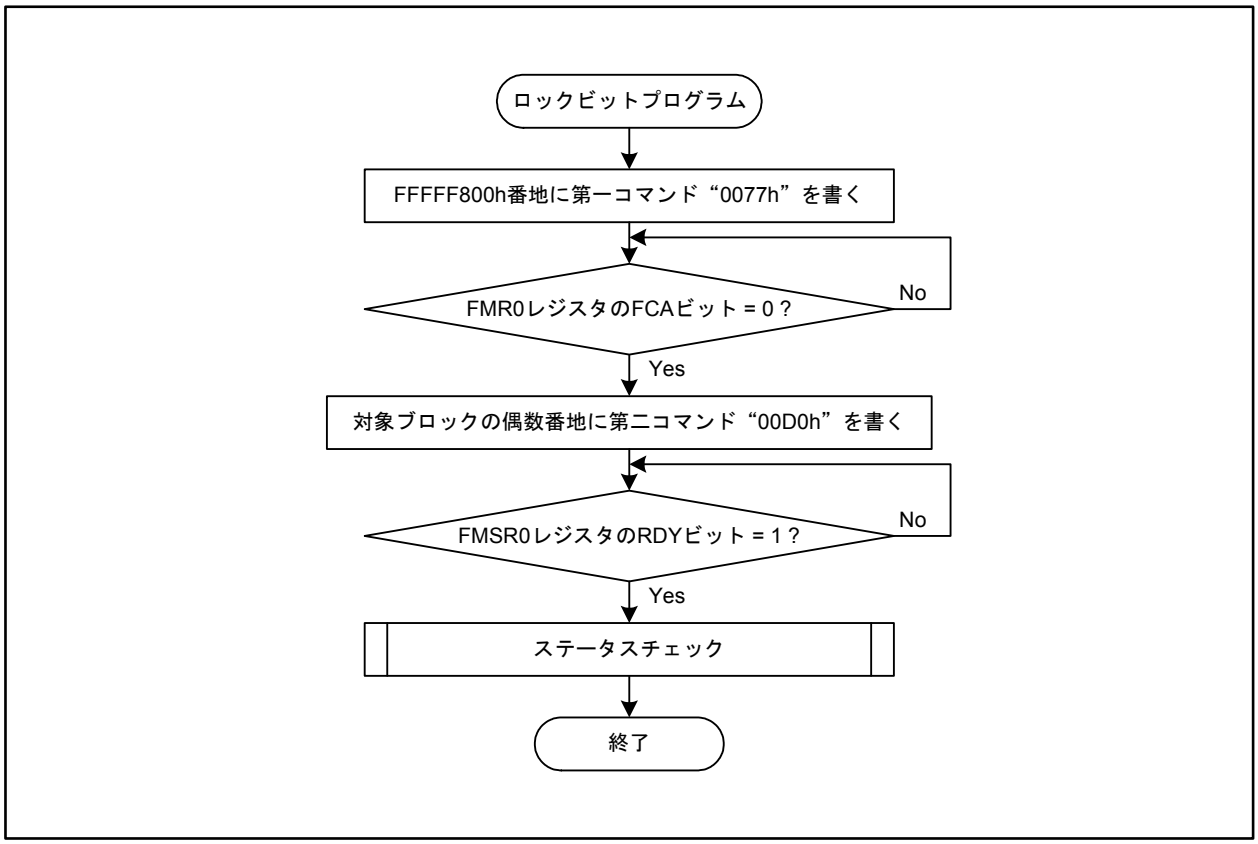


図 27.17　ロックビットプログラムコマンド発行のフローチャート

27.3.5.7　リードロックビットステータスコマンド

フラッシュメモリの指定したブロックのロック状態を確認するコマンドです。FMR0レジスタのLBMビットが“1” (LBSビット経由で読み出し)の場合に使用できます。

FFFFF800h番地に“0071h”を書き、FMR0レジスタのFCAビットが“0”になることを確認した後、対象とするブロックの任意の偶数番地に“00D0h”を書くと、指定されたブロックのロックビットの状態がFMR0レジスタのLBSビットに反映されます。

FMSR0レジスタのRDYビットが“1” (レディ)になってからLBSビットを読んでください。

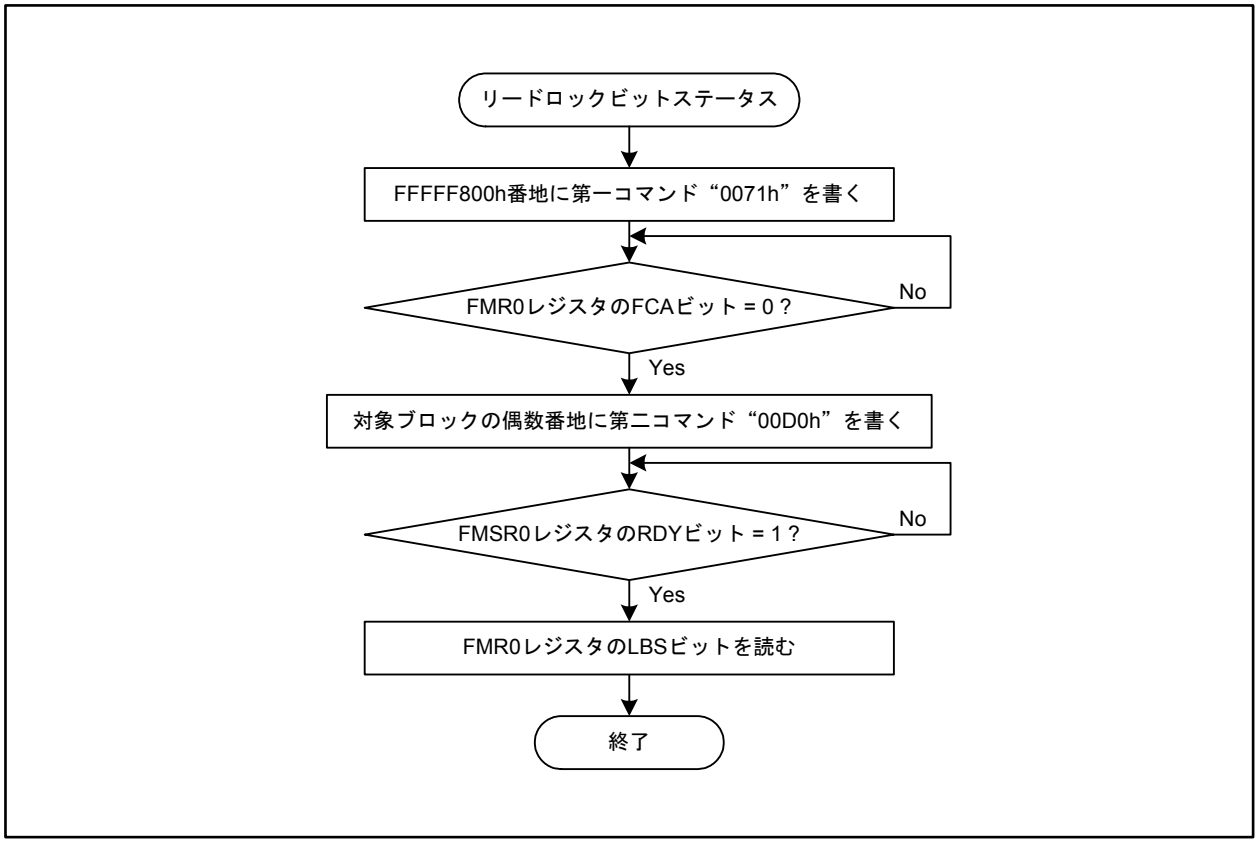


図 27.18　リードロックビットステータスコマンド発行のフローチャート

27.3.5.8　リードロックビットステータスモード移行コマンド

リードロックビットステータスモードに移行するコマンドです。FMR0レジスタのLBMビットが“0” (データバス経由で読み出し)の場合に使用できます。

FFFFF800h番地に“0071h”を書くと、フラッシュメモリのどの番地を読んでも、読んだブロックのロックビットステータス(表27.17参照)が読めます。

このコマンドを発行するプログラムはRAM上で実行してください。

27.3.5.9　プロテクトビットプログラムコマンド

フラッシュメモリの指定したブロックをプロテクトするコマンドです。いずれかのブロックのプロテクトビットを“0”にすると、ROMコードプロテクトが有効になります。

FFFFF800h番地に“0067h”を書き、FMR0レジスタのFCAビットが“0”になることを確認した後、対象とするブロックのプロテクトビット(表27.4参照)に対して“00D0h”を書くと、指定されたブロックのプロテクトビットに“0”(プロテクト)が書かれます。

プロテクトビットプログラムの終了はFMSR0レジスタのRDYビットで確認できます。RDYビットは、プロテクトビットプログラム中は“0”(ビジー)、終了後は“1”(レディ)になります。

プロテクトビットの状態は、リードプロテクトビットステータスモードに移行して(「27.3.5.10 リードプロテクトビットステータスモード移行コマンド」参照)、フラッシュメモリを読み出すことで確認できます。

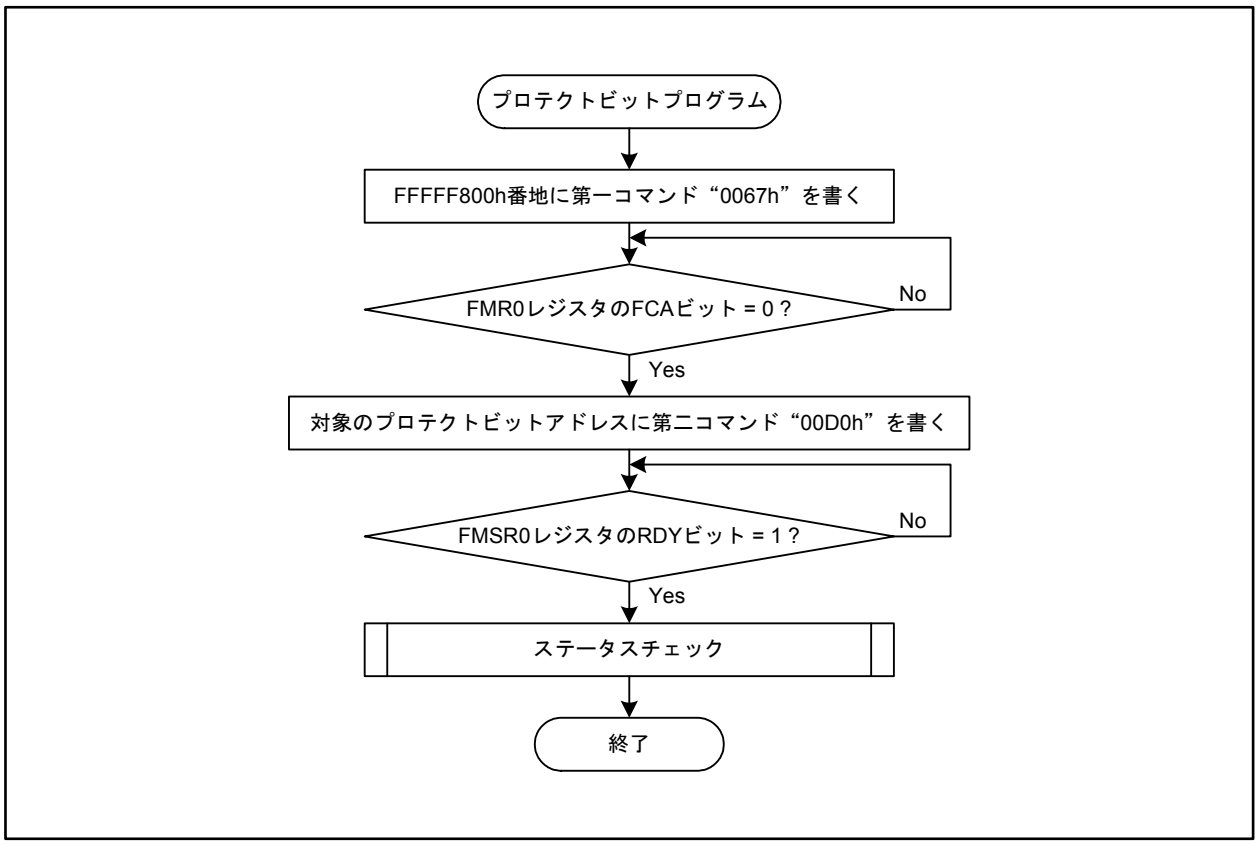


図27.19　プロテクトビットプログラムコマンド発行のフローチャート

27.3.5.10　リードプロテクトビットステータスモード移行コマンド

リードプロテクトビットステータスモードに移行するコマンドです。

FFFFF800h番地に“0061h”を書くと、フラッシュメモリのどの番地を読んでも、読んだブロックのプロテクトビットステータス(表27.18参照)が読めます。

このコマンドを発行するプログラムはRAM上で実行してください。

27.3.6　ステータスチェック

ソフトウェアコマンドが正常に実行できたかどうかは、FMSR0レジスタのEERR、WERRビット、もしくはステータスレジスタのSR5、SR4ビットを読むことで確認できます。

これらのビットの意味を表27.19に、ステータスチェックのフロー例を図27.20に示します。

表 27.19　ステータスとエラー内容

FMSR0レジスタ (ステータスレジスタ)		エラー内容	エラー発生原因
EERRビット (SR5ビット)	WERRビット (SR4ビット)		
1	1	コマンドシーケンスエラー	• 第二コマンドまであるソフトウェアコマンドの最終コマンドで“00D0h”もしくは“00FFh” (コマンドキャンセル) 以外の値を書いた • アドレスを指定するコマンドで実在しないアドレスを指定した
1	0	イレーズエラー	• ロックされたブロックをイレーズしようとした • 対象のブロックが正しくイレーズできなかった
0	1	プログラムエラー	• ロックされたブロックにプログラムしようとした • データが正しくプログラムできなかった • ロックビットが正しくプログラムできなかった • プロテクトビットが正しくプログラムできなかった
0	0	正常終了	

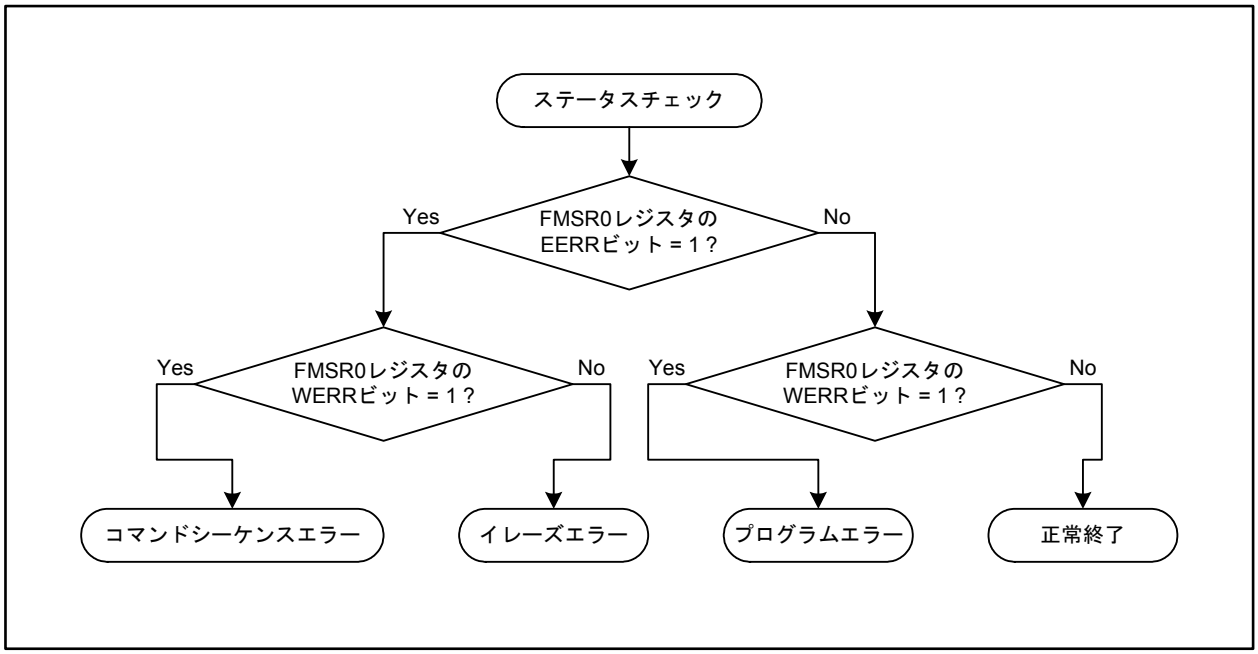


図 27.20　ステータスチェックのフローチャート

エラー発生時は、クリアステータスレジスタコマンドを発行してからエラー処理を行ってください。

プログラムが正しいにもかかわらずイレーズエラーやプログラムエラーが頻発する場合、当該ブロックは使用できなくなった可能性があります。

27.4 標準シリアル入出力モード

標準シリアル入出力モードでは、R32C/118グループに対応したシリアルライタを使用して、マイクロコンピュータを基板に実装したままフラッシュメモリの内容を書き換えることができます。

シリアルライタについては各メーカにお問い合わせください。また、シリアルライタの操作方法については、シリアルライタのマニュアルを参照してください。

標準シリアル入出力モードには、クロック同期型シリアルインタフェースを使用する標準シリアル入出力モード1と、クロック非同期型シリアルインタフェースを使用する標準シリアル入出力モード2の2種類あります。それぞれの特徴を表27.20に示します。

表27.20 標準シリアル入出力モードの種類と特徴

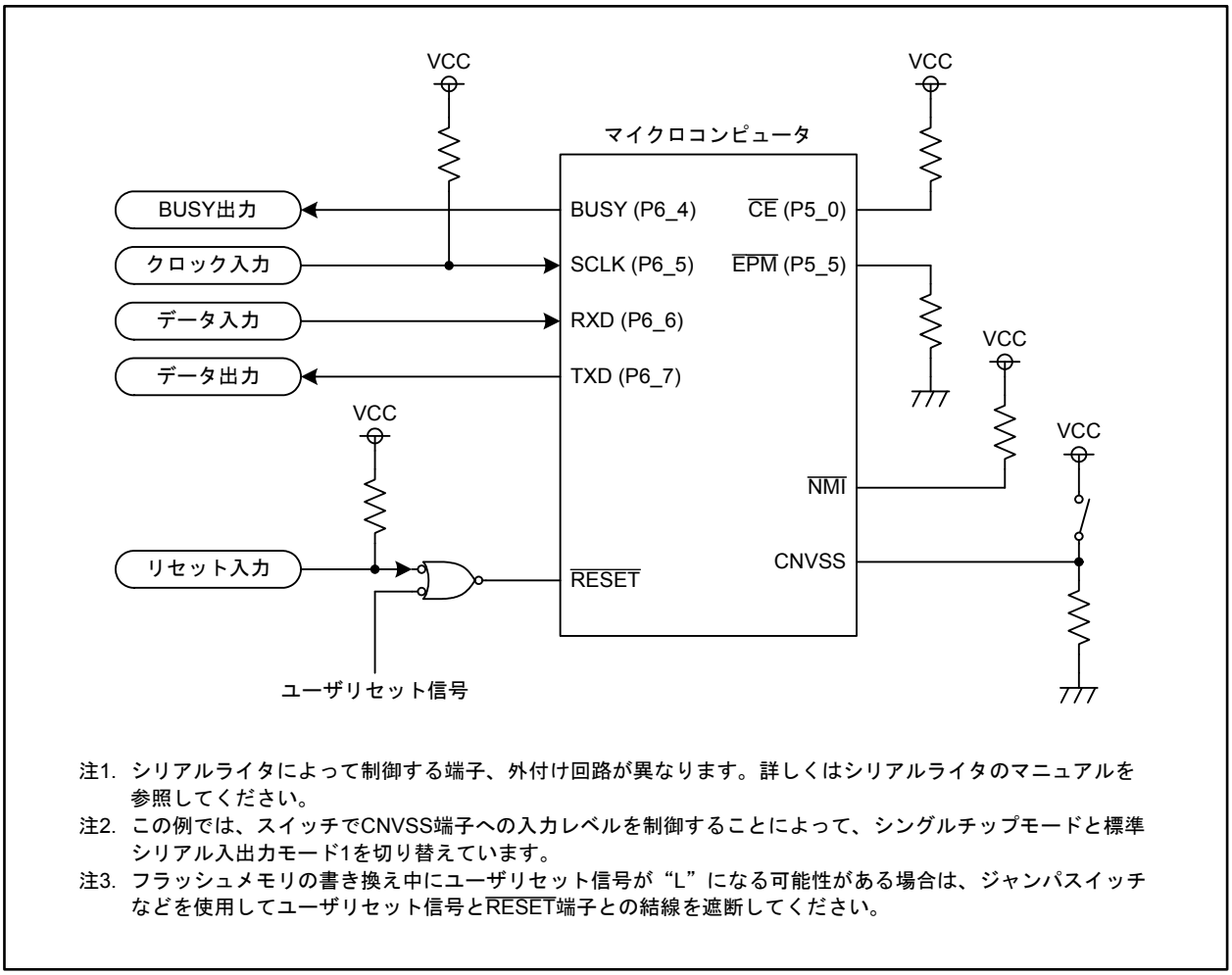
項目		標準シリアル入出力モード1	標準シリアル入出力モード2
通信方式		クロック同期型シリアル通信	クロック非同期型シリアル通信
通信速度		高速	低速
使用シリアルインタフェース		UART1	UART1
端子の設定	CNVSS	“H”	“H”
	$\overline{CE}$ (P5_0)	“H”	“H”
	$\overline{EPM}$ (P5_5)	“L”	“L”
	SCLK (P6_5)	リセット時:“L” 通信時: 送受信クロック	リセット時:“L” 通信時: 未使用
端子の機能	BUSY (P6_4)	BUSY信号	プログラム動作チェック用モニタ
	RXD (P6_6)	シリアルデータ入力	シリアルデータ入力
	TXD (P6_7)	シリアルデータ出力	シリアルデータ出力

表27.21に標準シリアル入出力モードでの端子の機能を示します。また、図27.21に標準シリアル入出力モード1を使用する場合の端子処理例、図27.22に標準シリアル入出力モード2を使用する場合の端子処理例を示します。シリアルライタによって制御する端子が異なりますので、詳細はシリアルライタのマニュアルを参照してください。

表 27.21 標準シリアル入出力モードでの端子の機能

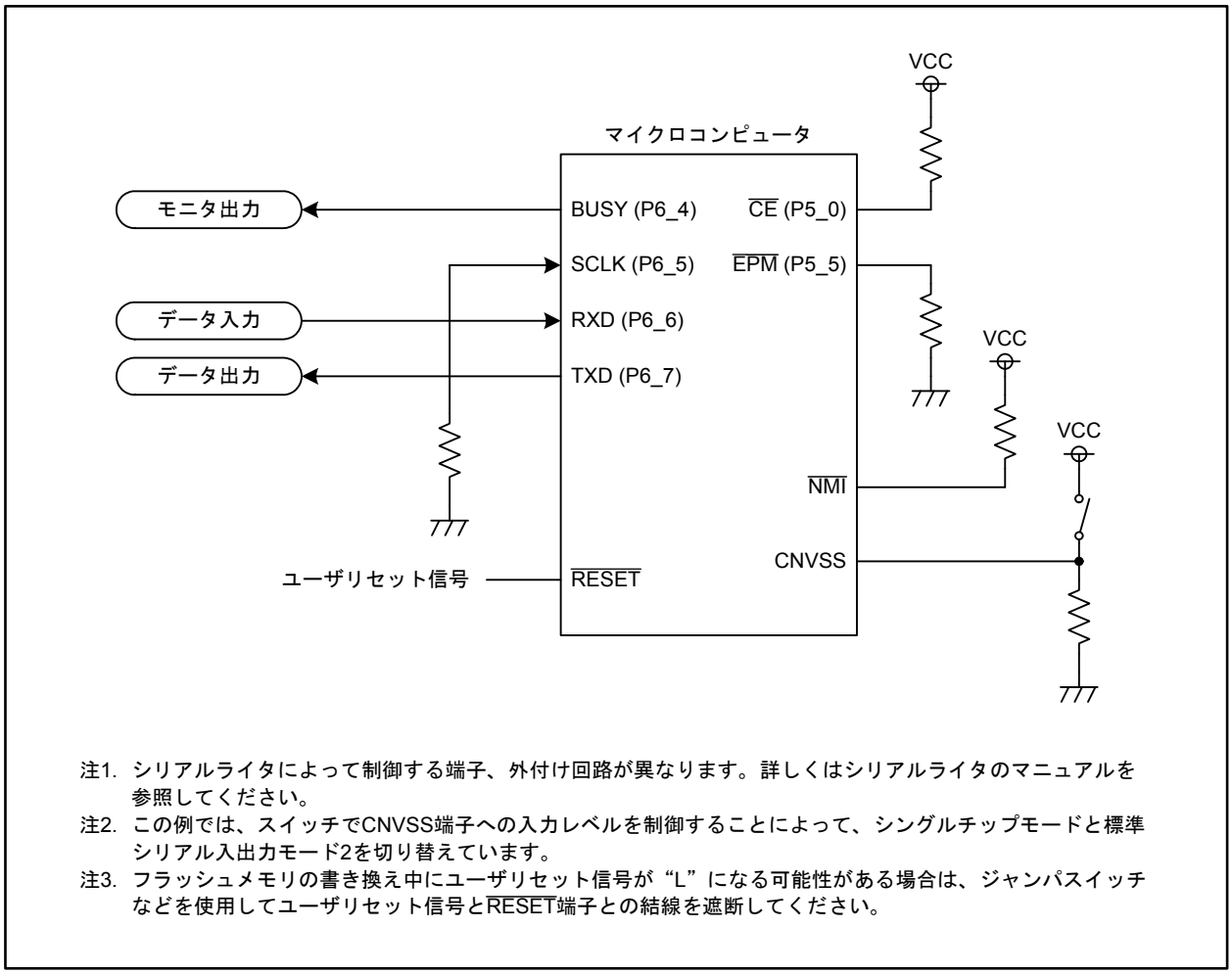
端子名	名称	入出力	機能
VCC, VSS	電源入力	入力	VCC端子にはプログラム、イレーズの保証電圧を、VSS端子には0 Vを入力してください
VDC1, VDC0	平滑コンデンサ接続端子	—	VDC1端子とVDC0端子間に内部ロジック電圧安定用の平滑コンデンサを接続してください
CNVSS	CNVSS	入力	VCCにプルアップしてください
$\overline{\text{RESET}}$	リセット入力	入力	リセット入力端子です。$\overline{\text{RESET}}$端子が“L”の間、XIN端子には20サイクル以上のクロックを入力してください
XIN	メインクロック入力	入力	XINとXOUTの間にはセラミック共振子または水晶振動子を接続してください。外部で生成したクロックを入力する場合は、XINから入力しXOUTは開放にしてください
XOUT	メインクロック出力	出力	
NSD	デバッグポート	入出力	1k ~ 4.7kΩの抵抗で、VCCにプルアップしてください
AVCC, AVSS	アナログ電源入力	入力	AVCCはVCCに接続してください。AVSSはVSSに接続してください
VREF	基準電圧入力	入力	A/DコンバータとD/Aコンバータの基準電圧入力です
P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7	入力ポート	入力	“H”を入力、“L”を入力、または開放してください
P5_0	$\overline{\text{CE}}$入力	入力	“H”を入力してください
P5_1~P5_4	入力ポート	入力	“H”を入力、“L”を入力、または開放してください
P5_5	$\overline{\text{EPM}}$入力	入力	“L”を入力してください
P5_6, P5_7, P6_0~P6_3	入力ポート	入力	“H”を入力、“L”を入力、または開放してください
P6_4	BUSY出力	出力	標準シリアル入出力モード1: BUSY信号の出力端子です 標準シリアル入出力モード2: プログラム動作チェック用モニタ
P6_5	SCLK入力	入力	標準シリアル入出力モード1: シリアルクロックの入力端子です 標準シリアル入出力モード2: “L”を入力してください
P6_6	データ入力 RXD	入力	シリアルデータの入力端子です
P6_7	データ出力 TXD	出力	シリアルデータの出力端子です
P7_0~P7_7, P8_0~P8_4	入力ポート	入力	“H”を入力、“L”を入力、または開放してください
P8_5	$\overline{\text{NMI}}$入力	入力	VCCにプルアップしてください
P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_1, P14_3~P14_6, P15_0~P15_7 (注1)	入力ポート	入力	“H”を入力、“L”を入力、または開放してください

注1. ポートP9_0、P9_2、P11~P15は144ピン版にのみ存在します。



注1. シリアルライタによって制御する端子、外付け回路が異なります。詳しくはシリアルライタのマニュアルを参照してください。
注2. この例では、スイッチでCNVSS端子への入力レベルを制御することによって、シングルチップモードと標準シリアル入出力モード1を切り替えています。
注3. フラッシュメモリの書き換え中にユーザリセット信号が“L”になる可能性がある場合は、ジャンパスイッチなどを使用してユーザリセット信号とRESET端子との結線を遮断してください。

図 27.21 標準シリアル入出力モード1の端子処理例



注1. シリアルライタによって制御する端子、外付け回路が異なります。詳しくはシリアルライタのマニュアルを参照してください。
注2. この例では、スイッチでCNVSS端子への入力レベルを制御することによって、シングルチップモードと標準シリアル入出力モード2を切り替えています。
注3. フラッシュメモリの書き換え中にユーザリセット信号が“L”になる可能性がある場合は、ジャンパスイッチなどを使用してユーザリセット信号とRESET端子との結線を遮断してください。

図 27.22 標準シリアル入出力モード2の端子処理例

27.5 パラレル入出力モード

パラレル入出力モードでは、R32C/118 グループに対応したパラレルライタを使用して、フラッシュメモリの内容を書き換えることができます。

パラレルライタについては各メーカにお問い合わせください。また、パラレルライタの操作方法については、パラレルライタのマニュアルを参照してください。

27.6 フラッシュメモリ書き換えに関する注意

27.6.1 電源電圧に関する注意事項

- フラッシュメモリ書き換え中の電源電圧は、電気的特性に定める電圧の範囲で一定の電圧を供給してください。書き換え中に保証値を超える電圧変動があった場合、フラッシュメモリの保証はできません。

27.6.2 ハードウェアリセットに関する注意事項

- フラッシュメモリ書き換え中は、ハードウェアリセットを行わないでください。

27.6.3 フラッシュメモリプロテクトに関する注意点

- IDコードの格納番地に誤ったデータを書くと、標準シリアル入出力モードによるフラッシュメモリの読み書きができなくなります。

27.6.4 プログラム作成上の注意点

- 低速モード、低消費電力モードでは、FMCRレジスタのFEWビットを“1”(CPU書き換えモード)にしないでください。
- プログラム、ブロックイレーズ、ロックビットプログラム、プロテクトビットプログラムは、NMI、ウォッチドッグタイマ割り込み、発振停止検出割り込み、電圧低下検出割り込みで中断されます。これらのソフトウェアコマンドが中断された場合、当該ブロックをイレーズした後に再度同じコマンドを実行してください。特にブロックイレーズが中断された場合、ロックビットとプロテクトビットの値は不定になりますので、ロック解除後再度ブロックイレーズを実施してください。

27.6.5 割り込み使用上の注意点

- EW0モード
  - 可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用できます。
  - NMI、ウォッチドッグタイマ割り込み、発振停止検出割り込み、電圧低下検出割り込みは、割り込みが発生すると自動的にリードアレイモードになりますので、フラッシュメモリの書き換え中でも使用できます。割り込み発生時はフラッシュメモリの書き換えが中断され、FMR0、FMSR0レジスタがリセットされます。割り込み処理終了後にFMR1レジスタのLBDビットを“1”(ロックビットプロテクト無効)にしてから再度書き換えプログラムを実行してください。
  - BRK命令、INTO命令、UND命令は、フラッシュメモリ上のデータを参照するため使用できません。

- EW1モード
  - プログラム/ブロックイレーズ中に、可変ベクタテーブルにベクタを持つ割り込みが受け付けられないようにしてください。
  - ウォッチドッグタイマ割り込みが発生しないようにしてください。
  - NMI、発振停止検出割り込み、電圧低下検出割り込みは、割り込みが発生すると自動的にリードアレイモードになりますので、フラッシュメモリの書き換え中でも使用できます。割り込み発生時はフラッシュメモリの書き換えが中断され、FMR0、FMSR0レジスタがリセットされます。割り込み処理終了後にFMR0レジスタのEWMビットを“1”(EW1モード)、FMR1レジスタのLBDビットを“1”(ロックビットプロテクト無効)にしてから再度書き換えプログラムを実行してください。

27.6.6 書き換え制御プログラムの書き換えに関する注意点

- EW0モード
  - 書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後のフラッシュメモリ書き換えができなくなることがあります。書き換えできなくなった場合は、シリアルライタ、パラレルライタを使用して書き換えてください。

- EW1モード
  - 書き換え制御プログラムが格納されているブロックは書き換えないでください。

27.6.7 プログラム、イレーズ回数とソフトウェアコマンド実行時間

- ソフトウェアコマンド(プログラム、ブロックイレーズ、ロックビットプログラム、プロテクトビットプログラム)の実行時間は、プログラム、イレーズ回数の増加とともに長くなります。特に、プログラム、イレーズ回数が電気的特性に定めるプログラム、イレーズ回数を超えると、ソフトウェアコマンドの実行時間は著しく長くなるため、ソフトウェアコマンドの待ち時間の設定は電気的特性に定める最大時間以上に設定してください。

27.6.8 その他の注意事項

- 電気的特性に定めるプログラム、イレーズ回数は当初の性能を保証できるプログラム、イレーズ回数の最大値です。この回数を超えると直ちにプログラム、イレーズができなくなるわけではありません。
- デバッグでプログラム、イレーズを繰り返したチップは、量産時には使用しないでください。

28. 電気的特性

表 28.1 絶対最大定格(注1)

記号	項目		条件	定格値	単位
V_{CC}	電源電圧		$V_{CC} = AV_{CC}$	-0.3 ~ 6.0	V
AV_{CC}	アナログ電源電圧		$V_{CC} = AV_{CC}$	-0.3 ~ 6.0	V
V_I	入力電圧	XIN, $\overline{RESET}$, CNVSS, NSD, V_{REF}, P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P5_0~P5_3, P8_4~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_1, P14_3~P14_6, P15_0~P15_7 (注2)		-0.3 ~ V_{CC} + 0.3	V
		P4_0~P4_7, P5_4~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_3		-0.3 ~ 6.0	V
V_O	出力電圧	XOUT, P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_3~P14_6, P15_0~P15_7 (注2)		-0.3 ~ V_{CC} + 0.3	V
P_d	消費電力		T_a = 25°C	500	mW
—	動作周囲温度			-40 ~ 85	°C
T_{stg}	保存温度			-65 ~ 150	°C

注1. 絶対最大定格は、瞬時たりとも超過してはならない限界値です。この値を超えて使用した場合には、デバイスの信頼性を著しく下げたり破壊することがあります。また、長期にわたって絶対最大定格の条件下に置かれた場合、デバイスの信頼性に影響することがあります。

注2. ポートP9_0、P9_2、P11~P15は144ピン版にのみ存在します。ポートP9_1は100ピン版では入力専用端子になります。

表 28.2　推奨動作条件(1) (注1)

記号	項目			規格値			単位
				最小	標準	最大	
V_{CC}	電源電圧			3.0	5.0	5.5	V
AV_{CC}	アナログ電源電圧				V_{CC}		V
V_{REF}	基準電圧			3.0		V_{CC}	V
V_{SS}	電源電圧				0		V
AV_{SS}	アナログ電源電圧				0		V
dV_{CC}/dt	V_{CC}電源立ち上げ勾配(V_{CC} < 2.0 V)			0.05			V/ms
V_{IH}	“H”入力電圧	XIN, $\overline{\text{RESET}}$, CNVSS, NSD, P2_0~P2_7, P3_0~P3_7, P5_0~P5_3, P8_4~P8_7 (注2), P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P14_1, P14_3~P14_6, P15_0~P15_7 (注3)		0.8 × V_{CC}		V_{CC}	V
		P4_0~P4_7, P5_4~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_3		0.8 × V_{CC}		6.0	V
		P0_0~P0_7, P1_0~P1_7, P12_0~P12_7, P13_0~P13_7 (注3)	シングルチップモード時	0.8 × V_{CC}		V_{CC}	V
			メモリ拡張、マイクロプロセッサモード時	0.5 × V_{CC}		V_{CC}	V
V_{IL}	“L”入力電圧	XIN, $\overline{\text{RESET}}$, CNVSS, NSD, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7 (注2), P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P14_1, P14_3~P14_6, P15_0~P15_7 (注3)		0		0.2 × V_{CC}	V
		P0_0~P0_7, P1_0~P1_7, P12_0~P12_7, P13_0~P13_7 (注3)	シングルチップモード時	0		0.2 × V_{CC}	V
			メモリ拡張、マイクロプロセッサモード時	0		0.16 × V_{CC}	V
T_{opr}	動作周囲温度	Nバージョン		-20		85	°C
		Dバージョン		-40		85	°C
		Pバージョン		-40		85	°C

注1.　推奨動作条件は、デバイスの動作を保証する範囲であり、この範囲を超えた場合、最大定格内であっても動作は保証されません。

注2.　P8_7のV_{IH}、V_{IL}はP8_7をプログラマブル入力ポートとして使用する場合の規格であり、XCINとして使用する場合の規格ではありません。

注3.　ポートP9_0、P9_2、P11~P15は144ピン版にのみ存在します。ポートP9_1は100ピン版では入力専用端子になります。

表 28.3　推奨動作条件(2) (指定のない場合は、V_{CC} = 3.0 ~ 5.5 V、V_{SS} = 0 V、T_a = T_{opr}) (注1)

記号	項目		規格値(注2)			単位
			最小	標準	最大	
C_{VDC}	電圧レギュレータ平滑コンデンサ容量	端子間電圧1.5 V	2.4		10.0	μF

注1.　推奨動作条件は、デバイスの動作を保証する範囲であり、この範囲を超えた場合、最大定格内であっても動作は保証されません。

注2.　規格値はコンデンサの使用温度、両端子間の直流電圧、経年変化などのあらゆる条件を考慮した上で満たす必要があります。

表 28.4　推奨動作条件(3) (指定のない場合は、V_{CC} = 3.0 ~ 5.5 V、V_{SS} = 0 V、T_a = T_{opr}) (注1)

記号	項目		規格値			単位
			最小	標準	最大	
$I_{OH(peak)}$	“H”尖頭出力電流(注2)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_3~P14_6, P15_0~P15_7 (注3)			-10.0	mA
$I_{OH(avg)}$	“H”平均出力電流(注4)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_3~P14_6, P15_0~P15_7 (注3)			-5.0	mA
$I_{OL(peak)}$	“L”尖頭出力電流(注2)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_3~P14_6, P15_0~P15_7 (注3)			10.0	mA
$I_{OL(avg)}$	“L”平均出力電流(注4)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_3~P14_6, P15_0~P15_7 (注3)			5.0	mA

注1.　推奨動作条件は、デバイスの動作を保証する範囲であり、この範囲を超えた場合、最大定格内であっても動作は保証されません。

注2.　ポートP0, P1, P2, P8_6, P8_7, P9, P10, P11, P14, P15の$I_{OL(peak)}$の合計は80 mA以下、ポートP3, P4, P5, P6, P7, P8_0~P8_4, P12, P13の$I_{OL(peak)}$の合計は80 mA以下、ポートP0, P1, P2, P11の$I_{OH(peak)}$の合計は-40 mA以下、ポートP8_6, P8_7, P9, P10, P14, P15の$I_{OH(peak)}$の合計は-40 mA以下、ポートP3, P4, P5, P12, P13の$I_{OH(peak)}$の合計は-40 mA以下、ポートP6, P7, P8_0~P8_4の$I_{OH(peak)}$の合計は-40 mA以下にしてください。

注3.　ポートP9_0、P9_2、P11~P15は144ピン版にのみ存在します。ポートP9_1は100ピン版では入力専用端子になります。

注4.　平均出力電流は100 msの期間内での平均値です。

表 28.5　推奨動作条件(4) (指定のない場合は、V_{CC} = 3.0 ~ 5.5 V、V_{SS} = 0 V、T_a = T_{opr}) (注1)

記号	項目		規格値			単位
			最小	標準	最大	
$f_{(XIN)}$	メインクロック入力発振周波数		4		16	MHz
$f_{(XRef)}$	基準クロック周波数		2		4	MHz
$f_{(PLL)}$	PLLクロック発振周波数		96		128	MHz
$f_{(Base)}$	ベースクロック周波数	高速版			64	MHz
		通常版			50	MHz
$t_{c(Base)}$	ベースクロックサイクル時間	高速版	15.625			ns
		通常版	20			ns
$f_{(CPU)}$	CPU動作周波数	高速版			64	MHz
		通常版			50	MHz
$t_{c(CPU)}$	CPUクロックサイクル時間	高速版	15.625			ns
		通常版	20			ns
$f_{(BCLK)}$	周辺バスクロック周波数	高速版			32	MHz
		通常版			25	MHz
$t_{c(BCLK)}$	周辺バスクロックサイクル時間	高速版	31.25			ns
		通常版	40			ns
$f_{(PER)}$	周辺機能クロック源周波数				32	MHz
$f_{(XCIN)}$	サブクロック発振周波数			32.768	62.5	kHz

注1.　推奨動作条件は、デバイスの動作を保証する範囲であり、この範囲を超えた場合、最大定格内であっても動作は保証されません。

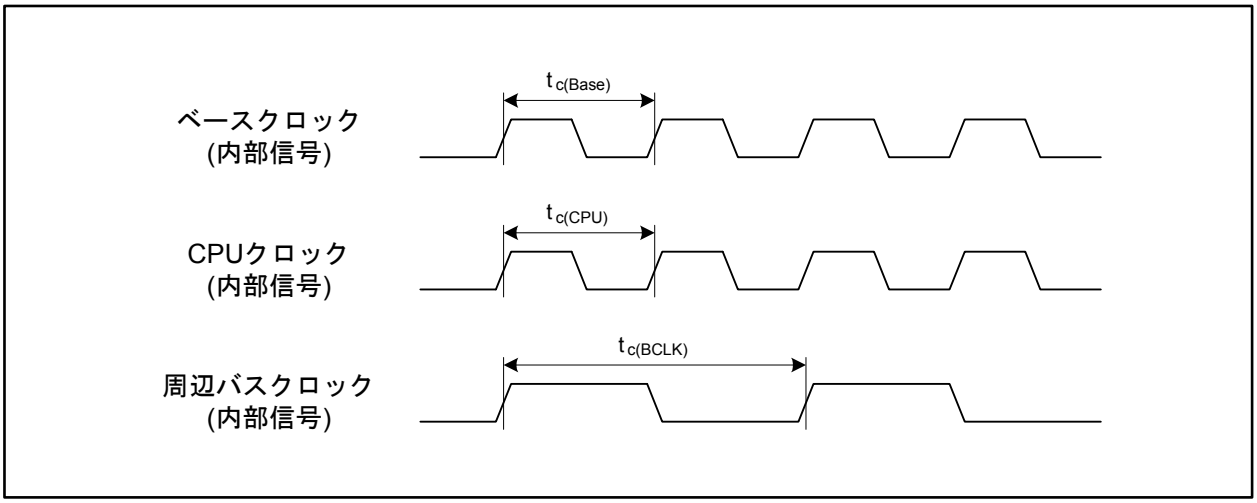


図 28.1　クロックサイクル時間

表 28.6　推奨動作条件(5) (指定のない場合は、V_{CC} = 3.0 ~ 5.5 V、V_{SS} = 0 V、T_a = T_{opr}) (注1)

記号	項目		規格値			単位
			最小	標準	最大	
$V_{r(VCC)}$	許容電源リップル電圧	V_{CC} = 5.0 V			0.5	Vp-p
		V_{CC} = 3.0 V			0.3	Vp-p
$dV_{r(VCC)}/dt$	電源リップル立ち上がり/立ち下がり勾配	V_{CC} = 5.0 V			±0.3	V/ms
		V_{CC} = 3.0 V			±0.3	V/ms
$f_{r(VCC)}$	許容電源リップル周波数				10	kHz

注1.　推奨動作条件は、デバイスの動作を保証する範囲であり、この範囲を超えた場合、最大定格内であっても動作は保証されません。

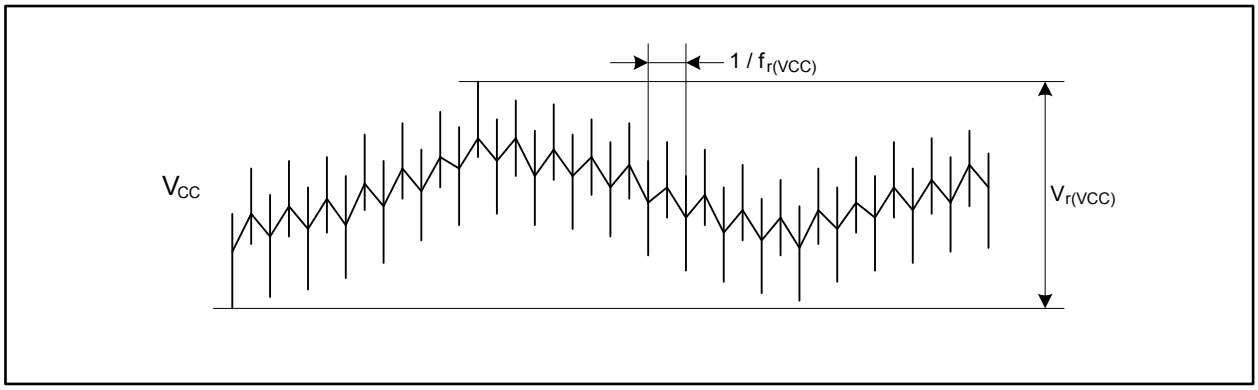


図 28.2　電源リップル波形

表 28.7　RAMの電気的特性 (指定のない場合は、V_{CC} = 3.0 ~ 5.5 V、V_{SS} = 0 V、T_a = T_{opr})

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{RDR}	RAMデータ保持電圧	ストップモード時	2.0			V

表 28.8　フラッシュメモリの電気的特性 (指定のない場合は、V_{CC} = 3.0 ~ 5.5 V、V_{SS} = 0 V、T_a = T_{opr})

記号	項目		規格値			単位
			最小	標準	最大	
—	プログラム、イレーズ回数(注1)	プログラム領域	1000			回
		データ領域	10000			回
—	4ワードプログラム時間	プログラム領域		150	900	μs
		データ領域		300	1700	μs
—	ロックビットプログラム時間	プログラム領域		70	500	μs
		データ領域		140	1000	μs
—	ブロックイレーズ時間	4Kバイトブロック		0.12	3.0	s
		32Kバイトブロック		0.17	3.0	s
		64Kバイトブロック		0.20	3.0	s
—	データ保持時間(注2)	T_a = 55°C (注3)	10			年

注1.　プログラム、イレーズ回数の定義
プログラム、イレーズ回数はブロックごとのイレーズ回数です。プログラム、イレーズ回数がn回の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。
たとえば、4Kバイトブロックのブロック Aについて、それぞれ異なる番地に4ワード書き込みを512回に分けて行った後に、そのブロックをイレーズした場合も、プログラム / イレーズ回数は1回と数えます。
ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注2.　規格値は、電源電圧が印加されていない時間、クロックが供給されていない時間も含みます。

注3.　この条件以外でのデータ保持時間につきましては、弊社営業窓口までお問い合わせください。

表 28.9　電源回路のタイミング特性 (指定のない場合は、V_{CC} = 3.0 ~ 5.5 V、V_{SS} = 0 V、T_a = T_{opr})

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{d(P-R)}$	電源投入時内部電源安定時間				2	ms

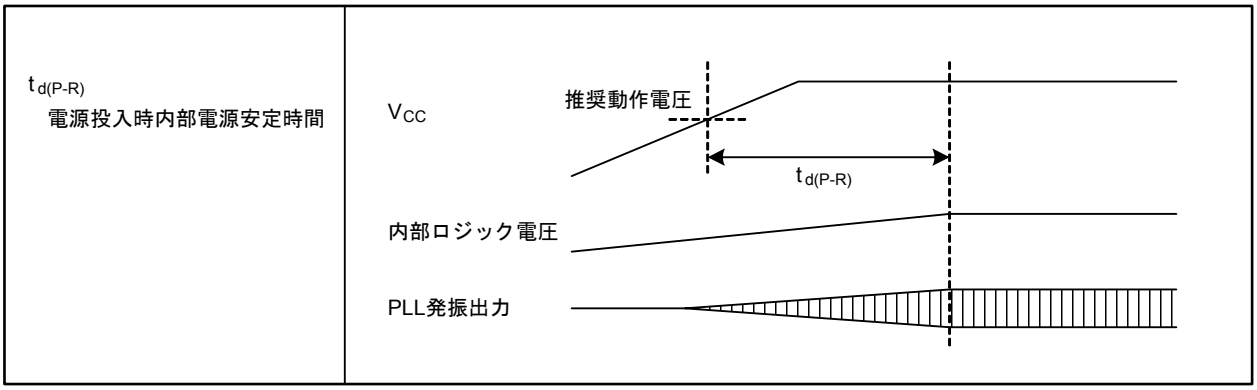


図 28.3　電源回路のタイミング

表 28.10　内部電圧レギュレータの電気的特性 (指定のない場合は、V_{CC} = 3.0 ~ 5.5 V、V_{SS} = 0 V、T_a = T_{opr})

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{VDC1}	レギュレータ出力電圧			1.5		V

表 28.11　電圧低下検出回路の電気的特性 (指定のない場合は、V_{CC} = 4.2 ~ 5.5 V、V_{SS} = 0 V、T_a = T_{opr})

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
ΔVdet	検出電圧誤差				±0.3	V
Vdet(R)-Vdet(F)	ヒステリシス幅		0			V
—	自己消費電流	V_{CC} = 5.0 V、電圧検出回路有効		4		μA
$t_{d(E-A)}$	電圧低下検出回路動作開始時間				150	μs

表 28.12 発振回路の電気的特性 (指定のない場合は、V_{CC} = 3.0 ~ 5.5 V、V_{SS} = 0 V、$T_a = T_{opr}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$f_{SO(PLL)}$	PLLクロック自励発振周波数		35	50	65	MHz
$t_{LOCK(PLL)}$	PLL発振安定時間(注1)				1	ms
$t_{jitter(p-p)}$	PLLジッタ周期(p-p)				2.0	ns
$f_{(OCO)}$	オンチップオシレータ発振周波数		62.5	125	250	kHz

注1. メインクロックの発振が安定していることが条件となります。

表 28.13 クロック回路の電気的特性 (指定のない場合は、V_{CC} = 3.0 ~ 5.5 V、V_{SS} = 0 V、$T_a = T_{opr}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{rec(WAIT)}$	ウェイトモード→低消費電力モードリカバリ時間				225	μs
$t_{rec(STOP)}$	ストップモードリカバリ時間(注1)				225	μs

注1. メインクロックの発振安定時間は含みません。発振が安定する前にCPUは動作を開始します。

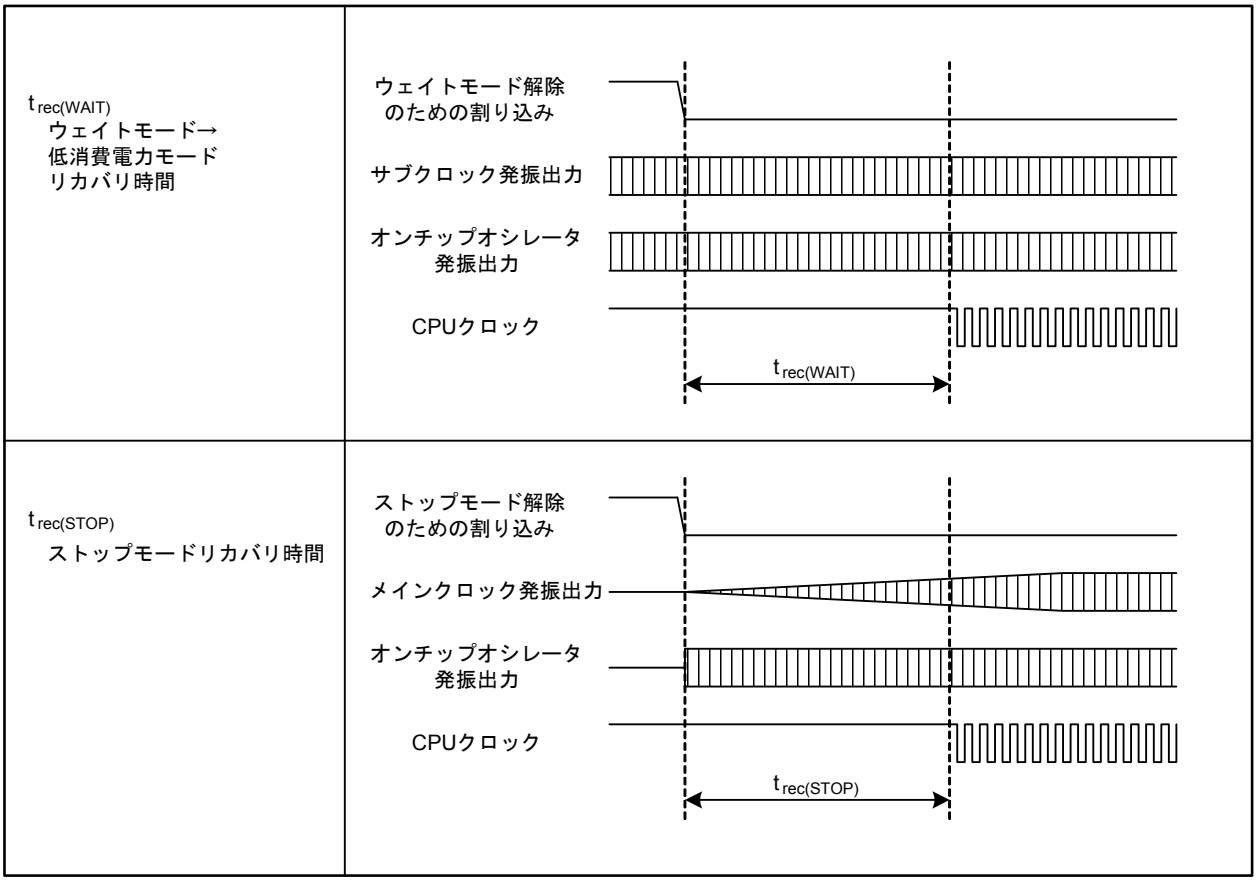


図 28.4　クロック回路のタイミング図

タイミング必要条件 (指定のない場合は、V_{CC} = 3.0 ~ 5.5 V、V_{SS} = 0 V、T_a = T_{opr})

表 28.14　フラッシュメモリCPU書き換えモードタイミング

記号	項目	規格値		単位
		最小	最大	
t_{cR}	リードサイクル時間	200		ns
$t_{su(S-R)}$	リード前チップセレクトセットアップ時間	200		ns
$t_{h(R-S)}$	リード後チップセレクトホールド時間	0		ns
$t_{su(A-R)}$	リード前アドレスセットアップ時間	200		ns
$t_{h(R-A)}$	リード後アドレスホールド時間	0		ns
$t_{w(R)}$	リードパルス幅	100		ns
t_{cW}	ライトサイクル時間	200		ns
$t_{su(S-W)}$	ライト前チップセレクトセットアップ時間	0		ns
$t_{h(W-S)}$	ライト後チップセレクトホールド時間	30		ns
$t_{su(A-W)}$	ライト前アドレスセットアップ時間	0		ns
$t_{h(W-A)}$	ライト後アドレスホールド時間	30		ns
$t_{w(W)}$	ライトパルス幅	50		ns

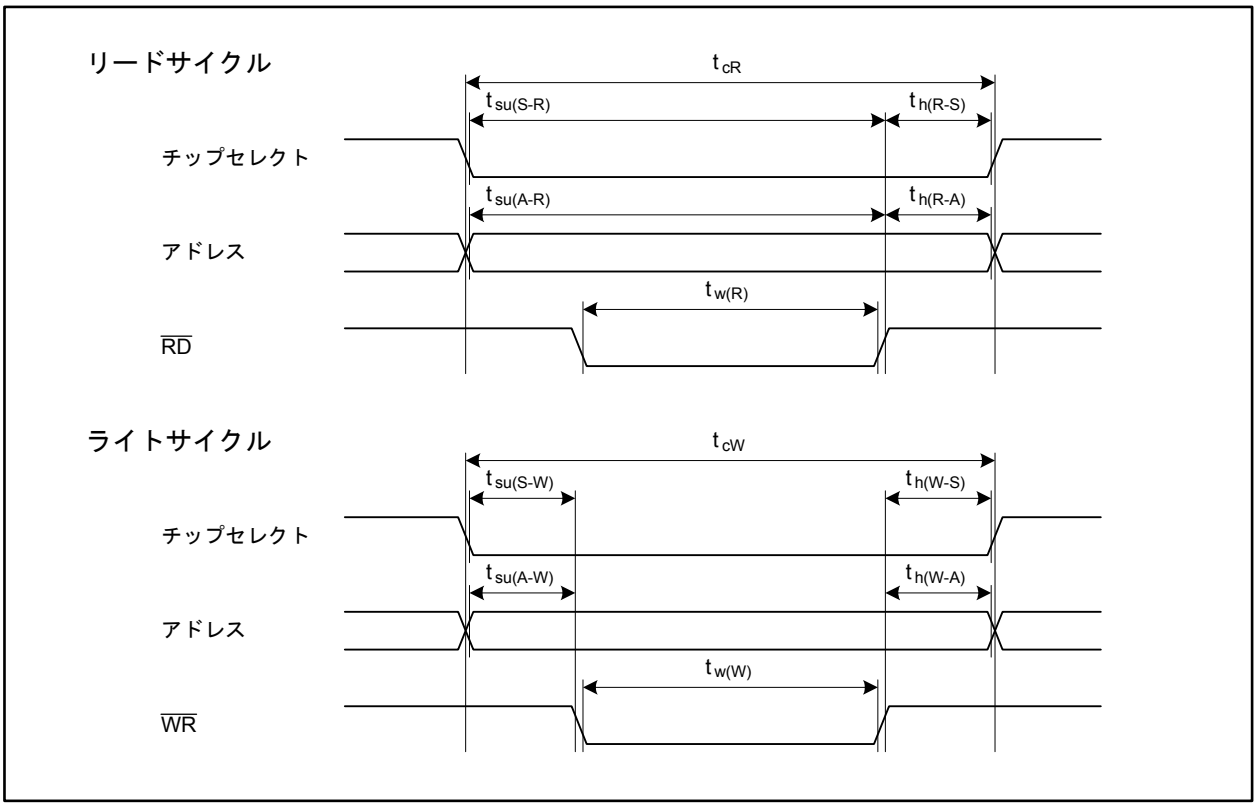


図 28.5　フラッシュメモリCPU書き換えモードタイミング

V_{CC} = 5 V

表 28.15 電気的特性(1) (指定のない場合は、V_{CC} = 4.2 ~ 5.5 V、V_{SS} = 0 V、T_a = T_{opr}、$f_{(CPU)}$ = 64 MHz)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
V_{OH}	“H”出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_3~P14_6, P15_0~P15_7 (注1)	I_{OH} = -5 mA	V_{CC} - 2.0		V_{CC}	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_3~P14_6, P15_0~P15_7 (注1)	I_{OH} = -200 µA	V_{CC} - 0.3		V_{CC}	V
V_{OL}	“L”出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_3~P14_6, P15_0~P15_7 (注1)	I_{OL} = 5 mA			2.0	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_3~P14_6, P15_0~P15_7 (注1)	I_{OL} = 200 µA			0.45	V

注1. ポートP9_0、P9_2、P11~P15は144ピン版にのみ存在します。ポートP9_1は100ピン版では入力専用端子になります。

V_{CC} = 5 V

表 28.16　電気的特性(2) (指定のない場合は、V_{CC} = 4.2 ~ 5.5 V、V_{SS} = 0 V、T_a = T_{opr}、$f_{(CPU)}$ = 64 MHz)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
V_{T+}-V_{T-}	ヒステリシス	$\overline{HOLD}$, $\overline{RDY}$, $\overline{NMI}$, $\overline{INT0}$~$\overline{INT8}$, $\overline{KI0}$~$\overline{KI3}$, TA0IN~TA4IN, TA0OUT~TA4OUT, TB0IN~TB5IN, $\overline{CTS0}$~$\overline{CTS8}$, CLK0~CLK8, RXD0~RXD8, SCL0~SCL6, SDA0~SDA6, $\overline{SS0}$~$\overline{SS6}$, SRXD0~SRXD6, $\overline{ADTRG}$, IIO0_0~IIO0_7, IIO1_0~IIO1_7, UD0A, UD0B, UD1A, UD1B, ISCLK2, ISRXD2, IEIN, MSCL, MSDA, CAN0IN, CAN1IN, $\overline{CAN0WU}$, $\overline{CAN1WU}$ (注1)		0.2		1.0	V
		$\overline{RESET}$		0.2		1.8	V
I_{IH}	“H”入力電流	XIN, $\overline{RESET}$, CNVSS, NSD, P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_1, P14_3~P14_6, P15_0~P15_7 (注2)	V_I = 5 V			5.0	μA
I_{IL}	“L”入力電流	XIN, $\overline{RESET}$, CNVSS, NSD, P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_1, P14_3~P14_6, P15_0~P15_7 (注2)	V_I = 0 V			-5.0	μA
R_{PULLUP}	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P5_0~P5_3, P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_1, P14_3~P14_6, P15_0~P15_7 (注2)	V_I = 0 V	30	50	170	kΩ
R_{fXIN}	帰還抵抗	XIN			1.5		MΩ
R_{fXCIN}	帰還抵抗	XCIN			15		MΩ

注1.　$\overline{INT6}$~$\overline{INT8}$は144ピン版のみ存在します。

注2.　ポートP9_0、P9_2、P11~P15は144ピン版にのみ存在します。ポートP9_1は100ピン版では入力専用端子になります。

V_{CC} = 5 V

表 28.17 電気的特性(3) (指定のない場合は、V_{CC} = 4.2 ~ 5.5 V、V_{SS} = 0 V、T_a = T_{opr})

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
I_{CC}	電源電流	シングルチップモードで出力端子は開放、その他の端子はV_{SS}に接続 XIN-XOUT 駆動能力: Low XCIN-XCOUT 駆動能力: Low	$f_{(CPU)}$ = 64 MHz、$f_{(BCLK)}$ = 32 MHz、$f_{(XIN)}$ = 8 MHz、PLL発振、XCIN停止、OCO停止		45	60	mA
			$f_{(CPU)}$ = 50 MHz、$f_{(BCLK)}$ = 25 MHz、$f_{(XIN)}$ = 8 MHz、PLL発振、XCIN停止、OCO停止		35	50	mA
			$f_{(CPU)}$ = $f_{SO(PLL)}$/24 MHz、XIN停止、PLL自励発振、XCIN停止、OCO停止		12		mA
			$f_{(CPU)}$ = $f_{(BCLK)}$ = $f_{(XIN)}$/256 MHz、$f_{(XIN)}$ = 8 MHz、PLL停止、XCIN停止、OCO停止		1.2		mA
			$f_{(CPU)}$ = $f_{(BCLK)}$ = 32.768 kHz、XIN停止、PLL停止、XCIN発振、OCO停止、メインレギュレータ停止		220		µA
			$f_{(CPU)}$ = $f_{(BCLK)}$ = $f_{(OCO)}$/4 kHz、XIN停止、PLL停止、XCIN停止、OCO発振、メインレギュレータ停止		230		µA
			$f_{(CPU)}$ = $f_{(BCLK)}$ = $f_{(XIN)}$/256 MHz、$f_{(XIN)}$ = 8 MHz、PLL停止、XCIN停止、OCO停止、ウェイトモード、T_a = 25°C		960	1600	µA
			$f_{(CPU)}$ = $f_{(BCLK)}$ = 32.768 kHz、XIN停止、PLL停止、XCIN発振、OCO停止、メインレギュレータ停止、ウェイトモード、T_a = 25°C		8	140	µA
			$f_{(CPU)}$ = $f_{(BCLK)}$ = $f_{(OCO)}$/4 kHz、XIN停止、PLL停止、XCIN停止、OCO発振、メインレギュレータ停止、ウェイトモード、T_a = 25°C		10	150	µA
			クロック停止、メインレギュレータ停止、T_a = 25°C		5	70	µA

V_{CC} = 5 V

表 28.18 A/D変換特性 (指定のない場合は、V_{CC} = AV_{CC} = V_{REF} = 4.2 ~ 5.5 V、V_{SS} = AV_{SS} = 0 V、T_a = T_{opr}、$f_{(BCLK)}$ = 32 MHz)

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
—	分解能	V_{REF} = V_{CC}				10	Bits
—	絶対誤差	V_{REF} = V_{CC} = 5 V	AN_0~AN_7, AN0_0~AN0_7, AN2_0~AN2_7, AN15_0~AN15_7, ANEX0, ANEX1 (注1)			±3	LSB
			外部オペアンプ接続モード			±7	LSB
INL	積分非直線性誤差	V_{REF} = V_{CC} = 5 V	AN_0~AN_7, AN0_0~AN0_7, AN2_0~AN2_7, AN15_0~AN15_7, ANEX0, ANEX1 (注1)			±3	LSB
			外部オペアンプ接続モード			±7	LSB
DNL	微分非直線性誤差					±1	LSB
—	オフセット誤差					±3	LSB
—	ゲイン誤差					±3	LSB
R_{LADDER}	ラダー抵抗	V_{REF} = V_{CC}		4		20	kΩ
t_{CONV}	変換時間(10bit)	ϕ_{AD} = 16 MHz、サンプル&ホールドあり		2.06			μs
		ϕ_{AD} = 16 MHz、サンプル&ホールドなし		3.69			μs
t_{CONV}	変換時間(8bit)	ϕ_{AD} = 16 MHz、サンプル&ホールドあり		1.75			μs
		ϕ_{AD} = 16 MHz、サンプル&ホールドなし		3.06			μs
t_{SAMP}	サンプリング時間	ϕ_{AD} = 16 MHz		0.188			μs
V_{IA}	アナログ入力電圧			0		V_{REF}	V
ϕ_{AD}	動作クロック周波数	サンプル&ホールドなし		0.25		16	MHz
		サンプル&ホールドあり		1		16	MHz

注1. AN15_0~AN15_7は144ピン版のみ存在します。

V_{CC} = 5 V

表 28.19 D/A変換特性 (指定のない場合は、V_{CC} = AV_{CC} = V_{REF} = 4.2 ~ 5.5 V、V_{SS} = AV_{SS} = 0 V、T_a = T_{opr})

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能				8	Bits
—	絶対精度				1.0	%
t_S	設定時間				3	µs
R_O	出力抵抗		4	10	20	kΩ
I_{VREF}	基準電源入力電流	(注1)			1.5	mA

注1. D/Aコンバータを1本利用し、使用していないD/AコンバータのDAiレジスタ (i = 0, 1)の値が“00h”の場合です。A/Dコンバータのラダー抵抗分は除きます。
AD0CON1レジスタのVCUTビットを“0” (V_{REF}未接続)にした場合でも、I_{VREF}は流れます。

V_{CC} = 5 V

タイミング必要条件 (指定のない場合は、V_{CC} = 4.2 ~ 5.5 V、V_{SS} = 0 V、T_a = T_{opr})

表 28.20 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(X)}$	外部クロック入力サイクル時間	62.5	250	ns
$t_{w(XH)}$	外部クロック入力 “H” パルス幅	25		ns
$t_{w(XL)}$	外部クロック入力 “L” パルス幅	25		ns
$t_{r(X)}$	外部クロック入力 立ち上がり時間		5	ns
$t_{f(X)}$	外部クロック入力 立ち下がり時間		5	ns
t_w / t_c	外部クロック入力デューティ	40	60	%

表 28.21 外部バスタイミング

記号	項目	規格値		単位
		最小	最大	
$t_{su(D-R)}$	リード前データセットアップ時間	40		ns
$t_{h(R-D)}$	リード後データホールド時間	0		ns
$t_{dis(R-D)}$	リード後データディスエーブル時間		0.5 × $t_{c(Base)}$ + 10	ns

V_{CC} = 5 V

タイミング必要条件 (指定のない場合は、V_{CC} = 4.2 ~ 5.5 V、V_{SS} = 0 V、T_a = T_{opr})

表 28.22 タイマA入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	200		ns
$t_{w(TAH)}$	TAiIN入力 “H”パルス幅	80		ns
$t_{w(TAL)}$	TAiIN入力 “L”パルス幅	80		ns

表 28.23 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	400		ns
$t_{w(TAH)}$	TAiIN入力 “H”パルス幅	180		ns
$t_{w(TAL)}$	TAiIN入力 “L”パルス幅	180		ns

表 28.24 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	200		ns
$t_{w(TAH)}$	TAiIN入力 “H”パルス幅	80		ns
$t_{w(TAL)}$	TAiIN入力 “L”パルス幅	80		ns

表 28.25 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(TAH)}$	TAiIN入力 “H”パルス幅	80		ns
$t_{w(TAL)}$	TAiIN入力 “L”パルス幅	80		ns

表 28.26 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(UP)}$	TAiOUT入力サイクル時間	2000		ns
$t_{w(UPH)}$	TAiOUT入力 “H”パルス幅	1000		ns
$t_{w(UPL)}$	TAiOUT入力 “L”パルス幅	1000		ns
$t_{su(UP-TIN)}$	TAiOUT入力セットアップ時間	400		ns
$t_{h(TIN-UP)}$	TAiOUT入力ホールド時間	400		ns

V_{CC} = 5 V

タイミング必要条件 (指定のない場合は、V_{CC} = 4.2 ~ 5.5 V、V_{SS} = 0 V、T_a = T_{opr})

表 28.27 タイマB入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間(片エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN入力 “H”パルス幅(片エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN入力 “L”パルス幅(片エッジカウント)	80		ns
$t_{c(TB)}$	TBiIN入力サイクル時間(両エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN入力 “H”パルス幅(両エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN入力 “L”パルス幅(両エッジカウント)	80		ns

表 28.28 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力 “H”パルス幅	180		ns
$t_{w(TBL)}$	TBiIN入力 “L”パルス幅	180		ns

表 28.29 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力 “H”パルス幅	180		ns
$t_{w(TBL)}$	TBiIN入力 “L”パルス幅	180		ns

V_{CC} = 5 V

タイミング必要条件 (指定のない場合は、V_{CC} = 4.2 ~ 5.5 V、V_{SS} = 0 V、T_a = T_{opr})

表 28.30 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	200		ns
$t_{w(CKH)}$	CLKi入力 “H”パルス幅	80		ns
$t_{w(CKL)}$	CLKi入力 “L”パルス幅	80		ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	80		ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90		ns

表 28.31 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(ADH)}$	$\overline{ADTRG}$入力 “H”パルス幅 ハードウェアトリガ入力 “H”パルス幅	$\frac{3}{\phi_{AD}}$		ns
$t_{w(ADL)}$	$\overline{ADTRG}$入力 “L”パルス幅 ハードウェアトリガ入力 “L”パルス幅	125		ns

表 28.32 外部割り込み$\overline{INTi}$入力

記号	項目		規格値		単位
			最小	最大	
$t_{w(INH)}$	$\overline{INTi}$入力 “H”パルス幅	エッジセンス	250		ns
		レベルセンス	$t_{c(CPU)}$ + 200		ns
$t_{w(INL)}$	$\overline{INTi}$入力 “L”パルス幅	エッジセンス	250		ns
		レベルセンス	$t_{c(CPU)}$ + 200		ns

表 28.33 インテリジェントI/O通信機能

記号	項目	規格値		単位
		最小	最大	
$t_{c(ISCLK2)}$	ISCLK2入力サイクル時間	600		ns
$t_{w(ISCLK2H)}$	ISCLK2入力 “H”パルス幅	270		ns
$t_{w(ISCLK2L)}$	ISCLK2入力 “L”パルス幅	270		ns
$t_{su(RXD-ISCLK2)}$	ISRXD2入力セットアップ時間	150		ns
$t_{h(ISCLK2-RXD)}$	ISRXD2入力ホールド時間	100		ns

V_{CC} = 5 V

タイミング必要条件 (指定のない場合は、V_{CC} = 4.2 ~ 5.5 V、V_{SS} = 0 V、T_a = T_{opr})

表 28.34　マルチマスタ I^2C バスインタフェース

記号	項目	規格値				単位
		標準モード		高速モード		
		最小	最大	最小	最大	
$t_{w(SCLH)}$	MSCL入力 “H”パルス幅	600		600		ns
$t_{w(SCLL)}$	MSCL入力 “L”パルス幅	600		600		ns
$t_{r(SCL)}$	MSCL入力 立ち上がり時間		1000		300	ns
$t_{f(SCL)}$	MSCL入力 立ち下がり時間		300		300	ns
$t_{r(SDA)}$	MSDA入力 立ち上がり時間		1000		300	ns
$t_{f(SDA)}$	MSDA入力 立ち下がり時間		300		300	ns
$t_{h(SDA-SCL)S}$	スタートコンディション/ リスタートコンディション後 MSCL“H”ホールド時間	(注1)		$2 \times t_{c(\phi IIC)} + 40$		ns
$t_{su(SCL-SDA)P}$	リスタートコンディション/ ストップコンディション前 MSCL“H”セットアップ時間	(注1)		$2 \times t_{c(\phi IIC)} + 40$		ns
$t_{w(SDAH)P}$	ストップコンディション後 MSDA“H”パルス幅	(注1)		$4 \times t_{c(\phi IIC)} + 40$		ns
$t_{su(SDA-SCL)}$	MSDA入力セットアップ時間	100		100		ns
$t_{h(SCL-SDA)}$	MSDA入力ホールド時間	0		0		ns

注1.　I2CSSCRレジスタのSSC4~SSC0ビットで設定した値(SSC)に応じて次式で算出されます。

$t_{h(SDA-SCL)S} = SSC \div 2 \times t_{c(\phi IIC)} + 40$ [ns]

$t_{su(SCL-SDA)P} = (SSC \div 2 + 1) \times t_{c(\phi IIC)} + 40$ [ns]

$t_{w(SDAH)P} = (SSC + 1) \times t_{c(\phi IIC)} + 40$ [ns]

V_{CC} = 5 V

スイッチング特性 (指定のない場合は、V_{CC} = 4.2 ~ 5.5 V、V_{SS} = 0 V、T_a = T_{opr})

表 28.35 外部バスタイミング(セパレートバス)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{su(S-R)}$	リード前チップセレクトセットアップ時間	図 28.6参照	(注1)		ns
$t_{h(R-S)}$	リード後チップセレクトホールド時間		$t_{c(Base)}$ - 15		ns
$t_{su(A-R)}$	リード前アドレスセットアップ時間		(注1)		ns
$t_{h(R-A)}$	リード後アドレスホールド時間		$t_{c(Base)}$ - 15		ns
$t_{w(R)}$	リードパルス幅		(注1)		ns
$t_{su(S-W)}$	ライト前チップセレクトセットアップ時間		(注1)		ns
$t_{h(W-S)}$	ライト後チップセレクトホールド時間		1.5 × $t_{c(Base)}$ - 15		ns
$t_{su(A-W)}$	ライト前アドレスセットアップ時間		(注1)		ns
$t_{h(W-A)}$	ライト後アドレスホールド時間		1.5 × $t_{c(Base)}$ - 15		ns
$t_{w(W)}$	ライトパルス幅		(注1)		ns
$t_{su(D-W)}$	ライト前データセットアップ時間		(注1)		ns
$t_{h(W-D)}$	ライト後データホールド時間		0		ns

注1. ベースクロックサイクル時間 $t_{c(Base)}$ と EBC0~EBC3 レジスタで設定したサイクル数 (Tsu(A-R)、Tw(R)、Tsu(A-W)、Tw(W)) に応じて次式で算出されます。算出した数値が負の値になる場合は、設定値を見直してください。サイクル数の設定方法については、「9.3.5 外部バスタイミング」をご参照ください。

$t_{su(S-R)} = t_{su(A-R)} = Tsu(A-R) \times t_{c(Base)} - 15$ [ns]

$t_{w(R)} = Tw(R) \times t_{c(Base)} - 10$ [ns]

$t_{su(S-W)} = t_{su(A-W)} = Tsu(A-W) \times t_{c(Base)} - 15$ [ns]

$t_{w(W)} = t_{su(D-W)} = Tw(W) \times t_{c(Base)} - 10$ [ns]

V_{CC} = 5 V

スイッチング特性 (指定のない場合は、V_{CC} = 4.2 ~ 5.5 V、V_{SS} = 0 V、T_a = T_{opr})

表 28.36 外部バスタイミング(マルチプレクスバス)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{su(S-ALE)}$	ALE前チップセレクトセットアップ時間	図 28.6参照	(注1)		ns
$t_{h(R-S)}$	リード後チップセレクトホールド時間		1.5×$t_{c(Base)}$ - 15		ns
$t_{su(A-ALE)}$	ALE前アドレスセットアップ時間		(注1)		ns
$t_{h(ALE-A)}$	ALE後アドレスホールド時間		0.5 × $t_{c(Base)}$ - 5		ns
$t_{h(R-A)}$	リード後アドレスホールド時間		1.5 × $t_{c(Base)}$ - 15		ns
$t_{d(ALE-R)}$	ALE-リード間遅延時間		0.5 × $t_{c(Base)}$ - 5	0.5 × $t_{c(Base)}$ + 10	ns
$t_{w(ALE)}$	ALEパルス幅		(注1)		ns
$t_{dis(R-A)}$	リード後アドレスディスエーブル時間			8	ns
$t_{w(R)}$	リードパルス幅		(注1)		ns
$t_{h(W-S)}$	ライト後チップセレクトホールド時間		1.5 × $t_{c(Base)}$ -15		ns
$t_{h(W-A)}$	ライト後アドレスホールド時間		1.5 × $t_{c(Base)}$ - 15		ns
$t_{d(ALE-W)}$	ALE-ライト間遅延時間		0.5 × $t_{c(Base)}$ - 5	0.5 × $t_{c(Base)}$ + 10	ns
$t_{w(W)}$	ライトパルス幅		(注1)		ns
$t_{su(D-W)}$	ライト前データセットアップ時間		(注1)		ns
$t_{h(W-D)}$	ライト後データホールド時間		0.5 × $t_{c(Base)}$		ns

注1. ベースクロックサイクル時間 $t_{c(Base)}$ と EBC0~EBC3 レジスタで設定したサイクル数 (Tsu(A-R)、Tw(R)、Tsu(A-W)、Tw(W)) に応じて次式で算出されます。算出した数値が負の値になる場合は、設定値を見直してください。サイクル数の設定方法については、「9.3.5 外部バスタイミング」をご参照ください。

$t_{su(S-ALE)}$ = $t_{su(A-ALE)}$ = $t_{w(ALE)}$ = (Tsu(A-R) – 0.5) × $t_{c(Base)}$ – 15 [ns]

$t_{w(R)}$ = Tw(R) × $t_{c(Base)}$ – 10 [ns]

$t_{w(W)}$ = $t_{su(D-W)}$ = Tw(W) × $t_{c(Base)}$ – 10 [ns]

V_{CC} = 5 V

スイッチング特性 (指定のない場合は、V_{CC} = 4.2 ~ 5.5 V、V_{SS} = 0 V、T_a = T_{opr})

表 28.37 シリアルインタフェース

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{d(C-Q)}$	TXDi出力遅延時間	図 28.6参照		80	ns
$t_{h(C-Q)}$	TXDi出力ホールド時間		0		ns

表 28.38 インテリジェントI/O通信機能

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{d(ISCLK2-TXD)}$	ISTXD2出力遅延時間	図 28.6参照		180	ns
$t_{h(ISCLK2-RXD)}$	ISTXD2出力ホールド時間		0		ns

表 28.39 マルチマスタ I^2Cバスインタフェース(標準モード)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{f(SCL)}$	MSCL出力 立ち下がり時間	図 28.6参照	2		ns
$t_{f(SDA)}$	MSDA出力 立ち下がり時間		2		ns
$t_{d(SDA-SCL)S}$	スタートコンディション/リスタートコンディション後MSCL出力遅延時間		20 × $t_{c(\phi IIC)}$ - 120	52 × $t_{c(\phi IIC)}$ - 40	ns
$t_{d(SCL-SDA)P}$	MSCL“H”後リスタートコンディション/ストップコンディション出力遅延時間		20 × $t_{c(\phi IIC)}$ + 40	52 × $t_{c(\phi IIC)}$ + 120	ns
$t_{d(SCL-SDA)}$	MSDA出力遅延時間		2 × $t_{c(\phi IIC)}$ + 40	3 × $t_{c(\phi IIC)}$ + 120	ns

表 28.40 マルチマスタ I^2Cバスインタフェース(高速モード)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{f(SCL)}$	MSCL出力 立ち下がり時間	図 28.6参照	2 (注1)		ns
$t_{f(SDA)}$	MSDA出力 立ち下がり時間		2 (注1)		ns
$t_{d(SDA-SCL)S}$	スタートコンディション/リスタートコンディション後MSCL出力遅延時間		10 × $t_{c(\phi IIC)}$ - 120	26 × $t_{c(\phi IIC)}$ - 40	ns
$t_{d(SCL-SDA)P}$	MSCL“H”後リスタートコンディション/ストップコンディション出力遅延時間		10 × $t_{c(\phi IIC)}$ + 40	26 × $t_{c(\phi IIC)}$ + 120	ns
$t_{d(SCL-SDA)}$	MSDA出力遅延時間		2 × $t_{c(\phi IIC)}$ + 40	3 × $t_{c(\phi IIC)}$ + 120	ns

注1. I^2C-busの仕様を満たすには、外部回路が必要です。

V_{CC} = 3.3 V

表 28.41 電気的特性(1) (指定のない場合は、V_{CC} = 3.0 ~ 3.6 V、V_{SS} = 0 V、T_a = T_{opr}、$f_{(CPU)}$ = 64 MHz)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
V_{OH}	“H”出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_3~P14_6, P15_0~P15_7 (注1)	I_{OH} = -1 mA	V_{CC} - 0.6		V_{CC}	V
V_{OL}	“L”出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_3~P14_6, P15_0~P15_7 (注1)	I_{OL} = 1 mA			0.5	V

注1. ポートP9_0、P9_2、P11~P15は144ピン版にのみ存在します。ポートP9_1は100ピン版では入力専用端子になります。

V_{CC} = 3.3 V

表 28.42　電気的特性(2) (指定のない場合は、V_{CC} = 3.0 ~ 3.6 V、V_{SS} = 0 V、T_a = T_{opr}、$f_{(CPU)}$ = 64 MHz)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
V_{T+}-V_{T-}	ヒステリシス	$\overline{HOLD}$, $\overline{RDY}$, $\overline{NMI}$, $\overline{INT0}$~$\overline{INT8}$, $\overline{KI0}$~$\overline{KI3}$, TA0IN~TA4IN, TA0OUT~TA4OUT, TB0IN~TB5IN, $\overline{CTS0}$~$\overline{CTS8}$, CLK0~CLK8, RXD0~RXD8, SCL0~SCL6, SDA0~SDA6, $\overline{SS0}$~$\overline{SS6}$, SRXD0~SRXD6, $\overline{ADTRG}$, IIO0_0~IIO0_7, IIO1_0~IIO1_7, UD0A, UD0B, UD1A, UD1B, ISCLK2, ISRXD2, IEIN, MSCL, MSDA, CAN0IN, CAN1IN, $\overline{CAN0WU}$, $\overline{CAN1WU}$ (注1)		0.2		1.0	V
		$\overline{RESET}$		0.2		1.8	V
I_{IH}	“H”入力電流	XIN, $\overline{RESET}$, CNVSS, NSD, P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_1, P14_3~P14_6, P15_0~P15_7 (注2)	V_I = 3.3 V			4.0	μA
I_{IL}	“L”入力電流	XIN, $\overline{RESET}$, CNVSS, NSD, P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_1, P14_3~P14_6, P15_0~P15_7 (注2)	V_I = 0 V			-4.0	μA
R_{PULLUP}	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P5_0~P5_3, P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_1, P14_3~P14_6, P15_0~P15_7 (注2)	V_I = 0 V	50	100	500	kΩ
R_{fXIN}	帰還抵抗	XIN			3		MΩ
R_{fXCIN}	帰還抵抗	XCIN			25		MΩ

注1.　$\overline{INT6}$~$\overline{INT8}$は144ピン版のみ存在します。

注2.　ポートP9_0、P9_2、P11~P15は144ピン版にのみ存在します。ポートP9_1は100ピン版では入力専用端子になります。

V_{CC} = 3.3 V

表 28.43 電気的特性(3) (指定のない場合は、V_{CC} = 3.0 ~ 3.6 V、V_{SS} = 0 V、T_a = T_{opr})

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
I_{CC}	電源電流	シングルチップモードで出力端子は開放、その他の端子はV_{SS}に接続 XIN-XOUT 駆動能力: Low XCIN-XCOUT 駆動能力: Low	$f_{(CPU)}$ = 64 MHz、$f_{(BCLK)}$ = 32 MHz、$f_{(XIN)}$ = 8 MHz、PLL発振、XCIN停止、OCO停止		40	55	mA
			$f_{(CPU)}$ = 50 MHz、$f_{(BCLK)}$ = 25 MHz、$f_{(XIN)}$ = 8 MHz、PLL発振、XCIN停止、OCO停止		32	45	mA
			$f_{(CPU)}$ = $f_{SO(PLL)}$/24 MHz、XIN停止、PLL自励発振、XCIN停止、OCO停止		9		mA
			$f_{(CPU)}$ = $f_{(BCLK)}$ = $f_{(XIN)}$/256 MHz、$f_{(XIN)}$ = 8 MHz、PLL停止、XCIN停止、OCO停止		670		µA
			$f_{(CPU)}$ = $f_{(BCLK)}$ = 32.768 kHz、XIN停止、PLL停止、XCIN発振、OCO停止、メインレギュレータ停止		180		µA
			$f_{(CPU)}$ = $f_{(BCLK)}$ = $f_{(OCO)}$/4 kHz、XIN停止、PLL停止、XCIN停止、OCO発振、メインレギュレータ停止		190		µA
			$f_{(CPU)}$ = $f_{(BCLK)}$ = $f_{(XIN)}$/256 MHz、$f_{(XIN)}$ = 8 MHz、PLL停止、XCIN停止、OCO停止、ウェイトモード、T_a = 25°C		500	900	µA
			$f_{(CPU)}$ = $f_{(BCLK)}$ = 32.768 kHz、XIN停止、PLL停止、XCIN発振、OCO停止、メインレギュレータ停止、ウェイトモード、T_a = 25°C		8	140	µA
			$f_{(CPU)}$ = $f_{(BCLK)}$ = $f_{(OCO)}$/4 kHz、XIN停止、PLL停止、XCIN停止、OCO発振、メインレギュレータ停止、ウェイトモード、T_a = 25°C		10	150	µA
			クロック停止、メインレギュレータ停止、T_a = 25°C		5	70	µA

V_{CC} = 3.3 V

表 28.44　A/D変換特性 (指定のない場合は、V_{CC} = AV_{CC} = V_{REF} = 3.0 ~ 3.6 V、V_{SS} = AV_{SS} = 0 V、T_a = T_{opr}、$f_{(BCLK)}$ = 32 MHz)

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
—	分解能	V_{REF} = V_{CC}				10	Bits
—	絶対誤差	V_{REF} = V_{CC} = 3.3 V	AN_0~AN_7, AN0_0~AN0_7, AN2_0~AN2_7, AN15_0~AN15_7, ANEX0, ANEX1 (注1)			±5	LSB
			外部オペアンプ接続モード			±7	LSB
INL	積分非直線性誤差	V_{REF} = V_{CC} = 3.3 V	AN_0~AN_7, AN0_0~AN0_7, AN2_0~AN2_7, AN15_0~AN15_7, ANEX0, ANEX1 (注1)			±5	LSB
			外部オペアンプ接続モード			±7	LSB
DNL	微分非直線性誤差	V_{REF} = V_{CC} = 3.3 V				±1	LSB
—	オフセット誤差					±3	LSB
—	ゲイン誤差					±3	LSB
R_{LADDER}	ラダー抵抗	V_{REF} = V_{CC}		4		20	kΩ
t_{CONV}	変換時間(10bit)	ϕ_{AD} = 10 MHz、サンプル&ホールドあり		3.3			μs
t_{CONV}	変換時間(8bit)	ϕ_{AD} = 10 MHz、サンプル&ホールドあり		2.8			μs
t_{SAMP}	サンプリング時間	ϕ_{AD} = 10 MHz		0.3			μs
V_{IA}	アナログ入力電圧			0		V_{REF}	V
ϕ_{AD}	動作クロック周波数	サンプル&ホールドなし		0.25		10	MHz
		サンプル&ホールドあり		1		10	MHz

注1.　AN15_0~AN15_7は144ピン版のみ存在します。

V_{CC} = 3.3 V

表 28.45 D/A変換特性 (指定のない場合は、V_{CC} = AV_{CC} = V_{REF} = 3.0 ~ 3.6 V、V_{SS} = AV_{SS} = 0 V、T_a = T_{opr})

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能				8	Bits
—	絶対精度				1.0	%
t_S	設定時間				3	µs
R_O	出力抵抗		4	10	20	kΩ
I_{VREF}	基準電源入力電流	(注1)			1.0	mA

注1. D/Aコンバータを1本利用し、使用していないD/AコンバータのDAiレジスタ (i = 0, 1)の値が“00h”の場合です。A/Dコンバータのラダー抵抗分は除きます。
AD0CON1レジスタのVCUTビットを“0” (V_{REF}未接続)にした場合でも、I_{VREF}は流れます。

V_{CC} = 3.3 V

タイミング必要条件 (指定のない場合は、V_{CC} = 3.0 ~ 3.6 V、V_{SS} = 0 V、T_a = T_{opr})

表 28.46 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(X)}$	外部クロック入力サイクル時間	62.5	250	ns
$t_{w(XH)}$	外部クロック入力 “H” パルス幅	25		ns
$t_{w(XL)}$	外部クロック入力 “L” パルス幅	25		ns
$t_{r(X)}$	外部クロック入力 立ち上がり時間		5	ns
$t_{f(X)}$	外部クロック入力 立ち下がり時間		5	ns
t_w / t_c	外部クロック入力デューティ	40	60	%

表 28.47 外部バスタイミング

記号	項目	規格値		単位
		最小	最大	
$t_{su(D-R)}$	リード前データセットアップ時間	40		ns
$t_{h(R-D)}$	リード後データホールド時間	0		ns
$t_{dis(R-D)}$	リード後データディスエーブル時間		0.5 × $t_{c(Base)}$ + 10	ns

V_{CC} = 3.3 V

タイミング必要条件 (指定のない場合は、V_{CC} = 3.0 ~ 3.6 V、V_{SS} = 0 V、T_a = T_{opr})

表 28.48 タイマA入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	200		ns
$t_{w(TAH)}$	TAiIN入力 “H”パルス幅	80		ns
$t_{w(TAL)}$	TAiIN入力 “L”パルス幅	80		ns

表 28.49 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	400		ns
$t_{w(TAH)}$	TAiIN入力 “H”パルス幅	180		ns
$t_{w(TAL)}$	TAiIN入力 “L”パルス幅	180		ns

表 28.50 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	200		ns
$t_{w(TAH)}$	TAiIN入力 “H”パルス幅	80		ns
$t_{w(TAL)}$	TAiIN入力 “L”パルス幅	80		ns

表 28.51 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(TAH)}$	TAiIN入力 “H”パルス幅	80		ns
$t_{w(TAL)}$	TAiIN入力 “L”パルス幅	80		ns

表 28.52 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(UP)}$	TAiOUT入力サイクル時間	2000		ns
$t_{w(UPH)}$	TAiOUT入力 “H”パルス幅	1000		ns
$t_{w(UPL)}$	TAiOUT入力 “L”パルス幅	1000		ns
$t_{su(UP-TIN)}$	TAiOUT入力セットアップ時間	400		ns
$t_{h(TIN-UP)}$	TAiOUT入力ホールド時間	400		ns

V_{CC} = 3.3 V

タイミング必要条件 (指定のない場合は、V_{CC} = 3.0 ~ 3.6 V、V_{SS} = 0 V、T_a = T_{opr})

表 28.53 タイマB入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間(片エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN入力 “H”パルス幅(片エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN入力 “L”パルス幅(片エッジカウント)	80		ns
$t_{c(TB)}$	TBiIN入力サイクル時間(両エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN入力 “H”パルス幅(両エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN入力 “L”パルス幅(両エッジカウント)	80		ns

表 28.54 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力 “H”パルス幅	180		ns
$t_{w(TBL)}$	TBiIN入力 “L”パルス幅	180		ns

表 28.55 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力 “H”パルス幅	180		ns
$t_{w(TBL)}$	TBiIN入力 “L”パルス幅	180		ns

V_{CC} = 3.3 V

タイミング必要条件 (指定のない場合は、V_{CC} = 3.0 ~ 3.6 V、V_{SS} = 0 V、T_a = T_{opr})

表 28.56 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	200		ns
$t_{w(CKH)}$	CLKi入力 “H”パルス幅	80		ns
$t_{w(CKL)}$	CLKi入力 “L”パルス幅	80		ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	80		ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90		ns

表 28.57 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(ADH)}$	$\overline{ADTRG}$入力 “H”パルス幅 ハードウェアトリガ入力 “H”パルス幅	$\frac{3}{\phi_{AD}}$		ns
$t_{w(ADL)}$	$\overline{ADTRG}$入力 “L”パルス幅 ハードウェアトリガ入力 “L”パルス幅	125		ns

表 28.58 外部割り込み$\overline{INTi}$入力

記号	項目		規格値		単位
			最小	最大	
$t_{w(INH)}$	$\overline{INTi}$入力 “H”パルス幅	エッジセンス	250		ns
		レベルセンス	$t_{c(CPU)}$ + 200		ns
$t_{w(INL)}$	$\overline{INTi}$入力 “L”パルス幅	エッジセンス	250		ns
		レベルセンス	$t_{c(CPU)}$ + 200		ns

表 28.59 インテリジェントI/O通信機能

記号	項目	規格値		単位
		最小	最大	
$t_{c(ISCLK2)}$	ISCLK2入力サイクル時間	600		ns
$t_{w(ISCLK2H)}$	ISCLK2入力 “H”パルス幅	270		ns
$t_{w(ISCLK2L)}$	ISCLK2入力 “L”パルス幅	270		ns
$t_{su(RXD-ISCLK2)}$	ISRXD2入力セットアップ時間	150		ns
$t_{h(ISCLK2-RXD)}$	ISRXD2入力ホールド時間	100		ns

V_{CC} = 3.3 V

タイミング必要条件 (指定のない場合は、V_{CC} = 3.0 ~ 3.6 V、V_{SS} = 0 V、T_a = T_{opr})

表 28.60 マルチマスタ I^2C バスインタフェース

記号	項目	規格値				単位
		標準モード		高速モード		
		最小	最大	最小	最大	
$t_{w(SCLH)}$	MSCL入力 “H”パルス幅	600		600		ns
$t_{w(SCLL)}$	MSCL入力 “L”パルス幅	600		600		ns
$t_{r(SCL)}$	MSCL入力 立ち上がり時間		1000		300	ns
$t_{f(SCL)}$	MSCL入力 立ち下がり時間		300		300	ns
$t_{r(SDA)}$	MSDA入力 立ち上がり時間		1000		300	ns
$t_{f(SDA)}$	MSDA入力 立ち下がり時間		300		300	ns
$t_{h(SDA-SCL)S}$	スタートコンディション/ リスタートコンディション後 MSCL“H”ホールド時間	(注1)		$2 \times t_{c(\phi IIC)} + 40$		ns
$t_{su(SCL-SDA)P}$	リスタートコンディション/ ストップコンディション前 MSCL“H”セットアップ時間	(注1)		$2 \times t_{c(\phi IIC)} + 40$		ns
$t_{w(SDAH)P}$	ストップコンディション後 MSDA“H”パルス幅	(注1)		$4 \times t_{c(\phi IIC)} + 40$		ns
$t_{su(SDA-SCL)}$	MSDA入力セットアップ時間	100		100		ns
$t_{h(SCL-SDA)}$	MSDA入力ホールド時間	0		0		ns

注1. I2CSSCRレジスタのSSC4~SSC0ビットで設定した値(SSC)に応じて次式で算出されます。

$t_{h(SDA-SCL)S}$ = SSC ÷ 2 × $t_{c(\phi IIC)}$ + 40 [ns]

$t_{su(SCL-SDA)P}$ = (SSC ÷ 2 + 1) × $t_{c(\phi IIC)}$ + 40 [ns]

$t_{w(SDAH)P}$ = (SSC + 1) × $t_{c(\phi IIC)}$ + 40 [ns]

V_{CC} = 3.3 V

スイッチング特性 (指定のない場合は、V_{CC} = 3.0 ~ 3.6 V、V_{SS} = 0 V、T_a = T_{opr})

表 28.61　外部バスタイミング(セパレートバス)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{su(S-R)}$	リード前チップセレクトセットアップ時間	図 28.6参照	(注1)		ns
$t_{h(R-S)}$	リード後チップセレクトホールド時間		$t_{c(Base)}$ - 15		ns
$t_{su(A-R)}$	リード前アドレスセットアップ時間		(注1)		ns
$t_{h(R-A)}$	リード後アドレスホールド時間		$t_{c(Base)}$ - 15		ns
$t_{w(R)}$	リードパルス幅		(注1)		ns
$t_{su(S-W)}$	ライト前チップセレクトセットアップ時間		(注1)		ns
$t_{h(W-S)}$	ライト後チップセレクトホールド時間		1.5 × $t_{c(Base)}$ - 15		ns
$t_{su(A-W)}$	ライト前アドレスセットアップ時間		(注1)		ns
$t_{h(W-A)}$	ライト後アドレスホールド時間		1.5 × $t_{c(Base)}$ - 15		ns
$t_{w(W)}$	ライトパルス幅		(注1)		ns
$t_{su(D-W)}$	ライト前データセットアップ時間		(注1)		ns
$t_{h(W-D)}$	ライト後データホールド時間		0		ns

注1.　ベースクロックサイクル時間 $t_{c(Base)}$ と EBC0~EBC3 レジスタで設定したサイクル数 (Tsu(A-R)、Tw(R)、Tsu(A-W)、Tw(W)) に応じて次式で算出されます。算出した数値が負の値になる場合は、設定値を見直してください。サイクル数の設定方法については、「9.3.5 外部バスタイミング」をご参照ください。

$t_{su(S-R)}$ = $t_{su(A-R)}$ = Tsu(A-R) × $t_{c(Base)}$ – 15 [ns]

$t_{w(R)}$ = Tw(R) × $t_{c(Base)}$ – 10 [ns]

$t_{su(S-W)}$ = $t_{su(A-W)}$ = Tsu(A-W) × $t_{c(Base)}$ – 15 [ns]

$t_{w(W)}$ = $t_{su(D-W)}$ = Tw(W) × $t_{c(Base)}$ – 10 [ns]

V_{CC} = 3.3 V

スイッチング特性 (指定のない場合は、V_{CC} = 3.0 ~ 3.6 V、V_{SS} = 0 V、T_a = T_{opr})

表 28.62 外部バスタイミング(マルチプレクスバス)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{su(S-ALE)}$	ALE前チップセレクトセットアップ時間	図 28.6参照	(注1)		ns
$t_{h(R-S)}$	リード後チップセレクトホールド時間		1.5 × $t_{c(Base)}$ - 15		ns
$t_{su(A-ALE)}$	ALE前アドレスセットアップ時間		(注1)		ns
$t_{h(ALE-A)}$	ALE後アドレスホールド時間		0.5 × $t_{c(Base)}$ - 5		ns
$t_{h(R-A)}$	リード後アドレスホールド時間		1.5 × $t_{c(Base)}$ - 15		ns
$t_{d(ALE-R)}$	ALE-リード間遅延時間		0.5 × $t_{c(Base)}$ - 5	0.5 × $t_{c(Base)}$ + 10	ns
$t_{w(ALE)}$	ALEパルス幅		(注1)		ns
$t_{dis(R-A)}$	リード後アドレスディスエーブル時間			8	ns
$t_{w(R)}$	リードパルス幅		(注1)		ns
$t_{h(W-S)}$	ライト後チップセレクトホールド時間		1.5 × $t_{c(Base)}$ - 15		ns
$t_{h(W-A)}$	ライト後アドレスホールド時間		1.5 × $t_{c(Base)}$ - 15		ns
$t_{d(ALE-W)}$	ALE-ライト間遅延時間		0.5 × $t_{c(Base)}$ - 5	0.5 × $t_{c(Base)}$ + 10	ns
$t_{w(W)}$	ライトパルス幅		(注1)		ns
$t_{su(D-W)}$	ライト前データセットアップ時間		(注1)		ns
$t_{h(W-D)}$	ライト後データホールド時間		0.5 × $t_{c(Base)}$		ns

注1. ベースクロックサイクル時間 $t_{c(Base)}$ と EBC0~EBC3 レジスタで設定したサイクル数 (Tsu(A-R)、Tw(R)、Tsu(A-W)、Tw(W)) に応じて次式で算出されます。算出した数値が負の値になる場合は、設定値を見直してください。サイクル数の設定方法については、「9.3.5 外部バスタイミング」をご参照ください。

$t_{su(S-ALE)}$ = $t_{su(A-ALE)}$ = (Tsu(A-R) – 0.5) × $t_{c(Base)}$ – 15 [ns]

$t_{w(ALE)}$ = (Tsu(A-R) – 0.5) × $t_{c(Base)}$ – 20 [ns]

$t_{w(R)}$ = Tw(R) × $t_{c(Base)}$ – 10 [ns]

$t_{w(W)}$ = $t_{su(D-W)}$ = Tw(W) × $t_{c(Base)}$ – 10 [ns]

V_{CC} = 3.3 V

スイッチング特性 (指定のない場合は、V_{CC} = 3.0 ~ 3.6 V、V_{SS} = 0 V、T_a = T_{opr})

表 28.63 シリアルインタフェース

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{d(C-Q)}$	TXDi出力遅延時間	図 28.6参照		80	ns
$t_{h(C-Q)}$	TXDi出力ホールド時間		0		ns

表 28.64 インテリジェントI/O通信機能

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{d(ISCLK2-TXD)}$	ISTXD2出力遅延時間	図 28.6参照		180	ns
$t_{h(ISCLK2-RXD)}$	ISTXD2出力ホールド時間		0		ns

表 28.65 マルチマスタ I^2Cバスインタフェース(標準モード)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{f(SCL)}$	MSCL出力 立ち下がり時間	図 28.6参照	2		ns
$t_{f(SDA)}$	MSDA出力 立ち下がり時間		2		ns
$t_{d(SDA-SCL)S}$	スタートコンディション/リスタートコンディション後MSCL出力遅延時間		20 × $t_{c(\phi IIC)}$ - 120	52 × $t_{c(\phi IIC)}$ - 40	ns
$t_{d(SCL-SDA)P}$	MSCL“H”後リスタートコンディション/ストップコンディション出力遅延時間		20 × $t_{c(\phi IIC)}$ + 40	52 × $t_{c(\phi IIC)}$ + 120	ns
$t_{d(SCL-SDA)}$	MSDA出力遅延時間		2 × $t_{c(\phi IIC)}$ + 40	3 × $t_{c(\phi IIC)}$ + 120	ns

表 28.66 マルチマスタ I^2Cバスインタフェース(高速モード)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{f(SCL)}$	MSCL出力 立ち下がり時間	図 28.6参照	2 (注1)		ns
$t_{f(SDA)}$	MSDA出力 立ち下がり時間		2 (注1)		ns
$t_{d(SDA-SCL)S}$	スタートコンディション/リスタートコンディション後MSCL出力遅延時間		10 × $t_{c(\phi IIC)}$ - 120	26 × $t_{c(\phi IIC)}$ - 40	ns
$t_{d(SCL-SDA)P}$	MSCL“H”後リスタートコンディション/ストップコンディション出力遅延時間		10 × $t_{c(\phi IIC)}$ + 40	26 × $t_{c(\phi IIC)}$ + 120	ns
$t_{d(SCL-SDA)}$	MSDA出力遅延時間		2 × $t_{c(\phi IIC)}$ + 40	3 × $t_{c(\phi IIC)}$ + 120	ns

注1. I^2C-busの仕様を満たすには、外部回路が必要です。

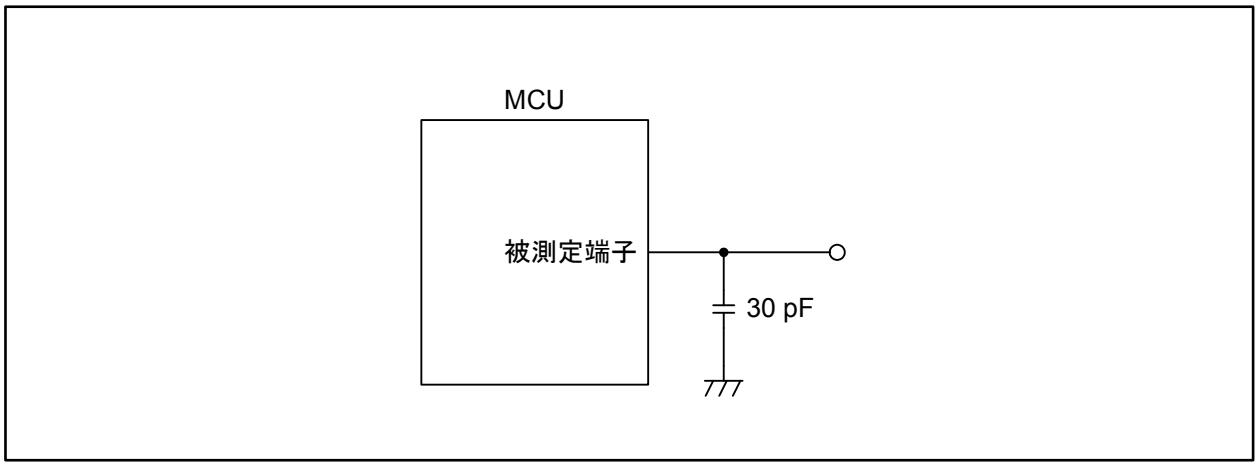


図 28.6　スイッチング特性の測定回路

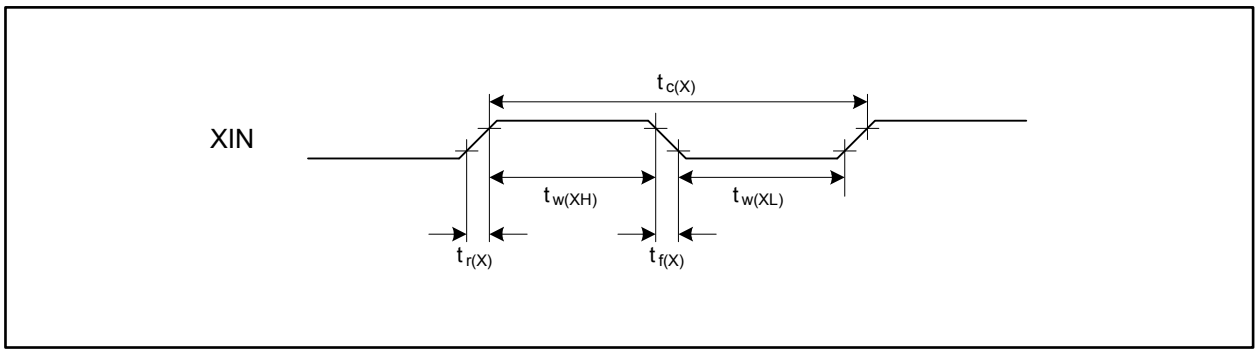
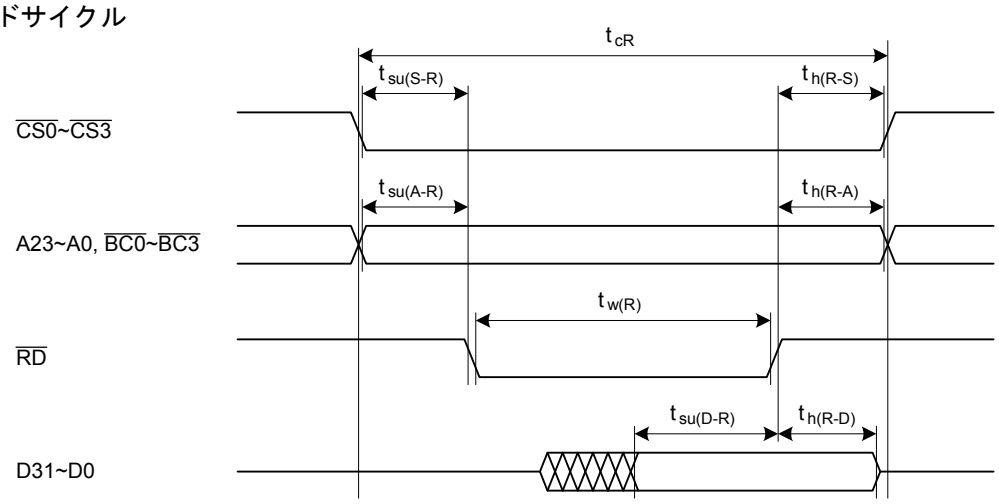


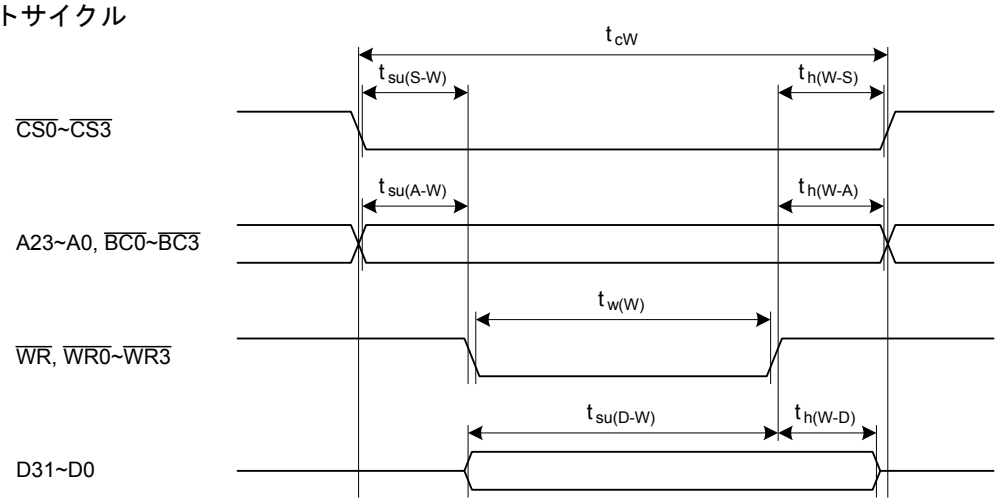
図 28.7　外部クロック入力タイミング図

外部バスタイミング (セパレートバス)

リードサイクル



ライトサイクル



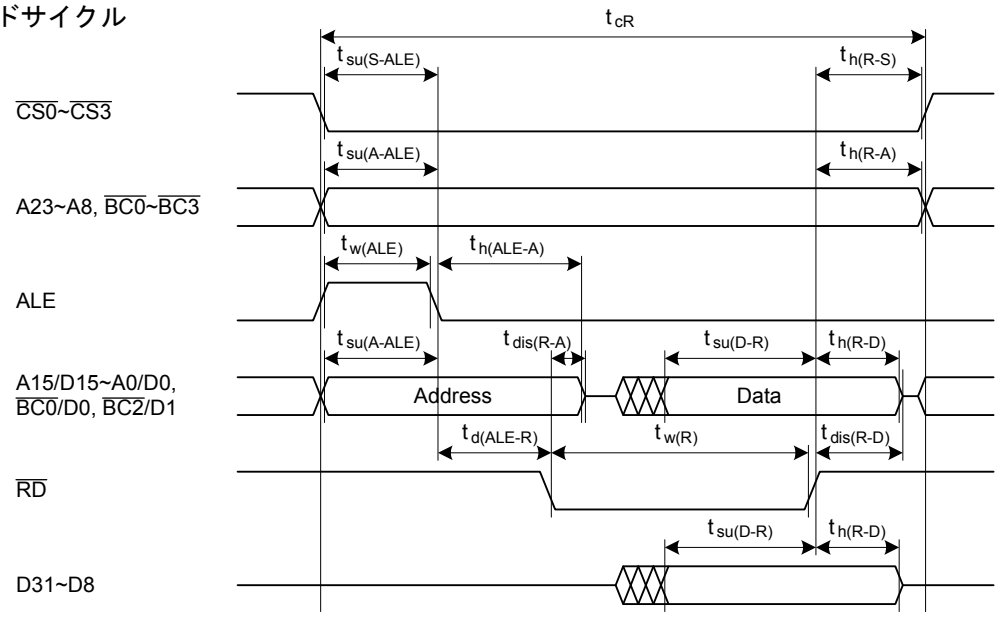
測定条件

項目		V_{CC} = 4.2 ~ 5.5 V	V_{CC} = 3.0 ~ 3.6 V
入力判定電圧	V_{IH}	2.5 V	1.5 V
	V_{IL}	0.8 V	0.5 V
出力判定電圧	V_{OH}	2.0 V	2.4 V
	V_{OL}	0.8 V	0.5 V

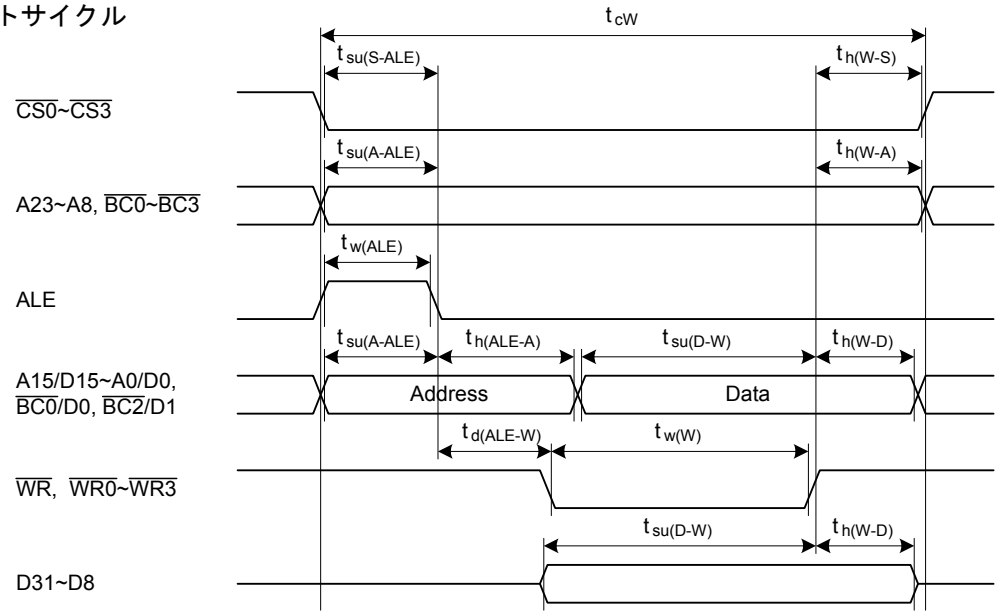
図 28.8 外部バスタイミング図(セパレートバス)

外部バスタイミング (マルチプレクスバス)

リードサイクル



ライトサイクル



測定条件

項目		V_{CC} = 4.2 ~ 5.5 V	V_{CC} = 3.0 ~ 3.6 V
入力判定電圧	V_{IH}	2.5 V	1.5 V
	V_{IL}	0.8 V	0.5 V
出力判定電圧	V_{OH}	2.0 V	2.4 V
	V_{OL}	0.8 V	0.5 V

図 28.9　外部バスタイミング図(マルチプレクスバス)

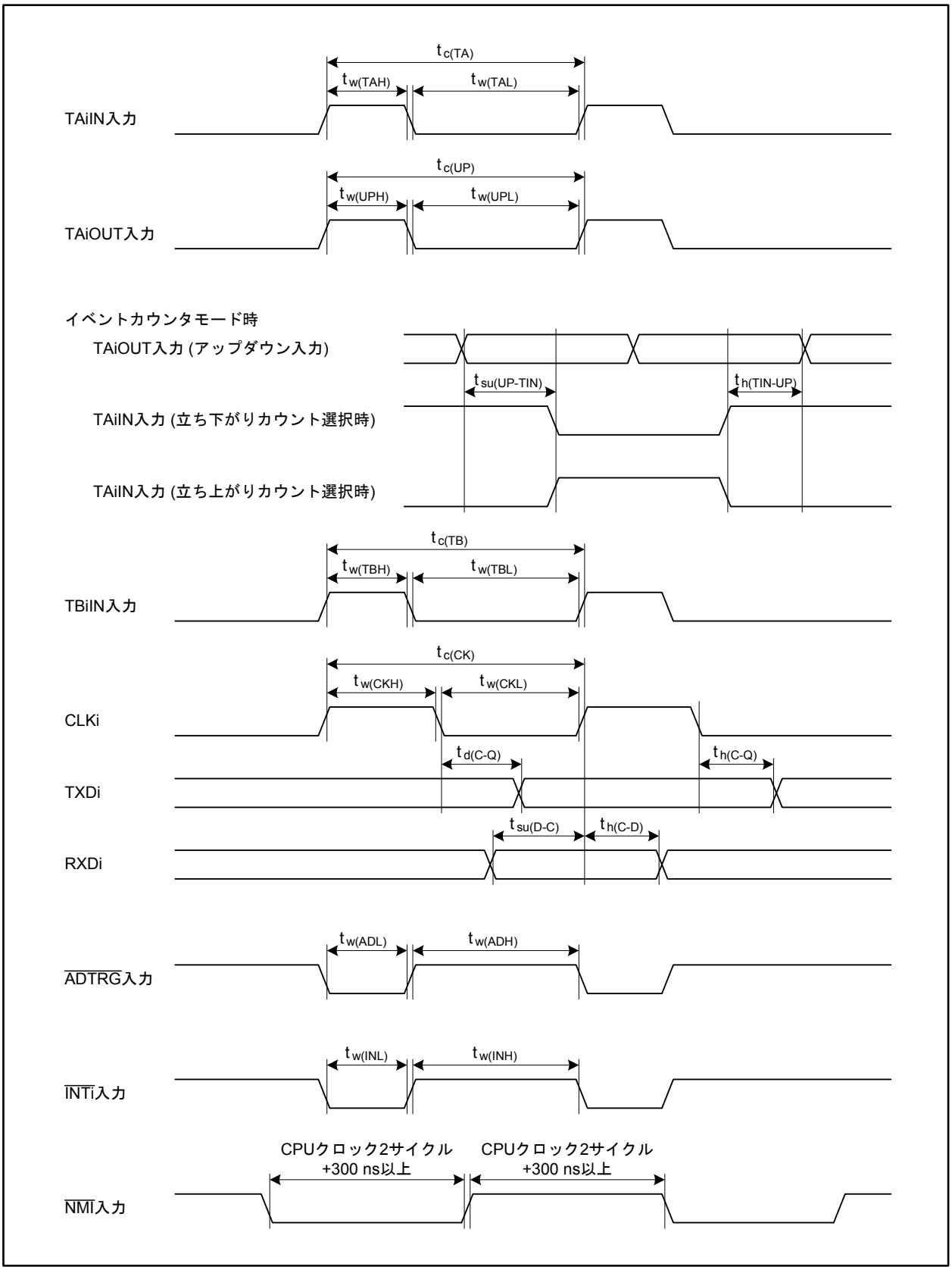


図 28.10 周辺機能タイミング図

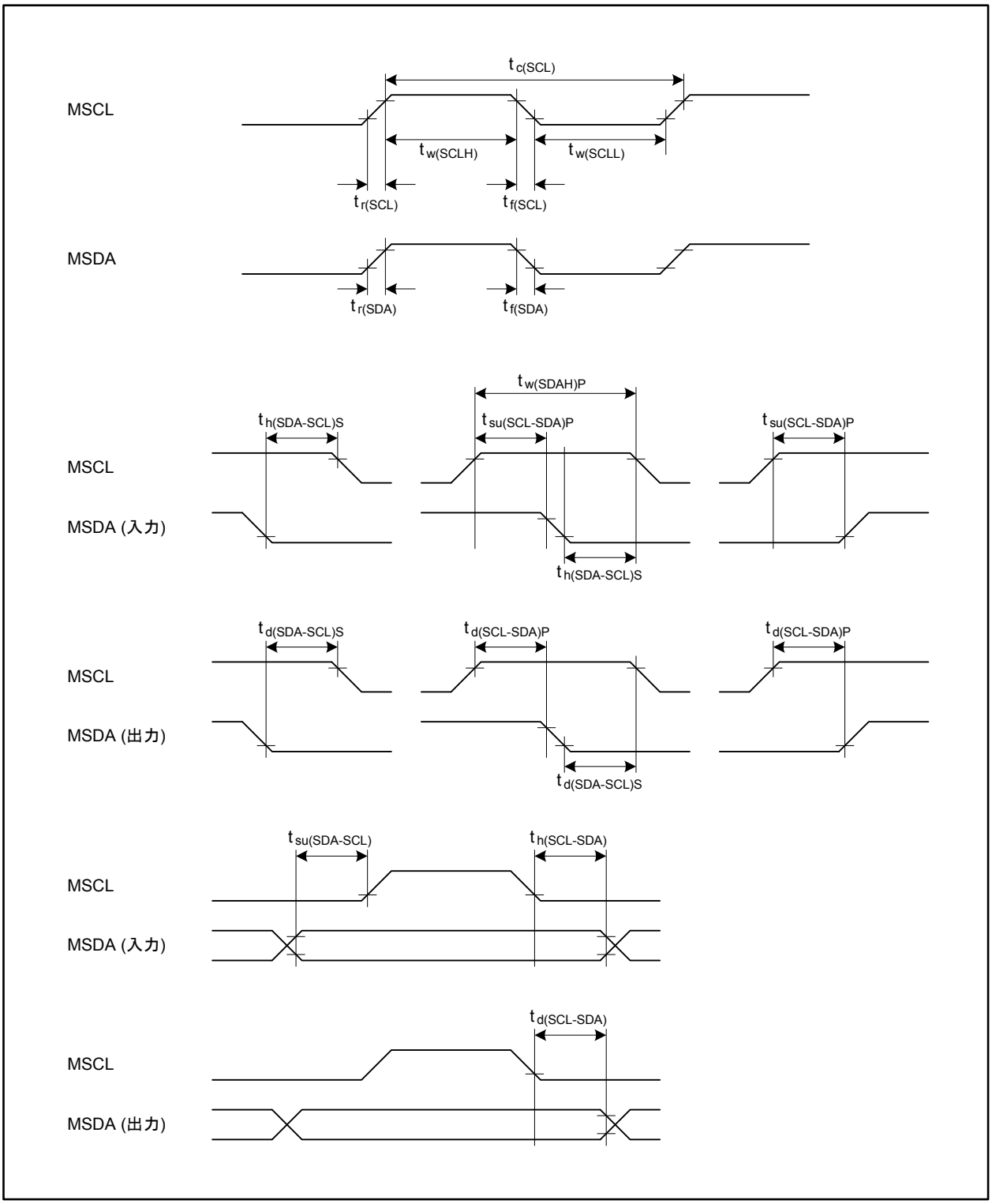


図 28.11 マルチマスタI2Cバスインタフェースタイミング図

29. 使用上の注意事項

29.1 基板設計に関する注意

29.1.1 電源端子

端子名が同じ電源端子には、端子間での電位差が生じないように以下に注意して基板を設計してください。

- 複数あるVSS端子はすべて同じGNDに接続し、端子間で電位差が生じないように各端子への配線はできる限り太いパターンを使用してください。
- 複数あるVCC端子はすべて同じ電源に接続し、端子間で電位差が生じないように各端子への配線はできる限り太いパターンを使用してください。

ノイズによる誤動作を防止するため、各VCC端子とVSS端子の間には周波特性の良いコンデンサを挿入してください。コンデンサは0.1 μF程度の容量のものを、できる限り電源端子の近傍に配置し、最短距離かつできる限り太いパターンを使用して接続してください。

29.1.2 電源電圧

電源電圧が電気的特性に定める推奨動作電圧の範囲外になった場合のマイコンの動作は保証できません。

電源電圧が推奨動作電圧以下になる前に$\overline{\text{RESET}}$端子を“L”にしてください。

29.2 レジスタ設定時の注意

29.2.1 ライトオンリのビットを含むレジスタ

ライトオンリ(WO)のビットを含むレジスタに値を設定する場合、リードモディファイライト命令は使用できません。リードモディファイライト命令は、対象アドレスの値を読み、その値を変更して書き戻す命令です。表29.1にリードモディファイライト命令を、表29.2にライトオンリ(WO)のビットを含むレジスタを示します。前回の値を加工して次の値を決める場合は、レジスタに書く値をRAMにも書いておき、次の値はRAMの内容を変更した後、MOV命令を使用してレジスタに転送してください。

表29.1 リードモディファイライト命令

機能	ニーモニック
転送	MOV*Dir*
ビット処理	BCLR, BM*Cnd*, BNOT, BSET, BTSTC, BTSTS
シフト	ROLC, RORC, ROT, SHA, SHL
算術演算	ABS, ADC, ADCF, ADD, ADSF, DEC, DIV, DIVU, DIVX, EXTS, EXTZ, INC, MUL, MULU, NEG, SBB, SUB
10進演算	DADC, DADD, DSBB, DSUB
浮動小数点演算	ADDF, DIVF, MULF, SUBF
論理演算	AND, NOT, OR, XOR

表 29.2　ライトオンリ(WO)のビットを含むレジスター覧

モジュール	レジスタ	シンボル	番地
ウォッチドッグタイマ	ウォッチドッグタイマスタートレジスタ	WDTS	04404Eh
タイマA	タイマA0レジスタ(注1)	TA0	0347h-0346h
	タイマA1レジスタ(注1)	TA1	0349h-0348h
	タイマA2レジスタ(注1)	TA2	034Bh-034Ah
	タイマA3レジスタ(注1)	TA3	034Dh-034Ch
	タイマA4レジスタ(注1)	TA4	034Fh-034Eh
	アップダウン選択レジスタ	UDF	0344h
三相モータ制御用タイマ機能	タイマB2割り込み発生頻度設定カウンタ	ICTB2	030Dh
	タイマA1-1レジスタ	TA11	0303h-0302h
	タイマA2-1レジスタ	TA21	0305h-0304h
	タイマA4-1レジスタ	TA41	0307h-0306h
	短絡防止タイマ	DTT	030Ch
シリアルインタフェース	UART0転送速度レジスタ	U0BRG	0369h
	UART1転送速度レジスタ	U1BRG	02E9h
	UART2転送速度レジスタ	U2BRG	0339h
	UART3転送速度レジスタ	U3BRG	0329h
	UART4転送速度レジスタ	U4BRG	02F9h
	UART5転送速度レジスタ	U5BRG	01C9h
	UART6転送速度レジスタ	U6BRG	01D9h
	UART7転送速度レジスタ	U7BRG	01E1h
	UART8転送速度レジスタ	U8BRG	01E9h
	UART0送信バッファレジスタ	U0TB	036Bh-036Ah
	UART1送信バッファレジスタ	U1TB	02EBh-02EAh
	UART2送信バッファレジスタ	U2TB	033Bh-033Ah
	UART3送信バッファレジスタ	U3TB	032Bh-032Ah
	UART4送信バッファレジスタ	U4TB	02FBh-02FAh
	UART5送信バッファレジスタ	U5TB	01CBh-01CAh
	UART6送信バッファレジスタ	U6TB	01DBh-01DAh
	UART7送信バッファレジスタ	U7TB	01E3h-01E2h
	UART8送信バッファレジスタ	U8TB	01EBh-01EAh
インテリジェントI/O	グループ2 SIO送信バッファレジスタ	G2TB	016Dh-016Ch
CANモジュール	CAN0受信FIFOポインタ制御レジスタ	C0RFPCR	047F49h
	CAN0送信FIFOポインタ制御レジスタ	C0TFPCR	047F4Bh
	CAN1受信FIFOポインタ制御レジスタ	C1RFPCR	047B49h
	CAN1送信FIFOポインタ制御レジスタ	C1TFPCR	047B4Bh

注1.　ワンショットタイマモード時とパルス幅変調モード時のみ

29.3 クロック発生回路使用上の注意

29.3.1 サブクロック

29.3.1.1 発振回路定数のマッチングの確認

サブクロック発振回路の発振回路定数のマッチングは、駆動能力Highと駆動能力Lowの両方とも確認してください。

発振回路定数のマッチングに関しては発振子メーカにお問い合わせください。

29.3.2 パワーコントロール

ベースクロック源を切り替えるとき、クロック分周比を切り替えるときは、使用するクロックの発振が安定してから切り替えてください。オンチップオシレータはCM3レジスタのCM31ビットを“1”にすると瞬時に発振を開始しますので、発振安定を待つ必要はありません。

ベースクロック源をPLLクロックから低速クロックに切り替える(CCRレジスタのBCSビットを“1”にする)場合は、MOV.L命令またはOR.L命令を使用してください。

- アセンブリ言語の場合の例

```
OR.L    #80h, 0004h
```

- C言語の場合の例

```
asm("OR.L  #80h, 0004h");
```

29.3.2.1 ストップモード

- ストップモードからリセットによって復帰する場合、メインクロックの発振が充分に安定するまで$\overline{\text{RESET}}$端子に“L”を入力してください。

29.3.2.2 消費電力を低減するためのポイント

システム設計やプログラムを作成するときに参考にしてください。

- 端子処理

  入力端子を開放のままにすると、貫通電流が流れることがあります。未使用端子は入力に設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)するか、または出力に設定し、端子を開放してください。

- A/Dコンバータ

  A/D変換を行わないときはAD0CON1レジスタのVCUTビットを“0”(VREF未接続)にしてください。なお、A/D変換を行うときは、VCUTビットを“1”(VREF接続)にしてから1 µs以上経過した後、A/D変換を開始させてください。

- D/Aコンバータ

  D/A変換を行わないときは、DACONレジスタのDAiEビット(i=0, 1)を“0”(出力禁止)にし、DAiレジスタを“00h”にしてください。

- 周辺機能の停止

  ウェイトモードへ移行するとき、CM0レジスタのCM02ビットで周辺機能クロック源を停止することにより、消費電力を低減させることができます。ただし、fC32は停止しません。

29.4 バスの注意事項

29.4.1 システム設計上の注意事項

メモリ拡張モードを使用し、かつフラッシュメモリのCPU書き換えを実施する場合、$\overline{CS0}$領域と$\overline{CS3}$領域には以下の制限があります。CPU書き換え時にもアクセスしたいデバイスは$\overline{CS1}$領域と$\overline{CS2}$領域に配置してください。

- CPU書き換え時にFEBC0、FEBC3レジスタを設定すると、該当する領域はセパレートバスになります。外部デバイスをマルチプレクスバスで接続していた場合、当該デバイスにはアクセスできなくなります。
- CPU書き換え時にFEBC0、FEBC3レジスタを設定すると、該当する領域のバスタイミングが変わります。設定内容によっては外部デバイスにアクセスできなくなる場合があります。

29.4.2 レジスタ設定上の注意事項

29.4.2.1 チップセレクト境界設定レジスタについて

メモリ拡張モードを使用しない場合、CB01、CB12、CB23レジスタの値をリセット後の値のまま変更しないでください。

メモリ拡張モードを使用する場合、これらのレジスタは各チップセレクト領域を使用する/しないに関わらず、すべて指定の範囲の値を設定してください。

29.4.2.2 外部バス制御レジスタについて

EBC0、EBC3レジスタはそれぞれFEBC0、FEBC3レジスタとアドレスを共有しています。フラッシュメモリ書き換え時にFEBC0、FEBC3レジスタを変更した場合、フラッシュメモリ書き換え完了後、EBC0、EBC3レジスタを再設定してください。

29.5 割り込み使用上の注意

29.5.1 ISPの設定

リセット後、ISP (割り込みスタックポインタ)は“00000000h”に初期化されています。そのため、ISPに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、ISPに値を設定してください。ISPには4の倍数を設定してください。4の倍数を設定したほうがメモリアクセス回数が少なくなり、割り込みシーケンスの実行速度が速くなります。

特にNMIを使用する場合は割り込みを禁止できませんので、プログラムの先頭でISPを設定した後、PM2レジスタのPM24ビットを“1” (NMI有効)にしてください。

29.5.2 NMI

- NMIは、PM2レジスタのPM24ビットを“1” (NMI有効)にした後は禁止できません。NMIを使用しない場合はPM24ビットを“0”から変更しないでください。

- PM2レジスタのPM24ビットが“1” (NMI有効)の場合、P8レジスタのP8_5ビットは、$\overline{\text{NMI}}$端子の状態を確認する用途にのみ使用できます。汎用ポートとしては使用できません。

29.5.3 外部割り込み

- $\overline{\text{INTi}}$端子(i=0~8)に入力する信号には、電気的特性で規定する信号幅が必要です。規定の最小幅を下回った場合、割り込みが受け付けられない場合があります。

- INTiICレジスタ(i=0~8)のPOLビット、LVSビット、IFSR0レジスタのIFSR0iビット(i=0~5)、IFSR1レジスタのIFSR1jビット(j=i–6、i=6~8)で$\overline{\text{INTi}}$端子の有効エッジや有効レベルを切り替えたとき、対応するIRビットが“1” (割り込み要求あり)になる場合があります。これらのビットは、INTiICレジスタのILVL2 ~ ILVL0ビットを“000b” (割り込み禁止)にしてから書き換えてください。また、書き換えた後は、対応するIRビットを“0” (割り込み要求なし)にしてからILVL2 ~ ILVL0ビットを設定してください。

- $\overline{\text{INT6}}$~$\overline{\text{INT8}}$端子への割り込み入力信号は、IIO9IR~IIO11IRレジスタのINT6R~INT8Rビットにも接続されています。これらインテリジェントI/O割り込みを使用することで、$\overline{\text{INT6}}$~$\overline{\text{INT8}}$端子への割り込み入力をウェイトモード/ストップモードからの復帰要因として使用できます。なお、インテリジェントI/O割り込みに割り付けられた外部割り込み信号は立ち下がりエッジのみが有効です。INTiICレジスタ(i=0~8)のPOLビット、LVSビット、IFSR0レジスタのIFSR0iビット(i=0~5)、IFSR1レジスタのIFSR1jビット(j=i–6、i=6~8)の影響は受けません。

29.6 DMAコントローラ使用上の注意

29.6.1 DMAC関連レジスタの設定

- DMAC関連レジスタを設定する場合、設定するチャネルのDMDiレジスタ(i=0~3)のMDi1~MDi0ビットが“00b” (DMA転送禁止)の状態で設定し、最後にMDi1~MDi0ビットを“01b” (単転送)または“11b” (リピート転送)に設定してください。DMDiレジスタのUDAi、USAi、BWi1~BWi0ビットを書き換える場合も、MDi1~MDi0ビットが“00b” (DMA転送禁止)のときに実施してください。

- DMA転送を許可した後でDMAC関連レジスタを書き換える必要が生じた場合、まずDMA転送要求が発生しないようにDMA起動要因となる周辺機能を停止し、次に書き換えたいチャネルのDMDiレジスタのMDi1~MDi0ビットを“00b” (DMA転送禁止)にしてから実施してください。

- 一旦DMA転送要求が受け付けられた後は、DMDiレジスタのMDi1~MDi0ビットを“00b” (DMA転送禁止)にしてもDMA転送を禁止することはできません。この場合、DMA転送が完了するまでMDi1~MDi0ビット以外のDMAC関連レジスタの設定を変更しないでください。

- DMiSL、DMiSL2レジスタを設定した後、周辺バスクロックで6クロック以上待ってから、DMDiレジスタのMDi1~MDi0ビットに“01b” (単転送)または“11b” (リピート転送)を書いてください。

29.6.2 DMAC関連レジスタの読み出し

- DMiSL、DMiSL2レジスタをそれぞれ連続して読み出す場合、以下の順で読み出してください。
  DM0SL→DM1SL→DM2SL→DM3SL
  DM0SL2→DM1SL2→DM2SL2→DM3SL2

29.7 タイマ使用上の注意

29.7.1 タイマA、タイマB共通

リセット後、タイマは停止しています。モードやカウントソース、カウンタの値を設定した後、TABSRレジスタまたはTBSRレジスタの、TAiSビット(i=0~4)またはTBjSビット(j=0~5)を“1”(カウント開始)にしてください。

以下のレジスタ、ビットは、対応するTAiSビットまたはTBjSビットが“0”(カウント停止)の状態で変更してください。

- TAiMRレジスタ、TBjMRレジスタ
- UDFレジスタ
- ONSFレジスタのTAZIEビット、TA0TGLビット、TA0TGHビット
- TRGSRレジスタ

29.7.2 タイマA

29.7.2.1 タイマモード時

- カウント中のカウンタの値は、TAiレジスタを読むことでいつでも知ることができます。ただし、TAiレジスタのリードがリロードタイミングと重なったときは“FFFFh”が読めます。また、カウント停止中にTAiレジスタに値を設定して、カウント開始前にTAiレジスタを読んだ場合、設定した値が読めます。

29.7.2.2 イベントカウンタモード時

- カウント中のカウンタの値は、TAiレジスタを読むことでいつでも知ることができます。ただし、TAiレジスタのリードがリロードタイミングと重なった場合、アンダフロー時は“FFFFh”が、オーバフロー時は“0000h”が読めます。また、カウント停止中にTAiレジスタに値を設定して、カウント開始前にTAiレジスタを読んだ場合、設定した値が読めます。

29.7.2.3 ワンショットタイマモード時

- カウント中にTABSRレジスタのTAiSビットを“0”(カウント停止)にすると、以下のようになります。
  - カウンタはカウントを停止し、TAiレジスタの設定値をリロードします。
  - TAiOUT端子は“L”を出力します。
  - CPUクロックの1サイクル後、TAiICレジスタのIRビットが“1”(割り込み要求あり)になります。

- ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、トリガにTAiIN端子への入力を選択している場合、トリガ入力からワンショットタイマの出力までに、最大でカウントソース1クロック分の遅延が生じます。

- 下記のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。タイマAi割り込み(IRビット)を使用する場合は、下記の設定を行った後、IRビットを“0”にしてください。
  - リセット後、ワンショットタイマモードを選択したとき
  - 動作モードをタイマモードからワンショットタイマモードに変更したとき
  - 動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき

- カウント中に再トリガが発生した場合は、カウンタは1回ダウンカウントした後、TAiレジスタ(i=0~4)の設定値をリロードしてカウントを続けます。カウント中に再トリガを発生させる場合は、前回のトリガの発生からタイマのカウントソース1クロック以上経過した後に発生させてください。

- カウント開始条件にTAiIN端子へのトリガ入力を選択している場合、タイマAのカウント値が“0000h”になる直前の300 nsの間に再トリガを入力しないでください。ワンショットタイマがカウントを継続しないで停止する場合があります。

29.7.2.4 パルス幅変調モード時

- 下記のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。タイマAi割り込み(IRビット)を使用する場合は、以下の設定を行った後、IRビットを“0”にしてください。
  - リセット後、PWMモードを選択したとき
  - 動作モードをタイマモードからPWMモードに変更したとき
  - 動作モードをイベントカウンタモードからPWMモードに変更したとき

- PWMパルスを出力中にTAiSビットを“0”(カウント停止)にすると以下のようになります。
  - カウンタはカウントを停止します。
  - TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になり、IRビットが“1”になります。
  - TAiOUT端子から“L”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

29.7.3 タイマB

29.7.3.1 タイマモード、イベントカウンタモード時

- カウント中のカウンタの値は、TBjレジスタ(j=0~5)を読むことでいつでも知ることができます。ただし、TBjレジスタのリードがリロードタイミングと重なったときは“FFFFh”が読めます。また、カウント停止中にTBjレジスタに値を設定して、カウント開始前にTBjレジスタを読んだ場合、設定した値が読めます。

29.7.3.2 パルス周期測定/パルス幅測定モード時

- TBjMRレジスタのMR3ビットを“0”(オーバフローなし)にするには、TBjSビットが“1”(カウント開始)のとき、MR3ビットが“1”(オーバフローあり)になってからカウントソース1クロック以上経過した後に、TBjMRレジスタに書いてください。

- オーバフローだけの検出にはTBjICレジスタのIRビットを使用してください。MR3ビットは、割り込み処理ルーチンで割り込み要因を判断するときにだけ使用してください。

- カウント開始時のカウンタの値は不定です。したがって、カウント開始後最初の有効エッジが入力されるまでにカウンタがオーバフローし、タイマBj割り込み要求が発生する可能性があります。

- カウント開始後、最初の有効エッジが入力された時は、カウンタの値が不定なので不定値がリロードレジスタに転送されます。なお、このときタイマBj割り込み要求は発生しません。

- カウント開始後にTBjMRレジスタのMR1~MR0ビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。ただし、MR1~MR0ビットに同じ値を上書きした場合は、IRビットは変化しません。

- パルス幅測定モードでは、連続してパルス幅を測定します。測定結果が“H”幅の測定結果であるか“L”幅の測定結果であるかは、プログラムで判断してください。

- パルス周期測定モードでは、カウンタのオーバフローと同時に有効エッジが入力された場合、割り込み要求が1回しか発生しないため、有効エッジが入力されたことを確認できません。カウンタがオーバフローしない範囲で使用してください。

- パルス幅測定モードでは、タイマBj割り込みの処理ルーチンでポートのレベルを読んで、カウンタがオーバフローしたか、有効エッジが入力されたかを判断してください。

29.8 三相モータ制御用タイマ機能使用上の注意

29.8.1 シャットダウン機能

- PM2レジスタのPM24ビットが“1” (NMI有効)で、INVC0レジスタのINV02ビットが“1” (三相モータ制御用タイマ機能を使用する)、かつINV03ビットが“1” (三相モータ制御用タイマ出力許可)のとき、$\overline{\text{NMI}}$端子に“L”を入力するとTA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

29.8.2 レジスタ設定

- タイマB2がアンダフローする前後で、TAi1レジスタ(i=1, 2, 4)に値を設定しないでください。
TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、アンダフローまでに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔があかないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、アンダフローまでに十分な時間がない場合は、アンダフローするまで待った後TAi1レジスタを設定してください。

29.9 シリアルインタフェース使用上の注意

29.9.1 UiBRGレジスタ(i=0~8)の変更

- UiBRGレジスタはUiC0レジスタのCLK1~CLK0ビットを設定した後に書いてください。また、CLK1~CLK0ビットを変更した場合は、UiBRGレジスタも設定し直してください。

- UiBRGレジスタに“00h”を書いた場合、直後にカウンタが動作し“FFh”になる場合があります。この場合、設定した“00h”がリロードされるまで256クロック余分に時間がかかります。“00h”がリロードされた後は、設定どおり分周なしになります。

29.9.2 クロック同期モード

29.9.2.1 外部クロック選択

- 外部クロックを選択している場合、UiC0レジスタ(i=0~8)のCKPOLビットが“0”(送受信クロックの立ち下がりに同期して送信データ出力、立ち上がりに同期して受信データ入力)のときは外部クロックが“H”の状態で、CKPOLビットが“1”(送受信クロックの立ち上がりに同期して送信データ出力、立ち下がりに同期して受信データ入力)のときは外部クロックが“L”の状態で以下の条件を満たしてください。
  - UiC1レジスタのTEビットが“1”(送信許可)
  - UiC1レジスタのREビットが“1”(受信許可)
  - UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
    送信のみの場合はREビットの設定は不要

29.9.2.2 受信

- クロック同期モードでは送信制御回路で送受信クロックを制御します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXDi端子(i=0~8)からはダミーデータが外部に出力されます。

- 連続してデータを受信した場合、UiC1レジスタのRIビットが“1”(UiRBレジスタにデータあり)のときに次の受信データの7ビット目を受信するとオーバランエラーが発生し、UiRBレジスタのOERビットが“1”(オーバランエラー発生)になります。この場合、UiRBレジスタは不定になります。オーバランエラーが発生したときはSiRICレジスタのIRビットは“1”に変化しません。

29.9.3 特殊モード1 (I^2Cモード)

- スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、UiSMR4レジスタ(i=0~6)のSTSPSELビットを“0”にした後、送受信クロックの半クロック以上待ってから、各コンディション生成ビット(STAREQビット、RSTAREQビット、STPREQビット)を“0”から“1”にしてください。

29.9.4 通信異常時の対処方法

送受信中に機能選択レジスタを書き換えるなど、通信異常が発生するような操作を行わないでください。万が一通信相手がそのような操作を行った場合、あるいはノイズの影響などによりビットずれが発生した場合など通信異常が発生した場合は、以下の手順で内部回路を初期化してください。

A. クロック同期モードの場合

(1) UiC1 レジスタ (i=0~8) の TE ビットを“0” (送信禁止)、RE ビットを“0” (受信禁止) にする。
(2) UiMR レジスタの SMD2~SMD0 ビットを“000b” (シリアルインタフェース無効) にする。
(3) UiMR レジスタの SMD2~SMD0 ビットを“001b” (クロック同期型シリアルインタフェースモード) にする。
(4) 必要に応じて UiC1 レジスタの TE ビットを“1” (送信許可)、RE ビットを“1” (受信許可) にする。

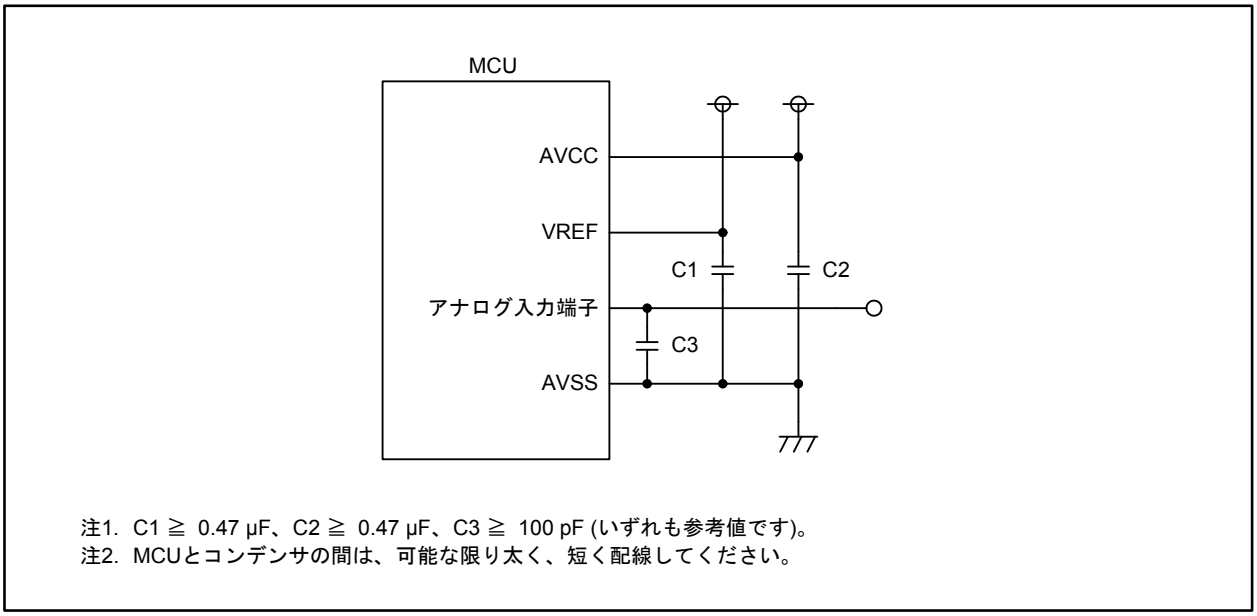
B. UART モードの場合

(1) UiC1 レジスタの TE ビットを“0” (送信禁止)、RE ビットを“0” (受信禁止) にする。
(2) UiMR レジスタの SMD2~SMD0 ビットを“000b” (シリアルインタフェース無効) にする。
(3) UiMR レジスタの SMD2~SMD0 ビットを“100b” (UART モード キャラクタ長 7 ビット) または、“101b” (UARTモード キャラクタ長8ビット)、“110b” (UARTモード キャラクタ長9ビット) にする。
(4) 必要に応じて UiC1 レジスタの TE ビットを“1” (送信許可)、RE ビットを“1” (受信許可) にする。

29.10 A/Dコンバータ使用上の注意

29.10.1 基板設計上の注意点

- ノイズによる誤動作やラッチアップの防止、または変換誤差の低減のため、AVCC端子、VREF端子、アナログ入力端子(AN_0~AN_7, AN0_0~AN0_7, AN2_0~AN2_7, AN15_0~AN15_7)とAVSS端子の間にそれぞれコンデンサを挿入してください。図29.1に端子の処理例を示します。



注1. C1 ≧ 0.47 μF、C2 ≧ 0.47 μF、C3 ≧ 100 pF (いずれも参考値です)。
注2. MCUとコンデンサの間は、可能な限り太く、短く配線してください。

図 29.1　A/D関連端子の処理例

- キー入力割り込みを使用する場合、AN_4~AN_7は4本ともアナログ入力端子として使用しないでください(A/D入力電圧がVIL以下になると、キー入力割り込み要求が発生します)。

- AVCC = VREF = VCCの場合、AN_0~AN_7、AN0_0~AN0_7、AN2_0~AN2_7、AN15_0~AN15_7、ANEX0、ANEX1のA/D入力電圧はVCC以下にしてください。

29.10.2 プログラム作成上の注意点

- AD0CON0レジスタ(ADSTビットを除く)、AD0CON1レジスタ、AD0CON2レジスタ、AD0CON3レジスタ、AD0CON4レジスタは、A/D変換停止時(トリガ発生前)に書いてください。

- AD0CON1レジスタのVCUTビットを“0” (VREF未接続)から“1” (VREF接続)にしたときは、1 μs以上経過した後にA/D変換を開始させてください。A/D変換を行わないときは、消費電流を低減させるためにVCUTビットを“1”から“0”にしてください。

- アナログ入力端子として使用する端子に対応するポート方向ビットは“0” (入力)にしてください。また、対応するポートの機能選択レジスタのASELビットを“1” (A/D入力として使用する)にしてください。

- AD0CON0レジスタのTRGビットが“1” (外部トリガ・ハードウェアトリガ)の場合は、ADTRG端子に対応するポート方向ビット(PD9_7ビット)は“0” (入力)にしてください。

- φADは、VCC = 4.2 ~ 5.5 Vのとき16 MHz以下に、VCC = 3.0 ~ 4.2 Vのとき10 MHz以下にしてください。サンプル&ホールド機能なしの場合、φADの周波数は250 kHz以上にしてください。サンプル&ホールド機能ありの場合、φADの周波数は1 MHz以上にしてください。

- A/D動作モード(AD0CON0レジスタのMD1~MD0ビット、AD0CON1レジスタのMD2ビット)を変更した場合は、AD0CON0レジスタのCH2~CH0ビットまたは、AD0CON1レジスタのSCAN1~SCAN0ビットでアナログ入力端子を再選択してください。

- A/D変換結果がAD0iレジスタ(i=0~7)に格納される時にCPUがAD0iレジスタを読んだ場合、誤った値がAD0iレジスタに格納されることがあります。A/D変換が完了したことを確認してからAD0iレジスタを読んでください。
  単発モード、単掃引モードを使用する場合は、AD0ICレジスタのIRビットが“1” (割り込み要求あり)になったことを確認してから対象のAD0iレジスタを読んでください。
  繰り返しモード、繰り返し掃引モード0、繰り返し掃引モード1を使用する場合は、AD0CON3レジスタのDUSビットを“1” (DMAC利用モード有効)にすれば変換完了ごとに割り込み要求を発生させることができます。上と同様、AD0ICレジスタのIRビットが“1” (割り込み要求あり)になったことを確認してからAD00レジスタを読んでください。

- A/D変換中にAD0CON0レジスタのADSTビットを“0” (A/D変換停止)にしてA/D変換を中断した場合、A/Dコンバータの変換結果は不定となります。また、A/D変換を行っていないAD0iレジスタも不定になる場合があります。A/D変換を中断した場合は、いずれのAD0iレジスタの値も使用しないでください。

- DMAC利用モードでは、外部トリガは使用できません。また、変換結果をDMACで転送する場合、AD00レジスタをプログラムで読まないでください。

- 単掃引モードでA/D変換中にAD0CON0レジスタのADSTビットを“0” (A/D変換停止)にしてA/D変換を中断した場合、掃引が終了していないにもかかわらず割り込み要求が発生することがあります。A/D変換を中断する場合は、割り込みを禁止した後、ADSTビットを“0” (A/D変換停止)にしてください。

29.11 フラッシュメモリ書き換えに関する注意

29.11.1 電源電圧に関する注意事項

- フラッシュメモリ書き換え中の電源電圧は、電気的特性に定める電圧の範囲で一定の電圧を供給してください。書き換え中に保証値を超える電圧変動があった場合、フラッシュメモリの保証はできません。

29.11.2 ハードウェアリセットに関する注意事項

- フラッシュメモリ書き換え中は、ハードウェアリセットを行わないでください。

29.11.3 フラッシュメモリプロテクトに関する注意点

- IDコードの格納番地に誤ったデータを書くと、標準シリアル入出力モードによるフラッシュメモリの読み書きができなくなります。

29.11.4 プログラム作成上の注意点

- 低速モード、低消費電力モードでは、FMCRレジスタのFEWビットを“1”(CPU書き換えモード)にしないでください。
- プログラム、ブロックイレーズ、ロックビットプログラム、プロテクトビットプログラムは、NMI、ウォッチドッグタイマ割り込み、発振停止検出割り込み、電圧低下検出割り込みで中断されます。これらのソフトウェアコマンドが中断された場合、当該ブロックをイレーズした後に再度同じコマンドを実行してください。特にブロックイレーズが中断された場合、ロックビットとプロテクトビットの値は不定になりますので、ロック解除後再度ブロックイレーズを実施してください。

29.11.5 割り込み使用上の注意点

- EW0モード
  - 可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用できます。
  - NMI、ウォッチドッグタイマ割り込み、発振停止検出割り込み、電圧低下検出割り込みは、割り込みが発生すると自動的にリードアレイモードになりますので、フラッシュメモリの書き換え中でも使用できます。割り込み発生時はフラッシュメモリの書き換えが中断され、FMR0、FMSR0レジスタがリセットされます。割り込み処理終了後にFMR1レジスタのLBDビットを“1”(ロックビットプロテクト無効)にしてから再度書き換えプログラムを実行してください。
  - BRK命令、INTO命令、UND命令は、フラッシュメモリ上のデータを参照するため使用できません。

- EW1モード
  - プログラム/ブロックイレーズ中に、可変ベクタテーブルにベクタを持つ割り込みが受け付けられないようにしてください。
  - ウォッチドッグタイマ割り込みが発生しないようにしてください。
  - NMI、発振停止検出割り込み、電圧低下検出割り込みは、割り込みが発生すると自動的にリードアレイモードになりますので、フラッシュメモリの書き換え中でも使用できます。割り込み発生時はフラッシュメモリの書き換えが中断され、FMR0、FMSR0レジスタがリセットされます。割り込み処理終了後にFMR0レジスタのEWMビットを“1”(EW1モード)、FMR1レジスタのLBDビットを“1”(ロックビットプロテクト無効)にしてから再度書き換えプログラムを実行してください。

29.11.6 書き換え制御プログラムの書き換えに関する注意点

- EW0モード
  - 書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後のフラッシュメモリ書き換えができなくなることがあります。書き換えできなくなった場合は、シリアルライタ、パラレルライタを使用して書き換えてください。

- EW1モード
  - 書き換え制御プログラムが格納されているブロックは書き換えないでください。

29.11.7 プログラム、イレーズ回数とソフトウェアコマンド実行時間

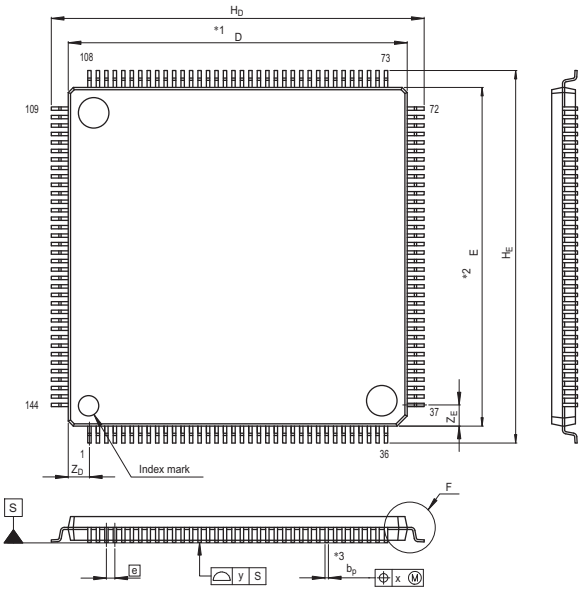
- ソフトウェアコマンド(プログラム、ブロックイレーズ、ロックビットプログラム、プロテクトビットプログラム)の実行時間は、プログラム、イレーズ回数の増加とともに長くなります。特に、プログラム、イレーズ回数が電気的特性に定めるプログラム、イレーズ回数を超えると、ソフトウェアコマンドの実行時間は著しく長くなるため、ソフトウェアコマンドの待ち時間の設定は電気的特性に定める最大時間以上に設定してください。

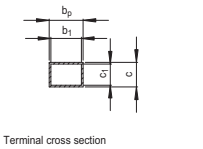
29.11.8 その他の注意事項

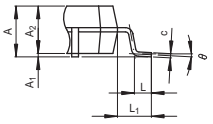
- 電気的特性に定めるプログラム、イレーズ回数は当初の性能を保証できるプログラム、イレーズ回数の最大値です。この回数を超えると直ちにプログラム、イレーズができなくなるわけではありません。
- デバッグでプログラム、イレーズを繰り返したチップは、量産時には使用しないでください。

付録1.外形寸法図

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP144-20x20-0.50	PLQP0144KA-A	144P6Q-A / FP-144L / FP-144LV	1.2g



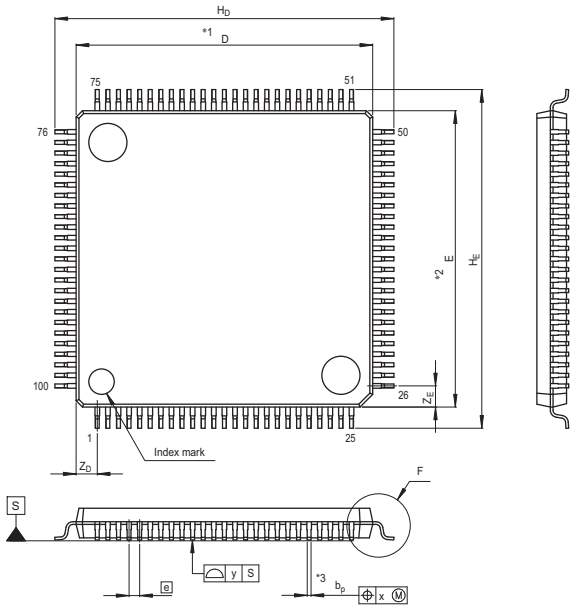


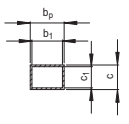


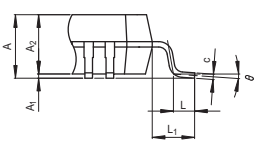
NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	19.9	20.0	20.1
E	19.9	20.0	20.1
A_2	—	1.4	—
H_D	21.8	22.0	22.2
H_E	21.8	22.0	22.2
A	—	—	1.7
A_1	0.05	0.1	0.15
b_p	0.17	0.22	0.27
b_1	—	0.20	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.10
Z_D	—	1.25	—
Z_E	—	1.25	—
L	0.35	0.5	0.65
L_1	—	1.0	—

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP100-14x14-0.50	PLQP0100KB-A	100P6Q-A / FP-100U / FP-100UV	0.6g







NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A_2	—	1.4	—
H_D	15.8	16.0	16.2
H_E	15.8	16.0	16.2
A	—	—	1.7
A_1	0.05	0.1	0.15
b_p	0.15	0.20	0.25
b_1	—	0.18	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Z_D	—	1.0	—
Z_E	—	1.0	—
L	0.35	0.5	0.65
L_1	—	1.0	—

索引

A

A0 25
A1 25
A2 25
A3 25
AD00~AD07 315
AD0CON0 311
AD0CON1 312
AD0CON2 313
AD0CON3 314
AD0CON4 315
AD0IC 165

B

BCN0IC~BCN6IC 165
BRK2命令割り込み 156
BRK命令割り込み 156
BTSR 346
Bフラグ 26

C

C0AFSR, C1AFSR 455
C0BCR, C1BCR 426
C0CLKR, C1CLKR 425
C0CSSR, C1CSSR 454
C0CTLR, C1CTLR 421
C0ECSR, C1ECSR 463
C0EIC, C1EIC 165
C0EIER, C1EIER 456
C0EIFR, C1EIFR 458
C0FIDCR0~C1FIDCR1 429
C0FRIC, C1FRIC 165
C0FTIC, C1FTIC 165
C0MB0~C1MB31 433
C0MCTL0~C1MCTL31 437
C0MIER, C1MIER 436
C0MKIVLR, C1MKIVLR 431
C0MKR0~C1MKR7 428
C0MSMR, C1MSMR 451
C0MSSR, C1MSSR 452
C0RECR, C1RECR 461
C0RFCR, C1RFCR 441
C0RFPCR, C1RFPCR 444
C0RIC, C1RIC 165
C0STR, C1STR 448
C0TCR, C1TCR 466
C0TECR, C1TECR 462
C0TFCR, C1TFCR 445
C0TFPCR, C1TFPCR 447
C0TIC, C1TIC 165
C0TSR, C1TSR 465
C0WIC, C1WIC 165
CB01 133
CB12 134
CB23 134
CCR 99
CM0 100
CM1 101
CM2 102
CM3 102
CPSRF 103
CRCD 331
CRCIN 332
CSOP0 132
CSOP1 132
CSOP2 133
Cフラグ 26

D

DA0, DA1 330
DACON 330
DCR0~DCR3 ..... 28, 190
DCT0~DCT3 ..... 28, 189
DDA0~DDA3 ..... 28, 191
DDR0~DDR3 ..... 28, 191
DM0IC~DM3IC 165
DM0SL~DM3SL 185
DM0SL2~DM3SL2 186
DMAソースアドレスリロードレジスタ ... 28
DMAソースアドレスレジスタ 28
DMAターミナルカウントリロードレジスタ 28
DMAターミナルカウントレジスタ 28
DMAデスティネーションアドレスリロードレジスタ 28
DMAデスティネーションアドレスレジスタ 28
DMAモードレジスタ 28
DMD0~DMD3 ..... 28, 189
DPビット 27
DSA0~DSA3 ..... 28, 190
DSR0~DSR3 ..... 28, 190
DTT 254
DVCR 91
Dフラグ 26

E

EBC0~EBC3 137

F

FB 25
FBPM0 531
FBPM1 531
FBPM2 532
FEBC0, FEBC3 528
FLG 25
FMCR 527
FMR0 529
FMR1 530
FMSR0 530
FOフラグ 26
FPR0 529
FUフラグ 26

G

G0BCR0~G2BCR0 343
G0BCR1, G1BCR1 344
G0BT~G2BT 342
G0FE~G2FE 352
G0FS, G1FS 351
G0PO0~G0PO7 351
G0POCR0~G0POCR7 349
G0TM0~G0TM7 348
G0TMCR0~G0TMCR7 347
G0TPR6, G0TPR7 347
G1PO0~G1PO7 351
G1POCR0~G1POCR7 349
G1TM0~G1TM7 348
G1TMCR0~G1TMCR7 347
G1TPR6, G1TPR7 347
G2BCR1 345
G2CR 379
G2MR 378
G2PO0~G2PO7 351
G2POCR0~G2POCR7 350
G2RB 378
G2RTP 352
G2TB 377

I

I2CCCR 391
I2CCR0 389
I2CCR1 395
I2CCR2 398
I2CIC 165
I2CLIC 165
I2CMR 404
I2CSAR 388
I2CSR 400
I2CSSCR 393
I2CTRSR 387
ICTB2 247
IDB0, IDB1 247
IEAR 380
IECR 380
IERIF 381
IETIF 381
IFS0 508
IFS1 509
IFS2 510
IFS3 511
IFSR0 ..... 174, 273
IFSR1 ..... 175, 274
IIO0IC~IIO11IC 165
IIO0IE~IIO11IE 179
IIO0IR~IIO11IR 178
INT0IC~INT8IC 166
INTB 25
INT命令割り込み 156
INVC0 244
INVC1 245
IOBC 246
IPL 27, 164
ISP 25
Iフラグ 26

K

KUPIC 165

L

LVDC 90

N

NMI 157

O

ONSF 217
Oフラグ 26

P

P0~P15 210
P0_0S~P0_7S 490
P10_0S~P10_7S 501
P1_0S~P1_7S 491
P11_0S~P11_4S 502
P12_0S~P12_7S 503

P13_0S~P13_7S 504
P14_3S~P14_6S 505
P15_0S~P15_7S 506
P2_0S~P2_7S 492
P3_0S~P3_7S 493
P4_0S~P4_7S 494
P5_0S~P5_7S 495
P6_0S~P6_7S 496
P7_0S~P7_7S 497
P8_0S~P8_4S, P8_6S, P8_7S 498
P9_0S~P9_7S 499
PBC 129
PC 25
PCR 515
PC退避レジスタ 27
PD0~PD15 488
PLC0 108
PLC1 109
PM0 95
PM2 104
PM3 105
PRCR 152
PRCR2 153
PRCR3 153
PRR 154
PUR0 512
PUR1 513
PUR2 513
PUR3 514
PUR4 514

R

R2R0 25
R3R1 25
R6R4 25
R7R5 25
RIPL1, RIPL2 ..... 168, 199
RND 27

S

S0RIC~S8RIC 165
S0TIC~S8TIC 165
SB 25
SP 25
SVF 27
SVP 27
Sフラグ 26

T

TA0~TA4 214
TA0IC~TA4IC 165
TA0MR~TA4MR 215, 220, 223, 226, 228
TA1, TA2, TA4 250
TA11, TA21, TA41 250
TA1MR, TA2MR, TA4MR 251
TABSR 215, 232, 252
TB0~TB5 231
TB0IC~TB5IC 165
TB0MR~TB5MR 231, 233, 235, 237
TB2 248
TB2MR 249
TB2SC 249
TBSR 232
TCSPR 103, 218
TRGSR 218, 252

U

U0BRG~U8BRG 270
U0C0~U6C0 263
U0C1~U6C1 265
U0MR~U6MR 261
U0RB~U6RB 271
U0SMR~U6SMR 267
U0SMR2~U6SMR2 268
U0SMR3~U6SMR3 269
U0SMR4~U6SMR4 270
U0TB~U8TB 271
U78CON 266
U7C0, U8C0 264
U7C1, U8C1 265
U7MR, U8MR 262
U7RB, U8RB 272
UDF 216
USP 25
Uフラグ 26

V

VCT 27
VRCR 88

W

WDC 182
WDTS 182

X

X0R~X15R 334
XYC 334

Y

Y0R~Y15R 335

Z

Zフラグ 26

あ

アドレスレジスタ 25

う

ウォッチドッグタイマ割り込み 157

お

オーバフローフラグ 26
オーバフロー割り込み 156

き

キャリーフラグ 26

こ

高速割り込み 157
固定小数点位置指定ビット 27

さ

サインフラグ 26

し

周辺機能割り込み 157
シングルステップ割り込み 157

す

スタックポインタ 25
スタックポインタ指定フラグ 26
スタティックベースレジスタ 25

せ

ゼロフラグ 26

そ

ソフトウェア割り込み 156

て

データレジスタ 25
デバッグフラグ 26
電圧低下検出回路 90
電圧低下検出割り込み 92, 157

と

特殊割り込み 157

の

ノンマスカブル割り込み 155

は

ハードウェア割り込み 157
発振停止検出割り込み 157

ふ

浮動小数点アンダフローフラグ 26
浮動小数点オーバフローフラグ 26
浮動小数点丸め演算モード 27
フラグ退避レジスタ 27
フラグレジスタ 25
フレームベースレジスタ 25
プログラムカウンタ 25
プロセッサ割り込み優先レベル 27, 164

へ

ベクタレジスタ 27

ま

マスカブル割り込み 155

み

未定義命令割り込み 156

ゆ

ユーザスタックポインタ 25

れ

レジスタバンク指定フラグ 26

わ

割り込み
分類 155
レジスタ退避 171
割り込み応答時間 170
割り込み許可フラグ 26
割り込みシーケンス 169
割り込みスタックポインタ 25
割り込み制御レジスタ 165
割り込みベクタテーブルベースレジスタ 25
割り込み要求レベル 166

改訂記録	R32C/118グループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.61	2009.03.26	—	初版発行
0.62	2009.04.07	—	第二版発行
			「11. 割り込み」
		161, 162	•図11.3、図11.4 IRビットの名称を「割り込み要求フラグ」に変更
			「18. シリアルインタフェース」
		288	•図18.31 ビットシンボル一覧にACKD、ACKCを追加
			「24. マルチマスタI^2Cバスインタフェース」
		408	•図24.27 「φICC」を「φIIC」に修正
			「25. CANモジュール」
		425	•25.1.7本文 「表24.4」を「表25.4」に修正
			「29. 使用上の注意事項」
		586	•表29.2 C0CSSRレジスタを削除
1.00	2009.11.18	—	第三版発行
		—	•用語「スタート/ストップコンディション」を「スタートコンディション/ストップコンディション」に変更 •用語「ハードウェアリセット後」「ソフトウェアリセット後」をそれぞれ「ハードウェアリセット実行後」「ソフトウェアリセット実行後」に修正 •用語「ハードウェアリセットする」を「ハードウェアリセットを行う」に修正 •用語「可」「不可」を「可能」「できません」に変更 •用語「next」以外の意味の「次」を「以下」に変更 •「ウェイトモード」と「ストップモード」を併記する場所での記載順序をこの順番に統一
			「このマニュアルの使い方」
		—	•「3. レジスタ図の表記」の図を変更
			「1. 概要」
		2, 4	•表1.1、表1.3 項目の並び順を章順に変更
		3, 5	•表1.2、表1.4 「IDコードチェック」を「IDコードプロテクト」に変更
		6	•表1.5 製品ステータス更新
		9, 14	•図1.3、図1.4 「R5_3」を「P5_3」に修正
		12, 13	•表1.8、表1.9 一部信号線名順序入れ替え
			「4. SFR」
		29	•表4.1 CCR、FMCRレジスタのリセット後の値を2進数に変更
		38	•表4.10 U7RB、U8RBレジスタのリセット後の値を16進数に変更
		39	•表4.11 レジスタ、シンボルの記載方法を他のレジスタと統一
		67, 81	•表4.39、表4.53 C1CLKR、C0CLKRレジスタのリセット後の値を修正
			「8. クロック発生回路」
		98	•図8.2 注3 「バスクロック」を「周辺バスクロック」に修正
		106	•図8.13 「SEOビット」に「PLC1レジスタの」を追加
		106, 107	•図8.14、図8.15 注1 説明文追加
		107	•8.1.3本文 周波数に関する文章を削除
		110, 111	•8.3本文、8.4本文 周波数を削除

改訂記録	R32C/118グループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
		114-116	•図8.17~図8.19 ビットシンボルの説明を追加
		118	•8.7.2.2 「WAIT命令実行前の処理」を「ウェイトモード移行前の処理」に変更、手順(6)を追加
		120, 122	•表8.6、表8.8 マルチマスタ I^2Cバスインタフェースの割り込みを追加
		122	•表8.8 8.7.3項から8.7.3.3項に移動
			「9. バス」
		125	•図9.1 各部周波数を削除、注1削除、周辺データバス幅を「16/32-bit」に修正
		126	•9.2本文 「16ビット幅」を「16/32ビット幅」に修正
		137-139	•表9.3~表9.5 一部信号の上線と罫線が重なっていたのを修正
		137-140	•9.3.4~9.3.5 上記に伴い、ページレイアウト調整
			「10. プロテクト」
		149	•表10.1、図10.1 レジスタの並びを章順に変更、PRC1ビットのプロテクト対象にI2CMRレジスタを追加
		150	•表10.2 タイトル部 「(i=0~7)」を削除
			「11. 割り込み」
		152	•11.1 (1)、(2)の「許可(禁止)」を「許可/禁止」に変更
		157-160	•表11.2~表11.5 参照先を詳細に記載
		170	•図11.8 「RLVL02~RLVL00」を「RIPL1レジスタのRLVL2~RLVL0」に、「RLVL12~RLVL10」を「RIPL2レジスタのRLVL2~RLVL0」に修正
		171	•11.10本文 「$\overline{\text{INTi}}$ (i=0~8)端子」を「$\overline{\text{INTi}}$端子(i=0~8)」に修正、「IFSR1n (n=m-6)ビット」を「IFSR1nビット(n=m-6)」に修正
		174	•図11.12 「i=0~11」を図タイトル部に移動
		175, 176	•図11.13、図11.14 レジスタ名に「i」を追加。割り込み要因の「i」、「j」、「k」をそれぞれ「x」、「y」、「z」に変更
		177	•11.14.3本文 「$\overline{\text{INTi}}$ (i=0~8)端子」を「$\overline{\text{INTi}}$端子(i=0~8)」に修正
			「12. ウォッチドッグタイマ」
		—	•用語統一「バスクロック」→「周辺バスクロック」
		178	•12本文 文章表現を全面見直し
			「13. DMAC」
		—	•用語統一「転送単位」→「転送サイズ」、「転送番地方向」→「アドレッシング」、「順方向」→「インクリメント」
		181	•表13.1 「64MB」を「64Mバイト」に表記を修正
		182	•13本文 「DMiSLレジスタ、DMiSL2レジスタのDSEL4~DSEL0ビット」を「DMiSLレジスタのDSEL4~DSEL0ビット、DMiSL2レジスタのDSEL24~DSEL20ビット」に修正
		184	•表13.2 「マルチマスタ I^2Cバス」を「I^2Cバス」に変更(用語統一)
		186	•図13.4 USAi、UDAiビットの機能欄の表現を変更、注2後半の文を削除、注3を追加 •図13.5 注3を削除
		192	•13.2本文 「DCTi (i=0~3)レジスタ」を「DCTiレジスタ(i=0~3)」に修正

改訂記録	R32C/118グループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
		194	•13.4.1 1つ目の注意事項に説明文を追加、2つ目、3つ目の注意事項を削除、新たに注意事項を2項目追加
			「14. DMAC II」
		—	•構成、文章表現を全面的に見直し •文字「Ⅱ」を「II」に変更 •用語統一「転送データ」→「転送対象」、「転送単位」→「転送サイズ」、「転送方向」→「アドレッシング」、「順方向番地」→「インクリメント」、単位以外の「番地」→「アドレス」、「ダウンカウント」→「デクリメント」 •用語変更「チェーン転送番地」→「チェーン転送ベースアドレス」、「転送完了割り込み番地」→「転送完了割り込みベクタアドレス」、「固定番地」→「アドレス固定のメモリ」、「可変番地」→「連続するメモリ領域」
		195	•表14.1 転送対象欄の演算転送を2行に分割、転送方式欄に説明文を追加、複数転送機能を転送方式欄に移動
		196	•14.1 本文 「可変ベクタテーブル」を「可変ベクタ」に修正
		197	•図14.2 体裁見直し
		199	•図14.3 MULTビットの値に応じてレジスタ図を2つに分割、b14-b8を「何も配置されていない」から「予約ビット」に修正
		200	•14.2本文 章末の文章を本節末に移動
		201	•14.3.1本文 アドレスが01FFFFFFhを超えた場合の動作を追記 •14.3.3本文 項末の割り込み受け付けに関する一文を削除
		202	•14.4本文 転送方式として複数転送を追加、BRSTビットの説明を削除 •14.4.1本文、14.4.2本文 BRSTビットの設定内容を追加 •14.4.2本文 割り込み受け付けに関する一文を追加
		203	•14.5 「チェーン転送」を14.4.4項から14.5節として分割 •図14.4 「(1)」、「(2)」、「(3)」を「(a)」、「(b)」、「(c)」に変更、「CADR1~CADR0」を「CADR」に修正 •14.6 「転送完了割り込み」を14.4.5項から14.6節として分割 •14.6本文 「IADR1~IADR0」を「IADR」に修正、図14.5上の割り込み処理の開始タイミングの文章を本節末に移動
		204	•14.7 記号説明の「b:」の行「転送先」を「転送元」に修正
			「16. タイマ」
		208	•図16.1 ビットシンボル一覧の「TAiGH~TAiGL」を「TAiTGH~TAiTGL」に修正
		210	•図16.3 「TBiSビット」を「TAiS」に修正
		225	•図16.16 リセット後の値を8桁に修正
		227	•図16.19 「TBiSビット」を「TBiS」に変更
		228	•図16.21 タイトルの「TM5MR」を「TB5MR」に修正、注1 一部変更
		234	•図16.26 注1 一部変更
			「17. 三相モータ制御用タイマ機能」
		244	•図17.5 b7-b6の機能欄に「読んだ場合、その値は不定」を追加
		246	•図17.8 リセット後の値を「00XX 0000b」に修正

改訂記録	R32C/118グループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
		252	•図17.17 「TA4-1レジスタ」を「TA41レジスタ」に修正、「“H”アクティブ」「“L”アクティブ」をそれぞれ「アクティブ“H”」「アクティブ“L”」に修正
		253	•図17.18 「“H”アクティブ」「“L”アクティブ」をそれぞれ「アクティブ“H”」「アクティブ“L”」に修正
			「18. シリアルインタフェース」
		257	•図18.2 ビットシンボル一覧から「CRS」を削除
		266	•図18.12 注2 「SSを設定する場合」を「SS機能を使用する場合」に修正、「UiCO」を「UiC0」に修正
		268	•図18.15 b15-b9の機能欄「読んだ場合、その値は不定」を削除
		272	•表18.2 送受信クロック欄「(i=0~6)」を「(i=0~8)」に修正
		292	•表18.11 「UART送信/UART受信割り込み」を「送受信割り込み」に修正
		301	•図18.37 「マイクロコンピュータ」を「MCU」に変更
		304	•18.5.2.2 連続受信モードに関する注意事項を削除
			「19. A/Dコンバータ」
		312-316	•表19.2~表19.6 「AD0j (j=0~7) レジスタ」を「AD0jレジスタ (j=0~7)」に修正
		324	•19.3.2 8項目目 「(i=0~7)」を削除
			「23. インテリジェントI/O」
		335	•図23.1 ビットシンボル一覧に「BT0R」を追加、「(j=0~7)」をタイトル部に移動
		336	•図23.2 ビットシンボル一覧に「BT1R」を追加、「(j=0~7)」をタイトル部に移動
		337	•図23.3 ビットシンボル一覧に不足するシンボルを追加、「(j=0~7)」をタイトル部に移動、「(注3)」削除
		355	•表23.4 「IIOi_j端子」を「IIOi_j端子(入力)」に変更
		359	•23.3本文 「リアルタイムポートRTP」を「リアルタイムポート(RTP)」に修正
		360	•23.3.1 「IIOi_j端子」の後に「(グループ2はOUTC2_j端子)」を追加
		362	•23.3.2 「IIOi_j端子」の後に「(グループ2はOUTC2_j端子)」を追加
		364, 365	•23.3.3 「IIOi_j端子」の後に「(グループ2はOUTC2_j端子)」を追加
		367	•表23.10 出力波形欄「G2PO0」を「G2POj」に、「00h~3FFh」を「000h~3FFh」に修正
		368	•図23.28 「fBTi」を「fBT2」に、「G2POCR」を「G2POCRj」に修正
		369, 371	•23.3.5本文、23.3.6本文 「IIO2j端子」を「OUTC2_j端子」に修正
		370	•図23.30 「RTPjビット」を「G2RTPレジスタのRTPjビット」に修正
			「24. マルチマスタI^2Cバスインタフェース」
		389	•図24.8 「SCL/SDA割り込み」を「I^2Cバスライン割り込み」に修正
		391	•図24.9 「(b2-b3)」を「(b3-b2)」に修正
		400	•図24.14 CLK2-CLK0ビットの機能欄「b2 b1 b0」を「b3 b2 b1」に修正
			•24.1.9本文 「端子の割り当て」を「信号切り替え」に変更

改訂記録	R32C/118グループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
		400	•24.1.9.1本文 全面的に見直し
			「25. CANモジュール」
		—	•一部文章表現の見直しを実施
		418	•25.1.1.3本文 一部修正
		421	•図25.3 b4の読み出し値を不定に修正
		424	•図25.5 b31-b29を予約ビットに修正
		425	•図25.6 b29を予約ビットに修正
		429	•図25.8 b29、b39-b32、b47-b44を予約ビットに修正
		436	•25.1.9.9本文 一部文章削除
		441	•25.1.12.2本文 一部修正
		449	•25.1.16.1 「メールボックス番号」を「チャネル番号」に修正
		450	•図25.21 「4回目の読み出し」のb4、b3を「X」に修正
		457, 458	•図25.26、図25.27 「8ビット」を削除
		463, 464	•25.1.25.4、25.1.25.5 「受信バッファ」を「受信メールボックス」に修正
		469	•25.2.4 「自身」を「自ノード」に変更
		471	•図25.36 BRPビットの説明を削除
		472	•25.3.3 「fCAN (…)分周値」を「fCAN (…)」に修正
		482	•25.7 記載順序入れ替え
			「26. 入出力端子」
		504	•図26.20 注1の表「TAxIN入力」を「TAxIN」に修正
		507	•図26.23 IFS31-IFS30ビットの機能欄「ポートP9に割り当てる」を「ポートP6、P9に割り当てる」に修正
			「27. フラッシュメモリ」
		—	•用語統一「フラッシュ」→「フラッシュメモリ」、「書き込み」/「ライト」→「プログラム」、「消去」→「イレーズ」
		515	•表27.1 項目と仕様の一部を見直し
		525	•図27.8 「(b7-4)」を「(b7-b4)」に修正
		534	•表27.15、表27.16 「(b5-0)」を「(b5-b0)」に修正
		541	•表27.17 エラー発生原因欄 文章表現を一部見直し
		546	•27.6.5 EW1モード 「FMR1レジスタのEWMビットを“1” (EW1モード)、LBDビットを“1”」を「FMR0レジスタのEWMビットを“1” (EW1モード)、FMR1レジスタのLBDビットを“1”」に修正
			「28. 電気的特性」
		556	•表28.13、図28.4 trec(STOP)とtrec(WAIT)の位置を入れ替え
		566, 579	•表28.31、表28.57 tw(ADH)の規格を変更
		567, 580	•表28.34、表28.60 マルチマスタI^2Cバスインタフェースのタイミング必要条件を追加
		570, 583	•表28.39、表28.40、表28.65、表28.66 マルチマスタI^2Cバスインタフェースのスイッチング特性を追加
		583	•表28.62 「TXDiホールド」を「TXDi出力ホールド」に修正
		584	•図28.6 「マイクロコンピュータ」を「MCU」に変更
		588	•図28.11 マルチマスタI^2Cバスインタフェースのタイミング図を追加

改訂記録	R32C/118グループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
			「29. 使用上の注意事項」
		594	•29.5.3本文 「$\overline{\text{INTi}}$ (i=0~8)端子」を「$\overline{\text{INTi}}$端子(i=0~8)」に修正
		595	•29.6.1 1つ目の注意事項に説明文を追加、2つ目、3つ目の注意事項を削除、新たに注意事項を2項目追加
		600	•29.9.2.2 連続受信モードに関する注意事項を削除
		602	•29.10.2 8項目目 「(i=0~7)」を削除
		603	•29.11.5 EW1モード 「FMR1レジスタのEWMビットを“1” (EW1モード)、LBDビットを“1”」を「FMR0レジスタのEWMビットを“1” (EW1モード)、FMR1レジスタのLBDビットを“1”」に修正
1.10	2010.09.08		第四版発行
		—	•新ルネサスフォーマットに変更 •高速版(64MHz)の仕様を追加
			「1. 概要」
		3, 5	•表1.2、表1.4 注1削除
		9	•図1.2 注4削除
		10, 15	•図1.3、図1.4 信号線の並び順を変更
		19	•表1.14 クロック出力の「fC」を「低速クロック」に修正
			「4. SFR」
		37	•表4.8 「IE Bus」を「IEBus」に修正
		40	•表4.11 「XY制御レジスタ」を「X-Y制御レジスタ」に修正
		42	•表4.13 TABSR、ONSF、TRGSRレジスタのリセット後の値を2進数に変更
		44	•表4.15 AD0CON2レジスタのリセット後の値を修正
		54	•表4.27 I2CSSCR、I2CCR1、I2CCR2、I2CSR、I2CMRレジスタのリセット後の値を修正
			「5. リセット」
		83	•5.1 B (2) 「条件を満たすレベル」を「条件を満たす電圧」に変更
			「7. プロセッサモード」
		96	•図7.2 アドレス「00008000h」と「FFF80000h」を削除
			「8. クロック発生回路」
		98	•図8.1 CLKOUTセレクタのfC入力を低速クロックに修正
		99	•図8.2 注2 最後の文章を削除、注6追記
		100	•図8.3 CM01~CM00ビットの機能欄「fC」を「低速クロック」に修正、注7一部変更、注8追加
		101	•図8.4 注4追加
		102	•図8.6 注1追記
		104	•図8.9 PM26ビット 「クロックソース」を「クロック源」に変更、注3 各ビットのカッコ内の記述を修正、注5追加
		105	•図8.10 注1追記
		109	•図8.15 SEOビットの機能欄「モード」を「動作」に変更
		112	•8.2.1 発振停止検出後の処置としてCM05を“1”にする方法を追加
		114	•8.6 本文、表8.3、表8.4 「fC」を「低速クロック」に修正
		115-120	•8.7 構成変更、図8.17~図8.19を8.7.1項に移動

改訂記録	R32C/118グループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
		116-117	•8.7.1 各モードに用語説明を追加、「周辺機能クロック源」を「周辺機能クロック」に修正、クロックを具体的に記載、図8.17~図8.19に関する説明、注記を追加
		118-120	•図8.17~図8.19 メインクロック停止とCM05=1を分割、発振停止検出時のCM05に関する注記を削除
		121, 124	•8.7.2.2、8.7.3.1 テクニカルアップデートTN-16C-A182A/Jを反映
		122, 125	•表8.5、表8.7 「fC」を「低速クロック」に修正
		122	•8.7.2.4 本文 見直し
		123	•表8.6 注1 追加
		124	•8.7.3 本文1行目 例外を追加
		125	•8.7.3.3 本文 一部見直し
			•表8.8 外部割り込みに条件を追加
			「9. バス」
		132-133	•図9.4~図9.6 注2 削除
		139	•表9.2 バス形式行の見出しにEXMPXビットの値を追加、マルチプレクスバスのみの時のP4_0~P4_3の機能を入出力ポートのみに修正
		146	•図9.15 (1) A8~A15をA0/D0~A7/D7と同様の波形に修正、注2追加
			「10. プロテクト」
		152-154	•各節のタイトルの書き方を変更
			「11. 割り込み」
		173	•図11.8 RIPL2レジスタ関連部分を削除、「DMAC II」を「DMA II 転送完了」に変更
		178	•図11.13 b0の機能欄修正、注3内容修正
		180	•11.14.3 3項目目を全文修正
			「12. ウォッチドッグタイマ」
		182	•図12.2 注1追加
			「16. タイマ」
		212	•図16.2 割り込み信号とオーバフロー/アンダフロー信号を分離
		230	•図16.19 「クロック源選択」を「カウントソース選択」に修正
			「17. 三相モータ制御用タイマ機能」
		245	•図17.3 INV13ビットの機能欄「タイマA」を「タイマA1」に修正
		249	•図17.8 MR3、MR2ビットの機能を修正
			•図17.9 PWCONビットの機能欄記載内容修正
		255	•図17.17 ビット設定の説明部を修正
		257	•17.6.1 条件の記載順序を変更
			•17.6.2 本文 「オーバフロー」を「アンダフロー」に修正
			「18. シリアルインタフェース」
		286, 287	•図18.25、図18.26 「外部ロック」を「外部クロック」に修正
		296	•図18.32 (3) 「UART送信、受信」を「送受信」に変更
		308	•18.5.4 「通信異常時の対処方法」項を追加
			「19. A/Dコンバータ」
		314	•図19.5 注5 「DUSビットを“1”にする場合」を「変換結果をDMA転送する場合」に変更

Rev.	発行日	改訂内容	
		ページ	ポイント
		315	•図19.7 注1、注3、注4 説明文を見直し
		316-322	•表19.2~表19.8 TRGビットが“1”の場合の開始条件をTRG0ビットの値ごとに記載、A/D変換値の読み出し欄の説明文を見直し
		328	•19.3.2 本文 9項目目 「変換結果をDMA転送する場合」を追加
			「23. インテリジェントI/O」
		339	•図23.1 「$\overline{\text{INT0}}$端子からの要求」を「$\overline{\text{INT0}}$端子または$\overline{\text{INT1}}$端子からの要求」に修正
		340	•図23.2 「$\overline{\text{INT1}}$端子からの要求」を「$\overline{\text{INT0}}$端子または$\overline{\text{INT1}}$端子からの要求」に修正
		344	•図23.6 RST2ビット機能欄 「$\overline{\text{INTi}}$端子」を「$\overline{\text{INT0}}$/$\overline{\text{INT1}}$端子」に修正、注3記載内容を修正
		353	•表23.2 ベースタイマリセット条件欄の記載内容を修正
		355	•図23.18 「$\overline{\text{INTi}}$端子」を「$\overline{\text{INT0}}$/$\overline{\text{INT1}}$端子」に修正、「i=0~2」を図タイトル部へ移動
		356, 357	•図23.19、図23.20 「(i=0, 1)」を図タイトル部へ移動
		377	•23.4 本文 注1削除
		379	•図23.36 「ISTxD」、「ISRxD」を「ISTXD2」、「ISRXD2」に修正
			「24. マルチマスタI^2Cバスインタフェース」
		—	•用語「インタフェース回路」を「インタフェース」に変更 •用語「ジェネラルコール」を「ジェネラルコールアドレス」に修正 •全般的に文章表現を見直し
		386	•表24.2「スレーブ送受信時」を「スレーブ受信時」に修正
		391	•24.1.4 本文2行目の「ACKCLKビット」を「ACKDビット」に修正
		395	•図24.9 注2と注3を入れ替え、「(注2)」を機能欄からビット名欄に移動、ビットシンボル「ICKO(オー)」を「ICK0(ゼロ)」に修正
		399	•24.1.7.3本文 「TOSELビットを“1”」を「TOSELビットを“0”」に、「TOEビットを“0”」を「TOSELビットを“1”」に修正 •24.1.7.4本文 「IICK4~ICK2」を「ICK4~ICK2」に修正
		400	•図24.13 「(注1)」~「(注3)」を機能欄からビット名欄に移動、TRS、MSTビットの機能欄に「(注1)」を追加
		401	•24.1.8.4 本文 「アービトレーションを失ったデータの送信が完了した後に」を「アービトレーションロストとなったバイトの最後で」に修正
		402	•23.1.8.7本文 「R/Wビット」を「R/$\overline{\text{W}}$ビット」に修正
		403	•24.1.8.8 本文 「失った1バイトデータの」を「当該バイトの」に変更
		407	•24.3 本文 下から2行目 「(I^2Cバスインタフェース有効)」を「(I^2Cバスインタフェース機能停止)」に修正
		408, 409	•図24.19、図24.22 「VIIC」を「ϕIIC」に修正
		410	•表24.10 見出しの「標準クロックモード」、「高速クロックモード」をそれぞれ「標準モード」、「高速モード」に修正
		413	•24.6.2本文 「(A)~(C)」を「(A)~(D)」に、「図24.23」を「図24.24」に修正

改訂記録	R32C/118グループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
		415	•図24.27 「TRXビット」を「TRSビットに」、下側の「リセット対象ビット」を「セット対象ビット」に、「スレーブデバイスのアドレッシングモードで、受信R/Wビットが」を「スレーブ受信モードでアドレッシングフォーマット選択時に、受信した第一バイトのR/$\overline{W}$ビットが」にそれぞれ修正
			「25. CANモジュール」
		—	•用語「8/3エンコーダ」を「8 to 3プライオリティエンコーダ」に、「3/8デコーダ」を「3 to 8デコーダ」に変更
		417	•25 本文 「表25.1に」を「表25.1、表25.2に」に修正
		429	•図25.6 注2 一部表現を変更
		433	•図25.8 見出し「設定値」を「設定範囲」に修正、注4 一部表現を変更
		451	•図25.11 注2 文章を修正
		454	•25.1.17本文 「(最小ビット位置がより高い優先順位)」を「(LSB側が優先)」に変更、2段落目の冗長部を削除
		463	•図25.28 「(注4)」をビット名欄から機能欄へ移動、注4本文修正
			「26. 入出力端子」
		516, 517	•表26.2、表26.3 注3 「P9_0、P9_2」追加
			「27. フラッシュメモリ」
		—	•高速版(64MHz版)限定の仕様として強制イレーズ機能、標準シリアル入出力モード禁止機能を追加
		521	•表27.3 ROMコードプロテクトの対象から「消去」を削除、併せて解除方法も修正、IDコードプロテクトの対象に「消去」を追加
			•27.2.2 本文 「シリアルライタを使って」を削除
		526	•表27.7 「プログラム、イレーズコマンド」を「プログラムコマンド/ブロックイレーズコマンド」に、「リードステータスレジスタコマンド」を「リードステータスレジスタモード移行コマンド」に修正
			•27.3本文「図27.4~図27.11」を「図27.4~図27.12」に修正
		534, 536	•図27.13、図27.14 信号線名を削除
		549, 550	•図27.21、図27.22 注3 「フラッシュ」を「フラッシュメモリ」に修正
			「28. 電気的特性」
		—	•高速版の電特を追加、デフォルト測定条件の周波数を変更
		554	•表28.2 P0、P1、P12、P13の記載方法を変更
		562	•図28.5 信号線名を削除
			「29. 使用上の注意事項」
		599	•29.5.3 3項目目を全文修正
		604	•29.8.1本文 条件の記載順序を変更
			•29.8.2本文 「オーバフロー」を「アンダフロー」に修正
		606	•29.9.4 「通信異常時の対処方法」項を追加
		608	•29.10.2 本文 9項目目 「変換結果をDMA転送する場合」を追加
			「付録1. 外形寸法図」
		611	•基準面情報を追加
1.20	2012.10.26		第五版発行
		—	•資料番号を「RJJ09B0566-0110」から「R01UH0212JJ-0120」に変更

改訂記録	R32C/118グループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
			「1. 概要」
		2, 4	•表1.1、表1.3 メモリ欄「表1.5を...」を「表1.5、表1.6を...」に修正
		7	•表1.6 製品ステータス更新
		10, 15	•図1.3、図1.4 信号線名の記載順を変更
		11, 16	•表1.7 36番ピン、表1.11 27番ピン タイマ端子名の記載順を変更
		23	•表1.18 注1、注3 説明文を見直し
			「4. SFR」
		35, 36, 38	•表4.6、表4.7、表4.9 GiBCR0 レジスタのリセット後の値を2進数に変更
		65, 66, 79, 80	•表4.36~表4.37、表4.50~表4.51 「CANiアクセプタンスマスクレジスタk」を「CANiマスクレジスタk」に修正
		68, 82	•表4.39、表4.53 CiMSMRレジスタのリセット後の値を「0000 0000b」に修正
			「5. リセット」
		86	•5.2、5.3 本文 一部見直し
			「7. プロセッサモード」
		94	•7.2 注1、注2 説明文を見直し
			「8. クロック発生回路」
		97	•8.1 本文、表8.1 一部表現を見直し
		98	•図8.1 PLL発振停止条件にBCSビットを追加、CLKOUTセレクタのfC入力を低速クロックに修正
		100	•図8.3 注8 追記
		101	•図8.4 注2 一部変更
		112	•8.2「(図8.17 状態遷移図(サブクロック使用時)参照)」を削除
			「9. バス」
		130	•9.3.1 本文 一部表現を見直し、「<」を「≤」に修正
		133, 134	•図9.7、図9.8 設定範囲の最小値を「02h」に変更
			•図9.7~図9.9 注2「設定値より大きい値」を「設定値以上の値」、「設定値より小さい値」を「設定値以下の値」に変更
		134	•図9.8、図9.9 設定範囲の最大値を「F8h」(メモリ拡張モード時)、「FFh」(マイクロプロセッサモード時)に変更
			「10. プロテクト」
		152	•図10.1 注1 一部変更
			「12. ウォッチドッグタイマ」
		181	•12 本文 CPUクロック周波数を「64 MHz」に、ウォッチドッグタイマの周期を「16.4 ms」に修正
			「13. DMAC」
		193	•表13.5 外部バスアドレス「00060000h」を「00080000h」に修正
			「14. DMAC II」
		200, 201	•14.1.2 本文、図14.2、表14.2 上部「転送完了割り込みベクタアドレス」を「転送完了割り込み処理分岐先アドレス」に変更
		200, 203	•図14.2、14.1.4「割り込みベクタ」を「割り込みベクタ領域」に変更

改訂記録	R32C/118グループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
		201	•表14.2 上部「転送完了割り込み処理の飛び先アドレス」を「転送完了割り込み処理ルーチンの先頭番地」に変更
			「17. 三相モータ制御用タイマ機能」
		250	•17.3 本文 一部削除
		255	•図17.17 注2「INV1レジスタ」を「INVC1レジスタ」に修正
			「18. シリアルインタフェース」
		265	•図18.7 UiIRSビットの機能欄「UiTBレジスタ空」を「送信バッファ空」に変更
		278	•図18.20「TXEPTフラグ」を「TXEPTビット」に修正、「UiRSビット」を「UiIRSビット」に修正
			「19. A/Dコンバータ」
		318-320	•19.1.3~19.1.5、表19.4~表19.6 一部表現を見直し
		320	•表19.6 見出し「重点的に行う端子」を「重点的にA/D変換を行う端子」に変更
			「21. CRC演算回路」
		331	•図21.1 データの流れを示す矢印を追加
		333	•図21.4「16 (8)ビット左シフト」を「左へ16 (8)ビットシフト」に変更
			「23. インテリジェントI/O」
		342	•図23.4 注2 一部表現を変更
		347	•図23.9 注3 削除
			「24. マルチマスタI^2Cバスインタフェース」
		402	•24.1.8.5 IRFビットが“1”になる条件の2項目目「WIT=1」を「RIE=1」に修正
			「25. CANモジュール」
		438, 442	•25.1.9.5、25.1.10.3 本文「fCAN (CANシステムクロック)」を「周辺バスクロック」に変更
		444	•25.1.11 本文 一部表現を変更
		450	•25.1.14.10、25.1.14.11 一部表現を変更
		452	•図25.19 (b6-b5)「書く場合、“0” を書いてください。」を削除
		453	•25.1.16.1、表25.7 一部表現を変更
		455	•図25.23 注1の「(j=0~31)」を図タイトルへ移動
		459	•25.1.20.5 (4)「通常復帰が発生」を「通常復帰をする」に変更
			•表25.8「通常のバスオフ状態からの復帰が発生した」を「バスオフ状態から通常復帰をした」に変更
		471	•表25.9 注1「最初の送信完了後」を「最初のメッセージ送信が完了した後」に変更
		472	•25.2.3 本文「ハードウェアリセットまたはソフトウェアリセット実行後」を「リセット後」に修正
		475	•図25.36 PCDビット部「q=1, 2, 3, 4」を「q=2, 3, 4」に修正
		481	•図25.42「(j=0~31)」と「(k=0~7)」を図タイトルへ移動
		483-485	•図25.43~図25.45「(j=0~31)」を図タイトルへ移動
			「26. 入出力端子」
		487	•26 本文、図26.1 プルアップ抵抗が切り離される要因からASELを除外
		488	•図26.2 シンボルの記載方法を変更

改訂記録	R32C/118グループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
		533	「27. フラッシュメモリ」 •表27.8 CB01レジスタ、CB12レジスタ 設定範囲の最小値を「02h」に、CB12レジスタ、CB23レジスタ 設定範囲の最大値を「F8h」に変更、「設定値より大きい値」を「設定値以上の値」、「設定値より大きく」を「設定値以上」、「設定値より小さい値」を「設定値以下の値」に変更
		564, 577	「28. 電気的特性」 •表28.16、表28.42 MSCL、MSDAを追加

R32C/118グループ ユーザーズマニュアル
ハードウェア編

発行年月日　2009年3月26日　Rev.0.61
　　2012年10月26日　Rev.1.20

発行　　ルネサス エレクトロニクス株式会社
　　〒211-8668 神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

http://www.renesas.com

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社　〒100-0004　千代田区大手町2-6-2（日本ビル）　(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：http://japan.renesas.com/contact/

© 2012 Renesas Electronics Corporation. All rights reserved.
Colophon 1.1

R32C/118 グループ

ルネサス エレクトロニクス株式会社

R01UH0212JJ0120
(旧番号: RJJ09B0566-0110)