

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ユーザーズ・マニュアル（暫定

NB85E

32 ビット・マイクロプロセッサ・コア

ハードウェア編

資料番号 A13971JJ7V1UM00（第7版）

発行年月 January 2002 NS CP(N)

© NEC Corporation 1998

[メモ]

目次要約

第 1 章	概 説	... 19
第 2 章	端子機能	... 26
第 3 章	CPU	... 52
第 4 章	BCU	... 75
第 5 章	BBR	... 118
第 6 章	STBC	... 133
第 7 章	DMAC	... 146
第 8 章	INTC	... 199
第 9 章	テスト機能	... 223
第 10 章	NB85E901	... 229
付録 A	ROM/RAM アクセス・タイミング	... 241
付録 B	総合索引	... 243
付録 C	改版履歴	... 249

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

本製品が外国為替および外国貿易管理法の規定による規制貨物等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。

- 本資料は、この製品の企画段階で作成していますので、予告なしに内容を変更することがあります。また本資料で扱う製品の製品化を中止することがあります。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

本版で改訂された主な箇所

箇 所	内 容
p.30	2. 2. 1 (3) VPWRITE 修正
p.33	2. 2. 2 (12) VBSEQ2-VBSEQ0 修正
p.34	2. 2. 2 (17) VBDC 修正
p.36	2. 2. 4 (1) IDMASTP 修正
p.37	2. 2. 7 (1) IRAMA27-IRAMA2 修正
p.48	2. 3 未使用端子の処理 修正
p.67	図 3 - 11 周辺 I/O 領域 修正
p.98	4. 9. 2 (6) 転送ステータス 注意に図を追加
p.112	4. 9. 5 (1) バスの優先順位 追加
p.135	6. 2. 1 パワー・セーブ・コントロール・レジスタ (PSC) 注意 2 を追加
p.139	6. 4 (2) (a) 割り込み要求による解除 修正
p.141	6. 5 (1) 設定と動作状態 備考を追加
p.145	図 6 - 6 ハードウェア STOP モード設定 / 解除タイミング例 修正
p.167	7. 8. 4 ブロック転送モード 修正
p.169	7. 9. 2 フライバイ転送 修正
p.222	8. 7 割り込みが受け付けられない期間 修正
p.228	9. 4 (2) テスト・モード用端子 修正

本文欄外の 印は、本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

はじめに

対 象 者 このマニュアルは CBIC の CPU コアである NB85E のハードウェア機能を理解し、それを用いた応用システムを設計するユーザを対象とします。

目 的 このマニュアルは、次の構成に示す NB85E の持つハードウェア機能をユーザに理解していただくことを目的としています。

構 成 このマニュアルは、NB85E のハードウェア機能について記述しています。アーキテクチャ、命令機能などの詳細については「V850E1 ユーザーズ・マニュアル アーキテクチャ編」を参照してください。
各マニュアルは、大きく分けて次の内容で構成されています。

NB85E ユーザーズ・マニュアル
ハードウェア編（このマニュアル）

- 概 説
- CPU 機能
- 周辺 I/O 機能
- テスト機能

V850E1 ユーザーズ・マニュアル
アーキテクチャ編

- レジスタ・セット
- 命令形式と命令セット
- 割り込みと例外
- パイプラインの動作

読 み 方 このマニュアルの読者には、電気、論理回路、マイクロコンピュータに関する一般知識を必要とします。

一通り NB85E のハードウェア機能を理解しようとするとき
→目次に従ってお読みください。

機能名などが分かっていて、その詳細を確認するとき
→**付録 B 総合索引**を参照してください。

命令機能の詳細を知りたいとき
→別冊の **V850E1 ユーザーズ・マニュアル アーキテクチャ編**を参照してください。

凡 例

データ表記の重み	: 左が上位桁, 右が下位桁
アクティブ・ロウの表記	: xxxZ (端子, 信号名称のあとに Z)
注	: 本文中につけた注の説明
注意	: 気をつけて読んでいただきたい内容
備考	: 本文の補足説明
数の表記	: 2 進数 ... xxxx または xxxxB 10 進数 ... xxxx 16 進数 ... xxxxH

2 のべき数を示す接頭語（アドレス空間，メモリ容量）：

K（キロ） ... $2^{10} = 1024$

M（メガ） ... $2^{20} = 1024^2$

G（ギガ） ... $2^{30} = 1024^3$

データ・タイプ : ワード ... 32 ビット
 ハーフワード ... 16 ビット
 バイト ... 8 ビット

関連資料 関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

- V850E1 ユーザーズ・マニュアル アーキテクチャ編（U14559J）
- NB85ET ユーザーズ・マニュアル ハードウェア編（A14342J）
- メモリ・コントローラ ユーザーズ・マニュアル NB85E, NB85ET 編（A14206J）
- 命令キャッシュ，データ・キャッシュ ユーザーズ・マニュアル NB85E, NB85ET 編（A14247J）
- NPB 周辺マクロ ユーザーズ・マニュアル NB85E, NB85ET 編（A14005J）
- CB-9 ファミリ VX/VM タイプ 設計マニュアル NB85E, NB85ET 編（A14335J）
- CB-9 ファミリ VX/VM タイプ コア・ライブラリ 設計マニュアル
CPU コア，メモリ・コントローラ編（A13195J）

なお，上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

目 次

第 1 章 概 説 ... 19

- 1.1 概 要 ... 19
- 1.2 応用システム ... 20
- 1.3 特 徴 ... 21
- 1.4 シンボル図 ... 23
- 1.5 機能ブロック構成 ... 24
 - 1.5.1 内部ブロック図 ... 24
 - 1.5.2 内部ユニット ... 25

第 2 章 端子機能 ... 26

- 2.1 端子機能一覧 ... 26
- 2.2 端子機能の説明 ... 30
 - 2.2.1 NPB 用端子 ... 30
 - 2.2.2 VSB 用端子 ... 31
 - 2.2.3 システム制御用端子 ... 34
 - 2.2.4 DMAC 用端子 ... 36
 - 2.2.5 INTC 用端子 ... 36
 - 2.2.6 VFB 用端子 ... 36
 - 2.2.7 VDB 用端子 ... 37
 - 2.2.8 命令キャッシュ用端子 ... 38
 - 2.2.9 データ・キャッシュ用端子 ... 39
 - 2.2.10 RCU 用端子 ... 41
 - 2.2.11 周辺エバチップ・モード用端子 ... 41
 - 2.2.12 動作モード設定用端子 ... 42
 - 2.2.13 テスト・モード用端子 ... 45
- 2.3 未使用端子の処理 ... 47
- 2.4 端子状態 ... 49

第 3 章 CPU ... 52

- 3.1 特 徴 ... 52
- 3.2 レジスタ ... 53
 - 3.2.1 プログラム・レジスタ ... 54
 - 3.2.2 システム・レジスタ ... 56

3.3	アドレス空間 ...	59
3.3.1	プログラム領域	60
3.3.2	データ領域	61
3.4	領域 ...	63
3.4.1	ROM 領域	63
3.4.2	RAM 領域	65
3.4.3	周辺 I/O 領域	66
3.4.4	外部メモリ領域	68
3.5	周辺 I/O レジスタ ...	68
3.5.1	NB85E 制御用レジスタ	69
3.5.2	メモリ・コントローラ (MEMC) 制御用レジスタ	72
3.5.3	命令キャッシュ制御用レジスタ	73
3.5.4	データ・キャッシュ制御用レジスタ	73
3.6	NB85E901 (RCU) インタフェース ...	74
3.6.1	概 要	74
3.6.2	オンチップ・ディバグ	74

第4章 BCU ... 75

4.1	特 徴 ...	75
4.2	メモリ・バンク ...	75
4.3	プログラマブル・チップ・セレクト機能 ...	78
4.4	プログラマブル周辺 I/O 領域選択機能 ...	84
4.5	バス・サイズ設定機能 ...	87
4.6	エンディアン設定機能 ...	88
4.6.1	NEC 製開発ツールにおけるビッグ・エンディアン形式の使用制限	89
4.7	キャッシュ・コンフィギュレーション ...	91
4.8	BCU 関連レジスタ設定例 ...	92
4.9	VSB によるデータ転送 ...	95
4.9.1	データ転送例	95
4.9.2	制御信号	96
4.9.3	リード/ライト・タイミング	98
4.9.4	リセット・タイミング	111
4.9.5	バス・マスタの移行	112
4.9.6	ミス・アライン・アクセス・タイミング	116

第5章 BBR ... 118

5.1	プログラマブル周辺 I/O 領域 ...	120
5.2	ウェイト挿入機能 ...	123

- 5.3 リトライ機能 ... 125
- 5.4 NPB リード/ライト・タイミング ... 126

第6章 STBC ... 133

- 6.1 パワー・セーブ機能 ... 133
- 6.2 制御レジスタ ... 134
 - 6.2.1 パワー・セーブ・コントロール・レジスタ (PSC) ... 134
 - 6.2.2 コマンド・レジスタ (PRCMD) ... 137
- 6.3 HALT モード ... 138
- 6.4 ソフトウェア STOP モード ... 139
- 6.5 ハードウェア STOP モード ... 141
- 6.6 ソフトウェア/ハードウェア STOP モードでのクロック制御 ... 142

第7章 DMAC ... 146

- 7.1 特 徴 ... 146
- 7.2 構 成 ... 147
- 7.3 転送対象 ... 148
- 7.4 DMA チャンネルの優先順位 ... 148
- 7.5 制御レジスタ ... 149
 - 7.5.1 DMA ソース・アドレス・レジスタ 0-3 (DSA0-DSA3) ... 149
 - 7.5.2 DMA デスティネーション・アドレス・レジスタ 0-3 (DDA0-DDA3) ... 151
 - 7.5.3 DMA 転送カウント・レジスタ 0-3 (DBC0-DBC3) ... 153
 - 7.5.4 DMA アドレッシング・コントロール・レジスタ 0-3 (DADC0-DADC3) ... 154
 - 7.5.5 DMA チャンネル・コントロール・レジスタ 0-3 (DCHC0-DCHC3) ... 156
 - 7.5.6 DMA ディスエーブル・ステータス・レジスタ (DDIS) ... 157
 - 7.5.7 DMA リスタート・レジスタ (DRST) ... 157
- 7.6 ネクスト・アドレス設定機能 ... 158
- 7.7 DMA バス・ステート ... 159
 - 7.7.1 バス・ステートの種類 ... 159
 - 7.7.2 DMAC バス・サイクルの状態遷移 ... 161
- 7.8 転送モード ... 162
 - 7.8.1 シングル転送モード ... 162
 - 7.8.2 シングルステップ転送モード ... 164
 - 7.8.3 ライン転送モード ... 165
 - 7.8.4 ブロック転送モード ... 167
 - 7.8.5 DMARQn 信号によるシングル転送時の 1 回転送 ... 168
- 7.9 転送タイプ ... 169
 - 7.9.1 2 サイクル転送 ... 169

- 7.9.2 フライバイ転送 ... 169
- 7.10 DMA 転送起動要因 ... 169
- 7.11 DMA 転送完了時の出力 ... 170
- 7.12 強制中断 ... 171
- 7.13 強制終了 ... 172
- 7.14 DMA 転送タイミング例 ... 173
- 7.15 注意事項 ... 197

第8章 INTC ... 199

- 8.1 特 徴 ... 199
- 8.2 ノンマスカブル割り込み (NMI) ... 202
 - 8.2.1 動 作 ... 205
 - 8.2.2 復 帰 ... 206
- 8.3 マスカブル割り込み ... 207
 - 8.3.1 動 作 ... 207
 - 8.3.2 復 帰 ... 209
 - 8.3.3 マスカブル割り込みの優先順位 ... 210
 - 8.3.4 制御レジスタ ... 214
 - 8.3.5 マスカブル割り込みステータス・フラグ (ID) ... 217
- 8.4 ソフトウェア例外 ... 218
 - 8.4.1 動 作 ... 218
 - 8.4.2 復 帰 ... 219
- 8.5 例外トラップ ... 220
 - 8.5.1 不正命令コード ... 220
 - 8.5.2 動 作 ... 221
 - 8.5.3 復 帰 ... 221
- 8.6 割り込み応答時間 ... 222
- 8.7 割り込みが受け付けられない期間 ... 222

第9章 テスト機能 ... 223

- 9.1 テスト用端子 ... 223
 - 9.1.1 テスト・バス端子 (TBI39-TBI0, TBO34-TBO0) ... 223
 - 9.1.2 BUNRI, TEST 端子 ... 223
- 9.2 テスト・インタフェース信号一覧 ... 224
- 9.3 テスト・モード時の周辺マクロ接続例 ... 225
- 9.4 テスト・モード時の各端子の処理 ... 226

第 10 章 NB85E901 ... 229

10.1 概 要 ... 229

10.1.1 シンボル図 ... 229

10.2 端子機能 ... 230

10.2.1 端子機能一覧 ... 230

10.2.2 端子機能の説明 ... 231

10.2.3 未使用端子の処理 ... 233

10.2.4 端子状態 ... 234

10.3 ディバグ機能 ... 236

10.4 NB85E 接続例 ... 237

10.5 N-Wire 型 IE の接続 ... 238

10.5.1 IE 接続コネクタ (ターゲット・システム側) ... 238

10.5.2 NB85E に NB85E901 を接続した場合の推奨回路例 ... 240

付録 A ROM/RAM アクセス・タイミング ... 241

付録 B 総合索引 ... 243

B.1 50 音で始まる語句の索引 ... 243

B.2 アルファベットで始まる語句の索引 ... 245

付録 C 改版履歴 ... 249

図の目次 (1/4)

図番号	タイトル, ページ
1 - 1	応用システム例 ... 20
2 - 1	DCRESZ 信号の受け付け ... 35
3 - 1	CPU レジスタ一覧 ... 53
3 - 2	プログラム・カウンタ (PC) ... 55
3 - 3	割り込み要因レジスタ (ECR) ... 57
3 - 4	プログラム・ステータス・ワード (PSW) ... 58
3 - 5	アドレス空間 ... 59
3 - 6	プログラム領域 ... 60
3 - 7	データ領域 (64M バイト・モード時) ... 61
3 - 8	データ領域 (256M バイト・モード時) ... 62
3 - 9	ROM 領域 ... 63
3 - 10	RAM 領域 ... 65
3 - 11	周辺 I/O 領域 ... 67
3 - 12	RCU を介した NB85E と N-Wire 型インサーキット・エミュレータの接続概略図 ... 74
4 - 1	チップ領域セレクト制御レジスタ 0 (CSC0) ... 78
4 - 2	チップ領域セレクト制御レジスタ 1 (CSC1) ... 79
4 - 3	CSC0, CSC1 レジスタ設定例 (64M バイト・モード時) ... 80
4 - 4	CSC0, CSC1 レジスタ設定例 (256M バイト・モード時) ... 83
4 - 5	周辺 I/O 領域とプログラマブル周辺 I/O 領域 ... 85
4 - 6	周辺 I/O 領域セレクト制御レジスタ (BPC) ... 86
4 - 7	バス・サイズ・コンフィギュレーション・レジスタ (BSC) ... 87
4 - 8	エンディアン・コンフィギュレーション・レジスタ (BEC) ... 88
4 - 9	ワード・データのリトル・エンディアン形式例 ... 89
4 - 10	ワード・データのビッグ・エンディアン形式例 ... 89
4 - 11	キャッシュ・コンフィギュレーション・レジスタ (BHC) ... 91
4 - 12	BPC, BSC, BEC, BHC レジスタ設定例 ... 92
4 - 13	VSF によるデータ転送例 ... 95
4 - 14	VSF に接続されたバス・スレーブとのリード/ライト・タイミング ... 99
4 - 15	リセット・タイミング ... 111
4 - 16	バス・アービトラクション・タイミング (NB85E → 外部マスタ・デバイス) ... 113
4 - 17	バス・アービトラクション・タイミング (外部マスタ・デバイス → NB85E) ... 115
4 - 18	ミス・アライン・アクセス・タイミング ... 116
5 - 1	NPB 接続の概略図 ... 118
5 - 2	NB85E と周辺マクロの接続例 ... 119
5 - 3	周辺 I/O 領域とプログラマブル周辺 I/O 領域 ... 120

図の目次 (2/4)

図番号	タイトル, ページ
5 - 4	周辺 I/O 領域セレクト制御レジスタ (BPC) ... 121
5 - 5	BPC レジスタ設定例 ... 122
5 - 6	NPB ストロープ・ウエイト・コントロール・レジスタ (VSWC) ... 123
5 - 7	リトライ機能 ... 125
5 - 8	ハーフワード・アクセス・タイミング ... 126
5 - 9	奇数アドレスに対するバイト・アクセス・タイミング ... 127
5 - 10	偶数アドレスに対するバイト・アクセス・タイミング ... 127
5 - 11	リード・モディファイ・ライト・タイミング ... 128
5 - 12	リトライ・タイミング (ライト) ... 128
5 - 13	リトライ・タイミング (リード) ... 129
5 - 14	NPB に接続されたバス・スレーブとのリード/ライト・タイミング ... 130
6 - 1	パワー・セーブ機能状態遷移図 ... 133
6 - 2	パワー・セーブ・コントロール・レジスタ (PSC) ... 135
6 - 3	コマンド・レジスタ (PRCMD) ... 137
6 - 4	NB85E とクロック制御回路の接続 ... 142
6 - 5	ソフトウェア STOP モード設定 / 解除タイミング例 ... 143
6 - 6	ハードウェア STOP モード設定 / 解除タイミング例 ... 145
7 - 1	DMA ソース・アドレス・レジスタ 0H-3H (DSA0H-DSA3H) ... 149
7 - 2	DMA ソース・アドレス・レジスタ 0L-3L (DSA0L-DSA3L) ... 150
7 - 3	DMA デスティネーション・アドレス・レジスタ 0H-3H (DDA0H-DDA3H) ... 151
7 - 4	DMA デスティネーション・アドレス・レジスタ 0L-3L (DDA0L-DDA3L) ... 152
7 - 5	DMA 転送カウンタ・レジスタ 0-3 (DBC0-DBC3) ... 153
7 - 6	DMA アドレッシング・コントロール・レジスタ 0-3 (DADC0-DADC3) ... 154
7 - 7	DMA チャンネル・コントロール・レジスタ 0-3 (DCHC0-DCHC3) ... 156
7 - 8	DMA ディスエーブル・ステータス・レジスタ (DDIS) ... 157
7 - 9	DMA リスタート・レジスタ (DRST) ... 157
7 - 10	バッファ・レジスタの構成 ... 158
7 - 11	DMAC バス・サイクルの状態遷移図 ... 161
7 - 12	シングル転送例 1 ... 162
7 - 13	シングル転送例 2 ... 162
7 - 14	シングル転送例 3 ... 163
7 - 15	シングル転送例 4 ... 163
7 - 16	シングルステップ転送例 1 ... 164
7 - 17	シングルステップ転送例 2 ... 164
7 - 18	ライン転送例 1 ... 165
7 - 19	ライン転送例 2 ... 165
7 - 20	ライン転送例 3 ... 166

図の目次 (3/4)

図番号	タイトル , ページ
7 - 21	ライン転送例 4 ... 166
7 - 22	ブロック転送例 ... 167
7 - 23	DMARQn 信号によるシングル転送時の 1 回転送 ... 168
7 - 24	ターミナル・カウント信号 (DMTCO3-DMTCO0) タイミング例 ... 170
7 - 25	DMA 転送の強制中断例 ... 171
7 - 26	DMA 転送の強制終了例 ... 172
7 - 27	2 サイクル・シングル転送タイミング例 (NB85E500 に接続した外部 SRAM↔外部 SRAM) ... 174
7 - 28	2 サイクル・シングルステップ転送タイミング例 (NB85E500 に接続した外部 SRAM↔外部 SRAM) ... 176
7 - 29	2 サイクル・ライン転送タイミング例 (NB85E500 に接続した外部 SRAM↔外部 SRAM) ... 178
7 - 30	2 サイクル・ブロック転送タイミング例 (NB85E500 に接続した外部 SRAM↔外部 SRAM) ... 180
7 - 31	2 サイクル・シングル転送タイミング例 (VDB に接続した RAM→NU85E502 に接続した SDRAM) ... 182
7 - 32	2 サイクル・シングル転送タイミング例 (NU85E502 に接続した SDRAM→VDB に接続した RAM) ... 184
7 - 33	フライバイ・シングル転送タイミング例 (NB85E500 に接続した外部 SRAM→外部 I/O) ... 186
7 - 34	フライバイ・シングルステップ転送タイミング例 (NB85E500 に接続した外部 SRAM→外部 I/O) ... 188
7 - 35	フライバイ・シングルステップ転送タイミング例 (NB85E500 に接続した外部 I/O→外部 SRAM) ... 190
7 - 36	フライバイ・ライン転送タイミング例 (NB85E500 に接続した外部 SRAM→外部 I/O) ... 192
7 - 37	フライバイ・ブロック転送タイミング例 (NB85E500 に接続した外部 SRAM→外部 I/O) ... 194
7 - 38	フライバイ・ブロック転送タイミング例 (NB85E500 に接続した外部 I/O→外部 SRAM) ... 196
8 - 1	ノンマスカブル割り込み要求の受け付け動作 ... 203
8 - 2	ノンマスカブル割り込みの処理形態 ... 205
8 - 3	RETI 命令の処理形態 ... 206
8 - 4	マスカブル割り込みの処理形態 ... 208
8 - 5	RETI 命令の処理形態 ... 209
8 - 6	割り込み処理中にほかの割り込み要求が発生した場合の処理例 ... 211
8 - 7	同時発生した割り込み要求の処理例 ... 213
8 - 8	割り込み制御レジスタ 0-63 (PIC0-PIC63) ... 214

図の目次 (4/4)

図番号	タイトル, ページ
8 - 9	割り込みマスク・レジスタ 0-3 (IMR0-IMR3) ... 215
8 - 10	インサース・プライオリティ・レジスタ (ISPR) ... 216
8 - 11	プログラム・ステータス・ワード (PSW) ... 217
8 - 12	ソフトウェア例外の処理形態 ... 218
8 - 13	RETI 命令の処理形態 ... 219
8 - 14	不正命令コード ... 220
8 - 15	例外トラップの処理形態 ... 221
8 - 16	割り込み要求受け付け時のパイプライン動作例 (概略) ... 222
9 - 1	周辺マクロ接続例 ... 225
9 - 2	ユーザ・ロジック設計例 ... 227
10 - 1	NB85E901 と NB85E の接続例 ... 237
10 - 2	N-Wire 型 IE の接続 ... 238
10 - 3	IE 接続コネクタ (ターゲット・システム側) のピン配置図 ... 238
10 - 4	IE 接続推奨回路例 (NB85E + NB85E901) ... 240
A - 1	ROM アクセス・タイミング ... 241
A - 2	RAM アクセス・タイミング ... 242

表の目次

表番号	タイトル, ページ
2 - 1	VBTTYP1, VBTTYP0 信号 ... 31
2 - 2	VBENZ3-VBENZ0 信号 ... 31
2 - 3	VBSIZE1, VBSIZE0 信号 ... 32
2 - 4	VBCTYP2-VBCTYP0 信号 ... 32
2 - 5	VBSEQ2-VBSEQ0 信号 ... 33
2 - 6	IRAMWR3-IRAMWR0 信号 ... 37
2 - 7	IDRRQ, IDWRQ, IDSEQ4, IDSEQ2 信号 ... 40
2 - 8	IFIRA64, IFIRA32, IFIRA16 信号 ... 43
2 - 9	IFINSZ1, IFINSZ0 信号 ... 44
2 - 10	各動作モードでの端子状態 ... 49
3 - 1	プログラム・レジスタ一覧 ... 54
3 - 2	システム・レジスタ一覧 ... 56
3 - 3	割り込み / 例外テーブル ... 64
3 - 4	RAM 領域サイズの設定 ... 65
4 - 1	VBTTYP1, VBTTYP0 信号 ... 96
4 - 2	VBCTYP2-VBCTYP0 信号 ... 96
4 - 3	VBENZ3-VBENZ0 信号 ... 97
4 - 4	VBSIZE1, VBSIZE0 信号 ... 97
4 - 5	VBSEQ2-VBSEQ0 信号 ... 97
4 - 6	VBWAIT, VBAHLD, VBLAST 信号 ... 98
5 - 1	各動作周波数におけるセットアップ・ウェイト幅, VPSTB ウェイト幅の設定値 ... 124
6 - 1	割り込み要求による HALT モード解除後の動作 ... 138
6 - 2	割り込み要求によるソフトウェア STOP モード解除後の動作 ... 139
6 - 3	割り込み処理ルーチン内でソフトウェア STOP モードに設定したあとの動作 ... 140
6 - 4	ハードウェア STOP モード解除後の状態 ... 141
7 - 1	転送の種類と転送対象の関係 ... 148
7 - 2	ウェイト機能と転送対象の関係 ... 148
8 - 1	割り込み / 例外一覧 ... 199
9 - 1	テスト・モードの設定一覧 ... 223
10 - 1	動作モードでの端子状態 ... 234
10 - 2	IE 接続コネクタ (ターゲット・システム側) ピン機能 ... 239

第 1 章 概 説

NB85E は、NEC の RISC 型 32 ビット・マイクロプロセッサ「V850E1」CPU と DMA コントローラや割り込みコントローラなどの周辺 I/O を内蔵し、ASIC への取り込みを目的とした CPU コアです。

1.1 概 要

(1) 「V850E1」CPU

5 段パイプライン方式を採用した RISC 型 CPU「V850E1」を搭載しています。2 バイト長の基本命令、高級言語対応命令などにより、C コンパイラでのオブジェクト・コード効率を高めており、プログラム・サイズのコンパクト化を実現します。

また、乗算処理の高速化のために、32 ビット×32 ビット演算が可能な高速ハードウェア乗算器を内蔵しています。

(2) バス・インタフェース

周辺マクロ、ユーザ・ロジックなどの接続を目的とした次の 2 種類のバス・インタフェースを備えています。

- V850E システム・バス (VSB)
- NEC 周辺 I/O バス (NPB)

VSB は、CPU のクロックに同期しており、メモリ・コントローラ (MEMC) や FIFO インタフェースを備えた周辺 I/O などの高速な周辺マクロへの接続を目的としたバスです。

NPB は、CPU のクロックに非同期で動作し、タイマやアシンクロナス・シリアル・インタフェース (UART) などの比較的低速な周辺マクロへの接続を目的としたバスです。

また、ROM の直結が可能な V850E フェッチ・バス (VFB) と RAM の直結が可能な V850E データ・バス (VDB) も備えています。

さらに、命令キャッシュ、データ・キャッシュ、RCU (ラン・コントロール・ユニット) に対しては、専用のインタフェースを内蔵しているため、各マクロの直結が可能です。

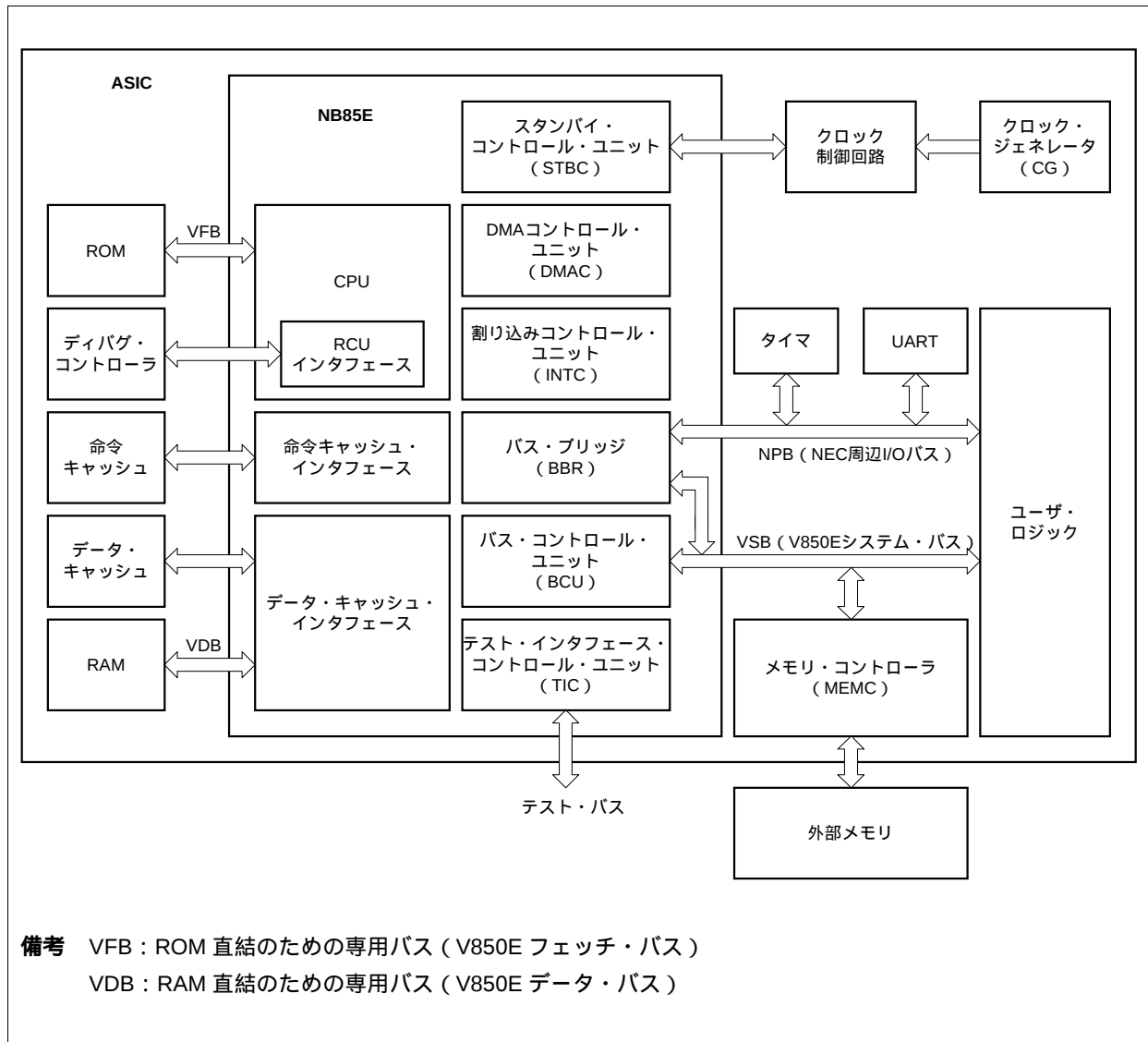
(3) 内蔵周辺 I/O

DMA 転送を制御する DMA コントロール・ユニット (DMAC)、割り込み要求を制御する割り込みコントロール・ユニット (INTC)、パワー・セーブ機能を制御するスタンバイ・コントロール・ユニット (STBC) を内蔵しています。

1.2 応用システム

NB85E は ASIC に組み込まれ、メモリ、ユーザ・ロジック、および UART やタイマなどの周辺マクロに接続されます。

図1 - 1 応用システム例



注意 このユーザーズ・マニュアルでは、NB85E に接続するメモリに関して次のように表記を統一しています。

- RAM : NB85E 直結の RAM (VDB に接続)
- ROM : NB85E 直結の ROM (VFB に接続)
- 外部メモリ : メモリ・コントローラ (MEMC) を介して接続される RAM/ROM (VSB 経由で接続)

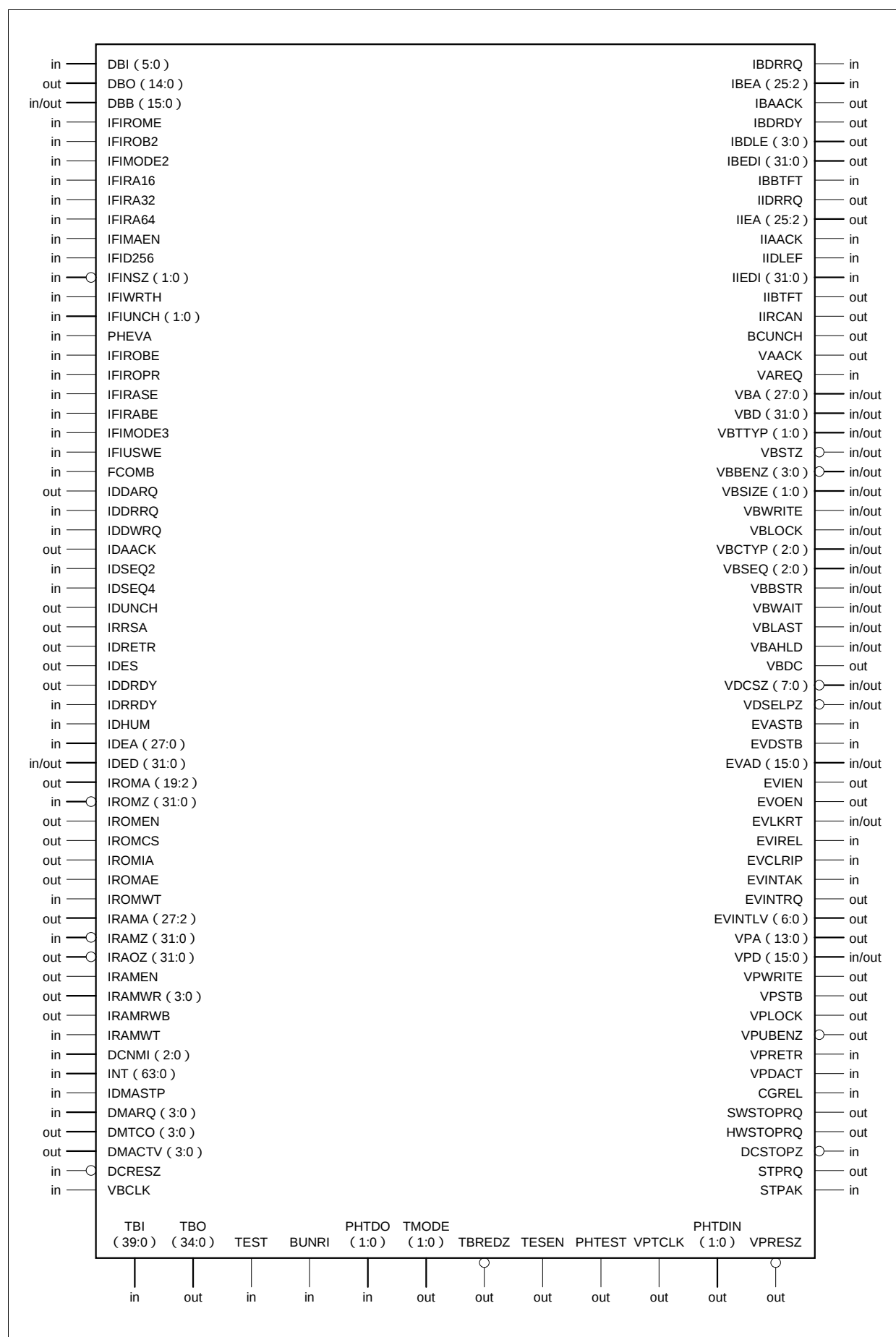
1.3 特 徴

- 命令数 81
- 汎用レジスタ 32 ビット×32 本
- 命令セット
 - V850 CPU 上位互換
 - 符号付き乗算 (32 ビット×32 ビット→64 ビット)
 - 飽和演算命令 (オーバフロー / アンダフロー検出機能付き)
 - 32 ビット・シフト命令 : 1 クロック
 - ビット操作命令
 - ロング / ショート形式を持つロード / ストア命令
 - 符号付きロード命令
- メモリ空間
 - プログラム領域 : 64M バイト・リニア
 - データ領域 : 4G バイト・リニア
 - メモリ・バンク分割機能 : 2M, 4M, 8M バイト / バンク
- 外部バス・インタフェース
 - VSBB (V850E システム・バス)
 - ・アドレス / データ分離バス (28 ビット・アドレス / 32 ビット・データ・バス)
 - ・32/16/8 ビット・バス・サイジング機能
 - ・バス・ホールド機能
 - ・外部ウエイト機能
 - ・エンディアン切り替え機能
 - NPB (NEC 周辺 I/O バス)
 - ・アドレス / データ分離バス (14 ビット・アドレス / 16 ビット・データ・バス)
 - ・プログラマブル・ウエイト機能
 - ・リトライ機能
- 割り込み / 例外制御機能
 - ノンマスカブル割り込み : 3 要因
 - マスカブル割り込み : 64 要因
 - 例外 : 1 要因
 - 8 レベルの優先順位指定可能 (マスカブル割り込み)
- DMA 制御機能
 - 4 チャンネル構成
 - 転送単位 : 8 ビット, 16 ビット, 32 ビット
 - 最大転送回数 : 65536 (2^{16}) 回
 - 転送タイプ : フライバイ (1 サイクル) 転送, 2 サイクル転送
 - 転送モード : シングル転送, シングルステップ転送, ライン転送, ブロック転送
 - ターミナル・カウント出力信号 (DMTCO3-DMTCO0)

- パワー・セーブ機能 HALT モード
 ソフトウェア STOP モード
 ハードウェア STOP モード
- NB85E901 (RCU^注) インタフェース機能

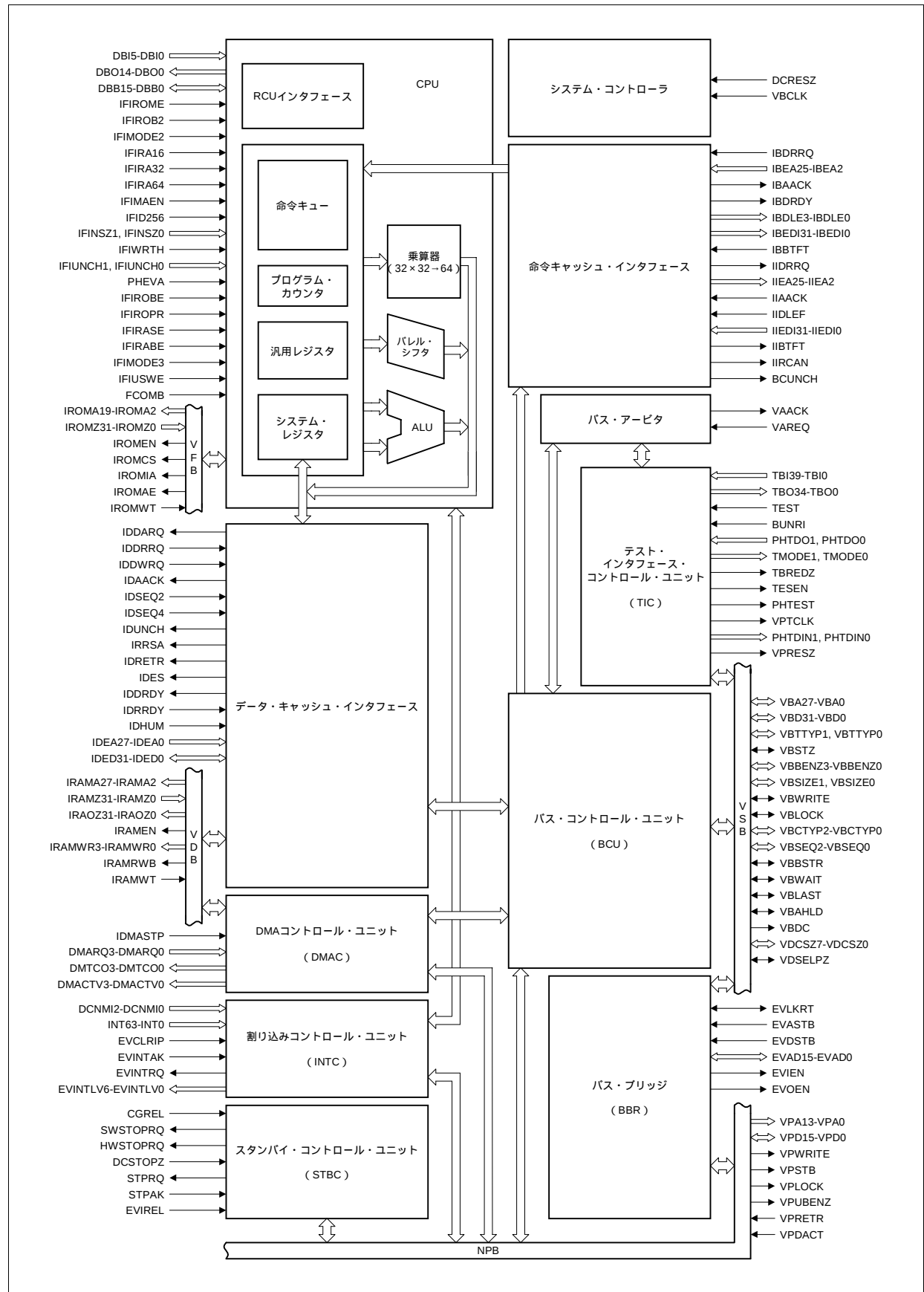
注 RCU (Run Control Unit) : JTAG での通信やディバグ処理の実行を行う制御ユニット

1.4 シンボル図



1.5 機能ブロック構成

1.5.1 内部ブロック図



1. 5. 2 内部ユニット

(1) CPU

アドレス計算，算術論理演算，データ転送などのほとんどの命令処理を 5 段パイプライン制御により 1 クロックで実行します。

32 ビット×32 ビット乗算の高速処理が可能なハードウェア乗算器，バレル・シフタなどの専用ハードウェアを内蔵し，複雑な命令処理の高速化を図っています。

また，NB85E901（RCU）との接続を行うための RCU インタフェースを内蔵しています（第 3 章 CPU 参照）。

(2) BCU

VSB 上のバス・マスタとして動作し，内蔵のバス・ブリッジ（BBR），テスト・インタフェース・コントロール・ユニット（TIC）や，VSB に接続されたメモリ・コントローラ（MEMC）などの周辺マクロ（バス・スレーブ）を制御するバス・コントロール・ユニットです（第 4 章 BCU 参照）。

(3) BBR

VSB 用の信号を NPB 用の信号に変換するバス・ブリッジです。

NPB に接続された周辺マクロに対して，ウエイト挿入機能，リトライ機能の設定を行います（第 5 章 BBR 参照）。

(4) STBC

パワー・セーブ機能（HALT モード，ソフトウェア STOP モード，ハードウェア STOP モード）実行時に外部クロック・ジェネレータ（CG）を制御するスタンバイ・コントロール・ユニットです（第 6 章 STBC 参照）。

(5) DMAC

DMARQ3-DMARQ0 端子，またはソフトウェア・トリガによる DMA 転送要求に基づいて，メモリ↔周辺マクロ間またはメモリ↔メモリ間でのデータ転送を制御する 4 チャンネルの DMA コントロール・ユニットです（第 7 章 DMAC 参照）。

(6) INTC

各種割り込み要求を処理する割り込みコントロール・ユニットです（第 8 章 INTC 参照）。

(7) TIC

テスト機能制御に使用するテスト・インタフェース・コントロール・ユニットです。テスト・モードに設定されると，テスト用制御信号が有効になります（第 9 章 テスト機能参照）。

(8) バス・アービタ

複数のバス・マスタからのバス制御要求を受けて，バス使用权の調停を行います。

第2章 端子機能

2.1 端子機能一覧

(1/4)

端子名		入出力	機 能
NPB 用端子	VPA13-VPA0	出力	NPB に接続された周辺マクロ用アドレス出力
	VPD15-VPD0 ^注	入出力	NPB に接続された周辺マクロ用データ入出力
	VPWRITE	出力	VPD15-VPD0 信号のライト・アクセス・ストロブ出力
	VPSTB	出力	VPD15-VPD0 信号のデータ・ストロブ出力
	VPLOCK	出力	バス・ロック出力
	VPUBENZ	出力	上位バイト・イネーブル出力
	VPRETR ^注	入力	NPB に接続された周辺マクロからのリトライ要求入力
	VPDACT	入力	リトライ機能制御入力
VSB 用端子	VAREQ	入力	バス使用権要求入力
	VAACK	出力	バス使用権アクノリッジ出力
	VBA27-VBA0 ^注	入出力	VSB に接続された周辺マクロ用アドレス入出力
	VBD31-VBD0 ^注	入出力	VSB に接続された周辺マクロ用データ入出力
	VBTTYP1, VBTTYP0 ^注	入出力	バス転送タイプ入出力
	VBSTZ ^注	入出力	転送スタート入出力
	VBBENZ3-VBBENZ0 ^注	入出力	バイト・イネーブル入出力
	VBSIZE1, VBSIZE0 ^注	入出力	転送サイズ入出力
	VBWRITE ^注	入出力	リード/ライト・ステータス入出力
	VBLOCK ^注	入出力	バス・ロック入出力
	VBCTYP2-VBCTYP0 ^注	入出力	バス・サイクル・ステータス入出力
	VBSEQ2-VBSEQ0 ^注	入出力	シーケンシャル・ステータス入出力
	VBBSTR ^注	入出力	バースト・リード・ステータス入出力
	VBWAIT ^注	入出力	ウェイト・レスポンス入出力
	VBLAST ^注	入出力	ラスト・レスポンス入出力
	VBAHLD ^注	入出力	アドレス・ホールド・レスポンス入出力
	VBDC	出力	データ・バス方向制御出力
	VDCSZ7-VDCSZ0 ^注	入出力	チップ・セレクト入出力
	VDSELPZ ^注	入出力	周辺 I/O 領域アクセス・ステータス入出力
システム 制御用端子	DCRESZ	入力	システム・リセット入力
	VBCLK	入力	内部システム・クロック入力
	CGREL	入力	クロック・ジェネレータ・リリース入力
	SWSTOPRQ	出力	クロック・ジェネレータへのソフトウェア STOP モード要求出力
	HWSTOPRQ	出力	クロック・ジェネレータへのハードウェア STOP モード要求出力
	DCSTOPZ	入力	ハードウェア STOP モード要求入力

注 内部でバス・ホルダが接続されています。

端子名		入出力	機 能
システム 制御用端子	STPRQ	出力	MEMC へのハードウェア / ソフトウェア STOP モード要求出力
	STPAK	入力	MEMC の STPRQ 入力に対するアクノリッジ入力
DMAC 用端子	IDMASTP	入力	DMA 転送終了入力
	DMARQ3-DMARQ0	入力	DMA 転送要求入力
	DMTCO3-DMTCO0	出力	ターミナル・カウント (DMA 転送完了) 出力
	DMACTV3-DMACTV0	出力	DMA アクノリッジ出力
INTC 用端子	DCNMI2-DCNMI0	入力	ノンマスカブル割り込み要求 (NMI) 入力
	INT63-INT0	入力	マスカブル割り込み要求入力
VFB 用端子	IROMA19-IROMA2	出力	ROM 用アドレス出力
	IROMZ31-IROMZ0	入力	ROM 用データ入力
	IROMEN	出力	ROM 用アクセス・イネーブル出力
	IROMWT	入力	ROM 用ウエイト入力
	IROMCS	出力	NEC の予約端子 (オープンにしてください)
	IROMIA	出力	
	IROMAE	出力	
VDB 用端子	IRAMA27-IRAMA2	出力	RAM 用アドレス出力
	IRAMZ31-IRAMZ0	入力	RAM 用データ入力
	IRAOZ31-IRAOZ0	出力	RAM 用データ出力
	IRAMEN	出力	RAM 用アクセス・イネーブル出力
	IRAMWR3-IRAMWR0	出力	RAM 用ライト・イネーブル出力
	IRAMRWB	出力	RAM 用リード / ライト・ステータス出力
	IRAMWT	入力	RAM 用ウエイト入力
命令キャッシュ用 端子	IBDRRQ	入力	命令キャッシュからのフェッチ要求入力
	IBEA25-IBEA2	入力	命令キャッシュからのフェッチ・アドレス入力
	IBAACK	出力	命令キャッシュへのアドレス・アクノリッジ出力
	IBDRDY	出力	命令キャッシュへのデータ・レディ出力
	IBDLE3-IBDLE0	出力	命令キャッシュへのデータ・ラッチ・イネーブル出力
	IBEDI31-IBEDI0	出力	命令キャッシュへのデータ出力
	IIDRRQ	出力	命令キャッシュへのフェッチ要求出力
	IIEA25-IIEA2	出力	命令キャッシュへのフェッチ・アドレス出力
	IIAACK	入力	命令キャッシュからのアドレス・アクノリッジ入力
	IIDLEF	入力	命令キャッシュからのデータ・ラッチ・イネーブル入力
	IIEDI31-IIEDI0	入力	命令キャッシュからのデータ入力
	IIBTFT	出力	命令キャッシュへのブランチ・ターゲット・フェッチ・ステータス出力
	IIRCAN	出力	命令キャッシュへのコード・キャンセル・ステータス出力
	BCUNCH	出力	命令キャッシュへのアンキャッシュ・ステータス出力
	IBBTFT	入力	NEC の予約端子 (ロウ・レベルを入力してください)

端子名		入出力	機 能
データ・ キャッシュ用端子	IDDARQ	出力	データ・キャッシュへのリード/ライト・アクセス要求出力
	IDAACK	出力	アクノリッジ出力
	IDDRRQ	入力	BCU への VSB リード・オペレーション要求入力
	IDDWRQ	入力	BCU への VSB ライト・オペレーション要求入力
	IDSEQ4	入力	リード/ライト動作タイプ設定入力
	IDSEQ2	入力	リード/ライト動作タイプ設定入力
	IRRSA	出力	VDB ホールド・ステータス出力
	IDRETR	出力	リード・リトライ要求出力
	IDUNCH	出力	アンキャッシュ・ステータス出力
	IDDRDY	出力	リード・データ・レディ出力
	IDRRDY	入力	データ・キャッシュからのリード・データ・レディ入力
	IDHUM	入力	ヒット・アンダ・ミスヒット・リード入力
	IDEA27-IDEA0	入力	アドレス入力
	IDED31-IDED0 ^{注1}	入出力	データ入出力
	IDES	出力	NEC の予約端子 ^{注2}
RCU 用端子	DBI5-DBI0	入力	ディバグ制御入力
	DBO14-DBO0	出力	ディバグ制御出力
	DBB15-DBB0 ^{注1}	入出力	ディバグ制御入出力
周辺エバチップ・ モード用端子	EVASTB	入力	アドレス・ストロブ入力
	EVDSTB	入力	データ・ストロブ入力
	EVAD15-EVAD0 ^{注1}	入出力	アドレス/データ入出力
	EVIEN	出力	EVADn 入力イネーブル出力 (n = 15-0)
	EVOEN	出力	EVADn 出力イネーブル出力 (n = 15-0)
	EVLKRT ^{注1}	入出力	ロック/リトライ入出力
	EVIREL	入力	スタンバイ・リリース入力
	EVCLRIP	入力	ISPR クリア入力
	EVINTAK	入力	割り込みアクノリッジ入力
	EVINTRQ	出力	割り込み要求出力
	EVINTLV6-EVINTLV0	出力	割り込みベクタ出力
動作モード設定用 端子	IFIROME	入力	ROM マッピング・イネーブル入力
	IFIROB2	入力	ROM 領域の配置設定入力
	IFIRA64	入力	RAM 領域サイズ選択入力
	IFIRA32	入力	RAM 領域サイズ選択入力
	IFIRA16	入力	RAM 領域サイズ選択入力
	IFIMAEN	入力	ミス・アライン・アクセス設定入力
	IFID256	入力	データ領域設定入力
	IFINSZ1, IFINSZ0	入力	VSB データ・バス・サイズ (初期値) 選択入力

注1. 内部でバス・ホルダが接続されています。

2. データ・キャッシュを使用するときは、必ずデータ・キャッシュの IDES 端子に接続してください。未使用時はオープンにしてください。

端子名		入出力	機 能
動作モード設定用 端子	IFIWRTH	入力	データ・キャッシュのライト・バック/ライト・スルー・モード選択入力
	IFIUNCH1	入力	データ・キャッシュ設定入力
	IFIUNCH0	入力	命令キャッシュ設定入力
	PHEVA	入力	周辺エバチップ・モード設定入力
	IFIROBE	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	IFIROPR	入力	
	IFIRASE	入力	
	IFIRABE	入力	
	IFIMODE3	入力	
	IFIMODE2	入力	
	IFIUSWE	入力	
	FCOMB	入力	
テスト・モード用 端子	TBI39-TBI0	入力	入力テスト・バス
	TBO34-TBO0	出力	出力テスト・バス
	TEST	入力	テスト・バス・コントロール入力
	BUNRI	入力	ノーマル/テスト・モード選択入力
	PHTDO1, PHTDO0 ^注	入力	周辺マクロ・テスト入力
	TESEN	出力	周辺マクロ・テスト・イネーブル出力
	VPTCLK	出力	周辺マクロ・テスト用クロック出力
	PHTDIN1, PHTDIN0	出力	周辺マクロ・テスト出力
	VPRESZ	出力	周辺マクロ・リセット出力
	PHTEST	出力	周辺テスト・モード・ステータス出力
	TMODE1	出力	テスト・モード選択出力
	TMODE0	出力	NEC の予約端子 (オープンにしてください)
	TBREDZ	出力	

注 内部でバス・ホルダが接続されています。

2.2 端子機能の説明

2.2.1 NPB 用端子

(1) VPA13-VPA0 (出力)

NPB に接続された周辺マクロへのアドレス出力端子です。下位 14 ビットを指定します。

(2) VPD15-VPD0 (入出力)

NPB に接続された周辺マクロへのデータ入出力端子です。

(3) VPWRITE (出力)

VPD15-VPD0 信号のライト・アクセス・ストロブ出力端子です。

ライト時にハイ・レベルを出力します。

(4) VPSTB (出力)

VPD15-VPD0 信号のデータ・ストロブ出力端子です。

(5) VPLOCK (出力)

バス・ロック出力端子です。割り込み制御レジスタ (PICn) へのリード・モディファイ・ライト・アクセス実行の途中で割り込み要求が発生した場合に、この割り込み要求が消失してしまうのを防ぐために出力します。

リード・モディファイ・ライト・アクセス時にハイ・レベルを出力します。

この信号がハイ・レベルを出力している間は、割り込み要求が発生しても、PICn レジスタの PIFn フラグへの転送は行いません (n = 0-63)。

(6) VPUBENZ (出力)

上位バイト・イネーブル出力端子です。ハーフワード・データ・アクセス時、または奇数アドレスへのバイト・データ・アクセス時にロウ・レベルを出力します。

偶数アドレスへのバイト・アクセス時は、ハイ・レベルを出力します。

(7) VPRETR (入力)

NPB に接続された周辺マクロからのリトライ要求入力端子です。VPSTB 信号の立ち下がり時に、この端子と VPDACT 端子にハイ・レベルが入力されているとリード/ライト動作を再び行います。

(8) VPDACT (入力)

外部アドレス・デコーダからの入力端子で、リトライ機能を有効にするための端子です。

ハイ・レベルを入力するとリトライ機能が有効となります。

ロウ・レベルが入力されていると、VPRETR 入力によるリトライ要求があっても無視されます。

2.2.2 VSB 用端子

(1) VAREQ (入力)

外部バス・マスタからのバスの使用権要求を入力する端子です。

(2) VAACK (出力)

外部バス・マスタからのバス使用権要求信号 (VAREQ) を受け付けたことを示す出力端子です。

(3) VBA27-VBA0 (入出力)

VSB に接続された周辺マクロ用のアドレス・バスです。バス使用権を持つバス・マスタが出力します。

(4) VBD31-VBD0 (入出力)

VSB に接続された周辺マクロ用のデータ・バスです。ライト時はバス使用権を持つバス・マスタが出力を行い、リード時は選択されたバス・スレーブが出力を行います。

(5) VBTTYP1, VBTTYP0 (入出力)

バス転送タイプを示す端子です。VBCLK 信号がハイ・レベルの期間、バス使用権を持つバス・マスタが出力します。

表2 - 1 VBTTYP1, VBTTYP0信号

VBTTYP1	VBTTYP0	転送タイプ
L	L	アドレス・オンリー転送 (データ処理を行わない転送)
H	L	ノンシーケンシャル転送 (シングル転送, またはバースト転送)
H	H	シーケンシャル転送 (現在転送されているアドレスが前回転送時のアドレスに関する転送)
L	H	(将来の機能拡張のための予約)

備考 L: ロウ・レベル H: ハイ・レベル

(6) VBSTZ (入出力)

転送開始を示す端子です。バス使用権を持つバス・マスタが出力します。

(7) VBBENZ3-VBBENZ0 (入出力)

データ・バス (VBD31-VBD0) のうち、有効となるバイト・データを示すロウ・レベル・アクティブの端子です。

バス使用権を持つバス・マスタが出力します。

表2 - 2 VBBENZ3-VBBENZ0信号

アクティブ (ロウ・レベル出力) となる信号	有効バイト・データ
VBBENZ0	VBD7-VBD0
VBBENZ1	VBD15-VBD8
VBBENZ2	VBD23-VBD16
VBBENZ3	VBD31-VBD24

(8) VBSIZE1, VBSIZE0 (入出力)

転送サイズを示す端子です。バス使用権を持つバス・マスタが出力します。

表2 - 3 VBSIZE1, VBSIZE0信号

VBSIZE1	VBSIZE0	転送サイズ
L	L	バイト (8 ビット)
L	H	ハーフワード (16 ビット)
H	L	ワード (32 ビット)
H	H	(将来の機能拡張のための予約)

備考 L: ロウ・レベル

H: ハイ・レベル

(9) VBWRITE (入出力)

リード/ライトを示す端子です。バス使用権を持つバス・マスタが出力します。

ライト時にハイ・レベルを出力します。

(10) VBLOCK (入出力)

バス使用権を保持するための端子です。バス使用権を持つバス・マスタが出力します。

現在の転送と次の転送の間に、ほかのバス・マスタからのアクセスによる中断を禁止するために使用します。

(11) VBCTYP2-VBCTYP0 (入出力)

現在のバス・サイクルの状態を示すための端子です。バス使用権を持つバス・マスタが出力します。

表2 - 4 VBCTYP2-VBCTYP0信号

VBCTYP2	VBCTYP1	VBCTYP0	バス・サイクルの状態
L	L	L	オペコード・フェッチ
L	L	H	データ・アクセス
L	H	L	ミス・アライン・アクセス ^注
L	H	H	リード・モディファイ・ライト・アクセス
H	L	L	分岐命令による飛び先アドレスのオペコード・フェッチ
H	H	L	DMA の 2 サイクル転送
H	H	H	DMA の フライバイ転送
H	L	H	(将来の機能拡張のための予約)

注 IFIMAEN 端子にハイ・レベルが入力されている (ミス・アライン・アクセス許可) ときだけ出力されます。

備考 L: ロウ・レベル

H: ハイ・レベル

(12) VBSEQ2-VBSEQ0 (入出力)

シーケンシャル・ステータス端子です。バースト転送時に転送サイズを示すために、バス使用权を持つバス・マスタが出力します。

バースト転送の開始時には「バースト転送の長さ」を、バースト転送時には「連続」を、バースト転送の最後には「シングル転送」を示します。

次のような場合には、VSB はバースト転送となり、シーケンシャル・ステータスは「連続」を示します。

- VSB が 8 ビット・バス幅で、16/32 ビット・データ転送をしたとき
- VSB が 16 ビット・バス幅で、32 ビット・データ転送をしたとき
- 命令 / データ・キャッシュからのリフィル
- NPB (16 ビット・データ・バス幅) に接続した周辺マクロへの 32 ビット・データ転送

表2 - 5 VBSEQ2-VBSEQ0信号

VBSEQ2	VBSEQ1	VBSEQ0	シーケンシャル・ステータス
L	L	L	シングル転送
L	L	H	連続 (次回の転送アドレスは現在の転送アドレスに関係することを示す) 注
L	H	L	連続 4 回 (バースト転送の長さ : 4)
L	H	H	連続 8 回 (" : 8)
H	L	L	連続 16 回 (" : 16)
H	L	H	連続 32 回 (" : 32)
H	H	L	連続 64 回 (" : 64)
H	H	H	連続 128 回 (" : 128)

注 連続 2 回、または連続 4, 8, 16, 32, 64, 128 回転送の途中で出力されます。

備考 L : ロウ・レベル H : ハイ・レベル

(13) VBBSTR (入出力)

バースト・リード・ステータス端子です。外部メモリとして接続された ROM (VSB 経由でアクセス) を使用する場合、現在の転送が外部 ROM からのオペコード・フェッチであることを示すためにバス使用权を持つバス・マスタが出力します。アドレス・バスと同じタイミングで動作します。

(14) VBWAIT (入出力)

ウエイト・レスポンス信号入出力端子です。

選択されたバス・スレーブがデータ出力の準備を完了していないため、さらにバス・サイクルを要求する場合にバス・マスタに対して出力します。

この信号がハイ・レベルになると、バス・サイクルはウエイト状態に移行します。

なお、NB85E にメモリ・コントローラ (MEMC) を接続している場合は、必ず 2 クロック以上のアクセス・サイクルになるため、VSB サイクルが発生している間、MEMC から NB85E に対してハイ・レベルが出力されます。

(15) VBLAST (入出力)

ラスト・レスポンス信号入出力端子です。

バス・デコーダが、デコード・サイクルを必要とする場合に使用します。

外部に複数のスレーブ・デバイスが接続され、スレーブ選択のためのバス・デコーダを追加しているシステムの場合、通常、バス・スレーブ選択のためのデコードはノンシーケンシャル転送の間に行います。そのため、バースト転送などのシーケンシャル転送の間にスレーブ・デバイスを変更しようとしても、スレーブ選択のためのデコード・サイクルは発行できません。

このような場合、スレーブ・デバイスはラスト・レスポンスを出力し、スレーブ選択信号が変化することをバス・マスタに伝えます。バス・マスタは、スレーブ・デバイスからのラスト・レスポンスがあると次のバス・サイクルをノンシーケンシャル転送にして、デコード・サイクルの発行を可能にします。

(16) VBAHLD (入出力)

アドレス・ホールド・レスポンス信号入出力端子です。

選択されたバス・スレーブがデータ出力の準備を完了している状態で、さらにバス・サイクルを要求する場合にバス・マスタに対して出力します。

この信号と VBWAIT 信号がハイ・レベルになると、バス・サイクルはアドレス・ホールド状態に移行します。

アドレス・ホールド状態では、データのリード/ライト・サイクルの途中でも、そのデータに対するアドレスが変化しないため、アドレスをラッチする必要がなく、回路を簡素化することができます。

なお、NB85E にメモリ・コントローラ (MEMC) を接続している場合は、アイドル・ステート挿入時に MEMC から NB85E に対してハイ・レベルが出力されます。

(17) VBDC (出力)

データ・バス方向制御出力端子です。リード時にハイ・レベルを出力します。3 ステート・バッファのイネーブル端子に接続し、データ・バスの方向制御を行います。

(18) VDCSZ7-VDCSZ0 (入出力)

チップ・セレクト端子です。詳細については、4.3 プログラマブル・チップ・セレクト機能を参照してください。

(19) VDSELPZ (入出力)

周辺 I/O 領域、プログラマブル周辺 I/O 領域をアクセスしているときに、バス・マスタがロウ・レベルを出力します。

2.2.3 システム制御用端子

(1) DCRESZ (入力)

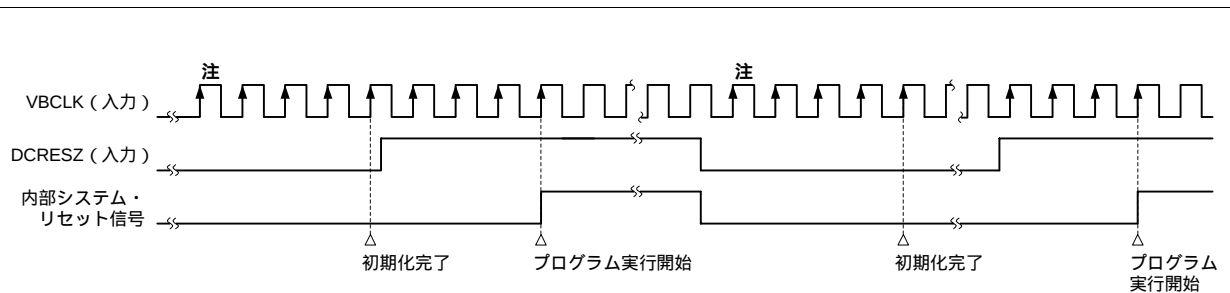
クロック同期式のシステム・リセット入力端子です。

この端子にロウ・レベルが入力されてから、安定した入力クロックの立ち上がりエッジを 5 回検出すると、端子状態と内部信号は完全に初期化されます。また、ロウ・レベルからハイ・レベルに立ち上がったあと、入力クロックの立ち上がりエッジを 4 回検出するとパイプラインがクリアされ、メモリの 0 番地からプログラム実行を開始します。

通常のイニシャライズ/スタートのほかに、パワー・セーブ機能の解除にも使用されます。

注意 DCRESZ 信号は、VBCLK 信号に対するセットアップ/ホールド時間を満たすように入力してください。

図2 - 1 DCRESZ信号の受け付け



注 DCRESZ 信号がロウ・レベル期間中に、VBCLK 信号を 5 クロック以上入力してください。なお、VBCLK 端子には、必ず安定したクロックを入力してください。

(2) VBCLK (入力)

内部システム・クロック用の外部クロック入力端子です。外部クロック制御回路から 50%デューティの安定したクロックを入力します。

(3) CGREL (入力)

外部クロック・ジェネレータ (CG) 用リリース入力端子です。STOP モード解除後、発振安定時間を確保したあと、VBCLK 入力開始時にアクティブ・レベル (ハイ・レベル) を 1 クロック以上入力します (CGREL 入力は、VBCLK 入力と同時である必要はありません)。

(4) SWSTOPRQ (出力)

外部クロック・ジェネレータ (CG) へのソフトウェア STOP モード要求出力端子です。ソフトウェア STOP モードが設定されるとハイ・レベルを出力します。

この信号を使用して CG からの VBCLK 入力を停止します。ソフトウェア STOP モードが解除されるとロウ・レベルを出力します。

(5) HWSTOPRQ (出力)

外部クロック・ジェネレータ (CG) へのハードウェア STOP モード要求出力端子です。DCSTOPZ 入力によりハードウェア STOP モードが設定されるとハイ・レベルを出力します。

この信号を使用して CG からの VBCLK 入力を停止します。ハードウェア STOP モードが解除されるとロウ・レベルを出力します。

(6) DCSTOPZ (入力)

ハードウェア STOP モード要求入力端子です。ロウ・レベルを入力すると、ハードウェア STOP モードに設定されます。

(7) STPRQ (出力)

メモリ・コントローラ (MEMC) へのハードウェア / ソフトウェア STOP モード要求出力端子です。

(8) STPAK (入力)

STPRQ 信号を受け付けたメモリ・コントローラ (MEMC) からのアクノリッジ信号入力端子です。

2.2.4 DMAC 用端子

(1) IDMASTP (入力)

DMA 転送強制中断入力端子です。VBCLK 信号の立ち上がり同期して 2 クロック分のアクティブ・レベル (ハイ・レベル) を入力してください。

転送を再開させる場合は、この端子にロウ・レベルを入力してから DRST レジスタの EN ビットをセット (1) します。

(2) DMARQ3-DMARQ0 (入力)

DMA 転送要求入力端子です。

VBCLK 信号の立ち上がり同期してアクティブ・レベル (ハイ・レベル) を入力し、対応する DMACTVn 信号がハイ・レベルになるまで入力し続けてください (n = 3-0)。

(3) DMTCO3-DMTCO0 (出力)

ターミナル・カウント (DMA 転送完了) 出力端子です。最終 DMA 転送時に 1 クロックのハイ・レベルを出力します。

VBCLK 信号の立ち上がり同期して出力されます。

(4) DMACTV3-DMACTV0 (出力)

DMA アクノリッジ出力端子です。2 サイクル転送の VSB リード・サイクル、VSB ライト・サイクル中、およびフライバイ転送中にアクティブ (ハイ・レベル出力) になります。

2.2.5 INTC 用端子

(1) DCNMI2-DCNMI0 (入力)

ノンマスカブル割り込み要求 (NMI) 入力端子です。立ち上がりエッジが入力されるとノンマスカブル割り込みが発生します。

(2) INT63-INT0 (入力)

マスカブル割り込み要求入力端子です。立ち上がりエッジが入力されるとマスカブル割り込みが発生します。

2.2.6 VFB 用端子

(1) IROMA19-IROMA2 (出力)

ROM へのアドレス出力バスです。

(2) IROMZ31-IROMZ0 (入力)

ROM からのデータ入力バスです。

(3) IROMEN (出力)

ROM へのアクセス・イネーブル出力端子です。VBCLK 信号の立ち下がりに同期して変化します。

(4) IROMWT (入力)

ROM からのウェイト入力端子です。ウェイト期間中はハイ・レベルを入力します。

(5) IROMCS, IROMIA, IROMAE (出力)

NEC の予約端子です。オープンにしてください。

2.2.7 VDB 用端子**(1) IRAMA27-IRAMA2 (出力)**

RAM へのアドレス出力バスです。

IRAMA27-IRAMA16 信号は、データ・キャッシュ用に出力されています。したがって、RAM を接続する際にデコードする必要はありません。

(2) IRAMZ31-IRAMZ0 (入力)

RAM からのデータ入力バスです。

(3) IRAOZ31-IRAOZ0 (出力)

RAM へのデータ出力バスです。

(4) IRAMEN (出力)

RAM へのアクセス・イネーブル出力端子です。VBCLK 信号の立ち下がりに同期して変化します。

(5) IRAMWR3-IRAMWR0 (出力)

RAM へのライト・イネーブル出力端子です。出力データ・バス (IRAOZ31-IRAOZ0) のうち、有効となるバイト・データを示すハイ・レベル・アクティブの端子です。

表2 - 6 IRAMWR3-IRAMWR0信号

アクティブとなる信号	有効バイト・データ
IRAMWR0	IRAOZ7-IRAOZ0
IRAMWR1	IRAOZ15-IRAOZ8
IRAMWR2	IRAOZ23-IRAOZ16
IRAMWR3	IRAOZ31-IRAOZ24

(6) IRAMRWB (出力)

RAM へのリード/ライト・ステータス出力端子です。リード時にハイ・レベル、ライト時にロウ・レベルを出力します。

(7) IRAMWT (入力)

データ・キャッシュからのウェイト入力端子です。ウェイト期間中はハイ・レベルを入力します。

2.2.8 命令キャッシュ用端子

(1) IBDRRQ (入力)

命令キャッシュからのフェッチ要求入力端子です。

NB85E に対し外部メモリからのフェッチを行う要求信号が入力されます。

(2) IBEA25-IBEA2 (入力)

命令キャッシュからのフェッチ・アドレス入力バスです。

ミスヒット時に命令キャッシュからリードすべきアドレスが入力されます。

(3) IBAACK (出力)

命令キャッシュへのアドレス・アクノリッジ出力端子です。

命令キャッシュから入力された IBEA25-IBEA2 信号を NB85E が認識すると、この信号を出力します。

(4) IBDRDY (出力)

命令キャッシュへのデータ・レディ出力端子です。

命令キャッシュのミスヒット時に NB85E が外部メモリからリードすべきデータを取り終えると、命令キャッシュに対してリフィルの準備ができたことを示すために出力します。

(5) IBDLE3-IBDLE0 (出力)

命令キャッシュへのデータ・ラッチ・イネーブル出力端子です。

(6) IBEDI31-IBEDI0 (出力)

命令キャッシュへのデータ出力バスです。

命令キャッシュのミスヒット時に命令キャッシュへリフィルすべきデータを出力します。

(7) IIDRRQ (出力)

命令キャッシュへのフェッチ要求出力端子です。

(8) IIEA25-IIEA2 (出力)

命令キャッシュへのフェッチ・アドレス出力バスです。

フェッチ要求 (IIDRRQ) と同時に、外部メモリからフェッチすべきアドレスを出力します。

(9) IIAACK (入力)

命令キャッシュからのアドレス・アクノリッジ入力端子です。

NB85E から入力されたフェッチ・アドレス (IIEA25-IIEA2) を命令キャッシュが認識すると、NB85E に対してこの信号が入力されます。

(10) IIDLEF (入力)

命令キャッシュからのデータ・ラッチ・イネーブル入力端子です。

(11) IIEDI31-IIEDI0 (入力)

命令キャッシュからのデータ入力バスです。

命令キャッシュからリードすべきデータが入力されます。

(12) IIBTFT (出力)

命令キャッシュへのブランチ・ターゲット・フェッチ・ステータス出力端子です。

分岐命令による飛び先アドレスのフェッチ時にハイ・レベルを出力します。

(13) IIRCAN (出力)

命令キャッシュへのコード・キャンセル・ステータス出力端子です。

NB85E がフェッチ要求を命令キャッシュに出力したあと、分岐や割り込みでデータが不要になった場合に、以前の要求をキャンセルするための信号です。

(14) BCUNCH (出力)

命令キャッシュへのアンキャッシュ・ステータス出力端子です。

キャッシュ・コンフィギュレーション・レジスタ (BHC) で命令キャッシュの設定をキャッシュ可能に設定した領域をアクセスしたときに、ロウ・レベルを出力します。

(15) IBBTFT (入力)

NEC の予約端子です。常にロウ・レベルを入力してください。

なお、命令キャッシュを使用するときは、命令キャッシュの IBBTFT 端子はオープンにしてください。

2.2.9 データ・キャッシュ用端子

(1) IDДАРQ (出力)

データ・キャッシュへのリード/ライト・アクセス要求出力端子です。

(2) IDAACK (出力)

データ・キャッシュへのアクノリッジ出力端子です。

データ・キャッシュから入力された IDEA27-IDEA0 信号を NB85E が認識すると、この信号が出力されます。

(3) IDDRRQ, IDDWRQ, IDSEQ4, IDSEQ2 (入力)

データ・キャッシュからの動作タイプ設定入力端子です。

表2 - 7 IDRRQ, IDWRQ, IDSEQ4, IDSEQ2信号

IDRRQ	IDWRQ	IDSEQ4	IDSEQ2	動作タイプ
H	L	H	L	4ワード・シーケンシャル・リード
H	L	L	H	2ワード・シーケンシャル・リード
H	L	L	L	1ワード・リード
L	H	H	L	4ワード・シーケンシャル・ライト
L	H	L	H	2ワード・シーケンシャル・ライト
L	H	L	L	1ワード・ライト
H	H	H	H	1ワード・ライト
H	H	H	L	1ハーフワード・ライト
H	H	L	L	1バイト・ライト
上記以外				設定禁止

備考 L：ロウ・レベル入力

H：ハイ・レベル入力

(a) IDRRQ (入力)

データ・キャッシュからの VSB リード・オペレーション要求入力端子です。

(b) IDWRQ (入力)

データ・キャッシュからの VSB ライト・オペレーション要求入力端子です。

(c) IDSEQ4, IDSEQ2 (入力)

データ・キャッシュからのリード/ライト動作タイプ設定入力端子です。

(4) IRRSA (出力)

データ・キャッシュへの VDB ホールド・ステータス出力端子です。

VDB が RAM アクセス, またはホールド状態のときにアクティブ・レベル (ハイ・レベル) を出力します。

(5) IDRETR (出力)

データ・キャッシュへのリード・リトライ要求出力端子です。

(6) IDUNCH (出力)

データ・キャッシュへのアンキャッシュ・ステータス出力端子です。

キャッシュ・コンフィギュレーション・レジスタ (BHC) でデータ・キャッシュの設定をキャッシュ可能に設定した領域をアクセスしたときにロウ・レベルを出力します。

(7) IDRDY (出力)

データ・キャッシュへのリード・データ・レディ出力端子です。

データ・キャッシュのミスヒット時に NB85E が外部メモリからリードすべきデータを取り終えると, データ・キャッシュに対してリフィルの準備ができたことを示すために出力します。

(8) IDRRDY (入力)

データ・キャッシュからのリード・データ・レディ入力端子です。

(9) IDHUM (入力)

データ・キャッシュからのヒット・アンド・ミスヒット・リード入力端子です。

リード時のミスヒット発生による外部メモリへのアクセス中に、データ・キャッシュに対する次のアクセスが行われ、そのアクセス時にヒットしたデータが外部メモリからのデータに先行して NB85E に入力される場合 (ヒット・アンド・ミスヒット) に、ハイ・レベルが入力されます。

(10) IDEA27-IDEA0 (入力)

データ・キャッシュからのアドレス入力バスです。

データ・キャッシュのミスヒット時に NB85E に対しアクセスすべきアドレスが入力されます。

(11) IDED31-IDED0 (入出力)

データ・キャッシュとのデータ入出力バスです。

データ・キャッシュにリフィルするデータやライト・バック・モード時に外部メモリに書き込むデータのやり取りをします。

(12) IDES (出力)

NEC の予約端子です。データ・キャッシュを使用するときは、必ずデータ・キャッシュの IDES 端子に接続してください。未使用時はオープンにしてください。

2.2.10 RCU 用端子**(1) DBI5-DBI0 (入力)**

ディバグ制御入力端子です。RCU の DBI5-DBI0 端子に接続します。

(2) DBO14-DBO0 (出力)

ディバグ制御出力端子です。RCU の DBO14-DBO0 端子に接続します。

(3) DBB15-DBB0 (入出力)

ディバグ制御入出力端子です。RCU の DBB15-DBB0 端子に接続します。

2.2.11 周辺エバチップ・モード用端子

PHEVA 端子にハイ・レベルを入力すると NB85E は周辺エバチップ・モードに設定されます。

周辺エバチップ・モードは、インサーキット・エミュレータを用いてディバグを行う際に NB85E を内蔵した ASIC を周辺エミュレーション用のチップとして使用するためのモードです。

周辺エバチップ・モード用端子は、インサーキット・エミュレータ内のエバチップとのインタフェース用端子で、これらの端子を通じて、エバチップの各信号を NPB 用の信号に変換します。

(1) EVASTB (入力)

アドレス・ストローブ入力端子です。エバチップの EPHASTB 端子に接続します。

(2) EVDSTB (入力)

データ・ストローブ入力端子です。エバチップの EPHDSTB 端子に接続します。

(3) EVAD15-EVAD0 (入出力)

アドレス / データ・バスです。エバチップの EPHADn 端子に接続します (n = 15-0)。

(4) EVIEN (出力)

EVADn バス上の I/O バッファの方向制御を行う入力イネーブル信号です (n = 15-0)。

(5) EVOEN (出力)

EVADn バス上の I/O バッファの方向制御を行う出力イネーブル信号です (n = 15-0)。

(6) EVLKRT (入出力)

ロック / リトライ入出力端子です。エバチップの EPHLKRT 端子に接続します。

(7) EVIREL (入力)

スタンバイ・リリース入力端子です。

(8) EVCLRIP (入力)

ISPR クリア入力端子です。エバチップの ECLRIP 端子に接続します。

(9) EVINTAK (入力)

割り込みアクノリッジ入力端子です。エバチップの EINTAK 端子に接続します。

(10) EVINTRQ (出力)

割り込み要求出力端子です。エバチップの EINTRQ 端子に接続します。

(11) EVINTLV6-EVINTLV0 (出力)

割り込みベクタ出力端子です。エバチップの EINTLV6-EINTLV0 端子に接続します。

2.2.12 動作モード設定用端子

NB85E の動作モードは、次の各端子により指定します。

これらの端子への入力レベルは、NB85E 動作中は固定とし、動作中に変更しないでください。

(1) IFIROME (入力)

ROM 領域設定入力端子です。この端子への入力レベルにより、使用する ROM が次のように設定されます。

- ロウ・レベル：外部メモリとして接続された ROM を使用 (VSB 経由)
- ハイ・レベル：VFB に接続された ROM を使用

この端子にロウ・レベルが入力されている場合、システム・リセット解除後に外部メモリのリセット・エントリ・アドレスに分岐して命令処理を開始します。VFB に接続された ROM への命令フェッチ、デー

タ・アクセスはできません。

ハイ・レベルを入力すると、IFIROB2 端子にロウ・レベルが入力されている場合は、システム・リセット解除後に VFB に接続された ROM のリセット・エントリ・アドレスに分岐し、命令処理を開始します。IFIROB2 端子にハイ・レベルが入力されている場合は、システム・リセット解除後に外部メモリのリセット・エントリ・アドレスに分岐して命令処理を開始しますが、100000H 番地以降に配置された VFB に接続された ROM へのアクセスが可能です。

(2) IFIROB2 (入力)

ROM 領域リロケーション設定入力端子です。ROM 領域を配置する範囲を指定します。

この端子への入力レベルにより、ROM 領域の範囲が次のように設定されます。

- ロウ・レベル：000000H-0FFFFFFH 番地
- ハイ・レベル：100000H-1FFFFFFH 番地

詳細は、3.4.1 (1) ROM リロケーション機能を参照してください。

(3) IFIRA64, IFIRA32, IFIRA16 (入力)

RAM 領域サイズ選択入力端子です。

これらの端子への入力レベルにより、次のように RAM 領域サイズが設定されます。

詳細については、3.4.2 RAM 領域を参照してください。

表2 - 8 IFIRA64, IFIRA32, IFIRA16信号

IFIRA64	IFIRA32	IFIRA16	RAM 領域サイズ
L	L	L	4K バイト
L	L	H	12K バイト
L	H	任意	28K バイト
H	任意	任意	60K バイト

備考 L：ロウ・レベル入力 H：ハイ・レベル入力

(4) IFIMAEN (入力)

ミス・アライン・アクセス設定入力端子です。

この端子への入力レベルにより、ミス・アライン・アクセスの許可 / 禁止が次のように設定されます。

- ロウ・レベル：ミス・アライン・アクセス禁止
- ハイ・レベル：ミス・アライン・アクセス許可

(5) IFID256 (入力)

データ領域設定入力端子です。データ領域のサイズを設定します。
 この端子への入力レベルにより、次のように各モードが設定されます。
 詳細については、3.3.2 データ領域を参照してください。

- ロウ・レベル：64M バイト・モード
- ハイ・レベル：256M バイト・モード

(6) IFINSZ1, IFINSZ0 (入力)

VSB データ・バス・サイズ (初期値) 選択入力端子です。
 これらの端子への入力レベルにより、次のように VSB データ・バスのサイズが設定されます。

表2-9 IFINSZ1, IFINSZ0信号

IFINSZ1	IFINSZ0	VSB データ・バス・サイズ
L	L	32 ビット
L	H	16 ビット
H	L	8 ビット
H	H	設定禁止

備考 L：ロウ・レベル入力 H：ハイ・レベル入力

なお、リセット後にバス・サイズ・コンフィギュレーション・レジスタ (BSC) により、VSB データ・バス・サイズを変更した場合は、これらの端子への入力レベルにかかわらず、BSC レジスタの設定が有効となります。

(7) IFIWRTH (入力)

データ・キャッシュのライト・バック / ライト・スルー・モード選択入力端子です。
 データ・キャッシュを使用する場合、データ・キャッシュの IFIWRTH 端子と接続します。
 この端子への入力レベルにより、次のように各モードが設定されます。

- ロウ・レベル：ライト・バック・モード
- ハイ・レベル：ライト・スルー・モード

(8) IFIUNCH1 (入力)

データ・キャッシュ設定入力端子です。
 データ・キャッシュを使用する場合、データ・キャッシュの IFIUNCH1 端子と接続します。
 この端子への入力レベルにより、データ・キャッシュの許可 / 禁止が次のように設定されます。

- ロウ・レベル：データ・キャッシュ許可
- ハイ・レベル：データ・キャッシュ禁止

(9) IFIUNCH0 (入力)

命令キャッシュ設定入力端子です。

この端子への入力レベルにより、命令キャッシュの許可 / 禁止が次のように設定されます。

- ロウ・レベル：命令キャッシュ許可
- ハイ・レベル：命令キャッシュ禁止

(10) PHEVA (入力)

周辺エパチップ・モード設定入力端子です。NB85E を内蔵した ASIC を周辺エパチップとして使用する場合に、ハイ・レベルを入力します。

(11) IFIROBE, IFIROPR, IFIRASE, IFIRABE, IFIMODE3, IFIMODE2, IFIUSWE, FCOMB (入力)

NEC の予約端子です。常にロウ・レベルを入力してください。

2.2.13 テスト・モード用端子

TBI39-TBI0, TBO34-TBO0, TEST, BUNRI 端子の詳細については、各セルベース IC ファミリの設計マニュアルを参照してください。

(1) TBI39-TBI0 (入力)

入力テスト・パスです。

(2) TBO34-TBO0 (出力)

出力テスト・パスです。

(3) TEST (入力)

テスト・パス・コントロール入力端子です。

(4) BUNRI (入力)

ノーマル / テスト・モードを選択する入力端子です。

(5) PHTDO1, PHTDO0 (入力)

周辺マクロ・テスト入力端子です。

(6) TESEN (出力)

周辺マクロをテスト・モードに設定するためのイネーブル出力端子です。

(7) VPTCLK (出力)

周辺マクロ・テスト用クロック出力端子です。

(8) PHTDIN1, PHTDIN0 (出力)

周辺マクロ・テスト出力端子です。

(9) VPRESZ (出力)

周辺マクロに対するリセット出力端子です。

注意 VPRESZ 信号は、テスト・モード時だけでなく、通常動作モード時も周辺マクロに対するリセット信号となります。

(10) PHTEST (出力)

周辺テスト・モード状態であることを示すステータス出力端子です。

(11) TMODE1 (出力)

テスト・モード選択出力端子です。RCU を使用するとき、RCU の TMODE1 端子に接続します。

(12) TMODE0, TBREDZ (出力)

NEC の予約端子です。オープンにしてください。

2.3 未使用端子の処理

(1/2)

端子名		入出力	推奨接続方法
NPB 用端子	VPA13-VPA0, VPWRITE, VPSTB, VPLOCK, VPUBENZ	出力	オープンにしてください。
	VPD15-VPD0	入出力	オープンにしてください。
	VPRETR	入力	ロウ・レベルを入力してください。
	VPDACT	入力	ハイ・レベルを入力してください。
VSB 用端子	VBWAIT, VBLAST, VBAHLD	入出力	注
	VAREQ	入力	ロウ・レベルを入力してください。
	VAACK, VBDC	出力	オープンにしてください。
	VBA27-VBA0, VBD31-VBD0, VBTYP1, VBTYP0, VBSTZ, VBBENZ3-VBBENZ0, VBSIZE1, VBSIZE0, VBWRITE, VBLOCK, VBCTYP2-VBCTYP0, VBSEQ2-VBSEQ0, VBBSTR, VDCSZ7-VDCSZ0, VDSELPZ	入出力	オープンにしてください。
システム 制御用端子	DCRESZ, VBCLK	入力	-
	CGREL	入力	ロウ・レベルを入力してください。
	SWSTOPRQ, HWSTOPRQ, STPRQ	出力	オープンにしてください。
	DCSTOPZ, STPAK	入力	ハイ・レベルを入力してください。
DMAC 用端子	IDMASTP, DMARQ3-DMARQ0	入力	ロウ・レベルを入力してください。
	DMTCO3-DMTCO0, DMACTV3-DMACTV0	出力	オープンにしてください。
INTC 用端子	DCNMI2-DCNMI0, INT63-INT0	入力	ロウ・レベルを入力してください。
VFB 用端子	IROMA19-IROMA2, IROMEN, IROMCS, IROMIA, IROMAE	出力	オープンにしてください。
	IROMZ31-IROMZ0	入力	ハイ・レベルを入力してください。
	IROMWT	入力	ロウ・レベルを入力してください。
VDB 用端子	IRAMA27-IRAMA2, IRAOZ31-IRAOZ0, IRAMEN, IRAMWR3-IRAMWR0, IRAMRWB	出力	オープンにしてください。
	IRAMZ31-IRAMZ0	入力	ハイ・レベルを入力してください。
	IRAMWT	入力	ロウ・レベルを入力してください。
命令キャッシュ用 端子	IBDRRQ, IBEA25-IBEA2, IIAACK, IIDLEF, IIEDI31-IIEDIO, IIBTFT	入力	ロウ・レベルを入力してください。
	IBAACK, IBDRDY, IBdle3-IBdle0, IBEDI31-IBEDIO, IIDRRQ, IIEA25-IIEA2, IIBTFT, IIRCAN, BCUNCH	出力	オープンにしてください。

注 VBWAIT, VBLAST, VBAHLD 端子の処理は、次のように異なります。

- 上記の3端子とも使用しない場合 : オープンにしてください。
- 上記のうち1端子でも使用する場合 : ロウ・レベルを入力してください。

端子名		入出力	推奨接続方法
データ・ キャッシュ用端子	IDDARQ, IDAACK, IRRSA, IDRETR, IDUNCH, IDDRDY, IDES	出力	オープンにしてください。
	IDDRRQ, IDDWQR, IDSEQ4, IDSEQ2, IDRRDY, IDHUM, IDEA27-IDEA0	入力	ロウ・レベルを入力してください。
	IDED31-IDED0	入出力	オープンにしてください。
RCU 用端子	DBI5, DBI1	入力	ハイ・レベルを入力してください。
	DBI4-DBI2, DBI0	入力	ロウ・レベルを入力してください。
	DBO14-DBO0	出力	オープンにしてください。
	DBB15-DBB0	入出力	オープンにしてください。
周辺エパッチ・ モード用端子	EVASTB, EVDSTB, EVIREL, EVCLRIP, EVINTAK	入力	ロウ・レベルを入力してください。
	EVAD15-EVAD0, EVLKRT	入出力	オープンにしてください。
	EVIEN, EVOEN, EVINTRQ, EVINTLV6- EVINTLV0	出力	オープンにしてください。
動作モード設定用 端子	IFIROME, IFIRA64, IFIRA32, IFIRA16, IFIMAEN, IFID256, IFINSZ1, IFINSZ0	入力	-
	IFIUNCH1	入力	ハイ・レベルを入力してください。
	IFIROB2, IFIWRTH, IFIUNCH0	入力	ロウ・レベル, またはハイ・レベルを入力してください。
	PHEVA, IFIROBE, IFIOPR, IFIRASE, IFIRABE, IFIMODE3, IFIMODE2, IFIUSWE, FCOMB	入力	ロウ・レベルを入力してください。
テスト・モード用 端子	TBI39-TBI0	入力	各セルベース IC ファミリの ユーザーズ・マニュアル 設計編 を参照してください。
	TBO34-TBO0	出力	
	TEST, BUNRI	入力	-
	PHTDO1, PHTDO0	入力	ロウ・レベルを入力してください。
	TESEN, VPTCLK, PHTDIN1, PHTDIN0, VPRESZ, PHTTEST, TMODE1, TMODE0, TBREDZ	出力	オープンにしてください。

2.4 端子状態

出力機能を持つ端子の各動作モードでの状態を次に示します。

表2 - 10 各動作モードでの端子状態 (1/3)

端子名		端子状態					
		リセット ^注	ソフトウェア STOP モード	ハードウェア STOP モード	HALT モード	スタンバイ・ テスト・モード	単体テスト・ モード
NPB 用端子	VPA13-VPA0	不定	保持	保持	動作	不定	動作
	VPWRITE	不定	保持	保持	動作	不定	動作
	VPSTB	L	L	L	動作	不定	動作
	VPLOCK	不定	保持	保持	動作	不定	動作
	VPUBENZ	不定	保持	保持	動作	不定	動作
	VPD15-VPD0	不定	保持	保持	動作	不定	動作
VSB 用端子	VAACK	L	保持	保持	動作	不定	動作
	VBDC	L	L	L	動作	不定	動作
	VBA27-VBA0	不定	保持	保持	動作	不定	動作
	VBD31-VBD0	不定	保持	保持	動作	不定	動作
	VBTTYP1, VBTTYP0	L	保持	保持	動作	不定	動作
	VBSTZ	H	保持	保持	動作	不定	動作
	VBBENZ3- VBBENZ0	H	保持	保持	動作	不定	動作
	VBSIZE1, VBSIZE0	不定	保持	保持	動作	不定	動作
	VBWRITE	L	保持	保持	動作	不定	動作
	VBLOCK	L	保持	保持	動作	不定	動作
	VBCTYP2- VBCTYP0	不定	保持	保持	動作	不定	動作
	VBSEQ2- VBSEQ0	不定	保持	保持	動作	不定	動作
	VBBSTR	L	保持	保持	動作	不定	動作
	VBWAIT	L	保持	保持	動作	不定	動作
	VBLAST	L	保持	保持	動作	不定	動作
	VBAHLD	L	保持	保持	動作	不定	動作
	VDCSZ7- VDCSZ0	H	保持	保持	動作	不定	動作
	VDSELPZ	H	保持	保持	動作	不定	動作

注 DCRESZ 端子にロウ・レベルが入力され、かつ VBCLK 端子に外部クロックが入力されているとき。

備考 L : ロウ・レベル出力

H : ハイ・レベル出力

保持 : 直前の状態を保持

表2 - 10 各動作モードでの端子状態 (2/3)

端子名		端子状態					
		リセット ^注	ソフトウェア STOP モード	ハードウェア STOP モード	HALT モード	スタンバイ・ テスト・モード	単体テスト・ モード
システム 制御用端子	SWSTOPRQ	L	H	L	L	不定	不定
	HWSTOPRQ	L	L	H	L	不定	不定
	STPRQ	L	H	H	L	不定	不定
DMAC 用端子	DMTCO3- DMTCO0	L	L	L	動作	不定	不定
	DMACTV3- DMACTV0	L	L	L	動作	不定	不定
VFB 用端子	IROMA19- IROMA2	不定	保持	保持	保持	不定	動作
	IROMEN	L	L	L	L	不定	動作
	IROMCS	L	L	L	L	不定	動作
	IROMIA	H	不定	不定	不定	不定	動作
	IROMAE	不定	不定	不定	不定	不定	動作
VDB 用端子	IRAMA27- IRAMA2	不定	不定	不定	動作	不定	動作
	IRAOZ31- IRAOZ0	不定	不定	不定	動作	不定	動作
	IRAMEN	L	L	L	動作	不定	動作
	IRAMWR3- IRAMWR0	L	L	L	動作	不定	動作
	IRAMRWB	不定	不定	不定	動作	不定	動作
命令 キャッシュ用 端子	IBAACK	L	L	L	L	不定	動作
	IBDRDY	L	L	L	L	不定	動作
	IBDLE3- IBDLE0	L	L	L	L	不定	動作
	IBEDI31- IBEDI0	不定	不定	不定	不定	不定	動作
	IIDRRQ	L	L	L	L	不定	動作
	IIEA25-IIEA2	不定	不定	不定	不定	不定	動作
	IIBTFT	不定	不定	不定	不定	不定	動作
	IIRCAN	不定	不定	不定	不定	不定	動作
	BCUNCH	L	L	L	L	不定	動作

注 DCRESZ 端子にロウ・レベルが入力され、かつ VBCLK 端子に外部クロックが入力されているとき。

備考 L：ロウ・レベル出力

H：ハイ・レベル出力

保持：直前の状態を保持

表2 - 10 各動作モードでの端子状態 (3/3)

端子名		端子状態					
		リセット ^注	ソフトウェア STOP モード	ハードウェア STOP モード	HALT モード	スタンバイ・ テスト・モード	単体テスト・ モード
データ・ キャッシュ用 端子	IDDARQ	L	L	L	L	不定	動作
	IDAACK	L	L	L	L	不定	動作
	IRRSA	L	不定	不定	不定	不定	動作
	IDRETR	L	L	L	L	不定	動作
	IDUNCH	不定	不定	不定	不定	不定	動作
	IDDRDY	L	L	L	L	不定	動作
	IDED31-IDED0	不定	不定	不定	不定	不定	動作
	IDES	不定	不定	不定	不定	不定	動作
RCU 用端子	DBO14	H	L	L	L	不定	不定
	DBO13	L	L	L	L	不定	不定
	DBO12-DBO5	保持	保持	保持	保持	不定	不定
	DBO4	L	L	L	H	不定	不定
	DBO3-DBO1	L	L	L	L	不定	不定
	DBO0	L	保持	保持	保持	不定	不定
	DBB15-DBB0	不定	保持	保持	保持	不定	不定
周辺 エバチップ・ モード用端子	EVIEN	不定	L	L	L	不定	不定
	EVOEN	不定	L	L	L	不定	不定
	EVINTRQ	L	保持	保持	動作	不定	不定
	EVINTLV6- EVINTLV0	不定	保持	保持	動作	不定	不定
	EVAD15- EVAD0	不定	保持	保持	不定	不定	不定
	EVLKRT	不定	保持	保持	不定	不定	不定
テスト・ モード用端子	TBO34-TBO0	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	動作
	TESEN	L	L	L	L	L	動作
	VPTCLK	L	L	L	L	L	動作
	PHTDIN1, PHTDIN0	L	L	L	L	L	動作
	VPRESZ	L	H	H	H	不定	不定
	PHTEST	L	L	L	L	L	動作
	TMODE1, TMODE0	L	L	L	L	L	動作
	TBREDZ	H	H	H	H	H	動作

注 DCRESZ 端子にロウ・レベルが入力され、かつ VBCLK 端子に外部クロックが入力されているとき。

備考 L：ロウ・レベル出力

H：ハイ・レベル出力

保持：直前の状態を保持

Hi-Z：ハイ・インピーダンス

第 3 章 CPU

NB85E の CPU は、RISC アーキテクチャをベースとし、5 段パイプラインの制御によりほとんどの命令を 1 クロックで実行します。

3.1 特 徴

○ 組み込み制御用高性能 32 ビット・アーキテクチャ

- 命令数：81
- 32 ビット汎用レジスタ：32 本
- ロング/ショート・フォーマットを持つロード/ストア命令
- 3 オペランド命令
- 1 クロック・ピッチの 5 段パイプライン構造
- レジスタ/フラグ・ハザードのインタロックをハードウェアで対処
- メモリ空間
 - プログラム領域：64 M バイト・リニア
 - データ領域：4 G バイト・リニア

○ 各種応用分野に適した命令セット

- 飽和演算命令
- ビット操作命令（セット、クリア、ノット、テスト）
- 内蔵のハードウェア乗算器により、1-2 クロックで乗算が可能
 - 16 ビット×16 ビット→32 ビット
 - 32 ビット×32 ビット→32 ビット、または 64 ビット

○ NB85E901 (RCU) インタフェース機能

3.2 レジスタ

CPU のレジスタは一般のプログラム用として使用するプログラム・レジスタと、実行環境の制御をするシステム・レジスタの2つに分類できます。すべて 32 ビット・レジスタです。

図3-1 CPUレジスタ一覧

(a) プログラム・レジスタ		(b) システム・レジスタ	
31	0	31	0
r0 (ゼロ・レジスタ)		EIPC (割り込み時状態退避レジスタ)	
r1 (アセンブラ予約レジスタ)		EIPSW (割り込み時状態退避レジスタ)	
r2		FEPC (NMI時状態退避レジスタ)	
r3 (スタック・ポインタ (SP))		FEPSW (NMI時状態退避レジスタ)	
r4 (グローバル・ポインタ (GP))		ECR (割り込み要因レジスタ)	
r5 (テキスト・ポインタ (TP))		PSW (プログラム・ステータス・ワード)	
r6		CTPC (CALLT実行時状態退避レジスタ)	
r7		CTPSW (CALLT実行時状態退避レジスタ)	
r8		DBPC (例外トラップ時状態退避レジスタ)	
r9		DBPSW (例外トラップ時状態退避レジスタ)	
r10		CTBP (CALLTベース・ポインタ)	
r11			
r12			
r13			
r14			
r15			
r16			
r17			
r18			
r19			
r20			
r21			
r22			
r23			
r24			
r25			
r26			
r27			
r28			
r29			
r30 (エレメント・ポインタ (EP))			
r31 (リンク・ポインタ (LP))			
PC (プログラム・カウンタ)			

3.2.1 プログラム・レジスタ

プログラム・レジスタには、汎用レジスタ（r0-r31）とプログラム・カウンタ（PC）があります。

表3-1 プログラム・レジスタ一覧

プログラム・レジスタ	名 称	機 能
汎用レジスタ	r0	ゼロ・レジスタ（常に 0 を保持）
	r1	アセンブラ予約レジスタ（アドレス生成用のワーキング・レジスタとして使用）
	r2	アドレス/データ変数用レジスタ（使用するリアルタイム OS がこのレジスタを使用していない場合）
	r3	スタック・ポインタ（関数コール時のスタック・フレーム生成時に使用）
	r4	グローバル・ポインタ（データ領域のグローバル変数をアクセスするときに使用）
	r5	テキスト・ポインタ（テキスト領域（プログラム・コードを配置する領域）の先頭を示すレジスタとして使用）
	r6-r29	アドレス/データ変数用レジスタ
	r30	エレメント・ポインタ（メモリをアクセスするときのアドレス生成用ベース・ポインタとして使用）
	r31	リンク・ポインタ（コンパイラが関数コールをするときに使用）
プログラム・カウンタ	PC	プログラム実行中の命令アドレスを保持

備考 アセンブラや C コンパイラで使用される r1, r3-r5, r31 の詳細な説明は、C コンパイラ・パッケージ（CA850）のユーザーズ・マニュアルを参照してください。

（1）汎用レジスタ

汎用レジスタとして、r0-r31 の 32 本が用意されています。これらのレジスタは、すべてデータ変数用またはアドレス変数用として利用できます。

ただし、r0-r5, r30, r31 を使用する場合は次のような注意が必要です。

（a）r0, r30

命令により暗黙的に使用されます。

r0 は常に 0 を保持しているレジスタであり、0 を使用する演算やオフセット 0 のアドレッシングで使用されます。

r30 は SLD 命令と SST 命令により、メモリをアクセスするときのベース・ポインタとして使用されます。

（b）r1, r3-r5, r31

アセンブラと C コンパイラにより暗黙的に使用されます。

これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。

（c）r2

リアルタイム OS が使用する場合があります。

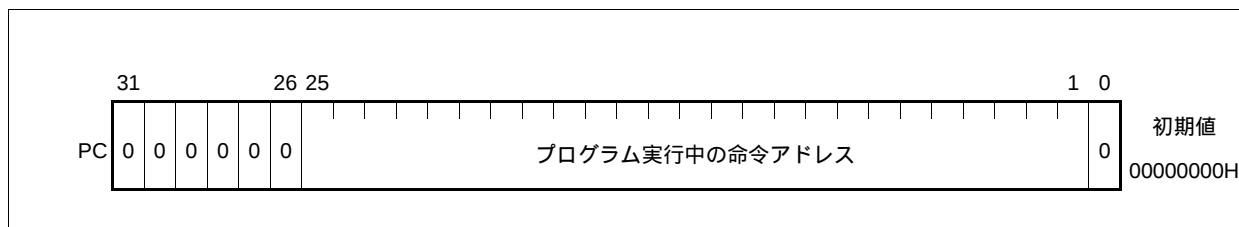
使用するリアルタイム OS が r2 を使用していない場合は、アドレス変数用またはデータ変数用レジスタとして利用できます。

(2) プログラム・カウンタ

プログラム実行中の命令アドレスを保持しています。下位の 26 ビットが有効でビット 31-26 は、将来の機能拡張のために予約されています（0 に固定）。ビット 25 からビット 26 へのキャリーがあっても無視します。

また，ビット 0 は 0 に固定されており，奇数番地への分岐はできません。

図3-2 プログラム・カウンタ (PC)



3.2.2 システム・レジスタ

システム・レジスタは、CPU の状態制御、割り込み情報保持などを行います。

システム・レジスタへのリード/ライトは、システム・レジスタ・ロード/ストア命令（LDSR, STSR 命令）で示すシステム・レジスタ番号（表 3-2 参照）を指定することで行います。

表3-2 システム・レジスタ一覧

レジスタ 番号	名 称		動 作	オペランド指定の可否	
				LDSR 命令	STSR 命令
0	EIPC	割り込み時状態 退避レジスタ ^注	ソフトウェア例外または割り込みが発生した場合に、PC の値を退避するレジスタです。	○	○
1	EIPSW		ソフトウェア例外または割り込みが発生した場合に、PSW の値を退避するレジスタです。	○	○
2	FEPC	NMI 時状態 退避レジスタ	ノンマスカブル割り込み（NMI）が発生した場合に、PC の値を退避するレジスタです。	○	○
3	FEPSW		ノンマスカブル割り込み（NMI）が発生した場合に、PSW の値を退避するレジスタです。	○	○
4	ECR	割り込み要因 レジスタ	例外 / 割り込みが発生した場合に、その要因を保持するレジスタです。 このレジスタの上位 16 ビット（FECC）には、ノンマスカブル割り込み（NMI）の例外コードがセットされます。下位 16 ビット（EICC）には、例外 / マスカブル割り込みの例外コードがセットされます（図 3-3 参照）。	×	○
5	PSW	プログラム・ステータス・ワード	プログラムの状態（命令実行結果）や CPU の状態を示すフラグの集合です（図 3-4 参照）。	○	○
16	CTPC	CALLT 実行時 状態退避レジスタ	CALLT 命令を実行した場合に、PC の値を退避するレジスタです。	○	○
17	CTPSW		CALLT 命令を実行した場合に、PSW の値を退避するレジスタです。	○	○
18	DBPC	例外トラップ時 状態退避レジスタ	不正命令コードの検出により例外トラップが発生した場合に、PC の値を退避するレジスタです。	×	○
19	DBPSW		不正命令コードの検出により例外トラップが発生した場合に、PSW の値を退避するレジスタです。	×	○
20	CTBP	CALLT ベース・ポインタ	テーブル・アドレスの指定、ターゲット・アドレスの生成に使用します。	○	○
6-15, 21-31	将来の機能拡張のための予約番号（アクセスした場合の動作は保証しません）			×	×

注 このレジスタは、1 組しかないため多重割り込みを許す場合は、プログラムでこのレジスタを退避する必要があります。

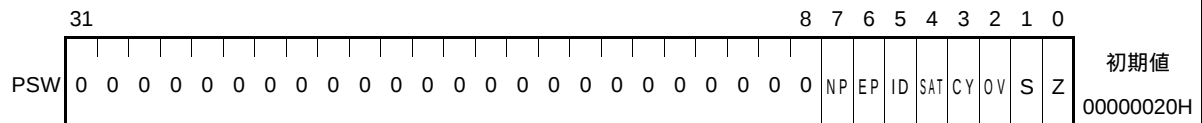
備考 ○：アクセス可能 ×：アクセス禁止

注意 LDSR 命令により EIPC が FEPC, または CTPC のビット 0 をセット (1) したあと, 割り込み処理を行い, RETI 命令で復帰するときにビット 0 は無視されます (PC のビット 0 を 0 に固定してあるため)。EIPC, FEPC, CTPC に値を設定する場合は, 特別な理由のないかぎり, 偶数値 (ビット 0 = 0) を設定してください。

図3 - 3 割り込み要因レジスタ (ECR)



図3-4 プログラム・ステータス・ワード (PSW)

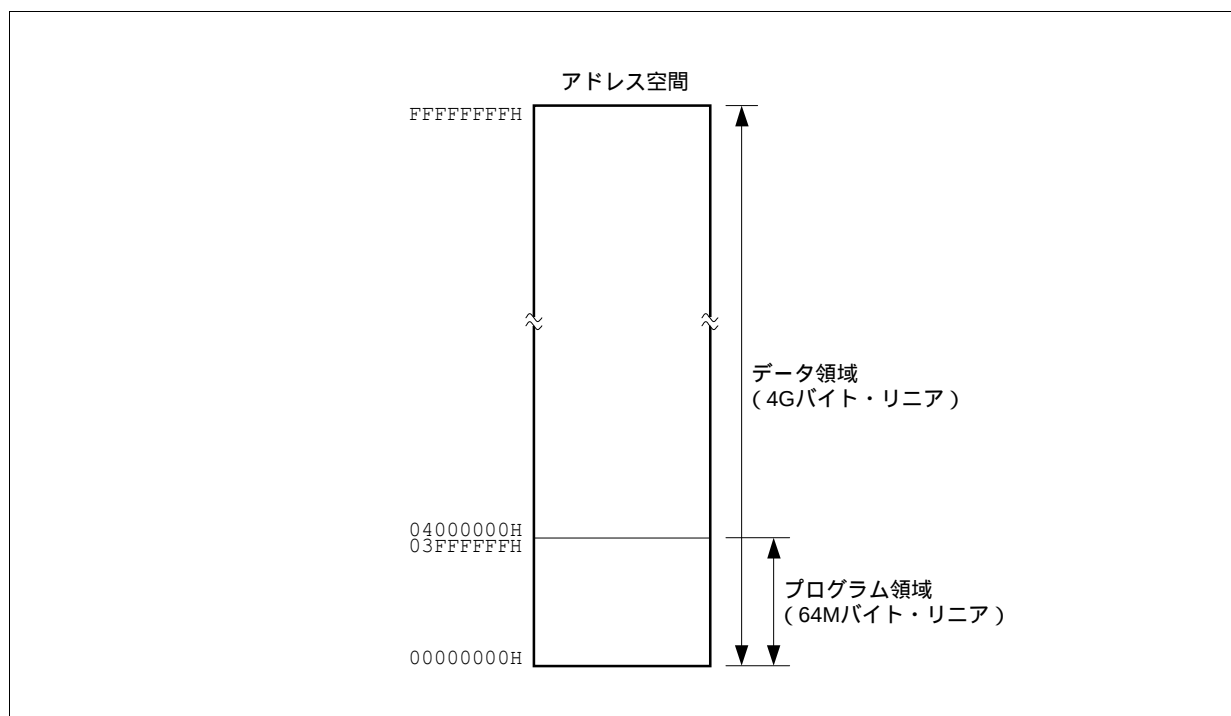


ビット位置	ビット名	意 味
7	NP	ノンマスカブル割り込み処理中であることを示します。ノンマスカブル割り込みが受け付けられるとセット(1)され、多重割り込みを禁止します。 0: ノンマスカブル割り込み処理中でない。 1: ノンマスカブル割り込み処理中である。
6	EP	例外処理中であることを示します。例外の発生でセット(1)されます。なお、このビットがセットされても割り込み要求は受け付けます。 0: 例外処理中でない。 1: 例外処理中である。
5	ID	マスカブル割り込み要求を受け付ける状態かどうかを示します。 0: 割り込み可 1: 割り込み不可
4	SAT	飽和演算処理命令の演算結果がオーバフローし、演算結果が飽和していることを示します。累積フラグであり、飽和演算命令で演算結果が飽和すると、セット(1)され、以降の命令の演算結果が飽和しなくてもクリア(0)されません。クリア(0)する場合は、PSW にデータをロードします。なお、一般の算術演算では、セット(1)もクリア(0)もしません。 0: 飽和していない。 1: 飽和している。
3	CY	演算結果に、キャリーまたはボローがあったかどうかを示します。 0: キャリー、またはボローは発生していない。 1: キャリー、またはボローが発生した。
2	OV	演算中にオーバフローが発生したかどうかを示します。 0: オーバフローは発生していない。 1: オーバフローが発生した。
1	S	演算の結果が負かどうかを示します。 0: 演算の結果は、正または0であった。 1: 演算の結果は負であった。
0	Z	演算の結果が0かどうかを示します。 0: 演算の結果は0でなかった。 1: 演算の結果は0であった。

3.3 アドレス空間

最大 4G バイトのリニア・アドレス空間をサポートします。メモリと I/O は、このアドレス空間に配置されます（メモリ・マップト I/O 方式）。

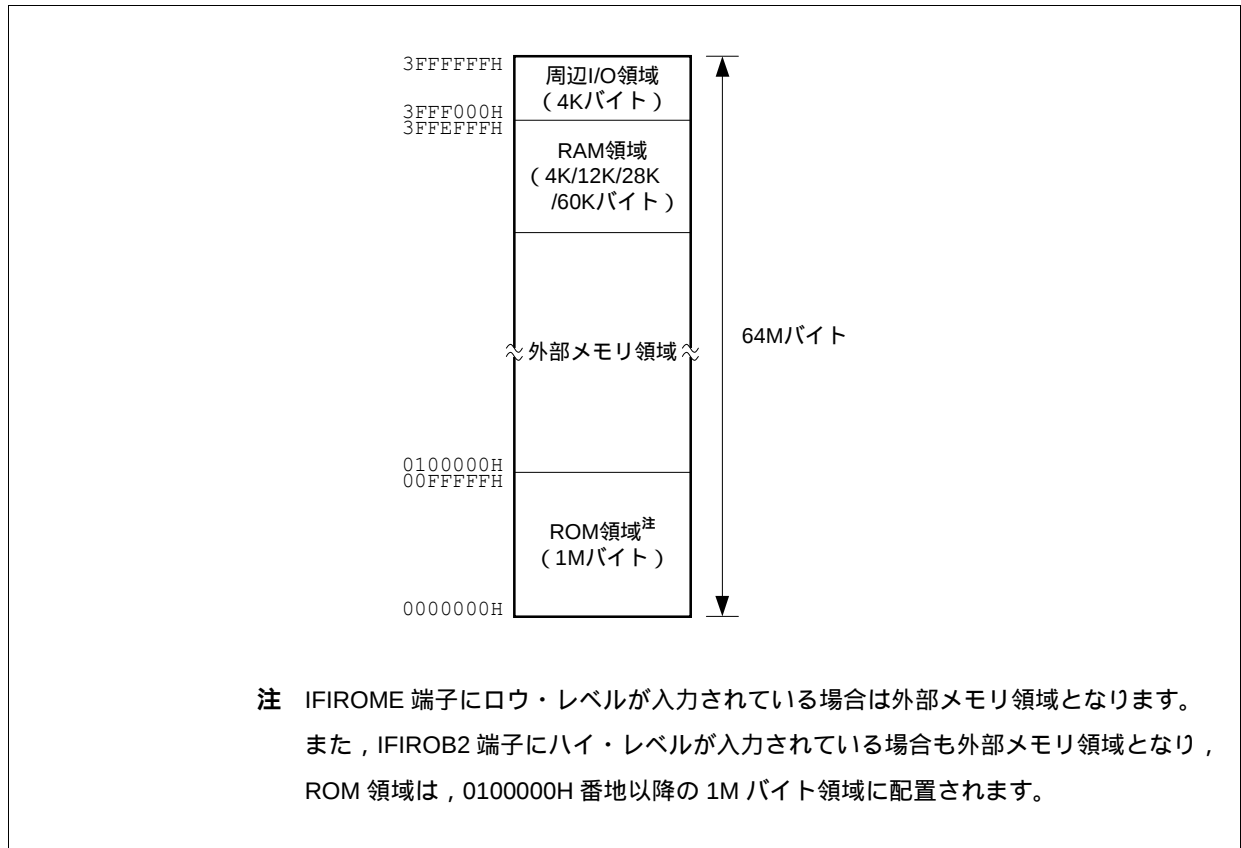
図3-5 アドレス空間



3.3.1 プログラム領域

命令アドレスのアドレッシングにおいては、最大 64M バイトのリニア・アドレス空間（プログラム領域）をサポートしています。

図3 - 6 プログラム領域

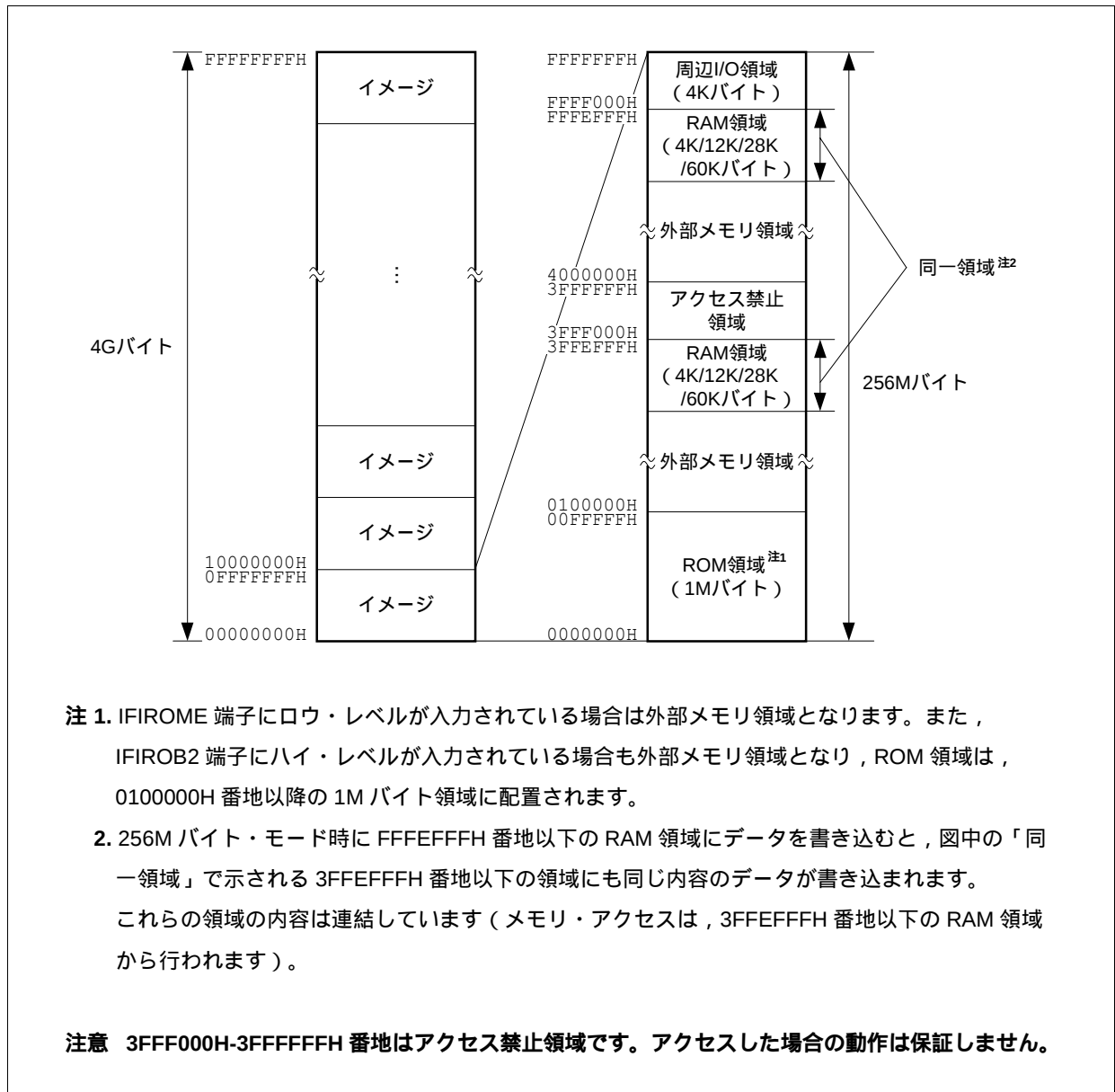


(2) 256M バイト・モード時

IFID256 端子にハイ・レベルを入力すると 256M バイト・モードに設定されます。

このモードでは、4G バイトのアドレス空間に 256M バイトの物理アドレス空間が 16 個のイメージとして見えます。つまり、CPU アドレスのビット 31-ビット 28 がどのような値でも、同じ 256M バイトの物理アドレス空間をアクセスします。

図3 - 8 データ領域 (256Mバイト・モード時)



3.4 領域

3.4.1 ROM 領域

IFIROME 端子にハイ・レベルが入力されていると、VFB に接続された ROM へのアクセスを行うための ROM 領域が設定されます。

(1) ROM リロケーション機能

ROM 領域として、00000000H-000FFFFFFH 番地、または 00100000H-001FFFFFFH 番地の 1M バイトが予約されています。

配置する領域は、IFIROB2 端子への入力レベルにより選択します。

(2) 割り込み / 例外テーブル

NB85E では、割り込み / 例外に対応した飛び先アドレスを固定することにより、割り込み応答性を高速化しています。

この飛び先アドレスの集合を割り込み / 例外テーブルと呼び、00000000H 番地以降に配置されます。割り込み / 例外要求が受け付けられると、飛び先アドレスにジャンプし、そのメモリに書かれているプログラムを実行します。

備考 00000000H 番地が外部メモリ領域に設定されている場合、リセット・ルーチンへの飛び先アドレスを外部メモリの 00000000H 番地に用意してください。

図3 - 9 ROM領域

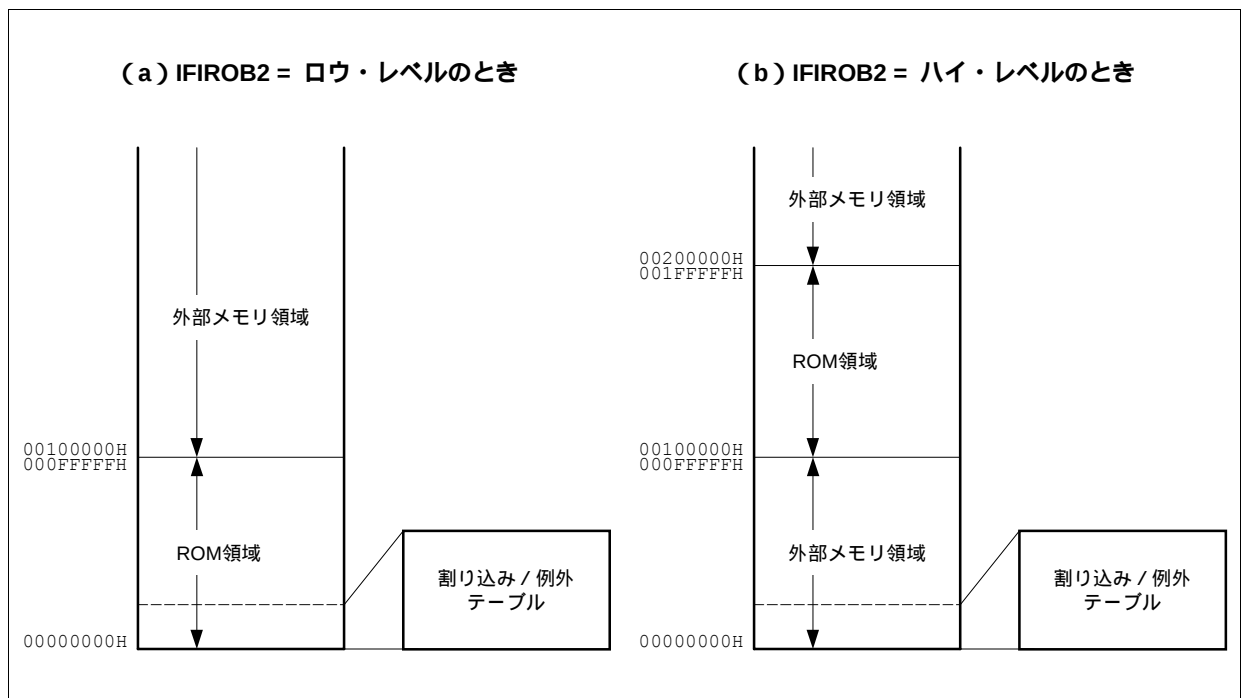


表3-3 割り込み / 例外テーブル

先頭アドレス	割り込み / 例外要因	先頭アドレス	割り込み / 例外要因	先頭アドレス	割り込み / 例外要因
00000000H	RESET	00000190H	INT17	00000310H	INT41
00000010H	NMI0	000001A0H	INT18	00000320H	INT42
00000020H	NMI1	000001B0H	INT19	00000330H	INT43
00000030H	NMI2	000001C0H	INT20	00000340H	INT44
00000040H	TRAP0n (n = 0-FH)	000001D0H	INT21	00000350H	INT45
00000050H	TRAP1n (n = 0-FH)	000001E0H	INT22	00000360H	INT46
00000060H	ILGOP	000001F0H	INT23	00000370H	INT47
00000080H	INT0	00000200H	INT24	00000380H	INT48
00000090H	INT1	00000210H	INT25	00000390H	INT49
000000A0H	INT2	00000220H	INT26	000003A0H	INT50
000000B0H	INT3	00000230H	INT27	000003B0H	INT51
000000C0H	INT4	00000240H	INT28	000003C0H	INT52
000000D0H	INT5	00000250H	INT29	000003D0H	INT53
000000E0H	INT6	00000260H	INT30	000003E0H	INT54
000000F0H	INT7	00000270H	INT31	000003F0H	INT55
00000100H	INT8	00000280H	INT32	00000400H	INT56
00000110H	INT9	00000290H	INT33	00000410H	INT57
00000120H	INT10	000002A0H	INT34	00000420H	INT58
00000130H	INT11	000002B0H	INT35	00000430H	INT59
00000140H	INT12	000002C0H	INT36	00000440H	INT60
00000150H	INT13	000002D0H	INT37	00000450H	INT61
00000160H	INT14	000002E0H	INT38	00000460H	INT62
00000170H	INT15	000002F0H	INT39	00000470H	INT63
00000180H	INT16	00000300H	INT40	-	-

備考 割り込み / 例外要因については、表 8-1 割り込み / 例外一覧を参照してください。

3.4.2 RAM 領域

VDB に接続される RAM の領域として、64M バイト・モード時は 3FFEFFFH 番地以下の領域が、256M バイト・モード時は FFFEFFFH 番地以下の領域が予約されています。

RAM のサイズは、4K バイト、12K バイト、28K バイト、60K バイトから選択可能で、IFRA64, IFRA32, IFRA16 端子への入力レベルにより設定します。

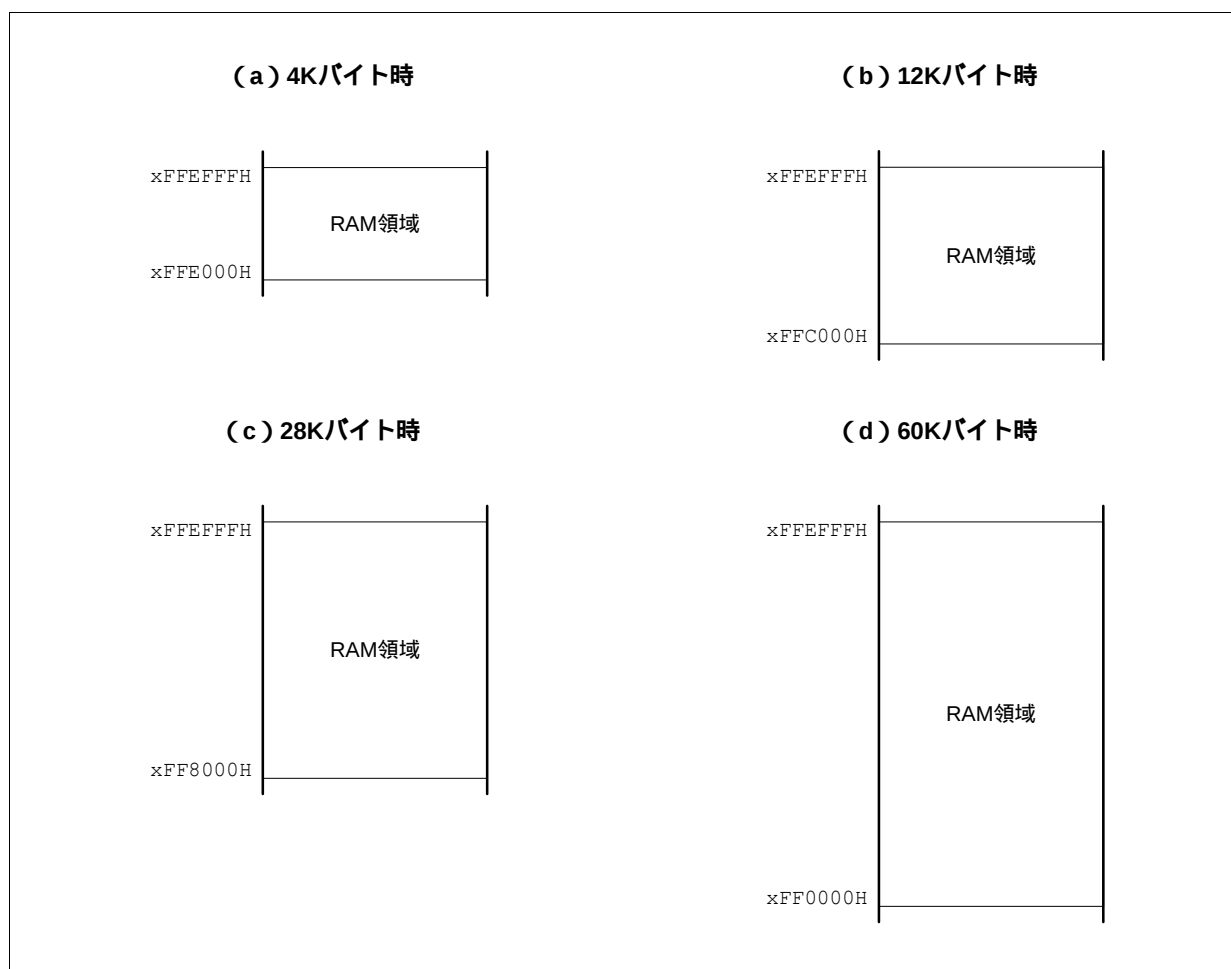
表3 - 4 RAM領域サイズの設定

IFIRA64	IFIRA32	IFIRA16	RAM 領域サイズ
L	L	L	4K バイト
L	L	H	12K バイト
L	H	任意	28K バイト
H	任意	任意	60K バイト

備考 L：ロウ・レベル入力

H：ハイ・レベル入力

図3 - 10 RAM領域



なお、RAM 領域サイズを、4K, 12K, 28K, 60K バイト以外で使用する場合は、次のように設定してください。

(a) 「RAM 領域サイズ = 0K バイト (RAM レス)」の場合

RAM 領域サイズを 4K バイトに設定し、VDB 用端子は **2.3 未使用端子の処理**に示されている内容で処理してください。

(b) 「0K バイト < RAM 領域サイズ < 4K バイト」の場合

RAM 領域サイズを 4K バイトに設定し、下位側のアドレスから RAM 領域として使用してください。

(c) 「4K バイト < RAM 領域サイズ < 12K バイト」の場合

RAM 領域サイズを 12K バイトに設定し、下位側のアドレスから RAM 領域として使用してください。

(d) 「12K バイト < RAM 領域サイズ < 28K バイト」の場合

RAM 領域サイズを 28K バイトに設定し、下位側のアドレスから RAM 領域として使用してください。

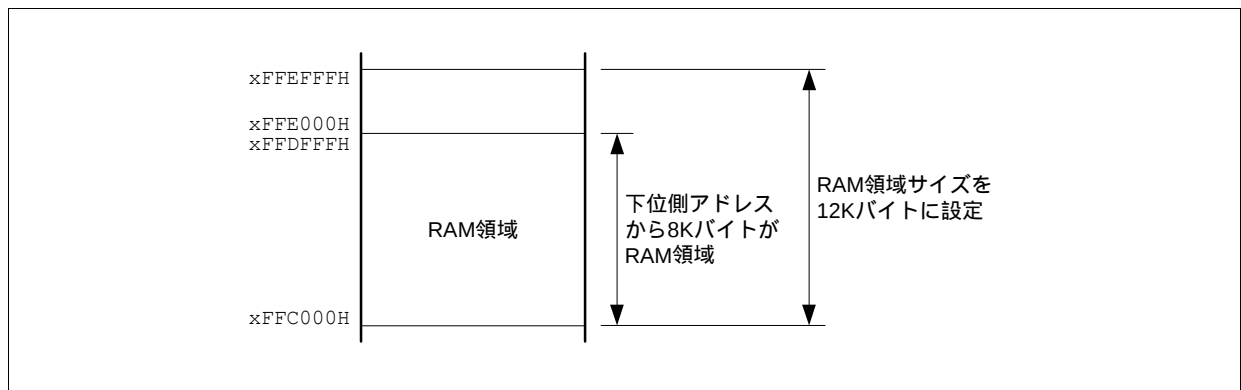
(e) 「28K バイト < RAM 領域サイズ < 60K バイト」の場合

RAM 領域サイズを 60K バイトに設定し、下位側のアドレスから RAM 領域として使用してください。

(f) 「60K バイト < RAM 領域サイズ」の場合

60K バイトを越える RAM 領域の設定はできません。

例 8K バイトの RAM を使用する場合のメモリ・マッピング



3.4.3 周辺 I/O 領域

周辺 I/O 領域として、64M バイト・モード時は 3FFFFFFH 番地以下の領域が、256M バイト・モード時は FFFFFFFH 番地以下の領域が予約されています。

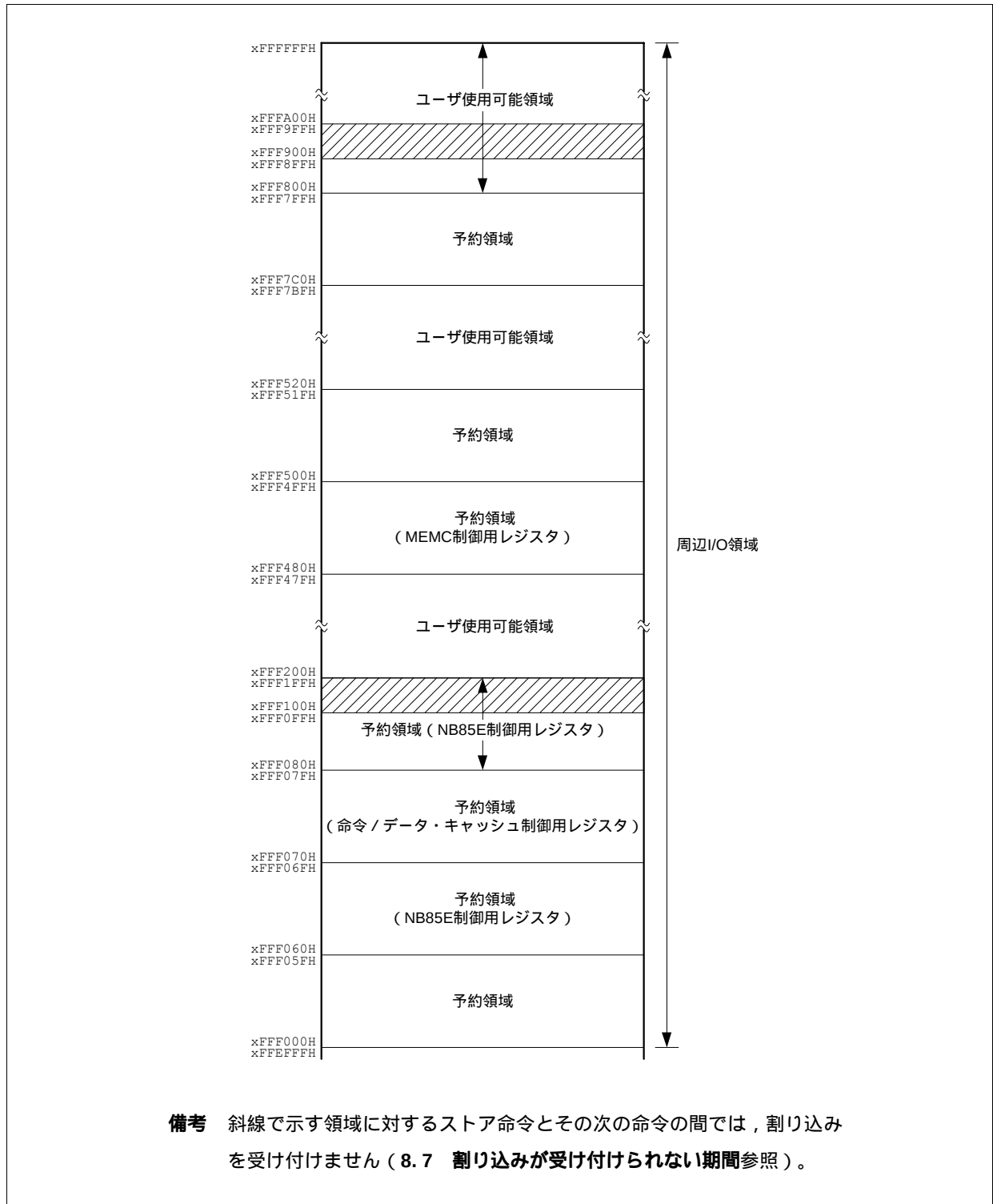
この領域には、NB85E、メモリ・コントローラ (MEMC)、命令 / データ・キャッシュの動作モード指定や状態のモニタリングなどの機能を割り付けた周辺 I/O レジスタが配置されています。

割り付けられているレジスタについては、**3.5 周辺 I/O レジスタ**を参照してください。

注意 ユーザが定義するアドレスの割り付けは次の領域（ユーザ使用可能）で行ってください。それ以外のアドレスは予約されているため使用しないでください。

- xFFF200H-xFFFF47FH
- xFFF520H-xFFFF7BFH
- xFFF800H-xFFFFFFFFH

図3 - 11 周辺I/O領域



備考 斜線で示す領域に対するストア命令とその次の命令の間では、割り込みを受け付けません（8.7 割り込みが受け付けられない期間参照）。

3.4.4 外部メモリ領域

外部メモリ領域へのアクセスは、各バンクごとに割り当てられた VDCSZ7-VDCSZ0 信号を使用します（4.

2 メモリ・バンク参照）。

また、この領域には周辺 I/O 領域とは独立して、「プログラマブル周辺 I/O 領域」を割り付けられます（4.4 プログラマブル周辺 I/O 領域選択機能参照）。

注意 ROM, RAM, 周辺 I/O の各領域に対しては、外部メモリ領域としてアクセスできません。

3.5 周辺 I/O レジスタ

（1）レジスタ・アドレスのデコードには、32 ビット・アドレスの下位 12 ビットだけを使用し、xxxxx000H-xxxxxFFFH の 4K バイトの領域を割り付けに使用しています。

（2）アドレスの最下位ビットは、デコードしていません。したがって、奇数アドレス（ $2n+1$ 番地）のレジスタにバイト・アクセスした場合は、偶数アドレス（ $2n$ ）のレジスタへのアクセスが行われます。

（3）NB85E では、ワード・アクセス可能なレジスタは存在しませんが、レジスタにワード・アクセスを行うと、アドレスの下位 2 ビットを無視したワード領域に対し下位、上位の順序でハーフワード・アクセスを 2 回行います。

（4）バイト・アクセス可能なレジスタに対して、ハーフワード・アクセスした場合は、リード時は上位 8 ビットが不定となり、ライト時は下位 8 ビット・データがレジスタに書き込まれます。

（5）NB85E 制御用レジスタ以外のレジスタの実体は、各マクロ（MEMC, 命令 / データ・キャッシュ）に内蔵されています。

3.5.1 NB85E 制御用レジスタ

(1/4)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット			初期値
				1 ビット	8 ビット	16 ビット	
FFFFFF060H	チップ領域セレクト制御レジスタ 0	CSC0	R/W			○	2C11H
FFFFFF062H	チップ領域セレクト制御レジスタ 1	CSC1	R/W			○	2C11H
FFFFFF064H	周辺 I/O 領域セレクト制御レジスタ	BPC	R/W			○	0000H
FFFFFF066H	バス・サイズ・コンフィギュレーション・レジスタ	BSC	R/W			○	0000H/ 5555H/ AAAAH
FFFFFF068H	エンディアン・コンフィギュレーション・レジスタ	BEC	R/W			○	0000H
FFFFFF06AH	キャッシュ・コンフィギュレーション・レジスタ	BHC	R/W			○	0000H
FFFFFF06EH	NPB ストローブ・ウエイト・コントロール・レジスタ	VSWC	R/W	○	○		77H
FFFFFF080H	DMA ソース・アドレス・レジスタ 0L	DSA0L	R/W			○	不定
FFFFFF082H	DMA ソース・アドレス・レジスタ 0H	DSA0H	R/W			○	不定
FFFFFF084H	DMA デスティネーション・アドレス・レジスタ 0L	DDA0L	R/W			○	不定
FFFFFF086H	DMA デスティネーション・アドレス・レジスタ 0H	DDA0H	R/W			○	不定
FFFFFF088H	DMA ソース・アドレス・レジスタ 1L	DSA1L	R/W			○	不定
FFFFFF08AH	DMA ソース・アドレス・レジスタ 1H	DSA1H	R/W			○	不定
FFFFFF08CH	DMA デスティネーション・アドレス・レジスタ 1L	DDA1L	R/W			○	不定
FFFFFF08EH	DMA デスティネーション・アドレス・レジスタ 1H	DDA1H	R/W			○	不定
FFFFFF090H	DMA ソース・アドレス・レジスタ 2L	DSA2L	R/W			○	不定
FFFFFF092H	DMA ソース・アドレス・レジスタ 2H	DSA2H	R/W			○	不定
FFFFFF094H	DMA デスティネーション・アドレス・レジスタ 2L	DDA2L	R/W			○	不定
FFFFFF096H	DMA デスティネーション・アドレス・レジスタ 2H	DDA2H	R/W			○	不定
FFFFFF098H	DMA ソース・アドレス・レジスタ 3L	DSA3L	R/W			○	不定
FFFFFF09AH	DMA ソース・アドレス・レジスタ 3H	DSA3H	R/W			○	不定
FFFFFF09CH	DMA デスティネーション・アドレス・レジスタ 3L	DDA3L	R/W			○	不定
FFFFFF09EH	DMA デスティネーション・アドレス・レジスタ 3H	DDA3H	R/W			○	不定
FFFFFF0C0H	DMA 転送カウント・レジスタ 0	DBC0	R/W			○	不定
FFFFFF0C2H	DMA 転送カウント・レジスタ 1	DBC1	R/W			○	不定
FFFFFF0C4H	DMA 転送カウント・レジスタ 2	DBC2	R/W			○	不定
FFFFFF0C6H	DMA 転送カウント・レジスタ 3	DBC3	R/W			○	不定
FFFFFF0D0H	DMA アドレッシング・コントロール・レジスタ 0	DADC0	R/W			○	0000H
FFFFFF0D2H	DMA アドレッシング・コントロール・レジスタ 1	DADC1	R/W			○	0000H
FFFFFF0D4H	DMA アドレッシング・コントロール・レジスタ 2	DADC2	R/W			○	0000H
FFFFFF0D6H	DMA アドレッシング・コントロール・レジスタ 3	DADC3	R/W			○	0000H
FFFFFF0E0H	DMA チャネル・コントロール・レジスタ 0	DCHC0	R/W	○	○		00H
FFFFFF0E2H	DMA チャネル・コントロール・レジスタ 1	DCHC1	R/W	○	○		00H
FFFFFF0E4H	DMA チャネル・コントロール・レジスタ 2	DCHC2	R/W	○	○		00H
FFFFFF0E6H	DMA チャネル・コントロール・レジスタ 3	DCHC3	R/W	○	○		00H

アドレス	レジスタ名称	略 号	R/W	操作可能ビット			初期値
				1 ビット	8 ビット	16 ビット	
FFFFFF0F0H	DMA ディスエーブル・ステータス・レジスタ	DDIS	R	○	○		00H
FFFFFF0F2H	DMA リスタート・レジスタ	DRST	R/W	○	○		00H
FFFFFF100H	割り込みマスク・レジスタ 0	IMR0	R/W			○	FFFFH
FFFFFF100H	割り込みマスク・レジスタ 0L	IMR0L	R/W	○	○		FFH
FFFFFF101H	割り込みマスク・レジスタ 0H	IMR0H	R/W	○	○		FFH
FFFFFF102H	割り込みマスク・レジスタ 1	IMR1	R/W			○	FFFFH
FFFFFF102H	割り込みマスク・レジスタ 1L	IMR1L	R/W	○	○		FFH
FFFFFF103H	割り込みマスク・レジスタ 1H	IMR1H	R/W	○	○		FFH
FFFFFF104H	割り込みマスク・レジスタ 2	IMR2	R/W			○	FFFFH
FFFFFF104H	割り込みマスク・レジスタ 2L	IMR2L	R/W	○	○		FFH
FFFFFF105H	割り込みマスク・レジスタ 2H	IMR2H	R/W	○	○		FFH
FFFFFF106H	割り込みマスク・レジスタ 3	IMR3	R/W			○	FFFFH
FFFFFF106H	割り込みマスク・レジスタ 3L	IMR3L	R/W	○	○		FFH
FFFFFF107H	割り込みマスク・レジスタ 3H	IMR3H	R/W	○	○		FFH
FFFFFF110H	割り込み制御レジスタ 0	PIC0	R/W	○	○		47H
FFFFFF112H	割り込み制御レジスタ 1	PIC1	R/W	○	○		47H
FFFFFF114H	割り込み制御レジスタ 2	PIC2	R/W	○	○		47H
FFFFFF116H	割り込み制御レジスタ 3	PIC3	R/W	○	○		47H
FFFFFF118H	割り込み制御レジスタ 4	PIC4	R/W	○	○		47H
FFFFFF11AH	割り込み制御レジスタ 5	PIC5	R/W	○	○		47H
FFFFFF11CH	割り込み制御レジスタ 6	PIC6	R/W	○	○		47H
FFFFFF11EH	割り込み制御レジスタ 7	PIC7	R/W	○	○		47H
FFFFFF120H	割り込み制御レジスタ 8	PIC8	R/W	○	○		47H
FFFFFF122H	割り込み制御レジスタ 9	PIC9	R/W	○	○		47H
FFFFFF124H	割り込み制御レジスタ 10	PIC10	R/W	○	○		47H
FFFFFF126H	割り込み制御レジスタ 11	PIC11	R/W	○	○		47H
FFFFFF128H	割り込み制御レジスタ 12	PIC12	R/W	○	○		47H
FFFFFF12AH	割り込み制御レジスタ 13	PIC13	R/W	○	○		47H
FFFFFF12CH	割り込み制御レジスタ 14	PIC14	R/W	○	○		47H
FFFFFF12EH	割り込み制御レジスタ 15	PIC15	R/W	○	○		47H
FFFFFF130H	割り込み制御レジスタ 16	PIC16	R/W	○	○		47H
FFFFFF132H	割り込み制御レジスタ 17	PIC17	R/W	○	○		47H
FFFFFF134H	割り込み制御レジスタ 18	PIC18	R/W	○	○		47H
FFFFFF136H	割り込み制御レジスタ 19	PIC19	R/W	○	○		47H
FFFFFF138H	割り込み制御レジスタ 20	PIC20	R/W	○	○		47H
FFFFFF13AH	割り込み制御レジスタ 21	PIC21	R/W	○	○		47H
FFFFFF13CH	割り込み制御レジスタ 22	PIC22	R/W	○	○		47H
FFFFFF13EH	割り込み制御レジスタ 23	PIC23	R/W	○	○		47H
FFFFFF140H	割り込み制御レジスタ 24	PIC24	R/W	○	○		47H

(3/4)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット			初期値
				1 ビット	8 ビット	16 ビット	
FFFFFF142H	割り込み制御レジスタ 25	PIC25	R/W	○	○		47H
FFFFFF144H	割り込み制御レジスタ 26	PIC26	R/W	○	○		47H
FFFFFF146H	割り込み制御レジスタ 27	PIC27	R/W	○	○		47H
FFFFFF148H	割り込み制御レジスタ 28	PIC28	R/W	○	○		47H
FFFFFF14AH	割り込み制御レジスタ 29	PIC29	R/W	○	○		47H
FFFFFF14CH	割り込み制御レジスタ 30	PIC30	R/W	○	○		47H
FFFFFF14EH	割り込み制御レジスタ 31	PIC31	R/W	○	○		47H
FFFFFF150H	割り込み制御レジスタ 32	PIC32	R/W	○	○		47H
FFFFFF152H	割り込み制御レジスタ 33	PIC33	R/W	○	○		47H
FFFFFF154H	割り込み制御レジスタ 34	PIC34	R/W	○	○		47H
FFFFFF156H	割り込み制御レジスタ 35	PIC35	R/W	○	○		47H
FFFFFF158H	割り込み制御レジスタ 36	PIC36	R/W	○	○		47H
FFFFFF15AH	割り込み制御レジスタ 37	PIC37	R/W	○	○		47H
FFFFFF15CH	割り込み制御レジスタ 38	PIC38	R/W	○	○		47H
FFFFFF15EH	割り込み制御レジスタ 39	PIC39	R/W	○	○		47H
FFFFFF160H	割り込み制御レジスタ 40	PIC40	R/W	○	○		47H
FFFFFF162H	割り込み制御レジスタ 41	PIC41	R/W	○	○		47H
FFFFFF164H	割り込み制御レジスタ 42	PIC42	R/W	○	○		47H
FFFFFF166H	割り込み制御レジスタ 43	PIC43	R/W	○	○		47H
FFFFFF168H	割り込み制御レジスタ 44	PIC44	R/W	○	○		47H
FFFFFF16AH	割り込み制御レジスタ 45	PIC45	R/W	○	○		47H
FFFFFF16CH	割り込み制御レジスタ 46	PIC46	R/W	○	○		47H
FFFFFF16EH	割り込み制御レジスタ 47	PIC47	R/W	○	○		47H
FFFFFF170H	割り込み制御レジスタ 48	PIC48	R/W	○	○		47H
FFFFFF172H	割り込み制御レジスタ 49	PIC49	R/W	○	○		47H
FFFFFF174H	割り込み制御レジスタ 50	PIC50	R/W	○	○		47H
FFFFFF176H	割り込み制御レジスタ 51	PIC51	R/W	○	○		47H
FFFFFF178H	割り込み制御レジスタ 52	PIC52	R/W	○	○		47H
FFFFFF17AH	割り込み制御レジスタ 53	PIC53	R/W	○	○		47H
FFFFFF17CH	割り込み制御レジスタ 54	PIC54	R/W	○	○		47H
FFFFFF17EH	割り込み制御レジスタ 55	PIC55	R/W	○	○		47H
FFFFFF180H	割り込み制御レジスタ 56	PIC56	R/W	○	○		47H
FFFFFF182H	割り込み制御レジスタ 57	PIC57	R/W	○	○		47H
FFFFFF184H	割り込み制御レジスタ 58	PIC58	R/W	○	○		47H
FFFFFF186H	割り込み制御レジスタ 59	PIC59	R/W	○	○		47H
FFFFFF188H	割り込み制御レジスタ 60	PIC60	R/W	○	○		47H
FFFFFF18AH	割り込み制御レジスタ 61	PIC61	R/W	○	○		47H
FFFFFF18CH	割り込み制御レジスタ 62	PIC62	R/W	○	○		47H
FFFFFF18EH	割り込み制御レジスタ 63	PIC63	R/W	○	○		47H

(4/4)

アドレス	レジスタ名称	略 号	R/W	操作可能ビット			初期値
				1 ビット	8 ビット	16 ビット	
FFFFFF1FAH	インサース・プライオリティ・レジスタ	ISPR	R	○	○		00H
FFFFFF1FCH	コマンド・レジスタ	PRCMD	W		○		不定
FFFFFF1FEH	パワー・セーブ・コントロール・レジスタ	PSC	R/W	○	○		00H

3.5.2 メモリ・コントローラ (MEMC) 制御用レジスタ

アドレス	レジスタ名称	略 号	R/W	操作可能ビット			初期値
				1 ビット	8 ビット	16 ビット	
FFFFFF480H	バス・サイクル・タイプ・コンフィギュレーション・レジスタ 0	BCT0	R/W			○	注 1
FFFFFF482H	バス・サイクル・タイプ・コンフィギュレーション・レジスタ 1	BCT1	R/W			○	注 1
FFFFFF484H	データ・ウェイト制御レジスタ 0	DWC0	R/W			○	7777H
FFFFFF486H	データ・ウェイト制御レジスタ 1	DWC1	R/W			○	7777H
FFFFFF488H	バス・サイクル制御レジスタ	BCC	R/W			○	FFFFH
FFFFFF48AH	アドレス設定ウェイト制御レジスタ	ASC	R/W			○	FFFFH
FFFFFF48CH	バス・サイクル周期制御レジスタ	BCP	R/W	○	○		注 2
FFFFFF49AH	ページ ROM コンフィギュレーション・レジスタ	PRC	R/W			○	7000H
FFFFFF4A0H	SDRAM コンフィギュレーション・レジスタ 0	SCR0	R/W			○	0000H
FFFFFF4A2H	SDRAM リフレッシュ・コントロール・レジスタ 0	RFS0	R/W			○	0000H
FFFFFF4A4H	SDRAM コンフィギュレーション・レジスタ 1	SCR1	R/W			○	0000H
FFFFFF4A6H	SDRAM リフレッシュ・コントロール・レジスタ 1	RFS1	R/W			○	0000H
FFFFFF4A8H	SDRAM コンフィギュレーション・レジスタ 2	SCR2	R/W			○	0000H
FFFFFF4AAH	SDRAM リフレッシュ・コントロール・レジスタ 2	RFS2	R/W			○	0000H
FFFFFF4ACH	SDRAM コンフィギュレーション・レジスタ 3	SCR3	R/W			○	0000H
FFFFFF4AEH	SDRAM リフレッシュ・コントロール・レジスタ 3	RFS3	R/W			○	0000H
FFFFFF4B0H	SDRAM コンフィギュレーション・レジスタ 4	SCR4	R/W			○	0000H
FFFFFF4B2H	SDRAM リフレッシュ・コントロール・レジスタ 4	RFS4	R/W			○	0000H
FFFFFF4B4H	SDRAM コンフィギュレーション・レジスタ 5	SCR5	R/W			○	0000H
FFFFFF4B6H	SDRAM リフレッシュ・コントロール・レジスタ 5	RFS5	R/W			○	0000H
FFFFFF4B8H	SDRAM コンフィギュレーション・レジスタ 6	SCR6	R/W			○	0000H
FFFFFF4BAH	SDRAM リフレッシュ・コントロール・レジスタ 6	RFS6	R/W			○	0000H
FFFFFF4BCH	SDRAM コンフィギュレーション・レジスタ 7	SCR7	R/W			○	0000H
FFFFFF4BEH	SDRAM リフレッシュ・コントロール・レジスタ 7	RFS7	R/W			○	0000H

注 1. MEMC (NB85E500/NU85E500) の MCE 端子への入力レベルにより次のようになります。

MCE 端子にハイ・レベル入力時：8888H MCE 端子にロウ・レベル入力時：0000H

2. MEMC (NB85E500/NU85E500) の BCPEN 端子への入力レベルにより次のようになります。

BCPEN 端子にハイ・レベル入力時：80H BCPEN 端子にロウ・レベル入力時：00H

3.5.3 命令キャッシュ制御用レジスタ

アドレス	レジスタ名称	略 号	R/W	操作可能ビット			初期値
				1ビット	8ビット	16ビット	
FFFFFF070H	命令キャッシュ・コントロール・レジスタ	ICC	R/W			○	0003H ^{注1}
FFFFFF070H	命令キャッシュ・コントロール・レジスタL	ICCL	R/W	○	○		03H ^{注2}
FFFFFF071H	命令キャッシュ・コントロール・レジスタH	ICCH	R/W	○	○		00H
FFFFFF074H	命令キャッシュ・データ・コンフィギュレーション・レジスタ	ICD	R/W			○	不定

注 1. リセット・アクティブ時は 0003H になり，自動的にタグの初期化を開始します。タグの初期化が完了すると 0000H になります。

2. リセット・アクティブ時は 03H になり，自動的にタグの初期化を開始します。タグの初期化が完了すると 00H になります。

3.5.4 データ・キャッシュ制御用レジスタ

アドレス	レジスタ名称	略 号	R/W	操作可能ビット			初期値
				1ビット	8ビット	16ビット	
FFFFFF078H	データ・キャッシュ・コントロール・レジスタ	DCC	R/W			○	0003H ^注
FFFFFF07CH	データ・キャッシュ・データ・コンフィギュレーション・レジスタ	DCD	R/W			○	不定

注 リセット・アクティブ時は 0003H になり，自動的にタグの初期化を開始します。タグの初期化が完了すると 0000H になります。

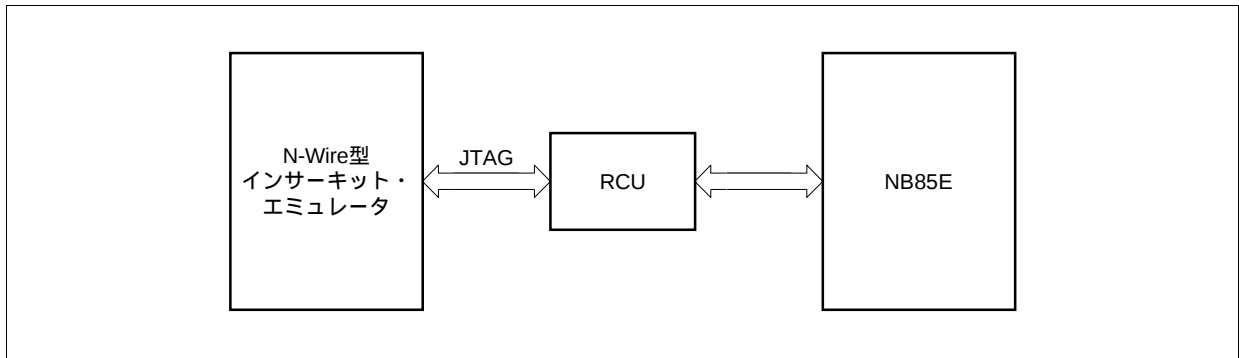
3.6 NB85E901 (RCU) インタフェース

3.6.1 概要

RCU インタフェースは、ラン・コントロール・ユニット (RCU) との接続を行うためのバス・インタフェースです。

RCU は N-Wire 型インサーキット・エミュレータとの JTAG による通信やディバグ処理の実行を制御します。

図3 - 12 RCUを介したNB85EとN-Wire型インサーキット・エミュレータの接続概略図



3.6.2 オンチップ・ディバグ

RCU を NB85E に接続することにより、オンチップ・ディバグ（オンボードでのディバグ機能）が実現可能です。NB85E の CPU は、実行アドレス、アクセス・アドレス、アクセス・データ、範囲（アドレス・マスク）、2 段シーケンシャル実行による検出が可能なブレークポイント機能や外部ポート入力によるブレーク割り込み機能を搭載しています。RCU を NB85E に接続することにより、これらの機能を使ってディバグが行えるうえ、バックグラウンド・モニタ方式の JTAG を使用した ROM エミュレータや N-Wire 型インサーキット・エミュレータが使用可能です。

詳しくは、第 10 章 NB85E901 を参照してください。

備考 NB85ET では、RCU、TRCU（トレース制御ユニット）、TEU（トリガ・イベント・ユニット）を搭載したディバグ・コントロール・ユニット（DCU）を内蔵しています。

この DCU により、CPU のブレーク機能に加え、PC トレース（分岐トレース）、データ・アクセス・トレースのトレース機能、実行アドレス、アクセス・アドレス、アクセス・データ、範囲（大小比較）、4 段シーケンシャル実行によるイベント検出機能を使用可能です。

第 4 章 BCU

BCU (バス・コントロール・ユニット) は、VSB 上のバス・マスタとして動作し、内蔵のバス・ブリッジ (BBR)、テスト・インタフェース・コントロール・ユニット (TIC) や、VSB に接続された外部メモリ・コントローラ (MEMC) などの周辺マクロ (バス・スレーブ) を制御します。

4.1 特 徴

- 32 ビット独立双方向データ・バス
- クロックの立ち下がりから次の立ち下がりの間の 1 バス・クロック転送
- バス・サイジング機能による 32 ビット・バス上での 8/16/32 ビット単位のデータ転送
- マルチマスタ・システム用のバス・アービトレーション
- プログラマブル・チップ・セレクト機能
- プログラマブル周辺 I/O 領域セレクト機能
- エンディアン設定機能

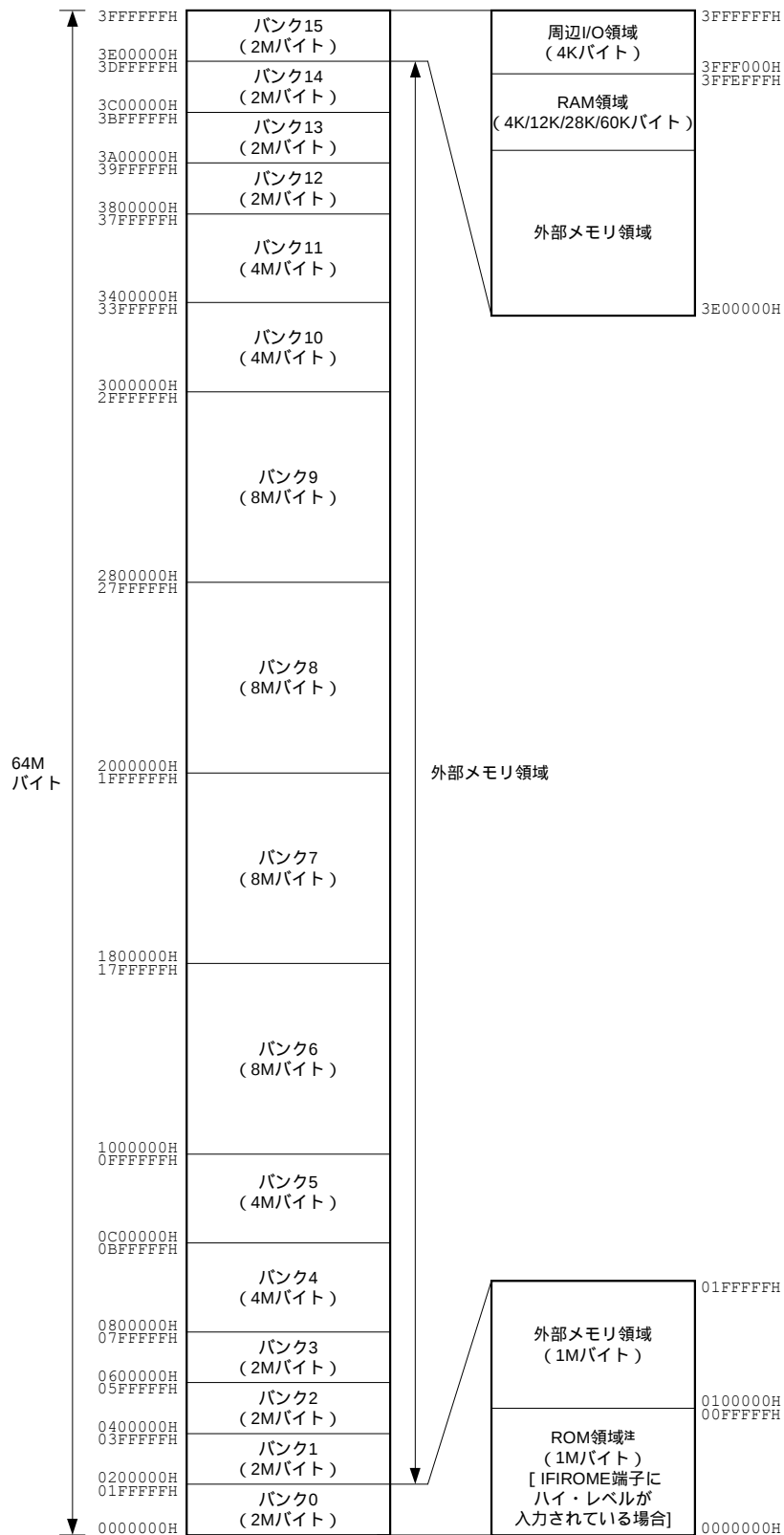
4.2 メモリ・バンク

データ領域は、複数の単位 (バンク) に分割されます。

BCU は、各バンクを任意で組み合わせた「CSn 領域」単位でバス・サイズ設定、エンディアン設定、キャッシュ設定を行います。CSn 領域の設定は、各バンクに対応する VDCSZn 信号に基づいて行います (n = 7-0)。

(1) 64M バイト・モード時のメモリ・バンク

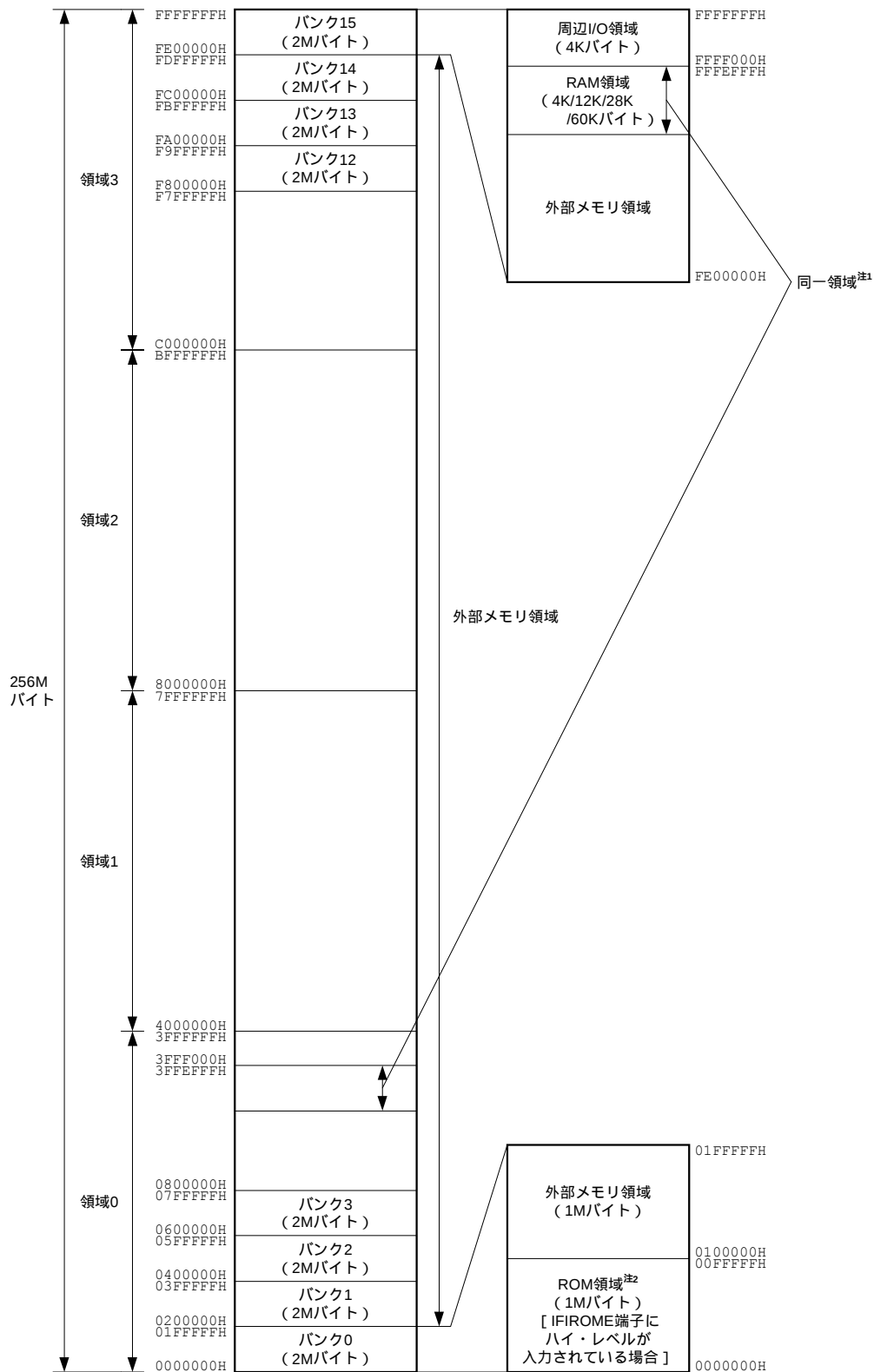
64M バイトのデータ領域は、2M, 4M, 8M バイト単位のメモリ・バンクに分割されます。



注 IFIROME 端子にロウ・レベルが入力されている場合は、外部メモリ領域になります。

(2) 256M バイト・モード時のメモリ・バンク

256M バイトのデータ領域は、2M バイト単位のメモリ・バンクを含む領域 0-領域 3 に分割されます。



注 1. 図 3 - 8 データ領域 (256M バイト・モード時) を参照してください。

2. IFIROME 端子にロウ・レベルが入力されている場合は、外部メモリ領域になります。

4.3 プログラマブル・チップ・セレクト機能

チップ領域セレクト制御レジスタ（CSC0, CSC1）により、メモリの各バンクに対応する VDCSZn 信号を設定し、データ領域を複数の CSn 領域に分割します（n = 7-0）。CSC0, CSC1 レジスタは、16 ビット単位でリード/ライト可能です。

なお、CSC0, CSC1 レジスタ設定により同一バンクに対する VDCSZn 信号が重複する場合、各信号の優先順位は次のようになります。

- VDCSZ0 > VDCSZ2 > VDCSZ1 > VDCSZ3
- VDCSZ7 > VDCSZ5 > VDCSZ6 > VDCSZ4

図4-1 チップ領域セレクト制御レジスタ0（CSC0）

1514131211109876543210

CSC0

CS	CS	CS	CS	CS	CS	CS	CS	CS	CS	CS	CS	CS	CS	CS	CS	CS
33	32	31	30	23	22	21	20	13	12	11	10	03	02	01	00	

アドレス

初期値

FFFFF060H

2C11H

ビット位置	ビット名	意 味																																															
15-0	CSn3- CSn0	各ビットをセット（1）すると、カッコ内の条件で VDCSZn 信号がアクティブとなります。																																															
		ビット名	アクティブとなる VDCSZn 信号			64M バイト・モード時	256M バイト・モード時	CS00	VDCSZ0（バンク 0 アクセス時）		CS01	VDCSZ0（バンク 1 アクセス時）		CS02	VDCSZ0（バンク 2 アクセス時）		CS03	VDCSZ0（バンク 3 アクセス時）		CS10	VDCSZ1（バンク 0/1 アクセス時）	VDCSZ1（領域 0 アクセス時） （各ビットのクリア（0）時と同じ）	CS11	VDCSZ1（バンク 2/3 アクセス時）	CS12	VDCSZ1（バンク 4 アクセス時）	CS13	VDCSZ1（バンク 5 アクセス時）	CS20	VDCSZ2（バンク 0 アクセス時）		CS21	VDCSZ2（バンク 1 アクセス時）		CS22	VDCSZ2（バンク 2 アクセス時）		CS23	VDCSZ2（バンク 3 アクセス時）		CS30	VDCSZ3（バンク 0/1/2/3 アクセス時）	VDCSZ3（領域 1 アクセス時） （各ビットのクリア（0）時と同じ）	CS31	VDCSZ3（バンク 4/5 アクセス時）	CS32	VDCSZ3（バンク 6 アクセス時）	CS33	VDCSZ3（バンク 7 アクセス時）
		ビット名	アクティブとなる VDCSZn 信号																																														
			64M バイト・モード時	256M バイト・モード時																																													
		CS00	VDCSZ0（バンク 0 アクセス時）																																														
		CS01	VDCSZ0（バンク 1 アクセス時）																																														
		CS02	VDCSZ0（バンク 2 アクセス時）																																														
		CS03	VDCSZ0（バンク 3 アクセス時）																																														
		CS10	VDCSZ1（バンク 0/1 アクセス時）	VDCSZ1（領域 0 アクセス時） （各ビットのクリア（0）時と同じ）																																													
		CS11	VDCSZ1（バンク 2/3 アクセス時）																																														
		CS12	VDCSZ1（バンク 4 アクセス時）																																														
		CS13	VDCSZ1（バンク 5 アクセス時）																																														
		CS20	VDCSZ2（バンク 0 アクセス時）																																														
		CS21	VDCSZ2（バンク 1 アクセス時）																																														
		CS22	VDCSZ2（バンク 2 アクセス時）																																														
		CS23	VDCSZ2（バンク 3 アクセス時）																																														
		CS30	VDCSZ3（バンク 0/1/2/3 アクセス時）	VDCSZ3（領域 1 アクセス時） （各ビットのクリア（0）時と同じ）																																													
		CS31	VDCSZ3（バンク 4/5 アクセス時）																																														
		CS32	VDCSZ3（バンク 6 アクセス時）																																														
		CS33	VDCSZ3（バンク 7 アクセス時）																																														

備考

n = 3-0

図4 - 2 チップ領域セレクト制御レジスタ1 (CSC1)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
CSC1	CS	CS	CS	CS	CS	CS	CS	CS	CS	CS	CS	CS	CS	CS	CS	CS	アドレス	初期値
	43	42	41	40	53	52	51	50	63	62	61	60	73	72	71	70	FFFFFF062H	2C11H

ビット位置	ビット名	意 味																																									
15-0	CSn3- CSn0	各ビットをセット（1）すると，カッコ内の条件で VDCSZn 信号がアクティブとなります。 <table border="1"> <tr> <th>ビット名</th><th colspan="2">アクティブとなる VDCSZn 信号</th></tr> <tr> <td></td><th>64M バイト・モード時</th><th>256M バイト・モード時</th></tr> <tr> <td>CS40</td><td>VDCSZ4 (バンク 12/13/14/15 アクセス時)</td><td rowspan="5">VDCSZ4 (領域 2 アクセス時) (各ビットのクリア (0) 時も同じ)</td></tr> <tr> <td>CS41</td><td>VDCSZ4 (バンク 10/11 アクセス時)</td></tr> <tr> <td>CS42</td><td>VDCSZ4 (バンク 9 アクセス時)</td></tr> <tr> <td>CS43</td><td>VDCSZ4 (バンク 8 アクセス時)</td></tr> <tr> <td>CS50</td><td>VDCSZ5 (バンク 15 アクセス時)</td></tr> <tr> <td>CS51</td><td>VDCSZ5 (バンク 14 アクセス時)</td><td rowspan="5">VDCSZ6 (領域 3 アクセス時) (各ビットのクリア (0) 時も同じ)</td></tr> <tr> <td>CS52</td><td>VDCSZ5 (バンク 13 アクセス時)</td></tr> <tr> <td>CS53</td><td>VDCSZ5 (バンク 12 アクセス時)</td></tr> <tr> <td>CS60</td><td>VDCSZ6 (バンク 14/15 アクセス時)</td></tr> <tr> <td>CS61</td><td>VDCSZ6 (バンク 12/13 アクセス時)</td></tr> <tr> <td>CS62</td><td>VDCSZ6 (バンク 11 アクセス時)</td><td rowspan="6">VDCSZ7 (領域 4 アクセス時) (各ビットのクリア (0) 時も同じ)</td></tr> <tr> <td>CS63</td><td>VDCSZ6 (バンク 10 アクセス時)</td></tr> <tr> <td>CS70</td><td>VDCSZ7 (バンク 15 アクセス時)</td></tr> <tr> <td>CS71</td><td>VDCSZ7 (バンク 14 アクセス時)</td></tr> <tr> <td>CS72</td><td>VDCSZ7 (バンク 13 アクセス時)</td></tr> <tr> <td>CS73</td><td>VDCSZ7 (バンク 12 アクセス時)</td></tr> </table>	ビット名	アクティブとなる VDCSZn 信号			64M バイト・モード時	256M バイト・モード時	CS40	VDCSZ4 (バンク 12/13/14/15 アクセス時)	VDCSZ4 (領域 2 アクセス時) (各ビットのクリア (0) 時も同じ)	CS41	VDCSZ4 (バンク 10/11 アクセス時)	CS42	VDCSZ4 (バンク 9 アクセス時)	CS43	VDCSZ4 (バンク 8 アクセス時)	CS50	VDCSZ5 (バンク 15 アクセス時)	CS51	VDCSZ5 (バンク 14 アクセス時)	VDCSZ6 (領域 3 アクセス時) (各ビットのクリア (0) 時も同じ)	CS52	VDCSZ5 (バンク 13 アクセス時)	CS53	VDCSZ5 (バンク 12 アクセス時)	CS60	VDCSZ6 (バンク 14/15 アクセス時)	CS61	VDCSZ6 (バンク 12/13 アクセス時)	CS62	VDCSZ6 (バンク 11 アクセス時)	VDCSZ7 (領域 4 アクセス時) (各ビットのクリア (0) 時も同じ)	CS63	VDCSZ6 (バンク 10 アクセス時)	CS70	VDCSZ7 (バンク 15 アクセス時)	CS71	VDCSZ7 (バンク 14 アクセス時)	CS72	VDCSZ7 (バンク 13 アクセス時)	CS73	VDCSZ7 (バンク 12 アクセス時)
ビット名	アクティブとなる VDCSZn 信号																																										
	64M バイト・モード時	256M バイト・モード時																																									
CS40	VDCSZ4 (バンク 12/13/14/15 アクセス時)	VDCSZ4 (領域 2 アクセス時) (各ビットのクリア (0) 時も同じ)																																									
CS41	VDCSZ4 (バンク 10/11 アクセス時)																																										
CS42	VDCSZ4 (バンク 9 アクセス時)																																										
CS43	VDCSZ4 (バンク 8 アクセス時)																																										
CS50	VDCSZ5 (バンク 15 アクセス時)																																										
CS51	VDCSZ5 (バンク 14 アクセス時)	VDCSZ6 (領域 3 アクセス時) (各ビットのクリア (0) 時も同じ)																																									
CS52	VDCSZ5 (バンク 13 アクセス時)																																										
CS53	VDCSZ5 (バンク 12 アクセス時)																																										
CS60	VDCSZ6 (バンク 14/15 アクセス時)																																										
CS61	VDCSZ6 (バンク 12/13 アクセス時)																																										
CS62	VDCSZ6 (バンク 11 アクセス時)	VDCSZ7 (領域 4 アクセス時) (各ビットのクリア (0) 時も同じ)																																									
CS63	VDCSZ6 (バンク 10 アクセス時)																																										
CS70	VDCSZ7 (バンク 15 アクセス時)																																										
CS71	VDCSZ7 (バンク 14 アクセス時)																																										
CS72	VDCSZ7 (バンク 13 アクセス時)																																										
CS73	VDCSZ7 (バンク 12 アクセス時)																																										

備考 n = 4-7

例 1. 64M バイト・モード時の CSC0, CSC1 レジスタの設定例と設定後のメモリ・マップを次に示します。

図4 - 3 CSC0, CSC1レジスタ設定例 (64Mバイト・モード時) (1/3)

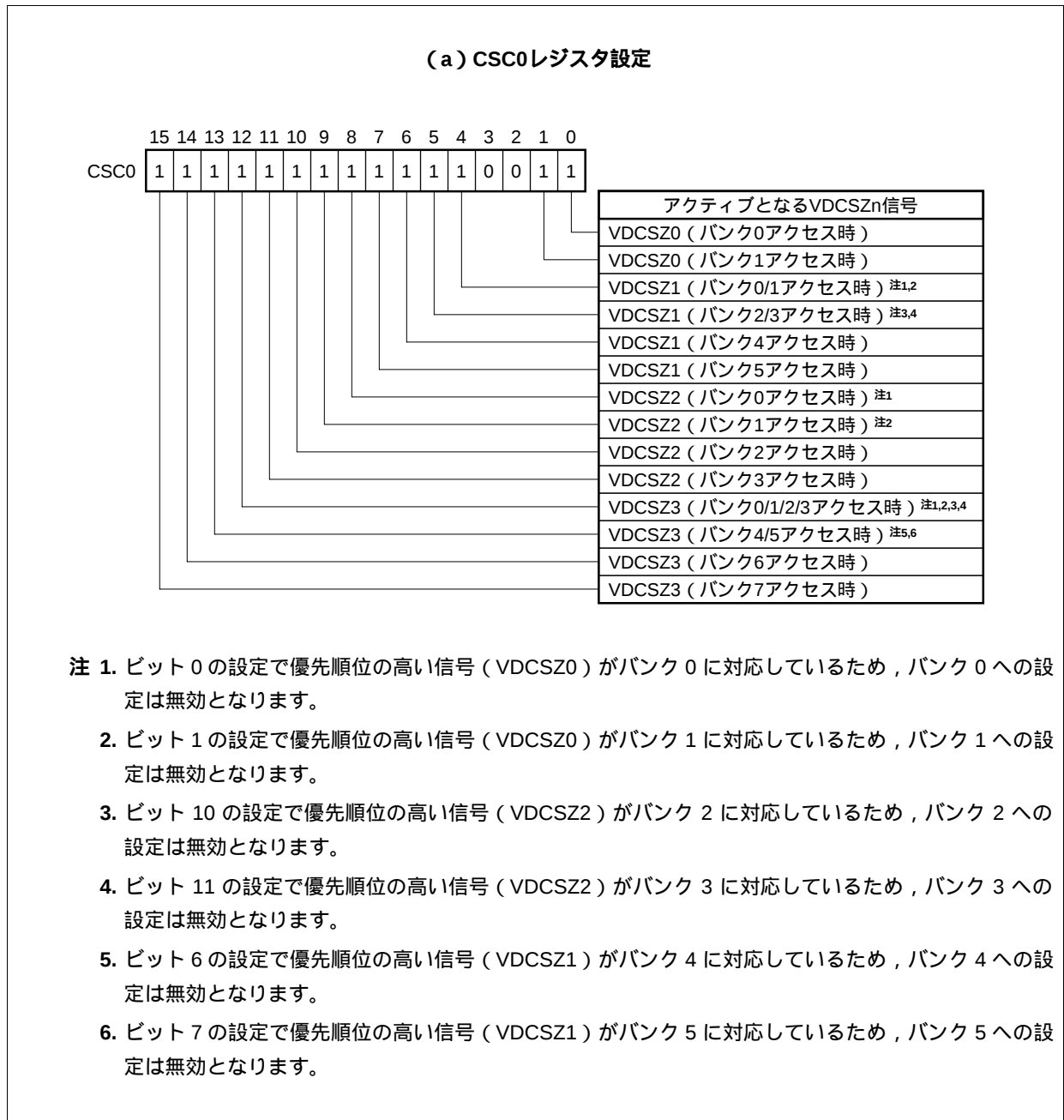
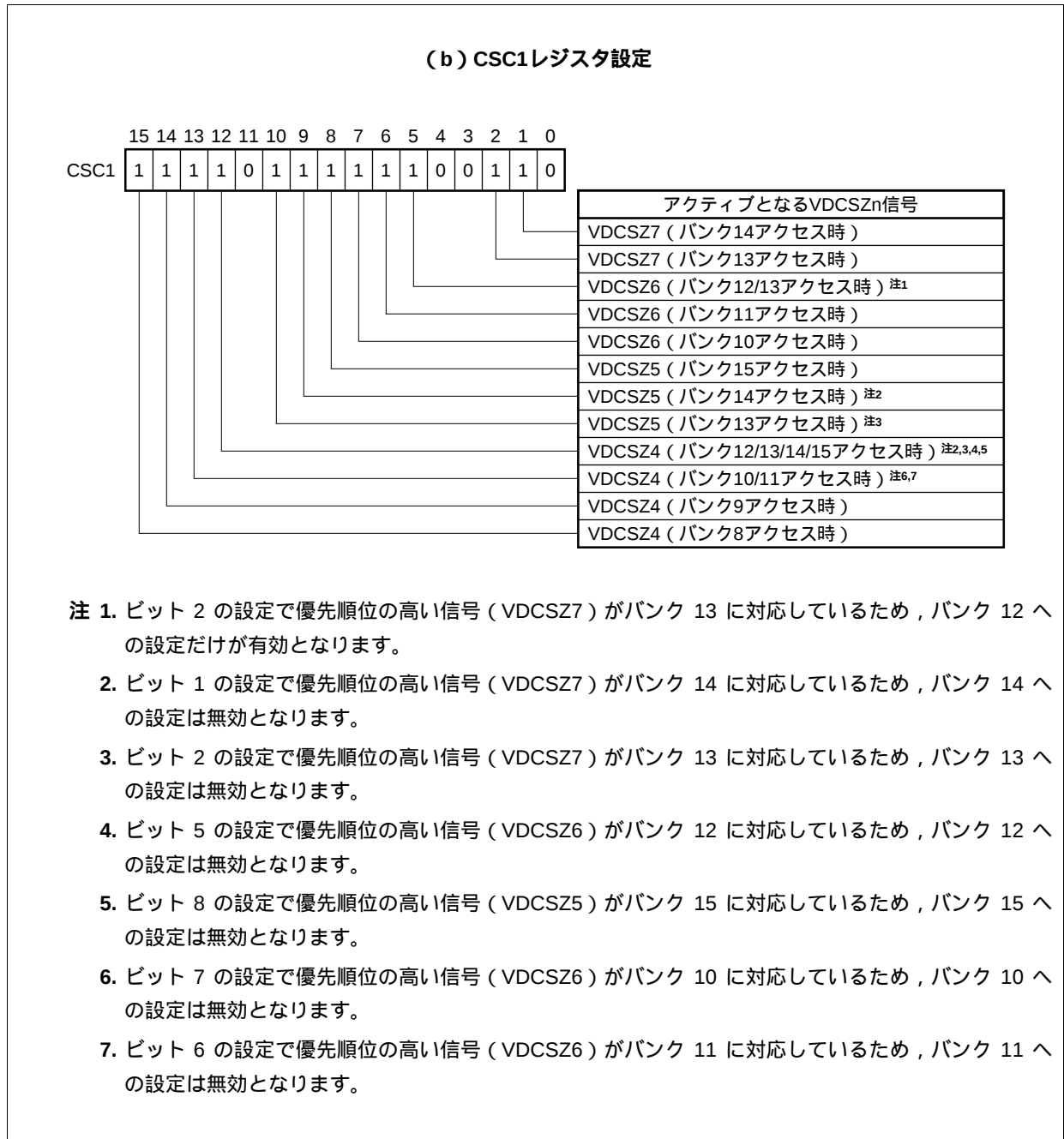


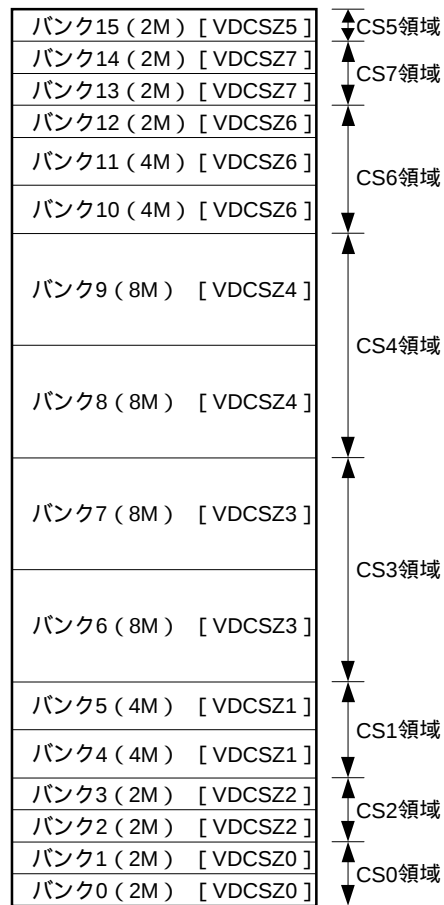
図4 - 3 CSC0, CSC1レジスタ設定例（64Mバイト・モード時）（2/3）



- 注 1.** ビット 2 の設定で優先順位の高い信号（VDCSZ7）がバンク 13 に対応しているため、バンク 12 への設定だけが有効となります。
- 2.** ビット 1 の設定で優先順位の高い信号（VDCSZ7）がバンク 14 に対応しているため、バンク 14 への設定は無効となります。
- 3.** ビット 2 の設定で優先順位の高い信号（VDCSZ7）がバンク 13 に対応しているため、バンク 13 への設定は無効となります。
- 4.** ビット 5 の設定で優先順位の高い信号（VDCSZ6）がバンク 12 に対応しているため、バンク 12 への設定は無効となります。
- 5.** ビット 8 の設定で優先順位の高い信号（VDCSZ5）がバンク 15 に対応しているため、バンク 15 への設定は無効となります。
- 6.** ビット 7 の設定で優先順位の高い信号（VDCSZ6）がバンク 10 に対応しているため、バンク 10 への設定は無効となります。
- 7.** ビット 6 の設定で優先順位の高い信号（VDCSZ6）がバンク 11 に対応しているため、バンク 11 への設定は無効となります。

図4 - 3 CSC0, CSC1レジスタ設定例 (64Mバイト・モード時) (3/3)

(c) メモリ・マップ



備考 () 内は各バンクのサイズを示します (単位: バイト)。

[] 内は対応する VDCSZn 信号を示します (n = 7-0)。

例 2. 256M バイト・モード時の CSC0, CSC1 レジスタの設定例と設定後のメモリ・マップを次に示します。

図4 - 4 CSC0, CSC1レジスタ設定例 (256Mバイト・モード時) (1/2)

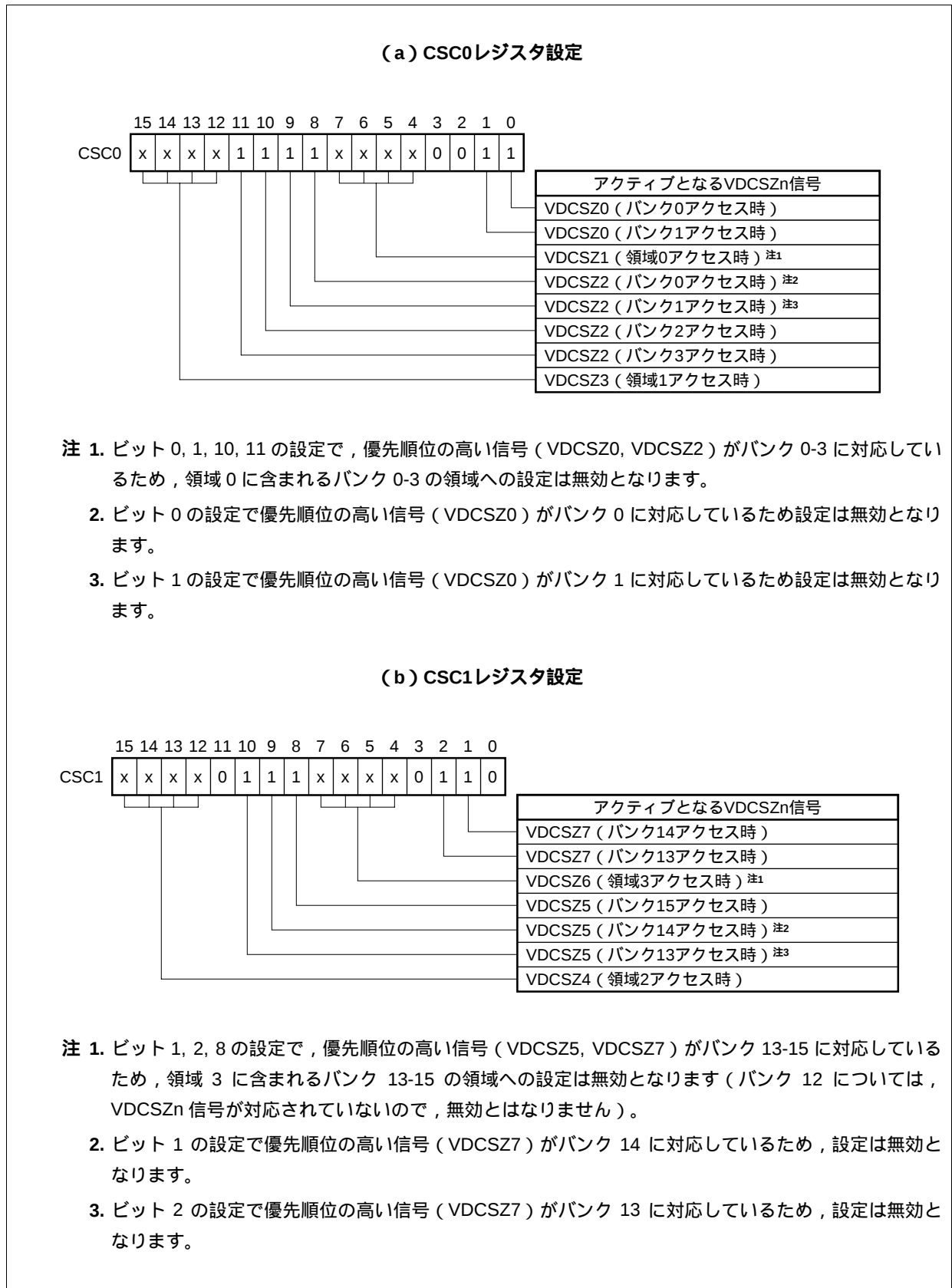
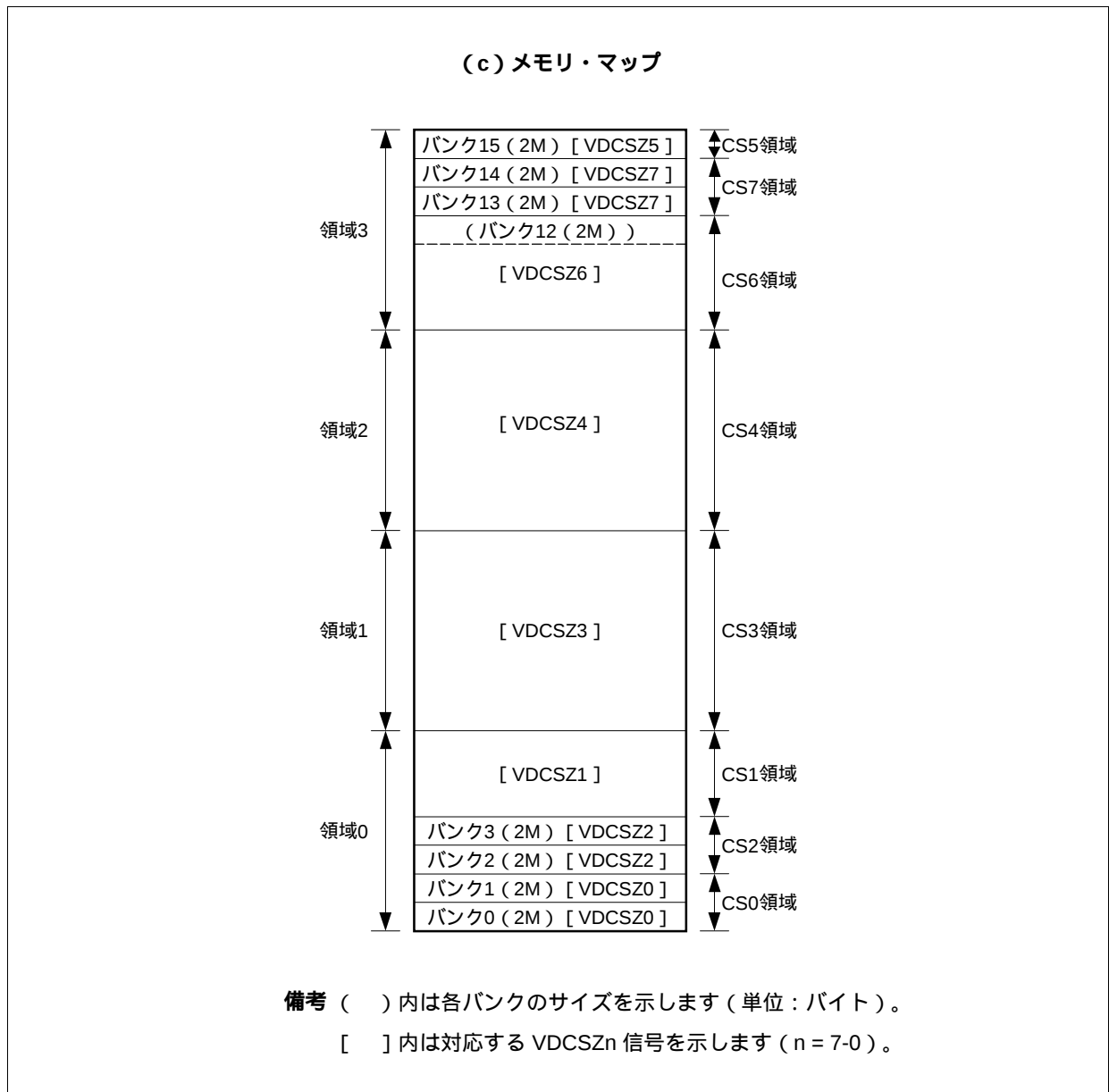


図4 - 4 CSC0, CSC1レジスタ設定例 (256Mバイト・モード時) (2/2)



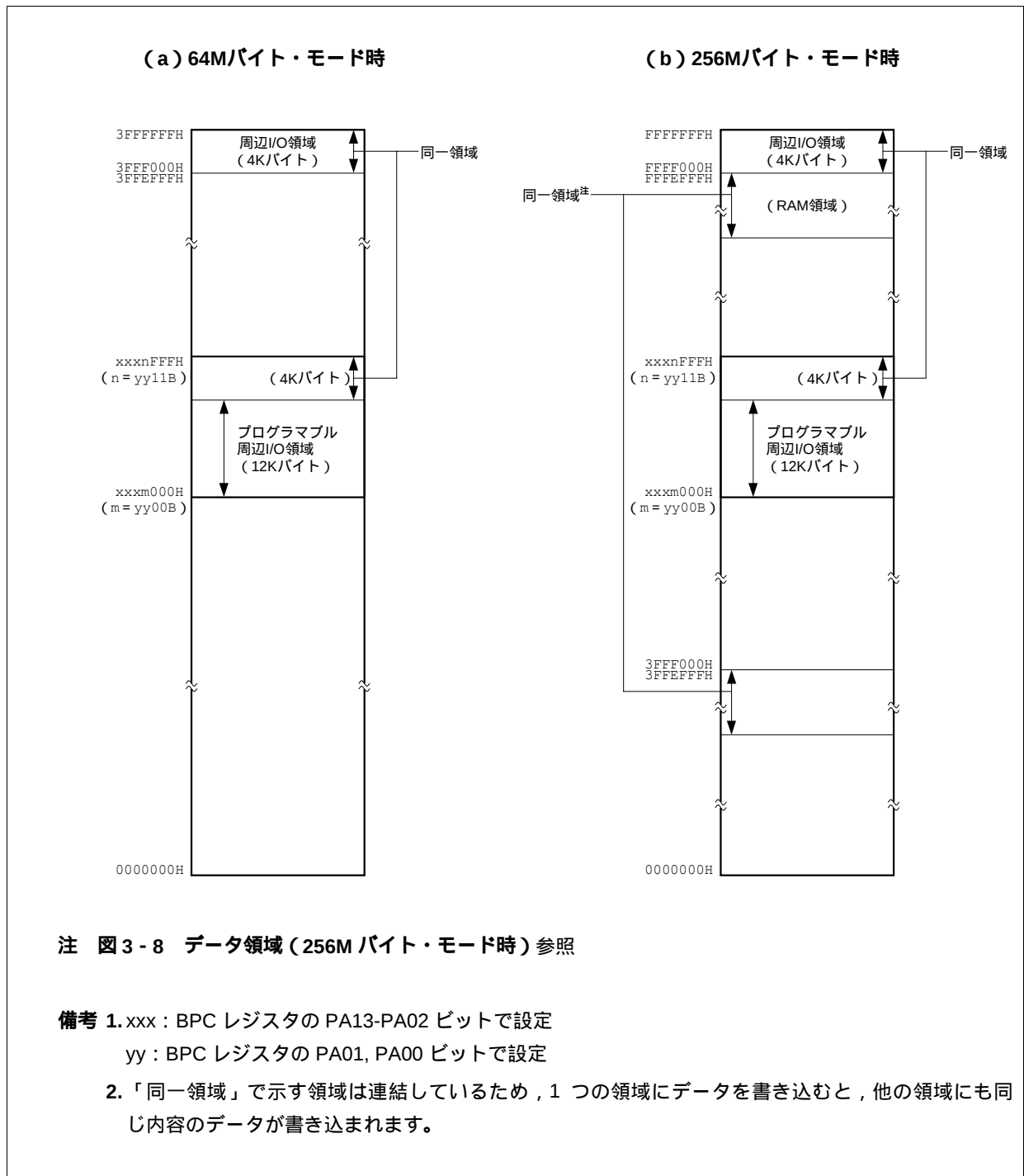
4.4 プログラマブル周辺 I/O 領域選択機能

NB85E には、アドレス空間上にあらかじめ割り付けられた 4K バイトの「周辺 I/O 領域」と、レジスタ設定により任意の番地に割り付けることのできる 12K バイトの「プログラマブル周辺 I/O 領域」があります。

NPB に接続する周辺マクロやユーザ・ロジックのレジスタは、プログラマブル周辺 I/O 領域上に自由に配置できます。

注意 プログラマブル周辺 I/O 領域は、リトル・エンディアンかつ命令 / データ・キャッシュ不可の設定を行った CSn 領域に割り付けてください (n = 7-0)。

図4-5 周辺I/O領域とプログラマブル周辺I/O領域



プログラマブル周辺 I/O 領域は, 周辺 I/O 領域セレクト制御レジスタ (BPC) の PA00-PA13 ビットに先頭アドレスの上位 14 ビット (ビット 27-ビット 14) を指定し, PA15 ビットをセット (1) することにより使用可能となります。BPC レジスタは, 16 ビット単位でリード/ライト可能です。

なお, VDCSZn 信号で選択される各 CSn 領域とプログラマブル周辺 I/O 領域の優先順位は次のようになります (n = 7-0)。

プログラマブル周辺 I/O 領域 > VDCSZn 信号で選択される各 CSn 領域

注意 1. 64M バイト・モード時，プログラマブル周辺 I/O 領域が次の各領域と重なった場合，プログラマブル周辺 I/O 領域は無効となります。

- 周辺 I/O 領域
- ROM 領域
- RAM 領域

2. 256M バイト・モード時，プログラマブル周辺 I/O 領域が次の各領域と重なった場合，プログラマブル周辺 I/O 領域は無効となります。

- 周辺 I/O 領域
- ROM 領域
- RAM 領域
- 3FFFFFFH 番地以下の RAM 領域との同一領域
(図 3 - 8 データ領域 (256M バイト・モード時) 参照)

3. NPB に接続する周辺マクロやユーザ・ロジックがない場合，プログラマブル周辺 I/O 領域の設定を行う必要はありません (BPC レジスタは初期値の状態にしてください)。

4. プログラマブル周辺 I/O 領域に対するアクセスでは，VDCSZn 信号はすべてインアクティブ (ハイ・レベル) が出力されます (n = 7-0)。

5. プログラマブル周辺 I/O 領域のアドレス設定は，1 回だけ設定可能です。プログラムの途中でアドレスを変更しないでください。

図4 - 6 周辺I/O領域セレクト制御レジスタ (BPC)

BPC	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	PA 15	0	PA 13	PA 12	PA 11	PA 10	PA 09	PA 08	PA 07	PA 06	PA 05	PA 04	PA 03	PA 02	PA 01	PA 00		
																	FFFFFF064H	0000H

ビット位置	ビット名	意 味
15	PA15	プログラマブル周辺 I/O 領域へのアクセスを設定します。 0 : アクセス不可 1 : アクセス可能
13-0	PA13-PA00	プログラマブル周辺 I/O 領域の先頭アドレスのビット 27-ビット 14 を指定します (他のビットは 0 に固定)。

注意 ビット 14 には，必ず 0 を設定してください。1 を設定した場合の動作は保証しません。

4.5 バス・サイズ設定機能

チップ・セレクト信号 (VDCSZn) で選択される CSn 領域 (図 4 - 3, 図 4 - 4 参照) ごとに, VSB のデータ・バス・サイズをバス・サイズ・コンフィギュレーション・レジスタ (BSC) で設定します (n = 7-0)。

BSC レジスタは, 16 ビット単位でリード/ライト可能です。

図4 - 7 バス・サイズ・コンフィギュレーション・レジスタ (BSC)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
BSC	BS	BS	BS	BS	BS	BS	BS	BS	BS	BS	BS	BS	BS	BS	BS	BS	アドレス	初期値
	71	70	61	60	51	50	41	40	31	30	21	20	11	10	01	00	FFFFFF066H	注

ビット位置	ビット名	意 味															
15-0	BSn1, BSn0	CSn 領域に配置された VSB 上の周辺マクロとのデータ・バス・サイズを指定します。 <table border="1"> <tr> <th>BSn1</th><th>BSn0</th><th>VSB データ・バス・サイズ</th></tr> <tr> <td>0</td><td>0</td><td>8 ビット</td></tr> <tr> <td>0</td><td>1</td><td>16 ビット</td></tr> <tr> <td>1</td><td>0</td><td>32 ビット</td></tr> <tr> <td>1</td><td>1</td><td>設定禁止</td></tr> </table>	BSn1	BSn0	VSB データ・バス・サイズ	0	0	8 ビット	0	1	16 ビット	1	0	32 ビット	1	1	設定禁止
BSn1	BSn0	VSB データ・バス・サイズ															
0	0	8 ビット															
0	1	16 ビット															
1	0	32 ビット															
1	1	設定禁止															

備考 n = 7-0

注 IFINSZ1, IFINSZ0 端子への入力レベルによって, 初期値は次のように異なります。

IFINSZ1	IFINSZ0	VSB データ・バス・サイズ	初期値
ロウ・レベル	ロウ・レベル	32 ビット	AAAAH
ロウ・レベル	ハイ・レベル	16 ビット	5555H
ハイ・レベル	ロウ・レベル	8 ビット	0000H

例 同一 CSn 領域において, ブート ROM が 16 ビット幅で, そのほかの領域のメモリが 32 ビット幅の場合, 初期状態は 16 ビット幅で起動し (IFINSZ1 端子にロウ・レベル, IFINSZ0 端子にハイ・レベルを入力), その後, BSC レジスタで 32 ビット幅に切り替えて使用します。

4.6 エンディアン設定機能

チップ・セレクト信号 (VDCSZn) で選択される CSn 領域 (図 4 - 3, 図 4 - 4 参照) ごとに, メモリ内のワード・データのエンディアン形式をエンディアン・コンフィギュレーション・レジスタ (BEC) により設定します (n = 7-0)。

BEC レジスタは, 16 ビット単位でリード/ライト可能です。

注意1. プログラマブル周辺 I/O 領域が設定された CSn 領域に対しては, 必ずリトル・エンディアン形式の設定を行ってください (n=7-0)。

2. 次の各領域は, リトル・エンディアン形式固定です。BEC レジスタによるビッグ・エンディアン形式の設定は無効となります。

- 周辺 I/O 領域
- ROM 領域
- RAM 領域
- 3FFEFFFH 番地以下の RAM 領域との同一領域 (256M バイト・モード時)
(図 3 - 8 データ領域 (256M バイト・モード時) 参照)
- 外部メモリのフェッチ領域 (VBBSTR 信号がアクティブのとき)

図4 - 8 エンディアン・コンフィギュレーション・レジスタ (BEC)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
BEC	0	BE	0	BE	0	BE	0	BE	0	BE	0	BE	0	BE	0	BE	FFFFF068H	0000H

ビット位置	ビット名	意 味						
14, 12, 10, 8, 6, 4, 2, 0	BEn0	CSn 領域のワード・データのエンディアン形式を設定します。						
		<table><tr><td>BEn0</td><td>エンディアン形式</td></tr><tr><td>0</td><td>リトル・エンディアン形式（図 4 - 9 参照）</td></tr><tr><td>1</td><td>ビッグ・エンディアン形式（図 4 - 10 参照）</td></tr></table>	BEn0	エンディアン形式	0	リトル・エンディアン形式（図 4 - 9 参照）	1	ビッグ・エンディアン形式（図 4 - 10 参照）
		BEn0	エンディアン形式					
		0	リトル・エンディアン形式（図 4 - 9 参照）					
1	ビッグ・エンディアン形式（図 4 - 10 参照）							

備考 n = 7-0

注意 ビット 15, 13, 11, 9, 7, 5, 3, 1 には, 必ず 0 を設定してください。

1 を設定した場合の動作は保証しません。

図4 - 9 ワード・データのリトル・エンディアン形式例

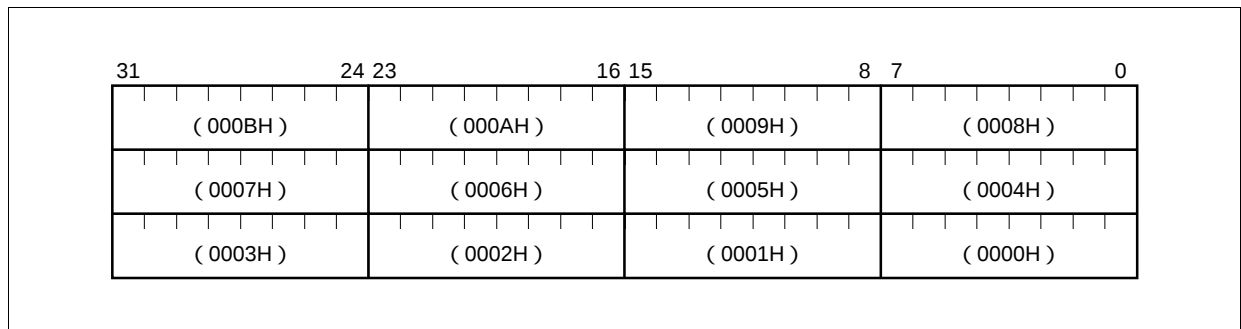
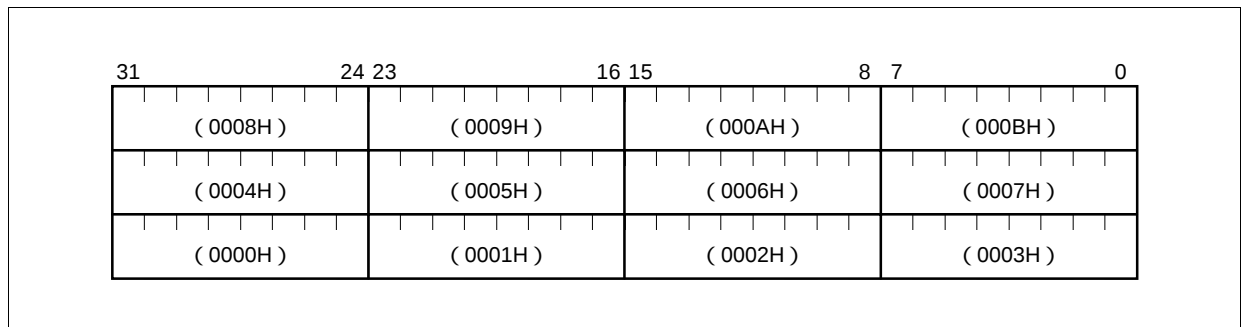


図4 - 10 ワード・データのビッグ・エンディアン形式例



4. 6. 1 NEC 製開発ツールにおけるビッグ・エンディアン形式の使用制限

(1) デバッガ (ID850) 使用時

メモリ・ウインドウの表示だけビッグ・エンディアン形式に対応します。

(2) コンパイラ (CA850) 使用時

(a) C 言語上の制限

(i) ビッグ・エンディアン空間に配置する (される) 変数に次の制限が付きます。

<1> union が使えない。

<2> bitfield が使えない。

<3> キャストによる (アクセス・サイズを変えた) アクセスが使えない。

<4> 初期値あり変数が使えない。

(ii) 最適化によりアクセス・サイズの変更が起こる可能性があるので、次に示す最適化抑止オプションを指定する必要があります。

- 広域最適化部 (opt850) 用 -Wo, -XTb
- 機種依存最適化部 (impr850) 用 -Wi, +arg_reg_opt=OFF, +stdl_trans_opt=OFF

ただし、キャストしてアクセスまたはマスク/シフトしてアクセスという使い方をしていない場合^注は、上記の最適化抑止オプションの指定は不要です。

注 次に示す最適化が起こるようなパターンの使い方がないことが条件となります。ただし、おのおの（特に機種依存最適化部）のパターンが組み合わさった状態など、ユーザ側での完璧なチェックは非常に困難です。したがって、上記の最適化抑止オプションの指定を推奨します。

<1> 広域最適化部関連

- bit or を使用した 1 ビット・セット

```
int i;
i ^= 1;
```
- bit and を使用した 1 ビット・クリア

```
i &= ~1;
```
- bit xor を使用した 1 ビット・ノット

```
i ^= 1;
```
- bit and を使用した 1 ビット・テスト

```
if(i & 1);
```

<2> 機種依存最適化部関連

同一の変数を異なるサイズでアクセスするような使い方

- キャスト
- マスク
- シフト

例

```
int i, *ip;
char c;
:
:
c=*((char*)ip);
:
:
c = 0xff & i;
:
:
i = ( i << 24 ) >> 24;
```

(b) アセンブリ言語上の制限

ビッグ・エンディアン空間に配置する変数にはバイト・サイズ以外の領域確保疑似命令（.hword, .word, .float, .shword）が使えません。

4.7 キャッシュ・コンフィギュレーション

チップ・セレクト信号 (VDCSZn) で選択される CSn 領域 (図 4-3, 図 4-4 参照) ごとに, キャッシュ・メモリの構成をキャッシュ・コンフィギュレーション・レジスタ (BHC) により設定します (n = 7-0)。

BHC レジスタは, 16 ビット単位でリード/ライト可能です。

注意1. ビッグ・エンディアン形式の CSn 領域と次の領域が設定された CSn 領域は, 必ず, キャッシュ不可の設定を行ってください (n = 7-0)。

- ROM 領域
- RAM 領域
- 周辺 I/O 領域
- プログラマブル周辺 I/O 領域

2. 命令/データ・キャッシュ可能な設定 (BHn0/BHn1 ビットのセット (1)) は, IFIUNCH0 端子または IFIUNCH1 端子にロウ・レベルが入力されている (キャッシュ許可に設定されている) 場合だけ有効です。それ以外の場合は, BHn0/BHn1 ビットをセット (1) しても無効となります (n = 7-0)。
3. データ・キャッシュを使用する場合は, データ・キャッシュのデータ・キャッシュ・コントロール・レジスタ (DCC) を設定してから, このレジスタを設定してください。

図4-11 キャッシュ・コンフィギュレーション・レジスタ (BHC)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
BHC	BH	BH	BH	BH	BH	BH	BH	BH	BH	BH	BH	BH	BH	BH	BH	BH	アドレス	初期値
	71	70	61	60	51	50	41	40	31	30	21	20	11	10	01	00	FFFFFF06AH	0000H

ビット位置	ビット名	意 味						
15, 13, 11, 9, 7, 5, 3, 1	BHn1	CSn 領域に配置されたデータ・キャッシュの設定を行います。 <table> <tr> <th>BHn1</th> <th>データ・キャッシュ設定</th> </tr> <tr> <td>0</td> <td>キャッシュ不可</td> </tr> <tr> <td>1</td> <td>キャッシュ可能</td> </tr> </table>	BHn1	データ・キャッシュ設定	0	キャッシュ不可	1	キャッシュ可能
BHn1	データ・キャッシュ設定							
0	キャッシュ不可							
1	キャッシュ可能							
14, 12, 10, 8, 6, 4, 2, 0	BHn0	CSn 領域に配置された命令キャッシュの設定を行います。 <table> <tr> <th>BHn0</th> <th>命令キャッシュ設定</th> </tr> <tr> <td>0</td> <td>キャッシュ不可</td> </tr> <tr> <td>1</td> <td>キャッシュ可能</td> </tr> </table>	BHn0	命令キャッシュ設定	0	キャッシュ不可	1	キャッシュ可能
BHn0	命令キャッシュ設定							
0	キャッシュ不可							
1	キャッシュ可能							

備考 n = 7-0

4.8 BCU 関連レジスタ設定例

図4-3 CSC0, CSC1 レジスタ設定例 (64M バイト・モード時) の内容でデータ領域が設定されている場合の, BPC, BSC, BEC, BHC レジスタの設定例と各 CSn 領域ごとの設定内容, およびメモリ・マップを図4-12に示します (n = 7-0)。

図4-12 BPC, BSC, BEC, BHCレジスタ設定例 (1/3)

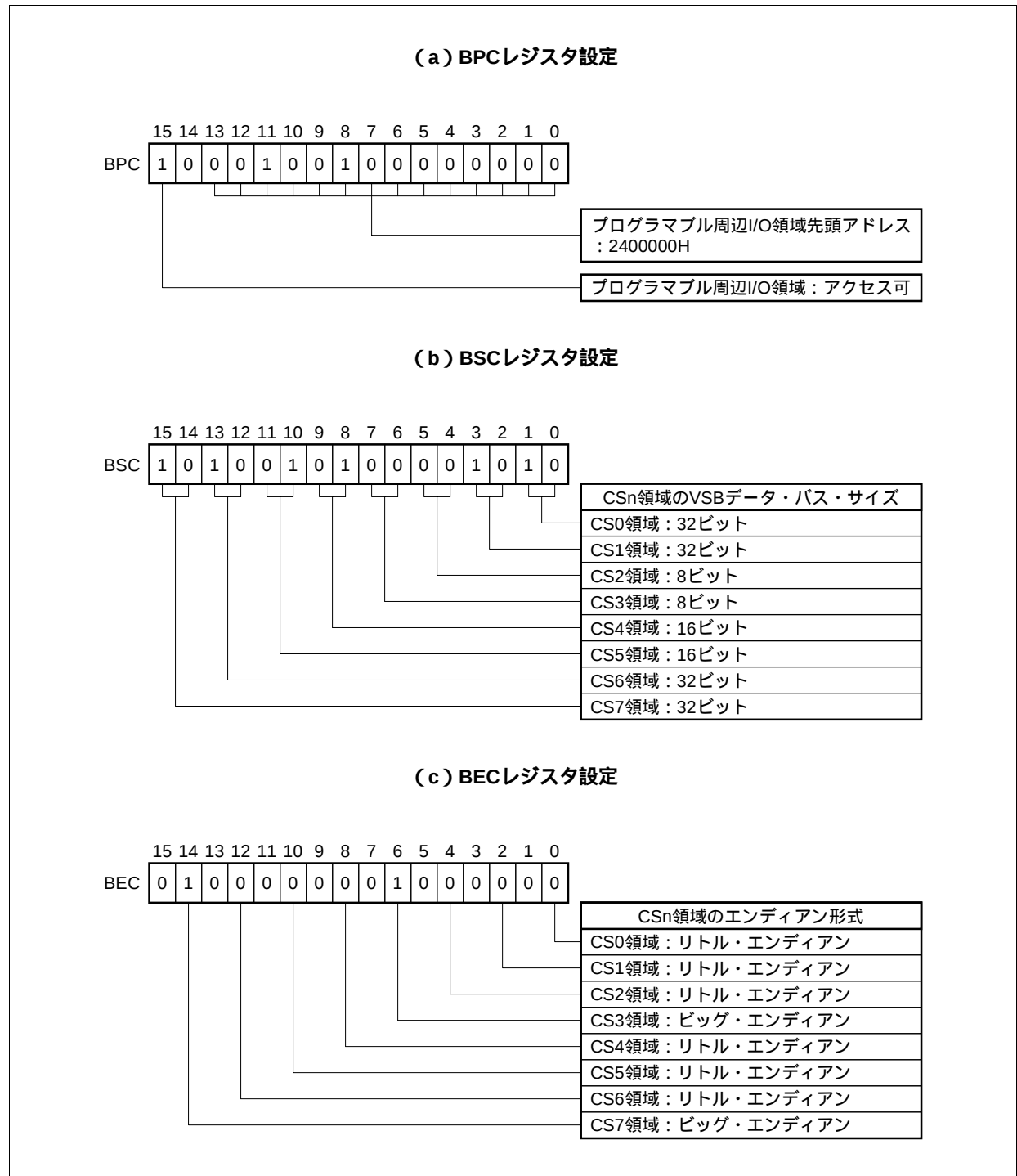
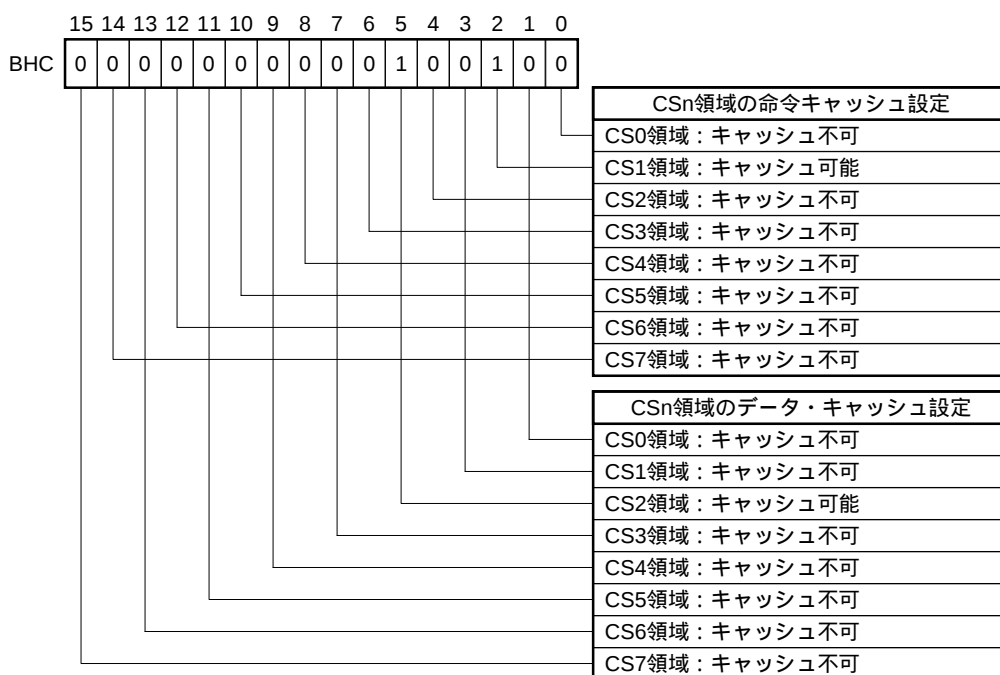


図4 - 12 BPC, BSC, BEC, BHCレジスタ設定例 (2/3)

(d) BHCレジスタ設定



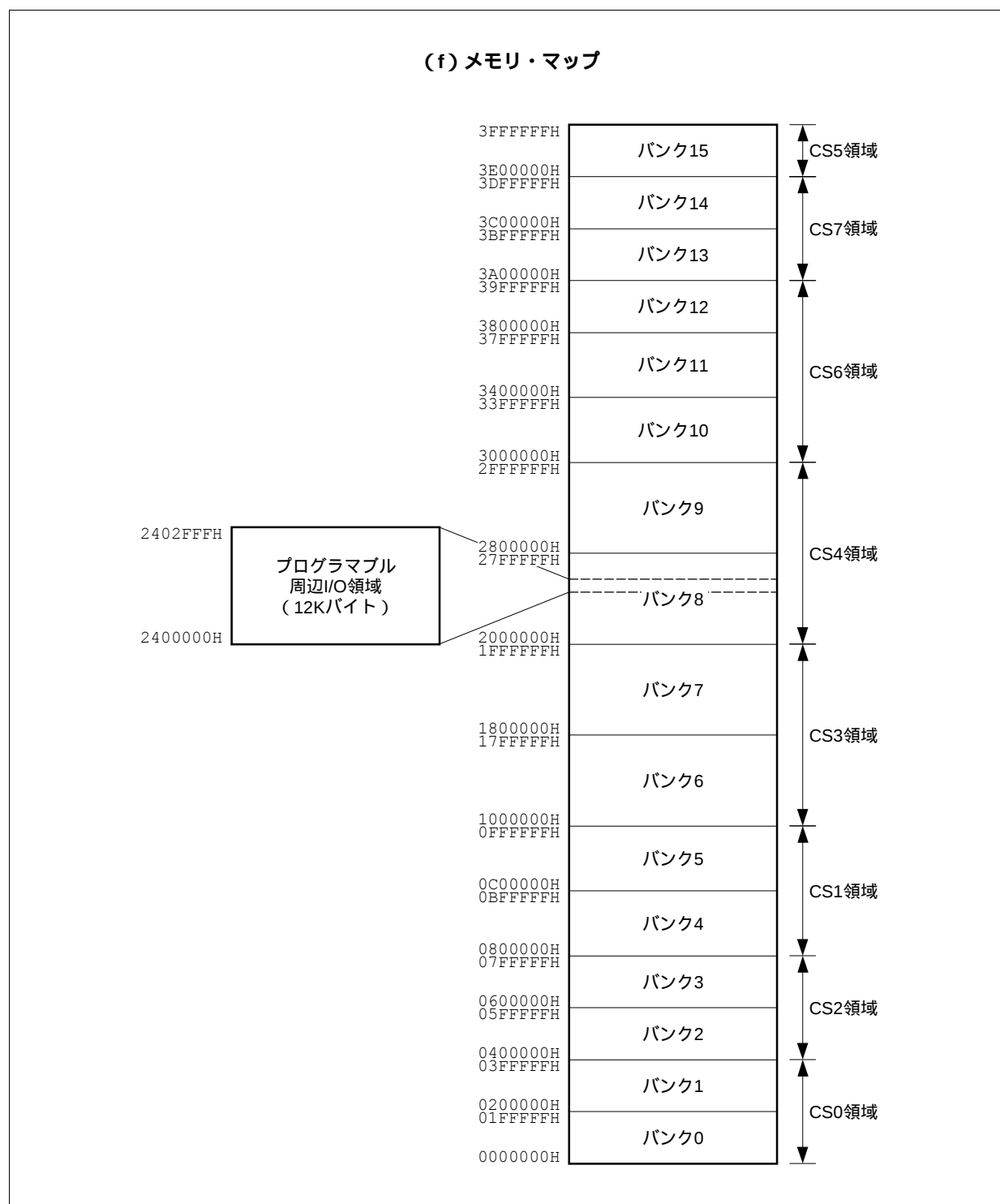
(e) 各CSn領域の設定内容

CSn 領域	アドレス	バンク	VDCSZ n 信号	VSB データ・バス・サイズ (ビット)	エンディアン形式	キャッシュ設定	
						命令	データ
0	0000000H-03FFFFFFH	0, 1	VDCSZ0	32	リトル・エンディアン	×	×
1	0800000H-0FFFFFFFH	4, 5	VDCSZ1	32	リトル・エンディアン	○	×
2	0400000H-07FFFFFFH	2, 3	VDCSZ2	8	リトル・エンディアン	×	○
3	1000000H-1FFFFFFFH	6, 7	VDCSZ3	8	ビッグ・エンディアン	×	×
4	2000000H-2FFFFFFFH	8, 9	VDCSZ4	16	リトル・エンディアン	×	×
5	3E00000H-3FFFFFFFH	15	VDCSZ5	16	リトル・エンディアン	×	×
6	3000000H-39FFFFFFFH	10-12	VDCSZ6	32	リトル・エンディアン	×	×
7	3A00000H-3DFFFFFFFH	13, 14	VDCSZ7	32	ビッグ・エンディアン	×	×

備考 ○：キャッシュ設定可能

×：キャッシュ設定不可

図4 - 12 BPC, BSC, BEC, BHCレジスタ設定例 (3/3)

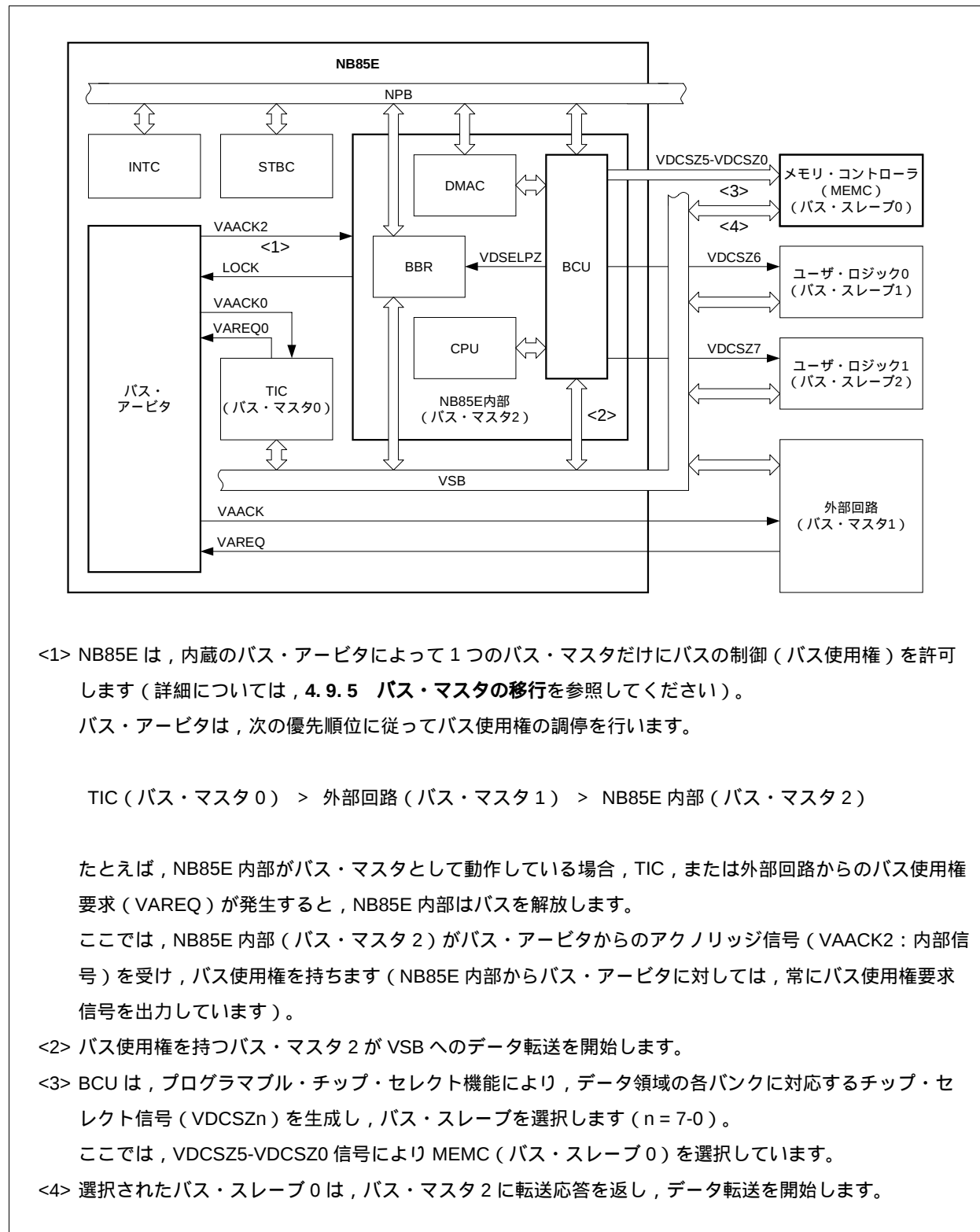


4.9 VSB によるデータ転送

4.9.1 データ転送例

この項では、VSB に接続しているバス・マスタとバス・スレーブ間のデータ転送手順を図4-13に示す回路を例として説明します。

図4-13 VSBによるデータ転送例



4.9.2 制御信号

バス使用权を持つバス・マスタは、各種の制御信号を出力することにより、現在実行されている転送の内容を示します。

(1) 転送タイプ

転送の開始時に、VBTTYP1, VBTTYP0 信号を出力して転送タイプを示します。

表4 - 1 VBTTYP1, VBTTYP0信号

VBTTYP1	VBTTYP0	転送タイプ
L	L	アドレス・オンリー転送（データ処理を行わない転送）
H	L	ノンシーケンシャル転送（シングル転送、またはバースト転送）
H	H	シーケンシャル転送 （現在転送されているアドレスが前回転送時のアドレスに関係する転送）
L	H	（将来の機能拡張のための予約）

備考 L：ロウ・レベル H：ハイ・レベル

(2) バス・サイクル・タイプ

VBCTYP2-VBCTYP0 信号により、現在のバス・サイクルの状態を示します。

表4 - 2 VBCTYP2-VBCTYP0信号

VBCTYP2	VBCTYP1	VBCTYP0	バス・サイクルの状態
L	L	L	オペコード・フェッチ
L	L	H	データ・アクセス
L	H	L	ミス・アライン・アクセス ^注
L	H	H	リード・モディファイ・ライト・アクセス
H	L	L	分岐命令による飛び先アドレスのオペコード・フェッチ
H	H	L	DMA の 2 サイクル転送
H	H	H	DMA のフライバイ転送
H	L	H	（将来の機能拡張のための予約）

注 IFIMAEN 端子にハイ・レベルが入力されている（ミス・アライン・アクセス許可）ときだけ出力されます。

備考 L：ロウ・レベル H：ハイ・レベル

(3) バイト・イネーブル

VBENZ3-VBENZ0 信号により、データ・バス（VBD31-VBD0）をバイト単位に 4 分割したバイト・データを示します。

表4 - 3 VBBENZ3-VBBENZ0信号

アクティブ（ロウ・レベル出力）となる信号	有効バイト・データ
VBBENZ0	VBD7-VBD0
VBBENZ1	VBD15-VBD8
VBBENZ2	VBD23-VBD16
VBBENZ3	VBD31-VBD24

(4) 転送サイズ

VBSIZE1, VBSIZE0 信号により転送サイズを示します。

表4 - 4 VBSIZE1, VBSIZE0信号

VBSIZE1	VBSIZE0	説 明
L	L	バイト（8 ビット）
L	H	ハーフワード（16 ビット）
H	L	ワード（32 ビット）
H	H	（将来の機能拡張のための予約）

備考 L：ロウ・レベル H：ハイ・レベル

(5) シーケンシャル・ステータス

VBSEQ2-VBSEQ0 信号により、バースト転送の開始時には、「バースト転送の長さ」を、バースト転送時には「連続」を、バースト転送の最後には、「シングル転送」を示します。

表4 - 5 VBSEQ2-VBSEQ0信号

VBSEQ2	VBSEQ1	VBSEQ0	シーケンシャル・ステータス
L	L	L	シングル転送
L	L	H	連続（次回の転送アドレスは現在の転送アドレスに関係することを示す） ^注
L	H	L	連続 4 回 （バースト転送の長さ：4）
L	H	H	連続 8 回 （ " : 8 ）
H	L	L	連続 16 回 （ " : 16 ）
H	L	H	連続 32 回 （ " : 32 ）
H	H	L	連続 64 回 （ " : 64 ）
H	H	H	連続 128 回 （ " : 128 ）

注 連続 2 回，または連続 4, 8, 16, 32, 64, 128 回転送の途中で出力されます。

備考 L：ロウ・レベル H：ハイ・レベル

(6) 転送ステータス

バス・スレーブから出力される VBWAIT, VBAHLD, VBLAST 信号により転送ステータスが示されます。これらの信号は、VBCLK 信号がロウ・レベルの間だけ有効になります。

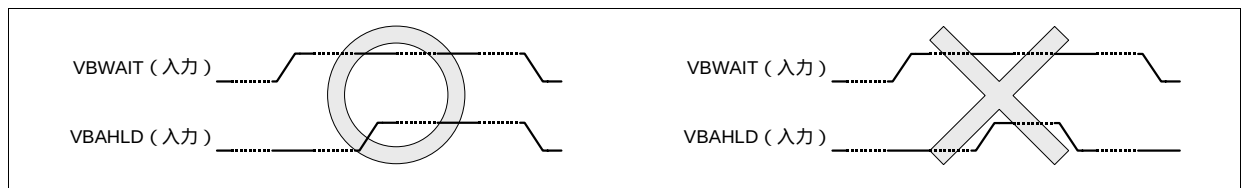
表4 - 6 VBWAIT, VBAHLD, VBLAST信号

VBWAIT	VBAHLD	VBLAST	説 明
L	L	L	現在の転送が完了となる状態（レディ状態）
L	L	H	ラスト応答（バースト転送の最終応答状態）
H	L	L	ウェイト応答（ウェイト状態）
H	H	L	アドレスと制御信号を保持（アドレス・ホールド状態）
上記以外			（将来の機能拡張のための予約）

備考 L：ロウ・レベル H：ハイ・レベル

注意 VBAHLD 信号は、一度アクティブ・レベル（H）にしたら、VBWAIT 信号がインアクティブ・レベル（L）になるまで、アクティブ・レベル（H）を保持してください。

バス・サイクルの途中で、アドレス・ホールド状態からウェイト状態に戻すことはできません。



（7）転送方向

VBWRITE 信号により転送方向を示します。ライト時にハイ・レベルになります。

4.9.3 リード/ライト・タイミング

（1）リード・タイミング

リード・データは、バス・スレーブへのアドレス出力終了直後に、VBCLK 信号の立ち上がり同期してバス・スレーブ側から出力され、直後の VBCLK 信号の最初の立ち下がり同期してバス・マスタが取り込み（サンプリング）を行います。ただし、VBAHLD 信号のアクティブ・レベル（ハイ・レベル）が入力された場合は、VBAHLD 信号のアクティブ・レベル入力直後に VBCLK 信号の立ち上がり同期してバス・スレーブからデータ出力が行われ、直後の VBCLK 信号の最初の立ち下がり同期してバス・マスタがデータの取り込み（サンプリング）を行います。

（2）ライト・タイミング

ライト・データは、バス・スレーブへアドレス出力してから 1 クロック後に、VBCLK 信号の立ち上がり同期してバス・マスタから出力されます。

次ページ以降に VSB に接続されたバス・マスタとバス・スレーブのリード/ライト・タイミングを示します。各図は、NB85E がバス使用权を持つ場合の NB85E 側から見たタイミングを示しています。

備考1. 点線部分のレベルは NB85E 内部のバス・ホルダがドライブしている不定状態（Weak unknown）を示します。

2. ○印はサンプリング・タイミングを示します。

3. Adrs.n：VBA27-VBA0 端子から出力される任意のアドレス

Data.n：Adrs.n のデータ

図4 - 14 VSBに接続されたバス・スレーブとのリード/ライト・タイミング (1/12)

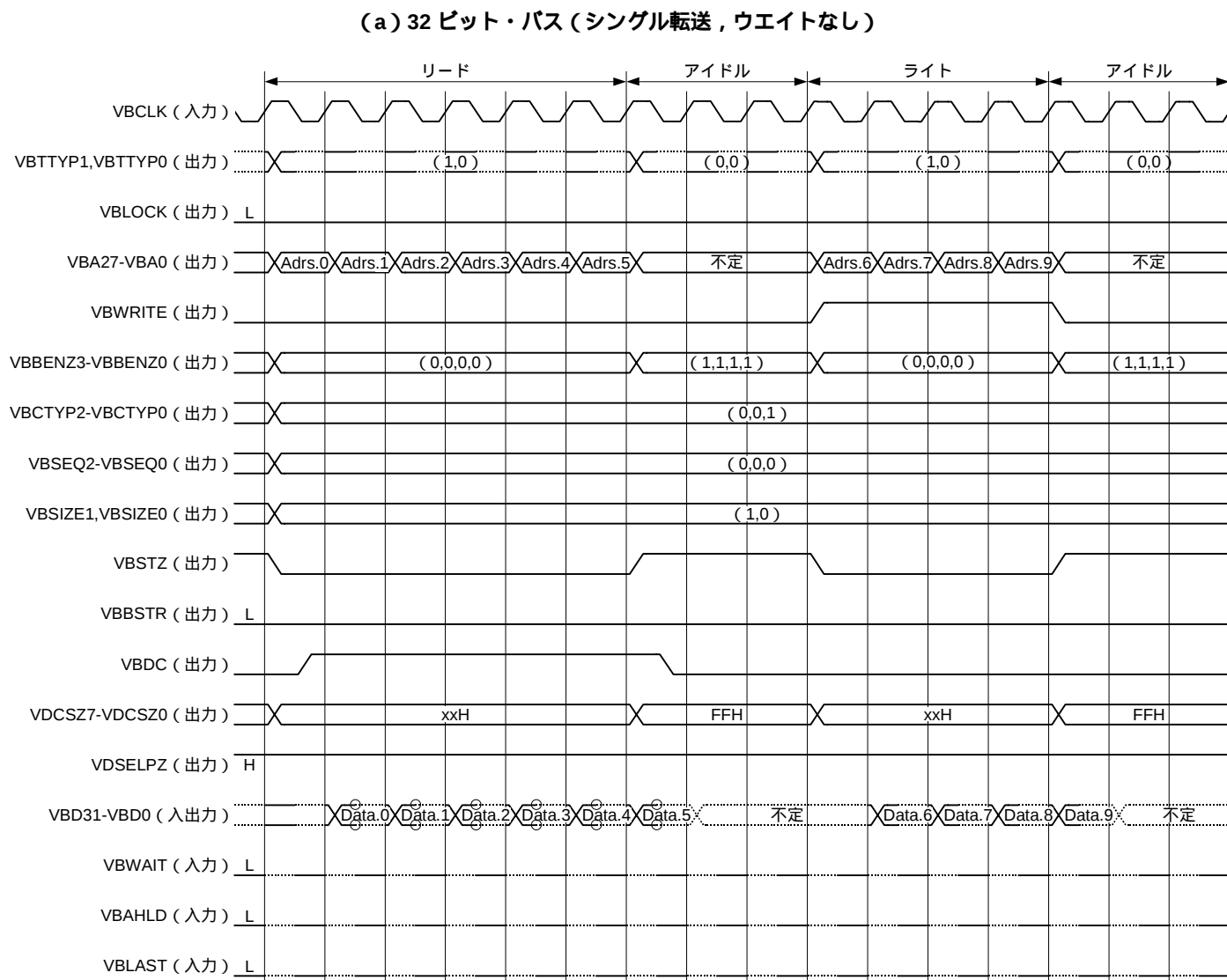


図4 - 14 VSBに接続されたバス・スレーブとのリード/ライト・タイミング (2/12)

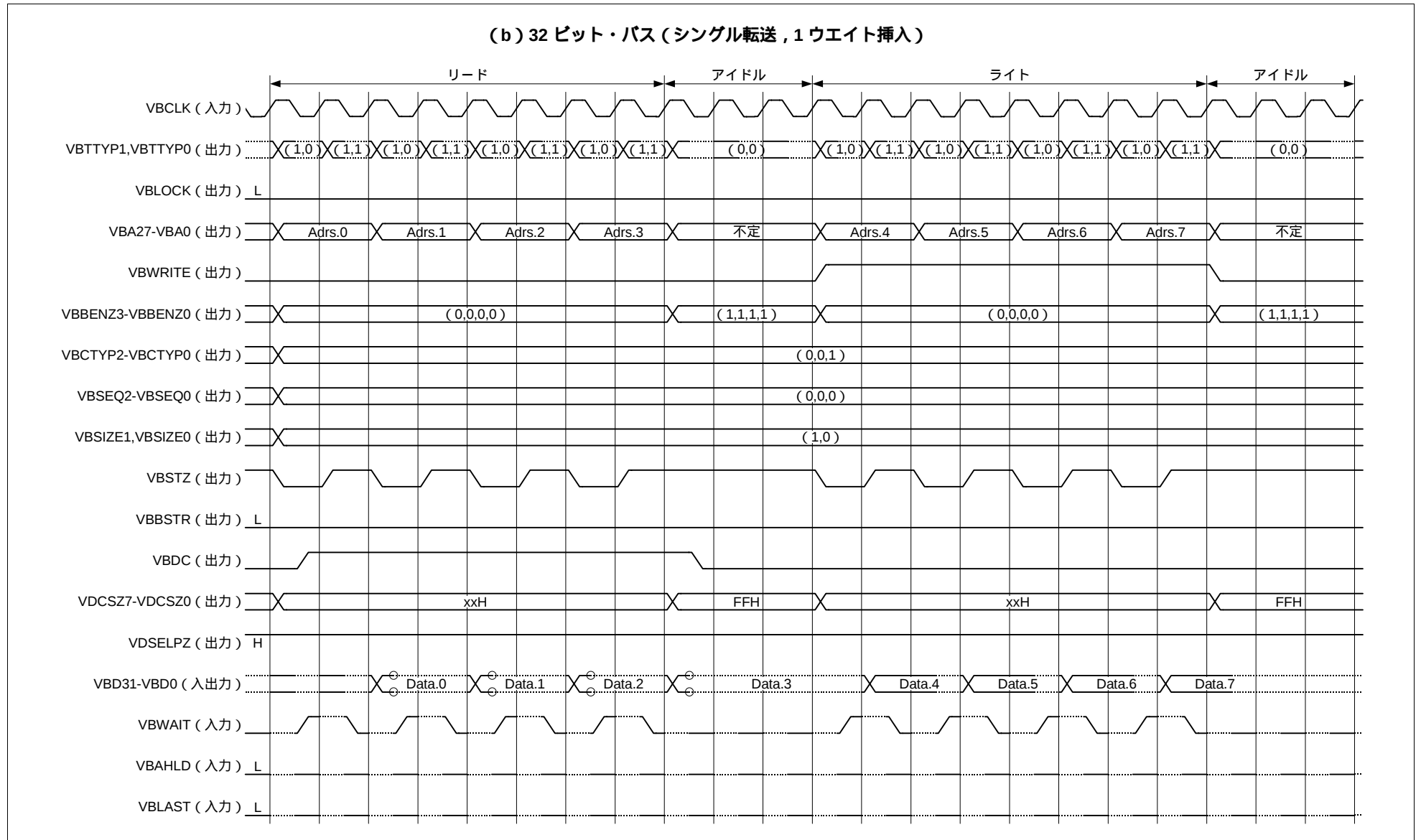


図4 - 14 VSBに接続されたバス・スレーブとのリード/ライト・タイミング (3/12)

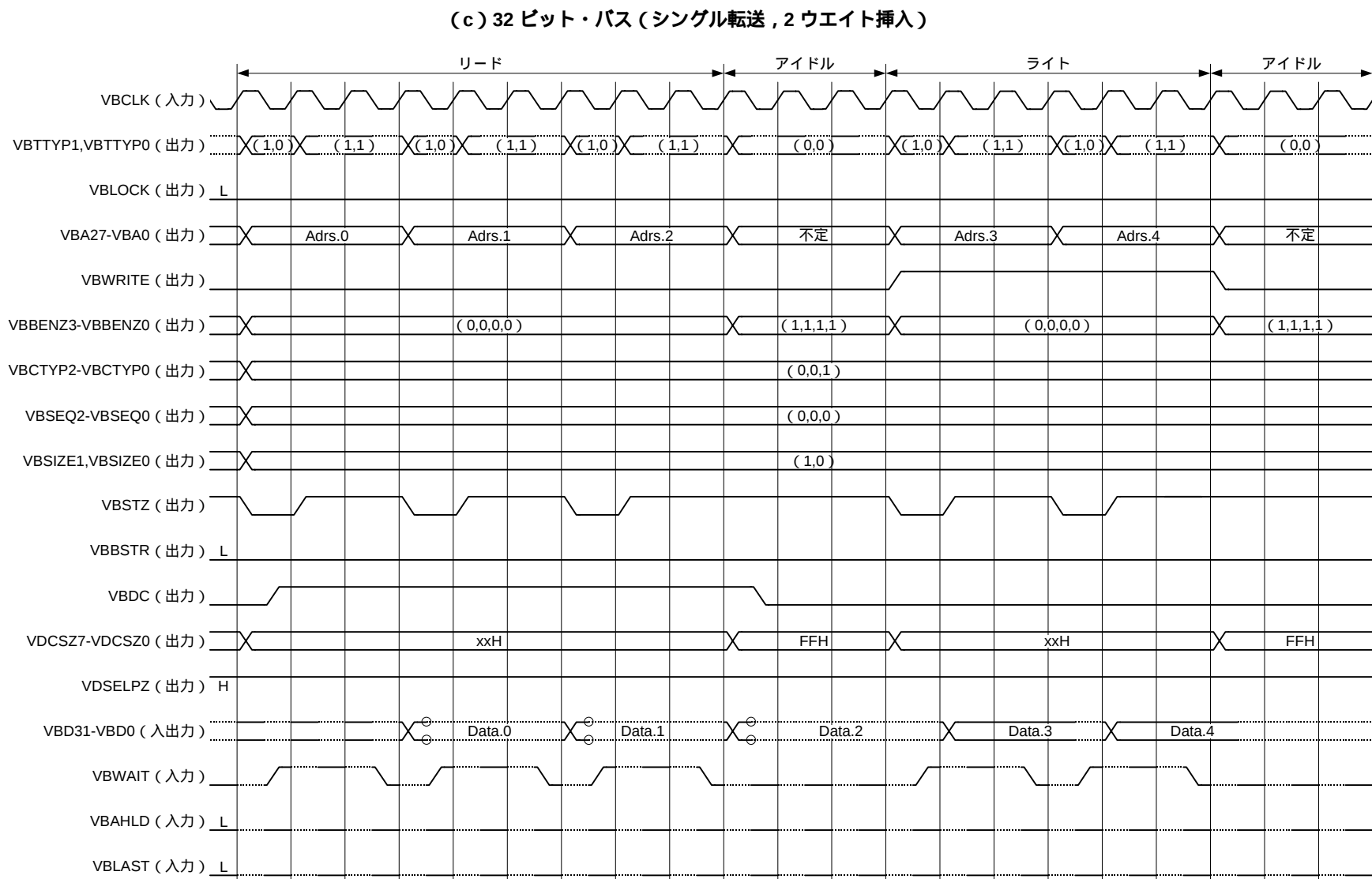


図4 - 14 VSBに接続されたバス・スレーブとのリード/ライト・タイミング (4/12)

(d) 32 ビット・バス (シングル転送, 2 ウェイト挿入, アドレス・ホールドあり)

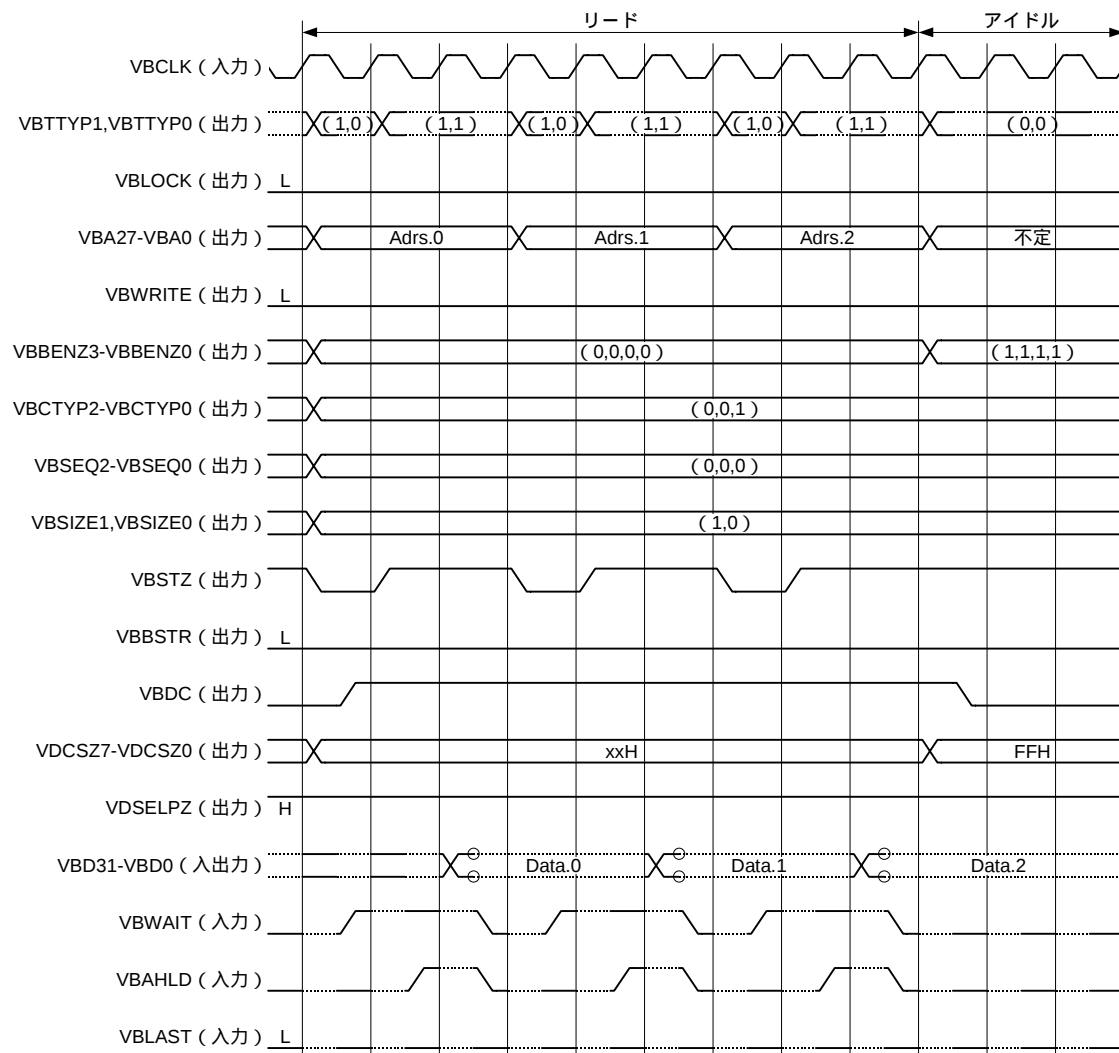


図4 - 14 VSBに接続されたバス・スレーブとのリード/ライト・タイミング (5/12)

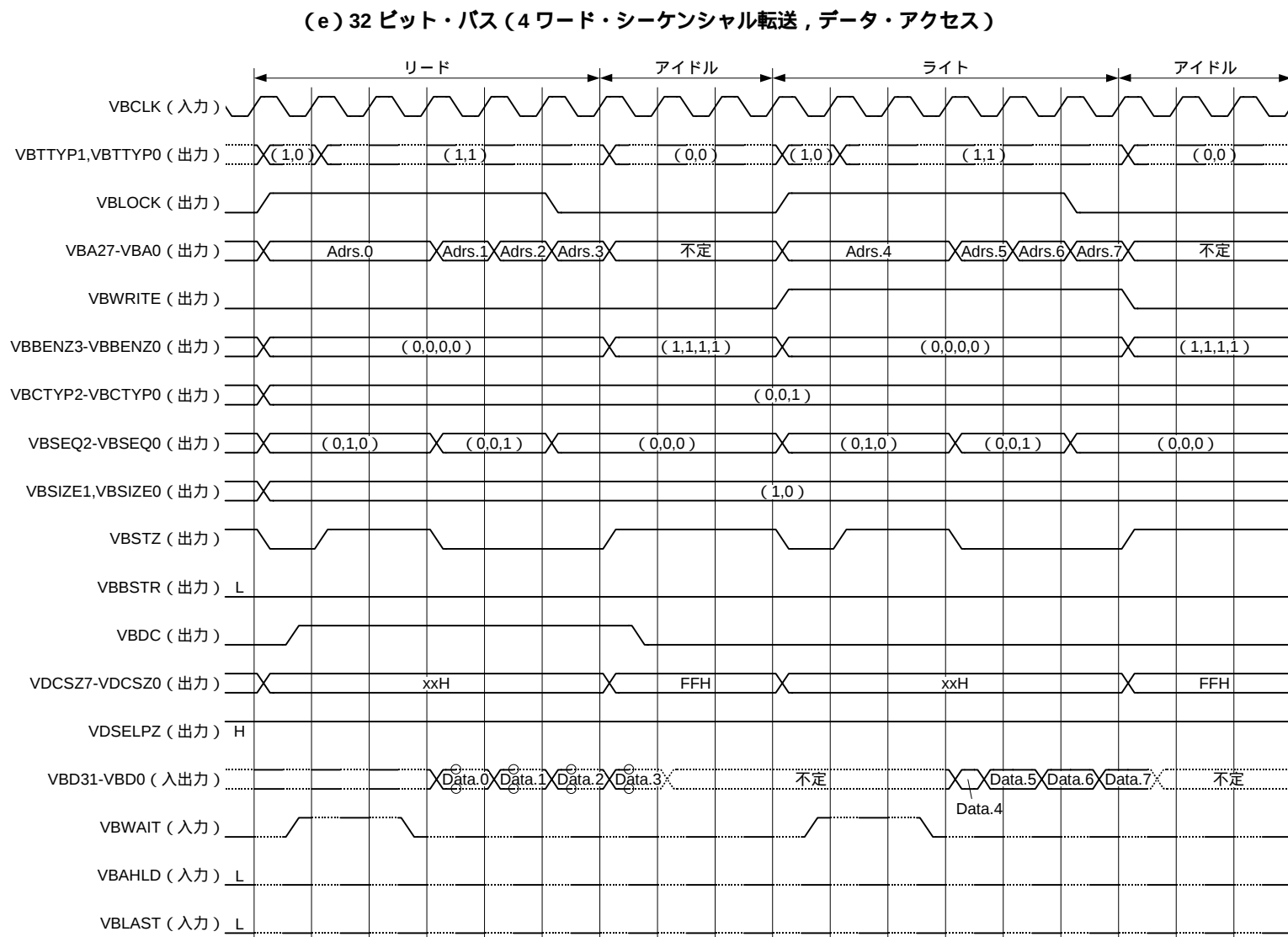


図4 - 14 VSBに接続されたバス・スレーブとのリード/ライト・タイミング (6/12)

(f) 16 ビット・バス (4 ワード・シーケンシャル転送, データ・アクセス)

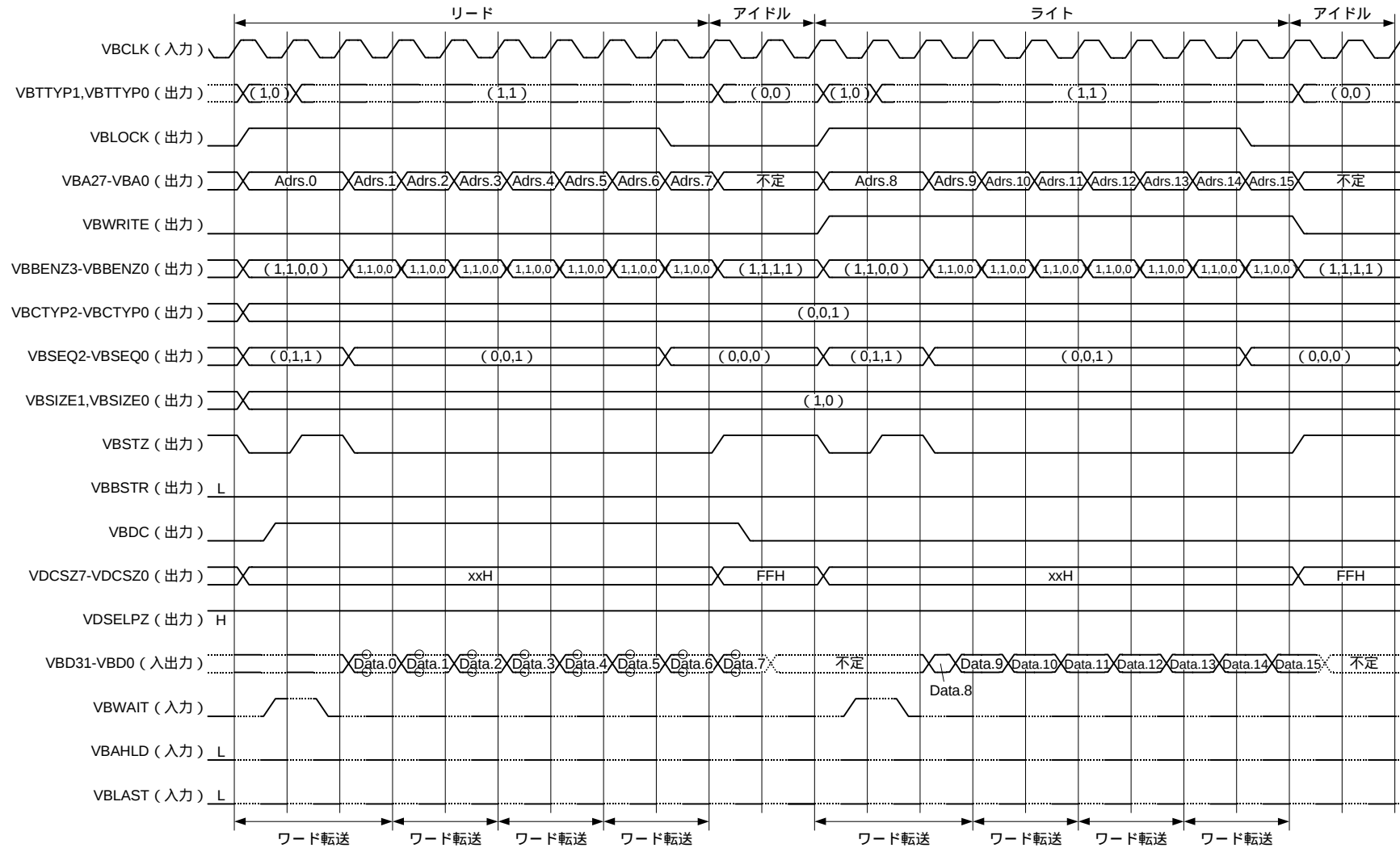


図4 - 14 VSBに接続されたバス・スレーブとのリード/ライト・タイミング (7/12)

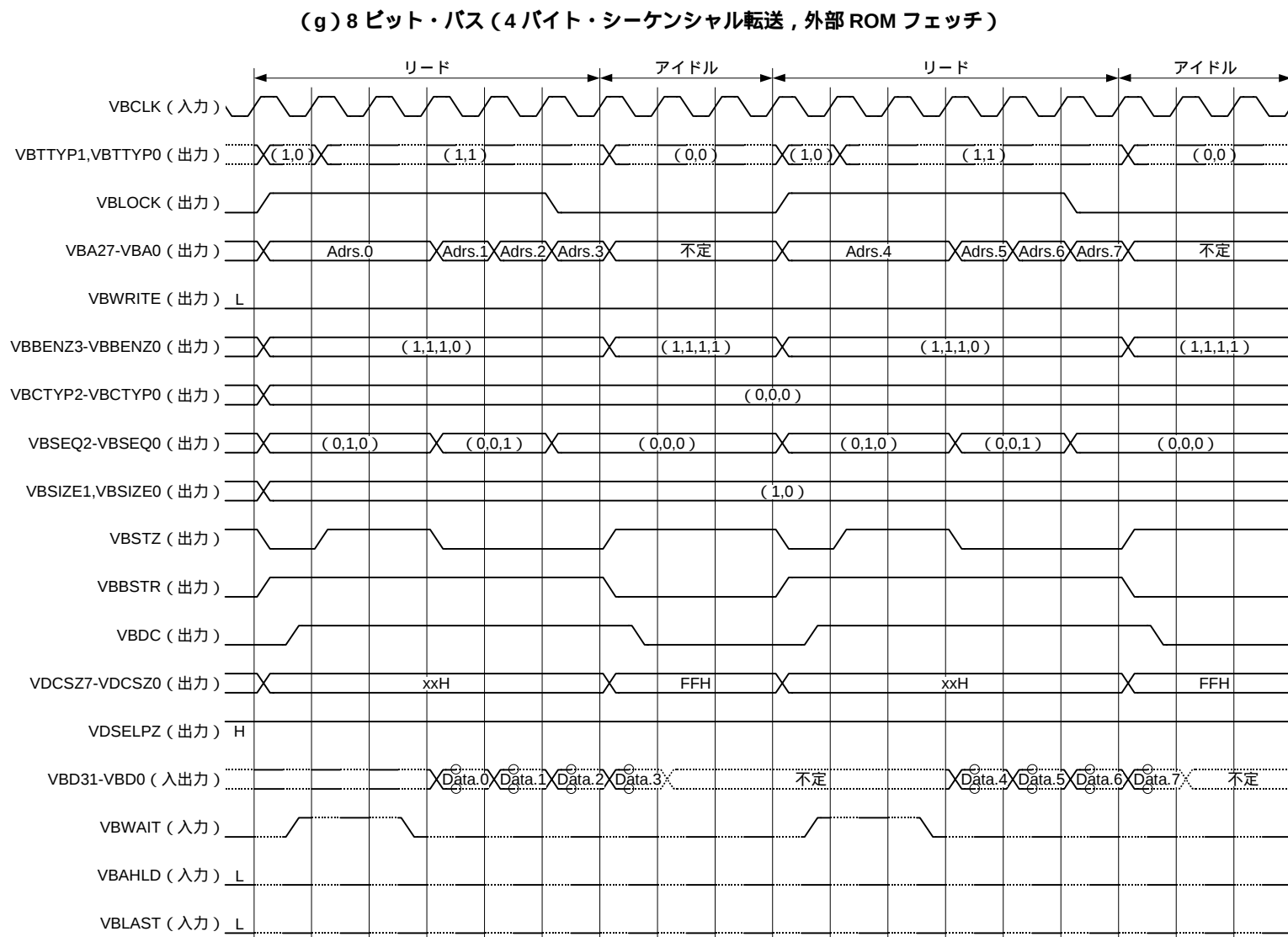


図4 - 14 VSBに接続されたバス・スレーブとのリード/ライト・タイミング (8/12)

(h) 32 ビット・バス (リトル・エンディアン, ワード/ハーフワード/バイト転送)

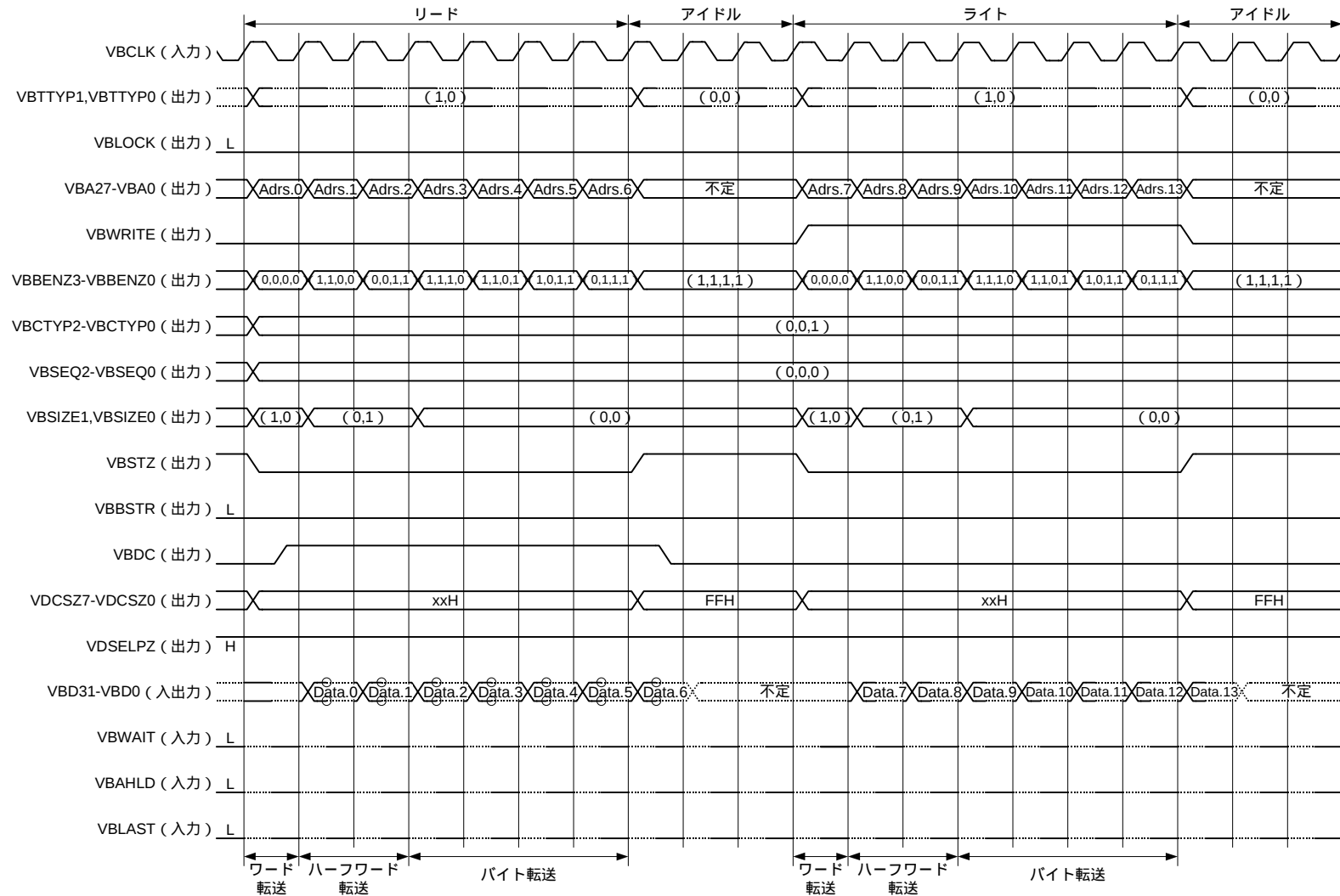


図4 - 14 VSBに接続されたバス・スレーブとのリード/ライト・タイミング (9/12)

(i) 32 ビット・バス (ビッグ・エンディアン, ワード/ハーフワード/バイト転送)

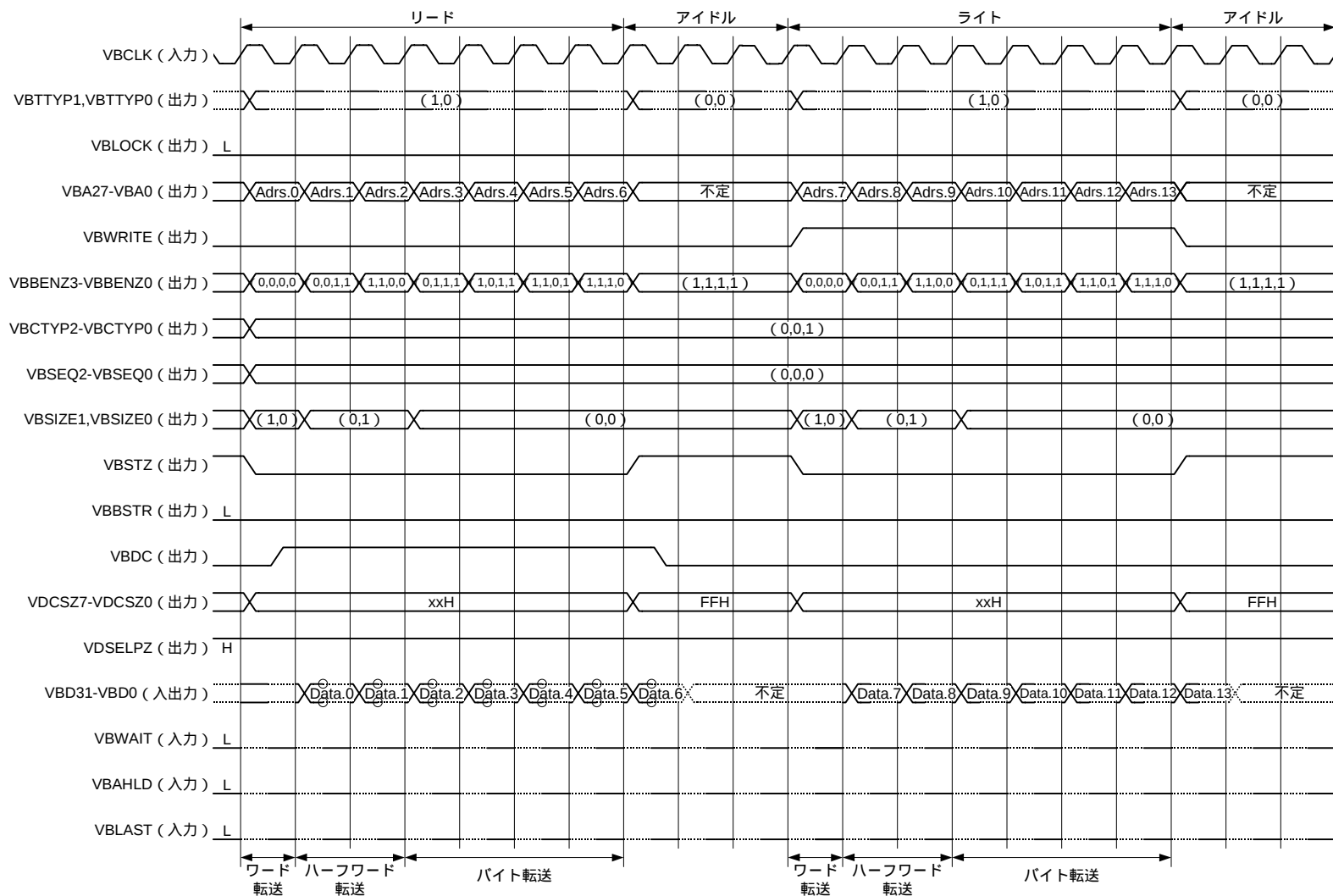


図4 - 14 VSBに接続されたバス・スレーブとのリード/ライト・タイミング (10/12)

(j) 16 ビット・バス (リトル・エンディアン, ワード/ハーフワード/バイト転送)

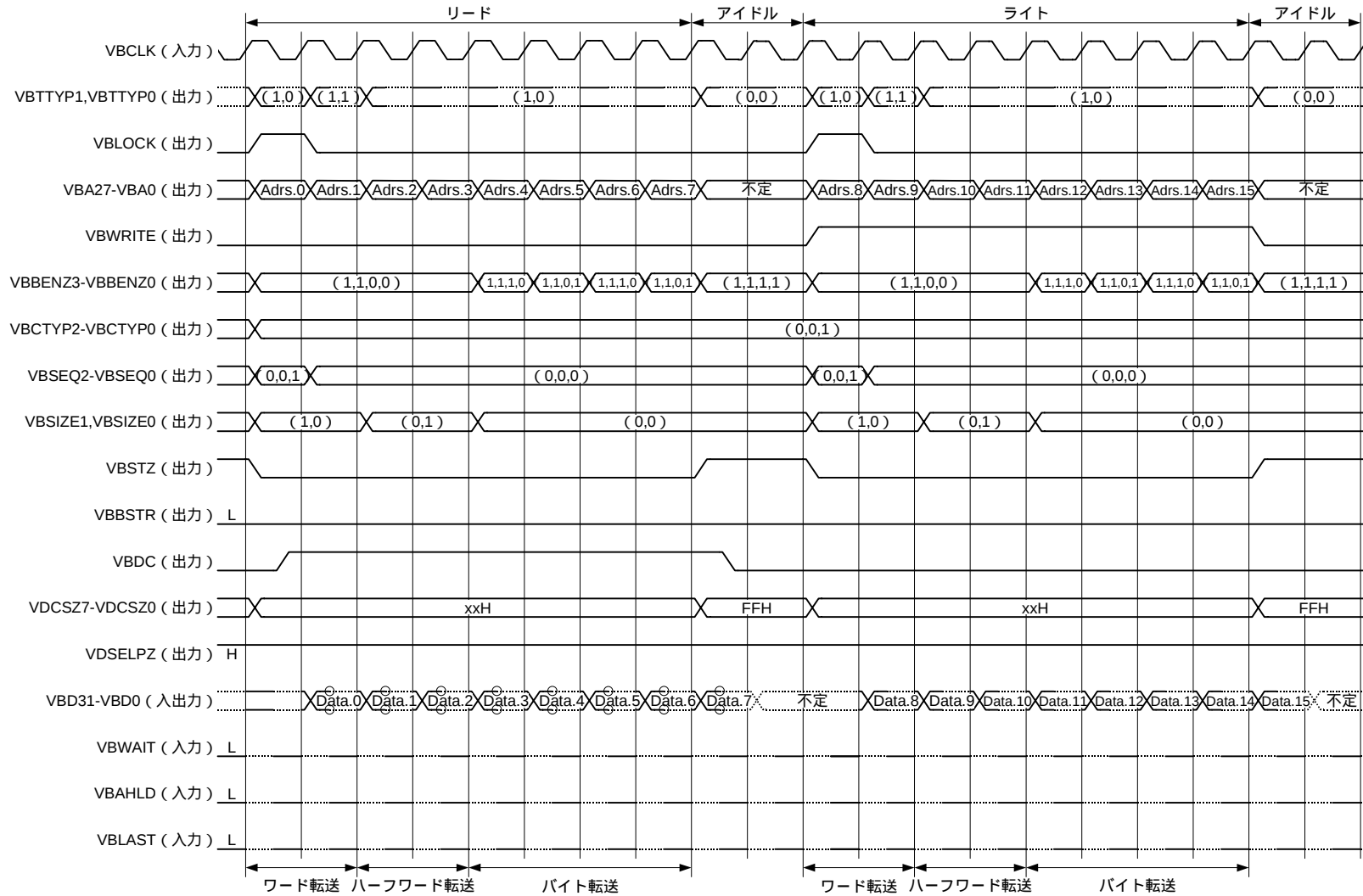


図4 - 14 VSBに接続されたバス・スレーブとのリード/ライト・タイミング (11/12)

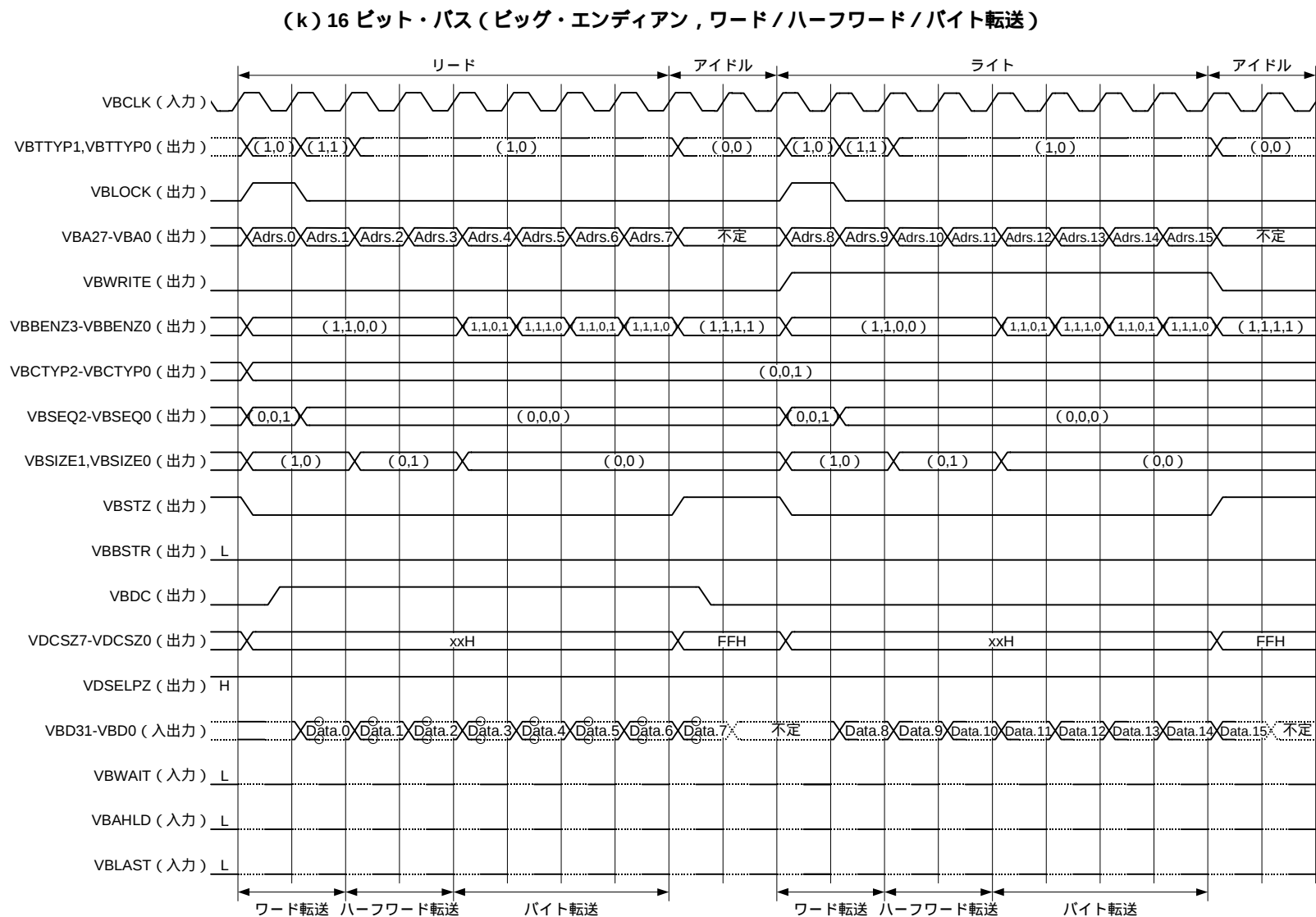
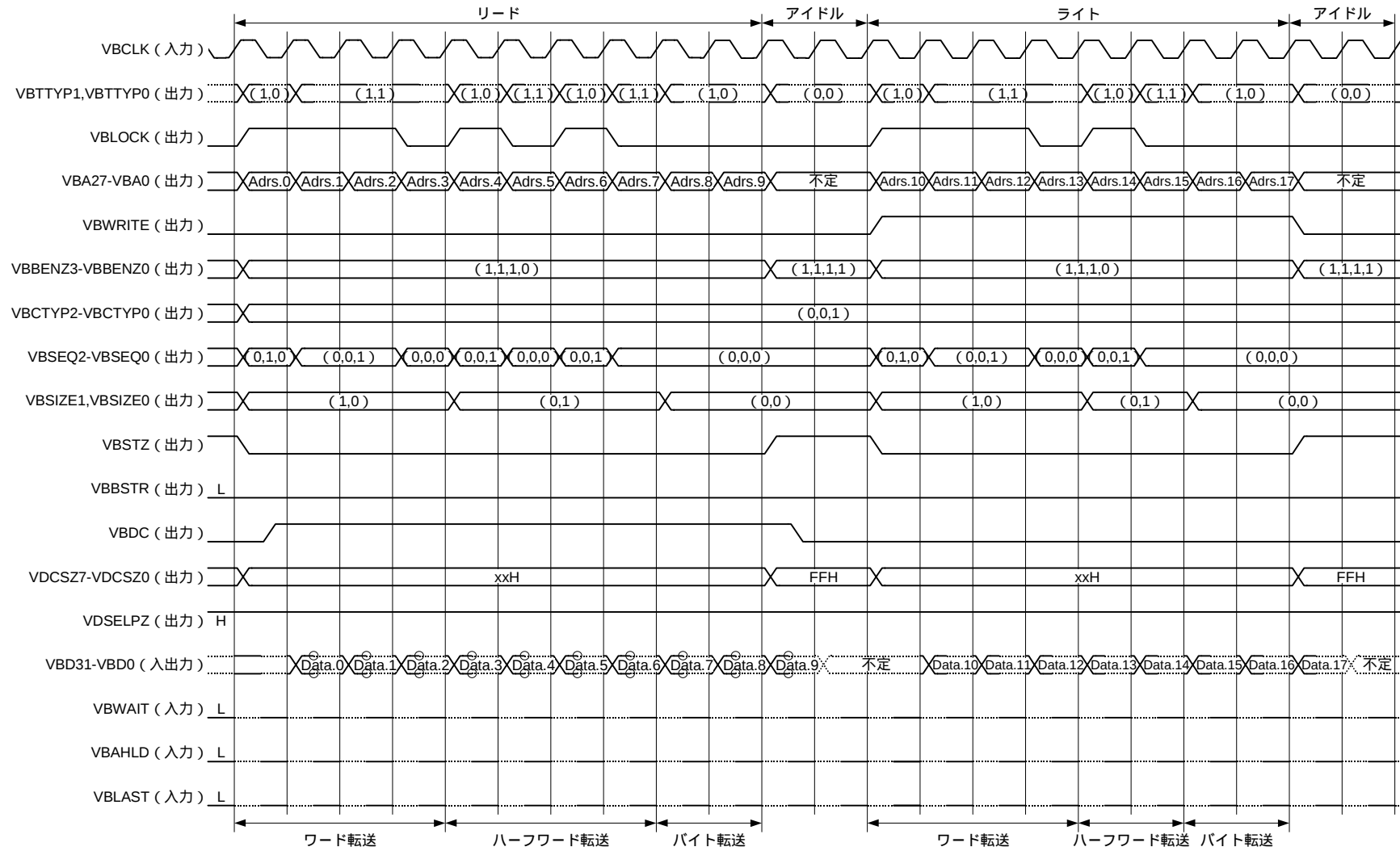


図4 - 14 VSBに接続されたバス・スレーブとのリード/ライト・タイミング (12/12)

(I) 8ビット・バス（リトル/ビッグ・エンディアン, ワード/ハーフワード/バイト転送）

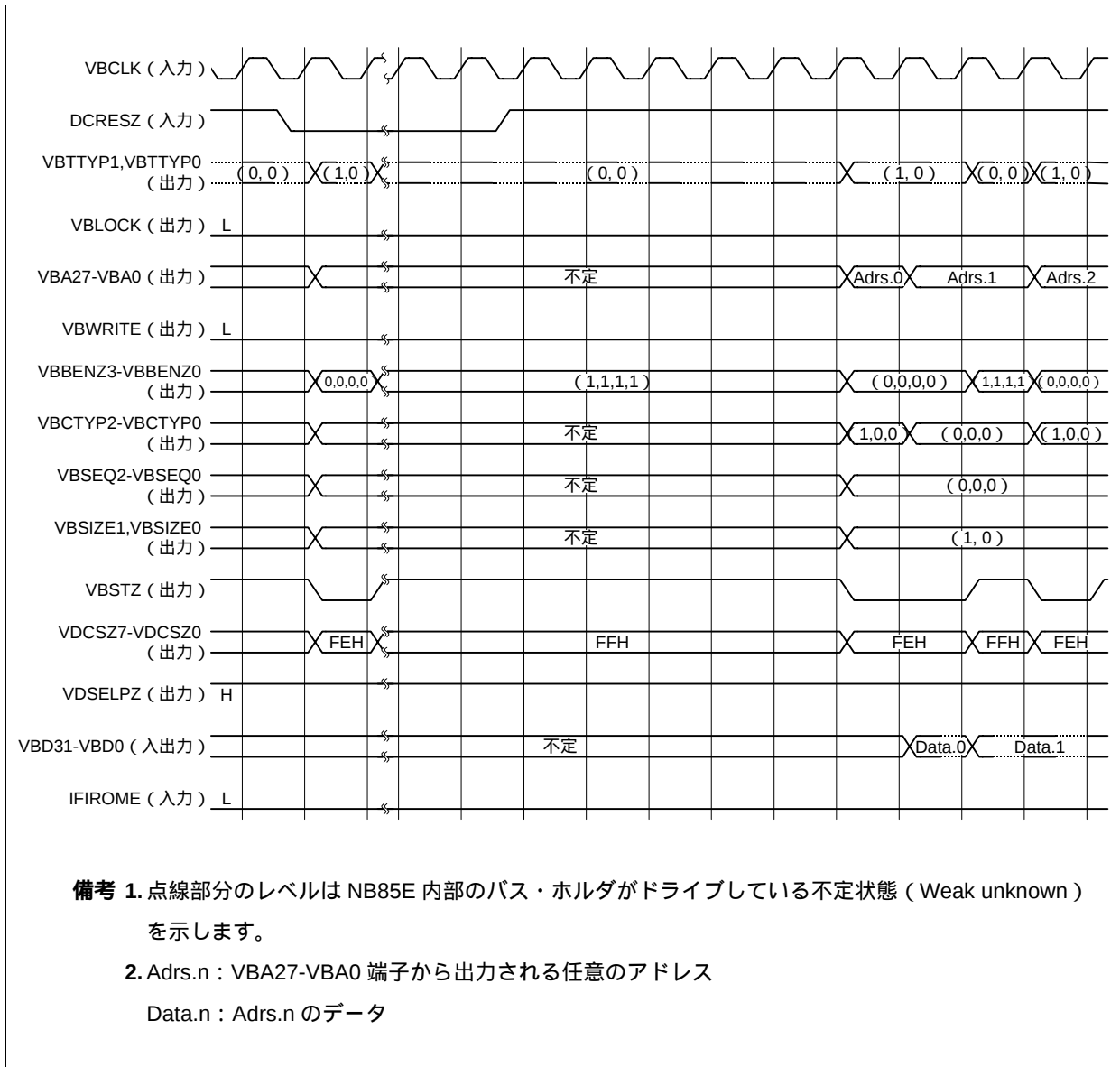


4.9.4 リセット・タイミング

IFIROME 端子にロウ・レベルが入力されている場合（外部メモリとして接続された ROM を使用（VSB 経由））のリセット・タイミングを次に示します。

注意 リセット期間中（DCRESZ がロウ・レベルの期間）は、常に VBCLK 信号を入力し続けてください。

図4 - 15 リセット・タイミング



4.9.5 バス・マスタの移行

(1) バスの優先順位

外部バス・サイクルには、次に示す5つの外部バス・サイクルがあります。優先順位はバス・ホールドが最も高く、リフレッシュ・サイクル、DMA サイクル、オペランド・データ・アクセス、命令フェッチの順で優先順位が低くなります。

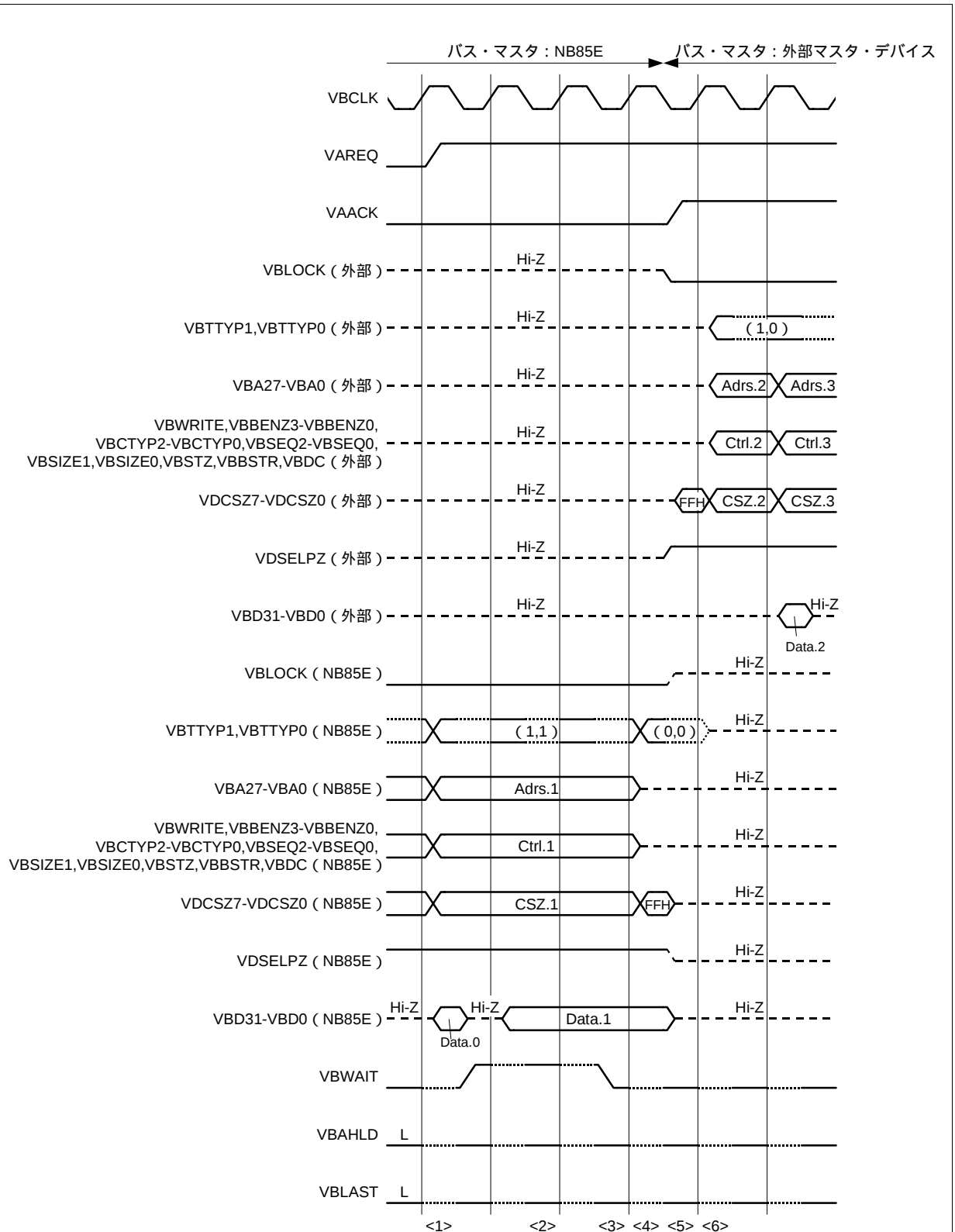
優先順位	外部バス・サイクル	バス・マスタ
高 ↑	バス・ホールド	外部デバイス
	リフレッシュ・サイクル	SDRAM コントローラ
	DMA サイクル	DMA コントローラ
↓ 低	オペランド・データ・アクセス	CPU
	命令フェッチ	CPU

(2) NB85E → 外部マスタ・デバイス

- <1> 外部マスタ・デバイスから NB85E に VSB 使用権要求信号 (VAREQ) が入力されます。
- <2> NB85E 内部のバス・アービタがスレーブ・デバイスからのレディ・レスポンス待ち状態になります。
- <3> 現在の転送が完了すると、スレーブ・デバイスがレディ・レスポンスを返します。
- <4> NB85E の VBTTYP1, VBTTYP0 信号はアドレス・オンリー転送を示し、NB85E の VBLOCK, VDCSZ7-VDCSZ0, VDSELPZ 信号はすべて無視されます。
- <5> NB85E は外部マスタ・デバイスに対して VAREQ 信号に対するアクノリッジ信号 (VAACK) とレディ・レスポンスを返します。外部マスタ・デバイスは VBLOCK, VDCSZ7-VDCSZ0, VDSELPZ 信号をインアクティブにします。
- <6> 外部バス・マスタが VSB 上でのデータ転送を開始します。

備考 レディ・レスポンスとは、VBWAIT, VBAHLD, VBLAST 信号がすべてロウ・レベルの状態をいいます。

図4 - 16 バス・アービトレーション・タイミング (NB85E → 外部マスタ・デバイス)

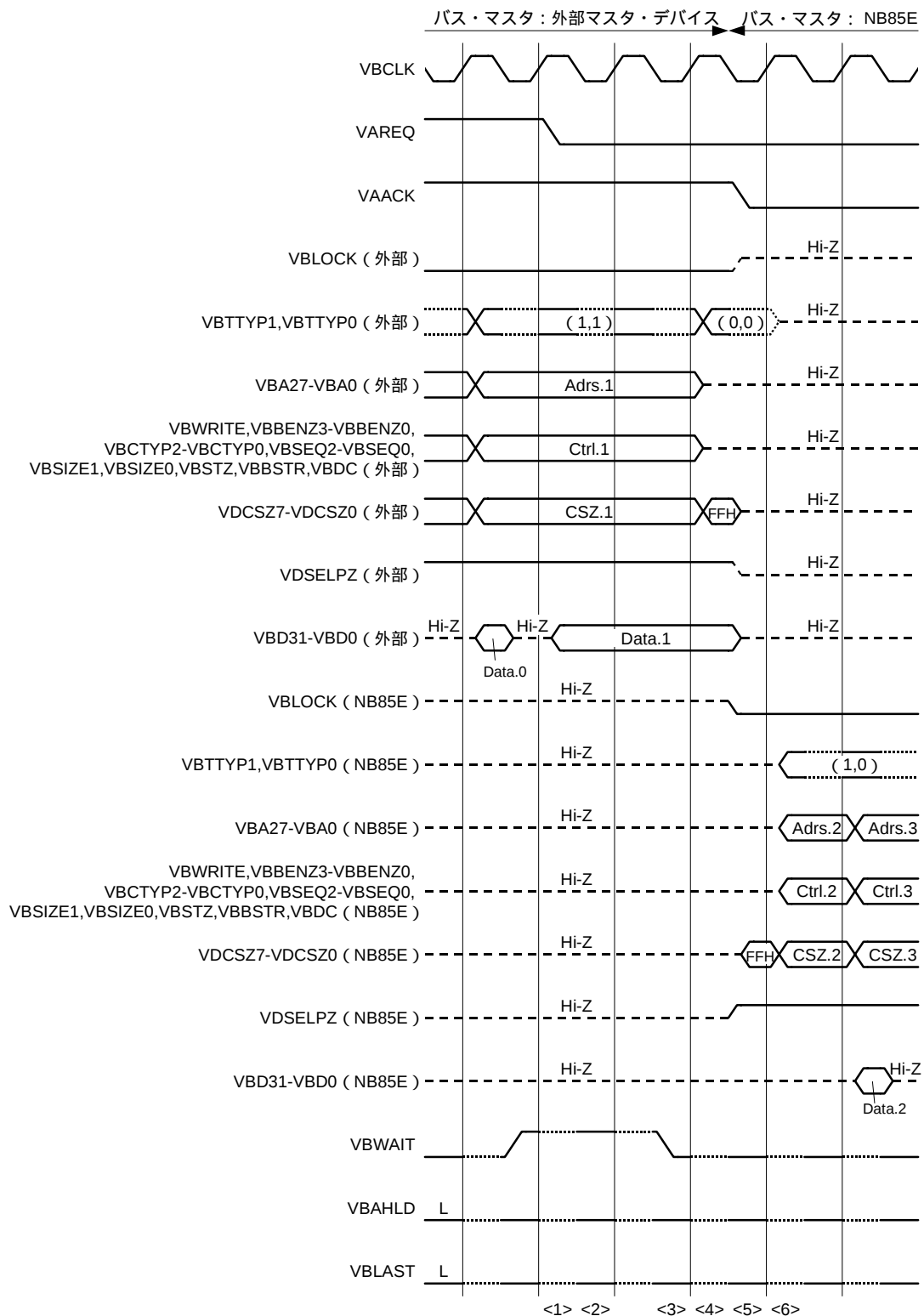


(3) 外部マスタ・デバイス → NB85E

- <1> 外部マスタ・デバイスが VSB 使用権要求信号 (VAREQ) をインアクティブにします。
- <2> バス・アービタがスレーブ・デバイスからのレディ・レスポンス待ち状態になります。
- <3> 現在の転送が完了すると、スレーブ・デバイスがレディ・レスポンスを返します。
- <4> 外部マスタ・デバイスの VBTTYP1, VBTTYP0 信号はアドレス・オンリー転送を示し、外部マスタ・デバイスの VBLOCK, VDCSZ7-VDCSZ0, VDSELPZ 信号はすべて無視されます。
- <5> NB85E は VAREQ 信号に対するアクノリッジ信号 (VAACK) をインアクティブにし、レディ・レスポンスを返します。また、NB85E は VBLOCK, VDCSZ7-VDCSZ0, VDSELPZ 信号をインアクティブにします。
- <6> NB85E が VSB 上でのデータ転送を開始します。

備考 レディ・レスポンスとは、VBWAIT, VBAHLD, VBLAST 信号がすべてロウ・レベルの状態をいいます。

図4 - 17 バス・アービトレーション・タイミング (外部マスタ・デバイス → NB85E)

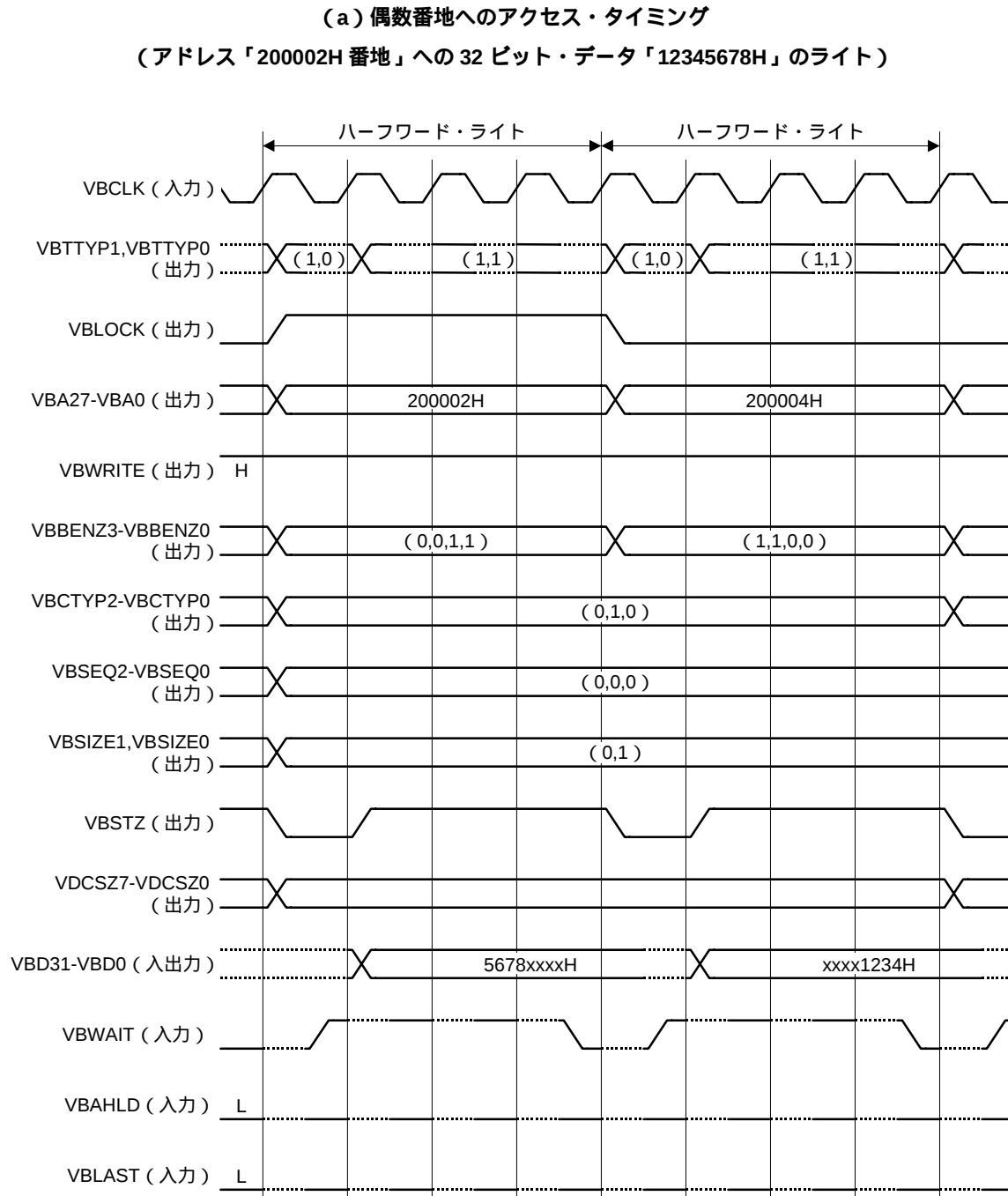


備考 VBTYP1, VBTYP0, VBWAIT, VBAHLD, VBLAST 信号の点線部分のレベルは、NB85E 内部のバス・ホルダがドライブしている不定状態 (Weak unknown) を示します。

4.9.6 ミス・アライン・アクセス・タイミング

ミス・アライン・アクセス許可時（IFIMAEN 端子にハイ・レベル入力時）の VSB アクセス・タイミングを次に示します。

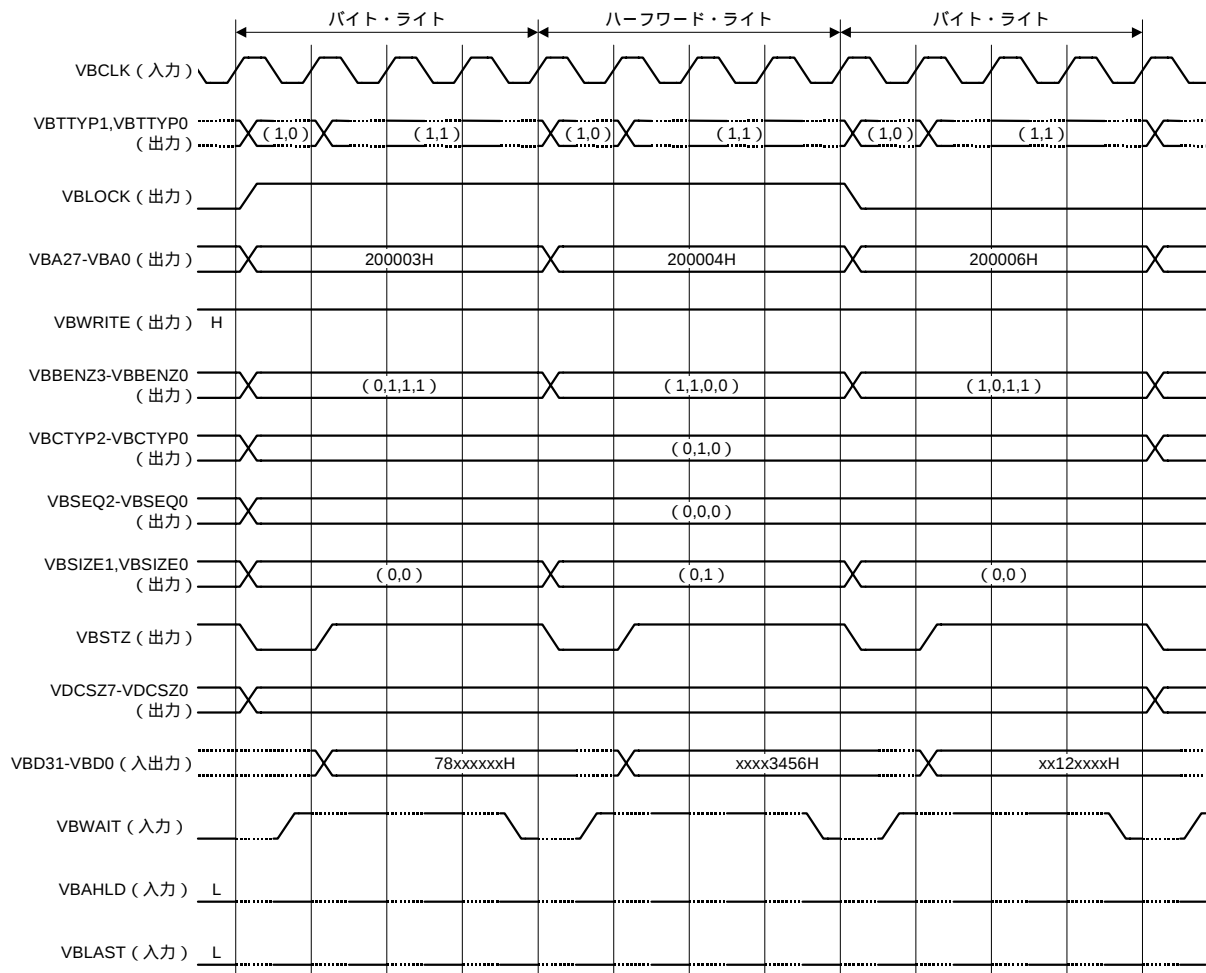
図4 - 18 ミス・アライン・アクセス・タイミング (1/2)



備考 点線部分のレベルは NB85E 内部のバス・ホルダがドライブしている不定状態（Weak unknown）を示します。

図4 - 18 ミス・アライン・アクセス・タイミング (2/2)

(b) 奇数番地へのアクセス・タイミング
 (アドレス「200003H 番地」への 32 ビット・データ「12345678H」のライト)



備考 点線部分のレベルは NB85E 内部のバス・ホルダがドライブしている不定状態 (Weak unknown) を示します。

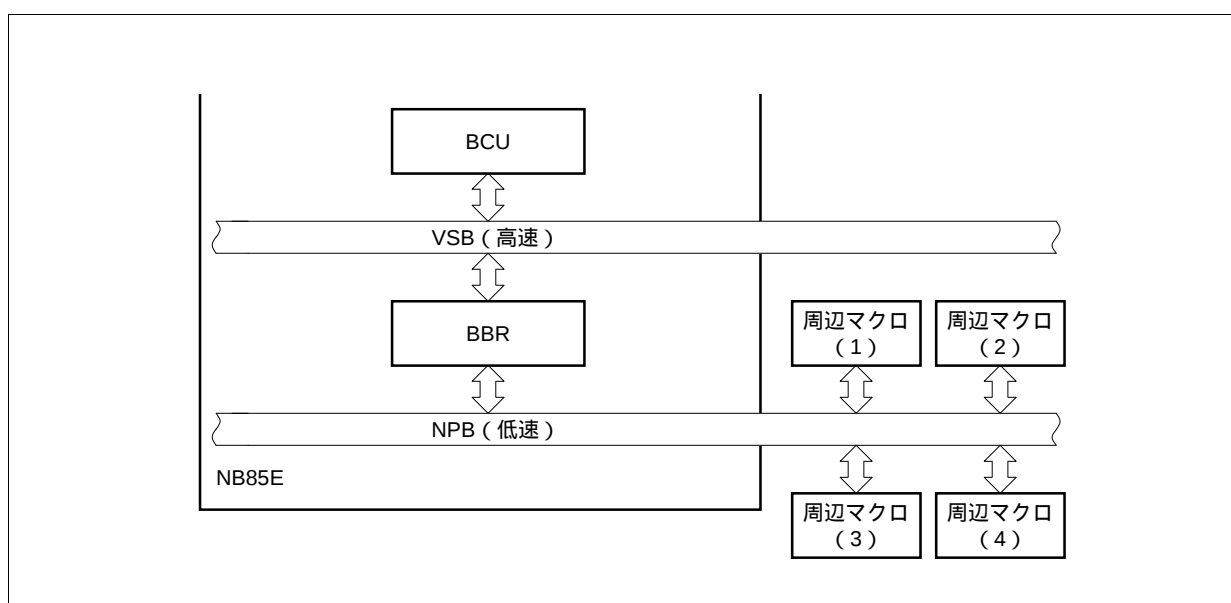
第5章 BBR

BBR（バス・ブリッジ）は、VSB-NPB 間の信号変換を行います。

BBR は、NPB 上に接続された周辺マクロに対し、次の機能の設定を行います。

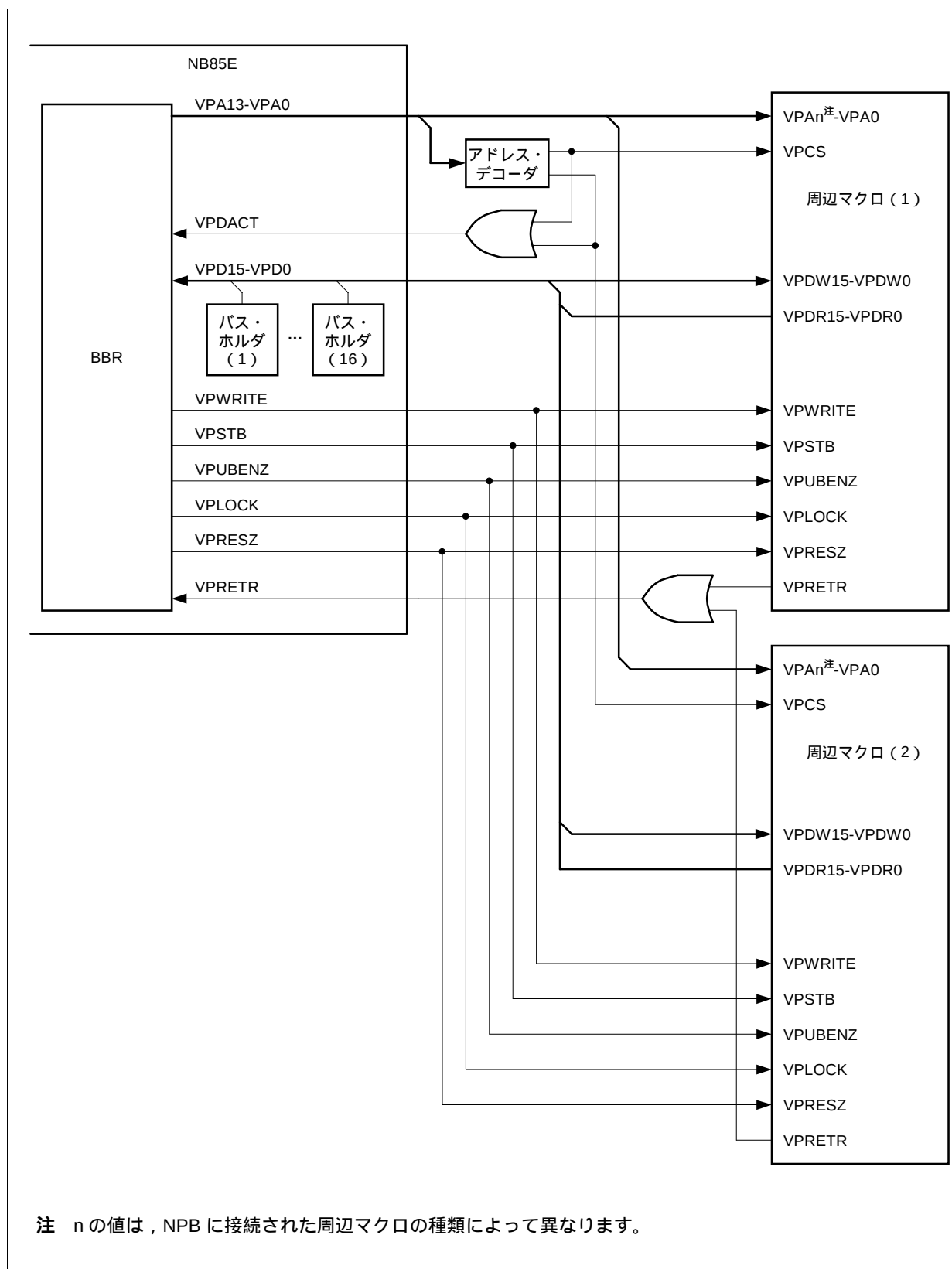
- ウェイト挿入機能
- リトライ機能

図5 - 1 NPB接続の概略図



NB85E と NPB に接続された周辺マクロの接続例を次に示します。

図5 - 2 NB85Eと周辺マクロの接続例



5.1 プログラマブル周辺 I/O 領域

NB85E には、アドレス空間上にあらかじめ割り付けられた 4K バイトの「周辺 I/O 領域」と、レジスタ設定により任意の番地に割り付けることのできる 12K バイトの「プログラマブル周辺 I/O 領域」があります（4.4 プログラマブル周辺 I/O 領域選択機能参照）。

図 5 - 3 のメモリ・マップで、周辺 I/O 領域、またはプログラマブル周辺 I/O 領域がアクセスされると、NPB はアクティブになります。

プログラマブル周辺 I/O 領域は、周辺 I/O 領域セレクト制御レジスタ（BPC）で設定します。

図5 - 3 周辺I/O領域とプログラマブル周辺I/O領域

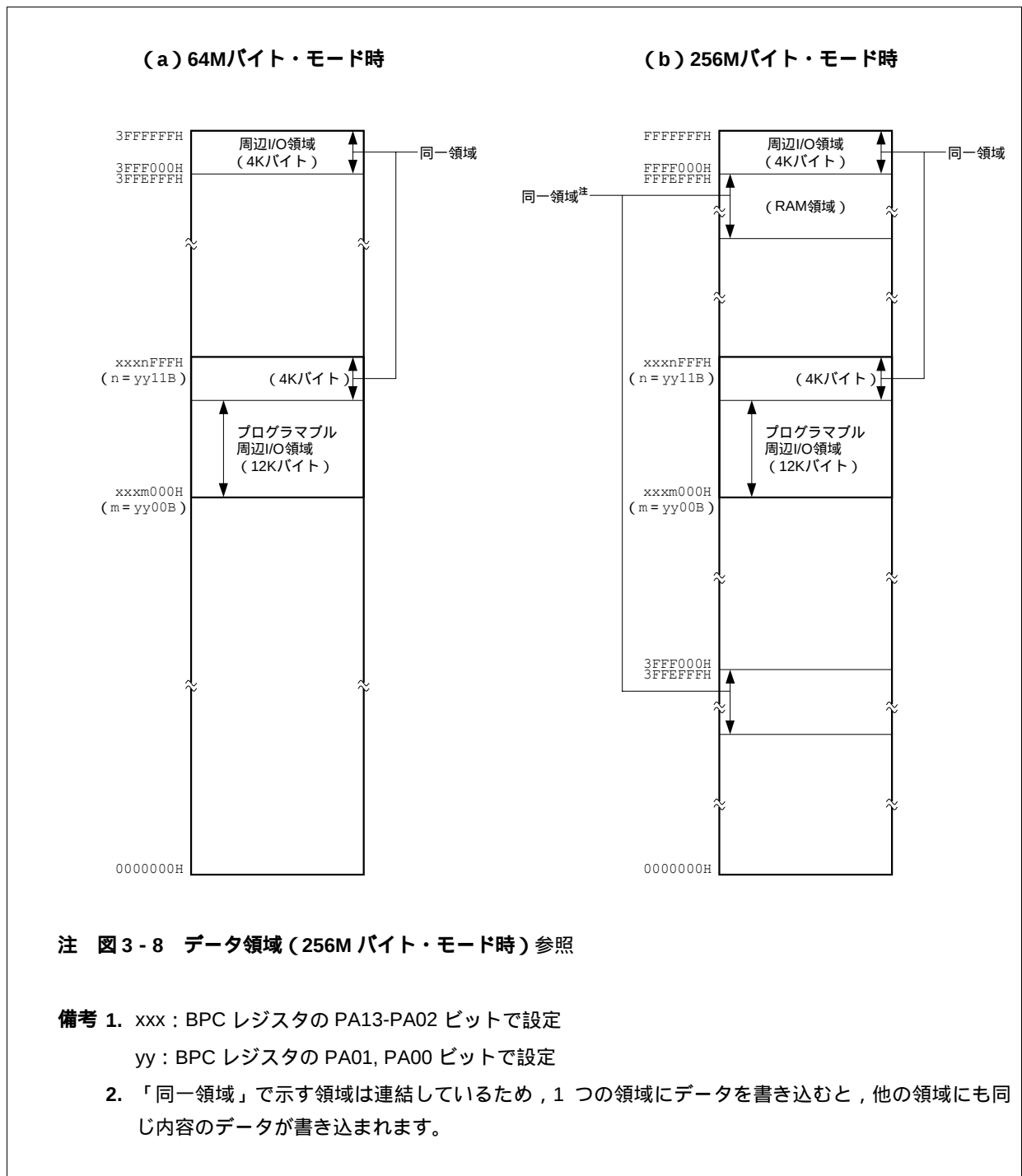


図5 - 4 周辺I/O領域セレクト制御レジスタ (BPC)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
BPC	PA 15	0	PA 13	PA 12	PA 11	PA 10	PA 09	PA 08	PA 07	PA 06	PA 05	PA 04	PA 03	PA 02	PA 01	PA 00	アドレス FFFFFF064H	初期値 0000H

ビット位置	ビット名	意 味
15	PA15	プログラマブル周辺 I/O 領域へのアクセスを設定します。 0 : アクセス不可 1 : アクセス可能
13-0	PA13- PA00	プログラマブル周辺 I/O 領域の先頭アドレスのビット 27-ビット 14 を指定します (他のビットは 0 に固定)。

注意 ビット 14 には、必ず 0 を設定してください。1 を設定した場合の動作は保証しません。

注意 1. 64M バイト・モード時、プログラマブル周辺 I/O 領域が次の各領域と重なった場合、プログラマブル周辺 I/O 領域は無効となります。

- 周辺 I/O 領域
- ROM 領域
- RAM 領域

2. 256M バイト・モード時、プログラマブル周辺 I/O 領域が次の各領域と重なった場合、プログラマブル周辺 I/O 領域は無効となります。

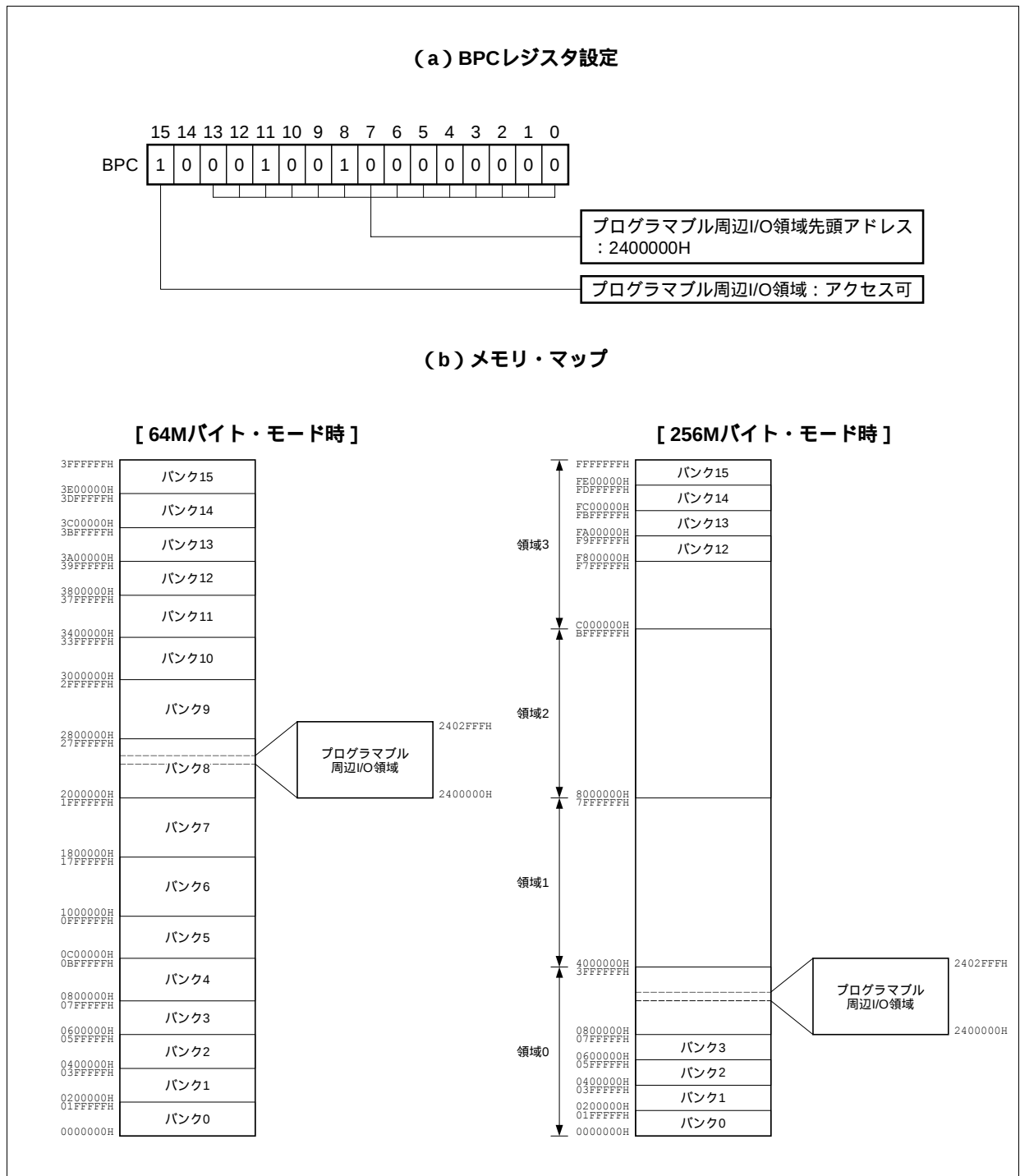
- 周辺 I/O 領域
- ROM 領域
- RAM 領域
- 3FFFEFFFH 番地以下の RAM 領域との同一領域
(図 3 - 8 データ領域 (256M バイト・モード時) 参照)

3. NPB に接続する周辺マクロがない場合、プログラマブル周辺 I/O 領域の設定を行う必要はありません (BPC レジスタは初期値の状態にしてください)。

4. プログラマブル周辺 I/O 領域のアドレス設定は、1 回だけ設定可能です。プログラムの途中でアドレスを変更しないでください。

図 5 - 5 に、BPC レジスタの設定例と設定後のメモリ・マップを示します。

図5 - 5 BPCレジスタ設定例



5.2 ウェイト挿入機能

BBR は、NPB に接続された低速な周辺マクロとの接続用にウェイト挿入機能を備えています。この機能の設定は、NPB ストロープ・ウェイト・コントロール・レジスタ (VSWC) によって行います。

VSWC レジスタでは、セットアップ・ウェイト幅と VPSTB ウェイト幅の設定を行います (図 5 - 6 参照)。ウェイト数は、内部システム・クロック (VBCLK) を基本として、0 から 7 クロックまでの範囲で設定できます。

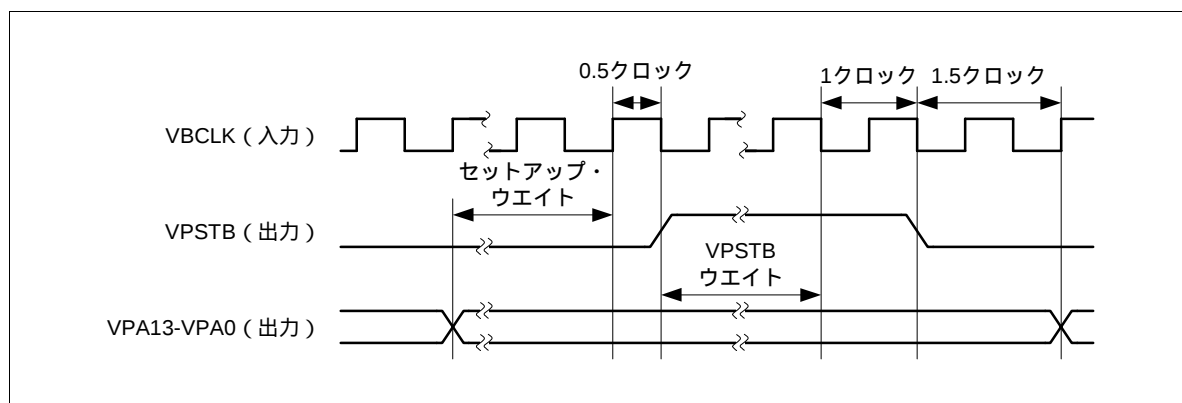
図5 - 6 NPBストロープ・ウェイト・コントロール・レジスタ (VSWC) (1/2)

	7	6	5	4	3	2	1	0		
VSWC	0	SUWL2	SUWL1	SUWL0	0	VSWL2	VSWL1	VSWL0	アドレス FFFFFF06EH	初期値 77H

ビット位置	ビット名	意 味																																				
6-4	SUWL2- SUWL0	セットアップ・ウェイト幅を設定します。 <table><tr><th>SUWL2</th><th>SUWL1</th><th>SUWL0</th><th>セットアップ・ウェイト幅</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0 (ノー・ウェイト)</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1×tCLK</td></tr><tr><td>0</td><td>1</td><td>0</td><td>2×tCLK</td></tr><tr><td>0</td><td>1</td><td>1</td><td>3×tCLK</td></tr><tr><td>1</td><td>0</td><td>0</td><td>4×tCLK</td></tr><tr><td>1</td><td>0</td><td>1</td><td>5×tCLK</td></tr><tr><td>1</td><td>1</td><td>0</td><td>6×tCLK</td></tr><tr><td>1</td><td>1</td><td>1</td><td>7×tCLK</td></tr></table>	SUWL2	SUWL1	SUWL0	セットアップ・ウェイト幅	0	0	0	0 (ノー・ウェイト)	0	0	1	1×tCLK	0	1	0	2×tCLK	0	1	1	3×tCLK	1	0	0	4×tCLK	1	0	1	5×tCLK	1	1	0	6×tCLK	1	1	1	7×tCLK
SUWL2	SUWL1	SUWL0	セットアップ・ウェイト幅																																			
0	0	0	0 (ノー・ウェイト)																																			
0	0	1	1×tCLK																																			
0	1	0	2×tCLK																																			
0	1	1	3×tCLK																																			
1	0	0	4×tCLK																																			
1	0	1	5×tCLK																																			
1	1	0	6×tCLK																																			
1	1	1	7×tCLK																																			
備考 tCLK : 内部システム・クロック (VBCLK) 周期																																						

図5 - 6 NPBストロブ・ウェイト・コントロール・レジスタ (VSWC) (2/2)

ビット位置	ビット名	意 味			
2-0	VSWL2- VSWL0	VPSTB ウェイト幅を設定します。			
		VSWL2	VSWL1	VSWL0	VPSTB ウェイト幅
		0	0	0	0 (ノー・ウェイト)
		0	0	1	1×tCLK
		0	1	0	2×tCLK
		0	1	1	3×tCLK
		1	0	0	4×tCLK
		1	0	1	5×tCLK
		1	1	0	6×tCLK
		1	1	1	7×tCLK
備考 tCLK：内部システム・クロック (VBCLK) 周期					



各動作周波数において、セットアップ・ウェイト幅，VPSTB ウェイト幅は表 5 - 1 に示すウェイト数以上の値を設定してください。

表5 - 1 各動作周波数におけるセットアップ・ウェイト幅，VPSTBウェイト幅の設定値

ウェイト幅	動作周波数			
	～ 25MHz	～ 33MHz	～ 50MHz	～ 66MHz
セットアップ・ウェイト幅 (SUWL2-SUWL0 ビットで設定)	1	1	1	1
VPSTB ウェイト幅 (VSWL2-VSWL0 ビットで設定)	1	2	4	5

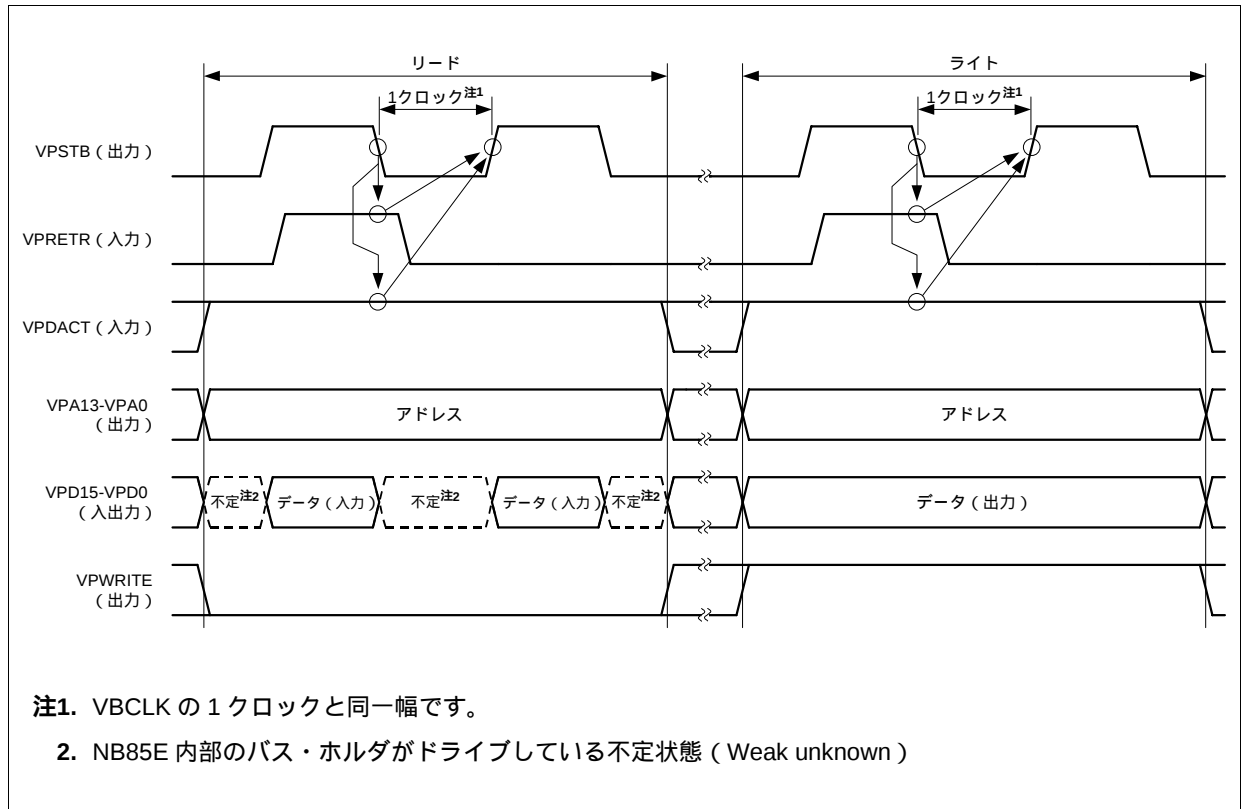
注意 この設定値は保証値ではありませんので，動作検証を行ったうえでシステムに合ったウェイト数を設定してください。

5.3 リトライ機能

リトライ機能とは、NPB 上の周辺マクロからのリトライ要求信号（VPRETR）に従って、リード/ライト処理を繰り返す機能で、データのセットアップ時間が不足するときなどに使用します。

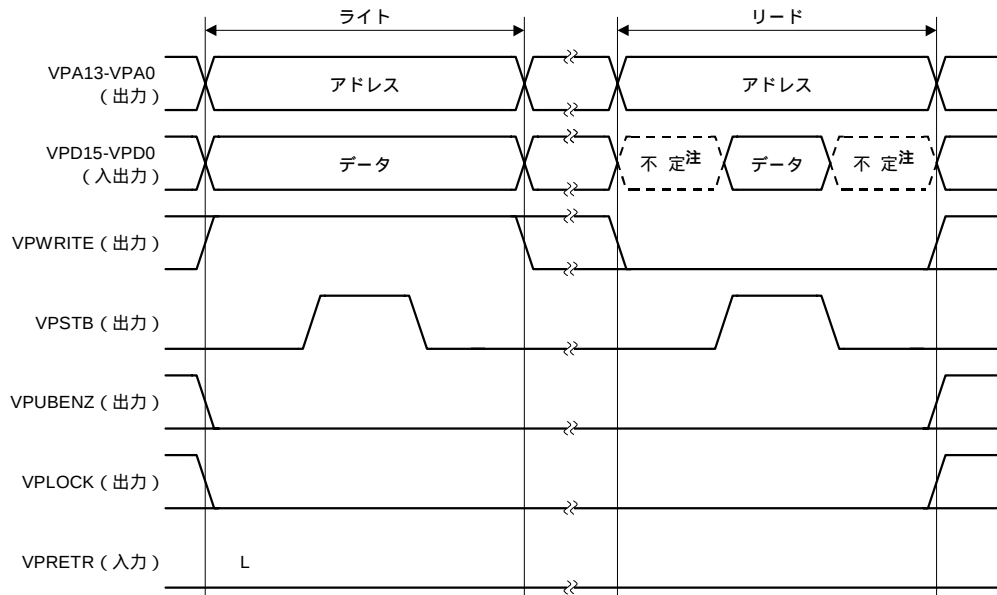
VPSTB 信号の立ち下がり時に VPRETR 端子、VPDACT 端子にハイ・レベルが入力されていると、VPSTB 信号は再び立ち上がり、リード/ライト動作を繰り返します。

図5 - 7 リトライ機能



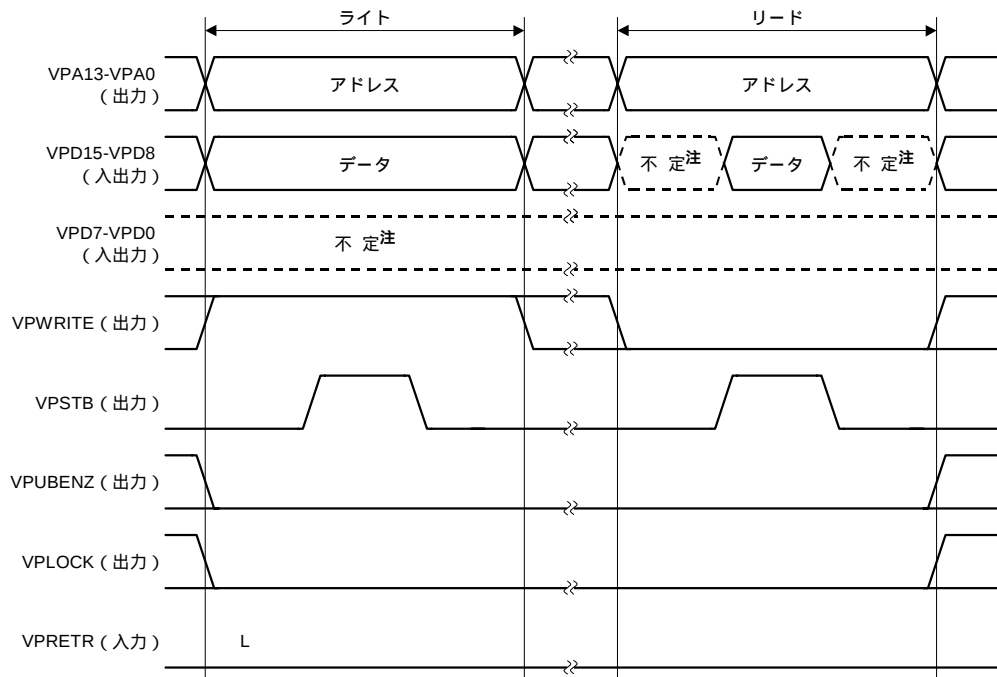
5.4 NPB リード/ライト・タイミング

図5 - 8 ハーフワード・アクセス・タイミング



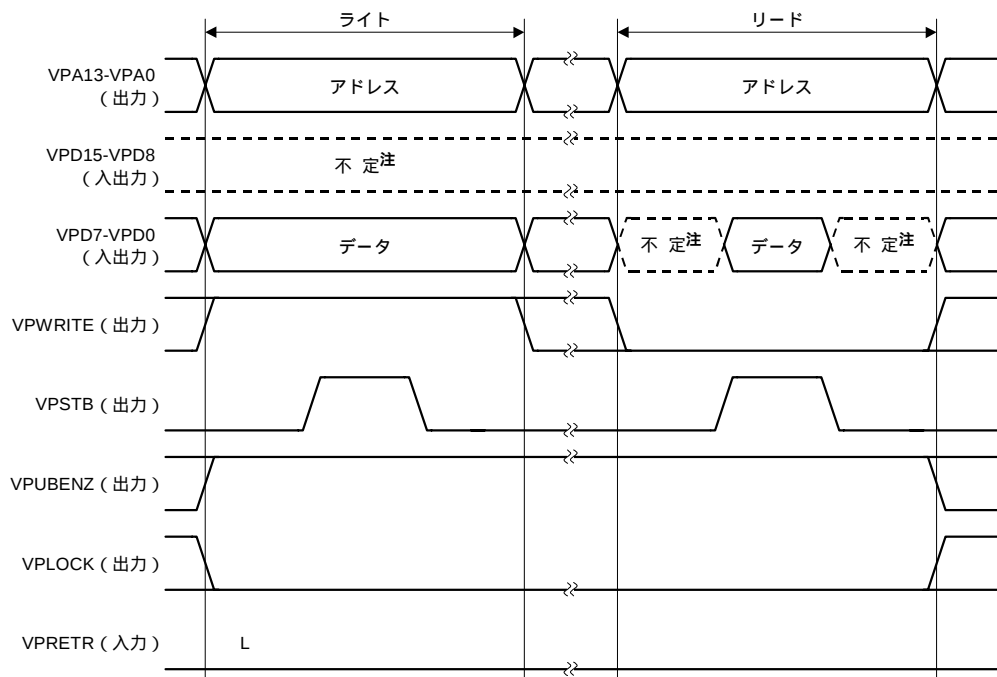
注 NB85E 内部のバス・ホルダがドライブしている不定状態 (Weak unknown)

図5 - 9 奇数アドレスに対するバイト・アクセス・タイミング



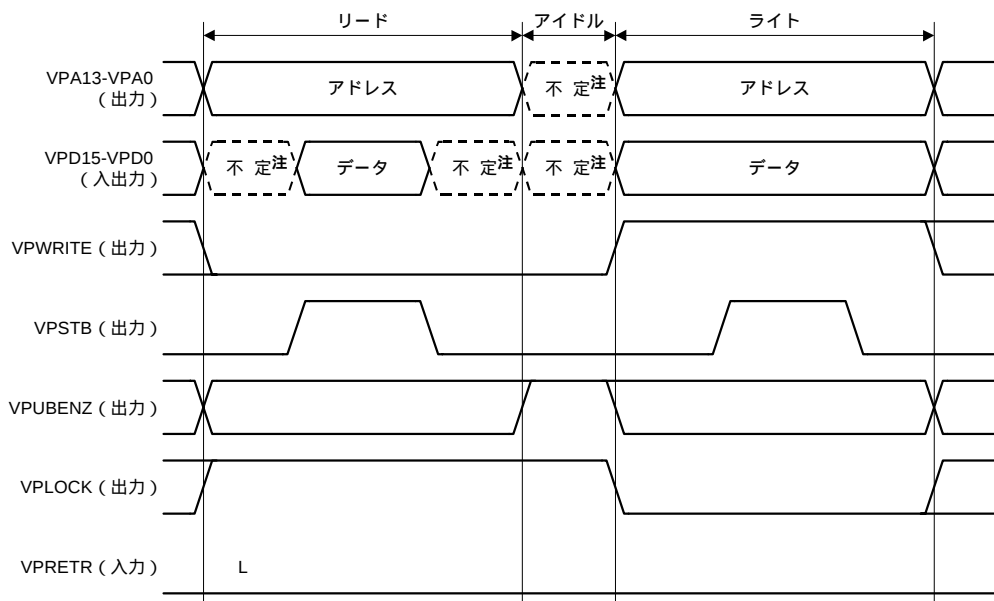
注 NB85E 内部のバス・ホルダがドライブしている不定状態 (Weak unknown)

図5 - 10 偶数アドレスに対するバイト・アクセス・タイミング



注 NB85E 内部のバス・ホルダがドライブしている不定状態 (Weak unknown)

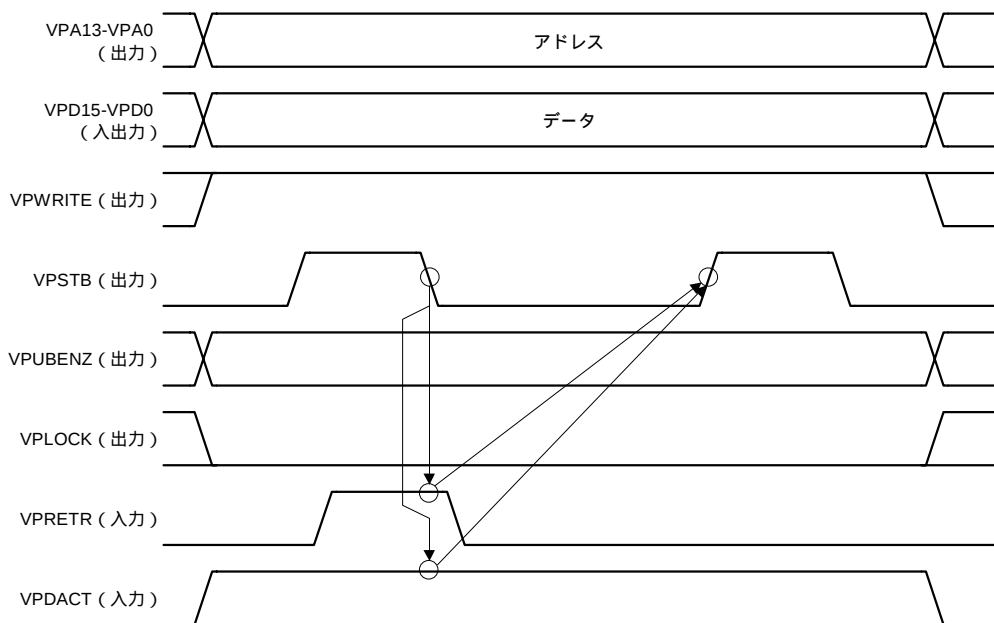
図5 - 11 リード・モディファイ・ライト・タイミング



注 NB85E 内部のバス・ホルダがドライブしている不定状態 (Weak unknown)

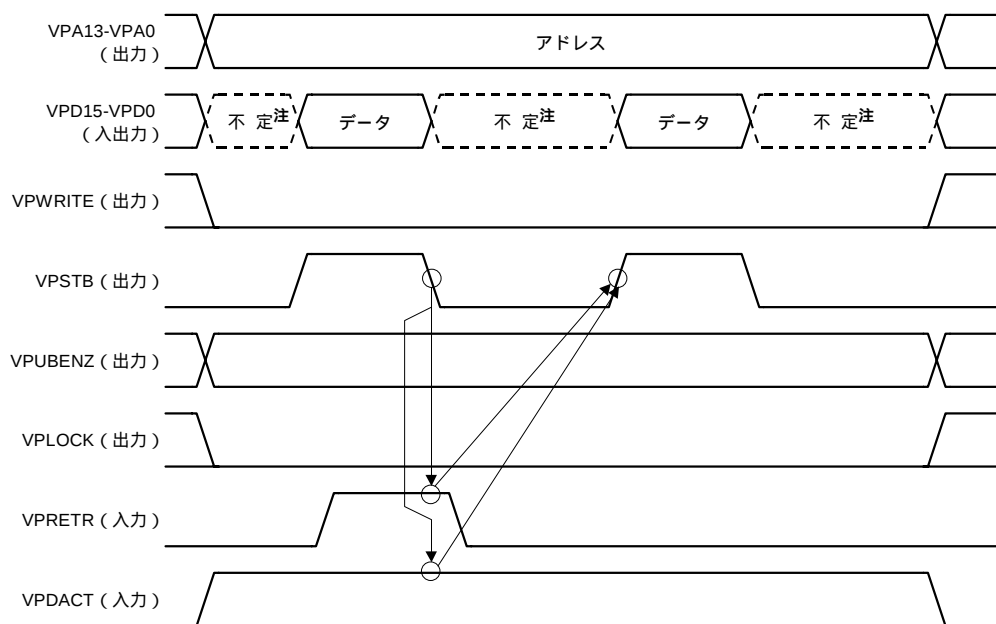
備考 VPLOCK 信号はリード時にアクティブになります。

図5 - 12 リトライ・タイミング (ライト)



備考 VPSTB 信号の立ち下がり時、VPRETR, VPDACT 信号がハイ・レベルであれば、VPSTB 信号はアクティブになり、ライト動作が再び行われます。

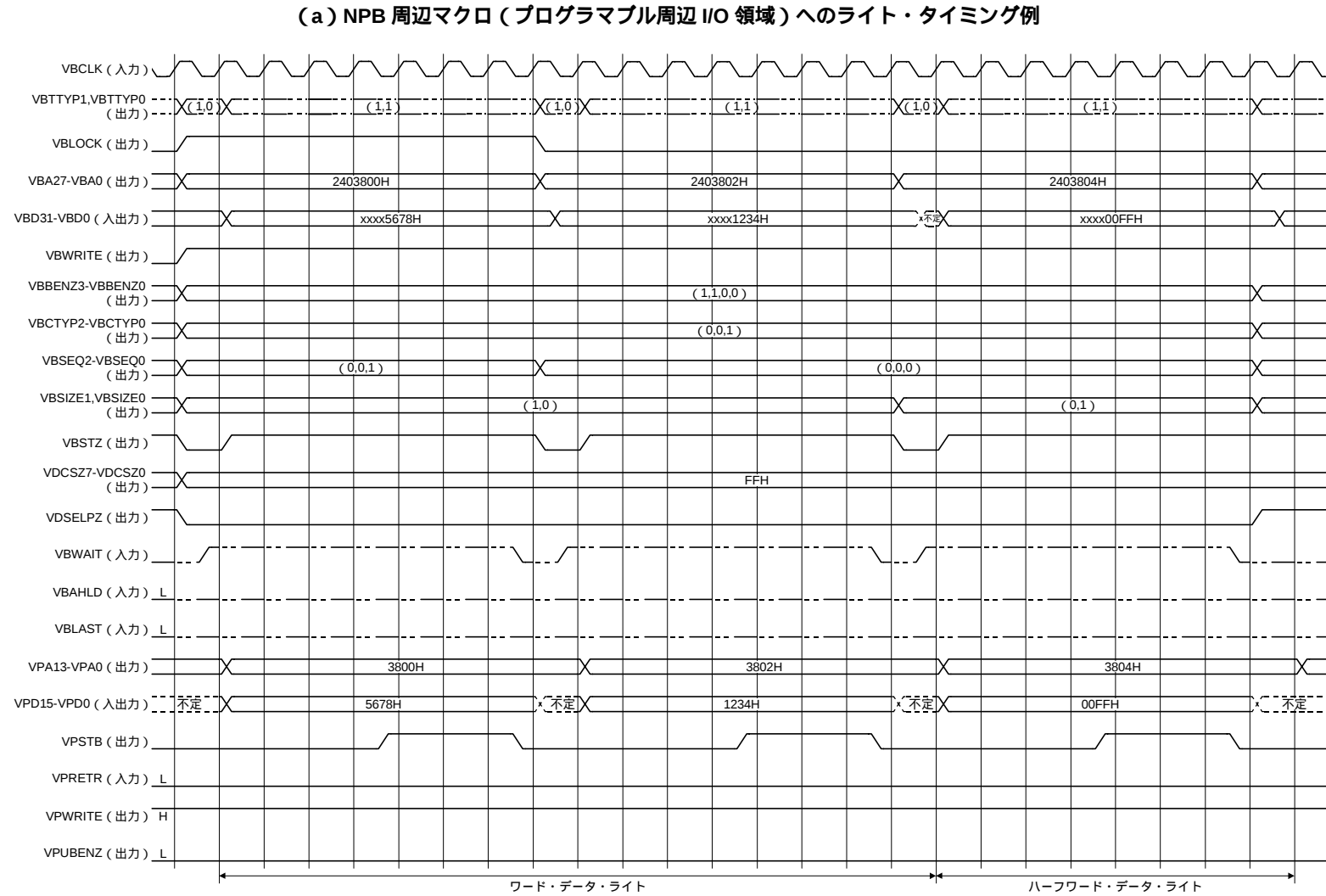
図5 - 13 リトライ・タイミング (リード)



注 NB85E 内部のバス・ホルダがドライブしている不定状態 (Weak unknown)

備考 VPSTB 信号の立ち下がり時, VPRETR, VPDACT 信号がハイ・レベルであれば, VPSTB 信号はアクティブになり, リード動作が再び行われます。

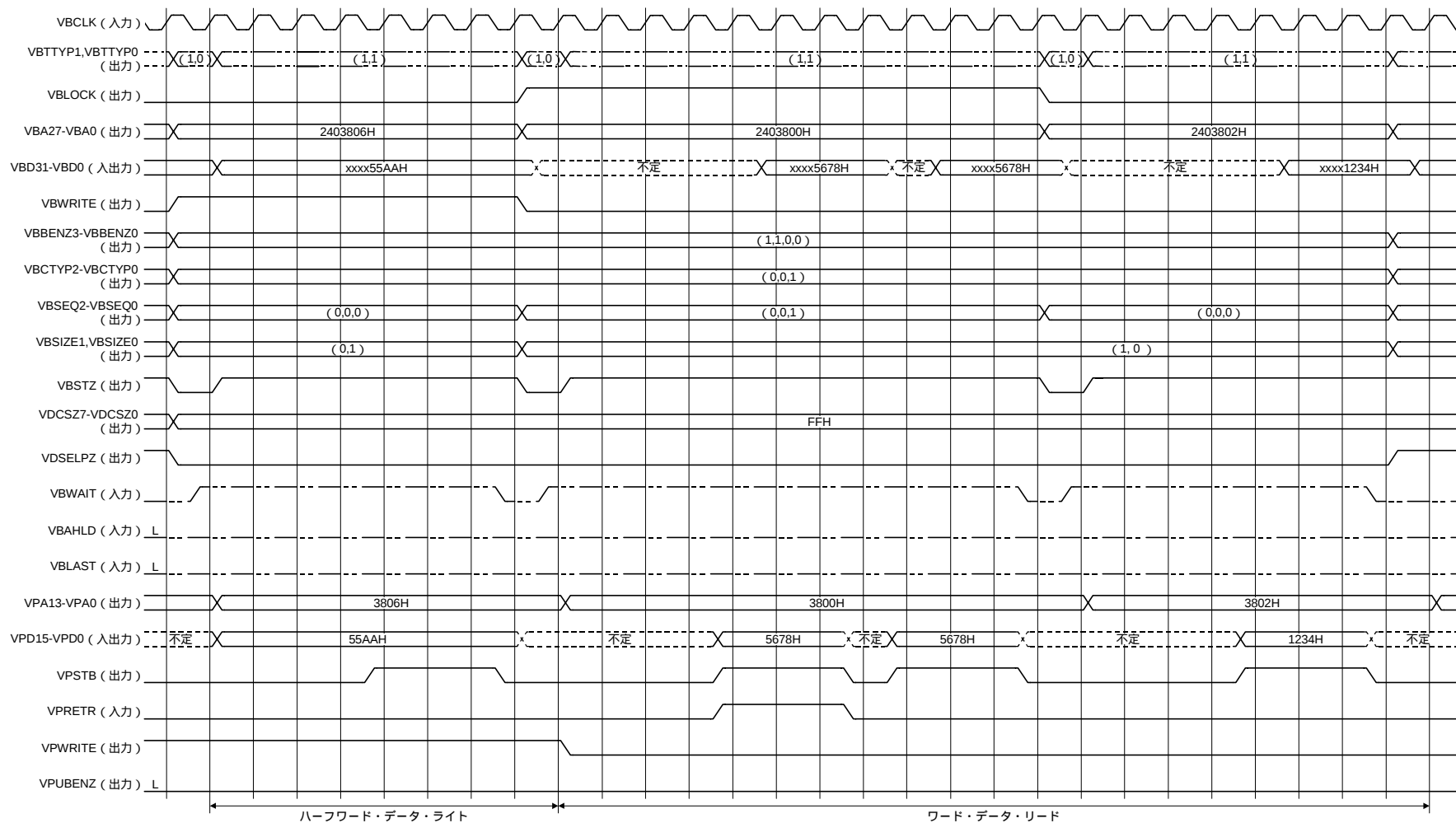
図5 - 14 NPBに接続されたバス・スレーブとのリード/ライト・タイミング (1/3)



備考 破線部分のレベルは NB85E 内部のバス・ホルダがドライブしている不定状態 (Weak unknown) を示します。

図5 - 14 NPBに接続されたバス・スレーブとのリード/ライト・タイミング (2/3)

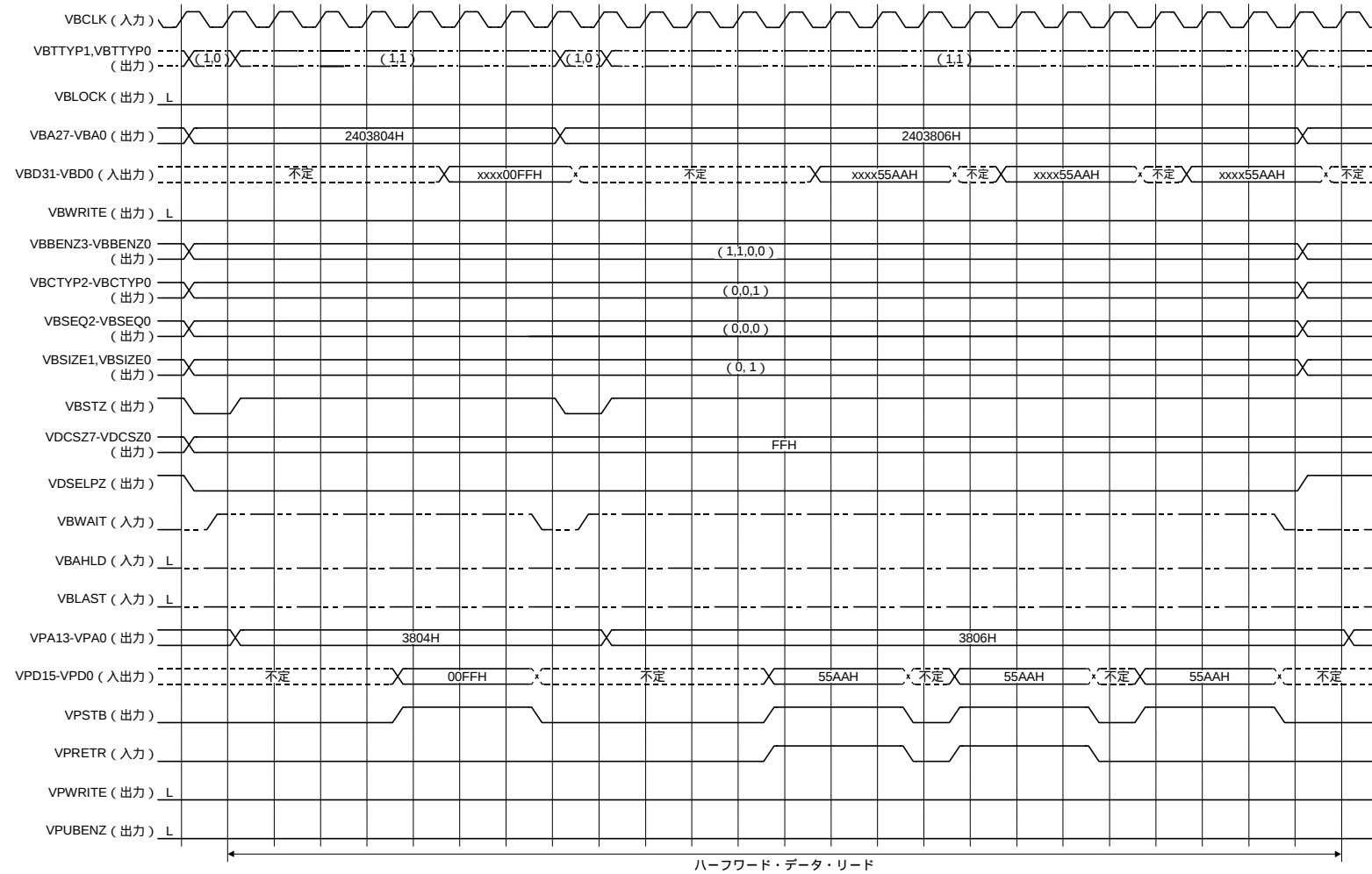
(b) NPB 周辺マクロ (プログラマブル周辺 I/O 領域) のライト/リード・タイミング例



備考 破線部分のレベルは NB85E 内部のバス・ホルダがドライブしている不定状態 (Weak unknown) を示します。

図5 - 14 NPBに接続されたバス・スレーブとのリード/ライト・タイミング (3/3)

(c) NPB 周辺マクロ（プログラマブル周辺 I/O 領域）からのリード・タイミング例



備考 破線部分のレベルは NB85E 内部のバス・ホルダがドライブしている不定状態（Weak unknown）を示します。

第6章 STBC

STBC（スタンバイ・コントロール・ユニット）は、外部クロック・ジェネレータ（CG）を制御し、NB85Eの各種パワー・セーブ機能を実現します。

6.1 パワー・セーブ機能

パワー・セーブ機能には、次のものがあります。

（１）HALT モード

専用命令（HALT 命令）の実行により、CPU へのクロック供給だけが停止するモードです。CPU 以外へのクロック供給は継続され、CPU の命令処理に依存しない NB85E 内部の周辺 I/O は動作を継続します。通常動作モードとの組み合わせによる間欠動作により、システム全体の消費電力を低減できます。

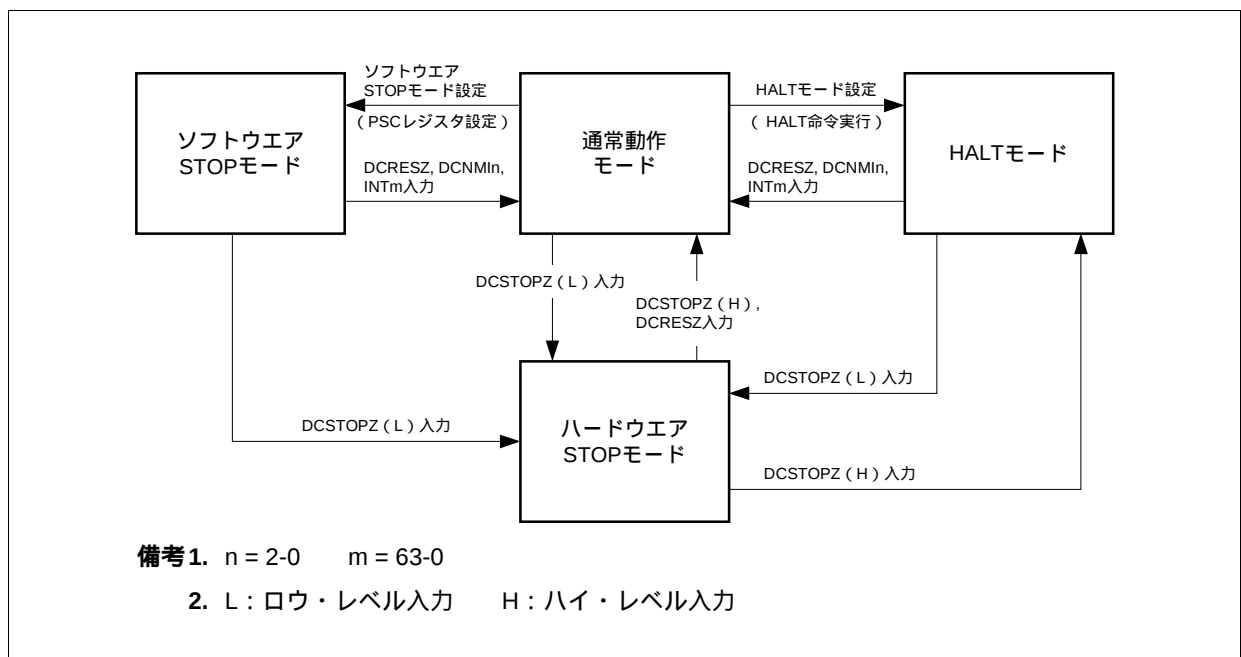
（２）ソフトウェア STOP モード

PSC レジスタの設定により、外部クロック・ジェネレータを停止させ、システム全体を停止するモードです。リーク電流だけの超低消費電力状態になります。

（３）ハードウェア STOP モード

DCSTOPZ 入力により、外部クロック・ジェネレータを停止させ、システム全体を停止するモードです。リーク電流だけの超低消費電力状態になります。

図6-1 パワー・セーブ機能状態遷移図



6.2 制御レジスタ

6.2.1 パワー・セーブ・コントロール・レジスタ (PSC)

パワー・セーブ機能を制御する 8 ビット・レジスタです。

NMI2M-NMI0M, INTM ビットの設定により割り込み許可状態になっていれば、割り込み要求によるソフトウェア STOP モードの解除が行えます (割り込みマスク・レジスタ (IMR0-IMR3) により、割り込み処理を禁止している場合を除く)。

また、STP ビットの設定によりソフトウェア STOP モードを指定します。

このレジスタは、プログラムの暴走などにより誤って設定内容を書き換えられないように、特定の手順によってだけ書き込みが可能です。

8/1 ビット単位でリード/ライト可能です。

注意 DMAC によるデータ転送によって、PSC レジスタの設定は行わないでください。

レジスタの設定には、必ず、ストア命令 (ST/SST)、またはビット操作命令 (SET1/CLR1/NOT1 命令) を使用してください。

図6-2 パワー・セーブ・コントロール・レジスタ (PSC)

	7	6	5	4	3	2	1	0		
PSC	NMI2M	NMI1M	NMI0M	INTM	0	0	STP	0	アドレス	初期値
									FFFFFF1FEH	00H

ビット位置	ビット名	意 味
7	NMI2M	DCNMI2 端子からのノンマスクابل割り込み要求 (NMI2) をマスクします。 ^注 0 : NMI2 要求許可 1 : NMI2 要求禁止
6	NMI1M	DCNMI1 端子からのノンマスクابل割り込み要求 (NMI1) をマスクします。 ^注 0 : NMI1 要求許可 1 : NMI1 要求禁止
5	NMI0M	DCNMI0 端子からのノンマスクابل割り込み要求 (NMI0) をマスクします。 ^注 0 : NMI0 要求許可 1 : NMI0 要求禁止
4	INTM	INT63-INT0 端子からのマスクابل割り込み要求 (INT63-INT0) をマスクします。 ^注 0 : INT63-INT0 要求許可 1 : INT63-INT0 要求禁止
1	STP	ソフトウェア STOP モードを指定します。 このビットをセット (1) するとソフトウェア STOP モードに設定されます。 ソフトウェア STOP モードが解除されると自動的にクリア (0) されます。

注 設定はソフトウェア STOP モード時だけ有効です。

- 注意 1.** NMI2M-NMI0M, INTM ビットと, STP ビットを同時にセット (1) した場合, NMI2M-NMI0M, INTM ビットの設定は無効になります。したがって, ソフトウェア STOP モードに移行する際にマスクされていない保留中の割り込み要求がある場合は, その割り込み要求に対するビット (NMI2M-NMI0M, INTM) をセット (1) したあとに STP ビットをセット (1) してください。
- 2.** NMI2M-NMI0M, INTM ビットがセット (1) された割り込み要求は無効となるため (保留もされません), ソフトウェア STOP モードは解除されません。

PSC レジスタへのデータ設定は、次に示す手順で行います。

- <1> 任意の汎用レジスタ（3.2.1 プログラム・レジスタ参照）に PSC レジスタへ設定するためのデータを書き込む。
- <2> <1>で用意した汎用レジスタの内容を、ストア命令（ST/SST 命令）によりコマンド・レジスタ（PRCMD）に書き込む。
- <3> <1>で用意した汎用レジスタの内容を、次の命令により PSC レジスタに書き込む（PRCMD レジスタへの書き込みを行った直後に行います）。
 - ストア命令（ST/SST 命令）
 - ビット操作命令（SET1/CLR1/NOT1 命令）
- <4> ソフトウェア STOP モードに移行する場合は、NOP 命令を挿入する（5 命令以上）。

例 1. <1> mov 0x02, r11

movea base_address, r0, r20 ; base_address = FFFF000H

<2> st.b r11, PRCMD[r20] ; PRCMD = 01FCH

<3> st.b r11, PSC[r20] ; PSC = 01FEH

<4> nop

nop

nop

nop

nop

2. <1> mov 0x02, r11

movea 0xF1FCH, r0, r20

movea 0xF1FEH, r0, r21

<2> st.b r11, 0x0[r20] ; r20 = FFFFF1FCH (= PRCMD)

<3> st.b r11, 0x0[r21] ; r21 = FFFFF1FEH (= PSC)

<4> nop

nop

nop

nop

nop

なお、PSC レジスタの内容を読み出す場合は、特別な手順は必要ありません。

備考 1. PRCMD レジスタに対するストア命令では割り込み受け付けを行いません。

- 2. 上記<2>, <3>は連続して行うことを前提としています。<2>, <3>間にほかの命令が置かれていると、その命令で割り込みを受け付けた際に、設定が成立しなくなる場合があります、誤動作の要因になります。
- 3. PRCMD レジスタへ書き込むデータはダミー・データですが、特定レジスタへの設定（上記例の<3>）で使用する汎用レジスタと同じ値（データ）を、PRCMD レジスタ書き込み（上記例の<2>）でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。

6.2.2 コマンド・レジスタ (PRCMD)

コマンド・レジスタ (PRCMD) は、プログラムの暴走などにより応用システムが不用意に停止しないように、PSC レジスタへの書き込み動作に対してプロテクションを設定するために使用します。

PRCMD レジスタに対して、レジストレーション・コード (任意の 8 ビット・データ) を書き込んだ直後の最初の PSC レジスタへの書き込みだけが有効になります。定められた手順によってだけレジスタ値の書き換えを行うため、PSC レジスタへの不正な書き込み動作は排除されます。

8 ビット単位でライトだけ可能です。リード時は不定値になります。

注意 DMAC によるデータ転送によって、PRCMD レジスタの設定は行わないでください。
レジスタの設定には、必ず、ストア命令 (ST/SST) を使用してください。

図6-3 コマンド・レジスタ (PRCMD)



6.3 HALT モード

CPU の動作クロックが停止するモードです。CPU 以外へのクロック供給は継続され、動作を継続します。CPU の空き時間に HALT モードに設定することにより、システム全体の消費電力を低減できます。

(1) 設定と動作状態

HALT 命令により HALT モードに移行します。

HALT モードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタや RAM の内容は保持されます。また、CPU の命令処理に依存しない NB85E 内部の周辺 I/O は動作を継続します。

注意 HALT 命令のあとには、NOP 命令を 5 命令以上挿入してください。

(2) HALT モードの解除

ノンマスカブル割り込み要求、マスクされていないマスカブル割り込み要求、または DCRESZ 入力により解除されます。

(a) 割り込み要求による解除

ノンマスカブル割り込み要求、またはマスクされていないマスカブル割り込み要求により、優先順位とは無関係に解除されます。解除後の動作は次のようになります。

表6-1 割り込み要求によるHALTモード解除後の動作

解除要因	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスカブル割り込み要求	ハンドラ・アドレスに分岐	
マスカブル割り込み要求	ハンドラ・アドレスに分岐、または次の命令を実行	次の命令を実行

なお、割り込み処理ルーチン内で HALT モードに設定した場合は、次のように動作が異なります。

<1> 優先順位の低い割り込み要求が発生した場合

HALT モードの解除だけを行い、割り込み要求は受け付けません（保留します）。

<2> 優先順位が高い割り込み要求（ノンマスカブル割り込み要求を含む）が発生した場合

HALT モードの解除とともに、割り込み要求を受け付けます。

(b) DCRESZ 入力による解除

通常のリセット動作と同じです。

注意 DCRESZ 信号は、VBCLK 信号に対するセットアップ/ホールド時間を満たすように入力してください。

6.4 ソフトウェア STOP モード

CPU の動作クロックとともにクロック・ジェネレータを停止させるモードです。システム全体を停止させ、リーク電流だけの超低消費電力を実現します。

(1) 設定と動作状態

スタア命令 (ST/SST 命令) またはビット操作命令 (SET1/CLR1/NOT1 命令) による PSC レジスタ設定でソフトウェア STOP モードに移行します。

ソフトウェア STOP モードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタや RAM の内容は保持されます。NB85E 内部の周辺 I/O も動作を停止します。

(2) ソフトウェア STOP モードの解除

ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求、または DCRESZ 入力により解除されます。

(a) 割り込み要求による解除

PSC レジスタによりマスクされていないノンマスクابل割り込み要求、またはマスクされていないマスクابل割り込み要求により、優先順位とは無関係に解除されます。解除後の動作は、次のようになります。

注意 パワー・セーブ・コントロール・レジスタ (PSC) の NMI2M-NMI0M, INTM ビットがセット (割り込みを禁止) されている割り込み要求は無効になります (ソフトウェア STOP モードは解除されません)。

表6 - 2 割り込み要求によるソフトウェアSTOPモード解除後の動作

解除要因	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求	ハンドラ・アドレスに分岐	
マスクابل割り込み要求	ハンドラ・アドレスに分岐、または 次の命令を実行	次の命令を実行

なお、割り込み処理ルーチン内でソフトウェア STOP モードに設定した場合は、表 6 - 3 に示す動作になります。

表6-3 割り込み処理ルーチン内でソフトウェアSTOPモードに設定したあとの動作

ソフトウェア STOP モード設定時の割り込み処理ルーチンの種類	解除要因	優先順位 ^{注1}	動作
マスカブル割り込み	マスカブル割り込み要求	低	ソフトウェア STOP モードの解除だけを行い、割り込み要求は受け付けません（保留します）。
		同一	
		高（ID = 1） ^{注2}	
	ノンマスカブル割り込み要求	高（ID = 0） ^{注3}	ソフトウェア STOP モードの解除とともに、割り込み要求を受け付けます。
ノンマスカブル割り込み	マスカブル割り込み要求	-	ソフトウェア STOP モードの解除だけを行い、割り込み要求は受け付けません（保留します）。
	ノンマスカブル割り込み要求	低	
		同一	ソフトウェア STOP モードの解除とともに、割り込み要求を受け付けます。
		高	

注1. ソフトウェア STOP モード設定時の割り込み（処理中だった割り込み）に対する優先順位です。

2. PSW の ID ビットが 1（割り込み受け付け不可）の場合
3. PSW の ID ビットが 0（割り込み受け付け可）の場合

（b）DCRESZ 入力による解除

通常のリセット動作と同じです。

注意 DCRESZ 信号は、VBCLK 信号に対するセットアップ/ホールド時間を満たすように入力してください。

6.5 ハードウェア STOP モード

CPU の動作クロックとともにクロック・ジェネレータを停止させるモードです。システム全体を停止させ、リーク電流だけの超低消費電力を実現します。

(1) 設定と動作状態

DCSTOPZ 端子にロウ・レベルを入力するとハードウェア STOP モードに移行します。HALT モード、またはソフトウェア STOP モードの状態でも DCSTOPZ 端子にロウ・レベルを入力してもハードウェア STOP モードに移行します。

ハードウェア STOP モードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタや RAM の内容は保持されます。NB85E 内部の周辺 I/O も動作を停止します。

備考 リード・モディファイ・ライトやミス・アライン・アクセスなど VBLOCK 信号がロック中に DCSTOPZ 入力アクティブ（ロウ・レベル）になる場合、正常にハードウェア STOP モードに移行しないことがあります。バス・ロック中に DCSTOPZ 入力ロウ・レベルになると NB85E 内部の CPU は停止しますが、ロックされたバスに接続しているスレーブ・デバイスはクロック供給を必要とする場合があるため、外部クロック・ジェネレータ制御信号である HWSTOPRQ 信号がアクティブにならず、結果としてクロックが停止されずにハードウェア STOP モードに移行しません。

DCSTOPZ 入力をロウ・レベルにしたときに、確実にハードウェア STOP モードに移行する必要があるシステムの場合、DCSTOPZ 入力を VBLOCK 信号でマスクし、バス・ロック中のハードウェア STOP モードへの移行を回避してください。

(2) ハードウェア STOP モードの解除

DCSTOPZ 入力、または DCRESZ 入力により解除されます。

(a) DCSTOPZ 入力による解除

DCSTOPZ 端子への入力がロウ・レベルからハイ・レベルになると解除されます。

解除後に移行するモードは、ハードウェア STOP モード設定前の状態により次のように異なります。

表6-4 ハードウェアSTOPモード解除後の状態

ハードウェア STOP モード設定前	ハードウェア STOP モード解除後
通常動作モード	通常動作モード
ソフトウェア STOP モード	通常動作モード
HALT モード	HALT モード

(b) DCRESZ 入力による解除

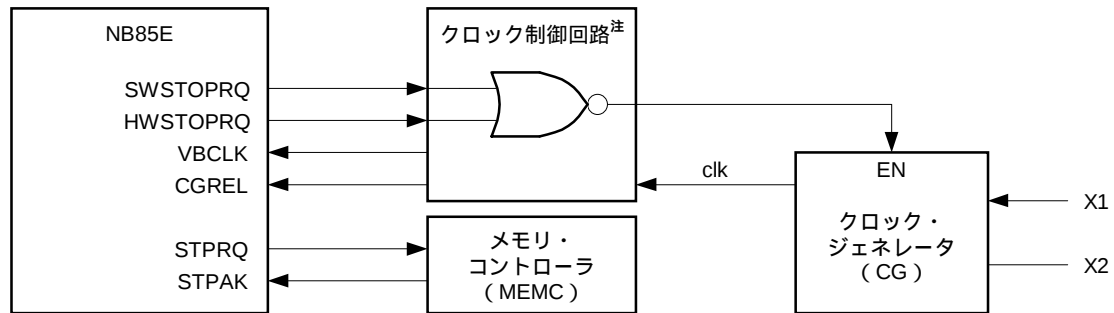
通常のリセット動作と同じです。

注意 DCRESZ 信号は、VBCLK 信号に対するセットアップ/ホールド時間を満たすように入力してください。

6.6 ソフトウェア / ハードウェア STOP モードでのクロック制御

NB85E とクロック制御回路の接続は次のようになります。

図6 - 4 NB85Eとクロック制御回路の接続



注 クロック制御回路は、ユーザ・ロジックとして設計してください。また、発振安定時間（図6 - 5、図6 - 6 参照）を確保する回路を含んでください。

注意 NB85E に MEMC を接続しないシステムの場合、STPAK 端子は次のどちらかの方法で処理してください。

- 常にハイ・レベルを入力
- NB85E の STPRQ 出力（ハイ・レベル）に対して、STPAK 端子にハイ・レベルを出力するユーザ・ロジックを接続

STPAK 端子にハイ・レベルが入力されないと、HWSTOPRQ 信号と SWSTOPRQ 信号がアクティブとならないため、STOP モードに移行できなくなります。

(1) ソフトウェア STOP モードの設定 / 解除時のクロック制御

(a) ソフトウェア STOP モード設定時（PSC レジスタの STP ビット設定によるソフトウェア STOP モード設定後）

- <1> STOP モード要求信号（STPRQ）をアクティブ（ハイ・レベル）にしてメモリ・コントローラに出力。
- <2> STPRQ 信号を受けたメモリ・コントローラからのアクノリッジ信号（STPAK）のアクティブ・レベル（ハイ・レベル）を入力。
- <3> ソフトウェア STOP モード要求信号（SWSTOPRQ）をアクティブ（ハイ・レベル）にしてクロック制御回路に出力（この SWSTOPRQ 信号を使用してクロック制御回路からの VBCLK 出力を停止してください）。

(b) ソフトウェア STOP モード解除時

- <1> ノンマスカブル割り込み要求 (DCNMIm), マスクされていないマスカブル割り込み要求 (INTn), または DCRESZ 信号を入力 ($m = 2-0, n = 63-0$)。
- <2> ソフトウェア STOP モード要求信号 (SWSTOPRQ) をインアクティブ (ロウ・レベル) にしてクロック制御回路に出力 (クロック・ジェネレータが動作を開始する)。
- <3> 発振安定時間後, クロック制御回路から VBCLK 信号と CGREL 信号のアクティブ・レベル (ハイ・レベル) を入力 (この VBCLK 信号の入力により, STPRQ, STPAK 出力がロウ・レベルに戻ります)。

注意1. VBCLK 端子には, 必ず安定したクロックを入力してください。

2. CGREL 端子には, 1 クロック以上のアクティブ・レベル (ハイ・レベル) を入力してください。また, 再度, ソフトウェア STOP モードを設定する場合は, 必ず設定前に CGREL 端子にインアクティブ・レベル (ロウ・レベル) を入力してください。

図6 - 5 ソフトウェアSTOPモード設定 / 解除タイミング例 (1/2)

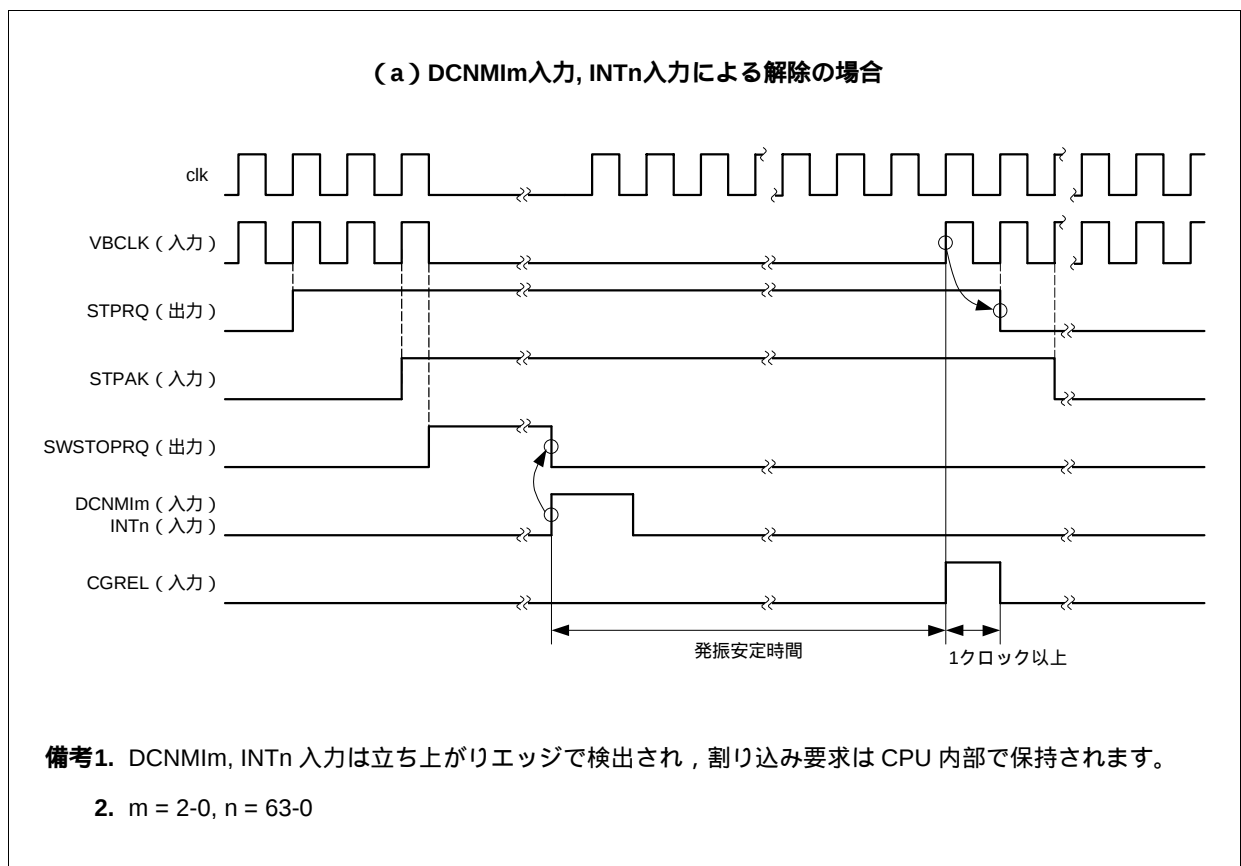
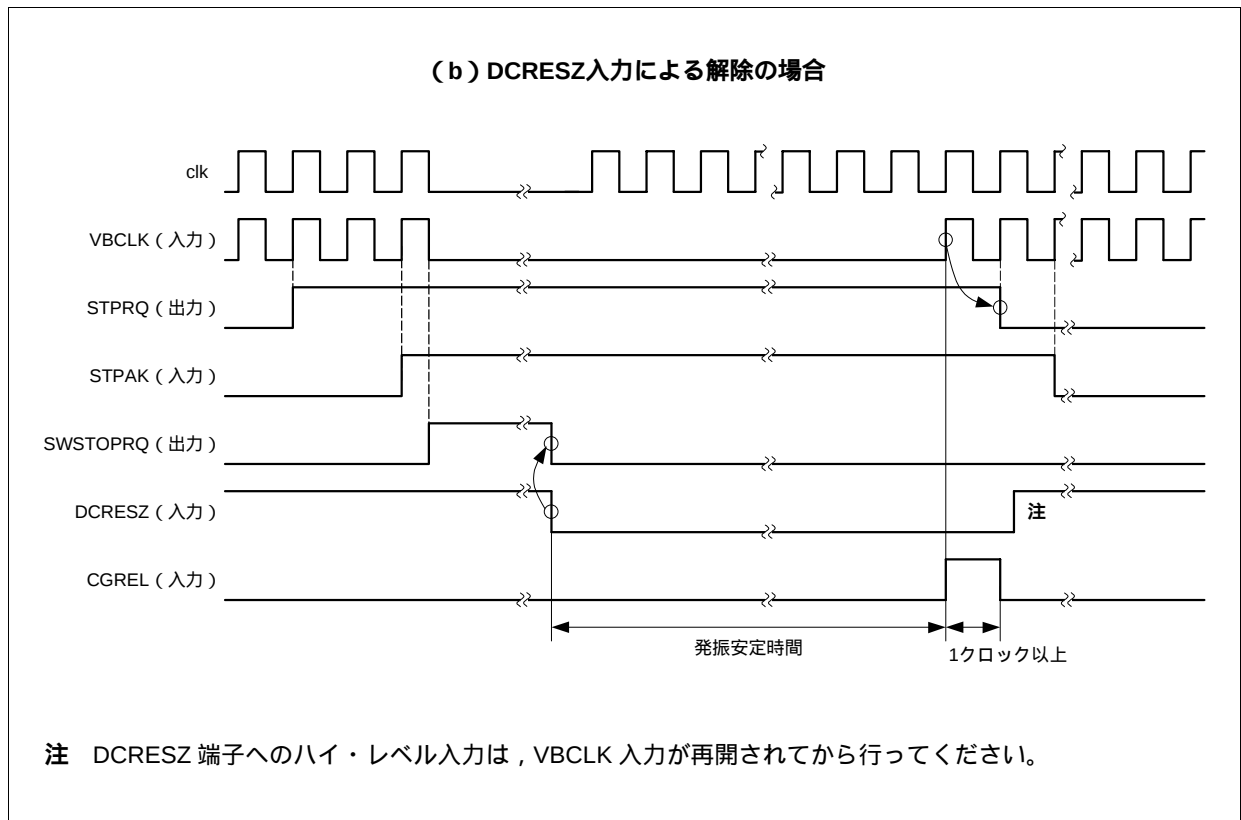


図6 - 5 ソフトウェアSTOPモード設定 / 解除タイミング例 (2/2)



(2) ハードウェア STOP モードの設定 / 解除時のクロック制御

(a) ハードウェア STOP モード設定時

- <1> DCSTOPZ 信号のアクティブ・レベル (ロウ・レベル) を入力。
- <2> STOP モード要求信号 (STPRQ) をアクティブ (ハイ・レベル) にしてメモリ・コントローラに出力。
- <3> STPRQ 信号を受けたメモリ・コントローラからのアクノリッジ信号 (STPAK) のアクティブ・レベル (ハイ・レベル) を入力。
- <4> ハードウェア STOP モード要求信号 (HWSTOPRQ) をアクティブ (ハイ・レベル) にしてクロック制御回路に出力 (この HWSTOPRQ 信号を使用してクロック制御回路からの VBCLK 出力を停止してください)。

(b) ハードウェア STOP モード解除時

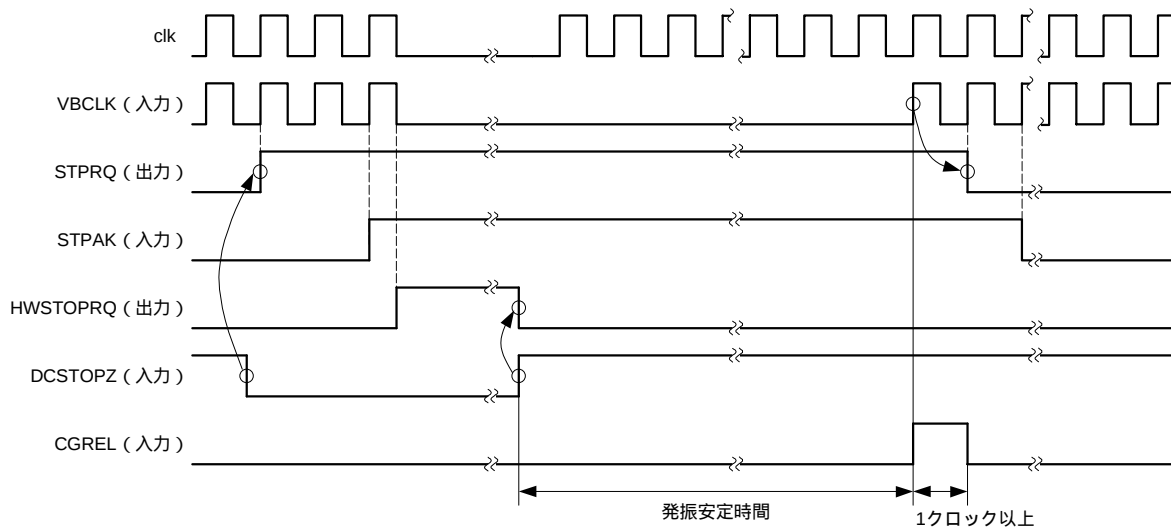
- <1> DCSTOPZ 信号のインアクティブ・レベル (ハイ・レベル), または DCRESZ 信号を入力。
- <2> ハードウェア STOP モード要求信号 (HWSTOPRQ) をインアクティブ (ロウ・レベル) にしてクロック制御回路に出力 (クロック・ジェネレータが動作を開始する)。
- <3> 発振安定時間後, クロック制御回路から VBCLK 信号と CGREL 信号のアクティブ・レベル (ハイ・レベル) を入力 (この VBCLK 信号の入力により, STPRQ, STPAK 出力がロウ・レベルに戻ります)。

注意1. VBCLK 端子には、必ず安定したクロックを入力してください。

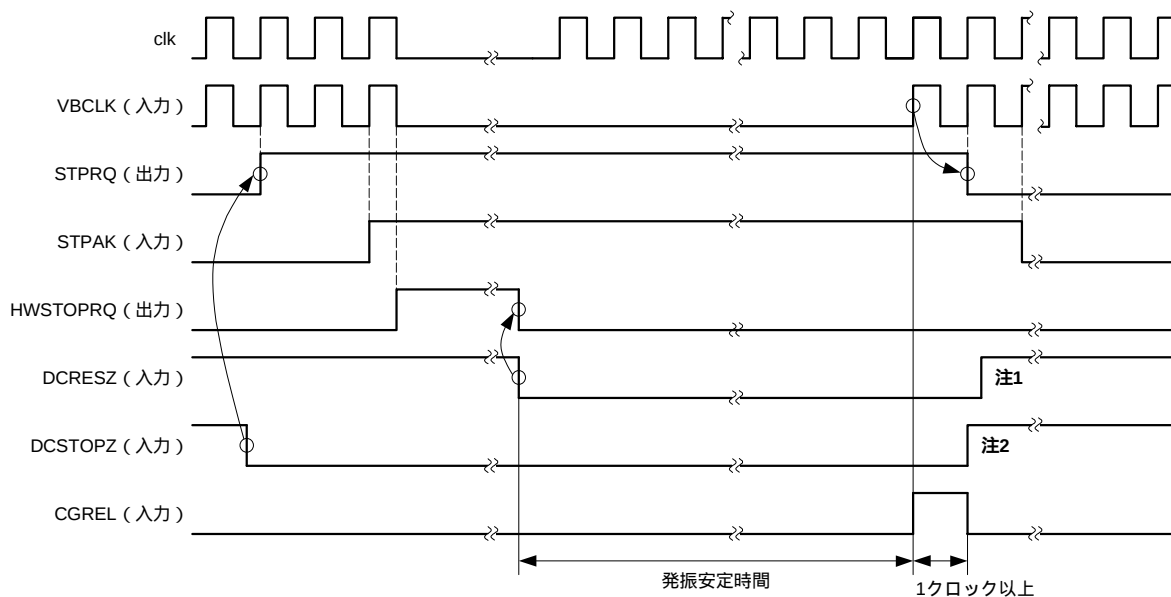
2. CGREL 端子には、1 クロック以上のアクティブ・レベル（ハイ・レベル）を入力してください。また、再度、ハードウェア STOP モードを設定する場合は、必ず設定前に CGREL 端子にインアクティブ・レベル（ロウ・レベル）を入力してください。

図6 - 6 ハードウェアSTOPモード設定 / 解除タイミング例

(a) DCSTOPZ入力による解除の場合



(b) DCRESZ入力による解除の場合



注1. DCRESZ 端子へのハイ・レベル入力は、VBCLK 入力が再開されてから行ってください。

2. DCSTOPZ 端子へのハイ・レベル入力は、DCRESZ 端子へのハイ・レベル入力の前に行ってください。

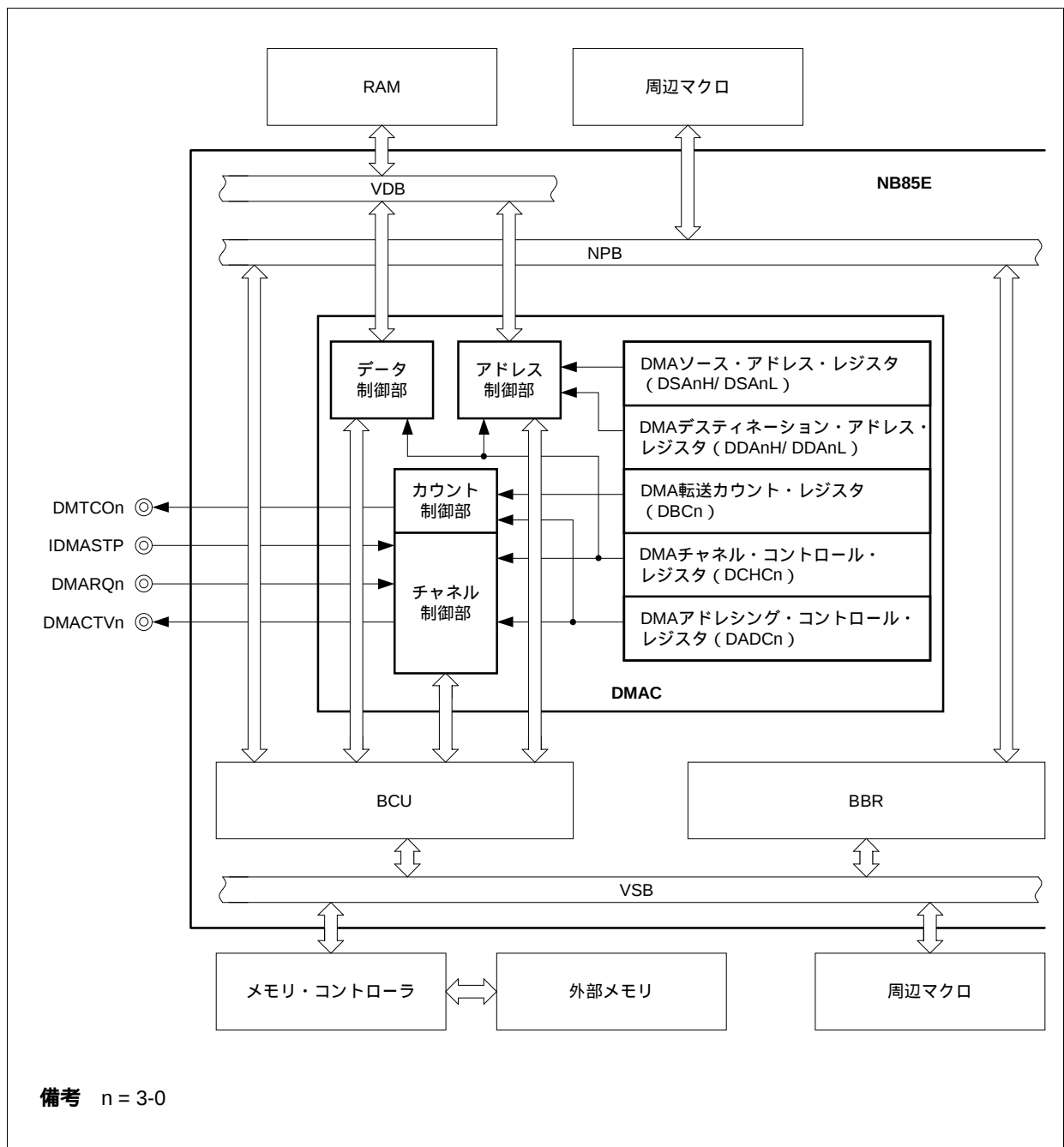
第 7 章 DMAC

DMAC (DMA コントロール・ユニット) は, DMARQ3-DMARQ0 端子, またはソフトウェア・トリガによる DMA 転送要求に基づいて, メモリ↔周辺マクロ間またはメモリ↔メモリ間でのデータ転送を制御します (メモリは RAM, または外部メモリを意味します)。

7.1 特 徴

- 4 つの独立な DMA チャンネル
- 転送単位: 8 ビット / 16 ビット / 32 ビット
- 最大転送回数: 65536 (2^{16}) 回
- 2 種類の転送タイプ
 - フライバイ (1 サイクル) 転送
 - 2 サイクル転送
- 4 種類の転送モード
 - シングル転送モード
 - シングルステップ転送モード
 - ライン転送モード (4 バス・サイクル転送モード)
(2 サイクル転送では, リード→ライト動作を 4 回繰り返します)
 - ブロック転送モード
- 転送要求
 - DMARQ3-DMARQ0 端子入力による要求
 - ソフトウェアによる要求
- 転送対象
 - RAM↔周辺マクロ
 - RAM↔外部メモリ
 - RAM↔RAM
 - 外部メモリ↔周辺マクロ
 - 外部メモリ↔外部メモリ (リトル・エンディアン領域↔ビッグ・エンディアン領域の転送も可能)
- ターミナル・カウンタ出力信号 (DMTCO3-DMTCO0)
- ネクスト・アドレス設定機能

7.2 構 成



7.3 転送対象

(1) 転送タイプ

転送の種類と転送対象の関係を表 7 - 1 に示します。

注意 表 7 - 1 に示す転送先と転送元で、「×」が表記されている組み合わせで転送を行った場合の動作は保証しません。

表7 - 1 転送の種類と転送対象の関係

		転送先					
		2 サイクル転送の場合			フライバイ転送の場合		
		VSB	NPB	RAM	VSB	NPB	RAM
転送元	VSB	○	○	○	○注	×	×
	NPB	○	○	○	×	×	×
	RAM	○	○	○	×	×	×

注 フライバイ転送に対応した MEMC (NB85E500/NU85E500) を使用した場合だけ転送可。

備考 ○：転送可

×：転送不可

VSB：外部メモリ，または VSB 上の周辺マクロ

NPB：NPB 上の周辺マクロ

(2) ウェイト機能

ウェイト機能と転送対象の関係を表 7 - 2 に示します。

表7 - 2 ウェイト機能と転送対象の関係

転送対象	ウェイト機能
VSB	MEMC (NB85E500/NU85E500, NU85E502) で設定
NPB	VSWC レジスタで設定
RAM	ノー・ウェイト

7.4 DMA チャンネルの優先順位

DMA チャンネルの優先順位は固定で，次のようになります。

DMA チャンネル 0 > DMA チャンネル 1 > DMA チャンネル 2 > DMA チャンネル 3

この優先順位が有効となるのは，TI ステートのときだけです。ブロック転送中は転送するチャンネルが入れ替わることはありません。

シングルステップ転送中でバスを解放している期間 (TI) 中に，ほかの優先順位が高い DMA 転送要求が発生した場合は，優先順位が高い DMA 転送を行います。

7.5 制御レジスタ

7.5.1 DMA ソース・アドレス・レジスタ 0-3 (DSA0-DSA3)

DMA チャンネル n の DMA 転送元アドレス (28 ビット) を設定します ($n = 0-3$)。このレジスタは、DSAnH、DSAnL の 2 つの 16 ビット・レジスタに分かれます。

2 段 FIFO 構成のバッファ・レジスタなので、DMA 転送中に新たな DMA 転送の転送元アドレスが設定できます (7.6 ネクスト・アドレス設定機能参照)。

DMA アドレッシング・コントロール・レジスタ n (DADCn) の TTYP ビットでフライバイ転送に設定した場合、外部メモリのアドレスは DSAn レジスタで設定します。このとき、DMA デスティネーション・アドレス・レジスタ n (DDAn) の設定は無視されます。

(1) DMA ソース・アドレス・レジスタ 0H-3H (DSA0H-DSA3H)

16 ビット単位でリード/ライト可能です。

図7-1 DMAソース・アドレス・レジスタ0H-3H (DSA0H-DSA3H)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
DSA0H	IR	0	0	0	SA 27	SA 26	SA 25	SA 24	SA 23	SA 22	SA 21	SA 20	SA 19	SA 18	SA 17	SA 16	アドレス FFFFFF082H	初期値 不定
DSA1H	IR	0	0	0	SA 27	SA 26	SA 25	SA 24	SA 23	SA 22	SA 21	SA 20	SA 19	SA 18	SA 17	SA 16	アドレス FFFFFF08AH	初期値 不定
DSA2H	IR	0	0	0	SA 27	SA 26	SA 25	SA 24	SA 23	SA 22	SA 21	SA 20	SA 19	SA 18	SA 17	SA 16	アドレス FFFFFF092H	初期値 不定
DSA3H	IR	0	0	0	SA 27	SA 26	SA 25	SA 24	SA 23	SA 22	SA 21	SA 20	SA 19	SA 18	SA 17	SA 16	アドレス FFFFFF09AH	初期値 不定

ビット位置	ビット名	意 味
15	IR	DMA 転送元を指定します。 0 : 外部メモリ, 周辺マクロ 1 : RAM
11-0	SA27- SA16	DMA 転送元のアドレス (A27-A16) を設定します。DMA 転送中は、次の DMA 転送元アドレスを保持します。フライバイ転送時は、外部メモリのアドレスを保持します。

(2) DMA ソース・アドレス・レジスタ 0L-3L (DSA0L-DSA3L)

16 ビット単位でリード/ライト可能です。

図7-2 DMAソース・アドレス・レジスタ0L-3L (DSA0L-DSA3L)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
DSA0L	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	アドレス	初期値
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	FFFFFF080H	不定
DSA1L	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	アドレス	初期値
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	FFFFFF088H	不定
DSA2L	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	アドレス	初期値
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	FFFFFF090H	不定
DSA3L	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	SA	アドレス	初期値
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	FFFFFF098H	不定
	ビット位置	ビット名	意 味															
	15-0	SA15-SA0	DMA 転送元のアドレス (A15-A0) を設定します。DMA 転送中は、次の DMA 転送元アドレスを保持します。フライバイ転送時は、外部メモリのアドレスを保持します。															

7.5.2 DMA デスティネーション・アドレス・レジスタ 0-3 (DDA0-DDA3)

DMA チャンネル n の DMA 転送先アドレス (28 ビット) を設定します ($n = 0-3$)。このレジスタは、DDAnH, DDAnL の 2 つの 16 ビット・レジスタに分かれます。

2 段 FIFO 構成のバッファ・レジスタなので、DMA 転送中に新たな DMA 転送の転送先アドレスが設定できます (7.6 ネクスト・アドレス設定機能参照)。

DMA アドレッシング・コントロール・レジスタ n (DADCn) の TTYP ビットでフライバイ転送に設定した場合、このレジスタの設定は無視されます。

(1) DMA デスティネーション・アドレス・レジスタ 0H-3H (DDA0H-DDA3H)

16 ビット単位でリード/ライト可能です。

図7-3 DMAデスティネーション・アドレス・レジスタ0H-3H (DDA0H-DDA3H)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
DDA0H	IR	0	0	0	DA 27	DA 26	DA 25	DA 24	DA 23	DA 22	DA 21	DA 20	DA 19	DA 18	DA 17	DA 16	アドレス FFFFFF086H	初期値 不定
DDA1H	IR	0	0	0	DA 27	DA 26	DA 25	DA 24	DA 23	DA 22	DA 21	DA 20	DA 19	DA 18	DA 17	DA 16	アドレス FFFFFF08EH	初期値 不定
DDA2H	IR	0	0	0	DA 27	DA 26	DA 25	DA 24	DA 23	DA 22	DA 21	DA 20	DA 19	DA 18	DA 17	DA 16	アドレス FFFFFF096H	初期値 不定
DDA3H	IR	0	0	0	DA 27	DA 26	DA 25	DA 24	DA 23	DA 22	DA 21	DA 20	DA 19	DA 18	DA 17	DA 16	アドレス FFFFFF09EH	初期値 不定

ビット位置	ビット名	意 味
15	IR	DMA 転送先を指定します。 0 : 外部メモリ, 周辺マクロ 1 : RAM
11-0	DA27- DA16	DMA 転送先のアドレス (A27-A16) を設定します。DMA 転送中は、次の DMA 転送先アドレスを保持します。フライバイ転送時は無視されます。

(2) DMA デスティネーション・アドレス・レジスタ 0L-3L (DDA0L-DDA3L)

16 ビット単位でリード/ライト可能です。

図7-4 DMAデスティネーション・アドレス・レジスタ0L-3L (DDA0L-DDA3L)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
DDA0L	DA 15	DA 14	DA 13	DA 12	DA 11	DA 10	DA 9	DA 8	DA 7	DA 6	DA 5	DA 4	DA 3	DA 2	DA 1	DA 0	アドレス FFFFFF084H	初期値 不定
DDA1L	DA 15	DA 14	DA 13	DA 12	DA 11	DA 10	DA 9	DA 8	DA 7	DA 6	DA 5	DA 4	DA 3	DA 2	DA 1	DA 0	アドレス FFFFFF08CH	初期値 不定
DDA2L	DA 15	DA 14	DA 13	DA 12	DA 11	DA 10	DA 9	DA 8	DA 7	DA 6	DA 5	DA 4	DA 3	DA 2	DA 1	DA 0	アドレス FFFFFF094H	初期値 不定
DDA3L	DA 15	DA 14	DA 13	DA 12	DA 11	DA 10	DA 9	DA 8	DA 7	DA 6	DA 5	DA 4	DA 3	DA 2	DA 1	DA 0	アドレス FFFFFF09CH	初期値 不定

ビット位置	ビット名	意 味
15-0	DA15- DA0	DMA 転送先のアドレス (A15-A0) を設定します。DMA 転送中は、次の DMA 転送先アドレスを保持します。フライバイ転送時は無視されます。

7.5.3 DMA 転送カウント・レジスタ 0-3 (DBC0-DBC3)

DMA チャンネル n の転送数を設定する 16 ビット・レジスタです ($n = 0-3$)。DMA 転送中は、残り転送回数を保持します。

2 段 FIFO 構成のバッファ・レジスタなので、DMA 転送中に新たな DMA 転送の転送数が設定できます (7.

6 ネクスト・アドレス設定機能参照)。

1 回の転送につき 1 ずつデクリメントされ、ボローが発生すると転送を終了します。

16 ビット単位でリード/ライト可能です。

なお、ライン転送の場合は $DBCn$ レジスタ = 0003H (4 回の転送) で 1 つのライン転送になります。4 で割り切れない転送回数を設定した場合には、最初に可能なだけのライン転送を行い、最後に残った割り切れない分をシングル転送として行います。

図7-5 DMA転送カウント・レジスタ0-3 (DBC0-DBC3)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DBC0	BC 15	BC 14	BC 13	BC 12	BC 11	BC 10	BC 9	BC 8	BC 7	BC 6	BC 5	BC 4	BC 3	BC 2	BC 1	BC 0	FFFFFF0C0H	不定
DBC1	BC 15	BC 14	BC 13	BC 12	BC 11	BC 10	BC 9	BC 8	BC 7	BC 6	BC 5	BC 4	BC 3	BC 2	BC 1	BC 0	FFFFFF0C2H	不定
DBC2	BC 15	BC 14	BC 13	BC 12	BC 11	BC 10	BC 9	BC 8	BC 7	BC 6	BC 5	BC 4	BC 3	BC 2	BC 1	BC 0	FFFFFF0C4H	不定
DBC3	BC 15	BC 14	BC 13	BC 12	BC 11	BC 10	BC 9	BC 8	BC 7	BC 6	BC 5	BC 4	BC 3	BC 2	BC 1	BC 0	FFFFFF0C6H	不定

ビット位置	ビット名	意 味
15-0	BC15-BC0	転送数を設定します。DMA 転送中は残り転送数を保持します。

備考 $n = 0-3$

7.5.4 DMA アドレッシング・コントロール・レジスタ 0-3 (DADC0-DADC3)

DMA チャンネル n の DMA 転送動作モードを制御する 16 ビット・レジスタです (n = 0-3)。

16 ビット単位でリード/ライト可能です。

注意 DMA 転送中は、アクセスできません。

図7-6 DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3) (1/2)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
DADC0	DS 1	DS 0	0	0	0	0	0	0	SAD 1	SAD 0	DAD 1	DAD 0	TM1	TM0	TTYPTDIR		アドレス FFFFFF0D0H	初期値 0000H
DADC1	DS 1	DS 0	0	0	0	0	0	0	SAD 1	SAD 0	DAD 1	DAD 0	TM1	TM0	TTYPTDIR		アドレス FFFFFF0D2H	初期値 0000H
DADC2	DS 1	DS 0	0	0	0	0	0	0	SAD 1	SAD 0	DAD 1	DAD 0	TM1	TM0	TTYPTDIR		アドレス FFFFFF0D4H	初期値 0000H
DADC3	DS 1	DS 0	0	0	0	0	0	0	SAD 1	SAD 0	DAD 1	DAD 0	TM1	TM0	TTYPTDIR		アドレス FFFFFF0D6H	初期値 0000H

ビット位置	ビット名	意 味															
15, 14	DS1, DS0	DMA 転送での転送データ・サイズを設定します。 <table border="1"> <thead> <tr> <th>DS1</th><th>DS0</th><th>転送データ・サイズ</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>8 ビット</td></tr> <tr> <td>0</td><td>1</td><td>16 ビット</td></tr> <tr> <td>1</td><td>0</td><td>32 ビット</td></tr> <tr> <td>1</td><td>1</td><td>設定禁止</td></tr> </tbody> </table>	DS1	DS0	転送データ・サイズ	0	0	8 ビット	0	1	16 ビット	1	0	32 ビット	1	1	設定禁止
DS1	DS0	転送データ・サイズ															
0	0	8 ビット															
0	1	16 ビット															
1	0	32 ビット															
1	1	設定禁止															
7, 6	SAD1, SAD0	DMA チャンネル n の転送元アドレスのカウント方向を設定します (n = 0-3)。 <table border="1"> <thead> <tr> <th>SAD1</th><th>SAD0</th><th>カウント方向</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>インクリメント</td></tr> <tr> <td>0</td><td>1</td><td>デクリメント</td></tr> <tr> <td>1</td><td>0</td><td>固定</td></tr> <tr> <td>1</td><td>1</td><td>設定禁止</td></tr> </tbody> </table>	SAD1	SAD0	カウント方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止
SAD1	SAD0	カウント方向															
0	0	インクリメント															
0	1	デクリメント															
1	0	固定															
1	1	設定禁止															

図7-6 DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3) (2/2)

ビット位置	ビット名	意 味															
5, 4	DAD1, DAD0	DMA チャンネル n の転送先アドレスのカウント方向を設定します。 <table border="1"> <thead> <tr> <th>DAD1</th><th>DAD0</th><th>カウント方向</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>インクリメント</td></tr> <tr> <td>0</td><td>1</td><td>デクリメント</td></tr> <tr> <td>1</td><td>0</td><td>固定</td></tr> <tr> <td>1</td><td>1</td><td>設定禁止</td></tr> </tbody> </table>	DAD1	DAD0	カウント方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止
DAD1	DAD0	カウント方向															
0	0	インクリメント															
0	1	デクリメント															
1	0	固定															
1	1	設定禁止															
3, 2	TM1, TM0	DMA 転送時の転送モードを設定します。 <table border="1"> <thead> <tr> <th>TM1</th><th>TM0</th><th>転送モード</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>シングル転送モード</td></tr> <tr> <td>0</td><td>1</td><td>シングルステップ転送モード</td></tr> <tr> <td>1</td><td>0</td><td>ライン転送モード</td></tr> <tr> <td>1</td><td>1</td><td>ブロック転送モード</td></tr> </tbody> </table>	TM1	TM0	転送モード	0	0	シングル転送モード	0	1	シングルステップ転送モード	1	0	ライン転送モード	1	1	ブロック転送モード
TM1	TM0	転送モード															
0	0	シングル転送モード															
0	1	シングルステップ転送モード															
1	0	ライン転送モード															
1	1	ブロック転送モード															
1	TTYP	DMA 転送タイプを設定します。 0 : 2 サイクル転送 1 : フライバイ転送^注															
0	TDIR	周辺マクロ↔外部メモリ転送時の転送方向を設定します。設定はフライバイ転送時だけ有効で、2 サイクル転送時は無視されます。 0 : 外部メモリ→周辺マクロ (リード) 1 : 周辺マクロ→外部メモリ (ライト)															

備考 n = 0-3

注 フライバイ転送に対応した MEMC を使用した場合だけ有効。

7.5.5 DMA チャンネル・コントロール・レジスタ 0-3 (DCHC0-DCHC3)

DMA チャンネル n の DMA 転送動作モードを制御する 8 ビット・レジスタです ($n = 0-3$)。

8/1 ビット単位でリード/ライト可能です (ただしビット 7 はリードだけ、ビット 2, ビット 1 はライトだけ可能です。ビット 2, ビット 1 をリードした場合は 0 が読み出されます)。

図7-7 DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3)

	7	6	5	4	3	2	1	0		
DCHC0	TC0	0	0	0	MLE0	INIT0	STG0	EN0	アドレス	初期値
									FFFFFF0E0H	00H
DCHC1	TC1	0	0	0	MLE1	INIT1	STG1	EN1	アドレス	初期値
									FFFFFF0E2H	00H
DCHC2	TC2	0	0	0	MLE2	INIT2	STG2	EN2	アドレス	初期値
									FFFFFF0E4H	00H
DCHC3	TC3	0	0	0	MLE3	INIT3	STG3	EN3	アドレス	初期値
									FFFFFF0E6H	00H

ビット位置	ビット名	意 味
7	TC n	DMA チャンネル n の DMA 転送の終了 / 未終了を示すステータス・ビットです。 読み出しだけができます。DMA 転送が終了するとセット (1) され、読み出しによりクリア (0) されます。 0 : DMA 転送未終了 1 : DMA 転送終了
3	MLE n	ターミナル・カウント出力時に、このビットがセット (1) されていると、EN n ビットはクリア (0) されず、DMA 転送許可状態のままになります。また、TC n ビットを読み出さなくても、次の DMA 転送要求は受け付けられます。 ターミナル・カウント出力時に、このビットがクリア (0) されていると、EN n ビットはクリア (0) され、DMA 転送禁止状態になります。次の DMA 転送要求時は、TC n ビットの読み出しと EN n ビットのセット (1) が必要です。
2	INIT n	このビットをセット (1) すると、DMA 転送を強制終了します。
1	STG n	DMA 転送が許可の状態 (TC n ビット = 0, EN n ビット = 1) で、このビットをセット (1) すると DMA 転送を開始します。
0	EN n	DMA チャンネル n の DMA 転送の許可 / 禁止を設定します。DMA 転送が完了するとクリア (0) されます。また、IDMASTP 信号入力時や、INIT n ビットのセット (1) による強制終了時にもクリア (0) されます。 0 : DMA 転送の禁止 1 : DMA 転送の許可

備考 $n = 0-3$

7.5.6 DMA ディスエーブル・ステータス・レジスタ (DDIS)

IDMASTP 信号入力時に DCHCn レジスタの ENn ビットを保持するレジスタです (n = 0-3)。

8/1 ビット単位でリードだけ可能です。

図7-8 DMA ディスエーブル・ステータス・レジスタ (DDIS)

	7	6	5	4	3	2	1	0		
DDIS	0	0	0	0	CH3	CH2	CH1	CH0	アドレス FFFFFF0F0H	初期値 00H

ビット位置	ビット名	意 味
3-0	CH3-CH0	IDMASTP 信号入力時に DCHCn レジスタの ENn ビットの内容が反映されます。このレジスタの内容は、次の IDMASTP 信号入力時、またはシステム・リセット時まで保持されます。

7.5.7 DMA リスタート・レジスタ (DRST)

IDMASTP 信号入力によって強制中断された DMA 転送を再開させるためのレジスタです。このレジスタの ENn ビットは、DCHCn レジスタの ENn ビットとそれぞれ連結しています (n = 0-3)。IDMASTP 信号入力による強制中断終了後、中断されている DMA チャンネルを DDIS レジスタの内容から確認し、対応する DMA チャンネルの ENn ビットをセット (1) することにより DMA 転送を再開できます。

8/1 ビット単位でリード/ライト可能です。

図7-9 DMA リスタート・レジスタ (DRST)

	7	6	5	4	3	2	1	0		
DRST	0	0	0	0	EN3	EN2	EN1	EN0	アドレス FFFFFF0F2H	初期値 00H

ビット位置	ビット名	意 味
3-0	EN3-EN0	DMA チャンネル n の DMA 転送の許可 / 禁止を設定します。ターミナル・カウント出力により DMA 転送が終了するとクリア (0) されます。 また、IDMASTP 信号入力時や DCHCn レジスタの INITn ビットのセット (1) による DMA の強制終了時にもクリア (0) されます。 0 : DMA 転送の禁止 1 : DMA 転送の許可

7.6 ネクスト・アドレス設定機能

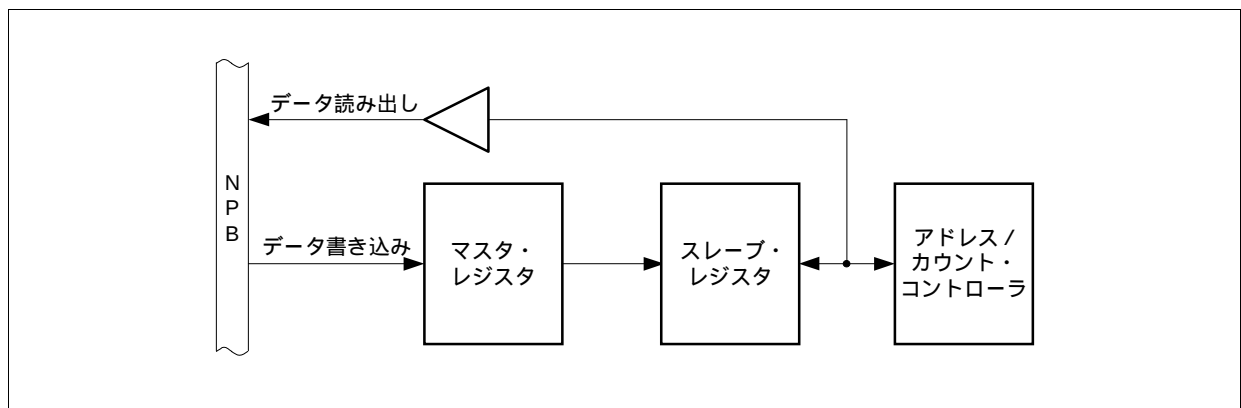
DMA ソース・アドレス・レジスタ (DSAnH, DSAnL), DMA デスティネーション・アドレス・レジスタ (DDAnH, DDAnL), DMA 転送カウント・レジスタ (DBCn) は 2 段 FIFO 構成のバッファ・レジスタです ($n = 0-3$)。

ターミナル・カウント信号 (DMTCOn) が出力されると、これらのレジスタは直前に設定された値に自動的に書き換えられます。

したがって、DMA 転送中に、これらのレジスタに対して新たな DMA 転送の設定を行えば、DCHCn レジスタの ENn ビットをセット (1) するだけで転送が開始できます。

図 7 - 10 にバッファ・レジスタの構成を示します。

図7 - 10 バッファ・レジスタの構成



7.7 DMA バス・ステート

7.7.1 バス・ステートの種類

DMAC のバス・サイクルは、次に示す 13 個のステートで構成されます。

(1) T1 ステート

アクセス要求がないアイドル状態のステートです。

VBCLK 信号の立ち上がりで DMARQ3-DMARQ0 信号をサンプリングします。

(2) T0 ステート

DMA 転送準備状態（DMA 転送要求があり、最初の DMA 転送のためにバス使用权を獲得している状態）のステートです。

(3) T1R ステート

2 サイクル転送のリードの最初に移行するステートです。

アドレスの駆動を開始します。T1R ステートのあとは T2R ステートに必ず遷移します。

(4) T1RI ステート

外部メモリのリード要求に対するアクノリッジ信号を待っているステートです。

最後の T1RI ステートのあとは T2R ステートに必ず遷移します。

(5) T2R ステート

2 サイクル転送のリードの最後またはウェイト状態のステートです。

最後の T2R ステートでリード・データをサンプリングします。そのあとは必ず T1W ステートに遷移します。

(6) T2RI ステート

RAM への DMA 転送準備状態（RAM への DMA 転送のために、バスの使用权を獲得している状態）のステートです。

最後の T2RI ステートのあとは T1W ステートに必ず遷移します。

(7) T1W ステート

2 サイクル転送のライトの最初に移行するステートです。

アドレスの駆動を開始します。T1W ステートのあとは T2W ステートに必ず遷移します。

(8) T1WI ステート

外部メモリのライト要求に対するアクノリッジ信号を待っているステートです。

最後の T1WI ステートのあとは T2W ステートに必ず遷移します。

(9) T2W ステート

2 サイクル転送のライトの最後またはウェイト状態のステートです。

最後の T2W ステートでライト・ストロブ信号をインアクティブにします。

(10) T1FH ステート

フライバイ転送の基本のステートで、その転送の実行サイクルです。

T1FH ステートのあとは T2FH ステートに遷移します。

(11) T1FHI ステート

フライバイ転送の最後の状態で、転送の終了を待ちます。

T1FHI ステートのあとはバスを解放し、TE ステートに遷移します。

(12) T2FH ステート

フライバイ転送が続くかどうかを判断するステートです。

次の転送をブロック転送で行う場合、T2FH ステートのあと、T1FH ステートに移行します。

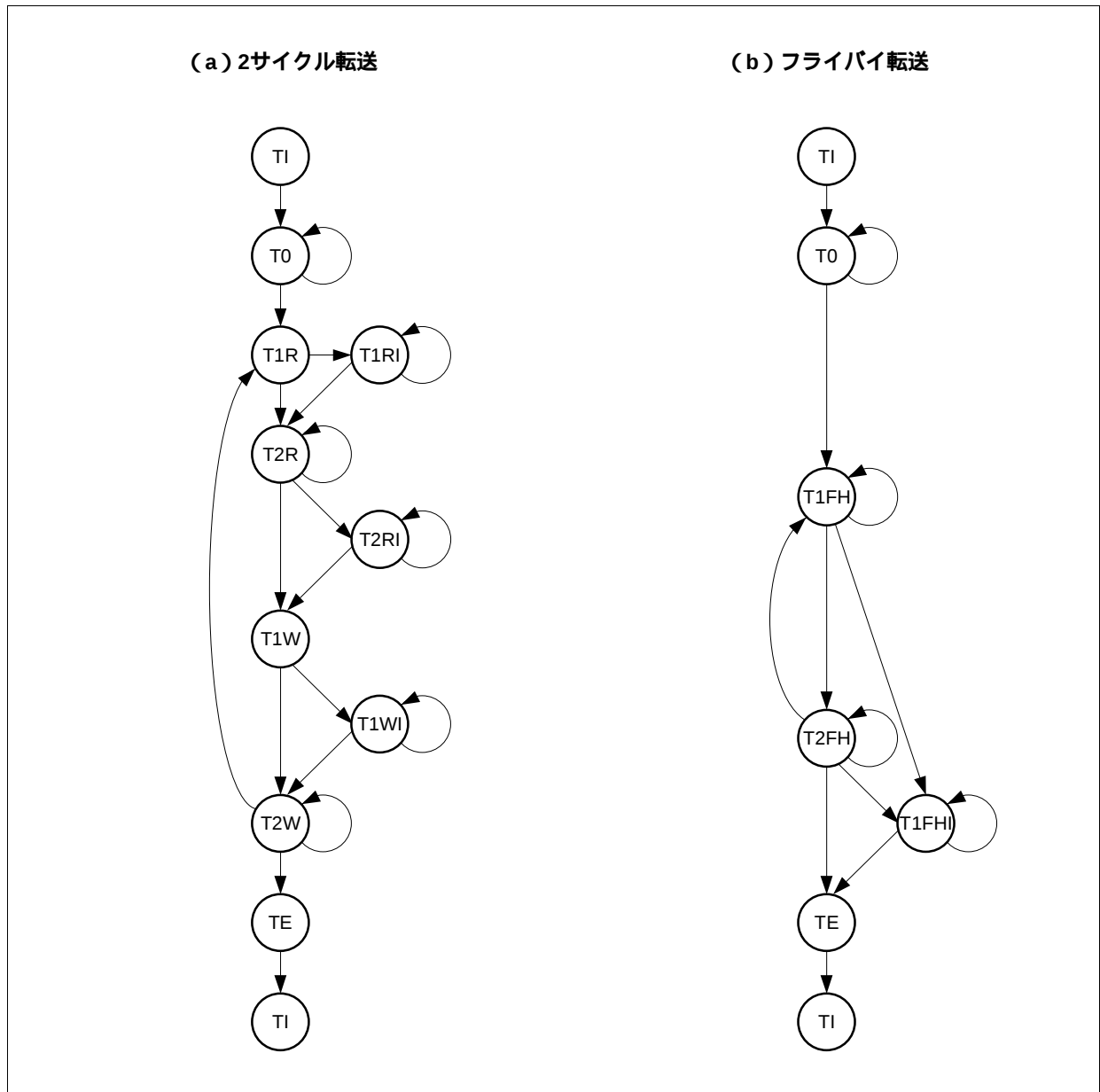
その他の状態で、かつウェイトが発行されている場合は T1FHI ステートに遷移します。ウェイトが発行されていなければバスを解放し、TE ステートに遷移します。

(13) TE ステート

DMA 転送完了のステートです。DMAC はターミナル・カウント信号 (DMTCON) を生成し、ほかの各種内部信号を初期化します (n = 3-0)。TE ステートのあとは TI ステートに必ず遷移します。

7.7.2 DMAC バス・サイクルの状態遷移

図7 - 11 DMACバス・サイクルの状態遷移図



7.8 転送モード

7.8.1 シングル転送モード

シングル転送では、DMAC は 1 回のバイト / ハーフワード / ワード転送ごとにバスを解放します。その後、DMA 転送要求があると再度 1 回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。

DMAC がバスを解放している間にほかの優先順位が高い DMA 転送要求が発生した場合、常に優先順位が高い DMA 転送要求を優先させます。ただし、シングル転送が終了した 1 クロック後までにほかの優先順位が低い DMA 転送要求が発生した場合は、前回の優先順位が高い DMA 転送要求信号がアクティブのままだでもこの要求は優先されず、CPU にバスを解放した次の転送は新たに要求のあった優先順位の低い方の DMA 転送となります。

図 7 - 12 から図 7 - 15 にシングル転送の例を示します。

図7 - 12 シングル転送例1

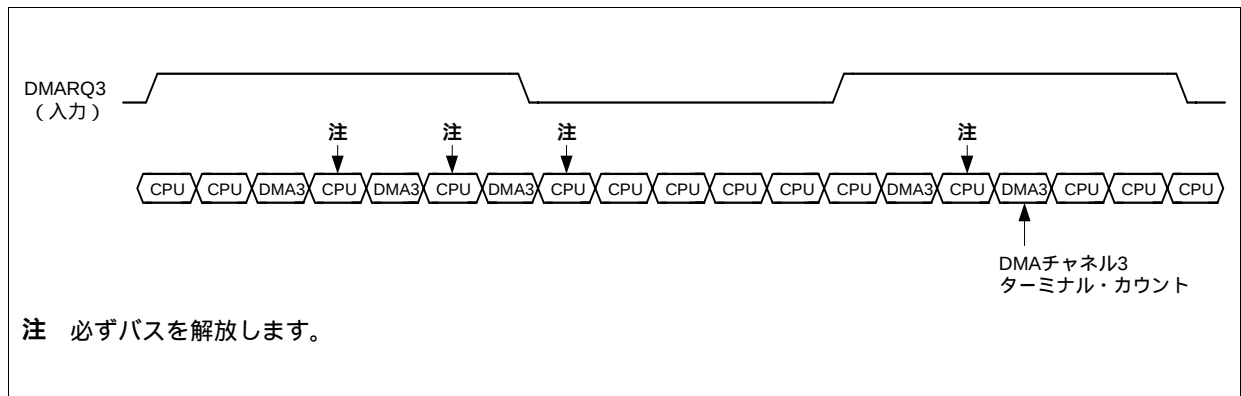


図 7 - 13 は、優先順位の高い DMA 転送要求が発生した場合のシングル転送の例で、DMA チャンネル 0-2 はブロック転送、チャンネル 3 はシングル転送です。

図7 - 13 シングル転送例2

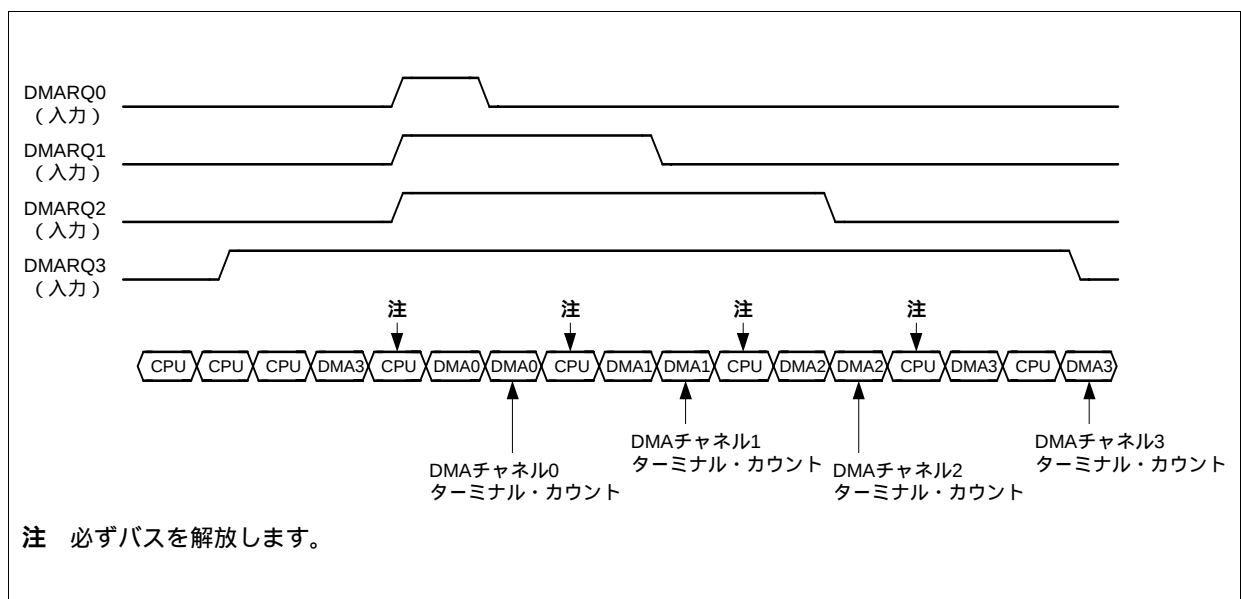


図7-14は、シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求が発生した場合のシングル転送の例で、DMAチャンネル0,3はシングル転送です。2つのDMA転送要求信号が同時にアクティブになっているときは、2つのDMA転送を交互に行います。

図7-14 シングル転送例3

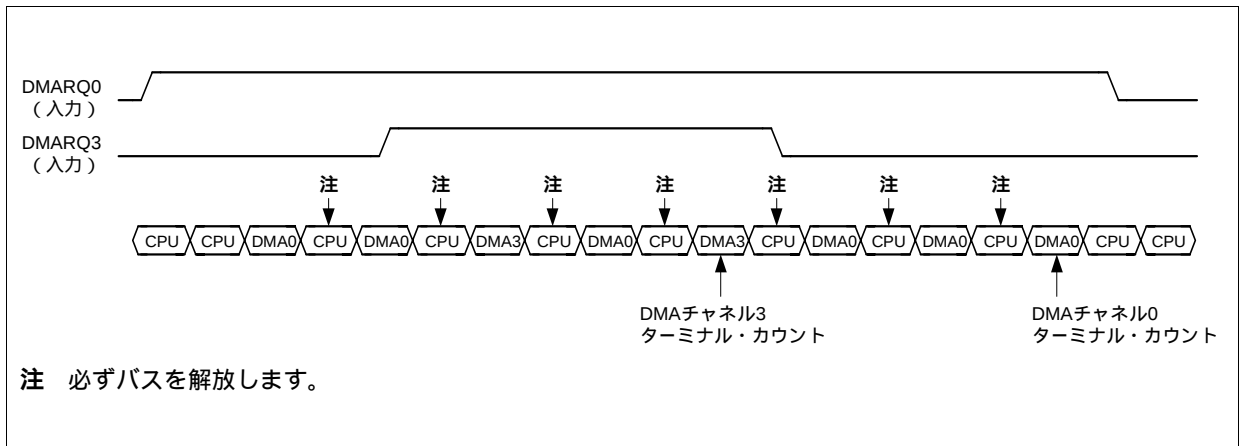
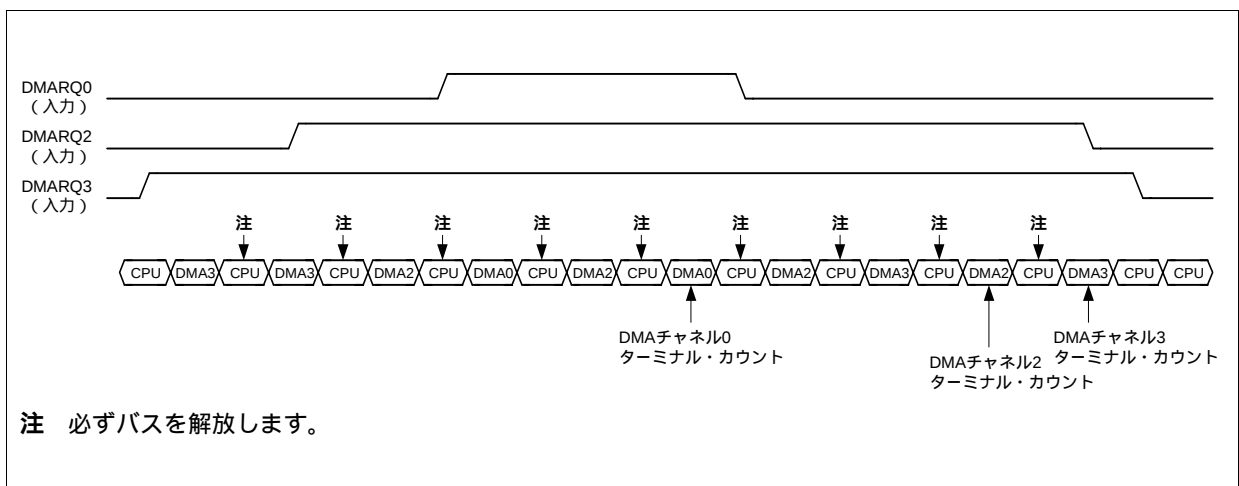


図7-15は、シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求の発生が複数あった場合のシングル転送の例で、DMAチャンネル0,2,3はシングル転送です。3つ以上のDMA転送要求信号が同時にアクティブになっているときは、常に優先順位が高い順から2つのDMA転送を交互に行います。

図7-15 シングル転送例4



7.8.2 シングルステップ転送モード

シングルステップ転送では、DMAC は1回のバイト/ハーフワード/ワード転送ごとにバスを解放します。一度、DMA 転送要求信号（DMARQ3-DMARQ0）を受けると、ターミナル・カウントが発生するまで続けます。

DMAC がバスを解放している間にほかの優先順位が高いDMA 転送要求が発生した場合、常に優先順位が高いDMA 転送要求を優先させます。

図7-16、図7-17にシングルステップ転送の例を示します。

図7-16 シングルステップ転送例1

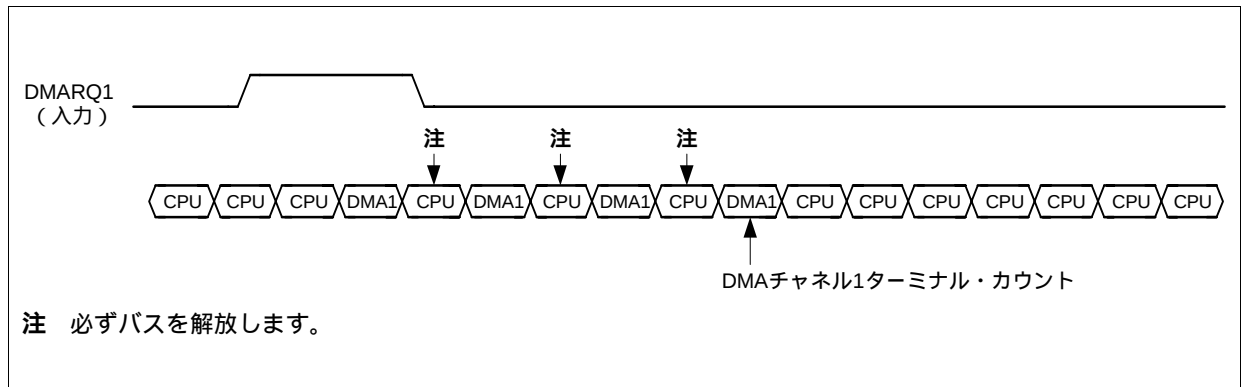
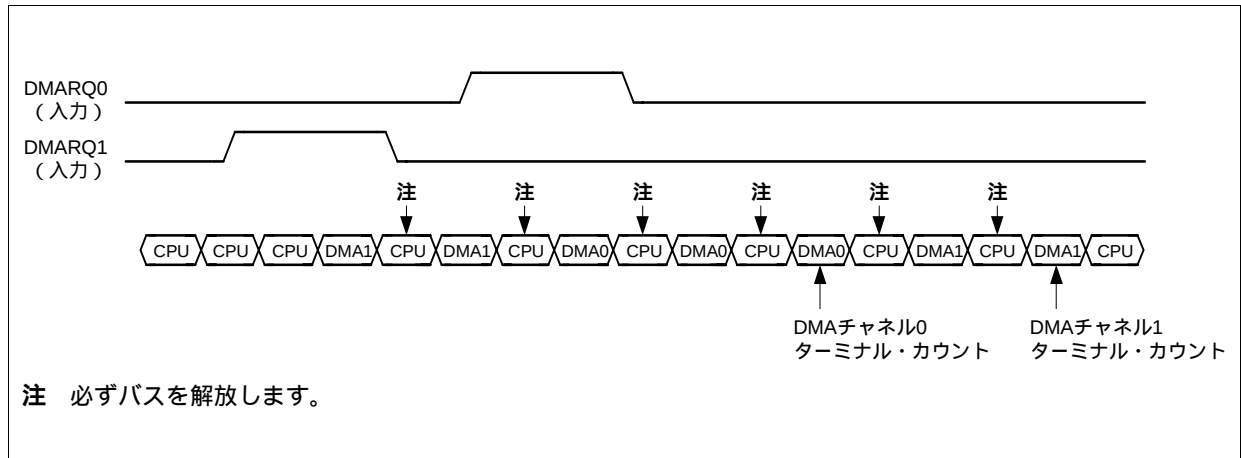


図7-17 シングルステップ転送例2



7.8.3 ライン転送モード

ライン転送では、DMAC は4回のバイト/ハーフワード/ワード転送ごとにバスを解放します。その後、DMA 転送要求があると再度4回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。2サイクル転送では、リード→ライト動作を4回繰り返します。

DMAC がバスを解放している間にほかの優先順位が高いDMA 転送要求が発生した場合、常に優先順位が高いDMA 転送要求を優先させます。ただし、ライン転送が終了した1クロック後までにほかの優先順位が低いDMA 転送要求が発生した場合は、前回の優先順位が高いDMA 転送要求信号がアクティブのままだでもこの要求は優先されず、CPU にバスを解放した次の転送は新たに要求のあった優先順位の低い方のDMA 転送となります。

図7-18 から図7-21 にライン転送の例を示します。

図7-18 ライン転送例1

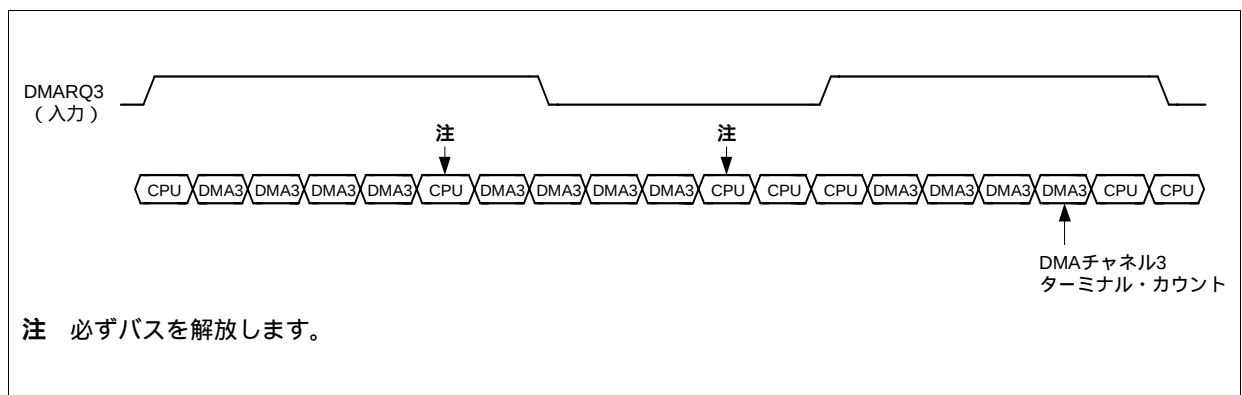


図7-19 は、優先順位の高いDMA 転送要求が発生した場合のライン転送の例で、DMA チャンネル0-2 はブロック転送、チャンネル3はライン転送です。

図7-19 ライン転送例2

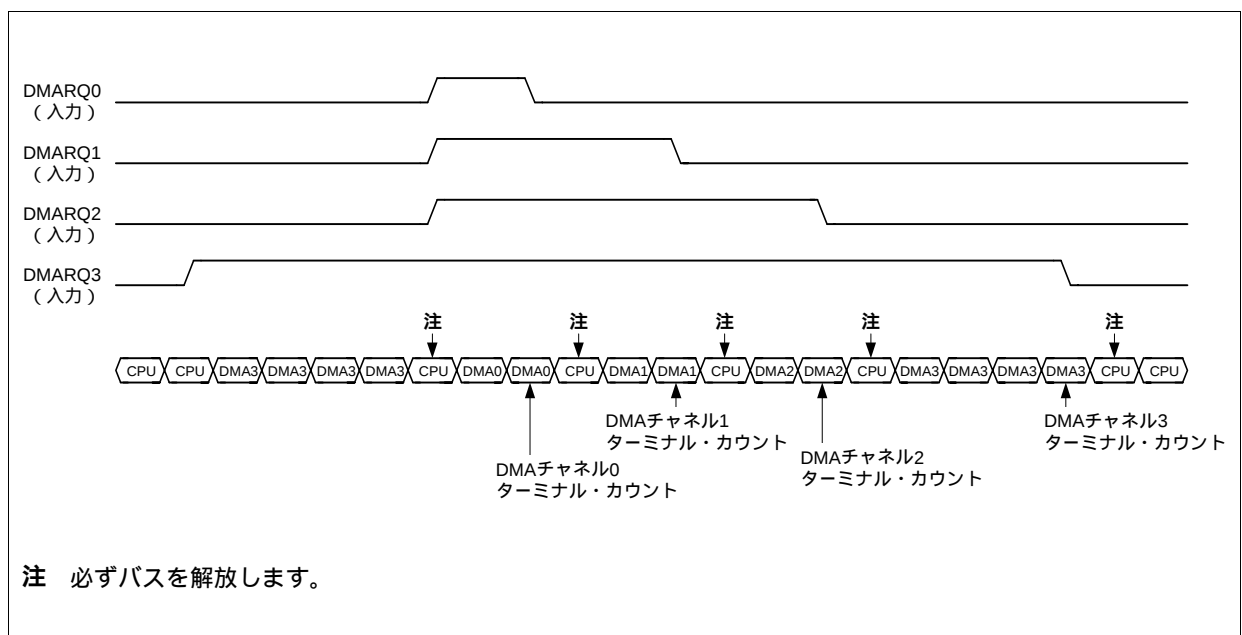


図7-20, 図7-21は, ライン転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求が発生した場合のライン転送の例です。2つのDMA転送要求信号が同時にアクティブになっているときは, 2つのDMA転送を交互に行います。

図7-20のDMAチャンネル0, 3はライン転送です。

図7-20 ライン転送例3

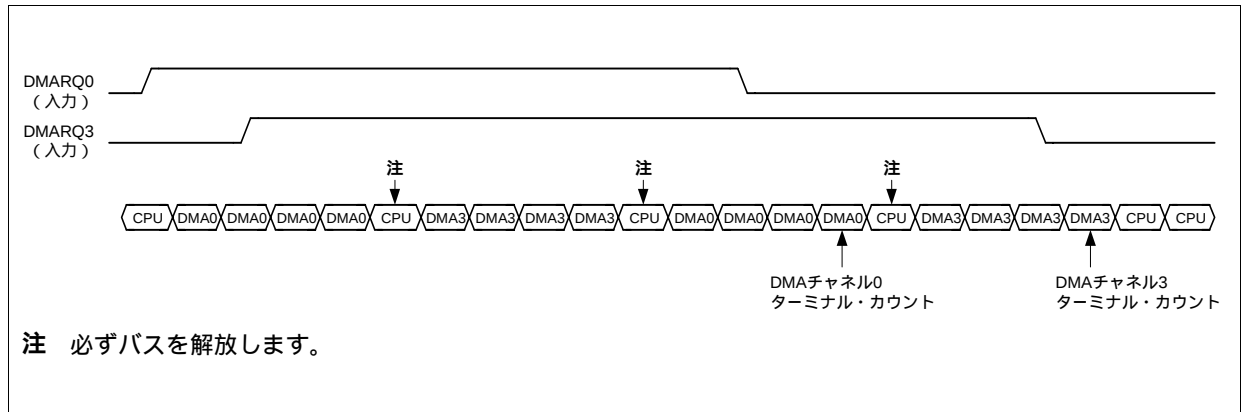
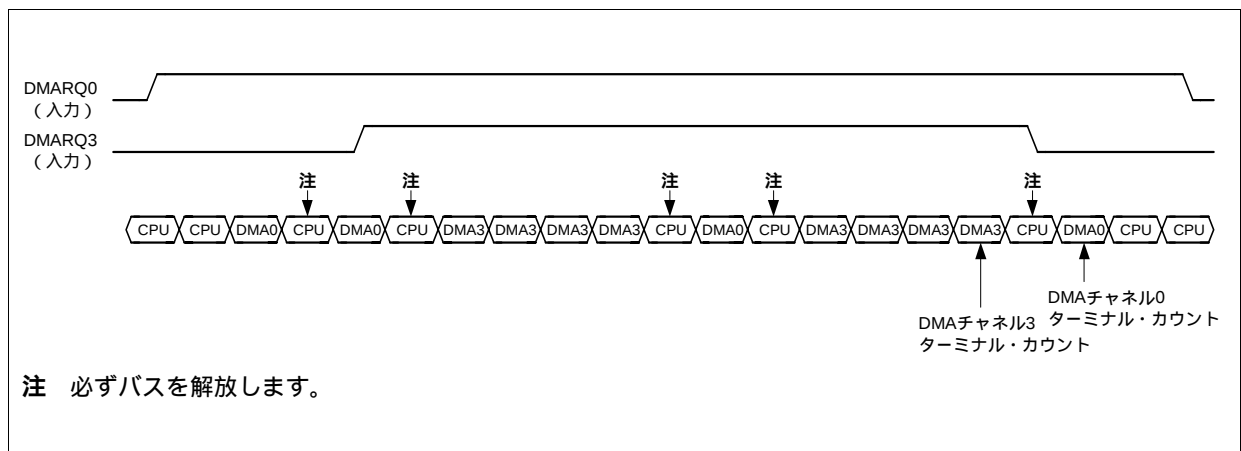


図7-21のDMAチャンネル0はシングル転送, チャンネル3はライン転送です。

図7-21 ライン転送例4



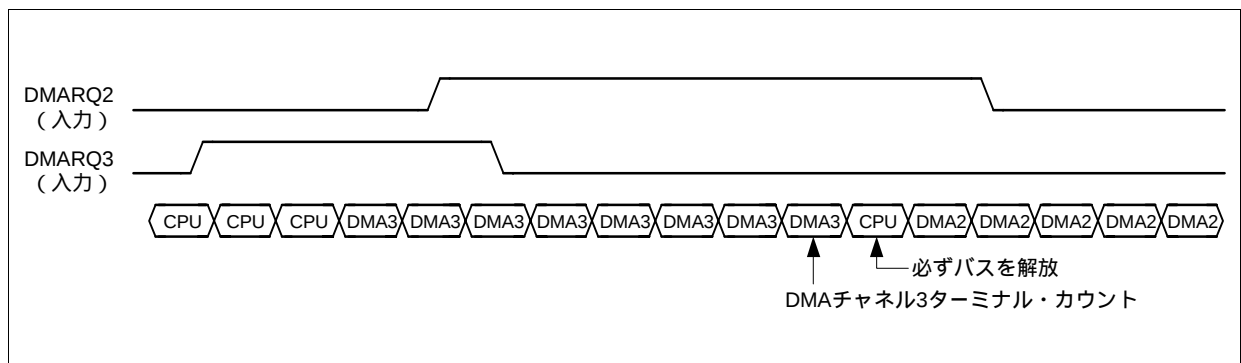
7.8.4 ブロック転送モード

ブロック転送では、転送が開始されるとターミナル・カウントが発生するまでバスを解放せず転送を続けます。ブロック転送中は、ほかの DMA 転送要求は受け付けません。

ブロック転送が終了し DMAC がバスを解放したあとに、ほかの DMA 転送を受け付けます。なお、ブロック転送中は CPU のバス・サイクルが挿入されることは禁止されていますが、外部バス・マスタの要求（SDRAM のリフレッシュを含む）に対しては、ブロック転送中でもバス使用权を渡すことができます。

図 7 - 22 にブロック転送の例を示します。優先順位の高い DMA 転送要求が発生した場合のブロック転送の例で、DMA チャンネル 2, 3 はブロック転送です。

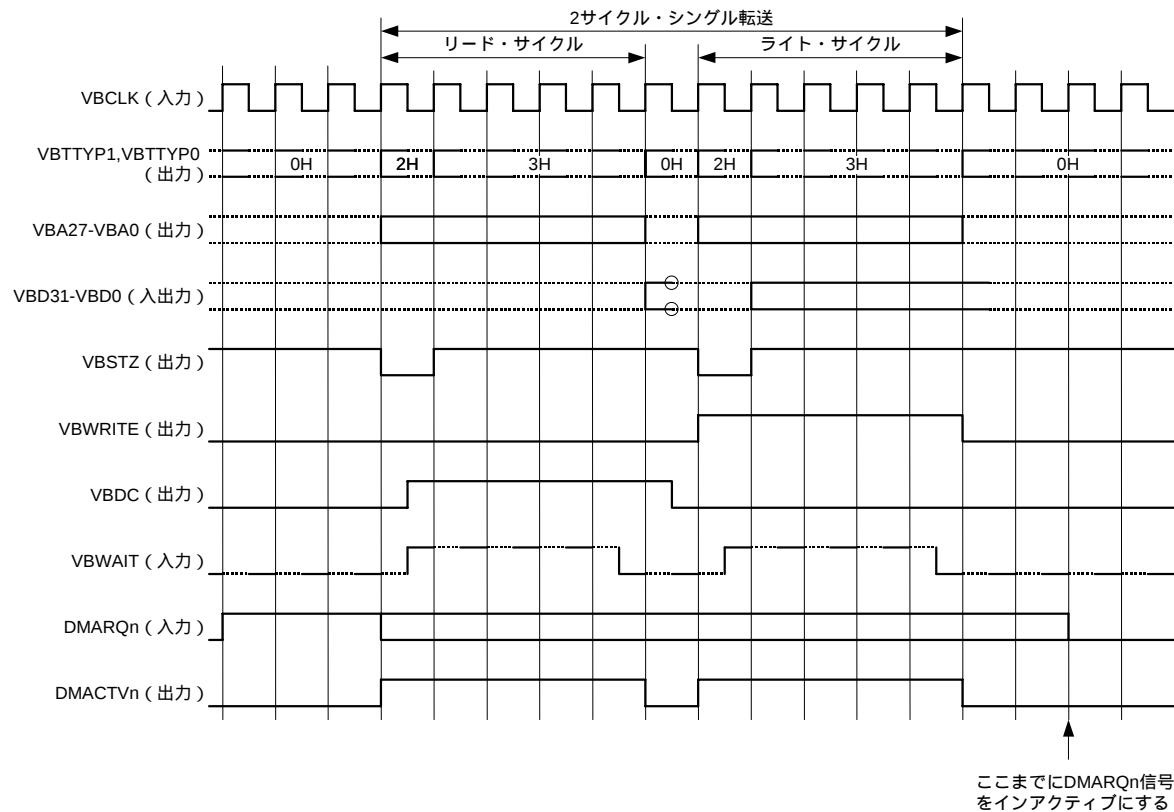
図7 - 22 ブロック転送例



7.8.5 DMARQn 信号によるシングル転送時の1回転送

DMARQn 信号入力により、外部メモリに対してシングル転送を実行した場合、1 回だけ転送を行うためには、2 サイクル・シングル転送のライト・サイクルが終了してから 2 クロック以内に DMARQn 信号をインアクティブにする必要があります（2 クロックを越えた場合、連続して転送することがあります）（ $n = 3-0$ ）。

図7 - 23 DMARQn信号によるシングル転送時の1回転送



- 備考 1.** 点線部分のレベルは NB85E 内部のバス・ホルダがドライブしている不定状態 (Weak unknown) を示します。
- 2.** ○印はサンプリング・タイミングを示します。
- 3.** $n = 3-0$

7.9 転送タイプ

7.9.1 2 サイクル転送

2 サイクル転送は、リード・サイクル（転送元→DMAC）、ライト・サイクル（DMAC→転送先）と2回のサイクルでデータを転送します。

1回目のサイクルでは、転送元のアドレスを出力し転送元からDMACへのリードを行い、2回目のサイクルでは、転送先のアドレスを出力しDMACから転送先への書き込みを行います。

注意 リード・サイクルとライト・サイクルの間には必ず1クロック分のアイドル期間が入ります。

7.9.2 フライバイ転送

MEMCがフライバイ転送をサポートしている場合だけ実行可能です。

フライバイ転送は1サイクルで転送を行うため、転送先、転送元にかかわらず、常にメモリのアドレスを出力し、メモリ、外部I/OのWRZ/IORDZまたはRDZ/IOWRZ信号を同時にアクティブにします。外部I/OはDMACTV3-DMACTV0信号で選択します。

注意 SDRAMコントローラ（NU85E502）を使用したSDRAMとのフライバイ転送はできません。

7.10 DMA 転送起動要因

DMA転送の起動要因には、次の2種類があります。

（1）外部端子（DMARQn）による要求

DCHCnレジスタのENNビット=1、TCnビット=0の状態に設定すると、TIステートでのDMARQn信号が有効となります。TIステートでDMARQn信号がアクティブになると、T0ステートに移行してDMA転送を開始します。

（2）ソフトウェアによる要求

DCHCnレジスタのSTGn、ENN、TCnビットが次のように設定されると、DMA転送を開始します（n = 0-3）。

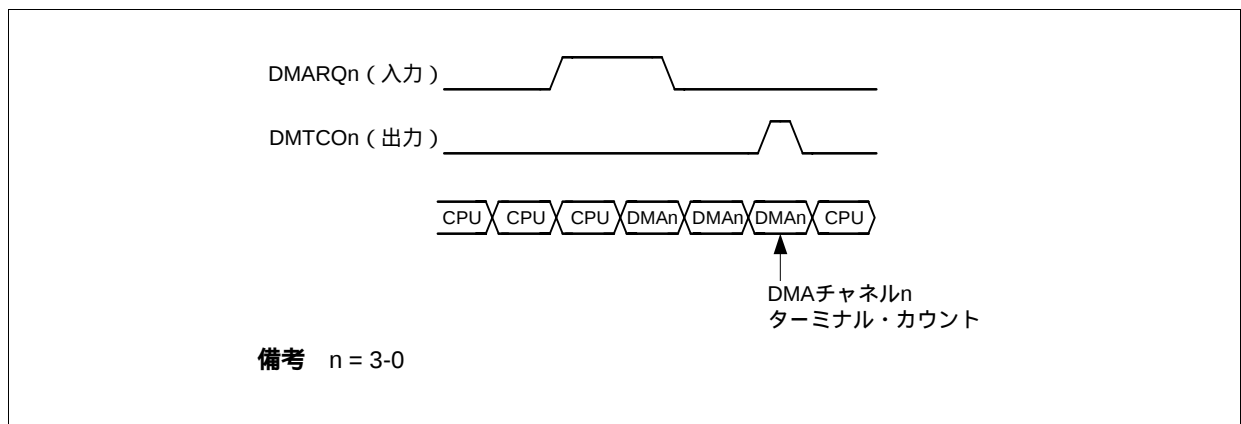
- STGn ビット = 1
- ENn ビット = 1
- TCn ビット = 0

7.11 DMA 転送完了時の出力

最終 DMA 転送サイクルの中で、ターミナル・カウント信号 (DMTCOn) が 1 クロック分だけアクティブになります ($n = 3-0$)。

DMTCOn 信号が出力されるタイミングの詳細は図 7 - 27 を参照してください。

図7 - 24 ターミナル・カウント信号 (DMTCO3-DMTCO0) タイミング例



7.12 強制中断

DMA 転送中の IDMASTP 入力により、DMA 転送を強制的に中断できます。

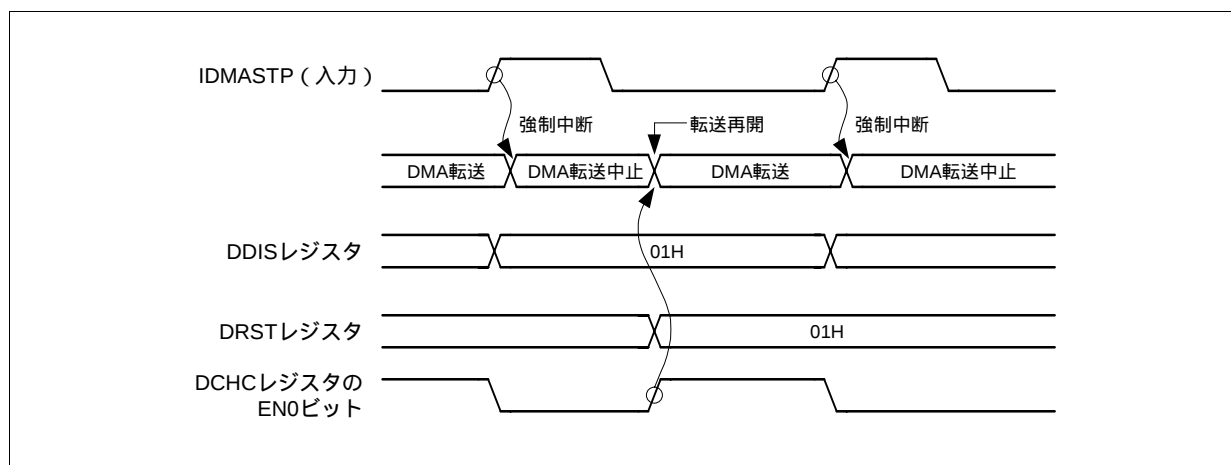
このとき DMAC は、すべてのチャンネルの DCHCn レジスタの ENn ビットをクリア (0) して、DMA 転送禁止状態にし、IDMASTP 入力時に実行していた DMA 転送が終了したあと、CPU へバスを解放します (n = 0-3)。

シングルステップ転送モード時、ブロック転送モード時、ライン転送モード時は、DMA 転送要求が DMAC に保持されます。ENn ビットをセット (1) すると DMA 転送を中断した時点から DMA 転送を再開します。

シングル転送モード時は、ENn ビットをセット (1) すると次の DMA 転送要求を受け付けて、DMA 転送を開始します。

注意 次の転送をすることなく強制中断をさせたい場合は、必ず現在実行中の DMA 転送が終了するまでに IDMASTP 信号をアクティブにしてください。また、中断後の転送再開は可能ですが、新規設定 (新しい条件) での DMA 転送はできません。新規設定で DMA 転送を行うときは、現在実行中の転送が終了したあとか、DCHCn レジスタの INITn ビット設定による強制終了後に行ってください (n = 0-3)。

図7 - 25 DMA転送の強制中断例

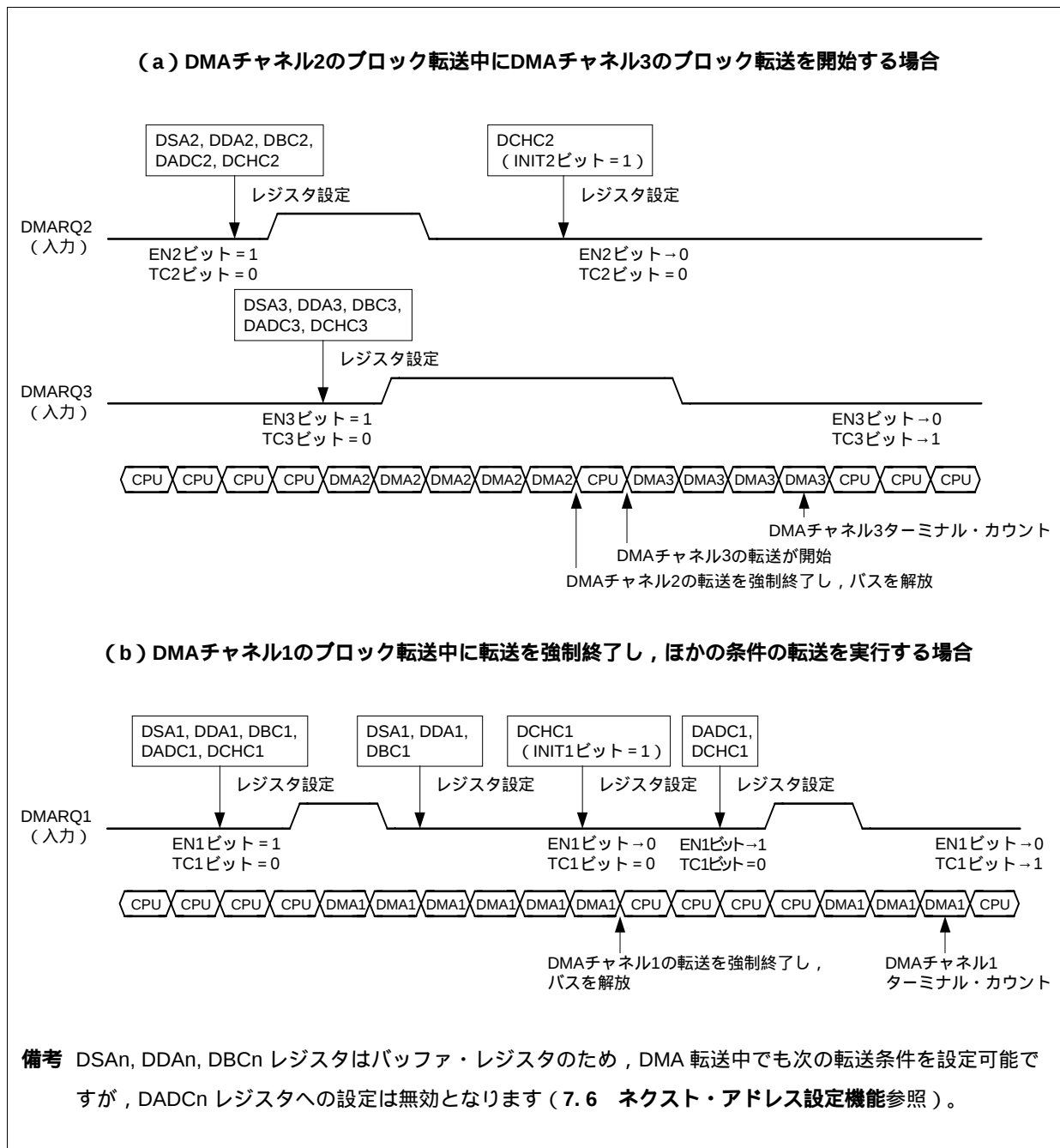


7.13 強制終了

DMA 転送中に DCHCn レジスタの INITn ビットをセット (1) することにより、実行中の DMA 転送を強制的に終了させることができます。強制終了動作の例を次に示します (n = 0-3)。

注意 INITn ビットのセット (1) は、VSB を CPU に解放したときに行われます (n = 0-3)。したがって、VSB を使用したブロック転送では DMA 転送が完全に終了するまで VSB がロックされるため、途中で強制終了させることはできません。

図7 - 26 DMA転送の強制終了例



7.14 DMA 転送タイミング例

次に各転送モードにおける DMA 転送のタイミング例を示します。

なお、NB85E 用の MEMC には NB85E500, NU85E500, NU85E502 がありますが、ここでは NB85E500, NU85E502 を使用した場合の例を示します。

(1) 2 サイクル転送

図 7 - 27 から図 7 - 30 に MEMC (NB85E500) に接続した外部 SRAM↔外部 SRAM 間の 2 サイクル転送のタイミング例を示します。図 7 - 31, 図 7 - 32 に VDB に接続した RAM↔MEMC (NU85E502) に接続した SDRAM 間の 2 サイクル転送のタイミング例を示します。

備考 1. VBTTYP1, VBTTYP0, VBA27-VBA0, VBD31-VBD0, VBCTYP2-VBCTYP0, VBSEQ2-VBSEQ0, VBSIZE1, VBSIZE0, VBWAIT, VBAHLD, VBLAST 信号の点線部分のレベルは NB85E 内部のバス・ホルダがドライブしている不定状態 (Weak unknown) を示します。A25-A0, D31-D0 信号の点線部分のレベルは不定です (Hi-Z で示される部分は除く)。

2. ○印はサンプリング・タイミングを示します。

3. n = 3-0

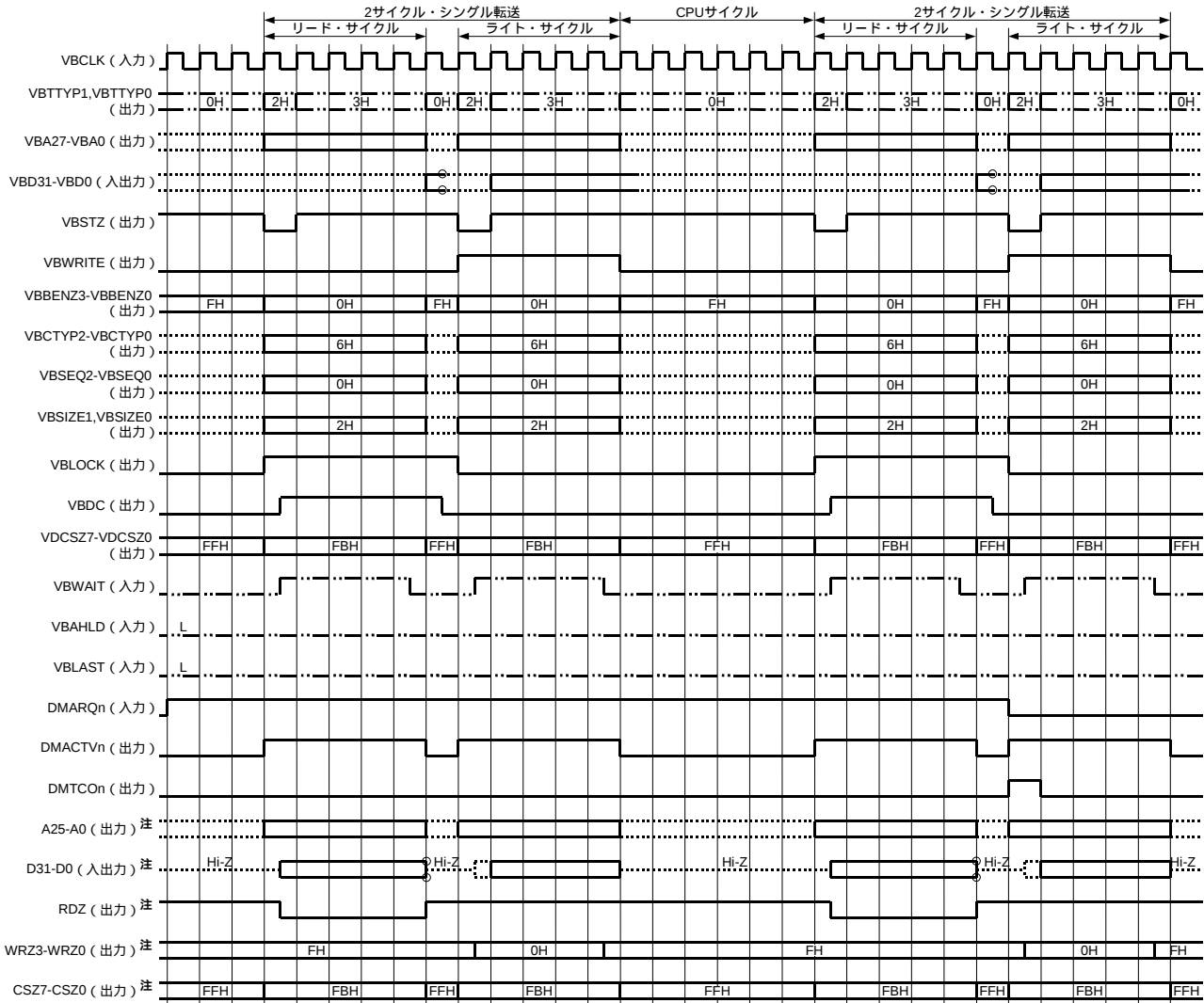
図 7 - 27 に 2 サイクル・シングル転送のタイミング例 (NB85E500 に接続した外部 SRAM↔外部 SRAM) を示します。この図における各レジスタの設定は次のとおりです。

[レジスタ設定内容]

- DBCn レジスタ = 0001H (2 回の転送)
- ASC レジスタ^注 = 0000H (アドレス設定ウエイト・ステートなし)
- BCC レジスタ^注 = 0000H (アイドル・ステートなし)
- DWC0 レジスタ^注 = 7377H (CS2 のウエイト・ステート数 = 3)

注 NB85E500 のレジスタです。

図7 - 27 2サイクル・シングル転送タイミング例 (NB85E500に接続した外部SRAM↔外部SRAM)



注 NB85E500 の信号です。

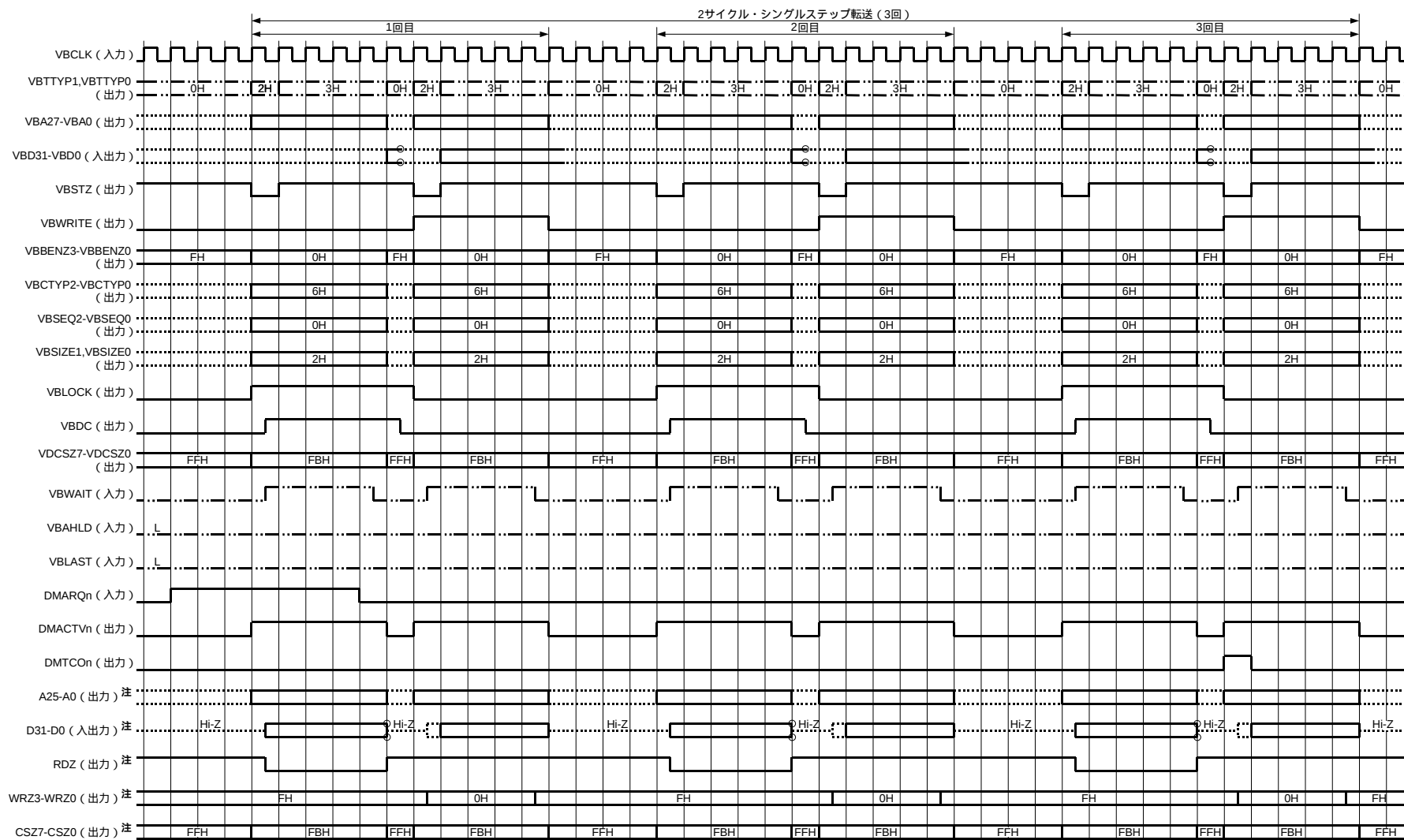
図7-28に2サイクル・シングルステップ転送のタイミング例（NB85E500に接続した外部SRAM↔外部SRAM）を示します。この図における各レジスタの設定は次のとおりです。

[レジスタ設定内容]

- DBCn レジスタ = 0002H（3回の転送）
- ASC レジスタ^注 = 0000H（アドレス設定ウェイト・ステートなし）
- BCC レジスタ^注 = 0000H（アイドル・ステートなし）
- DWC0 レジスタ^注 = 7377H（CS2のウェイト・ステート数 = 3）

注 NB85E500のレジスタです。

図7 - 28 2サイクル・シングルステップ転送タイミング例 (NB85E500に接続した外部SRAM↔外部SRAM)



注 NB85E500 の信号です。

図7-29に2サイクル・ライン転送のタイミング例（NB85E500に接続した外部SRAM↔外部SRAM）を示します。この図における各レジスタの設定は次のとおりです。

[レジスタ設定内容]

- DBCn レジスタ = 0007H（8回の転送）
- ASC レジスタ^注 = 0000H（アドレス設定ウエイト・ステートなし）
- BCC レジスタ^注 = 0000H（アイドル・ステートなし）
- DWC0 レジスタ^注 = 7077H（CS2のウエイト・ステートなし）

注 NB85E500のレジスタです。

第7章 DMAC



図 7 - 30 に 2 サイクル・ブロック転送のタイミング例（NB85E500 に接続した外部 SRAM↔外部 SRAM）を示します。この図における各レジスタの設定は次のとおりです。

[レジスタ設定内容]

- DBCn レジスタ = 0006H（7 回の転送）
- ASC レジスタ^注 = 0000H（アドレス設定ウエイト・ステートなし）
- BCC レジスタ^注 = 0000H（アイドル・ステートなし）
- DWC0 レジスタ^注 = 7077H（CS2 のウエイト・ステートなし）

注 NB85E500 のレジスタです。



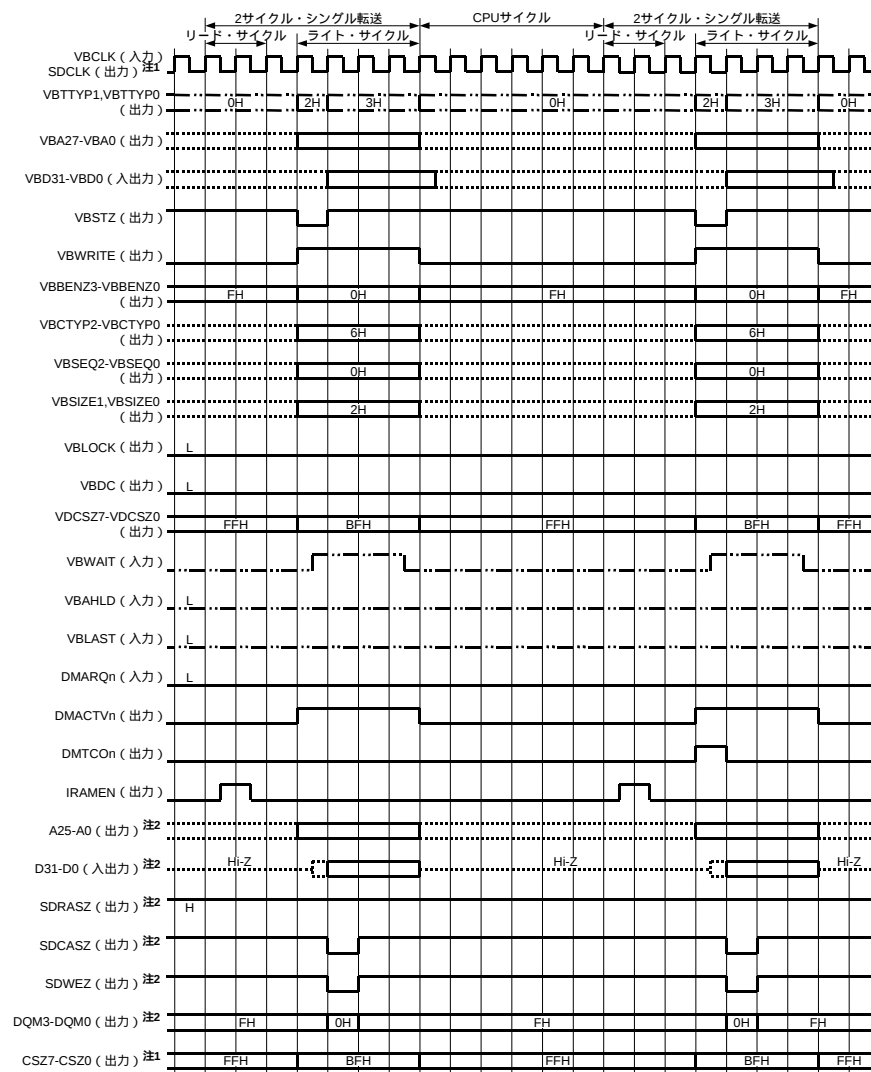
図 7 - 31 に 2 サイクル・シングル転送 (VDB に接続した RAM→NU85E502 に接続した SDRAM) のタイミング例を示します。この図における各レジスタの設定は次のとおりです。

[レジスタ設定内容]

- DBCn レジスタ = 0001H (2 回の転送)
- SCRn レジスタ[※] = 2062H (CAS レイテンシ = 2 ,
ウエイト・ステート数 = 1 ,
アドレス・シフト幅 = 2 ビット (データ・バス幅 32 ビット) ,
ロウ・アドレス幅 = 11 ビット ,
アドレス・マルチプレクス幅 = 10 ビット)

注 NU85E502 のレジスタです。

図7 - 31 2サイクル・シングル転送タイミング例 (VDBに接続したRAM→NU85E502に接続したSDRAM)



注1. NB85E500 の信号です。

注2. NU85E502 の信号です。

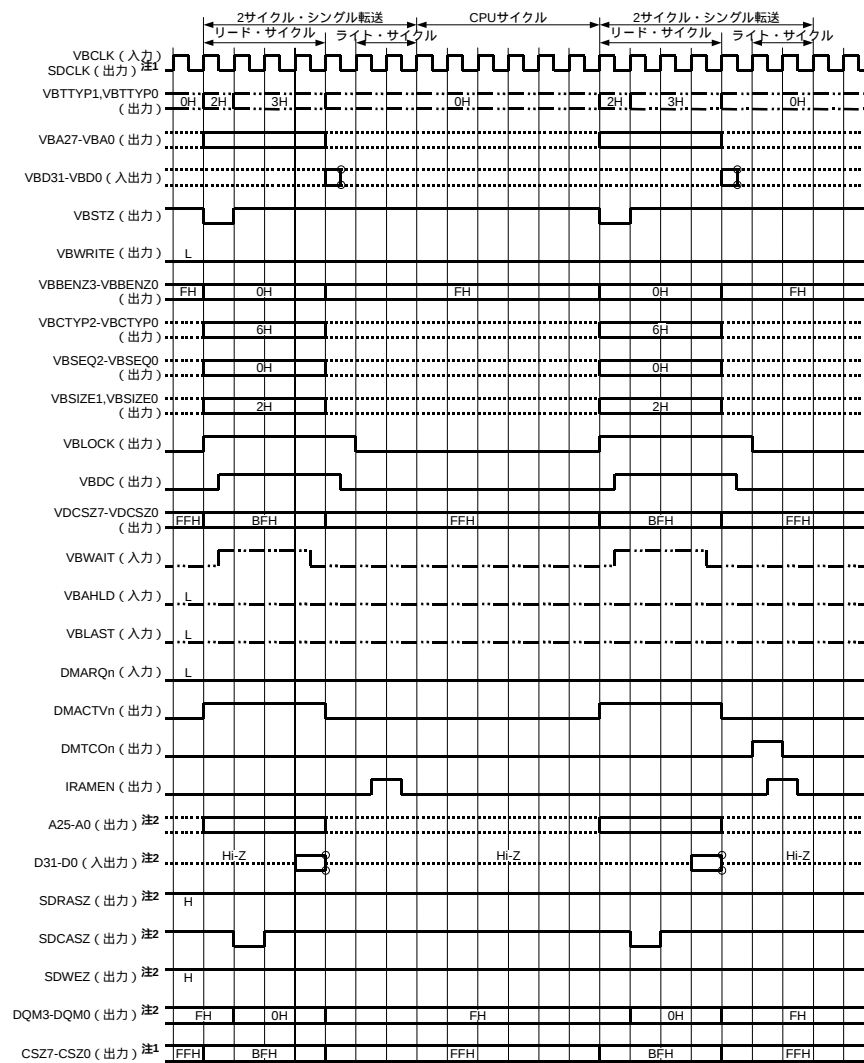
図7-32に2サイクル・シングル転送（NU85E502に接続したSDRAM→VDBに接続したRAM）のタイミング例を示します。この図における各レジスタの設定は次のとおりです。

[レジスタ設定内容]

- DBCn レジスタ = 0001H (2 回の転送)
- SCRn レジスタ[※] = 2062H (CAS レイテンシ = 2 ,
ウエイト・ステート数 = 1 ,
アドレス・シフト幅 = 2 ビット (データ・バス幅 32 ビット) ,
ロウ・アドレス幅 = 11 ビット ,
アドレス・マルチプレクス幅 = 10 ビット)

注 NU85E502 のレジスタです。

図7 - 32 2サイクル・シングル転送タイミング例 (NU85E502に接続したSDRAM→VDBに接続したRAM)



注 1. NB85E500 の信号です。

注 2. NU85E502 の信号です。

(2) フライバイ転送

図 7 - 33 から図 7 - 38 に MEMC (NB85E500) に接続した外部 SRAM↔外部 I/O 間のフライバイ転送のタイミング例を示します。フライバイ転送は次に示す状態で構成されます。

- T1,T2 ステート : NB85E500 がアクセスする基本ステートです。
- T3 ステート : フライバイ転送時に追加される基本ステートです。
- TA ステート : NB85E500 の ASC レジスタの設定により挿入されるアドレス設定ウエイト・ステートです。
- TI ステート : NB85E500 の BCC レジスタの設定により挿入されるアイドル・ステートです。
- TW ステート : NB85E500 の DWC0 レジスタの設定により挿入されるウエイト・ステートです。

備考 1. VBTYP1, VBTYP0, VBA27-VBA0, VBD31-VBD0, VBCTYP2-VBCTYP0, VBSEQ2-VBSEQ0, VBSIZE1, VBSIZE0, VBWAIT, VBAHLD, VBLAST 信号の点線部分のレベルは NB85E 内部のバス・ホルダがドライブしている不定状態 (Weak unknown) を示します。A25-A0 信号の点線部分のレベルは不定です。

2. n = 3-0

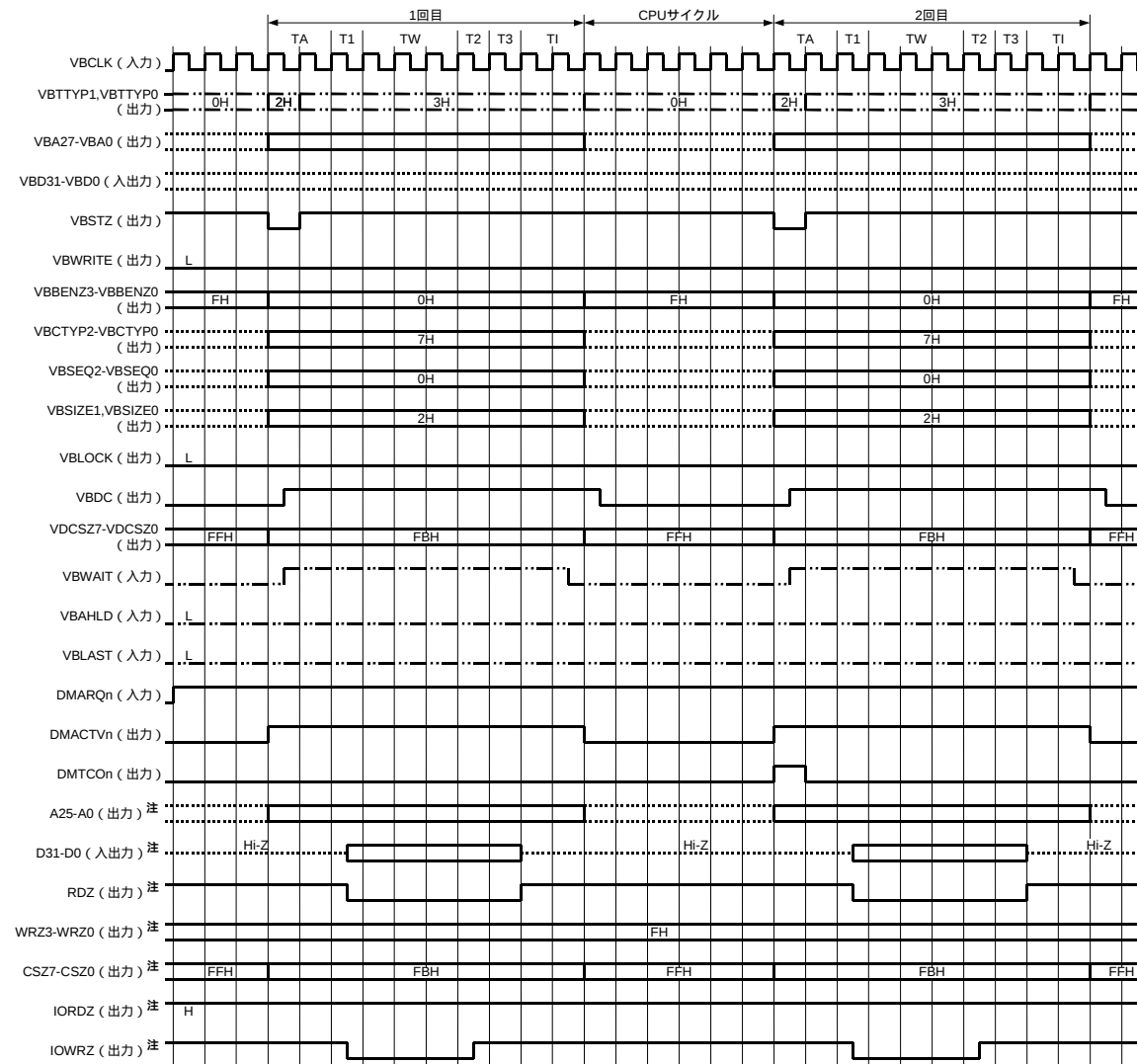
図 7 - 33 にフライバイ・シングル転送のタイミング例 (NB85E500 に接続した外部 SRAM→外部 I/O) を示します。この図における各レジスタの設定は次のとおりです。

[レジスタ設定内容]

- DBCn レジスタ = 0001H (2 回の転送)
- ASC レジスタ^注 = FFEFH (CS2 のアドレス設定ウエイト・ステート数 = 2)
- BCC レジスタ^注 = FFEFH (CS2 のアイドル・ステート数 = 2)
- DWC0 レジスタ^注 = 7377H (CS2 のウエイト・ステート数 = 3)

注 NB85E500 のレジスタです。

図7 - 33 フライバイ・シングル転送タイミング例 (NB85E500に接続した外部SRAM→外部I/O)



注 NB85E500 の信号です。

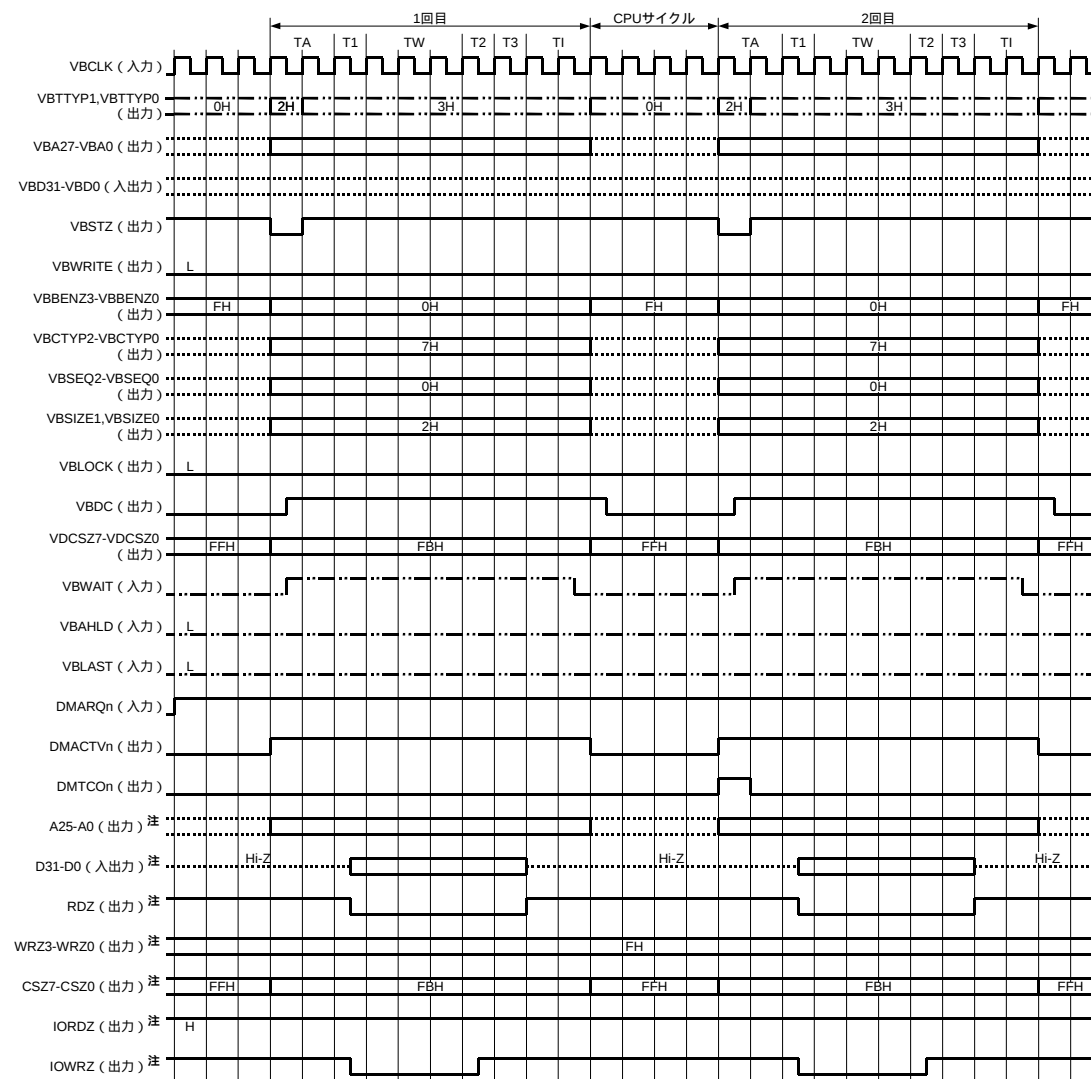
図 7 - 34 にフライバイ・シングルステップ転送のタイミング例（NB85E500 に接続した外部 SRAM→外部 I/O）を示します。この図における各レジスタの設定は次のとおりです。

[レジスタ設定内容]

- DBCn レジスタ = 0001H（2 回の転送）
- ASC レジスタ^注 = FFEFH（CS2 のアドレス設定ウェイト・ステート数 = 2）
- BCC レジスタ^注 = FFEFH（CS2 のアイドル・ステート数 = 2）
- DWC0 レジスタ^注 = 7377H（CS2 のウェイト・ステート数 = 3）

注 NB85E500 のレジスタです。

図7 - 34 フライバイ・シングルステップ転送タイミング例（NB85E500に接続した外部SRAM→外部I/O）



注 NB85E500 の信号です。

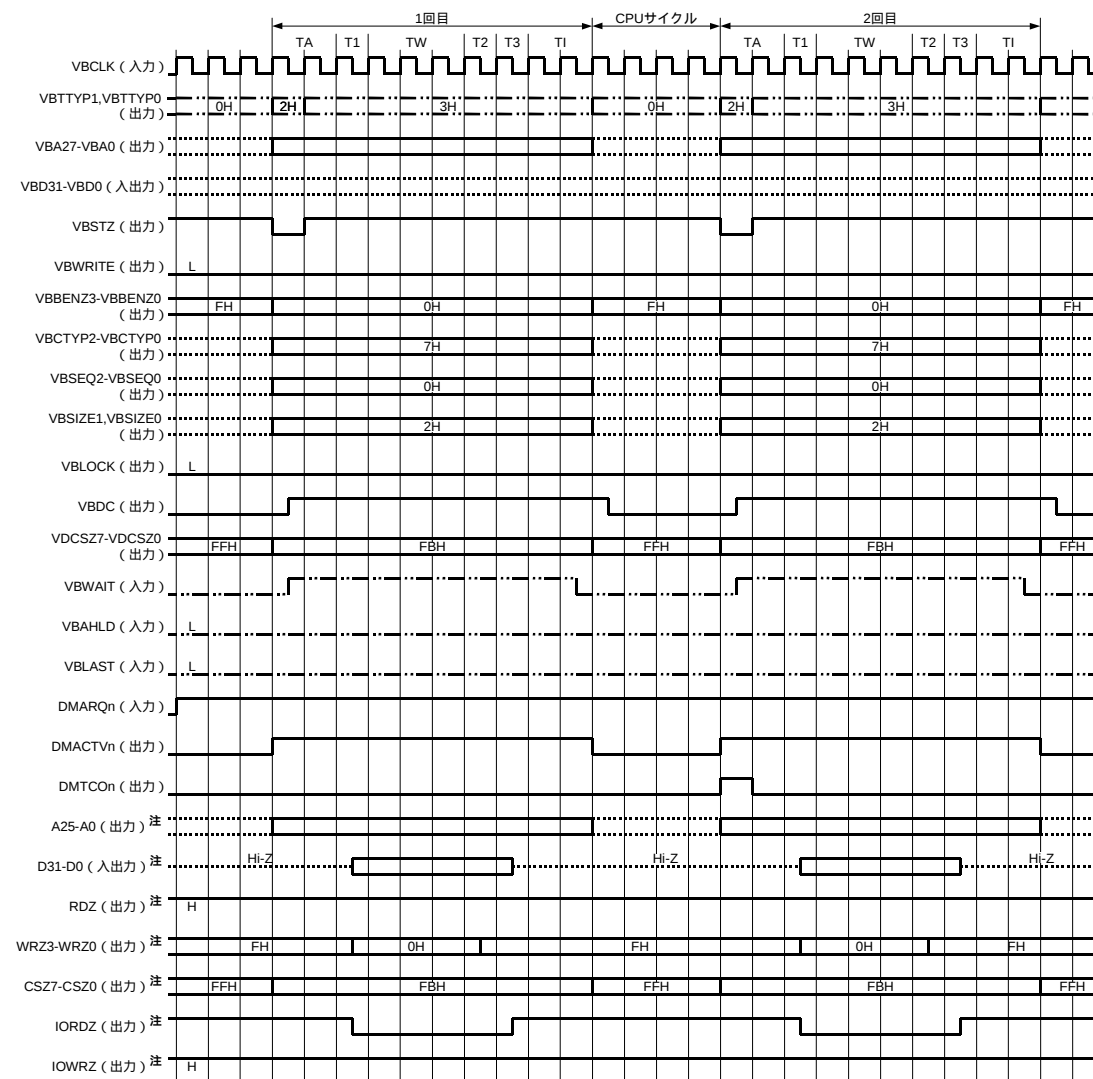
図7-35にフライバイ・シングルステップ転送のタイミング例（NB85E500に接続した外部I/O→外部SRAM）を示します。この図における各レジスタの設定は次のとおりです。

[レジスタ設定内容]

- DBCn レジスタ = 0001H（2回の転送）
- ASC レジスタ^注 = FFEFH（CS2のアドレス設定ウェイト・ステート数 = 2）
- BCC レジスタ^注 = FFEFH（CS2のアイドル・ステート数 = 2）
- DWC0 レジスタ^注 = 7377H（CS2のウェイト・ステート数 = 3）

注 NB85E500のレジスタです。

図7 - 35 フライバイ・シングルステップ転送タイミング例（NB85E500に接続した外部I/O→外部SRAM）



注 NB85E500 の信号です。

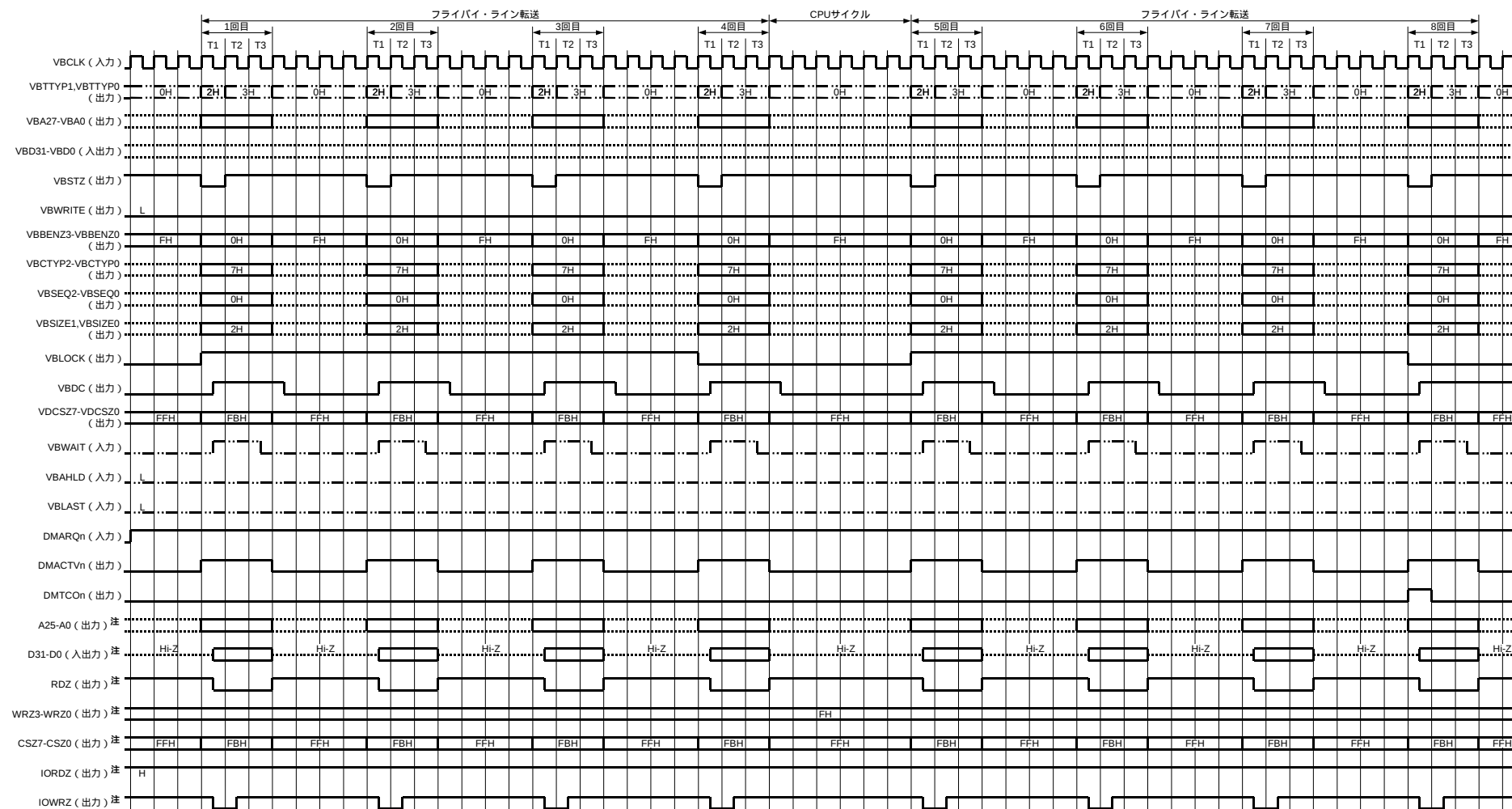
図7-36にフライバイ・ライン転送のタイミング例（NB85E500に接続した外部SRAM→外部I/O）を示します。この図における各レジスタの設定は次のとおりです。

〔レジスタ設定内容〕

- DBCn レジスタ = 0007H（8回の転送）
- ASC レジスタ^注 = 0000H（アドレス設定ウェイト・ステートなし）
- BCC レジスタ^注 = 0000H（アイドル・ステートなし）
- DWC0 レジスタ^注 = 0000H（ウェイト・ステートなし）

注 NB85E500のレジスタです。

図7 - 36 フライバイ・ライン転送タイミング例（NB85E500に接続した外部SRAM→外部I/O）



注 NB85E500 の信号です。

図7-37にフライバイ・ブロック転送のタイミング例（NB85E500に接続した外部SRAM→外部I/O）を示します。この図における各レジスタの設定は次のとおりです。

〔レジスタ設定内容〕

- DBCn レジスタ = 0007H（8回の転送）
- ASC レジスタ^注 = 0000H（アドレス設定ウェイト・ステートなし）
- BCC レジスタ^注 = 0000H（アイドル・ステートなし）
- DWC0 レジスタ^注 = 0000H（ウェイト・ステートなし）

注 NB85E500のレジスタです。

図7 - 37 フライバイ・ブロック転送タイミング例 (NB85E500に接続した外部SRAM→外部I/O)



注 NB85E500 の信号です。

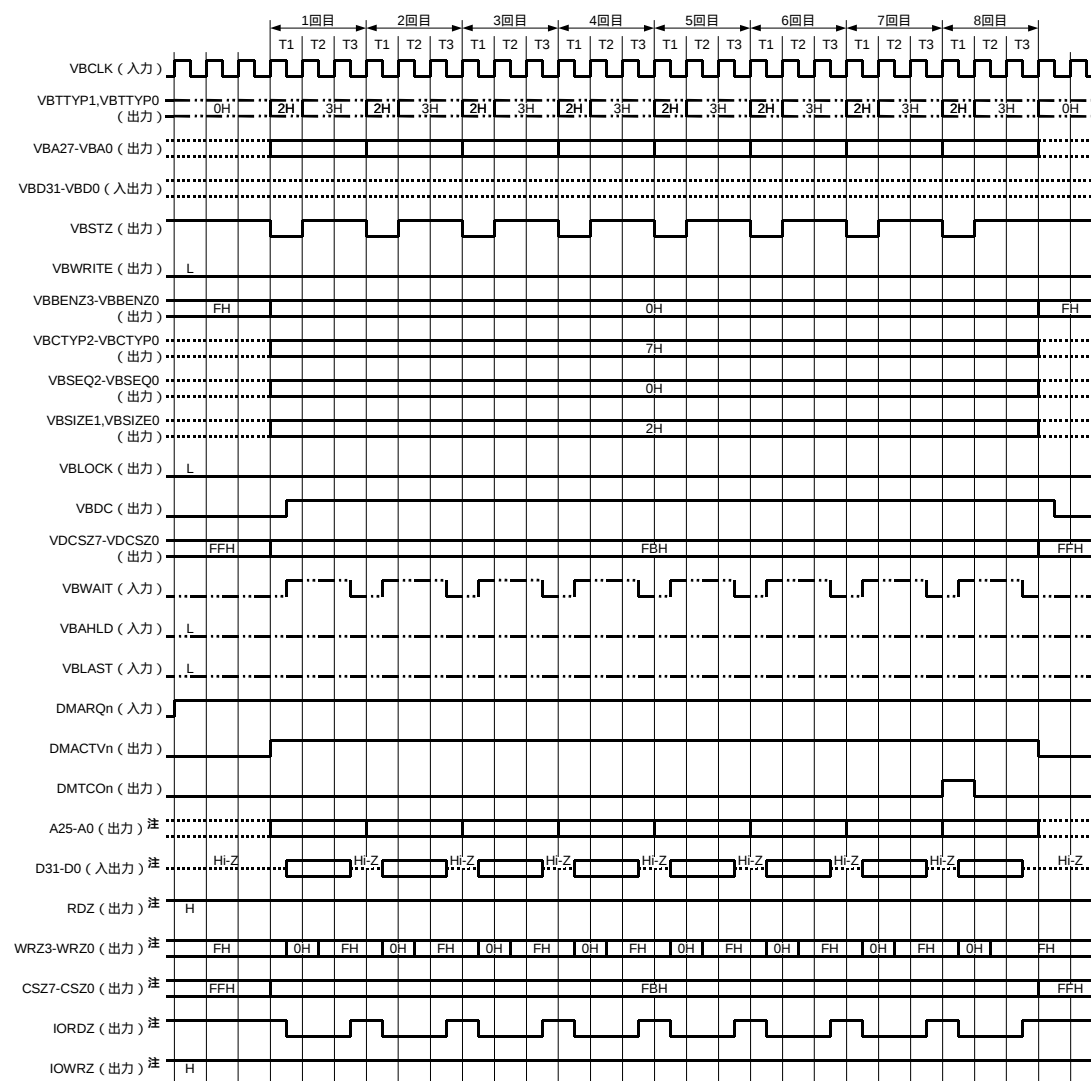
図7-38にフライバイ・ブロック転送のタイミング例（NB85E500に接続した外部I/O→外部SRAM）を示します。この図における各レジスタの設定は次のとおりです。

[レジスタ設定内容]

- DBCn レジスタ = 0007H（8回の転送）
- ASC レジスタ^注 = 0000H（アドレス設定ウェイト・ステートなし）
- BCC レジスタ^注 = 0000H（アイドル・ステートなし）
- DWC0 レジスタ^注 = 0000H（ウェイト・ステートなし）

注 NB85E500のレジスタです。

図7-38 フライバイ・ブロック転送タイミング例 (NB85E500に接続した外部I/O→外部SRAM)



注 NB85E500 の信号です。

7.15 注意事項

(1) メモリ境界

DMA 転送中に、転送元、または転送先のアドレスが DMA 対象（外部メモリ、RAM、周辺マクロ）の領域を越えた場合の動作は保証しません。

(2) ミス・アライン・データの転送

32/16 ビット・バス幅のミス・アライン・データの DMA 転送はサポートしていません。

(3) DMA 転送に関する各種時間

DMA 転送前のオーバーヘッド部分、DMA 転送にかかる最小クロック数は次のとおりです。

- DMARQn 信号を受け付けてから DMACTVn 信号が立ち上がるまで（n = 3-0）：3 クロック
- VDB に接続された RAM へのアクセス：2 クロック

なお、外部メモリ・アクセスの場合は、接続する MEMC や外部メモリに依存します。次に例を示します。

例 MEMC（NB85E500/NU85E500）を使用した SRAM アクセスの場合

転送タイプ	条 件	転送モード	最小クロック数
2 サイクル	• リード・サイクル開始からライト・サイクル終了までの時間 • シングル転送，シングルステップ転送は 1 回分，ライン転送は 4 回分の転送時間です。 • 転送元と転送先の組み合わせは次のとおりです。 <転送元> <転送先> VSB → VSB VSB → RAM RAM → VSB RAM → RAM	シングル	5 クロック
		シングルステップ	5 クロック
		ライン	32 クロック
	CPU ヘバスを解放する時間	シングル	6 クロック
		シングルステップ	4 クロック
		ライン	6 クロック
	SRAM→I/O, I/O→SRAM の 1 回分の転送時間	—	3 クロック

(4) CPU へのバス・アービトレーション

CPU は、DMA 転送を行っていない外部メモリ、周辺マクロ、RAM とのアクセスが可能です。
 外部メモリ、周辺マクロ内でデータ転送が行われているときは、CPU は RAM にアクセスできます。
 また、RAM 間でデータ転送が行われているときは、外部メモリ、周辺マクロにアクセスできます。

(5) DMA 転送終了割り込み

DMA 転送完了時には、DMA 転送終了割り込みは発生しません。転送完了と同時に割り込みを発生させたい場合は、DMATCON 信号を INTm 端子に入力し、マスカブル割り込み処理を行ってください (n = 3-0, m = 63-0)。

第 8 章 INTC

INTC（割り込みコントロール・ユニット）は、合計 67 要因の割り込み要求の処理が可能で、外部からの各種割り込み要求を処理します。さらに、TRAP 命令による例外処理の起動（ソフトウェア例外）や、例外事象の発生（不正命令コードのフェッチ）による例外処理の起動（例外トラップ）が可能です。

なお、割り込みをプログラムの実行とは独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。一般に、例外は割り込みより優先的に処理されます。

8.1 特 徴

- 割り込み

ノンマスカブル割り込み：3 要因

マスカブル割り込み：64 要因

8 レベルのプログラマブル優先順位制御（マスカブル割り込み）

優先順位に従った割り込み多重処理制御

個々のマスカブル割り込み要求に対するマスク指定

- 例外

ソフトウェア例外：32 要因

例外トラップ：1 要因（不正命令コード例外）

これらの割り込み / 例外要因を表 8 - 1 に示します。

表8 - 1 割り込み / 例外一覧（1/3）

種 類	分 類	割り込み / 例外要因			デフォルト・ プライオリティ	例外 コード	ハンドラ・ アドレス	復帰 PC
		名 称	制御レジスタ	発生要因				
リセット	割り込み	RESET	-	DCRESZ 入力	-	0000H	00000000H	不定
ノンマスカブル	割り込み	NMI0	-	DCNMI0 入力	-	0010H	00000010H	nextPC
	割り込み	NMI1	-	DCNMI1 入力	-	0020H	00000020H	nextPC
	割り込み	NMI2	-	DCNMI2 入力	-	0030H	00000030H	nextPC
ソフトウェア 例外	例外	TRAP0 ^注	-	TRAP 命令	-	004nH	00000040H	nextPC
	例外	TRAP1 ^注	-	TRAP 命令	-	005nH	00000050H	nextPC
例外トラップ	例外	ILGOP	-	不正命令コード	-	0060H	00000060H	nextPC
マスカブル	割り込み	INT0	PIC0	INT0 入力	0	0080H	00000080H	nextPC
	割り込み	INT1	PIC1	INT1 入力	1	0090H	00000090H	nextPC
	割り込み	INT2	PIC2	INT2 入力	2	00A0H	000000A0H	nextPC
	割り込み	INT3	PIC3	INT3 入力	3	00B0H	000000B0H	nextPC
	割り込み	INT4	PIC4	INT4 入力	4	00C0H	000000C0H	nextPC
	割り込み	INT5	PIC5	INT5 入力	5	00D0H	000000D0H	nextPC
	割り込み	INT6	PIC6	INT6 入力	6	00E0H	000000E0H	nextPC

注 n は 0-FH の値

表8-1 割り込み / 例外一覧 (2/3)

種 類	分 類	割り込み / 例外要因			ディフォルト・ プライオリティ	例外 コード	ハンドラ・ アドレス	復帰 PC
		名 称	制御レジスタ	発生要因				
マスカブル	割り込み	INT7	PIC7	INT7 入力	7	00F0H	000000F0H	nextPC
	割り込み	INT8	PIC8	INT8 入力	8	0100H	00000100H	nextPC
	割り込み	INT9	PIC9	INT9 入力	9	0110H	00000110H	nextPC
	割り込み	INT10	PIC10	INT10 入力	10	0120H	00000120H	nextPC
	割り込み	INT11	PIC11	INT11 入力	11	0130H	00000130H	nextPC
	割り込み	INT12	PIC12	INT12 入力	12	0140H	00000140H	nextPC
	割り込み	INT13	PIC13	INT13 入力	13	0150H	00000150H	nextPC
	割り込み	INT14	PIC14	INT14 入力	14	0160H	00000160H	nextPC
	割り込み	INT15	PIC15	INT15 入力	15	0170H	00000170H	nextPC
	割り込み	INT16	PIC16	INT16 入力	16	0180H	00000180H	nextPC
	割り込み	INT17	PIC17	INT17 入力	17	0190H	00000190H	nextPC
	割り込み	INT18	PIC18	INT18 入力	18	01A0H	000001A0H	nextPC
	割り込み	INT19	PIC19	INT19 入力	19	01B0H	000001B0H	nextPC
	割り込み	INT20	PIC20	INT20 入力	20	01C0H	000001C0H	nextPC
	割り込み	INT21	PIC21	INT21 入力	21	01D0H	000001D0H	nextPC
	割り込み	INT22	PIC22	INT22 入力	22	01E0H	000001E0H	nextPC
	割り込み	INT23	PIC23	INT23 入力	23	01F0H	000001F0H	nextPC
	割り込み	INT24	PIC24	INT24 入力	24	0200H	00000200H	nextPC
	割り込み	INT25	PIC25	INT25 入力	25	0210H	00000210H	nextPC
	割り込み	INT26	PIC26	INT26 入力	26	0220H	00000220H	nextPC
	割り込み	INT27	PIC27	INT27 入力	27	0230H	00000230H	nextPC
	割り込み	INT28	PIC28	INT28 入力	28	0240H	00000240H	nextPC
	割り込み	INT29	PIC29	INT29 入力	29	0250H	00000250H	nextPC
	割り込み	INT30	PIC30	INT30 入力	30	0260H	00000260H	nextPC
	割り込み	INT31	PIC31	INT31 入力	31	0270H	00000270H	nextPC
	割り込み	INT32	PIC32	INT32 入力	32	0280H	00000280H	nextPC
	割り込み	INT33	PIC33	INT33 入力	33	0290H	00000290H	nextPC
	割り込み	INT34	PIC34	INT34 入力	34	02A0H	000002A0H	nextPC
	割り込み	INT35	PIC35	INT35 入力	35	02B0H	000002B0H	nextPC
	割り込み	INT36	PIC36	INT36 入力	36	02C0H	000002C0H	nextPC
	割り込み	INT37	PIC37	INT37 入力	37	02D0H	000002D0H	nextPC
	割り込み	INT38	PIC38	INT38 入力	38	02E0H	000002E0H	nextPC
	割り込み	INT39	PIC39	INT39 入力	39	02F0H	000002F0H	nextPC
	割り込み	INT40	PIC40	INT40 入力	40	0300H	00000300H	nextPC
	割り込み	INT41	PIC41	INT41 入力	41	0310H	00000310H	nextPC
	割り込み	INT42	PIC42	INT42 入力	42	0320H	00000320H	nextPC
	割り込み	INT43	PIC43	INT43 入力	43	0330H	00000330H	nextPC
	割り込み	INT44	PIC44	INT44 入力	44	0340H	00000340H	nextPC
	割り込み	INT45	PIC45	INT45 入力	45	0350H	00000350H	nextPC

表8 - 1 割り込み / 例外一覧 (3/3)

種 類	分 類	割り込み / 例外要因			デフォルト・ プライオリティ	例外 コード	ハンドラ・ アドレス	復帰 PC
		名 称	制御レジスタ	発生要因				
マスカブル	割り込み	INT46	PIC46	INT46 入力	46	0360H	00000360H	nextPC
	割り込み	INT47	PIC47	INT47 入力	47	0370H	00000370H	nextPC
	割り込み	INT48	PIC48	INT48 入力	48	0380H	00000380H	nextPC
	割り込み	INT49	PIC49	INT49 入力	49	0390H	00000390H	nextPC
	割り込み	INT50	PIC50	INT50 入力	50	03A0H	000003A0H	nextPC
	割り込み	INT51	PIC51	INT51 入力	51	03B0H	000003B0H	nextPC
	割り込み	INT52	PIC52	INT52 入力	52	03C0H	000003C0H	nextPC
	割り込み	INT53	PIC53	INT53 入力	53	03D0H	000003D0H	nextPC
	割り込み	INT54	PIC54	INT54 入力	54	03E0H	000003E0H	nextPC
	割り込み	INT55	PIC55	INT55 入力	55	03F0H	000003F0H	nextPC
	割り込み	INT56	PIC56	INT56 入力	56	0400H	00000400H	nextPC
	割り込み	INT57	PIC57	INT57 入力	57	0410H	00000410H	nextPC
	割り込み	INT58	PIC58	INT58 入力	58	0420H	00000420H	nextPC
	割り込み	INT59	PIC59	INT59 入力	59	0430H	00000430H	nextPC
	割り込み	INT60	PIC60	INT60 入力	60	0440H	00000440H	nextPC
	割り込み	INT61	PIC61	INT61 入力	61	0450H	00000450H	nextPC
	割り込み	INT62	PIC62	INT62 入力	62	0460H	00000460H	nextPC
	割り込み	INT63	PIC63	INT63 入力	63	0470H	00000470H	nextPC

備考 1. デフォルト・プライオリティ：複数の同一優先順位レベルのマスカブル割り込み要求が同時に発生している場合に優先される順位です。0 が最高優先順位です。

復帰 PC：割り込み / 例外処理起動時に EIPC または FEPC にセーブされる PC 値のことです。

なお、次の命令実行中にノンマスカブル / マスカブル割り込みを受け付けた場合の復帰 PC は nextPC とはなりません（命令実行中に割り込みを受け付けると実行を中止し、割り込み処理完了後に再実行されます）。

- ロード命令（SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W）
- 除算命令（DIV, DIVH, DIVU, DIVHU）
- PREPARE, DISPOSE 命令（スタック・ポインタの更新前に割り込みが発生した場合のみ）

nextPC：割り込み / 例外処理後に処理を開始する PC 値のことです。

2. 不正命令コード例外時の不正命令の実行アドレスは「復帰 PC - 4」で求められます。

8.2 ノンマスカブル割り込み (NMI)

ノンマスカブル割り込み要求 (NMI) は、割り込み禁止 (DI) 状態であっても無条件に受け付けられます。

ノンマスカブル割り込み要求は DCNMIn 端子入力によって行います ($n = 2-0$)。DCNMIn 端子に立ち上がりエッジが入力されるとノンマスカブル割り込み (NMIn) が発生します。

複数のノンマスカブル割り込み要求が重なって発生した場合は、次の優先順位に従い、優先順位の高い処理が実行されます (優先順位の低い割り込みは無視されます)。

NMI2 > NMI1 > NMIO

なお、NMIO 処理中に、新たに NMIO, NMI1, NMI2 要求が発生した場合は次のような処理を行います。

(1) NMIO 処理中に、新たに NMIO 要求が発生した場合

PSW の NP ビットの値によらず、新たな NMIO 要求は保留されます。保留された NMIO 要求は、現在実行中の NMIO 処理終了後 (RETI 命令実行後) に受け付けられます。

(2) NMIO 処理中に、新たに NMI1 要求が発生した場合

NMIO 処理中に PSW の NP ビットがセット (1) されたままであれば、新たな NMI1 要求は保留されます。保留された NMI1 要求は、現在実行中の NMIO 処理終了後 (RETI 命令実行後) に受け付けられます。

NMIO 処理中に PSW の NP ビットをクリア (0) すれば、新たに発生した NMI1 要求が実行されます (NMIO 処理は中断されます)。

(3) NMIO 処理中に、新たに NMI2 要求が発生した場合

PSW の NP ビットの値によらず、新たに発生した NMI2 要求が実行されます (NMIO 処理は中断されます)。

注意 ノンマスカブル割り込み要求 (NMI) が発生した場合、PC, PSW の値は NMI 時状態退避レジスタ (FEPC, FEPSW) に退避されますが、このとき RETI 命令によって復帰できるのは NMIO だけです。NMI1, NMI2 の場合は RETI 命令による復帰はできないため、割り込み処理後にシステム・リセットを行ってください。

図8 - 1 ノンマスクブル割り込み要求の受け付け動作 (1/2)

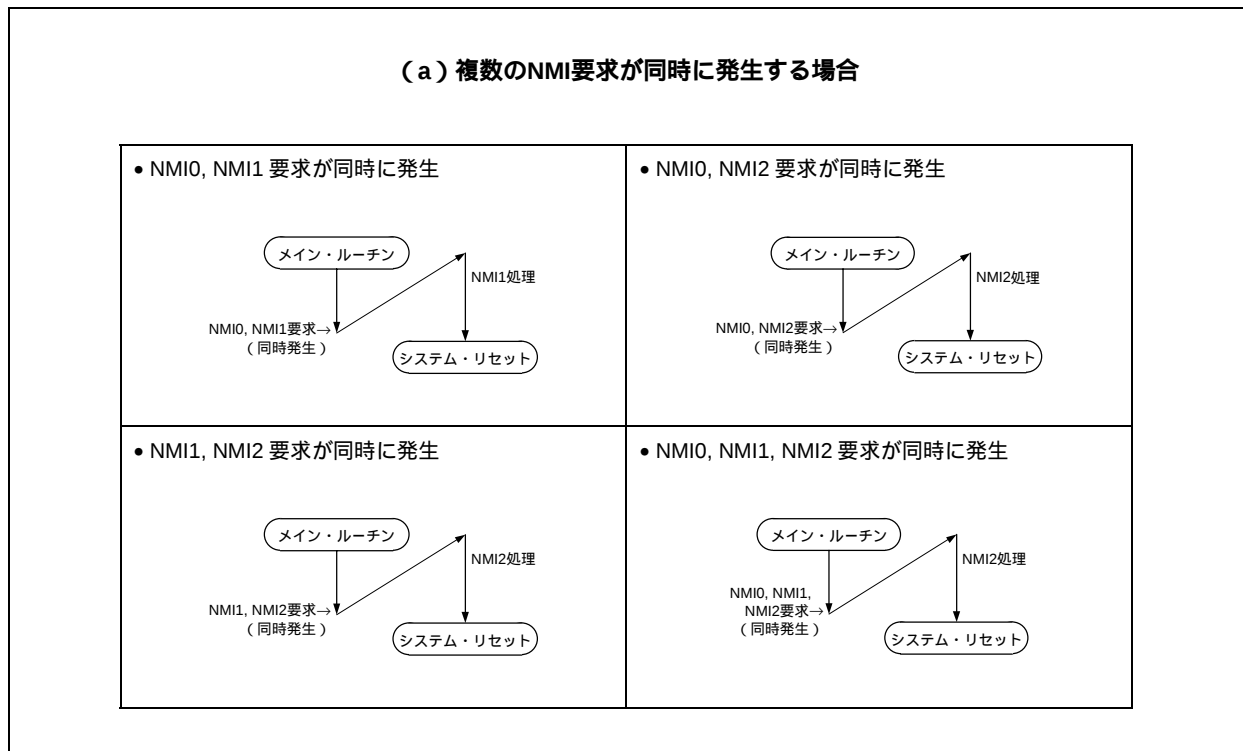


図8 - 1 ノンマスクابل割り込み要求の受け付け動作 (2/2)

(b) NMI処理中に新たにNMI要求が発生する場合

処理中の NMI	NMI 処理中に新たに発生する NMI 要求		
	NMI0	NMI1	NMI2
NMI0	• NMI0 処理中に NMI0 要求が発生	• NMI0 処理中に NMI1 要求が発生 (NMI1 要求前に NP=1 のまま) • NMI0 処理中に NMI1 要求が発生 (NMI1 要求前に NP=0 にする) • NMI0 処理中に NMI1 要求が発生 (NMI1 要求後に NP=0 にする)	• NMI0 処理中に NMI2 要求が発生
NMI1	• NMI1 処理中に NMI0 要求が発生	• NMI1 処理中に NMI1 要求が発生	• NMI1 処理中に NMI2 要求が発生
NMI2	• NMI2 処理中に NMI0 要求が発生	• NMI2 処理中に NMI1 要求が発生	• NMI2 処理中に NMI2 要求が発生

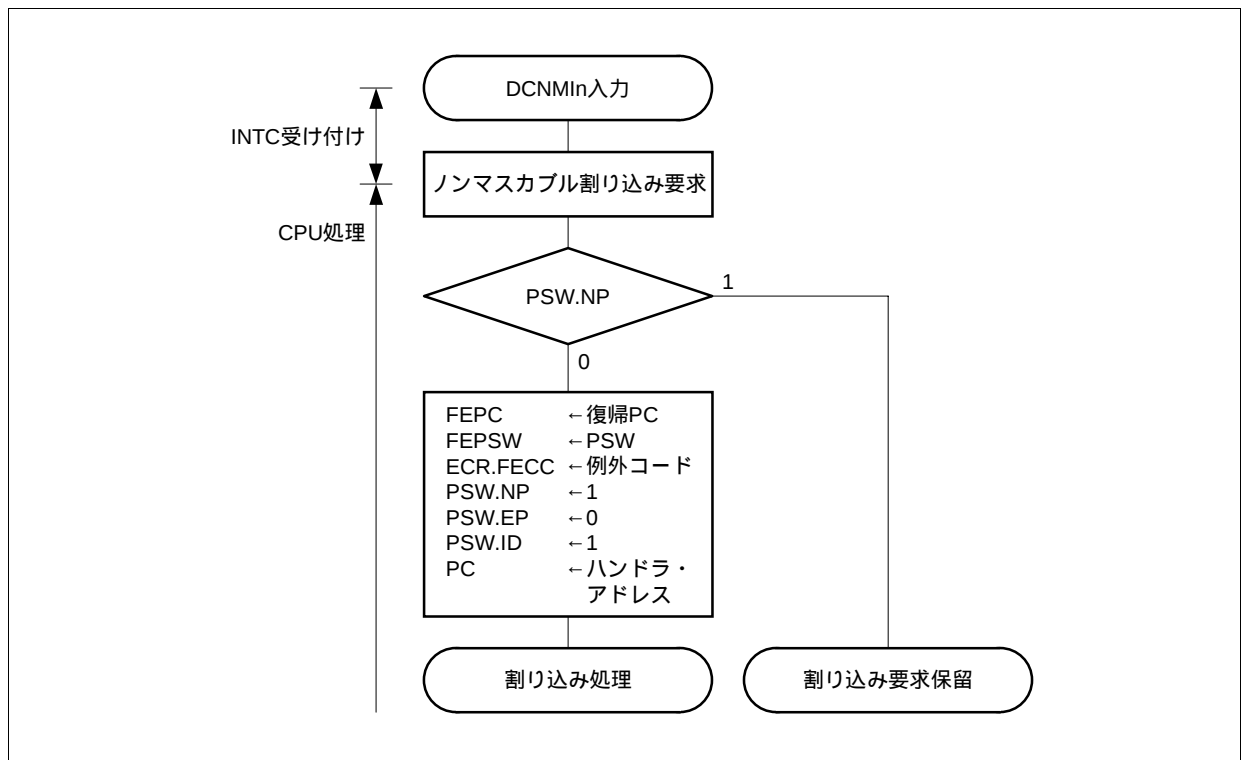
8.2.1 動作

DCNMIn 入力によりノンマスクابل割り込みが発生した場合、CPU は次の処理を行い、ハンドラ・ルーチンへ制御を移します (n = 2-0)。

- <1> 復帰 PC を FEPC に退避します。
- <2> 現在の PSW を FEPSW へ退避します。
- <3> ECR の上位ハーフワード (FECC) に例外コードを書き込みます。
- <4> PSW の NP, ID ビットをセットし, EP ビットをクリアします。
- <5> PC にノンマスクابل割り込みに対するハンドラ・アドレスをセットし, 制御を移します。

ノンマスクابل割り込みの処理形態を図 8 - 2 に示します。

図8 - 2 ノンマスクابل割り込みの処理形態



8.2.2 復 帰

(1) NMI0 の場合

NMI0 処理からの復帰は、RETI 命令により行います。

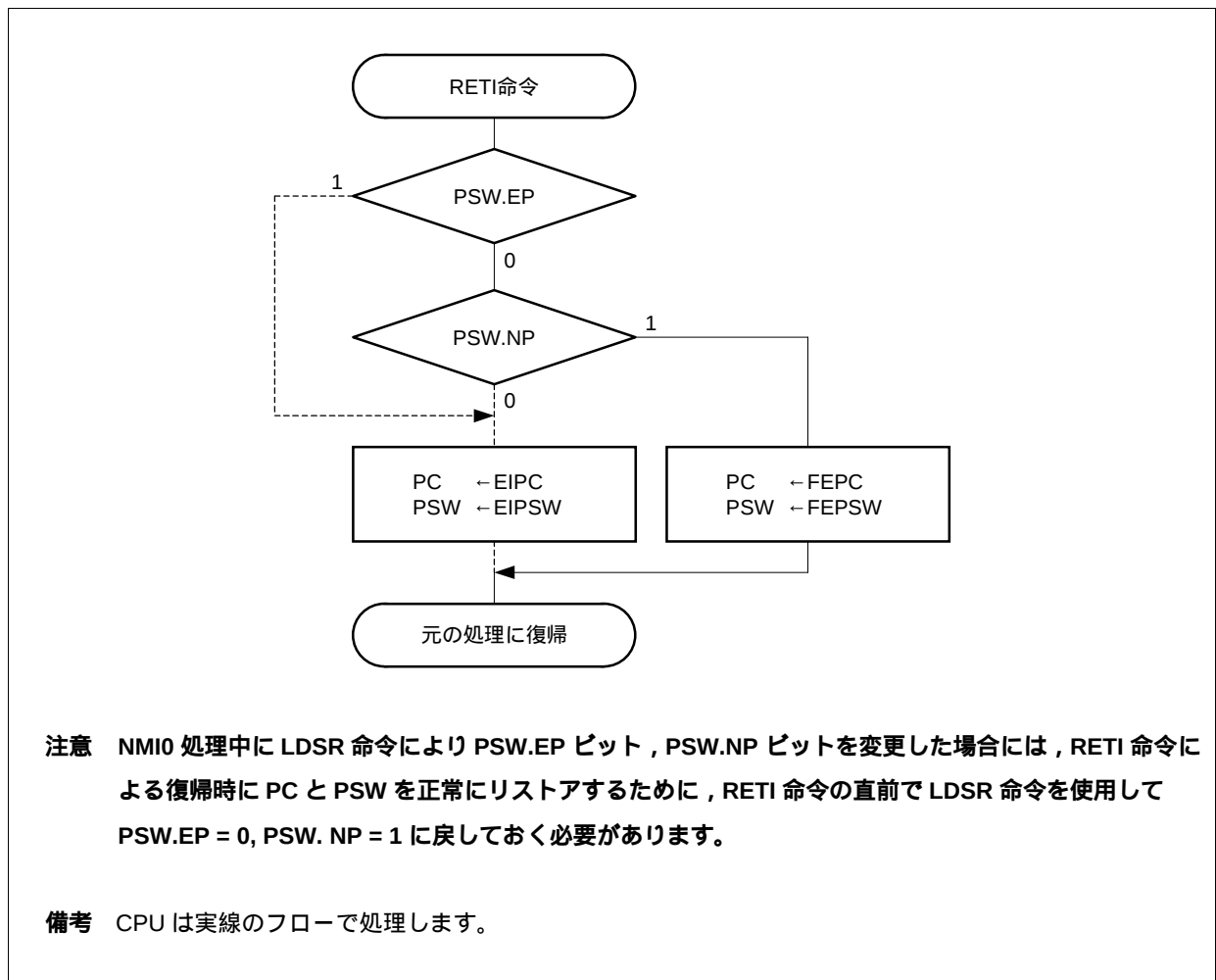
RETI 命令の実行により CPU は次の処理を行い、復帰 PC のアドレスへ制御を移します。

<1> PSW の EP ビットが 0 かつ PSW の NP ビットが 1 なので、FEPC, FEPSW から復帰 PC, PSW を取り出します。

<2> 取り出した復帰 PC のアドレス、PSW の状態に制御を移します。

RETI 命令の処理形態を図 8 - 3 に示します。

図8 - 3 RETI命令の処理形態



(2) NMI1, NMI2 の場合

RETI 命令による復帰はできません。割り込み処理後に DCRESZ 入力により、システム・リセットを行ってください。

8.3 マスカブル割り込み

マスカブル割り込み要求は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求で、64 種類の割り込み要因があります。

マスカブル割り込み要求は INTn 端子入力によって行います (n = 63-0)。INTn 端子に立ち上がりエッジが入力されるとマスカブル割り込み (INTn) が発生します。

複数のマスカブル割り込み要求が同時に発生した場合は、デフォルト優先順位によりその優先順位が決定します。また、デフォルト優先順位とは別に、割り込み制御レジスタによって、8 レベルの割り込み優先順位を設定できます (プログラマブル優先順位制御)。

割り込み要求が受け付けられると割り込み禁止 (DI) 状態になり、以後のマスカブル割り込み要求の受け付けを禁止します。

割り込み処理ルーチン内で EI 命令を実行すると割り込み許可 (EI) 状態となり、受け付け中の割り込み要求の優先順位レベル (割り込み制御レジスタで指定) よりも高い優先順位の割り込み要求の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし、多重割り込みを行う場合、次の処理が必要です。

<1> EI 命令を実行する前に EIPC, EIPSW をメモリか汎用レジスタに退避

<2> RETI 命令を実行する前に DI 命令を実行し、続いて<1>で退避させた値を EIPC, EIPSW に復帰

8.3.1 動作

INTn 入力によりマスカブル割り込みが発生した場合、CPU は次の処理を行い、ハンドラ・ルーチンへ制御を移します。

<1> 復帰 PC を EIPC に退避します。

<2> 現在の PSW を EIPSW へ退避します。

<3> ECR の下位ハーフワード (EICC) に例外コードを書き込みます。

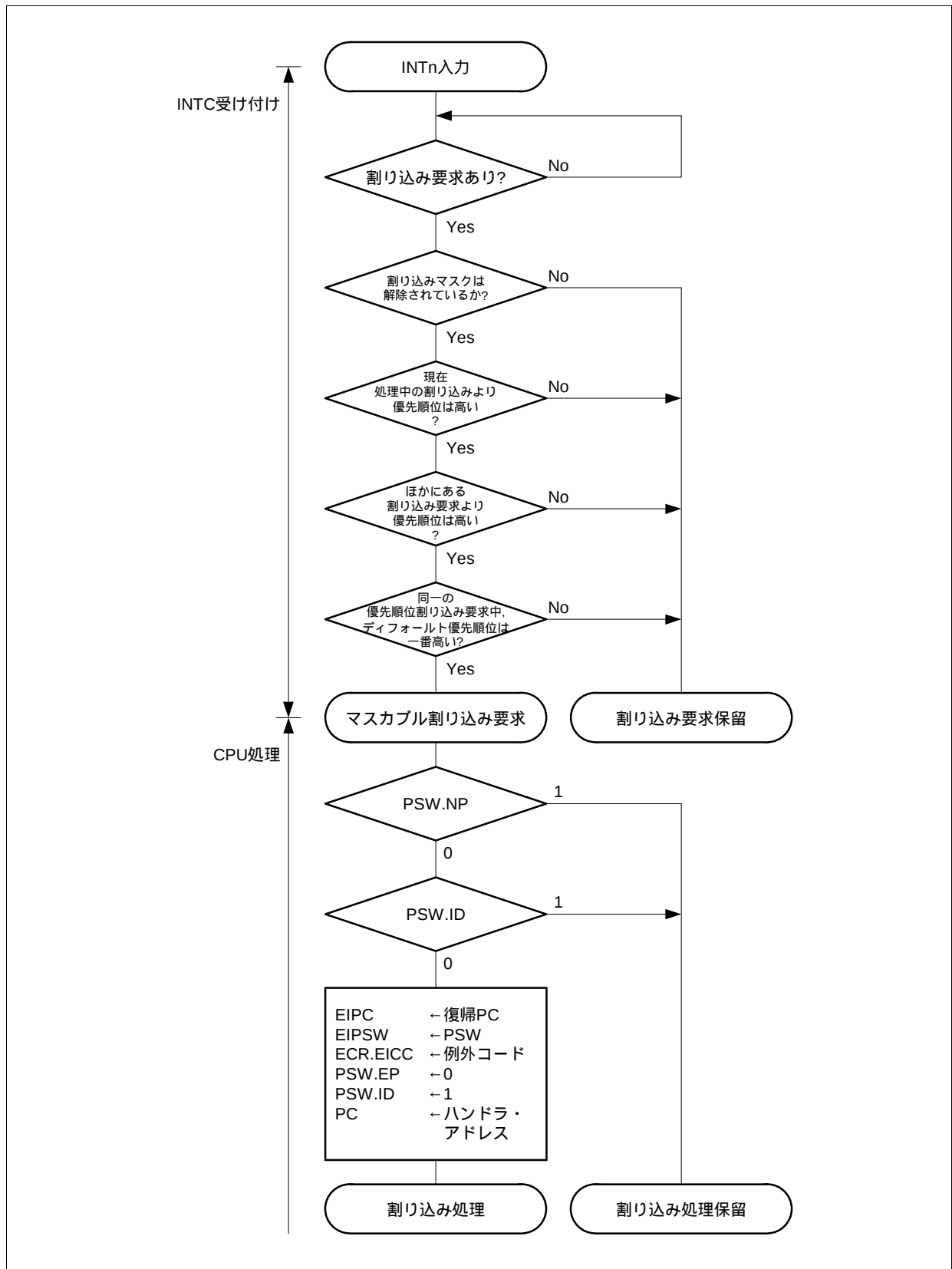
<4> PSW の ID ビットをセットし、EP ビットをクリアします。

<5> PC に各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

INTC でマスクされている INTn 入力と、ほかの割り込み処理中 (PSW.NP = 1 または PSW.ID = 1) に発生した INTn 入力は、INTC の内部で保留されます。この場合マスクを解除するか、または RETI 命令、LDSR 命令を使用して、PSW.NP = 0 かつ PSW.ID = 0 にすると、保留していた INTn 入力により新たなマスカブル割り込み処理が開始されます。

マスカブル割り込みの処理形態を図 8 - 4 に示します。

図8-4 マスカブル割り込みの処理形態



8.3.2 復 帰

マスクابل割り込み処理からの復帰は、RETI 命令により行います。

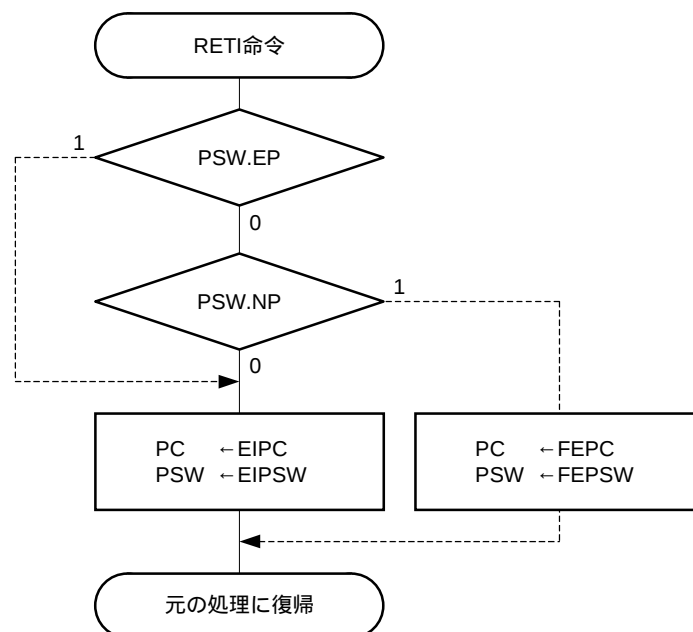
RETI 命令の実行により CPU は次の処理を行い、復帰 PC のアドレスへ制御を移します。

<1> PSW の EP ビットが 0 かつ PSW の NP ビットが 0 なので、EIPC, EIPSW から復帰 PC, PSW を取り出します。

<2> 取り出した復帰 PC のアドレス、PSW の状態に制御を移します。

RETI 命令の処理形態を図 8 - 5 に示します。

図8 - 5 RETI命令の処理形態



注意 マスクابل割り込み処理中に LDSR 命令により PSW.EP ビット、PSW.NP ビットを変更した場合には、RETI 命令による復帰時に PC と PSW を正常にリストアするために、RETI 命令の直前で LDSR 命令を使用して PSW.EP = 0, PSW.NP = 0 に戻しておく必要があります。

備考 CPU は実線のフローで処理します。

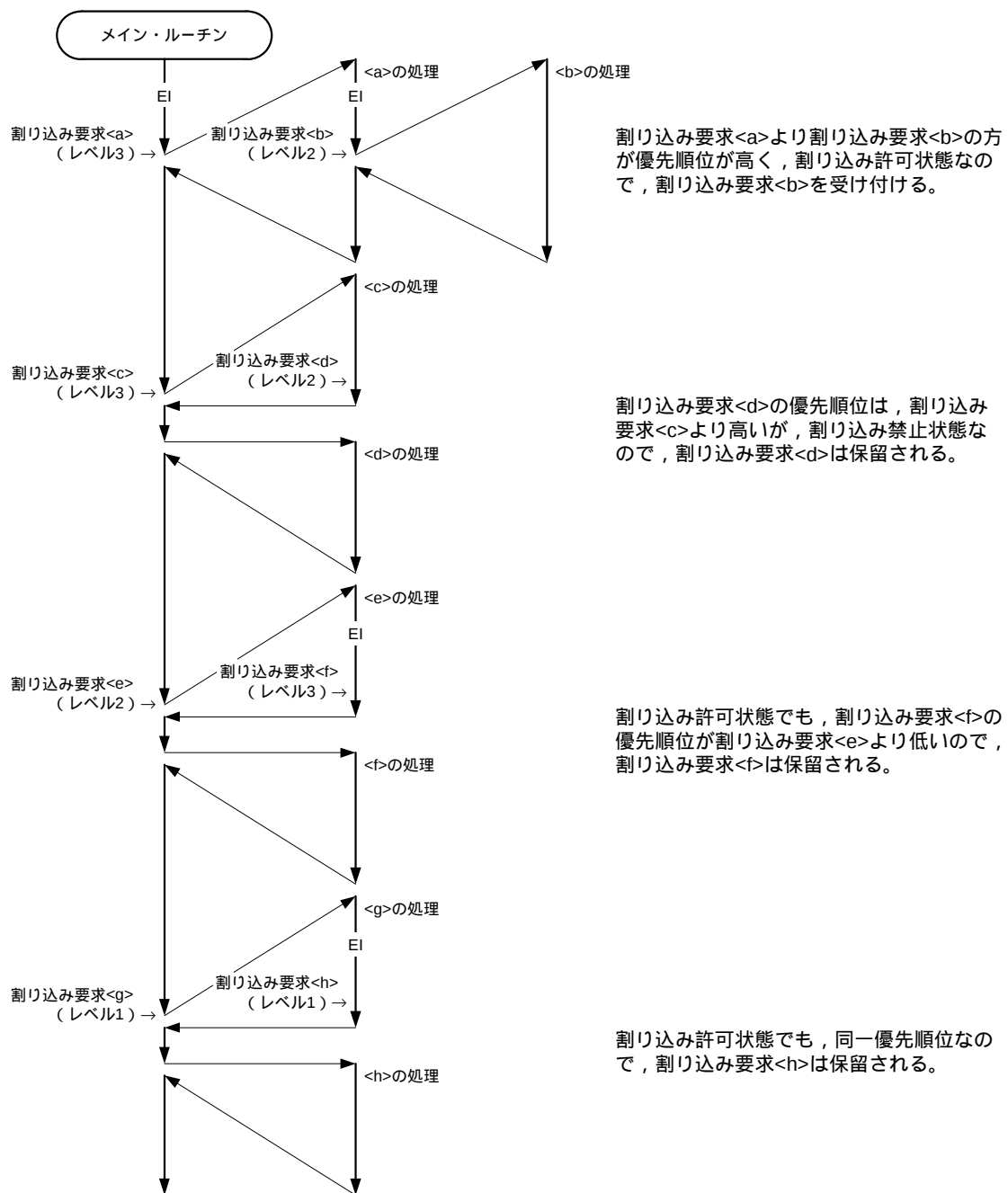
8.3.3 マスカブル割り込みの優先順位

INTC は、割り込み処理中にさらに別の割り込みを受け付ける多重割り込み処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、割り込み制御レジスタ (PICn) によるプログラム優先順位制御があります。デフォルト優先順位による優先順位制御は、PICn レジスタによる複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込み処理を行います (表 8-1 割り込み / 例外一覧参照)。プログラマブル優先順位制御は、各割り込み要求を PICn レジスタの設定によって 8 レベルに分けます。

なお、割り込みを受け付けると PSW の ID フラグが自動的にセット (1) されるので、多重割り込みを行う場合は、割り込み処理プログラム中で EI 命令を実行するなどして ID フラグをクリア (0) し、割り込み許可状態に設定してください。

図8-6 割り込み処理中にほかの割り込み要求が発生した場合の処理例 (1/2)

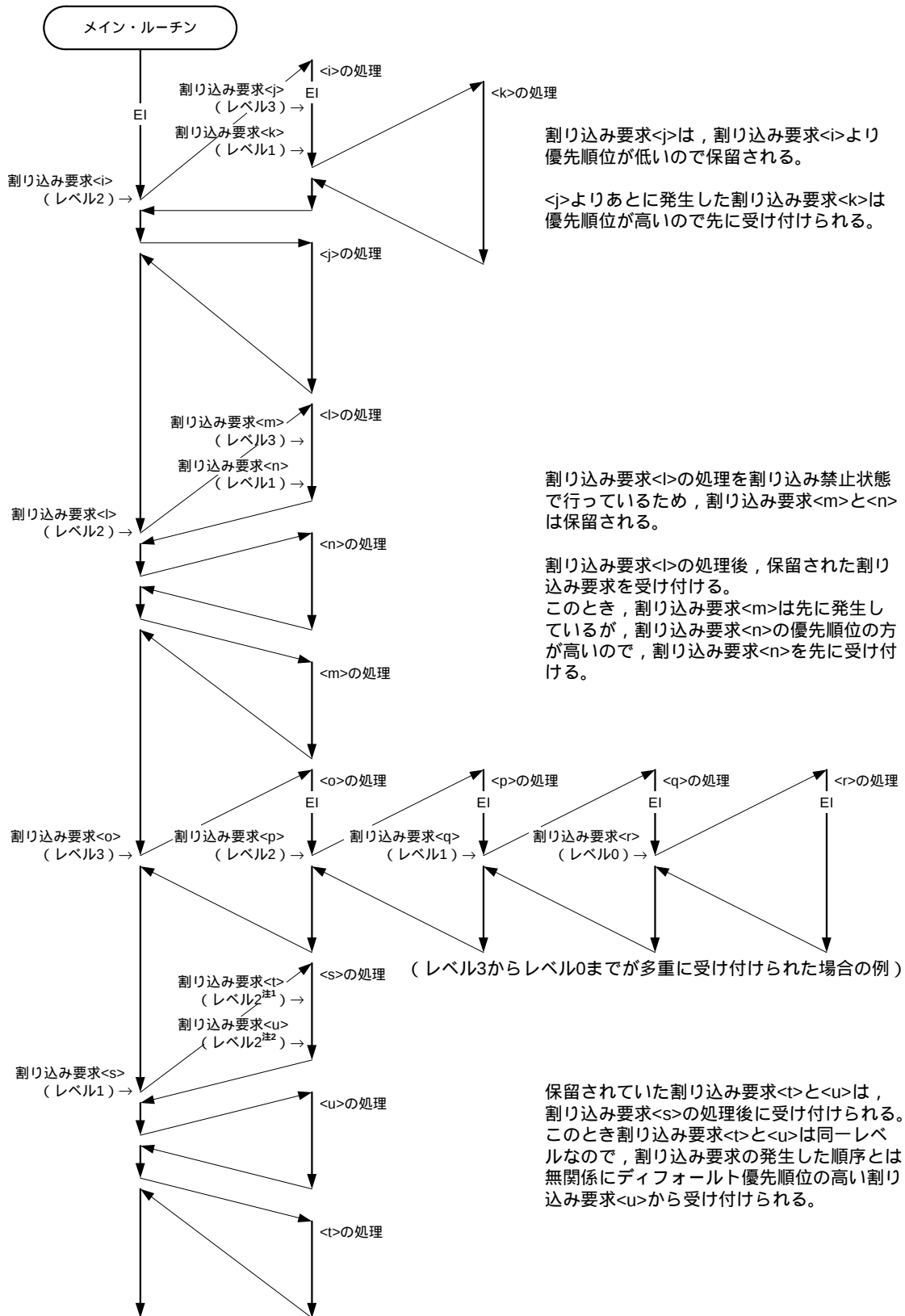


備考 1. 図中の<a> - <u>は、割り込み要求を区別するためにつけた仮の名称です。

2. 図中のデフォルト優先順位の高い / 低いは、2つの割り込み要求間の相対的な優先順位の高さを示します。

注意 多重割り込みを行うときは EIPC, EIPSW レジスタの内容を退避する必要があります。

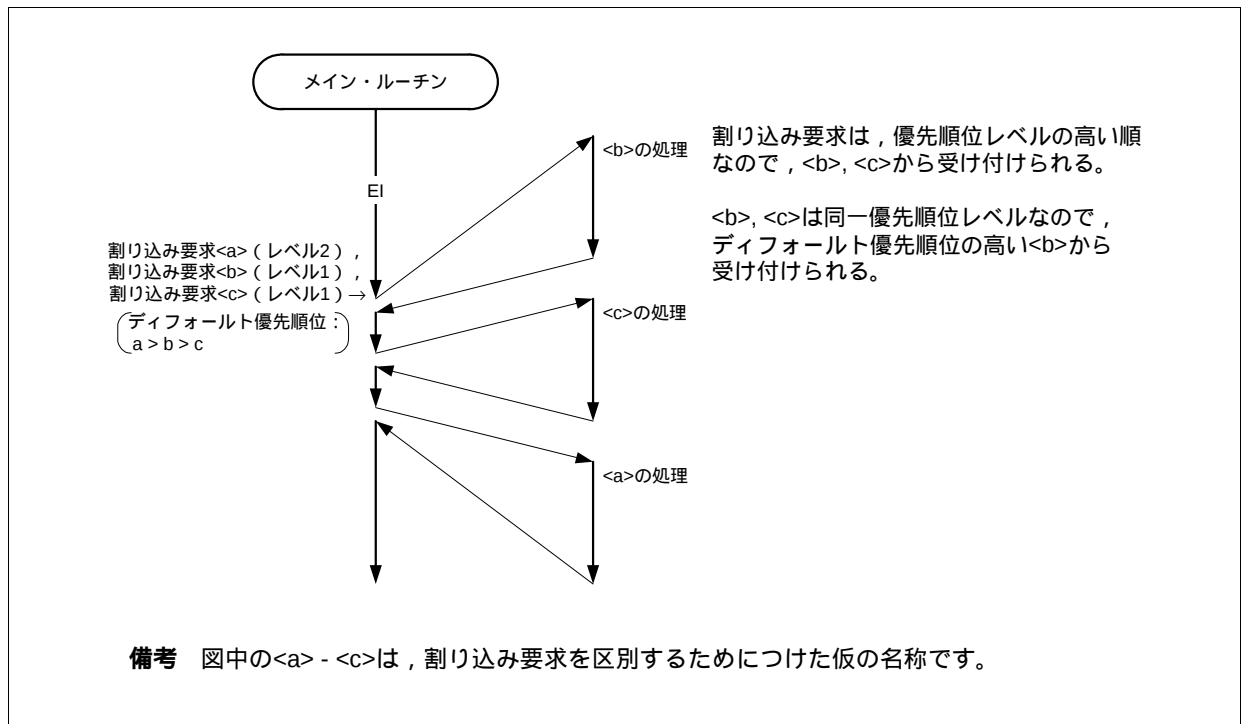
図8 - 6 割り込み処理中にほかの割り込み要求が発生した場合の処理例 (2/2)



注 1. デフォルト優先順位が低い。

注 2. デフォルト優先順位が高い。

図8 - 7 同時発生した割り込み要求の処理例



8.3.4 制御レジスタ

(1) 割り込み制御レジスタ 0-63 (PIC0-PIC63)

割り込み要求（マスカブル割り込み）ごとに割り当てられ、各割り込みに対する制御条件を設定します。
8/1 ビット単位でリード/ライト可能です。

図8 - 8 割り込み制御レジスタ0-63 (PIC0-PIC63)

	7	6	5	4	3	2	1	0		
PICn	PIFn	PMKn	0	0	0	PPRn2	PPRn1	PPRn0	アドレス	初期値
									FFFFFF110H-	47H
									FFFFFF18EH	

ビット位置	ビット名	意 味																																				
7	PIFn	割り込み要求フラグです。 0：割り込み要求なし 1：割り込み要求あり 割り込み要求が受け付けられると自動的にクリア（0）されます。																																				
6	PMKn	割り込みマスク・フラグです。 0：割り込み処理を許可 1：割り込み処理を禁止（保留）																																				
2-0	PPRn2- PPRn0	各割り込みごとに 8 レベルの優先順位を指定します。 <table><tr><th>PPRn2</th><th>PPRn1</th><th>PPRn0</th><th>割り込み優先順位</th></tr><tr><td>0</td><td>0</td><td>0</td><td>レベル 0（最高位）を指定</td></tr><tr><td>0</td><td>0</td><td>1</td><td>レベル 1 を指定</td></tr><tr><td>0</td><td>1</td><td>0</td><td>レベル 2 を指定</td></tr><tr><td>0</td><td>1</td><td>1</td><td>レベル 3 を指定</td></tr><tr><td>1</td><td>0</td><td>0</td><td>レベル 4 を指定</td></tr><tr><td>1</td><td>0</td><td>1</td><td>レベル 5 を指定</td></tr><tr><td>1</td><td>1</td><td>0</td><td>レベル 6 を指定</td></tr><tr><td>1</td><td>1</td><td>1</td><td>レベル 7（最低位）を指定</td></tr></table>	PPRn2	PPRn1	PPRn0	割り込み優先順位	0	0	0	レベル 0（最高位）を指定	0	0	1	レベル 1 を指定	0	1	0	レベル 2 を指定	0	1	1	レベル 3 を指定	1	0	0	レベル 4 を指定	1	0	1	レベル 5 を指定	1	1	0	レベル 6 を指定	1	1	1	レベル 7（最低位）を指定
PPRn2	PPRn1	PPRn0	割り込み優先順位																																			
0	0	0	レベル 0（最高位）を指定																																			
0	0	1	レベル 1 を指定																																			
0	1	0	レベル 2 を指定																																			
0	1	1	レベル 3 を指定																																			
1	0	0	レベル 4 を指定																																			
1	0	1	レベル 5 を指定																																			
1	1	0	レベル 6 を指定																																			
1	1	1	レベル 7（最低位）を指定																																			

備考 n = 0-63

(2) 割り込みマスク・レジスタ 0-3 (IMR0-IMR3)

各マスカブル割り込みのマスク状態を保持します。

このレジスタの PMKn ビットと PICn レジスタの PMKn ビットは、それぞれ連結しています (n = 0-63)。

IMRm レジスタは、16 ビット単位でリード/ライト可能です (m = 0-3)。

IMRm レジスタの上位 8 ビットを IMRmH レジスタ、下位 8 ビットを IMRmL レジスタとして使用した場合は、8/1 ビット単位でリード/ライト可能です。

図8 - 9 割り込みマスク・レジスタ0-3 (IMR0-IMR3)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
IMR0	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	アドレス	初期値
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
																	FFFFFF100H	FFFFH
IMR1	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	アドレス	初期値
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
																	FFFFFF102H	FFFFH
IMR2	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	アドレス	初期値
	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32		
																	FFFFFF104H	FFFFH
IMR3	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	PMK	アドレス	初期値
	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48		
																	FFFFFF106H	FFFFH

(3) インサース・プライオリティ・レジスタ (ISPR)

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求が受け付けられると、その割り込み要求の優先順位レベルに対応するビットがセット (1) され、割り込み処理中、保持されます。

RETI 命令の実行の際、ISPR レジスタ内でセット (1) されているビットのうち、最も優先順位の高い割り込み要求に対応するビットが自動的にクリア (0) されます。ただし、ノンマスカブル割り込み処理や例外処理からの復帰の場合はクリア (0) されません。

8/1 ビット単位でリードだけ可能です。

図8 - 10 インサース・プライオリティ・レジスタ (ISPR)

	7	6	5	4	3	2	1	0		
ISPR	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0	アドレス	初期値
									FFFFFF1FAH	00H

ビット位置	ビット名	意 味
7-0	ISPR7- ISPR0	受け付け中の割り込み優先順位を示します。 0 : 優先順位 n の割り込み要求を受け付けていない 1 : 優先順位 n の割り込み要求を受け付け中

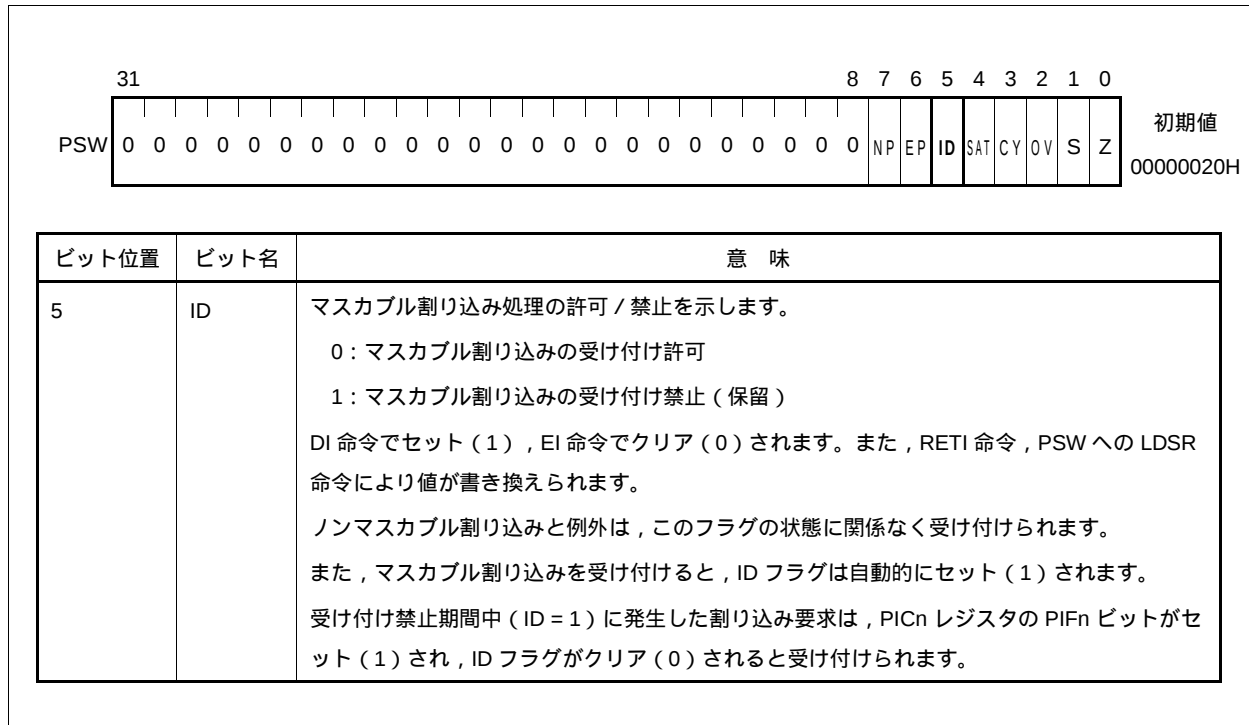
備考 n = 7-0 (優先順位のレベル)

8.3.5 マスカブル割り込みステータス・フラグ (ID)

マスカブル割り込みの動作状態を制御し、割り込み要求受け付けの許可 / 禁止情報を記憶します。

プログラム・ステータス・ワード (PSW) のビット 5 に割り付けられています。

図8 - 11 プログラム・ステータス・ワード (PSW)



8.4 ソフトウェア例外

ソフトウェア例外は、CPU の TRAP 命令の実行により発生する例外で、常に受け付けが可能です。

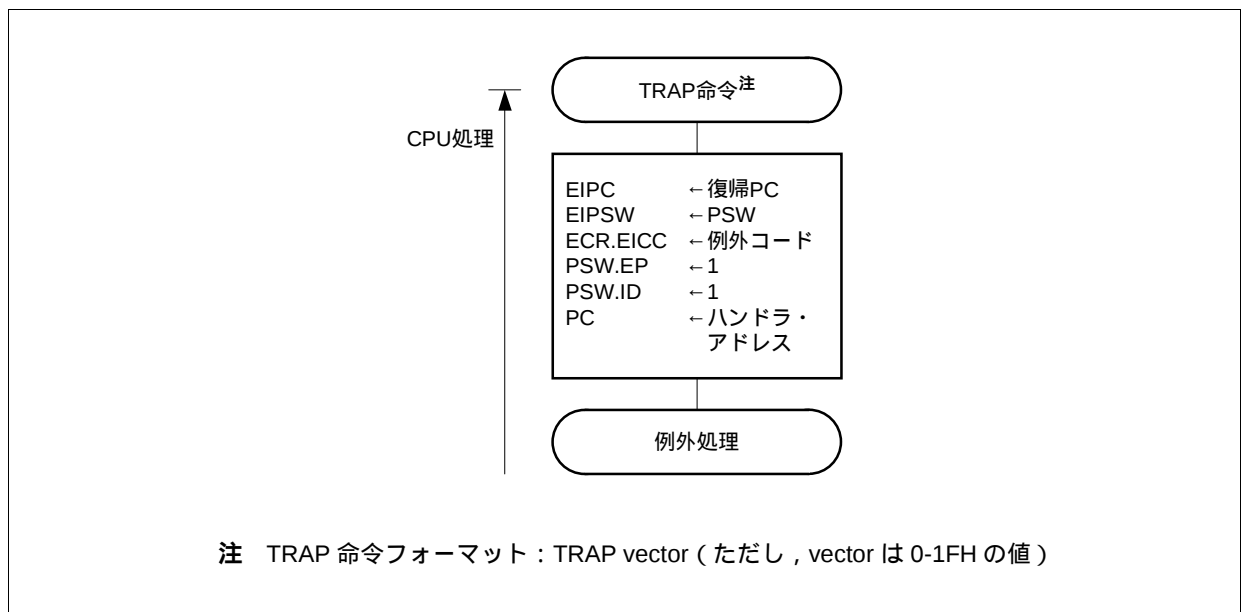
8.4.1 動作

ソフトウェア例外が発生した場合、CPU は次の処理を行い、ハンドラ・ルーチンへ制御を移します。

- <1> 復帰 PC を EIPC に退避します。
- <2> 現在の PSW を EIPSW へ退避します。
- <3> ECR (割り込み要因) の下位 16 ビット (EICC) に例外コードを書き込みます。
- <4> PSW の EP, ID ビットをセットします。
- <5> PC にソフトウェア例外に対するハンドラ・アドレス (00000040H または 00000050H) をセットし、制御を移します。

ソフトウェア例外の処理形態を図 8 - 12 に示します。

図8 - 12 ソフトウェア例外の処理形態



ハンドラ・アドレスは、TRAP 命令のオペランド (vector) によって決まります。vector が 0-0FH の場合は 00000040H となり、10H-1FH の場合は 00000050H となります。

8.4.2 復 帰

ソフトウェア例外処理からの復帰は、RETI 命令により行います。

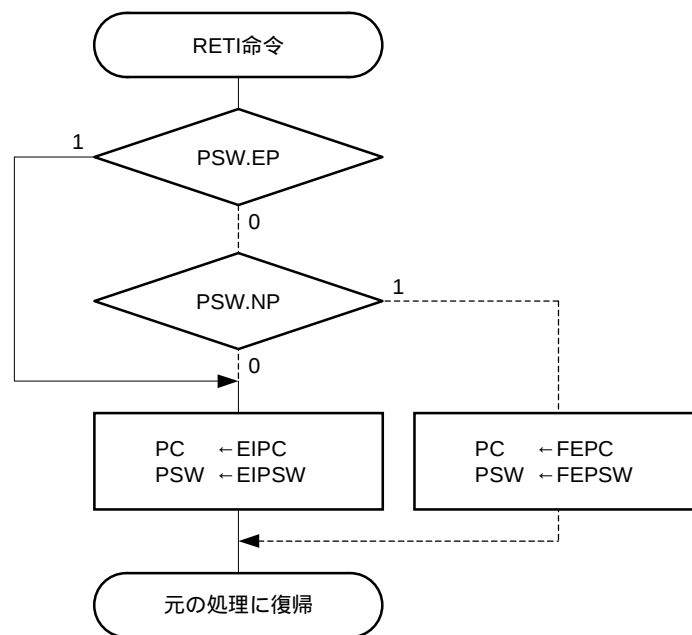
RETI 命令の実行により CPU は次の処理を行い、復帰 PC のアドレスへ制御を移します。

<1> PSW の EP ビットは 1 なので、EIPC, EIPSW から復帰 PC, PSW を取り出します。

<2> 取り出した復帰 PC のアドレス、PSW の状態に制御を移します。

RETI 命令の処理形態を図 8 - 13 に示します。

図8 - 13 RETI命令の処理形態



注意 ソフトウェア例外処理中に LDSR 命令により PSW.EP ビット、PSW.NP ビットを変更した場合には、RETI 命令による復帰時に PC と PSW を正常にリストアするために、RETI 命令の直前で LDSR 命令を使用して PSW.EP = 1 に戻しておく必要があります。

備考 CPU は実線のフローで処理します。

8.5 例外トラップ

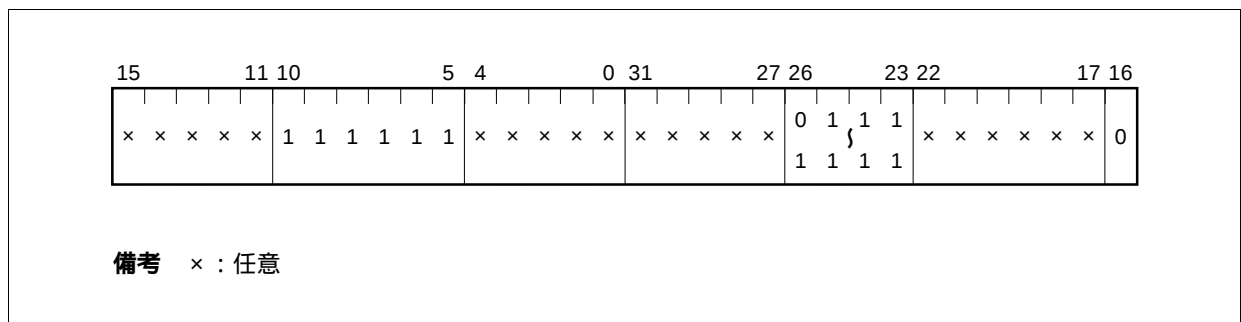
例外トラップは、命令の不正実行が発生した場合に要求される割り込みです。NB85E では、不正命令コード例外（ILGOP：Illegal opcode trap）が例外トラップに当たります。

不正命令コード例外は、次に実行しようとする命令のサブオペコードが不正命令コードの場合に発生します。

8.5.1 不正命令コード

不正命令コードは、32 ビット長命令形式で、ビット 10-ビット 5 が 111111B であり、かつビット 26-ビット 23 が 0111B-1111B、ビット 16 が 0B になる任意の命令コードとして定義します。

図8 - 14 不正命令コード



注意 不正命令コードには、将来、新規に命令を割り当てる可能性があるため、使用しないことを推奨します。

8.5.2 動作

例外トラップが発生した場合，CPU は次の処理を行い，ハンドラ・ルーチンへ制御を移します。

<1> 復帰 PC を DBPC に退避します。

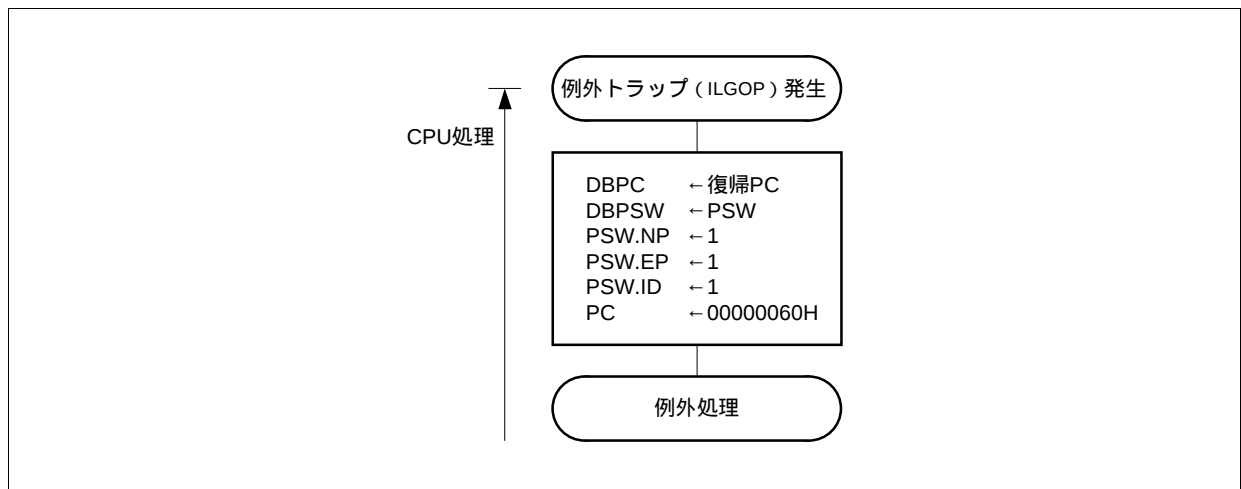
<2> 現在の PSW を DBPSW へ退避します。

<3> PSW の NP, EP, ID ビットをセットします。

<4> PC に例外トラップに対するハンドラ・アドレス（00000060H）をセットし，制御を移します。

例外トラップの処理形態を図 8 - 15 に示します。

図8 - 15 例外トラップの処理形態



8.5.3 復帰

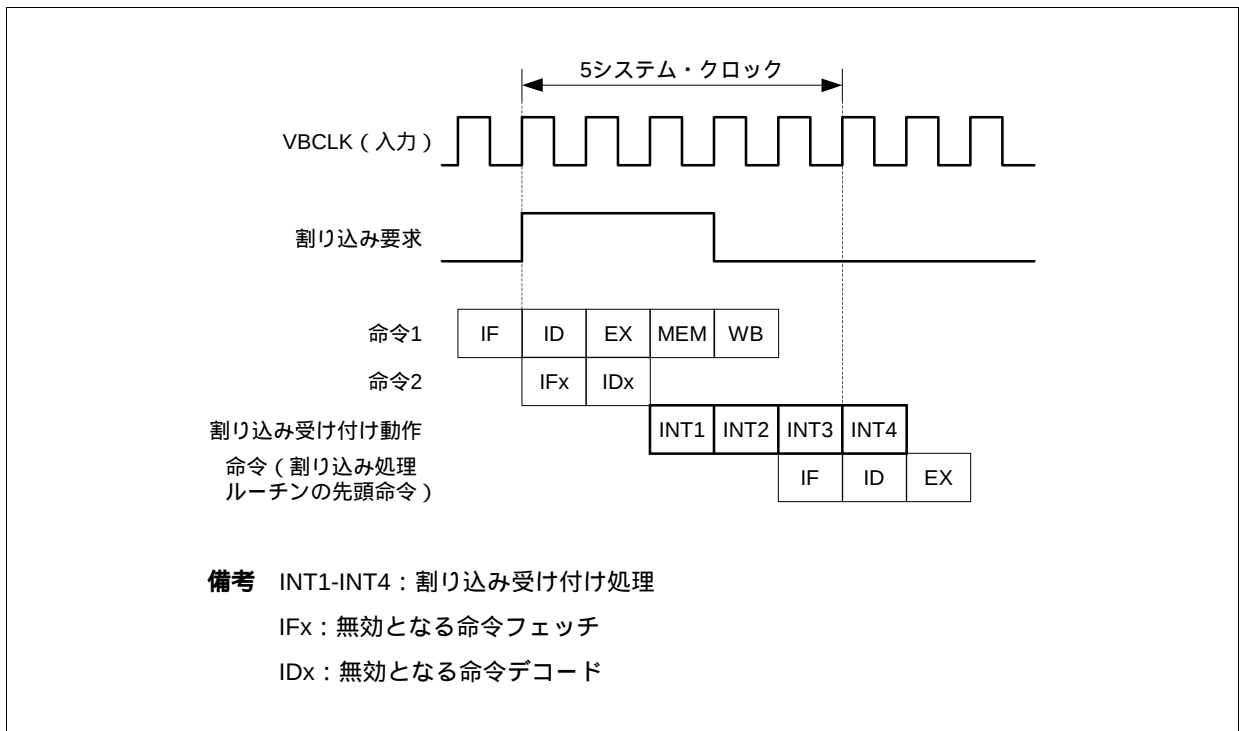
例外トラップからの復帰はできません。DCRESZ 入力により，システム・リセットを行ってください。

8.6 割り込み応答時間

次の場合を除き、割り込み応答時間は、最小 5 クロックとなります。連続して割り込み要求を入力する場合には、最低でも 5 クロック以上間をあけて次の割り込み要求を入力してください。

- ソフトウェア / ハードウェア STOP モード時
- 外部バス・アクセス時
- 割り込み要求非サンプル命令（8.7 割り込みが受け付けられない期間参照）が連続しているとき
- 割り込み制御レジスタへのアクセス時

図8 - 16 割り込み要求受け付け時のパイプライン動作例（概略）



8.7 割り込みが受け付けられない期間

割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません（割り込みは保留されます）。

割り込み要求非サンプル命令は次のとおりです。

- EI 命令
- DI 命令
- LDSR reg2, 0x5 命令（対 PSW）
- 特定領域（xFFF100H-xFFF1FFH[※], xFFF900H-xFFF9FFH）に対するストア命令

注 一部の領域に IMR0-IMR3, PIC0-PIC63, ISPR, PRCMD, PSC レジスタが割り付けられています。

第9章 テスト機能

NB85E は、テスト・バス（TBI39-TBI0, TBO34-TBO0）を介して、NB85E 自身や接続されている周辺マクロをテストするためのテスト・インタフェース・コントロール・ユニット（TIC）を内蔵しています。テスト・バスは、TEST, BUNRI 信号がアクティブのとき有効となります。

9.1 テスト用端子

9.1.1 テスト・バス端子（TBI39-TBI0, TBO34-TBO0）

テスト・バス端子は単体テスト・モード時に、ノーマル端子の代わりに使用します。

必ず端子として ASIC 外部に出してください（ノーマル端子との兼用可）。

詳細は、各セルベース IC ファミリの設計マニュアルを参照してください。

9.1.2 BUNRI, TEST 端子

ノーマル / 単体テスト / スタンバイ・テスト・モードの選択に使用します。

表9-1 テスト・モードの設定一覧

BUNRI 端子入力レベル	TEST 端子入力レベル	モード
ロウ・レベル	任意	ノーマル・モード
ハイ・レベル	ロウ・レベル	スタンバイ・テスト・モード
ハイ・レベル	ハイ・レベル	単体テスト・モード

（1）ノーマル・モード

ユーザが通常、使用するモードです。

BUNRI 端子にロウ・レベルが入力されている場合、テスト用端子以外の端子が有効になり、ノーマル・モードになります。このとき、TBI39-TBI0 端子への入力は無視され、TBO34-TBO0 端子はハイ・インピーダンスになります。

（2）単体テスト・モードとスタンバイ・テスト・モード

BUNRI 端子にハイ・レベルが入力されているとテスト・モードになります。テスト・モードには単体テスト・モードとスタンバイ・テスト・モードの2つがあります。

単体テスト・モード、スタンバイ・テスト・モード中に、バス構成の端子（テスト用端子を除く）がフローティングやバス・ファイトを起こさないような回路設計を行ってください（各モードでの端子状態については、2.4 端子状態を参照してください）。

（a）単体テスト・モード

BUNRI 端子と TEST 端子にハイ・レベルが入力されていると単体テスト・モードになり、TBI39-TBI0 端子からの入力が有効となります。また、TBO34-TBO0 端子からテスト結果が出力されます。

なお、次の端子からの入出力信号は、テスト・モード時にも有効であり、ノーマル・モードと同様の動作をします。したがって、テスト・モード時は、必ず 9.4 テスト・モード時の各端子の処理で示

す内容で端子処理を行ってください。

- VSB 用端子
- NPB 用端子
- VFB 用端子
- VDB 用端子
- 命令キャッシュ用端子
- データ・キャッシュ用端子
- RCU 用端子

注意 単体テスト・モードは、NEC 側でテストを行うためのモードです。テスト・パターンは NEC 側で用意します。

(b) スタンバイ・テスト・モード

BUNRI 端子にハイ・レベルが入力され、TEST 端子にロウ・レベルが入力されている場合、スタンバイ・テスト・モードになります。

TBI39-TBI0 端子への入力は無視され、TBO34-TBO0 端子はハイ・インピーダンスになります。

9.2 テスト・インタフェース信号一覧

信号名	入出力	機 能
PHTDIN1, PHTDIN0	出力	各周辺マクロへの専用テスト信号出力
PHTDO1, PHTDO0	入力	各周辺マクロからの専用テスト信号入力
TESEN	出力	周辺マクロをテスト・モードに設定するためのイネーブル信号出力
VPTCLK	出力	周辺マクロ・テスト用クロック出力
PHTEST	出力	周辺テスト・モード状態であることを示すステータス信号出力
TMODE1	出力	テスト・モード選択出力
TMODE0	出力	NEC の予約端子です。オープンにしてください。
TBREDZ	出力	

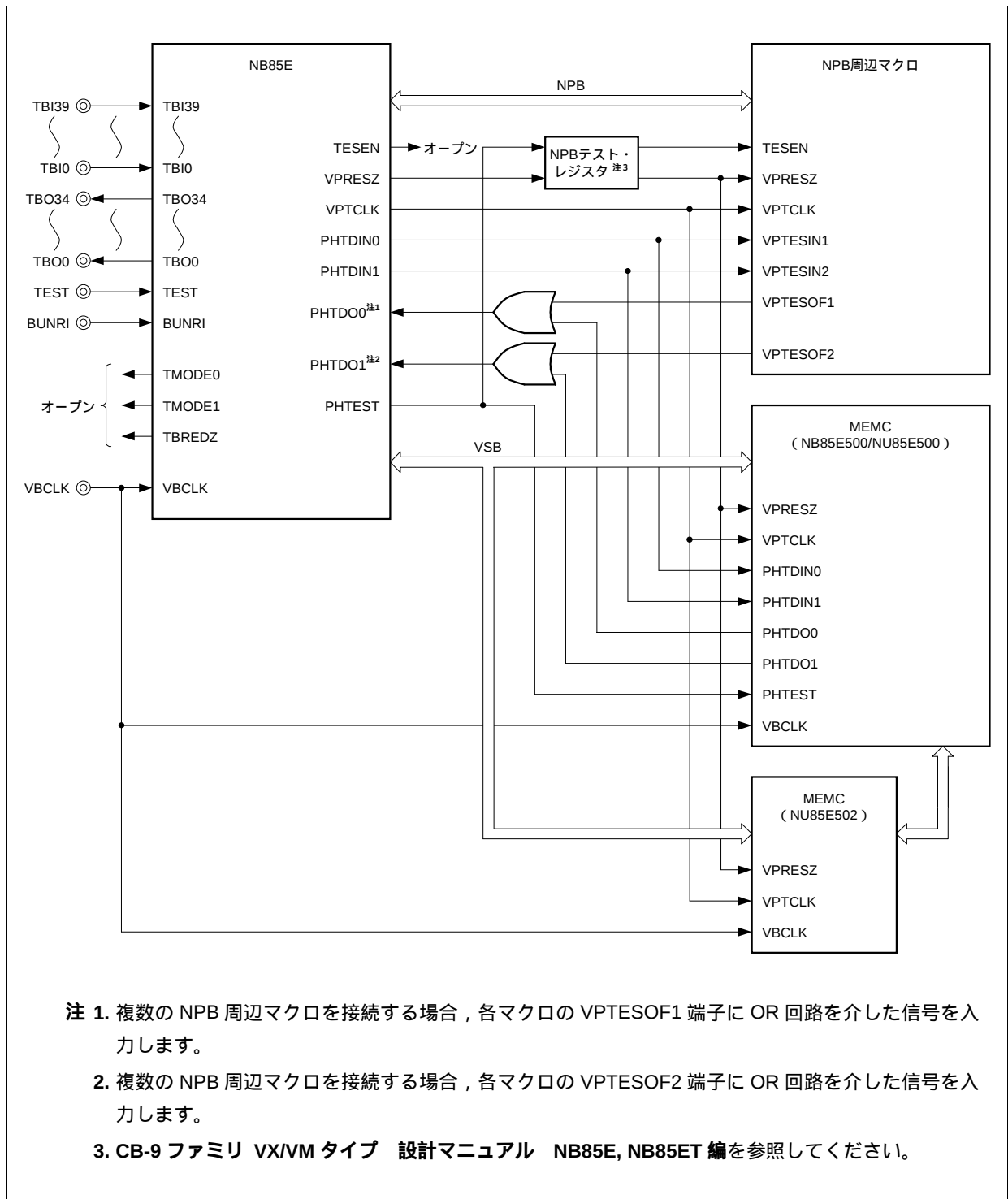
注意 上記の信号は、NEC 側でのテストの際にだけ必要となる信号です。

9.3 テスト・モード時の周辺マクロ接続例

NEC がサポートする NPB 周辺マクロや MEMC (NB85E500/NU85E500, NU85E502) , 命令キャッシュ (NB85E212, NB85E213) , データ・キャッシュ (NB85E252, NB85E263) については, NB85E を介してテストします。

次に NB85E と NPB 周辺マクロ, および MEMC の接続例を示します。

図9 - 1 周辺マクロ接続例



9.4 テスト・モード時の各端子の処理

(1) テスト・モード用端子以外

(a) 入出力端子

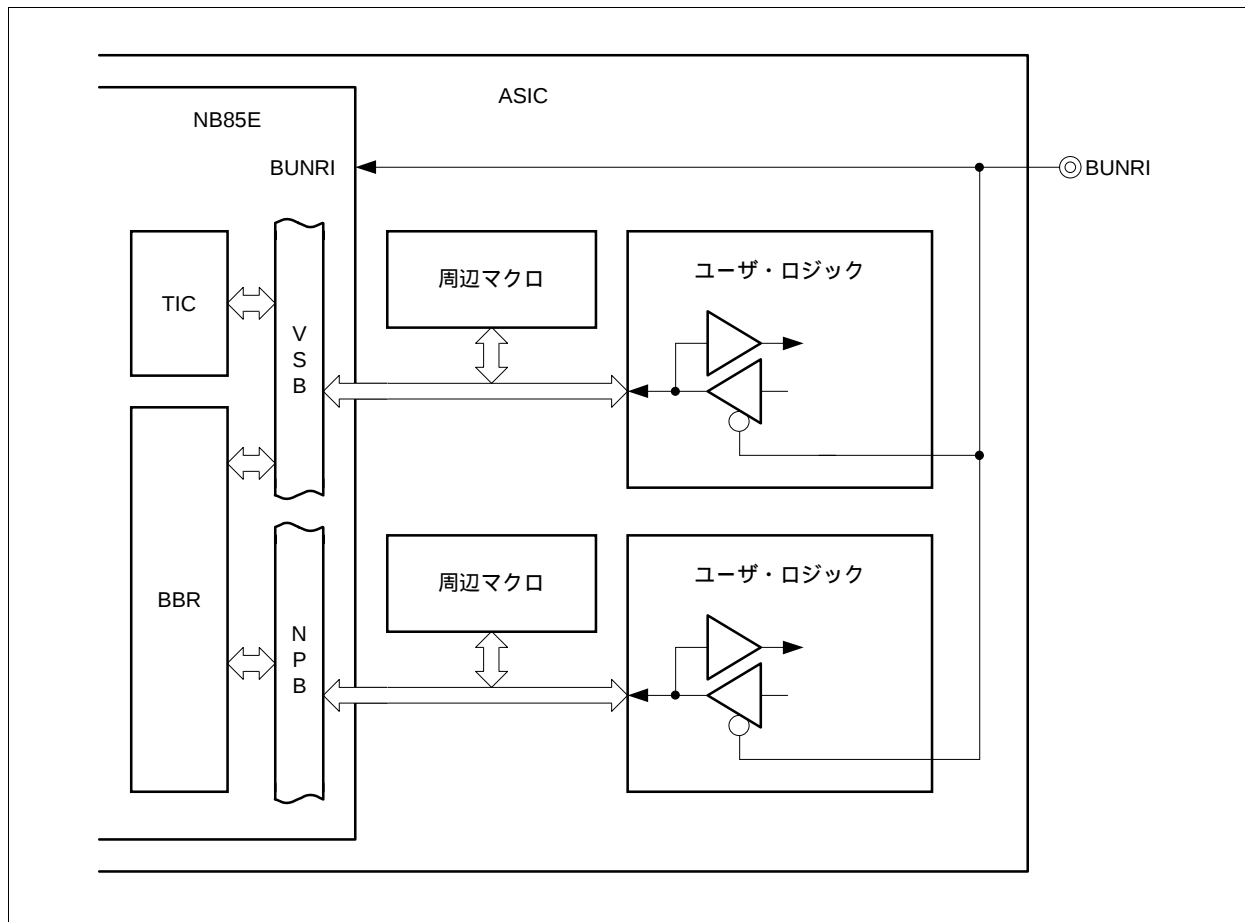
テスト・インタフェース端子経由で周辺マクロのテストを行う際に、VSB, NPB に周辺マクロとユーザ・ロジックがともに接続されていると、テスト・モード時に信号の衝突が発生する可能性があります。信号の衝突を避けるためには、周辺マクロの信号だけを有効にする必要があります。そのため、ユーザ・ロジックに接続する次の入出力端子については、テスト・モード時にハイ・インピーダンスになるような設計をユーザ・ロジック側で行ってください(図9-2 参照)。なお、あらかじめテスト・モード時に各信号が衝突しないような設計がされている場合は、このかぎりではありません。

- | | | |
|-------------------|--------------------|--------------------|
| • VBWAIT | • VBLAST | • VBAHLD |
| • VBSEQ2-VBSEQ0 | • VBBSTR | • VDCSZ7-VDCSZ0 |
| • VDSELPZ | • VBTTYP1, VBTTYP0 | • VBSIZE1, VBSIZE0 |
| • VBBENZ3-VBBENZ0 | • VBWRITE | • VBLOCK |
| • VBCTYP2-VBCTYP0 | • VBA27-VBA0 | • VBSTZ |
| • VPD15-VPD0 | • VBD31-VBD0 | |

上記以外の入出力端子は、特に処理をする必要はありません(ノーマル・モードと同様にしてください)。

注意 NEC ではテスト・バス自動結線ツールをサポートしていますが、NB85E には対応していません。ユーザ自身でテスト・バスの結線を行ってください。

図9 - 2 ユーザ・ロジック設計例

**(b) 入力端子**

VAREQ 端子にはロウ・レベルを入力してください。VAREQ 以外の端子は、特に処理をする必要はありません（ノーマル・モードと同様にしてください）。

(c) 出力端子

特に処理をする必要はありません（ノーマル・モードと同様にしてください）。

(2) テスト・モード用端子

テスト・モード用端子は、次の内容で端子処理をしてください。

端子名	入出力	端子処理			
		NPB 周辺が 接続されている場合	MEMC が 接続されている場合	キャッシュが 接続されている場合	NPB 周辺, MEMC , キャッシュが接続 されていない場合
PHTDOn	入力	VPTESOFn 端子に接続 してください。	NB85E500/NU85E500 の PHTDOn 端子に接 続してください。	-	ロウ・レベルを入力し てください。
PHTDINn	出力	VPTESINn 端子に接続 してください。	NB85E500/NU85E500 の PHTDINn 端子に接 続してください。	-	オープンにしてくださ い。
VPRESZ	出力	NPB テスト・レジスタ に接続してください。	NB85E500/NU85E500 の VPRESZ 端子に接 続してください。	VPRESZ 端子に接続し てください。	
VPTCLK	出力	VPTCLK 端子に接続し てください。	NB85E500/NU85E500, NU85E502 の VPTCLK 端子に接続してくださ い。	VPTCLK 端子に接続し てください。	
TESEN	出力	オープンにしてくださ い。	-	-	
PHTEST	出力	NPB テスト・レジスタ に接続してください。	NB85E500/NU85E500 の PHTEST 端子に接続 してください。	-	
TMODEn, TBREDZ	出力	オープンにしてください。			

備考 n = 1, 0

(3) NB85E901 を接続している場合の注意事項

NB85E に NB85E901 (RCU) を接続している場合、次に示す端子は、単体テスト・モード時に使用します。これらの端子はすべて外部端子として、チップの外に出してください。

- TBI39-TBI0^{注1}
- DRSTZ^{注2}
- TBO34-TBO0^{注1}
- DMS^{注2}
- TEST^{注1}
- DDI^{注2}
- BUNRI
- DDO^{注2}
- DCK^{注2}
- DBINT^{注1, 2}

注1. ノーマル・モードで使用する端子と兼用可能です。

2. NB85E901 の端子です (詳細については、第 10 章 NB85E901 を参照してください)。

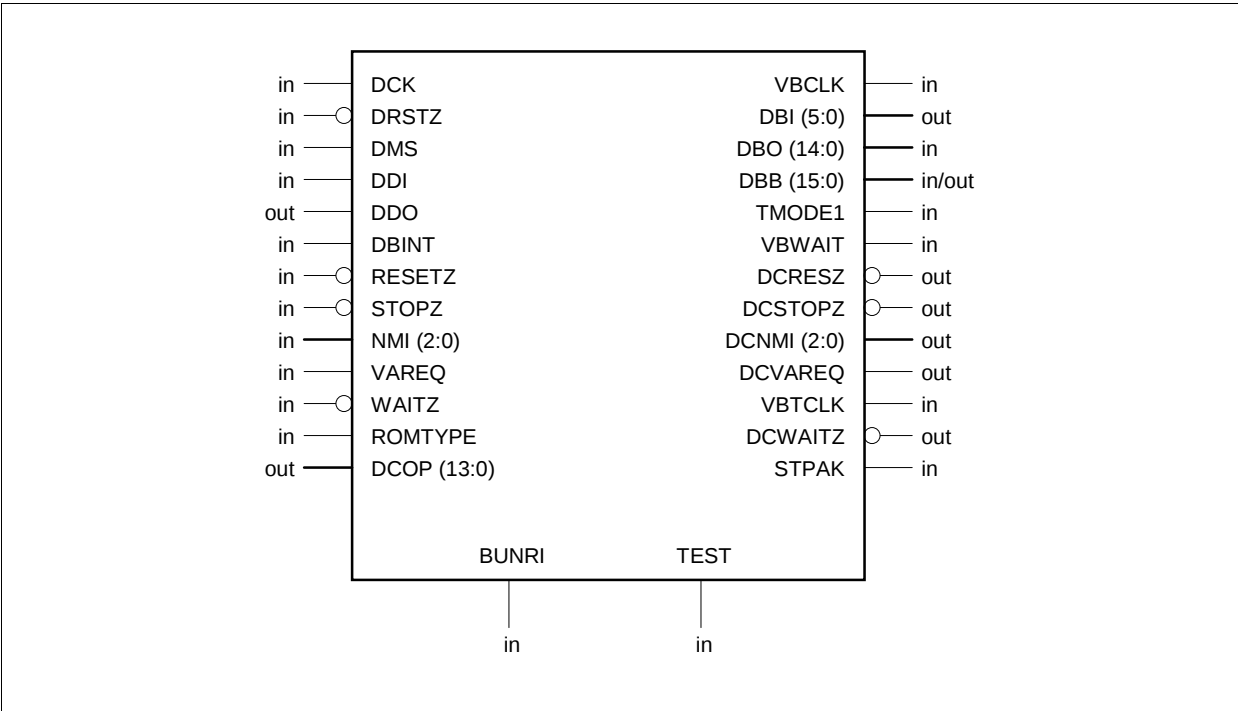
第 10 章 NB85E901

(開発中)

10.1 概 要

NB85E901 (RCU : ラン・コントロール・ユニット) は , JTAG での通信やディバグ処理の実行を実現する実行制御ユニットです。N-Wire 型インサークット・エミュレータ (N-Wire 型 IE) と接続することにより , NB85E のオンチップ・ディバグを実現します。

10.1.1 シンボル図



10.2 端子機能

10.2.1 端子機能一覧

端子名		入出力	機 能
N-Wire 型 IE 接続 用端子	DCK	入力	RCU 用クロック入力
	DRSTZ	入力	RCU 用リセット入力
	DMS	入力	ディバグ・モード選択入力
	DDI	入力	ディバグ・データ入力
	DDO	出力	ディバグ・データ出力
	DBINT	入力	外部ディバグ割り込み入力
システム 制御用端子	RESETZ	入力	システム・リセット入力
	STOPZ	入力	ハードウェア STOP モード要求入力
	NMI2-NMIO	入力	ノンマスカブル割り込み入力
	VAREQ	入力	バス使用権要求入力
	WAITZ	入力	ウェイト要求入力
	ROMTYPE	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	DCOP13-DCOP0	出力	NEC の予約端子 (オープンにしてください)
NB85E 接続用 端子	VBCLK	入力	システム・クロック入力
	DBI5-DBI0	出力	ディバグ制御出力
	DBO14-DBO0	入力	ディバグ制御入力
	DBB15-DBB0	入出力	ディバグ制御入出力
	TMODE1	入力	テスト・モード選択入力
	VBWAIT	入力	ウェイト・レスポンス入力
	DCRESZ	出力	リセット出力
	DCSTOPZ	出力	ハードウェア STOP モード要求出力
	DCNMI2-DCNMIO	出力	ノンマスカブル割り込み出力
	DCVAREQ	出力	バス使用権要求出力
	VBCLK	入力	テスト用クロック入力
周辺接続用端子	DCWAITZ	出力	ウェイト要求出力
	STPAK	入力	STOP モード要求アクリッジ入力
テスト・モード用 端子	BUNRI	入力	ノーマル/テスト・モード選択入力
	TEST	入力	テスト・バス・コントロール入力

10.2.2 端子機能の説明

(1) N-Wire 型 IE 接続用端子

注意 N-Wire 型 IE 接続用端子 (DCK, DRSTZ, DMS, DDI, DDO, DBINT) は NB85E901 の単体テスト・モード時に使用するため、外部端子として必ずチップの外に出してください。これらの端子は兼用端子にはしないでください (ただし, DBINT 端子は, TBI39-TBI0, TBO34-TBO0, TEST, BUNRI, DCK, DRSTZ, DMS, DDI, DDO 端子以外と兼用可能です)。

(a) DCK (入力)

N-Wire 型 IE からの RCU 用クロック入力端子です。

(b) DRSTZ (入力)

RCU 用リセット入力端子です。ロウ・レベルを入力すると RCU を非同期でリセットします。

(c) DMS (入力)

N-Wire 型 IE からのディバグ・モード選択入力端子です。

(d) DDI (入力)

N-Wire 型 IE からのディバグ・データ入力端子です。

(e) DDO (出力)

N-Wire 型 IE へのディバグ・データ出力端子です。

(f) DBINT (入力)

外部ディバグ割り込み入力端子です。外部からディバグ・モードに移行するときにアクティブ・レベル (ハイ・レベル) を入力します。

(2) システム制御用端子

(a) RESETZ (入力)

システム・リセット入力端子です。

(b) STOPZ (入力)

ハードウェア STOP モード要求入力端子です。

(c) NMI2-NMI0 (入力)

ノンマスクブル割り込み入力端子です。

(d) VAREQ (入力)

バス使用権要求入力端子です。

(e) WAITZ (入力)

外部ウエイト要求入力端子です。

(f) ROMTYPE (入力)

NEC の予約端子です。常にロウ・レベルを入力してください。

(g) DCOP13-DCOP0 (出力)

NEC の予約端子です。オープンにしてください。

(3) NB85E 接続用端子**(a) VBCLK (入力)**

システム・クロック入力端子です。

(b) DBI5-DBI0 (出力)

ディバグ制御出力端子です。NB85E の DBI5-DBI0 端子に接続します。

(c) DBO14-DBO0 (入力)

ディバグ制御入力端子です。NB85E の DBO14-DBO0 端子に接続します。

(d) DBB15-DBB0 (入出力)

ディバグ制御入出力端子です。NB85E の DBB15-DBB0 端子に接続します。

(e) TMODE1 (入力)

テスト・モード選択入力端子です。NB85E の TMODE1 端子に接続します。

(f) VBWAIT (入力)

ウエイト・レスポンス入力端子です。

(g) DCRESZ (出力)

リセット出力端子です。NB85E の DCRESZ 端子に接続します。

(h) DCSTOPZ (出力)

ハードウェア STOP モード要求出力端子です。NB85E の DCSTOPZ 端子に接続します。

(i) DCNMI2-DCNMI0 (出力)

ノンマスクブル割り込み出力端子です。NB85E の DCNMI2-DCNMI0 端子に接続します。

(j) DCVAREQ (出力)

バス使用権要求出力端子です。NB85E の VAREQ 端子に接続します。

(k) VBTCLK (入力)

テスト用クロック入力端子です。NB85E の VPTCLK 端子に接続します。

(4) 周辺接続用端子**(a) DCWAITZ (出力)**

外部ウエイト要求出力端子です。

(b) STPAK (入力)

STOP モード要求アクノリッジ入力端子です。メモリ・コントローラからの STPAK 信号を入力します。

(5) テスト・モード用端子**(a) BUNRI (入力)**

ノーマル/テスト・モードを選択する入力端子です。

(b) TEST (入力)

テスト・パス・コントロール入力端子です。

10.2.3 未使用端子の処理

端子名		入出力	推奨接続方法
N-Wire 型 IE 接続 用端子	DCK, DRSTZ, DMS, DDI	入力	-
	DDO	出力	-
	DBINT	入力	ロウ・レベルを入力してください。
システム 制御用端子	RESETZ	入力	-
	STOPZ, WAITZ	入力	ハイ・レベルを入力してください。
	NMI2-NMI0, VAREQ, ROMTYPE	入力	ロウ・レベルを入力してください。
	DCOP13-DCOP0	出力	オープンにしてください。
NB85E 接続用 端子	VBCLK, DBO14-DBO0, TMODE1, VBTCLK	入力	-
	DBI5-DBI0	出力	-
	DBB15-DBB0	入出力	-
	VBWAIT	入力	ロウ・レベルを入力してください。
	DCRESZ, DCSTOPZ, DCNMI2-DCNMI0, DCVAREQ	出力	オープンにしてください。
周辺接続用端子	DCWAITZ	出力	オープンにしてください。
	STPAK	入力	NB85E の STPRQ 信号を入力してください。
テスト・モード用 端子	BUNRI, TEST	入力	-

10.2.4 端子状態

出力機能を持つ端子の各動作モードでの状態を次に示します。

表10 - 1 各動作モードでの端子状態

端子名	端子状態					
	リセット ^注	ソフトウェア STOP モード	ハードウェア STOP モード	HALT モード	スタンバイ・ テスト・モード	単体テスト・ モード
DDO	L / 動作	L / 動作	L / 動作	L / 動作	L / 動作	L / 動作
DCOP13-DCOP10	L / 動作	L / 動作	L / 動作	L / 動作	L / 動作	L / 動作
DCOP9	L / L	L / 動作	L / 動作	L / 動作	L / 動作	L / 動作
DCOP8-DCOP3	L / 動作	L / 動作	L / 動作	L / 動作	L / 動作	L / 動作
DCOP2	H / 動作	H / 動作	H / 動作	H / 動作	H / 動作	H / 動作
DCOP1, DCOP0	L / 動作	L / 動作	L / 動作	L / 動作	L / 動作	L / 動作
DBI5	H / 動作	H / 動作	H / 動作	H / 動作	H / 動作	H / 動作
DBI4-DBI2	L / 動作	L / 動作	L / 動作	L / 動作	L / 動作	L / 動作
DBI1	H / 動作	H / 動作	H / 動作	H / 動作	H / 動作	H / 動作
DBI0	L / H	L / H	L / H	L / H	L / H	L / H
DBB15-DBB0	保持 / 保持	保持 / 保持	保持 / 保持	保持 / 保持	保持 / 保持	保持 / 動作
DCRESZ	RESETZ	RESETZ	RESETZ	RESETZ	RESETZ	不定
DCSTOPZ	STOPZ	STOPZ	STOPZ	STOPZ	STOPZ	不定
DCNMI2-DCNMI0	NMI2-NMI0	NMI2-NMI0	NMI2-NMI0	NMI2-NMI0	NMI2-NMI0	不定
DCVAREQ	VAREQ	VAREQ	VAREQ	VAREQ	VAREQ	不定
DCWAITZ	WAITZ	WAITZ	WAITZ	WAITZ	WAITZ	不定

注 DCRESZ 端子にロウ・レベルが入力され、かつ VBCLK 端子に外部クロックが入力されているとき。

備考 1. L : ロウ・レベル出力

H : ハイ・レベル出力

保持 : 直前の状態を保持

2. / (スラッシュ) の左側は「DRSTZ 端子にロウ・レベルが入力されているとき」、右側は「DRSTZ 端子にハイ・レベルが入力されているとき」の端子状態を示します。

3. DCRESZ, DCSTOPZ, DCNMI2-DCNMI0, DCVAREQ, DCWAITZ 端子の端子状態は、「DRSTZ 端子にロウ・レベルが入力されているとき」または「DRSTZ 端子にハイ・レベルが入力されていて、かつ外部入力信号 (RESETZ, STOPZ, NMI2-NMI0, VAREQ, WAITZ) がマスク設定されていないとき」を示します。

注意 次の入力端子は、必ず各動作モード時に下表のとおり設定してください。

端子名	端子状態					
	リセット ^注	ソフトウェア STOP モード	ハードウェア STOP モード	HALT モード	スタンバイ・ テスト・モード	単体テスト・ モード
DRSTZ	L / H	L / H	L / H	L / H	L / H	L / H
DDI	H / 動作	H / 動作	H / 動作	H / 動作	H / 動作	H / 動作
DBINT	L / 動作	L / 動作	L / 動作	L / 動作	L / 動作	L / 動作
ROMTYPE	L	L	L	L	L	L

注 DCRESZ 端子にロウ・レベルが入力され、かつ VBCLK 端子に外部クロックが入力されているとき。

備考 1. L : ロウ・レベル出力

H : ハイ・レベル出力

保持 : 直前の状態を保持

2. / (スラッシュ) の左側は「DRSTZ 端子にロウ・レベルが入力されているとき」、右側は「DRSTZ 端子にハイ・レベルが入力されているとき」の端子状態を示します。

10.3 ディバグ機能

(1) ディバグ・インタフェース

DCK, DRSTZ, DMS, DDI, DDO 信号により N-Wire 型 IE を介して、ホスト・マシンとの通信を行います。インタフェースには JTAG の通信仕様を利用しています。バウンダリ・スキャン機能はサポートしていません。

(2) オンチップ・ディバグ

N-Wire 型 IE と接続することにより、NB85E のオンチップ・ディバグが可能です。

N-Wire 型 IE 接続の詳細については、10.5 N-Wire 型 IE の接続を参照してください。

(3) 強制リセット機能

NB85E901 全体を強制的にリセットできます。

(4) ブレーク・リセット機能

CPU のリセット解除直後から CPU をディバグ・モードで起動できます。

(5) 強制ブレーク機能

ユーザ・プログラムの実行を強制的に中断できます。ただし、不正命令コード例外のハンドラ（先頭アドレス：00000060H）は使用できません。

(6) ディバグ割り込みインタフェース

DBINT 端子にハイ・レベルを入力することにより強制ブレーク機能を実行できます。

備考 DBINT 入力により HALT モード、ソフトウェア STOP モード、ハードウェア STOP モードの解除も可能です。

(7) ブレークポイント機能

ユーザ・プログラムの実行を任意のアドレスで中断できます。また、任意のアドレスへのデータ・アクセスでも中断できます。ただし、不正命令コード例外のハンドラ（先頭アドレス：00000060H）は使用できません。

命令系 / アクセス系兼用ブレークポイントとして実行前ブレークとアクセス実行後ブレークの 2 種類があります。

(8) ディバグ・モニタ機能

ディバグ中はユーザのメモリ空間とは異なるディバグ用のメモリ空間を使用します（バックグラウンド・モニタ形式）。ユーザ・プログラムを任意のアドレスから実行開始可能です。

また、ユーザ・プログラム中断中のユーザ・リソース（メモリ、I/O など）のリード/ライトやユーザ・プログラムのダウンロードが可能です。

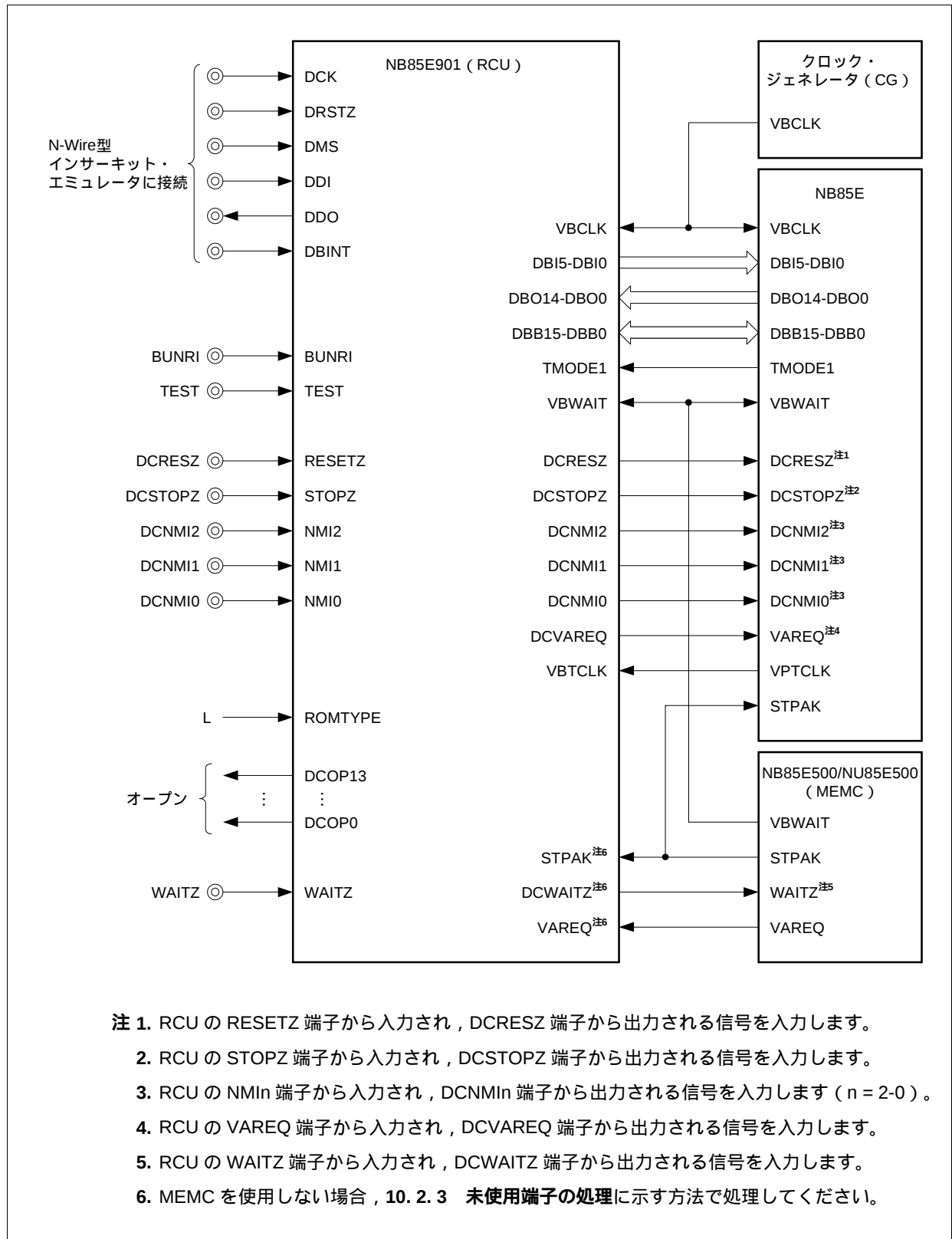
(9) マスク機能

外部入力信号（RESETZ, STOPZ, NMI2-NMI0, VAREQ, WAITZ）のマスクが可能です。

10.4 NB85E 接続例

図 10 - 1 に NB85E901 と NB85E の接続例を示します。

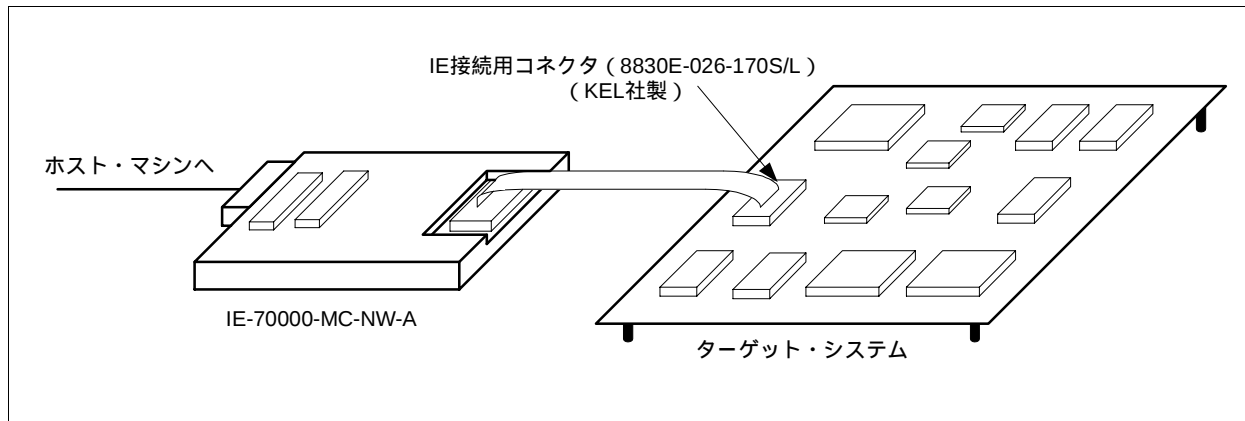
図10 - 1 NB85E901とNB85Eの接続例



10.5 N-Wire 型 IE の接続

N-Wire 型 IE (IE-70000-MC-NW-A) を接続するためには、ターゲット・システム上に IE 接続用コネクタと接続用回路を実装する必要があります。

図10 - 2 N-Wire型IEの接続



10.5.1 IE 接続コネクタ (ターゲット・システム側)

図 10 - 3 に IE 接続コネクタ (ターゲット・システム側) のピン配置図を、表 10 - 2 にピン機能を示します。

備考 推奨コネクタは次のとおりです。

- 8830E-026-170S (KEL 社製) : 26 ピン・ストレート・タイプ
- 8830E-026-170L (KEL 社製) : 26 ピン・ライト・アングル・タイプ

図10 - 3 IE接続コネクタ (ターゲット・システム側) のピン配置図

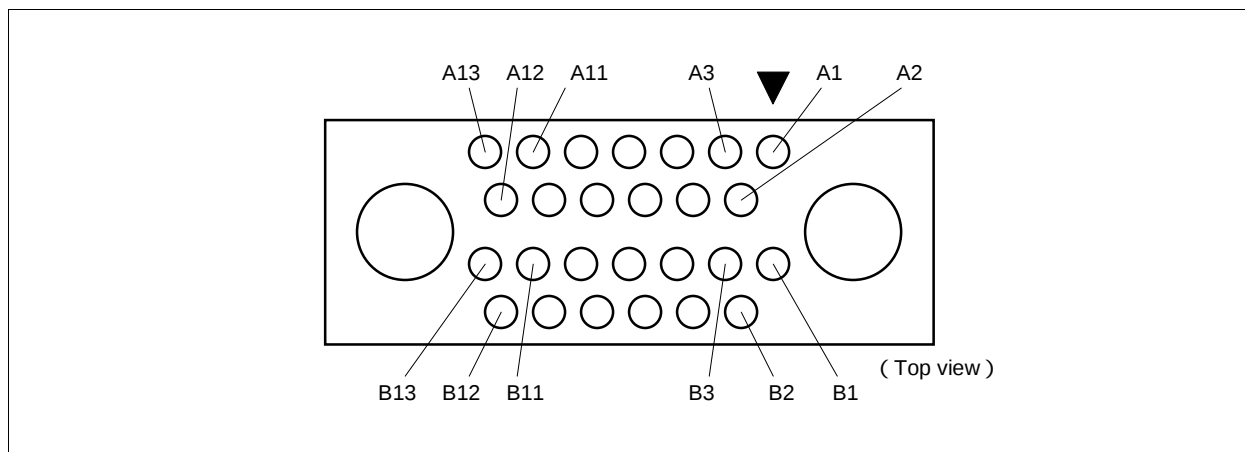


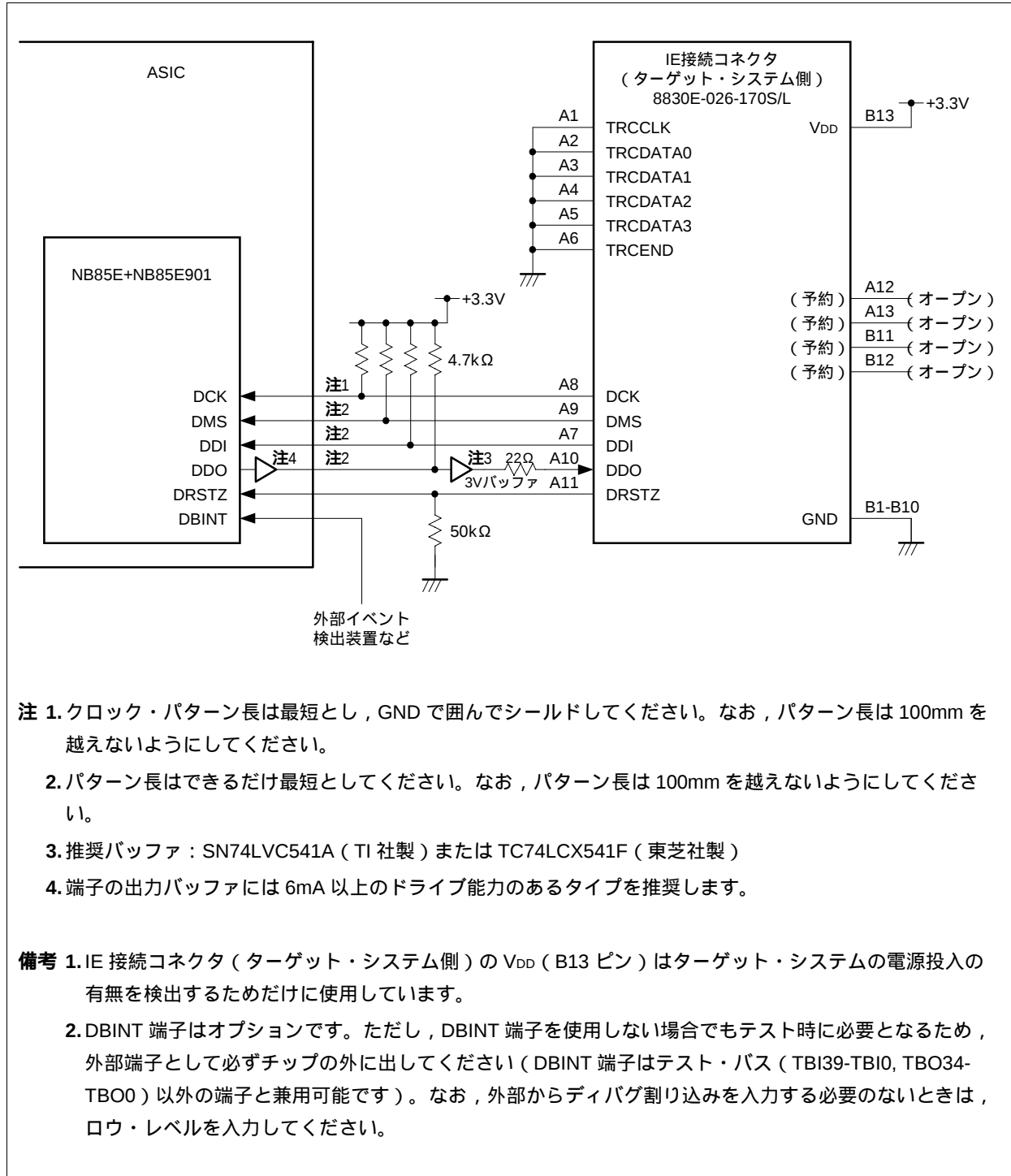
表10 - 2 IE接続コネクタ（ターゲット・システム側）ピン機能

ピン番号	端子名	入出力	端子機能
A1	TRCCLK	入力	トレース・クロック入力
A2	TRCDATA0	入力	トレース・データ 0 入力
A3	TRCDATA1	入力	トレース・データ 1 入力
A4	TRCDATA2	入力	トレース・データ 2 入力
A5	TRCDATA3	入力	トレース・データ 3 入力
A6	TRCEND	入力	トレース・データ・エンド入力
A7	DDI	出力	ディバグ・シリアル・インタフェース用データ出力
A8	DCK	出力	ディバグ・シリアル・インタフェース用クロック出力
A9	DMS	出力	ディバグ・シリアル・インタフェース用転送モード選択出力
A10	DDO	入力	ディバグ・シリアル・インタフェース用データ入力
A11	DRSTZ	出力	DCU リセット出力
A12	(予約)	-	(オープンにしてください)
A13	(予約)	-	(オープンにしてください)
B1	GND	-	-
B2	GND	-	-
B3	GND	-	-
B4	GND	-	-
B5	GND	-	-
B6	GND	-	-
B7	GND	-	-
B8	GND	-	-
B9	GND	-	-
B10	GND	-	-
B11	(予約)	-	(オープンにしてください)
B12	(予約)	-	(オープンにしてください)
B13	VDD	-	+3.3V 入力 (ターゲット電源投入監視用)

10.5.2 NB85E に NB85E901 を接続した場合の推奨回路例

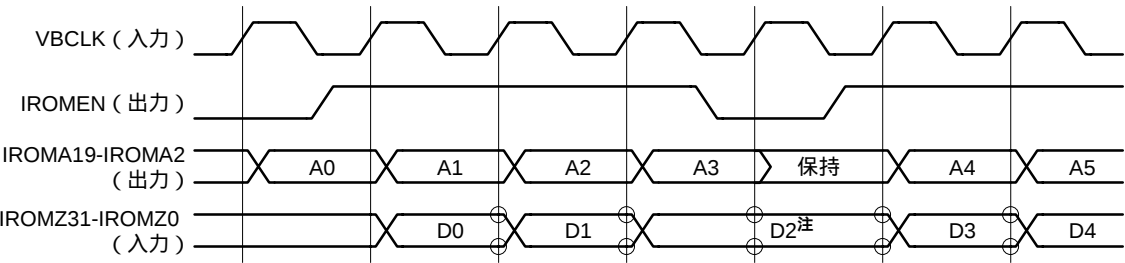
図 10 - 4 に IE 接続コネクタ部（ターゲット・システム側）の推奨回路例を示します。

図10 - 4 IE接続推奨回路例（NB85E + NB85E901）



付録 A ROM/RAM アクセス・タイミング

図A - 1 ROMアクセス・タイミング

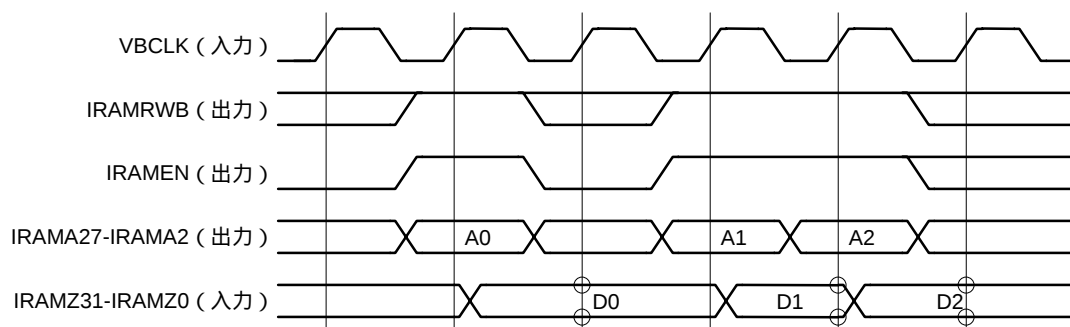


注 IROMEN 出力がハイ・レベルとなってから，VBCLK 信号が立ち上がるまで，データを保持してください。

- 備考1. Ax：任意のアドレス
Dx：アドレス「Ax」に対応したデータ
2. ○：ROM データ・サンプリング・タイミング

図A - 2 RAMアクセス・タイミング

(a) リード・タイミング

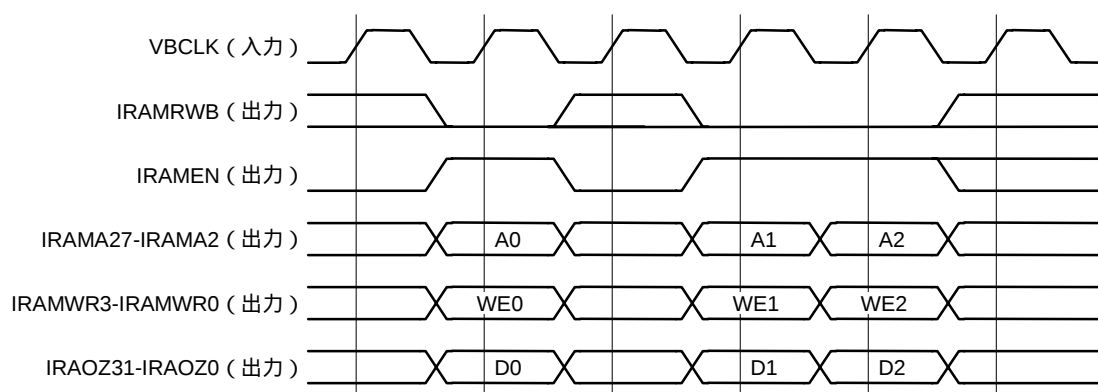


備考1. Ax : 任意のアドレス

Dx : アドレス「Ax」に対応したデータ

2. ○ : RAM データ・サンプリング・タイミング

(b) ライト・タイミング



備考 Ax : 任意のアドレス

Dx : アドレス「Ax」に対応したデータ

付録 B 総合索引

B.1 50音で始まる語句の索引

【あ行】

アドレス空間 ... 59
インサービス・プライオリティ・レジスタ ... 216
ウェイト挿入機能 ... 123
エンディアン・コンフィギュレーション・レジスタ ... 88
エンディアン設定機能 ... 88
応用システム例 ... 20
オンチップ・ディバグ ... 74

【か行】

外部メモリ ... 20
外部メモリ領域 ... 68
キャッシュ・コンフィギュレーション ... 91
キャッシュ・コンフィギュレーション・レジスタ ... 91
クロック制御 ... 142
コマンド・レジスタ ... 137

【さ行】

システム・レジスタ ... 56
周辺 I/O 領域 ... 66
周辺 I/O 領域セレクト制御レジスタ ... 86
周辺 I/O レジスタ ... 68
シングルステップ転送モード ... 164
シングル転送モード ... 162
シンボル図 ... 23
スタンバイ・テスト・モード ... 224
ソフトウェア STOP モード ... 139
ソフトウェア例外 ... 218

【た行】

端子機能 ... 26
端子状態 ... 49

単体テスト・モード ... 223
チップ領域セレクト制御レジスタ 0 ... 78
チップ領域セレクト制御レジスタ 1 ... 79
ディバグ機能 ... 236
データ領域 ... 61
テスト機能 ... 223
テスト・モード時の各端子の処理 ... 226
テスト・モード時の周辺マクロ接続例 ... 225
転送対象 ... 148

【な行】

内部ブロック図 ... 24
ネクスト・アドレス設定機能 ... 158
ノーマル・モード ... 223
ノンマスカブル割り込み ... 202

【は行】

ハードウェア STOP モード ... 141
バス・サイズ・コンフィギュレーション・レジスタ ... 87
バス・サイズ設定機能 ... 87
バス・マスタの移行 ... 112
パワー・セーブ機能 ... 133
パワー・セーブ・コントロール・レジスタ ... 134
汎用レジスタ ... 54
不正命令コード ... 220
フライバイ転送 ... 169
プログラマブル周辺 I/O 領域 ... 120
プログラマブル周辺 I/O 領域選択機能 ... 84
プログラマブル・チップ・セレクト機能 ... 78
プログラム・カウンタ ... 55
プログラム領域 ... 60
プログラム・レジスタ ... 54
ブロック転送モード ... 167

【ま行】

マスカブル割り込み ... 207
マスカブル割り込みの優先順位 ... 210
未使用端子の処理 ... 47
ミス・アライン・アクセス・タイミング ... 116
メモリ・バンク ... 75

【ら行】

ライン転送モード ... 165
リトライ機能 ... 125

【わ行】

割り込み応答時間 ... 222
割り込みが受け付けられない期間 ... 222
割り込み制御レジスタ 0-63 ... 214
割り込みマスク・レジスタ 0-3 ... 215
割り込み / 例外一覧 ... 199
割り込み / 例外テーブル ... 63

B.2 アルファベットで始まる語句の索引

【 B 】

BBR ... 118
 BC15-BC0 ... 153
 BCU ... 75
 BCUNCH ... 39
 BCU 関連レジスタ設定例 ... 92
 BEC ... 88
 BEn0 ... 88
 BHC ... 91
 BHn0 ... 91
 BHn1 ... 91
 BPC ... 86
 BSC ... 87
 BSn1, BSn0 ... 87
 BUNRI ... 45

【 C 】

CGREL ... 35
 CH3-CH0 ... 157
 CPU ... 52
 CSC0 ... 78
 CSC1 ... 79
 CSn3-CSn0 ... 78, 79
 CTBP ... 56
 CTPC ... 56
 CTPSW ... 56
 CY ... 58

【 D 】

DA15-DA0 ... 152
 DA27-DA16 ... 151
 DAD1, DAD0 ... 155
 DADC0-DADC3 ... 154
 DBB15-DBB0 ... 41
 DBC0-DBC3 ... 153
 DBI5-DBI0 ... 41
 DBO14-DBO0 ... 41
 DBPC ... 56

DBPSW ... 56
 DCHC0-DCHC3 ... 156
 DCNMI2-DCNMI0 ... 36
 DCRESZ ... 34
 DCSTOPZ ... 35
 DDA0-DDA3 ... 151
 DDIS ... 157
 DMAC ... 146
 DMACTV3-DMACTV0 ... 36
 DMAC バス・サイクルの状態遷移 ... 161
 DMARQ3-DMARQ0 ... 36
 DMA アドレッシング・コントロール・レジスタ 0-3 ... 154
 DMA ソース・アドレス・レジスタ 0-3 ... 149
 DMA チャンネル・コントロール・レジスタ 0-3 ... 156
 DMA チャンネルの優先順位 ... 148
 DMA ディスエーブル・ステータス・レジスタ ... 157
 DMA デスティネーション・アドレス・レジスタ 0-3 ... 151
 DMA 転送カウント・レジスタ 0-3 ... 153
 DMA 転送起動要因 ... 169
 DMA 転送タイミング例 ... 173
 DMA バス・ステート ... 159
 DMA リスタート・レジスタ ... 157
 DMTCO3-DMTCO0 ... 36
 DRST ... 157
 DS1, DS0 ... 154
 DSA0-DSA3 ... 149

【 E 】

ECR ... 56
 EICC ... 57
 EIPC ... 56
 EIPSW ... 56
 EN3-EN0 ... 157
 ENn ... 156
 EP ... 58
 EVAD15-EVAD0 ... 42
 EVASTB ... 41
 EVCLRIP ... 42
 EVDSTB ... 42
 EVIEN ... 42

EVINTAK ... 42
 EVINTLV6-EVINTLV0 ... 42
 EVINTRQ ... 42
 EVIREL ... 42
 EVLKRT ... 42
 EVOEN ... 42

【 F 】

FCOMB ... 45
 FECC ... 57
 FEPC ... 56
 FEPSW ... 56

【 H 】

HALT モード ... 138
 HWSTOPRQ ... 35

【 I 】

IBAACK ... 38
 IBBTFT ... 39
 IBDLE3-IBDLE0 ... 38
 IBDRDY ... 38
 IBDRRQ ... 38
 IBEA25-IBEA2 ... 38
 IBEDI31-IBEDI0 ... 38
 ID ... 58
 IDAACK ... 39
 IDДАРQ ... 39
 IDDRDY ... 40
 IDDRRQ ... 39, 40
 IDDWРQ ... 39, 40
 IDEA27-IDEA0 ... 41
 IDED31-IDED0 ... 41
 IDES ... 41
 IDHUM ... 41
 IDMASTP ... 36
 IDRETR ... 40
 IDRRDY ... 41
 IDSEQ2 ... 39, 40
 IDSEQ4 ... 39, 40

IDUNCH ... 40
 IFID256 ... 44
 IFIMAEN ... 43
 IFIMODE3, IFIMODE2 ... 45
 IFINSZ1, IFINSZ0 ... 44
 IFIRA64, IFIRA32, IFIRA16 ... 43
 IFIRABE ... 45
 IFIRASE ... 45
 IFIROB2 ... 43
 IFIROBE ... 45
 IFIROME ... 42
 IFIROPР ... 45
 IFIUNCH0 ... 45
 IFIUNCH1 ... 44
 IFIUSWE ... 45
 IFIWRTH ... 44
 IIAACK ... 38
 IIBTFT ... 39
 IIDLEF ... 38
 IIDRRQ ... 38
 IIEA25-IIEA2 ... 38
 IIEDI31-IIEDI0 ... 39
 IIRCAN ... 39
 IMR0-IMR3 ... 215
 INITn ... 156
 INT63-INT0 ... 36
 INTC ... 199
 INTM ... 135
 IR ... 149, 151
 IRAMA27-IRAMA2 ... 37
 IRAMEN ... 37
 IRAMRWB ... 37
 IRAMWR3-IRAMWR0 ... 37
 IRAMWT ... 37
 IRAMZ31-IRAMZ0 ... 37
 IRAOZ31-IRAOZ0 ... 37
 IROMA19-IROMA2 ... 36
 IROMAE ... 37
 IROMCS ... 37
 IROMEN ... 37
 IROMIA ... 37
 IROMWT ... 37
 IROMZ31-IROMZ0 ... 36

IRRSA ... 40

ISPR ... 216

ISPR7-ISPR0 ... 216

【 M 】

MLEn ... 156

【 N 】

NB85E901 ... 229

NB85E901 (RCU) インタフェース ... 74

NB85E901 と NB85E の接続例 ... 237

NMI ... 202

NMI0M ... 135

NMI1M ... 135

NMI2M ... 135

NP ... 58

NPB ... 19

NPB ストローブ・ウェイト・コントロール・レジスタ ... 123

NPB リード/ライト・タイミング ... 126

N-Wire 型 IE の接続 ... 238

【 O 】

OV ... 58

【 P 】

PA13-PA00 ... 86, 121

PA15 ... 86, 121

PC ... 54

PHEVA ... 45

PHTDIN1, PHTDIN0 ... 45

PHTDO1, PHTDO0 ... 45

PHTEST ... 46

PIC0-PIC63 ... 214

PIFn ... 214

PMKn ... 214

PPRn2-PPRn0 ... 214

PRCMD ... 137

PSC ... 134

PSW ... 56

【 R 】

r0-r31 ... 54

RAM ... 20

RAM 領域 ... 65

REG7-REG0 ... 137

ROM ... 20

ROM/RAM アクセス・タイミング ... 241

ROM 領域 ... 63

ROM リロケーション機能 ... 63

【 S 】

S ... 58

SA15-SA0 ... 150

SA27-SA16 ... 149

SAD1, SAD0 ... 154

SAT ... 58

STBC ... 133

STGn ... 156

STP ... 135

STPAK ... 36

STPRQ ... 35

SUWL2-SUWL0 ... 123

SWSTOPRQ ... 35

【 T 】

TBI39-TBI0 ... 45

TBO34-TBO0 ... 45

TBREDZ ... 46

TCn ... 156

TDIR ... 155

TESEN ... 45

TEST ... 45

TM1, TM0 ... 155

TMODE0 ... 46

TMODE1 ... 46

TTYP ... 155

【 V 】

VAACK ... 31

VAREQ ... 31
VBA27-VBA0 ... 31
VBAHLD ... 34
VBBENZ3-VBBENZ0 ... 31
VBBSTR ... 33
VBCLK ... 35
VBCTYP2-VBCTYP0 ... 32
VBD31-VBD0 ... 31
VBDC ... 34
VBLAST ... 33
VBLOCK ... 32
VBSEQ2-VBSEQ0 ... 33
VBSIZE1, VBSIZE0 ... 32
VBSTZ ... 31
VBTTYP1, VBTTYP0 ... 31
VBWAIT ... 33
VBWRITE ... 32
VDB ... 20
VDCSZ7-VDCSZ0 ... 34
VDSELPZ ... 34
VFB ... 20
VPA13-VPA0 ... 30
VPD15-VPD0 ... 30
VPDACT ... 30
VPLOCK ... 30
VPRESZ ... 46
VPRETR ... 30
VPSTB ... 30
VPTCLK ... 45
VPUBENZ ... 30
VPWRITE ... 30
VSB ... 19
VSB によるデータ転送 ... 95
VSWC... 123
VSWL2-VSWL0 ... 124

【 Z 】

Z ... 58

【 その他 】

2 サイクル転送 ... 169

付録 C 改版履歴

前版までに改訂された主な箇所を次に示します。なお、「箇所」欄に示すページは、旧版でのページを示しています。

(1) 第1版→第2版

(1/2)

箇所	内容
全般	内蔵 ROM を「ROM」に、内蔵 RAM を「RAM」に表記統一
p.28	2.1 端子機能一覧 TESEN, PHTEST 端子の機能の説明を修正
p.29	2.2.1 (3) VPWRITE 説明追加
p.34	2.2.4 (3) DMTCO3-DMTCO0 説明追加
p.40	2.2.12 (1) IFIROME 説明修正
p.43	2.2.13 (6) TESEN, (7) VPTCLK, (10) PHTEST 説明修正
p.44, 45	2.3 未使用端子の処理 VBLAST, VBAHLD, IDEA27-IDEA0, IFIROB2, IFIWRTH, IFIUNCH1, IFIUNCH0 端子の推奨接続方法を修正
p.47	表 2 - 10 各動作モードでの端子状態 SWSTOPRQ, HWSTOPRQ, STPRQ 端子のリセット時の状態を変更
p.58	図 3 - 8 データ領域 (256M バイト・モード時) 注 2 の内容を修正
p.67	3.5 (3) 命令キャッシュ制御用レジスタ 命令キャッシュ・コントロール・レジスタ (ICC) の操作可能ビットを修正
p.80, 82	4.4 プログラマブル周辺 I/O 領域選択機能 注意文追加
p.86	4.7 キャッシュ・コンフィギュレーション 注意文追加
p.87, 88	図 4 - 12 BPC, BSC, BEC, BHC レジスタ設定例 修正
p.92	表 4 - 6 VBWAIT, VBAHLD, VBLAST 信号 修正
p.94-105	図 4 - 14 VSB に接続されたバス・スレーブとのリード/ライト・タイミング 備考文修正
p.108	図 5 - 2 NB85E と周辺マクロの接続例 修正
p.121	6.2.1 パワー・セーブ・コントロール・レジスタ (PSC) 説明修正
p.127	図 6 - 5 ソフトウェア STOP モード設定/解除タイミング例 修正
p.128, 129	図 6 - 6 ハードウェア STOP モード設定/解除タイミング例 修正
p.133	表 7 - 2 ウェイト機能と転送対象の関係 修正
p.147	図 7 - 12 シングル転送例 1 修正
p.150	7.8.5 DMARQn 信号によるシングル転送時の 1 回転送 追加
p.154	7.14 (5) DMA 転送終了割り込み 追加
p.179	9.1.2 BUNRI, TEST 端子 説明修正

(2/2)

箇 所	内 容
p.180	9.2 テスト・インタフェース信号一覧 VPTCLK, PHTEST 端子の機能の説明を修正
p.181	9.3 テスト・モード時の周辺マクロ接続例 修正
p.182-184	9.4 テスト・モード時の各端子の処理 修正

(2) 第2版→第3版

(1/3)

箇 所	内 容
p.30,31	IBBTFT, IDES 端子を NEC の予約端子に変更
p.31,32,44,48	DBB15-DBB0, TMODE1 端子の説明を変更
p.35	表 2 - 4 VBCTYP2-VBCTYP0 信号 注を追加
p.37	2. 2. 3 (1) DCRESZ 注意を追加
p.37	図 2 - 1 DCRESZ 信号の受け付け 注を追加
p.38	2. 2. 3 (3) CGREL 説明を修正
p.38	2. 2. 3 (7) STPRQ 説明を一部削除
p.38	2. 2. 4 (1) IDMASTP 説明を変更
p.39	2. 2. 4 (4) DMACTV3-DMACTV0 説明を変更
p.39	2. 2. 5 (2) INT63-INT0 説明を一部削除
p.40	2. 2. 7 (5) IRAMWR3-IRAMWR0 説明を変更
p.40,41	2. 2. 8 命令キャッシュ用端子 説明を修正
p.42,43	2. 2. 9 データ・キャッシュ用端子 説明を修正
p.47	2. 2. 13 (6) TESEN 説明を修正
p.48	2. 2. 13 (9) VPRESZ 注意を追加
p.49	2. 3 未使用端子の処理 STPAK 端子の推奨接続方法を変更
p.51-53	表 2 - 10 各動作モードでの端子状態 NPB 用端子, VSB 用端子, VFB 用端子, VDB 用端子, 命令キャッシュ用端子, データ・キャッシュ用端子の単体テスト・モード時の端子状態を変更
p.67	3. 4. 2 RAM 領域 注意を追加
p.67	図 3 - 10 (d) 60K バイト時 アドレスを修正
p.68	3. 4. 3 周辺 I/O 領域 注意を修正
p.69	3. 5 周辺 I/O レジスタ 説明を追加
p.74	3. 5. 3 命令キャッシュ制御用レジスタ 変更
p.74	3. 5. 4 データ・キャッシュ制御用レジスタ 追加
p.75	3. 6. 2 オンチップ・ディバゲ 変更
p.77-96	前版での表記「ブロック n」を「CSn 領域」に変更
p.87	図 4 - 5 周辺 I/O 領域とプログラマブル周辺 I/O 領域 修正

箇所	内 容
p.88	4. 4 プログラマブル周辺 I/O 領域選択機能 注意 4 を変更
p.91,92	4. 6. 1 NEC 製開発ツールにおけるビッグ・エンディアン形式の使用制限 追加
p.98	表 4 - 2 VBCTYP2-VBCTYP0 信号 注を追加
p.100-112	4. 9. 3 リード/ライト・タイミング VSB に接続されたバス・スレーブとのリード/ライト・タイミングの図を変更
p.113	図 4 - 15 リセット・タイミング 変更
p.114-117	4. 9. 5 バス・マスタの移行 追加
p.120	図 5 - 2 NB85E と周辺マクロの接続例 修正
p.121	図 5 - 3 周辺 I/O 領域とプログラマブル周辺 I/O 領域 修正
p.125	図 5 - 6 NPB ストロブ・ウェイト・コントロール・レジスタ (VSWC) 修正
p.125	5. 2 ウェイト挿入機能 説明と表を追加
p.127-133	5. 4 NPB リード/ライト・タイミング 変更
p.136,137	6. 2. 1 パワー・セーブ・コントロール・レジスタ (PSC) 説明を修正
p.136	図 6 - 2 パワー・セーブ・コントロール・レジスタ (PSC) 注を追加
p.139	6. 3 (1) 設定と動作状態 説明を追加
p.139	6. 3 (2) (b) DCRESZ 入力による解除 注意を追加
p.140	6. 4 (2) (b) DCRESZ 入力による解除 注意を追加
p.141	6. 5 (2) (b) DCRESZ 入力による解除 注意を追加
p.142,143	6. 6 (1) (b) ソフトウェア STOP モード解除時 修正
p.144,145	6. 6 (2) (b) ハードウェア STOP モード解除時 修正
p.147	7. 1 特 徴 修正
p.154	7. 5. 3 DMA 転送カウント・レジスタ 0-3 (DBC0-DBC3) 説明を追加
p.162	7. 7. 2 DMAC バス・サイクルの状態遷移 説明を削除
p.167	7. 8. 5 DMARQn 信号によるシングル転送時の 1 回転送 修正
p.168	7. 9. 1 2 サイクル転送 修正
p.168	7. 10 (1) 外部端子 (DMARQn) による要求 説明を一部削除
p.169	7. 11 DMA 転送完了時の出力 修正
p.170	7. 12 強制中断 説明と図を修正, 注意を追加
p.171	7. 13 強制終了 説明と注意を追加
p.172-191	7. 14 DMA 転送タイミング例 追加
p.192	7. 15 (3) DMA 転送に関する各種時間 変更
p.197	表 8 - 1 割り込み/例外一覧 備考 1 を修正
p.212	図 8 - 10 インサース・プライオリティ・レジスタ (ISPR) アドレスを修正

(3/3)

箇 所	内 容
p.218	8. 6 割り込み応答時間 説明と図を修正
p.219	9. 1. 2 (2) (a) 単体テスト・モード 修正
p.220	9. 2 テスト・インタフェース信号一覧 TESEN, TMODE1 信号の説明を修正
p.221,222	9. 3 テスト・モード時の周辺マクロ接続例 修正
p.223	9. 4 (1) (a) 入出力端子 注意を変更
p.224	9. 4 (1) (b) 入力端子の処理 修正
p.227-236	第 10 章 NB85E901 追加
p.237,238	付録 A ROM/RAM アクセス・タイミング 修正

(3) 第 3 版 → 第 4 版

(1/2)

箇 所	内 容
全般	CGREL 端子を NEC の予約端子に変更
p.36,37	2. 2. 2 (14) VBWAIT, (15) VBLAST, (16) VBAHLD, (19) VDSELPZ 修正
p.37	図 2 - 1 DCRESZ 信号の受け付け 修正
p.40	2. 2. 7 (7) IRAMWT 修正
p.47	2. 2. 12 (7) IFIWRTH, (8) IFIUNCH1 説明を追加
p.56,57	r2 レジスタについて記述を修正
p.65	図 3 - 8 データ領域 (256M バイト・モード時) の図を修正, 注 2 を修正, 注意を追加
p.68,69	3. 4. 2 RAM 領域 注意を削除, 説明を追加
p.71	3. 5 周辺 I/O レジスタ (5) の説明を追加
p.73	3. 5. 1 NB85E 制御用レジスタ IMR0-IMR3 レジスタを修正
p.75	3. 5. 2 メモリ・コントローラ (MEMC) 制御用レジスタ 修正
p.76	3. 5. 3 命令キャッシュ制御用レジスタ ICC レジスタを修正
p.76	3. 5. 4 データ・キャッシュ制御用レジスタ 初期値を修正
p.81	4. 2 (2) 256M バイト・モード時のメモリ・バンク 図を修正
p.89	図 4 - 5 周辺 I/O 領域とプログラマブル周辺 I/O 領域 (b) 256M バイト・モード時 修正
p.90	4. 4 プログラマブル周辺 I/O 領域選択機能 注意 2 を修正, 注意 5 を追加
p.92	4. 6 エンディアン設定機能 注意 1 を追加, 注意 2 を修正
p.95	4. 7 キャッシュ・コンフィギュレーション 注意 1 を修正, 注意 2-4 を追加
p.102	4. 9. 3 リード/ライト・タイミング 修正
p.120,121	4. 9. 6 ミス・アライン・アクセス・タイミング 追加

箇 所	内 容
p.125	図 5 - 3 周辺 I/O 領域とプログラマブル周辺 I/O 領域 (b) 256M バイト・モード時 修正
p.126	5.1 プログラマブル周辺 I/O 領域 注意 2 を修正, 注意 4 を追加
p.129	図 5 - 6 NPB ストロブ・ウェイト・コントロール・レジスタ (VSWC) 修正
p.130	図 5 - 7 リトライ機能 修正
p.135	図 5 - 14 (a) NPB 周辺マクロ (プログラマブル周辺 I/O 領域) へのライト・タイミング例 修正
p.139	6.1 (1) HALT モード 修正
p.141	6.2.1 パワー・セーブ・コントロール・レジスタ (PSC) 注意を追加
p.147-150	6.6 ソフトウェア/ハードウェア STOP モードでのクロック制御 CGREL 端子に関する記述を削除, 注意を修正
p.151	7.1 特 徴 ライン転送モードについて説明を追加
p.167	7.8.1 シングル転送モード 説明を追加
p.168	図 7 - 14 シングル転送例 3, 図 7 - 15 シングル転送例 4 追加
p.170	7.8.3 ライン転送モード 説明を追加
p.171	図 7 - 20 ライン転送例 3, 図 7 - 21 ライン転送例 4 追加
p.174	7.9.1 2 サイクル転送 注意を追加
p.174	7.9.2 フライバイ転送 注意を追加
p.186-189	VDB に接続した RAM↔MEMC (NU85E502) に接続した SDRAM 間の 2 サイクル転送のタイミング例を追加
p.207	表 8 - 1 割り込み/例外一覧 備考 1 の復帰 PC の記述を修正
p.208	8.2 ノンマスカブル割り込み (NMI) 説明を修正, 注意を追加
p.209,210	図 8 - 1 ノンマスカブル割り込み要求の受け付け動作 修正
p.212	8.2.2 復 帰 修正
p.221	8.3.4 (2) 割り込みマスク・レジスタ 0-3 (IMR0-IMR3) 説明を追加
p.231,234	MEMC の DRAM コントローラ (NB85E501) に関する記述を削除, MEMC の SDRAM コントローラの名称を「NB85E502」→「NU85E502」に変更
p.233	9.4 (1) (b) 入力端子の処理 修正
p.234	9.5 注意事項 修正
p.237	10.2.2 (1) N-Wire 型 IE 接続用端子 注意を追加, (f) DBINT 説明を追加
p.240,241	10.2.4 端子状態 追加
p.242	10.3 (9) マスク機能 修正
p.246	図 10 - 4 IE 接続推奨回路例 (NB85E + NB85E901) 備考 2 を修正

(4) 第4版→第5版

箇所	内容
p.27,36	CGREL 端子の説明を修正
p.29,44,89	IFINSZ1, IFINSZ0 端子の説明を修正
p.145-148	6.6 ソフトウェア/ハードウェア STOP モードでのクロック制御 CGREL 端子に関する記述を追加
p.229	図9-1 周辺マクロ接続例 修正
p.232	9.4(2) テスト・モード用端子 修正

(5) 第5版→第6版

(1/2)

箇所	内容
p.31, 47	IFINSZ1, IFINSZ0 端子の説明を修正
p.33	VPLOCK 端子の説明を修正
p.35	VBWRITE 端子の説明を修正
p.36	VBWAIT 端子の説明を修正
p.36	VBLAST 端子の説明を修正
p.37	VBAHLD 端子の説明を修正
p.38	CGREL 端子の説明を修正
p.50	2.3 未使用端子の処理 VBWAIT, VBLAST, VBAHLD 端子の接続方法を修正
p.70	3.4.3 周辺 I/O 領域 注意 , 図3-11 周辺 I/O 領域 修正
p.91	図4-7 バス・サイズ・コンフィギュレーション・レジスタ (BSC) IFINSZ1, IFINSZ0 端子への入力レベル 修正
p.91	図4-7 バス・サイズ・コンフィギュレーション・レジスタ (BSC) 例を追加
p.95	4.7 キャッシュ・コンフィギュレーション 注意を修正
p.102	4.9.2 (6) 転送ステータス 注意を追加
p.102	4.9.2 (7) 転送方向 説明を修正, 表4-7 VBWRITE 信号 削除
p.130	図5-7 リトライ機能 VPD15-VPD0 のリード・タイミング 修正
p.133	図5-11 リード・モディファイ・ライト・タイミング VPUBENZ のタイミング 修正
p.145	6.4 (2) (a) 割り込み要求による解除 注意を追加
p.146	表6-3 割り込み処理ルーチン内でソフトウェア STOP モードに設定したあとの動作 追加
p.148	図6-4 NB85E とクロック制御回路の接続 注意を追加
p.149	図6-5 ソフトウェア STOP モード設定/解除タイミング例 備考を追加

(2/2)

箇 所	内 容
p.189	図 7 - 31 2 サイクル・シングル転送タイミング例 (VDB に接続した RAM→NU85E502 に接続した SDRAM) VBLOCK のタイミング 修正
p.191	図 7 - 32 2 サイクル・シングル転送タイミング例 (NU85E502 に接続した SDRAM→VDB に接続した RAM) VBLOCK, VBDC のタイミング 修正
p.236	9. 5 注意事項 削除, (3) NB85E901 を接続している場合の注意事項 追加
p.239	10. 2. 2 (1) N-Wire 型 IE 接続用端子 注意を修正
p.245	図 10 - 1 NB85E901 と NB85E の接続例 注を追加
p.249	図 A - 1 ROM アクセス・タイミング 注を追加
p.250	図 A - 2 RAM アクセス・タイミング IRAOZ31-IRAOZ0 のタイミング修正, 注を削除
p.257	付録 C 改版履歴 追加

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話 : 午前 9:00 ~ 12:00 , 午後 1:00 ~ 5:00)

電 話 : 044-435-9494
FAX : 044-435-9608
E-mail : info@lsi.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部

東 京 (03)3798-6106, 6107,
6108
大 阪 (06)6945-3178, 3200,
3208, 3212
広 島 (082)242-5504
仙 台 (022)267-8740
郡 山 (024)923-5591
千 葉 (043)238-8116

第二販売事業部

東 京 (03)3798-6110, 6111,
6112
立 川 (042)526-5981, 6167
松 本 (0263)35-1662
静 岡 (054)254-4794
金 沢 (076)232-7303
松 山 (089)945-4149

第三販売事業部

東 京 (03)3798-6151, 6155, 6586,
1622, 1623, 6156
水 戸 (029)226-1702
前 橋 (027)243-6060
鳥 取 (0857)27-5313
太 田 (0276)46-4014
名古屋 (052)222-2170, 2190
福 岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【NECエレクトロニクス デバイス ホームページ】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.ic.nec.co.jp/>

キリトリ

[ドキュメント名] NB85E ユーザーズ・マニュアル(暫定) ハードウェア編
(A13971JJ7V1UM00 (第7版))

御社名（学校名，その他）（
ご住所（
お電話番号（
お仕事の内容（
お名前（

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン，字の大きさなど					
その他（ ）					
（ ）					

3. わかりにくい所 (第 章, 第 章, 第 章, 第 章, その他)

理由 []

--

ご協力ありがとうございました。
下記あてにFAXで送信いただくか、最寄りの販売員にコピーをお渡しください。