

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

# 携帯マルチメディア・プロセッサ

UART インタフェース編

---

EMMA Mobile™1

[メ モ]

## CMOSデバイスの一般的注意事項

### 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力が入力ノイズなどに起因して、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご注意ください。

### 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

### 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

本製品は外国為替及び外国貿易法の規定により規制貨物等に該当しますので、日本国外に輸出する場合には、同法に基づき日本国政府の輸出許可が必要です。

- 本資料に記載されている内容は2009年9月現在のものです、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っていません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E0710J

# はじめに

**対象者** このマニュアルは、携帯マルチメディア・プロセッサ EMMA Mobile1（以降、EM1 と表記します）の UART インタフェースの機能を理解し、それを用いたソフトウェア、ハードウェアなどのアプリケーション・システムを設計するユーザを対象とします。

**目的** このマニュアルは、EM1 の UART インタフェースが持つハードウェア、ソフトウェア機能をユーザに理解していただき、これらのデバイスを使用するシステムのハードウェア、ソフトウェア開発の参照用資料として役立つことを目的としています。

**構成** このマニュアルは、大きく分けて次の内容で構成しています。

- 第1章 概 説
- 第2章 端子機能
- 第3章 レジスタ
- 第4章 機能詳細
- 第5章 使用方法

**読み方** このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータに関する一般的知識が必要となります。

- ・ UART インタフェースの機能の詳細を理解しようとするとき  
目次に従ってお読みください。
- ・ 携帯マルチメディア・プロセッサ全体の機能を理解しようとするとき  
モジュールごとのユーザズ・マニュアルを参照してください。
- ・ 携帯マルチメディア・プロセッサ全体の電気的特性を理解しようとするとき  
データ・シートを参照してください。

凡 例	データ表記の重み	: 左が上位桁, 右が下位桁
	注	: 本文中につけた注の説明
	注意	: 気をつけて読んでいただきたい内容
	備考	: 本文中の補足説明
	数の表記	: 2進数 ... x x x x または x x x x B 10進数 ... x x x x 16進数 ... x x x x H
	データ・タイプ	ワード ... 32 ビット ハーフワード ... 16 ビット バイト ... 8 ビット

**関連資料** 関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

資料名		資料番号
MC-10118A データ・シート		S19657J
μ PD77630A データ・シート		S19686J
ユーザーズ・マニュアル	Audio/Voice, PWM インタフェース編	S19253J
	DDR SDRAM インタフェース編	S19254J
	DMA コントローラ編	S19255J
	I <sup>2</sup> C インタフェース編	S19256J
	ITU-R BT.656 インタフェース編	S19257J
	LCD コントローラ編	S19258J
	MICROWIRE 編	S19259J
	NAND Flash インタフェース編	S19260J
	SPI 編	S19261J
	UART インタフェース編	このマニュアル
	イメージ・コンポーザ編	S19263J
	イメージ・プロセッサ・ユニット編	S19264J
	システム制御 / 汎用入出力インタフェース編	S19265J
	タイマ編	S19266J
	地上デジタル TV インタフェース編	S19267J
	カメラ・インタフェース編	S19285J
	USB インタフェース編	S19359J
	SD メモリ・カード・インタフェース	S19361J
	PDMA 編	S19373J
	1 チップ編 (MC-10118A)	S19598J
1 チップ編 (μ PD77630A)	S19687J	

**注意** 上記関連資料は, 予告なしに内容を変更することがあります。設計などには, 必ず最新の資料を使用してください。

# 目 次

## 第 1 章 概 説・・・10

- 1.1 機能概要・・・10
- 1.2 特 徴・・・10
- 1.3 入出力信号・・・11

## 第 2 章 端子機能・・・12

- 2.1 UARTインタフェース端子・・・12

## 第 3 章 レジスタ・・・13

- 3.1 レジスタ一覧・・・13
- 3.2 UART用レジスタ・・・14
  - 3.2.1 受信バッファ/送信保持レジスタ・・・14
  - 3.2.2 割り込みイネーブル・レジスタ・・・16
  - 3.2.3 割り込み識別レジスタ・・・17
  - 3.2.4 FIFO制御レジスタ・・・19
  - 3.2.5 ライン制御レジスタ・・・21
  - 3.2.6 モデム制御レジスタ・・・23
  - 3.2.7 ライン・ステータス・レジスタ・・・25
  - 3.2.8 モデム・ステータス・レジスタ・・・27
  - 3.2.9 スクラッチ・レジスタ・・・29
  - 3.2.10 分周ラッチLSバイト・レジスタ・・・29
  - 3.2.11 分周ラッチMSバイト・レジスタ・・・30
  - 3.2.12 ハードウェア制御レジスタ・・・31
  - 3.2.13 ハードウェア・ステータス・レジスタ2・・・32
  - 3.2.14 ハードウェア・ステータス・レジスタ3・・・33
- 3.3 IRエンコーダ/デコーダ用レジスタ・・・34
  - 3.3.1 IR制御レジスタ0・・・34
  - 3.3.2 IR制御レジスタ1・・・35
  - 3.3.3 IR制御レジスタ2・・・36
  - 3.3.4 IR制御レジスタ3 (IRCR3)・・・36
  - 3.3.5 IR制御レジスタ4・・・37

## 第 4 章 機能詳細・・・38

- 4.1 オート・フロー・モードについて・・・38
- 4.2 FIFOについて・・・39
  - 4.2.1 FIFO割り込みモードoperation・・・39

4.2.2	FIFO polled mode operation	39
4.2.3	受信FIFOがemptyのときのリード	39
<b>4.3</b>	<b>割り込み要因</b>	<b>40</b>
<b>4.4</b>	<b>クロック/リセット</b>	<b>40</b>
<b>4.5</b>	<b>入出力タイミング</b>	<b>40</b>
4.5.1	シリアルデータ	40
4.5.2	オートフローCTS制御タイミング	40
4.5.3	オートフローRTS制御タイミング	40
<b>4.6</b>	<b>IRエンコーダ/デコーダ機能</b>	<b>41</b>
4.6.1	IRエンコーダの送信データ変調機能	42
4.6.2	IRデコーダの受信データ復調機能	42
4.6.3	IRデコーダのエコー・キャンセル用受信データ・マスク機能	43
4.6.4	IRエンコーダ/デコーダ使用上の注意	44

## **第5章 使用手順** . . . 45

<b>5.1</b>	<b>初期化方法</b>	<b>45</b>
5.1.1	初期化について	45
<b>5.2</b>	<b>ボー・レート設定</b>	<b>46</b>
<b>5.3</b>	<b>FIFO使用上の注意</b>	<b>46</b>

## 図の目次

図番号	タイトル, ページ
図 4 - 1	IRエンコーダ/デコーダ・ブロック図・・・41
図 4 - 2	送信データの変調例・・・42
図 4 - 3	受信データの復調例・・・42
図 4 - 4	IrPHY Ver1.4 ブロック構成例・・・44

## 表の目次

表番号	タイトル, ページ
表 3 - 1	FIFO動作モード (IIR[7:5])・・・17
表 3 - 2	割り込み要因表示 / 割り込み優先処理 (IIR[3:0])・・・18
表 3 - 3	受信トリガー・レベル設定 (FCR[7:6])・・・20
表 3 - 4	DMAモード設定 (FCR[3],HCR0[3:2])・・・20
表 3 - 5	DMAモードとDMA要求生成条件・・・20
表 3 - 6	パリティ・タイプ設定 (LCR[5:3])・・・22
表 3 - 7	送受信データ設定 (LCR[1:0])・・・22
表 3 - 8	オート・フロー設定 (MCR[5][1],HCR[6])・・・24
表 4 - 1	割り込み・・・40
表 4 - 2	PULSE_WIDTH[7:0]設定例・・・43
表 4 - 3	MASK_PERIOD[19:0]設定例・・・43
表 4 - 4	IrPHY Ver1.4 SIRデータ転送速度とパルス幅に関する規定・・・44

# 第1章 概 説

このマニュアルでは EM1 の Universal Asynchronous Receiver/Transmitter (以降 UART と表記します) について説明します。

## 1.1 機能概要

EMMA Mobile1 搭載の UART ( Universal Asynchronous Receiver/Transmitter ) は , 送信 / 受信用にそれぞれ 64 バイト FIFO を持ち , かつ汎用 UART チップ TL16C750 と互換性を持っています。

シリアル・インタフェースには IrDA SIR 用エンコーダ / デコーダを搭載しており , RZI ( Return-to-Zero-Inverted ) 信号の送受信が可能です。

## 1.2 特 徴

EMMA Mobile1 には , UART0 , UART1 , UART2 の 3 個の UART が搭載されています。

送信 / 受信各々に 64 バイト FIFO を内蔵しています。設定により , 次の動作モードを選択可能です。

- non-FIFO モード ( 16450 モード )
- 16 バイト FIFO モード ( 16550 モード )
- 64 バイト FIFO モード

プログラマブル auto-RTS , auto-CTS をサポートしています。

送受信シリアル・データに対し , 標準的な非同期通信制御ビットであるスタート , ストップ , パリティ・ビットの付加 / 削除が可能です。また , 次のプログラマブル制御が可能です。

- キャラクタ長制御 : 5 , 6 , 7 または 8 ビット
- パリティ・ビット制御 : 偶数パリティ , 奇数パリティ , またはパリティ・ビットなし
- ストップ・ビット長制御 : 1 または 2 ビット
- ボー・レート制御 :  $1 \sim (2^{16} - 1)$  のリファレンス・クロック分周設定が可能

モデム制御インタフェースをサポートしています ( CTS , RTS , DSR , DTR , RI , DCD )。

IrDA SIR ( 2.4 kbps ~ 115.2 kbps ) 用エンコーダ / デコーダを内蔵しています。

## 1.3 入出力信号

次の信号を使用して通信を行います。

- UART<sub>x</sub>\_SIN : UART<sub>x</sub> のデータ入力 (外部端子)
- UART<sub>x</sub>\_SOUT : UART<sub>x</sub> のデータ出力 (外部端子)
- UART<sub>x</sub>\_CTSB : UART<sub>x</sub> の送信許可入力 (ロー・アクティブ)(外部端子)
- UART<sub>x</sub>\_RTSB : UART<sub>x</sub> の送信要求出力 (ロー・アクティブ)(外部端子)
- XIN : ASMU から入力する動作クロック (U7<sub>x</sub>\_SCLK)(内部クロック入力)
- MR : ASMU から入力するマスタ・リセット (U7<sub>x</sub>\_RSTZ)(内部リセット入力)

**備考** UART<sub>x</sub> : UART0 , UART1 , UART2

U7<sub>x</sub> : U70 , U71 , U72

## 第2章 端子機能

### 2.1 UART インタフェース端子

端子名	入出力	リセット時	機 能	兼用端子
URT0_SRIN	入力	-	シリアル・データ	-
URT0_SOUT	出力	0	シリアル・データ	-
URT0_CTSB	入力	-	接続先デバイス・データ送受信準備完了	GIO_P85 URT1_SRIN
URT0_RTSB	出力	0	データ送受信準備完了	GIO_P86 URT1_SOUT
URT1_SRIN	入力	-	シリアル・データ	GIO_P85 URT0_CTSB
URT1_SOUT	出力	0	シリアル・データ	GIO_P86 URT0_RTSB
URT2_SRIN	入力	-	シリアル・データ	GIO_P108 NAND_ALE
URT2_SOUT	出力	0	シリアル・データ	GIO_P109 NAND_CLE
URT2_CTSB	入力	-	接続先デバイス・データ送受信準備完了	GIO_P110 NAND_D0
URT2_RTSB	出力	0	データ送受信準備完了	GIO_P111 NAND_D1

## 第3章 レジスタ

UART のレジスタ・アドレスは、すべてハーフワード境界を使用します。

### 3.1 レジスタ一覧

オフセット・アドレス 0000H~0034H は UART 用レジスタ, 0040H~0050H は IR エンコーダ/デコーダ用レジスタです。

Reserved レジスタへのアクセスは行わないでください。読み出した場合は 0000\_0000H が返ります。

各レジスタ内の Reserved ビットへは、0 以外を書き込まないでください。

ベース・アドレス： 5000\_0000H (UART0), 5001\_0000H (UART1),  
5002\_0000H (UART2)

アドレス	レジスタ名称	略号	R/W	リセット時
0000H	受信バッファ・レジスタ	RBR	R	不定
	送信保持レジスタ	THR	W	
0004H	割り込みイネーブル・レジスタ	IER	R/W	0000H
0008H	割り込み識別レジスタ	IIR	R	0001H
000CH	FIFO 制御レジスタ	FCR	R/W	0000H
0010H	ライン制御レジスタ	LCR	R/W	0000H
0014H	モデム制御レジスタ	MCR	R/W	0000H
0018H	ライン・ステータス・レジスタ	LSR	R	0060H
001CH	モデム・ステータス・レジスタ	MSR	R	00xxH <sup>注1</sup>
0020H	スクラッチ・レジスタ	SCR	R/W	0000H
0024H	分周ラッチ LS バイト・レジスタ	DLL	R/W <sup>注2</sup>	0000H
0028H	分周ラッチ MS バイト・レジスタ	DLM	R/W <sup>注2</sup>	0000H
002CH	ハードウェア制御レジスタ	HCR0	R/W	0000H
0030H	ハードウェア・ステータス・レジスタ 2	HCR2	R	0000H
0034H	ハードウェア・ステータス・レジスタ 3	HCR3	R	0000H
0038H	Reserved	-	-	-
003CH	Reserved	-	-	-
0040H	IR 制御レジスタ 0	IRCR0	R/W	0000H
0044H	IR 制御レジスタ 1	IRCR1	R/W	0002H
0048H	IR 制御レジスタ 2	IRCR2	R/W	0000H
004CH	IR 制御レジスタ 3	IRCR3	R/W	0000H
0050H	IR 制御レジスタ 4	IRCR4	R/W	0000H

注 1. 接続先装置などの状況により値が異なります。

2. DLL/DLMレジスタを設定するときは、LCR[7]ビットを 1 に設定しておく必要があります。

また、DLL/DLMレジスタのライト後はLCR[7]ビットを 0 に設定する必要があります。詳細は、3.2.5 ライン制御レジスタを参照してください。

## 3.2 UART 用レジスタ

### 3.2.1 受信バッファ/送信保持レジスタ

本レジスタ (RBR/THR : 5000\_0000H (UART0), 5001\_0000H (UART1), 5002\_0000H (UART2)) は、受信データ・リード、送信データ・ライト・レジスタです。

リード時は受信バッファ・レジスタ (RBR)、ライト時は送信保持レジスタ (THR) として機能します。ただし、FIFO モード (FCR[0]ビットが1) のとき、アクセス対象は FIFO になります。

15	14	13	12	11	10	9	8
0/D7	0/D6	0/D5	0/D4	0/D3	0/D2	0/D1	0/D0
7	6	5	4	3	2	1	0
D7	D6	D5	D4	D3	D2	D1	D0

名称	R/W	ビット	リセット時	機能
0/D[7:0]	R	15:8	不定	2バイト・リード時に受信データを読み出します。 ただし、1バイト・リード時は未使用ビットです(0が読み出されます)。
	W			2バイト・ライト時に送信データを書き込みます。 ただし、1バイト・ライト時は未使用ビットです(書き込みは無視されません)。
D[7:0]	R	7:0	不定	受信データを読み出します。
	W			送信データを格納します。

non-FIFO モード動作 (FCR[0] = 0)

リードすると受信データが読み出され、ライトした場合は送信データが格納されます。最初に送受信されるビットは、最下位ビットの RBR[0]/THR[0] です。

下位バイト (RBR[7:0]/THR[7:0]) のみを使用します。ホスト・バス・インタフェースによる 1 バイト・アクセスが可能です。本モードで 2 バイト・アクセスを行った場合は、上位バイト (RBR[15:8]/THR[15:8]) は無効 (リード時 ALL 0, ライト時 Don't care) となり、下位バイトのみ使用されます。

FIFO モード動作 (FCR[0] = 1)

リードすると受信 FIFO からデータが読み出され、ライトした場合は送信 FIFO にデータが格納されます。ホスト・バス・インタフェースによる 1 バイトおよび 2 バイト・アクセスが可能です。最初に送受信されるビットは、最下位ビットの D0 です。

1 バイト・アクセス時、リードすると上位バイトは ALL 0 となり、下位バイトのデータが有効です。ライトすると、上位バイトは無効となり、下位バイトのみ使用されます。

FIFO 容量は FCR[5] ビットで選択します。

FCR[5] ビットが 0 の場合は 16 バイト FIFO (16550 モード)、1 の場合は 64 バイト FIFO で動作します。

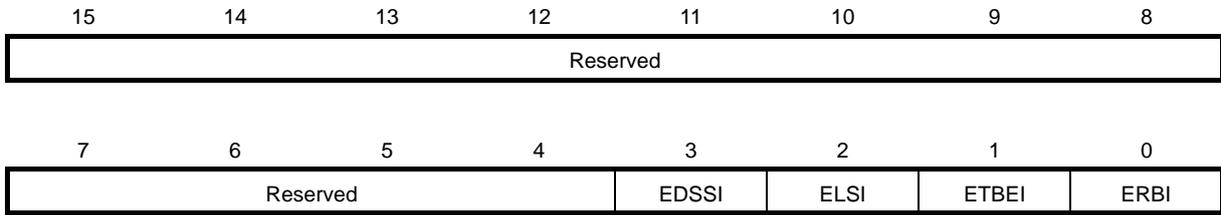
- 注意
1. 送信 FIFO が FULL のときにライトを行った場合、または空き容量が1バイトのときに2バイト・ライトを行った場合、オーバランが検出され、送信 FIFO に対する書き込みは一切行われません。オーバラン検出時、HCR3[7]ビットが1にセットされます。
  2. 受信 FIFO が empty のときにリードを行った場合、またはデータが1バイトしかないときに2バイト・リードを行った場合は、アンダランが検出され受信 FIFO に対してリードは一切行われません(ホスト・バス・インタフェースには All 0 が出力されます)。アンダラン検出時、HCR2[7]ビットが1にセットされます。
  3. 送受信データのビット数が8ビット未満(5~7ビット)のときは、下位ビット側が送受信され、設定転送ビット数を越える上位ビットは捨てられます。

例 転送ビット数が5ビット(LCRレジスタのWLS[1:0]=00b)に設定された場合  
送信側では、THR[7:5]は捨てられ、THR[4:0]が送信されます。  
受信側では、RBR[7:5]には0、RBR[4:0]に有効データが書き込まれます。

### 3.2.2 割り込みイネーブル・レジスタ

本レジスタ ( IER : 5000\_0004H ( UART0 ), 5001\_0004H ( UART1 ), 5002\_0004H ( UART2 ) ) は、割り込みイネーブル・レジスタです。各割り込み要因ごとに、個別に設定可能です。

1 を設定したビットと対応する割り込みがイネーブル状態になります。



名 称	R/W	ビット	リセット時	機 能
Reserved	R	15:8	0	予約。読み出すと 0 を返します。
Reserved	R/W	7:4	0	予約。ライトしたデータは無視されます。
EDSSI	R/W	3	0	Enable Modem Status Interrupt ( モデム・ステータス割り込みイネーブル ) を設定します。 0 : 割り込みディスエーブル。 1 : 割り込みイネーブル。
ELSI	R/W	2	0	Enable Receiver Line Status ( 受信エラー割り込みイネーブル ) を設定します。 0 : 割り込みディスエーブル。 1 : 割り込みイネーブル。
ETBEI	R/W	1	0	Enable Transmitter Holding Register ( THR ) Empty ( 送信バッファ empty 割り込みイネーブル ) を設定します。 0 : 割り込みディスエーブル。 1 : 割り込みイネーブル。
ERBI	R/W	0	0	Enable Received Data Available/ Timeout Interrupt ( 受信完了 / タイムアウト割り込みイネーブル ) を設定します。 0 : 割り込みディスエーブル。 1 : 割り込みイネーブル。

**注意** IER[0]ビットを 0 にすることにより受信完了とタイムアウトを割り込み要因から除外することができますが、HCR0[4]ビットが 1 ( Timeout DMA REQ Disable ) のときは、IER[0]ビットの設定に関係なくタイムアウトが割り込み要因に追加されます。

**備考** タイムアウトは、FIFO 内に少なくとも 1 つのキャラクタがあるとき、次の または の条件が成立した場合に検出されます。

受信した最新のシリアル・キャラクタが 4 連続キャラクタ・タイムよりも前にあるとき

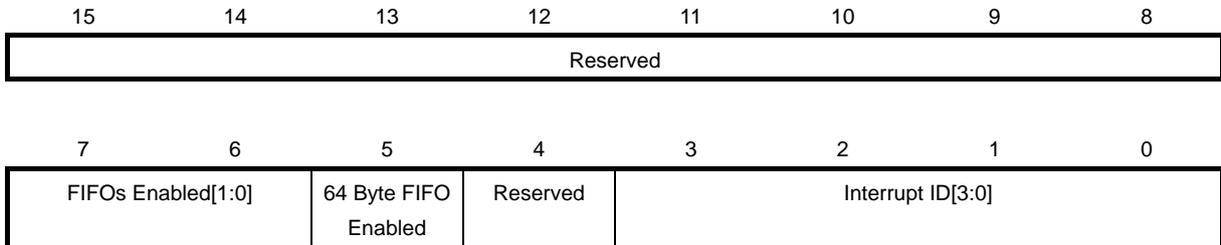
ホストからの最新の FIFO リードが 4 連続キャラクタ・タイムよりも前にあるとき

4 連続キャラクタ・タイムは、12 ビットの受信キャラクタ ( スタート : 1 ビット、データ : 8 ビット、パリティ : 1 ビット、ストップ : 2 ビット ) の 4 キャラクタ分のため、768 サイクル ( @16x クロック ) となります (  $12 \times 4 \times 16 = 768$  サイクル ( @16x クロック ) )。

### 3.2.3 割り込み識別レジスタ

本レジスタ ( IIR : 5000\_0008H ( UART0 ) , 5001\_0008H ( UART1 ) , 5002\_0008H ( UART2 ) ) は , 割り込み要因を識別するためのレジスタです。

本レジスタをリードすることにより , FIFO の動作モード , および割り込み要因を確認することができます。割り込み要因が複数発生している場合 , 最も優先度の高い割り込み要因が出力されます。



名 称	R/W	ビット	リセット時	機 能
Reserved	R	15:8	0	予約。読み出すと 0 を返します。
FIFOs Enabled[1:0]	R	7:6	00b	FIFO 動作モードを表示します。 00b : non-FIFO モード ( 16450 モード ) 11b : 16 バイト / 64 バイト FIFO モード ( IIR[5]ビットを参照 )
64 Byte FIFO Enabled	R	5	0	FIFO 動作モードを表示します。IIR[7:6]が 11b のときのみ有効です。 0 : 16 バイト FIFO モード ( 16550 モード ) 1 : 64 バイト FIFO モード。
Reserved	R	4	0	予約。読み出すと 0 を返します。
Interrupt ID[3:0]	R	3:0	0001b	発生した割り込み要因の中で最も優先度の高い割り込み要因の ID 番号を示します。

表 3 - 1 FIFO 動作モード (IIR[7:5])

IIR[7:5]	FIFO 動作モード
000	Non-FIFO モード ( 16450 モード )
110	16Byte FIFO モード ( 16550 モード )
111	64Byte FIFO モード

表 3 - 2 割り込み要因表示 / 割り込み優先処理 (IIR[3:0])

IIR[3:0]	優先順位	割り込みタイプ	割り込み要因	割り込み解除条件
0001(1h)	None	None	None	None
0110(6h)	1	Receiver Line Status (受信エラー)	以下の1つ以上が発生。 ・ Overrun ・ Parity Error ・ Framing Error ・ Break Interrupt	Line Status Register(LSR) リード。
0100(4h)	2	Received Data Available (受信完了)	・ non-FIFO モード時 受信バッファ・レジスタにデータ受信完了。  ・ FIFO モード時 受信 FIFO 内のデータ数がトリガ・レベル以上になった。	・ non-FIFO モード時 受信バッファ・レジスタ(RBR)リード。  ・ FIFO モード時 受信 FIFO をリードし、受信 FIFO 内のデータ数がトリガ・レベルより少ない状態になると解除。
1100(Ch)		Character Timeout Indication (タイム・アウト)	FIFO 使用時、 受信データのタイム・アウト発生。	受信 FIFO リード。
0010(2h)	3	Transmitter Holding Register Empty (送信バッファ Empty)	送信保持レジスタ(THR)、 あるいは送信 FIFO が empty。	本 IIR のリード、 または送信保持レジスタ(THR)/送信 FIFO にデータをライト。
0000(0h)	4	Modem Status (モデム・ステータス)	以下の1つ以上が発生。 ・ CTS ・ DSR(内部信号) ・ DCD (内部信号) ・ Trailing Edge RI (内部信号)	MSR のリード。

注意 送信バッファ Empty 割り込み (IIR[3:0]=0010) は IIR のリードあるいは 送信保持レジスタ (THR) / 送信 FIFO にデータをライトすることにより解除されますが、 は具体的には次のような動作になります。割り込み要因の確認のため IIR をリードした時点で送信バッファ Empty 状態であれば、そのリード動作によりマスクされ以降割り込みは発生しません。このマスクは送信バッファにデータがライトされた時にクリアされ、それ以降の送信バッファ Empty 割り込みは出力されます。

### 3.2.4 FIFO制御レジスタ

本レジスタ ( FCR : 5000\_000CH ( UART0 ), 5001\_000CH ( UART1 ), 5002\_000CH ( UART2 ) ) は、送信 / 受信 FIFO を制御するレジスタです。

15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Receiver Trigger	64 Byte FIFO Enabled	Reserved	DMA Mode Select	Transmitter FIFO Reset	Receiver FIFO Reset	FIFO Enable	

名 称	R/W	ビット	リセット時	機 能
Reserved	R	15:8	0	予約。読み出すと 0 を返します。
Receiver Trigger *	R/W	7:6	00b	FIFO モード時 ( FCR[0] = 1 ) のみ有効です。 割り込み要求および受信 DMA 要求を出力するための受信 FIFO 内データの蓄積量のしきい値 (トリガ・レベル) を設定します。 ・ 16 バイト FIFO モード時 ( FCR[5] = 0 ) 00b : 1 バイト      01b : 4 バイト 10b : 8 バイト      11b : 14 バイト ・ 64 バイト FIFO モード時 ( FCR[5] = 1 ) 00b : 1 バイト      01b : 16 バイト 10b : 32 バイト      11b : 56 バイト
64 Byte FIFO Enable *	R/W	5	0	FIFO モード時 ( FCR[0] = 1 ) のみ有効です。 FIFO 容量を設定します。 0 : 16 バイト FIFO モード ( 16550 モード ) 1 : 64 バイト FIFO モード。
Reserved	R/W	4	0	予約。ライトしたデータは無視されます。
DMA Mode Select *	R/W	3	0	FIFO モード時の DMA モードを設定します。本ビットと HCR0[3:2] を組み合わせて設定します。
Transmitter FIFO Reset	R/W	2	0	本ビットに 1 を設定すると、同期リセット・パルス ( 1 サイクル @VBCLK ) が生成され、送信 FIFO の全バイトと FIFO アドレス・カウンタがリセットされます。 本ビットは、自動的に 0 にリセットされます。 <b>注意</b> 送信シフト・レジスタ ( TSR ) はリセットされません。そのため送信動作中にリセットした場合は、シフト・レジスタ内のデータを送信完了後さらに 1 フレーム All 0 のデータが送信される可能性があります。
Receiver FIFO Reset	R/W	1	0	本ビットに 1 を設定すると、同期リセット・パルス ( 1 サイクル @VBCLK ) が生成され、受信 FIFO と FIFO アドレス・カウンタがリセットされます。 本ビットは、自動的に 0 にリセットされます。 <b>注意</b> 受信シフト・レジスタ ( RSR ) はリセットされません。そのため受信動作中にリセットした場合は、受信中のデータはリセット後正常に受信 FIFO に格納されます。
FIFO Enable *	R/W	0	0	FIFO 動作モードを指定します。 0 : 16 バイト / 64 バイト FIFO モード ( FCR[5] で選択 ) 1 : non-FIFO モード ( 16450 モード )

\* 動作中に設定値を変更すると正常な動作を保証できません。初期化しなおしてください。

表 3-3 受信トリガー・レベル設定 (FCR[7:6])

IIR[7:5]	16Byte モード(FCR[5]=0) トリガーレベル[Bytes]	64Byte モード(FCR[5]=1) トリガーレベル[Bytes]
00	01	01
01	04	16
10	08	32
11	14	56

表 3-4 DMA モード設定 (FCR[3],HCR0[3:2])

FCR[3]	HCR0[3:2]	受信 DMA 要求	送信 DMA 要求
0	00	Mode0	
1	00	Mode1	
0	01	Mode0	Mode1
	10	Mode1	Mode0
Others (設定禁止)		-	-

表 3-5 DMA モードと DMA 要求生成条件

Mode		DMA 要求発出条件	DMA 要求解除条件
DMA アクセスデータ幅 1Byte 時(HCR[5]=0)			
受信 DMA 要求	Mode0	受信 FIFO に 1Byte 以上データあり	受信 FIFO Empty
	Mode1	受信 FIFO トリガ・レベル到達 or タイム・アウト発生(*1)	受信 FIFO Empty
送信 DMA 要求	Mode0	送信 FIFO Empty	送信 FIFO に 1Byte 以上データあり
	Mode1	送信 FIFO Empty	送信 FIFO Full
DMA アクセスデータ幅 2Byte 時(HCR[5]=1)			
受信 DMA 要求	Mode0	受信 FIFO に 2Byte 以上データあり	受信 FIFO データ数 1Byte 以下(*2)
	Mode1	受信 FIFO に 2Byte 以上データがある状態でトリガ・レベル到達 or タイム・アウト発生(*1)	受信 FIFO データ数 1Byte 以下(*2)
送信 DMA 要求	Mode0	送信 FIFO Empty	送信 FIFO に 2Byte 以上データあり
	Mode1	送信 FIFO Empty	送信 FIFO Full

注意 1

(\*1) タイム・アウトは HCR0[4] の設定により、受信 DMA 要求発出条件から除外することができます。

HCR0[4]=0 : タイム・アウトを受信 DMA 要求発出条件に含む。

HCR0[4]=1 : " から除外し、割込み要因に追加。

(\*2) 2Byte アクセスモードでは、奇数 Byte のデータを受信する際、最後の 1Byte が受信 FIFO に残った状態で受信 DMA 要求は解除されます。奇数 Byte のデータを受信する場合は、1Byte アクセスを使用するか、タイムアウトを割込みで通知し(HCR0[4]=1)、割込み処理にてタイムアウトデータをリードするようにして下さい。

注意 2

non-FIFO モード時は、FCR[3]、HCR0[3:2] の設定に関係無く Mode0 相当の動作を行います。

- ・受信 DMA 要求 受信バッファ・レジスタに 1Byte データ受信完了で DMA 要求発出。empty で解除。
- ・送信 DMA 要求 送信バッファ empty 状態で DMA 要求発出。1Byte データ有り解除。

### 3.2.5 ライン制御レジスタ

本レジスタ (LCR : 5000\_0010H (UART0), 5001\_0010H (UART1), 5002\_0010H (UART2)) は、送受信データ・フォーマットの指定、ディバイザ・ラッチへのアクセス・イネーブル制御を行うレジスタです。

15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
DLAB	Break Control	Stick Parity	EPS	PEN	STB	WLS[1:0]	

(1/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	R	15:8	0	予約。読み出すと0を返します。
DLAB *	R/W	7	0	Divisor Latch Access Bit。 本ビットに1を設定すると、ディバイザ・ラッチの設定 (DLM/DLL レジスタ設定) が可能になります。 ディバイザ・ラッチ設定後、本ビットに0を設定するとディバイザ・ラッチへのアクセスが禁止されるとともに、ボー・レート・ジェネレータにより設定値に対応した 16x クロックの生成が開始されます。 <b>注意</b> マスタ・リセット後、16x クロックは停止しています。 ボー・レート・ジェネレータは、本ビットの 1 0 変化を検出すると 16x クロックの生成を開始します。いったん生成が開始されると再度マスタ・リセットが入力されない限り 16x クロックは停止しません。
Break Control	R/W	6	0	ブレイク状態の発生、送信制御を行います。 本ビットが1の間、シリアル出力 (UARTx_SOUT) が強制的に0にセットされます。また、本ビットを0に戻すと解除されます。 本ビットは SOUT の出力レベルのみを直接制御し、内部回路には影響ありません。 <b>注意</b> 送信中に本ビットに1を設定した場合、受信側ではフレーミング・エラーしか検出できない可能性があります。 確実にブレイクを検出させるためには、送信完了 (送信バッファ empty) 状態でセットする必要があります。
Stick Parity *	R/W	5	0	送信 / 受信データをチェックするためのパリティ・ビットの種類を選択します。パリティ・ビットあり (LCR[3] = 1) のときのみ有効です。 偶数 / 奇数および固定値 (ハイ / ロー) の設定は LCR[4] ビットで行います。 0 : 偶数 / 奇数パリティによるチェックを行います。 1 : 固定パリティによるチェックを行います。
EPS *	R/W	4	0	Even Parity Select。 LCR[3] = 1, LCR[5] = 0 のとき、偶数 / 奇数パリティの設定を行います。LCR[3] = 1, LCR[5] = 1 のとき、固定パリティのレベルを選択します。 0 : 奇数パリティ / Stick High (1 固定) 1 : 偶数パリティ / Stick Low (0 固定)
PEN *	R/W	3	0	Parity Enable。 パリティ機能の有効 / 無効を設定します。 0 : パリティ・ビットなし。 1 : 送信側ではパリティ・ビットを付加。 受信側ではパリティ・チェックを実行。

名 称	R/W	ビット	リセット時	機 能
STB *	R/W	2	0	Number of Stop Bits. シリアル送信データのストップ・ビット数を設定します。 0 : 1ビットのストップ・ビットを付加して送信します。 1 : 2ビットのストップ・ビットを付加して送信します。 なお受信側では、本ビットに関係なく最初のストップ・ビットのみをチェックします。
WLS[1:0] *	R/W	1:0	0	Word Length Select. シリアル送受信データ長を設定します。 00b : 5ビット 01b : 6ビット 10b : 7ビット 11b : 8ビット

\* 動作中に設定値を変更すると正常な動作を保証できません。初期化しなおしてください。

表 3 - 6 パリティ・タイプ設定 (LCR[5:3])

LCR[5:3]	パリティ・タイプ
xx0	パリティ・ビット無し
001	奇数パリティ
011	偶数パリティ
101	Stick High("1"固定)
111	Stick Low("0"固定)

xx : Don't Care

表 3 - 7 送受信データ設定 (LCR[1:0])

LCR[1:0]	Word Length
00	5Bits
01	6iBits
10	7Bits
11	8Bits

### 3.2.6 モデム制御レジスタ

本レジスタ (MCR : 5000\_0014H (UART0), 5001\_0014H (UART1), 5002\_0014H (UART2)) は、モデム (周辺デバイス) とのインタフェースを制御するレジスタです。

15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved	AFE	Reserved	OUT2	OUT1	RTS	DTR	

名 称	R/W	ビット	リセット時	機 能
Reserved	R	15:8	0	予約。読み出すと 0 を返します。
Reserved	R	7:6	0	予約。ライトしたデータは無視されます。
AFE *	R/W	5	0	Flow Control Enable。 オート・フロー (auto-CTS, auto-RTS) を制御します。 0 : オート・フロー無効。 1 : オート・フロー有効。 オート・フロー動作の詳細は、MCR[1]ビット (RTS), HCR0[6]ビット (RTS Mode) を使用して制御します。
Reserved	R/W	4	0	予約。
OUT2	R/W	3	0	汎用出力 OUT2Z (内部信号) の制御を行います。 0 : OUT2Z はハイ・レベル 1 : OUT2Z はロー・レベル ローカル・ループバック時は、DCDZ 入力 (内部信号) の制御ビットとして機能します。
OUT1	R/W	2	0	汎用出力 OUT1Z (内部信号) の制御を行います。 0 : OUT1Z はハイ・レベル 1 : OUT1Z はロー・レベル ローカル・ループバック時は、RIZ 入力 (内部信号) の制御ビットとして機能します。
RTS	R/W	1	0	Request To Send。 auto-RTS 未使用時 (MCR[5] = 0), UARTx_RTSSB 端子出力 (送信要求) の制御を行います。 0 : UARTx_RTSSB 端子はハイ・レベル 1 : UARTx_RTSSB 端子はロー・レベル ローカル・ループバック時は、UARTx_CTSB 入力端子の制御ビットとして機能します。
DTR	R/W	0	0	Data Terminal Ready。 DTRZ 出力 (通信リンク確立準備完了, 内部信号) の制御を行います。 0 : DTRZ (内部信号) はハイ・レベル 1 : DTRZ はロー・レベル ローカル・ループバック時は、DSRZ 入力 (内部信号) の制御ビットとして機能します。

\* 動作中に設定値を変更すると正常な動作を保証できません。初期化しなおしてください。

表 3 - 8 オート・フロー設定 (MCR[5][1],HCR[6])

MCR[5] (AFE)	MCR[1] (RTS)	HCR0[6] (RTS Mode)	Auto-CTS	Auto-RTS
1	1	0		( Auto-RTS Mode0 )
		1		( Auto--RTS Mode1 )
	0	x		- ( RSTZ は High 固定出力 )
0	x	x	-	-

【auto-CTS 動作】

入力端子 CTSZ が Low(送信要求)の間、送信バッファ(THR/ 送信 FIFO)のデータを送信します。High になると送信を停止します。データ送信中に CTSZ が Low から High に変化した場合は、送信中のデータ(シフト・レジスタに残っているデータ)は最後まで送信し、次のデータから送信停止になります。

【auto-RTS 動作】 (FIFO モード時のみ有効)

auto-RTS Mode0

受信 FIFO 内のデータ数がトリガ・レベルに達すると出力端子 RTSZ に High(送信停止要求)をセットします。

その後、受信 FIFO のデータがリードされ empty になると Low(送信要求)をセットします。

auto-RTS Mode1

- ・ 16Byte FIFO 時、 受信 FIFO 内のデータ数が 14Byte 以上で RTSZ に High をセットし、13Byte 以下になると Low をセットします。
- ・ 64Byte FIFO 時、 受信 FIFO 内のデータ数が 56Byte 以上で RTSZ に High をセットし、55Byte 以下になると Low をセットします。

注意

- ・ オート・フロー制御未使用時は、HW によるフロー制御が行われません。  
そのため FIFO のオーバーランを防ぐために、ソフトウェアでの CTS 監視と RTS 制御を行う必要があります。
- ・ オート・フロー未使用時(MCR[5]=0)、  
MCR[1]は RTSZ 出力ソフトウェア制御用ビットになります(MCR[1]設定値の反転レベルが RTSZ に出力されます)。
- ・ モデム・ステータス割込み(IER[3]=1)と auto-CTS の両方が設定された場合は、auto-CTS 機能は無効になります。
- ・ non-FIFO モード時、auto-RTS 機能は無効になります。

### 3.2.7 ライン・ステータス・レジスタ

本レジスタ (LSR : 5000\_0018H (UART0), 5001\_0018H (UART1), 5002\_0018H (UART2)) は、送受信ステータスを確認するためのレジスタです。

15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Error in Receiver FIFO	TEMT	THRE	BI	FE	PE	OE	DR

(1/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	R	15:8	0	予約。読み出すと0を返します。
Error in Receiver FIFO	R	7	0	non-FIFO モード時は、常に0がリードされます。 FIFO モード時、受信 FIFO からリードしたデータにブレイク割り込み / パリティ・エラー / フレーミング・エラーの内いずれか1つでも存在すると1にセットされます。本レジスタをリードすると本ビットは0にクリアされます。
TEMT	R	6	1	Transmitter Empty (送信 empty)。 送信バッファ (THR レジスタまたは送信 FIFO), 送信シフト・レジスタ (TSR) の両方が空になると本ビットに1がセットされます。送信バッファ, 送信シフト・レジスタのいずれかにデータがある場合, 本ビットは0にクリアされます。
THRE	R	5	1	Transmitter Holding Register Empty (送信バッファ empty)。 送信バッファ (THR レジスタまたは送信 FIFO) が空になると本ビットに1がセットされます。 送信バッファに1バイトでもデータがライトされると本ビットは0にクリアされます。
BI *	R	4	0	Break Interrupt。 ブレイク割り込み検出時、本ビットに1がセットされます。本レジスタをリードすると本ビットは0にクリアされます。  ブレイク割り込みは、1フレーム (スタート・ビット+データ・ビット+ストップ・ビット) 時間以上ロー・レベルを受信すると検出します。 また、受信部はスタート・ビット (ロー・レベル) を検出するとデータが送られてきていると解釈し、受信動作を行います。したがってブレイク割り込み受信中 (ロー・レベルが入力されている間), ALL 0 のデータを受信し続けます (オーバーランになると受信停止)。  FIFO モード時、ブレイク割り込み情報は ALL 0 のデータとともに FIFO に格納します。 ブレイク割り込みの検出は、データがリードされる時点で行います。  <b>注意</b> ブレイク割り込み検出時には、必ずフレーミング・エラーも発生します。 パリティ・エラーは、LCR[5:3]ビットの設定に当たって発生する可能性があります。

名称	R/W	ビット	リセット時	機能
FE *	R	3	0	<p>Framing Error。</p> <p>受信データのフレーミング・エラー検出時、本ビットに1がセットされます。本レジスタをリードすると本ビットは0にクリアされます。</p> <p>フレーミング・エラーは、受信データのデータ・ビットまたはパリティ・ビットに続く最初のストップ・ビットを調査し、異常（ロー・レベル）のとき検出します。</p> <p>FIFO モード時、フレーミング・エラー情報は受信データと同時に FIFO に格納します。</p> <p>エラー検出は、そのあとデータがリードされる時点で行います。</p>
PE *	R	2	0	<p>Parity Error。</p> <p>受信データのパリティ・エラー検出時、本ビットに1がセットされます。本レジスタをリードすると本ビットは0にクリアされます。</p> <p>FIFO モード時の、パリティ・エラー情報は受信データと同時に FIFO に格納します。</p> <p>エラー検出は、そのあとデータがリードされた時点で行います。</p>
OE *	R	1	0	<p>Overrun Error。</p> <p>受信オーバーラン・エラー検出時、本ビットに1がセットされます。本レジスタをリードすると本ビットは0にクリアされます。</p> <p>受信オーバーランの検出は、受信バッファ・レジスタ、または受信 FIFO が受信データで満杯で、かつ受信シフト・レジスタにもデータが保留されている状態のとき、新たに次の受信データのスタート・ビットを検出したタイミングで行います。</p> <p>本エラー発生時、新たな受信データは受信バッファ・レジスタ / 受信 FIFO には格納されません。</p> <p>受信シフト・レジスタに保留されたデータは、受信バッファに空きができた時点で格納されます。</p>
DR	R	0	0	<p>Data Ready。</p> <p>受信バッファ（RBR レジスタまたは受信 FIFO）に、受信データが1バイトでも格納されると本ビットが1にセットされます。</p> <p>受信データがリードされ、バッファが空になると本ビットは0にクリアされます。</p>

\* ポーリング動作を避け、割り込み検出後に要因を確認してください。

### 3.2.8 モデム・ステータス・レジスタ

本レジスタ (MSR : 5000\_001CH (UART0), 5001\_001CH (UART1), 5002\_001CH (UART2)) は、モデム (または周辺デバイス) と接続されている制御信号を確認するためのレジスタです。

15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
DCD	RI	DSR	CTS	ΔDCD	TERI	ΔDSR	ΔCTS

(1/2)

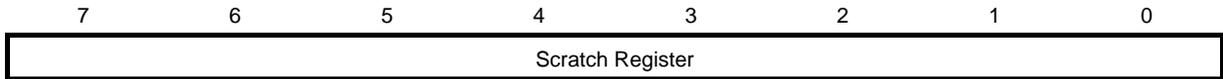
名 称	R/W	ビット	リセット時	機 能
Reserved	R	15:8	0	予約。読み出すと0を返します。
DCD *	R	7	不定	Data Carrier Detect. DCDZ 入力 (内部信号) の反転レベルを表示します。 0 : DCDZ (内部信号) はハイ・レベル 1 : DCDZ (内部信号) はロー・レベル ローカル・ループバック時は、MCR[3]ビット (OUT2) に設定した値がリードされます。
RI *	R	6	不定	Ring Indicator. RIZ 入力 (内部信号) の反転レベルを表示します。 0 : RIZ (内部信号) はハイ・レベル 1 : RIZ (内部信号) はロー・レベル ローカル・ループバック時は、MCR[2]ビット (OUT1) に設定した値がリードされます。
DSR *	R	5	不定	Data Set Ready. DSRZ 入力 (内部信号) の反転レベルを表示します。 0 : DSRZ (内部信号) はハイ・レベル 1 : DSRZ (内部信号) はロー・レベル ローカル・ループバック時は、MCR[0]ビット (DTR : 内部信号) に設定した値がリードされます。
CTS *	R	4	不定	Clear To Send. UARTx_CTSB 端子入力の反転レベルを表示します。 0 : UARTx_CTSB 端子はハイ・レベル。 1 : UARTx_CTSB 端子はロー・レベル ループバック時は、MCR[1]ビット (RTS) に設定した値がリードされます。
ΔDCD *	R	3	不定	Delta Data Carrier Detect. DCDZ 入力 (内部信号) に変化 (ハイ → ローまたはロー → ハイ) があつたとき、1 がセットされます。 本レジスタをリードすると本ビットは0にクリアされます。
TERI *	R	2	不定	Trailing Edge Ring Indicator. RIZ 入力 (内部信号) がロー・レベルからハイ・レベルに変化したとき、1 がセットされます。 本レジスタをリードすると本ビットは0にクリアされます。

名 称	R/W	ビット	リセット時	機 能
ΔDSR *	R	1	不定	Delta Data Set Ready。 DSRZ 入力（内部信号）に変化（ハイ ローまたはロー ハイ）があったとき、1 がセットされます。 本レジスタをリードすると本ビットは 0 にクリアされます。
ΔCTS *	R	0	不定	Delta Clear To Send。 UARTx_CTSB 端子入力に変化（ハイ ローまたはロー ハイ）があったとき、1 がセットされます。 本レジスタをリードすると本ビットは 0 にクリアされます。

\* ポーリング動作を避け、割り込み検出後に要因を確認してください。

### 3.2.9 スクラッチ・レジスタ

本レジスタ (SCR : 5000\_0020H (UART0), 5001\_0020H (UART1), 5002\_0020H (UART2)) は、プログラミングの際に自由に使用できるレジスタです。

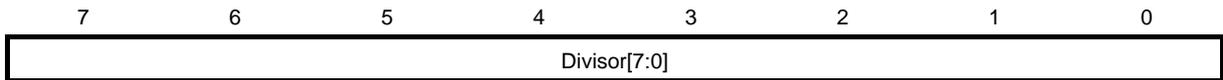


名 称	R/W	ビット	リセット時	機 能
Reserved	R	15:8	0	予約。読み出すと0を返します。
Scratch Register	R/W	7:0	0	UART の動作にまったく影響しません。 プログラミングの際に、自由に使用できます。

### 3.2.10 分周ラッチLSバイト・レジスタ

本レジスタ (DLL : 5000\_0024H (UART0), 5001\_0024H (UART1), 5002\_0024H (UART2)) は、ボー・レート・ジェネレータ用ディバイザ設定レジスタです。ディバイザ設定値の下位 8 ビットを設定します。DLM レジスタ (上位 8 ビットの設定) と合わせて設定してください。

ボー・レート・ジェネレータは、本ディバイザ設定値を使用して基準クロック (XIN) を分周し、送受信部用 16x ボー・レート・クロックを生成します。



名 称	R/W	ビット	リセット時	機 能
Reserved	R	15:8	0	予約。読み出すと0を返します。
Divisor[7:0] *	R/W	7:0	0	ディバイザ設定値の下位 8 ビットを設定します。

\* 動作中に設定値を変更すると正常な動作を保証できません。初期化しなおしてください。

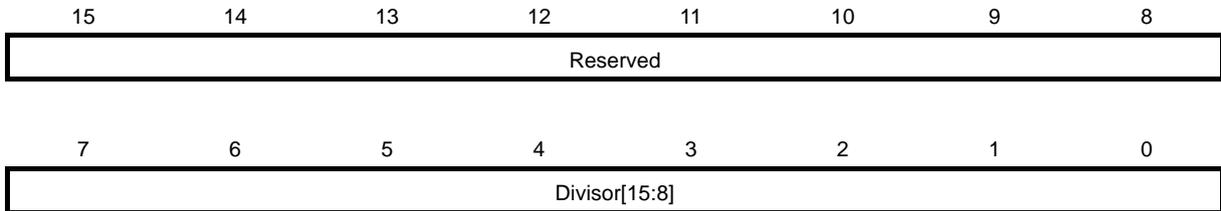
**注意** DLL/DLMレジスタを設定するときは、LCR[7]ビットを1に設定しておく必要があります。

また、DLL/DLMレジスタのライト後はLCR[7]ビットを0に設定する必要があります。詳細は、3.2.5 ライン制御レジスタを参照してください。

### 3.2.11 分周ラッチMSバイト・レジスタ

本レジスタ (DLM : 5000\_0028H (UART0), 5001\_0028H (UART1), 5002\_0028H (UART2)) は、ボー・レート・ジェネレータ用ディバイザ設定レジスタです。ディバイザ設定値の上位 8 ビットを設定します。DLL レジスタ (下位 8 ビットの設定) と合わせて設定してください。

ボー・ジェネレータは、本ディバイザ設定値を使用して基準クロック (XIN) を分周し、送受信部用 16x ボー・レート・クロックを生成します。



名称	R/W	ビット	リセット時	機能
Reserved	R	15:8	0	予約。読み出すと 0 を返します。
Divisor[15:8] *	R/W	7:0	0	ディバイザ設定値の上位 8 ビットを設定します。

\* 動作中に設定値を変更すると正常な動作を保証できません。初期化しなおしてください。

**注意** DLL/DLMレジスタを設定するときは、LCR[7]ビットを 1 に設定しておく必要があります。

また、DLL/DLMレジスタのライト後はLCR[7]ビットを 0 に設定する必要があります。詳細は、3.2.5 ライン制御レジスタを参照してください。

### 3.2.12 ハードウェア制御レジスタ

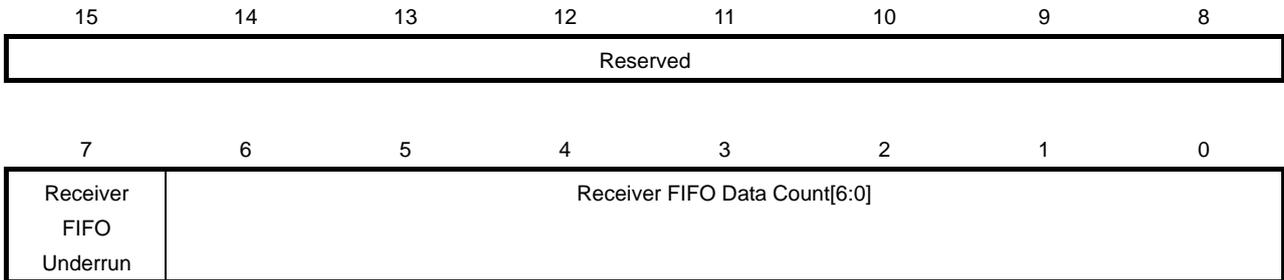
本レジスタ (HCR0 : 5000\_002CH (UART0), 5001\_002CH (UART1), 5002\_002CH (UART2)) は, DMA およびその他ハードウェアを制御するためのレジスタです。

15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
SW Reset	RTS Mode	DMA 2Byte Access Enable	Receiver timeout DMA Disable	Receiver DMA Mode	Transmitter DMA Mode	Receiver DMA Enable	Transmitter DMA Enable

名 称	R/W	ビット	リセット時	機 能
Reserved	R	15:8	0	予約。読み出すと0を返します。
SW Reset	R/W	7	0	本ビットに1をセットすると、送受信 FIFO、ポー・レート・ジェネレータ用レジスタ (RBR/THR, DLL, DLM) を除く UART 内部レジスタがリセットされます。 0をセットするとリセットが解除されます。 <b>注意</b> 本ビットによるソフトウェア・リセットを使用する際は、まず送受信 FIFO をリセット (FCR[2:1]ビットを) してから SW Reset を実施するようにしてください。また、ソフトウェア・リセット後は DLL, DLM レジスタを除く各種レジスタの設定からやり直す必要があります。
RTS Mode	R/W	6	0	auto-RTS 使用時の RTS モードを設定します。 0 : auto-RTS モード 0    1 : auto-RTS モード 1
DMA 2Byte Access Enable	R/W	5	0	送受信 FIFO への DMA アクセス・データ幅を設定します。 0 : 1 バイト・アクセス    1 : 2 バイト・アクセス 本ビットの設定により、DMA 転送要求の生成条件が制御されます。
Receiver timeout DMA Disable	R/W	4	0	Receiver timeout DMA REQ Disable。 0 : タイムアウトを受信 DMA 転送要求の要因にします。 1 : タイムアウトを受信 DMA 転送要求の要因から除外します (割り込み要因に自動的に追加されます)。
Receiver DMA Mode	R/W	3	0	DMA 要求モードを送受信個別に設定するための制御ビットです。FCR[3]ビットと合わせて使用します。
Transmitter DMA Mode	R/W	2	0	
Receiver DMA Enable	R/W	1	0	受信 DMA 要求出力機能を制御します。 0 : 受信 DMA 要求出力機能は無効。 1 : 受信 DMA 要求出力機能は有効。
Transmitter DMA Enable	R/W	0	0	送信 DMA 要求出力機能を制御します。 0 : 送信 DMA 要求出力機能は無効。 1 : 送信 DMA 要求出力機能は有効。

### 3.2.13 ハードウェア・ステータス・レジスタ 2

本レジスタ (HCR2 : 5000\_0030H (UART0), 5001\_0030H (UART1), 5002\_0030H (UART2)) は, 受信 FIFO の状態を確認するためのレジスタです。



名 称	R/W	ビット	リセット時	機 能
Reserved	R	15:8	0	予約。読み出すと 0 を返します。
Receiver FIFO Underrun	R	7	0	受信 FIFO が空のときにリードを行った場合 ,またはデータが 1 バイトしかないときに 2 バイト・リードを行った場合に ,アンダランが検出され 1 がセットされます。 本レジスタをリードすると本ビットは 0 にクリアされます。 <b>注意</b> アンダラン検出時 ,受信 FIFO に対してリードは一切行われません。 ホスト・バス・インタフェースには ALL 0 が出力されます。 また ,アンダランによる割り込み要求出力はありません。
Receiver FIFO Data Count[6:0]	R	6:0	0	受信 FIFO 内のデータ数が出力されます。

### 3.2.14 ハードウェア・ステータス・レジスタ 3

本レジスタ (HCR3 : 5000\_0034H (UART0), 5001\_0034H (UART1), 5002\_0034H (UART2)) は, 送信 FIFO の状態を確認するためのレジスタです。



名 称	R/W	ビット	リセット時	機 能
Reserved	R	15:8	0	予約。読み出すと 0 を返します。
Transmitter FIFO Overrun	R	7	0	送信 FIFO が FULL のときにライトを行った場合, または空き容量が 1 バイトしかないときに 2 バイト・ライトを行った場合に, オーバランが検出され 1 がセットされます。 本レジスタをリードすると本ビットは 0 にクリアされます。 <b>注意</b> オーバラン検出時, 送信 FIFO に対する書き込みは一切行われません。 また, オーバランによる割り込み要求出力はありません。
Transmitter FIFO Data Count[6:0]	R	6:0	0	送信 FIFO 内のデータ数が出力されます。

### 3.3 IR エンコーダ/デコーダ用レジスタ

#### 3.3.1 IR制御レジスタ0

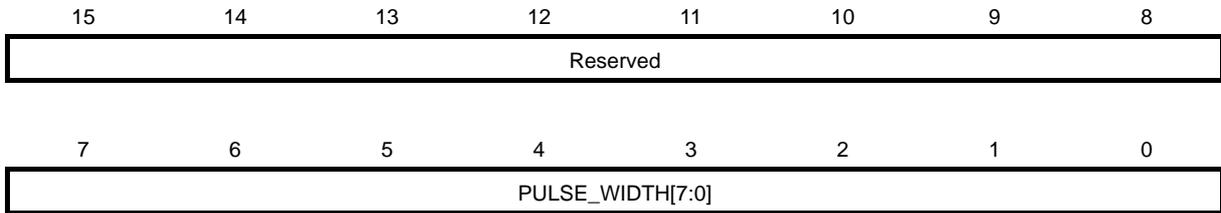
本レジスタ (IRCR0 : 5000\_0040H (UART0), 5001\_0040H (UART1), 5002\_0040H (UART2)) は, IrDA SIR (2.4 kbps ~ 115.2 kbps) 用エンコーダ/デコーダを制御するためのレジスタです。

15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved	IR_MASK_OFF	IR_RXPSEL	IR_RXEN	Reserved		IR_TXPSEL	IR_MODE

名 称	R/W	ビット	リセット時	機 能
Reserved	R	15:8	0	予約。読み出すと0を返します。
Reserved	R/W	7	0	予約。ライトしたデータは無視されます。
IR_MASK_OFF	R/W	6	0	エコー・キャンセル用受信データ・マスク (パルス検出停止) 機能を制御します。 0: 受信データ・マスク機能有効。 1: 受信データ・マスク機能停止。
IR_RXPSEL	R/W	5	0	受信パルスの極性を制御します。 0: ロー・レベル・パルス。 1: ハイ・レベル・パルス。
IR_RXEN	R/W	4	0	受信動作を制御します。 0: 受信停止。 1: 受信許可。
Reserved	R/W	3:2	0	予約。ライトしたデータは無視されます。
IR_TXPSEL	R/W	1	0	送信パルスの極性を制御します。 0: ロー・レベル・パルス。 1: ハイ・レベル・パルス。
IR_MODE	R/W	0	0	動作モードを設定します。 0: UART モード。 1: IR 送受信モード。

### 3.3.2 IR制御レジスタ1

本レジスタ (IRCR1 : 5000\_0044H (UART0), 5001\_0044H (UART1), 5002\_0044H (UART2)) は、受信有効パルス幅を設定するためのレジスタです。



名称	R/W	ビット	リセット時	機能
Reserved	R	15:8	0	予約。読み出すと0を返します。
PULSE_WIDTH[7:0]	R/W	7:0	02H	受信有効パルス幅を設定します。 (本ビット設定値 +1) × 1 / f <sub>XIN</sub> 以上のパルス幅を有効とします。 設定可能範囲は、02H ~ FFH です (00H, 01H は設定禁止です)。

注意 1. 受信有効パルス幅は次の式で表されます。

$$\text{受信有効パルス幅} [\mu\text{s}] = (\text{PULSE\_WIDTH}[7:0] + 1) \times 1 / f_{\text{XIN}} [\text{MHz}]$$

2. 受信有効パルスの検出は、XIN クロックで受信パルスをサンプリングし、パルス・レベル (IRCR0 レジスタの IR\_RXPSEL ビットで設定) が本レジスタ設定値の回数分連続で検出できた場合に有効パルスとして復調を行います。

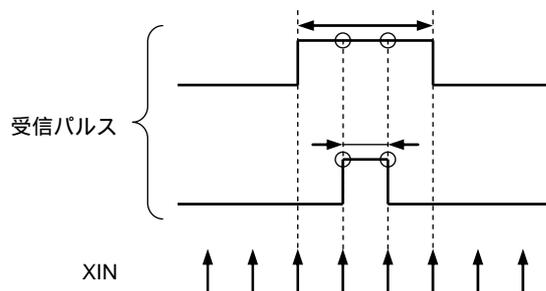
受信パルスと XIN クロックの位相関係によっては、上記計算式に満たないパルス幅でも有効パルスとして検出され復調される場合があります。必ず無効となるパルス幅の条件を次に示します。

$$\text{受信無効パルス幅} [\mu\text{s}] < \text{約} (\text{PULSE\_WIDTH}[7:0] - 1) \times 1 / f_{\text{XIN}} [\text{MHz}]$$

例 PULSE\_WIDTH[7:0] = 02H の場合

$$\text{受信有効パルス幅} [\mu\text{s}] = 3 \times 1 / f_{\text{XIN}} [\text{MHz}]$$

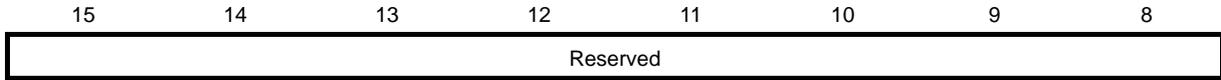
$$\text{受信無効パルス幅} [\mu\text{s}] < 1 \times 1 / f_{\text{XIN}} [\text{MHz}]$$



### 3.3.3 IR制御レジスタ 2

本レジスタ (IRCR2 : 5000\_0048H (UART0), 5001\_0048H (UART1), 5002\_0048H (UART2)) は, IR 送信終了後に追加する受信データ・マスク期間を設定するためのレジスタです。

IRCR2, IRCR3, IRCR4 レジスタの合計 20 ビット (MASK\_PERIOD[19:0]) で設定します。



名 称	R/W	ビット	リセット時	機 能
Reserved	R	15:8	0	予約。読み出すと 0 を返します。
MASK_PERIOD[7:0]	R/W	7:0	0	IR 送信終了後に追加する受信データ・マスク期間を設定します。 下位 8 ビットを設定します。

### 3.3.4 IR制御レジスタ 3 (IRCR3)

本レジスタ (IRCR3 : 5000\_004CH (UART0), 5001\_004CH (UART1), 5002\_004CH (UART2)) は, IR 送信終了後に追加する受信データ・マスク期間を設定するためのレジスタです。

IRCR2, IRCR3, IRCR4 レジスタの合計 20 ビット (MASK\_PERIOD[19:0]) で設定します。

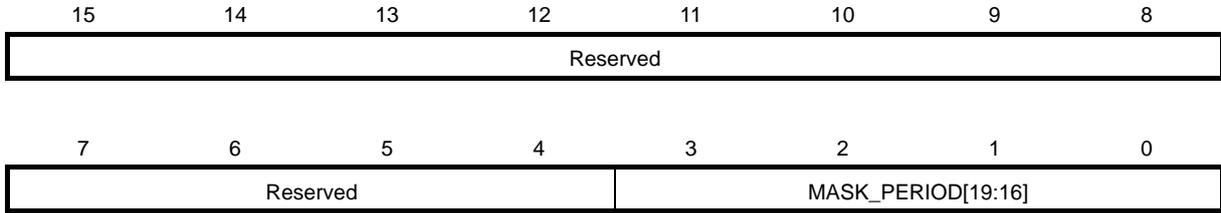


名 称	R/W	ビット	リセット時	機 能
Reserved	R	15:8	0	予約。読み出すと 0 を返します。
MASK_PERIOD[15:8]	R/W	7:0	0	IR 送信終了後に追加する受信データ・マスク期間を設定します。 中位 8 ビットを設定します。

### 3.3.5 IR制御レジスタ4

本レジスタ (IRCR4 : 5000\_0050H (UART0), 5001\_0050H (UART1), 5002\_0050H (UART2)) は, IR 送信終了後に追加する受信データ・マスク期間を設定するためのレジスタです。

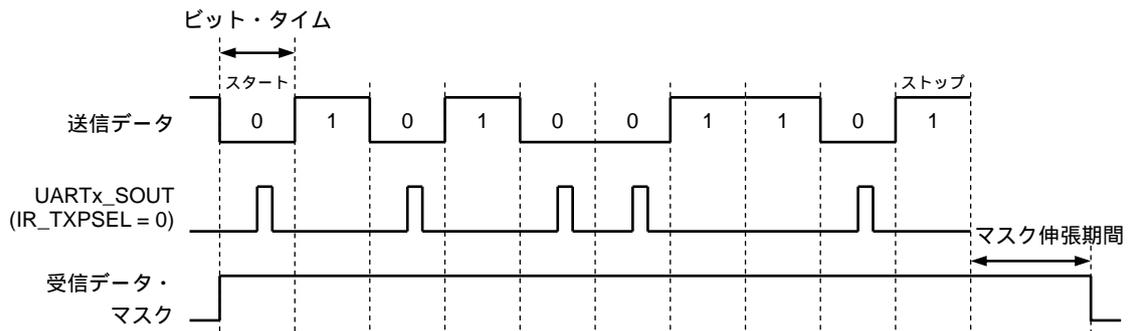
IRCR2, IRCR3, IRCR4 レジスタの合計 20 ビット (MASK\_PERIOD[19:0]) で設定します。



名 称	R/W	ビット	リセット時	機 能
Reserved	R	15:4	0	予約。読み出すと 0 を返します。
MASK_PERIOD[19:16]	R/W	3:0	0	IR 送信終了後に追加する受信データ・マスク期間を設定します。上位 4 ビットを設定します。

**注意** マスク伸張期間は次の式で表されます。

$$\text{マスク伸張期間} [\mu\text{s}] = (\text{MASK\_PERIOD}[19:0] + 2) \times 1/f_{\text{XIN}} [\text{MHz}]$$



## 第4章 機能詳細

### 4.1 オート・フロー・モードについて

オート・フロー・モードは、接続先のデバイスもオート・フロー・モードで動作していることが前提です。RTSZをハイ・レベルにすることで接続先が送信を停止しないとオーバーラン・エラーを検出します。

#### (1) HCR0 のソフトウェア・リセットについて

HCR0[7]に 1 をセットすることで UART インタフェース内のほとんどのレジスタが初期化されますが、FIFO に関してはリセットされません。

#### (2) FIFO 使用時のエラー検出

パリティ・エラー、フレーミング・エラー、ブレーク割り込みは、受信時に検出され、データと同時に FIFO に取り込まれます。その後、エラーしたデータの 1 バイト前または 2 バイト前のデータが読み出されたタイミングで割り込みを報告します。また、スタート・ビットが検出されないような場合（データ受信中のフレームなど）では、ブレーク割り込みは検出されません。ただし、Non-FIFO モードでは検出可能です。また FIFO 使用時に上記エラーが検出されたときは受信 FIFO のリセット(FCR[1])を実施し、FIFO 内のエラー情報をクリアする必要があります。

#### (3) 割り込み信号 (INTRPT) について

データ転送に関する INTRPT は、1 度ハイ・レベルになると要因が消えるまでロウ・レベルになりません。ただし、THRE の割り込みは、IIR の読み出しで割り込みをマスクします。マスクの解除は、送信データの書き込みで解除されます。THRE による割り込みで IIR を読み出したあと、送信データの書き込みを行わないかぎり、送信バッファが empty でも割り込みは発生しません。

#### (4) シリアル・クロックの生成について

シリアル・クロックは、リセット後、マスクされた状態になります。ポー・レート・レジスタ (DLL/DLM) を設定後、LCR のビット 7 を 1 0 にセットすることで、解除されます。ただし LCR のビット 7 の立ち下がりで解除を行っているためリセット後の 1 回のみ有効です。また、マスク設定は、ハードウェア・リセット時しか行いません。

#### (5) オート・フロー・モードは IER[3] = 1 のとき機能を抑止

モデム・ステータス割り込みイネーブルを ON にしているときは、

auto-CTS : 無効

auto-RTS : 有効 となります。

オート・フロー・モードを設定するときは、モデム割り込みイネーブルは OFF にする必要があります。

## 4.2 FIFO について

### 4.2.1 FIFO 割り込みモード operation

受信 FIFO 割り込みがイネーブルのとき (FCR[0] = 1, IER[0] = 1, IER[2] = 1), 次に示すような受信割り込みが発生します。

- ・ 受信 FIFO がプログラムしたトリガ・レベルに達したとき, 受信データ可能割り込みが発行され, 受信 FIFO がトリガ・レベルよりも小さくなったとき割り込みはクリアされます。
- ・ IIR レジスタの受信データ可能表示もまた, 受信 FIFO がトリガ・レベルに達したときに表示されます。
- ・ 受信ライン・ステータス割り込み (IIR = 06H) は, 受信データ可能割り込み (IIR = 04H) よりもプライオリティが高くなります。
- ・ キャラクタが RSR (receiver shift register) から受信 FIFO に転送される時, データ ready bit LSR[0] がセットされます。FIFO が empty になったとき LSR[0] はクリアされます。

### 4.2.2 FIFO polled mode operation

FIFO イネーブル (FCR[0]=1) のとき, FIFO polled mode of operation で IER[3:0]=0 にします。したがって受信 / 送信は分離して制御されます。

1 つまたは両方が polled mode of operation にできます。

このモードでユーザ・プログラムは, LSR レジスタを使って受信 / 送信ステータスをチェックします。

直前のステータスとして,

LSR[0]は, 受信 FIFO に少なくとも 1 バイトあるときセットされる。

LSR[4:1]は, エラーが発生したことの詳細を示す。

LSR[5]は, THR が empty のとき表示される。

LSR[6]は, THR と TSR が両方とも empty であることを示す。

LSR[7]は, 受信 FIFO にいくつかのエラーがあるかどうかを示す。

### 4.2.3 受信FIFOがemptyのときのリード

受信 FIFO が empty のときに読み出しても, リード・カウンタはカウントアップされません。

このとき, 受信 FIFO アンダラン (HCR2[7]) は検出されています。

## 4.3 割り込み要因

UART インタフェースの割り込み要因には次のものがあります。

表 4 - 1 割り込み

割り込み名	割り込みイネーブル・レジスタ・ビット・アサイン
モデム・ステータス割り込み	IER[3] : EMSI
受信エラー・割り込み	IER[2] : ERLSI
送信バッファ・empty 割り込み	IER[1] : ETHREI
受信完了/タイムアウト割り込み	IER[0] : ERDATOI

## 4.4 クロック/リセット

UART インタフェースで利用するクロックには次のものがあります。

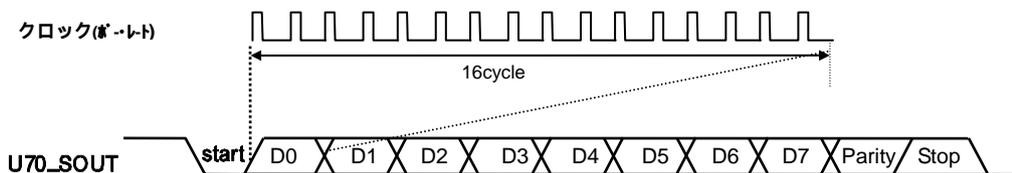
- U70\_SCLK

このクロックは、APB バス・アクセス時に使用されます。

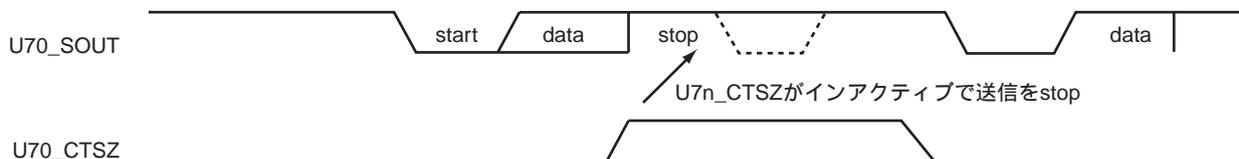
クロック/リセットの設定の詳細に関しては、**携帯マルチメディア・プロセッサ ユーザーズ・マニュアル システム制御/汎用入出力インタフェース編 (S19265J)**を参照してください。

## 4.5 入出力タイミング

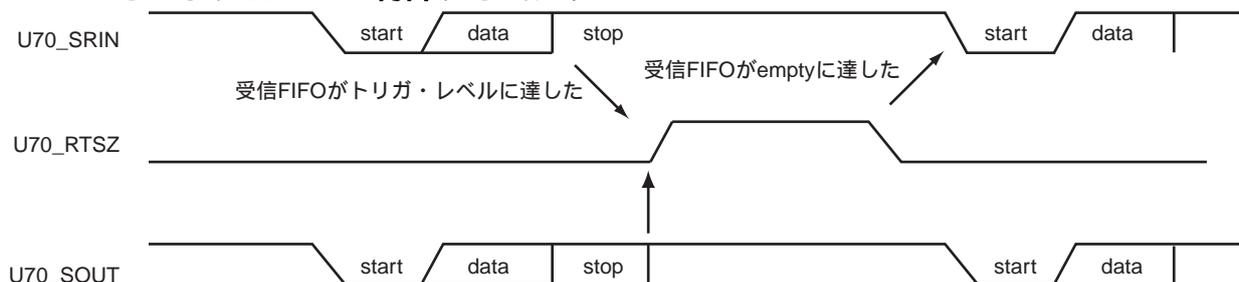
### 4.5.1 シリアルデータ



### 4.5.2 オートフローCTS制御タイミング



### 4.5.3 オートフローRTS制御タイミング

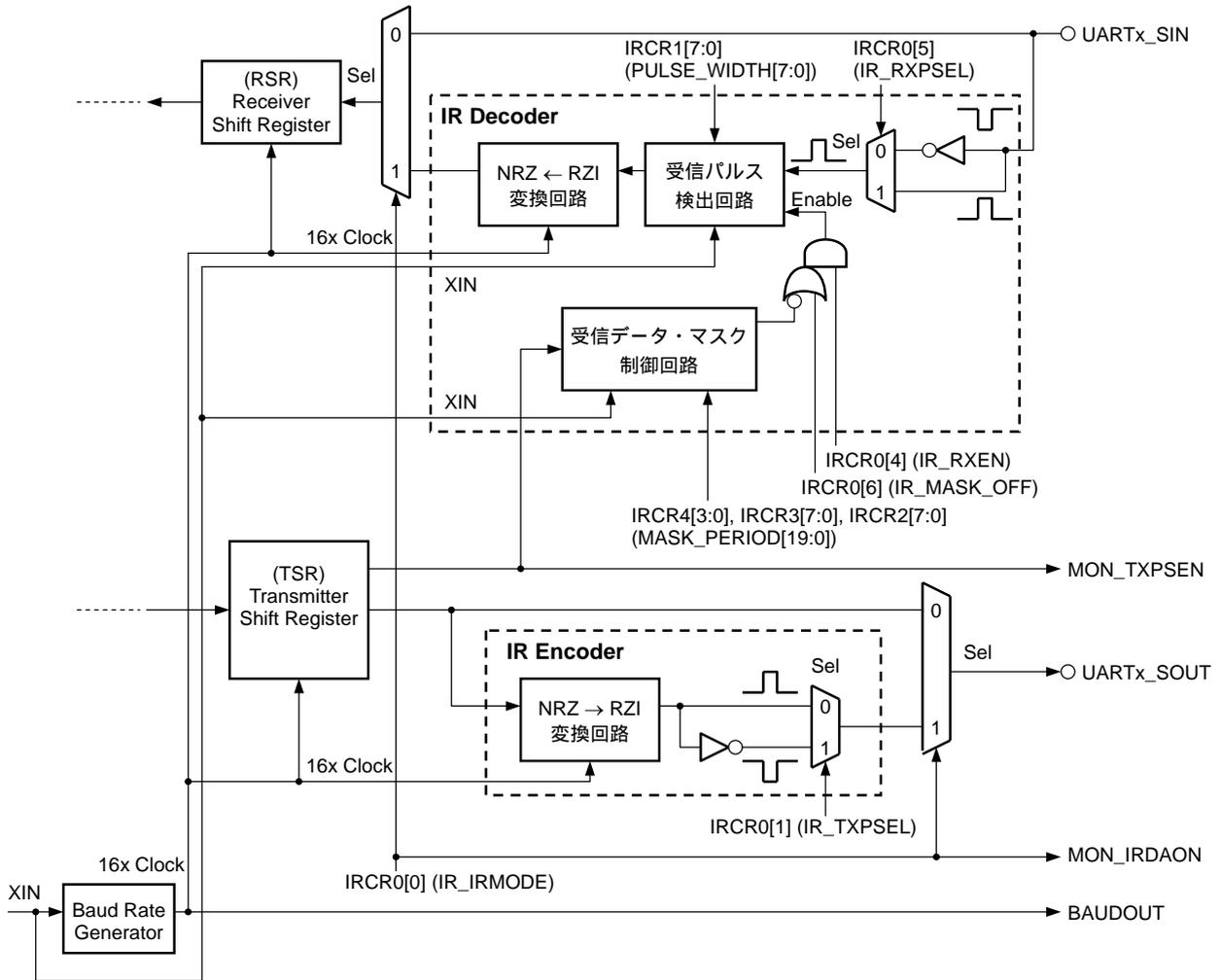


## 4.6 IR エンコーダ/デコーダ機能

EMMA Mobile1 は、IrDA SIR ( 2.4 kbps ~ 115.2 kbps ) 用エンコーダ/デコーダ ( IR エンコーダ/デコーダ ) を搭載しています。図 4-1 に IR エンコーダ/デコーダのブロック図を示します。

IRCR0[0]ビット ( IR\_MODE ) が 1 のとき、IR 送受信モードになります ( UARTx\_SIN , UARTx\_SOUT 端子を介して送受信されるデータ・パスに、IR エンコーダ/デコーダが挿入されます )。

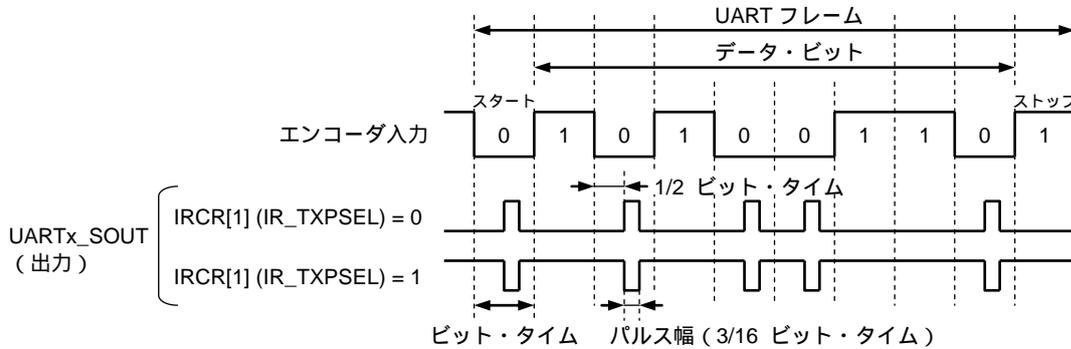
図 4-1 IR エンコーダ/デコーダ・ブロック図



### 4.6.1 IRエンコーダの送信データ変調機能

送信データが0のとき、ボー・レート周期の3/16倍の幅を持つパルスを出力します。パルスの極性は、IRCR0[1]ビット (IR\_TXPSEL) の設定により選択できます。

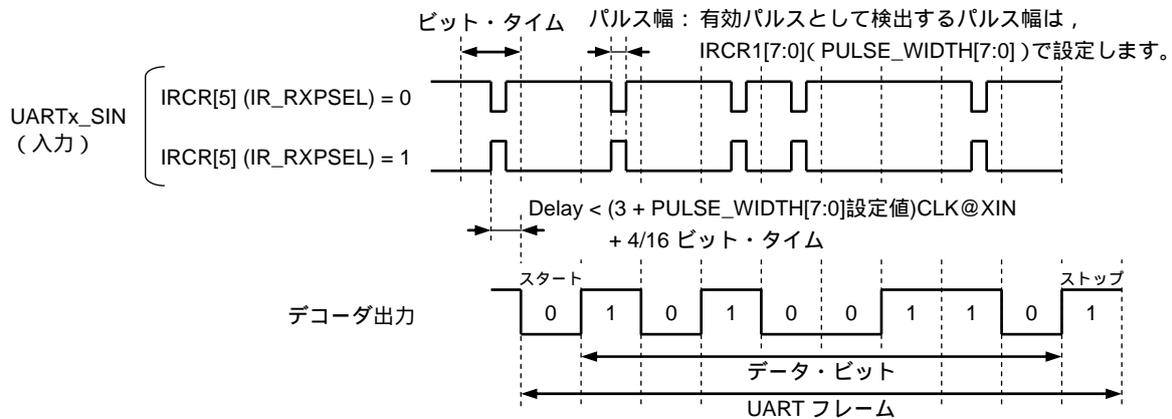
図 4-2 送信データの変調例



### 4.6.2 IRデコーダの受信データ復調機能

入力されたパルスが、有効パルス幅 (IRCR1[7:0]ビット (PULSE\_WIDTH[7:0]) の設定値) 以上のときは0を出力し、それ以外の場合は1を出力します。また、受信パルスの極性は、IRCR0[5]ビット (IR\_RXPSEL) の設定により選択できます。

図 4-3 受信データの復調例



有効パルス幅 (IRCR1[7:0]ビット (PULSE\_WIDTH[7:0])) の設定例を表 4-2 に示します。この例では、PULSE\_WIDTH[7:0]の値は10進数表記です。この例の受信有効パルス幅要求値、およびXINクロック周波数値は一例です。ユーザ・システムに合わせて設定してください。

表 4 - 2 PULSE\_WIDTH[7:0]設定例

受信有効 パルス幅 要求値 [ $\mu$ s]	$f_{XIN} = 1.8432$ MHz		$f_{XIN} = 3.072$ MHz		$f_{XIN} = 14.7456$ MHz		$f_{XIN} = 50$ MHz	
	PULSE_ WIDTH[7:0]	受信有効 パルス幅 計算値 [ $\mu$ s]	PULSE_ WIDTH[7:0]	受信有効 パルス幅 計算値 [ $\mu$ s]	PULSE_ WIDTH[7:0]	受信有効 パルス幅 計算値 [ $\mu$ s]	PULSE_ WIDTH[7:0]	受信有効 パルス幅 計算値 [ $\mu$ s]
1.0	-注	-注	2	0.98	13	0.95	49	1.0
1.41	-注	-注	3	1.30	19	1.36	69	1.41
2.0	2	1.63	5	1.95	28	1.97	99	2.0
3.0	4	2.71	8	2.93	43	2.98	149	3.0

注  $f_{XIN}$  クロック周波数が低い場合、要求パルス幅を検出できない箇所です。

受信有効パルス幅要求値に対する  $f_{XIN}$  クロックの下限周波数は、 $PULSE\_WIDTH[7:0] = 2$  (Min 設定値) を受信有効パルス幅計算式に代入し、次の計算式より求められます。

$$f_{XIN} [\text{MHz}] = 1 / (\text{受信有効パルス幅要求値} [\mu\text{s}] / 3)$$

備考  $f_{XIN}$  : 基準クロック (XIN) の周波数

#### 4.6.3 IRデコーダのエコー・キャンセル用受信データ・マスク機能

IR デコーダには、エコー・キャンセル用に送信時の受信データ・マスク (パルス検出停止) 機能を搭載しています。マスク期間は、送信中に加えて、レジスタ IRRCR2-IRRCR4 レジスタ (MASK\_PERIOD[19:0]) の設定により伸張することができます。また、受信データ・マスク機能の有効/無効は、IRCR0[6]ビット (IR\_MASK\_OFF) の設定により選択できます。

表 4 - 3 MASK\_PERIOD[19:0]設定例

マスク伸張 期間要求値 [ $\mu$ s]	$f_{XIN} = 1.8432$ MHz		$f_{XIN} = 3.072$ MHz		$f_{XIN} = 14.7456$ MHz		$f_{XIN} = 50$ MHz	
	MASK_ PERIOD [19:0]	マスク伸張 期間計算値 [ $\mu$ s]						
50	91	50.46	152	50.13	736	50.05	2,498	50
100	183	100.37	306	100.26	1,473	100.03	4,998	100
1,000	1,842	1000.43	3,070	1,000	14,744	1,000.03	49,998	1,000
5,000	9,214	5,000	15,358	5,000	73,726	5,000	249,998	5,000
10,000	18,430	10,000	30,718	10,000	147,454	10,000	499,998	10,000

## 4.6.4 IRエンコーダ/デコーダ使用上の注意

### (1) IR制御レジスタ設定変更時の注意

IRデコーダの受信動作に関連するレジスタの設定変更は、必ずIRCR0[4]ビット(IR\_RXEN)を0(受信動作停止)に設定したあと行ってください。受信動作許可状態で設定を変更した場合、信号の急峻な変化により、無効データを受信する場合があります。

対象となるレジスタは次のとおりです。

IRCR0[6]ビット(IR\_MASK\_OFF), IRCR0[5]ビット(IR\_RXPSEL)

IRCR1-IRCR4 レジスタ

### (2) XINクロックの下限周波数制限について

IRデコーダにおいて、受信パルスのサンプリングにはXINクロックを使用しています。そのため、受信有効パルス幅の最小値は、XINクロック周波数に依存します。

### (3) IrDA規格との対応について

IrDAで規格化されているインタフェース規定は、赤外線(IR)インタフェースに関するもので、電気インタフェース(図4-4の )に関しては、規定が存在しません。IRエンコーダ/デコーダを使用する場合は、接続先デバイス(IRトランシーバなど)との接続性を十分評価の上、使用してください。

図 4 - 4 IrPHY Ver1.4 ブロック構成例

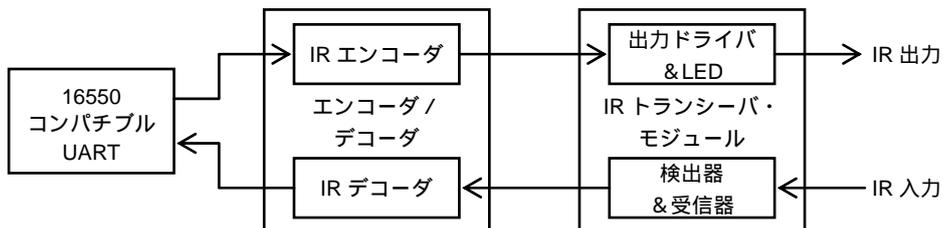


表 4 - 4 IrPHY Ver1.4 SIR データ転送速度とパルス幅に関する規定

転送速度 [kbps]	変調方式	転送速度 許容誤差 (% of Rate)	パルス幅 最小値 [ $\mu$ s]	パルス幅 3/16 公称値 [ $\mu$ s]	パルス幅 最大値 [ $\mu$ s]
2.4	RZI	$\pm 0.87$	1.41	78.13	88.55
9.6	RZI	$\pm 0.87$	1.41	19.53	22.13
19.2	RZI	$\pm 0.87$	1.41	9.77	11.07
38.4	RZI	$\pm 0.87$	1.41	4.88	5.96
57.6	RZI	$\pm 0.87$	1.41	3.26	4.34
115.2	RZI	$\pm 0.87$	1.41	1.63	2.23

備考 パルス幅は、図4-4の のIR出力に対して規定されています。

## 第5章 使用手順

### 5.1 初期化方法

#### 5.1.1 初期化について

UART インタフェースを動作させるために必要となる初期設定を次に示します。

##### (1) ボー・レートの設定 / 64 バイト FIFO イネーブル設定

LCR[7] = 1 をセットし、DLM/DLL レジスタにボー・レートを設定します。

上記設定後、LCR[7] = 0 にセットすることで、16x クロックの生成が開始されます。

##### (2) FIFO モード設定

FCR[0]で FIFO のイネーブル ON/OFF を設定します。

FCR[3]で DMA モードを選択します。

FCR[5]で FIFO16/64 バイト・モードを選択します。

FCR[7:6]で受信 FIFO のトリガ・レベルを選択します (Non-FIFO モード時は必要ありません)。

##### (3) シリアル・インタフェースの設定

LCR[1:0]でフレームのデータ・ビット長を指定します。

LCR[2]でストップ・ビット数を指定します。

LCR[5:3]でパリティ有 / 無, Even / Odd / Stick の設定をします。

##### (4) モデム・インタフェースの設定

MCR[5], [1]でフロー制御設定を行います。

オートフロー制御を使用しない場合は、MCR[1] = 1 をセットし、RTSZ 出力をアクティブにします。

これで動作モードの設定を完了します。このあと、IER レジスタ、HCR0 レジスタを設定することで割り込み / DMA 機能をアクティブにします。

##### < IER[3:2]を 11 に設定 >

受信ライン割り込みを有効にする。

モデム・ステータス割り込みを有効にする (この割り込みを有効にする前に MSR レジスタを読み出しておかないとすぐに割り込みが発行される可能性があります)。

##### < 割り込みでのデータ転送を行う場合 >

HCR0[6]                    auto-RTS Mode 設定

IER[1:0] = 11            送信バッファ empty, 受信データありによる割り込みを有効にします。

##### < DMA でデータ転送を行う場合 >

HCR0[6]                    auto-RTS モード設定

HCR0[5:2]                DMA 追加モード設定

HCR0[1:0] = 11 送信 / 受信 DMA リクエストを有効にします。

## 5.2 ボー・レート設定

ボー・レート設定はシリアル・クロック入力と DLM/DLL レジスタの設定により決定されます。EM1 では次のシリアル・クロックが入力されることを想定しています。

クロックの周波数は、個別に設定することができます。クロック設定の詳細は、**携帯マルチメディア・プロセス ユーザーズ・マニュアル システム制御 / 汎用入出力インタフェース編 (S19265J)**を参照してください。

Clock周波数	[Hz]	Clock Source	ボーレート [bps]	許容誤差	DLMR	DLLR	実ボーレート	誤差 [%]
229.376	M	PLL3	2400	±4	23	85	2400.13394	0.0055807
			4800		11	171	4799.46435	-0.011159
			9600		5	213	9602.14334	0.0223264
			19200		2	235	19191.4324	-0.044623
			38400		1	117	38434.3164	0.0893655
			57600		0	249	57574.2972	-0.044623
			115200		0	124	115612.903	0.3584229

Clock周波数	[Hz]	Clock Source	ボーレート [bps]	許容誤差	DLMR	DLLR	実ボーレート	誤差 [%]
7.168	M	PLL3/32	2400	±4	0	187	2395.72193	-0.178253
			4800		0	93	4817.2043	0.3584229
			9600		0	47	9531.91489	-0.70922
			19200		0	23	19478.2609	1.4492754
			38400		0	12	37333.3333	-2.777778
			57600		0	8	56000	-2.777778
			115200		0	4	112000	-2.777778

## 5.3 FIFO使用上の注意

UART と内部バス間は、2 バイト・インタフェースであるため、1 度に 2 バイト単位で FIFO から読み出し / 書き込みができますが、次の場合に注意してください。

- (1) DMA モード 1 で送信 FIFO が残り 1 バイトで full となると、まだ DMA リクエストが出ているため 2 バイト分の書き込みを行うとオーバーラン・エラーが発生します。
- (2) DMA モード 1 で受信タイムアウトを検出した場合(タイムアウト割り込みイネーブル IER[4] = 0 の場合)、ホストはタイムアウトによるリクエストがトリガ・レベルによるリクエストか判断できないので、DMA リクエストに対して 2 バイト読み込みをしてしまうと FIFO のアンダラン・エラーが発生します。

---

[メ モ]

【改版履歴】

日付	版数	改版内容
2009.1.30	暫定1版	-
2009.3.31	第2版	P6 関連資料 <ul style="list-style-type: none"> <li>・ MC-10118A(EM1-D512) , <math>\mu</math> PD77630A(EM1-S)のデータ・シートおよびユーザズ・マニュアル 1chip 編を追記。</li> <li>・ 電源チップ編を削除。</li> </ul>
		P12 2.1 UART インタフェース端子 <ul style="list-style-type: none"> <li>・ 端子名 URT1_RTSTB URT1_SOUT 誤記訂正</li> <li>・ URT2_SRIN の兼用端子に GIO_P108 追記</li> <li>・ URT2_SOUT の兼用端子に GIO_P109 追記</li> <li>・ URT2_CTSB の兼用端子に GIO_P110 追記</li> <li>・ URT2_RTSTB の兼用端子に GIO_P111 追記</li> </ul>
		P19 3.2.4 FIFO 制御レジスタ <ul style="list-style-type: none"> <li>・ ビット0の機能欄  <ul style="list-style-type: none"> <li><u>00</u> : 16 バイト / 64 バイト FIFO モード ( FCR[5]で選択 )</li> <li><u>11</u> : non-FIFO モード ( 16450 モード )</li> </ul> </li> <li> </li> <li><u>0</u> : 16 バイト / 64 バイト FIFO モード ( FCR[5]で選択 )</li> <li><u>1</u> : non-FIFO モード ( 16450 モード )</li> <li>誤記訂正</li> <li>・ ビット7:6の機能欄  <ul style="list-style-type: none"> <li>64 バイト FIFO モード時 ( FCR[5]=0 ) FCR[5]=1 誤記訂正</li> </ul> </li> </ul>
2009.9.30	第3版	P10 1.1 機能概要 ループバック機能 記載削除
		P46 5.4 削除

## 【発 行】

### NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：(044)435-5111

## 【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

## 【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。

—— お問い合わせ先 ——

---

## 【営業関係，デバイスの技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00，午後 1:00～5:00）

電 話 : (044)435-9494

E-mail : [info@necel.com](mailto:info@necel.com)