

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザズ・マニュアル

携帯マルチメディア・プロセッサ

DMA コントローラ編

EMMA Mobile1

[メ モ]

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力が入力ノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

この資料に記載されている会社名、製品名などは、各社の商標または登録商標です。

本製品は外国為替及び外国貿易法の規定により規制貨物等に該当しますので、日本国外に輸出する場合には、同法に基づき日本国政府の輸出許可が必要です。

- 本資料に記載されている内容は2008年8月現在のものです、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っておりません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。
 - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 - 特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器
 - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E0710J

はじめに

対象者 このマニュアルは、携帯マルチメディア・プロセッサ EMMA Mobile1（以降、EM1 と表記します）の DMA コントローラの機能を理解し、それをういたソフトウェア、ハードウェアなどのアプリケーション・システムを設計するユーザを対象とします。

目的 このマニュアルは、EM1 の DMA コントローラを持つハードウェア、ソフトウェア機能をユーザに理解していただき、これらのデバイスを使用するシステムのハードウェア、ソフトウェア開発の参照用資料として役立つことを目的としています。

構成 このマニュアルは、大きく分けて次の内容で構成しています。

- 第 1 章 概 説
- 第 2 章 レジスタ
- 第 3 章 機能詳細
- 第 4 章 使用方法

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータに関する一般的知識が必要となります。

- ・ DMA コントローラの機能の詳細を理解しようとするとき
目次に従ってお読みください。
- ・ EM1 全体の機能を理解しようとするとき
モジュールごとのユーザズ・マニュアルを参照してください。
- ・ EM1 全体の電気的特性を理解しようとするとき
データ・シートを参照してください。

凡 例	データ表記の重み	: 左が上位桁, 右が下位桁
	注	: 本文中につけた注の説明
	注意	: 気をつけて読んでいただきたい内容
	備考	: 本文中の補足説明
	数の表記	: 2進数 ... x x x x または x x x x b - 10進数 ... x x x x 16進数 ... x x x x H
	データ・タイプ	ワード ... 32 ビット ハーフ・ワード ... 16 ビット バイト ... 8 ビット

関連資料 関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

資料名		資料番号
MC-10118A データ・シート		S19657J
μPD77630A データ・シート		S19686J
ユーザーズ・マニュアル	Audio/Voice, PWM インタフェース編	S19253J
	DDR SDRAM インタフェース編	S19254J
	DMA コントローラ編	このマニュアル
	I ² C インタフェース編	S19256J
	ITU-R BT.656 インタフェース編	S19257J
	LCD コントローラ編	S19258J
	MICROWIRE 編	S19259J
	NAND Flash インタフェース編	S19260J
	SPI 編	S19261J
	UART インタフェース編	S19262J
	イメージ・コンポーザ編	S19263J
	イメージ・プロセッサ・ユニット編	S19264J
	システム制御 / 汎用入出力インタフェース編	S19265J
	タイマ編	S19266J
	地上デジタルTV インタフェース編	S19267J
	カメラ・インタフェース編	S19285J
	USB インタフェース編	S19359J
	SD メモリ・カード・インタフェース	S19361J
	PDMA 編	S19373J
	1 チップ編 (MC-10118A)	S19598J
1 チップ編 (μPD77630A)	S19587J	

注意 上記関連資料は, 予告なしに内容を変更することがあります。設計などには, 必ず最新の資料を使用してください。

目 次

第 1 章 概 説・・・10

1.1 概 要・・・10

第 2 章 レジスタ・・・12

2.1 DMAコントローラのレジスタ概要・・・12

2.2 レジスタ一覧・・・15

2.2.1 ACPU用レジスタ・・・15

2.2.2 M2P (メモリ ↔ ペリフェラル転送) 用レジスタ・・・20

2.2.3 P2M (ペリフェラル ↔ メモリ転送) 用レジスタ・・・34

2.2.4 割り込みインデックス・レジスタ・・・48

2.3 レジスタ機能・・・49

2.3.1 ACPU用DMAコントロール, ステータス・レジスタ・・・49

2.3.2 ACPU/ADSP用割り込みパラメータ設定レジスタ・・・52

2.3.3 ACPU用LCHxパラメータ設定レジスタ・・・63

2.3.4 M2P用DMAコントロール, ステータス・レジスタ・・・76

2.3.5 M2P用割り込みパラメータ設定レジスタ・・・80

2.3.6 M2P用LCHxパラメータ設定レジスタ・・・91

2.3.7 P2M用DMAコントロール, ステータス・レジスタ・・・105

2.3.8 P2M用割り込みパラメータ設定レジスタ・・・109

2.3.9 P2M用LCHxパラメータ設定レジスタ・・・120

2.3.10 割り込みインデックス・レジスタ・・・134

第 3 章 機能詳細・・・140

3.1 DMA転送の概要・・・140

3.2 物理チャンネルの機能・・・140

3.2.1 メモリ メモリ転送 (PCH#0)・・・140

3.2.2 メモリ ペリフェラル転送 (PCH#2)・・・150

3.2.3 ペリフェラル メモリ転送 (PCH#3)・・・154

3.3 エンディアン変換機能・・・157

3.3.1 リード制御部エンディアン機能・・・158

3.3.2 ライト制御部エンディアン機能・・・158

3.3.3 エンディアン変換例外設定・・・159

3.4 DMA転送起動要因・・・159

3.4.1 ソフトウェアによる要求 (PCH#0)・・・159

3.4.2 DMAC外部端子による要求 (PCH#2, PCH#3)・・・159

3.4.3 連続転送機能・・・160

3.5 強制中断・・・161

- 3.6 レスポンス・・・162
- 3.7 割り込み・・・163
- 3.8 内部クロック制御・・・164

第4章 使用方法・・・165

- 4.1 使用上の注意・・・165
 - 4.1.1 パラメータ設定の制限・・・165

図の目次

図番号	タイトル, ページ
図 3-1	転送バースト・サイズを選択例 (AHBリードの場合) . . . 142
図 3-2	転送バースト・サイズを選択例 (AHBライトの場合) . . . 143
図 3-3	メモリ メモリ転送 (一次元転送の例) . . . 144
図 3-4	メモリ メモリ転送 (二次元転送の例) . . . 145
図 3-5	メモリ → メモリ転送 (リピート転送の例) . . . 146
図 3-6	メモリ メモリ転送 (逆順転送の例) . . . 147
図 3-7	メモリ ペリフェラル転送例 . . . 152
図 3-8	ペリフェラル メモリ転送例 . . . 155
図 3-9	エンディアン処理実施のタイミング . . . 157
図 3-10	リード制御部分でのエンディアン変換基本例 . . . 158
図 3-11	ライト制御部分でのエンディアン変換基本例 . . . 158
図 3-12	連続転送機能 . . . 160

表の目次

表番号	タイトル, ページ
表 2-1	各チャネル・パラメータ設定レジスタのオフセット・アドレス . . . 12
表 2-2	各チャネル・コントロールと割り込み設定レジスタのオフセット・アドレス . . . 12
表 2-3	その他設定レジスタのオフセット・アドレス . . . 13
表 2-4	DMACアドレス・マップ概要 . . . 13
表 3-1	転送の種類とチャネル数 . . . 140
表 3-2	メモリ メモリ転送 組み合わせ . . . 140
表 3-3	転送バースト・サイズを選択 (リード制御部) . . . 141
表 3-4	転送バースト・サイズを選択 (ライト制御部) . . . 143
表 3-5	転送タイプの選択とFIFOリード・ポインタ加算値 . . . 148
表 3-6	メモリ ペリフェラル転送組み合わせ . . . 150
表 3-7	メモリ ペリフェラル転送組み合わせと転送ピット幅 . . . 151
表 3-8	PCH#2 ライト制御部のデータ・アライメント . . . 153
表 3-9	ペリフェラル メモリ転送組み合わせ . . . 154
表 3-10	HRESPに対するDMA動作 . . . 162

第1章 概 説

1.1 概 要

このマニュアルでは携帯マルチメディア・プロセッサ EMMA Mobile1 (以降, EM1 と表記します) の DMA コントローラについて説明します。

(1) 機 能

3 つの物理チャネル (PCH#0, PCH#2, PCH#3) と 26 の論理チャネル (LCH) を内蔵しています (PCH#1 はリザーブ)。

- PCH#0 (LCH0~LCH3) : メモリ → メモリ間転送
- PCH#2 (LCH0~LCH14): メモリ → ペリフェラル間転送 (ただし, LCH6-8, LCH11 はリザーブ)
- PCH#3 (LCH0~LCH14): ペリフェラル → メモリ間転送 (ただし, LCH 6-8, LCH11 はリザーブ)

各物理チャネルは, リード用 AHB マスタとライト用 AHB マスタを各 1 つ持ちます。

AHB マスタとして, SWT の計 6 箇所 (リード 3 箇所, ライト 3 箇所) に接続します。

6 つの AHB はそれぞれ同時動作が可能です。

DMAC 内部レジスタへのアクセスは APB から行います。APB はワード・アクセスのみ可能です。

PCH#0 と PCH#2 にリング・バッファ構成の SRAM を, PCH#3 に 16 エントリ方式の FIFO (FF 構成) を搭載しています。

- PCH#0 の内部バッファ容量は 256 ワード (各 LCH に 256 バイト分)
- PCH#2 の内部バッファ容量は 416 ワード (各 LCH に 128 バイト分)
- PCH#3 の内部バッファ容量は 16 ワード (4 バイト × 16 エントリ方式)

AMBA™ システム・バス・アーキテクチャ (Rev 2.0) 準拠しています。

PCM0 とのメモリ → ペリフェラル転送 (PCH#2 LCH9) は PDMA と DMA で同一の DMA チャネルを排他で使用します (デフォルトは DMA が有効)。詳細は**携帯マルチメディア・プロセッサ ユーザーズ・マニュアル PDMA 編**を参照してください。

(2) 転送動作

ソース・アドレス (転送元アドレス) からデータをリードして DMAC 内部バッファにデータを溜め, そのデータをディスティネーション・アドレス (転送先アドレス) にライトします。

転送終了時, プロセッサごとに割り込み (割り込みはレングス, ブロック, エラー, タイムアウトの 4 種類) 信号を発生します。

AHB マスタには, それぞれ調停回路があり, 各論理チャネルの要求を回転方式で調停します。

166 MHz で動作します。

DMAC が行う転送は次の 2 種類です。

- メモリ ↔ メモリ 転送
- メモリ ↔ ペリフェラル転送

メモリ ↔ メモリ間 AHB 転送は 8 / 16 / 32 ビット・バス幅, メモリ ↔ ペリフェラル間 AHB 転送は 8 / 16 / 32 バス幅に対応します。

エンディアン変換機能。

リード/ライト制御部にそれぞれエンディアン変換機能を搭載しています。

リード側ではバイトごとにデータ・バッファ (FIFO) に取り込むデータのバイト・レーンを選択することができます。

ライト側ではバイトごとに AHB ライトバスに出力するバイト・レーンを選択することができます。

PCH#0 はブロック単位の逆順転送対応 (マイナス方向へのオフセット設定で実現)。

第2章 レジスタ

2.1 DMAコントローラのレジスタ概要

DMA コントローラのレジスタでは、メモリ ↔ メモリ間転送、メモリ → ペリフェラル間転送、ペリフェラル → メモリ間転送の制御を行います。

(1) 設定レジスタのアドレス

表 2 - 1 各チャンネル・パラメータ設定レジスタのオフセット・アドレス

Bit 15 - Bit 12	Bit 11 - Bit 8	Bit 7 - Bit 0				
物理チャンネル	論理チャンネル	レジスタ機能			R/W	Bit 幅
1 : PCH#0	0 : LCH0	00 :	ソース・アドレス	R/W	32	
3 : PCH#1 (Reserved)	1 : LCH1	04 :	ソース・アドレス・ポインタ	R	32	
5 : PCH#2	2 : LCH2	08 :	ソース・アドレス・オフセット	R/W	16	
7 : PCH#3	3 : LCH3	0C :	ソース・ブロック・サイズ (PCH#2 のみ)	R/W	16	
	4 : LCH4	10 :	ソース・ブロック・カウント	R/W	4	
	5 : LCH5	20 :	ディスティネーション・アドレス	R/W	32	
	6 : LCH6 (Reserved)	24 :	ディスティネーション・アドレス・ポインタ	R	32	
	7 : LCH7 (Reserved)	28 :	ディスティネーション・アドレス・オフセット	R/W	16	
	8 : LCH8 (Reserved)	2C :	ディスティネーション・ブロック・サイズ (PCH#3 のみ)	R/W	16	
	9 : LCH9	30 :		R/W	4	
	A : LCH10	40 :	ディスティネーション・ブロック・カウント	R/W	24	
	B : LCH11 (Reserved)	44 :	レングス	R	24	
	C : LCH12	48 :	リード・レングス・カウント	R	24	
	D : LCH13	4C :	ライト・レングス・カウント	R/W	16	
	E : LCH14		50 :	ブロック・サイズ (PCH#0 のみ)	R/W	-
			54 :	モード	R/W	24
			58 :	タイマ (UART0-UART2 のみ)	R	24
			タイマ・カウント (UART0-UART2 のみ)			

表 2 - 2 各チャンネル・コントロールと割り込み設定レジスタのオフセット・アドレス

Bit 15 - Bit 12	Bit 11 - Bit 8	Bit 7 - Bit 5	Bit 4 - Bit 0		R/W	Bit 幅
0 : PCH#0 2 : PCH#1 (Reserved) 4 : PCH#2 6 : PCH#3	0 :	0 :	00 :	DMA コントロール・レジスタ	W	-
			04 :	DMA ステータス・レジスタ	R	-
			08 :	DMA 終了コントロール・レジスタ	W	-
	1 : ACPU 用	0 : LCH0-LCH3	00 :	割り込みステータス	R	-
	4 : DSP 用	1 : LCH4-LCH5	04 :	割り込み Raw ステータス	R	
		2 : LCH9-LCH10	08 :	割り込みイネーブル・セット	R/W	
		3 : LCH12-LCH15	0C :	割り込みイネーブル・クリア	R/W	
			10 :	割り込み要因クリア	W	
8 :	0 :	00 :	割り込み出力先設定	R/W	-	

表 2-3 その他設定レジスタのオフセット・アドレス

Bit 15 - Bit 8	Bit 7 - Bit 0			
			R/W	Bit 幅
80H :	00 :	ACPU 用割り込みインデックス	R	9
	04 :	Reserved	R	9
	0C :	DSP 用割り込みインデックス	R	9
90H :	00 :	ARM 用パラメータ・レジスタ・リード切り替え	R/W	4
	08 :	M2P 用パラメータ・レジスタ・リード切り替え	R/W	15
	0C :	P2M 用パラメータ・レジスタ・リード切り替え	R/W	15
91H :	00 ;	ARM 用パラメータ・レジスタ強制更新	W	4
	08 :	M2P 用パラメータ・レジスタ強制更新	W	15
	0C :	P2M 用パラメータ・レジスタ強制更新	W	15

(2) 設定レジスタの種類

ベース・アドレスは 4009_0000H となります。

表 2-4 DMAC アドレス・マップ概要

(1/2)

大分類	アドレス範囲	レジスタ名
ACPU 用 (PCH0)	0000H - 00FFH	ACPU 用コントロール・レジスタ
	0100H - 0FFFH	ACPU 用割り込みレジスタ
	1000H - 10FFH	ACPU 用 LCH0 設定レジスタ
	1100H - 11FFH	ACPU 用 LCH1 設定レジスタ
	1200H - 12FFH	ACPU 用 LCH2 設定レジスタ
	1300H - 13FFH	ACPU 用 LCH3 設定レジスタ
	1400H - 1FFFH	Reserved
M2P 用 (PCH2)	4000H - 40FFH	M2P 用コントロール・レジスタ
	4100H - 4FFFH	M2P 用割り込みレジスタ
	5000H - 50FFH	M2P 用 LCH0 設定レジスタ
	5100H - 51FFH	M2P 用 LCH1 設定レジスタ
	5200H - 52FFH	M2P 用 LCH2 設定レジスタ
	5300H - 53FFH	M2P 用 LCH3 設定レジスタ
	5400H - 54FFH	M2P 用 LCH4 設定レジスタ
	5500H - 55FFH	M2P 用 LCH5 設定レジスタ
	5600H - 56FFH	Reserved
	5700H - 57FFH	Reserved
	5800H - 58FFH	Reserved
	5900H - 59FFH	M2P 用 LCH9 設定レジスタ
	5A00H - 5AFFH	M2P 用 LCH10 設定レジスタ
	5B00H - 5BFFH	Reserved
	5C00H - 5CFFH	M2P 用 LCH12 設定レジスタ
	5D00H - 5DFFH	M2P 用 LCH13 設定レジスタ
	5E00H - 5EFFH	M2P 用 LCH14 設定レジスタ
5F00H - 5FFFH	Reserved	

表 2-4 DMACアドレス・マップ概要

(2/2)

大分類	アドレス範囲	レジスタ名
P2M用 (PCH3)	6000H - 60FFH	P2M用コントロール・レジスタ
	6100H - 6FFFH	P2M用割り込みレジスタ
	7000H - 70FFH	P2M用LCH0設定レジスタ
	7100H - 71FFH	P2M用LCH1設定レジスタ
	7200H - 72FFH	P2M用LCH2設定レジスタ
	7300H - 73FFH	P2M用LCH3設定レジスタ
	7400H - 74FFH	P2M用LCH4設定レジスタ
	7500H - 75FFH	P2M用LCH5設定レジスタ
	7600H - 76FFH	Reserved
	7700H - 77FFH	Reserved
	7800H - 78FFH	Reserved
	7900H - 79FFH	P2M用LCH9設定レジスタ
	7A00H - 7AFFH	P2M用LCH10設定レジスタ
	7B00H - 7BFFH	Reserved
	7C00H - 7CFFH	P2M用LCH12設定レジスタ
	7D00H - 7DFFH	P2M用LCH13設定レジスタ
7E00H - 7EFFH	P2M用LCH14設定レジスタ	
7F00H - 7FFFH	Reserved	
割り込みインデックス	8000H - 8FFFH	割り込みインデックス
DMA 共通	9000H - 9FFFH	共通レジスタ

2.2 レジスタ一覧

Reserved レジスタへのライト・アクセスは行わないでください。読み出した場合は不定値が返ります。

各レジスタ内の Reserved ビットへは、0 以外を書き込まないでください。

2.2.1 ACPU用レジスタ

(1) ACPU 用 DMA コントロール・レジスタ

ベース・アドレス：4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
0000H	ACPU 用 DMA 起動コントロール・レジスタ	DMA_ARM_CONT	W	0000_0000H
0004H	ACPU 用 DMA コントロール・ステータス・レジスタ	DMA_ARM_CONTSTATUS	R	0000_0000H
0008H	ACPU 用 DMA 終了コントロール・レジスタ	DMA_ARM_END	W	0000_0000H
000CH - 00FCH	Reserved	-	-	-

(2) ACPU/ADSP 用割り込みパラメータ設定レジスタ

ベース・アドレス：4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
0800H	ARM/DSP 用割り込み出力先設定レジスタ (LCH0-LCH3)	DMA_ARM_LCH0LCH3_INT_SEL	R/W	0000_0000H
0804H - 0FFCH	Reserved	-	-	-
0100H	ACPU用割り込みステータス・レジスタ(LCH0-LCH3)	DMA_ARM_PE0_LCH0LCH3_INT_CONT	R	0000_0000H
0104H	ACPU 用割り込み Raw ステータス・レジスタ (LCH0-LCH3)	DMA_ARM_PE0_LCH0LCH3_INT_RAW	R	0000_0000H
0108H	ACPU 用割り込みイネーブル・セット・レジスタ (LCH0-LCH3)	DMA_ARM_PE0_LCH0LCH3_INT_ENABLE	R/W	0000_0000H
010CH	ACPU 用割り込みイネーブル・クリア・レジスタ (LCH0-LCH3)	DMA_ARM_PE0_LCH0LCH3_INT_ENABLE_CL	W	0000_0000H
0110H	ACPU用割り込み要因クリア・レジスタ(LCH0-LCH3)	DMA_ARM_PE0_LCH0LCH3_INT_REQ_CL	W	0000_0000H
0114H - 03FCH	Reserved	-	-	-
0400H	DSP 用割り込みステータス・レジスタ(LCH0-LCH3)	DMA_ARM_DSP_LCH0LCH3_INT_CONT	R	0000_0000H
0404H	DSP 用割り込み Raw ステータス・レジスタ (LCH0-LCH3)	DMA_ARM_DSP_LCH0LCH3_INT_RAW	R	0000_0000H
0408H	DSP 用割り込みイネーブル・セット・レジスタ (LCH0-LCH3)	DMA_ARM_DSP_LCH0LCH3_INT_ENABLE	R/W	0000_0000H
040CH	DSP 用割り込みイネーブル・クリア・レジスタ (LCH0-LCH3)	DMA_ARM_DSP_LCH0LCH3_INT_ENABLE_CL	W	0000_0000H
0410H	DSP 用割り込み要因クリア・レジスタ(LCH0-LCH3)	DMA_ARM_DSP_LCH0LCH3_INT_REQ_CL	W	0000_0000H
0414H - 07FCH	Reserved	-	-	-

(3) ACPU用 LCH0 パラメータ設定レジスタ (メモリ ↔ メモリ)

ベース・アドレス : 4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
1000H	ACPU用 LCH0 ソース・アドレス・レジスタ (スタート・アドレス)	DMA_ARM_LCH0_AADD	R/W	0000_0000H
1004H	ACPU用 LCH0 ソース・アドレス・ポインタ・レジスタ	DMA_ARM_LCH0_AADP	R	0000_0000H
1008H	ACPU用 LCH0 ソース・アドレス・オフセット・レジスタ	DMA_ARM_LCH0_AOFF	R/W	0000_0000H
100CH	Reserved	-	-	-
1010H	ACPU用 LCH0 ソース・ブロック・カウント・レジスタ	DMA_ARM_LCH0_ASIZE_COUNT	R/W	0000_0000H
1014H- 101CH	Reserved	-	-	-
1020H	ACPU用 LCH0 ディスティネーション・アドレス・レジスタ (スタート・アドレス)	DMA_ARM_LCH0_BADD	R/W	0000_0000H
1024H	ACPU用 LCH0 ディスティネーション・アドレス・ポインタ・レジスタ	DMA_ARM_LCH0_BADP	R	0000_0000H
1028H	ACPU用 LCH0 ディスティネーション・アドレス・オフセット・レジスタ	DMA_ARM_LCH0_BOFF	R/W	0000_0000H
102CH	Reserved	-	-	-
1030H	ACPU用 LCH0 ディスティネーション・ブロック・カウント・レジスタ	DMA_ARM_LCH0_BSIZE_COUNT	R/W	0000_0000H
1034H- 103CH	Reserved	-	-	-
1040H	ACPU用 LCH0 レングス・レジスタ	DMA_ARM_LCH0 LENG	R/W	0000_0000H
1044H	ACPU用 LCH0 リード・レングス・カウント・レジスタ	DMA_ARM_LCH0 LENG_RCOUNT	R	0000_0000H
1048H	ACPU用 LCH0 ライト・レングス・カウント・レジスタ	DMA_ARM_LCH0 LENG_WCOUNT	R	0000_0000H
104CH	ACPU用 LCH0 ブロック・サイズ・レジスタ	DMA_ARM_LCH0_SIZE	R/W	0000_0000H
1050H	ACPU用 LCH0 モード・レジスタ (リード/ライト・エンディアン, リピート)	DMA_ARM_LCH0_MODE	R/W	E4E4_0000H
1054H - 10FCH	Reserved	-	-	-

(4) ACPU用LCH1パラメータ設定レジスタ(メモリ ↔ メモリ)

ベース・アドレス：4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
1100H	ACPU用LCH1ソース・アドレス・レジスタ(スタート・アドレス)	DMA_ARM_LCH1_AADD	R/W	0000_0000H
1104H	ACPU用LCH1ソース・アドレス・ポインタ・レジスタ	DMA_ARM_LCH1_AADP	R	0000_0000H
1108H	ACPU用LCH1ソース・アドレス・オフセット・レジスタ	DMA_ARM_LCH1_AOFF	R/W	0000_0000H
110CH	Reserved	-	-	-
1110H	ACPU用LCH1ソース・ブロック・カウント・レジスタ	DMA_ARM_LCH1_ASIZE_COUNT	R/W	0000_0000H
1114H- 111CH	Reserved	-	-	-
1120H	ACPU用LCH1ディスティネーション・アドレス・レジスタ(スタート・アドレス)	DMA_ARM_LCH1_BADD	R/W	0000_0000H
1124H	ACPU用LCH1ディスティネーション・アドレス・ポインタ・レジスタ	DMA_ARM_LCH1_BADP	R	0000_0000H
1128H	ACPU用LCH1ディスティネーション・アドレス・オフセット・レジスタ	DMA_ARM_LCH1_BOFF	R/W	0000_0000H
112CH	Reserved	-	-	-
1130H	ACPU用LCH1ディスティネーション・ブロック・カウント・レジスタ	DMA_ARM_LCH1_BSIZE_COUNT	R/W	0000_0000H
1134H- 113CH	Reserved	-	-	-
1140H	ACPU用LCH1レンジ・レジスタ	DMA_ARM_LCH1_LENG	R/W	0000_0000H
1144H	ACPU用LCH1リード・レンジ・カウント・レジスタ	DMA_ARM_LCH1_LENG_RCO	R	0000_0000H
1148H	ACPU用LCH1ライト・レンジ・カウント・レジスタ	DMA_ARM_LCH1_LENG_WCOUNT	R	0000_0000H
114CH	ACPU用LCH1ブロック・サイズ・レジスタ	DMA_ARM_LCH1_SIZE	R/W	0000_0000H
1150H	ACPU用LCH1モード・レジスタ(リード/ライト・エンディアン, リピート)	DMA_ARM_LCH1_MODE	R/W	E4E4_0000H
1154H - 11FCH	Reserved	-	-	-

(5) ACPU 用 LCH2 パラメータ設定レジスタ (メモリ ↔ メモリ)

ベース・アドレス : 4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
1200H	ACPU 用 LCH2 ソース・アドレス・レジスタ (スタート・アドレス)	DMA_ARM_LCH2_AADD	R/W	0000_0000H
1204H	ACPU 用 LCH2 ソース・アドレス・ポインタ・レジスタ	DMA_ARM_LCH2_AADP	R	0000_0000H
1208H	ACPU 用 LCH2 ソース・アドレス・オフセット・レジスタ	DMA_ARM_LCH2_AOFF	R/W	0000_0000H
120CH	Reserved	-	-	-
1210H	ACPU 用 LCH2 ソース・ブロック・カウント・レジスタ	DMA_ARM_LCH2_ASIZE_CO UNT	R/W	0000_0000H
1214H- 121CH	Reserved	-	-	-
1220H	ACPU 用 LCH2 ディスティネーション・アドレス・レジスタ (スタート・アドレス)	DMA_ARM_LCH2_BADD	R/W	0000_0000H
1224H	ACPU 用 LCH2 ディスティネーション・アドレス・ポインタ・レジスタ	DMA_ARM_LCH2_BADP	R	0000_0000H
1228H	ACPU 用 LCH2 ディスティネーション・アドレス・オフセット・レジスタ	DMA_ARM_LCH2_BOFF	R/W	0000_0000H
122CH	Reserved	-	-	-
1230H	ACPU 用 LCH2 ディスティネーション・ブロック・カウント・レジスタ	DMA_ARM_LCH2_BSIZE_CO UNT	R/W	0000_0000H
1234H- 123CH	Reserved	-	-	-
1240H	ACPU 用 LCH2 レングス・レジスタ	DMA_ARM_LCH2_LENG	R/W	0000_0000H
1244H	ACPU 用 LCH2 リード・レングス・カウント・レジスタ	DMA_ARM_LCH2_LENG_RCO UNT	R	0000_0000H
1248H	ACPU 用 LCH2 ライト・レングス・カウント・レジスタ	DMA_ARM_LCH2_LENG_WC OUNT	R	0000_0000H
124CH	ACPU 用 LCH2 ブロック・サイズ・レジスタ	DMA_ARM_LCH2_SIZE	R/W	0000_0000H
1250H	ACPU 用 LCH2 モード・レジスタ (リード/ライト・エンディアン, リピート)	DMA_ARM_LCH2_MODE	R/W	E4E4_0000H
1254H - 12FCH	Reserved	-	-	-

(6) ACPU用LCH3パラメータ設定レジスタ(メモリ ↔ メモリ)

ベース・アドレス：4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
1300H	ACPU用LCH3ソース・アドレス・レジスタ(スタート・アドレス)	DMA_ARM_LCH3_AADD	R/W	0000_0000H
1304H	ACPU用LCH3ソース・アドレス・ポインタ・レジスタ	DMA_ARM_LCH3_AADP	R	0000_0000H
1308H	ACPU用LCH3ソース・アドレス・オフセット・レジスタ	DMA_ARM_LCH3_AOFF	R/W	0000_0000H
130CH	Reserved	-	-	-
1310H	ACPU用LCH3ソース・ブロック・カウント・レジスタ	DMA_ARM_LCH3_ASIZE_CO UNT	R/W	0000_0000H
1314H- 131CH	Reserved	-	-	-
1320H	ACPU用LCH3ディスティネーション・アドレス・レジスタ(スタート・アドレス)	DMA_ARM_LCH3_BADD	R/W	0000_0000H
1324H	ACPU用LCH3ディスティネーション・アドレス・ポインタ・レジスタ	DMA_ARM_LCH3_BADP	R	0000_0000H
1328H	ACPU用LCH3ディスティネーション・アドレス・オフセット・レジスタ	DMA_ARM_LCH3_BOFF	R/W	0000_0000H
132CH	Reserved	-	-	-
1330H	ACPU用LCH3ディスティネーション・ブロック・カウント・レジスタ	DMA_ARM_LCH3_BSIZE_CO UNT	R/W	0000_0000H
1334H- 133CH	Reserved	-	-	-
1340H	ACPU用LCH3レングス・レジスタ	DMA_ARM_LCH3_LENG	R/W	0000_0000H
1344H	ACPU用LCH3リード・レングス・カウント・レジスタ	DMA_ARM_LCH3_LENG_RCO UNT	R	0000_0000H
1348H	ACPU用LCH3ライト・レングス・カウント・レジスタ	DMA_ARM_LCH3_LENG_WC OUNT	R	0000_0000H
134CH	ACPU用LCH3ブロック・サイズ・レジスタ	DMA_ARM_LCH3_SIZE	R/W	0000_0000H
1350H	ACPU用LCH3モード・レジスタ(リード・エンディアン, リピート)	DMA_ARM_LCH3_MODE	R/W	E4E4_0000H
1354H - 13FCH	Reserved	-	-	-

2.2.2 M2P (メモリ ↔ ペリフェラル転送) 用レジスタ

注意 LCH6-LCH8, LCH11 はリザーブ・チャンネルです。該当する LCH のビットにレジスタは存在しません。

(1) M2P 用 DMA コントロール・レジスタ

ベース・アドレス：4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
4000H	M2P 用 DMA 起動コントロール・レジスタ	DMA_M2P_CONT	W	0000_0000H
4004H	M2P 用 DMA コントロール・ステータス・レジスタ	DMA_M2P_CONTSTATUS	R	0000_0000H
4008H	M2P 用 DMA 終了コントロール・レジスタ	DMA_M2P_END	W	0000_0000H
400CH - 40FCH	Reserved	-	-	-

(2) M2P 用割り込みパラメータ設定レジスタ

ベース・アドレス：4009_0000H

(1/3)

アドレス	レジスタ名称	略号	R/W	リセット時
4800H	M2P 用割り込み出力先設定レジスタ (LCH0-CH14)	DMA_M2P_LCH0LCH14_INT_SEL	R/W	0000_0000H
4804H - 4FFCH	Reserved	-	-	-
4100H	ACPU 用割り込みステータス・レジスタ (LCH0-LCH3)	DMA_M2P_PE0_LCH0LCH3_INT_CONT	R	0000_0000H
4104H	ACPU 用割り込み Raw ステータス・レジスタ (LCH0-LCH3)	DMA_M2P_PE0_LCH0LCH3_INT_RAW	R	0000_0000H
4108H	ACPU 用割り込みイネーブル・セット・レジスタ (LCH0-LCH3)	DMA_M2P_PE0_LCH0LCH3_INT_ENABLE	R/W	0000_0000H
410CH	ACPU 用割り込みイネーブル・クリア・レジスタ (LCH0-LCH3)	DMA_M2P_PE0_LCH0LCH3_INT_ENABLE_CL	W	0000_0000H
4110H	ACPU 用割り込み要因クリア・レジスタ (LCH0-LCH3)	DMA_M2P_PE0_LCH0LCH3_INT_REQ_CL	W	0000_0000H
4114H - 411CH	Reserved	-	-	-
4120H	ACPU 用割り込みステータス・レジスタ (LCH4-LCH5)	DMA_M2P_PE0_LCH4LCH5_INT_CONT	R	0000_0000H
4124H	ACPU 用割り込み Raw ステータス・レジスタ・レジスタ (LCH4-LCH5)	DMA_M2P_PE0_LCH4LCH5_INT_RAW	R	0000_0000H
4128H	ACPU 用割り込みイネーブル・セット・レジスタ (LCH4-LCH5)	DMA_M2P_PE0_LCH4LCH5_INT_ENABLE	R/W	0000_0000H
412CH	ACPU 用割り込みイネーブル・クリア・レジスタ (LCH4-LCH5)	DMA_M2P_PE0_LCH4LCH5_INT_ENABLE_CL	W	0000_0000H
4130H	ACPU 用割り込み要因クリア・レジスタ (LCH4-LCH5)	DMA_M2P_PE0_LCH4LCH5_INT_REQ_CL	W	0000_0000H
4134H - 413CH	Reserved	-	-	-

アドレス	レジスタ名称	略号	R/W	リセット時
4140H	ACPU用割り込みステータス・レジスタ (LCH9-LCH10)	DMA_M2P_PE0_LCH9LCH10_ INT_CONT	R	0000_0000H
4144H	ACPU用割り込みRawステータス・レジスタ (LCH9-LCH10)	DMA_M2P_PE0_LCH9LCH10_ INT_RAW	R	0000_0000H
4148H	ACPU用割り込みイネーブル・セット・レジスタ (LCH9-LCH10)	DMA_M2P_PE0_LCH9LCH10_ INT_ENABLE	R/W	0000_0000H
414CH	ACPU用割り込みイネーブル・クリア・レジスタ (LCH9-LCH10)	DMA_M2P_PE0_LCH9LCH10_ INT_ENABLE_CL	W	0000_0000H
4150H	ACPU用割り込み要因クリア・レジスタ (LCH9-LCH10)	DMA_M2P_PE0_LCH9LCH10_ INT_REQ_CL	W	0000_0000H
4154H - 415CH	Reserved	-	-	-
4160H	ACPU用割り込みステータス・レジスタ (LCH12-LCH14)	DMA_M2P_PE0_LCH12LCH14_ _INT_CONT	R	0000_0000H
4164H	ACPU用割り込みRawステータス・レジスタ (LCH12-LCH14)	DMA_M2P_PE0_LCH12LCH14_ _INT_RAW	R	0000_0000H
4168H	ACPU用割り込みイネーブル・セット・レジスタ (LCH12-LCH14)	DMA_M2P_PE0_LCH12LCH14_ _INT_ENABLE	R/W	0000_0000H
416CH	ACPU用割り込みイネーブル・クリア・レジスタ (LCH12-LCH14)	DMA_M2P_PE0_LCH12LCH14_ _INT_ENABLE_CL	W	0000_0000H
4170H	ACPU用割り込み要因クリア・レジスタ (LCH12-LCH14)	DMA_M2P_PE0_LCH12LCH14_ _INT_REQ_CL	W	0000_0000H
4174H - 43FCH	Reserved	-	-	-
4400H	DSP用割り込みステータス・レジスタ(LCH0-LCH3)	DMA_M2P_DSP_LCH0LCH3_I NT_CONT	R	0000_0000H
4404H	DSP用割り込みRawステータス・レジスタ (LCH0-LCH3)	DMA_M2P_DSP_LCH0LCH3_I NT_RAW	R	0000_0000H
4408H	DSP用割り込みイネーブル・セット・レジスタ (LCH0-LCH3)	DMA_M2P_DSP_LCH0LCH3_I NT_ENABLE	R/W	0000_0000H
440CH	DSP用割り込みイネーブル・クリア・レジスタ (LCH0-LCH3)	DMA_M2P_DSP_LCH0LCH3_I NT_ENABLE_CL	W	0000_0000H
4410H	DSP用割り込み要因クリア・レジスタ(LCH0-LCH3)	DMA_M2P_DSP_LCH0LCH3_I NT_REQ_CL	W	0000_0000H
4414H - 441CH	Reserved	-	-	-
4420H	DSP用割り込みステータス・レジスタ(LCH4-LCH5)	DMA_M2P_DSP_LCH4LCH5_I NT_CONT	R	0000_0000H
4424H	DSP用割り込みRawステータス・レジスタ (LCH4-LCH5)	DMA_M2P_DSP_LCH4LCH5_I NT_RAW	R	0000_0000H
4428H	DSP用割り込みイネーブル・セット・レジスタ (LCH4-LCH5)	DMA_M2P_DSP_LCH4LCH5_I NT_ENABLE	R/W	0000_0000H
442CH	DSP用割り込みイネーブル・クリア・レジスタ (LCH4-LCH5)	DMA_M2P_DSP_LCH4LCH5_I NT_ENABLE_CL	W	0000_0000H
4430H	DSP用割り込み要因クリア・レジスタ(LCH4-LCH5)	DMA_M2P_DSP_LCH4LCH5_I NT_REQ_CL	W	0000_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
4434H - 443CH	Reserved	-	-	-
4440H	DSP 用割り込みステータス・レジスタ(LCH9-LCH10)	DMA_M2P_DSP_LCH9LCH10_ INT_CONT	R	0000_0000H
4444H	DSP 用割り込み Raw ステータス・レジスタ (LCH9-LCH10)	DMA_M2P_DSP_LCH9LCH10_ INT_RAW	R	0000_0000H
4448H	DSP 用割り込みイネーブル・セット・レジスタ (LCH9-LCH10)	DMA_M2P_DSP_LCH9LCH10_ INT_ENABLE	R/W	0000_0000H
444CH	DSP 用割り込みイネーブル・クリア・レジスタ (LCH9-LCH10)	DMA_M2P_DSP_LCH9LCH10_ INT_ENABLE_CL	W	0000_0000H
4450H	DSP 用割り込み要因クリア・レジスタ(LCH9-LCH10)	DMA_M2P_DSP_LCH9LCH10_ INT_REQ_CL	W	0000_0000H
4454H - 445CH	Reserved	-	-	-
4460H	DSP 用割り込みステータス・レジスタ (LCH12-LCH14)	DMA_M2P_DSP_LCH12LCH14_ _INT_CONT	R	0000_0000H
4464H	DSP 用割り込み Raw ステータス・レジスタ (LCH12-LCH14)	DMA_M2P_DSP_LCH12LCH14_ _INT_RAW	R	0000_0000H
4468H	DSP 用割り込みイネーブル・セット・レジスタ (LCH12-LCH14)	DMA_M2P_DSP_LCH12LCH14_ _INT_ENABLE	R/W	0000_0000H
446CH	DSP 用割り込みイネーブル・クリア・レジスタ (LCH12-LCH14)	DMA_M2P_DSP_LCH12LCH14_ _INT_ENABLE_CL	W	0000_0000H
4470H	DSP 用割り込み要因クリア・レジスタ (LCH12-LCH14)	DMA_M2P_DSP_LCH12LCH14_ _INT_REQ_CL	W	0000_0000H
4474H - 47FCH	Reserved	-	-	-

(3) M2P 用 LCH0 パラメータ設定レジスタ

ベース・アドレス：4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
5000H	M2P 用 LCH0 ソース・アドレス・レジスタ(スタート・アドレス)	DMA_M2P_LCH0_AADD	R/W	0000_0000H
5004H	M2P 用 LCH0 ソース・アドレス・ポインタ・レジスタ	DMA_M2P_LCH0_AADP	R	0000_0000H
5008H	M2P 用 LCH0 ソース・アドレス・オフセット・レジスタ	DMA_M2P_LCH0_AOFF	R/W	0000_0000H
500CH	M2P 用 LCH0 ソース・ブロック・サイズ・レジスタ	DMA_M2P_LCH0_ASIZE	R/W	0000_0000H
5010H	M2P 用 LCH0 ソース・ブロック・カウント・レジスタ	DMA_M2P_LCH0_ASIZE_COUNT	R/W	0000_0000H
5014H- 501CH	Reserved	-	-	-
5020H	M2P 用 LCH0 ディスティネーション・アドレス・レジスタ	DMA_M2P_LCH0_BADD	R/W	0000_0000H
5024H- 503CH	Reserved	-	-	-
5040H	M2P 用 LCH0 レングス・レジスタ	DMA_M2P_LCH0_LENG	R/W	0000_0000H
5044H	M2P 用 LCH0 リード・レングス・カウント・レジスタ	DMA_M2P_LCH0_LENG_RCOUNT	R	0000_0000H
5048H	M2P 用 LCH0 ライト・レングス・カウント・レジスタ	DMA_M2P_LCH0_LENG_WCOUNT	R	0000_0000H
504CH	Reserved	-	-	-
5050H	M2P 用 LCH0 モード・レジスタ(タイマ設定, ビット幅, リード/ライト・エンディアン, リピート)	DMA_M2P_LCH0_MODE	R/W	E4E4_0000H
5054H	M2P 用 LCH0 タイマ・レジスタ	DMA_M2P_LCH0_TIME	R/W	0000_0000H
5058H	M2P 用 LCH0 タイマ・カウント・レジスタ	DMA_M2P_LCH0_TIME_COUNT	R	0000_0000H
505CH - 50FCH	Reserved	-	-	-

備考 ソース側にメモリ, ディスティネーション側にペリフェラルを設定してください。

(4) M2P 用 LCH1 パラメータ設定レジスタ

ベース・アドレス：4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
5100H	M2P 用 LCH1 ソース・アドレス・レジスタ(スタート・アドレス)	DMA_M2P_LCH1_AADD	R/W	0000_0000H
5104H	M2P 用 LCH1 ソース・アドレス・ポインタ・レジスタ	DMA_M2P_LCH1_AADP	R	0000_0000H
5108H	M2P 用 LCH1 ソース・アドレス・オフセット・レジスタ	DMA_M2P_LCH1_AOFF	R/W	0000_0000H
510CH	M2P 用 LCH1 ソース・ブロック・サイズ・レジスタ	DMA_M2P_LCH1_ASIZE	R/W	0000_0000H
5110H	M2P 用 LCH1 ソース・ブロック・カウント・レジスタ	DMA_M2P_LCH1_ASIZE_COUNT	R/W	0000_0000H
5114H- 511CH	Reserved	-	-	-
5120H	M2P 用 LCH1 ディスティネーション・アドレス・レジスタ	DMA_M2P_LCH1_BADD	R/W	0000_0000H
5124H- 513CH	Reserved	-	-	-
5140H	M2P 用 LCH1 レングス・レジスタ	DMA_M2P_LCH1_LENG	R/W	0000_0000H
5144H	M2P 用 LCH1 リード・レングス・カウント・レジスタ	DMA_M2P_LCH1_LENG_COUNT	R	0000_0000H
5148H	M2P 用 LCH1 ライト・レングス・カウント・レジスタ	DMA_M2P_LCH1_LENG_WCOUNT	R	0000_0000H
514CH	Reserved	-	-	-
5150H	M2P 用 LCH1 モード・レジスタ(タイマ設定, ビット幅, リード/ライト・エンディアン, リピート)	DMA_M2P_LCH1_MODE	R/W	E4E4_0000H
5154H	M2P 用 LCH1 タイマ・レジスタ	DMA_M2P_LCH1_TIME	R/W	0000_0000H
5158H	M2P 用 LCH1 タイマ・カウント・レジスタ	DMA_M2P_LCH1_TIME_COUNT	R	0000_0000H
515CH - 51FCH	Reserved	-	-	-

備考 ソース側にメモリ, ディスティネーション側にペリフェラルを設定してください。

(5) M2P 用 LCH2 パラメータ設定レジスタ

ベース・アドレス：4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
5200H	M2P 用 LCH2 ソース・アドレス・レジスタ(スタート・アドレス)	DMA_M2P_LCH2_AADD	R/W	0000_0000H
5204H	M2P 用 LCH2 ソース・アドレス・ポインタ・レジスタ	DMA_M2P_LCH2_AADP	R	0000_0000H
5208H	M2P 用 LCH2 ソース・アドレス・オフセット・レジスタ	DMA_M2P_LCH2_AOFF	R/W	0000_0000H
520CH	M2P 用 LCH2 ソース・ブロック・サイズ・レジスタ	DMA_M2P_LCH2_ASIZE	R/W	0000_0000H
5210H	M2P 用 LCH2 ソース・ブロック・カウント・レジスタ	DMA_M2P_LCH2_ASIZE_COUNT	R/W	0000_0000H
5214H- 521CH	Reserved	-	-	-
5220H	M2P 用 LCH2 ディスティネーション・アドレス・レジスタ	DMA_M2P_LCH2_BADD	R/W	0000_0000H
5224H- 523CH	Reserved	-	-	-
5240H	M2P 用 LCH2 レングス・レジスタ	DMA_M2P_LCH2 LENG	R/W	0000_0000H
5244H	M2P 用 LCH2 リード・レングス・カウント・レジスタ	DMA_M2P_LCH2 LENG_COUNT	R	0000_0000H
5248H	M2P 用 LCH2 ライト・レングス・カウント・レジスタ	DMA_M2P_LCH2 LENG_WCOUNT	R	0000_0000H
524CH	Reserved	-	-	-
5250H	M2P 用 LCH2 モード・レジスタ(タイマ設定, ビット幅, リード/ライト・エンディアン, リピート)	DMA_M2P_LCH2_MODE	R/W	E4E4_0000H
5254H	M2P 用 LCH2 タイマ・レジスタ	DMA_M2P_LCH2_TIME	R/W	0000_0000H
5258H	M2P 用 LCH2 タイマ・カウント・レジスタ	DMA_M2P_LCH2_TIME_COUNT	R	0000_0000H
525CH - 52FCH	Reserved	-	-	-

備考 ソース側にメモリ, ディスティネーション側にペリフェラルを設定してください。

(6) M2P 用 LCH3 パラメータ設定レジスタ

ベース・アドレス：4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
5300H	M2P 用 LCH3 ソース・アドレス・レジスタ(スタート・アドレス)	DMA_M2P_LCH3_AADD	R/W	0000_0000H
5304H	M2P 用 LCH3 ソース・アドレス・ポインタ・レジスタ	DMA_M2P_LCH3_AADP	R	0000_0000H
5308H	M2P 用 LCH3 ソース・アドレス・オフセット・レジスタ	DMA_M2P_LCH3_AOFF	R/W	0000_0000H
530CH	M2P 用 LCH3 ソース・ブロック・サイズ・レジスタ	DMA_M2P_LCH3_ASIZE	R/W	0000_0000H
5310H	M2P 用 LCH3 ソース・ブロック・カウント・レジスタ	DMA_M2P_LCH3_ASIZE_COUNT	R/W	0000_0000H
5314H- 531CH	Reserved	-	-	-
5320H	M2P 用 LCH3 ディスティネーション・アドレス・レジスタ	DMA_M2P_LCH3_BADD	R/W	0000_0000H
5324H- 533CH	Reserved	-	-	-
5340H	M2P 用 LCH3 レングス・レジスタ	DMA_M2P_LCH3_LENG	R/W	0000_0000H
5344H	M2P 用 LCH3 リード・レングス・カウント・レジスタ	DMA_M2P_LCH3_LENG_COUNT	R	0000_0000H
5348H	M2P 用 LCH3 ライト・レングス・カウント・レジスタ	DMA_M2P_LCH3_LENG_COUNT	R	0000_0000H
534CH	Reserved	-	-	-
5350H	M2P 用 LCH3 モード・レジスタ(ビット幅, リード/ライト・エンディアン, リピート)	DMA_M2P_LCH3_MODE	R/W	E4E4_0000H
5354H - 53FCH	Reserved	-	-	-

備考 ソース側にメモリ, ディスティネーション側にペリフェラルを設定してください。

(7) M2P 用 LCH4 パラメータ設定レジスタ

ベース・アドレス：4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
5400H	M2P 用 LCH4 ソース・アドレス・レジスタ(スタート・アドレス)	DMA_M2P_LCH4_AADD	R/W	0000_0000H
5404H	M2P 用 LCH4 ソース・アドレス・ポインタ・レジスタ	DMA_M2P_LCH4_AADP	R	0000_0000H
5408H	M2P 用 LCH4 ソース・アドレス・オフセット・レジスタ	DMA_M2P_LCH4_AOFF	R/W	0000_0000H
540CH	M2P 用 LCH4 ソース・ブロック・サイズ・レジスタ	DMA_M2P_LCH4_ASIZE	R/W	0000_0000H
5410H	M2P 用 LCH4 ソース・ブロック・カウント・レジスタ	DMA_M2P_LCH4_ASIZE_COUNT	R/W	0000_0000H
5414H- 541CH	Reserved	-	-	-
5420H	M2P 用 LCH4 ディスティネーション・アドレス・レジスタ	DMA_M2P_LCH4_BADD	R/W	0000_0000H
5424H- 543CH	Reserved	-	-	-
5440H	M2P 用 LCH4 レングス・レジスタ	DMA_M2P_LCH4_LENG	R/W	0000_0000H
5444H	M2P 用 LCH4 リード・レングス・カウント・レジスタ	DMA_M2P_LCH4_LENG_COUNT	R	0000_0000H
5448H	M2P 用 LCH4 ライト・レングス・カウント・レジスタ	DMA_M2P_LCH4_LENG_COUNT	R	0000_0000H
544CH	Reserved	-	-	-
5450H	M2P 用 LCH4 モード・レジスタ(ビット幅, リード/ライト・エンディアン, リピート)	DMA_M2P_LCH4_MODE	R/W	E4E4_0000H
5454H- 54FCH	Reserved	-	-	-

備考 ソース側にメモリ, ディスティネーション側にペリフェラルを設定してください。

(8) M2P 用 LCH5 パラメータ設定レジスタ

ベース・アドレス：4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
5500H	M2P 用 LCH5 ソース・アドレス・レジスタ(スタート・アドレス)	DMA_M2P_LCH5_AADD	R/W	0000_0000H
5504H	M2P 用 LCH5 ソース・アドレス・ポインタ・レジスタ	DMA_M2P_LCH5_AADP	R	0000_0000H
5508H	M2P 用 LCH5 ソース・アドレス・オフセット・レジスタ	DMA_M2P_LCH5_AOFF	R/W	0000_0000H
550CH	M2P 用 LCH5 ソース・ブロック・サイズ・レジスタ	DMA_M2P_LCH5_ASIZE	R/W	0000_0000H
5510H	M2P 用 LCH5 ソース・ブロック・カウント・レジスタ	DMA_M2P_LCH5_ASIZE_COUNT	R/W	0000_0000H
5514H- 551CH	Reserved	-	-	-
5520H	M2P 用 LCH5 ディスティネーション・アドレス・レジスタ	DMA_M2P_LCH5_BADD	R/W	0000_0000H
5524H- 553CH	Reserved	-	-	-
5540H	M2P 用 LCH5 レングス・レジスタ	DMA_M2P_LCH5_LENG	R/W	0000_0000H
5544H	M2P 用 LCH5 リード・レングス・カウント・レジスタ	DMA_M2P_LCH5_LENG_COUNT	R	0000_0000H
5548H	M2P 用 LCH5 ライト・レングス・カウント・レジスタ	DMA_M2P_LCH5_LENG_COUNT	R	0000_0000H
554CH	Reserved	-	-	-
5550H	M2P 用 LCH5 モード・レジスタ(ビット幅, リード/ライト・エンディアン, リピート)	DMA_M2P_LCH5_MODE	R/W	E4E4_0000H
5554H - 56FCH	Reserved	-	-	-

備考 ソース側にペリフェラル, ディスティネーション側にメモリを設定してください。

(9) M2P 用 LCH9 パラメータ設定レジスタ

ベース・アドレス：4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
5900H	M2P 用 LCH9 ソース・アドレス・レジスタ(スタート・アドレス)	DMA_M2P_LCH9_AADD	R/W	0000_0000H
5904H	M2P 用 LCH9 ソース・アドレス・ポインタ・レジスタ	DMA_M2P_LCH9_AADP	R	0000_0000H
5908H	M2P 用 LCH9 ソース・アドレス・オフセット・レジスタ	DMA_M2P_LCH9_AOFF	R/W	0000_0000H
590CH	M2P 用 LCH9 ソース・ブロック・サイズ・レジスタ	DMA_M2P_LCH9_ASIZE	R/W	0000_0000H
5910H	M2P 用 LCH9 ソース・ブロック・カウント・レジスタ	DMA_M2P_LCH9_ASIZE_COUNT	R/W	0000_0000H
5914H- 591CH	Reserved	-	-	-
5920H	M2P 用 LCH9 ディスティネーション・アドレス・レジスタ	DMA_M2P_LCH9_BADD	R/W	0000_0000H
5924H- 593CH	Reserved	-	-	-
5940H	M2P 用 LCH9 レングス・レジスタ	DMA_M2P_LCH9_LENG	R/W	0000_0000H
5944H	M2P 用 LCH9 レングス・カウント・レジスタ	DMA_M2P_LCH9_LENG_COUNT	R	0000_0000H
5948H	M2P 用 LCH9 レングス・カウント・レジスタ	DMA_M2P_LCH9_LENG_WCOUNT	R	0000_0000H
594CH	Reserved	-	-	-
5950H	M2P 用 LCH9 モード・レジスタ(ビット幅, リード/ライト・エンディアン, リピート)	DMA_M2P_LCH9_MODE	R/W	E4E4_0000H
5954H- 59FCH	Reserved	-	-	-

備考 ソース側にメモリ, ディスティネーション側にペリフェラルを設定してください。

(10) M2P 用 LCH10 パラメータ設定レジスタ

ベース・アドレス：4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
5A00H	M2P 用 LCH10 ソース・アドレス・レジスタ (スタート・アドレス)	DMA_M2P_LCH10_AADD	R/W	0000_0000H
5A04H	M2P 用 LCH10 ソース・アドレス・ポインタ・レジスタ	DMA_M2P_LCH10_AADP	R	0000_0000H
5A08H	M2P 用 LCH10 ソース・アドレス・オフセット・レジスタ	DMA_M2P_LCH10_AOFF	R/W	0000_0000H
5A0CH	M2P 用 LCH10 ソース・ブロック・サイズ・レジスタ	DMA_M2P_LCH10_ASIZE	R/W	0000_0000H
5A10H	M2P 用 LCH10 ソース・ブロック・カウント・レジスタ	DMA_M2P_LCH10_ASIZE_COUNT	R/W	0000_0000H
5A14H- 5A1CH	Reserved	-	-	-
5A20H	M2P 用 LCH10 ディスティネーション・アドレス・レジスタ	DMA_M2P_LCH10_BADD	R/W	0000_0000H
5A24H- 5A3CH	Reserved	-	-	-
5A40H	M2P 用 LCH10 レングス・レジスタ	DMA_M2P_LCH10 LENG	R/W	0000_0000H
5A44H	M2P 用 LCH10 レングス・カウント・レジスタ	DMA_M2P_LCH10 LENG_COUNT	R	0000_0000H
5A48H	M2P 用 LCH10 レングス・カウント・レジスタ	DMA_M2P_LCH10 LENG_COUNT	R	0000_0000H
5A4CH	Reserved	-	-	-
5A50H	M2P 用 LCH10 モード・レジスタ (ビット幅, リード/ライト・エンディアン, リピート)	DMA_M2P_LCH10_MODE	R/W	E4E4_0000H
5A54H- 5AFCH	Reserved	-	-	-

備考 ソース側にメモリ, ディスティネーション側にペリフェラルを設定してください。

(11) M2P 用 LCH12 パラメータ設定レジスタ

ベース・アドレス：4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
5C00H	M2P 用 LCH12 ソース・アドレス・レジスタ (スタート・アドレス)	DMA_M2P_LCH12_AADD	R/W	0000_0000H
5C04H	M2P 用 LCH12 ソース・アドレス・ポインタ・レジスタ	DMA_M2P_LCH12_AADP	R	0000_0000H
5C08H	M2P 用 LCH12 ソース・アドレス・オフセット・レジスタ	DMA_M2P_LCH12_AOFF	R/W	0000_0000H
5C0CH	M2P 用 LCH12 ソース・ブロック・サイズ・レジスタ	DMA_M2P_LCH12_ASIZE	R/W	0000_0000H
5C10H	M2P 用 LCH12 ソース・ブロック・カウント・レジスタ	DMA_M2P_LCH12_ASIZE_COUNT	R/W	0000_0000H
5C14H- 5C1CH	Reserved	-	-	-
5C20H	M2P 用 LCH12 ディスティネーション・アドレス・レジスタ	DMA_M2P_LCH12_BADD	R/W	0000_0000H
5C24H- 5C3CH	Reserved	-	-	-
5C40H	M2P 用 LCH12 レングス・レジスタ	DMA_M2P_LCH12 LENG	R/W	0000_0000H
5C44H	M2P 用 LCH12 レングス・カウント・レジスタ	DMA_M2P_LCH12 LENG_RC OUNT	R	0000_0000H
5C48H	M2P 用 LCH12 レングス・カウント・レジスタ	DMA_M2P_LCH12 LENG_WC OUNT	R	0000_0000H
5C4CH	Reserved	-	-	-
5C50H	M2P 用 LCH12 モード・レジスタ (ビット幅, リード /ライト・エンディアン, リピート)	DMA_M2P_LCH12_MODE	R/W	E4E4_0000H
5C54H- 5CFCH	Reserved	-	-	-

備考 ソース側にメモリ, ディスティネーション側にペリフェラルを設定してください。

(12) M2P 用 LCH13 パラメータ設定レジスタ

ベース・アドレス：4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
5D00H	M2P 用 LCH13 ソース・アドレス・レジスタ (スタート・アドレス)	DMA_M2P_LCH13_AADD	R/W	0000_0000H
5D04H	M2P 用 LCH13 ソース・アドレス・ポインタ・レジスタ	DMA_M2P_LCH13_AADP	R	0000_0000H
5D08H	M2P 用 LCH13 ソース・アドレス・オフセット・レジスタ	DMA_M2P_LCH13_AOFF	R/W	0000_0000H
5D0CH	M2P 用 LCH13 ソース・ブロック・サイズ・レジスタ	DMA_M2P_LCH13_ASIZE	R/W	0000_0000H
5D10H	M2P 用 LCH13 ソース・ブロック・カウント・レジスタ	DMA_M2P_LCH13_ASIZE_COUNT	R/W	0000_0000H
5D14H- 5D1CH	Reserved	-	-	-
5D20H	M2P 用 LCH13 ディスティネーション・アドレス・レジスタ	DMA_M2P_LCH13_BADD	R/W	0000_0000H
5D24H- 5D3CH	Reserved	-	-	-
5D40H	M2P 用 LCH13 レングス・レジスタ	DMA_M2P_LCH13 LENG	R/W	0000_0000H
5D44H	M2P 用 LCH13 レングス・カウント・レジスタ	DMA_M2P_LCH13 LENG_COUNT	R	0000_0000H
5D48H	M2P 用 LCH13 レングス・カウント・レジスタ	DMA_M2P_LCH13 LENG_COUNT	R	0000_0000H
5D4CH	Reserved	-	-	-
5D50H	M2P 用 LCH13 モード・レジスタ (ビット幅, リード/ライト・エンディアン, リピート)	DMA_M2P_LCH13_MODE	R/W	E4E4_0000H
5D54H- 5DFCH	Reserved	-	-	-

備考 ソース側にメモリ, ディスティネーション側にペリフェラルを設定してください。

(13) M2P 用 LCH14 パラメータ設定レジスタ

ベース・アドレス：4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
5E00H	M2P 用 LCH14 ソース・アドレス・レジスタ (スタート・アドレス)	DMA_M2P_LCH14_AADD	R/W	0000_0000H
5E04H	M2P 用 LCH14 ソース・アドレス・ポインタ・レジスタ	DMA_M2P_LCH14_AADP	R	0000_0000H
5E08H	M2P 用 LCH14 ソース・アドレス・オフセット・レジスタ	DMA_M2P_LCH14_AOFF	R/W	0000_0000H
5E0CH	M2P 用 LCH14 ソース・ブロック・サイズ・レジスタ	DMA_M2P_LCH14_ASIZE	R/W	0000_0000H
5E10H	M2P 用 LCH14 ソース・ブロック・カウント・レジスタ	DMA_M2P_LCH14_ASIZE_COUNT	R/W	0000_0000H
5E14H- 5E1CH	Reserved	-	-	-
5E20H	M2P 用 LCH14 ディスティネーション・アドレス・レジスタ	DMA_M2P_LCH14_BADD	R/W	0000_0000H
5E24H- 5E3CH	Reserved	-	-	-
5E40H	M2P 用 LCH14 レングス・レジスタ	DMA_M2P_LCH14_LENG	R/W	0000_0000H
5E44H	M2P 用 LCH14 レングス・カウント・レジスタ	DMA_M2P_LCH14_LENG_COUNT	R	0000_0000H
5E48H	M2P 用 LCH14 レングス・カウント・レジスタ	DMA_M2P_LCH14_LENG_WCOUNT	R	0000_0000H
5E4CH	Reserved	-	-	-
5E50H	M2P 用 LCH14 モード・レジスタ (ビット幅, リード / ライト・エンディアン, リピート)	DMA_M2P_LCH14_MODE	R/W	E4E4_0000H
5E54H- 5EFCH	Reserved	-	-	-

備考 ソース側にメモリ, ディスティネーション側にペリフェラルを設定してください。

2.2.3 P2M (ペリフェラル ↔ メモリ転送) 用レジスタ

注意 LCH6-LCH8, LCH11 はリザーブ・チャンネルです。該当するLCHのビットにレジスタは存在しません。

(1) P2M 用 DMA コントロール・レジスタ

ベース・アドレス : 4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
6000H	P2M 用 DMA 起動コントロール・レジスタ	DMA_P2M_CONT	W	0000_0000H
6004H	P2M 用 DMA コントロール・ステータス・レジスタ	DMA_P2M_CONTSTATUS	R	0000_0000H
6008H	P2M 用 DMA 終了コントロール・レジスタ	DMA_P2M_END	W	0000_0000H
600CH - 60FCH	Reserved	-	-	-

(2) P2M 用割り込みパラメータ設定レジスタ

ベース・アドレス : 4009_0000H

(1/3)

アドレス	レジスタ名称	略号	R/W	リセット時
6800H	P2M 用割り込み出力先設定レジスタ (LCH0-CH14)	DMA_P2M_LCH0LCH14_INT_SEL	R/W	0000_0000H
6804H - 6FFCH	Reserved	-	-	-
6100H	ACPU 用割り込みステータス・レジスタ (LCH0-LCH3)	DMA_P2M_PE0_LCH0LCH3_INT_CONT	R	0000_0000H
6104H	ACPU 用割り込み Raw ステータス・レジスタ (LCH0-LCH3)	DMA_P2M_PE0_LCH0LCH3_INT_RAW	R	0000_0000H
6108H	ACPU 用割り込みイネーブル・セット・レジスタ (LCH0-LCH3)	DMA_P2M_PE0_LCH0LCH3_INT_ENABLE	R/W	0000_0000H
610CH	ACPU 用割り込みイネーブル・クリア・レジスタ (LCH0-LCH3)	DMA_P2M_PE0_LCH0LCH3_INT_ENABLE_CL	W	0000_0000H
6110H	ACPU 用割り込み要因クリア・レジスタ (LCH0-LCH3)	DMA_P2M_PE0_LCH0LCH3_INT_REQ_CL	W	0000_0000H
6114H - 611CH	Reserved	-	-	-
6120H	ACPU 用割り込みステータス・レジスタ (LCH4-LCH5)	DMA_P2M_PE0_LCH4LCH5_INT_CONT	R	0000_0000H
6124H	ACPU 用割り込み Raw ステータス・レジスタ (LCH4-LCH5)	DMA_P2M_PE0_LCH4LCH5_INT_RAW	R	0000_0000H
6128H	ACPU 用割り込みイネーブル・セット・レジスタ (LCH4-LCH5)	DMA_P2M_PE0_LCH4LCH5_INT_ENABLE	R/W	0000_0000H
612CH	ACPU 用割り込みイネーブル・クリア・レジスタ (LCH4-LCH5)	DMA_P2M_PE0_LCH4LCH5_INT_ENABLE_CL	W	0000_0000H
6130H	ACPU 用割り込み要因クリア・レジスタ (LCH4-LCH5)	DMA_P2M_PE0_LCH4LCH5_INT_REQ_CL	W	0000_0000H
6134H - 613FH	Reserved	-	-	-
6140H	ACPU 用割り込みステータス・レジスタ (LCH9-LCH10)	DMA_P2M_PE0_LCH9LCH10_INT_CONT	R	0000_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
6144H	ACPU用割り込みRawステータス・レジスタ (LCH9-LCH10)	DMA_P2M_PE0_LCH9LCH10_ INT_RAW	R	0000_0000H
6148H	ACPU用割り込みイネーブル・セット・レジスタ (LCH9-LCH10)	DMA_P2M_PE0_LCH9LCH10_ INT_ENABLE	R/W	0000_0000H
614CH	ACPU用割り込みイネーブル・クリア・レジスタ (LCH9-LCH10)	DMA_P2M_PE0_LCH9LCH10_ INT_ENABLE_CL	W	0000_0000H
6150H	ACPU用割り込み要因クリア・レジスタ (LCH9-LCH10)	DMA_P2M_PE0_LCH9LCH10_ INT_REQ_CL	W	0000_0000H
6154H - 615CH	Reserved	-	-	-
6160H	ACPU用割り込みステータス・レジスタ (LCH12-LCH14)	DMA_P2M_PE0_LCH12LCH14_ _INT_CONT	R	0000_0000H
6164H	ACPU用割り込みRawステータス・レジスタ (LCH12-LCH14)	DMA_P2M_PE0_LCH12LCH14_ _INT_RAW	R	0000_0000H
6168H	ACPU用割り込みイネーブル・セット・レジスタ (LCH12-LCH14)	DMA_P2M_PE0_LCH12LCH14_ _INT_ENABLE	R/W	0000_0000H
616CH	ACPU用割り込みイネーブル・クリア・レジスタ (LCH12-LCH14)	DMA_P2M_PE0_LCH12LCH14_ _INT_ENABLE_CL	W	0000_0000H
6170H	ACPU用割り込み要因クリア・レジスタ (LCH12-LCH14)	DMA_P2M_PE0_LCH12LCH14_ _INT_REQ_CL	W	0000_0000H
6174H - 63FCH	Reserved	-	-	-
6400H	DSP用割り込みステータス(LCH0-LCH3)・レジスタ	DMA_P2M_DSP_LCH0LCH3_I NT_CONT	R	0000_0000H
6404H	DSP用割り込みRawステータス・レジスタ (LCH0-LCH3)	DMA_P2M_DSP_LCH0LCH3_I NT_RAW	R	0000_0000H
6408H	DSP用割り込みイネーブル・セット・レジスタ (LCH0-LCH3)	DMA_P2M_DSP_LCH0LCH3_I NT_ENABLE	R/W	0000_0000H
640CH	DSP用割り込みイネーブル・クリア・レジスタ (LCH0-LCH3)	DMA_P2M_DSP_LCH0LCH3_I NT_ENABLE_CL	W	0000_0000H
6410H	DSP用割り込み要因クリア・レジスタ(LCH0-LCH3)	DMA_P2M_DSP_LCH0LCH3_I NT_REQ_CL	W	0000_0000H
6414H - 641CH	Reserved	-	-	-
6420H	DSP用割り込みステータス・レジスタ(LCH4-LCH5)	DMA_P2M_DSP_LCH4LCH5_I NT_CONT	R	0000_0000H
6424H	DSP用割り込みRawステータス・レジスタ (LCH4-LCH5)	DMA_P2M_DSP_LCH4LCH5_I NT_RAW	R	0000_0000H
6428H	DSP用割り込みイネーブル・セット(LCH4-LCH5)	DMA_P2M_DSP_LCH4LCH5_I NT_ENABLE	R/W	0000_0000H
642CH	DSP用割り込みイネーブル・クリア・レジスタ (LCH4-LCH5)	DMA_P2M_DSP_LCH4LCH5_I NT_ENABLE_CL	W	0000_0000H
6430H	DSP用割り込み要因クリア・レジスタ(LCH4-LCH5)	DMA_P2M_DSP_LCH4LCH5_I NT_REQ_CL	W	0000_0000H
6434H - 643CH	Reserved	-	-	-

アドレス	レジスタ名称	略号	R/W	リセット時
6440H	DSP用割り込みステータス・レジスタ(LCH9-LCH10)	DMA_P2M_DSP_LCH9LCH10_ INT_CONT	R	0000_0000H
6444H	DSP用割り込みRawステータス・レジスタ (LCH9-LCH10)	DMA_P2M_DSP_LCH9LCH10_ INT_RAW	R	0000_0000H
6448H	DSP用割り込みイネーブル・セット・レジスタ (LCH9-LCH10)	DMA_P2M_DSP_LCH9LCH10_ INT_ENABLE	R/W	0000_0000H
644CH	DSP用割り込みイネーブル・クリア・レジスタ (LCH9-LCH10)	DMA_P2M_DSP_LCH9LCH10_ INT_ENABLE_CL	W	0000_0000H
6450H	DSP用割り込み要因クリア・レジスタ(LCH9-LCH10)	DMA_P2M_DSP_LCH9LCH10_ INT_REQ_CL	W	0000_0000H
6454H - 645CH	Reserved	-	-	-
6460H	DSP用割り込みステータス・レジスタ (LCH12-LCH14)	DMA_P2M_DSP_LCH12LCH14 _INT_CONT	R	0000_0000H
6464H	DSP用割り込みRawステータス・レジスタ (LCH12-LCH14)	DMA_P2M_DSP_LCH12LCH14 _INT_RAW	R	0000_0000H
6468H	DSP用割り込みイネーブル・セット・レジスタ (LCH12-LCH14)	DMA_P2M_DSP_LCH12LCH14 _INT_ENABLE	R/W	0000_0000H
646CH	DSP用割り込みイネーブル・クリア・レジスタ (LCH12-LCH14)	DMA_P2M_DSP_LCH12LCH14 _INT_ENABLE_CL	W	0000_0000H
6470H	DSP用割り込み要因クリア・レジスタ・レジスタ (LCH12-LCH14)	DMA_P2M_DSP_LCH12LCH14 _INT_REQ_CL	W	0000_0000H
6474H - 67FCH	Reserved	-	-	-

(3) P2M 用 LCH0 パラメータ設定レジスタ

ベース・アドレス：4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
7000H	P2M 用 LCH0 ソース・アドレス・レジスタ	DMA_P2M_LCH0_AADD	R/W	0000_0000H
7004H- 701CH	Reserved	-	-	-
7020H	P2M 用 LCH0 ディスティネーション・アドレス・レジスタ (スタート・アドレス)	DMA_P2M_LCH0_BADD	R/W	0000_0000H
7024H	P2M 用 LCH0 ディスティネーション・アドレス・ポインタ・レジスタ	DMA_P2M_LCH0_BADP	R	0000_0000H
7028H	P2M 用 LCH0 ディスティネーション・アドレス・オフセット・レジスタ	DMA_P2M_LCH0_BOFF	R/W	0000_0000H
702CH	P2M 用 LCH0 ディスティネーション・ブロック・サイズ・レジスタ	DMA_P2M_LCH0_BSIZE	R/W	0000_0000H
7030H	P2M 用 LCH0 ディスティネーション・ブロック・カウント・レジスタ	DMA_P2M_LCH0_BSIZE_COUNT	R/W	0000_0000H
7034H- 703CH	Reserved	-	-	-
7040H	P2M 用 LCH0 レングス・レジスタ	DMA_P2M_LCH0_LENG	R/W	0000_0000H
7044H	P2M 用 LCH0 リード・レングス・カウント・レジスタ	DMA_P2M_LCH0_LENG_COUNT	R	0000_0000H
7048H	P2M 用 LCH0 ライト・レングス・カウント・レジスタ	DMA_P2M_LCH0_LENG_WCOUNT	R	0000_0000H
704CH	Reserved	-	-	-
7050H	P2M 用 LCH0 モード・レジスタ (タイマ設定, ビット幅, リード/ライト・エンディアン, リピート)	DMA_P2M_LCH0_MODE	R/W	E4E4_0000H
7054H	P2M 用 LCH0 タイマ・レジスタ	DMA_P2M_LCH0_TIME	R/W	0000_0000H
7058H	P2M 用 LCH0 タイマ・カウント・レジスタ	DMA_P2M_LCH0_TIME_COUNT	R	0000_0000H
705CH - 70FCH	Reserved	-	-	-

備考 ソース側にペリフェラル, ディスティネーション側にメモリを設定してください。

(4) P2M 用 LCH1 パラメータ設定レジスタ

ベース・アドレス：4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
7100H	P2M 用 LCH1 ソース・アドレス・レジスタ	DMA_P2M_LCH1_AADD	R/W	0000_0000H
7104H- 711CH	Reserved	-	-	-
7120H	P2M 用 LCH1 ディスティネーション・アドレス・レジスタ (スタート・アドレス)	DMA_P2M_LCH1_BADD	R/W	0000_0000H
7124H	P2M 用 LCH1 ディスティネーション・アドレス・ポインタ・レジスタ	DMA_P2M_LCH1_BADP	R	0000_0000H
7128H	P2M 用 LCH1 ディスティネーション・アドレス・オフセット・レジスタ	DMA_P2M_LCH1_BOFF	R/W	0000_0000H
712CH	P2M 用 LCH1 ディスティネーション・ブロック・サイズ・レジスタ	DMA_P2M_LCH1_BSIZE	R/W	0000_0000H
7130H	P2M 用 LCH1 ディスティネーション・ブロック・カウント・レジスタ	DMA_P2M_LCH1_BSIZE_COUNT	R/W	0000_0000H
7134H- 713CH	Reserved	-	-	-
7140H	P2M 用 LCH1 レングス・レジスタ	DMA_P2M_LCH1_LENG	R/W	0000_0000H
7144H	P2M 用 LCH1 リード・レングス・カウント・レジスタ	DMA_P2M_LCH1_LENG_COUNT	R	0000_0000H
7148H	P2M 用 LCH1 ライト・レングス・カウント・レジスタ	DMA_P2M_LCH1_LENG_WCOUNT	R	0000_0000H
714CH	Reserved	-	-	-
7150H	P2M 用 LCH1 モード・レジスタ (タイマ設定, ビット幅, リード/ライト・エンディアン, リピート)	DMA_P2M_LCH1_MODE	R/W	E4E4_0000H
7154H	P2M 用 LCH1 タイマ・レジスタ	DMA_P2M_LCH1_TIME	R/W	0000_0000H
7158H	P2M 用 LCH1 タイマ・カウント・レジスタ	DMA_P2M_LCH1_TIME_COUNT	R	0000_0000H
715CH - 71FCH	Reserved	-	-	-

備考 ソース側にペリフェラル, ディスティネーション側にメモリを設定してください。

(5) P2M 用 LCH2 パラメータ設定レジスタ

ベース・アドレス：4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
7200H	P2M 用 LCH2 ソース・アドレス・レジスタ	DMA_P2M_LCH2_AADD	R/W	0000_0000H
7204H- 721CH	Reserved	-	-	-
7220H	P2M 用 LCH2 ディスティネーション・アドレス・レジスタ (スタート・アドレス)	DMA_P2M_LCH2_BADD	R/W	0000_0000H
7224H	P2M 用 LCH2 ディスティネーション・アドレス・ポインタ・レジスタ	DMA_P2M_LCH2_BADP	R	0000_0000H
7228H	P2M 用 LCH2 ディスティネーション・アドレス・オフセット・レジスタ	DMA_P2M_LCH2_BOFF	R/W	0000_0000H
722CH	P2M 用 LCH2 ディスティネーション・ブロック・サイズ・レジスタ	DMA_P2M_LCH2_BSIZE	R/W	0000_0000H
7230H	P2M 用 LCH2 ディスティネーション・ブロック・カウント・レジスタ	DMA_P2M_LCH2_BSIZE_COUNT	R/W	0000_0000H
7234H- 723CH	Reserved	-	-	-
7240H	P2M 用 LCH2 レングス・レジスタ	DMA_P2M_LCH2_LENG	R/W	0000_0000H
7244H	P2M 用 LCH2 リード・レングス・カウント・レジスタ	DMA_P2M_LCH2_LENG_COUNT	R	0000_0000H
7248H	P2M 用 LCH2 ライト・レングス・カウント・レジスタ	DMA_P2M_LCH2_LENG_WCOUNT	R	0000_0000H
724CH	Reserved	-	-	-
7250H	P2M 用 LCH2 モード・レジスタ (タイマ設定, ビット幅, リード/ライト・エンディアン, リピート)	DMA_P2M_LCH2_MODE	R/W	E4E4_0000H
7254H	P2M 用 LCH2 タイマ・レジスタ	DMA_P2M_LCH2_TIME	R/W	0000_0000H
7258H	P2M 用 LCH2 タイマ・カウント・レジスタ	DMA_P2M_LCH2_TIME_COUNT	R	0000_0000H
725CH - 72FCH	Reserved	-	-	-

備考 ソース側にペリフェラル, ディスティネーション側にメモリを設定してください。

(6) P2M 用 LCH3 パラメータ設定レジスタ

ベース・アドレス：4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
7300H	P2M 用 LCH3 ソース・アドレス・レジスタ	DMA_P2M_LCH3_AADD	R/W	0000_0000H
7304H- 731CH	Reserved	-	-	-
7320H	P2M 用 LCH3 ディスティネーション・アドレス・レジスタ (スタート・アドレス)	DMA_P2M_LCH3_BADD	R/W	0000_0000H
7324H	P2M 用 LCH3 ディスティネーション・アドレス・ポインタ・レジスタ	DMA_P2M_LCH3_BADP	R	0000_0000H
7328H	P2M 用 LCH3 ディスティネーション・アドレス・オフセット・レジスタ	DMA_P2M_LCH3_BOFF	R/W	0000_0000H
732CH	P2M 用 LCH3 ディスティネーション・ブロック・サイズ・レジスタ	DMA_P2M_LCH3_BSIZE	R/W	0000_0000H
7330H	P2M 用 LCH3 ディスティネーション・ブロック・カウント・レジスタ	DMA_P2M_LCH3_BSIZE_COUNT	R/W	0000_0000H
7334H- 733CH	Reserved	-	-	-
7340H	P2M 用 LCH3 レングス・レジスタ	DMA_P2M_LCH3_LENG	R/W	0000_0000H
7344H	P2M 用 LCH3 リード・レングス・カウント・レジスタ	DMA_P2M_LCH3_LENG_COUNT_READ	R	0000_0000H
7348H	P2M 用 LCH3 ライト・レングス・カウント・レジスタ	DMA_P2M_LCH3_LENG_COUNT_WRITE	R	0000_0000H
734CH	Reserved	-	-	-
7350H	P2M 用 LCH3 モード・レジスタ (ビット幅, リード/ライト・エンディアン, リピート)	DMA_P2M_LCH3_MODE	R/W	E4E4_0000H
7354H - 73FCH	Reserved	-	-	-

備考 ソース側にペリフェラル, ディスティネーション側にメモリを設定してください。

(7) P2M 用 LCH4 パラメータ設定レジスタ

ベース・アドレス：4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
7400H	P2M 用 LCH4 ソース・アドレス・レジスタ	DMA_P2M_LCH4_AADD	R/W	0000_0000H
7404H- 741CH	Reserved	-	-	-
7420H	P2M 用 LCH4 ディスティネーション・アドレス・レジスタ (スタート・アドレス)	DMA_P2M_LCH4_BADD	R/W	0000_0000H
7424H	P2M 用 LCH4 ディスティネーション・アドレス・ポインタ・レジスタ	DMA_P2M_LCH4_BADP	R	0000_0000H
7428H	P2M 用 LCH4 ディスティネーション・アドレス・オフセット・レジスタ	DMA_P2M_LCH4_BOFF	R/W	0000_0000H
742CH	P2M 用 LCH4 ディスティネーション・ブロック・サイズ・レジスタ	DMA_P2M_LCH4_BSIZE	R/W	0000_0000H
7430H	P2M 用 LCH4 ディスティネーション・ブロック・カウント・レジスタ	DMA_P2M_LCH4_BSIZE_COUNT	R/W	0000_0000H
7434H- 743CH	Reserved	-	-	-
7440H	P2M 用 LCH4 レングス・レジスタ	DMA_P2M_LCH4_LENG	R/W	0000_0000H
7444H	P2M 用 LCH4 リード・レングス・カウント・レジスタ	DMA_P2M_LCH4_LENG_COUNT	R	0000_0000H
7448H	P2M 用 LCH4 ライト・レングス・カウント・レジスタ	DMA_P2M_LCH4_LENG_WCOUNT	R	0000_0000H
744CH	Reserved	-	-	-
7450H	P2M 用 LCH4 モード・レジスタ (ビット幅, リード/ライト・エンディアン, リピート)	DMA_P2M_LCH4_MODE	R/W	E4E4_0000H
7454H- 74FCH	Reserved	-	-	-

備考 ソース側にペリフェラル, ディスティネーション側にメモリを設定してください。

(8) P2M 用 LCH5 パラメータ設定レジスタ

ベース・アドレス：4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
7500H	P2M 用 LCH5 ソース・アドレス・レジスタ	DMA_P2M_LCH5_AADD	R/W	0000_0000H
7504H- 751CH	Reserved	-	-	-
7520H	P2M 用 LCH5 ディスティネーション・アドレス・レジスタ (スタート・アドレス)	DMA_P2M_LCH5_BADD	R/W	0000_0000H
7524H	P2M 用 LCH5 ディスティネーション・アドレス・ポインタ・レジスタ	DMA_P2M_LCH5_BADP	R	0000_0000H
7528H	P2M 用 LCH5 ディスティネーション・アドレス・オフセット・レジスタ	DMA_P2M_LCH5_BOFF	R/W	0000_0000H
752CH	P2M 用 LCH5 ディスティネーション・ブロック・サイズ・レジスタ	DMA_P2M_LCH5_BSIZE	R/W	0000_0000H
7530H	P2M 用 LCH5 ディスティネーション・ブロック・カウント・レジスタ	DMA_P2M_LCH5_BSIZE_COUNT	R/W	0000_0000H
7534H- 753CH	Reserved	-	-	-
7540H	P2M 用 LCH5 レングス・レジスタ	DMA_P2M_LCH5_LENG	R/W	0000_0000H
7544H	P2M 用 LCH5 リード・レングス・カウント・レジスタ	DMA_P2M_LCH5_LENG_COUNT	R	0000_0000H
7548H	P2M 用 LCH5 ライト・レングス・カウント・レジスタ	DMA_P2M_LCH5_LENG_WCOUNT	R	0000_0000H
754CH	Reserved	-	-	-
7550H	P2M 用 LCH5 モード・レジスタ (ビット幅, リード/ライト・エンディアン, リピート)	DMA_P2M_LCH5_MODE	R/W	E4E4_0000H
7554H- 76FCH	Reserved	-	-	-

備考 ソース側にペリフェラル, ディスティネーション側にメモリを設定してください。

(9) P2M 用 LCH9 パラメータ設定レジスタ

ベース・アドレス：4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
7900H	P2M 用 LCH9 ソース・アドレス・レジスタ	DMA_P2M_LCH9_AADD	R/W	0000_0000H
7904H- 791CH	Reserved	-	-	-
7920H	P2M 用 LCH9 ディスティネーション・アドレス・レジスタ (スタート・アドレス)	DMA_P2M_LCH9_BADD	R/W	0000_0000H
7924H	P2M 用 LCH9 ディスティネーション・アドレス・ポインタ・レジスタ	DMA_P2M_LCH9_BADP	R	0000_0000H
7928H	P2M 用 LCH9 ディスティネーション・アドレス・オフセット・レジスタ	DMA_P2M_LCH9_BOFF	R/W	0000_0000H
792CH	P2M 用 LCH9 ディスティネーション・ブロック・サイズ・レジスタ	DMA_P2M_LCH9_BSIZE	R/W	0000_0000H
7930H	P2M 用 LCH9 ディスティネーション・ブロック・カウント・レジスタ	DMA_P2M_LCH9_BSIZE_COUNT	R/W	0000_0000H
7934H- 793CH	Reserved	-	-	-
7940H	P2M 用 LCH9 レングス・レジスタ	DMA_P2M_LCH9_LENG	R/W	0000_0000H
7944H	P2M 用 LCH9 リード・レングス・カウント・レジスタ	DMA_P2M_LCH9_LENG_COUNT	R	0000_0000H
7948H	P2M 用 LCH9 ライト・レングス・カウント・レジスタ	DMA_P2M_LCH9_LENG_WCOUNT	R	0000_0000H
794CH	Reserved	-	-	-
7950H	P2M 用 LCH9 モード・レジスタ (ビット幅, リード/ライト・エンディアン, リピート)	DMA_P2M_LCH9_MODE	R/W	E4E4_0000H
7954H- 79FCH	Reserved	-	-	-

備考 ソース側にペリフェラル, ディスティネーション側にメモリを設定してください。

(10) P2M 用 LCH10 パラメータ設定レジスタ

ベース・アドレス：4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
7A00H	P2M 用 LCH10 ソース・アドレス・レジスタ	DMA_P2M_LCH10_AADD	R/W	0000_0000H
7A04H- 7A1CH	Reserved	-	-	-
7A20H	P2M 用 LCH10 ディスティネーション・アドレス・レジスタ (スタート・アドレス)	DMA_P2M_LCH10_BADD	R/W	0000_0000H
7A24H	P2M 用 LCH10 ディスティネーション・アドレス・ポインタ・レジスタ	DMA_P2M_LCH10_BADP	R	0000_0000H
7A28H	P2M 用 LCH10 ディスティネーション・アドレス・オフセット・レジスタ	DMA_P2M_LCH10_BOFF	R/W	0000_0000H
7A2CH	P2M 用 LCH10 ディスティネーション・ブロック・サイズ・レジスタ	DMA_P2M_LCH10_BSIZE	R/W	0000_0000H
7A30H	P2M 用 LCH10 ディスティネーション・ブロック・カウント・レジスタ	DMA_P2M_LCH10_BSIZE_CO UNT	R/W	0000_0000H
7A34H- 7A3CH	Reserved	-	-	-
7A40H	P2M 用 LCH10 レンガス・レジスタ	DMA_P2M_LCH10_LENG	R/W	0000_0000H
7A44H	P2M 用 LCH10 リード・レンガス・カウント・レジスタ	DMA_P2M_LCH10_LENG_RC OUNT	R	0000_0000H
7A48H	P2M 用 LCH10 ライト・レンガス・カウント・レジスタ	DMA_P2M_LCH10_LENG_WC OUNT	R	0000_0000H
7A4CH	Reserved	-	-	-
7A50H	P2M 用 LCH10 モード・レジスタ (ビット幅, リード / ライト・エンディアン, リピート)	DMA_P2M_LCH10_MODE	R/W	E4E4_0000H
7A54H- 7AFCH	Reserved	-	-	-

備考 ソース側にペリフェラル, ディスティネーション側にメモリを設定してください。

(11) P2M 用 LCH12 パラメータ設定レジスタ

ベース・アドレス：4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
7C00H	P2M 用 LCH12 ソース・アドレス・レジスタ	DMA_P2M_LCH12_AADD	R/W	0000_0000H
7C04H- 7C1CH	Reserved	-	-	-
7C20H	P2M 用 LCH12 ディスティネーション・アドレス・レジスタ (スタート・アドレス)	DMA_P2M_LCH12_BADD	R/W	0000_0000H
7C24H	P2M 用 LCH12 ディスティネーション・アドレス・ポインタ・レジスタ	DMA_P2M_LCH12_BADP	R	0000_0000H
7C28H	P2M 用 LCH12 ディスティネーション・アドレス・オフセット・レジスタ	DMA_P2M_LCH12_BOFF	R/W	0000_0000H
7C2CH	P2M 用 LCH12 ディスティネーション・ブロック・サイズ・レジスタ	DMA_P2M_LCH12_BSIZE	R/W	0000_0000H
7C30H	P2M 用 LCH12 ディスティネーション・ブロック・カウント・レジスタ	DMA_P2M_LCH12_BSIZE_COUNT	R/W	0000_0000H
7C34H- 7C3CH	Reserved	-	-	-
7C40H	P2M 用 LCH12 レンガス・レジスタ	DMA_P2M_LCH12 LENG	R/W	0000_0000H
7C44H	P2M 用 LCH12 リード・レンガス・カウント・レジスタ	DMA_P2M_LCH12 LENG_RCOUNT	R	0000_0000H
7C48H	P2M 用 LCH12 ライト・レンガス・カウント・レジスタ	DMA_P2M_LCH12 LENG_WCOUNT	R	0000_0000H
7C4CH	Reserved	-	-	-
7C50H	P2M 用 LCH12 モード・レジスタ (ビット幅, リード / ライト・エンディアン, リピート)	DMA_P2M_LCH12_MODE	R/W	E4E4_0000H
7C54H- 7C5FH	Reserved	-	-	-

備考 ソース側にペリフェラル, ディスティネーション側にメモリを設定してください。

(12) P2M 用 LCH13 パラメータ設定レジスタ

ベース・アドレス：4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
7D00H	P2M 用 LCH13 ソース・アドレス・レジスタ	DMA_P2M_LCH13_AADD	R/W	0000_0000H
7D04H- 7D1CH	Reserved	-	-	-
7D20H	P2M 用 LCH13 ディスティネーション・アドレス・レジスタ (スタート・アドレス)	DMA_P2M_LCH13_BADD	R/W	0000_0000H
7D24H	P2M 用 LCH13 ディスティネーション・アドレス・ポインタ・レジスタ	DMA_P2M_LCH13_BADP	R	0000_0000H
7D28H	P2M 用 LCH13 ディスティネーション・アドレス・オフセット・レジスタ	DMA_P2M_LCH13_BOFF	R/W	0000_0000H
7D2CH	P2M 用 LCH13 ディスティネーション・ブロック・サイズ・レジスタ	DMA_P2M_LCH13_BSIZE	R/W	0000_0000H
7D30H	P2M 用 LCH13 ディスティネーション・ブロック・カウント・レジスタ	DMA_P2M_LCH13_BSIZE_CO UNT	R/W	0000_0000H
7D34H- 7D3CH	Reserved	-	-	-
7D40H	P2M 用 LCH13 レンガス・レジスタ	DMA_P2M_LCH13_LENG	R/W	0000_0000H
7D44H	P2M 用 LCH13 リード・レンガス・カウント・レジスタ	DMA_P2M_LCH13_LENG_RC OUNT	R	0000_0000H
7D48H	P2M 用 LCH13 ライト・レンガス・カウント・レジスタ	DMA_P2M_LCH13_LENG_WC OUNT	R	0000_0000H
7D4CH	Reserved	-	-	-
7D50H	P2M 用 LCH13 モード・レジスタ (ビット幅, リード / ライト・エンディアン, リピート)	DMA_P2M_LCH13_MODE	R/W	E4E4_0000H
7D54H- 7DFCH	Reserved	-	-	-

備考 ソース側にペリフェラル, ディスティネーション側にメモリを設定してください。

(13) P2M 用 LCH14 パラメータ設定レジスタ

ベース・アドレス：4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
7E00H	P2M 用 LCH14 ソース・アドレス・レジスタ	DMA_P2M_LCH14_AADD	R/W	0000_0000H
7E04H- 7E1CH	Reserved	-	-	-
7E20H	P2M 用 LCH14 ディスティネーション・アドレス・レジスタ (スタート・アドレス)	DMA_P2M_LCH14_BADD	R/W	0000_0000H
7E24H	P2M 用 LCH14 ディスティネーション・アドレス・ポインタ・レジスタ	DMA_P2M_LCH14_BADP	R	0000_0000H
7E28H	P2M 用 LCH14 ディスティネーション・アドレス・オフセット・レジスタ	DMA_P2M_LCH14_BOFF	R/W	0000_0000H
7E2CH	P2M 用 LCH14 ディスティネーション・ブロック・サイズ・レジスタ	DMA_P2M_LCH14_BSIZE	R/W	0000_0000H
7E30H	P2M 用 LCH14 ディスティネーション・ブロック・カウント・レジスタ	DMA_P2M_LCH14_BSIZE_COUNT	R/W	0000_0000H
7E34H- 7E3CH	Reserved	-	-	-
7E40H	P2M 用 LCH14 レンガス・レジスタ	DMA_P2M_LCH14_LENG	R/W	0000_0000H
7E44H	P2M 用 LCH14 リード・レンガス・カウント・レジスタ	DMA_P2M_LCH14_LENG_COUNT	R	0000_0000H
7E48H	P2M 用 LCH14 ライト・レンガス・カウント・レジスタ	DMA_P2M_LCH14_LENG_COUNT	R	0000_0000H
7E4CH	Reserved	-	-	-
7E50H	P2M 用 LCH14 モード・レジスタ (ビット幅, リード / ライト・エンディアン, リピート)	DMA_P2M_LCH14_MODE	R/W	E4E4_0000H
7E54H- 7EFCH	Reserved	-	-	-

備考 ソース側にペリフェラル, ディスティネーション側にメモリを設定してください。

2.2.4 割り込みインデックス・レジスタ

ベース・アドレス：4009_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
8000H	ACPU 用割り込みインデックス・レジスタ	DMA_PE0_INT_INDEX	R	0000_0000H
8004H- 8008H	Reserved	-	-	-
800CH	DSP 用割り込みインデックス・レジスタ	DMA_DSP_INT_INDEX	R	0000_0000H
8010H - 80FCH	Reserved	-	-	-
8100H	ACPU 用割り込みインデックス 2 レジスタ (1 ビットごとに LCH 割り当て)	DMA_PE0_INT_INDEX2	R	0000_0000H
8104H- 8108H	Reserved	-	-	-
810CH	DSP 用割り込みインデックス 2 レジスタ (1 ビットごとに LCH 割り当て)	DMA_DSP_INT_INDEX2	R	0000_0000H
8110H - 8FFCH	Reserved	-	-	-

2.3 レジスタ機能

2.3.1 ACPU用DMAコントロール, ステータス・レジスタ

(1) ACPU 用 DMA 起動コントロール・レジスタ

本レジスタ (DMA_ARM_CONT : 4009_0000H) は, 論理チャネルごとに DMA 転送を開始するレジスタです。ACPU用DMAコントロール・ステータス・レジスタのARM_LCHx_RESERVEビットが“0”のときに本レジスタをセットした場合, 現在の転送が完了すると同時に次の転送がスタートします (簡易予約機能)。簡易予約機能は, 次の転送の転送パラメータ設定後に使用する必要があります。詳細は 3.4.3 連続転送機能を参照してください。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved				ARM_LCH3_ CONT	ARM_LCH2_ CONT	ARM_LCH1_ CONT	ARM_LCH0_ CONT

名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:4	-	予約。読み出すと0を返します。
ARM_LCH3_CONT	W	3	0	ACPU 用 LCH3 DMA 転送開始 (1 : DMA 転送開始)
ARM_LCH2_CONT	W	2	0	ACPU 用 LCH2 DMA 転送開始 (1 : DMA 転送開始)
ARM_LCH1_CONT	W	1	0	ACPU 用 LCH1 DMA 転送開始 (1 : DMA 転送開始)
ARM_LCH0_CONT	W	0	0	ACPU 用 LCH0 DMA 転送開始 (1 : DMA 転送開始)

(2) ACPU 用 DMA コントロール・ステータス・レジスタ

本レジスタ (DMA_ARM_CONTSTATUS : 4009_0004H) は、ステータスを確認するレジスタです。

DMA 起動予約状態レジスタは、DMA 転送予約がすでに存在することを示します。該当ビットが“1”のときは、その LCH はすでに予約があるため、転送予約はできません。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved				ARM_LCH3_	ARM_LCH2_	ARM_LCH1_	ARM_LCH0_
				RESERVE	RESERVE	RESERVE	RESERVE
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved				ARM_LCH3_	ARM_LCH2_	ARM_LCH1_	ARM_LCH0_
				CONTSTATU	CONTSTATU	CONTSTATU	CONTSTATU
				S	S	S	S

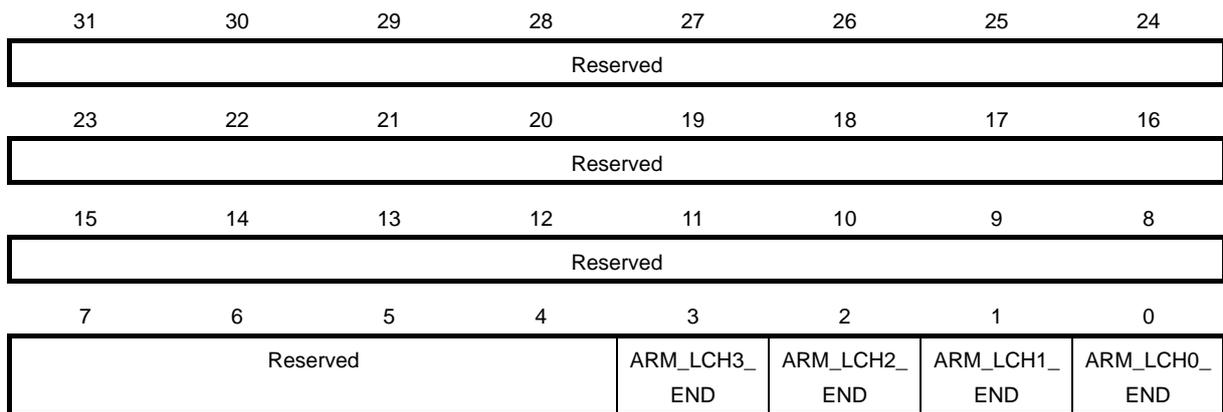
名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:20	-	予約。読み出すと 0 を返します。
ARM_LCH3_RESERVE	R	19	0	ACPU 用 LCH3 DMA 起動予約状態を示します。 0 : 予約なし, 1 : 予約あり
ARM_LCH2_RESERVE	R	18	0	ACPU 用 LCH2 DMA 起動予約状態を示します。 0 : 予約なし, 1 : 予約あり
ARM_LCH1_RESERVE	R	17	0	ACPU 用 LCH1 DMA 起動予約状態を示します。 0 : 予約なし, 1 : 予約あり
ARM_LCH0_RESERVE	R	16	0	ACPU 用 LCH0 DMA 起動予約状態を示します。 0 : 予約なし, 1 : 予約あり
Reserved	-	15:4	-	予約。読み出すと 0 を返します。
ARM_LCH3_CONTSTATUS	R	3	0	ACPU 用 LCH3 DMA ステータスを示します。 0 : DMA 停止中, 1 : DMA 起動中
ARM_LCH2_CONTSTATUS	R	2	0	ACPU 用 LCH2 DMA ステータスを示します。 0 : DMA 停止中, 1 : DMA 起動中
ARM_LCH1_CONTSTATUS	R	1	0	ACPU 用 LCH1 DMA ステータスを示します。 0 : DMA 停止中, 1 : DMA 起動中
ARM_LCH0_CONTSTATUS	R	0	0	ACPU 用 LCH0 DMA ステータスを示します。 0 : DMA 停止中, 1 : DMA 起動中

(3) ACPU 用 DMA 終了コントロール・レジスタ

本レジスタ (DMA_ARM_END : 4009_0008H) は、DMA 強制終了をするレジスタです。

強制終了した場合、予約していた転送も破棄されます。強制終了した場合、現在実行中の AHB トランザクションを最後まで実行したあとに DMA 転送が停止する仕組みになっています。よって現在実行中の AHB トランザクションが完了する前に、DMA を再スタートすることはできません。強制停止を行った場合は、再起動前に、DMA コントロール・ステータス・レジスタを読み出して、DMA ステータス・ビットが“0”になっていることを確認してから、DMA 転送開始ビットをセットしてください。

強制終了は DMA スタート後少なくとも 1 回の DMA ライト転送が行われたあとに実行してください (内部回路のパラメータ更新が行われず、DMA 転送が正しく行われません)。



名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:4	-	予約。読み出すと 0 を返します。
ARM_LCH3_END	W	3	0	ACPU 用 LCH3 DMA 強制終了
ARM_LCH2_END	W	2	0	ACPU 用 LCH2 DMA 強制終了
ARM_LCH1_END	W	1	0	ACPU 用 LCH1 DMA 強制終了
ARM_LCH0_END	W	0	0	ACPU 用 LCH0 DMA 強制終了

備考 0 : 現状保持, 1 : DMA 強制終了

2.3.2 ACPU/ADSP用割り込みパラメータ設定レジスタ

リングス転送終了,ブロック転送終了,エラー終了の3種類の割り込みの各種パラメータを設定するレジスタです。

(1) ACPU/ADSP用割り込みステータス・レジスタ

本レジスタ (DMA_ARM_XXX_LCH0LCH3_INT_CONT) は、割り込み要因の状態を示します。

AHB ライト側 (*_W_*), AHB リード側 (*_R_*) それぞれに要因レジスタを持っています。

備考 ACPU / DSP 個別にレジスタを持っています。ARM_LCHx_INT_SEL レジスタで使用するプロセッサを選択します。

- DMA_ARM_PE0_LCH0LCH3_INT_CONT : 4009_0100H (ACPU)
- DMA_ARM_DSP_LCH0LCH3_INT_CONT : 4009_0400H (ADSP)

31	30	29	28	27	26	25	24
Reserved	ARM_LCH3_INT_ERROR_W_CONT	ARM_LCH3_INT_BLOCK_W_CONT	ARM_LCH3_INT LENG_W_CONT	Reserved	ARM_LCH3_INT_ERROR_R_CONT	Reserved	
23	22	21	20	19	18	17	16
Reserved	ARM_LCH2_INT_ERROR_W_CONT	ARM_LCH2_INT_BLOCK_W_CONT	ARM_LCH2_INT LENG_W_CONT	Reserved	ARM_LCH2_INT_ERROR_R_CONT	Reserved	
15	14	13	12	11	10	9	8
Reserved	ARM_LCH1_INT_ERROR_W_CONT	ARM_LCH1_INT_BLOCK_W_CONT	ARM_LCH1_INT LENG_W_CONT	Reserved	ARM_LCH1_INT_ERROR_R_CONT	Reserved	
7	6	5	4	3	2	1	0
Reserved	ARM_LCH0_INT_ERROR_W_CONT	ARM_LCH0_INT_BLOCK_W_CONT	ARM_LCH0_INT LENG_W_CONT	Reserved	ARM_LCH0_INT_ERROR_R_CONT	Reserved	

(1/2)

名称	R/W	ビット	リセット時	機能
Reserved	-	31	-	予約。読み出すと0を返します。
ARM_LCH3_INT_ERROR_W_CONT	R	30	0	ACPU/ADSP用LCH3のエラーによる割り込み要因の状態を示します。
ARM_LCH3_INT_BLOCK_W_CONT	R	29	0	ACPU/ADSP用LCH3のブロック転送終了による割り込み要因の状態を示します。
ARM_LCH3_INT LENG_W_CONT	R	28	0	ACPU/ADSP用LCH3のリングス転送終了による割り込み要因の状態を示します。
Reserved	-	27	-	予約。読み出すと0を返します。
ARM_LCH3_INT_ERROR_R_CONT	R	26	0	ACPU/ADSP用LCH3のエラーによる割り込み要因の状態を示します。
Reserved	-	25:23	-	予約。読み出すと0を返します。

名 称	R/W	ビット	リセット時	機 能
ARM_LCH2_INT_ERROR_W_CONT	R	22	0	ACPU/ADSP 用 LCH2 のエラーによる割り込み要因の状態を示します。
ARM_LCH2_INT_BLOCK_W_CONT	R	21	0	ACPU/ADSP 用 LCH2 のブロック転送終了による割り込み要因の状態を示します。
ARM_LCH2_INT_LENG_W_CONT	R	20	0	ACPU/ADSP 用 LCH2 のレングス転送終了による割り込み要因の状態を示します。
Reserved	-	19	-	予約。読み出すと 0 を返します。
ARM_LCH2_INT_ERROR_R_CONT	R	18	0	ACPU/ADSP 用 LCH2 のエラーによる割り込み要因の状態を示します。
Reserved	-	17:15	-	予約。読み出すと 0 を返します。
ARM_LCH1_INT_ERROR_W_CONT	R	14	0	ACPU/ADSP 用 LCH1 のエラーによる割り込み要因の状態を示します。
ARM_LCH1_INT_BLOCK_W_CONT	R	13	0	ACPU/ADSP 用 LCH1 のブロック転送終了による割り込み要因の状態を示します。
ARM_LCH1_INT_LENG_W_CONT	R	12	0	ACPU/ADSP 用 LCH1 のレングス転送終了による割り込み要因の状態を示します。
Reserved	-	11	-	予約。読み出すと 0 を返します。
ARM_LCH1_INT_ERROR_R_CONT	R	10	0	ACPU/ADSP 用 LCH1 のエラーによる割り込み要因の状態を示します。
Reserved	-	9:7	-	予約。読み出すと 0 を返します。
ARM_LCH0_INT_ERROR_W_CONT	R	6	0	ACPU/ADSP 用 LCH0 のエラーによる割り込み要因の状態を示します。
ARM_LCH0_INT_BLOCK_W_CONT	R	5	0	ACPU/ADSP 用 LCH0 のブロック転送終了による割り込み要因の状態を示します。
ARM_LCH0_INT_LENG_W_CONT	R	4	0	ACPU/ADSP 用 LCH0 のレングス転送終了による割り込み要因の状態を示します。
Reserved	-	3	-	予約。読み出すと 0 を返します。
ARM_LCH0_INT_ERROR_R_CONT	R	2	0	ACPU/ADSP 用 LCH0 のエラーによる割り込み要因の状態を示します。
Reserved	-	1:0	-	予約。読み出すと 0 を返します。

備考 0 : 割り込み要因なし (デフォルト), 1 : 割り込み要因あり

(2) ACPU/ADSP 用割り込み Raw ステータス・レジスタ

本レジスタ(DMA_ARM_XXX_LCH0LCH3_INT_RAW)は,割り込み要因の状態を割り込みイネーブル・セット・レジスタ,割り込みイネーブル・クリア・レジスタの状態に関わらず割り込み要因がリードできます。AHB ライト側(*_W_*), AHB リード側(*_R_*)それぞれに要因レジスタを持っています。

備考 ACPU / DSP 個別にレジスタを持っています。ARM_LCHx_INT_SEL レジスタで使用するプロセッサを選択します。

- DMA_ARM_PE0_LCH0LCH3_INT_RAW : 4009_0104H (ACPU)
- DMA_ARM_DSP_LCH0LCH3_INT_RAW : 4009_0404H (ADSP)

31	30	29	28	27	26	25	24
Reserved	ARM_LCH3_INT_ERROR_W_RAW	ARM_LCH3_INT_BLOCK_W_RAW	ARM_LCH3_INT LENG_W_RAW	Reserved	ARM_LCH3_INT_ERROR_R_RAW	Reserved	
23	22	21	20	19	18	17	16
Reserved	ARM_LCH2_INT_ERROR_W_RAW	ARM_LCH2_INT_BLOCK_W_RAW	ARM_LCH2_INT LENG_W_RAW	Reserved	ARM_LCH2_INT_ERROR_R_RAW	Reserved	
15	14	13	12	11	10	9	8
Reserved	ARM_LCH1_INT_ERROR_W_RAW	ARM_LCH1_INT_BLOCK_W_RAW	ARM_LCH1_INT LENG_W_RAW	Reserved	ARM_LCH1_INT_ERROR_R_RAW	Reserved	
7	6	5	4	3	2	1	0
Reserved	ARM_LCH0_INT_ERROR_W_RAW	ARM_LCH0_INT_BLOCK_W_RAW	ARM_LCH0_INT LENG_W_RAW	Reserved	ARM_LCH0_INT_ERROR_R_RAW	Reserved	

(1/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	-	31	-	予約。読み出すと0を返します。
ARM_LCH3_INT_ERROR_W_RAW	R	30	0	ACPU/ADSP 用 LCH3 のエラーによる割り込み要因の状態を示します。
ARM_LCH3_INT_BLOCK_W_RAW	R	29	0	ACPU/ADSP 用 LCH3 のブロック転送終了による割り込み要因の状態を示します。
ARM_LCH3_INT LENG_W_RAW	R	28	0	ACPU/ADSP 用 LCH3 のレングス転送終了による割り込み要因の状態を示します。
Reserved	-	27	-	予約。読み出すと0を返します。
ARM_LCH3_INT_ERROR_R_RAW	R	26	0	ACPU/ADSP 用 LCH3 のエラーによる割り込み要因の状態を示します。
Reserved	-	25:23	-	予約。読み出すと0を返します。
ARM_LCH2_INT_ERROR_W_RAW	R	22	0	ACPU/ADSP 用 LCH2 のエラーによる割り込み要因の状態を示します。
ARM_LCH2_INT_BLOCK_W_RAW	R	21	0	ACPU/ADSP 用 LCH2 のブロック転送終了による割り込み要因の状態を示します。

名 称	R/W	ビット	リセット時	機 能
ARM_LCH2_INT_LENG_W_RAW	R	20	0	ACPU/ADSP用LCH2のレングス転送終了による割り込み要因の状態を示します。
Reserved	-	19	-	予約。読み出すと0を返します。
ARM_LCH2_INT_ERROR_R_RAW	R	18	0	ACPU/ADSP用LCH2のエラーによる割り込み要因の状態を示します。
Reserved	-	17:15	-	予約。読み出すと0を返します。
ARM_LCH1_INT_ERROR_W_RAW	R	14	0	ACPU/ADSP用LCH1のエラーによる割り込み要因の状態を示します。
ARM_LCH1_INT_BLOCK_W_RAW	R	13	0	ACPU/ADSP用LCH1のブロック転送終了による割り込み要因の状態を示します。
ARM_LCH1_INT_LENG_W_RAW	R	12	0	ACPU/ADSP用LCH1のレングス転送終了による割り込み要因の状態を示します。
Reserved	-	11	-	予約。読み出すと0を返します。
ARM_LCH1_INT_ERROR_R_RAW	R	10	0	ACPU/ADSP用LCH1のエラーによる割り込み要因の状態を示します。
Reserved	-	9:7	-	予約。読み出すと0を返します。
ARM_LCH0_INT_ERROR_W_RAW	R	6	0	ACPU/ADSP用LCH0のエラーによる割り込み要因の状態を示します。
ARM_LCH0_INT_BLOCK_W_RAW	R	5	0	ACPU/ADSP用LCH0のブロック転送終了による割り込み要因の状態を示します。
ARM_LCH0_INT_LENG_W_RAW	R	4	0	ACPU/ADSP用LCH0のレングス転送終了による割り込み要因の状態を示します。
Reserved	-	3	-	予約。読み出すと0を返します。
ARM_LCH0_INT_ERROR_R_RAW	R	2	0	ACPU/ADSP用LCH0のエラーによる割り込み要因の状態を示します。
Reserved	-	1:0	-	予約。読み出すと0を返します。

備考 0: 割り込み要因なし (デフォルト), 1: 割り込み要因あり

(3) ACPU/ADSP 用割り込みイネーブル・セット・レジスタ

本レジスタ(DMA_ARM_XXX_LCH0LCH3_INT_ENABLE)は、割り込み要因のマスク解除設定を行います。“1”をセットしたビットのみレジスタ内容を更新します。“1”をライトしたビットに対応する割り込み要因のマスクを解除します。

また、リードすると、割り込み要因のマスクの状態を読み出せます。本レジスタへの“0”のライトは無効です。割り込み要因をマスクするためには、割り込みイネーブル・クリア・レジスタのマスクしたい要因ビットに“1”をライトしてください。

備考 ACPU / DSP 個別にレジスタを持っています。ARM_LCHx_INT_SEL レジスタで使用するプロセッサを選択します。

- DMA_ARM_PE0_LCH0LCH3_INT_ENABLE : 4009_0108H (ACPU)
- DMA_ARM_DSP_LCH0LCH3_INT_ENABLE : 4009_0408H (ADSP)

31	30	29	28	27	26	25	24
Reserved					ARM_LCH3_ INT_ERROR_ ENABLE	ARM_LCH3_ INT_BLOCK_ _ENABLE	ARM_LCH3_ INT LENG_ ENABLE
23	22	21	20	19	18	17	16
Reserved					ARM_LCH2_ INT_ERROR_ ENABLE	ARM_LCH2_ INT_BLOCK_ _ENABLE	ARM_LCH2_ INT LENG_ ENABLE
15	14	13	12	11	10	9	8
Reserved					ARM_LCH1_ INT_ERROR_ ENABLE	ARM_LCH1_ INT_BLOCK_ _ENABLE	ARM_LCH1_ INT LENG_ ENABLE
7	6	5	4	3	2	1	0
Reserved					ARM_LCH0_ INT_ERROR_ ENABLE	ARM_LCH0_ INT_BLOCK_ ENABLE	ARM_LCH0_ INT LENG_ ENABLE

(1/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:27	-	予約。読み出すと0を返します。
ARM_LCH3_INT_ERROR_ENABLE	R/W	26	0	ACPU/ADSP 用 LCH3 のエラー割り込み要因のイネーブルを設定します。
ARM_LCH3_INT_BLOCK_ENABLE	R/W	25	0	ACPU/ADSP 用 LCH3 のブロック割り込み要因のイネーブルを設定します。
ARM_LCH3_INT_LENG_ENABLE	R/W	24	0	ACPU/ADSP 用 LCH3 のレングス割り込み要因のイネーブルを設定します。
Reserved	-	23:19	-	予約。読み出すと0を返します。
ARM_LCH2_INT_ERROR_ENABLE	R/W	18	0	ACPU/ADSP 用 LCH2 のエラー割り込み要因のイネーブルを設定します。

名 称	R/W	ビット	リセット時	機 能
ARM_LCH2_INT_BLOCK_ENABLE	R/W	17	0	ACPU/ADSP用LCH2のブロック割り込み要因のイネーブルを設定します。
ARM_LCH2_INT_LENG_ENABLE	R/W	16	0	ACPU/ADSP用LCH2のレンジ割り込み要因のイネーブルを設定します。
Reserved	-	15:11	-	予約。読み出すと0を返します。
ARM_LCH1_INT_ERROR_ENABLE	R/W	10	0	ACPU/ADSP用LCH1のエラー割り込み要因のイネーブルを設定します。
ARM_LCH1_INT_BLOCK_ENABLE	R/W	9	0	ACPU/ADSP用LCH1のブロック割り込み要因のイネーブルを設定します。
ARM_LCH1_INT_LENG_ENABLE	R/W	8	0	ACPU/ADSP用LCH1のレンジ割り込み要因のイネーブルを設定します。
Reserved	-	7:3	-	予約。読み出すと0を返します。
ARM_LCH0_INT_ERROR_ENABLE	R/W	2	0	ACPU/ADSP用LCH0のエラー割り込み要因のイネーブルを設定します。
ARM_LCH0_INT_BLOCK_ENABLE	R/W	1	0	ACPU/ADSP用LCH0のブロック割り込み要因のイネーブルを設定します。
ARM_LCH0_INT_LENG_ENABLE	R/W	0	0	ACPU/ADSP用LCH0のレンジ割り込み要因のイネーブルを設定します。

備考 0: 割り込み要因マスク (デフォルト), 1: 割り込み要因許可

(4) ACPU/ADSP 用割り込みイネーブル・クリア・レジスタ

本レジスタ (DMA_ARM_XXX_LCH0LCH3_INT_ENABLE_CL) は、割り込み要因のマスク設定を行います。

“1” をセットしたビットのみ割り込み要因をマスクし、“0” をセットしたビットは前のマスク状態を保持します。

本レジスタでマスク設定を行なうと、ARM 用割り込みイネーブル・セット・レジスタの対応するビットが、割り込み要因マスク状態 (0) に変化します。

備考 ACPU / DSP 個別にレジスタを持っています。ARM_LCHx_INT_SEL レジスタで使用するプロセッサを選択します。

- DMA_ARM_PE0_LCH0LCH3_INT_ENABLE_CL : 4009_010CH (ACPU)
- DMA_ARM_DSP_LCH0LCH3_INT_ENABLE_CL : 4009_040CH (ADSP)

31	30	29	28	27	26	25	24
Reserved					ARM_LCH3_	ARM_LCH3_	ARM_LCH3_
					INT_ERROR_	INT_BLOCK_	INT_LENG
					ENABLE_CL	ENABLE_CL	_ENABLE_CL
23	22	21	20	19	18	17	16
Reserved					ARM_LCH2_	ARM_LCH2_	ARM_LCH2_
					INT_ERROR_	INT_BLOCK_	INT_LENG
					ENABLE_CL	ENABLE_CL	_ENABLE_CL
15	14	13	12	11	10	9	8
Reserved					ARM_LCH1_	ARM_LCH1_	ARM_LCH1_
					INT_ERROR_	INT_BLOCK_	INT_LENG
					ENABLE_CL	ENABLE_CL	_ENABLE_CL
7	6	5	4	3	2	1	0
Reserved					ARM_LCH0_	ARM_LCH0_	ARM_LCH0_
					INT_ERROR_	INT_BLOCK_	INT_LENG
					ENABLE_CL	ENABLE_CL	_ENABLE_CL

(1/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:27	-	予約。読み出すと 0 を返します。
ARM_LCH3_INT_	W	26	0	ACPU/ADSP 用 LCH3 のエラー割り込み要因のイネーブルを解除します。
ERROR_ENABLE_CL				
ARM_LCH3_INT_	W	25	0	ACPU/ADSP 用 LCH3 のブロック割り込み要因のイネーブルを解除します。
BLOCK_ENABLE_CL				
ARM_LCH3_INT_	W	24	0	ACPU/ADSP 用 LCH3 のレンジ割り込み要因のイネーブルを解除します。
LENG_ENABLE_CL				
Reserved	-	23:19	-	予約。読み出すと 0 を返します。
ARM_LCH2_INT_	W	18	0	ACPU/ADSP 用 LCH2 のエラー割り込み要因のイネーブルを解除します。
ERROR_ENABLE_CL				
ARM_LCH2_INT_	W	17	0	ACPU/ADSP 用 LCH2 のブロック割り込み要因のイネーブルを解除します。
BLOCK_ENABLE_CL				

名 称	R/W	ビット	リセット時	機 能
ARM_LCH2_INT_ LENG_ENABLE_CL	W	16	0	ACPU/ADSP 用 LCH2 のレンゲス割り込み要因のイネーブルを解除します。
Reserved	-	15:11	-	予約。読み出すと 0 を返します。
ARM_LCH1_INT_ ERROR_ENABLE_CL	W	10	0	ACPU/ADSP 用 LCH1 のエラー割り込み要因のイネーブルを解除します。
ARM_LCH1_INT_ BLOCK_ENABLE_CL	W	9	0	ACPU/ADSP 用 LCH1 のブロック割り込み要因のイネーブルを解除します。
ARM_LCH1_INT_ LENG_ENABLE_CL	W	8	0	ACPU/ADSP 用 LCH1 のレンゲス割り込み要因のイネーブルを解除します。
Reserved	-	7:3	-	予約。読み出すと 0 を返します。
ARM_LCH0_INT_ ERROR_ENABLE_CL	W	2	0	ACPU/ADSP 用 LCH0 のエラー割り込み要因のイネーブルを解除します。
ARM_LCH0_INT_ BLOCK_ENABLE_CL	W	1	0	ACPU/ADSP 用 LCH0 のブロック割り込み要因のイネーブルを解除します。
ARM_LCH0_INT_ LENG_ENABLE_CL	W	0	0	ACPU/ADSP 用 LCH0 のレンゲス割り込み要因のイネーブルを解除します。

備考 0:(デフォルト), 1: 割り込み要因マスク

(5) ACPU/ADSP 用割り込み要因クリア・レジスタ

本レジスタ (DMA_ARM_XXX_LCH0LCH3_INT_REQ_CL) は、割り込み要因のクリアを行います。“1”をセットしたビットのみレジスタ内容を更新します。

AHB ライト側 (*_W_*), AHB リード側 (*_R_*) それぞれに要因レジスタを持っています。

備考 ACPU / DSP 個別にレジスタを持っています。ARM_LCHx_INT_SEL レジスタで使用するプロセッサを選択します。

- DMA_ARM_PE0_LCH0LCH3_INT_REQ_CL : 4009_0110H (ACPU)
- DMA_ARM_DSP_LCH0LCH3_INT_REQ_CL : 4009_0410H (ADSP)

31	30	29	28	27	26	25	24
Reserved	ARM_LCH3_INT_ERROR_W_REQ_CL	ARM_LCH3_INT_BLOCK_W_REQ_CL	ARM_LCH3_INT LENG_W_REQ_CL	Reserved	ARM_LCH3_INT_ERROR_R_REQ_CL	Reserved	
23	22	21	20	19	18	17	16
Reserved	ARM_LCH2_INT_ERROR_W_REQ_CL	ARM_LCH2_INT_BLOCK_W_REQ_CL	ARM_LCH2_INT LENG_W_REQ_CL	Reserved	ARM_LCH2_INT_ERROR_R_REQ_CL	Reserved	
15	14	13	12	11	10	9	8
Reserved	ARM_LCH1_INT_ERROR_W_REQ_CL	ARM_LCH1_INT_BLOCK_W_REQ_CL	ARM_LCH1_INT LENG_W_REQ_CL	Reserved	ARM_LCH1_INT_ERROR_R_REQ_CL	Reserved	
7	6	5	4	3	2	1	0
Reserved	ARM_LCH0_INT_ERROR_W_REQ_CL	ARM_LCH0_INT_BLOCK_W_REQ_CL	ARM_LCH0_INT LENG_W_REQ_CL	Reserved	ARM_LCH0_INT_ERROR_R_REQ_CL	Reserved	

(1/2)

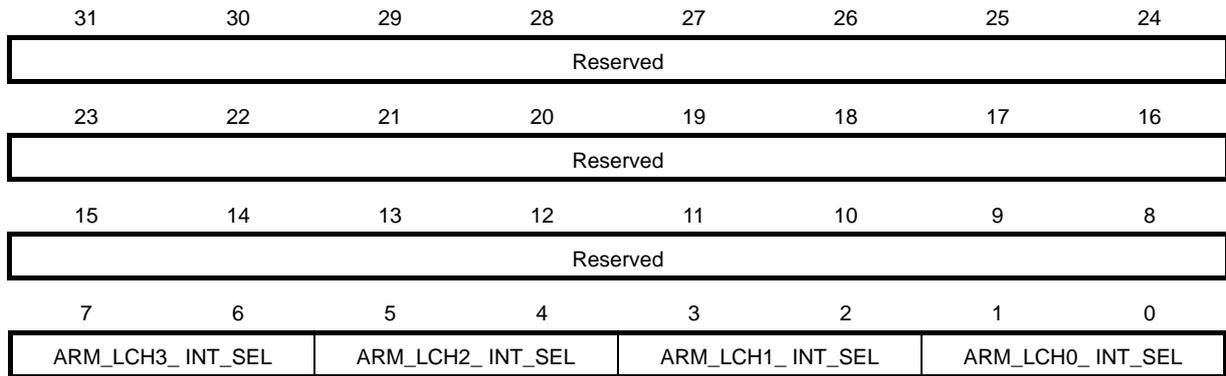
名称	R/W	ビット	リセット時	機能
Reserved	-	31	-	予約。読み出すと0を返します。
ARM_LCH3_INT_ERROR_W_REQ_CL	W	30	0	ACPU/ADSP 用 LCH3 のエラー割り込み要因をクリアします。
ARM_LCH3_INT_BLOCK_W_REQ_CL	W	29	0	ACPU/ADSP 用 LCH3 のブロック割り込み要因をクリアします。
ARM_LCH3_INT LENG_W_REQ_CL	W	28	0	ACPU/ADSP 用 LCH3 のレンジ割り込み要因をクリアします。
Reserved	-	27	-	予約。読み出すと0を返します。
ARM_LCH3_INT_ERROR_R_REQ_CL	W	26	0	ACPU/ADSP 用 LCH3 のエラー割り込み要因をクリアします。
Reserved	-	25:23	-	予約。読み出すと0を返します。
ARM_LCH2_INT_ERROR_W_REQ_CL	W	22	0	ACPU/ADSP 用 LCH2 のエラー割り込み要因をクリアします。

名 称	R/W	ビット	リセット時	機 能
ARM_LCH2_INT_BLOCK_W_REQ_CL	W	21	0	ACPU/ADSP 用 LCH2 のブロック割り込み要因をクリアします。
ARM_LCH2_INT_LENG_W_REQ_CL	W	20	0	ACPU/ADSP 用 LCH2 のレンジ割り込み要因をクリアします。
Reserved	-	19	-	予約。読み出すと 0 を返します。
ARM_LCH2_INT_ERROR_R_REQ_CL	W	18	0	ACPU/ADSP 用 LCH2 のエラー割り込み要因をクリアします。
Reserved	-	17:15	-	予約。読み出すと 0 を返します。
ARM_LCH1_INT_ERROR_W_REQ_CL	W	14	0	ACPU/ADSP 用 LCH1 のエラー割り込み要因をクリアします。
ARM_LCH1_INT_BLOCK_W_REQ_CL	W	13	0	ACPU/ADSP 用 LCH1 のブロック割り込み要因をクリアします。
ARM_LCH1_INT_LENG_W_REQ_CL	W	12	0	ACPU/ADSP 用 LCH1 のレンジ割り込み要因をクリアします。
Reserved	-	11	-	予約。読み出すと 0 を返します。
ARM_LCH1_INT_ERROR_R_REQ_CL	W	10	0	ACPU/ADSP 用 LCH1 のエラー割り込み要因をクリアします。
Reserved	-	9:7	-	予約。読み出すと 0 を返します。
ARM_LCH0_INT_ERROR_W_REQ_CL	W	6	0	ACPU/ADSP 用 LCH0 のエラー割り込み要因をクリアします。
ARM_LCH0_INT_BLOCK_W_REQ_CL	W	5	0	ACPU/ADSP 用 LCH0 のブロック割り込み要因をクリアします。
ARM_LCH0_INT_LENG_W_REQ_CL	W	4	0	ACPU/ADSP 用 LCH0 のレンジ割り込み要因をクリアします。
Reserved	-	3	-	予約。読み出すと 0 を返します。
ARM_LCH0_INT_ERROR_R_REQ_CL	W	2	0	ACPU/ADSP 用 LCH0 のエラー割り込み要因をクリアします。
Reserved	-	1:0	-	予約。読み出すと 0 を返します。

備考 0 : 影響なし (現在の値を保持します), 1 : 割り込み要因クリア

(6) ACPU/ADSP 用割り込み出力先設定レジスタ

本レジスタ (DMA_ARM_LCH0LCH3_INT_SEL : 4009_0800H) は、割り込み信号の出力先設定を行います。



名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:8	-	予約。読み出すと0を返します。
ARM_LCH3_INT_SEL	R/W	7:6	0	ACPU/ADSP 用 LCH3 の割り込み出力先を設定します。
ARM_LCH2_INT_SEL	R/W	5:4	0	ACPU/ADSP 用 LCH2 の割り込み出力先を設定します。
ARM_LCH1_INT_SEL	R/W	3:2	0	ACPU/ADSP 用 LCH1 の割り込み出力先を設定します。
ARM_LCH0_INT_SEL	R/W	1:0	0	ACPU/ADSP 用 LCH0 の割り込み出力先を設定します。

備考 00 : ACPU (デフォルト), 01 : Reserved , 10 : Reserved (割り込みを出力しません), 11 : ADSP

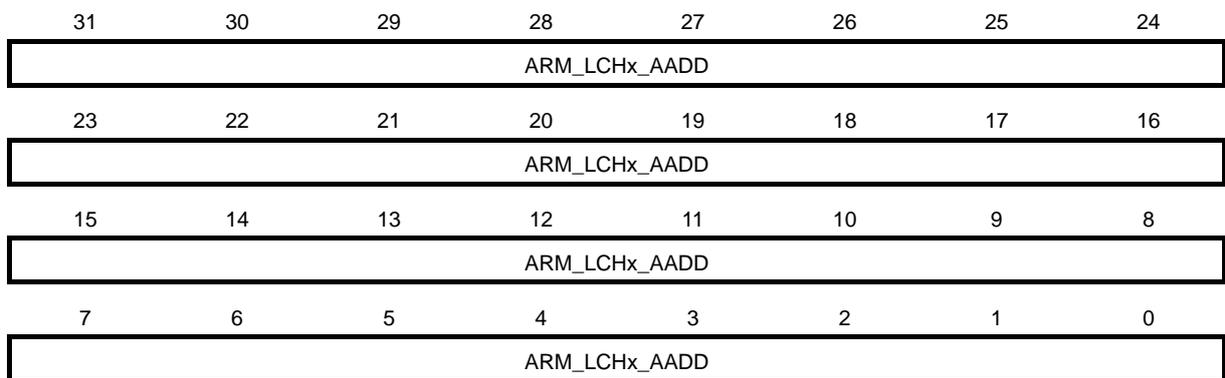
2.3.3 ACPU用LCHxパラメータ設定レジスタ

ACPU用の論理チャンネルごとの設定レジスタを説明します。LCHxのxはチャンネル数で、x=0~3です。

(1) ACPU用LCHxソース・アドレス・レジスタ

本レジスタ(DMA_ARM_LCHx_AADD)は、ソース側のスタート・アドレスをバイト単位で設定するレジスタです。

- DMA_ARM_LCH0_AADD : 4009_1000H (LCH0)
- DMA_ARM_LCH1_AADD : 4009_1100H (LCH1)
- DMA_ARM_LCH2_AADD : 4009_1200H (LCH2)
- DMA_ARM_LCH3_AADD : 4009_1300H (LCH3)

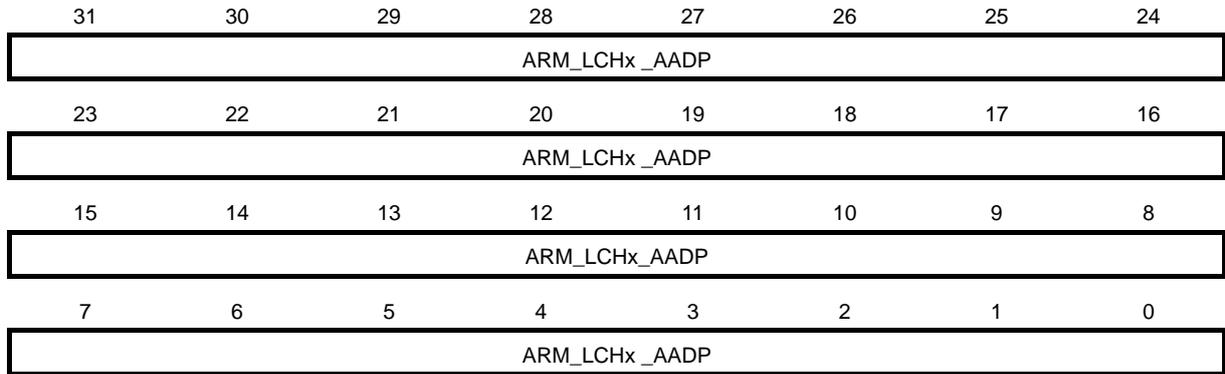


名 称	R/W	ビット	リセット時	機 能
ARM_LCHx_AADD	R/W	31:0	0	ACPU用LCHxソース・アドレス(スタート・アドレス)

(2) ACPU 用 LCHx ソース・アドレス・ポインタ・レジスタ

本レジスタ (DMA_ARM_LCHx_AADP) は、アクセスしているソース側のアドレスを格納するレジスタです。

- DMA_ARM_LCH0_AADP : 4009_1004H (LCH0)
- DMA_ARM_LCH1_AADP : 4009_1104H (LCH1)
- DMA_ARM_LCH2_AADP : 4009_1204H (LCH2)
- DMA_ARM_LCH3_AADP : 4009_1304H (LCH3)



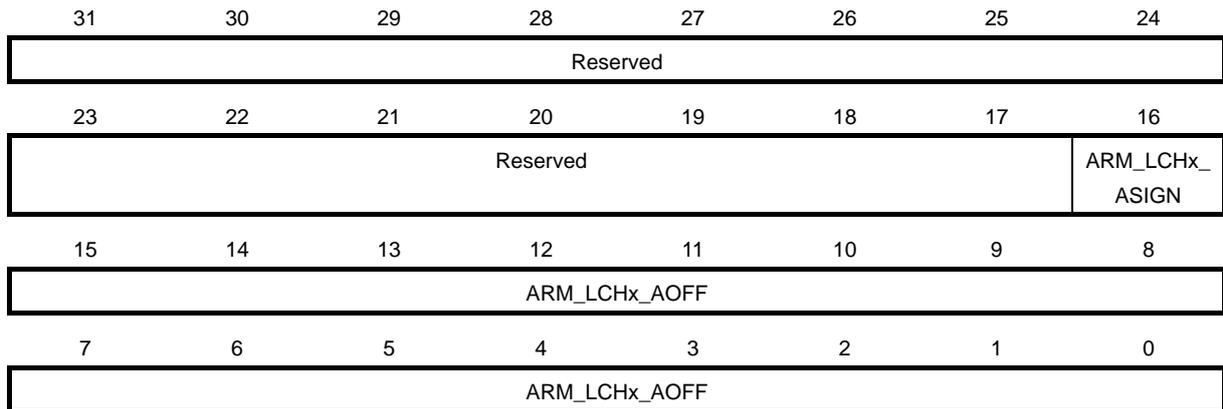
名 称	R/W	ビット	リセット時	機 能
ARM_LCHx_AADP	R	31:0	0	ACPU 用 LCHx のアクセスしている ソース・アドレスを格納します。

(3) ACPU 用 LCHx ソース・アドレス・オフセット・レジスタ

本レジスタ (DMA_ARM_LCHx_AOFF) は、ソース側のブロック間のオフセットをバイト単位で指定するレジスタです。ビット 16 は符号ビットであり、“0” を設定すると加算、“1” を設定すると減算されます。

最大 65535 バイトまで設定可能です。

- DMA_ARM_LCH0_AOFF : 4009_1008H (LCH0)
- DMA_ARM_LCH1_AOFF : 4009_1108H (LCH1)
- DMA_ARM_LCH2_AOFF : 4009_1208H (LCH2)
- DMA_ARM_LCH3_AOFF : 4009_1308H (LCH3)



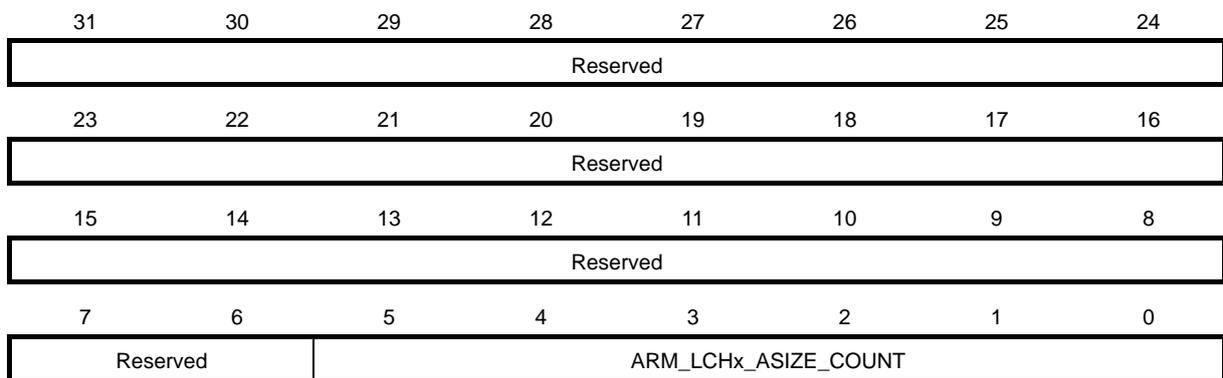
名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:17	-	予約。読み出すと 0 を返します。
ARM_LCHx_ASIGN	R/W	16	0	ACPU 用 LCHx のソース側のオフセット加減算を指定します。 0 : ARM_LCHx_AOFF 分のアドレスを加算します。 1 : ARM_LCHx_AOFF 分のアドレスを減算します。
ARM_LCHx_AOFF	R/W	15:0	0	ACPU 用 LCHx のソース側のブロック間のオフセット (絶対値) をバイト単位で示します。 00000000_00000000 : 0 バイト (オフセットなし) 00000000_00000001 : 1 バイト 00000000_00000010 : 2 バイト (ハーフ・ワード) 00000000_00000011 : 3 バイト 00000000_00000100 : 4 バイト (1ワード) 00000000_00000101 : 5 バイト : 11111111_11111111 : 65535 バイト

(4) ACPU用 LCHx ソース・ブロック・カウント・レジスタ

本レジスタ (DMA_ARM_LCHx_ASIZE_COUNT) は、ライト時とリード時で異なる機能を持っています。

ライト時には、リピート転送時に1ループ内で転送するブロック・サイズ数を設定します。リード時には、ソース側のアクセス中のブロック転送数を記憶しています。設定されたブロック・サイズからブロック転送完了ごとにカウントダウンした値が表示されます。リピート転送を行う場合は1次元転送(オフセット0)である必要があります。

- DMA_ARM_LCH0_ASIZE_COUNT : 4009_1010H (LCH0)
- DMA_ARM_LCH1_ASIZE_COUNT : 4009_1110H (LCH1)
- DMA_ARM_LCH2_ASIZE_COUNT : 4009_1210H (LCH2)
- DMA_ARM_LCH3_ASIZE_COUNT : 4009_1310H (LCH3)

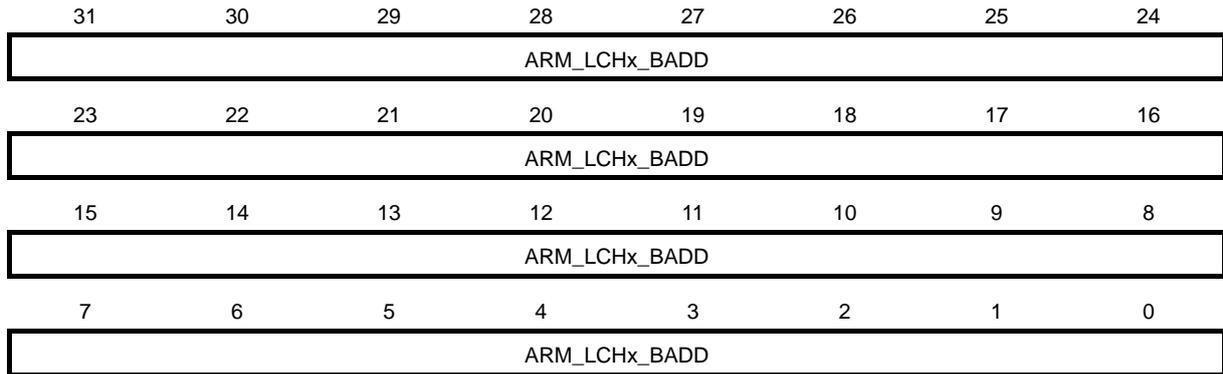


名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:6	-	予約。読み出すと0を返します。
ARM_LCHx_ASIZE_COUNT	R/W	5:0	0	ライト時： リピート転送時に1ループ内で転送するソース側のブロック数を設定します。 000000 : 1 ブロック 000001 : 2 ブロック 000010 : 3 ブロック 000011 : 4 ブロック 000100 : 5 ブロック 000101 : 6 ブロック 000110 : 7 ブロック 000111 : 8 ブロック 001000 : 9 ブロック : 111111 : 64 ブロック リード時： ソース側の転送残りのブロック数を示します。 DMA 起動した時点で本レジスタへのライトで設定された値がセットされ、ブロック転送完了ごとにカウントダウンされた値が表示されます。

(5) ACPU用 LCHx ディスティネーション・アドレス・レジスタ

本レジスタ (DMA_ARM_LCHx_BADD) は、ディスティネーション側のスタート・アドレスをバイト単位で設定するレジスタです。

- DMA_ARM_LCH0_BADD : 4009_1020H (LCH0)
- DMA_ARM_LCH1_BADD : 4009_1120H (LCH1)
- DMA_ARM_LCH2_BADD : 4009_1220H (LCH2)
- DMA_ARM_LCH3_BADD : 4009_1320H (LCH3)

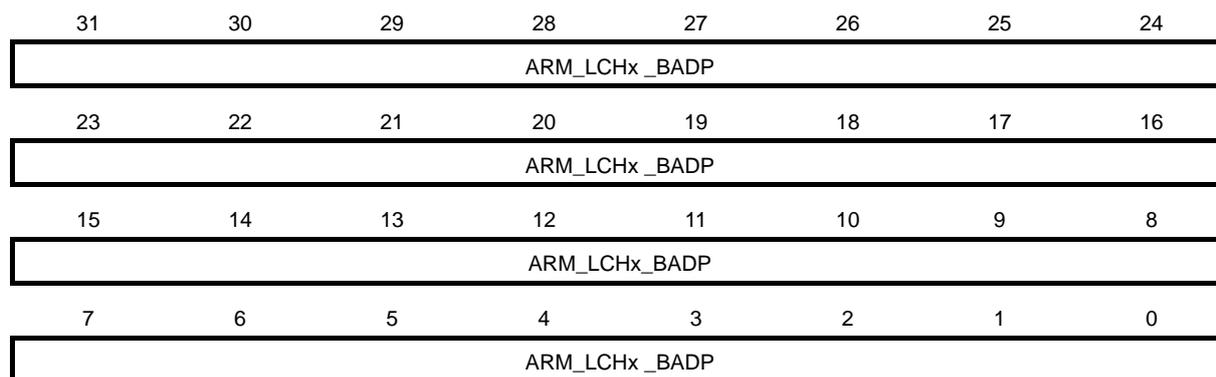


名 称	R/W	ビット	リセット時	機 能
ARM_LCHx_BADD	R/W	31:0	0	ACPU用 LCHx ディスティネーション・アドレス (スタート・アドレス)

(6) ACPU用 LCHx ディスティネーション・アドレス・ポインタ・レジスタ

本レジスタ (DMA_ARM_LCHx_BADP) は、アクセスしている ディスティネーション側のアドレスを格納するレジスタです。

- DMA_ARM_LCH0_BADP : 4009_1024H (LCH0)
- DMA_ARM_LCH1_BADP : 4009_1124H (LCH1)
- DMA_ARM_LCH2_BADP : 4009_1224H (LCH2)
- DMA_ARM_LCH3_BADP : 4009_1324H (LCH3)



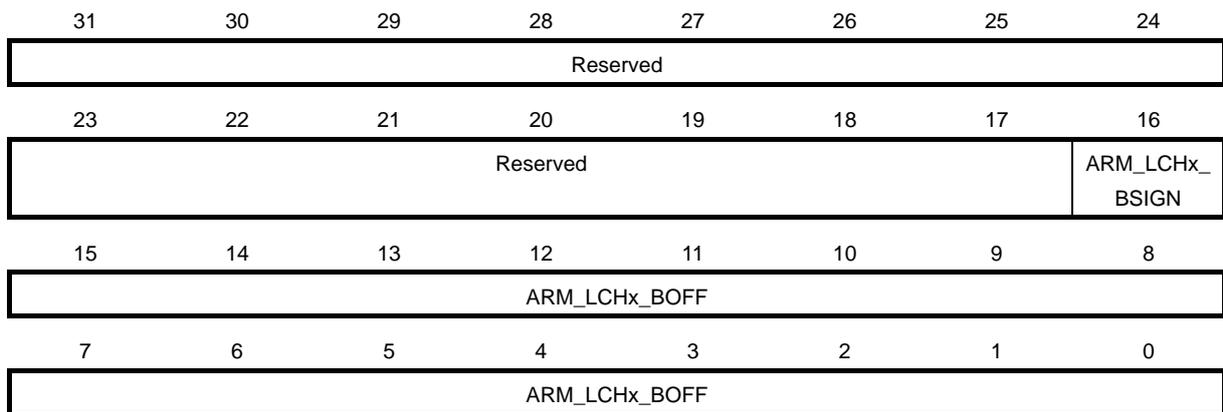
名 称	R/W	ビット	リセット時	機 能
ARM_LCHx_BADP	R	31:0	0	ACPU用 LCHx のアクセスしているディスティネーション・アドレスを格納します。

(7) ACPU用 LCHx ディスティネーション・アドレス・オフセット・レジスタ

本レジスタ (DMA_ARM_LCHx_BOFF) は、ディスティネーション側のブロック間のオフセットをバイト単位で指定するレジスタです。ビット 16 は符号ビットであり、“0” を設定すると加算，“1” を設定すると減算されます。

最大 65535 バイトまで設定可能です。

- DMA_ARM_LCH0_BOFF : 4009_1028H (LCH0)
- DMA_ARM_LCH1_BOFF : 4009_1128H (LCH1)
- DMA_ARM_LCH2_BOFF : 4009_1228H (LCH2)
- DMA_ARM_LCH3_BOFF : 4009_1328H (LCH3)



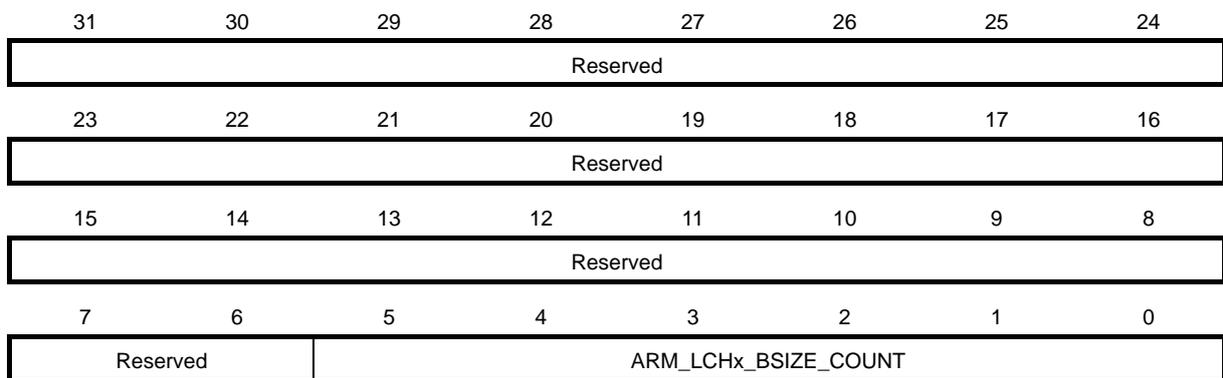
名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:17	-	予約。読み出すと 0 を返します。
ARM_LCHx_BSIGN	R/W	16	0	ACPU用 LCHx のディスティネーション側のオフセット加減算を指定します。 0 : ARM_LCHx_BOFF 分のアドレスを加算します。 1 : ARM_LCHx_BOFF 分のアドレスを減算します。
ARM_LCHx_BOFF	R/W	15:0	0	ACPU用 LCHx のディスティネーション側のブロック間のオフセットをバイト単位で示します。 00000000_00000000 : 0 バイト (オフセットなし) 00000000_00000001 : 1 バイト 00000000_00000010 : 2 バイト (ハーフ・ワード) 00000000_00000011 : 3 バイト 00000000_00000100 : 4 バイト (1 ワード) 00000000_00000101 : 5 バイト : 11111111_11111111 : 65535 バイト

(8) ACPU用 LCHx ディスティネーション・ブロック・カウント・レジスタ

本レジスタ (DMA_ARM_LCHx_BSIZE_COUNT) は、ライト時とリード時で異なる機能を持っています。

ライト時には、リピート転送時に1ループ内で転送するブロック・サイズ数を設定します。リード時には、ディスティネーション側のアクセス中のブロック転送数を記憶しています。設定されたブロック・サイズからブロック転送完了ごとにカウントダウンした値が表示されます。リピート転送を行う場合は1次元転送(オフセット0)である必要があります。

- DMA_ARM_LCH0_BSIZE_COUNT : 4009_1030H (LCH0)
- DMA_ARM_LCH1_BSIZE_COUNT : 4009_1130H (LCH1)
- DMA_ARM_LCH2_BSIZE_COUNT : 4009_1230H (LCH2)
- DMA_ARM_LCH3_BSIZE_COUNT : 4009_1330H (LCH3)



名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:6	-	予約。読み出すと0を返します。
ARM_LCHx_BSIZE_COUNT	R/W	5:0	0	ライト時： リピート転送時に1ループ内で転送するディスティネーション側のブロック数を設定します。 000000 : 1 ブロック 000001 : 2 ブロック 000010 : 3 ブロック 000011 : 4 ブロック 000100 : 5 ブロック 000101 : 6 ブロック 000110 : 7 ブロック 000111 : 8 ブロック 001000 : 9 ブロック : 111111 : 64 ブロック リード時： ディスティネーション側の転送残りのブロック数を示します。 DMA 起動した時点で本レジスタへのライトで設定された値がセットされ、ブロック転送完了ごとにカウントダウンされた値が表示されま す。

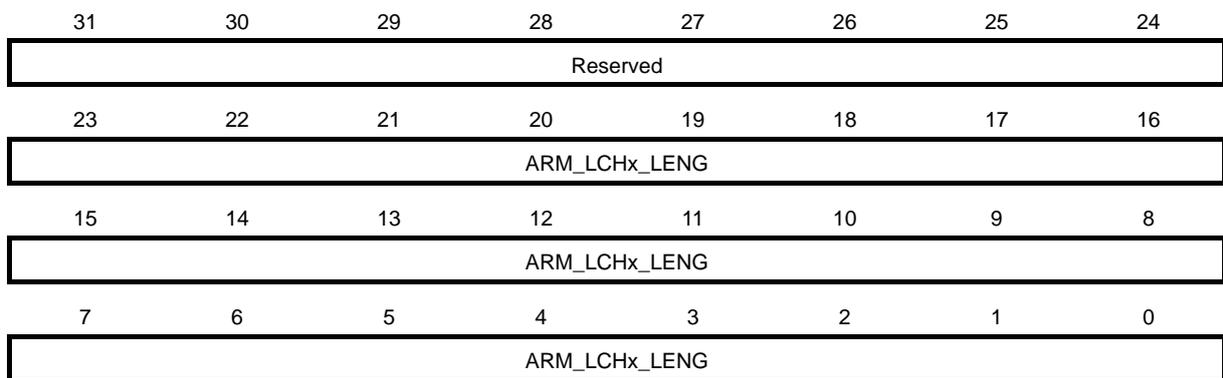
(9) ACPU 用 LCHx レンクス・レジスタ

本レジスタ (DMA_ARM_LCHx LENG) は、総転送量の設定をバイト単位で行うレジスタです。最大 16777215 バイトまで設定可能です。

モード・レジスタのリピート設定でリピート・モードが指定されている場合、このレジスタに"0"を設定すると無限長転送になります。

リピート設定なしの場合には、レンクス 0 設定は禁止です。無限長転送時のオフセット設定は禁止です。

- DMA_ARM_LCH0 LENG : 4009_1040H (LCH0)
- DMA_ARM_LCH1 LENG : 4009_1140H (LCH1)
- DMA_ARM_LCH2 LENG : 4009_1240H (LCH2)
- DMA_ARM_LCH3 LENG : 4009_1340H (LCH3)

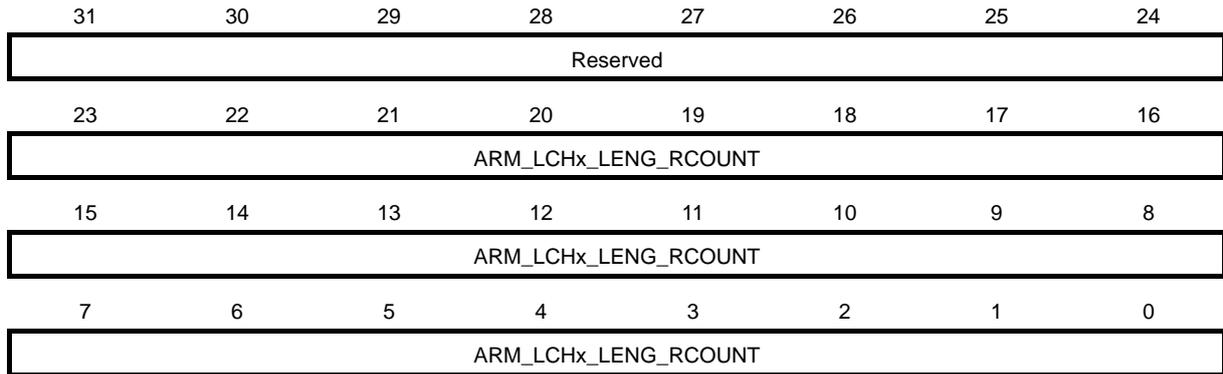


名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:24	-	予約。読み出すと 0 を返します。
ARM_LCHx LENG	R/W	23:0	0	ACPU 用 LCHx の総転送量の設定をバイト単位で行うレジスタです。 00000000_00000000_00000000 : 無限長転送 00000000_00000000_00000001 : 1 バイト 00000000_00000000_00000010 : 2 バイト 00000000_00000000_00000011 : 3 バイト 00000000_00000000_00000100 : 4 バイト : 11111111_11111111_11111111 : 16777215 バイト

(10) ACPU用 LCHx リード・レンジ・カウント・レジスタ

本レジスタ (DMA_ARM_LCHx LENG_RCOUNT) は、ソース側の総転送量を記憶するレジスタです。レンジで設定された総転送量からダウンカウントするため、残りの転送量が表示されます。

- DMA_ARM_LCH0 LENG_RCOUNT : 4009_1044H (LCH0)
- DMA_ARM_LCH1 LENG_RCOUNT : 4009_1144H (LCH1)
- DMA_ARM_LCH2 LENG_RCOUNT : 4009_1244H (LCH2)
- DMA_ARM_LCH3 LENG_RCOUNT : 4009_1344H (LCH3)

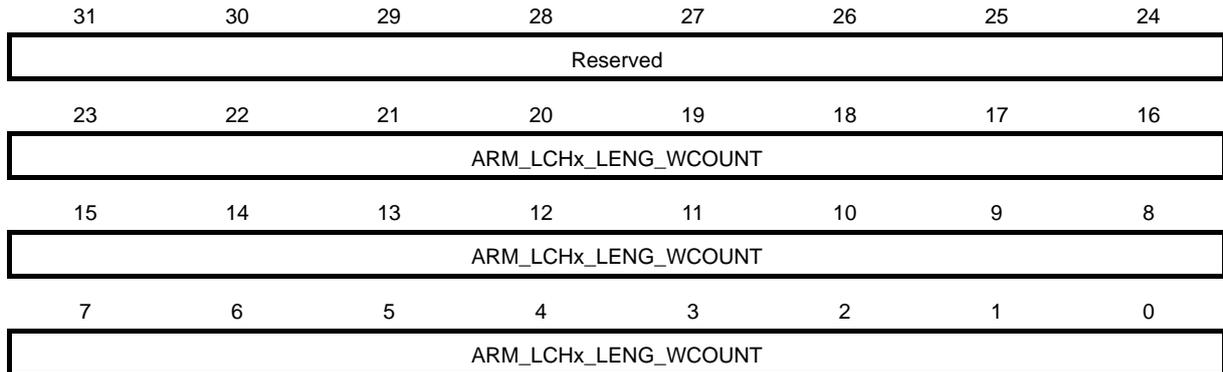


名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:24	-	予約。読み出すと0を返します。
ARM_LCHx LENG_RCOUNT	R	23:0	0	ACPU用 LCHx の総転送量を記憶するレジスタです。 00000000_00000000_00000000 : 0 バイト 00000000_00000000_00000001 : 1 バイト 00000000_00000000_00000010 : 2 バイト 00000000_00000000_00000011 : 3 バイト 00000000_00000000_00000100 : 4 バイト : 11111111_11111111_11111111 : 16777215 バイト

(11) ACPU用 LCHx ライト・レングス・カウント・レジスタ

本レジスタ (DMA_ARM_LCHx LENG_WCOUNT) は、ディスティネーション側の総転送量を記憶するレジスタです。レングスで設定された総転送量からダウンカウントするため、残りの転送量が表示されます。

- DMA_ARM_LCH0 LENG_WCOUNT : 4009_1048H (LCH0)
- DMA_ARM_LCH1 LENG_WCOUNT : 4009_1148H (LCH1)
- DMA_ARM_LCH2 LENG_WCOUNT : 4009_1248H (LCH2)
- DMA_ARM_LCH3 LENG_WCOUNT : 4009_1348H (LCH3)

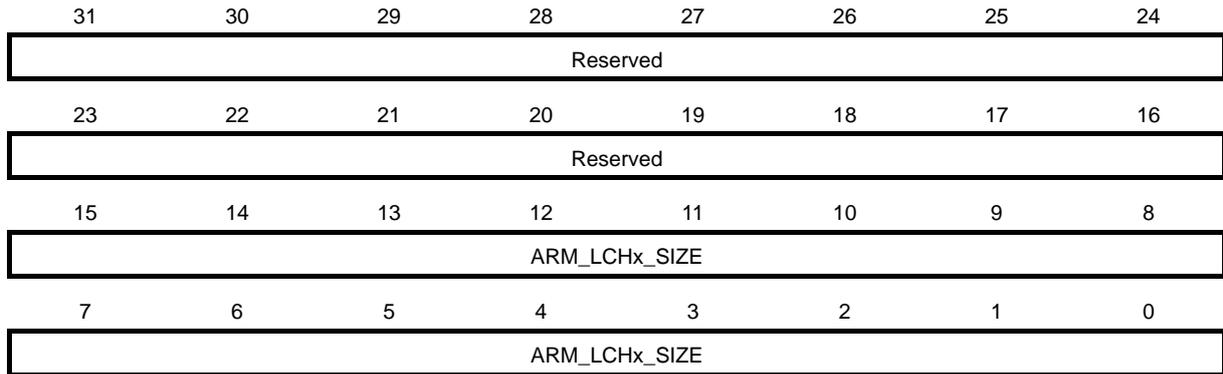


名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:24	-	予約。読み出すと0を返します。
ARM_LCHx LENG_WCOUNT	R	23:0	0	ACPU用 LCHx の総転送量を記憶するレジスタです。 00000000_00000000_00000000 : 0 バイト 00000000_00000000_00000001 : 1 バイト 00000000_00000000_00000010 : 2 バイト 00000000_00000000_00000011 : 3 バイト 00000000_00000000_00000100 : 4 バイト : 11111111_11111111_11111111 : 16777215 バイト

(12) ACPU用 LCHx ブロック・サイズ・レジスタ

本レジスタ(DMA_ARM_LCHx_SIZE)は、ブロック・サイズの設定をバイト単位で行うレジスタです。最大 65535 バイトまで設定可能です。

- DMA_ARM_LCH0_SIZE : 4009_104CH (LCH0)
- DMA_ARM_LCH1_SIZE : 4009_114CH (LCH1)
- DMA_ARM_LCH2_SIZE : 4009_124CH (LCH2)
- DMA_ARM_LCH3_SIZE : 4009_134CH (LCH3)



名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:16	-	予約。読み出すと0を返します。
ARM_LCHx_SIZE	R/W	15:0	0	ACPU用LCHxのブロック・サイズの設定を行うレジスタです。 00000000_00000000 : 設定禁止 00000000_00000001 : 1バイト 00000000_00000010 : 2バイト(ハーフ・ワード) 00000000_00000011 : 3バイト 00000000_00000100 : 4バイト(1ワード) 00000000_00000101 : 5バイト : 11111111_11111111 : 65535バイト

- 注意 1. このレジスタに"0"を設定した場合、ブロック割り込みが発生し続けることがあります。また、このときのDMA動作は保証しません。
2. ブロック・サイズごとのブロック割り込みを発生させたくない場合は、ブロック・サイズ=レンジに設定してください。この場合、DMA転送完了時にブロック割り込みとレンジ割り込みが同時に発生します。

(13) ACPU用 LCHx モード・レジスタ

本レジスタ (DMA_ARM_LCHx_MODE) は、転送時のモード (エンディアン, リピート) を設定します。

リピート転送を行う場合は1次元転送 (オフセット0) である必要があります。

- DMA_ARM_LCH0_MODE : 4009_1050H (LCH0)
- DMA_ARM_LCH1_MODE : 4009_1150H (LCH1)
- DMA_ARM_LCH2_MODE : 4009_1250H (LCH2)
- DMA_ARM_LCH3_MODE : 4009_1350H (LCH3)

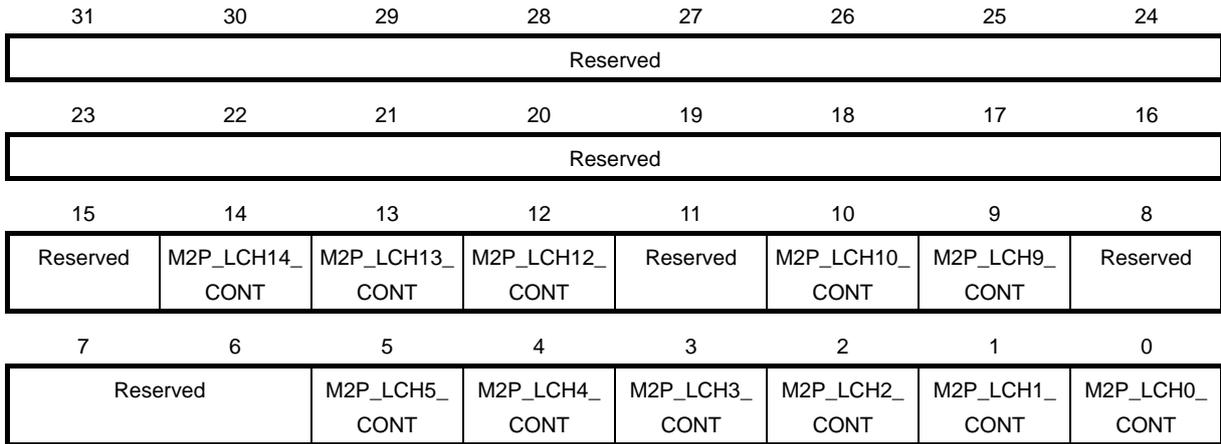
31	30	29	28	27	26	25	24
ARM_LCHx_MODE_ ENDI_W_HH		ARM_LCHx_MODE_ ENDI_W_HL		ARM_LCHx_MODE_ ENDI_W_LH		ARM_LCHx_MODE_ ENDI_W_LL	
23	22	21	20	19	18	17	16
ARM_LCHx_MODE_ ENDI_R_HH		ARM_LCHx_MODE_ ENDI_R_HL		ARM_LCHx_MODE_ ENDI_R_LH		ARM_LCHx_MODE_ ENDI_R_LL	
15	14	13	12	11	10	9	8
Reserved							ARM_LCHx_ BMODE_ REPEAT
7	6	5	4	3	2	1	0
Reserved							ARM_LCHx_ AMODE_ REPEAT

名 称	R/W	ビット	リセット時	機 能
ARM_LCHx_MODE_ENDI_W_HH	R/W	31:30	E4H	ディスティネーション側の書き出しバイト・レーンを設定します。 00b : バイト0を選択します 01b : バイト1を選択します 10b : バイト2を選択します 11b : バイト3を選択します
ARM_LCHx_MODE_ENDI_W_HL		29:28		
ARM_LCHx_MODE_ENDI_W_LH		27:26		
ARM_LCHx_MODE_ENDI_W_LL		25:24		
ARM_LCHx_MODE_ENDI_R_HH	R/W	23:22	E4H	ソース側の取り込みバイト・レーンを設定します。 00b : バイト0を選択します 01b : バイト1を選択します 10b : バイト2を選択します 11b : バイト3を選択します
ARM_LCHx_MODE_ENDI_R_HL		21:20		
ARM_LCHx_MODE_ENDI_R_LH		19:18		
ARM_LCHx_MODE_ENDI_R_LL		17:16		
Reserved	-	15:9	-	予約。読み出すと0を返します。
ARM_LCHx_BMODE_REPEAT	R/W	8	0	ディスティネーション側リピート・モードを設定します。 0 : リピート・モードに設定しない 1 : リピート・モードに設定
Reserved	-	7:1	-	予約。読み出すと0を返します。
ARM_LCHx_AMODE_REPEAT	R/W	0	0	ソース側 リピート・モードを設定します。 0 : リピート・モードに設定しない 1 : リピート・モードに設定

2.3.4 M2P用DMAコントロール、ステータス・レジスタ

(1) M2P用DMA起動コントロール・レジスタ

本レジスタ（DMA_M2P_CONT：4009_4000H）は、論理チャンネルごとにDMA転送を開始するレジスタです。M2P用DMAコントロール・ステータス・レジスタのM2P_LCHx_RESERVEビットが“0”のときに本レジスタをセットした場合、現在の転送が完了すると同時に次の転送がスタートします（簡易予約機能）。簡易予約機能は、次の転送の転送パラメータ設定後に使用する必要があります。詳細は3.4.3 連続転送機能を参照してください。



名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:15	-	予約。読み出すと0を返します。
M2P_LCH14_CONT	W	14	0	M2P用LCH14 DMA転送開始（1：DMA転送開始）
M2P_LCH13_CONT	W	13	0	M2P用LCH13 DMA転送開始（1：DMA転送開始）
M2P_LCH12_CONT	W	12	0	M2P用LCH12 DMA転送開始（1：DMA転送開始）
Reserved	R	11	-	予約。読み出すと0を返します。
M2P_LCH10_CONT	W	10	0	M2P用LCH10 DMA転送開始（1：DMA転送開始）
M2P_LCH9_CONT	W	9	0	M2P用LCH9 DMA転送開始（1：DMA転送開始）
Reserved	W	8:6	-	予約。読み出すと0を返します。
M2P_LCH5_CONT	W	5	0	M2P用LCH5 DMA転送開始（1：DMA転送開始）
M2P_LCH4_CONT	W	4	0	M2P用LCH4 DMA転送開始（1：DMA転送開始）
M2P_LCH3_CONT	W	3	0	M2P用LCH3 DMA転送開始（1：DMA転送開始）
M2P_LCH2_CONT	W	2	0	M2P用LCH2 DMA転送開始（1：DMA転送開始）
M2P_LCH1_CONT	W	1	0	M2P用LCH1 DMA転送開始（1：DMA転送開始）
M2P_LCH0_CONT	W	0	0	M2P用LCH0 DMA転送開始（1：DMA転送開始）

(2) M2P 用 DMA コントロール・ステータス・レジスタ

本レジスタ (DMA_M2P_CONTSTATUS : 4009_4004H) は、ステータスを確認するレジスタです。

DMA 起動予約状態レジスタは、DMA 転送予約がすでに存在することを示します。該当ビットが“1”のときは、その LCH はすでに予約があるため、転送予約はできません。

31	30	29	28	27	26	25	24
Reserved	M2P_LCH14_RESERVE	M2P_LCH13_RESERVE	M2P_LCH12_RESERVE	Reserved	M2P_LCH10_RESERVE	M2P_LCH9_RESERVE	Reserved
23	22	21	20	19	18	17	16
Reserved		M2P_LCH5_RESERVE	M2P_LCH4_RESERVE	M2P_LCH3_RESERVE	M2P_LCH2_RESERVE	M2P_LCH1_RESERVE	M2P_LCH0_RESERVE
15	14	13	12	11	10	9	8
Reserved	M2P_LCH14_CONTSTATUS	M2P_LCH13_CONTSTATUS	M2P_LCH12_CONTSTATUS	Reserved	M2P_LCH10_CONTSTATUS	M2P_LCH9_CONTSTATUS	Reserved
7	6	5	4	3	2	1	0
Reserved		M2P_LCH5_CONTSTATUS	M2P_LCH4_CONTSTATUS	M2P_LCH3_CONTSTATUS	M2P_LCH2_CONTSTATUS	M2P_LCH1_CONTSTATUS	M2P_LCH0_CONTSTATUS

(1/2)

名称	R/W	ビット	リセット時	機能
Reserved	R	31	-	予約。読み出すと0を返します。
M2P_LCH14_RESERVE	R	30	0	M2P 用 LCH14 DMA 起動予約状態を示します。 0: 予約なし, 1: 予約あり
M2P_LCH13_RESERVE	R	29	0	M2P 用 LCH13 DMA 起動予約状態を示します。 0: 予約なし, 1: 予約あり
M2P_LCH12_RESERVE	R	28	0	M2P 用 LCH12 DMA 起動予約状態を示します。 0: 予約なし, 1: 予約あり
Reserved	R	27	-	予約。読み出すと0を返します。
M2P_LCH10_RESERVE	R	26	0	M2P 用 LCH10 DMA 起動予約状態を示します。 0: 予約なし, 1: 予約あり
M2P_LCH9_RESERVE	R	25	0	M2P 用 LCH9 DMA 起動予約状態を示します。 0: 予約なし, 1: 予約あり
Reserved	R	24:22	-	予約。読み出すと0を返します。
M2P_LCH5_RESERVE	R	21	0	M2P 用 LCH5 DMA 起動予約状態を示します。 0: 予約なし, 1: 予約あり
M2P_LCH4_RESERVE	R	20	0	M2P 用 LCH4 DMA 起動予約状態を示します。 0: 予約なし, 1: 予約あり
M2P_LCH3_RESERVE	R	19	0	M2P 用 LCH3 DMA 起動予約状態を示します。 0: 予約なし, 1: 予約あり
M2P_LCH2_RESERVE	R	18	0	M2P 用 LCH2 DMA 起動予約状態を示します。 0: 予約なし, 1: 予約あり
M2P_LCH1_RESERVE	R	17	0	M2P 用 LCH1 DMA 起動予約状態を示します。 0: 予約なし, 1: 予約あり

名 称	R/W	ビット	リセット時	機 能
M2P_LCH0_ RESERVE	R	16	0	M2P 用 LCH0 DMA 起動予約状態を示します。 0 : 予約なし, 1 : 予約あり
Reserved	R	15	-	予約。読み出すと 0 を返します。
M2P_LCH14_ CONTSTATUS	R	14	0	M2P 用 LCH14 DMA ステータスを示します。 0 : DMA 停止中, 1 : DMA 起動中
M2P_LCH13_ CONTSTATUS	R	13	0	M2P 用 LCH13 DMA ステータスを示します。 0 : DMA 停止中, 1 : DMA 起動中
M2P_LCH12_ CONTSTATUS	R	12	0	M2P 用 LCH12 ステータスを示します。 0 : DMA 停止中, 1 : DMA 起動中
Reserved	R	11	-	予約。読み出すと 0 を返します。
M2P_LCH10_ CONT STATUS	R	10	0	M2P 用 LCH10 DMA ステータスを示します。 0 : DMA 停止中, 1 : DMA 起動中
M2P_LCH9_ CONT STATUS	R	9	0	M2P 用 LCH9 DMA ステータスを示します。 0 : DMA 停止中, 1 : DMA 起動中
Reserved	R	8:6	-	予約。読み出すと 0 を返します。
M2P_LCH5_ CONTSTATUS	R	5	0	M2P 用 LCH5 DMA ステータスを示します。 0 : DMA 停止中, 1 : DMA 起動中
M2P_LCH4_ CONTSTATUS	R	4	0	M2P 用 LCH4 DMA ステータスを示します。 0 : DMA 停止中, 1 : DMA 起動中
M2P_LCH3_ CONT STATUS	R	3	0	M2P 用 LCH3 DMA ステータスを示します。 0 : DMA 停止中, 1 : DMA 起動中)
M2P_LCH2_ CONTSTATUS	R	2	0	M2P 用 LCH2 DMA ステータスを示します。 0 : DMA 停止中, 1 : DMA 起動中
M2P_LCH1_ CONTSTATUS	R	1	0	M2P 用 LCH1 DMA ステータス 0 : DMA 停止中, 1 : DMA 起動中
M2P_LCH0_ CONTSTATUS	R	0	0	M2P 用 LCH0 DMA ステータスを示します。 0 : DMA 停止中, 1 : DMA 起動中

(3) M2P 用 DMA 終了コントロール・レジスタ

本レジスタ (DMA_M2P_END : 4009_4008H) は、DMA 強制終了をするレジスタです。

強制終了した場合、予約していた転送も破棄されます。強制終了した場合、現在実行中の AHB トランザクションを最後まで実行したあとに DMA 転送が停止する仕組みになっています。よって現在実行中の AHB トランザクションが完了する前に、DMA を再スタートすることはできません。

強制終了は DMA スタート後少なくとも 1 回の DMA ライト転送が行われたあとに実行してください (内部回路のパラメータ更新が行われず、DMA 転送が正しく行われません)。

強制停止を行った場合は、再起動前に、DMA コントロール・ステータス・レジスタを読み出して、DMA ステータス・ビットが“0”になっていることを確認してから、DMA 転送開始ビットをセットしてください。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved	M2P_LCH14_ END	M2P_LCH13_ END	M2P_LCH12_ END	Reserved	M2P_LCH10_ END	M2P_LCH9_ END	Reserved
7	6	5	4	3	2	1	0
Reserved	M2P_LCH5_ END	M2P_LCH4_ END	M2P_LCH3_ END	M2P_LCH2_ END	M2P_LCH1_ END	M2P_LCH0_ END	

名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:15	-	予約。読み出すと 0 を返します。
M2P_LCH14_END	W	14	0	M2P 用 LCH14 DMA 強制終了
M2P_LCH13_END	W	13	0	M2P 用 LCH13 DMA 強制終了
M2P_LCH12_END	W	12	0	M2P 用 LCH12 DMA 強制終了
Reserved	-	11	-	予約。読み出すと 0 を返します。
M2P_LCH10_END	W	10	0	M2P 用 LCH10 DMA 強制終了
M2P_LCH9_END	W	9	0	M2P 用 LCH9 DMA 強制終了
Reserved	-	8:6	-	予約。読み出すと 0 を返します。
M2P_LCH5_END	W	5	0	M2P 用 LCH5 DMA 強制終了
M2P_LCH4_END	W	4	0	M2P 用 LCH4 DMA 強制終了
M2P_LCH3_END	W	3	0	M2P 用 LCH3 DMA 強制終了
M2P_LCH2_END	W	2	0	M2P 用 LCH2 DMA 強制終了
M2P_LCH1_END	W	1	0	M2P 用 LCH1 DMA 強制終了
M2P_LCH0_END	W	0	0	M2P 用 LCH0 DMA 強制終了

備考 0 : 現状保持, 1 : DMA 強制終了

2.3.5 M2P用割り込みパラメータ設定レジスタ

リングス転送終了，ブロック転送終了，エラー終了，タイムアウトの4種類の割り込みの各種パラメータを設定するレジスタです。

(1) M2P用割り込みステータス・レジスタ

本レジスタ (DMA_M2P_XXX_LCHx_INT_CONT) は，割り込み要因の状態を示します。

AHB ライト側 (*_W_*), AHB リード側 (*_R_*) それぞれに要因レジスタを持っています。

備考 ACPU / DSP 個別にレジスタを持っています。M2P_LCHx_INT_SEL レジスタで使用するプロセッサを選択します。

- DMA_M2P_PE0_LCH0LCH3_INT_CONT : 4009_4100H (ACPU, LCH0-LCH3)
- DMA_M2P_DSP_LCH0LCH3_INT_CONT : 4009_4400H (ADSP, LCH0-LCH3)
- DMA_M2P_PE0_LCH4LCH5_INT_CONT : 4009_4120H (ACPU, LCH4-LCH5)
- DMA_M2P_DSP_LCH4LCH5_INT_CONT : 4009_4420H (ADSP, LCH4-LCH5)
- DMA_M2P_PE0_LCH9LCH10_INT_CONT : 4009_4140H (ACPU, LCH9-LCH10)
- DMA_M2P_DSP_LCH9LCH10_INT_CONT : 4009_4440H (ADSP, LCH9-LCH10)
- DMA_M2P_PE0_LCH12LCH14_INT_CONT : 4009_4160H (ACPU, LCH12-LCH14)
- DMA_M2P_DSP_LCH12LCH14_INT_CONT : 4009_4460H (ADSP, LCH12-LCH14)

LCH0-LCH3 の場合のビット・アサインを次に示します。その他の場合も同様の構造です。ただし，タイムアウトによる割り込み (INT_TIME) は，LCH0, LCH1, LCH2 のみです。それ以外の場合，Reserved になります。

31	30	29	28	27	26	25	24
M2P_LCH3_ INT_TIME_ W_CONT	M2P_LCH3_ INT_ERROR _W_CONT	Reserved	M2P_LCH3_ INT_LENG _W_CONT	Reserved	M2P_LCH3_ INT_ERROR _R_CONT	Reserved	
23	22	21	20	19	18	17	16
M2P_LCH2_ INT_TIME_ W_CONT	M2P_LCH2_ INT_ERROR _W_CONT	Reserved	M2P_LCH2_ INT_LENG _W_CONT	Reserved	M2P_LCH2_ INT_ERROR _R_CONT	Reserved	
15	14	13	12	11	10	9	8
M2P_LCH1_ INT_TIME_ W_CONT	M2P_LCH1_ INT_ERROR _W_CONT	Reserved	M2P_LCH1_ INT_LENG _W_CONT	Reserved	M2P_LCH1_ INT_ERROR _R_CONT	Reserved	
7	6	5	4	3	2	1	0
M2P_LCH0_ INT_TIME_ W_CONT	M2P_LCH0_ INT_ERROR _W_CONT	Reserved	M2P_LCH0_ INT_LENG _W_CONT	Reserved	M2P_LCH0_ INT_ERROR _R_CONT	Reserved	

名 称	R/W	ビット	リセット時	機 能
M2P_LCH3_INT_TI ME_W_CONT	R	31	0	M2P 用 LCH3 のタイムアウトによる割り込み要因の状態を示します。
M2P_LCH3_INT_ER ROR_W_CONT	R	30	0	M2P 用 LCH3 のエラーによる割り込み要因の状態を示します。
Reserved	-	29	-	予約。読み出すと 0 を返します。
M2P_LCH3_INT_ LENG_W_CONT	R	28	0	M2P 用 LCH3 のレンクス転送終了による割り込み要因の状態を示します。
Reserved	-	27	-	予約。読み出すと 0 を返します。
M2P_LCH3_INT_ER ROR_R_CONT	R	26	0	M2P 用 LCH3 のエラーによる割り込み要因の状態を示します。
Reserved	-	25:24	-	予約。読み出すと 0 を返します。
M2P_LCH2_INT_TI ME_W_CONT	R	23	0	M2P 用 LCH2 のタイムアウトによる割り込み要因の状態を示します。
M2P_LCH2_INT_ER ROR_W_CONT	R	22	0	M2P 用 LCH2 のエラーによる割り込み要因の状態を示します。
Reserved	-	21	-	予約。読み出すと 0 を返します。
M2P_LCH2_INT_ LENG_W_CONT	R	20	0	M2P 用 LCH2 のレンクス転送終了による割り込み要因の状態を示します。
Reserved	-	19	-	予約。読み出すと 0 を返します。
M2P_LCH2_INT_ER ROR_R_CONT	R	18	0	M2P 用 LCH2 のエラーによる割り込み要因の状態を示します。
Reserved	-	17:16	-	予約。読み出すと 0 を返します。
M2P_LCH1_INT_TI ME_W_CONT	R	15	0	M2P 用 LCH1 のタイムアウトによる割り込み要因の状態を示します。
M2P_LCH1_INT_ER ROR_W_CONT	R	14	0	M2P 用 LCH1 のエラーによる割り込み要因の状態を示します。
Reserved	-	13	-	予約。読み出すと 0 を返します。
M2P_LCH1_INT_ LENG_W_CONT	R	12	0	M2P 用 LCH1 のレンクス転送終了による割り込み要因の状態を示します。
Reserved	-	11	-	予約。読み出すと 0 を返します。
M2P_LCH1_INT_ER ROR_R_CONT	R	10	0	M2P 用 LCH1 のエラーによる割り込み要因の状態を示します。
Reserved	-	9:8	-	予約。読み出すと 0 を返します。
M2P_LCH0_INT_TI ME_W_CONT	R	7	0	M2P 用 LCH0 のタイムアウトによる割り込み要因の状態を示します。
M2P_LCH0_INT_ER ROR_W_CONT	R	6	0	M2P 用 LCH0 のエラーによる割り込み要因の状態を示します。
Reserved	-	5	-	予約。読み出すと 0 を返します。
M2P_LCH0_INT_ LENG_W_CONT	R	4	0	M2P 用 LCH0 のレンクス転送終了による割り込み要因の状態を示します。
Reserved	-	3	-	予約。読み出すと 0 を返します。
M2P_LCH0_INT_ER ROR_R_CONT	R	2	0	M2P 用 LCH0 のエラーによる割り込み要因の状態を示します。
Reserved	-	1:0	-	予約。読み出すと 0 を返します。

備考 0：割り込み要因なし（デフォルト）、1：割り込み要因あり

(2) M2P 用割り込み Raw ステータス・レジスタ

本レジスタ (DMA_M2P_XXX_LCHx_INT_RAW) は、割り込み要因の状態を割り込みイネーブル・セット・レジスタ、割り込みイネーブル・クリア・レジスタの状態に関わらず割り込み要因がリードできます。

AHB ライト側 (*_W_*), AHB リード側 (*_R_*) それぞれに要因レジスタを持っています。

備考 ACPU / DSP 個別にレジスタを持っています。M2P_LCHx_INT_SEL レジスタで使用するプロセッサを選択します。

- DMA_M2P_PE0_LCH0LCH3_INT_RAW : 4009_4104H (ACPU , LCH0-LCH3)
- DMA_M2P_DSP_LCH0LCH3_INT_RAW : 4009_4404H (ADSP , LCH0-LCH3)
- DMA_M2P_PE0_LCH4LCH5_INT_RAW : 4009_4124H (ACPU , LCH4-LCH5)
- DMA_M2P_DSP_LCH4LCH5_INT_RAW : 4009_4424H (ADSP , LCH4-LCH5)
- DMA_M2P_PE0_LCH9LCH10_INT_RAW : 4009_4144H (ACPU , LCH9-LCH10)
- DMA_M2P_DSP_LCH9LCH10_INT_RAW : 4009_4444H (ADSP , LCH9-LCH10)
- DMA_M2P_PE0_LCH12LCH14_INT_RAW : 4009_4164H (ACPU , LCH12-LCH14)
- DMA_M2P_DSP_LCH12LCH14_INT_RAW : 4009_4464H (ADSP , LCH12-LCH14)

LCH0-LCH3 の場合のビット・アサインを次に示します。その他の場合も同様の構造です。ただし、タイムアウトによる割り込み (INT_TIME) は、LCH0, LCH1, LCH2 のみです。それ以外の場合、Reserved になります。

31	30	29	28	27	26	25	24
M2P_LCH3_ INT_TIME_ W_RAW	M2P_LCH3_ INT_ERROR_ _W_RAW	Reserved	M2P_LCH3_ INT_LENG_ W_RAW	Reserved	M2P_LCH3_ INT_ERROR_ R_RAW	Reserved	
23	22	21	20	19	18	17	16
M2P_LCH2_ INT_TIME_ W_RAW	M2P_LCH2_ INT_ERROR_ _W_RAW	Reserved	M2P_LCH2_ INT_LENG_ W_RAW	Reserved	M2P_LCH2_ INT_ERROR_ R_RAW	Reserved	
15	14	13	12	11	10	9	8
M2P_LCH1_ INT_TIME_ W_RAW	M2P_LCH1_ INT_ERROR_ _W_RAW	Reserved	M2P_LCH1_ INT_LENG_ W_RAW	Reserved	M2P_LCH1_ INT_ERROR_ R_RAW	Reserved	
7	6	5	4	3	2	1	0
M2P_LCH0_ INT_TIME_ W_RAW	M2P_LCH0_ INT_ERROR_ _W_RAW	Reserved	M2P_LCH0_ INT_LENG_ W_RAW	Reserved	M2P_LCH0_ INT_ERROR_ R_RAW	Reserved	

名 称	R/W	ビット	リセット時	機 能
M2P_LCH3_INT_ TIME_W_RAW	R	31	0	M2P 用 LCH3 のタイムアウトによる割り込み要因の状態を示します。
M2P_LCH3_INT_ ERROR_W_RAW	R	30	0	M2P 用 LCH3 のエラーによる割り込み要因の状態を示します。
Reserved	-	29	-	予約。読み出すと 0 を返します。
M2P_LCH3_INT_ LENG_W_RAW	R	28	0	M2P 用 LCH3 のレンクス転送終了による割り込み要因の状態を示します。
Reserved	-	27	-	予約。読み出すと 0 を返します。
M2P_LCH3_INT_ ERROR_R_RAW	R	26	0	M2P 用 LCH3 のエラーによる割り込み要因の状態を示します。
Reserved	-	25:24	-	予約。読み出すと 0 を返します。
M2P_LCH2_INT_ TIME_W_RAW	R	23	0	M2P 用 LCH2 のタイムアウトによる割り込み要因の状態を示します。
M2P_LCH2_INT_ ERROR_W_RAW	R	22	0	M2P 用 LCH2 のエラーによる割り込み要因の状態を示します。
Reserved	-	21	-	予約。読み出すと 0 を返します。
M2P_LCH2_INT_ LENG_W_RAW	R	20	0	M2P 用 LCH2 のレンクス転送終了による割り込み要因の状態を示します。
Reserved	-	19	-	予約。読み出すと 0 を返します。
M2P_LCH2_INT_ ERROR_R_RAW	R	18	0	M2P 用 LCH2 のエラーによる割り込み要因の状態を示します。
Reserved	-	17:16	-	予約。読み出すと 0 を返します。
M2P_LCH1_INT_ TIME_W_RAW	R	15	0	M2P 用 LCH1 のタイムアウトによる割り込み要因の状態を示します。
M2P_LCH1_INT_ ERROR_W_RAW	R	14	0	M2P 用 LCH1 のエラーによる割り込み要因の状態を示します。
Reserved	-	13	-	予約。読み出すと 0 を返します。
M2P_LCH1_INT_ LENG_W_RAW	R	12	0	M2P 用 LCH1 のレンクス転送終了による割り込み要因の状態を示します。
Reserved	-	11	-	予約。読み出すと 0 を返します。
M2P_LCH1_INT_ ERROR_R_RAW	R	10	0	M2P 用 LCH1 のエラーによる割り込み要因の状態を示します。
Reserved	-	9:8	-	予約。読み出すと 0 を返します。
M2P_LCH0_INT_ TIME_W_RAW	R	7	0	M2P 用 LCH0 のタイムアウトによる割り込み要因の状態を示します。
M2P_LCH0_INT_ ERROR_W_RAW	R	6	0	M2P 用 LCH0 のエラーによる割り込み要因の状態を示します。
Reserved	-	5	-	予約。読み出すと 0 を返します。
M2P_LCH0_INT_ LENG_W_RAW	R	4	0	M2P 用 LCH0 のレンクス転送終了による割り込み要因の状態を示します。
Reserved	-	3	-	予約。読み出すと 0 を返します。
M2P_LCH0_INT_ ERROR_R_RAW	R	2	0	M2P 用 LCH0 のエラーによる割り込み要因の状態を示します。
Reserved	-	1:0	-	予約。読み出すと 0 を返します。

備考 0：割り込み要因なし（デフォルト）、1：割り込み要因あり

(3) M2P 用割り込みイネーブル・セット・レジスタ

本レジスタ(DMA_M2P_XXX_LCHx_INT_ENABLE)は、割り込み要因のマスク解除設定を行います。“1”をセットしたビットのみレジスタ内容を更新します。

“1”をライトしたビットに対応する割り込み要因のマスクを解除します。また、リードすると、割り込み要因のマスクの状態を読み出せます。本レジスタへの“0”のライトは無効です。

割り込み要因をマスクするためには、割り込みイネーブル・クリア・レジスタのマスクしたい要因ビットに“1”をライトしてください。

備考 ACPU / DSP 個別にレジスタを持っています。M2P_LCHx_INT_SEL レジスタで使用するプロセッサを選択します。

- DMA_M2P_PE0_LCH0LCH3_INT_ENABLE : 4009_4108H (ACPU , LCH0-LCH3)
- DMA_M2P_DSP_LCH0LCH3_INT_ENABLE : 4009_4408H (ADSP , LCH0-LCH3)
- DMA_M2P_PE0_LCH4LCH5_INT_ENABLE : 4009_4128H (ACPU , LCH4-LCH5)
- DMA_M2P_DSP_LCH4LCH5_INT_ENABLE : 4009_4428H (ADSP , LCH4-LCH5)
- DMA_M2P_PE0_LCH9LCH10_INT_ENABLE : 4009_4148H (ACPU , LCH9-LCH10)
- DMA_M2P_DSP_LCH9LCH10_INT_ENABLE : 4009_4448H (ADSP , LCH9-LCH10)
- DMA_M2P_PE0_LCH12LCH14_INT_ENABLE : 4009_4168H (ACPU , LCH12-LCH14)
- DMA_M2P_DSP_LCH12LCH14_INT_ENABLE : 4009_4468H (ADSP , LCH12-LCH14)

LCH0-LCH3 の場合のビット・アサインを次に示します。その他の場合も同様の構造です。ただし、タイムアウトによる割り込み (INT_TIME) は、LCH0, LCH1, LCH2 のみです。それ以外の場合、Reserved になります。

31	30	29	28	27	26	25	24
Reserved				M2P_LCH3_ INT_TIME_ ENABLE	M2P_LCH3_ INT_ERROR_ ENABLE	M2P_LCH3_ INT_BLOCK_ ENABLE	M2P_LCH3_ INT LENG_ ENABLE
23	22	21	20	19	18	17	16
Reserved				M2P_LCH2_ INT_TIME_ ENABLE	M2P_LCH2_ INT_ERROR_ ENABLE	M2P_LCH2_ INT_BLOCK_ _ENABLE	M2P_LCH2_ INT LENG_ ENABLE
15	14	13	12	11	10	9	8
Reserved				M2P_LCH1_ INT_TIME_ ENABLE	M2P_LCH1_ INT_ERROR_ ENABLE	M2P_LCH1_ INT_BLOCK_ _ENABLE	M2P_LCH1_ INT LENG_ ENABLE
7	6	5	4	3	2	1	0
Reserved				M2P_LCH0_ INT_TIME_ ENABLE	M2P_LCH0_ INT_ERROR_ ENABLE	M2P_LCH0_ INT_BLOCK_ ENABLE	M2P_LCH0_ INT LENG_ ENABLE

名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:28	-	予約。読み出すと0を返します。
M2P_LCH3_INT_TIME_ENABLE	R/W	27	0	M2P用LCH3のタイムアウト割り込み要因のイネーブルを設定します。
M2P_LCH3_INT_ERROR_ENABLE	R/W	26	0	M2P用LCH3のエラー割り込み要因のイネーブルを設定します。
M2P_LCH3_INT_BLOCK_ENABLE	R/W	25	0	M2P用LCH3のブロック割り込み要因のイネーブルを設定します。
M2P_LCH3_INT LENG_ENABLE	R/W	24	0	M2P用LCH3のレングス割り込み要因のイネーブルを設定します。
Reserved	-	23:20	-	予約。読み出すと0を返します。
M2P_LCH2_INT_TIME_ENABLE	R/W	19	0	M2P用LCH2のタイムアウト割り込み要因のイネーブルを設定します。
M2P_LCH2_INT_ERROR_ENABLE	R/W	18	0	M2P用LCH2のエラー割り込み要因のイネーブルを設定します。
M2P_LCH2_INT_BLOCK_ENABLE	R/W	17	0	M2P用LCH2のブロック割り込み要因のイネーブルを設定します。
M2P_LCH2_INT LENG_ENABLE	R/W	16	0	M2P用LCH2のレングス割り込み要因のイネーブルを設定します。
Reserved	-	15:12	-	予約。読み出すと0を返します。
M2P_LCH1_INT_TIME_ENABLE	R/W	11	0	M2P用LCH1のタイムアウト割り込み要因のイネーブルを設定します。
M2P_LCH1_INT_ERROR_ENABLE	R/W	10	0	M2P用LCH1のエラー割り込み要因のイネーブルを設定します。
M2P_LCH1_INT_BLOCK_ENABLE	R/W	9	0	M2P用LCH1のブロック割り込み要因のイネーブルを設定します。
M2P_LCH1_INT LENG_ENABLE	R/W	8	0	M2P用LCH1のレングス割り込み要因のイネーブルを設定します。
Reserved	-	7:4	-	予約。読み出すと0を返します。
M2P_LCH0_INT_TIME_ENABLE	R/W	3	0	M2P用LCH0のタイムアウト割り込み要因のイネーブルを設定します。
M2P_LCH0_INT_ERROR_ENABLE	R/W	2	0	M2P用LCH0のエラー割り込み要因のイネーブルを設定します。
M2P_LCH0_INT_BLOCK_ENABLE	R/W	1	0	M2P用LCH0のブロック割り込み要因のイネーブルを設定します。
M2P_LCH0_INT LENG_ENABLE	R/W	0	0	M2P用LCH0のレングス割り込み要因のイネーブルを設定します。

備考 0：割り込み要因マスク（デフォルト）、1：割り込み要因許可

(4) M2P 用割り込みイネーブル・クリア・レジスタ

本レジスタ (DMA_M2P_XXX_LCHx_INT_ENABLE_CL) は、割り込み要因のマスク設定を行います。

“1” をセットしたビットのみ割り込み要因をマスクし、“0” をセットしたビットは前のマスク状態を保持します。

本レジスタでマスク設定を行なうと、ARM 用割り込みイネーブル・セット・レジスタの対応するビットが、割り込み要因マスク状態 (0) に変化します。

備考 ACPU / DSP 個別にレジスタを持っています。M2P_LCHx_INT_SEL レジスタで使用するプロセッサを選択します。

- DMA_M2P_PE0_LCH0LCH3_INT_ENABLE_CL : 4009_410CH (ACPU , LCH0-LCH3)
- DMA_M2P_DSP_LCH0LCH3_INT_ENABLE_CL : 4009_440CH (ADSP , LCH0-LCH3)
- DMA_M2P_PE0_LCH4LCH5_INT_ENABLE_CL : 4009_412CH (ACPU , LCH4-LCH5)
- DMA_M2P_DSP_LCH4LCH5_INT_ENABLE_CL : 4009_442CH (ADSP , LCH4-LCH5)
- DMA_M2P_PE0_LCH9LCH10_INT_ENABLE_CL : 4009_414CH (ACPU , LCH9-LCH10)
- DMA_M2P_DSP_LCH9LCH10_INT_ENABLE_CL : 4009_444CH (ADSP , LCH9-LCH10)
- DMA_M2P_PE0_LCH12LCH14_INT_ENABLE_CL : 4009_416CH (ACPU , LCH12-LCH14)
- DMA_M2P_DSP_LCH12LCH14_INT_ENABLE_CL : 4009_446CH (ADSP , LCH12-LCH14)

LCH0-LCH3 の場合のビット・アサインを次に示します。その他の場合も同様の構造です。ただし、タイムアウトによる割り込み (INT_TIME) は、LCH0, LCH1, LCH2 のみです。それ以外の場合、Reserved になります。

31	30	29	28	27	26	25	24
Reserved				M2P_LCH3_ INT_TIME_ ENABLE_CL	M2P_LCH3_ INT_ERROR_ ENABLE_CL	M2P_LCH3_ INT_BLOCK_ ENABLE_CL	M2P_LCH3_ INT_LENG _ENABLE_CL
23	22	21	20	19	18	17	16
Reserved				M2P_LCH2_ INT_TIME_ ENABLE_CL	M2P_LCH2_ INT_ERROR_ ENABLE_CL	M2P_LCH2_ INT_BLOCK_ ENABLE_CL	M2P_LCH2_ INT_LENG _ENABLE_CL
15	14	13	12	11	10	9	8
Reserved				M2P_LCH1_ INT_TIME_ ENABLE_CL	M2P_LCH1_ INT_ERROR_ ENABLE_CL	M2P_LCH1_ INT_BLOCK_ ENABLE_CL	M2P_LCH1_ INT_LENG _ENABLE_CL
7	6	5	4	3	2	1	0
Reserved				M2P_LCH0_ INT_TIME_ ENABLE_CL	M2P_LCH0_ INT_ERROR_ ENABLE_CL	M2P_LCH0_ INT_BLOCK_ ENABLE_CL	M2P_LCH0_ INT_LENG _ENABLE_CL

名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:28	-	予約。読み出すと0を返します。
M2P_LCH3_INT_ TIME_ENABLE_CL	W	27	0	M2P用LCH3のタイムアウト割り込み要因のイネーブルを解除します。
M2P_LCH3_INT_ ERROR_ENABLE_CL	W	26	0	M2P用LCH3のエラー割り込み要因のイネーブルを解除します。
M2P_LCH3_INT_ BLOCK_ENABLE_CL	W	25	0	M2P用LCH3のブロック割り込み要因のイネーブルを解除します。
M2P_LCH3_INT_ LENG_ENABLE_CL	W	24	0	M2P用LCH3のレンジ割り込み要因のイネーブルを解除します。
Reserved	-	23:20	-	予約。読み出すと0を返します。
M2P_LCH2_INT_ TIME_ENABLE_CL	W	19	0	M2P用LCH2のタイムアウト割り込み要因のイネーブルを解除します。
M2P_ LCH2_INT_ERROR_E NABLE_CL	W	18	0	M2P用LCH2のエラー割り込み要因のイネーブルを解除します。
M2P_LCH2_INT_ BLOCK_ENABLE_CL	W	17	0	M2P用LCH2のブロック割り込み要因のイネーブルを解除します。
M2P_LCH2_INT_ LENG_ENABLE_CL	W	16	0	M2P用LCH2のレンジ割り込み要因のイネーブルを解除します。
Reserved	-	15:12	-	予約。読み出すと0を返します。
M2P_LCH1_INT_ TIME_ENABLE_CL	W	11	0	M2P用LCH1のタイムアウト割り込み要因のイネーブルを解除します。
M2P_ LCH1_INT_ERROR_E NABLE_CL	W	10	0	M2P用LCH1のエラー割り込み要因のイネーブルを解除します。
M2P_LCH1_INT_ BLOCK_ENABLE_CL	W	9	0	M2P用LCH1のブロック割り込み要因のイネーブルを解除します。
M2P_LCH1_INT_ LENG_ENABLE_CL	W	8	0	M2P用LCH1のレンジ割り込み要因のイネーブルを解除します。
Reserved	-	7:4	-	予約。読み出すと0を返します。
M2P_LCH0_INT_ TIME_ENABLE_CL	W	3	0	M2P用LCH0のタイムアウト割り込み要因のイネーブルを解除します。
M2P_LCH0_INT_ ERROR_ENABLE_CL	W	2	0	M2P用LCH0のエラー割り込み要因のイネーブルを解除します。
M2P_LCH0_INT_ BLOCK_ENABLE_CL	W	1	0	M2P用LCH0のブロック割り込み要因のイネーブルを解除します。
M2P_LCH0_INT_ LENG_ENABLE_CL	W	0	0	M2P用LCH0のレンジ割り込み要因のイネーブルを解除します。

備考 0：割り込み要因マスク（デフォルト）、1：割り込み要因許可

(5) M2P 用割り込み要因クリア・レジスタ

本レジスタ (DMA_M2P_XXX_LCHx_INT_REQ_CL) は、割り込み要因のクリア要求を行います。“1” をセットしたビットのみレジスタ内容を更新します。

AHB ライト側 (*_W_*), AHB リード側 (*_R_*) それぞれに要因レジスタを持っています。

備考 ACPU / DSP 個別にレジスタを持っています。M2P_LCHx_INT_SEL レジスタで使用するプロセッサを選択します。

- DMA_M2P_PE0_LCH0LCH3_INT_REQ_CL : 4009_4110H (ACPU , LCH0-LCH3)
- DMA_M2P_DSP_LCH0LCH3_INT_REQ_CL : 4009_4410H (ADSP , LCH0-LCH3)
- DMA_M2P_PE0_LCH4LCH5_INT_REQ_CL : 4009_4130H (ACPU , LCH4-LCH5)
- DMA_M2P_DSP_LCH4LCH5_INT_REQ_CL : 4009_4430H (ADSP , LCH4-LCH5)
- DMA_M2P_PE0_LCH9LCH10_INT_REQ_CL : 4009_4150H (ACPU , LCH9-LCH10)
- DMA_M2P_DSP_LCH9LCH10_INT_REQ_CL : 4009_4450H (ADSP , LCH9-LCH10)
- DMA_M2P_PE0_LCH12LCH14_INT_REQ_CL : 4009_4170H (ACPU , LCH12-LCH14)
- DMA_M2P_DSP_LCH12LCH14_INT_REQ_CL : 4009_4470H (ADSP , LCH12-LCH14)

LCH0-LCH3 の場合のビット・アサインを次に示します。その他の場合も同様の構造です。ただし、タイムアウトによる割り込み (INT_TIME) は、LCH0, LCH1, LCH2 のみです。それ以外の場合、Reserved になります。

31	30	29	28	27	26	25	24
M2P_LCH3_ INT_TIME_ W_REQ_CL	M2P_LCH3_ INT_ERROR_ W_REQ_CL	Reserved	M2P_LCH3_ INT_LENG _W_REQ_CL	Reserved	M2P_LCH3_ INT_ERROR_ R_REQ_CL	Reserved	
23	22	21	20	19	18	17	16
M2P_LCH2_ INT_TIME_ W_REQ_CL	M2P_LCH2_ INT_ERROR_ W_REQ_CL	Reserved	M2P_LCH2_ INT_LENG _W_REQ_CL	Reserved	M2P_LCH2_ INT_ERROR_ R_REQ_CL	Reserved	
15	14	13	12	11	10	9	8
M2P_LCH1_ INT_TIME_ W_REQ_CL	M2P_LCH1_ INT_ERROR_ W_REQ_CL	Reserved	M2P_LCH1_ INT_LENG _W_REQ_CL	Reserved	M2P_LCH1_ INT_ERROR_ R_REQ_CL	Reserved	
7	6	5	4	3	2	1	0
M2P_LCH0_ INT_TIME_ W_REQ_CL	M2P_LCH0_ INT_ERROR_ W_REQ_CL	Reserved	M2P_LCH0_ INT_LENG _W_REQ_CL	Reserved	M2P_LCH0_ INT_ERROR_ R_REQ_CL	Reserved	

名 称	R/W	ビット	リセット時	機 能
M2P_LCH3_INT_TIME_ W_REQ_CL	W	31	0	M2P 用 LCH3 のタイムアウト割り込み要因をクリアします。
M2P_LCH3_INT_ ERROR_W_REQ_CL	W	30	0	M2P 用 LCH3 のエラー割り込み要因をクリアします。
Reserved	-	29	-	予約。読み出すと 0 を返します。
M2P_LCH3_INT_LENG_ W_REQ_CL	W	28	0	M2P 用 LCH3 のレンジ割り込み要因をクリアします。
Reserved	-	27	-	予約。読み出すと 0 を返します。
M2P_LCH3_INT_ ERROR_R_REQ_CL	W	26	0	M2P 用 LCH3 のエラー割り込み要因をクリアします。
Reserved	-	25:24	-	予約。読み出すと 0 を返します。
M2P_LCH2_INT_TIME_ W_REQ_CL	W	23	0	M2P 用 LCH2 のタイムアウト割り込み要因をクリアします。
M2P_LCH2_INT_ ERROR_W_REQ_CL	W	22	0	M2P 用 LCH2 のエラー割り込み要因をクリアします。
Reserved	-	21	-	予約。読み出すと 0 を返します。
M2P_LCH2_INT_LENG_ W_REQ_CL	W	20	0	M2P 用 LCH2 のレンジ割り込み要因をクリアします。
Reserved	-	19	-	予約。読み出すと 0 を返します。
M2P_LCH2_INT_ ERROR_R_REQ_CL	W	18	0	M2P 用 LCH2 のエラー割り込み要因をクリアします。
Reserved	-	17:16	-	予約。読み出すと 0 を返します。
M2P_LCH1_INT_TIME_ W_REQ_CL	W	15	0	M2P 用 LCH1 のタイムアウト割り込み要因をクリアします。
M2P_LCH1_INT_ ERROR_W_REQ_CL	W	14	0	M2P 用 LCH1 のエラー割り込み要因をクリアします。
Reserved	-	13	-	予約。読み出すと 0 を返します。
M2P_LCH1_INT_LENG_ W_REQ_CL	W	12	0	M2P 用 LCH1 のレンジ割り込み要因をクリアします。
Reserved	-	11	-	予約。読み出すと 0 を返します。
M2P_LCH1_INT_ERROR_R_ REQ_CL	W	10	0	M2P 用 LCH1 のエラー割り込み要因をクリアします。
Reserved	-	9:8	-	予約。読み出すと 0 を返します。
M2P_LCH0_INT_TIME_ W_REQ_CL	W	7	0	M2P 用 LCH0 のタイムアウト割り込み要因をクリアします。
M2P_LCH0_INT_ ERROR_W_REQ_CL	W	6	0	M2P 用 LCH0 のエラー割り込み要因をクリアします。
Reserved	-	5	-	予約。読み出すと 0 を返します。
M2P_LCH0_INT_LENG_ W_REQ_CL	W	4	0	M2P 用 LCH0 のレンジ割り込み要因をクリアします。
Reserved	-	3	-	予約。読み出すと 0 を返します。
M2P_LCH0_INT_ ERROR_R_REQ_CL	W	2	0	M2P 用 LCH0 のエラー割り込み要因をクリアします。
Reserved	-	1:0	-	予約。読み出すと 0 を返します。

備考 0：影響なし（現在の値を保持します）、1：割り込み要因クリア

(6) M2P 用割り込み出力先設定レジスタ

本レジスタ (DMA_M2P_LCH0LCH14_INT_SEL : 4009_4800H) は、割り込み信号の出力先設定を行います。

31	30	29	28	27	26	25	24
Reserved		M2P_LCH14_INT_SEL		M2P_LCH13_INT_SEL		M2P_LCH12_INT_SEL	
23	22	21	20	19	18	17	16
Reserved		M2P_LCH10_INT_SEL		M2P_LCH9_INT_SEL		Reserved	
15	14	13	12	11	10	9	8
Reserved				M2P_LCH5_INT_SEL		M2P_LCH4_INT_SEL	
7	6	5	4	3	2	1	0
M2P_LCH3_INT_SEL		M2P_LCH2_INT_SEL		M2P_LCH1_INT_SEL		M2P_LCH0_INT_SEL	

名称	R/W	ビット	リセット時	機能
Reserved	-	31:30	-	予約。読み出すと0を返します。
M2P_LCH14_INT_SEL	R/W	29:28	0	M2P 用 LCH14 の割り込み出力先を設定します。
M2P_LCH13_INT_SEL	R/W	27:26	0	M2P 用 LCH13 の割り込み出力先を設定します。
M2P_LCH12_INT_SEL	R/W	25:24	0	M2P 用 LCH12 の割り込み出力先を設定します。
Reserved	-	23:22	-	予約。読み出すと0を返します。
M2P_LCH10_INT_SEL	R/W	21:20	0	M2P 用 LCH10 の割り込み出力先を設定します。
M2P_LCH9_INT_SEL	R/W	19:18	0	M2P 用 LCH9 の割り込み出力先を設定します。
Reserved	-	17:12	-	予約。読み出すと0を返します。
M2P_LCH5_INT_SEL	R/W	11:10	0	M2P 用 LCH5 の割り込み出力先を設定します。
M2P_LCH4_INT_SEL	R/W	9:8	0	M2P 用 LCH4 の割り込み出力先を設定します。
M2P_LCH3_INT_SEL	R/W	7:6		M2P 用 LCH3 の割り込み出力先を設定します。
M2P_LCH2_INT_SEL	R/W	5:4	0	M2P 用 LCH2 の割り込み出力先を設定します。
M2P_LCH1_INT_SEL	R/W	3:2		M2P 用 LCH1 の割り込み出力先を設定します。
M2P_LCH0_INT_SEL	R/W	1:0	0	M2P 用 LCH0 の割り込み出力先を設定します。

備考 00 : ACPU (デフォルト), 01 : Reserved, 10 : Reserved, 11 : ADSP

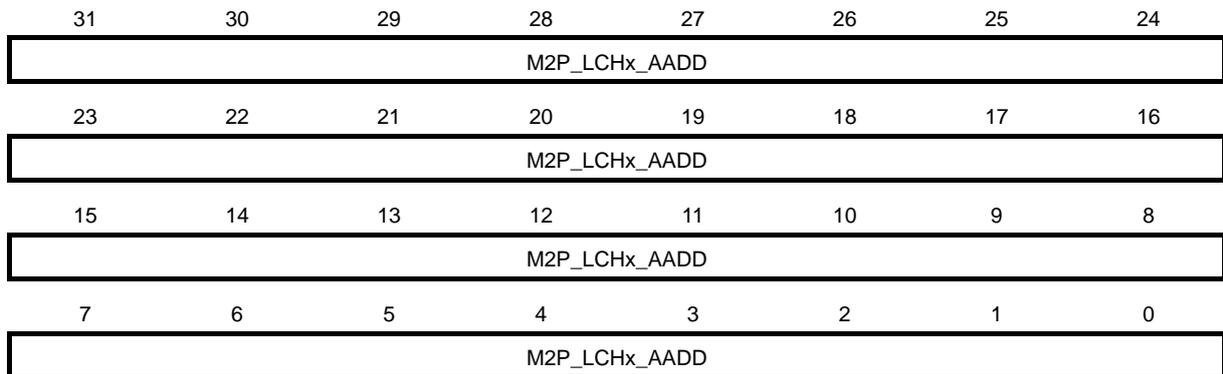
2.3.6 M2P用LCHxパラメータ設定レジスタ

M2P用の論理チャンネルごとの設定レジスタを説明します。LCHxのxはチャンネル数で、M2P用はx=0~14です。ただし、LCH6-LCH8, LCH11はリザーブ・チャンネル(未使用チャンネル)です。

(1) M2P用LCHxソース・アドレス・レジスタ

本レジスタ(DMA_M2P_LCHx_AADD)は、ソース側のスタート・アドレスをバイト単位で設定するレジスタです。

- DMA_M2P_LCH0_AADD : 4009_5000H (LCH0)
- DMA_M2P_LCH1_AADD : 4009_5100H (LCH1)
- DMA_M2P_LCH2_AADD : 4009_5200H (LCH2)
- DMA_M2P_LCH3_AADD : 4009_5300H (LCH3)
- DMA_M2P_LCH4_AADD : 4009_5400H (LCH4)
- DMA_M2P_LCH5_AADD : 4009_5500H (LCH5)
- DMA_M2P_LCH9_AADD : 4009_5900H (LCH9)
- DMA_M2P_LCH10_AADD : 4009_5A00H (LCH10)
- DMA_M2P_LCH12_AADD : 4009_5C00H (LCH12)
- DMA_M2P_LCH13_AADD : 4009_5D00H (LCH13)
- DMA_M2P_LCH14_AADD : 4009_5E00H (LCH14)

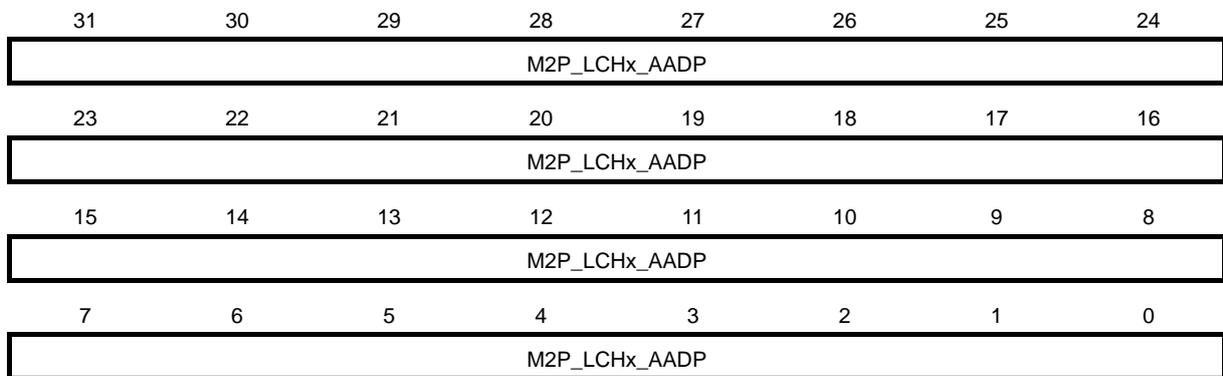


名 称	R/W	ビット	リセット時	機 能
M2P_LCHx_AADD	R/W	31:0	0	M2P用LCHxソース・アドレス(スタート・アドレス)

(2) M2P 用 LCHx ソース・アドレス・ポインタ・レジスタ

本レジスタ (DMA_M2P_LCHx_AADP) は、アクセスしているソース側のアドレスを格納するレジスタです。

- DMA_M2P_LCH0_AADP : 4009_5004H (LCH0)
- DMA_M2P_LCH1_AADP : 4009_5104H (LCH1)
- DMA_M2P_LCH2_AADP : 4009_5204H (LCH2)
- DMA_M2P_LCH3_AADP : 4009_5304H (LCH3)
- DMA_M2P_LCH4_AADP : 4009_5404H (LCH4)
- DMA_M2P_LCH5_AADP : 4009_5504H (LCH5)
- DMA_M2P_LCH9_AADP : 4009_5904H (LCH9)
- DMA_M2P_LCH10_AADP : 4009_5A04H (LCH10)
- DMA_M2P_LCH12_AADP : 4009_5C04H (LCH12)
- DMA_M2P_LCH13_AADP : 4009_5D04H (LCH13)
- DMA_M2P_LCH14_AADP : 4009_5E04H (LCH14)

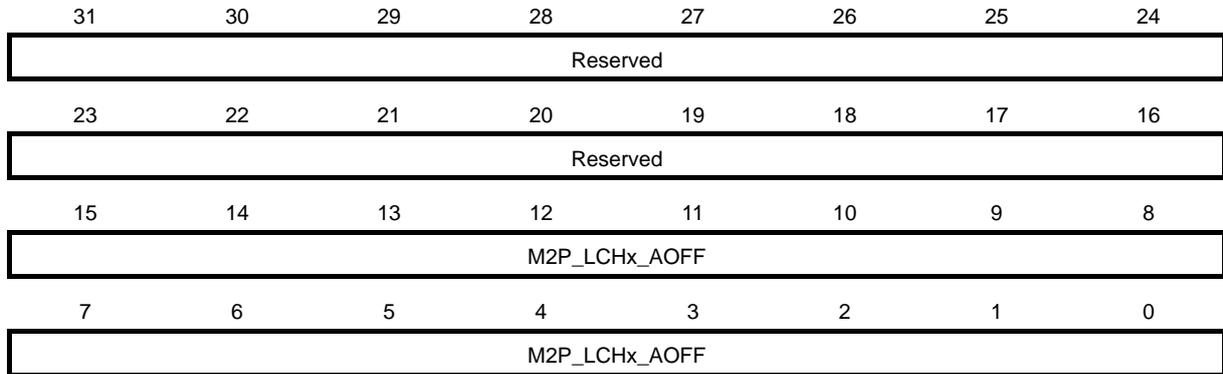


名 称	R/W	ビット	リセット時	機 能
M2P_LCHx_AADP	R	31:0	0	M2P 用 LCHx のアクセスしている ソース・アドレスを格納します。

(3) M2P 用 LCHx ソース・アドレス・オフセット・レジスタ

本レジスタ (DMA_M2P_LCHx_AOFF) は、ソース側のブロック間のオフセットをバイト単位で指定するレジスタです。最大 65535 バイトまで設定可能です。

- DMA_M2P_LCH0_AOFF : 4009_5008H (LCH0)
- DMA_M2P_LCH1_AOFF : 4009_5108H (LCH1)
- DMA_M2P_LCH2_AOFF : 4009_5208H (LCH2)
- DMA_M2P_LCH3_AOFF : 4009_5308H (LCH3)
- DMA_M2P_LCH4_AOFF : 4009_5408H (LCH4)
- DMA_M2P_LCH5_AOFF : 4009_5508H (LCH5)
- DMA_M2P_LCH9_AOFF : 4009_5908H (LCH9)
- DMA_M2P_LCH10_AOFF : 4009_5A08H (LCH10)
- DMA_M2P_LCH12_AOFF : 4009_5C08H (LCH12)
- DMA_M2P_LCH13_AOFF : 4009_5D08H (LCH13)
- DMA_M2P_LCH14_AOFF : 4009_5E08H (LCH14)

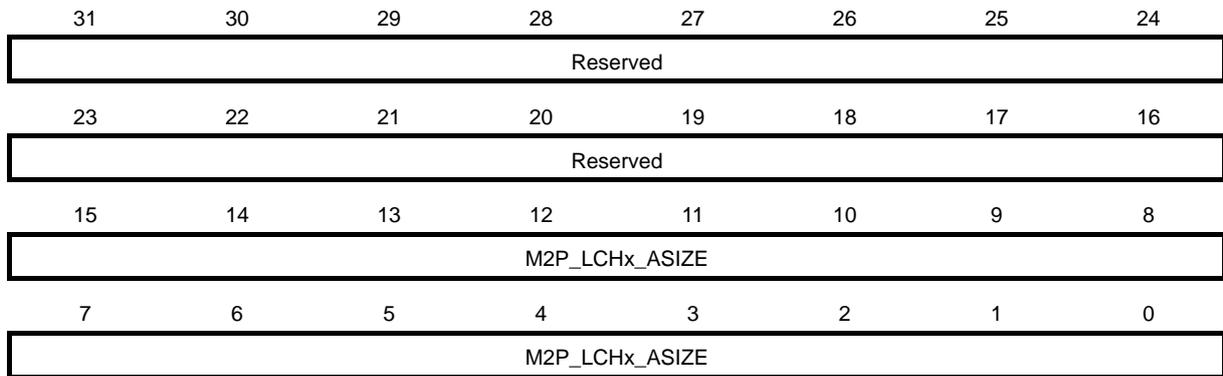


名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:16	-	予約。読み出すと 0 を返します。
M2P_LCHx_AOFF	R/W	15:0	0	M2P 用 LCHx のソース側のブロック間のオフセットをバイト単位で示します。 00000000_00000000 : 0 バイト (オフセットなし) 00000000_00000001 : 1 バイト 00000000_00000010 : 2 バイト (ハーフ・ワード) 00000000_00000011 : 3 バイト 00000000_00000100 : 4 バイト (1 ワード) 00000000_00000101 : 5 バイト : 11111111_11111111 : 65535 バイト

(4) M2P 用 LCHx ソース・ブロック・サイズ・レジスタ

本レジスタ (DMA_M2P_LCHx_ASIZE) は、ソース側のブロック・サイズの設定をバイト単位で行うレジスタです。最大 65535 バイトまで設定可能です。

- DMA_M2P_LCH0_ASIZE : 4009_500CH (LCH0)
- DMA_M2P_LCH1_ASIZE : 4009_510CH (LCH1)
- DMA_M2P_LCH2_ASIZE : 4009_520CH (LCH2)
- DMA_M2P_LCH3_ASIZE : 4009_530CH (LCH3)
- DMA_M2P_LCH4_ASIZE : 4009_540CH (LCH4)
- DMA_M2P_LCH5_ASIZE : 4009_550CH (LCH5)
- DMA_M2P_LCH9_ASIZE : 4009_590CH (LCH9)
- DMA_M2P_LCH10_ASIZE : 4009_5A0CH (LCH10)
- DMA_M2P_LCH12_ASIZE : 4009_5C0CH (LCH12)
- DMA_M2P_LCH13_ASIZE : 4009_5D0CH (LCH13)
- DMA_M2P_LCH14_ASIZE : 4009_5E0CH (LCH14)



名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:16	-	予約。読み出すと 0 を返します。
M2P_LCHx_ASIZE	R/W	15:0	0	M2P 用 LCHx ソース側のブロック・サイズの設定を行うレジスタです。 00000000_00000000 : (設定禁止) 00000000_00000001 : 1 バイト 00000000_00000010 : 2 バイト (ハーフ・ワード) 00000000_00000011 : 3 バイト 00000000_00000100 : 4 バイト (1 ワード) 00000000_00000101 : 5 バイト : 11111111_11111111 : 65535 バイト

注意 1.このレジスタに"0"を設定した場合、ブロック割り込みが発生し続けることがあります。また、このときの DMA 動作は保証しません。

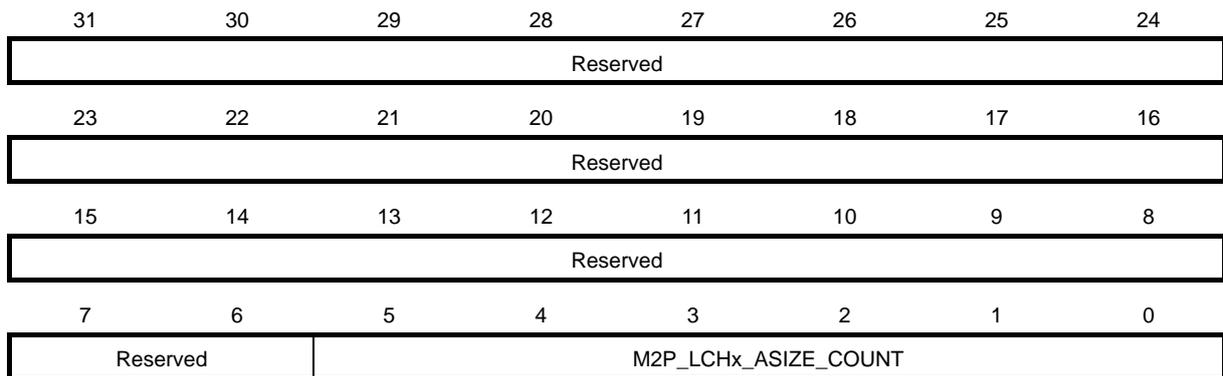
2. ブロック・サイズごとのブロック割り込みを発生したくない場合は、ブロック・サイズ=レンゲスに設定してください(この場合、DMA 転送完了時にブロック割り込みとレンゲス割り込みが同時に発生します)。

(5) M2P用 LCHx ソース ブロック・カウント・レジスタ

本レジスタ (DMA_M2P_LCHx_ASIZE_COUNT) は、ライト時とリード時で異なる機能を持っています。

ライト時には、リピート転送時に1ループ内で転送するブロック・サイズ数を設定します。リード時には、ソース側のアクセス中のブロック転送数を記憶しています。設定されたブロック・サイズからブロック転送完了ごとにカウントダウンした値が表示されます。リピート転送を行う場合は1次元転送(オフセット0)である必要があります。

- DMA_M2P_LCH0_ASIZE_COUNT : 4009_5010H (LCH0)
- DMA_M2P_LCH1_ASIZE_COUNT : 4009_5110H (LCH1)
- DMA_M2P_LCH2_ASIZE_COUNT : 4009_5210H (LCH2)
- DMA_M2P_LCH3_ASIZE_COUNT : 4009_5310H (LCH3)
- DMA_M2P_LCH4_ASIZE_COUNT : 4009_5410H (LCH4)
- DMA_M2P_LCH5_ASIZE_COUNT : 4009_5510H (LCH5)
- DMA_M2P_LCH9_ASIZE_COUNT : 4009_5910H (LCH9)
- DMA_M2P_LCH10_ASIZE_COUNT : 4009_5A10H (LCH10)
- DMA_M2P_LCH12_ASIZE_COUNT : 4009_5C10H (LCH12)
- DMA_M2P_LCH13_ASIZE_COUNT : 4009_5D10H (LCH13)
- DMA_M2P_LCH14_ASIZE_COUNT : 4009_5E10H (LCH14)



名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:6	-	予約。読み出すと0を返します。
M2P_LCHx_ASIZE _COUNT	R/W	5:0	0	ライト時： リピート転送時に1ループ内で転送するソース側のブロック数を設定します。 000000 : 1 ブロック 000001 : 2 ブロック 000010 : 3 ブロック 000011 : 4 ブロック 000100 : 5 ブロック 000101 : 6 ブロック 000110 : 7 ブロック 000111 : 8 ブロック 001000 : 9 ブロック : 111111 : 64 ブロック リード時： ソース側の転送残りのブロック数を示します。 DMA 起動した時点で本レジスタへのライトで設定された値がセットされ、ブロック転送完了ごとにカウントダウンされた値が表示されま ず。

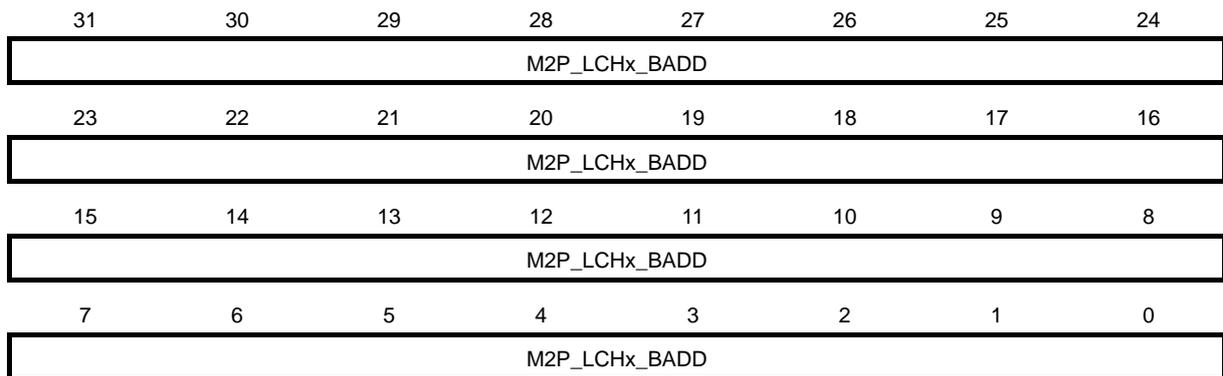
(6) M2P 用 LCHx ディスティネーション・アドレス・レジスタ

本レジスタ (DMA_M2P_LCHx_BADD) は、ディスティネーション側のスタート・アドレスをバイト単位で設定するレジスタです。

モード・レジスタの転送ビット幅指定で 8 ビットが選択されている場合、バイト単位での設定が可能です。

また、16 ビットが選択されている場合はハーフ・ワード単位、32 ビットが選択されている場合はワード単位での設定が可能です。

- DMA_M2P_LCH0_BADD : 4009_5020H (LCH0)
- DMA_M2P_LCH1_BADD : 4009_5120H (LCH1)
- DMA_M2P_LCH2_BADD : 4009_5220H (LCH2)
- DMA_M2P_LCH3_BADD : 4009_5320H (LCH3)
- DMA_M2P_LCH4_BADD : 4009_5420H (LCH4)
- DMA_M2P_LCH5_BADD : 4009_5520H (LCH5)
- DMA_M2P_LCH9_BADD : 4009_5920H (LCH9)
- DMA_M2P_LCH10_BADD : 4009_5A20H (LCH10)
- DMA_M2P_LCH12_BADD : 4009_5C20H (LCH12)
- DMA_M2P_LCH13_BADD : 4009_5D20H (LCH13)
- DMA_M2P_LCH14_BADD : 4009_5E20H (LCH14)



名 称	R/W	ビット	リセット時	機 能
M2P_LCHx_BADD	R/W	31:0	0	M2P 用 LCHx ディスティネーション・アドレス(スタート・アドレス)

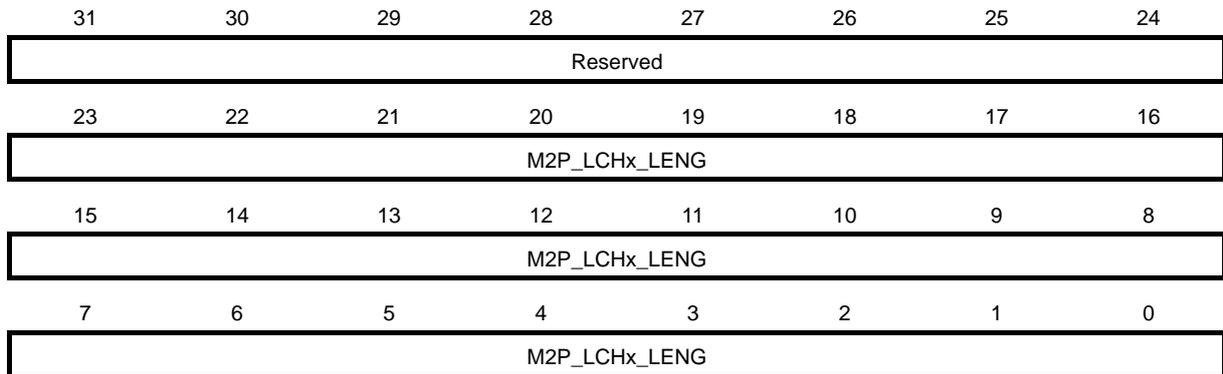
(7) M2P 用 LCHx レンクス・レジスタ

本レジスタ (DMA_M2P_LCHx LENG) は、総転送量の設定をバイト単位で行うレジスタです。最大 16777215 バイトまで設定可能です。

モード・レジスタのレポート設定でレポート・モードが指定されている場合、このレジスタに"0"を設定すると無限長転送になります。

注意 リポート設定なしの場合はレンクス 0 設定は禁止です。無限長転送時のオフセット設定は禁止です。

- DMA_M2P_LCH0_LENG : 4009_5040H (LCH0)
- DMA_M2P_LCH1_LENG : 4009_5140H (LCH1)
- DMA_M2P_LCH2_LENG : 4009_5240H (LCH2)
- DMA_M2P_LCH3_LENG : 4009_5340H (LCH3)
- DMA_M2P_LCH4_LENG : 4009_5440H (LCH4)
- DMA_M2P_LCH5_LENG : 4009_5540H (LCH5)
- DMA_M2P_LCH9_LENG : 4009_5940H (LCH9)
- DMA_M2P_LCH10_LENG : 4009_5A40H (LCH10)
- DMA_M2P_LCH12_LENG : 4009_5C40H (LCH12)
- DMA_M2P_LCH13_LENG : 4009_5D40H (LCH13)
- DMA_M2P_LCH14_LENG : 4009_5E40H (LCH14)

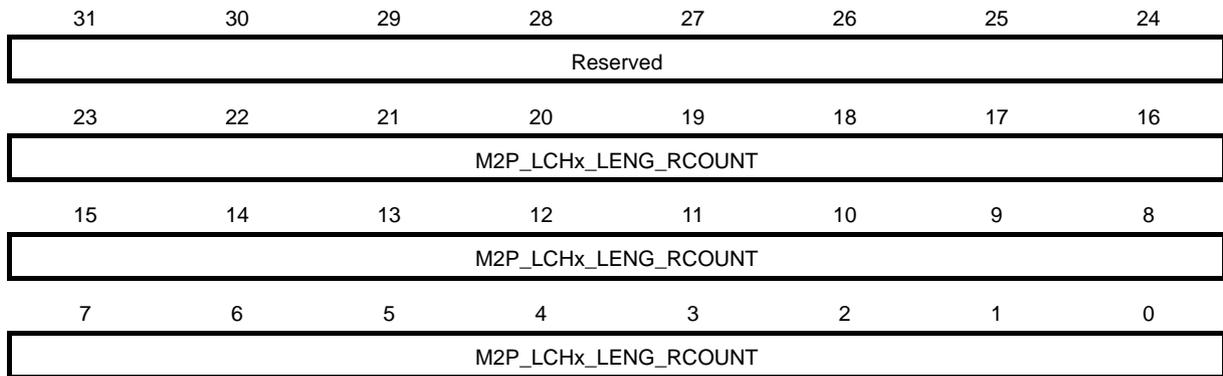


名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:24	-	予約。読み出すと 0 を返します。
M2P_LCHx_LENG	R/W	23:0	0	M2P 用 LCHx の総転送量の設定をバイト単位で行うレジスタです。 00000000_00000000_00000000 : 無限長転送 00000000_00000000_00000001 : 1 バイト 00000000_00000000_00000010 : 2 バイト 00000000_00000000_00000011 : 3 バイト 00000000_00000000_00000100 : 4 バイト : 11111111_11111111_11111111 : 16777215 バイト

(8) M2P 用 LCHx リード・レングス・カウント・レジスタ

本レジスタ (DMA_M2P_LCHx LENG_RCOUNT) は、ソース側の総転送量を記憶するレジスタです。レングスで設定された総転送量からダウンカウントするため、残りの転送量が表示されます。

- DMA_M2P_LCH0 LENG_RCOUNT : 4009_5044H (LCH0)
- DMA_M2P_LCH1 LENG_RCOUNT : 4009_5144H (LCH1)
- DMA_M2P_LCH2 LENG_RCOUNT : 4009_5244H (LCH2)
- DMA_M2P_LCH3 LENG_RCOUNT : 4009_5344H (LCH3)
- DMA_M2P_LCH4 LENG_RCOUNT : 4009_5444H (LCH4)
- DMA_M2P_LCH5 LENG_RCOUNT : 4009_5544H (LCH5)
- DMA_M2P_LCH9 LENG_RCOUNT : 4009_5944H (LCH9)
- DMA_M2P_LCH10 LENG_RCOUNT : 4009_5A44H (LCH10)
- DMA_M2P_LCH12 LENG_RCOUNT : 4009_5C44H (LCH12)
- DMA_M2P_LCH13 LENG_RCOUNT : 4009_5D44H (LCH13)
- DMA_M2P_LCH14 LENG_RCOUNT : 4009_5E44H (LCH14)

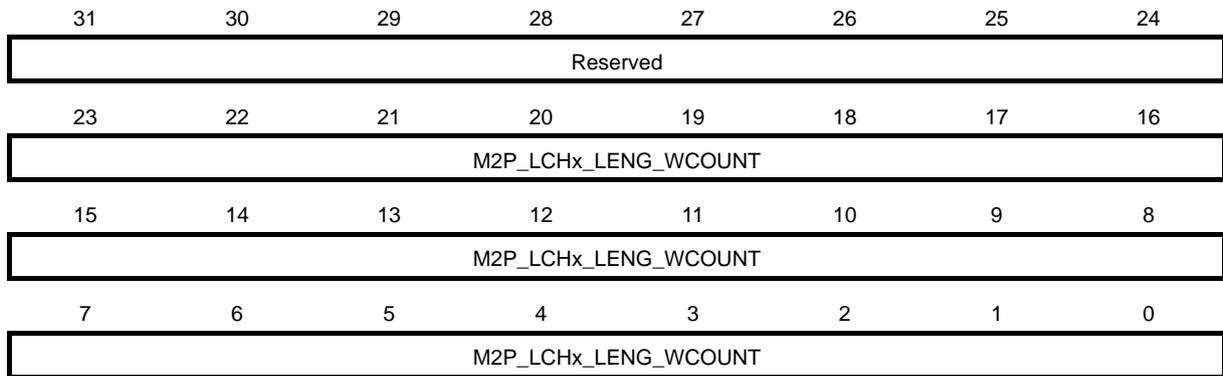


名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:24	-	予約。読み出すと 0 を返します。
M2P_LCHx LENG _RCOUNT	R	23:0	0	M2P 用 LCHx の総転送量を記憶するレジスタです。 00000000_00000000_00000000 : 0 バイト 00000000_00000000_00000001 : 1 バイト 00000000_00000000_00000010 : 2 バイト 00000000_00000000_00000011 : 3 バイト 00000000_00000000_00000100 : 4 バイト : 11111111_11111111_11111111 : 16777215 バイト

(9) M2P 用 LCHx ライト・レンクス・カウント・レジスタ

本レジスタ (DMA_M2P_LCHx LENG_WCOUNT) は、ディスティネーション側の総転送量を記憶するレジスタです。レンクスで設定された総転送量からダウンカウントするため、残りの転送量が表示されます。

- DMA_M2P_LCH0 LENG_WCOUNT : 4009_5048H (LCH0)
- DMA_M2P_LCH1 LENG_WCOUNT : 4009_5148H (LCH1)
- DMA_M2P_LCH2 LENG_WCOUNT : 4009_5248H (LCH2)
- DMA_M2P_LCH3 LENG_WCOUNT : 4009_5348H (LCH3)
- DMA_M2P_LCH4 LENG_WCOUNT : 4009_5448H (LCH4)
- DMA_M2P_LCH5 LENG_WCOUNT : 4009_5548H (LCH5)
- DMA_M2P_LCH9 LENG_WCOUNT : 4009_5948H (LCH9)
- DMA_M2P_LCH10 LENG_WCOUNT : 4009_5A48H (LCH10)
- DMA_M2P_LCH12 LENG_WCOUNT : 4009_5C48H (LCH12)
- DMA_M2P_LCH13 LENG_WCOUNT : 4009_5D48H (LCH13)
- DMA_M2P_LCH14 LENG_WCOUNT : 4009_5E48H (LCH14)



名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:24	-	予約。読み出すと 0 を返します。
M2P_LCHx LENG_WCOUNT	R	23:0	0	M2P 用 LCHx の総転送量を記憶するレジスタです。 00000000_00000000_00000000 : 0 バイト 00000000_00000000_00000001 : 1 バイト 00000000_00000000_00000010 : 2 バイト 00000000_00000000_00000011 : 3 バイト 00000000_00000000_00000100 : 4 バイト : 11111111_11111111_11111111 : 16777215 バイト

(10) M2P用LCHxモード・レジスタ

本レジスタ (DMA_M2P_LCHx_MODE) は、転送時のモード (エンディアン、リピート、ビット幅、タイマ) を設定します。

リピート転送を行う場合は1次元転送 (オフセット0) である必要があります。

- DMA_M2P_LCH0_MODE : 4009_5050H (LCH0)
- DMA_M2P_LCH1_MODE : 4009_5150H (LCH1)
- DMA_M2P_LCH2_MODE : 4009_5250H (LCH2)
- DMA_M2P_LCH3_MODE : 4009_5350H (LCH3)
- DMA_M2P_LCH4_MODE : 4009_5450H (LCH4)
- DMA_M2P_LCH5_MODE : 4009_5550H (LCH5)
- DMA_M2P_LCH9_MODE : 4009_5950H (LCH9)
- DMA_M2P_LCH10_MODE : 4009_5A50H (LCH10)
- DMA_M2P_LCH12_MODE : 4009_5C50H (LCH12)
- DMA_M2P_LCH13_MODE : 4009_5D50H (LCH13)
- DMA_M2P_LCH14_MODE : 4009_5E50H (LCH14)

タイマ・カウントの設定 (M2P_LCHx_MODE_TIME) は、LCH0, LCH1, LCH2 のみです。それ以外の場合はReservedになります。

31	30	29	28	27	26	25	24
M2P_LCHx_MODE_ ENDI_W_HH		M2P_LCHx_MODE_ ENDI_W_HL		M2P_LCHx_MODE_ ENDI_W_LH		M2P_LCHx_MODE_ ENDI_W_LL	
23	22	21	20	19	18	17	16
M2P_LCHx_MODE_ ENDI_R_HH		M2P_LCHx_MODE_ ENDI_R_HL		M2P_LCHx_MODE_ ENDI_R_LH		M2P_LCHx_MODE_ ENDI_R_LL	
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved		M2P_LCHx_ MODE_BIT		Reserved	M2P_LCHx_ MODE_TIME	Reserved	M2P_LCHx_ AMODE_ REPEAT

名 称	R/W	ビット	リセット時	機 能
M2P_LCHx_MODE_ENDI_W_HH	R/W	31:30	E4H	ライト側の取り込みバイト・レーンを設定します。 00b : バイト 0 を選択します 01b : バイト 1 を選択します 10b : バイト 2 を選択します 11b : バイト 3 を選択します
M2P_LCHx_MODE_ENDI_W_HL		29:28		
M2P_LCHx_MODE_ENDI_W_LH		27:26		
M2P_LCHx_MODE_ENDI_W_LL		25:24		
M2P_LCHx_MODE_ENDI_R_HH	R/W	23:22	E4H	リード側の取り込みバイト・レーンを設定します。 00b : バイト 0 を選択します 01b : バイト 1 を選択します 10b : バイト 2 を選択します 11b : バイト 3 を選択します
M2P_LCHx_MODE_ENDI_R_HL		21:20		
M2P_LCHx_MODE_ENDI_R_LH		19:18		
M2P_LCHx_MODE_ENDI_R_LL		17:16		
Reserved	-	15:6	-	予約。読み出すと 0 を返します。
M2P_LCHx_MODE_BIT	R/W	5:4	0	転送ビット幅指定 00b : 32 ビット, 01b : 16 ビット 10b : 8 ビット, 11b : 設定禁止
Reserved	-	3	-	予約。読み出すと 0 を返します。
M2P_LCHx_MODE_TIME	R/W	2	0	タイマ・カウントの使用有無を設定します。 0 : タイマ使用なし, 1 : タイマ使用あり (UART0-UART2 のみ)
Reserved	-	1	-	予約。読み出すと 0 を返します。
M2P_LCHx_AMODE_REPEAT	R/W	0	0	ソース側リピート・モードを設定します。 0 : リピート・モードに設定しない 1 : リピート・モードに設定

注意 一度タイムアウトした LCH を再び起動する場合、タイマ値をプリセットするために

M2P_LCHx_MODE_TIME を、“1” “0” “1” と操作する必要があります。2 サイクル@TCLK クロック以上のロー・レベル幅が必要です。

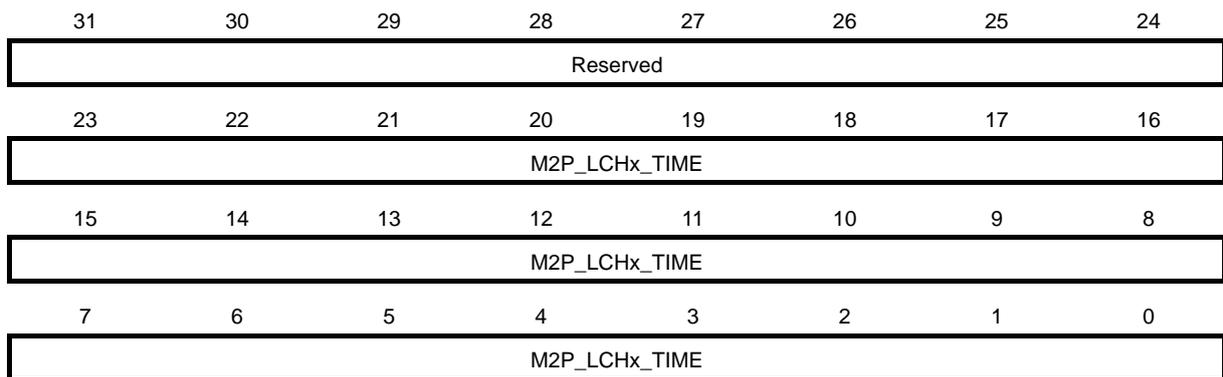
タイマ機能を使用する場合は、必ずタイマ・クロック (DMA_TCLK) をあらかじめ供給してください。タイマ・クロックを供給せずにタイマ機能を使用した場合、DMA のクロック制御機能が誤動作する場合があります。

(11) M2P 用 LCHx タイマ・レジスタ

本レジスタ (DMA_M2P_LCHx_TIME) は、DMA 終了までの時間を設定するレジスタです。DMA リクエストが長時間来ない場合、このレジスタに設定された時間が経ったらタイムアウトとなり、DMA を強制終了します。最大 24 ビットまで設定可能です。

この機能はメモリ UART (LCH0, LCH1, LCH2) チャネルのみ有効です。

- DMA_M2P_LCH0_TIME : 4009_5054H (LCH0)
- DMA_M2P_LCH1_TIME : 4009_5154H (LCH1)
- DMA_M2P_LCH2_TIME : 4009_5254H (LCH2)



名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:24	-	予約。読み出すと 0 を返します。
M2P_LCHx_TIME	R/W	23:0	0	M2P 用 LCHx のタイムアウトまでの時間設定を行うレジスタです。

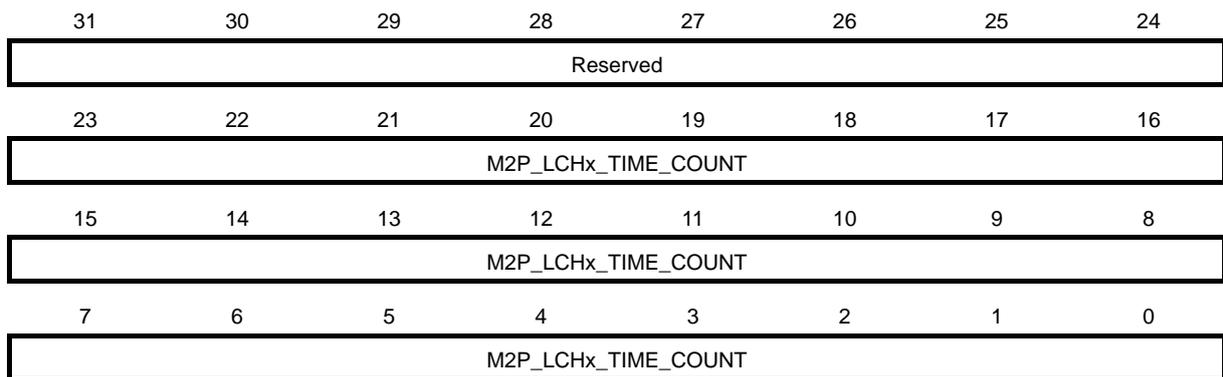
注意 タイマ機能を使用する場合は、必ずタイマ・クロック (DMA_TCLK) をあらかじめ供給してください。
 タイマ・クロックを供給せずにタイマ機能を使用した場合、DMA のクロック制御機能が誤動作する場合があります。

(12) M2P 用 LCHx タイマ・カウント・レジスタ

本レジスタ (DMA_M2P_LCHx_TIME_COUNT) は, DMA 終了までの時間をダウンカウントするレジスタです。SMU から供給される DMA_TCLK クロック単位でカウントダウンされます。このレジスタが“0”になるとタイムアウトとなり, DMA が強制終了します。

この機能はメモリ UART (LCH0, LCH1, LCH2) チャネルのみ有効です。

- DMA_M2P_LCH0_TIME_COUNT : 4009_5058H (LCH0)
- DMA_M2P_LCH1_TIME_COUNT : 4009_5158H (LCH1)
- DMA_M2P_LCH2_TIME_COUNT : 4009_5258H (LCH2)



名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:24	-	予約。読み出すと 0 を返します。
M2P_LCHx_TIME_COUNT	R	23:0	0	M2P 用 LCHx のタイムアウトまでの時間を記憶するレジスタです。DMA_TCLK でカウントを行います。

2.3.7 P2M用DMAコントロール, ステータス・レジスタ

(1) P2M用DMA起動コントロール・レジスタ

本レジスタ (DMA_P2M_CONT : 4009_6000H) は, 論理チャネルごとに DMA 転送を開始するレジスタです。P2M用DMAコントロール・ステータス・レジスタのP2M_LCHx_RESERVEビットが"0"のときに本レジスタをセットした場合, 現在の転送が完了すると同時に次の転送がスタートします(簡易予約機能)。簡易予約機能は, 次の転送の転送パラメータ設定後に使用する必要があります。詳細は 3.4.3 連続転送機能を参照してください。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved	P2M_LCH14_ CONT	P2M_LCH13_ CONT	P2M_LCH12_ CONT	Reserved	P2M_LCH10_ CONT	P2M_LCH9_ CONT	Reserved
7	6	5	4	3	2	1	0
Reserved	P2M_LCH5_C ONT	P2M_LCH4_ CONT	P2M_LCH3_ CONT	P2M_LCH2_ CONT	P2M_LCH1_ CONT	P2M_LCH0_ CONT	

名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:15	-	予約。読み出すと0を返します。
P2M_LCH14_CONT	W	14	0	P2M用LCH14DMA転送開始(1:DMA転送開始)
P2M_LCH13_CONT	W	13	0	P2M用LCH13DMA転送開始(1:DMA転送開始)
P2M_LCH12_CONT	W	12	0	P2M用LCH12DMA転送開始(1:DMA転送開始)
Reserved	-	11	-	予約。読み出すと0を返します。
P2M_LCH10_CONT	W	10	0	P2M用LCH10DMA転送開始(1:DMA転送開始)
P2M_LCH9_CONT	W	9	0	P2M用LCH9DMA転送開始(1:DMA転送開始)
Reserved	-	8:6	-	予約。読み出すと0を返します。
P2M_LCH5_CONT	W	5	0	P2M用LCH5DMA転送開始(1:DMA転送開始)
P2M_LCH4_CONT	W	4	0	P2M用LCH4DMA転送開始(1:DMA転送開始)
P2M_LCH3_CONT	W	3	0	P2M用LCH3DMA転送開始(1:DMA転送開始)
P2M_LCH2_CONT	W	2	0	P2M用LCH2DMA転送開始(1:DMA転送開始)
P2M_LCH1_CONT	W	1	0	P2M用LCH1DMA転送開始(1:DMA転送開始)
P2M_LCH0_CONT	W	0	0	P2M用LCH0DMA転送開始(1:DMA転送開始)

(2) P2M 用 DMA コントロール・ステータス・レジスタ

本レジスタ (DMA_P2M_CONTSTATUS : 4009_6004H) は、ステータスを確認するレジスタです。

DMA 起動予約状態レジスタは、DMA 転送予約がすでに存在することを示します。該当ビットが“1”のときは、その LCH はすでに予約があるため、転送予約はできません。

31	30	29	28	27	26	25	24
Reserved	P2M_LCH14_RESERVE	P2M_LCH13_RESERVE	P2M_LCH12_RESERVE	Reserved	P2M_LCH10_RESERVE	P2M_LCH9_RESERVE	Reserved
23	22	21	20	19	18	17	16
Reserved		P2M_LCH5_RESERVE	P2M_LCH4_RESERVE	P2M_LCH3_RESERVE	P2M_LCH2_RESERVE	P2M_LCH1_RESERVE	P2M_LCH0_RESERVE
15	14	13	12	11	10	9	8
Reserved	P2M_LCH14_CONTSTATUS	P2M_LCH13_CONTSTATUS	P2M_LCH12_CONTSTATUS	Reserved	P2M_LCH10_CONTSTATUS	P2M_LCH9_CONTSTATUS	Reserved
7	6	5	4	3	2	1	0
Reserved		P2M_LCH5_C ONTSTATUS	P2M_LCH4_ CONTSTATUS	P2M_LCH3_ CONTSTATUS	P2M_LCH2_ CONTSTATUS	P2M_LCH1_ CONTSTATUS	P2M_LCH0_ CONTSTATUS

(1/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	-	31	-	予約。読み出すと 0 を返します。
P2M_LCH14_RESERVE	R	30	0	P2M 用 LCH14 DMA 起動予約状態を示します。 0 : 予約なし, 1 : 予約あり
P2M_LCH13_RESERVE	R	29	0	P2M 用 LCH13 DMA 起動予約状態を示します。 0 : 予約なし, 1 : 予約あり
P2M_LCH12_RESERVE	R	28	0	P2M 用 LCH12 DMA 起動予約状態を示します。 0 : 予約なし, 1 : 予約あり
Reserved	-	27	-	予約。読み出すと 0 を返します。
P2M_LCH10_RESERVE	R	26	0	P2M 用 LCH10 DMA 起動予約状態を示します。 0 : 予約なし, 1 : 予約あり
P2M_LCH9_RESERVE	R	25	0	P2M 用 LCH9 DMA 起動予約状態を示します。 0 : 予約なし, 1 : 予約あり
Reserved	-	24:22	-	予約。読み出すと 0 を返します。
P2M_LCH5_RESERVE	R	21	0	P2M 用 LCH5 DMA 起動予約状態を示します。 0 : 予約なし, 1 : 予約あり
P2M_LCH4_RESERVE	R	20	0	P2M 用 LCH4 DMA 起動予約状態を示します。 0 : 予約なし, 1 : 予約あり
P2M_LCH3_RESERVE	R	19	0	P2M 用 LCH3 DMA 起動予約状態を示します。 0 : 予約なし, 1 : 予約あり
P2M_LCH2_RESERVE	R	18	0	P2M 用 LCH2 DMA 起動予約状態を示します。 0 : 予約なし, 1 : 予約あり
P2M_LCH1_RESERVE	R	17	0	P2M 用 LCH1 DMA 起動予約状態を示します。 0 : 予約なし, 1 : 予約あり

名 称	R/W	ビット	リセット時	機 能
P2M_LCH0_RESERVE	R	16	0	P2M 用 LCH0 DMA 起動予約状態を示します。 0 : 予約なし, 1 : 予約あり
Reserved	-	15	-	予約。読み出すと 0 を返します。
P2M_LCH14_CONT STATUS	R	14	0	P2M 用 LCH14 DMA ステータスを示します。 0 : DMA 停止中, 1 : DMA 起動中
P2M_LCH13_CONT STATUS	R	13	0	P2M 用 LCH13 DMA ステータスを示します。 0 : DMA 停止中, 1 : DMA 起動中
P2M_LCH12_CONT STATUS	R	12	0	P2M 用 LCH12 DMA ステータスを示します。 0 : DMA 停止中, 1 : DMA 起動中
Reserved	-	11	-	予約。読み出すと 0 を返します。
P2M_LCH10_CONT STATUS	R	10	0	P2M 用 LCH10 DMA ステータスを示します。 0 : DMA 停止中, 1 : DMA 起動中
P2M_LCH9_CONTS TATUS	R	9	0	P2M 用 LCH9 DMA ステータスを示します。 0 : DMA 停止中, 1 : DMA 起動中
Reserved	-	8:6	-	予約。読み出すと 0 を返します。
P2M_LCH5_CONTS TATUS	R	5	0	P2M 用 LCH5 DMA ステータスを示します。 0 : DMA 停止中, 1 : DMA 起動中
P2M_LCH4_CONTS TATUS	R	4	0	P2M 用 LCH4 DMA ステータスを示します。 0 : DMA 停止中, 1 : DMA 起動中
P2M_LCH3_CONTS TATUS	R	3	0	P2M 用 LCH3 DMA ステータスを示します。 0 : DMA 停止中, 1 : DMA 起動中
P2M_LCH2_CONTS TATUS	R	2	0	P2M 用 LCH2 DMA ステータスを示します。 0 : DMA 停止中, 1 : DMA 起動中
P2M_LCH1_CONTS TATUS	R	1	0	P2M 用 LCH1 DMA ステータスを示します。 0 : DMA 停止中, 1 : DMA 起動中
P2M_LCH0_CONTS TATUS	R	0	0	P2M 用 LCH0 DMA ステータスを示します。 0 : DMA 停止中, 1 : DMA 起動中

(3) P2M 用 DMA 終了コントロール・レジスタ

本レジスタ (DMA_P2M_END : 4009_6008H) は、DMA 強制終了をするレジスタです。

強制終了した場合、予約していた転送も破棄されます。強制終了した場合、現在実行中の AHB トランザクションを最後まで実行したあとに DMA 転送が停止する仕組みになっています。よって現在実行中の AHB トランザクションが完了する前に、DMA を再スタートすることはできません。強制終了は DMA スタート後少なくとも 1 回の DMA ライト転送が行われたあとに実行してください (内部回路のパラメータ更新が行われず、DMA 転送が正しく行われません)。また、P2M チャネルの強制終了は、必ずペリフェラルの DMA リクエストを先に停止し、DMA 内の FIFO に溜まっている対象 LCH のデータが書き出されてから行う必要があります。

31								30		29		28		27		26		25		24											
Reserved																															
23				22				21				20				19				18				17				16			
Reserved																															
15			14			13			12			11			10			9			8										
Reserved			P2M_LCH14_			P2M_LCH13_			P2M_LCH12_			Reserved			P2M_LCH10_			P2M_LCH9_			Reserved										
END			END			END			END			END			END			END			END										
7			6			5			4			3			2			1			0										
Reserved			P2M_LCH5_			P2M_LCH4_			P2M_LCH3_			P2M_LCH2_			P2M_LCH1_			P2M_LCH0_													
END			END			END			END			END			END			END													

名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:15	-	予約。読み出すと 0 を返します。
P2M_LCH14_END	W	14	0	P2M 用 LCH14 DMA 強制終了
P2M_LCH13_END	W	13	0	P2M 用 LCH13 DMA 強制終了
P2M_LCH12_END	W	12	0	P2M 用 LCH12 DMA 強制終了
Reserved	-	11	-	予約。読み出すと 0 を返します。
P2M_LCH10_END	W	10	0	P2M 用 LCH10 DMA 強制終了
P2M_LCH9_END	W	9	0	P2M 用 LCH9DMA 強制終了
Reserved	-	8:6	-	予約。読み出すと 0 を返します。
P2M_LCH5_END	W	5	0	P2M 用 LCH5 DMA 強制終了
P2M_LCH4_END	W	4	0	P2M 用 LCH4 DMA 強制終了
P2M_LCH3_END	W	3	0	P2M 用 LCH3 DMA 強制終了
P2M_LCH2_END	W	2	0	P2M 用 LCH2 DMA 強制終了
P2M_LCH1_END	W	1	0	P2M 用 LCH1 DMA 強制終了
P2M_LCH0_END	W	0	0	P2M 用 LCH0 DMA 強制終了

備考 0 : 現状保持, 1 : DMA 強制終了

2.3.8 P2M用割り込みパラメータ設定レジスタ

リングス転送終了，ブロック転送終了，エラー終了，タイムアウトの4種類の割り込みの各種パラメータを設定するレジスタです。

(1) P2M用割り込みステータス・レジスタ

本レジスタ (DMA_P2M_XXX_LCHx_INT_CONT) は，割り込み要因の状態を示します。

AHB ライト側 (*_W_*), AHB リード側 (*_R_*) それぞれに要因レジスタを持っています。

備考 ACPU / DSP 個別にレジスタを持っています。P2M_LCHx_INT_SEL レジスタで使用するプロセッサを選択します。

- DMA_P2M_PE0_LCH0LCH3_INT_CONT : 4009_6100H (ACPU, LCH0-LCH3)
- DMA_P2M_DSP_LCH0LCH3_INT_CONT : 4009_6400H (ADSP, LCH0-LCH3)
- DMA_P2M_PE0_LCH4LCH5_INT_CONT : 4009_6120H (ACPU, LCH4-LCH5)
- DMA_P2M_DSP_LCH4LCH5_INT_CONT : 4009_6420H (ADSP, LCH4-LCH5)
- DMA_P2M_PE0_LCH9LCH10_INT_CONT : 4009_6140H (ACPU, LCH9-LCH10)
- DMA_P2M_DSP_LCH9LCH10_INT_CONT : 4009_6440H (ADSP, LCH9-LCH10)
- DMA_P2M_PE0_LCH12LCH14_INT_CONT : 4009_6160H (ACPU, LCH12-LCH14)
- DMA_P2M_DSP_LCH12LCH14_INT_CONT : 4009_6460H (ADSP, LCH12-LCH14)

LCH0-LCH3 の場合のビット・アサインを次に示します。その他の場合も同様の構造です。ただし，タイムアウトによる割り込み (INT_TIME) は，LCH0, LCH1, LCH2 のみです。それ以外の場合，Reserved になります。

31	30	29	28	27	26	25	24
Reserved	P2M_LCH3_ INT_ERROR_ _W_CONT	P2M_LCH3_ INT_BLOCK_ _W_CONT	P2M_LCH3_ INT_LENG _W_CONT	P2M_LCH3_ INT_TIME_ R_CONT	P2M_LCH3_ INT_ERROR_ R_CONT	Reserved	
23	22	21	20	19	18	17	16
Reserved	P2M_LCH2_ INT_ERROR_ _W_CONT	P2M_LCH2_ INT_BLOCK_ _W_CONT	P2M_LCH2_ INT_LENG _W_CONT	P2M_LCH2_ INT_TIME_ R_CONT	P2M_LCH2_ INT_ERROR_ R_CONT	Reserved	
15	14	13	12	11	10	9	8
Reserved	P2M_LCH1_ INT_ERROR_ _W_CONT	P2M_LCH1_ INT_BLOCK_ _W_CONT	P2M_LCH1_ INT_LENG _W_CONT	P2M_LCH1_ INT_TIME_ R_CONT	P2M_LCH1_ INT_ERROR_ R_CONT	Reserved	
7	6	5	4	3	2	1	0
Reserved	P2M_LCH0_ INT_ERROR_ _W_CONT	P2M_LCH0_ INT_BLOCK_ _W_CONT	P2M_LCH0_ INT_LENG _W_CONT	P2M_LCH0_ INT_TIME_ R_CONT	P2M_LCH0_ INT_ERROR_ R_CONT	Reserved	

名 称	R/W	ビット	リセット時	機 能
Reserved	-	31	-	予約。読み出すと0を返します。
P2M_LCH3_INT_ERROR_W_CONT	R	30	0	P2M用LCH3のエラーによる割り込み要因の状態を示します。
P2M_LCH3_INT_BLOCK_W_CONT	R	29	0	P2M用LCH3のブロック転送終了による割り込み要因の状態を示します。
P2M_LCH3_INT LENG_W_CONT	R	28	0	P2M用LCH3のレングス転送終了による割り込み要因の状態を示します。
P2M_LCH3_INT_TIME_R_CONT	R	27	0	P2M用LCH3のタイムアウトによる割り込み要因の状態を示します。
P2M_LCH3_INT_ERROR_R_CONT	R	26	0	P2M用LCH3のエラーによる割り込み要因の状態を示します。
Reserved	-	25:23	-	予約。読み出すと0を返します。
P2M_LCH2_INT_ERROR_W_CONT	R	22	0	P2M用LCH2のエラーによる割り込み要因の状態を示します。
P2M_LCH2_INT_BLOCK_W_CONT	R	21	0	P2M用LCH2のブロック転送終了による割り込み要因の状態を示します。
P2M_LCH2_INT LENG_W_CONT	R	20	0	P2M用LCH2のレングス転送終了による割り込み要因の状態を示します。
P2M_LCH2_INT_TIME_R_CONT	R	19	0	P2M用LCH2のタイムアウトによる割り込み要因の状態を示します。
P2M_LCH2_INT_ERROR_R_CONT	R	18	0	P2M用LCH2のエラーによる割り込み要因の状態を示します。
Reserved	-	17:15	-	予約。読み出すと0を返します。
P2M_LCH1_INT_ERROR_W_CONT	R	14	0	P2M用LCH1のエラーによる割り込み要因の状態を示します。
P2M_LCH1_INT_BLOCK_E_CONT	R	13	0	P2M用LCH1のブロック転送終了による割り込み要因の状態を示します。
P2M_LCH1_INT LENG_W_CONT	R	12	-	P2M用LCH1のレングス転送終了による割り込み要因の状態を示します。
P2M_LCH1_INT_TIME_R_CONT	R	11	0	P2M用LCH1のタイムアウトによる割り込み要因の状態を示します。
P2M_LCH1_INT_ERROR_R_CONT	R	10	0	P2M用LCH1のエラーによる割り込み要因の状態を示します。
Reserved	-	9:7	-	予約。読み出すと0を返します。
P2M_LCH0_INT_ERROR_W_CONT	R	6	0	P2M用LCH0のエラーによる割り込み要因の状態を示します。
P2M_LCH0_INT_BLOCK_W_CONT	R	5	0	P2M用LCH0のブロック転送終了による割り込み要因の状態を示します。
P2M_LCH0_INT LENG_W_CONT	R	4	0	P2M用LCH0のレングス転送終了による割り込み要因の状態を示します。
P2M_LCH0_INT_TIME_R_CONT	R	3	0	P2M用LCH0のタイムアウトによる割り込み要因の状態を示します。
P2M_LCH0_INT_ERROR_R_CONT	R	2	0	P2M用LCH0のエラーによる割り込み要因の状態を示します。
Reserved	-	1:0	-	予約。読み出すと0を返します。

備考 0：割り込み要因なし（デフォルト）、1：割り込み要因あり

(2) P2M用割り込みRawステータス・レジスタ

本レジスタ (DMA_P2M_XXX_LCHx_INT_RAW) は、割り込み要因の状態を割り込みイネーブル・セット・レジスタ、割り込みイネーブル・クリア・レジスタの状態に関わらず割り込み要因がリードできます。AHB ライト側 (*_W_*), AHB リード側 (*_R_*) それぞれに要因レジスタを持っています。

備考 ACPU / DSP 個別にレジスタを持っています。P2M_LCHx_INT_SEL レジスタで使用するプロセッサを選択します。

- DMA_P2M_PE0_LCH0LCH3_INT_RAW : 4009_6104H (ACPU , LCH0-LCH3)
- DMA_P2M_DSP_LCH0LCH3_INT_RAW : 4009_6404H (ADSP , LCH0-LCH3)
- DMA_P2M_PE0_LCH4LCH5_INT_RAW : 4009_6124H (ACPU , LCH4-LCH5)
- DMA_P2M_DSP_LCH4LCH5_INT_RAW : 4009_6424H (ADSP , LCH4-LCH5)
- DMA_P2M_PE0_LCH9LCH10_INT_RAW : 4009_6144H (ACPU , LCH9-LCH10)
- DMA_P2M_DSP_LCH9LCH10_INT_RAW : 4009_6444H (ADSP , LCH9-LCH10)
- DMA_P2M_PE0_LCH12LCH14_INT_RAW : 4009_6164H (ACPU , LCH12-LCH14)
- DMA_P2M_DSP_LCH12LCH14_INT_RAW : 4009_6464H (ADSP , LCH12-LCH14)

LCH0-LCH3 の場合のビット・アサインを次に示します。その他の場合も同様の構造です。ただし、タイムアウトによる割り込み (INT_TIME) は、LCH0, LCH1, LCH2 のみです。それ以外の場合、Reserved になります。

31	30	29	28	27	26	25	24
Reserved	P2M_LCH3_ INT_ERROR_ W_RAW	P2M_LCH3_ INT_BLOCK_ W_RAW	P2M_LCH3_ INT LENG_ W_RAW	P2M_LCH3_ INT_TIME_ R_RAW	P2M_LCH3_ INT_ERROR_ R_RAW	Reserved	
23	22	21	20	19	18	17	16
Reserved	P2M_LCH2_ INT_ERROR_ W_RAW	P2M_LCH2_ INT_BLOCK_ W_RAW	P2M_LCH2_ INT LENG_ W_RAW	P2M_LCH2_ INT_TIME_ R_RAW	P2M_LCH2_ INT_ERROR_ R_RAW	Reserved	
15	14	13	12	11	10	9	8
Reserved	P2M_LCH1_ INT_ERROR_ W_RAW	P2M_LCH1_ INT_BLOCK_ W_RAW	P2M_LCH1_ INT LENG_ W_RAW	P2M_LCH1_ INT_TIME_R_ RAW	P2M_LCH1_ INT_ERROR_ R_RAW	Reserved	
7	6	5	4	3	2	1	0
Reserved	P2M_LCH0_ INT_ERROR_ W_RAW	P2M_LCH0_ INT_BLOCK_ W_RAW	P2M_LCH0_ INT LENG_ W_RAW	P2M_LCH0_ INT_TIME_R_ RAW	P2M_LCH0_ INT_ERROR_ R_RAW	Reserved	

名 称	R/W	ビット	リセット時	機 能
Reserved	-	31	-	予約。読み出すと0を返します。
P2M_LCH3_INT_ERROR_W_RAW	R	30	0	P2M用LCH3のエラーによる割り込み要因の状態を示します。
P2M_LCH3_INT_BLOCK_W_RAW	R	29	0	P2M用LCH3のブロック転送終了による割り込み要因の状態を示します。
P2M_LCH3_INT LENG_W_RAW	R	28	0	P2M用LCH3のレングス転送終了による割り込み要因の状態を示します。
P2M_LCH3_INT_TIME_R_RAW	R	27	0	P2M用LCH3のタイムアウトによる割り込み要因の状態を示します。
P2M_LCH3_INT_ERROR_R_RAW	R	26	0	P2M用LCH3のエラーによる割り込み要因の状態を示します。
Reserved	-	25:23	-	予約。読み出すと0を返します。
P2M_LCH2_INT_ERROR_W_RAW	R	22	0	P2M用LCH2のエラーによる割り込み要因の状態を示します。
P2M_LCH2_INT_BLOCK_W_RAW	R	21	0	P2M用LCH2のブロック転送終了による割り込み要因の状態を示します。
P2M_LCH2_INT LENG_W_RAW	R	20	0	P2M用LCH2のレングス転送終了による割り込み要因の状態を示します。
P2M_LCH2_INT_TIME_R_RAW	R	19	0	P2M用LCH2のタイムアウトによる割り込み要因の状態を示します。
P2M_LCH2_INT_ERROR_R_RAW	R	18	0	P2M用LCH2のエラーによる割り込み要因の状態を示します。
Reserved	-	17:15	-	予約。読み出すと0を返します。
P2M_LCH1_INT_ERROR_W_RAW	R	14	0	P2M用LCH1のエラーによる割り込み要因の状態を示します。
P2M_LCH1_INT_BLOCK_W_RAW	R	13	0	P2M用LCH1のブロック転送終了による割り込み要因の状態を示します。
P2M_LCH1_INT LENG_W_RAW	R	12	0	P2M用LCH1のレングス転送終了による割り込み要因の状態を示します。
P2M_LCH1_INT_TIME_R_RAW	R	11	0	P2M用LCH1のタイムアウトによる割り込み要因の状態を示します。
P2M_LCH1_INT_ERROR_R_RAW	R	10	0	P2M用LCH1のエラーによる割り込み要因の状態を示します。
Reserved	-	9:7	-	予約。読み出すと0を返します。
P2M_LCH0_INT_ERROR_W_RAW	R	6	0	P2M用LCH0のエラーによる割り込み要因の状態を示します。
P2M_LCH0_INT_BLOCK_W_RAW	R	5	0	P2M用LCH0のブロック転送終了による割り込み要因の状態を示します。
P2M_LCH0_INT LENG_W_RAW	R	4	0	P2M用LCH0のレングス転送終了による割り込み要因の状態を示します。
P2M_LCH0_INT_TIME_R_RAW	R	3	0	P2M用LCH0のタイムアウトによる割り込み要因の状態を示します。
P2M_LCH0_INT_ERROR_R_RAW	R	2	0	P2M用LCH0のエラーによる割り込み要因の状態を示します。
Reserved	-	1:0	-	予約。読み出すと0を返します。

備考 0：割り込み要因なし（デフォルト）、1：割り込み要因あり

(3) P2M用割り込みイネーブル・セット・レジスタ

本レジスタ(DMA_P2M_XXX_LCHx_INT_ENABLE)は、割り込み要因のマスク解除設定を行います。“1”をセットしたビットのみレジスタ内容を更新します。

“1”をライトしたビットに対応する割り込み要因のマスクを解除します。また、リードすると、割り込み要因のマスクの状態を読み出せます。本レジスタへの“0”のライトは無効です。

割り込み要因をマスクするためには、割り込みイネーブル・クリア・レジスタのマスクしたい要因ビットに“1”をライトしてください。

備考 ACPU / DSP 個別にレジスタを持っています。P2M_LCHx_INT_SEL レジスタで使用するプロセッサを選択します。

- DMA_P2M_PE0_LCH0LCH3_INT_ENABLE : 4009_6108H (ACPU , LCH0-LCH3)
- DMA_P2M_DSP_LCH0LCH3_INT_ENABLE : 4009_6408H (ADSP , LCH0-LCH3)
- DMA_P2M_PE0_LCH4LCH5_INT_ENABLE : 4009_6128H (ACPU , LCH4-LCH5)
- DMA_P2M_DSP_LCH4LCH5_INT_ENABLE : 4009_6428H (ADSP , LCH4-LCH5)
- DMA_P2M_PE0_LCH9LCH10_INT_ENABLE : 4009_6148H (ACPU , LCH9-LCH10)
- DMA_P2M_DSP_LCH9LCH10_INT_ENABLE : 4009_6448H (ADSP , LCH9-LCH10)
- DMA_P2M_PE0_LCH12LCH14_INT_ENABLE : 4009_6168H (ACPU , LCH12-LCH14)
- DMA_P2M_DSP_LCH12LCH14_INT_ENABLE : 4009_6468H (ADSP , LCH12-LCH14)

LCH0-LCH3 の場合のビット・アサインを次に示します。その他の場合も同様の構造です。ただし、タイムアウトによる割り込み (INT_TIME) は、LCH0, LCH1, LCH2 のみです。それ以外の場合、Reserved になります。

31	30	29	28	27	26	25	24
Reserved				P2M_LCH3_ INT_TIME_ ENABLE	P2M_LCH3_ INT_ERROR_ ENABLE	P2M_LCH3_ INT_BLOCK_ ENABLE	P2M_LCH3_ INT LENG_ ENABLE
23	22	21	20	19	18	17	16
Reserved				P2M_LCH2_ INT_TIME_ ENABLE	P2M_LCH2_ INT_ERROR_ ENABLE	P2M_LCH2_ INT_BLOCK_ ENABLE	P2M_LCH2_ INT LENG_ ENABLE
15	14	13	12	11	10	9	8
Reserved				P2M_LCH1_ INT_TIME_ ENABLE	P2M_CH1_ INT_ERROR_ ENABLE	P2M_CH1_ INT_BLOCK_ ENABLE	P2M_CH1_ INT LENG_ ENABLE
7	6	5	4	3	2	1	0
Reserved				P2M_LCH0_ INT_TIME_ ENABLE	P2M_LCH0_ INT_ERROR_ ENABLE	P2M_LCH0_ INT_BLOCK_ ENABLE	P2M_LCH0_ INT LENG_ ENABLE

名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:28	-	予約。読み出すと0を返します。
P2M_LCH3_INT_TIME_ENABLE	R/W	27	0	P2M用LCH3のタイムアウト割り込み要因のイネーブルを設定します。
P2M_LCH3_INT_ERROR_ENABLE	R/W	26	0	P2M用LCH3のエラー割り込み要因のイネーブルを設定します。
P2M_LCH3_INT_BLOCK_ENABLE	R/W	25	0	P2M用LCH3のブロック割り込み要因のイネーブルを設定します。
P2M_LCH3_INT_LENG_ENABLE	R/W	24	0	P2M用LCH3のレングス割り込み要因のイネーブルを設定します。
Reserved	-	23:20	-	予約。読み出すと0を返します。
P2M_LCH2_INT_TIME_ENABLE	R/W	19	0	P2M用LCH2のタイムアウト割り込み要因のイネーブルを設定します。
P2M_LCH2_INT_ERROR_ENABLE	R/W	18	0	P2M用LCH2のエラー割り込み要因のイネーブルを設定します。
P2M_LCH2_INT_BLOCK_ENABLE	R/W	17	0	P2M用LCH2のブロック割り込み要因のイネーブルを設定します。
P2M_LCH2_INT_LENG_ENABLE	R/W	16	0	P2M用LCH2のレングス割り込み要因のイネーブルを設定します。
Reserved	-	15:12	-	予約。読み出すと0を返します。
P2M_LCH1_INT_TIME_ENABLE	R/W	11	0	P2M用LCH1のタイムアウト割り込み要因のイネーブルを設定します。
P2M_LCH1_INT_ERROR_ENABLE	R/W	10	0	P2M用LCH1のエラー割り込み要因のイネーブルを設定します。
P2M_LCH1_INT_BLOCK_ENABLE	R/W	9	0	P2M用LCH1のブロック割り込み要因のイネーブルを設定します。
P2M_LCH1_INT_LENG_ENABLE	R/W	8	0	P2M用LCH1のレングス割り込み要因のイネーブルを設定します。
Reserved	-	7:4	-	予約。読み出すと0を返します。
P2M_LCH0_INT_TIME_ENABLE	R/W	3	0	P2M用LCH0のタイムアウト割り込み要因のイネーブルを設定します。
P2M_LCH0_INT_ERROR_ENABLE	R/W	2	0	P2M用LCH0のエラー割り込み要因のイネーブルを設定します。
P2M_LCH0_INT_BLOCK_ENABLE	R/W	1	0	P2M用LCH0のブロック割り込み要因のイネーブルを設定します。
P2M_LCH0_INT_LENG_ENABLE	R/W	0	0	P2M用LCH0のレングス割り込み要因のイネーブルを設定します。

備考 0：割り込み要因マスク（デフォルト）、1：割り込み要因許可

(4) P2M 用割り込みイネーブル・クリア・レジスタ

本レジスタ (DMA_P2M_XXX_LCHx_INT_ENABLE_CL) は、割り込み要因のマスク設定を行います。

“1” をセットしたビットのみ割り込み要因をマスクし、“0” をセットしたビットは前のマスク状態を保持します。

本レジスタでマスク設定を行なうと、ARM 用割り込みイネーブル・セット・レジスタの対応するビットが、割り込み要因マスク状態 (0) に変化します。

備考 ACPU / DSP 個別にレジスタを持っています。P2M_LCHx_INT_SEL レジスタで使用するプロセッサを選択します。

- DMA_P2M_PE0_LCH0LCH3_INT_ENABLE_CL : 4009_610CH (ACPU, LCH0-LCH3)
- DMA_P2M_DSP_LCH0LCH3_INT_ENABLE_CL : 4009_640CH (ADSP, LCH0-LCH3)
- DMA_P2M_PE0_LCH4LCH5_INT_ENABLE_CL : 4009_612CH (ACPU, LCH4-LCH5)
- DMA_P2M_DSP_LCH4LCH5_INT_ENABLE_CL : 4009_642CH (ADSP, LCH4-LCH5)
- DMA_P2M_PE0_LCH9LCH10_INT_ENABLE_CL : 4009_614CH (ACPU, LCH9-LCH10)
- DMA_P2M_DSP_LCH9LCH10_INT_ENABLE_CL : 4009_644CH (ADSP, LCH9-LCH10)
- DMA_P2M_PE0_LCH12LCH14_INT_ENABLE_CL : 4009_616CH (ACPU, LCH12-LCH14)
- DMA_P2M_DSP_LCH12LCH14_INT_ENABLE_CL : 4009_646CH (ADSP, LCH12-LCH14)

LCH0-LCH3 の場合のビット・アサインを次に示します。その他の場合も同様の構造です。ただし、タイムアウトによる割り込み (INT_TIME) は、LCH0, LCH1, LCH2 のみです。それ以外の場合、Reserved になります。

31	30	29	28	27	26	25	24
Reserved				P2M_LCH3_ INT_TIME_ ENABLE_CL	P2M_LCH3_ INT_ERROR_ ENABLE_CL	P2M_LCH3_ INT_BLOCK_ ENABLE_CL	P2M_LCH3_ INT_LENG_ ENABLE_CL
23	22	21	20	19	18	17	16
Reserved				P2M_LCH2_ INT_TIME_ ENABLE_CL	P2M_LCH2_ INT_ERROR_ ENABLE_CL	P2M_LCH2_ INT_BLOCK_ ENABLE_CL	P2M_LCH2_ INT_LENG_ ENABLE_CL
15	14	13	12	11	10	9	8
Reserved				P2M_LCH1_ INT_TIME_ ENABLE_CL	P2M_LCH1_ INT_ERROR_ ENABLE_CL	P2M_LCH1_ INT_BLOCK_ ENABLE_CL	P2M_LCH1_ INT_LENG_ ENABLE_CL
7	6	5	4	3	2	1	0
Reserved				P2M_LCH0_ INT_TIME_ ENABLE_CL	P2M_LCH0_ INT_ERROR_ ENABLE_CL	P2M_LCH0_ INT_BLOCK_ ENABLE_CL	P2M_LCH0_ INT_LENG_ ENABLE_CL

名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:28	-	予約。読み出すと0を返します。
P2M_LCH3_INT_TIME_ENABLE_CL	W	27	0	P2M用LCH3のタイムアウト割り込み要因のイネーブルを解除します。
P2M_LCH3_INT_ERROR_ENABLE_CL	W	26	0	P2M用LCH3のエラー割り込み要因のイネーブルを解除します。
P2M_LCH3_INT_BLOCK_ENABLE_CL	W	25	0	P2M用LCH3のブロック割り込み要因のイネーブルを解除します。
P2M_LCH3_INT_LENGTH_ENABLE_CL	W	24	0	P2M用LCH3のレンジ割り込み要因のイネーブルを解除します。
Reserved	-	23:20	-	予約。読み出すと0を返します。
P2M_LCH2_INT_TIME_ENABLE_CL	W	19	0	P2M用LCH2のタイムアウト割り込み要因のイネーブルを解除します。
P2M_LCH2_INT_ERROR_ENABLE_CL	W	18	0	P2M用LCH2のエラー割り込み要因のイネーブルを解除します。
P2M_LCH2_INT_BLOCK_ENABLE_CL	W	17	0	P2M用LCH2のブロック割り込み要因のイネーブルを解除します。
P2M_LCH2_INT_LENGTH_ENABLE_CL	W	16	0	P2M用LCH2のレンジ割り込み要因のイネーブルを解除します。
Reserved	-	15:12	-	予約。読み出すと0を返します。
P2M_LCH1_INT_TIME_ENABLE_CL	W	11	0	P2M用LCH1のタイムアウト割り込み要因のイネーブルを解除します。
P2M_LCH1_INT_ERROR_ENABLE_CL	W	10	0	P2M用LCH1のエラー割り込み要因のイネーブルを解除します。
P2M_LCH1_INT_BLOCK_ENABLE_CL	W	9	0	P2M用LCH1のブロック割り込み要因のイネーブルを解除します。
P2M_LCH1_INT_LENGTH_ENABLE_CL	W	8	0	P2M用LCH1のレンジ割り込み要因のイネーブルを解除します。
Reserved	-	7:4	-	予約。読み出すと0を返します。
P2M_LCH0_INT_TIME_ENABLE_CL	W	3	0	P2M用LCH0のタイムアウト割り込み要因のイネーブルを解除します。
P2M_LCH0_INT_ERROR_ENABLE_CL	W	2	0	P2M用LCH0のエラー割り込み要因のイネーブルを解除します。
P2M_LCH0_INT_BLOCK_ENABLE_CL	W	1	0	P2M用LCH0のブロック割り込み要因のイネーブルを解除します。
P2M_LCH0_INT_LENGTH_ENABLE_CL	W	0	0	P2M用LCH0のレンジ割り込み要因のイネーブルを解除します。

備考 0：割り込み要因マスク（デフォルト）、1：割り込み要因許可

(5) P2M 用割り込み要因クリア・レジスタ

本レジスタ (DMA_P2M_XXX_LCHx_INT_REQ_CL) は、割り込み要因のクリア要求を行います。“1” をセットしたビットのみレジスタ内容を更新します。

AHB ライト側 (*_W_*), AHB リード側 (*_R_*) それぞれに要因レジスタを持っています。

備考 ACPU / DSP 個別にレジスタを持っています。P2M_LCHx_INT_SEL レジスタで使用するプロセッサを選択します。

- DMA_P2M_PE0_LCH0LCH3_INT_REQ_CL : 4009_6110H (ACPU, LCH0-LCH3)
- DMA_P2M_DSP_LCH0LCH3_INT_REQ_CL : 4009_6410H (ADSP, LCH0-LCH3)
- DMA_P2M_PE0_LCH4LCH5_INT_REQ_CL : 4009_6130H (ACPU, LCH4-LCH5)
- DMA_P2M_DSP_LCH4LCH5_INT_REQ_CL : 4009_6430H (ADSP, LCH4-LCH5)
- DMA_P2M_PE0_LCH9LCH10_INT_REQ_CL : 4009_6150H (ACPU, LCH9-LCH10)
- DMA_P2M_DSP_LCH9LCH10_INT_REQ_CL : 4009_6450H (ADSP, LCH9-LCH10)
- DMA_P2M_PE0_LCH12LCH14_INT_REQ_CL : 4009_6170H (ACPU, LCH12-LCH14)
- DMA_P2M_DSP_LCH12LCH14_INT_REQ_CL : 4009_6470H (ADSP, LCH12-LCH14)

LCH0-LCH3 の場合のビット・アサインを次に示します。その他の場合も同様の構造です。ただし、タイムアウトによる割り込み (INT_TIME) は、LCH0, LCH1, LCH2 のみです。それ以外の場合、Reserved になります。

31	30	29	28	27	26	25	24
Reserved	P2M_LCH3_ INT_ERROR_ W_REQ_CL	P2M_LCH3_ INT_BLOCK_ W_REQ_CL	P2M_LCH3_ INT_LENG_ W_REQ_CL	P2M_LCH3_ INT_TIME_ R_REQ_CL	P2M_LCH3_ INT_ERROR_ R_REQ_CL	Reserved	
23	22	21	20	19	18	17	16
Reserved	P2M_LCH2_ INT_ERROR_ W_REQ_CL	P2M_LCH2_ INT_BLOCK_ W_REQ_CL	P2M_LCH2_ INT_LENG_ W_REQ_CL	P2M_LCH2_ INT_TIME_ R_REQ_CL	P2M_LCH2_ INT_ERROR_ R_REQ_CL	Reserved	
15	14	13	12	11	10	9	8
Reserved	P2M_LCH1_ INT_ERROR_ W_REQ_CL	P2M_LCH1_ INT_BLOCK_ W_REQ_CL	P2M_LCH1_ INT_LENG_ W_REQ_CL	P2M_LCH1_ INT_TIME_ R_REQ_CL	P2M_LCH1_ INT_ERROR_ R_REQ_CL	Reserved	
7	6	5	4	3	2	1	0
Reserved	P2M_LCH0_ INT_ERROR_ W_REQ_CL	P2M_LCH0_ INT_BLOCK_ W_REQ_CL	P2M_LCH0_ INT_LENG_ W_REQ_CL	P2M_LCH0_ INT_TIME_ R_REQ_CL	P2M_LCH0_ INT_ERROR_ R_REQ_CL	Reserved	

名 称	R/W	ビット	リセット時	機 能
Reserved	-	31	-	予約。読み出すと0を返します。
P2M_LCH3_INT_ERROR_W_REQ_CL	W	30	0	P2M用LCH3のエラー割り込み要因をクリアします。
P2M_LCH3_INT_BLOCK_W_REQ_CL	W	29	0	P2M用LCH3のブロック割り込み要因をクリアします。
P2M_LCH3_INT LENG_W_REQ_CL	W	28	0	P2M用LCH3のレンジ割り込み要因をクリアします。
P2M_LCH3_INT_TIME_R_REQ_CL	W	27	0	P2M用LCH3のタイムアウト割り込み要因をクリアします。
P2M_LCH3_INT_ERROR_R_REQ_CL	W	26	0	P2M用LCH3のエラー割り込み要因をクリアします。
Reserved	-	25:23	-	予約。読み出すと0を返します。
P2M_LCH2_INT_ERROR_W_REQ_CL	W	22	0	P2M用LCH2のエラー割り込み要因をクリアします。
P2M_LCH2_INT_BLOCK_W_REQ_CL	W	21	0	P2M用LCH2のブロック割り込み要因をクリアします。
P2M_LCH2_INT LENG_W_REQ_CL	W	20	0	P2M用LCH2のレンジ割り込み要因をクリアします。
P2M_LCH2_INT_TIME_R_REQ_CL	W	19	0	P2M用LCH2のタイムアウト割り込み要因をクリアします。
P2M_LCH2_INT_ERROR_R_REQ_CL	W	18	0	P2M用LCH2のエラー割り込み要因をクリアします。
Reserved	-	17:15	-	予約。読み出すと0を返します。
P2M_LCH1_INT_ERROR_W_REQ_CL	W	14	0	P2M用LCH1のエラー割り込み要因をクリアします。
P2M_LCH1_INT_BLOCK_W_REQ_CL	W	13	0	P2M用LCH1のブロック割り込み要因をクリアします。
P2M_LCH1_INT LENG_W_REQ_CL	W	12	0	P2M用LCH1のレンジ割り込み要因をクリアします。
P2M_LCH1_INT_TIME_R_REQ_CL	W	11	0	P2M用LCH1のタイムアウト割り込み要因をクリアします。
P2M_LCH1_INT_ERROR_R_REQ_CL	W	10	0	P2M用LCH1のエラー割り込み要因をクリアします。
Reserved	-	9:7	-	予約。読み出すと0を返します。
P2M_LCH0_INT_ERROR_W_REQ_CL	W	6	0	P2M用LCH0のエラー割り込み要因をクリアします。
P2M_LCH0_INT_BLOCK_W_REQ_CL	W	5	0	P2M用LCH0のブロック割り込み要因をクリアします。
P2M_LCH0_INT LENG_W_REQ_CL	W	4	0	P2M用LCH0のレンジ割り込み要因をクリアします。
P2M_LCH0_INT_TIME_R_REQ_CL	W	3	0	P2M用LCH0のタイムアウト割り込み要因をクリアします。
P2M_LCH0_INT_ERROR_R_REQ_CL	W	2	0	P2M用LCH0のエラー割り込み要因をクリアします。
Reserved	-	1:0	-	予約。読み出すと0を返します。

備考 0：影響なし（現在の値を保持します） 1：割り込み要因クリア

(6) P2M 用割り込み出力先設定レジスタ

本レジスタ (DMA_P2M_LCH0LCH14_INT_SEL : 4009_6800H) は、割り込み信号の出力先設定を行います。

31	30	29	28	27	26	25	24
Reserved		P2M_LCH14_INT_SEL		P2M_LCH13_INT_SEL		P2M_LCH12_INT_SEL	
23	22	21	20	19	18	17	16
Reserved		P2M_LCH10_INT_SEL		P2M_LCH9_INT_SEL		Reserved	
15	14	13	12	11	10	9	8
Reserved				P2M_LCH5_INT_SEL		P2M_LCH4_INT_SEL	
7	6	5	4	3	2	1	0
P2M_LCH3_INT_SEL		P2M_LCH2_INT_SEL		P2M_LCH1_INT_SEL		P2M_LCH0_INT_SEL	

名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:30	-	予約。読み出すと0を返します。
P2M_LCH14_INT_SEL	R/W	29:28	0	P2M 用 LCH14 の割り込み出力先を設定します。
P2M_LCH13_INT_SEL	R/W	27:26	0	P2M 用 LCH13 の割り込み出力先を設定します。
P2M_LCH12_INT_SEL	R/W	25:24	0	P2M 用 LCH12 の割り込み出力先を設定します。
Reserved	-	23:22	-	予約。読み出すと0を返します。
P2M_LCH10_INT_SEL	R/W	21:20	0	P2M 用 LCH10 の割り込み出力先を設定します。
P2M_LCH9_INT_SEL	R/W	19:18	0	P2M 用 LCH9 の割り込み出力先を設定します。
Reserved	-	17:12	-	予約。読み出すと0を返します。
P2M_LCH5_INT_SEL	R/W	11:10	0	P2M 用 LCH5 の割り込み出力先を設定します。
P2M_LCH4_INT_SEL	R/W	9:8	0	P2M 用 LCH4 の割り込み出力先を設定します。
P2M_LCH3_INT_SEL	R/W	7:6	0	P2M 用 LCH3 の割り込み出力先を設定します。
P2M_LCH2_INT_SEL	R/W	5:4	0	P2M 用 LCH2 の割り込み出力先を設定します。
P2M_LCH1_INT_SEL	R/W	3:2	0	P2M 用 LCH1 の割り込み出力先を設定します。
P2M_LCH0_INT_SEL	R/W	1:0	0	P2M 用 LCH0 の割り込み出力先を設定します。

備考 00 : ACPU (デフォルト), 01 : Reserved, 10 : Reserved, 11 : ADSP

2.3.9 P2M用LCHxパラメータ設定レジスタ

P2M用の論理チャンネルごとの設定レジスタを説明します。LCHxのxはチャンネル数で、P2M用はx= 0~14です。ただし、LCH6-LCH8, LCH11はリザーブ・チャンネル(未使用チャンネル)です。

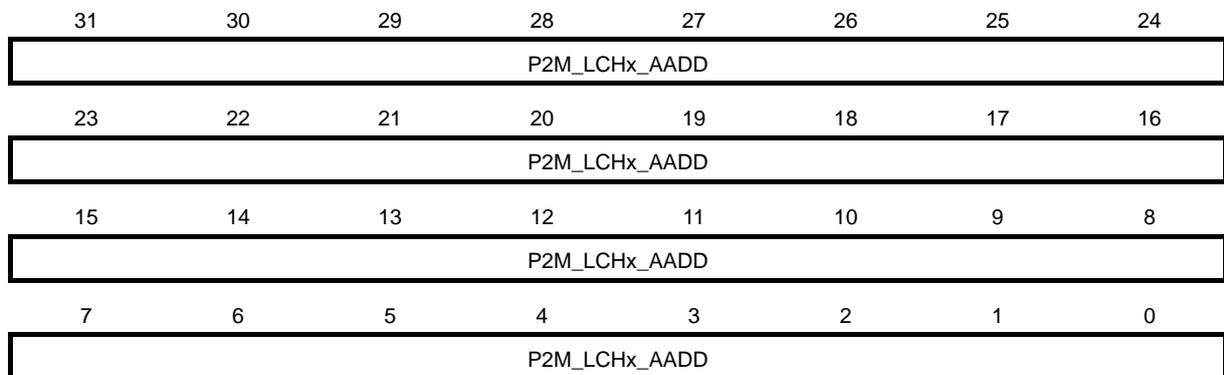
(1) P2M用LCHxソース・アドレス・レジスタ

本レジスタ(DMA_P2M_LCHx_AADD)は、ソース側のアドレス(固定アドレス)をバイト単位で設定するレジスタです。

モード・レジスタの転送ビット幅指定で8ビットが選択されている場合、バイト単位での設定が可能です。

また、16ビットが選択されている場合はハーフ・ワード単位、32ビットが選択されている場合はワード単位での設定が可能です。

- DMA_P2M_LCH0_AADD : 4009_7000H (LCH0)
- DMA_P2M_LCH1_AADD : 4009_7100H (LCH1)
- DMA_P2M_LCH2_AADD : 4009_7200H (LCH2)
- DMA_P2M_LCH3_AADD : 4009_7300H (LCH3)
- DMA_P2M_LCH4_AADD : 4009_7400H (LCH4)
- DMA_P2M_LCH5_AADD : 4009_7500H (LCH5)
- DMA_P2M_LCH9_AADD : 4009_7900H (LCH9)
- DMA_P2M_LCH10_AADD : 4009_7A00H (LCH10)
- DMA_P2M_LCH12_AADD : 4009_7C00H (LCH12)
- DMA_P2M_LCH13_AADD : 4009_7D00H (LCH13)
- DMA_P2M_LCH14_AADD : 4009_7E00H (LCH14)



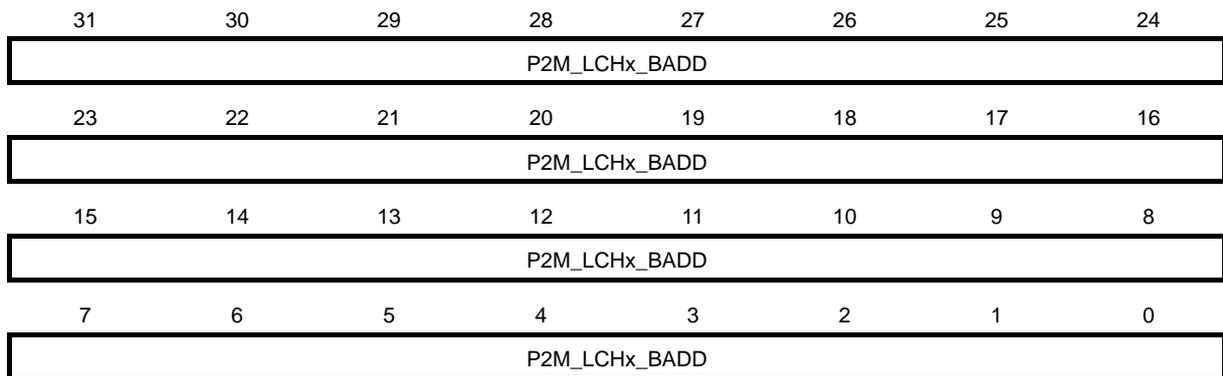
名 称	R/W	ビット	リセット時	機 能
P2M_LCHx_AADD	R/W	31:0	0	P2M用LCHxソース・アドレス

(2) P2M用 LCHx ディスティネーション・アドレス・レジスタ

本レジスタ (DMA_P2M_LCHx_BADD) は、ディスティネーション側のスタート・アドレスをバイト単位で設定するレジスタです。

備考 有効ビットは、モード・レジスタのビット幅設定により変化します。4.1.1 パラメータ設定の制限を参照してください。

- DMA_P2M_LCH0_BADD : 4009_7020H (LCH0)
- DMA_P2M_LCH1_BADD : 4009_7120H (LCH1)
- DMA_P2M_LCH2_BADD : 4009_7220H (LCH2)
- DMA_P2M_LCH3_BADD : 4009_7320H (LCH3)
- DMA_P2M_LCH4_BADD : 4009_7420H (LCH4)
- DMA_P2M_LCH5_BADD : 4009_7520H (LCH5)
- DMA_P2M_LCH9_BADD : 4009_7920H (LCH9)
- DMA_P2M_LCH10_BADD : 4009_7A20H (LCH10)
- DMA_P2M_LCH12_BADD : 4009_7C20H (LCH12)
- DMA_P2M_LCH13_BADD : 4009_7D20H (LCH13)
- DMA_P2M_LCH14_BADD : 4009_7E20H (LCH14)



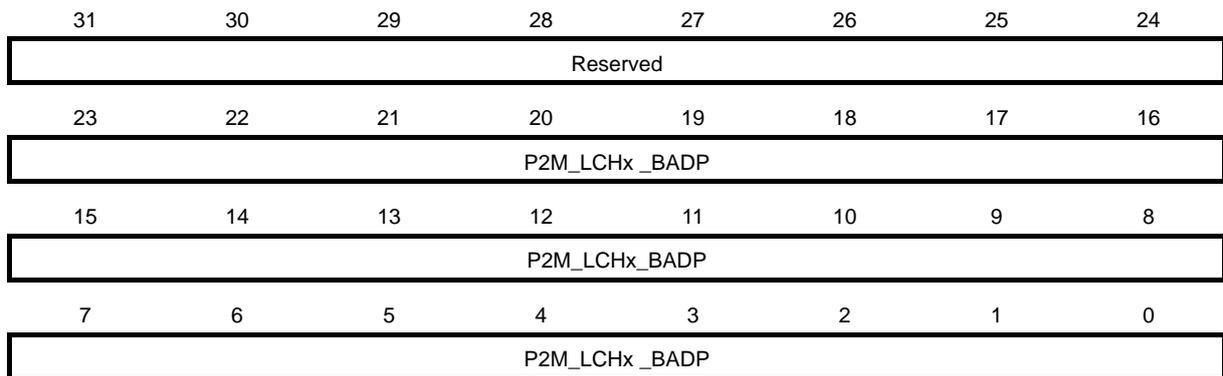
名 称	R/W	ビット	リセット時	機 能
P2M_LCHx_BADD	R/W	31:0	0	P2M用 LCHx ディスティネーション・アドレス(スタート・アドレス)

(3) P2M 用 LCHx ディスティネーション・アドレス・ポインタ・レジスタ

本レジスタ (DMA_P2M_LCHx_BADP) は、アクセスしているディスティネーション側のアドレスを格納するレジスタです。

備考 有効ビットは、モード・レジスタのビット幅設定により変化します。4.1.1 パラメータ設定の制限を参照してください。

- DMA_P2M_LCH0_BADP : 4009_7024H (LCH0)
- DMA_P2M_LCH1_BADP : 4009_7124H (LCH1)
- DMA_P2M_LCH2_BADP : 4009_7224H (LCH2)
- DMA_P2M_LCH3_BADP : 4009_7324H (LCH3)
- DMA_P2M_LCH4_BADP : 4009_7424H (LCH4)
- DMA_P2M_LCH5_BADP : 4009_7524H (LCH5)
- DMA_P2M_LCH9_BADP : 4009_7924H (LCH9)
- DMA_P2M_LCH10_BADP : 4009_7A24H (LCH10)
- DMA_P2M_LCH12_BADP : 4009_7C24H (LCH12)
- DMA_P2M_LCH13_BADP : 4009_7D24H (LCH13)
- DMA_P2M_LCH14_BADP : 4009_7E24H (LCH14)



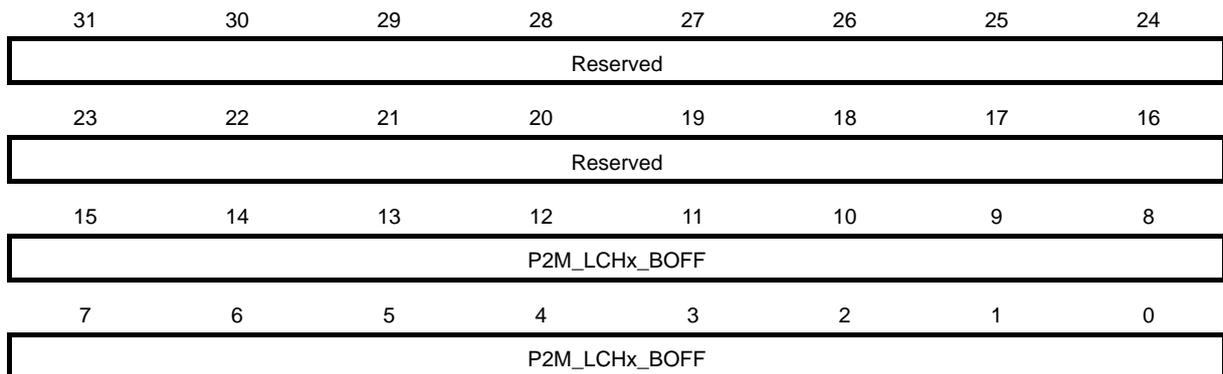
名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:24	-	予約。読み出すと 0 を返します。
P2M_LCHx_BADP	R	23:0	0	P2M 用 LCHx のアクセスしているディスティネーション側のアドレスを格納します。

(4) P2M 用 LCHx ディスティネーション・アドレス・オフセット・レジスタ

本レジスタ (DMA_P2M_LCHx_BOFF) は、ディスティネーション側のブロック間のオフセットをバイト単位で指定するレジスタです。最大 65535 バイトまで設定可能です。

注意 オフセット・レジスタとブロック・サイズ・レジスタは加算値がワード (4 バイト) 単位になるように設定してください。それ以外の設定をした場合の DMA 動作は保証しません。

- DMA_P2M_LCH0_BOFF : 4009_7028H (LCH0)
- DMA_P2M_LCH1_BOFF : 4009_7128H (LCH1)
- DMA_P2M_LCH2_BOFF : 4009_7228H (LCH2)
- DMA_P2M_LCH3_BOFF : 4009_7328H (LCH3)
- DMA_P2M_LCH4_BOFF : 4009_7428H (LCH4)
- DMA_P2M_LCH5_BOFF : 4009_7528H (LCH5)
- DMA_P2M_LCH9_BOFF : 4009_7928H (LCH9)
- DMA_P2M_LCH10_BOFF : 4009_7A28H (LCH10)
- DMA_P2M_LCH12_BOFF : 4009_7C28H (LCH12)
- DMA_P2M_LCH13_BOFF : 4009_7D28H (LCH13)
- DMA_P2M_LCH14_BOFF : 4009_7E28H (LCH14)

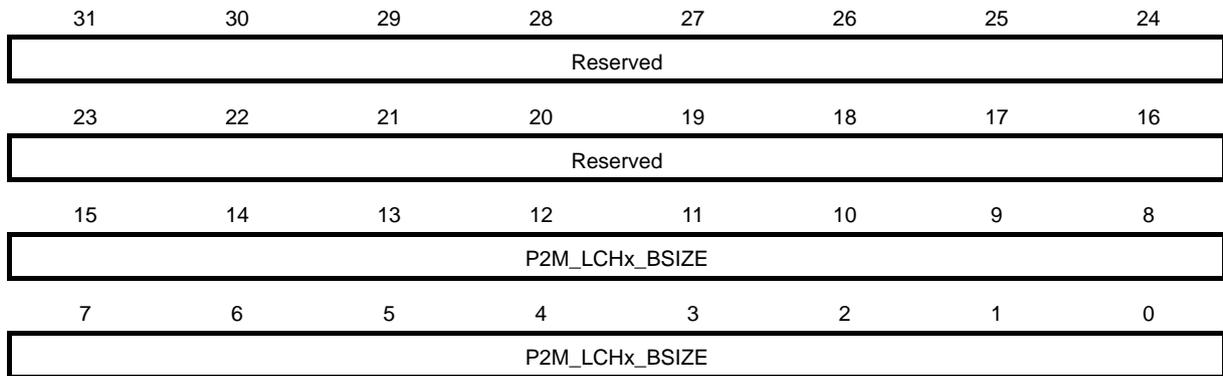


名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:16	-	予約。読み出すと 0 を返します。
P2M_LCHx_BOFF	R/W	15:0	0	P2M 用 LCHx の ディスティネーション側のブロック間のオフセットをバイト単位で示します。 00000000_00000000 : 0 バイト (オフセットなし) 00000000_00000001 : 1 バイト 00000000_00000010 : 2 バイト (ハーフ・ワード) 00000000_00000011 : 3 バイト 00000000_00000100 : 4 バイト (1 ワード) 00000000_00000101 : 5 バイト : 11111111_11111111 : 65535 バイト

(5) P2M 用 LCHx ディスティネーション・ブロック・サイズ・レジスタ

本レジスタ (DMA_P2M_LCHx_BSIZE) は、ディスティネーション側のブロック・サイズの設定をバイト単位で行うレジスタです。最大 65535 バイトまで設定可能です。

- DMA_P2M_LCH0_BSIZE : 4009_702CH (LCH0)
- DMA_P2M_LCH1_BSIZE : 4009_712CH (LCH1)
- DMA_P2M_LCH2_BSIZE : 4009_722CH (LCH2)
- DMA_P2M_LCH3_BSIZE : 4009_732CH (LCH3)
- DMA_P2M_LCH4_BSIZE : 4009_742CH (LCH4)
- DMA_P2M_LCH5_BSIZE : 4009_752CH (LCH5)
- DMA_P2M_LCH9_BSIZE : 4009_792CH (LCH9)
- DMA_P2M_LCH10_BSIZE : 4009_7A2CH (LCH10)
- DMA_P2M_LCH12_BSIZE : 4009_7C2CH (LCH12)
- DMA_P2M_LCH13_BSIZE : 4009_7D2CH (LCH13)
- DMA_P2M_LCH14_BSIZE : 4009_7E2CH (LCH14)



名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:16	-	予約。読み出すと 0 を返します。
P2M_LCHx_BSIZE	R/W	15:0	0	P2M 用 LCHx ディスティネーション側のブロック・サイズの設定を行うレジスタです。 00000000_00000000 : 設定禁止 00000000_00000001 : 1 バイト 00000000_00000010 : 2 バイト (ハーフ・ワード) 00000000_00000011 : 3 バイト 00000000_00000100 : 4 バイト (1 ワード) 00000000_00000101 : 5 バイト : 11111111_11111111 : 65535 バイト

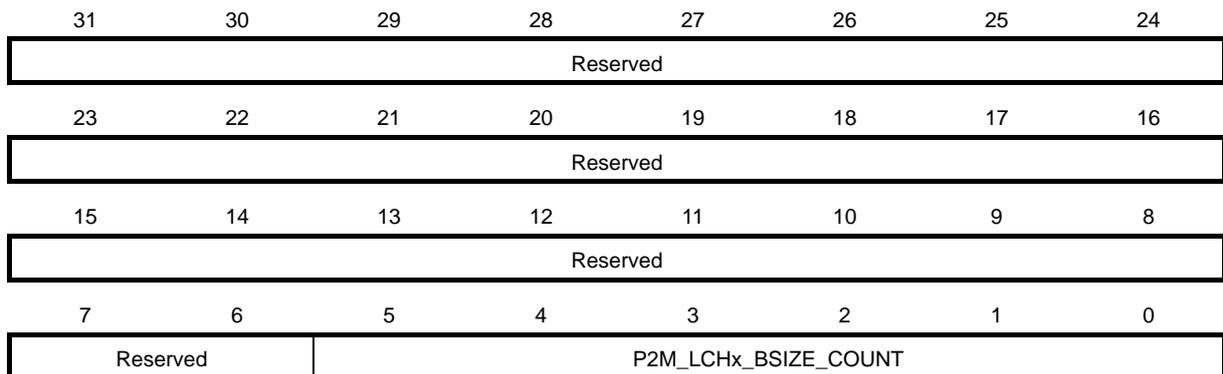
- 注意** 1. このレジスタに"0"を設定した場合、ブロック割り込みが発生し続けることがあります。また、このときの DMA 動作は保証しません。
2. ブロック・サイズごとのブロック割り込みを発生したくない場合は、ブロック・サイズ=レンゲスに設定してください (この場合、DMA 転送完了時にブロック割り込みとレンゲス割り込みが同時に発生します)。

(6) P2M用 LCHx ディスティネーション・ブロック・カウント・レジスタ

本レジスタ (DMA_P2M_LCHx_BSIZE_COUNT) は、ライト時とリード時で異なる機能を持っています。

ライト時には、リピート転送時に1ループ内で転送するブロック・サイズ数を設定します。リード時には、ディスティネーション側のアクセス中のブロック転送数を記憶しています。設定されたブロック・サイズからブロック転送完了ごとにカウントダウンした値が表示されます。リピート転送を行う場合は1次元転送(オフセット0)である必要があります。

- DMA_P2M_LCH0_BSIZE_COUNT : 4009_7030H (LCH0)
- DMA_P2M_LCH1_BSIZE_COUNT : 4009_7130H (LCH1)
- DMA_P2M_LCH2_BSIZE_COUNT : 4009_7230H (LCH2)
- DMA_P2M_LCH3_BSIZE_COUNT : 4009_7330H (LCH3)
- DMA_P2M_LCH4_BSIZE_COUNT : 4009_7430H (LCH4)
- DMA_P2M_LCH5_BSIZE_COUNT : 4009_7530H (LCH5)
- DMA_P2M_LCH9_BSIZE_COUNT : 4009_7930H (LCH9)
- DMA_P2M_LCH10_BSIZE_COUNT : 4009_7A30H (LCH10)
- DMA_P2M_LCH12_BSIZE_COUNT : 4009_7C30H (LCH12)
- DMA_P2M_LCH13_BSIZE_COUNT : 4009_7D30H (LCH13)
- DMA_P2M_LCH14_BSIZE_COUNT : 4009_7E30H (LCH14)



名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:6	-	予約。読み出すと0を返します。
P2M_LCHx_BSIZE _COUNT	R/W	5:0	0	<p>ライト時：リピート転送時に1ループ内で転送するディスティネーション側のブロック数を設定します。</p> <p>000000：1 ブロック 000001：2 ブロック 000010：3 ブロック 000011：4 ブロック 000100：5 ブロック 000101：6 ブロック 000110：7 ブロック 000111：8 ブロック 001000：9 ブロック ： 111111：64 ブロック</p> <p>リード時：ディスティネーション側の転送残りのブロック数を示します。</p> <p>DMA 起動した時点で本レジスタへのライトで設定された値がセットされ、ブロック転送完了ごとにカウントダウンされた値が表示されま</p>

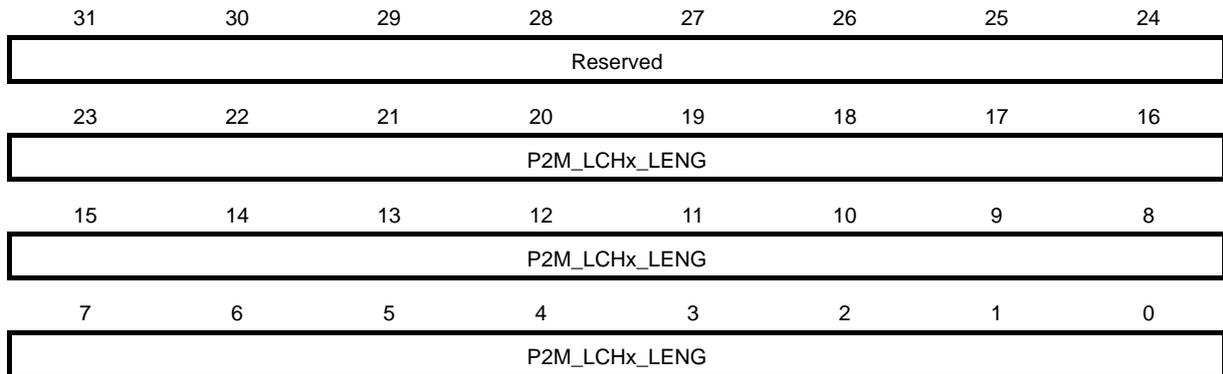
(7) P2M 用 LCHx レンクス・レジスタ

本レジスタ (DMA_P2M_LCHx LENG) は、総転送量の設定をバイト単位で行うレジスタです。最大 16777215 バイトまで設定可能です。

モード・レジスタのリピート設定でリピート・モードが指定されている場合、このレジスタに"0"を設定すると無限長転送になります。

注意 リピート設定なしの場合はレンクス 0 設定は禁止です。無限長転送時のオフセット設定は禁止です。

- DMA_P2M_LCH0_LENG : 4009_7040H (LCH0)
- DMA_P2M_LCH1_LENG : 4009_7140H (LCH1)
- DMA_P2M_LCH2_LENG : 4009_7240H (LCH2)
- DMA_P2M_LCH3_LENG : 4009_7340H (LCH3)
- DMA_P2M_LCH4_LENG : 4009_7440H (LCH4)
- DMA_P2M_LCH5_LENG : 4009_7540H (LCH5)
- DMA_P2M_LCH9_LENG : 4009_7940H (LCH9)
- DMA_P2M_LCH10_LENG : 4009_7A40H (LCH10)
- DMA_P2M_LCH12_LENG : 4009_7C40H (LCH12)
- DMA_P2M_LCH13_LENG : 4009_7D40H (LCH13)
- DMA_P2M_LCH14_LENG : 4009_7E40H (LCH14)

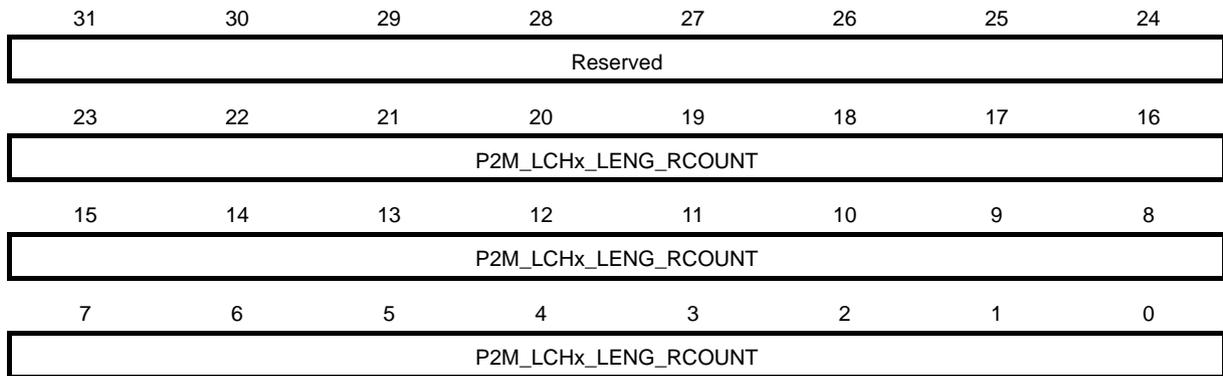


名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:24	-	予約。読み出すと 0 を返します。
P2M_LCHx_LENG	R/W	23:0	0	P2M 用 LCHx の総転送量の設定をバイト単位で行うレジスタです。 00000000_00000000_00000000 : 無限長転送 00000000_00000000_00000001 : 1 バイト 00000000_00000000_00000010 : 2 バイト 00000000_00000000_00000011 : 3 バイト 00000000_00000000_00000100 : 4 バイト : 11111111_11111111_11111111 : 16777215 バイト

(8) P2M 用 LCHx リード・レンゲス・カウント・レジスタ

本レジスタ (DMA_P2M_LCHx LENG_RCOUNT) は、ソース側の総転送量を記憶するレジスタです。レンゲスで設定された総転送量からダウンカウントするため、残りの転送量が表示されます。

- DMA_P2M_LCH0 LENG_RCOUNT : 4009_7044H (LCH0)
- DMA_P2M_LCH1 LENG_RCOUNT : 4009_7144H (LCH1)
- DMA_P2M_LCH2 LENG_RCOUNT : 4009_7244H (LCH2)
- DMA_P2M_LCH3 LENG_RCOUNT : 4009_7344H (LCH3)
- DMA_P2M_LCH4 LENG_RCOUNT : 4009_7444H (LCH4)
- DMA_P2M_LCH5 LENG_RCOUNT : 4009_7544H (LCH5)
- DMA_P2M_LCH9 LENG_RCOUNT : 4009_7944H (LCH9)
- DMA_P2M_LCH10 LENG_RCOUNT : 4009_7A44H (LCH10)
- DMA_P2M_LCH12 LENG_RCOUNT : 4009_7C44H (LCH12)
- DMA_P2M_LCH13 LENG_RCOUNT : 4009_7D44H (LCH13)
- DMA_P2M_LCH14 LENG_RCOUNT : 4009_7E44H (LCH14)

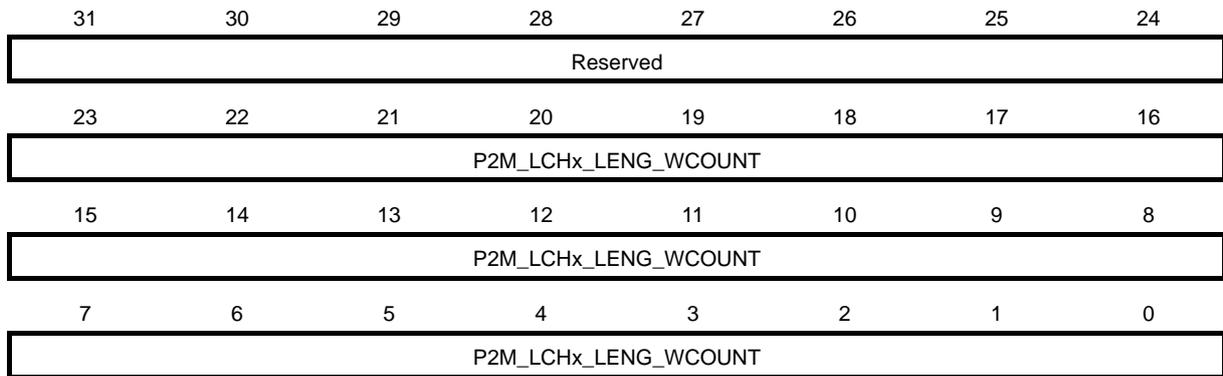


名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:24	-	予約。読み出すと 0 を返します。
P2M_LCHx LENG_RCOUNT	R	23:0	0	P2M 用 LCHx の総転送量を記憶するレジスタです。 00000000_00000000_00000000 : 0 バイト 00000000_00000000_00000001 : 1 バイト 00000000_00000000_00000010 : 2 バイト 00000000_00000000_00000011 : 3 バイト 00000000_00000000_00000100 : 4 バイト : 11111111_11111111_11111111 : 16777215 バイト

(9) P2M 用 LCHx ライト・レングス・カウント・レジスタ

本レジスタ (DMA_P2M_LCHx LENG_WCOUNT) は、ディスティネーション側の総転送量を記憶するレジスタです。レングスで設定された総転送量からダウンカウントするため、残りの転送量が表示されます。

- DMA_P2M_LCH0 LENG_WCOUNT : 4009_7048H (LCH0)
- DMA_P2M_LCH1 LENG_WCOUNT : 4009_7148H (LCH1)
- DMA_P2M_LCH2 LENG_WCOUNT : 4009_7248H (LCH2)
- DMA_P2M_LCH3 LENG_WCOUNT : 4009_7348H (LCH3)
- DMA_P2M_LCH4 LENG_WCOUNT : 4009_7448H (LCH4)
- DMA_P2M_LCH5 LENG_WCOUNT : 4009_7548H (LCH5)
- DMA_P2M_LCH9 LENG_WCOUNT : 4009_7948H (LCH9)
- DMA_P2M_LCH10 LENG_WCOUNT : 4009_7A48H (LCH10)
- DMA_P2M_LCH12 LENG_WCOUNT : 4009_7C48H (LCH12)
- DMA_P2M_LCH13 LENG_WCOUNT : 4009_7D48H (LCH13)
- DMA_P2M_LCH14 LENG_WCOUNT : 4009_7E48H (LCH14)



名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:24	-	予約。読み出すと 0 を返します。
P2M_LCHx LENG_WCOUNT	R	23:0	0	P2M 用 LCHx の総転送量を記憶するレジスタです。 00000000_00000000_00000000 : 0 バイト 00000000_00000000_00000001 : 1 バイト 00000000_00000000_00000010 : 2 バイト 00000000_00000000_00000011 : 3 バイト 00000000_00000000_00000100 : 4 バイト : 11111111_11111111_11111111 : 16777215 バイト

(10) P2M 用 LCHx モード・レジスタ

本レジスタ (DMA_P2M_LCHx_MODE) は、転送時のモード (エンディアン、リピート、ビット幅、タイマ) を設定します。

リピート転送を行う場合は 1 次元転送 (オフセット 0) である必要があります。

- DMA_P2M_LCH0_MODE : 4009_7050H (LCH0)
- DMA_P2M_LCH1_MODE : 4009_7150H (LCH1)
- DMA_P2M_LCH2_MODE : 4009_7250H (LCH2)
- DMA_P2M_LCH3_MODE : 4009_7350H (LCH3)
- DMA_P2M_LCH4_MODE : 4009_7450H (LCH4)
- DMA_P2M_LCH5_MODE : 4009_7550H (LCH5)
- DMA_P2M_LCH9_MODE : 4009_7950H (LCH9)
- DMA_P2M_LCH10_MODE : 4009_7A50H (LCH10)
- DMA_P2M_LCH12_MODE : 4009_7C50H (LCH12)
- DMA_P2M_LCH13_MODE : 4009_7D50H (LCH13)
- DMA_P2M_LCH14_MODE : 4009_7E50H (LCH14)

タイマ・カウントの設定 (P2M_LCHx_MODE_TIME) は、LCH0, LCH1, LCH2 のみです。それ以外の場合は Reserved になります。

31	30	29	28	27	26	25	24
P2M_LCHx_MODE_ ENDI_W_HH		P2M_LCHx_MODE_ ENDI_W_HL		P2M_LCHx_MODE_ ENDI_W_LH		P2M_LCHx_MODE_ ENDI_W_LL	
23	22	21	20	19	18	17	16
P2M_LCHx_MODE_ ENDI_R_HH		P2M_LCHx_MODE_ ENDI_R_HL		P2M_LCHx_MODE_ ENDI_R_LH		P2M_LCHx_MODE_ ENDI_R_LL	
15	14	13	12	11	10	9	8
Reserved							P2M_LCHx_ BMODE_ REPEAT
7	6	5	4	3	2	1	0
Reserved		P2M_LCHx_ MODE_BIT		Reserved	P2M_LCHx_ MODE_TIME	Reserved	

名 称	R/W	ビット	リセット時	機 能
P2M_LCHx_MODE_ENDI_W_HH	R/W	31:30	E4H	ライト側の取り込みバイト・レーンを設定します。 00b: バイト 0 を選択します 01b: バイト 1 を選択します 10b: バイト 2 を選択します 11b: バイト 3 を選択します
P2M_LCHx_MODE_ENDI_W_HL	R/W	29:28		
P2M_LCHx_MODE_ENDI_W_LH	R/W	27:26		
P2M_LCHx_MODE_ENDI_W_LL	R/W	25:24		
P2M_LCHx_MODE_ENDI_R_HH	R/W	23:22	E4H	リード側の取り込みバイト・レーンを設定します。 00b: バイト 0 を選択します 01b: バイト 1 を選択します 10b: バイト 2 を選択します 11b: バイト 3 を選択します
P2M_LCHx_MODE_ENDI_R_HL	R/W	21:20		
P2M_LCHx_MODE_ENDI_R_LH	R/W	19:18		
P2M_LCHx_MODE_ENDI_R_LL	R/W	17:16		
Reserved	-	15:9	-	予約。読み出すと 0 を返します。
P2M_LCHx_BMODE_REPEAT	R/W	8	0	ディスティネーション側 リピート・モードを設定します。 0: リピート・モードに設定しない, 1: リピート・モードに設定
Reserved	-	7:6	-	予約。読み出すと 0 を返します。
P2M_LCHx_MODE_BIT	R/W	5:4	0	転送ビット幅指定 00b: 32 ビット, 01b: 16 ビット 10b: 8 ビット, 11b: 設定禁止
Reserved	-	3	-	予約。読み出すと 0 を返します。
P2M_LCHx_MODE_TIME	R/W	2	0	タイマ・カウンタの使用有無を設定します。 0: タイマ使用なし 1: タイマ使用あり (UART0-UART2 のみ)
Reserved	-	1:0	-	予約。読み出すと 0 を返します。

注意 一度タイムアウトした LCH を再び起動する場合、タイマ値をプリセットするために

P2M_LCHx_MODE_TIME を、“1” “0” “1” と操作する必要があります。2 サイクル@TCLK クロック以上のロー・レベル幅が必要です。

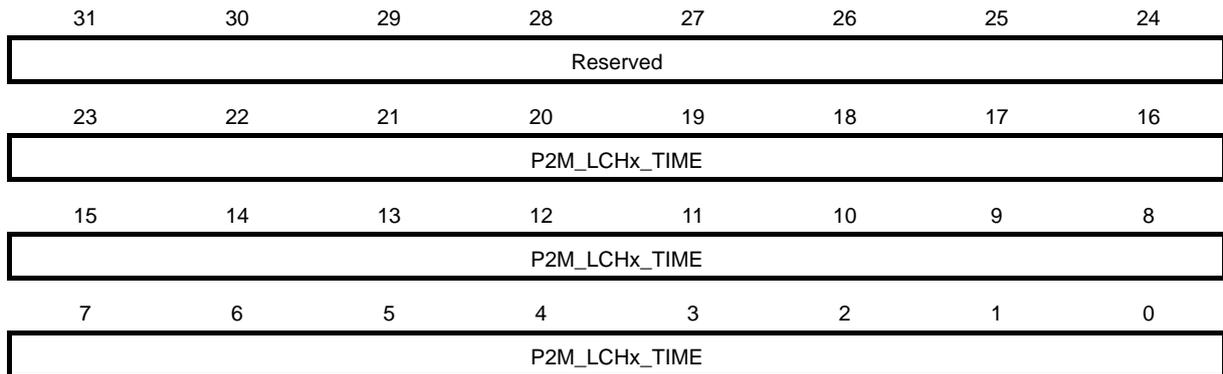
タイマ機能を使用する場合は、必ずタイマ・クロック (DMA_TCLK) をあらかじめ供給してください。タイマ・クロックを供給せずにタイマ機能を使用した場合、DMA のクロック制御機能が誤動作する場合があります。

(11) P2M 用 LCHx タイマ・レジスタ

本レジスタ (DMA_P2M_LCHx_TIME) は、DMA 終了までの時間を設定するレジスタです。DMA リクエストが長時間来ない場合、このレジスタに設定された時間が経ったらタイムアウトとなり、DMA を強制終了します。最大 24 ビットまで設定可能です。

この機能はメモリ UART (LCH0, LCH1, LCH2) チャネルのみ有効です。

- DMA_P2M_LCH0_TIME : 4009_7054H (LCH0)
- DMA_P2M_LCH1_TIME : 4009_7154H (LCH1)
- DMA_P2M_LCH2_TIME : 4009_7254H (LCH2)



名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:24	-	予約。読み出すと 0 を返します。
P2M_LCHx_TIME	R/W	23:0	0	P2M 用 LCHx のタイムアウトまでの時間設定を行うレジスタです。

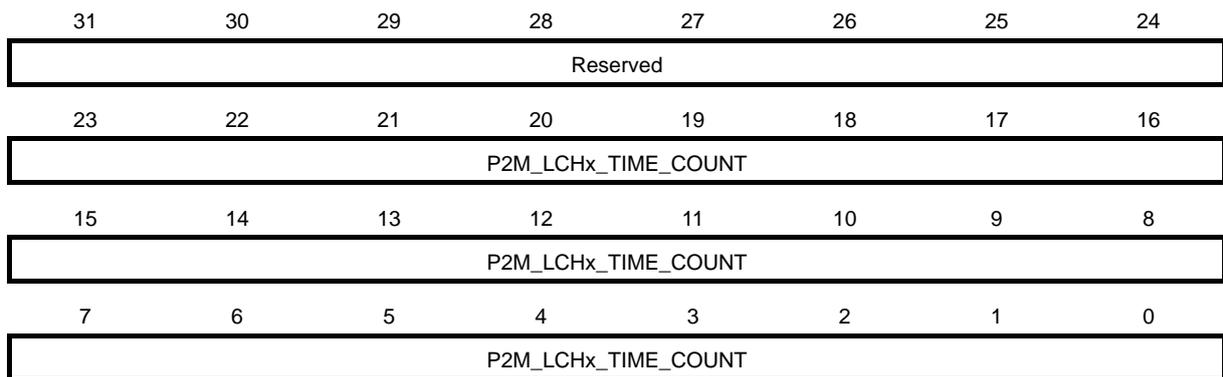
注意 タイマ機能を使用する場合は、必ずタイマ・クロック (DMA_TCLK) をあらかじめ供給してください。
 タイマ・クロックを供給せずにタイマ機能を使用した場合、DMA のクロック制御機能が誤動作する場合があります。

(12) P2M 用 LCHx タイマ・カウント・レジスタ

本レジスタ (DMA_P2M_LCHx_TIME_COUNT) は, DMA 終了までの時間をダウンカウントするレジスタです。SMU から供給される DMA_TCLK クロック単位でカウントダウンされます。このレジスタが“0”になるとタイムアウトとなり, DMA が強制終了します。

この機能はメモリ UART (LCH0, LCH1, LCH2) チャネルのみ有効です。

- DMA_P2M_LCH0_TIME_COUNT : 4009_7058H (LCH0)
- DMA_P2M_LCH1_TIME_COUNT : 4009_7158H (LCH1)
- DMA_P2M_LCH2_TIME_COUNT : 4009_7258H (LCH2)

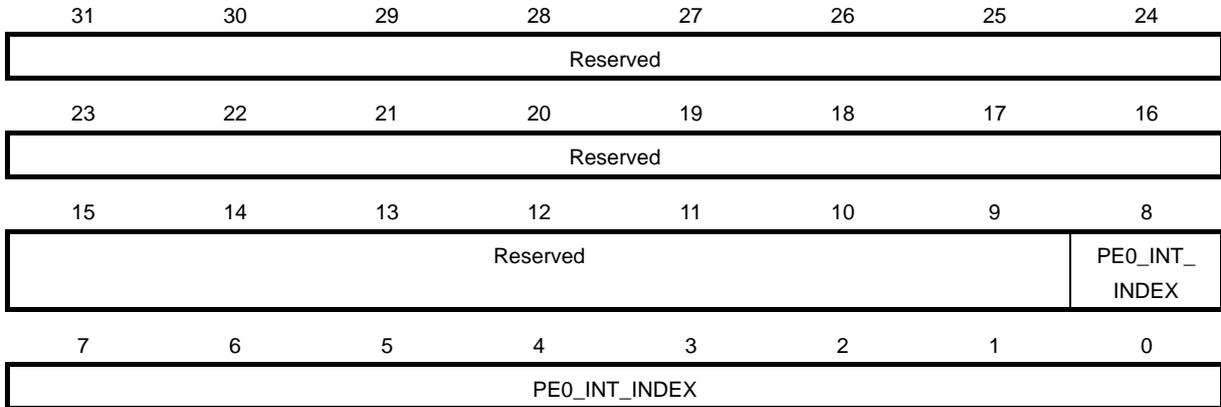


名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:24	-	予約。読み出すと 0 を返します。
P2M_LCHx_TIME_COUNT	R	23:0	0	P2M 用 LCHx のタイムアウトまでの時間を記憶するレジスタです。DMA_TCLK でカウントを行います。

2.3.10 割り込みインデックス・レジスタ

(1) ACPU 用割り込みインデックス・レジスタ

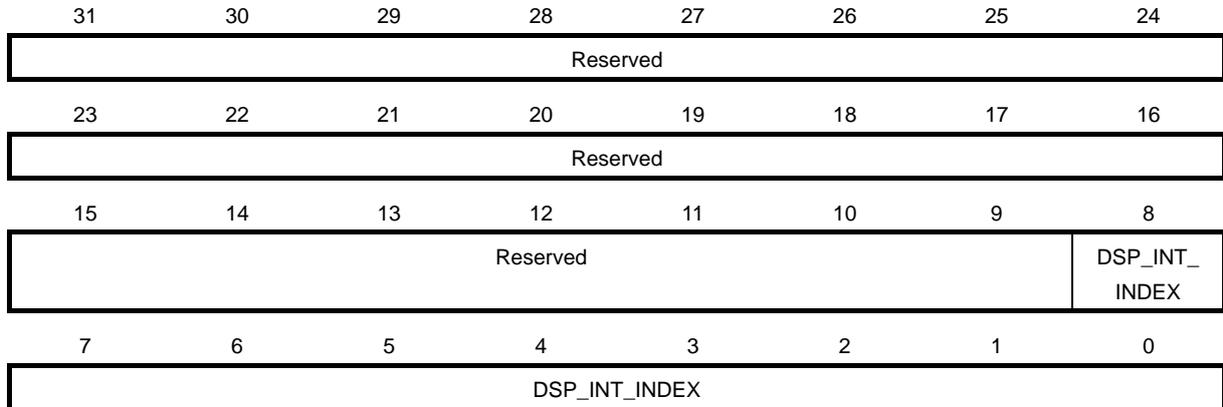
本レジスタ (DMA_PE0_INT_INDEX : 4009_8000H) は、割り込み要因が発生したチャンネルを特定することができます。割り込み出力先設定レジスタにより、ACPU が選択されているチャンネルのみ有効になります。



名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:9	-	予約。読み出すと 0 を返します。
PE0_INT_INDEX[8]	R	8	0	ACPU 用の割り込みインデックス・レジスタです。 P2M LCH12~LCH14 に割り込み要因が発生したことを示します。
PE0_INT_INDEX[7]	R	7	0	ACPU 用の割り込みインデックス・レジスタです。 P2M LCH9~LCH10 に割り込み要因が発生したことを示します。
PE0_INT_INDEX[6]	R	6	0	ACPU 用の割り込みインデックス・レジスタです。 P2M LCH4~LCH5 に割り込み要因が発生したことを示します。
PE0_INT_INDEX[5]	R	5	0	ACPU 用の割り込みインデックス・レジスタです。 P2M LCH0~LCH3 に割り込み要因が発生したことを示します。
PE0_INT_INDEX[4]	R	4	0	ACPU 用の割り込みインデックス・レジスタです。 M2P LCH12~LCH14 に割り込み要因が発生したことを示します。
PE0_INT_INDEX[3]	R	3	0	ACPU 用の割り込みインデックス・レジスタです。 M2P LCH9~LCH10 に割り込み要因が発生したことを示します。
PE0_INT_INDEX[2]	R	2	0	ACPU 用の割り込みインデックス・レジスタです。 M2P LCH4~LCH5 に割り込み要因が発生したことを示します。
PE0_INT_INDEX[1]	R	1	0	ACPU 用の割り込みインデックス・レジスタです。 M2P LCH0~LCH3 に割り込み要因が発生したことを示します。
PE0_INT_INDEX[0]	R	0	0	ACPU 用の割り込みインデックス・レジスタです。 ACPU LCH0~LCH3 に割り込み要因が発生したことを示します。

(2) DSP 用割り込みインデックス・レジスタ

本レジスタ (DMA_DSP_INT_INDEX : 4009_800CH) は、割り込み要因が発生したチャンネルを特定することができます。割り込み出力先設定レジスタにより、DSP が選択されているチャンネルのみ有効になります。



名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:9	-	予約。読み出すと 0 を返します。
DSP_INT_INDEX[8]	R	8	0	DSP 用の割り込みインデックス・レジスタです。 P2M LCH12~LCH14 に割り込み要因が発生したことを示します。
DSP_INT_INDEX[7]	R	7	0	DSP 用の割り込みインデックス・レジスタです。 P2M LCH9~LCH10 に割り込み要因が発生したことを示します。
DSP_INT_INDEX[6]	R	6	0	DSP 用の割り込みインデックス・レジスタです。 P2M LCH4~LCH5 に割り込み要因が発生したことを示します。
DSP_INT_INDEX[5]	R	5	0	DSP 用の割り込みインデックス・レジスタです。 P2M LCH0~LCH3 に割り込み要因が発生したことを示します。
DSP_INT_INDEX[4]	R	4	0	DSP 用の割り込みインデックス・レジスタです。 M2P LCH12~LCH14 に割り込み要因が発生したことを示します。
DSP_INT_INDEX[3]	R	3	0	DSP 用の割り込みインデックス・レジスタです。 M2P LCH9~LCH10 に割り込み要因が発生したことを示します。
DSP_INT_INDEX[2]	R	2	0	DSP 用の割り込みインデックス・レジスタです。 M2P LCH4~LCH5 に割り込み要因が発生したことを示します。
DSP_INT_INDEX[1]	R	1	0	DSP 用の割り込みインデックス・レジスタです。 M2P LCH0~LCH3 に割り込み要因が発生したことを示します。
DSP_INT_INDEX[0]	R	0	0	DSP 用の割り込みインデックス・レジスタです。 ACPU LCH0~LCH3 に割り込み要因が発生したことを示します。

(3) ACPU 用割り込みインデックス2 レジスタ

本レジスタ (DMA_PE0_INT_INDEX2 : 4009_8100H) は、割り込み要因が発生したチャンネルを特定することができます。DMA_PE0_INT_INDEX との差異は、1 ビットごとに 1LCH が割り当てられていることです。このレジスタを確認することで、どの LCH に割り込み要因が発生しているかを 1 回のレジスタ・リードで確認することができます。

31	30	29	28	27	26	25	24
Reserved		PE0_INDEX_PCH3_LCH14	PE0_INDEX_PCH3_LCH13	PE0_INDEX_PCH3_LCH12	Reserved	PE0_INDEX_PCH3_LCH10	PE0_INDEX_PCH3_LCH9
23	22	21	20	19	18	17	16
Reserved	PE0_INDEX_PCH3_LCH5	PE0_INDEX_PCH3_LCH4	PE0_INDEX_PCH3_LCH3	PE0_INDEX_PCH3_LCH2	PE0_INDEX_PCH3_LCH1	PE0_INDEX_PCH3_LCH0	PE0_INDEX_PCH2_LCH14
15	14	13	12	11	10	9	8
PE0_INDEX_PCH2_LCH13	PE0_INDEX_PCH2_LCH12	Reserved	PE0_INDEX_PCH2_LCH10	PE0_INDEX_PCH2_LCH9	Reserved	PE0_INDEX_PCH2_LCH5	PE0_INDEX_PCH2_LCH4
7	6	5	4	3	2	1	0
PE0_INDEX_PCH2_LCH3	PE0_INDEX_PCH2_LCH2	PE0_INDEX_PCH2_LCH1	PE0_INDEX_PCH2_LCH0	PE0_INDEX_PCH0_LCH3	PE0_INDEX_PCH0_LCH2	PE0_INDEX_PCH0_LCH1	PE0_INDEX_PCH0_LCH0

(1/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:30	-	予約。読み出すと 0 を返します。
PE0_INDEX_PCH3_LCH14	R	29	0	ACPU 用の割り込みインデックス・レジスタです。 PCH3 LCH14 に割り込み要因が発生したことを示します。
PE0_INDEX_PCH3_LCH13	R	28	0	ACPU 用の割り込みインデックス・レジスタです。 PCH3 LCH13 に割り込み要因が発生したことを示します。
PE0_INDEX_PCH3_LCH12	R	27	0	ACPU 用の割り込みインデックス・レジスタです。 PCH3 LCH12 に割り込み要因が発生したことを示します。
Reserved	-	26	-	予約。読み出すと 0 を返します。
PE0_INDEX_PCH3_LCH10	R	25	0	ACPU 用の割り込みインデックス・レジスタです。 PCH3 LCH10 に割り込み要因が発生したことを示します。
PE0_INDEX_PCH3_LCH9	R	24	0	ACPU 用の割り込みインデックス・レジスタです。 PCH3 LCH9 に割り込み要因が発生したことを示します。
Reserved	-	23	-	予約。読み出すと 0 を返します。
PE0_INDEX_PCH3_LCH5	R	22	0	ACPU 用の割り込みインデックス・レジスタです。 PCH3 LCH5 に割り込み要因が発生したことを示します。
PE0_INDEX_PCH3_LCH4	R	21	0	ACPU 用の割り込みインデックス・レジスタです。 PCH3 LCH4 に割り込み要因が発生したことを示します。
PE0_INDEX_PCH3_LCH3	R	20	0	ACPU 用の割り込みインデックス・レジスタです。 PCH3 LCH3 に割り込み要因が発生したことを示します。
PE0_INDEX_PCH3_LCH2	R	19	0	ACPU 用の割り込みインデックス・レジスタです。 PCH3 LCH2 に割り込み要因が発生したことを示します。
PE0_INDEX_PCH3_LCH1	R	18	0	ACPU 用の割り込みインデックス・レジスタです。 PCH3 LCH1 に割り込み要因が発生したことを示します。

名 称	R/W	ビット	リセット時	機 能
PE0_INDEX_PCH3_LCH0	R	17	0	ACPU 用の割り込みインデックス・レジスタです。 PCH3 LCH0 に割り込み要因が発生したことを示します。
PE0_INDEX_PCH2_LCH14	R	16	0	ACPU 用の割り込みインデックス・レジスタです。 PCH2 LCH14 に割り込み要因が発生したことを示します。
PE0_INDEX_PCH2_LCH13	R	15	0	ACPU 用の割り込みインデックス・レジスタです。 PCH2 LCH13 に割り込み要因が発生したことを示します。
PE0_INDEX_PCH2_LCH12	R	14	0	ACPU 用の割り込みインデックス・レジスタです。 PCH2 LCH12 に割り込み要因が発生したことを示します。
Reserved	-	13	-	予約。読み出すと 0 を返します。
PE0_INDEX_PCH2_LCH10	R	12	0	ACPU 用の割り込みインデックス・レジスタです。 PCH2 LCH10 に割り込み要因が発生したことを示します。
PE0_INDEX_PCH2_LCH9	R	11	0	ACPU 用の割り込みインデックス・レジスタです。 PCH2 LCH9 に割り込み要因が発生したことを示します。
Reserved	-	10	-	予約。読み出すと 0 を返します。
PE0_INDEX_PCH2_LCH5	R	9	0	ACPU 用の割り込みインデックス・レジスタです。 PCH2 LCH5 に割り込み要因が発生したことを示します。
PE0_INDEX_PCH2_LCH4	R	8	0	ACPU 用の割り込みインデックス・レジスタです。 PCH2 LCH4 に割り込み要因が発生したことを示します。
PE0_INDEX_PCH2_LCH3	R	7	0	ACPU 用の割り込みインデックス・レジスタです。 PCH2 LCH3 に割り込み要因が発生したことを示します。
PE0_INDEX_PCH2_LCH2	R	6	0	ACPU 用の割り込みインデックス・レジスタです。 PCH2 LCH2 に割り込み要因が発生したことを示します。
PE0_INDEX_PCH2_LCH1	R	5	0	ACPU 用の割り込みインデックス・レジスタです。 PCH2 LCH1 に割り込み要因が発生したことを示します。
PE0_INDEX_PCH2_LCH0	R	4	0	ACPU 用の割り込みインデックス・レジスタです。 PCH2 LCH0 に割り込み要因が発生したことを示します。
PE0_INDEX_PCH0_LCH3	R	3	0	ACPU 用の割り込みインデックス・レジスタです。 PCH0 LCH3 に割り込み要因が発生したことを示します。
PE0_INDEX_PCH0_LCH2	R	2	0	ACPU 用の割り込みインデックス・レジスタです。 PCH0 LCH2 に割り込み要因が発生したことを示します。
PE0_INDEX_PCH0_LCH1	R	1	0	ACPU 用の割り込みインデックス・レジスタです。 PCH0 LCH1 に割り込み要因が発生したことを示します。
PE0_INDEX_PCH0_LCH0	R	0	0	ACPU 用の割り込みインデックス・レジスタです。 PCH0 LCH0 に割り込み要因が発生したことを示します。

(4) DSP 用割り込みインデックス2 レジスタ

本レジスタ (DMA_DSP_INT_INDEX2 : 4009_810CH) は、割り込み要因が発生したチャンネルを特定することができます。DMA_DSP_INT_INDEX との差異は、1 ビットごとに 1LCH が割り当てられていることです。このレジスタを確認することで、どの LCH に割り込み要因が発生しているかを 1 回のレジスタ・リードで確認することができます。

31	30	29	28	27	26	25	24
Reserved		DSP_INDEX_PCH3_LCH14	DSP_INDEX_PCH3_LCH13	DSP_INDEX_PCH3_LCH12	Reserved	DSP_INDEX_PCH3_LCH10	DSP_INDEX_PCH3_LCH9
23	22	21	20	19	18	17	16
Reserved	DSP_INDEX_PCH3_LCH5	DSP_INDEX_PCH3_LCH4	DSP_INDEX_PCH3_LCH3	DSP_INDEX_PCH3_LCH2	DSP_INDEX_PCH3_LCH1	DSP_INDEX_PCH3_LCH0	DSP_INDEX_PCH2_LCH14
15	14	13	12	11	10	9	8
DSP_INDEX_PCH2_LCH13	DSP_INDEX_PCH2_LCH12	Reserved	DSP_INDEX_PCH2_LCH10	DSP_INDEX_PCH2_LCH9	Reserved	DSP_INDEX_PCH2_LCH5	DSP_INDEX_PCH2_LCH4
7	6	5	4	3	2	1	0
DSP_INDEX_PCH2_LCH3	DSP_INDEX_PCH2_LCH2	DSP_INDEX_PCH2_LCH1	DSP_INDEX_PCH2_LCH0	DSP_INDEX_PCH0_LCH3	DSP_INDEX_PCH0_LCH2	DSP_INDEX_PCH0_LCH1	DSP_INDEX_PCH0_LCH0

(1/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:30	-	予約。読み出すと 0 を返します。
DSP_INDEX_PCH3_LCH14	R	29	0	DSP 用の割り込みインデックス・レジスタです。 PCH3 LCH14 に割り込み要因が発生したことを示します。
DSP_INDEX_PCH3_LCH13	R	28	0	DSP 用の割り込みインデックス・レジスタです。 PCH3 LCH13 に割り込み要因が発生したことを示します。
DSP_INDEX_PCH3_LCH12	R	27	0	DSP 用の割り込みインデックス・レジスタです。 PCH3 LCH12 に割り込み要因が発生したことを示します。
Reserved	-	26	-	予約。読み出すと 0 を返します。
DSP_INDEX_PCH3_LCH10	R	25	0	DSP 用の割り込みインデックス・レジスタです。 PCH3 LCH10 に割り込み要因が発生したことを示します。
DSP_INDEX_PCH3_LCH9	R	24	0	DSP 用の割り込みインデックス・レジスタです。 PCH3 LCH9 に割り込み要因が発生したことを示します。
Reserved	-	23	-	予約。読み出すと 0 を返します。
DSP_INDEX_PCH3_LCH5	R	22	0	DSP 用の割り込みインデックス・レジスタです。 PCH3 LCH5 に割り込み要因が発生したことを示します。
DSP_INDEX_PCH3_LCH4	R	21	0	DSP 用の割り込みインデックス・レジスタです。 PCH3 LCH4 に割り込み要因が発生したことを示します。
DSP_INDEX_PCH3_LCH3	R	20	0	DSP 用の割り込みインデックス・レジスタです。 PCH3 LCH3 に割り込み要因が発生したことを示します。
DSP_INDEX_PCH3_LCH2	R	19	0	DSP 用の割り込みインデックス・レジスタです。 PCH3 LCH2 に割り込み要因が発生したことを示します。
DSP_INDEX_PCH3_LCH1	R	18	0	DSP 用の割り込みインデックス・レジスタです。 PCH3 LCH1 に割り込み要因が発生したことを示します。

名 称	R/W	ビット	リセット時	機 能
DSP_INDEX_PCH3_LCH0	R	17	0	DSP用の割り込みインデックス・レジスタです。 PCH3 LCH0に割り込み要因が発生したことを示します。
DSP_INDEX_PCH2_LCH14	R	16	0	DSP用の割り込みインデックス・レジスタです。 PCH2 LCH14に割り込み要因が発生したことを示します。
DSP_INDEX_PCH2_LCH13	R	15	0	DSP用の割り込みインデックス・レジスタです。 PCH2 LCH13に割り込み要因が発生したことを示します。
DSP_INDEX_PCH2_LCH12	R	14	0	DSP用の割り込みインデックス・レジスタです。 PCH2 LCH12に割り込み要因が発生したことを示します。
Reserved	-	13	-	予約。読み出すと0を返します。
DSP_INDEX_PCH2_LCH10	R	12	0	DSP用の割り込みインデックス・レジスタです。 PCH2 LCH10に割り込み要因が発生したことを示します。
DSP_INDEX_PCH2_LCH9	R	11	0	DSP用の割り込みインデックス・レジスタです。 PCH2 LCH9に割り込み要因が発生したことを示します。
Reserved	-	10	-	予約。読み出すと0を返します。
DSP_INDEX_PCH2_LCH5	R	9	0	DSP用の割り込みインデックス・レジスタです。 PCH2 LCH5に割り込み要因が発生したことを示します。
DSP_INDEX_PCH2_LCH4	R	8	0	DSP用の割り込みインデックス・レジスタです。 PCH2 LCH4に割り込み要因が発生したことを示します。
DSP_INDEX_PCH2_LCH3	R	7	0	DSP用の割り込みインデックス・レジスタです。 PCH2 LCH3に割り込み要因が発生したことを示します。
DSP_INDEX_PCH2_LCH2	R	6	0	DSP用の割り込みインデックス・レジスタです。 PCH2 LCH2に割り込み要因が発生したことを示します。
DSP_INDEX_PCH2_LCH1	R	5	0	DSP用の割り込みインデックス・レジスタです。 PCH2 LCH1に割り込み要因が発生したことを示します。
DSP_INDEX_PCH2_LCH0	R	4	0	DSP用の割り込みインデックス・レジスタです。 PCH2 LCH0に割り込み要因が発生したことを示します。
DSP_INDEX_PCH0_LCH3	R	3	0	DSP用の割り込みインデックス・レジスタです。 PCH0 LCH3に割り込み要因が発生したことを示します。
DSP_INDEX_PCH0_LCH2	R	2	0	DSP用の割り込みインデックス・レジスタです。 PCH0 LCH2に割り込み要因が発生したことを示します。
DSP_INDEX_PCH0_LCH1	R	1	0	DSP用の割り込みインデックス・レジスタです。 PCH0 LCH1に割り込み要因が発生したことを示します。
DSP_INDEX_PCH0_LCH0	R	0	0	DSP用の割り込みインデックス・レジスタです。 PCH0 LCH0に割り込み要因が発生したことを示します。

第3章 機能詳細

3.1 DMA転送の概要

DMA 転送は、転送の種類により次のように分類されます。転送の種類ごとに物理チャンネルを持っています。物理チャンネル1 (PCH#1) はありません。

表 3 - 1 転送の種類とチャンネル数

転送の種類	メモリ メモリ	メモリ ペリフェラル	ペリフェラル メモリ
物理チャンネル名	PCH#0	PCH#2	PCH#3
LCH 数	4 チャンネル	11 チャンネル	11 チャンネル
2次元転送機能		注1	注1
タイマ機能	x	注2	注2
逆順転送機能		x	x

注 1. 2次元転送機能はメモリ側のみに搭載されています。

2. タイマ機能はUART (LCH0, LCH1, LCH2) チャンネルのみに搭載されています。

3.2 物理チャンネルの機能

3.2.1 メモリ メモリ転送 (PCH#0)

メモリ→メモリ転送は、ACPU からのレジスタ設定により、ソース・アドレスからディスティネーション・アドレスへのデータ転送を実行します。メモリ→メモリ転送を行うブロックは、AB0 領域、MEMC 領域、SRC 領域で、すべての組み合わせの転送を想定しています。ただし、書き潰しが発生する転送には対応していません (画像データの右スクロールなど)。転送の最小単位はバイトです。

物理チャンネル0 (PCH#0) は、メモリ→メモリ間転送専用チャンネルであり、それぞれ ACPU のレジスタ設定により制御を行います。PCH#0 の配下には4チャンネルの論理チャンネル (LCH0~3) が存在しており、ラウンドロビン方式のアービトラージによりトランザクション単位で調停されます。

表 3 - 2 メモリ → メモリ転送 組み合わせ

メモリ メモリ転送	AB0 領域	SRC	MEMC 領域
AB0 領域			
SRC 領域			
MEMC 領域			

(1) LCH アービトレーション制御**(a) リード制御部**

DMA 起動コントロール・レジスタの設定 (DMA_ARM_CONT) により, DMA 転送開始が指示されている LCH に関してラウンドロビン方式の調停を実行し, 転送対象の LCH を決定します。

ただし, LCH ごとに割り当てられた FIFO に 68 バイト (64 バイト+4 バイト) 以上の空き領域がない場合, 調停に参加することはできません。

(b) ライト制御部

リード制御部同様, DMA 起動コントロール・レジスタの設定により, DMA 転送開始が指示されている LCH に関してラウンドロビン方式の調停を実行し, 転送対象の LCH を決定します。ただし, LCH ごとに割り当てられた FIFO に 64 バイト以上の有効データが存在するか, リード制御部からの最終データ転送完了信号がアサートされており総転送長の転送が完了している場合のみ調停に参加することができます。

(2) AHB アクセス制御**(a) リード制御部**

リード制御部の AHB 転送バースト・サイズは転送効率向上のため, 8 バースト (INCR8) と 16 バースト (INCR16) のみを使用します。また, INCR16 の転送開始アドレスは 64 バイト境界から, INCR8 の転送開始アドレスは 32 バイト境界からのみとします。転送数が 32 バイト以下の場合, 無効データを含んだ INCR8 での転送を行います。

転送数が 32 バイトに満たない場合も INCR8 転送を行い, DMAC 内部で必要データのみを FIFO に取り込みます。不要データは FIFO 格納の際に破棄されます。

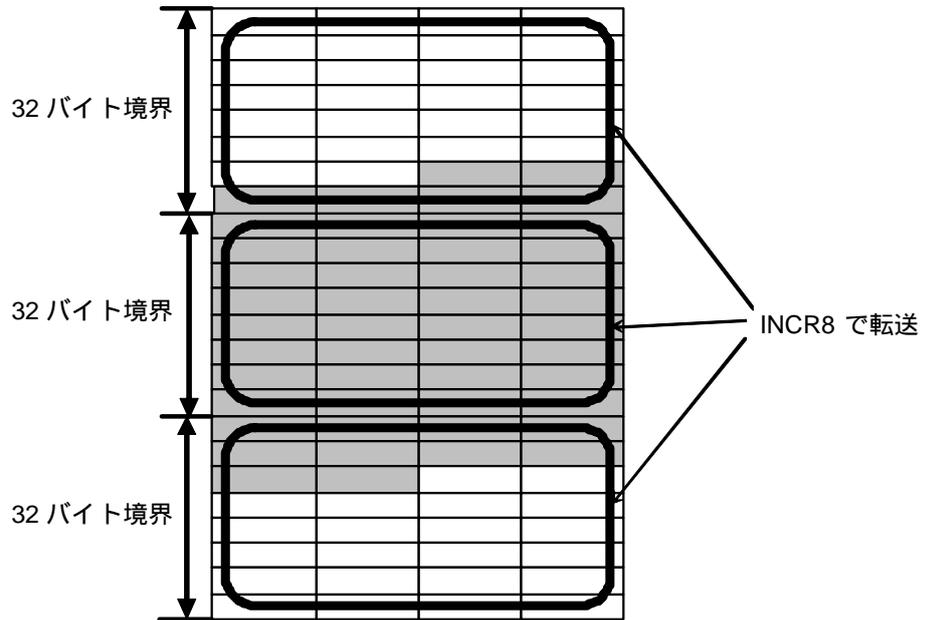
転送バースト・サイズは次のルールに従います。

表 3-3 転送バースト・サイズの選択 (リード制御部)

転送開始アドレス	転送バースト・サイズ
64 バイト境界	INCR16 (16 バースト)
32 バイト境界	INCR8 (8 バースト)
その他	INCR8 (8 バースト), 不要データは破棄

次に、AHB リードの転送のイメージを示します。

図 3 - 1 転送バースト・サイズを選択例 (AHB リードの場合)



備考  : 有効な転送データ

(b) ライト制御部

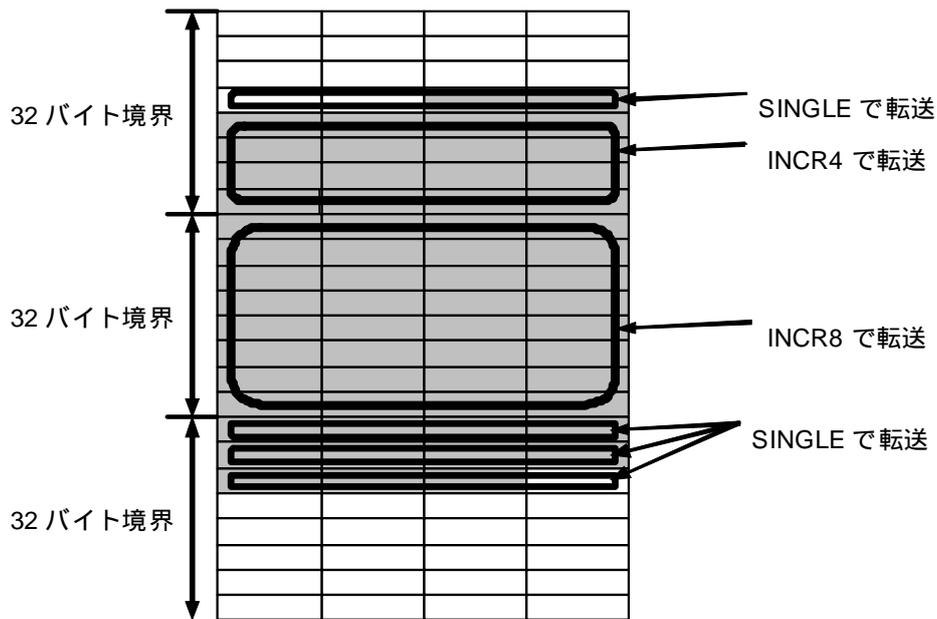
ライト制御部の AHB 転送バースト・サイズは 16 バースト (INCR16) を基本とします。ただし、INCR16 の転送開始アドレスは 64 バイト境界からのみとします。転送開始アドレスが 64 バイト境界でない場合は次の転送に分割します。転送バースト・サイズは次のルールに従って、可能な限り大きいバースト・サイズを選択します。

表 3-4 転送バースト・サイズを選択 (ライト制御部)

転送開始アドレス	転送バースト・サイズ
64 バイト境界	INCR16 (16 バースト)
32 バイト境界	INCR8 (8 バースト)
16 バイト境界	INCR4 (4 バースト)
その他	SINGLE (バイト, ハーフ・ワード転送も含む)

次に、AHB ライトの転送のイメージを示します。

図 3-2 転送バースト・サイズを選択例 (AHB ライトの場合)



備考 : 有効な転送データ

(3) アドレス制御

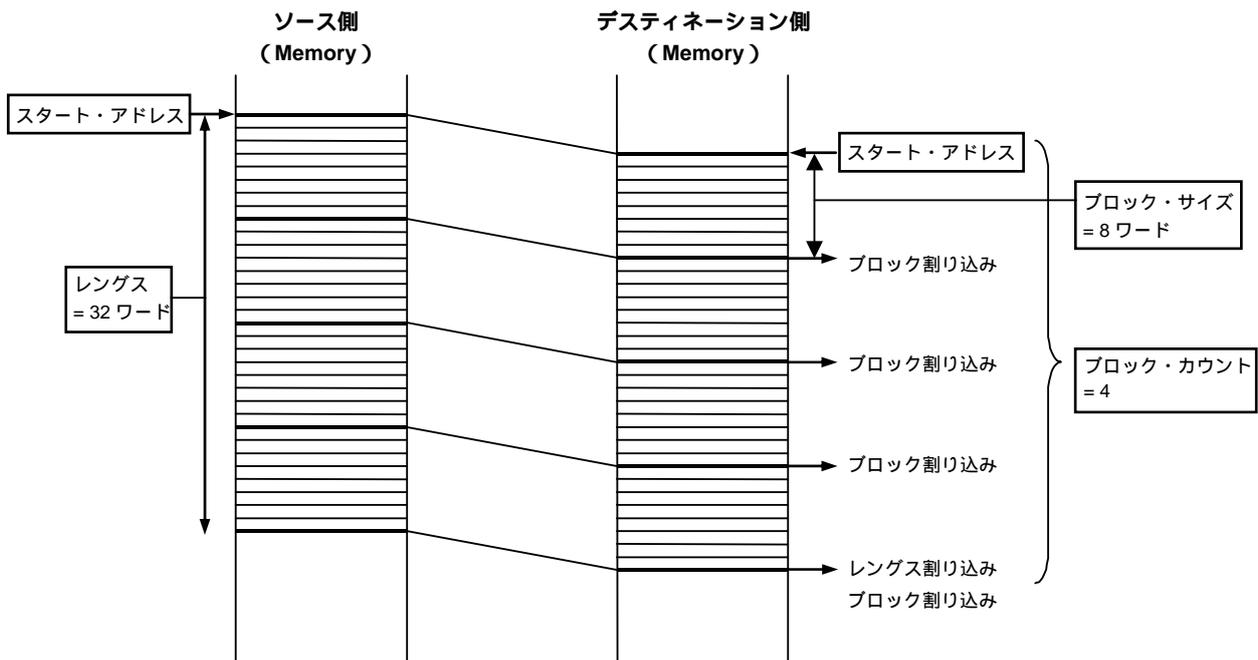
(a) メモリ メモリ転送（一次元転送）

メモリ → メモリ転送は，ソース側，デスティネーション側ともにオフセット機能が搭載されています。

メモリ間転送で，一次元転送の場合の転送例は次のようになります。

ソース側，デスティネーション側ともに，スタート・アドレスから順にアドレスをインクリメントして転送を続けます。ブロック・サイズ分の転送，レングス分の転送が終わったら，それぞれ割り込み要求信号が出力されます。ブロックとレングスの割り込みの種類は，それぞれに管理されています。

図 3-3 メモリ → メモリ転送（一次元転送の例）

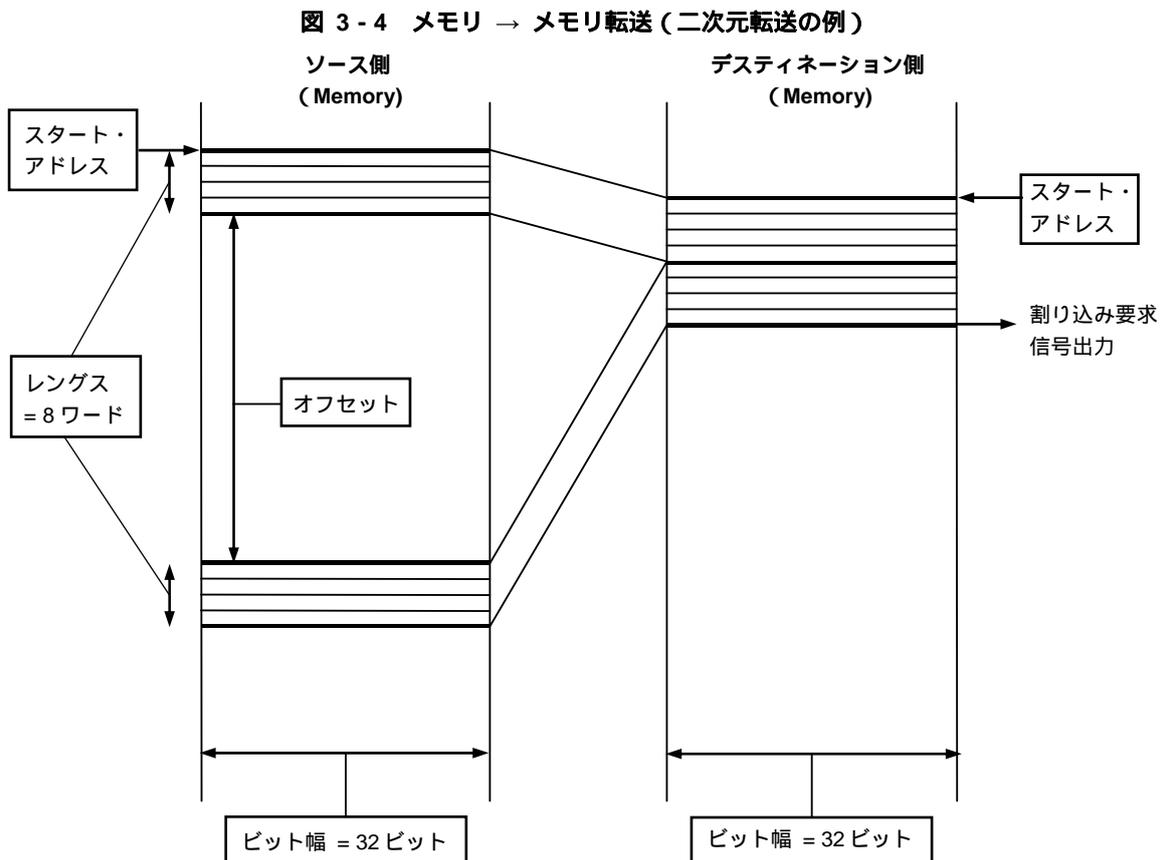


備考 ブロック・サイズごとの割り込み出力を出したくない場合は，ブロック・サイズ=レングスに設定しておきます。この場合，DMA 転送完了時にレングス割り込みとブロック割り込みが同時に発生します。

(b) メモリ メモリ転送 (二次元転送)

メモリ間転送で、二次元転送を行う場合の転送例です。

ソース側は、スタート・アドレスからブロック・サイズ分だけインクリメントし、ブロック・サイズ分のインクリメント完了後、設定したオフセットをアドレスに加えて再びブロック・サイズ分のアクセスを行います。一方、デスティネーション側のアドレスはインクリメンタルに生成します。総転送量の転送完了時に割り込み要求信号を発行します。次の例は、デスティネーション側にオフセットがない場合ですが、ブロック・サイズを指定した転送やオフセットを設定した転送も可能です。



(c) メモリ メモリ転送 (リピート転送)

メモリ間転送で、デスティネーション側のみリピート転送を行う場合の転送例です。

ソース側は、転送開始アドレスからインクリメンタルに生成します。総転送量の転送完了時にレングス割り込みを発行します (ブロック割り込みの発生も可能です)。

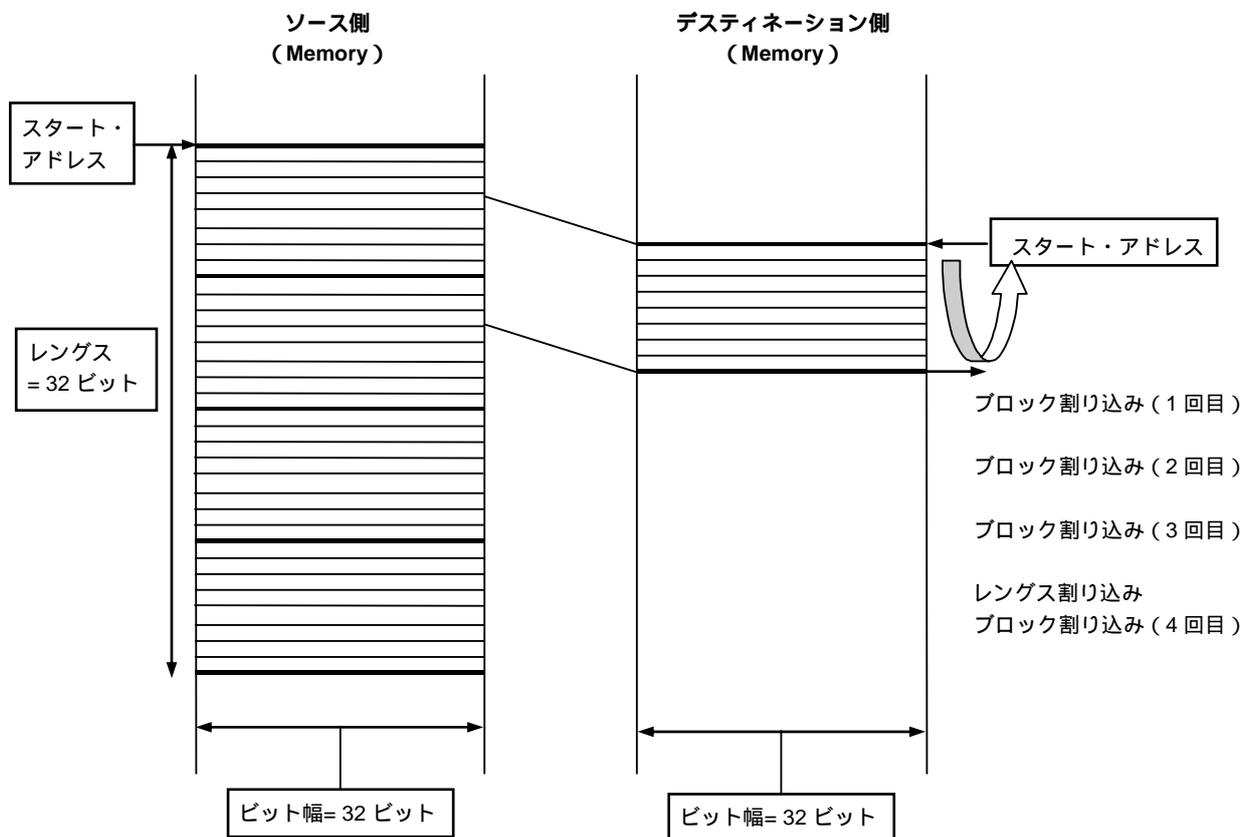
デスティネーション側は転送開始アドレスからブロック・サイズ分の転送が完了した時点で、ブロック割り込みを発行し、転送開始アドレスを初期値に戻します (ブロック・サイズ・カウント・レジスタで、ブロック数を設定している場合は、設定したブロック数を転送した時点で転送開始アドレスを初期値へ戻します)。総転送量の転送完了時に割り込み要求信号を発行します。リピート転送を行う場合は1次元転送 (オフセット0) である必要があります。

次に示しているのは、ソース側はリピートなしの設定ですが、デスティネーション側同様にリピート設定が可能な例です。

また、リピート転送時にレングス設定を“0”にすると無限長転送になります。

リピート転送設定時には各パラメータはワード単位のみ設定が可能です。

図 3-5 メモリ → メモリ転送 (リピート転送の例)



(d) メモリ メモリ転送 (逆順転送)

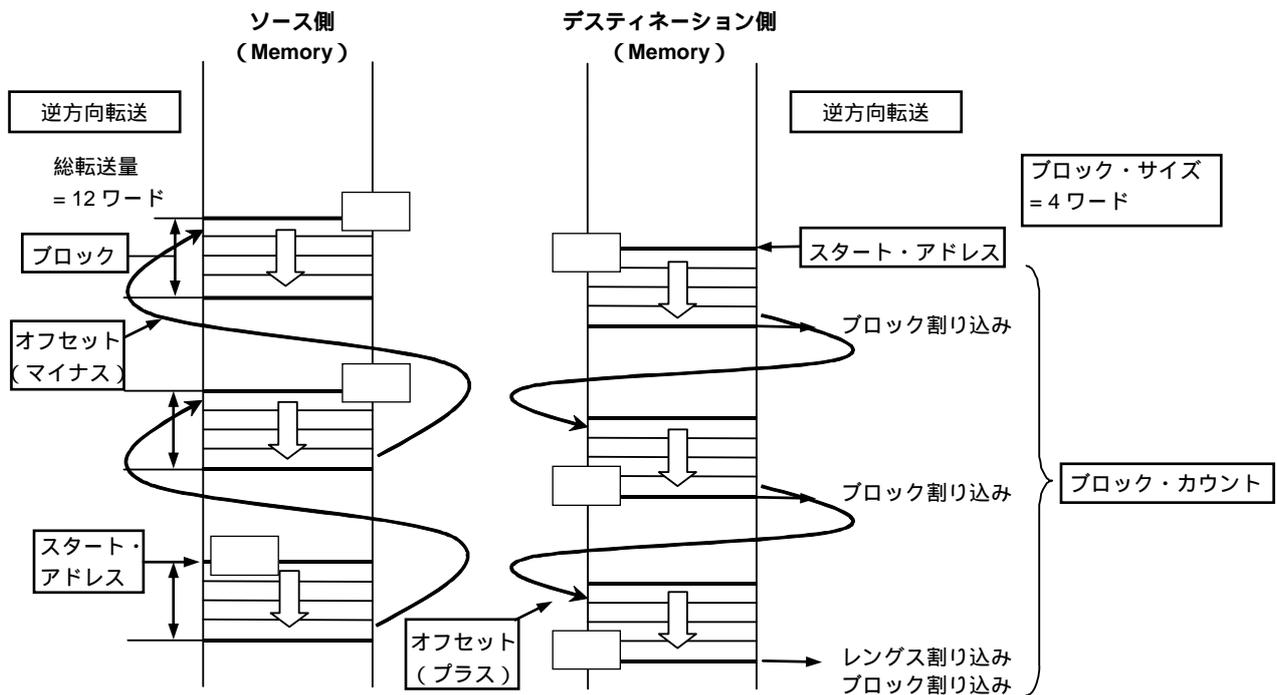
メモリ → メモリ転送は、ソース側、ディスティネーション側それぞれにブロック単位の逆順転送機能が搭載されています (マイナス方向へのオフセット設定を利用して逆順転送機能を実現しています)。

ソース側を逆順転送、ディスティネーション側を順方向転送に設定した場合の例を次に示します。

ソース側は、スタート・アドレスからブロック・サイズだけインクリメントし、ブロック・サイズ分のインクリメント完了後、設定したオフセット分をアドレスから減算し、再びブロック・サイズ分のアクセスを行います。一方、ディスティネーション側のアドレスはオフセット分を加算します。

次の例は、ディスティネーション側を順方向に設定した場合ですが、ディスティネーション側を逆順転送に設定した転送や、両方を逆順転送に設定した転送も可能です。

図 3-6 メモリ → メモリ転送 (逆順転送の例)



(4) データ制御

(a) リード制御部

リード制御部とライト制御部の間に 256 バイト×4 エントリの FIFO を内蔵しています。

リード制御部は、有効データがワード単位でなくてもワード分のデータをリードし、無効データとともに FIFO に格納します。FIFO に書き込んだデータの有効バイトをライト制御部に通知するためリード制御部からライト制御部に FIFO リード・ポインタの加算値を出力します。

表 3 - 5 転送タイプの選択と FIFO リード・ポインタ加算値

転送開始アドレス		転送タイプ	FIFO リード・ポインタ加算値
64 バイト境界		INCR16	0
32 バイト境界		INCR8	0
その他	ワード境界	INCR8	0
	SA[1:0] = 3H	INCR8	+3
	SA[1:0] = 2H	INCR8	+2
	SA[1:0] = 1H	INCR8	+1

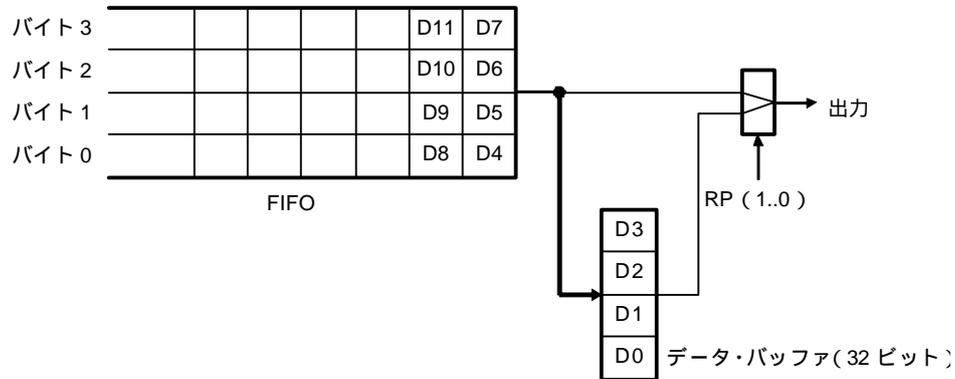
備考 SA : ソース・アドレス

また、リード制御部は、レングス・レジスタに設定された転送長の転送が完了した時点で、ライト制御部に対して転送完了信号を出力します。ライト制御部はこの信号を受けて、FIFO に残っているデータをすべて書き出します。

(b) ライト制御部

ライト制御部は、パラメータレジスタに設定されたディスティネーションにデータをライトするために FIFO から必要データを読み出します。LCH 制御の調停によって選択された LCH のエントリのリード・ポインタが示す位置からリードを開始します。バイト単位の転送を可能にするため、データのアライメント処理が必要となります。

リード/ライト制御部にそれぞれエンディアン変換機能を搭載しています。



WP[1:0]	RP[1:0]	出力[31:24]	出力[23:16]	出力[15:8]	出力[7:0]	転送タイプ
00	00	D3	D2	D1	D0	ワード
00	01	D4	D3	D2	D1	ワード
00	10	D5	D4	D3	D2	ワード
00	11	D6	D5	D4	D3	ワード
01	00	-	-	D0	-	バイト
		D2	D1	-	-	ハーフ・ワード
01	01	-	-	D1	-	バイト
		D3	D2	-	-	ハーフ・ワード
01	10	-	-	D2	-	バイト
		D4	D3	-	-	ハーフ・ワード
01	11	-	-	D3	-	バイト
		D5	D4	-	-	ハーフ・ワード
10	00	D1	D0	-	-	ハーフ・ワード
10	01	D2	D1	-	-	ハーフ・ワード
10	10	D3	D2	-	-	ハーフ・ワード
10	11	D4	D3	-	-	ハーフ・ワード
11	00	D0	-	-	-	バイト
11	01	D1	-	-	-	バイト
11	10	D2	-	-	-	バイト
11	11	D3	-	-	-	バイト

備考 WP : ライト・ポインタ, RP : FIFO のリード・ポインタ

3.2.2 メモリ ペリフェラル転送 (PCH#2)

メモリ → ペリフェラル転送は、ACPU からのレジスタ設定のほかに、各モジュールからのリクエスト信号に応じて、ソース・アドレスからディスティネーション・アドレスへのデータ転送を開始します。

メモリ → ペリフェラル転送を行うブロックは、次のブロックです。

表 3-6 メモリ → ペリフェラル転送組み合わせ

LCH	メモリ ペリフェラル転送	AB0 領域	MEMC 領域
#0	UART0		
#1	UART1		
#2	UART2		
#3	SDIA		
#4	SDIB		
#5	SDIC		
#6	リザーブ (未使用)	-	-
#7	リザーブ (未使用)	-	-
#8	リザーブ (未使用)	-	-
#9	PCM0 (audio serial)		
#10	PCM1 (audio serial)		
#11	リザーブ (未使用)	-	-
#12	SPI 0		
#13	SPI 1		
#14	SPI 2 (GD)		

物理チャンネル 2 (PCH#2) はメモリ→ペリフェラル間転送専用チャンネルです。PCH#2 の配下には 11 チャンネルの論理チャンネル (LCH0 ~ LCH14) が存在しており、ラウンドロビン方式のアービトレーションによりバースト転送単位で調停されます。LCH6-LCH8, LCH11 はリザーブ・チャンネルであり使用することができません。

(1) LCH アービトレーション制御

(a) リード制御部

PCH#0 と同様の処理を行います。

(b) ライト制御部

DMA 起動コントロール・レジスタにより、DMA 転送開始が指示されており、各ペリフェラルからの転送リクエスト信号がアクティブになっている LCH について、ラウンドロビン方式のアービトレーションを実行し、転送対象の LCH を決定します。ただし、LCH ごとに割り当てられた FIFO にペリフェラルへの 4 バイト以上の有効データが存在する場合のみ調停に参加することができます。

(2) AHB アクセス制御

(a) リード制御部

PCH#0 と同様の処理を行います。ただし、転送バースト・サイズは INCR8 のみを使用します。

(b) ライト制御部

ライト制御部の AHB アクセスはシングル転送のみで行います。転送ビット幅はペリフェラルの仕様に合わせて 8 ビット / 16 ビット / 32 ビットの転送をサポートします。各ペリフェラルがサポートする転送ビット幅に合わせて、各論理チャンネルのモード・レジスタの転送ビット幅を設定してください。

表 3-7 メモリ → ペリフェラル転送組み合わせと転送ビット幅

論理チャンネル	ペリフェラル名称	サポートする転送ビット幅
#0	UART0	DMA は 8 ビット, 16 ビット, 32 ビットのすべてに対応します。 実際の設定はペリフェラルの仕様に合わせてください。
#1	UART1	
#2	UART2	
#3	SDIA	
#4	SDIB	
#5	SDIC	
#6	リザーブ (未使用)	
#7	リザーブ (未使用)	
#8	リザーブ (未使用)	
#9	PCM0 (audio serial)	
#10	PCM1 (audio serial)	
#11	リザーブ (未使用)	
#12	SPI 0	
#13	SPI 1	
#14	SPI 2 (GD)	

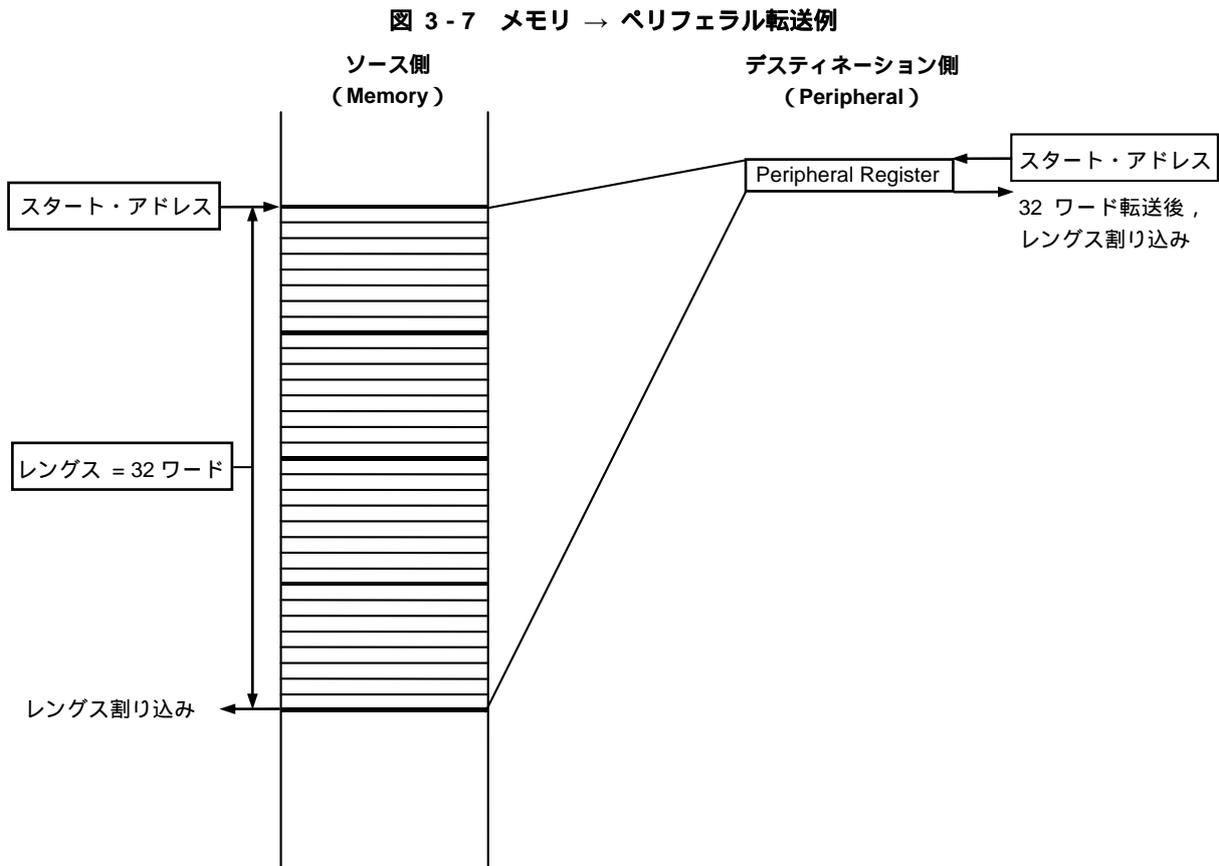
(3) アドレス制御

(a) リード制御部

PCH#0 と同様の処理を行います。

(b) ライト制御部

ペリフェラル側は、スタート・アドレス・レジスタへ設定した値を更新せず、アドレス固定となります。一方、メモリ側はスタート・アドレス・レジスタへ設定した値をインクリメントします。レングス分の転送完了時に割り込み要求信号を発行します(メモリ → メモリ 転送の例のようにブロック・サイズを設定してブロック・サイズごとの割り込み出力も可能です)。ペリフェラル転送の例を次に示します。



(4) データ制御

(a) リード制御部

リード制御部とライト制御部の間に 128 バイト×12 エントリの FIFO を内蔵しています。
その他の基本的な制御は PCH#0 と同様です。

(b) ライト制御部

ライト制御部はパラメータ・レジスタに設定されたディスティネーションにデータをライトするため FIFO から必要データを読み出します。ペリフェラル側の転送バス幅によって、FIFO のリード・ポインタ制御が変わります。

表 3 - 8 PCH#2 ライト制御部のデータ・アライメント

ペリフェラル側の転送バス幅	RP	選択するバイト・レーン	RP 加算量
8 ビット	00	n	+1
	01	n+1	
	10	n+2	
	11	n+3	
16 ビット	00	n	+2
	01	n+1	
	10	n+2	
	11	n+3	
32 ビット	00	n	+4
	01	n+1	
	10	n+2	
	11	n+3	

(5) タイムアウト機能

3.2.3 (5) タイムアウト機能を参照してください。

3.2.3 ペリフェラル メモリ転送 (PCH#3)

ペリフェラル → メモリ転送は、ACPU からのレジスタ設定のほかに、各ペリフェラル・モジュールからのリクエスト信号に応じて、ソース・アドレスからディスティネーション・アドレスへのデータ転送を開始します。ペリフェラル → メモリ転送を行うブロックは、次のブロックです。

表 3-9 ペリフェラル → メモリ転送組み合わせ

LCH	ペリフェラル	メモリ転送	AB0 領域	MEMC 領域
#0	UART0			
#1	UART1			
#2	UART2			
#3	SDIA			
#4	SDB			
#5	SDC			
#6	リザーブ (未使用)		-	-
#7	リザーブ (未使用)		-	-
#8	リザーブ (未使用)		-	-
#9	PCM0 (audio serial)			
#10	PCM1 (audio serial)			
#11	リザーブ (未使用)		-	-
#12	SPI 0			
#13	SPI 1			
#14	SPI 2 (GD)			

物理チャンネル 3 (PCH#3) はペリフェラル→メモリ間転送専用チャンネルです。PCH#3 の配下には 11 チャンネルの論理チャンネルが存在しており、ラウンドロビン方式のアービトレーションにより、シングル転送単位で調停されます。

(1) LCH アービトレーション制御

(a) リード処理

DMA 起動コントロール・レジスタにより DMA 転送開始が指示されており、かつ各ペリフェラルからの転送リクエスト信号がアクティブになっている LCH について、ラウンドロビン方式のアービトレーションを実行し、転送対象の LCH を決定します。ただし、16 エントリのエントリ・バッファに 1 つ以上の空き領域が存在する場合のみ調停に参加することができます。

(b) ライト処理

調停処理は行わず、エントリ・バッファに登録された順に処理を行います。

(2) AHB アクセス制御

(a) リード処理

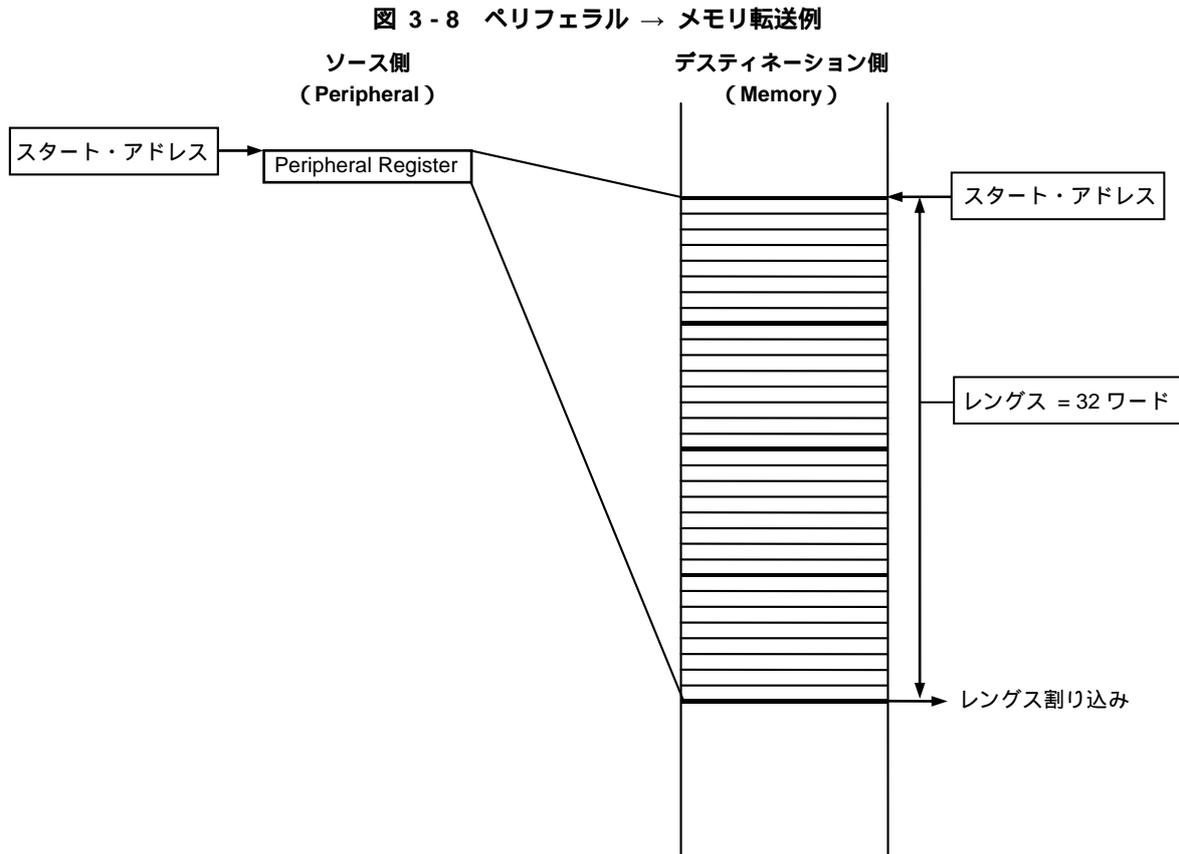
AHB アクセスはシングル転送で行います。転送ビット幅はペリフェラルの仕様に合わせて 8 ビット / 16 ビット / 32 ビットの転送をサポートしており、モード・レジスタにて転送ビット幅を設定可能です。

(b) ライト処理

AHB アクセスはシングル転送で行います。メモリにライトする際の転送ビット幅は、エントリ・バッファのエントリ情報に応じて可変とします。

(3) アドレス制御

ペリフェラル側は、スタート・アドレス・レジスタへ設定した値を更新せず、アドレス固定となります。一方、メモリ側はスタート・アドレス・レジスタへ設定した値をインクリメントします。レングス分の転送完了時に割り込み要求信号を発行します(メモリ → メモリ 転送の例のようにブロック・サイズを設定してブロック・サイズごとの割り込み出力も可能です)。ペリフェラル転送の例を次に示します。



(4) データ制御

(a) リード制御部

リード制御部とライト制御部の間に 4 バイト×16 エントリのエントリ・バッファを内蔵しています。

リード制御部はシングル転送で読み込んだデータをトランザクションごとに 1 エントリを消費しながらエントリ・バッファに書き込みます。また、それと同時に書き込んだデータのエントリ情報をエントリ情報レジスタに格納します。エントリ情報レジスタに格納する情報は、LCH 番号と有効バイト数です。

(b) ライト制御部

転送データをエントリされた順に呼び出し、エントリ情報レジスタに示された LCH 番号のパラメータと有効バイト数を AHB アクセス制御部に渡します。

(5) タイムアウト機能

メモリ ↔ UART 転送では、ある一定期間ペリフェラルから DMA へのリクエストが来なかった場合に、DMA 転送を終了するタイムアウト機能があります。この機能を使うには、モード・レジスタのタイマ使用設定と、タイマ・レジスタにタイムアウトまでの時間を設定します（このタイムアウト機能は UART0-UART2 専用の機能です）。

タイマ・カウントは DMA 起動後、最初の DMARQ を受け付けたときから開始します。

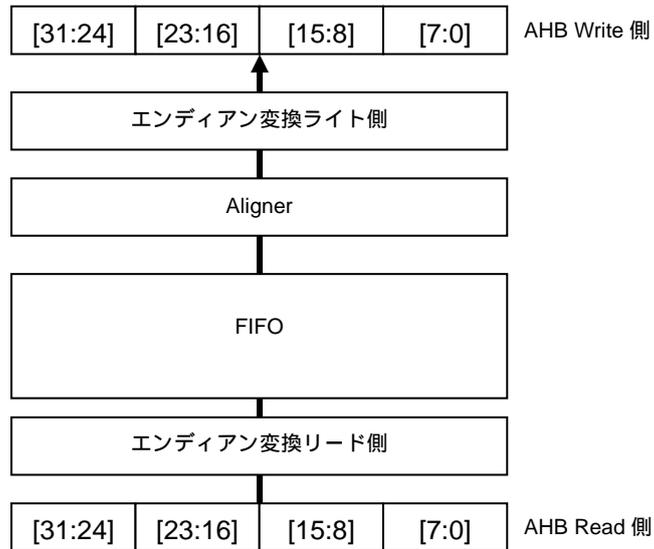
再度 DMARQ を受けると、タイマ・レジスタの値にカウントをリセットして、再度カウントダウンを開始します。

3.3 エンディアン変換機能

本 DMAC は、リード制御部およびライト制御部にはバイト・エンディアン変換機能を搭載しています。

エンディアン変換を利用する場合、パラメータ設定はワード単位である必要があります。この条件を満足しないパラメータでエンディアン変換を行った場合、転送ブロックごとに先頭の 4 バイト、最終 4 バイトが、不正なデータに化ける可能性があります。ただし、3.3.3 エンディアン変換例外設定の条件での転送は例外的に可能とします。

図 3 - 9 エンディアン処理実施のタイミング



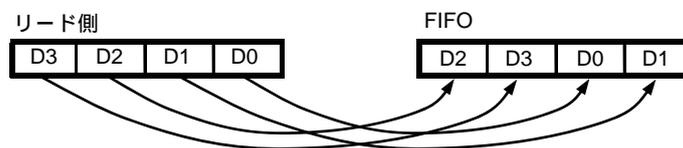
3.3.1 リード制御部エンディアン機能

バイトごとにデータ・バッファ（FIFO）に取り込むデータのバイト・レーンを選択することができます。

- バイト0の取り込みデータ → AHB リード・データのバイト0, バイト1, バイト2, またはバイト3 から選択可能
- バイト1の取り込みデータ → AHB リード・データのバイト0, バイト1, バイト2, またはバイト3 から選択可能
- バイト2の取り込みデータ → AHB リード・データのバイト0, バイト1, バイト2, またはバイト3 から選択可能
- バイト3の取り込みデータ → AHB リード・データのバイト0, バイト1, バイト2, またはバイト3 から選択可能

図 3 - 10 リード制御部分でのエンディアン変換基本例

XXX_ENDI_R = B1H → 10 11 00 01



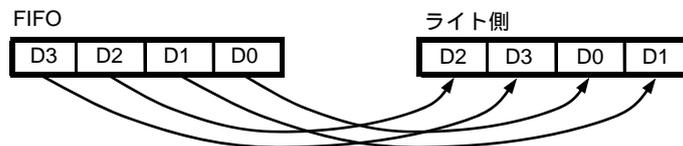
3.3.2 ライト制御部エンディアン機能

バイトごとにライト対象ペリフェラルのバイト・レーンを選択することができます。

- バイト0の書き込みデータ → ライト・データのバイト0, バイト1, バイト2, またはバイト3 から選択可能
- バイト1の書き込みデータ → ライト・データのバイト0, バイト1, バイト2, またはバイト3 から選択可能
- バイト2の書き込みデータ → ライト・データのバイト0, バイト1, バイト2, またはバイト3 から選択可能
- バイト3の書き込みデータ → ライト・データのバイト0, バイト1, バイト2, またはバイト3 から選択可能

図 3 - 11 ライト制御部分でのエンディアン変換基本例

XXX_ENDI_W = B1H → 10 11 00 01



3.3.3 エンディアン変換例外設定

基本的には、エンディアン変換を行う場合は、各種パラメータはワード単位で設定する必要があります。ただし、次の条件を満足する場合、例外としてワード単位以外のパラメータ設定が可能です。

次に、LENGTH、BLOCK、OFFSET 共にワードの場合の M2M 転送 (PCH0) におけるエンディアン変換の可否をまとめます。

転送アドレス境界		エンディアン変換可否	
SourceAddress[1:0]	DestinationAddress[1:0]	Read 側	Write 側
ワード ・・・下位アドレス 00	ワード		
	ハーフ・ワード		注
	バイト		×
ハーフ・ワード ・・・下位アドレス 10	ワード	注	
	ハーフ・ワード	注	注
	バイト	注	×
バイト ・・・下位アドレス 01 10	ワード	×	
	ハーフ・ワード	×	注
	バイト	×	×

注 ハーフ・ワード単位の変換なら可能です。例： D3D2D1D0 → D2D3D0D1

3.4 DMA転送起動要因

DMAC 転送の起動要因には次の 2 種類があります。

3.4.1 ソフトウェアによる要求 (PCH#0)

DMAC の DMA 起動コントロール・レジスタに"1"が設定されると、DMA 転送を開始します。

3.4.2 DMAC外部端子による要求 (PCH#2, PCH#3)

ソフトウェアからの DMA 起動コントロール・レジスタ制御で、DMA 起動が指示されている状態で、対応するペリフェラルからの DMA 要求が発生すると、DMA 転送を開始します。

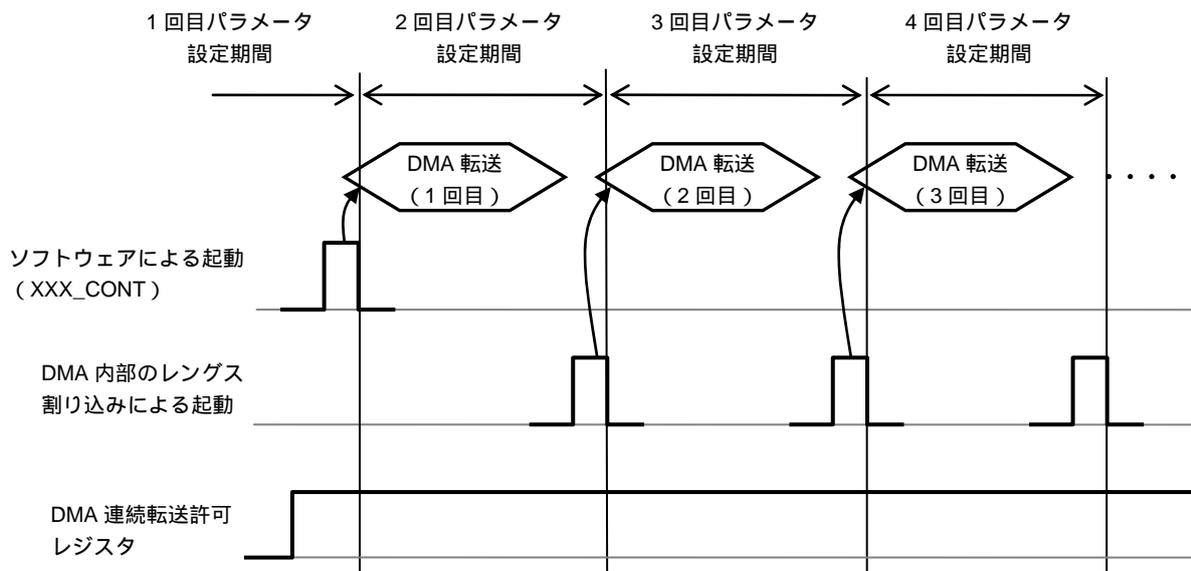
3.4.3 連続転送機能

パラメータ設定レジスタは予約機能を持っており、該当チャンネルのDMAを起動したあと、次の転送パラメータをあらかじめ設定しておくことができます。パラメータ予約は、該当チャンネルのDMA起動直後から次のDMA起動までの間に行う必要があります。また、DMA連続転送許可レジスタの該当チャンネルのビットが“1”に設定されている必要があります。

連続転送の手順を次に示します。

- 転送パラメータ設定 (1 回目)
- DMA 起動
- 転送パラメータ設定 (2 回目)
- レンジス割り込み待ち レンジス割り込み発生 (1 回目)
- 転送パラメータ設定 (3 回目)
- レンジス割り込み待ち レンジス割り込み発生 (2 回目)
- 転送パラメータ設定 (4 回目)
- レンジス割り込み待ち レンジス割り込み発生 (3 回目)
- :(繰り返し)

図 3 - 12 連続転送機能



3.5 強制中断

DMA 転送が強制中断する要因は次の3種類です。

(1) エラー応答による強制中断

3.6 レスポンスを参照してください。

(2) DMA 終了コントロール・レジスタによる中断

DMA 転送中に DMA 終了コントロール・レジスタを設定することで、実行中の DMA 転送を強制的に終了させることができます。強制終了後、内部ステートは初期化されます。

注意 メモリ ↔ ペリフェラル転送時には、強制中断後ペリフェラル側の内部ステートも初期化してください。

(3) タイムアウト (UART のみ) による強制中断

3.2.3 (5) タイムアウト機能を参照してください。

3.6 レスポンス

DMAC が AHB マスタとなって動作するときに、HRESP[1:0] によって DMAC は次のような動作をします。

表 3 - 10 HRESP に対する DMA 動作

HRESP	OKAY	ERROR	RETRY	SPLIT
DMA 動作	通常動作	転送中断 割り込み発生	転送中断 割り込み発生	転送中断 割り込み発生

ERROR 応答は、DMAC がデバイスの存在しないアドレスにアクセスしたか、あるいは電源 OFF 中の DSP へアクセスした場合に発生します。その場合、動作を継続しても正常な結果を得られないので、DMAC は転送を中断し、割り込みを発生します。このとき、割り込み要因としてスレーブ・レスポンス・エラーであることがわかるようになっています。

スレーブ側は RETRY、SPLIT で応答することはありません。万が一この応答があった場合は何らかの障害が起きていると考えられるので、DMAC は転送を中断し、割り込みを発生します。このとき、割り込み要因としてスレーブ・レスポンス・エラーであることがわかるようになっています。

3.7 割り込み

割り込み信号が出力する要因は次の4種類があります。

- タイムアウト終了
ペリフェラルからの DMA リクエストがタイマに設定された時間を経過しても入力されないときに発生します。
- エラー終了
DMA が正常終了しなかったとき (AHB のエラー応答が発生したとき) に発生します。
- ブロック転送終了
PCH#0,PCH#3 はディスティネーション (ライト) 側のブロック転送終了ごとに発生します。
PCH#2 はソース (リード) 側のブロック転送終了ごとに発生します。
- レンクス転送終了
通常の DMA 転送終了。ディスティネーション (ライト) 側のレンクス転送終了時に発生します。

割り込み信号は、プロセッサ (ACPU / ADSP) ごとに1本が出力されます。

割り込みの出力先は割り込み出力先設定レジスタにより、論理チャンネル単位で設定可能です。

タイムアウト終了のタイミング・チャートは、3.2.3 (5) タイムアウト機能を参照してください。

割り込み信号の発生と、割り込み要因の関係を次に示します

	タイムアウト		エラー		ブロック		レンクス	
	リード側	ライト側	リード側	ライト側	リード側	ライト側	リード側	ライト側
PCH#0	-	-			×		-	
PCH#2	-					-	-	
PCH#3		-			-		-	

備考 : この要因の割り込みステータスが発生したとき、割り込み端子がハイ・レベルになります。

× : 割り込み端子に反映されない割り込み要因です。

- : 対象外 (要因なし)。

3.8 内部クロック制御

DMAC は物理チャネル別に AHB クロック制御を行います。

クロック要求信号 (DMA_PCHnCLKREQ : n = 0, 2, 3) を SMU に出力することによりクロックが入力されます。

PCH0

PCH0 のクロック要求信号は、各 LCH の DMA ステータスを OR した信号になっています (DMA コントロール・レジスタへいずれかの LCH を有効にした時点でクロックが供給されます)。

PCH2

PCH2 のクロック要求は、リード側 (メモリ側) は起動中の LCH の FIFO ライト許可信号が 1 つでも True になったとき、ライト側 (ペリフェラル側) はすべての DMARQ を OR した信号を 5 クロック引き伸ばした信号をそれぞれ OR したのになっています。

また、DMARQ を OR した信号 (PCH2_TXDMARQ) を ASMU に供給しており、ASMU はこの信号が“1”になったとき DMA_PCH2_CLK を供給します。

PCH3

PCH3 のクロック要求は、すべての DMARQ を OR した信号を 5 クロック引き伸ばした信号と、FIFO がエンプティでない条件と、リード側 / ライト側のトランザクション発行中信号をすべて OR した信号になります。

第4章 使用方法

4.1 使用上の注意

4.1.1 パラメータ設定の制限

DMAC のパラメータ・レジスタ設定には次のような制限があります。

これらの制限に違反する設定をした場合の DMA 動作は保証しません。

- 無限長転送を行う場合は、リピート転送が有効である必要があります。また、オフセットは 0 である必要があります。
- リピート転送は、オフセットが 0 (1 次元リピート転送) である必要があります。
- エンディアン処理を利用する場合、パラメータ設定はワード単位である必要があります (3.3.3 エンディアン変換例外設定の例外を参照してください)。
- PCH#1 はリザーブです。

(1) PCH#0

	レジスタ	設定可能最小単位
ソース側	アドレス	バイト
	オフセット	バイト
ディスティネーション側	アドレス	バイト
	オフセット	バイト
共通	ブロック・サイズ	バイト
	レンジス	バイト

(2) PCH#2

	レジスタ	設定可能最小単位
ソース側	アドレス	バイト
	オフセット	バイト
	ブロック・サイズ	バイト
ディスティネーション側	アドレス	バイト
共通	レンジス	バイト

(3) PCH#3

	レジスタ	設定可能最小単位
ソース側	アドレス	バイト
ディスティネーション側	アドレス	バイト
	オフセット	バイト
	ブロック・サイズ	バイト
共通	レンジス	バイト

備考 1. モード・レジスタの転送ビット設定が「ワード」の場合は、最小設定単位はワード単位になります。

- 2.** モード・レジスタの転送ビット設定が「ハーフ・ワード」の場合は、最小設定単位はハーフ・ワード単位になります。

[メ モ]

【改版履歴】

日付	版数	改版内容	承認	作成担当
2009.1.30	暫定1版	-	岡ノ谷	三浦
2009.3.31	第2版	P6 関連資料 ・ MC-10118A(EM1-D512) , μ PD77630A(EM1-S)のデータ・シートおよびユーザズ・マニュアル 1chip 編を追記。 ・ 電源チップ編を削除。	岡ノ谷	三浦
		全般 ・ LCH7 , 11 は Reserved に変更 ・ 各レジスタ詳細の Reserved ビットの R/W 属性を R - に変更		
		P10 1.1 概要 (1)機能 最下段の項目 <u>PM0</u> とのメモリ・・・ <u>PCM0</u> とのメモリ・・・ 誤記訂正		
		P140 表 3-1 ・ LCH 数 メモリ ペリフェラル : 13 チャンネル 11 チャンネル ペリフェラル メモリ : 13 チャンネル 11 チャンネル LCH7,11 が Reserved になったことによる。 ・注2 タイマ機能は UART (LCH0 ,LCH1 ,LCH2 ,LCH3) ,SIO(LCH7) タイマ機能は UART (LCH0 , LCH1 , LCH2)		
2009.6.30	第3版	P10 1.1 概要(1)機能 30 の論理チャンネル 26 の論理チャンネル 誤記訂正	岡ノ谷	三浦

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係，技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。
