

ユーザーズ・マニュアル

携帯マルチメディア・プロセッサ

システム制御 / 汎用入出力インタフェース編

EMMA MobileTM1

資料番号 R19UH0029JJ0500 (第5版)
(S19265JJ5V0UM00)

発行年月 June 2010

© 2010 Renesas Electronics Corporation. All rights reserved.

[メ モ]

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電氣的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

はじめに

対象者 このマニュアルは、携帯マルチメディア・プロセッサ EMMA Mobile1（以降、EM1 と表記します）のシステム制御 / 汎用入出力インタフェースの機能を理解し、それを用いたソフトウェア、ハードウェアなどのアプリケーション・システムを設計するユーザを対象とします。

目的 このマニュアルは、EM1 のシステム制御 / 汎用入出力インタフェースが持つハードウェア、ソフトウェア機能をユーザに理解していただき、これらのデバイスを使用するシステムのハードウェア、ソフトウェア開発の参照用資料として役立つことを目的としています。

構成 このマニュアルは、大きく分けて次の内容で構成しています。

- 第 1 章 概 説
- 第 2 章 端子機能
- 第 3 章 レジスタ
- 第 4 章 機能詳細
- 第 5 章 使用方法
- 付録 A クロック一覧

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータに関する一般的知識が必要となります。

- ・ EM1 のシステム制御 / 汎用入出力インタフェースの機能の詳細を理解しようとするとき
→ 目次に従ってお読みください。
- ・ EM1 全体の機能を理解しようとするとき
→ モジュールごとのユーザズ・マニュアルを参照してください。
- ・ EM1 全体の電気的特性を理解しようとするとき
→ データ・シートを参照してください。

凡 例	データ表記の重み：	左が上位桁，右が下位桁
	注：	本文中につけた注の説明
	注意：	気をつけて読んでいただきたい内容
	備考：	本文中の補足説明
	数の表記：	2進数 ... ××××または××××b 10進数 ... ×××× 16進数 ... ××××H
	データ・タイプ	ワード ... 32ビット ハーフ・ワード ... 16ビット バイト ... 8ビット

関連資料 関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

資料名		資料番号
MC-10118A/B データ・シート		R19DS0008JJ (S19657J)
μ PD77630A データ・シート		S19686J
ユーザーズ・マニュアル	Audio/Voice，PWM インタフェース編	R19UH0027JJ (S19253J)
	DDR SDRAM インタフェース編	R19UH0028JJ (S19254J)
	DMA コントローラ編	S19255J
	I ² C インタフェース編	S19256J
	ITU-R BT.656 インタフェース編	S19257J
	LCD コントローラ編	S19258J
	MICROWIRE 編	S19259J
	NAND Flash インタフェース編	S19260J
	SPI 編	S19261J
	UART インタフェース編	S19262J
	イメージ・コンポーザ編	S19263J
	イメージ・プロセッサ・ユニット編	S19264J
	システム制御 / 汎用入出力インタフェース編	このマニュアル
	タイマ編	S19266J
	地上デジタルTV インタフェース編	S19267J
	カメラ・インタフェース編	S19285J
	USB インタフェース編	S19359J
	SD メモリ・カード・インタフェース	S19361J
	PDMA 編	S19373J
	1 チップ編 (MC-10118A/B)	R19UH0030JJ (S19598J)
	1 チップ編 (μ PD77630A)	R19UH0031JJ (S19687J)

() 内は旧資料番号

注意 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料を使用してください。

この資料に記載されている会社名、製品名などは、各社の商標または登録商標です。

目 次

第 1 章 概 説・・・14

1.1 システム制御 (ASMU) の特徴・・・14

1.1.1 クロック生成, 制御・・・14

1.1.2 リセット生成, 制御・・・14

1.2 汎用入出力インタフェース (GIO) の特徴・・・15

1.3 ブロック図・・・16

1.3.1 システム制御のブロック図・・・16

1.3.2 汎用入出力インタフェースのブロック図・・・17

第 2 章 端子機能・・・18

2.1 システム制御・・・18

2.2 汎用入出力・・・19

第 3 章 レジスタ・・・22

3.1 レジスタ一覧・・・22

3.1.1 ASMU・・・22

3.1.2 汎用入出力制御・・・28

3.2 レジスタ機能 (ASMU)・・・32

3.2.1 リセット制御レジスタ 0・・・32

3.2.2 リセット要求レジスタ 0・・・33

3.2.3 RESETREQ0 のセット/リセット・イネーブル・レジスタ・・・35

3.2.4 リセット要求レジスタ 1・・・37

3.2.5 RESETREQ1 のセット/リセット・イネーブル・レジスタ・・・39

3.2.6 リセット要求レジスタ 2・・・41

3.2.7 RESETREQ2 のセット/リセット・イネーブル・レジスタ・・・42

3.2.8 ウォッチドック・タイマ強制リセット制御レジスタ・・・43

3.2.9 リセット・レジスタ値変化時, 挿入クロック数設定レジスタ・・・45

3.2.10 自動遷移許可レジスタ・・・47

3.2.11 クロック・モード選択レジスタ・・・48

3.2.12 システム用PLL1 設定レジスタ 0・・・50

3.2.13 システム用PLL1 設定レジスタ 1・・・51

3.2.14 シリアル・クロック用PLL2 設定レジスタ 0・・・52

3.2.15 シリアル・クロック用PLL2 設定レジスタ 1・・・53

3.2.16 システム用PLL3 設定レジスタ 0・・・54

3.2.17 システム用PLL3 設定レジスタ 1・・・55

3.2.18 PLLロック時間設定レジスタ・・・56

3.2.19 PLL自動スタンバイ・モード・レジスタ・・・57

3.2.20 PLL電源安定時間設定レジスタ	58
3.2.21 クロック停止命令信号状態レジスタ	59
3.2.22 32.768 kHzクロック・ステータス・レジスタ	59
3.2.23 電源履歴用汎用レジスタ	60
3.2.24 割り込みステータス・レジスタ	60
3.2.25 割り込みRawステータス・レジスタ	61
3.2.26 割り込みイネーブル・セット・レジスタ	61
3.2.27 割り込みイネーブル・クリア・レジスタ	62
3.2.28 割り込みイネーブル・モニタ・レジスタ	62
3.2.29 割り込みクリア・レジスタ	63
3.2.30 Normal Mode A分周設定レジスタ	64
3.2.31 Normal Mode B分周設定レジスタ	65
3.2.32 Normal Mode C分周設定レジスタ	66
3.2.33 Normal Mode D分周設定レジスタ	67
3.2.34 Economy Mode分周設定レジスタ	68
3.2.35 Standby Mode , Sleep Mode分周設定レジスタ	69
3.2.36 Power ON Mode分周設定レジスタ	70
3.2.37 SP0_SCLK用分周設定レジスタ	71
3.2.38 SP1_SCLK用分周設定レジスタ	73
3.2.39 SP2_SCLK用分周設定レジスタ	75
3.2.40 MEMC_RCLK用分周設定レジスタ	77
3.2.41 CAM_SCLK用分周設定レジスタ	79
3.2.42 LCD_LCLK用分周設定レジスタ	81
3.2.43 IIC_SCLK用設定レジスタ	83
3.2.44 TI0_TIN / TW0_TIN用設定レジスタ	85
3.2.45 TI1_TIN / TW1_TIN用設定レジスタ	86
3.2.46 TI2_TIN / TW2_TIN用設定レジスタ	87
3.2.47 TI3_TIN / TW3_TIN用設定レジスタ	88
3.2.48 TG0-5_TIN用設定レジスタ	89
3.2.49 タイマ・クロック分周設定レジスタ	91
3.2.50 MWI_SCLK用分周設定レジスタ	93
3.2.51 DMA_TCLK用分周設定レジスタ	95
3.2.52 U70_SCLK用分周設定レジスタ	97
3.2.53 U71_SCLK用分周設定レジスタ	99
3.2.54 U72_SCLK用分周設定レジスタ	101
3.2.55 PM0_SCLK用分周設定レジスタ	103
3.2.56 PM1_SCLK用分周設定レジスタ	105
3.2.57 REFCLK用分周設定レジスタ	107
3.2.58 PWMPWCLK用分周設定レジスタ	108
3.2.59 AHBマクロ・クロック制御レジスタ 0	110
3.2.60 AHBマクロ・クロック制御レジスタ 1	112
3.2.61 APB(PB0)スレーブ・マクロ・クロック制御レジスタ 0	113
3.2.62 APB(PB1)スレーブ・マクロ・クロック制御レジスタ 1	115

3.2.63	クロック制御レジスタ	117
3.2.64	マクロ・クロック・ゲート制御レジスタ0	118
3.2.65	GCLKCTRL0 のセット/リセット・イネーブル・レジスタ	120
3.2.66	マクロ・クロック・ゲート制御レジスタ1	122
3.2.67	GCLKCTRL1 のセット/リセット・イネーブル・レジスタ	124
3.2.68	マクロ・クロック・ゲート制御レジスタ2	126
3.2.69	GCLKCTRL2 のセット/リセット・イネーブル・レジスタ	128
3.2.70	マクロ・クロック・ゲート制御レジスタ3	130
3.2.71	GCLKCTRL3 のセット/リセット・イネーブル・レジスタ	132
3.2.72	周波数自動切り替え制御レジスタ	134
3.2.73	周波数自動切り替え制御REQMASK0 レジスタ	136
3.2.74	周波数自動切り替え制御REQMASK1 レジスタ	137
3.2.75	自動周波数制御のハーフ・モード・レジスタ	138
3.2.76	FLA_CLKディレイ調整レジスタ	140
3.2.77	MEMC_CLK270 切り替えレジスタ	141
3.2.78	バリア・ゲート制御レジスタ	142
3.2.79	クイック・リカバリ・バックアップ有効/無効設定レジスタ	143
3.2.80	クイック・リカバリ クロック分周器設定レジスタ	145
3.2.81	ADSP/ACPU用フェイク・モード・レジスタ	145
3.2.82	電源状態ステータス・レジスタ	146
3.2.83	電源スイッチ有効/無効設定レジスタ	147
3.2.84	L1 電源スイッチ制御レジスタ	149
3.2.85	ACPU電源スイッチ制御レジスタ	150
3.2.86	ADSP電源スイッチ制御レジスタ	151
3.2.87	ADSPバリア・ゲート制御レジスタ	152
3.2.88	ACPUバリア・ゲート制御レジスタ	152
3.2.89	電源スイッチ自動制御の許可禁止レジスタ	153
3.2.90	L1 電源スイッチ自動制御トリガ・レジスタ	154
3.2.91	ADSP電源スイッチ自動制御トリガ・レジスタ	155
3.2.92	L1 バリア・ゲート制御レジスタ	156
3.2.93	L1 バリア・ゲート制御レジスタ2	158
3.2.94	ACPU書き逃げ制御レジスタ	158
3.2.95	ADSP書き逃げ制御レジスタ	159
3.2.96	HXB書き逃げ制御レジスタ	159
3.2.97	ステータス履歴レジスタ	160
3.2.98	ACPU_INITレジスタ	161
3.2.99	xxx用ウェイト・コントロール・レジスタ	162
3.2.100	xxx用リード・モード・レジスタ	165
3.2.101	FLASHCLK制御レジスタ	167
3.2.102	L2 (USB) 電源スイッチ, バリア・ゲート制御レジスタ	168
3.2.103	L2 (USB) 電源スイッチ自動制御イネーブル・レジスタ	169
3.2.104	L2 (USB) 電源スイッチ制御レジスタ	170
3.2.105	L3 (AVC) 電源スイッチ, バリア・ゲート制御レジスタ	171

3.2.106 L3 (AVC) 電源スイッチ自動制御イネーブル・レジスタ	172
3.2.107 L3 (AVC) 電源スイッチ制御レジスタ	173
3.2.108 PLL状態ステータス・レジスタ	174
3.2.109 MEMCIO (L0) – MEMC (L1)間バリア・ゲート制御レジスタ	175
3.2.110 リセット要求レジスタ 3	176
3.2.111 RESETREQ3 のセット / リセット・イネーブル・レジスタ	177
3.2.112 APB(PB0)スレーブ・マクロ・クロック制御レジスタ 2	178
3.2.113 マクロ・クロック・ゲート制御レジスタ 4	179
3.2.114 GCLKCTRL4 のセット / リセット・イネーブル・レジスタ	180
3.2.115 周波数自動切り替え制御REQMASK3 レジスタ	181
3.2.116 自動周波数制御のFIFO残量モード・レジスタ	182
3.2.117 周波数自動切り替え制御FIFOMODE_REQMASKレジスタ	183
3.2.118 自動周波数制御のLCD_FIFOの残量しきい値レジスタ	183
3.2.119 自動周波数制御のCAM_FIFOの残量しきい値レジスタ	184
3.2.120 CAM用SAFEリセット・レジスタ	184
3.2.121 DTV用SAFEリセット・レジスタ	185
3.2.122 USB用SAFEリセット・レジスタ	185
3.2.123 クロック制御レジスタ 1	186
3.2.124 SDIA用ウェイト・コントロール・レジスタ	187
3.2.125 SDIA用リード・モード・レジスタ	190
3.2.126 ASMU-MEMC間ハンドシェーク機能切り替えレジスタ	192
3.2.127 USBコアセレクトレジスタ	192
3.3 レジスタ機能 (汎用入出力ポート)	193
3.3.1 ポート切り替え設定レジスタ (出力設定)	193
3.3.2 ポート切り替え設定レジスタ (入力設定) / ポート状態モニタ・レジスタ	194
3.3.3 出力データ設定レジスタ	195
3.3.4 出力データ設定レジスタ	196
3.3.5 入力データ・リード・レジスタ	197
3.3.6 入力ポート割り込み有効指定レジスタ	198
3.3.7 入力ポート割り込みイネーブル・レジスタ (マスク解除)	199
3.3.8 入力ポート割り込みディスエーブル設定レジスタ (マスク設定) / 入力ポート割り込みイネーブル・モニタ・レジスタ	200
3.3.9 入力ポート割り込みRawステータス・レジスタ	201
3.3.10 入力ポート割り込みマスカブル・ステータス・レジスタ	202
3.3.11 入力ポート割り込み要因リセット・レジスタ	203
3.3.12 GIO_INT_FIQ端子接続レジスタ	204
3.3.13 入力ポート割り込み検出方式レジスタ	205
3.3.14 入力ポート割り込み検出方式レジスタ	206
3.3.15 入力ポート割り込み検出方式レジスタ	207
3.3.16 入力ポート割り込み検出方式レジスタ	208
3.3.17 両エッジ検出時の各エッジの割り込みステータス・レジスタ	209
3.3.18 両エッジ検出時の各エッジの割り込みステータス・レジスタ	210
3.3.19 両エッジ検出時の各エッジの割り込み要因クリア・レジスタ	211

第4章 機能詳細・・・213

4.1 クロック制御・・・213

- 4.1.1 クロック系統の概略図・・・213
- 4.1.2 電源領域・・・214
- 4.1.3 動作モード・・・215
- 4.1.4 Normal Mode・・・217
- 4.1.5 Low Power Mode・・・218
- 4.1.6 Deep Low Power Mode・・・218
- 4.1.7 クロック・ソース・・・219
- 4.1.8 クロック・ソースの切り替え・・・221
- 4.1.9 クロック分周比の切り替え・・・221
- 4.1.10 GatedClock制御・・・222
- 4.1.11 GatedClock自動制御・・・222
- 4.1.12 周波数自動切り替え制御・・・222
- 4.1.13 クロック・ドメイン・・・223

4.2 リセット制御・・・224

- 4.2.1 リセット生成方法1・・・225
- 4.2.2 リセット生成方法2・・・225
- 4.2.3 ウォッチドッグ・タイマによるリセット・・・225
- 4.2.4 リセット信号生成一覧・・・226

4.3 電源ONの動作・・・227

4.4 汎用入出力の機能・・・228

- 4.4.1 入出力制御・・・228
- 4.4.2 出力データの設定と入力データの読み込み・・・229
- 4.4.3 割り込み検出方式の説明・・・230
- 4.4.4 割り込み検出のタイミング(同期検出)・・・233
- 4.4.5 割り込み検出のタイミング(非同期検出)・・・234

第5章 使用方法・・・235

5.1 クロック制御・・・235

- 5.1.1 クロック制御レジスタ使用方法・・・235

5.2 汎用入出力ポート・・・237

- 5.2.1 入力ポートの割り込み機能設定手順・・・237
- 5.2.2 割り込み検出方式を変更する場合の注意・・・237

付録A クロック一覧・・・238

図の目次

図番号	タイトル , ページ
図 4 - 1	クロック系統図 . . . 213
図 4 - 2	状態遷移図 (全体) . . . 215
図 4 - 3	状態遷移図 (Normal Mode) . . . 217
図 4 - 4	状態遷移図 (Low Power Mode) . . . 218
図 4 - 5	状態遷移図 (Deep Low Power Mode) . . . 218
図 4 - 6	PLL1 接続図 . . . 219
図 4 - 7	PLL1 接続図 . . . 220
図 4 - 8	クロック・ソース切り替え図 . . . 221
図 4 - 9	クロック分周比切り替え . . . 221
図 4 - 10	自動周波数制御切り替え . . . 222
図 4 - 11	クロック構成図 . . . 223
図 4 - 12	リセット構造図 . . . 224
図 4 - 13	双方向バッファとの接続図 . . . 228
図 4 - 14	割り込み検出のタイミング (同期検出) . . . 233
図 4 - 15	割り込み検出のタイミング図 (非同期検出) . . . 234
図 5 - 1	割り込み検出概要 . . . 237

表の目次

表番号	タイトル , ページ
図 4 - 1	クロック系統図 . . . 213
図 4 - 2	状態遷移図 (全体) . . . 215
図 4 - 3	状態遷移図 (Normal Mode) . . . 217
図 4 - 4	状態遷移図 (Low Power Mode) . . . 218
図 4 - 5	状態遷移図 (Deep Low Power Mode) . . . 218
図 4 - 6	PLL1 接続図 . . . 219
図 4 - 7	PLL1 接続図 . . . 220
図 4 - 8	クロック・ソース切り替え図 . . . 221
図 4 - 9	クロック分周比切り替え . . . 221
図 4 - 10	自動周波数制御切り替え . . . 222
図 4 - 11	クロック構成図 . . . 223
図 4 - 12	リセット構造図 . . . 224
図 4 - 13	双方向バッファとの接続図 . . . 228
図 4 - 14	割り込み検出のタイミング (同期検出) . . . 233
図 4 - 15	割り込み検出のタイミング図 (非同期検出) . . . 234
図 5 - 1	割り込み検出概要 . . . 237

第1章 概 説

このマニュアルでは、EM1 のシステム制御機能 (ASMU) と汎用入出力インタフェース機能 (GIO) について説明します。

ASMU は回路全体に対するクロックの生成と制御、リセット生成と制御、およびその他のシステム制御を行います。GIO は 118 本の入出力ポートを持つパラレル・インタフェースです。

1.1 システム制御 (ASMU) の特徴

1.1.1 クロック生成, 制御

- 起動時のシステムクロックは 32.768kHz 入力、32.768kHz を最大 7000 通倍した 229.376MHz(以降 230MHz と表記します)のクロックから選択されます。
- クロック生成及び Gated Clock の制御を行います。
- 同期化が必要なクロックは、32.768kHz 入力、230MHz、32.768kHz を最大 15250 通倍した 499.712MHz(以降 500MHz と表記します)のクロックのいずれか一つをリファレンスに、これを分周したクロックを生成します。
- ACPU へのクロック供給を独立して ON、OFF できます。
- レジスタ設定で各マクロへのクロックの供給の ON、OFF を制御できます。
- 低周波モードでは PLL 出力を分周したクロックで動作します。
- 各マスタ・モジュールからのクロック・リクエストがなくなった場合に、PLL1 を分周したクロックをシステム・クロックとする周波数自動制御機構を備えています (マスタからのクロック・リクエストが発生したら、ただちに 1 分周に切り替えます)。

1.1.2 リセット生成, 制御

- 各マクロのリセットを制御します。
- ASMU 以外は同期リセットを使用します。ソフトリセットを行う場合はマクロのクロックを必ず ON にしてください。
- 出力するリセット信号は各マクロ内で同期化します。

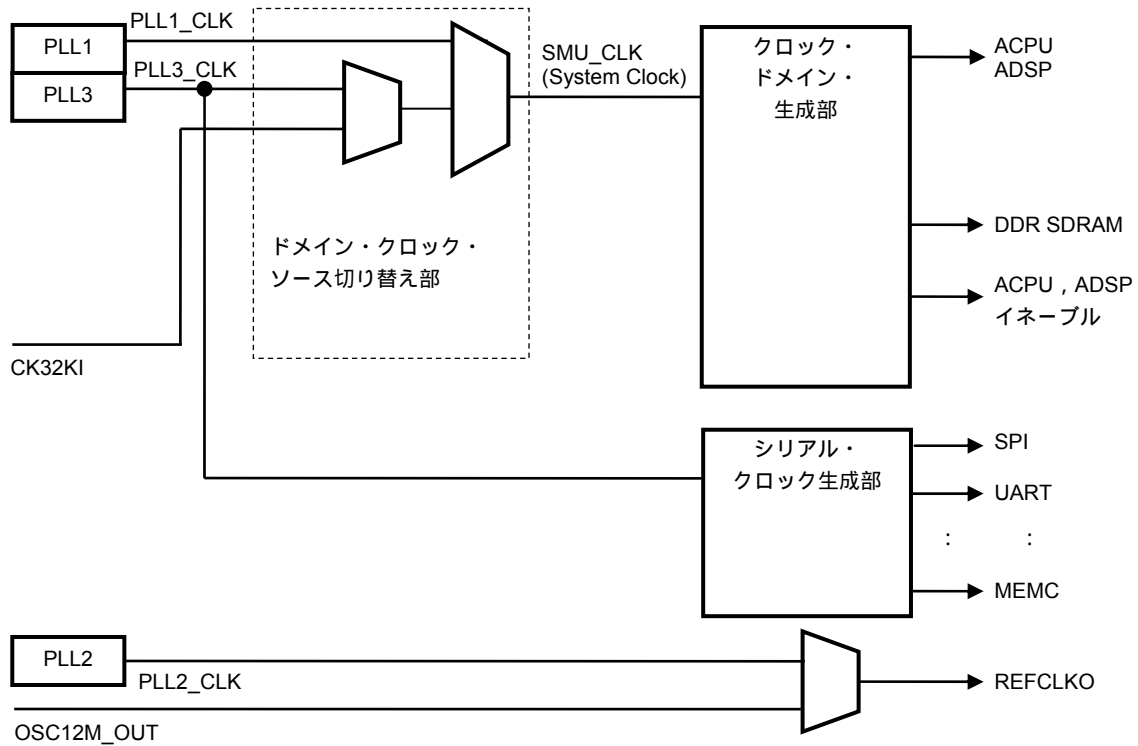
1.2 汎用入出力インタフェース (GIO) の特徴

- 入出力ポート 118 本を持つパラレル・インタフェース・ユニットです。
GIO ポート制御部は GIO_CLK (PCLK) の立ち上がりで、割り込み入力検出部は GIO_INT_CLK の立ち上がりで動作します。
- 内部機能は 83 MHz で動作します。
- 変化を検出したときに、アサートする割り込み端子を持っています。変化として次のものが選択できます。
 - 立ち上がりエッジ同期検出
 - 立ち下がりエッジ同期検出
 - ハイ・レベル同期検出
 - ロー・レベル同期検出
 - 両エッジ同期検出
 - 立ち上がりエッジ非同期検出
 - 立ち下がりエッジ非同期検出
 - ハイ・レベル非同期検出
 - ロー・レベル非同期検出
 - 両エッジ非同期検出
- 割り込み機能において、次のような制御を行う内部レジスタを持っています。
 - 個々に割り込み機能を持たせるか否かを設定できます。
 - 割り込み要因に設定した入力ポートに対して、割り込み Enable を個々に設定できます。
 - 割り込み要因保持レジスタを有して、割り込み要因ステータスを保持します。
 - 割り込み要因クリアコマンドにより、割り込み要因を個々にクリアできます。
 - 両エッジ検出モード時に、立ち上がり、立ち下がりどちらのエッジで発生した要因かを確認できます。
 - 両エッジ検出モード時に、立ち上がり、立ち下がりそれぞれで発生した要因を個別にクリアできます。
- 任意の入力ポートの割り込み検出結果を、出力端子"GIO_INT_FIQ"から出力し、INTC マクロに FIQ 通知する機能を備えています。
- GIO_INT 信号は、GPIO ポート数 16 本につき 1 本を保有します (本マクロではポート 118 本に対して割り込み信号を 8 本保有しています)。
 - GIO0_INT = GIO0 ~ GIO15 ポートに対応
 - GIO1_INT = GIO16 ~ GIO31 ポートに対応
 - GIO2_INT = GIO32 ~ GIO47 ポートに対応
 - GIO3_INT = GIO48 ~ GIO63 ポートに対応
 - GIO4_INT = GIO64 ~ GIO79 ポートに対応
 - GIO5_INT = GIO80 ~ GIO95 ポートに対応
 - GIO6_INT = GIO96 ~ GIO111 ポートに対応
 - GIO7_INT = GIO112 ~ GIO127 ポートに対応

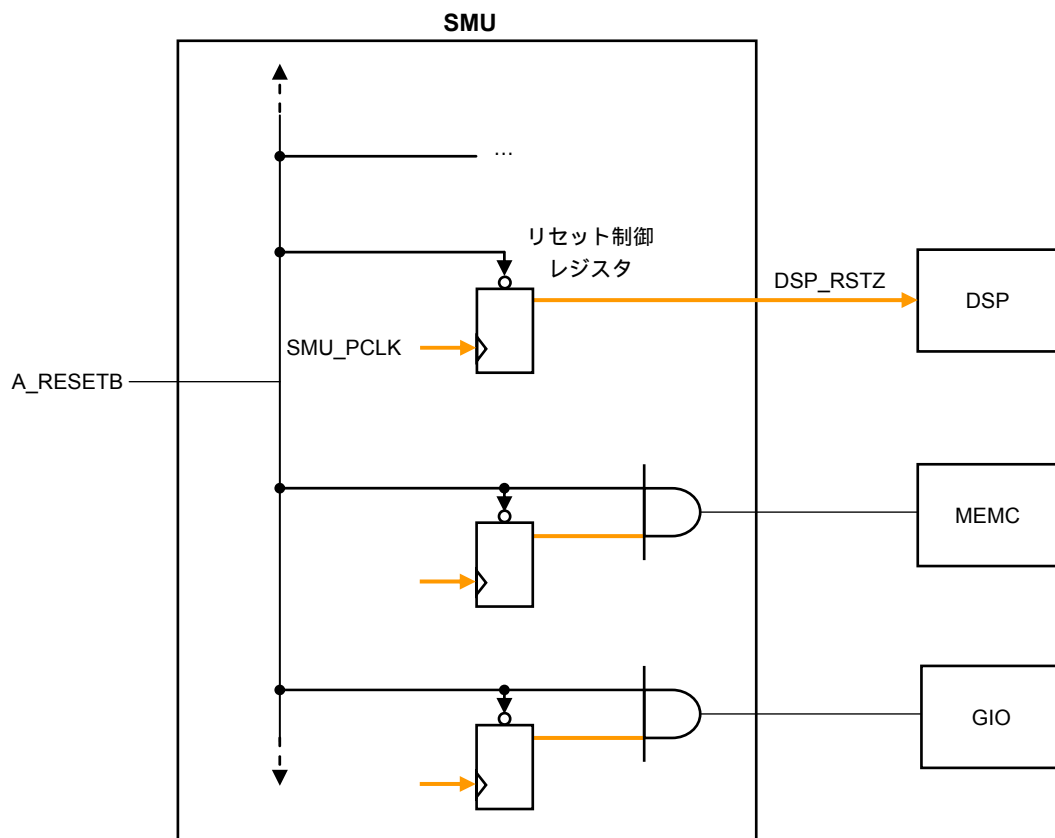
1.3 ブロック図

1.3.1 システム制御のブロック図

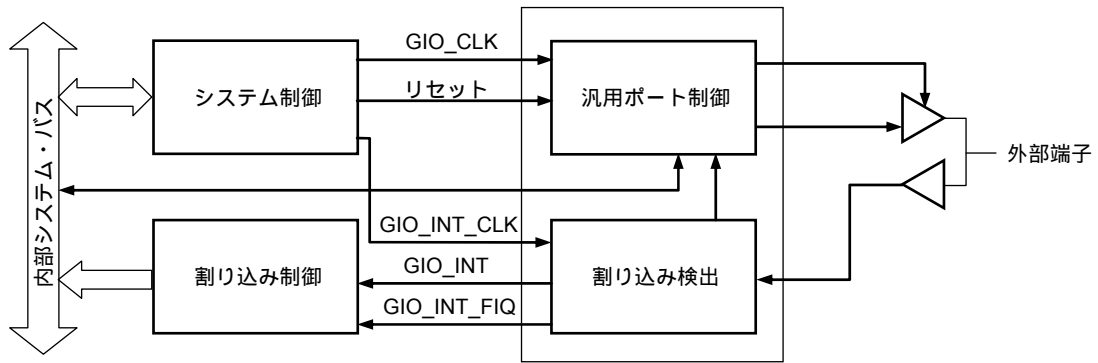
(1) クロック制御部



(2) リセット制御部



1.3.2 汎用入出力インタフェースのブロック図



第2章 端子機能

2.1 システム制御

3.3 V 系 / 1.8V 系

端子名	入出力	機 能	兼用端子
DET1	入力	パワーオン・リセット	-
A_RESETB	入力	システム・リセット	-
C32K	入力	基準クロック (32.768 kHz)	-
REFCLKO	出力	リファレンス・クロック	PLL2OUT OSC12M_OUT
PLL2OUT	出力	内部 PLL2 出力	REFCLKO OSC12M_OUT
OSC12M_OUT	出力	内部 OSC 出力	REFCLKO PLL2OUT
ERR_RST_REQB	出力	エラー・リセット要求	-
OSC12M_CK1	入力	OSC XT1	-
OSC12M_CK0	出力	OSC XT2	-

2.2 汎用入出力

1.8 / 3.3 V 系 (1/3)

端子名	入出力	機 能	兼用端子
GIO_P[117:114]	入出力	汎用 IO	SD2_DATA[3:0] NAND_D[7:4]
GIO_P113	入出力	汎用 IO	SD2_CMD NAND_D3
GIO_P112	入出力	汎用 IO	SD2_CKO NAND_D2
GIO_P111	入出力	汎用 IO	URT2_RTSTB NAND_D1
GIO_P110	入出力	汎用 IO	URT2_CTSB NAND_D0
GIO_P109	入出力	汎用 IO	URT2_SOUT NAND_CLE
GIO_P108	入出力	汎用 IO	URT2_SRIN NAND_ALE
GIO_P107	入出力	汎用 IO	USB_NXT
GIO_P106	入出力	汎用 IO	USB_STP
GIO_P105	入出力	汎用 IO	USB_DIR
GIO_P[104:97]	入出力	汎用 IO	USB_DATA[7:0]
GIO_P96	入出力	汎用 IO	USB_CLK
GIO_P[95:94]	入出力	汎用 IO	PWM[1:0]
GIO_P93	入出力	汎用 IO	SD2_CKI NAND_OE
GIO_P92	入出力	汎用 IO	SD1_CKI CAM_CLKI
GIO_P91	入出力	汎用 IO	SD0_CKI
GIO_P[90:88]	入出力	汎用 IO	SD0_DATA[3:1] MS_DATA[3:1]
GIO_P87	入出力	汎用 IO	PM0_SI
GIO_P86	入出力	汎用 IO	URT0_RTSTB URT1_SOUT
GIO_P85	入出力	汎用 IO	URT0_CTSB URT1_SRIN
GIO_P84	入出力	汎用 IO	IIC_SDA
GIO_P83	入出力	汎用 IO	IIC_SCL
GIO_P82	入出力	汎用 IO	NTS_DATA7 PM1_SO
GIO_P81	入出力	汎用 IO	NTS_DATA6 SP1_CS5 PM1_SI

1.8 / 3.3 V 系 (2/3)

端子名	入出力	機 能	兼用端子
GIO_P80	入出力	汎用 IO	NTS_DATA5 SP1_CS4 PM1_SEN
GIO_P[79:76]	入出力	汎用 IO	NTS_DATA[4:1] SP1_CS[3:0] CAM_YUV[4:1]
GIO_P75	入出力	汎用 IO	NTS_DATA0 SP1_SO CAM_YUV0
GIO_P74	入出力	汎用 IO	NTS_HS SP1_SI
GIO_P73	入出力	汎用 IO	NTS_VS SP1_CLK
GIO_P72	入出力	汎用 IO	NTS_CLK PM1_CLK
GIO_P71	入出力	汎用 IO	LCD_ENABLE
GIO_P70	入出力	汎用 IO	LCD_VSYNC
GIO_P69	入出力	汎用 IO	LCD_HSYNC
GIO_P[68:63]	入出力	汎用 IO	LCD_B[5:0]
GIO_P[62:57]	入出力	汎用 IO	LCD_G[5:0]
GIO_P[56:51]	入出力	汎用 IO	LCD_R[5:0]
GIO_P50	入出力	汎用 IO	LCD_PXCLK
GIO_P[49:48]	入出力	汎用 IO	SP0_CS[2:1]
GIO_P[47:46]	入出力	汎用 IO	AB0_BEN[1:0]
GIO_P45	入出力	汎用 IO	AB0_CSB3 NTS_HS
GIO_P44	入出力	汎用 IO	AB0_CSB2 NTS_VS
GIO_P43	入出力	汎用 IO	AB0_CSB1 NTS_DATA7
GIO_P42	入出力	汎用 IO	AB0_CSB0 NTS_DATA6
GIO_P41	入出力	汎用 IO	AB0_WAIT NTS_DATA5
GIO_P40	入出力	汎用 IO	AB0_WRB NTS_DATA4
GIO_P39	入出力	汎用 IO	AB0_RDB NTS_DATA3
GIO_P38	入出力	汎用 IO	AB0_ADV
GIO_P[37:31]	入出力	汎用 IO	AB0_A[26:20] AB0_A[10:4]
GIO_P[30:28]	入出力	汎用 IO	AB0_A[19:17] NTS_DATA[2:0] AB0_A[3:1]
GIO_P[27:12]	入出力	汎用 IO	AB0_AD[15:0]

1.8 / 3.3 V 系 (3/3)

端子名	入出力	機 能	兼用端子
GIO_P11	入出力	汎用 IO	AB0_CLK NTS_CLK
GIO_P[10:7]	入出力	汎用 IO	NAND_CE[3:0]
GIO_P6	入出力	汎用 IO	NAND_RB3
GIO_P5	入出力	汎用 IO	NAND_RB2 CAM_SCLK
GIO_P4	入出力	汎用 IO	NAND_RB1
GIO_P[3:2]	入出力	汎用 IO	-
GIO_P1	入出力	汎用 IO	USB_WAKEUP USB_PWR_FAULT
GIO_P0	入出力	汎用 IO	-

第3章 レジスタ

3.1 レジスタ一覧

3.1.1 ASMU

Reserved レジスタへのライト・アクセスは行わないでください。読み出した場合は不定値が返ります。

各レジスタ内の Reserved ビットへは、0 以外を書き込まないでください。

ベース・アドレス：C011_0000H

(1/6)

アドレス	レジスタ名称	略 号	R/W	リセット時
0000H	リセット制御レジスタ 0	RESETCTRL0	R/W	0000_0000H
0004H	リセット要求レジスタ 0	RESETREQ0	R/W	8790_0007H
0008H	RESETREQ0 のセット / リセット・イネーブル・レジスタ	RESETREQ0ENA	R/W	0000_0000H
000CH	リセット要求レジスタ 1	RESETREQ1	R/W	0000_0090H
0010H	RESETREQ1 のセット / リセット・イネーブル・レジスタ	RESETREQ1ENA	R/W	0000_0000H
0014H	Reserved	-	-	-
0018H	リセット要求レジスタ 2	RESETREQ2	R/W	0000_140FH
001CH	RESETREQ2 のセット / リセット・イネーブル・レジスタ	RESETREQ2ENA	R/W	0000_0000H
0020H	ウォッチドッグ・タイマ強制リセット制御レジスタ	WDT_INT_RESET	R/W	0000_0000H
0024H	リセット・レジスタ値変化時、挿入クロック数設定レジスタ	RESET_PCLK_COUNT	R/W	1F1F_1F1FH
0028H - 0078H	Reserved	-	-	-
007CH	自動遷移許可レジスタ	AUTO_MODE_EN	R/W	0000_0000H
0080H	クロック・モード選択レジスタ	CLK_MODE_SEL	R/W	0000_0F00H
0084H	システム用 PLL1 設定レジスタ 0	PLL1CTRL0	R/W	0000_0079H
0088H	システム用 PLL1 設定レジスタ 1	PLL1CTRL1	R/W	0000_00FFH
008CH	シリアル・クロック用 PLL2 設定レジスタ 0	PLL2CTRL0	R/W	0000_0079H
0090H	シリアル・クロック用 PLL2 設定レジスタ 1	PLL2CTRL1	R/W	0000_00FFH
0094H	システム用 PLL3 設定レジスタ 0	PLL3CTRL0	R/W	0000_0037H
0098H	システム用 PLL3 設定レジスタ 1	PLL3CTRL1	R/W	0000_0000H
009CH	PLL ロック時間設定レジスタ	PLLLOCKTIME	R/W	0003_0003H
00A0H - 00A4H	Reserved	-	-	-
00A8H	PLL 自動スタンバイ・モード・レジスタ	AUTO_PLL_STANDBY	R/W	0000_0002H
00ACH - 00B0H	Reserved	-	-	-
00B4H	PLL 電源安定時間設定レジスタ	PLLVDDWAIT	R/W	0000_0000H

(2/6)

アドレス	レジスタ名称	略 号	R/W	リセット時
00B8H - 00C0H	Reserved	-	-	-
00C4H	クロック停止命令信号状態レジスタ	CLKSTOPSIG_ST	R	-
00C8H	32.768 kHz クロック・ステータス・レジスタ	CLK32_STATUS	R	-
00CCH	電源履歴用汎用レジスタ	POWER_RECORD	R/W	0000_0000H
00D0H	割り込みステータス・レジスタ	ASMU_INT_STATUS	R	0000_0000H
00D4H	割り込み Raw ステータス・レジスタ	ASMU_INT_RAW_STATUS	R	0000_0000H
00D8H	割り込みイネーブル・セット・レジスタ	ASMU_INT_ENSET	R/W	0000_0000H
00DCH	割り込みイネーブル・クリア・レジスタ	ASMU_INT_ENCLR	W	0000_0000H
00E0H	割り込みイネーブル・モニタ・レジスタ	ASMU_INT_ENMON	R	0000_0000H
00E4H	割り込みクリア・レジスタ	ASMU_INT_CLEAR	W	0000_0000H
00F0H	Normal Mode A 分周設定レジスタ	NORMALA_DIV	R/W	0035_5300H
00F4H	Normal Mode B 分周設定レジスタ	NORMALB_DIV	R/W	0035_5300H
00F8H	Normal Mode C 分周設定レジスタ	NORMALC_DIV	R/W	0035_5300H
00FCH	Normal Mode D 分周設定レジスタ	NORMALD_DIV	R/W	0035_5300H
0100H	Economy Mode 分周設定レジスタ	ECONOMY_DIV	R/W	0035_5500H
0104H	Standby Mode, Sleep Mode 分周設定レジスタ	STANDBY_DIV	R/W	0055_5500H
0108H	Power ON Mode 分周設定レジスタ	POWERON_DIV	R/W	0013_3100H
0110H - 0114H	Reserved	-	-	-
0118H	SP0_SCLK 用分周設定レジスタ	DIVSP0SCLK	R/W	0000_0004H
011CH	SP1_SCLK 用分周設定レジスタ	DIVSP1SCLK	R/W	0000_0004H
0120H	SP2_SCLK 用分周設定レジスタ	DIVSP2SCLK	R/W	0000_0004H
0124H	Reserved	-	-	-
0128H	MEMC_RCLK 用分周設定レジスタ	DIVMEMCRCLK	R/W	0000_0004H
012CH	CAM_SCLK 用分周設定レジスタ	DIVCAMSCLK	R/W	0000_0119H
0130H	LCD_LCLK 用分周設定レジスタ	DIVLCDLCLK	R/W	0000_0190H
0134H	IIC_SCLK 用分周設定レジスタ	DIVIICSCLK	R/W	0053_0053H
0138H	TI0_TIN / TW0_TIN 用設定レジスタ	TI0TIN_SEL	R/W	0001_0001H
013CH	TI1_TIN / TW1_TIN 用設定レジスタ	TI1TIN_SEL	R/W	0001_0001H
0140H	TI2_TIN / TW2_TIN 用設定レジスタ	TI2TIN_SEL	R/W	0001_0001H
0144H	TI3_TIN / TW3_TIN 用設定レジスタ	TI3TIN_SEL	R/W	0001_0001H
0148H	TG0-5_TIN 用設定レジスタ	TGnTIN_SEL	R/W	0011_1111H
014CH	タイマ・クロック分周設定レジスタ	DIVTIMTIN	R/W	0000_00F4H
0150H	MWI_SCLK 用分周設定レジスタ	DIVMWISCLK	R/W	0000_00F4H
0154H	DMA_TCLK 用分周設定レジスタ	DIVDMATCLK	R/W	0000_00F4H
0158H	U70_SCLK 用分周設定レジスタ	DIVU70SCLK	R/W	0000_00F4H
015CH	U71_SCLK 用分周設定レジスタ	DIVU71SCLK	R/W	0000_00F4H
0160H	U72_SCLK 用分周設定レジスタ	DIVU72SCLK	R/W	0000_00F4H
0164H - 0168H	Reserved	-	-	-
016CH	PM0_SCLK 用分周設定レジスタ	DIVPM0SCLK	R/W	0000_00F4H

アドレス	レジスタ名称	略 号	R/W	リセット時
0170H	PM1_SCLK 用分周設定レジスタ	DIVPM1SCLK	R/W	0000_00F4H
0174H	Reserved	-	-	-
0178H	REFCLK 用分周設定レジスタ	DIVREFCLK	R/W	0000_0028H
017CH - 0180H	Reserved	-	-	-
0184H	PWMPWCLK 用分周設定レジスタ	DIVPWMPWCLK	R/W	00F4_00F4H
0188H - 0194H	Reserved	-	-	-
01A0H	AHB マクロ・クロック制御レジスタ 0	AHBCLKCTRL0	R/W	0000_0000H
01A4H	AHB マクロ・クロック制御レジスタ 1	AHBCLKCTRL1	R/W	0000_0000H
01A8H	APB(PB0)スレーブ・マクロ・クロック制御レジスタ 0	APBCLKCTRL0	R/W	0000_0000H
01ACH	APB(PB1)スレーブ・マクロ・クロック制御レジスタ 1	APBCLKCTRL1	R/W	0000_0000H
01B0H	クロック制御レジスタ	CLKCTRL	R/W	0000_0000H
01B4H	マクロ・クロック・ゲート制御レジスタ 0	GCLKCTRL0	R/W	767F_FCE3H
01B8H	GCLKCTRL0 のセット / リセット・イネーブル・レジスタ	GCLKCTRL0ENA	R/W	0000_0000H
01BCH	マクロ・クロック・ゲート制御レジスタ 1	GCLKCTRL1	R/W	FFFF_DFF7H
01C0H	GCLKCTRL1 のセット / リセット・イネーブル・レジスタ	GCLKCTRL1ENA	R/W	0000_0000H
01C4H	マクロ・クロック・ゲート制御レジスタ 2	GCLKCTRL2	R/W	67F0_79FEH
01C8H	GCLKCTRL2 のセット / リセット・イネーブル・レジスタ	GCLKCTRL2ENA	R/W	0000_0000H
01CCH	マクロ・クロック・ゲート制御レジスタ 3	GCLKCTRL3	R/W	3FF8_7FFFH
01D0H	GCLKCTRL3 のセット / リセット・イネーブル・レジスタ	GCLKCTRL3ENA	R/W	3800_0000H
01D4H - 01D8H	Reserved	-	-	-
01DCH	周波数自動切り替え制御レジスタ	AUTO_FRQ_CHANGE	R/W	3000_0000H
01E0H	周波数自動切り替え制御 REQMASK0 レジスタ	AUTO_FRQ_MASK0	R/W	0000_0000H
01E4H	周波数自動切り替え制御 REQMASK1 レジスタ	AUTO_FRQ_MASK1	R/W	0003_DCFCH
01E8H	自動周波数制御のハーフ・モード・レジスタ	DFS_HALFMODE	R/W	0000_0000H
01F0H	FLA_CLK ディレイ調整レジスタ	FLA_CLK_DLY	R/W	0000_1000H
01F4H - 01F8H	Reserved	-	-	-
01FCH	MEMC_CLK270 切り替えレジスタ	MEMCCLK270_SEL	R/W	0000_0000H
0200H - 0204H	Reserved	-	-	-
0208H	バリア・ゲート制御レジスタ	ASMU_BGCTRL	R/W	0000_0000H
020CH - 021CH	Reserved	-	-	-
0220H	クイック・リカバリ・バックアップ有効 / 無効設定レジスタ	QR_ENA	R/W	0053_4100H
0224H	クイック・リカバリ・クロック分周器設定レジスタ	QR_CLKDIV	R/W	0002_0401H

アドレス	レジスタ名称	略 号	R/W	リセット時
0228H - 0234H	Reserved	-	-	-
0238H	ADSP/ACPU 用フェイク・モード・レジスタ	FAKE_MODE	R/W	0000_0000H
023CH	電源状態ステータス・レジスタ	POWERSW_STATUS	R	0000_0003H
0240H	電源スイッチ有効 / 無効設定レジスタ	POWERSW_ENA	R/W	0000_0000H
0244H	L1 電源スイッチ制御レジスタ	L1_POWERSW	R/W	0000_0000H
0248H	ACPU 電源スイッチ制御レジスタ	ACPU_POWERSW	R/W	0000_0000H
024CH	ADSP 電源スイッチ制御レジスタ	ADSP_POWERSW	R/W	0000_0000H
0250H	Reserved	-	-	-
0254H	ADSP バリア・ゲート制御レジスタ	ADSP_BUB	R/W	0000_0003H
0258H	ACPU バリア・ゲート制御レジスタ	ACPU_BUB	R/W	0000_0000H
025CH	電源スイッチ自動制御の許可禁止レジスタ	POWERSW_ACTRL_EN	R/W	0000_0000H
0260H	L1 電源スイッチ自動制御トリガ・レジスタ	LOG1SW_ACTRL	R/W	0000_0001H
0264H	ADSP 電源スイッチ自動制御トリガ・レジスタ	ADSPSW_ACTRL	R/W	0000_0001H
0268H	L1 バリア・ゲート制御レジスタ	L1_BUZ	R/W	1001_1111H
026CH	L1 バリア・ゲート制御 2 レジスタ	L1_BUZ2	R/W	0000_0011H
0270H - 0284H	Reserved	-	-	-
0288H	ACPU 書き逃げ制御レジスタ	ACPUBUFTYPE	R/W	0000_0000H
028CH	ADSP 書き逃げ制御レジスタ	ADSPBUFTYPE	R/W	0000_0000H
0290H	HXB 書き逃げ制御レジスタ	HXBBUFTYPE	R/W	0000_0000H
0294H - 031CH	Reserved	-	-	-
0320H - 035CH	ステータス履歴レジスタ	STATUS_RECORD0 ~ 15	R	-
0360H	ACPU_INIT レジスタ	ACPU_INIT	R/W	0006_0000H
0364H - 03BCH	Reserved	-	-	-
03C0H	U70 用ウエイト・コントロール・レジスタ	AB1_U70WAITCTRL	R/W	000F_1F0FH
03C4H	U71 用ウエイト・コントロール・レジスタ	AB1_U71WAITCTRL	R/W	000F_1F0FH
03C8H	U72 用ウエイト・コントロール・レジスタ	AB1_U72WAITCTRL	R/W	000F_1F0FH
03CCH	IIC2 用ウエイト・コントロール・レジスタ	AB1_IIC2WAITCTRL	R/W	000F_1F0FH
03D0H	IIC 用ウエイト・コントロール・レジスタ	AB1_IICWAITCTRL	R/W	000F_1F0FH
03D4H	U70 用リード・モード・レジスタ	AB1_U70READCTRL	R/W	0000_0000H
03D8H	U71 用リード・モード・レジスタ	AB1_U71READCTRL	R/W	0000_0000H
03DCH	U72 用リード・モード・レジスタ	AB1_U72 READCTRL	R/W	0000_0000H
03E0H	IIC2 用リード・モード・レジスタ	AB1_IIC2READCTRL	R/W	0000_0000H
03E4H	IIC 用リード・モード・レジスタ	AB1_IICREADCTRL	R/W	0000_0000H
03E8H	SDIB 用ウエイト・コントロール・レジスタ	AB1_SDIBWAITCTRL	R/W	000F_1F0FH
03ECH	SDIB 用リード・モード・レジスタ	AB1_SDIBREADCTRL	R/W	0000_0000H
03F0H	SDIC 用ウエイト・コントロール・レジスタ	AB1_SDICWAITCTRL	R/W	000F_1F0FH
03F4H	SDIC 用リード・モード・レジスタ	AB1_SDICREADCTRL	R/W	0000_0000H

アドレス	レジスタ名称	略 号	R/W	リセット時
03F8H - 0490H	Reserved	-	-	-
0494H	FLASHCLK 制御レジスタ	FLASHCLK_CTRL	R/W	0000_0000H
0498H - 04FCH	Reserved	-	-	-
0500H	L2 (USB) 電源スイッチ , バリア・ゲート制御レジスタ	L2_POWERSW_BUZ	R/W	0001_0100H
0504H	L2 (USB) 電源スイッチ自動制御イネーブル・レジスタ	LOG2SW_ACTRLEN	R/W	0000_0000H
0508H	L2 (USB) 電源スイッチ制御レジスタ	LOG2SW_ACTRL	R/W	0001_0001H
050CH	L3 (AVC) 電源スイッチ , バリア・ゲート制御レジスタ	L3_POWERSW_BUZ	R/W	0001_0100H
0510H	L3 (AVC) 電源スイッチ自動制御イネーブル・レジスタ	LOG3SW_ACTRLEN	R/W	0000_0000H
0514H	L3 (AVC) 電源スイッチ制御レジスタ	LOG3SW_ACTRL	R/W	0001_0001H
0518H - 051CH	Reserved	-	-	-
0520H	PLL 状態ステータス・レジスタ	PLL_STATUS	R	-
0524H - 0810H	Reserved	-	-	-
0814H	MEMCIO (L0) -MEMC (L1) 間バリア・ゲート制御レジスタ	IO_L0_L1_BUZ	R/W	0000_0101H
0818H - 0838H	Reserved	-	-	-
083CH	リセット要求レジスタ 3	RESETREQ3	R/W	0000_0000H
0840H	RESETREQ3 のセット / リセット・イネーブル・レジスタ	RESETREQ3ENA	R/W	0000_0000H
0844H	Reserved	-	-	-
0848H	APB (PB0) スレーブ・マクロ・クロック制御レジスタ 2	APBCLKCTRL2	R/W	0000_0000H
084CH	マクロ・クロック・ゲート制御レジスタ 4	GCLKCTRL4	R/W	0000_03F0H
0850H	GCLKCTRL4 のセット / リセット・イネーブル・レジスタ	GCLKCTRL4ENA	R/W	0000_0000H
0854H - 085CH	Reserved	-	-	-
0860H	周波数自動切り替え制御 REQMASK3 レジスタ	AUTO_FRQ_MASK3	R/W	0000_0007H
0864H	自動周波数制御の FIFO 残量モード・レジスタ	DFS_FIFOMODE	R/W	0000_0000H
0868H	周波数自動切り替え制御 FIFOMODE_REQMASK レジスタ	DFS_FIFO_REQMASK	R/W	0000_0003H
086CH	自動周波数制御の LCD_FIFO の残量しきい値レジスタ	LCD_FIFOTHRESHOLD	R/W	0000_0000H
0870H	自動周波数制御の CAM_FIFO の残量しきい値レジスタ	CAM_FIFOTHRESHOLD	R/W	0000_0000H
0874H	Reserved	-	-	-

(6/6)

アドレス	レジスタ名称	略 号	R/W	リセット時
0878H	CAM 用 SAFE リセット・レジスタ	CAM_SAFE_RESET	R/W	0000_0001H
087CH	Reserved	-	-	-
0880H	DTV 用 SAFE リセット・レジスタ	DTV_SAFE_RESET	R/W	0000_0001H
0884H	USB 用 SAFE リセット・レジスタ	USB_SAFE_RESET	R/W	0000_0001H
0888H	Reserved	-	-	-
088CH	クロック制御レジスタ 1	CLKCTRL1	R/W	0000_0003H
0890H	SDIA 用ウェイト・コントロール・レジスタ	AB1_SDIAWAITCTRL	R/W	000F_1F0FH
0894H	SDIA 用リード・モード・レジスタ	AB1_SDIAREADCTRL	R/W	0000_0000H
0898H - 089CH	Reserved	-	-	-
08A0H	ASMU-MEMC 間のハンドシェーク機能切り替えレジスタ	MEMC_HAND_SHAKE_FAKE	R/W	0000_0000H
08A4H - 08B4H	Reserved	-	-	-
08B8H	USB コアセレクトレジスタ	SEL_BIGWEST	R/W	0000_0000H
08BCH - FFFCH	Reserved	-	-	-

備考 C011_03C0H ~ C011_03F4H , C011_0890H , C011_0894H に割り付けられたレジスタは , Bridge1 (AB1) 用レジスタです。

3.1.2 汎用入出力制御

汎用入出力制御用レジスタのアクセス・タイプは、32ビット・ワード・アクセスです。

Reserved レジスタへのライト・アクセスは行わないでください。読み出した場合は不定値が返ります。

各レジスタ内の Reserved ビットへは、0 以外を書き込まないでください。

(1) Register Map [GPIO 31 - 0 Settings]

ベース・アドレス：C005_0000H

アドレス	レジスタ名称	略 号	R/W	リセット時
0000H	GPIO[31:0]ポート切り替え設定レジスタ（出力設定）	GIO_E1_L	W	0000_0000H
0004H	GPIO[31:0]ポート切り替え設定レジスタ（入力設定）	GIO_E0_L	W	0000_0000H
0004H	GPIO[31:0]ポート状態モニタ・レジスタ	GIO_EM_L	R	0000_0000H
0008H	GPIO[15:0]出力データ設定レジスタ	GIO_OL_L	W	0000_0000H
000CH	GPIO[31:16]出力データ設定レジスタ	GIO_OH_L	W	0000_0000H
0010H	GPIO[31:0]入力データ・リード・レジスタ	GIO_I_L	R	注
0014H	GPIO[31:0]入力ポート割り込み有効指定レジスタ	GIO_IIA_L	R/W	0000_0000H
0018H	GPIO[31:0]入力ポート割り込みイネーブル・レジスタ （マスク解除）	GIO_IEN_L	W	0000_0000H
001CH	GPIO[31:0]入力ポート割り込みディセーブル・レジスタ （マスク設定）	GIO_IDS_L	W	0000_0000H
001CH	GPIO[31:0]入力ポート割り込みイネーブル・モニタ・レジスタ	GIO_IIM_L	R	0000_0000H
0020H	GPIO[31:0]入力ポート割り込み Raw ステータス・レジスタ	GIO_RAW_L	R	0000_0000H
0024H	GPIO[31:0]入力ポート割り込みマスカブル・ステータス・レジスタ	GIO_MST_L	R	0000_0000H
0028H	GPIO[31:0]入力ポート割り込み要因リセット・レジスタ	GIO_IIR_L	W	0000_0000H
002CH - 0030H	Reserved	-	-	-
003CH	GPIO[31:0]GIO_INT_FIQ 端子接続レジスタ	GIO_GSW_L	R/W	0000_0000H
0100H	GPIO[7:0]入力ポート割り込み検出方式レジスタ	GIO_IDT0_L	R/W	0000_0000H
0104H	GPIO[15:8]入力ポート割り込み検出方式レジスタ	GIO_IDT1_L	R/W	0000_0000H
0108H	GPIO[23:16]入力ポート割り込み検出方式レジスタ	GIO_IDT2_L	R/W	0000_0000H
010CH	GPIO[31:24]入力ポート割り込み検出方式レジスタ	GIO_IDT3_L	R/W	0000_0000H
0110H	GPIO[15:0]両エッジ検出時の各エッジの割り込みステータス・レジスタ	GIO_RAWBL_L	R	0000_0000H
0114H	GPIO[31:16]両エッジ検出時の各エッジの割り込みステータス・レジスタ	GIO_RAWBH_L	R	0000_0000H
0118H	GPIO[15:0] 両エッジ検出時の各エッジの要因クリア・レジスタ	GIO_IRBL_L	W	0000_0000H
011CH	GPIO[31:16]両エッジ検出時の各エッジの要因クリア・レジスタ	GIO_IRBH_L	W	0000_0000H

注 外部端子の状態により初期値が決まります。

(2) Register Map [GPIO 63 - 32 Settings]

ベース・アドレス：C005_0000H

アドレス	レジスタ名称	略 号	R/W	リセット時
0040H	GPIO[63:32]ポート切り替え設定レジスタ(出力設定)	GIO_E1_H	W	0000_0000H
0044H	GPIO[63:32]ポート切り替え設定レジスタ(入力設定)	GIO_E0_H	W	0000_0000H
0044H	GPIO[63:32]ポート状態モニタ・レジスタ	GIO_EM_H	R	0000_0000H
0048H	GPIO[47:32]出力データ設定レジスタ	GIO_OL_H	W	0000_0000H
004CH	GPIO[63:48]出力データ設定レジスタ	GIO_OH_H	W	0000_0000H
0050H	GPIO[63:32]入力データ・リード・レジスタ	GIO_I_H	R	注
0054H	GPIO[63:32]入力ポート割り込み有効指定レジスタ	GIO_IIA_H	R/W	0000_0000H
0058H	GPIO[63:32]入力ポート割り込みイネーブル・レジスタ(マスク解除)	GIO_IEN_H	W	0000_0000H
005CH	GPIO[63:32]入力ポート割り込みディスエーブル・レジスタ(マスク設定)	GIO_IDS_H	W	0000_0000H
005CH	GPIO[63:32]入力ポート割り込みイネーブル・モニタ・レジスタ	GIO_IIM_H	R	0000_0000H
0060H	GPIO[63:32]入力ポート割り込み Raw ステータス・レジスタ	GIO_RAW_H	R	0000_0000H
0064H	GPIO[63:32]入力ポート割り込みマスカブル・ステータス・レジスタ	GIO_MST_H	R	0000_0000H
0068H	GPIO[63:32]入力ポート割り込み要因リセット・レジスタ	GIO_IIR_H	W	0000_0000H
006CH - 0070H	Reserved	-	-	-
007CH	GPIO[63:32]GIO_INT_FIQ 端子接続レジスタ	GIO_GSW_H	R/W	0000_0000H
0140H	GPIO[39:32]入力ポート割り込み検出方式レジスタ	GIO_IDT0_H	R/W	0000_0000H
0144H	GPIO[47:40]入力ポート割り込み検出方式レジスタ	GIO_IDT1_H	R/W	0000_0000H
0148H	GPIO[55:48]入力ポート割り込み検出方式レジスタ	GIO_IDT2_H	R/W	0000_0000H
014CH	GPIO[63:56]入力ポート割り込み検出方式レジスタ	GIO_IDT3_H	R/W	0000_0000H
0150H	GPIO[47:32]両エッジ検出時の各エッジの割り込みステータス・レジスタ	GIO_RAWBL_H	R	0000_0000H
0154H	GPIO[63:48]両エッジ検出時の各エッジの割り込みステータス・レジスタ	GIO_RAWBH_H	R	0000_0000H
0158H	GPIO[47:32]両エッジ検出時の各エッジの要因クリア・レジスタ	GIO_IRBL_H	W	0000_0000H
015CH	GPIO[63:48]両エッジ検出時の各エッジの要因クリア・レジスタ	GIO_IRBH_H	W	0000_0000H

注 外部端子の状態により初期値が決まります。

(3) Register Map [GPIO 95 - 64 Settings]

ベース・アドレス：C005_0000H

アドレス	レジスタ名称	略 号	R/W	リセット時
0080H	GPIO[95:64]ポート切り替え設定レジスタ(出力設定)	GIO_E1_HH	W	0000_0000H
0084H	GPIO[95:64]ポート切り替え設定レジスタ(入力設定)	GIO_E0_HH	W	0000_0000H
0084H	GPIO[95:64]ポート状態モニタ・レジスタ	GIO_EM_HH	R	0000_0000H
0088H	GPIO[79:64]出力データ設定レジスタ	GIO_OL_HH	W	0000_0000H
008CH	GPIO[95:80]出力データ設定レジスタ	GIO_OH_HH	W	0000_0000H
0090H	GPIO[95:64]入力データ・リード・レジスタ	GIO_I_HH	R	注
0094H	GPIO[95:64]入力ポート割り込み有効指定レジスタ	GIO_IIA_HH	R/W	0000_0000H
0098H	GPIO[95:64]入力ポート割り込みイネーブル・レジスタ(マスク解除)	GIO_IEN_HH	W	0000_0000H
009CH	GPIO[95:64]入力ポート割り込みディスエーブル・レジスタ(マスク設定)	GIO_IDS_HH	W	0000_0000H
009CH	GPIO[95:64]入力ポート割り込みイネーブル・モニタ・レジスタ	GIO_IIM_HH	R	0000_0000H
00A0H	GPIO[95:64]入力ポート割り込み Raw ステータス・レジスタ	GIO_RAW_HH	R	0000_0000H
00A4H	GPIO[95:64]入力ポート割り込みマスカブル・ステータス・レジスタ	GIO_MST_HH	R	0000_0000H
00A8H	GPIO[95:64]入力ポート割り込み要因リセット・レジスタ	GIO_IIR_HH	W	0000_0000H
00ACH - 00B0H	Reserved	-	-	-
00BCH	GPIO[95:64]GIO_INT_FIQ 端子接続レジスタ	GIO_GSW_HH	R/W	0000_0000H
0180H	GPIO[71:64]入力ポート割り込み検出方式レジスタ	GIO_IDT0_HH	R/W	0000_0000H
0184H	GPIO[79:72]入力ポート割り込み検出方式レジスタ	GIO_IDT1_HH	R/W	0000_0000H
0188H	GPIO[87:80]入力ポート割り込み検出方式レジスタ	GIO_IDT2_HH	R/W	0000_0000H
018CH	GPIO[95:88]入力ポート割り込み検出方式レジスタ	GIO_IDT3_HH	R/W	0000_0000H
0190H	GPIO[71:64]両エッジ検出時の各エッジの割り込みステータス・レジスタ	GIO_RAWBL_HH	R	0000_0000H
0194H	GPIO[79:72]両エッジ検出時の各エッジの割り込みステータス・レジスタ	GIO_RAWBH_HH	R	0000_0000H
0198H	GPIO[87:80]両エッジ検出時の各エッジの要因クリア・レジスタ	GIO_IRBL_HH	W	0000_0000H
019CH	GPIO[95:88]両エッジ検出時の各エッジの要因クリア・レジスタ	GIO_IRBH_HH	W	0000_0000H

注 外部端子の状態により初期値が決まります。

(4) Register Map [GPIO 127 - 96 Settings]

ベース・アドレス：C005_0000H

アドレス	レジスタ名称	略 号	R/W	リセット時
0200H	GPIO[127:96]ポート切り替え設定レジスタ（出力設定）	GIO_E1_HHH	W	0000_0000H
0204H	GPIO[127:96]ポート切り替え設定レジスタ（入力設定）	GIO_E0_HHH	W	0000_0000H
0204H	GPIO[127:96]ポート状態モニタ・レジスタ	GIO_EM_HHH	R	0000_0000H
0208H	GPIO[111:96]出力データ設定レジスタ	GIO_OL_HHH	W	0000_0000H
020CH	GPIO[127:112]出力データ設定レジスタ	GIO_OH_HHH	W	0000_0000H
0210H	GPIO[127:96]入力データ・リード・レジスタ	GIO_I_HHH	R	注
0214H	GPIO[127:96]入力ポート割り込み有効指定レジスタ	GIO_IIA_HHH	R/W	0000_0000H
0218H	GPIO[127:96]入力ポート割り込みイネーブル・レジスタ（マスク解除）	GIO_IEN_HHH	W	0000_0000H
021CH	GPIO[127:96]入力ポート割り込みディセーブル・レジスタ（マスク設定）	GIO_IDS_HHH	W	0000_0000H
021CH	GPIO[127:96]入力ポート割り込みイネーブル・モニタ・レジスタ	GIO_IIM_HHH	R	0000_0000H
0220H	GPIO[127:96]入力ポート割り込み Raw ステータス・レジスタ	GIO_RAW_HHH	R	0000_0000H
0224H	GPIO[127:96]入力ポート割り込みマスカブル・ステータス・レジスタ	GIO_MST_HHH	R	0000_0000H
0228H	GPIO[127:96]入力ポート割り込み要因リセット・レジスタ	GIO_IIR_HHH	W	0000_0000H
022CH - 0230H	Reserved	-	-	-
023CH	GPIO[127:96]GPIO_INT_FIQ 端子接続レジスタ	GIO_GSW_HHH	R/W	0000_0000H
0300H	GPIO[103:96]入力ポート割り込み検出方式レジスタ	GIO_IDT0_HHH	R/W	0000_0000H
0304H	GPIO[111:104]入力ポート割り込み検出方式レジスタ	GIO_IDT1_HHH	R/W	0000_0000H
0308H	GPIO[119:112]入力ポート割り込み検出方式レジスタ	GIO_IDT2_HHH	R/W	0000_0000H
030CH	GPIO[127:120]入力ポート割り込み検出方式レジスタ	GIO_IDT3_HHH	R/W	0000_0000H
0310H	GPIO[103:96]両エッジ検出時の各エッジの割り込みステータス・レジスタ	GIO_RAWBL_HHH	R	0000_0000H
0314H	GPIO[111:104]両エッジ検出時の各エッジの割り込みステータス・レジスタ	GIO_RAWBH_HHH	R	0000_0000H
0318H	GPIO[119:112]両エッジ検出時の各エッジの要因クリア・レジスタ	GIO_IRBL_HHH	W	0000_0000H
031CH	GPIO[127:120]両エッジ検出時の各エッジの要因クリア・レジスタ	GIO_IRBH_HHH	W	0000_0000H

注 外部端子の状態により初期値が決まります。

3.2 レジスタ機能 (ASMU)

3.2.1 リセット制御レジスタ 0

本レジスタ (RESETCTRL0 : C011_0000H) は、ADSP 領域の I リセットを制御します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							ADSP_IRST

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:1	-	予約。読み出すと 0 を返します。
ADSP_IRST	R/W	0	0	ADSP の I リセットを制御します。

備考 0 : リセット , 1 : リセット解除

3.2.2 リセット要求レジスタ 0

本レジスタ (RESETREQ0 : C011_0004H) は、各部のリセットを制御します。

RESETREQ0ENA レジスタでライト・イネーブルが設定されているビットのみ書き込み可能です。ライト・ディスエーブルが設定されているビットは値が保持されます。

31	30	29	28	27	26	25	24
MEMC_RST	Reserved	U72_RST	U71_RST	U70_RST	GIO_RST	AIN_T_RST	SRC_RST
23	22	21	20	19	18	17	16
PB1_RST	PB0_RST	AB1_RST	AB0_RST	NTS_RST	DTV_RST	IMC_RST	Reserved
15	14	13	12	11	10	9	8
AVC_RST	DMA_RST	LCD_RST	CAM_RST	IPUAHB_RST	IPUDMA_RST	IPUROT_RST	IPUIMG_RST
7	6	5	4	3	2	1	0
Reserved	DCV_RST	ADSP_SRST	ADSP_ARST	ACPU_ATRS T	ACPU_PORS T	ACPU_RST	

(1/2)

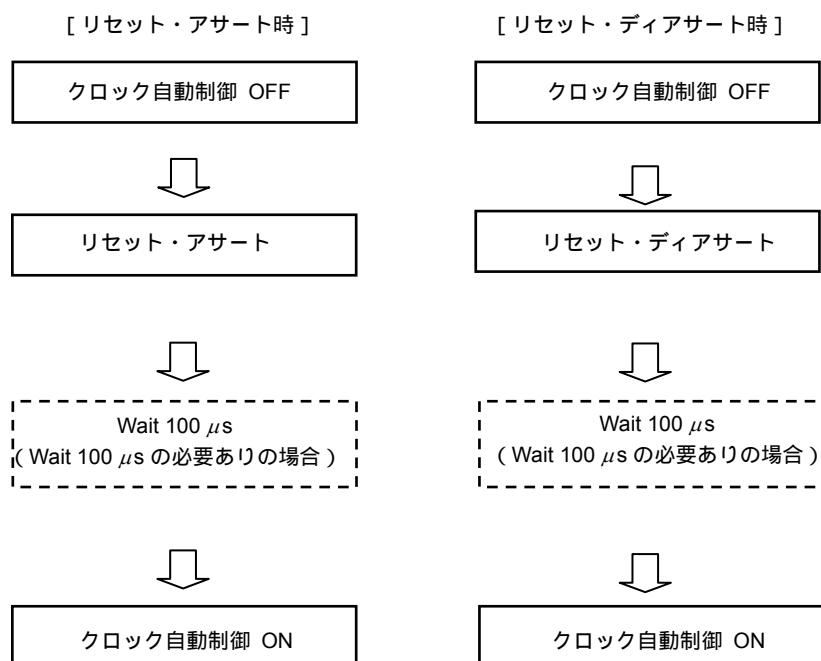
名 称	R/W	ビット	リセット時	機 能	100 μ s ウエイトの必要
MEMC_RST	R/W	31	1	MEMC_RSTZ を制御します。	
Reserved	R	30	-	予約。読み出すと 0 を返します。	
U72_RST	R/W	29	0	U72_RSTZ を制御します。	あり
U71_RST	R/W	28	0	U71_RSTZ を制御します。	あり
U70_RST	R/W	27	0	U70_RSTZ を制御します。	あり
GIO_RST	R/W	26	1	GIO_RSTZ を制御します。	
AIN_T_RST	R/W	25	1	AIN_T_RSTZ を制御します。	
SRC_RST	R/W	24	1	SRC_RSTZ を制御します。	
PB1_RST	R/W	23	1	PB1_RSTZ を制御します。	
PB0_RST	R/W	22	0	PB0_RSTZ を制御します。	
AB1_RST	R/W	21	0	AB1_RSTZ を制御します。	
AB0_RST	R/W	20	1	AB0_RSTZ を制御します。	
NTS_RST	R/W	19	0	NTS_RSTZ を制御します。	
DTV_RST	R/W	18	0	DTV_RSTZ 制御	
IMC_RST	R/W	17	0	IMC_RSTZ を制御します。	
Reserved	R	16	-	予約。読み出すと 0 を返します。	
AVC_RST	R/W	15	0	AVC_RSTZ を制御します。	
DMA_RST	R/W	14	0	DMA_RSTZ を制御します。	
LCD_RST	R/W	13	0	LCD_RSTZ を制御します。	あり (ただし 1 μ s で可)
CAM_RST	R/W	12	0	CAM_RSTZ を制御します。	
IPUAHB_RST	R/W	11	0	IPUDMA_RSTZ を制御します。	
IPUDMA_RST	R/W	10	0	IPUDMA_RSTZ を制御します。	
IPUROT_RST	R/W	9	0	IPUROT_RSTZ を制御します。	
IPUIMG_RST	R/W	8	0	IPUIMG_RSTZ を制御します。	
Reserved	R	7:6	-	予約。読み出すと 0 を返します。	
DCV_RST	R/W	5	0	DCV_RSTZ を制御します。	

(2/2)

名 称	R/W	ビット	リセット時	機 能	100 μ s ウエイトの必要
ADSP_SRST	R/W	4	0	ADSP_SRSTZ を制御します。	
ADSP_ARST	R/W	3	0	ADSP_ARSTZ を制御します。	
ACPU_ATRST	R/W	2	1	ACPU の ATRSTZ を制御します。	
ACPU_PORST	R/W	1	1	ACPU_PORSTZ を制御します。	
ACPU_RST	R/W	0	1	ACPU_RSTZ を制御します。	

備考 0 : リセット , 1 : リセット解除

注意 Wait 100 μ s の必要があるリセットは , 次の手順で実行してください。



3.2.3 RESETREQ0 のセット/リセット・イネーブル・レジスタ

本レジスタ (RESETREQ0ENA : C011_0008H) は、RESETREQ0 レジスタの各ビットのライト・イネーブルを設定します。

31	30	29	28	27	26	25	24
MEMC_RST_ENA	Reserved	U72_RST_ENA	U71_RST_ENA	U70_RST_ENA	GIO_RST_ENA	AINT_RST_ENA	SRC_RST_ENA
23	22	21	20	19	18	17	16
PB1_RST_ENA	PB0_RST_ENA	AB1_RST_ENA	AB0_RST_ENA	NTS_RST_ENA	DTV_RST_ENA	IMC_RST_ENA	Reserved
15	14	13	12	11	10	9	8
AVC_RST_ENA	DMA_RST_ENA	LCD_RST_ENA	CAM_RST_ENA	Reserved	IPUDMA_RST_ENA	IPUROT_RST_ENA	IPUIMG_RST_ENA
7	6	5	4	3	2	1	0
Reserved	DCV_RST_ENA	ADSP_SRST_ENA	ADSP_ARST_ENA	ACPU_ATRST_ENA	ACPU_PORST_ENA	ACPU_RST_ENA	

(1/2)

名 称	R/W	ビット	リセット時	機 能
MEMC_RST_ENA	R/W	31	0	RESETREQ0 レジスタの MEMC_RST ビットへのライト・イネーブル
Reserved	R	30	-	予約。読み出すと 0 を返します。
U72_RST_ENA	R/W	29	0	RESETREQ0 レジスタの U72_RST ビットへのライト・イネーブル
U71_RST_ENA	R/W	28	0	RESETREQ0 レジスタの U71_RST ビットへのライト・イネーブル
U70_RST_ENA	R/W	27	0	RESETREQ0 レジスタの U70_RST ビットへのライト・イネーブル
GIO_RST_ENA	R/W	26	0	RESETREQ0 レジスタの GIO_RST ビットへのライト・イネーブル
AINT_RST_ENA	R/W	25	0	RESETREQ0 レジスタの AINT_RST ビットへのライト・イネーブル
SRC_RST_ENA	R/W	24	0	RESETREQ0 レジスタの SRC_RST ビットへのライト・イネーブル
PB1_RST_ENA	R/W	23	0	RESETREQ0 レジスタの PB1_RST ビットへのライト・イネーブル
PB0_RST_ENA	R/W	22	0	RESETREQ0 レジスタの PB0_RST ビットへのライト・イネーブル
AB1_RST_ENA	R/W	21	0	RESETREQ0 レジスタの AB1_RST ビットへのライト・イネーブル
AB0_RST_ENA	R/W	20	0	RESETREQ0 レジスタの AB0_RST ビットへのライト・イネーブル
NTS_RST_ENA	R/W	19	0	RESETREQ0 レジスタの NTS_RST ビットへのライト・イネーブル
DTV_RST_ENA	R/W	18	0	RESETREQ0 レジスタの DTV_RST ビットへのライト・イネーブル
IMC_RST_ENA	R/W	17	0	RESETREQ0 レジスタの IMC_RST ビットへのライト・イネーブル
Reserved	R	16	-	予約。読み出すと 0 を返します。
AVC_RST_ENA	R/W	15	0	RESETREQ0 レジスタの AVC_RST ビットへのライト・イネーブル
DMA_RST_ENA	R/W	14	0	RESETREQ0 レジスタの DMA_RST ビットへのライト・イネーブル
LCD_RST_ENA	R/W	13	0	RESETREQ0 レジスタの LCD_RST ビットへのライト・イネーブル
CAM_RST_ENA	R/W	12	-	RESETREQ0 レジスタの CAM_RST ビットへのライト・イネーブル
IPUDMA_RST_ENA	R/W	11	0	RESETREQ0 レジスタの IPUAHB_RST ビットへのライト・イネーブル
IPUDMA_RST_ENA	R/W	10	0	RESETREQ0 レジスタの IPUDMA_RST ビットへのライト・イネーブル

名 称	R/W	ビット	リセット時	機 能
IPUROT_RST_ENA	R/W	9	0	RESETREQ0 レジスタの IPUROT_RST ビットへのライト・イネーブル
IPUIMG_RST_ENA	R/W	8	0	RESETREQ0 レジスタの IPUIMG_RST ビットへのライト・イネーブル
Reserved	R	7:6	-	予約。読み出すと 0 を返します。
DCV_RST_ENA	R/W	5	0	RESETREQ0 レジスタの DCV_RST ビットへのライト・イネーブル
ADSP_SRST_ENA	R/W	4	0	RESETREQ0 レジスタの ADSP_SRST ビットへのライト・イネーブル
ADSP_ARST_ENA	R/W	3	0	RESETREQ0 レジスタの ADSP_ARST ビットへのライト・イネーブル
ACPU_ATRST_ENA	R/W	2	0	RESETREQ0 レジスタの ACPU_ATRST ビットへのライト・イネーブル
ACPU_PORST_ENA	R/W	1	0	RESETREQ0 レジスタの ACPU_PORST ビットへのライト・イネーブル
ACPU_RST_ENA	R/W	0	0	RESETREQ0 レジスタの ACPU_RST ビットへのライト・イネーブル

備考 0：ディスエーブル，1：イネーブル

3.2.4 リセット要求レジスタ 1

本レジスタ (RESETREQ1: C011_000CH) は、各部のリセットを制御します。

RESETREQ1ENA レジスタでライト・イネーブルが設定されているビットのみ書き込み可能です。ライト・ディスエーブルが設定されているビットは値が保持されます。

31	30	29	28	27	26	25	24
Reserved			USB_RST	NAND_RST	IIC_RST	IIC2_RST	SP2_RST
23	22	21	20	19	18	17	16
SP1_RST	SP0_RST	MWI_RST	Reserved	PDMA_RST	Reserved	PM1_RST	PM0_RST
15	14	13	12	11	10	9	8
Reserved		TG5_RST	TG4_RST	TG3_RST	TG2_RST	TG1_RST	TG0_RST
7	6	5	4	3	2	1	0
TW3_RST	TW2_RST	TW1_RST	TW0_RST	TI3_RST	TI2_RST	TI1_RST	TI0_RST

(1/2)

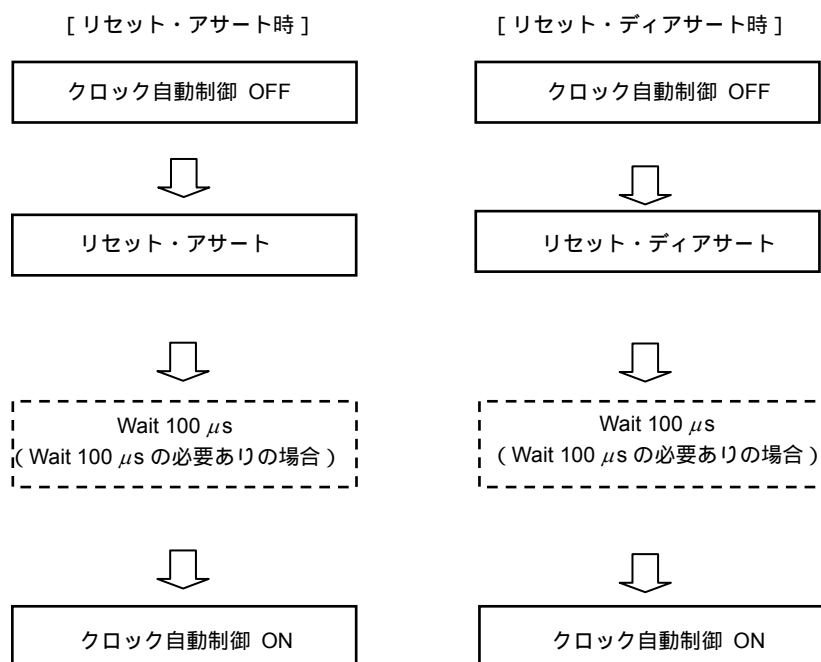
名 称	R/W	ビット	リセット時	機 能	100 μ s ウエイトの必要
Reserved	R	31:29	-	予約。読み出すと 0 を返します。	
USB_RST	R/W	28	0	USB_RSTZ を制御します。	
NAND_RST	R/W	27	0	NAND_RSTZ を制御します。	あり
IIC_RST	R/W	26	0	IIC_RSTZ を制御します。	あり
IIC2_RST	R/W	25	0	IIC2_RSTZ を制御します。	あり
SP2_RST	R/W	24	0	SP2_RSTZ を制御します。	
SP1_RST	R/W	23	0	SP1_RSTZ を制御します。	
SP0_RST	R/W	22	0	SP0_RSTZ を制御します。	
MWI_RST	R/W	21	0	MWI_RSTZ を制御します。	
Reserved	R	20	-	予約。読み出すと 0 を返します。	
PDMA_RST	R/W	19	0	PDMA_RSTZ を制御します。	
Reserved	R	18	-	予約。読み出すと 0 を返します。	
PM1_RST	R/W	17	0	PM1_RSTZ を制御します。	
PM0_RST	R/W	16	0	PM0_RSTZ を制御します。	
Reserved	R	15:14	-	予約。読み出すと 0 を返します。	
TG5_RST	R/W	13	0	TG5_RSTZ を制御します。	あり
TG4_RST	R/W	12	0	TG4_RSTZ を制御します。	あり
TG3_RST	R/W	11	0	TG3_RSTZ を制御します。	あり
TG2_RST	R/W	10	0	TG2_RSTZ を制御します。	あり
TG1_RST	R/W	9	0	TG1_RSTZ を制御します。	あり
TG0_RST	R/W	8	0	TG0_RSTZ を制御します。	あり
TW3_RST	R/W	7	1	TW3_RSTZ を制御します。	あり
TW2_RST	R/W	6	0	TW2_RSTZ を制御します。	あり
TW1_RST	R/W	5	0	TW1_RSTZ を制御します。	あり
TW0_RST	R/W	4	1	TW0_RSTZ を制御します。	あり
TI3_RST	R/W	3	0	TI3_RSTZ を制御します。	あり
TI2_RST	R/W	2	0	TI2_RSTZ を制御します。	あり

(2/2)

名 称	R/W	ビット	リセット時	機 能	100 μ s ウエイトの必要
TI1_RST	R/W	1	0	TI1_RSTZ を制御します。	あり
TI0_RST	R/W	0	0	TI0_RSTZ を制御します。	あり

備考 0：リセット，1：リセット解除

注意 Wait 100 μ s の必要があるリセットは，次の手順で実行してください。



3.2.5 RESETREQ1 のセット/リセット・イネーブル・レジスタ

本レジスタ (RESETREQ1ENA : C011_0010H) は, RESETREQ1 レジスタの各ビットのライト・イネーブルを設定します。

31	30	29	28	27	26	25	24
Reserved			USB_RST_ENA	NAND_RST_ENA	IIC_RST_ENA	IIC2_RST_ENA	SP2_RST_ENA
23	22	21	20	19	18	17	16
SP1_RST_ENA	SP0_RST_ENA	MWI_RST_ENA	Reserved	PDMA_RST_ENA	Reserved	PM1_RST_ENA	PM0_RST_ENA
15	14	13	12	11	10	9	8
Reserved		TG5_RST_ENA	TG4_ROT_RST_ENA	TG3_DMA_RST_ENA	TG2_RST_ENA	TG1_RST_ENA	TG0_RST_ENA
7	6	5	4	3	2	1	0
TW3_RST_ENA	TW2_RST_ENA	TW1_RST_ENA	TW0_RST_ENA	TI3_RST_ENA	TI2_RST_ENA	TI1_RST_ENA	TI0_RST_ENA

(1/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:29	-	予約。読み出すと 0 を返します。
USB_RST_ENA	R/W	28	0	RESETREQ1 レジスタの USB_RST ビットへのライト・イネーブル
NAND_RST_ENA	R/W	27	0	RESETREQ1 レジスタの NAND_RST ビットへのライト・イネーブル
IIC_RST_ENA	R/W	26	0	RESETREQ1 レジスタの IIC_RST ビットへのライト・イネーブル
IIC2_RST_ENA	R/W	25	0	RESETREQ1 レジスタの IIC2_RST ビットへのライト・イネーブル
SP2_RST_ENA	R/W	24	0	RESETREQ1 レジスタの SP2_RST ビットへのライト・イネーブル
SP1_RST_ENA	R/W	23	0	RESETREQ1 レジスタの SP1_RST ビットへのライト・イネーブル
SP0_RST_ENA	R/W	22	0	RESETREQ1 レジスタの SP0_RST ビットへのライト・イネーブル
MWI_RST_ENA	R/W	21	0	RESETREQ1 レジスタの MWI_RST ビットへのライト・イネーブル
Reserved	R	20	-	予約。読み出すと 0 を返します。
PDMA_RST_ENA	R/W	19	0	RESETREQ1 レジスタの PDMA_RST ビットへのライト・イネーブル
Reserved	R	18	-	予約。読み出すと 0 を返します。
PM1_RST_ENA	R/W	17	0	RESETREQ1 レジスタの PM1_RST ビットへのライト・イネーブル
PM0_RST_ENA	R/W	16	0	RESETREQ1 レジスタの PM0_RST ビットへのライト・イネーブル
Reserved	R/W	15:14	-	予約。読み出すと 0 を返します。
TG5_RST_ENA	R/W	13	0	RESETREQ1 レジスタの TG5_RST ビットへのライト・イネーブル
TG4_RST_ENA	R/W	12	0	RESETREQ1 レジスタの TG4_RST ビットへのライト・イネーブル
TG3_RST_ENA	R/W	11	0	RESETREQ1 レジスタの TG3_RST ビットへのライト・イネーブル
TG2_RST_ENA	R/W	10	0	RESETREQ1 レジスタの TG2_RST ビットへのライト・イネーブル
TG1_RST_ENA	R/W	9	0	RESETREQ1 レジスタの TG1_RST ビットへのライト・イネーブル
TG0_RST_ENA	R/W	8	0	RESETREQ1 レジスタの TG0_RST ビットへのライト・イネーブル
TW3_RST_ENA	R/W	7	0	RESETREQ1 レジスタの TW3_RST ビットへのライト・イネーブル
TW2_RST_ENA	R/W	6	0	RESETREQ1 レジスタの TW2_RST ビットへのライト・イネーブル
TW1_RST_ENA	R/W	5	0	RESETREQ1 レジスタの TW1_RST ビットへのライト・イネーブル
TW0_RST_ENA	R/W	4	0	RESETREQ1 レジスタの TW0_RST ビットへのライト・イネーブル

(2/2)

名 称	R/W	ビット	リセット時	機 能
TI3_RST_ENA	R/W	3	0	RESETREQ1 レジスタの TI3_RST ビットへのライト・イネーブル
TI2_RST_ENA	R/W	2	0	RESETREQ1 レジスタの TI2_RST ビットへのライト・イネーブル
TI1_RST_ENA	R/W	1	0	RESETREQ1 レジスタの TI1_RST ビットへのライト・イネーブル
TI0_RST_ENA	R/W	0	0	RESETREQ1 レジスタの TI0_RST ビットへのライト・イネーブル

備考 0：ディスエーブル，1：イネーブル

3.2.6 リセット要求レジスタ 2

本レジスタ (RESETREQ2 : C011_0018H) は、各部のリセットを制御します。

RESETREQ2ENA レジスタでライト・イネーブルが設定されているビットのみ書き込み可能です。ライト・ディスエーブルが設定されているビットは値が保持されます。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved			PMU_RST	Reserved	CHG_RST	PWM_RST	Reserved
7	6	5	4	3	2	1	0
Reserved	SHXB_RST	DXHB_RST	MHXB_RST	SWL1_RST	SWL0_RST	AXL1_RST	AXL0_RST

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:13	-	予約。読み出すと 0 を返します。
PMU_RST	R/W	12	1	PMU_RSTZ を制御します。
Reserved	R	11	-	予約。読み出すと 0 を返します。
CHG_RST	R/W	10	1	CHG_RSTZ を制御します。
PWM_RST	R/W	9	0	PWM_RSTZ を制御します。
Reserved	R	8:7	-	予約。読み出すと 0 を返します。
SHXB_RST	R/W	6	0	SHXB_RSTZ を制御します。
DXHB_RST	R/W	5	0	DXHB_RSTZ を制御します。
MHXB_RST	R/W	4	0	MHXB_RSTZ を制御します。
SWL1_RST	R/W	3	1	SWL1_RSTZ を制御します。
SWL0_RST	R/W	2	1	SWL0_RSTZ を制御します。
AXL1_RST	R/W	1	1	AXL1_RSTZ を制御します。
AXL0_RST	R/W	0	1	AXL0_RSTZ を制御します。

備考 0 : リセット , 1 : リセット解除

3.2.7 RESETREQ2 のセット/リセット・イネーブル・レジスタ

本レジスタ (RESETREQ2ENA : C011_001CH) は, RESETREQ2 レジスタの各ビットのライト・イネーブルを設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved			PMU_RST_ENA	Reserved	CHG_RST_ENA	PWM_RST_ENA	Reserved
7	6	5	4	3	2	1	0
Reserved	SHXB_RST_ENA	DXHB_RST_ENA	MHXB_RST_ENA	SWL1_RST_ENA	SWL0_RST_ENA	AXL1_RST_ENA	AXL0_RST_ENA

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:13	-	予約。読み出すと 0 を返します。
PMU_RST_ENA	R/W	12	0	RESETREQ2 レジスタの PMU_RST ビットへのライト・イネーブル
Reserved	R	11	-	予約。読み出すと 0 を返します。
CHG_RST_ENA	R/W	10	0	RESETREQ2 レジスタの CHG_RST ビットへのライト・イネーブル
PWM_RST_ENA	R/W	9	0	RESETREQ2 レジスタの PWM_RST ビットへのライト・イネーブル
Reserved	R	8:7	-	予約。読み出すと 0 を返します。
SHXB_RST_ENA	R/W	6	0	RESETREQ2 レジスタの SHXB_RST ビットへのライト・イネーブル
DXHB_RST_ENA	R/W	5	0	RESETREQ2 レジスタの DXHB_RST ビットへのライト・イネーブル
MHXB_RST_ENA	R/W	4	0	RESETREQ2 レジスタの MHXB_RST ビットへのライト・イネーブル
SWL1_RST_ENA	R/W	3	0	RESETREQ2 レジスタの SWL1_RST ビットへのライト・イネーブル
SWL0_RST_ENA	R/W	2	0	RESETREQ2 レジスタの SWL0_RST ビットへのライト・イネーブル
AXL1_RST_ENA	R/W	1	0	RESETREQ2 レジスタの AXL1_RST ビットへのライト・イネーブル
AXL0_RST_ENA	R/W	0	0	RESETREQ2 レジスタの AXL0_RST ビットへのライト・イネーブル

備考 0 : ディスエーブル, 1 : イネーブル

3.2.8 ウォッチドック・タイマ強制リセット制御レジスタ

本レジスタ（WDT_INT_RESET：C011_0020H）は、ウォッチドック・タイマのリセット信号を制御します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved				TW3_ RSTREQ	Reserved		TW0_ RSTREQ
7	6	5	4	3	2	1	0
ADSP_WDTR ST_MODE	Reserved		ACPU_WDTR ST_MODE	ADSP_ WDTRST	Reserved		ACPU_ WDTRST

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:12	-	予約。読み出すと0を返します。
TW3_RSTREQ	R/W	11	0	TW3 がラン・アウトした場合、ERR_RST_REQB 端子（外部リセット要求信号）を制御します。 0：ERR_RST_REQB をアサートしない 1：ERR_RST_REQB をアサートする
Reserved	R	10:9	-	予約。読み出すと0を返します。
TW0_RSTREQ	R/W	8	0	TW0 がラン・アウトした場合、ERR_RST_REQB 端子（外部リセット要求信号）を制御します。 0：ERR_RST_REQB をアサートしない 1：ERR_RST_REQB をアサートする
ADSP_WDTRST_M ODE	R/W	7	0	ADSP_WDTRST でリセットがアサートされた場合、ADSP へのリセットを制御します。 0：ADSP リセットをアサート後、一定期間後にリセット解除する 1：ADSP リセットをアサートし続ける （RESETCTRL0 レジスタの ADSP_IRST ビットを0にセットします。）
Reserved	R	6:5	-	予約。読み出すと0を返します。
ACPU_WDTRST_M ODE	R/W	4	0	ACPU_WDTRST でリセットがアサートされた場合、ACPU へのリセットを制御します。 0：ACPU リセットをアサート後、一定期間後にリセット解除する 1：ACPU リセットをアサートし続ける （RESETREQ0 レジスタの ACPURST ビットを0にセットします。）
ADSP_WDTRST	R/W	3	0	TW3 がラン・アウトした場合、ADSP へのリセットを制御します。 0：ADSP リセットをアサートしない 1：ADSP リセットをアサートする
Reserved	R	2:1	-	予約。読み出すと0を返します。
ACPU_WDTRST	R/W	0	0	TW0 がラン・アウトした場合、ACPU へのリセットを制御します。 0：ACPU リセットをアサートしない 1：ACPU リセットをアサートする

ERR_RST_REQB (外部リセット要求信号アクティブ・ロー・レベル) アサート条件は次のとおりです。

- PMU_ASMU_ERR_RST_REQZ = 0 (PMU からの WDT リセット要求)
- TW0_RSTREQ = 1 のとき ATIM_TW0_TOUT = 1 (TW0 がラン・アウト)
- TW3_RSTREQ = 1 のとき ATIM_TW3_TOUT = 1 (TW3 がラン・アウト)

アサートされた ERR_RST_REQB (外部リセット要求信号) は全系リセット (A_RESETB) により解除されます。

3.2.9 リセット・レジスタ値変化時、挿入クロック数設定レジスタ

本レジスタ (RESET_PCLK_COUNT : C011_0024H) は、リセット・レジスタの値が変化したときに挿入するクロック数+1 (PCLK 数) を設定するレジスタです。

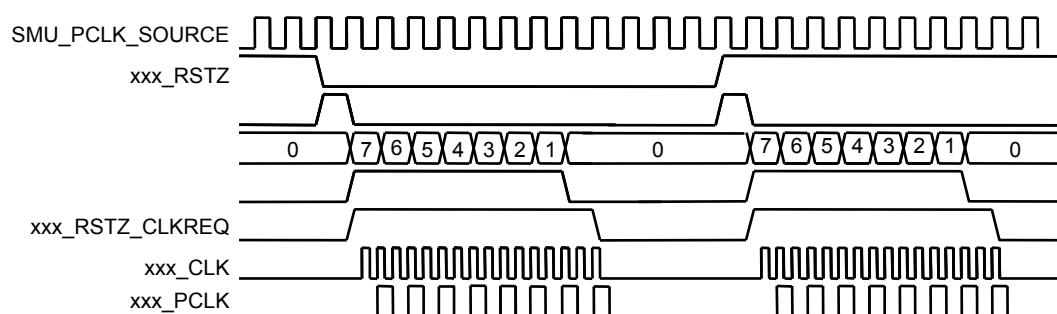
31	30	29	28	27	26	25	24
Reserved			RESET_PCLK_COUNT3_EN	RESET_PCLK_COUNT3			
23	22	21	20	19	18	17	16
Reserved			RESET_PCLK_COUNT2_EN	RESET_PCLK_COUNT2			
15	14	13	12	11	10	9	8
Reserved			RESET_PCLK_COUNT1_EN	RESET_PCLK_COUNT1			
7	6	5	4	3	2	1	0
Reserved			RESET_PCLK_COUNT0_EN	RESET_PCLK_COUNT0			

(1/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:29	-	予約。読み出すと 0 を返します。
RESET_PCLK_COUNT3_EN	R/W	28	1	RESETREQ3 レジスタ リセット・アサート/ディアサート時に同期リセットの初期化のためのクロック強制挿入する / しないを設定します。 0 : ディスエーブル, 1 : イネーブル
RESET_PCLK_COUNT3	R/W	27:24	FH	RESET_PCLK_COUNT3_EN がイネーブルのとき, リセット・レジスタ値が変化したら挿入するクロック数+1 (PCLK 数) を設定します。
Reserved	R	23:21	-	予約。読み出すと 0 を返します。
RESET_PCLK_COUNT2_EN	R/W	20	1	RESETREQ2 レジスタ リセット・アサート/ディアサート時に同期リセットの初期化のためのクロックを強制挿入する / しないを設定します。 0 : ディスエーブル, 1 : イネーブル
RESET_PCLK_COUNT2	R/W	19:16	FH	RESET_PCLK_COUNT2_EN がイネーブルのとき, リセット・レジスタ値が変化したら挿入するクロック数+1 (PCLK 数) を設定します。
Reserved	R	15:13	-	予約。読み出すと 0 を返します。
RESET_PCLK_COUNT1_EN	R/W	12	1	RESETREQ1 レジスタ リセット・アサート/ディアサート時に同期リセットの初期化のためのクロックを強制挿入する / しないを設定します。 0 : ディスエーブル, 1 : イネーブル
RESET_PCLK_COUNT1	R/W	11:8	FH	RESET_PCLK_COUNT1_EN がイネーブルのとき, リセット・レジスタ値が変化したら挿入するクロック数+1 (PCLK 数) を設定します。
Reserved	R	7:5	-	予約。読み出すと 0 を返します。

名 称	R/W	ビット	リセット時	機 能
RESET_PCLK_COUNT0_EN	R/W	4	1	RESETREQ0, RESETCTRL0 レジスタ リセット・アサート/ディアサート時に同期リセットの初期化のためのクロックを強制挿入する/しないを設定します。 0: ディスエーブル, 1: イネーブル
RESET_PCLK_COUNT0	R/W	3:0	FH	RESET_PCLK_COUNT0_EN がイネーブルのとき, リセット・レジスタ値が変化したら挿入するクロック数+1 (PCLK 数) を設定します。

同期クロック系統に関しては, 次のようにリセット・アサート/ディアサート時にクロック要求信号を生成し, クロックを強制的に出力させることでクロック自動制御を OFF することなくリセットすることが可能になります。



3.2.10 自動遷移許可レジスタ

本レジスタ (AUTO_MODE_EN : C011_007CH) は、省電力モード間の自動遷移許可を制御します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved						POWERDOWN_INT_MASK_EN	POWERDOWN_INT_MASK
15	14	13	12	11	10	9	8
Reserved							AUTO_PD2ST_EN
7	6	5	4	3	2	1	0
Reserved							

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:18	-	予約。読み出すと 0 を返します。
POWERDOWN_INT_MASK_EN	R/W	17	0	POWERDOWN モード時, ACPU への割り込み (IRQ, FIQ) 発生もしくは, POWERDOWN_INT_MASK (ビット 16) を 1 にするかを設定します。 0 : 禁止, 1 : 許可
POWERDOWN_INT_MASK	R/W	16	0	本ビットが 1 の場合には, 次のレジスタの APB アクセス Write は無視されます (APB Write できません)。 CLK_MODE_SEL, PLL1CTRL1, PLL3CTRL1, ASMU_PWRCNT また POWERDOWN_INT_MASK_EN (ビット 17) が 1 (許可) の場合, かつ POWERDOWN モード時に ACPU への割り込み (IRQ, FIQ) が発生した場合に自動的に本ビットを 1 にします。 0 : APB アクセス Write 可能 1 : APB アクセス Write マスク
Reserved	R	15:9	-	予約。読み出すと 0 を返します。
AUTO_PD2ST_EN	R/W	8	0	AUTO_PD2ST_EN : Power Down → Standby 切り替え Power Down モード時, ACPU への割り込みをトリガとして, Standby モードへ自動遷移の許可 / 禁止を設定します。 0 : 禁止, 1 : 許可
Reserved	R	7:0	-	予約。読み出すと 0 を返します。

3.2.11 クロック・モード選択レジスタ

本レジスタ（CLK_MODE_SEL：C011_0080H）は、PLL 周波数のモードを選択します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							AUTO_FRQ_CHANGE_BUSY
15	14	13	12	11	10	9	8
Reserved				MODE_STATUS			
7	6	5	4	3	2	1	0
Reserved				MODE_SEL			

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:17	-	予約。読み出すと 0 を返します。
AUTO_FRQ_CHANGE_BUSY	R	16	0	PLL 周波数自動切り替え機能ステータスを示します。 0 : Normal (通常周波数動作中) 1 : Busy (低周波数動作中)
Reserved	R	15:12	-	予約。読み出すと 0 を返します。
MODE_STATUS	R	11:8	FH	PLL 周波数のクロック・モードのステータスを示します。 0H : Power ON 1H : Nomal A 2H : Nomal B 3H : Nomal C 4H : Nomal D 5H : Economy 6H : Standby 7H : Sleep 8H : Power Down FH : Unknown
Reserved	R	7:4	-	予約。読み出すと 0 を返します。
MODE_SEL	R/W	3:0	0H	モード切り替えをスタートします。 0H : Power ON (デフォルト) 1H : Nomal A 2H : Nomal B 3H : Nomal C 4H : Nomal D 5H : Economy 6H : Standby 7H : Sleep 8H : Power Down 9H ~ FH : 設定禁止

リセット解除後，Power ON モードに自動的にブートします。

その後，MODE_SEL ビットを設定することにより，各モードに対応する PLL に切り替えます。

Power Down モード時，ACPU への割り込み（IRQ，FIQ）が発生した場合，PLL3_LOCKTIME 設定時間経過後，自動的に Standby モードに遷移します（AUTO_PD2ST_EN 許可時）。

○ 関連レジスタ：3.2.19 PLL自動スタンバイ・モード

Economy モード ↔ Standby モード 自動遷移条件

Power Down モード → Standby モード自動遷移条件

- AUTO_PD2ST_EN 許可時，かつ MODE_STATUS = 8H（Power Down モード），かつ AINT_ACPUSTART = 1（ACPU への割り込み）になったとき，MODE_SEL に 6H がライトされます（Power Down → Standby）。

注意 MODE_SEL を変更する場合は，自動周波数切り替えをディスエーブルにしてから変更してください。

3.2.12 システム用PLL1 設定レジスタ 0

本レジスタ（PLL1CTRL0：C011_0084H）は、PLL1の通倍率を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
PLL1_N_ VAL7	PLL1_N_ VAL6	PLL1_N_ VAL5	PLL1_N_ VAL4	PLL1_N_ VAL3	PLL1_N_ VAL2	PLL1_N_ VAL1	PLL1_N_ VAL0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:8	-	予約。読み出すと0を返します。
PLL1_N_VAL	R/W	7:0	79H	PLL1（リファレンス・クロック：32.768 kHz）のN[7:0]端子に対応します。デフォルト設定は15250通倍です。 00H～4DH：設定禁止 4EH：78（9875通倍） ： 5FH：95（12000通倍） 60H：96（12125通倍） ： 78H：120（15125通倍） 79H：121（15250通倍）：デフォルト = 499.712 MHz ： 7AH～FFH：設定禁止

備考 1. PLL1の出力周波数（FO）は $FO = FR[\text{入力周波数}] \times 125 \times (\text{PLL1_N_VAL} + 1)$ です。出力周波数範囲が320 MHz～500 MHzになるように設定してください。

2. Normalモード（Normal-A，Normal-B，Normal-C，またはNormal-D）の状態でPLL1の通倍率を変更する場合は、Power ONモードの状態で変更してください。

3.2.13 システム用PLL1 設定レジスタ 1

本レジスタ（PLL1CTRL1：C011_0088H）は、PLL1 の STBY 端子を設定します。

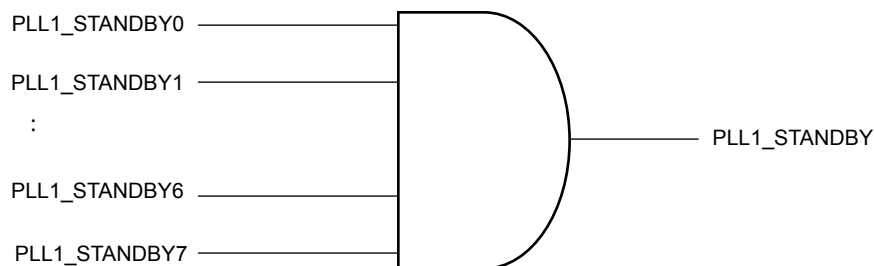
31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
PLL1_ STANDBY7	PLL1_ STANDBY6	PLL1_ STANDBY5	PLL1_ STANDBY4	PLL1_ STANDBY3	PLL1_ STANDBY2	PLL1_ STANDBY1	PLL1_ STANDBY0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:8	-	予約。読み出すと 0 を返します。
PLL1_STANDBY7	R/W	7	1	PLL1 の STBY 端子に対応しています。
PLL1_STANDBY6	R/W	6	1	PLL1 の STBY 端子に対応しています。
PLL1_STANDBY5	R/W	5	1	PLL1 の STBY 端子に対応しています。
PLL1_STANDBY4	R/W	4	1	PLL1 の STBY 端子に対応しています。
PLL1_STANDBY3	R/W	3	1	PLL1 の STBY 端子に対応しています。
PLL1_STANDBY2	R/W	2	1	PLL1 の STBY 端子に対応しています。
PLL1_STANDBY1	R/W	1	1	PLL1 の STBY 端子に対応しています。
PLL1_STANDBY0	R/W	0	1	PLL1 の STBY 端子に対応しています。

備考 0：スタンバイ解除（発振可）、1：スタンバイ（発振不可）

スタンバイ解除（PLL1_STANDBY = "0"）したあと、1 ms 経過後にクロックとして使用可能です。

PLL1_STANDBY0 ~ PLL1_STANDBY7 の全ビットが 1 にセットされると PLL1 はスタンバイになります。



3.2.14 シリアル・クロック用PLL2 設定レジスタ 0

本レジスタ（PLL2CTRL0：C011_008CH）は、PLL2 の通倍率を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
PLL2_N_ VAL7	PLL2_N_ VAL6	PLL2_N_ VAL5	PLL2_N_ VAL4	PLL2_N_ VAL3	PLL2_N_ VAL2	PLL2_N_ VAL1	PLL2_N_ VAL0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:8	-	予約。読み出すと 0 を返します。
PLL2_N_VAL	R/W	7:0	79H	PLL2（リファレンス・クロック：32.768 kHz）の N[7:0]端子に対応します。デフォルト設定は 15250 通倍です。 00H～4DH：設定禁止 4EH：78（9875 通倍） ： 5FH：95（12000 通倍） 60H：96（12125 通倍） ： 78H：120（15125 通倍） 79H：121（15250 通倍）：デフォルト = 499.712 MHz ： 7AH～FFH：設定禁止

備考 PLL2 の出力周波数（FO）は $FO = FR[\text{入力周波数}] \times 125 \times (\text{PLL2_N_VAL} + 1)$ です。出力周波数範囲が 320 MHz～500 MHz になるように設定してください。

3.2.15 シリアル・クロック用PLL2 設定レジスタ 1

本レジスタ (PLL2CTRL1 : C011_0090H) は, PLL2 の STBY 端子を設定します。

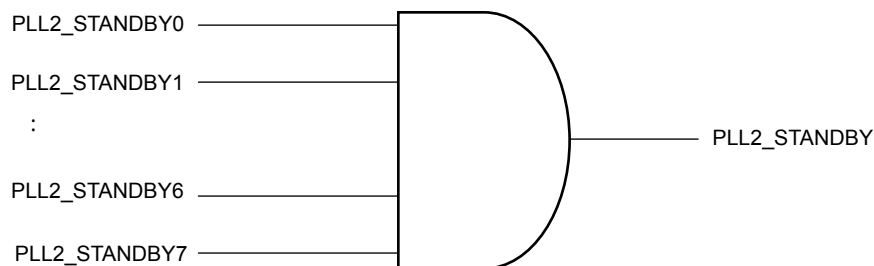
31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
PLL2_ STANDBY7	PLL2_ STANDBY6	PLL2_ STANDBY5	PLL2_ STANDBY4	PLL2_ STANDBY3	PLL2_ STANDBY2	PLL2_ STANDBY1	PLL2_ STANDBY0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:8	-	予約。読み出すと 0 を返します。
PLL2_STANDBY7	R/W	7	1	PLL2 の STBY 端子に対応しています。
PLL2_STANDBY6	R/W	6	1	PLL2 の STBY 端子に対応しています。
PLL2_STANDBY5	R/W	5	1	PLL2 の STBY 端子に対応しています。
PLL2_STANDBY4	R/W	4	1	PLL2 の STBY 端子に対応しています。
PLL2_STANDBY3	R/W	3	1	PLL2 の STBY 端子に対応しています。
PLL2_STANDBY2	R/W	2	1	PLL2 の STBY 端子に対応しています。
PLL2_STANDBY1	R/W	1	1	PLL2 の STBY 端子に対応しています。
PLL2_STANDBY0	R/W	0	1	PLL2 の STBY 端子に対応しています。

備考 0 : スタンバイ解除 (発振可), 1 : スタンバイ (発振不可)

スタンバイ解除 (PLL2_STANDBY = "0") したあと, 1 ms 経過後クロックとして使用可能です。

PLL2_STANDBY0 ~ PLL2_STANDBY7 の全ビットが 1 にセットされると PLL2 はスタンバイになります。



3.2.16 システム用PLL3 設定レジスタ 0

本レジスタ (PLL3CTRL0 : C011_0094H) は, PLL3 の通倍率を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved	PLL3_N_VAL6	PLL3_N_VAL5	PLL3_N_VAL4	PLL3_N_VAL3	PLL3_N_VAL2	PLL3_N_VAL1	PLL3_N_VAL0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:7	-	予約。読み出すと 0 を返します。
PLL3_N_VAL	R/W	6:0	37H	PLL3 の N[6:0]端子に対応しています。 00H ~ 2FH : 設定禁止 30H : 48 (6125 通倍) 31H : 49 (6250 通倍) : 37H : 55 (7000 通倍): デフォルト = 229.376 MHz : 40H : 64 (8125 通倍) 41H ~ 7FH : 設定禁止

備考 PLL3 の出力周波数(FO)は $FO = FR[\text{入力周波数}] \times 125 \times (PLL3_N_VAL + 1)$ です。出力周波数範囲が 220 MHz ~ 260 MHz になるように設定してください。

3.2.17 システム用PLL3 設定レジスタ 1

本レジスタ（PLL3CTRL1：C011_0098H）は、PLL3 の STBY 端子を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
PLL3_ STANDBY7	PLL3_ STANDBY6	PLL3_ STANDBY5	PLL3_ STANDBY4	PLL3_ STANDBY3	PLL3_ STANDBY2	PLL3_ STANDBY1	PLL3_ STANDBY0

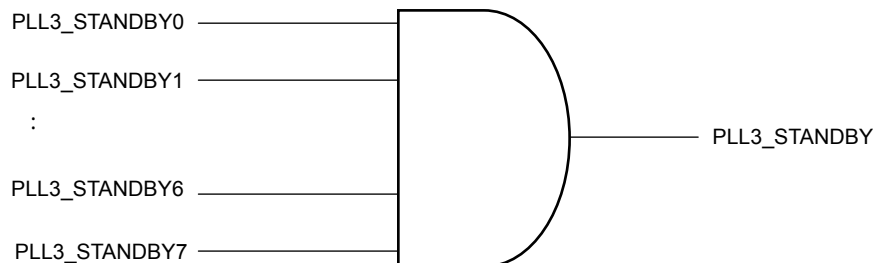
名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:8	-	予約。読み出すと 0 を返します。
PLL3_STANDBY7	R/W	7	0	PLL3 の STBY 端子に対応しています。
PLL3_STANDBY6	R/W	6	0	PLL3 の STBY 端子に対応しています。
PLL3_STANDBY5	R/W	5	0	PLL3 の STBY 端子に対応しています。
PLL3_STANDBY4	R/W	4	0	PLL3 の STBY 端子に対応しています。
PLL3_STANDBY3	R/W	3	0	PLL3 の STBY 端子に対応しています。
PLL3_STANDBY2	R/W	2	0	PLL3 の STBY 端子に対応しています。
PLL3_STANDBY1	R/W	1	0	PLL3 の STBY 端子に対応しています。
PLL3_STANDBY0	R/W	0	0	PLL3 の STBY 端子に対応しています。

備考 0：スタンバイ解除（発振可）、1：スタンバイ（発振不可）

スタンバイ解除（PLL3_STANDBY = "0"）したあと、800 μ s 経過後クロックとして使用可能です。

Power Down モード時、ACPU への割り込み（IRQ、FIQ）が発生した場合、PLL_WAITTIME のどちらか長い設定時間の経過後、自動的にスタンバイ解除されます（ビット 7-0 = 00H）。

PLL3_STANDBY0 ~ PLL3_STANDBY07 の全ビットが 1 にセットされると PLL3 はスタンバイになります。



3.2.18 PLLロック時間設定レジスタ

本レジスタ（PLLLOCKTIME：C011_009CH）は、PLL1のロック時間を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved			PLL3_ LOCKTIME_ INVALID	Reserved		PLL3_ LOCKTIME1	PLL3_ LOCKTIME0
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved			PLL1_ LOCKTIME_ INVALID	Reserved		PLL1_ LOCKTIME1	PLL1_ LOCKTIME0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:21	-	予約。読み出すと0を返します。
PLL3_LOCKTIME_IN VALID	R/W	20	0	PLL3 ロック時間設定レジスタ（ビット1, 0）を無効にします。 0：有効，1：無効
Reserved	R	19:18	-	予約。読み出すと0を返します。
PLL3_LOCKTIME1	R/W	17	1	PLL3のロック時間を設定します ビット 1 0 設定時間
PLL3_LOCKTIME0	R/W	16	1	
Reserved	R	15:5	-	予約。読み出すと0を返します。
PLL1_LOCKTIME_IN VALID	R/W	4	0	PLL1 ロック時間設定レジスタ（ビット1, 0）を無効にします。 0：有効，1：無効
Reserved	R	3:2	-	予約。読み出すと0を返します。
PLL1_LOCKTIME1	R/W	1	1	PLL1のロック時間を設定します。 ビット 1 0 設定時間
PLL1_LOCKTIME0	R/W	0	1	

備考 PLLnCTRL1 レジスタのビット 0-7 をひとつでも 0 に設定した時点からカウントを開始します。

3.2.19 PLL自動スタンバイ・モード・レジスタ

本レジスタ (AUTO_PLL_STANDBY : C011_00A8H) は PLL 自動スタンバイ・モードを制御します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved						AUTO_STAN DBY_CLR	AUTO_STAN DBY

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:2	-	予約。読み出すと 0 を返します。
AUTO_STANDBY_CLR	R/W	1	1	自動スタンバイ解除モードを解除します。 0 : 自動的にスタンバイ・モードを解除しない。 1 : 自動的にスタンバイ・モードを解除する。
AUTO_STANDBY	R/W	0	0	自動スタンバイ・モードを設定します。 0 : 自動的にスタンバイ・モードにしない。 1 : 自動的にスタンバイ・モードにする。

(1) 自動スタンバイ解除モード

PLL1 : 次の 3 つの条件で状態遷移するとき, PLL1_STANDBY[7:0] = FFH (PLL1 がスタンバイ状態) の場合, 自動的に PLL1_STANDBY[7:0] = 00H にします。

Power ON から Normal A/B/C/D に遷移するとき

Economy 以外 から Economy に遷移するとき

Standby 以外から Standby に遷移するとき

PLL3 : Power Down から Standby に遷移するとき, PLL3_STANDBY[7:0] = FFH (PLL3 がスタンバイ状態) の場合, 自動的に PLL3_STANDBY[7:0] = 00H にします。

(2) 自動スタンバイ・モード

PLL1 : Standby から Sleep に遷移するとき, 自動的に PLL1_STANDBY[7:0] = FFH にします。

Standby から Power Down に遷移するとき, 自動的に PLL1_STANDBY[7:0] = FFH にしません。

PLL3 : なし

自動スタンバイ解除モード, 自動スタンバイ・モードは, 同時に 0 または 1 に設定することは可能です。

3.2.20 PLL電源安定時間設定レジスタ

本レジスタ（PLLVDWAIT：C011_00B4H）は、PLL 電源の安定時間を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved			PLLWAIT TIME4	PLLWAIT TIME3	PLLWAIT TIME2	PLLWAIT TIME1	PLLWAIT TIME0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:13	-	予約。読み出すと 0 を返します。
Reserved	R/W	12:8	0	予約。R/W 可能です。
Reserved	R	7:5	-	予約。読み出すと 0 を返します。
PLLWAITTIME4	R/W	4	0	PLL 電源の安定時間を設定します。 PLLWAITTIME[4:0] = 00H : 153 μ s (非同期受け渡し動作などを行わないため、ほかの設定に比べ WAITTIME が短くなります。) PLLWAITTIME[4:0] = 01H : 305 μ s PLLWAITTIME[4:0] = 02H : 336 μ s PLLWAITTIME[4:0] = 03H : 366 μ s PLLWAITTIME[4:0] = 1FH : 1221 μ s
PLLWAITTIME3	R/W	3	0	
PLLWAITTIME2	R/W	2	0	
PLLWAITTIME1	R/W	1	0	
PLLWAITTIME0	R/W	0	0	

電源 IC のパワー・セーブ・モード時の PLL 電源および L0 領域の電圧をノーマル・モード時と異なる電圧に設定している場合、ノーマル・モードへ復帰するまでの時間を設定してください。

00H 設定時は、ほかの設定時と内部動作が異なり、非同期受け渡し動作を行いません。そのため、WAITTIME が短いので注意してください。

Power Down モード時の PLL 電源電圧を 0 V に設定している場合、PLLWAITTIME [4:0]に Power Down モードから復帰する際には、PLLWAITTIME[4:0]に PLL3 の発振開始をウェイトさせる時間を設定してください。

3.2.21 クロック停止命令信号状態レジスタ

本レジスタ（CLKSTOPSIG_ST：C011_00C4H）は、クロック停止命令信号の状態を示します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved			ADSP_ HALTSTAT1	ADSP_ HALTSTAT0	Reserved		ACPU_ STANDBYWFI

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:5	-	予約。読み出すと 0 を返します。
ADSP_HALTSTAT1	R	4	-	ADSP_HALTSTAT[1]入力の状態を示します。
ADSP_HALTSTAT0	R	3	-	ADSP_HALTSTAT[0]入力の状態を示します。
Reserved	R	2:1	-	予約。読み出すと 0 を返します。
ACPU_ STANDBYWFI	R	0	-	ACPU_STANDBYWFI 入力の状態を示します。

3.2.22 32.768 kHzクロック・ステータス・レジスタ

本レジスタ（CLK32_STATUS：C011_00C8H）は、32.768 kHz のステータスを示します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							CK32KI

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:1	-	予約。読み出すと 0 を返します。
CK32KI	R	0	-	外部入力クロック（32.768 kHz）入力端子のステータスを示します。

3.2.23 電源履歴用汎用レジスタ

本レジスタ (POWER_RECORD : C011_00CCH) は、電源ブロックの履歴を記録するための汎用レジスタです。

31	30	29	28	27	26	25	24
POWER_RECORD31	POWER_RECORD30	POWER_RECORD29	POWER_RECORD28	POWER_RECORD27	POWER_RECORD26	POWER_RECORD25	POWER_RECORD24
23	22	21	20	19	18	17	16
POWER_RECORD23	POWER_RECORD22	POWER_RECORD21	POWER_RECORD20	POWER_RECORD19	POWER_RECORD18	POWER_RECORD17	POWER_RECORD16
15	14	13	12	11	10	9	8
POWER_RECORD15	POWER_RECORD14	POWER_RECORD13	POWER_RECORD12	POWER_RECORD11	POWER_RECORD10	POWER_RECORD9	POWER_RECORD8
7	6	5	4	3	2	1	0
POWER_RECORD7	POWER_RECORD6	POWER_RECORD5	POWER_RECORD4	POWER_RECORD3	POWER_RECORD2	POWER_RECORD1	POWER_RECORD0

名 称	R/W	ビット	リセット時	機 能
POWER_RECORD	R/W	31:0	0	汎用レジスタ。

3.2.24 割り込みステータス・レジスタ

本レジスタ (ASMU_INT_STATUS : C011_00D0H) は、クロック・モード変更の割り込み要因の状態を示すリード・オンリー・レジスタです。割り込みイネーブル・セット・レジスタで がセットされている割り込み要因ステータスのリードができます。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							INT_STATUS

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:1	-	予約。読み出すと 0 を返します。
INT_STATUS	R	0	0	クロック・モード変更割り込みステータスを示します (割り込みイネーブル・セット・レジスタがセットされている場合のみ反映します)。

○ クロック・モード変更割り込み要因

CLK_MODE_SEL を変更し、切り替えが完了すると INT を発生させます。

電源制御時 (PMU 制御時) は、INT をマスクするようにしてください。

3.2.25 割り込みRawステータス・レジスタ

本レジスタ (ASMU_INT_RAW_STATUS : C011_00D4H) は、クロック・モード変更の割り込み要因の状態を示すリード・オンリー・レジスタです。

本レジスタは、割り込みイネーブル・セット・レジスタ、割り込みイネーブル・クリア・レジスタの状態にかかわらず割り込み要因がセットされます。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							INT_RAW_STATUS

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:1	-	予約。読み出すと 0 を返します。
INT_RAW_STATUS	R	0	0	クロック・モード変更割り込み Raw ステータスを示します。 (割り込みイネーブル・セット・レジスタの設定に関わらず、反映します。)

3.2.26 割り込みイネーブル・セット・レジスタ

本レジスタ (ASMU_INT_ENSET : C011_00D8H) はクロック・モード変更の割り込みイネーブルをセットします。

0 を書き込んでも、何も変化しません。また、本レジスタを読み出すことにより、割り込み要求発行許可の状態が確認できます。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							INT_ENSET

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:1	-	予約。読み出すと 0 を返します。
INT_ENSET	R/W	0	0	クロック・モード変更割り込みイネーブルをセットします。 0 : 割り込みイネーブルを保持 1 : 割り込みイネーブルをセット

3.2.27 割り込みイネーブル・クリア・レジスタ

本レジスタ（ASMU_INT_ENCLR：C011_00DCH）は、クロック・モード変更の割り込みイネーブルをクリアします。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							INT_ENCLR

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:1	-	予約。読み出すと 0 を返します。
INT_ENCLR	W	0	0	クロック・モード変更割り込みイネーブルをクリアします。 0：割り込みイネーブルを保持 1：割り込みイネーブルをクリア

3.2.28 割り込みイネーブル・モニタ・レジスタ

本レジスタ（ASMU_INT_ENMON：C011_00E0H）は、クロック・モード変更割り込みの要求発行状態を示すレジスタです。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							INT_ENMON

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:1	-	予約。読み出すと 0 を返します。
INT_ENMON	R	0	0	クロック・モード変更割り込み要求発行状態を示します。 0：割り込み不許可（割り込みマスク） 1：割り込み許可

3.2.29 割り込みクリア・レジスタ

本レジスタ（ASMU_INT_CLEAR：C011_00E4H）は、クロック・モード変更の割り込み要因をクリアします。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							INT_CLEAR

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:1	-	予約。読み出すと0を返します。
INT_CLEAR	W	0	0	クロック・モード変更割り込み要因をクリアします。 0：割り込み要因 保持 1：割り込み要因 クリア

3.2.30 Normal Mode A分周設定レジスタ

本レジスタ (NORMALA_DIV : C011_00F0H) は, Normal モード A のときの分周率を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved	MEMCDOMAIN_DIV_A			Reserved	FLASHDOMAIN_DIV_A		
15	14	13	12	11	10	9	8
Reserved	LBUSDOMAIN_DIV_A			Reserved	HBUSDOMAIN_DIV_A		
7	6	5	4	3	2	1	0
Reserved	ADSPDOMAIN_DIV_A			Reserved	ACPUDOMAIN_DIV_A		

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:23	-	予約。読み出すと 0 を返します。
MEMCDOMAIN_DIV_A	R/W	22:20	3H	MEMC Domain 分周率を設定します。
Reserved	R	19	-	予約。読み出すと 0 を返します。
FLASHDOMAIN_DIV_A	R/W	18:16	5H	FLASH Domain 分周率を設定します。
Reserved	R	15	-	予約。読み出すと 0 を返します。
LBUSDOMAIN_DIV_A	R/W	14:12	5H	LBUS Domain 分周率を設定します。
Reserved	R	11	-	予約。読み出すと 0 を返します。
HBUSDOMAIN_DIV_A	R/W	10:8	3H	HBUS Domain 分周率を設定します。
Reserved	R	7	-	予約。読み出すと 0 を返します。
ADSPDOMAIN_DIV_A	R/W	6:4	0	ADSP Domain 分周率を設定します。
Reserved	R	3	-	予約。読み出すと 0 を返します。
ACPUDOMAIN_DIV_A	R/W	2:0	0	ACPU Domain 分周率を設定します。

備考 1. xxxxDOMAIN_DIV_A = 0H : 1 分周

xxxxDOMAIN_DIV_A = 1H : 2 分周

xxxxDOMAIN_DIV_A = 2H : 3 分周

xxxxDOMAIN_DIV_A = 3H : 4 分周

xxxxDOMAIN_DIV_A = 4H : 6 分周

xxxxDOMAIN_DIV_A = 5H : 8 分周

xxxxDOMAIN_DIV_A = 6H : 禁止

xxxxDOMAIN_DIV_A = 7H : 禁止

2. 分周されたドメイン・クロックの周波数が次の条件を満たすように設定してください。

ACPU, ADSP MEMC HBUS FLASH, LBUS

また, 条件の各項ドメイン・クロック周波数が整数倍になるように設定してください。

3. 各ドメイン・クロック最高周波数 (PLL1 500 MHz)

ACPU (1 分周設定) : 500 MHz

ADSP (1 分周設定) : 500 MHz

HBUS (3 分周設定) : 166.6 MHz

LBUS (6 分周設定) : 83.3 MHz

FLASH (6 分周設定) : 83.3 MHz

MEMC (3 分周設定) : 166.6 MHz

3.2.31 Normal Mode B分周設定レジスタ

本レジスタ (NORMALB_DIV : C011_00F4H) は, Normal モード B のときの分周率を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved	MEMCDOMAIN_DIV_B			Reserved	FLASHDOMAIN_DIV_B		
15	14	13	12	11	10	9	8
Reserved	LBUSDOMAIN_DIV_B			Reserved	HBUSDOMAIN_DIV_B		
7	6	5	4	3	2	1	0
Reserved	ADSPDOMAIN_DIV_B			Reserved	ACPUDOMAIN_DIV_B		

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:23	-	予約。読み出すと 0 を返します。
MEMCDOMAIN_DIV_B	R/W	22:20	3H	MEMC Domain 分周率を設定します。
Reserved	R	19	-	予約。読み出すと 0 を返します。
FLASHDOMAIN_DIV_B	R/W	18:16	5H	FLASH Domain 分周率を設定します。
Reserved	R	15	-	予約。読み出すと 0 を返します。
LBUSDOMAIN_DIV_B	R/W	14:12	5H	LBUS Domain 分周率を設定します。
Reserved	R	11	-	予約。読み出すと 0 を返します。
HBUSDOMAIN_DIV_B	R/W	10:8	3H	HBUS Domain 分周率を設定します。
Reserved	R	7	-	予約。読み出すと 0 を返します。
ADSPDOMAIN_DIV_B	R/W	6:4	0	ADSP Domain 分周率を設定します。
Reserved	R	3	-	予約。読み出すと 0 を返します。
ACPUDOMAIN_DIV_B	R/W	2:0	0	ACPU Domain 分周率を設定します。

備考 1. xxxxDOMAIN_DIV_B = 0H : 1 分周

xxxxDOMAIN_DIV_B = 1H : 2 分周

xxxxDOMAIN_DIV_B = 2H : 3 分周

xxxxDOMAIN_DIV_B = 3H : 4 分周

xxxxDOMAIN_DIV_B = 4H : 6 分周

xxxxDOMAIN_DIV_B = 5H : 8 分周

xxxxDOMAIN_DIV_B = 6H : 禁止

xxxxDOMAIN_DIV_B = 7H : 禁止

2. 分周されたドメイン・クロックの周波数が次の条件を満たすように設定してください。

ACPU, ADSP MEMC HBUS FLASH, LBUS

また, 条件の各項ドメイン・クロック周波数が整数倍になるように設定してください。

3. 各ドメイン・クロック最高周波数 (PLL1 500 MHz)

ACPU (1 分周設定) : 500 MHz

ADSP (1 分周設定) : 500 MHz

HBUS (3 分周設定) : 166.6 MHz

LBUS (6 分周設定) : 83.3 MHz

FLASH (6 分周設定) : 83.3 MHz

MEMC (3 分周設定) : 166.6 MHz

3.2.32 Normal Mode C分周設定レジスタ

本レジスタ (NORMALC_DIV : C011_00F8H) は, Normal モード C のときの分周率を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved	MEMCDOMAIN_DIV_C			Reserved	FLASHDOMAIN_DIV_C		
15	14	13	12	11	10	9	8
Reserved	LBUSDOMAIN_DIV_C			Reserved	HBUSDOMAIN_DIV_C		
7	6	5	4	3	2	1	0
Reserved	ADSPDOMAIN_DIV_C			Reserved	ACPUDOMAIN_DIV_C		

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:23	-	予約。読み出すと 0 を返します。
MEMCDOMAIN_DIV_C	R/W	22:20	3H	MEMC Domain 分周率を設定します。
Reserved	R	19	-	予約。読み出すと 0 を返します。
FLASHDOMAIN_DIV_C	R/W	18:16	5H	FLASH Domain 分周率を設定します。
Reserved	R	15	-	予約。読み出すと 0 を返します。
LBUSDOMAIN_DIV_C	R/W	14:12	5H	LBUS Domain 分周率を設定します。
Reserved	R	11	-	予約。読み出すと 0 を返します。
HBUSDOMAIN_DIV_C	R/W	10:8	3H	HBUS Domain 分周率を設定します。
Reserved	R	7	-	予約。読み出すと 0 を返します。
ADSPDOMAIN_DIV_C	R/W	6:4	0	ADSP Domain 分周率を設定します。
Reserved	R	3	-	予約。読み出すと 0 を返します。
ACPUDOMAIN_DIV_C	R/W	2:0	0	ACPU Domain 分周率を設定します。

備考 1. xxxxDOMAIN_DIV_C = 0H : 1 分周

xxxxDOMAIN_DIV_C = 1H : 2 分周

xxxxDOMAIN_DIV_C = 2H : 3 分周

xxxxDOMAIN_DIV_C = 3H : 4 分周

xxxxDOMAIN_DIV_C = 4H : 6 分周

xxxxDOMAIN_DIV_C = 5H : 8 分周

xxxxDOMAIN_DIV_C = 6H : 禁止

xxxxDOMAIN_DIV_C = 7H : 禁止

2. 分周されたドメイン・クロックの周波数が次の条件を満たすように設定してください。

ACPU, ADSP MEMC HBUS FLASH, LBUS

また, 条件の各項ドメイン・クロック周波数が整数倍になるように設定してください。

3. 各ドメイン・クロック最高周波数 (PLL1 500 MHz)

ACPU (1 分周設定) : 500 MHz

ADSP (1 分周設定) : 500 MHz

HBUS (3 分周設定) : 166.6 MHz

LBUS (6 分周設定) : 83.3 MHz

FLASH (6 分周設定) : 83.3 MHz

MEMC (3 分周設定) : 166.6 MHz

3.2.33 Normal Mode D分周設定レジスタ

本レジスタ (NORMALD_DIV : C011_00FCH) は, Normal モード D のときの分周率を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved	MEMCDOMAIN_DIV_D			Reserved	FLASHDOMAIN_DIV_D		
15	14	13	12	11	10	9	8
Reserved	LBUSDOMAIN_DIV_D			Reserved	HBUSDOMAIN_DIV_D		
7	6	5	4	3	2	1	0
Reserved	ADSPDOMAIN_DIV_D			Reserved	ACPUDOMAIN_DIV_D		

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:23	-	予約。読み出すと 0 を返します。
MEMCDOMAIN_DIV_D	R/W	22:20	3H	MEMC Domain 分周率を設定します。
Reserved	R	19	-	予約。読み出すと 0 を返します。
FLASHDOMAIN_DIV_D	R/W	18:16	5H	FLASH Domain 分周率を設定します。
Reserved	R	15	-	予約。読み出すと 0 を返します。
LBUSDOMAIN_DIV_D	R/W	14:12	5H	LBUS Domain 分周率を設定します。
Reserved	R	11	-	予約。読み出すと 0 を返します。
HBUSDOMAIN_DIV_D	R/W	10:8	3H	HBUS Domain 分周率を設定します。
Reserved	R	7	-	予約。読み出すと 0 を返します。
ADSPDOMAIN_DIV_D	R/W	6:4	0	ADSP Domain 分周率を設定します。
Reserved	R	3	-	予約。読み出すと 0 を返します。
ACPUDOMAIN_DIV_D	R/W	2:0	0	ACPU Domain 分周率を設定します。

備考 1. xxxxDOMAIN_DIV_D = 0H : 1 分周

xxxxDOMAIN_DIV_D = 1H : 2 分周

xxxxDOMAIN_DIV_D = 2H : 3 分周

xxxxDOMAIN_DIV_D = 3H : 4 分周

xxxxDOMAIN_DIV_D = 4H : 6 分周

xxxxDOMAIN_DIV_D = 5H : 8 分周

xxxxDOMAIN_DIV_D = 6H : 禁止

xxxxDOMAIN_DIV_D = 7H : 禁止

2. 分周されたドメイン・クロックの周波数が次の条件を満たすように設定してください。

ACPU, ADSP MEMC HBUS FLASH, LBUS

また, 条件の各項ドメイン・クロック周波数が整数倍になるように設定してください。

3. 各ドメイン・クロック最高周波数 (PLL1 500 MHz)

ACPU (1 分周設定) : 500 MHz

ADSP (1 分周設定) : 500 MHz

HBUS (3 分周設定) : 166.6 MHz

LBUS (6 分周設定) : 83.3 MHz

FLASH (6 分周設定) : 83.3 MHz

MEMC (3 分周設定) : 166.6 MHz

3.2.34 Economy Mode分周設定レジスタ

本レジスタ (ECONOMY_DIV : C011_0100H) は Economy モードのときの分周率を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved	MEMCDOMAIN_DIV_E			Reserved	FLASHDOMAIN_DIV_E		
15	14	13	12	11	10	9	8
Reserved	LBUSDOMAIN_DIV_E			Reserved	HBUSDOMAIN_DIV_E		
7	6	5	4	3	2	1	0
Reserved	ADSPDOMAIN_DIV_E			Reserved	ACPUDOMAIN_DIV_E		

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:23	-	予約。読み出すと 0 を返します。
MEMCDOMAIN_DIV_E	R/W	22:20	3H	MEMC Domain 分周率を設定します。
Reserved	R	19	-	予約。読み出すと 0 を返します。
FLASHDOMAIN_DIV_E	R/W	18:16	5H	FLASH Domain 分周率を設定します。
Reserved	R	15	-	予約。読み出すと 0 を返します。
LBUSDOMAIN_DIV_E	R/W	14:12	5H	LBUS Domain 分周率を設定します。
Reserved	R	11	-	予約。読み出すと 0 を返します。
HBUSDOMAIN_DIV_E	R/W	10:8	5H	HBUS Domain 分周率を設定します。
Reserved	R	7	-	予約。読み出すと 0 を返します。
ADSPDOMAIN_DIV_E	R/W	6:4	0	ADSP Domain 分周率を設定します。
Reserved	R	3	-	予約。読み出すと 0 を返します。
ACPUDOMAIN_DIV_E	R/W	2:0	0	ACPU Domain 分周率を設定します。

備考 1. xxxxDOMAIN_DIV_E = 0H : 1 分周

xxxxDOMAIN_DIV_E = 1H : 2 分周

xxxxDOMAIN_DIV_E = 2H : 3 分周

xxxxDOMAIN_DIV_E = 3H : 4 分周

xxxxDOMAIN_DIV_E = 4H : 6 分周

xxxxDOMAIN_DIV_E = 5H : 8 分周

xxxxDOMAIN_DIV_E = 6H : 禁止

xxxxDOMAIN_DIV_E = 7H : 禁止

2. 分周されたドメイン・クロックの周波数が次の条件を満たすように設定してください。

ACPU, ADSP MEMC HBUS FLASH, LBUS

また、条件の各項ドメイン・クロック周波数が整数倍になるように設定してください。

3. 各ドメイン・クロック最高周波数 (PLL1 500 MHz)

ACPU (1 分周設定) : 500 MHz

ADSP (1 分周設定) : 500 MHz

HBUS (3 分周設定) : 166.6 MHz

LBUS (6 分周設定) : 83.3 MHz

FLASH (6 分周設定) : 83.3 MHz

MEMC (3 分周設定) : 166.6 MHz

3.2.35 Standby Mode , Sleep Mode分周設定レジスタ

本レジスタ(STANDBY_DIV : C011_0104H)は ,Standby モードおよび Sleep モードのときの分周率を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved	MEMCDOMAIN_DIV_ST			Reserved	FLASHDOMAIN_DIV_ST		
15	14	13	12	11	10	9	8
Reserved	LBUSDOMAIN_DIV_ST			Reserved	HBUSDOMAIN_DIV_ST		
7	6	5	4	3	2	1	0
Reserved	ADSPDOMAIN_DIV_ST			Reserved	ACPUDOMAIN_DIV_ST		

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:23	-	予約。読み出すと 0 を返します。
MEMCDOMAIN_DIV_ST	R/W	22:20	5H	MEMC Domain 分周率を設定します。
Reserved	R	19	-	予約。読み出すと 0 を返します。
FLASHDOMAIN_DIV_ST	R/W	18:16	5H	FLASH Domain 分周率を設定します。
Reserved	R	15	-	予約。読み出すと 0 を返します。
LBUSDOMAIN_DIV_ST	R/W	14:12	5H	LBUS Domain 分周率を設定します。
Reserved	R	11	-	予約。読み出すと 0 を返します。
HBUSDOMAIN_DIV_ST	R/W	10:8	5H	HBUS Domain 分周率を設定します。
Reserved	R	7	-	予約。読み出すと 0 を返します。
ADSPDOMAIN_DIV_ST	R/W	6:4	0	ADSP Domain 分周率を設定します。
Reserved	R	3	-	予約。読み出すと 0 を返します。
ACPUDOMAIN_DIV_ST	R/W	2:0	0	ACPU Domain 分周率を設定します。

備考 1. xxxxDOMAIN_DIV_ST = 0H : 2 分周

xxxxDOMAIN_DIV_ST = 1H : 4 分周

xxxxDOMAIN_DIV_ST = 2H : 6 分周

xxxxDOMAIN_DIV_ST = 3H : 8 分周

xxxxDOMAIN_DIV_ST = 4H : 12 分周

xxxxDOMAIN_DIV_ST = 5H : 16 分周

xxxxDOMAIN_DIV_ST = 6H : 禁止

xxxxDOMAIN_DIV_ST = 7H : 禁止

2. 分周されたドメイン・クロックの周波数が次の条件を満たすように設定してください。

ACPU, ADSP MEMC HBUS FLASH, LBUS

また、条件の各項ドメイン・クロック周波数が整数倍になるように設定してください。

3. 各ドメイン・クロック最高周波数 (PLL3 230 MHz)

ACPU (2 分周設定) : 115 MHz

ADSP (2 分周設定) : 115 MHz

HBUS (2 分周設定) : 115 MHz

LBUS (4 分周設定) : 57.5 MHz

FLASH (4 分周設定) : 57.5 MHz

MEMC (2 分周設定) : 115 MHz

3.2.36 Power ON Mode分周設定レジスタ

本レジスタ (POWERON_DIV : C011_0108H) は Power ON モードのときの分周率を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved	MEMCDOMAIN_DIV_PO			Reserved	FLASHDOMAIN_DIV_PO		
15	14	13	12	11	10	9	8
Reserved	LBUSDOMAIN_DIV_PO			Reserved	HBUSDOMAIN_DIV_PO		
7	6	5	4	3	2	1	0
Reserved	ADSPDOMAIN_DIV_PO			Reserved	ACPUDOMAIN_DIV_PO		

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:23	-	予約。読み出すと 0 を返します。
MEMCDOMAIN_DIV_PO	R/W	22:20	1H	MEMC Domain 分周率を設定します。
Reserved	R	19	-	予約。読み出すと 0 を返します。
FLASHDOMAIN_DIV_PO	R/W	18:16	3H	FLASH Domain 分周率を設定します。
Reserved	R	15	-	予約。読み出すと 0 を返します。
LBUSDOMAIN_DIV_PO	R/W	14:12	3H	LBUS Domain 分周率を設定します。
Reserved	R	11	-	予約。読み出すと 0 を返します。
HBUSDOMAIN_DIV_PO	R/W	10:8	1H	HBUS Domain 分周率を設定します。
Reserved	R	7	-	予約。読み出すと 0 を返します。
ADSPDOMAIN_DIV_PO	R/W	6:4	0	ADSP Domain 分周率を設定します。
Reserved	R	3	-	予約。読み出すと 0 を返します。
ACPUDOMAIN_DIV_PO	R/W	2:0	0	ACPU Domain 分周率を設定します。

備考 1. xxxxDOMAIN_DIV_PO = 0H : 1 分周

xxxxDOMAIN_DIV_PO = 1H : 2 分周

xxxxDOMAIN_DIV_PO = 2H : 3 分周

xxxxDOMAIN_DIV_PO = 3H : 4 分周

xxxxDOMAIN_DIV_PO = 4H : 6 分周

xxxxDOMAIN_DIV_PO = 5H : 8 分周

xxxxDOMAIN_DIV_PO = 6H : 禁止

xxxxDOMAIN_DIV_PO = 7H : 禁止

2. 分周されたドメイン・クロックの周波数が次の条件を満たすように設定してください。

ACPU, ADSP MEMC HBUS FLASH, LBUS

また、条件の各項ドメイン・クロック周波数が整数倍になるように設定してください。

3. 各ドメイン・クロック最高周波数 (PLL3 230 MHz)

ACPU (1 分周設定) : 230 MHz

ADSP (1 分周設定) : 230 MHz

HBUS (2 分周設定) : 115 MHz

LBUS (4 分周設定) : 57.5 MHz

FLASH (4 分周設定) : 57.5 MHz

MEMC (2 分周設定) : 115 MHz

3.2.37 SP0_SCLK用分周設定レジスタ

本レジスタ (DIVSP0SCLK : C011_0118H) は、SP0_SCLK の分周率を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
DIV1 MCDCLK3	DIV1 MCDCLK2	DIV1 MCDCLK1	DIV1 MCDCLK0	Reserved	DIV0 SP0SCLK2	DIV0 SP0SCLK1	DIV0 SP0SCLK0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:8	-	予約。読み出すと 0 を返します。
DIV1SP0SCLK3	R/W	7	0	分周設定表を参照してください。
DIV1SP0SCLK2	R/W	6	0	
DIV1SP0SCLK1	R/W	5	0	
DIV1SP0SCLK0	R/W	4	0	
Reserved	R	3	-	予約。読み出すと 0 を返します。
DIV0SP0SCLK2	R/W	2	1	分周設定表を参照してください。
DIV0SP0SCLK1	R/W	1	0	
DIV0SP0SCLK0	R/W	0	0	

PLL3 で生成されるクロックを分周して生成します。

クロック生成のための分周は、DIV0xxx と DIV1xxx で設定されます。

分周設定表 (灰色部分は Duty≒50%)

		DIV1xxx[3:0]																
		レジスタ 設定値	0H	1H	2H	3H	4H	5H	6H	7H	8H	9H	AH	BH	CH	DH	EH	FH
DIV0xxx[2:0]	レジスタ 設定値	分周値	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	0H	1	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	1H	2	2	4	6	8	10	12	14	16	18	20	22	24	26	28	30	32
	2H	4	4	8	12	16	20	24	28	32	36	40	44	48	52	56	60	64
	3H	8	8	16	24	32	40	48	56	64	72	80	88	96	104	112	120	128
	4H	16	16	32	48	64	80	96	112	128	144	160	176	192	208	224	240	256
	5H～7H	設定禁止	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

デフォルト設定は次のとおりです。

- SP0_SCLK = 229.376[MHz]÷16 = 14.336 MHz
ソース・クロック PLL3, 分周設定 DIV0xxx = 4H, DIV1xxx = 0H

Duty ≠ 50%設定では、DIV0xxx=M 分周、DIV1xxx=N 分周の場合、

ASMU が出力するクロックは、 $(M \times N)$ 分周クロックとなり、

High 幅 : $(\text{ソースクロック PLL 周期}) \times M \times ((N-1)/2)$

Low 幅 : $(\text{ソースクロック PLL 周期}) \times M \times ((N-1)/2 + 1)$

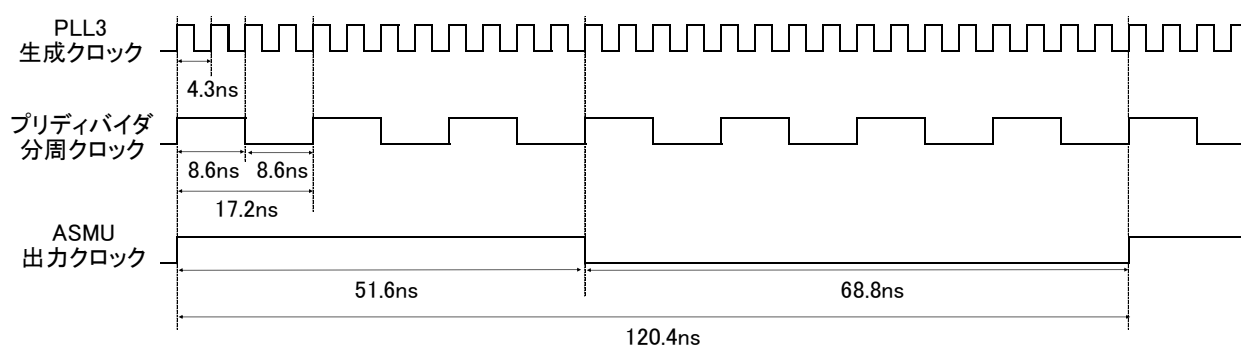
の分周クロックになります。

たとえば、PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合、28 分周クロックを生成し、

High 幅 = $4.3\text{ns} \times 4 \times ((7 - 1) / 2) = 51.6\text{ns}$

Low 幅 = $4.3\text{ns} \times 4 \times ((7 - 1) / 2 + 1) = 68.8\text{ns}$

となる分周クロックを ASMU は出力します。



PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合の ASMU 出力クロック

3.2.38 SP1_SCLK用分周設定レジスタ

本レジスタ (DIVSP1SCLK : C011_011CH) は, SP1_SCLK の分周率を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
DIV1 SP1SCLK3	DIV1 SP1SCLK2	DIV1 SP1SCLK1	DIV1 SP1SCLK0	Reserved	DIV0 SP1SCLK2	DIV0 SP1SCLK1	DIV0 SP1SCLK0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:8	-	予約。読み出すと 0 を返します。
DIVSP1SCLK3	R/W	7	0	分周設定表を参照してください。
DIVSP1SCLK2	R/W	6	0	
DIVSP1SCLK1	R/W	5	0	
DIVSP1SCLK0	R/W	4	0	
Reserved	R	3	-	予約。読み出すと 0 を返します。
DIVSP1SCLK2	R/W	2	1	分周設定表を参照してください。
DIVSP1SCLK1	R/W	1	0	
DIVSP1SCLK0	R/W	0	0	

PLL3 で生成されるクロックを分周して生成します。

クロック生成のための分周は, DIV0xxx と DIV1xxx で設定されます。

分周設定表 (灰色部分は Duty≒50%)

		DIV1xxx[3:0]																
		レジスタ 設定値	0H	1H	2H	3H	4H	5H	6H	7H	8H	9H	AH	BH	CH	DH	EH	FH
DIV0xxx[2:0]	レジスタ 設定値	分周値	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	0H	1	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	1H	2	2	4	6	8	10	12	14	16	18	20	22	24	26	28	30	32
	2H	4	4	8	12	16	20	24	28	32	36	40	44	48	52	56	60	64
	3H	8	8	16	24	32	40	48	56	64	72	80	88	96	104	112	120	128
	4H	16	16	32	48	64	80	96	112	128	144	160	176	192	208	224	240	256
	5H～7H	設定禁止	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

デフォルト設定は次のとおりです。

- SP1_SCLK = 229.376[MHz]÷16 = 14.336 MHz
ソース・クロック PLL3, 分周設定 DIV0xxx = 4H, DIV1xxx = 0H

Duty ≠ 50%設定では、DIV0xxx=M 分周、DIV1xxx=N 分周の場合、

ASMU が出力するクロックは、 $(M \times N)$ 分周クロックとなり、

High 幅 : $(\text{ソースクロック PLL 周期}) \times M \times ((N-1)/2)$

Low 幅 : $(\text{ソースクロック PLL 周期}) \times M \times ((N-1)/2 + 1)$

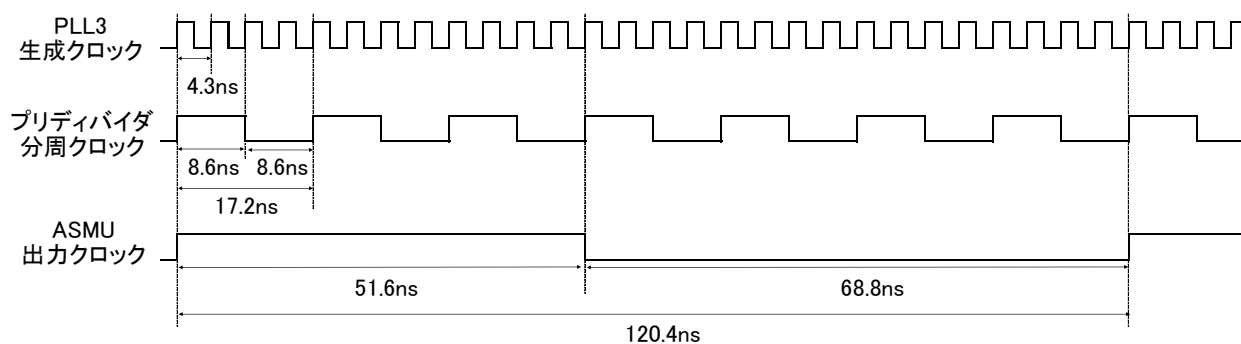
の分周クロックになります。

たとえば、PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合、28 分周クロックを生成し、

High 幅 = $4.3\text{ns} \times 4 \times ((7 - 1) / 2) = 51.6\text{ns}$

Low 幅 = $4.3\text{ns} \times 4 \times ((7 - 1) / 2 + 1) = 68.8\text{ns}$

となる分周クロックを ASMU は出力します。



PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合の ASMU 出力クロック

3.2.39 SP2_SCLK用分周設定レジスタ

本レジスタ (DIVSP2SCLK : C011_0120H) は, SP2_SCLK の分周率を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
DIV1 SP2SCLK3	DIV1 SP2SCLK2	DIV1 SP2SCLK1	DIV1 SP2SCLK0	Reserved	DIV0 SP2SCLK2	DIV0 SP2SCLK1	DIV0 SP2SCLK0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:8	-	予約。読み出すと 0 を返します。
DIVSP2SCLK3	R/W	7	0	分周設定表を参照してください。
DIVSP2SCLK2	R/W	6	0	
DIVSP2SCLK1	R/W	5	0	
DIVSP2SCLK0	R/W	4	0	
Reserved	R	3	-	予約。読み出すと 0 を返します。
DIVSP2SCLK2	R/W	2	1	分周設定表を参照してください。
DIVSP2SCLK1	R/W	1	0	
DIVSP2SCLK0	R/W	0	0	

PLL3 で生成されるクロックを分周して生成します。

クロック生成のための分周は, DIV0xxx と DIV1xxx で設定されます。

分周設定表 (灰色部分は Duty≒50%)

		DIV1xxx[3:0]																
		レジスタ 設定値	0H	1H	2H	3H	4H	5H	6H	7H	8H	9H	AH	BH	CH	DH	EH	FH
DIV0xxx[2:0]	レジスタ 設定値	分周値	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	0H	1	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	1H	2	2	4	6	8	10	12	14	16	18	20	22	24	26	28	30	32
	2H	4	4	8	12	16	20	24	28	32	36	40	44	48	52	56	60	64
	3H	8	8	16	24	32	40	48	56	64	72	80	88	96	104	112	120	128
	4H	16	16	32	48	64	80	96	112	128	144	160	176	192	208	224	240	256
	5H～7H	設定禁止	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

デフォルト設定は次のとおりです。

- SP2_SCLK = 229.376[MHz]÷16 = 14.336 MHz
ソース・クロック PLL3, 分周設定 DIV0xxx = 4H, DIV1xxx = 0H

Duty ≠ 50%設定では、DIV0xxx=M 分周、DIV1xxx=N 分周の場合、

ASMU が出力するクロックは、 $(M \times N)$ 分周クロックとなり、

High 幅 : $(\text{ソースクロック PLL 周期}) \times M \times ((N-1)/2)$

Low 幅 : $(\text{ソースクロック PLL 周期}) \times M \times ((N-1)/2 + 1)$

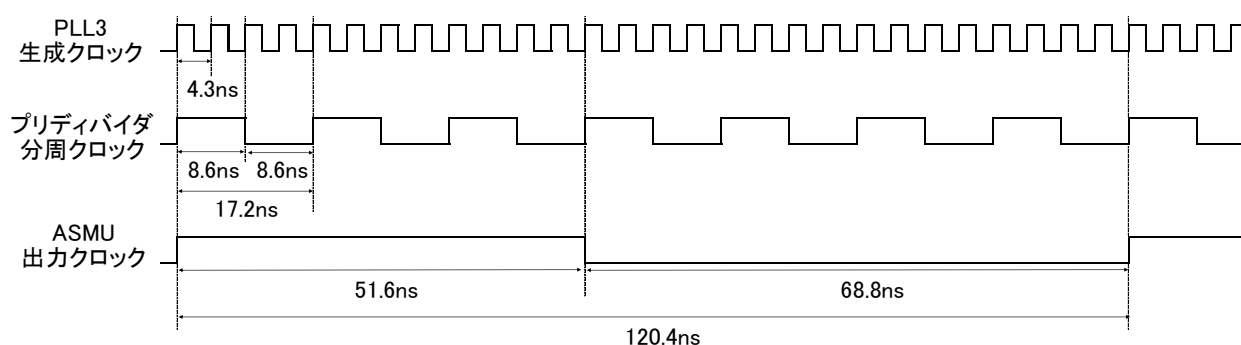
の分周クロックになります。

たとえば、PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合、28 分周クロックを生成し、

High 幅 = $4.3\text{ns} \times 4 \times ((7 - 1) / 2) = 51.6\text{ns}$

Low 幅 = $4.3\text{ns} \times 4 \times ((7 - 1) / 2 + 1) = 68.8\text{ns}$

となる分周クロックを ASMU は出力します。



PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合の ASMU 出力クロック

3.2.40 MEMC_RCLK用分周設定レジスタ

本レジスタ (DIVMEMCRCLK : C011_0128H) は, MEMC_RCLK の分周率を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
DIV1MEMCR CLK3	DIV1MEMCR CLK2	DIV1MEMCR CLK1	DIV1MEMCR CLK30	Reserved	DIV0MEMCR CLK2	DIV0MEMCR CLK1	DIV0MEMCR CLK0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:8	-	予約。読み出すと 0 を返します。
DIV1MEMCRCLK3	R/W	7	0	分周設定表を参照してください。
DIV1MEMCRCLK2	R/W	6	0	
DIV1MEMCRCLK1	R/W	5	0	
DIV1MEMCRCLK0	R/W	4	0	
Reserved	R	3	-	予約。読み出すと 0 を返します。
DIV0MEMCRCLK2	R/W	2	1	分周設定表を参照してください。 0H は設定禁止です。
DIV0MEMCRCLK1	R/W	1	0	
DIV0MEMCRCLK0	R/W	0	0	

PLL3 で生成されるクロックを分周して生成します。

クロック生成のための分周は, DIV0xxx と DIV1xxx で設定されます。

分周設定表 (灰色部分は Duty≠50%)

		DIV1xxx[3:0]																
		レジスタ 設定値	0H	1H	2H	3H	4H	5H	6H	7H	8H	9H	AH	BH	CH	DH	EH	FH
DIV0xxx[2:0]	レジスタ 設定値	分周値	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	0H	設定禁止	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	1H	2	2	4	6	8	10	12	14	16	18	20	22	24	26	28	30	32
	2H	4	4	8	12	16	20	24	28	32	36	40	44	48	52	56	60	64
	3H	8	8	16	24	32	40	48	56	64	72	80	88	96	104	112	120	128
	4H	16	16	32	48	64	80	96	112	128	144	160	176	192	208	224	240	256
	5H ~ 7H	設定禁止	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

デフォルト設定は次のとおりです。

- MEMC_RCLK = $229.376[\text{MHz}] \div 16 = 14.336 \text{ MHz}$
ソース・クロック PLL3, 分周設定 DIV0xxx = 4H, DIV1xxx = 0H

Duty ≠ 50%設定では、DIV0xxx=M 分周、DIV1xxx=N 分周の場合、

ASMU が出力するクロックは、 $(M \times N)$ 分周クロックとなり、

High 幅 : $(\text{ソースクロック PLL 周期}) \times M \times ((N-1)/2)$

Low 幅 : $(\text{ソースクロック PLL 周期}) \times M \times ((N-1)/2 + 1)$

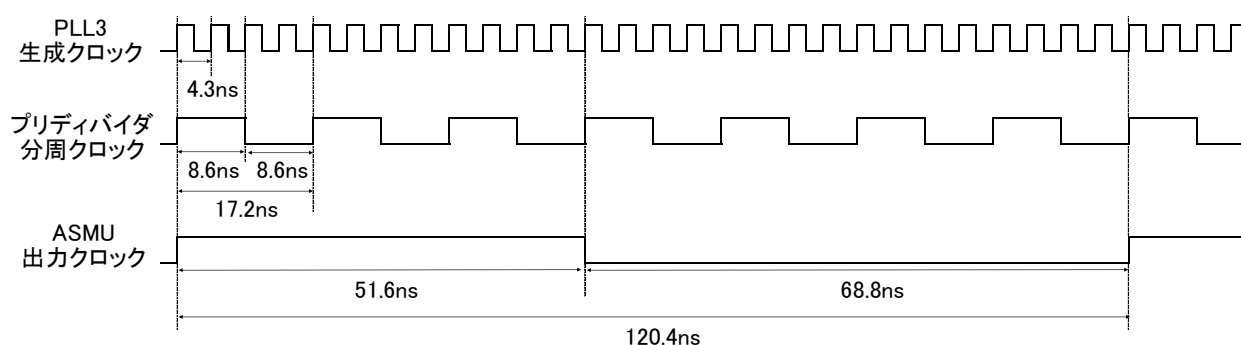
の分周クロックになります。

たとえば、PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合、28 分周クロックを生成し、

High 幅 = $4.3\text{ns} \times 4 \times ((7 - 1) / 2) = 51.6\text{ns}$

Low 幅 = $4.3\text{ns} \times 4 \times ((7 - 1) / 2 + 1) = 68.8\text{ns}$

となる分周クロックを ASMU は出力します。



PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合の ASMU 出力クロック

3.2.41 CAM_SCLK用分周設定レジスタ

本レジスタ (DIVCAMSCLK : C011_012CH) は、CAM_SCLK の分周率を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved						CAMSCLK_PLLSEL	
7	6	5	4	3	2	1	0
Reserved			DIVCAM SCLK4	DIVCAM SCLK3	DIVCAM SCLK2	DIVCAM SCLK1	DIVCAM SCLK0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:10	-	予約。読み出すと 0 を返します。
CAMSCLK_PLLSEL	R/W	9:8	01b	CAMSCLK 用元クロック選択 00b : PLL2 01b : PLL3 10b : 設定禁止 11b : 設定禁止
Reserved	R	7:5	-	予約。読み出すと 0 を返します。
DIVCAMSCLK4	R/W	4	1	分周比：設定値+1 偶数分周= Duty50% 奇数分周≠Duty50%
DIVCAMSCLK3	R/W	3	1	
DIVCAMSCLK2	R/W	2	0	
DIVCAMSCLK1	R/W	1	0	
DIVCAMSCLK0	R/W	0	1	

デフォルト設定は、

$$\text{CAM_SCLK} = 229.376.000[\text{MHz}] \div 26 = 8.822\text{MHz}$$

ソースクロック PLL3

になります。

Duty ≠ 50%設定では、DIVREFCLK の設定が M 分周の場合、

ASMU が出力するクロックは、

$$\text{High 幅} : (\text{ソースクロック PLL 周期}) \times ((M - 1) / 2)$$

$$\text{Low 幅} : (\text{ソースクロック PLL 周期}) \times ((M - 1) / 2 + 1)$$

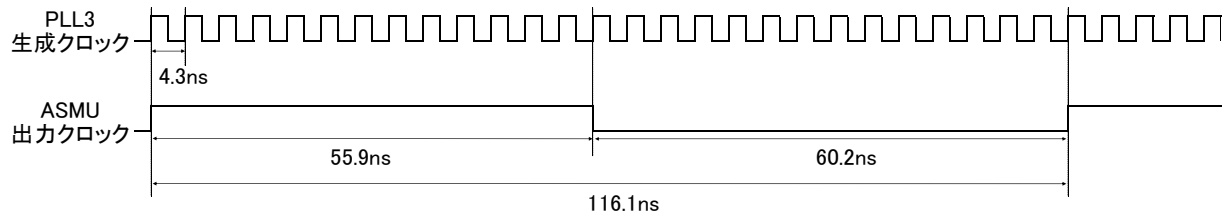
の分周クロックになります。

たとえば、PLL3 生成クロック周期=4.3ns、設定が 27 分周 の場合、

$$\text{High 幅} = 4.3\text{ns} \times ((27 - 1) / 2) = 55.9\text{ns}$$

$$\text{Low 幅} = 4.3\text{ns} \times ((27 - 1) / 2 + 1) = 60.2\text{ns}$$

となる分周クロックを ASMU は出力します。



PLL3 生成クロック周期=4.3ns、設定が 27 分周 の場合の ASMU 出力クロック

3.2.42 LCD_LCLK用分周設定レジスタ

本レジスタ (DIVLCDLCLK : C011_0130H) は, LCD_LCLK の分周率を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved						LCDLCLK_PLLSEL	
7	6	5	4	3	2	1	0
DIV1 LCDLCLK3	DIV1 LCDLCLK2	DIV1 LCDLCLK1	DIV1 LCDLCLK0	Reserved	DIV0 LCDLCLK2	DIV0 LCDLCLK1	DIV0 LCDLCLK0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:10	-	予約。読み出すと 0 を返します。
LCDLCLK_PLLSEL	R/W	9:8	01b	LCDLCLK 用元クロックを選択します。 00b : PLL2 01b : PLL3 10b : 設定禁止 11b : 設定禁止
DIV1LCDLCLK3	R/W	7	1	分周設定表を参照してください。
DIV1LCDLCLK2	R/W	6	0	
DIV1LCDLCLK1	R/W	5	0	
DIV1LCDLCLK0	R/W	4	1	
Reserved	R	3	-	予約。読み出すと 0 を返します。
DIV0LCDLCLK2	R/W	2	0	分周設定表を参照してください。 元クロックを PLL2 に設定している場合には 0H は設定禁止です。
DIV0LCDLCLK1	R/W	1	0	
DIV0LCDLCLK0	R/W	0	0	

クロック生成のための分周は, DIV0xxx と DIV1xxx で設定されます。

PLL2 分周設定表 (灰色部分は Duty≠50%)

		DIV1xxx[3:0]																
		レジスタ 設定値	0H	1H	2H	3H	4H	5H	6H	7H	8H	9H	AH	BH	CH	DH	EH	FH
DIV0xxx[2:0]	レジスタ 設定値	分周値	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	0H	設定禁止	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	1H	2	2	4	6	8	10	12	14	16	18	20	22	24	26	28	30	32
	2H	4	4	8	12	16	20	24	28	32	36	40	44	48	52	56	60	64
	3H	8	8	16	24	32	40	48	56	64	72	80	88	96	104	112	120	128
	4H	16	16	32	48	64	80	96	112	128	144	160	176	192	208	224	240	256
	5H～7H	設定禁止	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

PLL3 分周設定表（灰色部分は Duty≠50%）

		DIV1xxx[3:0]																
		レジスタ 設定値	0H	1H	2H	3H	4H	5H	6H	7H	8H	9H	AH	BH	CH	DH	EH	FH
DIV0xxx[2:0]	レジスタ 設定値	分周値	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	0H	1	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	1H	2	2	4	6	8	10	12	14	16	18	20	22	24	26	28	30	32
	2H	4	4	8	12	16	20	24	28	32	36	40	44	48	52	56	60	64
	3H	8	8	16	24	32	40	48	56	64	72	80	88	96	104	112	120	128
	4H	16	16	32	48	64	80	96	112	128	144	160	176	192	208	224	240	256
	5H～7H	設定禁止	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

デフォルト設定は次のとおりです。

- LCD_LCLK = 229.376 [MHz]÷10= 22.938 MHz
ソース・クロック PLL3 , 分周設定 DIV0xxx = 0H , DIV1xxx = 9H

Duty ≠ 50%設定では、DIV0xxx=M 分周、DIV1xxx=N 分周の場合、

ASMU が出力するクロックは、(M×N) 分周クロックとなり、

High 幅 : (ソースクロック PLL 周期) × M × ((N-1)/2)

Low 幅 : (ソースクロック PLL 周期) × M × ((N-1)/2 + 1))

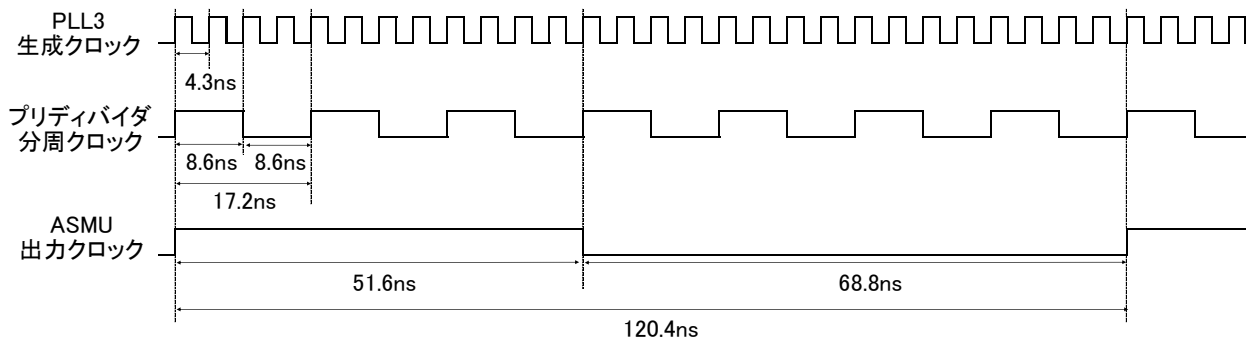
の分周クロックになります。

たとえば、PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合、28 分周クロックを生成し、

$$\text{High 幅} = 4.3\text{ns} \times 4 \times ((7 - 1) / 2) = 51.6\text{ns}$$

$$\text{Low 幅} = 4.3\text{ns} \times 4 \times ((7 - 1) / 2 + 1) = 68.8\text{ns}$$

となる分周クロックを ASMU は出力します。



PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合の ASMU 出力クロック

3.2.43 IIC_SCLK用設定レジスタ

本レジスタ (DIVIICSCLK : C011_0134H) は、IIC_SCLK の分周率を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
DIV1IIC 2 SCLK3	DIV1IIC 2 SCLK2	DIV1IIC 2 SCLK1	DIV1IIC 2 SCLK0	Reserved	DIV0IIC 2 SCLK2	DIV0IIC 2 SCLK1	DIV0IIC 2 SCLK0
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
DIV1IIC SCLK3	DIV1IIC SCLK2	DIV1IIC SCLK1	DIV1IIC SCLK0	Reserved	DIV0IIC SCLK2	DIV0IIC SCLK1	DIV0IIC SCLK0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:24	-	予約。読み出すと 0 を返します。
DIV1IIC2SCLK3	R/W	23	0	IIC2_SCLK 用の分周設定 1 分周設定表を参照してください。
DIV1IIC2SCLK2	R/W	22	1	
DIV1IIC2SCLK1	R/W	21	0	
DIV1IIC2SCLK0	R/W	20	1	
Reserved	R	19	-	予約。読み出すと 0 を返します。
DIV0IIC2SCLK2	R/W	18	0	IIC2_SCLK 用の分周設定 0 分周設定表を参照してください。 0H は設定禁止です。
DIV0IIC2SCLK1	R/W	17	1	
DIV0IIC2SCLK0	R/W	16	1	
Reserved	R	15:8	-	予約。読み出すと 0 を返します。
DIV1IICSCLK3	R/W	7	0	IIC_SCLK 用の分周設定 1 分周設定表を参照してください。
DIV1IICSCLK2	R/W	6	1	
DIV1IICSCLK1	R/W	5	0	
DIV1IICSCLK0	R/W	4	1	
Reserved	R	3	-	予約。読み出すと 0 を返します。
DIV0IICSCLK2	R/W	2	0	IIC_SCLK 用の分周設定 0 分周設定表を参照してください。 0H は設定禁止です。
DIV0IICSCLK1	R/W	1	1	
DIV0IICSCLK0	R/W	0	1	

PLL3 で生成されるクロックを分周して生成します。

クロック生成のための分周は、DIV0xxx と DIV1xxx で設定されます。

分周設定表（灰色部分は Duty≠50%）

		DIV1xxx[3:0]																
		レジスタ 設定値	0H	1H	2H	3H	4H	5H	6H	7H	8H	9H	AH	BH	CH	DH	EH	FH
DIV0xxx[2:0]	レジスタ 設定値	分周値	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	0H	設定禁止	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	1H	2	2	4	6	8	10	12	14	16	18	20	22	24	26	28	30	32
	2H	4	4	8	12	16	20	24	28	32	36	40	44	48	52	56	60	64
	3H	8	8	16	24	32	40	48	56	64	72	80	88	96	104	112	120	128
	4H	16	16	32	48	64	80	96	112	128	144	160	176	192	208	224	240	256
	5H～7H	設定禁止	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

デフォルト設定は次のとおりです。

- IIC_SCLK = 229.376 [MHz]÷48 = 4.778 MHz
ソース・クロック PLL3，分周設定 DIV0xxx = 3H，DIV1xxx = 5H

Duty ≠ 50%設定では、DIV0xxx=M 分周、DIV1xxx=N 分周の場合、

ASMU が出力するクロックは、(M×N) 分周クロックとなり、

High 幅 ：(ソースクロック PLL 周期)×M×((N-1)/2)

Low 幅 ：(ソースクロック PLL 周期)×M×((N-1)/2 +1))

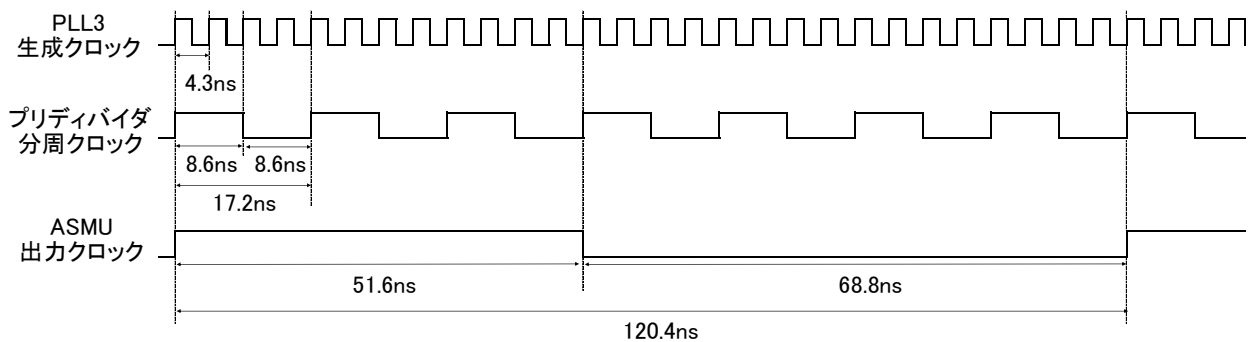
の分周クロックになります。

たとえば、PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合、28 分周クロックを生成し、

High 幅 = 4.3ns × 4 × ((7 - 1) / 2) = 51.6ns

Low 幅 = 4.3ns × 4 × ((7 - 1) / 2 + 1) = 68.8ns

となる分周クロックを ASMU は出力します。



PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合の ASMU 出力クロック

3.2.44 TI0_TIN / TW0_TIN用設定レジスタ

本レジスタ (TI0TIN_SEL : C011_0138H) は、TI0 および TW0 のタイマ・ソースを設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved						TW0TIN_SEL1	TW0TIN_SELO
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved						TI0TIN_SEL1	TI0TIN_SELO

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:18	-	予約。読み出すと 0 を返します。
TW0TIN_SEL1	R/W	17	0	TW0 のタイマ・ソースを選択します。
TW0TIN_SELO	R/W	16	1	00b : PLL3 分周 (DIVTIMTIN により分周設定) 01b : 32.768 kHz 10b : 32 kHz (32.768 kHz クロック間引き) 11b : 設定禁止
Reserved	R	15:2	-	予約。読み出すと 0 を返します。
TI0TIN_SEL1	R/W	1	0	TI0 のタイマ・ソースを選択します。
TI0TIN_SELO	R/W	0	1	00b : PLL3 分周 (DIVTIMTIN により分周設定) 01b : 32.768 kHz 10b : 32 kHz (32.768 kHz クロック間引き) 11b : 設定禁止

3.2.45 TI1_TIN / TW1_TIN用設定レジスタ

本レジスタ (TI1TIN_SEL : C011_013CH) は、TI1 および TW1 のタイマ・ソースを設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved						TW1TIN_SEL1	TW1TIN_SEL0
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved						TI1TIN_SEL1	TI1TIN_SEL0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:18	-	予約。読み出すと 0 を返します。
TW1TIN_SEL1	R/W	17	0	TW1 のタイマ・ソースを選択します。
TW1TIN_SEL0	R/W	16	1	00b : PLL3 分周 (DIVTIMTIN により分周設定) 01b : 32.768 kHz 10b : 32 kHz (32.768 kHz クロック間引き) 11b : 設定禁止
Reserved	R	15:2	-	予約。読み出すと 0 を返します。
TI1TIN_SEL1	R/W	1	0	TI1 のタイマ・ソースを選択します。
TI1TIN_SEL0	R/W	0	1	00b : PLL3 分周 (DIVTIMTIN により分周設定) 01b : 32.768 kHz 10b : 32 kHz (32.768 kHz クロック間引き) 11b : 設定禁止

3.2.46 TI2_TIN / TW2_TIN用設定レジスタ

本レジスタ (TI2TIN_SEL : C011_0140H) は、TI2 および TW2 のタイマ・ソースを設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved						TW2TIN_SEL1	TW2TIN_SEL0
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved						TI2TIN_SEL1	TI2TIN_SEL0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:18	-	予約。読み出すと 0 を返します。
TW2TIN_SEL1	R/W	17	0	TW2 のタイマ・ソースを選択します。
TW2TIN_SEL0	R/W	16	1	00b : PLL3 分周 (DIVTIMTIN により分周設定) 01b : 32.768 kHz 10b : 32 kHz (32.768 kHz クロック間引き) 11b : 設定禁止
Reserved	R	15:2	-	予約。読み出すと 0 を返します。
TI2TIN_SEL1	R/W	1	0	TI2 のタイマ・ソースを選択します。
TI2TIN_SEL0	R/W	0	1	00b : PLL3 分周 (DIVTIMTIN により分周設定) 01b : 32.768 kHz 10b : 32 kHz (32.768 kHz クロック間引き) 11b : 設定禁止

3.2.47 TI3_TIN / TW3_TIN用設定レジスタ

本レジスタ (TI3TIN_SEL : C011_0144H) は、TI3 および TW3 のタイマ・ソースを設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved						TW3TIN_SEL1	TW3TIN_SEL0
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved						TI3TIN_SEL1	TI3TIN_SEL0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:18	-	予約。読み出すと 0 を返します。
TW3TIN_SEL1	R/W	17	0	TW3 のタイマ・ソースを選択します。
TW3TIN_SEL0	R/W	16	1	00b : PLL3 分周 (DIVTIMTIN により分周設定) 01b : 32.768 kHz 10b : 32 kHz (32.768 kHz クロック間引き) 11b : 設定禁止
Reserved	R	15:2	-	予約。読み出すと 0 を返します。
TI3TIN_SEL1	R/W	1	0	TI3 のタイマ・ソースを選択します。
TI3TIN_SEL0	R/W	0	1	00b : PLL3 分周 (DIVTIMTIN により分周設定) 01b : 32.768 kHz 10b : 32 kHz (32.768 kHz クロック間引き) 11b : 設定禁止

3.2.48 TG0-5_TIN用設定レジスタ

本レジスタ (TGnTIN_SEL : C011_0148H) は, TG0~TG5 のタイマ・ソースを設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved	TG5TIN_SEL1	TG5TIN_SEL0	Reserved	TG4TIN_SEL1	TG4TIN_SEL0	Reserved	Reserved
15	14	13	12	11	10	9	8
Reserved	TG3TIN_SEL1	TG3TIN_SEL0	Reserved	TG2TIN_SEL1	TG2TIN_SEL0	Reserved	Reserved
7	6	5	4	3	2	1	0
Reserved	TG1TIN_SEL1	TG1TIN_SEL0	Reserved	TG0TIN_SEL1	TG0TIN_SEL0	Reserved	Reserved

(1/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:22	-	予約。読み出すと 0 を返します。
TG5TIN_SEL1	R/W	21	0	TG5 のタイマ・ソースを選択します。
TG5TIN_SEL0	R/W	20	1	00b : PLL3 分周 (DIVTIMTIN により分周設定) 01b : 32.768 kHz 10b : 32 kHz (32.768 kHz クロック間引き) 11b : 設定禁止
Reserved	R	19:18	-	予約。読み出すと 0 を返します。
TG4TIN_SEL1	R/W	17	0	TG4 のタイマ・ソースを選択します。
TG4TIN_SEL0	R/W	16	1	00b : PLL3 分周 (DIVTIMTIN により分周設定) 01b : 32.768 kHz 10b : 32 kHz (32.768 kHz クロック間引き) 11b : 設定禁止
Reserved	R	15:14	-	予約。読み出すと 0 を返します。
TG3TIN_SEL1	R/W	13	0	TG3 のタイマ・ソースを選択します。
TG3TIN_SEL0	R/W	12	1	00b : PLL3 分周 (DIVTIMTIN により分周設定) 01b : 32.768 kHz 10b : 32 kHz (32.768 kHz クロック間引き) 11b : 設定禁止
Reserved	R	11:10	-	予約。読み出すと 0 を返します。
TG2TIN_SEL1	R/W	9	0	TG2 のタイマ・ソースを選択します。
TG2TIN_SEL0	R/W	8	1	00b : PLL3 分周 (DIVTIMTIN により分周設定) 01b : 32.768 kHz 10b : 32 kHz (32.768 kHz クロック間引き) 11b : 設定禁止
Reserved	R	7:6	-	予約。読み出すと 0 を返します。

名 称	R/W	ビット	リセット時	機 能
TG1TIN_SEL1	R/W	5	0	TG1 のタイマ・ソースを選択します。
TG1TIN_SELO	R/W	4	1	00b : PLL3 分周 (DIVTIMTIN により分周設定) 01b : 32.768 kHz 10b : 32 kHz (32.768 kHz クロック間引き) 11b : 設定禁止
Reserved	R	3:2	-	予約。読み出すと 0 を返します。
TG0TIN_SEL1	R/W	1	0	TG0 のタイマ・ソースを選択します
TG0TIN_SELO	R/W	0	1	00b : PLL3 分周 (DIVTIMTIN により分周設定) 01b : 32.768 kHz 10b : 32 kHz (32.768 kHz クロック間引き) 11b : 設定禁止

3.2.49 タイマ・クロック分周設定レジスタ

本レジスタ (DIVTIMTIN : C011_014CH) は、タイマ・クロックの分周率を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
DIV1TIMTIN3	DIV1TIMTIN2	DIV1TIMTIN1	DIV1TIMTIN0	Reserved	DIV0TIMTIN2	DIV0TIMTIN1	DIV0TIMTIN0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:8	-	予約。読み出すと 0 を返します。
DIV1TIMTIN3	R/W	7	1	分周設定表を参照してください。
DIV1TIMTIN2	R/W	6	1	
DIV1TIMTIN1	R/W	5	1	
DIV1TIMTIN0	R/W	4	1	
Reserved	R	3	-	予約。読み出すと 0 を返します。
DIV0TIMTIN2	R/W	2	1	分周設定表を参照してください。 0H は設定禁止
DIV0TIMTIN1	R/W	1	0	
DIV0TIMTIN0	R/W	0	0	

PLL3 で生成されるクロックを分周して生成します。

クロック生成のための分周は、DIV0xxx と DIV1xxx で設定されます。

分周設定表 (灰色部分は Duty≠50%)

		DIV1xxx[3:0]																
		レジスタ 設定値	0H	1H	2H	3H	4H	5H	6H	7H	8H	9H	AH	BH	CH	DH	EH	FH
DIV0xxx[2:0]	レジスタ 設定値	分周値	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	0H	設定禁止	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	1H	2	2	4	6	8	10	12	14	16	18	20	22	24	26	28	30	32
	2H	4	4	8	12	16	20	24	28	32	36	40	44	48	52	56	60	64
	3H	8	8	16	24	32	40	48	56	64	72	80	88	96	104	112	120	128
	4H	16	16	32	48	64	80	96	112	128	144	160	176	192	208	224	240	256
	5H ~ 7H	設定禁止	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

タイマ・ソースとして PLL3 分周が選択された場合、デフォルト設定は次のとおりです。

- $T_{xx_TIN} = 229.376 \text{ [MHz]} \div 256 = 0.896 \text{ MHz}$
 ソース・クロック PLL3, 分周設定 DIV0xxx = 4H, DIV1xxx = FH

Duty ≠ 50%設定では、DIV0xxx=M 分周、DIV1xxx=N 分周の場合、

ASMU が出力するクロックは、 $(M \times N)$ 分周クロックとなり、

High 幅 : $(\text{ソースクロック PLL 周期}) \times M \times ((N-1)/2)$

Low 幅 : $(\text{ソースクロック PLL 周期}) \times M \times ((N-1)/2 + 1)$

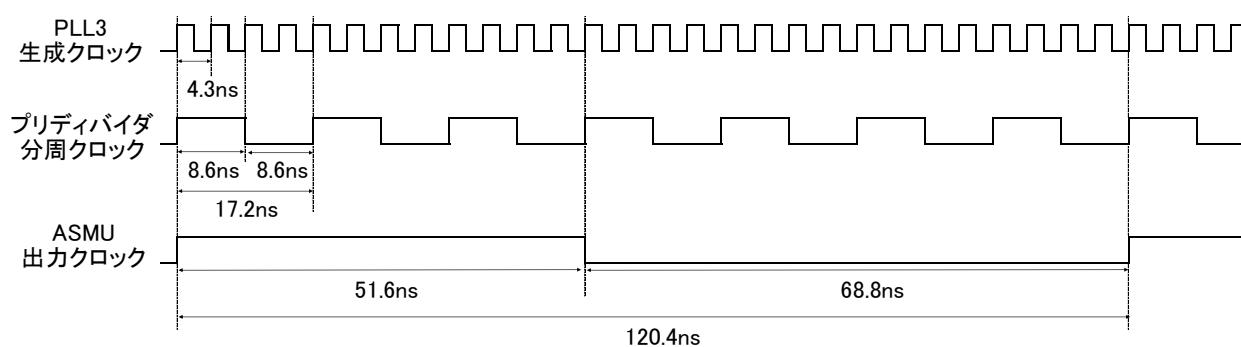
の分周クロックになります。

たとえば、PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合、28 分周クロックを生成し、

High 幅 = $4.3\text{ns} \times 4 \times ((7 - 1) / 2) = 51.6\text{ns}$

Low 幅 = $4.3\text{ns} \times 4 \times ((7 - 1) / 2 + 1) = 68.8\text{ns}$

となる分周クロックを ASMU は出力します。



PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合の ASMU 出力クロック

3.2.50 MWI_SCLK用分周設定レジスタ

本レジスタ (DIVMWISCLK : C011_0150H) は, MWI_SCLK の分周率を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
DIV1MWI SCLK3	DIV1MWI SCLK2	DIV1MWI SCLK1	DIV1MWI SCLK0	Reserved	DIV0MWI SCLK2	DIV0MWI SCLK1	DIV0MWI SCLK0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:8	-	予約。読み出すと 0 を返します。
DIV1MWISCLK3	R/W	7	1	分周設定表を参照してください。
DIV1MWISCLK2	R/W	6	1	
DIV1MWISCLK1	R/W	5	1	
DIV1MWISCLK0	R/W	4	1	
Reserved	R	3	-	予約。読み出すと 0 を返します。
DIV0MWISCLK2	R/W	2	1	分周設定表を参照してください。 0H は設定禁止です。
DIV0MWISCLK1	R/W	1	0	
DIV0MWISCLK0	R/W	0	0	

PLL3 で生成されるクロックを分周して生成します。

クロック生成のための分周は, DIV0xxx と DIV1xxx で設定されます。

分周設定表 (灰色部分は Duty≠50%)

		DIV1xxx[3:0]																
		レジスタ 設定値	0H	1H	2H	3H	4H	5H	6H	7H	8H	9H	AH	BH	CH	DH	EH	FH
DIV0xxx[2:0]	レジスタ 設定値	分周値	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	0H	設定禁止	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	1H	2	2	4	6	8	10	12	14	16	18	20	22	24	26	28	30	32
	2H	4	4	8	12	16	20	24	28	32	36	40	44	48	52	56	60	64
	3H	8	8	16	24	32	40	48	56	64	72	80	88	96	104	112	120	128
	4H	16	16	32	48	64	80	96	112	128	144	160	176	192	208	224	240	256
	5H ~ 7H	設定禁止	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

デフォルト設定は次のとおりです。

- MWI_SCLK = 229.376[MHz]÷256 = 0.896 MHz
ソース・クロック PLL3, 分周設定 DIV0xxx = 4H, DIV1xxx = FH

Duty ≠ 50%設定では、DIV0xxx=M 分周、DIV1xxx=N 分周の場合、

ASMU が出力するクロックは、(M × N) 分周クロックとなり、

High 幅 : (ソースクロック PLL 周期) × M × ((N-1)/2)

Low 幅 : (ソースクロック PLL 周期) × M × ((N-1)/2 + 1))

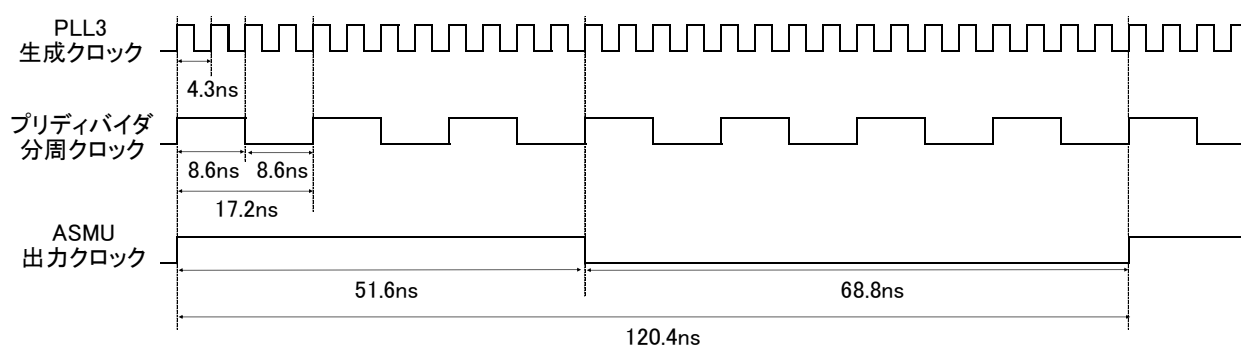
の分周クロックになります。

たとえば、PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合、28 分周クロックを生成し、

High 幅 = 4.3ns × 4 × ((7 - 1) / 2) = 51.6ns

Low 幅 = 4.3ns × 4 × ((7 - 1) / 2 + 1) = 68.8ns

となる分周クロックを ASMU は出力します。



PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合の ASMU 出力クロック

3.2.51 DMA_TCLK用分周設定レジスタ

本レジスタ (DIVDMATCLK : C011_0154H) は, DMA_TCLK の分周率を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
DIV1DMA TCLK3	DIV1DMA TCLK2	DIV1DMA TCLK1	DIV1DMA TCLK0	Reserved	DIV0DMA TCLK2	DIV0DMA TCLK1	DIV0DMA TCLK0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:8	-	予約。読み出すと 0 を返します。
DIV1DMATCLK3	R/W	7	1	分周設定表を参照してください。
DIV1DMATCLK2	R/W	6	1	
DIV1DMATCLK1	R/W	5	1	
DIV1DMATCLK0	R/W	4	1	
Reserved	R	3	-	予約。読み出すと 0 を返します。
DIV0DMATCLK2	R/W	2	1	分周設定表を参照してください。 0H は設定禁止です。
DIV0DMATCLK1	R/W	1	0	
DIV0DMATCLK0	R/W	0	0	

PLL3 で生成されるクロックを分周して生成します。

クロック生成のための分周は, DIV0xxx と DIV1xxx で設定されます。

分周設定表 (灰色部分は Duty≠50%)

		DIV1xxx[3:0]																
		レジスタ 設定値	0H	1H	2H	3H	4H	5H	6H	7H	8H	9H	AH	BH	CH	DH	EH	FH
DIV0xxx[2:0]	レジスタ 設定値	分周値	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	0H	設定禁止	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	1H	2	2	4	6	8	10	12	14	16	18	20	22	24	26	28	30	32
	2H	4	4	8	12	16	20	24	28	32	36	40	44	48	52	56	60	64
	3H	8	8	16	24	32	40	48	56	64	72	80	88	96	104	112	120	128
	4H	16	16	32	48	64	80	96	112	128	144	160	176	192	208	224	240	256
	5H ~ 7H	設定禁止	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

デフォルト設定は次のとおりです。

- DMA_TCLK = 229.376[MHz]÷256 = 0.896 MHz
ソース・クロック PLL3, 分周設定 DIV0xxx = 4H, DIV1xxx = FH

Duty ≠ 50%設定では、DIV0xxx=M 分周、DIV1xxx=N 分周の場合、

ASMU が出力するクロックは、(M × N) 分周クロックとなり、

High 幅 : (ソースクロック PLL 周期) × M × ((N-1)/2)

Low 幅 : (ソースクロック PLL 周期) × M × ((N-1)/2 + 1))

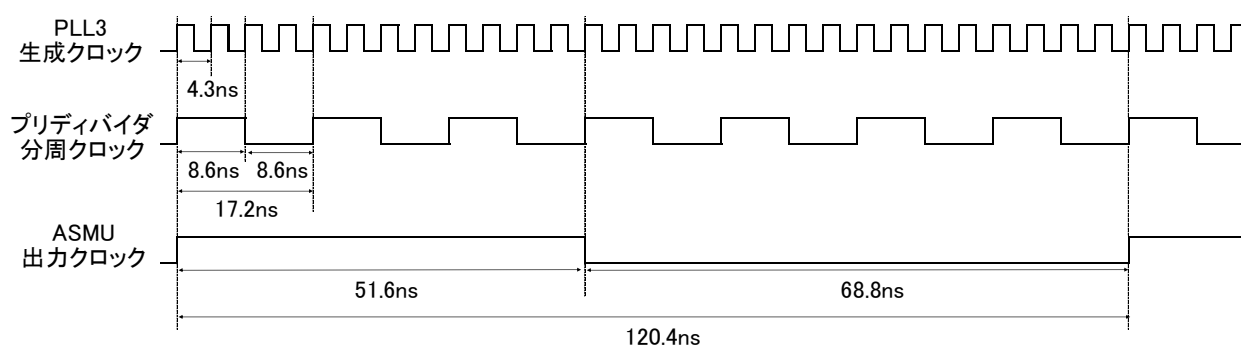
の分周クロックになります。

たとえば、PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合、28 分周クロックを生成し、

High 幅 = 4.3ns × 4 × ((7 - 1) / 2) = 51.6ns

Low 幅 = 4.3ns × 4 × ((7 - 1) / 2 + 1) = 68.8ns

となる分周クロックを ASMU は出力します。



PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合の ASMU 出力クロック

3.2.52 U70_SCLK用分周設定レジスタ

本レジスタ (DIVU70SCLK : C011_0158H) は, U70_SCLK の分周率を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
DIV1 U70SCLK3	DIV1 U70SCLK2	DIV1 U70SCLK1	DIV1 U70SCLK0	Reserved	DIV0 U70SCLK2	DIV0 U70SCLK1	DIV0 U70SCLK0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:8	-	予約。読み出すと 0 を返します。
DIV1U70SCLK3	R/W	7	1	分周設定表を参照してください。
DIV1U70SCLK2	R/W	6	1	
DIV1U70SCLK1	R/W	5	1	
DIV1U70SCLK0	R/W	4	1	
Reserved	R	3	-	予約。読み出すと 0 を返します。
DIV0U70SCLK2	R/W	2	1	分周設定表を参照してください。
DIV0U70SCLK1	R/W	1	0	
DIV0U70SCLK0	R/W	0	0	

PLL3 で生成されるクロックを分周して生成します。

クロック生成のための分周は, DIV0xxx と DIV1xxx で設定されます。

分周設定表 (灰色部分は Duty≠50%)

		DIV1xxx[3:0]																
		レジスタ 設定値	0H	1H	2H	3H	4H	5H	6H	7H	8H	9H	AH	BH	CH	DH	EH	FH
DIV0xxx[2:0]	レジスタ 設定値	分周値	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	0H	1	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	1H	2	2	4	6	8	10	12	14	16	18	20	22	24	26	28	30	32
	2H	4	4	8	12	16	20	24	28	32	36	40	44	48	52	56	60	64
	3H	8	8	16	24	32	40	48	56	64	72	80	88	96	104	112	120	128
	4H	16	16	32	48	64	80	96	112	128	144	160	176	192	208	224	240	256
	5H ~ 7H	設定禁止	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

デフォルト設定は次のとおりです。

- U70_SCLK = 229.376[MHz]÷256 = 0.896 MHz
- ソース・クロック PLL3, 分周設定 DIV0xxx = 4H, DIV1xxx = FH

Duty ≠ 50%設定では、DIV0xxx=M 分周、DIV1xxx=N 分周の場合、

ASMU が出力するクロックは、 $(M \times N)$ 分周クロックとなり、

High 幅 : $(\text{ソースクロック PLL 周期}) \times M \times ((N-1)/2)$

Low 幅 : $(\text{ソースクロック PLL 周期}) \times M \times ((N-1)/2 + 1)$

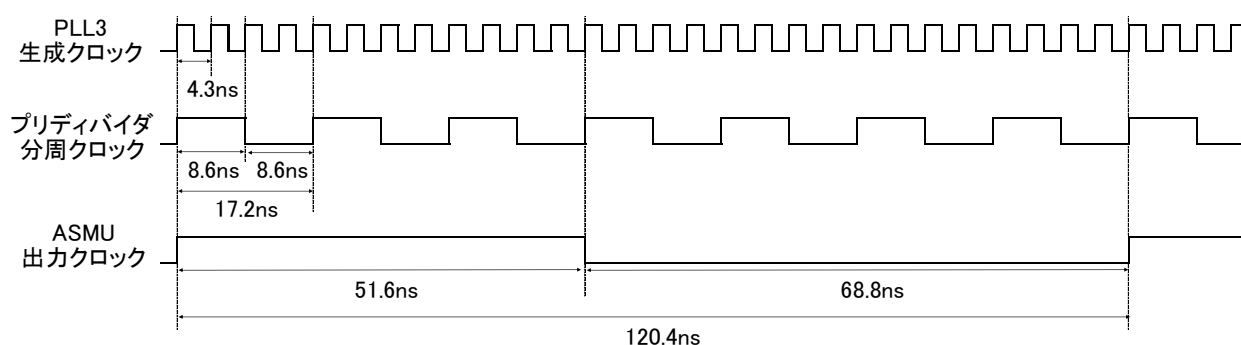
の分周クロックになります。

たとえば、PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合、28 分周クロックを生成し、

High 幅 = $4.3\text{ns} \times 4 \times ((7 - 1) / 2) = 51.6\text{ns}$

Low 幅 = $4.3\text{ns} \times 4 \times ((7 - 1) / 2 + 1) = 68.8\text{ns}$

となる分周クロックを ASMU は出力します。



PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合の ASMU 出力クロック

3.2.53 U71_SCLK用分周設定レジスタ

本レジスタ (DIVU71SCLK : C011_015CH) は, U71_SCLK の分周率を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
DIV1U71 SCLK3	DIV1U71 SCLK2	DIV1U71 SCLK1	DIV1U71 SCLK0	Reserved	DIV0U71 SCLK2	DIV0U71 SCLK1	DIV0U71 SCLK0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:8	-	予約。読み出すと 0 を返します。
DIV1U71SCLK3	R/W	7	1	分周設定表を参照してください。
DIV1U71SCLK2	R/W	6	1	
DIV1U71SCLK1	R/W	5	1	
DIV1U71SCLK0	R/W	4	1	
Reserved	R	3	-	予約。読み出すと 0 を返します。
DIV0U71SCLK2	R/W	2	1	分周設定表を参照してください。
DIV0U71SCLK1	R/W	1	0	
DIV0U71SCLK0	R/W	0	0	

PLL3 で生成されるクロックを分周して生成します。

クロック生成のための分周は, DIV0xxx と DIV1xxx で設定されます。

分周設定表 (灰色部分は Duty≒50%)

		DIV1xxx[3:0]																
		レジスタ 設定値	0H	1H	2H	3H	4H	5H	6H	7H	8H	9H	AH	BH	CH	DH	EH	FH
DIV0xxx[2:0]	レジスタ 設定値	分周値	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	0H	1	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	1H	2	2	4	6	8	10	12	14	16	18	20	22	24	26	28	30	32
	2H	4	4	8	12	16	20	24	28	32	36	40	44	48	52	56	60	64
	3H	8	8	16	24	32	40	48	56	64	72	80	88	96	104	112	120	128
	4H	16	16	32	48	64	80	96	112	128	144	160	176	192	208	224	240	256
	5H～7H	設定禁止	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

デフォルト設定は次のとおりです。

- U71_SCLK = 229.376[MHz]÷256 = 0.896 MHz
ソース・クロック PLL3, 分周設定 DIV0xxx = 4H, DIV1xxx = FH

Duty ≠ 50%設定では、DIV0xxx=M 分周、DIV1xxx=N 分周の場合、

ASMU が出力するクロックは、 $(M \times N)$ 分周クロックとなり、

High 幅 : $(\text{ソースクロック PLL 周期}) \times M \times ((N-1)/2)$

Low 幅 : $(\text{ソースクロック PLL 周期}) \times M \times ((N-1)/2 + 1)$

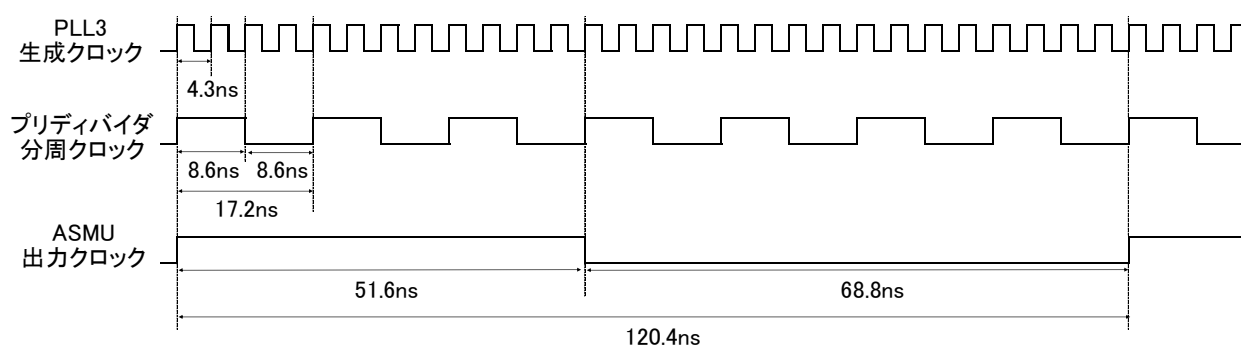
の分周クロックになります。

たとえば、PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合、28 分周クロックを生成し、

High 幅 = $4.3\text{ns} \times 4 \times ((7 - 1) / 2) = 51.6\text{ns}$

Low 幅 = $4.3\text{ns} \times 4 \times ((7 - 1) / 2 + 1) = 68.8\text{ns}$

となる分周クロックを ASMU は出力します。



PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合の ASMU 出力クロック

3.2.54 U72_SCLK用分周設定レジスタ

本レジスタ (DIVU72SCLK : C011_0160H) は, U72_SCLK の分周率を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
DIV1U72 SCLK3	DIV1U72 SCLK2	DIV1U72 SCLK1	DIV1U72 SCLK0	Reserved	DIV0U72 SCLK2	DIV0U72 SCLK1	DIV0U72 SCLK0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:8	-	予約。読み出すと 0 を返します。
DIV1U72SCLK3	R/W	7	1	分周設定表を参照してください。
DIV1U72SCLK2	R/W	6	1	
DIV1U72SCLK1	R/W	5	1	
DIV1U72SCLK0	R/W	4	1	
Reserved	R	3	-	予約。読み出すと 0 を返します。
DIV0U72SCLK2	R/W	2	1	分周設定表を参照してください。
DIV0U72SCLK1	R/W	1	0	
DIV0U72SCLK0	R/W	0	0	

PLL3 で生成されるクロックを分周して生成します。

クロック生成のための分周は, DIV0xxx と DIV1xxx で設定されます。

分周設定表 (灰色部分は Duty≒50%)

		DIV1xxx[3:0]																
		レジスタ 設定値	0H	1H	2H	3H	4H	5H	6H	7H	8H	9H	AH	BH	CH	DH	EH	FH
DIV0xxx[2:0]	レジスタ 設定値	分周値	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	0H	1	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	1H	2	2	4	6	8	10	12	14	16	18	20	22	24	26	28	30	32
	2H	4	4	8	12	16	20	24	28	32	36	40	44	48	52	56	60	64
	3H	8	8	16	24	32	40	48	56	64	72	80	88	96	104	112	120	128
	4H	16	16	32	48	64	80	96	112	128	144	160	176	192	208	224	240	256
	5H ~ 7H	設定禁止	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

デフォルト設定は次のとおりです。

- U72_SCLK = 229.376[MHz]÷256 = 0.896 MHz
ソース・クロック PLL3, 分周設定 DIV0xxx = 4H, DIV1xxx = FH

Duty ≠ 50%設定では、DIV0xxx=M 分周、DIV1xxx=N 分周の場合、

ASMU が出力するクロックは、 $(M \times N)$ 分周クロックとなり、

High 幅 : $(\text{ソースクロック PLL 周期}) \times M \times ((N-1)/2)$

Low 幅 : $(\text{ソースクロック PLL 周期}) \times M \times ((N-1)/2 + 1)$

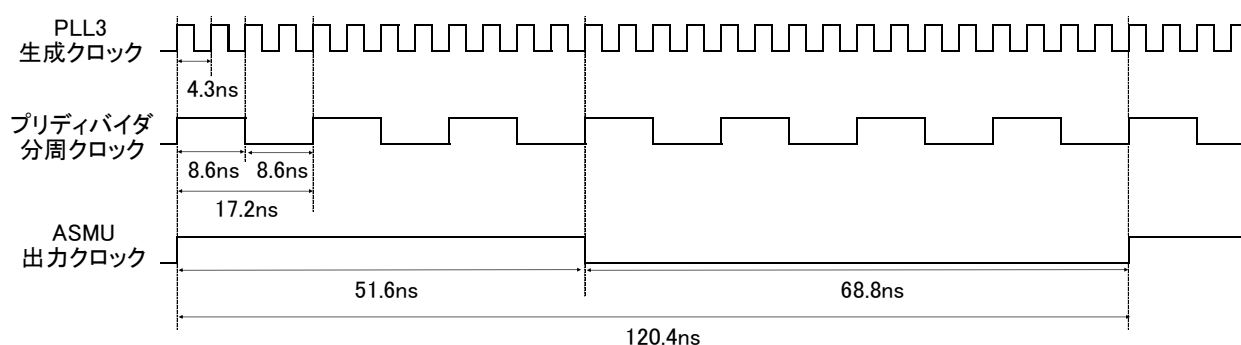
の分周クロックになります。

たとえば、PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合、28 分周クロックを生成し、

High 幅 = $4.3\text{ns} \times 4 \times ((7 - 1) / 2) = 51.6\text{ns}$

Low 幅 = $4.3\text{ns} \times 4 \times ((7 - 1) / 2 + 1) = 68.8\text{ns}$

となる分周クロックを ASMU は出力します。



PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合の ASMU 出力クロック

3.2.55 PM0_SCLK用分周設定レジスタ

本レジスタ (DIVPM0SCLK : C011_016CH) は, PM0_SCLK の分周率を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
DIV1PM0 SCLK3	DIV1PM0 SCLK2	DIV1PM0 SCLK1	DIV1PM0 SCLK0	Reserved	DIV0PM0 SCLK2	DIV0PM0 SCLK1	DIV0PM0 SCLK0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:8	-	予約。読み出すと 0 を返します。
DIV1PM0SCLK3	R/W	7	1	分周設定表を参照してください。
DIV1PM0SCLK2	R/W	6	1	
DIV1PM0SCLK1	R/W	5	1	
DIV1PM0SCLK0	R/W	4	1	
Reserved	R	3	-	予約。読み出すと 0 を返します。
DIV0PM0SCLK2	R/W	2	1	分周設定表を参照してください。
DIV0PM0SCLK1	R/W	1	0	
DIV0PM0SCLK0	R/W	0	0	

PLL3 で生成されるクロックを分周して生成します。

クロック生成のための分周は, DIV0xxx と DIV1xxx で設定されます。

分周設定表 (灰色部分は Duty≠50%)

		DIV1xxx[3:0]																
		レジスタ 設定値	0H	1H	2H	3H	4H	5H	6H	7H	8H	9H	AH	BH	CH	DH	EH	FH
DIV0xxx[2:0]	レジスタ 設定値	分周値	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	0H	1	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	1H	2	2	4	6	8	10	12	14	16	18	20	22	24	26	28	30	32
	2H	4	4	8	12	16	20	24	28	32	36	40	44	48	52	56	60	64
	3H	8	8	16	24	32	40	48	56	64	72	80	88	96	104	112	120	128
	4H	16	16	32	48	64	80	96	112	128	144	160	176	192	208	224	240	256
	5H～7H	設定禁止	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

デフォルト設定は次のとおりです。

- PM0_SCLK = 229.376[MHz]÷256 = 0.896 MHz
ソース・クロック PLL3, 分周設定 DIV0xxx = 4H, DIV1xxx = FH

Duty ≠ 50%設定では、DIV0xxx=M 分周、DIV1xxx=N 分周の場合、

ASMU が出力するクロックは、 $(M \times N)$ 分周クロックとなり、

High 幅 : $(\text{ソースクロック PLL 周期}) \times M \times ((N-1)/2)$

Low 幅 : $(\text{ソースクロック PLL 周期}) \times M \times ((N-1)/2 + 1)$

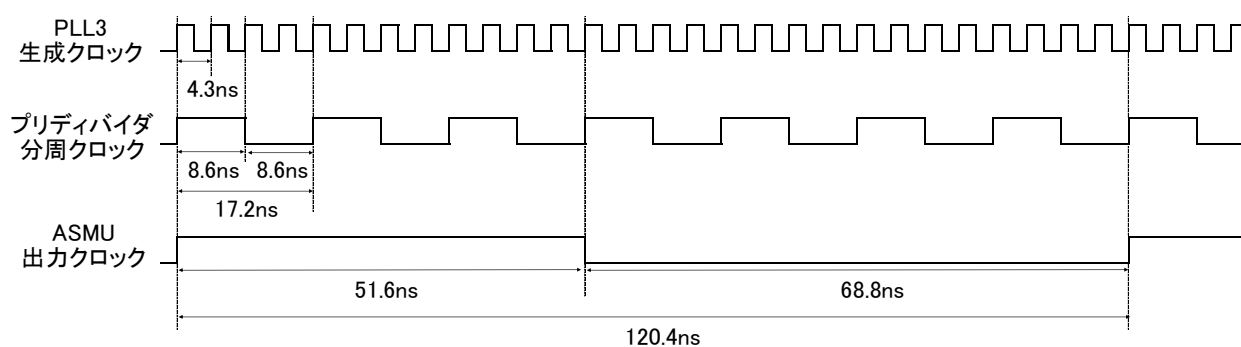
の分周クロックになります。

たとえば、PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合、28 分周クロックを生成し、

High 幅 = $4.3\text{ns} \times 4 \times ((7 - 1) / 2) = 51.6\text{ns}$

Low 幅 = $4.3\text{ns} \times 4 \times ((7 - 1) / 2 + 1) = 68.8\text{ns}$

となる分周クロックを ASMU は出力します。



PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合の ASMU 出力クロック

3.2.56 PM1_SCLK用分周設定レジスタ

本レジスタ (DIVPM1SCLK : C011_0170H) は、PM1_SCLK の分周率を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
DIV1PM1 SCLK3	DIV1PM1 SCLK2	DIV1PM1 SCLK1	DIV1PM1 SCLK0	Reserved	DIV0PM1 SCLK2	DIV0PM1 SCLK1	DIV0PM1 SCLK0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:8	-	予約。読み出すと 0 を返します。
DIV1PM1SCLK3	R/W	7	1	分周設定表を参照してください。
DIV1PM1SCLK2	R/W	6	1	
DIV1PM1SCLK1	R/W	5	1	
DIV1PM1SCLK0	R/W	4	1	
Reserved	R	3	-	予約。読み出すと 0 を返します。
DIV0PM1SCLK2	R/W	2	1	分周設定表を参照してください。
DIV0PM1SCLK1	R/W	1	0	
DIV0PM1SCLK0	R/W	0	0	

PLL3 で生成されるクロックを分周して生成します。

クロック生成のための分周は、DIV0xxx と DIV1xxx で設定されます。

分周設定表 (灰色部分は Duty≒50%)

		DIV1xxx[3:0]																
		レジスタ 設定値	0H	1H	2H	3H	4H	5H	6H	7H	8H	9H	AH	BH	CH	DH	EH	FH
DIV0xxx[2:0]	レジスタ 設定値	分周値	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	0H	1	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	1H	2	2	4	6	8	10	12	14	16	18	20	22	24	26	28	30	32
	2H	4	4	8	12	16	20	24	28	32	36	40	44	48	52	56	60	64
	3H	8	8	16	24	32	40	48	56	64	72	80	88	96	104	112	120	128
	4H	16	16	32	48	64	80	96	112	128	144	160	176	192	208	224	240	256
	5H ~ 7H	設定禁止	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

デフォルト設定は次のとおりです。

- PM1_SCLK = 229.376[MHz]÷256 = 0.896 MHz
ソース・クロック PLL3, 分周設定 DIV0xxx = 4H, DIV1xxx = FH

Duty ≠ 50%設定では、DIV0xxx=M 分周、DIV1xxx=N 分周の場合、

ASMU が出力するクロックは、 $(M \times N)$ 分周クロックとなり、

High 幅 : $(\text{ソースクロック PLL 周期}) \times M \times ((N-1)/2)$

Low 幅 : $(\text{ソースクロック PLL 周期}) \times M \times ((N-1)/2 + 1)$

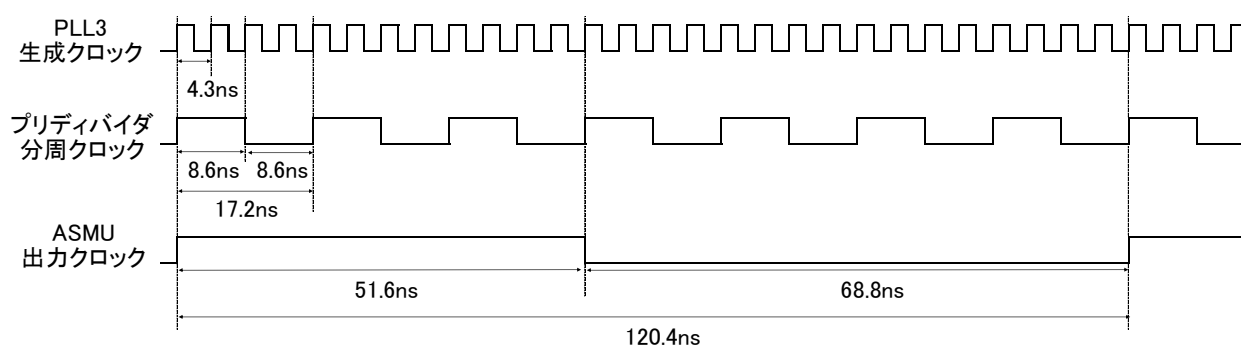
の分周クロックになります。

たとえば、PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合、28 分周クロックを生成し、

$$\text{High 幅} = 4.3\text{ns} \times 4 \times ((7 - 1) / 2) = 51.6\text{ns}$$

$$\text{Low 幅} = 4.3\text{ns} \times 4 \times ((7 - 1) / 2 + 1) = 68.8\text{ns}$$

となる分周クロックを ASMU は出力します。



PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合の ASMU 出力クロック

3.2.57 REFCLK用分周設定レジスタ

本レジスタ (DIVREFCLK : C011_0178H) は、REFCLK の分周率を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved		DIVREFCLK5	DIVREFCLK4	DIVREFCLK3	DIVREFCLK2	DIVREFCLK1	DIVREFCLK0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:	-	予約。読み出すと 0 を返します。
DIVREFCLK5	R/W	5	1	分周比：設定値 + 1 偶数分周 = Duty 50% 奇数分周 ≠ Duty 50%
DIVREFCLK4	R/W	4	0	
DIVREFCLK3	R/W	3	1	
DIVREFCLK2	R/W	2	0	
DIVREFCLK1	R/W	1	0	
DIVREFCLK0	R/W	0	0	

デフォルト設定は次のとおりです。

- REFCLK = $499.712[\text{MHz}] \div 41 = 12.188 \text{ MHz}$

Duty ≠ 50% 設定では、DIVREFCLK の設定が M 分周の場合、
ASMU が出力するクロックは、

High 幅 : $(\text{ソースクロック PLL 周期}) \times ((M - 1) / 2)$

Low 幅 : $(\text{ソースクロック PLL 周期}) \times ((M - 1) / 2 + 1)$

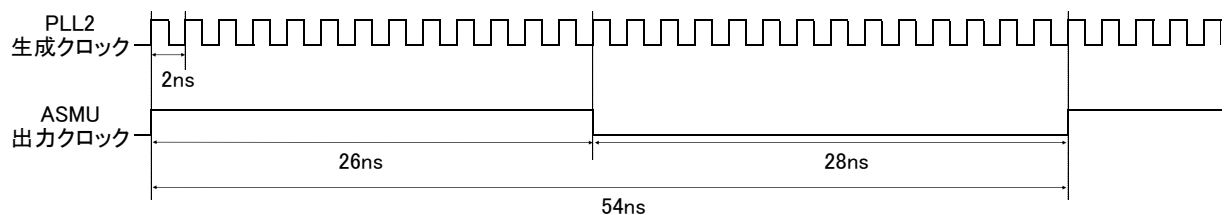
の分周クロックになります。

たとえば、PLL2 生成クロック周期=2ns、設定が 27 分周 の場合、

High 幅 = $2 \text{ ns} \times ((27 - 1) / 2) = 26 \text{ ns}$

Low 幅 = $2 \text{ ns} \times ((27 - 1) / 2 + 1) = 28 \text{ ns}$

となる分周クロックを ASMU は出力します。



PLL2 生成クロック周期=2ns、設定が 27 分周の場合の ASMU 出力クロック

3.2.58 PWMPWCLK用分周設定レジスタ

本レジスタ (DIVPWMPWCLK : C011_0184H) は、PWMPWCLK の分周率を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
DIV1PWMPW CLK1[3]	DIV1PWMPW CLK1[2]	DIV1PWMPW CLK1[1]	DIV1PWMPW CLK1[0]	Reserved	DIV0PWMPW CLK1[2]	DIV0PWMPW CLK1[1]	DIV0PWMPW CLK1[0]
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
DIV1PWMPW CLK0[3]	DIV1PWMPW CLK0[2]	DIV1PWMPW CLK0[1]	DIV1PWMPW CLK0[0]	Reserved	DIV0PWMPW CLK0[2]	DIV0PWMPW CLK0[1]	DIV0PWMPW CLK0[0]

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:24	-	予約。読み出すと 0 を返します。
DIV1PWMPWCLK1[3]	R/W	23	1	PWMPWCLK1 分周設定 分周設定表を参照してください。
DIV1PWMPWCLK1[2]	R/W	22	1	
DIV1PWMPWCLK1[1]	R/W	21	1	
DIV1PWMPWCLK1[0]	R/W	20	1	
Reserved	R	19	-	予約。読み出すと 0 を返します。
DIV0PWMPWCLK1[2]	R/W	18	1	PWMPWCLK1 分周設定 分周設定表を参照してください。
DIV0PWMPWCLK1[1]	R/W	17	0	
DIV0PWMPWCLK1[0]	R/W	16	0	
Reserved	R	15:8	-	予約。読み出すと 0 を返します。
DIV1PWMPWCLK0[3]	R/W	7	1	PWMPWCLK0 分周設定 分周設定表を参照してください。
DIV1PWMPWCLK0[2]	R/W	6	1	
DIV1PWMPWCLK0[1]	R/W	5	1	
DIV1PWMPWCLK0[0]	R/W	4	1	
Reserved	R	3	-	予約。読み出すと 0 を返します。
DIV0PWMPWCLK0[2]	R/W	2	1	PWMPWCLK0 分周設定 分周設定表を参照してください。
DIV0PWMPWCLK0[1]	R/W	1	0	
DIV0PWMPWCLK0[0]	R/W	0	0	

クロック生成のための分周は、DIV0xxx と DIV1xxx で設定されます。

分周設定表（灰色部分は Duty≠50%）

		DIV1xxx[3:0]																
		レジスタ 設定値	0H	1H	2H	3H	4H	5H	6H	7H	8H	9H	AH	BH	CH	DH	EH	FH
DIV0xxx[2:0]	レジスタ 設定値	分周値	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	0H	設定禁止	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	1H	2	2	4	6	8	10	12	14	16	18	20	22	24	26	28	30	32
	2H	4	4	8	12	16	20	24	28	32	36	40	44	48	52	56	60	64
	3H	8	8	16	24	32	40	48	56	64	72	80	88	96	104	112	120	128
	4H	16	16	32	48	64	80	96	112	128	144	160	176	192	208	224	240	256
	5H～7H	設定禁止	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

デフォルト設定は次のとおりです。

- $PWMPWCLK = 229.376[\text{MHz}] \div 256 = 0.896[\text{MHz}]$
ソース・クロック PLL3，分周設定 DIV0xxx = 4H，DIV1xxx = FH

Duty ≠ 50%設定では、DIV0xxx=M 分周、DIV1xxx=N 分周の場合、

ASMU が出力するクロックは、(M×N) 分周クロックとなり、

High 幅 : (ソースクロック PLL 周期) × M × ((N-1)/2)

Low 幅 : (ソースクロック PLL 周期) × M × ((N-1)/2 + 1))

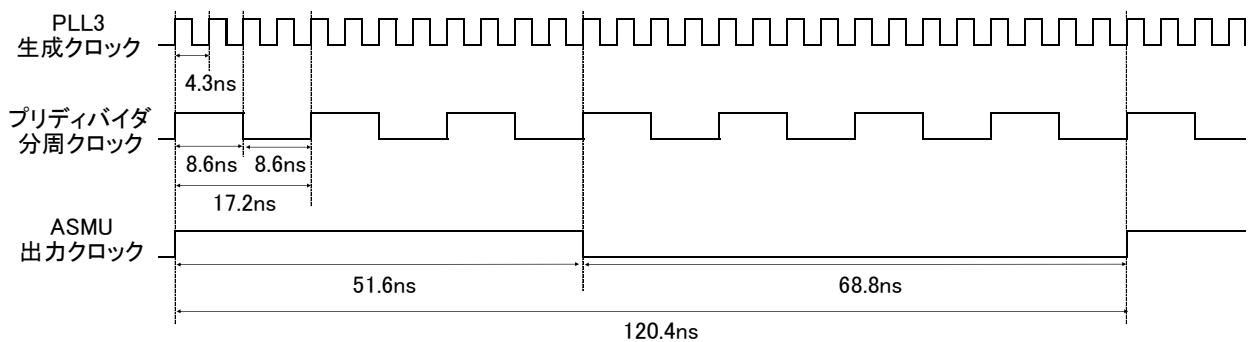
の分周クロックになります。

たとえば、PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合、28 分周クロックを生成し、

$$\text{High 幅} = 4.3\text{ns} \times 4 \times ((7 - 1) / 2) = 51.6\text{ns}$$

$$\text{Low 幅} = 4.3\text{ns} \times 4 \times ((7 - 1) / 2 + 1) = 68.8\text{ns}$$

となる分周クロックを ASMU は出力します。



PLL3 生成クロック周期=4.3ns、DIV0=4 分周、DIV1=7 分周 の場合の ASMU 出力クロック

3.2.59 AHBマクロ・クロック制御レジスタ 0

本レジスタ (AHBCLKCTRL0 : C011_01A0H) は、各ブロックのクロック自動制御モードを有効 / 無効に設定します。

31	30	29	28	27	26	25	24
AVCHSCKLP	AVCHMCKLP	AVCCKMLP	AVCCKELP	AVCCKDLP	AVCCKCLP	Reserved	NTSLP
23	22	21	20	19	18	17	16
NANDLP	IMCLP	Reserved		DTVLP	DMAPCH3LP	DMAPCH2LP	Reserved
15	14	13	12	11	10	9	8
DMAPCH0LP	LDCCKLP	LCDLP	CAMLP	IPUAHBLP	IPUDMALP	IPUROTLP	IPIUMG2LP
7	6	5	4	3	2	1	0
IPIUMG1LP	PDMAACKLP	PDMAHCKLP	DMA2LP	Reserved		ADSPLP	ACPULP

(1/2)

名 称	R/W	ビット	リセット時	機 能
AVCHSCKLP	R/W	31	0	AVC_HSCLK 自動制御モードの ON/OFF を設定します。
AVCHMCKLP	R/W	30	0	AVC_HMCLK 自動制御モードの ON/OFF を設定します。
AVCCKMLP	R/W	29	0	AVC_CLKM 自動制御モードの ON/OFF を設定します。
AVCCKELP	R/W	28	0	AVC_CLKE 自動制御モードの ON/OFF を設定します。
AVCCKDLP	R/W	27	0	AVC_CLKD 自動制御モードの ON/OFF を設定します。
AVCCKCLP	R/W	26	0	AVC_CLKC 自動制御モードの ON/OFF を設定します。
Reserved	R	25	-	予約。読み出すと 0 を返します。
NTSLP	R/W	24	0	NTS_CLK 自動制御モードの ON/OFF を設定します。
NANDLP	R/W	23	0	NAND_HCLK 自動制御モードの ON/OFF を設定します。
IMCLP	R/W	22	0	IMC_CLK 自動制御モードの ON/OFF を設定します。
Reserved	R	21:20	-	予約。読み出すと 0 を返します。
DTVLP	R/W	19	0	DTV_CLK 自動制御モードの ON/OFF を設定します。
DMAPCH3LP	R/W	18	0	DMA_PH3_CLK 自動制御モードの ON/OFF を設定します。
DMAPCH2LP	R/W	17	0	DMA_PH2_CLK 自動制御モードの ON/OFF を設定します。
Reserved	R	16	-	予約。読み出すと 0 を返します。
DMAPCH0LP	R/W	15	0	DMA_PH0_CLK 自動制御モードの ON/OFF を設定します。
LDCCKLP	R/W	14	0	LCD_CCLK 自動制御モードの ON/OFF を設定します。
LCDLP	R/W	13	0	LCD_CLK 自動制御モードの ON/OFF を設定します。
CAMLP	R/W	12	0	CAM_CLK 自動制御モードの ON/OFF を設定します。
IPUAHBLP	R/W	11	0	IPUAHB_CLK 自動制御モードの ON/OFF を設定します。
IPUDMALP	R/W	10	0	IPUDMA_CLK 自動制御モードの ON/OFF を設定します。
IPUROTLP	R/W	9	0	IPUROT_CLK 自動制御モードの ON/OFF を設定します。
IPIUMG2LP	R/W	8	0	IPIUMG_2_CLK 自動制御モードの ON/OFF を設定します。
IPIUMG1LP	R/W	7	0	IPIUMG_1_CLK 自動制御モードの ON/OFF を設定します。
PDMAACKLP	R/W	6	0	PDMA_ACLK 自動制御モードの ON/OFF を設定します。
PDMAHCKLP	R/W	5	0	PDMA_HCLK 自動制御モードの ON/OFF を設定します。
DMA2LP	R/W	4	0	DMA2_CLK 自動制御モード
Reserved	R	3:2	-	予約。読み出すと 0 を返します。

(2/2)

名 称	R/W	ビット	リセット時	機 能
ADSPLP	R/W	1	0	ADSP_CLK, ADSP_ACLK, DCV_CLK 自動制御モードの ON/OFF を設定します。
ACPULP	R/W	0	0	ACPU_CLK 自動制御モードの ON/OFF を設定します。

備考 0 : 自動制御モード OFF , 1 : 自動制御モード ON

3.2.60 AHBマクロ・クロック制御レジスタ 1

本レジスタ (AHBCLKCTRL1: C011_01A4H) は、各ブロックのクロック自動制御モードを有効 / 無効に設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
AXL1HCLKLP	Reserved	SHXBHCLKLP	SHXBLP	MHXBLP	MHXBLP	AXL1LP	AXL0LP
7	6	5	4	3	2	1	0
SWL1LP	SWL0LP	SRCLP	MEMCLP	PB1LP	PB0LP	AB1LP	AB0LP

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:16	-	予約。読み出すと 0 を返します。
AXL1HCLKLP	R/W	15	0	AXL1_HCLK 自動制御モードの ON/OFF を設定します。
Reserved	R	14	-	予約。読み出すと 0 を返します。
SHXBHCLKLP	R/W	13	0	SHXB_HCLK 自動制御モードの ON/OFF を設定します。
SHXBLP	R/W	12	0	SHXB_CLK 自動制御モードの ON/OFF を設定します。
MHXBLP	R/W	11	0	MHXB_CLK 自動制御モードの ON/OFF を設定します。
DHXB	R/W	10	0	DHXB_CLK 自動制御モードの ON/OFF を設定します。
AXL1LP	R/W	9	0	AXL1_CLK 自動制御モードの ON/OFF を設定します。
AXL0LP	R/W	8	0	AXL0_CLK 自動制御モードの ON/OFF を設定します。
SWL1LP	R/W	7	0	SWL1_CLK 自動制御モードの ON/OFF を設定します。
SWL0LP	R/W	6	0	SWL0_CLK 自動制御モードの ON/OFF を設定します。
SRCLP	R/W	5	0	SRC_CLK 自動制御モードの ON/OFF を設定します。
MEMCLP	R/W	4	0	MEMC_CLK 自動制御モードの ON/OFF を設定します。
PB1LP	R/W	3	0	PB1_CLK 自動制御モードの ON/OFF を設定します。
PB0LP	R/W	2	0	PB0_CLK 自動制御モードの ON/OFF を設定します。
AB1LP	R/W	1	0	AB1_CLK 自動制御モードの ON/OFF を設定します。
AB0LP	R/W	0	0	AB0_CLK 自動制御モードの ON/OFF を設定します。

備考 0 : 自動制御モード OFF , 1 : 自動制御モード ON

3.2.61 APB(PB0)スレーブ・マクロ・クロック制御レジスタ 0

本レジスタ (APBCLKCTRL0 : C011_01A8H) は、各ブロックのクロック自動制御モードを有効 / 無効に設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							IPUDMACLKLP
15	14	13	12	11	10	9	8
IMCCLKLP	NANDCLKLP	Reserved	NTSPCLKLP	Reserved		AXIPCLKLP	
7	6	5	4	3	2	1	0
SP2CLKLP	PWMPCLKLP	DTVCLKLP	DMACLKLP	CAMPCLKLP	ROTPCLKLP	IMGCLKLP	LCDCLKLP

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:17	-	予約。読み出すと 0 を返します。
IPUDMACLKLP	R/W	16	0	IPUDMA の APB クロック自動制御モードの ON/OFF を設定します。
IMCCLKLP	R/W	15	0	IMC の APB クロック自動制御モードの ON/OFF を設定します。
NANDCLKLP	R/W	14	0	NAND の APB クロック自動制御モードの ON/OFF を設定します。
Reserved	R	13	-	予約。読み出すと 0 を返します。
NTSPCLKLP	R/W	12	0	NTS の APB クロック自動制御モードの ON/OFF を設定します。
Reserved	R	11:9	-	予約。読み出すと 0 を返します。
AXIPCLKLP	R/W	8	0	AXI の APB クロック自動制御モードの ON/OFF を設定します。
SP2CLKLP	R/W	7	0	SP2 の APB クロック自動制御モードの ON/OFF を設定します。
PWMPCLKLP	R/W	6	0	PWM の APB クロック自動制御モードの ON/OFF を設定します。
DTVCLKLP	R/W	5	0	DTV の APB クロック自動制御モードの ON/OFF を設定します。
DMACLKLP	R/W	4	0	DMA の APB クロック自動制御モードの ON/OFF を設定します。
CAMPCLKLP	R/W	3	0	CAM/MMUCAM の APB クロック自動制御モードの ON/OFF を設定します。
IPUOTCLKLP	R/W	2	0	IPUOT の APB クロック自動制御モードの ON/OFF を設定します。
IPIUMCLKLP	R/W	1	0	IPIUM の APB クロック自動制御モードの ON/OFF を設定します。
LCDCLKLP	R/W	0	0	LCD の APB クロック自動制御モードの ON/OFF を設定します。

備考 0 : 自動制御モード OFF , 1 : 自動制御モード ON

ASMU から PB0 への出力信号 APBCLKCTRL0[22:0]は下記のように出力されます。

	初期値	該当レジスタ	内 容
APBCLKCTRL0[22]	0	-	0 固定
APBCLKCTRL0[21]	0	-	0 固定
APBCLKCTRL0[20]	0	-	0 固定
APBCLKCTRL0[19]	0	APBCLKCTRL2[3]	PM1 の APB クロック自動制御モード
APBCLKCTRL0[18]	0	-	0 固定
APBCLKCTRL0[17]	0	-	0 固定
APBCLKCTRL0[16]	0	APBCLKCTRL0[16]	IPUDMA の APB クロック自動制御モード
APBCLKCTRL0[15]	0	APBCLKCTRL0[15]	IMC の APB クロック自動制御モード
APBCLKCTRL0[14]	0	APBCLKCTRL0[14]	NAND の APB クロック自動制御モード
APBCLKCTRL0[13]	0	APBCLKCTRL0[13]	0 固定
APBCLKCTRL0[12]	0	APBCLKCTRL0[12]	NTS の APB クロック自動制御モード
APBCLKCTRL0[11]	0	-	0 固定
APBCLKCTRL0[10]	0	-	0 固定
APBCLKCTRL0[9]	0	-	0 固定
APBCLKCTRL0[8]	0	APBCLKCTRL0[8]	AXI の APB クロック自動制御モード
APBCLKCTRL0[7]	0	APBCLKCTRL0[7]	SP2 の APB クロック自動制御モード
APBCLKCTRL0[6]	0	APBCLKCTRL0[6]	PWM の APB クロック自動制御モード
APBCLKCTRL0[5]	0	APBCLKCTRL0[5]	DTV の APB クロック自動制御モード
APBCLKCTRL0[4]	0	APBCLKCTRL0[4]	DMA の APB クロック自動制御モード
APBCLKCTRL0[3]	0	APBCLKCTRL0[3]	CAM の APB クロック自動制御モード
APBCLKCTRL0[2]	0	APBCLKCTRL0[2]	IPUROT の APB クロック自動制御モード
APBCLKCTRL0[1]	0	APBCLKCTRL0[1]	IPUIMG の APB クロック自動制御モード
APBCLKCTRL0[0]	0	APBCLKCTRL0[0]	LCD の APB クロック自動制御モード

備考 0：自動制御モード OFF，1：自動制御モード ON

3.2.62 APB(PB1)スレーブ・マクロ・クロック制御レジスタ1

本レジスタ (APBCLKCTRL1 : C011_01ACH) は、各ブロックのクロック自動制御モードを有効 / 無効に設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
AXL0PCLKLP	Reserved	CHGPCLKLP	Reserved	DCVPCLKLP	PDMAP CLKLP	GIOPCLKP	SP1PCLKLP
7	6	5	4	3	2	1	0
SP0PCLKLP	PMUPCLKLP	SMUPCLKLP	MWIPCLKLP	TIMPCLKLP	INTPCLKLP	MEMCP CLKLP	Reserved

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:16	-	予約。読み出すと 0 を返します。
AXL0PCLKLP	R/W	15	0	AXL0 の APB クロック自動制御モードの ON/OFF を設定します。
Reserved	R	14	-	予約。読み出すと 0 を返します。
CHGPCLKLP	R/W	13	0	CHG の APB クロック自動制御モードの ON/OFF を設定します。
Reserved	R	12	-	予約。読み出すと 0 を返します。
DCVPCLKLP	R/W	11	0	DCV の APB クロック自動制御モードの ON/OFF を設定します。
PDMAPCLKLP	R/W	10	0	PDMA の APB クロック自動制御モードの ON/OFF を設定します。
GIOPCLKP	R/W	9	0	GIO の APB クロック自動制御モードの ON/OFF を設定します。
SP1PCLKLP	R/W	8	0	SP1 の APB クロック自動制御モードの ON/OFF を設定します。
SP0PCLKLP	R/W	7	0	SP0 の APB クロック自動制御モードの ON/OFF を設定します。
PMUPCLKLP	R/W	6	0	PMU の APB クロック自動制御モードの ON/OFF を設定します。
SMUPCLKLP	R/W	5	0	ASMU の APB クロック自動制御モードの ON/OFF を設定します。
MWIPCLKLP	R/W	4	0	MWI の APB クロック自動制御モードの ON/OFF を設定します。
TIMPCLKLP	R/W	3	0	TIM(ITM+WTM+GTM)の APB クロック自動制御モードの ON/OFF を設定します。
INTPCLKLP	R/W	2	0	INT の APB クロック自動制御モードの ON/OFF を設定します。
MEMCPCLKLP	R/W	1	0	MEMC の APB クロック自動制御モードの ON/OFF を設定します。
Reserved	R	0	-	予約。読み出すと 0 を返します。

備考 0 : 自動制御モード OFF , 1 : 自動制御モード ON

ASMU から PB1 への出力信号 APBCLKCTRL1[17:0]は下記のように出力されます。

	初期値	該当レジスタ	内容
APBCLKCTRL1[17]	0	-	0 固定
APBCLKCTRL1[16]	0	-	0 固定
APBCLKCTRL1[15]	0	APBCLKCTRL1[15]	AXL0 の APB クロック自動制御モード
APBCLKCTRL1[14]	0	-	0 固定
APBCLKCTRL1[13]	0	APBCLKCTRL1[13]	CHG の APB クロック自動制御モード
APBCLKCTRL1[12]	0	-	0 固定
APBCLKCTRL1[11]	0	APBCLKCTRL1[10]	DCV の APB クロック自動制御モード
APBCLKCTRL1[10]	0	APBCLKCTRL1[10]	PDMA の APB クロック自動制御モード
APBCLKCTRL1[9]	0	APBCLKCTRL1[9]	GIO の APB クロック自動制御モード
APBCLKCTRL1[8]	0	APBCLKCTRL1[8]	SP1 の APB クロック自動制御モード
APBCLKCTRL1[7]	0	APBCLKCTRL1[7]	SP0 の APB クロック自動制御モード
APBCLKCTRL1[6]	0	APBCLKCTRL1[6]	PMU の APB クロック自動制御モード
APBCLKCTRL1[5]	0	APBCLKCTRL1[5]	ASMU の APB クロック自動制御モード
APBCLKCTRL1[4]	0	APBCLKCTRL1[4]	MWI の APB クロック自動制御モード
APBCLKCTRL1[3]	0	APBCLKCTRL1[3]	TIM の APB クロック自動制御モード
APBCLKCTRL1[2]	0	APBCLKCTRL1[2]	AINT の APB クロック自動制御モード
APBCLKCTRL1[1]	0	APBCLKCTRL1[1]	MEMC の APB クロック自動制御モード
APBCLKCTRL1[0]	0	APBCLKCTRL2[2]	PM0 の APB クロック自動制御モード

備考 0 : 自動制御モード OFF , 1 : 自動制御モード ON

3.2.63 クロック制御レジスタ

本レジスタ（CLKCTRL：C011_01B0H）は、各ブロックのクロック自動制御モードを有効／無効に設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved	FLASH_ CLKLP	SP2SCLKLP	SP1SCLKLP	SP0SCLKLP	MWISCLKLP	MEMC CLK270LP	

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:6	-	予約。読み出すと 0 を返します。
FLASH_CLKLP	R/W	5	0	FLASHCLK の自動制御モードの ON/OFF を設定します。
SP2SCLKLP	R/W	4	0	SP2_SCLK の自動制御モードの ON/OFF を設定します。
SP1SCLKLP	R/W	3	0	SP1_SCLK の自動制御モードの ON/OFF を設定します。
SP0SCLKLP	R/W	2	0	SP0_SCLK の自動制御モードの ON/OFF を設定します。
MWISCLKLP	R/W	1	0	MWI_SCLK の自動制御モードの ON/OFF を設定します。
MEMCCLK270LP	R/W	0	0	MEMC_CLK270 の自動制御モードの ON/OFF を設定します。

備考 0：自動制御モード OFF，1：自動制御モード ON

3.2.64 マクロ・クロック・ゲート制御レジスタ 0

本レジスタ (GCLKCTRL0 : C011_01B4H) は、各ブロックのクロックの供給 / 停止を設定します。

GCLKCTRL0ENA レジスタでライト・イネーブルが設定されているビットのみ書き込み可能です。ライト・ディスエーブルが設定されているビットは値が保持されます。

31	30	29	28	27	26	25	24
Reserved	DMA_TCLK_GCK	DMA_PCH3_CLK_GCK	DMA_PCH2_CLK_GCK	Reserved	DMA_PCH0_CLK_GCK	DMA_PCLK_GCK	Reserved
23	22	21	20	19	18	17	16
Reserved	CAM_SCLK_GCK	CAM_PCLK_GCK	CAM_CLK_GCK	IMC_PCLK_GCK	IMC_CLK_GCK	IPUAHB_CLK_GCK	IPUDMA_PCLK_GCK
15	14	13	12	11	10	9	8
IPUDMA_CLK_GCK	IPUROT_PCLK_GCK	IPUROT_CLK_GCK	IPUIMG_PCLK_GCK	IPUIMG_2_CLK_GCK	IPUIMG_1_CLK_GCK	Reserved	
7	6	5	4	3	2	1	0
PDMA_PCLK_GCK	PDMA_HCLK_GCK	PDMA_ACLK_GCK	Reserved			ADSP_ACLK_GCK	ADSP_CLK_GCK

(1/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31	-	予約。読み出すと 0 を返します。
DMA_TCLK_GCK	R/W	30	1	DMA_TCLK のゲート制御モードを設定します。
DMA_PCH3_CLK_GCK	R/W	29	1	DMA_PCH3_CLK のゲート制御モードを設定します。
DMA_PCH2_CLK_GCK	R/W	28	1	DMA_PCH2_CLK のゲート制御モードを設定します。
Reserved	R	27	-	予約。読み出すと 0 を返します。
DMA_PCH0_CLK_GCK	R/W	26	1	DMA_PCH0_CLK のゲート制御モードを設定します。
DMA_PCLK_GCK	R/W	25	1	DMA_PCLK のゲート制御モードを設定します。
Reserved	R	24:23	-	予約。読み出すと 0 を返します。
CAM_SCLK_GCK	R/W	22	1	CAM_SCLK のゲート制御モードを設定します。
CAM_PCLK_GCK	R/W	21	1	CAM_PCLK のゲート制御モードを設定します。
CAM_CLK_GCK	R/W	20	1	CAM_CLK のゲート制御モードを設定します。
IMC_PCLK_GCK	R/W	19	1	IMC_PCLK のゲート制御モードを設定します。
IMC_CLK_GCK	R/W	18	1	IMC_CLK のゲート制御モードを設定します。
IPUAHB_CLK_GCK	R/W	17	1	IPUAHB_CLK のゲート制御モードを設定します。
IPUDMA_PCLK_GCK	R/W	16	1	IPUDMA_PCLK のゲート制御モードを設定します。
IPUDMA_CLK_GCK	R/W	15	1	IPUDMA_CLK のゲート制御モードを設定します。
IPUROT_PCLK_GCK	R/W	14	1	IPUROT_PCLK のゲート制御モードを設定します。
IPUROT_CLK_GCK	R/W	13	1	IPUROT_CLK のゲート制御モードを設定します。
IPUIMG_PCLK_GCK	R/W	12	1	IPUIMG_PCLK のゲート制御モードを設定します。
IPUIMG_2_CLK_GCK	R/W	11	1	IPUIMG_2_CLK のゲート制御モードを設定します。
IPUIMG_1_CLK_GCK	R/W	10	1	IPUIMG_1_CLK のゲート制御モードを設定します。

(2/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	R	9:8	-	予約。読み出すと 0 を返します。
PDMA_PCLK_GCK	R/W	7	1	PDMA_PCLK のゲート制御モードを設定します。
PDMA_HCLK_GCK	R/W	6	1	PDMA_HCLK のゲート制御モードを設定します。
PDMA_ACLK_GCK	R/W	5	1	PDMA_ACLK のゲート制御モードを設定します。
Reserved	R	4:2	-	予約。読み出すと 0 を返します。
ADSP_ACLK_GCK	R/W	1	1	ADSP_CLKENA のゲート制御モードを設定します。
ADSP_CLK_GCK	R/W	0	1	ADSP_CLK のゲート制御モードを設定します。

備考 0 : クロック停止 (ゲート制御あり), 1 : クロック供給 (ゲート制御なし)

3.2.65 GCLKCTRL0 のセット/リセット・イネーブル・レジスタ

本レジスタ (GCLKCTRL0ENA : C011_01B8H) は、GCLKCTRL0 レジスタの各ビットのライト・イネーブルを設定します。

31	30	29	28	27	26	25	24
Reserved	DMA_TCLK_GCK_ENA	DMA_PCH3_CLK_GCK_ENA	DMA_PCH2_CLK_GCK_ENA	Reserved	DMA_PCH0_CLK_GCK_ENA	DMA_PCLK_GCK_ENA	Reserved
23	22	21	20	19	18	17	16
Reserved	CAM_SCLK_GCK_ENA	CAM_PCLK_GCK_ENA	CAM_CLK_GCK_ENA	IMC_PCLK_GCK_ENA	IMC_CLK_GCK_ENA	IPUAHB_CLK_GCK_ENA	IPUDMA_PCLK_GCK_ENA
15	14	13	12	11	10	9	8
IPUDMA_CLK_GCK_ENA	IPUR0T_PCLK_GCK_ENA	IPUR0T_CLK_GCK_ENA	IPUIMG_PCLK_GCK_ENA	IPUIMG_2_CLK_GCK_ENA	IPUIMG_1_CLK_GCK_ENA	Reserved	
7	6	5	4	3	2	1	0
PDMA_PCLK_GCK_ENA	PDMA_HCLK_GCK_ENA	PDMA_ACLK_GCK	Reserved			ADSP_ACLK_GCK_ENA	ADSP_CLK_GCK_ENA

(1/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31	-	予約。読み出すと 0 を返します。
DMA_TCLK_GCK_ENA	R/W	30	0	GCLKCTRL0 レジスタの DMA_TCLK_GCK ビットへのライト・イネーブル
DMA_PCH3_CLK_GCK_ENA	R/W	29	0	GCLKCTRL0 レジスタの DMA_PCH3_CLK_GCK ビットへのライト・イネーブル
DMA_PCH2_CLK_GCK_ENA	R/W	28	0	GCLKCTRL0 レジスタの DMA_PCH2_CLK_GCK ビットへのライト・イネーブル
Reserved	R	27	-	予約。読み出すと 0 を返します。
DMA_PCH0_CLK_GCK_ENA	R/W	26	0	GCLKCTRL0 レジスタの DMA_PCH0_CLK_GCK ビットへのライト・イネーブル
DMA_PCLK_GCK_ENA	R/W	25	0	GCLKCTRL0 レジスタの DMA_PCLK_GCK ビットへのライト・イネーブル
Reserved	R	24:23	-	予約。読み出すと 0 を返します。
CAM_SCLK_GCK_ENA	R/W	22	0	GCLKCTRL0 レジスタの CAM_SCLK_GCK ビットへのライト・イネーブル
CAM_PCLK_GCK_ENA	R/W	21	0	GCLKCTRL0 レジスタの CAM_PCLK_GCK ビットへのライト・イネーブル
CAM_CLK_GCK_ENA	R/W	20	0	GCLKCTRL0 レジスタの CAM_CLK_GCK ビットへのライト・イネーブル
IMC_PCLK_GCK_ENA	R/W	19	0	GCLKCTRL0 レジスタの IMC_PCLK_GCK ビットへのライト・イネーブル
IMC_CLK_GCK_ENA	R/W	18	0	GCLKCTRL0 レジスタの IMC_CLK_GCK ビットへのライト・イネーブル
IPUAHB_CLK_GCK_ENA	R/W	17	0	GCLKCTRL0 レジスタの IPUAHB_CLK_GCK ビットへのライト・イネーブル

名 称	R/W	ビット	リセット時	機 能
IPUDMA_PCLK_GCK_K_ENA	R/W	16	0	GCLKCTRL0 レジスタの IPUDMA_PCLK_GCK ビットへのライト・イネーブル
IPUDMA_CLK_GCK_ENA	R/W	15	0	GCLKCTRL0 レジスタの IPUDMA_CLK_GCK ビットへのライト・イネーブル
IPUROT_PCLK_GCK_K_ENA	R/W	14	0	GCLKCTRL0 レジスタの IPUROT_PCLK_GCK ビットへのライト・イネーブル
IPUROT_CLK_GCK_ENA	R/W	13	0	GCLKCTRL0 レジスタの IPUROT_CLK_GCK ビットへのライト・イネーブル
IPUIMG_PCLK_GCK_ENA	R/W	12	0	GCLKCTRL0 レジスタの IPUIMG_PCLK_GCK ビットへのライト・イネーブル
IPUIMG_2_CLK_GCK_K_ENA	R/W	11	0	GCLKCTRL0 レジスタの IPUIMG_2_CLK_GCK ビットへのライト・イネーブル
IPUIMG_1_CLK_GCK_K_ENA	R/W	10	0	GCLKCTRL0 レジスタの IPUIMG_1_CLK_GCK ビットへのライト・イネーブル
Reserved	R	9:8	-	予約。読み出すと 0 を返します。
PDMA_PCLK_GCK_ENA	R/W	7	0	GCLKCTRL0 レジスタの PDMA_PCLK_GCK ビットへのライト・イネーブル
PDMA_HCLK_GCK_ENA	R/W	6	0	GCLKCTRL0 レジスタの PDMA_HCLK_GCK ビットへのライト・イネーブル
PDMA_ACLK_GCK	R/W	5	0	GCLKCTRL0 レジスタの PDMA_ACLK_GCK ビットへのライト・イネーブル
Reserved	R	4:2	-	予約。読み出すと 0 を返します。
ADSP_ACLK_GCK_ENA	R/W	1	0	GCLKCTRL0 レジスタの ADSP_CLKENA_GCK ビットへのライト・イネーブル
ADSP_CLK_GCK_ENA	R/W	0	0	GCLKCTRL0 レジスタの ADSP_CLK_GCK ビットへのライト・イネーブル

備考 0 : ディスエーブル , 1 : イネーブル

3.2.66 マクロ・クロック・ゲート制御レジスタ 1

本レジスタ（GCLKCTRL1：C011_01BCH）は、各ブロックのクロックの供給／停止を設定します。

GCLKCTRL1ENA レジスタでライト・イネーブルが設定されているビットのみ書き込み可能です。ライト・ディスエーブルが設定されているビットは値が保持されます。

31	30	29	28	27	26	25	24
AVC_ HSCLK_GCK	AVC_ HMCLK_GCK	AVC_ CLKM_GCK	AVC_ CLKE_GCK	AVC_ CLKD_GCK	AVC_ CLKC_GCK	DCV_ PCLK_GCK	DCV_ CLK_GCK
23	22	21	20	19	18	17	16
AB1_ CLK_GCK	PB0_ CLK_GCK	AXL1_PMON_ CLK_GCK	MHXB_ CLK_GCK	DHXB_ CLK_GCK	SWL1_ CLK_GCK	AXL1_ PCLK_GCK	AXL1_ CLK_GCK
15	14	13	12	11	10	9	8
CHG_ PCLK_GCK	AIN_T_ PCLK_GCK	Reserved	LCD_ CCLK_GCK	LCD_ LCLK_GCK	LCD_ PCLK_GCK	LCD_ CLK_GCK	SRC_ CLK_GCK
7	6	5	4	3	2	1	0
MEMC_ RCLK_GCK	MEMC_ PCLK_GCK	MEMC_ CLK270_GCK	MEMC_ CLK_GCK	Reserved	SWL0_ CLK_GCK	AXL0_ PCLK_GCK	AXL0_ CLK_GCK

(1/2)

名 称	R/W	ビット	リセット時	機 能
AVC_HSCLK_GCK	R/W	31	1	AVC_HSCLK のゲート制御モードを設定します。
AVC_HMCLK_GCK	R/W	30	1	AVC_HMCLK のゲート制御モードを設定します。
AVC_CLKM_GCK	R/W	29	1	AVC_CLKM のゲート制御モードを設定します。
AVC_CLKE_GCK	R/W	28	1	AVC_CLKE のゲート制御モードを設定します。
AVC_CLKD_GCK	R/W	27	1	AVC_CLKD のゲート制御モードを設定します。
AVC_CLKC_GCK	R/W	26	1	AVC_CLKC のゲート制御モードを設定します。
DCV_PCLK_GCK	R/W	25	1	DCV_PCLK のゲート制御モードを設定します。
DCV_CLK_GCK	R/W	24	1	DCV_CLK のゲート制御モードを設定します。
AB1_CLK_GCK	R/W	23	1	AB1_CLK のゲート制御モードを設定します。
PB0_CLK_GCK	R/W	22	1	PB0_CLK のゲート制御モードを設定します。
AXL1_PMON_CLK_GCK	R/W	21	1	AXL1_PMON_CLK のゲート制御モードを設定します。
MHXB_CLK_GCK	R/W	20	1	MHXB_CLK のゲート制御モードを設定します。
DHXB_CLK_GCK	R/W	19	1	DHXB_CLK のゲート制御モードを設定します。
SWL1_CLK_GCK	R/W	18	1	SWL1_CLK のゲート制御モードを設定します。
AXL1_PCLK_GCK	R/W	17	1	AXL1_PCLK のゲート制御モードを設定します。
AXL1_CLK_GCK	R/W	16	1	AXL1_CLK のゲート制御モードを設定します。
CHG_PCLK_GCK	R/W	15	1	CHG_PCLK のゲート制御モードを設定します。
AIN_T_PCLK_GCK	R/W	14	1	AIN_T_PCLK のゲート制御モードを設定します。
Reserved	R	13	-	予約。読み出すと 0 を返します。
LCD_CCLK_GCK	R/W	12	1	LCD_CCLK のゲート制御モードを設定します。
LCD_LCLK_GCK	R/W	11	1	LCD_LCLK のゲート制御モードを設定します。
LCD_PCLK_GCK	R/W	10	1	LCD_PCLK のゲート制御モードを設定します。
LCD_CLK_GCK	R/W	9	1	LCD_CLK のゲート制御モードを設定します。

(2/2)

名 称	R/W	ビット	リセット時	機 能
SRC_CLK_GCK	R/W	8	1	SRC_CLK のゲート制御モードを設定します。
MEMC_RCLK_GCK	R/W	7	1	MEMC_RCLK のゲート制御モードを設定します。
MEMC_PCLK_GCK	R/W	6	1	MEMC_PCLK のゲート制御モードを設定します。
MEMC_CLK270_GCK	R/W	5	1	MEMC_CLK270 のゲート制御モードを設定します。
MEMC_CLK_GCK	R/W	4	1	MEMC_CLK のゲート制御モードを設定します。
Reserved	R	3	-	予約。読み出すと 0 を返します。
SWL0_CLK_GCK	R/W	2	1	SWL0_CLK のゲート制御モードを設定します。
AXL0_PCLK_GCK	R/W	1	1	AXL0_PCLK のゲート制御モードを設定します。
AXL0_CLK_GCK	R/W	0	1	AXL0_CLK のゲート制御モードを設定します。

備考 0 : クロック停止 (ゲート制御あり), 1 : クロック供給 (ゲート制御なし)

3.2.67 GCLKCTRL1 のセット/リセット・イネーブル・レジスタ

本レジスタ (GCLKCTRL1ENA : C011_01C0H) は、GCLKCTRL1 レジスタの各ビットのライト・イネーブルを設定します。

31	30	29	28	27	26	25	24
AVC_HSCLK_GCK_ENA	AVC_HMCLK_GCK_ENA	AVC_CLKM_GCK_ENA	AVC_CLKE_GCK_ENA	AVC_CLKD_GCK_ENA	AVC_CLKC_GCK_ENA	DCV_PCLK_GCK_ENA	DCV_CLK_GCK_ENA
23	22	21	20	19	18	17	16
AB1_CLK_GCK_ENA	PB0_CLK_GCK_ENA	AXL1_PMON_CLK_GCK_ENA	MHXB_CLK_GCK_ENA	DHXB_CLK_GCK_ENA	SWL1_CLK_GCK_ENA	AXL1_PCLK_GCK_ENA	AXL1_CLK_GCK_ENA
15	14	13	12	11	10	9	8
CHG_PCLK_GCK_ENA	AIN_T_PCLK_GCK_ENA	Reserved	LCD_CCLK_GCK_ENA	LCD_LCLK_GCK_ENA	LCD_PCLK_GCK_ENA	LCD_CLK_GCK_ENA	SRC_CLK_GCK_ENA
7	6	5	4	3	2	1	0
MEMC_RCLK_GCK_ENA	MEMC_PCLK_GCK_ENA	MEMC_CLK2_70_GCK_ENA	MEMC_CLK_GCK_ENA	Reserved	SWL0_CLK_GCK_ENA	AXL0_PCLK_GCK_ENA	AXL0_CLK_GCK_ENA

(1/2)

名 称	R/W	ビット	リセット時	機 能
AVC_HSCLK_GCK_ENA	R/W	31	0	GCLKCTRL1 レジスタの AVC_HSCLK_GCK ビットへのライト・イネーブル。
AVC_HMCLK_GCK_ENA	R/W	30	0	GCLKCTRL1 レジスタの AVC_HMCLK_GCK ビットへのライト・イネーブル
AVC_CLKM_GCK_ENA	R/W	29	0	GCLKCTRL1 レジスタの AVC_CLKM_GCK ビットへのライト・イネーブル
AVC_CLKE_GCK_ENA	R/W	28	0	GCLKCTRL1 レジスタの AVC_CLKE_GCK ビットへのライト・イネーブル
AVC_CLKD_GCK_ENA	R/W	27	0	GCLKCTRL1 レジスタの AVC_CLKD_GCK ビットへのライト・イネーブル
AVC_CLKC_GCK_ENA	R/W	26	0	GCLKCTRL1 レジスタの AVC_CLKC_GCK ビットへのライト・イネーブル
DCV_PCLK_GCK_ENA	R/W	25	0	GCLKCTRL1 レジスタの DCV_PCLK_GCK ビットへのライト・イネーブル
DCV_CLK_GCK_ENA	R/W	24	0	GCLKCTRL1 レジスタの DCV_CLK_GCK ビットへのライト・イネーブル
AB1_CLK_GCK_ENA	R/W	23	0	GCLKCTRL1 レジスタの AB1_CLK_GCK ビットへのライト・イネーブル
PB0_CLK_GCK_ENA	R/W	22	0	GCLKCTRL1 レジスタの PB0_CLK_GCK ビットへのライト・イネーブル
AXL1_PMON_CLK_GCK_ENA	R/W	21	0	GCLKCTRL1 レジスタの AXL1_PMON_CLK_GCK ビットへのライト・イネーブル
MHXB_CLK_GCK_ENA	R/W	20	0	GCLKCTRL1 レジスタの MHXB_CLK_GCK ビットへのライト・イネーブル
DHXB_CLK_GCK_ENA	R/W	19	0	GCLKCTRL1 レジスタの DHXB_CLK_GCK ビットへのライト・イネーブル

名 称	R/W	ビット	リセット時	機 能
SWL1_CLK_GCK_ENA	R/W	18	0	GCLKCTRL1 レジスタの SWL1_CLK_GCK ビットへのライト・イネーブル
AXL1_PCLK_GCK_ENA	R/W	17	0	GCLKCTRL1 レジスタの AXL1_PCLK_GCK ビットへのライト・イネーブル
AXL1_CLK_GCK_ENA	R/W	16	0	GCLKCTRL1 レジスタの AXL1_CLK_GCK ビットへのライト・イネーブル
CHG_PCLK_GCK_ENA	R/W	15	0	GCLKCTRL1 レジスタの CHG_PCLK_GCK ビットへのライト・イネーブル
AIN_T_PCLK_GCK_ENA	R/W	14	0	GCLKCTRL1 レジスタの AIN_T_PCLK_GCK ビットへのライト・イネーブル
Reserved	R	13	-	予約。読み出すと 0 を返します。
LCD_CCLK_GCK_ENA	R/W	12	0	GCLKCTRL1 レジスタの LCD_CCLK_GCK ビットへのライト・イネーブル
LCD_LCLK_GCK_ENA	R/W	11	0	GCLKCTRL1 レジスタの LCD_LCLK_GCK ビットへのライト・イネーブル
LCD_PCLK_GCK_ENA	R/W	10	0	GCLKCTRL1 レジスタの LCD_PCLK_GCK ビットへのライト・イネーブル
LCD_CLK_GCK_ENA	R/W	9	0	GCLKCTRL1 レジスタの LCD_CLK_GCK ビットへのライト・イネーブル
SRC_CLK_GCK_ENA	R/W	8	0	GCLKCTRL1 レジスタの SRC_CLK_GCK ビットへのライト・イネーブル
MEMC_RCLK_GCK_ENA	R/W	7	0	GCLKCTRL1 レジスタの MEMC_RCLK_GCK ビットへのライト・イネーブル
MEMC_PCLK_GCK_ENA	R/W	6	0	GCLKCTRL1 レジスタの MEMC_PCLK_GCK ビットへのライト・イネーブル
MEMC_CLK270_GCK_ENA	R/W	5	0	GCLKCTRL1 レジスタの MEMC_CLK270_GCK ビットへのライト・イネーブル
MEMC_CLK_GCK_ENA	R/W	4	0	GCLKCTRL1 レジスタの MEMC_CLK_GCK ビットへのライト・イネーブル
Reserved	R	3	-	予約。読み出すと 0 を返します。
SWL0_CLK_GCK_ENA	R/W	2	0	GCLKCTRL1 レジスタの SWL0_CLK_GCK ビットへのライト・イネーブル
AXL0_PCLK_GCK_ENA	R/W	1	0	GCLKCTRL1 レジスタの AXL0_PCLK_GCK ビットへのライト・イネーブル
AXL0_CLK_GCK_ENA	R/W	0	0	GCLKCTRL1 レジスタの AXL0_CLK_GCK ビットへのライト・イネーブル

備考 0: ディスエーブル, 1: イネーブル

3.2.68 マクロ・クロック・ゲート制御レジスタ 2

本レジスタ (GCLKCTRL2 : C011_01C4H) は、各ブロックのクロックの供給 / 停止を設定します。

GCLKCTRL2ENA レジスタでライト・イネーブルが設定されているビットのみ書き込み可能です。ライト・ディスエーブルが設定されているビットは値が保持されます。

31	30	29	28	27	26	25	24
Reserved	SHXB_HCLK_GCK	SHXB_CLK_GCK	Reserved		DTV_PCLK_GCK	DTV_CLK_GCK	NTS_PCLK_GCK
23	22	21	20	19	18	17	16
NTS_CLK_GCK	NAND_PCLK_GCK	NAND_HCLK_GCK	REFCLK_GCK	Reserved			
15	14	13	12	11	10	9	8
Reserved	PM1_SCLK_GCK	PM0_SCLK_GCK	PM0_PCLK_GCK	USB_CLK_GCK	Reserved		U72_SCLK_GCK
7	6	5	4	3	2	1	0
U71_SCLK_GCK	U70_SCLK_GCK	U70_CLK_GCK	IIC_SCLK_GCK	IIC_CLK_GCK	IIC2_SCLK_GCK	IIC2_CLK_GCK	Reserved

(1/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31	-	予約。読み出すと 0 を返します。
SHXB_HCLK_GCK	R/W	30	1	SHXB_HCLK のゲート制御モードを設定します。
SHXB_CLK_GCK	R/W	29	1	SHXB_CLK のゲート制御モードを設定します。
Reserved	R	28:27	-	予約。読み出すと 0 を返します。
DTV_PCLK_GCK	R/W	26	1	DTV_PCLK のゲート制御モードを設定します。
DTV_CLK_GCK	R/W	25	1	DTV_CLK のゲート制御モードを設定します。
NTS_PCLK_GCK	R/W	24	1	NTS_PCLK のゲート制御モードを設定します。
NTS_CLK_GCK	R/W	23	1	NTS_CLK のゲート制御モードを設定します。
NAND_PCLK_GCK	R/W	22	1	NAND_PCLK のゲート制御モードを設定します。
NAND_HCLK_GCK	R/W	21	1	NAND_HCLK のゲート制御モードを設定します。
REFCLK_GCK	R/W	20	1	REFCLK_GCK のゲート制御モードを設定します。
Reserved	R	19:15	-	予約。読み出すと 0 を返します。
PM1_SCLK_GCK	R/W	14	1	PM1_SCLK のゲート制御モードを設定します。
PM0_SCLK_GCK	R/W	13	1	PM0_SCLK のゲート制御モードを設定します。
PM0_PCLK_GCK	R/W	12	1	PM0_PCLK のゲート制御モードを設定します。
USB_CLK_GCK	R/W	11	1	USB_CLK のゲート制御モードを設定します。
Reserved	R	10:9	-	予約。読み出すと 0 を返します。
U72_SCLK_GCK	R/W	8	1	U72_SCLK のゲート制御モードを設定します。
U71_SCLK_GCK	R/W	7	1	U71_SCLK のゲート制御モードを設定します。
U70_SCLK_GCK	R/W	6	1	U70_SCLK のゲート制御モードを設定します。
U70_CLK_GCK	R/W	5	1	U70_CLK のゲート制御モードを設定します。
IIC_SCLK_GCK	R/W	4	1	IIC_SCLK のゲート制御モードを設定します。
IIC_CLK_GCK	R/W	3	1	IIC_CLK のゲート制御モードを設定します。
IIC2_SCLK_GCK	R/W	2	1	IIC2_SCLK のゲート制御モードを設定します。

(2/2)

名 称	R/W	ビット	リセット時	機 能
IIC2_CLK_GCK	R/W	1	1	IIC2_CLK のゲート制御モードを設定します。
Reserved	R	0	-	予約。読み出すと 0 を返します。

備考 0 : クロック停止 (ゲート制御あり), 1 : クロック供給 (ゲート制御なし)

3.2.69 GCLKCTRL2 のセット/リセット・イネーブル・レジスタ

本レジスタ (GCLKCTRL2ENA : C011_01C8H) は、GCLKCTRL2 レジスタの各ビットのライト・イネーブルを設定します。

31	30	29	28	27	26	25	24
Reserved	SHXB_HCLK_GCK_ENA	SHXB_CLK_GCK_ENA	Reserved		DTV_PCLK_GCK_ENA	DTV_CLK_GCK_ENA	NTS_PCLK_GCK_ENA
23	22	21	20	19	18	17	16
NTS_CLK_GCK_ENA	NAND_PCLK_GCK_ENA	NAND_HCLK_GCK_ENA	REFCLK_GCK_ENA	Reserved			
15	14	13	12	11	10	9	8
Reserved	PM1_SCLK_GCK_ENA	PM0_SCLK_GCK_ENA	PM0_PCLK_GCK_ENA	USB_CLK_GCK_ENA	Reserved		U72_SCLK_GCK_ENA
7	6	5	4	3	2	1	0
U71_SCLK_GCK_ENA	U70_SCLK_GCK_ENA	U70_CLK_GCK_ENA	IIC_SCLK_GCK_ENA	IIC_CLK_GCK_ENA	IIC2_SCLK_GCK_ENA	IIC2_CLK_GCK_ENA	Reserved

(1/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31	-	予約。読み出すと 0 を返します。
SHXB_HCLK_GCK_ENA	R/W	30	0	GCLKCTRL1 レジスタの SHXB_HCLK_GCK ビットへのライト・イネーブル
SHXB_CLK_GCK_ENA	R/W	29	0	GCLKCTRL1 レジスタの SHXB_CLK_GCK ビットへのライト・イネーブル
Reserved	R	28:27	-	予約。読み出すと 0 を返します。
DTV_PCLK_GCK_ENA	R/W	26	0	GCLKCTRL2 レジスタの DTV_PCLK_GCK ビットへのライト・イネーブル
DTV_CLK_GCK_ENA	R/W	25	0	GCLKCTRL2 レジスタの DTV_CLK_GCK ビットへのライト・イネーブル
NTS_PCLK_GCK_ENA	R/W	24	0	GCLKCTRL2 レジスタの NTS_PCLK_GCK ビットへのライト・イネーブル
NTS_CLK_GCK_ENA	R/W	23	0	GCLKCTRL2 レジスタの NTS_CLK_GCK ビットへのライト・イネーブル
NAND_PCLK_GCK_ENA	R/W	22	0	GCLKCTRL2 レジスタの NAND_PCLK_GCK ビットへのライト・イネーブル
NAND_HCLK_GCK_ENA	R/W	21	0	GCLKCTRL2 レジスタの NAND_HCLK_GCK ビットへのライト・イネーブル
REFCLK_GCK_ENA	R/W	20	0	GCLKCTRL2 レジスタの REFCLK_GCK ビットへのライト・イネーブル
Reserved	R	19:15	-	予約。読み出すと 0 を返します。
PM1_SCLK_GCK_ENA	R/W	14	0	GCLKCTRL2 レジスタの PM1_SCLK_GCK ビットへのライト・イネーブル
PM0_SCLK_GCK_ENA	R/W	13	0	GCLKCTRL2 レジスタの PM0_SCLK_GCK ビットへのライト・イネーブル
PM0_PCLK_GCK_ENA	R/W	12	0	GCLKCTRL2 レジスタの PM0_PCLK_GCK ビットへのライト・イネーブル

名 称	R/W	ビット	リセット時	機 能
USB_CLK_GCK_EN A	R/W	11	0	GCLKCTRL2 レジスタの USB_CLK_GCK ビットへのライト・イネーブル
Reserved	R	10:9	-	予約。読み出すと 0 を返します。
U72_SCLK_GCK_EN NA	R/W	8	0	GCLKCTRL2 レジスタの U72_SCLK_GCK ビットへのライト・イネーブル
U71_SCLK_GCK_EN NA	R/W	7	0	GCLKCTRL2 レジスタの U71_SCLK_GCK ビットへのライト・イネーブル
U70_SCLK_GCK_EN NA	R/W	6	0	GCLKCTRL2 レジスタの U70_SCLK_GCK ビットへのライト・イネーブル
U70_CLK_GCK_EN A	R/W	5	0	GCLKCTRL2 レジスタの U70_CLK_GCK ビットへのライト・イネーブル
IIC_SCLK_GCK_EN A	R/W	4	0	GCLKCTRL2 レジスタの IIC_SCLK_GCK ビットへのライト・イネーブル
IIC_CLK_GCK_ENA	R/W	3	0	GCLKCTRL2 レジスタの IIC_CLK_GCK ビットへのライト・イネーブル
IIC2_SCLK_GCK_EN NA	R/W	2	0	GCLKCTRL2 レジスタの IIC2_SCLK_GCK ビットへのライト・イネーブル
IIC2_CLK_GCK_EN A	R/W	1	0	GCLKCTRL2 レジスタの IIC2_CLK_GCK ビットへのライト・イネーブル
Reserved	R	0	-	予約。読み出すと 0 を返します。

備考 0 : ディスエーブル , 1 : イネーブル

3.2.70 マクロ・クロック・ゲート制御レジスタ 3

本レジスタ（GCLKCTRL3：C011_01CCH）は、各ブロックのクロックの供給／停止を設定します。

GCLKCTRL3ENA レジスタでライト・イネーブルが設定されているビットのみ書き込み可能です。ライト・ディスエーブルが設定されているビットは値が保持されます。

31	30	29	28	27	26	25	24
FLASHCLK_GCK	Reserved	PWM_PWCLK1_GCK	PWM_PWCLK0_GCK	PWM_PCLK_GCK	SP2_SCLK_GCK	SP2_PCLK_GCK	SP1_SCLK_GCK
23	22	21	20	19	18	17	16
SP1_PCLK_GCK	SP0_SCLK_GCK	SP0_PCLK_GCK	MWI_SCLK_GCK	MWI_PCLK_GCK	Reserved		
15	14	13	12	11	10	9	8
Reserved	ATIM_PCLK_GCK	TW3_TIN_GCK	TW2_TIN_GCK	TW1_TIN_GCK	TW0_TIN_GCK	TG5_TIN_GCK	TG4_TIN_GCK
7	6	5	4	3	2	1	0
TG3_TIN_GCK	TG2_TIN_GCK	TG1_TIN_GCK	TG0_TIN_GCK	TI3_TIN_GCK	TI2_TIN_GCK	TI1_TIN_GCK	TI0_TIN_GCK

(1/2)

名 称	R/W	ビット	リセット時	機 能
FLASHCLK_GCK	R/W	31	0	FLASHCLK のゲート制御モードを設定します。
Reserved	R	30	-	予約。読み出すと 0 を返します。
PWM_PWCLK1_GCK	R/W	29	1	PWM_PWCLK1 のゲート制御モードを設定します。
PWM_PWCLK0_GCK	R/W	28	1	PWM_PWCLK0 のゲート制御モードを設定します。
PWM_PCLK_GCK	R/W	27	1	PWM_PCLK のゲート制御モードを設定します。
SP2_SCLK_GCK	R/W	26	1	SP2_SCLK のゲート制御モードを設定します。
SP2_PCLK_GCK	R/W	25	1	SP2_PCLK のゲート制御モードを設定します。
SP1_SCLK_GCK	R/W	24	1	SP1_SCLK のゲート制御モードを設定します。
SP1_PCLK_GCK	R/W	23	1	SP1_PCLK のゲート制御モードを設定します。
SP0_SCLK_GCK	R/W	22	1	SP0_SCLK のゲート制御モードを設定します。
SP0_PCLK_GCK	R/W	21	1	SP0_PCLK のゲート制御モードを設定します。
MWI_SCLK_GCK	R/W	20	1	MWI_SCLK のゲート制御モードを設定します。
MWI_PCLK_GCK	R/W	19	1	MWI_PCLK のゲート制御モードを設定します。
Reserved	R	18:15	-	予約。読み出すと 0 を返します。
ATIM_PCLK_GCK	R/W	14	1	ATIM_PCLK のゲート制御モードを設定します。
TW3_TIN_GCK	R/W	13	1	TW3_TIN のゲート制御モードを設定します。
TW2_TIN_GCK	R/W	12	1	TW2_TIN のゲート制御モードを設定します。
TW1_TIN_GCK	R/W	11	1	TW1_TIN のゲート制御モードを設定します。
TW0_TIN_GCK	R/W	10	1	TW0_TIN のゲート制御モードを設定します。
TG5_TIN_GCK	R/W	9	1	TG5_TIN のゲート制御モードを設定します。
TG4_TIN_GCK	R/W	8	1	TG4_TIN のゲート制御モードを設定します。
TG3_TIN_GCK	R/W	7	1	TG3_TIN のゲート制御モードを設定します。

(2/2)

名 称	R/W	ビット	リセット時	機 能
TG2_TIN_GCK	R/W	6	1	TG2_TIN のゲート制御モードを設定します。
TG1_TIN_GCK	R/W	5	1	TG1_TIN のゲート制御モードを設定します。
TG0_TIN_GCK	R/W	4	1	TG0_TIN のゲート制御モードを設定します。
TI3_TIN_GCK	R/W	3	1	TI3_TIN のゲート制御モードを設定します。
TI2_TIN_GCK	R/W	2	1	TI2_TIN のゲート制御モードを設定します。
TI1_TIN_GCK	R/W	1	1	TI1_TIN のゲート制御モードを設定します。
TI0_TIN_GCK	R/W	0	1	TI0_TIN のゲート制御モードを設定します。

備考 0 : クロック停止 (ゲート制御あり), 1 : クロック供給 (ゲート制御なし)

3.2.71 GCLKCTRL3 のセット/リセット・イネーブル・レジスタ

本レジスタ (GCLKCTRL3ENA : C011_01D0H) は、GCLKCTRL3 レジスタの各ビットのライト・イネーブルを設定します。

31	30	29	28	27	26	25	24
FLASHCLK_ GCK_ENA	Reserved	PWM_ PWCLK1_ GCK_ENA	PWM_ PWCLK0_ GCK_ENA	PWM_PCLK_ GCK_ENA	SP2_SCLK_ GCK_ENA	SP2_PCLK_ GCK_ENA	SP1_SCLK_ GCK_ENA
23	22	21	20	19	18	17	16
SP1_PCLK_ GCK_ENA	SP0_SCLK_ GCK_ENA	SP0_PCLK_ GCK_ENA	MWI_SCLK_ GCK_ENA	MWI_PCLK_ GCK_ENA	Reserved		
15	14	13	12	11	10	9	8
Reserved	ATIM_PCLK_ GCK_ENA	TG5_TIN_ GCK_ENA	TG4_TIN_ GCK_ENA	TG3_TIN_ GCK_ENA	TG2_TIN_ GCK_ENA	TG1_TIN_ GCK_ENA	TG0_TIN_ GCK_ENA
7	6	5	4	3	2	1	0
TW3_TIN_ GCK_ENA	TW2_TIN_ GCK_ENA	TW1_TIN_ GCK_ENA	TW0_TIN_ GCK_ENA	TI3_TIN_ GCK_ENA	TI2_TIN_ GCK_ENA	TI1_TIN_ GCK_ENA	TI0_TIN_ GCK_ENA

(1/2)

名 称	R/W	ビット	リセット時	機 能
FLASHCLK_GCK_ENA	R/W	31	0	GCLKCTRL3 レジスタの FLASHCLK_GCK ビットへのライト・イネーブル
Reserved	R	30	-	予約。読み出すと 0 を返します。
PWM_PWCLK1_GCK_ENA	R/W	29	1	GCLKCTRL3 レジスタの PWM_PWCLK1_GCK ビットへのライト・イネーブル
PWM_PWCLK0_GCK_ENA	R/W	28	1	GCLKCTRL3 レジスタの PWM_PWCLK0_GCK ビットへのライト・イネーブル
PWM_PCLK_GCK_ENA	R/W	27	1	GCLKCTRL3 レジスタの PWM_PCLK_GCK ビットへのライト・イネーブル
SP2_SCLK_GCK_ENA	R/W	26	0	GCLKCTRL3 レジスタの SP2_SCLK_GCK ビットへのライト・イネーブル
SP2_PCLK_GCK_ENA	R/W	25	0	GCLKCTRL3 レジスタの SP2_PCLK_GCK ビットへのライト・イネーブル
SP1_SCLK_GCK_ENA	R/W	24	0	GCLKCTRL3 レジスタの SP1_SCLK_GCK ビットへのライト・イネーブル
SP1_PCLK_GCK_ENA	R/W	23	0	GCLKCTRL3 レジスタの SP1_PCLK_GCK ビットへのライト・イネーブル
SP0_SCLK_GCK_ENA	R/W	22	0	GCLKCTRL3 レジスタの SP0_SCLK_GCK ビットへのライト・イネーブル
SP0_PCLK_GCK_ENA	R/W	21	0	GCLKCTRL3 レジスタの SP0_PCLK_GCK ビットへのライト・イネーブル
MWI_SCLK_GCK_ENA	R/W	20	0	GCLKCTRL3 レジスタの MWI_SCLK_GCK ビットへのライト・イネーブル
MWI_PCLK_GCK_ENA	R/W	19	0	GCLKCTRL3 レジスタの MWI_PCLK_GCK ビットへのライト・イネーブル

名 称	R/W	ビット	リセット時	機 能
Reserved	R	18:15	-	予約。読み出すと 0 を返します。
ATIM_PCLK_GCK_ENA	R/W	14	0	GCLKCTRL3 レジスタの ATIM_PCLK_GCK ビットへのライト・イネーブル
TW3_TIN_GCK_ENA	R/W	13	0	GCLKCTRL3 レジスタの TW3_TIN_GCK ビットへのライト・イネーブル
TW2_TIN_GCK_ENA	R/W	12	0	GCLKCTRL3 レジスタの TW2_TIN_GCK ビットへのライト・イネーブル
TW1_TIN_GCK_ENA	R/W	11	0	GCLKCTRL3 レジスタの TW1_TIN_GCK ビットへのライト・イネーブル
TW0_TIN_GCK_ENA	R/W	10	0	GCLKCTRL3 レジスタの TW0_TIN_GCK ビットへのライト・イネーブル
TG5_TIN_GCK_ENA	R/W	9	0	GCLKCTRL3 レジスタの TG5_TIN_GCK ビットへのライト・イネーブル
TG4_TIN_GCK_ENA	R/W	8	0	GCLKCTRL3 レジスタの TG4_TIN_GCK ビットへのライト・イネーブル
TG3_TIN_GCK_ENA	R/W	7	0	GCLKCTRL3 レジスタの TG3_TIN_GCK ビットへのライト・イネーブル
TG2_TIN_GCK_ENA	R/W	6	0	GCLKCTRL3 レジスタの TG2_TIN_GCK ビットへのライト・イネーブル
TG1_TIN_GCK_ENA	R/W	5	0	GCLKCTRL3 レジスタの TG1_TIN_GCK ビットへのライト・イネーブル
TG0_TIN_GCK_ENA	R/W	4	0	GCLKCTRL3 レジスタの TG0_TIN_GCK ビットへのライト・イネーブル
TI3_TIN_GCK_ENA	R/W	3	0	GCLKCTRL3 レジスタの TI3_TIN_GCK ビットへのライト・イネーブル
TI2_TIN_GCK_ENA	R/W	2	0	GCLKCTRL3 レジスタの TI2_TIN_GCK ビットへのライト・イネーブル
TI1_TIN_GCK_ENA	R/W	1	0	GCLKCTRL3 レジスタの TI1_TIN_GCK ビットへのライト・イネーブル
TI0_TIN_GCK_ENA	R/W	0	0	GCLKCTRL3 レジスタの TI0_TIN_GCK ビットへのライト・イネーブル

備考 0 : ディスエーブル, 1 : イネーブル

3.2.72 周波数自動切り替え制御レジスタ

本レジスタ (AUTO_FRQ_CHANGE : C011_01DCH) は、周波数 DOWN 時の PLL1 クロックの分周率を設定します。

31	30	29	28	27	26	25	24
DIV_RATE_DOWN3	DIV_RATE_DOWN2	DIV_RATE_DOWN1	DIV_RATE_DOWN0	Reserved			
23	22	21	20	19	18	17	16
Reserved							DFS_QR_TIM_EN
15	14	13	12	11	10	9	8
DFS_QR_TIM							
7	6	5	4	3	2	1	0
Reserved							AUTO_FRQ_CHANGE_EN

(1/2)

名 称	R/W	ビット	リセット時	機 能
DIV_RATE_DOWN3	R/W	31	0	周波数 DOWN 時の PLL1 クロックの分周率を設定します。 0H : 禁止 1H : 2 分周 2H : 3 分周 (Duty50%) 3H : 4 分周 4H : 5 分周 (Duty50%) 5H : 6 分周 6H : 設定禁止 7H : 8 分周 8H : 設定禁止 9H : 10 分周 AH : 設定禁止 BH : 12 分周 CH : 設定禁止 DH : 14 分周 EH : 設定禁止 FH : 16 分周
DIV_RATE_DOWN2	R/W	30	0	
DIV_RATE_DOWN1	R/W	29	1	
DIV_RATE_DOWN0	R/W	28	1	
Reserved	R	27:16	-	予約。読み出すと 0 を返します。
DFS_QR_TIM_EN	R/W	16	0	周波数 DOWN 遷移 抑止タイマ・イネーブルを設定します。 0 : ディスエーブル, 1 : イネーブル 低周波数へ遷移する場合, DFS_QR_TIM で設定されたカウント値 (32.768 kHz Cycle 数) を待ってから, 低周波数に移行します。 Wait している期間に, 周波数 up 要求がきたら, 低周波数移行をキャンセルします。

(2/2)

名 称	R/W	ビット	リセット時	機 能
DFS_QR_TIM	R/W	15:8	0	周波数 DOWN 遷移抑止タイマのタイマを設定します。 DFS_QR_TIM = 00H : 61 μ s DFS_QR_TIM = 01H : 92 μ s DFS_QR_TIM = FFH : 7843 μ s
Reserved	R	7:1	-	予約。読み出すと 0 を返します。
AUTO_FRQ_CHAN GE_EN	R/W	0	0	周波数自動切り替え機能を設定します。 0 : ディスエーブル, 1 : イネーブル

- 注意 1. CLK_MODE_SEL = NORMAL モード時かつ, AUTO_FRQ_CHANGE_EN = 1 (周波数自動切り替え機能イネーブル)時, AUTO_FRQ_CHANGE の有効設定になっているすべてのマクロのクロック要求がなくなった場合に, PLL1 の周波数を DIV_RATE_DOWN[3:0]の分周率に従い, 変更します。
2. 低周波数に移行期間中に AUTO_FRQ_CHANGE の有効設定になっているマクロの内, 1 つでもクロック要求があった場合, もしくは AB0 マクロにおいて, Burst Read 要求があった場合 PLL1 周波数を元に戻します。
3. 低周波数に移行期間中に分周率を変更した場合, 次回低周波への移行が発生した場合に反映されます。
4. Economy/Standby/Sleep/Powerdown モード時(省電モード)は, 周波数自動切り替え機能はディスエーブルにしてください(AUTO_FRQ_CHANGE_EN = 0)。

3.2.73 周波数自動切り替え制御REQMASK0 レジスタ

本レジスタ (AUTO_FRQ_MASK0 : C011_01E0H) は、各ブロックの周波数自動切り替え機能の解除リクエスト対象とするかを設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved						DTV_REQ MASK	NTS_REQ MASK
15	14	13	12	11	10	9	8
CAM_REQ MASK	Reserved	LCD_REQ MASK	IMC_REQ MASK	AVC_REQ MASK	DMA2_REQ MASK	IPUDMA_ REQMASK	IPUROT_ REQMASK
7	6	5	4	3	2	1	0
IPUIMG_REQ MASK	DMA_PCH3_ REQMASK	DMA_PCH2_ REQMASK	DMA_PCH0_ REQMASK	PDMA_REQ MASK	DCV_REQ MASK	ADSP_REQ MASK	ACPU_REQ MASK

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:18	-	予約。読み出すと 0 を返します。
DTV_REQMASK	R/W	17	0	DTV CLKREQ 信号判定
NTS_REQMASK	R/W	16	0	NTS CLKREQ 信号判定
CAM_REQMASK	R/W	15	0	CAM CLKREQ 信号判定
Reserved	R	14	-	予約。読み出すと 0 を返します。
LCD_REQMASK	R/W	13	0	LCD CLKREQ 信号判定
IMC_REQMASK	R/W	12	0	IMC CLKREQ 信号判定
AVC_REQMASK	R/W	11	0	AVC CLKREQ 信号判定
DMA2_REQMASK	R/W	10	0	DMA2 CLKREQ 信号判定
IPUDMA_REQMASK	R/W	9	0	IPUMA CLKREQ 信号判定
IPUROT_REQMASK	R/W	8	0	IPUROT CLKREQ 信号判定
IPUIMG_REQMASK	R/W	7	0	IPUMG CLKREQ 信号周波数制御判定
DMA_PCH3_REQMASK	R/W	6	0	DMA_PCH3 CLKREQ 信号判定
DMA_PCH2_REQMASK	R/W	5	0	DMA_PCH2 CLKREQ 信号判定
DMA_PCH0_REQMASK	R/W	4	0	DMA_PCH0 CLKREQ 信号判定
PDMA_REQMASK	R/W	3	0	PDMA CLKREQ 信号判定
DCV_REQMASK	R/W	2	0	DCV CLKREQ 信号判定
ADSP_REQMASK	R/W	1	0	ADSP STOP モード判定
ACPU_REQMASK	R/W	0	0	ACPU STOP モード周波数制御判定

備考 0 : 対象, 1 : 対象外 (無視)

3.2.74 周波数自動切り替え制御REQMASK1 レジスタ

本レジスタ (AUTO_FRQ_MASK1 : C011_01E4H) は、各ブロックの周波数自動切り替え機能の解除リクエスト対象とするかを設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved				AB0_ REQMASK	Reserved	USB_ REQMASK	NAND_ REQMASK
15	14	13	12	11	10	9	8
IIC_ REQMASK	IIC2_ REQMASK	Reserved	U72_ REQMASK	U71_ REQMASK	U70_ REQMASK	Reserved	
7	6	5	4	3	2	1	0
PM1_ REQMASK	PM0_ REQMASK	SP2_ REQMASK	SP1_ REQMASK	SP0_ REQMASK	MWI_ REQMASK	Reserved	PWM_ REQMASK

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:20	-	予約。読み出すと 0 を返します。
AB0_REQMASK	R/W	19	0	AB0 CLKREQ 信号判定
Reserved	R	18	-	予約。読み出すと 0 を返します。
USB_REQMASK	R/W	17	1	USB CLKREQ 信号判定
NAND_REQMASK	R/W	16	1	NAND CLKREQ 信号判定
IIC_REQMASK	R/W	15	1	IIC CLKREQ 信号判定
IIC2_REQMASK	R/W	14	1	IIC2 CLKREQ 信号判定
Reserved	R	13	-	予約。読み出すと 0 を返します。
U72_REQMASK	R/W	12	1	U72 CLKREQ 信号判定
U71_REQMASK	R/W	11	1	U71 CLKREQ 信号判定
U70_REQMASK	R/W	10	1	U70 CLKREQ 信号判定
Reserved	R	9:8	-	予約。読み出すと 0 を返します。
PM1_REQMASK	R/W	7	1	PM1 CLKREQ 信号判定
PM0_REQMASK	R/W	6	1	PM0 CLKREQ 信号判定
SP2_REQMASK	R/W	5	1	SP2 CLKREQ 信号判定
SP1_REQMASK	R/W	4	1	SP1 CLKREQ 信号判定
SP0_REQMASK	R/W	3	1	SP0 CLKREQ 信号判定
MWI_REQMASK	R/W	2	1	MWI CLKREQ 信号判定
Reserved	R	1	-	予約。読み出すと 0 を返します。
PWM_REQMASK	R/W	0	0	PWM CLKREQ 信号判定

備考 0 : 対象, 1 : 対象外 (無視)

3.2.75 自動周波数制御のハーフ・モード・レジスタ

本レジスタ（DFS_HALFMODE：C011_01E8H）は、自動周波数制御時にハーフモードへ移行したときの設定をします。

31	30	29	28	27	26	25	24
DFS_HL_TIM							
23	22	21	20	19	18	17	16
Reserved	BUSBUSY_UPPER_TH						
15	14	13	12	11	10	9	8
Reserved	BUSBUSY_LOWER_TH						
7	6	5	4	3	2	1	0
DFS_HALFMODE_DIV				Reserved		DFS_HL_TIM_EN	DFS_HALFMODE_EN

(1/2)

名 称	R/W	ビット	リセット時	機 能
DFS_HL_TIM	R/W	31:24	0	HALF モード遷移抑止タイマのタイマを設定します。 DFS_HL_TIM = 00H : 35 μ s (非同期受け渡し動作等を行わないため、ほかの設定に比べ短くなっています。 DFS_HL_TIM = 01H : 118 μ s DFS_HL_TIM = 02H : 147 μ s DFS_HL_TIM = FFH : 7869 μ s
Reserved	R	23	-	予約。読み出すと 0 を返します。
BUSBUSY_UPPER_TH	R/W	22:16	0	Half $\rightarrow$ Full へ遷移するバス・アクセス率上限値を設定します。 0H ~ 64H (100d) の%値で指定。
Reserved	R	15	-	予約。読み出すと 0 を返します。
BUSBUSY_LOWER_TH	R/W	14:8	0	Full $\rightarrow$ Half へ遷移するバス・アクセス率下限値を設定します。 0H ~ 64H (100d) の%値で指定。
DFS_HALFMODE_DIV	R/W	7:4	0	ハーフ・モード時の PLL1 クロックの分周率を設定します。 0H : 禁止 1H : 2 分周 2H : 設定禁止 3H : 4 分周 4H : 設定禁止 5H : 6 分周 6H : 設定禁止 7H : 8 分周 8H : 設定禁止 9H : 10 分周 AH : 設定禁止 BH : 12 分周 CH : 設定禁止 DH : 14 分周 EH : 設定禁止 FH : 16 分周

名 称	R/W	ビット	リセット時	機 能
Reserved	R	3:2	-	予約。読み出すと0を返します。
DFS_HL_TIM_EN	R/W	1	0	ハーフ・モード遷移抑止タイマのイネーブルを設定します。 0: ディスエーブル, 1: イネーブル
DFS_HALFMODE_EN	R/W	0	0	ハーフ・モード遷移の有効/無効を設定します。 0: ディスエーブル, 1: イネーブル

- 注意 1. CLK_MODE_SEL = NORMAL モード時かつ, AUTO_FRQ_CHANGE_EN = 1 (周波数自動切り替え機能イネーブル) 時, かつ DFS_HALFMODE_EN = 1H (ハーフ・モード遷移のイネーブル時) の場合, BUSBUSY_LOWER_TH で設定した AXI メイン・パスの使用率 (%) の下限値を下回ると, PLL1 の周波数を DFS_HALFMODE_DIV [3:0] の分周率に従い, 変更します (ハーフ・モードに移行)。
2. ハーフ・モード期間中に BUSBUSY_UPPER_TH で設定した AXI メイン・パスの使用率 (%) の上限値を上回ると, もしくは AB0 マクロにおいて, Burst Read 要求があった場合 PLL1 周波数を元に戻します。
3. ハーフ・モード期間中にハーフ・モード時の分周率を変更した場合, 次回ハーフ・モードへの切り替えが発生した場合に反映されます。

3.2.76 FLA_CLKディレイ調整レジスタ

本レジスタ (FLA_CLK_DLY : C011_01F0H) は, FLA_CLK のディレイ量を選択します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved			FLACLK_ PHASE	FLACLK_ DLY11	FLACLK_ DLY10	FLACLK_ DLY9	FLACLK_ DLY8
7	6	5	4	3	2	1	0
FLACLK_ DLY7	FLACLK_ DLY6	FLACLK_ DLY5	FLACLK_ DLY4	FLACLK_ DLY3	FLACLK_ DLY2	FLACLK_ DLY1	FLACLK_ DLY0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:13	-	予約。読み出すと 0 を返します。
FLACLK_PHASE	R/W	12	1	0 : 反転 1 : 正転
FLACLK_DLY11	R/W	11	0	FLA_CLK のディレイ量を選択します。 bit 11 10 9 8 7 6 5 4 3 2 1 0 セレクタ段数 ディレイ
FLACLK_DLY10	R/W	10	0	
FLACLK_DLY9	R/W	9	0	
FLACLK_DLY8	R/W	8	0	
FLACLK_DLY7	R/W	7	0	
FLACLK_DLY6	R/W	6	0	
FLACLK_DLY5	R/W	5	0	
FLACLK_DLY4	R/W	4	0	
FLACLK_DLY3	R/W	3	0	
FLACLK_DLY2	R/W	2	0	
FLACLK_DLY1	R/W	1	0	
FLACLK_DLY0	R/W	0	0	
				0 1 0 ps
				0 1 2 500 ps
				0 1 1 3 1 ns
				0 1 1 1 4 1.5 ns
				0 1 1 1 1 5 2 ns
				0 1 1 1 1 1 6 2.5 ns
				0 1 1 1 1 1 1 7 3 ns
				0 1 1 1 1 1 1 1 8 3.5 ns
				0 1 1 1 1 1 1 1 1 9 4 ns
				0 1 1 1 1 1 1 1 1 1 10 4.5 ns
				0 1 1 1 1 1 1 1 1 1 1 11 5 ns
				0 1 1 1 1 1 1 1 1 1 1 1 12 5.5 ns
				1 1 1 1 1 1 1 1 1 1 1 1 1 13 6 ns

3.2.77 MEMC_CLK270 切り替えレジスタ

本レジスタ (MEMCCLK270_SEL : C011_01FCH) は、MEMC_CLK のディレイ量を選択します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							MEMCCLK270_SEL

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:1	-	予約。読み出すと 0 を返します。
MEMCCLK270_SEL	R/W	0	0	MEMCCLK270 を設定します。 0 : 270°遅れ 1 : MEMC_CLK (位相ずれなし)

備考 MEMCCLK270_SEL=1 は MEMC の自動キャリブレーション時に使用。

3.2.78 バリア・ゲート制御レジスタ

本レジスタ (ASMU_BGCTRL : C011_0208H) は, L1 領域電源のバリア・ゲートを制御します。

31	30	29	28	27	26	25	24
Reserved							L1BG_CLK_EN
23	22	21	20	19	18	17	16
Reserved						L1BG_RUNTIME[17:16]	
15	14	13	12	11	10	9	8
L1BG_RUNTIME[15:8]							
7	6	5	4	3	2	1	0
Reserved							

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:25	-	予約。読み出すと 0 を返します。
L1BG_CLK_EN	R/W	24	0	L1 のバリア有効期間中にも, L1 領域クロックを入力するかしないかを設定します。 0 : 入力しない 1 : 入力する
Reserved	R	23:18	-	予約。読み出すと 0 を返します。
L1BG_RUNTIME	R/W	17:8	0H	L1 電源自動制御時 (POWERSW_ACTRL_EN bit1=1), 自動電源 On 処理 (LOG1SW_ACTRL bit0 = 1) において, L1 電源 On 後バリア・ゲートが自動解除 (L1_BUZ all = 1, ただし TEST_RTL_BUZ, TEST_GATE_BUZ は除く) されるまでの時間を設定します。 ただし, L1_BUZ レジスタをマニュアルで設定 (バリア解除) した場合には, その設定が優先されます。 設定 : 設定値 x LBUS Cycle 時間 LBUS (83 MHz 時) L1BG_RUNTIME [9:0] = 0H : 0 L1BG_RUNTIME [9:0] = 1H : 1 x LBUS Cycle 時間 (12 ns) L1BG_RUNTIME[9:0] = 3FFH : 1023 x LBUS Cycle 時間 (12276 ns)
Reserved	R	7:0	-	予約。読み出すと 0 を返します。

備考 関連レジスタ :

POWERSW_ACTRL_EN (C011_025CH)

LOG1SW_ACTRL (C011_0260H)

L1_BUZ (C011_0268H)

3.2.79 クイック・リカバリ・バックアップ有効/無効設定レジスタ

本レジスタ (QR_ENA : C011_0220H) は、クイック・リカバリ・バックアップの有効/無効を設定します。

- CLK_MODE_SEL = Normal モード時に、ACPU から QR を実行する場合
ARMNORMAL ビットを 1, AUTO_QR_ENA ビットを 1, QR_ENA ビットを 1 (有効) に設定します。
- PMU から実行する場合
ARMNORMAL ビットを 0, AUTO_QR_ENA を 0, QR_ENA を 1 (有効) に設定します。

31	30	29	28	27	26	25	24
Reserved	QR_PWRSW_WAIT_PARAM13	QR_PWRSW_WAIT_PARAM12	QR_PWRSW_WAIT_PARAM11	QR_PWRSW_WAIT_PARAM10	QR_PWRSW_WAIT_PARAM9	QR_PWRSW_WAIT_PARAM8	
23	22	21	20	19	18	17	16
QR_PWRSW_WAIT_PARAM7	QR_PWRSW_WAIT_PARAM6	QR_PWRSW_WAIT_PARAM5	QR_PWRSW_WAIT_PARAM4	QR_PWRSW_WAIT_PARAM3	QR_PWRSW_WAIT_PARAM2	QR_PWRSW_WAIT_PARAM1	QR_PWRSW_WAIT_PARAM0
15	14	13	12	11	10	9	8
RESTORE_END	SWVMACRO	QR_BUSY	WFI_STAT	Reserved			ARM_NORMAL
7	6	5	4	3	2	1	0
Reserved						AUTO_QR_ENA	QR_ENA

(1/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:30	-	予約。読み出すと 0 を返します。
QR_PWRSW_WAIT_PARAM	R/W	29:16	053H	クイック・リカバリ実行時、割り込み (ACPU の IRQ, FIQ) をトリガとして、ACPU の電源スイッチを自動的に On する各電源スイッチの投入時間間隔を指定します。 設定 : 設定値 x LBUS Cycle 時間 53H : LBUS (83 MHz 時) → 1 μ s
RESTOREEND	R	15	0	クイック・リカバリ・リストア完了のステータスを示します。 0 : リストア未完了 1 : リストア完了
SWVMACRO	R	14	1	クイック・リカバリ・バックアップ完了のステータスを示します。 0 : Backup 完了状態 (Backup RAM にデータ退避状態) 1 : Backup 未完了状態 (Backup RAM にデータなし)
QR_BUSY	R	13	0	クイック・リカバリ実行のステータスを示します。 0 : 未実行 1 : 実行中
WFI_STAT	R	12	0	ACPU の WFI 状態ステータスを示します。 0 : 動作中 1 : WFI
Reserved	R	11:9	-	予約。読み出すと 0 を返します。
ARMNORMAL	R/W	8	1	ARM 動作モードを設定します。 0 : クイック・リカバリ実行 (PMU コマンド以外での設定禁止) 1 : 通常状態

(2/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	R	7:2	-	予約。読み出すと 0 を返します。
AUTO_QR_ENA	R/W	1	0	ACPU の WFI 時にクイック・リカバリ自動制御の許可を設定します。 0 : NORMAL モードのクイック・リカバリ実行をしない。 1 : 自動実行 (Backup/Restore 制御 + ACPU 電源 Off/On 制御)
QR_ENA	R/W	0	0	クイック・リカバリ・バックアップを有効にするかどうかを設定します。 0 : 無効 1 : 有効

CLK_MODE_SEL=NORMAL モード時に、ACPU から QR を実行する場合は、ARMNORMAL を 1、AUTO_QR_ENA を 1、QR_ENA を 1(有効)に設定します。

PMU から実行する場合は、ARMNORMAL を 0、AUTO_QR_ENA を 0、QR_ENA を 1(有効)に設定します。

3.2.80 クイック・リカバリ クロック分周器設定レジスタ

本レジスタ（QR_CLKDIV：C011_0224H）は、クイック・リカバリ・クロックの分周器を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved				BUBASTWAIT			
15	14	13	12	11	10	9	8
Reserved				BUBDEASTWAIT			
7	6	5	4	3	2	1	0
Reserved						SHIFTCLKMODE	

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:19	-	予約。読み出すと0を返します。
BUBASTWAIT	R/W	18:16	2H	リセット時以外は使用しないでください。
Reserved	R	15:11	-	予約。読み出すと0を返します。
BUBDEASTWAIT	R/W	10:8	4H	リセット時以外は使用しないでください。
Reserved	R	7:2	-	予約。読み出すと0を返します。
SHIFTCLKMODE	R/W	1:0	01b	クイック・リカバリ実施時の Scan Shift クロック周波数、および ACPU_CLK の分周率を設定します。 00b：設定禁止 01b：2分周（デフォルト） 10b：4分周 11b：設定禁止

3.2.81 ADSP/ACPU用フェイク・モード・レジスタ

本レジスタ（FAKE_MODE：C011_0238H）は、フェイク・モードの設定をします。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved						FAKE_MODE	

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:1	-	予約。読み出すと0を返します。
FAKE_MODE	R/W	0	0	フェイク・モードの設定をします。 0：すべてのバリアを開ける（Default） 1：JTAG 以外の端子はバリアを閉じる。

3.2.82 電源状態ステータス・レジスタ

本レジスタ (POWERSW_STATUS : C011_023CH) は, ADSP と L1 領域の電源状態を示します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved						ADSP_ SWCNT_ STATUS	LOG1_ PWSW_ STATUS

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:2	-	予約。読み出すと 0 を返します。
ADSP_SWCNT_STA TUS	R	1	1	ADSP 電源状態ステータスを示します。 0 : 電源 OFF, 1 : 電源 ON
LOG1_PWSW_STAT US	R	0	1	L1 電源状態ステータスを示します。 0 : 電源 OFF, 1 : 電源 ON

注意 POWERSW_ENA において、電源スイッチの ON/OFF 制御を無効に設定した場合、電源スイッチ OFF 命令を発行しても、実際には電源スイッチは OFF しません、Status 見えは電源 OFF となります。

3.2.83 電源スイッチ有効 / 無効設定レジスタ

本レジスタ (POWERSW_ENA : C011_0240H) は、電源スイッチの有効 / 無効を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved				ACPU_POWE RSW11_WEN	ACPU_POWE RSW10_WEN	ACPU_POWE RSW9_WEN	ACPU_POWE RSW8_WEN
15	14	13	12	11	10	9	8
ACPU_POWE RSW7_WEN	ACPU_POWE RSW6_WEN	ACPU_POWE RSW5_WEN	ACPU_POWE RSW4_WEN	ACPU_POWE RSW3_WEN	ACPU_POWE RSW2_WEN	ACPU_POWE RSW1_WEN	ACPU_POWE RSW0_WEN
7	6	5	4	3	2	1	0
Reserved					ADSP_PWRS W_ENA	Reserved	L1_PWRSW_ ENA

(1/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:20	-	予約。読み出すと 0 を返します。
ACPU_POWERSW1 1_WEN	R/W	19	0	ACPU_SVDD0LATE1 のライト・イネーブルを設定します。
ACPU_POWERSW1 0_WEN	R/W	18	0	ACPU_SVDD0LATE0 のライト・イネーブルを設定します。
ACPU_POWERSW9 _WEN	R/W	17	0	ACPU_SVDD0MID のライト・イネーブルを設定します。
ACPU_POWERSW8 _WEN	R/W	16	0	ACPU_SVDD0EARLY のライト・イネーブルを設定します。
ACPU_POWERSW7 _WEN	R/W	15	0	ACPU_SVDDRAM1LATE のライト・イネーブルを設定します。
ACPU_POWERSW6 _WEN	R/W	14	0	ACPU_SVDDRAM0LATE のライト・イネーブルを設定します。
ACPU_POWERSW5 _WEN	R/W	13	0	ACPU_SVDDRAM1MID1 のライト・イネーブルを設定します。
ACPU_POWERSW4 _WEN	R/W	12	0	ACPU_SVDDRAM1MID0 のライト・イネーブルを設定します。
ACPU_POWERSW3 _WEN	R/W	11	0	ACPU_SVDDRAM0MID1 のライト・イネーブルを設定します。
ACPU_POWERSW2 _WEN	R/W	10	0	ACPU_SVDDRAM0MID0 のライト・イネーブルを設定します。
ACPU_POWERSW1 _WEN	R/W	9	0	ACPU_SVDDRAM1EARLY のライト・イネーブルを設定します。
ACPU_POWERSW0 _WEN	R/W	8	0	ACPU_SVDDRAM0EARLY のライト・イネーブルを設定します。
Reserved	R	7:3	-	予約。読み出すと 0 を返します。
ADSP_PWRSW_EN A	R/W	2	0	ADSP 電源スイッチの ON/OFF 制御を有効にするかどうか設定します。 0 : 無効, 1 : 有効

(2/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	R	1	-	予約。読み出すと 0 を返します。
L1_PWRSW_ENA	R/W	0	0	L1 電源スイッチの ON/OFF 制御を有効にするかどうか設定します。 0：無効， 1：有効

3.2.84 L1 電源スイッチ制御レジスタ

本レジスタ (L1_POWERSW : C011_0244H) は, L1 電源スイッチの ON / OFF を制御します。

電源スイッチの有効 / 無効設定レジスタの L1_PWRSW_ENA ビットが有効になっている場合のみ書き込み可能です。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved				L1_RAM_PWRSW3	L1_RAM_PWRSW2	L1_RAM_PWRSW1	L1_RAM_PWRSW0
7	6	5	4	3	2	1	0
Reserved				L1_LOGIC_PWRSW3	L1_LOGIC_PWRSW2	L1_LOGIC_PWRSW1	L1_LOGIC_PWRSW0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:12	-	予約。読み出すと 0 を返します。
L1_RAM_PWRSW3	R/W	11	0	L1 RAM 用電源スイッチの ON/OFF を制御します。
L1_RAM_PWRSW2	R/W	10	0	L1 RAM 用電源スイッチの ON/OFF を制御します。
L1_RAM_PWRSW1	R/W	9	0	L1 RAM 用電源スイッチの ON/OFF を制御します。
L1_RAM_PWRSW0	R/W	8	0	L1 RAM 用電源スイッチの ON/OFF を制御します。
Reserved	-	7:4	-	予約。読み出すと 0 を返します。
L1_LOGIC_PWRSW3	R/W	3	0	L1 Logic 用電源スイッチの ON/OFF を制御します。
L1_LOGIC_PWRSW2	R/W	2	0	L1 Logic 用電源スイッチの ON/OFF を制御します。
L1_LOGIC_PWRSW1	R/W	1	0	L1 Logic 用電源スイッチの ON/OFF を制御します。
L1_LOGIC_PWRSW0	R/W	0	0	L1 Logic 用電源スイッチの ON/OFF を制御します。

備考 0 : ON , 1 : OFF

3.2.85 ACPU電源スイッチ制御レジスタ

本レジスタ (ACPU_POWERSW : C011_0248H) は ACPU 電源スイッチを制御します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved				ACPU_ SVDD0LATE1	ACPU_ SVDD0LATE0	ACPU_ SVDD0MID	ACPU_SVDD 0EARLY
7	6	5	4	3	2	1	0
ACPU_SVDD RAM1LATE	ACPU_SVDD RAM0LATE	ACPU_SVDD RAM1MID1	ACPU_SVDD RAM1MID0	ACPU_SVDD RAM0MID1	ACPU_SVDD RAM0MID0	ACPU_SVDD RAM1EARLY	ACPU_SVDD RAM0EARLY

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:12	-	予約。読み出すと 0 を返します。
ACPU_SVDD0LATE 1	R/W	11	0	POWERSW_ENA レジスタの ACPU_POWERSW11_WEN が 1 のときのみ書き込み可能です。
ACPU_SVDD0LATE 0	R/W	10	0	POWERSW_ENA レジスタの ACPU_POWERSW10_WEN が 1 のときのみ書き込み可能です。
ACPU_SVDD0MID	R/W	9	0	POWERSW_ENA レジスタの ACPU_POWERSW9_WEN が 1 のときのみ書き込み可能です。
ACPU_SVDD0EARLY	R/W	8	0	POWERSW_ENA レジスタの ACPU_POWERSW8_WEN が 1 のときのみ書き込み可能です。
ACPU_SVDDRAM1L ATE	R/W	7	0	POWERSW_ENA レジスタの ACPU_POWERSW7_WEN が 1 のときのみ書き込み可能です。
ACPU_SVDDRAM0L ATE	R/W	6	0	POWERSW_ENA レジスタの ACPU_POWERSW6_WEN が 1 のときのみ書き込み可能です。
ACPU_SVDDRAM1 MID1	R/W	5	0	POWERSW_ENA レジスタの ACPU_POWERSW5_WEN が 1 のときのみ書き込み可能です。
ACPU_SVDDRAM1 MID0	R/W	4	0	POWERSW_ENA レジスタの ACPU_POWERSW4_WEN が 1 のときのみ書き込み可能です。
ACPU_SVDDRAM0 MID1	R/W	3	0	POWERSW_ENA レジスタの ACPU_POWERSW3_WEN が 1 のときのみ書き込み可能です。
ACPU_SVDDRAM0 MID0	R/W	2	0	POWERSW_ENA レジスタの ACPU_POWERSW2_WEN が 1 のときのみ書き込み可能です。
ACPU_SVDDRAM1E ARLY	R/W	1	0	POWERSW_ENA レジスタの ACPU_POWERSW1_WEN が 1 のときのみ書き込み可能です。
ACPU_SVDDRAM0E ARLY	R/W	0	0	POWERSW_ENA レジスタの ACPU_POWERSW0_WEN が 1 のときのみ書き込み可能です。

備考 0 : 電源 ON , 1 : 電源 OFF

3.2.86 ADSP電源スイッチ制御レジスタ

本レジスタ (ADSP_POWERSW : C011_024CH) は, ADSP 電源スイッチの ON/OFF を制御します。

電源スイッチ有効 / 無効設定レジスタの ADSP_PWRSW_ENA が有効になっている場合のみ書き込み可能です。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
ADSP_ SWCNTRT7	ADSP_ SWCNTRT6	ADSP_ SWCNTRT5	ADSP_ SWCNTRT4	ADSP_ SWCNTRT3	ADSP_ SWCNTRT2	ADSP_ SWCNTRT1	ADSP_ SWCNTRT0
15	14	13	12	11	10	9	8
ADSP_ SWCNTRB7	ADSP_ SWCNTRB6	ADSP_ SWCNTRB5	ADSP_ SWCNTRB4	ADSP_ SWCNTRB3	ADSP_ SWCNTRB2	ADSP_ SWCNTRB1	ADSP_ SWCNTRB0
7	6	5	4	3	2	1	0
ADSP_ SWCNT7	ADSP_ SWCNT6	ADSP_ SWCNT5	ADSP_ SWCNT4	ADSP_ SWCNT3	ADSP_ SWCNT2	ADSP_ SWCNT1	ADSP_ SWCNT0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:24	-	予約。読み出すと 0 を返します。
ADSP_SWCNTRT7	R/W	23	0	ADSP RAM Top 用電源スイッチの ON/OFF を制御します。
ADSP_SWCNTRT6	R/W	22	0	ADSP RAM Top 用電源スイッチの ON/OFF を制御します。
ADSP_SWCNTRT5	R/W	21	0	ADSP RAM Top 用電源スイッチの ON/OFF を制御します。
ADSP_SWCNTRT4	R/W	20	0	ADSP RAM Top 用電源スイッチの ON/OFF を制御します。
ADSP_SWCNTRT3	R/W	19	0	ADSP RAM Top 用電源スイッチの ON/OFF を制御します。
ADSP_SWCNTRT2	R/W	18	0	ADSP RAM Top 用電源スイッチの ON/OFF を制御します。
ADSP_SWCNTRT1	R/W	17	0	ADSP RAM Top 用電源スイッチの ON/OFF を制御します。
ADSP_SWCNTRT0	R/W	16	0	ADSP RAM Top 用電源スイッチの ON/OFF を制御します。
ADSP_SWCNTRB7	R/W	15	0	ADSP RAM Bottom 用電源スイッチの ON/OFF を制御します。
ADSP_SWCNTRB6	R/W	14	0	ADSP RAM Bottom 用電源スイッチの ON/OFF を制御します。
ADSP_SWCNTRB5	R/W	13	0	ADSP RAM Bottom 用電源スイッチの ON/OFF を制御します。
ADSP_SWCNTRB4	R/W	12	0	ADSP RAM Bottom 用電源スイッチの ON/OFF を制御します。
ADSP_SWCNTRB3	R/W	11	0	ADSP RAM Bottom 用電源スイッチの ON/OFF を制御します。
ADSP_SWCNTRB2	R/W	10	0	ADSP RAM Bottom 用電源スイッチの ON/OFF を制御します。
ADSP_SWCNTRB1	R/W	9	0	ADSP RAM Bottom 用電源スイッチの ON/OFF を制御します。
ADSP_SWCNTRB0	R/W	8	0	ADSP RAM Bottom 用電源スイッチの ON/OFF を制御します。
ADSP_SWCNT7	R/W	7	0	ADSP Logic 用電源スイッチの ON/OFF を制御します。
ADSP_SWCNT6	R/W	6	0	ADSP Logic 用電源スイッチの ON/OFF を制御します。
ADSP_SWCNT5	R/W	5	0	ADSP Logic 用電源スイッチの ON/OFF を制御します。
ADSP_SWCNT4	R/W	4	0	ADSP Logic 用電源スイッチの ON/OFF を制御します。
ADSP_SWCNT3	R/W	3	0	ADSP Logic 用電源スイッチの ON/OFF を制御します。
ADSP_SWCNT2	R/W	2	0	ADSP Logic 用電源スイッチの ON/OFF を制御します。
ADSP_SWCNT1	R/W	1	0	ADSP Logic 用電源スイッチの ON/OFF を制御します。
ADSP_SWCNT0	R/W	0	0	ADSP Logic 用電源スイッチの ON/OFF を制御します。

備考 0 : ON 1 : OFF

3.2.87 ADSPバリア・ゲート制御レジスタ

本レジスタ (ADSP_BUB : C011_0254H) は, ADSP のバリア・ゲートの有効 / 無効を制御します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved					ADSP_ BGCNT	ADSP_ RAMBUBBZ	ADSP_ RAMBUBTZ

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:3	-	予約。読み出すと 0 を返します。
ADSP_BGCNT	R/W	2	0	ADSP コアのバリア・ゲートを制御します。
ADSP_RAMBUBBZ	R/W	1	1	ADSP 内蔵 SRAM Bottom 用バリア・ゲートを制御します。
ADSP_RAMBUBTZ	R/W	0	1	ADSP 内蔵 SRAM Top 用バリア・ゲートを制御します。

備考 0 : バリア無効, 1 : バリア有効

3.2.88 ACPUバリア・ゲート制御レジスタ

本レジスタ (ACPU_BUB : C011_0258H) は, ACPU のバリア・ゲートの有効 / 無効を制御します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							ACPU_ BGCNT

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:1	-	予約。読み出すと 0 を返します。
ACPU_BGCNT	R/W	0	0	ACPU コアのバリア・ゲートを制御します。 0 : バリア無効, 1 : バリア有効 クイック・リカバリ機能を使用せずに ACPU の電源を OFF するときのみ, 制御してください。 クイック・リカバリ機能が有効なときは自動制御します。

3.2.89 電源スイッチ自動制御の許可禁止レジスタ

本レジスタ (POWERSW_ACTRL_EN : C011_025CH) は、電源スイッチ自動制御の許可 / 禁止を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved					DSP_PWR_ CNT_EN	LOG1SW_ ACTRL_EN	ADSPSW_ ACTRL_EN

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:3	-	予約。読み出すと 0 を返します。
DSP_PWR_CNT_EN	R/W	2	0	ADSP STOP モード時の電源制御シーケンスのイネーブルを設定します。 ADSP が STOP モードに遷移したら、自動的に ADSP のリセットをアサートし、ADSP 電源を OFF します。ADSP への割り込み発生をトリガとして、ADSP 電源を ON し、リセットを自動解除します (Warm Boot)。 本シーケンスを動作させる場合は、同時に ADSPSW_ACTRL_EN を 1 (許可) にしてください (ADSP 電源スイッチ自動制御と連動して動作します)。
LOG1SW_ACTRL_EN	R/W	1	0	L1 電源スイッチ自動 ON/OFF を制御します。
ADSPSW_ACTRL_EN	R/W	0	0	ADSP 電源スイッチ自動 ON/OFF を制御します。

備考 0 : 禁止, 1 : 許可

3.2.90 L1 電源スイッチ自動制御トリガ・レジスタ

本レジスタ (LOG1SW_ACTRL : C011_0260H) は, L1 電源スイッチの自動制御トリガを設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved		LOG1_PWRSW_WAIT_PARAM[13:8]					
15	14	13	12	11	10	9	8
LOG1_PWRSW_WAIT_PARAM[7:0]							
7	6	5	4	3	2	1	0
Reserved							LOG1SW_ACTRL

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:22	-	予約。読み出すと 0 を返します。
LOG1_PWRSW_WAIT_PARAM	R/W	21:8	0	各電源スイッチ (L1_POWERSW ビット 0-3, 8-11) の投入時間の間隔を指定します。 設定 : (設定値 + 3) × L1BUS Cycle 時間
Reserved	R	7:1	-	予約。読み出すと 0 を返します。
LOG1SW_ACTRL	R/W	0	1	L1 電源スイッチ自動制御時 (POWERSW_ACTRL_EN ビット = 1), 本ビットをトリガに自動制御を開始します (L1 電源 ON/OFF 制御 + L1 バリア・ゲート制御)。 (終了判定は POWERSW_STATUS を Read することで可能です。) 0 : L1 電源スイッチ OFF シーケンス開始 1 : L1 電源スイッチ ON シーケンス開始

備考 関連レジスタ : POWERSW_ACTRL_EN (C011_025CH), ASMU_BGCTRL (C011_0208H), L1_BUZ (C011_0268H), L1_POWERSW (C011_0244H), POWERSW_ENA (C011_0240H), POWERSW_STATUS (C011_023CH)

3.2.91 ADSP電源スイッチ自動制御トリガ・レジスタ

本レジスタ (ADSPSW_CTRL : C011_0264H) は, ADSP 電源スイッチの自動制御トリガを設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved		ADSP_PWRSW_WAIT_PARAM[13:8]					
15	14	13	12	11	10	9	8
ADSP_PWRSW_WAIT_PARAM[7:0]							
7	6	5	4	3	2	1	0
Reserved							ADSPSW_CTRL

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:22	-	予約。読み出すと 0 を返します。
ADSP_PWRSW_WAIT_PARAM	R/W	21:8	0	各電源スイッチ (ADSP_POWERSW ビット 0-23) の投入時間の間隔を指定します。 設定 : (設定値 + 3) × LBUS Cycle 時間
Reserved	R	7:1	-	予約。読み出すと 0 を返します。
ADSPSW_CTRL	R/W	0	1	ADSP 電源スイッチ自動制御時 (POWERSW_CTRL_EN ビット 0 = 1), 本ビットをトリガに自動制御を開始します (ADSP 電源 On/Off 制御 + ADSP バリア・ゲート制御)。 (終了判定は POWERSW_STATUS を Read することで可能です。) 0 : ADSP 電源スイッチ OFF シーケンス開始 1 : ADSP 電源スイッチ ON シーケンス開始

備考 関連レジスタ : POWERSW_CTRL_EN (C011_025CH), ADSP_BUB (C011_0254H),

ADSP_POWERSW(C011_024CH), POWERSW_ENA(C011_0240H), POWERSW_STATUS(C011_023CH)

3.2.92 L1 バリア・ゲート制御レジスタ

本レジスタ (L1_BUZ : C011_0268H) は, L1 バリア・ゲートを制御します。

31	30	29	28	27	26	25	24
Reserved			L0_C1ACPU_ BUZ	Reserved	TEST_GATE_ L3_BUZ	TEST_GATE_ L2_BUZ	TEST_GATE_ L1_BUZ
23	22	21	20	19	18	17	16
Reserved			TEST_RTL_ BUZ	Reserved			L1_C1ACPU_ BUZ
15	14	13	12	11	10	9	8
Reserved			ICE_L1_L0_ BUZ	Reserved			ICE_L0_L1_ BUZ
7	6	5	4	3	2	1	0
Reserved			L1_L0_BUZ	Reserved			L0_L1_BUZ

(1/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:29	-	予約。読み出すと 0 を返します。
L0_C1ACPU_BUZ	R/W	28	1	(L0)-(ACPU-C1)間の信号で L0 領域に配置するバリア・ゲートを制御します。
Reserved	R	27	-	予約。読み出すと 0 を返します。
TEST_GATE_L3_BUZ	R/W	26	0	LSI テスト系バリア・ゲートを制御します。 リセット時以外は使用しないでください (常にバリア有効にしてください)。
TEST_GATE_L2_BUZ	R/W	25	0	LSI テスト系バリア・ゲートを制御します。 リセット時以外は使用しないでください (常にバリア有効にしてください)。
TEST_GATE_L1_BUZ	R/W	24	0	LSI テスト系バリア・ゲートを制御します。 リセット時以外は使用しないでください (常にバリア有効にしてください)。
Reserved	R	23:21	-	予約。読み出すと 0 を返します。
TEST_RTL_BUZ	R/W	20	0	LSI テスト系バリア・ゲートを制御します。 リセット時以外は使用しないでください (常にバリア有効にしてください)。
Reserved	R	19:17	-	予約。読み出すと 0 を返します。
L1_C1ACPU_BUZ	R/W	16	1	(APL-L1)-(ACPU-C1)間の信号で (APL-L1)領域に配置するバリア・ゲートを制御します。
Reserved	R	15:13	-	予約。読み出すと 0 を返します。
ICE_L1_L0_BUZ	R/W	12	1	ICE 用の (APL-L1)-(L0)間の信号で L1 領域に配置するバリア・ゲートを制御します。
Reserved	R	11:9	-	予約。読み出すと 0 を返します。
ICE_L0_L1_BUZ	R/W	8	1	ICE 用の (APL-L1)-(L0)間の信号で L0 領域に配置するバリア・ゲートを制御します。
Reserved	R	7:5	-	予約。読み出すと 0 を返します。
L1_L0_BUZ	R/W	4	1	(APL-L1)-(L0)間の信号で L1 領域に配置するバリア・ゲートを制御します。

(2/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	R	3:1	-	予約。読み出すと 0 を返します。
L0_L1_BUZ	R/W	0	1	(APL-L1)-(L0)間の信号で L0 領域に配置するバリア・ゲートを制御します。

備考 0 : バリア有効 , 1 : バリア無効

3.2.93 L1 バリア・ゲート制御レジスタ 2

本レジスタ (L1_BUZ2 : C011_026CH) は, L1 バリア・ゲートを制御します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved			L1_L2_BUZ	Reserved			L2_L1_BUZ

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:5	-	予約。読み出すと 0 を返します。
L1_L2_BUZ	R/W	4	1	(APL-L1)-(L2)間の信号で L1 領域に配置するバリア・ゲートを制御します。
Reserved	R	3:1	-	予約。読み出すと 0 を返します。
L2_L1_BUZ	R/W	0	1	(APL-L1)-(L2)間の信号で L0 領域に配置するバリア・ゲートを制御します。

備考 0 : バリア有効, 1 : バリア無効

3.2.94 ACPU書き逃げ制御レジスタ

本レジスタ (ACPUBUFTYPE : C011_0288H) は, ACPU のバッファ・タイプを選択します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved						ACPUBUFTYPE	

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:2	-	予約。読み出すと 0 を返します。
ACPUBUFTYPE	R/W	1:0	0	00b : AWCACHE[0] [Default] (AWCACHE[0] = 0b : Un Bufferable AWCACHE[0] = 1b : Bufferable) 01b : Always Bufferable (書き逃げあり) 10b : Always Un Bufferable (書き逃げなし) 11b : 設定禁止

3.2.95 ADSP書き逃げ制御レジスタ

本レジスタ (ADSPBUFTYPE : C011_028CH) は, ADSP のバッファ・タイプを選択します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved						ADSP BUFTYPE	

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:2	-	予約。読み出すと 0 を返します。
ADSPBUFTYPE	R/W	1:0	0	00b : AWCACHE[0] [Default] (AWCACHE[0]=0b : Un Bufferable AWCACHE[0]=1b : Bufferable) 01b : Always Bufferable (書き逃げあり) 10b : Always Un Bufferable (書き逃げなし) 11b : 設定禁止

3.2.96 HXB書き逃げ制御レジスタ

本レジスタ (HXBBUFTYPE : C011_0290H) は, HXB のバッファ・タイプを選択します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved						HXB BUFTYPE	

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:2	-	予約。読み出すと 0 を返します。
HXBBUFTYPE	R/W	0	0	0 : Always Bufferable (書き逃げあり) [Default] 1 : Always Un Bufferable (書き逃げなし)

3.2.97 ステータス履歴レジスタ

本レジスタ (STATUS_RECORD0 ~ 15 : C011_0320H ~ C011_035CH) は、各ブロックのステータス履歴を記録するためのレジスタです。

ステータス信号が変化するたびにステータス履歴レジスタが更新されます。

最新のステータス状態は STATUS_RECORD0 に格納されます。

16 回分のステータス状態変化の履歴を残します (A-RESETB アサートを行ってもデータを保持します)。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved		RESTORE END	SWVMACRO	QR_BUSY	ACPU_ STANDBYWFI	DSP_ HALTSTAT1	DSP_ HALTSTAT0
7	6	5	4	3	2	1	0
Reserved	AUTO_FRQ_ CHANGE_ BUSY	ADSP_ SWCNT_ STATUS	LOG1_ PWSW_ STATUS	MODE_STATUS			

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:14	-	予約。読み出すと 0 を返します。
RESTOREEND	R	13	-	クイック・リカバリ・リストア完了ステータスを示します。
SWVMACRO	R	12	-	クイック・リカバリ・バックアップ完了ステータスを示します。
QR_BUSY	R	11	-	クイック・リカバリ実行ステータスを示します。
ACPU_STANDBYWFI	R	10	-	ACPU_STANDBYWFI 入力の状態を示します。
DSP_HALTSTAT1	R	9	-	ADSP_HALTSTAT[1] 入力の状態を示します。
DSP_HALTSTAT0	R	8	-	ADSP_HALTSTAT[0] 入力の状態を示します。
Reserved	R	7	-	予約。読み出すと 0 を返します。
AUTO_FRQ_CHANGE_BUSY	R	6	-	PLL 周波数自動切り替え機能ステータスを示します。
ADSP_SWCNT_STATUS	R	5	-	ADSP 電源状態ステータスを示します。
LOG1_PWSW_STATUS	R	4	-	L1 電源状態ステータスを示します。
MODE_STATUS	R	3:0	-	モード・ステータスを示します。

ステータス信号が変化する毎にステータス履歴レジスタが更新されます。

最新のステータス状態は STATUS_RECORD0 に格納されます。

16 回分のステータス状態変化の履歴を残します。

(A-RESETB アサートを行ってもデータを保持します。)

3.2.98 ACPU_INITレジスタ

本レジスタ (ACPU_INI : C011_0360H) は、CP15SDISABLE (S2 領域レジスタ CC00_0008H) の Read Only レジスタのステータスを示します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved				SPIDEN	SPNIDEN	CP15S DISABLE	
15	14	13	12	11	10	9	8
Reserved							UBITINIT
7	6	5	4	3	2	1	0
Reserved							BIGENDINIT

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:19	-	予約。読み出すと 0 を返します。
SPIDEN	R	18	1	CP15SDISABLE (S2 領域レジスタ CC00_0008H) の Read Only レジスタのステータスを示します。
SPNIDEN	R	17	1	CP15SDISABLE (S2 領域レジスタ CC00_0008H) の Read Only レジスタのステータスを示します。
CP15SDISABLE	R	16	0	CP15SDISABLE (S2 領域レジスタ CC00_0008H) の Read Only レジスタのステータスを示します。
Reserved	R	15:9	-	予約。読み出すと 0 を返します。
UBITINIT	R/W	8	0	リセット時以外は使用しないでください。
Reserved	R	7:1	-	予約。読み出すと 0 を返します。
BIGENDINIT	R/W	0	0	リセット時以外は使用しないでください。

3.2.99 xxx用ウエイト・コントロール・レジスタ

このレジスタは次の AB1 用レジスタで同じビット配置になっています。

- AB1_U70WAITCTRL (U70 用ウエイト・コントロール・レジスタ) (C011_03C0H)
- AB1_U71WAITCTRL (U71 用ウエイト・コントロール・レジスタ) (C011_03C4H)
- AB1_U72WAITCTRL (U72 用ウエイト・コントロール・レジスタ) (C011_03C8H)
- AB1_IIC2WAITCTRL (IIC2 用ウエイト・コントロール・レジスタ) (C011_03CCH)
- AB1_IICWAITCTRL (IIC 用ウエイト・コントロール・レジスタ) (C011_03D0H)
- AB1_SDIBWAITCTRL (SDIB 用ウエイト・コントロール・レジスタ) (C011_03E8H)
- AB1_SDICWAITCTRL (SDIC 用ウエイト・コントロール・レジスタ) (C011_03F0H)

31	30	29	28	27	26	25	24
Reserved					AB1_U70 WAITCTRL26	AB1_U70 WAITCTRL25	AB1_U70 WAITCTRL24
23	22	21	20	19	18	17	16
Reserved				AB1_U70 WAITCTRL19	AB1_U70 WAITCTRL18	AB1_U70 WAITCTRL17	AB1_U70 WAITCTRL16
15	14	13	12	11	10	9	8
Reserved			AB1_U70 WAITCTRL12	AB1_U70 WAITCTRL11	AB1_U70 WAITCTRL10	AB1_U70 WAITCTRL9	AB1_U70 WAITCTRL8
7	6	5	4	3	2	1	0
Reserved				AB1_U70 WAITCTRL3	AB1_U70 WAITCTRL2	AB1_U70 WAITCTRL1	AB1_U70 WAITCTRL0

(1/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:27	-	予約。読み出すと 0 を返します。
AB1_ U70WAITCTRL26	R/W	26	0	AB1_U70WAITCTRL ビット 26
AB1_ U70WAITCTRL25	R/W	25	0	AB1_U70WAITCTRL ビット 25
AB1_ U70WAITCTRL24	R/W	24	0	AB1_U70WAITCTRL ビット 24
Reserved	R	23:20	-	予約。読み出すと 0 を返します。
AB1_ U70WAITCTRL19	R/W	19	1	AB1_U70WAITCTRL ビット 19
AB1_ U70WAITCTRL18	R/W	18	1	AB1_U70WAITCTRL ビット 18
AB1_ U70WAITCTRL17	R/W	17	1	AB1_U70WAITCTRL ビット 17
AB1_ U70WAITCTRL16	R/W	16	1	AB1_U70WAITCTRL ビット 16
Reserved	R	15:13	-	予約。読み出すと 0 を返します。
AB1_ U70WAITCTRL12	R/W	12	1	AB1_U70WAITCTRL ビット 12

(2/2)

名 称	R/W	ビット	リセット時	機 能
AB1_ U70WAITCTRL11	R/W	11	1	AB1_U70WAITCTRL ビット 11
AB1_ U70WAITCTRL10	R/W	10	1	AB1_U70WAITCTRL ビット 10
AB1_ U70WAITCTRL9	R/W	9	1	AB1_U70WAITCTRL ビット 9
AB1_ U70WAITCTRL8	R/W	8	1	AB1_U70WAITCTRL ビット 8
Reserved	R	7:4	-	予約。読み出すと 0 を返します。
AB1_ U70WAITCTRL3	R/W	3	1	AB1_U70WAITCTRL ビット 3
AB1_ U70WAITCTRL2	R/W	2	1	AB1_U70WAITCTRL ビット 2
AB1_ U70WAITCTRL1	R/W	1	1	AB1_U70WAITCTRL ビット 1
AB1_ U70WAITCTRL0	R/W	0	1	AB1_U70WAITCTRL ビット 0

備考 このレジスタの詳細を次に示します。

【スレーブマクロへのタイミング設定】

AB1 に接続される SDIA , B , C マクロとのタイミング設定 (WAITCTRL , READCTRL) は下記の値を使用してください。

	SlaveWAITCTRL	SlaveREADCTRL
SDIA	0x00000300	0x00000000
SDIB	0x00000300	0x00000000
SDIC	0x00000300	0x00000000

(1) ASMU_AB1_slaveWAITCTRL レジスタ

(Address : 03C0H, 03C4H, 03C8H, 03CCH, 03D0H, 03E8H, 03F0H, 0890H)

本レジスタは、非同期バス制御信号の WAIT タイミング T0, T1, T2, CSInt を設定します。

注意 ウェイト・タイミングを Read/Write 個別に設定することはできません。

31	30	29	28	27	26	25	24
Reserved					CSInt		
23	22	21	20	19	18	17	16
Reserved				T2			
15	14	13	12	11	10	9	8
Reserved			T1				
7	6	5	4	3	2	1	0
Reserved				T0			

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:27	-	予約。読み出すと 0 を返します。
CSInt	R/W	26:24	0H	CS = H 期間の制御。CSInt+1 サイクルが設定されます。
Reserved	R	23:20	-	予約。読み出すと 0 を返します。
T2	R/W	19:16	FH	T2 WAIT 制御。T2+1 サイクルが設定されます。
Reserved	R	15:13	-	予約。読み出すと 0 を返します。
T1	R/W	12:8	1FH	T1 WAIT 制御。T1+1 サイクルが設定されます。
Reserved	R	7:4	-	予約。読み出すと 0 を返します。
T0	R/W	3:0	FH	T0 WAIT 制御。T0+1 サイクルが設定されます。

[設定範囲について]

T0 : 0 ~ 15 の範囲で設定可能です。初期値は wait = 15 に設定されています。

T0 のサイクルは設定値+1 となります。

T1 : 0 ~ 31 の範囲で設定可能です。初期値は wait = 31 に設定されています。

T1 のサイクルは設定値+1 となります。

T2 : 0 ~ 15 の範囲で設定可能です。初期値は wait = 15 に設定されています。

T2 のサイクルは設定値+1 となります。

CSInt : 0 ~ 7 の範囲で設定可能です。初期値は 0 に設定されています。

CSInt のサイクルは設定値+1 となります。

[デバイスごとの設定値について]

	初期値					設定推奨値@83MHz				
	WAITCTRL	CSInt	T2	T1	T0	WAITCTRL	CSInt	T2	T1	T0
UART	00F_1F0FH	000B	1111B	1_1111B	1111B	0001_0200H	000B	0001B	0_0010B	0000B
IICx	00F_1F0FH	000B	1111B	1_1111B	1111B	0001_0300H	000B	0000B	0_0011B	0000B
SDIx	00F_1F0FH	000B	1111B	1_1111B	1111B	0001_0200H	000B	0000B	0_0011B	0000B

3.2.100 xxx用リード・モード・レジスタ

このレジスタは次の AB1 用レジスタで同じビット配置になっています。

- AB1_U70READCTRL (U70 用リード・モード・レジスタ) (C011_03D4H)
- AB1_U71READCTRL (U71 用リード・モード・レジスタ) (C011_03D8H)
- AB1_U72READCTRL (U72 用リード・モード・レジスタ) (C011_03DCH)
- AB1_IIC2READCTRL (IIC2 用リード・モード・レジスタ) (C011_03E0H)
- AB1_IICREADCTRL (IIC 用リード・モード・レジスタ) (C011_03E4H)
- AB1_SDIBREADCTRL (SDIB 用リード・モード・レジスタ) (C011_03ECH)
- AB1_SDICREADCTRL (SDIC 用リード・モード・レジスタ) (C011_03F4H)

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved		AB1_U70 READCTRL5	AB1_U70 READCTRL4	Reserved			

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:6	-	予約。読み出すと 0 を返します。
AB1_U70READCTR L5	R/W	5	0	AB1_U70READCTRL ビット 5
AB1_U70READCTR L4	R/W	4	0	AB1_U70READCTRL ビット 4
Reserved	R	3:0	-	予約。読み出すと 0 を返します。

備考 このレジスタの詳細を次に示します。

【スレーブマクロへのタイミング設定】

AB1 に接続される SDIA, B, C マクロとのタイミング設定 (WAITCTRL, READCTRL) は下記の値を使用してください。

	SlaveWAITCTRL	SlaveREADCTRL
SDIA	0x00000300	0x00000000
SDIB	0x00000300	0x00000000
SDIC	0x00000300	0x00000000

(1) ASMU_AB1_slaveREADCTRL レジスタ

(Address : 03D4H , 03D8H , 03DCH , 03E0H , 03E4H , 03ECH , 03F4H , 0894H)

本レジスタは、非同期バスのリード・データのフェッチ・タイミングのRDTを設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved		RDT		Reserved			

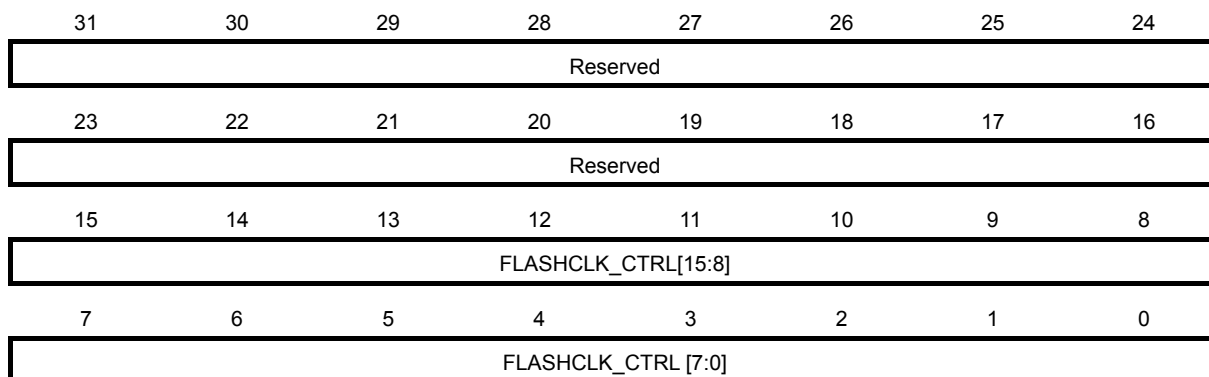
名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:6	-	予約。読み出すと0を返します。
RDT	R/W	5:4	0H	リード・データ・ラッチのタイミングを変更します。 00b : ラッチ・タイミング変更なし (RDB 信号ディアサート・タイミング) 01b : - 2 サイクル目 (RDZ 信号ディアサート・タイミングの 2 サイクル前) 10b : - 3 サイクル目 (RDZ 信号ディアサート・タイミングの 3 サイクル前) 11b : - 4 サイクル目 (RDZ 信号ディアサート・タイミングの 4 サイクル前)
Reserved	R	3:0	-	予約。読み出すと0を返します。

【デバイスごとの設定値について】

	初期値		設定推奨値@83MHz	
	READCTRL	RDT	READCTRL	RDT
UART	0000_0000H	00B	0000_0000H	00B
IICx	0000_0000H	00B	0000_0000H	00B
SDIx	0000_0000H	00B	0000_0000H	00B

3.2.101 FLASHCLK制御レジスタ

本レジスタ (FLASHCLK_CTRL : C011_0494H) は, ASMU_FLASHCLK 用の GatingCell 切り替えを設定します。

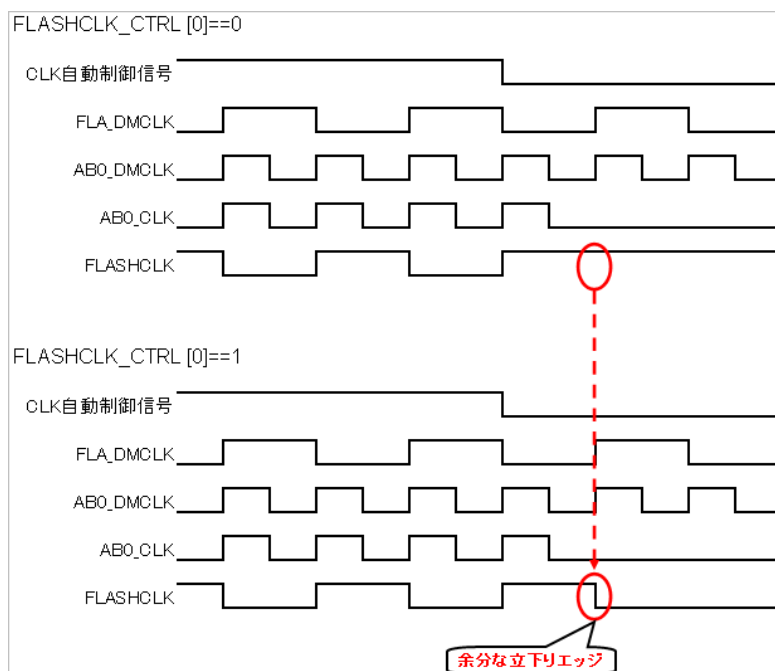


名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:16	-	予約。読み出すと 0 を返します。
FLASHCLK_CTRL[15:1]	R/W	15:1	0	汎用
FLASHCLK_CTRL[0]	R/W	0	0	ASMU_FLASHCLK 用の GatingCell 切り替えを設定します。 0 : ASMU_FLASHCLK の停止時に High で停止させる 1 : ASMU_FLASHCLK の停止時に High で停止させない

FLA_CLK_DLY[12]==0(ASMU_FLASHCLK 反転)の場合, ASMU_FLASHCLK 停止時に

FLASHCLK_CTRL [0]==0 のとき, High で停止する。

FLASHCLK_CTRL [0]==1 のとき, Low で停止する (余分に立ち下がりエッジが発生します)。



備考 関連レジスタ : FLA_CLK_DLY (C011_01F0H)

3.2.102 L2 (USB) 電源スイッチ , バリア・ゲート制御レジスタ

本レジスタ (L2_POWERSW_BUZ : C011_0500H) は, L2 (USB) 電源スイッチおよびバリア・ゲートを制御します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							L2_L1_BUZ
15	14	13	12	11	10	9	8
Reserved							L1_L2_BUZ
7	6	5	4	3	2	1	0
L2_LOGIC_P WRSW[7]	L2_LOGIC_P WRSW[6]	L2_LOGIC_P WRSW[5]	L2_LOGIC_P WRSW[4]	L2_LOGIC_P WRSW[3]	L2_LOGIC_P WRSW[2]	L2_LOGIC_P WRSW[1]	L2_LOGIC_P WRSW[0]

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:17	-	予約。読み出すと 0 を返します。
L2_L0_BUZ	R/W	16	1	L2-L0 間バリア・ゲートを制御します。 0 : 有効, 1 : 無効
Reserved	R	15:9	-	予約。読み出すと 0 を返します。
L0_L2_BUZ	R/W	8	1	L2-L0 間バリア・ゲートを制御します。 0 : 有効, 1 : 無効
L2_LOGIC_PWRSW[7]	R/W	7	0	L2 領域電源スイッチを制御します。 0 : ON, 1 : OFF
L2_LOGIC_PWRSW[6]	R/W	6	0	L2 領域電源スイッチを制御します。 0 : ON, 1 : OFF
L2_LOGIC_PWRSW[5]	R/W	5	0	L2 領域電源スイッチを制御します。 0 : ON, 1 : OFF
L2_LOGIC_PWRSW[4]	R/W	4	0	L2 領域電源スイッチを制御します。 0 : ON, 1 : OFF
L2_LOGIC_PWRSW[3]	R/W	3	0	L2 領域電源スイッチを制御します。 0 : ON, 1 : OFF
L2_LOGIC_PWRSW[2]	R/W	2	0	L2 領域電源スイッチを制御します。 0 : ON, 1 : OFF
L2_LOGIC_PWRSW[1]	R/W	1	0	L2 領域電源スイッチを制御します。 0 : ON, 1 : OFF
L2_LOGIC_PWRSW[0]	R/W	0	0	L2 領域電源スイッチを制御します。 0 : ON, 1 : OFF

3.2.103 L2 (USB) 電源スイッチ自動制御イネーブル・レジスタ

本レジスタ (LOG2SW_ACTRLEN : C011_0504H) は, L2 (USB) 電源スイッチ自動制御を設定します。

31	30	29	28	27	26	25	24
Reserved	LOG2_PWR SW_WAIT_ PARAM[13]	LOG2_PWR SW_WAIT_ PARAM[12]	LOG2_PWR SW_WAIT_ PARAM[11]	LOG2_PWR SW_WAIT_ PARAM[10]	LOG2_PWR SW_WAIT_ PARAM[9]	LOG2_PWR SW_WAIT_ PARAM[8]	
23	22	21	20	19	18	17	16
LOG2_PWR SW_WAIT_ PARAM[7]	LOG2_PWR SW_WAIT_ PARAM[6]	LOG2_PWR SW_WAIT_ PARAM[5]	LOG2_PWR SW_WAIT_ PARAM[4]	LOG2_PWR SW_WAIT_ PARAM[3]	LOG2_PWR SW_WAIT_ PARAM[2]	LOG2_PWR SW_WAIT_ PARAM[1]	LOG2_PWR SW_WAIT_ PARAM[0]
15	14	13	12	11	10	9	8
Reserved							L2_PWRSW _ENA
7	6	5	4	3	2	1	0
Reserved							LOG2_PWR _CNT_EN

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:30	-	予約。読み出すと 0 を返します。
LOG2_PWRSW_WAI T_PARAM	R/W	29:16	0	L2 電源の各スイッチの投入時間の間隔を指定します。 (設定値 + 2) × L2BUS Cycle 時間
Reserved	R	15:9	-	予約。読み出すと 0 を返します。
L2_PWRSW_ENA	R/W	8	0	L2_LOGIC_PWRSW[7:0]のライト・イネーブルを設定します 0 : ディスエーブル 1 : イネーブル
Reserved	R	7:1	-	予約。読み出すと 0 を返します。
LOG2_PWR_CNT_E N	R/W	0	0	USB_RSTZ (RESETREQ0 ビット t28) による電源スイッチ自動制御 を設定します。 USB_RSTZ の状態により, LOG2SW_CTRL を自動制御します。 シーケンス完了は L2_PWRSW_STATUS で判定してください。 USB_RSTZ = 1→0 : L2 電源 OFF シーケンス実行 USB_RSTZ = 0→1 : L2 電源 ON シーケンス実行 0 : ディスエーブル 1 : イネーブル

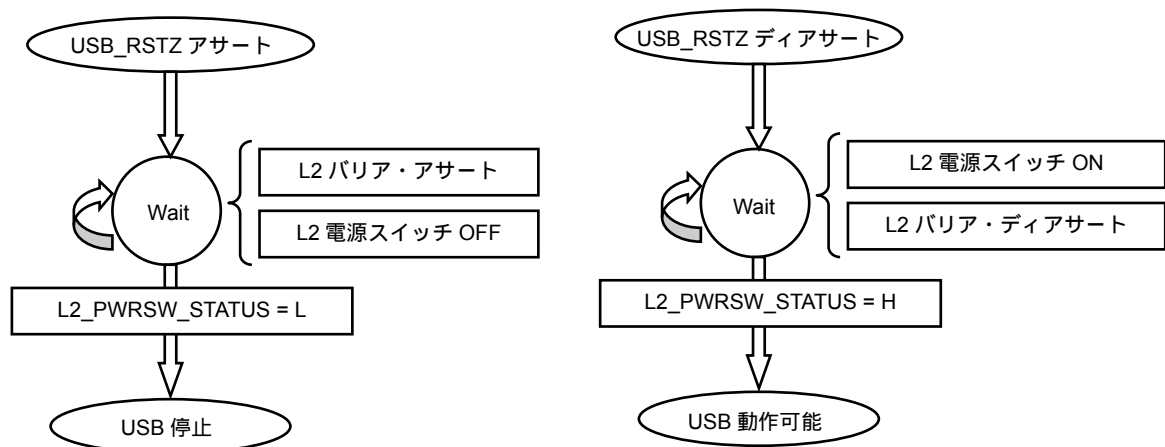
3.2.104 L2 (USB) 電源スイッチ制御レジスタ

本レジスタ (LOG2SW_ACTRL : C011_0508H) は, L2 (USB) 電源スイッチを制御します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							L2_PWRSW_STATUS
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							LOG2SW_ACTRL

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:17	-	予約。読み出すと 0 を返します。
L2_PWRSW_STATUS	R	16	1	L2 電源 + L2 バリアの状態を示します。 1 : 電源 ON, バリア解除状態 (USB 動作可能状態) 0 : 電源 OFF, バリア有効状態 (USB 動作不可能状態)
Reserved	R	15:1	-	予約。読み出すと 0 を返します。
LOG2SW_ACTRL	R/W	0	1	L2 電源スイッチ, L2-L1 間バリア・ゲート自動制御を開始します (L2_POWERSW_BUZ レジスタを自動制御します)。 1 : L2 電源 ON シーケンス開始 0 : L2 電源 OFF シーケンス開始

LOG2_PWR_CNT_EN = H (自動電源制御時)



3.2.105 L3 (AVC) 電源スイッチ , バリア・ゲート制御レジスタ

本レジスタ (L3_POWERSW_BUZ : C011_050CH) は L3 (AVC) 領域のバリア・ゲート設定と , 電源スイッチを制御します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							L3_L1_BUZ
15	14	13	12	11	10	9	8
Reserved							L1_L3_BUZ
7	6	5	4	3	2	1	0
L3_LOGIC_PWSW[7]	L3_LOGIC_PWSW[6]	L3_LOGIC_PWSW[5]	L3_LOGIC_PWSW[4]	L3_LOGIC_PWSW[3]	L3_LOGIC_PWSW[2]	L3_LOGIC_PWSW[1]	L3_LOGIC_PWSW[0]

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:17	-	予約。読み出すと 0 を返します。
L3_L1_BUZ	R/W	16	1	L3-L1 間バリア・ゲートを制御します。 0 : 有効 , 1 : 無効
Reserved	R	15:9	-	予約。読み出すと 0 を返します。
L1_L3_BUZ	R/W	8	1	L1-L3 間バリア・ゲートを制御します。 0 : 有効 , 1 : 無効
L3_LOGIC_PWSW[7]	R/W	7	0	L3 領域電源スイッチを制御します。 0 : ON , 1 : OFF
L3_LOGIC_PWSW[6]	R/W	6	0	L3 領域電源スイッチを制御します。 0 : ON , 1 : OFF
L3_LOGIC_PWSW[5]	R/W	5	0	L3 領域電源スイッチを制御します。 0 : ON , 1 : OFF
L3_LOGIC_PWSW[4]	R/W	4	0	L3 領域電源スイッチを制御します。 0 : ON , 1 : OFF
L3_LOGIC_PWSW[3]	R/W	3	0	L3 領域電源スイッチを制御します。 0 : ON , 1 : OFF
L3_LOGIC_PWSW[2]	R/W	2	0	L3 領域電源スイッチを制御します。 0 : ON , 1 : OFF
L3_LOGIC_PWSW[1]	R/W	1	0	L3 領域電源スイッチを制御します。 0 : ON , 1 : OFF
L3_LOGIC_PWSW[0]	R/W	0	0	L3 領域電源スイッチを制御します。 0 : ON , 1 : OFF

3.2.106 L3 (AVC) 電源スイッチ自動制御イネーブル・レジスタ

本レジスタ (LOG3SW_ACTRLEN : C011_0510H) は L3 (AVC) 領域の電源スイッチを制御します。

31	30	29	28	27	26	25	24
Reserved	LOG3_PWRS W_WAIT_ PARAM[13]	LOG3_PWRS W_WAIT_ PARAM[12]	LOG3_PWRS W_WAIT_ PARAM[11]	LOG3_PWRS W_WAIT_ PARAM[10]	LOG3_PWRS W_WAIT_ PARAM[9]	LOG3_PWRS W_WAIT_ PARAM[8]	
23	22	21	20	19	18	17	16
LOG3_PWRS W_WAIT_ PARAM[7]	LOG3_PWRS W_WAIT_ PARAM[6]	LOG3_PWRS W_WAIT_ PARAM[5]	LOG3_PWRS W_WAIT_ PARAM[4]	LOG3_PWRS W_WAIT_ PARAM[3]	LOG3_PWRS W_WAIT_ PARAM[2]	LOG3_PWRS W_WAIT_ PARAM[1]	LOG3_PWRS W_WAIT_ PARAM[0]
15	14	13	12	11	10	9	8
Reserved							L3_PWRSW_ ENA
7	6	5	4	3	2	1	0
Reserved							LOG3_PWR_ CNT_EN

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:30	-	予約。読み出すと 0 を返します。
LOG3_PWRSW_WAI T_PARAM	R/W	29:16	0	L3 電源の各スイッチの投入時間の間隔を指定します。 (設定値+2) × LBUS Cycle 時間
Reserved	R	15:9	-	予約。読み出すと 0 を返します。
L3_PWRSW_ENA	R/W	8	0	L3_LOGIC_PWRSW[7:0]のライト・イネーブルを設定します。 0 : ディスエーブル 1 : イネーブル
Reserved	R	7:1	-	予約。読み出すと 0 を返します。
LOG3_PWR_CNT_E N	R/W	0	0	AVC_RSTZ (RESETREQ0 ビット 15) による電源スイッチ自動制御 を設定します。 AVC_RSTZ の状態により , LOG3SW_ACTRL を自動制御します。 シーケンス完了は L3_PWRSW_STATUS で判定してください。 AVC_RSTZ = 1→0 : L2 電源 OFF シーケンス実行 AVC_RSTZ = 0→1 : L2 電源 ON シーケンス実行 0 : ディスエーブル 1 : イネーブル

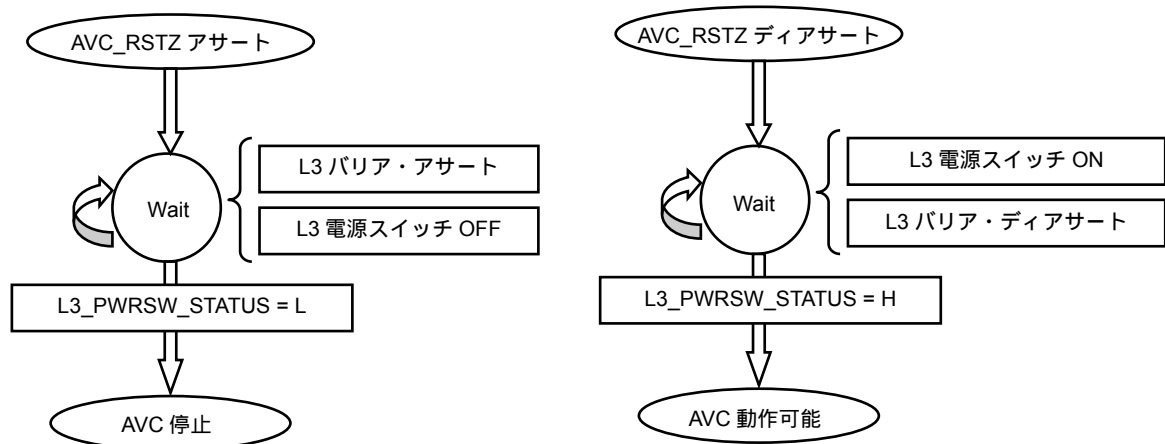
3.2.107 L3 (AVC) 電源スイッチ制御レジスタ

本レジスタ (LOG3SW_ACTRL : C011_0514H) は, L3 (AVC) 領域の電源スイッチを制御します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							L3_PWRSW_STATUS
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							LOG3SW_ACTRL

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:17	-	予約。読み出すと 0 を返します。
L3_PWRSW_STATUS	R	16	1	L3 電源 + L3 バリアの状態を示します。 1 : 電源 ON, バリア解除状態 (AVC 動作可能状態) 0 : 電源 OFF, バリア有効状態 (AVC 動作不可状態)
Reserved	R	15:1	-	予約。読み出すと 0 を返します。
LOG3SW_ACTRL	R/W	0	1	L3 電源スイッチ, L3-L1 間バリア・ゲート自動制御を開始します (L3_POWERSW_BUZ レジスタを自動制御します)。 1 : L3 電源 ON シーケンス開始 0 : L3 電源 OFF シーケンス開始

LOG3_PWR_CNT_EN = H (自動電源制御時)



3.2.108 PLL状態ステータス・レジスタ

本レジスタ（PLL_STATUS : C011_0520H）は、PLL のステータスを示します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							PLL3_ST
15	14	13	12	11	10	9	8
Reserved							PLL2_ST
7	6	5	4	3	2	1	0
Reserved							PLL1_ST

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:17	-	予約。読み出すと 0 を返します。
PLL3_ST	R	16	-	PLL3 ステータス・レジスタを示します。 0 : Standby (Lockup 完了前) 1 : Lockup 完了 (動作中)
Reserved	R	15:9	-	予約。読み出すと 0 を返します。
PLL2_ST	R	8	-	PLL2 ステータス・レジスタ 0 : Standby (Lockup 完了前) 1 : Lockup 完了 (動作中)
Reserved	R	7:1	-	予約。読み出すと 0 を返します。
PLL1_ST	R	0	-	PLL1 ステータス・レジスタを示します。 0 : Standby (Lockup 完了前) 1 : Lockup 完了 (動作中)

3.2.109 MEMCIO (L0) – MEMC (L1)間バリア・ゲート制御レジスタ

本レジスタ (IO_L0_L1_BUZ : C011_0814H) は , MEMCIO (L0) – MEMC (L1)間のバリア・ゲートを制御します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							IO_L1_L0_ BUZ
7	6	5	4	3	2	1	0
Reserved							IO_L0_L1_ BUZ

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:9	-	-
IO_L1_L0_BUZ	R/W	8	1	MEMC (L1) – MEMCIO (L0)間バリア・ゲートを制御します。 0 : 有効 , 1 : 無効
Reserved	R	7:1	-	-
IO_L0_L1_BUZ	R/W	0	1	MEMCIO (L0) – MEMC (L1)間バリア・ゲートを制御します。 0 : 有効 , 1 : 無効

3.2.110 リセット要求レジスタ 3

本レジスタ (RESETREQ3 : C011_083CH) は、SDI のリセットを制御します。

RESETREQ3ENA レジスタでライト・イネーブルが設定されているビットのみ書き込み可能です。ライト・ディセーブルが設定されているビットは値が保持されます。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved			SDICRSTZ	SDIBRSTZ	SDIARSTZ	DMA2RSTZ	Reserved

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:5	-	予約。読み出すと 0 を返します。
SDICRSTZ	R/W	4	0	SDIC_RSTZ を制御します。
SDIBRSTZ	R/W	3	0	SDIB_RSTZ を制御します。
SDIARSTZ	R/W	2	0	SDIA_RSTZ を制御します。
DMA2RSTZ	R/W	1	0	DMA2_RSTZ を制御します。
Reserved	R	0	-	予約。読み出すと 0 を返します。

備考 0 : リセット , 1 : リセット解除

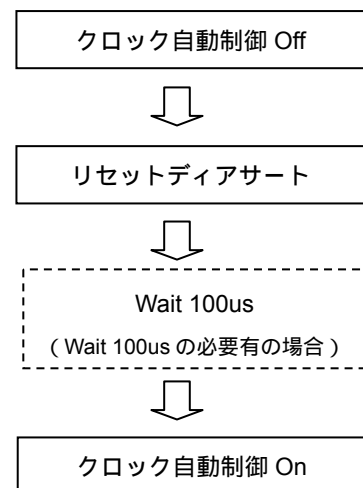
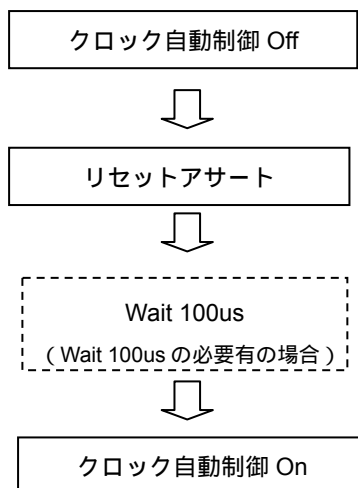
RESETREQ3ENA レジスタでライトイネーブルが設定されているビットのみ書き込み可能です。ライトディセーブルが設定されているビットは値が保持されます。

注意)

上記 Wait 100us の必要有のリセットは以下の手順でリセットを制御してください。

リセット アサート時

リセット ディアサート時



3.2.111 RESETREQ3 のセット/リセット・イネーブル・レジスタ

本レジスタ (RESETREQ3ENA : C011_0840H) は、RESETREQ3 レジスタの各ビットのライト・イネーブルを設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved			SDICRSTZ_ ENA	SDIBRSTZ_ ENA	SDIARSTZ_ ENA	DMA2RSTZ_ ENA	Reserved

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:5	-	予約。読み出すと 0 を返します。
SDICRSTZ_ENA	R/W	4	0	RESETREQ3 レジスタの SDICRSTZ_ENA ビットへのライト・イネーブル
SDIBRSTZ_ENA	R/W	3	0	RESETREQ3 レジスタの SDIBRSTZ_ENA ビットへのライト・イネーブル
SDIARSTZ_ENA	R/W	2	0	RESETREQ3 レジスタの SDIARSTZ ビットへのライト・イネーブル
DMA2RSTZ_ENA	R/W	1	0	RESETREQ3 レジスタの DMA2RSTZ ビットへのライト・イネーブル
Reserved	R	0	-	予約。読み出すと 0 を返します。

備考 0 : ディスエーブル, 1 : イネーブル

3.2.112 APB(PB0)スレーブ・マクロ・クロック制御レジスタ 2

本レジスタ (APBCLKCTRL2 : C011_0848H) は, PM1 のクロック自動制御モードを有効 / 無効に設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved				PM1PCLKLP	PM0PCLKLP	Reserved	

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:4	-	予約。読み出すと 0 を返します。
PM1PCLKLP	R/W	3	0	PM1 の APB クロック自動制御モードを設定します。
PM0PCLKLP	R/W	2	0	PM0 の APB クロック自動制御モードを設定します。
Reserved	R	1:0	-	予約。読み出すと 0 を返します。

備考 0 : 自動制御モード OFF , 1 : 自動制御モード ON

3.2.113 マクロ・クロック・ゲート制御レジスタ 4

本レジスタ（GCLKCTRL4：C011_084CH）は、各ブロックのクロックの供給／停止を設定します。

GCLKCTRL4ENA レジスタでライト・イネーブルが設定されているビットのみ書き込み可能です。ライト・ディセーブルが設定されているビットは値が保持されます。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved						PM1_CLK_ GCK2	PM0_CLK_ GCK2
7	6	5	4	3	2	1	0
SDIC_CLK_ GCK	SDIB_CLK_ GCK	SDIA_CLK_ GCK	DMA2_CLK_ GCK	Reserved			

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:10	-	予約。読み出すと 0 を返します。
PM1_CLK_GCK2	R/W	9	1	PM1_PCLK のゲート制御モードを設定します。 GCLKCTRL2[12].PM0_PCLK_GCK が 1 のとき有効です。
PM0_CLK_GCK2	R/W	8	1	PM0_PCLK のゲート制御モードを設定します。 GCLKCTRL2[12].PM0_PCLK_GCK が 1 のとき、有効です。
SDIC_CLK_GCK	R/W	7	1	SDIC_CLK のゲート制御モードを設定します。
SDIB_CLK_GCK	R/W	6	1	SDIB_CLK のゲート制御モードを設定します。
SDIA_CLK_GCK	R/W	5	1	SDIA_CLK のゲート制御モードを設定します。
DMA2_CLK_GCK	R/W	4	1	DMA2_CLK のゲート制御モードを設定します。
Reserved	R	3:0	-	予約。読み出すと 0 を返します。

備考 0：クロック停止（ゲート制御あり）、1：クロック供給（ゲート制御なし）

GCLKCTRL4ENA レジスタでライトイネーブルが設定されているビットのみ書き込み可能です。ライトディセーブルが設定されているビットは値が保持されます。

3.2.114 GCLKCTRL4 のセット/リセット・イネーブル・レジスタ

本レジスタ (GCLKCTRL4ENA : C011_0850H) は, GCLKCTRL4 レジスタの各ビットのライト・イネーブルを設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved						PM1_CLK_ GCK2_ENA	PM0_CLK_ GCK2_ENA
7	6	5	4	3	2	1	0
SDIC_CLK_ GCK_ENA	SDIB_CLK_ GCK_ENA	SDIA_CLK_ GCK_ENA	DMA2_CLK_ GCK_ENA	Reserved			

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:10	-	予約。読み出すと 0 を返します。
PM1_CLK_GCK2_ENA	R/W	9	0	GCLKCTRL4 レジスタの PM1_CLK_GCK2 ビットへのライト・イネーブル
PM0_CLK_GCK2_ENA	R/W	8	0	GCLKCTRL4 レジスタの PM0_CLK_GCK2 ビットへのライト・イネーブル
SDIC_CLK_GCK_ENA	R/W	7	0	GCLKCTRL4 レジスタの SDIC_CLK_GCK ビットへのライト・イネーブル
SDIB_CLK_GCK_ENA	R/W	6	0	GCLKCTRL4 レジスタの SDIB_CLK_GCK ビットへのライト・イネーブル
SDIA_CLK_GCK_ENA	R/W	5	0	GCLKCTRL4 レジスタの SDIA_CLK_GCK ビットへのライト・イネーブル
DMA2_CLK_GCK_ENA	R/W	4	0	GCLKCTRL4 レジスタの DMA2_CLK_GCK ビットへのライト・イネーブル
Reserved	R	3:0	-	予約。読み出すと 0 を返します。

備考 0 : ディスエーブル, 1 : イネーブル

3.2.115 周波数自動切り替え制御REQMASK3 レジスタ

本レジスタ (AUTO_FRQ_MASK3 : C011_0860H) は、周波数自動切り替え機能の解除リクエスト対象とするかを設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved					SDIC_ REQMASK	SDIB_ REQMASK	SDIA_ REQMASK

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:3	-	予約。読み出すと 0 を返します。
SDIC_REQMASK	R/W	2	1	SDIC CLKREQ 信号判定
SDIB_REQMASK	R/W	1	1	SDIB CLKREQ 信号判定
SDIA_REQMASK	R/W	0	1	SDIA CLKREQ 信号判定

備考 0：対象，1：対象外（無視されます）

3.2.116 自動周波数制御のFIFO残量モード・レジスタ

本レジスタ (DFS_FIFOMODE : C011_0864H) は、自動周波数制御の DFS_FIFO モード遷移の有効 / 無効を設定します。

CLK_MODE_SEL = Normal モード時かつ、AUTO_FRQ_CHANGE_EN = 1H (周波数自動切り替え機能イネーブル) 時、かつ DFS_FIFOMODE_EN = 1H (DFS_FIFO モード遷移のイネーブル時) の場合、DFS_FIFO_REQMASK にて判定が有効になっているマクロの FIFO の残量により周波数自動制御を行います。この機能を使う場合、判定する FIFO を持つマクロの AUTO_FRQ_MASK0 の判定をマスクする必要があります。

たとえば、LCDFIFO_REQMASK が有効の場合は、LCD 内 FIFO の残量が、LCD_FIFOTHRESHOLD レジスタの LCDFIFO_UPPER_TH[7:0]を上回った場合に、周波数を低速にします。また、逆に LCDFIFO_UPPER_TH[7:0]を下回った場合に周波数を高速にします。

また、FIFO モードは無効にする場合には、DFS_FIFOMODE(C011_0864H) = 0 にすることに加えて DFS_FIFO_REQMASK(C011_0868H) = 1H に設定することが必要になります。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							DFS_HALFMODE_EN

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:1	-	予約。読み出すと 0 を返します。
DFS_FIFOMODE_EN	R/W	0	0	DFS_FIFO モード遷移の有効 / 無効を設定します。 0 : ディスエーブル, 1 : イネーブル

3.2.117 周波数自動切り替え制御FIFOMODE_REQMASKレジスタ

本レジスタ (DFS_FIFO_REQMASK : C011_0868H) は, LCD の FIFO 残量による判定を制御します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved						CAMFIFO_REQMASK	LCDFIFO_REQMASK

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:2	-	予約。読み出すと 0 を返します。
CAMFIFO_REQMASK	R/W	1	1	CAM の FIFO 残量による判定を制御します。 0 : 有効, 1 : 無効
LCDFIFO_REQMASK	R/W	0	1	LCD の FIFO 残量による判定を制御します。 0 : 有効, 1 : 無効

3.2.118 自動周波数制御のLCD_FIFOの残量しきい値レジスタ

本レジスタ (LCD_FIFOTHRESHOLD : C011_086CH) は, LCD の FIFO の残量しきい値を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
LCDFIFO_UPPER_TH							
7	6	5	4	3	2	1	0
LCDFIFO_LOWER_TH							

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:16	-	予約。読み出すと 0 を返します。
LCDFIFO_UPPER_TH	R/W	15:8	0	高速→低速へ遷移する LCD の FIFO の残量上限値を設定します。
LCDFIFO_LOWER_TH	R/W	7:0	0	低速→高速へ遷移する LCD の FIFO の残量下限値を設定します。

3.2.119 自動周波数制御のCAM_FIFOの残量しきい値レジスタ

本レジスタ (CAM_FIFOTHRESHOLD : C011_0870H) は, CAM の FIFO の残量しきい値を設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
CAMFIFO_UPPER_TH							
7	6	5	4	3	2	1	0
CAMFIFO_LOWER_TH							

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:16	-	予約。読み出すと 0 を返します。
CAMFIFO_UPPER_TH	R/W	15:8	0	低速→高速へ遷移する CAM の FIFO の残量上限値を設定します。
CAMFIFO_LOWER_TH	R/W	7:0	0	高速→低速へ遷移する CAM の FIFO の残量下限値を設定します。

3.2.120 CAM用SAFEリセット・レジスタ

本レジスタ (CAM_SAFE_RESET : C011_0878H) は, CAM マクロのリセットを制御します。

HTRANS[1:0]が 0H (idle)になっているときのみアサートするリセットになります。

また, SAFE_RSTZ を使用する際は, CLK 自動制御機能を無効にして使用ください。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							CAM_ SAFERSTZ

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:1	-	予約。読み出すと 0 を返します。
CAM_SAFERSTZ	R/W	0	1	CAM_SAFE_RSTZ を制御します。

備考 0 : リセット, 1 : リセット解除

3.2.121 DTV用SAFEリセット・レジスタ

本レジスタ (DTV_SAFE_RESET : C011_0880H) は、DTV マクロのリセットを制御します。

非転送時にリセットされます。

また、SAFE_RSTZ を使用する際は、CLK 自動制御機能を無効にして使用ください。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							DTV_ SAFERSTZ

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:1	-	予約。読み出すと 0 を返します。
DTV_SAFERSTZ	R/W	0	1	DTV_SAFE_RSTZ を制御します。

備考 0 : リセット , 1 : リセット解除

3.2.122 USB用SAFEリセット・レジスタ

本レジスタ (USB_SAFE_RESET : C011_0884H) は、USB マクロのリセットを制御します。

HTRANS[1:0]が 0H (idle)になっているときのみアサートするリセットになります。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							USB_ SAFERSTZ

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:1	-	予約。読み出すと 0 を返します。
USB_SAFERSTZ	R/W	0	1	USB_SAFE_RSTZ を制御します。

備考 0 : リセット , 1 : リセット解除

3.2.123 クロック制御レジスタ 1

本レジスタ（CLKCTRL1：C011_088CH）は、PM0_SCLK および PM1_SCLK のクロック自動制御モードを有効／無効に設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved						PM1SCLKLP	PM0SCKLLP

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:2	-	予約。読み出すと 0 を返します。
PM1SCLKLP	R/W	1	1	PM1_SCLK 自動制御モード
PM0SCLKLP	R/W	0	1	PM0_SCLK 自動制御モード

備考 0：自動制御モード OFF，1：自動制御モード ON

3.2.124 SDIA用ウェイト・コントロール・レジスタ

本レジスタ (AB1_SDIAWAITCTRL : C011_0890H) は, SDIA 用 Wait を制御します。

31	30	29	28	27	26	25	24
Reserved					AB1_SDIA WAITCTRL26	AB1_SDIA WAITCTRL25	AB1_SDIA WAITCTRL24
23	22	21	20	19	18	17	16
Reserved				AB1_SDIA WAITCTRL19	AB1_SDIA WAITCTRL18	AB1_SDIA WAITCTRL17	AB1_SDIA WAITCTRL16
15	14	13	12	11	10	9	8
Reserved			AB1_SDIA WAITCTRL12	AB1_SDIA WAITCTRL11	AB1_SDIA WAITCTRL10	AB1_SDIA WAITCTRL9	AB1_SDIA WAITCTRL8
7	6	5	4	3	2	1	0
Reserved				AB1_SDIA WAITCTRL3	AB1_SDIA WAITCTRL2	AB1_SDIA WAITCTRL1	AB1_SDIA WAITCTRL0

(1/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:27	-	予約。読み出すと 0 を返します。
AB1_ SDIAWAITCTRL26	R/W	26	0	AB1_SDIAWAITCTRL ビット 26
AB1_ SDIAWAITCTRL25	R/W	25	0	AB1_SDIAWAITCTRL ビット 25
AB1_ SDIAWAITCTRL24	R/W	24	0	AB1_SDIAWAITCTRL ビット 24
Reserved	R	23:20	-	予約。読み出すと 0 を返します。
AB1_ SDIAWAITCTRL19	R/W	19	1	AB1_SDIAWAITCTRL ビット 19
AB1_ SDIAWAITCTRL18	R/W	18	1	AB1_SDIAWAITCTRL ビット 18
AB1_ SDIAWAITCTRL17	R/W	17	1	AB1_SDIAWAITCTRL ビット 17
AB1_ SDIAWAITCTRL16	R/W	16	1	AB1_SDIAWAITCTRL ビット 16
Reserved	R	15:13	-	予約。読み出すと 0 を返します。
AB1_ SDIAWAITCTRL12	R/W	12	1	AB1_SDIAWAITCTRL ビット 12
AB1_ SDIAWAITCTRL11	R/W	11	1	AB1_SDIAWAITCTRL ビット 11
AB1_ SDIAWAITCTRL10	R/W	10	1	AB1_SDIAWAITCTRL ビット 10
AB1_ SDIAWAITCTRL9	R/W	9	1	AB1_SDIAWAITCTRL ビット 9
AB1_ SDIAWAITCTRL8	R/W	8	1	AB1_SDIAWAITCTRL ビット 8
Reserved	R	7:4	-	予約。読み出すと 0 を返します。

(2/2)

名 称	R/W	ビット	リセット時	機 能
AB1_ SDIAWAITCTRL3	R/W	3	1	AB1_SDIAWAITCTRL ビット 3
AB1_ SDIAWAITCTRL2	R/W	2	1	AB1_SDIAWAITCTRL ビット 2
AB1_ SDIAWAITCTRL1	R/W	1	1	AB1_SDIAWAITCTRL ビット 1
AB1_ SDIAWAITCTRL0	R/W	0	1	AB1_SDIAWAITCTRL ビット 0

備考 このレジスタの詳細を次に示します。

(1) ASMU_AB1_slaveWAITCTRL レジスタ

(Address : 03C0H , 03C4H , 03C8H , 03CCH , 03D0H , 03E8H , 03F0H , 0890H)

本レジスタは、非同期バス制御信号の WAIT タイミング T0 , T1 , T2 , CSInt を設定します。

注意 ウェイト・タイミングを Read/Write 個別に設定することはできません。

31	30	29	28	27	26	25	24
Reserved					CSInt		
23	22	21	20	19	18	17	16
Reserved				T2			
15	14	13	12	11	10	9	8
Reserved			T1				
7	6	5	4	3	2	1	0
Reserved				T0			

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:27	-	予約。読み出すと 0 を返します。
CSInt	R/W	26:24	0H	CS = H 期間の制御。CSInt+1 サイクルが設定されます。
Reserved	R	23:20	-	予約。読み出すと 0 を返します。
T2	R/W	19:16	FH	T2 WAIT 制御。T2+1 サイクルが設定されます。
Reserved	R	15:13	-	予約。読み出すと 0 を返します。
T1	R/W	12:8	1FH	T1 WAIT 制御。T1+1 サイクルが設定されます。
Reserved	R	7:4	-	予約。読み出すと 0 を返します。
T0	R/W	3:0	FH	T0 WAIT 制御。T0+1 サイクルが設定されます。

[設定範囲について]

T0 : 0 ~ 15 の範囲で設定可能です。初期値は wait = 15 に設定されています。

T0 のサイクルは設定値+1 となります。

T1 : 0 ~ 31 の範囲で設定可能です。初期値は wait = 31 に設定されています。

T1 のサイクルは設定値+1 となります。

T2 : 0 ~ 15 の範囲で設定可能です。初期値は wait = 15 に設定されています。

T2 のサイクルは設定値+1 となります。

CSInt : 0 ~ 7 の範囲で設定可能です。初期値は 0 に設定されています。

CSInt のサイクルは設定値+1 となります。

3.2.125 SDIA用リード・モード・レジスタ

本レジスタ (AB1_SDIAREADCTRL : C011_0894H) は, SDIA 用リード・モード・レジスタです。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved		AB1_SDIA READCTRL5	AB1_SDIA READCTRL4	Reserved			

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:6	-	予約。読み出すと 0 を返します。
AB1_SDIAREADCT RL5	R/W	5	0	AB1_SDIAREADCTRL ビット 5
AB1_SDIAREADCT RL4	R/W	4	0	AB1_SDIAREADCTRL ビット 4
Reserved	R	3:0	-	予約。読み出すと 0 を返します。

備考 このレジスタの詳細を次に示します。

(1) ASMU_AB1_slaveREADCTRL

(Address : 03D4H , 03D8H , 03DCH , 03E0H , 03E4H , 03ECH , 03F4H , 0894H)

本レジスタは、非同期バスのリード・データのフェッチ・タイミングのRDTを設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved		RDT		Reserved			

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:6	-	予約。読み出すと0を返します。
RDT	R/W	5:4	00b	リード・データ・ラッチのタイミングを変更します。 00b : ラッチ・タイミング変更なし (RDB 信号ディアサート・タイミング) 01b : - 2 サイクル目 (RDZ 信号ディアサート・タイミングの2サイクル前) 10b : - 3 サイクル目 (RDZ 信号ディアサート・タイミングの3サイクル前) 11b : - 4 サイクル目 (RDZ 信号ディアサート・タイミングの4サイクル前)
Reserved	R	3:0	-	予約。読み出すと0を返します。

3.2.126 ASMU-MEMC間ハンドシェーク機能切り替えレジスタ

本レジスタ（MEMC_HAND_SHAKE_FAKE：C011_08A0H）は、クロック・モード切り替え時の ASMU-MEMC 間のハンドシェークをフェイクします。フェイク機能を有効にした場合、MEMC から ACK が返らなくてもクロック・モード切り替えを実行します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							ASMU_ MEMC_HS_ FAKE

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:1	-	予約。読み出すと 0 を返します。
ASMU_MEMC_HS_F AKE	R/W	0	0	クロック・モード切り替え時の ASMU-MEMC 間のハンドシェークを フェイクします。 0：フェイク機能無効 1：フェイク機能有効

3.2.127 USBコアセレクトレジスタ

本レジスタ（SEL_BIGWEST：C011_08B8H）は、USB のコアを選択するレジスタです。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved							SEL_ BIGWEST

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:1	-	予約。読み出すと 0 を返します。
SEL_BIGWEST	R/W	0	0	USB コアを選択します。 0：OLD USB Core 1：NEW USB Core

注）本レジスタは”1”固定で使用してください。

3.3 レジスタ機能（汎用入出力ポート）

ここでは、GPIO ポート 31～0 用のレジスタ機能について説明します。

GPIO ポート[31:0]用レジスタ（GIO_xxxx_L）、GPIO ポート[63:32]用レジスタ（GIO_xxxx_H）、GPIO ポート[95:64]用レジスタ（GIO_xxxx_HH）、および GPIO ポート[127:96]用レジスタ（GIO_xxxx_HHHH）は同じ構造です。

3.3.1 ポート切り替え設定レジスタ（出力設定）

本レジスタ（GIO_E1）は、GPIO ポート[31:0]端子を出力に切り替えるレジスタです。

GPIO[31:0]ポート切り替え設定レジスタ（出力設定）（GIO_E1_L：C005_0000H）

GPIO[63:32]ポート切り替え設定レジスタ（出力設定）（GIO_E1_H：C005_0040H）

GPIO[95:64]ポート切り替え設定レジスタ（出力設定）（GIO_E1_HH：C005_0080H）

GPIO[127:96]ポート切り替え設定レジスタ（出力設定）（GIO_E1_HHH：C005_0200H）

31	30	29	28	27	26	25	24
GIO_E1							
23	22	21	20	19	18	17	16
GIO_E1							
15	14	13	12	11	10	9	8
GIO_E1							
7	6	5	4	3	2	1	0
GIO_E1							

名 称	R/W	ビット	リセット時	機 能
GIO_E1	W	31:0	0	GPIO ポート[31:0]端子の入力 / 出力切り替え信号を 1（出力）に設定します。 0：保持（NOP） 1：入力 / 出力切り替え信号を 1（出力）に設定。

備考 詳細は 4.4.1 入出力制御を参照してください。

3.3.2 ポート切り替え設定レジスタ（入力設定） / ポート状態モニタ・レジスタ

本レジスタ（GIO_E0 / GIO_EM）は、ライト時に GPIO ポート[31:0]端子を入力に切り替え、リード時に GPIO ポートの入力 / 出力設定状態を読み出します。

GPIO[31:0]ポート切り替え設定レジスタ（入力設定）（GIO_E0_L : C005_0004H）

GPIO[63:32]ポート切り替え設定レジスタ（入力設定）（GIO_E0_H : C005_0044H）

GPIO[95:64]ポート切り替え設定レジスタ（入力設定）（GIO_E0_HH : C005_0084H）

GPIO[127:96]ポート切り替え設定レジスタ（入力設定）（GIO_E0_HHH : C005_0204H）

GPIO[31:0]ポート状態モニタ・レジスタ（GIO_EM_L : C005_0004H）

GPIO[63:32]ポート状態モニタ・レジスタ（GIO_EM_H : C005_0044H）

GPIO[95:64]ポート状態モニタ・レジスタ（GIO_EM_HH : C005_0084H）

GPIO[127:96]ポート状態モニタ・レジスタ（GIO_EM_HHHH : C005_0204H）

31	30	29	28	27	26	25	24
GIO_E0 / GIO_EM							
23	22	21	20	19	18	17	16
GIO_E0 / GIO_EM							
15	14	13	12	11	10	9	8
GIO_E0 / GIO_EM							
7	6	5	4	3	2	1	0
GIO_E0 / GIO_EM							

名 称	R/W	ビット	リセット時	機 能
GIO_E0	W	31:0	0	GPIO ポート[31:0] 端子の入力 / 出力切り替え信号を 0 (入力) に設定します。 0 : 保持 (NOP) 1 : 入力 / 出力切り替え信号を 0 (入力) に設定。
GIO_EM	R			GPIO ポートの入力 / 出力設定状態がモニタできます。 0 : 入力 / 出力切り替え信号が 0 (入力) 1 : 入力 / 出力切り替え信号が 1 (出力)

備考 詳細は 4.4.1 入出力制御を参照してください。

3.3.3 出力データ設定レジスタ

本レジスタ（GIO_OL）は，GPIO[15:0] への出力データを設定します。

GPIO[15:0]出力データ設定レジスタ（GIO_OL_L：C005_0008H）

GPIO[47:32]出力データ設定レジスタ（GIO_OL_H：C005_0048H）

GPIO[79:64]出力データ設定レジスタ（GIO_OL_HH：C005_0088H）

GPIO[111:96]出力データ設定レジスタ（GIO_OL_HHH：C005_0208H）

31	30	29	28	27	26	25	24
GIO_OE[15:8]							
23	22	21	20	19	18	17	16
GIO_OE[7:0]							
15	14	13	12	11	10	9	8
GIO_OD[15:8]							
7	6	5	4	3	2	1	0
GIO_OD[7:0]							

名 称	R/W	ビット	リセット時	機 能
GIO_OE	W	31:16	-	出力イネーブル・データを設定します。 GIO_OD[15:0]への書き込みを許可します。読み出すと 0 を返します。
GIO_OD	R/W	15:0	0	出力データを設定します。 GPIO 端子が出力状態のポートに対して，ポートへ出力する値を設定します。

備考 詳細は 4.4.2 出力データの設定と入力データの読み込みを参照してください。

3.3.4 出力データ設定レジスタ

本レジスタ（GIO_OH）は、GPIO[31:16]への出力データを設定します。

GPIO[31:16]出力データ設定レジスタ（GIO_OH_L：C005_000CH）

GPIO[63:48]出力データ設定レジスタ（GIO_OH_H：C005_004CH）

GPIO[95:80]出力データ設定レジスタ（GIO_OH_HH：C005_008CH）

GPIO[127:112]出力データ設定レジスタ（GIO_OH_HHH：C005_020CH）

31	30	29	28	27	26	25	24
GIO_OE[31:24]							
23	22	21	20	19	18	17	16
GIO_OE[23:16]							
15	14	13	12	11	10	9	8
GIO_OD[31:24]							
7	6	5	4	3	2	1	0
GIO_OD[23:16]							

名 称	R/W	ビット	リセット時	機 能
GIO_OE	W	31:16	-	出力イネーブル・データを設定します。 GIO_OD[31:16]への書き込みを許可します。読み出すと0を返します。
GIO_OD	R/W	15:0	0	出力データを設定します。 GPIO 端子が出力状態のポートに対して、ポートへ出力する値を設定します。

備考 詳細は 4.4.2 出力データの設定と入力データの読み込みを参照してください。

3.3.5 入力データ・リード・レジスタ

本レジスタ（GIO_I）は、GPIO[31:0] への入力ポートの内容を読み出します。

GPIO[31:0]入力データ・リード・レジスタ（GIO_I_L：C005_0010H）

GPIO[63:32]入力データ・リード・レジスタ（GIO_I_H：C005_0050H）

GPIO[95:64]入力データ・リード・レジスタ（GIO_I_HH：C005_0090H）

GPIO[127:96]入力データ・リード・レジスタ（GIO_I_HHH：C005_0210H）

31	30	29	28	27	26	25	24
GIO_I							
23	22	21	20	19	18	17	16
GIO_I							
15	14	13	12	11	10	9	8
GIO_I							
7	6	5	4	3	2	1	0
GIO_I							

名 称	R/W	ビット	リセット時	機 能
GIO_I	R	31:0	注	入力データを示します。 外部 GPIO 入力ポート内容を読むことができます。

注 外部端子の状態によってリセット時の値が決まります。

3.3.6 入力ポート割り込み有効指定レジスタ

本レジスタ (GIO_IIA) は、個々の入力ポートに対して、割り込み機能を持たせるかどうかを設定します。このレジスタを“1”にすると、割り込み要因は GIO_RAW/RAWB ステータスに反映されます。このレジスタを“0”にすると、割り込み要因もクリアされます。

GPIO[31:0]入力ポート割り込み有効指定レジスタ (GIO_IIA_L : C005_0014H)

GPIO[63:32]入力ポート割り込み有効指定レジスタ (GIO_IIA_H : C005_0054H)

GPIO[95:64]入力ポート割り込み有効指定レジスタ (GIO_IIA_HH : C005_0094H)

GPIO[127:96]入力ポート割り込み有効指定レジスタ (GIO_IIA_HHH : C005_0214H)

31	30	29	28	27	26	25	24
GIO_IIA							
23	22	21	20	19	18	17	16
GIO_IIA							
15	14	13	12	11	10	9	8
GIO_IIA							
7	6	5	4	3	2	1	0
GIO_IIA							

名 称	R/W	ビット	リセット時	機 能
GIO_IIA	R/W	31:0	0	0 : 割り込み検出機能が無効。 1 : 割り込み検出機能が有効。

- 備考 1.** 割り込み検出の手順の詳細は **5.2.1 入力ポートの割り込み機能設定手順**を参照してください。
- 2.** 設定変更した場合は、GIO_INT_CLK で3クロック待ってから GIO_IIA を有効にしてください。

3.3.7 入力ポート割り込みイネーブル・レジスタ（マスク解除）

本レジスタ（GIO_IEN）は、各ポートの割り込みの許可を設定します。

本レジスタは、GIO_IIA_L/H/HH/HHH レジスタの割り込みをイネーブルにします。1 を書き込んだビットのみ対応する内容を更新します。0 を書き込んだ場合は、値が保持されます。

GPIO[31:0]入力ポート割り込みイネーブル・レジスタ（マスク解除）（GIO_IEN_L：C005_0018H）

GPIO[63:32]入力ポート割り込みイネーブル・レジスタ（マスク解除）（GIO_IEN_H：C005_0058H）

GPIO[95:64]入力ポート割り込みイネーブル・レジスタ（マスク解除）（GIO_IEN_HH：C005_0098H）

GPIO[127:96]入力ポート割り込みイネーブル・レジスタ（マスク解除）（GIO_IEN_HHH：C005_0218H）

31	30	29	28	27	26	25	24
GIO_IEN							
23	22	21	20	19	18	17	16
GIO_IEN							
15	14	13	12	11	10	9	8
GIO_IEN							
7	6	5	4	3	2	1	0
GIO_IEN							

名 称	R/W	ビット	リセット時	機 能
GIO_IEN	W	31:0	0	割り込み許可を設定します。 0：保持（NOP） 1：割り込み有効

備考 割り込み検出の手順の詳細は 5.2.1 入力ポートの割り込み機能設定手順を参照してください。

3.3.8 入力ポート割り込みディスエーブル設定レジスタ（マスク設定）／入力ポート割り込みイネーブル・モニタ・レジスタ

本レジスタ（GIO_IDS / GIO_IIM）は、ライト時に GPIO ポートの割り込みをディスエーブルに設定し、リード時に GPIO ポートの割り込み状態を読み出せます。

GPIO[31:0]入力ポート割り込みディスエーブル・レジスタ（マスク設定）（GIO_IDS_L : C005_001CH）

GPIO[63:32]入力ポート割り込みディスエーブル・レジスタ（マスク設定）（GIO_IDS_H : C005_005CH）

GPIO[95:64]入力ポート割り込みディスエーブル・レジスタ（マスク設定）（GIO_IDS_HH : C005_009CH）

GPIO[127:96]入力ポート割り込みディスエーブル・レジスタ（マスク設定）（GIO_IDS_HHH : C005_021CH）

GPIO[31:0]入力ポート割り込みイネーブル・モニタ・レジスタ（GIO_IIM_L : C005_001CH）

GPIO[63:32]入力ポート割り込みイネーブル・モニタ・レジスタ（GIO_IIM_H : C005_005CH）

GPIO[95:64]入力ポート割り込みイネーブル・モニタ・レジスタ（GIO_IIM_HH : C005_009CH）

GPIO[127:98]入力ポート割り込みイネーブル・モニタ・レジスタ（GIO_IIM_HHH : C005_021CH）

31	30	29	28	27	26	25	24
GIO_IDS / GIO_IIM							
23	22	21	20	19	18	17	16
GIO_IDS / GIO_IIM							
15	14	13	12	11	10	9	8
GIO_IDS / GIO_IIM							
7	6	5	4	3	2	1	0
GIO_IDS / GIO_IIM							

名 称	R/W	ビット	リセット時	機 能
GIO_IDS	W	31:0	0	各ポートの割り込みをディスエーブルにします。 0 : 保持（NOP） 1 : 割り込み禁止
GIO_IIM	R			各ポートの割り込み設定状態をモニタできます。 0 : 割り込み禁止 1 : 割り込み許可

備考 割り込み検出の手順の詳細は 5.2.1 入力ポートの割り込み機能設定手順を参照してください。

3.3.9 入力ポート割り込みRawステータス・レジスタ

本レジスタ（GIO_RAW）は、GIO_IEN レジスタ、GIO_IDS レジスタの状態にかかわらず割り込み要因の状態を示す読み出し専用レジスタです。

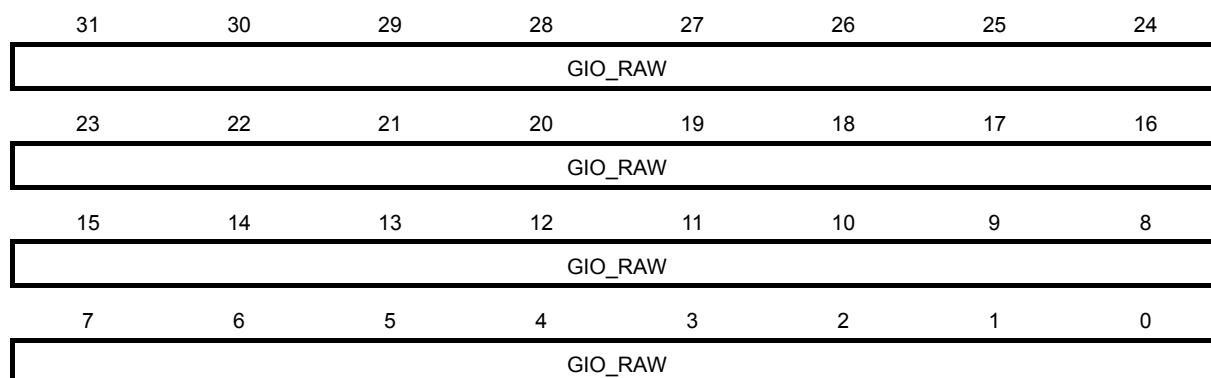
本レジスタをクリアする場合は、GIO_IIR レジスタの対象ビットに 1 を書き込むことでクリアできます。

GPIO[31:0]入力ポート割り込み要因ステータス・レジスタ（GIO_RAW_L：C005_0020H）

GPIO[63:32]入力ポート割り込み要因ステータス・レジスタ（GIO_RAW_H：C005_0060H）

GPIO[95:64]入力ポート割り込み要因ステータス・レジスタ（GIO_RAW_HH：C005_00A0H）

GPIO[127:96]入力ポート割り込み要因ステータス・レジスタ（GIO_RAW_HHH：C005_0220H）



名 称	R/W	ビット	リセット時	機 能
GIO_RAW	R	31:0	0	個々の GPIO ポートの割り込み要因の状態を示します。 0：要因が発生していない。 1：要因が発生している。

備考 割り込み検出の手順の詳細は 5.2.1 入力ポートの割り込み機能設定手順を参照してください。

3.3.10 入力ポート割り込みマスカブル・ステータス・レジスタ

本レジスタ（GIO_MST）は、割り込み要因のイネーブルが設定されたビットの要因の発生を記憶します。

GPIO[31:0]入力ポート割り込みマスカブル・ステータス・レジスタ（GIO_MST_L：C005_0024H）

GPIO[63:32]入力ポート割り込みマスカブル・ステータス・レジスタ（GIO_MST_H：C005_0064H）

GPIO[95:64]入力ポート割り込みマスカブル・ステータス・レジスタ（GIO_MST_HH：C005_00A4H）

GPIO[127:96]入力ポート割り込みマスカブル・ステータス・レジスタ（GIO_MST_HHH：C005_0224H）

31	30	29	28	27	26	25	24
GIO_MST							
23	22	21	20	19	18	17	16
GIO_MST							
15	14	13	12	11	10	9	8
GIO_MST							
7	6	5	4	3	2	1	0
GIO_MST							

名 称	R/W	ビット	リセット時	機 能
GIO_MST	R	31:0	0	個々の GPIO ポートの割り込み要因の状態を示します。割り込みイネーブルが設定されたビットのみ要因の発生を記憶します。 0：要因が発生していない。 1：要因が発生している。

備考 割り込み検出の手順の詳細は 5.2.1 入力ポートの割り込み機能設定手順を参照してください。

3.3.11 入力ポート割り込み要因リセット・レジスタ

本レジスタ（GIO_IIR）は、設定した割り込み要因をクリアします。

GPIO[31:0]入力ポート割り込み要因リセット・レジスタ（GIO_IIR_L：C005_0028H）

GPIO[63:32]入力ポート割り込み要因リセット・レジスタ（GIO_IIR_H：C005_0068H）

GPIO[95:64]入力ポート割り込み要因リセット・レジスタ（GIO_IIR_HH：C005_00A8H）

GPIO[127:96]入力ポート割り込み要因リセット・レジスタ（GIO_IIR_HHH：C005_0228H）

31	30	29	28	27	26	25	24
GIO_IIR							
23	22	21	20	19	18	17	16
GIO_IIR							
15	14	13	12	11	10	9	8
GIO_IIR							
7	6	5	4	3	2	1	0
GIO_IIR							

名 称	R/W	ビット	リセット時	機 能
GIO_IIR	W	31:0	0	割り込み要因をクリアします。 1を書き込むと、GIO_RAWB レジスタが保持する両エッジの要因がクリアされます。GIO_RAWB レジスタの片方の要因のみをクリアする場合は GIO_IRB レジスタを設定してください。 0：保持（NOP） 1：割り込み要因ステータス・レジスタ（GIO_RAW、GIO_MST、GIO_RAWBL/H）をクリアします。

備考 割り込み検出の手順の詳細は 5.2.1 入力ポートの割り込み機能設定手順を参照してください。

3.3.12 GIO_INT_FIQ端子接続レジスタ

本レジスタ(GIO_GSW)は、割り込み要因(GIO_RAW レジスタ)ステータスを AINT マクロへの信号(GIO_INT_FIQ)に出力するかどうかを設定します。

GPIO[31:0] GIO_INT_FIQ 端子接続レジスタ (GIO_GSW_L : C005_003CH)

GPIO[63:32] GIO_INT_FIQ 端子接続レジスタ (GIO_GSW_H : C005_007CH)

GPIO[95:64] GIO_INT_FIQ 端子接続レジスタ (GIO_GSW_HH : C005_00BCH)

GPIO[127:96] GIO_INT_FIQ 端子接続レジスタ (GIO_GSW_HHH : C005_023CH)

31	30	29	28	27	26	25	24
GIO_GSW							
23	22	21	20	19	18	17	16
GIO_GSW							
15	14	13	12	11	10	9	8
GIO_GSW							
7	6	5	4	3	2	1	0
GIO_GSW							

名 称	R/W	ビット	リセット時	機 能
GIO_GSW	R/W	31:0	0	割り込み要因 (GIO_RAW レジスタ) ステータスを AINT マクロへの信号 (GIO_INT_FIQ) に出力するかどうかを設定します。 0: 割り込み要因ステータス・レジスタ(GIO_RAW)を GIO_INT_FIQ へ出力しません。 1: 割り込み要因ステータス・レジスタ(GIO_RAW)を GIO_INT_FIQ へ出力します。

備考 割り込み検出の手順の詳細は 5.2.1 入力ポートの割り込み機能設定手順を参照してください。

- 注意**
1. GIO_GSW[127:0]に複数のビットを“1(接続)”に設定した場合、該当ビットのうち1つでも GIO_RAW = 1 となると、GIO_INT_FIQ がアサートされます。
 2. GIO_GSW[127:0]にすべて 0 を設定した場合、GIO_INT_FIQ はアサートされません。

3.3.13 入力ポート割り込み検出方式レジスタ

本レジスタ（GIO_IDT0）は、割り込みの検出方法を設定します。

GPIO[7:0]入力ポート割り込み検出方式レジスタ（GIO_IDT0_L：C005_0100H）

GPIO[39:32]入力ポート割り込み検出方式レジスタ（GIO_IDT0_H：C005_0140H）

GPIO[71:64]入力ポート割り込み検出方式レジスタ（GIO_IDT0_HH：C005_0180H）

GPIO[103:96]入力ポート割り込み検出方式レジスタ（GIO_IDT0_HHH：C005_0300H）

31	30	29	28	27	26	25	24
GIO_IDT0_7				GIO_IDT0_6			
23	22	21	20	19	18	17	16
GIO_IDT0_5				GIO_IDT0_4			
15	14	13	12	11	10	9	8
GIO_IDT0_3				GIO_IDT0_2			
7	6	5	4	3	2	1	0
GIO_IDT0_1				GIO_IDT0_0			

名 称	R/W	ビット	リセット時	機 能
GIO_IDT0_7	R/W	31:28	0	GPIO ポート 7 の割り込み検出方式を設定します。
GIO_IDT0_6	R/W	27:24	0	GPIO ポート 6 の割り込み検出方式を設定します。
GIO_IDT0_5	R/W	23:20	0	GPIO ポート 5 の割り込み検出方式を設定します。
GIO_IDT0_4	R/W	19:16	0	GPIO ポート 4 の割り込み検出方式を設定します。
GIO_IDT0_3	R/W	15:12	0	GPIO ポート 3 の割り込み検出方式を設定します。
GIO_IDT0_2	R/W	11:8	0	GPIO ポート 2 の割り込み検出方式を設定します。
GIO_IDT0_1	R/W	7:4	0	GPIO ポート 1 の割り込み検出方式を設定します。
GIO_IDT0_0	R/W	3:0	0	GPIO ポート 0 の割り込み検出方式を設定します。

備考 1. 割り込み検出方式の割り振りについては **4.4.3 割り込み検出方式の説明**を参照してください。

2. 割り込み検出の手順の詳細は **5.2.1 入力ポートの割り込み機能設定手順**を参照してください。

3.3.14 入力ポート割り込み検出方式レジスタ

本レジスタ（GIO_IDT1）は、割り込みの検出方法を設定します。

GPIO[15:8]入力ポート割り込み検出方式レジスタ（GIO_IDT1_L：C005_0104H）

GPIO[47:40]入力ポート割り込み検出方式レジスタ（GIO_IDT1_H：C005_0144H）

GPIO[79:72]入力ポート割り込み検出方式レジスタ（GIO_IDT1_HH：C005_0184H）

GPIO[111:104]入力ポート割り込み検出方式レジスタ（GIO_IDT1_HHH：C005_0304H）

31	30	29	28	27	26	25	24
GIO_IDT1_15				GIO_IDT1_14			
23	22	21	20	19	18	17	16
GIO_IDT1_13				GIO_IDT1_12			
15	14	13	12	11	10	9	8
GIO_IDT1_11				GIO_IDT1_10			
7	6	5	4	3	2	1	0
GIO_IDT1_9				GIO_IDT1_8			

名 称	R/W	ビット	リセット時	機 能
GIO_IDT1_15	R/W	31:28	0	GPIO ポート 15 の割り込み検出方式を設定します。
GIO_IDT1_14	R/W	27:24	0	GPIO ポート 14 の割り込み検出方式を設定します。
GIO_IDT1_13	R/W	23:20	0	GPIO ポート 13 の割り込み検出方式を設定します。
GIO_IDT1_12	R/W	19:16	0	GPIO ポート 12 の割り込み検出方式を設定します。
GIO_IDT1_11	R/W	15:12	0	GPIO ポート 11 の割り込み検出方式を設定します。
GIO_IDT1_10	R/W	11:8	0	GPIO ポート 10 の割り込み検出方式を設定します。
GIO_IDT1_9	R/W	7:4	0	GPIO ポート 9 の割り込み検出方式を設定します。
GIO_IDT1_8	R/W	3:0	0	GPIO ポート 8 の割り込み検出方式を設定します。

備考 1. 割り込み検出方式の割り振りについては **4.4.3 割り込み検出方式の説明**を参照してください。

2. 割り込み検出の手順の詳細は **5.2.1 入力ポートの割り込み機能設定手順**を参照してください。

3.3.15 入力ポート割り込み検出方式レジスタ

本レジスタ（GIO_IDT2）は、割り込みの検出方法を設定します。

GPIO[23:16]入力ポート割り込み検出方式レジスタ（GIO_IDT2_L：C005_0108H）

GPIO[55:48]入力ポート割り込み検出方式レジスタ（GIO_IDT2_H：C005_0148H）

GPIO[87:80]入力ポート割り込み検出方式レジスタ（GIO_IDT2_HH：C005_0188H）

GPIO[119:112]入力ポート割り込み検出方式レジスタ（GIO_IDT2_HHH：C005_0308H）

31	30	29	28	27	26	25	24
GIO_IDT2_23				GIO_IDT2_22			
23	22	21	20	19	18	17	16
GIO_IDT2_21				GIO_IDT2_20			
15	14	13	12	11	10	9	8
GIO_IDT2_19				GIO_IDT2_18			
7	6	5	4	3	2	1	0
GIO_IDT2_17				GIO_IDT2_16			

名 称	R/W	ビット	リセット時	機 能
GIO_IDT2_23	R/W	31:28	0	GPIO ポート 23 の割り込み検出方式を設定します。
GIO_IDT2_22	R/W	27:24	0	GPIO ポート 22 の割り込み検出方式を設定します。
GIO_IDT2_21	R/W	23:20	0	GPIO ポート 21 の割り込み検出方式を設定します。
GIO_IDT2_20	R/W	19:16	0	GPIO ポート 20 の割り込み検出方式を設定します。
GIO_IDT2_19	R/W	15:12	0	GPIO ポート 19 の割り込み検出方式を設定します。
GIO_IDT2_18	R/W	11:8	0	GPIO ポート 18 の割り込み検出方式を設定します。
GIO_IDT2_17	R/W	7:4	0	GPIO ポート 17 の割り込み検出方式を設定します。
GIO_IDT2_16	R/W	3:0	0	GPIO ポート 16 の割り込み検出方式を設定します。

備考 1. 割り込み検出方式の割り振りについては **4.4.3 割り込み検出方式の説明**を参照してください。

2. 割り込み検出の手順の詳細は **5.2.1 入力ポートの割り込み機能設定手順**を参照してください。

3.3.16 入力ポート割り込み検出方式レジスタ

本レジスタ（GIO_IDT3）は、割り込みの検出方法を設定します。

GPIO[31:24]入力ポート割り込み検出方式レジスタ（GIO_IDT3_L：C005_010CH）

GPIO[63:56]入力ポート割り込み検出方式レジスタ（GIO_IDT3_H：C005_014CH）

GPIO[95:88]入力ポート割り込み検出方式レジスタ（GIO_IDT3_HH：C005_018CH）

GPIO[127:120]入力ポート割り込み検出方式レジスタ（GIO_IDT3_HHH：C005_030CH）

31	30	29	28	27	26	25	24
GIO_IDT3_31				GIO_IDT3_30			
23	22	21	20	19	18	17	16
GIO_IDT3_29				GIO_IDT3_28			
15	14	13	12	11	10	9	8
GIO_IDT3_27				GIO_IDT3_26			
7	6	5	4	3	2	1	0
GIO_IDT3_25				GIO_IDT3_24			

名 称	R/W	ビット	リセット時	機 能
GIO_IDT3_31	R/W	31:28	0	GPIO ポート 31 の割り込み検出方式を設定します。
GIO_IDT3_30	R/W	27:24	0	GPIO ポート 30 の割り込み検出方式を設定します。
GIO_IDT3_29	R/W	23:20	0	GPIO ポート 29 の割り込み検出方式を設定します。
GIO_IDT3_28	R/W	19:16	0	GPIO ポート 28 の割り込み検出方式を設定します。
GIO_IDT3_27	R/W	15:12	0	GPIO ポート 27 の割り込み検出方式を設定します。
GIO_IDT3_26	R/W	11:8	0	GPIO ポート 26 の割り込み検出方式を設定します。
GIO_IDT3_25	R/W	7:4	0	GPIO ポート 25 の割り込み検出方式を設定します。
GIO_IDT3_24	R/W	3:0	0	GPIO ポート 24 の割り込み検出方式を設定します。

備考 1. 割り込み検出方式の割り振りについては **4.4.3 割り込み検出方式の説明**を参照してください。

2. 割り込み検出の手順の詳細は **5.2.1 入力ポートの割り込み機能設定手順**を参照してください。

3.3.17 両エッジ検出時の各エッジの割り込みステータス・レジスタ

本レジスタ（GIO_RAWBL）は、割り込みが検出された場合に、立ち上がり／立ち下りのどちらのエッジで検出されたかを示すレジスタです。

GPIO[15:0]両エッジ検出時の各エッジの割り込みステータス・レジスタ（GIO_RAWBL_L：C005_0110H）

GPIO[47:32]両エッジ検出時の各エッジの割り込みステータス・レジスタ（GIO_RAWBL_H：C005_0150H）

GPIO[71:64]両エッジ検出時の各エッジの割り込みステータス・レジスタ（GIO_RAWBL_HH：C005_0190H）

GPIO[103:96]両エッジ検出時の各エッジの割り込みステータス・レジスタ（GIO_RAWBL_HHH：C005_0310H）

31	30	29	28	27	26	25	24
GIO_RAWN							
23	22	21	20	19	18	17	16
GIO_RAWN							
15	14	13	12	11	10	9	8
GIO_RAWP							
7	6	5	4	3	2	1	0
GIO_RAWP							

名 称	R/W	ビット	リセット時	機 能
GIO_RAWN	R	31:16	0	立ち下りエッジ検出 両エッジ検出モード時に、割り込みが立ち下りエッジで検出したことを示すレジスタです。ただし、立ち下りエッジ検出モードの場合でも本レジスタはセットされます。
GIO_RAWP	R	15:0	0	立ち上がりエッジ検出 両エッジ検出モード時に、割り込みが立ち上がりエッジで検出したことを示すレジスタです。ただし、立ち上がりエッジ検出モードの場合でも本レジスタはセットされます。

3.3.18 両エッジ検出時の各エッジの割り込みステータス・レジスタ

本レジスタ（GIO_RAWBH）は、割り込みが検出された場合に、立ち上がり／立ち下りのどちらのエッジで検出されたかを示すレジスタです。

GPIO[31:16]両エッジ検出時の各エッジの割り込みステータス・レジスタ（GIO_RAWBH_L：C005_0114H）

GPIO[63:48]両エッジ検出時の各エッジの割り込みステータス・レジスタ（GIO_RAWBH_H：C005_0154H）

GPIO[79:72]両エッジ検出時の各エッジの割り込みステータス・レジスタ（GIO_RAWBH_HH：C005_0194H）

GPIO[111:104]両エッジ検出時の各エッジの割り込みステータス・レジスタ（GIO_RAWBH_HHH：C005_0314H）

31	30	29	28	27	26	25	24
GIO_RAWN							
23	22	21	20	19	18	17	16
GIO_RAWN							
15	14	13	12	11	10	9	8
GIO_RAWP							
7	6	5	4	3	2	1	0
GIO_RAWP							

名 称	R/W	ビット	リセット時	機 能
GIO_RAWN	R	31:16	0	立ち下りエッジ検出 両エッジ検出モード時に、割り込みが立ち下りエッジで検出したことを示すレジスタです。ただし、立ち下りエッジ検出モードの場合でも本レジスタはセットされます。
GIO_RAWP	R	15:0	0	立ち上がりエッジ検出 両エッジ検出モード時に、割り込みが立ち上がりエッジで検出したことを示すレジスタです。ただし、立ち上がりエッジ検出モードの場合でも本レジスタはセットされます。

3.3.19 両エッジ検出時の各エッジの割り込み要因クリア・レジスタ

本レジスタ（GIO_IRBL）は、両エッジ検出モード時に、立ち上がり／立ち下がりそれぞれで発生した割り込み要因をクリアします。

GPIO[15:0]両エッジ検出時の各エッジの要因クリア・レジスタ（GIO_IRBL_L：C005_0118H）

GPIO[47:32]両エッジ検出時の各エッジの要因クリア・レジスタ（GIO_IRBL_H：C005_0158H）

GPIO[87:80]両エッジ検出時の各エッジの要因クリア・レジスタ（GIO_IRBL_HH：C005_0198H）

GPIO[119:112]両エッジ検出時の各エッジの要因クリア・レジスタ（GIO_IRBL_HHH：C005_0318H）

31	30	29	28	27	26	25	24
GIO_IRN							
23	22	21	20	19	18	17	16
GIO_IRN							
15	14	13	12	11	10	9	8
GIO_IRP							
7	6	5	4	3	2	1	0
GIO_IRP							

名 称	R/W	ビット	リセット時	機 能
GIO_IRN	W	31:16	0	両エッジ検出モード時に、立ち下がりエッジで検出した割り込み要因のみをクリアします。GIO_IIR レジスタにてクリアした場合は、両方のエッジの割り込み要因がクリアされます。 0：保持（NOP） 1：GIO_RAWBL/H レジスタの GIO_RAWN ビットをクリアします。
GIO_IRP	W	15:0	0	両エッジ検出モード時に、立ち上がりエッジで検出した割り込み要因のみをクリアします。GIO_IIR レジスタにてクリアした場合は、両方のエッジの割り込み要因がクリアされます。 0：保持（NOP） 1：GIO_RAWBL/H レジスタの GIO_RAWP ビットをクリアします。

3.3.20 両エッジ検出時の各エッジの割り込み要因クリア・レジスタ

本レジスタ (GIO_IRBH) は、両エッジ検出モード時に、立ち上がり / 立ち下がりそれぞれで発生した割り込み要因をクリアします。

GPIO[31:16]両エッジ検出時の各エッジの要因クリア・レジスタ (GIO_IRBH_L : C005_011CH)

GPIO[63:48]両エッジ検出時の各エッジの要因クリア・レジスタ (GIO_IRBH_H : C005_015CH)

GPIO[95:88]両エッジ検出時の各エッジの要因クリア・レジスタ (GIO_IRBH_HH : C005_019CH)

GPIO[127:120]両エッジ検出時の各エッジの要因クリア・レジスタ (GIO_IRBH_HHH : C005_031CH)

31	30	29	28	27	26	25	24
GIO_IRN							
23	22	21	20	19	18	17	16
GIO_IRN							
15	14	13	12	11	10	9	8
GIO_IRP							
7	6	5	4	3	2	1	0
GIO_IRP							

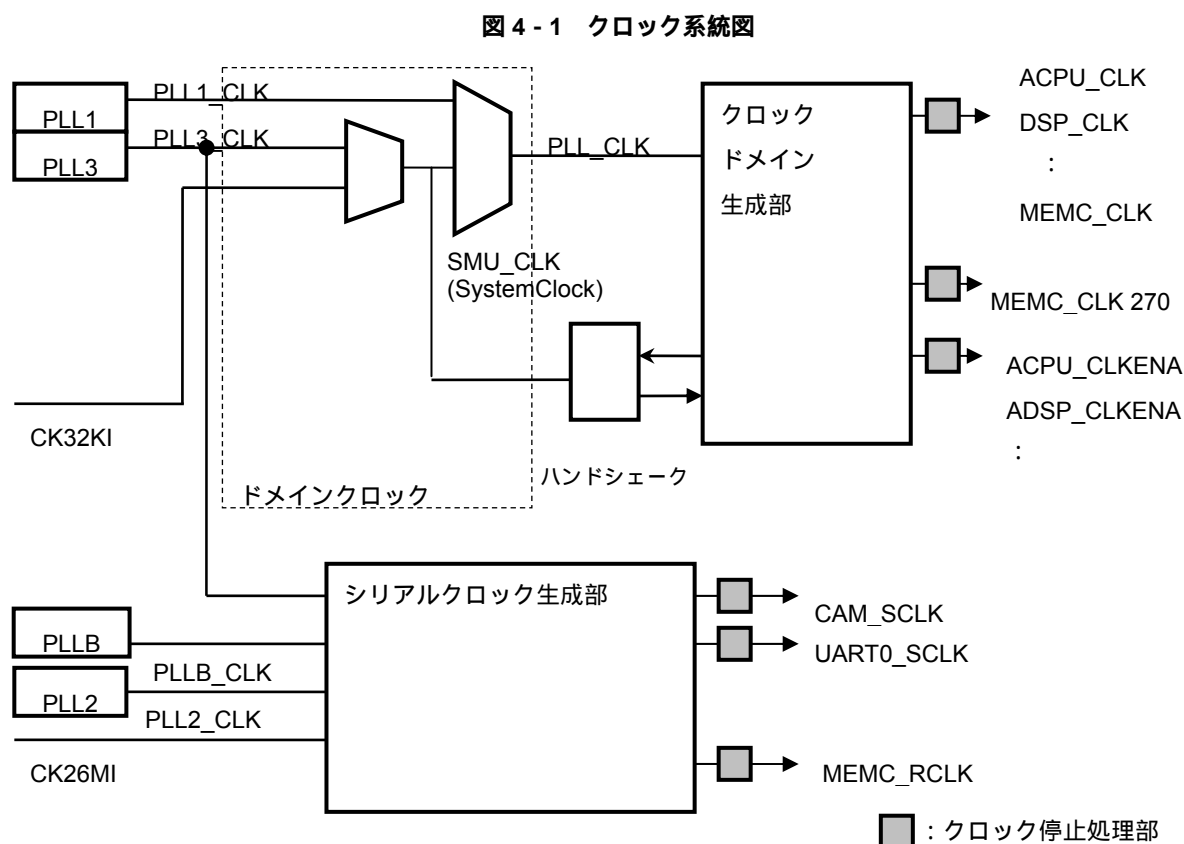
名 称	R/W	ビット	リセット時	機 能
GIO_IRN	W	31:16	0	両エッジ検出モード時に、立ち下がりエッジで検出した割り込み要因のみをクリアします。GIO_IIR レジスタにてクリアした場合は、両方のエッジの割り込み要因がクリアされます。 0 : 保持 (NOP) 1 : GIO_RAWBL/H レジスタの GIO_RAWN ビットをクリアします。
GIO_IRP	W	15:0	0	両エッジ検出モード時に、立ち上がりエッジで検出した割り込み要因のみをクリアします。【GIO_IIR】にてクリアした場合は、両方のエッジの割り込み要因がクリアされます。 0 : 保持 (NOP) 1 : GIO_RAWBL/H レジスタの GIO_RAWP ビットをクリアします。

第4章 機能詳細

4.1 クロック制御

- システム・クロックは、32.768 kHz 入力，PLL3（最大 230 MHz），PLL1（最大 500 MHz）のクロックから選択されます。
- 周辺用のクロックは PLL3 から生成されます。
- レジスタ設定で各マクロへのクロックの供給の ON，OFF が制御できます。
- ACPU へのクロックの供給を独立して ON，OFF できます。
- 各モジュールからのクロック・リクエストがなくなった場合に該当モジュールへのクロック供給を停止するクロック自動制御機構を備えます。
- 各マスタ・モジュールからのクロック・リクエストがなくなった場合に、予め SMU で設定してある分周率で PLL1 の出力を分周したクロックをシステム・クロックとする周波数自動切り替え機構を備えます（マスタからのクロック・リクエストが発生したら、ただちに 500 MHz に切り替えます）。

4.1.1 クロック系統の概略図



4.1.2 電源領域

EM1 はいくつかの電源領域に区分けされています。各電源領域の特徴は次のとおりになります。

- L0 領域

EM1 が省電力モードに遷移しても、電流が流れる領域です。省電力モード移行前の設定レジスタの内容を、省電力モード復帰後も保持しておきたいマクロなどが、この領域に属します。

- L1 領域

省電力モード時に、電源 OFF する領域です。

- L2 領域

省電力モード時に、電源 OFF する領域です。L0 から独立制御が可能な、USB のみが属する領域です。

- L3 領域

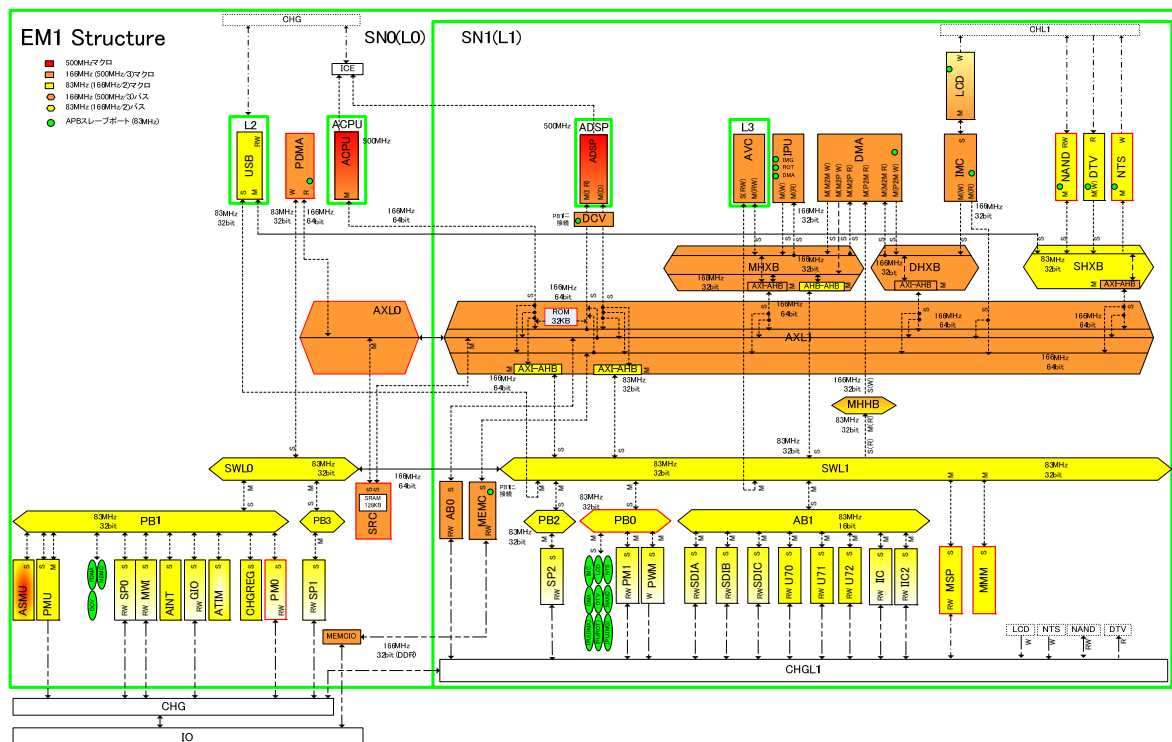
省電力モード時に、電源 OFF する領域です。L1 から独立制御が可能な、AVC (H.264 アクセラレータ) のみが属する領域です。

- ACPU 領域

省電力モード時に、電源 OFF する領域です。L1 から独立制御が可能な、ACPU のみが属する領域です。

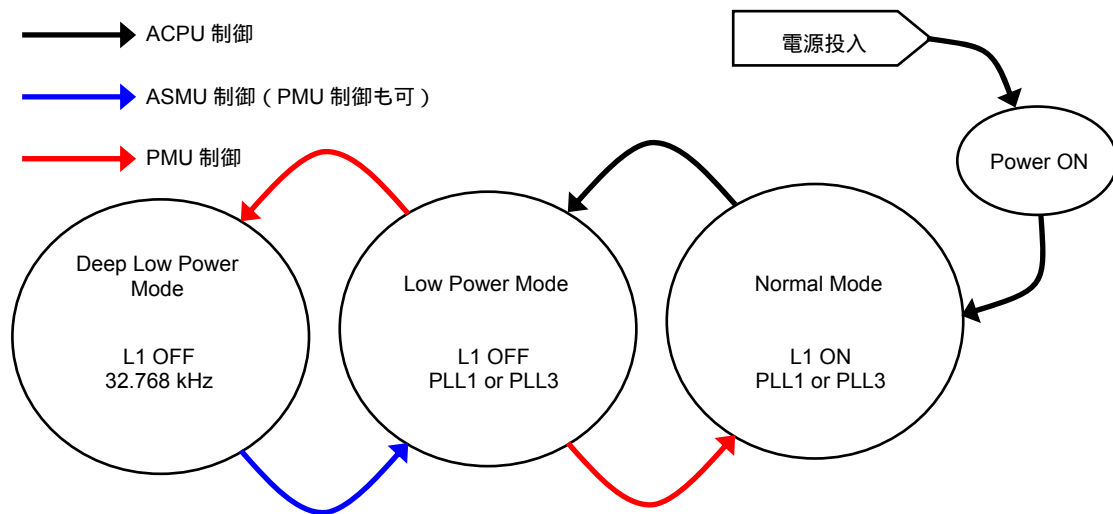
- ADSP 領域

省電力モード時に、電源 OFF する領域です。L1 から独立制御が可能な、ADSP のみが属する領域です。



4.1.3 動作モード

図 4 - 2 状態遷移図（全体）



EM1 のアプリケーション部は、3 種類の動作モードがあります。各モードの概要は次のとおりです。

- **Normal Mode**

通常動作モードです。L1 領域の電源は ON で、クロックのソースは PLL1 または PLL3 が用いられます。

- **Low Power Mode**

省電力モードです。L1 領域の電源は OFF で、クロックのソースは PLL1 または PLL3 が用いられます。PM0 は ON 状態です。

- **Deep Low Power Mode**

Low Power Mode よりも、さらに電力の低い省電力モードです。このモードでは、動作電圧も下がります。L1 領域の電源は OFF で、クロックのソースは 32.768 kHz が用いられます。

表 4 - 1 クロック , PLL などのまとめ

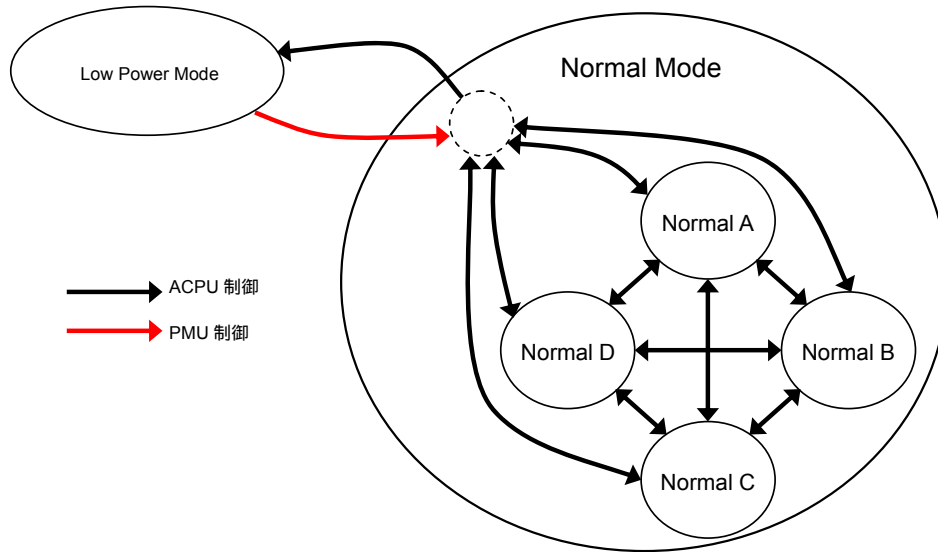
		Power ON		Normal Mode	Low Power Mode			Deep Low Power Mode
		Boot	退避時	Normal A ~ Normal D	Economy	Standby	Sleep	Power Down
Divide Rate	ACPU	1	1 - 8	1 - 8	-			
	ADSP	1	1 - 8	1 - 8	-			
	H-Bus ~ 166 MHz	2	1 - 8	1 - 8	1 - 8	2 - 16	1	
	LBUS (H-Bus/2) ~ 83 MHz	4	1 - 8	1 - 8	1 - 8	2 - 16	1	
	DDR(= H-Bus) ~ 166 MHz	2	1 - 8	1 - 8	-			
Clock Source		PLL3		PLL1, PLL1 × 1/4 (Auto Freq Ctrl)	PLL1	PLL3	PLL3	32.768 kHz
PLL Status	PLL1	OFF	OFF	ON	ON	ON	OFF	OFF
	PLL2 (Audio 専用)	OFF	ON	ON	ON	ON	ON	OFF
	PLL3	ON	ON	ON	ON	ON	ON	ON/OFF
DDR Access Clock		Full, 1/4		Full, 1/4	Full	1/4		Stop

各動作モードでの各クロック・ドメイン (ACPU , ADSP , H-Bus , LBUS , DDR) ごとのクロックの分周率やクロック・ソースのまとめを、表 4 - 1に示します。

分周率での、H-Bus , LBUS とはそれぞれ、High Speed Bus クロック・ドメイン , Low Speed Bus クロック・ドメインを指します。LBUS は H-Bus の 2 分周で動きます。クロック・ドメインについてはクロック系統図を参照してください (携帯マルチメディア・プロセッサ ユーザーズ・マニュアル 1 チップ編参照)。

4.1.4 Normal Mode

図 4 - 3 状態遷移図 (Normal Mode)

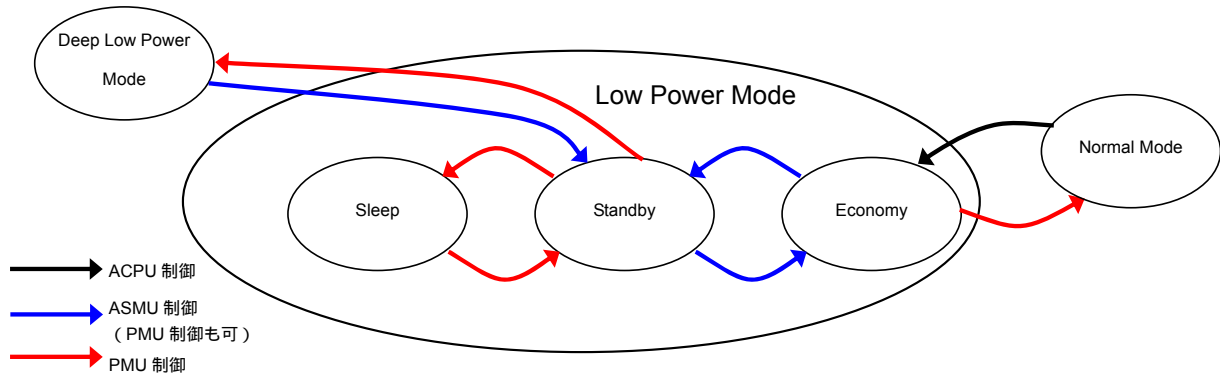


Normal Mode内には、Normal A～Dの4種類の動作モードがあります（図4-3参照）。Normal A～Dでは個々に、分周率が設定できます（3.2.30 Normal Mode A分周設定レジスタ～3.2.33 Normal Mode D分周設定レジスタを参照）。ACPUでNormal A～D間の状態遷移が可能です（3.2.11 クロック・モード選択レジスタを参照）。Normal ModeからLow Power Modeへの移行は、ACPUとPMUが協調し、行われます。

Normal Mode内は、Normal A～Dにかかわらず、周波数自動切り替え制御を行うことができます。周波数自動切り替え制御とは、指定したマスタ・マクロがすべて稼動していないときに、ASMUが自動でEM1全体の周波数を落とす制御のことを指します。周波数自動切り替え制御のON/OFFは3.2.72 周波数自動切り替え制御レジスタを参照してください。また、稼動を監視すべきマスタ・マクロの指定方法は3.2.73 周波数自動切り替え制御REQMASK0レジスタおよび3.2.74 周波数自動切り替え制御REQMASK1を参照してください。

4.1.5 Low Power Mode

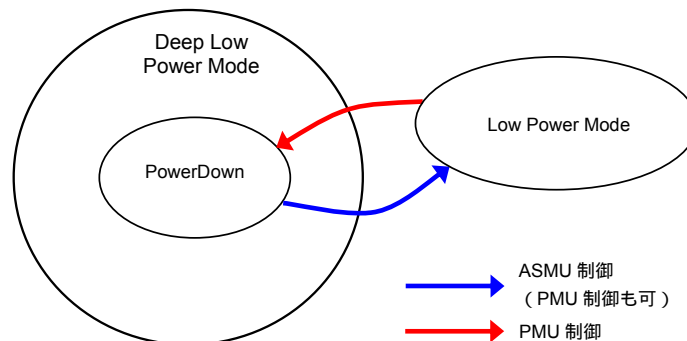
図 4 - 4 状態遷移図 (Low Power Mode)



Low Power Mode内には、Economy、Standby、Sleepの3種類の動作モードが存在します(図4-4を参照)。Economyではクロック・ソースはPLL1が用いられます。StandbyおよびSleep時は、PLL3がクロック・ソースとして用いられます(ただし、StandbyではPLL1はOFFにされません)。各動作モードの分周率設定は、Economyは**3.2.34 Economy Mode分周設定レジスタ**を、StandbyおよびSleepは**3.2.35 Standby Mode、Sleep Mode分周設定レジスタ**を参照してください。

4.1.6 Deep Low Power Mode

図 4 - 5 状態遷移図 (Deep Low Power Mode)



Deep Low Power Modeでは、PowerDownモードのみが存在します(図4-5参照)。このモードでは、動作電圧は下げられ、消費電力は最低限に抑えられます。LCD表示はOFFになります。

4.1.7 クロック・ソース

(1) RTC

RTC は、外部信号から入力される 32.768 kHz 固定のクロックです。

(2) PLL1

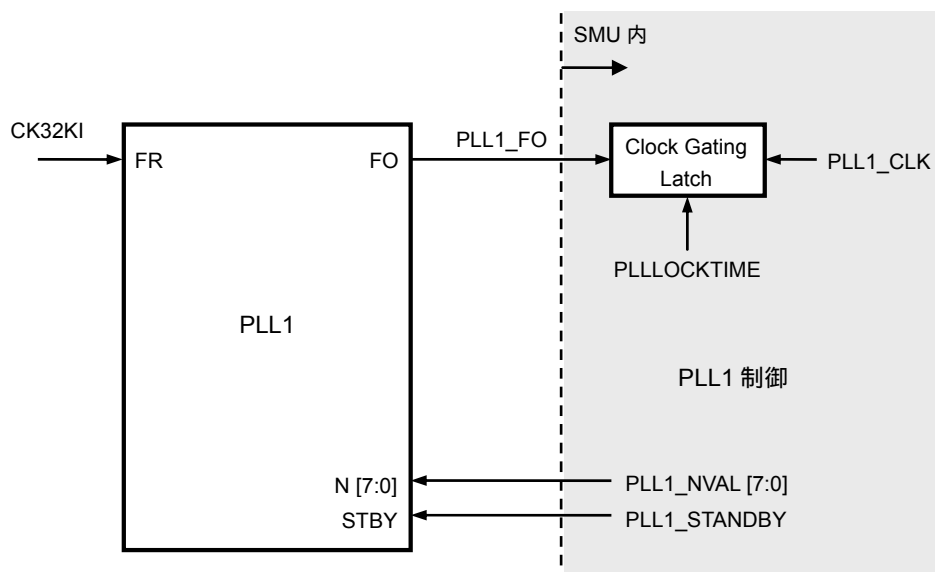
PLL1 は、RTC (32.768 kHz) を 9765 ~ 15250 通倍したクロックを生成する PLL です。320 MHz ~ 500 MHz の範囲で 4.096 MHz ステップごとにクロック生成することができます。通常動作時のメイン・クロック用として使用します。通倍率は可変です (通倍率変更時は、ほかの PLL にクロック・ソースを退避してから変更してください)。PLL1_STANDBY レジスタを設定することで PLL1 が起動しますが、ロックアップ・タイム期間内は PLL1 出力クロック (PLL1_FO) が ASMU 内部でマスクされます。

$$FO = FR \times 125 \times n$$

表 4 - 2 PLL1 発振周波数設定パラメータ

	MIN	MAX	ステップ	レジスタ値との対応
n	79	122	1	$n = \text{PLL1_NVAL}[7:0] + 1$
FO	$FR \times 9875$	$FR \times 15250$	-	-

図 4 - 6 PLL1 接続図



(3) PLL3

PLL3 は、RTC (32.768 kHz) を 6750 ~ 7875 通倍したクロックを生成する PLL で、220 ~ 260MHz のクロックを生成します。一般のマクロ (外部とのシリアル転送を行う種類もの) 用のクロック、およびシステム・クロックとして常時動作します。

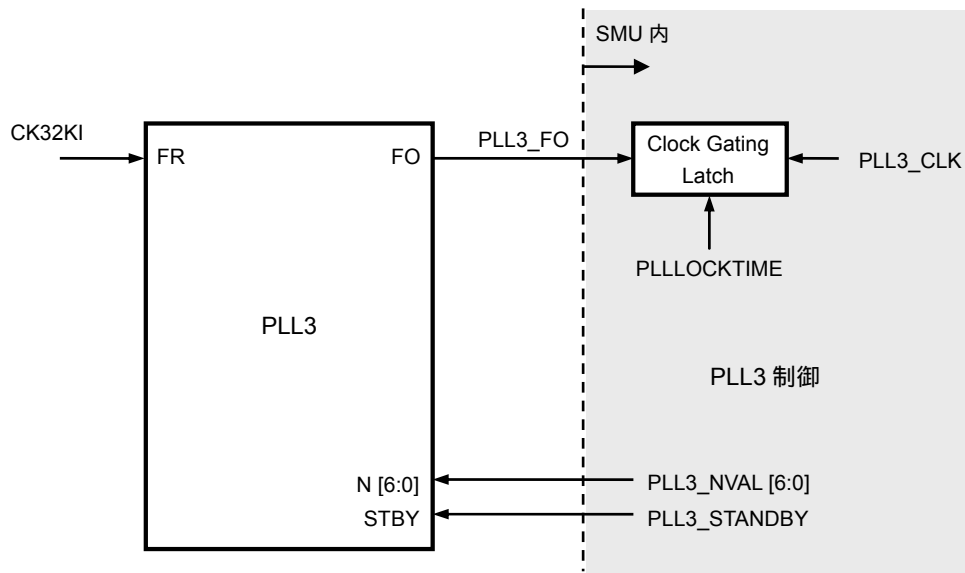
PLL3_STANDBY レジスタを設定することで PLL3 が起動しますが、ロックアップ・タイム期間内は PLL3 出力クロック (PLL3_FO) が ASMU 内部でマスクされます。

$$FO = FR (= 32.768 \text{ kHz}) \times 125 \times n$$

表 4 - 3 PLL3 発振周波数設定パラメータ

	MIN	MAX	ステップ	レジスタ値との対応
n	53	63	1	n = PLL3_NVAL [7:0] + 1
FO	FR × 6750	FR × 7875	-	-

図 4 - 7 PLL1 接続図



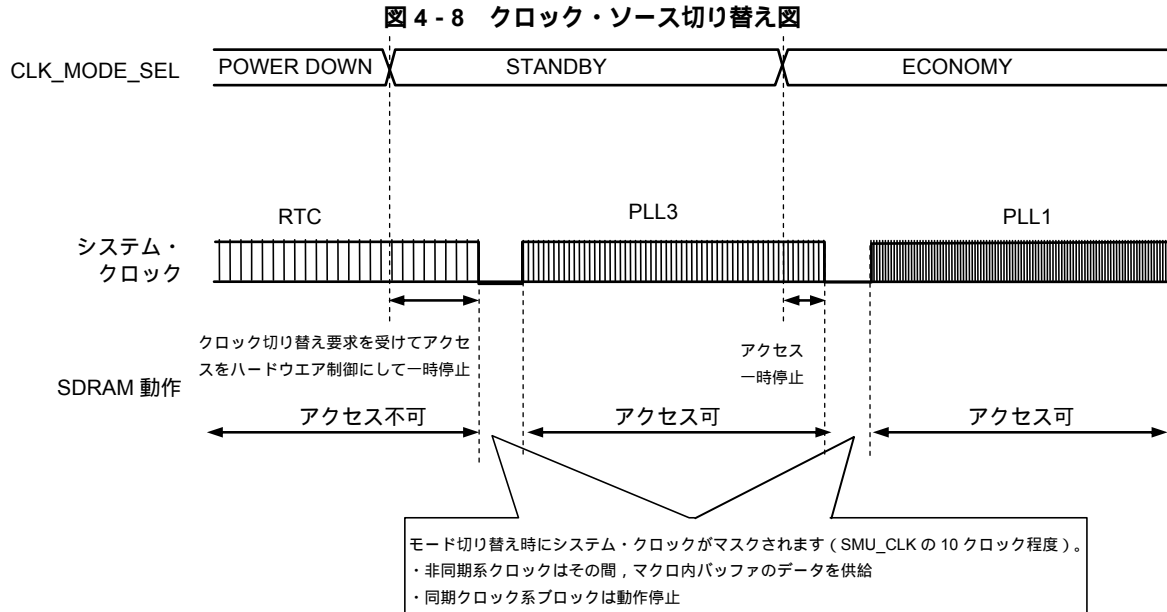
4.1.8 クロック・ソースの切り替え

(1) RTC ↔ PLL3

Power Down モード ↔ Sleep モード , Power Down モード ↔ Standby モードの遷移で発生するクロック切り替えです。

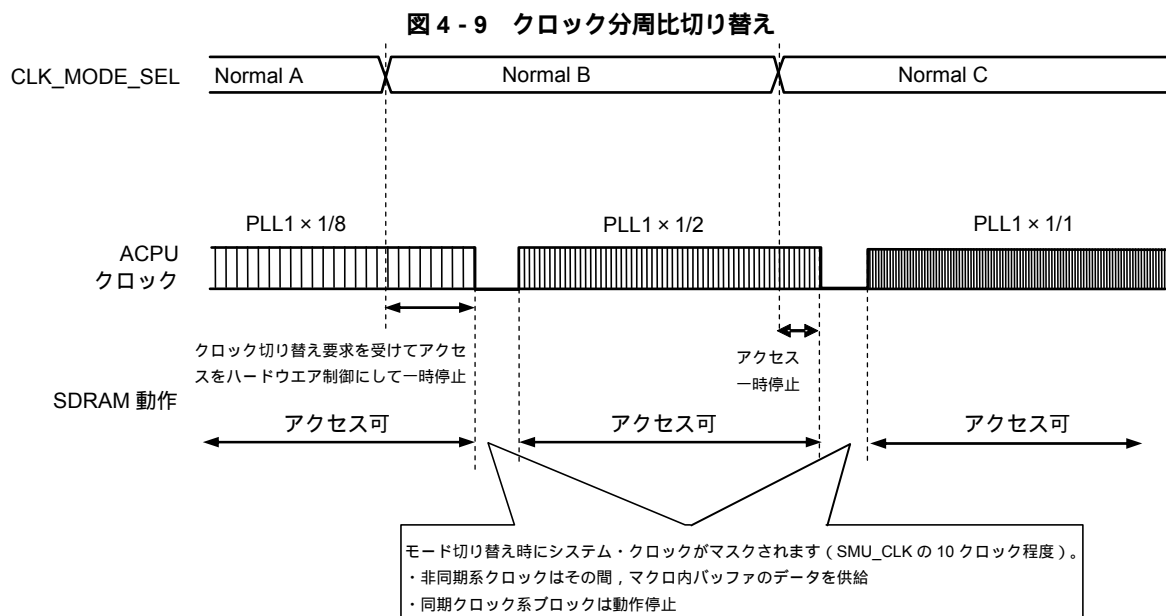
(2) PLL3 ↔ PLL1

Power ON → Normal モード , Standby モード ↔ Economy モードの遷移で発生するクロック切り替えです。



4.1.9 クロック分周比の切り替え

Normal モードのクロック分周比の切り替え (NormalA ~ D 間切り替え) は、次のタイミングで行います。



4.1.10 GatedClock制御

GCLKCTRL0, GCLKCTRL1, GCLKCTRL2, GCLKCTRL3, TSTCLKCTRL レジスタの設定により, 各マクロに対するクロックを強制的にマスクすることが可能です。これにより, 必要ない回路のみクロックを停止することができます。

4.1.11 GatedClock自動制御

(1) クロック要求1

AHB に接続しているマクロに対する自動制御で, AHBCLKCTRL0, AHBCLKCTRL1 レジスタがセットされているとき, 各マクロからの信号により, クロックを動的に動作 / 停止します。AHBCLKCTRL0, AHBCLKCTRL1 レジスタがセットされていないときは, クロックは動作条件になります。

(2) クロック要求2

APB に接続しているマクロに対する自動制御で, APBCLKCTRL0, APBCLKCTRL1 レジスタがセットされているとき, 各マクロからの信号によりクロックを動的に動作 / 停止します。APBCLKCTRL0, APBCLKCTRL1 レジスタがセットされていないときは, クロックは動作条件になります。

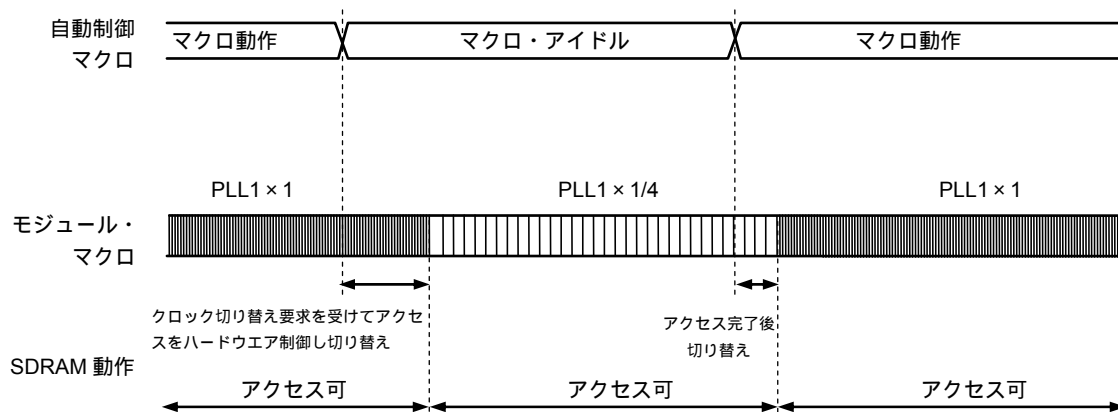
4.1.12 周波数自動切り替え制御

PLL を使用し, かつ周波数自動切り替え機能を有効にしている状態で, クロック自動制御中のマクロに対するクロック要求がなくなった場合, ASMU は回路全体がアイドル状態になったとみなし, システム・クロックを低周波のクロック (低クロック) に切り替えます。これにより低消費電力化を図ります。低クロックは通常クロックを分周したクロックです。

低クロック動作中, クロック自動制御対象のマクロに対するクロック要求が 1 つでも発生した場合, システム・クロックは通常クロックに自動的に切り替えられます。3.2.72 周波数自動切り替え制御レジスタを参照してください。

クロック・ソース切り替えおよびクロック分周比切り替えと違い, クロック停止は行わずに切り替えます。SDRAM コントローラ (MEMC) とのハンドシェークを行います。

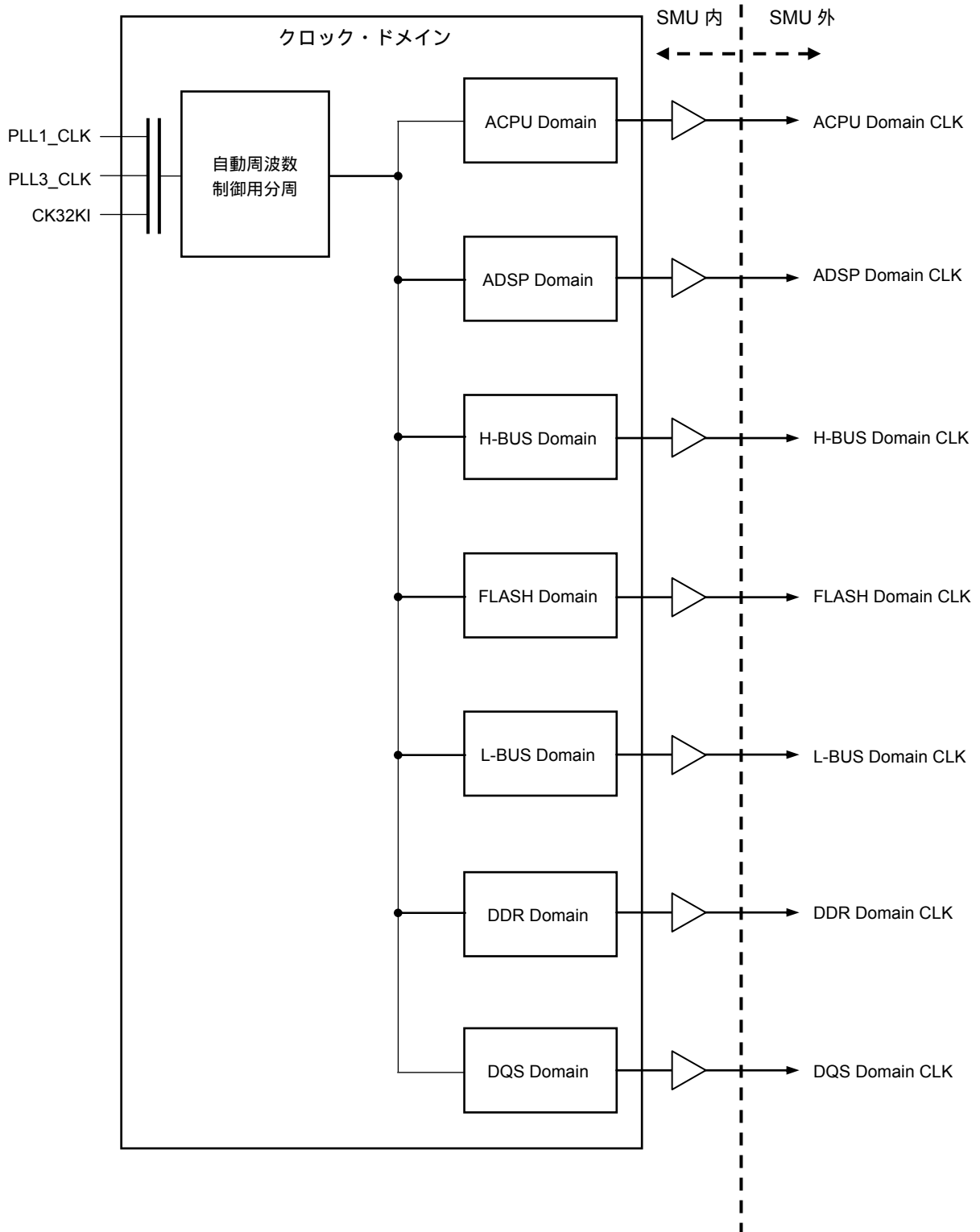
図 4 - 10 自動周波数制御切り替え



4.1.13 クロック・ドメイン

(1) クロック構成

図4-11 クロック構成図

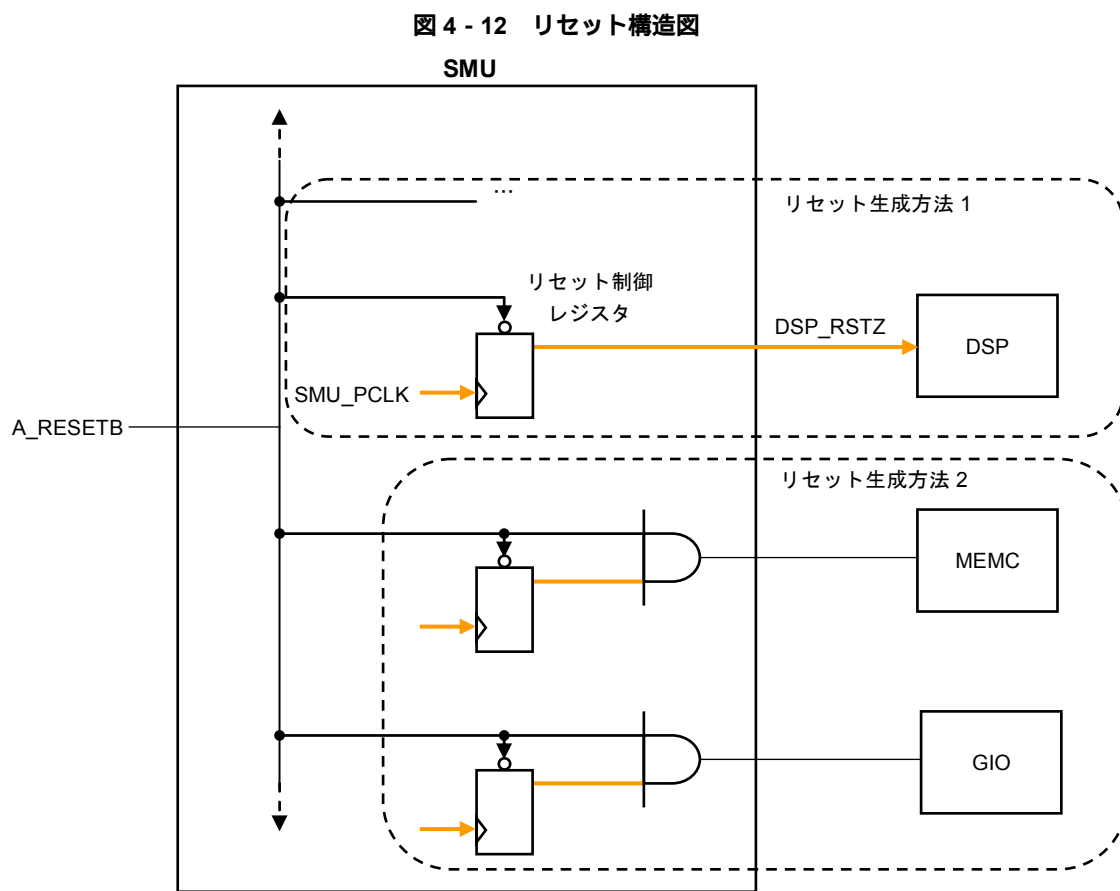


4.2 リセット制御

- EM1 の各マクロのリセットを制御します。
- ASMU 以外は同期リセットを使用します。ソフトウェア・リセットを行う場合は、該当マクロのクロックを必ず ON にしてください。
- 出力するリセット信号は各マクロ内で同期化します。

EM1 の各マクロに対して、リセット信号を供給すると、リセットされます。EM1 のリセット構造は 図 4 - 12 のとおりです。

各マクロに対するリセット信号は、ASMU 内部でハードウェア・リセット入力とレジスタ設定値から生成します。生成方法は 2 種類あります。



SMU は A_RESETB で初期化されます。

4.2.1 リセット生成方法 1

リセット制御レジスタにより、各マクロへのリセットを制御します。このレジスタは ACPU から APB 経由でリード / ライトすることができます。なお、このリセットは同期リセットです。

システム・リセット (A_RESETB) でリセット制御レジスタも初期化されますが、初期値がロー・レベルのため、ACPU でリセット解除コマンドを発行するまでリセット状態を保持し続けます。ブート時に立ち上がる必要のないマクロはこの方法でリセットされます。

4.2.2 リセット生成方法 2

生成方法 1 と同様、リセット制御レジスタにより各マクロへのリセットを制御し、ACPU から APB 経由でリード / ライトすることができます。また、このリセットも同期リセットです。

システム・リセット (A_RESETB) によりリセット制御レジスタが初期化されますが、このリセットはハードウェア・リセットと同時に解除されます。ブート時に必ず立ち上がる必要のあるマクロ (CHG, AXL0, MEMC, SWL0, SRC, PB1, PMU, AINT, TW0, TW3, GIO, AXL1, ACPU, AB0, SWL1, PB3) はこの方法でリセットされます。

4.2.3 ウォッチドッグ・タイマによるリセット

ウォッチドッグ・タイマ (TW0, TW3) の Runout によるリセット制御動作は、レジスタで設定することができます。

4.2.4 リセット信号生成一覧

リセット信号は各電源領域に対応して生成します。

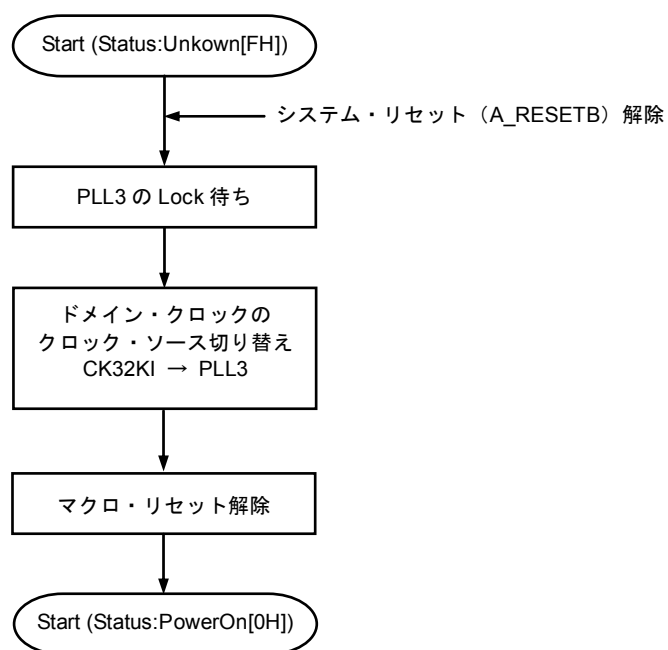
RESETZ のみでリセット生成される信号は次のとおりです。

端子名称	生成方法	端子名称	生成方法
CHG_RSTZ	生成方法 2	AB0_RSTZ	生成方法 2
AXL0_RSTZ	生成方法 2	DHXB_RSTZ	生成方法 1
MEMC_RSTZ	生成方法 2	IMC_RSTZ	生成方法 1
LCD_RSTZ	生成方法 1	CAM_RSTZ	生成方法 1
SWL0_RSTZ	生成方法 2	CAM_ARSTZ	生成方法 1
SRC_RSTZ	生成方法 2	DMA_RSTZ	生成方法 1
PB1_RSTZ	生成方法 2	DMA2_RSTZ	生成方法 1
PMU_RSTZ	生成方法 2	PDMA_RSTZ	生成方法 1
AIN_T_RSTZ	生成方法 2	MHXB_RSTZ	生成方法 1
TI0_RSTZ	生成方法 1	IPUIMG_RSTZ	生成方法 1
TI1_RSTZ	生成方法 1	IPUROT_RSTZ	生成方法 1
TI2_RSTZ	生成方法 1	IPUDMA_RSTZ	生成方法 1
TI3_RSTZ	生成方法 1	IPUAHB_RSTZ	生成方法 1
TW0_RSTZ	生成方法 2	AVC_RSTZ	生成方法 1
TW1_RSTZ	生成方法 1	SHXB_RSTZ	生成方法 1
TW2_RSTZ	生成方法 1	NAND_RSTZ	生成方法 1
TW3_RSTZ	生成方法 2	NTSC_RSTZ	生成方法 1
TG0_RSTZ	生成方法 1	DTV_RSTZ	生成方法 1
TG1_RSTZ	生成方法 1	DTV_ARSTZ	生成方法 1
TG2_RSTZ	生成方法 1	USB_RSTZ	生成方法 1
TG3_RSTZ	生成方法 1	SWL1_RSTZ	生成方法 2
TG4_RSTZ	生成方法 1	PB0_RSTZ	生成方法 1
TG5_RSTZ	生成方法 1	PM0_RSTZ	生成方法 1
GIO_RSTZ	生成方法 2	PM1_RSTZ	生成方法 1
SP0_RSTZ	生成方法 1	MWI_RSTZ	生成方法 1
SP1_RSTZ	生成方法 1	SP2_RSTZ	生成方法 1
PWM_RSTZ	生成方法 1	AB1_RSTZ	生成方法 1
AXL1_RSTZ	生成方法 2	U70_RSTZ	生成方法 1
ACPU_RSTZ	生成方法 2	U71_RSTZ	生成方法 1
ACPU_PORSTZ	生成方法 2	U72_RSTZ	生成方法 1
ACPU_ATRSTZ	生成方法 2	IIC_RSTZ	生成方法 1
ADSP_SRSTZ	生成方法 1	IIC2_RSTZ	生成方法 1
ADSP_ARSTZ	生成方法 1	MHXB_RSTZ	生成方法 1
ADSP_IRESET	生成方法 1	SDIA_RSTZ	生成方法 1
DCV_RSTZ	生成方法 1	SDIB_RSTZ	生成方法 1
PB2_RSTZ	生成方法 1	SDIC_RSTZ	生成方法 1
PB3_RSTZ	生成方法 2		

備考 ASMU をリセットする信号は A_RESETB です。リセット関係のレジスタはありません。

4.3 電源 ON の動作

電源 ON 後，システム・リセットをディassertすると次の動作を行います。

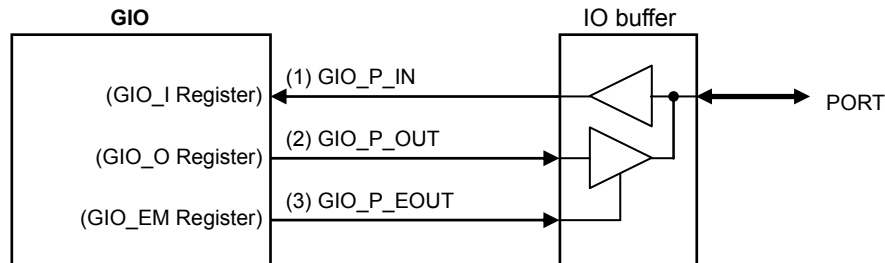


4.4 汎用入出力の機能

4.4.1 入出力制御

GIO は、次に示すような双方向バッファに接続されています。

図 4 - 13 双方向バッファとの接続図



GIO では、ポートの入出力切り替えの設定において、該当ビットのみ変更を行い、ほかのビットは値を保持できるように、出力への切り替え用のレジスタと入力への切り替え用のレジスタをそれぞれ用意しています。

- ポートを出力に設定する場合：

GIO_E1 レジスタの対象ビットに “1” を書き込みます。GIO_EM レジスタの該当ビットに 1 がセットされ、出力に設定されます。“0” を書き込んだビットについては GIO_EM レジスタの設定は保持されます。

1：1 を設定する。

0：保持（No Operation）

- ポートを入力に設定する場合：

GIO_E0 レジスタの対象ビットに “1” を書き込みます。GIO_EM レジスタの該当ビットに 0 がセットされ、入力に設定されます。“0” を書き込んだビットについては GIO_EM レジスタの設定は保持されます。

1：0 を設定する。

0：保持（No Operation）

GIO_EM レジスタをリードすると、設定結果（ポートの入出力切り替え状態）がリードできます。

例）初期状態 0000_0000_0011_0000

【GIO_E1】 = 0000_0000_0000_0011 ライト（0，1 ビット目を出力に設定）

→ 0000_0000_0011_0011

0，1 ビット目が 1（出力）に変化、ほかは前の状態を維持。

【GIO_E0】 = 0000_0000_0000_1010 ライト（1，3 ビット目を入力に設定）

→ 0000_0000_0011_0001

1，3 ビット目が 0（入力）に変化。ほかは前の状態を維持。

4.4.2 出力データの設定と入力データの読み込み

(1) 出力データの設定

GIOでは、出力データの設定において、該当ビットのみ変更を行い、ほかのビットは値を保持できるように、出力データの設定用のレジスタ (GIO_OD) と、出力データ設定のイネーブル・レジスタ (GIO_OE) が用意されています (両レジスタは、GIO_OLレジスタ、GIO_OHレジスタにマッピングされています。3.3.3 出力データ設定レジスタ、3.3.4 出力データ設定レジスタを参照)。

出力データ設定用レジスタ (GIO_OD) に出力したいデータを書き込む場合は、イネーブル・レジスタである (GIO_OE) の該当ビットにも “1” を同時に書き込む必要があります。GIO_OE = 1 であるビットのみ GIO_OD の値が更新され、GIO_OE = 0 のビットは元の値が保持されます。

例) 出力データ設定前の状態が、GIO_OD = 0F0FH のときに、

GIO_OL = 00FF_5555H (GIO_OE (15:0) = 00FFH, GIO_OD = 5555H) を設定した場合

GIO_OEは 0F55Hとなります。表 4 - 4を参照してください。

表 4 - 4 出力データ設定例

ビット番号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GIO_OD (設定前)	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
GIO_OE	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
GIO_OD (設定値)	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
GIO_OD (設定後)	0	0	0	0	1	1	1	1	0	1	0	1	0	1	0	1

出力データ設定用レジスタ (GIO_OD) をリードすると、GIO_OD への書き込みデータではなく、GIO_OD への設定結果が読み出されます。このような例の場合、0F55H が読み出されます (設定値である 5555H ではありません)。

(2) 入力データの読み込み

入力データ読み込みレジスタ (GIO_I) でリードされる値を 表 4 - 5に示します。【GIO_EM】の値に依存し、GIO_EM = 0 (入力モード) の場合は外部GPIO端子の値が、GIO_EM = 1 (出力モード) の場合は出力データ設定レジスタ (GIO_OD) の値がリードされます。

表 4 - 5 GIO_Iでリードされる値

GIO_EM	外部 GPIO 端子	[GIO_OD]	【GIO_I】
0 (入力モード)	0	-	0
0 (入力モード)	1	-	1
1 (出力モード)	-	0	0
1 (出力モード)	-	1	1

4.4.3 割り込み検出方式の説明

割り込み検出方式は次のとおりです。

(1) 立ち上がりエッジ同期検出

入力ポート GIO_P_IN の立ち上がりエッジで、割り込み要因ステータス (GIO_RAW, および GIO_RAWP) がセットされます。

ただし, GIO_P_IN が割り込み監視用クロック (GIO_INT_CLK) の1周期以内に再び立ち下がった場合 (ハイ・レベル幅が 1T 以下の場合) は, 正しく検出できない可能性があります。このような入力を検出したい場合は, 立ち上がりエッジ非同期検出を選択してください。

(2) 立ち下がりエッジ同期検出

入力ポート GIO_P_IN の立ち下がりエッジで、割り込み要因ステータス (GIO_RAW, および GIO_RAWN) がセットされます。

ただし, GIO_P_IN が割り込み監視用クロック (GIO_INT_CLK) の1周期以内に再び立ち上がった場合 (ロー・レベル幅が 1T 以下の場合) は, 正しく検出できない可能性があります。このような入力を検出したい場合は, 立ち下がりエッジ非同期検出を選択してください。

(3) ハイ・レベル同期検出

入力ポート GIO_P_IN = 1 の状態が検出された場合に割り込み要因ステータス (GIO_RAW) がセットされます。GIO_P_IN がロー・レベルになると要因ステータスも自動的にクリアされます。割り込み要因クリア (GIO_IIR) レジスタによるクリアは行われません。

ただし, GIO_P_IN = 1 の期間が割り込み監視用クロック (GIO_INT_CLK) の1周期より短い場合は, 正しく検出できない可能性があります。このような入力を検出したい場合は, ハイ・レベル非同期検出を選択してください。

(4) ロー・レベル同期検出

入力ポート GIO_P_IN = 0 の状態が検出された場合に割り込み要因ステータス (GIO_RAW) がセットされます。GIO_P_IN がハイ・レベルになると割り込み要因ステータスも自動的にクリアされます。割り込み要因クリア (GIO_IIR) レジスタによるクリアは行われません。

ただし, GIO_P_IN = 0 の期間が割り込み監視用クロック (GIO_INT_CLK) の1周期より短い場合は, 正しく検出できない可能性があります。このような入力を検出したい場合は, ロー・レベル非同期検出を選択してください。

(5) 両エッジ同期検出

入力ポート GIO_P_IN の立ち上がりエッジ / 立ち下がりエッジのどちらのエッジでも割り込みを検出できるモードです。

割り込みを検出すると割り込み要因ステータス (GIO_RAW, および GIO_RAWP/GIO_RAWN) がセットされます。ただし, GIO_P_IN のハイ・レベル幅, あるいはロー・レベル幅が割り込み監視用クロック (GIO_INT_CLK) の1周期より短い場合は, 正しく検出できない可能性があります。このような入力を検出したい場合は, 両エッジ非同期検出を選択してください。

(6) 立ち上がりエッジ非同期検出

入力ポート GIO_P_IN の立ち上がりエッジで、割り込み要因ステータス (GIO_RAW, および GIO_RAWP) がセットされます。

非同期に割り込み検出を行うため、割り込み監視用クロック (GIO_INT_CLK) の 1 周期以内に再び立ち下がった場合 (ハイ・レベル幅が 1T 以下の場合) でも、正しく検出することが可能です。

(7) 立ち下がりエッジ非同期検出

入力ポート GIO_P_IN の立ち下がりエッジで、割り込み要因ステータス (GIO_RAW, および GIO_RAWN) がセットされます。

非同期に割り込み検出を行うため、割り込み監視用クロック (GIO_INT_CLK) の 1 周期以内に再び立ち上がった場合 (ロー・レベル幅が 1T 以下の場合) でも、正しく検出することが可能です。

(8) ハイ・レベル非同期検出

入力ポート GIO_P_IN = 1 の状態が検出された場合に割り込み要因ステータス (GIO_RAW) がセットされます。GIO_P_IN = 0 になると割り込み要因ステータスも自動的にクリアされます。割り込み要因クリア (GIO_IIR) レジスタによるクリアは行われません。

非同期に割り込み検出を行うため、GIO_P_IN = 1 の期間が割り込み監視用クロック (GIO_INT_CLK) の 1 周期より短い場合でも検出することが可能です。ただし、発生した割り込み信号を INTC 内で (INT_CLK にて) 同期化するため、GIO_P_IN = 1 の期間が INT_CLK の 1 周期より短い場合は、割り込み信号が消滅する可能性があります。

(9) ロー・レベル非同期検出

入力ポート GIO_P_IN = 0 の状態が検出された場合に要因ステータス (GIO_RAW) がセットされます。

GIO_P_IN = 1 になると要因ステータスも自動的にクリアされます。要因クリア (GIO_IIR) レジスタによるクリアは行われません。

非同期に割り込み検出を行うため、GIO_P_IN = 0 の期間が割り込み監視用クロック (GIO_INT_CLK) の 1 周期より短い場合でも検出することが可能です。ただし、発生した割り込み信号を INC 内で (INT_CLK にて) 同期化するため、GIO_P_IN = 0 の期間が INT_CLK の 1 周期より短い場合は、割り込み信号が消滅する可能性があります。

(10) 両エッジ非同期検出

入力ポート GIO_P_IN の立ち上がりエッジ / 立ち下がりエッジのどちらのエッジでも割り込みを検出できます。割り込みを検出すると要因ステータス (GIO_RAW, および GIO_RAWP/GIO_RAWN) がセットされます。非同期に割り込み検出を行うため、GIO_P_IN のハイ・レベル幅、あるいはロー・レベル幅が割り込み監視用クロック (GIO_INT_CLK) の 1 周期より短い場合でも、正しく検出することが可能です。

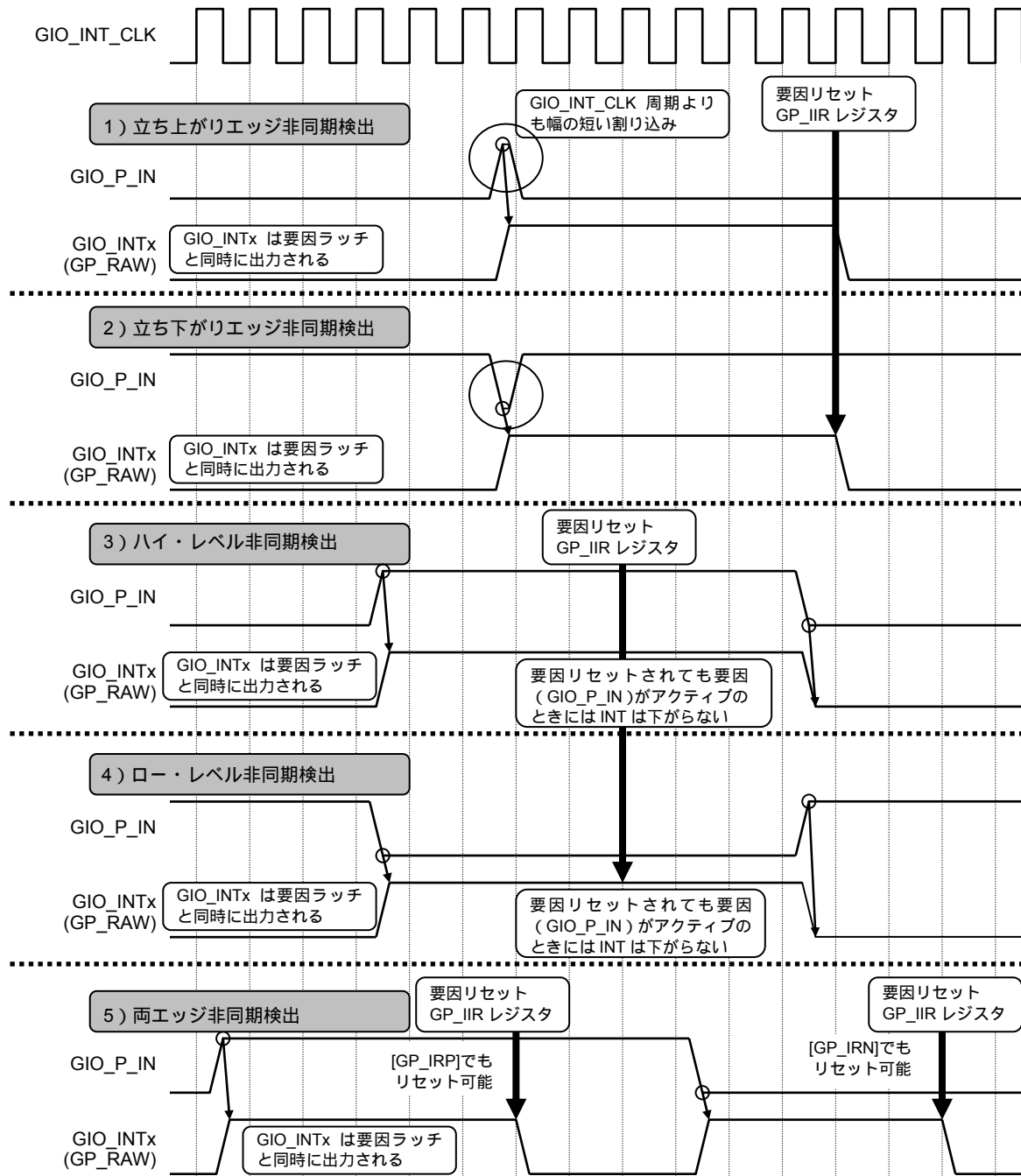
GIO_IDTx (3)	GIO_IDTx (2)	GIO_IDTx (1)	GIO_IDTx (0)	検出方法
0	0	0	0	立ち上がりエッジ同期検出
0	0	0	1	立ち下がりエッジ同期検出
0	0	1	0	ハイ・レベル同期検出
0	0	1	1	ロー・レベル同期検出
1	0	0	0	立ち上がりエッジ非同期検出
1	0	0	1	立ち下がりエッジ非同期検出
1	0	1	0	ハイ・レベル非同期検出
1	0	1	1	ロー・レベル非同期検出
0	1	0	0	両エッジ同期検出
1	1	0	0	両エッジ非同期検出
その他設定				設定禁止（動作保証外）

備考 エッジ検出の設定にて、割り込みのセット／リセットのイベントが同時に発生した場合は、リセットが優先されます。

4.4.5 割り込み検出のタイミング（非同期検出）

割り込み検出のタイミング（非同期検出）を図4-15に示します。

図4-15 割り込み検出のタイミング図（非同期検出）



第5章 使用方法

5.1 クロック制御

5.1.1 クロック制御レジスタ使用方法

クロック制御は、GCLKCTRL、RESETREQ、AHB/APBCLKCTRL レジスタで行います。

(1) 初期化

1. システム・リセット (A_RESETB) ですべてのマクロがリセットされます。このときクロックは供給されます。GIO、PMU、INT、PB1、AB0、SWT、SRC、ACPU 部の RESETREQ レジスタの初期値がリセット解除に設定されているときはリセットが自動的に解除されます。
初期値がリセットに設定されているマクロはリセットが解除されません。

2. 内部バス (AB1、PB0) は RESETREQ レジスタでリセットを解除できます。
RESETREQ を設定するときは、RESETREQ イネーブル (ENA) をセットしてから設定してください。

3. 使用しないマクロは GCLKCTRL でクロック供給を停止できます (未使用時の設定)。
GCLKCTRL を設定するとリセット状態のまま停止します。GCLKCTRL イネーブル (ENA) をセットしてから設定してください。

注意 GCLKCTRL でマクロのクロックを停止すると AHB/APBCLKCTRL に関係なくクロックは供給されません。GCLKCTRL のクロックが優先されます。

4. AHB/APBCLKCTRL で自動制御するマクロを指定します。
この状態では、初期値がリセットのマクロはリセット状態のままです。なお、クロックは自動制御により停止しています。
5. AUTO_REQ_MASK で周波数制御するマクロを指定します。
周波数制御するマクロを設定してください。また、“動作し続ける”を指定すると、周波数が下がりにませんので電流も下がりにません。
6. AUTO_FRQ_CHANGE_EN を設定します。
周波数自動切り替えを開始します。

7. 初期値がリセットのマクロは、RESETREQ レジスタでリセットを解除します。

RESETREQ を設定すると、クロック自動制御状態（ACPU アクセスに応じて動作 / 停止）になります。

RESETREQ イネーブル（ENA）をセットしてから設定してください。

クロック自動制御が設定されているマクロは、クロック自動制御を解除してから RESETREQ レジスタでリセットを解除し、クロック自動制御を再設定してください。

- ・クロック自動制御が設定され、GCLKCTRL で停止していないマクロはクロック供給状態です。
- ・クロック自動制御が解除され、GCLKCTRL で停止しているマクロはクロック供給を停止しています。

以降は通常動作になります。

（2）停止時

1. クロック自動制御が設定されているマクロ

AHB/APBCLKCTRL でクロック自動制御を停止します（クロックが供給されます）。

RESETREQ レジスタでリセット設定します。

GCLKCTRL で対象マクロのクロック供給を停止します。対象マクロはリセット状態で停止します。

注意 GCLKCTRL を設定するときは、GCLKCTRL イネーブル（ENA）をセットしてから設定してください。

2. クロック自動制御が解除されているマクロ

RESETREQ レジスタでリセットを設定します。

GCLKCTRL で対象マクロのクロック供給を停止します。対象マクロはリセット状態で停止します。

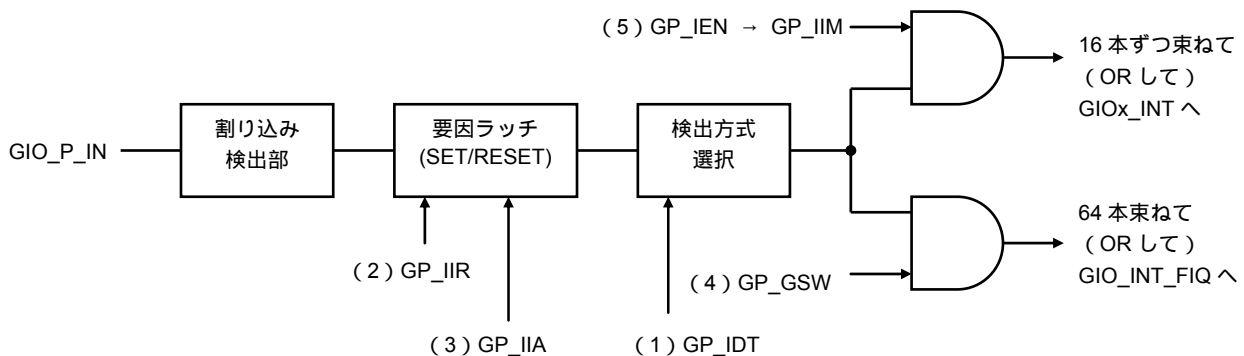
注意 GCLKCTRL を設定するときは、GCLKCTRL イネーブル（ENA）をセットしてから設定してください。

5.2 汎用入出力ポート

5.2.1 入力ポートの割り込み機能設定手順

- (1) 割り込み検出方式設定 : GIO_IDT レジスタの該当ビットを設定
- (2) 割り込み要因クリア : GIO_IIR レジスタの該当ビットを“1”に指定。
- (3) 割り込み機能 ON : GIO_IIA レジスタの該当ビットを“1”に指定。
- (4) GIO_INT_FIQ 端子接続設定 : GIO_GSW レジスタの該当ビットを“1”に指定。
- (5) 割り込みイネーブル設定 : GIO_IEN レジスタの該当ビットを“1”に指定。
- GIO_IDT で設定した変化が、該当入力ポートで発生（割り込み発生）
 - GIO_INT 端子アサート : 0 → 1
- (6) 割り込み要因ステータスのリード : GIO_MST, GIO_RAWBL/H レジスタ（両エッジ検出時）
- (7) 割り込み要因クリア : GIO_IIR, GIO_IRB レジスタ（両エッジ要因）の該当ビットを“1”に指定。
- 該当する GIO_RAW, GIO_RAWBL/H レジスタが“0”。
 - GIO_INT 端子ディアサート : 1 → 0

図 5 - 1 割り込み検出概要



5.2.2 割り込み検出方式を変更する場合の注意

入力ポート割り込み検出方式レジスタ（GIO_IDT）を変更する際は、入力ポート割り込み指定レジスタ（GIO_IIA）を 0（割り込み検出無効）に戻した状態で行ってください。次に操作手順を示します。

- (1) 割り込み機能 OFF : GIO_IIA レジスタの該当ビットを“0”に指定。
- (2) 割り込み検出方式設定 : GIO_IDT レジスタの該当ビットの設定を変更。
- (3) 割り込み要因クリア : GIO_IIR レジスタの該当ビットを“1”に指定。
- (4) 割り込み機能再度 ON : GIO_IIA レジスタの該当ビットを“1”に指定。

付録 A クロック一覧

EM1 で使用するクロック一覧を次に示します。

(1/4)

クロック名	マクロ	ドメイン	ソース					分周	分周	ゲーティング	クロック自動制御
			PLL1	PLL2	PLL3	CK32	OSC	bit0	bit1		
ACPU_CLK	ACPU	ACPU								TSTGCLKCTRL[0]	AHBCLKCTRL0[0]
ADSP_CLK	ADSP	ADSP								GCLKCTRL0[0]	AHBCLKCTRL0[1]
ADSP_ACLK	ADSP	HBUS								GCLKCTRL0[1]	AHBCLKCTRL0[1]
AXL0_PCLK	AXL0	LBUS								GCLKCTRL1[1]	APBCLKCTRL1[15]
AXL0_CLK	AXL0	HBUS								GCLKCTRL1[0]	AHBCLKCTRL1[8]
SWL0_CLK	SWL0	LBUS								GCLKCTRL1[2]	AHBCLKCTRL1[6]
PB1_CLK	PB1	LBUS								TSTGCLKCTRL[2]	AHBCLKCTRL1[3]
PB3_CLK	PB3	LBUS								TSTGCLKCTRL[2]	AHBCLKCTRL1[3]
AXL1_HCLK	AXL1	LBUS								TSTGCLKCTRL[11]	AHBCLKCTRL1[15]
AXL1_PCLK	AXL1	LBUS								GCLKCTRL1[17]	APBCLKCTRL1[8]
AXL1_CLK	AXL1	HBUS								GCLKCTRL1[16]	AHBCLKCTRL1[9]
AXL1_PMON_CLK	AXL1	HBUS								GCLKCTRL1[21]	
AB0_CLK	AB0	HBUS								TSTGCLKCTRL[1]	AHBCLKCTRL1[0]
AB0_FLASHCLK	AB0	FLASH								GCLKCTRL3[31]	CLKCTRL[5]
DHXB_CLK	DHXB	HBUS								GCLKCTRL1[19]	AHBCLKCTRL1[10]
SHXB_CLK	SHXB	HBUS								GCLKCTRL2[29]	AHBCLKCTRL1[12]
SHXB_HCLK	SHXB	LBUS								GCLKCTRL2[30]	AHBCLKCTRL1[13]
MHXB_CLK	MHXB MHHB	HBUS								GCLKCTRL1[20]	AHBCLKCTRL1[11]
MEMC_PCLK	MEMC	LBUS								GCLKCTRL1[6]	APBCLKCTRL1[1]
MEMC_CLK	MEMC	DDR								GCLKCTRL1[4]	AHBCLKCTRL1[4]
MEMC_CLK270	MEMC	DQS								GCLKCTRL1[5]	CLKCTRL[0]
MEMC_RCLK	MEMC	非同期			○			3	4	GCLKCTRL1[7]	
PDMA_PCLK	PDMA	LBUS								GCLKCTRL0[7]	APBCLKCTRL1[10]
PDMA_HCLK	PDMA	LBUS								GCLKCTRL0[6]	AHBCLKCTRL0[5]
PDMA_ACLK	PDMA	HBUS								GCLKCTRL0[5]	AHBCLKCTRL0[6]
IPUIMG_1_CLK	IPU	HBUS								GCLKCTRL0[10]	AHBCLKCTRL0[7]
IPUIMG_2_CLK	IPU	HBUS								GCLKCTRL0[11]	AHBCLKCTRL0[8]
IPUIMG_PCLK	IPU	LBUS								GCLKCTRL0[12]	APBCLKCTRL1[1]
IPUROT_CLK	IPU	HBUS								GCLKCTRL0[13]	AHBCLKCTRL0[9]
IPUROT_PCLK	IPU	LBUS								GCLKCTRL0[14]	APBCLKCTRL1[2]
IPUDMA_CLK	IPU	HBUS								GCLKCTRL0[15]	AHBCLKCTRL0[10]
IPUDMA_PCLK	IPU	LBUS								GCLKCTRL0[16]	APBCLKCTRL1[16]
IPUAHB_CLK	IPU	HBUS								GCLKCTRL0[17]	AHBCLKCTRL0[11]
CHG_PCLK	CHGREG CHG	LBUS								GCLKCTRL1[15]	APBCLKCTRL1[13]

クロック名	マクロ	ドメイン	ソース					分周 bit0	分周 bit1	ゲーティング	クロック自動制御
			PLL1	PLL2	PLL3	CK32	OSC				
ICE_CLK	ICE	PLL3			○						
ASMU_CLK	ASMU	PLL3			○					TSTGCLKCTRL[9]	
ASMU_PCLK	ASMU	LBUS								TSTGCLKCTRL[8]	APBCLKCTRL1[5]
PMU_CLK	PMU	LBUS								TSTGCLKCTRL[6]	APBCLKCTRL1[6]
PMU_32K_CLK	PMU	32K				○				TSTGCLKCTRL[7]	
AVC_HMCLK	AVC	HBUS								GCLKCTRL1[30]	AHBCLKCTRL0[30]
AVC_HSCLK	AVC	LBUS								GCLKCTRL1[31]	AHBCLKCTRL0[31]
LCD_CLK	LCD	HBUS								GCLKCTRL1[9]	AHBCLKCTRL0[13]
LCD_PCLK	LCD	LBUS								GCLKCTRL1[10]	APBCLKCTRL0[0]
LCD_CCLK	LCD	HBUS								GCLKCTRL1[12]	AHBCLKCTRL0[14]
LCD_LCLK	LCD	非同期		○	○			3	4	GCLKCTRL1[11]	
IMC_CLK	IMC	HBUS								GCLKCTRL0[18]	AHBCLKCTRL0[22]
IMC_PCLK	IMC	LBUS								GCLKCTRL0[19]	APBCLKCTRL0[15]
SRC_CLK	SRC	HBUS								GCLKCTRL1[8]	AHBCLKCTRL1[5]
SP0_PCLK	SP0	LBUS								GCLKCTRL3[21]	APBCLKCTRL1[7]
SP0_SCLK	SP0	非同期			○			3	4	GCLKCTRL3[22]	CLKCTRL[2]
SP1_PCLK	SP1	LBUS								GCLKCTRL3[23]	APBCLKCTRL1[8]
SP1_SCLK	SP1	非同期			○			3	4	GCLKCTRL3[24]	CLKCTRL[3]
SP2_PCLK	SP2	LBUS								GCLKCTRL3[25]	APBCLKCTRL0[7]
SP2_SCLK	SP2	非同期			○			3	4	GCLKCTRL3[26]	CLKCTRL[4]
DTV_CLK	DTV	LBUS								GCLKCTRL2[25]	AHBCLKCTRL0[19]
DTV_PCLK	DTV	LBUS								GCLKCTRL2[26]	APBCLKCTRL0[5]
DCV_CLK	DCV	HBUS								GCLKCTRL1[24]	AHBCLKCTRL0[1]
DCV_PCLK	DCV	LBUS								GCLKCTRL1[25]	APBCLKCTRL1[11]
SWL1_CLK	SWL1	LBUS								GCLKCTRL1[18]	AHBCLKCTRL1[7]
IIC_CLK	IIC	LBUS								GCLKCTRL2[3]	
IIC_SCLK	IIC	非同期			○			3	4	GCLKCTRL2[4]	
IIC2_CLK	IIC2	LBUS								GCLKCTRL2[1]	
IIC2_SCLK	IIC2	非同期			○			3	4	GCLKCTRL2[2]	
SDIB_CLK	SDIB	LBUS								GCLKCTRL4[5]	
U70_CLK	U70 U71 U72	LBUS								GCLKCTRL2[5]	
U70_SCLK	U70	非同期			○			3	4	GCLKCTRL2[6]	
U71_SCLK	U71	非同期			○			3	4	GCLKCTRL2[7]	
U72_SCLK	U72	非同期			○			3	4	GCLKCTRL2[8]	
NTS_CLK	NTS	LBUS								GCLKCTRL2[23]	AHBCLKCTRL0[24]
NTS_PCLK	NTS	LBUS								GCLKCTRL2[24]	APBCLKCTRL0[12]
DMA2CLK	AXL1	HBUS								GCLKCTRL4[4]	AHBCLKCTRL0[4]
PB0_CLK	PB0	LBUS								GCLKCTRL1[22]	AHBCLKCTRL1[2]
PB2_CLK	PB2	LBUS								GCLKCTRL1[22]	AHBCLKCTRL1[2]

クロック名	マクロ	ドメイン	ソース					分周	分周	ゲーティング	クロック自動制御
			PLL1	PLL2	PLL3	CK32	OSC	bit0	bit1		
AB1_CLK	AB1	LBUS								GCLKCTRL1[23]	AHBCLKCTRL1[1]
PM0_PCLK	PM0	LBUS								GCLKCTRL2[12]	APBCLKCTRL2[2]
PM0_SCLK	PM0	非同期			○			3	4	GCLKCTRL2[13] GCLKCTRL4[9]	CLKCTRL1[0]
PM1_PCLK	PM1	LBUS								GCLKCTRL2[12] GCLKCTRL4[8]	APBCLKCTRL2[3]
PM1_SCLK	PM1	非同期			○			3	4	GCLKCTRL2[14]	CLKCTRL1[1]
NAND_HCLK	NAND	LBUS								GCLKCTRL2[21]	AHBCLKCTRL0[23]
NAND_PCLK	NAND	LBUS								GCLKCTRL2[22]	APBCLKCTRL0[14]
PWM_PCLK	PWM	LBUS								GCLKCTRL3[27]	APBCLKCTRL0[6]
PWM_PWCLK0	PWM	非同期			○			3	4	GCLKCTRL3[28]	
PWM_PWCLK1	PWM	非同期			○			3	4	GCLKCTRL3[29]	
GIO_CLK	GIO	LBUS								TSTGCLKCTRL[4]	APBCLKCTRL1[9]
GIO_INT_CLK	GIO	32K				○				TSTGCLKCTRL[5]	
USB_CLK	USB	LBUS								GCLKCTRL2[11]	
CAM_PCLK	CAM	LBUS								GCLKCTRL0[21]	APBCLKCTRL0[3]
CAM_CLK	CAM	HBUS								GCLKCTRL0[20]	APBCLKCTRL0[12]
CAM_SCLK	CAM	非同期		○	○				5	GCLKCTRL0[22]	
DMA_PCLK	DMA	LBUS								GCLKCTRL0[25]	APBCLKCTRL0[4]
DMA_PCH0_CLK	DMA	HBUS								GCLKCTRL0[26]	AHBCLKCTRL0[15]
DMA_PCH2_CLK	DMA	HBUS								GCLKCTRL0[28]	AHBCLKCTRL0[17]
DMA_PCH3_CLK	DMA	HBUS								GCLKCTRL0[29]	AHBCLKCTRL0[18]
DMA_TCLK	DMA	非同期			○			3	4	GCLKCTRL0[30]	
MWI_PCLK	MWI	LBUS								GCLKCTRL3[19]	APBCLKCTRL1[4]
MWI_CLK	MWI	非同期			○			3	4	GCLKCTRL3[20]	CLKCTRL[1]
SDIA_CLK	SDIA	LBUS								GCLKCTRL4[5]	
SDIC_CLK	SDIC	LBUS								GCLKCTRL4[7]	
AIN_T_PCLK	AIN_T	LBUS								GCLKCTRL1[14]	APBCLKCTRL1[2]
AIN_T_CLK	AIN_T	LBUS								TSTGCLKCTRL[3]	
ATIM_PCLK	ATIM	LBUS								GCLKCTRL3[14]	APBCLKCTRL1[3]
TI0_TIN	ATIM	非同期			○	○		3	4	GCLKCTRL3[0]	
TI1_TIN	ATIM	非同期			○	○		3	4	GCLKCTRL3[1]	
TI2_TIN	ATIM	非同期			○	○		3	4	GCLKCTRL3[2]	
TI3_TIN	ATIM	非同期			○	○		3	4	GCLKCTRL3[3]	
TW0_TIN	ATIM	非同期			○	○		3	4	GCLKCTRL3[10]	
TW1_TIN	ATIM	非同期			○	○		3	4	GCLKCTRL3[11]	
TW2_TIN	ATIM	非同期			○	○		3	4	GCLKCTRL3[12]	
TW3_TIN	ATIM	非同期			○	○		3	4	GCLKCTRL3[13]	

(4/4)

クロック名	マクロ	ドメイン	ソース					分周	分周	ゲーティング	クロック自動制御
			PLL1	PLL2	PLL3	CK32	OSC	bit0	bit1		
TG0_TIN	ATIM	非同期			○	○		3	4	GCLKCTRL3[4]	
TG1_TIN	ATIM	非同期			○	○		3	4	GCLKCTRL3[5]	
TG2_TIN	ATIM	非同期			○	○		3	4	GCLKCTRL3[6]	
TG3_TIN	ATIM	非同期			○	○		3	4	GCLKCTRL3[7]	
TG4_TIN	ATIM	非同期			○	○		3	4	GCLKCTRL3[8]	
TG5_TIN	ATIM	非同期			○	○		3	4	GCLKCTRL3[9]	
REFCLKO	CHG	非同期		○			○		6	GCLKCTRL2[20]	

[メ モ]

【改版履歴】

日付	版数	改版内容
2009.1.30	暫定 1 版	-
2009.3.31	第 2 版	P6 関連資料 ・ MC-10118A(EM1-D512) , μ PD77630A(EM1-S)のデータ・シートおよびユーザーズ・マニュアル 1chip 編を追記。 ・ 電源チップ編を削除。
		P13 1.1.1 クロック生成, 制御 記載内容一部修正および削除
		P14 1.2 汎用入出力インタフェースの特徴 GIO_INT 信号は・・・(本マクロではポート <u>128</u> 本に対して・・・) → (本マクロではポート <u>118</u> 本に対して・・・)
		P17 2.1 システム制御 ・ 3.3V 系→3.3V 系 / 1.8V 系 ・ 端子名 OSC_12M_CK1→OSC12M_CK1 誤記訂正 ・ 端子名 OSC_12M_CK0→OSC12M_CK0 誤記訂正 ・ RW5T735 の端子一覧削除
		P18 2.2 汎用入出力 GIO_P92 の兼用端子に CAM_CLK1 追記
		P19 2.2 汎用入出力 ・ GIO_P[79:76]の兼用端子に CAM_YUV[4:1] 追記 ・ GIO_P75 の兼用端子に CAM_YUV0 追記 ・ GIO_P[37:31]の兼用端子に AB0_A[10:4] 追記 ・ GIO_P[30:28]の兼用端子に AB0_A[3:1] 追記
		P20 2.2 汎用入出力 ・ GIO_P5 の兼用端子に CAM_SCLK 追記 ・ RW5T735 の端子一覧削除
		P21 ~ 3.1.1 ASMU ・ 0114H MSP_SCLK 用分周設定レジスタ→Reserved に変更 ・ 0128H リセット時の値 0000_0104H→0000_0004H ・ 012CH Reserved→CAM_SCLK 用分周設定レジスタに変更 ・ 01B4H リセット時の値 7604_FFFFH→767F_FCE3H ・ 01C4H リセット時の値 67FF_79FEH→67F0_79FEH ・ 01CCH リセット時の値 7FF8_7FFFH→3FF8_7FFFH ・ 01E4H リセット時の値 0007_DEFCH→0003_DCFCH ・ 0848H リセット時の値 0000_000CH→0000_0000H ・ 084CH リセット時の値 0000_03E0H→0000_03F0H ・ 0868H リセット時の値 0000_0001H→0000_0003H ・ 0870H Reserved→自動周波数制御の CAM_FIFO の残量しきい値レジスタに変更 ・ 0878H Reserved→CAM 用 SAFE リセット・レジスタに変更 ・ 08B8H Reserved→USB コアセレクトレジスタに変更
		P32 3.2.2 リセット要求レジスタ 0 ビット 12 Reserved→CAM_RST に変更
		P34 3.2.3 RESETREQ0 のセット / リセット・イネーブル・レジスタ ビット 12 Reserved→CAM_RST_ENA に変更

日付	版数	改版内容
2009.3.31	第 2 版	P36 3.2.4 リセット要求レジスタ 1 ・ビット 30 MMM_RST→Reserved に変更 ・ビット 29 MSP_RST→Reserved に変更
		P38 3.2.5 RESETREQ1 のセット / リセット・イネーブル・レジスタ ・ビット 30 MMM_RST_ENA→Reserved に変更 ・ビット 29 MSP_RST_ENA→Reserved に変更
		P60 3.2.25 割り込み Raw ステータス・レジスタ INT_RAW_STATUS の機能説明欄 説明文追記
		P63 3.2.30 Normal Mode A 分周設定レジスタ～3.2.36 Power ON Mode 分周設定レジスタ 備考 3 に分周設定値追記
		P68 3.2.35 Standby Mode , Sleep Mode 分周設定レジスタ P69 3.2.36 Power ON Mode 分周設定レジスタ 備考 3 .(PLL1 500MHz) → (PLL3 230MHz) これに伴い各ドメインの分周後の周波数も修正
		3.2.36 MSP_SCLK 用分周設定レジスタ 記載削除 これに伴い 3.2.36 以下の章番号繰上げ
		P70 3.2.37 SP0_SCLK 用分周設定レジスタ～3.2.43 IIC_SCLK 用設定レジスタ P91 3.2.49 タイマ・クロック分周設定レジスタ～3.2.58 PWMPWCLK 用分周設定レジスタ 脚注説明文追記
		P76 3.2.40 MEMC_RCLK 用分周設定レジスタ P83 3.2.43 IIC_SCLK 用設定レジスタ P90 3.2.49 タイマ・クロック分周設定レジスタ P92 3.2.50 MWI_SCLK 用分周設定レジスタ P94 3.2.51 DMA_TCLK 用分周設定レジスタ P108 3.2.58 PWMPWCLK 用分周設定レジスタ 分周設定表 DIV0xxx[2:0]の分周値 1 を設定禁止に変更
		P78 3.2.41 CAM_SCLK 用分周設定レジスタ 追記
		P109 3.2.59 AHB マクロ・クロック制御レジスタ 0 ・ビット 25 MMMLP→Reserved に変更 ・ビット 20 MSPLP→Reserved に変更 ・ビット 12 Reserved→CAMLP に変更 ・ビット 4 Reserved→DMA2LP に変更
		P111 3.2.60 AHB マクロ・クロック制御レジスタ 1 ・ビット 14 AXL0HCLKLP→Reserved に変更
		P112 3.2.61 APB(PB0)スレーブ・マクロ・クロック制御レジスタ ・ビット 9 DCVPCLKLP→Reserved に変更 ・ビット 3 Reserved→CAMCLKLP に変更
		P112 3.2.61 APB(PB0)スレーブ・マクロ・クロック制御レジスタ →APB(PB0)スレーブ・マクロ・クロック制御レジスタ 0 レジスタ名称変更 ・APBCLKCTRL[9] DCV の APB クロック自動制御モード→0 固定 ・APBCLKCTRL[3] 0 固定→CAM の APB クロック自動制御モード

日付	版数	改版内容
2009.3.31	第 2 版	P114 3.2.62 APB(PB1)スレーブ・マクロ・クロック制御レジスタ →APB(PB1)スレーブ・マクロ・クロック制御レジスタ 1 レジスタ名称変更 ・ビット 11 Reserved→DCVPCLKLP に変更・
		P115 3.2.62 APB(PB1)スレーブ・マクロ・クロック制御レジスタ 1 ・APBCLKCTRL1[10] 0 固定→DCV の APB クロック自動制御モード
		P117 3.2.64 マクロ・クロック・ゲート制御レジスタ 0 ・ビット 22 Reserved→CAM_SCLK_GCK に変更 ・ビット 21 Reserved→CAM_PCLK_GCK に変更 ・ビット 20 Reserved→CAM_CLK_GCK に変更
		P119 3.2.65 GCLKCTRL0 のセット / リセット・イネーブル・レジスタ ・ビット 22 Reserved→CAM_SCLK_GCK_ENA に変更 ・ビット 21 Reserved→CAM_PCLK_GCK_ENA に変更 ・ビット 20 Reserved→CAM_CLK_GCK_ENA に変更
		P125 3.2.68 マクロ・クロック・ゲート制御レジスタ 2 ・ビット 19 MSP_RTCK_GCK→Reserved に変更 ・ビット 18 MSP_SCLK_GCK→Reserved に変更 ・ビット 17 MSP_PCLK_GCK→Reserved に変更 ・ビット 16 MMM_CLK_GCK→Reserved に変更
		P127 3.2.69 GCLKCTRL2 のセット / リセット・イネーブル・レジスタ ・ビット 19 MSP_RTCK_GCK_ENA→Reserved に変更 ・ビット 18 MSP_SCLK_GCK_ENA→Reserved に変更 ・ビット 17 MSP_PCLK_GCK_ENA→Reserved に変更 ・ビット 16 MMM_CLK_GCK_ENA→Reserved に変更
		P129 3.2.70 マクロ・クロック・ゲート制御レジスタ 3 ・ビット 30 EFS_PCLK_GCK→Reserved に変更
		P131 3.2.71 GCLKCTRL2 のセット / リセット・イネーブル・レジスタ ・ビット 29:27 Reserved 誤記のため削除
		P135 3.2.73 周波数自動切り替え制御 REQMASK0 レジスタ ・ビット 15 Reserved→CAM_REQMASK に変更 ・ビット 10 Reserved→DMA2_REQMASK に変更
		P136 3.2.74 周波数自動切り替え制御 REQMASK0 レジスタ ・ビット 18 MMM_REQMASK→Reserved に変更 ・ビット 9 MSP_REQMASK→Reserved に変更
		P143 3.2.79 クイック・リカバリ・バックアップ有効 / 無効設定レジスタ 脚注追記
		P159 3.2.97 ステータス履歴レジスタ 脚注追記
		P162 3.2.99(1) ASMU_AB1_slaveWAITCTRL レジスタ スレーブマクロへのタイミング設定値 追記
		P163 3.2.99(1) ASMU_AB1_slaveWAITCTRL レジスタ デバイスごとの設定値 追記

日付	版数	改版内容
2009.3.31	第 2 版	P164 3.2.100(1)ASMU_AB1_slaveREADCTRL レジスタ スレーブマクロへのタイミング設定値 追記
		P165 3.2.100(1) ASMU_AB1_slaveREADCTRL レジスタ デバイスごとの設定値 追記
		P166 3.2.101 FLASHCLK 制御レジスタ ビット 0 FLASHCLK_CTRL[0]の機能説明欄 0 : CROCUS→ASMU_FLASHCLK の停止時に High で停止させる 誤記訂正
		P169 3.2.104 L2(USB)電源スイッチ制御レジスタ L2_PWRSW_STATUS の機能説明欄 1 : (USB 動作可能状態) 0 : (USB 動作不可能状態) 追記
		P175 3.2.110 リセット要求レジスタ 3 ・ビット 1 Reserved→DMA2RSTZ に変更 ・脚注追記
		P176 3.2.111 RESETREQ3 のセット / リセット・イネーブル・レジスタ ビット 1 Reserved→DMA2_RSTZ_ENA に変更
		P177 3.2.112 APB(PB0)スレーブ・マクロ・クロック制御レジスタ 2 ・ビット 3 PM1PCLKLP のリセット時の値 1→0 ・ビット 2 PM0PCLKLP のリセット時の値 1→0
		P178 3.2.113 マクロ・クロック・ゲート制御レジスタ 4 ・ビット 4 Reserved→DMA2_CLK_GCK に変更 ・脚注追記
		P179 3.2.114 GCLKCTRL4 のセット / リセット・イネーブル・レジスタ ・ビット 4 Reserved→DMA2_CLK_GCK_ENA に変更 ・ビット 7 SDIC_CLK_GCK_ENA の機能説明欄 SDIB_CLK_GCK ビットへのライト・・・ →SDIC_CLK_GCK ビットへのライト 誤記訂正
		P181 3.2.116 自動周波数制御の FIFO 残量モード・レジスタ 最下段 DFS_FIFO_REQMASK(C011_0868H)=7H→1H 誤記訂正
		P182 3.2.117 周波数自動切り替え制御 FIFOMODE_REQMASK レジスタ ビット 1 Reserved→CAMFIFO_REQMASK に変更
		P183 3.2.119 自動周波数制御の CAM_FIFO の残量しきい値レジスタ 追記 これに伴い 3.2.119 以下の章番号繰下げ
		P183 3.2.120 CAM 用 SAFE リセット・レジスタ 追記
		P185 3.2.123 クロック制御レジスタ 1 本レジスタ (クロック制御レジスタ 1・・・) →本レジスタ (CLKCTRL1・・・) 誤記訂正
		P191 3.2.127 USB コアセレクトレジスタ 追記
		P203 3.3.12 GIO_INT_FIQ 端子接続レジスタ 注意 1 . GIO_GSW[63:0]→GIO_GSW[127:0] 注意 2 . GIO_GSW[63:0]→GIO_GSW[127:0] 誤記訂正
		P207 3.3.16 入力ポート割り込み検出方式レジスタ レジスタバー ビット 31:28 GIO_IDT3_3→gio_idt3_31 誤記訂正
		P212 図 4-1 内容修正

日付	版数	改版内容
2009.3.31	第 2 版	P225 4.2.4 リセット信号生成一覧 CAM_RSTZ , CAM_ARSTZ 追記
		P239 付録 A クロック一覧 CAM_PCLK , CAM_CLK , CAM_SCLK 追記
2009.9.30	第 3 版	P191 3.2.127 USB コアセレクトレジスタ 注意書き追記
		P224 4.2.3 ウォッチドッグ・タイマによるリセット TW0, TW1 → TW0, TW3 誤記訂正
		P135 3.2.73 周波数自動切り替え制御 REQMASK0 レジスタ 内容一部修正
		P136 3.2.74 周波数自動切り替え制御 REQMASK1 レジスタ 内容一部修正
		P180 3.2.115 周波数自動切り替え制御 REQMASK3 レジスタ 内容一部修正
		P212 4.1 クロック制御 説明内容一部修正
		P221 4.1.12 周波数自動切り替え制御 分周率は 1/4 (固定) 記載削除
2009.12.22	第 4 版	P117 3.2.64 マクロ・クロック・ゲート制御レジスタ 0 ビット[9:8] , [4:2] 誤記訂正
		P238 付録 A 誤記訂正
2010.6.30	第 5 版	P25 3.1 レジスター一覧 0814H 略号 誤記訂正
		P46 3.2.10 自動遷移許可レジスタ ビット 16 機能欄 誤記訂正
		P131 3.2.71 GCLKCTRL3 のセット / リセットイネーブルレジスタ ビット 30 を Reserved に変更 誤記訂正
		P223 4.2 リセット制御 図 4-12 「SMU は L0_DET で初期化されます」 → 「SMU は A_RESETB で初期化されます」 誤記訂正



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口： <http://japan.renesas.com/inquiry>