

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

携帯マルチメディア・プロセッサ

SPI 編

EMMA MobileTM1

資料番号 S19261JJ3V0UM00 (第3版)

発行年月 September 2009

[× モ]

① 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力が入力ノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

② 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③ 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

④ 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

⑤ 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

⑥ 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

本製品は外国為替及び外国貿易法の規定により規制貨物等に該当しますので、日本国外に輸出する場合には、同法に基づき日本国政府の輸出許可が必要です。

- 本資料に記載されている内容は2009年9月現在のもので、今後、予告なく変更することがあります。
量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っておりません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないように、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E0710J

はじめに

対 象 者 このマニュアルは、携帯マルチメディア・プロセッサ EMMA Mobile1（以降、EM1 と表記します）の SPI インタフェースの機能を理解し、それを用いたソフトウェア、ハードウェアなどのアプリケーション・システムを設計するユーザを対象とします。

目 的 このマニュアルは、EM1 の SPI インタフェースが持つハードウェア、ソフトウェア機能をユーザに理解していただき、これらのデバイスを使用するシステムのハードウェア、ソフトウェア開発の参照用資料として役立つことを目的としています。

構 成 このマニュアルは、大きく分けて次の内容で構成しています。

- 第 1 章 概 説
- 第 2 章 端子機能
- 第 3 章 レジスタ
- 第 4 章 機能詳細
- 第 5 章 使用方法

読 み 方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータに関する一般的知識が必要となります。

- ・ SPI インタフェースの機能の詳細を理解しようとするとき
→ 目次に従ってお読みください。
- ・ 携帯マルチメディア・プロセッサ全体の機能を理解しようとするとき
→ モジュールごとのユーザズ・マニュアルを参照してください。
- ・ 携帯マルチメディア・プロセッサ全体の電気的特性を理解しようとするとき
→ データ・シートを参照してください。

凡 例	データ表記の重み	: 左が上位桁, 右が下位桁
	注	: 本文中につけた注の説明
	注意	: 気をつけて読んでいただきたい内容
	備考	: 本文中の補足説明
	数の表記	: 2 進数 ... ××××または××××B 10 進数 ... ×××× 16 進数 ... ××××H
	データ・タイプ	ワード ... 32 ビット ハーフ・ワード ... 16 ビット バイト ... 8 ビット

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

資料名		資料番号
MC-10118A データ・シート		S19657J
μPD77630A データ・シート		S19686J
ユーザーズ・マニュアル	Audio/Voice, PWM インタフェース編	S19253J
	DDR SDRAM インタフェース編	S19254J
	DMA コントローラ編	S19255J
	I ² C インタフェース編	S19256J
	ITU-R BT.656 インタフェース編	S19257J
	LCD コントローラ編	S19258J
	MICROWIRE 編	S19259J
	NAND Flash インタフェース編	S19260J
	SPI 編	このマニュアル
	UART インタフェース編	S19262J
	イメージ・コンポーザ編	S19263J
	イメージ・プロセッサ・ユニット編	S19264J
	システム制御／汎用入出力インタフェース編	S19265J
	タイマ編	S19266J
	地上デジタル TV インタフェース編	S19267J
	カメラ・インタフェース編	S19285J
	USB インタフェース編	S19359J
	SD メモリ・カード・インタフェース	S19361J
	PDMA 編	S19373J
	1 チップ編 (MC-10118A)	S19598J
	1 チップ編 (μPD77630A)	S19687J

注意 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料を使用してください。

目 次

第 1 章 概 説・・・10

- 1.1 特 徴・・・10
- 1.2 ブロック図・・・11

第 2 章 端子機能・・・12

- 2.1 SPIインタフェース端子・・・12

第 3 章 レジスタ・・・13

- 3.1 レジスタ一覧・・・13
- 3.2 レジスタ機能・・・14
 - 3.2.1 モード・レジスタ・・・14
 - 3.2.2 SPI極性レジスタ・・・15
 - 3.2.3 コントロール・レジスタ・・・16
 - 3.2.4 送信データ・レジスタ・・・18
 - 3.2.5 受信データ・レジスタ・・・19
 - 3.2.6 割り込みステータス・レジスタ・・・20
 - 3.2.7 割り込みRawステータス・レジスタ・・・21
 - 3.2.8 割り込みイネーブル・セット・レジスタ・・・22
 - 3.2.9 割り込みイネーブル・クリア・レジスタ・・・24
 - 3.2.10 割り込み要因クリア・レジスタ・・・25
 - 3.2.11 コントロール・レジスタ 2・・・26
 - 3.2.12 CS固定・レジスタ・・・27

第 4 章 機能詳細・・・28

- 4.1 自動転送停止機能（DMA マスタ固定長モード）・・・28
- 4.2 割り込み生成機能・・・28
- 4.3 クロック・・・29
- 4.4 レジスタによるCS固定機能・・・29
- 4.5 SI/SOの入出力位相切り替え（SCLKの立ち上がり／立ち下がり）・・・29
- 4.6 リセット制御・・・30
- 4.7 各詳細タイミングの説明・・・31
 - 4.7.1 SPIインタフェース・タイミング 1（CKn_DLY = “0” マスタ・モード）・・・31
 - 4.7.2 SPIインタフェース・タイミング 2（CK0_DLY = “0” スレーブ・モード）・・・32
 - 4.7.3 SPIインタフェース・タイミング 3（CKn_DLY = “1” マスタ・モード）・・・33
 - 4.7.4 SPIインタフェース・タイミング 4（CK0_DLY = “1” スレーブ・モード）・・・34
 - 4.7.5 DMA送信インタフェース・タイミング・・・35

4.7.6 DMA受信インタフェース・タイミング・・・36

4.7.7 送信データ・レジスタ，受信データ・レジスタとシリアル転送データの対応・・・37

第5章 使用方法・・・38

5.1 SPI転送手順・・・38

5.1.1 CPUモードのマスタ転送動作・・・39

5.1.2 CPUモードのスレーブ転送動作・・・40

5.1.3 DMAモードのマスタ転送動作（通常転送）・・・41

5.1.4 DMAモードのマスタ転送動作（STOP→START）・・・42

5.1.5 DMAモードのマスタ転送動作（RESET→START）・・・43

5.1.6 DMAモードのスレーブ転送動作（通常動作）・・・44

5.1.7 DMA（マスタ）モード固定長送信・・・45

5.1.8 DMA（マスタ）モード固定長受信・・・46

5.1.9 DMA（マスタ）モード固定長送信でのCPU連続送信・・・47

図の目次

図番号	タイトル, ページ
図 1-1	SPIモジュール・ブロック図・・・11
図 4-1	インタフェース・タイミング 1・・・31
図 4-2	インタフェース・タイミング 2・・・32
図 4-3	SPIインタフェース・タイミング 3・・・33
図 4-4	インタフェース・タイミング 4・・・34
図 4-5	DMA送信インタフェース・タイミング・・・35
図 4-6	DMA受信インタフェース・タイミング・・・36
図 4-7	ビット対応図・・・37
図 5-1	SPI転送手順・・・38
図 5-2	CPUモードのマスタ転送タイミング (CKn_DLY = 0)・・・39
図 5-3	CPUモードのスレーブ転送タイミング (CKn_DLY = 0)・・・40
図 5-4	DMAモードのマスタ転送タイミング (通常) (CKn_DLY = 0)・・・41
図 5-5	DMAモードのマスタ転送タイミング (STOP→START)・・・42
図 5-6	DMAモードのマスタ転送タイミング (RESET→START)・・・43
図 5-7	DMAモードのスレーブ転送タイミング (通常) (CKn_DLY = 0)・・・44

第1章 概 説

このマニュアルでは、EM1 の SPI（シリアル・ペリフェラル・インタフェース）について説明します。
EM1 に搭載する SPI はマスタ・モードおよびスレーブ・モードをサポートします。

1.1 特 徴

SPI の主な特徴を次に示します。

EM1 は、4 線式シリアル・インタフェースである SPI インタフェースを 3 チャンネル持っています。

- 転送モード

- マスタ／スレーブ

- CPU モードと DMA モード

- DMA モードではさらに通常モードと固定長モードがある。

- CPU モード：1 フレームの送信／受信／送受信を行い、完了するモード。

- DMA モード：送受信それぞれ 32 ワードの FIFO を持ち、連続した転送を行う。ACPU からの STOP 制御が行われるまで転送を行う通常モードと FIFO の状態で自動停止する固定長モードがある。

- CS ごとの SCLK 極性（正／反）、遅延（SCLK 半クロック）設定可能

- 転送ビット設定（8～32 ビット）

- 自動転送停止機能（DMA 固定長モード）

- DMA マスタ送信時送信バッファが Empty になった時点で SPI 送信を停止。

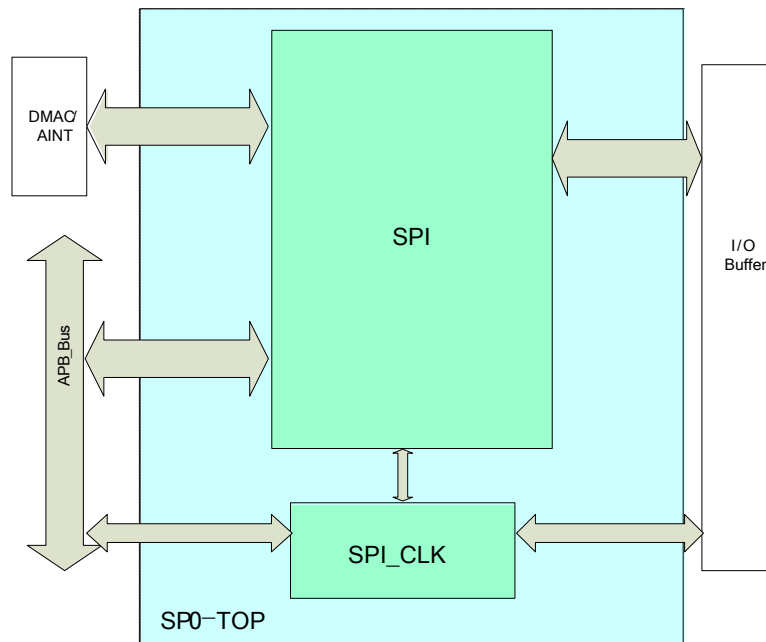
- DMA マスタ受信時受信バッファにレジスタで設定された任意のデータ数と、受信バッファの格納データ数が一致した時点で SPI 受信を停止。

- レジスタ設定による CS 固定制御機能

- SI/SO の入出力位相切り替え

1.2 ブロック図

図 1-1 SPI モジュール・ブロック図



第2章 端子機能

2.1 SPIインタフェース端子

端子名	入出力	リセット時	機 能	兼用端子
SP0_CLK	入出力	0	SPI0 クロック出力	MWI_SK
SP0_SI	入力	—	SPI0 データ	MWI_SI
SP0_SO	出力	0	SPI0 データ	MWI_SO
SP0_CS0	入出力	0	SPI0 チップ・セレクト	MWI_CS
SP0_CS[2:1]	出力	0	SPI0 チップ・セレクト	GIO_P[49:48]
SP1_CLK	入出力	0	SPI1 クロック入力	GIO_P73 NTS_VS
SP1_SI	入力	—	SPI1 データ	GIO_P74 NTS_HS
SP1_SO	出力	0	SPI1 データ	GIO_P75 NTS_DATA0 CAM_YUV0
SP1_CS5	出力	0	SPI1 チップ・セレクト	GIO_P81 NTS_DATA6 PM1_SI
SP1_CS4	出力	0	SPI1 チップ・セレクト	GIO_P80 NTS_DATA5 PM1_SEN
SP1_CS[3:1]	出力	0	SPI1 チップ・セレクト	GIO_P[79:77] NTS_DATA[4:2] CAM_YUV[4:2]
SP1_CS0	入出力	0	SPI1 チップ・セレクト	GIO_P76 NTS_DATA1 CAM_YUV1
SP2_CLK	入出力	0	SPI2 クロック入力	DTV_BCLK
SP2_SI	入力	—	SPI2 データ	DTV_DATA
SP2_SO	出力	0	SPI2 データ	DTV_PSYNC
SP2_CS0	入出力	0	SPI2 チップ・セレクト	DTV_VLD

第3章 レジスタ

3.1 レジスタ一覧

SPI のレジスタはワード（32 ビット）・アクセスのみ可能です。

Reserved レジスタへのアクセスは行わないで下さい。

各レジスタ内の Reserved ビットへの書き込みは無視されます。

レジスタは SP0/SP1/SP2 共通です。

ベース・アドレス：SP0_TOP C012_0000H

SP1_TOP C013_0000H

SP2_TOP 4013_0000H

アドレス	レジスタ名称	略 号	R/W	リセット時
0000H	モード・レジスタ	SPx_MODE	R/W	0000_0002H
0004H	SPI 極性レジスタ	SPx_POL	R/W	0000_7000H
0008H	コントロール・レジスタ	SPx_CONTROL	R/W	0000_8040H
000CH	Reserved	-	-	-
0010H	送信データ・レジスタ	SPx_TX_DATA	W	0000_0000H
0014H	受信データ・レジスタ	SPx_RX_DATA	R	0000_00xxH
0018H	割り込みステータス・レジスタ	SPx_STATUS	R	0000_0000H
001CH	割り込み Raw ステータス・レジスタ	SPx_RAW_STATUS	R	0000_0000H
0020H	割り込みイネーブル・セット・レジスタ	SPx_ENSET	R/W	0000_0000H
0024H	割り込みイネーブル・クリア・レジスタ	SPx_ENCLR	W	0000_0000H
0028H	割り込み要因クリア・レジスタ	SPx_FFCLR	W	0000_0000H
002CH- 0030H	Reserved	-	-	-
0034H	コントロール・レジスタ 2	SPx_CONTROL2	R/W	0000_0000H
0038H	CS 固定レジスタ	SPx_TIECS	R/W	0000_0000H
003CH- FFFFH	Reserved	-	-	-

備考 SP0 (x = 0), SP1 (x = 1), SP2 (x = 2)

3.2 レジスタ機能

3.2.1 モード・レジスタ

本レジスタ（SP0_MODE：C012_0000H, SP1_MODE：C013_0000H, SP2_MODE：4013_0000H）は、SPxマクロの動作モードを設定します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved		CK_PHASE	NB_A[4:0]				
		E					
7	6	5	4	3	2	1	0
Reserved	CS_SEL[2:0]			Reserved		M_S	DMA

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:14	0	予約。読み出すと0を返します。
CK_PHASE	R/W	13	0	0：通常モード 1：位相変更モード（送信/受信で使用する SCLK が同相になります。）
NB_A[4:0]	R/W	12:8	0	転送ビット数設定を設定します。 [※] 通信するビット数は NB_A+1 個転送されます。設定値（7～31）
Reserved	R	7	0	予約。読み出すと0を返します。
CS_SEL[2:0]	R/W	6:4	0	転送チップ・セレクトを選択します。 000：CS0 を選択します。 001：CS1 を選択します。 010：CS2 を選択します。 011：CS3 を選択します。 100：CS4 を選択します。 101：CS5 を選択します。 110：選択不可 111：選択不可
Reserved	R	3:2	0	予約。読み出すと0を返します。
M_S	R/W	1	1	0：マスタ・モードで動作します。 1：スレーブ・モードで動作します。
DMA	R/W	0	0	0：CPU モードで動作します。 1：DMA モードで動作します。

注 NB_A の設定は“7”以上を設定してください。“7”未満を設定しても“7”を設定したときと同様の転送動作を行います。

動作中のモード変更は禁止です。

3.2.2 SPI極性レジスタ

本レジスタ（SP0_POL：C012_0004H, SP1_POL：C013_0004H, SP2_POL：4013_0004H）は、SCLK、チップ・セレクトの極性を決めます。

連続転送に対する SPx_CS の非アクティブ幅期間（CSW）を SPx_SCLK のクロック数で設定します。

CS 固定レジスタで固定側選択時の CS 出力を変更します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved		CK5_DLY	CK5_POL	CS5_POL	CK4_DLY	CK4_POL	CS4_POL
15	14	13	12	11	10	9	8
CSW[3:0]				CK3_DLY	CK3_POL	CS3_POL	CK2_DLY
7	6	5	4	3	2	1	0
CK2_POL	CS2_POL	CK1_DLY	CK1_POL	CS1_POL	CK0_DLY	CK0_POL	CS0_POL

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:22	0	予約。読み出すと 0 を返します。
CK5_DLY	R/W	21	0	0：遅延クロック設定無し 1：遅延クロック設定有り
CK5_POL	R/W	20	0	0：正極性 1：負極性
CS5_POL	R/W	19	0	0：正極性 1：負極性
CK4_DLY	R/W	18	0	0：遅延クロック設定無し 1：遅延クロック設定有り
CK4_POL	R/W	17	0	0：正極性 1：負極性
CS4_POL	R/W	16	0	0：正極性 1：負極性
CSW[3:0]	R/W	15:12	0111b	マスタ転送時の SPx_CS の非アクティブ期間設定 1～16 クロック幅（SPx_SCLK 基準） [※] END 等の割り込みは CSW 後に発生します。
CK3_DLY	R/W	11	0	0：遅延クロック設定無し 1：遅延クロック設定有り
CK3_POL	R/W	10	0	0：正極性 1：負極性
CS3_POL	R/W	9	0	0：正極性 1：負極性
CK2_DLY	R/W	8	0	0：遅延クロック設定無し 1：遅延クロック設定有り
CK2_POL	R/W	7	0	0：正極性 1：負極性
CS2_POL	R/W	6	0	0：正極性 1：負極性
CK1_DLY	R/W	5	0	0：遅延クロック設定無し 1：遅延クロック設定有り
CK1_POL	R/W	4	0	0：正極性 1：負極性
CS1_POL	R/W	3	0	0：正極性 1：負極性
CK0_DLY	R/W	2	0	0：遅延クロック設定無し 1：遅延クロック設定有り
CK0_POL	R/W	1	0	0：正極性 1：負極性
CS0_POL	R/W	0	0	0：正極性 1：負極性

注 CSW の設定は設定値+1 の SCLK 幅になります。

3.2.3 コントロール・レジスタ

本レジスタ (SP0_CONTROL : C012_0008H, SP1_CONTROL : C013_0008H, SP2_CONTROL : 4013_0008H) は, SPx マクロを制御します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
TX_EMP	RX_FULL	Reserved					RST
7	6	5	4	3	2	1	0
TX_FULL	RX_EMP	Reserved		WRT	RD	STOP	START

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:16	0	予約。読み出すと 0 を返します。
TX_EMP	R	15	1	0 : 送信 FIFO に有効データ 1 つ以上存在します。 1 : 送信 FIFO が空です。
RX_FULL	R	14	0	0 : 受信 FIFO に書き込み領域が 1 つ以上あります。 1 : 受信 FIFO に 32 ワードデータがあります。
Reserved	R	13:9	0	予約。読み出すと 0 を返します。
RST	R/W	8	0	1 : SPx マクロをリセットします。ただし、レジスタ設定は一部を除きリセットされません。 0 : リセット解除
TX_FULL	R	7	0	0 : 送信 FIFO に書き込む領域があります。 1 : 送信 FIFO に 32 ワードデータがあります。
RX_EMP	R	6	1	0 : 受信 FIFO にデータが存在しています。 1 : 受信 FIFO が空です。
Reserved	R	5:4	0	予約。読み出すと 0 を返します。
WRT	R/W	3	0	0 : 送信禁止。SO に対して常に “0” を出力します。 1 : 送信許可 CPU モード時は TX_DATA に登録したデータが SO に出力されます。 DMA モード時は送信 FIFO に空きがある場合 TX_DMAREQ を発生します。
RD	R/W	2	0	0 : 受信禁止。受信 FIFO にデータを書き込みません。 1 : 受信許可 CPU モード時は 1 フレーム受信後に RDV 割り込みを発生します。 DMA モード時は受信 FIFO に有効データがある場合 RX_DMAREQ を発生します。
STOP	W	1	0	0 : 影響なし 1 : DMA 転送動作を強制停止します。リード時は, 0 が読み出されます。DMA 転送以外は設定禁止です。
START	W	0	0	0 : 影響なし 1 : 転送を起動します (スレーブ動作時は無効)。
	R			0 : 転送停止状態 1 : 転送中 (スレーブ動作時は無効)

注意 1. RST は“1”を書き込むことでソフト・リセットが起動し、“0”を書き込むことでソフト・リセットが解除されます。この期間、同期リセットを行うため、SPx マクロは SPx_PCLK, SPx_SCLK を要求します。ソフト・リセット起動後、4SCLK 以上の入力をおいてからソフト・リセットを解除してください。

RST でリセットされるレジスタは次のとおりです。

- SPx_CONTROL (RST ビットを除く)
- SPx_STATUS
- SPx_RAW_STATUS

RST を SPI 送受信中に実行すると転送が中断されます。転送中のフレームは保障されません。

2. STOP は DMA モードモードのみ使用可能です。

DMA モード以外で STOP に“1”を書き込むことは禁止です。

STOP による停止は、STOP 書き込み後、即停止します。転送中の場合は送信または受信後になります。

STOP へ“1”を書き込む場合、転送開始時の WRT, RD の設定を変更しないでください。

(例) DMA 送受信モードで SPx_CONTROL = 0D と設定して転送を開始した場合に STOP する場合は、
SPx_CONTROL = 0E と設定します。

3. STOP へ“1”を書き込んだあと再スタートする場合、START = 0 (転送停止) に設定されていることを確認してください。

4. 転送中に RD/WRT を切り替えることは禁止です。

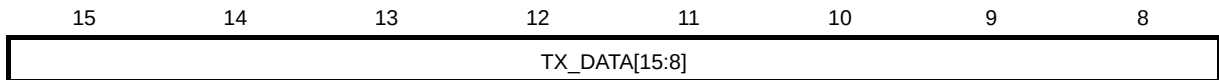
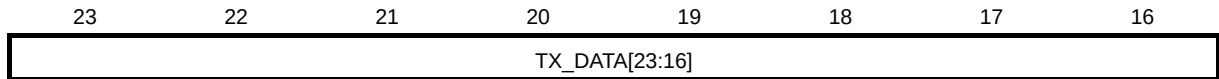
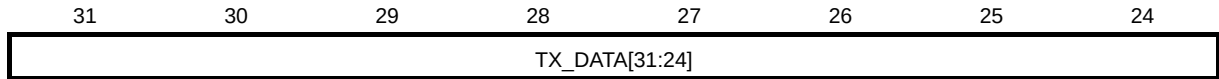
5. リセット解除 (RST = 0) と転送起動 (START = 1) を同時に行うことは禁止です。

6. RD = WRT = 0 で転送起動 (START = 1) を行うことは禁止です。

3.2.4 送信データ・レジスタ

本レジスタ（SP0_TX_DATA：C012_0010H, SP1_TX_DATA：C013_0010H, SP2_TX_DATA：4013_0010H）は、送信用データを送信 FIFO に書き込みます。読み出した場合“0”を出力します。

データは下位詰めで格納してください。NB_A = 7 に設定した場合、TX_DATA[7:0]に送信データを格納してください。



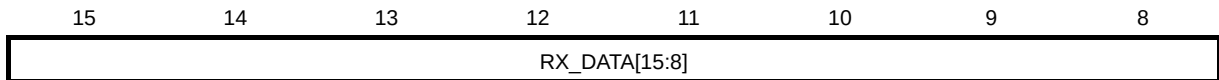
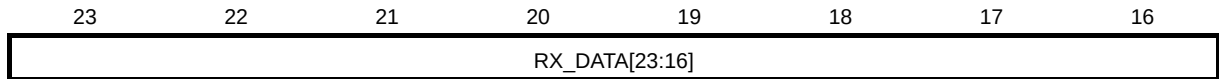
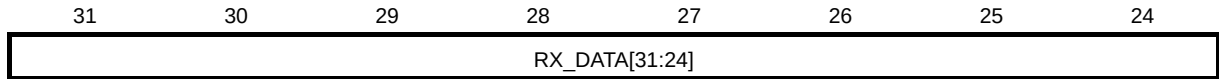
名 称	R/W	ビット	リセット時	機 能
TX_DATA [31:0]	W	31:0	0	送信データ・レジスタ

注意 TX-FULL 時には書き込まないでください。

3.2.5 受信データ・レジスタ

本レジスタ（SP0_RX_DATA：C012_0014H, SP1_RX_DATA：C013_0014H, SP2_RX_DATA：4013_0014H）は、受信用データを受信 FIFO から読み出します。書き込み動作を行った場合、無視されます。

受信データは下位詰めで格納されます。NB_A = 7 に設定した場合、受信データは RX_DATA[7:0]に格納されます。



名 称	R/W	ビット	リセット時	機 能
RX_DATA [31:0]	R	31:0	0000_00XX	受信データ・レジスタ

注意 RX-EMP 時に読み出すと、無効データを読み出し RX_FIFO_RP も動作しません。

3.2.6 割り込みステータス・レジスタ

本レジスタ (SP0_STATUS: C012_0018H, SP1_STATUS: C013_0018H, SP2_STATUS: 4013_0018H) はリード・オンリー・レジスタです。割り込みイネーブル・セット・レジスタで、イネーブルにセットされている割り込み要因のステータスがリードできます。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved	TX_STOP	RX_STOP	TERR	RDV	END	TX_UDR	RX_OVR

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:7	0	予約。読み出すと 0 を返します。
TX_STOP	R	6	0	送信開始後、送信 FIFO 格納データ量が 0 になったことを示します。このフラグは DMA マスタ・モード時のみ有効です。
RX_STOP	R	5	0	受信データ数が、RX_FIFO_FULL レジスタ設定値と一致したことを示します。このフラグは DMA マスタ・モード時のみ有効です。
TERR	R	4	0	NB_A 設定と SPx_SCLK_I のクロック数が不整合であることを示します。クロック数が NB_A 設定数の倍数の場合には発生しません。
RDV	R	3	0	CPU モードにて、1 フレームの受信が完了したことを示します。
END	R	2	0	CPU モードにて、1 フレームの送受信が完了したことを示します。
TX_UDR	R	1	0	送信 FIFO がアンダランしたことを示します。
RX_OVR	R	0	0	受信 FIFO がオーバランしたことを示します。

- 注意** 1. CPU モード時には TERR, TX_UDR, RX_OVR, END, RDV の 5 つの割り込みが発生します。
2. DMA モード時には TERR, TX_UDR, RX_OVR, RX_STOP, X_STOP の 5 つの割り込みが発生します。
3. TERR, TX_UDR, RX_OVR に関してはスレーブ・モードでしか発生しません。

3.2.7 割り込みRawステータス・レジスタ

本レジスタ（SP0_RAW_STATUS：C012_001CH, SP1_RAW_STATUS：C013_001CH, SP2_RAW_STATUS：4013_001CH）はリード・オンリー・レジスタです。割り込みイネーブル・セット・レジスタの設定に関係なく割り込み要因のステータスがリードできます。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved	TX_STOP_RAW	RX_STOP_RAW	TERR_RAW	RDV_RAW	END_RAW	TX_UDR_RAW	RX_OVR_RAW

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:7	0	予約。読み出すと0を返します。
TX_STOP_RAW	R	6	0	送信 FIFO 格納データ量が0になったことにより、SPI 送信を停止したことを示します。 このフラグは DMA マスタ動作時のみ有効です。
RX_STOP_RAW	R	5	0	受信データ数が、RX_FIFO_FULL レジスタ設定値と一致したことにより、SPI 受信を停止したことを示します。 このフラグは DMA マスタ動作時のみ有効です。
TERR_RAW	R	4	0	NB_A 設定と SPx_SCLK_I のクロック数が不整合であることを示します。クロック数が NB_A 設定数の倍数の場合には発生しません。
RDV_RAW	R	3	0	CPU モードにて、1 フレームの受信が完了したことを示します。
END_RAW	R	2	0	CPU モードにて、1 フレームの送受信が完了したことを示します。
TX_UDR_RAW	R	1	0	送信 FIFO がアンダランしたことを示します。
RX_OVR_RAW	R	0	0	受信 FIFO がオーバランしたことを示します。

- 注意 1.** CPU モード時には TERR_RAW, TX_UDR_RAW, RX_OVR_RAW, END_RAW, RDV_RAW の 5 つの割り込みが発生します。
- 2.** DMA モード時には TERR_RAW, TX_UDR_RAW, RX_OVR_RAW, RX_STOP_RAW, X_STOP_RAW の 5 つの割り込みが発生します。
- 3.** TERR_RAW, TX_UDR_RAW, RX_OVR_RAW に関してはスレーブ・モードでしか発生しません。

3.2.8 割り込みイネーブル・セット・レジスタ

本レジスタ（SP0_ENSET：C012_0020H, SP1_ENSET：C013_0020H, SP2_ENSET：4013_0020H）は割り込み要求の発行を許可するレジスタです。本レジスタの割り込み要因に対応するビットを“1”に設定すると割り込み要因がセットされることにより割り込み要求を発行して割り込みステータス・レジスタの対応するビットを“1”に設定します。“0”が書き込まれても、何も変化しません。また、本レジスタを読み出すことにより、割り込み要求発行許可の状態が確認できます。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved	TX_STOP_EN	RX_STOP_EN	TERR_EN	RDV_EN	END_EN	TX_UDR_EN	RX_OVR_EN

(1/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:7	0	予約。読み出すと0を返します。
TX_STOP_EN	R	6	0	TX_STOP 割り込み要求発行許可の状態を示します。 0：許可しない。 1：許可する。
	W			TX_STOP 割り込み発行許可の設定をします。 0：影響なし 1：割り込みマスク解除
RX_STOP_EN	R	5	0	RX_STOP 割り込み要求発行許可の状態を示します。 0：許可しない。 1：許可する。
	W			RX_STOP 割り込み発行許可の設定をします。 0：影響なし 1：割り込みマスク解除
TERR_EN	R	4	0	TERR 割り込み要求発行許可の状態を示します。 0：許可しない。 1：許可する。
	W			TERR 割り込み発行許可の設定をします。 0：影響なし 1：割り込みマスク解除
RDV_EN	R	3	0	RDV 割り込み要求発行許可の状態を示します。 0：許可しない。 1：許可する。
	W			RDV 割り込み発行許可の設定をします。 0：影響なし 1：割り込みマスク解除
END_EN	R	2	0	END 割り込み要求発行許可の状態を示します。 0：許可しない。 1：許可する。
	W			END 割り込み発行許可の設定をします。 0：影響なし 1：割り込みマスク解除

(2/2)

名 称	R/W	ビット	リセット時	機 能
TX_UDR_EN	R	1	0	TX_UDR 割り込み要求発行許可の状態を示します。 0：許可しない。 1：許可する。
	W			TX_UDR 割り込み発行許可の設定をします。 0：影響なし 1：割り込みマスク解除
RX_OVR_EN	R	0	0	RX_OVR 割り込み要求発行許可の状態を示します。 0：許可しない。 1：許可する。
	W			RX_OVR 割り込み発行許可の設定をします。 0：影響なし 1：割り込みマスク解除

3.2.9 割り込みイネーブル・クリア・レジスタ

本レジスタ（SP0_ENCLR：C012_0024H, SP1_ENCLR：C013_0024H, SP2_ENCLR：4013_0024H）は割り込み要求の発行を禁止するレジスタです。本レジスタの割り込み要因に対応するビットを“1”に設定すると、割り込み要因が発生しても割り込み要求の発行を行いません。また、割り込みステータス・レジスタの対応するビットのステータスも変化しません。“0”を設定しても何も変わりません。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved	TX_STOP_MASK	RX_STOP_MASK	TERR_MASK	RDV_MASK	END_MASK	TX_UDR_MASK	RX_OVR_MASK

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:7	0	予約。読み出すと0を返します。
TX_STOP_MASK	W	6	0	0：影響なし 1：TX_STOP に対する割り込み要求発行を禁止します。
RX_STOP_MASK	W	5	0	0：影響なし 1：RX_STOP に対する割り込み要求発行を禁止します。
TERR_MASK	W	4	0	0：影響なし 1：TERR に対する割り込み要求発行を禁止します。
RDV_MASK	W	3	0	0：影響なし 1：RDV に対する割り込み要求発行を禁止します。
END_MASK	W	2	0	0：影響なし 1：END に対する割り込み要求発行を禁止します。
TX_UDR_MASK	W	1	0	0：影響なし 1：TX_UDR に対する割り込み要求発行を禁止します。
RX_OVR_MASK	W	0	0	0：影響なし 1：RX_OVR に対する割り込み要求発行を禁止します。

3.2.10 割り込み要因クリア・レジスタ

本レジスタ (SP0_FFCLR : C012_0028H, SP1_FFCLR : C013_0028H, SP2_FFCLR : 4013_0028H) はライト・オンリー・レジスタです。割り込み要因に対応するビットを“1”に設定すると要因が解除されます。“0”を設定しても何も変わりません。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved	TX_STOP_CLR	RX_STOP_CLR	TERR_CLR	RDV_CLR	END_CLR	TX_UDR_CLR	RX_OVR_CLR

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:7	0	予約。読み出すと0を返します。
TX_STOP_CLR	W	6	0	0: 影響なし 1: TX_STOP の割り込み要因をクリアします。
RX_STOP_CLR	W	5	0	0: 影響なし 1: RX_STOP の割り込み要因をクリアします。
TERR_CLR	W	4	0	0: 影響なし 1: TERR の割り込み要因をクリアします。
RDV_CLR	W	3	0	0: 影響なし 1: RDV の割り込み要因をクリアします。
END_CLR	W	2	0	0: 影響なし 1: END の割り込み要因をクリアします。
TX_UDR_CLR	W	1	0	0: 影響なし 1: TX_UDR の割り込み要因をクリアします。
RX_OVR_CLR	W	0	0	0: 影響なし 1: RX_OVR の割り込み要因をクリアします。

DMA マスタ・モード以外では、固定長転送の設定は無効となります。



注意 RX FIFO FULL の閾値設定は、DMA モードの受信 (Rx, Tx/Rx) の際に有効です。

送受信 (WRT = 1/RD = 1) モードでは (TX_STOP_MODE = 1, RX_STOP_MODE = 1) を両方設定してくだ

3.2.12 CS固定レジスタ

本レジスタ (SP0_TIECS:C012_0038H, SP1_TIECS:C013_0038H, SP2_TIECS:4013_0038H) は, SPx_CS0, SPx_CS1, SPx_CS2, SPx_CS3, SPx_CS4, SPx_CS5 の出力を固定します。

固定するレベルは SPI 極性レジスタ (SP0_POL : C012_0004H, SP1_POL : C013_0004H, SP2_POL : 4013_0004H) の設定値で固定されます。

例) CS3_POL が設定値 “0” (正極性) の場合, CS3 は “0” 固定になります。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved		R_CS5	R_CS4	R_CS3	R_CS2	R_CS1	R_CS0

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:6	0	予約。読み出すと 0 を返します。
R_CS5	R/W	5	0	端子 SPx_CS5 の出力値を設定します。 0: 通常動作 1: SPx_CS5 は CS5_POL 設定値で固定されます。
R_CS4	R/W	4	0	端子 SPx_CS4 の出力値を設定します。 0: 通常動作 1: SPx_CS4 は CS4_POL 設定値で固定されます。
R_CS3	R/W	3	0	端子 SPx_CS3 の出力値を設定します。 0: 通常動作 1: SPx_CS3 は CS3_POL 設定値で固定されます。
R_CS2	R/W	2	0	端子 SPx_CS2 の出力値を設定します。 0: 通常動作 1: SPx_CS2 は CS2_POL 設定値で固定されます。
R_CS1	R/W	1	0	端子 SPx_CS1 の出力値を設定します。 0: 通常動作 1: SPx_CS1 は CS1_POL 設定値で固定されます。
R_CS0	R/W	0	0	端子 SPx_CS0 の出力値を設定します。 0: 通常動作 1: SPx_CS0 は CS0_POL 設定値で固定されます。

第4章 機能詳細

4.1 自動転送停止機能（DMA マスタ固定長モード）

DMA マスタ送信時、送信バッファが Empty になった時点で SPI 送信を停止する機能です。

DMA マスタ受信時、RX_FIFO_FULL[15:0]で設定された任意のデータ数と受信データ数が一致した時点で SPI 受信を停止する機能を有します。

4.2 割り込み生成機能

割り込み信号（SPx_INT）を生成します。

それぞれ次の要因にて割り込みを上げます。

○ 割り込み信号（SPx_INT）

- DMA マスタ・モードで送信開始後、送信 FIFO データ量が空になったとき（TX_STOP）
- DMA マスタ・モードで受信データ数がレジスタ RX_FIFO_FULL[15:0]値と一致したとき（RX_STOP）
- スレーブ動作で、SPx_SCLK_1 のクロック数が転送ビット数レジスタ NB_A の整数倍で無い場合（TERR）
TERR 発生時は、転送終了後の END 割り込みは発生しません。転送を再開するには、ソフト・リセットが必要です。
- CPU モードで 1 フレームの受信が完了したとき（RDV）
- CPU モードで 1 フレームの送信または受信が完了したとき（END）
- スレーブ動作で送信 FIFO がアンダランしたとき（TX_UDR）
アンダラン時は、データは保障されません。転送を再開するには、ソフト・リセットが必要です。
- スレーブ動作で受信 FIFO がオーバランしたとき（RX_OVR）
オーバラン時は、データは保障されません。転送を再開するには、ソフト・リセットが必要です。

○ 受信バッファが一度 FULL 状態となった場合、受信バッファをリードして FULL 状態を解除しても、次の受信を行うと RX_OVR 割り込み発生します。

- DMA スレーブ・モードの送受信設定（WRT = 1/RD = 1）で送信データをセットする前に CLK/CS が入力されたとき（TX_UDR）

4.3 クロック

各クロックは、ASMU のクロック制御レジスタの設定により、常時供給・自動制御・停止の制御が可能です。

APB における自動制御を行う場合、レジスタアクセス時における APB 側クロックのクロック (PCLK) は、PSEL の前に 1clk, PSEL で 2clk, PSEL 後に 3clk でのアクセスとなることを前提に設計されています。

SPI から要求する場合、PCLK は PCLKREQ, SCLKREQ のハイ・レベルで要求を行います。

○ SPx_SCLKREQ

- ・クロック供給側 (ASMU) に対して、端子 SPx_SCLKREQ = 1 にして、SPx_SCLK 出力要求を出します。
- ・端子 SPx_SCLKREQ = 1 は、転送動作中 (コントロール・レジスタ START = “1”) の期間 SPx_SCLK 出力要求します。(マスタ・モード時のみ。)

○ SPx_PCLKREQ

- ・クロック供給側 (ASMU) に対して、端子 SPx_PCLKREQ = 1 にして、SPx_PCLK 出力要求を出します。
- ・端子 SPx_PCLKREQ = 1 は、ポインタ制御時に SPx_PCLK 出力要求します。

4.4 レジスタによるCS固定機能

CS 固定・レジスタ (SPx_TIECS) の設定により、SPx_CS0, SPx_CS1, SPx_CS2, SPx_CS3, SPx_CS4, SPx_CS5 信号をレベル (Hi/L0) 固定制御することが可能。固定するレベルは、SPI 極性・レジスタ (SPx_POL) にて設定されます。

CS 固定制御はレジスタのみで決定され、SPx の内部動作に影響されません。

4.5 SI/SOの入出力位相切り替え (SCLKの立ち上がり／立ち下がり)

モード・レジスタ (CK_FASE ビット) 設定により、SI/SO の入出力の位相関係を通常の逆相関係から同相に変更可能です (マスタ動作時は受信側 F/F, スレーブ動作時は送信側 F/F の SCLK 位相を変更します)。

4.6 リセット制御

- SPI モジュールのレジスタは、同期リセットを採用します。
- パワー・オン時に全レジスタをリセットするために、ASMU からパワー・オン・リセット期間中、クロック（SPx_PCLK, SPx_SCLK）を供給する必要があります。
- ソフト・リセット制御
コントロール・レジスタの（RST）ビットに“1”がライトされ、解除（再度“0”が書き込まれる）までの期間、ソフト・リセットとなります。
ソフト・リセットでリセットされるレジスタは次のとおりです。
 - SPx_CONTROL（RST ビットを除く）
 - SPx_STATUS
 - SPx_RAW_STATUS

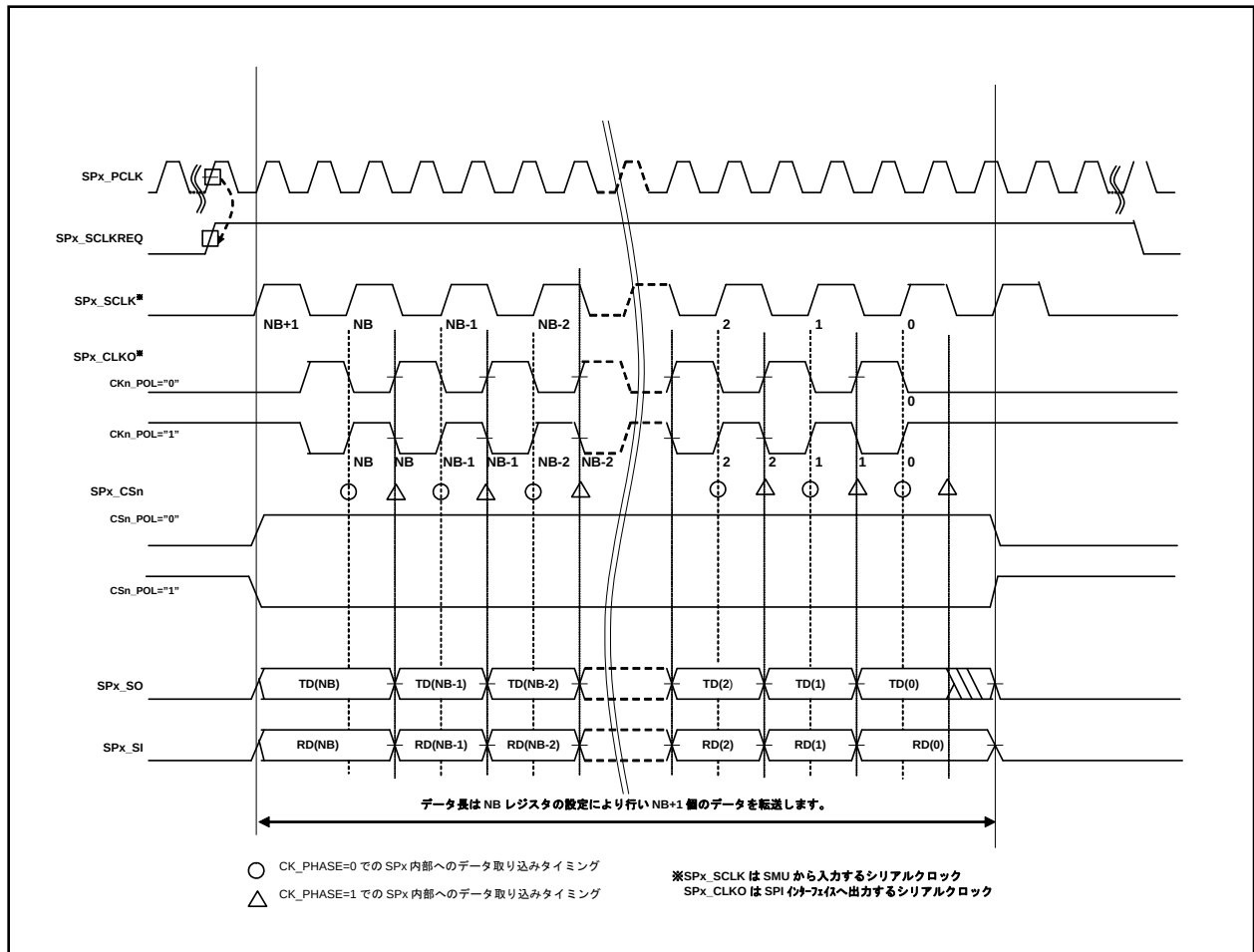
注意 転送中の場合、転送を中止します（データも保証されません）。

4.7 各詳細タイミングの説明

4.7.1 SPIインタフェース・タイミング 1 (CKn_DLY = “0” マスタ・モード)

図 4-1にSPIインタフェース・タイミング 1を示します。

図 4-1 インタフェース・タイミング 1



SPI インタフェース・タイミング 1 は極性、レジスタの CKn_DLY[※]を“0”に設定したマスタ・モードのタイミングです。

SPx_CLKO からシリアル・クロック、SPx_CSn[※]から外部デバイスに対する CS 信号を出力します。

SPx_SCLK、SPx_PCLK の要求タイミングについて、マスタ・モード時には通信開始した SPx_PCLK で SPx_SCLKREQ を“1”にします。SPx_SCLKREQ の要求により SPx_SCLK が ASMU マクロから供給されます。データの伝送については、SPx_CSn がアクティブ[※]のときに、送受信データは SPx_SCLK で出力され、受信データは SPx_SCLK で SPI モジュールに取り込まれます。

マスタ・モードでは、CK_PHASE の設定により受信データの取り込みタイミングが変化します。

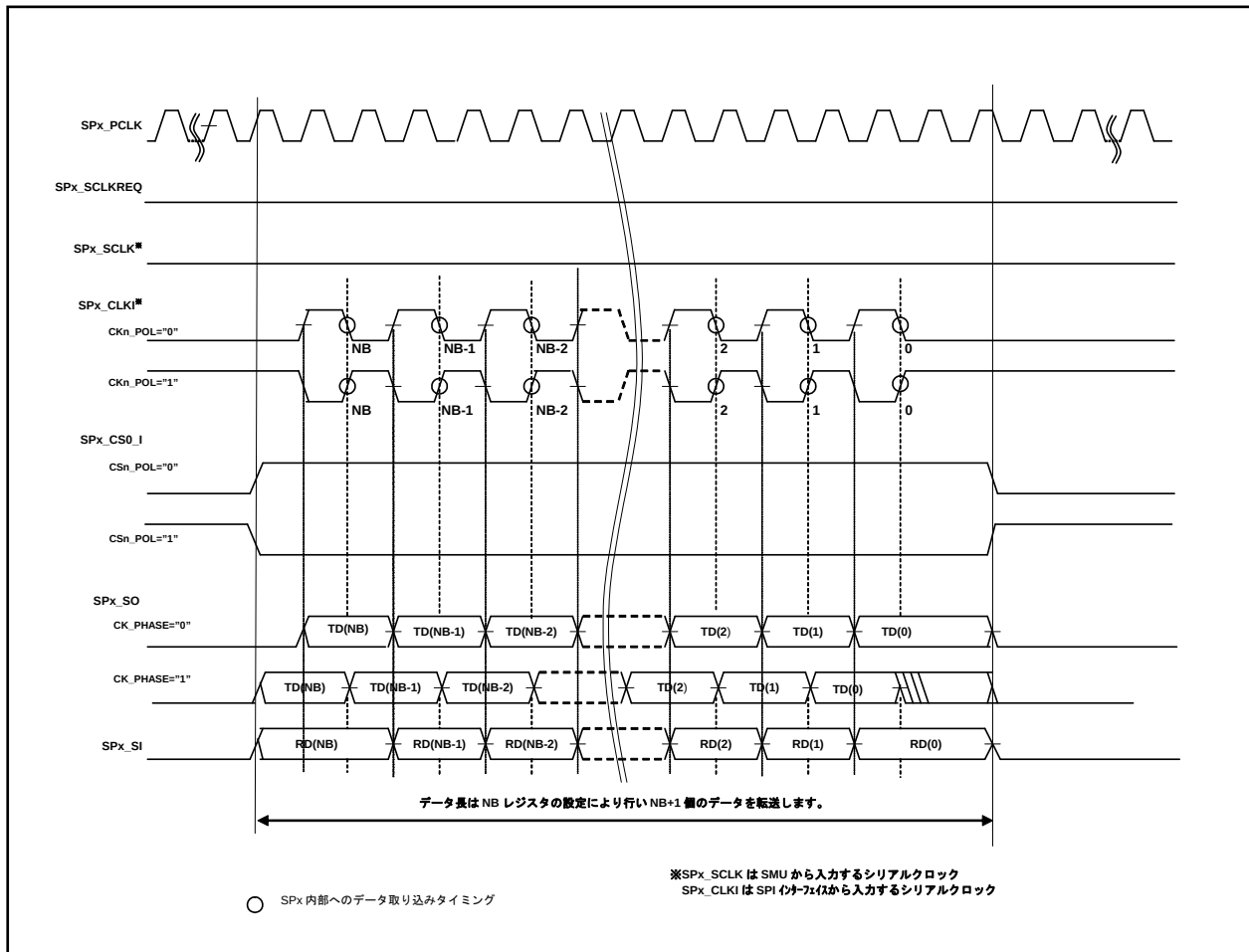
注 CSn_POL, CKn_POL, CKn_DLY, はモード・レジスタの CPx_CS_SEL で選択された SPx_CS0～SPx_CS3 を示します。CPU モード、DMA モード共にマスタ動作のときは選択された CS に対し出力します。

SPx_CSn のアクティブは CSn_POL の設定値で決定し、“0”のときはハイアクティブ、“1”のときローアクティブになります。

4.7.2 SPIインタフェース・タイミング2 (CK0_DLY = “0” スレーブ・モード)

図 4-2にSPIインタフェース・タイミング2を示します。

図 4-2 インタフェース・タイミング2



SPI インタフェース・タイミング2 は極性・レジスタの CK0_DLY 注を “0” に設定したスレーブ・モードのタイミングです。

SPx_CLKI からシリアル・クロック、SPx_CS0_I 注から外部デバイスからの CS 信号を入力します。

スレーブ・モードでは SPx_SCLKREQ は “1” にならず、SPx_SCLK も要求しません。

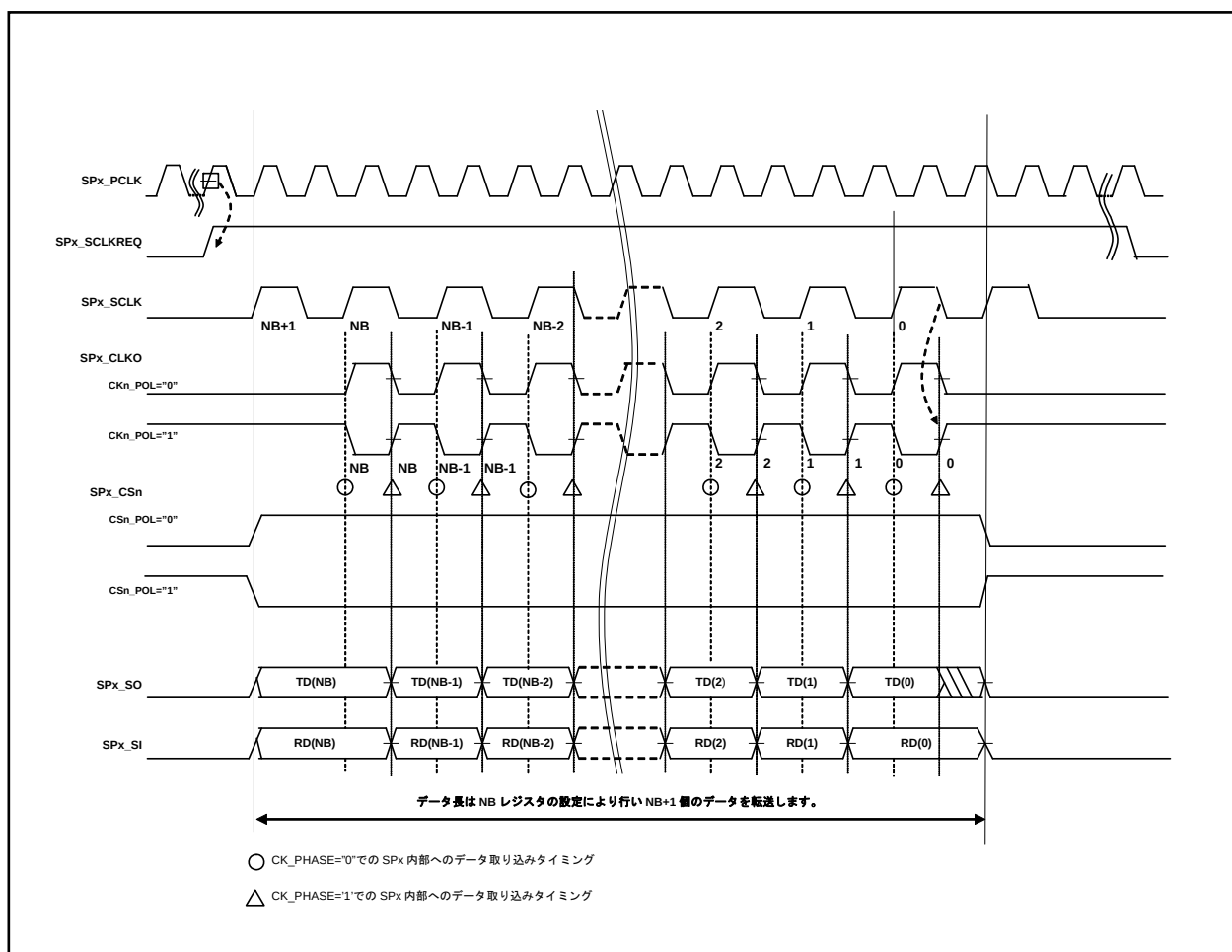
データの伝送については、SPx_CS0_I がアクティブのときに、送受信データは SCLK (SPx_CLKI) で出力され、受信データは SCLK (SPx_CLKI) で SPI モジュールに取り込まれます。

スレーブ・モードでは CK_PHASE 設定により送信データの出力タイミングが変化します。

4.7.3 SPIインタフェース・タイミング3 (CKn_DLY = “1” マスタ・モード)

図 4-3にSPIインタフェース・タイミング3を示します。

図 4-3 SPI インタフェース・タイミング3



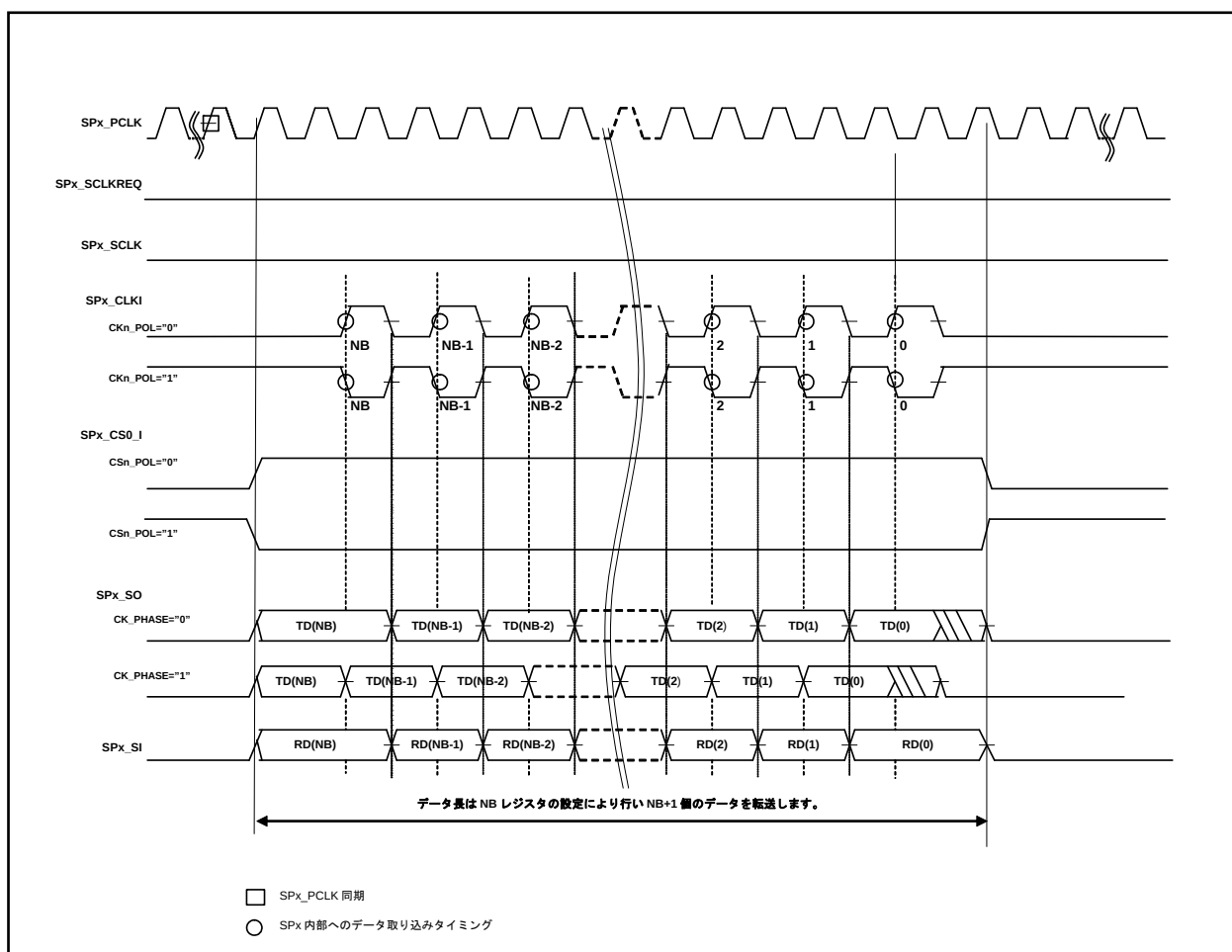
SPI インタフェース・タイミング3は極性・レジスタのCKn_DLY)を“1”に設定したマスタ・モードのタイミングであり、SPx_CLKOがSPIインタフェース・タイミング1と半クロックずれたタイミングになります。

マスタ・モードでは、CK_PHASEの設定により受信データの取り込みタイミングが変化します。

4.7.4 SPIインタフェース・タイミング4 (CK0_DLY = “1” スレーブ・モード)

図 4-4にSPIインタフェース・タイミング4を示します。

図 4-4 インタフェース・タイミング4



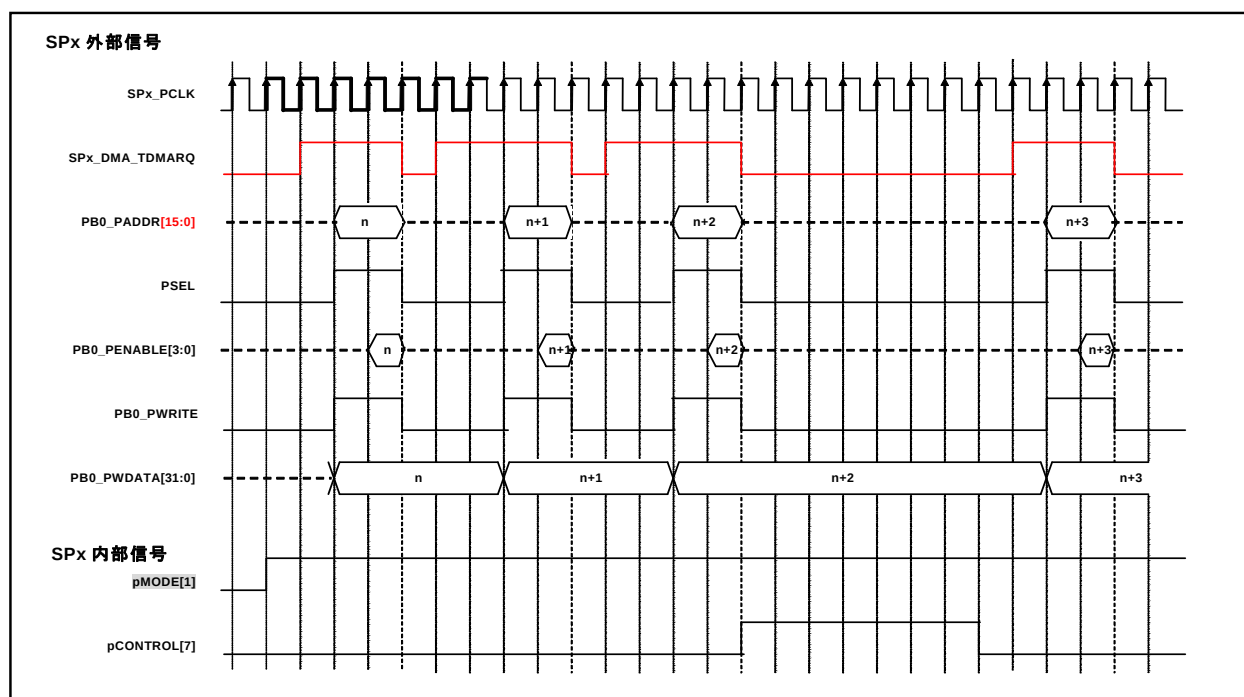
SPI インタフェース・タイミング4 は極性・レジスタの CK0_DLY を “1” に設定したスレーブ・モードのタイミングであり、SPx_CLKI が SPI インタフェース・タイミング2 と半クロックずれたタイミングになります。

スレーブ・モードでは CK_PHASE 設定により送信データの出力タイミングが変化します。

4.7.5 DMA送信インタフェース・タイミング

図 4-5にDMA送信インタフェースを示します。

図 4-5 DMA 送信インタフェース・タイミング



モード・レジスタの DMA を“1”に設定することで DMA 転送モードになります。またコントロール・レジスタの WRT を“1”に設定することで DMA 送信要求動作を行います。

コントロール・レジスタの WRT が“0”の時に DMA 送信受信要求は起こりません。

モード・レジスタの DMA を“1”に設定した状態で送信 FIFO が FULL 状態で無い場合、SPx_DMA_TDMARQ を“1”にし、送信データを要求します。なお、SPI モジュール内の送信 FIFO が FULL 状態の場合は SPx_DMA_TDMARQ を“1”にしません。

送信 FIFO が FULL であるかの確認はコントロール・レジスタの TX_FULL を読み出すことで確認できます。

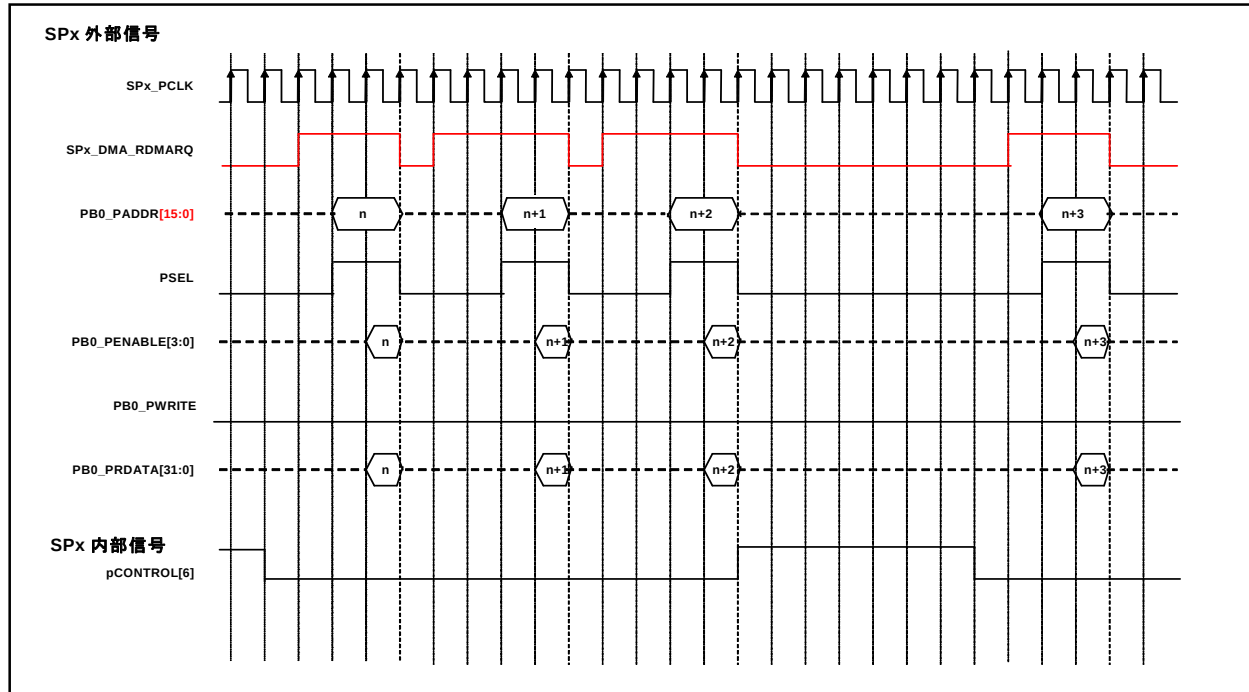
連続して送信要求する場合は、SPx_PCLK に対し 1CLK 間 SPx_DMA_TDMARQ を“0”にしたあと、次のアクセスが行われます。

なお、コントロール・レジスタの START の転送を起動したあと“0”にするためには、コントロール・レジスタの STOP を“1”に設定することで行います。

4.7.6 DMA受信インタフェース・タイミング

図 4-6にDMA受信インタフェースを示します。

図 4-6 DMA 受信インタフェース・タイミング



モード・レジスタの DMA を“1”に設定することで DMA 転送モードになります。また、コントロール・レジスタの RD を“1”に設定することで DMA 受信要求動作を行います。

コントロール・レジスタの RD が“0”のときに DMA 受信要求は起こりません。

DMA 受信要求動作について説明します。

モード・レジスタの DMA を“1”に設定した状態で受信 FIFO が EMPTY 状態で無い場合、SPx_DMA_RDMARQ を“1”にし、データ受信を要求します。なお、SPI モジュール内の受信 FIFO が EMPTY 状態の場合は SPx_DMA_RDMARQ を“1”にしません。

受信 FIFO が EMPTY であるかの確認はコントロール・レジスタの RX_EMP を読み出すことで確認できます。

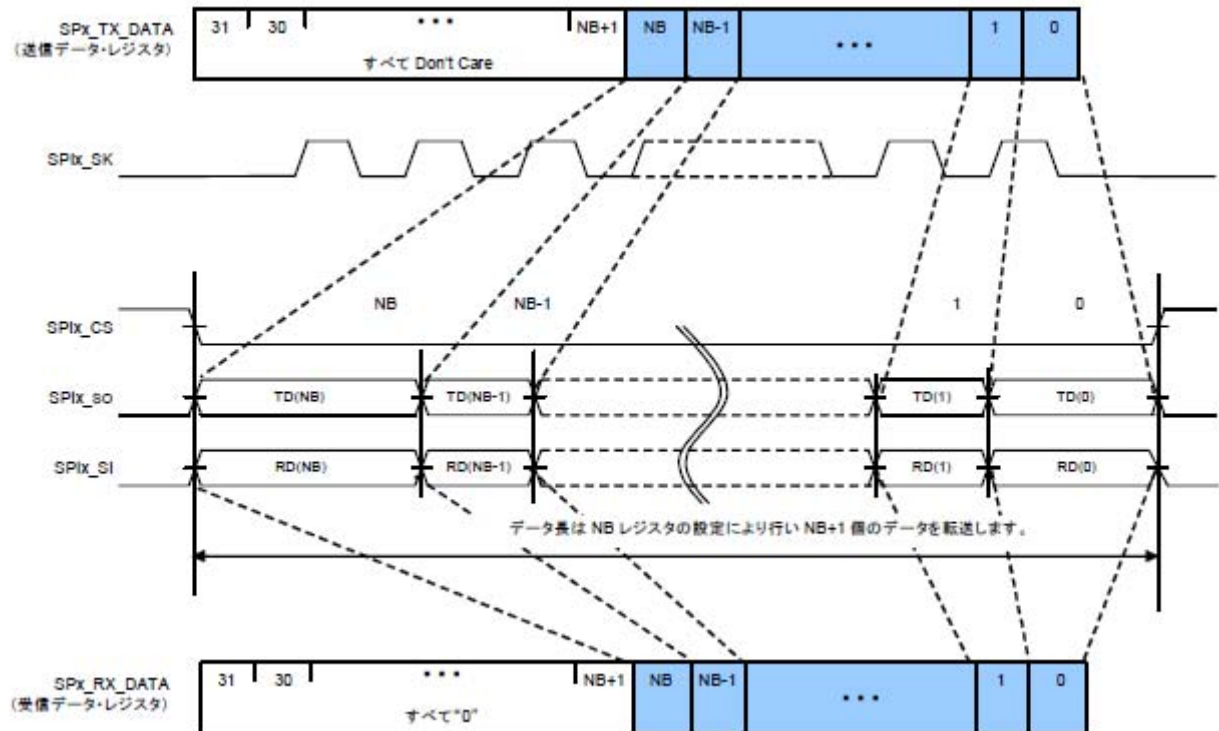
アクセスは SPx_DMA_RDMARQ を“1”にします。連続して受信要求する場合は、SPx_PCLK に対し 1C LK 間 SPx_DMA_RDMARQ を“0”にしたあと、次のアクセスが行われます。

なお、コントロール・レジスタの START の転送を起動したあと“0”にするためには、コントロール・レジスタの STOP を“1”に設定することで行います。

4.7.7 送信データ・レジスタ、受信データ・レジスタとシリアル転送データの対応

図 4-7に送信データ・レジスタ、受信データ・レジスタとシリアル転送データの対応を示す。

図 4-7 ビット対応図



送信データ・レジスタと SPx_SO のシリアル・データの対応についてはモード・レジスタの NB_A を MSB として MSB を先頭にシリアル・データ転送します。

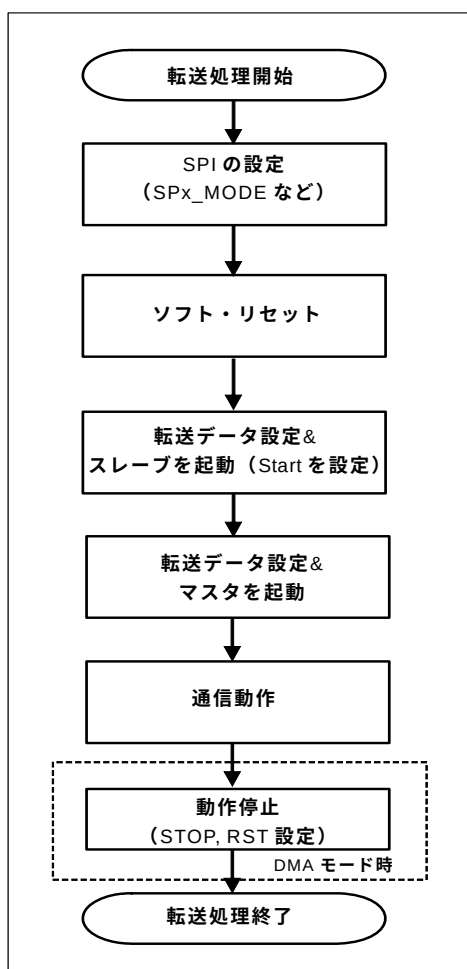
受信データ・レジスタと SPx_SI のシリアル・データの対応については MSB 先頭にシリアル転送されます。転送された LSB が受信データ・レジスタの LSB となります。受信データ・レジスタの構成ビットに対しモード・レジスタで設定されている NB_A より上位ビットはすべて "0" になります。

第5章 使用方法

5.1 SPI転送手順

SPIの転送手順を 図 5-1に示します。

図 5-1 SPI 転送手順



注意 転送手順に従って動作させてください。この手順以外で転送を開始した場合は、SPIx_SO 端子から出力される送信データは SPx_TX_DATA レジスタに設定されたデータと異なるデータが出力されることがあります。
スレーブ・モードにおいて、START の起動とフレーム転送が重なった場合、重なったフレームのデータは正しく送受信されないことがあります。

また、DMA モードでは STOP または RST を設定することで転送動作を停止します。

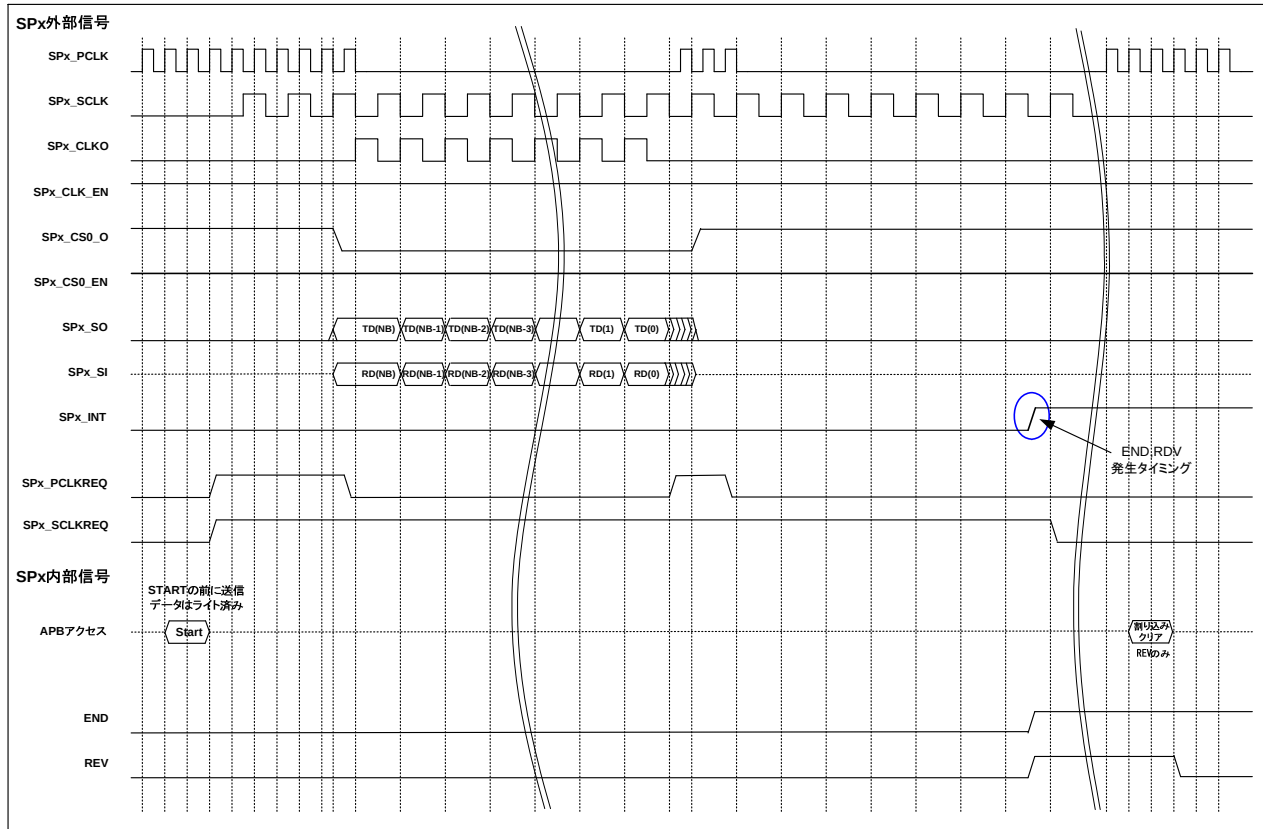
(補足)

- (1) レジスタの設定変更時は内部 SCLK のクロックを供給してください。(GCLKCTRL1 レジスタ)
(Slave モードも同様)
- (2) SCLK のクロック自動制御は OFF にしてください(CLKCTRL レジスタ)
(このとき、PCLK のクロック自動制御[APBCLKCTRL レジスタ]も OFF にすることを推奨します)

5.1.1 CPUモードのマスタ転送動作

図 5-2にCPUモードのマスタ転送動作を示します。

図 5-2 CPU モードのマスタ転送タイミング (CKn_DLY = 0)



モード・レジスタの DMA = “0”, M_S を “0” に設定することで CPU モードのマスタ・モードになります。マスタ・モードでは SPx_CLKO, SCx_CS_n_O を SPI モジュールから出力することで SPI インタフェースを制御します。

コントロール・レジスタの RD を “1” に設定した場合、MSB からシリアルで受信します。また、コントロール・レジスタの WRT を “1” に設定した場合、送信レジスタに書き込まれた送信データを MSB からシリアル送信します。転送はモード・レジスタの NB_A 設定+1 個の転送を行います。SPx_SCLK は NB_A より多く出力されますが SPI インタフェースに出力する SPx_CLKO は SPI モジュールで制御し必要個数である NB_A+1 個生成します。

TX_FIFO にデータが格納されないで、START を設定した場合、データが書き込まれるまで送信を行いません。

RX_FIFO が FULL 状態では受信動作を行いません。

割り込みについてはフレーム送信が終了後に END が “1” になります。また、受信動作を行った場合は END と RDV が “1” になります。CPU モードのマスタ・モードでは TERR 要因による割り込みは発生しません。

送受信動作では送信動作の条件で転送を行います。

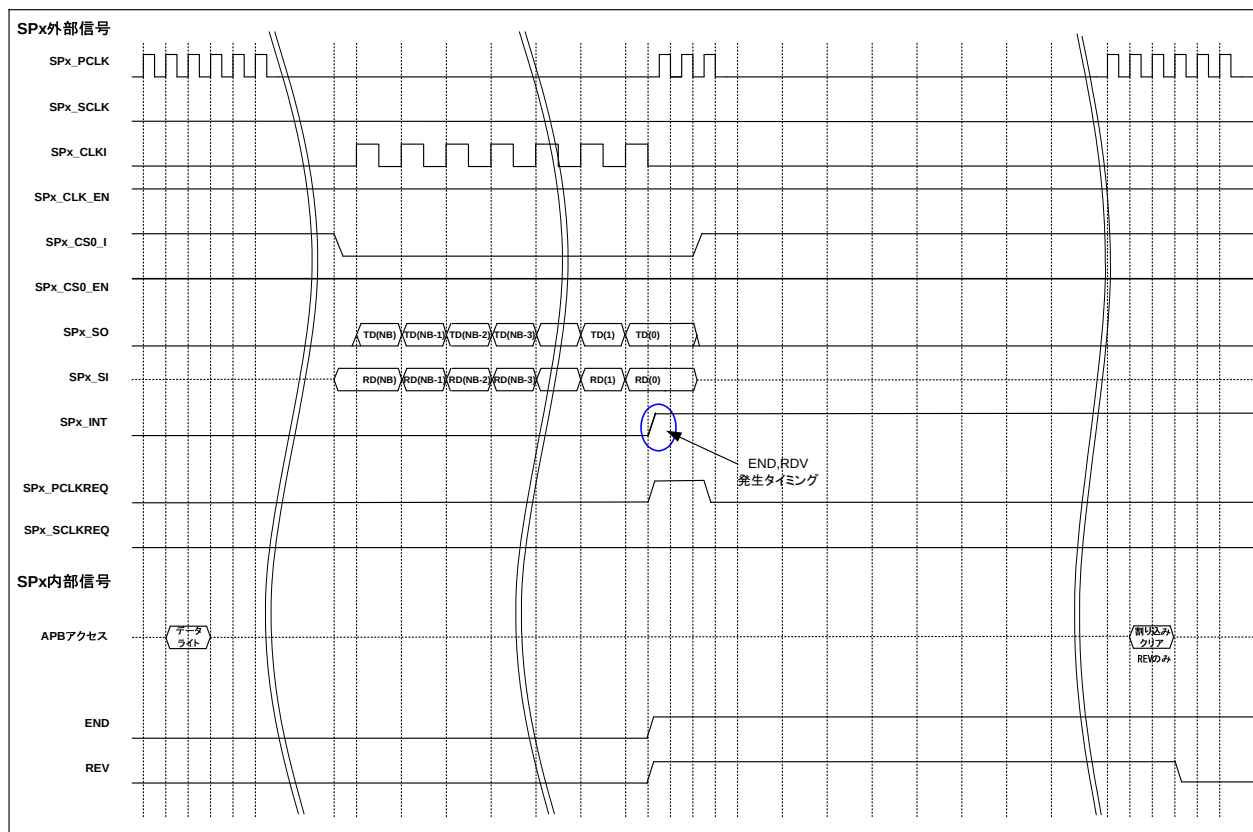
コントロール・レジスタの WRT を “0” に設定した場合に SPx_SO から “0” を出力します。同様に、コントロール・レジスタの RD を “0” に設定した場合の送信動作では SPx_SI からの受信データは無視されます。また、このとき RDV の割り込み要求は出力しません。なお、コントロール・レジスタの START については転送を起動したフレーム転送が終了後自動的に SPx_PCLK に同期して “0” になります。

コントロール・レジスタの RST はモード・レジスタ以外の制御回路、割り込みをリセットします。

5.1.2 CPUモードのスレーブ転送動作

図 5-3にCPUモードのスレーブ転送動作を示します。

図 5-3 CPU モードのスレーブ転送タイミング (CKn_DLY = 0)



モード・レジスタの DMA に“0”, M_S に“1”を設定することで CPU モードのスレーブ・モードになります。スレーブ・モードでは SPx_CLKI, SPx_CS0_I を入力し SPI インタフェースを制御します。

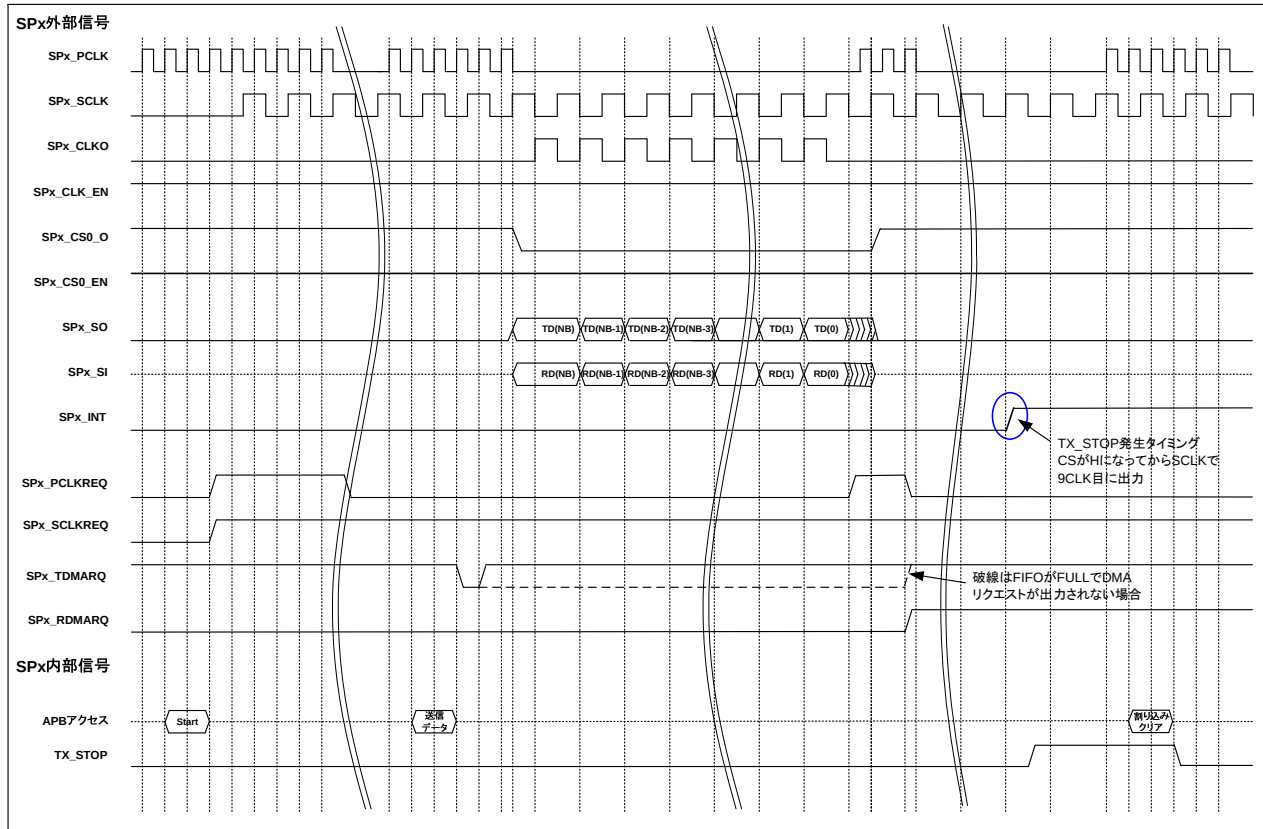
内部動作は CPU モードのマスタ動作と同じ動作になります。ただし、割り込みについてはフレーム送信が終了後に TERR 要因による割り込みは発生します。

注意 RST のセット・タイミングについてはフレーム転送を行っていないときに設定してください。

5.1.3 DMAモードのマスタ転送動作（通常転送）

図 5-4にDMAモードのマスタ転送動作を示します。

図 5-4 DMA モードのマスタ転送タイミング（通常）（CKn_DLY = 0）



モード・レジスタの DMA を“1”，M_S を“0”に設定することで DMA モードのマスタ・モードになります。SPI のインタフェース動作は CPU モードのマスタ・モードと同様になります。

送信動作は，DMA から TX_FIFO にデータを書き込まれることにより転送が開始されます。

受信動作はコントロール・レジスタの RD を“1”，START を“1”に設定後，すぐに受信動作を行います。ただし，受信 FIFO に空きが無い場合，転送動作は行いません。

送受信動作では送信動作と同じ条件で転送が開始されます。

シリアル転送後，送信 FIFO に次の転送データが格納されている場合かつ，受信 FIFO に空きがある場合は次のフレーム転送に移ります。次のフレーム転送動作の間隔は CS 極性・レジスタの CSW で設定でき，設定幅は 1～16 SPx_SCLK 分設定できます。

また，DMA のマスタ・モードでは RDV，END，TERR 要因による割り込みは発生せず，TX_STOP，RX_STOP の 2 つの要因が発生します。

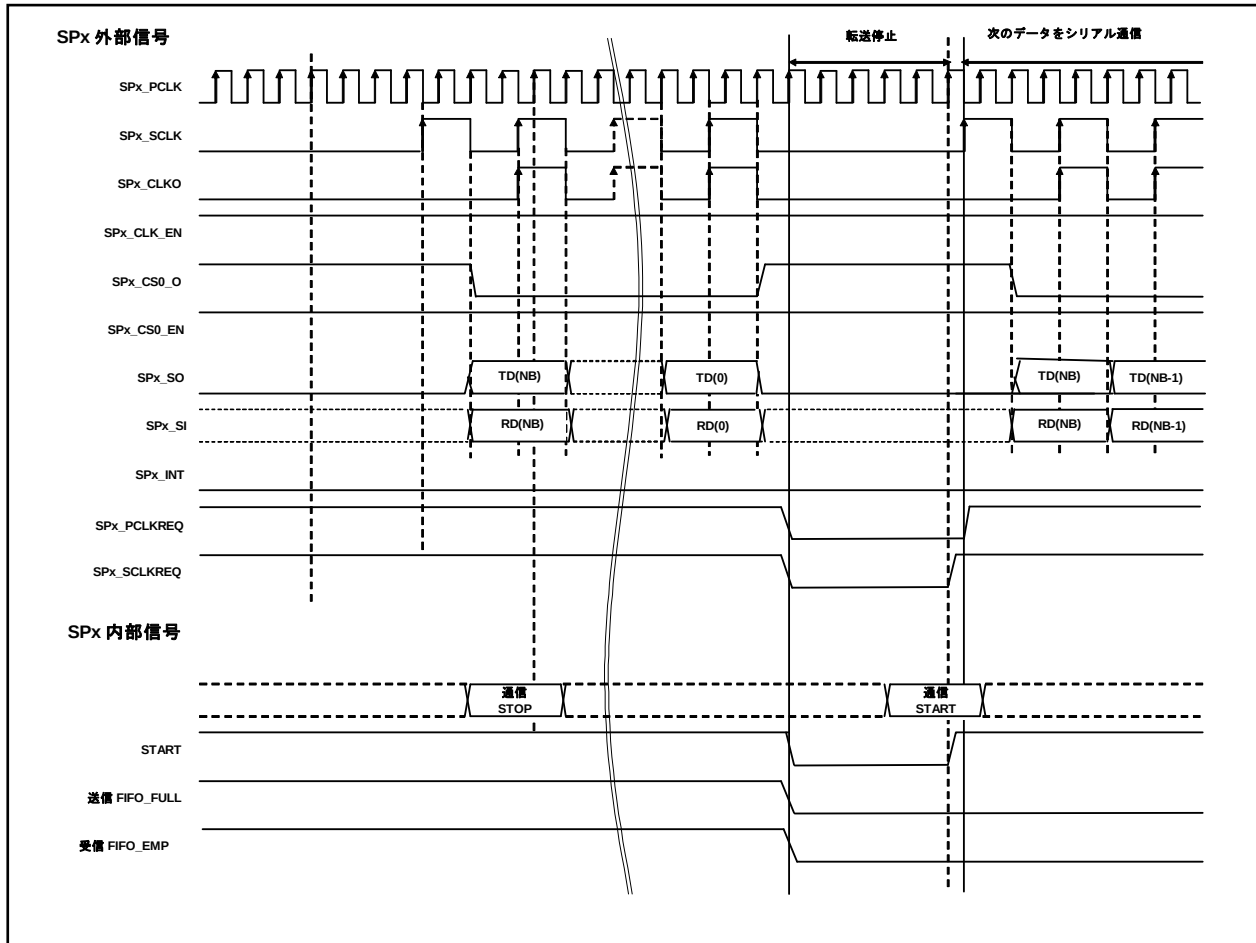
TX_UDR については，送信 FIFO にデータがエンプティのときに転送動作に入り，空のデータを送信したフレームのタイミングで発生します。

RX_OVR については，受信 FIFO にデータの空きがないときに転送動作に入り，受信したフレームのタイミングで発生します。

5.1.4 DMAモードのマスタ転送動作 (STOP→START)

図 5-5にDMAモードのマスタ転送動作を示します。

図 5-5 DMA モードのマスタ転送タイミング (STOP→START)



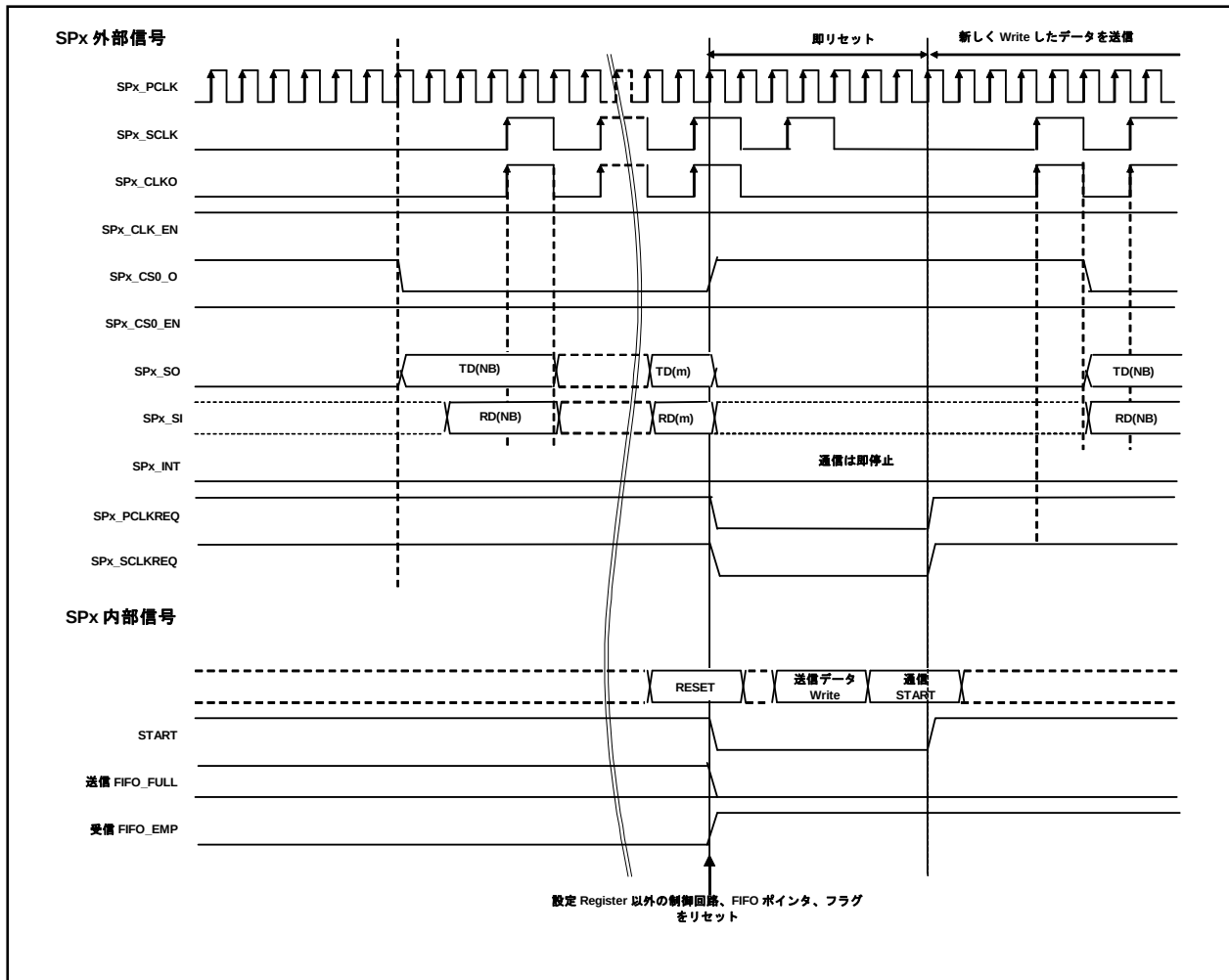
SPI 転送を行っているときにコントロール・レジスタの STOP を“1”にした場合、転送中のフレーム転送を終了してから次の転送を中止します。このとき受信したデータは受信バッファに格納されます。

続けてコントロール・レジスタの START を“1”に設定した場合は中断した次のポインタから転送します。

5.1.5 DMAモードのマスタ転送動作 (RESET→START)

図 5-6にDMAモードのマスタ転送動作を示します。

図 5-6 DMA モードのマスタ転送タイミング (RESET→START)

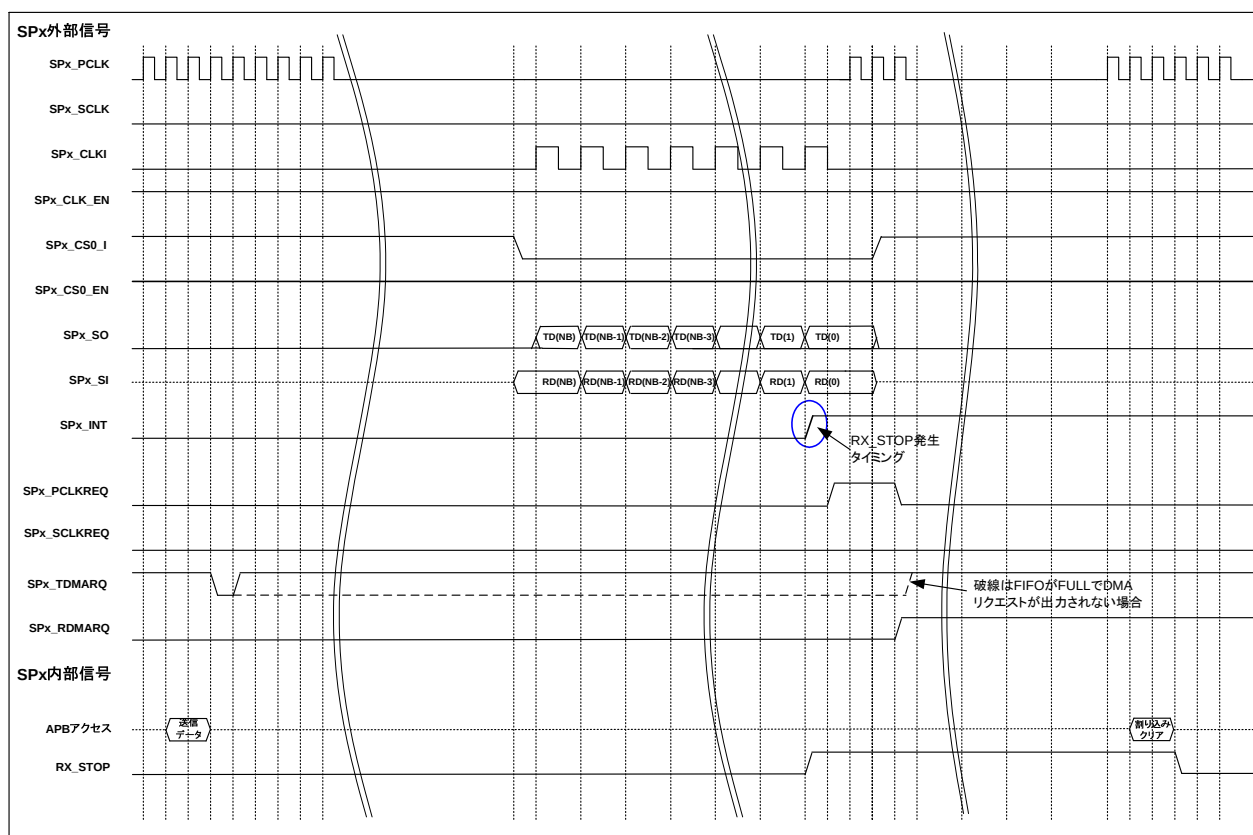


SPI 転送を行っているときにコントロール・レジスタの RST を“1”にした場合、設定直後に転送を終了します。また、設定レジスタ以外のすべての制御回路をリセットします。

5.1.6 DMAモードのスレーブ転送動作（通常動作）

図 5-7にDMAモードのスレーブ転送動作を示します。

図 5-7 DMA モードのスレーブ転送タイミング（通常）（CKn_DLY = 0）



モード・レジスタの DMA を“1”，M_S を“1”に設定することで DMA モードのスレーブ・モードになります。スレーブ・モードでは SPx_CLKI，SCx_CS0_I を入力し SPI インタフェースを制御し，DMA モードのマスター・モードと同じ動作になります。

また，DMA モードのスレーブ・モードでは RDV，END 要因による割り込みは発生せず，TX_UDR，RX_OVR，TERR の 3 つの要因が発生します。

5.1.7 DMA（マスタ）モード固定長送信

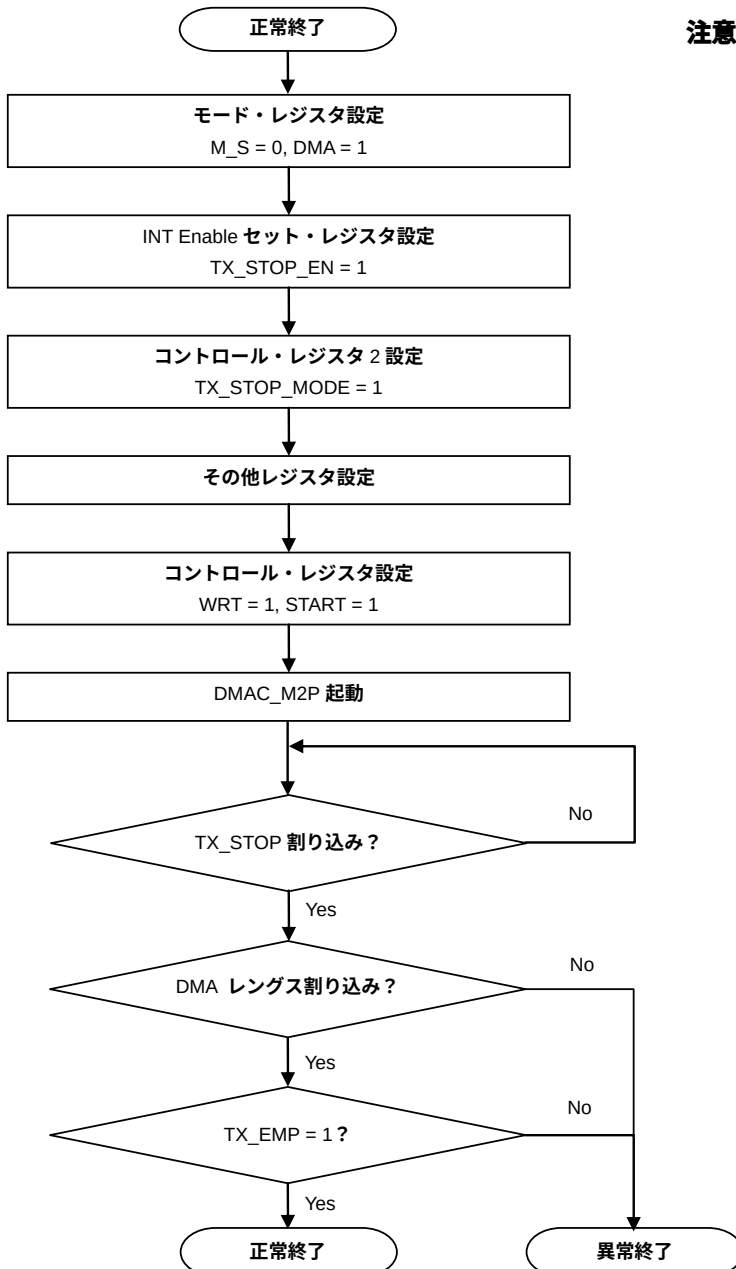
この機能を使用すると、DMA コントローラの総転送長（レンジス）と SPI 送信フレーム数を同数にすることができます。

DMA（マスタ）モードで固定長送信を実現する方法を次に示します。

DMA（マスタ）モードの固定長送信は、送信 FIFO が Empty になったことを判定し、Empty になるフレームの frame_end で自動的に STOP することで実現します。

この機能で SPI 送信が STOP すると TX_EMP 割り込みが発生します。

DMA 固定長送信を行う場合の処理フローを示します。



- 注意 1.** DMAC に設定したレンジス分の転送が完了するまでに、送信 FIFO が Empty にならないように注意してください。DMAC がレンジス分の転送を完了する前に送信 FIFO が Empty になった場合、SPI 送信が中断され固定長送信はできません。
- 2.** 送信 FIFO が Empty で終了するため、TX_DAMREQ は送信データ数より 1 回多く出力されます。
- 3.** 送信 FIFO が Empty になり、SPI が停止するタイミングと DMA による送信 FIFO 書き込みが競合した場合、送信 FIFO が Empty ではないにも関わらず、SPI が停止します。この状況を S/W が認識するには、TX_STOP 割り込み後、コントロール・レジスタの TX_EMP ビットが"1"であるかどうかを確認します。TX_EMP が"0"の場合、送信 FIFO にデータが残存しており、競合が発生したことを示します。

5.1.8 DMA（マスタ）モード固定長受信

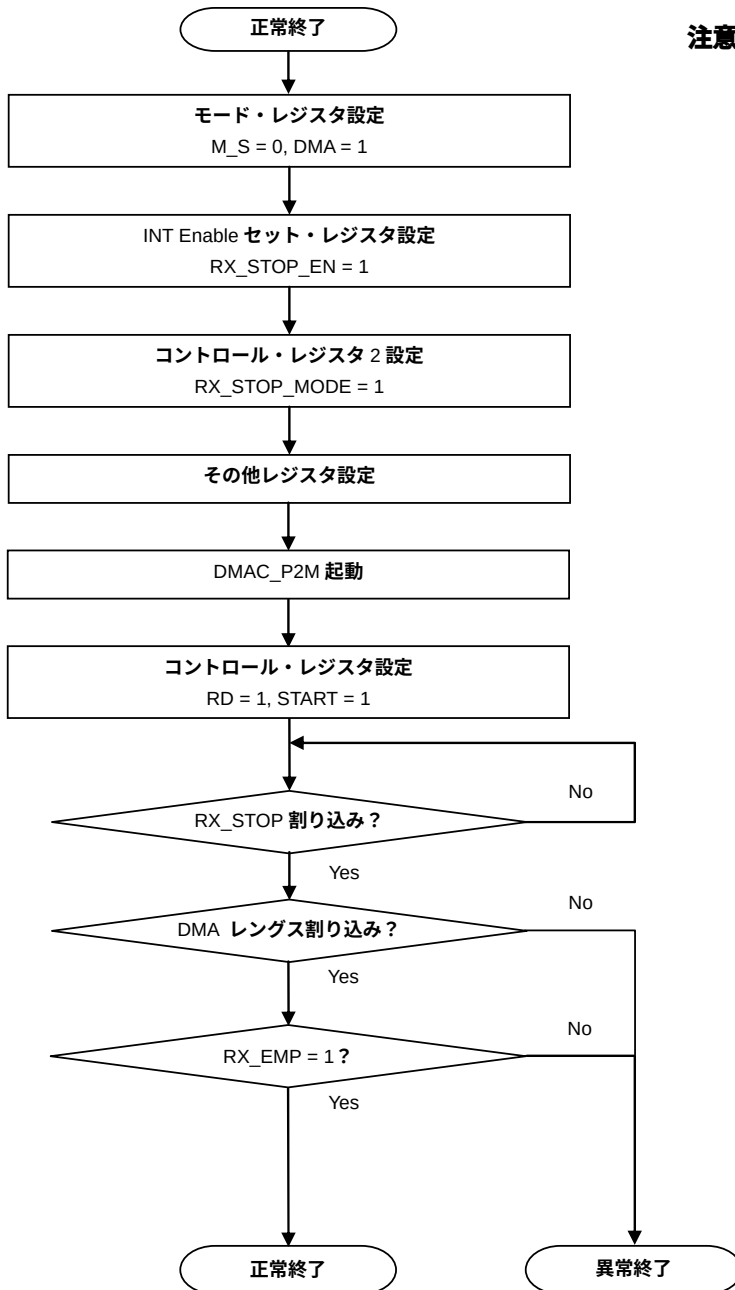
この機能を使用すると、DMA コントローラの総転送長（レンジス）と SPI 受信フレーム数を同数にできます。

DMA（マスタ）モードで固定長受信を実現する方法を次に示します

DMA（マスタ）モードの固定長受信は、RX_FIFO_FULL レジスタで設定したフレーム数を受信した場合に自動的に STOP することで実現します。この機能で SPI 受信が STOP すると RX_STOP 割り込みが発生します。

受信 FIFO = Full で STOP した場合も受信 FIFO が Empty になるまで DMA リクエストを出力するため ACPU で受信データを引き取る必要はありません。

受信フレーム数設定は RX_FIFO_FULL レジスタで 1～ 65536 ワードの範囲で設定可能です。DMA 固定長受信を行う場合の処理フローを示します。



注意 DMAC に設定したレンジス分の転送が完了するまでに、受信 FIFO が Full にならないように注意してください。DMAC がレンジス分の転送を完了する前に受信 FIFO が Full になった場合、SPI 受信が中断され固定長受信はできません。

5.1.9 DMA（マスタ）モード固定長送信でのCPU連続送信

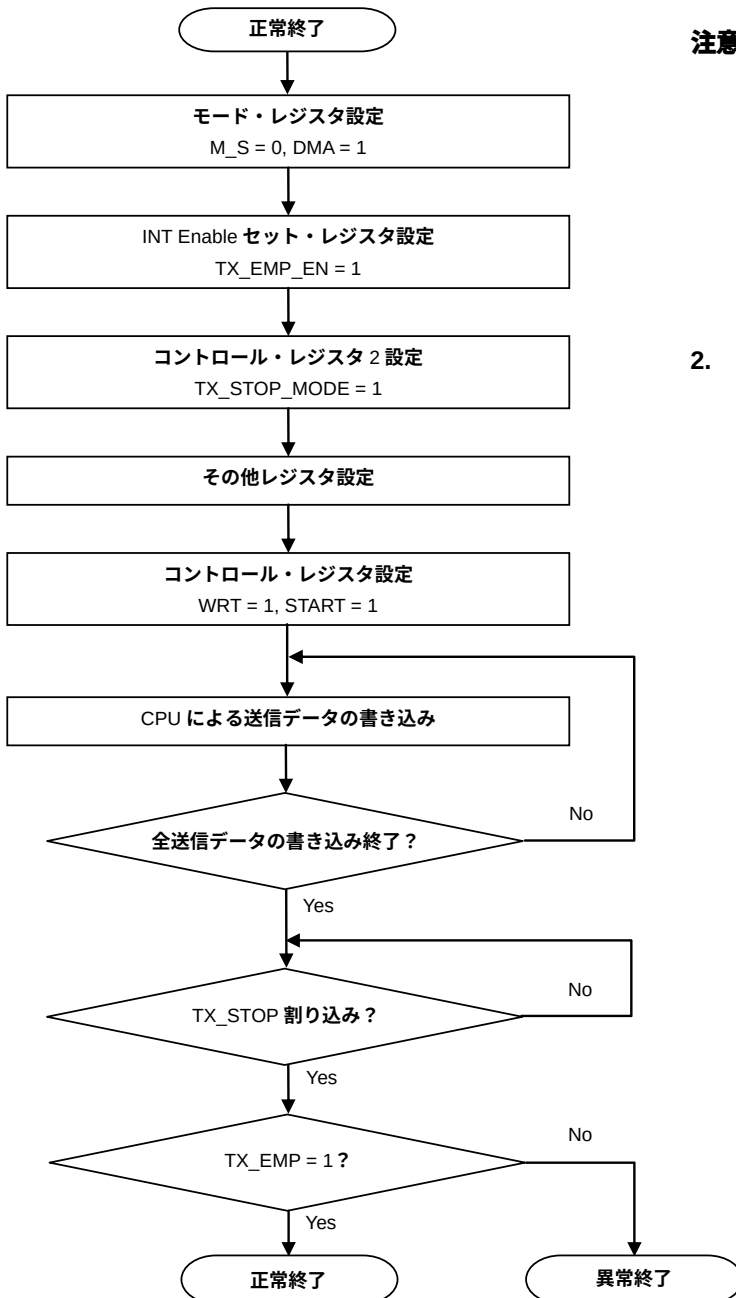
この機能を使用すると、送信データの CPU ライトによる固定長での連続送信を行うことができます。

DMA（マスタ）モードで CPU ライトによる連続送信を実現する方法を次に示します。

DMA（マスタ）モードの固定長送信は、送信 FIFO が Empty になったことを判定し、Empty になるフレームの frame_end で自動的に STOP することで実現します。

この機能で SPI 送信が STOP すると TX_STOP 割り込みが発生します。

DMA 固定長送信で CPU ライトによる連続送信を行う場合の処理フローを示します。



注意 1. CPU による送信 FIFO への送信データの書き込みが完了するまでに、送信 FIFO が Empty にならないように注意してください。CPU による送信データの書き込みが完了する前に送信 FIFO が Empty になった場合、SPI 送信が中断され固定長送信はできません。

2. 送信 FIFO が Empty になり、SPI が停止するタイミングと CPU による送信 FIFO 書き込みが競合した場合、送信 FIFO が Empty ではないに関わらず、SPI が停止します。この状況を S/W が認識するには、TX_STOP 割り込み後、コントロール・レジスタの TX_EMP ビットが“1”であるかどうかを確認します。TX_EMP が“0”の場合、送信 FIFO にデータが残存しており、競合が発生したことを示します。

【改版履歴】

日付	版数	改版内容
2009.1.30	暫定 1 版	－
2009.3.31	第 2 版	P6 関連資料 ・ MC-10118A(EM1-D512), μ PD77630A(EM1-S)のデータ・シートおよびユーザズ・マニュアル 1chip 編を追記。 ・ 電源チップ編を削除。
		P10 1.1 特徴 一部説明削除
		P12 2.1 SPI インタフェース端子 ・ SP1_SO の兼用端子に CAM_YUV0 追記 ・ SP1_CS[3:1]の兼用端子に CAM_YUV[4:2] 追記 ・ SP1_CS0 の兼用端子に CAM_YUV1 追記
		P13 3.1 レジスタ一覧 ・ アドレス 0030H 受信用 FIFO ポインタ→Reserved ・ アドレス 003CH-FFFFH のレジスタ名称を Reserved に変更
		3.2 レジスタ機能 本レジスタ (SPx_xxxx : xxxxH) を SP0,SP1,SP2 に分けて表記
		P17 3.2.3 コントロール・レジスタ 注意 1 RST でリセットされるレジスタから TX_FIFO_P, RX_FIFO_P を削除
		P20 3.2.6 割り込みステータス・レジスタ 注意文を変更
		P21 3.2.7 割り込み Raw ステータス・レジスタ 注意 3 TERR, TX_UDR, RX_OVR に関しては・・・ →TERR_RAW, TX_UDR_RAW, RX_OVR_RAW 誤記訂正
		P27 3.2.12 CS 固定レジスタ 1 行目 本レジスタ (・・・) は SPx_CS0_O, SPx_CS2・・・ →本レジスタ (・・・) SPx_CS0, SPx_CS1, SPx_CS2, SPx_CS3, <u>SPx_CS4</u> , <u>SPx_CS5</u> 誤記訂正および追記
		P32 4.7.2 SPI インタフェース・タイミング 2 注を削除
		P36 4.7.6 DMA 受信インタフェース・タイミング 下から 4 行目 連続して送信要求する場合→連続して受信要求する場合 誤記訂正
		P41 5.1.3 DMA モードのマスタ転送動作 下から 2 行目 RX_OVR については, <u>送信 FIFO に→受信 FIFO に</u> 誤記訂正
		P46 5.1.8 DMA モード固定長受信 注意文 下から 2 行目 SPI 受信が中断され固定長送信→固定長受信 誤記訂正
2009.9.30	第 3 版	P11 1.2 ブロック図 変更
		P26 3.2.11 コントロール・レジスタ 2 ビット[7:0]の説明 FFFFh : 受信ワード数= -65536 ワードで RX_STOP 割り込みを発生 → FFFFh : 受信ワード数= 65536 ワードで RX_STOP 割り込みを発生 誤記訂正
		P39 5.1.1 図 5-2 変更
		P40 5.1.2 図 5-3 変更
		P41 5.1.3 図 5-4 変更
		P44 5.1.6 図 5-7 変更

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：(044)435-5111

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL（アドレス） <http://www.necel.co.jp/>

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。

—— お問い合わせ先 ——

【営業関係、デバイスの技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00，午後 1:00～5:00）

電 話 ：(044)435-9494

E-mail ：info@necel.com