

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ユーザーズ・マニュアル（暫定

メモリ・コントローラ

NB85E, NB85ET 編

NB85E500

NU85E500

NU85E502

資料番号 A14206JJ5V1UM00 (第5版)

発行年月 January 2002 NS CP(N)

[メモ]

目次要約

第 1 章 NB85E500, NU85E500 ... 17

第 2 章 NU85E502 ... 85

付録 A 接 続 例 ... 127

付録 B 改版履歴 ... 129

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

本製品が外国為替および外国貿易管理法の規定による規制貨物等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。

- 本資料は、この製品の企画段階で作成していますので、予告なしに内容を変更することがあります。また本資料で扱う製品の製品化を中止することがあります。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

本版で改訂された主な箇所 (1/2)

箇所	内容
p.20	図 1 - 2 SDRAM シーケンシャル・ライト・サイクル (バンク・チェンジ) バンク・プリチャージ・コマンドを追加
p.22	1. 2. 1 (1) SRAM, I/O コントローラ 注を追加
p.22	1. 2. 1 (2) ページ ROM コントローラ 修正
p.26	1. 2. 3 (2) (c) バス・アービトレーション・コントローラ 修正
p.33	1. 3. 2 (3) (m) CSZ7-CSZ0, (n) BENZ3-BENZ0, (q) SELFREF 修正
p.39	図 1 - 5 バス・サイクル・タイプ・コンフィギュレーション・レジスタ 0, 1 (BCT0, BCT1) 注意を修正
p.43	1. 4. 4 (1) 外部ウエイト機能 記述を追加
p.43	1. 4. 4 (2) データ・ウエイト制御レジスタと外部ウエイト 記述, 図を追加
p.48	図 1 - 12 SRAM ライト・タイミング 修正
p.53, 54	図 1 - 16 ページ ROM コンフィギュレーション・レジスタ (PRC) 注意を追加
p.58, 59	図 1 - 20 ページ ROM リード・タイミング 修正
p.61	1. 4. 8 (1) バス・ホールド手順, (2) バス・ホールド解除手順 修正
p.63	1. 4. 9 バス・サイクル周期制御レジスタ (BCP) 注意を追加
p.68	図 1 - 28 ユーザ・ロジック設計例 (NU85E500 の場合) 修正
p.86	2. 1 概要 備考を追加
p.86	2. 1. 1 特徴 修正
p.95	2. 3. 1 SDRAM コンフィギュレーション・レジスタ n (SCRn) 注意を修正, 追加
p.96	図 2 - 4 SDRAM コンフィギュレーション・レジスタ n (SCRn) 修正
p.99-102	2. 3. 1 (1) 各アドレスの出力, および SDRAM の接続, (2) バンク・アドレス出力 追加
p.103	図 2 - 5 64M ビット SDRAM への接続例 修正
p.106	2. 3. 2 (2) バス・タイミング 修正
p.108	図 2 - 9 SDRAM シングル・リード・サイクル (データ・バス幅 32 ビット, ワード・アクセス) 修正
p.110	図 2 - 10 SDRAM シングル・ライト・サイクル (データ・バス幅 32 ビット, ワード・アクセス) 修正
p.116	図 2 - 15 SDRAM シーケンシャル・ライト・サイクル (データ・バス幅 16 ビット, ワード・アクセス, バンク・チェンジ, CAS レイテンシ = 2, BCW = 1) 修正

本版で改訂された主な箇所 (2/2)

箇所	内容
p. 117	図 2 - 16 SDRAM シーケンシャル・ライト・サイクル (データ・バス幅 8 ビット, ワード・アクセス, バンク・チェンジ, CAS レイテンシ = 2, BCW = 1) 修正
p.119	図 2 - 17 SDRAM リフレッシュ・コントロール・レジスタ n (RFSn) 注意を追加
p.120	2.3.4 CBR リフレッシュ機能 追加
p.121	図 2 - 18 SDRAM CBR リフレッシュ・タイミング 修正
p.122	2.3.5 セルフ・リフレッシュ機能 修正
p.123	図 2 - 19 SDRAM セルフ・リフレッシュ・タイミング 修正
p.124	2.3.6 リフレッシュ機能に関する注意事項 追加
p.129-131	付録 B 改版履歴 追加

本文欄外の 印は, 本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナーを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

[メモ]

はじめに

- 対象者** このマニュアルは CBIC の CPU コアである NB85E, NB85ET 用のメモリ・コントローラ (NB85E500, NU85E500, NU85E502) の機能を理解し, それを用いた応用システムを設計するユーザを対象とします。
- 目的** このマニュアルは, NB85E500, NU85E500, NU85E502 の機能をユーザに理解していただくことを目的としています。
- 構成** このマニュアルは, 次の内容で構成されています。

第1章 NB85E500, NU85E500

外部メモリを制御するための基本となるマクロである NB85E500, NU85E500 について説明しています。

NB85E500 は NB85E, NB85ET 用のメモリ・コントローラで, NU85E500 は NB85E 用のメモリ・コントローラです。NB85E500, NU85E500 は, SRAM, I/O コントローラ, ページ ROM コントローラを内蔵しています。

第2章 NU85E502

SDRAM コントローラである NU85E502 について説明しています。

- 読み方** このマニュアルの読者には, 電気, 論理回路, マイクロコンピュータ, SRAM, ページ ROM, SDRAM に関する一般知識を必要とします。

一通り NB85E500, NU85E500, NU85E502 の機能を理解しようとするとき

→目次に従ってお読みください。

NB85E, NB85ET の機能を知りたいとき

→別冊の **NB85E ユーザーズ・マニュアル ハードウェア編 (A13971J)**, **NB85ET ユーザーズ・マニュアル ハードウェア編 (A14342J)** をお読みください。

このマニュアルでは, メモリ・コントローラ (NB85E500, NU85E500, NU85E502) を総称して MEMC と記述しています。また, このマニュアルでは特に断りのないかぎり, NB85E を CPU コアの代表として説明しています。NB85ET を使用する場合は, CPU コア名称を NB85ET に読み替えてお使いください。

- 凡例**
- | | |
|-------------|-------------------------|
| データ表記の重み | : 左が上位桁, 右が下位桁 |
| アクティブ・ロウの表記 | : xxxZ (端子, 信号名称のあとに Z) |
| 注 | : 本文中につけた注の説明 |
| 注意 | : 気をつけて読んでいただきたい内容 |
| 備考 | : 本文の補足説明 |

数の表記	: 2 進数 ... xxxx または xxxxB
	10 進数 ... xxxx
	16 進数 ... xxxxH
2 のべき数を示す接頭語 (アドレス空間, メモリ容量) :	
	K (キロ) ... $2^{10} = 1024$
	M (メガ) ... $2^{20} = 1024^2$
	G (ギガ) ... $2^{30} = 1024^3$
データ・タイプ	: ワード ... 32 ビット
	ハーフワード ... 16 ビット
	バイト ... 8 ビット

関連資料 関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

- NB85E ユーザーズ・マニュアル ハードウェア編 (A13971J)
- NB85ET ユーザーズ・マニュアル ハードウェア編 (A14342J)
- CB-9 ファミリ VX/VM タイプ 設計マニュアル NB85E, NB85ET 編 (A14335J)
- CB-9 ファミリ VX/VM タイプ コア・ライブラリ 設計マニュアル
CPU コア, メモリ・コントローラ編 (A13195J)
- SDRAM の使い方 ユーザーズ・マニュアル (M13132J)
- シンクロナス DRAM アプリケーション・ノート (M12394J)

なお, 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

目 次

第 1 章 NB85E500, NU85E500 ... 17

1.1 NB85E500 と NU85E500 の違い ... 17

1.2 概 要 ... 21

1.2.1 特 徴 ... 22

1.2.2 シンボル図 ... 23

1.2.3 ブロック図 ... 25

1.2.4 構 成 例 ... 27

1.3 端子機能 ... 28

1.3.1 端子機能一覧 ... 28

1.3.2 端子機能の説明 ... 31

1.3.3 未使用端子の処理 ... 36

1.3.4 端子状態 ... 37

1.4 バス・サイクル機能 ... 39

1.4.1 バス・サイクル・タイプ・コンフィギュレーション・レジスタ 0, 1 (BCT0, BCT1) ... 39

1.4.2 アドレス設定ウェイト制御レジスタ (ASC) ... 40

1.4.3 バス・サイクル制御レジスタ (BCC) ... 41

1.4.4 データ・ウェイト制御レジスタ 0, 1 (DWC0, DWC1) ... 42

1.4.5 SRAM サイクル ... 44

1.4.6 ページ ROM コンフィギュレーション・レジスタ (PRC) ... 53

1.4.7 ページ ROM サイクル ... 55

1.4.8 バス・ホールド機能 ... 61

1.4.9 バス・サイクル周期制御レジスタ (BCP) ... 63

1.4.10 STOP 機能 ... 65

1.5 テスト機能 ... 66

1.5.1 テスト・モード時の各端子の処理 ... 67

1.6 データ・フロー ... 69

1.6.1 バイト・アクセス (8 ビット) 時のデータ・フロー ... 70

1.6.2 ハーフワード・アクセス (16 ビット) 時のデータ・フロー ... 74

1.6.3 ワード・アクセス (32 ビット) 時のデータ・フロー ... 78

第 2 章 NU85E502 ... 85

2.1 概 要 ... 85

2.1.1 特 徴 ... 86

2.1.2	シンボル図 ...	87
2.1.3	ブロック図 ...	88
2.1.4	構成例 ...	89
2.2	端子機能 ...	91
2.2.1	端子機能一覧 ...	91
2.2.2	端子機能の説明 ...	92
2.2.3	未使用端子の処理 ...	93
2.2.4	端子状態 ...	94
2.3	バス・サイクル機能 ...	95
2.3.1	SDRAM コンフィギュレーション・レジスタ n (SCRn) ...	95
2.3.2	SDRAM サイクル ...	103
2.3.3	SDRAM リフレッシュ・コントロール・レジスタ n (RFSn) ...	118
2.3.4	CBR リフレッシュ機能 ...	120
2.3.5	セルフ・リフレッシュ機能 ...	122
2.3.6	リフレッシュ機能に関する注意事項 ...	124
2.4	テスト機能 ...	125
2.4.1	テスト・モード時の各端子の処理 ...	126
付録 A	接続例 ...	127
付録 B	改版履歴 ...	129

図の目次 (1/2)

図番号	タイトル, ページ
1 - 1	SDRAM シーケンシャル・ライト・サイクル (オンページ) ... 19
1 - 2	SDRAM シーケンシャル・ライト・サイクル (バンク・チェンジ) ... 20
1 - 3	SRAM, SDRAM 接続例 ... 21
1 - 4	応用例 ... 27
1 - 5	バス・サイクル・タイプ・コンフィギュレーション・レジスタ 0, 1 (BCT0, BCT1) ... 39
1 - 6	アドレス設定ウエイト制御レジスタ (ASC) ... 40
1 - 7	バス・サイクル制御レジスタ (BCC) ... 41
1 - 8	データ・ウエイト制御レジスタ 0, 1 (DWC0, DWC1) ... 42
1 - 9	SRAM との接続例 (NB85E500 の場合) ... 44
1 - 10	SRAM との接続例 (NU85E500 の場合) ... 45
1 - 11	SRAM リード・タイミング ... 47
1 - 12	SRAM ライト・タイミング ... 48
1 - 13	SRAM リード/ライト・タイミング ... 49
1 - 14	SRAM フライバイ・サイクル・タイミング (SRAM→I/O) ... 51
1 - 15	SRAM フライバイ・サイクル・タイミング (I/O→SRAM) ... 52
1 - 16	ページ ROM コンフィギュレーション・レジスタ (PRC) ... 53
1 - 17	MA6-MA3 ビットによる制御例 ... 54
1 - 18	ページ ROM 接続例 (データ・バス幅 16 ビット時) ... 55
1 - 19	ページ ROM 接続例 (データ・バス幅 8 ビット時) ... 56
1 - 20	ページ ROM リード・タイミング ... 58
1 - 21	ページ ROM フライバイ・サイクル・タイミング (ページ ROM→I/O) ... 60
1 - 22	バス・ホールド・タイミング ... 62
1 - 23	バス・サイクル周期制御レジスタ (BCP) ... 63
1 - 24	SRAM リード・タイミング (バス・サイクル周期 2 倍時) ... 64
1 - 25	STOP モード移行時の Nx85E500 の動作 ... 65
1 - 26	テスト・モードでの NB85E と Nx85E500 の接続 ... 66
1 - 27	ユーザ・ロジック設計例 (NB85E500 の場合) ... 67
1 - 28	ユーザ・ロジック設計例 (NU85E500 の場合) ... 68
1 - 29	バイト・アクセス (リトル・エンディアン) ... 70
1 - 30	バイト・アクセス (ビッグ・エンディアン) ... 72
1 - 31	ハーフワード・アクセス (リトル・エンディアン) ... 74
1 - 32	ハーフワード・アクセス (ビッグ・エンディアン) ... 76
1 - 33	ワード・アクセス (リトル・エンディアン) ... 78
1 - 34	ワード・アクセス (ビッグ・エンディアン) ... 81
2 - 1	NU85E500 と NU85E502 の接続例 ... 85
2 - 2	応用例 ... 89
2 - 3	接続例 ... 90
2 - 4	SDRAM コンフィギュレーション・レジスタ n (SCRn) ... 95

図の目次 (2/2)

図番号	タイトル, ページ
2 - 5	64M ビット SDRAM への接続例 ... 103
2 - 6	SDRAM アクセスの状態遷移 ... 104
2 - 7	SDRAM に対するリード/ライト・データの流れ ... 105
2 - 8	SDRAM レジスタ・ライト動作タイミング ... 107
2 - 9	SDRAM シングル・リード・サイクル (データ・バス幅 32 ビット, ワード・アクセス) ... 108
2 - 10	SDRAM シングル・ライト・サイクル (データ・バス幅 32 ビット, ワード・アクセス) ... 110
2 - 11	SDRAM 連続リード・サイクル (データ・バス幅 32 ビット, ワード・アクセス, オンページ) ... 112
2 - 12	SDRAM 連続ライト・サイクル (データ・バス幅 32 ビット, ワード・アクセス, オンページ) ... 113
2 - 13	SDRAM シーケンシャル・リード・サイクル (データ・バス幅 16 ビット, ワード・アクセス, ページ・チェンジ, CAS レイテンシ = 2, BCW = 2) ... 114
2 - 14	SDRAM シーケンシャル・リード・サイクル (データ・バス幅 8 ビット, ワード・アクセス, ページ・チェンジ, CAS レイテンシ = 2, BCW = 2) ... 115
2 - 15	SDRAM シーケンシャル・ライト・サイクル (データ・バス幅 16 ビット, ワード・アクセス, バンク・チェンジ, CAS レイテンシ = 2, BCW = 1) ... 116
2 - 16	SDRAM シーケンシャル・ライト・サイクル (データ・バス幅 8 ビット, ワード・アクセス, バンク・チェンジ, CAS レイテンシ = 2, BCW = 1) ... 117
2 - 17	SDRAM リフレッシュ・コントロール・レジスタ n (RFSn) ... 118
2 - 18	SDRAM CBR リフレッシュ・タイミング ... 121
2 - 19	SDRAM セルフ・リフレッシュ・タイミング ... 123
2 - 20	テスト・モードでの NB85E と NU85E502 の接続 ... 125
A - 1	NB85E, MEMC (NU85E500, NU85E502), 外部メモリ (SRAM, SDRAM) の接続例 ... 128

表の目次

表番号	タイトル, ページ
1 - 1	各動作モードでの端子状態 ... 37
2 - 1	各動作モードでの端子状態 ... 94
2 - 2	ロウ・アドレス出力 ... 97
2 - 3	カラム・アドレス出力 ... 98
2 - 4	SDRAM リフレッシュ間隔例 ... 119

[メモ]

第 1 章 NB85E500, NU85E500

NB85E500 は NB85E, NB85ET 用のメモリ・コントローラで, NU85E500 は NB85E 用のメモリ・コントローラです。

Nx85E500 は, 接続する外部メモリの種類に応じて次のように使用します。

対象 CPU コア	接続する外部メモリの種類	メモリ・コントローラ (MEMC)
NB85E	SRAM, ROM, ページ ROM, フラッシュ・メモリ	NB85E500/NU85E500
	SDRAM	NB85E500/NU85E500 + NU85E502
NB85ET	SRAM, ROM, ページ ROM, フラッシュ・メモリ	NB85E500
	SDRAM	NB85E500 + NU85E502

備考 NU85E502 については, 第 2 章 NU85E502 を参照してください。

この章では, NB85E500 と NU85E500 をまとめて Nx85E500 と表記しています。NB85E500 と NU85E500 で異なる部分については個別に説明し, それ以外の共通部分については Nx85E500 としてまとめて説明しています。

1.1 NB85E500 と NU85E500 の違い

NB85E500 と NU85E500 の違いを次に示します。

項 目	NB85E500	NU85E500
外部メモリ用データ・バス端子	D31-D0 (入出力)	DI31-DI0 (入力), DO31-DO0 (出力) ^注
SDRAM シーケンシャル・ライト・タイミ ング	図 1 - 1, 図 1 - 2 を参照してください。	
SDRAM へのライト・データ出力値	VBD31-VBD0 端子の値を D31-D0 端子か らそのまま出力	VBD31-VBD0 端子の値を NU85E500 の 中で一度ラッチしたあと DO31-DO0 端 子から出力
2 つ目以降のライト・データのセッ トアップ時間	0.5 クロック	1 クロック
オンページ・サイクル	NB85E500 のほうが, NU85E500 より 1 クロック早い	

注 DO31-DO0 端子は 3 ステート出力ではありません。

次に SDRAM シーケンシャル・ライトのタイミング例を示します。

備考1. 次の場合のタイミング例です。

- データ・バス幅 8 ビット
 - ワード・アクセス
 - CAS レイテンシ = 2
 - NU85E502 の SCRn レジスタの BCW1, BCW0 ビットで設定したウエイト・ステート数 = 1 (n = 7-0)
2. タイミング例の信号は NU85E502 のものです。
 3. VBD31-VBD0, VBWAIT 信号の破線部分のレベルは、NB85E 内部のバス・ホルダがドライブしている不定状態 (Weak unknown) を示します。D31-D0, DO31-DO0 信号の破線部分のレベルは不定です。
 4. VSB 用信号 (VBxxx, VDxxx) の詳細は **NB85E ユーザーズ・マニュアル ハードウェア編 (A13971)** を参照してください。
 5. TACT ステート : バンク・アクティブ・コマンドのステートです。
TW ステート : ウエイト・ステートです。
TWE ステート : ライト・サイクルの終わりを示すステートです。
TWPRE ステート : プリチャージを示すステートです。
TWR ステート : ライト・コマンドのステートです。
 6. BCW : SCRn レジスタの BCW1, BCW0 ビットで設定したウエイト・ステート (n = 7-0)

図1-1 SDRAMシーケンシャル・ライト・サイクル (オンページ)

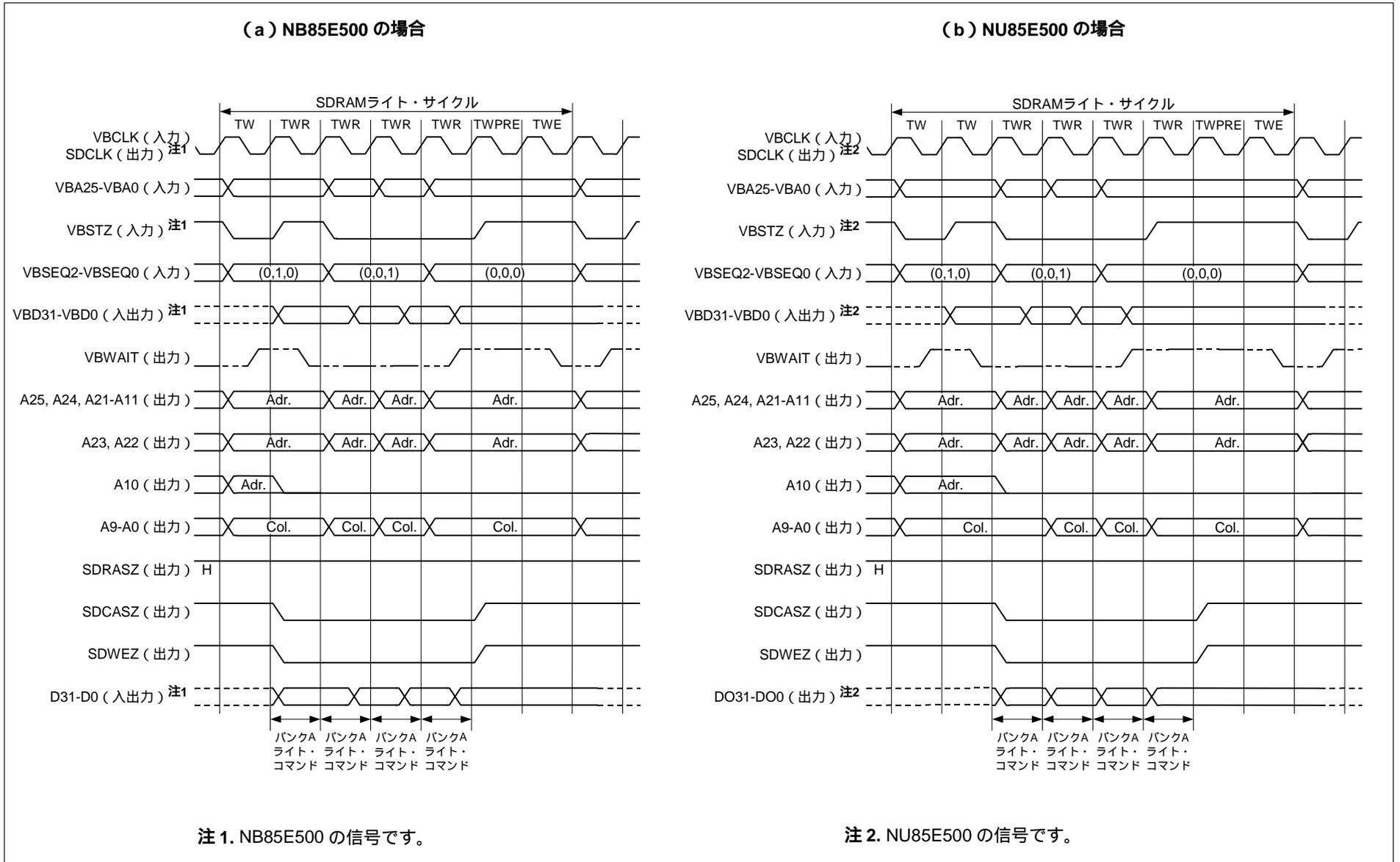
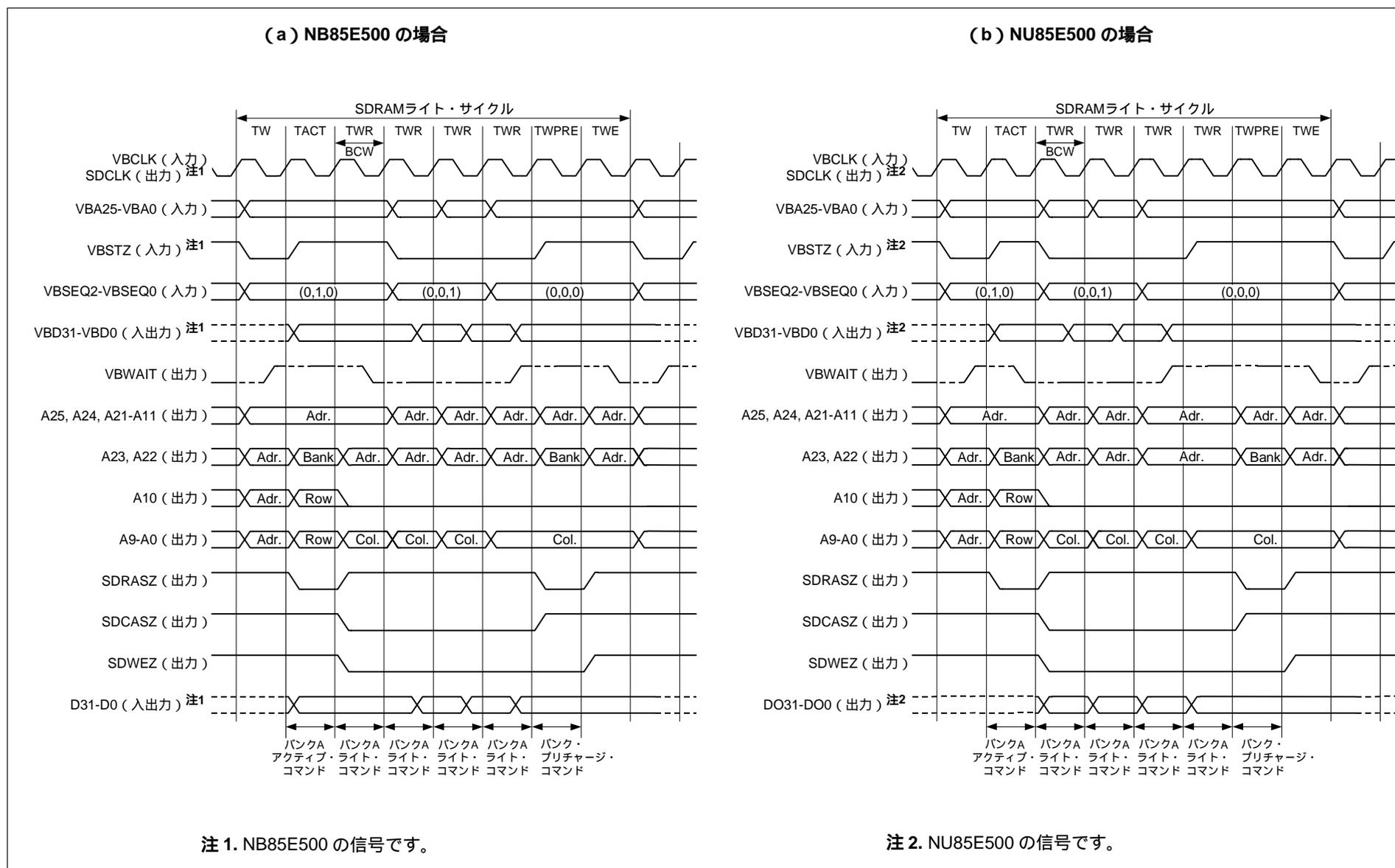


図1 - 2 SDRAMシーケンシャル・ライト・サイクル(バンク・チェンジ)



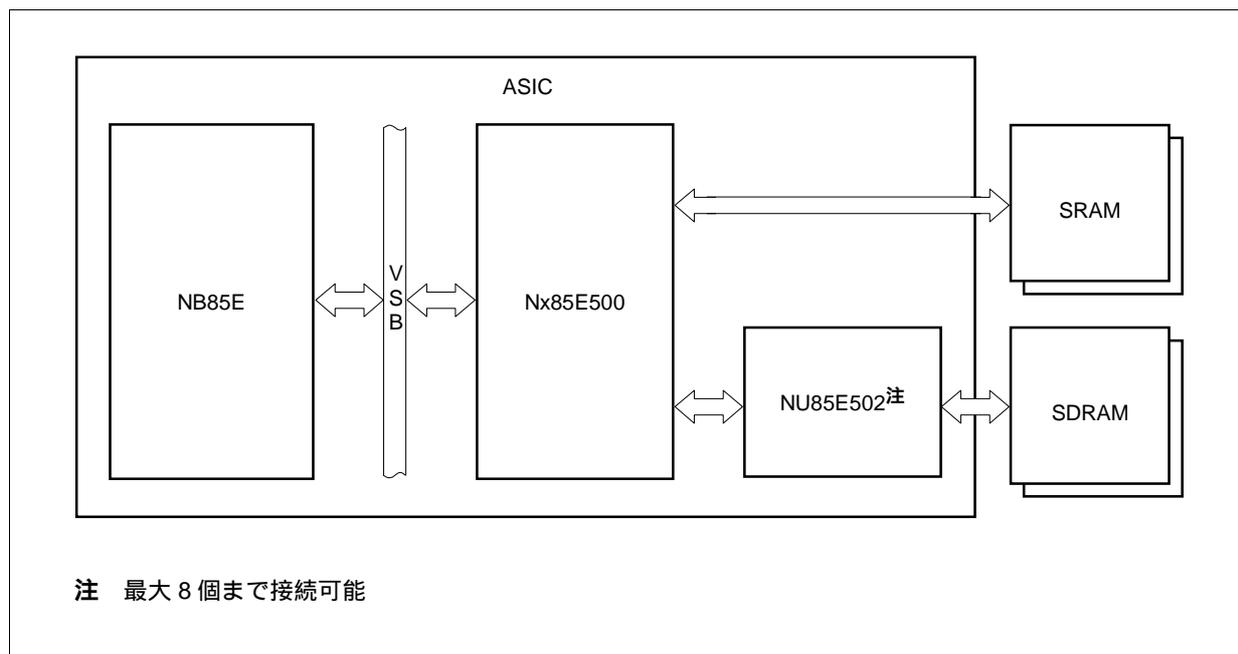
1.2 概要

Nx85E500 は、外部メモリを制御するための基本となるマクロで、SRAM, I/O コントローラ、ページ ROM コントローラを内蔵しています。

Nx85E500 は、VSB を介して NB85E と接続することで、外部バス・サイクルを起動できます。

また、Nx85E500 に SDRAM コントローラ (NU85E502) を接続することで、SDRAM を制御できます (図1-3 参照)。

図1-3 SRAM, SDRAM接続例



1.2.1 特徴

(1) SRAM, I/O コントローラ

Nx85E500 には SRAM, I/O コントローラが 1 つ内蔵されており、すべての CSn 領域に対するアクセスを制御します (n = 7-0)。主な特徴は次のとおりです。

- SRAM へのアクセスは、最小で 2 ステートです。
- DWC0, DWC1 レジスタの設定により、最大で 7 ステートのプログラマブルなデータ・ウェイトを挿入できます。
- ASC レジスタの設定により、最大で 3 ステートのアドレス設定ウェイトを挿入できます。
- WAITZ 入力により、データ・ウェイトを制御できます。
- BCC レジスタの設定により、リード/ライト・サイクルのあとに、最大で 3 ステートのアイドルを挿入できます。
- DMA フライバイ・サイクル[※]を起動できます (SRAM→I/O, I/O→SRAM)。

注 SDRAM を使用したフライバイ転送には対応していません。

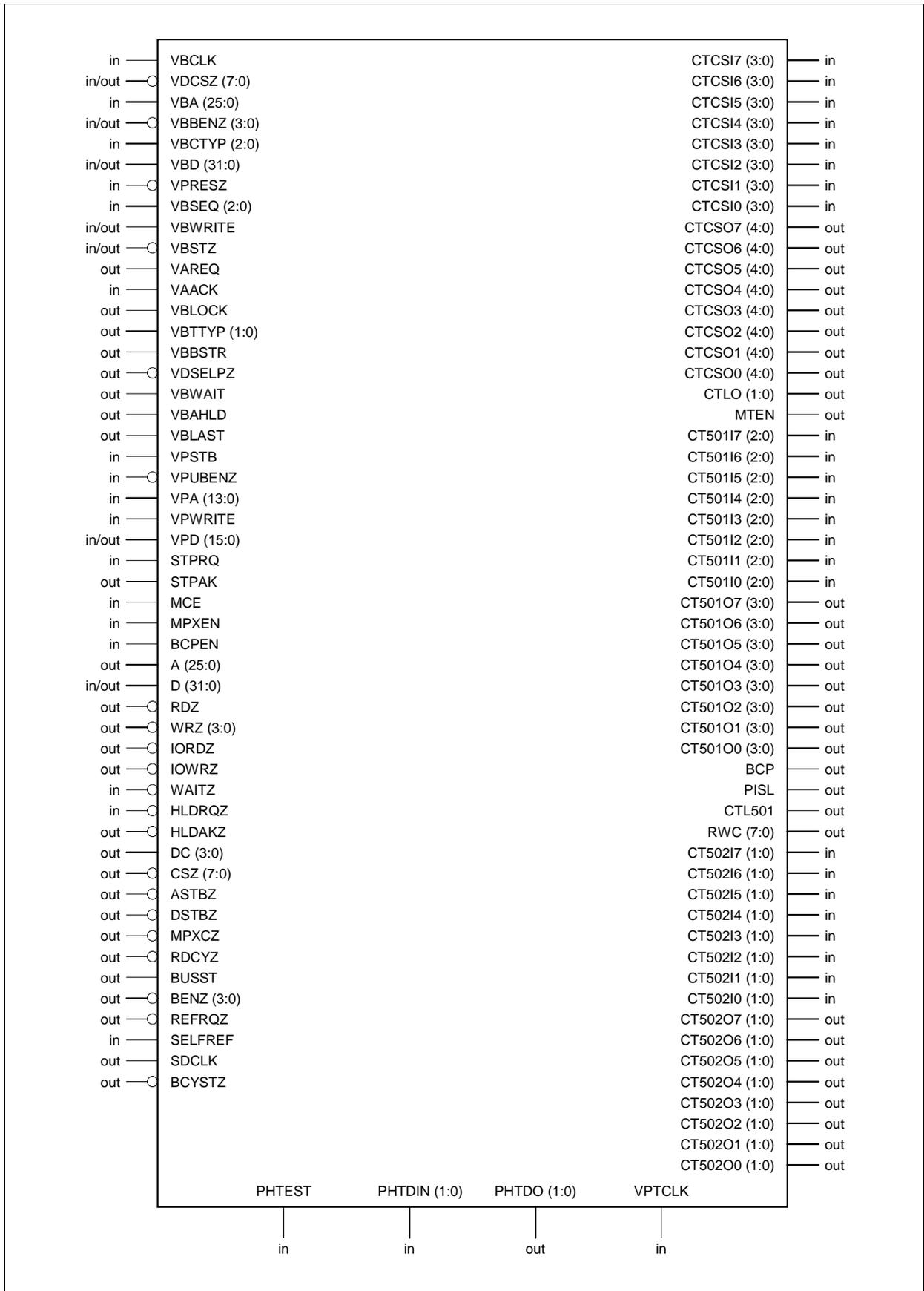
(2) ページ ROM コントローラ

Nx85E500 にはページ ROM コントローラが 1 つ内蔵されており、すべての CSn 領域に対するアクセスを制御します (n = 7-0)。基本的なバス・サイクルは SRAM, I/O コントローラと同じですが、このコントローラにはさらにページ・アクセス機能があります。主な特徴は次のとおりです。

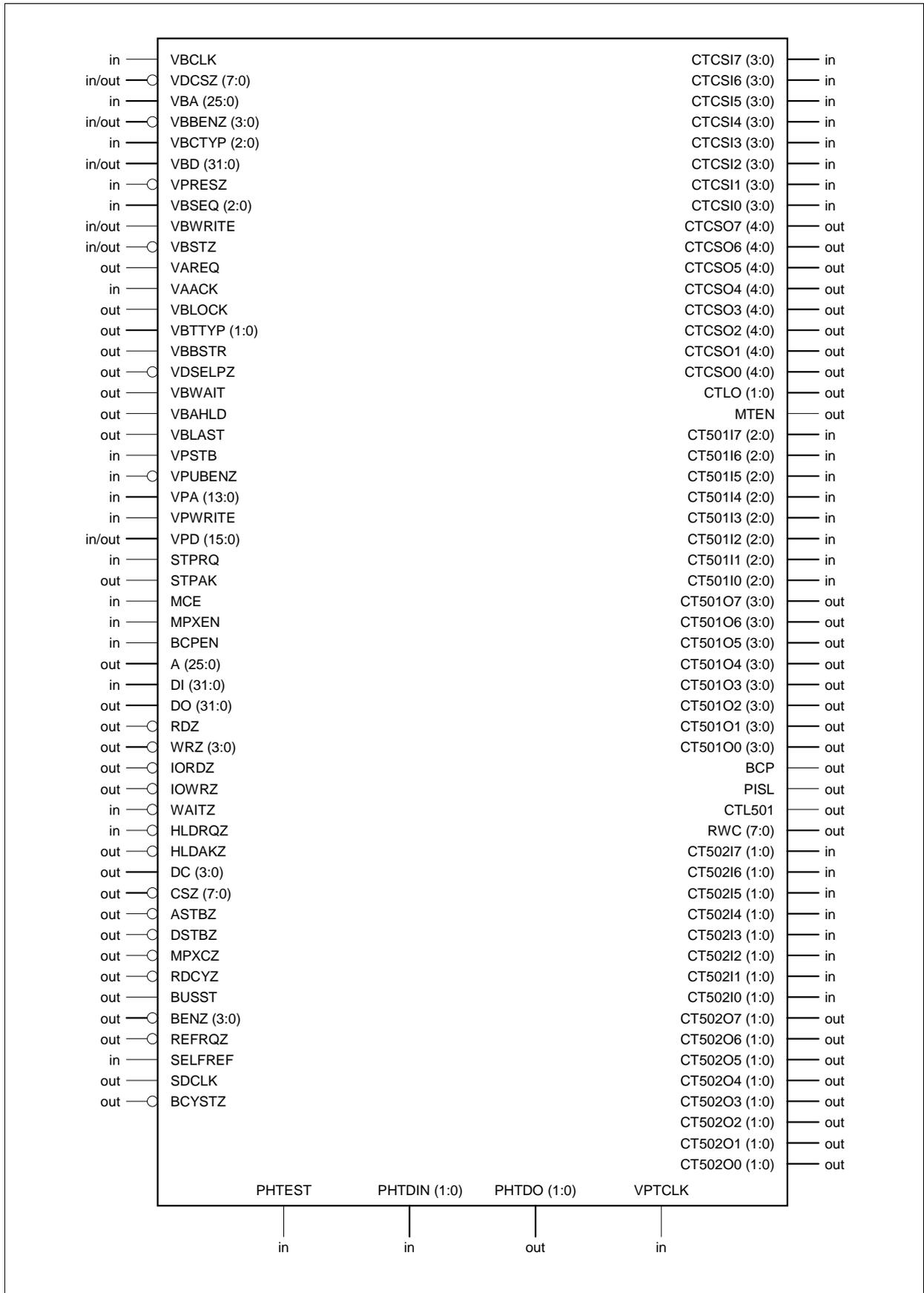
- ページ ROM へのアクセスは、最小で 2 ステートです。
- オンページ判断機能があります。
- PRC レジスタの設定により、比較するアドレスを変更できます。
- オンページ・サイクルの場合、VBSEQ2-VBSEQ0 信号が連続転送を示しているとき (「VBSEQ2-VBSEQ0 = 000」以外の値) は、VBSEQ2-VBSEQ0 = 000 のサイクルが終了するまで RDZ 信号はアクティブ・レベル (ロウ・レベル) を保持します。
- DWC0, DWC1 レジスタの設定により、オフページ・サイクル時、最大で 7 ステートのプログラマブルなデータ・ウェイトを挿入できます。
- PRC レジスタの設定により、オンページ・サイクル時、最大で 7 ステートのプログラマブルなデータ・ウェイトを挿入できます。
- WAITZ 入力により、データ・ウェイトを制御できます。
- DMA フライバイ・サイクルを起動できます (ページ ROM→I/O)。
- ページ ROM が接続された CSn 領域にライト・サイクルの要求があった場合は、SRAM ライト・サイクルが実行されます。

1.2.2 シンボル図

(1) NB85E500

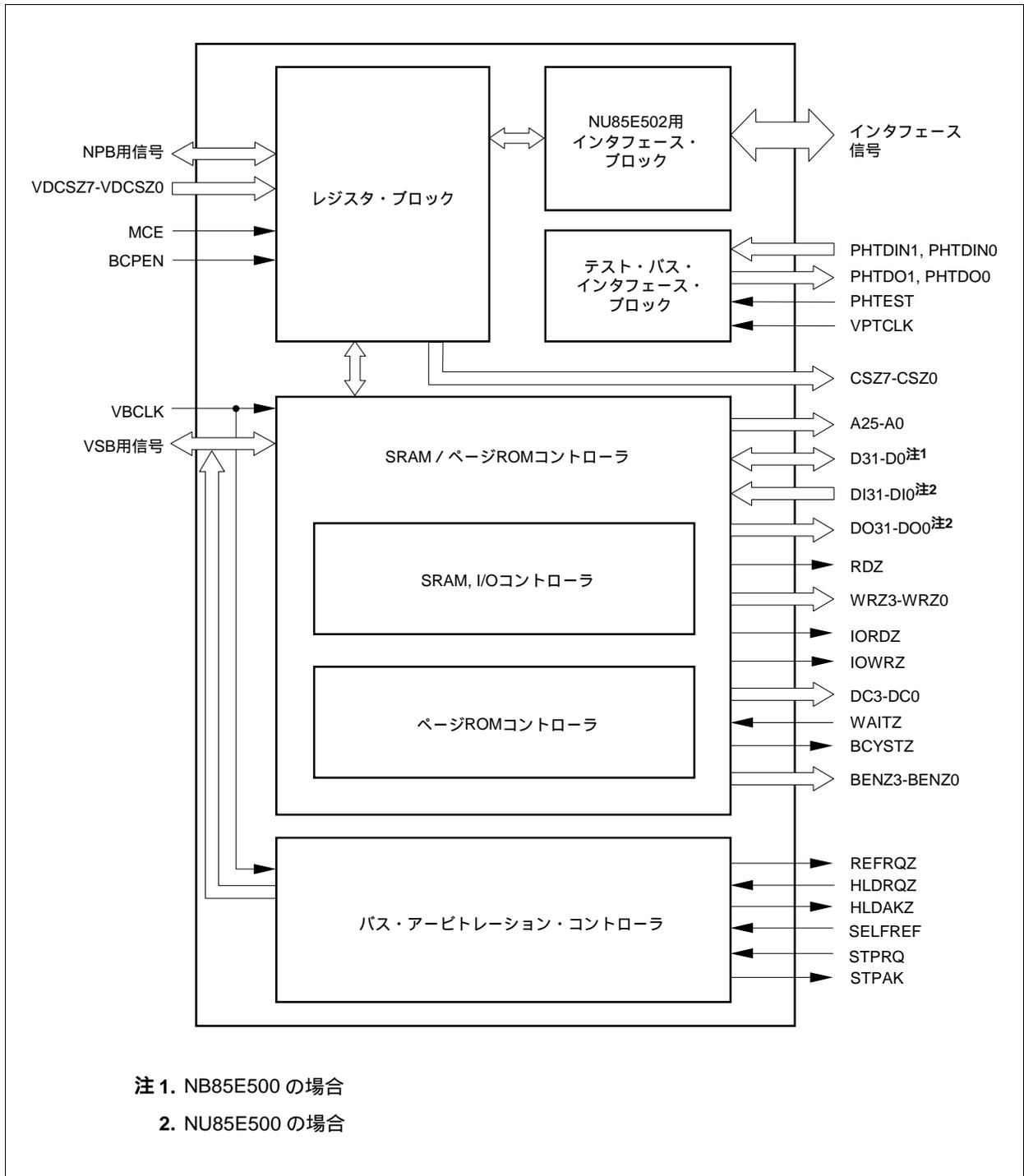


(2) NU85E500



1.2.3 ブロック図

(1) 内部ブロック図



(2) 内部ユニット

(a) レジスタ・ブロック

バス・サイクルの制御を行うレジスタを内蔵しています。外部メモリの選択やアイドル/ウエイト・ステート数の設定、ページROMの連続読み出し数の設定が行えます。

レジスタへのリード/ライトは、NPBを介して行います。

(b) SRAM/ページROMコントローラ

SRAM, ページROM, および外部I/Oとのリード/ライト動作を制御します。このコントローラだけで、すべてのCSn領域に対するアクセスを制御できます(n=7-0)。

(c) バス・アービトレーション・コントローラ

NB85EからSTOPモード要求信号(STPRQ)を受け付けると、NB85Eに対してSTPRQ信号に対するアクノリッジ信号(STPAK)を出力し、メモリ・コントローラの動作を停止させます。このとき、VBCLK信号も停止します。

また、セルフ・リフレッシュ要求信号(SELFREF), NU85E502からのCBRリフレッシュ要求, 外部バス・ホールド要求信号(HLDRQZ)を受け付けると、バス・マスタになるためにバス使用権要求信号(VAREQ)をアクティブにします。バスの優先順位は次のようになります。

外部バス・ホールド要求 > リフレッシュ要求 > NB85E内部からのバス要求

(d) NU85E502用インタフェース・ブロック

NU85E502とのインタフェースを行うブロックです。各CSn領域ごとに制御信号があります(n=7-0)。

(e) テスト・バス・インタフェース・ブロック

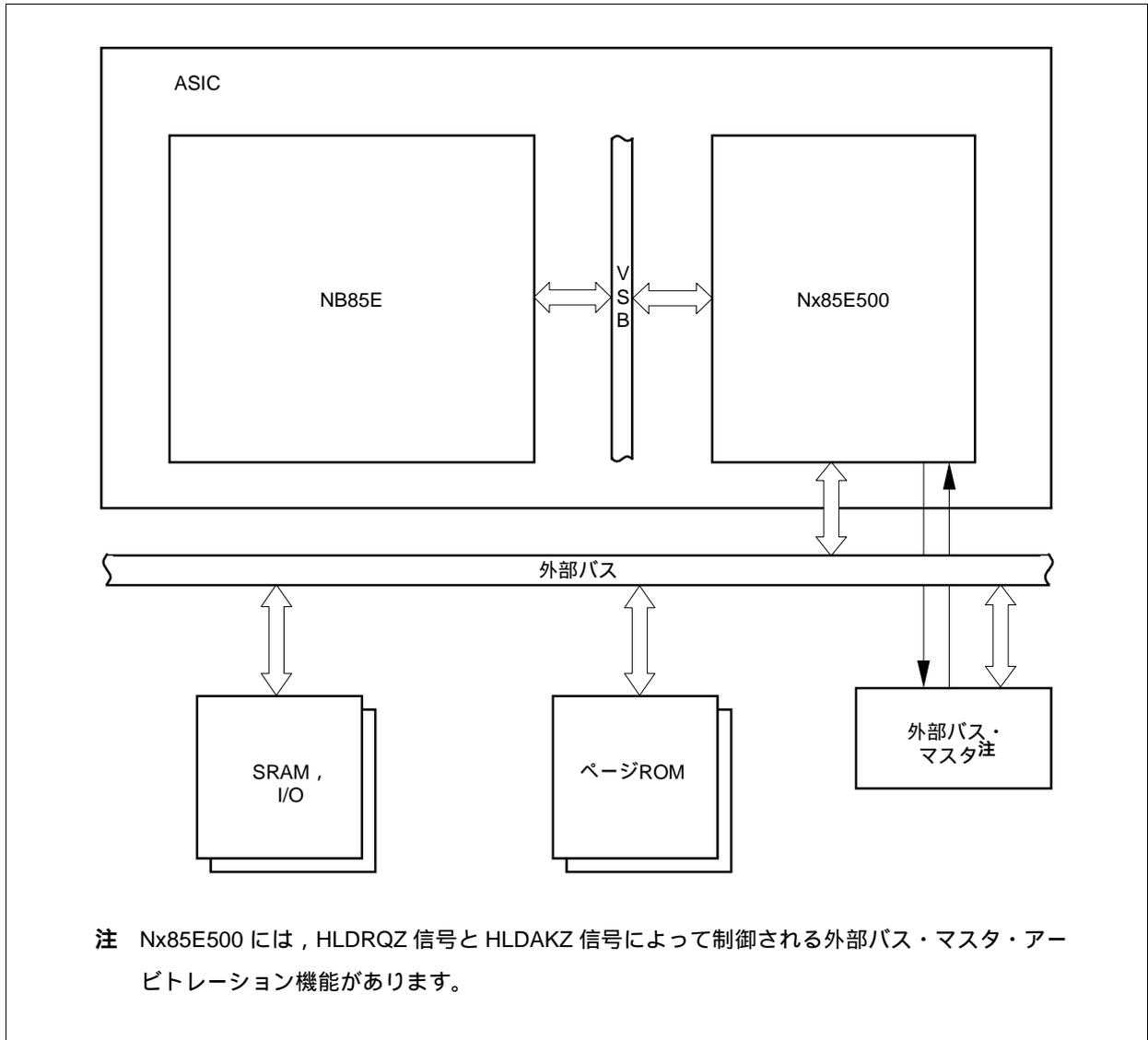
Nx85E500をテストするための信号のインタフェースを行うブロックです。Nx85E500は、NB85Eのテスト・モードを使用してテストできます。

1.2.4 構成例

Nx85E500 は外部メモリ用のバス・サイクルを起動します。

次に、Nx85E500 を使用した応用例を示します。

図1-4 応用例



1.3 端子機能

1.3.1 端子機能一覧

(1/3)

端子名		入出力	機能
NB85E 接続用端子	VBCLK	入力	内部システム・クロック入力
	VDCSZ7-VDCSZ0	入出力	チップ・セレクト入出力
	VBA25-VBA0	入力	アドレス入力
	VBBENZ3-VBBENZ0	入出力	バイト・イネーブル入出力
	VBCTYP2-VBCTYP0	入力	バス・サイクル・ステータス入力
	VBD31-VBD0	入出力	データ入出力
	VPRESZ	入力	リセット入力
	VBSEQ2-VBSEQ0	入力	シーケンシャル・ステータス入力
	VBWRITE	入出力	リード/ライト・ステータス入出力
	VBSTZ	入出力	転送スタート入出力
	VAREQ	出力	バス使用権要求出力
	VAACK	入力	バス使用権アクノリッジ入力
	VBLOCK	出力	バス・ロック出力
	VBTTYP1, VBTTYP0	出力	バス転送タイプ出力
	VBBSTR	出力	バースト・リード・ステータス出力
	VDSELPZ	出力	周辺マクロ・アクセス・ステータス出力
	VBWAIT	出力	ウェイト・レスポンス出力
	VBAHLD	出力	アドレス・ホールド・レスポンス出力
	VBLAST	出力	ラスト・レスポンス出力
	VPSTB	入力	データ・ストロープ入力 (NPB 用)
	VPUBENZ	入力	上位バイト・イネーブル入力 (NPB 用)
	VPA13-VPA0	入力	アドレス入力 (NPB 用)
	VPWRITE	入力	ライト・アクセス・ストロープ入力 (NPB 用)
	VPD15-VPD0	入出力	データ入出力 (NPB 用)
	STPRQ	入力	STOP モード要求入力
	STPAK	出力	STPRQ 入力に対するアクノリッジ出力
初期設定用端子	MCE	入力	BCT レジスタの MEn ビット・リセット値制御入力 (n = 7-0)
	BCPEN	入力	BCP レジスタの BCP ビット・リセット値制御入力
外部メモリ接続用端子	A25-A0	出力	外部メモリ用アドレス出力
	D31-D0 ^{注1}	入出力	外部メモリ用データ入出力
	DI31-DI0 ^{注2}	入力	外部メモリ用データ入力
	DO31-DO0 ^{注2}	出力	外部メモリ用データ出力
	RDZ	出力	SRAM / ページ ROM 用リード・ストロープ出力
	WRZ3-WRZ0	出力	SRAM / ページ ROM 用ライト・ストロープ出力

注 1. NB85E500 の場合。

2. NU85E500 の場合。

端子名		入出力	機 能
外部メモリ接続用端子	IORDZ	出力	外部 I/O リード・ストロープ出力
	IOWRZ	出力	外部 I/O ライト・ストロープ出力
	WAITZ	入力	ウェイト要求入力
	HLDRQZ	入力	外部バス・ホールド要求入力
	HLDAKZ	出力	外部バス・ホールド要求アクノリッジ出力
	DC3-DC0	出力	データ・バス用制御出力
	CSZ7-CSZ0	出力	チップ・セレクト出力
	BENZ3-BENZ0	出力	バイト・イネーブル出力
	BCYSTZ	出力	バス・サイクル・スタート・ステータス出力
	REFRQZ	出力	リフレッシュ・ステータス出力
	SELFREF	入力	セルフ・リフレッシュ要求入力
	SDCLK	出力	SDRAM 用同期クロック出力
NU85E502 接続用端子	CTCSI73-CTCSI70	入力	NU85E502 からの制御入力 (CS7 領域用)
	CTCSI63-CTCSI60	入力	NU85E502 からの制御入力 (CS6 領域用)
	CTCSI53-CTCSI50	入力	NU85E502 からの制御入力 (CS5 領域用)
	CTCSI43-CTCSI40	入力	NU85E502 からの制御入力 (CS4 領域用)
	CTCSI33-CTCSI30	入力	NU85E502 からの制御入力 (CS3 領域用)
	CTCSI23-CTCSI20	入力	NU85E502 からの制御入力 (CS2 領域用)
	CTCSI13-CTCSI10	入力	NU85E502 からの制御入力 (CS1 領域用)
	CTCSI03-CTCSI00	入力	NU85E502 からの制御入力 (CS0 領域用)
	CTCSO74-CTCSO70	出力	NU85E502 への制御出力 (CS7 領域用)
	CTCSO64-CTCSO60	出力	NU85E502 への制御出力 (CS6 領域用)
	CTCSO54-CTCSO50	出力	NU85E502 への制御出力 (CS5 領域用)
	CTCSO44-CTCSO40	出力	NU85E502 への制御出力 (CS4 領域用)
	CTCSO34-CTCSO30	出力	NU85E502 への制御出力 (CS3 領域用)
	CTCSO24-CTCSO20	出力	NU85E502 への制御出力 (CS2 領域用)
	CTCSO14-CTCSO10	出力	NU85E502 への制御出力 (CS1 領域用)
	CTCSO04-CTCSO00	出力	NU85E502 への制御出力 (CS0 領域用)
	CTLO1, CTLO0	出力	NU85E502 への制御出力
	MTEN	出力	NU85E502 へのテスト・モード許可出力
	CT502I71, CT502I70	入力	NU85E502 からの制御入力 (CS7 領域用)
	CT502I61, CT502I60	入力	NU85E502 からの制御入力 (CS6 領域用)
	CT502I51, CT502I50	入力	NU85E502 からの制御入力 (CS5 領域用)
	CT502I41, CT502I40	入力	NU85E502 からの制御入力 (CS4 領域用)
	CT502I31, CT502I30	入力	NU85E502 からの制御入力 (CS3 領域用)
	CT502I21, CT502I20	入力	NU85E502 からの制御入力 (CS2 領域用)
	CT502I11, CT502I10	入力	NU85E502 からの制御入力 (CS1 領域用)
	CT502I01, CT502I00	入力	NU85E502 からの制御入力 (CS0 領域用)
	CT502O71, CT502O70	出力	NU85E502 への制御出力 (CS7 領域用)
	CT502O61, CT502O60	出力	NU85E502 への制御出力 (CS6 領域用)

端子名		入出力	機 能
NU85E502 接続用端子	CT502O51, CT502O50	出力	NU85E502 への制御出力 (CS5 領域用)
	CT502O41, CT502O40	出力	NU85E502 への制御出力 (CS4 領域用)
	CT502O31, CT502O30	出力	NU85E502 への制御出力 (CS3 領域用)
	CT502O21, CT502O20	出力	NU85E502 への制御出力 (CS2 領域用)
	CT502O11, CT502O10	出力	NU85E502 への制御出力 (CS1 領域用)
	CT502O01, CT502O00	出力	NU85E502 への制御出力 (CS0 領域用)
テスト・モード用端子	PHTEST	入力	周辺テスト・モード・ステータス入力
	PHTDIN1, PHTDIN0	入力	周辺マクロ・テスト入力
	PHTDO1, PHTDO0	出力	周辺マクロ・テスト出力
	VPTCLK	入力	テスト用クロック入力
NEC の予約端子	MPXEN	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	ASTBZ	出力	NEC の予約端子 (オープンにしてください)
	DSTBZ	出力	NEC の予約端子 (オープンにしてください)
	MPXCZ	出力	NEC の予約端子 (オープンにしてください)
	RDCYZ	出力	NEC の予約端子 (オープンにしてください)
	BUSST	出力	NEC の予約端子 (オープンにしてください)
	CT501I72-CT501I70	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	CT501I62-CT501I60	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	CT501I52-CT501I50	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	CT501I42-CT501I40	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	CT501I32-CT501I30	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	CT501I22-CT501I20	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	CT501I12-CT501I10	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	CT501I02-CT501I00	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	CT501O73-CT501O70	出力	NEC の予約端子 (オープンにしてください)
	CT501O63-CT501O60	出力	NEC の予約端子 (オープンにしてください)
	CT501O53-CT501O50	出力	NEC の予約端子 (オープンにしてください)
	CT501O43-CT501O40	出力	NEC の予約端子 (オープンにしてください)
	CT501O33-CT501O30	出力	NEC の予約端子 (オープンにしてください)
	CT501O23-CT501O20	出力	NEC の予約端子 (オープンにしてください)
	CT501O13-CT501O10	出力	NEC の予約端子 (オープンにしてください)
	CT501O03-CT501O00	出力	NEC の予約端子 (オープンにしてください)
	BCP	出力	NEC の予約端子 (オープンにしてください)
	PISL	出力	NEC の予約端子 (オープンにしてください)
	CTL501	出力	NEC の予約端子 (オープンにしてください)
	RWC7-RWC0	出力	NEC の予約端子 (オープンにしてください)

1.3.2 端子機能の説明

(1) NB85E 接続用端子

(a) VSB 用端子 (VBxxx, VDxxx, VAxxx)

NB85E ユーザーズ・マニュアル ハードウェア編 (A13971J) を参照してください。

(b) NPB 用端子 (VPxxx)

NB85E ユーザーズ・マニュアル ハードウェア編 (A13971J) を参照してください。

(c) STPRQ (入力), STPAK (出力)

NB85E ユーザーズ・マニュアル ハードウェア編 (A13971J) を参照してください。

(2) 初期設定用端子

(a) MCE (入力)

リセット時、メモリ・コントローラ動作許可を指定するための端子です。

この端子への入力レベルにより、BCT0, BCT1 レジスタの MEn ビットのリセット時の値が次のようになります (n = 7-0)。

リセットの前とあとで、この端子のレベルが変化しないようにしてください。

- ロウ・レベル：0 (メモリ・コントローラの動作禁止)
- ハイ・レベル：1 (メモリ・コントローラの動作許可)

(b) BCPEN (入力)

リセット時、バス・サイクル周期の長さを指定するための端子です。

この端子への入力レベルにより、BCP レジスタの BCP ビットのリセット時の値が次のようになります。

リセットの前とあとで、この端子のレベルが変化しないようにしてください。

- ロウ・レベル：0 (通常)
- ハイ・レベル：1 (2倍)

(3) 外部メモリ接続用端子

(a) A25-A0 (出力)

外部メモリ用アドレス・バスです。

NU85E502 がアクティブのとき、A25-A0 端子はすべてロウ・レベルを出力します。

(b) D31-D0 (入出力) (NB85E500 の場合)

外部メモリ用双方向データ・バスです。

(c) DI31-DI0 (入力) (NU85E500 の場合)

外部メモリ用入力データ・バスです。

(d) DO31-DO0 (出力) (NU85E500 の場合)

外部メモリ用出力データ・バスです。

(e) RDZ (出力)

SRAM, ページ ROM をアクティブにするためのリード・ストロープ出力端子です。

(f) WRZ3-WRZ0 (出力)

SRAM, 外部 I/O をアクティブにするためのライト・ストロープ出力端子です。

端子名	NB85E500 の場合	NU85E500 の場合
WRZ3	D31-D24 用	DO31-DO24 用
WRZ2	D23-D16 用	DO23-DO16 用
WRZ1	D15-D8 用	DO15-DO8 用
WRZ0	D7-D0 用	DO7-DO0 用

(g) IORDZ (出力)

DMA フライバイ・サイクル時, 外部 I/O をアクティブにするためのリード・ストロープ出力端子です。

(h) IOWRZ (出力)

DMA フライバイ・サイクル時, 外部 I/O をアクティブにするためのライト・ストロープ出力端子です。

(i) WAITZ (入力)

外部メモリからのウエイト要求入力端子です。

(j) HLDQRZ (入力)

外部からのバス・ホールド要求入力端子です。

バス・ホールド中はアクティブ・レベルを保持している必要があります。

(k) HLDKZ (出力)

外部へのバス・ホールド・アクノリッジ出力端子です。

バス・ホールドの許可を示します。

(l) DC3-DC0 (出力)

データ・バスの入出力バッファ方向制御出力端子です。

リード時にハイ・レベルを, ライト時にロウ・レベルを出力します。

端子名	NB85E500 の場合	NU85E500 の場合
DC3	D31-D24 用	DI31-DI24, DO31-DO24 用
DC2	D23-D16 用	DI23-DI16, DO23-DO16 用
DC1	D15-D8 用	DI15-DI8, DO15-DO8 用
DC0	D7-D0 用	DI7-DI0, DO7-DO0 用

(m) CSZ7-CSZ0 (出力)

チップ・セレクト出力端子です。

VDCSZ7-VDCSZ0 端子に入力された値が出力されます。

CSZ7 ... CS7 領域用

CSZ6 ... CS6 領域用

CSZ5 ... CS5 領域用

CSZ4 ... CS4 領域用

CSZ3 ... CS3 領域用

CSZ2 ... CS2 領域用

CSZ1 ... CS1 領域用

CSZ0 ... CS0 領域用

(n) BENZ3-BENZ0 (出力)

バイト・イネーブル出力端子です。NB85E の VBBENZ3-VBBENZ0 端子に入力された値が出力されます。

(o) BCYSTZ (出力)

バス・サイクル・スタート状態を示すための端子です。

(p) REFRQZ (出力)

NU85E502 が接続されている場合に、SDRAM へのリフレッシュ・サイクルの実行状態を示すための端子です。

リフレッシュ・サイクル実行時はロウ・レベルを、リフレッシュ・サイクル非実行時はハイ・レベルを出力します。

バス・ホールド中にこの端子がロウ・レベル出力になった場合は、外部バス・マスタに対してリフレッシュ要求が発生していることを示します。

(q) SELFREF (入力)

セルフ・リフレッシュ要求入力端子です。NU85E502 が接続されている場合に使用します。

この端子への入力レベルにより、セルフ・リフレッシュ要求の有無を示します。

- ロウ・レベル：セルフ・リフレッシュ要求なし
- ハイ・レベル：セルフ・リフレッシュ要求あり

(r) SDCLK (出力)

外部 SDRAM のための同期クロック出力端子です。NU85E502 が接続されている場合に使用します。

(4) NU85E502 接続用端子**(a) CTCSIn3-CTCSIn0 (n = 7-0) (入力)**

NU85E502 からの, CSn 領域ごとの制御入力端子です (n = 7-0)。

CTCSI73-CTCSI70 ... CS7 領域用

CTCSI63-CTCSI60 ... CS6 領域用

CTCSI53-CTCSI50 ... CS5 領域用

CTCSI43-CTCSI40 ... CS4 領域用

CTCSI33-CTCSI30 ... CS3 領域用

CTCSI23-CTCSI20 ... CS2 領域用

CTCSI13-CTCSI10 ... CS1 領域用

CTCSI03-CTCSI00 ... CS0 領域用

(b) CTCSOn4-CTCSOn0 (n = 7-0) (出力)

NU85E502 への, CSn 領域ごとの制御出力端子です (n = 7-0)。

CTCSO74-CTCSO70 ... CS7 領域用

CTCSO64-CTCSO60 ... CS6 領域用

CTCSO54-CTCSO50 ... CS5 領域用

CTCSO44-CTCSO40 ... CS4 領域用

CTCSO34-CTCSO30 ... CS3 領域用

CTCSO24-CTCSO20 ... CS2 領域用

CTCSO14-CTCSO10 ... CS1 領域用

CTCSO04-CTCSO00 ... CS0 領域用

(c) CTLO1, CTLO0 (出力)

NU85E502 への制御出力端子です。

(d) MTEN (出力)

NU85E502 への, テスト・モード許可を指定するための端子です。

(e) CT502In1, CT502In0 (n = 7-0) (入力)

NU85E502 からの, CSn 領域ごとの制御入力端子です (n = 7-0)。

CT502I71, CT502I70 ... CS7 領域用

CT502I61, CT502I60 ... CS6 領域用

CT502I51, CT502I50 ... CS5 領域用

CT502I41, CT502I40 ... CS4 領域用

CT502I31, CT502I30 ... CS3 領域用

CT502I21, CT502I20 ... CS2 領域用

CT502I11, CT502I10 ... CS1 領域用

CT502I01, CT502I00 ... CS0 領域用

(f) CT502On1, CT502On0 (n = 7-0) (出力)

NU85E502 への, CSn 領域ごとの制御出力端子です (n = 7-0)。

CT502O71, CT502O70 ... CS7 領域用

CT502O61, CT502O60 ... CS6 領域用

CT502O51, CT502O50 ... CS5 領域用

CT502O41, CT502O40 ... CS4 領域用

CT502O31, CT502O30 ... CS3 領域用

CT502O21, CT502O20 ... CS2 領域用

CT502O11, CT502O10 ... CS1 領域用

CT502O01, CT502O00 ... CS0 領域用

(5) テスト・モード用端子

(a) PHTEST (入力)

メモリ・コントローラのテスト・モード状態であることを示すステータス入力端子です。

NB85E の PHTEST 端子と接続します。

(b) PHTDIN1, PHTDIN0 (入力)

テスト入力端子です。

(c) PHTDO1, PHTDO0 (出力)

テスト出力端子です。

(d) VPTCLK (入力)

テスト用クロック入力端子です。

(6) NEC の予約端子

(a) MPXEN, CT501In2-CT501In0 (n = 7-0) (入力)

NEC の予約端子です。常にロウ・レベルを入力してください。

(b) ASTBZ, DSTBZ, MPXCZ, RDCYZ, BUSST, CT501On3-CT501On0 (n = 7-0), BCP, PISL, CTL501, RWC7-RWC0 (出力)

NEC の予約端子です。オープンにしてください。

1.3.3 未使用端子の処理

(1/2)

端子名		入出力	推奨接続方法
NB85E 接続用 端子	VBCLK, VBA25-VBA0, VBCTYP2-VBCTYP0, VPRESZ, VBSEQ2-VBSEQ0, VAACK, VPSTB, VPUBENZ, VPA13-VPA0, VPWRITE, STPRQ	入力	-
	VAREQ, VBLOCK, VBTTYP1, VBTTYP0, VBBSTR, VDSELPZ, VBWAIT, VBAHLD, VBLAST, STPAK	出力	
	VDCSZ7-VDCSZ0, VBBENZ3-VBBENZ0, VBD31-VBD0, VBWRITE, VBSTZ, VPD15- VPD0	入出力	
初期設定用端子	MCE	入力	ハイ・レベルを入力してください。
	BCPEN	入力	ロウ・レベルを入力してください。
外部メモリ接続 用端子	A25-A0, DO31-DO0 ^{注1} , RDZ, WRZ3-WRZ0, IORDZ, IOWRZ, HLDKZ, DC3-DC0, CSZ7- CSZ0, BENZ3-BENZ0, BCYSTZ, REFRQZ, SDCLK	出力	オープンにしてください。
	D31-D0 ^{注2}	入出力	バス・ホルダに接続してください。
	DI31-DI0 ^{注1} , SELFREF	入力	ロウ・レベルを入力してください。
	WAITZ, HLDRQZ	入力	ハイ・レベルを入力してください。
NU85E502 接続 用端子	CTCSI73-CTCSI70, CTCSI63-CTCSI60, CTCSI53-CTCSI50, CTCSI43-CTCSI40, CTCSI33-CTCSI30, CTCSI23-CTCSI20, CTCSI13-CTCSI10, CTCSI03-CTCSI00, CT502I71, CT502I70, CT502I61, CT502I60, CT502I51, CT502I50, CT502I41, CT502I40, CT502I31, CT502I30, CT502I21, CT502I20, CT502I11, CT502I10, CT502I01, CT502I00	入力	ロウ・レベルを入力してください。
	CTCSO74-CTCSO70, CTCSO64-CTCSO60, CTCSO54-CTCSO50, CTCSO44-CTCSO40, CTCSO34-CTCSO30, CTCSO24-CTCSO20, CTCSO14-CTCSO10, CTCSO04-CTCSO00, CTLO1, CTLO0, MTEN, CT502O71, CT502O70, CT502O61, CT502O60, CT502O51, CT502O50, CT502O41, CT502O40, CT502O31, CT502O30, CT502O21, CT502O20, CT502O11, CT502O10, CT502O01, CT502O00	出力	オープンにしてください。
テスト・モード 用端子	PHTEST, PHTDIN1, PHTDIN0, VPTCLK	入力	-
	PHTDO1, PHTDO0	出力	

注 1. NU85E500 の場合。

2. NB85E500 の場合。

端子名		入出力	推奨接続方法
NEC の予約端子	MPXEN, CT501I72-CT501I70, CT501I62-CT501I60, CT501I52-CT501I50, CT501I42-CT501I40, CT501I32-CT501I30, CT501I22-CT501I20, CT501I12-CT501I10, CT501I02-CT501I00	入力	ロウ・レベルを入力してください。
	ASTBZ, DSTBZ, MPXCZ, RDCYZ, BUSST, CT501O73-CT501O70, CT501O63-CT501O60, CT501O53-CT501O50, CT501O43-CT501O40, CT501O33-CT501O30, CT501O23-CT501O20, CT501O13-CT501O10, CT501O03-CT501O00, BCP, PISL, CTL501, RWC7-RWC0	出力	オープンにしてください。

1.3.4 端子状態

出力機能を持つ端子の各動作モードでの状態を次に示します。

表1-1 各動作モードでの端子状態 (1/2)

端子名		端子状態				
		リセット	STOP モード	HALT モード	バス・ホールド	テスト・モード
NB85E 接続用端子	VDCSZ7-VDCSZ0	Hi-Z	H	Hi-Z ^注	H	Hi-Z
	VBBENZ3-VBBENZ0	Hi-Z	H	Hi-Z ^注	H	Hi-Z
	VBD31-VBD0	Hi-Z	Hi-Z	動作	Hi-Z	動作
	VBWRITE	Hi-Z	L	Hi-Z ^注	L	Hi-Z
	VBSTZ	Hi-Z	H	Hi-Z ^注	H	Hi-Z
	VAREQ	L	H	動作	H	動作
	VBLOCK	Hi-Z	H	Hi-Z ^注	H	Hi-Z
	VBTTYP1, VBTTYP0	Hi-Z	L	Hi-Z ^注	L	Hi-Z
	VBBSTR	Hi-Z	L	Hi-Z ^注	L	Hi-Z
	VDSELPZ	Hi-Z	H	Hi-Z ^注	H	Hi-Z
	VBWAIT	Hi-Z	Hi-Z	動作	Hi-Z	動作
	VBAHLD	Hi-Z	Hi-Z	動作	Hi-Z	動作
	VBLAST	Hi-Z	Hi-Z	動作	Hi-Z	動作
	VPD15-VPD0	Hi-Z	Hi-Z	動作	Hi-Z	動作
	STPAK	L	H	動作	L	動作

注 HALT モード時にリフレッシュが発生し Nx85E500 がバス・マスタになった場合には、STOP モード時と同じ値を出力します。

備考 L : ロウ・レベル出力
 H : ハイ・レベル出力
 Hi-Z : ハイ・インピーダンス

表1 - 1 各動作モードでの端子状態 (2/2)

端子名		端子状態				
		リセット	STOP モード	HALT モード	バス・ホールド	テスト・モード
外部メモリ接続用 端子	A25-A0	不定	保持	動作	保持	動作
	D31-D0 ^{注1}	Hi-Z	Hi-Z	動作	Hi-Z	動作
	DO31-DO0 ^{注2}	不定	保持	動作	不定	動作
	RDZ	H	H	動作	H	動作
	WRZ3-WRZ0	H	H	動作	H	動作
	IORZ	H	H	動作	H	動作
	IOWRZ	H	H	動作	H	動作
	HLDKZ	H	H	動作	L	動作
	DC3-DC0	H	H	動作	H	動作
	CSZ7-CSZ0	H	H	動作	H	動作
	BENZ3-BENZ0	H	H	動作	H	動作
	BCYSTZ	H	H	動作	H	動作
	REFRQZ	H	L	動作	H ^{注3}	動作
SDCLK	動作	VBCLK と 同じ	動作	動作	動作	

注 1. NB85E500 の場合。リセット時にハイ・インピーダンスとなるので、プルアップ付き入出力バッファを接続するなどの処置をしてください。

2. NU85E500 の場合。

3. バス・ホールド中に NU85E502 からリフレッシュ要求があった場合には、ロウ・レベル出力になります。

備考 L：ロウ・レベル出力

H：ハイ・レベル出力

Hi-Z：ハイ・インピーダンス

保持：直前の状態を保持

1.4 バス・サイクル機能

1.4.1 バス・サイクル・タイプ・コンフィギュレーション・レジスタ 0, 1 (BCT0, BCT1)

Nx85E500 は、4 種類の外部メモリを接続できます (SDRAM を接続する場合は、NU85E502 が必要です)。

BCT0, BCT1 レジスタは、それぞれの CSn 領域に対するコントローラの指定と動作の許可を設定します (n = 7-0)。

BCT0, BCT1 レジスタは、16 ビット単位でリード/ライト可能です。

図1-5 バス・サイクル・タイプ・コンフィギュレーション・レジスタ0, 1 (BCT0, BCT1)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
BCT0	ME3	0	BT3	BT3	ME2	0	BT2	BT2	ME1	0	BT1	BT1	ME0	0	BT0	BT0	アドレス	初期値
			1	0			1	0			1	0			1	0	FFFFFF480H	注
BCT1	ME7	0	BT7	BT7	ME6	0	BT6	BT6	ME5	0	BT5	BT5	ME4	0	BT4	BT4	アドレス	初期値
			1	0			1	0			1	0			1	0	FFFFFF482H	注

ビット位置	ビット名	意味															
15, 11, 7, 3	ME _n	メモリ・コントローラの動作許可を、CS _n 領域ごとに設定します。 0 : 動作禁止 (NB85E への応答なし) 1 : 動作許可															
13, 12, 9, 8, 5, 4, 1, 0	BT _{n1} , BT _{n0}	接続する外部メモリ・タイプを、CS _n 領域ごとに設定します。 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <thead> <tr> <th style="width: 10%;">BT_{n1}</th> <th style="width: 10%;">BT_{n0}</th> <th style="width: 80%;">外部メモリ・タイプ</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>SRAM, I/O</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>ページ ROM</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>設定禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>SDRAM (NU85E502 接続時)</td> </tr> </tbody> </table>	BT _{n1}	BT _{n0}	外部メモリ・タイプ	0	0	SRAM, I/O	0	1	ページ ROM	1	0	設定禁止	1	1	SDRAM (NU85E502 接続時)
BT _{n1}	BT _{n0}	外部メモリ・タイプ															
0	0	SRAM, I/O															
0	1	ページ ROM															
1	0	設定禁止															
1	1	SDRAM (NU85E502 接続時)															

注 MCE 端子にハイ・レベル入力時 : 8888H
MCE 端子にロウ・レベル入力時 : 0000H

注意 BCT0, BCT1 レジスタの BT_{n1}, BT_{n0} ビットの設定はリセット直後に行い、設定後は値を変更しないでください (ME_n ビットは変更できます)。

備考 n = 7-0

1.4.2 アドレス設定ウエイト制御レジスタ (ASC)

Nx85E500 は SRAM / ページ ROM サイクルの始めにアドレス設定ウエイト・ステートを挿入できます。アドレス設定ウエイト・ステートの挿入数は、ASC レジスタで CSn 領域ごとに設定できます (n = 7-0)。

ASC レジスタは、16 ビット単位でリード / ライト可能です。

備考1. このレジスタの設定は、SDRAM サイクルでは無効です。

2. アドレス設定ウエイト期間中は、WAITZ 入力による外部ウエイト機能は無効です。

図1 - 6 アドレス設定ウエイト制御レジスタ (ASC)



1.4.3 バス・サイクル制御レジスタ (BCC)

Nx85E500 は、SRAM/ページROMのリード/ライト・サイクルの終わり、SDRAMのリード・サイクルの終わりにアイドル・ステートを挿入できます。アイドル・ステートの挿入数は、BCCレジスタでCSn領域ごとに設定できます (n=7-0)。

このアイドル・ステートは、外部データ・バスでメモリがバスを解放するまでの時間を確保するために使用します。次のバス・サイクルはアイドル・ステートの次に開始されます。

BCCレジスタは、16ビット単位でリード/ライト可能です。

備考 NB85EのVFB (V850Eフェッチ・バス) に接続されたROMやNB85EのVDB (V850Eデータ・バス) に接続されたRAMへのアイドル・ステート挿入に関しては、このレジスタの設定の影響は受けません。

図1-7 バス・サイクル制御レジスタ (BCC)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
BC7	BC7	BC6	BC6	BC5	BC5	BC4	BC4	BC3	BC3	BC2	BC2	BC1	BC1	BC0	BC0	アドレス	初期値
1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	FFFFFF488H	FFFFH

ビット位置	ビット名	意味
15-0	BCn1, BCn0	メモリ・リード/ライト・サイクルのあとに挿入するアイドル・ステート数を、CSn領域ごとに設定します。

BCn1	BCn0	アイドル・ステート数
0	0	なし
0	1	1
1	0	2
1	1	3

備考 n = 7-0

1.4.4 データ・ウエイト制御レジスタ 0, 1 (DWC0, DWC1)

Nx85E500 は、CSn 領域ごとにプログラマブルにデータ・ウエイトを挿入できます (n = 7-0)。SRAM, I/O とページ ROM (オフページ・サイクル) へのアクセス時のデータ・ウエイト・ステート制御は、DWC0, DWC1 レジスタで行います。

DWC0, DWC1 レジスタは、16 ビット単位でリード/ライト可能です。

備考 NB85E の VFB (V850E フェッチ・バス) に接続された ROM や NB85E の VDB (V850E データ・バス) に接続された RAM へのアクセスでは、このレジスタによるプログラマブル・ウエイト機能は無効です。この領域は、常にウエイトなしでアクセスされます。

図1-8 データ・ウエイト制御レジスタ0, 1 (DWC0, DWC1)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
DWC0	0	DW3 2	DW3 1	DW3 0	0	DW2 2	DW2 1	DW2 0	0	DW1 2	DW1 1	DW1 0	0	DW0 2	DW0 1	DW0 0	アドレス	初期値
																	FFFFFF484H	7777H
DWC1	0	DW7 2	DW7 1	DW7 0	0	DW6 2	DW6 1	DW6 0	0	DW5 2	DW5 1	DW5 0	0	DW4 2	DW4 1	DW4 0	アドレス	初期値
																	FFFFFF486H	7777H

ビット位置	ビット名	意味																																				
14-12, 10-8, 6-4, 2-0	DWn2- DWn0	SRAM, I/O アクセス時またはページ ROM アクセス時のウエイト・ステート数を、CSn 領域ごとに設定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">DWn2</th> <th style="width: 10%;">DWn1</th> <th style="width: 10%;">DWn0</th> <th style="width: 70%;">ウエイト・ステート数</th> </tr> </thead> <tbody> <tr><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td></tr> <tr><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">1</td><td style="text-align: center;">1</td></tr> <tr><td style="text-align: center;">0</td><td style="text-align: center;">1</td><td style="text-align: center;">0</td><td style="text-align: center;">2</td></tr> <tr><td style="text-align: center;">0</td><td style="text-align: center;">1</td><td style="text-align: center;">1</td><td style="text-align: center;">3</td></tr> <tr><td style="text-align: center;">1</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">4</td></tr> <tr><td style="text-align: center;">1</td><td style="text-align: center;">0</td><td style="text-align: center;">1</td><td style="text-align: center;">5</td></tr> <tr><td style="text-align: center;">1</td><td style="text-align: center;">1</td><td style="text-align: center;">0</td><td style="text-align: center;">6</td></tr> <tr><td style="text-align: center;">1</td><td style="text-align: center;">1</td><td style="text-align: center;">1</td><td style="text-align: center;">7</td></tr> </tbody> </table>	DWn2	DWn1	DWn0	ウエイト・ステート数	0	0	0	0	0	0	1	1	0	1	0	2	0	1	1	3	1	0	0	4	1	0	1	5	1	1	0	6	1	1	1	7
DWn2	DWn1	DWn0	ウエイト・ステート数																																			
0	0	0	0																																			
0	0	1	1																																			
0	1	0	2																																			
0	1	1	3																																			
1	0	0	4																																			
1	0	1	5																																			
1	1	0	6																																			
1	1	1	7																																			

備考 n = 7-0

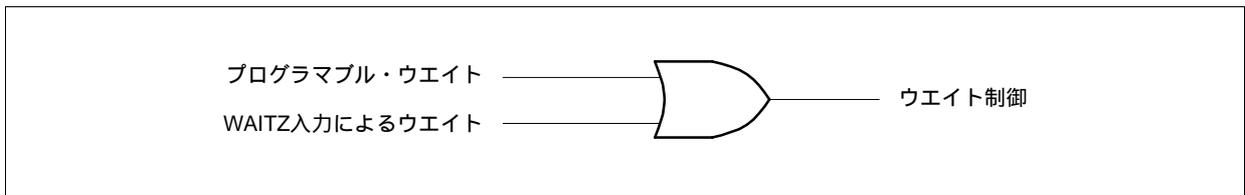
(1) 外部ウェイト機能

Nx85E500 を低速のデバイスや I/O, または非同期システムと接続する場合は, 外部ウェイト入力端子 (WAITZ) を使用してバス・サイクルにウェイト・ステートを挿入できます。

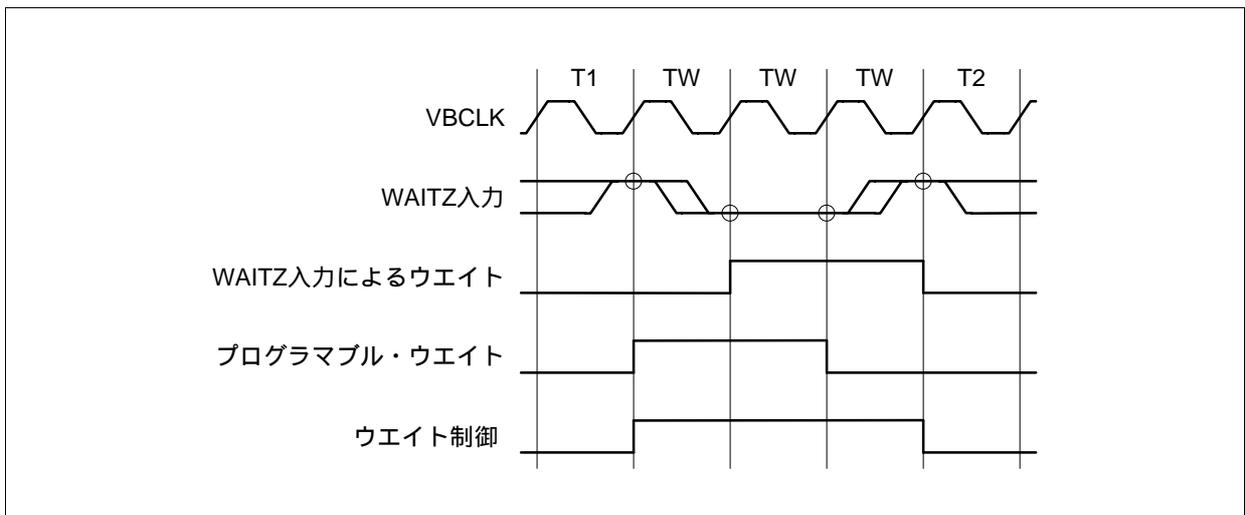
WAITZ 入力は, T1 サイクル (または TW サイクル) と次のサイクルの間の VBCLK 信号の立ち上がりでサンプリングされ, データ・ウェイトにだけ挿入されます。

(2) データ・ウェイト制御レジスタと外部ウェイト

ウェイト・サイクルは, データ・ウェイト制御レジスタ 0, 1 (DWC0, DWC1) の設定によるウェイト数と, WAITZ 入力による外部ウェイト数の論理和をとったものが挿入されます。したがって, どちらが多い方のウェイト・サイクル数が挿入されます。



たとえば, プログラマブル・ウェイト, WAITZ 入力が次に示すようなタイミングのとき, バス・サイクルは 3 ウェイトになります。



1.4.5 SRAM サイクル

(1) 接続例

図1 - 9 SRAMとの接続例 (NB85E500の場合)

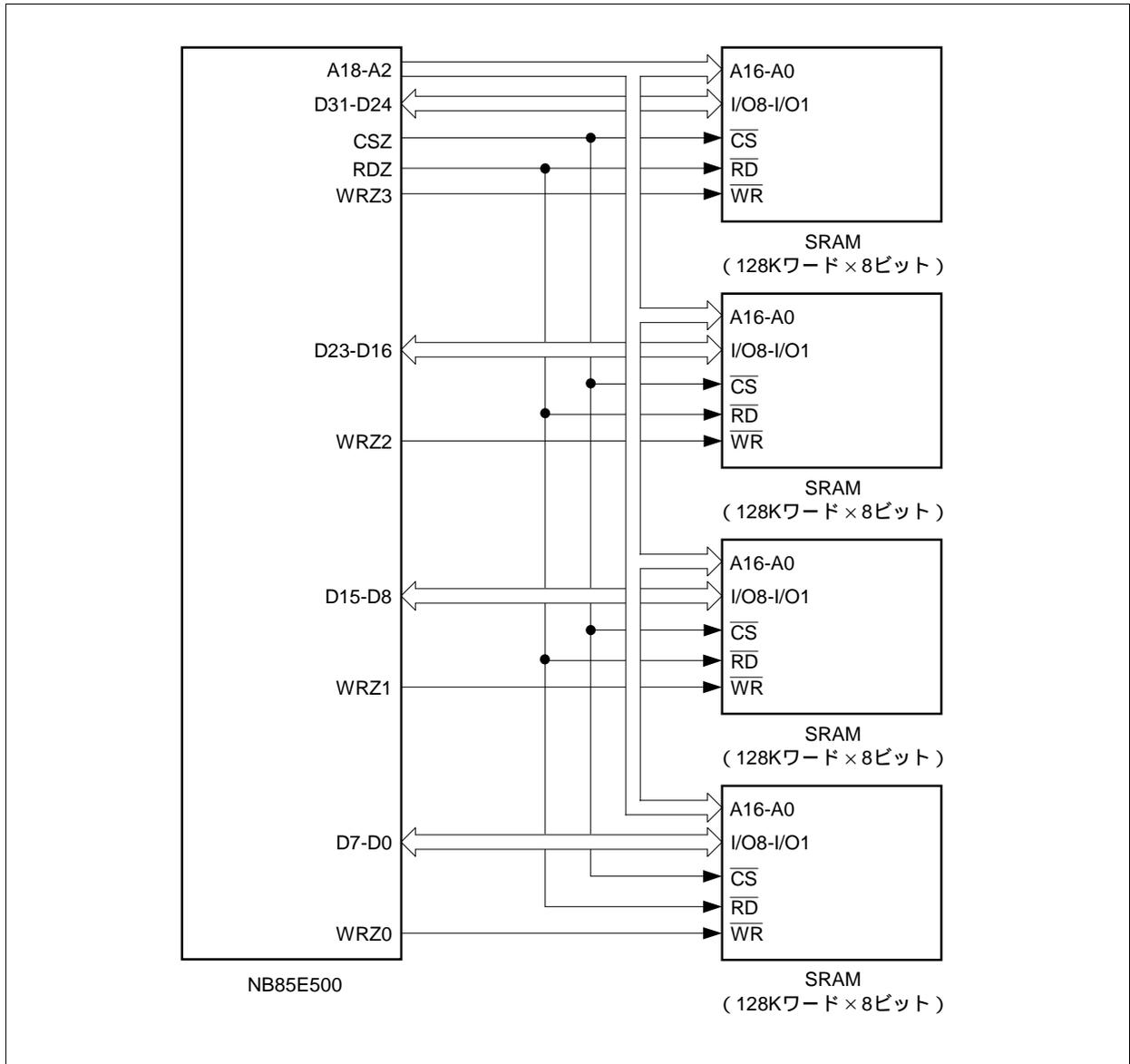
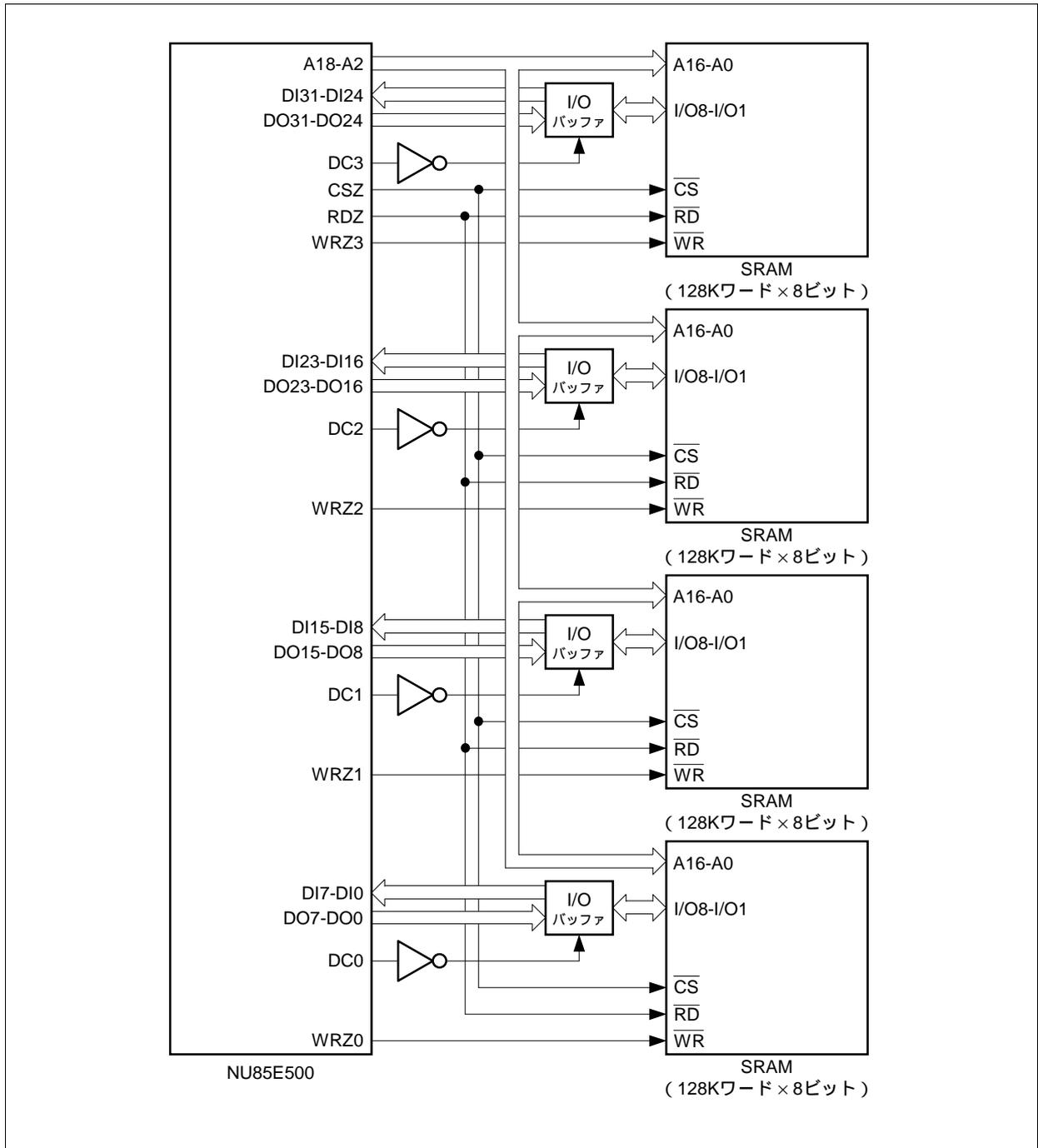


図1 - 10 SRAMとの接続例 (NU85E500の場合)



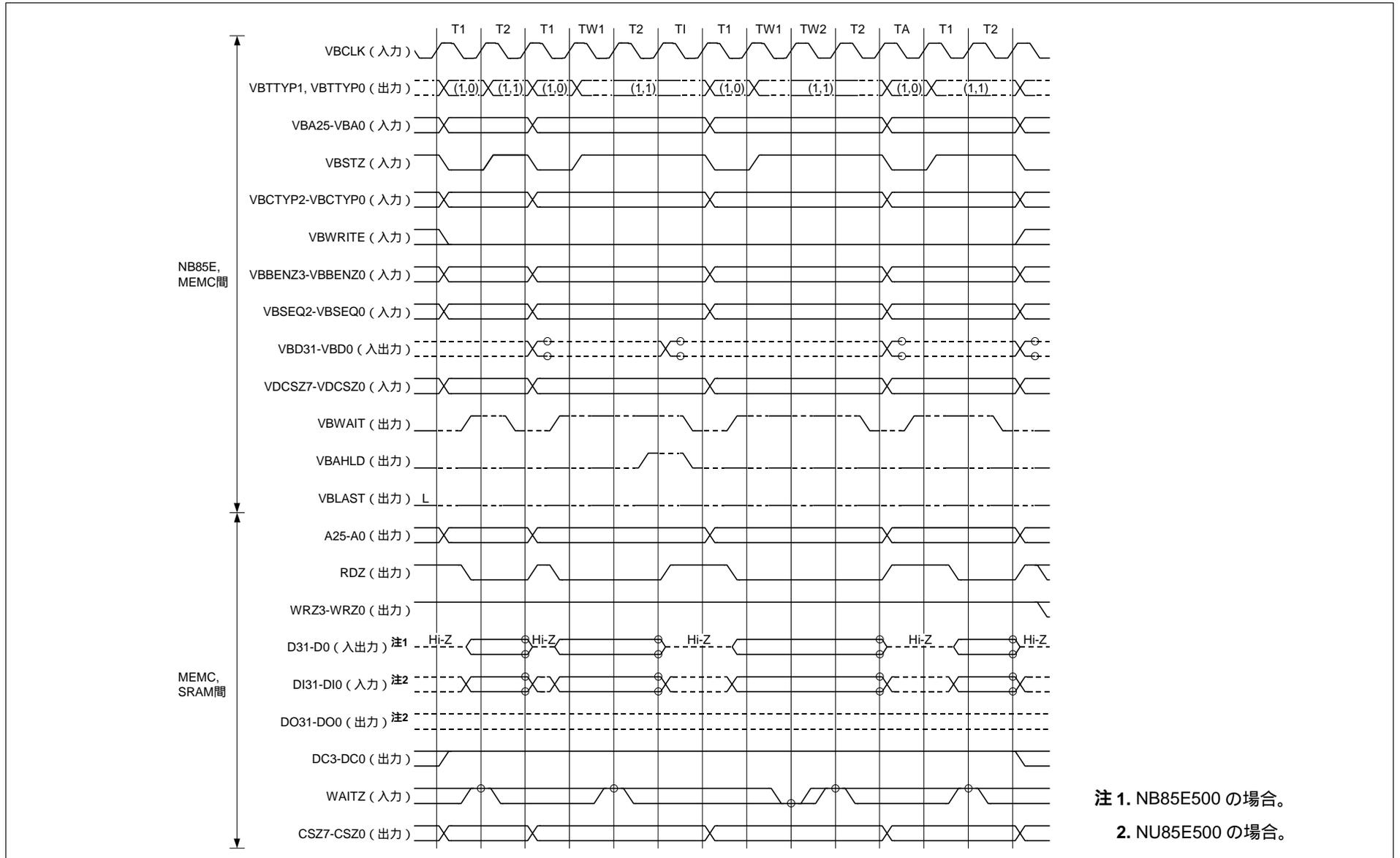
(2) バス・タイミング

次に SRAM リード/ライト時のバス・タイミング例を示します。なお、SRAM バス・サイクルは次に示す状態で構成されます。

- T1, T2 ステート : Nx85E500 がアクセスする基本ステートです。
- T3 ステート : フライバイ転送時に追加される基本ステートです。
- TA ステート : ASC レジスタの設定により挿入されるアドレス設定ウエイト・ステートです。
- TI ステート : BCC レジスタの設定により挿入されるアイドル・ステートです。
- TW1 ステート : DWC0, DWC1 レジスタの設定により挿入されるウエイト・ステートです。
- TW2 ステート : WAITZ 入力によるウエイト・ステートです。

- 備考 1.** VBTTYP1, VBTTYP0, VBCTYP2-VBCTYP0, VBSEQ2-VBSEQ0, VBD31-VBD0, VBWAIT, VBAHLD, VBLAST 信号の破線部分のレベルは NB85E 内部のバス・ホルダがドライブしている不定状態 (Weak unknown) を示します。D31-D0, DI31-DI0, DO31-DO0 信号の破線部分のレベルは不定です (ただし、Hi-Z で示される部分は除く)。
- 2.** 印はサンプリング・タイミングを示します。
- 3.** VSB 用信号 (VBxxx, VDxxx) の詳細は **NB85E ユーザーズ・マニュアル ハードウェア編 (A13971J)** を参照してください。

図1-11 SRAMリード・タイミング



注 1. NB85E500 の場合。
 2. NU85E500 の場合。

図1-12 SRAMライト・タイミング

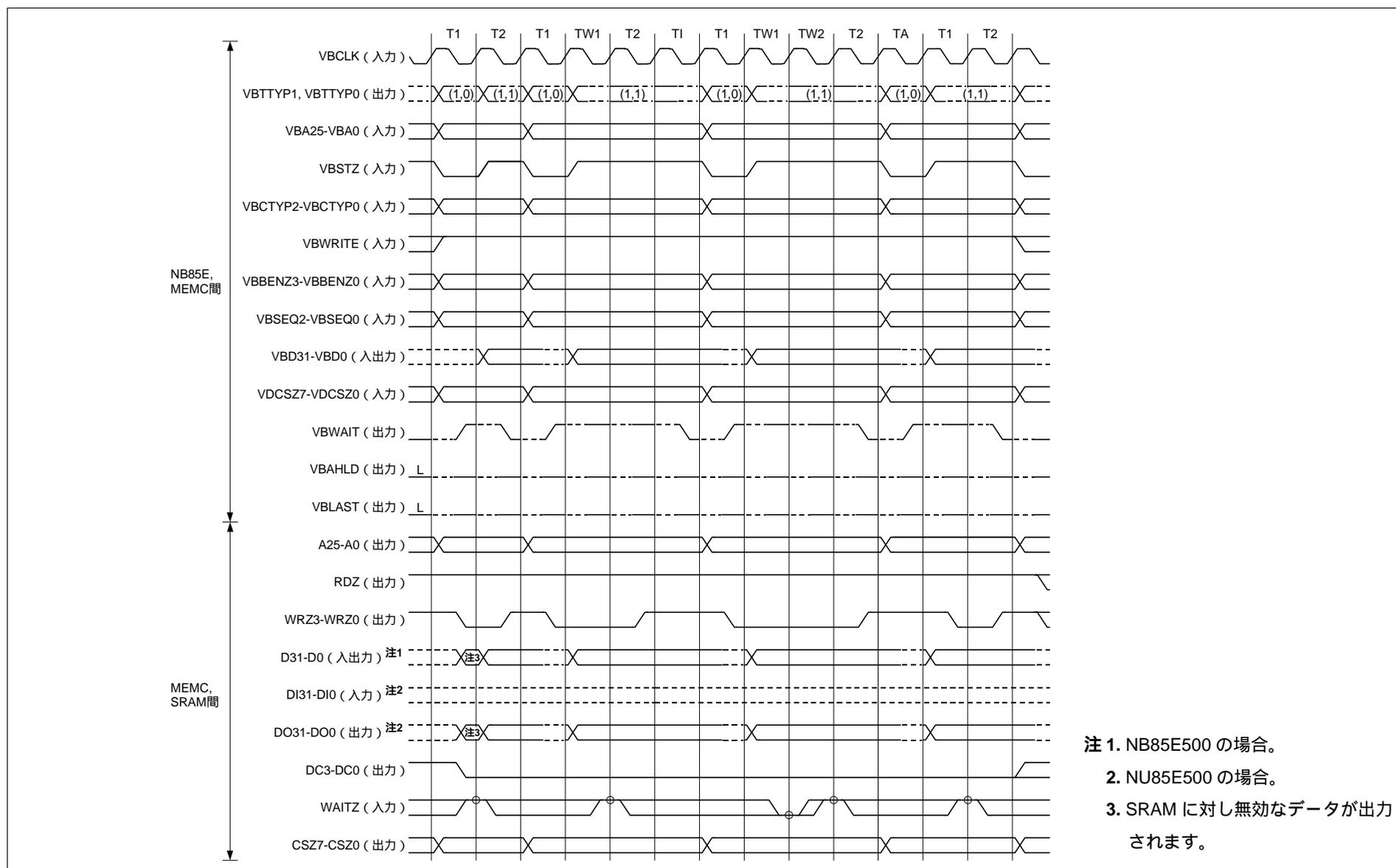
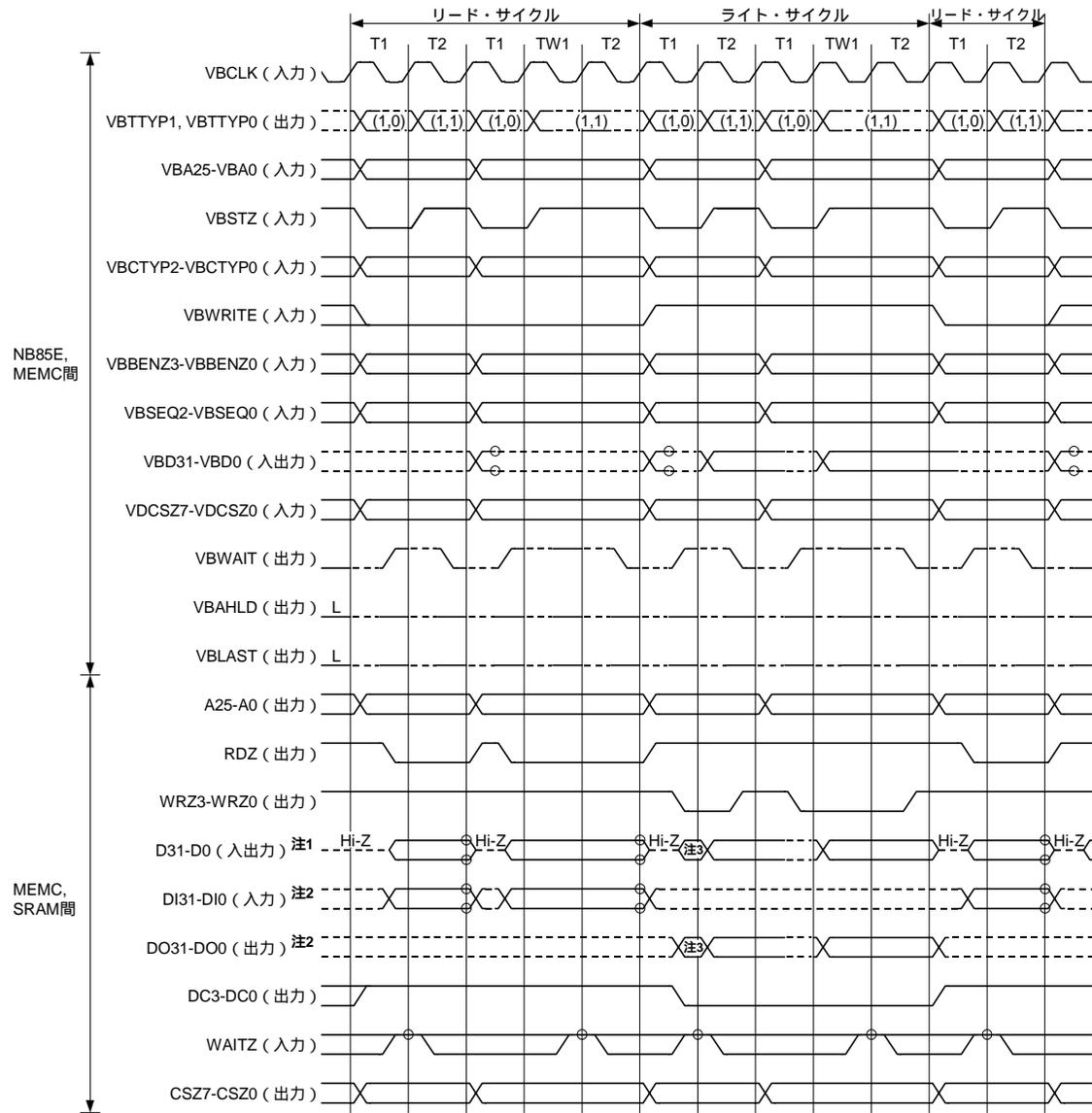


図1-13 SRAMリード/ライト・タイミング

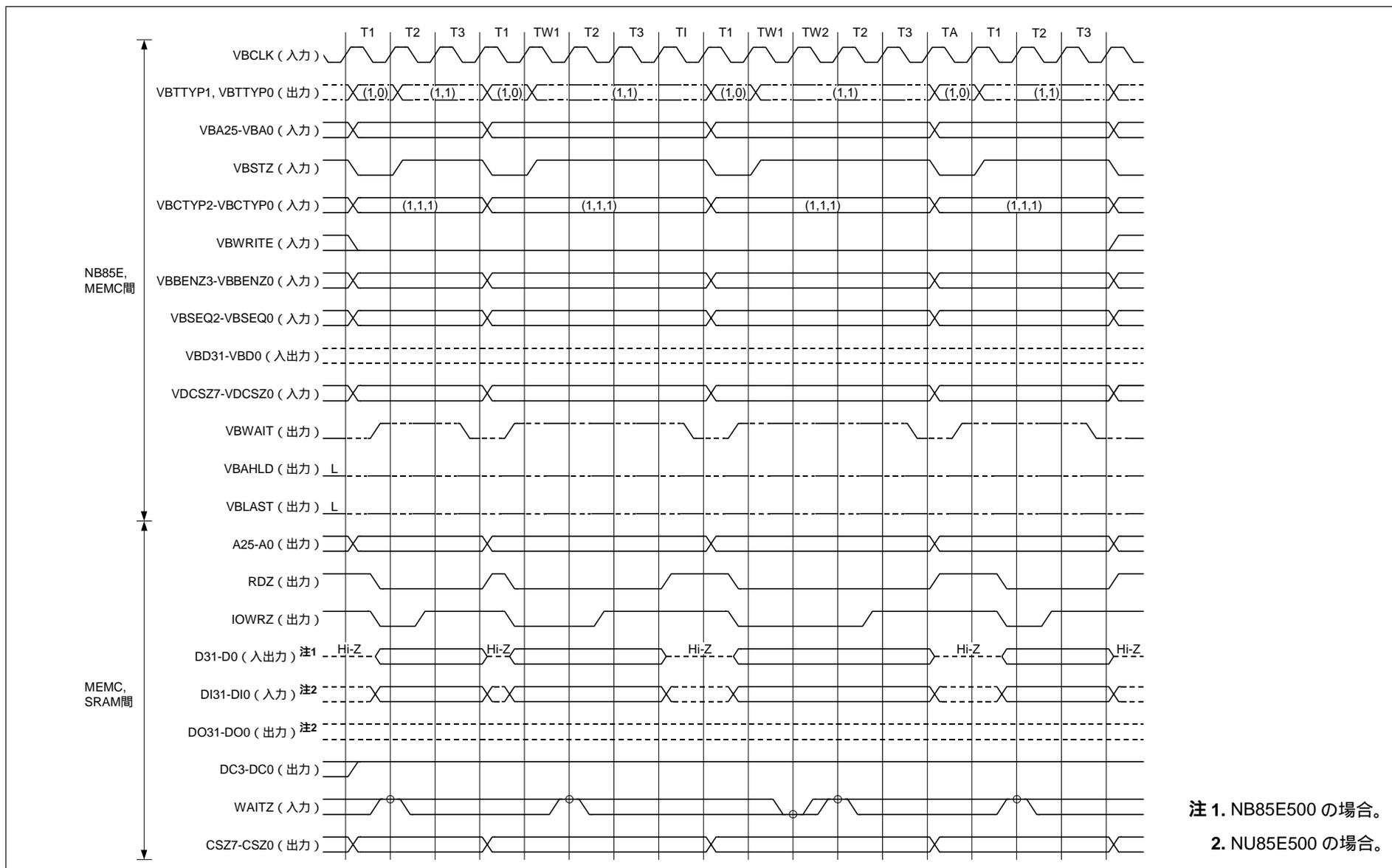


- 注1. NB85E500 の場合。
- 注2. NU85E500 の場合。
- 注3. SRAM に対し無効なデータが出力されます。

次に、DMA フライバイ・サイクルのタイミング例を示します。

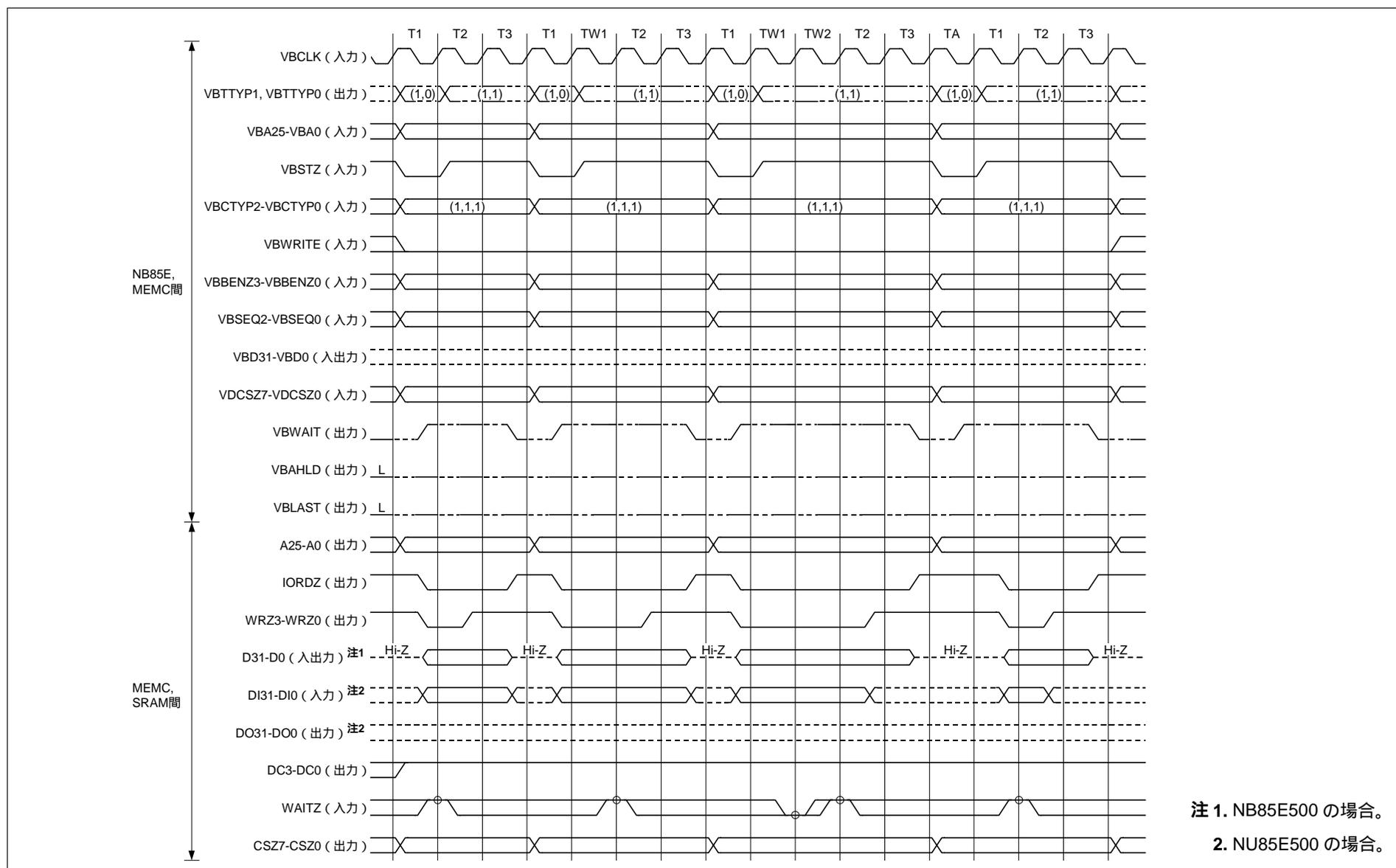
DMA フライバイ・サイクルは NB85E 内の DMA コントローラからの要求で、外部メモリと I/O の間でデータを転送します。

図1 - 14 SRAMフライバイ・サイクル・タイミング (SRAM→I/O)



注 1. NB85E500 の場合。
 2. NU85E500 の場合。

図1 - 15 SRAMフライバイ・サイクル・タイミング (I/O→SRAM)



1.4.6 ページ ROM コンフィギュレーション・レジスタ (PRC)

ページ ROM のバス・サイクルが発生すると, Nx85E500 は現在のアドレスと発生したページ ROM サイクルの直後のアドレスを比較して, オンページ・アクセスかどうかを判断します。

アドレスの比較幅とオンページ・サイクル時のウエイト・ステート数はこのレジスタで設定します。このレジスタは, 16 ビット単位でリード/ライト可能です。

注意 オフページ・サイクル時のウエイト・ステート数は DWC0, DWC1 レジスタで設定します。

図1 - 16 ページROMコンフィギュレーション・レジスタ (PRC) (1/2)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
PRC	0	PRW2	PRW1	PRW0	0	0	0	0	0	0	0	0	MA6	MA5	MA4	MA3	アドレス	初期値
		2	1	0													FFFFFF49AH	7000H

ビット位置	ビット名	意味																																				
14-12	PRW2-PRW0	ページ ROM オンページ・リード・サイクル時のデータ・ウエイト・ステート数を設定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse; text-align: center;"> <thead> <tr> <th style="width: 10%;">PRW2</th> <th style="width: 10%;">PRW1</th> <th style="width: 10%;">PRW0</th> <th style="width: 70%;">データ・ウエイト・ステート数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>2</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>3</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>4</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>6</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>7</td></tr> </tbody> </table>	PRW2	PRW1	PRW0	データ・ウエイト・ステート数	0	0	0	0	0	0	1	1	0	1	0	2	0	1	1	3	1	0	0	4	1	0	1	5	1	1	0	6	1	1	1	7
PRW2	PRW1	PRW0	データ・ウエイト・ステート数																																			
0	0	0	0																																			
0	0	1	1																																			
0	1	0	2																																			
0	1	1	3																																			
1	0	0	4																																			
1	0	1	5																																			
1	1	0	6																																			
1	1	1	7																																			

注意 ページ ROM に対する最初のリード (オフページ・リード) 時のウエイト数は, DWC0, DWC1 レジスタの設定値が採用されます。その後, 連続してオンページ・アドレスのリードが続く場合には PRW2-PRW0 ビットで設定するウエイト数が採用されます。したがって, DWC0, DWC1 レジスタには, 接続するページ ROM のオフページ・リードのアクセス・タイムを満足するウエイト数を設定し, PRW2-PRW0 ビットには, オンページ・リードのアクセス・タイムを満足するウエイト数を設定してください。

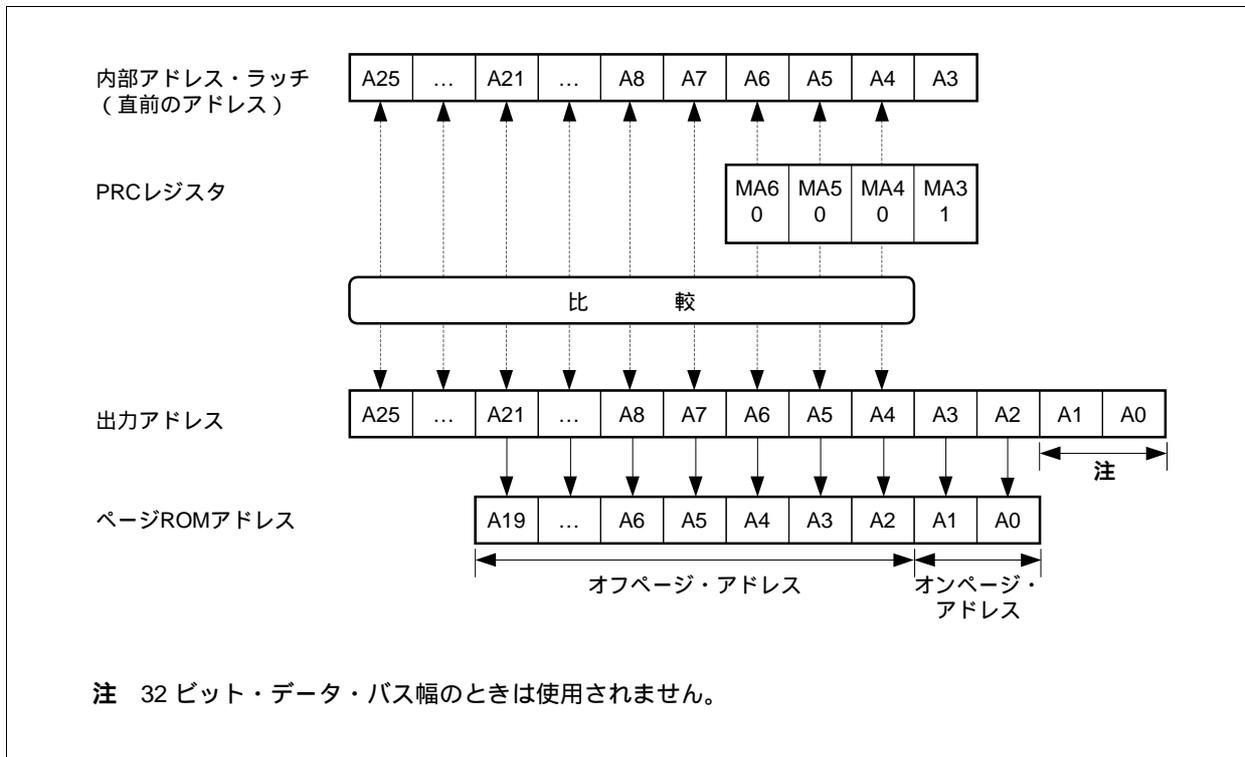
図1-16 ページROMコンフィギュレーション・レジスタ (PRC) (2/2)

ビット位置	ビット名	意味																														
3-0	MA6-MA3	アドレス比較時のマスク・ビットを設定します。																														
		<table border="1"> <thead> <tr> <th>MA6</th> <th>MA5</th> <th>MA4</th> <th>MA3</th> <th>連続読み出し数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>32ビット×2, 16ビット×4, 8ビット×8</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>32ビット×4, 16ビット×8, 8ビット×16</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>32ビット×8, 16ビット×16, 8ビット×32</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>32ビット×16, 16ビット×32, 8ビット×64</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>32ビット×32, 16ビット×64, 8ビット×128</td> </tr> </tbody> </table>	MA6	MA5	MA4	MA3	連続読み出し数	0	0	0	0	32ビット×2, 16ビット×4, 8ビット×8	0	0	0	1	32ビット×4, 16ビット×8, 8ビット×16	0	0	1	1	32ビット×8, 16ビット×16, 8ビット×32	0	1	1	1	32ビット×16, 16ビット×32, 8ビット×64	1	1	1	1	32ビット×32, 16ビット×64, 8ビット×128
MA6	MA5	MA4	MA3	連続読み出し数																												
0	0	0	0	32ビット×2, 16ビット×4, 8ビット×8																												
0	0	0	1	32ビット×4, 16ビット×8, 8ビット×16																												
0	0	1	1	32ビット×8, 16ビット×16, 8ビット×32																												
0	1	1	1	32ビット×16, 16ビット×32, 8ビット×64																												
1	1	1	1	32ビット×32, 16ビット×64, 8ビット×128																												

注意 MA6-MA3 ビットは、連続アクセスさせたい回数を設定するものではありません。接続するページROMのオンページ・アクセス可能な連続読み出し数を設定してください。

次に、1Mワード×8ビットのページROMを4つ接続した場合の、アドレス・マスク制御の例を示します。

図1-17 MA6-MA3ビットによる制御例



1.4.7 ページROM サイクル

(1) 接続例

図1 - 18 ページROM接続例 (データ・バス幅16ビット時)

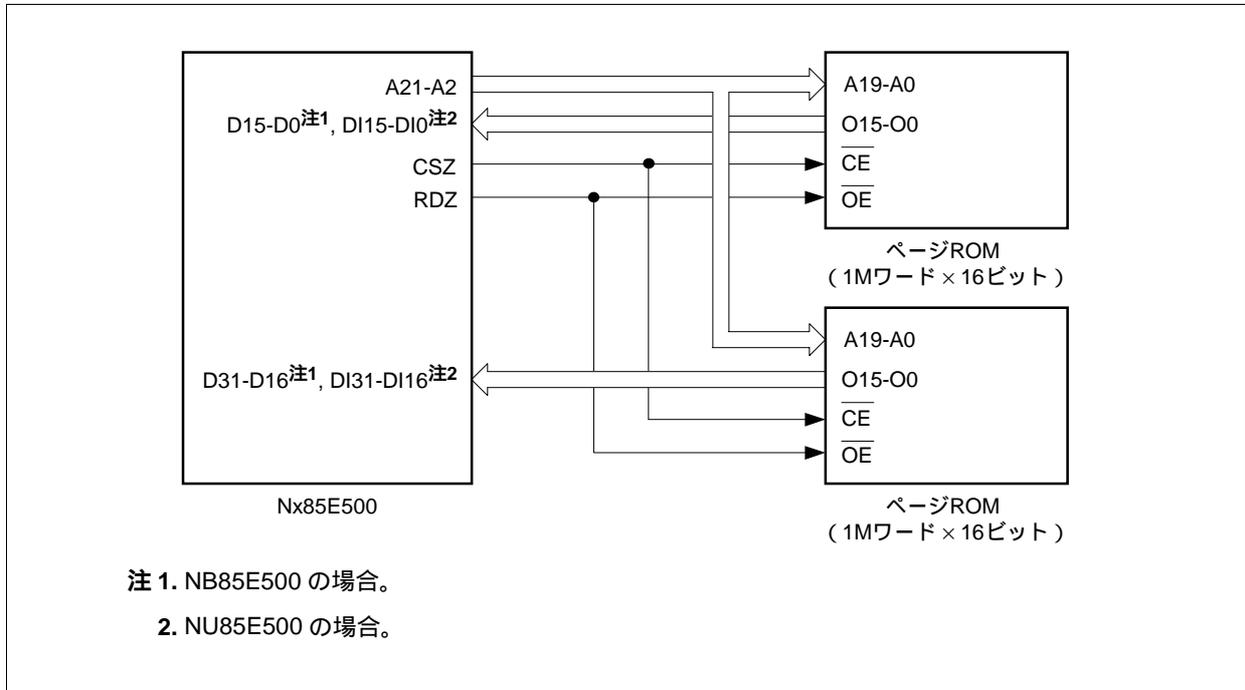
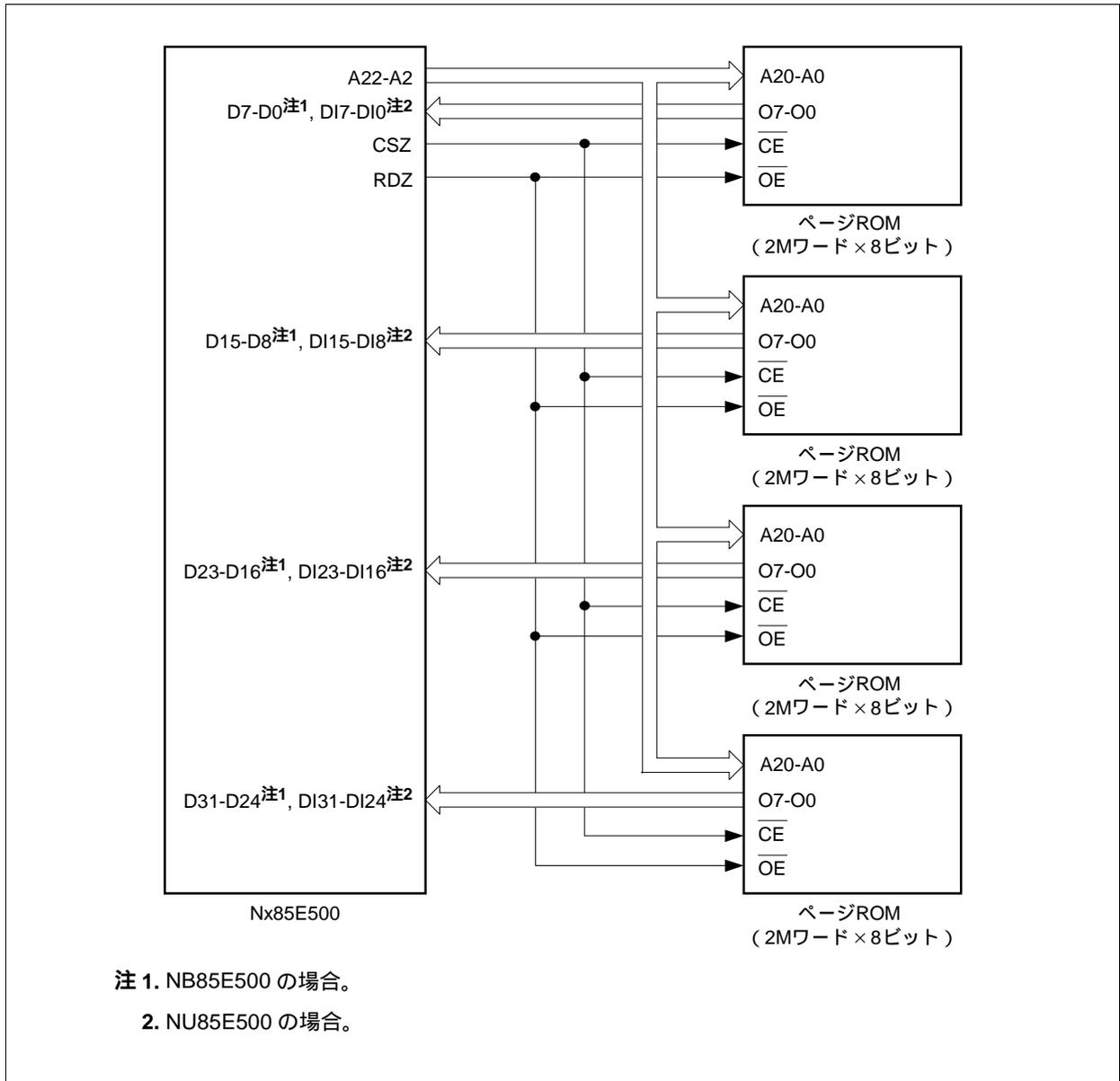


図1 - 19 ページROM接続例 (データ・バス幅8ビット時)



(2) バス・タイミング

次にページ ROM リード時のバス・タイミング例を示します。なお、ページ ROM バス・サイクルは次に示す状態で構成されます。

- T1, T2 ステート : Nx85E500 がアクセスする基本ステートです。
- T3 ステート : フライバイ転送時に追加される基本ステートです。
- TA ステート : ASC レジスタの設定により挿入されるアドレス設定ウエイト・ステートです。
- TD ステート : BCP レジスタの BCP ビット = 1 のときに挿入されるダミー・ステートです。
- TI ステート : BCC レジスタの設定により挿入されるアイドル・ステートです。
- TO1, TO2 ステート : ページ ROM リード時のシーケンシャル転送基本ステートです。
- TW1 ステート : DWC0, DWC1 レジスタの設定により挿入されるウエイト・ステートです。
- TW2 ステート : WAITZ 入力によるウエイト・ステートです。
- TW3 ステート : PRC レジスタの設定により挿入されるページ ROM オンページ・リード・サイクル時のデータ・ウエイト・ステートです。

- 備考 1.** 破線部分のレベルは NB85E 内部のバス・ホルダがドライブしている不定状態 (Weak unknown) を示します (ただし、Hi-Z で示される部分は除く)。
- 2.** 印はサンプリング・タイミングを示します。
- 3.** VSB 用信号 (VBxxx, VDxxx) の詳細は **NB85E ユーザーズ・マニュアル ハードウェア編 (A13971J)** を参照してください。

図1-20 ページROMリード・タイミング(1/2)

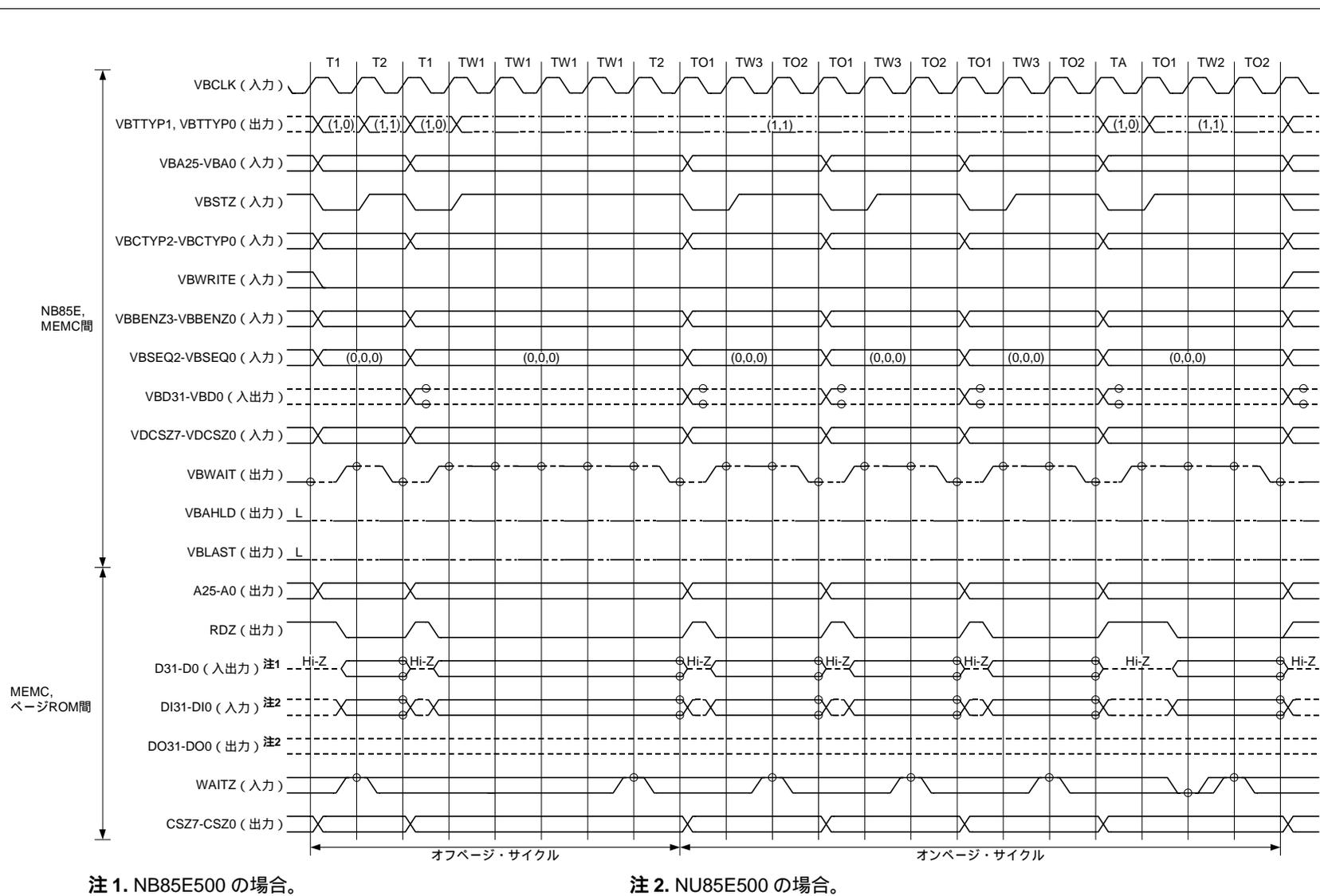
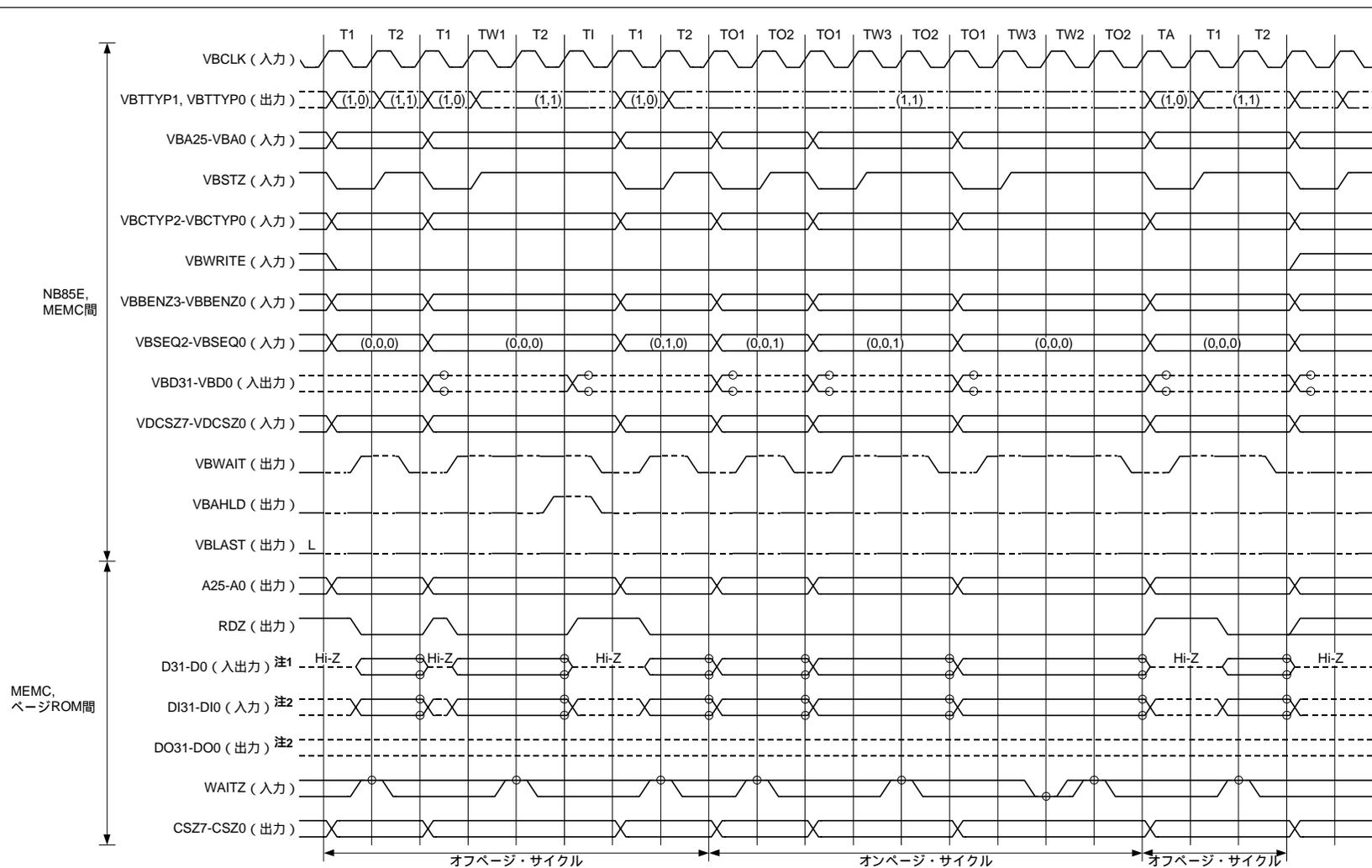


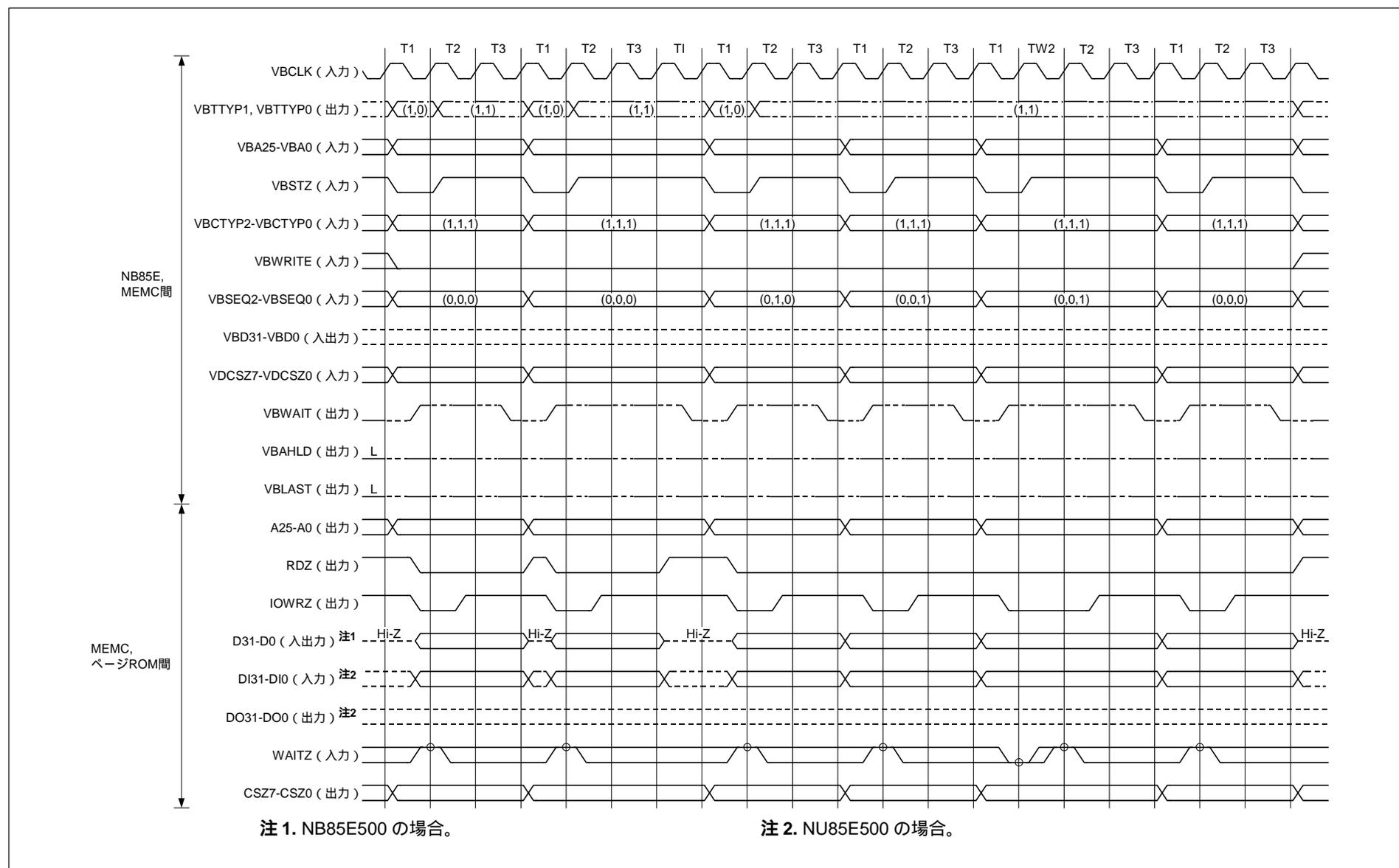
図1 - 20 ページROMリード・タイミング (2/2)



注 1. NB85E500 の場合。 注 2. NU85E500 の場合。

備考 この図は、オンページ・サイクル中に RDZ 信号がアクティブ（ロウ・レベル）を保つ場合（VBSEQ2-VBSEQ0 信号が連続転送を示すときのみ）のタイミングを示しています。

図1 - 21 ページROMフライバイ・サイクル・タイミング (ページROM→I/O)



1.4.8 バス・ホールド機能

HLDRQZ 信号がアクティブになると、Nx85E500 はバス・ホールド状態へ移行します。バス・ホールド状態への移行が完了すると、HLDKZ 信号がアクティブになります。バス・ホールドの間は、HLDKZ 信号はアクティブ・レベルを保持します。

バス・ホールド中は、VSB のバス・マスタは外部バス・マスタ側となり、NB85E500 の外部メモリ用データ・バス端子 (D31-D0) はハイ・インピーダンス状態になります。その他の外部メモリ接続用端子はハイ・インピーダンス状態にはならないので、バス・ホールド時に各信号が衝突しないような設計をユーザ・ロジック側で行ってください。バス・ホールド時の端子状態の詳細は、**表 1-1 各動作モードでの端子状態**を参照してください。

HLDRQZ 信号がインアクティブになると、Nx85E500 は通常の状態へ移行します。

(1) バス・ホールド移行手順

- <1> 外部バス・マスタから Nx85E500 に対して外部バス・ホールド要求信号 (HLDRQZ) が入力されます。
- <2> Nx85E500 は NB85E に対して VSB 使用権要求信号 (VAREQ) を出力します。
- <3> 現在のバス・サイクルが終了します。
- <4> NB85E から Nx85E500 に VAREQ 信号に対するアクノリッジ信号 (VAACK) が入力されます。
- <5> Nx85E500 は外部メモリに対して HLDRQZ 信号に対するアクノリッジ信号 (HLDKZ) を返します。

(2) バス・ホールド解除手順

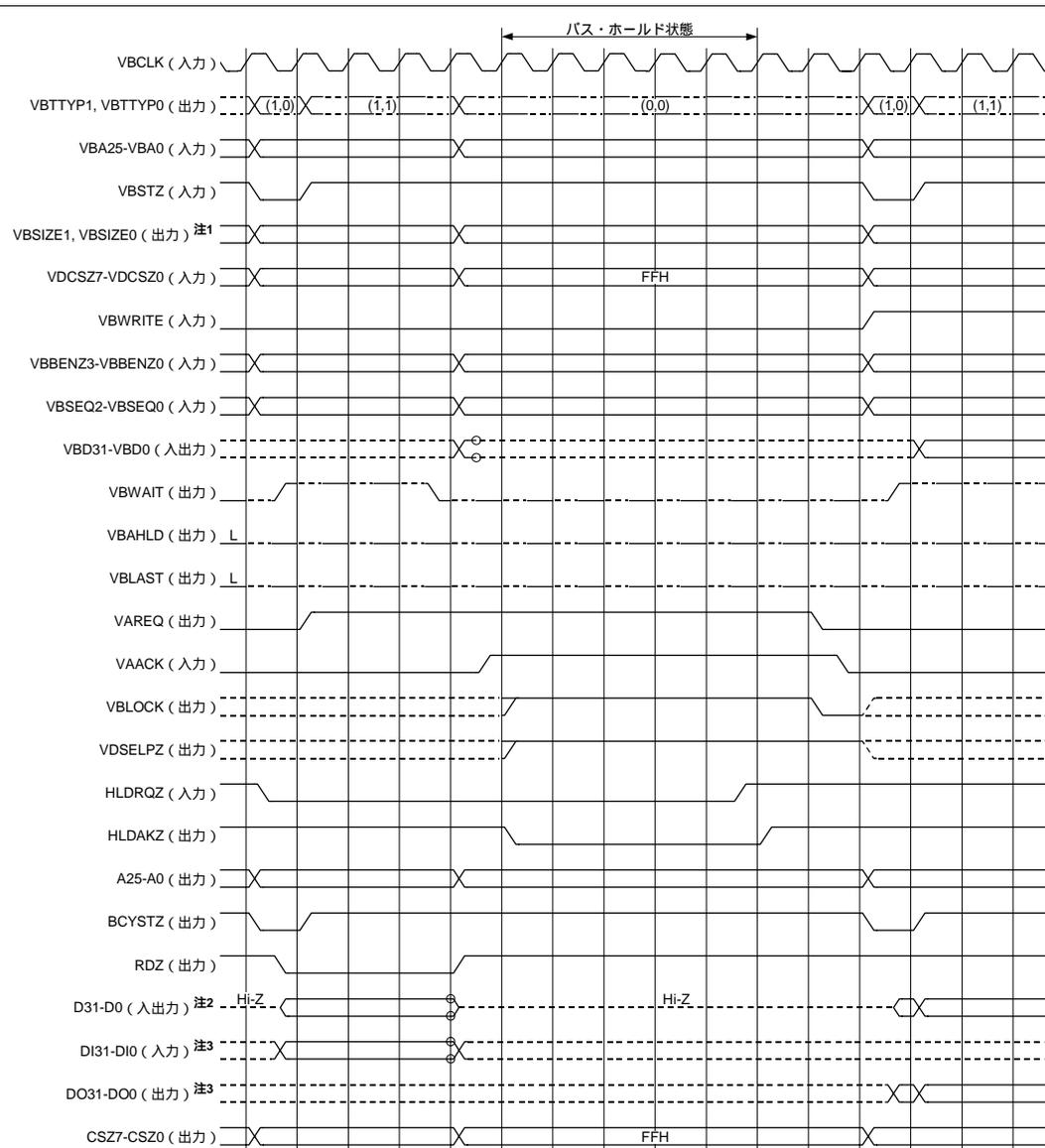
- <1> HLDRQZ 信号がインアクティブになります。
- <2> 外部からのバス・ホールド要求が解除されたので、HLDKZ 信号がインアクティブになります。
- <3> リフレッシュ要求が発生していればリフレッシュ・サイクル終了後、またはリフレッシュ要求がなければすぐに NB85E に対し VAREQ 信号をインアクティブにします。
- <4> NB85E からの VAACK 信号がインアクティブになり、バス・ホールド状態が終了します。
- <5> NB85E がマスタとなり、VSB バス・サイクルが開始されます。

(3) バス・ホールド・タイミング

次にバス・ホールド・タイミング例を示します。

- 備考 1.** 破線部分のレベルは NB85E 内部のバス・ホルダがドライブしている不定状態 (Weak unknown) を示します (ただし、Hi-Z で示される部分は除く)。
2. 印はサンプリング・タイミングを示します。
 3. VSB 用信号 (VBxxx, VDxxx) の詳細は **NB85E ユーザーズ・マニュアル ハードウェア編 (A13971J)** を参照してください。

図1-22 バス・ホールド・タイミング



- 注1. NB85E の信号です。
MEMC には接続されていません。
2. NB85E500 の場合。
3. NU85E500 の場合。

1.4.9 バス・サイクル周期制御レジスタ (BCP)

Nx85E500 は、SRAM、ページ ROM へのアクセス時にバス・サイクルの周期を 2 倍にできます。バス・サイクル周期の制御は BCP レジスタで行います。

BCP レジスタの BCP ビットをセット (1) すると、バス・サイクルの各ステートの前に 1 つずつダミー・ステートが挿入されます。

BCP レジスタは、8/1 ビット単位でリード/ライト可能です。

注意 このレジスタの設定が有効となるのは、SRAM、ページ ROM へのアクセス時のみです (SDRAM アクセス時は無効となります)。

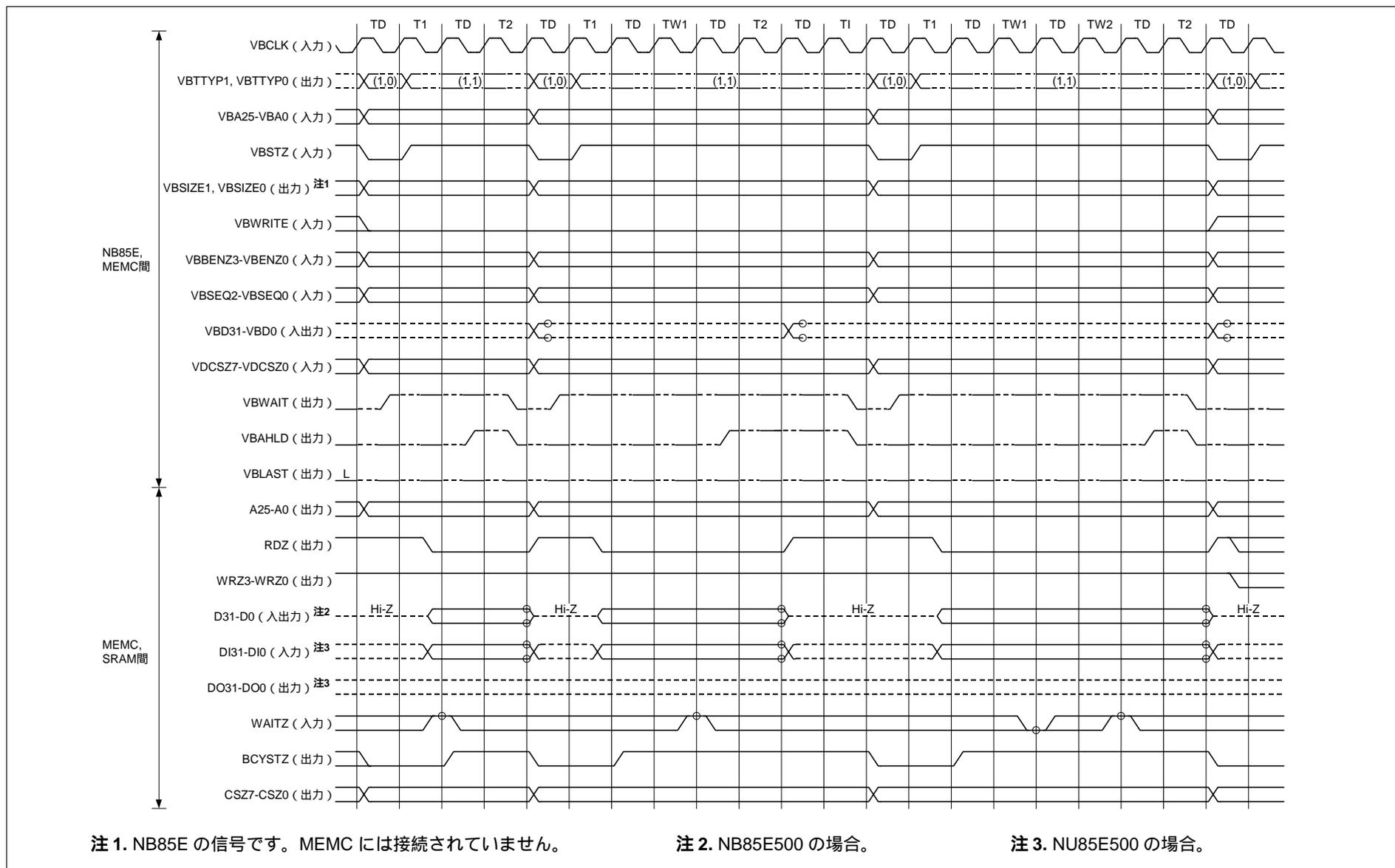
図1-23 バス・サイクル周期制御レジスタ (BCP)



次に、バス・サイクル周期が 2 倍に設定された場合のタイミング例を示します。

- 備考1.** 破線部分のレベルは NB85E 内部のバス・ホルダがドライブしている不定状態 (Weak unknown) を示します (ただし、Hi-Z で示される部分は除く)。
2. 印はサンプリング・タイミングを示します。
 3. VSB 用信号 (VBxxx, VDxxx) の詳細は **NB85E ユーザーズ・マニュアル ハードウェア編 (A13971J)** を参照してください。

図1 - 24 SRAMリード・タイミング(バス・サイクル周期2倍時)



1.4.10 STOP 機能

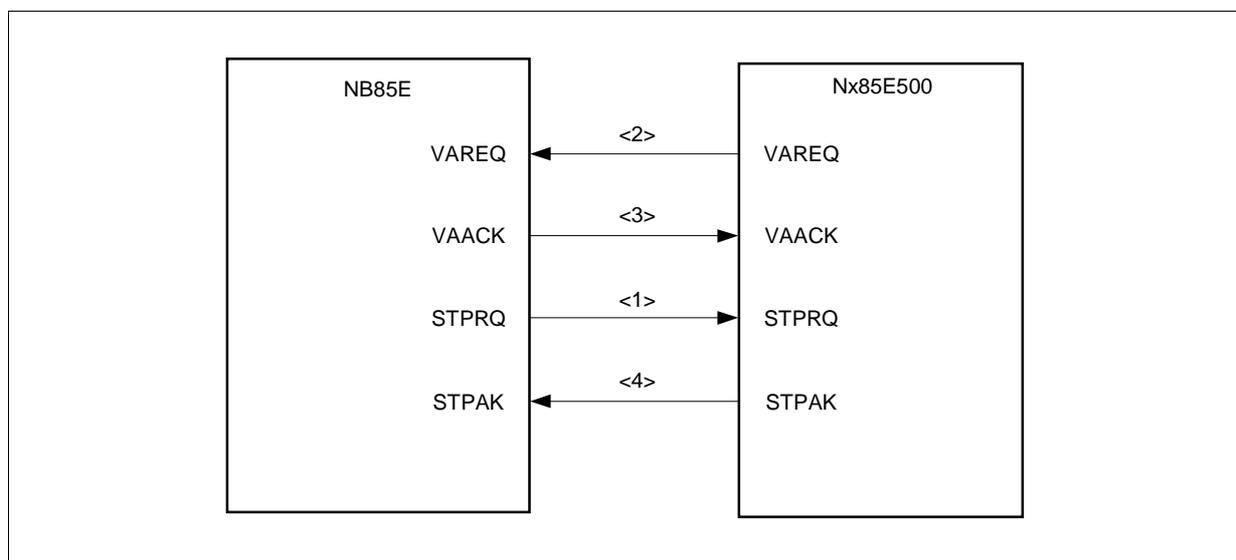
NB85E が STOP モードへ移行した場合、Nx85E500 は次のようなシーケンスで動作します（図1-25 参照）。

- <1> ハードウェア STOP またはソフトウェア STOP が実行されると、NB85E から Nx85E500 に STOP モード要求信号（STPRQ）が入力されます。
- <2> Nx85E500 は NB85E に対して VSB 使用権要求信号（VAREQ）を出力します。
- <3> NB85E から Nx85E500 に VAREQ 信号に対するアクリッジ信号（VAACK）が入力されます。
- <4> Nx85E500 は NB85E に対して STPRQ 信号に対するアクリッジ信号（STPAK）を返します。

Nx85E500 は STPRQ 信号を受信してから最短で2クロック後に STPAK 信号を返します。

また、NU85E502 が Nx85E500 に接続されている場合は、STPAK 信号は SDRAM のセルフ・リフレッシュ・サイクルを実行したあとアクティブになります。

図1-25 STOPモード移行時のNx85E500の動作

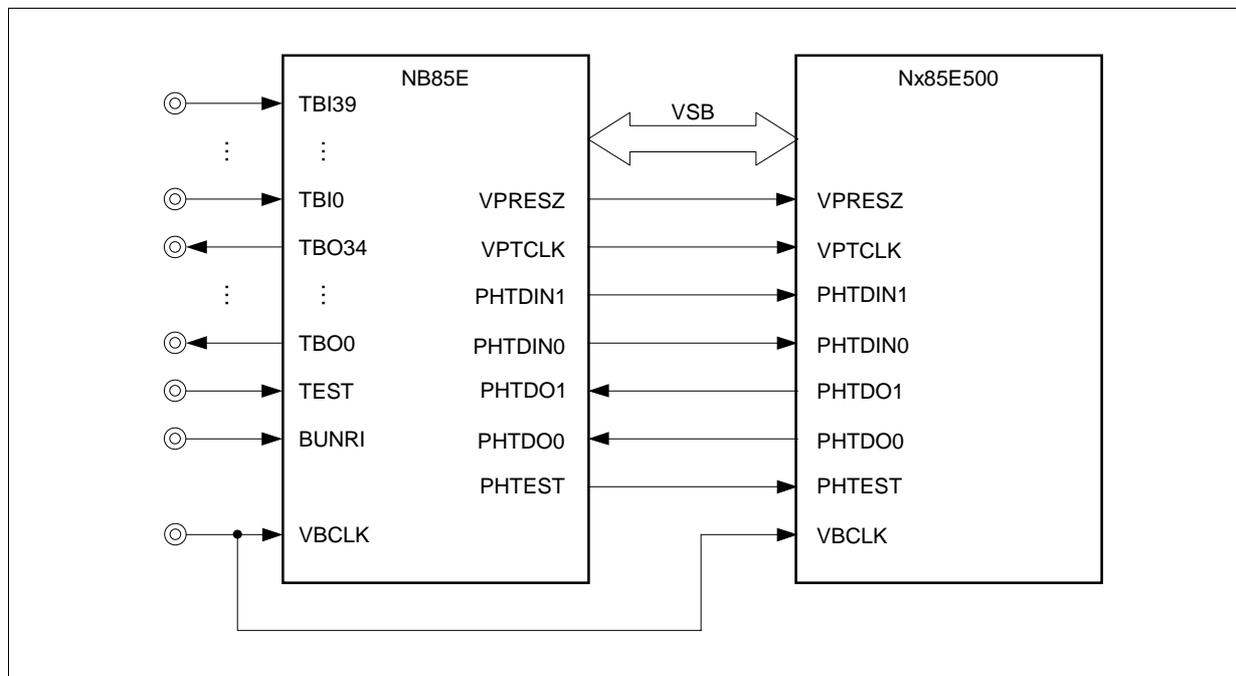


1.5 テスト機能

Nx85E500 は、NB85E のテスト・モードによりテストできます。

Nx85E500 をテストするには、NB85E と次のように接続してください。

図1 - 26 テスト・モードでのNB85EとNx85E500の接続



備考 テスト・モードの詳細については、NB85E ユーザーズ・マニュアル ハードウェア編 (A13971J) を参照してください。

1.5.1 テスト・モード時の各端子の処理

(1) 外部メモリ接続用端子

テスト・モード時も、ノーマル・モードと同様の動作をします（端子状態は、1.3.4 端子状態を参照してください）。

このため、データ・バス（D31-D0^{注1}, DI31-DI0^{注2}）にユーザ・ロジックや SRAM などが接続されている場合は、テスト・モード時にデータ・バスの信号が衝突する可能性があります。これを避けるために、テスト・モード時に D31-D0, DI31-DI0 端子がハイ・インピーダンスになるような設計をユーザ・ロジック側で行ってください（図 1 - 27, 図 1 - 28 参照）。

D31-D0, DI31-DI0 以外の端子はノーマル・モードと同様にしてください（未使用の場合は、1.3.3 未使用端子の処理で示す内容で処理してください）。

なお、入力端子（HLDRQZ, WAITZ, SELFREF）は入力される値にかかわらず無視されます。

注 1. NB85E500 の場合。

注 2. NU85E500 の場合。

注意 NEC ではテスト・バス自動結線ツールをサポートしていますが、NB85E には対応していません。ユーザ自身でテスト・バスの結線を行ってください。

図1 - 27 ユーザ・ロジック設計例（NB85E500の場合）

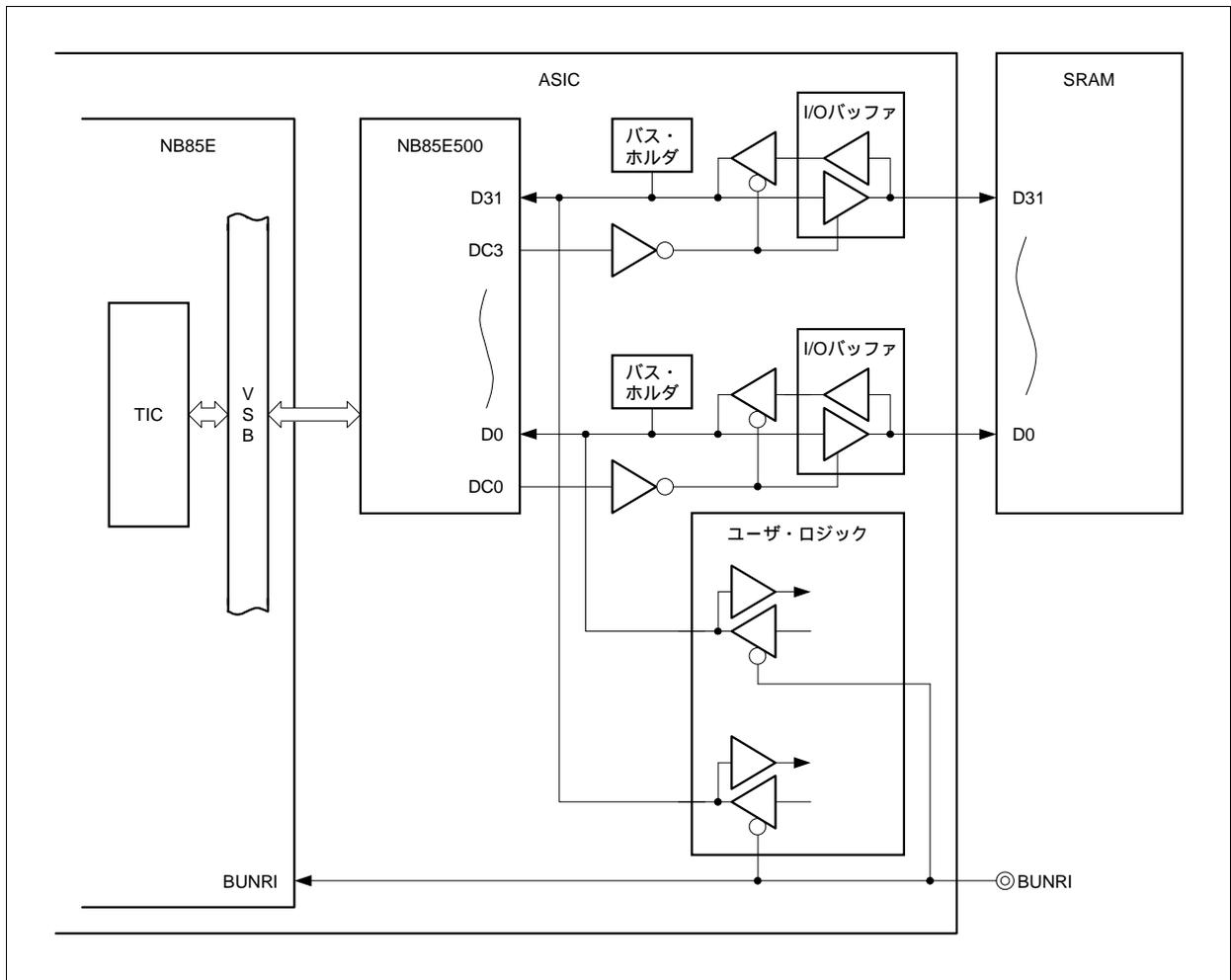
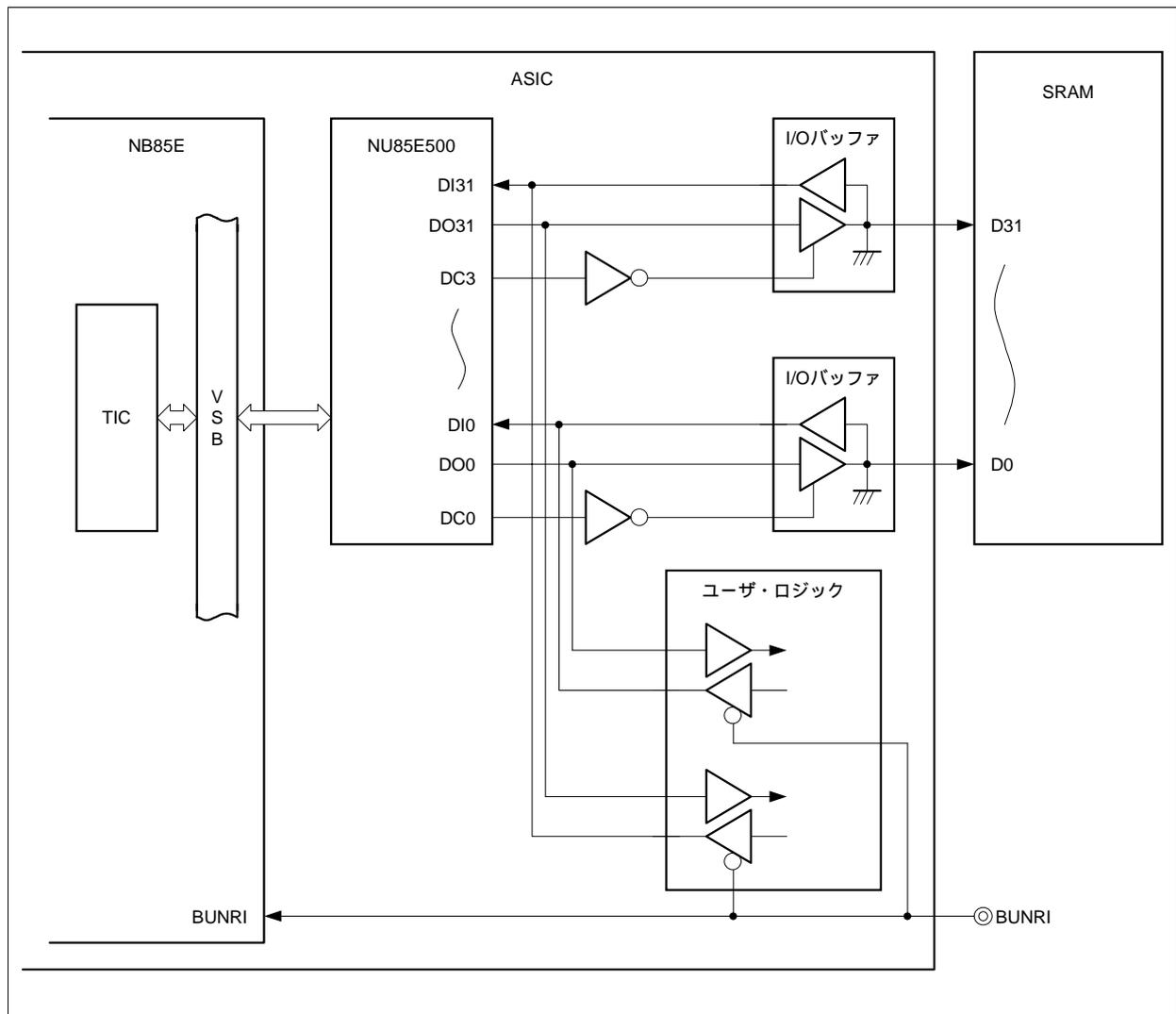


図1-28 ユーザ・ロジック設計例 (NU85E500の場合)



(2) テスト・モード用端子

図1-26 で示すように NB85E に接続してください。

(3) その他の端子

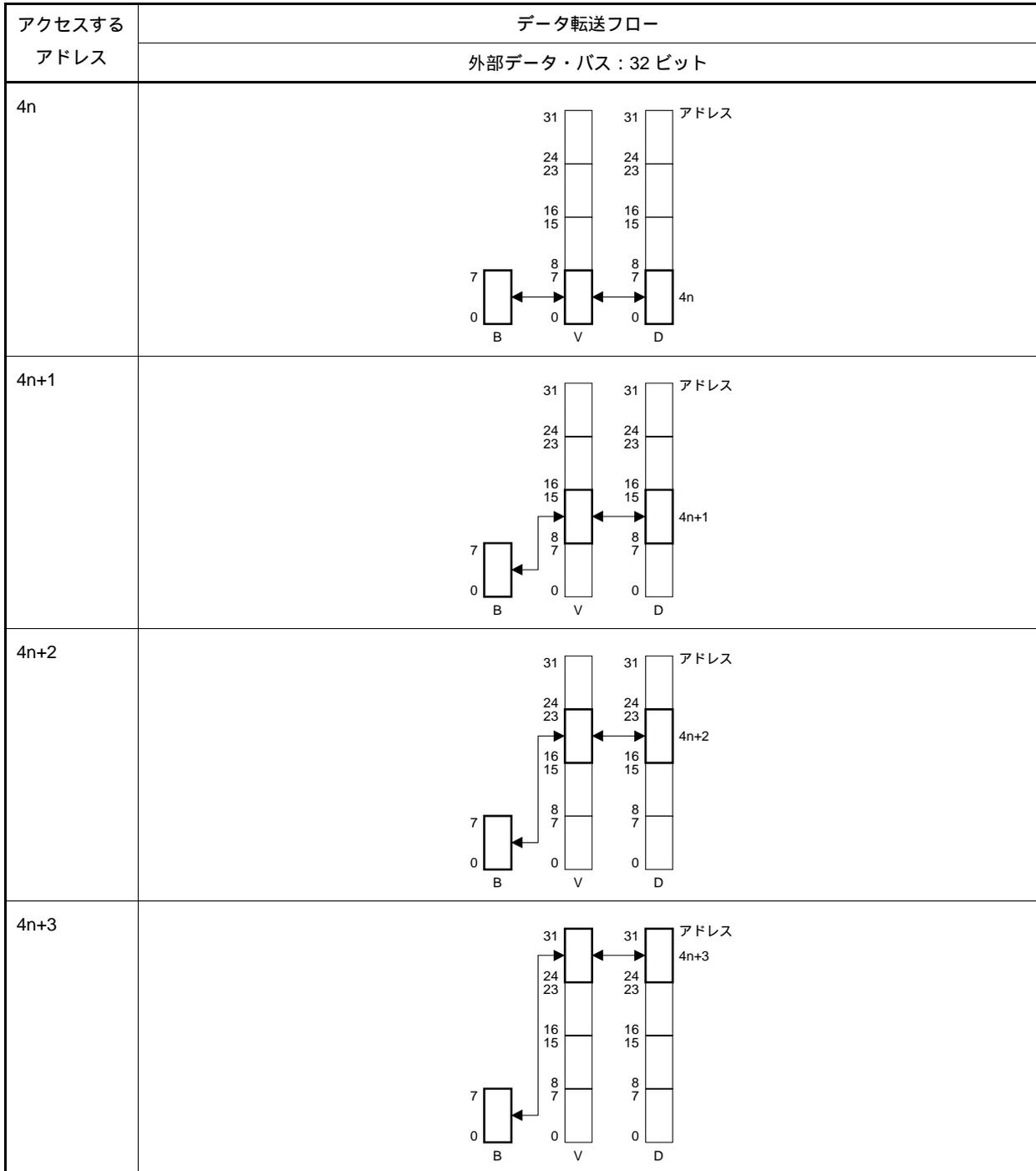
ノーマル・モードと同様にしてください (未使用の場合は、1.3.3 未使用端子の処理で示す内容で処理してください)。端子状態は、1.3.4 端子状態を参照してください。

1.6 データ・フロー

外部メモリへのデータ転送フローは、レジスタの設定値、開始アドレス、データ幅によって異なります。
この節では、各条件でのデータ・フローを示します。

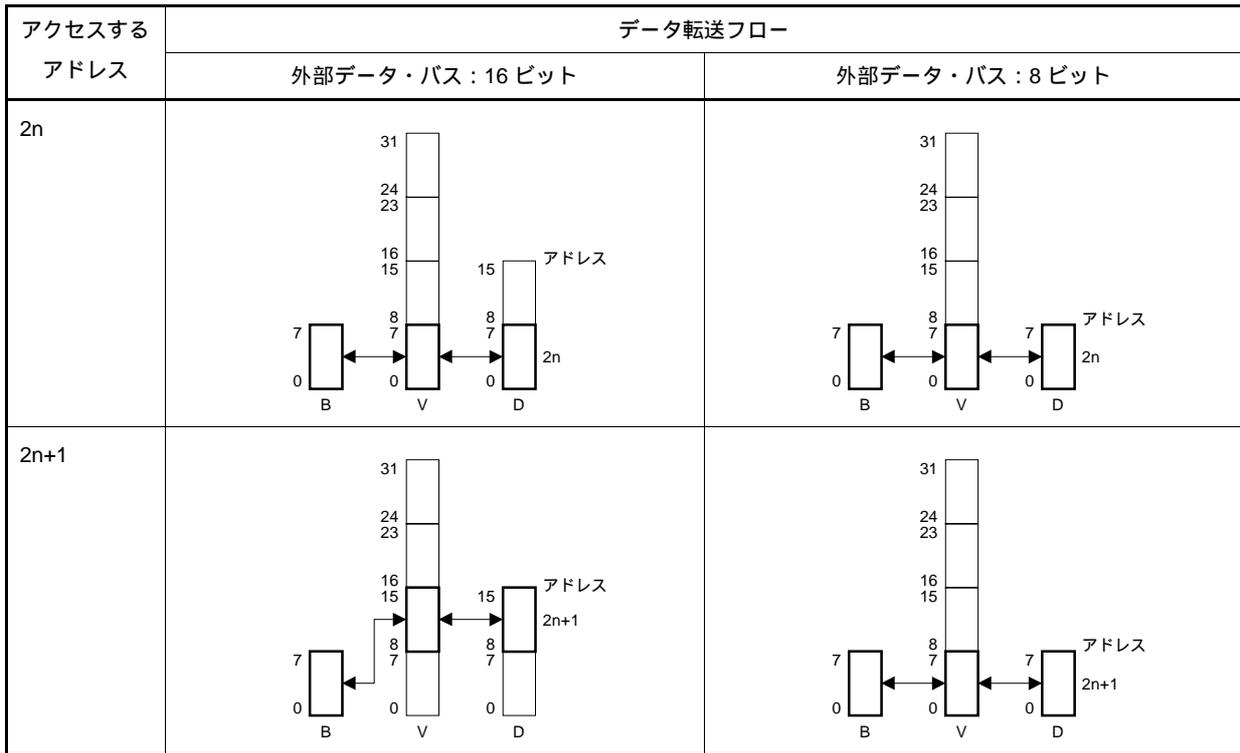
1.6.1 バイト・アクセス (8 ビット) 時のデータ・フロー

図1 - 29 バイト・アクセス (リトル・エンディアン) (1/2)



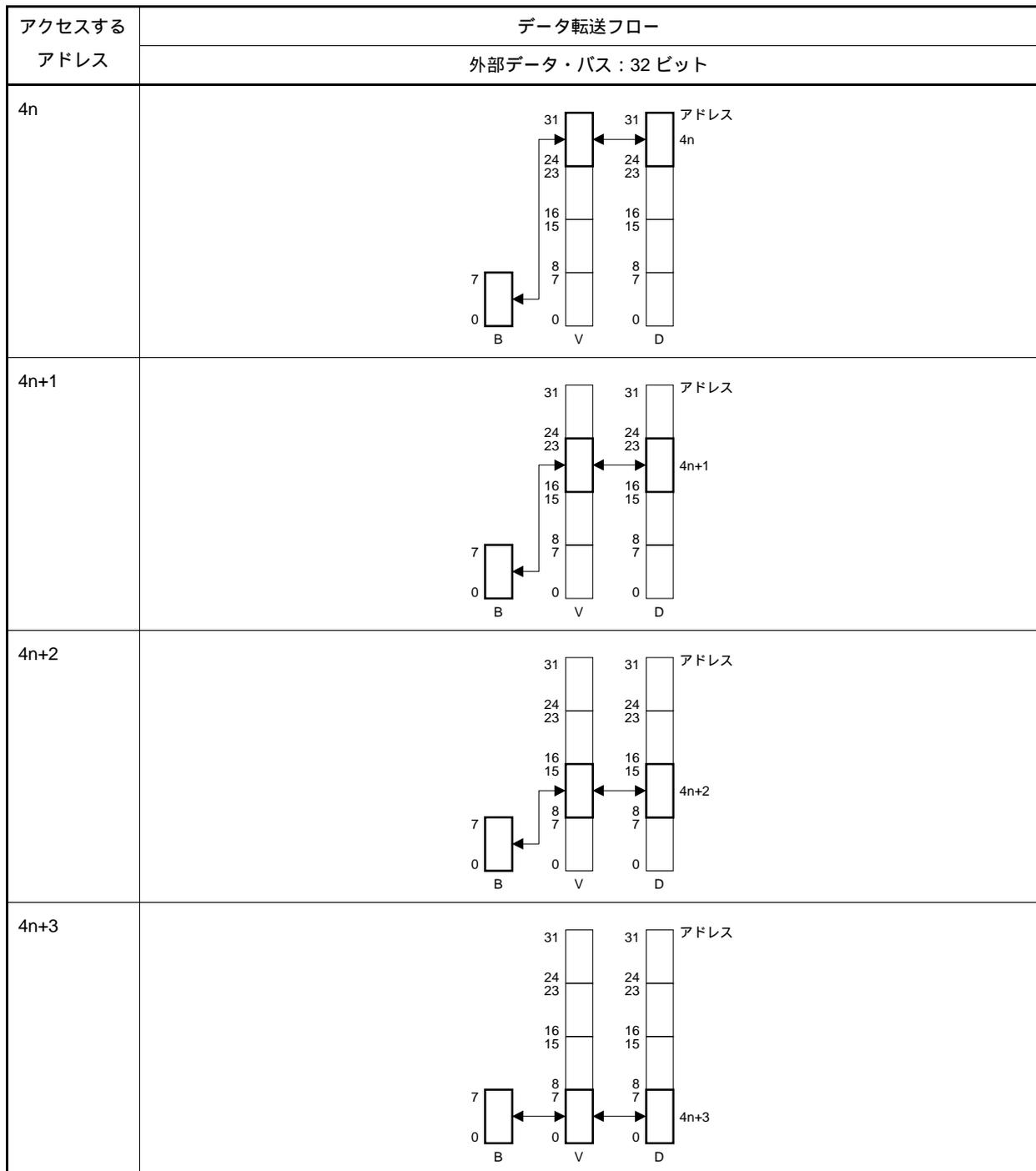
備考 B : バイト・データ
 V : VSB
 D : 外部データ・バス
 n = 0, 1, 2, 3, ...

図1 - 29 バイト・アクセス(リトル・エンディアン) (2/2)



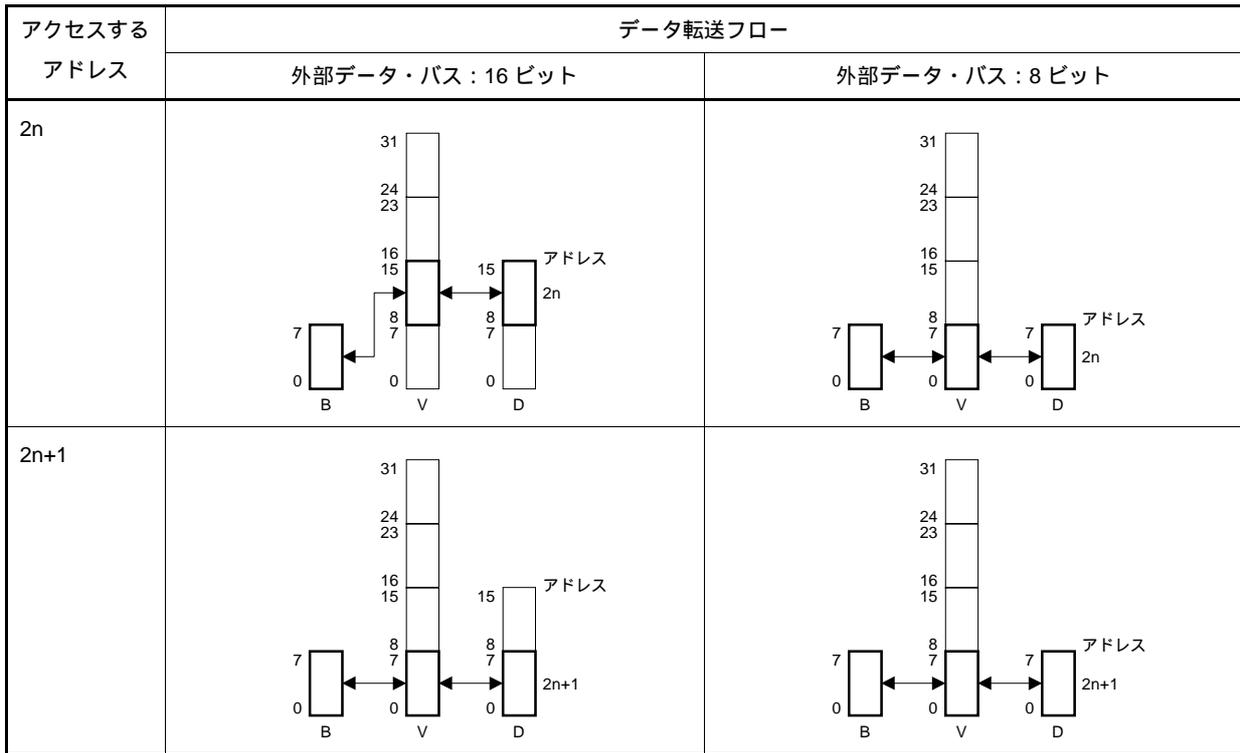
備考 B : バイト・データ
 V : VSB
 D : 外部データ・バス
 n = 0, 1, 2, 3, ...

図1-30 バイト・アクセス(ビッグ・エンディアン)(1/2)



備考 B : バイト・データ
 V : VSB
 D : 外部データ・バス
 n = 0, 1, 2, 3, ...

図1-30 バイト・アクセス(ビッグ・エンディアン)(2/2)



備考 B：バイト・データ

V：VSB

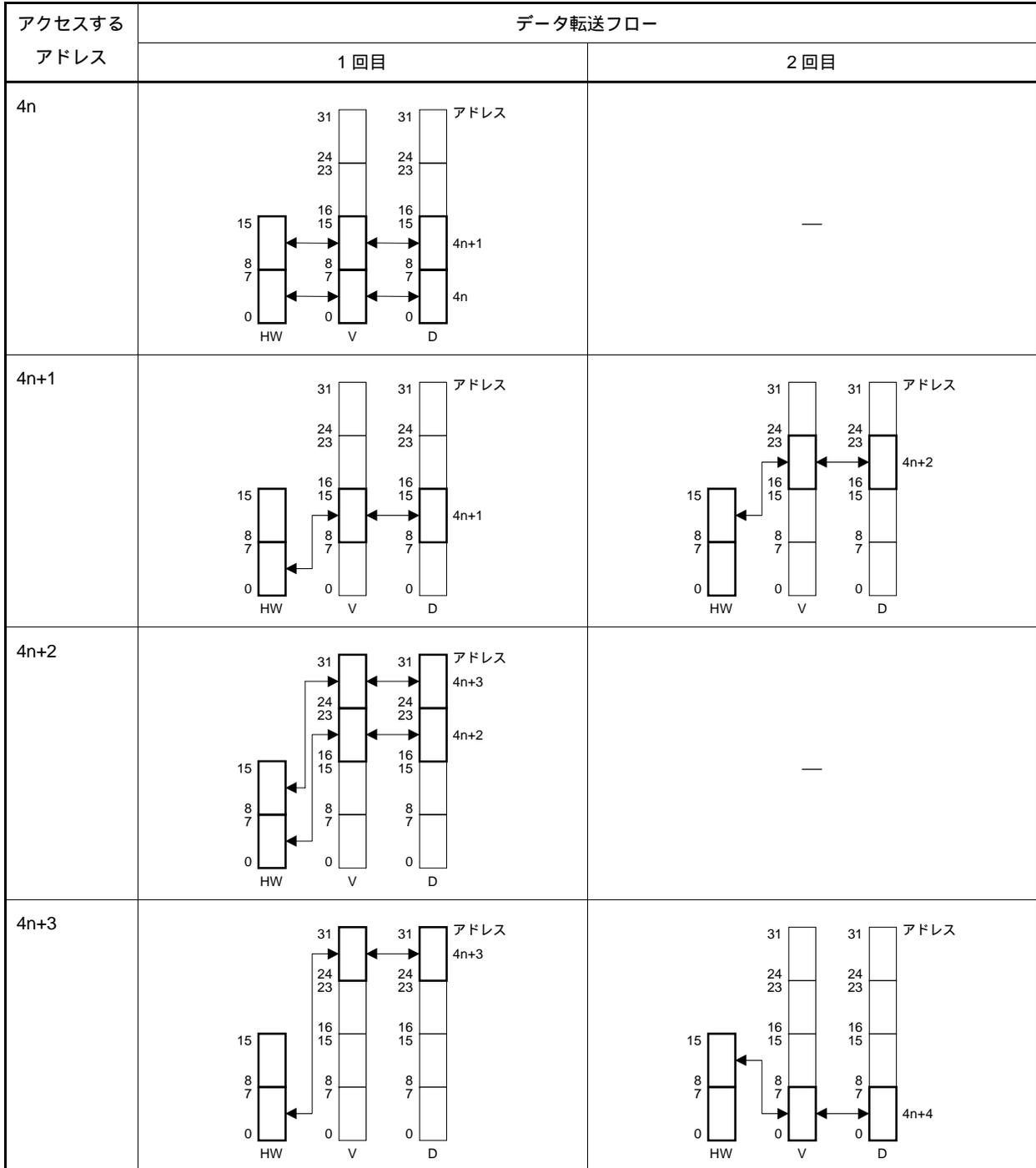
D：外部データ・バス

n = 0, 1, 2, 3, ...

1.6.2 ハーフワード・アクセス (16 ビット) 時のデータ・フロー

図1-31 ハーフワード・アクセス (リトル・エンディアン) (1/2)

(a) 外部データ・バス : 32ビット



備考 HW : ハーフワード・データ

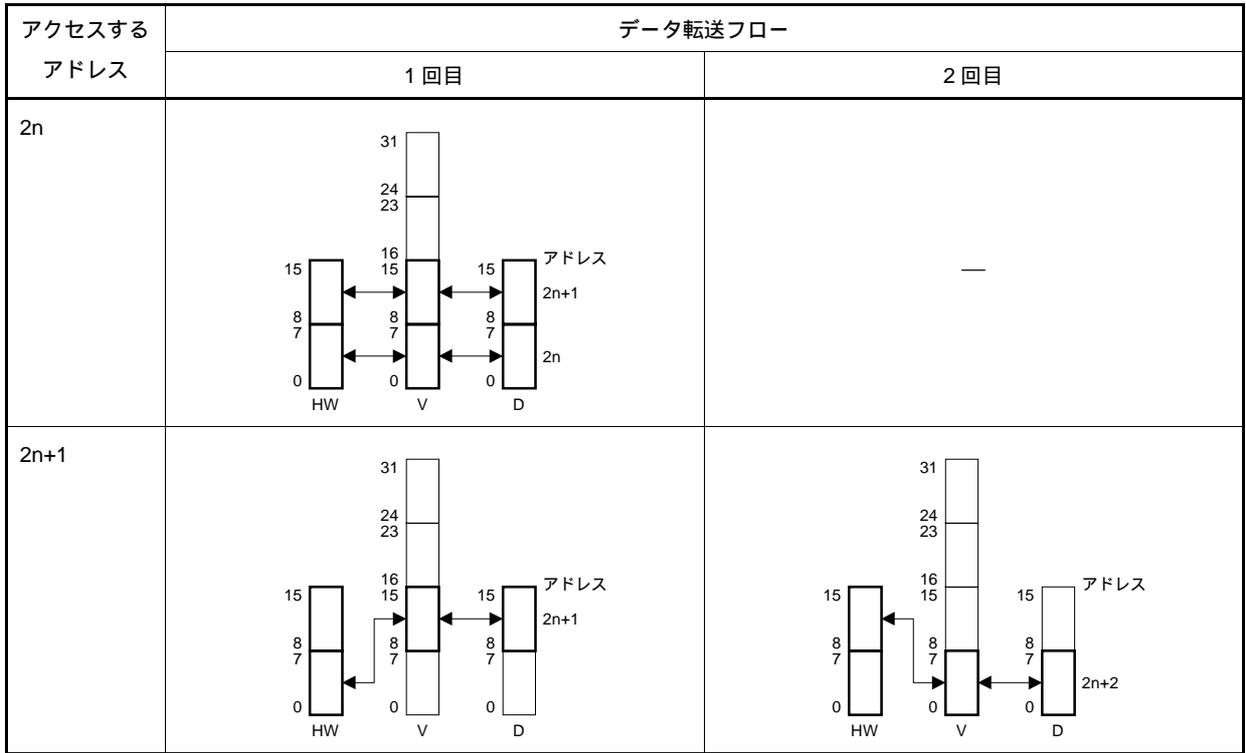
V : VSB

D : 外部データ・バス

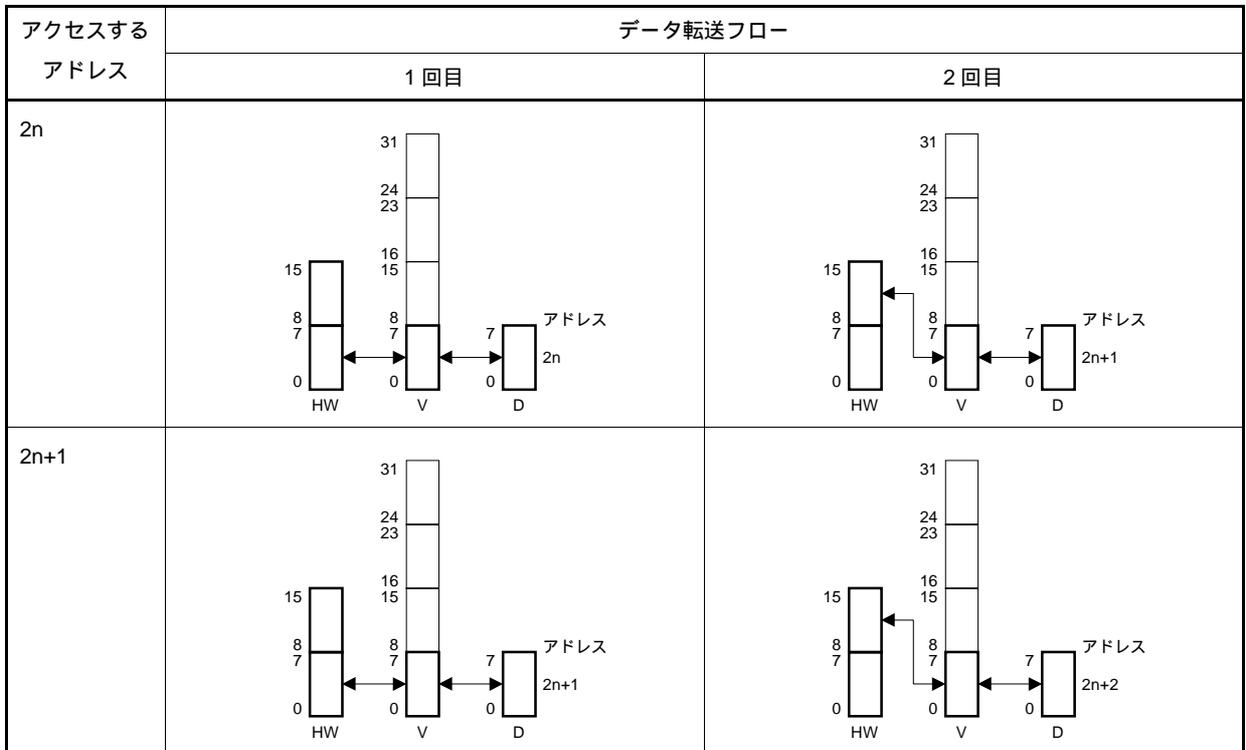
n = 0, 1, 2, 3, ...

図1-31 ハーフワード・アクセス(リトル・エンディアン)(2/2)

(b) 外部データ・バス : 16ビット



(c) 外部データ・バス : 8ビット



備考 HW : ハーフワード・データ n = 0, 1, 2, 3, ...

V : VSB

D : 外部データ・バス

図1 - 32 ハーフワード・アクセス(ビッグ・エンディアン) (1/2)

(a) 外部データ・バス : 32ビット

アクセスする アドレス	データ転送フロー	
	1 回目	2 回目
4n		—
4n+1		
4n+2		—
4n+3		

備考 HW : ハーフワード・データ

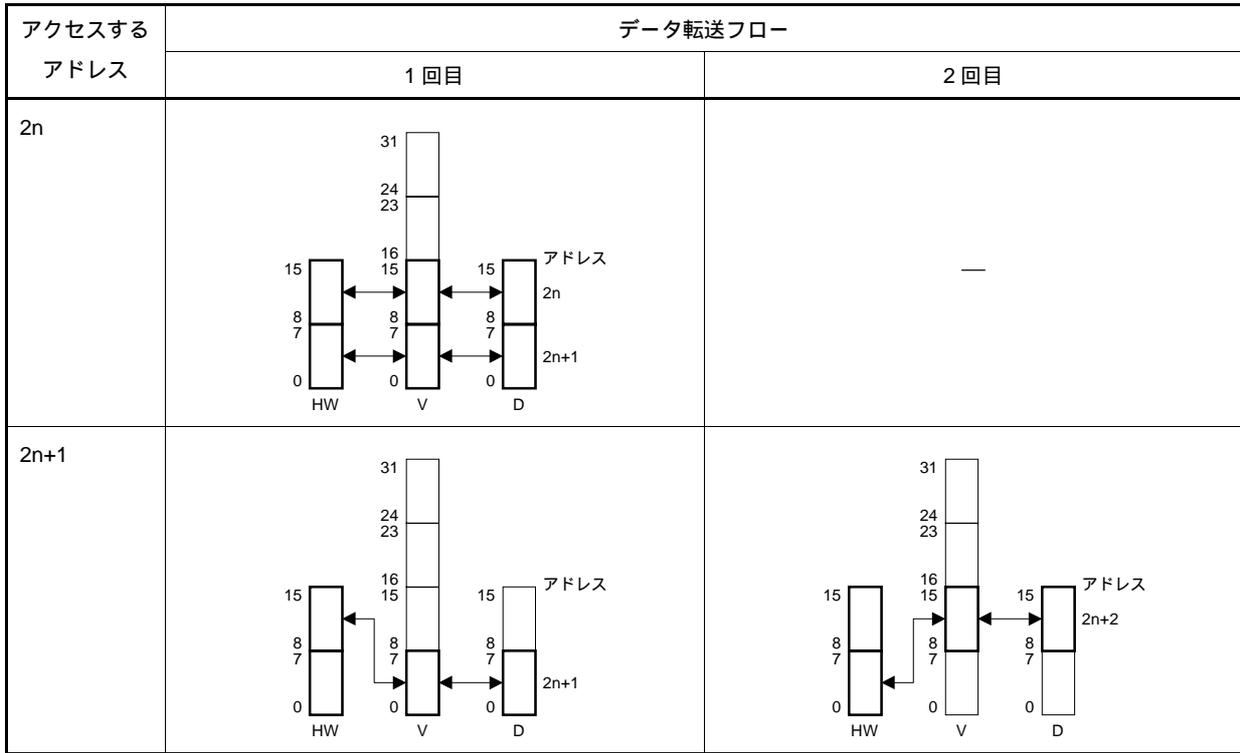
V : VSB

D : 外部データ・バス

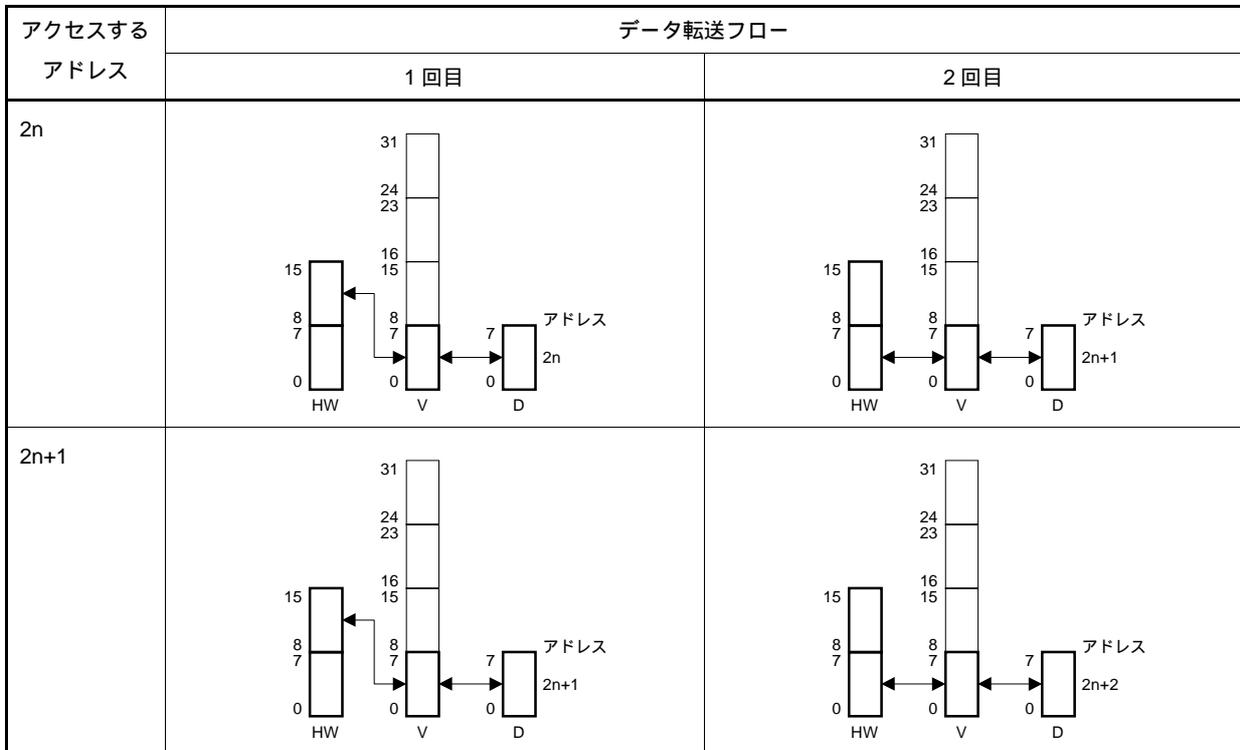
n = 0, 1, 2, 3, ...

図1-32 ハーフワード・アクセス(ビッグ・エンディアン)(2/2)

(b) 外部データ・バス : 16ビット



(c) 外部データ・バス : 8ビット



備考 HW : ハーフワード・データ n = 0, 1, 2, 3, ...

V : VSB

D : 外部データ・バス

1.6.3 ワード・アクセス (32 ビット) 時のデータ・フロー

図1 - 33 ワード・アクセス (リトル・エンディアン) (1/3)

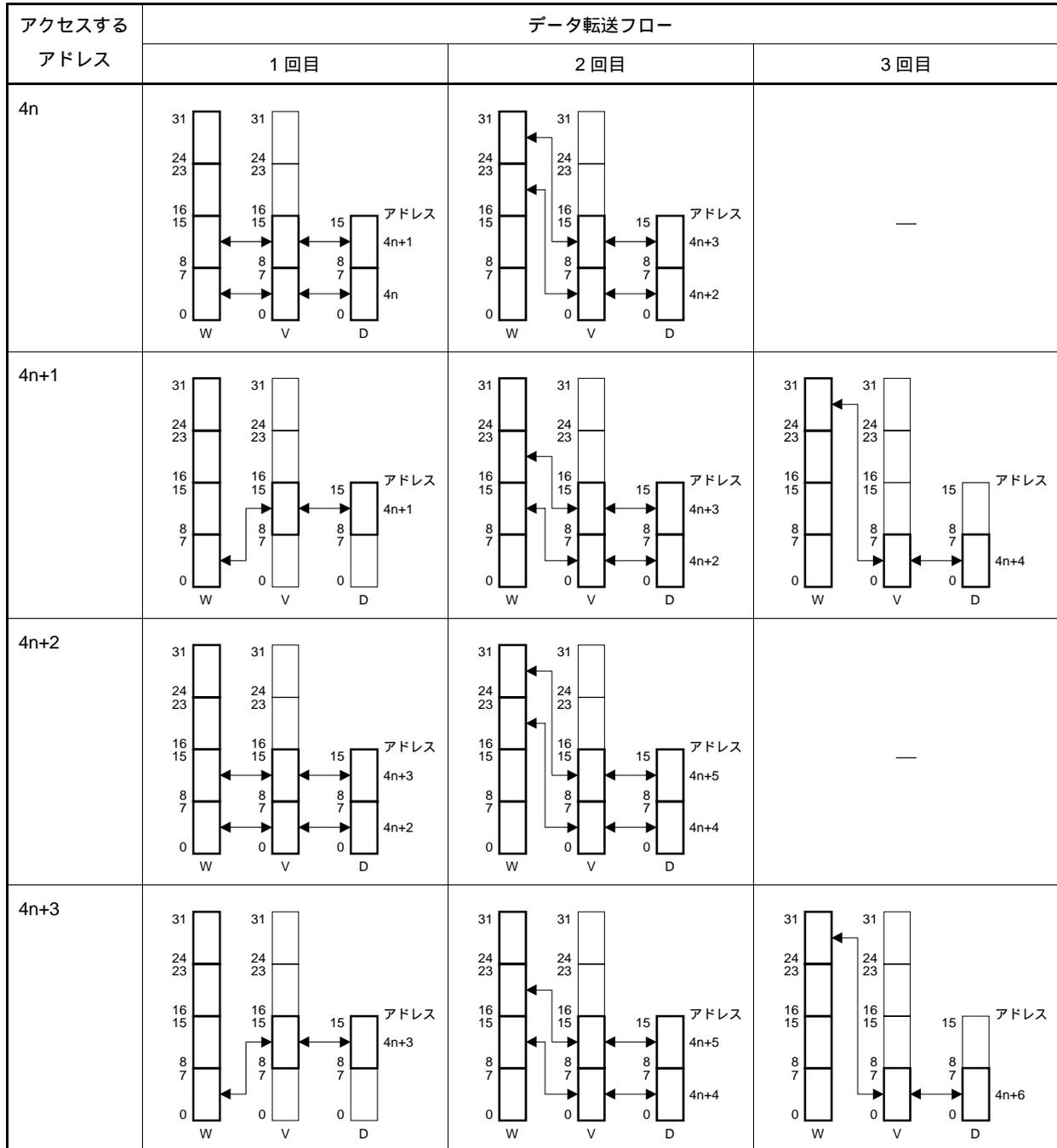
(a) 外部データ・バス : 32ビット

アクセスする アドレス	データ転送フロー		
	1 回目	2 回目	3 回目
4n		—	—
4n+1			
4n+2			—
4n+3			

備考 W : ワード・データ
V : VSB
D : 外部データ・バス
n = 0, 1, 2, 3, ...

図1 - 33 ワード・アクセス(リトル・エンディアン) (2/3)

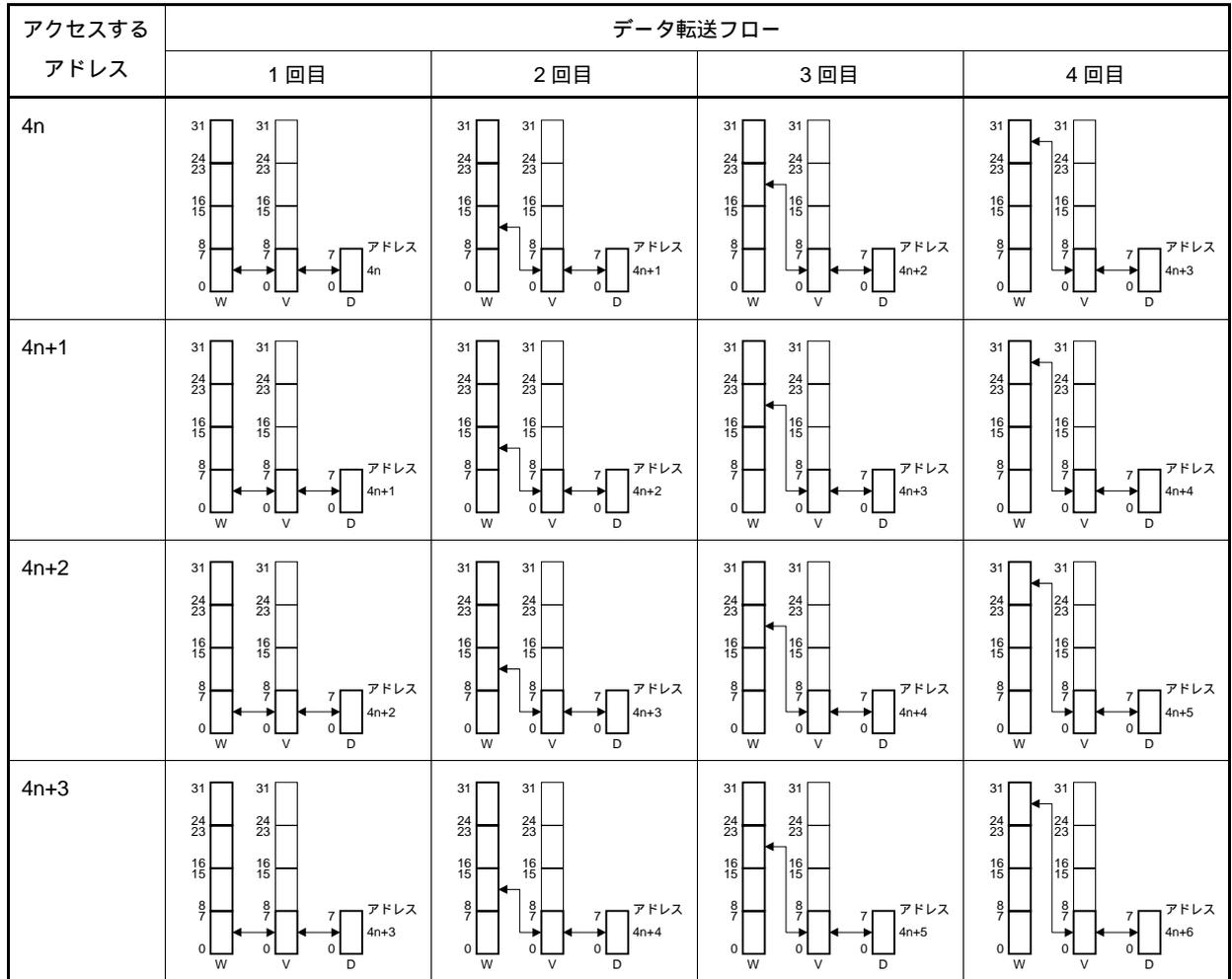
(b) 外部データ・バス : 16ビット



備考 W : ワード・データ
 V : VSB
 D : 外部データ・バス
 n = 0, 1, 2, 3, ...

図1-33 ワード・アクセス(リトル・エンディアン)(3/3)

(c) 外部データ・バス: 8ビット



備考 W: ワード・データ

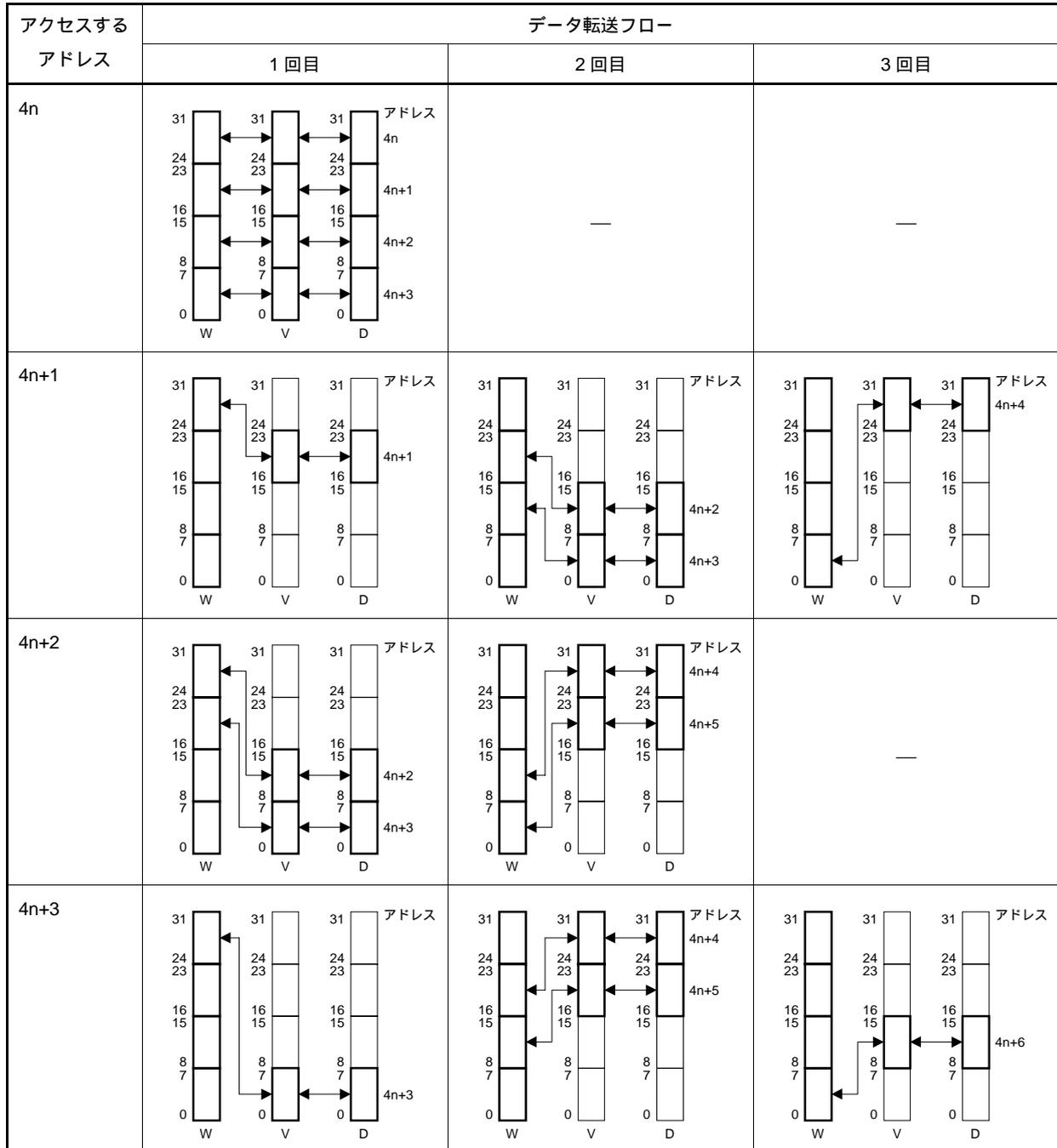
V: VSB

D: 外部データ・バス

n = 0, 1, 2, 3, ...

図1 - 34 ワード・アクセス (ビッグ・エンディアン) (1/3)

(a) 外部データ・バス : 32ビット



備考 W : ワード・データ
 V : VSB
 D : 外部データ・バス
 n = 0, 1, 2, 3, ...

図1-34 ワード・アクセス(ビッグ・エンディアン)(2/3)

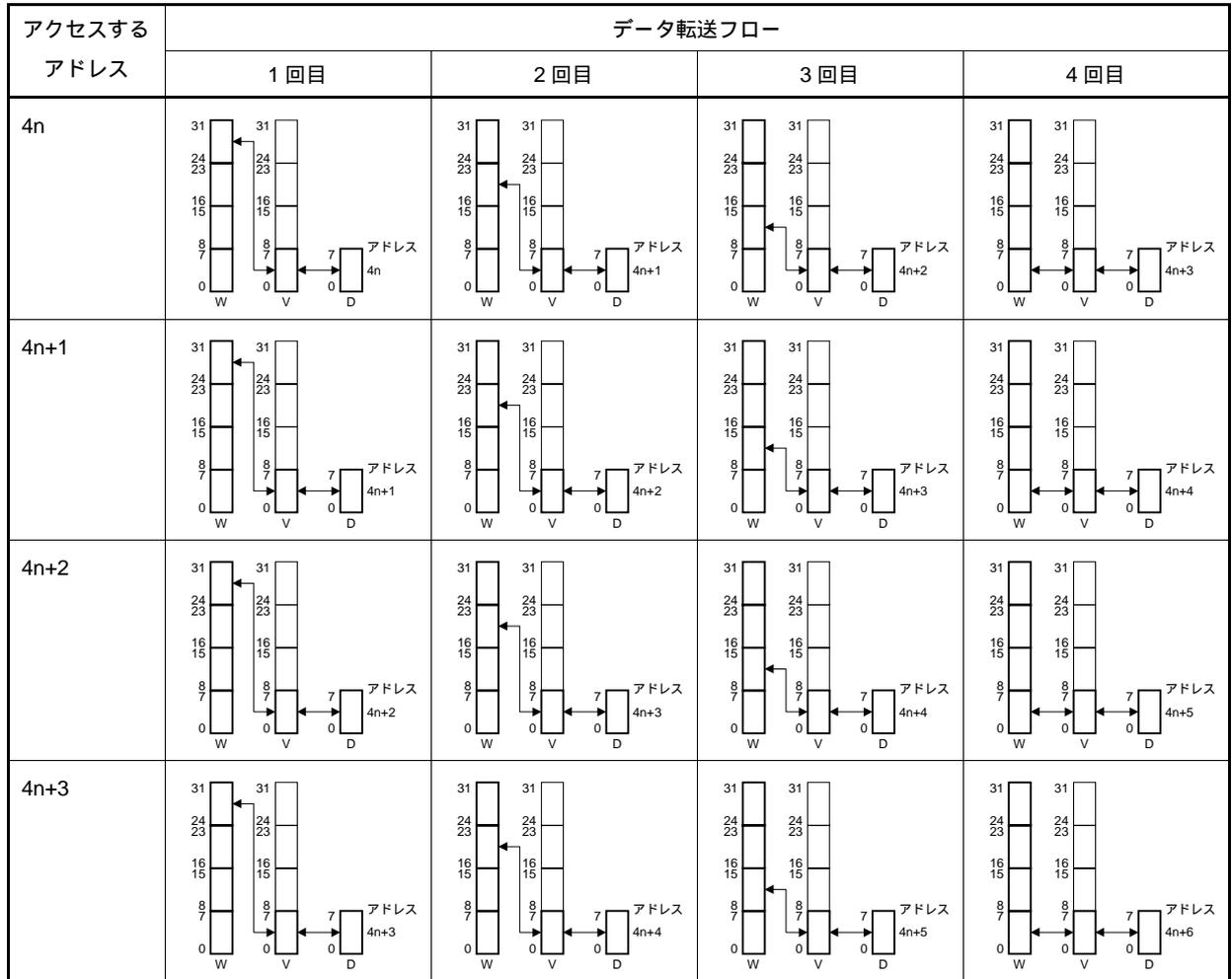
(b) 外部データ・バス: 16ビット

アクセスする アドレス	データ転送フロー		
	1回目	2回目	3回目
4n			—
4n+1			
4n+2			—
4n+3			

備考 W: ワード・データ
 V: VSB
 D: 外部データ・バス
 n = 0, 1, 2, 3, ...

図1-34 ワード・アクセス(ビッグ・エンディアン)(3/3)

(c) 外部データ・バス: 8ビット



備考 W: ワード・データ

V: VSB

D: 外部データ・バス

n = 0, 1, 2, 3, ...

[メモ]

第 2 章 NU85E502

NU85E502 は、NB85E, NB85ET 用の SDRAM コントローラです。

NU85E502 は、対象 CPU コアにより NB85E500 または NU85E500 に接続して使用します。

対象 CPU コア	接続する外部メモリの種類	メモリ・コントローラ (MEMC)
NB85E	SDRAM	NB85E500/NU85E500 + NU85E502
NB85ET		NB85E500 + NU85E502

この章では、NB85E 用の MEMC として NU85E500, NU85E502 を使用した場合で説明しています。NB85E500 と NU85E500 では、SDRAM シーケンシャル・ライト・タイミングが異なります。詳しくは、1.1 NB85E500 と NU85E500 の違いを参照してください。

2.1 概 要

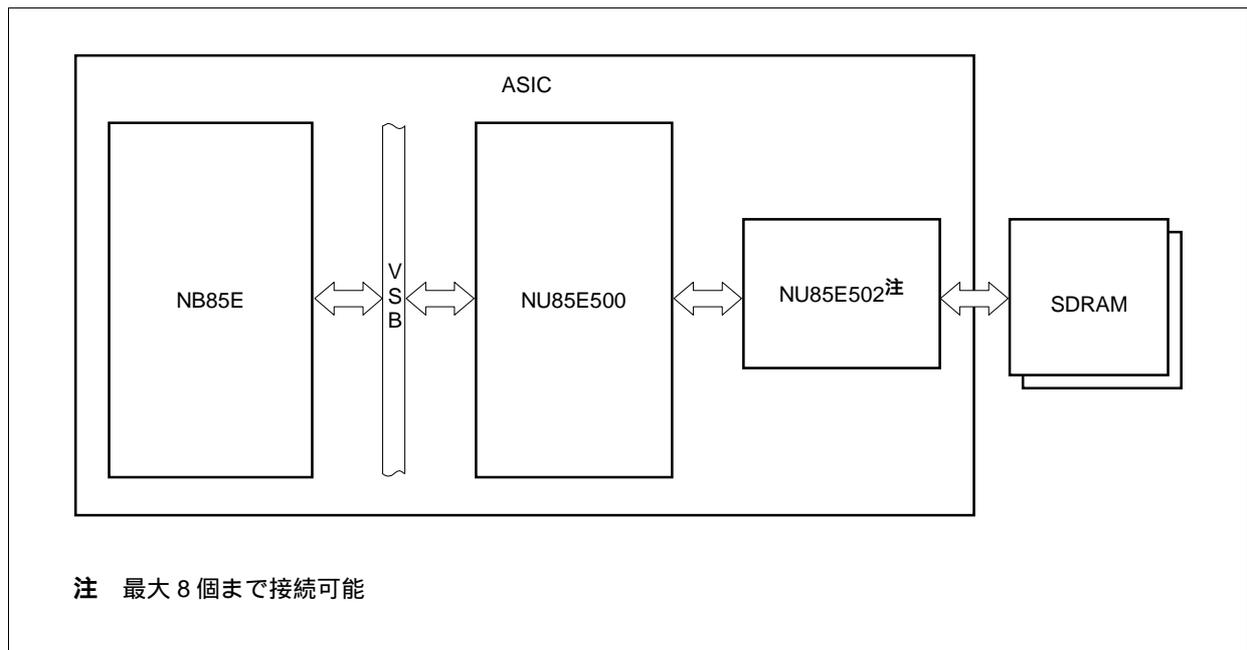
NU85E502 は、シンクロナス DRAM (SDRAM) を制御するためのマクロです。

NU85E502 は、NU85E500 と VSB を介して NB85E に接続することで、外部 SDRAM バス・サイクルを起動できます。

NU85E502 は NU85E500 に接続して使用します。

NU85E502 は最大 8 個まで接続可能です。

図2 - 1 NU85E500とNU85E502の接続例



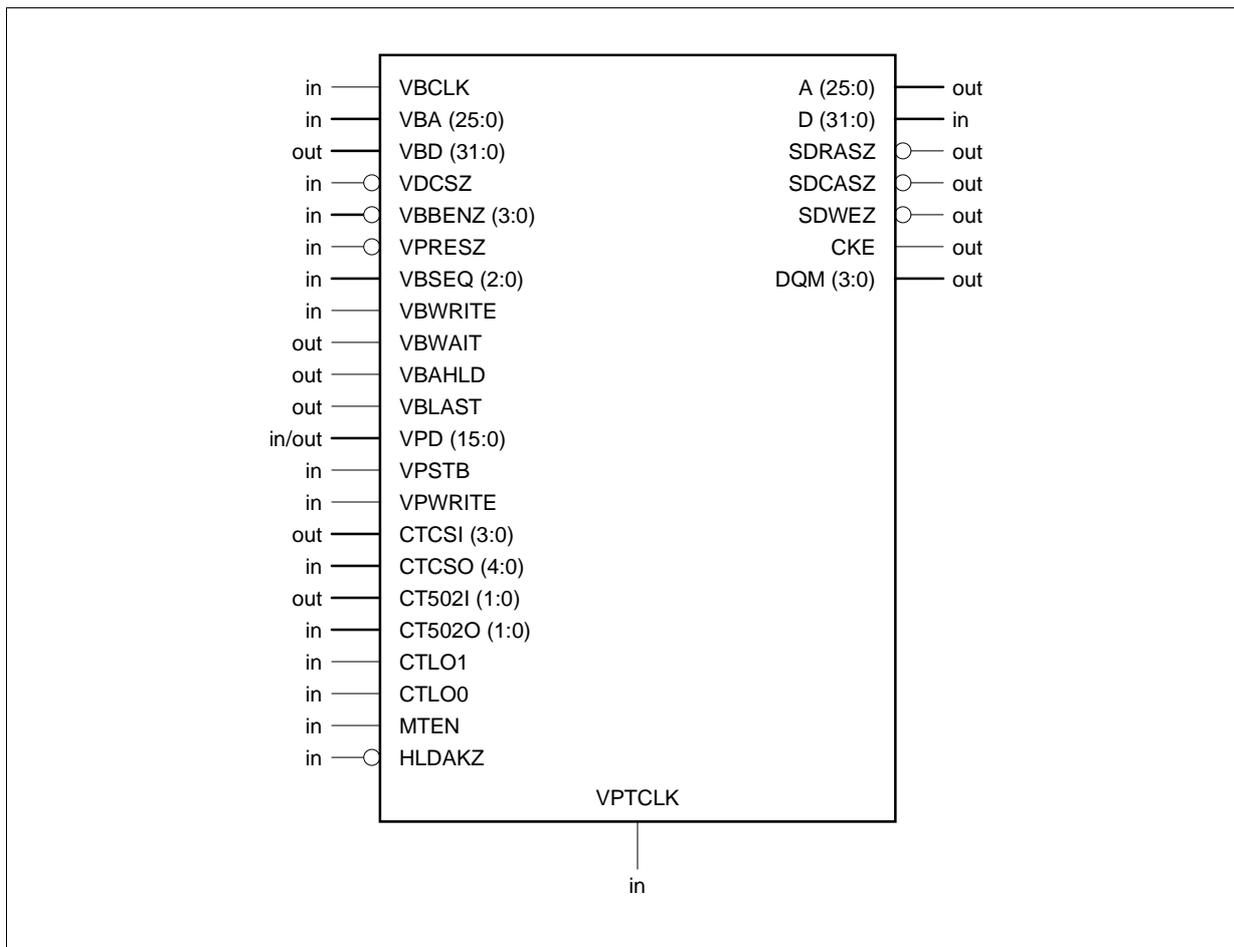
備考 NU85E502 は、ロウ・アドレス 12 本、カラム・アドレス 10 本までしか対応していません。したがって、接続可能な SDRAM は 128M ビット SDRAM までです。
256M バイト・モード時の最大 CS 領域は CS1, CS3, CS4, CS6 領域の 64M バイトですが、この 64M バイト空間すべてに SDRAM を割り当てる場合は、128M ビット (4M ワード×8 ビット×4 バンク) ×4 個構成、32 ビット・バス幅アクセスで、512M ビット (64M バイト) に対応させる必要があります。

2.1.1 特 徴

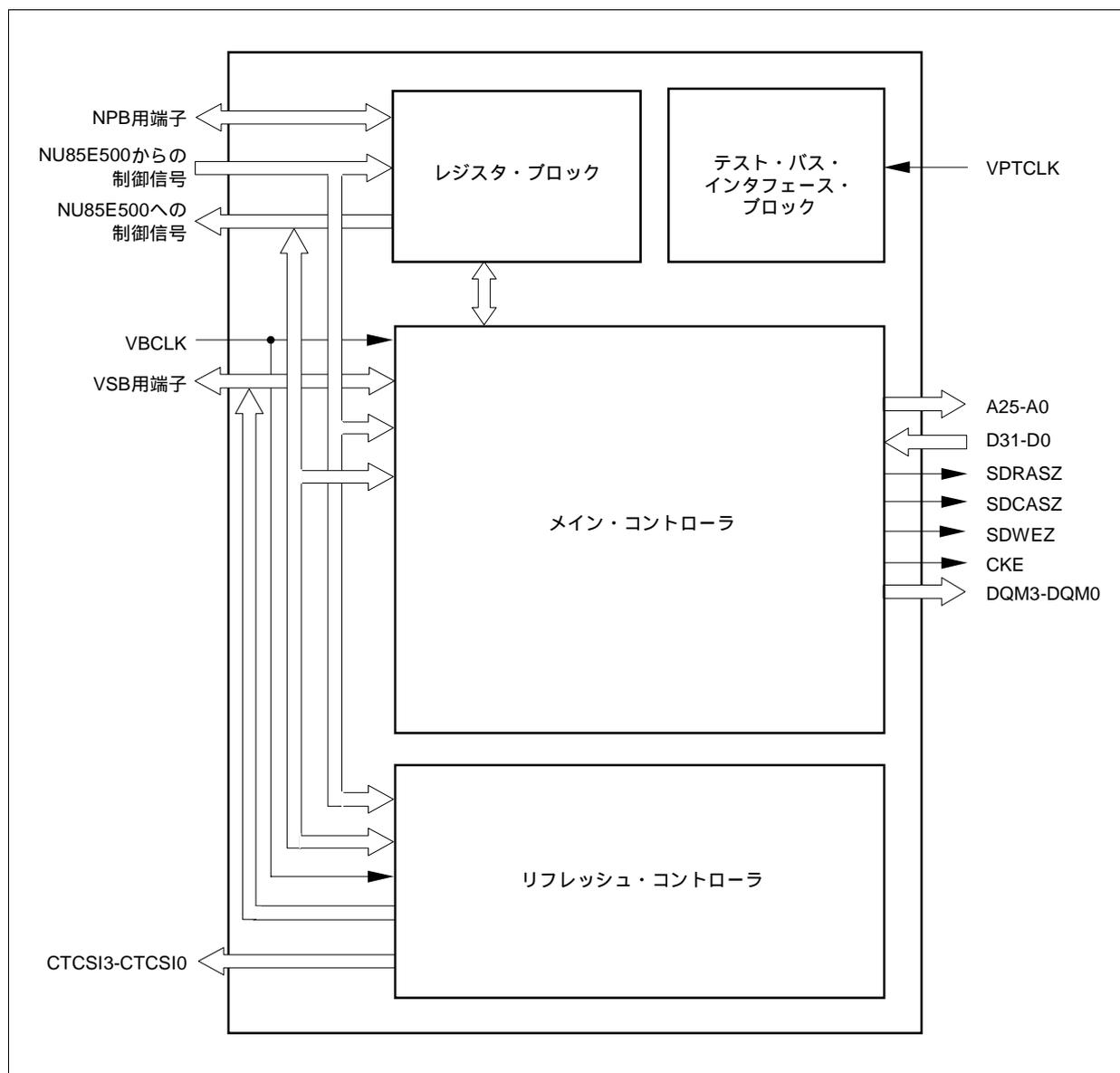
- シングル・アクセスのみ起動できます。外部データ・バスが 32 ビット時の 32 ビット・データのバースト・アクセスはできません。バースト・アクセスは次の場合にだけ起動できます。
 - ・外部データ・バスが 8 ビットで 16/32 ビット・データのリード/ライト時
 - ・外部データ・バスが 16 ビットで 32 ビット・データのリード/ライト時
 - ・命令キャッシュ、データ・キャッシュへのリフィル動作時
- VBSEQ2-VBSEQ0 端子に示される連続アクセスについては、1 クロックごとに連続してコマンドを発行できます。
- CAS レイテンシ = 2 と CAS レイテンシ = 3 に対応します。
- アドレス・マルチプレクス機能があります。
- SCRn レジスタの設定により、アドレス・マルチプレクス幅を変更できます。
- SCRn レジスタの設定により、最大で 3 ウェイト・ステートを挿入可能です。
- SCRn レジスタへの書き込みアクセスごとに、レジスタ・ライト動作が実行できます。
- CBR (CAS ビフォー-RAS) リフレッシュ・コマンドを発行できます。

備考 n = 7-0

2.1.2 シンボル図



2.1.3 ブロック図

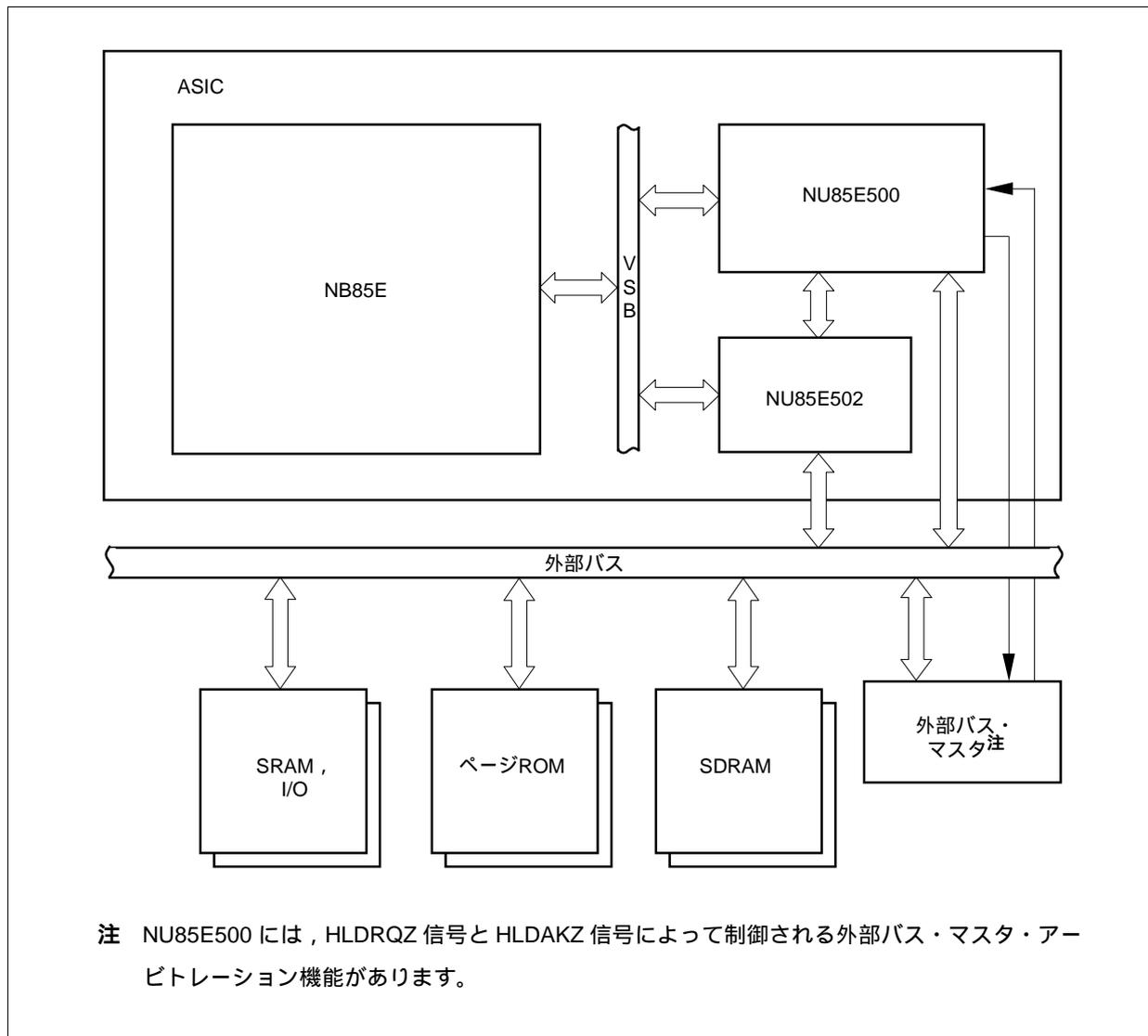


2.1.4 構成例

NU85E502 は外部 SDRAM 用のバス・サイクルを起動します。

次に、NU85E502 を使用した応用例を示します。

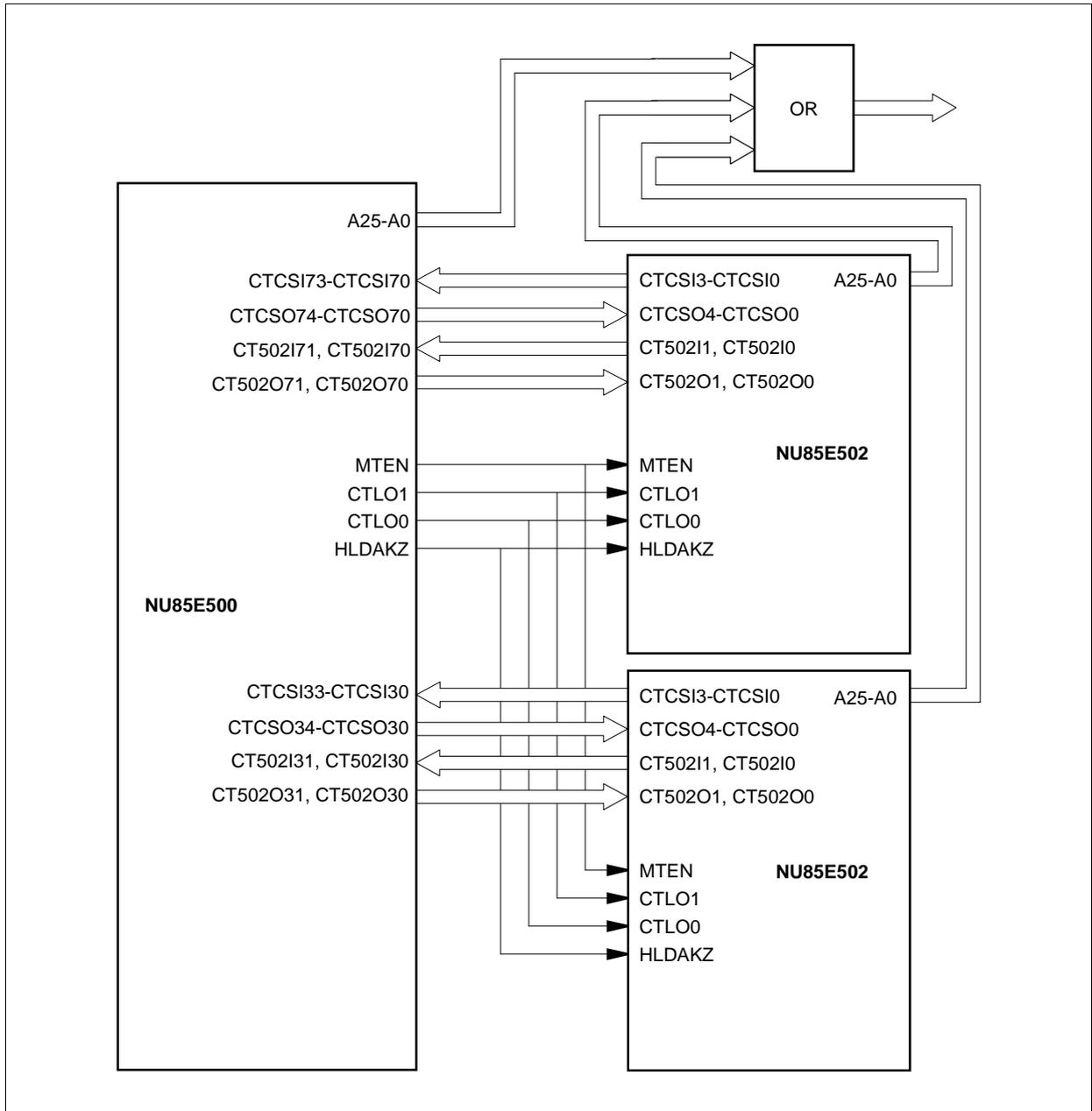
図2-2 応用例



次に，NU85E500 と NU85E502 の接続例を示します。

ここでは，NU85E502 は CS7 領域と CS3 領域に接続されています。

図2 - 3 接続例



2.2 端子機能

2.2.1 端子機能一覧

端子名		入出力	機能
NB85E 接続用端子	VBCLK	入力	内部システム・クロック入力
	VBA25-VBA0	入力	アドレス入力
	VBD31-VBD0	出力	データ出力
	VDCSZ	入力	チップ・セレクト入力
	VBBENZ3-VBBENZ0	入力	バイト・イネーブル入力
	VPRESZ	入力	リセット入力
	VBSEQ2-VBSEQ0	入力	シーケンシャル・ステータス入力
	VBWRITE	入力	リード/ライト・ステータス入力
	VBWAIT	出力	ウエイト・レスポンス出力
	VBAHLD	出力	アドレス・ホールド・レスポンス出力
	VBLAST	出力	ラスト・レスポンス出力
	VPD15-VPD0	入出力	データ入出力 (NPB 用)
	VPSTB	入力	データ・ストロープ入力 (NPB 用)
	VPWRITE	入力	ライト・アクセス・ストロープ入力 (NPB 用)
NU85E500 接続用端子	CTCSI3-CTCSI0	出力	NU85E500 への制御出力
	CTCSO4-CTCSO0	入力	NU85E500 からの制御入力
	CT502I1, CT502I0	出力	NU85E500 への制御出力
	CT502O1, CT502O0	入力	NU85E500 からの制御入力
	CTLO1, CTLO0	入力	NU85E500 からの制御入力
	MTEN	入力	NU85E500 からのテスト・モード許可入力
	HLDKZ	入力	NU85E500 からのバス・ホールド・ステータス入力
外部メモリ接続用端子	A25-A0	出力	外部メモリ用アドレス出力
	D31-D0	入力	外部メモリ用データ入力
	SDRASZ	出力	SDRAM 用口ウ・アドレス・ストロープ出力
	SDCASZ	出力	SDRAM 用カラム・アドレス・ストロープ出力
	SDWEZ	出力	SDRAM 用データ・ライト許可出力
	CKE	出力	クロック許可出力
	DQM3-DQM0	出力	データ・マスク出力
テスト・モード用端子	VPTCLK	入力	テスト用クロック入力

2.2.2 端子機能の説明

(1) NB85E 接続用端子

(a) VSB 用端子 (VBxxx, VDxxx)

NB85E ユーザーズ・マニュアル ハードウェア編 (A13971J) を参照してください。

(b) NPB 用端子 (VPxxx)

NB85E ユーザーズ・マニュアル ハードウェア編 (A13971J) を参照してください。

(2) NU85E500 接続用端子

(a) CTCSI3-CTCSI0 (出力)

NU85E500 への制御出力端子です。

(b) CTCSo4-CTCSo0 (入力)

NU85E500 からの制御入力端子です。

(c) CT502I1, CT502I0 (出力)

NU85E500 への制御出力端子です。

(d) CT502O1, CT502O0 (入力)

NU85E500 からの制御入力端子です。

(e) CTLO1, CTLO0 (入力)

NU85E500 からの制御入力端子です。

(f) MTEN (入力)

NU85E500 からのテスト・モード許可入力端子です。

(g) HLDKZ (入力)

NU85E500 からのバス・ホールド・ステータス入力端子です。

バス・ホールド中に外部バス・マスタが SDRAM にアクセスする場合だけ使用します。未使用時はハイ・レベルを入力してください。

注意 バス・ホールド中は、外部バス・マスタによる SDRAM コンフィギュレーション・レジスタ n (SCR n) の書き換えはしないでください ($n = 7-0$)。

備考 バス・ホールド解除後、NU85E502 が再びバス・マスタ権を取得して SDRAM にアクセスするときは、オール・バンク・プリチャージからアクセスを始めます。

(3) 外部メモリ接続用端子

(a) A25-A0 (出力)

外部 SDRAM 用アドレス・バスです。

VDCSZ 信号がインアクティブのとき, A25-A0 端子はすべてロウ・レベルを出力します。

(b) D31-D0 (入力)

外部 SDRAM 用データ・バスです。

(c) SDRASZ (出力)

外部 SDRAM 用ロウ・アドレス・ストロープ出力端子です。

(d) SDCASZ (出力)

外部 SDRAM 用カラム・アドレス・ストロープ出力端子です。

(e) SDWEZ (出力)

外部 SDRAM 用データ・ライト許可出力端子です。

(f) CKE (出力)

外部 SDRAM 用クロック許可出力端子です。

セルフ・リフレッシュ・サイクル時はインアクティブ(ロウ・レベル)を出力します。

(g) DQM3-DQM0 (出力)

外部 SDRAM 用データ・マスク出力端子です。

ライト・サイクルではライト・コマンド時に NB85E の VBBENZ3-VBBENZ0 信号と同じ値を出力します。リード・サイクルではリード・コマンド以降, ロウ・レベルを出力します。

(4) テスト・モード用端子

(a) VPTCLK (入力)

テスト用クロック入力端子です。

2.2.3 未使用端子の処理

	端子名	入出力	推奨接続方法
外部メモリ接続用端子	A25-A0, SDRASZ, SDCASZ, SDWEZ, CKE, DQM3-DQM0	出力	オープンにしてください。
	D31-D0	入力	ロウ・レベルを入力してください。

2.2.4 端子状態

出力機能を持つ端子の各動作モードでの状態を次に示します。

表2-1 各動作モードでの端子状態

端子名		端子状態				
		リセット	STOP モード	HALT モード	バス・ホールド	テスト・モード
NB85E 接続用端子	VBD31-VBD0	Hi-Z	Hi-Z	動作	Hi-Z	動作
	VBWAIT	Hi-Z	Hi-Z	動作	Hi-Z	動作
	VBAHLD	Hi-Z	Hi-Z	動作	Hi-Z	動作
	VBLAST	Hi-Z	Hi-Z	動作	Hi-Z	動作
	VPD15-VPD0	Hi-Z	Hi-Z	動作	Hi-Z	動作
外部メモリ接続用端子	A25-A0	不定	保持	動作	保持	動作
	SDRASZ	H	H	動作	H	動作
	SDCASZ	H	H	動作	H	動作
	SDWEZ	H	H	動作	H	動作
	CKE	H	L	動作	H	動作
	DQM3-DQM0	H	H	動作	H	動作

備考 L : ロウ・レベル出力

H : ハイ・レベル出力

Hi-Z : ハイ・インピーダンス

保持 : 直前の状態を保持

2.3 バス・サイクル機能

2.3.1 SDRAM コンフィギュレーション・レジスタ n (SCRn)

このレジスタでは、ウエイト数やアドレス・マルチプレクス幅を設定します。

システム上に NU85E502 がいくつか搭載されている場合も、CSn 領域ごとに設定できます (n = 7-0)。

このレジスタに書き込みを行うと、NU85E502 はレジスタ・ライト・オペレーションを起動します。

このレジスタは、16 ビット単位でリード/ライト可能です。

注意 1. レジスタ・ライト・オペレーションの実行前は、SDRAM リード/ライト・サイクルは発生しません。

SCRn レジスタに書き込むプログラムのあと 20 クロック待ってから SDRAM にアクセスしてください。SDRAM へのアクセス後、再度 SCRn レジスタの設定を行う場合は、NU85E500 内の BCT0, BCT1 レジスタの ME ビットをクリア (0) し、再度セット (1) し直してから行ってください。

2. SCRn レジスタに書き込む命令を連続で実行しないでください。SCRn レジスタに書き込む命令と命令の間には、必ずほかの命令を入れて実行してください。

3. NU85E502 を複数使用する場合は、すべての SCRn レジスタの設定が終わるまで SDRAM 領域をアクセスしないでください (n = 7-0)。

備考 1. レジスタ名の n は CSn 領域番号に対応します。

2. アドレス・デコーダは NU85E500 内にあります。CSn 領域ごとのアドレスは、NB85E ユーザーズ・マニュアル ハードウェア編 (A13971J) を参照してください。

図 2 - 4 SDRAMコンフィギュレーション・レジスタn (SCRn) (1/2)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SCRn	0	LTM 2	LTM 1	LTM 0	0	0	0	0	BCW 1	BCW 0	SSO 1	SSO 0	RAW 1	RAW 0	SAW 1	SAW 0	FFFFFF4A0H + 4n	0000H

ビット位置	ビット名	意味																				
14-12	LTM2- LTM0	リード時の CAS レイテンシの値を設定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th>LTM2</th> <th>LTM1</th> <th>LTM0</th> <th>CAS レイテンシ</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">任意</td> <td style="text-align: center;">設定禁止</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">2</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">3</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">任意</td> <td style="text-align: center;">任意</td> <td style="text-align: center;">設定禁止</td> </tr> </tbody> </table>	LTM2	LTM1	LTM0	CAS レイテンシ	0	0	任意	設定禁止	0	1	0	2	0	1	1	3	1	任意	任意	設定禁止
LTM2	LTM1	LTM0	CAS レイテンシ																			
0	0	任意	設定禁止																			
0	1	0	2																			
0	1	1	3																			
1	任意	任意	設定禁止																			

備考 n = 7-0

図2-4 SDRAMコンフィギュレーション・レジスタn (SCRn) (2/2)

ビット位置	ビット名	意味															
7, 6	BCW1, BCW0	<p>バンク・アクティブ・コマンドからリード/ライト・コマンド, またはプリチャージ・コマンドからバンク・アクティブ・コマンドまでのウェイト・ステート数を設定します。</p> <table border="1"> <thead> <tr> <th>BCW1</th> <th>BCW0</th> <th>ウェイト・ステート数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>1</td> <td>1</td> <td>3</td> </tr> </tbody> </table>	BCW1	BCW0	ウェイト・ステート数	0	0	設定禁止	0	1	1	1	0	2	1	1	3
BCW1	BCW0	ウェイト・ステート数															
0	0	設定禁止															
0	1	1															
1	0	2															
1	1	3															
5, 4	SSO1, SSO0	<p>オンページ判断時のアドレスのシフト幅を設定します。 データ・バス・サイズが 16 ビットまたは 32 ビットに設定されている場合は, システムは下位アドレス (A0 または A1, A0) を使用しません。</p> <table border="1"> <thead> <tr> <th>SSO1</th> <th>SSO0</th> <th>アドレス・シフト幅</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0 ビット (データ・バス幅 8 ビット)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1 ビット (データ・バス幅 16 ビット)</td> </tr> <tr> <td>1</td> <td>0</td> <td>2 ビット (データ・バス幅 32 ビット)</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	SSO1	SSO0	アドレス・シフト幅	0	0	0 ビット (データ・バス幅 8 ビット)	0	1	1 ビット (データ・バス幅 16 ビット)	1	0	2 ビット (データ・バス幅 32 ビット)	1	1	設定禁止
SSO1	SSO0	アドレス・シフト幅															
0	0	0 ビット (データ・バス幅 8 ビット)															
0	1	1 ビット (データ・バス幅 16 ビット)															
1	0	2 ビット (データ・バス幅 32 ビット)															
1	1	設定禁止															
3, 2	RAW1, RAW0	<p>ロウ・アドレス幅を設定します。</p> <table border="1"> <thead> <tr> <th>RAW1</th> <th>RAW0</th> <th>ロウ・アドレス幅</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>11 ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>12 ビット</td> </tr> <tr> <td>1</td> <td>任意</td> <td>設定禁止</td> </tr> </tbody> </table>	RAW1	RAW0	ロウ・アドレス幅	0	0	11 ビット	0	1	12 ビット	1	任意	設定禁止			
RAW1	RAW0	ロウ・アドレス幅															
0	0	11 ビット															
0	1	12 ビット															
1	任意	設定禁止															
1, 0	SAW1, SAW0	<p>コラム・アドレス幅を設定します。</p> <table border="1"> <thead> <tr> <th>SAW1</th> <th>SAW0</th> <th>コラム・アドレス幅</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>8 ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>9 ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>10 ビット</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	SAW1	SAW0	コラム・アドレス幅	0	0	8 ビット	0	1	9 ビット	1	0	10 ビット	1	1	設定禁止
SAW1	SAW0	コラム・アドレス幅															
0	0	8 ビット															
0	1	9 ビット															
1	0	10 ビット															
1	1	設定禁止															

注意 SCRn レジスタの設定はリセット直後に行い, 設定後は値を変更しないでください (n = 7-0)。

表2-2 ロウ・アドレス出力

アドレス端子	A25-A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
SAW1, SAW0 ビット = 10	a25-a18	a17	a16	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10
SAW1, SAW0 ビット = 01	a25-a18	a17	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10	a9
SAW1, SAW0 ビット = 00	a25-a18	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10	a9	a8

表2-3 カラム・アドレス出力

(a) オール・バンク・プリチャージ・コマンド時

アドレス端子	A25-A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
SS01, SS00 ビット = 00	a25-a18	a17	a16	a15	a14	a13	a12	a11	1	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0
SS01, SS00 ビット = 01	a25-a18	a17	a16	a15	a14	a13	a12	1	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0
SS01, SS00 ビット = 10	a25-a18	a17	a16	a15	a14	a13	1	a11	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0

(b) レジスタ・ライト・コマンド時

アドレス端子	A25-A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
SS01, SS00 ビット = 00	0	0	0	0	0	0	0	0	0	0	0	0	LTM2	LTM1	LTM0	0	0	0	0
SS01, SS00 ビット = 01	0	0	0	0	0	0	0	0	0	0	0	0	LTM2	LTM1	LTM0	0	0	0	0
SS01, SS00 ビット = 10	0	0	0	0	0	0	0	0	0	0	0	0	LTM2	LTM1	LTM0	0	0	0	0

(c) リード/ライト・コマンド時

アドレス端子	A25-A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
SS01, SS00 ビット = 00	a25-a18	a17	a16	a15	a14	a13	a12	a11	0	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0
SS01, SS00 ビット = 01	a25-a18	a17	a16	a15	a14	a13	a12	0	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0
SS01, SS00 ビット = 10	a25-a18	a17	a16	a15	a14	a13	0	a11	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0

(b) 16 ビット・データ・バス幅時

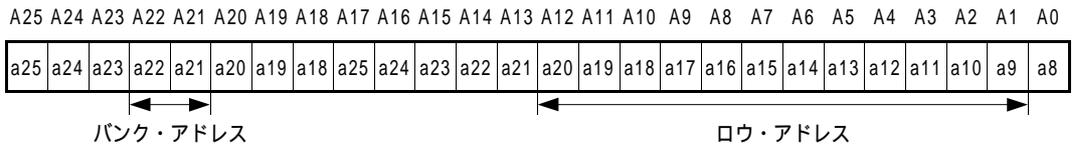
16 ビット・データ・バス幅時に 64M ビット SDRAM (1M ワード × 16 ビット × 4 バンク) を接続する例を次に示します。

- SCRN レジスタ設定内容
 - SSO1, SSO0 = 01 : データ・バス幅 = 16 ビット
 - RAW1, RAW0 = 01 : ロウ・アドレス幅 = 12 ビット
 - SAW1, SAW0 = 00 : カラム・アドレス幅 = 8 ビット

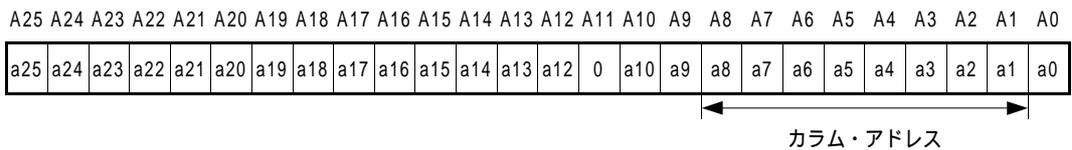
- 物理アドレス
 - A22, A21 : バンク・アドレス
 - A20-A9 : ロウ・アドレス
 - A8-A1 : カラム・アドレス

- NU85E502 からのアドレス出力
 - A22, A21 : バンク・アドレス
 - A12-A1 : ロウ・アドレス (12 ビット) , カラム・アドレス (8 ビット)

アクティブ・コマンド時のロウ・アドレス, バンク・アドレス出力



リード/ライト・コマンド時のカラム・アドレス出力



- NU85E502 と SDRAM の接続
 - A22, A21 (NU85E502) BA0 (A13) , BA1 (A12) (SDRAM)
 - A12-A1 (NU85E502) A11-A0 (SDRAM)

(c) 32 ビット・データ・バス幅時

32 ビット・データ・バス幅時に 128M ビット SDRAM (64M ビット SDRAM (1M ワード×16 ビット×4 バンク)×2) を接続する例を次に示します。

• SCRn レジスタ設定内容

- SSO1, SSO0 = 10 : データ・バス幅 = 32 ビット
- RAW1, RAW0 = 01 : ロウ・アドレス幅 = 12 ビット
- SAW1, SAW0 = 00 : カラム・アドレス幅 = 8 ビット

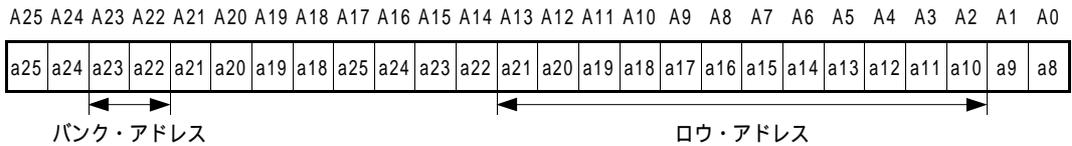
• 物理アドレス

- A23, A22 : バンク・アドレス
- A21-A10 : ロウ・アドレス
- A9-A2 : カラム・アドレス

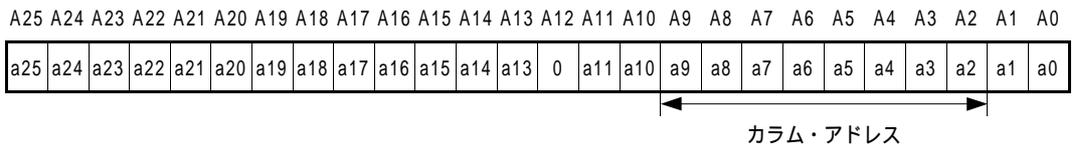
• NU85E502 からのアドレス出力

- A23, A22 : バンク・アドレス
- A13-A2 : ロウ・アドレス (12 ビット) , カラム・アドレス (8 ビット)

アクティブ・コマンド時のロウ・アドレス, バンク・アドレス出力



リード/ライト・コマンド時のカラム・アドレス出力



• NU85E502 と SDRAM の接続

- A23, A22 (NU85E502) BA0 (A13) , BA1 (A12) (SDRAM)
- A13-A2 (NU85E502) A11-A0 (SDRAM)

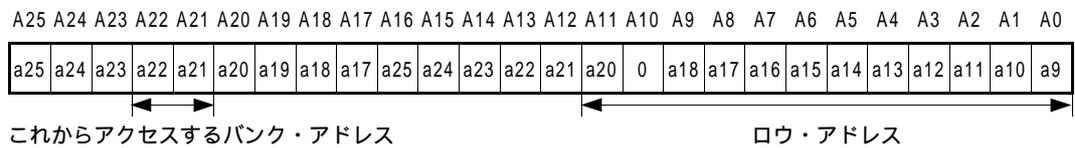
(2) バンク・アドレス出力

NU85E502 はバンク・プリチャージ・コマンドとして、ページ・チェンジ直後のロウ・アドレス出力時にこれからアクセスを行うバンクに対してプリチャージを行います。また、バンク・チェンジ後はカラム・アドレス出力時に前回アクセスしたバンクに対してプリチャージを行います。したがって、ロウ・アドレス出力時も、カラム・アドレス出力時もバンク・プリチャージが行われるため、2.3.1(1)(a) 8ビット・データ・バス幅時で示す内容で接続を行う場合、常に NU85E502 のバンク・アドレスを出力する端子 (A22, A21) を SDRAM のバンク・アドレス端子 (A13, A12) に接続してください。

2.3.1(1)(a) 8ビット・データ・バス幅時で示す内容で接続を行う場合のページ・チェンジとバンク・チェンジ時のバンク・プリチャージ・コマンド時のアドレス出力例を次に示します。

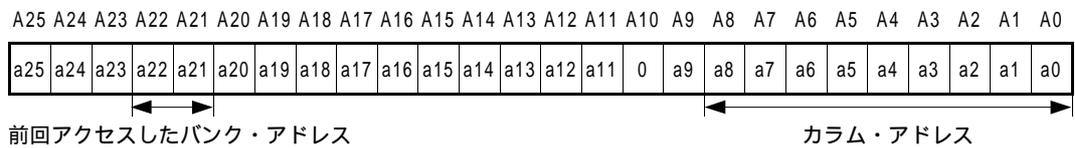
(a) ページ・チェンジ時 (8 ビット・データ・バス幅時)

これからアクセスを行うバンクに対してプリチャージを行うため、NU85E502 の A25-A0 端子から、これからアクセスする物理アドレス (A25-A9) を出力します。



(b) バンク・チェンジ時 (8 ビット・データ・バス幅時)

前回アクセスしたバンクに対してプリチャージを行うため、NU85E502 の A25-A9 端子から前回アクセスした物理アドレス (A25-A9) を出力します。

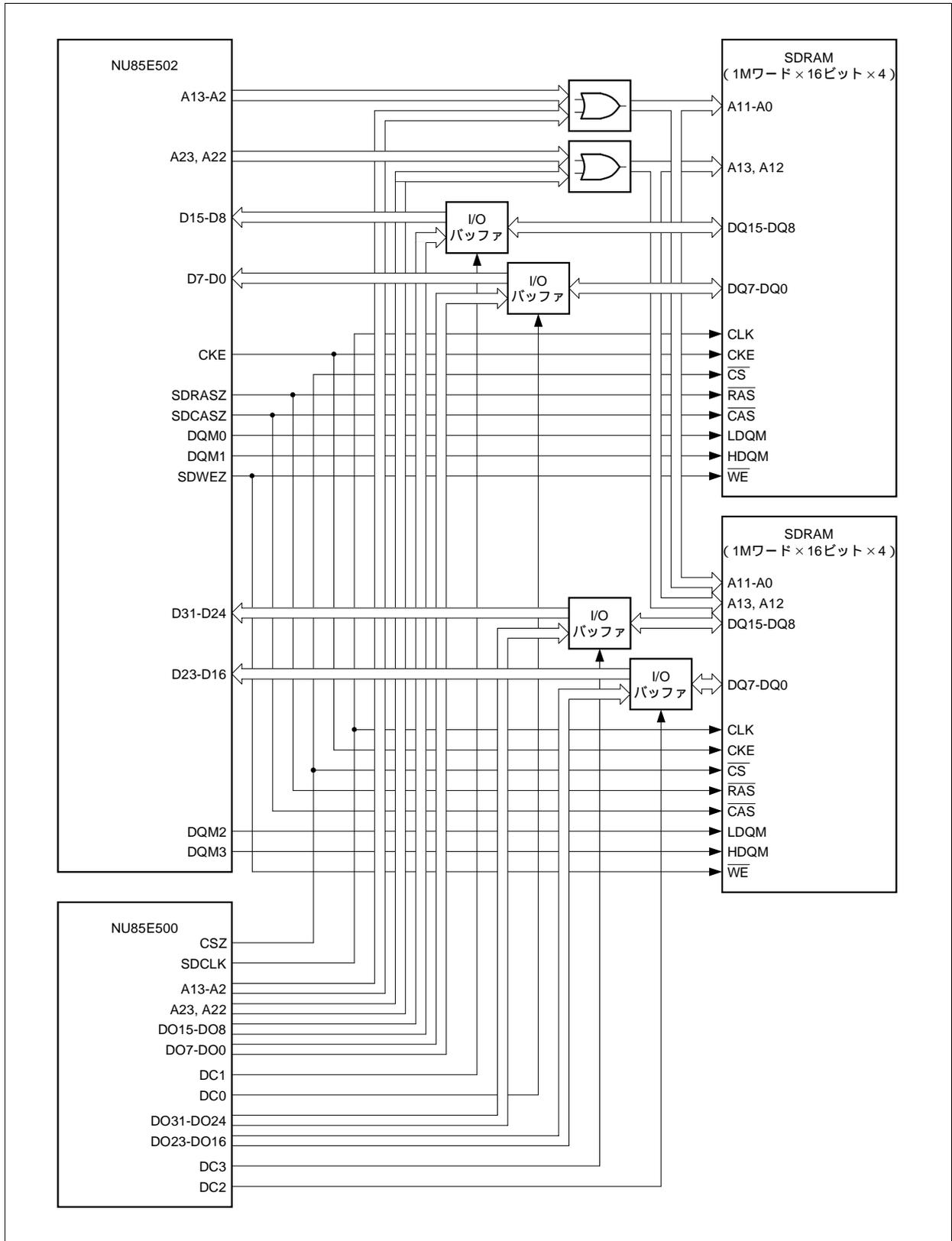


プリチャージ・モードを決定するビット (A10 : 8 ビット・データ・バス幅, A11 : 16 ビット・データ・バス幅, A12 : 32 ビット・データ・バス幅) は、オール・バンク・プリチャージ・コマンド時はハイ・レベル、それ以外のプリチャージではロウ・レベルを出力します。

2.3.2 SDRAM サイクル

(1) 接続例

図2-5 64MビットSDRAMへの接続例



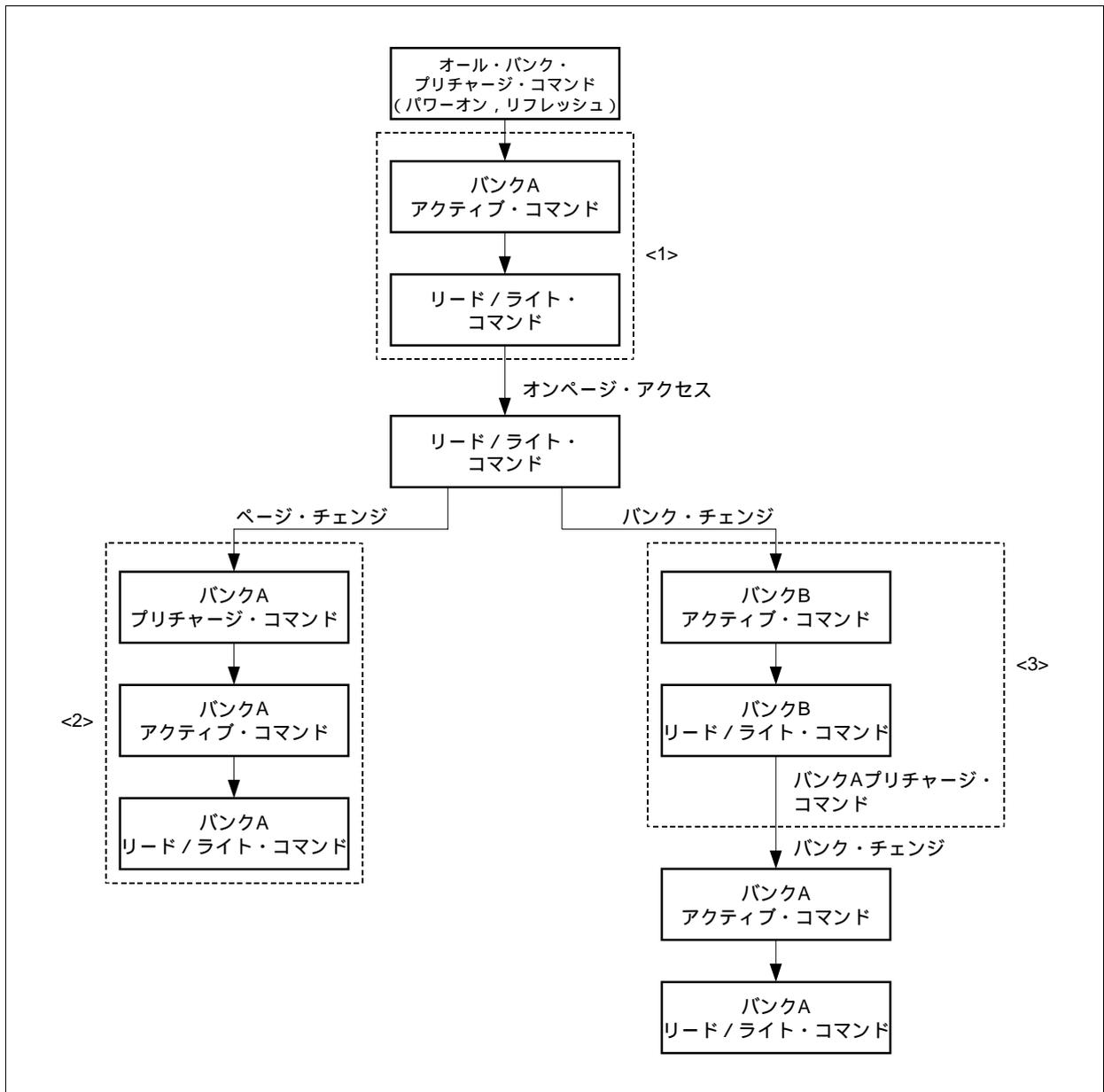
(2) バス・タイミング

パワーオン時やリフレッシュ時は、SDRAM に対して必ずオール・バンク・プリチャージ・コマンドが発行されます。したがって、このあとに SDRAM をアクセスする場合は、アクティブ・コマンド、リード/ライト・コマンドが順に発行されます (図 2-6 の<1>)。

ページ・チェンジが発生した場合は、プリチャージ・コマンド、アクティブ・コマンド、リード/ライト・コマンドが順に発行されます (図 2-6 の<2>)。

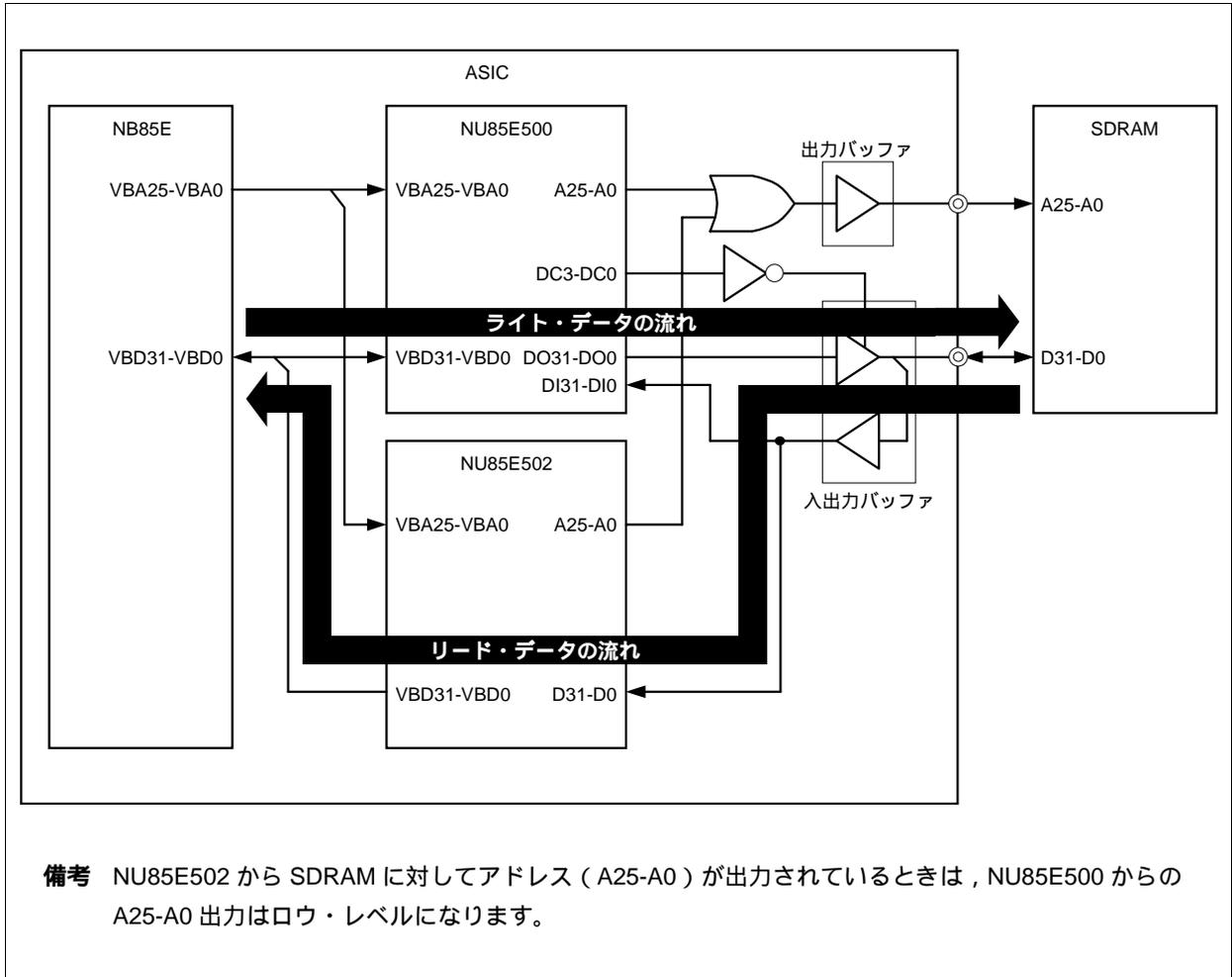
バンク・チェンジが発生した場合は、次にアクセスするバンクに対するアクティブ・コマンド、リード/ライト・コマンドが順に発行され、リード/ライト・コマンドの直後に現在アクセスしているバンクの直前にアクセスしていたバンクに対するプリチャージ・コマンドが発行されます (図 2-6 の<3>)。

図2-6 SDRAMアクセスの状態遷移



SDRAM へのライト・データは NU85E500 から出力され，SDRAM からのリード・データは NU85E502 に入力されます。

図2-7 SDRAMに対するリード/ライト・データの流れ



次に SDRAM リード/ライト時のバス・タイミング例を示します。なお，SDRAM バス・サイクルは次に示す状態で構成されます。

- ALLPRE ステート : オール・バンク・プリチャージ・コマンドのステートです。
- REFW ステート : リフレッシュのウエイト・ステートです。
- REGW ステート : レジスタ・ライト・コマンドのステートです。
- TACT ステート : バンク・アクティブ・コマンドのステートです。
- TBCW ステート : BCW = 2 または BCW = 3 に設定した場合に挿入されるウエイト・ステートです。
- TI ステート : BCC レジスタの設定により挿入されるアイドル・ステートです (リード時のみ挿入されます)。
- TLATE ステート : レイテンシ分のウエイト・ステートです。
- TPREC ステート : バンク・プリチャージ・コマンドのステートです。
- TREAD ステート : リード・コマンドのステートです。
- TREF ステート : リフレッシュ・コマンドのステートです。
- TRPW ステート : レジスタ・ライト・オペレーション後，リード/ライト・サイクルが始まるまでのウエイト・ステートです。
- TW ステート : ウエイト・ステートです。
- TW0 ステート : レジスタ・ライト・オペレーション・スタート前の待機状態を示すウエイト・ステートです。
- TWE ステート : ライト・サイクルの終わりを示すステートです。
- TWPRE ステート : プリチャージを示すステートです。バンクが切り替わるときだけ前回アクセスしたバンクをプリチャージします。
- TWR ステート : ライト・コマンドのステートです。

備考 1. VBTTYP1, VBTTYP0, VBSIZE1, VBSIZE0, VBCTYP2-VBCTYP0, VBSEQ2-VBSEQ0, VBD31-VBD0, VBWAIT, VBAHLT, VBLAST 信号の破線部分のレベルは，NB85E 内部のバス・ホルダがドライブしている不定状態 (Weak unknown) を示します。D31-D0, DO31-DO0 信号の破線部分のレベルは不定です。

2. 印はサンプリング・タイミングを示します。
3. VSB 用信号 (VBxxx, VDxxx) の詳細は **NB85E ユーザーズ・マニュアル ハードウェア編 (A13971J)** を参照してください。
4. BCW : SCRn レジスタの BCW1, BCW0 ビットで設定したウエイト・ステート (n = 7-0)
5. バンク・プリチャージ・コマンド時のアドレス/バンク・アドレス出力は，前回アクセスしたアドレス/バンク・アドレスになります。

図2-8 SDRAMレジスタ・ライト動作タイミング

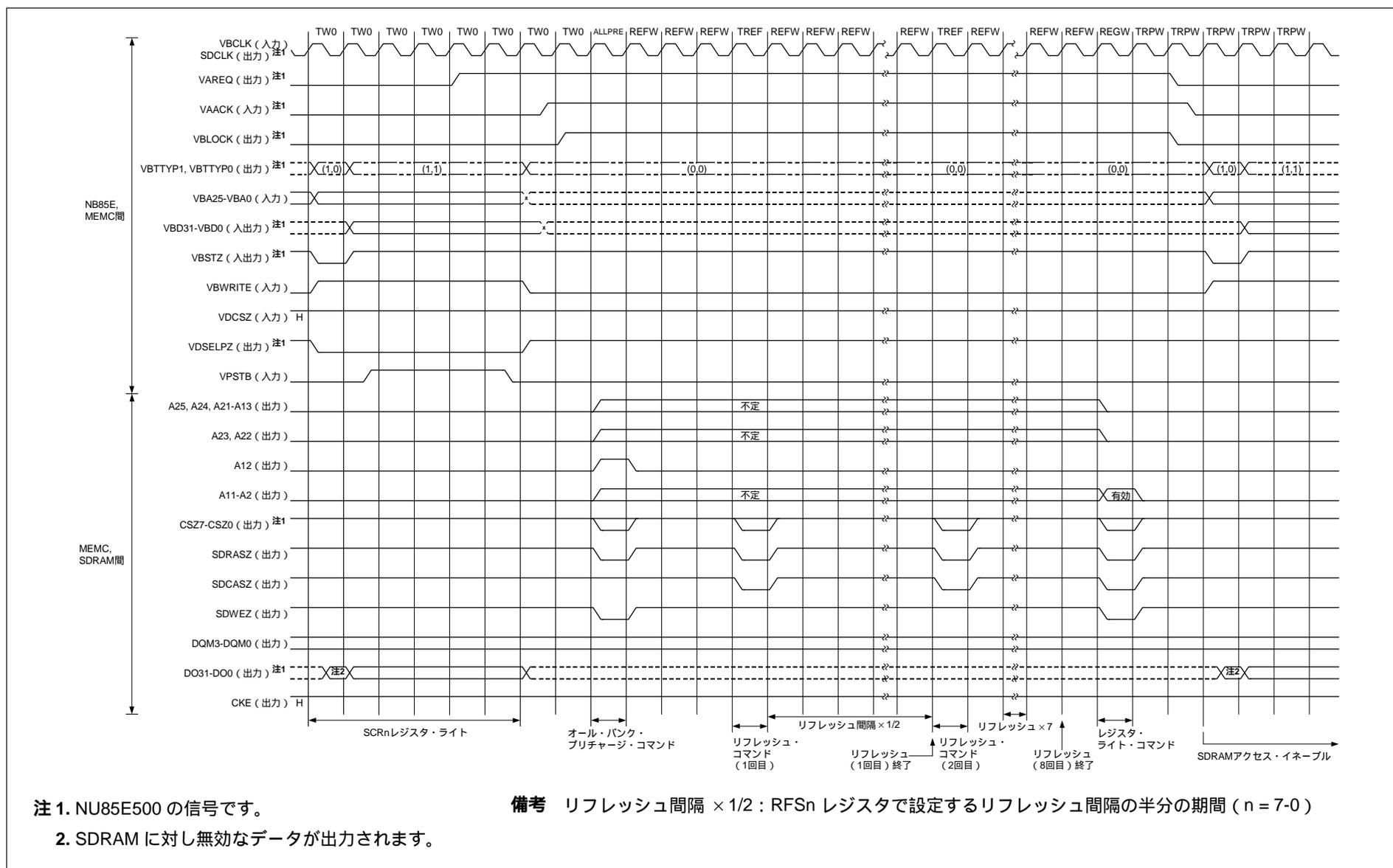
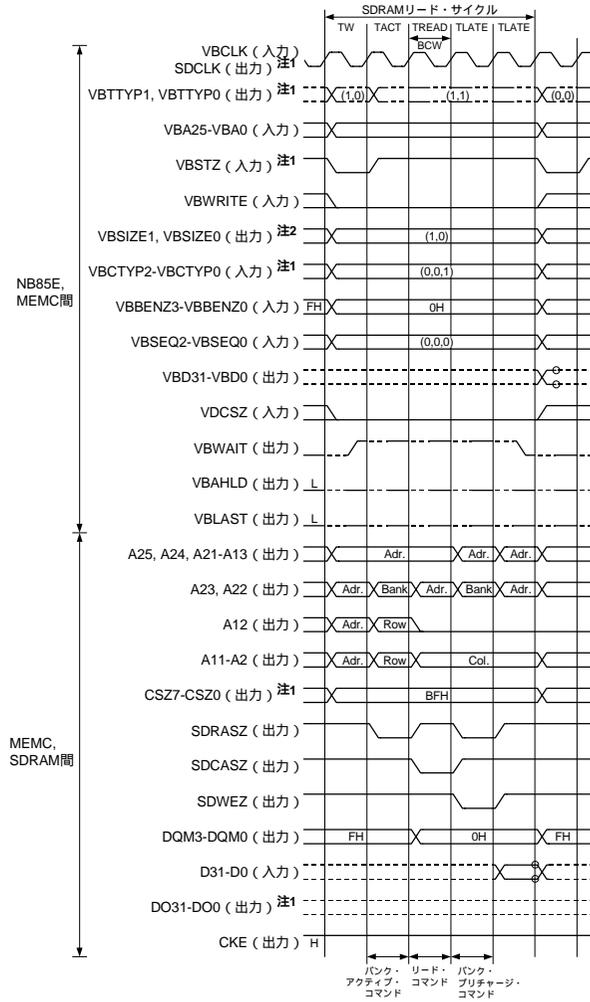


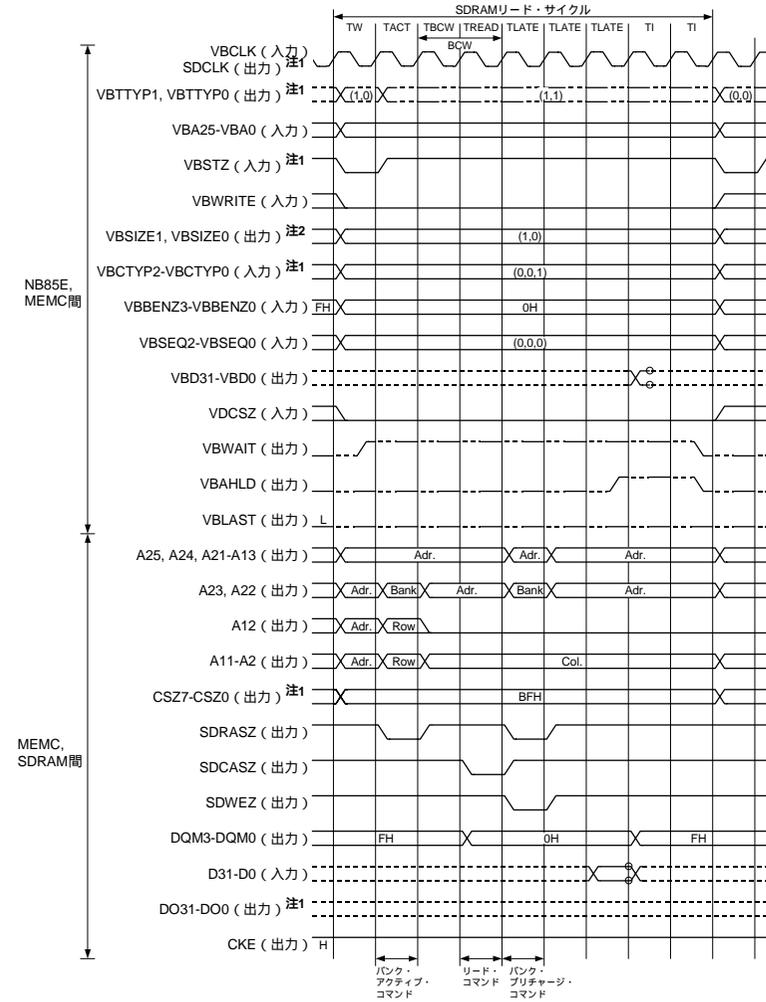
図2 - 9 SDRAMシングル・リード・サイクル(データ・バス幅32ビット, ワード・アクセス) (1/2)

(a) オフページ, バンク・チェンジ, CAS レイテンシ = 2, BCW = 1

(b) オフページ, バンク・チェンジ, CAS レイテンシ = 3, BCW = 2, アイドル・ステート = 2



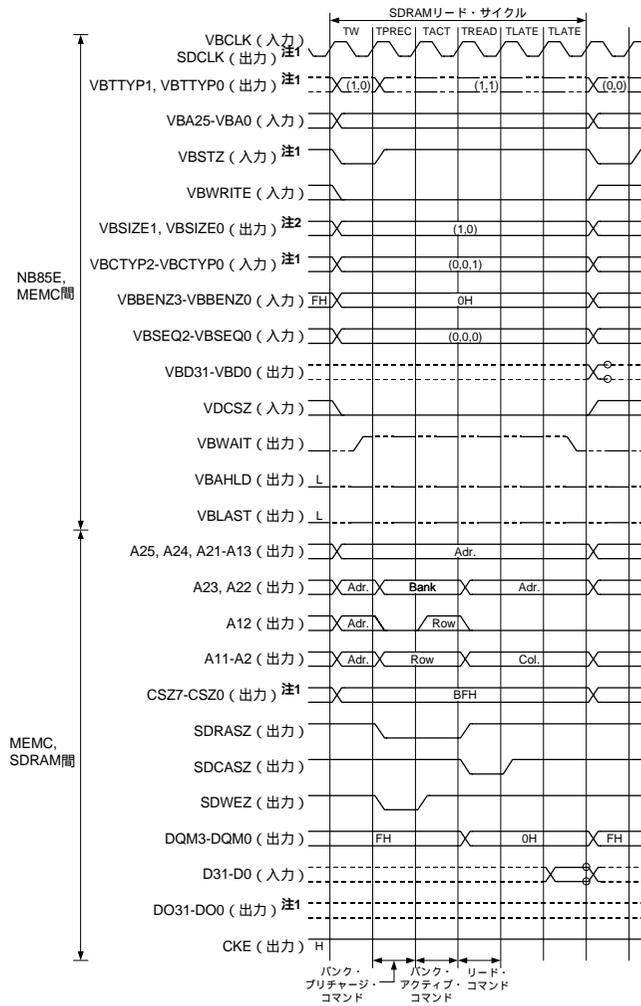
注 1. NU85E500 の信号です。



注 2. NB85E の信号です。MEMC には接続されていません。

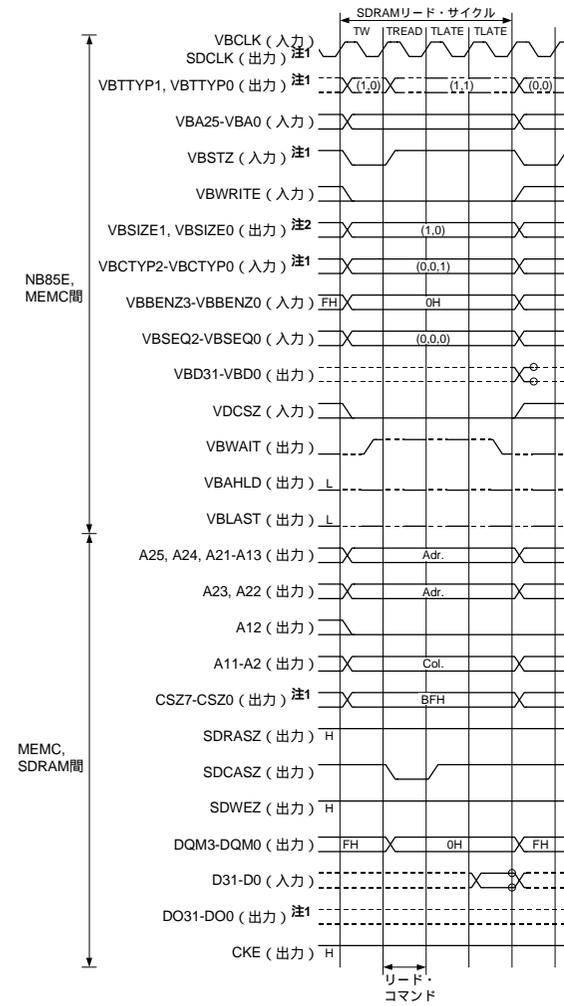
図2 - 9 SDRAMシングル・リード・サイクル (データ・バス幅32ビット, ワード・アクセス) (2/2)

(c) オフページ, ページ・チェンジ



注1. NU85E500 の信号です。

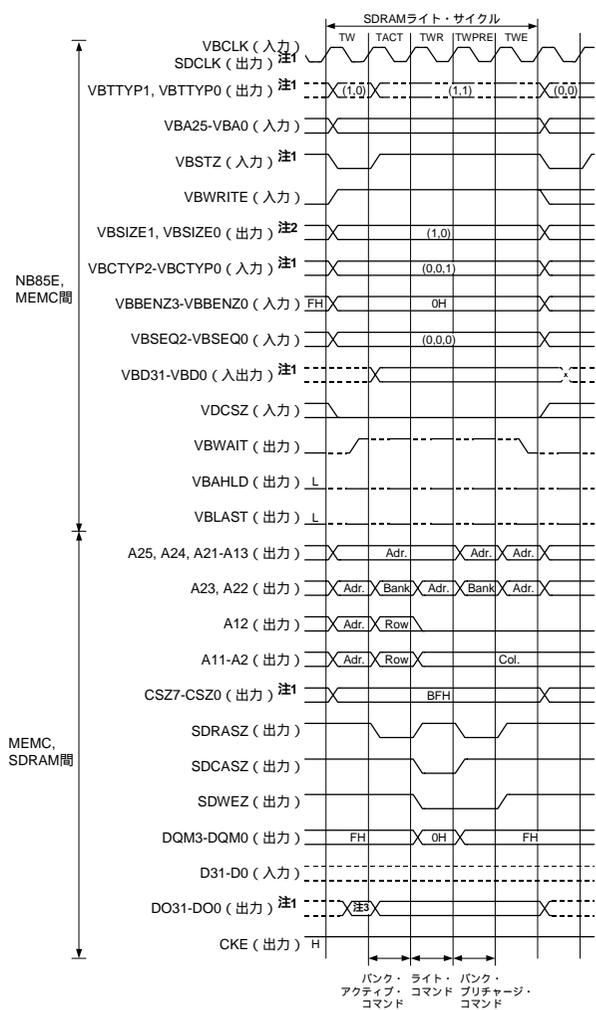
(d) オンページ, CAS レイテンシ = 2



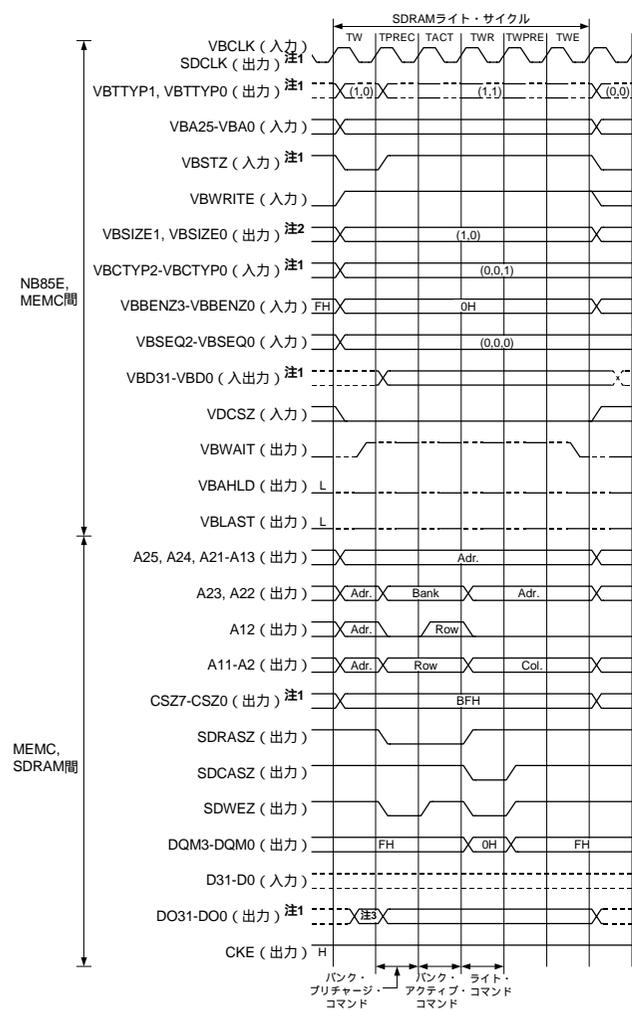
注2. NB85E の信号です。MEMC には接続されていません。

図2 - 10 SDRAMシングル・ライト・サイクル(データ・バス幅32ビット,ワード・アクセス) (1/2)

(a) オフページ, バンク・チェンジ



(b) オフページ, ページ・チェンジ



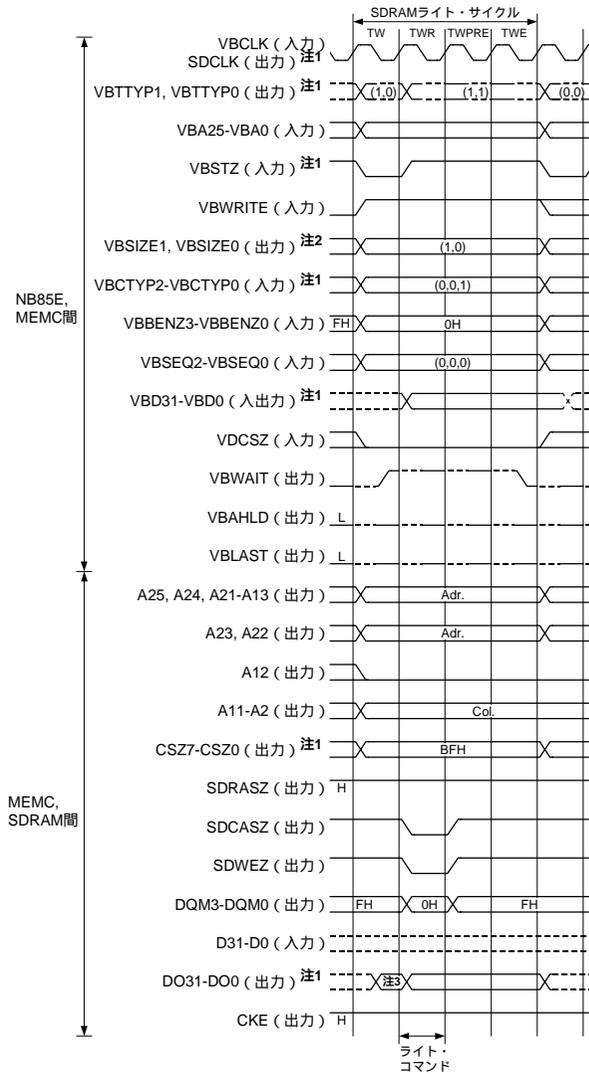
注 1. NU85E500 の信号です。

注 2. NB85E の信号です。MEMC には接続されていません。

注 3. SDRAM に対し無効なデータが出力されます。

図2 - 10 SDRAMシングル・ライト・サイクル(データ・バス幅32ビット, ワード・アクセス) (2/2)

(c) オンページ

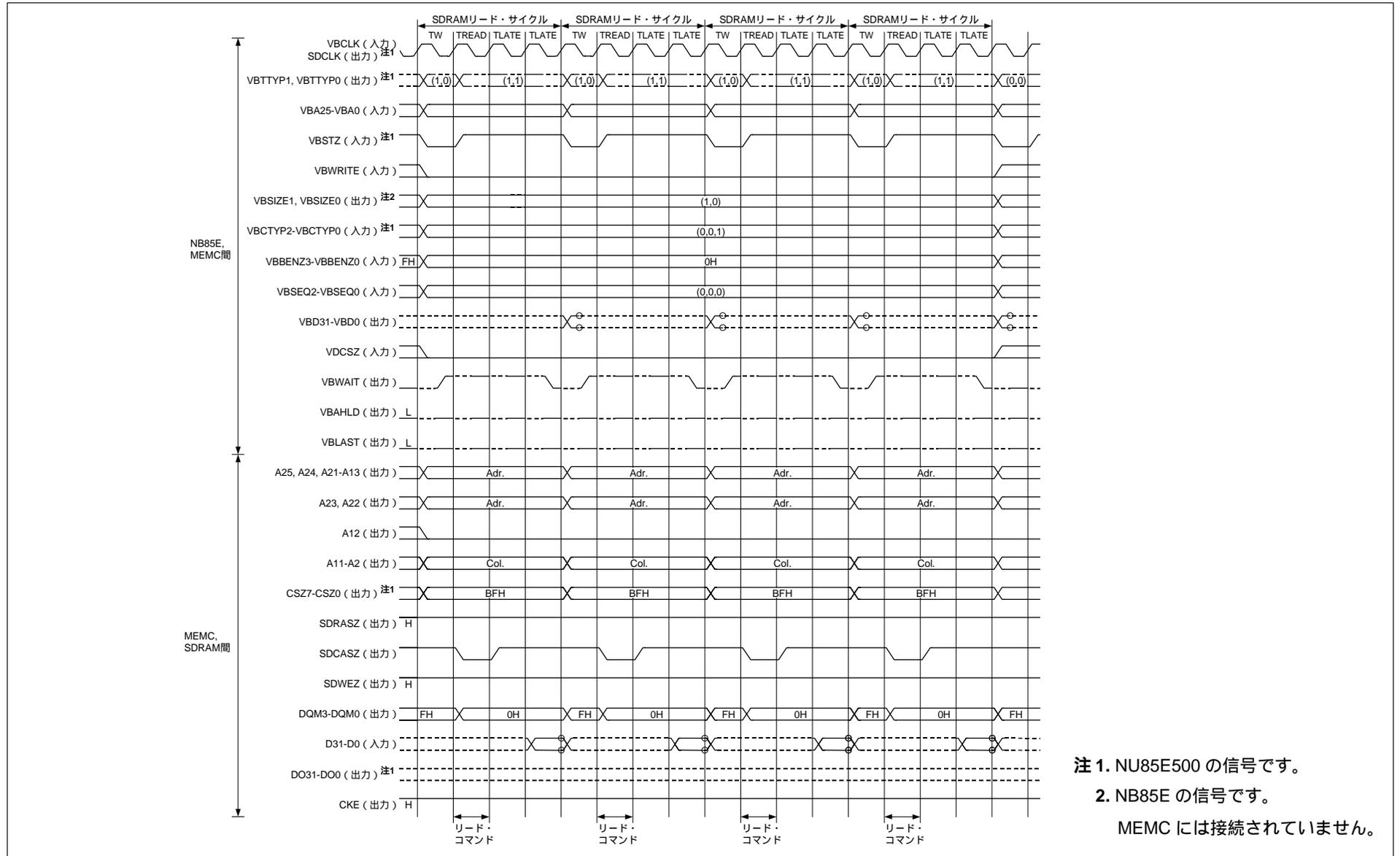


注 1. NU85E500 の信号です。

2. NB85E の信号です。MEMC には接続されていません。

3. SDRAM に対し無効なデータが出力されます。

図2 - 11 SDRAM連続リード・サイクル(データ・バス幅32ビット, ワード・アクセス, オンページ)

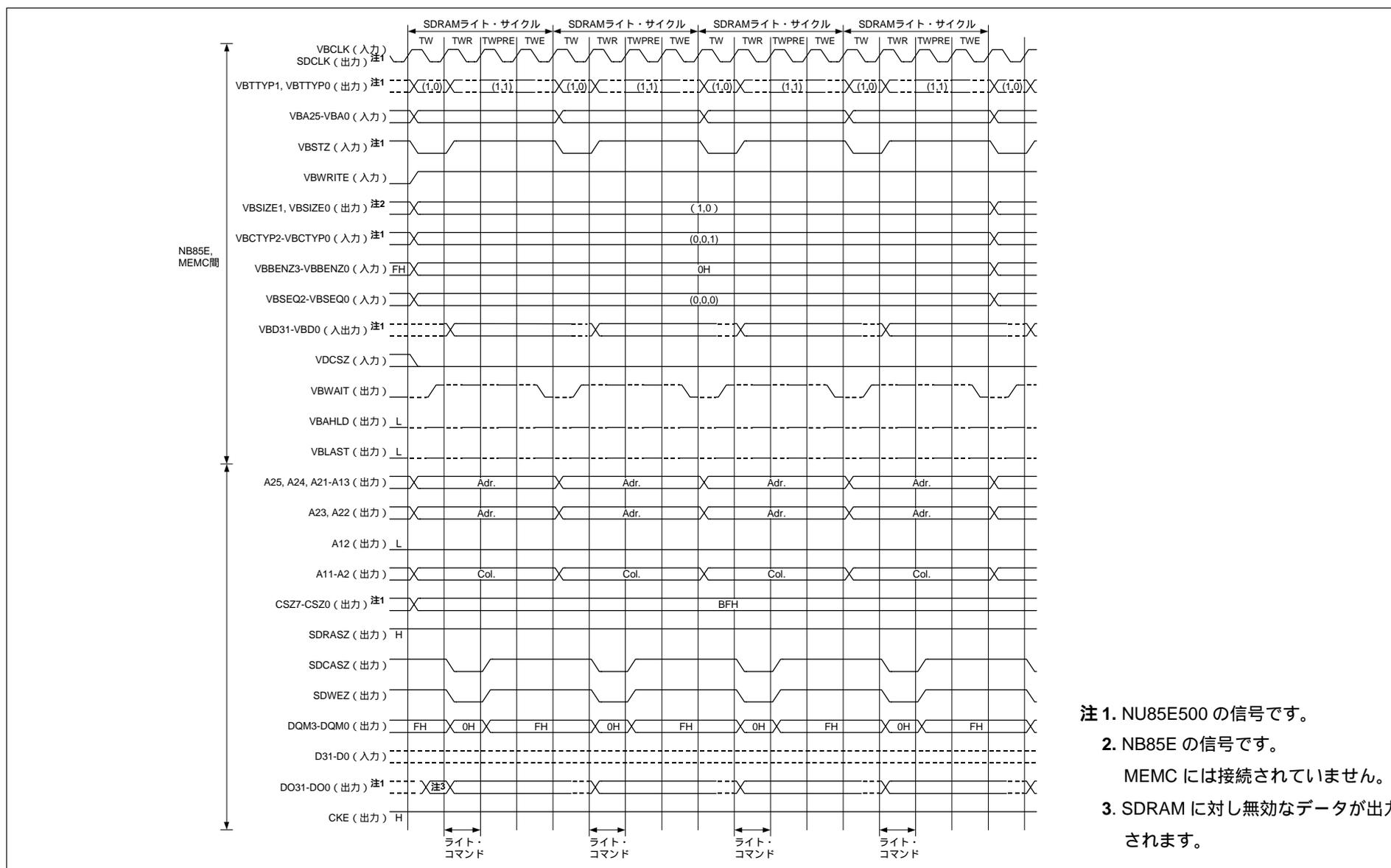


注1. NU85E500 の信号です。

注2. NB85E の信号です。

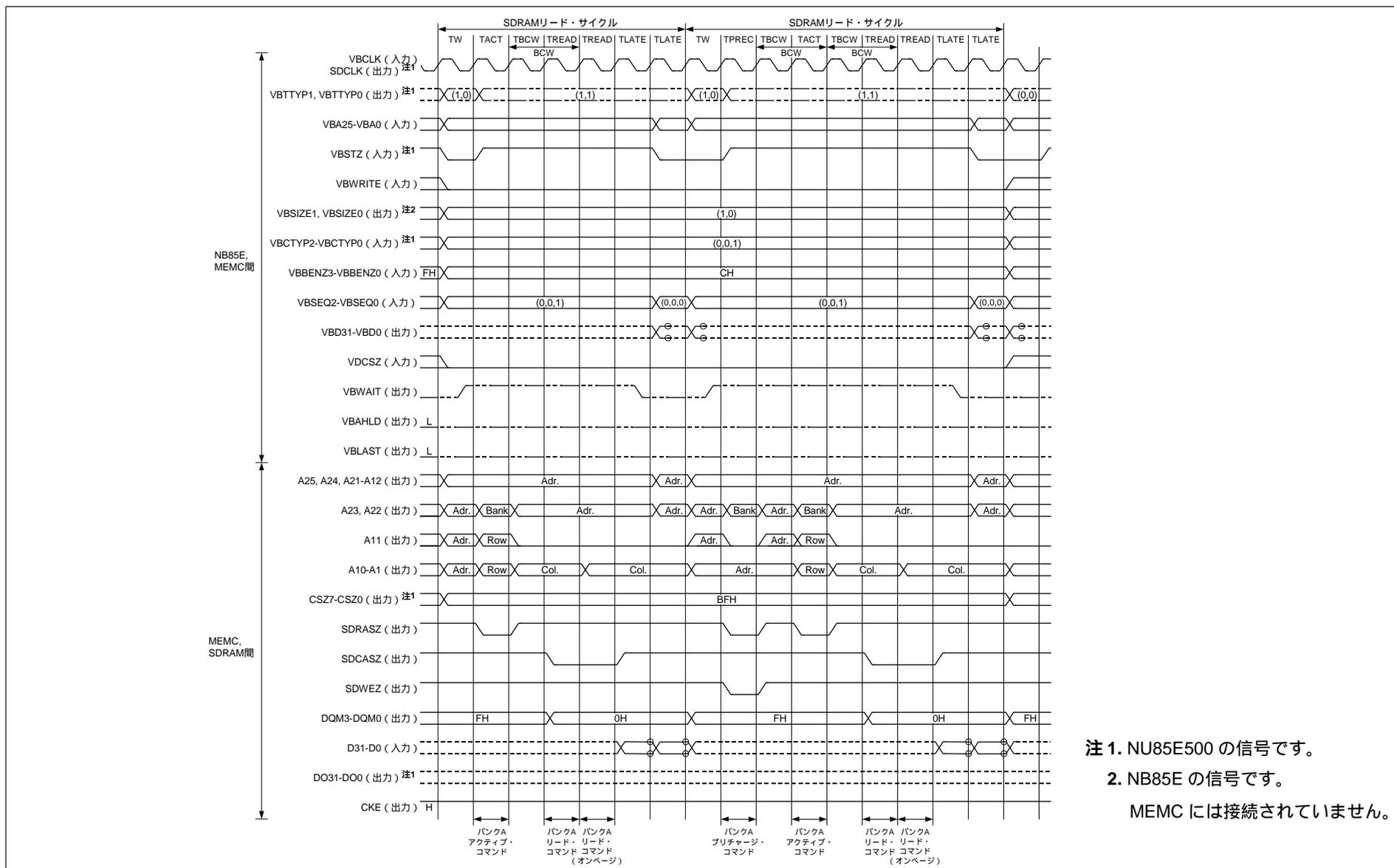
MEMC には接続されていません。

図2 - 12 SDRAM連続ライト・サイクル(データ・バス幅32ビット, ワード・アクセス, オンページ)



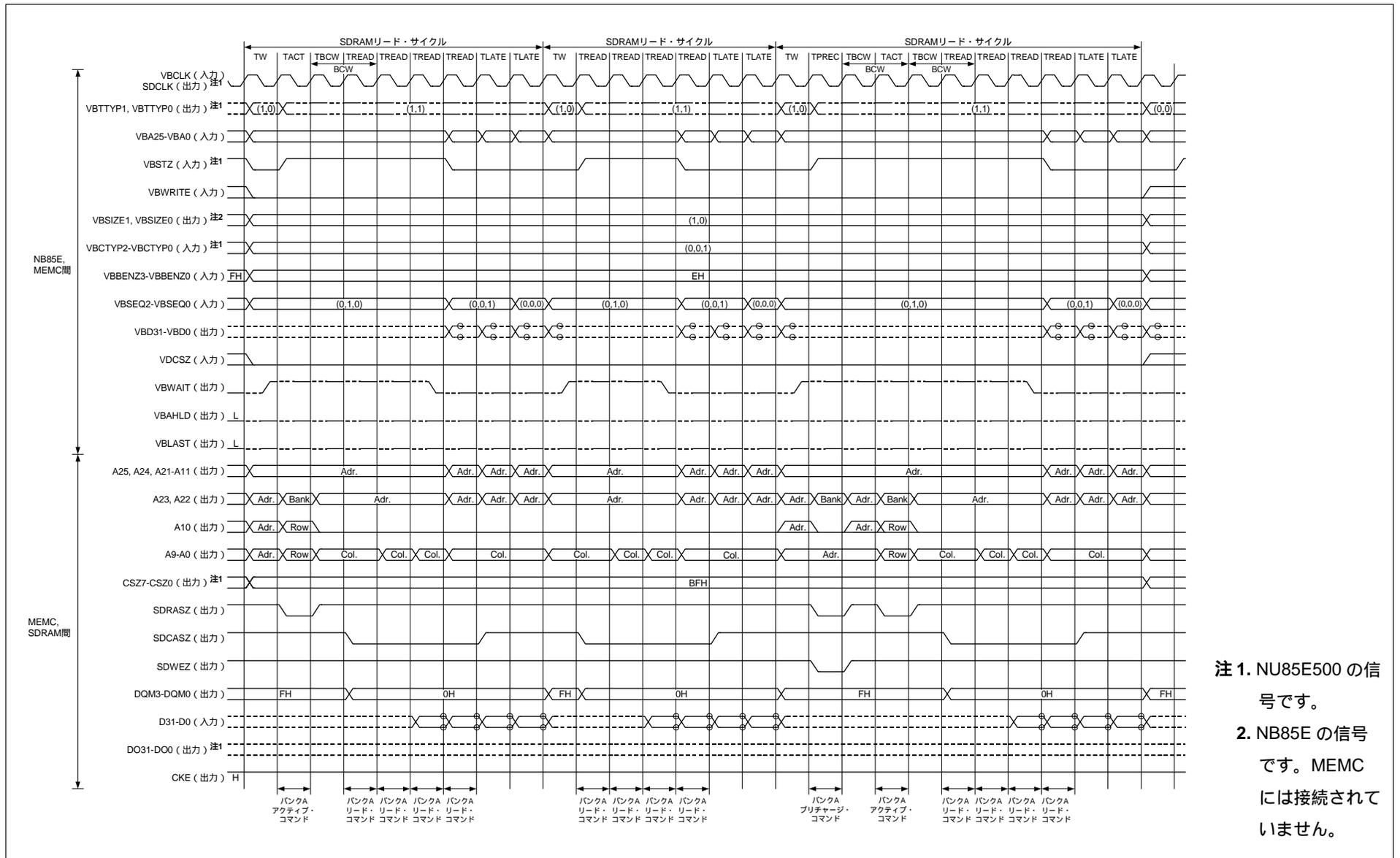
- 注 1. NU85E500 の信号です。
- 2. NB85E の信号です。
MEMC には接続されていません。
- 3. SDRAM に対し無効なデータが出力されます。

図2 - 13 SDRAMシーケンシャル・リード・サイクル(データ・バス幅16ビット,ワード・アクセス,ページ・チェンジ,CASレイテンシ = 2,BCW = 2)



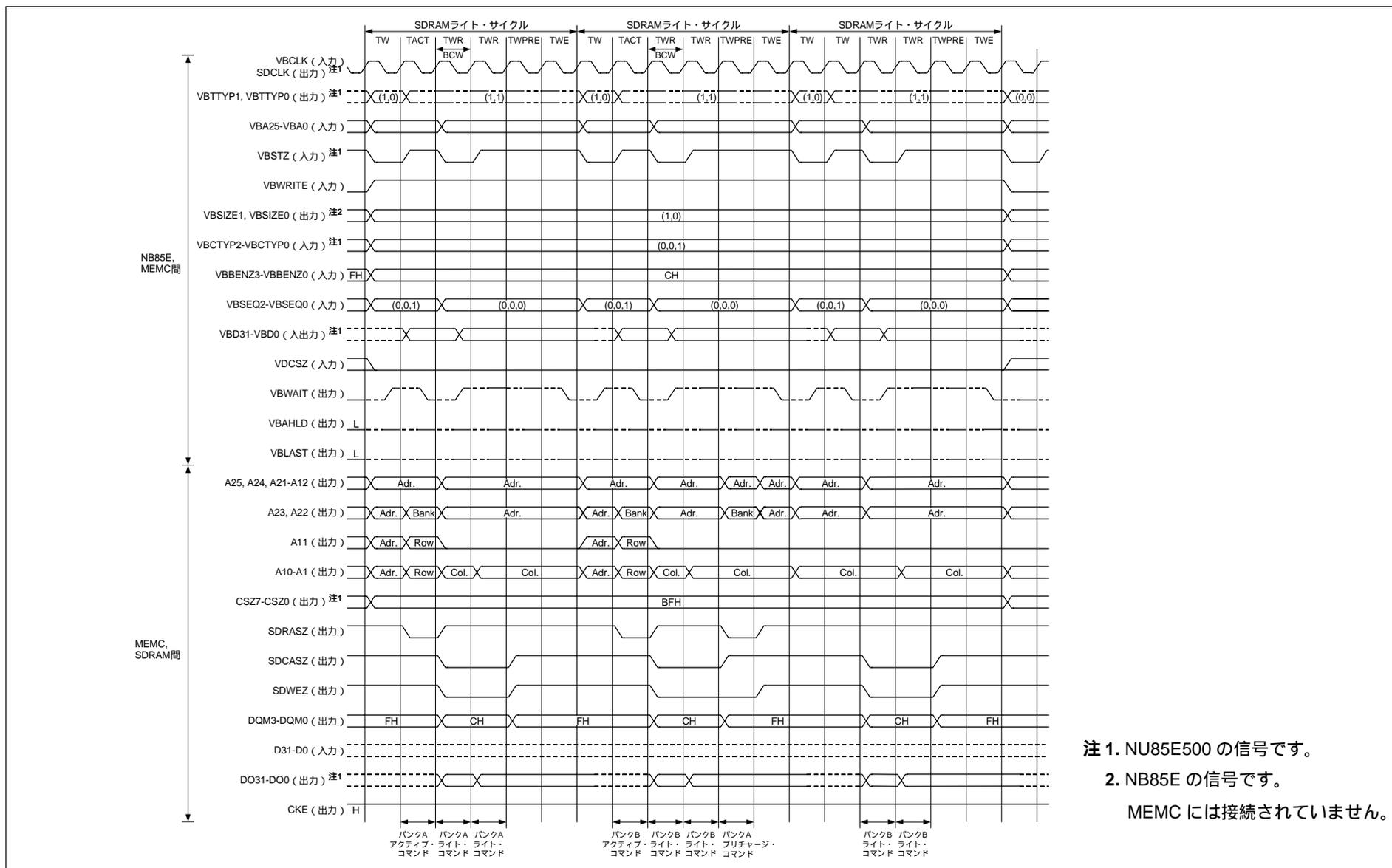
注1. NU85E500 の信号です。
 注2. NB85E の信号です。
 MEMC には接続されていません。

図2 - 14 SDRAMシーケンシャル・リード・サイクル (データ・バス幅8ビット, ワード・アクセス, ページ・チェンジ, CASレイテンシ = 2, BCW = 2)



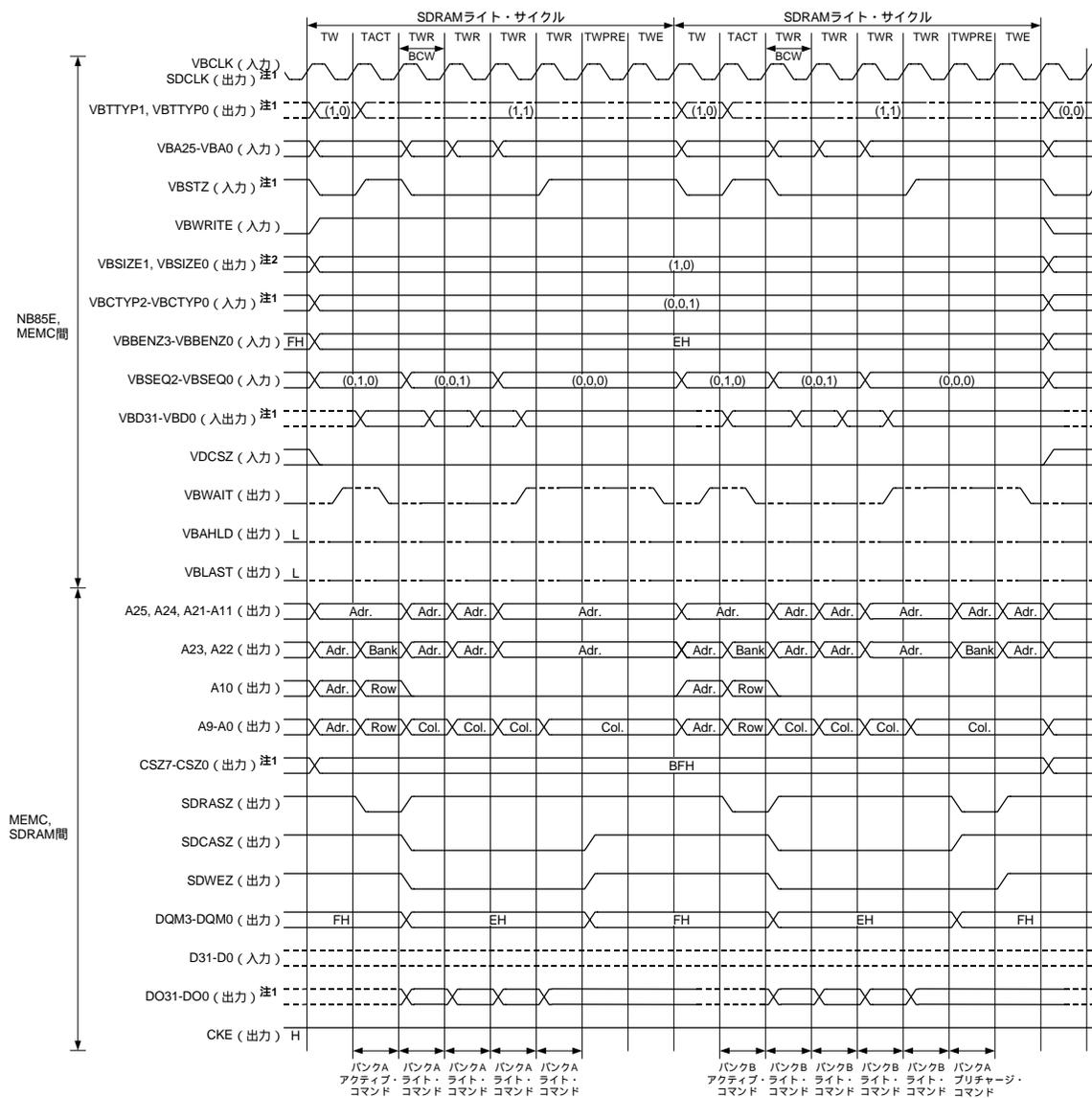
注1. NU85E500 の信号です。
 注2. NB85E の信号です。MEMC には接続されていません。

図2 - 15 SDRAMシーケンシャル・ライト・サイクル(データ・バス幅16ビット,ワード・アクセス,バンク・チェンジ,CASレイテンシ = 2,BCW = 1)



注1. NU85E500 の信号です。
 注2. NB85E の信号です。
 MEMC には接続されていません。

図2 - 16 SDRAMシーケンシャル・ライト・サイクル (データ・バス幅8ビット, ワード・アクセス, バンク・チェンジ, CASレイテンシ = 2, BCW = 1)



注1. NU85E500 の信号です。

2. NB85E の信号です。

MEMC には接続されていません。

2.3.3 SDRAM リフレッシュ・コントロール・レジスタ n (RFSn)

NU85E502 は、SDRAM の CBR リフレッシュ・サイクルとセルフ・リフレッシュ・サイクルを生成できません。

リフレッシュ許可とリフレッシュ間隔をこのレジスタで設定します。

システム上に NU85E502 をいくつか搭載している場合も、CSn 領域ごとに設定できます (n = 7-0)。

このレジスタは 16 ビット単位でリード/ライト可能です。

備考1. レジスタ名の n は CSn 領域番号に対応します。

2. アドレス・デコーダは NU85E500 内にあります。CSn 領域ごとのアドレスは、**NB85E ユーザーズ・マニュアル ハードウェア編 (A13971J)** を参照してください。

図2-17 SDRAMリフレッシュ・コントロール・レジスタn (RFSn) (1/2)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
RFSn	REN	0	0	0	0	RCC	RCC	0	0	RIN	RIN	RIN	RIN	RIN	RIN	FFFFFF4A2H + 4n	0000H

ビット位置	ビット名	意味															
15	REN	リフレッシュの許可を設定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">REN</th> <th style="width: 90%;">リフレッシュ設定</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td>リフレッシュ禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>リフレッシュ許可</td> </tr> </tbody> </table>	REN	リフレッシュ設定	0	リフレッシュ禁止	1	リフレッシュ許可									
REN	リフレッシュ設定																
0	リフレッシュ禁止																
1	リフレッシュ許可																
9, 8	RCC1, RCC0	リフレッシュ・インターバル・カウンタ用ソース・クロック・ファクタを設定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">RCC1</th> <th style="width: 10%;">RCC0</th> <th style="width: 80%;">カウント・ソース・クロック・ファクタ (Cfac)</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>32</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>128</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>256</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>設定禁止</td> </tr> </tbody> </table> <p style="font-size: small; margin-top: 5px;">備考 リフレッシュ・カウント・クロック (Trcy) = Cfac / φ φ : 内部システム・クロック (VBCLK)</p>	RCC1	RCC0	カウント・ソース・クロック・ファクタ (Cfac)	0	0	32	0	1	128	1	0	256	1	1	設定禁止
RCC1	RCC0	カウント・ソース・クロック・ファクタ (Cfac)															
0	0	32															
0	1	128															
1	0	256															
1	1	設定禁止															

備考 n = 7-0

図2 - 17 SDRAMリフレッシュ・コントロール・レジスタn (RFSn) (2/2)

ビット位置	ビット名	意味																																																	
5-0	RIN5- RIN0	リフレッシュ・インターバル・ファクタを設定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>RIN5</th> <th>RIN4</th> <th>RIN3</th> <th>RIN2</th> <th>RIN1</th> <th>RIN0</th> <th>インターバル・ファクタ (Ifac)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>2</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>3</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>4</td> </tr> <tr> <td>:</td> <td>:</td> <td>:</td> <td>:</td> <td>:</td> <td>:</td> <td>:</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>64</td> </tr> </tbody> </table>	RIN5	RIN4	RIN3	RIN2	RIN1	RIN0	インターバル・ファクタ (Ifac)	0	0	0	0	0	0	1	0	0	0	0	0	1	2	0	0	0	0	1	0	3	0	0	0	0	1	1	4	:	:	:	:	:	:	:	1	1	1	1	1	1	64
RIN5	RIN4	RIN3	RIN2	RIN1	RIN0	インターバル・ファクタ (Ifac)																																													
0	0	0	0	0	0	1																																													
0	0	0	0	0	1	2																																													
0	0	0	0	1	0	3																																													
0	0	0	0	1	1	4																																													
:	:	:	:	:	:	:																																													
1	1	1	1	1	1	64																																													

注意 RFSn レジスタの設定を変更する場合は、次の手順で行ってください (n = 7-0)。
 <1> REN ビットをクリア (0) する。
 <2> RCC1, RCC0, RIN5-RIN0 ビットに新たな値を設定するとともに REN ビットをセット (1) する。
 なお、リフレッシュ間隔を切り替える場合、切り替えの間でもリフレッシュが十分間に合うような値を考慮して設定してください。

表2 - 4 SDRAMリフレッシュ間隔例

リフレッシュ間隔の 規定値 (μs)	リフレッシュ・カウン ト・クロック (Trcy)	インターバル・ファクタ (Ifac) 注			
		φ = 20 MHz 時	φ = 33 MHz 時	φ = 50 MHz 時	φ = 66 MHz 時
15.6	32/φ	9 (14.4)	16 (15.5)	24 (15.4)	32 (15.5)
	128/φ	2 (12.8)	4 (15.5)	6 (15.4)	8 (15.5)
	256/φ	1 (12.8)	2 (15.5)	3 (15.4)	4 (15.5)

注 カッコ内はリフレッシュ間隔の計算値 (μs) です。

$$\text{リフレッシュ間隔} (\mu\text{s}) = \text{Trcy} \times \text{Ifac}$$

備考 φ: 内部システム・クロック (VBCLK)

2.3.4 CBR リフレッシュ機能

NU85E502 は、RFSn レジスタに設定したリフレッシュ間隔ごとに CBR リフレッシュ・サイクルを起動します ($n = 7-0$)。

(1) CBR リフレッシュの流れ

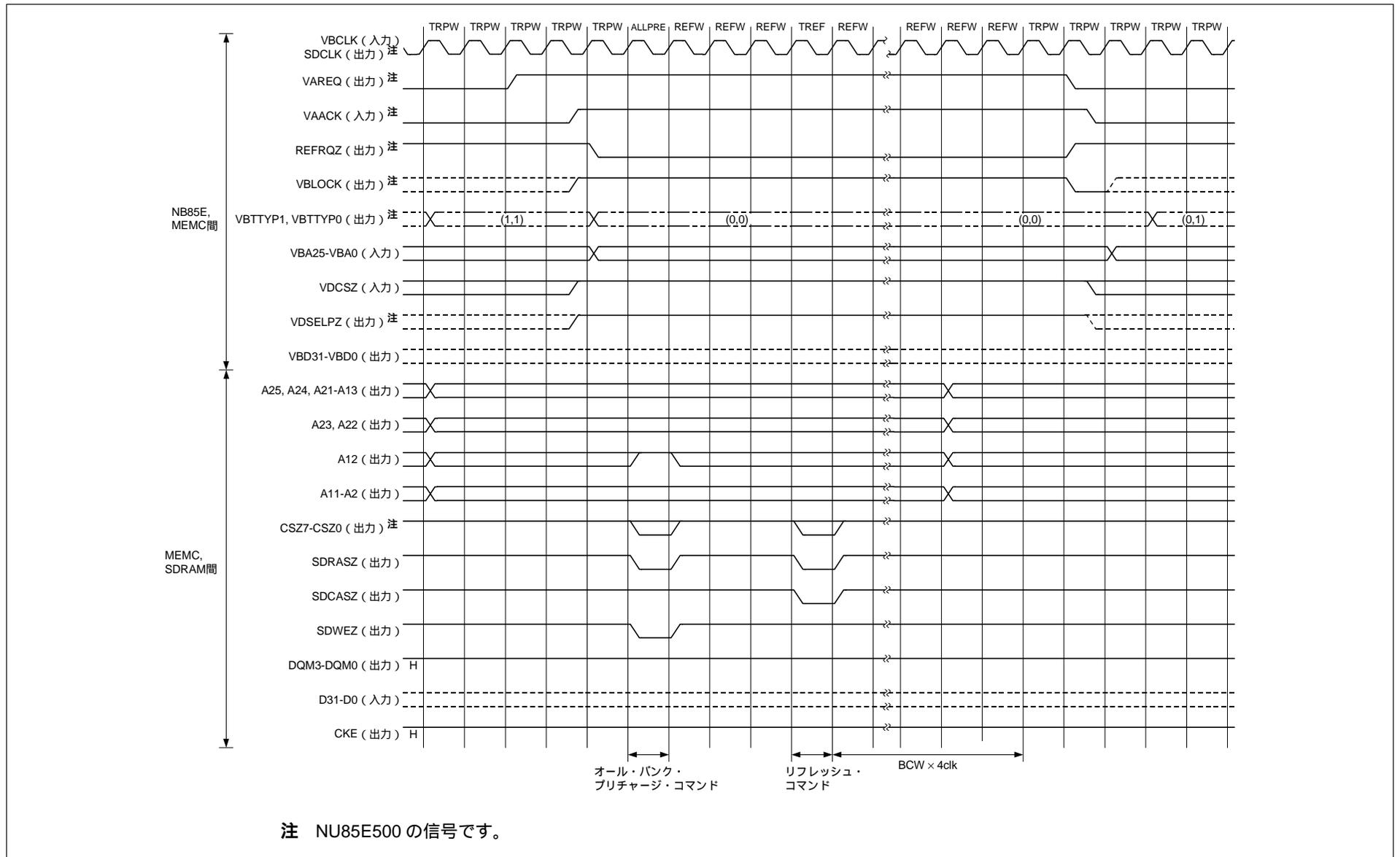
- <1> RFSn レジスタの設定によりリフレッシュ要求が発生すると、NU85E502 から NU85E500 に対して CBR リフレッシュ要求が行われます。
- <2> NU85E500 は NB85E に対して VSB 使用権要求信号 (VAREQ) を出力します。
- <3> NB85E から NU85E500 に VAREQ 信号に対するアックノリッジ信号 (VAACK) を返します。
- <4> NU85E500 は VAACK 信号を受け付けると、次の VBCLK 信号の立ち上がりから REFRQZ 信号をアクティブにし、CBR リフレッシュを開始します。

(2) CBR リフレッシュ・タイミング

次に CBR リフレッシュ・タイミング例を示します。

- 備考1.** 破線部分のレベルは NB85E 内部のバス・ホルダがドライブしている不定状態 (Weak unknown) を示します。
2. VSB 用信号 (VBxxx, VDxxx) の詳細は **NB85E ユーザーズ・マニュアル ハードウェア編 (A13971J)** を参照してください。
 3. $BCW \times 4clk$: SCRn レジスタの BCW1, BCW0 ビットで設定したウェイト・ステート数 $\times 4$ クロック分のウェイトが挿入されます ($n = 7-0$)。

図2 - 18 SDRAM CBRリフレッシュ・タイミング



注 NU85E500 の信号です。

2.3.5 セルフ・リフレッシュ機能

NB85E が STOP モードに移行するか、NU85E500 の SELFREF 信号がアクティブになると、NU85E500 が VSB のバス・マスタとなり、外部 SDRAM のセルフ・リフレッシュ・サイクルを起動します。

(1) セルフ・リフレッシュの流れ

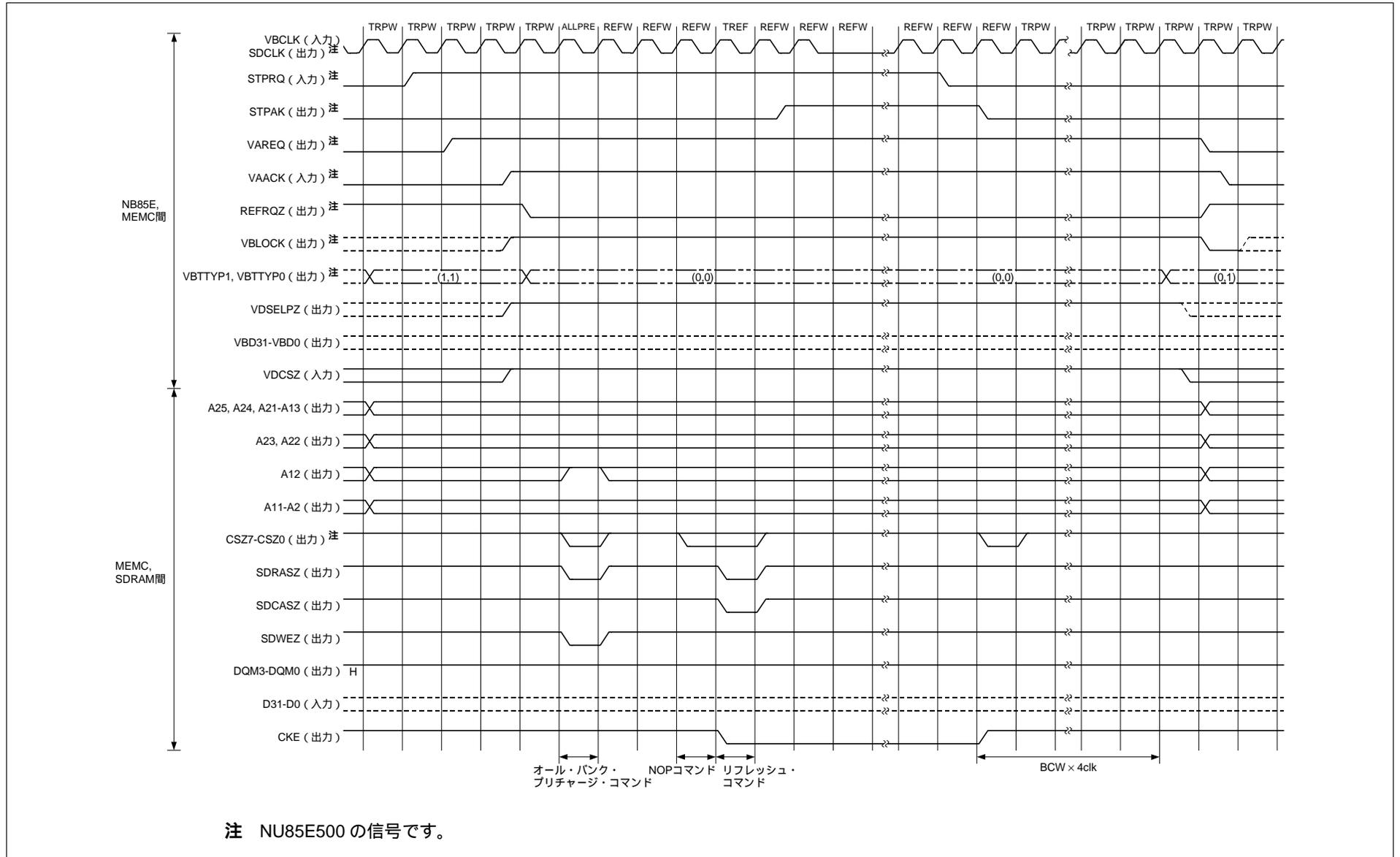
- <1> NB85E から NU85E500 に STOP モード要求信号 (STPRQ) が入力されるか、または外部から NU85E500 にセルフ・リフレッシュ要求信号 (SELFREF) が入力されます。
- <2> NU85E500 は NB85E に対して VSB 使用権要求信号 (VAREQ) を出力します。
- <3> NB85E から NU85E500 に VAREQ 信号に対するアクノリッジ信号 (VAACK) を返します。
- <4> NU85E500 は VAACK 信号を受け付けると、次の VBCLK 信号の立ち上がりから REFRQZ 信号をアクティブにし、セルフ・リフレッシュを開始します。
- <5> すべての SDRAM でセルフ・リフレッシュ状態への移行が完了します。
- <6> NU85E500 は NB85E に対して STPRQ 信号に対するアクノリッジ信号 (STPAK) を返します。
- <7> STPRQ 信号がインアクティブになります。
- <8> セルフ・リフレッシュの中止が始まります。
- <9> すべての SDRAM でセルフ・リフレッシュの中止が完了します。
- <10> VAREQ 信号がインアクティブになります。
- <11> 通常の状態になります。

(2) セルフ・リフレッシュ・タイミング

次にセルフ・リフレッシュ・タイミング例を示します。

- 備考 1.** 破線部分のレベルは NB85E 内部のバス・ホルダがドライブしている不定状態 (Weak unknown) を示します。
- 2.** VSB 用信号 (VBxxx, VDxxx) の詳細は **NB85E ユーザーズ・マニュアル ハードウェア編 (A13971J)** を参照してください。
- 3.** $BCW \times 4clk$: SCRn レジスタの BCW1, BCW0 ビットで設定したウエイト・ステート数 \times 4 クロック分のウエイトが挿入されます ($n = 7-0$)。

図2 - 19 SDRAMセルフ・リフレッシュ・タイミング



注 NU85E500 の信号です。

2.3.6 リフレッシュ機能に関する注意事項

SDRAMのリフレッシュは、SCRnレジスタで設定した間隔で必ず行われるわけではありません。

次に示す場合にリフレッシュ要求が発生すると、バス・サイクルが終了しNB85E500がバス使用権を確保するまで、リフレッシュ要求は保留されます。

(1) NB85E がバス・マスタとして動作し、VSB のバス・サイクルが発生しているとき

次のような場合です。

- VSB を介して NB85E からメモリに命令フェッチ、データ・アクセス (NPB アクセスを含む) を行っているとき
- VSB を使用した DMA 転送中 (シングル転送, シングルステップ転送, ブロック転送の場合は, そのとき行われている 1 回の DMA 転送が終了するまで保留されます。ライン転送の場合は, ライン 1 回分 (4 回の転送) が終了するまで保留されます。)
- 命令キャッシュ, データ・キャッシュへのリフィル中 (ミスヒットが発生し, メモリから VSB へ 1 ライン分のリフィルを行っている場合, 1 ライン分 (4 ワード) のリフィルが終了するまで保留されます。命令キャッシュのオートフィルの場合, リフレッシュ要求が発生したときに行っている 1 ライン分 (4 ワード) のリフィルが終了するまで保留されます (ラインとラインの間で VBLOCK 信号がインアクティブとなるので, 1 ラインごとにバスを解放でき, リフレッシュ要求が受け付けられません)。

(2) 外部バス・マスタによるバス・ホールド状態のとき

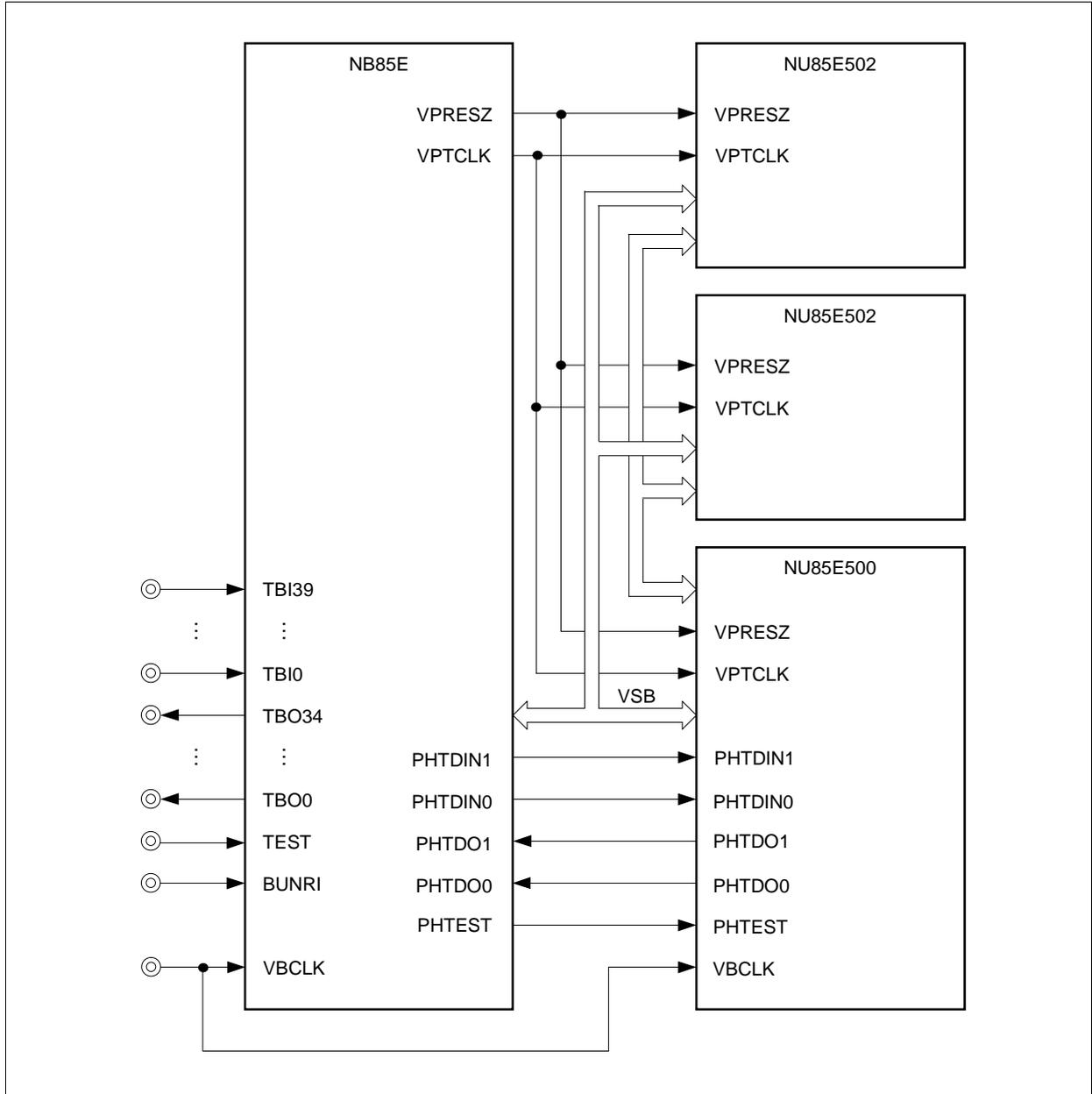
バス・ホールド要求とリフレッシュ要求が競合した場合, バス・ホールド要求が優先されます。バス・ホールド中にリフレッシュ要求が発生した場合, NU85E500 の REFRQZ 信号がアクティブとなり, リフレッシュ要求が発生していることを外部バス・マスタに対して示すことができます。リフレッシュ・サイクルへ移行させる必要がある場合, この信号を用いてバス・ホールド要求を取り下げてください。なお, 外部にバス・マスタとなるものがなく, HLDQRZ 端子がハイ・レベル入力固定の場合は, バス・ホールド要求は発生しないので, バス・ホールドとの競合を考える必要はありません。

2.4 テスト機能

NU85E502 は、NB85E のテスト・モードによりテストできます。

NU85E502 をテストするには、NB85E と次のように接続してください。

図2 - 20 テスト・モードでのNB85EとNU85E502の接続



備考 テスト・モードの詳細については、NB85E ユーザーズ・マニュアル ハードウェア編 (A13971J) を参照してください。

2.4.1 テスト・モード時の各端子の処理

(1) 外部メモリ接続用端子

テスト・モード時も、ノーマル・モードと同様の動作をします。端子状態は、**2.2.4 端子状態**を参照してください。

なお、入力端子 (D31-D0) は入力される値にかかわらず無視されます。

(2) テスト・モード用端子

図 2 - 20 で示すように NB85E に接続してください。

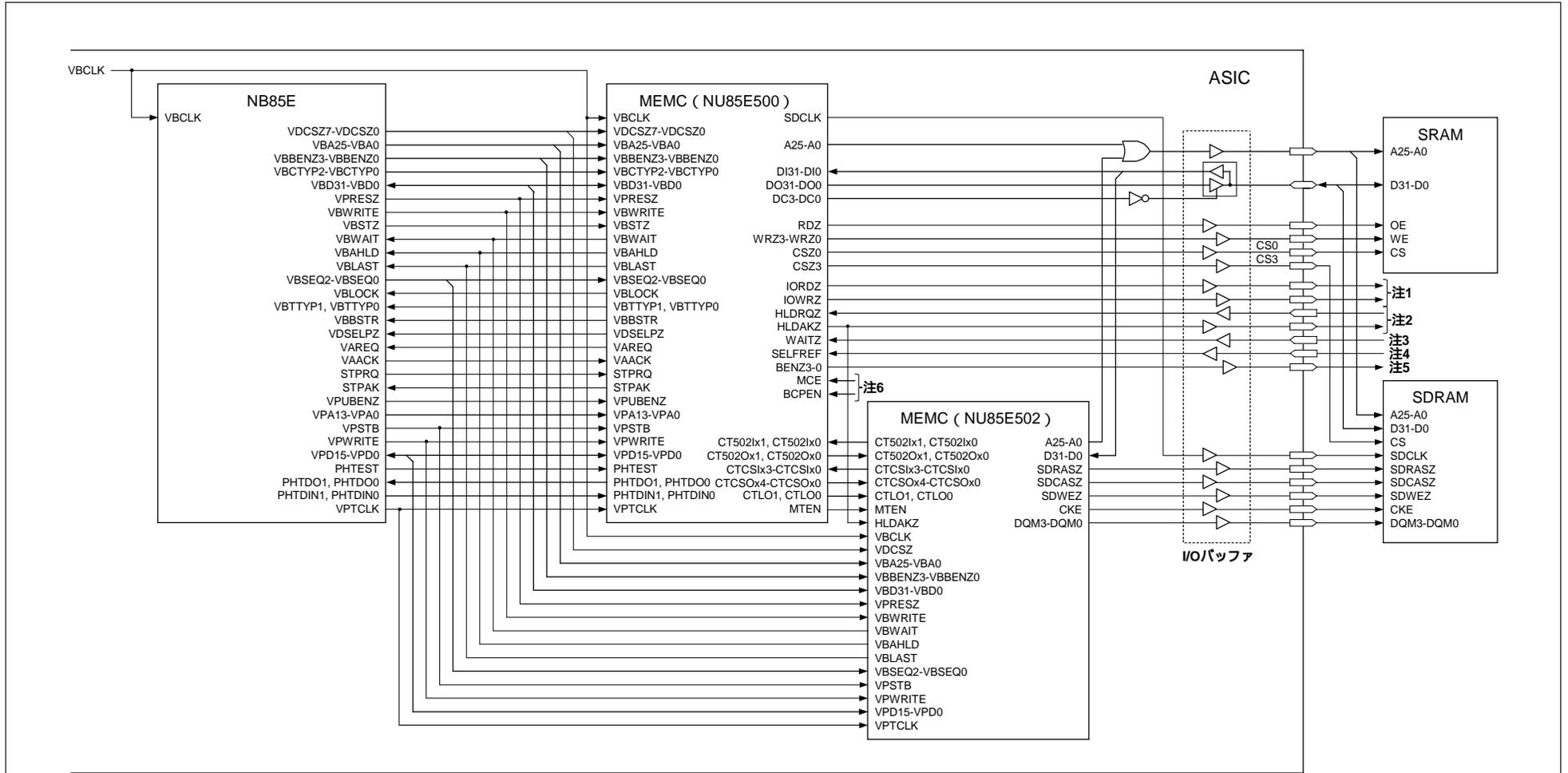
(3) その他の端子

ノーマル・モードと同様にしてください。端子状態は、**2.2.4 端子状態**を参照してください。

付録 A 接続例

次に、NB85E, MEMC (NU85E500, NU85E502), 外部メモリ (SRAM, SDRAM) の接続例を示します。

図A - 1 NB85E , MEMC (NU85E500 , NU85E502) , 外部メモリ (SRAM , SDRAM) の接続例



注1. DMA フライバイ転送時に使用

- 2. バス・ホールド時に使用
- 3. 外部ウェイト制御時に使用

注4. セルフ・リフレッシュ要求時に使用

- 5. バイト・イネーブル使用時
- 6. 初期設定用

付録 B 改版履歴

前版までに改訂された主な箇所を次に示します。なお、「箇所」欄に示すページは、旧版でのページを示しています。

(1) 第1版 第2版

(1/2)

箇所	内容
はじめに	対象 CPU コアに NB85ET を追加
全般	前版での表記「チップ・セレクト」を「CSn 領域」に変更
p.18,20	マルチプレクス・バスに関する記述を削除
p.26,32	MPXEN, ASTBZ, DSTBZ, MPXCZ, RDCYZ, BUSST 端子を NEC の予約端子に変更
p.33	1.2.3 未使用端子の処理 A25-A0, RDZ, WRZ3-WRZ0, IORDZ, IOWRZ, CSZ7-CSZ0, DC3-DC0, D31-D0, CT501In2 (n=7-0) 端子の推奨接続方法を変更
p.34,35	表 1-1 各動作モードでの端子状態 バス・ホールド時の端子状態を追加
p.36	図 1-4 バス・サイクル・タイプ・コンフィギュレーション・レジスタ 0, 1 (BCT0, BCT1) ビット 14, 10, 6, 2 を 0 固定に変更
p.39	1.3.4 データ・ウエイト制御レジスタ 0, 1 (DWC0, DWC1) 備考を修正
p.41	図 1-8 SRAM との接続例 修正
p.42-48	1.3.5 (2) バス・タイミング 変更
p.51	図 1-16 ページ ROM 接続例 (データ・バス幅 16 ビット時) 修正
p.51	図 1-17 ページ ROM 接続例 (データ・バス幅 8 ビット時) 修正
p.52-54	1.3.7 (2) バス・タイミング 変更
p.56	図 1-20 バス・ホールド・タイミング 変更
p.58	図 1-22 SRAM リード・タイミング (バス・サイクル周期 2 倍時) 変更
p.61	1.4.1 (1) 外部メモリ接続用端子 注意と図を変更
p.100	2.2.3 未使用端子の処理 追加
p.100	表 2-1 各動作モードでの端子状態 バス・ホールド時の端子状態を追加
p.102	図 2-4 DRAM コンフィギュレーション・レジスタ n (DRCn) RHD ビットの説明を修正
p.105	図 2-6 64M ビット DRAM との接続例 修正
p.106	図 2-7 16M ビット DRAM との接続例 修正
p.107-121	2.3.2 (2) バス・タイミング 変更

箇所	内容
p.123-126	DRAM リード・タイミングの図を変更
p.131	図 2 - 29 DRAM CBR リフレッシュ・タイミング 変更
p.133	図 2 - 30 DRAM セルフ・リフレッシュ・タイミング 変更
p.145	3. 2. 3 未使用端子の処理 追加
p.146	表 3 - 1 各動作モードでの端子状態 バス・ホールド時の端子状態を追加
p.152-156	3. 3. 2 (2) バス・タイミング 変更
p.159	図 3 - 11 SDRAM CBR リフレッシュ・タイミング 変更
p.161	図 3 - 12 SDRAM セルフ・リフレッシュ・タイミング 変更
p.165,166	付録 接続例 追加

(2) 第 2 版 第 3 版

箇所	内容
全般	<ul style="list-style-type: none"> • SDRAM コントローラの品名を「NB85E502」→「NU85E502」に変更 • DRAM コントローラ (NB85E501) に関する記述を削除
p.16	1. 1. 1 (2) ページ ROM コントローラ 修正
p.32	図 1 - 3 バス・サイクル・タイプ・コンフィギュレーション・レジスタ 0, 1 (BCT0, BCT1) BTn1, BTn0 ビットの説明を修正
p.34	1. 3. 3 バス・サイクル制御レジスタ (BCC) 修正
p.51	1. 3. 8 (1) バス・ホールド手順 修正
p.52	図 1 - 19 バス・ホールド・タイミング 修正
p.68	図 1 - 29 (a) 外部データ・バス : 32 ビット アクセスするアドレス $4n+2$ の 2 回目のデータ転送フローを修正
p.71	図 1 - 30 (a) 外部データ・バス : 32 ビット アクセスするアドレス $4n$ のデータ転送フローのアドレスを修正
p.76	2. 1. 1 特 徴 修正
p.77,80-82,112	HLDKZ 端子に関する記述を追加
p.83	2. 2. 2 (3) (f) CKE, (g) DQM3-DQM0 修正
p.90-103	2. 3. 2 (2) バス・タイミング 変更
p.106	図 2 - 18 SDRAM CBR リフレッシュ・タイミング 変更
p.108	図 2 - 19 SDRAM セルフ・リフレッシュ・タイミング 変更
p.109	2. 3. 5 バス・ホールド機能 追加

(3) 第3版 第4版

箇所	内容
全般	NU85E500 に関する記述を追加
p.15-18	1.1 NB85E500 と NU85E500 の違い 追加
p.37, 92, 111	BCT0, BCT1, SCR0-SCR7, RFS0-RFS7 レジスタに関する注意を追加
p.59	図 1 - 22 バス・ホールド・タイミング バス・ホールド状態を示す矢印の範囲を修正
p.81	NU85E502 の対象 CPU コアに関する説明を追加
p.97	図 2 - 7 SDRAM に対するリード/ライト・データの流れ 修正
p.99-109, 112, 114	SDRAM バス・タイミング例を修正
旧版 p.109	2.3.5 バス・ホールド機能 削除
p.118	図付 - 1 NB85E, MEMC (NU85E500, NU85E502), 外部メモリ (SRAM, SDRAM) の接続例 修正

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話：午前 9:00～12:00，午後 1:00～5:00)

電話 : 044-435-9494
FAX : 044-435-9608
E-mail : info@lsi.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部

東京 (03)3798-6106, 6107,
6108

大阪 (06)6945-3178, 3200,
3208, 3212

広島 (082)242-5504

仙台 (022)267-8740

郡山 (024)923-5591

千葉 (043)238-8116

第二販売事業部

東京 (03)3798-6110, 6111,
6112

立川 (042)526-5981, 6167

松本 (0263)35-1662

静岡 (054)254-4794

金沢 (076)232-7303

松山 (089)945-4149

第三販売事業部

東京 (03)3798-6151, 6155, 6586,
1622, 1623, 6156

水戸 (029)226-1702

前橋 (027)243-6060

鳥取 (0857)27-5313

太田 (0276)46-4014

名古屋 (052)222-2170, 2190

福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【NECエレクトロニクス ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス)

<http://www.ic.nec.co.jp/>

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] メモリ・コントローラ ユーザーズ・マニュアル(暫定) NB85E, NB85ET 編
(A14206JJ5V1UM00 (第5版))

[お名前など] (さしつかえのない範囲で)

御社名(学校名, その他) ()
ご住所 ()
お電話番号 ()
お仕事の内容 ()
お名前 ()

1. ご評価(各欄に をご記入ください)

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他()					
()					

2. わかりやすい所(第 章, 第 章, 第 章, 第 章, その他))
理由 []

3. わかりにくい所(第 章, 第 章, 第 章, 第 章, その他))
理由 []

4. ご意見, ご要望

5. このドキュメントをお届けしたのは
NEC 販売員, 特約店販売員, その他()

ご協力ありがとうございました。

下記あてに FAX で送信いただくか, 最寄りの販売員にコピーをお渡しください。

日本電気(株) NEC エレクトロニクス

半導体テクニカルホットライン

FAX : (044) 435-9608

2000.6