

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

M32C/8Bグループ

ハードウェアマニュアル

ルネサスマイクロコンピュータ

M16Cファミリ／ M32C/80シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したものです。万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなく、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気づきの点等がございましたら弊社営業窓口までご照会ください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電氣的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。
改定内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

M32C/8Bグループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。
最新版はルネサス テクノロジホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	M32C/8Bグループ データシート	RJJ03B0240-0100
ハードウェアマニュアル	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 ※周辺機能の使用方法是アプリケーションノートを参照してください。	M32C/8Bグループ ハードウェアマニュアル	本ハードウェア マニュアル
ソフトウェアマニュアル	CPU命令セットの説明	M32C/80シリーズ ソフトウェアマニュアル	RJJ09B0340-0100
アプリケーションノート	周辺機能の使用法、応用例 参考プログラム アセンブリ言語、C言語による プログラムの作成方法	ルネサス テクノロジホームページに 掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等 に関する速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

(1) レジスタ名、ビット名、端子名

本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。

(例) PM0 レジスタのPM03 ビット

P3_5 端子、VCC 端子

(2) 数の表記

2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。

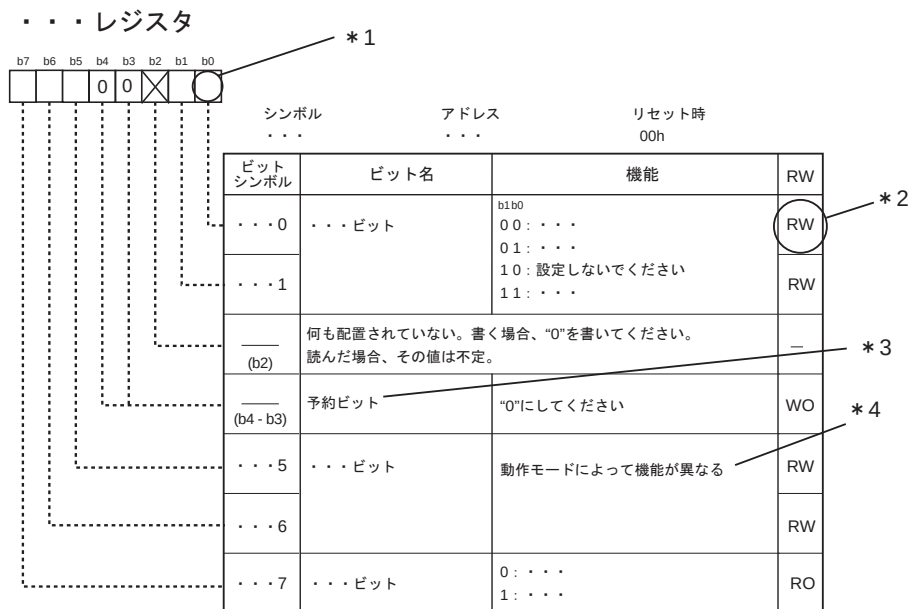
(例) 2進数 : 11b

16進数 : EFA0h

10進数 : 1234

3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。



*1

- 空白 : 用途に応じて“0”または“1”にしてください。
- 0 : “0”にしてください。
- 1 : “1”にしてください。
- × : 何も配置されていないビットです。

*2

- RW : 読むとビットの状態が読めます。書くと有効データになります。
- RO : 読むとビットの状態が読めます。書いた値は無効になります。
- WO : 書くと有効データになります。ビットの状態は読めません。
- : 何も配置されていないビットです。

*3

- ・予約ビット
予約ビットです。指定された値にしてください。

*4

- ・何も配置されていない
該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。
- ・設定しないでください
設定した場合の動作は保証されません。
- ・動作モードによって機能が異なる
周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

4. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	
DMAC	Direct Memory Access Controller	
GSM	Global System for Mobile Communications	
Hi-Z	High Impedance	
IEBus	Inter Equipment bus	NECエレクトロニクス社提唱の通信方式
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線データアソシエーション
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connection	未接続端子
PLL	Phase Locked Loop	位相ロックループ
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺回路制御用レジスタ群
SIM	Subscriber Identity Module	ISO-7816規定のICカード
UART	Universal Asynchronous Receiver/Transmitter	非同期シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。
IEBusは、NECエレクトロニクス株式会社の登録商標です。

目次

番地別ページ早見表	B - 1
1. 概要.....	1
1.1 特長	1
1.1.1 用途	1
1.1.2 仕様概要	2
1.2 製品一覧	6
1.3 ブロック図.....	7
1.4 ピン配置図.....	8
1.5 端子機能の説明	15
2. 中央演算処理装置 (CPU)	18
2.1 基本レジスタ	19
2.1.1 データレジスタ (R0、R1、R2、R3).....	19
2.1.2 アドレスレジスタ (A0、A1).....	19
2.1.3 スタティックベースレジスタ (SB).....	19
2.1.4 フレームベースレジスタ (FB).....	19
2.1.5 プログラムカウンタ (PC).....	19
2.1.6 割り込みテーブルレジスタ (INTB).....	19
2.1.7 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)	19
2.1.8 フラグレジスタ (FLG).....	19
2.2 高速割り込みレジスタ	20
2.3 DMAC 関連レジスタ.....	20
3. メモリ	21
4. SFR.....	22
5. リセット	31
5.1 ハードウェアリセット.....	31
5.1.1 電源安定時.....	31
5.1.2 電源投入時.....	31
5.2 ソフトウェアリセット.....	33
5.3 ウォッチドッグタイマリセット	33
5.4 CPU レジスタの状態	34
6. 電圧監視機能	35
6.1 電圧監視機能の動作	37
7. プロセッサモード.....	38
7.1 プロセッサモードの種類	38
7.2 プロセッサモードの設定	38
8. バス.....	42
8.1 バス設定	42
8.1.1 外部アドレスバスの選択	43
8.1.2 外部データバスの選択.....	43
8.1.3 セパレートバス、マルチプレクスバスの選択.....	43
8.2 バス制御	45

8.2.1	アドレスバス、データバス	45
8.2.2	チップセレクト出力	45
8.2.3	リード出力、ライト出力	47
8.2.4	バスタイミング	48
8.2.5	ALE 出力	56
8.2.6	$\overline{\text{RDY}}$ 入力	56
8.2.7	$\overline{\text{HOLD}}$ 入力	57
8.2.8	内部領域をアクセスしたときの外部バスの状態	58
8.2.9	BCLK 出力	58
8.3	ページモード制御機能	59
9.	クロック発生回路	63
9.1	クロック発生回路の種類	63
9.1.1	メインクロック	73
9.1.2	サブクロック	74
9.1.3	オンチップオシレータクロック	75
9.1.4	PLL クロック	77
9.2	CPU クロックと BCLK	79
9.3	周辺機能クロック	79
9.3.1	f1、f8、f32、f2n	79
9.3.2	fAD	79
9.3.3	fC32	79
9.4	クロック出力機能	80
9.5	パワーコントロール	81
9.5.1	CPU 動作モード	81
9.5.2	ウェイトモード	85
9.5.3	ストップモード	88
9.6	システムクロック保護機能	91
10.	プロテクト	92
11.	割り込み	93
11.1	割り込みの分類	93
11.2	ソフトウェア割り込み	94
11.2.1	未定義命令割り込み	94
11.2.2	オーバフロー割り込み	94
11.2.3	BRK 割り込み	94
11.2.4	BRK2 割り込み	94
11.2.5	INT 命令割り込み	94
11.3	ハードウェア割り込み	95
11.3.1	特殊割り込み	95
11.3.2	周辺機能割り込み	95
11.4	高速割り込み	96
11.5	割り込みと割り込みベクタ	97
11.5.1	固定ベクタテーブル	97
11.5.2	可変ベクタテーブル	97
11.6	割り込み要求の受け付け	100
11.6.1	I フラグと IPL	100
11.6.2	割り込み制御レジスタと RLVL レジスタ	100

11.6.3	割り込みシーケンス	104
11.6.4	割り込み応答時間	105
11.6.5	割り込み要求受け付け時の IPL の変化	106
11.6.6	レジスタ退避	106
11.6.7	割り込みルーチンからの復帰	107
11.6.8	割り込み優先順位	107
11.6.9	割り込み優先レベル判定回路	107
11.7	INT 割り込み	109
11.8	NMI 割り込み	112
11.9	キー入力割り込み	112
11.10	アドレス一致割り込み	113
12.	ウォッチドッグタイマ	114
13.	DMAC	118
13.1	転送サイクル	128
13.1.1	転送元番地と転送先番地の影響	128
13.1.2	DS レジスタの影響	128
13.1.3	ソフトウェアウェイトの影響	128
13.1.4	RDY 信号の影響	128
13.2	DMA の転送時間	129
13.3	チャネル優先順位と DMA 転送タイミング	129
14.	DMACII	131
14.1	DMACII の設定	131
14.1.1	RLVL レジスタ	131
14.1.2	DMACII インデックス	133
14.1.3	周辺機能の割り込み制御レジスタ	135
14.1.4	周辺機能の割り込みベクタ	135
14.2	DMACII の動作	135
14.3	転送データ	135
14.3.1	メモリ間転送	135
14.3.2	即値転送	136
14.3.3	演算転送	136
14.4	転送方式	136
14.4.1	単転送	136
14.4.2	バースト転送	136
14.4.3	複数転送	136
14.5	チェーン転送	137
14.6	転送完了割り込み	137
14.7	実行時間	138
15.	タイマ	139
15.1	タイマ A	141
15.1.1	タイマモード	153
15.1.2	イベントカウンタモード	154
15.1.3	ワンショットタイマモード	159
15.1.4	パルス幅変調モード	161
15.2	タイマ B	164

15.2.1	タイマモード	171
15.2.2	イベントカウンタモード	172
15.2.3	パルス周期測定モード、パルス幅測定モード	173
16.	三相モータ制御用タイマ機能	176
16.1	三角波変調モード	187
16.2	鋸波変調モード	191
16.3	通電防止機能	193
16.3.1	プログラム誤動作による上下同時通電防止機能	193
16.3.2	短絡防止タイマによるアーム短絡防止機能	193
16.3.3	NMI 入力による強制遮断機能	193
17.	シリアルインタフェース	194
17.1	UART0 ~ UART4	195
17.1.1	クロック同期モード	205
17.1.2	クロック非同期モード (UART)	214
17.1.3	特殊モード 1(I2C モード)	222
17.1.4	特殊モード 2	232
17.1.5	特殊モード 3(GCI モード)	237
17.1.6	特殊モード 4(SIM モード)	241
18.	A/D コンバータ	247
18.1	モードの説明	254
18.1.1	単発モード	255
18.1.2	繰り返しモード	256
18.1.3	単掃引モード	257
18.1.4	繰り返し掃引モード 0	258
18.1.5	繰り返し掃引モード 1	259
18.1.6	マルチポート単掃引モード	261
18.1.7	マルチポート繰り返し掃引モード 0	262
18.2	機能	263
18.2.1	分解能	263
18.2.2	サンプル & ホールド	263
18.2.3	トリガ選択機能	263
18.2.4	DMAC 利用モード	263
18.2.5	拡張アナログ入力端子	264
18.2.6	外部オペアンプ接続モード	264
18.2.7	消費電流低減機能	265
18.3	AD0i レジスタ (i=0 ~ 7) の読み出し	265
18.4	A/D 変換時のセンサの出カインピーダンス	266
19.	D/A コンバータ	267
20.	CRC 演算	270
21.	X/Y 変換	272
22.	プログラマブル入出力ポート	275
22.1	ポート Pi 方向レジスタ (PDi レジスタ、i=0 ~ 15)	275

22.2	ポート Pi レジスタ (Pi レジスタ、i=0 ~ 15).....	275
22.3	機能選択レジスタ A(PSj レジスタ、j=0 ~ 3)	275
22.4	機能選択レジスタ B(PSLk レジスタ、k=0 ~ 3)	275
22.5	機能選択レジスタ C(PSC レジスタ)	275
22.6	プルアップ制御レジスタ 0 ~ 4(PUR0 ~ PUR4 レジスタ).....	276
22.7	ポート制御レジスタ (PCR レジスタ)	276
22.8	アナログ入力と他の周辺機能入力	276
23.	フラッシュメモリ	295
23.1	メモリ配置	296
23.2	関連レジスタ	297
23.3	プロテクト機能	300
23.3.1	ロックビットプロテクト機能.....	300
23.3.2	ROM コードプロテクト機能	300
23.3.3	ID コードチェック機能.....	301
23.4	フラッシュメモリ停止機能	302
23.5	ブートモード	303
23.6	フラッシュメモリ書き換えモード.....	303
23.6.1	CPU 書き換えモード.....	304
23.6.2	標準シリアル入出力モード	317
23.6.3	パラレル入出力モード.....	321
24.	電気的特性	322
25.	使用上の注意事項	353
25.1	電源	353
25.1.1	電源立ち上げ.....	353
25.1.2	電源リップル	354
25.1.3	ノイズ対策.....	354
25.2	SFR	355
25.2.1	100 ピン版の注意事項	355
25.2.2	レジスタ設定時の注意事項	355
25.3	プロセッサモード	356
25.4	バス	357
25.4.1	HOLD 入力	357
25.5	クロック発生回路	358
25.5.1	メインクロック	358
25.5.2	サブクロック	358
25.5.3	クロック分周比	358
25.5.4	パワーコントロール	358
25.6	プロテクト.....	361
25.7	割り込み	362
25.7.1	ISP の設定	362
25.7.2	NMI 割り込み.....	362
25.7.3	INT 割り込み	362
25.7.4	割り込み制御レジスタの変更.....	364
25.7.5	RLVL レジスタの変更.....	364
25.8	DMAC	365
25.9	タイマ	366

25.9.1	タイマ A、タイマ B 共通	366
25.9.2	タイマ A	366
25.9.3	タイマ B	368
25.10	三相モータ制御用タイマ機能	369
25.11	シリアルインタフェース	370
25.11.1	UiBRG レジスタ (i=0 ~ 4) の変更	370
25.11.2	クロック同期モード	370
25.11.3	UART モード	370
25.11.4	特殊モード 1(I2C モード)	370
25.12	A/D コンバータ	371
25.13	プログラマブル入出力ポート	373
25.14	フラッシュメモリ	375
25.14.1	動作速度	375
25.14.2	使用禁止命令	375
25.14.3	割り込み (EW0 モード)	375
25.14.4	割り込み (EW1 モード)	375
25.14.5	アクセス方法	375
25.14.6	ユーザ ROM 領域の書き換え (EW0 モード)	375
25.14.7	ユーザ ROM 領域の書き換え (EW1 モード)	375
25.14.8	ブートモード	376
25.14.9	コマンド、データの書き込み	376
25.14.10	ブロックイレーズ	376
25.14.11	ウェイトモード	376
25.14.12	ストップモード	376
25.14.13	低消費電力モード、オンチップオシレータ低消費電力モード	376
付録 1.	外形寸法図	377
索引		378

番地別ページ早見表

番地	レジスタ	シンボル	掲載 ページ
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ 0	PM0	39
0005h	プロセッサモードレジスタ 1	PM1	40
0006h	システムクロック制御レジスタ 0	CM0	65、116
0007h	システムクロック制御レジスタ 1	CM1	66
0008h			
0009h	アドレス一致割り込み許可レジスタ	AIER	113
000Ah	プロテクトレジスタ	PRCR	92
000Bh	外部データバス幅制御レジスタ	DS	42
000Ch	メインクロック分周レジスタ	MCD	67
000Dh	発振停止検出レジスタ	CM2	68
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	117
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	117
0010h			
0011h	アドレス一致割り込みレジスタ 0	RMAD0	113
0012h			
0013h	プロセッサモードレジスタ 2	PM2	70
0014h			
0015h	アドレス一致割り込みレジスタ 1	RMAD1	113
0016h			
0017h	リファレンス電圧設定レジスタ	DVCR	36
0018h			
0019h	アドレス一致割り込みレジスタ 2	RMAD2	113
001Ah			
001Bh	電圧監視レジスタ	LVDC	35
001Ch			
001Dh	アドレス一致割り込みレジスタ 3	RMAD3	113
001Eh			
001Fh	電源回路制御レジスタ	VRRCR	72
0020h			
0021h			
0022h			
0023h			
0024h			
0025h			
0026h	PLL制御レジスタ 0	PLC0	69
0027h			
0028h			
0029h	アドレス一致割り込みレジスタ 4	RMAD4	113
002Ah			
002Bh			
002Ch			
002Dh	アドレス一致割り込みレジスタ 5	RMAD5	113
002Eh			
002Fh			
0030h			
0031h			
0032h			
0033h			
0034h			
0035h			
0036h			
0037h			
0038h			
0039h	アドレス一致割り込みレジスタ 6	RMAD6	113
003Ah			
003Bh			
003Ch			
003Dh	アドレス一致割り込みレジスタ 7	RMAD7	113
003Eh			
003Fh			

空欄はすべて予約領域です。使用できません。

番地	レジスタ	シンボル	掲載 ページ
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h			
0048h	外部領域ウェイト制御レジスタ 0	EWCR0	48
0049h	外部領域ウェイト制御レジスタ 1	EWCR1	
004Ah	外部領域ウェイト制御レジスタ 2	EWCR2	
004Bh	外部領域ウェイト制御レジスタ 3	EWCR3	
004Ch	ページモードウェイト制御レジスタ 0	PWCR0	60
004Dh	ページモードウェイト制御レジスタ 1	PWCR1	61
004Eh			
004Fh			
0050h	フラッシュメモリ制御レジスタ 3	FMR3	298
0051h			
0052h	フラッシュメモリ制御レジスタ 2	FMR2	298
0053h			
0054h			
0055h	フラッシュメモリ制御レジスタ 1	FMR1	299
0056h			
0057h	フラッシュメモリ制御レジスタ 0	FMR0	297
0058h			
0059h	フラッシュメモリ制御レジスタ 4	FMR4	72
005Ah			
005Bh			
005Ch			
005Dh			
005Eh			
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h	DMA0 割り込み制御レジスタ	DM0IC	101
0069h	タイマ B5 割り込み制御レジスタ	TB5IC	
006Ah	DMA2 割り込み制御レジスタ	DM2IC	
006Bh	UART2 受信 / ACK 割り込み制御レジスタ	S2RIC	
006Ch	タイマ A0 割り込み制御レジスタ	TA0IC	
006Dh	UART3 受信 / ACK 割り込み制御レジスタ	S3RIC	
006Eh	タイマ A2 割り込み制御レジスタ	TA2IC	
006Fh	UART4 受信 / ACK 割り込み制御レジスタ	S4RIC	
0070h	タイマ A4 割り込み制御レジスタ	TA4IC	
0071h	UART0 バス衝突検出割り込み制御レジスタ / UART3 バス衝突検出割り込み制御レジスタ	BCN0IC / BCN3IC	
0072h	UART0 受信 / ACK 割り込み制御レジスタ	S0RIC	101
0073h	A/D0 変換割り込み制御レジスタ	AD0IC	
0074h	UART1 受信 / ACK 割り込み制御レジスタ	S1RIC	
0075h			
0076h	タイマ B1 割り込み制御レジスタ	TB1IC	101
0077h			
0078h	タイマ B3 割り込み制御レジスタ	TB3IC	101
0079h			
007Ah	INT5 割り込み制御レジスタ	INT5IC	102
007Bh			
007Ch	INT3 割り込み制御レジスタ	INT3IC	102
007Dh			
007Eh	INT1 割り込み制御レジスタ	INT1IC	102
007Fh			

番地	レジスタ	シンボル	掲載 ページ
0080h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h	DMA1割り込み制御レジスタ	DM1IC	
0089h	UART2送信 / NACK割り込み制御レジスタ	S2TIC	
008Ah	DMA3割り込み制御レジスタ	DM3IC	
008Bh	UART3送信 / NACK割り込み制御レジスタ	S3TIC	
008Ch	タイマA1割り込み制御レジスタ	TA1IC	
008Dh	UART4送信 / NACK割り込み制御レジスタ	S4TIC	
008Eh	タイマA3割り込み制御レジスタ	TA3IC	
008Fh	UART2バス衝突検出割り込み制御レジスタ	BCN2IC	
0090h	UART0送信 / NACK割り込み制御レジスタ	S0TIC	
0091h	UART1バス衝突検出割り込み制御レジスタ / UART4バス衝突検出割り込み制御レジスタ	BCN1IC / BCN4IC	
0092h	UART1送信 / NACK割り込み制御レジスタ	S1TIC	
0093h	キー入力割り込み制御レジスタ	KUPIC	
0094h	タイマB0割り込み制御レジスタ	TB0IC	
0095h			
0096h	タイマB2割り込み制御レジスタ	TB2IC	101
0097h			
0098h	タイマB4割り込み制御レジスタ	TB4IC	101
0099h			
009Ah	INT4割り込み制御レジスタ	INT4IC	102
009Bh			
009Ch	INT2割り込み制御レジスタ	INT2IC	102
009Dh			
009Eh	INT0割り込み制御レジスタ	INT0IC	102
009Fh	復帰用優先順位レジスタ	RLVL	103、132
00A0h			
00A1h			
00A2h			
00A3h			
00A4h			
00A5h			
00A6h			
00A7h			
00A8h			
00A9h			
00AAh			
00ABh			
00ACh			
00ADh			
00AEh			
00AFh			
00B0h			
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h			
00B9h			
00BAh			
00BBh			
00BCh			
00BDh			
～			
02BFh			

空欄はすべて予約領域です。使用できません。

番地	レジスタ	シンボル	掲載 ページ
02C0h			
02C1h	X0レジスタ、Y0レジスタ	X0R、Y0R	
02C2h			
02C3h	X1レジスタ、Y1レジスタ	X1R、Y1R	
02C4h			
02C5h	X2レジスタ、Y2レジスタ	X2R、Y2R	
02C6h			
02C7h	X3レジスタ、Y3レジスタ	X3R、Y3R	
02C8h			
02C9h	X4レジスタ、Y4レジスタ	X4R、Y4R	
02CAh			
02CBh	X5レジスタ、Y5レジスタ	X5R、Y5R	
02CCh			
02CDh	X6レジスタ、Y6レジスタ	X6R、Y6R	
02CEh			
02CFh	X7レジスタ、Y7レジスタ	X7R、Y7R	
02D0h			
02D1h	X8レジスタ、Y8レジスタ	X8R、Y8R	
02D2h			
02D3h	X9レジスタ、Y9レジスタ	X9R、Y9R	
02D4h			
02D5h	X10レジスタ、Y10レジスタ	X10R、Y10R	
02D6h			
02D7h	X11レジスタ、Y11レジスタ	X11R、Y11R	
02D8h			
02D9h	X12レジスタ、Y12レジスタ	X12R、Y12R	
02DAh			
02DBh	X13レジスタ、Y13レジスタ	X13R、Y13R	
02DCh			
02DDh	X14レジスタ、Y14レジスタ	X14R、Y14R	
02DEh			
02DFh	X15レジスタ、Y15レジスタ	X15R、Y15R	
02E0h	X/Y制御レジスタ	XYC	272
02E1h			
02E2h			
02E3h			
02E4h	UART1特殊モードレジスタ4	U1SMR4	200
02E5h	UART1特殊モードレジスタ3	U1SMR3	199
02E6h	UART1特殊モードレジスタ2	U1SMR2	198
02E7h	UART1特殊モードレジスタ	U1SMR	197
02E8h	UART1送受信モードレジスタ	U1MR	196
02E9h	UART1通信速度レジスタ	U1BRG	202
02EAh			
02EBh	UART1送信バッファレジスタ	U1TB	204
02ECh	UART1送受信制御レジスタ0	U1C0	201
02EDh	UART1送受信制御レジスタ1	U1C1	202
02EEh			
02EFh	UART1受信バッファレジスタ	U1RB	204
02F0h			
02F1h			
02F2h			
02F3h			
02F4h	UART4特殊モードレジスタ4	U4SMR4	200
02F5h	UART4特殊モードレジスタ3	U4SMR3	199
02F6h	UART4特殊モードレジスタ2	U4SMR2	198
02F7h	UART4特殊モードレジスタ	U4SMR	197
02F8h	UART4送受信モードレジスタ	U4MR	196
02F9h	UART4通信速度レジスタ	U4BRG	202
02FAh			
02FBh	UART4送信バッファレジスタ	U4TB	204
02FCh			
02FDh	UART4送受信制御レジスタ0	U4C0	201
02FEh	UART4送受信制御レジスタ1	U4C1	202
02FFh			
02FFh	UART4受信バッファレジスタ	U4RB	204

番地	レジスタ	シンボル	掲載 ページ
0300h	タイマB3,B4,B5カウント開始レジスタ	TBSR	169
0301h			
0302h	タイマA11 レジスタ	TA11	185
0303h			
0304h	タイマA21 レジスタ	TA21	
0305h			
0306h	タイマA41 レジスタ	TA41	
0307h			
0308h	三相PWM制御レジスタ0	INVC0	178
0309h	三相PWM制御レジスタ1	INVC1	179
030Ah	三相出力バッファレジスタ0	IDB0	185
030Bh	三相出力バッファレジスタ1	IDB1	
030Ch	短絡防止タイマ	DTT	184
030Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2	183
030Eh			
030Fh			
0310h	タイマB3 レジスタ	TB3	168
0311h			
0312h	タイマB4 レジスタ	TB4	
0313h			
0314h	タイマB5 レジスタ	TB5	
0315h			
0316h			
0317h			
0318h			
0319h			
031Ah			
031Bh	タイマB3モードレジスタ	TB3MR	165
031Ch	タイマB4モードレジスタ	TB4MR	166
031Dh	タイマB5モードレジスタ	TB5MR	167
031Eh			
031Fh	外部割り込み要因選択レジスタ	IFSR	111、203
0320h			
0321h			
0322h			
0323h			
0324h	UART3特殊モードレジスタ4	U3SMR4	200
0325h	UART3特殊モードレジスタ3	U3SMR3	199
0326h	UART3特殊モードレジスタ2	U3SMR2	198
0327h	UART3特殊モードレジスタ	U3SMR	197
0328h	UART3送受信モードレジスタ	U3MR	196
0329h	UART3通信速度レジスタ	U3BRG	202
032Ah	UART3送信バッファレジスタ	U3TB	204
032Bh			
032Ch	UART3送受信制御レジスタ0	U3C0	201
032Dh	UART3送受信制御レジスタ1	U3C1	202
032Eh	UART3受信バッファレジスタ	U3RB	204
032Fh			
0330h			
0331h			
0332h			
0333h			
0334h	UART2特殊モードレジスタ4	U2SMR4	200
0335h	UART2特殊モードレジスタ3	U2SMR3	199
0336h	UART2特殊モードレジスタ2	U2SMR2	198
0337h	UART2特殊モードレジスタ	U2SMR	197
0338h	UART2送受信モードレジスタ	U2MR	196
0339h	UART2通信速度レジスタ	U2BRG	202
033Ah	UART2送信バッファレジスタ	U2TB	204
033Bh			
033Ch	UART2送受信制御レジスタ0	U2C0	201
033Dh	UART2送受信制御レジスタ1	U2C1	202
033Eh	UART2受信バッファレジスタ	U2RB	204
033Fh			

空欄はすべて予約領域です。使用できません。

番地	レジスタ	シンボル	掲載 ページ
0340h	カウント開始レジスタ	TABSR	150,169,186
0341h	時計用プリスケアラセットレジスタ	CPSRF	71
0342h	ワンショット開始レジスタ	ONSF	151
0343h	トリガ選択レジスタ	TRGSR	149、182
0344h	アップダウン選択レジスタ	UDF	148
0345h			
0346h	タイマA0レジスタ	TA0	147
0347h			
0348h	タイマA1レジスタ	TA1	147 185
0349h			
034Ah	タイマA2レジスタ	TA2	147 185
034Bh			
034Ch	タイマA3レジスタ	TA3	147
034Dh			
034Eh	タイマA4レジスタ	TA4	147 185
034Fh			
0350h	タイマB0レジスタ	TB0	168
0351h			
0352h	タイマB1レジスタ	TB1	168 184
0353h			
0354h	タイマB2レジスタ	TB2	143 144 145 146
0355h			
0356h	タイマA0モードレジスタ	TA0MR	165 166 167
0357h	タイマA1モードレジスタ	TA1MR	
0358h	タイマA2モードレジスタ	TA2MR	
0359h	タイマA3モードレジスタ	TA3MR	
035Ah	タイマA4モードレジスタ	TA4MR	183
035Bh	タイマB0モードレジスタ	TB0MR	
035Ch	タイマB1モードレジスタ	TB1MR	
035Dh	タイマB2モードレジスタ	TB2MR	
035Eh	タイマB2特殊モードレジスタ	TB2SC	71、142
035Fh	カウントソースプリスケアラレジスタ	TCSPR	
0360h			
0361h			
0362h			
0363h			
0364h	UART0特殊モードレジスタ4	U0SMR4	200
0365h	UART0特殊モードレジスタ3	U0SMR3	199
0366h	UART0特殊モードレジスタ2	U0SMR2	198
0367h	UART0特殊モードレジスタ	U0SMR	197
0368h	UART0送受信モードレジスタ	U0MR	196
0369h	UART0通信速度レジスタ	U0BRG	202
036Ah	UART0送信バッファレジスタ	U0TB	204
036Bh			
036Ch	UART0送受信制御レジスタ0	U0C0	201
036Dh	UART0送受信制御レジスタ1	U0C1	202
036Eh	UART0受信バッファレジスタ	U0RB	204
036Fh			
0370h			
0371h			
0372h			
0373h			
0374h			
0375h			
0376h			
0377h			
0378h	DMA0要因選択レジスタ	DM0SL	120
0379h	DMA1要因選択レジスタ	DM1SL	
037Ah	DMA2要因選択レジスタ	DM2SL	
037Bh	DMA3要因選択レジスタ	DM3SL	
037Ch	CRCデータレジスタ	CRCD	270
037Dh			
037Eh	CRCインプットレジスタ	CRCIN	
037Fh			

番地	レジスタ	シンボル	掲載 ページ
0380h	A/D0 レジスタ 0	AD00	253
0381h			
0382h	A/D0 レジスタ 1	AD01	
0383h			
0384h	A/D0 レジスタ 2	AD02	
0385h			
0386h	A/D0 レジスタ 3	AD03	
0387h			
0388h	A/D0 レジスタ 4	AD04	
0389h			
038Ah	A/D0 レジスタ 5	AD05	
038Bh			
038Ch	A/D0 レジスタ 6	AD06	
038Dh			
038Eh	A/D0 レジスタ 7	AD07	
038Fh			
0390h			
0391h			
0392h	A/D0 制御レジスタ 4	AD0CON4	253
0393h			
0394h	A/D0 制御レジスタ 2	AD0CON2	251
0395h	A/D0 制御レジスタ 3	AD0CON3	252
0396h	A/D0 制御レジスタ 0	AD0CON0	249
0397h	A/D0 制御レジスタ 1	AD0CON1	250
0398h	D/A レジスタ 0	DA0	268
0399h			
039Ah	D/A レジスタ 1	DA1	268
039Bh			
039Ch	D/A 制御レジスタ	DACON	268
039Dh			
039Eh			
039Fh			
03A0h			
03A1h			
03A2h			
03A3h			
03A4h			
03A5h			
03A6h			
03A7h			
03A8h			
03A9h			
03AAh			
03ABh			
03ACh			
03ADh			
03AEh			
03AFh	機能選択レジスタ C	PSC	286
03B0h	機能選択レジスタ A0	PS0	282
03B1h	機能選択レジスタ A1	PS1	
03B2h	機能選択レジスタ B0	PSL0	284
03B3h	機能選択レジスタ B1	PSL1	
03B4h	機能選択レジスタ A2	PS2	283
03B5h	機能選択レジスタ A3	PS3	
03B6h	機能選択レジスタ B2	PSL2	285
03B7h	機能選択レジスタ B3	PSL3	
03B8h			
03B9h			
03BAh			
03BBh			
03BCh			
03BDh			
03BEh			
03BFh			

空欄はすべて予約領域です。使用できません。

番地	レジスタ	シンボル	掲載 ページ
03C0h	ポート P6 レジスタ	P6	281
03C1h	ポート P7 レジスタ	P7	
03C2h	ポート P6 方向レジスタ	PD6	280
03C3h	ポート P7 方向レジスタ	PD7	
03C4h	ポート P8 レジスタ	P8	281
03C5h	ポート P9 レジスタ	P9	
03C6h	ポート P8 方向レジスタ	PD8	280
03C7h	ポート P9 方向レジスタ	PD9	
03C8h	ポート P10 レジスタ	P10	281
03C9h	ポート P11 レジスタ	P11	
03CAh	ポート P10 方向レジスタ	PD10	280
03CBh	ポート P11 方向レジスタ	PD11	
03CCh	ポート P12 レジスタ	P12	281
03CDh	ポート P13 レジスタ	P13	
03CEh	ポート P12 方向レジスタ	PD12	280
03CFh	ポート P13 方向レジスタ	PD13	
03D0h	ポート P14 レジスタ	P14	281
03D1h	ポート P15 レジスタ	P15	
03D2h	ポート P14 方向レジスタ	PD14	280
03D3h	ポート P15 方向レジスタ	PD15	
03D4h			
03D5h			
03D6h			
03D7h			
03D8h			
03D9h			
03DAh	ブルアップ制御レジスタ 2	PUR2	288
03DBh	ブルアップ制御レジスタ 3	PUR3	289
03DCh	ブルアップ制御レジスタ 4	PUR4	290
03DDh			
03DEh			
03DFh			
03E0h	ポート P0 レジスタ	P0	281
03E1h	ポート P1 レジスタ	P1	
03E2h	ポート P0 方向レジスタ	PD0	280
03E3h	ポート P1 方向レジスタ	PD1	
03E4h	ポート P2 レジスタ	P2	281
03E5h	ポート P3 レジスタ	P3	
03E6h	ポート P2 方向レジスタ	PD2	280
03E7h	ポート P3 方向レジスタ	PD3	
03E8h	ポート P4 レジスタ	P4	281
03E9h	ポート P5 レジスタ	P5	
03EAh	ポート P4 方向レジスタ	PD4	280
03EBh	ポート P5 方向レジスタ	PD5	
03ECh			
03EDh			
03EEh			
03EFh			
03F0h	ブルアップ制御レジスタ 0	PUR0	287
03F1h	ブルアップ制御レジスタ 1	PUR1	
03F2h			
03F3h			
03F4h			
03F5h			
03F6h			
03F7h			
03F8h			
03F9h			
03FAh			
03FBh			
03FCh			
03FDh			
03FEh			
03FFh	ポート制御レジスタ	PCR	291

M32C/8B グループ

ルネサスマイクロコンピュータ

1. 概要

1.1 特長

M32C/8B グループは高性能シリコンゲート CMOS プロセスを採用し、M32C/80 シリーズ CPU コアを搭載したシングルチップマイクロコンピュータで、144 ピン版と 100 ピン版があります。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、16M バイトのアドレス空間と、命令を高速に実行する能力を備えています。また、乗算器やDMACがあるため、高速な演算処理が必要なOA、通信機器、産業機器の制御に適したマイクロコンピュータです。

1.1.1 用途

- AV機器 (テレビ、オーディオ など)
- 家電 (エアコン、洗濯機、ミシン など)
- 産業機器 (シーケンサ など)
- パソコン、カメラ、他

1.1.2 仕様概要

表 1.1～表 1.4 に仕様概要を示します。

表 1.1 仕様概要(144ピン版)(1)

分類	機能	説明
CPU	中央演算処理装置	M32C/80 コア (乗算器: 16ビット×16ビット→32ビット、 積和演算命令: 16ビット×16ビット+48ビット→48ビット) - 基本命令数: 108 - 最小命令実行時間: 31.3ns (f(CPU)=32MHz / VCC1=3.0～5.5V) - 動作モード: シングルチップ、メモリ拡張、マイクロプロセッサモード
メモリ	ROM/RAM	- フラッシュメモリ版 256KB+8KB/32KB、128KB+8KB/32KB - ROM レス版 —/32KB
電圧検出機能		電圧監視割り込み(オプション)(注2)
外部バス 拡張	バス メモリ拡張機能	- アドレス空間: 16Mバイト - 外部バスインタフェース: 1～7ウェイト挿入可、チップセレクト4出力、3V、5Vインタフェース - バス形式: セパレートバス/マルチプレクスバス切り替え可、データバス幅切り替え可(8ビット/16ビット)
クロック	クロック発生回路	4回路 メインクロック、サブクロック、オンチップオシレータ、PLL周波数シンセサイザ - 発振停止検出: メインクロック発振停止 - 周波数分周回路: 1,2,3,4,6,8,10,12,14,16分周選択 - 低消費電力機構: ウェイトモード、ストップモード
割り込み		- 割り込みベクタ数: 70 - 外部割り込み入力: 11 (NMI、INT×6、キー入力×4) シングルチップモード時 メモリ拡張モードまたはマイクロプロセッサモードで外部バス幅8ビット時 8 (NMI、INT×3、キー入力×4) メモリ拡張モードまたはマイクロプロセッサモードで外部バス幅16ビット時 - 割り込み優先レベル: 7レベル
ウォッチドッグタイマ		15ビット×1(プリスケアラ付)
DMA	DMAC	4チャンネル、サイクルスチール方式 - 起動要因: 31 - 転送モード: 2(単転送、リピート転送)
	DMACII	- すべての周辺機能割り込み要因で起動 - 転送方式: 2(単転送、バースト転送) - 即値転送機能、演算転送機能、チェーン転送機能
タイマ	タイマA	16ビットタイマ×5 タイマモード、イベントカウンタモード、ワンショットタイマモード、パルス幅変調(PWM)モード、イベントカウンタ二相パルス信号処理(二相エンコーダ入力)×3
	タイマB	16ビットタイマ×6 タイマモード、イベントカウンタモード、パルス周期測定モード、パルス幅測定モード
	三相モータ制御用タイマ機能	三相インバータ制御×1(タイマA1、A2、A4、B2使用) 短絡防止タイマ内蔵
シリアル インタ フェース	UART0～UART4	クロック同期/非同期兼用×5チャンネル I ² C bus、特殊モード2、GCIモード、SIMモード、IEBus(オプション)(注1、2)
A/Dコンバータ		分解能10ビット×34チャンネル(シングルチップモード時) 分解能10ビット×18チャンネル(メモリ拡張モード、マイクロプロセッサモード時) サンプル&ホールドあり
D/Aコンバータ		分解能8ビット×2
CRC演算回路		CRC-CCITT(X ¹⁶ +X ¹² +X ⁵ +1)に準拠
X/Y変換回路		16ビット×16ビット

注1. IEBusは、NECエレクトロニクス株式会社の登録商標です。

注2. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

表 1.2 仕様概要(144 ピン版)(2)

分類	機能	説明
I/Oポート	プログラマブル 入出力ポート	•入力専用 : 1 •CMOS入出力 : 121 (シングルチップモード時) 81 (メモリ拡張モードまたはマイクロプロセッサモードで外部バス幅8ビット時) 73 (メモリ拡張モードまたはマイクロプロセッサモードで外部バス幅16ビット時) ブルアップ抵抗選択可能 •Nchオープンドレインポート : 2
フラッシュメモリ		•消去、書き込み電圧 : VCC1=VCC2=3.0~5.5V •消去、書き込み回数 : 100回(全領域) •プログラムセキュリティ : ROMコードプロテクト、IDコードチェック •デバッグ機能 : オンチップデバッグ、オンボードフラッシュ書き換え可能
動作周波数 / 電源電圧		32MHz / VCC1=3.0~5.5V、VCC2=3.0V~VCC1
消費電流		26mA (32MHz / VCC1=VCC2=5V) 23mA (32MHz / VCC1=VCC2=3.3V) 110 μ A (約1MHz / VCC1=VCC2=3.3V、オンチップオシレータ低消費電力モード→ウェイトモード) 8 μ A (約32kHz / VCC1=VCC2=3.3V、低消費電力モード→ウェイトモード) 4 μ A (VCC1=VCC2=3.3V、ストップモード)
動作周囲温度(°C)		-20~85°C、-40~85°C(オプション)(注1)
パッケージ		144ピンLQFP(PLQP0144KA-A)

注1. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

表 1.3 仕様概要(100ピン版)(1)

分類	機能	説明
CPU	中央演算処理装置	M32C/80コア(乗算器: 16ビット×16ビット→32ビット、 積和演算命令: 16ビット×16ビット+48ビット→48ビット) •基本命令数: 108 •最小命令実行時間: 31.3ns (f(CPU)=32MHz / VCC1=3.0~5.5V) •動作モード: シングルチップ、メモリ拡張、マイクロプロセッサモード
メモリ	ROM/RAM	•フラッシュメモリ版 256KB+8KB/32KB、128KB+8KB/32KB •ROMレス版 —/32KB
電圧検出機能		電圧監視割り込み(オプション)(注2)
外部バス 拡張	バス メモリ拡張機能	•アドレス空間: 16Mバイト •外部バスインタフェース: 1~7ウェイト挿入可、チップセレクト4出力、 3V、5Vインタフェース •バス形式: セパレートバス/マルチプレクスバス切り替え可、 データバス幅切り替え可(8ビット/16ビット)
クロック	クロック発生回路	•4回路 メインクロック、サブクロック、オンチップオシレータ、PLL周波数シンセサイザ •発振停止検出: メインクロック発振停止 •周波数分周回路: 1,2,3,4,6,8,10,12,14,16分周選択 •低消費電力機構: ウェイトモード、ストップモード
割り込み		•割り込みベクタ数: 70 •外部割り込み入力: 11 (NMI、INT×6、キー入力×4) シングルチップモード時 メモリ拡張モードまたはマイクロプロセッサモードで外部バス幅8ビット時 8 (NMI、INT×3、キー入力×4) メモリ拡張モードまたはマイクロプロセッサモードで外部バス幅16ビット時 •割り込み優先レベル: 7レベル
ウォッチドッグタイマ		15ビット×1(ブリスケーラ付)
DMA	DMAC	•4チャンネル、サイクルスチール方式 •起動要因: 31 •転送モード: 2(単転送、リピート転送)
	DMACII	•すべての周辺機能割り込み要因で起動 •転送方式: 2(単転送、バースト転送) •即値転送機能、演算転送機能、チェーン転送機能
タイマ	タイマA	16ビットタイマ×5 タイマモード、イベントカウンタモード、ワンショットタイマモード、 パルス幅変調(PWM)モード、 イベントカウンタ二相パルス信号処理(二相エンコーダ入力)×3
	タイマB	16ビットタイマ×6 タイマモード、イベントカウンタモード、パルス周期測定モード、パルス幅測定モード
	三相モータ制御用タイマ機能	三相インバータ制御×1(タイマA1、A2、A4、B2使用) 短絡防止タイマ内蔵
シリアル インタ フェース	UART0~UART4	クロック同期/非同期兼用×5チャンネル I ² C bus、特殊モード2、GCIモード、SIMモード、 IEBus(オプション)(注1、2)
A/Dコンバータ		分解能10ビット×26チャンネル(シングルチップモード時) 分解能10ビット×10チャンネル(メモリ拡張モード、マイクロプロセッサモード時) サンプル&ホールドあり
D/Aコンバータ		分解能8ビット×2
CRC演算回路		CRC-CCITT(X ¹⁶ +X ¹² +X ⁵ +1)に準拠
X/Y変換回路		16ビット×16ビット

注1. IEBusは、NECエレクトロニクス株式会社の登録商標です。

注2. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

表 1.4 仕様概要(100ピン版)(2)

分類	機能	説明
I/Oポート	プログラマブル 入出力ポート	•入力専用 : 1 •CMOS入出力 : 85 (シングルチップモード時) 45 (メモリ拡張モードまたはマイクロプロセッサモードで外部バス幅8ビット時) 37 (メモリ拡張モードまたはマイクロプロセッサモードで外部バス幅16ビット時) ブルアップ抵抗選択可能 •Nchオープンドレインポート : 2
フラッシュメモリ		•消去、書き込み電圧 : VCC1=VCC2=3.0~5.5V •消去、書き込み回数 : 100回(全領域) •プログラムセキュリティ : ROMコードプロテクト、IDコードチェック •デバッグ機能 : オンチップデバッグ、オンボードフラッシュ書き換え可能
動作周波数 / 電源電圧		32MHz / VCC1=3.0~5.5V、VCC2=3.0V~VCC1
消費電流		26mA (32MHz / VCC1=VCC2=5V) 23mA (32MHz / VCC1=VCC2=3.3V) 110 μ A (約1MHz / VCC1=VCC2=3.3V、オンチップオシレータ低消費電力モード→ウェイトモード) 8 μ A (約32kHz / VCC1=VCC2=3.3V、低消費電力モード→ウェイトモード) 4 μ A (VCC1=VCC2=3.3V、ストップモード)
動作周囲温度(°C)		-20~85°C、-40~85°C(オプション)(注1)
パッケージ		100ピンLQFP(PLQP0100KB-A)

注1. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

1.2 製品一覧

表1.5に製品一覧表、図1.1に型名とメモリサイズ・パッケージを示します。

表1.5 製品一覧表

2009年10月現在

型名	パッケージ	ROM容量	RAM容量	備考
M308B8FGGP	PLQP0144KA-A (144P6Q-A)	256K+8Kバイト (注1)	32Kバイト	フラッシュメモリ版
M308B6FGGP	PLQP0100KB-A (100P6Q-A)			
M308B8FCGP (計)	PLQP0144KA-A (144P6Q-A)	128K+8Kバイト (注1)		
M308B6FCGP (計)	PLQP0100KB-A (100P6Q-A)			
M308B8SGP	PLQP0144KA-A (144P6Q-A)	—		ROM レス版
M308B6SGP	PLQP0100KB-A (100P6Q-A)			

(計) : 計画中

注1. ROM容量の「+8Kバイト」はデータフラッシュの容量です。

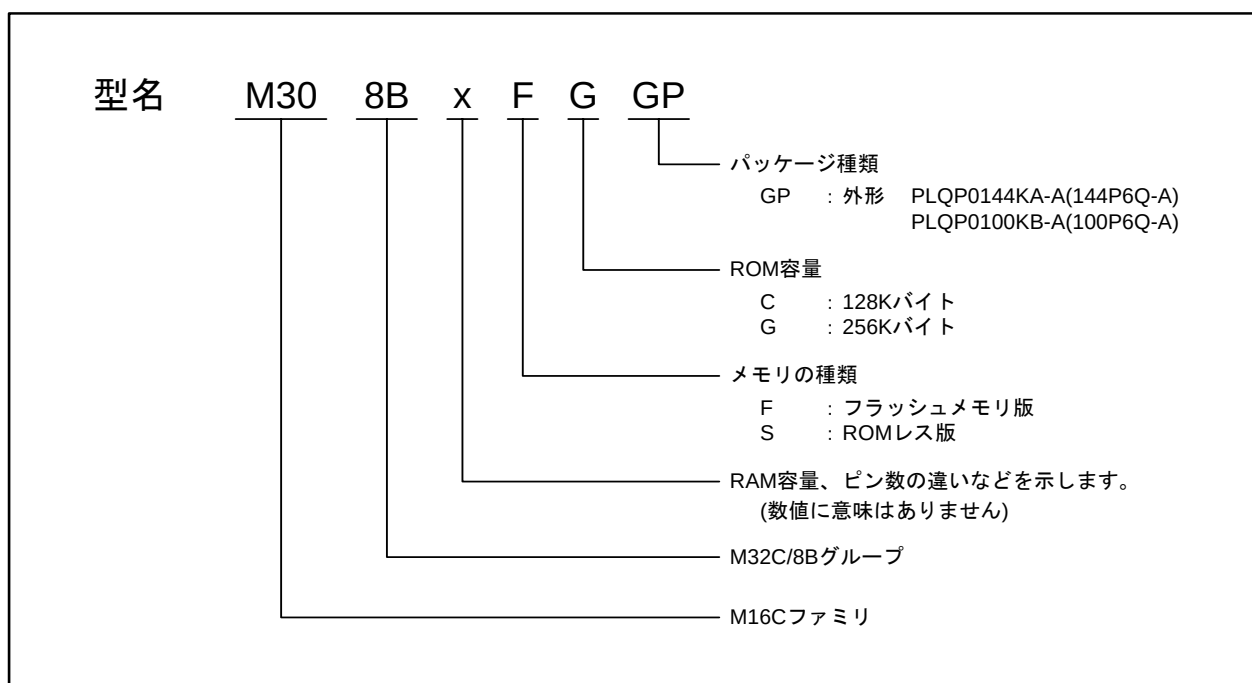


図1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図1.2にM32C/8Bグループのブロック図を示します。

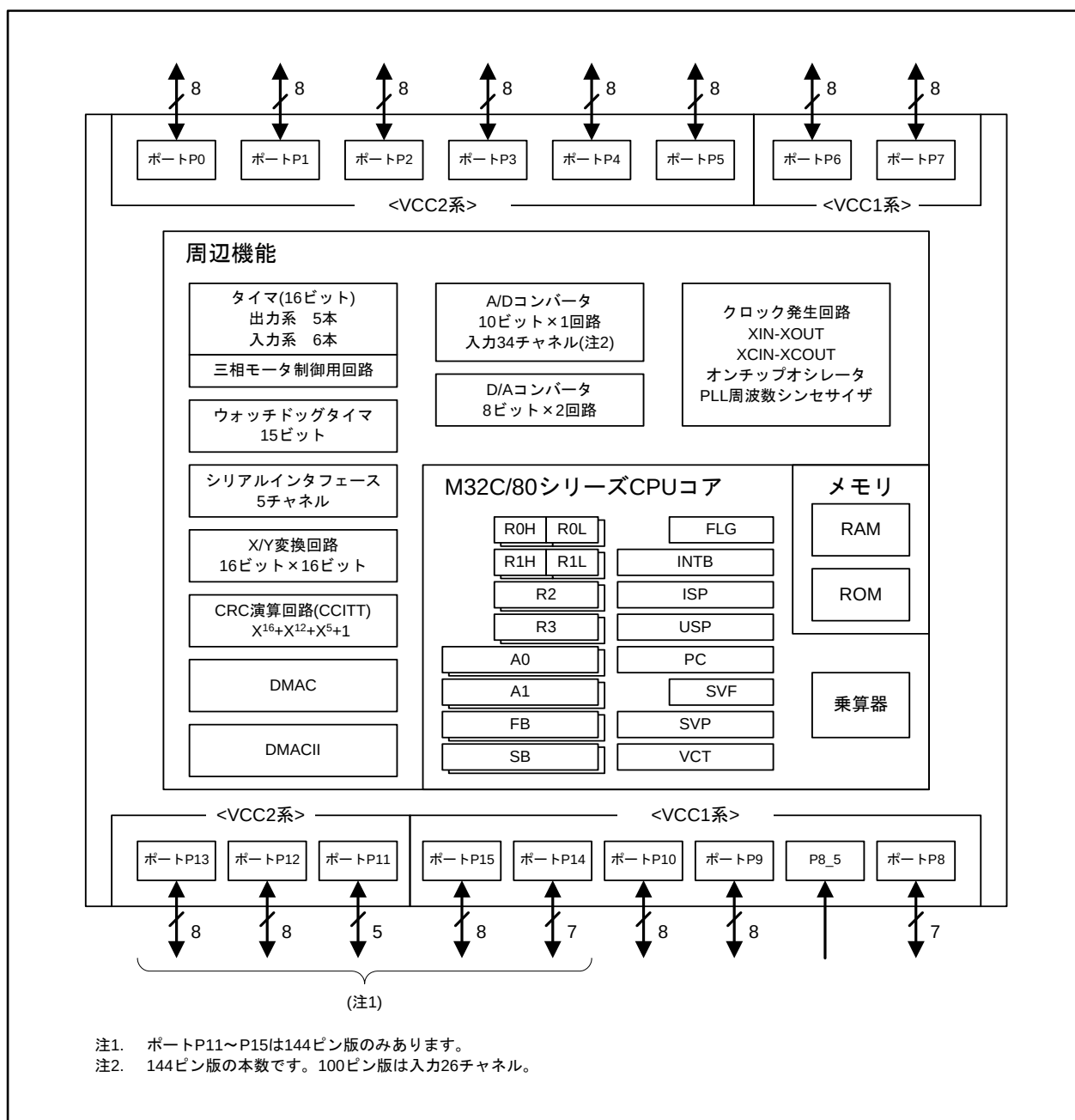


図1.2 M32C/8Bグループのブロック図

1.4 ピン配置図

図1.3～図1.4にピン配置図(上面図)を示します。

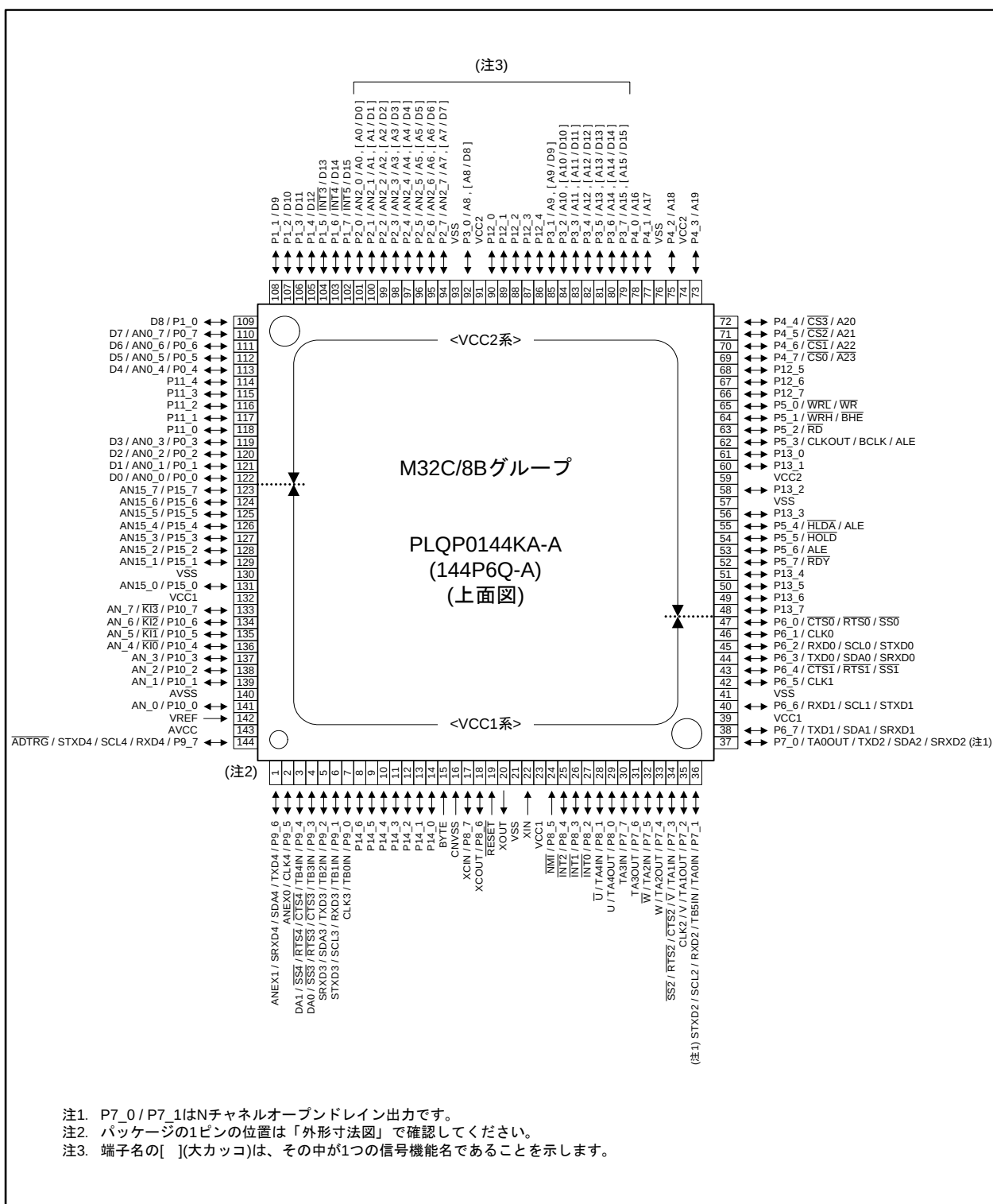


図1.3 144ピン版ピン配置図(上面図)

表 1.6 144 ピン版端子名一覧表 (1)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART 端子	アナログ端子	バス制御端子
1		P9_6			TXD4 / SDA4 / SRXD4	ANEX1	
2		P9_5			CLK4	ANEX0	
3		P9_4		TB4IN	CTS4 / RTS4 / SS4	DA1	
4		P9_3		TB3IN	CTS3 / RTS3 / SS3	DA0	
5		P9_2		TB2IN	TXD3 / SDA3 / SRXD3		
6		P9_1		TB1IN	RXD3 / SCL3 / STXD3		
7		P9_0		TB0IN	CLK3		
8		P14_6					
9		P14_5					
10		P14_4					
11		P14_3					
12		P14_2					
13		P14_1					
14		P14_0					
15	BYTE						
16	CNVSS						
17	XCIN	P8_7					
18	XCOUT	P8_6					
19	RESET						
20	XOUT						
21	VSS						
22	XIN						
23	VCC1						
24		P8_5	NMI				
25		P8_4	INT2				
26		P8_3	INT1				
27		P8_2	INT0				
28		P8_1		TA4IN / $\bar{U}$			
29		P8_0		TA4OUT / U			
30		P7_7		TA3IN			
31		P7_6		TA3OUT			
32		P7_5		TA2IN / $\bar{W}$			
33		P7_4		TA2OUT / W			
34		P7_3		TA1IN / $\bar{V}$	CTS2 / RTS2 / SS2		
35		P7_2		TA1OUT / V	CLK2		
36		P7_1		TA0IN / TB5IN	RXD2 / SCL2 / STXD2		
37		P7_0		TA0OUT	TXD2 / SDA2 / SRXD2		
38		P6_7			TXD1 / SDA1 / SRXD1		
39	VCC1						
40		P6_6			RXD1 / SCL1 / STXD1		
41	VSS						
42		P6_5			CLK1		
43		P6_4			CTS1 / RTS1 / SS1		
44		P6_3			TXD0 / SDA0 / SRXD0		
45		P6_2			RXD0 / SCL0 / STXD0		
46		P6_1			CLK0		
47		P6_0			CTS0 / RTS0 / SS0		
48		P13_7					

表 1.7 144 ピン版端子名一覧表 (2)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART 端子	アナログ端子	バス制御端子
49		P13_6					
50		P13_5					
51		P13_4					
52		P5_7					$\overline{\text{RDY}}$
53		P5_6					ALE
54		P5_5					HOLD
55		P5_4					$\overline{\text{HLDA}} / \text{ALE}$
56		P13_3					
57	VSS						
58		P13_2					
59	VCC2						
60		P13_1					
61		P13_0					
62	CLKOUT	P5_3					BCLK / ALE
63		P5_2					$\overline{\text{RD}}$
64		P5_1					$\overline{\text{WRH}} / \overline{\text{BHE}}$
65		P5_0					$\overline{\text{WRL}} / \overline{\text{WR}}$
66		P12_7					
67		P12_6					
68		P12_5					
69		P4_7					$\overline{\text{CS0}} / \overline{\text{A23}}$
70		P4_6					$\overline{\text{CS1}} / \text{A22}$
71		P4_5					$\overline{\text{CS2}} / \text{A21}$
72		P4_4					$\overline{\text{CS3}} / \text{A20}$
73		P4_3					A19
74	VCC2						
75		P4_2					A18
76	VSS						
77		P4_1					A17
78		P4_0					A16
79		P3_7					A15, [A15 / D15]
80		P3_6					A14, [A14 / D14]
81		P3_5					A13, [A13 / D13]
82		P3_4					A12, [A12 / D12]
83		P3_3					A11, [A11 / D11]
84		P3_2					A10, [A10 / D10]
85		P3_1					A9, [A9 / D9]
86		P12_4					
87		P12_3					
88		P12_2					
89		P12_1					
90		P12_0					
91	VCC2						
92		P3_0					A8, [A8 / D8]
93	VSS						
94		P2_7				AN2_7	A7, [A7 / D7]
95		P2_6				AN2_6	A6, [A6 / D6]
96		P2_5				AN2_5	A5, [A5 / D5]

表 1.8 144 ピン版端子名一覧表 (3)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART 端子	アナログ端子	バス制御端子
97		P2_4				AN2_4	A4, [A4 / D4]
98		P2_3				AN2_3	A3, [A3 / D3]
99		P2_2				AN2_2	A2, [A2 / D2]
100		P2_1				AN2_1	A1, [A1 / D1]
101		P2_0				AN2_0	A0, [A0 / D0]
102		P1_7	$\overline{\text{INT5}}$				D15
103		P1_6	$\overline{\text{INT4}}$				D14
104		P1_5	$\overline{\text{INT3}}$				D13
105		P1_4					D12
106		P1_3					D11
107		P1_2					D10
108		P1_1					D9
109		P1_0					D8
110		P0_7				AN0_7	D7
111		P0_6				AN0_6	D6
112		P0_5				AN0_5	D5
113		P0_4				AN0_4	D4
114		P11_4					
115		P11_3					
116		P11_2					
117		P11_1					
118		P11_0					
119		P0_3				AN0_3	D3
120		P0_2				AN0_2	D2
121		P0_1				AN0_1	D1
122		P0_0				AN0_0	D0
123		P15_7				AN15_7	
124		P15_6				AN15_6	
125		P15_5				AN15_5	
126		P15_4				AN15_4	
127		P15_3				AN15_3	
128		P15_2				AN15_2	
129		P15_1				AN15_1	
130	VSS						
131		P15_0				AN15_0	
132	VCC1						
133		P10_7	$\overline{\text{KI3}}$			AN_7	
134		P10_6	$\overline{\text{KI2}}$			AN_6	
135		P10_5	$\overline{\text{KI1}}$			AN_5	
136		P10_4	$\overline{\text{KI0}}$			AN_4	
137		P10_3				AN_3	
138		P10_2				AN_2	
139		P10_1				AN_1	
140	AVSS						
141		P10_0				AN_0	
142	VREF						
143	AVCC						
144		P9_7			RXD4 / SCL4 / STXD4	$\overline{\text{ADTRG}}$	

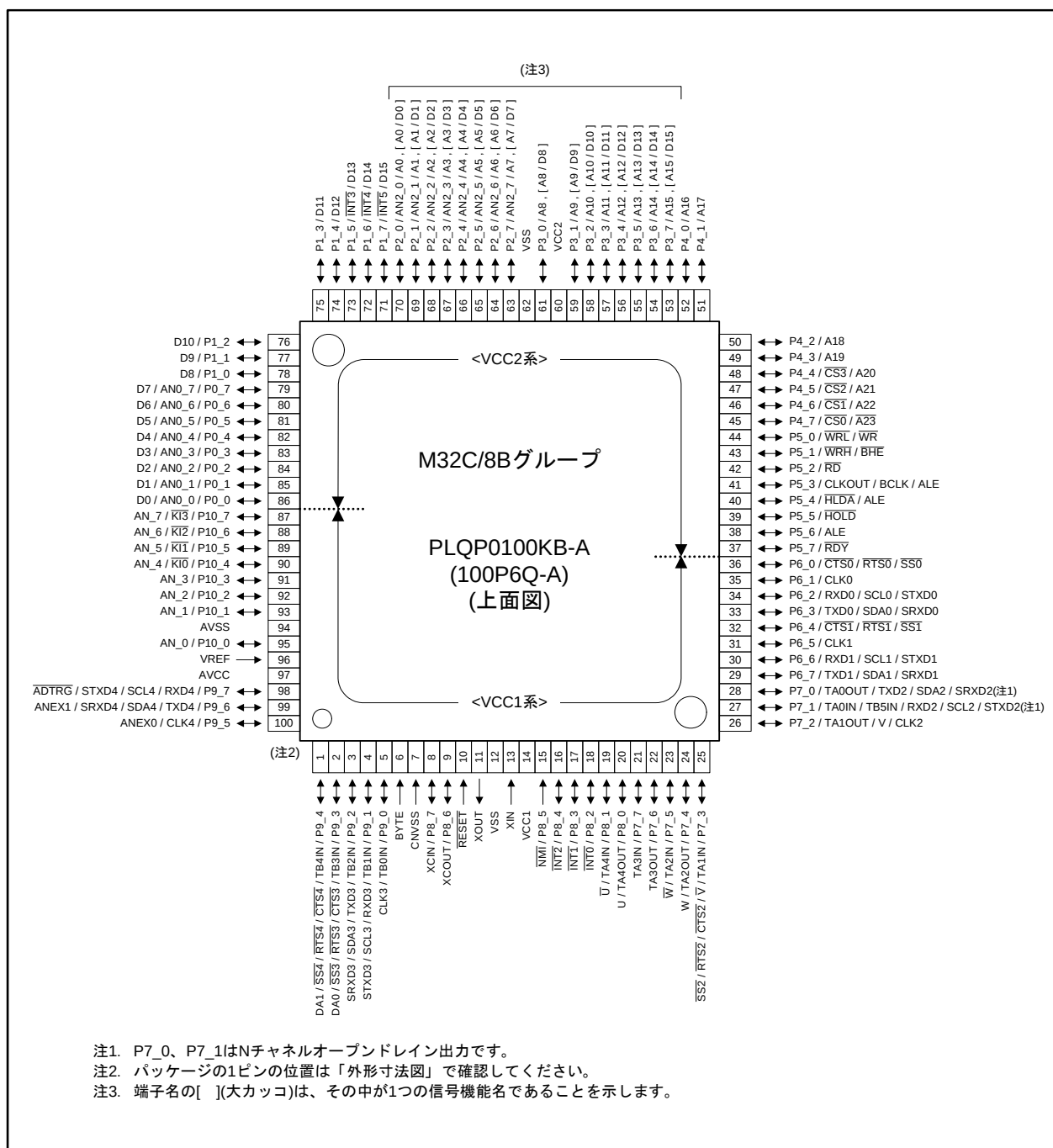


図1.4 100ピン版ピン配置図(上面図)

表 1.9 100 ピン版端子名一覧表 (1)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART 端子	アナログ端子	バス制御端子
1		P9_4		TB4IN	CTS4 / RTS4 / SS4	DA1	
2		P9_3		TB3IN	CTS3 / RTS3 / SS3	DA0	
3		P9_2		TB2IN	TXD3 / SDA3 / SRXD3		
4		P9_1		TB1IN	RXD3 / SCL3 / STXD3		
5		P9_0		TB0IN	CLK3		
6	BYTE						
7	CNVSS						
8	XCIN	P8_7					
9	XCOUT	P8_6					
10	RESET						
11	XOUT						
12	VSS						
13	XIN						
14	VCC1						
15		P8_5	NMI				
16		P8_4	INT2				
17		P8_3	INT1				
18		P8_2	INT0				
19		P8_1		TA4IN / $\bar{U}$			
20		P8_0		TA4OUT / U			
21		P7_7		TA3IN			
22		P7_6		TA3OUT			
23		P7_5		TA2IN / $\bar{W}$			
24		P7_4		TA2OUT / W			
25		P7_3		TA1IN / $\bar{V}$	CTS2 / RTS2 / SS2		
26		P7_2		TA1OUT / V	CLK2		
27		P7_1		TA0IN / TB5IN	RXD2 / SCL2 / STXD2		
28		P7_0		TA0OUT	TXD2 / SDA2 / SRXD2		
29		P6_7			TXD1 / SDA1 / SRXD1		
30		P6_6			RXD1 / SCL1 / STXD1		
31		P6_5			CLK1		
32		P6_4			CTS1 / RTS1 / SS1		
33		P6_3			TXD0 / SDA0 / SRXD0		
34		P6_2			RXD0 / SCL0 / STXD0		
35		P6_1			CLK0		
36		P6_0			CTS0 / RTS0 / SS0		
37		P5_7					RDY
38		P5_6					ALE
39		P5_5					HOLD
40		P5_4					HLDA / ALE
41	CLKOUT	P5_3					BCLK / ALE
42		P5_2					$\bar{RD}$
43		P5_1					$\bar{WRH}$ / $\bar{BHE}$
44		P5_0					$\bar{WRL}$ / $\bar{WR}$
45		P4_7					$\bar{CS0}$ / A23
46		P4_6					$\bar{CS1}$ / A22
47		P4_5					$\bar{CS2}$ / A21
48		P4_4					$\bar{CS3}$ / A20
49		P4_3					A19
50		P4_2					A18

表 1.10 100 ピン版端子名一覧表 (2)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART 端子	アナログ端子	バス制御端子
51		P4_1					A17
52		P4_0					A16
53		P3_7					A15, [A15 / D15]
54		P3_6					A14, [A14 / D14]
55		P3_5					A13, [A13 / D13]
56		P3_4					A12, [A12 / D12]
57		P3_3					A11, [A11 / D11]
58		P3_2					A10, [A10 / D10]
59		P3_1					A9, [A9 / D9]
60	VCC2						
61		P3_0					A8, [A8 / D8]
62	VSS						
63		P2_7				AN2_7	A7, [A7 / D7]
64		P2_6				AN2_6	A6, [A6 / D6]
65		P2_5				AN2_5	A5, [A5 / D5]
66		P2_4				AN2_4	A4, [A4 / D4]
67		P2_3				AN2_3	A3, [A3 / D3]
68		P2_2				AN2_2	A2, [A2 / D2]
69		P2_1				AN2_1	A1, [A1 / D1]
70		P2_0				AN2_0	A0, [A0 / D0]
71		P1_7	INT5				D15
72		P1_6	INT4				D14
73		P1_5	INT3				D13
74		P1_4					D12
75		P1_3					D11
76		P1_2					D10
77		P1_1					D9
78		P1_0					D8
79		P0_7				AN0_7	D7
80		P0_6				AN0_6	D6
81		P0_5				AN0_5	D5
82		P0_4				AN0_4	D4
83		P0_3				AN0_3	D3
84		P0_2				AN0_2	D2
85		P0_1				AN0_1	D1
86		P0_0				AN0_0	D0
87		P10_7	KI3			AN_7	
88		P10_6	KI2			AN_6	
89		P10_5	KI1			AN_5	
90		P10_4	KI0			AN_4	
91		P10_3				AN_3	
92		P10_2				AN_2	
93		P10_1				AN_1	
94	AVSS						
95		P10_0				AN_0	
96	VREF						
97	AVCC						
98		P9_7			RXD4 / SCL4 / STXD4	ADTRG	
99		P9_6			TXD4 / SDA4 / SRXD4	ANEX1	
100		P9_5			CLK4	ANEX0	

1.5 端子機能の説明

表 1.11 端子機能の説明(1)(100ピン版、144ピン版共通)

分類	端子名	入出力	電源系統	機能および説明
電源入力	VCC1, VCC2 VSS	—	—	VCC1、VCC2端子には、3.0～5.5Vを入力してください。 VCCの入力条件はVCC1≥VCC2です。 VSSには、0Vを入力してください。
アナログ 電源入力	AVCC AVSS	—	VCC1	A/DコンバータとD/Aコンバータの電源入力です。AVCCは VCC1に接続してください。AVSSはVSSに接続してください。
リセット入力	$\overline{\text{RESET}}$	入力	VCC1	この端子に“L”を入力すると、マイクロコンピュータは リセット状態になります。
CNVSS	CNVSS	入力	VCC1	プロセッサモードを切り替えるための端子です。 リセット後、シングルチップモードで動作を開始する場合は “L”を、マイクロプロセッサモードまたはブートモードで動作 を開始する場合は“H”を入力してください。
外部 データバス幅 切り替え入力	BYTE	入力	VCC1	外部領域3のデータバスを切り替えるための端子です。 この端子が“L”の場合16ビット、“H”の場合8ビットになりま す。どちらかに固定してください。シングルチップモードでは、 “L”を入力してください。
バス制御端子	D0～D7	入出力	VCC2	セパレートバスを選択している領域をアクセスしたとき、データ (D0～D7)の入出力を行います。
	D8～D15	入出力	VCC2	外部データバスが16ビットでセパレートバスを選択している領 域をアクセスしたとき、データ(D8～D15)の入出力を行います。
	A0～A22	出力	VCC2	アドレスA0～A22を出力します。
	$\overline{\text{A23}}$	出力	VCC2	アドレスA23を反転して出力します。
	A0 / D0～A7 / D7	入出力	VCC2	マルチプレクスバスを選択している領域をアクセスしたとき、 アドレス(A0～A7)の出力とデータ(D0～D7)の入出力を時分割 で行います。
	A8 / D8～A15 / D15	入出力	VCC2	外部データバスが16ビットでマルチプレクスバスを選択してい る領域をアクセスしたとき、アドレス(A8～A15)の出力と データ(D8～D15)の入出力を時分割で行います。
	$\overline{\text{CS0}}\sim\overline{\text{CS3}}$	出力	VCC2	チップセレクト出力です。外部デバイスの指定に使用します。
	$\overline{\text{WRL}} / \overline{\text{WR}}$ $\overline{\text{WRH}} / \overline{\text{BHE}}$ $\overline{\text{RD}}$	出力	VCC2	$\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ 、 $\overline{\text{RD}}$ 信号を出力します。 プログラムで $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ または、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ を 切り替えられます。 ■ $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 、 $\overline{\text{RD}}$ 選択時 外部データバスが16ビットの場合、 $\overline{\text{WRL}}$ 信号が“L”のとき は偶数番地に、 $\overline{\text{WRH}}$ 信号が“L”のときは奇数番地に書きま す。 $\overline{\text{RD}}$ 信号が“L”のとき読みます。 ■ $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ 、 $\overline{\text{RD}}$ 選択時 $\overline{\text{WR}}$ 信号が“L”のとき書きます。 $\overline{\text{RD}}$ 信号が“L”のとき読み ます。 $\overline{\text{BHE}}$ 信号が“L”のとき奇数番地をアクセスします。 外部データバスが8ビットのとき、このモードを使用して ください。
	ALE	出力	VCC2	マルチプレクスバス選択時、アドレス信号をラッチするための 信号です。
	$\overline{\text{HOLD}}$	入力	VCC2	入力が“L”の期間、マイクロコンピュータはホールド状態に なります。
	$\overline{\text{HLDA}}$	出力	VCC2	マイクロコンピュータがホールド状態の期間、“L”を出力 します。
	$\overline{\text{RDY}}$	入力	VCC2	入力が“L”の期間、マイクロコンピュータのバスは ウェイト状態になります。

表 1.12 端子機能の説明(2)(100ピン版、144ピン版共通)

分類	端子名	入出力	電源系統	機能および説明
メイン クロック入力	XIN	入力	VCC1	メインクロック発振回路の入出力です。 XINとXOUTの間にはセラミック共振子、または水晶発振子を 接続してください。外部で生成したクロックを入力する場合は、 XINからクロックを入力し、XOUTは開放にしてください。
メインクロック 出力	XOUT	出力	VCC1	
サブクロック 入力	XCIN	入力	VCC1	サブクロック発振回路の入出力です。 XCINとXCOUTの間には水晶発振子を接続してください。外部 で生成したクロックを入力する場合は、XCINからクロックを 入力し、XCOUTは開放にしてください。
サブクロック 出力	XCOUT	出力	VCC1	
BCLK出力	BCLK	出力	VCC2	バスクロックを出力します。
クロック出力	CLKOUT	出力	VCC2	fC、f8、またはf32と同じ周期のクロックを出力します。
INT割り込み 入力	INT0 ~ INT2	入力	VCC1	INT割り込みの入力です。
	INT3 ~ INT5	入力	VCC2	
NMI割り込み 入力	NMI	入力	VCC1	NMI割り込みの入力です。NMI割り込みを使用しない場合は、 抵抗を介してVCC1に接続してください。
タイマA	TA0OUT ~ TA4OUT	入出力	VCC1	タイマA0 ~ A4の入出力です (ただし、TA0OUT出力はNチャネルオープンドレイン出力)。
	TA0IN ~ TA4IN	入力	VCC1	タイマA0 ~ A4の入力です。
タイマB	TB0IN ~ TB5IN	入力	VCC1	タイマB0 ~ B5の入力です。
三相モータ 制御用 タイマ出力	U, $\bar{U}$, V, $\bar{V}$, W, $\bar{W}$	出力	VCC1	三相モータ制御用タイマの出力です。
シリアル インタ フェース	CTS0 ~ CTS4	入力	VCC1	送信制御用入力です。
	RTS0 ~ RTS4	出力	VCC1	受信制御用出力です。
	CLK0 ~ CLK4	入出力	VCC1	送受信クロック入出力です。
	RXD0 ~ RXD4	入力	VCC1	シリアルデータ入力です。
	TXD0 ~ TXD4	出力	VCC1	シリアルデータ出力です (ただし、TXD2の出力はNチャネルオープンドレイン出力)。
I ² C モード	SDA0 ~ SDA4	入出力	VCC1	シリアルデータ入出力です (ただし、SDA2の出力はNチャネルオープンドレイン出力)。
	SCL0 ~ SCL4	入出力	VCC1	送受信クロック入出力です (ただし、SCL2の出力はNチャネルオープンドレイン出力)。
シリアル インタ フェース 特殊機能	STXD0 ~ STXD4	出力	VCC1	スレーブモードを選択したときのシリアルデータ出力です (ただし、STXD2の出力はNチャネルオープンドレイン出力)。
	SRXD0 ~ SRXD4	入力	VCC1	スレーブモードを選択したときのシリアルデータ入力です。
	SS0 ~ SS4	入力	VCC1	シリアルインタフェース特殊機能の制御用入力です。

表 1.13 端子機能の説明(3)(100ピン版、144ピン版共通)

分類	端子名	入出力	電源系統	機能および説明
基準電圧入力	VREF	入力	—	A/DコンバータとD/Aコンバータの基準電圧入力です。
A/Dコンバータ	AN_0～AN_7	入力	VCC1	A/Dコンバータのアナログ入力です。
	AN0_0～AN0_7 AN2_0～AN2_7	入力	VCC2	A/Dコンバータのアナログ入力です。
	ADTRG	入力	VCC1	A/Dコンバータの外部トリガ入力です。
	ANEX0	入出力	VCC1	A/Dコンバータの拡張アナログ入力と外部オペアンプ接続モードでの出力です。
	ANEX1	入力	VCC1	A/Dコンバータの拡張アナログ入力です。
D/Aコンバータ	DA0, DA1	出力	VCC1	D/Aコンバータの出力です。
入出力ポート	P0_0～P0_7 P1_0～P1_7 P2_0～P2_7 P3_0～P3_7 P4_0～P4_7 P5_0～P5_7	入出力	VCC2	CMOSの8ビット入出力ポートです。 入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、プログラムで4端子ごとにプルアップするかしないかを設定できます。
	P6_0～P6_7 P7_0～P7_7 P9_0～P9_7 P10_0～P10_7	入出力	VCC1	P0と同等の機能を持つ8ビット入出力ポートです (ただし、P7_0、P7_1はNチャネルオープンドレイン出力)。
	P8_0～P8_4 P8_6, P8_7	入出力	VCC1	P0と同等の機能を持つ入出力ポートです。
入力ポート	P8_5	入力	VCC1	$\overline{\text{NMI}}$ と端子を共用しています。 $\overline{\text{NMI}}$ の入力レベルを確認するための入力専用ポートです。
キー入力 割り込み	$\overline{\text{KI0}} \sim \overline{\text{KI3}}$	入力	VCC1	キー入力割り込みの入力です。

表 1.14 端子機能の説明(4)(144ピン版のみ)

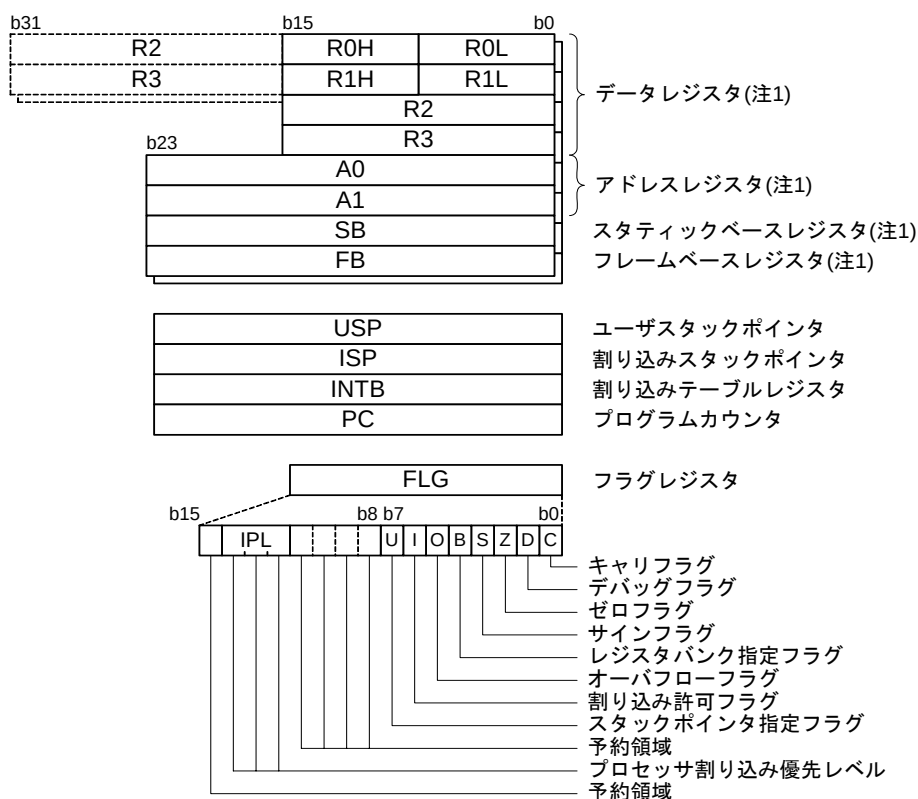
分類	端子名	入出力	電源系統	機能および説明
A/Dコンバータ	AN15_0～AN15_7	入力	VCC1	A/Dコンバータのアナログ入力です。
入出力ポート	P11_0～P11_4 P12_0～P12_7 P13_0～P13_7	入出力	VCC2	P0と同等の機能を持つ入出力ポートです。
	P14_0～P14_6 P15_0～P15_7	入出力	VCC1	P0と同等の機能を持つ入出力ポートです。

2. 中央演算処理装置 (CPU)

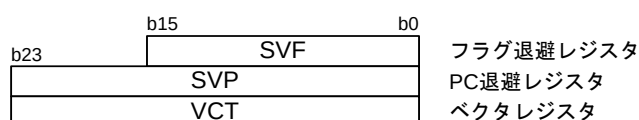
図2.1にCPUのレジスタを示します。CPUには28個のレジスタがあります。

これらのうち、R0、R1、R2、R3、A0、A1、SB、FBの8個はレジスタバンクを構成しています。レジスタバンクは2セットあります。

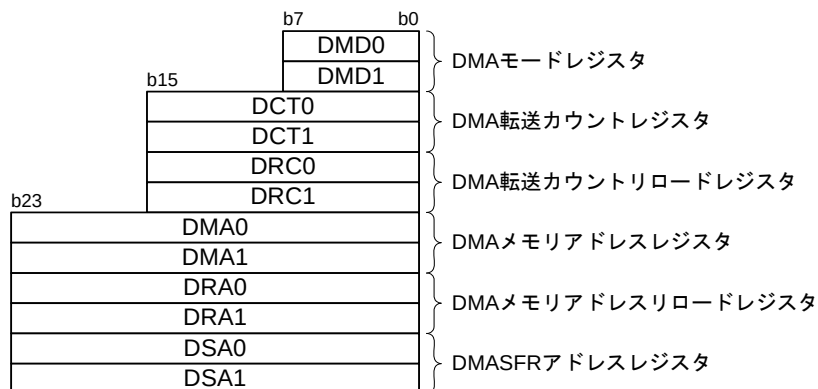
【基本レジスタ】



【高速割り込みレジスタ】



【DMAC関連レジスタ】



注1. これらのレジスタはレジスタバンクを構成しています。レジスタバンクは2セット(レジスタバンク0、1)あります。

図2.1 中央演算処理装置のレジスタ構成

2.1 基本レジスタ

2.1.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は上位 (R0H) と下位 (R0L) を別々に8ビットのデータレジスタとして使用できます。R1はR0と同様です。

また、R2とR0を組み合わせて32ビットのデータレジスタ (R2R0) として使用できます。R3R1はR2R0と同様です。

2.1.2 アドレスレジスタ (A0、A1)

A0は24ビットで構成されており、アドレスレジスタ間接アドレッシングやアドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。

A1はA0と同様です。

2.1.3 スタティックベースレジスタ (SB)

SBは24ビットで構成されており、SB相対アドレッシングに使用します。

2.1.4 フレームベースレジスタ (FB)

FBは24ビットで構成されており、FB相対アドレッシングに使用します。

2.1.5 プログラムカウンタ (PC)

PCは24ビットで構成されており、次に実行する命令の番地を示します。

2.1.6 割り込みテーブルレジスタ (INTB)

INTBは24ビットで構成されており、可変ベクタテーブルの先頭番地を示します。

2.1.7 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ (SP) は USP と ISP の2種類あり、共に24ビットで構成されています。

USP と ISP は U フラグで切り替えられます。U フラグは「2.1.8 フラグレジスタ (FLG)」を参照してください。

USP と ISP は偶数番地に設定してください。偶数番地を設定した方が割り込みシーケンスの実行速度が速くなります。

2.1.8 フラグレジスタ (FLG)

FLGは16ビットで構成されており、CPUの状態を示します。

2.1.8.1 キャリフラグ (C)

命令実行後のキャリやボローの有無を示します。

2.1.8.2 デバッグフラグ (D)

Dフラグはデバッグ専用です。“0”にしてください。

2.1.8.3 ゼロフラグ (Z)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.1.8.4 サインフラグ (S)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.1.8.5 レジスタバンク指定フラグ (B)

Bフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

2.1.8.6 オーバフローフラグ (O)

演算の結果がオーバフローしたとき“1”になります。それ以外のとき“0”になります。

2.1.8.7 割り込み許可フラグ (I)

マスカブル割り込みを許可するビットです。Iフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。割り込みを受け付けると、このビットは“0”になります。

2.1.8.8 スタックポインタ指定フラグ (U)

Uフラグが“0”のときISPが指定され、“1”のときUSPが指定されます。

ハードウェア割り込みを受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.1.8.9 プロセッサ割り込み優先レベル (IPL)

IPLは3ビットで構成されており、レベル0～7まで8段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルがIPLより大きいとき、その割り込みは許可されます。

2.1.8.10 予約領域

書くときは“0”を書いてください。読んだとき、その値は不定です。

2.2 高速割り込みレジスタ

高速割り込みに関するレジスタは次のとおりです。詳細は、「11.4 高速割り込み」を参照してください。

- ・フラグ退避レジスタ (SVF)
- ・PC退避レジスタ (SVP)
- ・ベクタレジスタ (VCT)

2.3 DMAC関連レジスタ

DMACに関するレジスタは次のとおりです。詳細は、「13.DMAC」を参照してください。

- ・DMA モードレジスタ (DMD0、DMD1)
- ・DMA 転送カウントレジスタ (DCT0、DCT1)
- ・DMA 転送カウントリロードレジスタ (DRC0、DRC1)
- ・DMA メモリアドレスレジスタ (DMA0、DMA1)
- ・DMA メモリアドレスリロードレジスタ (DRA0、DRA1)
- ・DMA SFR アドレスレジスタ (DSA0、DSA1)

3. メモリ

図3.1にメモリ配置図を示します。

アドレス空間は000000h番地からFFFFFFh番地までの16Mバイトあります。

内部ROMはFFFFFFh番地から下位方向に配置されています。例えば256Kバイトの内部ROMは、FC0000h番地からFFFFFFh番地に配置されています。

固定割り込みベクタはFFFFDCh番地からFFFFFFh番地に配置されています。ここに各割り込みルーチンの先頭番地を格納します。詳細は、「11.割り込み」を参照してください。

内部RAMは000400h番地から上位方向に配置されています。例えば32Kバイトの内部RAMは、000400h番地から0083FFh番地に配置されています。内部RAMはデータ格納以外に、サブルーチン呼び出しや割り込み時のスタックとしても使用します。

SFRは000000h番地から0003FFh番地に配置されています。ここには入出力ポート、A/Dコンバータ、シリアルインタフェース、タイマなどの周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない番地はすべて予約領域のため、ユーザは使用できません。

スペシャルページベクタはFFFE00h番地からFFFFDBh番地に配置されています。このベクタはJMPS命令またはJSRS命令で使用します。詳細は「M32C/80シリーズソフトウェアマニュアル」を参照してください。

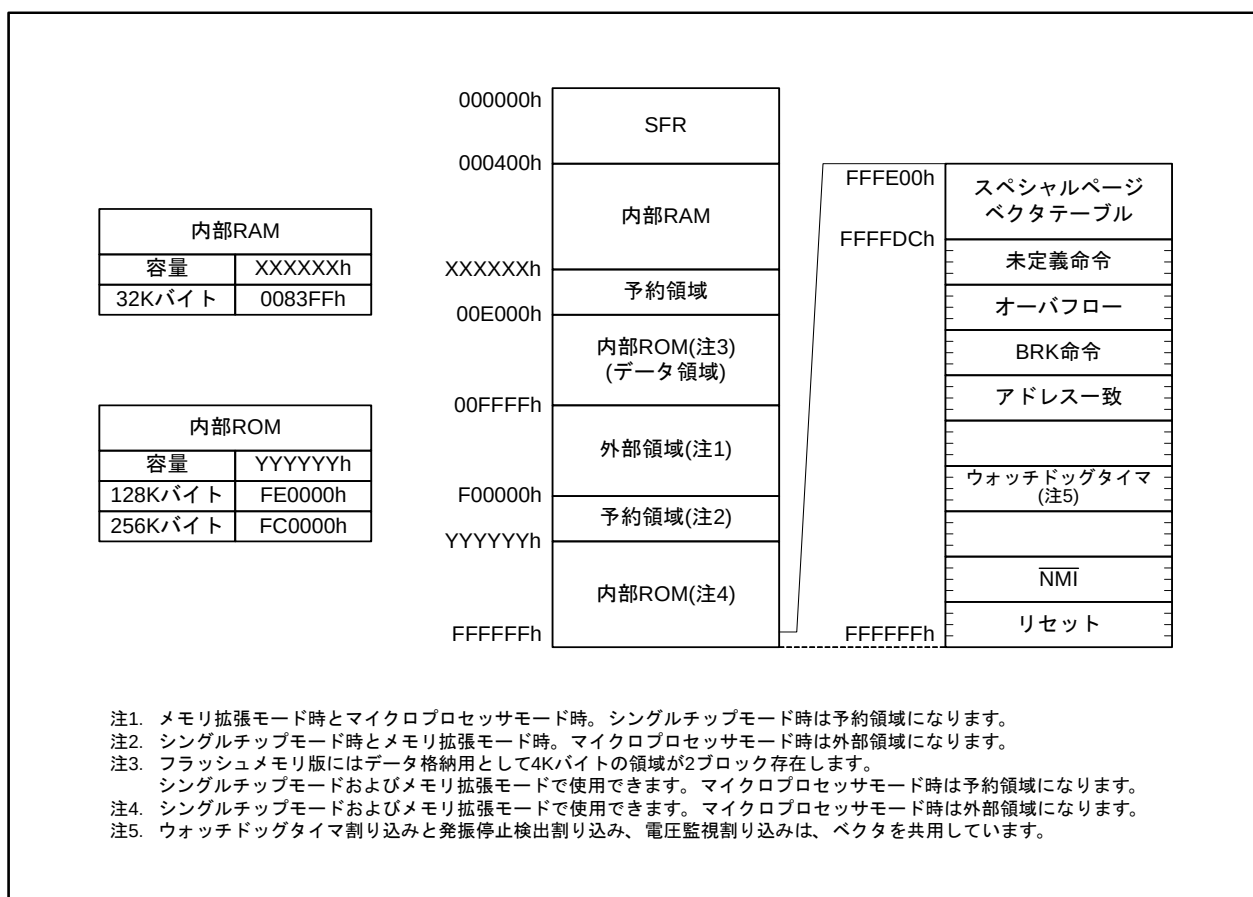


図3.1 メモリ配置図

4. SFR

SFR(Special Function Registers)は、周辺機能の制御レジスタです。表 4.1～表 4.9 に SFR 一覧を示します。

表 4.1 SFR 一覧 (1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ 0(注 1)	PM0	1000 0000b(CNVSS 端子が “L”) 0000 0011b(CNVSS 端子が “H”)
0005h	プロセッサモードレジスタ 1	PM1	00h
0006h	システムクロック制御レジスタ 0	CM0	0000 1000b
0007h	システムクロック制御レジスタ 1	CM1	0010 0000b
0008h			
0009h	アドレス一致割り込み許可レジスタ	AIER	00h
000Ah	プロテクトレジスタ	PRCR	XXXX 0000b
000Bh	外部データバス幅制御レジスタ	DS	XXXX 1000b(BYTE 端子が “L”) XXXX 0000b(BYTE 端子が “H”)
000Ch	メインクロック分周レジスタ	MCD	XXX0 1000b
000Dh	発振停止検出レジスタ	CM2	00h
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	000X XXXXb
0010h			
0011h	アドレス一致割り込みレジスタ 0	RMAD0	000000h
0012h			
0013h	プロセッサモードレジスタ 2	PM2	00h
0014h			
0015h	アドレス一致割り込みレジスタ 1	RMAD1	000000h
0016h			
0017h	リファレンス電圧設定レジスタ	DVCR	1000 1111b
0018h			
0019h	アドレス一致割り込みレジスタ 2	RMAD2	000000h
001Ah			
001Bh	電圧監視レジスタ	LVDC	0000 1000h
001Ch			
001Dh	アドレス一致割り込みレジスタ 3	RMAD3	000000h
001Eh			
001Fh	電源回路制御レジスタ	VRCR	00h
0020h			
0021h			
0022h			
0023h			
0024h			
0025h			
0026h	PLL 制御レジスタ 0	PLC0	0001 X010b
0027h			
0028h			
0029h	アドレス一致割り込みレジスタ 4	RMAD4	000000h
002Ah			
002Bh			
002Ch			
002Dh	アドレス一致割り込みレジスタ 5	RMAD5	000000h
002Eh			
002Fh			

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

注 1. PM0 レジスタの PM01～PM00 ビットは、ソフトウェアリセットまたはウォッチドッグタイマリセットを行ってもリセット前の値が保持されます。

表 4.2 SFR 一覧 (2)

番地	レジスタ	シンボル	リセット後の値
0030h			
0031h			
0032h			
0033h			
0034h			
0035h			
0036h			
0037h			
0038h			
0039h	アドレス一致割り込みレジスタ 6	RMAD6	000000h
003Ah			
003Bh			
003Ch			
003Dh	アドレス一致割り込みレジスタ 7	RMAD7	000000h
003Eh			
003Fh			
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h			
0048h	外部領域ウェイト制御レジスタ 0	EWCR0	X0X0 0011b
0049h	外部領域ウェイト制御レジスタ 1	EWCR1	X0X0 0011b
004Ah	外部領域ウェイト制御レジスタ 2	EWCR2	X0X0 0011b
004Bh	外部領域ウェイト制御レジスタ 3	EWCR3	X0X0 0011b
004Ch	ページモードウェイト制御レジスタ 0(注2)	PWCR0	0001 0001b
004Dh	ページモードウェイト制御レジスタ 1(注2)	PWCR1	0001 0001b
004Eh			
004Fh			
0050h	フラッシュメモリ制御レジスタ 3 (注1)	FMR3	XX0X XX00b
0051h			
0052h	フラッシュメモリ制御レジスタ 2 (注1)	FMR2	XXXX XXX0b
0053h			
0054h			
0055h	フラッシュメモリ制御レジスタ 1 (注1)	FMR1	0000 XX0Xb
0056h			
0057h	フラッシュメモリ制御レジスタ 0 (注1)	FMR0	0000 0001b
0058h			
0059h	フラッシュメモリ制御レジスタ 4 (注1)	FMR4	00h
005Ah			
005Bh			
005Ch			
005Dh			
005Eh			
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h	DMA0 割り込み制御レジスタ	DM0IC	XXXX X000b
0069h	タイマ B5 割り込み制御レジスタ	TB5IC	XXXX X000b

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. ROM レス版にはありません。

注2. ROM レス版でのみ使用できます。

表 4.3 SFR 一覧 (3)

番地	レジスタ	シンボル	リセット後の値
006Ah	DMA2 割り込み制御レジスタ	DM2IC	XXXX X000b
006Bh	UART2 受信 / ACK 割り込み制御レジスタ	S2RIC	XXXX X000b
006Ch	タイマ A0 割り込み制御レジスタ	TA0IC	XXXX X000b
006Dh	UART3 受信 / ACK 割り込み制御レジスタ	S3RIC	XXXX X000b
006Eh	タイマ A2 割り込み制御レジスタ	TA2IC	XXXX X000b
006Fh	UART4 受信 / ACK 割り込み制御レジスタ	S4RIC	XXXX X000b
0070h	タイマ A4 割り込み制御レジスタ	TA4IC	XXXX X000b
0071h	UART0 / UART3 バス衝突検出割り込み制御レジスタ	BCN0IC / BCN3IC	XXXX X000b
0072h	UART0 受信 / ACK 割り込み制御レジスタ	S0RIC	XXXX X000b
0073h	A/D0 変換割り込み制御レジスタ	AD0IC	XXXX X000b
0074h	UART1 受信 / ACK 割り込み制御レジスタ	S1RIC	XXXX X000b
0075h			
0076h	タイマ B1 割り込み制御レジスタ	TB1IC	XXXX X000b
0077h			
0078h	タイマ B3 割り込み制御レジスタ	TB3IC	XXXX X000b
0079h			
007Ah	INT5 割り込み制御レジスタ	INT5IC	XX00 X000b
007Bh			
007Ch	INT3 割り込み制御レジスタ	INT3IC	XX00 X000b
007Dh			
007Eh	INT1 割り込み制御レジスタ	INT1IC	XX00 X000b
007Fh			
0080h			
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h	DMA1 割り込み制御レジスタ	DM1IC	XXXX X000b
0089h	UART2 送信 / NACK 割り込み制御レジスタ	S2TIC	XXXX X000b
008Ah	DMA3 割り込み制御レジスタ	DM3IC	XXXX X000b
008Bh	UART3 送信 / NACK 割り込み制御レジスタ	S3TIC	XXXX X000b
008Ch	タイマ A1 割り込み制御レジスタ	TA1IC	XXXX X000b
008Dh	UART4 送信 / NACK 割り込み制御レジスタ	S4TIC	XXXX X000b
008Eh	タイマ A3 割り込み制御レジスタ	TA3IC	XXXX X000b
008Fh	UART2 バス衝突検出割り込み制御レジスタ	BCN2IC	XXXX X000b
0090h	UART0 送信 / NACK 割り込み制御レジスタ	S0TIC	XXXX X000b
0091h	UART1 / UART4 バス衝突検出割り込み制御レジスタ	BCN1IC / BCN4IC	XXXX X000b
0092h	UART1 送信 / NACK 割り込み制御レジスタ	S1TIC	XXXX X000b
0093h	キー入力割り込み制御レジスタ	KUPIC	XXXX X000b
0094h	タイマ B0 割り込み制御レジスタ	TB0IC	XXXX X000b
0095h			
0096h	タイマ B2 割り込み制御レジスタ	TB2IC	XXXX X000b
0097h			
0098h	タイマ B4 割り込み制御レジスタ	TB4IC	XXXX X000b
0099h			
009Ah	INT4 割り込み制御レジスタ	INT4IC	XX00 X000b
009Bh			
009Ch	INT2 割り込み制御レジスタ	INT2IC	XX00 X000b
009Dh			
009Eh	INT0 割り込み制御レジスタ	INT0IC	XX00 X000b
009Fh	復帰用優先順位レジスタ	RLVL	XXXX 0000b
00A0h ~ 02BFh			

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.4 SFR 一覧 (4)

番地	レジスタ	シンボル	リセット後の値
02C0h 02C1h	X0 レジスタ、Y0 レジスタ	X0R、Y0R	XXXXh
02C2h 02C3h	X1 レジスタ、Y1 レジスタ	X1R、Y1R	XXXXh
02C4h 02C5h	X2 レジスタ、Y2 レジスタ	X2R、Y2R	XXXXh
02C6h 02C7h	X3 レジスタ、Y3 レジスタ	X3R、Y3R	XXXXh
02C8h 02C9h	X4 レジスタ、Y4 レジスタ	X4R、Y4R	XXXXh
02CAh 02CBh	X5 レジスタ、Y5 レジスタ	X5R、Y5R	XXXXh
02CCh 02CDh	X6 レジスタ、Y6 レジスタ	X6R、Y6R	XXXXh
02CEh 02CFh	X7 レジスタ、Y7 レジスタ	X7R、Y7R	XXXXh
02D0h 02D1h	X8 レジスタ、Y8 レジスタ	X8R、Y8R	XXXXh
02D2h 02D3h	X9 レジスタ、Y9 レジスタ	X9R、Y9R	XXXXh
02D4h 02D5h	X10 レジスタ、Y10 レジスタ	X10R、Y10R	XXXXh
02D6h 02D7h	X11 レジスタ、Y11 レジスタ	X11R、Y11R	XXXXh
02D8h 02D9h	X12 レジスタ、Y12 レジスタ	X12R、Y12R	XXXXh
02DAh 02DBh	X13 レジスタ、Y13 レジスタ	X13R、Y13R	XXXXh
02DCh 02DDh	X14 レジスタ、Y14 レジスタ	X14R、Y14R	XXXXh
02DEh 02DFh	X15 レジスタ、Y15 レジスタ	X15R、Y15R	XXXXh
02E0h	X/Y 制御レジスタ	XYC	XXXX XX00b
02E1h			
02E2h			
02E3h			
02E4h	UART1 特殊モードレジスタ 4	U1SMR4	00h
02E5h	UART1 特殊モードレジスタ 3	U1SMR3	00h
02E6h	UART1 特殊モードレジスタ 2	U1SMR2	00h
02E7h	UART1 特殊モードレジスタ	U1SMR	00h
02E8h	UART1 送受信モードレジスタ	U1MR	00h
02E9h	UART1 通信速度レジスタ	U1BRG	XXh
02EAh 02EBh	UART1 送信バッファレジスタ	U1TB	XXXXh
02ECh	UART1 送受信制御レジスタ 0	U1C0	0000 1000b
02EDh	UART1 送受信制御レジスタ 1	U1C1	0000 0010b
02EEh 02EFh	UART1 受信バッファレジスタ	U1RB	XXXXh
02F0h			
02F1h			
02F2h			
02F3h			
02F4h	UART4 特殊モードレジスタ 4	U4SMR4	00h
02F5h	UART4 特殊モードレジスタ 3	U4SMR3	00h
02F6h	UART4 特殊モードレジスタ 2	U4SMR2	00h
02F7h	UART4 特殊モードレジスタ	U4SMR	00h
02F8h	UART4 送受信モードレジスタ	U4MR	00h
02F9h	UART4 通信速度レジスタ	U4BRG	XXh
02FAh 02FBh	UART4 送信バッファレジスタ	U4TB	XXXXh
02FCh	UART4 送受信制御レジスタ 0	U4C0	0000 1000b
02FDh	UART4 送受信制御レジスタ 1	U4C1	0000 0010b
02FEh 02FFh	UART4 受信バッファレジスタ	U4RB	XXXXh

X: 不定 空欄はすべて予約領域です。アクセスしないでください。

表 4.5 SFR 一覧 (5)

番地	レジスタ	シンボル	リセット後の値
0300h	タイマ B3, B4, B5 カウント開始レジスタ	TBSR	000X XXXXb
0301h			
0302h	タイマ A11 レジスタ	TA11	XXXXh
0303h			
0304h	タイマ A21 レジスタ	TA21	XXXXh
0305h			
0306h	タイマ A41 レジスタ	TA41	XXXXh
0307h			
0308h	三相 PWM 制御レジスタ 0	INVC0	00h
0309h	三相 PWM 制御レジスタ 1	INVC1	00h
030Ah	三相出力バッファレジスタ 0	IDB0	XX11 1111b
030Bh	三相出力バッファレジスタ 1	IDB1	XX11 1111b
030Ch	短絡防止タイマ	DTT	XXh
030Dh	タイマ B2 割り込み発生頻度設定カウンタ	ICTB2	XXh
030Eh			
030Fh			
0310h	タイマ B3 レジスタ	TB3	XXXXh
0311h			
0312h	タイマ B4 レジスタ	TB4	XXXXh
0313h			
0314h	タイマ B5 レジスタ	TB5	XXXXh
0315h			
0316h			
0317h			
0318h			
0319h			
031Ah			
031Bh	タイマ B3 モードレジスタ	TB3MR	00XX 0000b
031Ch	タイマ B4 モードレジスタ	TB4MR	00XX 0000b
031Dh	タイマ B5 モードレジスタ	TB5MR	00XX 0000b
031Eh			
031Fh	外部割り込み要因選択レジスタ	IFSR	00h
0320h			
0321h			
0322h			
0323h			
0324h	UART3 特殊モードレジスタ 4	U3SMR4	00h
0325h	UART3 特殊モードレジスタ 3	U3SMR3	00h
0326h	UART3 特殊モードレジスタ 2	U3SMR2	00h
0327h	UART3 特殊モードレジスタ	U3SMR	00h
0328h	UART3 送受信モードレジスタ	U3MR	00h
0329h	UART3 通信速度レジスタ	U3BRG	XXh
032Ah	UART3 送信バッファレジスタ	U3TB	XXXXh
032Bh			
032Ch	UART3 送受信制御レジスタ 0	U3C0	0000 1000b
032Dh	UART3 送受信制御レジスタ 1	U3C1	0000 0010b
032Eh	UART3 受信バッファレジスタ	U3RB	XXXXh
032Fh			
0330h			
0331h			
0332h			
0333h			
0334h	UART2 特殊モードレジスタ 4	U2SMR4	00h
0335h	UART2 特殊モードレジスタ 3	U2SMR3	00h
0336h	UART2 特殊モードレジスタ 2	U2SMR2	00h
0337h	UART2 特殊モードレジスタ	U2SMR	00h
0338h	UART2 送受信モードレジスタ	U2MR	00h
0339h	UART2 通信速度レジスタ	U2BRG	XXh
033Ah	UART2 送信バッファレジスタ	U2TB	XXXXh
033Bh			
033Ch	UART2 送受信制御レジスタ 0	U2C0	0000 1000b
033Dh	UART2 送受信制御レジスタ 1	U2C1	0000 0010b
033Eh	UART2 受信バッファレジスタ	U2RB	XXXXh
033Fh			

X: 不定 空欄はすべて予約領域です。アクセスしないでください。

表 4.6 SFR 一覧 (6)

番地	レジスタ	シンボル	リセット後の値
0340h	カウント開始レジスタ	TABSR	00h
0341h	時計用プリスケアラリセットレジスタ	CPSRF	0XXX XXXXb
0342h	ワンショット開始レジスタ	ONSF	00h
0343h	トリガ選択レジスタ	TRGSR	00h
0344h	アップダウン選択レジスタ	UDF	00h
0345h			
0346h	タイマ A0 レジスタ	TA0	XXXXh
0347h			
0348h	タイマ A1 レジスタ	TA1	XXXXh
0349h			
034Ah	タイマ A2 レジスタ	TA2	XXXXh
034Bh			
034Ch	タイマ A3 レジスタ	TA3	XXXXh
034Dh			
034Eh	タイマ A4 レジスタ	TA4	XXXXh
034Fh			
0350h	タイマ B0 レジスタ	TB0	XXXXh
0351h			
0352h	タイマ B1 レジスタ	TB1	XXXXh
0353h			
0354h	タイマ B2 レジスタ	TB2	XXXXh
0355h			
0356h	タイマ A0 モードレジスタ	TA0MR	00h
0357h	タイマ A1 モードレジスタ	TA1MR	00h
0358h	タイマ A2 モードレジスタ	TA2MR	00h
0359h	タイマ A3 モードレジスタ	TA3MR	00h
035Ah	タイマ A4 モードレジスタ	TA4MR	00h
035Bh	タイマ B0 モードレジスタ	TB0MR	00XX 0000b
035Ch	タイマ B1 モードレジスタ	TB1MR	00XX 0000b
035Dh	タイマ B2 モードレジスタ	TB2MR	00XX 0000b
035Eh	タイマ B2 特殊モードレジスタ	TB2SC	XXXX XXX0b
035Fh	カウントソースプリスケアラレジスタ (注1)	TCSPR	0XXX 0000b
0360h			
0361h			
0362h			
0363h			
0364h	UART0 特殊モードレジスタ 4	U0SMR4	00h
0365h	UART0 特殊モードレジスタ 3	U0SMR3	00h
0366h	UART0 特殊モードレジスタ 2	U0SMR2	00h
0367h	UART0 特殊モードレジスタ	U0SMR	00h
0368h	UART0 送受信モードレジスタ	U0MR	00h
0369h	UART0 通信速度レジスタ	U0BRG	XXh
036Ah			
036Bh	UART0 送信バッファレジスタ	U0TB	XXXXh
036Ch	UART0 送受信制御レジスタ 0	U0C0	0000 1000b
036Dh	UART0 送受信制御レジスタ 1	U0C1	0000 0010b
036Eh			
036Fh	UART0 受信バッファレジスタ	U0RB	XXXXh
0370h			
0371h			
0372h			
0373h			
0374h			
0375h			
0376h			
0377h			
0378h	DMA0 要因選択レジスタ	DM0SL	0X00 0000b
0379h	DMA1 要因選択レジスタ	DM1SL	0X00 0000b
037Ah	DMA2 要因選択レジスタ	DM2SL	0X00 0000b
037Bh	DMA3 要因選択レジスタ	DM3SL	0X00 0000b
037Ch			
037Dh	CRC データレジスタ	CRCD	XXXXh
037Eh	CRC インプットレジスタ	CRCIN	XXh
037Fh			

X : 不定 空欄はすべて予約領域です。アクセスしないでください。

注1. TCSPR レジスタはソフトウェアリセットまたはウォッチドッグタイマリセットを行っても、リセット前の値が保持されます。

表 4.7 SFR 一覧 (7)

番地	レジスタ	シンボル	リセット後の値
0380h	A/D0 レジスタ 0	AD00	00XXh
0381h			
0382h	A/D0 レジスタ 1	AD01	00XXh
0383h			
0384h	A/D0 レジスタ 2	AD02	00XXh
0385h			
0386h	A/D0 レジスタ 3	AD03	00XXh
0387h			
0388h	A/D0 レジスタ 4	AD04	00XXh
0389h			
038Ah	A/D0 レジスタ 5	AD05	00XXh
038Bh			
038Ch	A/D0 レジスタ 6	AD06	00XXh
038Dh			
038Eh	A/D0 レジスタ 7	AD07	00XXh
038Fh			
0390h			
0391h			
0392h	A/D0 制御レジスタ 4	AD0CON4	XXXX 00XXb
0393h			
0394h	A/D0 制御レジスタ 2	AD0CON2	XX0X X000b
0395h	A/D0 制御レジスタ 3	AD0CON3	XXXX X000b
0396h	A/D0 制御レジスタ 0	AD0CON0	00h
0397h	A/D0 制御レジスタ 1	AD0CON1	00h
0398h	D/A レジスタ 0	DA0	XXh
0399h			
039Ah	D/A レジスタ 1	DA1	XXh
039Bh			
039Ch	D/A 制御レジスタ	DACON	XXXX XX00b
039Dh			
039Eh			
039Fh			

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.8 SFR 一覧 (8)

番地	レジスタ	シンボル	リセット後の値
03A0h			
03A1h			
03A2h			
03A3h			
03A4h			
03A5h			
03A6h			
03A7h			
03A8h			
03A9h			
03AAh			
03ABh			
03ACh			
03ADh			
03AEh			
03AFh	機能選択レジスタ C	PSC	00X0 0000b
03B0h	機能選択レジスタ A0	PS0	00h
03B1h	機能選択レジスタ A1	PS1	00h
03B2h	機能選択レジスタ B0	PSL0	00h
03B3h	機能選択レジスタ B1	PSL1	00h
03B4h	機能選択レジスタ A2	PS2	00X0 0000b
03B5h	機能選択レジスタ A3	PS3	00h
03B6h	機能選択レジスタ B2	PSL2	00X0 0000b
03B7h	機能選択レジスタ B3	PSL3	00h
03B8h			
03B9h			
03BAh			
03BBh			
03BCh			
03BDh			
03BEh			
03BFh			
03C0h	ポート P6 レジスタ	P6	XXh
03C1h	ポート P7 レジスタ	P7	XXh
03C2h	ポート P6 方向レジスタ	PD6	00h
03C3h	ポート P7 方向レジスタ	PD7	00h
03C4h	ポート P8 レジスタ	P8	XXh
03C5h	ポート P9 レジスタ	P9	XXh
03C6h	ポート P8 方向レジスタ	PD8	00X0 0000b
03C7h	ポート P9 方向レジスタ	PD9	00h
03C8h	ポート P10 レジスタ	P10	XXh
03C9h	ポート P11 レジスタ (注1)	P11	XXh
03CAh	ポート P10 方向レジスタ	PD10	00h
03CBh	ポート P11 方向レジスタ (注1、2)	PD11	XXX0 0000b
03CCh	ポート P12 レジスタ (注1)	P12	XXh
03CDh	ポート P13 レジスタ (注1)	P13	XXh
03CEh	ポート P12 方向レジスタ (注1、2)	PD12	00h
03CFh	ポート P13 方向レジスタ (注1、2)	PD13	00h

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. 100ピン版では使用できません。

注2. 100ピン版では“FFh”にしてください。

表 4.9 SFR 一覧 (9)

番地	レジスタ	シンボル	リセット後の値
03D0h	ポート P14 レジスタ (注1)	P14	XXh
03D1h	ポート P15 レジスタ (注1)	P15	XXh
03D2h	ポート P14 方向レジスタ (注1、2)	PD14	X000 0000b
03D3h	ポート P15 方向レジスタ (注1、2)	PD15	00h
03D4h			
03D5h			
03D6h			
03D7h			
03D8h			
03D9h			
03DAh	ブルアップ制御レジスタ 2	PUR2	00h
03DBh	ブルアップ制御レジスタ 3	PUR3	00h
03DCh	ブルアップ制御レジスタ 4 (注1、3)	PUR4	XXXX 0000b
03DDh			
03DEh			
03DFh			
03E0h	ポート P0 レジスタ	P0	XXh
03E1h	ポート P1 レジスタ	P1	XXh
03E2h	ポート P0 方向レジスタ	PD0	00h
03E3h	ポート P1 方向レジスタ	PD1	00h
03E4h	ポート P2 レジスタ	P2	XXh
03E5h	ポート P3 レジスタ	P3	XXh
03E6h	ポート P2 方向レジスタ	PD2	00h
03E7h	ポート P3 方向レジスタ	PD3	00h
03E8h	ポート P4 レジスタ	P4	XXh
03E9h	ポート P5 レジスタ	P5	XXh
03EAh	ポート P4 方向レジスタ	PD4	00h
03EBh	ポート P5 方向レジスタ	PD5	00h
03ECh			
03EDh			
03EEh			
03EFh			
03F0h	ブルアップ制御レジスタ 0	PUR0	00h
03F1h	ブルアップ制御レジスタ 1	PUR1	XXXX 0000b
03F2h			
03F3h			
03F4h			
03F5h			
03F6h			
03F7h			
03F8h			
03F9h			
03FAh			
03FBh			
03FCh			
03FDh			
03FEh			
03FFh	ポート制御レジスタ	PCR	XXXX X000b

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. 100 ピン版では使用できません。

注2. 100 ピン版では“FFh”にしてください。

注3. 100 ピン版では“00h”にしてください。

5. リセット

リセットには、ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットがあります。

5.1 ハードウェアリセット

$\overline{\text{RESET}}$ 端子によるリセットです。電源電圧が推奨動作条件を満たすとき、 $\overline{\text{RESET}}$ 端子に“L”を入力するとポートや周辺機能入出力が割り当てられている端子は初期化されます(表5.1を参照)。また、発振回路が初期化され、メインクロックの発振が始まります。 $\overline{\text{RESET}}$ 端子の入力レベルを“L”から“H”にするとCPUとSFRが初期化され、リセットベクタで示される番地からプログラムを実行します。ハードウェアリセットでは、内部RAMは初期化されません。また、内部RAMへ書き込み中に $\overline{\text{RESET}}$ 端子への入力が“L”になると、書いた値は不定となります。

図5.1にリセット回路の一例を、図5.2にリセットシーケンスを、表5.1に $\overline{\text{RESET}}$ 端子に“L”レベルを入力している期間の端子の状態を示します。

5.1.1 電源安定時

- (1) $\overline{\text{RESET}}$ 端子に“L”を入力する
- (2) XIN端子に20サイクル以上のクロックを入力する
- (3) $\overline{\text{RESET}}$ 端子に“H”を入力する

5.1.2 電源投入時

- (1) $\overline{\text{RESET}}$ 端子に“L”を入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまで電源投入時内部電源安定時間 $t_d(\text{P-R})$ 待つ
- (4) XIN端子に20サイクル以上のクロックを入力する
- (5) $\overline{\text{RESET}}$ 端子に“H”を入力する

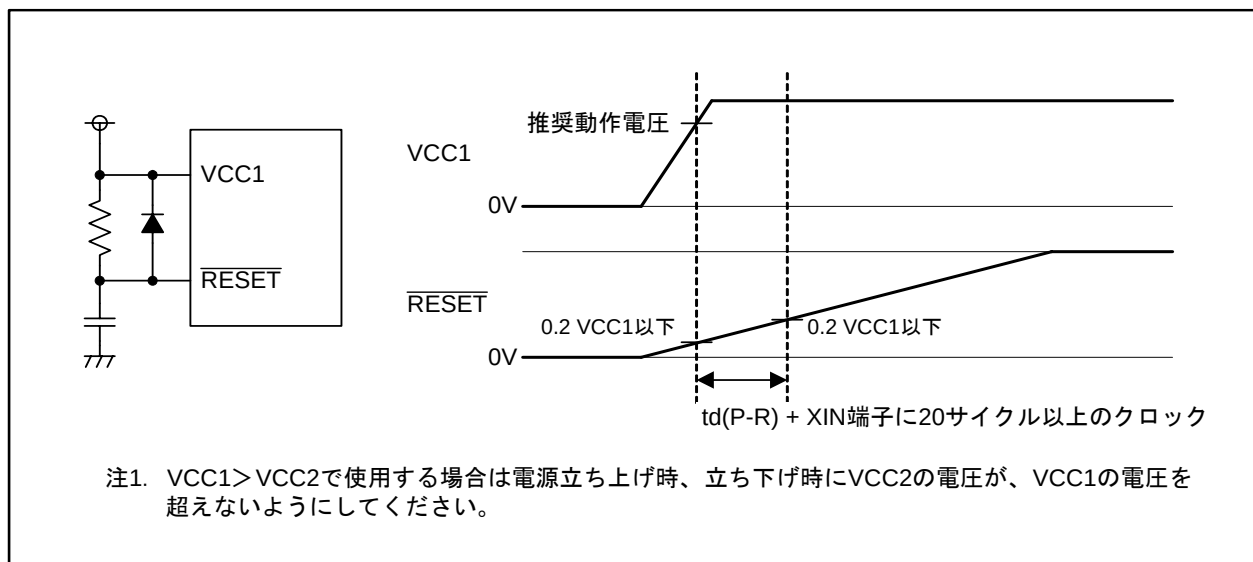


図5.1 リセット回路の一例

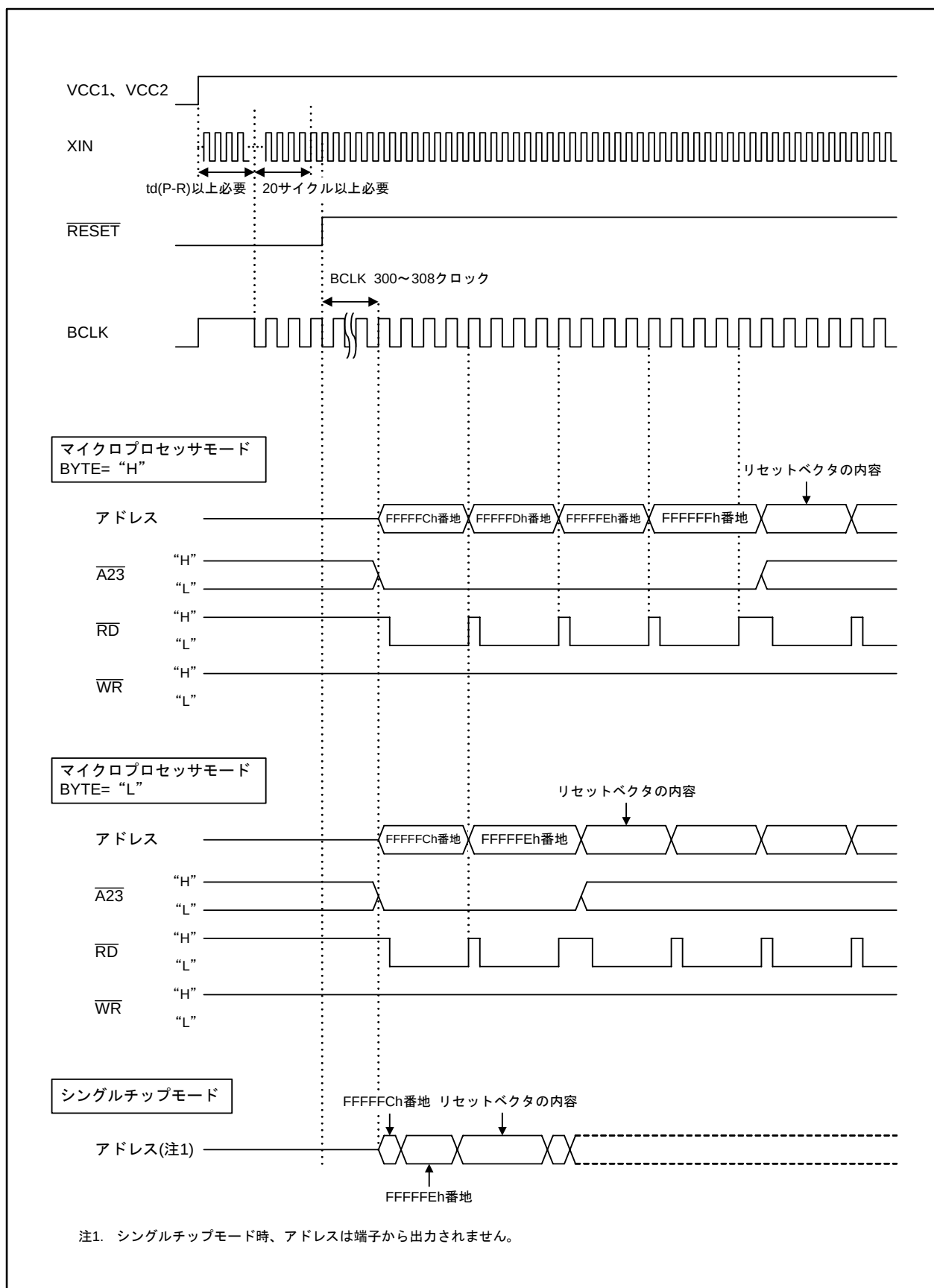


図5.2 リセットシーケンス

表 5.1 $\overline{\text{RESET}}$ 端子に “L” レベルを入力している期間の端子の状態 (注 2)

端子名	シングルチップモード	マイクロプロセッサモード	
	CNVSS= “L”	CNVSS= “H” (注 4)	
		BYTE= “L”	BYTE= “H”
P0	入力ポート(ハイインピーダンス)	データ入力(ハイインピーダンス)	
P1	入力ポート(ハイインピーダンス)	データ入力 (ハイインピーダンス)	入力ポート (ハイインピーダンス)
P2、P3、P4	入力ポート(ハイインピーダンス)	アドレス出力(不定)	
P5_0	入力ポート(ハイインピーダンス)	$\overline{\text{WR}}$ 出力(“H” を出力)(注 3)	
P5_1	入力ポート(ハイインピーダンス)	$\overline{\text{BHE}}$ 出力(不定)	
P5_2	入力ポート(ハイインピーダンス)	$\overline{\text{RD}}$ 出力(“H” を出力)(注 3)	
P5_3	入力ポート(ハイインピーダンス)	BCLK 出力(注 3)	
P5_4	入力ポート(ハイインピーダンス)	$\overline{\text{HLDA}}$ 出力(出力値は $\overline{\text{HOLD}}$ 端子の入力に依存)(注 3)	
P5_5	入力ポート(ハイインピーダンス)	$\overline{\text{HOLD}}$ 入力(ハイインピーダンス)	
P5_6	入力ポート(ハイインピーダンス)	“H” を出力(注 3)	
P5_7	入力ポート(ハイインピーダンス)	$\overline{\text{RDY}}$ 入力(ハイインピーダンス)	
P6～P15(注 1)	入力ポート(ハイインピーダンス)	入力ポート(ハイインピーダンス)	

注 1. ポート P11～P15 は 144 ピン版のみあります。

注 2. 内部電源電圧が安定するまでは、プルアップ抵抗の有無は不定となります。

注 3. 電源投入後、内部電源電圧が安定してからの状態です。内部電圧が安定するまで不定です。

注 4. フラッシュメモリ版では、 $\overline{\text{EPM}}(\text{P5}_5)$ = “H” の条件が必要です。

5.2 ソフトウェアリセット

PM0 レジスタの PM03 ビットを “1” (マイクロコンピュータをリセット) にすると、マイクロコンピュータはポートや周辺機能入出力が割り当てられている端子、CPU、SFR を初期化します。その後、CPU はリセットベクタで示される番地からプログラムを実行します。

CPU クロック源にメインクロックを選択し、メインクロックの発振が十分安定している状態で、PM03 ビットを “1” にしてください。

ソフトウェアリセットでは、PM0 レジスタの PM01～PM00 ビット、TCSPR レジスタが初期化されません。

また、PM01～PM00 ビットを初期化しないため、プロセッサモードは変化しません。

5.3 ウォッチドッグタイマリセット

CM0 レジスタの CM06 ビットが “1” (リセット) の場合、ウォッチドッグタイマがアンダフローするとポートや周辺機能入出力が割り当てられている端子、CPU、SFR は初期化されます。その後、CPU はリセットベクタで示される番地からプログラムを実行します。

ウォッチドッグタイマリセットでは、PM0 レジスタの PM01～PM00 ビット、TCSPR レジスタが初期化されません。

また、PM01～PM00 ビットを初期化しないため、プロセッサモードは変化しません。

5.4 CPU レジスタの状態

図 5.3 にリセット後の CPU レジスタの状態を示します。リセット後の SFR の状態は、「4.SFR」を参照してください。

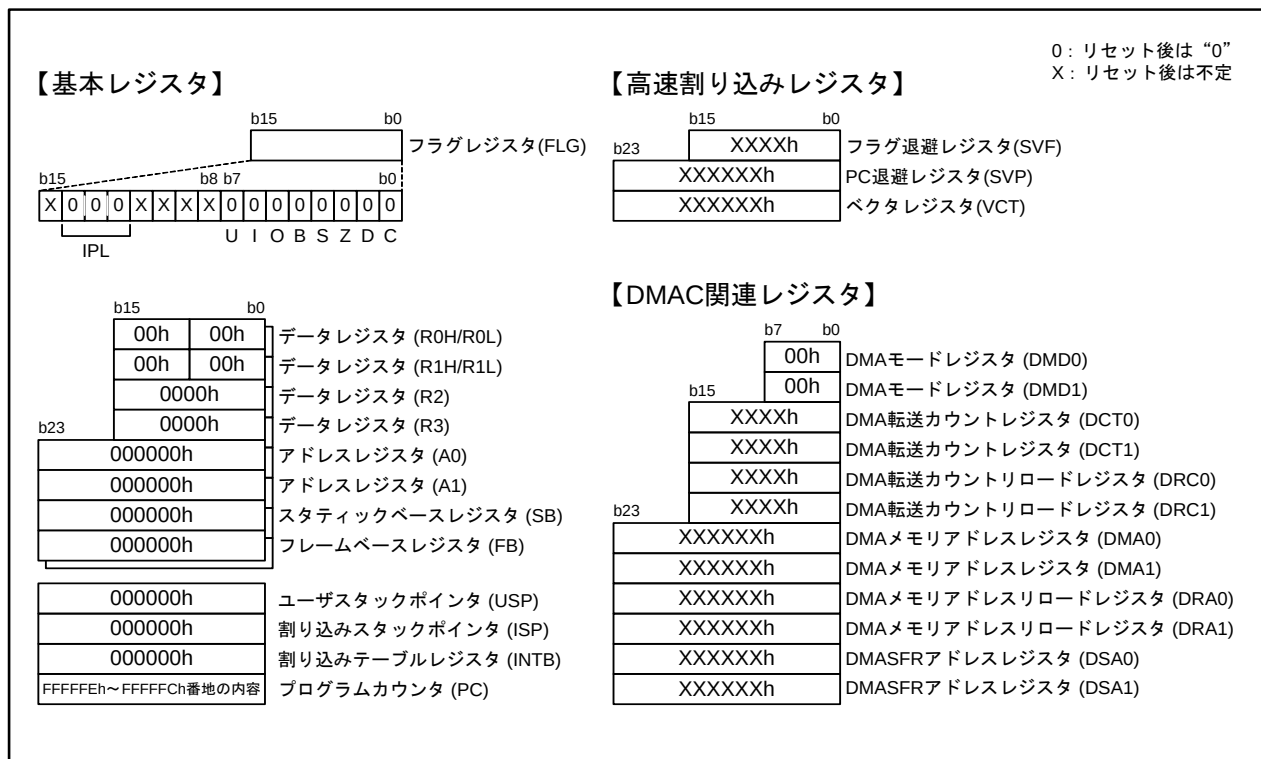


図5.3 リセット後のCPUレジスタの状態

6. 電圧監視機能

電圧監視機能は、VCC1 端子に入力する電源電圧の変化を検出して割り込みを発生させることができます。図6.1に電圧監視機能のブロック図を、図6.2～図6.3に関連レジスタを示します。

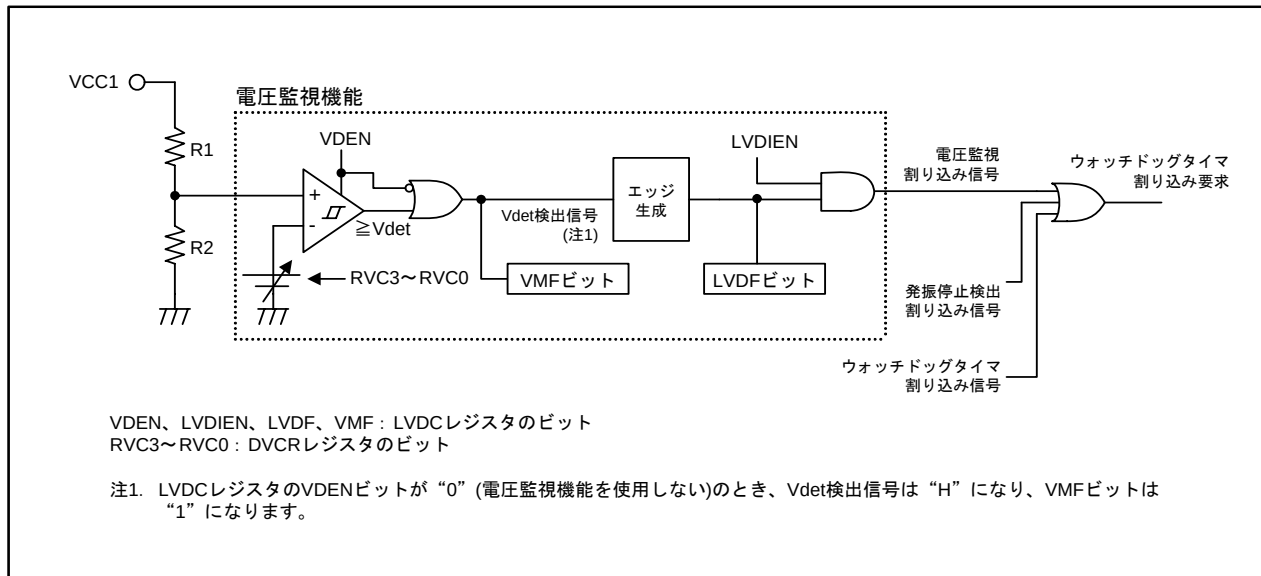
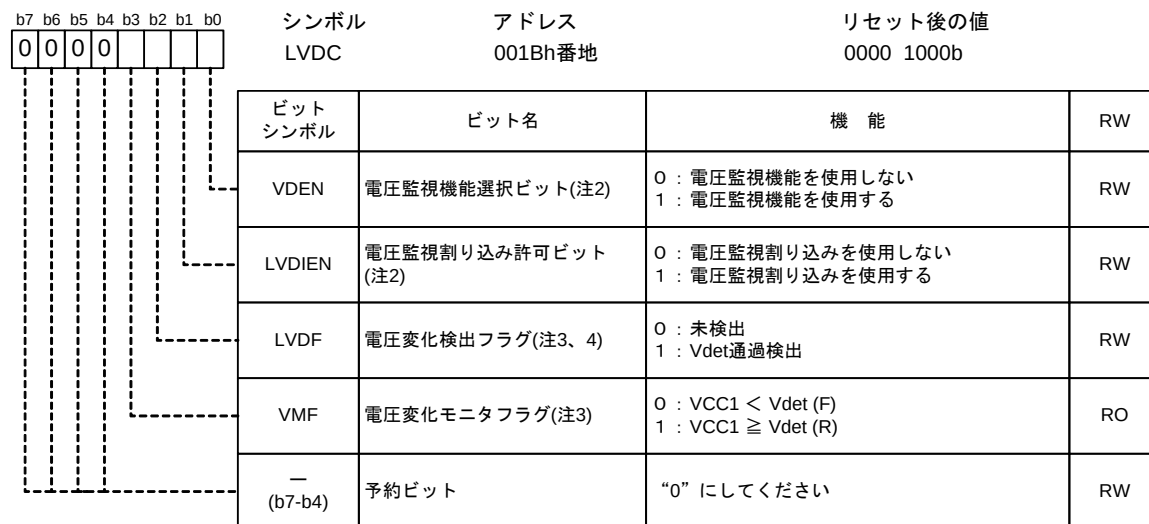


図6.1 電圧監視機能のブロック図

電圧監視レジスタ (注1)



注1. LVDCレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. VDENビットを“1”にすると、td(E-A)後に電圧監視機能が使用できます。LVDIENビットを“1”にする場合は、VDENビットを“1”にした後、td(E-A)待ってから、LVDIENビットに“1”に設定ください。

注3. VDENビットが“1”のとき有効です。VDENビットが“0”のときは、LVDFビットは“0”、VMFビットは“1”になります。

注4. プログラムで“0”にできます。“1”を書いた場合、設定前の値を保持します。

図6.2 LVDCレジスタ

リファレンス電圧設定レジスタ (注1)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
1 ☒ ☒ ☒ ☐ ☐ ☐ ☐ ☐	DVCR	0017h番地	1000 1111b
ビット シンボル	ビット名	機 能	RW
RVC0	リファレンス電圧設定ビット (注2)	b3 b2 b1 b0 0 0 0 0 : 3.80V 0 0 0 1 : 3.65V 0 0 1 0 : 3.50V 0 0 1 1 : 3.35V 0 1 0 0 : 3.20V 1 0 1 1 : 4.55V 1 1 0 0 : 4.40V 1 1 0 1 : 4.25V 1 1 1 0 : 4.10V 1 1 1 1 : 3.95V 上記以外、設定しないでください。	RW
RVC1			RW
RVC2			RW
RVC3			RW
— (b6-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—
— (b7)	予約ビット	“1”にしてください	RW

注1. DVCRレジスタはPRCRレジスタのPRC3ビットを“1”（書き込み許可）にした後、LVDCレジスタのVDENビットが“0”（電圧監視機能を使用しない）の状態書き換えてください。

注2. 検出電圧Vdet(F)、Vdet(R)は以下のようになります。

RVC3～RVC0 ビット	リファレンス電圧	電圧降下検出電圧 Vdet(F)	電圧上昇検出電圧 Vdet(R)
1011b	4.55V	4.55V	4.77V
1100b	4.40V	4.40V	4.62V
1101b	4.25V	4.25V	4.47V
1110b	4.10V	4.10V	4.32V
1111b	3.95V	3.95V	4.17V
0000b	3.80V	3.80V	4.02V
0001b	3.65V	3.65V	3.87V
0010b	3.50V	3.50V	3.72V
0011b	3.35V	3.35V	3.57V
0100b	3.20V	3.20V	3.42V

図 6.3 DVCR レジスタ

6.1 電圧監視機能の動作

LVDCレジスタのVDENビットを“1”(電圧監視機能を使用する)にすると、 $t_d(E-A)$ 後に電圧監視機能が使用できます。

VCC1端子の入力電圧が降下してVdet(F)未満になると、LVDCレジスタのVMFビットが“0”(VCC1<Vdet(F))になり、LVDCレジスタのLVDFビットが“1”(Vdet通過検出)になります。上昇してVdet(R)以上になると、VMFビットが“1”(VCC1 $\geq$ Vdet(R))になり、LVDFビットが“1”になります。

LVDCレジスタのLVDIENビットが“1”(電圧監視割り込みを使用する)の場合、VMFビットの値が変化すると、LVDFビットが“1”になり、電圧監視割り込み要求が発生します。LVDFビットは割り込みが受け付けられても自動的に“0”になりません。プログラムで“0”にしてください。VMFビットを読むと、入力電圧が降下してVdet(F)を通過したのか、上昇してVdet(R)を通過したのかを判断することができます。

電圧監視割り込みは、ウォッチドッグタイマ割り込み、発振停止検出割り込みと割り込みベクタを共用しています。電圧監視割り込みとこれらの割り込みを同時に使用する場合、割り込みルーチンでLVDFビットを読み、電圧監視割り込みが発生したことを確認してください。

図6.4に電圧監視機能の動作例を示します。

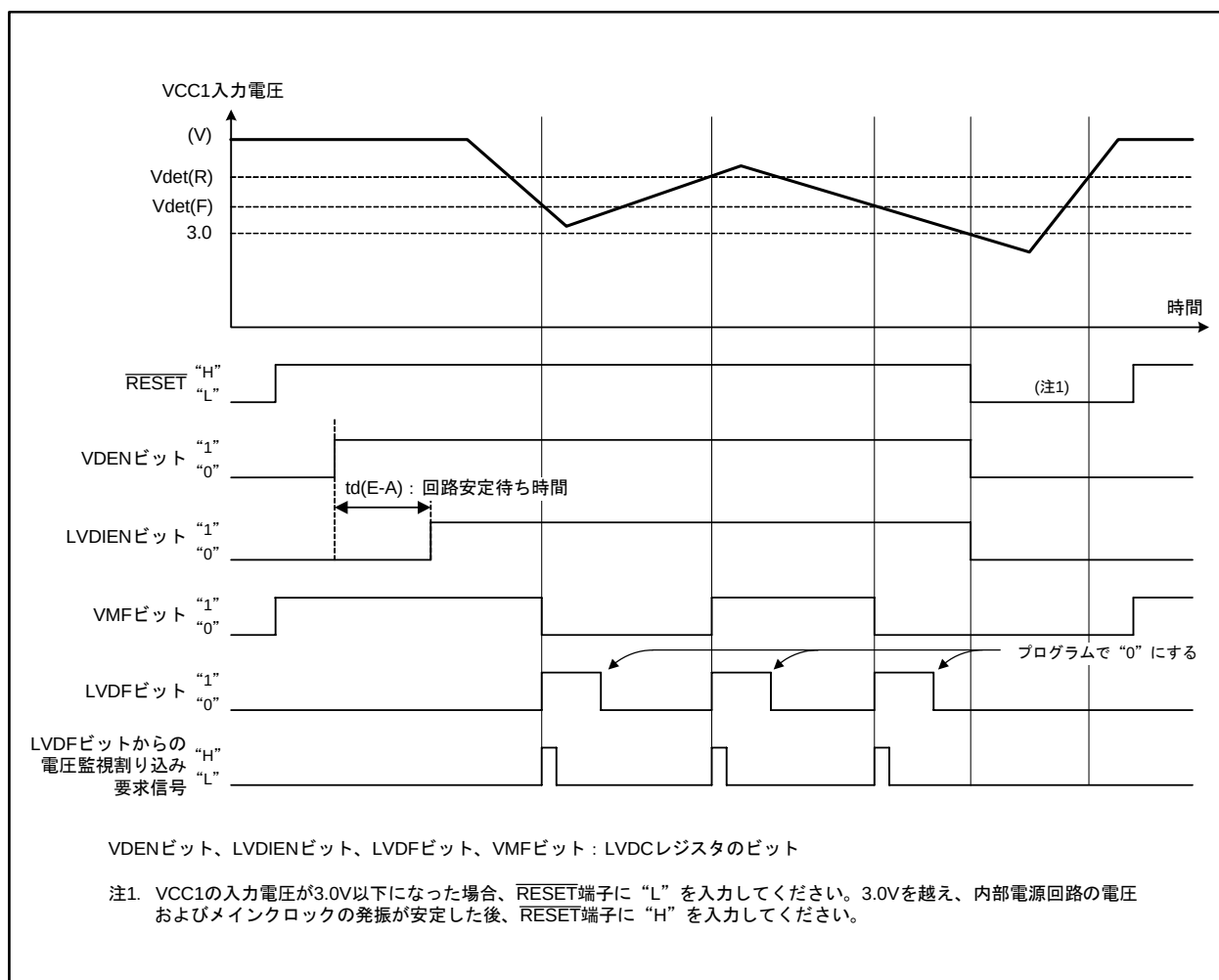


図6.4 電圧監視機能の動作例

7. プロセッサモード

7.1 プロセッサモードの種類

プロセッサモードには、シングルチップモード、メモリ拡張モード、マイクロプロセッサモードまたはブートモードがあります。表7.1にプロセッサモードの特長を示します。

表 7.1 プロセッサモードの特長

プロセッサモード	アクセス領域	入出力ポートが割り当てられている端子
シングルチップモード	SFR、内部RAM、内部ROM(ユーザROM領域)	入出力ポート または周辺機能入出力端子
メモリ拡張モード(注1)	SFR、内部RAM、内部ROM(ユーザROM領域)、 外部領域	P0～P5がバス制御端子
マイクロプロセッサモード (注1)	SFR、内部RAM、外部領域	P0～P5がバス制御端子
ブートモード(注2)	SFR、内部RAM、内部ROM(ブートROM領域)	入出力ポート または周辺機能入出力端子

注1. 詳細は「8. バス」を参照してください。

注2. 詳細は「23. フラッシュメモリ」を参照してください。

7.2 プロセッサモードの設定

プロセッサモードの設定は、CNVSS 端子、 $\overline{\text{EPM}}(\text{P5_5})$ 端子、PM0 レジスタのPM01～PM00 ビットで行います。表7.2にハードウェアリセット後のプロセッサモード、表7.3にPM01～PM00 ビットの設定値に対するプロセッサモードを示します。

表 7.2 ハードウェアリセット後のプロセッサモード

モードエントリ端子への入力		チップの種類	モード
CNVSS	$\overline{\text{EPM}}(\text{P5_5})$		
L	—	フラッシュメモリ版	シングルチップモード
H	H(注1)	フラッシュメモリ版、ROMレス版	マイクロプロセッサモード
H	L	フラッシュメモリ版	ブートモード

—: “H” でも “L” でも入力可能

注1. リセット後、P5_5端子はHOLD端子になります。

表 7.3 PM01～PM00 ビットの設定値に対するプロセッサモード

PM01～PM00 ビット	プロセッサモード
00b	シングルチップモード
01b	メモリ拡張モード
11b	マイクロプロセッサモード

PM01～PM00 ビットを書き換えると、CNVSS 端子の入力レベルにかかわらず、PM01～PM00 ビットに対応するモードになります。メモリ拡張モード、マイクロプロセッサモードを使用する場合、PM07、PM05～PM04、PM02 ビット、PM1 レジスタのPM15～PM14、PM11～PM10 ビットを設定した後に、PM01～PM00 ビットを設定してください。

CPUが内部ROMのプログラムを実行中、マイクロプロセッサモードへ移行しないでください。また、CPUが外部領域にあるプログラムを実行中、シングルチップモードへ移行しないでください。

ハードウェアリセット後、マイクロプロセッサモードで動作させた場合、PM01～PM00ビットの設定にかかわらず、内部ROMはアクセスできません。

図7.1～図7.2にプロセッサモード関連レジスタ、図7.3に各プロセッサモード時のメモリ配置を示します。

プロセッサモードレジスタ0 (注1)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
0 0 0 0 0 0 0 0	PM0	0004h番地	1000 0000b (CNVSS端子が“L”) 0000 0011b (CNVSS端子が“H”)

ビットシンボル	ビット名	機能	RW
PM00	プロセッサモードビット (注2、3)	b1 b0 0 0 : シングルチップモード 0 1 : メモリ拡張モード 1 0 : 設定しないでください 1 1 : マイクロプロセッサモード	RW
PM01			RW
PM02	R/Wモード選択ビット	0 : RD / BHE / WR 1 : RD / WRH / WRL	RW
PM03	ソフトウェアリセットビット	PM03ビットを“1”にすると、 マイクロコンピュータはリセットされる 読んだ場合、その値は“0”	RW
PM04	マルチプレクスバス領域 選択ビット(注4)	b5 b4 0 0 : マルチプレクスバスを使用しない 0 1 : CS2の領域に割り当てる 1 0 : CS1の領域に割り当てる 1 1 : CSの全領域に割り当てる	RW
PM05			RW
— (b6)	予約ビット	“0”にしてください	RW
PM07	BCLK出力機能選択ビット	0 : BCLK出力する(注5) 1 : BCLK出力しない	RW

- 注1. PM0レジスタはPRCRレジスタのPRC1ビットを“1” (書き込み許可)にした後で書き換えてください。
- 注2. PM01～PM00ビットは、ソフトウェアリセットまたはウォッチドッグタイマリセットを行ってもリセット前の値が保持されます。
- 注3. メモリ拡張モード、マイクロプロセッサモードを使用する場合、PM07、PM05～PM04、PM02ビット、PM1レジスタのPM15～PM14、PM11～PM10ビットを設定した後に、PM01～PM00ビットを設定してください。
- 注4. メモリ拡張モード、マイクロプロセッサモード時に有効です。PM1レジスタのPM11～PM10ビットと組み合わせて使用してください。リセット後はセパレートバスで動作しますので、マイクロプロセッサモード時にPM05～PM04ビットを“11b”にしないでください。詳細は、章「バス」の表「マルチプレクスバスの設定とチップセレクト領域」を参照してください。
- 注5. シングルチップモード時、PM07ビットを“0”にしてもBCLKは出力されません。
メモリ拡張モード、マイクロプロセッサモード時にP5_3からBCLKを出力する場合は、PM07ビットを“0”にし、CM0レジスタのCM01～CM00ビットを“00b”、PM1レジスタのPM15～PM14ビットを“00b”、“10b”または“11b”にしてください。

図7.1 PM0 レジスタ

プロセッサモードレジスタ1 (注1)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
0 0	PM1	0005h番地	00h

ビット シンボル	ビット名	機 能	RW
PM10	外部領域モードビット(注2)	b1 b0 0 0 : モード0(P4_4~P4_7はA20~A23) 0 1 : モード1(P4_4はA20、P4_5~P4_7はCS2~CS0)	RW
PM11		1 0 : モード2(P4_4,P4_5はA20、A21、P4_6、P4_7はCS1、CS0) 1 1 : モード3(P4_4~P4_7はCS3~CS0)	RW
PM12	内部メモリウェイトビット	0 : ウェイトなし 1 : 1ウェイト	RW
PM13	SFR領域ウェイトビット	0 : 1ウェイト 1 : 2ウェイト	RW
PM14	ALE端子選択ビット(注2)	b5 b4 0 0 : ALEなし 0 1 : P5_3 (注3)	RW
PM15		1 0 : P5_6 1 1 : P5_4	RW
— (b7-b6)	予約ビット	“0” にしてください	RW

注1. PM1レジスタはPRCRレジスタのPRC1ビットを“1” (書き込み許可)にした後で書き換えてください。

注2. メモリ拡張モード、マイクロプロセッサモード時に有効です。PM15~PM14、PM11~PM10ビットを設定した後、PM01~PM00ビットを設定してください。

注3. P5_3からALEを出力する場合は、PM15~PM14ビットを“01b”に、CM0レジスタのCM01~CM00ビットを“00b”(入出力ポートP5_3)にしてください。

図7.2 PM1レジスタ

<シングルチップモード>

000000h	SFR
000400h	内部RAM
	予約領域
00E000h	ブロックB (注3)
00F000h	ブロックA (注3)
010000h	使用不可
100000h	
200000h	
300000h	
400000h	
C00000h	
D00000h	
E00000h	
F00000h	
FFFFFFh	内部ROM

<メモリ拡張モード>

モード0	モード1	モード2	モード3
000000h	SFR	SFR	SFR
000400h	内部RAM	内部RAM	内部RAM
	予約領域	予約領域	予約領域
00E000h	ブロックB (注3)	ブロックB (注3)	ブロックB (注3)
00F000h	ブロックA (注3)	ブロックA (注3)	ブロックA (注3)
010000h			
100000h	外部領域0	CS1 2Mバイト(注1) 外部領域0	使用不可
200000h			CS1 1Mバイト 外部領域0
300000h	外部領域1	CS2 2Mバイト 外部領域1	CS2 1Mバイト 外部領域1
400000h			使用不可
C00000h	外部領域2	使用不可	使用不可
D00000h			CS3 1Mバイト 外部領域2
E00000h	外部領域3	CS0 3Mバイト 外部領域3	使用不可
F00000h			CS0 1Mバイト 外部領域3
	予約領域	予約領域	予約領域
FFFFFFh	内部ROM	内部ROM	内部ROM

<マイクロプロセッサモード>

モード0	モード1	モード2	モード3
000000h	SFR	SFR	SFR
000400h	内部RAM	内部RAM	内部RAM
	予約領域	予約領域	予約領域
010000h			
100000h	外部領域0	CS1 2Mバイト(注1) 外部領域0	使用不可
200000h			CS1 1Mバイト 外部領域0
300000h	外部領域1	CS2 2Mバイト 外部領域1	CS2 1Mバイト 外部領域1
400000h			使用不可
C00000h	外部領域2	使用不可	使用不可
D00000h			CS3 1Mバイト 外部領域2
E00000h	外部領域3	CS0 4Mバイト 外部領域3	使用不可
F00000h			CS0 1Mバイト 外部領域3
	予約領域	予約領域	予約領域
FFFFFFh	内部ROM	内部ROM	内部ROM

EWCRiレジスタ(i=0~3)で
ウェイト制御するCS領域
CS0 → EWCR3レジスタ
CS1 → EWCR0レジスタ
CS2 → EWCR1レジスタ
CS3 → EWCR2レジスタ

注1. 200000h-010000h=1984Kバイト 2Mバイトに対して64K少ない。
注2. 400000h-010000h=4032Kバイト 4Mバイトに対して64K少ない。
注3. フラッシュメモリ版にはデータ格納用として4Kバイトの領域が2ブロック存在します。

図7.3 各プロセッサモード時のメモリ配置

8. バス

メモリ拡張モード、またはマイクロプロセッサモードでは、一部の端子がバス制御端子となります。バス制御端子にはA0～A22、 $\overline{A23}$ 、D0～D15、 $\overline{CS0}$ ～ $\overline{CS3}$ 、 $\overline{WRL}$ / $\overline{WR}$ 、 $\overline{WRH}$ / $\overline{BHE}$ 、 $\overline{RD}$ 、CLKOUT / BCLK / ALE、 $\overline{HLDA}$ / ALE、 $\overline{HOLD}$ 、ALE、 $\overline{RDY}$ があります。

8.1 バス設定

バスの設定はBYTE端子、DSレジスタ、PM0レジスタのPM05～PM04ビット、PM1レジスタのPM11～PM10ビットで切り替えられます。

表8.1にバスの設定と切り替え要因を、図8.1にDSレジスタを示します。

表8.1 バスの設定と切り替え要因

バスの設定	切り替え要因
外部データバス幅切り替え	DSレジスタ
リセット後のバス幅設定	BYTE端子(外部領域3のみ)
セパレートバス、マルチプレクスバス切り替え	PM0レジスタのPM05～PM04ビット
チップセレクトの数	PM1レジスタのPM11～PM10ビット

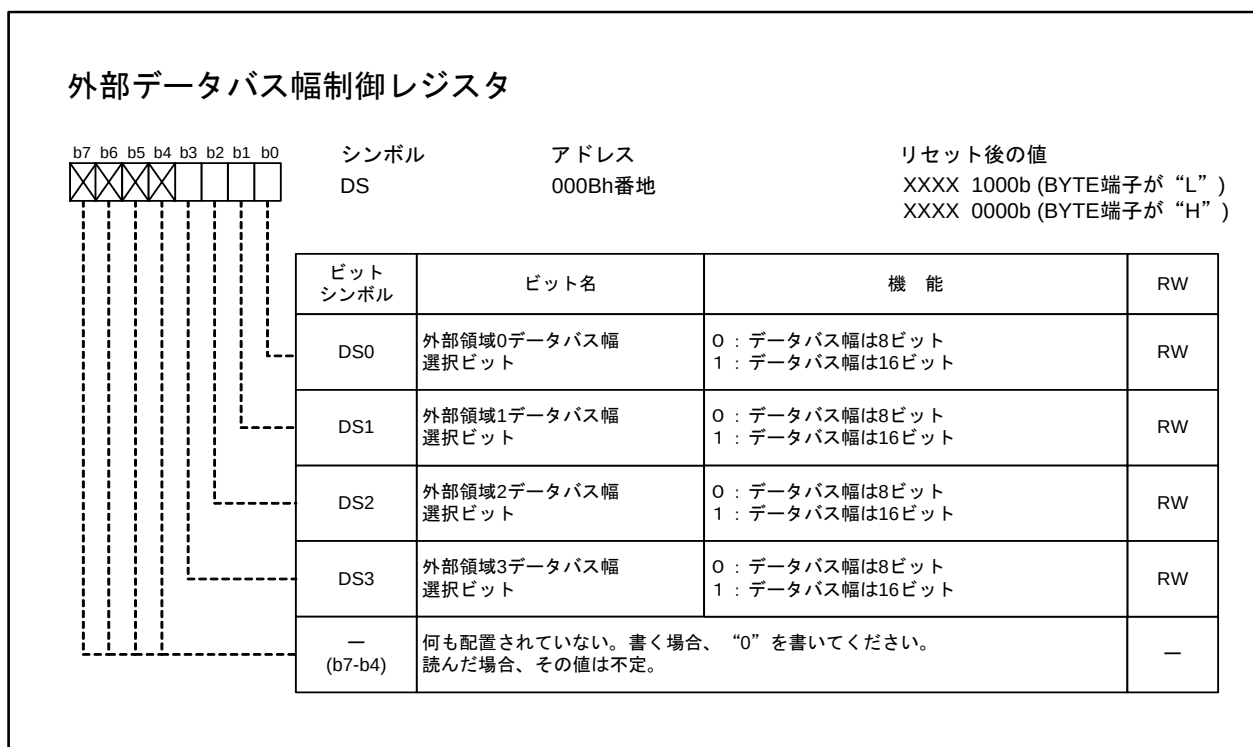


図8.1 DSレジスタ

8.1.1 外部アドレスバスの選択

外部に出力するアドレスバスの本数、チップセレクトの本数、チップセレクトの領域は外部領域モードごとに異なります。外部領域モードはPM1レジスタのPM11～PM10ビットで選択できます。

8.1.2 外部データバスの選択

外部データバスは外部領域ごとにDSレジスタで8ビットまたは16ビットを選択できます。リセット後の外部領域3のデータバスはBYTE端子の入力が“L”のときは16ビット、“H”のときは8ビットです。動作中は、BYTE端子の入力レベルを変更しないでください。内部バスは常に16ビットです。

8.1.3 セパレートバス、マルチプレクスバスの選択

バスの形式は、PM0レジスタのPM05～PM04ビットでマルチプレクスバスまたはセパレートバスを選択できます。リセット後はセパレートバスで動作します。

8.1.3.1 セパレートバス

データとアドレスを分離して入出力するバスの形式です。データバスは、DSレジスタにより8ビットまたは16ビットを選択できます。DSレジスタのDSiビット(i=0～3)がすべて“0”(8ビットデータバス)のときは、ポートP0はデータバス、ポートP1はプログラマブル入出力ポートとなります。

DSiビットのいずれかが“1”(16ビットデータバス)のときはポートP0、P1はデータバスとなります。ただし、DSiビットが“0”の領域にアクセスしたとき、ポートP1は不定です。

8.1.3.2 マルチプレクスバス

データとアドレスを時分割で入出力するバスの形式です。DSiビットで8ビットを選択した領域では、D0～D7がA0～A7とマルチプレクスされます。DSiビットで16ビットを選択した領域では、D0～D15がA0～A15とマルチプレクスされます。

PM0レジスタのPM05～PM04ビットを“11b”(CSの全領域に割り当てる)にすると、アドレスはA0～A15までの16ビットしか出力されません。このとき、アクセス領域はチップセレクトごとに64Kバイトになります。詳細は、表8.3プロセッサモードと端子の機能を参照してください。

表8.2にマルチプレクスバスの設定とチップセレクト領域を示します。

表8.2 マルチプレクスバスの設定とチップセレクト領域

PM0レジスタの PM05～PM04ビットに 設定する値	PM1レジスタのPM11～PM10ビットに設定する値			
	“00b” (外部領域モード0)	“01b” (外部領域モード1)	“10b” (外部領域モード2)	“11b” (外部領域モード3)
“00b” (マルチプレクスバスを使用しない)	セパレートバス			
“01b” (CS2の領域に割り当てる)	設定できません	$\overline{\text{CS2}}$	設定できません	$\overline{\text{CS2}}$
“10b” (CS1の領域に割り当てる)		$\overline{\text{CS1}}$	$\overline{\text{CS1}}$	$\overline{\text{CS1}}$
“11b” (CSの全領域に割り当てる)(注1)		$\overline{\text{CS0}}$ $\overline{\text{CS1}}$ $\overline{\text{CS2}}$	$\overline{\text{CS0}}$ $\overline{\text{CS1}}$	$\overline{\text{CS0}}$ $\overline{\text{CS1}}$ $\overline{\text{CS2}}$ $\overline{\text{CS3}}$

注1. マイクロプロセッサモードではPM0レジスタのPM05～PM04ビットを“11b”(CSの全領域に割り当てる)にしないでください。

表 8.3 プロセッサモードと端子の機能

プロセッサ モード	シングル チップ モード	メモリ拡張モード マイクロプロセッサモード				メモリ拡張モード	
PM0レジスタの PM05～PM04 ビット (注1)		“00b” (マルチプレクスバスを 使用しない)		“01b” (CS2の領域に割り当てる) “10b” (CS1の領域に割り当てる)		“11b” (CSの全領域に割り当てる)	
アクセス領域の データバス幅		全ての 外部領域が 8ビット	いずれかの 外部領域が 16ビット	全ての 外部領域が 8ビット	いずれかの 外部領域が 16ビット	全ての 外部領域が 8ビット	いずれかの 外部領域が 16ビット
P0_0～P0_7	入出力 ポート	データバス(D0～D7)				入出力ポート	
P1_0～P1_7		入出力 ポート	データバス (D8～D15)	入出力 ポート	データバス (D8～D15)		
P2_0～P2_7		アドレスバス(A0～A7)		アドレスバス/データバス(A0 / D0～A7 / D7)(注2)			
P3_0～P3_7		アドレスバス(A8～A15)			アドレ ス バス/ データバス (A8 / D8～ A15 / D15) (注2)	アドレ ス バス (A8～A15)	アドレ ス バス/ データバス (A8 / D8～ A15 / D15) (注2)
P4_0～P4_3		アドレスバス(A16～A19)				入出力ポート	
P4_4～P4_6		CSまたはアドレスバス(A20～A22)(詳細は「8.2バス制御」を参照)(注6)					
P4_7		CSまたはアドレスバス(A23)(詳細は「8.2バス制御」を参照)(注6)					
P5_0～P5_2			RD、WRL、WRHまたはRD、BHE、WR(詳細は「8.2バス制御」を参照)(注4)				
P5_3	入出力 ポート / CLKOUT	CLKOUT / BCLK / ALE(注7)					
P5_4	入出力 ポート	HLDA / ALE(注3)					
P5_5		HOLD					
P5_6		ALE(注3、5)					
P5_7		RDY					

注1. リセット後、セパレートバスで動作しますので、マイクロプロセッサモード時、PM05～PM04ビットを“11b”($\overline{\text{CS}}$ の全領域に割り当てる)にしないでください。メモリ拡張モード時、“11b”を選択した場合、アクセス領域はチップセレクトごとに64Kバイトの範囲です。

注2. セパレートバスではアドレスバスになります。

注3. ALE出力端子はPM1レジスタのPM15～PM14ビットで選択してください。

注4. $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ か $\overline{\text{BHE}}$ 、 $\overline{\text{WR}}$ かはPM0レジスタのPM02ビットで選択してください。

注5. PM15～PM14ビットを“00b”(ALEなし)にした場合、P5_6から不定値が出力されます。
P5_6は入出力ポートとして使用できません。

注6. $\overline{\text{CS}}$ 出力とアドレスバスの選択は、PM1レジスタのPM11～PM10ビットで選択してください。

注7. この機能はCM0レジスタのCM01～CM00ビット、PM1レジスタのPM15～PM14ビットとPM0レジスタのPM07ビットで選択してください。

8.2 バス制御

外部デバイスのアクセスに必要な信号およびバスタイミングについて説明します。外部デバイスのアクセスに必要な信号は、プロセッサモードがメモリ拡張モード、マイクロプロセッサモードのとき有効です。

8.2.1 アドレスバス、データバス

アドレスバスは、16M バイトの領域をアクセスするための信号で、A0～A22、 $\overline{A23}$ の24本あります。 $\overline{A23}$ はアドレス最上位ビットの反転出力です。

データバスは、データの入出力信号です。DS レジスタで外部領域ごとにD0～D7の8ビットデータバスと、D0～D15の16ビットデータバスを選択できます。リセット後、BYTE 端子に“H”を入力している場合、外部領域3のデータバスは8ビットになります。同様にBYTE 端子に“L”を入力している場合、16ビットになります。

また、シングルチップモードからメモリ拡張モードに変更したとき、アドレスバスは外部領域をアクセスするまで不定です。

8.2.2 チップセレクト出力

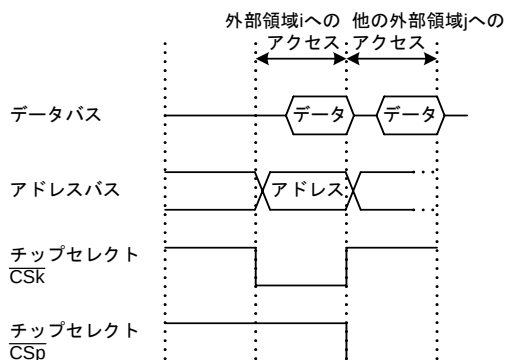
チップセレクトの出力端子はA20～A22、 $\overline{A23}$ と共用です。PM1 レジスタのPM11～PM10ビットでチップセレクトの領域とチップセレクトの出力本数を選択できます。チップセレクト出力は最大4本使用できます。

マイクロプロセッサモードの場合、リセット後、チップセレクトは出力されません。ただし、 $\overline{A23}$ をチップセレクト出力として使用できます。

チップセレクトの出力端子 $\overline{CSi}$ (i=0～3)は、対応する外部領域をアクセス中に“L”を出力します。別の外部領域をアクセスすると“H”を出力します。図 8.2 にアドレスバスとチップセレクト出力例を示します。

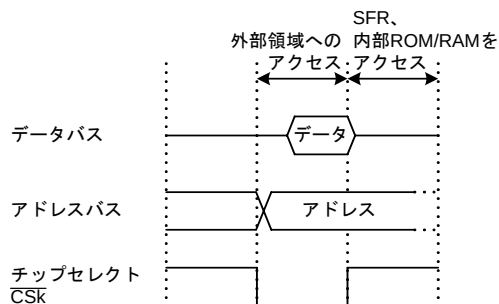
- (1) 外部領域をアクセス後、次のバスサイクルでアドレスバス、チップセレクト出力が共に変化

外部領域*i*をアクセス後、次のバスサイクルで他のチップセレクト出力が示す外部領域*j*をアクセスする場合、アドレスバス、チップセレクト出力が共に変化します。



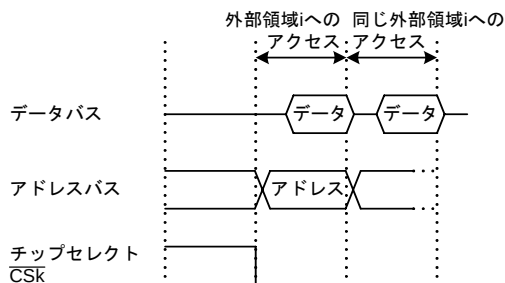
- (2) 外部領域をアクセス後、次のバスサイクルでチップセレクト出力のみ変化(アドレスバスは変化しない)

外部領域をアクセス後、次のバスサイクルでSFR、内部ROMまたは内部RAMをアクセスする場合、チップセレクト出力は変化しますが、アドレスバスは変化しません。



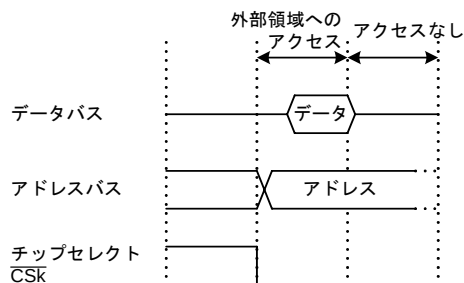
- (3) 外部領域をアクセス後、次のバスサイクルでアドレスバスのみ変化(チップセレクト出力は変化しない)

外部領域*i*をアクセス後、次のバスサイクルで同じチップセレクト出力が示す領域*i*をアクセスする場合、アドレスバスは変化しますが、チップセレクト出力は変化しません。



- (4) 外部領域をアクセス後、次のバスサイクルでアドレスバス、チップセレクト出力が共に変化しない

外部領域をアクセス後、次のバスサイクルでいずれの領域にもアクセスしない(命令プリフェッチも発生しない)場合、アドレスバス、チップセレクト出力は共に変化しません。



i=0~3
j=0~3(ただしiを除く)
k=0~3
p=0~3(ただしkを除く)

注1. これらの例は、連続する2つのバスサイクルのアドレスバスとチップセレクト出力を示しています。これらの例の組み合わせにより、チップセレクトは2バスサイクル以上延びる場合があります。

外部領域0をアクセス中、 $\overline{CS1}$ が" L" を出力します。
外部領域1をアクセス中、 $\overline{CS2}$ が" L" を出力します。
外部領域2をアクセス中、 $\overline{CS3}$ が" L" を出力します。
外部領域3をアクセス中、 $\overline{CS0}$ が" L" を出力します。

図8.2 アドレスバスとチップセレクト出力例(セパレートバス)

8.2.3 リード出力、ライト出力

データバスが16ビットのとき、リード、ライト出力はPM0レジスタのPM02ビットで、 $\overline{RD}$ 、 $\overline{WR}$ 、 $\overline{BHE}$ の組み合わせ、または $\overline{RD}$ 、 $\overline{WRL}$ 、 $\overline{WRH}$ の組み合わせを選択できます。DSレジスタのDS3～DS0ビットが“0”（外部領域はすべて8ビットデータバス）のとき、PM02ビットを“0”（ $\overline{RD}$ 、 $\overline{WR}$ 、 $\overline{BHE}$ ）にしてください。DS3～DS0ビットのいずれかが“1”（16ビットデータバス）で、8ビットの領域をアクセスするとき、PM02ビットの値にかかわらず、 $\overline{RD}$ 、 $\overline{WR}$ 、 $\overline{BHE}$ の組み合わせとなります。表8.4に $\overline{RD}$ 、 $\overline{WRL}$ 、 $\overline{WRH}$ 出力を、表8.5に $\overline{RD}$ 、 $\overline{WR}$ 、 $\overline{BHE}$ 出力を示します。

リセット後、リード、ライト出力は $\overline{RD}$ 、 $\overline{WR}$ 、 $\overline{BHE}$ の組み合わせです。

$\overline{RD}$ 、 $\overline{WRL}$ 、 $\overline{WRH}$ の組み合わせに切り替えるときは、PM02ビットを切り替えてから外部のメモリに書いてください。

表8.4 $\overline{RD}$ 、 $\overline{WRL}$ 、 $\overline{WRH}$ 出力

データバス幅	$\overline{RD}$	$\overline{WRL}$	$\overline{WRH}$	A0	外部領域に対するCPUの動作
16ビット	L	H	H	使用しない	データを読む
	H	L	H	使用しない	偶数番地に1バイトデータを書く
	H	H	L	使用しない	奇数番地に1バイトデータを書く
	H	L	L	使用しない	偶数番地、奇数番地の両方にデータを書く
8ビット	H	L(注1)	使用しない	H/L	1バイトのデータを書く
	L	H(注1)	使用しない	H/L	1バイトのデータを読む

注1. $\overline{WR}$ 出力となります。

表8.5 $\overline{RD}$ 、 $\overline{WR}$ 、 $\overline{BHE}$ 出力

データバス幅	$\overline{RD}$	$\overline{WR}$	$\overline{BHE}$	A0	外部領域に対するCPUの動作
16ビット	H	L	L	H	奇数番地に1バイトデータを書く
	L	H	L	H	奇数番地から1バイトデータを読む
	H	L	H	L	偶数番地に1バイトデータを書く
	L	H	H	L	偶数番地から1バイトデータを読む
	H	L	L	L	偶数番地、奇数番地の両方にデータを書く
	L	H	L	L	偶数番地、奇数番地の両方からデータ読む
8ビット	H	L	使用しない	H/L	1バイトのデータを書く
	L	H	使用しない	H/L	1バイトのデータを読む

8.2.4 バスタイミング

内部ROMと内部RAMはPM1レジスタのPM12ビットで、SFRはPM1レジスタのPM13ビットで、外部領域はEWCRiレジスタ (i=0~3) でソフトウェアウェイトを設定することができます。

内部ROM、内部RAM、SFRの基本バスサイクルはバスクロック (BCLK) の1クロックです。

内部ROMは基本バスサイクルで読むことができます。ただし、CPUクロックにPLLを選択し、かつ、FMR4レジスタのFMR40ビットが“0” (通常アクセス) の場合、PM1レジスタのPM12ビットの設定にかかわらず、ユーザROM領域のブロックAとブロックBのリードサイクルはBCLKの2クロックになります。また、内部RAMは基本バスサイクルで読み書きできます。PM1レジスタのPM12ビットを“1” (1ウェイト) にした場合、バスサイクルはBCLKの2クロックになります。

SFRはBCLKの2クロック (1ウェイトあり) で読み書きできます。PM13ビットを“1” (2ウェイト) にした場合、バスサイクルはBCLKの3クロックになります。

外部領域のバスサイクルは、バスアクセスの開始からリード出力またはライト出力が立ち下がるまでのクロック数 (前半の ϕ) と、リード出力またはライト出力が立ち下がってから立ち上がるまでのクロック数 (後半の ϕ) で構成されます。

外部領域の最短バスサイクルは、リードサイクル、ライトサイクル共にBCLKの2クロック ($1\phi + 1\phi$) です。外部領域はEWCRiレジスタ (i=0~3) により、セパレートバス12種類、マルチプレクスバス7種類のバスサイクルを設定できます。例えば、EWCRiレジスタのEWCRi4~EWCRi0ビットを“00011b” ($1\phi + 3\phi$) にした場合、バスサイクルはBCLKの4クロックになります。

図8.3にEWCRiレジスタを、図8.4~図8.8に外部領域のバスタイミングを示します。

外部領域ウェイト制御レジスタi (i=0~3)

b7 b6 b5 b4 b3 b2 b1 b0								シンボル	アドレス	リセット後の値
								EWCR0~EWCR3	0048h、0049h、004Ah、004Bh番地	X0X0 0011b
ビット シンボル	ビット名		機 能					RW		
EWCRi0	バスサイクル選択ビット		b4 b3 b2 b1 b0 (注1) (注2) 0 0 0 0 1 : 1φ + 1φ 0 0 0 1 0 : 1φ + 2φ 0 0 0 1 1 : 1φ + 3φ 0 0 1 0 0 : 1φ + 4φ 0 0 1 0 1 : 1φ + 5φ 0 0 1 1 0 : 1φ + 6φ 0 1 0 1 0 : 2φ + 2φ 0 1 0 1 1 : 2φ + 3φ 0 1 1 0 0 : 2φ + 4φ 0 1 1 0 1 : 2φ + 5φ 1 0 0 1 1 : 3φ + 3φ 1 0 1 0 0 : 3φ + 4φ 1 0 1 0 1 : 3φ + 5φ 1 0 1 1 0 : 3φ + 6φ 上記以外、設定しないでください					RW		
EWCRi1								RW		
EWCRi2								RW		
EWCRi3								RW		
EWCRi4								RW		
— (b5)								何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
EWCRi6	リカバリサイクル 挿入選択ビット	0 : 外部領域iアクセス時リカバリサイクルなし 1 : 外部領域iアクセス時リカバリサイクル挿入	RW							
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—							

注1. バスアクセス開始からリード出力またはライト出力が立ち下がるまでのクロック数。

注2. リード出力またはライト出力が立ち下がってから立ち上がるまでのクロック数。

図8.3 EWCR0~EWCR3レジスタ

表 8.6 ソフトウェアウェイトとバスサイクル

領域	外部バス形式	PM1 レジスタ		EWCRi(i=0~3) レジスタ	バスサイクル (BCLKの クロック数)
		PM13 ビット	PM12 ビット	EWCRi4~ EWCRi0 ビット	
SFR	—	0	—	—	2クロック
		1			3クロック
内部ROM(注1)	—	—	0	—	1クロック
内部RAM			1		2クロック
外部メモリ	セパレートバス	—	—	00001b	2クロック
				00010b	3クロック
				00011b	4クロック
				00100b	5クロック
				00101b	6クロック
				00110b	7クロック
				01010b	4クロック
				01011b	5クロック
				01100b	6クロック
				10011b	6クロック
				10100b	7クロック
				10110b	9クロック
	マルチプレクスバス	—	—	01010b	4クロック
				01011b	5クロック
				01101b	7クロック
				10011b	6クロック
				10100b	7クロック
				10101b	8クロック
				10110b	9クロック

注1. CPUクロックにPLLを選択し、かつ、FMR4レジスタのFMR40ビットが“0”(通常アクセス)の場合、PM1レジスタのPM12ビットの設定にかかわらず、ユーザROM領域のブロックAとブロックBのリードサイクルはBCLKの2クロックになります。

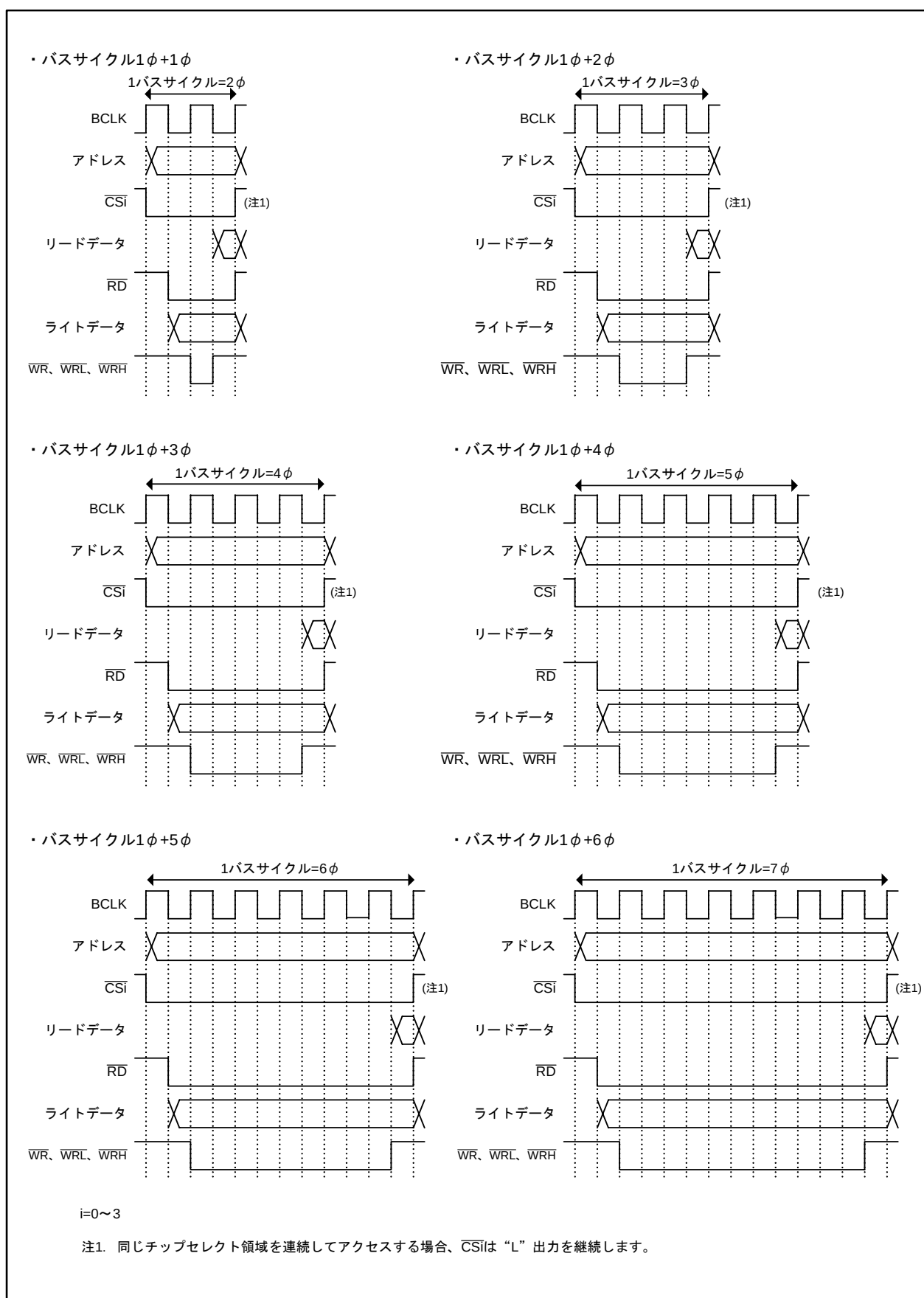


図8.4 セパレートバス選択時のバスサイクル(1)

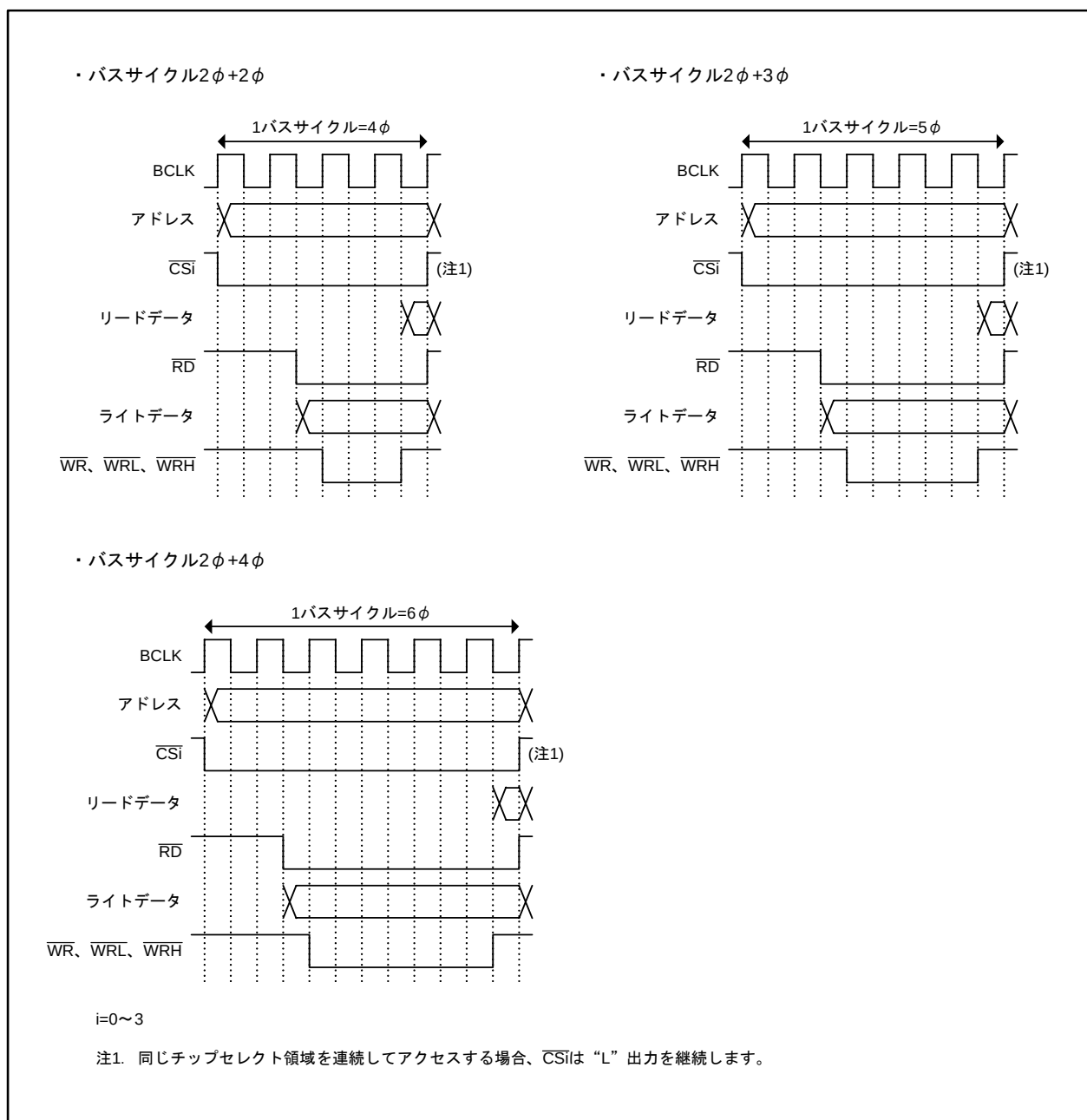
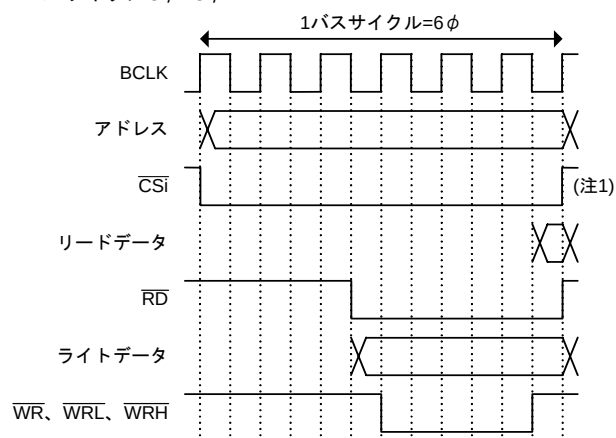
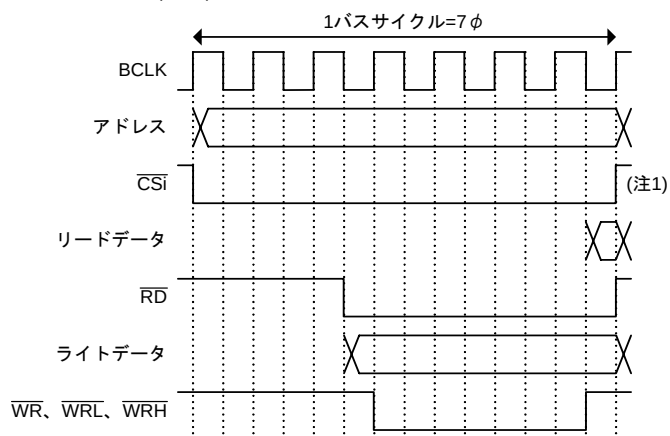


図8.5 セパレートバス選択時のバスサイクル(2)

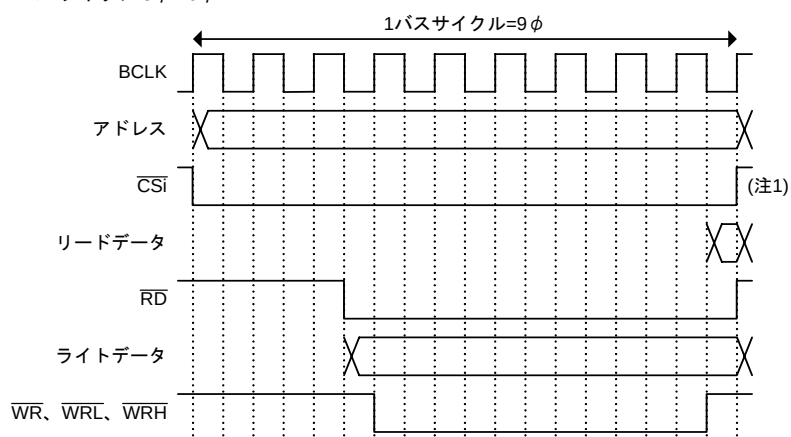
・バスサイクル3φ+3φ



・バスサイクル3φ+4φ



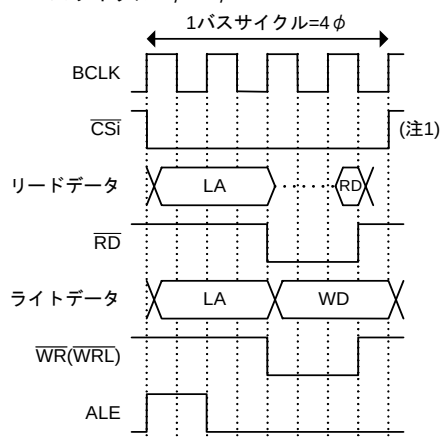
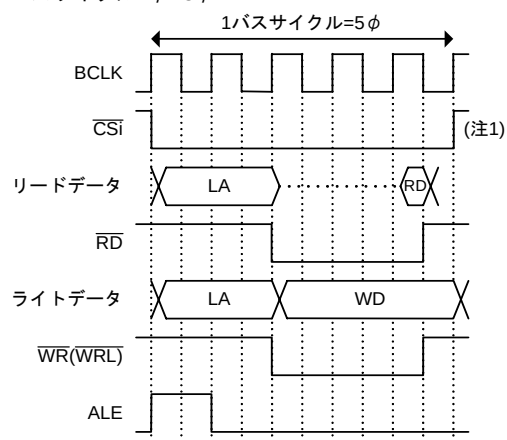
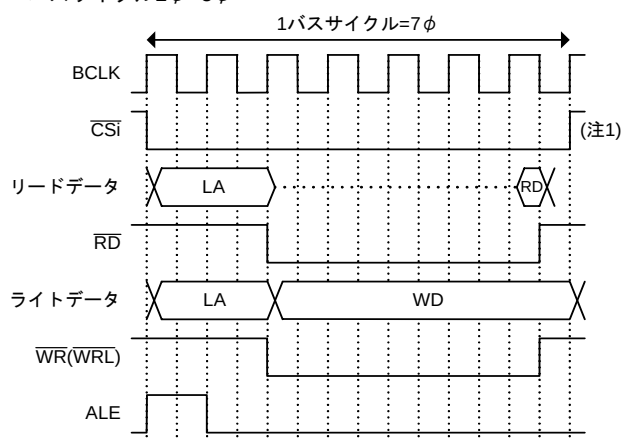
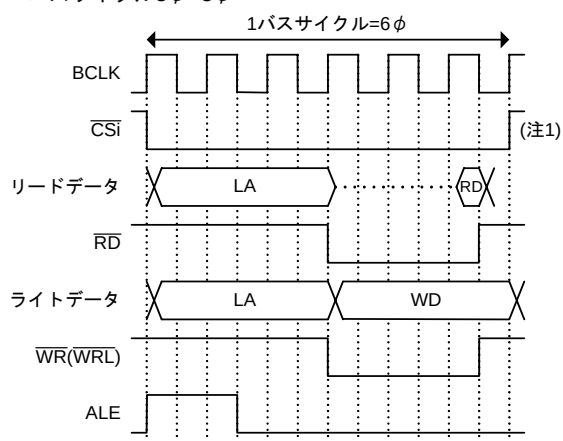
・バスサイクル3φ+6φ



i=0~3

注1. 同じチップセレクト領域を連続してアクセスする場合、 $\overline{CS}$ は“L”出力を継続します。

図8.6 セパレートバス選択時のバスサイクル(3)

・ バスサイクル $2\phi + 2\phi$ ・ バスサイクル $2\phi + 3\phi$ ・ バスサイクル $2\phi + 5\phi$ ・ バスサイクル $3\phi + 3\phi$ 

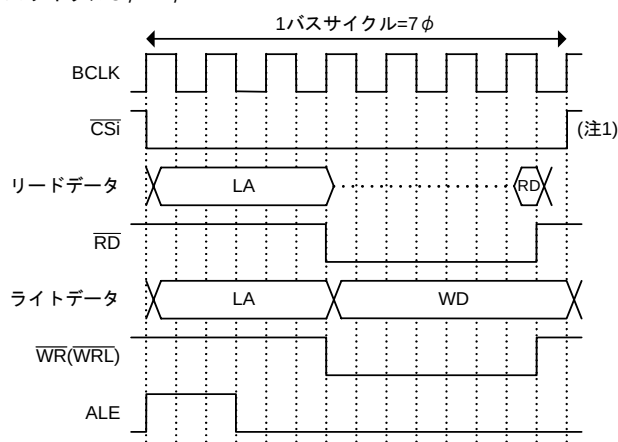
i=0~3

LA: ラッチアドレス
RD: リードデータ
WD: ライトデータ

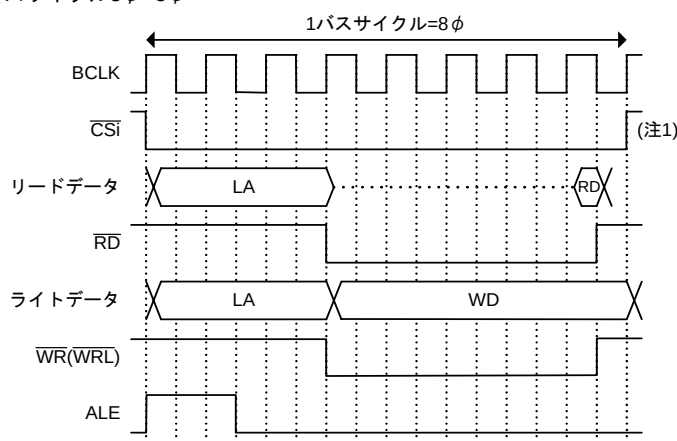
注1. 同じチップセレクト領域を連続してアクセスする場合、 $\overline{\text{CSi}}$ は“L”出力を継続します。

図8.7 マルチプレクスバス選択時のバスサイクル(1)

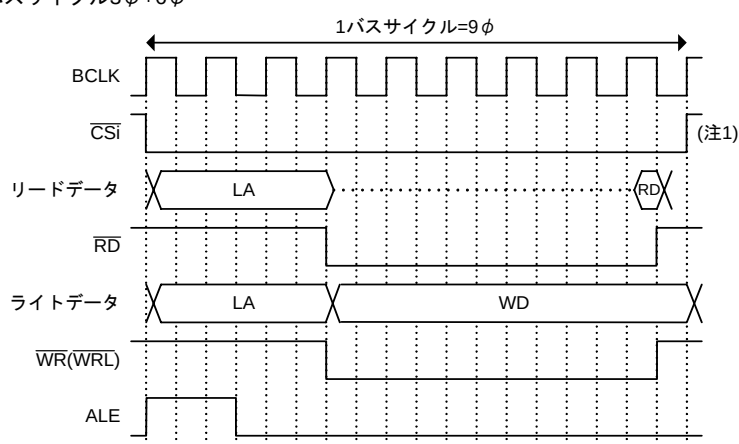
・ バスサイクル3φ+4φ



・ バスサイクル3φ+5φ



・ バスサイクル3φ+6φ



i=0~3

LA : ラッチアドレス
 RD : リードデータ
 WD : ライトデータ

注1. 同じチップセレクト領域を連続してアクセスする場合、 $\overline{CSi}$ は“L”出力を継続します。

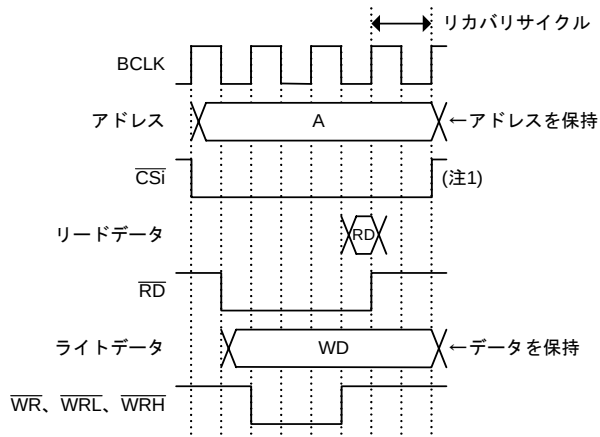
図8.8 マルチプレクスバス選択時のバスサイクル(2)

8.2.4.1 リカバリサイクル挿入時のバスサイクル

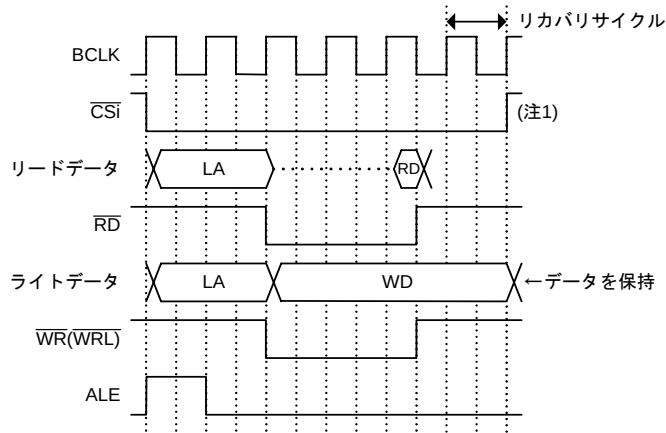
リカバリサイクルは、EWCRI レジスタの EWCRI6 ビット (i=0~3) によって、選択できます。

リカバリサイクルの間、アドレス出力は保持されますので (セパレートバス時のみ)、アドレスホールド時間を長く要求するデバイスも接続できます。また、リカバリサイクルの間、ライトデータ出力も保持されますので、データホールド時間を長く要求するデバイスも接続できます。

・セパレートバス時のリカバリサイクル(バスサイクル1φ+2φの場合)



・マルチプレクスバス時のリカバリサイクル(バスサイクル2φ+3φの場合)



i=0~3

A: アドレス
LA: ラッチアドレス
RD: リードデータ
WD: ライトデータ

注1. 同じチップセレクト領域を連続してアクセスする場合、CSiは“L”出力を継続します。

図8.9 リカバリサイクル

8.2.5 ALE出力

マルチプレクスバスのアドレスをラッチするための信号です。ALE 出力の立ち下がりでアドレスをラッチしてください。ALE の出力端子はPM1 レジスタのPM15～PM14 ビットで選択できます。ALE 信号は内部領域にアクセスしている場合にも出力されます。

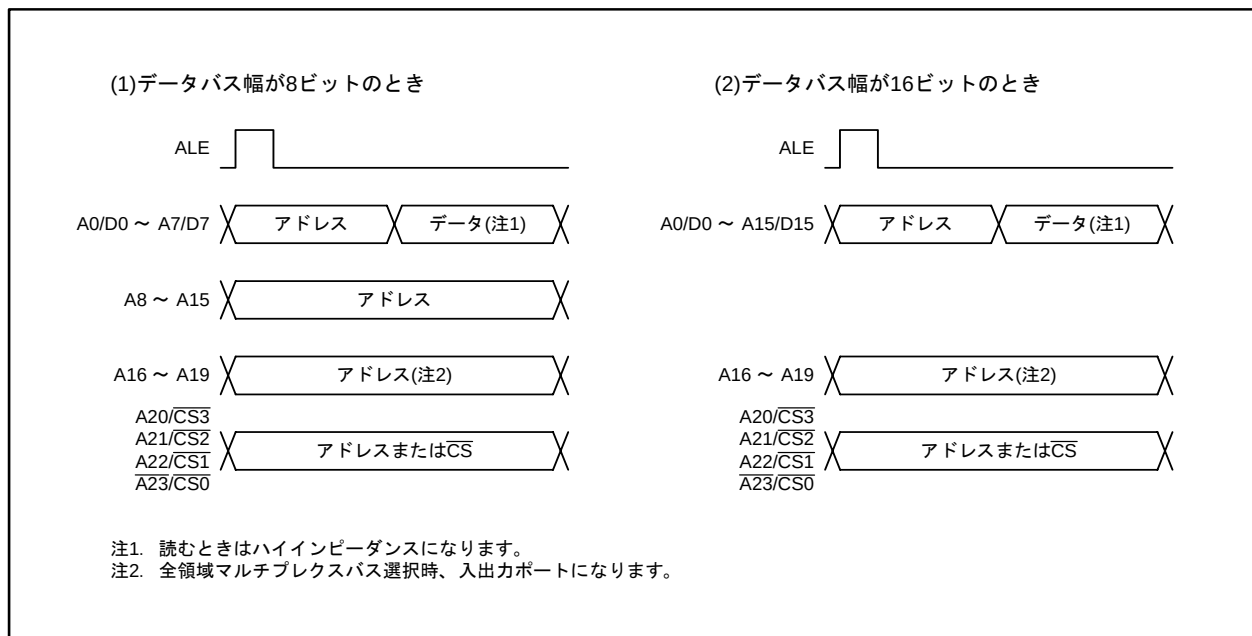


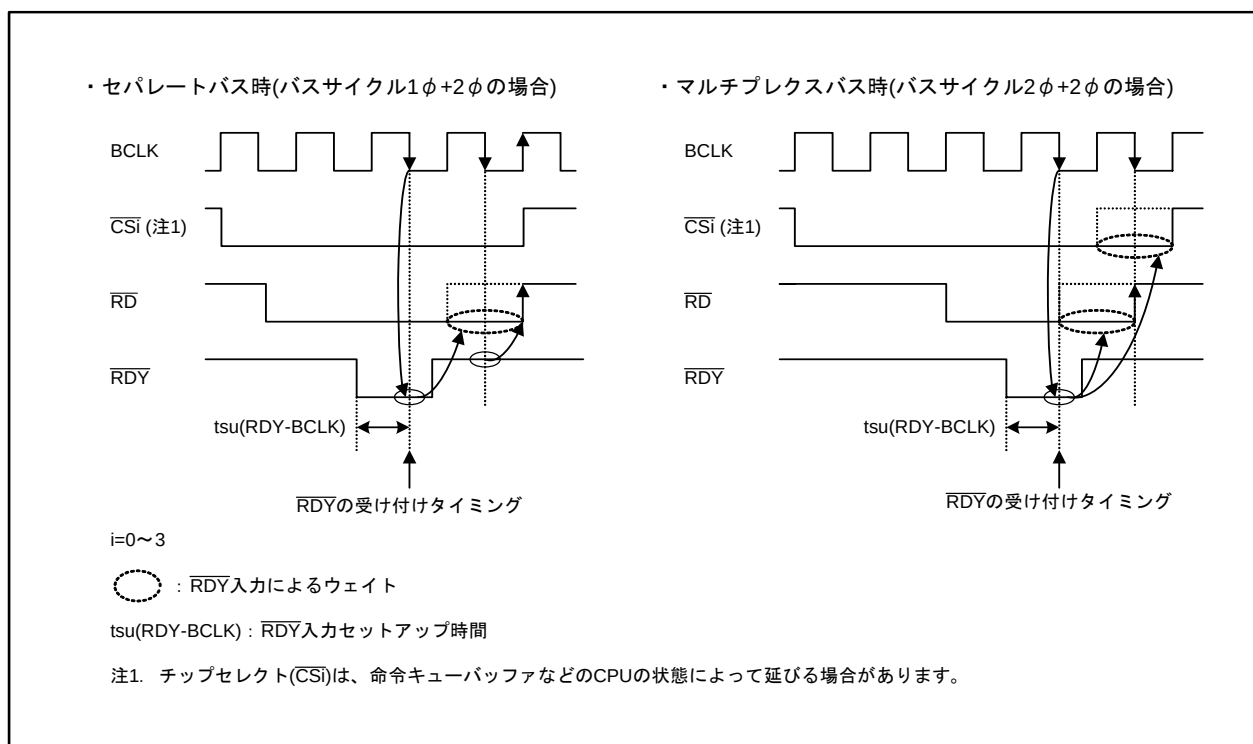
図8.10 ALE出力とアドレスバス、データバス

8.2.6 $\overline{\text{RDY}}$ 入力

アクセス速度が遅い外部デバイスをアクセスするときに使用します。バスサイクルの最後のBCLKの立ち下がりでは $\overline{\text{RDY}}$ 端子に“L”が入力されているとき、バスサイクルにウェイトが挿入されます。その後、BCLKの立ち下がりでは $\overline{\text{RDY}}$ 端子に“H”が入力されると、残りのバスサイクルを実行します。表8.7に $\overline{\text{RDY}}$ 入力によりバスサイクルにウェイトが挿入されたときのマイクロコンピュータの状態、図8.11に $\overline{\text{RD}}$ 出力が $\overline{\text{RDY}}$ 入力によって延びた例を示します。

表8.7 $\overline{\text{RDY}}$ 入力によるウェイト中のマイクロコンピュータの状態

項目	状態
クロック発生回路	動作(発振)
$\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、A0～A22、 $\overline{\text{A23}}$ 、D0～D15、 $\overline{\text{CS0}}$ ～ $\overline{\text{CS3}}$ 、ALE、HLDA、プログラマブル入出力ポート	$\overline{\text{RDY}}$ 入力を受け付けたときの状態を保持
内蔵周辺回路	動作

図8.11 $\overline{RD}$ 出力が $\overline{RDY}$ 入力によって延びた例

8.2.7 $\overline{HOLD}$ 入力

バスの使用権をCPUから外部デバイスへ移行するための信号です。 $\overline{HOLD}$ 端子に“L”を入力するとその時点のバスアクセスを終了した後、マイクロコンピュータはホールド状態になります。 $\overline{HOLD}$ 端子が“L”の期間、ホールド状態を保持し、 $\overline{HLDA}$ 端子から“L”を出力します。表8.8にホールド状態におけるマイクロコンピュータの状態を示します。

なお、バスの使用優先順位は高い方から順に、 $\overline{HOLD}$ 、DMAC、CPUとなります。

表8.8 ホールド状態におけるマイクロコンピュータの状態

項目	状態
クロック発生回路	動作(発振)
CPU	停止
内蔵周辺回路	動作 ただしウォッチドッグタイマは停止(注1)
$\overline{RD}$ 、 $\overline{WR}$ 、 $A0 \sim A22$ 、 $\overline{A23}$ 、 $D0 \sim D15$ 、 $\overline{CS0} \sim \overline{CS3}$ 、 $\overline{BHE}$	ハイインピーダンス
$\overline{HLDA}$	“L”を出力
ALE	“L”を出力
プログラマブル入出力ポート	$\overline{HOLD}$ 入力を受け付けたときの状態を保持

注1. PM2レジスタのPM22ビットが“1”(ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)のとき、ウォッチドッグタイマは停止しません。

8.2.8 内部領域をアクセスしたときの外部バスの状態

表8.9に内部領域をアクセスしたときの外部バスの状態を示します。

表8.9 内部領域をアクセスしたときの外部バスの状態

項目	SFR、内部ROM、内部RAMをアクセスしたときの状態
A0～A22、 $\overline{A23}$	直前にアクセスされた外部領域のアドレスを保持
D0～D15	ハイインピーダンス
$\overline{RD}$ 、 $\overline{WR}$ 、 $\overline{WRL}$ 、 $\overline{WRH}$	“H” を出力
$\overline{BHE}$	直前の外部領域またはSFRをアクセスしたときの $\overline{BHE}$ の出力を保持
$\overline{CS}$	“H” を出力
ALE	ALE出力

8.2.9 BCLK出力

メモリ拡張モード、マイクロプロセッサモード時、バスクロックをBCLK端子から出力することができます。出力する場合は、PM0レジスタのPM07ビットを“0” (BCLK出力する)、CM0レジスタのCM01～CM00ビットを“00b” (入出力ポートP5_3) にしてください。ただし、シングルチップモード時ではBCLKは出力されません。

詳細は、「9.クロック発生回路」を参照してください。

8.3 ページモード制御機能

注意

ページモード制御機能は、ROM レス版でのみ使用できます。

ページモードに対応した外部メモリを高速に読み出します。連続したアドレスをアクセスし、アドレス上位21ビットに変化がない場合、初回以降のアクセスを初回サイクルよりも短いサイクルで最大7バイト読み出します。

初回アドレスアクセス時のウェイトはEWCRi レジスタ (i=0~3) で設定します。初回以降連続したアドレスへのアクセス時のウェイトは、PWCR0、PWCR1 レジスタで設定します。ページモード制御を許可する場合は、次の手順で設定してください。

- (1) EWCRi レジスタ (i=0~3) のEWCRi4~EWCRi0 ビットを設定する
- (2) PWCRj レジスタ (j=0,1) のPWCRj02~PWCRj00 ビットとPWCRj06~PWCRj04 ビットを設定する
- (3) PWCRj レジスタのPWCRj03 ビットとPWCRj07 ビットを“1” (ページモード制御許可) にする

ページモード制御アクセスを使用する場合、全領域をページモード制御に設定してください。外部領域ごとに、通常の外部アクセスとページモード制御アクセスを混在して使用できません。

また、PM0 レジスタのPM05~PM04 ビットは“00b” (マルチプレクスバスを使用しない) にしてください。マルチプレクスバスとページモード制御機能は共用できません。

図8.12にPWCR0 レジスタを、図8.13にPWCR1 レジスタを、図8.14にページモード制御時の外部バス動作例を示します。

ページモードウェイト制御レジスタ0

ビット シンボル	ビット名	機 能	RW
PWCR000	外部領域0 連続アクセスウェイト 選択ビット	b2 b1 b0 0 0 1 : $1\phi + 1\phi$ 0 1 0 : $1\phi + 2\phi$ 0 1 1 : $1\phi + 3\phi$ 1 0 0 : $1\phi + 4\phi$ 上記以外、設定しないでください	RW
PWCR001			RW
PWCR002			RW
PWCR003	外部領域0 ページモード制御許可ビット	0 : ページモード制御禁止 1 : ページモード制御許可(注1)	RW
PWCR004	外部領域1 連続アクセスウェイト 選択ビット	b6 b5 b4 0 0 1 : $1\phi + 1\phi$ 0 1 0 : $1\phi + 2\phi$ 0 1 1 : $1\phi + 3\phi$ 1 0 0 : $1\phi + 4\phi$ 上記以外、設定しないでください	RW
PWCR005			RW
PWCR006			RW
PWCR007	外部領域1 ページモード制御許可ビット	0 : ページモード制御禁止 1 : ページモード制御許可(注1)	RW

注1. ページモード制御許可とした場合、EWCRiレジスタ(i=0~3)のEWCRi6ビットを“0”(外部領域iアクセス時リカバリサイクルなし)にしてください。

図8.12 PWCR0 レジスタ

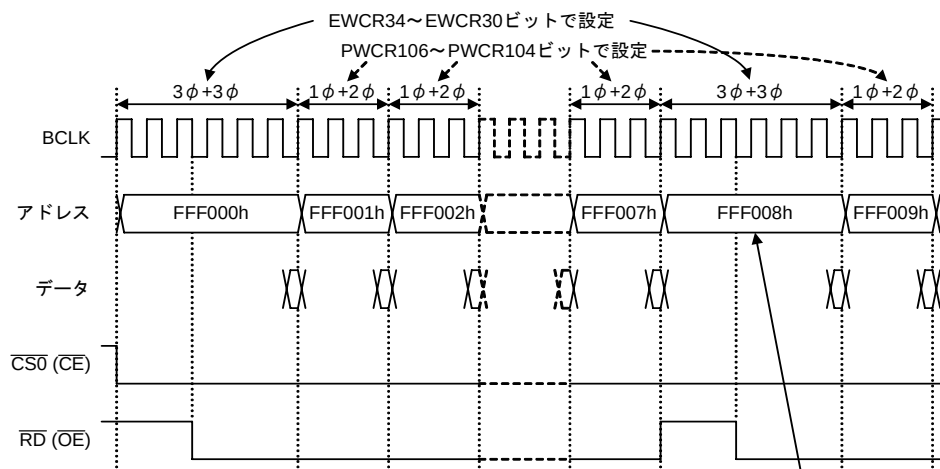
ページモードウェイト制御レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
	PWCR1	004Dh番地	0001 0001b
	ビット シンボル	ビット名	機 能
	PWCR100		b2 b1 b0 0 0 1 : 1φ + 1φ 0 1 0 : 1φ + 2φ 0 1 1 : 1φ + 3φ 1 0 0 : 1φ + 4φ 上記以外、設定しないでください
	PWCR101	外部領域2 連続アクセスウェイト 選択ビット	
	PWCR102		
	PWCR103	外部領域2 ページモード制御許可ビット	0 : ページモード制御禁止 1 : ページモード制御許可(注1)
	PWCR104		b6 b5 b4 0 0 1 : 1φ + 1φ 0 1 0 : 1φ + 2φ 0 1 1 : 1φ + 3φ 1 0 0 : 1φ + 4φ 上記以外、設定しないでください
	PWCR105	外部領域3 連続アクセスウェイト 選択ビット	
	PWCR106		
	PWCR107	外部領域3 ページモード制御許可ビット	0 : ページモード制御禁止 1 : ページモード制御許可(注1)

注1. ページモード制御許可とした場合、EWCRiレジスタ(i=0~3)のEWCRi6ビットを“0”(外部領域iアクセス時リカバリサイクルなし)にしてください。

図8.13 PWCR1 レジスタ

・ データバス幅が8ビットのとき

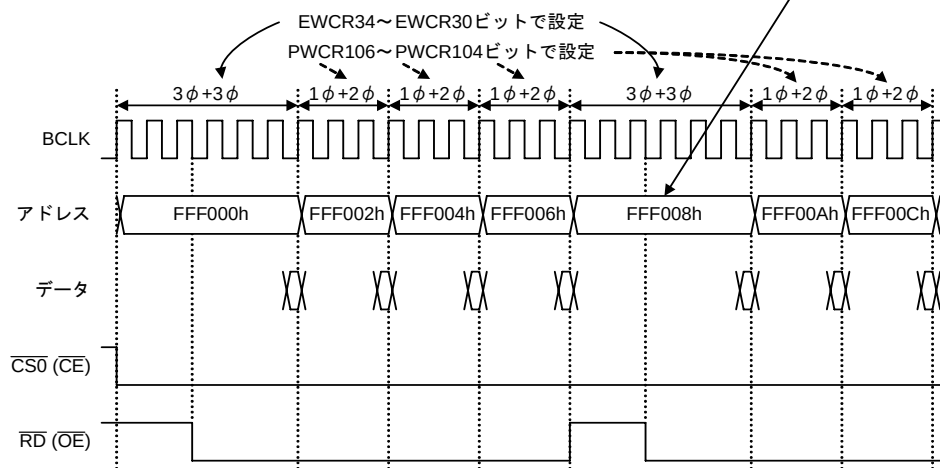


この図は次の条件の場合です。

- ・ PM1レジスタのPM11~PM10ビット=11b (モード3)
- ・ DSレジスタのDS3ビット=0 (データバス幅は8ビット)
- ・ EWCR3レジスタのEWCR34~EWCR30ビット=10011b (3φ+3φ)
EWCR36ビット=0 (外部領域3をアクセス時リカバリサイクルなし)
- ・ PWCR1レジスタのPWCR106~PWCR104ビット=010b (1φ+2φ)
PWCR107ビット=1 (ページモード制御許可)

ページモード制御での連続読み出しは最大7バイト(初回アクセスアドレスと合わせて8バイト)
途中連続アドレスが途切れる場合と8バイトを超える場合は、再度そこから連続アドレスに対してページモード制御が行われる

・ データバス幅が16ビットのとき



この図は次の条件の場合です。

- ・ PM1レジスタのPM11~PM10ビット=11b (モード3)
- ・ DSレジスタのDS3ビット=1 (データバス幅は16ビット)
- ・ EWCR3レジスタのEWCR34~EWCR30ビット=10011b (3φ+3φ)
EWCR36ビット=0 (外部領域3をアクセス時リカバリサイクルなし)
- ・ PWCR1レジスタのPWCR106~PWCR104ビット=010b (1φ+2φ)
PWCR107ビット=1 (ページモード制御許可)

図8.14 ページモード制御時の外部バス動作例

9. クロック発生回路

9.1 クロック発生回路の種類

クロック発生回路として、4つの回路を内蔵します。

- ・メインクロック発振回路
- ・サブクロック発振回路
- ・オンチップオシレータ
- ・PLL周波数シンセサイザ

表 9.1 にクロック発生回路の概略仕様を示します。また、図 9.1 にクロック発生回路のブロック図を、図 9.2～図 9.9 にクロック制御関連レジスタを示します

表 9.1 クロック発生回路の概略仕様

項目	メインクロック 発振回路	サブクロック 発振回路	オンチップ オシレータ	PLL周波数 シンセサイザ
用途	•CPUクロック源 •周辺機能クロック源	•CPUクロック源 •タイマA、Bの カウントソース	•CPUクロック源 •周辺機能クロック源	•CPUクロック源 •周辺機能クロック源
クロック周波数	～16MHz	32.768kHz	約1MHz	10MHz～32MHz (表 9.3 参照)
接続できる発振子 または付加回路	•セラミック共振子 •水晶発振子	水晶発振子	—	—
発振子または付加 回路の接続端子	XIN、XOUT	XCIN、XCOUT	—	—
発振停止、 発振再開機能	あり	あり	あり	あり
リセット後の状態	発振	停止	停止	停止
その他	外部で生成された クロックを入力可能	外部で生成された クロックを入力可能	発振停止検出機能： メインクロック発振 停止時、自動で発振を 開始し、CPUと周辺機 能のクロック源になる	20MHz時： メインクロックには 5MHzまたは10MHzを 入力 32MHz時： メインクロックには 8MHzまたは16MHzを 入力

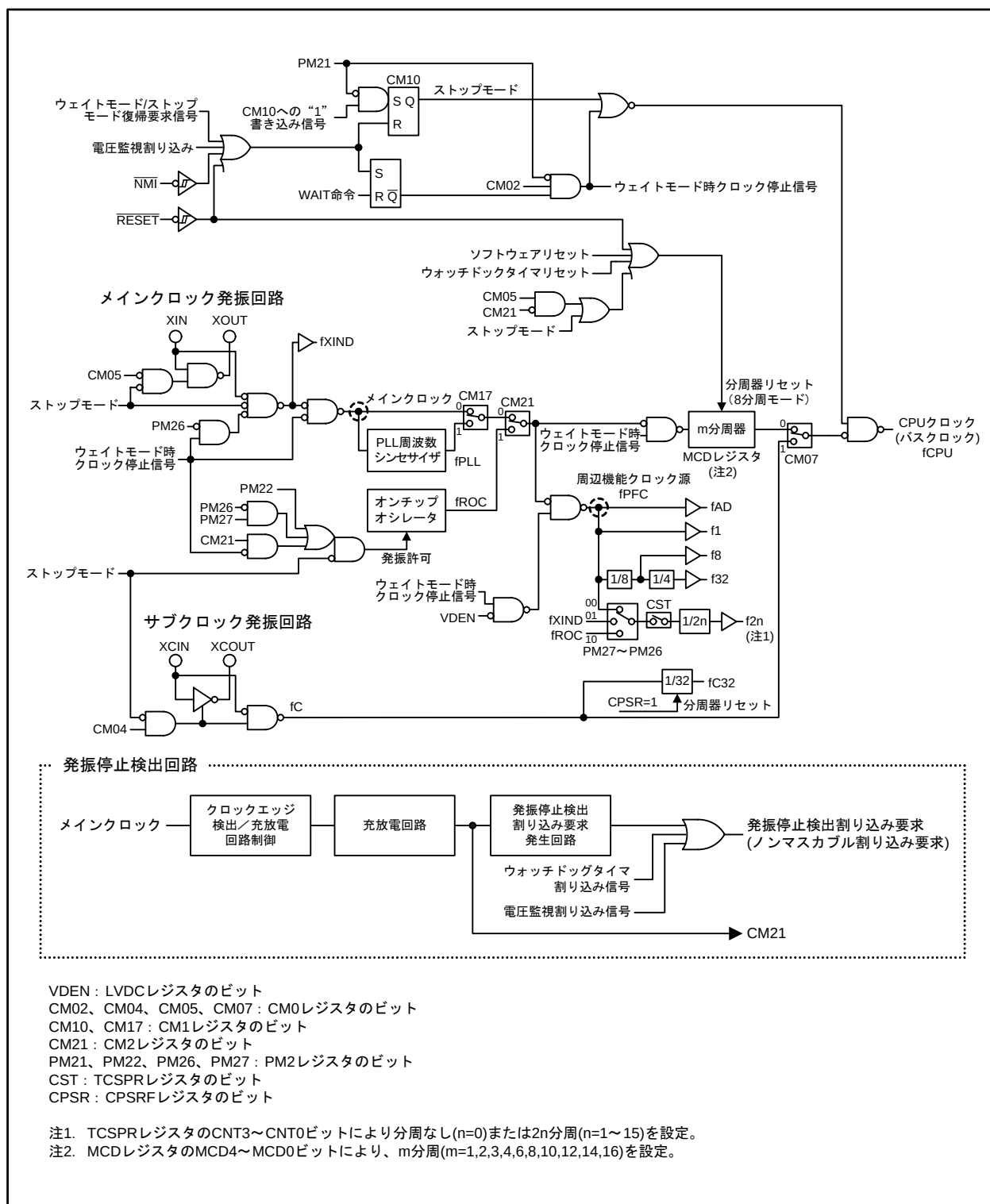
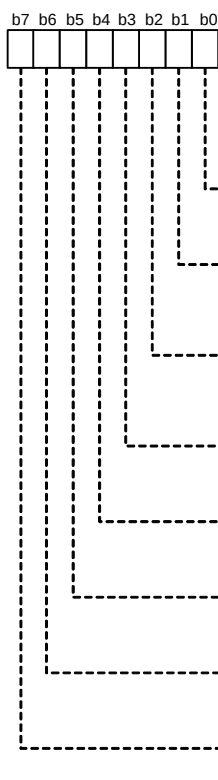


図9.1 クロック発生回路のブロック図

システムクロック制御レジスタ0 (注1)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
	CM0	0006h番地	0000 1000b
ビットシンボル	ビット名	機能	RW
CM00	クロック出力機能選択ビット	b1 b0 0 0 : 入出力ポートP5_3(注2) 0 1 : fCを出力 1 0 : f8を出力 1 1 : f32を出力	RW
CM01			RW
CM02	ウェイトモード時周辺機能クロック停止ビット(注9)	0 : ウェイトモード時、周辺機能クロックは停止しない 1 : ウェイトモード時、周辺機能クロックは停止する(注3)	RW
CM03	XCIN-XCOUT駆動能力選択ビット(注10)	0 : Low 1 : High	RW
CM04	ポートXC切り替えビット	0 : 入出力ポート機能 1 : XCIN-XCOUT発振機能(注4)	RW
CM05	メインクロック(XIN-XOUT)停止ビット(注5、9)	0 : 発振 1 : 停止(注6)	RW
CM06	ウォッチドッグタイマ機能選択ビット	0 : ウォッチドッグタイマ割り込み 1 : リセット(注7)	RW
CM07	CPUクロック選択ビット0(注8、9)	0 : CM21ビットで選択したクロックをMCDレジスタで分周したクロック 1 : サブクロック	RW

- 注1. CM0レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
- 注2. メモリ拡張モードまたはマイクロプロセッサモードでは、BCLK出力、“L”出力、またはALE出力のいずれかになります。入出力ポートとして使用できません。
- 注3. fC32は停止しません。
- 注4. CM04ビットを“1”にする場合、PD8レジスタのPD8_7~PD8_6ビットを“00b”(ポートP8_6、P8_7は入力モード)で、PUR2レジスタのPU25ビットを“0”(プルアップしない)にしてください。
- 注5. CM05ビットは低消費電力モード、またはオンチップオシレータ低消費電力モードにするときに、メインクロックを停止させるためのビットです。メインクロックが停止したかどうかの検出には使用できません。メインクロックを停止させる場合、CM07ビットを“1”にした後、またはCM2レジスタのCM21ビットを“1”(オンチップオシレータクロック)にした後、PLC0レジスタのPLC07ビットを“0”にして、CM05ビットを“1”にしてください。
- 注6. CM05ビットが“1”の場合、XOUTは“H”になります。また、内蔵している帰還抵抗はONしたままです、XINは帰還抵抗を介してXOUTにプルアップされた状態となります。
- 注7. CM05ビットが“1”の場合、MCDレジスタのMCD4~MCD0ビットは“01000b”(8分周モード)になります。ただし、オンチップオシレータモードではCM05ビットでXIN-XOUTを停止してもMCD4~MCD0ビットは“01000b”(8分周モード)になりません。
- 注8. 一度“1”にすると、プログラムでは“0”にできません。
- 注9. CM04ビットを“1”にしサブクロックの発振が安定した後に、CM07ビットを“0”から“1”にしてください。また、CM05ビットを“0”にしメインクロックの発振が安定した後に、CM07ビットを“1”から“0”にしてください。なお、CM07ビットはCM04ビットまたはCM05ビットと同時に書き換えないでください。
- 注10. PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM02、CM05、CM07ビットに書いても変化しません。
- 注11. ストップモードへ移行したとき、CM03ビットは“1”になります。

図9.2 CM0レジスタ

システムクロック制御レジスタ1 (注1)

ビット シンボル	ビット名	機 能	RW
CM10	全クロック停止制御ビット (注2、3、5)	0 : クロック発振 1 : 全クロック停止(ストップモード)	RW
— (b4-b1)	予約ビット	“0” にしてください	RW
— (b5)	予約ビット	“1” にしてください	RW
— (b6)	予約ビット	“0” にしてください	RW
CM17	CPUクロック選択ビット1 (注4、5)	0 : メインクロック 1 : PLLクロック	RW

- 注1. CM1レジスタはPRCRレジスタのPRC0ビットを“1” (書き込み許可)にした後で書き換えてください。
- 注2. CM10ビットが“1”の場合、XOUTは“H”になり、内蔵している帰還抵抗は切り離されます。
XIN、XCIN、XCOUTはハイインピーダンスになります。
- 注3. CM10ビットを“1”にすると、MCDレジスタのMCD4～MCD0ビットは“01000b” (8分周モード)になります。
CM2レジスタのCM20ビットが“1” (発振停止検出機能を使用する)またはCM21ビットが“1” (オンチップオシレータクロック
選択)のときは、CM10ビットを“1”にしないでください。
- 注4. PLLクロックの発振が安定した後に、CM17ビットを“1”にしてください。
- 注5. PM2レジスタのPM21ビットが“1” (クロック変更禁止)の場合、CM10、CM17ビットに書いても変化しません。
PM2レジスタのPM22ビットが“1” (ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)の場合、
CM10ビットを書いても変化しません。

図9.3 CM1レジスタ

メインクロック分周レジスタ (注1)

b7b6b5b4b3b2b1b0 シンボル MCD アドレス 000Ch番地 リセット後の値 XXX0 1000b							
ビット シンボル	ビット名	機 能	RW				
MCD0	メインクロック分周選択ビット (注2)	b4 b3 b2 b1 b0 1 0 0 1 0 : 1分周(分周なし)モード 0 0 0 1 0 : 2分周モード 0 0 0 1 1 : 3分周モード 0 0 1 0 0 : 4分周モード 0 0 1 1 0 : 6分周モード 0 1 0 0 0 : 8分周モード 0 1 0 1 0 : 10分周モード 0 1 1 0 0 : 12分周モード 0 1 1 1 0 : 14分周モード 0 0 0 0 0 : 16分周モード 上記以外、設定しないでください。	RW				
MCD1			RW				
MCD2			RW				
MCD3			RW				
MCD4			RW				
— (b7-b5)			予約ビット	読んだ場合、その値は不定。	—		

注1. MCDレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
注2. 低消費電力モードや、ストップモードに移行時、MCD4～MCD0ビットは“01000b”(8分周モード)になります。
ただし、CM2レジスタのCM21ビットを“1”(オンチップオシレータクロック)にした状態でCM0レジスタのCM05ビットを“1”(XIN-XOUTを停止)にしても、MCD4～MCD0ビットは“01000b”になりません。

図 9.4 MCD レジスタ

発振停止検出レジスタ (注1)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
0 0 0 0	CM2	000Dh番地	00h

ビットシンボル	ビット名	機能	RW
CM20	発振停止検出許可ビット(注2)	0 : 発振停止検出機能を使用しない 1 : 発振停止検出機能を使用する	RW
CM21	CPUクロック選択ビット2 (注3、4)	0 : CM17ビットで選択されたクロック 1 : オンチップオシレータクロック	RW
CM22	発振停止検出フラグ(注5)	0 : メインクロック停止を未検出 1 : メインクロック停止を検出	RW
CM23	メインクロックモニタフラグ (注6)	0 : メインクロック発振 1 : メインクロック停止	RO
— (b7-b4)	予約ビット	“0” にしてください	RW

- 注1. CM2レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
- 注2. PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM20ビットに書いても変化しません。
- 注3. CM20ビットが“1”のとき、メインクロック停止が検出されると、CM21ビットは“1”になります。その後、メインクロックが発振を再開しても、CM21ビットは“0”になりません。メインクロックの発振再開後、メインクロックをCPUクロック源にする場合は、プログラムでCM21ビットを“0”にしてください。
- 注4. CM20ビットが“1”で、かつCM23ビットが“1”のとき、CM21ビットを“0”にしないでください。
- 注5. メインクロック停止検出時、CM22ビットが“1”になります。プログラムで“0”にできますが、“1”にできません。メインクロック停止中にプログラムで“0”にすると、メインクロックが発振再開後、メインクロック停止を検出するまで“1”にはなりません。
- 注6. 発振停止検出割り込み発生後、CM23ビットを数回読むことによりメインクロックの状態を判定してください。

図9.5 CM2レジスタ

PLL制御レジスタ0 (注1、2)

シンボル	アドレス	リセット後の値
PLC0	0026h番地	0001 X010b

ビット シンボル	ビット名	機 能	RW
PLC00	PLLクロック通倍率選択ビット (注3、5)	b2 b1 b0 0 1 0 : 4通倍 1 0 0 : 8通倍 上記以外、設定しないでください	RW
PLC01			RW
PLC02			RW
— (b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
PLC04	基準クロック分周比選択ビット (注3、5)	b5 b4 0 0 : 分周なし 0 1 : 2分周 1 0 : 4分周 上記以外、設定しないでください	RW
PLC05			RW
— (b6)	予約ビット	“0” にしてください	RW
PLC07	動作許可ビット(注4)	0 : PLL停止 1 : PLL動作	RW

- 注1. PLC0レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
 注2. PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、PLC0レジスタに書いても変化しません。
 注3. PLC07ビットが“0”のときに書いてください。一度書いた値は変更できません。
 注4. ウェイトモードまたはストップモードへ移行する場合は、CM1レジスタのCM17ビットを“0”(CPUクロック源はメインクロック)にした後、PLC07ビットを“0”にしてから、ウェイトモードまたはストップモードにしてください。
 注5. PLLクロックの周波数は次の式で算出されます。

$$\text{PLLクロック周波数} = \text{メインクロック周波数} \times \frac{1}{\text{基準クロック分周器の分周比}} \times \text{PLLクロック通倍率} \times \text{PLC02-PLC00ビットで設定}$$

PLC05-PLC04ビットで設定

(例)メインクロック周波数 : 10MHz
 PLC02-PLC00ビット : 100b (8通倍) PLLクロック周波数 = $10\text{MHz} \times \frac{8}{4} = 20\text{MHz}$
 PLC05-PLC04ビット : 10b (4分周)

図9.6 PLC0 レジスタ

プロセッサモードレジスタ2 (注1)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
0 0 0 0	PM2	0013h番地	00h
ビット シンボル	ビット名	機 能	RW
— (b0)	予約ビット	“0” にしてください	RW
PM21	システムクロック保護ビット (注2、3)	0 : PRCRレジスタでクロックを保護 1 : クロックの変更禁止	RW
PM22	WDTカウントソース選択ビット (注2、4)	0 : ウォッチドッグタイマのカウントソースは CPUクロック 1 : ウォッチドッグタイマのカウントソースは オンチップオシレータクロック	RW
— (b5-b3)	予約ビット	“0” にしてください	RW
PM26	f2nカウントソース選択ビット	b7 b6 0 0 : CM21ビットで選択されたクロック 0 1 : XINクロック (fXIND) 1 0 : オンチップオシレータクロック (fROC) 1 1 : 設定しないでください	RW
PM27			RW

注1. PM2レジスタはPRCRレジスタのPRC1ビットを“1” (書き込み許可)にした後で書き換えてください。

注2. 一度“1”にすると、プログラムでは“0”にできません。

注3. PM21ビットを“1”にすると次の状態になります。

- ・ WAIT命令実行時、CPUクロックが停止しない
- ・ 次のビットに書き込んでも変化しない
 - CM0レジスタのCM02ビット
 - CM0レジスタのCM05ビット(メインクロックは停止しない)
 - CM0レジスタのCM07ビット(CPUクロックのクロック源は変化しない)
 - CM1レジスタのCM10ビット(ストップモードに移行しない)
 - CM1レジスタのCM17ビット(CPUクロックのクロック源は変化しない)
 - CM2レジスタのCM20ビット(発振停止検出機能の設定は変化しない)
 - PLC0レジスタの全ビット(PLL周波数シンセサイザの設定は変化しない)

注4. PM22ビットを“1”にすると次の状態になります。

- ・ オンチップオシレータが発振を開始し、オンチップオシレータクロックがウォッチドッグタイマのカウントソースになる
- ・ CM1レジスタのCM10ビットへの書き込み禁止(“1”を書いても変化せず、ストップモードに移行しない)
- ・ ウェイトモードまたはホールド状態のとき、ウォッチドッグタイマは停止しない

図9.7 PM2 レジスタ

カウントソースプリスケアラレジスタ

ビット シンボル	ビット名	機 能	RW
b7 b6 b5 b4 b3 b2 b1 b0	シンボル TCSPR	アドレス 035Fh番地	リセット後の値(注2) 0XXX 0000b
CNT0	分周比選択ビット(注1)	設定値をnとするとメインクロック、オンチップ オシレータクロックまたはPLLクロックを2n分周 したものが、f _{2n} になる。 ただし、n=0の場合は分周なし。	RW
CNT1			RW
CNT2			RW
CNT3			RW
— (b6-b4)	予約ビット	読んだ場合、その値は不定。	—
CST	動作許可ビット	0 : 分周器停止 1 : 分周器動作	RW

注1. CSTビットを“0”にしてから、CNT3～CNT0ビットを書き換えてください。

注2. ソフトウェアリセット、またはウォッチドッグタイマリセットを行ってもリセット前の値が保持されます。

時計用プリスケアラリセットレジスタ

ビット シンボル	ビット名	機 能	RW
b7 b6 b5 b4 b3 b2 b1 b0	シンボル CPSRF	アドレス 0341h番地	リセット後の値 0XXX XXXXb
— (b6-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
CPSR	時計用プリスケアラリセット ビット	CPSRビットに“1”を書くと、f _C の32分周器を 初期化する。読んだ場合、その値は“0”	RW

図9.8 TCSPR レジスタ、CPSRF レジスタ

フラッシュメモリ制御レジスタ4 (注1)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
0 0 0 0 0 0 0 0	FMR4	0059h番地	00h
	ビットシンボル	ビット名	機能
	FMR40	フラッシュメモリ低速アクセス許可ビット	0 : 通常アクセス 1 : 低速アクセス(注2)
	— (b7-b1)	予約ビット	“0” にしてください
			RW

注1. FMR4レジスタは8ビット単位で書いてください。FMR40ビットを“1”にする場合、“0”を書いた後、続けて“1”を書いてください。“0”を書いた後“1”を書くまでに、割り込みやDMA転送、DMACII転送が入らないようにしてください。

注2. FMR40ビットは、CPUクロックの周波数が2MHz以下の場合のみ“1”に設定できます。

電源回路制御レジスタ (注1)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
X X X X X X X X	VRCR	001Fh番地	00h
	ビットシンボル	ビット名	機能
	MRS	メイン電源回路停止ビット(注3)	0 : メイン電源回路動作 1 : メイン電源回路停止(注2)
	— (b7-b1)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	—
			RW

注1. VRCRレジスタはPRCRレジスタのPRC3ビットを“1” (書き込み許可)にした後で書き換えてください。

注2. 次の条件を満たす場合のみ、MRSビットを“1”に設定できます。

1. 低消費電力モード
2. FMR40ビットが“1”
3. オンチップオシレータ停止(CM2レジスタのCM21ビットが“0”、PM2レジスタのPM22ビットが“0”、PM27～PM26ビットが“00b”)

注3. PLC0レジスタのPLC07ビットが“1” (PLL動作)のとき、またはCM0レジスタのCM05ビットが“0” (メインクロック発振)のときMRSビットは“0”になります。

図9.9 FMR4レジスタ、VRCRレジスタ

クロック発生回路で生成するクロックを説明します。

9.1.1 メインクロック

メインクロック発振回路が供給するクロックです。CPUクロックや、周辺機能クロックのクロック源になります。

メインクロック発振回路は、XIN-XOUT 端子間に発振子を接続することで発振回路を構成します。メインクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。メインクロック発振回路には、外部で生成されたクロックをXIN端子へ入力することもできます。図9.10にメインクロックの接続回路例を示します。回路定数は発振子によって異なりますので、発振子メーカーの推奨する値に設定してください。

リセット後、メインクロックの8分周がCPUクロックになります。

CPU クロック源をサブクロックまたはオンチップオシレータクロックに切り替えた後、CM0 レジスタのCM05 ビットを“1”（発振停止）にすると、消費電力を低減できます。この場合、XOUT 端子は“H”になります。また、内蔵している帰還抵抗は ON したままですので、XIN は帰還抵抗を介して XOUT にプルアップされた状態となります。なお、外部で生成したクロックを XIN 端子に入力している場合、CM05 ビットを“1”にしないでください。

ストップモード時は、メインクロックを含めたすべてのクロックが停止します。詳細は「9.5 パワーコントロール」を参照してください。

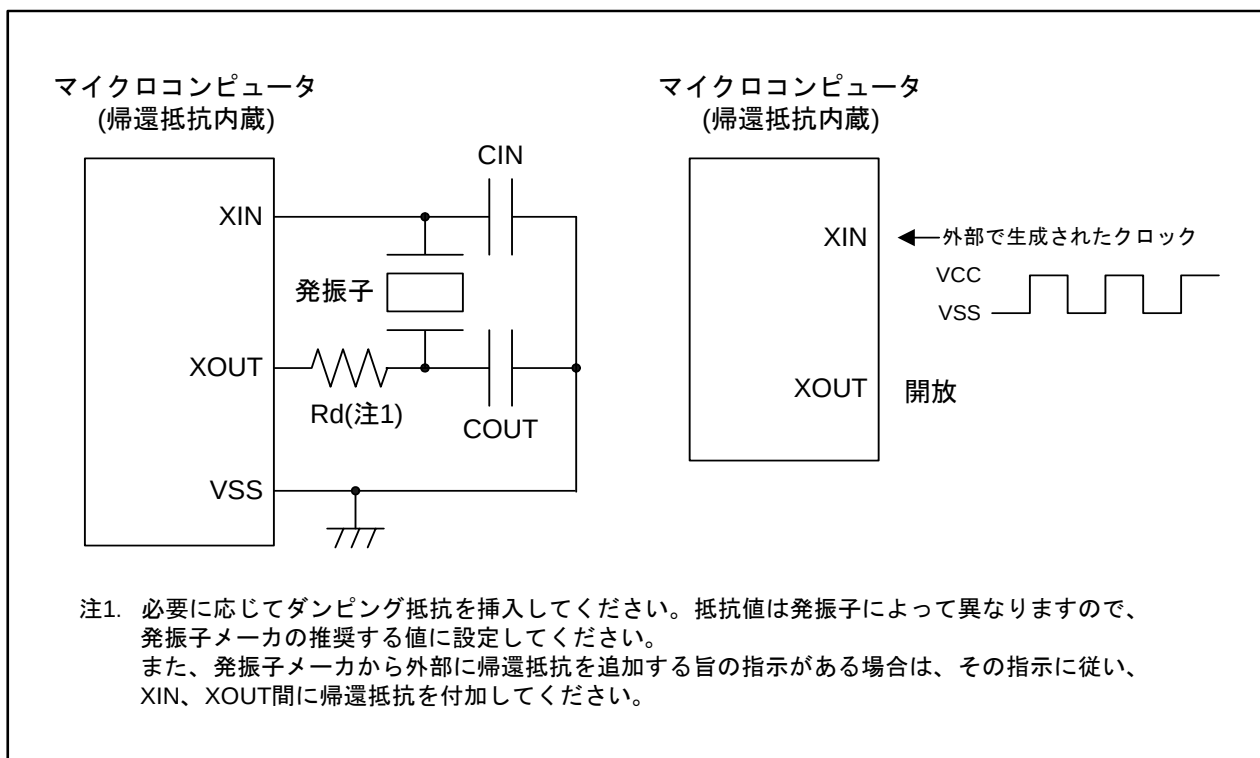


図9.10 メインクロックの接続回路例

9.1.2 サブクロック

サブクロック発振回路が供給するクロックです。CPUクロックと、タイマA、タイマBのカウントソースになります。また、サブクロックと同一周波数のfCをCLKOUT端子から出力できます。

サブクロック発振回路は、XCIN-XCOUT端子間に水晶発振子を接続することで発振回路が構成されます。サブクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。サブクロック発振回路には、外部で生成されたクロックをXCIN端子へ入力することもできます。図9.11にサブクロックの接続回路例を示します。回路定数は発振子によって異なりますので、発振子メーカーの推奨する値に設定してください。

リセット後、サブクロックは停止しています。このとき、帰還抵抗は発振回路から切り離されています。PD8レジスタのPD8_6、PD8_7ビットの両方を“0”（入力モード）にし、PUR2レジスタのPU25ビットを“0”（プルアップしない）にした後、CM0レジスタのCM04ビットを“1”（XCIN-XCOUT発振機能）にすると、サブクロック発振回路が発振を開始します。外部で生成したクロックをXCIN端子へ入力する場合は、PD8_7ビットを“0”にし、PU25ビットを“0”にした後、CM04ビットを“1”にすると、XCIN端子へ入力されたクロックがサブクロックになります。

サブクロックの発振が安定した後、CM0レジスタのCM07ビットを“1”（サブクロック）にすると、サブクロックがCPUクロックになります。

ストップモード時、サブクロックを含めたすべてのクロックが停止します。詳細は「9.5 パワーコントロール」を参照してください。

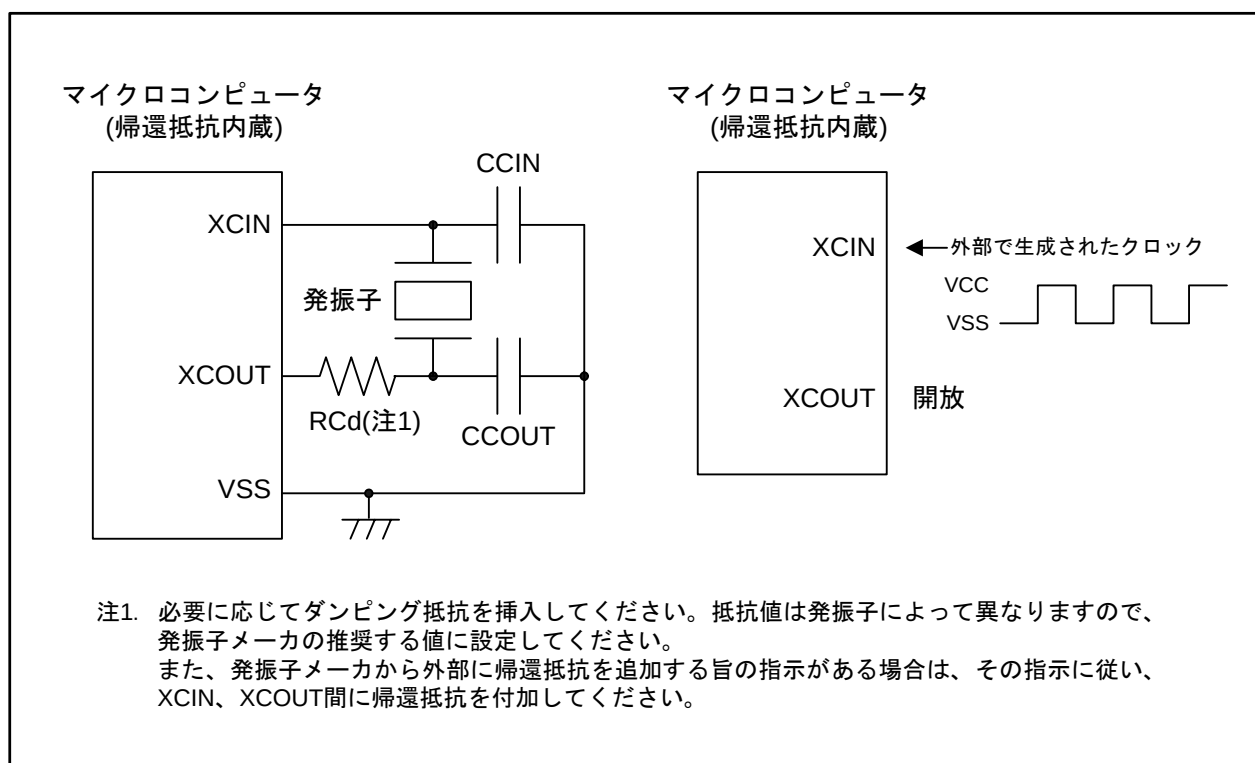


図9.11 サブクロックの接続回路例

9.1.3 オンチップオシレータクロック

オンチップオシレータが供給する約1MHzのクロックです。CPUクロックや周辺機能クロックのクロック源になります。

リセット後、オンチップオシレータクロックは停止しています。CM2 レジスタの CM21 ビットを“1” (オンチップオシレータクロック) にすると発振を開始し、オンチップオシレータクロックがメインクロックに代わって、CPUクロックや周辺機能クロックのクロック源になります。

表9.2にオンチップオシレータの発振開始条件を示します。

表9.2 オンチップオシレータの発振開始条件

CM2 レジスタ	PM2 レジスタ		用途
CM21 ビット	PM22 ビット	PM27～PM26 ビット	
1	0	00b	CPUクロック、周辺機能クロックのクロック源
0	1	00b	ウォッチドッグタイマのカウントソース
0	0	10b	f2nのカウントソース

9.1.3.1 発振停止検出機能

外部の要因でメインクロックが停止した場合に、自動的にオンチップオシレータが動作を開始し、クロックを供給する機能です。

CM2 レジスタの CM20 ビットが“1” (発振停止検出機能を使用する) の場合、メインクロックが停止すると、発振停止検出割り込み要求が発生します。同時にオンチップオシレータが発振を開始し、オンチップオシレータクロックがメインクロックに代わって CPU クロックや周辺機能クロックのクロック源になります。このとき、CM2 レジスタのビットが次のようになります。

- ・ CM21 ビット = “1” (オンチップオシレータクロックが CPU クロックになる)
- ・ CM22 ビット = “1” (メインクロック停止を検出)
- ・ CM23 ビット = “1” (メインクロック停止)

発振停止検出割り込みは、ウォッチドッグタイマ割り込み、電圧監視割り込みとベクタを共用しています。発振停止検出割り込みとこれらの割り込みを同時に使用する場合、割り込みルーチンで CM22 ビットを読み出し、発振停止検出割り込み要求が発生したことを確認してください。

発振停止検出後、メインクロックの発振が再開した場合は、プログラムでメインクロックを CPU クロックや周辺機能クロックに戻すことができます。図9.12にオンチップオシレータクロックからメインクロックへの切り替え手順を示します。

低速モード時、CM20 ビットが“1” で、メインクロックが停止すると、発振停止検出割り込み要求が発生します。同時にオンチップオシレータが発振を開始します。このとき、CPU クロックはサブクロックのままですが、周辺機能クロックのクロック源はオンチップオシレータクロックになります。周辺機能クロック停止時、発振停止検出機能は使用できません。発振停止検出機能を使用中にウェイトモードへ移行する場合は、CM0 レジスタの CM02 ビットを“0” (ウェイトモード時周辺機能クロックを停止しない) にしてください。

この機能は外部要因によるメインクロック停止に備えた機能ですので、プログラムでメインクロックを停止させる場合、すなわち、ストップモードにする、または CM0 レジスタの CM05 ビットを“1” (メインクロック発振停止) にする場合は、CM20 ビットを“0” (発振停止検出機能を使用しない) にしてください。

メインクロックの周波数が2MHz以下の場合、この機能は使用できませんので、CM20 ビットを“0” にしてください。

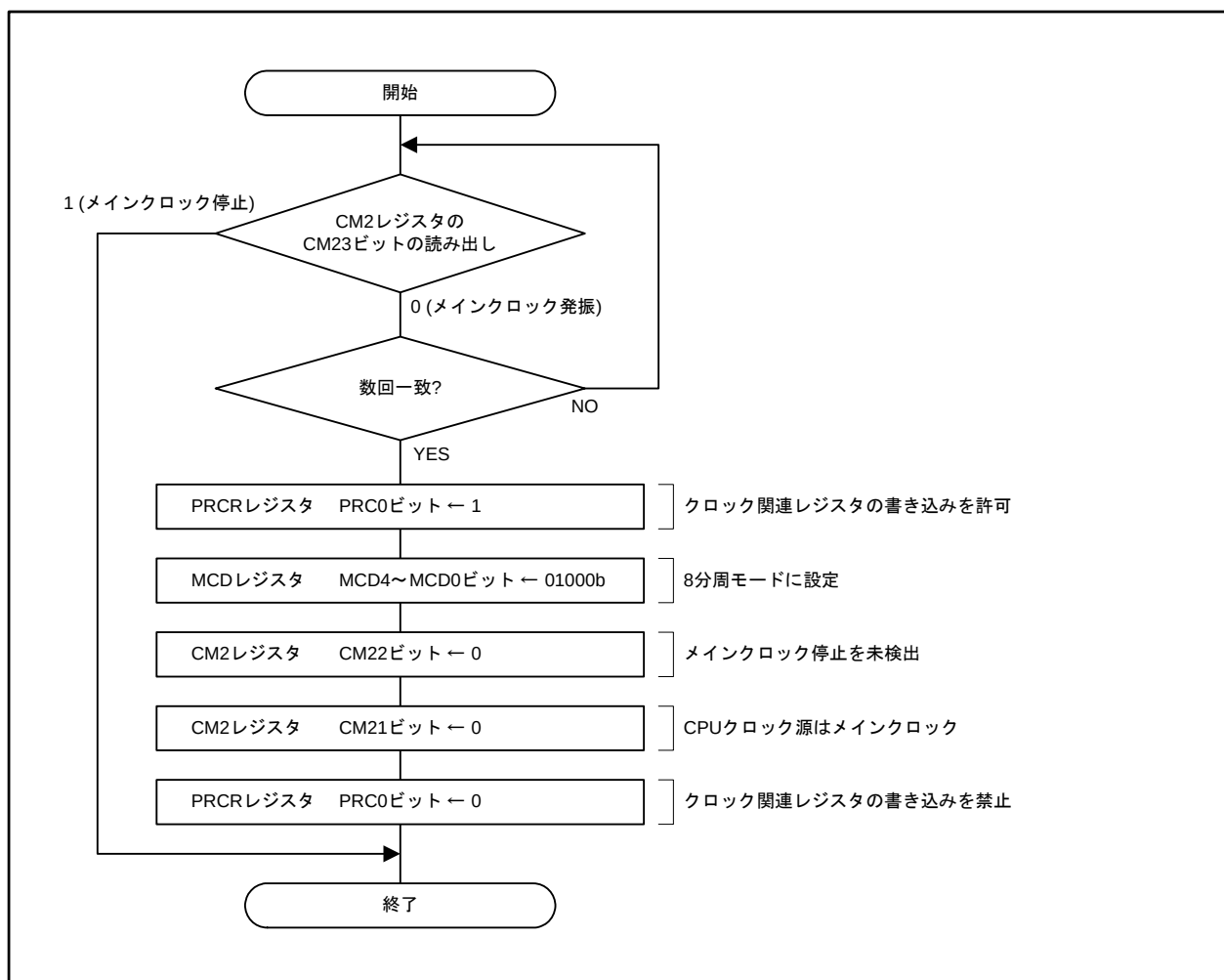


図9.12 オンチップオシレータクロックからメインクロックへの切り替え手順

9.1.4 PLL クロック

PLL クロックは、PLL 周波数シンセサイザがメインクロックを基に生成するクロックです。CPU クロックや、周辺機能クロックのクロック源に使用できます。図 9.13 に PLL 周波数シンセサイザのブロック図を示します。

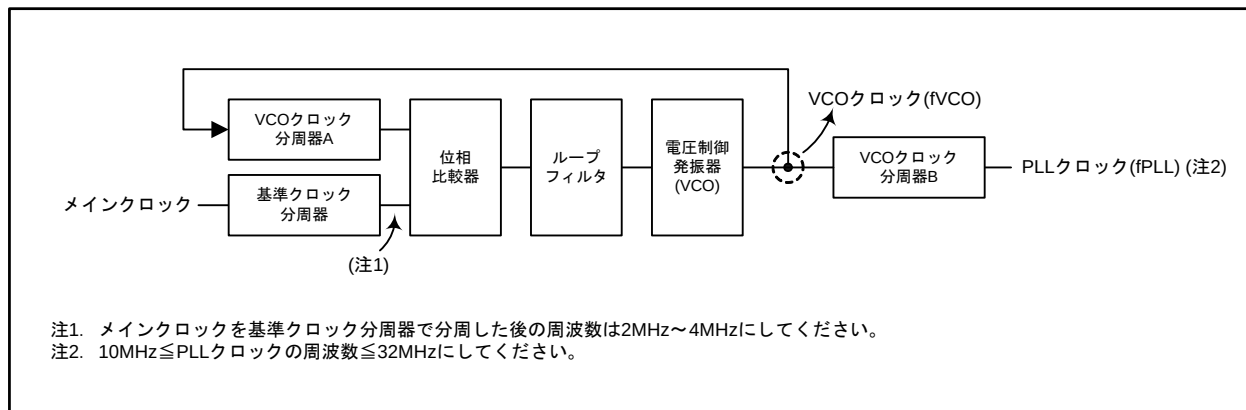


図 9.13 PLL 周波数シンセサイザのブロック図

PLL クロックの周波数は次の式で算出されます。表 9.3 に PLL クロック周波数の設定例を示します。

$$\text{PLL クロック 周波数} = \frac{\text{メインクロック 周波数}}{\text{基準クロック分周器の分周比}} \times \frac{\text{VCO クロック分周器 A の分周比}}{\text{VCO クロック分周器 B の分周比}} \times 1$$

基準クロック分周器の分周比 → PLC05~PLC04 ビットで設定
 VCO クロック分周器 B の分周比 → PLL クロック通倍率 PLC02~PLC00 ビットで設定

PLC05~PLC04、PLC02~PLC00 : PLC0 レジスタのビット

表 9.3 PLL クロック周波数の設定例

メインクロック (fXIN)	PLC0 レジスタ		PLL クロック (fPLL)
	PLC05 ~ PLC04 ビット	PLC02 ~ PLC00 ビット	
5MHz	01b (2分周)	100b (8通倍)	fPLL = fXIN × 1/2 × 8 = 20MHz
10MHz	10b (4分周)	100b (8通倍)	fPLL = fXIN × 1/4 × 8 = 20MHz
8MHz	01b (2分周)	100b (8通倍)	fPLL = fXIN × 1/2 × 8 = 32MHz
16MHz	10b (4分周)	100b (8通倍)	fPLL = fXIN × 1/4 × 8 = 32MHz

リセット後、PLL 周波数シンセサイザは停止しています。PLC0 レジスタの PLC07 ビットを “1” (PLL 動作) にすると PLL 周波数シンセサイザが動作します。PLL クロックが安定するまで、PLL 周波数シンセサイザ安定待ち時間 (tsu(PLL)) が必要です。

ウェイトモードまたはストップモードへ移行する場合は、CM1 レジスタの CM17 ビットを “0” (CPU クロック源はメインクロック) にした後、PLC07 ビットを “0” (PLL 停止) にしてから各モードに移行してください。

図 9.14 に PLL クロックを CPU クロックにする手順を示します。

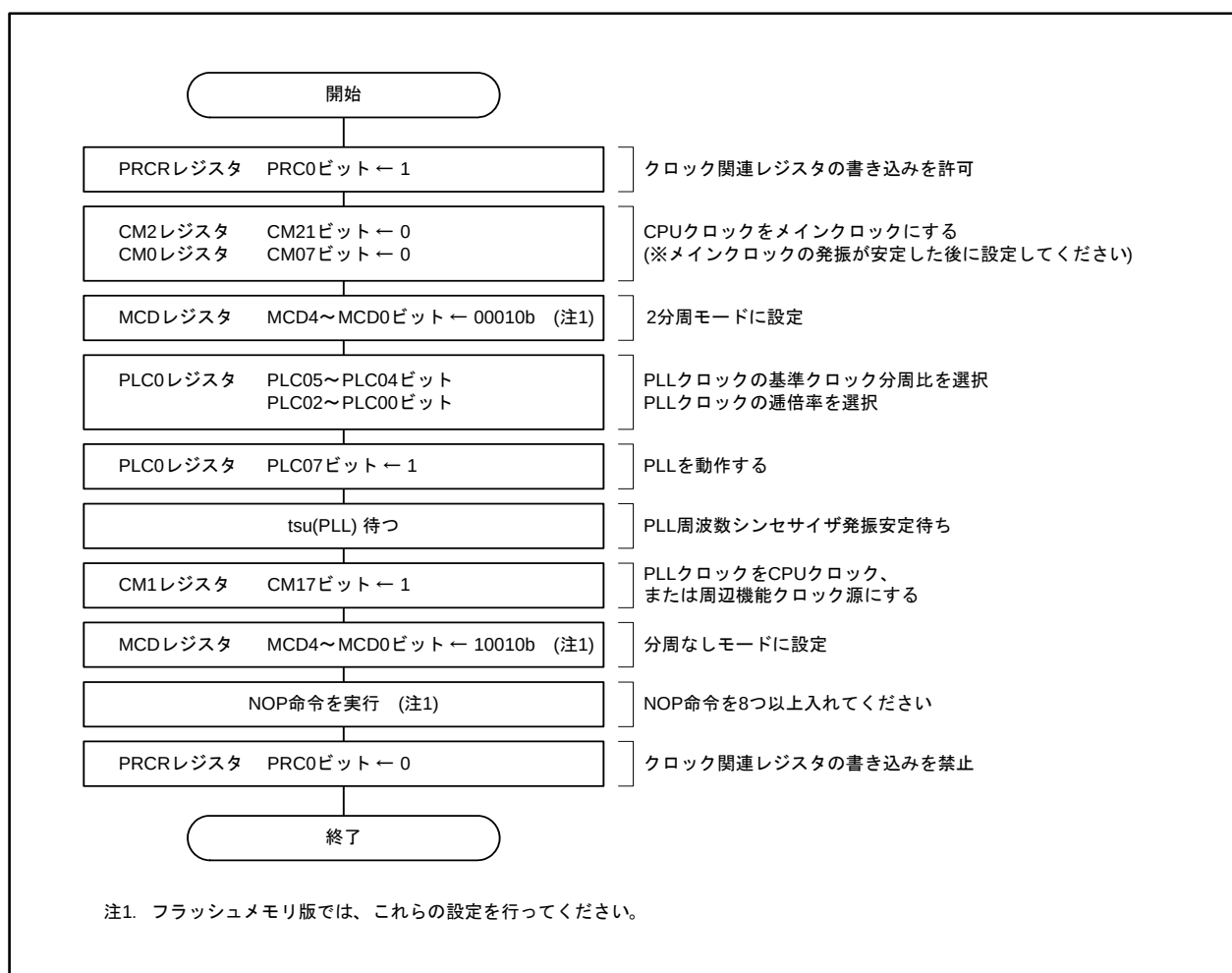


図9.14 PLLクロックをCPUクロックにする手順

9.2 CPUクロックとBCLK

CPUクロックはCPU動作クロックであり、ウォッチドッグタイマのカウントソースです。リセット後、CPUクロックはメインクロックの8分周です。メモリ拡張モードまたはマイクロプロセッサモード時、CPUクロックと同一周波数のクロックをバスクロック(BCLK)として、BCLK端子から出力できます。詳細は「9.4 クロック出力機能」を参照してください。

CPUクロックのクロック源として、メインクロック、サブクロック、オンチップオシレータクロック、または、PLLクロックが選択できます。

CPUクロックのクロック源としてメインクロック、オンチップオシレータクロック、PLLクロックを選択した場合、選択したクロックを1分周(分周なし)、または2、3、4、6、8、10、12、14、16分周したものがCPUクロックになります。分周はMCDレジスタで選択できます。なお、ストップモード、または低消費電力モードに移行すると、MCDレジスタのMCD4～MCD0ビットは“01000b”(8分周モード)になります。次にメインクロックをCPUクロックに切り替えたとき、CPUクロックはメインクロックの8分周になります。詳細は「9.5 パワーコントロール」を参照してください。

フラッシュメモリ版でCPUクロック周波数を20MHz以上にする場合、MCD4～MCD0ビットを“00010b”(2分周モード)にしてから“10010b”(分周なしモード)に設定してください。また、分周なしモードに設定する命令の後にNOP命令を8つ以上入れてください。

9.3 周辺機能クロック

ウォッチドッグタイマを除く周辺機能の動作クロックまたはカウントソースです。

CM17ビットとCM21ビットで選択したクロック(メインクロック、PLLクロック、またはオンチップオシレータクロックのいずれか)が周辺機能クロック源(fPFC)になります。

9.3.1 f1、f8、f32、f2n

f1、f8、f32はfPFCを1、8、32分周したクロックです。

f2nのカウントソースは、PM2レジスタのPM27～PM26ビットにより、fPFC、XINクロック(fXIND)、オンチップオシレータクロック(fROC)から選択できます。また、f2nはTCSPRレジスタのCNT3～CNT0ビットで分周なし(n=0)または2n分周(n=1～15)を選択できます。

CM0レジスタのCM02ビットを“1”(ウェイトモード時、周辺機能クロックを停止する)にしてウェイトモードに移行した場合、または周辺機能クロック源にメインクロックを使用して、CM05ビットを“1”にした場合、fPFCが停止します。ただし、PM27～PM26が“10b”(f2nのカウントソースにオンチップオシレータクロックを選択)のとき、f2nは停止しません。

f1、f8、f2nは、タイマA、タイマBのカウントソース、シリアルインタフェースの動作クロックに使用します。

f8とf32はCLKOUT端子から出力できます。詳細は「9.4 クロック出力機能」を参照してください。

9.3.2 fAD

A/Dコンバータの動作クロックです。fADはfPFCと同一周波数です。

CM0レジスタのCM02ビットを“1”(ウェイトモード時、周辺機能クロックを停止する)にしてウェイトモードに移行した場合、または周辺機能クロック源にメインクロックを使用して、CM05ビットを“1”にした場合、fADは停止します。

9.3.3 fC32

サブクロックの32分周で、タイマA、タイマBのカウントソースに使用します。サブクロックが供給されているとき使用できます。

9.4 クロック出力機能

fC、f8、またはf32をCLKOUT端子から出力できます。

また、メモリ拡張モードまたはマイクロプロセッサモード時、CPUクロックと同一周波数のクロックをBCLKとしてBCLK端子から出力できます。

表9.4にシングルチップモード時でのCLKOUT端子の機能を、表9.5にメモリ拡張モードまたはマイクロプロセッサモード時でのCLKOUT端子の機能を示します。

表9.4 シングルチップモード時でのCLKOUT端子の機能

CM0レジスタ(注1)	P5_3 / CLKOUT端子の機能
CM01～CM00ビット	
00b	入出力ポートP5_3
01b	fCを出力
10b	f8を出力
11b	f32を出力

注1. CM0レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください

表9.5 メモリ拡張モード、マイクロプロセッサモード時でのCLKOUT端子の機能

CM0レジスタ(注1)	PM1レジスタ(注2)	PM0レジスタ(注2)	CLKOUT / BCLK / ALE端子の機能
CM01～CM00ビット	PM15～PM14ビット	PM07ビット	
00b	00b	0	BCLKを出力
	10b	1	“L”を出力(P5_3になりません)
	11b		
	01b	—	ALEを出力
01b	—	—	fCを出力
10b	—	—	f8を出力
11b	—	—	f32を出力

—: 0でも1でもよい

注1. CM0レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. PM0、PM1レジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

9.5 パワーコントロール

CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が高いほど処理能力は上がり、小さいほど消費電力は小さくなります。また、不要な発振回路を停止させるとさらに消費電力は小さくなります。

パワーコントロールには、CPU動作モード、ウェイトモード、ストップモードがあります。CPU動作モードには、メインクロックモード、PLLモード、低速モード、低消費電力モード、オンチップオシレータモード、オンチップオシレータ低消費電力モードがあります。

図9.15にモード遷移図を示します。

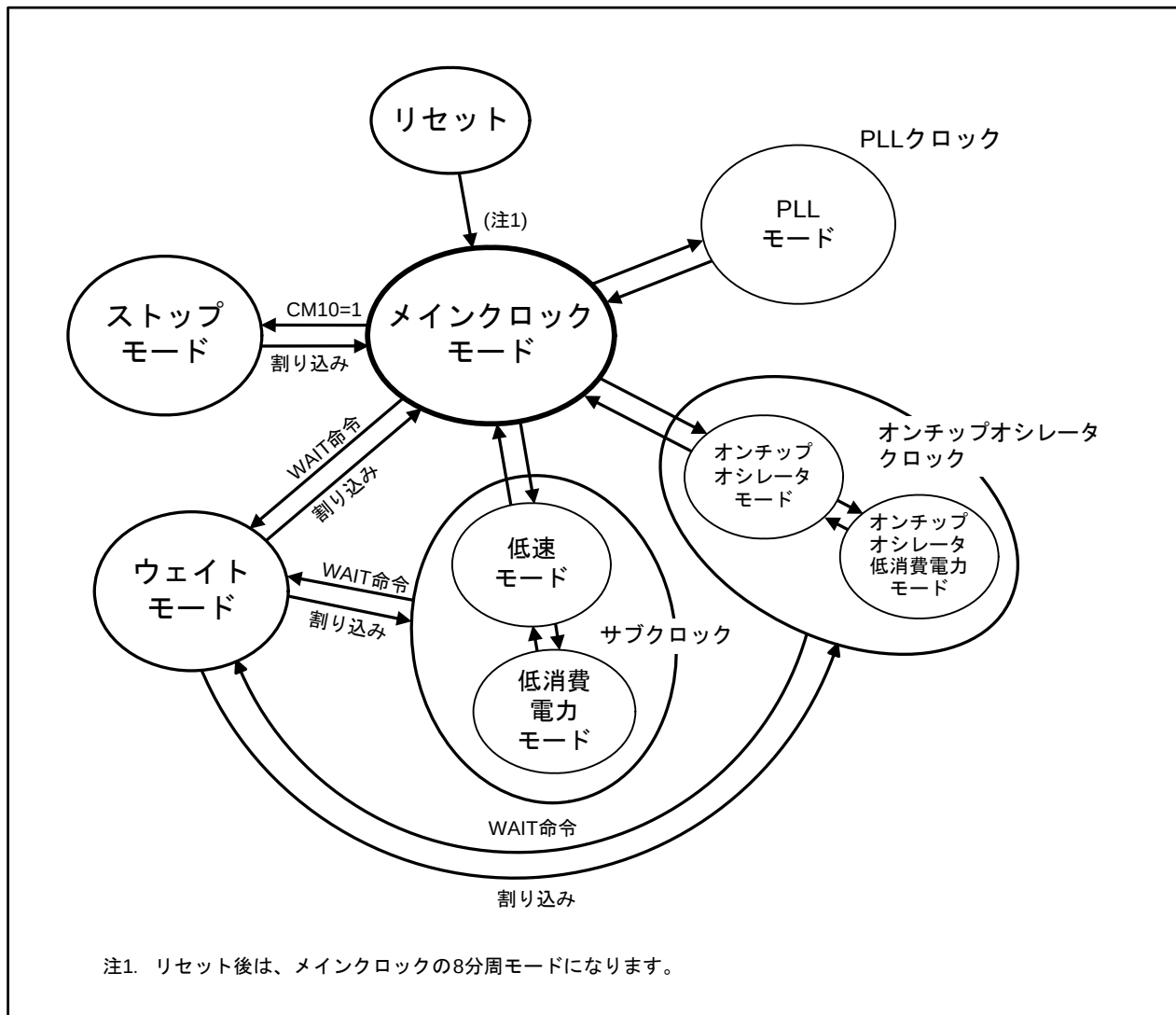


図9.15 モード遷移図

9.5.1 CPU動作モード

CPUクロックとしてメインクロック、サブクロック、オンチップオシレータクロック、PLLクロックが選択できます。CPUクロックを切り替える場合は、切り替え先のクロックが安定してから切り替えてください。サブクロック、オンチップオシレータクロック、PLLクロックを切り替える場合は、一旦メインクロックにしてから別のクロックに切り替えてください。

また、オンチップオシレータクロックからメインクロックに切り替える場合は、オンチップオシレータモードでMCDレジスタのMCD4～MCD0ビットを“01000b”（8分周モード）にしてください。

表9.6にクロック関連ビットの設定と動作モードを示します。

9.5.1.1 メインクロックモード

メインクロックの1分周(分周なし)、2、3、4、6、8、10、12、14、16分周がCPUクロックになります。またメインクロックがfPFCになります。サブクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

9.5.1.2 PLLモード

PLLクロックの1分周(分周なし)、2、3、4、6、8、10、12、14、16分周がCPUクロックになります。またPLLクロックがfPFCになります。サブクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

フラッシュメモリ版でCPUクロック周波数を20MHz以上にする場合、MCDレジスタのMCD4～MCD0ビットを“00010b”(2分周モード)にしてから“10010b”(分周なしモード)に設定してください。また、分周なしモードに設定する命令の後にNOP命令を8つ以上入れてください。

9.5.1.3 低速モード

サブクロックがCPUクロックになります。CM07ビットでCPUクロックをサブクロックに切り替えた後にCM17、CM21ビットを設定することにより、メインクロック、PLLクロック、またはオンチップオシレータクロックがfPFCに使用できます。またこのモードでは、fC32がタイマA、タイマBのカウントソースに使用できます。

低速モードから遷移できるCPU動作モードは、メインクロックモードと低消費電力モードのみです。その他のCPU動作モードに移行する場合は、いったんメインクロックモードにしてからその他のモードに移行してください。

9.5.1.4 低消費電力モード

低速モードにした後、メインクロックを停止させた状態です。サブクロックがCPUクロックになります。低消費電力モードに移行した後CM21ビットを設定することにより、オンチップオシレータクロックがfPFCに使用できます。また、このモードではfC32がタイマA、タイマBのカウントソースに使用できます。このモードにすると同時にMCDレジスタのMCD4～MCD0ビットは“01000b”(8分周モード)になりますので、次にメインクロックをCPUクロックに切り替えたときは、CPUクロックはメインクロックの8分周になります。ただし、低速モードでオンチップオシレータクロックをfPFCに使用している状態でCM05ビットを“1”にしてメインクロックを停止させると、MCD4～MCD0ビットは“01000b”になりません。CPUクロックをメインクロックに切り替える前にプログラムでMCD4～MCD0ビットを“01000b”に設定してください。図9.16にメインクロックモードから低消費電力モードへの移行手順を示します。

9.5.1.5 オンチップオシレータモード

オンチップオシレータクロックの1分周(分周なし)、2、3、4、6、8、10、12、14、16分周がCPUクロックになります。またオンチップオシレータクロックがfPFCになります。サブクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

9.5.1.6 オンチップオシレータ低消費電力モード

オンチップオシレータモードにした後、メインクロックを停止させた状態です。オンチップオシレータクロックの1分周(分周なし)、2、3、4、6、8、10、12、14、16分周がCPUクロックになります。またオンチップオシレータクロックがfPFCになります。サブクロックが供給されている場合、fC32がタイマA、タイマBのカウントソースに使用できます。

9.5.1.7 フラッシュメモリの低速アクセス

CPUクロックの周波数が2MHz以下の場合、FMR4レジスタのFMR40ビットを“1”(低速アクセス)にすることで消費電力を低減させることができます。低速アクセスに設定する場合、CPUクロック周波数を2MHz以下にしてから、FMR40ビットを“1”にしてください。CPUクロック周波数を2MHzより速くする場合、FMR40ビットを“0”(通常アクセス)にした後、周波数を変更してください。

9.5.1.8 メイン電源回路の停止

低消費電力モード時、メイン電源回路を停止することで消費電力を低減させることができます。メイン電源回路を停止させる場合、次の条件を全て満たした後、VRCRレジスタのMRSビットを“1”(メイン電源回路停止)にしてください。

(1) 低消費電力モード

(2) オンチップオシレータ停止

- ・CM2レジスタのCM21ビットが“0”
- ・PM2レジスタのPM22ビットが“0”
- ・PM2レジスタのPM27～PM26ビットが“00b”

(3) FMR4レジスタのFMR40ビットが“1”(フラッシュメモリ低速アクセス)

CPU動作モードを低消費電力モード以外に変更する場合、オンチップオシレータを発振させる場合、またはフラッシュメモリ通常アクセス(FMR40ビットが“0”)にする場合は、MRSビットを“0”(メイン電源回路動作)にした後、50μs以上待ってからそれぞれの処理を行ってください。

表9.6 クロック関連ビットの設定と動作モード

CPUクロック源	動作モード	発振制御				セクタ	
		CM0 レジスタ		PLC0 レジスタ	CM2 レジスタ (注1)	CM1 レジスタ	CM0 レジスタ
		CM05	CM04	PLC07	CM21	CM17	CM07
メインクロック	メインクロック モード	0	—	—	0	0	0
PLLクロック	PLLモード	0	—	1	0	1	0
サブクロック	低速モード	0	1	—	0	0	1
	低消費電力モード	1	1	0	0	0	1
オンチップ オシレータ クロック	オンチップ オシレータモード	0	—	—	1	0	0
	オンチップ オシレータ 低消費電力モード	1	—	0	1	0	0

— : 0でも1でもよい

注1. CM2レジスタのCM21ビットは発振制御とセクタを兼ねています。

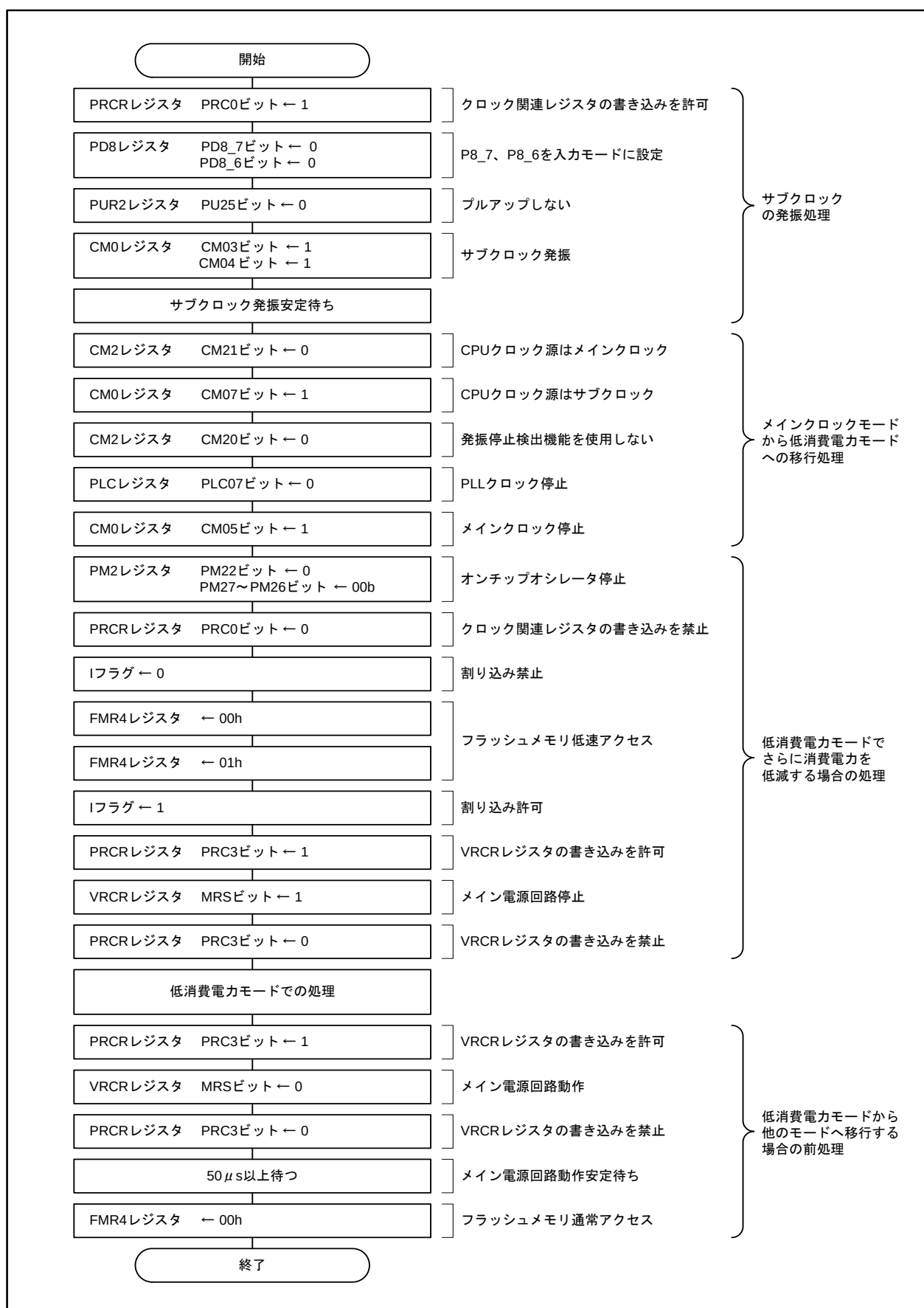


図9.16 メインクロックモードから低消費電力モードへの移行手順

9.5.2 ウェイトモード

ウェイトモードではCPUとウォッチドッグタイマが停止します。ただし、PM2レジスタのPM22ビットが“1”(ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)の場合、ウォッチドッグタイマは動作します。メインクロック、サブクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

9.5.2.1 周辺機能クロック停止機能

CM0レジスタのCM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合、ウェイトモード時にfAD、f1、f8、f32、カウントソースにCM2レジスタのCM21ビットで選択されたクロックを使用したf2nが停止しますので、消費電力が低減できます。fC32とカウントソースにXINクロックまたはオンチップオシレータクロックを選択したf2nは停止しません。

9.5.2.2 ウェイトモードへの移行

図9.17にウェイトモードへの移行手順を示します。

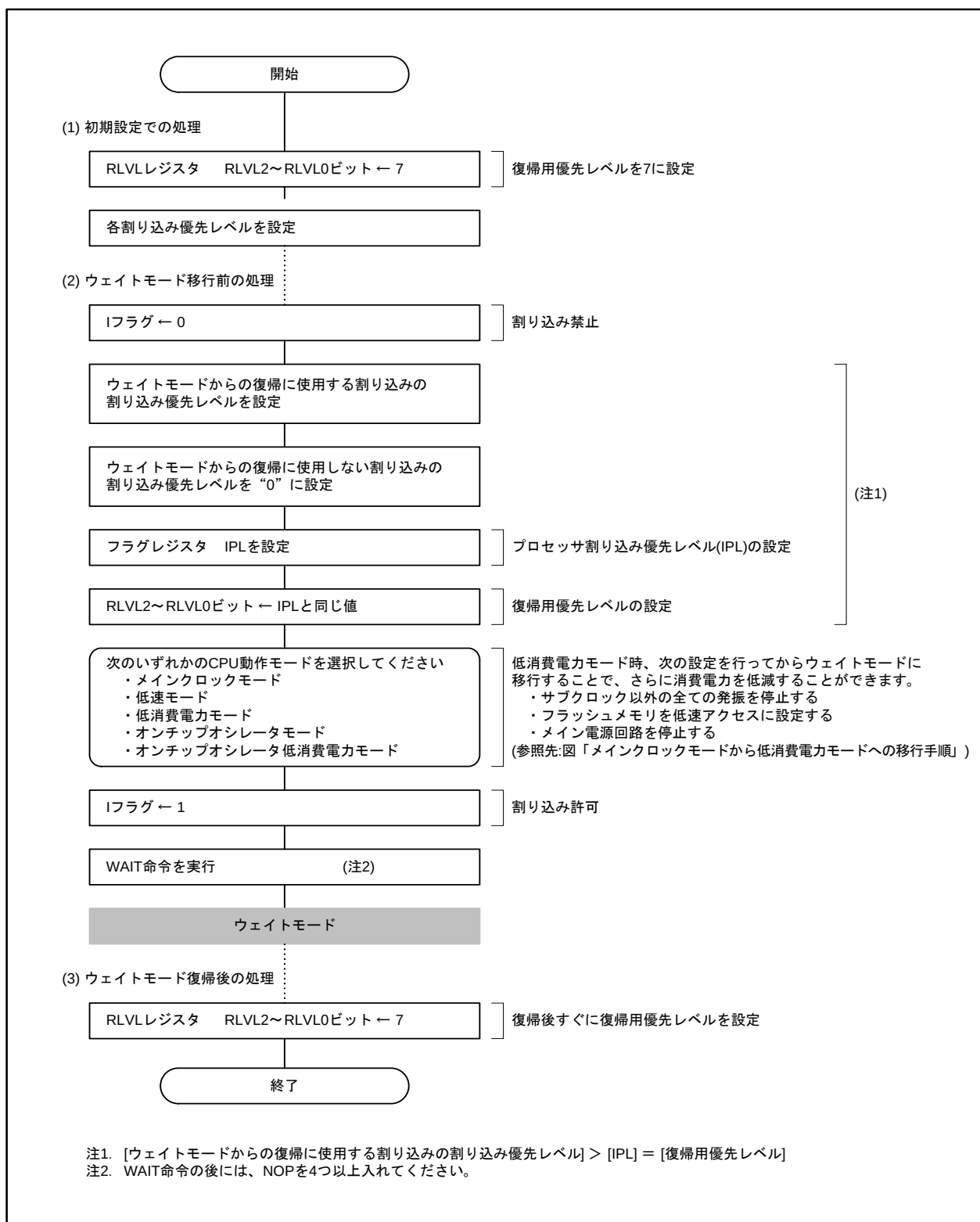


図9.17 ウェイトモードへの移行手順

9.5.2.3 ウェイトモード時の端子の状態

表9.7にウェイトモード時の端子の状態を示します。

表9.7 ウェイトモード時の端子の状態

端子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
アドレスバス、データバス、 $\overline{\text{CS0}} \sim \overline{\text{CS3}}$ 、 $\overline{\text{BHE}}$		ウェイトモードに入る直前の状態を保持	
$\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$		“H”	
$\overline{\text{HLDA}}$ 、 $\overline{\text{BCLK}}$		“H”	
ALE		“L”	
ポート		ウェイトモードに入る直前の状態を保持	
CLKOUT	fC選択時	クロック出力	
	f8、f32選択時	・CM0レジスタのCM02ビットが“0”(ウェイトモード時、周辺機能クロックは停止しない)の場合：クロック出力 ・CM0レジスタのCM02ビットが“1”(ウェイトモード時、周辺機能クロックは停止する)の場合：ウェイトモードに入る直前の状態を保持	

9.5.2.4 ウェイトモードからの復帰

ハードウェアリセット、 $\overline{\text{NMI}}$ 割り込み、電圧監視割り込み、または周辺機能割り込みにより、ウェイトモードから復帰します。

周辺機能割り込みを使用しない場合、周辺機能割り込みのILVL2～ILVL0ビットを“000b”(割り込み禁止)にした後、WAIT命令を実行してください。

周辺機能割り込みはCM0レジスタのCM02ビットの影響を受けます。CM02ビットが“0”(ウェイトモード時、周辺機能クロックを停止しない)の場合、すべての周辺機能割り込みがウェイトモードからの復帰に使用できます。CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合、周辺機能クロックを使用する周辺機能は停止し、ウェイトモードからの復帰に使用できません。ただし、fC32、外部クロック、カウントソースにXINクロックまたはオンチップオシレータクロックを選択したf2nによって動作する周辺機能の割り込みは、ウェイトモードからの復帰に使用できます。

周辺機能割り込み、または $\overline{\text{NMI}}$ 割り込みでウェイトモードから復帰したときのCPUクロックは、WAIT命令実行時のCPUクロックと同じクロックです。

表9.8にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

表9.8 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02ビットが“0”の場合	CM02ビットが“1”の場合
$\overline{\text{NMI}}$ 割り込み	使用可	使用可
電圧監視割り込み	使用可	使用可
シリアルインタフェース 割り込み	内部クロックでも 外部クロックでも使用可	外部クロックまたはf2n(XINクロックまたはオンチップオシレータクロックを選択)を選択している場合は使用可
キー入力割り込み	使用可	使用可
A/D変換割り込み	単発モード、または 単掃引モードで使用可	使用しないでください
タイマA割り込み タイマB割り込み	すべてのモードで使用可	イベントカウンタモード、またはカウントソースがfC32、 f2n(XINクロックまたはオンチップオシレータクロックを選択)を選択している場合は使用可
$\overline{\text{INT}}$ 割り込み	使用可	使用可

9.5.3 ストップモード

ストップモードでは、すべての発振が停止します。したがって、CPU クロックと周辺機能クロックも停止し、これらのクロックで動作する CPU、周辺機能も停止します。消費電力がもっとも少ないモードです。メインクロックモードからストップモードへ移行してください。

9.5.3.1 ストップモードへの移行

$\overline{\text{NMI}}$ 端子が“H”の状態、CM1 レジスタの CM10 ビットを“1” (全クロック停止) にすると、ストップモードになります。同時に MCD レジスタの MCD4～MCD0 ビットは“01000b” (8分周モード) になります。ストップモードへ移行する場合、VRCR レジスタの MRS ビットが“0” (メイン電源回路動作) の状態で移行してください。

図9.18にストップモードへの移行処理を示します。

ストップモードに移行するとき、命令キューに CM1 レジスタの CM10 ビットを“1” (全クロック停止) にする命令より後の命令が取り込まれてから、プログラムが停止します。ストップモードから復帰したとき、命令キューに取り込まれている命令を実行してから復帰用割り込みルーチンが実行されます。

CM10 ビットを“1” にする命令の後には次のように jmp.b 命令を入れてください。

```
例)      fset I           ; Iフラグを“1”にする
          bset 0, cm1      ; 全クロック停止 (ストップモード)
          jmp.b LABEL_001  ; jmp.b 命令実行 (jmp.b とラベルの間には命令を
LABEL_001:      ;          入れないですぐ次の命令にジャンプする)
          nop             ; nop(1)
          nop             ; nop(2)
          nop             ; nop(3)
          nop             ; nop(4)
          mov.b #0, prcr   ; プロテクト設定
          .
          .
          .
```

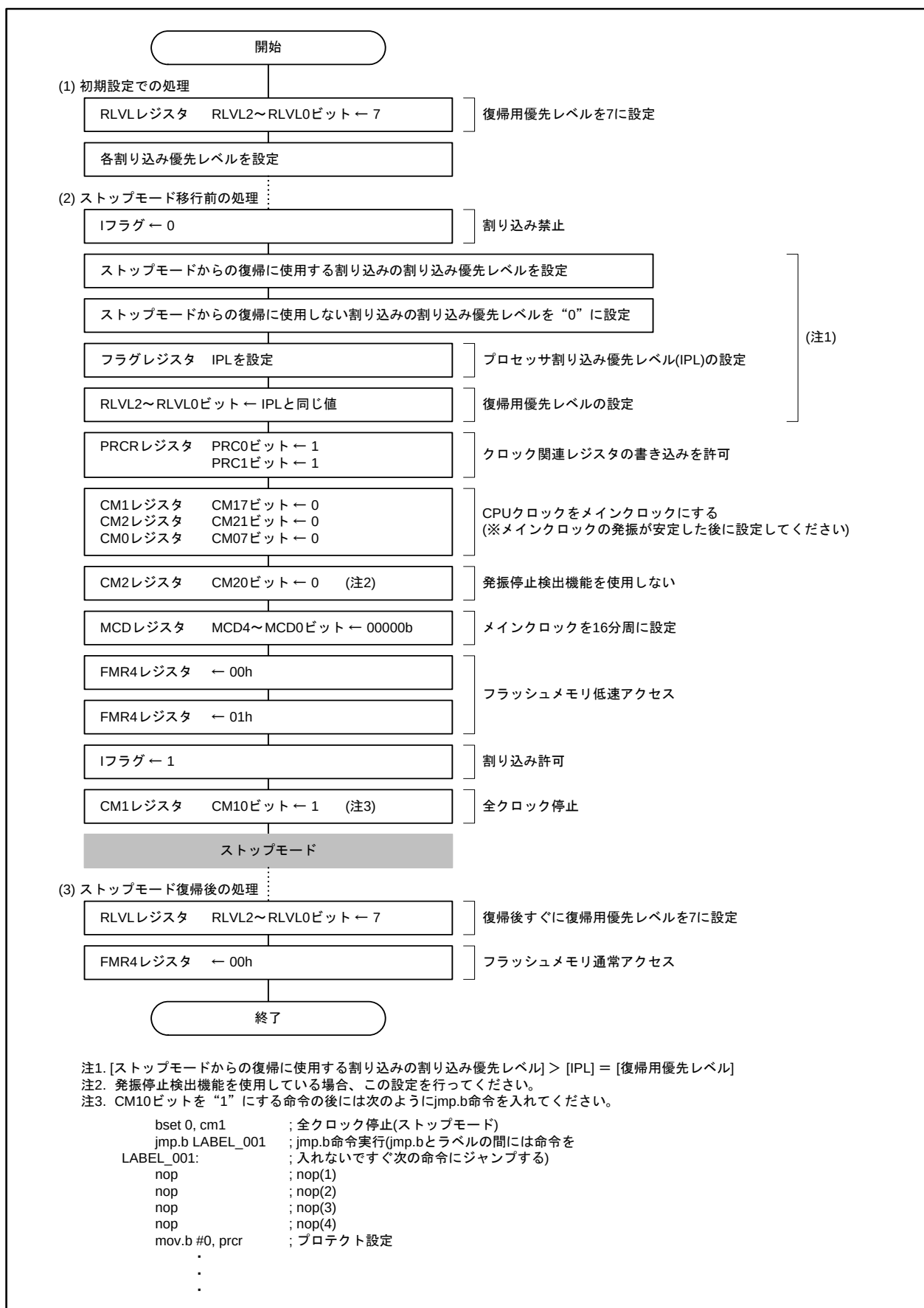


図9.18 ストップモードへの移行処理

9.5.3.2 ストップモード時の端子の状態

表9.9にストップモード時の端子の状態を示します。

表9.9 ストップモード時の端子の状態

端子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
アドレスバス、データバス、 $\overline{CS0} \sim \overline{CS3}$ 、 $\overline{BHE}$		ストップモードに入る直前の状態を保持	
$\overline{RD}$ 、 $\overline{WR}$ 、 $\overline{WRL}$ 、 $\overline{WRH}$		“H”	
$\overline{HLDA}$ 、 $\overline{BCLK}$		“H”	
ALE		“H”	
ポート		ストップモードに入る直前の状態を保持	
CLKOUT	fC 選択時	“H”	
	f8、f32 選択時	ストップモードに入る直前の状態を保持	
XIN		ハイインピーダンス	
XOUT		“H”	
XCIN、XCOUT		ハイインピーダンス	

9.5.3.3 ストップモードからの復帰

ハードウェアリセット、 $\overline{NMI}$ 割り込み、電圧監視割り込み、または周辺機能割り込みによりストップモードから復帰します。ストップモードからの復帰に使用できる周辺機能割り込みは次のとおりです。

- ・キー入力割り込み
- ・ $\overline{INT}$ 割り込み
- ・タイマA、タイマBの割り込み

(イベントカウンタモードで周波数100Hz以下の外部パルスのカウント時)

周辺機能割り込みを使用しないで、ハードウェアリセット、 $\overline{NMI}$ 割り込み、または電圧監視割り込みで復帰する場合、周辺機能割り込みのILVL2～ILVL0ビットをすべて“000b”(割り込み禁止)にした後、CM1レジスタのCM10ビットを“1”(全クロック停止)にしてください。

なお、ストップモード時にVCC1端子とVCC2端子に印加する電圧を3.0V以下にする場合、VCC1とVCC2に印加する電圧が推奨電圧条件を満たした後、ハードウェアリセットにより復帰してください。

9.6 システムクロック保護機能

プログラムの暴走でCPUクロックが切り替わらないようにクロックの変更を禁止する機能です。PM2レジスタのPM21ビットを“1”(クロックの変更禁止)にすると、次のビットに書き込めなくなります。

- CM0レジスタのCM02ビット、CM05ビット、CM07ビット
- CM1レジスタのCM10ビット、CM17ビット
- CM2レジスタのCM20ビット
- PLC0レジスタの全ビット

また、WAIT命令実行時、CPUクロックは停止しません。

図9.19にシステムクロック保護機能を使用する場合の手順を示します。CM0レジスタのCM05ビットが“0”(メインクロック発振)、CM07ビットが“0”(CPUクロックのクロック源はメインクロック)の状態です。次の処理をしてください。

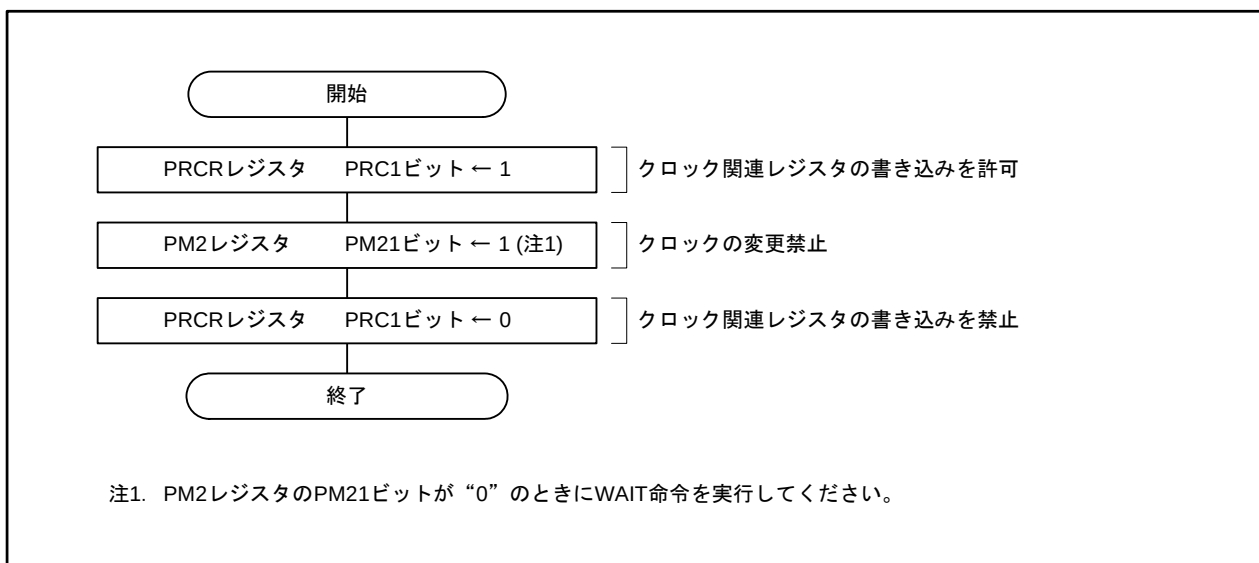


図9.19 システムクロック保護機能を使用する場合の手順

10. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタを簡単に書き換えられないように保護する機能です。図10.1にPRCRレジスタを示します。

PRC2ビットを“1”(書き込み許可)にした後、SFR領域に書き込みを実行すると“0”(書き込み禁止)になります。PD9レジスタとPS3レジスタは、PRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送、DMACII転送が入らないようにしてください。

PRC0、PRC1、PRC3ビットは“1”を書いた後、SFR領域に書き込みを実行しても“0”になりませんので、プログラムで“0”にしてください。

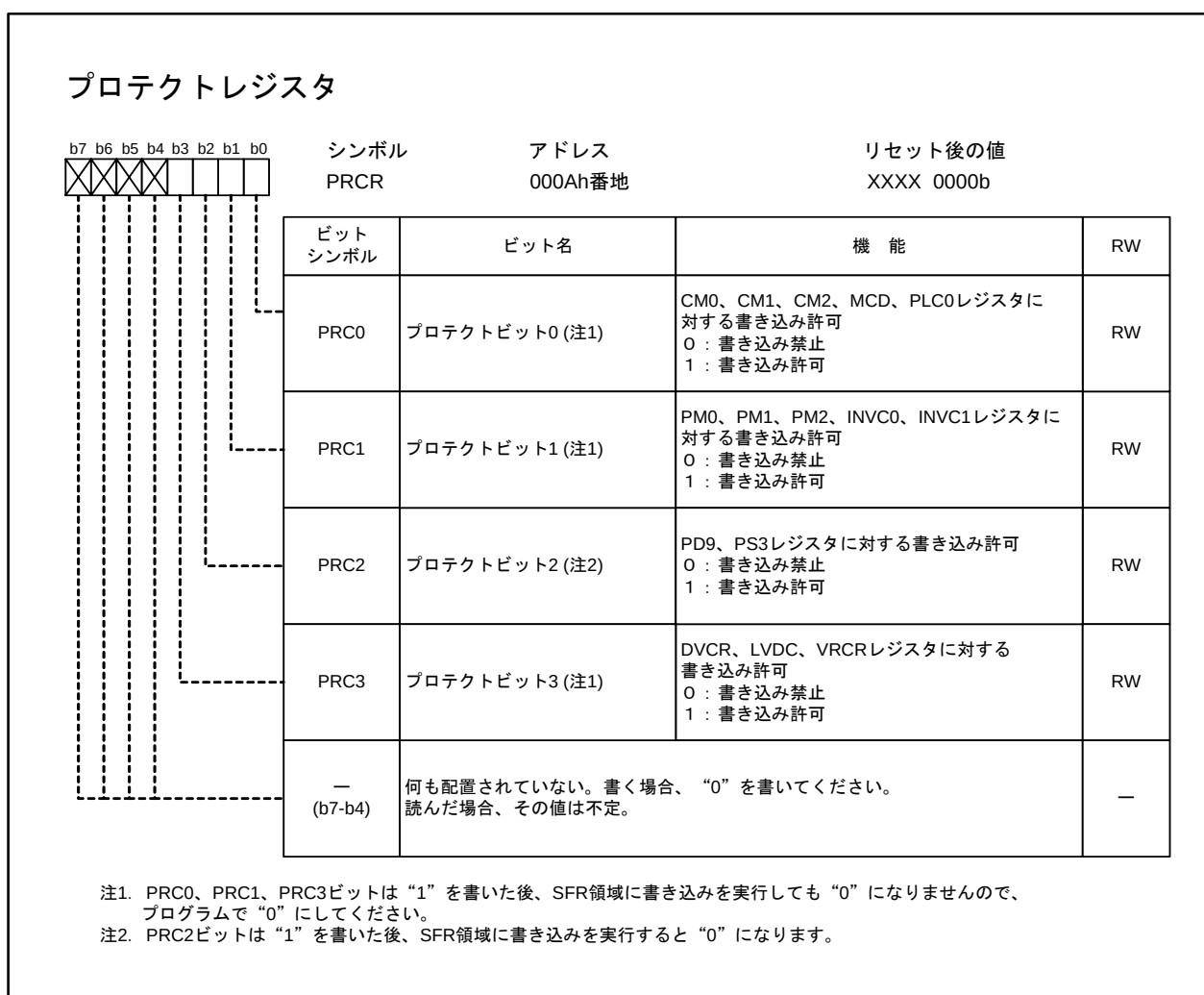


図10.1 PRCRレジスタ

11. 割り込み

11.1 割り込みの分類

図 11.1 に割り込みの分類を示します。

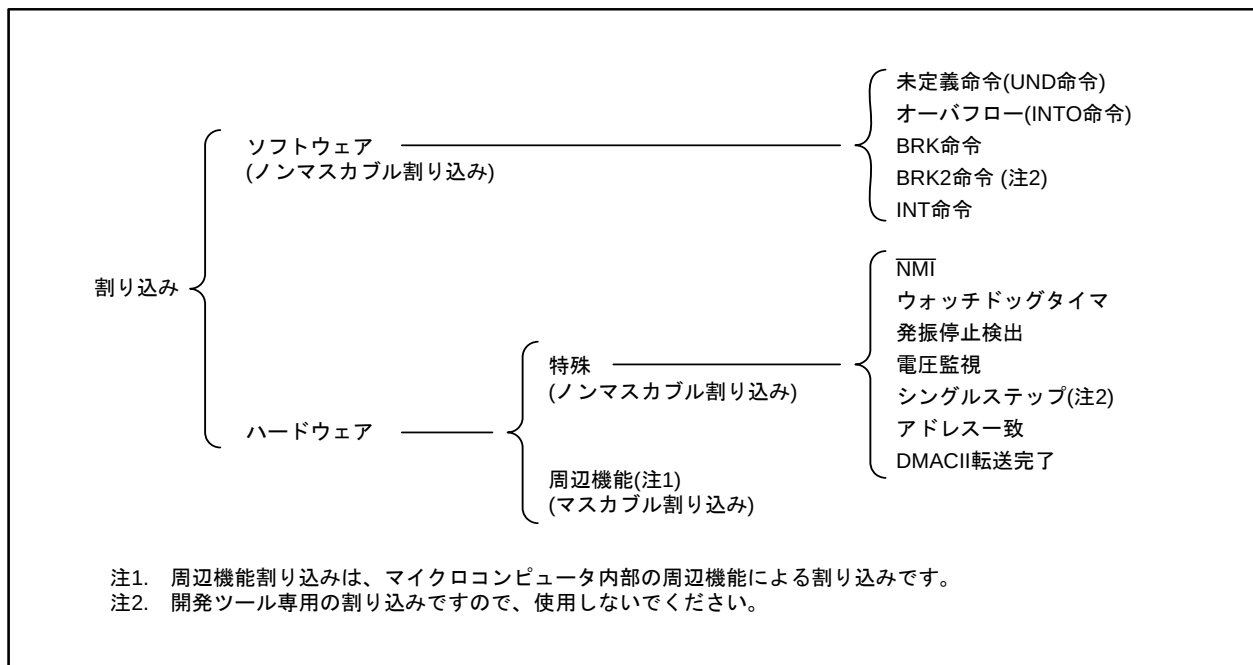


図 11.1 割り込みの分類

- マスカブル割り込み

I フラグや IPL による割り込みの許可、または禁止ができます。また、割り込み優先レベルによる割り込み優先順位の変更ができます。

- ノンマスカブル割り込み

I フラグや IPL の値にかかわらず、割り込みが発生します。

11.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスカブル割り込みです。

11.2.1 未定義命令割り込み

未定義命令割り込みは、UND 命令を実行すると発生します。

11.2.2 オーバフロー割り込み

オーバフロー割り込みは FLG レジスタの O フラグが “1” (演算の結果がオーバフロー) の場合、INTO 命令を実行すると発生します。演算によって O フラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、ADDX、CMP、CMPX、DIV、DIVU、DIVX、NEG、RMPA、SBB、SCMPU、SHA、SUB、SUBX

11.2.3 BRK 割り込み

BRK 割り込みは、BRK 命令を実行すると発生します。

11.2.4 BRK2 割り込み

BRK2 割り込みは BRK2 命令を実行すると発生します。

開発ツール専用の割り込みですので、使用しないでください。

11.2.5 INT 命令割り込み

INT 命令割り込みは、INT 命令を実行すると発生します。INT 命令で指定できるソフトウェア割り込み番号は 0～63 です。ソフトウェア割り込み番号 8～43 は周辺機能割り込みに割り当てられていますので、INT 命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。INT 命令を実行すると、FLG レジスタ、PC をスタックに退避し、指定したソフトウェア割り込み番号の可変ベクタを PC に格納します。

退避先のスタックはソフトウェア割り込み番号により異なります。

ソフトウェア割り込み番号 0～31 では ISP(U フラグが “0”) に、ソフトウェア割り込み番号 32～63 では INT 命令実行前に選択されている SP(U フラグは変化しない) になります。

ただし、周辺機能割り込みでは、割り込み要求受け付け時に FLG レジスタを退避し、U フラグが “0” (ISP を選択) になります。そのため、ソフトウェア割り込み番号 32～43 では割り込み要因が周辺機能割り込みか INT 命令かで使用する SP が異なります。

11.3 ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺機能割り込みがあります。

11.3.1 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

11.3.1.1 $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みは、 $\overline{\text{NMI}}$ 端子の入力が“H”から“L”に変化すると発生します。 $\overline{\text{NMI}}$ 割り込みについては、「11.8 $\overline{\text{NMI}}$ 割り込み」を参照してください。

11.3.1.2 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマについては、「12. ウォッチドッグタイマ」を参照してください。

11.3.1.3 発振停止検出割り込み

発振停止検出機能により、メインクロックの発振停止を検出すると発生する割り込みです。発振停止検出については、「9. クロック発生回路」を参照してください。

11.3.1.4 電圧監視割り込み

電圧監視機能による割り込みです。電圧監視機能については、「6. 電圧監視機能」を参照してください。

11.3.1.5 シングルステップ割り込み

開発ツール専用の割り込みです。使用しないでください。

11.3.1.6 アドレス一致割り込み

アドレス一致割り込みは、AIER レジスタの AIERi ビット (i=0～7) が“1” (アドレス一致割り込み許可) の場合、RMADi レジスタで示される番地の命令を実行する直前に発生します。

RMADi レジスタには命令の先頭番地を設定してください。命令の途中やテーブルデータ等の番地を設定した場合、アドレス一致割り込みは発生しません。アドレス一致割り込みについては、「11.10 アドレス一致割り込み」を参照してください。

11.3.1.7 DMACII 転送完了割り込み

DMACII 機能による転送完了割り込みです。DMACII 転送については「14. DMACII」を参照してください。

11.3.2 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。割り込みベクタテーブルは INT 命令で使用するソフトウェア割り込み番号 8～43 と同一です。周辺機能割り込みは、マスカブル割り込みです。

周辺機能割り込みの割り込み要因は、表 11.2 可変ベクタテーブルを参照してください。また、周辺機能については、各機能の説明を参照してください。

11.4 高速割り込み

高速割り込みは、割り込みシーケンスを5サイクルで、復帰を3サイクルで実行できる割り込みです。RLVLレジスタのFSITビットを“1”(割り込み優先レベル7は高速割り込みに使用)にすると、割り込み制御レジスタのILVL2～ILVL0ビットを“111b”(レベル7)にした割り込みが高速割り込みとなります。

高速割り込みに設定できる割り込みは1つだけです。高速割り込みを使用する場合は、複数の割り込みをレベル7にしないでください。また、高速割り込みを使用する場合はRLVLレジスタのDMAIIビットを“0”(割り込み優先レベル7は割り込みに使用)にしてください。

高速割り込みルーチンの先頭番地はVCTレジスタに設定してください。

高速割り込みでは割り込みを受け付けると、FLGレジスタをSVFレジスタへ、PCをSVPレジスタへ退避し、VCTレジスタで示される番地からプログラムを実行します。

復帰する場合はFREIT命令を実行してください。FREIT命令を実行すると、SVFレジスタ、SVPレジスタに退避していた値がFLGレジスタ、PCに復帰します。

高速割り込みはDMA2とDMA3で使用するレジスタを共有しています。そのため、高速割り込みを使用する場合、DMA2とDMA3は使用できません(DMA0とDMA1は使用できます)。

高速割り込みの設定手順を次に示します。

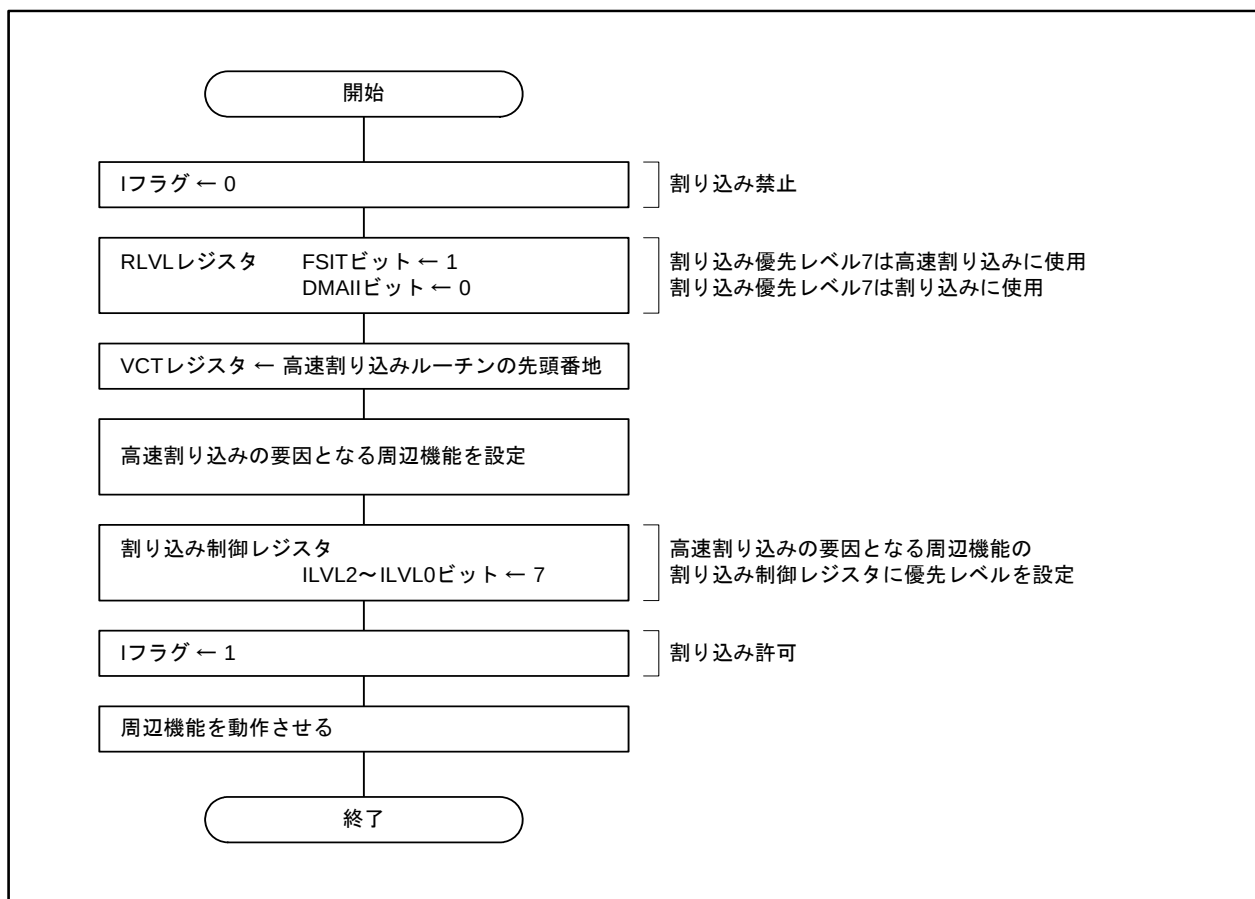


図 11.2 高速割り込みの設定手順

11.5 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。図11.3に割り込みベクタを示します。

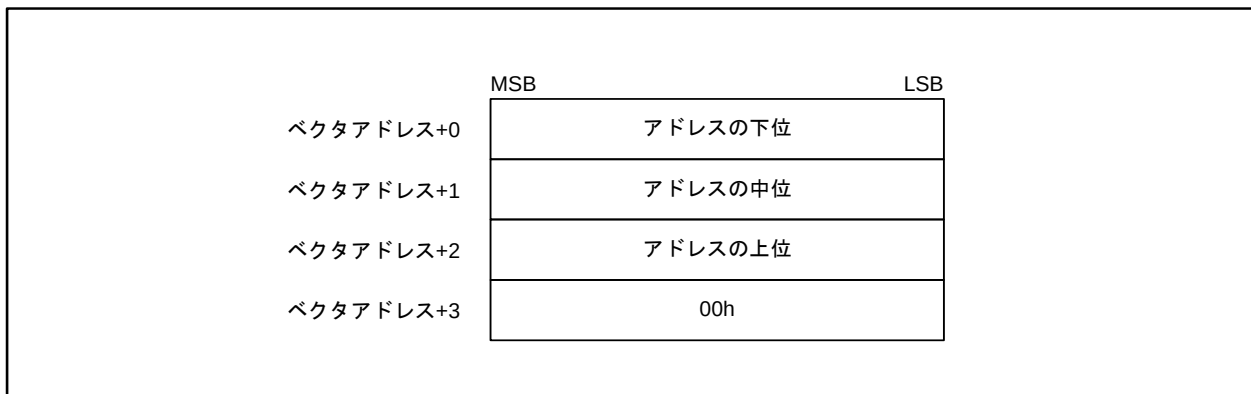


図 11.3 割り込みベクタ

11.5.1 固定ベクタテーブル

固定ベクタテーブルはFFFFDCh番地からFFFFFh番地に配置されています。表11.1に固定ベクタテーブルを示します。また、固定ベクタテーブルの一部にフラッシュメモリのIDコードチェック機能で使用するIDを割り当てています。詳細は「23.3.3 IDコードチェック機能」を参照してください。

表 11.1 固定ベクタテーブル

割り込み要因	ベクタ番地 (番地(L)～番地(H))	備考	参照先
未定義命令	FFFFDCh～FFFFDFh		M32C/80 シリーズ ソフトウェアマニュアル
オーバフロー	FFFFE0h～FFFFE3h		
BRK 命令	FFFFE4h～FFFFE7h	FFFFE7h番地の内容がFFhの場合は、 可変ベクタテーブル内のソフトウェア 割り込み番号0に格納された番地へ分岐	
アドレス一致	FFFFE8h～FFFFEBh		
—	FFFFEC～FFFFEFh	予約領域	
ウォッチドッグタイマ	FFFFF0h～FFFFF3h	ウォッチドッグタイマ割り込みと 発振停止検出割り込みと 電圧監視割り込みで共用	ウォッチドッグタイマ、 クロック発生回路、 電圧監視機能
—	FFFFF4h～FFFFF7h	予約領域	
NMI	FFFFF8h～FFFFFBh		
リセット	FFFFFCh～FFFFFh		リセット

11.5.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。表11.2に可変ベクタテーブルを示します。

INTBレジスタに設定するベクタの先頭番地は偶数番地にしてください。偶数番地を指定した方が割り込みシーケンスの実行速度が速くなります。

表 11.2 可変ベクタテーブル(1/2)

割り込み要因	ベクタ番地 (番地(L)～番地(H))(注1)	ソフトウェア 割り込み番号	参照先
BRK 命令(注2)	+0～+3(0000h～0003h)	0	M32C/80 シリーズ ソフトウェアマニュアル
予約領域	+4～+31(0004h～001Fh)	1～7	
DMA0	+32～+35(0020h～0023h)	8	DMAC
DMA1	+36～+39(0024h～0027h)	9	
DMA2	+40～+43(0028h～002Bh)	10	
DMA3	+44～+47(002Ch～002Fh)	11	
タイマ A0	+48～+51(0030h～0033h)	12	タイマ A
タイマ A1	+52～+55(0034h～0037h)	13	
タイマ A2	+56～+59(0038h～003Bh)	14	
タイマ A3	+60～+63(003Ch～003Fh)	15	
タイマ A4	+64～+67(0040h～0043h)	16	
UART0送信、NACK(注3)	+68～+71(0044h～0047h)	17	シリアル インタフェース
UART0受信、ACK(注3)	+72～+75(0048h～004Bh)	18	
UART1送信、NACK(注3)	+76～+79(004Ch～004Fh)	19	
UART1受信、ACK(注3)	+80～+83(0050h～0053h)	20	
タイマ B0	+84～+87(0054h～0057h)	21	タイマ B
タイマ B1	+88～+91(0058h～005Bh)	22	
タイマ B2	+92～+95(005Ch～005Fh)	23	
タイマ B3	+96～+99(0060h～0063h)	24	
タイマ B4	+100～+103(0064h～0067h)	25	
$\overline{\text{INT5}}$	+104～+107(0068h～006Bh)	26	割り込み
$\overline{\text{INT4}}$	+108～+111(006Ch～006Fh)	27	
$\overline{\text{INT3}}$	+112～+115(0070h～0073h)	28	
$\overline{\text{INT2}}$	+116～+119(0074h～0077h)	29	
$\overline{\text{INT1}}$	+120～+123(0078h～007Bh)	30	
$\overline{\text{INT0}}$	+124～+127(007Ch～007Fh)	31	
タイマ B5	+128～+131(0080h～0083h)	32	タイマ B
UART2送信、NACK(注3)	+132～+135(0084h～0087h)	33	シリアル インタフェース
UART2受信、ACK(注3)	+136～+139(0088h～008Bh)	34	
UART3送信、NACK(注3)	+140～+143(008Ch～008Fh)	35	
UART3受信、ACK(注3)	+144～+147(0090h～0093h)	36	
UART4送信、NACK(注3)	+148～+151(0094h～0097h)	37	
UART4受信、ACK(注3)	+152～+155(0098h～009Bh)	38	

注1. INTBレジスタが示す番地からの相対番地です。

注2. Iフラグで割り込み禁止にはできません。

注3. I²Cモード時、NACK、ACK、スタート/ストップコンディション検出が割り込み要因になります。

表 11.2 可変ベクタテーブル(2/2)

割り込み要因	ベクタ番地 (番地(L)～番地(H))(注1)	ソフトウェア 割り込み番号	参照先
バス衝突検出、スタートコンディション 検出またはストップコンディション検出 (UART2)(注3)	+156～+159(009Ch～009Fh)	39	シリアル インタフェース
バス衝突検出、スタートコンディション 検出またはストップコンディション検出 (UART3またはUART0)(注4)	+160～+163(00A0h～00A3h)	40	
バス衝突検出、スタートコンディション 検出またはストップコンディション検出 (UART4またはUART1)(注4)	+164～+167(00A4h～00A7h)	41	
A/D0	+168～+171(00A8h～00ABh)	42	A/Dコンバータ
キー入力	+172～+175(00ACh～00AFh)	43	割り込み
予約領域	+176～+255(00B0h～00FFh)	44～63	—
INT 命令(注2)	+0～+3(0000h～0003h) ～ +252～+255(00FCh～00FFh)	0 ～ 63	割り込み

注1. INTBレジスタが示す番地からの相対番地です。

注2. Iフラグで割り込み禁止にはできません。

注3. I²Cモード時、NACK、ACK、スタート/ストップコンディション検出が割り込み要因になります。

注4. UART0、UART3のどちらの割り込みを使用するかは、IFSRレジスタのIFSR6ビットで、UART1、UART4のどちらの割り込みを使用するかは、IFSR7ビットで選択してください。

11.6 割り込み要求の受け付け

ソフトウェア割り込みは、対象命令を実行すると割り込みが受け付けられます。ただし INTO 命令の場合、Oフラグが“1”の条件が必要です。特殊割り込みは、割り込み要求が発生すると割り込みが受け付けられます。

周辺機能割り込みは次の3つの条件がすべて成立したとき受け付けられます。

- ・ Iフラグ = “1”
- ・ IRビット = “1”
- ・ ILVL2～ILVL0ビット > IPL

Iフラグ、IPL、IRビット、ILVL2～ILVL0ビットはそれぞれ独立しており、互いに影響を与えることはありません。IフラグとIPLはFLGレジスタにあります。IRビットとILVL2～ILVL0ビットは割り込み制御レジスタにあります。

11.6.1 IフラグとIPL

Iフラグは、マスカブル割り込みを許可または禁止します。Iフラグを“1”(許可)にすると、すべてのマスカブル割り込みは許可され、“0”(禁止)にすると禁止されます。Iフラグはリセット後“0”になります。

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを示します。要求があった割り込みの優先レベルがIPLより大きい場合、その割り込みは許可されます。

表11.3にIPLの内容による割り込み許可レベルを示します。

表 11.3 IPLの内容による割り込み許可レベル

IPL2～IPL0	許可される割り込み優先レベル
0	レベル1以上を許可
1	レベル2以上を許可
2	レベル3以上を許可
3	レベル4以上を許可
4	レベル5以上を許可
5	レベル6以上を許可
6	レベル7以上を許可
7	すべてのマスカブル割り込みを禁止

11.6.2 割り込み制御レジスタとRLVLレジスタ

周辺機能割り込みは、各割り込みを制御する割り込み制御レジスタを持ちます。図11.4、図11.5に割り込み制御レジスタを、図11.6にRLVLレジスタを示します。

割り込み制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
XXXXXX	TA0IC~TA4IC	006Ch、008Ch、006Eh、008Eh、0070h番地	XXXX X000b
XXXXXX	TB0IC~TB5IC	0094h、0076h、0096h、0078h、0098h、0069h番地	XXXX X000b
XXXXXX	S0TIC~S4TIC	0090h、0092h、0089h、008Bh、008Dh番地	XXXX X000b
XXXXXX	S0RIC~S4RIC	0072h、0074h、006Bh、006Dh、006Fh番地	XXXX X000b
XXXXXX	BCN0IC~BCN4IC	0071h、0091h、008Fh、0071h(注1)、0091h(注2)番地	XXXX X000b
XXXXXX	DM0IC~DM3IC	0068h、0088h、006Ah、008Ah番地	XXXX X000b
XXXXXX	AD0IC	0073h番地	XXXX X000b
XXXXXX	KUPIC	0093h番地	XXXX X000b

ビット シンボル	ビット名	機 能	RW	
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベル0(割り込み禁止) 0 0 1 : レベル1 0 1 0 : レベル2 0 1 1 : レベル3 1 0 0 : レベル4 1 0 1 : レベル5 1 1 0 : レベル6 1 1 1 : レベル7	RW	
ILVL1		RW		
ILVL2		RW		
IR		割り込み要求ビット(注3) 0 : 割り込み要求なし 1 : 割り込み要求あり	RW	
— (b7-b4)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1. BCN0ICレジスタとBCN3ICレジスタは番地を共用しています。
注2. BCN1ICレジスタとBCN4ICレジスタは番地を共用しています。
注3. “0”のみ書けます。“1”は書かないでください。

図 11.4 割り込み制御レジスタ (1)

復帰用優先順位レジスタ

シンボル	アドレス	リセット後の値
RLVL	009Fh番地	XXXX 0000b

ビット シンボル	ビット名	機 能	RW
RLVL0	ウェイトモード/ ストップモード復帰用 割り込み優先順位選択ビット (注1)	b2 b1 b0 0 0 0 : レベル0	RW
RLVL1		0 0 1 : レベル1	RW
RLVL2		0 1 0 : レベル2	RW
		0 1 1 : レベル3	
		1 0 0 : レベル4	
		1 0 1 : レベル5	
		1 1 0 : レベル6	
		1 1 1 : レベル7	
FSIT	高速割り込み選択ビット	0 : 割り込み優先レベル7は通常割り込みに使用 1 : 割り込み優先レベル7は高速割り込みに使用 (注2、3)	RW
— (b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
DMAII	DMACII選択ビット(注4)	0 : 割り込み優先レベル7は割り込みに使用 1 : 割り込み優先レベル7はDMACII転送に使用 (注2)	RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1. 要求のあった割り込みの優先レベルが、RLVL2～RLVL0ビットで選択したレベルより大きい場合、ウェイトモード、ストップモードから復帰します。FLGレジスタのIPLと同じ値を設定してください。

注2. FSITビットとDMAIIビットを両方“1”にしないでください。
FSITビットまたはDMAIIビットを“1”にした後で、割り込み制御レジスタのILVL2～ILVL0ビットをレベル7に設定してください。

注3. 高速割り込みを使用する場合、レベル7に設定できる割り込みは1つだけです。

注4. リセット後、DMAIIビットは不定です。割り込みで使用する場合は、DMAIIビットを“0”にしてから割り込み制御レジスタを設定してください。

図 11.6 RLVL レジスタ

11.6.2.3 RLVL2～RLVL0ビット

ウェイトモードやストップモードの解除に割り込みを使用する場合は、「9.5.2 ウェイトモード」、
「9.5.3 ストップモード」を参照してください。

11.6.3 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位を判定し、次のサイクルから割り込みシーケンスに移ります。ただし、SCMPU、SIN、SMOVB、SMOVF、SMOVU、SSTR、SOUT、RMPAの各命令では、命令実行中に割り込み要求が発生すると、CPUは命令の実行を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。

- (1) 000000h番地(高速割り込みの場合、000002h番地)を読むことで、CPUが割り込み情報(割り込み番号)を獲得する。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になる。
- (2) 割り込みシーケンス直前のFLGレジスタがCPU内部の一時レジスタ(注1)に退避される。
- (3) FLGレジスタの各ビットは次のようになる。
 - Iフラグが“0”(割り込み禁止)
 - Dフラグが“0”(シングルステップ割り込み禁止)
 - Uフラグが“0”(ISPを指定)
- (4) CPU内部の一時レジスタがスタックに退避される。高速割り込みの場合は、SVFレジスタに退避される。
- (5) PCがスタックに退避される。高速割り込みの場合は、SVPレジスタに退避される。
- (6) 受け付けた割り込みの割り込み優先レベルがIPLに設定される。
- (7) 受け付けた割り込みに対応する割り込みベクタがPCに格納される。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

11.6.4 割り込み応答時間

図 11.7 に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチンの最初の命令を実行するまでの時間を示します。この時間は割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間 (図 11.7 の (a)) と割り込みシーケンスを実行する時間 (図 11.7 の (b)) で構成されます。

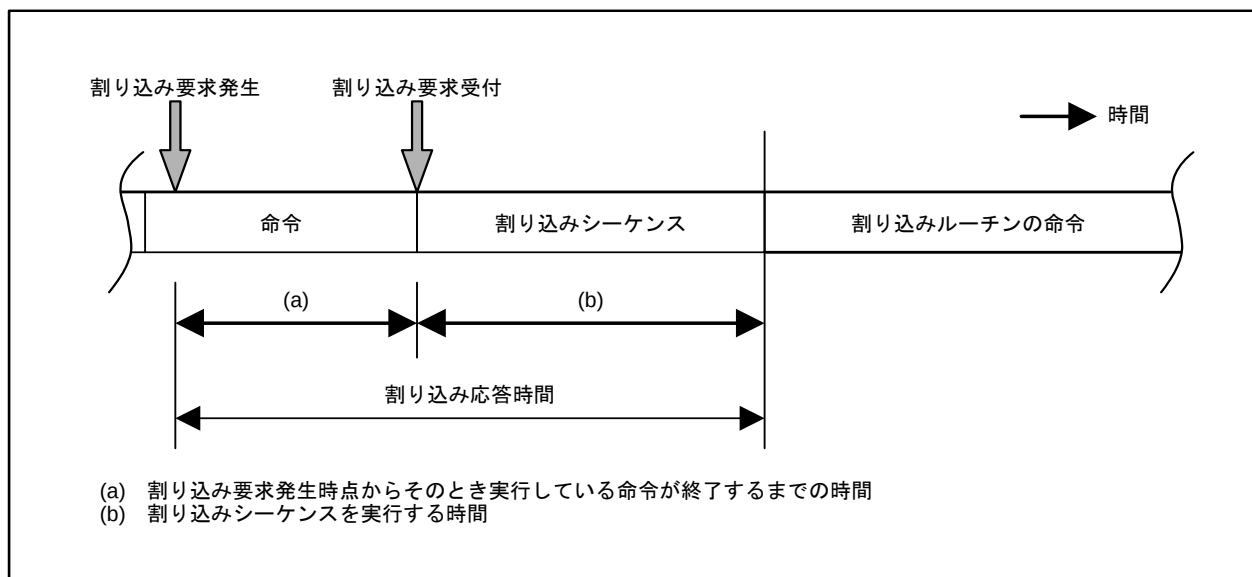


図 11.7 割り込み応答時間

- (a) の時間は、実行している命令によって異なります。この時間が最も長くなる命令は、DIV 命令、DIVX 命令、DIVU 命令で最長 42 サイクルです。
(b) の時間は表 11.4 のとおりです。

表 11.4 割り込みシーケンス実行時間(注 1)

割り込み	実行時間 (CPU クロック換算)
周辺機能	14
INT 命令	12
NMI ウォッチドッグタイマ 未定義命令 アドレス一致	13
オーバフロー	14
BRK 命令(可変ベクタ)	17
BRK 命令(固定ベクタ)	19
高速割り込み	5

注 1. 割り込みベクタを内部 ROM の偶数番地に配置したときの値です。ただし、高速割り込みは除きます。

11.6.5 割り込み要求受け付け時のIPLの変化

周辺機能割り込み要求が受け付けられると、フラグレジスタのIPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込みは、割り込み優先レベルをもちません。これらの割り込み要求が受け付けられたときは、表11.5に示す値がフラグレジスタのIPLに設定されます。

表 11.5 割り込み優先レベルを持たない割り込みとIPLの関係

割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、 $\overline{\text{NMI}}$ 、発振停止検出、電圧監視、DMACII転送完了割り込み	7
ソフトウェア、アドレス一致	変化しない

11.6.6 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。図11.8に割り込み要求受け付け前と後のスタックの状態を示します。その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、現在使用しているレジスタバンクの複数のレジスタ(注1)を1命令で退避できます。

高速割り込みは「11.4 高速割り込み」を参照してください。

注1. R0、R1、R2、R3、A0、A1、SB、FBレジスタから選択できます。

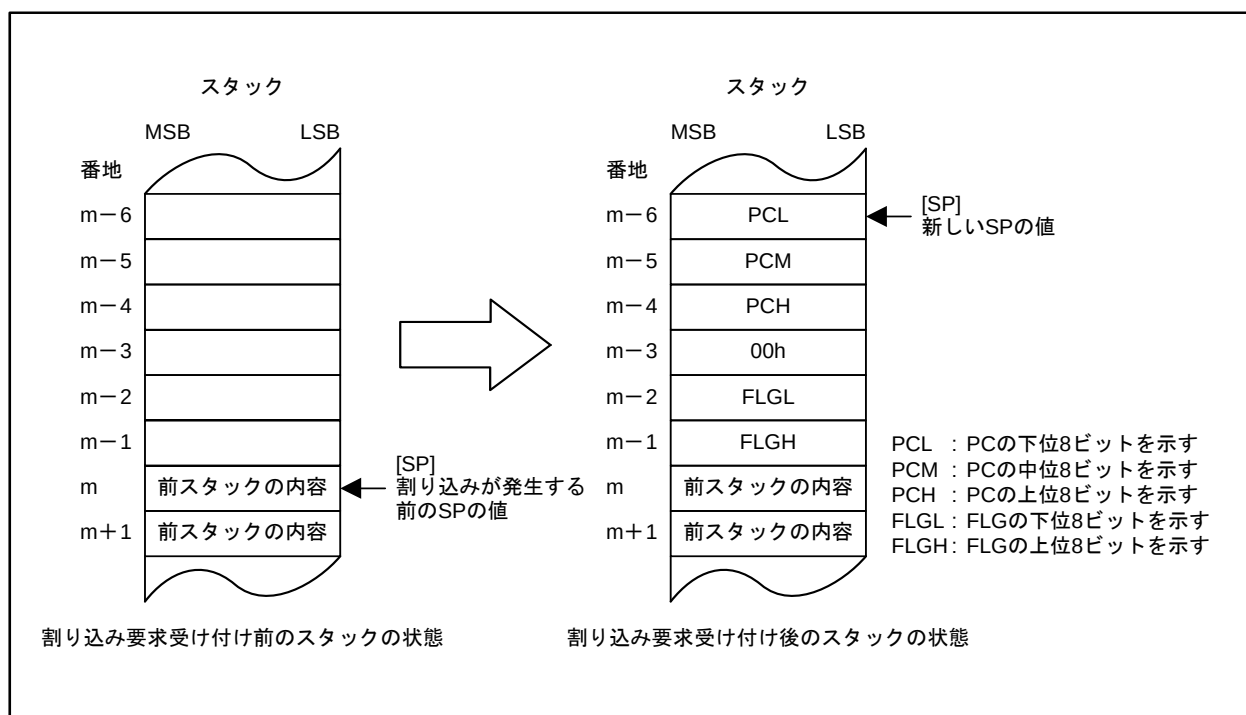


図 11.8 割り込み要求受け付け前と後のスタックの状態

11.6.7 割り込みルーチンからの復帰

割り込みルーチンの最後で REIT 命令を実行すると、スタックに退避していた割り込みシーケンス直前の FLG レジスタと PC が復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻り、中断していた処理を継続します。高速割り込みでは、FREIT 命令を使用します。詳細は「11.4 高速割り込み」を参照してください。

割り込みルーチンでプログラムによって退避したレジスタは、REIT、FREIT 命令実行前に POPM 命令などを使用して復帰してください。

レジスタバンクを切り替えた場合、REIT または FREIT 命令の実行で割り込みシーケンス直前のレジスタバンクに切り替わります。

11.6.8 割り込み優先順位

サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能割り込み)の優先順位は、ILVL2～ILVL0 ビットによって任意の優先順位を選択できます。

$\overline{\text{NMI}}$ 、ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。図 11.9 にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンへ分岐します。

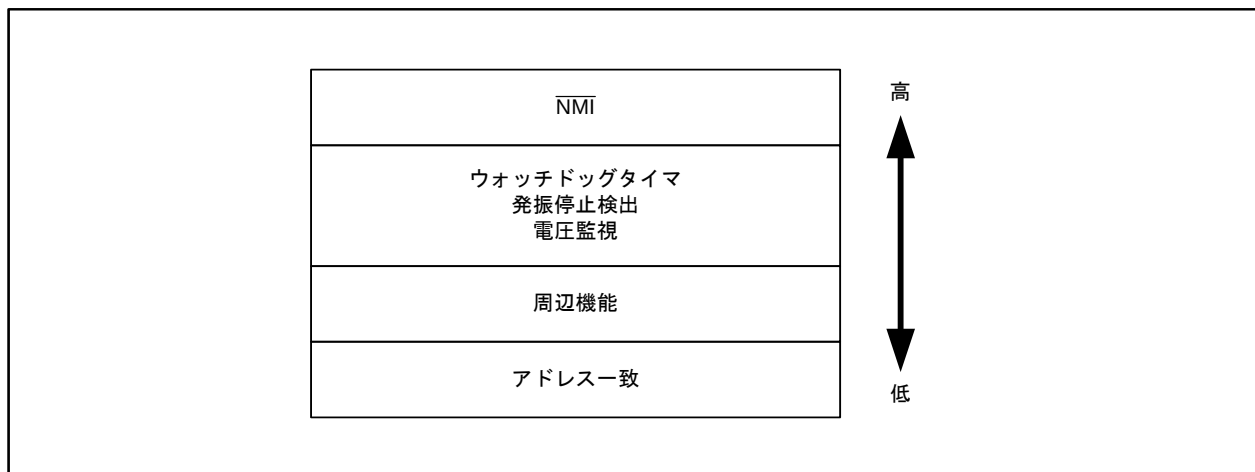


図 11.9 ハードウェア割り込みの割り込み優先順位

11.6.9 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、サンプリング時点で2つ以上の割り込み要求が存在した場合、最も優先順位の高い割り込みを選択するための回路です。

図 11.10 に割り込み優先レベル判定回路を示します。

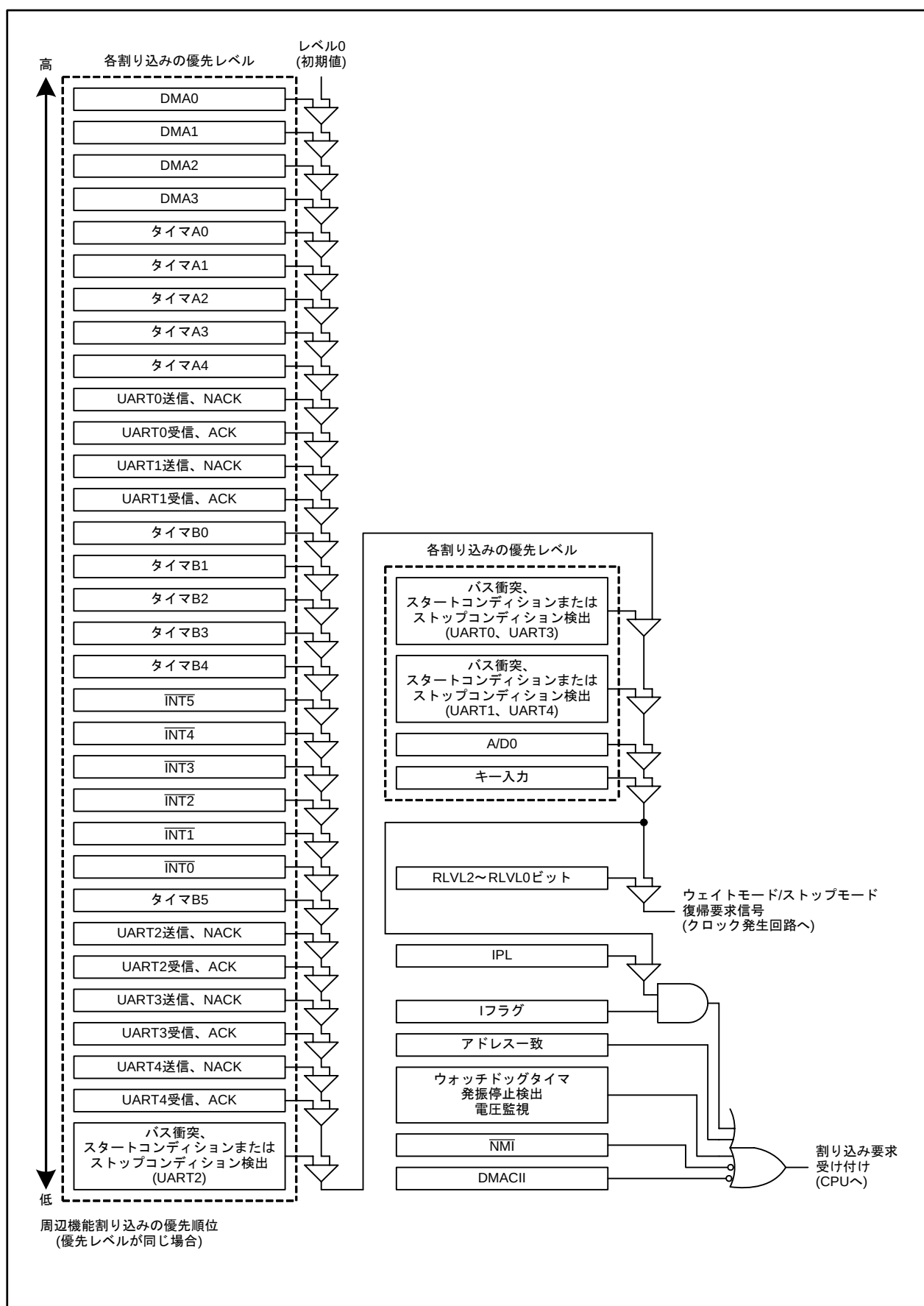


図 11.10 割り込み優先レベル判定回路

11.7 $\overline{\text{INT}}$ 割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT5}}$ 割り込みは外部入力による割り込みです。入力信号のエッジで割り込みを発生させるエッジセンスか、レベルで割り込みを発生させるレベルセンスが選択できます。

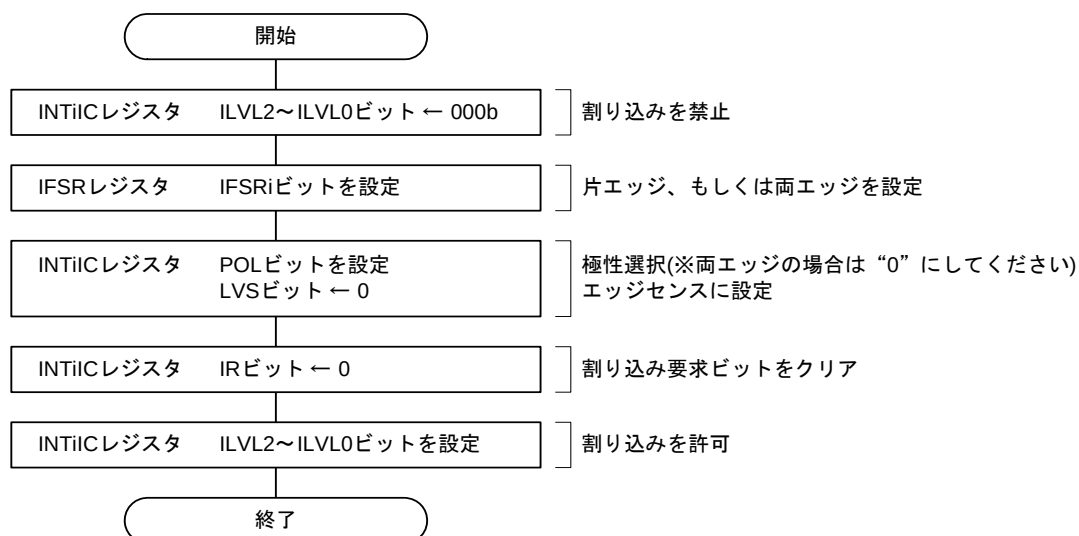
エッジセンスでは、 INTiIC レジスタの LVS ビットを “0” (エッジセンス) にし、 POL ビットと IFSR レジスタの IFSRi ビット ($i=0 \sim 5$) で、立ち上がりエッジ、立ち下がりエッジ、両エッジが選択できます。 IFSRi ビットを “1” (両エッジ) にする場合は、対応する POL ビットを “0” (立ち下がりエッジ) にしてください。端子に選択したエッジが入力されると IR ビットが “1” になります。

レベルセンスでは、 LVS ビットを “1” (レベルセンス) にし、 POL ビットで “L” レベル、“H” レベルが選択できます。 IFSRi ビットは “0” (片エッジ) にしてください。端子に選択したレベルが入力されている間、 IR ビットは “1” を保持し、割り込み許可ならば繰り返し割り込みが受け付けられます。入力レベルが変化した場合、割り込みが受け付けられるか、またはプログラムで “0” を書くと IR ビットは “0” になります。

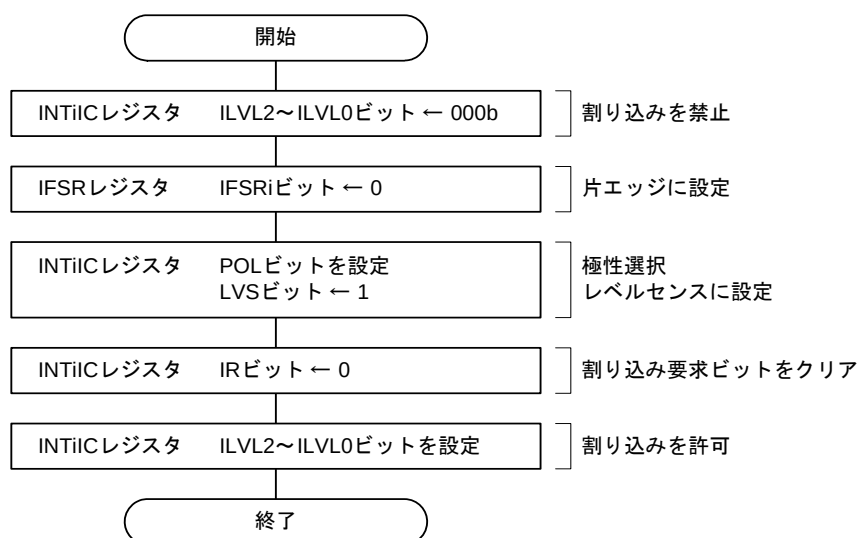
INTiIC レジスタの $\text{ILVL2} \sim \text{ILVL0}$ ビットで割り込みの許可または禁止を設定します。

図 11.11 に $\overline{\text{INTi}}$ 割り込み ($i=0 \sim 5$) 発生要因の設定手順を、図 11.12 に IFSR レジスタを示します。

<エッジセンスの設定手順>



<レベルセンスの設定手順>



i=0~5

図 11.11 INTi割り込み(i=0~5)発生要因の設定手順

外部割り込み要因選択レジスタ

ビット シンボル	ビット名	機 能	RW
IFSR0	INT0割り込み極性選択ビット (注1)	0 : 片エッジ 1 : 両エッジ	RW
IFSR1	INT1割り込み極性選択ビット (注1)	0 : 片エッジ 1 : 両エッジ	RW
IFSR2	INT2割り込み極性選択ビット (注1)	0 : 片エッジ 1 : 両エッジ	RW
IFSR3	INT3割り込み極性選択ビット (注1)	0 : 片エッジ 1 : 両エッジ	RW
IFSR4	INT4割り込み極性選択ビット (注1)	0 : 片エッジ 1 : 両エッジ	RW
IFSR5	INT5割り込み極性選択ビット (注1)	0 : 片エッジ 1 : 両エッジ	RW
IFSR6	UART0、UART3割り込み要因 選択ビット	0 : UART3のバス衝突検出、 スタートコンディション検出または ストップコンディション検出 1 : UART0のバス衝突検出、 スタートコンディション検出または ストップコンディション検出	RW
IFSR7	UART1、UART4割り込み要因 選択ビット	0 : UART4のバス衝突検出、 スタートコンディション検出または ストップコンディション検出 1 : UART1のバス衝突検出、 スタートコンディション検出または ストップコンディション検出	RW

注1. レベルセンスを選択する場合、IFSRiビット(i=0~5)は“0” (片エッジ)にしてください。
両エッジを選択する場合、対応するINTiICレジスタのPOLビットを“0” (立ち下がリエッジ)にしてください。

図 11.12 IFSR レジスタ

11.8 $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みはノンマスクابل割り込みです。P8_5/ $\overline{\text{NMI}}$ 端子の入力が“H”から“L”に変化したとき、 $\overline{\text{NMI}}$ 割り込みが発生します。また、 $\overline{\text{NMI}}$ 端子の入力レベルはP8レジスタのP8_5ビットで読めます。 $\overline{\text{NMI}}$ 割り込みを使用しない場合は、 $\overline{\text{NMI}}$ 端子を抵抗を介してVCC1に接続(プルアップ)してください。 $\overline{\text{NMI}}$ 端子に入力する信号の“L”幅、“H”幅は、いずれもCPUクロックの2クロック+300ns以上にしてください。

11.9 キー入力割り込み

P10_4～P10_7のうち、方向レジスタを入力モードにしている端子のいずれかに立ち下がりエッジが入力されるとKUPICレジスタのIRビットが“1”になります。キー入力割り込みは、ウェイトモードやストップモードを解除する機能としても使用できます。ただし、キー入力割り込みを使用する場合、P10_4～P10_7をA/D入力として使用しないでください。図11.13にキー入力割り込みのブロック図を示します。なお、方向レジスタを入力にしている端子のいずれかに“L”が入力されていると、他の端子に立ち下がりエッジが入力されても、割り込みとして検知されません。

PSCレジスタのPSC_7ビットを“1”(AN_4～AN_7)にすると、ポートやキー入力割り込みの入力バッファが切られます。そのため入力モードでポートレジスタを読んでも端子のレベルは読めません。また $\overline{\text{KI}}$ 端子(i=0～3)に立ち下がりエッジを入力してもKUPICレジスタのIRビットは“1”になりません。

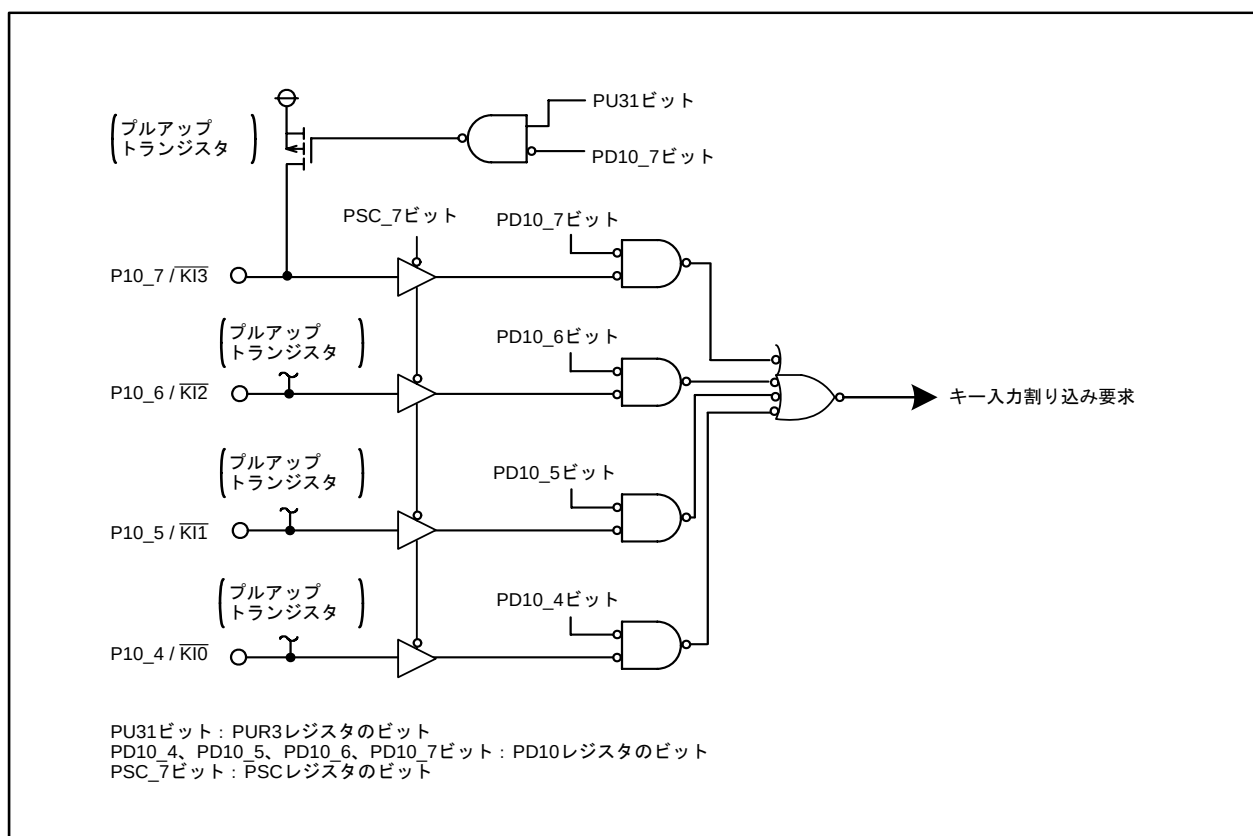


図11.13 キー入力割り込みのブロック図

11.10 アドレス一致割り込み

アドレス一致割り込みは、ノンマスカブル割り込みです。RMADiレジスタ (i=0～7)で示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。アドレス一致割り込みは8カ所に設定でき、割り込みの禁止や許可はAIERレジスタのAIERiビットで選択できます。

図11.14にアドレス一致割り込み関連レジスタを示します。

RMADiレジスタには命令の先頭番地を設定してください。命令の途中やテーブルデータ等の番地を設定した場合、アドレス一致割り込みは発生しません。

アドレス一致割り込みレジスタi (i=0～7)

b23	b16	b15	b8	b7	b0	シンボル	アドレス	リセット後の値
						RMAD0	0012h～0010h番地	000000h
						RMAD1	0016h～0014h番地	000000h
						RMAD2	001Ah～0018h番地	000000h
						RMAD3	001Eh～001Ch番地	000000h
						RMAD4	002Ah～0028h番地	000000h
						RMAD5	002Eh～002Ch番地	000000h
						RMAD6	003Ah～0038h番地	000000h
						RMAD7	003Eh～003Ch番地	000000h

機 能		設定範囲	RW
アドレス一致割り込み用アドレス設定レジスタ		000000h～FFFFFFh	RW

アドレス一致割り込み許可レジスタ

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
								AIER	0009h番地	00h

ビットシンボル	ビット名	機 能	RW
AIER0	アドレス一致割り込み0許可ビット	0 : 禁止 1 : 許可	RW
AIER1	アドレス一致割り込み1許可ビット	0 : 禁止 1 : 許可	RW
AIER2	アドレス一致割り込み2許可ビット	0 : 禁止 1 : 許可	RW
AIER3	アドレス一致割り込み3許可ビット	0 : 禁止 1 : 許可	RW
AIER4	アドレス一致割り込み4許可ビット	0 : 禁止 1 : 許可	RW
AIER5	アドレス一致割り込み5許可ビット	0 : 禁止 1 : 許可	RW
AIER6	アドレス一致割り込み6許可ビット	0 : 禁止 1 : 許可	RW
AIER7	アドレス一致割り込み7許可ビット	0 : 禁止 1 : 許可	RW

図11.14 RMAD0～RMAD7レジスタ、AIERレジスタ

12. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知するために使用します。ウォッチドッグタイマは15ビットのフリーランタイマを持ち、プログラムが暴走してWDTSレジスタへの書き込みが行われなくなると、フリーランタイマのアンダフローが発生し、ウォッチドッグタイマ割り込み、またはマイクロコンピュータのリセットをします。ウォッチドッグタイマを使用する場合は、メインルーチンなどでウォッチドッグタイマのアンダフロー周期より短い周期でWDTSレジスタへの書き込みを行ってください。

表12.1～表12.2にウォッチドッグタイマの仕様を、図12.1にブロック図を、図12.2～図12.3に関連レジスタを示します。

表12.1 ウォッチドッグタイマの仕様(1)

項目	仕様
カウント動作	フリーランタイマによるダウンカウント
カウント開始条件	WDTSレジスタへの書き込み WDTSレジスタに書くと、フリーランタイマは初期化され、7FFFhからダウンカウントする
アンダフロー時の処理	次のいずれかを選択可(CM0レジスタのCM06ビットで選択) ・ウォッチドッグタイマ割り込み(注1) ・マイクロコンピュータのリセット
アンダフロー後の動作	ダウンカウントを継続(ウォッチドッグタイマ割り込み選択時)
ウォッチドッグタイマの読み出し	WDCレジスタの0～4ビットを読むと、フリーランタイマの10～14ビットのカウント値が読める

注1. ウォッチドッグタイマ割り込みは、発振停止検出割り込み、電圧監視割り込みとベクタを共用しています。

表12.2 ウォッチドッグタイマの仕様(2)

項目	設定値と仕様			
PM2レジスタのPM22ビット(注1)	0	0	0	1
CM0レジスタのCM07ビット	0	0	1	—
WDCレジスタのWDC7ビット	0	1	—	—
動作クロック源	CPUクロック			オンチップ オシレータ
	MCDレジスタで分周したクロック		サブクロック	
プリスケアラ	あり 16分周	あり 128分周	あり 2分周	なし
フリーランタイマのカウントソース	$\frac{1}{f_{CPU}} \times 16$	$\frac{1}{f_{CPU}} \times 128$	$\frac{1}{f_{CPU}} \times 2$	$\frac{1}{f_{ROC}}$
アンダフロー周期(計算式)(注2)	$\frac{1}{f_{CPU}} \times 524288$	$\frac{1}{f_{CPU}} \times 4194304$	$\frac{1}{f_{CPU}} \times 65536$	$\frac{1}{f_{ROC}} \times 32768$
アンダフロー周期(参考値)	約16.4ms fCPU = 32MHz	約131.1ms fCPU = 32MHz	約2s fCPU = 32kHz	約32.8ms fROC = 1MHz
ウェイトモード、ストップモード、 ホールド状態時の動作	停止			動作(注3)

—: 0でも1でもよい

fCPU: CPUクロックの周波数

fROC: オンチップオシレータクロックの周波数

注1. 一度“1”にすると、プログラムでは“0”にできません。

注2. フリーランタイマのカウントソース1周期分の誤差が生じます。

注3. CM1レジスタのCM10ビットへの書き込みが禁止されます。“1”を書いても変化せず、ストップモードに移行しません。ウェイトモードからの復帰にウォッチドッグタイマ割り込みは使用できません。

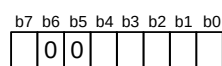
システムクロック制御レジスタ0 (注1)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
	CM0	0006h番地	0000 1000b
ビット シンボル	ビット名	機 能	RW
CM00	クロック出力機能選択ビット	b1 b0 0 0 : 入出力ポートP5_3(注2) 0 1 : fCを出力 1 0 : f8を出力 1 1 : f32を出力	RW
CM01			RW
CM02	ウェイトモード時周辺機能 クロック停止ビット(注9)	0 : ウェイトモード時、周辺機能クロックは 停止しない 1 : ウェイトモード時、周辺機能クロックは 停止する(注3)	RW
CM03	XCIN-XCOUT駆動能力 選択ビット(注10)	0 : Low 1 : High	RW
CM04	ポートXC切り替えビット	0 : 入出力ポート機能 1 : XCIN-XCOUT発振機能(注4)	RW
CM05	メインクロック(XIN-XOUT) 停止ビット(注5、9)	0 : 発振 1 : 停止(注6)	RW
CM06	ウォッチドッグタイマ機能 選択ビット	0 : ウォッチドッグタイマ割り込み 1 : リセット(注7)	RW
CM07	CPUクロック選択ビット0 (注8、9)	0 : CM21ビットで選択したクロックを MCDレジスタで分周したクロック 1 : サブクロック	RW

- 注1. CM0レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
- 注2. メモリ拡張モードまたはマイクロプロセッサモードでは、BCLK出力、“L”出力、またはALE出力のいずれかになります。入出力ポートとして使用できません。
- 注3. fC32は停止しません。
- 注4. CM04ビットを“1”にする場合、PD8レジスタのPD8_7~PD8_6ビットを“00b”(ポートP8_6、P8_7は入力モード)で、PUR2レジスタのPU25ビットを“0”(プルアップしない)にしてください。
- 注5. CM05ビットは低消費電力モード、またはオンチップオシレータ低消費電力モードにするときに、メインクロックを停止させるためのビットです。メインクロックが停止したかどうかの検出には使用できません。メインクロックを停止させる場合、CM07ビットを“1”にした後、またはCM2レジスタのCM21ビットを“1”(オンチップオシレータクロック)にした後、PLC0レジスタのPLC07ビットを“0”にして、CM05ビットを“1”にしてください。
- CM05ビットが“1”の場合、XOUTは“H”になります。また、内蔵している帰還抵抗はONしたままです、XINは帰還抵抗を介してXOUTにプルアップされた状態となります。
- 注6. CM05ビットが“1”の場合、MCDレジスタのMCD4~MCD0ビットは“01000b”(8分周モード)になります。ただし、オンチップオシレータモードではCM05ビットでXIN-XOUTを停止してもMCD4~MCD0ビットは“01000b”(8分周モード)になりません。
- 注7. 一度“1”にすると、プログラムでは“0”にできません。
- 注8. CM04ビットを“1”にしサブクロックの発振が安定した後に、CM07ビットを“0”から“1”にしてください。また、CM05ビットを“0”にしメインクロックの発振が安定した後に、CM07ビットを“1”から“0”にしてください。なお、CM07ビットはCM04ビットまたはCM05ビットと同時に書き換えないでください。
- 注9. PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM02、CM05、CM07ビットに書いても変化しません。
- 注10. ストップモードへ移行したとき、CM03ビットは“1”になります。

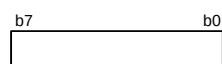
図12.2 CM0レジスタ

ウォッチドッグタイマ制御レジスタ

シンボル
WDCアドレス
000Fh番地リセット後の値
000X XXXXb

ビット シンボル	ビット名	機 能	RW
— (b4-b0)	ウォッチドッグタイマの上位ビット		RO
— (b6-b5)	予約ビット	“0” にしてください	RW
WDC7	プリスケール選択ビット	0 : 16分周 1 : 128分周	RW

ウォッチドッグタイマスタートレジスタ

シンボル
WDTSアドレス
000Eh番地リセット後の値
不定

機 能		RW
WDTSレジスタに対する書き込み命令で、ウォッチドッグタイマは初期化されスタートします。ウォッチドッグタイマの初期値は、書き込む値にかかわらず“7FFFh”が設定されます。		WO

図12.3 WDC レジスタ、WDTS レジスタ

13. DMAC

DMACはCPUを使わずにデータを転送する機能を持ち、4チャンネルあります。DMACは転送要求が発生するごとに転送元番地の1データ(8ビットまたは16ビット)を転送先番地へ転送します。DMACを使用するときは、DMA0とDMA1を優先して使用してください。DMA2とDMA3は高速割り込みと使用するレジスタを共用しています。そのため、DMACを3チャンネル以上使用する場合、高速割り込みは使用できません。

CPUとDMACは同じデータバスを使用しますが、DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しているため、転送要求が発生してからデータ転送を完了するまでの動作を高速に行えます。

図13.1にDMACで使用するレジスタ配置を、表13.1にDMACの仕様を、図13.2～図13.6にDMAC関連レジスタを、図13.7、図13.8にレジスタの設定手順を示します。

図13.1に示すレジスタはCPU内部に配置されているため、書く場合はLDC命令を使用してください。ただし、DCT2、DCT3、DRC2、DRC3、DMA2、DMA3レジスタはFLGレジスタのBフラグを“1”(レジスタバンク1)にしてMOV命令を使用し、R0～R3、A0、A1レジスタに設定してください。DSA2、DSA3レジスタはBフラグを“1”にしてLDC命令を使用し、SB、FBレジスタに設定してください。DRA2、DRA3レジスタはLDC命令を使用し、SVP、VCTレジスタに設定してください。

DMAC関連レジスタ

DMD0	DMAモードレジスタ0
DMD1	DMAモードレジスタ1
DCT0	DMA0転送カウントレジスタ
DCT1	DMA1転送カウントレジスタ
DRC0	DMA0転送カウントリロードレジスタ(注1)
DRC1	DMA1転送カウントリロードレジスタ(注1)
DMA0	DMA0メモリアドレスレジスタ
DMA1	DMA1メモリアドレスレジスタ
DSA0	DMA0SFRアドレスレジスタ
DSA1	DMA1SFRアドレスレジスタ
DRA0	DMA0メモリアドレスリロードレジスタ(注1)
DRA1	DMA1メモリアドレスリロードレジスタ(注1)

DMACを3ch以上使用時 レジスタバンク1をDMACレジスタに拡張

DCT2(R0)	DMA2転送カウントレジスタ
DCT3(R1)	DMA3転送カウントレジスタ
DRC2(R2)	DMA2転送カウントリロードレジスタ(注1)
DRC3(R3)	DMA3転送カウントリロードレジスタ(注1)
DMA2(A0)	DMA2メモリアドレスレジスタ
DMA3(A1)	DMA3メモリアドレスレジスタ
DSA2(SB)	DMA2SFRアドレスレジスタ
DSA3(FB)	DMA3SFRアドレスレジスタ

DMACを3ch以上使用時 高速割り込みレジスタをDMACレジスタに拡張

SVF	フラグ退避レジスタ
DRA2(SVP)	DMA2メモリアドレスリロードレジスタ(注1)
DRA3(VCT)	DMA3メモリアドレスリロードレジスタ(注1)

DMA2、DMA3を使用する場合は()内のCPUレジスタを使用

注1. リピート転送で使用するレジスタです。単転送では使用しません。

図13.1 DMACで使用するレジスタ配置

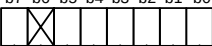
DMA 要求としてソフトウェアトリガまたは各周辺機能の割り込み要求があり、DMiSL レジスタ (i=0~3) の DSEL4~DSEL0 ビットで選択できます。

ソフトウェアトリガを選択した場合は、DMiSL レジスタの DSR ビットを“1”にすることで、DMA 転送が行われます。各周辺機能の割り込み要求を選択した場合、割り込み要求が発生することで DMA 転送が行われます。ただし、DMAC は I フラグや IPL、割り込み制御レジスタの影響を受けないので、割り込み要求の受け付けが禁止されている場合でも DMA 転送は行われます。また、割り込み要求 (DMA 要求) が発生すると割り込み制御レジスタの IR ビットは“1”になりますが、DMA 転送が行われても IR ビットは“0”になりません。

表 13.1 DMAC の仕様

項目		仕様
チャンネル数		4 チャンネル (サイクルスチール方式)
転送空間		・ 16M バイトの任意の空間から固定番地 (16M バイト空間) ・ 固定番地 (16M バイト空間) から 16M バイトの任意の空間
最大転送バイト数		128K バイト (16 ビット転送時)、64K バイト (8 ビット転送時)
DMA 要求要因		・ $\overline{\text{INT0}} \sim \text{INT3}$ 端子への入力の立ち下がリエッジまたは両エッジ ・ タイマ A0~タイマ A4 割り込み要求 ・ タイマ B0~タイマ B5 割り込み要求 ・ UART0~UART4 送信と受信割り込み要求 ・ A/D0 割り込み要求 ・ ソフトウェアトリガ
チャンネル優先順位		DMA0 > DMA1 > DMA2 > DMA3 (DMA0 が最優先)
転送単位		8 ビット、16 ビット
転送番地		固定番地：指定したアドレス 順方向番地：転送単位に応じて加算されるアドレス (転送元と転送先を両方とも固定番地、または順方向番地に指定できません)
転送方式	単転送	DCTi レジスタ (i=0~3) が“0000h”になると転送が終了する
	リピート転送	DCTi レジスタが“0000h”になると DRCi レジスタの値が DCTi レジスタにリロードされ、DMA 転送を継続する
DMA 割り込み要求発生タイミング		DCTi レジスタが“0001h”から“0000h”になるとき
DMA 開始	単転送	DCTi レジスタが“0001h”以上の設定で、DMDj レジスタ (j=0,1) の MDi1~MDi0 ビットを“01b” (単転送) にした後、DMA 要求が発生すると開始する
	リピート転送	DCTi レジスタが“0001h”以上の設定で、MDi1~MDi0 ビットを“11b” (リピート転送) にした後、DMA 要求が発生すると開始する
DMA 停止	単転送	・ MDi1~MDi0 ビットが“00b” (DMA 禁止) のとき停止する ・ DMA 転送または書き込みにより DCTi レジスタが“0000h” (DMA 転送回数 0) になったとき停止する
	リピート転送	・ MDi1~MDi0 ビットが“00b” (DMA 禁止) のとき停止する ・ DMA 転送または書き込みにより DCTi レジスタが“0000h” (DMA 転送回数 0) になり、かつ DRCi レジスタが“0000h”のとき停止する
DCTi レジスタと DMAi レジスタへのリロードのタイミング		リピート転送モードで DCTi レジスタが“0001h”から“0000h”になるとき
DMA 転送時間		SFR、内部 RAM 間：最短 3 バスクロック

DMAi要因選択レジスタ (i=0~3)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
								DM0SL~DM3SL	0378h、0379h、037Ah、037Bh番地	0X00 0000b
ビットシンボル								ビット名	機 能	RW
DSEL0								DMA要求要因選択ビット(注1)	「DMiSLレジスタ(i=0~3)機能一覧表」を参照 表に記載されていない値には設定しないでください	RW
DSEL1										RW
DSEL2										RW
DSEL3										RW
DSEL4										RW
DSR								ソフトウェアDMA要求ビット(注2)	ソフトウェアトリガ選択時は、DSRビットを“1”にするとDMA要求が発生する(読んだ場合は“0”)	RW
— (b6)								予約ビット	読んだ場合、その値は不定	—
DRQ								DMA要求ビット(注2、3)	0：要求なし 1：要求あり	RW

注1. DMD1~DMD0レジスタのMDi1~MDi0ビットが“00b”(DMA禁止)の状態ではDSEL4~DSEL0ビットを変更してください。
また、DSEL4~DSEL0ビットを変更する場合、DRQビットを同時に“1”にしてください。

(例) MOV.B #083h, DMiSL ; タイマA0選択

注2. DSRビットを“1”にする場合、DRQビットを同時に“1”にしてください。

(例) OR.B #0A0h, DMiSL

注3. “0”を書かないでください。

図13.2 DM0SL~DM3SL レジスタ

表 13.2 DMiSL レジスタ (i=0~3) 機能一覧表

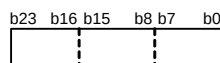
設定値					DMA 要求要因				
b4	b3	b2	b1	b0	DMA0	DMA1	DMA2	DMA3	
0	0	0	0	0	ソフトウェアトリガ				
0	0	0	0	1	$\overline{\text{INT0}}$ 立ち下がりエッジ	$\overline{\text{INT1}}$ 立ち下がりエッジ	$\overline{\text{INT2}}$ 立ち下がりエッジ	$\overline{\text{INT3}}$ 立ち下がりエッジ(注1)	(注2)
0	0	0	1	0	$\overline{\text{INT0}}$ 両エッジ	$\overline{\text{INT1}}$ 両エッジ	$\overline{\text{INT2}}$ 両エッジ	$\overline{\text{INT3}}$ 両エッジ(注1)	(注2)
0	0	0	1	1	タイマA0割り込み要求				
0	0	1	0	0	タイマA1割り込み要求				
0	0	1	0	1	タイマA2割り込み要求				
0	0	1	1	0	タイマA3割り込み要求				
0	0	1	1	1	タイマA4割り込み要求				
0	1	0	0	0	タイマB0割り込み要求				
0	1	0	0	1	タイマB1割り込み要求				
0	1	0	1	0	タイマB2割り込み要求				
0	1	0	1	1	タイマB3割り込み要求				
0	1	1	0	0	タイマB4割り込み要求				
0	1	1	0	1	タイマB5割り込み要求				
0	1	1	1	0	UART0送信割り込み要求				
0	1	1	1	1	UART0受信またはACK割り込み要求(注3)				
1	0	0	0	0	UART1送信割り込み要求				
1	0	0	0	1	UART1受信またはACK割り込み要求(注3)				
1	0	0	1	0	UART2送信割り込み要求				
1	0	0	1	1	UART2受信またはACK割り込み要求(注3)				
1	0	1	0	0	UART3送信割り込み要求				
1	0	1	0	1	UART3受信またはACK割り込み要求(注3)				
1	0	1	1	0	UART4送信割り込み要求				
1	0	1	1	1	UART4受信またはACK割り込み要求(注3)				
1	1	0	0	0	A/D0割り込み要求				

注1. メモリ拡張モード、マイクロプロセッサモードで $\overline{\text{INT3}}$ 端子がデータバスとなる場合、DMA3の要求要因に $\overline{\text{INT3}}$ 端子入力は使用できません。

注2. $\overline{\text{INTi}}$ 端子 (i=0~3) への入力の立ち下がりエッジと両エッジがDMA要求要因になります。 $\overline{\text{INT}}$ 割り込み (INTIIC レジスタのPOLビット、LVSビット、IFSRレジスタ)の影響を受けません。また、 $\overline{\text{INT}}$ 割り込みへ影響を与えません。

注3. UARTk受信(k=0~4)とACKの切り替えは、UKSMRレジスタとUKSMR2レジスタによって行います。ACK割り込みを使用する場合、UKSMRレジスタのIICMビットを“1”(I²Cモード)、UKSMR2レジスタのIICM2ビットを“0”(NACK / ACK割り込み)にしてください。

DMAi メモリアドレスレジスタ (i=0~3)

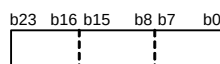


シンボル	アドレス	リセット後の値
DMA0(注2)	(CPU内部レジスタ)	XXXXXXh
DMA1(注2)	(CPU内部レジスタ)	XXXXXXh
DMA2(bank1:A0)(注3)	(CPU内部レジスタ)	000000h
DMA3(bank1:A1)(注4)	(CPU内部レジスタ)	000000h

機 能	設定範囲	RW
転送元あるいは転送先の順方向番地を指定(注1)	000000h~FFFFFFh(16Mバイト)	RW

- 注1. DMDjレジスタ(j=0,1)のRWkビット(k=0~3)を“0”(固定番地→順方向番地)とした場合、転送先の番地になります。
RWkビットを“1”(順方向番地→固定番地)とした場合、転送元の番地になります。
- 注2. DMA0、DMA1レジスタへの書き込みは、LDC命令を使用してください。
- 注3. DMA2レジスタを設定する場合、FLGレジスタのBフラグを“1”(レジスタバンク1)にし、A0レジスタに設定してください。
- 注4. DMA3レジスタを設定する場合、Bフラグを“1”にし、A1レジスタに設定してください。

DMAi SFRアドレスレジスタ (i=0~3)



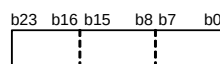
シンボル	アドレス	リセット後の値
DSA0(注2)	(CPU内部レジスタ)	XXXXXXh
DSA1(注2)	(CPU内部レジスタ)	XXXXXXh
DSA2(bank1:SB)(注3)	(CPU内部レジスタ)	000000h
DSA3(bank1:FB)(注4)	(CPU内部レジスタ)	000000h

機 能	設定範囲	RW
転送元あるいは転送先の固定番地を指定(注1)	000000h~FFFFFFh(16Mバイト)	RW

- 注1. DMDjレジスタ(j=0,1)のRWkビット(k=0~3)を“0”(固定番地→順方向番地)とした場合、転送元の番地になります。
RWkビットを“1”(順方向番地→固定番地)とした場合、転送先の番地になります。
- 注2. DSA0、DSA1レジスタへの書き込みは、LDC命令を使用してください。
- 注3. DSA2レジスタを設定する場合、FLGレジスタのBフラグを“1”(レジスタバンク1)にし、SBレジスタに設定してください。
SBレジスタへの書き込みは、LDC命令を使用してください。
- 注4. DSA3レジスタを設定する場合、Bフラグを“1”にし、FBレジスタに設定してください。
FBレジスタへの書き込みは、LDC命令を使用してください。

図 13.3 DMA0~DMA3レジスタ、DSA0~DSA3レジスタ

DMAi メモリアドレスリロードレジスタ (i=0~3)(注1)



シンボル	アドレス	リセット後の値
DRA0	(CPU内部レジスタ)	XXXXXXh
DRA1	(CPU内部レジスタ)	XXXXXXh
DRA2(SVP)(注2)	(CPU内部レジスタ)	XXXXXXh
DRA3(VCT)(注3)	(CPU内部レジスタ)	XXXXXXh

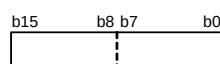
機 能	設定範囲	RW
転送元あるいは転送先の順方向番地を指定	000000h~FFFFFFh(16Mバイト)	RW

注1. DRA0~DRA3レジスタへの書き込みは、LDC命令を使用してください。

注2. DRA2レジスタを設定する場合、SVPレジスタに設定してください。

注3. DRA3レジスタを設定する場合、VCTレジスタに設定してください。

DMAi 転送カウンタレジスタ (i=0~3)



シンボル	アドレス	リセット後の値
DCT0(注2)	(CPU内部レジスタ)	XXXXh
DCT1(注2)	(CPU内部レジスタ)	XXXXh
DCT2(bank1:R0)(注3)	(CPU内部レジスタ)	0000h
DCT3(bank1:R1)(注4)	(CPU内部レジスタ)	0000h

機 能	設定範囲	RW
転送回数を設定	0000h~FFFFh(注1)	RW

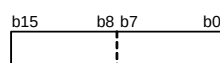
注1. “0000h”を設定した場合、DMA要求が発生してもデータ転送は行いません。

注2. DCT0、DCT1レジスタへの書き込みは、LDC命令を使用してください。

注3. DCT2レジスタに設定する場合、FLGレジスタのBフラグを“1”(レジスタバンク1)にし、R0レジスタに設定してください。

注4. DCT3レジスタに設定する場合、Bフラグを“1”にし、R1レジスタに設定してください。

DMAi 転送カウンタリロードレジスタ (i=0~3)



シンボル	アドレス	リセット後の値
DRC0(注1)	(CPU内部レジスタ)	XXXXh
DRC1(注1)	(CPU内部レジスタ)	XXXXh
DRC2(bank1:R2)(注2)	(CPU内部レジスタ)	0000h
DRC3(bank1:R3)(注3)	(CPU内部レジスタ)	0000h

機 能	設定範囲	RW
転送回数を設定	0000h~FFFFh	RW

注1. DRC0、DRC1レジスタへの書き込みは、LDC命令を使用してください。

注2. DRC2レジスタに設定する場合、FLGレジスタのBフラグを“1”(レジスタバンク1)にし、R2レジスタに設定してください。

注3. DRC3レジスタに設定する場合、Bフラグを“1”にし、R3レジスタに設定してください。

図 13.4 DRA0~DRA3レジスタ、DCT0~DCT3レジスタ、DRC0~DRC3レジスタ

DMAモードレジスタ0 (注1)

b7 b6 b5 b4 b3 b2 b1 b0								シンボル DMD0	アドレス (CPU内部レジスタ)	リセット後の値 00h	
								ビット シンボル	ビット名	機 能	RW
								MD00	チャンネル0転送モード選択ビット	b1 b0 0 0 : DMA禁止 0 1 : 単転送 1 0 : 設定しないでください 1 1 : リビート転送	RW
								MD01			RW
								BW0	チャンネル0転送単位選択ビット	0 : 8ビット 1 : 16ビット	RW
								RW0	チャンネル0転送方向選択ビット	0 : 固定番地→順方向番地 1 : 順方向番地→固定番地	RW
								MD10	チャンネル1転送モード選択ビット	b5 b4 0 0 : DMA禁止 0 1 : 単転送 1 0 : 設定しないでください 1 1 : リビート転送	RW
								MD11			RW
								BW1	チャンネル1転送単位選択ビット	0 : 8ビット 1 : 16ビット	RW
								RW1	チャンネル1転送方向選択ビット	0 : 固定番地→順方向番地 1 : 順方向番地→固定番地	RW

注1. DMD0レジスタへの書き込みはLDC命令を使用してください。

図 13.5 DMD0 レジスタ

DMAモードレジスタ1 (注1)

b7 b6 b5 b4 b3 b2 b1 b0								シンボル	アドレス	リセット後の値	
								DMD1	(CPU内部レジスタ)	00h	
								ビット シンボル	ビット名	機 能	RW
								MD20	チャンネル2転送モード選択ビット	b1 b0 0 0 : DMA禁止 0 1 : 単転送 1 0 : 設定しないでください 1 1 : リビート転送	RW
								MD21			RW
								BW2	チャンネル2転送単位選択ビット	0 : 8ビット 1 : 16ビット	RW
								RW2	チャンネル2転送方向選択ビット	0 : 固定番地→順方向番地 1 : 順方向番地→固定番地	RW
								MD30	チャンネル3転送モード選択ビット	b5 b4 0 0 : DMA禁止 0 1 : 単転送 1 0 : 設定しないでください 1 1 : リビート転送	RW
								MD31			RW
								BW3	チャンネル3転送単位選択ビット	0 : 8ビット 1 : 16ビット	RW
								RW3	チャンネル3転送方向選択ビット	0 : 固定番地→順方向番地 1 : 順方向番地→固定番地	RW

注1. DMD1レジスタへの書き込みはLDC命令を使用してください。

図 13.6 DMD1 レジスタ

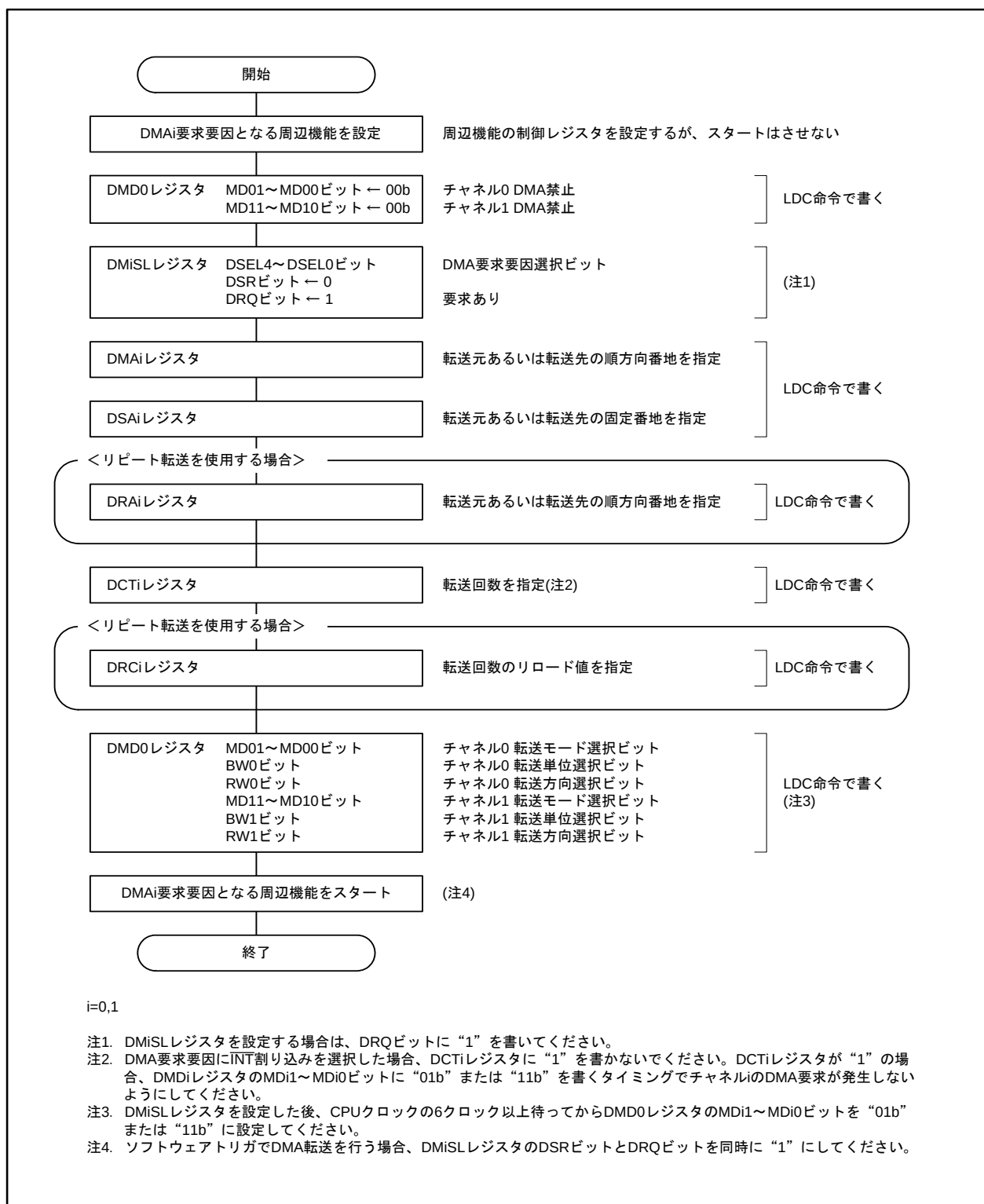


図 13.7 DMA0またはDMA1を使用する場合のレジスタの設定手順

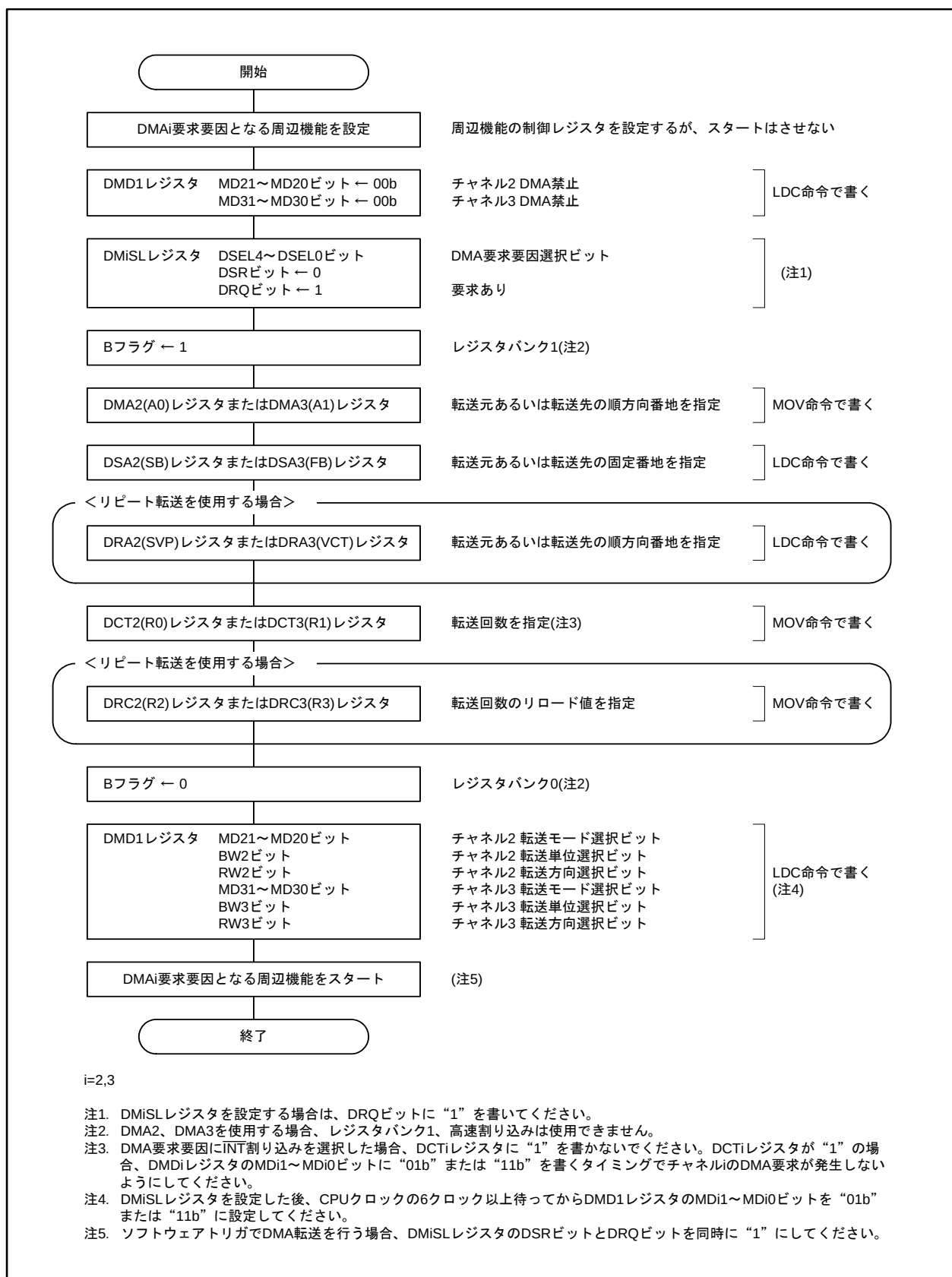


図13.8 DMA2またはDMA3を使用する場合のレジスタの設定手順

13.1 転送サイクル

転送サイクルは、転送元の読み出し(ソースリード)のバスサイクルと、書き込み(デスティネーションライト)のバスサイクルで構成しています。読み出しと書き込みのバスサイクル数は、転送元番地または転送先番地の影響を受けます。また、メモリ拡張モードとマイクロプロセッサモード時は、DSレジスタの影響も受けます。さらに、ソフトウェアウェイトや $\overline{\text{RDY}}$ 信号の影響により、バスサイクル自体が長くなります。

13.1.1 転送元番地と転送先番地の影響

転送単位、データバスが共に16ビットで、転送元番地が奇数番地から始まる場合、ソースリードサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

同様に、転送単位、データバスが共に16ビットで、転送先番地が奇数番地から始まる場合、デスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

13.1.2 DSレジスタの影響

メモリ拡張モードとマイクロプロセッサモード時の外部領域では、転送元と転送先のデータバスにより転送サイクルは変わります。DSレジスタの詳細は、図8.1を参照してください。

- 転送元、転送先のデータバスが8ビット(DSiビットは“0”) で16ビットのデータを転送する場合、8ビットのデータを2回転送します。そのため、データを読むのに2バスサイクル、書くのに2バスサイクル必要とします。
- 転送元のデータバスが8ビット(DSiビットは“0”)、転送先のデータバスが16ビット(DSiビットは“1”) で16ビットのデータを転送する場合、8ビットのデータを2回読み、16ビットのデータとして書きます。そのため、データを読むのに2バスサイクル、書くのに1バスサイクル必要とします。
- 転送元のデータバスが16ビット(DSiビットは“1”)、転送先のデータバスが8ビット(DSiビットは“0”) で16ビットのデータを転送する場合、16ビットのデータを読み、8ビットのデータを2回書きます。そのため、データを読むのに1バスサイクル、書くのに2バスサイクル必要とします。

13.1.3 ソフトウェアウェイトの影響

ソフトウェアウェイトが入るメモリやSFRをアクセスする場合、ソフトウェアウェイトの分だけバスクロック(BCLK)数が増えます。

13.1.4 $\overline{\text{RDY}}$ 信号の影響

メモリ拡張モードとマイクロプロセッサモード時、外部領域では $\overline{\text{RDY}}$ 信号の影響を受けます。詳細は「8.2.6 $\overline{\text{RDY}}$ 信号」を参照してください。

13.2 DMAの転送時間

DMAの転送時間は次のとおり計算できます。(バスクロック換算)

表13.3にソースリードサイクル数とデスティネーションライトサイクル数を、表13.4に係数j、k(バスクロック数)を示します。

$$1 \text{ 転送単位の転送時間} = \text{ソースリードサイクル数} \times j + \text{デスティネーションライトサイクル数} \times k$$

表 13.3 ソースリードサイクル数とデスティネーションライトサイクル数

転送単位	バス幅	アクセス番地	内部領域アクセス時		外部領域アクセス時	
			リード サイクル数	ライト サイクル数	リード サイクル数	ライト サイクル数
8ビット転送 (DMDpレジスタの BWiビット=0)	16ビット	偶数	1	1	1	1
		奇数	1	1	1	1
	8ビット	偶数	—	—	1	1
		奇数	—	—	1	1
16ビット転送 (BWiビット=1)	16ビット	偶数	1	1	1	1
		奇数	2	2	2	2
	8ビット	偶数	—	—	2	2
		奇数	—	—	2	2

i=0～3、p=0,1

表 13.4 係数j、k(バスクロック数)

内部領域			外部領域
内部ROM または内部RAM	内部ROM または内部RAM	SFR領域	表8.6に示されるBCLKのj,kサイクル(j,k=2～9) リカバリサイクル挿入時は、+1サイクルしてください。
ウェイトなし j=1 k=1	ウェイトあり j=2 k=2	j=2 k=2	

13.3 チャンネル優先順位とDMA転送タイミング

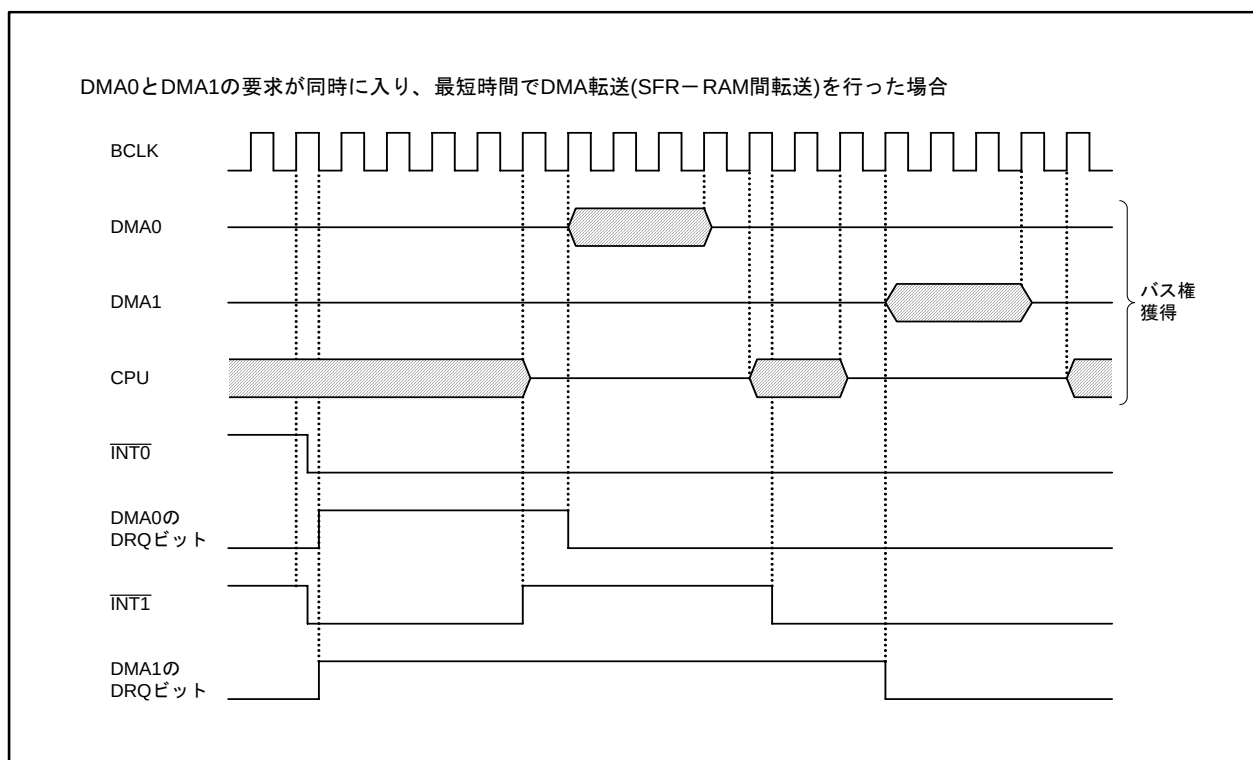
複数のDMA要求が同一サンプリング期間(バスクロックの立ち下がりエッジから次の立ち下がりエッジの一周期)で入った場合、DMiSLレジスタ(i=0～3)のDRQビットは同時に“1”(要求あり)になります。この場合のチャンネル優先順位はDMA0>DMA1>DMA2>DMA3です。また、同一チャンネルのDMA要求は以下の間隔をあけて使用してください。

$$\text{DMA 要求間隔} \geq (\text{DMA 使用チャンネル数} - 1) \times 5 \text{ バスクロック (BCLK)}$$

次に、DMA0とDMA1の要求が同一サンプリング期間に入った場合の動作を説明します。図13.9に $\overline{\text{INT}}$ 割り込み要求によるDMA転送例を示します。

図13.9ではDMA0の要求とDMA1の要求が同時に発生したので、チャンネル優先順位が高いDMA0が先に受け付けられ転送を開始します。DMA0が1転送単位を終了するとCPUにバス権をゆずり、CPUが1回のバスアクセスを終了すると、次にDMA1が転送を開始し、1転送単位終了後CPUにバス権を返します。

なお、DRQビットは各チャンネル1ビットですので、DMA要求の回数はカウントできません。したがって、図13.9のDMA1のようにバス権を得るまでに複数回DMA要求が発生した場合も、バス権を得るとDRQビットを“0”にして、1転送単位終了後CPUにバス権を返します。

図 13.9 $\overline{\text{INT}}$ 割り込み要求によるDMA転送例

14. DMACII

周辺機能からの割り込み要求により、メモリ間転送、即値転送、2つのデータの加算結果を転送する演算転送を行います。

表14.1にDMACIIの仕様を示します。

表 14.1 DMACIIの仕様

項目	仕様
DMACII 要求要因	割り込み制御レジスタのILVL2～ILVL0ビットを“111b”(レベル7)にしたすべての周辺機能からの割り込み要求
転送データ	・メモリ→メモリ(メモリ間転送) ・即値→メモリ(即値転送) ・メモリ(または即値)+メモリ→メモリ(演算転送)
転送単位	8ビット、16ビット
転送空間	00000h～0FFFFh番地の64Kバイト空間(注1、2)
転送番地	固定番地：指定したアドレス 順方向番地：転送単位に応じて加算されるアドレス 転送元と転送先で個別に選択可能
転送方式	単転送、バースト転送、複数転送
チェーン転送機能	転送カウンタが“0”になったタイミングで、DMACIIインデックスの参照先を切り替える
転送完了割り込み	転送カウンタが“0”になったタイミングで、割り込み発生

注1. ただし、転送単位が16ビットで転送先番地が0FFFFhのとき、0FFFFh番地と10000h番地に転送します。
転送元番地が0FFFFh番地のときも同様です。

注2. 実際の転送可能空間は、内部RAMの容量による制限を受けます。

14.1 DMACIIの設定

DMACIIを使用するための設定は次のとおりです。

- ・RLVL レジスタ
- ・DMACIIインデックス
- ・DMACIIの要求要因となる周辺機能の割り込み制御レジスタ
- ・DMACIIの要求要因となる周辺機能の可変ベクタ

14.1.1 RLVL レジスタ

DMACIIビットを“1”(DMACII転送)に、FSITビットを“0”(通常割り込み)にすると、割り込み制御レジスタのILVL2～ILVL0ビットを“111b”(レベル7)にしたすべての周辺機能からの割り込み要求で、DMACIIが起動します。

図14.1にRLVLレジスタを示します。

復帰用優先順位レジスタ

ビット シンボル	ビット名	機 能	RW
RLVL0	ウェイトモード/ ストップモード復帰用 割り込み優先順位選択ビット (注1)	b2 b1 b0 0 0 0 : レベル0 0 0 1 : レベル1 0 1 0 : レベル2 0 1 1 : レベル3 1 0 0 : レベル4 1 0 1 : レベル5 1 1 0 : レベル6 1 1 1 : レベル7	RW
RLVL1			RW
RLVL2			RW
FSIT	高速割り込み選択ビット	0 : 割り込み優先レベル7は通常割り込みに使用 1 : 割り込み優先レベル7は高速割り込みに使用 (注2、3)	RW
— (b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
DMAII	DMACII選択ビット(注4)	0 : 割り込み優先レベル7は割り込みに使用 1 : 割り込み優先レベル7はDMACII転送に使用 (注2)	RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

- 注1. 要求のあった割り込みの優先レベルが、RLVL2～RLVL0ビットで選択したレベルより大きい場合、ウェイトモード、ストップモードから復帰します。FLGレジスタのIPLと同じ値を設定してください。
- 注2. FSITビットとDMAIIビットを両方“1”にしないでください。
FSITビットまたはDMAIIビットを“1”にした後で、割り込み制御レジスタのILVL2～ILVL0ビットをレベル7に設定してください。
- 注3. 高速割り込みを使用する場合、レベル7に設定できる割り込みは1つだけです。
- 注4. リセット後、DMAIIビットは不定です。割り込みで使用する場合は、DMAIIビットを“0”にしてから割り込み制御レジスタを設定してください。

図 14.1 RLVL レジスタ

14.1.2 DMACII インデックス

DMACII インデックスは8～32バイトで構成されるデータテーブルで、転送モード、転送カウンタ、転送元番地(または即値データ)、演算対象番地、転送先番地、チェーン転送番地、転送完了割り込み番地のパラメータを格納します。

DMACII インデックスはRAMに配置してください。

図14.2にDMACII インデックスを、表14.2にDMACII インデックスの記述例を示します。

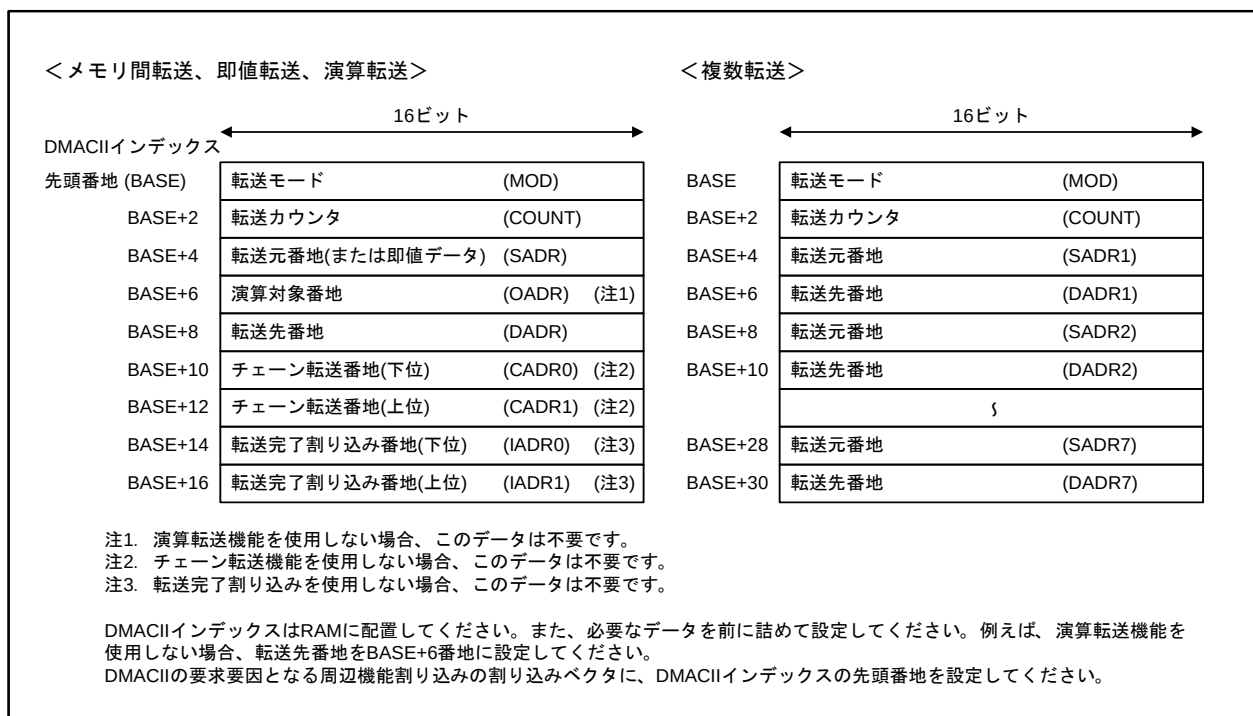


図14.2 DMACII インデックス

次に、DMACII インデックスの内容を説明します。これらのデータは使用するDMACIIの転送モードに応じて表14.2に示す順序で設定してください。

- 転送モード(MOD)
2バイトデータで、転送モードを設定してください。図14.3に転送モードを示します。
- 転送カウンタ(COUNT)
2バイトデータで、転送回数を設定してください。
- 転送元番地(SADR)
2バイトデータで、転送元メモリの番地または即値を設定してください。
- 演算対象番地(OADR)
2バイトデータで、演算対象となるメモリの番地を設定してください。演算転送機能を使用する場合のみ、このデータを設定してください。
- 転送先番地(DADR)
2バイトデータで、転送先メモリの番地を設定してください。
- チェーン転送番地(CADR)
4バイトデータで、次回に行う転送のDMACIIインデックス先頭番地を設定してください。チェーン転送機能を使用する場合のみ、このデータを設定してください。
- 転送完了割り込み番地(IADR)
4バイトデータで、転送完了割り込み処理の飛び先番地を設定してください。転送完了割り込みを使用する場合のみ、このデータを設定してください。

なお、これ以降の説明では各パラメータ名は上記()内の略称を使用します。

14.1.3 周辺機能の割り込み制御レジスタ

DMACII の要求要因に使用する周辺機能割り込みは、割り込み制御レジスタの ILVL2～ILVL0 ビットを“111b”(レベル7)にしてください。

14.1.4 周辺機能の割り込みベクタ

DMACII の要求要因となる周辺機能割り込みの割り込みベクタに、DMACII インデックスの先頭番地を設定してください。

チェーン転送を使用するときは、可変ベクタテーブルを RAM に設定してください。

14.2 DMACII の動作

RLVL レジスタの DMAII ビットを“1”(DMACII 転送)にすると、DMACII 機能が選択されます。ILVL2～ILVL0 ビットを“111b”(レベル7)にしたすべての周辺機能割り込み要求が、DMACII 要求要因になります。これらの周辺機能割り込み要求は、DMACII 転送要求となり、周辺機能割り込みは使用できません。

ILVL2～ILVL0 ビットが“111b”の割り込み要求が発生すると、I フラグと IPL に関係なく DMACII が起動します。

14.3 転送データ

DMACII では、次のように8ビットまたは16ビット単位でデータを転送します。

- メモリ間転送 : 64K バイト空間(00000h～0FFFFh 番地)の任意のメモリから同空間の任意のメモリに転送します。
- 即値転送 : 即値データを 64K バイト空間の任意のメモリに転送します。
- 演算転送 : 2つのデータを加算し、加算結果を 64K バイト空間の任意のメモリに転送します。

ただし、転送単位が16ビットで転送先番地が0FFFFh 番地のとき、0FFFFh 番地と10000h 番地に転送します。転送元番地が0FFFFh 番地のときも同様です。また、実際の転送可能空間は、内部メモリの容量による制限を受けます。内部メモリについては「図3.1 メモリ配置図」を参照してください。

14.3.1 メモリ間転送

任意のメモリから任意のメモリへの転送は、次のとおりです。

- 固定番地から固定番地への転送
- 固定番地から順方向番地への転送
- 順方向番地から固定番地への転送
- 順方向番地から順方向番地への転送

順方向番地を選択した場合、転送後、次の転送のために転送元番地(SADR)または転送先番地(DADR)を加算します。転送単位が8ビットの場合、番地は1加算されます。転送単位が16ビットの場合、番地は2加算されます。番地を加算することで、転送元または転送先番地が0FFFFh 番地を超えた場合、転送元または転送先番地は00000h 番地に戻って加算されますので、転送元または転送先番地が0FFFFh 番地を超えないように注意してください。

14.3.2 即値転送

即値データを任意のメモリに転送します。転送先番地として固定または順方向番地を選択できます。SADRに即値データを格納してください。8ビット即値を転送する場合、SADRの下位1バイトにデータを設定してください(上位バイトは無視されます)。

14.3.3 演算転送

任意のメモリと任意のメモリ、または即値データと任意のメモリを加算した後、任意のメモリに転送します。SADRに演算対象メモリの番地または即値データを設定し、OADRにもう一方の演算対象メモリの番地を設定してください。メモリ+メモリ演算転送の場合、転送元と転送先番地として、固定または順方向番地を選択できます。転送元番地が順方向の場合には、演算対象番地も順方向となります。即値+メモリ演算転送の場合、転送先番地として固定または順方向番地を選択できます。

14.4 転送方式

DMACIIでは単転送とバースト転送、複数転送が行えます。MODのBRSTビットで、単転送またはバースト転送を選択します。MODのMULTビットで複数転送が選択できます。転送回数はCOUNTで設定します。COUNTを“0000h”にしている場合、転送は行いません。

14.4.1 単転送

一度の要求に対して、1転送単位(8ビットまたは16ビット)のデータを1回転送します。転送元番地、または転送先番地として順方向番地を選択した場合、転送後、次の転送のために番地を加算します。

COUNTは、転送ごとにダウンカウントされます。転送完了割り込みを使用する場合、COUNTが“0”になった時点で、転送完了割り込みが発生します。

14.4.2 バースト転送

一度の要求に対して、COUNTで設定された回数分、連続してデータ転送が行われます。COUNTは1転送単位を転送するごとにダウンカウントし、COUNTが“0”になったときバースト転送が終了します。転送完了割り込みを使用する場合、バースト転送終了時、転送完了割り込みが発生します。なお、バースト転送中は、すべての割り込みを受け付けません。

14.4.3 複数転送

複数転送ではメモリ間転送が行えます。

一度の要求に対して複数の転送を行います。転送数はMODのCNT2～CNT0ビットで“001b”(1回)～“111b”(7回)が選択できます。なお、CNT2～CNT0ビットは“000b”にしないでください。

転送数分の転送元番地、転送先番地をMOD、COUNTに続く番地にそれぞれ交互に配置してください。CNT2～CNT0で設定した回数の転送が完了するまですべての割り込みは受け付けられません。複数転送選択時、演算転送、バースト転送、転送完了割り込み、チェーン転送の各機能は使用できません。

14.5 チェーン転送

MODのCHAINビットでチェーン転送が選択できます。

チェーン転送時は次のように動作します。

- (1) DMACII転送要求により、その要因の割り込みベクタで示されるDMACIIインデックスの内容に従って転送します。一度の要求に対して、MODのBRSTビットの内容に従って単転送またはバースト転送を行います。
- (2) COUNTが“0”になったとき、(1)の割り込みベクタがCADR1～CADR0の値に書き換わります。MODのINTEビットが“1”の場合は、同時に転送完了割り込みが発生します。
- (3) 次にDMACII転送要求が発生すると、(2)で書き換えた割り込みベクタが示すDMACIIインデックスの内容に従って転送します。

図14.4にチェーン転送時の可変ベクタとDMACIIインデックスを示します。

チェーン転送を使用する場合、可変ベクタテーブルはRAMに配置してください。

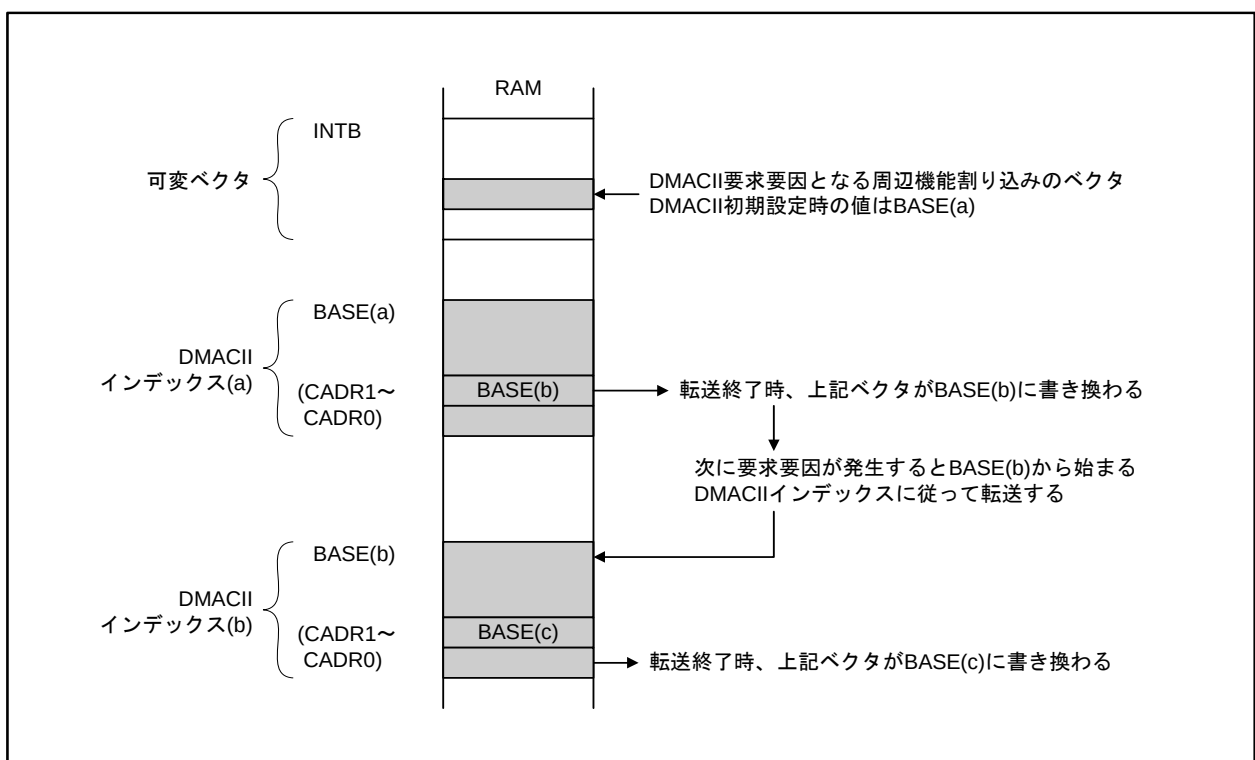


図14.4 チェーン転送時の可変ベクタとDMACIIインデックス

14.6 転送完了割り込み

MODのINTEビットで、転送完了割り込みが選択できます。転送完了割り込みルーチンの先頭番地をIADR1～IADR0に設定してください。転送完了割り込みは、COUNTが“0”になったとき発生します。

14.7 実行時間

DMACIIの実行時間は次のとおりです。

複数転送以外 : $t(\text{バスクロック}) = 6 + (26 + a + b + c + d) \times m + (4 + e) \times n$

複数転送 : $t(\text{バスクロック}) = 21 + (11 + b + c) \times k$

a : IMM=0(転送元が即値)の場合 a=0、IMM=1(転送元がメモリ)の場合 a=-1

b : UPDS=1(転送元番地が順方向番地)の場合 b=0、UPDS=0(転送元番地が固定番地)の場合 b=1

c : UPDD=1(転送先番地が順方向番地)の場合 c=0、UPDD=0(転送先番地が固定番地)の場合 c=1

d : OPER=0(演算機能なし)の場合 d=0、OPER=1(演算機能あり)でUPDS=0(転送元が即値か固定番地のメモリ)の場合 d=7、OPER=1(演算機能あり)でUPDS=1(転送元が順方向番地のメモリ)の場合 d=8

e : CHAIN=0(チェーン転送機能なし)の場合 e=0、CHAIN=1(チェーン転送機能あり)の場合 e=4

m : BRST=0(単転送)の場合 m=1、BRST=1(バースト転送)の場合 m=転送カウンタで設定された値

n : COUNTが“1”の場合 n=0、COUNTが“2”以上の場合 n=1

k : CNT2～CNT0ビットで設定した転送数

上記は概算値であり、CPUの状態、バスウェイトやDMACIIインデックスの配置により実行時間は異なります。

また、転送完了割り込みルーチンの最初の命令は、DMACII実行完了の7バスクロック後に行われます。

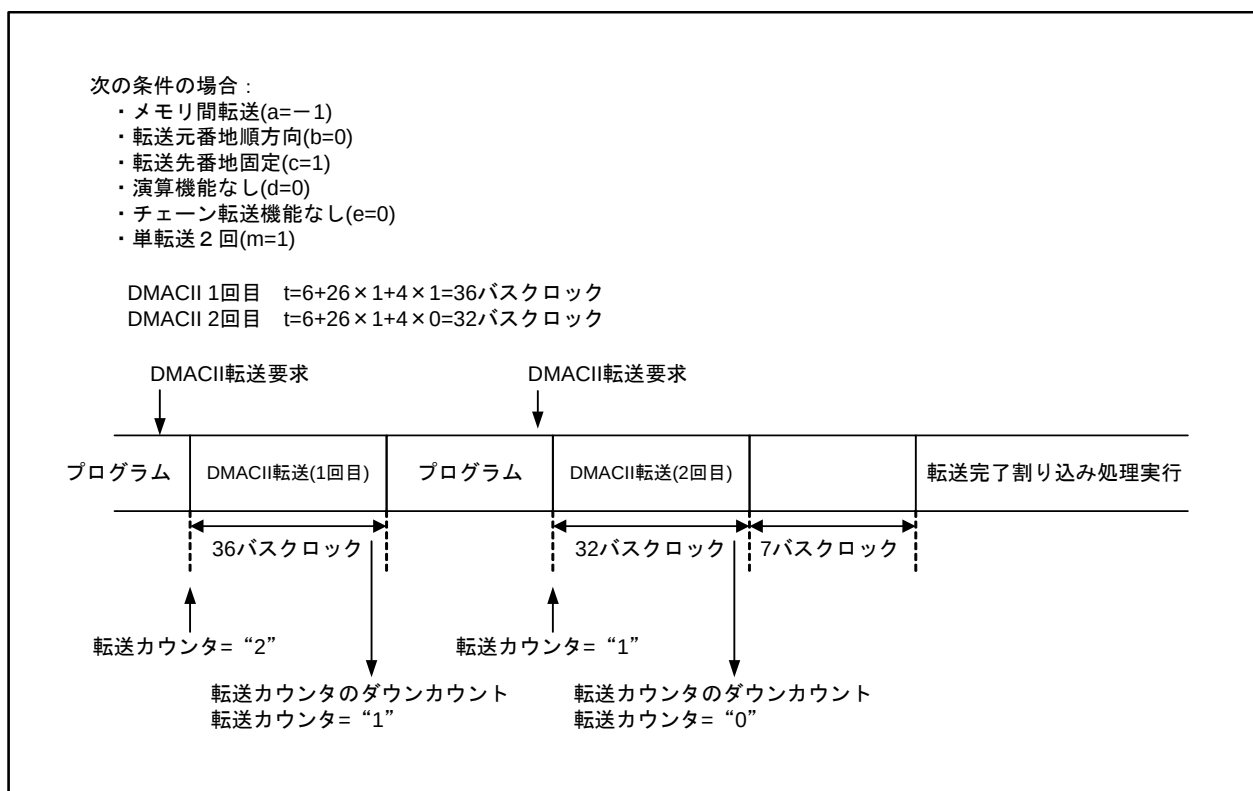


図14.5 転送時間

なお、DMACII 要求要因になる割り込み要求と、より優先順位の高い割り込み要求($\overline{\text{NMI}}$ 、ウォッチドッグタイマ)が同時に発生した場合、優先順位の高い割り込みがDMACII転送よりも優先して受け付けられ、その割り込みシーケンス終了後にDMACII転送が開始されます。

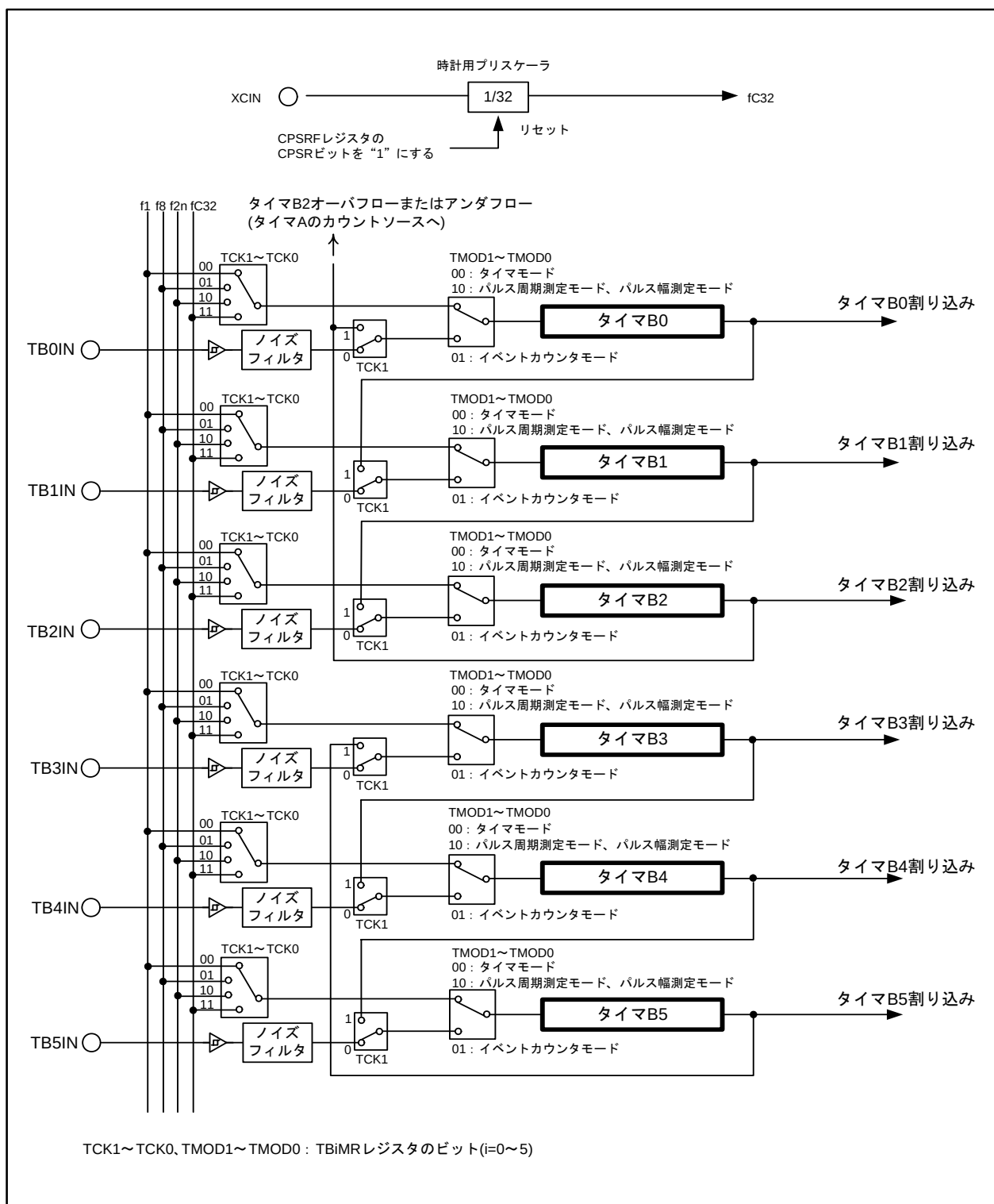


図 15.2 タイマBの構成

15.1 タイマA

タイマAには次の4種類のモードがあり、イベントカウンタモードを除いてタイマA0～A4は同一の機能を持ちます。各モードは、TAiMRレジスタ(i=0～4)のTMOD1～TMOD0ビットで選択できます。

- タイマモード 内部カウントソースをカウントするモード
- イベントカウンタモード 外部からのパルス、他のタイマのオーバーフローまたはアンダフローをカウントするモード
- ワンショットタイマモード 1度のトリガに対して、1度だけタイマを動作させるモード
- パルス幅変調モード 任意のパルス幅を連続して出力するモード

図15.3にタイマAのブロック図を、図15.4～図15.13にタイマA関連レジスタを示します。また、表15.1にTAiOUT端子を出力機能で使用する場合の設定、表15.2にTAiIN端子、TAiOUT端子を入力機能で使用する場合の設定を示します。

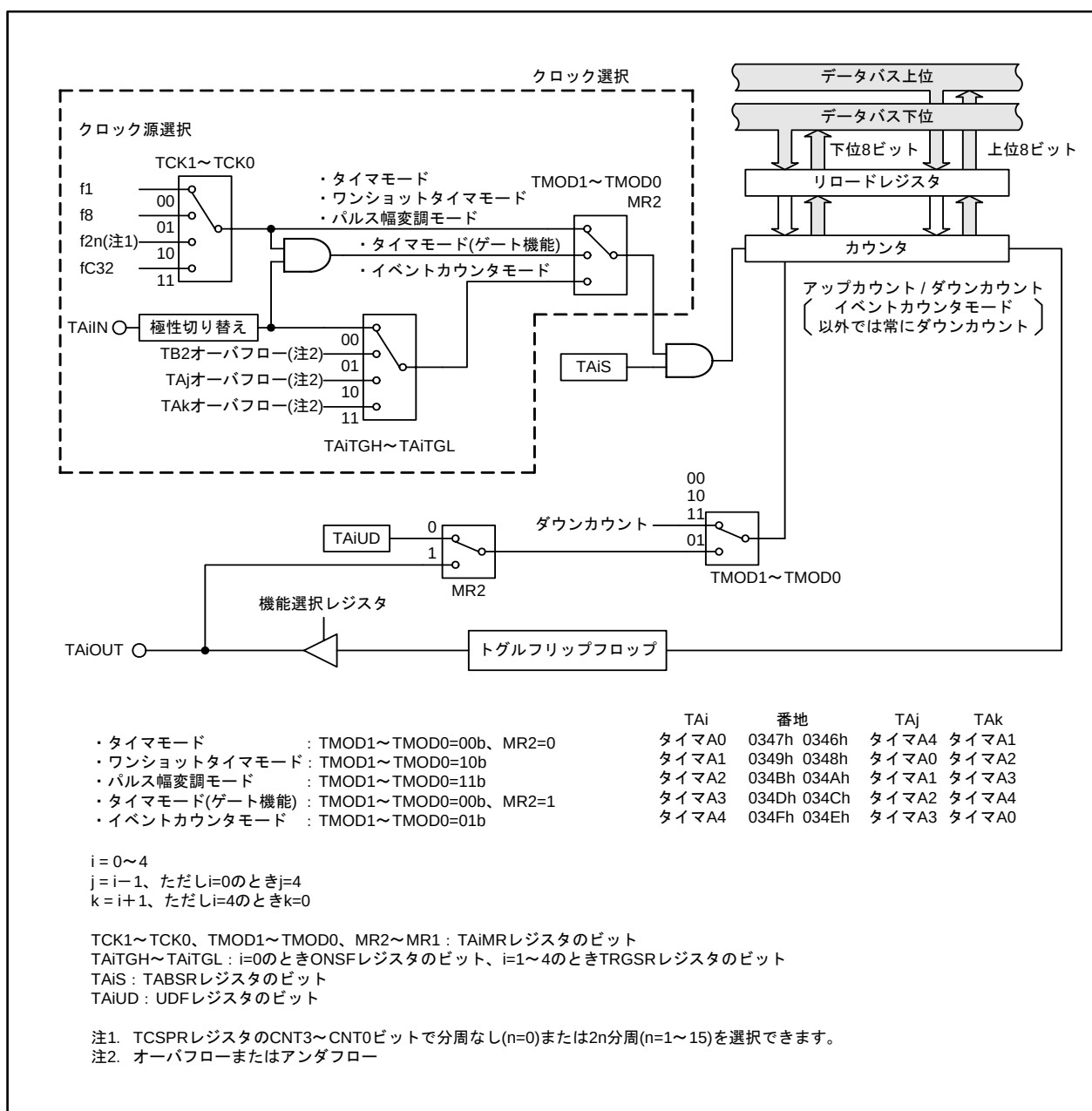


図15.3 タイマAブロック図

カウントソースプリスケアラレジスタ

ビット シンボル	ビット名	機 能	RW
CNT0	分周比選択ビット(注1)	設定値をnとするとメインクロック、オンチップ オシレータクロックまたはPLLクロックを2n分周 したものが、f2nになる。 ただし、n=0の場合は分周なし。	RW
CNT1			RW
CNT2			RW
CNT3			RW
— (b6-b4)	予約ビット	読んだ場合、その値は不定。	—
CST	動作許可ビット	0 : 分周器停止 1 : 分周器動作	RW

注1. CSTビットを“0”にしてから、CNT3～CNT0ビットに書いてください。

注2. ソフトウェアリセット、またはウォッチドッグタイマリセットを行ってもリセット前の値が保持されます。

図15.4 TCSPR レジスタ

タイマAiモードレジスタ (i=0~4)(タイマモード)

b7b6b5b4b3b2b1b0								シンボル	アドレス	リセット後の値		
		0			0	0	0	TA0MR～TA4MR	0356h、0357h、0358h、0359h、035Ah番地	00h		
								ビット シンボル	ビット名	機 能	RW	
								TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード	RW	
								TMOD1			RW	
								— (b2)	予約ビット	“0” にしてください	RW	
								MR1	ゲート機能選択ビット	b4 b3 0 0 : } ゲート機能なし(TAiN端子は 0 1 : } プログラマブル入出力ポート) 1 0 : TAIiN端子に“L”が入力されている期間 カウント 1 1 : TAIiN端子に“H”が入力されている期間 カウント	RW	
								MR2			RW	
								MR3	タイマモードでは“0”にしてください			RW
								TCK0	カウントソース選択ビット	b7 b6 0 0 : f1 0 1 : f8 1 0 : f2n(注1) 1 1 : fC32	RW	
								TCK1			RW	

注1. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。f2nを選択する場合は、TCSPRレジスタのCSTビットを “1” にした後、TCK1~TCK0ビットを “10b” にしてください。

図 15.5 タイマモード時のTA0MR~TA4MR レジスタ

タイマAiモードレジスタ (i=0~4)(イベントカウンタモード)

b7b6b5b4b3b2b1b0								シンボル	アドレス	リセット後の値								
<table><tr><td></td><td></td><td>0</td><td></td><td></td><td>0</td><td>0</td><td>1</td></tr></table>										0			0	0	1	TA0MR～TA4MR	0356h、0357h、0358h、0359h、035Ah番地	00h
		0			0	0	1											
								ビット シンボル	ビット名	機 能 (二相パルス信号処理を使用しない)	機 能 (二相パルス信号処理を使用する)	RW						
								TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード(注1)		RW						
								TMOD1				RW						
								— (b2)	予約ビット	“0” にしてください		RW						
								MR1	カウント極性選択ビット (注2)	0 : 外部信号の立ち下がり をカウント 1 : 外部信号の立ち上がり をカウント	“0” にしてください	RW						
								MR2	アップ／ダウン切り替え要因 選択ビット	0 : UDFレジスタの内容 1 : TAIOUT端子の入力信号 (注3)	“1” にしてください	RW						
								MR3	イベントカウンタモードでは、“0” にしてください			RW						
								TCK0	カウント動作タイプ 選択ビット	0 : リロードタイプ 1 : フリーランタイプ		RW						
								TCK1	二相パルス処理動作 選択ビット(注4、5)	“0” にしてください	0 : 通常処理動作 1 : 4通倍処理動作	RW						

注1. イベントカウンタモードでは、カウントソースをONSFレジスタまたはTRGSRレジスタのTAiTGH~TAiTGLビットで選択できます。

注2. 外部信号カウント時のみ有効。

注3. TAIOUT端子の入力信号が“L”のときはダウンカウント、“H”のときはアップカウントを行います。

注4. TCK1ビットはTA3MRレジスタにおいて有効です。

注5. 二相パルス信号処理を行う場合、UDFレジスタのTAjPビット(j=2~4)は“1”(二相パルス信号処理機能許可)に、TRGSRレジスタのTAjTGH~TAjTGLビットを“00b”(TAjIN端子の入力)にしてください。

図 15.6 イベントカウンタモード時のTA0MR~TA4MRレジスタ

タイマAiモードレジスタ (i=0~4)(ワンショットタイマモード)

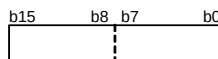
b7b6b5b4b3b2b1b0								シンボル	アドレス	リセット後の値		
		0			0	1	0	TA0MR～TA4MR	0356h、0357h、0358h、0359h、035Ah番地	00h		
								ビット シンボル	ビット名	機 能	RW	
								TMOD0	動作モード選択ビット	b1 b0 1 0 : ワンショットタイマモード	RW	
								TMOD1			RW	
								— (b2)	予約ビット	“0” にしてください	RW	
								MR1	外部トリガ選択ビット(注1)	0 : TAIiN端子の入力信号の立ち下がり 1 : TAIiN端子の入力信号の立ち上がり	RW	
								MR2	トリガ選択ビット	0 : TAIOSビットが有効 1 : TAITGH、TAITGLビットで選択	RW	
								MR3	ワンショットタイマモードでは “0” にしてください。			RW
								TCK0	カウントソース選択ビット	b7 b6 0 0 : f1 0 1 : f8 1 0 : f2n(注2) 1 1 : fC32	RW	
								TCK1			RW	

注1. ONSFレジスタまたはTRGSRレジスタのTAIiTGH~TAIiTGLビットを“00b”(TAIiN端子の入力)にする場合のみ有効。
 “01b”(TB2のオーバーフローまたはアンダフロー)、“10b”(TAj (j=i-1、ただしi=0のときj=4)のオーバーフローまたはアンダフロー)、“11b”(TAK (k=i+1、ただしi=4のときk=0)のオーバーフローまたはアンダフロー)にする場合は“0”または“1”いずれでも可。

注2. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。f2nを選択する場合は、TCSPRレジスタのCSTビットを“1”にした後、TCK1~TCK0ビットを“10b”にしてください。

図 15.7 ワンショットタイマモード時のTA0MR~TA4MRレジスタ

タイマAiレジスタ (i=0~4)(注1)



シンボル
TA0~TA2
TA3、TA4

アドレス
0347h - 0346h、0349h - 0348h、034Bh - 034Ah番
地
034Dh - 034Ch、034Fh - 034Eh番地

リセット後の値
不定
不定

モード	機 能	設定範囲	RW
タイマモード	カウントソースの周波数を f_j 、TAiレジスタの設定値を n とすると カウンタ周期: $(n+1) / f_j$	0000h~FFFFh	RW
イベントカウンタモード	設定値を n とすると、カウント回数は、アップカウント時、FFFFh - $n+1$ 回 ダウンカウント時、 $n+1$ 回(注2)	0000h~FFFFh	RW
ワンショットタイマモード	設定値を n とすると、 n 回カウントし、停止する	0000h~FFFFh (注3、4)	WO
パルス幅変調モード (16ビットPWM)	カウントソースの周波数 f_j 、TAiレジスタの設定値を n とすると PWMの周期: $(2^{16}-1) / f_j$ PWMパルスの“H”幅: n / f_j	0000h~FFFEh (注3、5)	WO
パルス幅変調モード (8ビットPWM)	カウントソースの周波数 f_j 、TAiレジスタの上位アドレスの設定値を n 、下位アドレスの設定値を m とすると、 PWMの周期: $(m+1) / f_j \times (2^8-1)$ PWMパルスの“H”幅: $(m+1) / f_j \times n$	00h~FEh(上位アドレス) 00h~FFh(下位アドレス) (注3、6)	WO

f_j : f1、f8、f2n、fC32

注1. 読む場合、書く場合は16ビット単位で実行してください。

注2. 外部からのパルス、他のタイマのオーバーフローまたはアンダフローをカウントする。

注3. TAiレジスタへ書く場合、リードモディファイライト命令は使用できません。詳細は、章「使用上の注意事項」を参照してください。

注4. TAiレジスタを“0000h”にした場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。

注5. TAiレジスタを“0000h”にした場合、パルス幅変調器は動作せず、TAiOUT端子の出力レベルは“L”のままで、タイマAi割り込み要求も発生しません。また“FFFFh”にした場合、パルス幅変調器は動作せず、TAiOUT端子の出力レベルは“H”のままで、タイマAi割り込み要求も発生しません。

注6. TAiレジスタの上位8ビットを“00h”にした場合、パルス幅変調器は動作せず、TAiOUT端子の出力レベルは“L”のままで、タイマAi割り込み要求も発生しません。また“FFh”にした場合、パルス幅変調器は動作せず、TAiOUT端子の出力レベルは“H”のままで、タイマAi割り込み要求も発生しません。

図 15.9 TA0~TA4 レジスタ

アップダウン選択レジスタ (注1)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル UDF	アドレス 0344h番地	リセット後の値 00h	
	ビット シンボル	ビット名	機 能	RW
	TA0UD	タイマA0 アップダウン選択ビット(注2)	0 : ダウンカウント 1 : アップカウント	RW
	TA1UD	タイマA1 アップダウン選択ビット(注2)	0 : ダウンカウント 1 : アップカウント	RW
	TA2UD	タイマA2 アップダウン選択ビット(注2)	0 : ダウンカウント 1 : アップカウント	RW
	TA3UD	タイマA3 アップダウン選択ビット(注2)	0 : ダウンカウント 1 : アップカウント	RW
	TA4UD	タイマA4 アップダウン選択ビット(注2)	0 : ダウンカウント 1 : アップカウント	RW
	TA2P	タイマA2二相パルス信号処理機能 選択ビット(注3)	0 : 二相パルス信号処理機能禁止 1 : 二相パルス信号処理機能許可	WO
	TA3P	タイマA3二相パルス信号処理機能 選択ビット(注3)	0 : 二相パルス信号処理機能禁止 1 : 二相パルス信号処理機能許可	WO
	TA4P	タイマA4二相パルス信号処理機能 選択ビット(注3)	0 : 二相パルス信号処理機能禁止 1 : 二相パルス信号処理機能許可	WO

注1. UDFレジスタへ書く場合、リードモディファイライト命令は使用できません。詳細は、章「使用上の注意事項」を参照してください。

注2. イベントカウンタモード時、TAiMRレジスタ(i=0~4)のMR2ビットを“0”(アップカウント/ダウンカウント切り換え要因はUDFレジスタの内容)にすると有効になります。

注3. 二相パルス信号処理機能を使用しない場合は“0”にしてください。

図 15.10 UDF レジスタ

トリガ選択レジスタ

シンボル TRGSR	アドレス 0343h番地	リセット後の値 00h
b7 b6 b5 b4 b3 b2 b1 b0 TA1TGL TA1TGH TA2TGL TA2TGH TA3TGL TA3TGH TA4TGL TA4TGH	ビット シンボル ビット名 機 能 RW	b1 b0 0 0 : TA1IN端子の入力を選択 0 1 : TB2のオーバーフローを選択(注1) 1 0 : TA0のオーバーフローを選択(注1) 1 1 : TA2のオーバーフローを選択(注1) b3 b2 0 0 : TA2IN端子の入力を選択 0 1 : TB2のオーバーフローを選択(注1) 1 0 : TA1のオーバーフローを選択(注1) 1 1 : TA3のオーバーフローを選択(注1) b5 b4 0 0 : TA3IN端子の入力を選択 0 1 : TB2のオーバーフローを選択(注1) 1 0 : TA2のオーバーフローを選択(注1) 1 1 : TA4のオーバーフローを選択(注1) b7 b6 0 0 : TA4IN端子の入力を選択 0 1 : TB2のオーバーフローを選択(注1) 1 0 : TA3のオーバーフローを選択(注1) 1 1 : TA0のオーバーフローを選択(注1)

注1. オーバフローまたはアンダフロー

図 15.11 TRGSR レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

アドレス
0340h番地

リセット後の値
00h

ビット シンボル	ビット名	機 能	RW
TA0S	タイマA0カウント開始ビット	0 : カウント停止 1 : カウント開始	RW
TA1S	タイマA1カウント開始ビット	0 : カウント停止 1 : カウント開始	RW
TA2S	タイマA2カウント開始ビット	0 : カウント停止 1 : カウント開始	RW
TA3S	タイマA3カウント開始ビット	0 : カウント停止 1 : カウント開始	RW
TA4S	タイマA4カウント開始ビット	0 : カウント停止 1 : カウント開始	RW
TB0S	タイマB0カウント開始ビット	0 : カウント停止 1 : カウント開始	RW
TB1S	タイマB1カウント開始ビット	0 : カウント停止 1 : カウント開始	RW
TB2S	タイマB2カウント開始ビット	0 : カウント停止 1 : カウント開始	RW

図 15.12 TABSR レジスタ

ワンショット開始レジスタ

b7 b6 b5 b4 b3 b2 b1 b0								シンボル	アドレス	リセット後の値	
								ONSF	0342h番地	00h	
								ビット シンボル	ビット名	機 能	RW
								TA0OS	タイマA0 ワンショット開始ビット(注1)	0 : 何もしない 1 : タイマスタート	RW
								TA1OS	タイマA1 ワンショット開始ビット(注1)	0 : 何もしない 1 : タイマスタート	RW
								TA2OS	タイマA2 ワンショット開始ビット(注1)	0 : 何もしない 1 : タイマスタート	RW
								TA3OS	タイマA3 ワンショット開始ビット(注1)	0 : 何もしない 1 : タイマスタート	RW
								TA4OS	タイマA4 ワンショット開始ビット(注1)	0 : 何もしない 1 : タイマスタート	RW
								TAZIE	Z相入力有効ビット	0 : Z相入力無効 1 : Z相入力有効	RW
								TA0TGL	タイマA0トリガ選択ビット	b7 b6 0 0 : TA0IN端子の入力を選択 0 1 : TB2のオーバーフローを選択(注2) 1 0 : TA4のオーバーフローを選択(注2) 1 1 : TA1のオーバーフローを選択(注2)	RW
								TA0TGH			RW

注1. 読み出し時の値は“0”

注2. オーバフローまたはアンダフロー

図 15.13 ONSF レジスタ

表 15.1 TAIOUT 端子を出力で使用する場合の設定 (i=0 ~ 4)

ポート名	機能	ビットと設定値		
		PSC レジスタ	PSL1、PSL2 レジスタ	PS1、PS2 レジスタ (注1)
P7_0 (注2)	TA0OUT	—	PSL1_0=1	PS1_0=1
P7_2	TA1OUT	—	PSL1_2=1	PS1_2=1
P7_4	TA2OUT	PSC_4=0	PSL1_4=0	PS1_4=1
P7_6	TA3OUT	—	PSL1_6=1	PS1_6=1
P8_0	TA4OUT	—	PSL2_0=0	PS2_0=1

注1. PS1、PS2 レジスタは最後に設定してください。

注2. 出力はNチャンネルオープンドレイン出力です。

表 15.2 TAIIN 端子、TAIOUT 端子を入力で使用する場合の設定 (i=0 ~ 4)

ポート名	機能	ビットと設定値	
		PD7、PD8 レジスタ	PS1、PS2 レジスタ
P7_0	TA0OUT	PD7_0=0	PS1_0=0
P7_1	TA0IN	PD7_1=0	PS1_1=0
P7_2	TA1OUT	PD7_2=0	PS1_2=0
P7_3	TA1IN	PD7_3=0	PS1_3=0
P7_4	TA2OUT	PD7_4=0	PS1_4=0
P7_5	TA2IN	PD7_5=0	PS1_5=0
P7_6	TA3OUT	PD7_6=0	PS1_6=0
P7_7	TA3IN	PD7_7=0	PS1_7=0
P8_0	TA4OUT	PD8_0=0	PS2_0=0
P8_1	TA4IN	PD8_1=0	PS2_1=0

15.1.1 タイマモード

内部で生成されたカウントソースをカウントするモードです。

表15.3にタイマモードの仕様を、図15.14にタイマモードの動作図(タイマA)を示します。

表 15.3 タイマモードの仕様

項目	仕様
カウントソース	f1、f8、f2n(注1)、fC32
カウント動作	・ ダウンカウント アンダフロー時、リロードレジスタの内容をリロードしてカウントを継続
カウンタ周期	$\frac{n+1}{f_j}$ f_j : カウントソースの周波数 n: TAIレジスタ (i=0~4) の設定値 (0000h~FFFFh)
カウント開始条件	TABSRレジスタのTAISビットを“1”(カウント開始)にする
カウント停止条件	TAISビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TAiIN 端子機能	ゲート機能入力
TAiOUT 端子機能	パルス出力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	・ カウント停止中 TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる ・ カウント中(注2) TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時にカウンタへ転送)
選択機能	・ ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 ・ パルス出力機能 アンダフローするごとにTAiOUT端子の極性が反転 TAISビットが“0”(カウント停止)の期間は“L”出力

注1. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。

注2. カウント開始後、カウントソース1クロック以上後に書いてください。

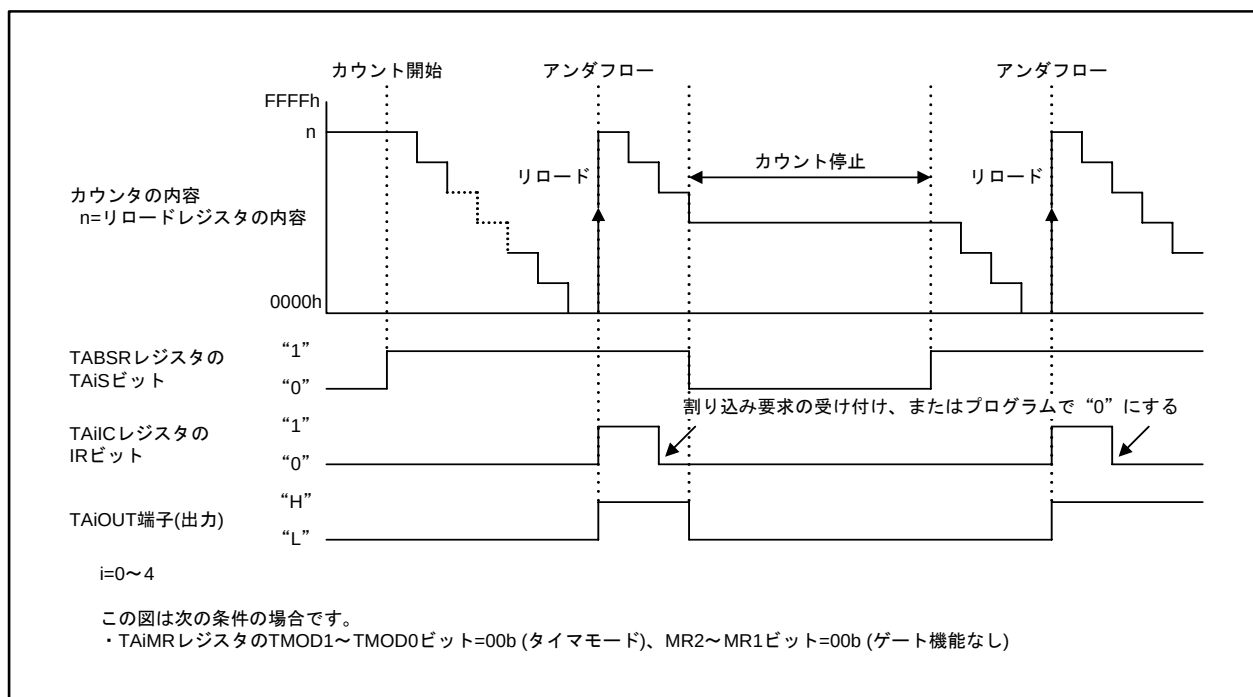


図 15.14 タイマモードの動作図(タイマA)

15.1.2 イベントカウンタモード

外部からのパルス、他のタイマのオーバーフローまたはアンダフローをカウントするモードです。タイマA2、A3、A4は、二相の外部信号をカウントできます。

表15.4にイベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)を、表15.5にイベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)を示します。また、図15.15に動作図(二相パルス信号処理を使用しない場合)を、図15.16に動作図(タイマA2、A3、A4で二相パルス信号処理を使用する場合)を示します。

表 15.4 イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項目	仕様
カウントソース	・ TAIiN 端子 (i=0 ~ 4) に入力された外部信号 (プログラムで有効エッジを選択可能) ・ タイマB2のオーバーフローまたはアンダフロー ・ タイマAj (j=i-1、ただしi=0のときj=4)のオーバーフローまたはアンダフロー ・ タイマAk (k=i+1、ただしi=4のときk=0)のオーバーフローまたはアンダフロー
カウント動作	・ アップカウント / ダウンカウント選択 外部信号またはプログラムで選択可能 ・ リロードタイプ / フリーランタイプ選択 リロードタイプ オーバーフローまたはアンダフロー時、リロードレジスタの内容をリロードして カウントを継続 フリーランタイプ オーバーフローまたはアンダフロー時、リロードレジスタの内容をリロードせず カウントを継続
カウント回数	・ アップカウント時 FFFFh - n+1 回 ・ ダウンカウント時 n+1 回 n : TAI レジスタの設定値 (0000h ~ FFFFh)
カウント開始条件	TABSR レジスタの TAI <i>s</i> ビットを “1” (カウント開始) にする
カウント停止条件	TAI <i>s</i> ビットを “0” (カウント停止) にする
割り込み要求発生タイミング	オーバーフロー時またはアンダフロー時
TAIiN 端子機能	カウントソース入力
TAIOUT 端子機能	パルス出力、またはアップカウント / ダウンカウント切り替え入力
タイマの読み出し	TAI レジスタを読むと、カウント値が読める
タイマの書き込み	・ カウント停止中 TAI レジスタに書くと、リロードレジスタとカウンタの両方に書かれる ・ カウント中 (注1) TAI レジスタに書くと、リロードレジスタに書かれる (次のリロード時にカウンタへ転送)
選択機能	・ パルス出力機能 オーバーフローまたはアンダフローするごとに TAIOUT 端子の極性が反転 TAI<i>s</i> ビットが “0” (カウント停止) の期間は “L” 出力

注1. カウント開始後、カウントソース1クロック以上後に書いてください。

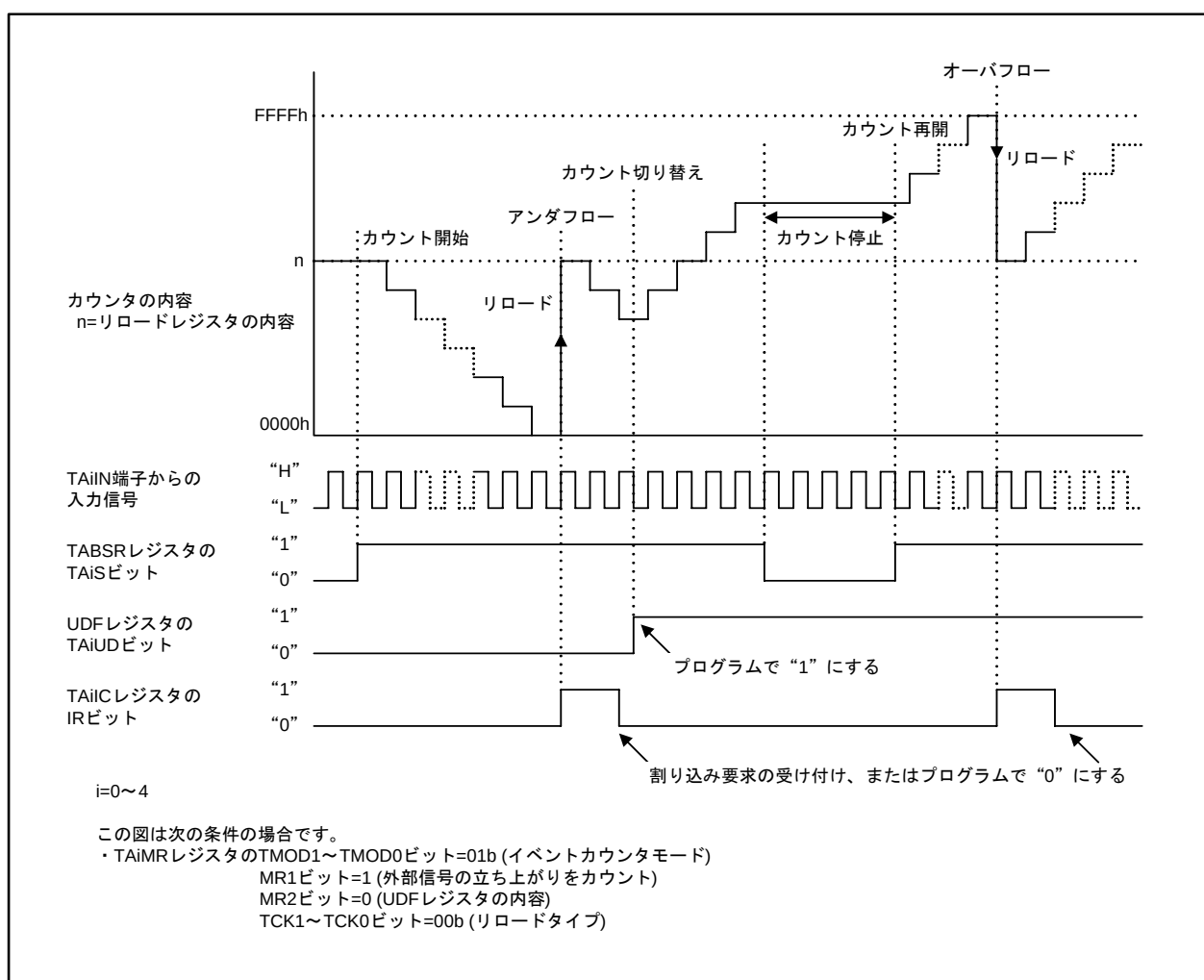


図 15.15 イベントカウンタモードの動作図(二相パルス信号処理を使用しない場合)

表 15.5 イベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

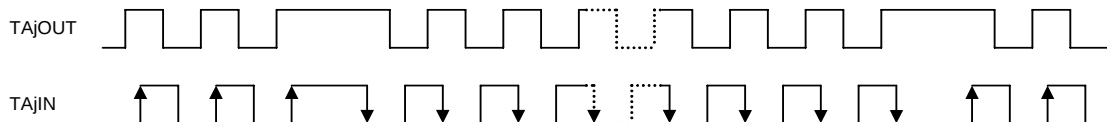
項目	仕様
カウントソース	TAiIN、TAiOUT 端子 (i=2~4) に入力された二相パルス信号
カウント動作	・ アップカウント / ダウンカウント選択 二相パルス信号によって切り替え可能 ・ リロードタイプ / フリーランタイプ選択 リロードタイプ オーバーフローまたはアンダフロー時、リロードレジスタの内容をリロードして カウントを継続 フリーランタイプ オーバーフローまたはアンダフロー時、リロードレジスタの内容をリロードせず カウントを継続
カウント回数	・ アップカウント時 FFFFh - n+1 回 ・ ダウンカウント時 n+1 回 n : TAI レジスタの設定値 (0000h ~ FFFFh)
カウント開始条件	TABSR レジスタの TAI S ビットを “1” (カウント開始) にする
カウント停止条件	TAI S ビットを “0” (カウント停止) にする
割り込み要求発生 タイミング	オーバフロー時またはアンダフロー時
TAiIN 端子機能	二相パルス入力
TAiOUT 端子機能	二相パルス入力
タイマの読み出し	TAI レジスタを読むと、カウント値が読める
タイマの書き込み	・ カウント停止中 TAI レジスタに書くと、リロードレジスタとカウンタの両方に書かれる ・ カウント中(注1) TAI レジスタに書くと、リロードレジスタに書かれる(次のリロード時にカウンタへ転送)
選択機能(注2)	・ 通常処理動作(タイマA2、タイマA3) TAjOUT 端子 (j=2,3) の入力信号が “H” の期間 TAJIN 端子の立ち上がり をアップカウントし、立ち下がり をダウンカウントする ・ 4 通倍処理動作(タイマA3、タイマA4) TAKOUT 端子 (k=3,4) の入力信号が “H” の期間に TAKIN 端子が立ち上がる位相関係の場合、 TAKOUT、TAKIN 端子の立ち上がり、立ち下がり をアップカウントし、TAKOUT 端子の入力 信号が “H” の期間に TAKIN 端子が立ち下がる位相関係の場合、TAKOUT、TAKIN 端子の立 ち上がり、立ち下がり をダウンカウントする ・ Z 相入力によるカウンタ初期化(タイマA3) Z 相入力により、タイマのカウント値を “0” にする

注1. カウント開始後、カウントソース1クロック以上後に書いてください。

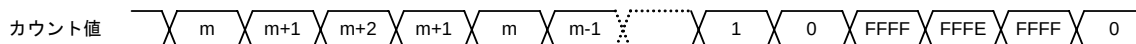
注2. タイマA3は選択できます。タイマA2は通常処理動作、タイマA4は4通倍処理動作です。

・通常処理動作(タイマA2、タイマA3)

TAjOUT端子(j=2,3)の入力信号が“H”の期間TAjIN端子の立ち上がりをアップカウントし、立ち下がりダウンカウント

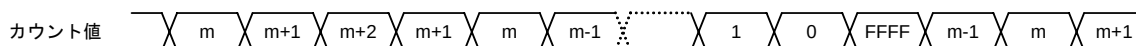


<フリーランタイプ>



<リロードタイプ>

割り込み要求の受け付け、またはプログラムで“0”にする



割り込み要求の受け付け、またはプログラムで“0”にする

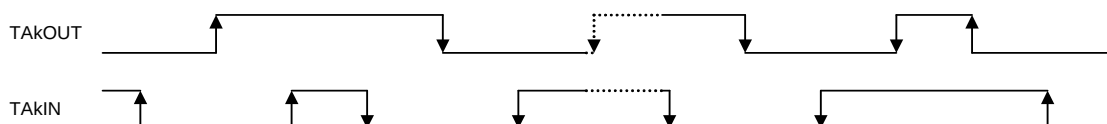
・4倍処理動作(タイマA3、タイマA4)

TAKOUT端子(k=3,4)の入力信号が“H”の期間TAKIN端子が立ち上がる位相関係の場合:

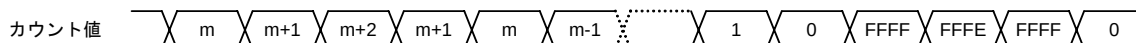
TAKOUT、TAKIN端子の立ち上がり、立ち下がりアップカウント

TAKOUT端子の入力信号が“H”の期間TAKIN端子が立ち下がる位相関係の場合:

TAKOUT、TAKIN端子の立ち上がり、立ち下がりダウンカウント

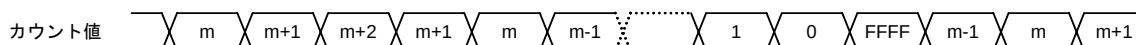


<フリーランタイプ>



<リロードタイプ>

割り込み要求の受け付け、またはプログラムで“0”にする



割り込み要求の受け付け、またはプログラムで“0”にする

↑ : アップカウント

↓ : ダウンカウント

図 15.16 イベントカウンタモードの動作図(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

15.1.2.1 二相パルス信号処理でのカウンタ初期化

二相パルス信号処理時にZ相(カウンタ初期化)入力により、タイマのカウンタ値を“0”にする機能です。

この機能は、タイマA3で、イベントカウンタモード、二相パルス信号処理、フリーランタイプ、4通倍処理の全てを選択した場合のみ使用でき、Z相入力には $\overline{\text{INT2}}$ 端子入力となります。

ONSFレジスタのTAZIEビットを“1”(Z相入力有効)にすると、Z相入力によるカウンタの初期化が有効になります。また、Z相入力でカウンタを“0”にするためには、TA3レジスタにあらかじめ“0000h”を書いてください。

Z相入力は、 $\overline{\text{INT2}}$ 入力のエッジを検出して行います。エッジの極性はINT2ICレジスタのPOLビットで選択できます。Z相のパルス幅は、タイマA3のカウンタソースの1周期分以上になるように入力してください。図15.17に二相パルス(A相、B相)とZ相の関係を示します。

Z相入力によりカウンタが初期化されるタイミングは、Z相入力を受けた次のカウンタソースタイミングになります。

タイマA3のオーバフローまたはアンダフロータイミングと $\overline{\text{INT2}}$ 入力によるカウンタの初期化のタイミングが重なると、タイマA3の割り込み要求が2回連続して発生しますので、本機能使用時はタイマA3の割り込み要求は使用しないでください。

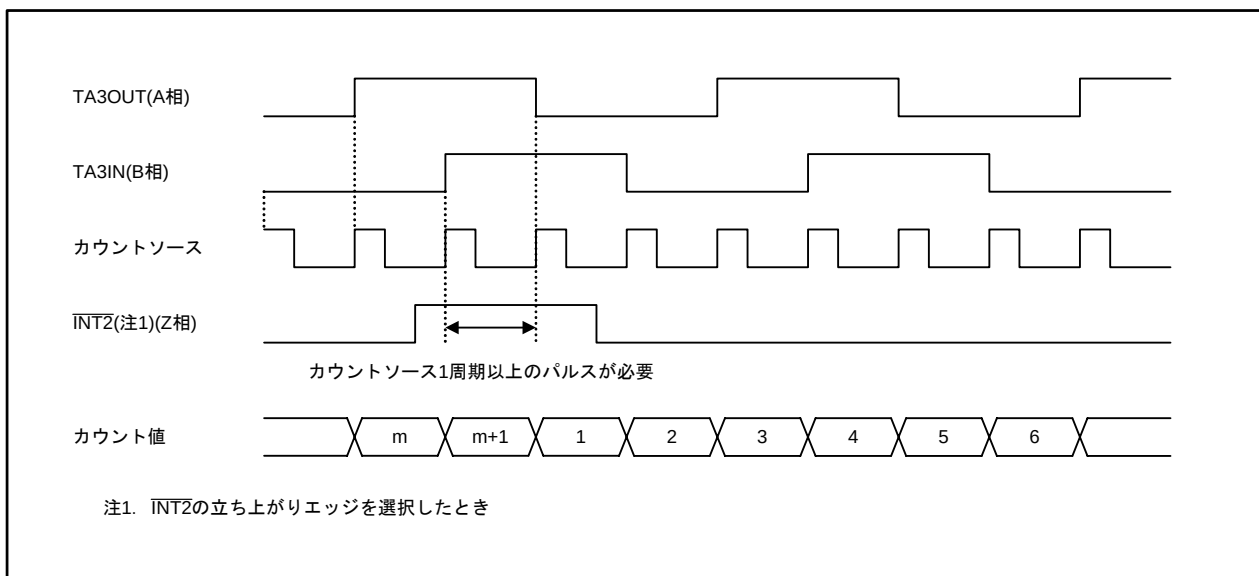


図15.17 二相パルス(A相、B相)とZ相の関係

15.1.3 ワンショットタイマモード

1度のトリガに対して1度だけタイマを動作させるモードです。トリガが発生するとその時点から任意の期間、タイマが動作します。

表 15.6 にワンショットタイマモードの仕様を、図 15.18 にワンショットタイマモードの動作図を示します。

表 15.6 ワンショットタイマモードの仕様

項目	仕様
カウントソース	f1、f8、f2n(注1)、fC32
カウント動作	・ダウンカウント カウントの値が“0000h”になるタイミングでリロードしてカウントを停止 カウント中にトリガが発生した場合、リロードしてカウントを継続
カウント回数	n回 n: TAIレジスタ (i=0~4) の設定値 (0000h~FFFFh) (ただし、“0000h” の場合はカウンタは動作しない)
カウント開始条件	TABSR レジスタの TAI _S ビットが“1” (カウント開始) で、かつ、次のいずれかのトリガが発生したとき ・ ONSF レジスタの TAI _{OS} ビットを“1” (タイマスタート) にする ・ TAI _{IN} 端子からの外部トリガ入力 ・ タイマ B2 のオーバフローまたはアンダフロー ・ タイマ A _j (j=i-1、ただし i=0 のとき j=4) のオーバフローまたはアンダフロー ・ タイマ A _k (k=i+1、ただし i=4 のとき k=0) のオーバフローまたはアンダフロー
カウント停止条件	・ カウントの値が“0000h”になり、リロードした後 ・ TAI _S ビットを“0” (カウント停止) にする
割り込み要求発生タイミング	カウントの値が“0000h”になるタイミング
TAI _{IN} 端子機能	トリガ入力
TAI _{OUT} 端子機能	パルス出力
タイマの読み出し	TAI レジスタを読むと、不定値が読める
タイマの書き込み	・ カウント停止中 TAI レジスタに書くと、リロードレジスタとカウンタの両方に書かれる ・ カウント中(注2) TAI レジスタに書くと、リロードレジスタに書かれる(次のリロード時にカウンタへ転送)
選択機能	・ パルス出力機能 カウント停止中は“L”、カウント中は“H” を出力

注1. TCSPR レジスタの CNT3~CNT0 ビットで分周なし (n=0) または 2n 分周 (n=1~15) を選択できます。

注2. カウント開始後、カウントソース1クロック以上後に書いてください。

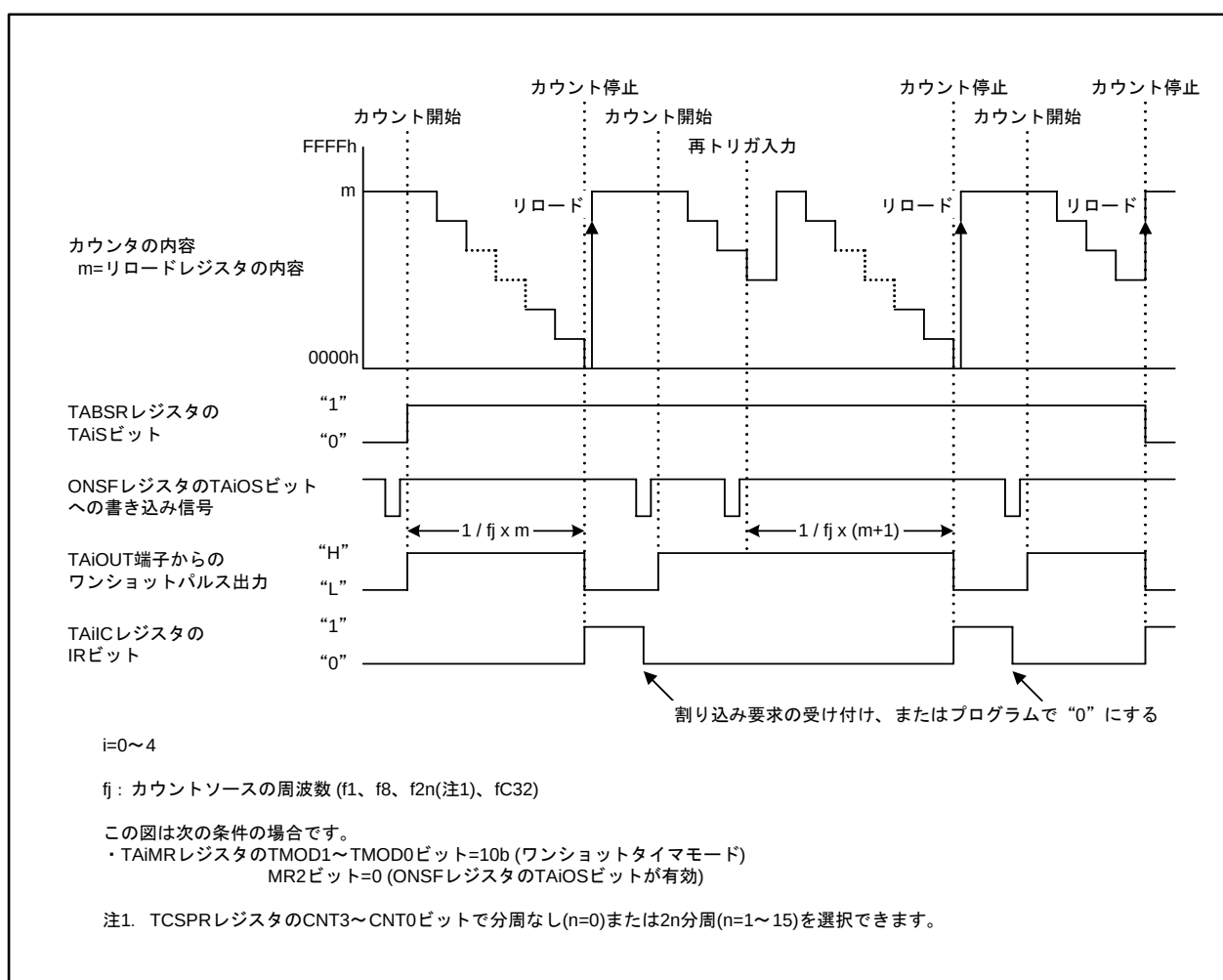


図 15.18 ワンショットタイマモードの動作図

15.1.4 パルス幅変調モード

任意の幅のパルスを連続して出力するモードです。このモードでは、カウンタは、16ビットパルス幅変調器または8ビットパルス幅変調器として動作します。

表 15.7 にパルス幅変調モードの仕様を、図 15.19 に 16 ビットパルス幅変調モードの動作図を、図 15.20 に 8 ビットパルス幅変調モードの動作図を示します。

表 15.7 パルス幅変調モードの仕様

項目	仕様
カウントソース	f1、f8、f2n(注1)、fC32
カウント動作	・ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) - PWMパルスの立ち上がりでリロードしてカウントを継続 - カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	・“H” 幅 $\frac{n}{f_j}$ f_j: カウントソースの周波数 n: TAIレジスタ ($i=0 \sim 4$) の設定値(0000h ~ FFFEh) ・周期 $\frac{2^{16}-1}{f_j}$ 固定
8ビットPWM	・“H” 幅 $\frac{m+1}{f_j} \times n$ f_j: カウントソースの周波数 n: TAIレジスタの上位番地の設定値(00h ~ FEh) m: TAIレジスタの下位番地の設定値(00h ~ FFh) ・周期 $\frac{m+1}{f_j} \times (2^8-1)$
カウント開始条件	トリガを使用しない場合(TAiMRレジスタのMR2ビットが“0”) TABSRレジスタのTAISビットを“1”にする トリガを使用する場合(TAiMRレジスタのMR2ビットが“1”) TABSRレジスタのTAISビットが“1”で、かつ次のいずれかのトリガが発生した時 ・TAiIN端子からの外部トリガ入力 ・タイマB2のオーバフローまたはアンダフロー ・タイマAj ($j=i-1$、ただし$i=0$のとき$j=4$) のオーバフローまたはアンダフロー ・タイマAk ($k=i+1$、ただし$i=4$のとき$k=0$) のオーバフローまたはアンダフロー
カウント停止条件	TAISビットを“0”(カウント停止)にする
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	トリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	・カウント停止中 TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる ・カウント中(注2) TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時にカウンタへ転送)

注1. TCSPPレジスタのCNT3 ~ CNT0ビットで分周なし($n=0$)または2n分周($n=1 \sim 15$)を選択できます。

注2. カウント開始後、カウントソース1クロック以上後に書いてください。

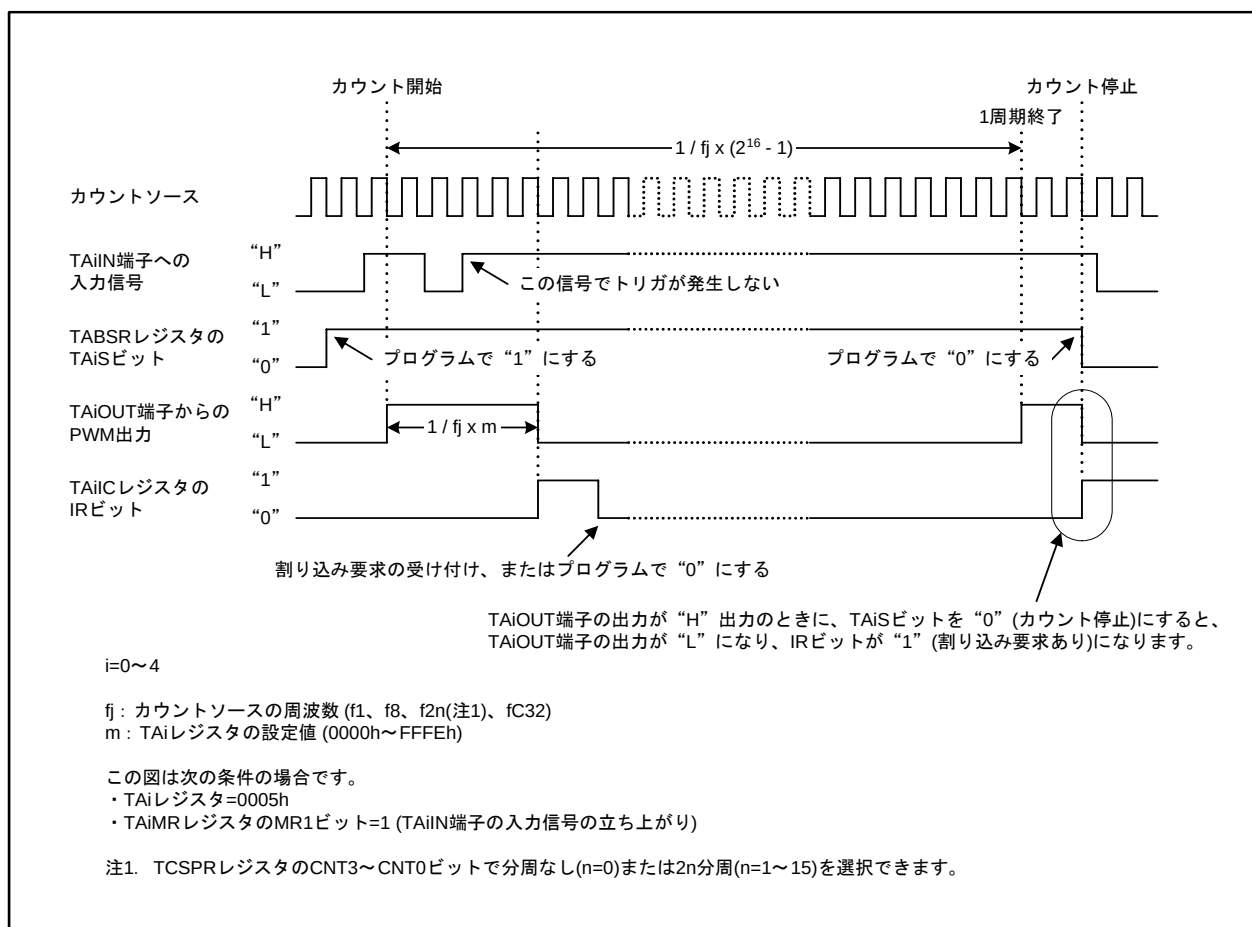


図 15.19 16ビットパルス幅変調モードの動作図

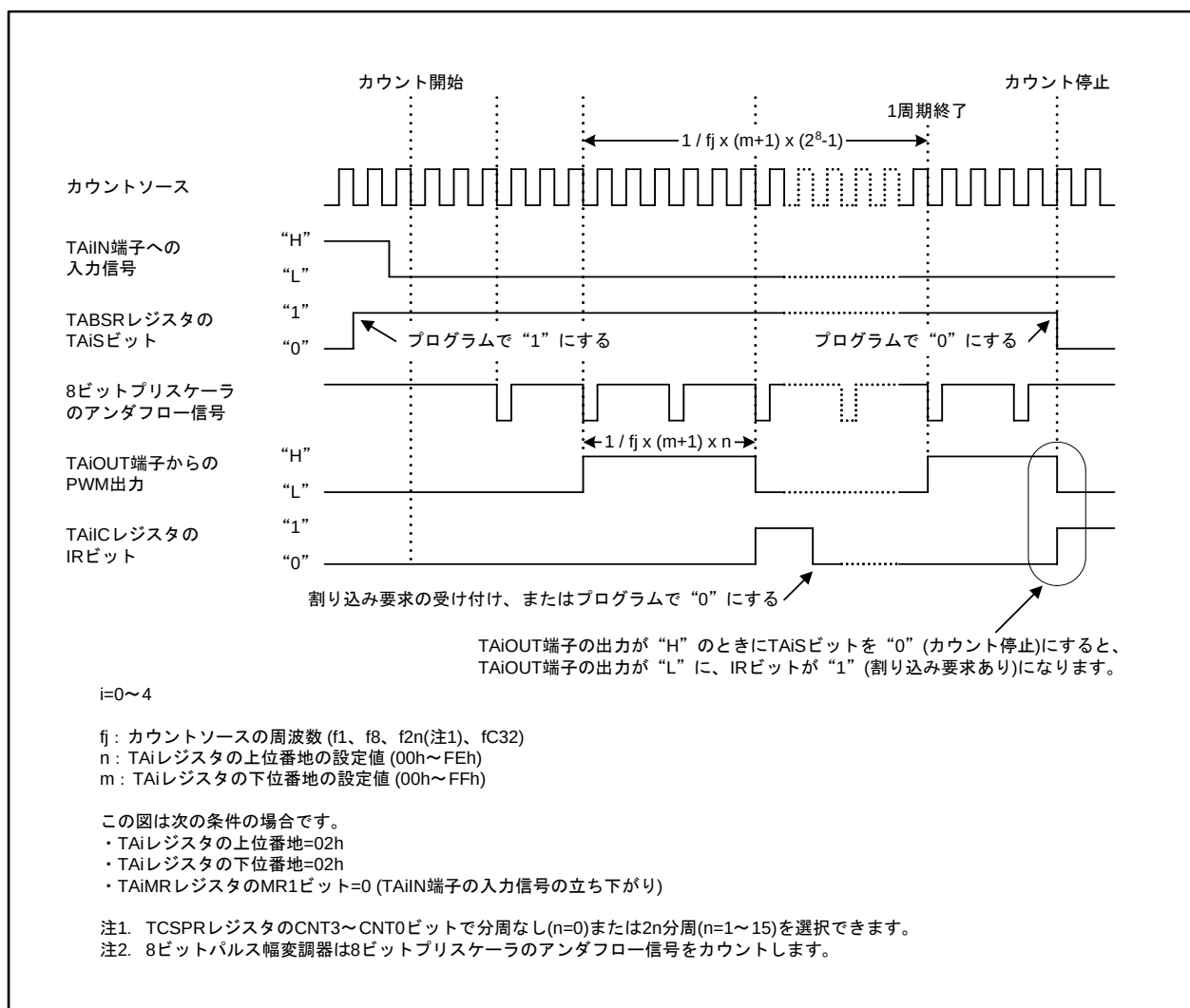


図15.20 8ビットパルス幅変調モードの動作図

15.2 タイマB

タイマBには次の3種類のモードがあります。各モードは、TBiMRレジスタ ($i=0 \sim 5$) のTMOD1～TMOD0ビットで選択できます。

- タイマモード 内部カウントソースをカウントするモード
- イベントカウンタモード 外部からのパルス、他のタイマのオーバフローまたはアンダフローをカウントするモード
- パルス周期測定モード、パルス幅測定モード 外部パルスの周期またはパルス幅を測定するモード

図15.21にタイマBのブロック図を、図15.22～図15.26にタイマB関連レジスタを示します。また、表15.8にTBiIN端子を使用する場合の設定を示します。

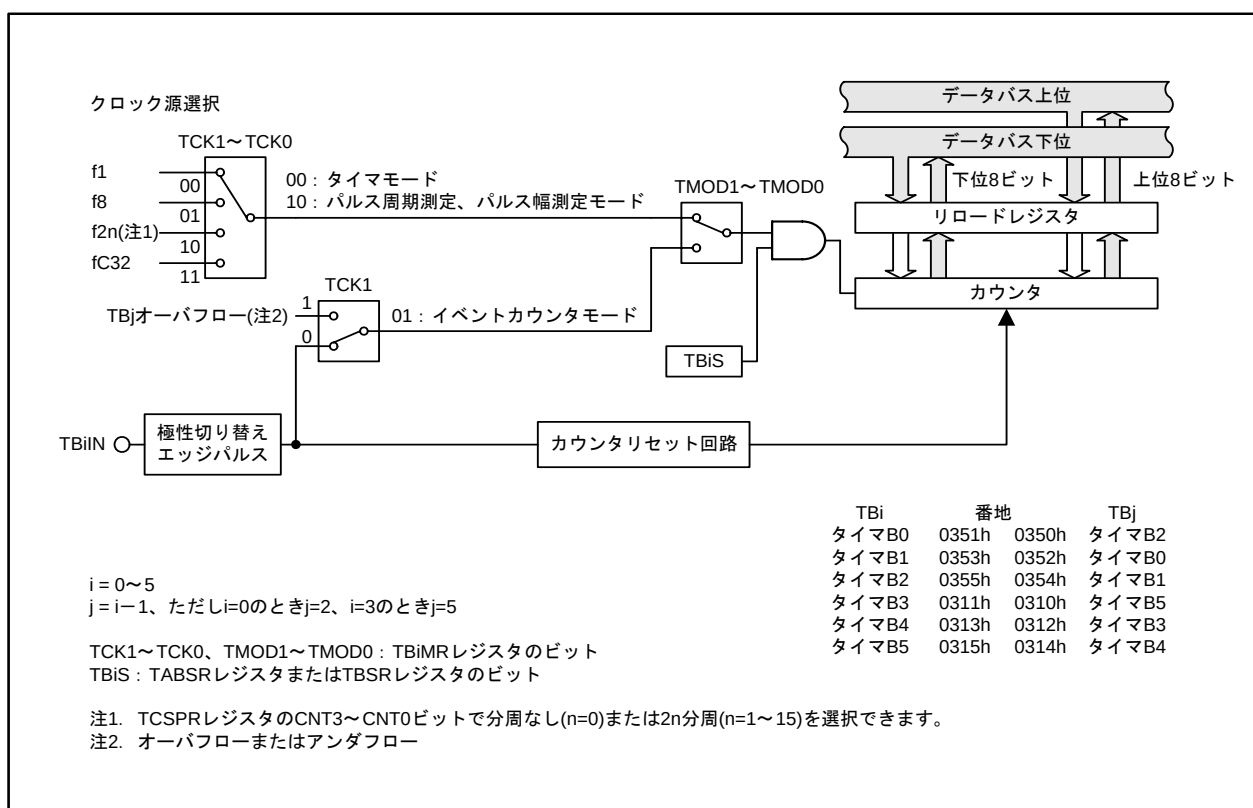


図15.21 タイマBブロック図

タイマBiモードレジスタ (i=0~5)(タイマモード)

b7b6b5b4b3b2b1b0								シンボル	アドレス	リセット後の値	
		0				0	0	TB0MR～TB5MR	035Bh、035Ch、035Dh、031Bh、031Ch、031Dh番地	00XX 0000b	
								ビット シンボル	ビット名	機 能	RW
								TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード	RW
								TMOD1			RW
								MR0	タイマモードでは無効。 “0” または “1” のいずれでも可。		RW
								MR1			RW
								MR2	TB0MR、TB3MRレジスタ タイマモードでは “0” にしてください。		RW
									TB1MR、TB2MR、TB4MR、TB5MRレジスタ 何も配置されていない。書く場合、“0” を書いてください。 読んだ場合、その値は不定。		—
								MR3	タイマモードでは無効。書く場合 “0” を書いてください。 読んだ場合、その値は不定。		—
								TCK0	カウントソース選択ビット	b7 b6 0 0 : f1 0 1 : f8 1 0 : f2n(注1) 1 1 : fC32	RW
								TCK1			RW

注1. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。f2nを選択する場合は、TCSPRレジスタのCSTビットを “1” にした後、TCK1~TCK0ビットを “10b” にしてください。

図 15.22 タイマモード時のTB0MR~TB5MR レジスタ

タイマBiモードレジスタ (i=0~5)(イベントカウンタモード)

b7b6b5b4b3b2b1b0								シンボル	アドレス	リセット後の値		
		0				0	1	TB0MR～TB5MR	035Bh、035Ch、035Dh、031Bh、031Ch、031Dh番地	00XX 0000b		
								ビット シンボル	ビット名	機 能	RW	
								TMOD0	動作モード選択ビット	b1 b0 0 1：イベントカウンタモード	RW	
								TMOD1			RW	
								MR0	カウント極性選択ビット(注1)	b3 b2 0 0：外部信号の立ち下がりをカウント 0 1：外部信号の立ち上がりをカウント 1 0：外部信号の立ち上がりとし立ち下がり をカウント 1 1：設定しないでください	RW	
								MR1			RW	
								MR2	TB0MR、TB3MRレジスタ イベントカウンタモードでは“0”にしてください。		RW	
									TB1MR、TB2MR、TB4MR、TB5MRレジスタ 何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—	
								MR3	イベントカウンタモードでは無効。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—	
								TCK0	イベントカウンタモードでは無効。“0”または“1”いずれでも可。		RW	
								TCK1	イベントクロック選択ビット	0：TBIIN端子からの入力 1：TBjのオーバーフローまたはアンダフロー(注2)	RW	

注1. TCK1ビットが“0”の場合有効。TCK1ビットが“1”の場合、“0”または“1”のいずれでも可。

注2. j=i-1。ただし、i=0のときj=2、i=3のときj=5

図 15.23 イベントカウンタモード時のTB0MR～TB5MRレジスタ

タイマBiレジスタ (i=0~5)(注1)

b15	b8	b7	b0	シンボル	アドレス	リセット後の値
				TB0~TB2	0351h - 0350h、0353h - 0352h、0355h - 0354h番地	不定
				TB3~TB5	0311h - 0310h、0313h - 0312h、0315h - 0314h番地	不定

モード	機 能	設定範囲	RW
タイマモード	カウントソースの周波数をfj、TBiレジスタの設定値をnとすると、カウンタ周期： $(n+1) / fj$	0000h~FFFFh	RW
イベントカウンタモード	設定値をnとすると、カウント回数は、n+1回(注2)	0000h~FFFFh	RW
パルス周期測定モード パルス幅測定モード	TBiIN入力パルスの有効エッジから有効エッジまでの期間、カウントソースをアップカウントする	—	RO

注1. 読む場合、書く場合は16ビット単位で実行してください。

注2. 外部からのパルス、他のタイマのオーバーフローまたはアンダフローをカウントする。

図 15.25 TB0~TB5 レジスタ

カウント開始レジスタ

b7

b6

b5

b4

b3

b2

b1

b0

シンボル

TABSR

アドレス

0340h番地

リセット後の値

00h

ビットシンボル	ビット名	機 能	RW
TA0S	タイマA0カウント開始ビット	0 : カウント停止 1 : カウント開始	RW
TA1S	タイマA1カウント開始ビット	0 : カウント停止 1 : カウント開始	RW
TA2S	タイマA2カウント開始ビット	0 : カウント停止 1 : カウント開始	RW
TA3S	タイマA3カウント開始ビット	0 : カウント停止 1 : カウント開始	RW
TA4S	タイマA4カウント開始ビット	0 : カウント停止 1 : カウント開始	RW
TB0S	タイマB0カウント開始ビット	0 : カウント停止 1 : カウント開始	RW
TB1S	タイマB1カウント開始ビット	0 : カウント停止 1 : カウント開始	RW
TB2S	タイマB2カウント開始ビット	0 : カウント停止 1 : カウント開始	RW

タイマB3、B4、B5カウント開始レジスタ

b7

b6

b5

b4

b3

b2

b1

b0

シンボル

TBSR

アドレス

0300h番地

リセット後の値

000X XXXXb

ビットシンボル	ビット名	機 能	RW
— (b4-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
TB3S	タイマB3カウント開始ビット	0：カウント停止 1：カウント開始	RW
TB4S	タイマB4カウント開始ビット	0：カウント停止 1：カウント開始	RW
TB5S	タイマB5カウント開始ビット	0：カウント停止 1：カウント開始	RW

図 15.26 TABSR レジスタ、TBSR レジスタ

表 15.8 TBiIN 端子 (i=0～5) を使用する場合の設定

ポート名	機能	ビットと設定値	
		PD7、PD9 レジスタ (注1)	PS1、PS3 レジスタ (注1)
P7_1	TB5IN	PD7_1=0	PS1_1=0
P9_0	TB0IN	PD9_0=0	PS3_0=0
P9_1	TB1IN	PD9_1=0	PS3_1=0
P9_2	TB2IN	PD9_2=0	PS3_2=0
P9_3	TB3IN	PD9_3=0	PS3_3=0
P9_4	TB4IN	PD9_4=0	PS3_4=0

注1. PD9、PS3 レジスタは、PRCR レジスタのPRC2ビットを“1” (書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送、DMACII転送が入らないようにしてください。

15.2.1 タイマモード

内部で生成されたカウントソースをカウントするモードです。

表15.9にタイマモードの仕様を、図15.27にタイマモードの動作図(タイマB)を示します。

表15.9 タイマモードの仕様

項目	仕様
カウントソース	f1、f8、f2n(注1)、fC32
カウント動作	・ ダウンカウント アンダフロー時、リロードレジスタの内容をリロードしてカウントを継続
カウンタ周期	$\frac{n+1}{f_j}$ f_j : カウントソースの周波数 n: TBi レジスタ (i=0~5) の設定値 (0000h~FFFFh)
カウント開始条件	TABSR または TBSR レジスタの TBiS ビットを “1” (カウント開始) にする
カウント停止条件	TBiS ビットを “0” (カウント停止) にする
割り込み要求発生タイミング	アンダフロー時
TBiIN 端子機能	プログラマブル入出力ポート
タイマの読み出し	TBi レジスタを読むと、カウント値が読める
タイマの書き込み	・ カウント停止中 TBi レジスタに書くと、リロードレジスタとカウンタの両方に書かれる ・ カウント中(注2) TBi レジスタに書くと、リロードレジスタに書かれる(次のリロード時にカウンタへ転送)

注1. TCSPR レジスタの CNT3~CNT0 ビットで分周なし (n=0) または 2n 分周 (n=1~15) を選択できます。

注2. カウント開始後、カウントソース1クロック以上後に書いてください。

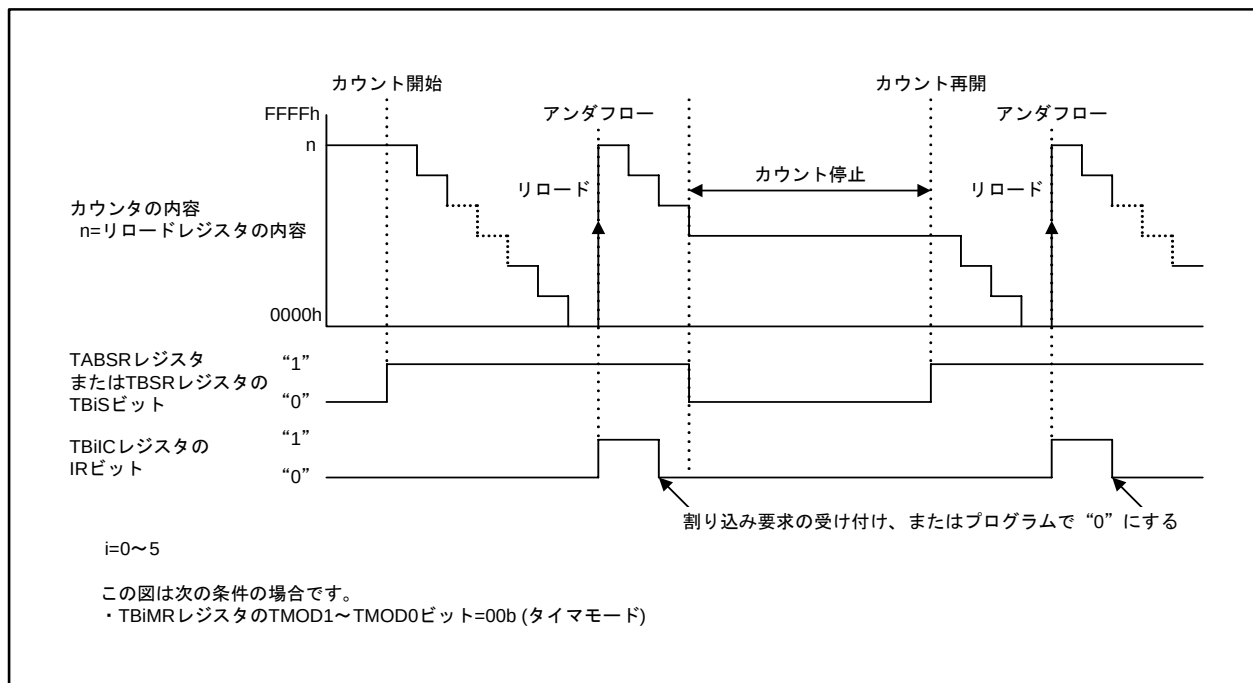


図 15.27 タイマモードの動作図(タイマB)

15.2.2 イベントカウンタモード

外部からのパルス、他のタイマのオーバフローまたはアンダフローをカウントするモードです。

表15.10にイベントカウンタモードの仕様を、図15.28にイベントカウンタモードの動作図を示します。

表15.10 イベントカウンタモードの仕様

項目	仕様
カウントソース	• TBiIN端子($i=0\sim 5$)に入力された外部信号(プログラムで有効エッジを選択可能) • タイマBj($j=i-1$、ただし$i=0$のとき$j=2$、$i=3$のとき$j=5$)のオーバフローまたはアンダフロー
カウント動作	• ダウンカウント - アンダフロー時、リロードレジスタの内容をリロードしてカウントを継続
カウント回数	$n+1$ 回 n : TBi レジスタの設定値(0000h~FFFFh)
カウント開始条件	TABSR レジスタまたはTBSR レジスタのTBIS ビットを“1”(カウント開始)にする
カウント停止条件	TBiS ビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN 端子機能	カウントソース入力
タイマの読み出し	TBi レジスタを読むと、カウント値が読める
タイマの書き込み	• カウント停止中 TBi レジスタに書くと、リロードレジスタとカウンタの両方に書かれる • カウント中(注1) TBi レジスタに書くと、リロードレジスタに書かれる(次のリロード時にカウンタへ転送)

注1. カウント開始後、カウントソース1クロック以上後に書いてください。

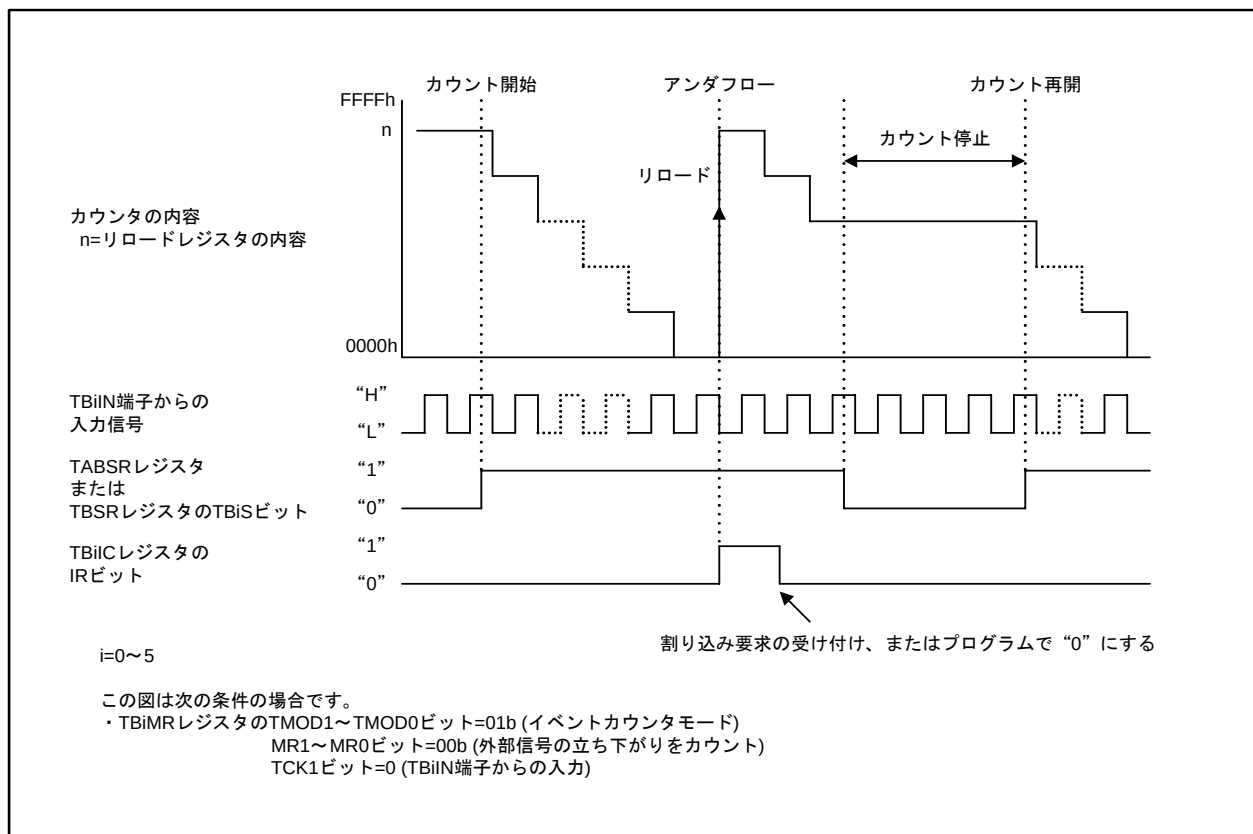


図15.28 イベントカウンタモードの動作図

15.2.3 パルス周期測定モード、パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです。

表 15.11 にパルス周期測定モード、パルス幅測定モードの仕様を、図 15.29 にパルス周期測定モードの動作図を、図 15.30 にパルス幅測定モードの動作図を示します。

表 15.11 パルス周期測定モード、パルス幅測定モードの仕様

項目	仕様
カウントソース	f1、f8、f2n(注1)、fC32
カウント動作	・ アップカウント 測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000h”にしてカウントを継続
カウント開始条件	TABSR レジスタまたはTBSR レジスタのTBiS ビット(i=0～5)を“1”(カウント開始)にする
カウント停止条件	TBiS ビットを“0”(カウント停止)にする
割り込み要求発生タイミング	・ 測定パルスの有効エッジ入力時(注2) ・ オーバフロー時(注3) 同時にTBiMR レジスタのMR3 ビットが“1”(オーバフローあり)になる
TBiIN 端子機能	測定パルス入力
タイマの読み出し	TBi レジスタを読むと、リロードレジスタの内容(測定結果)が読める(注4)
タイマの書き込み	TBi レジスタに書いた値は、リロードレジスタにもカウンタにも書かれない

注1. TCSPR レジスタのCNT3～CNT0 ビットで分周なし(n=0)または2n分周(n=1～15)を選択できます。

注2. カウント開始後1回目の有効エッジ入力時は、割り込み要求は発生しません。

注3. TABSR レジスタまたはTBSR レジスタのTBiS ビットが“1”(カウント開始)で、MR3 ビットが“1”になってからカウントソース1クロック以上経過した後、TBiMR レジスタに書くと、MR3 ビットは“0”になります。

注4. カウント開始後2回目の有効エッジ入力までは、TBi レジスタからの読み出し値は不定です。

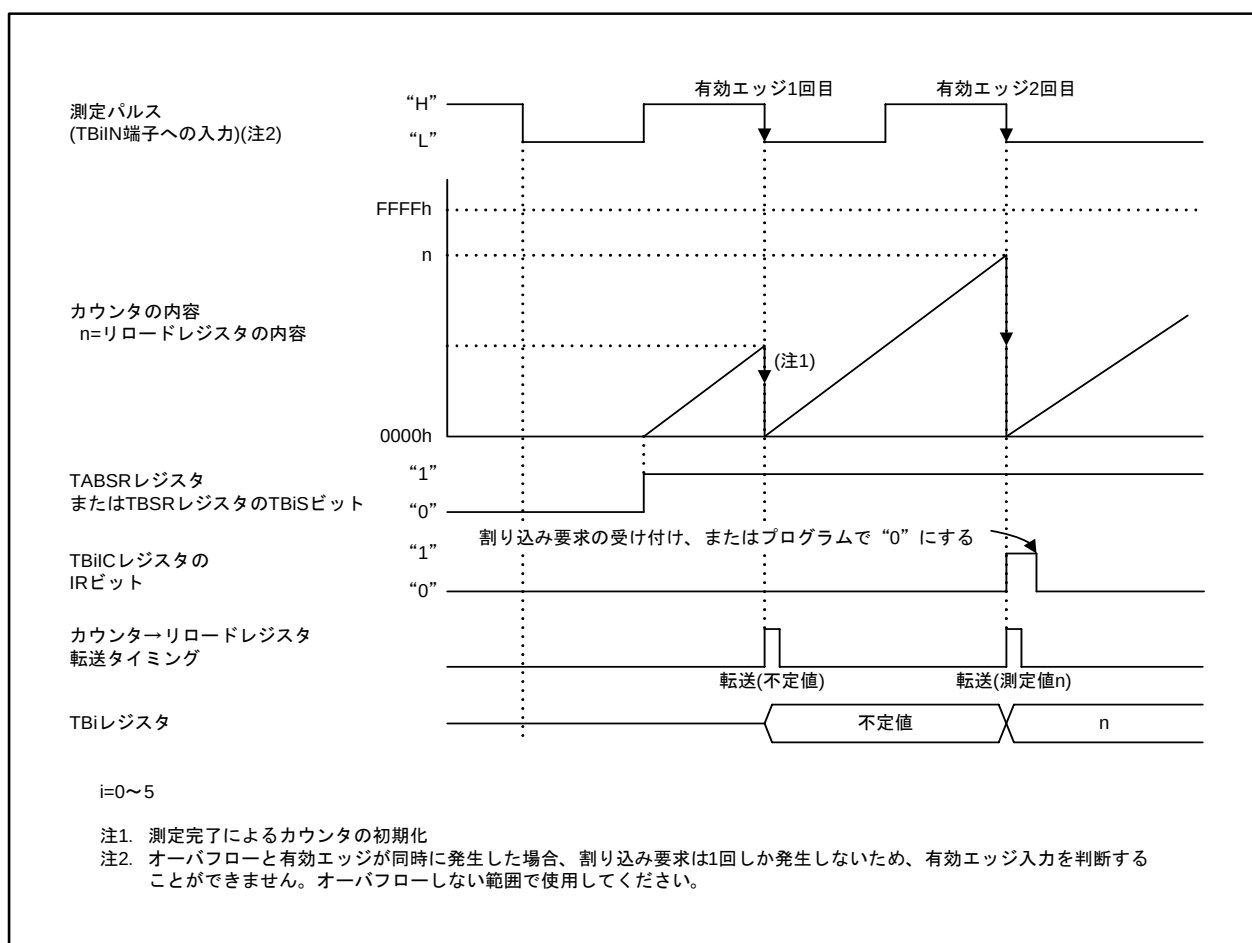


図 15.29 パルス周期測定モードの動作図

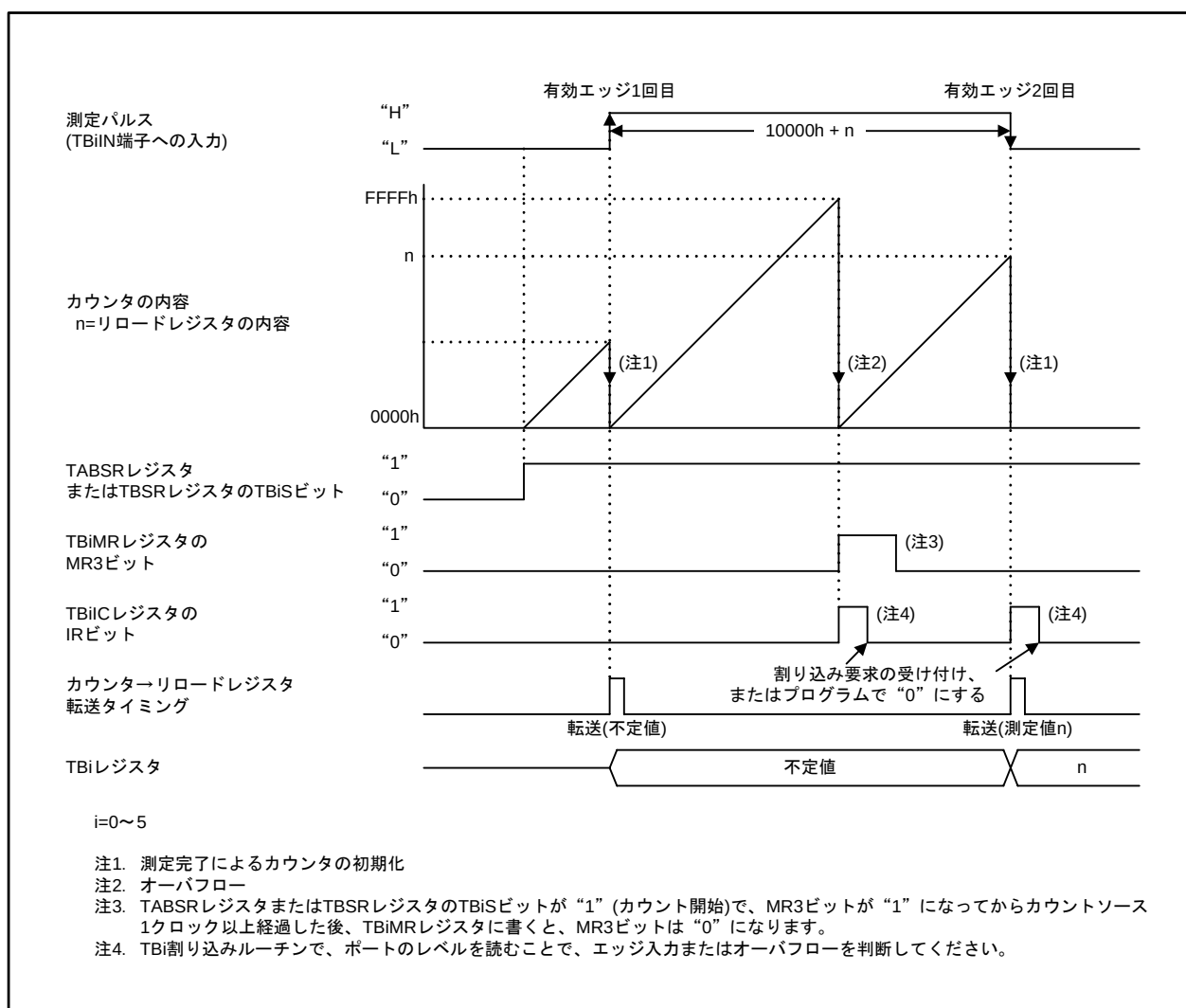


図 15.30 パルス幅測定モードの動作図

16. 三相モータ制御用タイマ機能

タイマB2、A1、A2、A4を使用して、三相全波方式に対応したPWM波形を出力することができます。
タイマB2を搬送波制御に、タイマA4、A1、A2をU相、V相、W相のPWM制御に使用します。

表 16.1 に三相モータ制御用タイマ機能の仕様を、表 16.2 に端子の設定を、図 16.1 にブロック図を示します。また、図 16.2～図 16.10に関連レジスタを示します。

表 16.1 三相モータ制御用タイマ機能の仕様

項目	仕様
制御方式	三相全波方式
変調モード	・ 三角波変調モード ・ 鋸波変調モード
通電出力論理	アクティブ “H” またはアクティブ “L” 選択可能
使用タイマ	・ タイマB2（搬送波周期制御：タイマモードで使用） ・ タイマA4、A1、A2（U、V、W相のPWM制御：ワンショットタイマモードで使用）
通電防止機能	・ プログラム誤動作による上下同時通電防止機能 ・ 短絡防止タイマによるアーム短絡防止機能 ・ NMI入力による強制遮断機能

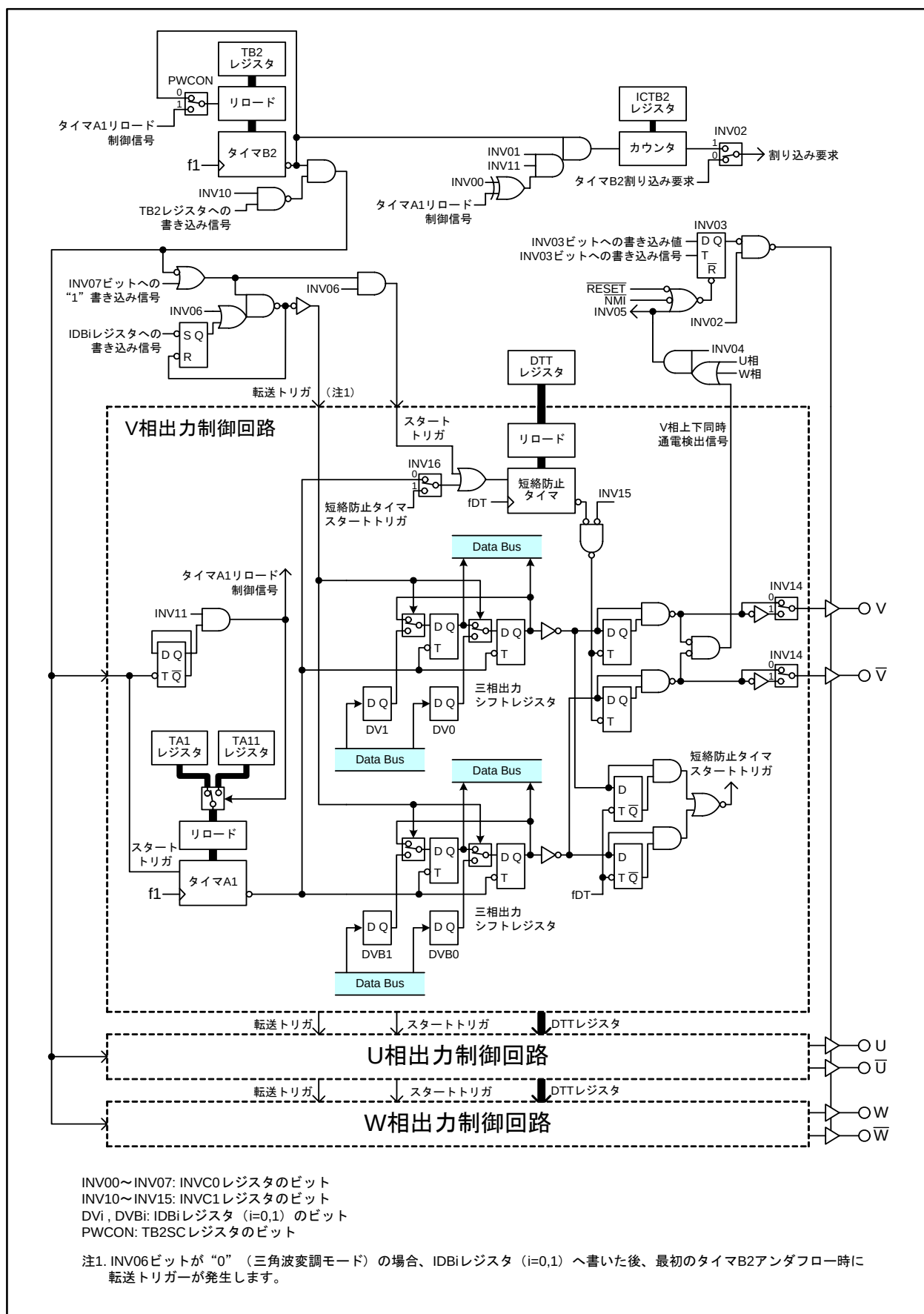


図 16.1 三相モータ制御用タイマ機能のブロック図

三相PWM制御レジスタ0 (注1)

シンボル	アドレス	リセット後の値
INVC0	0308h番地	00h

ビット シンボル	ビット名	機 能	RW
INV00	ICTB2カウンタ条件選択ビット	b1 b0 0 0 : タイマB2アンダフロー 0 1 : 1 0 : タイマA1リロード制御信号の立ち上がり時 (奇数回目)のタイマB2アンダフロー(注2) 1 1 : タイマA1リロード制御信号の立ち下がり時 (偶数回目)のタイマB2アンダフロー(注2)	RW
INV01			RW
INV02	三相モータ機能選択ビット(注3)	0 : 三相モータ制御用タイマ機能を使用しない 1 : 三相モータ制御用タイマ機能を使用する(注4、5)	RW
INV03	三相モータ出力制御ビット	0 : 三相モータ制御用タイマ出力禁止(注5、6) 1 : 三相モータ制御用タイマ出力許可	RW
INV04	上下同時通電出力禁止ビット	0 : 上下同時通電出力許可 1 : 上下同時通電出力禁止	RW
INV05	上下同時通電出力検出フラグ	0 : 未検出 1 : 検出(注7)	RO
INV06	変調モード選択ビット	0 : 三角波変調モード 1 : 鋸波変調モード	RW
INV07	ソフトウェアトリガビット	INV07ビットに“1”を書くと転送トリガが発生する。INV06ビットが“1”の場合、短絡防止タイマスタートトリガも発生する。読んだ場合、その値は“0”	RW

- 注1. INVC0レジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。また、INV00～INV02、INV06ビットは、タイマA1、A2、A4、B2が停止中に書き換えてください。
- 注2. INV01ビットに“1”を書く場合は、ICTB2レジスタに値を設定してから書いてください。また、タイマA1カウンタ開始ビットを最初のタイマB2アンダフローまでに“1”にしてください。
- 注3. INV02ビットを“1”にした後で端子を設定してください。端子の設定は「三相モータ制御用タイマ機能を使用する場合の端子の設定」表を参照してください。
- 注4. INV02ビットを“1”にすると、短絡防止タイマやU、V、W相出力制御回路、ICTB2カウンタが動作します。
- 注5. U、 $\bar{U}$ 、V、 $\bar{V}$ 、W、 $\bar{W}$ 端子(端子を共用している他の出力機能に設定している場合も含む)は、INV02ビットを“1”にし、かつINV03ビットを“0”にすると、すべてハイインピーダンスになります。
- 注6. INV03ビットは次のとき“0”になります。
- ・リセット
 - ・INV04ビットが“1”のとき、上側通電信号と下側通電信号が同時にアクティブになった場合
 - ・プログラムで“0”にしたとき
 - ・NMI端子入力が“H”から“L”に変化したとき(NMI端子入力が“L”のとき、INV03ビットは“1”にできません)。
- 注7. プログラムで“1”は書けません。INV05ビットを“0”にする場合は、INV04ビットに“0”を書いてください。

図 16.2 INVC0 レジスタ

三相PWM制御レジスタ1 (注1)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
0	INVC1	0309h番地	00h
ビット シンボル	ビット名	機 能	RW
INV10	タイマA1、A2、A4 スタートトリガ選択ビット	0 : タイマB2アンダフロー 1 : タイマB2アンダフローと、TB2レジスタへ 書き込み	RW
INV11	タイマA11、A21、A41 制御ビット	0 : タイマA11、A21、A41を使用しない (三相モード0) 1 : タイマA11、A21、A41を使用する (三相モード1)	RW
INV12	短絡防止タイマ カウントソース(fDT)選択ビット	0 : f1 1 : f1の2分周	RW
INV13	搬送状態検出フラグ(注2)	0 : 偶数回目のタイマB2アンダフローが発生 1 : 奇数回目のタイマB2アンダフローが発生	RO
INV14	通電出力制御ビット	0 : アクティブ “L” 1 : アクティブ “H”	RW
INV15	短絡防止時間無効ビット	0 : 短絡防止時間有効 1 : 短絡防止時間無効	RW
INV16	短絡防止時間タイマ トリガ選択ビット	0 : タイマ(A4、A1、A2)のワンショットパルス の立ち下がり(注3) 1 : 三相出力シフトレジスタ(U、V、W相)出力 の立ち上がり	RW
— (b7)	予約ビット	“0” にしてください	RW

注1. INVC1レジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。またINVC1レジスタはタイマA1、A2、A4、B2が停止中に書き換えてください。

注2. INV13ビットは、INV06ビットが“0”(三角波変調モード)かつINV11ビットが“1”のときのみ有効です。

注3. 次の条件がすべて当てはまる場合は、INV16ビットを“1”にしてください。

- ・ INV15ビットが“0”
- ・ INVC0レジスタのINV03ビットが“1”(三相モータ制御用タイマ出力許可)のときは、常にIDBjレジスタのDijビット(i=U、VまたはW、j=0~1)とDiBjビットの値が異なる(短絡防止時間以外の期間、上側通電信号と下側通電信号は常に逆のレベルを出力する)。

また、上記の条件のいずれかがあてはまらない場合は、INV16ビットを“0”にしてください。

図 16.3 INVC1 レジスタ

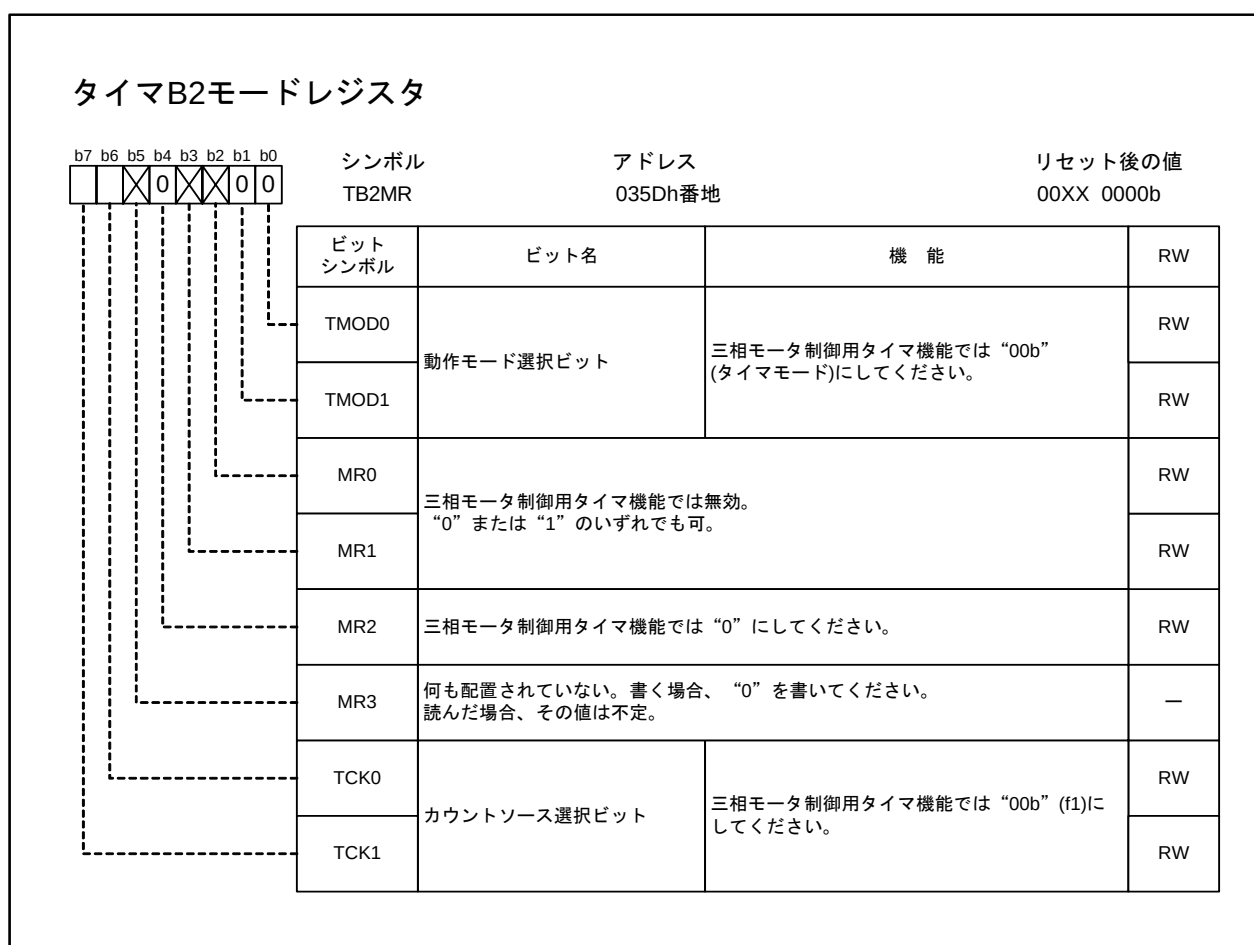


図 16.4 三相モータ制御用タイマ機能時のTB2MR レジスタ

タイマAiモードレジスタ (i=1,2,4)

ビット シンボル	ビット名	機 能	RW
b7 b6 b5 b4 b3 b2 b1 b0 [] [] [0] [1] [0] [0] [1] [0]	シンボル TA1MR、TA2MR、TA4MR	アドレス 0357h、0358h、035Ah番地	リセット後の値 00h
TMOD0	動作モード選択ビット	三相モータ制御用タイマ機能では“10b” (ワンショットタイマモード)にしてください。	RW
TMOD1			RW
— (b2)	予約ビット	“0” にしてください	RW
MR1	外部トリガ選択ビット	三相モータ制御用タイマ機能では“0” に してください	RW
MR2	トリガ選択ビット	三相モータ制御用タイマ機能では“1” (TRGSRレジスタで選択)にしてください。	RW
MR3	三相モータ制御用タイマ機能では“0” にしてください。		RW
TCK0	カウントソース選択ビット	三相モータ制御用タイマ機能では“00b” (f1)に してください。	RW
TCK1			RW

図 16.5 三相モータ制御用タイマ機能時のTA1MR、TA2MR、TA4MR レジスタ

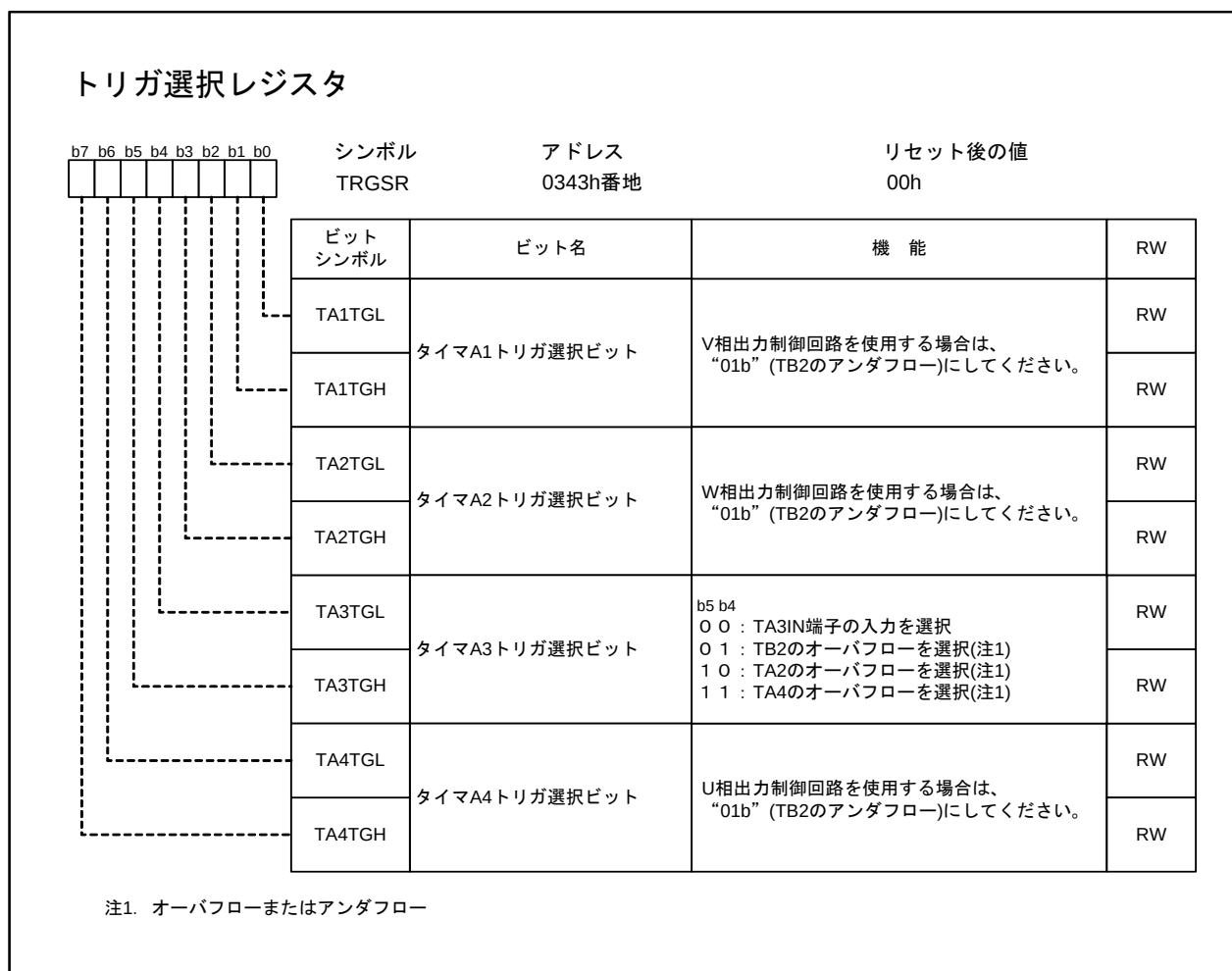
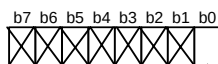


図 16.6 三相モータ制御用タイマ機能時の TRGSR レジスタ

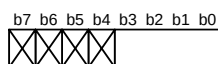
タイマB2特殊モードレジスタ

シンボル
TB2SCアドレス
035Eh番地リセット後の値
XXXX XXX0b

ビット シンボル	ビット名	機 能	RW
PWCON	タイマB2リロードタイミング 切り替えビット(注1)	0 : タイマB2アンダフロー 1 : タイマA1リロード制御信号の立ち上がり時 (奇数回目)のタイマB2アンダフロー	RW
— (b7-b1)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1. INVC1レジスタのINV11ビットが“0”（三相モード0）、またはINVC0レジスタのINV06ビットが“1”（鋸波変調モード）の場合は、“0”にしてください。

タイマB2割り込み発生頻度設定カウンタ (注1、2)

シンボル
ICTB2アドレス
030Dh番地リセット後の値
不定

機 能	設定範囲	RW
- INVC0レジスタのINV01ビットが“0”（タイマB2アンダフローでICTB2カウンタのカウンタを1進める）の場合、設定値をnとすると、タイマB2がn回アンダフローするごとにタイマB2割り込み要求が発生する。 - INV01、INV00ビットが“10b”（タイマA1リロード制御信号の立ち上がり時(奇数回目)のタイマB2アンダフローでICTB2カウンタのカウンタを1進める）の場合、設定値をnとすると、最初の割り込み要求は(2n-1)回目のアンダフローで発生し、2回目以降は、タイマB2が2n回アンダフローするごとにタイマB2割り込み要求が発生する。 - INV01、INV00ビットが“11b”（タイマA1リロード制御信号の立ち下がり時(偶数回目)のタイマB2アンダフローでICTB2カウンタのカウンタを1進める）の場合、設定値がn>1のとき、最初の割り込み要求はタイマB2の(2n-2)回目のアンダフローで発生し、2回目以降はタイマB2が2n回アンダフローするごとにタイマB2割り込み要求が発生する。設定値がn=1のとき、タイマB2が2n回アンダフローするごとにタイマB2割り込み要求が発生する。	1～15	WO
何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1. ICTB2レジスタへ書く場合、リードモディファイライト命令は使用しないでください。詳細は、章「使用上の注意事項」を参照してください。

注2. INVC0レジスタのINV01ビットが“1”の場合は、TBSRレジスタのTB2Sビットが“0”（タイマB2カウント停止）のときに書いてください。INV01ビットが“0”の場合は、TB2Sビットが“1”（タイマB2カウント開始）でも書けますが、タイマB2のアンダフローのタイミングで書かないでください。

図 16.7 TB2SC レジスタ、ICTB2 レジスタ

タイマB2レジスタ (注1)

b15 b8 b7 b0	シンボル TB2	アドレス 0355h - 0354h番地	リセット後の値 不定
機 能			
設定値をnとすると、f1をn+1分周する。 アンダフローごとに、タイマA1、A2、A4をスタートさせる。			設定範囲 0000h~FFFFh RW

注1. 読む場合、書く場合は16ビット単位で実行してください。

短絡防止タイマ (注1、2、3)

b7 b0	シンボル DTT	アドレス 030Ch番地	リセット後の値 不定
機 能			
上側トランジスタと下側トランジスタが同時に通電しないように、 通電信号がアクティブになるタイミングを遅らせるためのワンショット タイマ。 設定値をnとすると、トリガが入った後カウントソースをn回カウントし て停止する。			設定範囲 01h~FFh WO

- 注1. DTTレジスタへ書く場合、リードモディファイライト命令は使用しないでください。詳細は、章「使用上の注意事項」を参照してください。
- 注2. INVC1レジスタのINV15ビットが“0”（短絡防止時間有効）のとき有効です。INV15ビットが“1”（短絡防止時間無効）のとき短絡防止時間は生成されません。
- 注3. DTTレジスタのスタートトリガは、INVC1レジスタのINV16ビットで、カウントソースはINVC1レジスタのINV12ビットで選択してください。

図 16.8 三相モータ制御用タイマ機能時のTB2レジスタ、DTTレジスタ

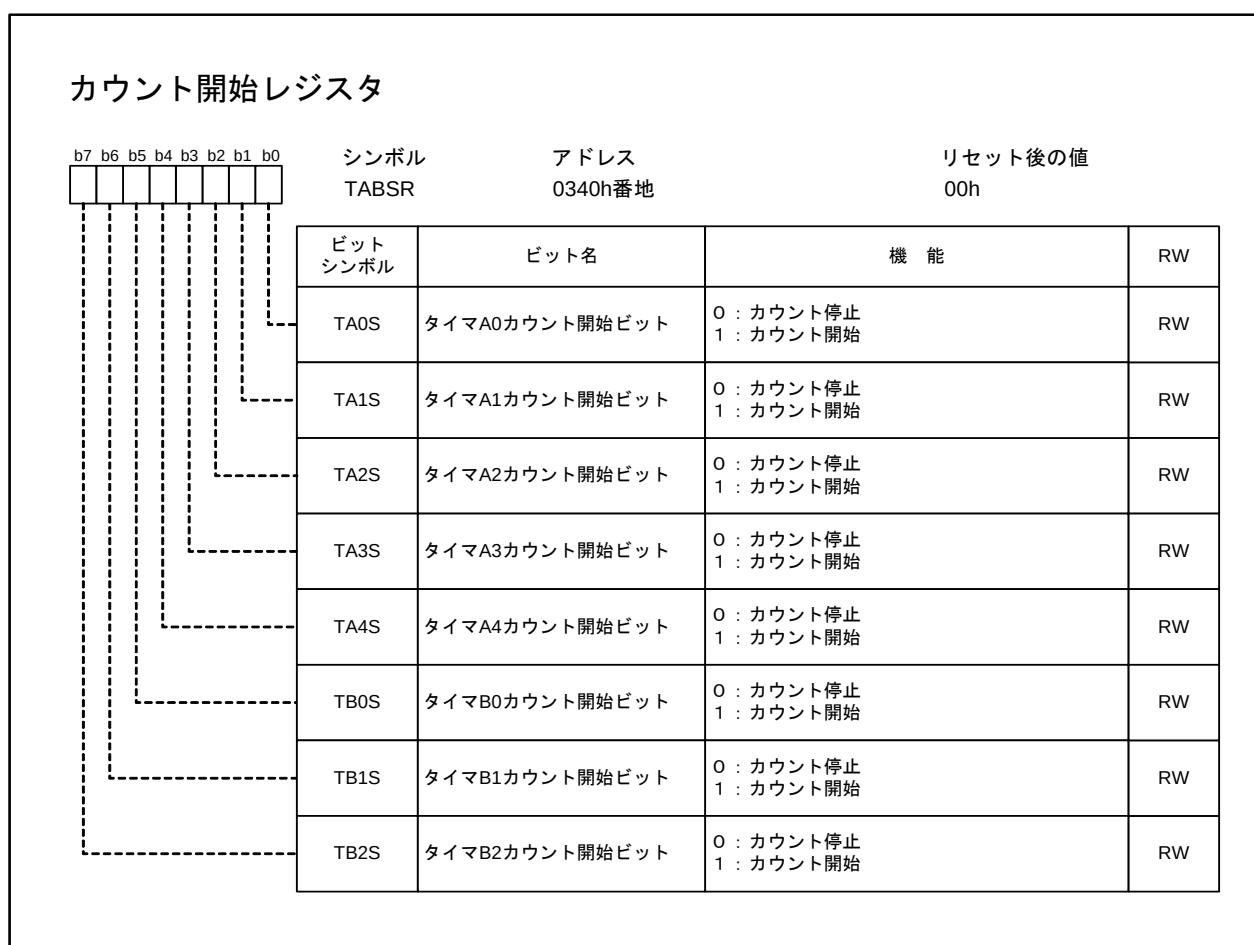


図 16.10 三相モータ制御用タイマ機能時の TABSR レジスタ

表 16.2 三相モータ制御用タイマ機能を使用する場合の端子の設定(注1)

ポート名	機能	ビットと設定値		
		PSC レジスタ	PSL1、PSL2 レジスタ	PS1、PS2 レジスタ(注2)
P7_2	V	PSC_2=1	PSL1_2=0	PS1_2=1
P7_3	$\overline{V}$	—	PSL1_3=1	PS1_3=1
P7_4	W	—	PSL1_4=1	PS1_4=1
P7_5	$\overline{W}$	—	PSL1_5=0	PS1_5=1
P8_0	U	—	PSL2_0=1	PS2_0=1
P8_1	$\overline{U}$	—	PSL2_1=0	PS2_1=1

注1. INVC0レジスタのINV02ビットを“1”(三相モータ制御用タイマ機能を使用する)にした後で、設定してください。

注2. PS1、PS2レジスタは最後に設定してください。

16.1 三角波変調モード

三角波変調モードではタイマB2のアンダフロー周期2回分を搬送波1周期と見なします。

タイマB2のアンダフローをトリガにタイマAi (i=1,2,4) のワンショットパルスを生成し、2つのワンショットパルスをもちいて1周期分のPWM波形を出力します。表16.3に三角波変調モードの仕様と設定を示します。

三角波変調モードには2つの動作モードがあります。

三相モード0では、TAiレジスタを使用します。毎回のTB2アンダフロー割り込みで、ワンショットパルス幅をTAiレジスタに設定します。

三相モード1では、TAi、TAi1レジスタを使用します。2つのワンショットパルス幅をTAi、TAi1レジスタに設定します。ICTB2レジスタの設定値をnとすると、タイマB2のアンダフローn回目ごと、または2n回目ごとに割り込みを発生させ、TAi、TAi1レジスタに値を設定します。

表 16.3 三角波変調モードの仕様と設定

項目	三相モード0	三相モード1		
INV06ビット	0	0		
INV11ビット	0	1		
INV01～INV00ビット	00bまたは01b	00b	10b	11b
PWCONビット	0	0または1		
ICTB2レジスタ	1	n		
搬送波周期	$\frac{2}{f_1} \times (m+1)$	$\frac{2}{f_1} \times (m+1)$		
上側アクティブ出力幅	$\frac{1}{f_1} \times (m+1 - a_{2k-1}+a_{2k})$	$\frac{1}{f_1} \times (m+1 - b_k+a_k)$		
INV13ビット	—	タイマA1リロード制御信号の状態を示す		
タイマB2割り込み発生タイミング	タイマB2のアンダフロー	n回目ごとのタイマB2アンダフロー	2n回目ごとのタイマB2アンダフロー	
			奇数(2n×j-1)回目のタイマB2アンダフロー	偶数(2n×j)回目のタイマB2アンダフロー
タイマB2リロードタイミング	タイマB2のアンダフロー	・タイマB2のアンダフロー (PWCON=0) ・タイマA1リロード制御信号の立ち上がり時(奇数回目)のタイマB2アンダフロー (PWCON=1)		
IDBpレジスタ(p=0,1)から三相出力シフトレジスタへの転送タイミング	IDBpへ書いた後、最初の転送トリガに同期して一回のみ転送			
短絡防止タイマスタートタイミング	・タイマA1、A2、A4のワンショットパルスの立ち下がりに同期 (INV16=0) ・三相出力シフトレジスタ出力の立ち上がり(短絡防止タイマスタートトリガ)に同期 (INV16=1)			

m : TB2レジスタの設定値

a_{2k-1} : 奇数回目のTAiレジスタの設定値

a_{2k} : 偶数回目のTAiレジスタの設定値

b_k : k回目のTAi1レジスタの設定値

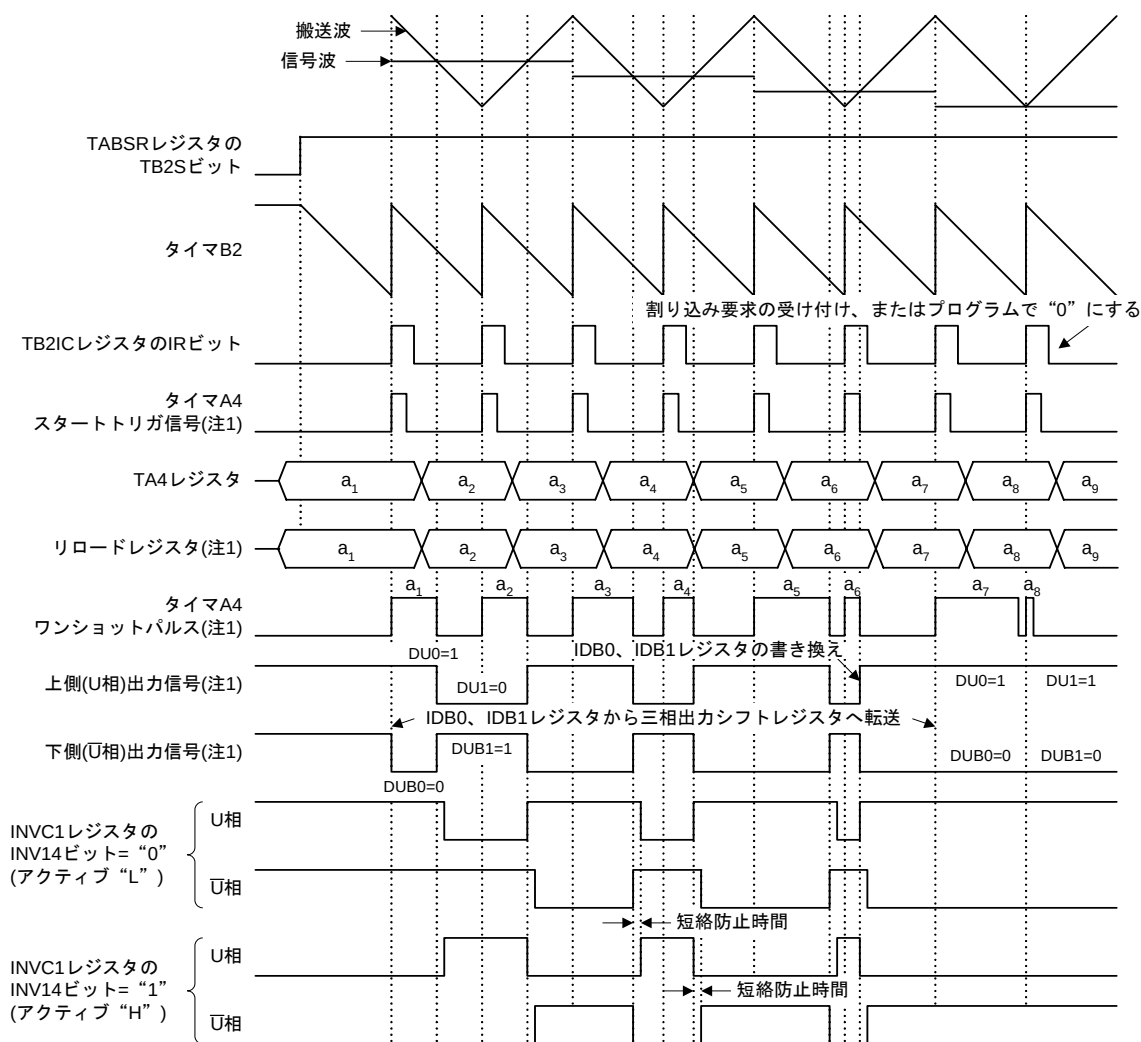
a_k : k回目のTAiレジスタの設定値

— : 0でも1でもよい

j : 割り込み回数

図16.11に三角波変調動作例(三相モード0)、図16.12～図16.13に三角波変調動作例(三相モード1)を示します。

三角波変調モード(三相モード0)



注1. 内部信号。「三相モータ制御用タイマ機能のブロック図」参照。

上図は次の条件の場合です。

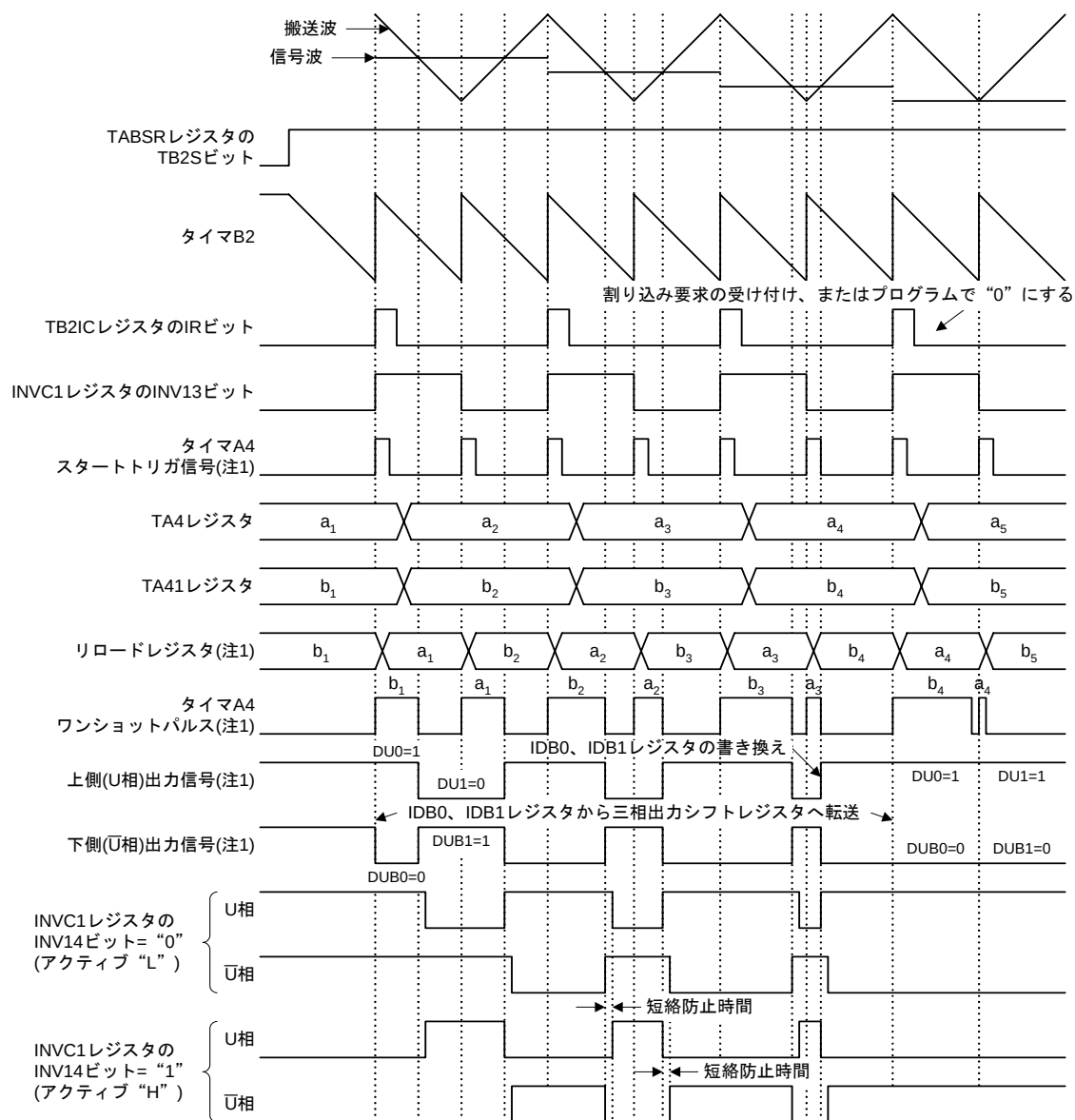
- ・ INVC0レジスタのINV01ビット=“0”(タイマB2アンダフローでICTB2カウンタのカウンタを1進める)
INV02ビット=“1”(三相モータ制御用タイマ機能を使用する)
INV03ビット=“1”(三相モータ制御用タイマ出力許可)
INV06ビット=“0”(三角波変調モード)
- ・ INVC1レジスタのINV10ビット=“0”(タイマB2アンダフロー)
INV11ビット=“0”(タイマA11、21、41を使用しない(三相モード0))
INV15ビット=“0”(短絡防止時間有効)
INV16ビット=“1”(三相出力シフトレジスタ(U、V、W相)出力の立ち上がり)
- ・ ICTB2レジスタ=“01h”(タイマB2アンダフローごとに、タイマB2割り込み)

PWM出力変更例を次に示します。

- ・ タイマの初期値 $TA4=a_1$ (タイマB2割り込みごとに、TA4レジスタを変更)
1回目 $TA4=a_2$ 2回目 $TA4=a_3$ 3回目 $TA4=a_4$ 4回目 $TA4=a_5$ 5回目 $TA4=a_6$
- ・ IDB0、IDB1レジスタの初期値 $DU0=1$ 、 $DUB0=0$ 、 $DU1=0$ 、 $DUB1=1$
6回目のタイマB2割り込みで、 $DU0=1$ 、 $DUB0=0$ 、 $DU1=1$ 、 $DUB1=0$ に変更。

図16.11 三角波変調動作例(三相モード0)

三角波変調モード(三相モード1: INV01~INV00=10b)



注1. 内部信号。「三相モータ制御用タイマ機能のブロック図」参照。

上図は次の条件の場合です。

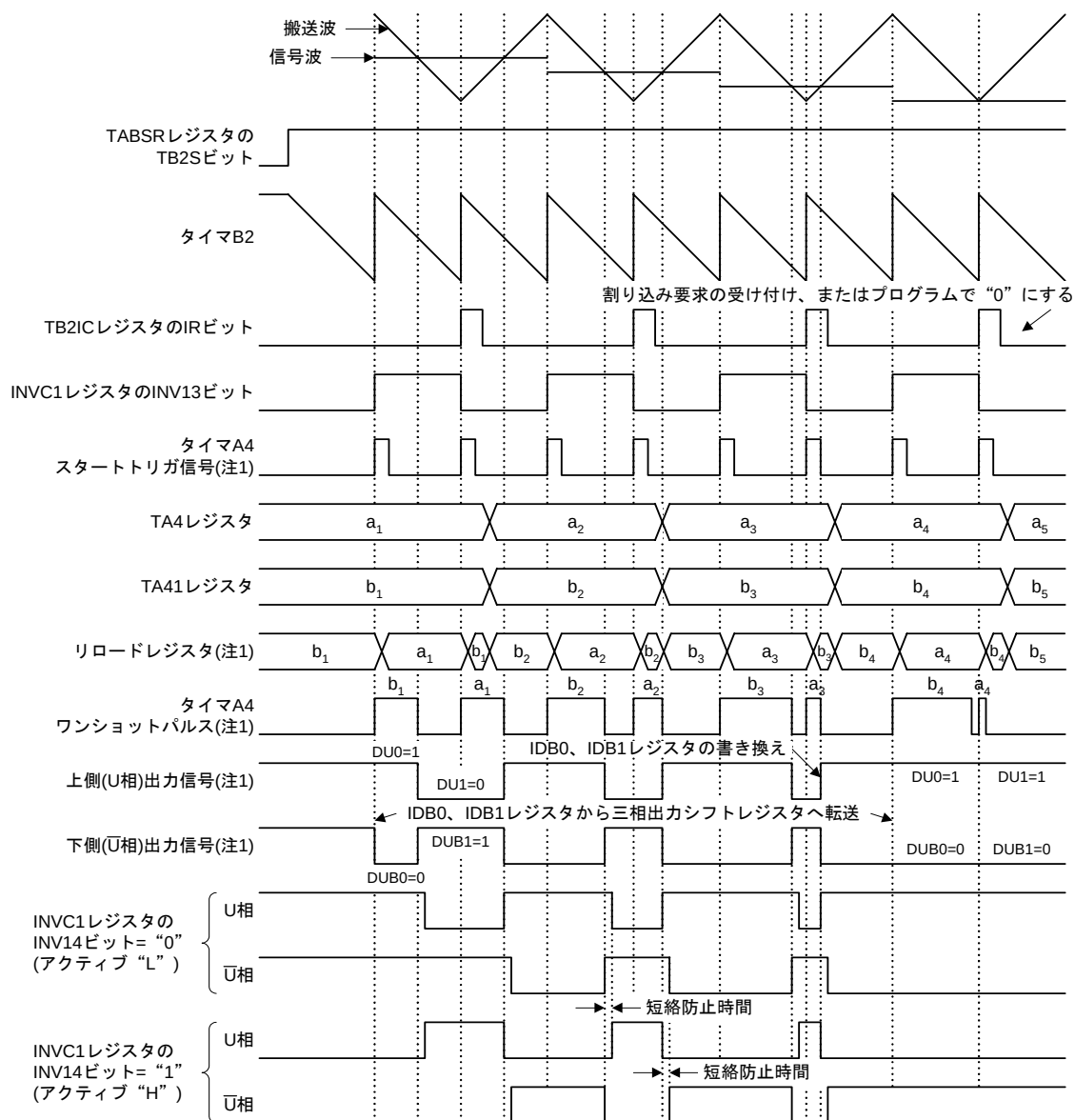
- ・ INVC0レジスタのINV01~INV00ビット= "10b" (タイマA1リロード制御信号の立ち上がりでICTB2カウンタのカウントを1進める)
INV02ビット= "1" (三相モータ制御用タイマ機能を使用する)
INV03ビット= "1" (三相モータ制御用タイマ出力許可)
INV06ビット= "0" (三角波変調モード)
- ・ INVC1レジスタのINV10ビット= "0" (タイマB2アンダフロー)
INV11ビット= "1" (タイマA11、21、41を使用する(三相モード1))
INV15ビット= "0" (短絡防止時間有効)
INV16ビット= "1" (三相出力シフトレジスタ(U、V、W相)出力の立ち上がり)
- ・ ICTB2レジスタ= "01h" (タイマB2の最初の割り込みは、1回目のタイマB2アンダフローで発生し、それ以降の割り込みは、2回目ごとのタイマB2アンダフローで発生)

PWM出力変更例を次に示します。

- ・ タイマの初期値 TA41=b₁ TA4=a₁ (タイマB2割り込みごとに、TA4、TA41レジスタを変更)
1回目 TA41=b₂、TA4=a₂ 2回目 TA41=b₃、TA4=a₃
- ・ IDB0、IDB1レジスタの初期値 DU0=1、DUB0=0、DU1=0、DUB1=1
3回目のタイマB2割り込みで、DU0=1、DUB0=0、DU1=1、DUB1=0に変更

図 16.12 三角波変調動作例(三相モード1)(INV00=0)

三角波変調モード(三相モード1: INV01~INV00=11b)



注1. 内部信号。「三相モータ制御用タイマ機能のブロック図」参照。

上図は次の条件の場合です。

- ・ INVC0レジスタのINV01~INV00ビット= "11b" (タイマA1リロード制御信号の立ち下がりにてICTB2カウンタのカウンタを1進める)
INV02ビット= "1" (三相モータ制御用タイマ機能を使用する)
INV03ビット= "1" (三相モータ制御用タイマ出力許可)
INV06ビット= "0" (三角波変調モード)
- ・ INVC1レジスタのINV10ビット= "0" (タイマB2アンダフロー)
INV11ビット= "1" (タイマA11、A21、A41を使用する(三相モード1))
INV15ビット= "0" (短絡防止時間有効)
INV16ビット= "1" (三相出力シフトレジスタ(U、V、W相)出力の立ち上がり)
- ・ ICTB2レジスタ= "01h" (2回目のタイマB2アンダフローごとにタイマB2割り込み)
または、
・ INVC0レジスタのINV01ビット= "0" (タイマB2アンダフローにてICTB2カウンタのカウンタを1進める)
・ ICTB2レジスタ= "02h" (2回目のタイマB2アンダフローごとにタイマB2割り込み)

PWM出力変更例を次に示します。

- ・ タイマの初期値 TA41=b₁ TA4=a₁ (タイマB2割り込みごとに、TA4、TA41レジスタを変更)
1回目 TA41=b₂、TA4=a₂ 2回目 TA41=b₃、TA4=a₃
- ・ IDB0、IDB1レジスタの初期値 DU0=1、DUB0=0、DU1=0、DUB1=1
3回目のタイマB2割り込みで、DU0=1、DUB0=0、DU1=1、DUB1=0に変更

図 16.13 三角波変調動作例(三相モード1)(INV00=1)

16.2 鋸波変調モード

鋸波変調モードではタイマB2のアンダフロー周期1回分を搬送波1周期と見なします。

タイマB2のアンダフローをトリガにタイマAi (i=1,2,4)のワンショットパルスを生成し、このパルスをもちいて1周期分のPWM波形を出力します。表16.4に鋸波変調モードの仕様と設定を示します。

表 16.4 鋸波変調モードの仕様と設定

項目	三相モード0
INV06ビット	1
INV11ビット	0
INV01～INV00ビット	00bまたは01b
PWCONビット	0
ICTB2レジスタ	n
INV16ビット	0
搬送波周期	$\frac{1}{f_1} \times (m+1)$
上側アクティブ出力幅	$\frac{1}{f_1} \times a_k$
タイマB2割り込み発生タイミング	n回目のタイマB2のアンダフロー
タイマB2リロードタイミング	タイマB2のアンダフロー
IDBpレジスタ (p=0,1) から 三相出力レジスタへの転送タイミング	転送トリガごとに転送
短絡防止タイマスタートタイミング	タイマA1、A2、A4のワンショットパルスの 立ち下がり転送トリガに同期

m : TB2レジスタの設定値

a_k : k回目のTAiレジスタの設定値

図16.14に鋸波変調動作例を示します。

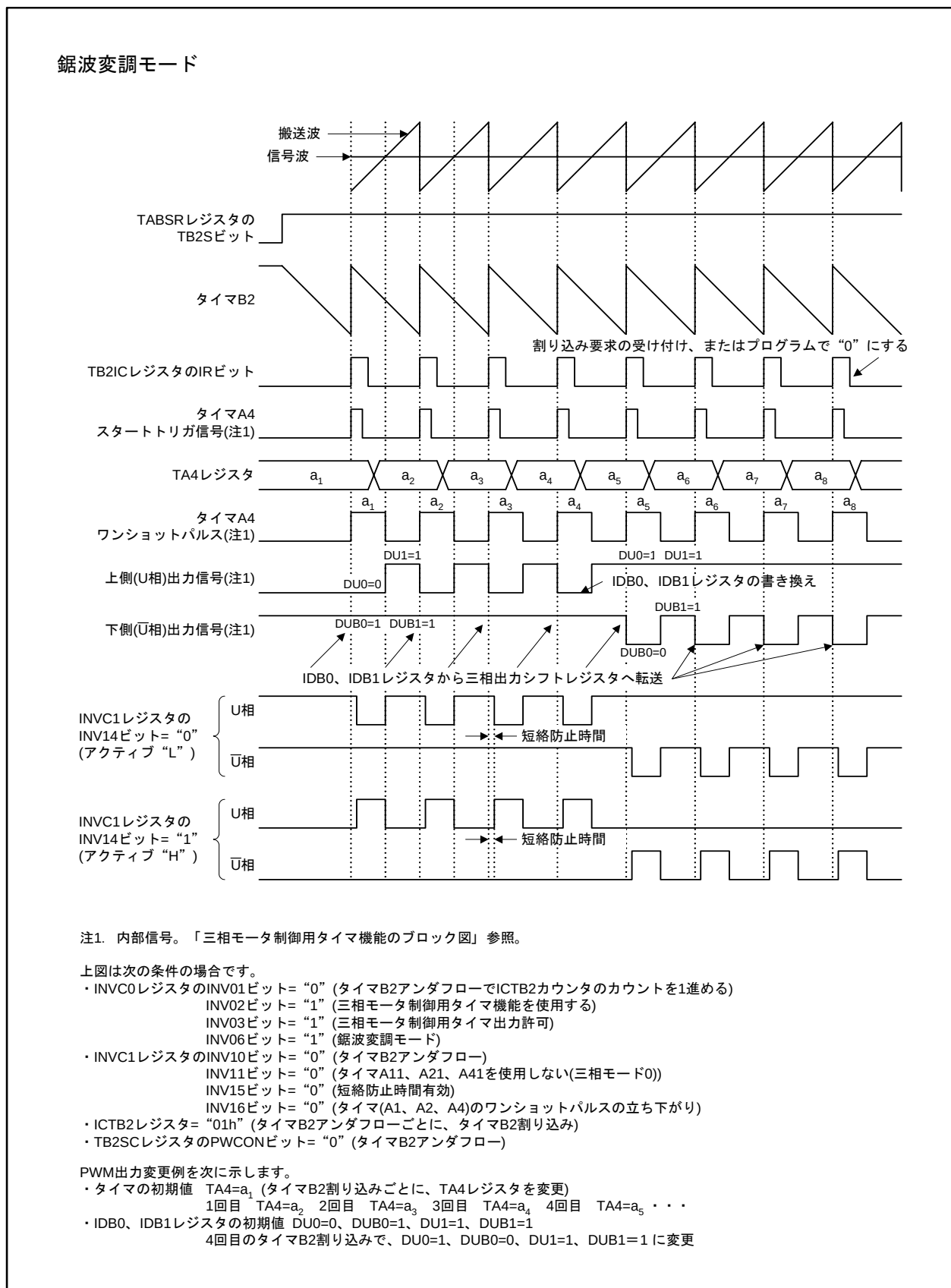


図16.14 鋸波変調動作例

16.3 通電防止機能

16.3.1 プログラム誤動作による上下同時通電防止機能

プログラムの間違いなどで IDB0 レジスタや IDB1 レジスタの上側出力バッファと下側出力バッファを両方同時に “0” (アクティブ) にすることにより起こる上下同時通電を防止する機能です。

INV0 レジスタの INV04 ビットが “1” (上下同時通電出力禁止) のとき、上下同時通電防止機能が使用できます。上下同時通電が検出されると、INV05 ビットが “1” (検出)、INV03 ビットが “0” (三相モータ制御用タイマ出力禁止) になり、ポート出力が強制遮断され、端子はハイインピーダンス状態になります。上下同時通電が検出された場合、三相モータ制御用タイマ機能で使用するレジスタを再設定してください。

16.3.2 短絡防止タイマによるアーム短絡防止機能

外部の上下トランジスタのターンオフ遅延が原因で生じるアーム短絡を防止する機能です。INVC1 レジスタの INV15 ビットが “0” (短絡防止時間有効) のとき、短絡防止タイマが有効になります。INV12 ビットで短絡防止タイマのカウントソース (fDT) を選択し、DTT レジスタで短絡防止時間を設定します。短絡防止時間は、次のとおりです。

$$\frac{1}{f_1} \times n \quad (\text{INV12}=0)$$

$$\frac{2}{f_1} \times n \quad (\text{INV12}=1) \quad n : \text{DTT レジスタの設定値}$$

図 16.15 に短絡防止タイマの動作例を示します。

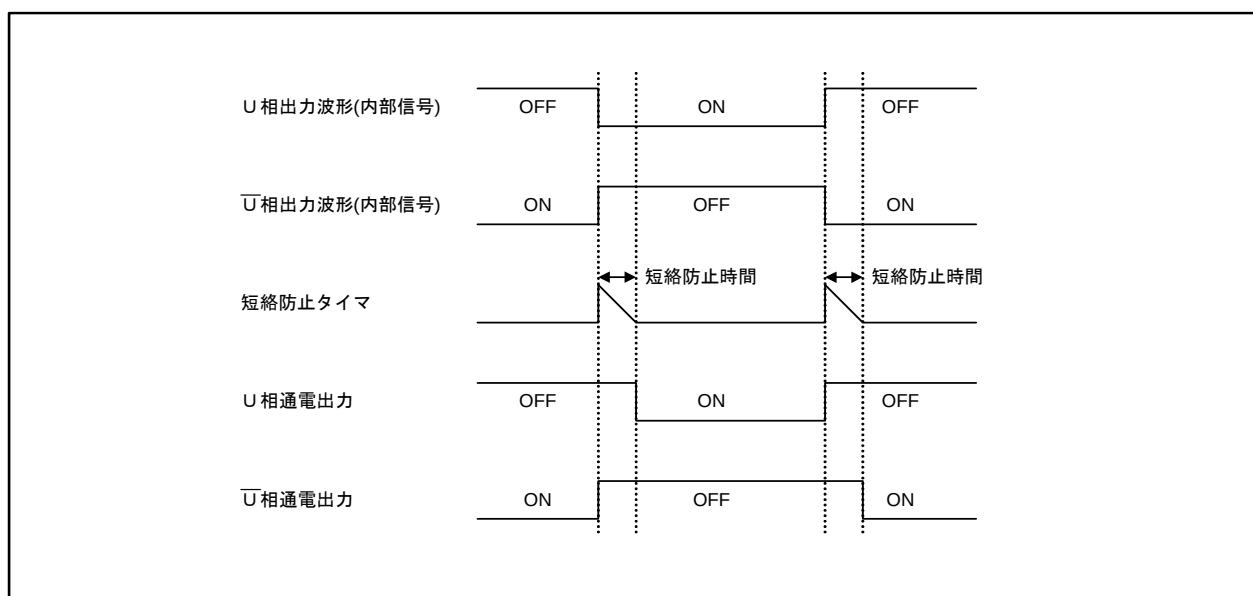


図 16.15 短絡防止タイマの動作例

16.3.3 NMI 入力による強制遮断機能

$\overline{\text{NMI}}$ 端子に “L” を入力することで、INV03 ビットが “0” (三相モータ制御用タイマ出力禁止) になり、ポート出力が強制遮断され、端子はハイインピーダンス状態になります。

また、このとき $\overline{\text{NMI}}$ 割り込みが発生します。

強制遮断が行われた後、三相モータ制御用タイマ機能を動作させる場合は、 $\overline{\text{NMI}}$ 端子に “H” を入力した状態で三相モータ制御用タイマ機能で使用するレジスタを再設定してください。

$\overline{\text{NMI}}$ 入力による強制遮断機能は、INVC0 レジスタの INV02 ビットが “1” (三相モータ制御用タイマ機能を使用する)、かつ INV03 ビットが “1” (三相モータ制御用タイマ出力許可) のとき使用できます。

17. シリアルインタフェース

シリアルインタフェースは5チャンネル(UART0～UART4)あります。

UARTi(i=0～4)は、それぞれ専用の送受信クロック発生用タイマを持ち、独立して動作します。

UARTiには、次のモードがあります。

- クロック同期モード
- クロック非同期モード(UARTモード)
- 特殊モード1 (I²Cモード)
- 特殊モード2
- 特殊モード3 (クロック分周同期化機能、GCIモード)
- 特殊モード4 (SIMモード)
- 特殊モード5 (バス衝突検出機能、IEモード)(オプション)(注1)

注1. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

17.1 UART0 ~ UART4

図 17.1 に UART0～UART4 のブロック図を示します。図 17.2～図 17.10 に UART0～UART4 の関連レジスタを示します。レジスタの設定、端子の設定はモードごとの表を参照してください。

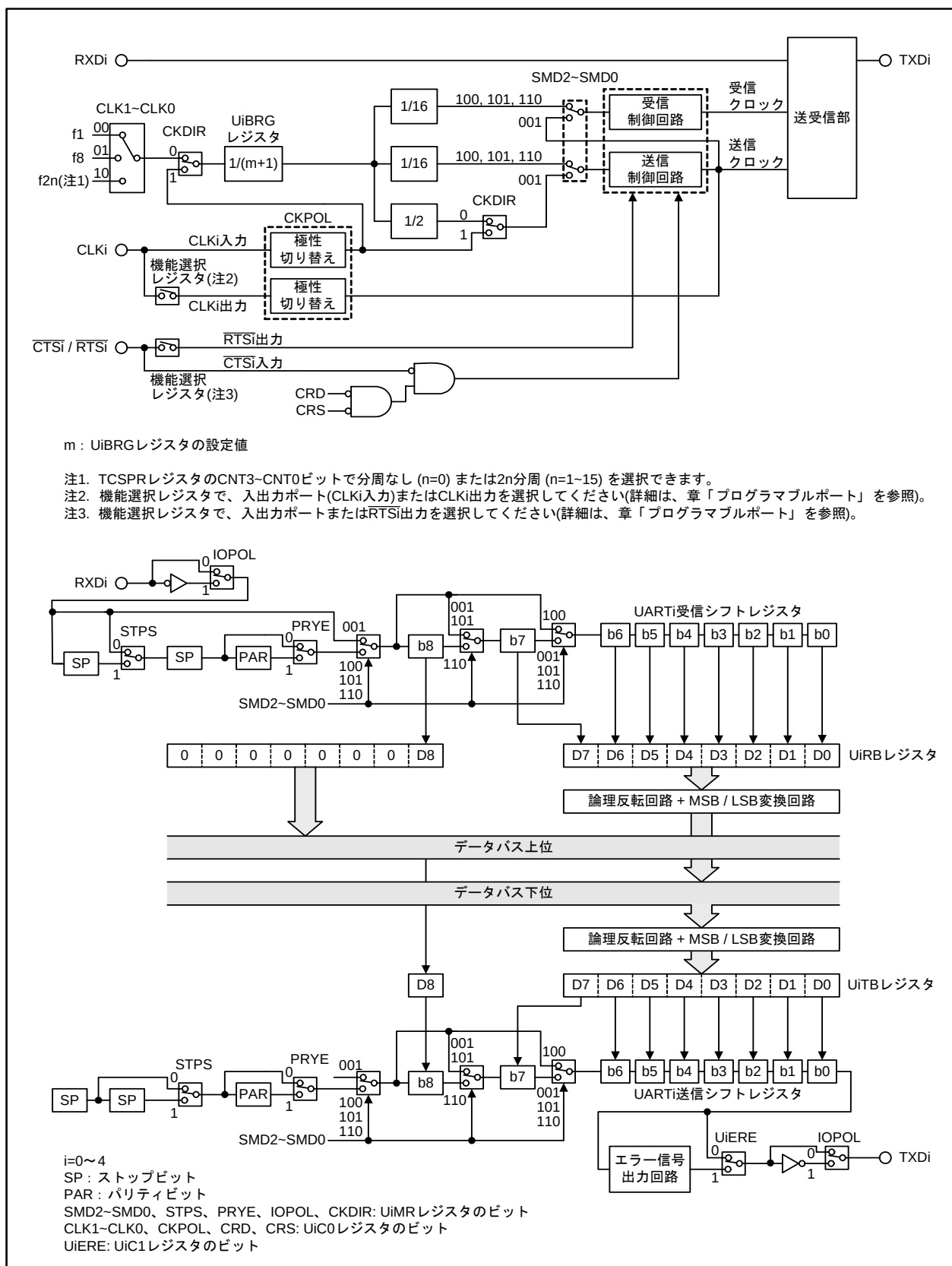


図 17.1 UART0～UART4のブロック図

UART_i送受信モードレジスタ (i=0~4)

ビット シンボル	ビット名	機 能	RW
b7 b6 b5 b4 b3 b2 b1 b0	シンボル U0MR~U4MR	アドレス 0368h、02E8h、0338h、0328h、02F8h番地	リセット後の値 00h
SMD0	シリアルインタフェースモード 選択ビット	b2 b1 b0 0 0 0 : シリアルインタフェースは無効 0 0 1 : クロック同期モード 0 1 0 : I ² Cモード 1 0 0 : UARTモード データ長7ビット 1 0 1 : UARTモード データ長8ビット 1 1 0 : UARTモード データ長9ビット 上記以外、設定しないでください。	RW
SMD1			RW
SMD2			RW
CKDIR	クロック選択ビット	0 : 内部クロック 1 : 外部クロック	RW
STPS	ストップビット長選択ビット	0 : 1ストップビット 1 : 2ストップビット	RW
PRY	パリティ選択ビット	PRYE=1のとき有効 0 : 奇数パリティ 1 : 偶数パリティ	RW
PRYE	パリティ許可ビット	0 : パリティなし 1 : パリティあり	RW
IOPOL	TXD、RXD入出力極性 切り替えビット	0 : 反転なし 1 : 反転あり	RW

図17.2 U0MR~U4MR レジスタ

UARTi特殊モードレジスタ (i=0~4)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
				0				U0SMR~U2SMR	0367h、02E7h、0337h番地	00h
								U3SMR、U4SMR	0327h、02F7h番地	00h

ビット シンボル	ビット名	機 能	RW
IICM	I ² Cモード選択ビット	0 : I ² Cモード以外 1 : I ² Cモード	RW
ABC	アービトレーションロスト 検出フラグ制御ビット(注1)	0 : ビットごとに更新 1 : バイトごとに更新	RW
BBS	バスビジーフラグ(注1、2)	0 : ストップコンディション検出(バスフリー) 1 : スタートコンディション検出(バスビジー)	RW
— (b3)	予約ビット	“0” にしてください	RW
ABSCS	バス衝突検出サンプリング クロック選択ビット(注3)	0 : 送受信クロックの立ち上がり 1 : タイマA _j のアンダフロー(j=0,3,4)(注4)	RW
ACSE	送信許可ビット自動クリア機能 選択ビット(注3)	0 : 自動クリア機能なし 1 : バス衝突発生時自動クリア	RW
SSS	送信開始条件選択ビット(注3)	0 : RXDiと無関係 1 : RXDiに同期	RW
SCLKDIV	クロック分周同期化ビット (注5、6)	0 : 外部クロックを分周しない 1 : 外部クロックを2分周する	RW

注1. I²Cモードで使用します。

注2. BBSビットはプログラムで“0”にできます。“1”を書いた場合、設定前の値を保持します。

注3. IEモードで使用します。

注4. UART0ではタイマA3のアンダフロー信号、UART1ではタイマA4のアンダフロー信号、
UART2ではタイマA0のアンダフロー信号、UART3ではタイマA3のアンダフロー信号、
UART4ではタイマA4のアンダフロー信号。

注5. GCIモードで使用します。

注6. U_iSMR2レジスタのSU1HIMビットの注記を参照してください。

図 17.3 U0SMR~U4SMR レジスタ

UARTi特殊モードレジスタ2 (i=0~4)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
	U0SMR2~U2SMR2	0366h、02E6h、0336h番地	00h
	U3SMR2、U4SMR2	0326h、02F6h番地	00h

ビット シンボル	ビット名	機 能	RW
b2	IICM2	I ² Cモード選択ビット2 0 : ACK / NACK割り込みを使用 1 : 送受信割り込みを使用	RW
b1	CSC	クロック同期化ビット(注1) 0 : クロック同期を実施しない 1 : クロック同期を実施する	RW
b0	SWC	SCLウェイト自動挿入ビット (注2) 0 : ウェイトなし / ウェイト解除 1 : 8ビット受信後、SCLi端子を“L”に固定	RW
b3	ALS	SDA出力自動停止ビット(注1) 0 : SDAi出力を停止しない 1 : SDAi出力を停止する	RW
b4	STC	UARTi自動初期化ビット(注2) 0 : 回路を初期化しない 1 : 回路を初期化する	RW
b5	SWC2	SCLウェイト出力ビット2(注1) 0 : SCLi端子に送受信クロック出力 1 : SCLi端子を“L”に固定	RW
b6	SDHI	SDA出力停止ビット(注2) 0 : データ出力 1 : 出力停止(ハイインピーダンス)	RW
b7	SU1HIM	外部クロック同期化有効ビット (注3) 0 : 同期化しない 1 : 同期化する	RW

注1. I²Cモードでマスタの場合に使用します。

注2. I²Cモードでスレーブの場合に使用します。

注3. GCIモードで使用します。UiSMRレジスタのSCLKDIVビットとの組み合わせで、外部クロック同期化機能を選択できます。

UiSMRレジスタの SCLKDIVビット	UiSMR2レジスタ SU1HIMビット	外部クロック同期化機能選択
0	0	同期化しない
0	1	外部クロックと同周期
1	0または1	外部クロックを2分周した周期

図 17.4 U0SMR2 ~ U4SMR2 レジスタ

UARTi特殊モードレジスタ3 (i=0~4)

ビット シンボル	ビット名	機 能	RW
b7 b6 b5 b4 b3 b2 b1 b0	シンボル U0SMR3~U2SMR3 U3SMR3、U4SMR3	アドレス 0365h、02E5h、0335h番地 0325h、02F5h番地	リセット後の値 00h 00h
	SSE	SS機能選択ビット(注1) 0 : SS機能を使用しない 1 : SS機能を使用する(注2)	RW
	CKPH	クロック位相設定ビット(注1) 0 : クロック遅れなし 1 : クロック遅れあり	RW
	DINC	シリアル入出力端子設定ビット (注1) 0 : TXDi、RXDiを選択(マスターモード) 1 : STXDi、SRXDiを選択(スレーブモード)	RW
	NODC	クロック出力選択ビット 0 : CLKiはCMOS出力 1 : CLKiはNチャネルオープンドレイン出力	RW
	ERR	モードエラーフラグ(注1) 0 : モードエラーなし 1 : モードエラーあり(注3)	RW
	DL0	SDAiデジタル遅延値設定ビット (注4、5) BRGカウントソースを基準にSDAi出力を以下の サイクル数遅延します。 b7 b6 b5 0 0 0 : 遅延なし 0 0 1 : 1~2サイクル 0 1 0 : 2~3サイクル 0 1 1 : 3~4サイクル 1 0 0 : 4~5サイクル 1 0 1 : 5~6サイクル 1 1 0 : 6~7サイクル 1 1 1 : 7~8サイクル	RW
	DL1		RW
	DL2		RW
	DL2		RW

注1. 特殊モード2で使用します。

注2. SSEビットが“1”の場合、UiC0レジスタのCRDビットを“1”(CTS機能禁止)にしてください。

注3. ERRビットはプログラムで“0”にできます。“1”を書いた場合、設定前の値を保持します。

注4. DL2~DL0ビットはI²Cモードで、SDAi出力にデジタル的に遅延を発生させるものです。I²Cモード以外の場合は、“000b”(遅延なし)にしてください。

注5. 外部クロックを選択した場合、100ns程度さらに遅延します。

図 17.5 U0SMR3~U4SMR3 レジスタ

UARTi特殊モードレジスタ4 (i=0~4)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
								U0SMR4～U2SMR4	0364h、02E4h、0334h番地	00h
								U3SMR4、U4SMR4	0324h、02F4h番地	00h

ビット シンボル	ビット名	機 能	RW	
	STAREQ	スタートコンディション 生成ビット(注1、3)	0 : クリア 1 : スタート	RW
	RSTAREQ	リスタートコンディション 生成ビット(注1、3)	0 : クリア 1 : スタート	RW
	STPREQ	ストップコンディション 生成ビット(注1、3)	0 : クリア 1 : スタート	RW
	STSPSEL	SCL、SDA出力選択ビット (注1、5)	0 : シリアル入出力回路選択 1 : スタート / ストップコンディション 生成回路選択(注4)	RW
	ACKD	ACKデータビット(注2、5)	0 : ACK 1 : NACK	RW
	ACKC	ACKデータ出力許可ビット (注2、5)	0 : シリアルデータ出力 1 : ACKデータ出力	RW
	SCLHI	SCL出力停止ビット(注1、5)	バスフリー時、 0 : SCLi出力を停止しない 1 : SCLi出力を停止する	RW
	SWC9	SCLウェイト出力ビット3 (注1、5)	0 : ウェイトなし / ウェイト解除 1 : 9ビット目を受信後、SCLi端子を“L”に 固定	RW

注1. I²Cモードでマスタの場合に使用します。

注2. I²Cモードでスレーブの場合に使用します。

注3. 各コンディションが生成されたとき、“0”になります。生成失敗時は“1”のままとなります。

注4. 先にSTAREQ、RSTAREQ、STPREQビットのいずれかを“1”(スタート)にした後、“1”(スタート/ストップコンディション生成回路選択)にしてください。

注5. U_iSMRレジスタのIICMビットが“1”(I²Cモード)のとき、STSPSEL、ACKD、ACKC、SCLHI、SWC9ビットを“1”にできません。IICMビットを“0”(I²Cモード以外)にすると、これらのビットは“0”になります。

図 17.6 U0SMR4~U4SMR4 レジスタ

UARTi送受信制御レジスタ0 (i=0~4)

シンボル	アドレス	リセット後の値
U0C0~U2C0	036Ch、02ECh、033Ch番地	0000 1000b
U3C0、U4C0	032Ch、02FCh番地	0000 1000b

ビット シンボル	ビット名	機 能	RW
CLK0	UiBRGカウントソース 選択ビット(注1)	b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f2nを選択(注2) 1 1 : 設定しないでください	RW
CLK1			RW
CRS	CTS機能選択ビット	CRD=0のとき有効 0 : CTS機能を選択する 1 : CTS機能を選択しない	RW
TXEPT	送信シフトレジスタ空フラグ	0 : 送信シフトレジスタにデータあり(送信中) 1 : 送信シフトレジスタにデータなし(送信完了)	RO
CRD	CTS機能禁止ビット	0 : CTS機能許可 1 : CTS機能禁止	RW
NCH	データ出力選択ビット(注3)	0 : TXDi / SDAi端子、SCLi端子はCMOS出力 1 : TXDi / SDAi端子、SCLi端子はNチャネル オープンドレイン出力	RW
CKPOL	CLK極性選択ビット	0 : 送受信クロックの立ち下がりに同期して 送信データ出力、立ち上がりに同期して 受信データ入力 1 : 送受信クロックの立ち上がりに同期して 送信データ出力、立ち下がりに同期して 受信データ入力	RW
UFORM	ビットオーダ選択ビット(注4)	0 : LSBファースト 1 : MSBファースト	RW

注1. CLK1~CLK0ビットを設定した後でUiBRGレジスタを設定してください。

注2. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。f2nを選択する場合は、TCSPRレジスタのCSTビットを“1”にした後、CLK1~CLK0ビットを“10b”にしてください。

注3. P7_0 / TXD2、P7_1 / SCL2はNチャネルオープンドレイン出力です。“0”にしてもCMOS出力にはなりません。

注4. UiMRレジスタのSMD2~SMD0ビットが“001b”(クロック同期モード)または“101b”(UARTモード データ長8ビット)のとき有効です。SMD2~SMD0ビットが“010b”(I²Cモード)のときは“1”に、“100b”(UARTモード データ長7ビット)または“110b”(UARTモード データ長9ビット)のときは“0”にしてください。

図17.7 U0C0~U4C0 レジスタ

UART_i通信速度レジスタ (i=0~4)(注1、2)

b7 b0	シンボル U0BRG~U2BRG U3BRG、U4BRG	アドレス 0369h、02E9h、0339h番地 0329h、02F9h番地	リセット後の値 不定 不定
機能 設定値をnとすると、UiBRGはカウントソースをn+1分周する。		機 能	設定範囲 00h~FFh RW WO

注1. UiBRGレジスタへ書く場合、リードモディファイライト命令は使用できません。詳細は、章「使用上の注意事項」を参照してください。

注2. UiC0レジスタのCLK1~CLK0ビットを設定した後、UiBRGレジスタへ書いてください。

UART_i送受信制御レジスタ1 (i=0~4)

b7b6b5b4b3b2b1b0 0								シンボル	アドレス	リセット後の値
								U0C1～U2C1	036Dh、02EDh、033Dh番地	0000 0010b
								U3C1、U4C1	032Dh、02FDh番地	0000 0010b
								</		

注1. UiMRレジスタのSMD2~SMD0ビットが“001b”(クロック同期モード)、“100b”(UARTモード データ長7ビット)または“101b”(UARTモード データ長8ビット)のとき有効です。SMD2~SMD0ビットが“010b”(I²Cモード)または“110b”(UARTモード データ長9ビット)のときは“0”にしてください。

注2. SMD2~SMD0ビットを設定した後、UiEREビットを設定してください。

注3. UiRRMビットを“1”にする場合、UiMRレジスタのCKDIRビットを“1”(外部クロック)にしてください。また、RTS制御は使用しないでください。

図 17.8 U0BRG ~ U4BRG レジスタ、U0C1 ~ U4C1 レジスタ

外部割り込み要因選択レジスタ

シンボル								アドレス	リセット後の値		
IFSR								031Fh番地	00h		
								ビット シンボル	ビット名	機 能	RW
b7	b6	b5	b4	b3	b2	b1	b0	IFSR0	INT0割り込み極性選択ビット (注1)	0 : 片エッジ 1 : 両エッジ	RW
								IFSR1	INT1割り込み極性選択ビット (注1)	0 : 片エッジ 1 : 両エッジ	RW
								IFSR2	INT2割り込み極性選択ビット (注1)	0 : 片エッジ 1 : 両エッジ	RW
								IFSR3	INT3割り込み極性選択ビット (注1)	0 : 片エッジ 1 : 両エッジ	RW
								IFSR4	INT4割り込み極性選択ビット (注1)	0 : 片エッジ 1 : 両エッジ	RW
								IFSR5	INT5割り込み極性選択ビット (注1)	0 : 片エッジ 1 : 両エッジ	RW
								IFSR6	UART0、UART3割り込み要因 選択ビット	0 : UART3のバス衝突、スタートコンディ ション検出、ストップコンディション検出 1 : UART0のバス衝突、スタートコンディ ション検出、ストップコンディション検出	RW
								IFSR7	UART1、UART4割り込み要因 選択ビット	0 : UART4のバス衝突、スタートコンディ ション検出、ストップコンディション検出 1 : UART1のバス衝突、スタートコンディ ション検出、ストップコンディション検出	RW

注1. レベルセンスを選択する場合、IFSRiビット(i=0~5)は“0”(片エッジ)にしてください。
両エッジを選択する場合、対応するINTiCレジスタのPOLビットを“0”(立ち下がリエッジ)にしてください。

図 17.9 IFSR レジスタ

UART_i送信バッファレジスタ (i=0~4)(注1)

シンボル	アドレス	リセット後の値
U0TB~U2TB	036Bh - 036Ah, 02EBh - 02EAh, 033Bh - 033Ah番地	不定
U3TB, U4TB	032Bh - 032Ah, 02FBh - 02FAh番地	不定

ビット シンボル	機 能	RW
— (b7-b0)	送信データ(D7~D0)	WO
— (b8)	送信データ(D8)	WO
— (b15-b9)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	—

注1. UiTBレジスタへ書く場合、リードモディファイライト命令は使用できません。詳細は、章「使用上の注意事項」を参照してください。

UART_i受信バッファレジスタ (i=0~4)

シンボル	アドレス	リセット後の値
U0RB~U2RB	036Fh - 036Eh, 02EFh - 02EEh, 033Fh - 033Eh番地	不定
U3RB, U4RB	032Fh - 032Eh, 02FFh - 02FEh番地	不定

ビット シンボル	ビット名	機 能	RW
— (b7-b0)	—	受信データ(D7~D0)	RO
— (b8)	—	受信データ(D8)	RO
— (b10-b9)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	—	—
ABT	アービトラージョンロスト検出 フラグ(注1)	0 : 未検出(勝) 1 : 検出(負)	RW
OER	オーバランエラーフラグ(注2)	0 : オーバランエラーなし 1 : オーバランエラー発生	RO
FER	フレーミングエラーフラグ (注2、3)	0 : フレーミングエラーなし 1 : フレーミングエラー発生	RO
PER	パリティエラーフラグ(注2、3)	0 : パリティエラーなし 1 : パリティエラー発生	RO
SUM	エラーサムフラグ(注2、3)	0 : エラーなし 1 : エラー発生	RO

注1. ABTビットは“0”のみ書けます。

注2. UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェースは無効)にしたとき、またはUiC1レジスタのREビットを“0”(受信禁止)にしたとき、OER、FER、PER、SUMビットは“0”になります。OER、FER、PERビットがすべて“0”になると、SUMビットも“0”になります。また、UiRBレジスタの下位バイトを読んだときも、FER、PERビットは“0”になります。

注3. SMD2~SMD0ビットが“001b”(クロック同期モード)または“010b”(I²Cモード)のとき、FER、PER、SUMビットは無効です。読んだ場合、その値は不定。

図 17.10 U0TB~U4TB レジスタ、U0RB~U4RB レジスタ

17.1.1 クロック同期モード

全二重のクロック同期シリアル通信を行うモードです。送受信制御として CTS / RTS 機能が選択できます。表 17.1 にクロック同期モードの仕様を、表 17.2 に端子の設定を示します。また、図 17.11 にレジスタの設定手順を、図 17.12 に内部クロック選択時の送受信動作例を、図 17.13 に外部クロック選択時の受信動作例を示します。

表 17.1 クロック同期モードの仕様

項目	仕様
データフォーマット	データ長 8ビット
送受信クロック	UiMR レジスタ (i=0~4) の CKDIR ビットで内部クロックまたは外部クロックを選択
通信速度	CKDIR ビットが “0” (内部クロック) のとき $\frac{f_j}{2(m+1)}$ f_j : f1、f8、f2n(注1) m : UiBRG レジスタの設定値(00h~FFh) CKDIR ビットが “1” (外部クロック) のとき CLKi 端子からの入力
送信制御、受信制御	CTS 機能、RTS 機能、CTS / RTS 機能禁止を選択
送受信開始条件	内部クロック選択時 ・ UiC1 レジスタの TE ビットが “1” (送信許可) ・ UiC1 レジスタの TI ビットが “0” (UiTB レジスタにデータあり) ・ UiC1 レジスタの RE ビットが “1” (受信許可) ・ CTS 機能使用時、CTSi 端子に “L” を入力 外部クロック選択時(注2) ・ TE ビットが “1” ・ TI ビットが “0” ・ RE ビットが “1” ・ RTS 機能使用時、UiC1 レジスタの RI ビットが “0” (UiRB レジスタにデータなし) 上の条件がすべてそろると、RTSi 端子から “L” を出力する 内部クロック選択時、外部クロック選択時ともに送信のみの場合は RE ビットの設定は不要
割り込み要求発生タイミング	送信割り込み (UiC1 レジスタの UiIRS ビットで選択) ・ UiIRS ビットが “0” (UiTB レジスタ空) UiTB レジスタから UARTi 送信シフトレジスタにデータ転送時 (送信開始時) ・ UiIRS ビットが “1” (送信完了) UARTi 送信シフトレジスタからデータ送信完了時 受信割り込み ・ UARTi 受信シフトレジスタから UiRB レジスタへデータ転送時 (受信完了時)
エラー検出	オーバランエラー (注3) UiRB レジスタを読む前に次のデータの 7 ビット目を受信すると発生
選択機能	・ CLK 極性選択 送受信データの入出力タイミングを選択可 ・ ビットオーダ選択 LSB ファーストまたは MSB ファーストを選択可 ・ シリアルデータ論理切り替え 送受信データの論理値を反転する機能 ・ 連続受信モード選択 UiRB レジスタを読むことで、受信許可状態になる

注1. TCSPP レジスタの CNT3~CNT0 ビットで分周なし (n=0) または 2n 分周 (n=1~15) を選択できます。

注2. 外部クロック選択時、UiC0 レジスタの CKPOL ビットが “0” の場合は CLKi 端子が “H” の状態で、CKPOL ビットが “1” の場合は CLKi 端子が “L” の状態で、これらの条件を満たすようにしてください。

注3. オーバランエラーが発生した場合、UiRB レジスタは不定になります。SiRIC レジスタの IR ビットは “1” (割り込み要求あり) に変化しません。

表 17.2 クロック同期モードの端子の設定

ポート名	機能	ビットと設定値			
		PD6、PD7、PD9 レジスタ (注2)	PSC レジスタ	PSL0、PSL1、 PSL3 レジスタ	PS0、PS1、PS3 レジスタ (注1、2)
P6_0	CTS0 入力	PD6_0=0	—	—	PS0_0=0
	RTS0 出力	—	—	PSL0_0=0	PS0_0=1
P6_1	CLK0 入力	PD6_1=0	—	—	PS0_1=0
	CLK0 出力	—	—	PSL0_1=0	PS0_1=1
P6_2	RXD0 入力	PD6_2=0	—	—	PS0_2=0
P6_3	TXD0 出力 (注4)	—	—	PSL0_3=0	PS0_3=1
P6_4	CTS1 入力	PD6_4=0	—	—	PS0_4=0
	RTS1 出力	—	—	PSL0_4=0	PS0_4=1
P6_5	CLK1 入力	PD6_5=0	—	—	PS0_5=0
	CLK1 出力	—	—	PSL0_5=0	PS0_5=1
P6_6	RXD1 入力	PD6_6=0	—	—	PS0_6=0
P6_7	TXD1 出力 (注4)	—	—	PSL0_7=0	PS0_7=1
P7_0 (注3)	TXD2 出力 (注4)	—	PSC_0=0	PSL1_0=0	PS1_0=1
P7_1	RXD2 入力	PD7_1=0	—	—	PS1_1=0
P7_2	CLK2 入力	PD7_2=0	—	—	PS1_2=0
	CLK2 出力	—	PSC_2=0	PSL1_2=0	PS1_2=1
P7_3	CTS2 入力	PD7_3=0	—	—	PS1_3=0
	RTS2 出力	—	PSC_3=0	PSL1_3=0	PS1_3=1
P9_0	CLK3 入力	PD9_0=0	—	—	PS3_0=0
	CLK3 出力	—	—	PSL3_0=0	PS3_0=1
P9_1	RXD3 入力	PD9_1=0	—	—	PS3_1=0
P9_2	TXD3 出力 (注4)	—	—	PSL3_2=0	PS3_2=1
P9_3	CTS3 入力	PD9_3=0	—	PSL3_3=0	PS3_3=0
	RTS3 出力	—	—	—	PS3_3=1
P9_4	CTS4 入力	PD9_4=0	—	PSL3_4=0	PS3_4=0
	RTS4 出力	—	—	—	PS3_4=1
P9_5	CLK4 入力	PD9_5=0	—	PSL3_5=0	PS3_5=0
	CLK4 出力	—	—	—	PS3_5=1
P9_6	TXD4 出力 (注4)	—	—	—	PS3_6=1
P9_7	RXD4 入力	PD9_7=0	—	—	PS3_7=0

注1. PS0、PS1、PS3 レジスタは最後に設定してください。

注2. PD9、PS3 レジスタは、PRCR レジスタの PRC2 ビットを “1” (書き込み許可) にした次の命令で書き換えてください。PRC2 ビットを “1” にする命令と PD9、PS3 レジスタを書き換える命令の間に、割り込みや DMA 転送、DMACII 転送が入らないようにしてください。

注3. 出力は N チャネルオープンドレイン出力です。

注4. UiMR レジスタで UARTi の動作モードを選択し、機能選択レジスタで端子の機能を選択後、送信開始までは、TXDi 端子は “H” を出力します (N チャネルオープンドレイン出力選択時はハイインピーダンス)。

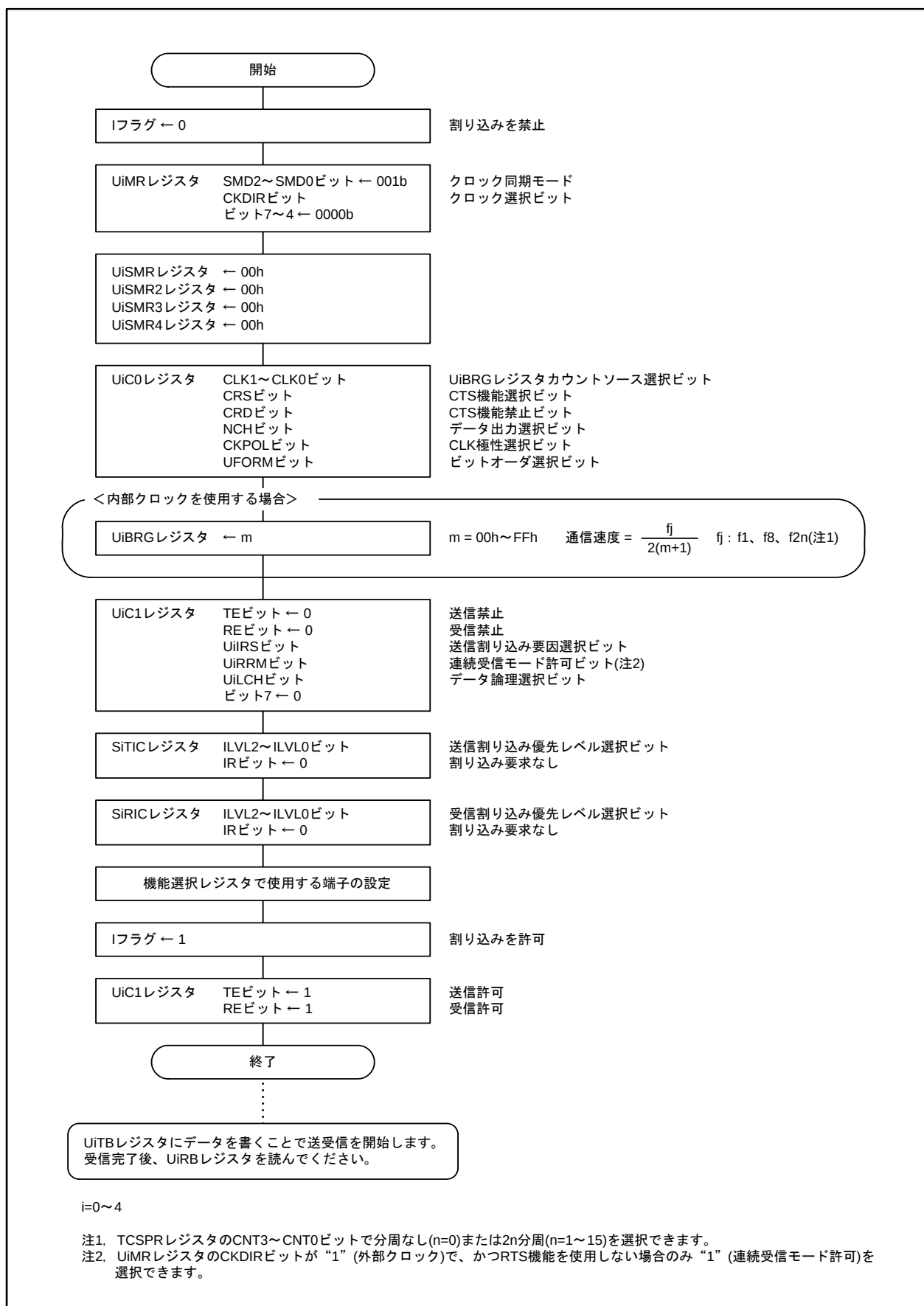


図 17.11 クロック同期モードを使用する場合のレジスタの設定手順

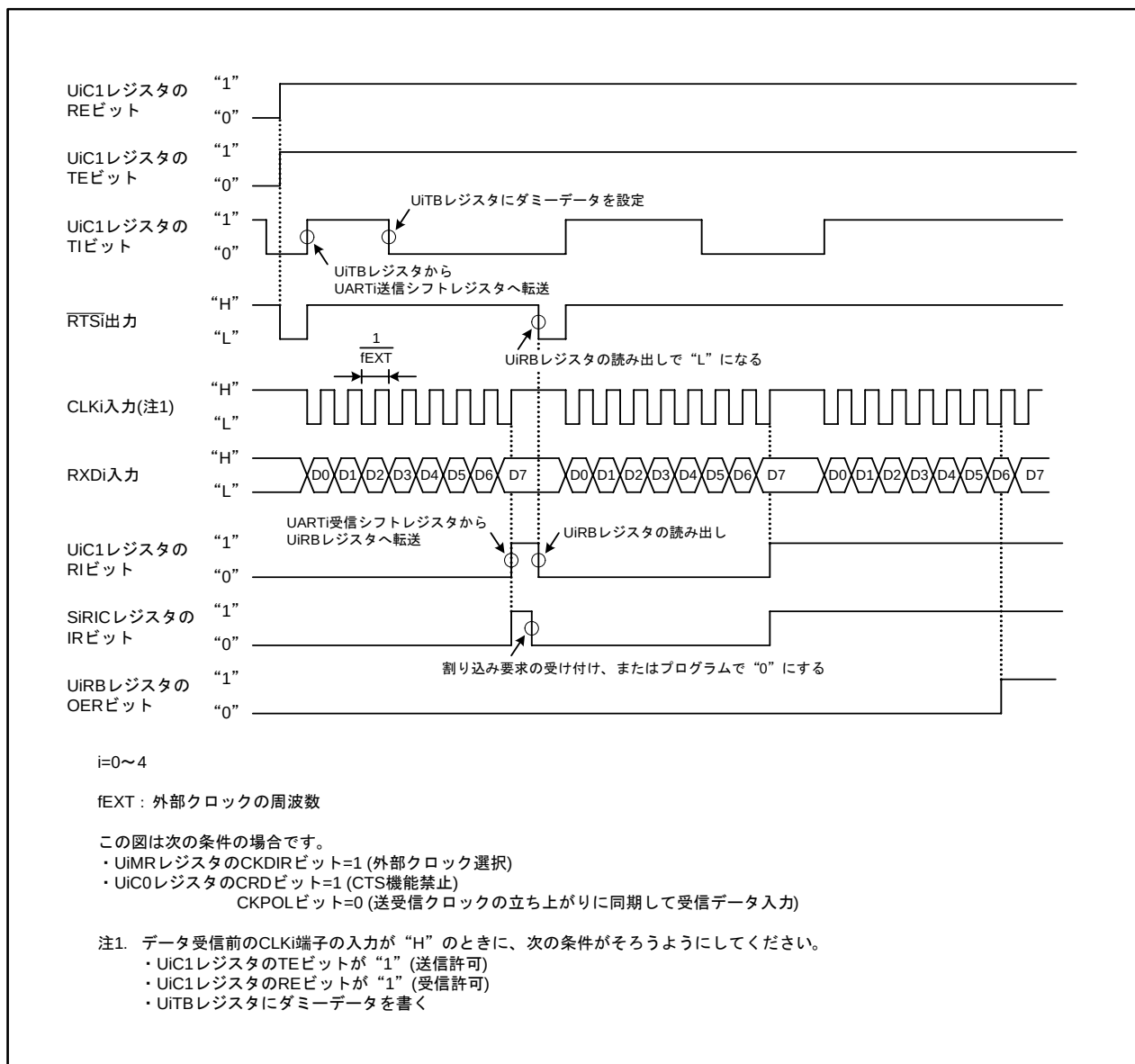


図 17.13 外部クロック選択時の受信動作例

17.1.1.1 CLK極性選択

図 17.14 に示すように、UiC0 レジスタ (i=0~4) の CKPOL ビットで送受信クロックの極性を選択できます。

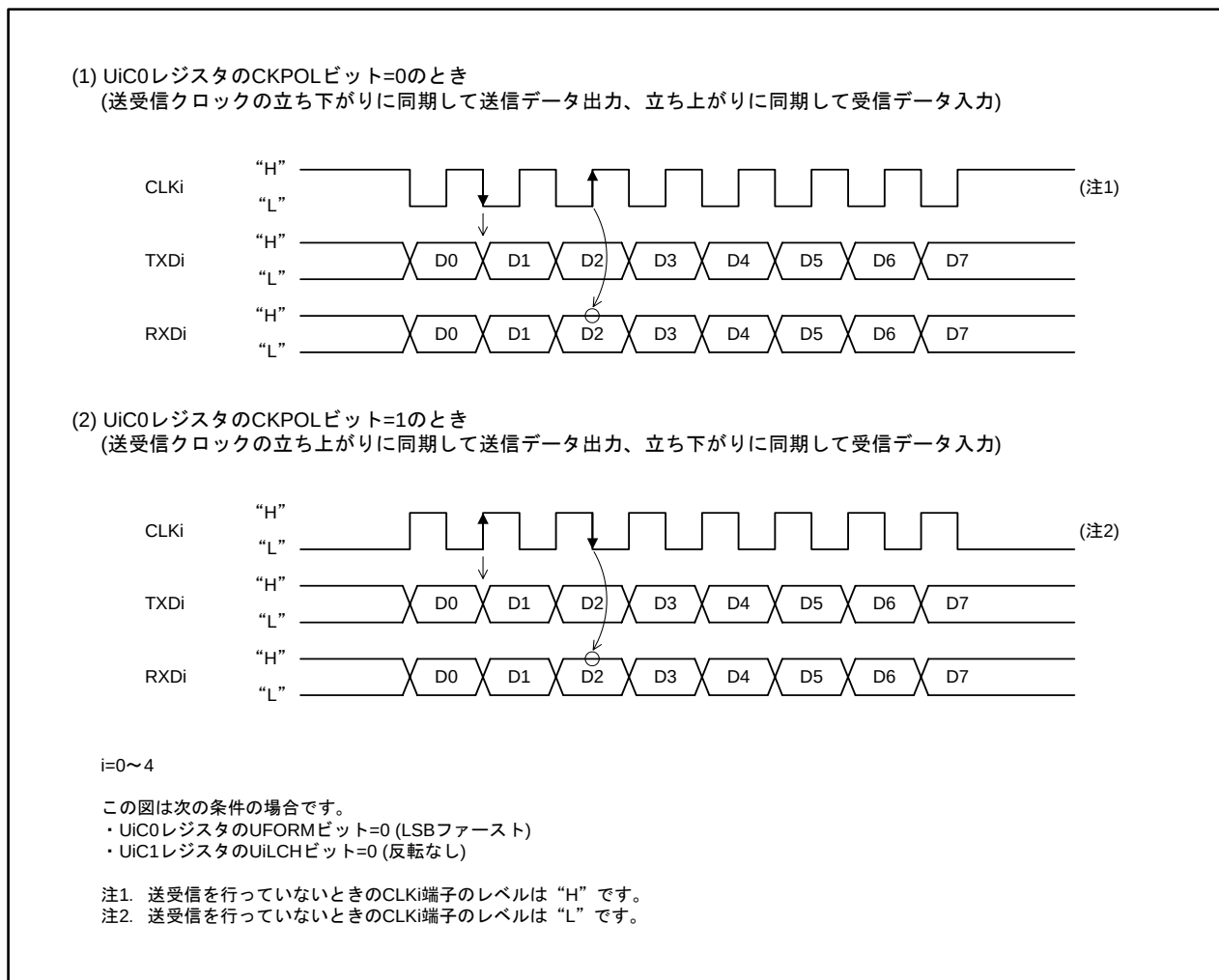


図 17.14 送受信クロックの極性

17.1.1.2 ビットオーダー選択

図17.15に示すように、UiC0レジスタ(i=0~4)のUFORMビットでLSBファーストまたはMSBファーストを選択できます。

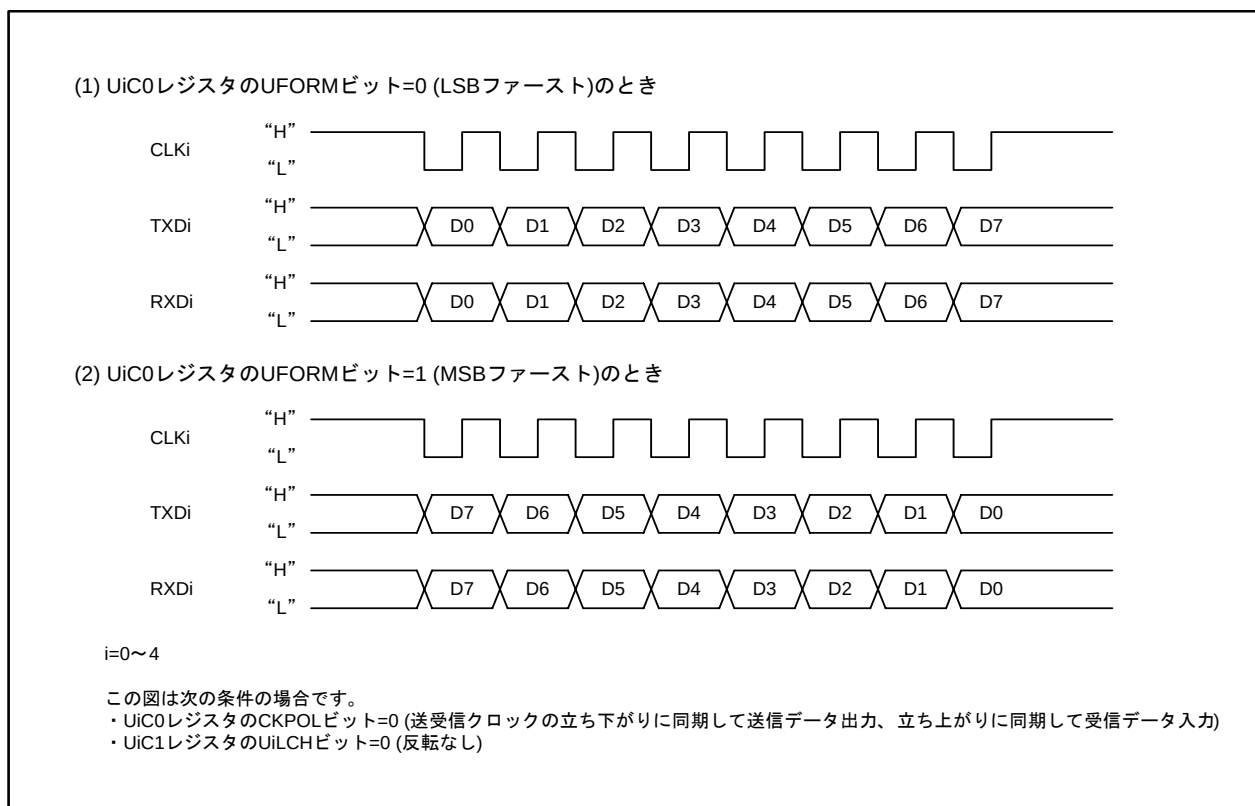


図17.15 ビットオーダー

17.1.1.3 シリアルデータ論理切り替え

UiC1 レジスタ ($i=0\sim 4$) の UiLCH ビットが “1” (反転あり) の場合、送信時に UiTB レジスタに書いた値の論理を反転して送信します。UiRB レジスタを読むと、受信データの論理を反転した値が読めます。図 17.16 にシリアルデータ論理切り替えを示します。

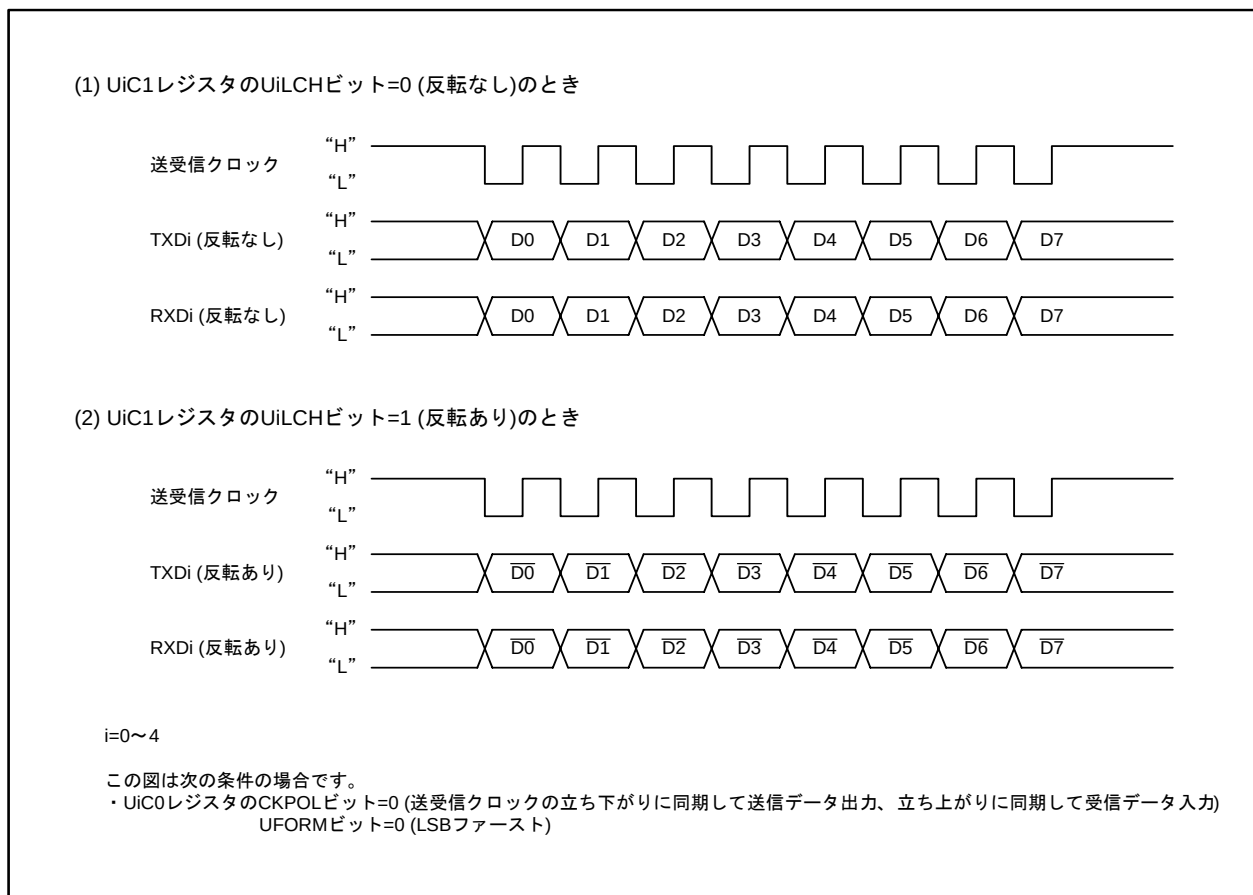


図 17.16 シリアルデータ論理切り替え

17.1.1.4 連続受信モード

連続受信モードは次の条件をすべて満たしている場合に使用できます。

- ・外部クロックを選択(UiMR レジスタ(i=0~4)のCKDIR ビットが“1”)
- ・RTS機能を使用しない(機能選択レジスタで $\overline{\text{RTSi}}$ 端子を選択しない)

UiC1 レジスタのUiRRM ビットを“1”(連続受信モード)にすると、UiRB レジスタを読むことで UiC1 レジスタのTI ビットが“0”(UiTB レジスタにデータあり)になります。UiRRM ビットが“1”のときは、プログラムでUiTB レジスタにダミーデータを設定しないでください。

17.1.1.5 CTS / RTS機能

・CTS機能

$\overline{\text{CTSi}}$ 端子(i=0~4)への入力信号で送受信制御を行う機能です。CTS機能を使用する場合は、機能選択レジスタで入出力ポートを選択して、UiC0 レジスタのCRD ビットを“0”(CTS機能許可)、CRS ビットを“0”(CTS機能を選択する)にしてください。

CTS 機能を選択時、次の条件を満たしたうえで、 $\overline{\text{CTSi}}$ 端子の入力レベルが“L”になると、送受信を開始します。

- ・UiC1 レジスタのTE ビットが“1”(送信許可)
- ・UiC1 レジスタのTI ビットが“0”(UiTB レジスタにデータあり)
- ・UiC1 レジスタのRE ビットが“1”(受信許可)
(送信のみの場合は、RE ビットの設定は不要)

送受信の最中に $\overline{\text{CTSi}}$ 端子の入力レベルを“H”にした場合、次のデータから送受信を停止します。

・RTS機能

送受信準備が整ったことを外部デバイスに通知する機能です。RTS 機能を使用する場合は、機能選択レジスタで $\overline{\text{RTSi}}$ 端子を選択してください。

RTS機能選択時、次の条件を満たすと、 $\overline{\text{RTSi}}$ 端子から“L”を出力し、CLKi端子に送受信クロックが入力されると、“H”を出力します。

- ・UiC1 レジスタのRI ビットが“0”(UiRB レジスタにデータなし)
- ・TE ビットが“1”(送信許可)
- ・RE ビットが“1”(受信許可)
(送信のみの場合は、RE ビットの設定は不要)
- ・TI ビットが“0”(UiTB レジスタにデータあり)

17.1.1.6 通信の途中終了時、または通信エラー発生時の処理

クロック同期モードで、通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で再設定を行ってください。

- (1) UiC1 レジスタ(i=0~4)のTE ビットを“0”(送信禁止)、RE ビットを“0”(受信禁止)にする。
- (2) UiMR レジスタのSMD2~SMD0 ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) UiMR レジスタのSMD2~SMD0 ビットを“001b”(クロック同期モード)にする。
- (4) UiC1 レジスタのTE ビットを“1”(送信許可)、RE ビットを“1”(受信許可)にする。

17.1.2 クロック非同期モード(UART)

全二重の調歩同期式シリアル通信を行うモードです。

表 17.3 に UART モードの仕様を、表 17.4 に端子の設定を示します。また、図 17.17 にレジスタの設定手順を、図 17.18 に送信動作例を、図 17.19 に受信動作例を示します。

表 17.3 UART モードの仕様

項目	仕様
データフォーマット	・データ長 7ビット、8ビット、9ビット 選択可 ・スタートビット 1ビット ・パリティビット 奇数、偶数、なし 選択可 ・ストップビット 1ビット、2ビット 選択可
通信速度	$\frac{f_j}{16(m+1)}$ f_j : f1、f8、f2n(注1)、fEXT m : UiBRG レジスタ (i=0~4) の設定値 (00h~FFh) fEXT : UiMR レジスタの CKDIR ビットが “1” (外部クロック) のときの CLKi 端子からの入力
送信制御、受信制御	CTS 機能、RTS 機能、CTS / RTS 機能禁止を選択
送信開始条件	次のすべての条件がそろそろと送信を開始する ・UiC1 レジスタの TE ビットが “1” (送信許可) ・UiC1 レジスタの TI ビットが “0” (UiTB レジスタにデータあり) ・CTS 機能使用時、CTS_i 端子に “L” を入力
受信開始条件	次のすべての条件がそろそろと受信を開始する ・UiC1 レジスタの RE ビットが “1” (受信許可) ・RTS 機能使用時、UiC1 レジスタの RI ビットが “0” (UiRB レジスタにデータなし) 上の条件がすべてそろそろと、RTS _i 端子から “L” を出力する ・スタートビットの検出
割り込み要求発生タイミング	送信割り込み (UiC1 レジスタの UiIRS ビットで選択) ・UiIRS ビットが “0” (UiTB レジスタ空) UiTB レジスタから UART _i 送信シフトレジスタにデータ転送時 (送信開始時) ・UiIRS ビットが “1” (送信完了) UART _i 送信シフトレジスタから最終ストップビット出力時 (送信完了時) 受信割り込み ・UART_i 受信シフトレジスタから UiRB レジスタへデータ転送時 (受信完了時)
エラー検出	・オーバランエラー (注2) - UiRB レジスタを読む前に次のデータの最終ストップビットの1つ前のビットを受信すると発生 (2ストップビット選択時は1ストップビット目) ・フレーミングエラー - 設定した個数のストップビットが検出されなかったときに発生 ・パリティエラー - パリティありの場合に、受信したデータとパリティビットに含まれる “1” の個数 (偶数個 / 奇数個) が設定した個数 (偶数個 / 奇数個) と一致しなかったときに発生 ・エラーサムフラグ - オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合 UiRB レジスタの SUM ビットが “1” になる
選択機能	・ビットオーダ選択 - LSB ファーストまたは MSB ファーストを選択可 ・シリアルデータ論理切り替え - 送受信データの論理値を反転する機能 (スタートビットとストップビットは反転しない) ・TXD、RXD 入出力極性切り替え - TXD 端子出力と RXD 端子入力のレベルを反転する機能 (入出力するデータのレベルがすべて反転する)

注1. TCSPR レジスタの CNT3~CNT0 ビットで分周なし (n=0) または 2n 分周 (n=1~15) を選択できます。

注2. オーバランエラーが発生した場合、UiRB レジスタは不定になります。SiRIC レジスタの IR ビットは “1” (割り込み要求あり) に変化しません。

表 17.4 UART モードの端子の設定

ポート名	機能	ビットと設定値			
		PD6、PD7、PD9 レジスタ (注2)	PSC レジスタ	PSL0、PSL1、 PSL3 レジスタ	PS0、PS1、PS3 レジスタ (注1、2)
P6_0	CTS0 入力	PD6_0=0	—	—	PS0_0=0
	RTS0 出力	—	—	PSL0_0=0	PS0_0=1
P6_1	CLK0 入力	PD6_1=0	—	—	PS0_1=0
P6_2	RXD0 入力	PD6_2=0	—	—	PS0_2=0
P6_3	TXD0 出力 (注4)	—	—	PSL0_3=0	PS0_3=1
P6_4	CTS1 入力	PD6_4=0	—	—	PS0_4=0
	RTS1 出力	—	—	PSL0_4=0	PS0_4=1
P6_5	CLK1 入力	PD6_5=0	—	—	PS0_5=0
P6_6	RXD1 入力	PD6_6=0	—	—	PS0_6=0
P6_7	TXD1 出力 (注4)	—	—	PSL0_7=0	PS0_7=1
P7_0 (注3)	TXD2 出力 (注4)	—	PSC_0=0	PSL1_0=0	PS1_0=1
P7_1	RXD2 入力	PD7_1=0	—	—	PS1_1=0
P7_2	CLK2 入力	PD7_2=0	—	—	PS1_2=0
P7_3	CTS2 入力	PD7_3=0	—	—	PS1_3=0
	RTS2 出力	—	PSC_3=0	PSL1_3=0	PS1_3=1
P9_0	CLK3 入力	PD9_0=0	—	—	PS3_0=0
P9_1	RXD3 入力	PD9_1=0	—	—	PS3_1=0
P9_2	TXD3 出力 (注4)	—	—	PSL3_2=0	PS3_2=1
P9_3	CTS3 入力	PD9_3=0	—	PSL3_3=0	PS3_3=0
	RTS3 出力	—	—	—	PS3_3=1
P9_4	CTS4 入力	PD9_4=0	—	PSL3_4=0	PS3_4=0
	RTS4 出力	—	—	—	PS3_4=1
P9_5	CLK4 入力	PD9_5=0	—	PSL3_5=0	PS3_5=0
P9_6	TXD4 出力 (注4)	—	—	—	PS3_6=1
P9_7	RXD4 入力	PD9_7=0	—	—	PS3_7=0

注1. PS0、PS1、PS3 レジスタは最後に設定してください。

注2. PD9、PS3 レジスタは、PRCR レジスタの PRC2 ビットを“1” (書き込み許可) にした次の命令で書き換えてください。PRC2 ビットを“1”にする命令と PD9、PS3 レジスタを書き換える命令の間に、割り込みや DMA 転送、DMACII 転送が入らないようにしてください。

注3. 出力は N チャネルオープンドレイン出力です。

注4. UiMR レジスタ (i=0~4) で UARTi の動作モードを選択し、機能選択レジスタで端子の機能を選択後、送信開始までは、TXDi 端子は“H”を出力します (N チャネルオープンドレイン出力選択時はハイインピーダンス)。

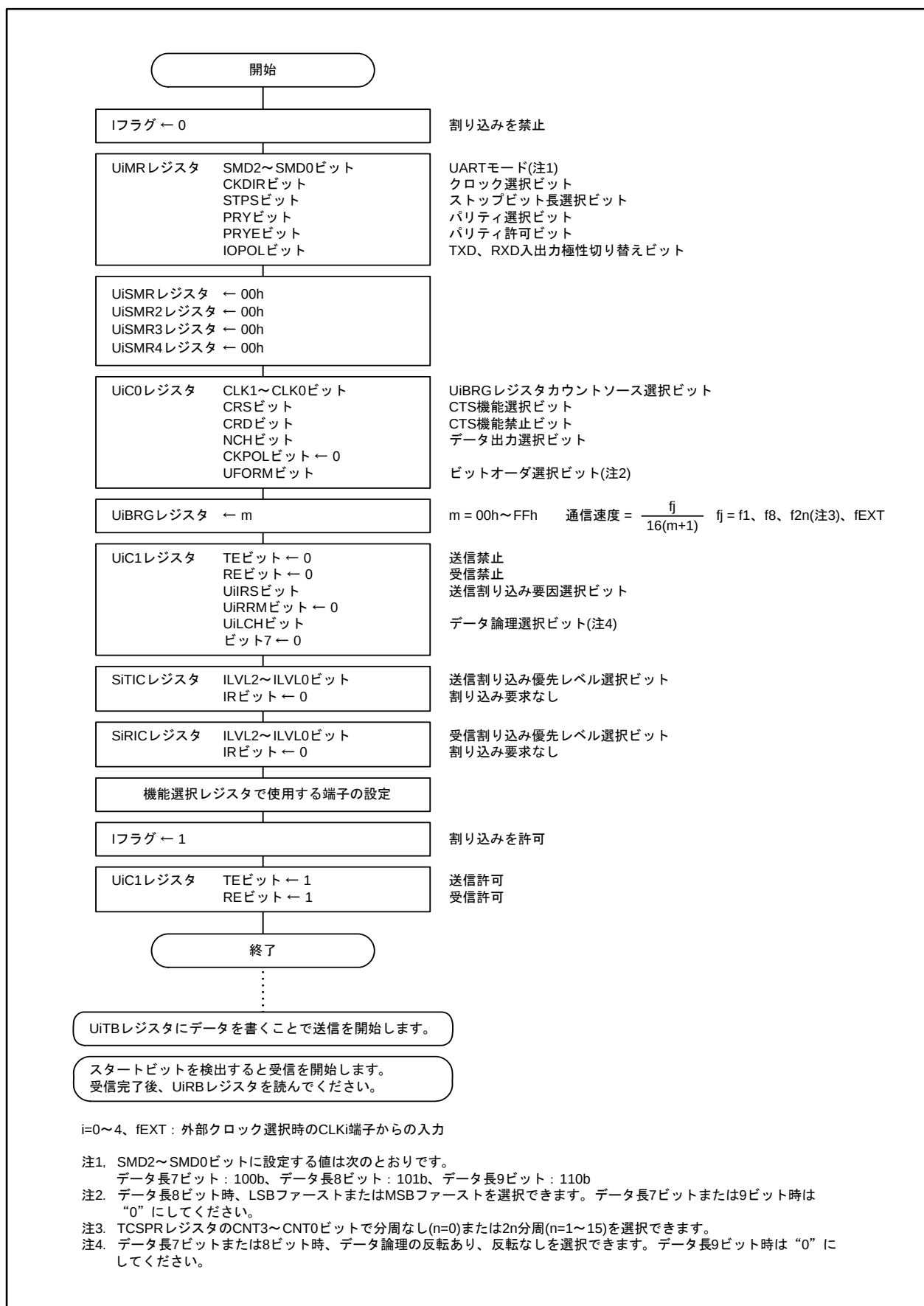
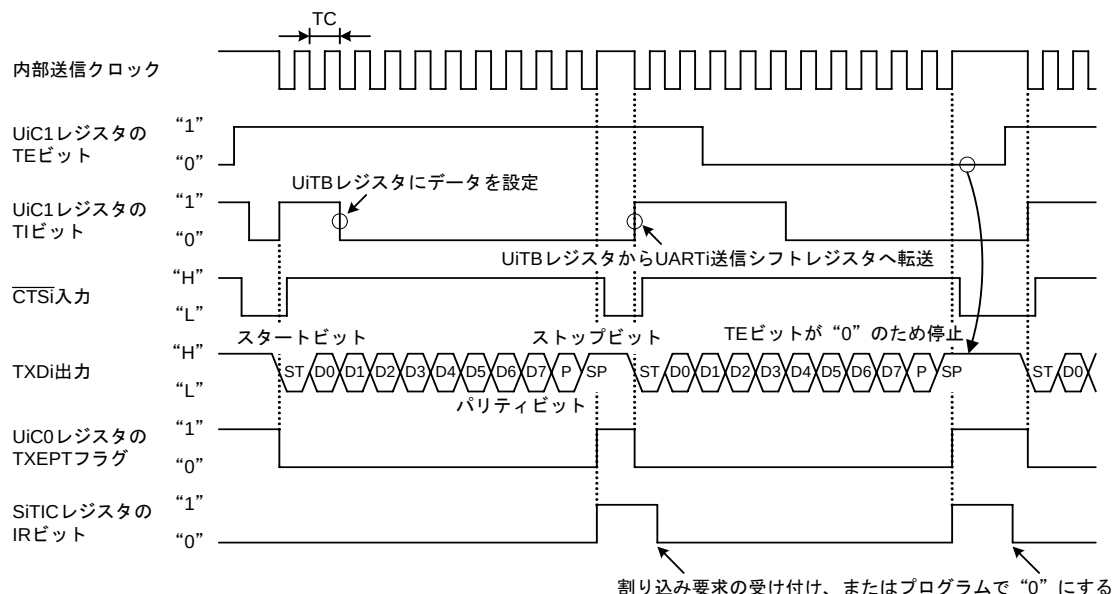
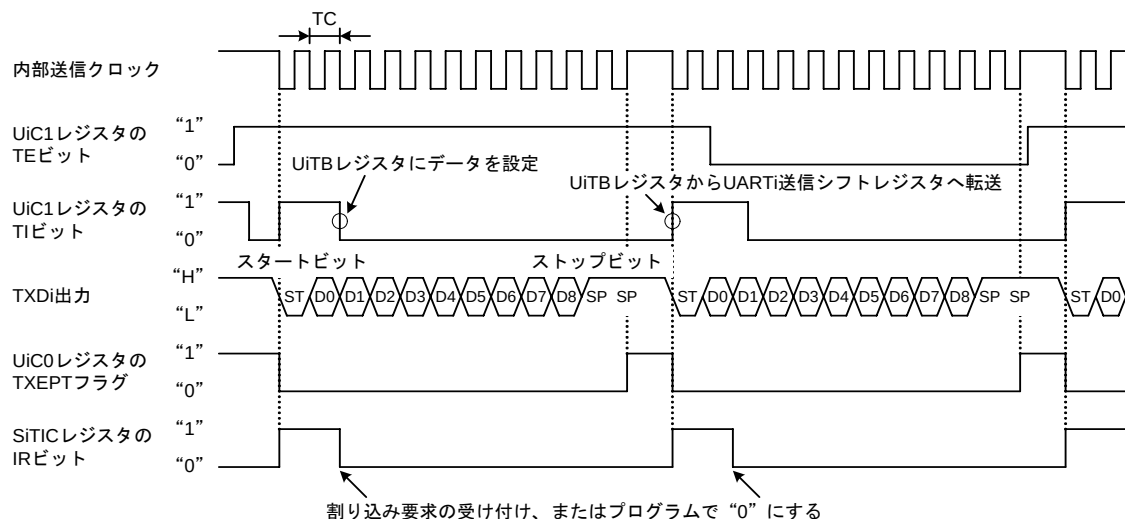


図17.17 UARTモードを使用する場合のレジスタの設定手順

(1) データ長8ビット時の送信タイミング例(パリティあり、1ストップビット)



(2) データ長9ビット時の送信タイミング例(パリティなし、2ストップビット)



$$TC = \frac{16(m+1)}{f_j}$$

i=0~4

fj : f1、f8、f2n(注1)、fEXT
fEXT : 外部クロックのときのCLKi端子からの入力
m : UiBRGレジスタの設定値(00~FFh)

注1. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。

図 17.18 UARTモードの送信動作例

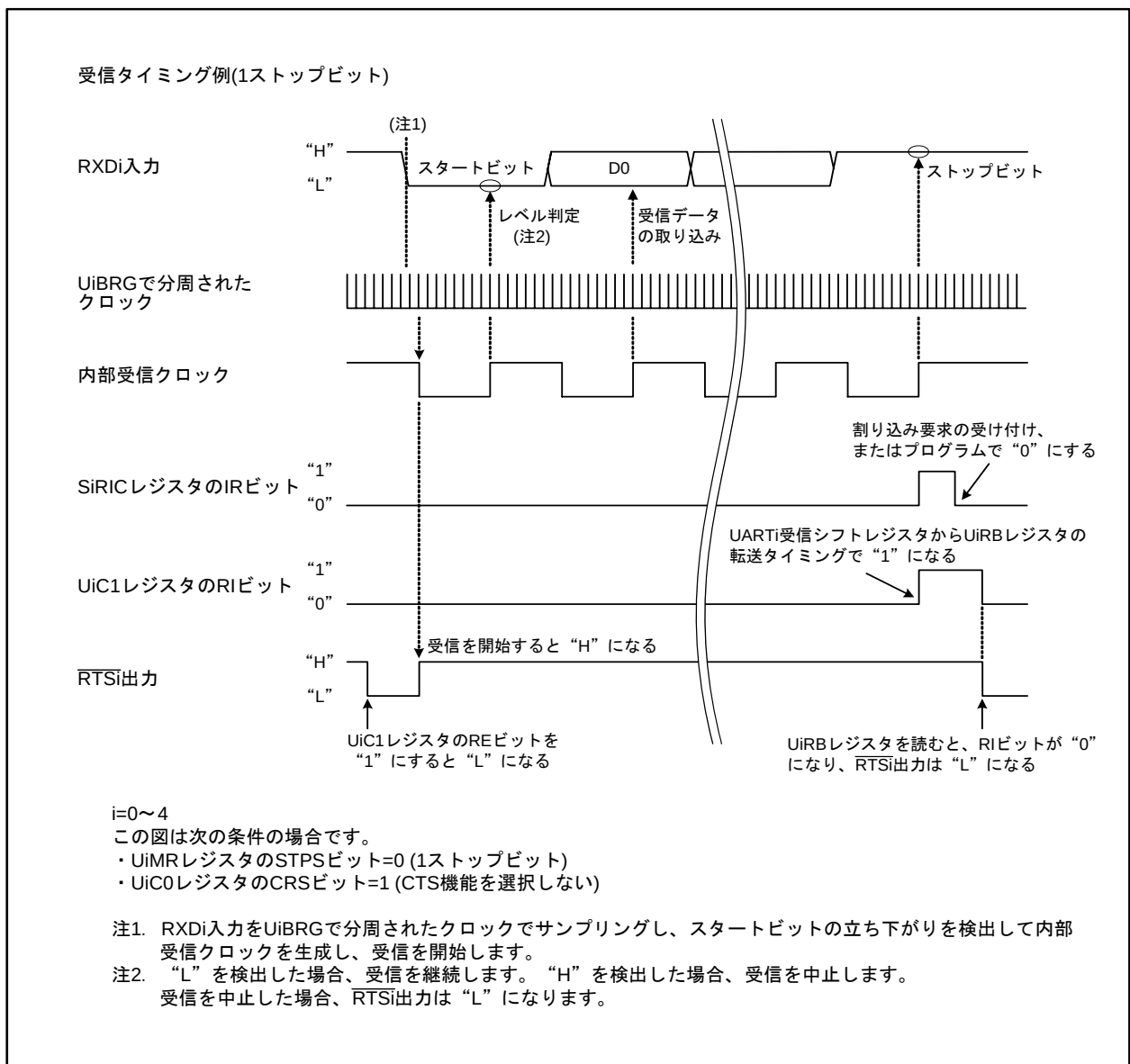


図 17.19 UARTモードの受信動作例

17.1.2.1 通信速度

UART モードは、UiBRG レジスタ (i=0 ~ 4) で分周した周波数の 16 分周が通信速度になります。表 17.5 に通信速度の設定例を示します。

$$\text{実際の通信速度} = \frac{\text{UiBRG レジスタのカウントソース}}{16 \times (\text{UiBRG レジスタの設定値} + 1)}$$

表 17.5 通信速度の設定例

目標の通信速度 (bps)	UiBRG のカウントソース	周辺機能クロック : 16MHz		周辺機能クロック : 24MHz		周辺機能クロック : 32MHz	
		UiBRG の設定値 : n	実際の通信速度 (bps)	UiBRG の設定値 : n	実際の通信速度 (bps)	UiBRG の設定値 : n	実際の通信速度 (bps)
1200	f8	103(67h)	1202	155(9Bh)	1202	207(CFh)	1202
2400	f8	51(33h)	2404	77(4Dh)	2404	103(67h)	2404
4800	f8	25(19h)	4808	38(26h)	4808	51(33h)	4808
9600	f1	103(67h)	9615	155(9Bh)	9615	207(CFh)	9615
14400	f1	68(44h)	14493	103(67h)	14423	138(8Ah)	14388
19200	f1	51(33h)	19231	77(4Dh)	19231	103(67h)	19231
28800	f1	34(22h)	28571	51(33h)	28846	68(44h)	28986
31250	f1	31(1Fh)	31250	47(2Fh)	31250	63(3Fh)	31250
38400	f1	25(19h)	38462	38(26h)	38462	51(33h)	38462
51200	f1	19(13h)	50000	28(1Ch)	51724	38(26h)	51282

17.1.2.2 ビットオーダー選択

図 17.20 に示すように、UiC0 レジスタ (i=0 ~ 4) の UFORM ビットで LSB ファーストまたは MSB ファーストを選択できます。この機能はデータ長 8 ビットのときに有効です。

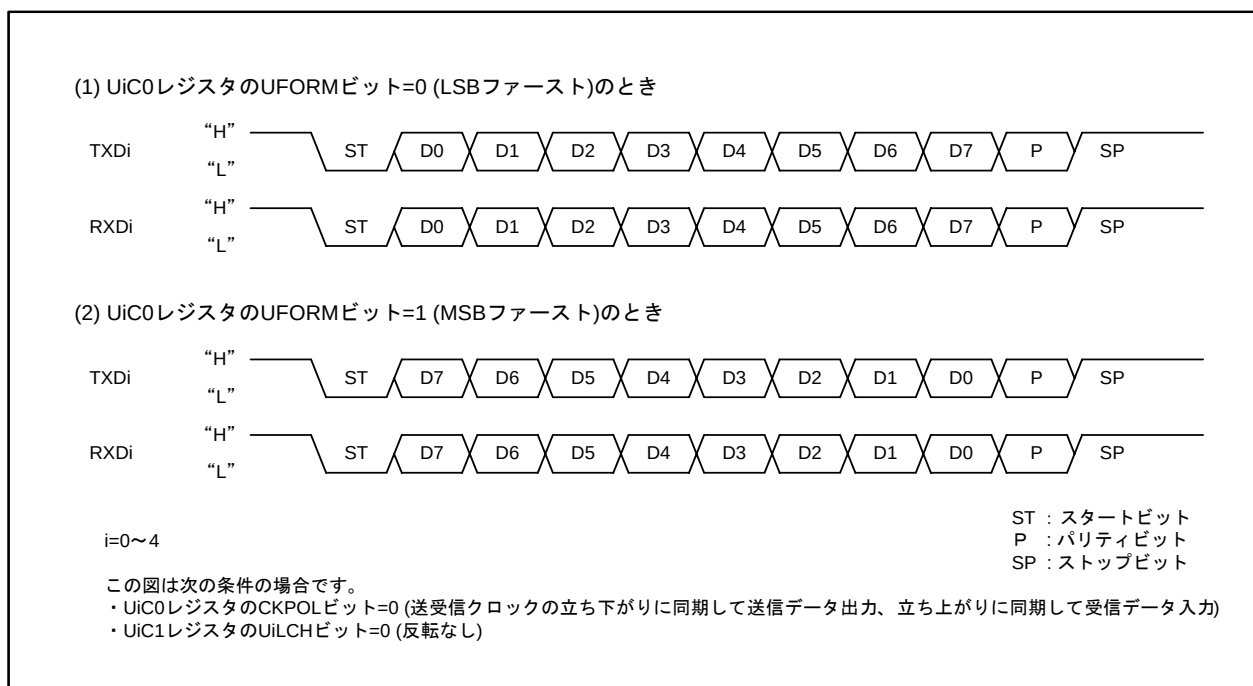


図 17.20 ビットオーダー

17.1.2.3 シリアルデータ論理切り替え

UiC1 レジスタ ($i=0\sim 4$) の UiLCH ビットが “1” (反転あり) の場合、送信時に UiTB レジスタに書いた値の論理を反転して送信します。UiRB レジスタを読むと、受信データの論理を反転した値が読めます。この機能はデータ長7ビットまたは8ビットのときに有効です。

図 17.21 にシリアルデータ論理切り替えを示します。

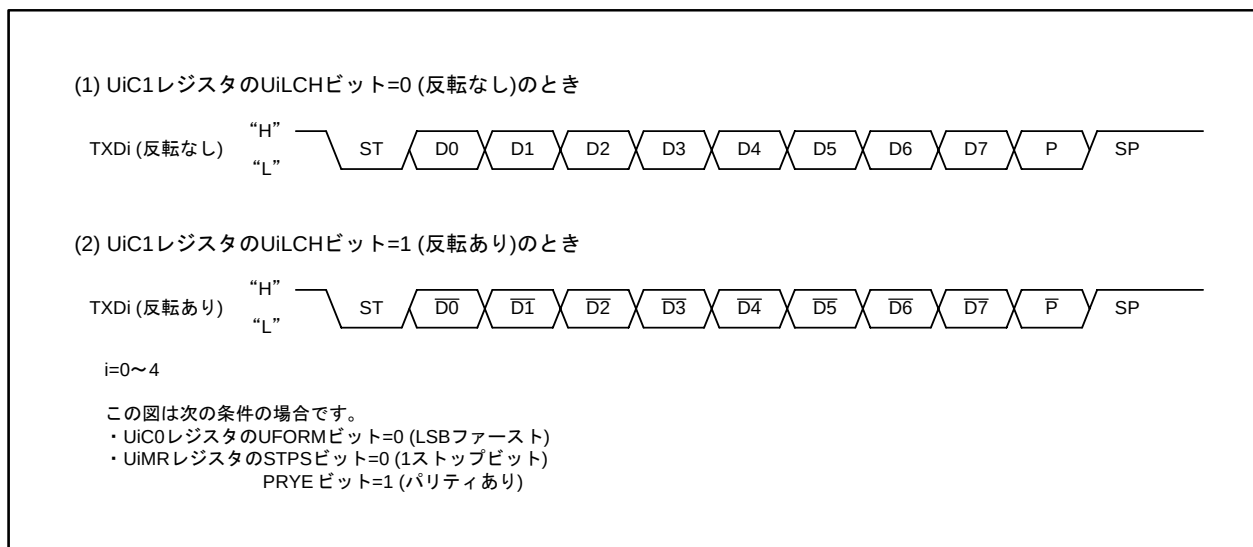


図 17.21 シリアルデータ論理切り替え

17.1.2.4 TXD、RXD 入出力極性切り替え

TXD 端子からの出力レベルと RXD 端子への入力レベルを反転する機能です。UiMR レジスタ ($i=0\sim 4$) の IOPOL ビットを “1” (反転あり) にすると、入出力するデータのレベルがすべて (スタートビット、ストップビット、パリティビットを含む) 反転します。図 17.22 に TXD、RXD 入出力極性を示します。

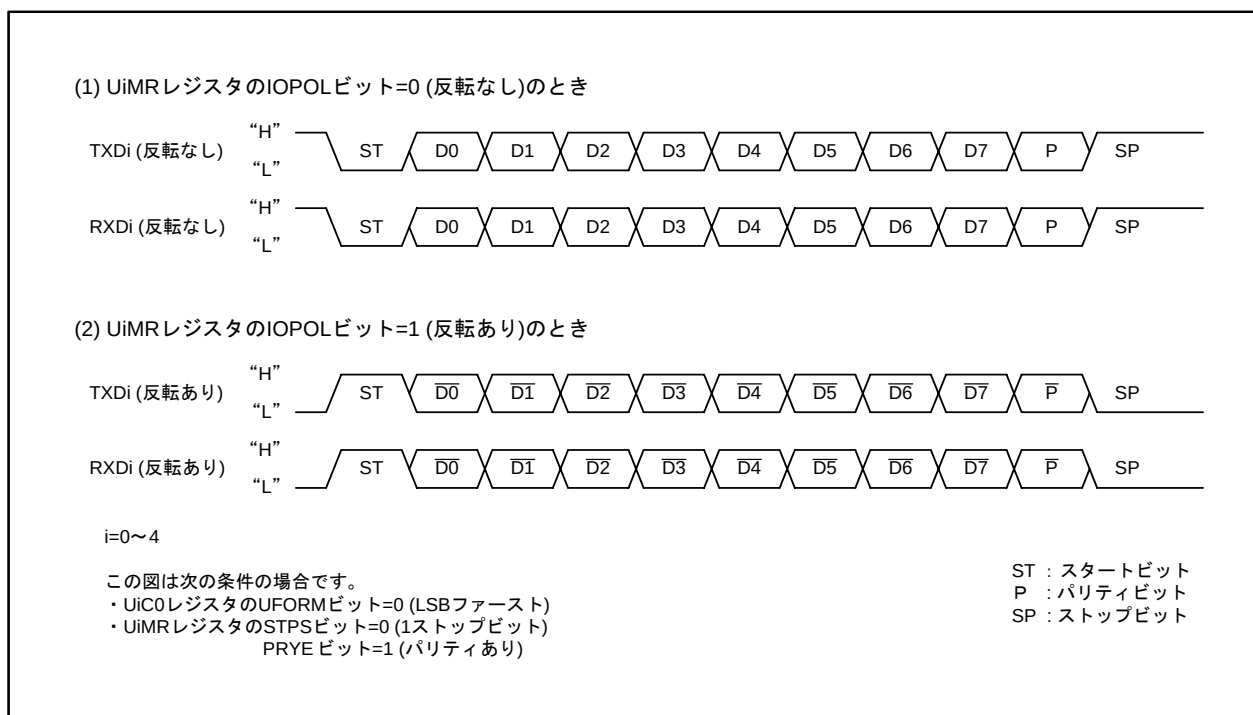


図 17.22 TXD、RXD 入出力極性

17.1.2.5 CTS / RTS機能

- CTS機能

$\overline{\text{CTS}}_i$ 端子($i=0\sim 4$)への入力信号で送信制御を行う機能です。CTS機能を使用する場合は、機能選択レジスタで入出力ポートを選択して、UiC0 レジスタのCRD ビットを“0”(CTS機能許可)、CRS ビットを“0”(CTS機能を選択する)にしてください。

CTS機能を選択時、次の条件を満たしたうえで、 $\overline{\text{CTS}}_i$ 端子の入力レベルが“L”になると、送信を開始します。

- UiC1レジスタのTEビットが“1”(送信許可)
- UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)

送信の最中に $\overline{\text{CTS}}_i$ 端子の入力レベルを“H”にした場合、次のデータから送信を停止します。

- RTS機能

受信準備が整ったことを外部デバイスに通知する機能です。RTS機能を使用する場合は、機能選択レジスタで $\overline{\text{RTS}}_i$ 端子を選択してください。

RTS機能選択時、次の条件を満たすと、 $\overline{\text{RTS}}_i$ 端子から“L”を出力し、スタートビットを検出すると、“H”を出力します。

- UiC1レジスタのRIビットが“0”(UiRBレジスタにデータなし)
- REビットが“1”(受信許可)

17.1.2.6 通信の途中終了時、または通信エラー発生時の処理

クロック非同期モードで、通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で再設定を行ってください。

- (1) UiC1レジスタ($i=0\sim 4$)のTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) UiMRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) UiMRレジスタのSMD2～SMD0ビットを“100b”(UARTモードデータ長7ビット)、“101b”(UARTモードデータ長8ビット)、“110b”(UARTモードデータ長9ビット)のいずれかにする。
- (4) UiC1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

17.1.3 特殊モード1(I²Cモード)

I²Cモードは、簡易型I²Cインタフェースに対応したモードです。

表 17.6 に I²C モードの仕様を、表 17.7 に使用するレジスタと設定値を、表 17.8 に I²C モードの各機能を、表 17.9 に端子の設定を示します。また、図 17.23 にブロック図を、図 17.24 に UiRB レジスタ (i=0～4) への転送、割り込みのタイミングを示します。

表 17.6 I²C モードの仕様

項目	仕様
データフォーマット	データ長 8 ビット
通信速度	マスタ時 (UiMR レジスタ (i=0～4) の CKDIR ビットが “0” (内部クロック) のとき) $\frac{f_j}{2(m+1)}$ $f_j : f_1, f_8, f_{2n}(\text{注1})$ $m : \text{UiBRG レジスタの設定値 (00h～FFh)}$ スレーブ時 (CKDIR ビットが “1” (外部クロック) のとき) SCLi 端子からの入力
送信開始条件	次のすべての条件がそろそろと送信を開始する (注2) ・ UiC1 レジスタの TE ビットが “1” (送信許可) ・ UiC1 レジスタの TI ビットが “0” (UiTB レジスタにデータあり)
受信開始条件	次のすべての条件がそろそろと受信を開始する (注2) ・ TE ビットが “1” ・ TI ビットが “0” ・ UiC1 レジスタの RE ビットが “1” (受信許可)
割り込み要求発生タイミング	・ スタートコンディション検出 ・ ストップコンディション検出 ・ ACK(Acknowledge) 検出 ・ NACK(Not-Acknowledge) 検出
エラー検出	オーバランエラー (注3) UiRB レジスタを読む前に次のデータの 8 ビット目を受信すると発生
選択機能	・ アービトレーションロスト UiRB レジスタの ABT ビットの更新タイミングを選択可 ・ SDAi デジタル遅延 デジタル遅延なし、または UiBRG カウントソースの 2～8 サイクルの遅延を選択可 ・ クロック位相設定 クロック遅れあり、なしを選択可

注1. TCSPR レジスタの CNT3～CNT0 ビットで分周なし (n=0) または 2n 分周 (n=1～15) を選択できます。

注2. 外部クロックを選択している場合、外部クロックが “H” の状態で条件を満たしてください。

注3. オーバランエラーが発生した場合、UiRB レジスタは不定になります。

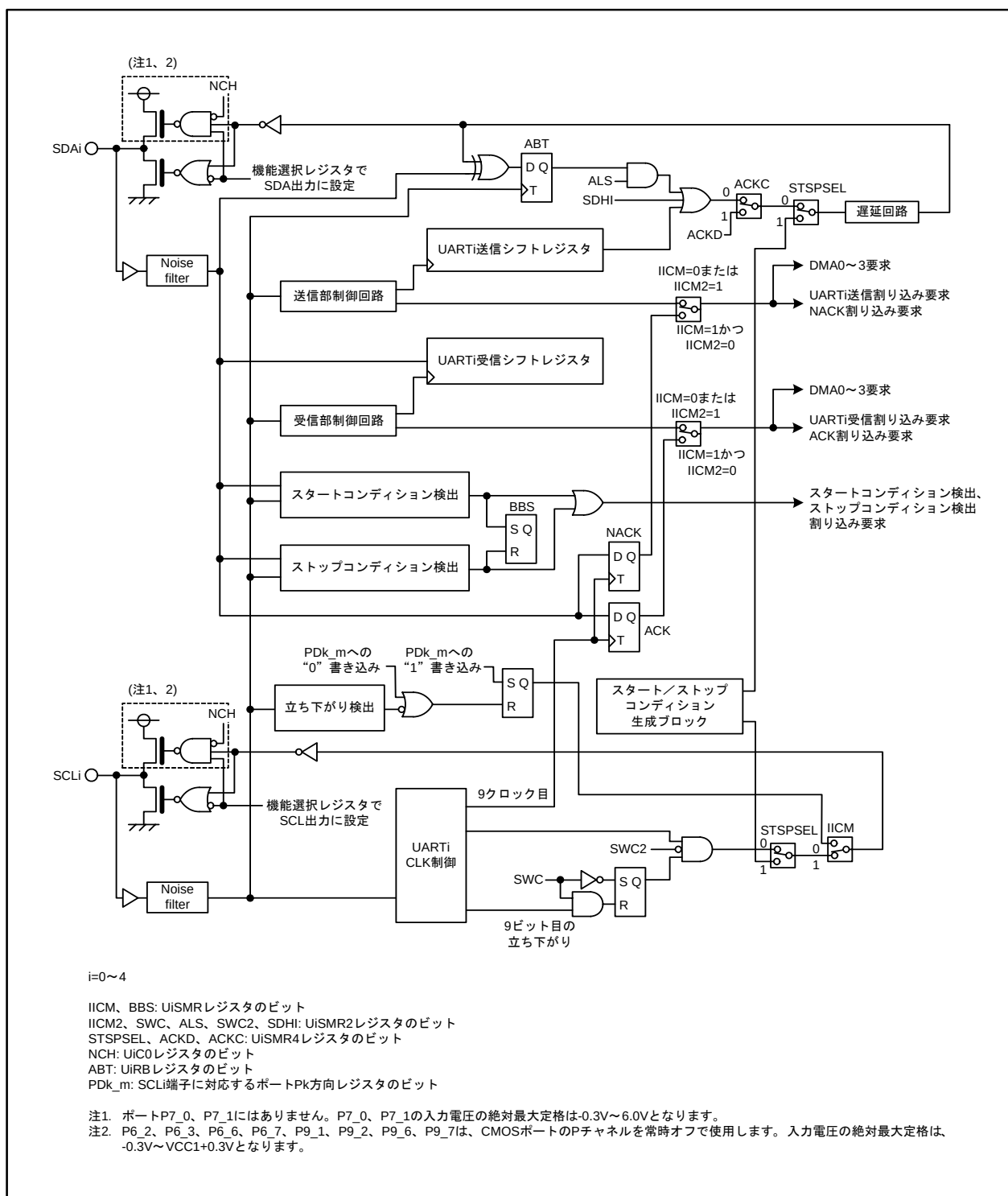
図17.23 I²Cモードのブロック図

表 17.7 I²C モードの使用レジスタと設定値

レジスタ	ビット	機能	
		マスタ時	スレーブ時
UiMR	SMD2～SMD0	“010b” にしてください	
	CKDIR	“0” にしてください	“1” にしてください
	IOPOL	“0” にしてください	
UiSMR	IICM	“1” にしてください	
	ABC	アービトレーションロスト検出タイミングを選択してください	無効
	BBS	パスビジーフラグ	
	3～7	“00000b” にしてください	
UiSMR2	IICM2	「表 17.8 I ² C モードの各機能」参照	
	CSC	クロック同期化を許可する場合、“1” にしてください	“0” にしてください
	SWC	クロックの9ビット目の立ち下がりで SCLi を “L” 出力固定にする場合、“1” にしてください	
	ALS	アービトレーションロスト検出時に SDAi の出力を停止する場合、“1” にしてください	“0” にしてください
	STC	“0” にしてください	スタートコンディション検出で UArTi を初期化する場合、“1” にしてください
	SWC2	SCL の出力を強制的に “L” にする場合、“1” にしてください	
	SDHI	SDA 出力を禁止する場合、“1” にしてください	
	SU1HIM	“0” にしてください	
	UiSMR3	SSE	“0” にしてください
CKPH		「表 17.8 I ² C モードの各機能」参照	
DINC、NODC、ERR		“0” にしてください	
DL2～DL0		SDAi のデジタル遅延値を設定してください	
UiSMR4	STAREQ	スタートコンディションを生成する場合、“1” にしてください	“0” にしてください
	RSTAREQ	リスタートコンディションを生成する場合、“1” にしてください	
	STPREQ	ストップコンディションを生成する場合、“1” にしてください	
	STSPSEL	各コンディション出力時に “1” にしてください	
	ACKD	ACK、NACK を選択してください	
	ACKC	ACK データを出力する場合、“1” にしてください	
	SCLHI	ストップコンディション検出時に SCL 出力停止を許可する場合、“1” にしてください	“0” にしてください
UiC0	CLK1～CLK0	UiBRG のカウントソースを選択してください	無効
	CRS	CRD=1 なので無効	
	TXEPT	送信シフトレジスタ空フラグ	
	CRD、NCH	“1” にしてください	
	CKPOL	“0” にしてください	
	UFORM	“1” にしてください	
	UiC1	TE	送信を許可する場合、“1” にしてください
TI		UiTB レジスタ空フラグ	
RE		受信を許可する場合、“1” にしてください	
RI		受信完了フラグ	
UiLCH、UiERE		“0” にしてください	
UiBRG	0～7	通信速度を設定してください	無効
IFSR	IFSR6、IFSR7	使用する UArTi 割り込み要因を選択してください	
UiTB	0～7	送信データを設定してください	
UiRB	0～7	受信データが読めます	
	8	ACK、NACK が入ります	
	ABT	アービトレーションロスト検出フラグ	無効
	OER	オーバランエラーフラグ	

i=0～4

表 17.8 に示すように、UiMR レジスタの SMD2～SMD0 ビットを“010b”に、UiSMR レジスタの IICM ビットを“1”にすると I²C モードになります。SDAi 送信出力には遅延回路が付加されますので、SCLi が“L”になり安定した後、SDAi 出力が変化します。

表 17.8 I²C モードの各機能

機能	I ² C モード(SMD2～SMD0=010b、IICM=1)			
	IICM2=0 (NACK / ACK 割り込み)		IICM2=1 (UART 送信 / UART 受信 割り込み)	
	CKPH=0	CKPH=1	CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)
割り込み番号 39～41 の要因 (注 1)(図 17.24 参照)	スタートコンディション検出、ストップコンディション検出 (表 17.10 STSPSEL ビットの機能参照)			
割り込み番号 17,19,33,35,37 の 要因(注 1)(図 17.24 参照)	NACKi 9 ビット目の SCLi の立ち上がり		UARTi 送信 9 ビット目の SCLi の立ち上がり	UARTi 送信 9 ビット目の次の SCLi の立ち下がり
割り込み番号 18,20,34,36,38 の 要因(注 1)(図 17.24 参照)	ACKi 9 ビット目の SCLi の立ち上がり		UARTi 受信 9 ビット目の SCLi の立ち下がり	
UART 受信シフトレジスタから UiRB レジスタへのデータ転送 タイミング	9 ビット目の SCLi の立ち上がり		9 ビット目の SCLi の立ち下がり	9 ビット目の SCLi の 立ち下がりと 立ち上がり
UARTi 送信出力遅延	遅延あり			
P6_3,P6_7,P7_0,P9_2,P9_6 端子の機能	SDAi 入出力			
P6_2,P6_6,P7_1,P9_1,P9_7 端子の機能	SCLi 入出力			
ノイズフィルター幅	200ns			
RXDi,SCLi 端子レベルの読み込み	対応するポート方向ビットの内容に関係なく、可能			
TXDi,SDAi 出力の初期値	I ² C モード設定前に、ポートレジスタに設定した値(注 2)			
SCLi の初期値、終了値	H	L	H	L
DMA 要因(図 17.24 参照)	ACKi		UARTi 受信 9 ビット目の SCLi の立ち下がり	
受信データ格納	1～8 ビット目を UiRB レジスタ のビット 7～0 に格納		1～7 ビット目を UiRB レジスタの ビット 6～0 に、 8 ビット目をビット 8 に格納	1～8 ビット目を UiRB レジスタのビット 7～0 に格納(注 3)
受信データ読み出し	UiRB レジスタの状態をそのまま読み出す			UiRB レジスタのビット 6～0 はビット 7～1 と して、ビット 8 はビット 0 として読み出す(注 4)

i=0～4

注 1. 要因を切り替える場合、次の手順で行ってください。

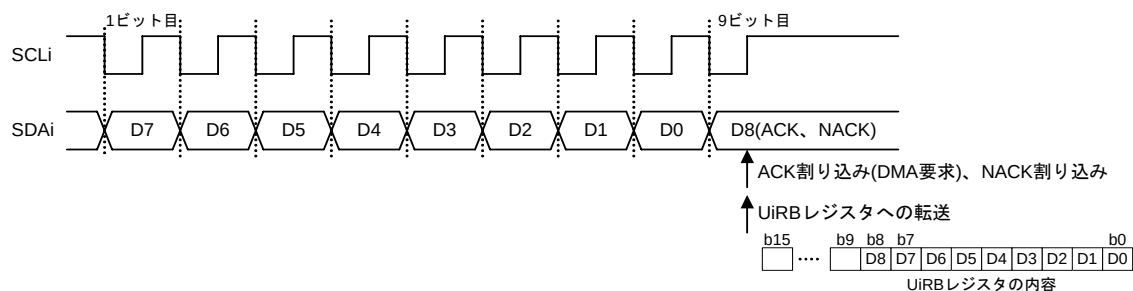
1. 対応する割り込み番号の割り込みを禁止する
2. 要因を切り替える
3. 対応する割り込み番号の IR ビットを“0”(割り込み要求なし)にする
4. 対応する割り込み番号の ILVL2～ILVL0 を設定する

注 2. SDAi 出力の初期値は、UiMR レジスタの SMD2～SMD0 ビットが“000b”(シリアルインタフェースは無効)の状態を設定してください。

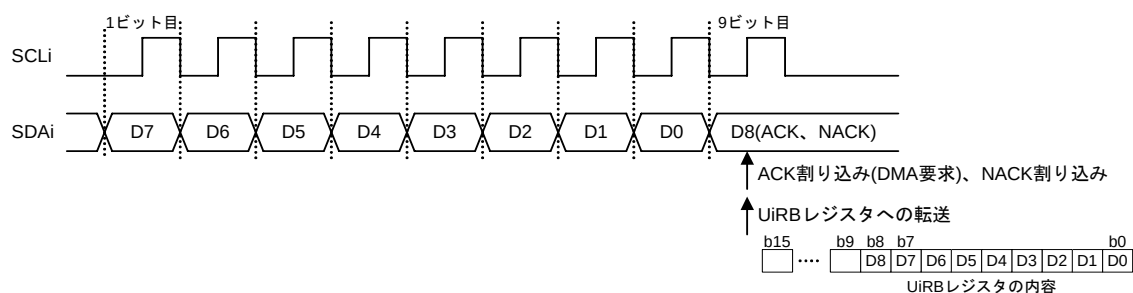
注 3. UiRB レジスタへのデータ転送 2 回目(9 ビット目の SCLi 立ち上がり時)

注 4. UiRB レジスタへのデータ転送 1 回目(9 ビット目の SCLi 立ち下がり時)

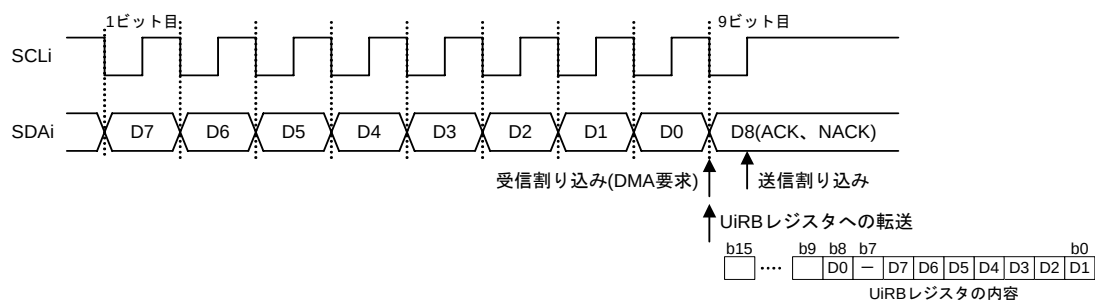
(1) IICM2= “0” (ACK、NACK割り込み)、CKPH= “0” (クロック遅れなし)の場合



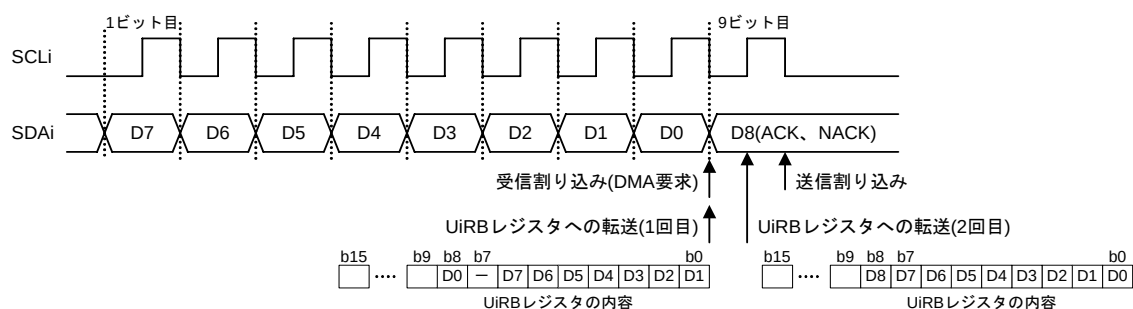
(2) IICM2= “0”、CKPH= “1” (クロック遅れあり)の場合



(3) IICM2= “1” (UART送信、受信割り込み)、CKPH= “0” の場合



(4) IICM2= “1”、CKPH= “1” の場合



i=0~4

この図は次の条件の場合です。
・ UiMRレジスタのCKDIRビット=1 (外部クロック選択)

図 17.24 UiRB レジスタへの転送、割り込みのタイミング

表 17.9 I²C モードの端子の設定

ポート名	機能	ビットと設定値			
		PD6、PD7、PD9 レジスタ (注2)	PSC レジスタ	PSL0、PSL1、 PSL3 レジスタ	PS0、PS1、PS3 レジスタ (注1、2)
P6_2	SCL0 出力	—	—	PSL0_2=0	PS0_2=1
	SCL0 入力	PD6_2=0	—	—	PS0_2=0
P6_3	SDA0 出力	—	—	PSL0_3=0	PS0_3=1
	SDA0 入力	PD6_3=0	—	—	PS0_3=0
P6_6	SCL1 出力	—	—	PSL0_6=0	PS0_6=1
	SCL1 入力	PD6_6=0	—	—	PS0_6=0
P6_7	SDA1 出力	—	—	PSL0_7=0	PS0_7=1
	SDA1 入力	PD6_7=0	—	—	PS0_7=0
P7_0 (注3)	SDA2 出力	—	PSC_0=0	PSL1_0=0	PS1_0=1
	SDA2 入力	PD7_0=0	—	—	PS1_0=0
P7_1 (注3)	SCL2 出力	—	PSC_1=0	PSL1_1=0	PS1_1=1
	SCL2 入力	PD7_1=0	—	—	PS1_1=0
P9_1	SCL3 出力	—	—	PSL3_1=0	PS3_1=1
	SCL3 入力	PD9_1=0	—	—	PS3_1=0
P9_2	SDA3 出力	—	—	PSL3_2=0	PS3_2=1
	SDA3 入力	PD9_2=0	—	—	PS3_2=0
P9_6	SDA4 出力	—	—	—	PS3_6=1
	SDA4 入力	PD9_6=0	—	—	PS3_6=0
P9_7	SCL4 出力	—	—	PSL3_7=0	PS3_7=1
	SCL4 入力	PD9_7=0	—	—	PS3_7=0

注1. PS0、PS1、PS3は最後に設定してください。

注2. PD9、PS3レジスタは、PRCR レジスタのPRC2ビットを“1” (書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA、DMACII転送が入らないようにしてください。

注3. 出力はNチャネルオープンドレイン出力です。

17.1.3.1 スタートコンディション、ストップコンディションの検出

スタートコンディションまたはストップコンディションを検出します。

スタートコンディション検出割り込み要求は、SCLi端子(i=0~4)が“H”の状態でSDAi端子が“H”から“L”に変化すると発生します。ストップコンディション検出割り込み要求は、SCLi端子が“H”の状態でSDAi端子が“L”から“H”に変化すると発生します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用していますので、どちらの要求による割り込みかはUiSMR レジスタのBBSビットで判定してください。

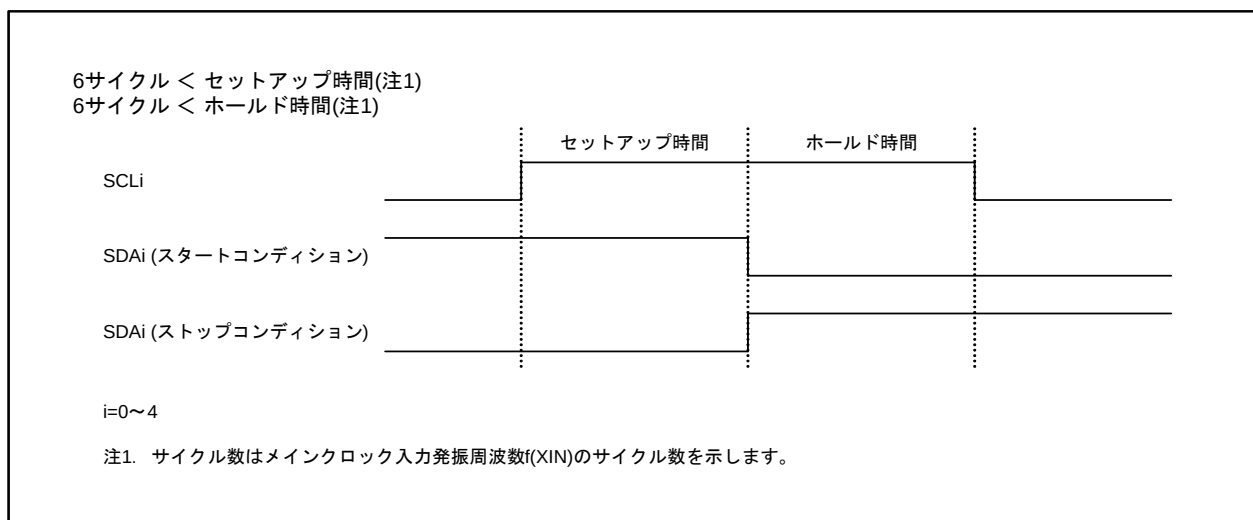


図17.25 スタートコンディション、ストップコンディションの検出

17.1.3.2 スタートコンディション、ストップコンディションの出力

UiSMR4 レジスタ (i=0~4) の STAREQ ビットを “1” (スタート) にするとスタートコンディションを生成します。

UiSMR4 レジスタの RSTAREQ ビットを “1” (スタート) にするとリスタートコンディションを生成します。

UiSMR4 レジスタの STPREQ ビットを “1” (スタート) にするとストップコンディションを生成します。

出力の手順は次の通りです。

- (1) STAREQ ビット、RSTAREQ ビット、または STPREQ ビットを “1” (スタート) にする
- (2) UiSMR4 レジスタの STSPSEL ビットを “1” (出力) にする

表 17.10 と図 17.26 に STSPSEL ビットの機能を示します。

表 17.10 STSPSEL ビットの機能

機能	STSPSEL=0	STSPSEL=1
SCLi、SDAi端子の出力	送受信クロック、データを出力。 スタートコンディション、 ストップコンディションの出力はポート を使ったプログラムで実現(ハードウェア による自動生成はしない)	STAREQ ビット、RSTAREQ ビット、 STPREQ ビットに従って、 スタートコンディション、 ストップコンディションを出力
スタートコンディション、 ストップコンディション 割り込み要求発生 タイミング	スタートコンディション、 ストップコンディション検出	スタートコンディション、 ストップコンディション生成終了

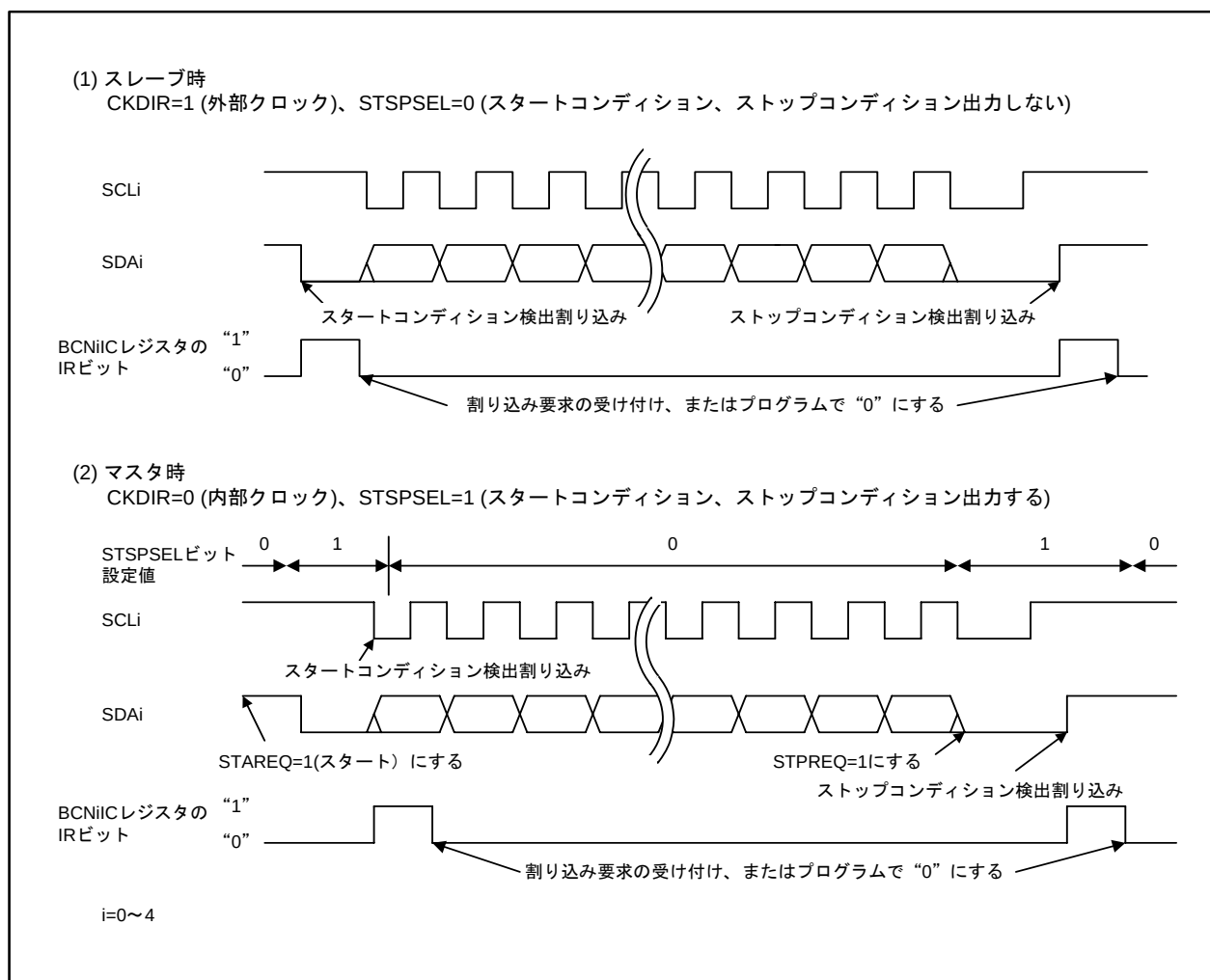


図17.26 STSPSELビットの機能

17.1.3.3 アービトレーション

UiSMR レジスタ ($i=0\sim 4$) の ABC ビットで UiRB レジスタの ABT ビットの更新タイミングを選択します。SCLi の立ち上がりのタイミングで、送信データと SDAi 端子入力データの不一致を判定します。ABC ビットが “0” (ビットごとに更新) の場合、判定時に不一致を検出すると同時に ABT ビットが “1” (検出(負))に、検出しないと “0” (未検出(勝))になります。ABC ビットを “1” にすると、判定時に一度でも不一致が検出された場合、送受信クロックの 9 サイクル目の立ち下がり で ABT ビットが “1” になります。なお、バイトごとに更新する場合は、1 バイト目のアクリッジ検出完了後、ABT ビットを “0” にしてから、次の 1 バイトの転送を開始してください。

UiSMR2 レジスタの ALS ビットが “1” で、ABT ビットが “1” (アービトレーションロスト検出) になったとき、同時に SDAi 端子がハイインピーダンス状態になります。

17.1.3.4 送受信クロック

図 17.24 に示すような送受信クロックで送受信を行います。

UiSMR2 レジスタ ($i=0\sim 4$) の CSC ビットは内部で生成したクロック (内部 SCLi) と、SCLi 端子に入力される外部クロックの同期をとるためのビットです。CSC ビットを “1” (クロック同期化を許可) にすると、内部 SCLi が “H” の場合、SCLi 端子に立ち下がりエッジがあれば内部 SCLi を “L” とし、UiBRG レジスタの値をリロードして “L” 区間のカウントを開始します。また、SCLi 端子が “L” のとき、内部 SCLi が “L” から “H” に変化するとカウントを停止し、SCLi 端子が “H” になるとカウントを再開します。したがって UARTi の送受信クロックは、内部 SCLi と SCLi 端子の信号の論理積になります。送受信クロックは、内部 SCLi の 1 ビット目の立ち下がり の半周期前から 9 ビット目の立ち上がりまで、同期化されます。CSC ビットが “1” の間、送受信クロックは内部クロックを選択してください。

UiSMR2 レジスタの SWC ビットにより、送受信クロックの 9 サイクル目の立ち下がり で SCLi 端子が “L” 出力固定になるか、“L” 出力固定を解除するかを選択できます。

UiSMR4 レジスタの SCLHI ビットを “1” (許可) にすると、ストップコンディション検出時に SCLi 出力を停止します (ハイインピーダンス状態)。

UiSMR2 レジスタの SWC2 ビットを “1” (“L” 出力) にすると、送受信中でも SCLi 端子から強制的に “L” を出力できます。SWC2 ビットを “0” (送受信クロック) にすると、SCLi 端子からの “L” 出力は解除され、送受信クロックが入出力されます。

UiSMR3 レジスタの CKPH ビットが “1” のとき、UiSMR4 レジスタの SWC9 ビットを “1” (SCL “L” ホールド許可) にすると、クロックの 9 ビット目の次の立ち下がり で SCLi 端子は “L” 出力固定になります。SWC9 ビットを “0” (SCL “L” ホールド禁止) にすると “L” 出力固定は解除されます。

17.1.3.5 SDA 出力

UiTB レジスタ ($i=0\sim 4$) のビット 7~0 (D7~D0) に書いた値を、D7 から順に出力します。9 ビット目 (D8) は ACK または NACK です。

SDAi 送信出力の初期値は、UiSMR レジスタの IICM ビットが “1” (I²C モード)、UiMR レジスタの SMD2~SMD0 が “000b” (シリアルインタフェースは無効) の状態で設定してください。

UiSMR3 レジスタの DL2~DL0 ビットにより SDAi の出力を遅延なし、または UiBRG カウントソースの 2~8 サイクルの遅延を設定できます。

UiSMR2 レジスタの SDHI ビットを “1” (SDA 出力禁止) にすると、SDAi 端子が強制的にハイインピーダンス状態になります。なお、SDHI ビットは UARTi の送受信クロックの立ち上がりのタイミングで書かないでください。UiRB レジスタの ABT ビットが “1” (検出) になる場合があります。

17.1.3.6 SDA入力

UiSMR2レジスタ(i=0~4)のIICM2ビットが“0”の場合、受信したデータの1~8ビット目をUiRBレジスタのビット7~0(D7~D0)に格納します。9ビット目(D8)はACKまたはNACKです。

IICM2ビットが“1”の場合、受信したデータの1~7ビット目(D7~D1)をUiRBレジスタのビット6~0に、8ビット目(D0)をUiRBレジスタのビット8に格納します。IICM2ビットが“1”の場合でも、UiSMR3レジスタのCKPHビットが“1”であれば、9ビット目の送受信クロックの立ち上がり後にUiRBレジスタを読み出すことにより、IICM2ビットが“0”の場合と同様のデータが読み出せます。

17.1.3.7 ACK、NACK

UiSMR4レジスタ(i=0~4)のSTSPSELビットが“0”(スタートコンディション、ストップコンディション出力しない)でUiSMR4レジスタのACKCビットが“1”(ACKデータ出力)の場合、UiSMR4レジスタのACKDビットの値がSDAi端子から出力されます。

IICM2ビットが“0”の場合、NACK割り込み要求は送受信クロックの9ビット目の立ち上がり時にSDAi端子が“H”のままであると発生します。ACK割り込み要求は送受信クロックの9ビット目の立ち上がり時にSDAi端子が“L”ならば発生します。

DMA要求要因にACKを選択すると、アクノリッジ検出によってDMA転送を起動できます。

17.1.3.8 送受信初期化

UiSMR2レジスタ(i=0~4)のSTCビットを“1”(回路を初期化する)にし、スタートコンディションを検出すると次のように動作します。

- 送信シフトレジスタは初期化され、UiTBレジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力された送受信クロックを1ビット目として送信を開始します。ただし、UARTi出力値はクロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- 受信レジスタは初期化され、次に入力された送受信クロックを1ビット目として受信を開始されます。
- UiSMR2レジスタのSWCビットが“1”(SCLウェイト出力許可)になります。これにより、送受信クロックの9ビット目の立ち下がりでSCLi端子が“L”になります。

なお、STCビットを“1”でUARTiの送受信を開始した場合、UiC1レジスタのTIビットは変化しません。また、STCビットを“1”でUARTiの送受信を開始した場合、送受信クロックは外部クロックを選択してください。

17.1.4 特殊モード2

全二重のクロック同期シリアル通信を行うモードです。送受信制御としてSS機能が選択できます。 $\overline{\text{SSi}}$ 端子($i=0\sim4$)への入力信号により送受信が許可または禁止されます。禁止された場合、出力端子はハイインピーダンスになります。

表17.11に特殊モード2の仕様を、表17.12に端子の設定を、図17.27にレジスタ設定手順を示します。

表17.11 特殊モード2の仕様

項目	仕様
データフォーマット	データ長 8ビット
通信速度	UiMRレジスタのCKDIRビットが“0”(内部クロック)のとき $f_j = \frac{f_1, f_8, f_{2n}}{2(m+1)}$ $m : \text{UiBRGレジスタの設定値}(00h \sim FFh)$ CKDIRビットが“1”(外部クロック)のとき CLKi端子からの入力
送受信制御	SS機能 マスタ対マスタ、スレーブ対スレーブでデータが衝突しないように出力端子をハイインピーダンス状態にする
送受信開始条件	内部クロック選択時(マスタモード) ・UiC1レジスタのTEビットが“1”(送信許可) ・UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) ・UiC1レジスタのREビットが“1”(受信許可) ・SS機能使用時、 $\overline{\text{SSi}}$ 端子に“H”を入力 外部クロック選択時(スレーブモード)(注2) ・TEビットが“1” ・TIビットが“0” ・REビットが“1” ・ $\overline{\text{SSi}}$ 端子に“L”を入力 内部クロック選択時、外部クロック選択時ともに送信のみの場合はREビットの設定は不要
割り込み要求発生タイミング	送信割り込み(UiC1レジスタのUiIRSビットで選択) ・UiIRSビットが“0”(UiTBレジスタ空) UiTBレジスタからUARTi送信シフトレジスタにデータ転送時(送信開始時) ・UiIRSビットが“1”(送信完了) UARTi送信シフトレジスタからデータ送信完了時 受信割り込み ・UARTi受信シフトレジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	・オーバランエラー(注3) UiRBレジスタを読む前に次のデータの7ビット目を受信すると発生 ・モードエラー マスタ時、 $\overline{\text{SSi}}$ 端子に“L”が入力された時に発生
選択機能	・CLK極性選択 送受信データの入出力タイミングを選択可 ・ビットオーダ選択 LSBファーストまたはMSBファーストを選択可 ・シリアルデータ論理切り替え 送受信データの論理値を反転する機能 ・TXD、RXD入出力極性切り替え TXD端子出力とRXD端子入力のレベルを反転する機能(入出力するデータのレベルがすべて反転する) ・クロック位相選択 送受信クロックの極性と位相の4つの組み合わせを選択可

注1. TCSPRレジスタのCNT3～CNT0ビットで分周なし($n=0$)または $2n$ 分周($n=1\sim15$)を選択できます。

注2. 外部クロック選択時、UiC0レジスタのCKPOLビットが“0”の場合はCLKi端子が“H”の状態、CKPOLビットが“1”の場合はCLKi端子が“L”の状態、これらの条件を満たすようにしてください。

注3. オーバランエラーが発生した場合、UiRBレジスタは不定になります。SiRICレジスタのIRビットは“1”(割り込み要求あり)になりません。

表 17.12 特殊モード2の端子の設定

ポート名	機能	ビットと設定値			
		PD6、PD7、PD9 レジスタ (注2)	PSC レジスタ	PSL0、PSL1、 PSL3レジスタ	PS0、PS1、PS3 レジスタ (注1、2)
P6_0	$\overline{SS0}$ 入力	PD6_0=0	—	—	PS0_0=0
P6_1	CLK0出力(マスタ)	—	—	PSL0_1=0	PS0_1=1
	CLK0入力(スレーブ)	PD6_1=0	—	—	PS0_1=0
P6_2	RXD0入力(マスタ)	PD6_2=0	—	—	PS0_2=0
	STXD0出力(スレーブ)	—	—	PSL0_2=1	PS0_2=1
P6_3	TXD0出力(マスタ)	—	—	PSL0_3=0	PS0_3=1
	SRXD0入力(スレーブ)	PD6_3=0	—	—	PS0_3=0
P6_4	$\overline{SS1}$ 入力	PD6_4=0	—	—	PS0_4=0
P6_5	CLK1出力(マスタ)	—	—	PSL0_5=0	PS0_5=1
	CLK1入力(スレーブ)	PD6_5=0	—	—	PS0_5=0
P6_6	RXD1入力(マスタ)	PD6_6=0	—	—	PS0_6=0
	STXD1出力(スレーブ)	—	—	PSL0_6=1	PS0_6=1
P6_7	TXD1出力(マスタ)	—	—	PSL0_7=0	PS0_7=1
	SRXD1入力(スレーブ)	PD6_7=0	—	—	PS0_7=0
P7_0 (注3)	TXD2出力(マスタ)	—	PSC_0=0	PSL1_0=0	PS1_0=1
	SRXD2入力(スレーブ)	PD7_0=0	—	—	PS1_0=0
P7_1 (注3)	RXD2入力(マスタ)	PD7_1=0	—	—	PS1_1=0
	STXD2出力(スレーブ)	—	—	PSL1_1=1	PS1_1=1
P7_2	CLK2出力(マスタ)	—	PSC_2=0	PSL1_2=0	PS1_2=1
	CLK2入力(スレーブ)	PD7_2=0	—	—	PS1_2=0
P7_3	$\overline{SS2}$ 入力	PD7_3=0	—	—	PS1_3=0
P9_0	CLK3出力(マスタ)	—	—	PSL3_0=0	PS3_0=1
	CLK3入力(スレーブ)	PD9_0=0	—	—	PS3_0=0
P9_1	RXD3入力(マスタ)	PD9_1=0	—	—	PS3_1=0
	STXD3出力(スレーブ)	—	—	PSL3_1=1	PS3_1=1
P9_2	TXD3出力(マスタ)	—	—	PSL3_2=0	PS3_2=1
	SRXD3入力(スレーブ)	PD9_2=0	—	—	PS3_2=0
P9_3	$\overline{SS3}$ 入力	PD9_3=0	—	PSL3_3=0	PS3_3=0
P9_4	$\overline{SS4}$ 入力	PD9_4=0	—	PSL3_4=0	PS3_4=0
P9_5	CLK4出力(マスタ)	—	—	—	PS3_5=1
	CLK4入力(スレーブ)	PD9_5=0	—	PSL3_5=0	PS3_5=0
P9_6	TXD4出力(マスタ)	—	—	—	PS3_6=1
	SRXD4入力(スレーブ)	PD9_6=0	—	PSL3_6=0	PS3_6=0
P9_7	RXD4入力(マスタ)	PD9_7=0	—	—	PS3_7=0
	STXD4出力(スレーブ)	—	—	PSL3_7=1	PS3_7=1

注1. PS0、PS1、PS3レジスタは最後に設定してください。

注2. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”（書き込み許可）にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送、DMACII転送が入らないようにしてください。

注3. 出力はNチャネルオープンドレイン出力です。

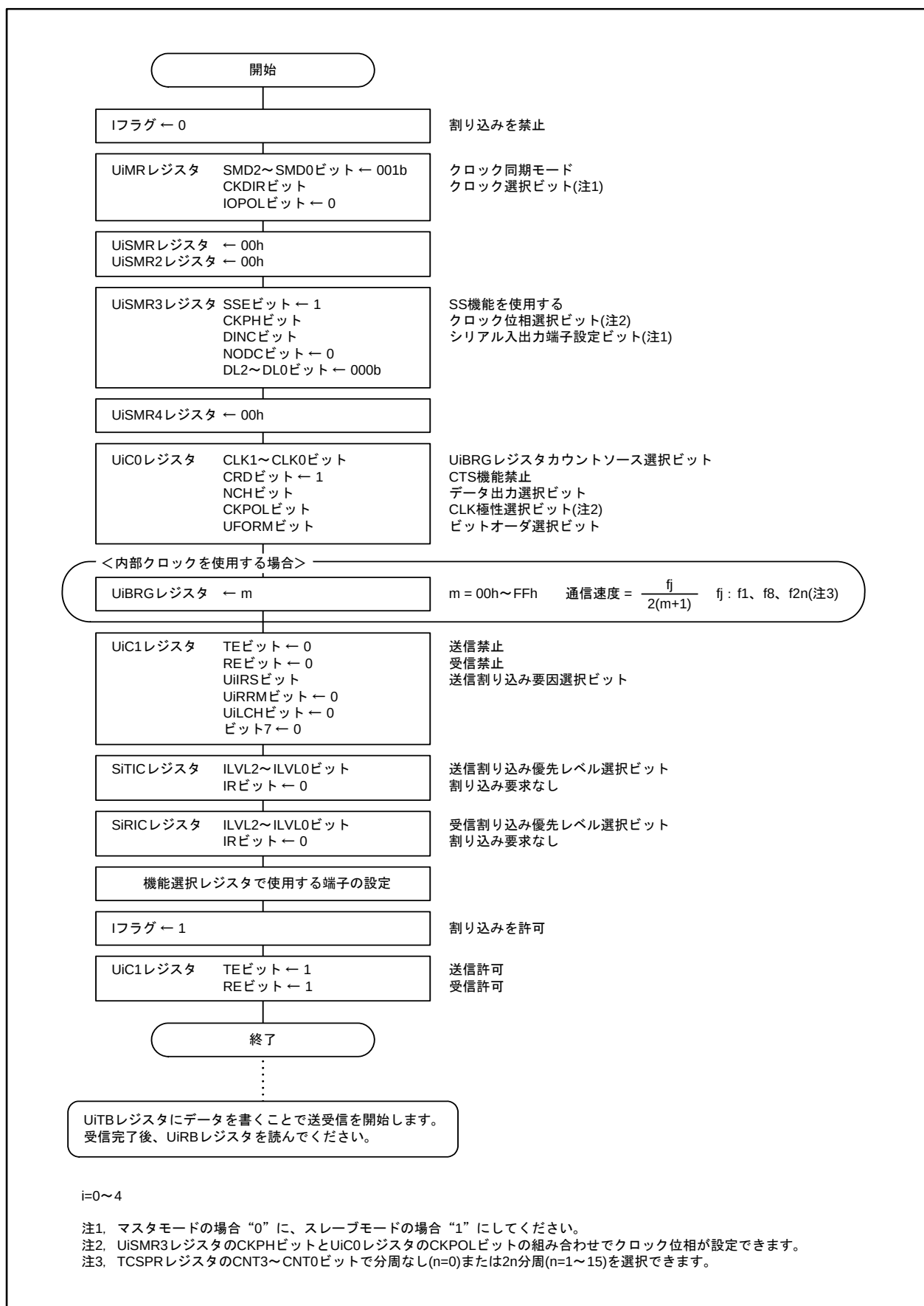


図17.27 特殊モード2を使用する場合のレジスタの設定手順

17.1.4.1 マスタモード

UiSMR3レジスタ(i=0~4)のDINCビットを“0”にするとマスタモードになります。マスタモードでは次の端子を使用します。

- TXDi : 送信データ出力
- RXDi : 受信データ入力
- CLKi : 送受信クロック出力

UiSMR3レジスタのSSEビットを“1”にするとSS機能が使用できます。 $\overline{SSi}$ 端子に“H”が入力されているとき、送受信を行うことができます。 $\overline{SSi}$ 端子に“L”が入力されると、UiSMR3レジスタのERRビットは“1”(モードエラーあり)になり、CLKi端子、TXDi端子はハイインピーダンスになります。UiC1レジスタのUiIRSビットを“1”(割り込み要因に送信完了を選択)にし、送信完了割り込みルーチンでERRビットを判定してください。モードエラー発生後、送受信を再開する場合、 $\overline{SSi}$ 端子に“H”が入力されている状態で、ERRビットに“0”を書いてください。CLKi端子とTXDi端子が出力になります。

17.1.4.2 スレーブモード

UiSMR3レジスタのDINCビットを“1”にするとスレーブモードになります。スレーブモードでは次の端子を使用します。

- STXDi : 送信データ出力
- SRXDi : 受信データ入力
- CLKi : 送受信クロック入力

UiSMR3レジスタのSSEビットを“1”にするとSS機能が使用できます。 $\overline{SSi}$ 端子に“L”が入力されているとき、クロックの入力が有効になり、送受信を行うことができます。 $\overline{SSi}$ 端子に“H”が入力されているとき、クロックの入力は無視され、STXDi端子はハイインピーダンスになります。

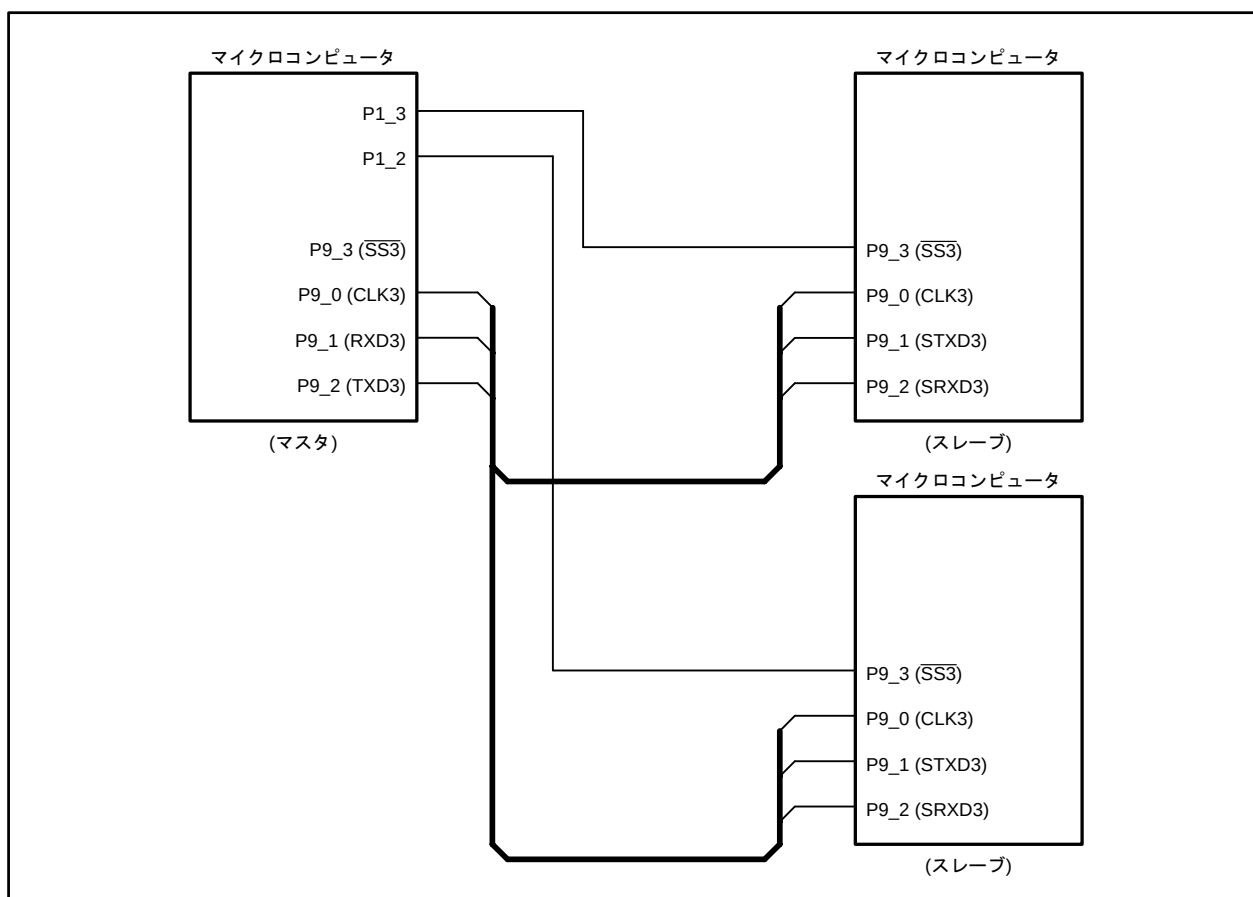


図17.28 $\overline{SSi}$ 端子を用いたシリアルバスの通信制御例

17.1.4.3 クロック位相設定機能

UiSMR3レジスタ(i=0~4)のCKPHビットと、UiC0レジスタのCKPOLビットによって送受信クロックの極性と位相の4つの組み合わせを選択できます。送受信クロックの極性と位相は、通信を行うマスタとスレーブで同じにしてください。図17.29に特殊モード2の送受信タイミングを示します。

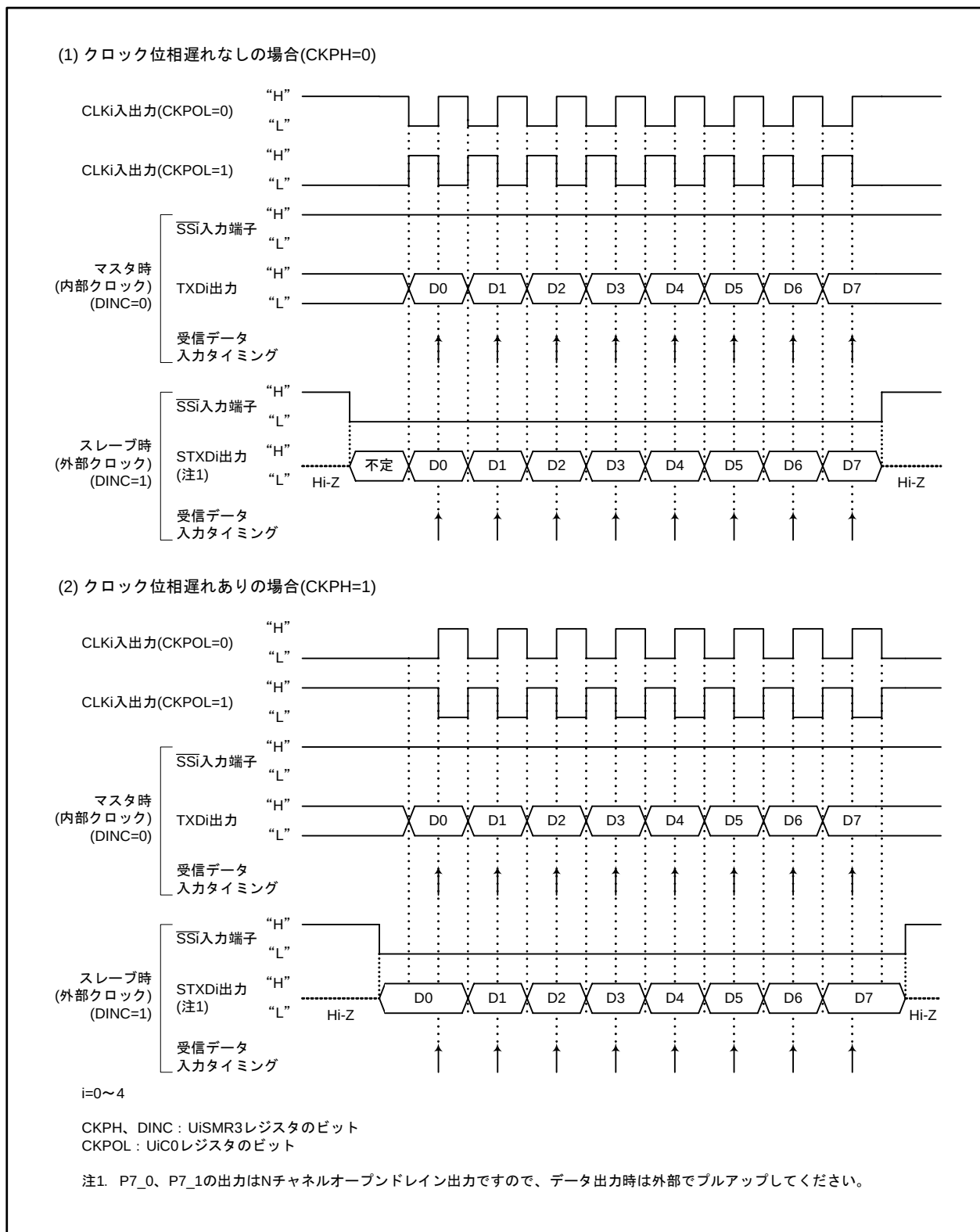


図17.29 特殊モード2の送受信タイミング

17.1.5 特殊モード3(GCIモード)

全二重のクロック同期シリアル通信を行うモードです。 $\overline{\text{CTSi}}$ 端子 ($i=0 \sim 4$) へトリガが入力されると、連続した外部クロックを基に内部送受信クロックが生成され送受信を開始します。

表17.13にGCIモードの仕様を、表17.14に端子の設定を、図17.30にレジスタの設定手順を示します。

表 17.13 GCIモードの仕様

項目	仕様
データフォーマット	データ長 8ビット
送受信クロック	外部クロックを選択 UiMR レジスタ ($i=0 \sim 4$) の CKDIR ビットを “1” (外部クロック) トリガ入力に同期して、外部クロックの分周なしクロックまたは2分周クロックが送受信クロックになる
送受信開始条件	次のすべての条件がそろった後、 $\overline{\text{CTSi}}$ 端子にトリガ信号が入力されると送受信を開始する ・ UiC1 レジスタの TE ビットが “1” (送信許可) ・ UiC1 レジスタの TI ビットが “0” (UiTB レジスタにデータあり) ・ UiC1 レジスタの RE ビットが “1” (受信許可) ・ UiC1 レジスタの SCLKSTPB ビットが “0” (クロック分周同期化停止) $\overline{\text{CTSi}}$ 端子にトリガ信号が入力されると SCLKSTPB ビットが “1” (クロック分周同期化開始) になる
送受信停止条件	UiC1 レジスタの SCLKSTPB ビットが “0”
割り込み要求発生タイミング	送信割り込み (UiC1 レジスタの UiIRS ビットで選択) ・ UiIRS ビットが “0” (UiTB レジスタ空) UiTB レジスタから UARTi 送信シフトレジスタにデータ転送時 (送信開始時) ・ UiIRS ビットが “1” (送信完了) UARTi 送信シフトレジスタからデータ送信完了時 受信割り込み ・ UARTi 受信シフトレジスタから UiRB レジスタへデータ転送時 (受信完了時)
エラー検出	・ オーバランエラー (注1) UiRB レジスタを読む前に次のデータの7ビット目を受信すると発生

注1. オーバランエラーが発生した場合、UiRB レジスタは不定になります。SiRIC レジスタの IR ビットは “1” (割り込み要求あり) に変化しません。

表 17.14 GCI モードの端子の設定

ポート名	機能	ビットと設定値			
		PD6、PD7、PD9 レジスタ (注2)	PSC レジスタ	PSL0、PSL1、 PSL3 レジスタ	PS0、PS1、PS3 レジスタ (注1、2)
P6_0	$\overline{\text{CTS0}}$ 入力 (注3)	PD6_0=0	—	—	PS0_0=0
P6_1	CLK0 入力	PD6_1=0	—	—	PS0_1=0
P6_2	RXD0 入力	PD6_2=0	—	—	PS0_2=0
P6_3	TXD0 出力	—	—	PSL0_3=0	PS0_3=1
P6_4	$\overline{\text{CTS1}}$ 入力 (注3)	PD6_4=0	—	—	PS0_4=0
P6_5	CLK1 入力	PD6_5=0	—	—	PS0_5=0
P6_6	RXD1 入力	PD6_6=0	—	—	PS0_6=0
P6_7	TXD1 出力	—	—	PSL0_7=0	PS0_7=1
P7_0 (注4)	TXD2 出力	—	PSC_0=0	PSL1_0=0	PS1_0=1
P7_1	RXD2 入力	PD7_1=0	—	—	PS1_1=0
P7_2	CLK2 入力	PD7_2=0	—	—	PS1_2=0
P7_3	$\overline{\text{CTS2}}$ 入力 (注3)	PD7_3=0	—	—	PS1_3=0
P9_0	CLK3 入力	PD9_0=0	—	—	PS3_0=0
P9_1	RXD3 入力	PD9_1=0	—	—	PS3_1=0
P9_2	TXD3 出力	—	—	PSL3_2=0	PS3_2=1
P9_3	$\overline{\text{CTS3}}$ 入力 (注3)	PD9_3=0	—	PSL3_3=0	PS3_3=0
P9_4	$\overline{\text{CTS4}}$ 入力 (注3)	PD9_4=0	—	PSL3_4=0	PS3_4=0
P9_5	CLK4 入力	PD9_5=0	—	PSL3_5=0	PS3_5=0
P9_6	TXD4 出力	—	—	—	PS3_6=1
P9_7	RXD4 入力	PD9_7=0	—	—	PS3_7=0

注1. PS0、PS1、PS3 レジスタは最後に設定してください。

注2. PD9、PS3 レジスタは、PRCR レジスタの PRC2 ビットを “1” (書き込み許可) にした次の命令で書き換えてください。PRC2 ビットを “1” にする命令と PD9、PS3 レジスタを書き換える命令の間に、割り込みや DMA 転送、DMACII 転送が入らないようにしてください。

注3. $\overline{\text{CTS}}$ 入力は、トリガ入力に使用。

注4. 出力は N チャンネルオープンドレイン出力です。

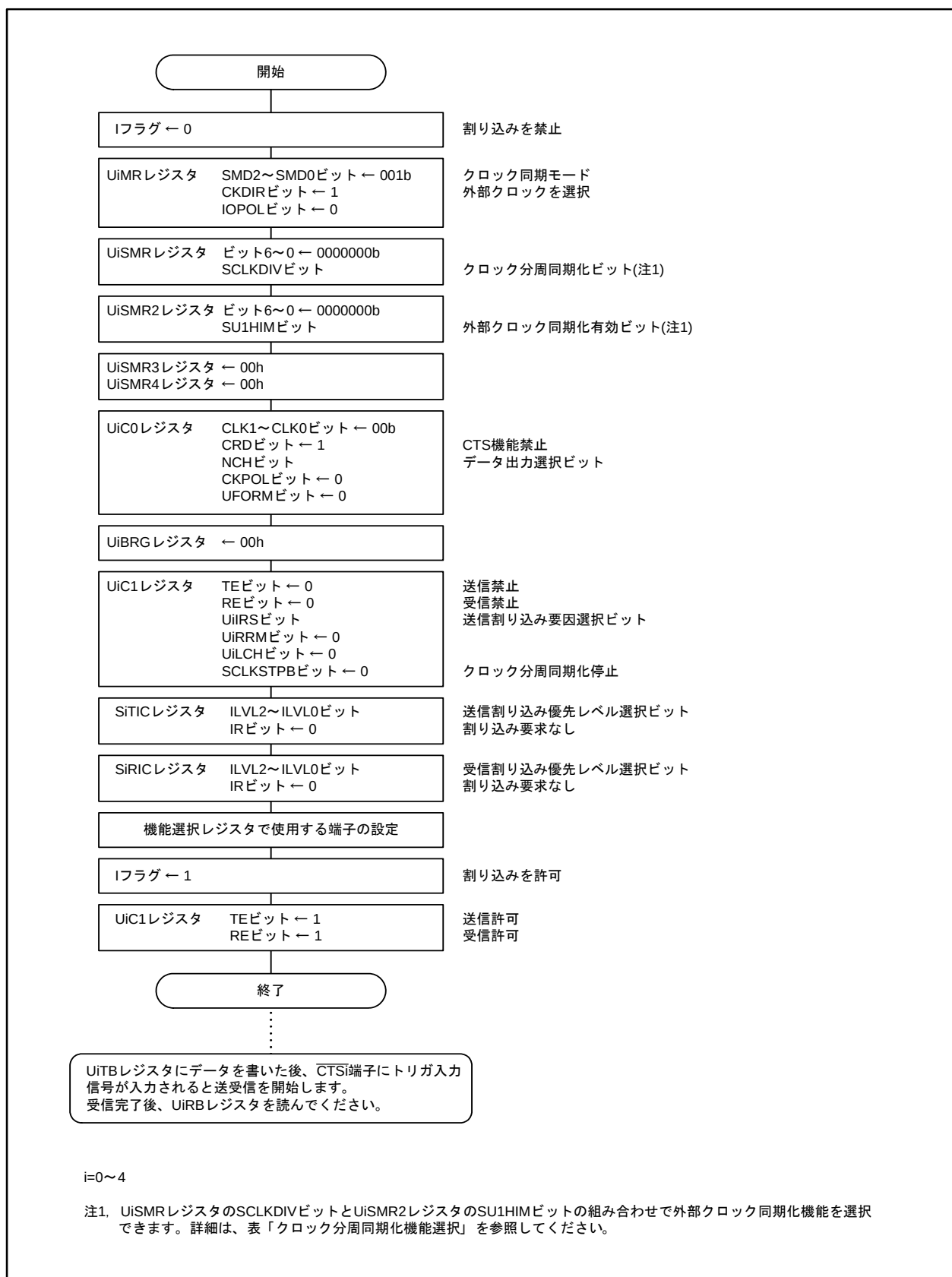


図 17.30 GCIモードを使用する場合のレジスタの設定手順

UiC1 レジスタ ($i=0\sim 4$) の SCLKSTPB ビットが “0” の状態で、UiSMR2 レジスタの SU1HIM ビットと、UiSMR レジスタの SCLKDIV ビットに表 17.15 に示す値を設定し、 $\overline{\text{CTS}}_i$ 端子にトリガ信号が入力されると、SCLKSTPB ビットが “1” になり、送受信を開始します。送受信クロックには、外部クロックまたは外部クロックを2分周したクロックが選択できます。

SCLKSTPB ビットを “0” にすると、直ちに送受信を停止します。

図 17.31 にクロック分周同期化機能使用例を示します。

表 17.15 クロック分周同期化機能選択

UiSMR レジスタの SCLKDIV ビット	UiSMR2 レジスタの SU1HIM ビット	クロック分周同期化機能選択
0	0	同期化しない
0	1	外部クロックと同周期
1	0 または 1	外部クロックを2分周した周期

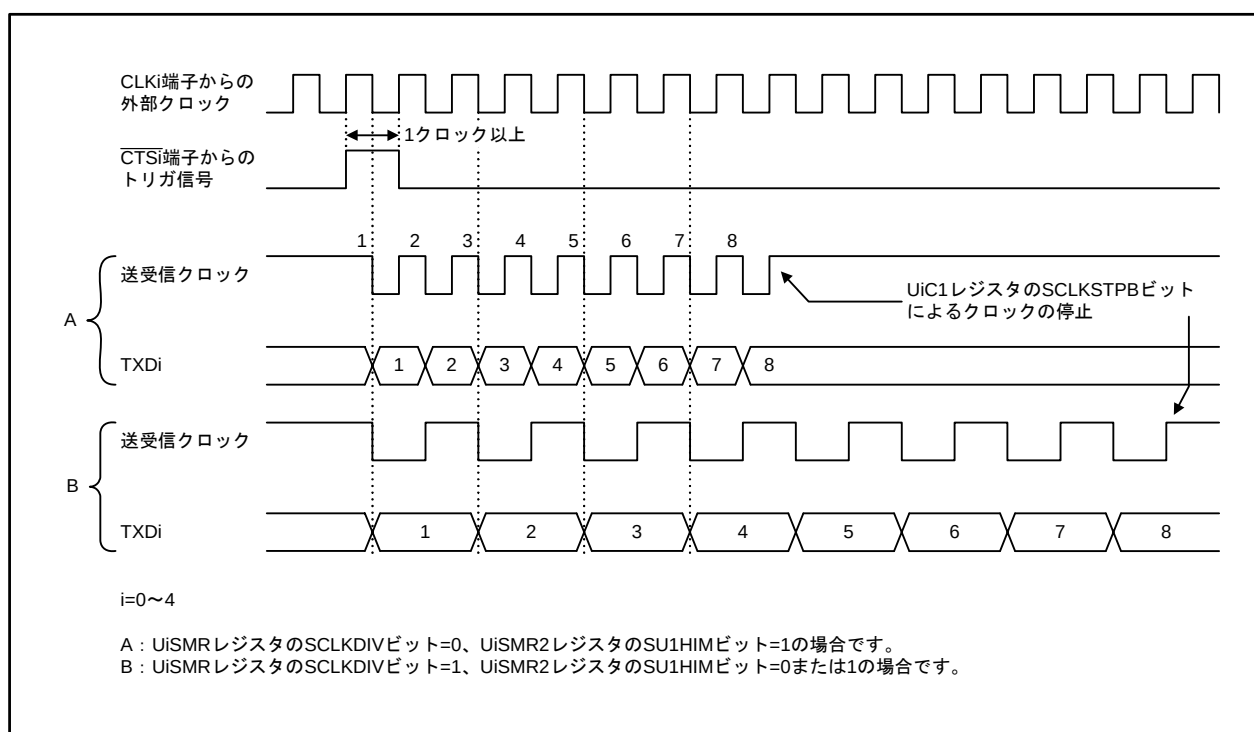


図 17.31 クロック分周同期化機能使用例

17.1.6 特殊モード4(SIMモード)

UARTモードを使用して、SIMインタフェースに対応するモードです。ダイレクトフォーマットとインバースフォーマットが実現でき、パリティエラー検出時にはTXDi端子(i=0～4)から“L”を出力できます。

表17.16にSIMモードの仕様を、表17.17に端子の設定を、図17.32にレジスタの設定手順を示します。また、図17.33に送受信動作例を、図17.34に接続例を示します。

表 17.16 SIMモードの仕様

項目	仕様
データフォーマット	- データ長 8ビットUARTモード 1ストップビット - ダイレクトフォーマットの場合 - パリティ偶数 - データ論理反転なし - ビットオーダーLSBファースト - インバースフォーマットの場合 - パリティ奇数 - データ論理反転あり - ビットオーダーMSBファースト
通信速度	UiMRレジスタのCKDIRビットを“0”(内部クロック)にする $\frac{f_j}{16(m+1)}$ f_j : f1、f8、f2n(注1) m : UiBRGレジスタの設定値(00h～FFh)
送信制御、受信制御	CTS / RTS機能禁止
送信開始条件	次のすべての条件がそろって送信を開始する - UiC1レジスタのTEビットが“1”(送信許可) - UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	次のすべての条件がそろって受信を開始する - UiC1レジスタのREビットが“1”(受信許可) - スタートビットの検出
割り込み要求発生タイミング	送信割り込み - UiC1レジスタのUiIRSビットを“1”(送信割り込み要因は送信完了)にする UARTi送信シフトレジスタから最終ストップビット出力時(送信完了時) 受信割り込み - UARTi受信シフトレジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	- オーバランエラー(注2) UiRBレジスタを読む前に次のデータのストップビットの1つ前のビットを受信すると発生 - フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 - パリティエラー パリティありの場合に、受信したデータとパリティビットに含まれる“1”の個数(偶数個 / 奇数個)が設定した個数(偶数個 / 奇数個)と一致しなかったときに発生 - エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合、SUMビットが“1”になる

注1. TCSPLレジスタのCNT3～CNT0ビットで分周なし(n=0)または2n分周(n=1～15)を選択できます。

注2. オーバランエラーが発生した場合、UiRBレジスタは不定になります。SiRICレジスタのIRビットは“1”(割り込み要求あり)に変化しません。

表 17.17 SIMモードの端子の設定

ポート名	機能	ビットと設定値			
		PD6、PD7、PD9 レジスタ (注2)	PSC レジスタ	PSL0、PSL1、 PSL3 レジスタ	PS0、PS1、PS3 レジスタ (注1、2)
P6_2	RXD0入力	PD6_2=0	—	—	PS0_2=0
P6_3	TXD0出力	—	—	PSL0_3=0	PS0_3=1
P6_6	RXD1入力	PD6_6=0	—	—	PS0_6=0
P6_7	TXD1出力	—	—	PSL0_7=0	PS0_7=1
P7_0 (注3)	TXD2出力	—	PSC_0=0	PSL1_0=0	PS1_0=1
P7_1	RXD2入力	PD7_1=0	—	—	PS1_1=0
P9_1	RXD3入力	PD9_1=0	—	—	PS3_1=0
P9_2	TXD3出力	—	—	PSL3_2=0	PS3_2=1
P9_6	TXD4出力	—	—	—	PS3_6=1
P9_7	RXD4入力	PD9_7=0	—	—	PS3_7=0

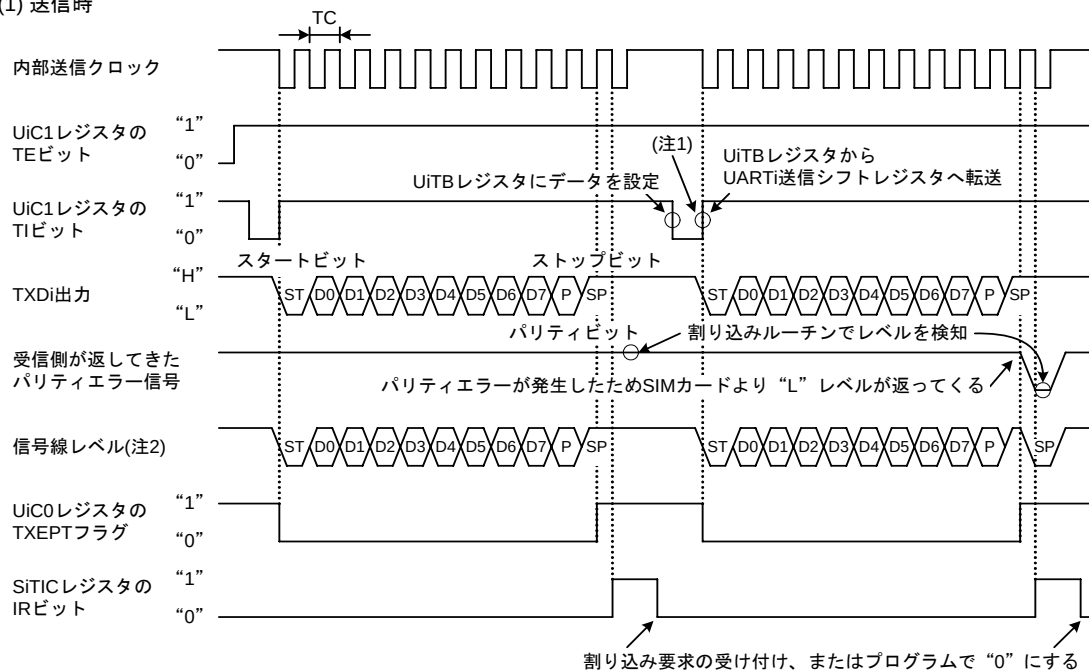
注1. PS0、PS1、PS3レジスタは最後に設定してください。

注2. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送、DMACII転送が入らないようにしてください。

注3. 出力はNチャネルオープンドレイン出力です。

図17.32 SIMモードを使用する場合のレジスタの設定手順

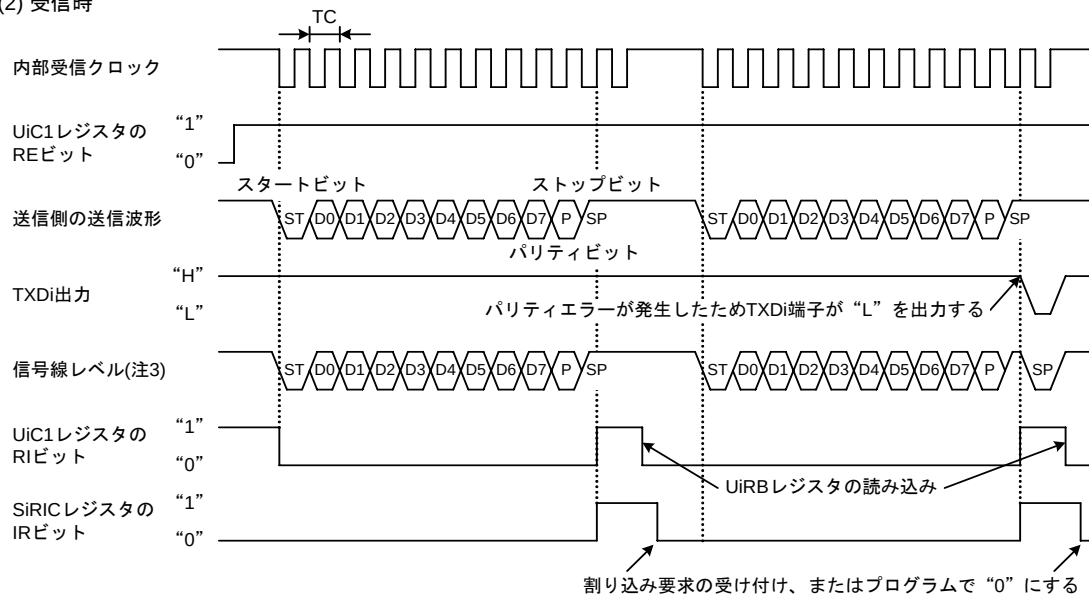
(1) 送信時



この図は次の条件の場合です。

- ・ UI1MRレジスタのPRYEビット=1 (パリティあり)、STPSビット=0 (1ストップビット)
- ・ UI1CレジスタのUiIRSビット=1 (送信完了で割り込み要求発生)

(2) 受信時



この図は次の条件の場合です。

- ・ UI1MRレジスタのPRYEビット=1 (パリティあり)、STPSビット=0 (1ストップビット)

$i=0\sim 4$

$$TC = \frac{16(m+1)}{f_j}$$

f_j : f_1 , f_8 , f_{2n} (注4)

m : UI1BRGレジスタの設定値(00~FFh)

注1. 上記タイミングで、UI1Bレジスタに値を書いた後、BRGのオーバフロータイミングで送信が開始されます。

注2. TXDiとRXDiを接続しているためTXDiの送信波形と受信側が返してきたパリティエラー信号を合成した波形になります。

注3. TXDiとRXDiを接続しているため送信側の送信波形とTXDiのパリティエラー信号出力を合成した波形になります。

注4. TCSPPRレジスタのCNT3~CNT0ビットで分周なし($n=0$)または2n分周($n=1\sim 15$)を選択できます。

図 17.33 SIMモードの送受信動作例

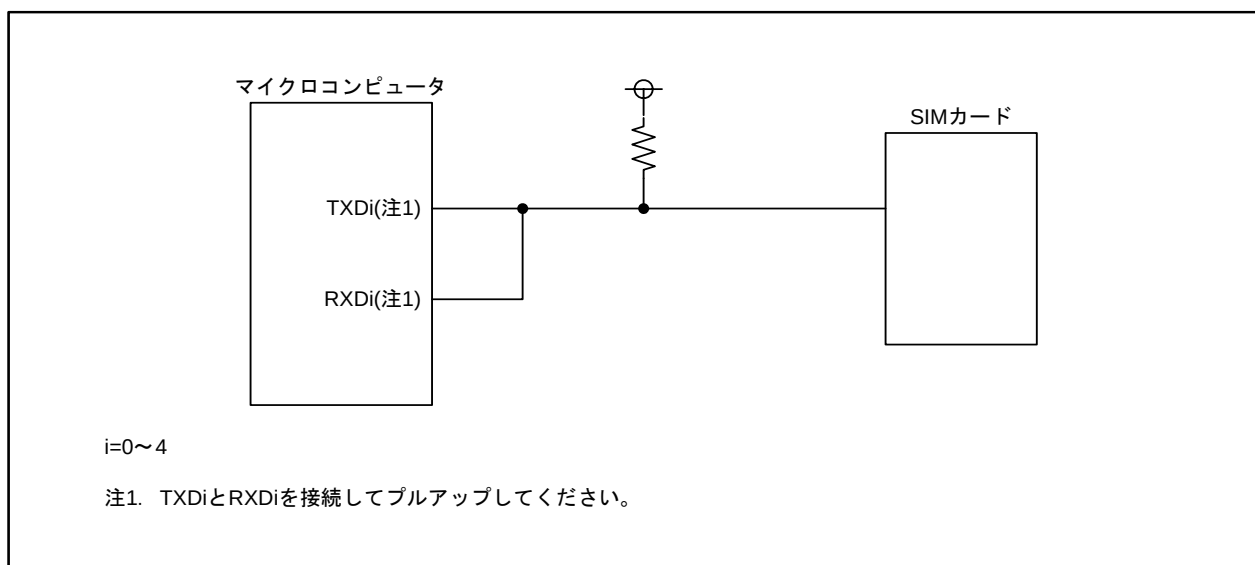


図17.34 SIM インタフェース接続例

17.1.6.1 パリティエラー信号出力機能

UiC1レジスタ(i=0~4)のUiEREビットを“1”(エラー信号出力)にすると、パリティエラー信号を出力できます。パリティエラー信号は、受信時にパリティエラーを検出した場合に出力する信号で、図17.35に示すタイミングでTXDi出力が“L”になります。ただし、パリティエラー信号出力中にUiRBレジスタを読むと、UiRBレジスタのPERビットが“0”(パリティエラーなし)になり、同時にTXDi出力も“H”に戻ります。

送信時、送信完了割り込みルーチンで、RXDiと端子を共用するポートを読むと、パリティエラー信号が返されたかどうか判定できます。

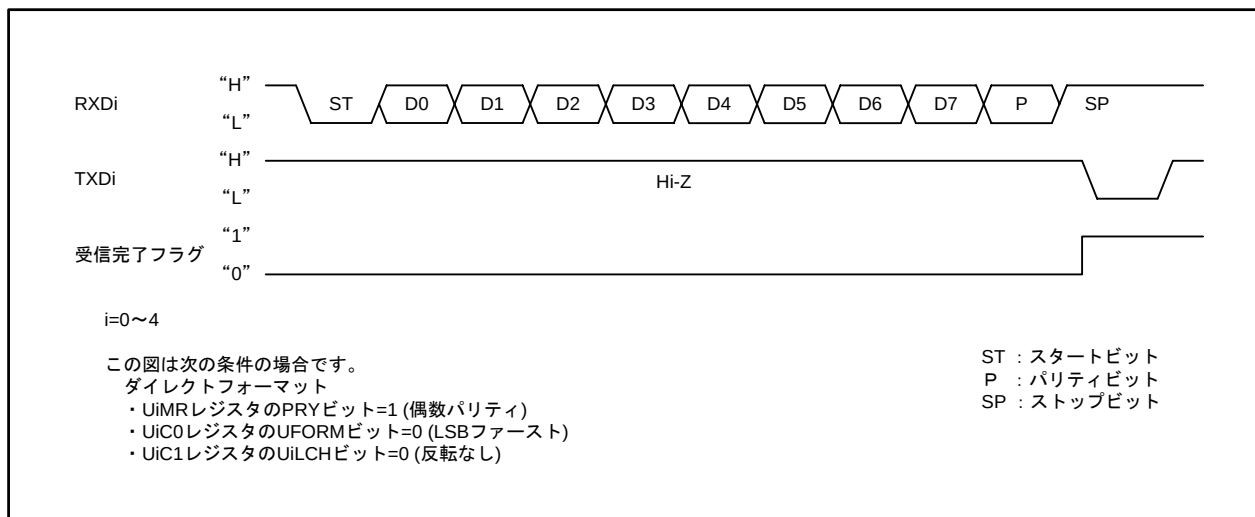


図17.35 パリティエラー信号出力タイミング

17.1.6.2 フォーマット

17.1.6.2.1 ダイレクトフォーマット

送信時、UiTB レジスタ ($i=0\sim4$) に設定したデータを D0 から順に、偶数パリティを付加して送信します。受信時、受け取ったデータを D0 から順に UiRB レジスタに格納します。偶数パリティでパリティエラーを判定します。

ダイレクトフォーマットで送信、受信を行う場合、UiMR レジスタの PRYE ビットを “1” (パリティあり)、PRY ビットを “1” (偶数パリティ選択)、UiC0 レジスタの UFORM ビットを “0” (LSB ファースト)、UiC1 レジスタの UiLCH ビットを “0” (反転なし) にしてください。

17.1.6.2.2 インバースフォーマット

送信時、UiTB レジスタに設定した値の論理反転したデータを D7 から順に、奇数パリティを付加して送信します。受信時、受け取ったデータを論理反転して、D7 から順に UiRB レジスタに格納します。奇数パリティでパリティエラーを判定します。

インバースフォーマットで送信、受信を行う場合、PRYE ビットを “1”、PRY ビットを “0” (奇数パリティ選択)、UFORM ビットを “1” (MSB ファースト)、UiLCH ビットを “1” (反転あり) にしてください。

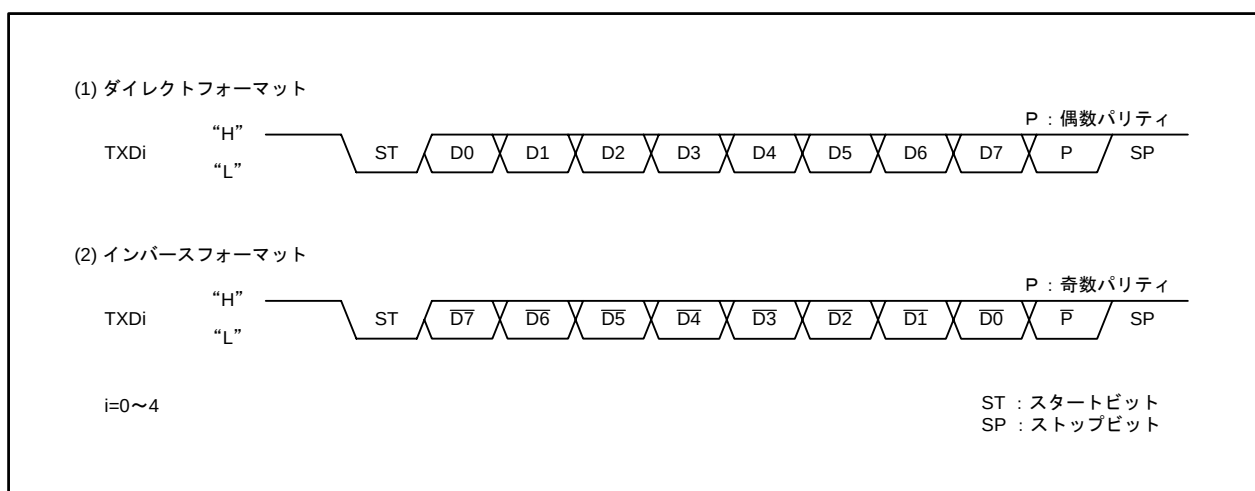


図 17.36 SIM インタフェースフォーマット

18. A/D コンバータ

注意

A/D コンバータは144ピン版を例に説明しています。
100ピン版にAN15_0～AN15_7端子はありません。

容量結合増幅器で構成された10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。

A/D変換した結果は、選択した端子に対応したAD0iレジスタ(i=0～7)に格納されます。ただし、DMAC利用モードを使用する場合はAD00レジスタのみへ格納されます。

表18.1にA/Dコンバータの仕様を、図18.1にブロック図を、図18.2～図18.6に関連レジスタを示します。

表18.1 A/Dコンバータの仕様

項目	性能
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧	0V～AVCC (VCC1)
動作クロック ϕ AD(注1)	・ fAD ・ fADの2分周 ・ fADの3分周 ・ fADの4分周 ・ fADの6分周 ・ fADの8分周
分解能	8ビットまたは10ビット
動作モード	・ 単発モード ・ 繰り返しモード ・ 単掃引モード ・ 繰り返し掃引モード0 ・ 繰り返し掃引モード1 ・ マルチポート単掃引モード ・ マルチポート繰り返し掃引モード0
アナログ入力端子(注2)	144ピン版：34本 AN、AN0、AN2、AN15の各8本、拡張入力(ANEX0、ANEX1) 100ピン版：26本 AN、AN0、AN2の各8本、拡張入力(ANEX0、ANEX1)
A/D変換開始条件	・ ソフトウェアトリガ AD0CON0レジスタのADSTビットをプログラムで“1”(A/D変換開始)にする ・ 外部トリガ(再トリガ可能) ADSTビットを“1”にした後、$\overline{\text{ADTRG}}$端子へ立ち下がりエッジを入力したとき ・ ハードウェアトリガ(再トリガ可能) ADSTビットを“1”にした後、三相モータ制御用タイマ機能(ICTB2レジスタカウント後)のタイマB2割り込み要求が発生したとき
1端子あたりの変換速度	・ サンプル&ホールドなし 分解能8ビットの場合49ϕADサイクル、分解能10ビットの場合59ϕADサイクル ・ サンプル&ホールドあり 分解能8ビットの場合28ϕADサイクル、分解能10ビットの場合33ϕADサイクル

注1. VCC1 = 4.2～5.5Vのとき、 ϕ ADの周波数を16MHz以下にしてください。

VCC1 = 3.0～5.5Vのとき、 ϕ ADの周波数を10MHz以下にしてください。

サンプル&ホールドなしのとき ϕ ADの周波数は250kHz以上にしてください。

サンプル&ホールドありのとき ϕ ADの周波数は1MHz以上にしてください。

注2. AVCC = VCC1 $\geq$ VCC2、

AD入力(AN_0～AN_7、AN15_0～AN15_7、ANEX0、ANEX1) $\leq$ VCC1、

AD入力(AN0_0～AN0_7、AN2_0～AN2_7) $\leq$ VCC2 としてください。

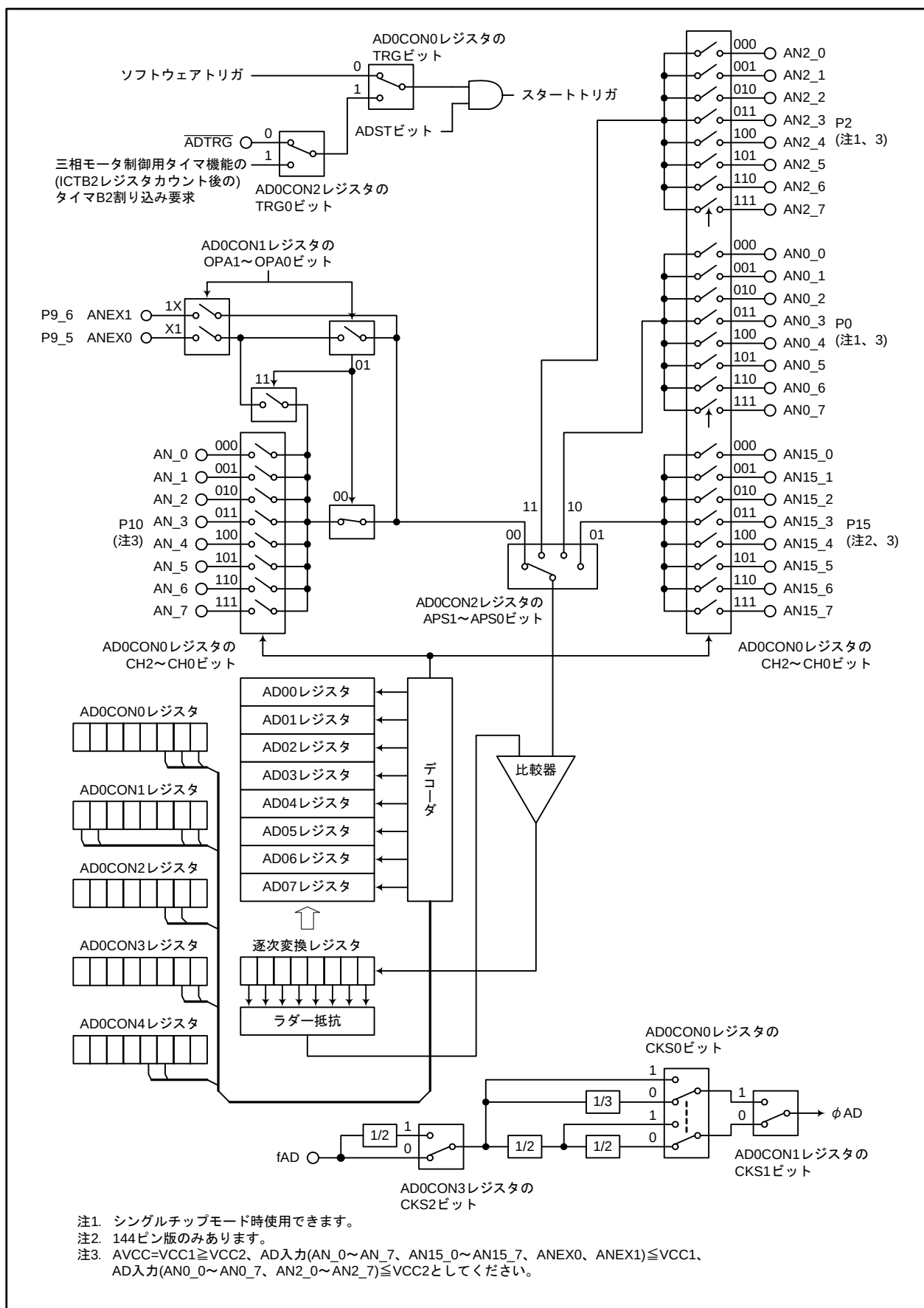


図 18.1 A/D コンバータのブロック図

A/D0制御レジスタ0 (注1)

シンボル AD0CON0								アドレス 0396h番地								リセット後の値 00h							
b7	b6	b5	b4	b3	b2	b1	b0																
CH0 CH1 CH2 MD0 MD1 TRG ADST CKS0								ビット シンボル	ビット名							機 能							RW
								CH0	アナログ入力端子選択ビット (注2、3)							b2 b1 b0 0 0 0 : ANi_0 (i=なし,0,2,15) 0 0 1 : ANi_1 0 1 0 : ANi_2 0 1 1 : ANi_3 1 0 0 : ANi_4 1 0 1 : ANi_5 1 1 0 : ANi_6 1 1 1 : ANi_7							RW
								CH1															RW
								CH2															RW
								MD0	A/D動作モード選択ビット0 (注2)							AD0CON3レジスタのMSSビットが“0”の場合 b4 b3 0 0 : 単発モード 0 1 : 繰り返しモード 1 0 : 単掃引モード 1 1 : 繰り返し掃引モード0、 繰り返し掃引モード1							RW
								MD1															AD0CON3レジスタのMSSビットが“1”の場合 b4 b3 0 0 : } 設定しないでください 0 1 : } 1 0 : マルチポート単掃引モード 1 1 : マルチポート繰り返し掃引モード0
								TRG	トリガ選択ビット							0 : ソフトウェアトリガ 1 : 外部トリガ、ハードウェアトリガ(注4)							
								ADST	A/D変換開始ビット							0 : A/D変換停止 1 : A/D変換開始(注4)							RW
								CKS0	周波数選択ビット0							(注5)							RW

注1. A/D変換中にAD0CON0レジスタの内容を書き換えた場合、変換結果は不定になります。

注2. A/D動作モードを変更した場合には、あらかじめアナログ入力端子の設定をしてください。

注3. CH2～CH0ビットは、単発モード、繰り返しモードで有効です。

注4. TRGビットを“1”にする場合は、AD0CON2レジスタのTRG0ビットでトリガ要因を選択し、TRGビットを“1”にした後、ADSTビットを“1”にしてください。

注5. VCC1=4.2～5.5Vのとき、 ϕ ADの周波数は16MHz以下にしてください。

VCC1=3.0～5.5Vのとき、 ϕ ADの周波数は10MHz以下にしてください。

ϕ ADはCKS0ビットとAD0CON1レジスタのCKS1ビット、AD0CON3レジスタのCKS2ビットの組み合わせで選択できます。

AD0CON3レジスタの CKS2ビット	AD0CON0レジスタの CKS0ビット	AD0CON1レジスタの CKS1ビット	ϕ AD
0	0	0	fADの4分周
		1	fADの3分周
	1	0	fADの2分周
		1	fAD
1	0	0	fADの8分周
		1	fADの6分周

図18.2 AD0CON0 レジスタ

A/D0制御レジスタ1 (注1)

b7 b6 b5 b4 b3 b2 b1 b0								シンボル AD0CON1	アドレス 0397h番地	リセット後の値 00h	
								ビット シンボル	ビット名	機 能	RW

注1. A/D変換中にAD0CON1レジスタの内容を書き換えた場合、変換結果は不定になります。

注2. SCAN1~SCAN0ビットは単掃引モード、繰り返し掃引モード0,1、マルチポート単掃引モード、マルチポート繰り返し掃引モード0で有効です。

注3. MD2ビットを“1”にした場合、重点的にA/D変換する端子です。

注4. MSSビットが“1”(マルチポート掃引モードを使用する)の場合、MD2ビットを“0”、OPA1~OPA0ビットを“00b”にしてください。

注5. AD0CON0レジスタのCKS0ビットの注記を参照してください。

注6. OPA1~OPA0ビットは、単発モード、繰り返しモードでのみ“01b”または“10b”を選択できます。その他のモードでは、“00b”または“11b”にしてください。

注7. A/D変換中に“0”を書かないでください。D/AコンバータのVREFはVCUTビットを“0”にしても接続されたままです。

注8. VCUTビットを“0”から“1”にしたときは、1μs以上経過した後A/D変換を開始してください。

図18.3 AD0CON1 レジスタ

A/D0制御レジスタ2 (注1)

ビット シンボル	ビット名	機 能	RW
b7 b6 b5 b4 b3 b2 b1 b0 0 0 ☒ ☒ ☐ ☐ ☐ ☐	シンボル AD0CON2	アドレス 0394h番地	リセット後の値 XX0X X000b
SMP	A/D変換方式選択ビット	0 : サンプル&ホールドなし 1 : サンプル&ホールドあり	RW
APS0	アナログ入力ポート選択ビット (注3)	AD0CON3レジスタのMSSビットが“0”の場合 b2 b1 0 0 : AN_0~AN_7、ANEX0、ANEX1 0 1 : AN15_0~AN15_7(注2) 1 0 : AN0_0~AN0_7 1 1 : AN2_0~AN2_7	RW
APS1			RW
— (b4-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
TRG0	外部トリガ要因選択ビット	0 : ADTRGを選択 1 : 三相モータ制御用タイマ(ICTB2レジスタ カウント後)のタイマB2割り込み要求を選択	RW
— (b7-b6)	予約ビット	“0”にしてください。 読んだ場合、その値は不定。	RW

注1. A/D変換中にAD0CON2レジスタの内容を書き換えた場合、変換結果は不定になります。

注2. 100ピン版では“01b”にしないでください。

注3. メモリ拡張モードまたはマイクロプロセッサモードでは“00b”または“01b”にしてください。

図18.4 AD0CON2 レジスタ

A/D0制御レジスタ3 (注1、2)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
0 0 0	AD0CON3	0395h番地	XXXX X000b

ビット シンボル	ビット名	機 能	RW
DUS	DMAC利用モード選択ビット	0 : DMAC利用モードを使用しない 1 : DMAC利用モードを使用する	RW
MSS	マルチポート掃引モード 選択ビット	0 : マルチポート掃引モードを使用しない 1 : マルチポート掃引モードを使用する(注3)	RW
CKS2	周波数選択ビット2	(注4)	RW
MSF0	マルチポート掃引ステータス フラグ(注5)	b4 b3 0 0 : AN_0~AN_7 0 1 : AN15_0~AN15_7 1 0 : AN0_0~AN0_7 1 1 : AN2_0~AN2_7	RO
MSF1			RO
— (b7-b5)	予約ビット	“0” にしてください。 読んだ場合、その値は不定。	RW

注1. A/D変換中にAD0CON3レジスタの内容を書き換えた場合、変換結果は不定になります。

注2. A/D変換中は、正しい値が読み出せない場合があります。停止させてから読み出し、書き込みをしてください。

注3. MSSビットを“1”にする場合、次の設定をしてください。

- ・ DUSビットを“1”にしてDMACを設定
- ・ AD0CON0レジスタのMD1~MD0ビットを“10b”または“11b”
- ・ AD0CON1レジスタのSCAN1~SCAN0を“11b”、MD2ビットを“0”、OPA1~OPA0ビットを“00b”
- ・ AD0CON2レジスタのAPS1~APS0ビットを“01b”
- ・ AD0CON4レジスタのMPS11~MPS10ビットを“01b”または“10b”または“11b”

注4. AD0CON0レジスタのCKS0ビットの注記を参照してください。

注5. MSSビットが“1”の場合、有効です。MSSビットが“0”の場合、読んだ値は不定です。

図 18.5 AD0CON3 レジスタ

A/D0制御レジスタ4 (注1)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
0 0 0 0 0 0 0 0	AD0CON4	0392h番地	XXXX 00XXb
	ビット シンボル	ビット名	機 能
	— (b1-b0)	予約ビット	“0” にしてください。 読んだ場合、その値は不定。
	MPS10	マルチポート掃引ポート 選択ビット(注2、3)	b3 b2 0 0 : (注4) 0 1 : AN_0~AN_7, AN15_0~AN15_7
	MPS11		1 0 : AN_0~AN_7, AN0_0~AN0_7 1 1 : AN_0~AN_7, AN2_0~AN2_7
	— (b7-b4)	予約ビット	“0” にしてください。 読んだ場合、その値は不定。
			RW
			RW
			RW
			RW
			RW

注1. A/D変換中にAD0CON4レジスタの内容を書き換えた場合、変換結果は不定になります。

注2. 100ピン版では“01b”に設定しないでください。

注3. メモリ拡張モード、またはマイクロプロセッサモードでは、“10b”または“11b”に設定しないでください。

注4. AD0CON3レジスタのMSSビットが“0” (マルチポート掃引モードを使用しない)の場合、“00b”にしてください。
MSSビットが“1” (マルチポート掃引モードを使用する)の場合、“00b”以外を設定してください。

A/D0レジスタi (i=0~7)(注1、2、3、4)

b15 b8 b7 b0	シンボル	アドレス	リセット後の値
0 0 0 0 0 0 0 0	AD00	0381h - 0380h番地	00000000 XXXXXXXXb
	AD01~AD03	0383h - 0382h, 0385h - 0384h, 0387h - 0386h番地	00000000 XXXXXXXXb
	AD04~AD06	0389h - 0388h, 038Bh - 038Ah, 038Dh - 038Ch番地	00000000 XXXXXXXXb
	AD07	038Fh - 038Eh番地	00000000 XXXXXXXXb
		機 能	RW
		A/D変換結果の下位8ビット	RO
		10ビットモード時：A/D変換結果の上位2ビット 8ビットモード時：読んだ場合、その値は“0”	RO
		予約ビット。読んだ場合、その値は“0”。	RO

注1. DMAC利用モード時プログラムで読む場合、読んだ値は不定です。

注2. レジスタを読み出す前に、次のA/D変換結果が格納された場合、その値は不定です。

注3. DMAC利用モード時は、AD00レジスタのみ有効です。その他のレジスタ値は不定です。

注4. DMAC利用モードかつ10ビットモード時は、DMACを16ビット転送にしてください。

図18.6 AD0CON4 レジスタ、AD00~AD07 レジスタ

他の周辺機能入力と端子を共用している場合、中間電位が端子にかかると貫通電流が流れることがあります。貫通電流を防止するため制御ビットを“1”にし、端子を共用している他の周辺機能入力を端子から切り離してください。表 18.2 にアナログ入力端子を使用する場合の設定を示します。

表 18.2 アナログ入力端子を使用する場合の設定

ポート名	端子	制御ビット	
		PSC レジスタ	PSL3 レジスタ
P9_5	ANEX0	—	PSL3_5=1
P9_6	ANEX1	—	PSL3_6=1
P10_4	AN_4	PSC_7=1	—
P10_5	AN_5		—
P10_6	AN_6		—
P10_7	AN_7		—

18.1 モードの説明

A/D コンバータには、次の 7 種類のモードがあります。表 18.3 に各モードを使用する場合の設定を示します。

表 18.3 各モードを使用する場合の設定

モード	AD0CON0 レジスタ		AD0CON1 レジスタ	AD0CON3 レジスタ	
	MD1 ビット	MD0 ビット	MD2 ビット	MSS ビット	DUS ビット
単発モード	0	0	0	0	—
繰り返しモード	0	1	0	0	—
単掃引モード	1	0	0	0	—
繰り返し掃引モード 0	1	1	0	0	—
繰り返し掃引モード 1	1	1	1	0	—
マルチポート単掃引モード	1	0	0	1	1
マルチポート繰り返し掃引モード 0	1	1	0	1	1

— : 0 でも 1 でもよい

18.1.1 単発モード

選択した1本の端子の入力電圧を1回A/D変換するモードです。表18.4に単発モードの仕様を示します。

表18.4 単発モードの仕様

項目	仕様
機能	選択した1本の端子の入力電圧を1回A/D変換する
入力端子	ANi_0 ~ ANi_7 (i=なし, 0, 2, 15)、ANEX0、ANEX1から1端子を選択 端子は次のレジスタを設定して選択する - AD0CON0 レジスタのCH2 ~ CH0 ビット - AD0CON1 レジスタのOPA1 ~ OPA0 ビット - AD0CON2 レジスタのAPS1 ~ APS0 ビット
開始条件	ソフトウェアトリガ選択時 (AD0CON0 レジスタのTRG ビットが “0”) AD0CON0 レジスタのADST ビットをプログラムで “1” (A/D変換開始) にする 外部トリガ、ハードウェアトリガ選択時 (TRG ビットが “1”) AD0CON2 レジスタのTRG0 ビットで選択する - TRG0 ビットが “0” ADST ビットを “1” にした後、$\overline{\text{ADTRG}}$ 端子に立ち下がりエッジを入力したとき - TRG0 ビットが “1” ADST ビットを “1” にした後、三相モータ制御用タイマ (ICTB2 レジスタ カウント後) のタイマB2 割り込み要求が発生したとき
停止条件	- A/D 変換終了 (ソフトウェアトリガ選択時 ADST ビットは “0” になる) - ADST ビットをプログラムで “0” (A/D変換停止) にする
割り込み要求発生 タイミング	A/D 変換終了時
A/D 変換値の読み出し	DMAC 利用モードを使用しない場合 (AD0CON3 レジスタのDUS ビットが “0”) 選択した端子に対応したAD0j レジスタ (j=0 ~ 7) を読み出す DMAC 利用モードを使用する場合 (DUS ビットが “1”) A/D 変換終了後、A/D 変換結果はAD00 レジスタへ格納される DMAC によってAD00 レジスタから任意のメモリ領域へAD変換結果を転送する (「13.DMAC」を参照し、DMACを設定してください)

18.1.2 繰り返しモード

選択した1本の端子の入力電圧を繰り返しA/D変換するモードです。表18.5に繰り返しモードの様を示します。

表18.5 繰り返しモードの仕様

項目	仕様
機能	選択した1本の端子の入力電圧を繰り返しA/D変換する
入力端子	ANi_0～ANi_7(i=なし,0,2,15)、ANEX0、ANEX1から1端子を選択 端子は次のレジスタを設定して選択する ・AD0CON0レジスタのCH2～CH0ビット ・AD0CON1レジスタのOPA1～OPA0ビット ・AD0CON2レジスタのAPS1～APS0ビット
開始条件	ソフトウェアトリガ選択時(AD0CON0レジスタのTRGビットが“0”) - AD0CON0レジスタのADSTビットをプログラムで“1”(A/D変換開始)にする 外部トリガ、ハードウェアトリガ選択時(TRGビットが“1”) - AD0CON2レジスタのTRG0ビットで選択する ・TRG0ビットが“0” - ADSTビットを“1”にした後、$\overline{\text{ADTRG}}$端子に立ち下がりエッジを入力したとき ・TRG0ビットが“1” - ADSTビットを“1”にした後、三相モータ制御用タイマ(ICTB2レジスタカウント後)のタイマB2割り込み要求が発生したとき
停止条件	ADSTビットをプログラムで“0”(A/D変換停止)にする
割り込み要求発生 タイミング	DMAC利用モードを使用しない場合(AD0CON3レジスタのDUSビットが“0”) - 発生しない DMAC利用モードを使用する場合(DUSビットが“1”) - 各A/D変換終了時
A/D変換値の読み出し	DMAC利用モードを使用しない場合 - 選択した端子に対応したAD0jレジスタ(j=0～7)を読み出す DMAC利用モードを使用する場合 - A/D変換終了後、A/D変換結果はAD00レジスタへ格納される - DMACによってAD00レジスタから任意のメモリ領域へAD変換結果を転送する(「13.DMAC」を参照し、DMACを設定してください)

18.1.3 単掃引モード

選択した複数の端子の入力電圧を1回ずつA/D変換するモードです。表18.6に単掃引モードの仕様を示します。

表 18.6 単掃引モードの仕様

項目	仕様
機能	選択した複数の端子の入力電圧を1回ずつA/D変換する
入力端子	・ 2端子 (ANi_0 ~ ANi_1) (i = なし, 0, 2, 15) ・ 4端子 (ANi_0 ~ ANi_3) ・ 6端子 (ANi_0 ~ ANi_5) ・ 8端子 (ANi_0 ~ ANi_7) から選択 端子は次のレジスタを設定して選択する ・ AD0CON1 レジスタの SCAN1 ~ SCAN0 ビット ・ AD0CON2 レジスタの APS1 ~ APS0 ビット
開始条件	ソフトウェアトリガ選択時 (AD0CON0 レジスタの TRG ビットが “0”) AD0CON0 レジスタの ADST ビットをプログラムで “1” (A/D 変換開始) にする 外部トリガ、ハードウェアトリガ選択時 (TRG ビットが “1”) AD0CON2 レジスタの TRG0 ビットで選択する ・ TRG0 ビットが “0” ADST ビットを “1” にした後、$\overline{\text{ADTRG}}$ 端子に立ち下がリエッジを入力したとき ・ TRG0 ビットが “1” ADST ビットを “1” にした後、三相モータ制御用タイマ (ICTB2 レジスタ カウント後) のタイマ B2 割り込み要求が発生したとき
停止条件	・ 掃引終了 (ソフトウェアトリガ選択時 ADST ビットは “0” になる) ・ ADST ビットをプログラムで “0” (A/D 変換停止) にする
割り込み要求発生 タイミング	DMAC 利用モードを使用しない場合 (AD0CON3 レジスタの DUS ビットが “0”) 掃引終了時 DMAC 利用モードを使用する場合 (DUS ビットが “1”) 各 A/D 変換終了時
A/D 変換値の読み出し	DMAC 利用モードを使用しない場合 選択した端子に対応した AD0j レジスタ (j = 0 ~ 7) を読み出す DMAC 利用モードを使用する場合 A/D 変換終了後、A/D 変換結果は AD00 レジスタへ格納される DMAC によって AD00 レジスタから任意のメモリ領域へ A/D 変換結果を転送する (「13.DMAC」を参照し、DMAC を設定してください)

18.1.4 繰り返し掃引モード0

選択した複数の端子の入力電圧を繰り返し A/D 変換するモードです。表 18.7 に繰り返し掃引モード 0 の仕様を示します。

表 18.7 繰り返し掃引モード0の仕様

項目	仕様
機能	選択した複数の端子の入力電圧を繰り返し A/D 変換する
入力端子	・ 2 端子 (ANi_0 ~ ANi_1) ・ 4 端子 (ANi_0 ~ ANi_3) ・ 6 端子 (ANi_0 ~ ANi_5) ・ 8 端子 (ANi_0 ~ ANi_7) (i=なし,0,2,15) から選択 端子は次のレジスタを設定して選択する ・ AD0CON1 レジスタの SCAN1 ~ SCAN0 ビット ・ AD0CON2 レジスタの APS1 ~ APS0 ビット
開始条件	ソフトウェアトリガ選択時 (AD0CON0 レジスタの TRG ビットが “0”) AD0CON0 レジスタの ADST ビットをプログラムで “1” (A/D 変換開始) にする 外部トリガ、ハードウェアトリガ選択時 (TRG ビットが “1”) AD0CON2 レジスタの TRG0 ビットで選択する ・ TRG0 ビットが “0” ADST ビットを “1” にした後、$\overline{\text{ADTRG}}$ 端子に立ち下がりエッジを入力したとき ・ TRG0 ビットが “1” ADST ビットを “1” にした後、三相モータ制御用タイマ (ICTB2 レジスタ カウント後) のタイマ B2 割り込み要求が発生したとき
停止条件	ADST ビットをプログラムで “0” (A/D 変換停止) にする
割り込み要求発生 タイミング	DMAC 利用モードを使用しない場合 (AD0CON3 レジスタの DUS ビットが “0”) 発生しない DMAC 利用モードを使用する場合 (DUS ビットが “1”) 各 A/D 変換終了時
A/D 変換値の読み出し	DMAC 利用モードを使用しない場合 選択した端子に対応した AD0j レジスタ (j=0 ~ 7) を読み出す DMAC 利用モードを使用する場合 A/D 変換終了後、A/D 変換結果は AD00 レジスタへ格納される DMAC によって AD00 レジスタから任意のメモリ領域へ A/D 変換結果を転送する (「13.DMAC」を参照し、DMAC を設定してください)

18.1.5 繰り返し掃引モード1

選択した複数の端子に重点をおいて、8本の端子の入力電圧を繰り返しA/D変換するモードです。
表18.8に繰り返し掃引モード1の仕様を示します。

表18.8 繰り返し掃引モード1の仕様

項目	仕様
機能	選択した1～4本の端子に重点をおいて、計8本の端子の入力電圧を繰り返しA/D変換する
入力端子	ANi_0～ANi_7(8端子)(i=なし,0,2,15)
重点的にA/D変換する端子	・1端子(ANi_0) ・2端子(ANi_0～ANi_1) ・3端子(ANi_0～ANi_2) ・4端子(ANi_0～ANi_3) から選択 端子は次のレジスタを設定して選択する ・AD0CON1レジスタのSCAN1～SCAN0ビット ・AD0CON2レジスタのAPS1～APS0ビット
開始条件	ソフトウェアトリガ選択時(AD0CON0レジスタのTRGビットが“0”) - AD0CON0レジスタのADSTビットをプログラムで“1”(A/D変換開始)にする 外部トリガ、ハードウェアトリガ選択時(TRGビットが“1”) - AD0CON2レジスタのTRG0ビットで選択する ・TRG0ビットが“0” - ADSTビットを“1”にした後、$\overline{\text{ADTRG}}$端子に立ち下がりエッジを入力したとき ・TRG0ビットが“1” - ADSTビットを“1”にした後、三相モータ制御用タイマ(ICTB2レジスタカウンタ後)のタイマB2割り込み要求が発生したとき
停止条件	ADSTビットをプログラムで“0”(A/D変換停止)にする
割り込み要求発生タイミング	DMAC利用モードを使用しない場合(AD0CON3レジスタのDUSビットが“0”) - 発生しない DMAC利用モードを使用する場合(DUSビットが“1”) - 各A/D変換終了時
A/D変換値の読み出し	DMAC利用モードを使用しない場合 - 選択した端子に対応したAD0jレジスタ(j=0～7)を読み出す DMAC利用モードを使用する場合 - A/D変換終了後、A/D変換結果はAD00レジスタへ格納される - DMACによってAD00レジスタから任意のメモリ領域へAD変換結果を転送する(「13.DMAC」を参照し、DMACを設定してください)

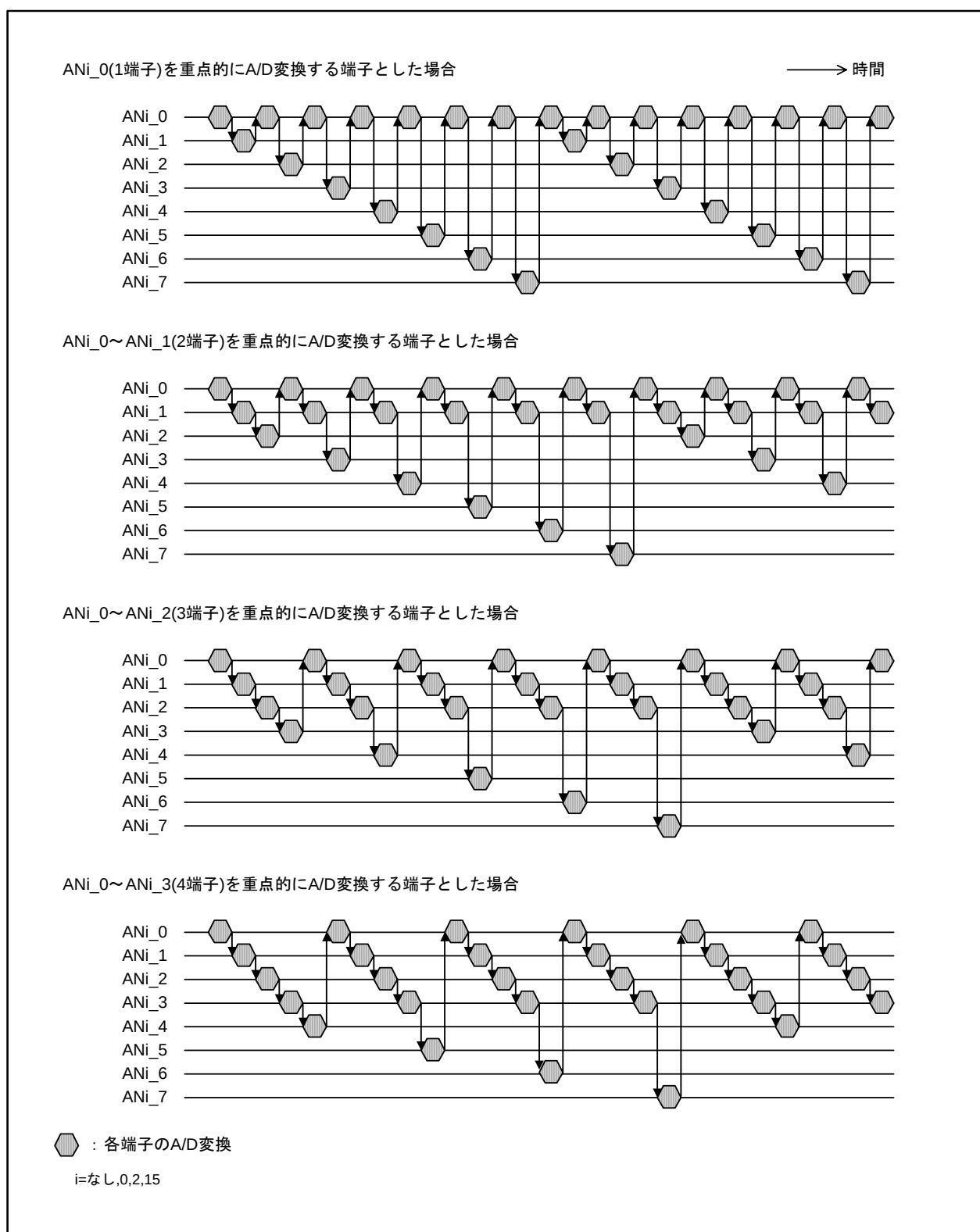


図18.7 繰り返し掃引モード1でA/D変換する端子の遷移図

18.1.6 マルチポート単掃引モード

選択した16本の端子の入力電圧を1回ずつ変換するモードです。

AD0CON3 レジスタのDUS ビットを“1” (DMAC利用モードを使用する) にしてください。

表18.9にマルチポート単掃引モードの仕様を示します。

表 18.9 マルチポート単掃引モードの仕様

項目	仕様
機能	選択した16本の端子の入力電圧をAN_0～AN_7→ANi_0～ANi_7(i=0,2,15)の順で、1回ずつA/D変換する
入力端子	・ AN_0→AN_1→…→AN_7→AN0_0→AN0_1→…→AN0_7 ・ AN_0→AN_1→…→AN_7→AN2_0→AN2_1→…→AN2_7 ・ AN_0→AN_1→…→AN_7→AN15_0→AN15_1→…→AN15_7 から選択 端子は次のレジスタを設定して選択する ・ AD0CON4 レジスタのMPS11～MPS10 ビット
開始条件	ソフトウェアトリガ選択時(AD0CON0 レジスタのTRG ビットが“0”) AD0CON0 レジスタのADST ビットをプログラムで“1” (A/D変換開始)にする 外部トリガ、ハードウェアトリガ選択時(TRG ビットが“1”) AD0CON2 レジスタのTRG0 ビットで選択する ・ TRG0 ビットが“0” - ADST ビットを“1”にした後、$\overline{\text{ADTRG}}$ 端子に立ち下がリエッジを入力したとき ・ TRG0 ビットが“1” - ADST ビットを“1”にした後、三相モータ制御用タイマ(ICTB2 レジスタ カウント後)のタイマB2 割り込み要求が発生したとき
停止条件	・ 掃引終了(ソフトウェアトリガ選択時ADST ビットは“0” になる) ・ ADST ビットをプログラムで“0” (A/D変換停止)にする
割り込み要求発生 タイミング	各A/D変換終了時 (AD0CON3 レジスタのDUS ビットを“1” にしてください)
A/D 変換値の読み出し	A/D 変換終了後、A/D 変換結果は全てAD00 レジスタへ格納される DMACによってAD00 レジスタから任意のメモリ領域へAD 変換結果を転送する (DUS ビットを“1” にして「13.DMAC」を参照し、DMACを設定してください)

18.1.7 マルチポート繰り返し掃引モード0

選択した16本の端子の入力電圧を繰り返し変換するモードです。

AD0CON3レジスタのDUSビットを“1”(DMAC利用モードを使用する)にしてください。

表18.10にマルチポート繰り返し掃引モード0の仕様を示します。

表18.10 マルチポート繰り返し掃引モード0の仕様

項目	仕様
機能	選択した16本の端子の入力電圧をAN_0～AN_7→ANi_0～ANi_7(i=0,2,15)の順で、繰り返しA/D変換する
入力端子	・ AN_0→AN_1→…→AN_7→AN0_0→AN0_1→…→AN0_7 ・ AN_0→AN_1→…→AN_7→AN2_0→AN2_1→…→AN2_7 ・ AN_0→AN_1→…→AN_7→AN15_0→AN15_1→…→AN15_7 から選択 端子は次のレジスタを設定して選択する ・ AD0CON4レジスタのMPS11～MPS10ビット
開始条件	ソフトウェアトリガ選択時(AD0CON0レジスタのTRGビットが“0”) - AD0CON0レジスタのADSTビットをプログラムで“1”(A/D変換開始)にする 外部トリガ、ハードウェアトリガ選択時(TRGビットが“1”) - AD0CON2レジスタのTRG0ビットで選択する ・ TRG0ビットが“0” - ADSTビットを“1”にした後、$\overline{\text{ADTRG}}$端子に立ち下がりエッジを入力したとき ・ TRG0ビットが“1” - ADSTビットを“1”にした後、三相モータ制御用タイマ(ICTB2レジスタカウント後)のタイマB2割り込み要求が発生したとき
停止条件	ADSTビットをプログラムで“0”(A/D変換停止)にする
割り込み要求発生タイミング	各A/D変換終了時 (AD0CON3レジスタのDUSビットを“1”にしてください)
A/D変換値の読み出し	A/D変換終了後、A/D変換結果は全てAD00レジスタへ格納される DMACによってAD00レジスタから任意のメモリ領域へAD変換結果を転送する (DUSビットを“1”にして「13.DMAC」を参照し、DMACを設定してください)

18.2 機能

18.2.1 分解能

AD0CON1 レジスタのBITS ビットで分解能を選択できます。BITS ビットを“1” (変換精度を10ビット) にすると、A/D 変換結果がAD0j レジスタ (j=0～7) のビット0～9に格納されます。BITS ビットを“0” (変換精度を8ビット) にすると、A/D 変換結果がAD0j レジスタのビット0～7に格納されます。

18.2.2 サンプル&ホールド

AD0CON2 レジスタのSMP ビットを“1” (サンプル&ホールドあり) にすると、1端子あたりの変換速度が向上し、分解能8ビットの場合28φAD サイクル、分解能10ビットの場合33φAD サイクルになります。サンプル&ホールドは、すべての動作モードで有効です。サンプル&ホールドの有無を選択してからA/D変換を開始してください。

18.2.3 トリガ選択機能

AD0CON0 レジスタのTRG ビットとAD0CON2 レジスタのTRG0 ビットの組み合わせにより、A/D 変換の開始トリガを選択できます。表18.11にトリガ選択機能の設定値を示します。

表18.11 トリガ選択機能の設定値

ビットと設定値		トリガ
AD0CON0 レジスタ	AD0CON2 レジスタ	
TRG=0	—	ソフトウェアトリガ AD0CON0 レジスタのADST ビットをプログラムで“1” にするとA/D 変換を開始
TRG=1 (注1)	TRG0=0	外部トリガ(注2) ADTRG 入力信号の立ち下がり
	TRG0=1	ハードウェアトリガ(注2) 三相モータ制御用タイマ(ICTB2カウンタのカウント後)のタイマB2割り込み要求

注1. ADST ビットが“1” (A/D 変換開始) の状態で、トリガが入力されるとA/D 変換を開始します。

注2. A/D 変換中に外部トリガまたはハードウェアトリガが入力(再トリガ)されると、それまで行っていた一連のA/D 変換は途中終了し、最初からA/D 変換を開始します。

18.2.4 DMAC 利用モード

全てのモードでDMAC 利用モードが使用できます。マルチポート単掃引モードとマルチポート繰り返し掃引モード0の場合は、必ずDMAC 利用モードを使用してください。AD0CON3 レジスタのDUS ビットを“1” (DMAC 利用モードを使用する) にすると、A/D 変換結果は全てAD00 レジスタへ格納されます。DMAC を利用することで、AD00 レジスタから任意のメモリ領域へ1端子のA/D 変換終了ごとにDMA 転送が行われます。分解能が8ビットの場合は8ビット転送を、分解能が10ビットの場合は16ビット転送を設定してください。DMAC の使用方法については、「13.DMAC」を参照してください。また、単掃引モード、繰り返し掃引モード0、繰り返し掃引モード1、マルチポート単掃引モード、マルチポート繰り返し掃引モード0でDMAC 利用モードを使用する場合、外部トリガまたはハードウェアトリガの再トリガを入力しないでください。再トリガが入力されると、それまで行っていた一連のA/D 変換は途中終了し、AN_i_0 端子 (i=なし,0,2,15) からA/D 変換が開始されます。そのため、端子とRAMに転送されたA/D 変換結果が対応しなくなります。

18.2.5 拡張アナログ入力端子

単発モードと繰り返しモードでは、ANEX0、ANEX1端子をアナログ入力端子として使用できます。AD0CON1レジスタのOPA1～OPA0ビットで選択してください。ANEX0入力のA/D変換結果はAD00レジスタへ、ANEX1入力のA/D変換結果はAD01レジスタへ格納されます。ただし、AD0CON3レジスタのDUSビットが“1” (DMAC利用モードを使用する) の場合、AD00レジスタへ格納されます。

AD0CON2レジスタのAPS1～APS0ビットは“00b” (AN_0～AN_7、ANEX0、ANEX1)、AD0CON3レジスタのMSSビットは“0” (マルチポート掃引モードを使用しない) にしてください。

18.2.6 外部オペアンプ接続モード

拡張アナログ入力端子ANEX0、ANEX1を用いて複数のアナログ入力を1個の外部オペアンプで増幅できます。

AD0CON1レジスタのOPA1～OPA0ビットが“11b” (外部オペアンプ接続) のとき、AN_0～AN_7の入力をANEX0端子から出力します。この出力を外部オペアンプで増幅し、ANEX1端子へ入力してください。

A/D変換は、ANEX1入力に対して行われ、A/D変換結果は対応するAD0jレジスタ (j=0～7) に格納されます。A/D変換速度は外部オペアンプの応答特性に依存します。なお、ANEX0端子とANEX1端子を直結しないでください。

AD0CON2レジスタのAPS1～APS0ビットは“00b” (AN_0～AN_7、ANEX0、ANEX1) にしてください。

図18.8に外部オペアンプ接続モードの接続例を示します。

表18.12 拡張アナログの入力端子設定

AD0CON1 レジスタ		ANEX0の機能	ANEX1の機能
OPA1	OPA0		
0	0	使用しない	使用しない
0	1	P9_5 / アナログ入力	使用しない
1	0	使用しない	P9_6 / アナログ入力
1	1	外部オペアンプへの出力	外部オペアンプからの入力

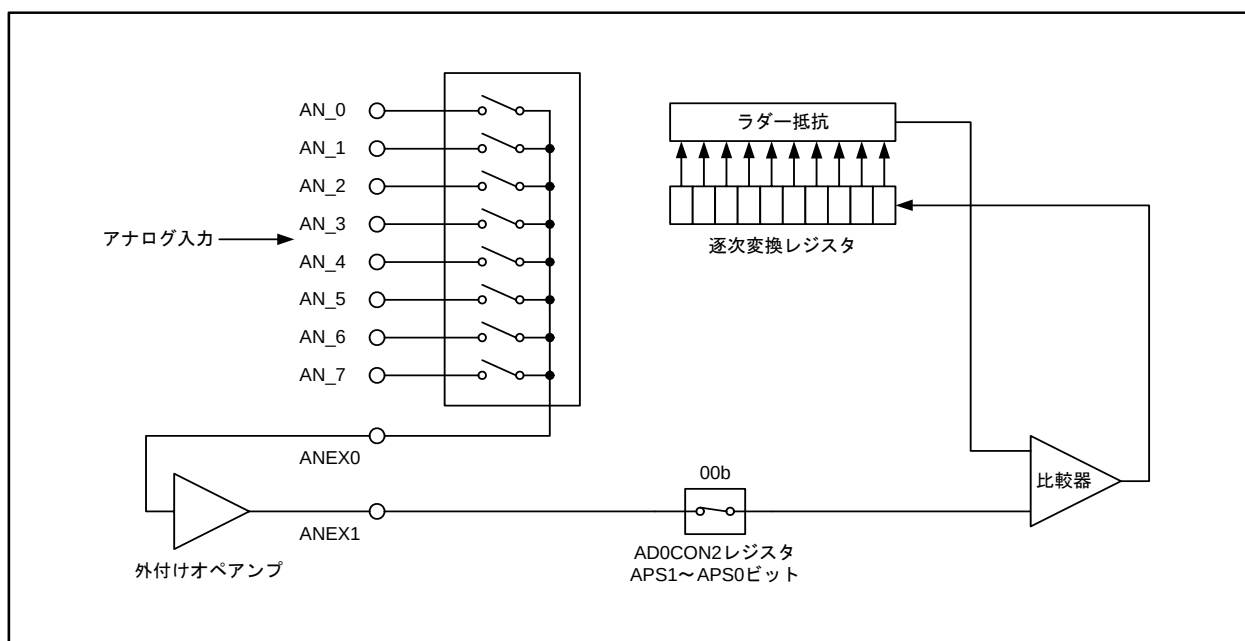


図18.8 外部オペアンプ接続モードの接続例

18.2.7 消費電流低減機能

A/D コンバータを使用しないとき、AD0CON1 レジスタのVCUT ビットにより A/D コンバータのラダー抵抗と基準電圧入力端子 (VREF) を切り離すことができます。切り離すと、VREF 端子からラダー抵抗へ電流が流れないので、消費電力が少なくなります。

A/D コンバータを使用する場合は、VCUT ビットを “1” (VREF 接続) にした後で、AD0CON0 レジスタのADST ビットを “1” (A/D 変換開始) にしてください。

なお、A/D 変換中に VCUT ビットを “0” (VREF 未接続) にしないでください。

また、D/A コンバータの VREF は VCUT ビットを “0” にしても接続されたままです。

18.3 AD0i レジスタ (i=0~7) の読み出し

命令を使って AD0i レジスタを読み出す場合、次の手順で行ってください。

- 単発モードまたは単掃引モードの場合

A/D 変換が完了したことを確認してから、対象となる AD0i レジスタを読んでください。A/D 変換が完了すると AD0IC レジスタの IR ビットが “1” になります。

- 繰り返しモード、繰り返し掃引モード0または繰り返し掃引モード1の場合

次のように CPU クロックを設定した後、AD0i レジスタを読んでください。

- (1) CM0 レジスタの CM07 ビットを “0” (CPU クロックは CM21 ビットで選択したクロックを MCD レジスタで分周したクロック)
- (2) MCD レジスタを “12h” (分周なし)

18.4 A/D 変換時のセンサの出力インピーダンス

A/D 変換を正しく行うためには、図 18.9 の内部コンデンサ C への充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)を T とします。また、センサの等価回路の出力インピーダンスを R0、マイコン内部の抵抗を R、A/D コンバータの精度(誤差)を X、分解能を Y(Y は 10 ビットモード時 1024、8 ビットモード時 256) とします。

$$\text{内部コンデンサの電位 } VC \text{ は } VC = VIN \left\{ 1 - e^{-\frac{1}{C(R0+R)}} t \right\}$$

$$t=T \text{ のとき、 } VC = VIN - \frac{X}{Y} VIN = VIN \left(1 - \frac{X}{Y} \right) \text{ より}$$

$$e^{-\frac{1}{C(R0+R)}T} = \frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T = \ln \frac{X}{Y}$$

$$\text{よって、 } R0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

図 18.9 にアナログ入力端子と外部センサの等価回路例を示します。VIN と VC の差が 1LSB となるときの、時間 T でコンデンサ C の端子間電圧 VC が 0 から $VIN - (1/1024)VIN$ になるインピーダンス R0 を求めます。(1/1024) は 10 ビットモードでの A/D 変換時に、コンデンサ充電不十分による A/D 精度低下を 1LSB におさえることを意味します。ただし、実際の誤差は 1LSB に絶対精度が加わった値です。

φAD=10MHz の時、サンプル&ホールド付き A/D 変換モードでは $T=0.3\mu s$ となります。この時間 T 内にコンデンサ C の充電を十分に行える出力インピーダンス R0 は以下のように求められます。

$$T = 0.3\mu s, R = 2.0k\Omega, C = 8.6pF, X = 1, Y = 1024 \quad \text{だから、}$$

$$R0 = -\frac{0.3 \times 10^{-6}}{8.6 \times 10^{-12} \cdot \ln \frac{1}{1024}} - 2.0 \times 10^3 \approx 3.0 \times 10^3 \Omega$$

したがって、A/D コンバータの精度(誤差)を 1LSB 以下にするセンサ回路の出力インピーダンス R0 は最大 3.0kΩ になります。

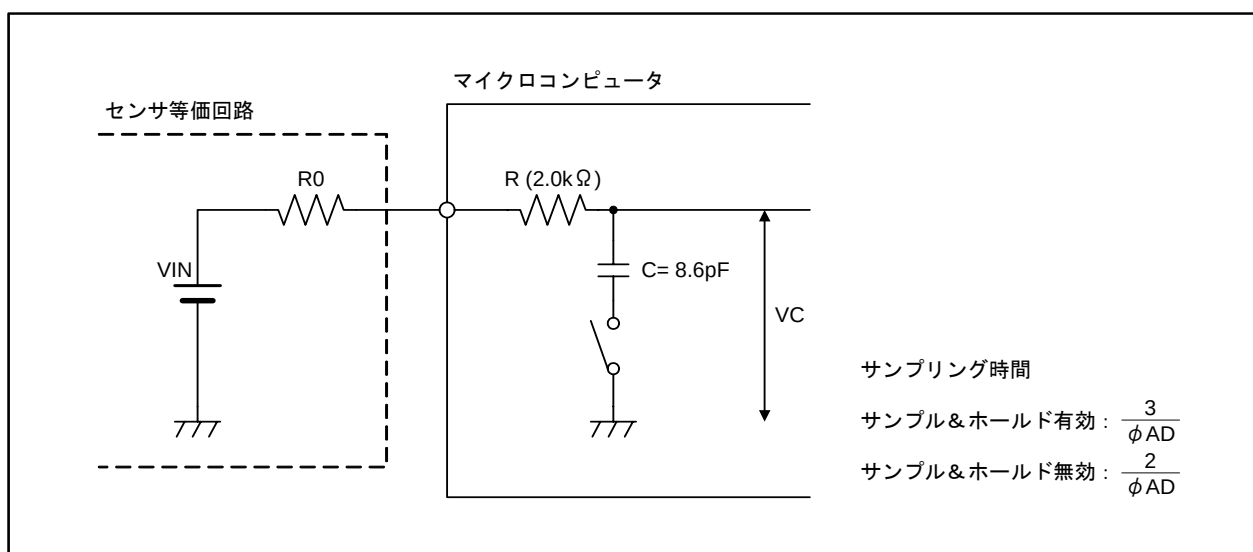


図 18.9 アナログ入力端子と外部センサの等価回路例

19. D/A コンバータ

8ビットのR-2R方式によるD/A コンバータが2回路あります。

D/A 変換は、対応したDA_i レジスタ (i=0,1) に値を書いたとき行われます。変換結果を出力するかどうかはDACONレジスタのDA_iE ビットで選択してください。DA_iE ビットを“1”(出力許可)にすると対応するポートのプルアップは禁止されます。

D/A コンバータを使用しないときは、DA_i レジスタを“00h”に、DA_iE ビットを“0”(出力禁止)にしてください。

出力されるアナログ電圧(V)は、DA_i レジスタに設定した値nで決まります。

$$V = \frac{V_{REF} \times n}{256} \quad n : 0 \sim 255$$

VREF : 基準電圧(D/A コンバータのVREFは、AD0CON1 レジスタのVCUT ビットを“0”にしても接続されたままです。)

表 19.1 に D/A コンバータの仕様を、図 19.1 にブロック図を、表 19.2 に DA0、DA1 端子を使用する場合の設定を、図 19.2 に関連レジスタを、図 19.3 に等価回路を示します。

表 19.1 D/A コンバータの仕様

項目	仕様
変換方式	R-2R 方式
分解能	8ビット
アナログ出力端子	2チャンネル

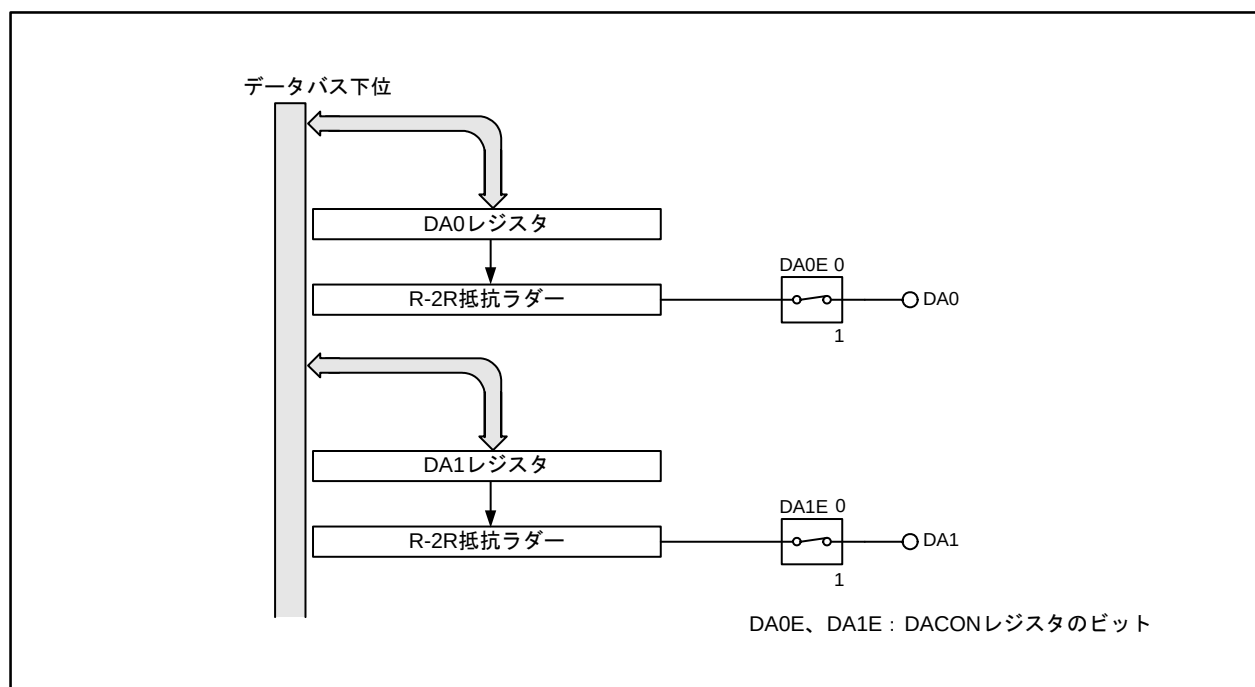


図 19.1 D/A コンバータのブロック図

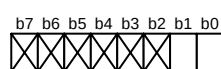
表 19.2 DA0、DA1 端子を使用する場合の設定

ポート名	機能	ビットと設定値		
		PD9 レジスタ (注2)	PSL3 レジスタ	PS3 レジスタ (注1、2)
P9_3	DA0 出力	PD9_3=0	PSL3_3=1	PS3_3=0
P9_4	DA1 出力	PD9_4=0	PSL3_4=1	PS3_4=0

注1. PS3 レジスタは最後に設定してください。

注2. PD9、PS3 レジスタは、PRCR レジスタの PRC2 ビットを“1” (書き込み許可) にした次の命令で書き換えてください。PRC2 ビットを“1”にする命令と PD9、PS3 レジスタを書き換える命令の間に割り込みや DMA 転送、DMACII 転送が入らないようにしてください。

D/A制御レジスタ

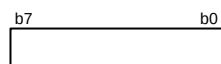


シンボル
DA0E

アドレス
039Ch 番地

リセット後の値
XXXX XX00b

ビット シンボル	ビット名	機 能	RW
DA0E	D/A0出力許可ビット	0 : 出力禁止 1 : 出力許可	RW
DA1E	D/A1出力許可ビット	0 : 出力禁止 1 : 出力許可	RW
— (b7-b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

D/Aレジスタ*i* (*i*=0,1)

シンボル
DA0、DA1

アドレス
0398h、039Ah 番地

リセット後の値
不定

機 能	設定範囲	RW
D/A変換の出力値	00h~FFh	RW

図 19.2 DA0E レジスタ、DA0、DA1 レジスタ

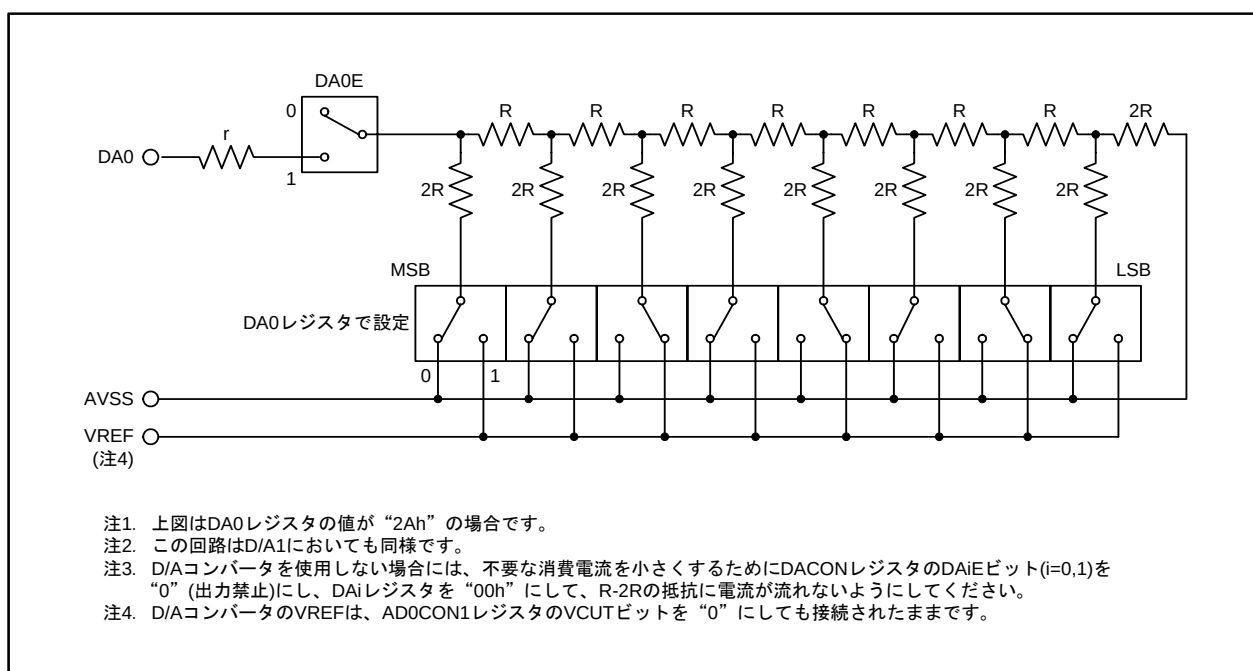


図 19.3 D/A コンバータの等価回路

20. CRC 演算

CRC(Cyclic Redundancy Check)演算は、データブロックの誤りを検出します。CRCコードの生成にはCRC-CCITT($X^{16}+X^{12}+X^5+1$)の生成多項式を使用します。

CRCコードは、8ビット単位の任意のデータ長のブロックに対し生成される16ビットのコードです。CRCコードは、CRCDレジスタに初期値を設定した後、1バイトのデータをCRCINレジスタに書くごとに、CRCDレジスタに格納されます。1バイトのデータに対するCRCコードの生成は2バスクロックで終了します。

図20.1にCRCのブロック図、図20.2にCRCの関連レジスタを示します。また、図20.3にCRC演算例を示します。

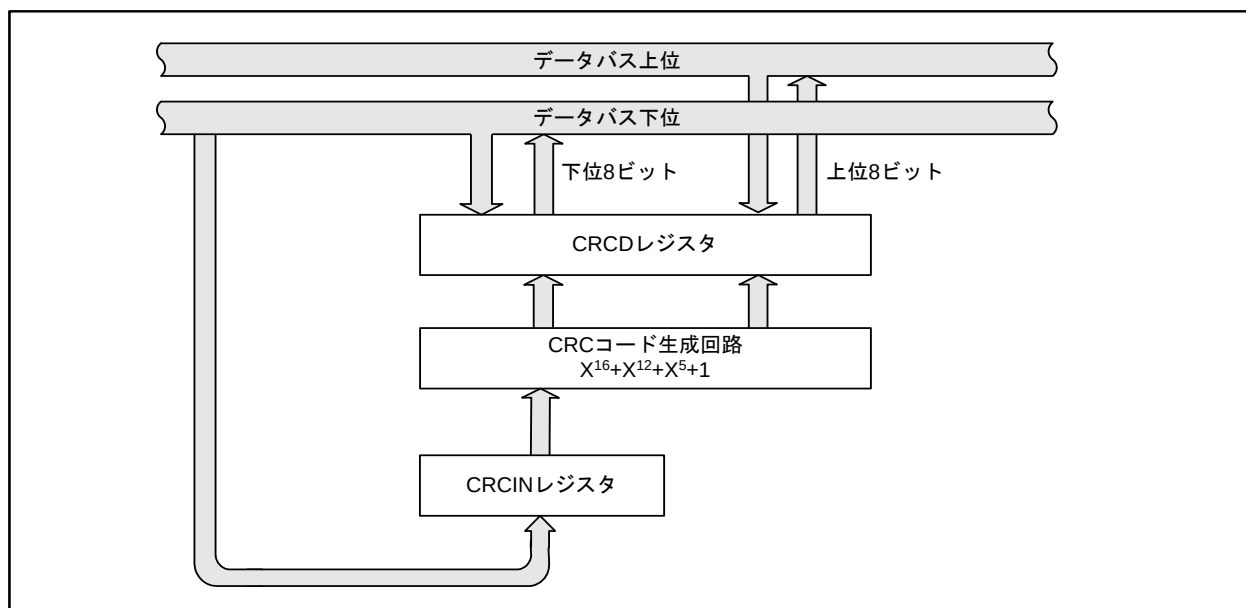


図 20.1 CRC ブロック図

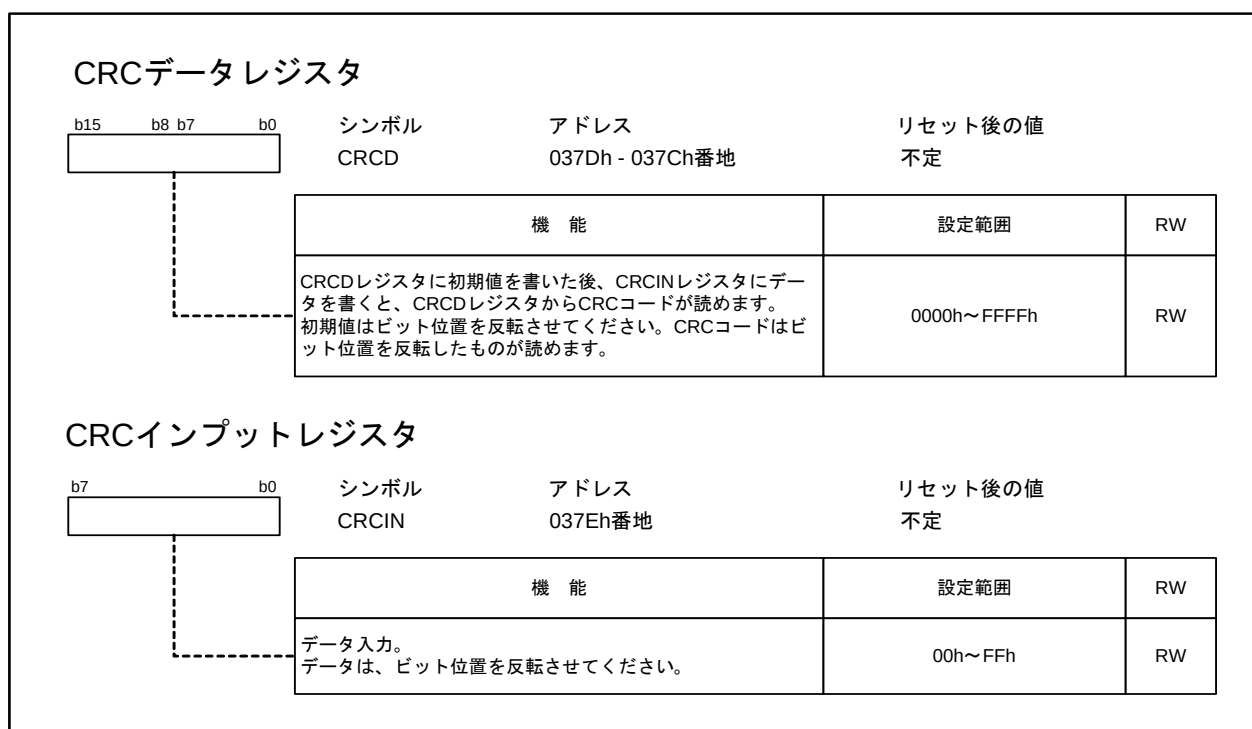


図 20.2 CRCD レジスタ、CRCIN レジスタ

“80C4h” のCRCコードを生成する場合の設定手順とCRC演算

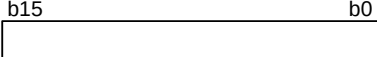
○ M32CのCRC演算

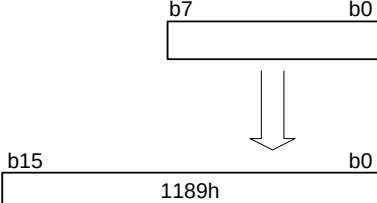
CRCコード：CRCINレジスタに書いた値のビット位置を反転したものを被除数、生成多項式を除数とする除算の剰余
生成多項式： $X^{16}+X^{12}+X^5+1$ (1 0001 0000 0010 0001b)

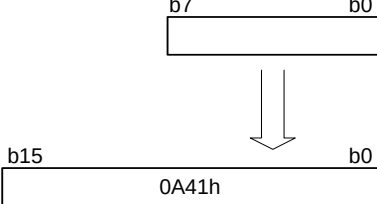
○ 設定手順

(1) プログラムで“80C4h”のビット位置をバイト単位で反転させる

“80h” → “01h”、“C4h” → “23h”

(2) 0000h(初期値)を書く →  CRCDレジスタ

(3) 01hを書く →  CRCINレジスタ
2サイクル後、“80h”のCRCコード(9188h)の、ビット位置を反転した“1189h”がCRCDレジスタに格納される
CRCDレジスタ

(4) 23hを書く →  CRCINレジスタ
2サイクル後、“80C4h”のCRCコード(8250h)の、ビット位置を反転した“0A41h”がCRCDレジスタに格納される
CRCDレジスタ

○ CRC演算詳細

上記(3)の場合、CRCINレジスタに書いた値“01h(00000001b)”はビット位置を反転され“10000000b”になる。これに16桁追加した“1000 0000 0000 0000 0000 0000b”と、CRCDレジスタの初期値“0000h”を加算した値をモジュロ2除算する。

$$\begin{array}{r}
 \text{生成多項式} \quad 1\ 0001\ 0000\ 0010\ 0001 \overline{) 1000\ 0000\ 0000\ 0000\ 0000\ 0000} \quad \leftarrow \text{データ} \\
 \underline{1000\ 1000\ 0001\ 0000\ 1} \\
 1000\ 0001\ 0000\ 1000\ 0 \\
 \underline{1000\ 1000\ 0001\ 0000\ 1} \\
 1001\ 0001\ 1000\ 1000 \\
 \quad \leftarrow \text{CRCコード}
 \end{array}$$

モジュロ2の演算とは…
次の法則に基づいた演算です。

$$\begin{array}{l}
 0 + 0 = 0 \\
 0 + 1 = 1 \\
 1 + 0 = 1 \\
 1 + 1 = 0 \\
 - 1 = 1
 \end{array}$$

剰余“1001 0001 1000 1000b(9188h)”のビット位置を反転した“0001 0001 1000 1001b(1189h)”がCRCDレジスタから読める。

続けて上記(4)を行う場合、CRCINレジスタに書いた値“23h(00100011b)”はビット位置を反転され“11000100b”になる。これに16桁追加した“1100 0100 0000 0000 0000 0000b”と、CRCDレジスタに残っている(3)の剰余“1001 0001 1000 1000b”を加算した値をモジュロ2除算する。

剰余のビット位置を反転した“0000 1010 0100 0001b(0A41h)”がCRCDレジスタから読める。

図 20.3 CRC 演算例

21. X/Y 変換

X/Y 変換は16×16ビットのマトリクスデータの90度回転を行います。また、16ビットデータのビット配置の上位と下位を反転させることができます。図21.1にXYCレジスタを示します。

XiR レジスタ (i=0～15) と YjR レジスタ (j=0～15) は16ビットレジスタです。

XiR レジスタと YjR レジスタは同一アドレスに配置されており、XiR レジスタは書き込み専用、YjR レジスタは読み出し専用です。XiR レジスタと YjR レジスタは偶数番地から16ビット単位でアクセスしてください。8ビット単位でアクセスした時の動作は不定となります。

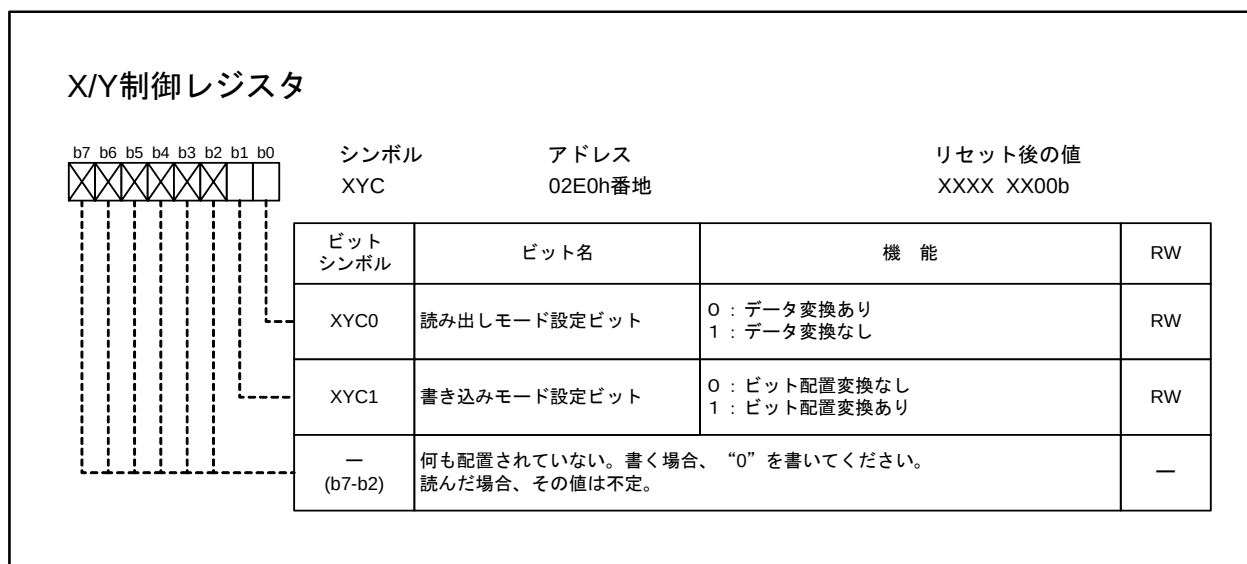


図21.1 XYC レジスタ

YjR レジスタの読み出し方法は、XYC レジスタのXYC0ビットで選択できます。

XYC0ビットが“0” (データ変換あり) でYjR レジスタを読むと、X0R～X15R レジスタのビットjを同時に読めます。

例えば、Y0Rレジスタを読むと、ビット0でX0Rレジスタのビット0、ビット1でX1Rレジスタのビット0、・・・、ビット14でX14Rレジスタのビット0、ビット15でX15Rレジスタのビット0が読めます。同様にY15Rレジスタを読むと、ビット0でX0Rレジスタのビット15、ビット1でX1Rレジスタのビット15、・・・、ビット14でX14Rレジスタのビット15、ビット15でX15Rレジスタのビット15が読めます。

図21.2にXYC0ビットが“0”の場合の変換テーブルを、図21.3にX/Y変換例を示します。

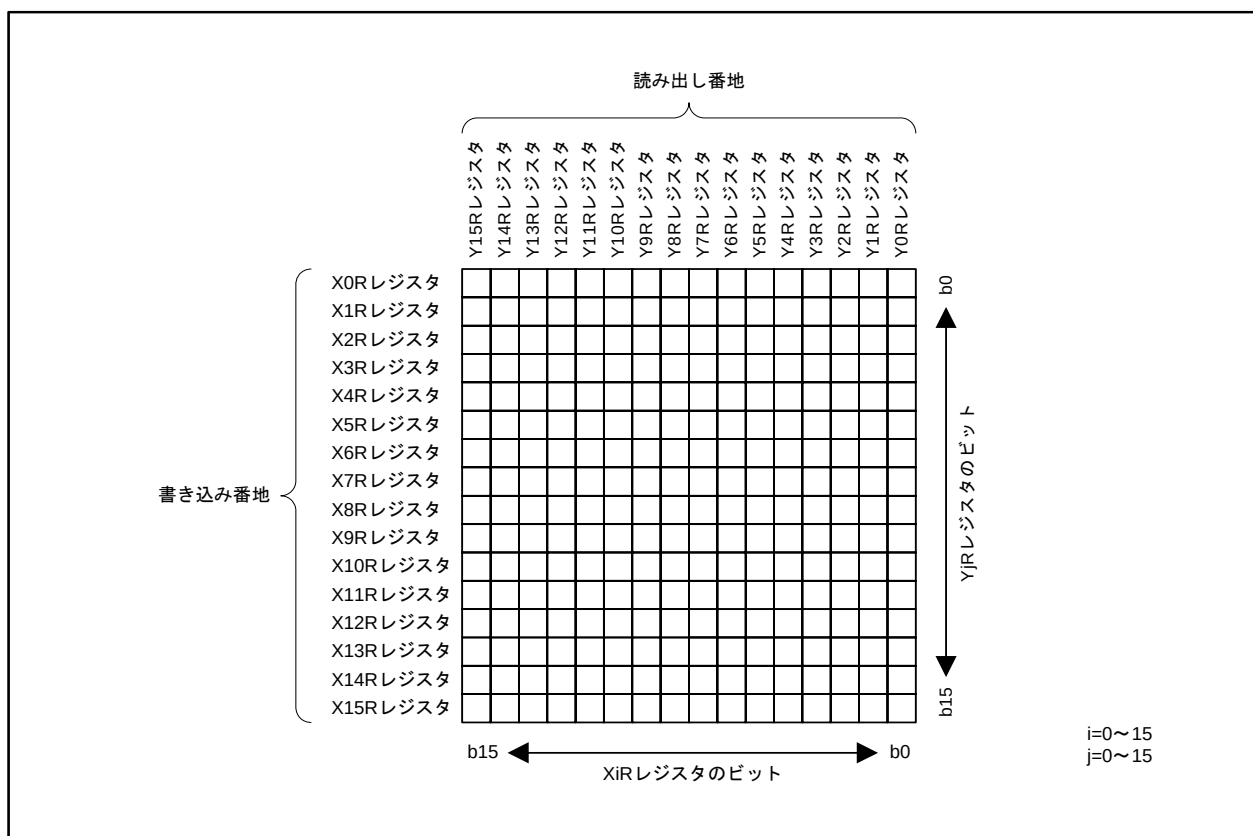


図 21.2 XYC0ビットが“0”の場合の変換テーブル

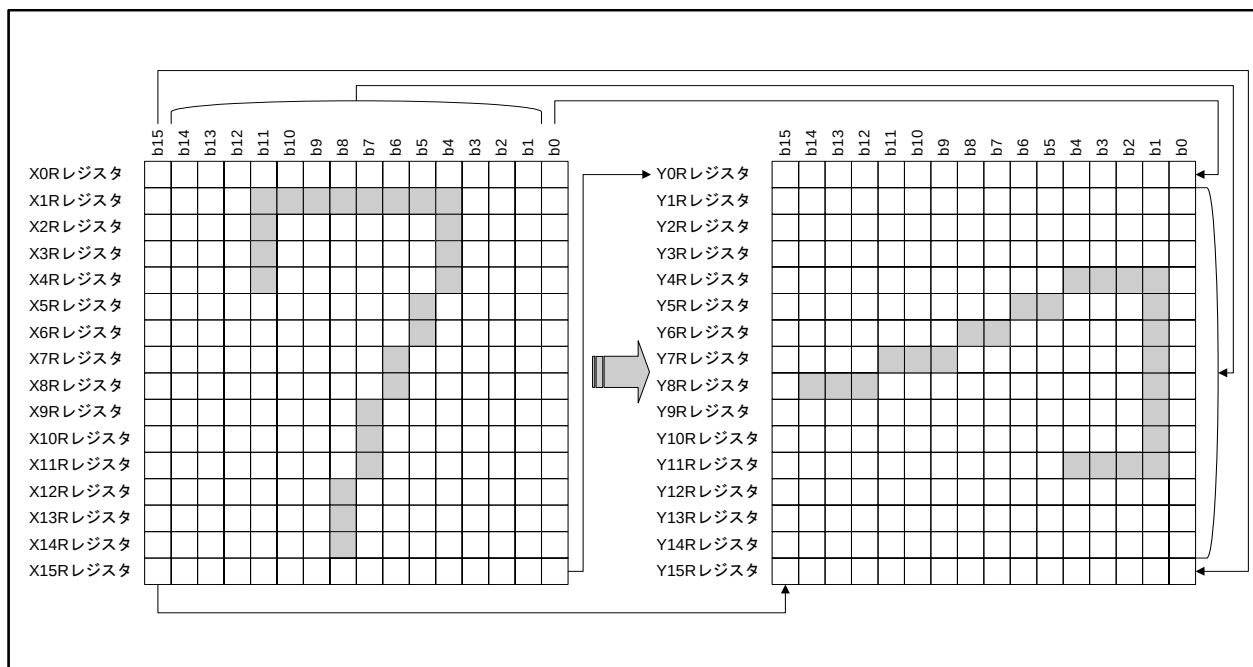


図 21.3 X/Y 変換例

XYC レジスタの XYC0 ビットを “1” (データ変換なし) にして YjR レジスタを読むと、XiR レジスタに書かれた値をそのまま読めます。図21.4にXYC0ビットが “1” の場合の変換テーブルを示します。

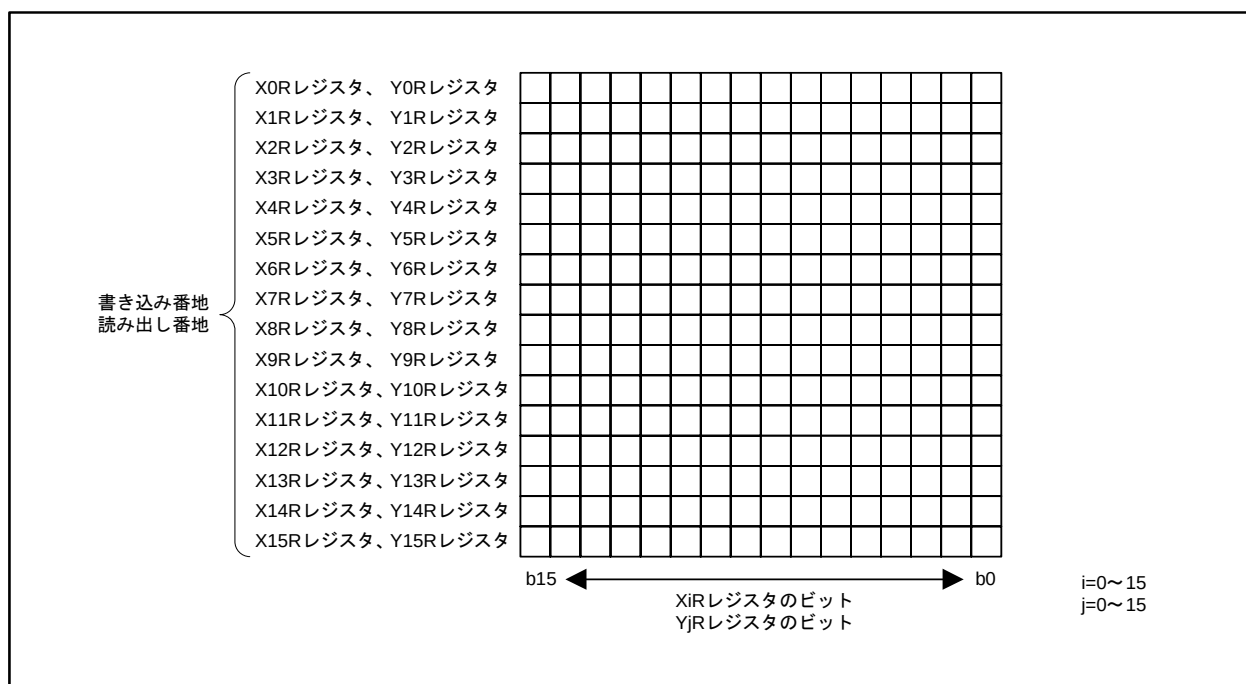


図21.4 XYC0ビットが “1” の場合の変換テーブル

XiR レジスタに書く値のビット配置は、XYC レジスタの XYC1 ビットで選択できます。

XYC1 ビットを “0” (ビット配置変換なし) にして XiR レジスタに書くと、ビット配列はそのまま書かれます。

XYC1 ビットを “1” (ビット配置変換あり) にして XiR レジスタに書くと、ビット配列の各ビット位置を反転して書きます。図21.5にXYC1ビットが “1” の場合の変換を示します。

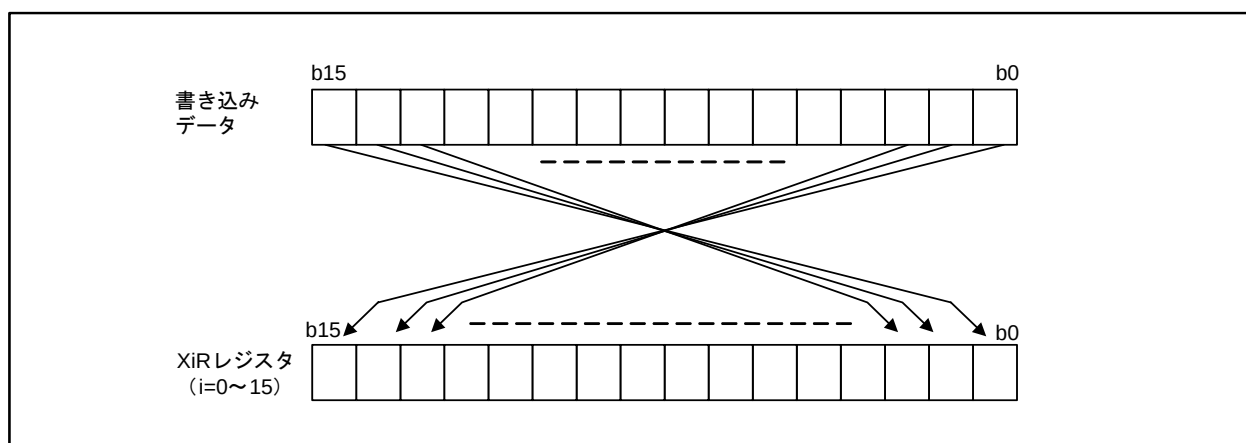


図21.5 XYC1ビットが “1” の場合の変換

22. プログラマブル入出力ポート

プログラマブル入出力ポートは、100ピン版ではP0～P10(P8_5は除く)の87本、144ピン版ではP0～P15(P8_5は除く)の123本あります。各ポートの入出力は、方向レジスタによって1本ごとに設定できます。また、4本ごとにプルアップするか、しないかを設定できます。P8_5は入力専用でプルアップできません。P8_5は $\overline{\text{NMI}}$ と端子を共用していますので、 $\overline{\text{NMI}}$ 入力レベルをP8レジスタのP8_5ビットから読めます。

図22.1～図22.4にプログラマブル入出力ポートの構成を示します。

各端子は、プログラマブル入出力ポートと周辺機能の入出力、またはバス制御端子として機能します。周辺機能の入出力端子として使用する場合は各周辺機能の章を参照してください。バス制御端子として使用する場合は、「8. バス」を参照してください。

次にプログラマブル入出力ポート関連レジスタを示します。

22.1 ポートPi方向レジスタ(PDiレジスタ、i=0～15)

図22.5にPDiレジスタを示します。

プログラマブル入出力ポートを入力に使用するか、出力に使用するか、選択するためのレジスタです。PDiレジスタの各ビットは、ポート1本ずつに対応しています。

メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子(A0～A22、 $\overline{\text{A23}}$ 、D0～D15、 $\overline{\text{CS0}}\sim\overline{\text{CS3}}$ 、 $\overline{\text{WRL}}/\overline{\text{WR}}$ 、 $\overline{\text{WRH}}/\overline{\text{BHE}}$ 、 $\overline{\text{RD}}$ 、BCLK/ALE/CLKOUT、 $\overline{\text{HLDA}}/\text{ALE}$ 、 $\overline{\text{HOLD}}$ 、ALE、 $\overline{\text{RDY}}$)のPDiレジスタへは書けません。なお、P8_5に対応する方向レジスタのビットはありません。

22.2 ポートPiレジスタ(Piレジスタ、i=0～15)

図22.6にPiレジスタを示します。

外部とのデータ入出力は、Piレジスタへの書き込みと読み出しによって行います。Piレジスタは出力データを保持するポートラッチと端子の状態を読む回路で構成されています。Piレジスタの各ビットはポート1本ずつに対応しています。

メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子(A0～A22、 $\overline{\text{A23}}$ 、D0～D15、 $\overline{\text{CS0}}\sim\overline{\text{CS3}}$ 、 $\overline{\text{WRL}}/\overline{\text{WR}}$ 、 $\overline{\text{WRH}}/\overline{\text{BHE}}$ 、 $\overline{\text{RD}}$ 、BCLK/ALE/CLKOUT、 $\overline{\text{HLDA}}/\text{ALE}$ 、 $\overline{\text{HOLD}}$ 、ALE、 $\overline{\text{RDY}}$)のPiレジスタへは書けません。また、Piレジスタで端子の状態も読めません。

22.3 機能選択レジスタA(PSjレジスタ、j=0～3)

図22.7～図22.8にPSjレジスタを示します。

入出力ポートと周辺機能出力が端子を共用している場合、入出力ポートと周辺機能出力のどちらを使用するかを選択するためのレジスタです(ただしDA0、DA1を除く)。1本の端子に周辺機能出力が複数割り付けられている場合、PSL0～PSL3レジスタ、PSCレジスタでどの機能を使用するかを選択してください。表22.3～表22.7に機能選択レジスタの設定により選択されるポートの周辺機能を示します。

22.4 機能選択レジスタB(PSLkレジスタ、k=0～3)

図22.9～図22.10にPSLkレジスタを示します。

PSLkレジスタは、端子に周辺機能出力が複数割り付けられている場合、どの周辺機能出力を使用するかを選択するためのレジスタです。PSL3レジスタのPSL3_3～PSL3_6ビットは「22.8 アナログ入力と他の周辺機能入力」を参照してください。

22.5 機能選択レジスタC(PSCレジスタ)

図22.11にPSCレジスタを示します。

PSCレジスタは、端子に周辺機能出力が複数割り付けられている場合、どの周辺機能出力を使用するかを選択するためのレジスタです。

PSCレジスタのPSC_7ビットは「22.8 アナログ入力と他の周辺機能入力」を参照してください。

22.6 プルアップ制御レジスタ 0～4(PUR0～PUR4 レジスタ)

図 22.12～図 22.15 に PUR0～PUR4 レジスタを示します。

PUR0～PUR4 レジスタによって、4 端子ごとにプルアップするかしないかを設定できます。PUR0～PUR4 レジスタのビットを“1”(プルアップする)、方向レジスタを“0”(入力モード)に設定したポートはプルアップされます。

メモリ拡張モード、マイクロプロセッサモード時、バスとして動作している P0～P5 の PUR0～PUR1 レジスタのビットは“0”(プルアップしない)にしてください。なお、メモリ拡張モード、マイクロプロセッサモード時、P0、P1、P4_0～P4_3 を入力ポートとして使用する場合は、これらのポートはプルアップできます。

22.7 ポート制御レジスタ (PCR レジスタ)

図 22.16 に PCR レジスタを示します。

ポート P1 の出力形式を CMOS とするか N チャネルオープンドレインとするかを選択するレジスタです。PCR0 ビットを“1”(N チャネルオープンドレイン出力)にした場合、CMOS ポートの P チャネルが常時 OFF になるので N チャネルオープンドレインになります。ただし、ポート P1 は完全なオープンドレインにはなりません。したがって、入力電圧の絶対最大定格は“ $-0.3V \sim VCC2 + 0.3V$ ”となります。

メモリ拡張モードやマイクロプロセッサモードでポート P1 をデータバスに使用する場合は、PCR0 ビットを“0”(CMOS 出力)にしてください。メモリ拡張モードやマイクロプロセッサモードでポート P1 をポートとして使用する場合は、PCR0 ビットで出力形式を選択できます。

22.8 アナログ入力と他の周辺機能入力

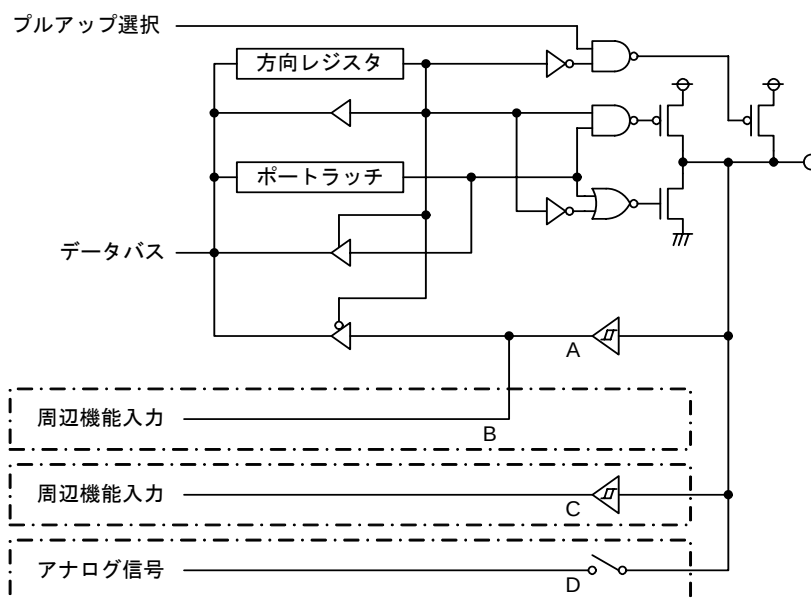
PSL3 レジスタの PSL3_3～PSL3_6 ビット、PSC レジスタの PSC_7 ビットは、アナログ入出力を他の周辺機能から切り離すためのビットです。他の周辺機能入力と端子を共用している場合、中間電位が端子にかかると貫通電流が流れることがあります。

アナログ入出力(DA0、DA1、ANEX0、ANEX1、AN_4～AN_7)を使用する場合、貫通電流を防止するため、対応するビットを“1”(アナログ入出力)にして、端子を共用している他の周辺機能入力を端子から切り離してください。

P10_4～P10_7(AN_4～AN_7/ $\overline{KI0} \sim \overline{KI3}$) では、PSC_7 ビットを“1”にすると、ポートを含む周辺機能入力バッファが切られるので、ポートの読み出し値は不定になります。また、 $\overline{KI0} \sim \overline{KI3}$ 端子の入力レベルが変化しても、KUPIC レジスタの IR ビットは“1”(割り込み要求あり)になりません。

アナログ入出力を使用しない場合は、対応するビットを“0”(アナログ入出力以外)にしてください。

プログラマブル入出力ポート

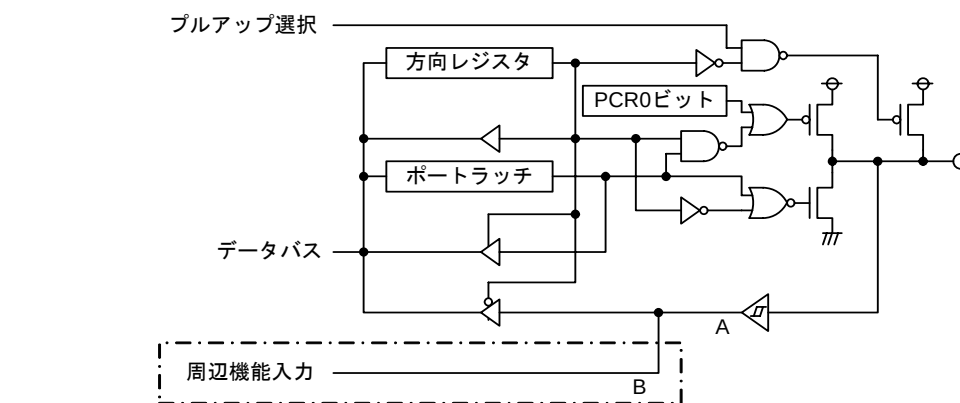


オプション ポート	(A) ヒステリシスの有無	(B) 周辺回路入力	(C) 周辺回路入力	(D) アナログI/F
P0_0~P0_7 P2_0~P2_7	—	—	—	○
P3_0~P3_7 P4_0~P4_7 P5_0~P5_2	—	—	—	—
P5_5、P5_7	—	—	○	—
P8_3、P8_4	○	○	—	—
P8_6、P8_7	—	—	—	—

○：あり、—：なし

図22.1 プログラマブル入出力ポートの構成(1)

ポート制御レジスタ付きプログラマブル入出力ポート



PCR0ビット: PCRレジスタのビット

オプション ポート	(A) ヒステリシスの有無	(B) 周辺回路入力
P1_0~P1_4	—	—
P1_5~P1_7	○	○

○: あり、—: なし

機能選択レジスタ付きプログラマブル入出力ポート

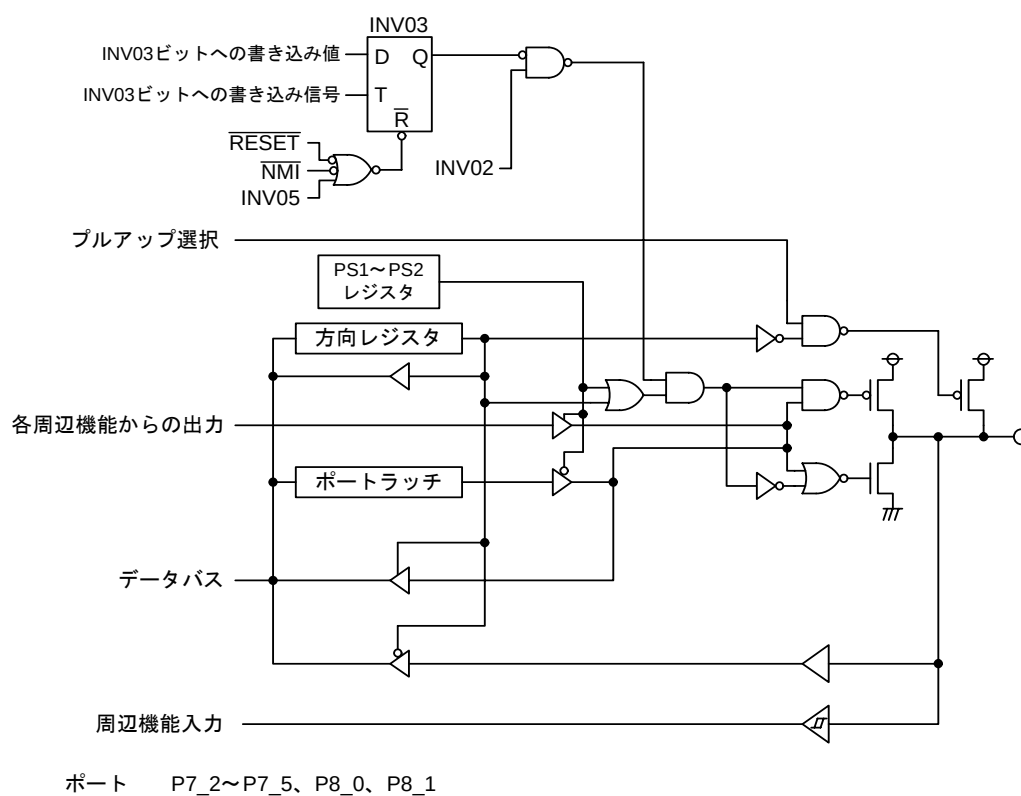
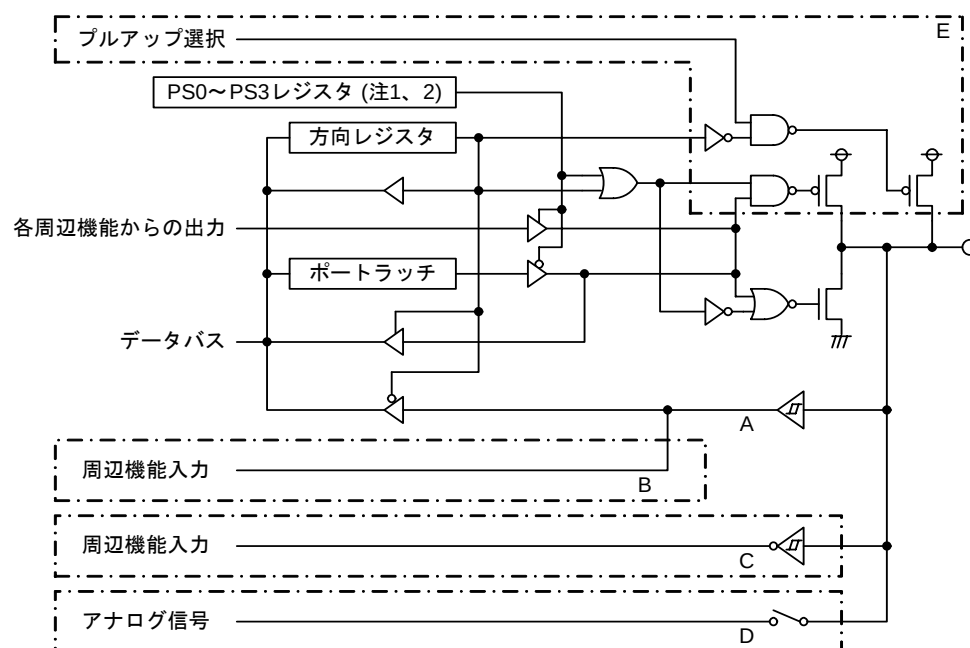


図 22.2 プログラマブル入出力ポートの構成(2)

機能選択レジスタ付きプログラマブル入出力ポート



ポート	オプション	(A) ヒステリシスの有無	(B) 周辺回路入力	(C) 周辺回路入力	(D) アナログI/F	(E) 回路
P5_3(注1)		—	—	—	—	○
P5_4、P5_6(注2)		—	—	—	—	○
P6_0~P6_7		—	—	○	—	○
P7_0、P7_1(注3)		—	—	○	—	—
P7_6、P7_7		—	—	○	—	○
P8_2		○	○	—	—	○
P9_0~P9_2		—	—	○	—	○
P9_3~P9_6		—	—	○	○	○
P9_7		—	—	○	—	○
P10_0~P10_3		—	—	—	○	○
P10_4~P10_7		○	○	—	○	○
P11_0~P11_3		—	—	—	—	○
P11_4、P12_0		—	—	—	—	○
P12_1~P12_3		—	—	—	—	○
P12_4~P12_7		—	—	—	—	○
P13_0~P13_4		—	—	—	—	○
P13_5、P13_6		—	—	—	—	○
P13_7		—	—	—	—	○
P14_0~P14_3		—	—	—	—	○
P14_4~P14_6		—	—	—	—	○
P15_0		—	—	—	○	○
P15_1~P15_3		—	—	—	○	○
P15_4		—	—	—	○	○
P15_5~P15_7		—	—	—	○	○

(注4)

○：あり、—：なし

注1. P5_3では、PM0レジスタのPM07ビット、PM1レジスタのPM15~PM14ビット、CM0レジスタのCM01~CM00ビットによりクロックまたはALE出力を選択してください。

注2. P5_4、P5_6では、PM15~PM14ビットによりALE出力を選択してください。

注3. P7_0、P7_1はNチャネルオープンドレイン出力です。

注4. 144ピン版のみあります。

図 22.3 プログラマブル入出力ポートの構成(3)

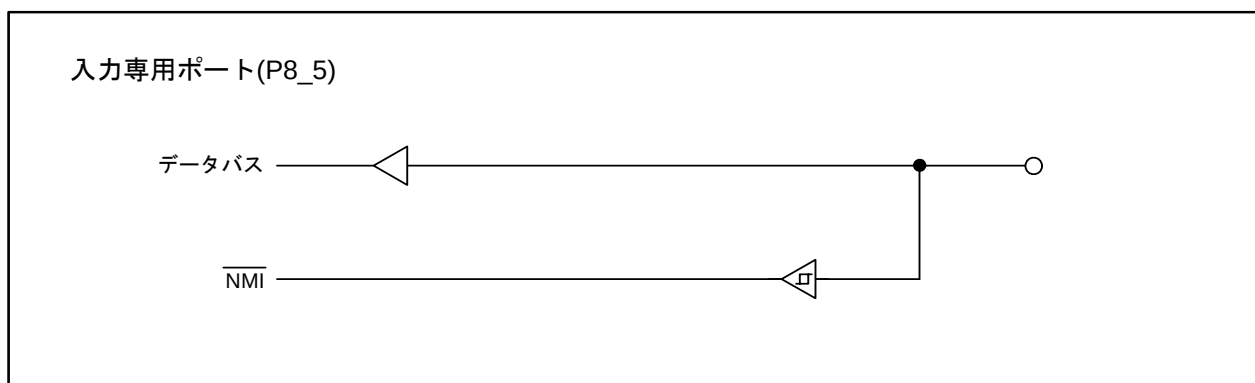


図 22.4 プログラマブル入出力ポートの構成 (4)

ポートPi方向レジスタ (i=0~15)(注2)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
	PD0~PD3	03E2h、03E3h、03E6h、03E7h番地	00h
	PD4~PD7	03EAh、03EBh、03C2h、03C3h番地	00h
	PD8	03C6h番地(注4)	00X0 0000b
	PD9~PD10	03C7h(注1)、03CAh番地	00h
	PD11	03CBh番地(注3、4)	XXX0 0000b
	PD12~PD13	03CEh、03CFh番地(注3)	00h
	PD14	03D2h番地(注3、4)	X000 0000b
	PD15	03D3h番地(注3)	00h

ビットシンボル	ビット名	機能	RW
PDi_0	ポートPi_0方向ビット	0 : 入力モード(入力ポートとして機能) 1 : 出力モード(出力ポートとして機能)	RW
PDi_1	ポートPi_1方向ビット	0 : 入力モード(入力ポートとして機能) 1 : 出力モード(出力ポートとして機能)	RW
PDi_2	ポートPi_2方向ビット	0 : 入力モード(入力ポートとして機能) 1 : 出力モード(出力ポートとして機能)	RW
PDi_3	ポートPi_3方向ビット	0 : 入力モード(入力ポートとして機能) 1 : 出力モード(出力ポートとして機能)	RW
PDi_4	ポートPi_4方向ビット	0 : 入力モード(入力ポートとして機能) 1 : 出力モード(出力ポートとして機能)	RW
PDi_5	ポートPi_5方向ビット	0 : 入力モード(入力ポートとして機能) 1 : 出力モード(出力ポートとして機能)	RW
PDi_6	ポートPi_6方向ビット	0 : 入力モード(入力ポートとして機能) 1 : 出力モード(出力ポートとして機能)	RW
PDi_7	ポートPi_7方向ビット	0 : 入力モード(入力ポートとして機能) 1 : 出力モード(出力ポートとして機能)	RW

注1. PD9レジスタはPRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書いてください。PRC2ビットを“1”にする命令とPD9レジスタを書き換える命令の間に、割り込みやDMA転送、DMACII転送が入らないようにしてください。

注2. メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子(A0~A22、A23、D0~D15、CS0~CS3、WRL/WR、WRH/BHE、RD、BCLK/ALE/CLKOUT、HLDA/ALE、HOLD、ALE、RDY)になっている端子の方向レジスタへは書きません。

注3. 100ピン版ではPD11~PD15レジスタを“FFh”にしてください。

注4. PD8レジスタのPD8_5ビット、PD11レジスタのPD11_5~PD11_7ビット、PD14レジスタのPD14_7ビットには何も配置されていません。書く場合、“0”を書いてください。読んだ場合、その値は不定です。

図 22.5 PD0~PD15 レジスタ

ポートPiレジスタ (i=0~15)(注1、2)

シンボル	アドレス	リセット後の値
P0~P5	03E0h、03E1h、03E4h、03E5h、03E8h、03E9h番地	不定
P6~P10	03C0h、03C1h(注3)、03C4h(注4)、03C5h、03C8h番地	不定
P11~P15	03C9h(注5)、03CCh、03CDh、03D0h(注5)、03D1h番地	不定

ビット シンボル	ビット名	機 能	RW
Pi_0	ポートPi_0ビット	入力モード (ポート方向レジスタのPDi_jビット(j=0~7)が“0”) 読むと端子のレベルが読める 書くときポートラッチに書き込む	RW
Pi_1	ポートPi_1ビット		RW
Pi_2	ポートPi_2ビット	出力モード (ポート方向レジスタのPDi_jビットが“1”) 読むときポートラッチの値が読める 書くときポートラッチに書き込む ポートラッチの値が端子から出力される 0 : “L” レベル 1 : “H” レベル	RW
Pi_3	ポートPi_3ビット		RW
Pi_4	ポートPi_4ビット		RW
Pi_5	ポートPi_5ビット		RW
Pi_6	ポートPi_6ビット		RW
Pi_7	ポートPi_7ビット		RW

- 注1. メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子 (A0~A22、A23、D0~D15、CS0~CS3、WRL/WR、WRH/BHE、RD、BCLK/ALE/CLKOUT、HLDA/ALE、HOLD、ALE、RDY) になっている端子のポートレジスタへは書けません。
- 注2. P11~P15レジスタは144ピン版のみあります。
- 注3. P7_0、P7_1はNチャネルオープンドレイン出力のため“1”を設定すると端子の状態はハイインピーダンスとなります。
- 注4. P8_5レジスタは読み出しのみ。
- 注5. P11レジスタのP11_5~P11_7ビット、P14レジスタのP14_7ビットには何も配置されていません。書く場合、“0”を書いてください。読んだ場合、その値は不定です。

図 22.6 P0~P15 レジスタ

機能選択レジスタA0

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
	PS0	03B0h番地	00h
ビット シンボル	ビット名	機 能	RW
PS0_0	ポートP6_0出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL0_0ビットで選択	RW
PS0_1	ポートP6_1出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL0_1ビットで選択	RW
PS0_2	ポートP6_2出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL0_2ビットで選択	RW
PS0_3	ポートP6_3出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL0_3ビットで選択	RW
PS0_4	ポートP6_4出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL0_4ビットで選択	RW
PS0_5	ポートP6_5出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL0_5ビットで選択	RW
PS0_6	ポートP6_6出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL0_6ビットで選択	RW
PS0_7	ポートP6_7出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL0_7ビットで選択	RW

機能選択レジスタA1

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
	PS1	03B1h番地	00h
ビット シンボル	ビット名	機 能	RW
PS1_0	ポートP7_0出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL1_0ビットで選択	RW
PS1_1	ポートP7_1出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL1_1ビットで選択	RW
PS1_2	ポートP7_2出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL1_2ビットで選択	RW
PS1_3	ポートP7_3出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL1_3ビットで選択	RW
PS1_4	ポートP7_4出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL1_4ビットで選択	RW
PS1_5	ポートP7_5出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL1_5ビットで選択	RW
PS1_6	ポートP7_6出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL1_6ビットで選択	RW
PS1_7	ポートP7_7出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : 設定しないでください	RW

図 22.7 PS0 レジスタ、PS1 レジスタ

機能選択レジスタA2

シンボル	アドレス	リセット後の値
PS2	03B4h番地	00X0 0000b

ビット シンボル	ビット名	機 能	RW
PS2_0	ポートP8_0出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL2_0ビットで選択	RW
PS2_1	ポートP8_1出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL2_1ビットで選択	RW
— (b4-b2)	予約ビット	“0” にしてください。	RW
— (b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
— (b7-b6)	予約ビット	“0” にしてください。	RW

機能選択レジスタA3 (注1)

シンボル	アドレス	リセット後の値
PS3	03B5h番地	00h

ビット シンボル	ビット名	機 能	RW
PS3_0	ポートP9_0出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL3_0ビットで選択	RW
PS3_1	ポートP9_1出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL3_1ビットで選択	RW
PS3_2	ポートP9_2出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL3_2ビットで選択	RW
PS3_3	ポートP9_3出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : RTS3	RW
PS3_4	ポートP9_4出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : RTS4	RW
PS3_5	ポートP9_5出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : CLK4出力	RW
PS3_6	ポートP9_6出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : TXD4 / SDA4出力	RW
PS3_7	ポートP9_7出力機能選択ビット	0 : 入出力ポート / 周辺機能入力 1 : PSL3_7ビットで選択	RW

注1. PS3レジスタはPRCRレジスタのPRC2ビットを“1”（書き込み許可）にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPS3レジスタを書き換える命令の間に、割り込みやDMA転送、DMACII転送が入らないようにしてください。

図 22.8 PS2 レジスタ、PS3 レジスタ

機能選択レジスタB0

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
0 0 0 0 0 0 0 0	PSL0	03B2h番地	00h
ビット シンボル	ビット名	機 能	RW
PSL0_0	ポートP6_0出力周辺機能 選択ビット	0 : RTS0 1 : 設定しないでください	RW
PSL0_1	ポートP6_1出力周辺機能 選択ビット	0 : CLK0出力 1 : 設定しないでください	RW
PSL0_2	ポートP6_2出力周辺機能 選択ビット	0 : SCL0出力 1 : STXD0	RW
PSL0_3	ポートP6_3出力周辺機能 選択ビット	0 : TXD0 / SDA0出力 1 : 設定しないでください	RW
PSL0_4	ポートP6_4出力周辺機能 選択ビット	0 : RTS1 1 : 設定しないでください	RW
PSL0_5	ポートP6_5出力周辺機能 選択ビット	0 : CLK1出力 1 : 設定しないでください	RW
PSL0_6	ポートP6_6出力周辺機能 選択ビット	0 : SCL1出力 1 : STXD1	RW
PSL0_7	ポートP6_7出力周辺機能 選択ビット	0 : TXD1 / SDA1出力 1 : 設定しないでください	RW

機能選択レジスタB1

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
0 1 0 0 0 0 0 0	PSL1	03B3h番地	00h
ビット シンボル	ビット名	機 能	RW
PSL1_0	ポートP7_0出力周辺機能 選択ビット	0 : PSC_0ビットで選択 1 : TA0OUT出力	RW
PSL1_1	ポートP7_1出力周辺機能 選択ビット	0 : PSC_1ビットで選択 1 : STXD2	RW
PSL1_2	ポートP7_2出力周辺機能 選択ビット	0 : PSC_2ビットで選択 1 : TA1OUT出力	RW
PSL1_3	ポートP7_3出力周辺機能 選択ビット	0 : PSC_3ビットで選択 1 : $\bar{V}$	RW
PSL1_4	ポートP7_4出力周辺機能 選択ビット	0 : PSC_4ビットで選択 1 : W	RW
PSL1_5	ポートP7_5出力周辺機能 選択ビット	0 : $\bar{W}$ 1 : 設定しないでください	RW
PSL1_6	ポートP7_6出力周辺機能 選択ビット	0 : 設定しないでください 1 : TA3OUT出力	RW
— (b7)	予約ビット	“0” にしてください	RW

図 22.9 PSL0 レジスタ、PSL1 レジスタ

機能選択レジスタ B2

ビット シンボル	ビット名	機 能	RW
PSL2_0	ポートP8_0出力周辺機能 選択ビット	0 : TA4OUT出力 1 : U	RW
PSL2_1	ポートP8_1出力周辺機能 選択ビット	0 : U 1 : 設定しないでください	RW
— (b4-b2)	予約ビット	“0” にしてください。	RW
— (b5)	何も配置されていない。書く場合、“0” を書いてください。 読んだ場合、その値は不定。		—
— (b7-b6)	予約ビット	“0” にしてください。	RW

機能選択レジスタ B3

ビット シンボル	ビット名	機 能	RW
PSL3_0	ポートP9_0出力周辺機能 選択ビット	0 : CLK3出力 1 : 設定しないでください	RW
PSL3_1	ポートP9_1出力周辺機能 選択ビット	0 : SCL3出力 1 : STXD3	RW
PSL3_2	ポートP9_2出力周辺機能 選択ビット	0 : TXD3 / SDA3出力 1 : 設定しないでください	RW
PSL3_3	ポートP9_3出力周辺機能 選択ビット(注1)	0 : 周辺機能入力を使用する場合 1 : DA0を使用する場合	RW
PSL3_4	ポートP9_4出力周辺機能 選択ビット(注1)	0 : 周辺機能入力を使用する場合 1 : DA1を使用する場合	RW
PSL3_5	ポートP9_5入力周辺機能 選択ビット(注1)	0 : ANEX0以外の周辺機能入力を使用する場合 1 : ANEX0を使用する場合	RW
PSL3_6	ポートP9_6入力周辺機能 選択ビット(注1)	0 : ANEX1以外の周辺機能入力を使用する場合 1 : ANEX1を使用する場合	RW
PSL3_7	ポートP9_7出力周辺機能 選択ビット	0 : SCL4出力 1 : STXD4	RW

注1. PSL3_iビット(i=3~6)を“0” にしてDA0、DA1、ANEX0、ANEX1を使用すると、電源電流が増加する場合があります。

図 22.10 PSL2 レジスタ、PSL3 レジスタ

機能選択レジスタC

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値	
	0	0	0	0	0	0	0	PSC	03AFh番地	00X0 0000b	
								ビット シンボル	ビット名	機 能	RW
								PSC_0	ポートP7_0出力周辺機能 選択ビット	0 : TXD2 / SDA2出力 1 : 設定しないでください	RW
								PSC_1	ポートP7_1出力周辺機能 選択ビット	0 : SCL2出力 1 : 設定しないでください	RW
								PSC_2	ポートP7_2出力周辺機能 選択ビット	0 : CLK2出力 1 : V	RW
								PSC_3	ポートP7_3出力周辺機能 選択ビット	0 : $\overline{\text{RTS2}}$ 1 : 設定しないでください	RW
								PSC_4	トP7_4出力周辺機能 選択ビット予約	0 : TA2OUT出力 1 : 設定しないでください	RW
								— (b6-b5)	予約ビット	“0” にしてください	RW
								PSC_7	ポートP10_4～P10_7 入力周辺機能選択ビット	0 : P10_4～P10_7またはK10～K13 1 : AN_4～AN_7(注1)	RW

注1. PSC_7ビットを変更する際は、KUPICレジスタのILVL2~ILVL0ビットを“000b”(割り込み禁止)にしてください。
PSC_7ビットを“0”にしてAN_4~AN_7を使用すると、電源電流が増加する場合があります。

図 22.11 PSC レジスタ

プルアップ制御レジスタ0 (注1)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
	PUR0	03F0h番地	00h
ビットシンボル	ビット名	機 能	RW
b7	PU00	P0_0~P0_3のプルアップ 対応するポートのプルアップの設定を行う 0 : プルアップしない 1 : プルアップする	RW
b6	PU01	P0_4~P0_7のプルアップ	RW
b5	PU02	P1_0~P1_3のプルアップ	RW
b4	PU03	P1_4~P1_7のプルアップ	RW
b3	PU04	P2_0~P2_3のプルアップ	RW
b2	PU05	P2_4~P2_7のプルアップ	RW
b1	PU06	P3_0~P3_3のプルアップ	RW
b0	PU07	P3_4~P3_7のプルアップ	RW

注1. メモリ拡張モードとマイクロプロセッサモードでは、ポートP0~P5はバス制御端子として動作しますので、PUR0レジスタの各ビットを“0”にしてください。ただし入出力ポートとして使用する場合は、プルアップするかしないかを選択できます。

プルアップ制御レジスタ1 (注1)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
	PUR1	03F1h番地	XXXX 0000b
ビットシンボル	ビット名	機 能	RW
b7	PU10	P4_0~P4_3のプルアップ 対応するポートのプルアップの設定を行う 0 : プルアップしない 1 : プルアップする	RW
b6	PU11	P4_4~P4_7のプルアップ	RW
b5	PU12	P5_0~P5_3のプルアップ	RW
b4	PU13	P5_4~P5_7のプルアップ	RW
b3~b0	— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定	—

注1. メモリ拡張モードとマイクロプロセッサモードでは、ポートP0~P5はバス制御端子として動作しますので、PUR1レジスタの各ビットを“0”にしてください。ただし入出力ポートとして使用する場合は、プルアップするかしないかを選択できます。

図 22.12 PUR0 レジスタ、PUR1 レジスタ

プルアップ制御レジスタ2

ビット シンボル	ビット名	機 能	RW
PU20	P6_0~P6_3のプルアップ	対応するポートのプルアップの設定を行う 0 : プルアップしない 1 : プルアップする	RW
PU21	P6_4~P6_7のプルアップ		RW
PU22	P7_2~P7_3のプルアップ(注1)		RW
PU23	P7_4~P7_7のプルアップ		RW
PU24	P8_0~P8_3のプルアップ		RW
PU25	P8_4~P8_7のプルアップ(注2)		RW
PU26	P9_0~P9_3のプルアップ		RW
PU27	P9_4~P9_7のプルアップ		RW

注1. ポートP7_0、P7_1はプルアップできません。
 注2. ポートP8_5はプルアップできません。

図 22.13 PUR2 レジスタ

プルアップ制御レジスタ3

<144ピン版>

b7 b6 b5 b4 b3 b2 b1 b0								シンボル	アドレス	リセット後の値	
								PUR3	03DBh番地	00h	
								ビット シンボル	ビット名	機 能	RW
								PU30	P10_0～P10_3のプルアップ	対応するポートのプルアップの設定を行う 0：プルアップしない 1：プルアップする	RW
								PU31	P10_4～P10_7のプルアップ		RW
								PU32	P11_0～P11_3のプルアップ		RW
								PU33	P11_4のプルアップ		RW
								PU34	P12_0～P12_3のプルアップ		RW
								PU35	P12_4～P12_7のプルアップ		RW
								PU36	P13_0～P13_3のプルアップ		RW
								PU37	P13_4～P13_7のプルアップ		RW

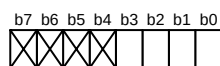
プルアップ制御レジスタ3

<100ピン版>

b7 b6 b5 b4 b3 b2 b1 b0								シンボル	アドレス	リセット後の値
0 0 0 0 0 0 0 0								PUR3	03DBh番地	00h
	ビットシンボル	ビット名	機 能	RW						
	PU30	P10_0~P10_3のプルアップ	対応するポートのプルアップの設定を行う 0：プルアップしない 1：プルアップする	RW						
	PU31	P10_4~P10_7のプルアップ		RW						
	— (b7-b2)	予約ビット	“0” にしてください。	RW						

図 22.14 PUR3 レジスタ

プルアップ制御レジスタ4 (注1)

シンボル
PUR4アドレス
03DCh番地リセット後の値
XXXX 0000b

ビット シンボル	ビット名	機 能	RW
PU40	P14_0~P14_3のプルアップ	対応するポートのプルアップの設定を行う 0 : プルアップしない 1 : プルアップする	RW
PU41	P14_4~P14_6のプルアップ		RW
PU42	P15_0~P15_3のプルアップ		RW
PU43	P15_4~P15_7のプルアップ		RW
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. PUR4レジスタは100ピン版では、“00h”にしてください。

図 22.15 PUR4 レジスタ

ポート制御レジスタ

b7b6b5b4b3b2b1b0 XXXX 00	シンボル PCR	アドレス 03FFh番地	リセット後の値 XXXX X000b
ビットシンボル PCR0 — (b2-b1) — (b7-b3)	ビット名 ポートP1制御ビット(注1) 予約ビット 何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	機能 0 : CMOS出力 1 : Nチャネルオープンドレイン出力(注2) “0” にしてください。	RW RW RW —

- 注1. メモリ拡張モードとマイクロプロセッサモードでは、ポートP1はデータバスとして動作しますので、PCR0ビットを“0”にしてください。ただし設定により入出力ポートとして使用する場合は、CMOS出力かNチャネルオープンドレイン出力かを選択できます。
- 注2. 本機能は、CMOSポートのPチャネルを常時オフするものであり、ポートP1を完全にオープンドレインにする機能ではありません。したがって、入力電圧の絶対最大定格は−0.3V〜VCC2+0.3Vとなります。

図 22.16 PCR レジスタ

表 22.1 シングルチップモードの未使用端子の処理例

端子名	処理内容
ポート P0～P15 (P8_5は除く)(注1)	入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)するか、または出力モードに設定し、端子を開放
XOUT (注2)	開放
NMI (P8_5)	抵抗を介してVCC1に接続(プルアップ)
VREF	VSSに接続

注1. ポート P11～P15は144ピン版のみあります。

注2. XIN端子に外部クロックを入力している場合。

表 22.2 メモリ拡張モード、マイクロプロセッサモードの未使用端子の処理例

端子名	処理内容
ポート P1、P6～P15 (P8_5は除く)(注1)	入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)するか、または出力モードに設定し、端子を開放
BHE、ALE、HLDA、XOUT(注2)、BCLK	開放
HOLD、RDY	抵抗を介してVCC2に接続(プルアップ)
NMI (P8_5)	抵抗を介してVCC1に接続(プルアップ)
VREF	VSSに接続

注1. ポート P11～P15は144ピン版のみあります。

注2. XIN端子に外部クロックを入力している場合。

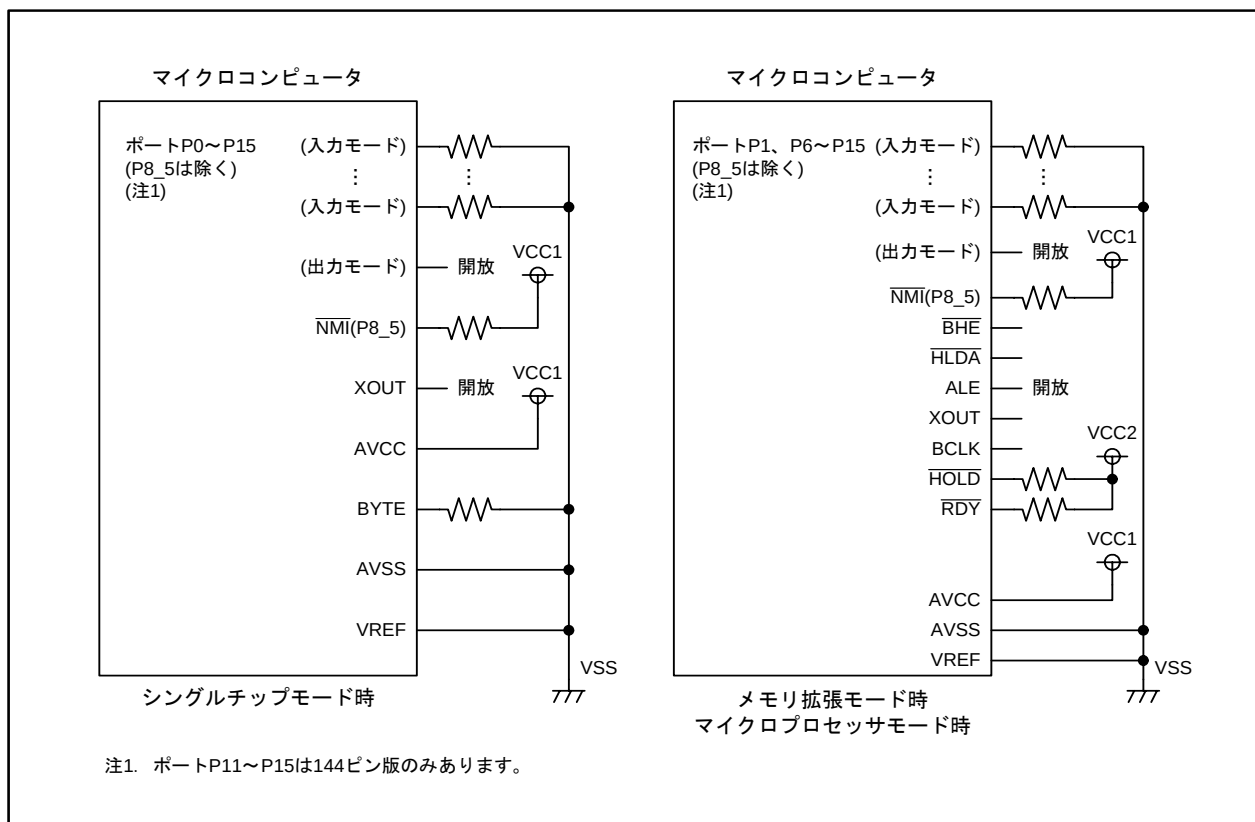


図 22.17 未使用端子の処理例

表 22.3 ポート P6 周辺機能出力制御

	PS0 レジスタ	PSL0 レジスタ
ビット 0	0: P6_0 / $\overline{\text{CTS0}}$ / $\overline{\text{SS0}}$ 1: PSL0_0 ビットで選択	0: $\overline{\text{RTS0}}$ 1: 設定しないでください
ビット 1	0: P6_1 / CLK0 入力 1: PSL0_1 ビットで選択	0: CLK0 出力 1: 設定しないでください
ビット 2	0: P6_2 / RXD0 / SCL0 入力 1: PSL0_2 ビットで選択	0: SCL0 出力 1: STXD0
ビット 3	0: P6_3 / SRXD0 / SDA0 入力 1: PSL0_3 ビットで選択	0: TXD0 / SDA0 出力 1: 設定しないでください
ビット 4	0: P6_4 / $\overline{\text{CTS1}}$ / $\overline{\text{SS1}}$ 1: PSL0_4 ビットで選択	0: $\overline{\text{RTS1}}$ 1: 設定しないでください
ビット 5	0: P6_5 / CLK1 入力 1: PSL0_5 ビットで選択	0: CLK1 出力 1: 設定しないでください
ビット 6	0: P6_6 / RXD1 / SCL1 入力 1: PSL0_6 ビットで選択	0: SCL1 出力 1: STXD1
ビット 7	0: P6_7 / SRXD1 / SDA1 入力 1: PSL0_7 ビットで選択	0: TXD1 / SDA1 出力 1: 設定しないでください

表 22.4 ポート P7 周辺機能出力制御

	PS1 レジスタ	PSL1 レジスタ	PSC レジスタ
ビット 0	0: P7_0 / TA0OUT 入力 / SRXD2 / SDA2 入力 1: PSL1_0 ビットで選択	0: PSC_0 ビットで選択 1: TA0OUT 出力	0: TXD2 / SDA2 出力 1: 設定しないでください
ビット 1	0: P7_1 / TA0IN / TB5IN / RXD2 / SCL2 入力 1: PSL1_1 ビットで選択	0: PSC_1 ビットで選択 1: STXD2	0: SCL2 出力 1: 設定しないでください
ビット 2	0: P7_2 / TA1OUT 入力 / CLK2 入力 1: PSL1_2 ビットで選択	0: PSC_2 ビットで選択 1: TA1OUT 出力	0: CLK2 出力 1: V
ビット 3	0: P7_3 / TA1IN / $\overline{\text{CTS2}}$ / $\overline{\text{SS2}}$ 1: PSL1_3 ビットで選択	0: PSC_3 ビットで選択 1: $\overline{\text{V}}$	0: $\overline{\text{RTS2}}$ 1: 設定しないでください
ビット 4	0: P7_4 / TA2OUT 入力 1: PSL1_4 ビットで選択	0: PSC_4 ビットで選択 1: W	0: TA2OUT 出力 1: 設定しないでください
ビット 5	0: P7_5 / TA2IN 1: PSL1_5 ビットで選択	0: $\overline{\text{W}}$ 1: 設定しないでください	“0” にしてください
ビット 6	0: P7_6 / TA3OUT 入力 1: PSL1_6 ビットで選択	0: 設定しないでください 1: TA3OUT 出力	“0” にしてください
ビット 7	0: P7_7 / TA3IN 1: 設定しないでください	“0” にしてください	—

表 22.5 ポート P8 周辺機能出力制御

	PS2 レジスタ	PSL2 レジスタ
ビット 0	0: P8_0 / TA4OUT 入力 1: PSL2_0 ビットで選択	0: TA4OUT 出力 1: U
ビット 1	0: P8_1 / TA4IN 1: PSL2_1 ビットで選択	0: $\bar{U}$ 1: 設定しないでください
ビット 2～7	“000000b” にしてください	

表 22.6 ポート P9 周辺機能出力制御

	PS3 レジスタ	PSL3 レジスタ
ビット 0	0: P9_0 / TB0IN / CLK3 入力 1: PSL3_0 ビットで選択	0: CLK3 出力 1: 設定しないでください
ビット 1	0: P9_1 / TB1IN / RXD3 / SCL3 入力 1: PSL3_1 ビットで選択	0: SCL3 出力 1: STXD3
ビット 2	0: P9_2 / TB2IN / SRXD3 / SDA3 入力 1: PSL3_2 ビットで選択	0: TXD3 / SDA3 出力 1: 設定しないでください
ビット 3	0: P9_3 / TB3IN / $\overline{CTS3}$ / $\overline{SS3}$ / DA0 1: $\overline{RTS3}$	0: 周辺機能入力を使用する場合 1: DA0 を使用する場合
ビット 4	0: P9_4 / TB4IN / $\overline{CTS4}$ / $\overline{SS4}$ / DA1 1: $\overline{RTS4}$	0: 周辺機能入力を使用する場合 1: DA1 を使用する場合
ビット 5	0: P9_5 / ANEX0 / CLK4 入力 1: CLK4 出力	0: ANEX0 以外の周辺機能入力を使用する場合 1: ANEX0 を使用する場合
ビット 6	0: P9_6 / SRXD4 / ANEX1 / SDA4 入力 1: TXD4 / SDA4 出力	0: ANEX1 以外の周辺機能入力を使用する場合 1: ANEX1 を使用する場合
ビット 7	0: P9_7 / RXD4 / $\overline{ADTRG}$ / SCL4 入力 1: PSL3_7 ビットで選択	0: SCL4 出力 1: STXD4

表 22.7 ポート P10 周辺機能出力制御

	PSC レジスタ
ビット 7	0: P10_4～P10_7 または $\overline{KI0}$ ～ $\overline{KI3}$ 1: AN_4～AN_7

23. フラッシュメモリ

CPU 書き換えモード、標準シリアル入出力モード、パラレル入出力モードでフラッシュメモリの消去、書き込みができます。

表23.1にフラッシュメモリの仕様を示します。

表 23.1 フラッシュメモリの仕様

項目	仕様
消去単位	ブロック単位(図 23.1 参照)
書き込み単位	4 バイト単位
消去、書き込み回数	100 回(注 1)
消去、書き込み制御方式	ソフトウェアコマンドによる消去、書き込み
コマンド数	9 コマンド
プロテクト機能	・ ロックビットプロテクト機能(全モード対応) ・ ROMコードプロテクト機能(パラレル入出力モード対応) ・ IDコードチェック機能(標準シリアル入出力モード対応)
フラッシュメモリ停止機能	フラッシュメモリの停止と初期化
フラッシュメモリ書き換えモード	・ CPU 書き換えモード ・ 標準シリアル入出力モード ・ パラレル入出力モード

注 1. 消去、書き込み回数の定義

消去、書き込み回数はブロックごとの消去回数です。例えば、ブロック A に書き込みを行わず消去を行っても、ブロック A の消去、書き込み回数 1 回と数えます。

23.1 メモリ配置

ユーザROM領域はいくつかのブロックに分割されており、プログラムを格納する領域とは別に、データを格納するためのブロックA、Bがあります。ユーザROM領域は、すべてのフラッシュメモリ書き換えモードで書き換えることができます。

ブートROM領域は1ブロック(8Kバイト)あり、ユーザROM領域と重なったアドレス(FFE000h～FFFFFFh番地)に配置されています。ルネサスからの出荷時、ブートROM領域には、標準シリアル入出力モードの書き換え制御プログラムが格納されています。ブートROM領域は書き換えしないでください。

図23.1にフラッシュメモリの配置図を示します。

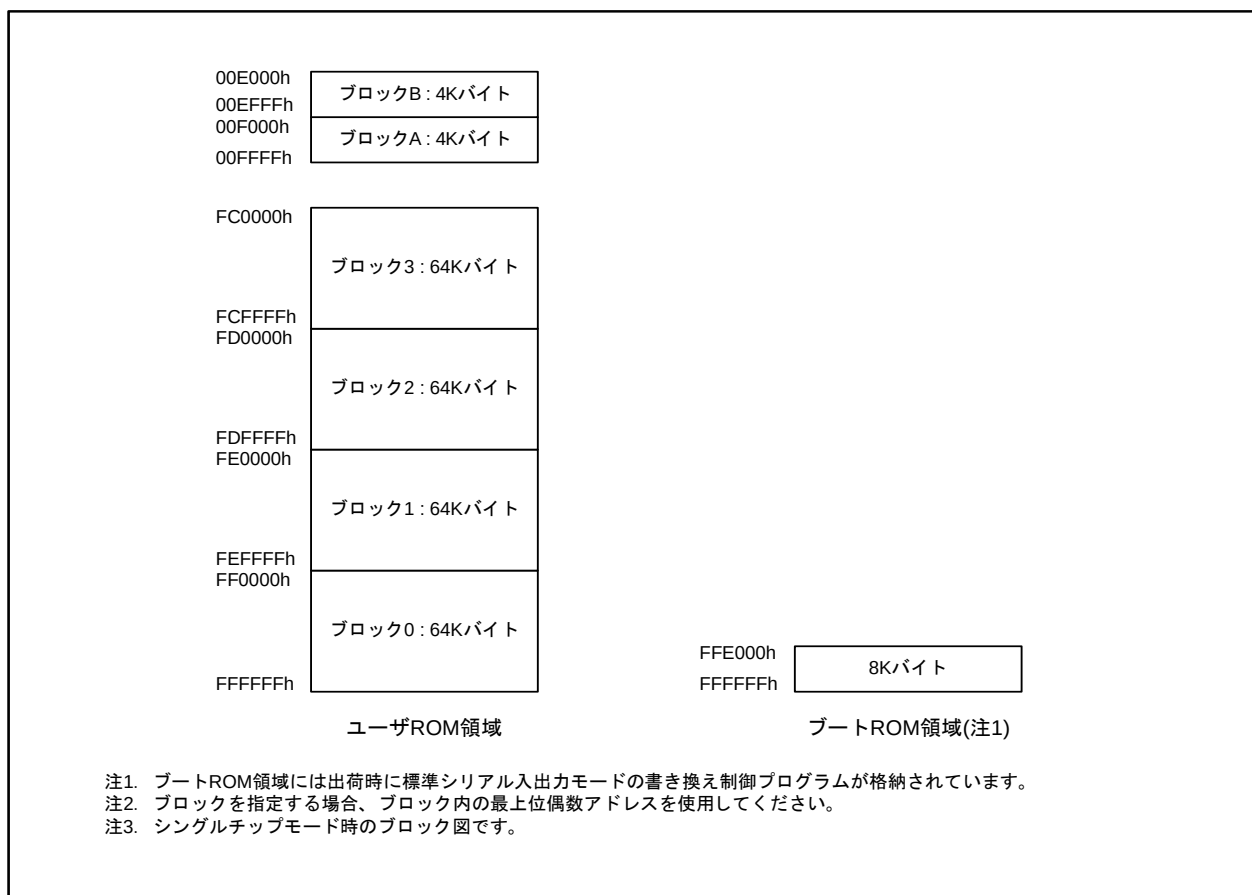


図23.1 フラッシュメモリの配置図

23.2 関連レジスタ

図 23.2～図 23.4 に関連レジスタを示します。

フラッシュメモリ制御レジスタ0

b7b6b5b4b3b2b1b0								シンボル	アドレス	リセット後の値	
0								FMR0	0057h番地	0000 0001b	
								ビット シンボル	ビット名	機 能	RW
								FMR00	RY / BYステータスフラグ	0 : ビジー (書き込み、消去実行中) (注6) 1 : レディ	RO
								FMR01	CPU書き換えモード選択ビット (注1、7)	0 : CPU書き換えモード無効 1 : CPU書き換えモード有効	RW
								FMR02	ロックビット無効選択ビット (注1、2)	0 : ロックビット有効 1 : ロックビット無効	RW
								FMSTP	フラッシュメモリ停止ビット (注3、5)	0 : フラッシュメモリ動作 1 : フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)	RW
								— (b4)	予約ビット	“0” にしてください	RW
								FMR05	ユーザROM領域選択ビット(注3) (ブートモード時のみ有効)	0 : ブートROM領域アクセス 1 : ユーザROM領域アクセス	RW
								FMR06	プログラムステータスフラグ (注4)	0 : 正常終了 1 : エラー終了	RO
								FMR07	イレーズステータスフラグ (注4)	0 : 正常終了 1 : エラー終了	RO

注1. FMR01、FMR02ビットは、 $\overline{\text{NMI}}$ 端子が“H”の状態ですべて書込んでください。

注2. “1”にするときは、FMR01ビットが“1”の状態、FMR02ビットに“0”を書いた後、続けて“1”を書いてください。このとき、8ビット単位で書いてください。また、“0”を書いた後、“1”を書くまでに割り込みやDMA転送、DMACII転送が入らないようにしてください。

注3. FMSTP、FMR05ビットは、フラッシュメモリ以外の領域のプログラムで書いてください。

注4. クリアステータスコマンドを実行すると“0”になります。

注5. FMR01ビットが“1” (CPU書き換えモード有効)のとき有効です。FMR01ビットが“0”のとき、FMSTPビットに“1”を書くとFMSTPビットは“1”になりますが、フラッシュメモリは低消費電力状態にはならず、初期化もされません。

注6. ロックビットプログラムコマンド、リードロックビットステータスコマンド、プロテクトビットプログラムコマンドでの書き込み、読み出し中を含みます。

注7. “0”から“1”にする場合:

“0”を書いた後、続けて“1”を書いてください。このとき、8ビット単位で書いてください。また、“0”を書いた後、“1”を書くまでに割り込みやDMA転送、DMACII転送が入らないようにしてください。

“1”から“0”にする場合:

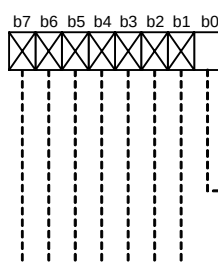
リードアレイモードにしてから、0057h番地に16ビット単位で書いてください。上位8ビットは“00h”にしてください。

(例)FMR01ビットを“1”から“0”にする場合

アセンブラ言語: `mov.w #0000h,0057h`

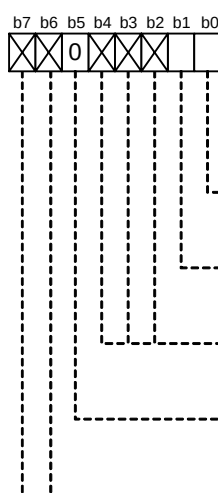
図 23.2 FMR0 レジスタ

フラッシュメモリ制御レジスタ2

シンボル
FMR2アドレス
0052h番地リセット後の値
XXXX XXX0b

ビット シンボル	ビット名	機 能	RW
FMR20	プロテクトビット	FMR3レジスタに対する書き込み許可 0 : 書き込み禁止 1 : 書き込み許可	RW
— (b7-b1)	予約ビット	読んだ場合、その値は不定	—

フラッシュメモリ制御レジスタ3 (注1)

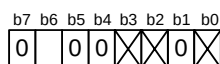
シンボル
FMR3アドレス
0050h番地リセット後の値
XX0X XX00b

ビット シンボル	ビット名	機 能	RW
FMR30	EW1モード選択ビット	0 : EW0モード 1 : EW1モード	RW
FMR31	ロックビット読み出し設定 ビット	0 : データバス経由で読み出し 1 : FMR1レジスタのFMR16ビットで読み出し	RW
— (b4-b2)	予約ビット	読んだ場合、その値は不定	RO
— (b5)	予約ビット	“0” にしてください	RW
— (b7-b6)	予約ビット	読んだ場合、その値は不定	RO

注1. FMR3レジスタはFMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にし、FMR2レジスタのFMR20ビットを“1”(書き込み許可)にした後で書き換えてください。なお、ウェイトモードまたはストップモードから復帰した後、FMR3レジスタはリセット後の値になります。

図 23.3 FMR2 レジスタ、FMR3 レジスタ

フラッシュメモリ制御レジスタ1

シンボル
FMR1アドレス
0055h番地リセット後の値
0000 XX0Xb

ビット シンボル	ビット名	機 能	RW
— (b0)	予約ビット	読んだ場合、その値は不定	—
— (b1)	予約ビット	“0” にしてください	RW
— (b3-b2)	予約ビット	読んだ場合、その値は不定	—
— (b5-b4)	予約ビット	“0” にしてください	RW
FMR16	ロックビットステータスフラグ (注1)	0 : ロック 1 : 非ロック	RO
— (b7)	予約ビット	“0” にしてください	RW

注1. FMR16ビットは、FMR3レジスタのFMR31ビットが“1” (FMR16ビットで読み出し)のとき有効です。

図23.4 FMR1レジスタ

23.3 プロテクト機能

プロテクト機能には、意図しない消去や書き込みからデータを保護するロックビットプロテクト機能と、第三者へのプログラムコードの流出を防ぐためのROMコードプロテクト機能、IDコードチェック機能があります。

23.3.1 ロックビットプロテクト機能

すべての書き換えモードで使用できます。ブロックごとに消去、書き込みを禁止できます。ロックビットプロテクト機能を使用する場合、FMR0レジスタのFMR02ビットを“0”(ロックビット有効)にしてください。

フラッシュメモリの各ブロックにはロックビットがあります。ロックビットを“0”(ロック状態)にすると、そのブロックは消去も書き込みもできません。ロックビットを“0”にするには、ソフトウェアコマンドのロックビットプログラムコマンドを実行してください。

ロックビットの状態は、データバス経由で読むか、FMR1レジスタのFMR16ビットで読むかを、FMR3レジスタのFMR31ビットで選択できます。FMR31ビットが“0”のとき、リードロックビットステータスコマンドを実行すると、データバス経由でロックビットの状態が読めます。FMR31ビットが“1”のとき、リードロックビットステータスコマンドを実行すると、FMR16ビットにロックビットの状態が格納されます。

ロックビットプロテクト機能を解除するには、FMR02ビットを“1”(ロックビット無効)にしてください。FMR02ビットはロックビットの機能を無効にするだけであり、ロックビットの状態は変化しません。FMR02ビットを“1”にすると、ロックビットの状態にかかわらず、すべてのブロックの消去、書き込みができます。FMR02ビットが“1”の状態、ブロックイレースコマンドを実行すると、ブロックのデータとともにロックビットも消去されて“1”(非ロック状態)になります。

23.3.2 ROMコードプロテクト機能

ROMコードプロテクト機能はパラレル入出力モードで使します。全ブロックの読み出し、書き込みを禁止できます。

フラッシュメモリの各ブロックにはプロテクトビットが2ビットずつあります。表23.2にプロテクトビットのアドレス一覧を示します。表23.2に示すプロテクトビットのうちいずれか1つでも“0”(プロテクト状態)にすると、全ブロックがプロテクトされ、パラレルライターではいずれの領域の内容も読み書きできません。プロテクトビットを“0”にするには、プロテクトビットプログラムコマンドを実行してください。また、セキュリティ向上のため、ROMコードプロテクト機能を使用する場合は、表23.2に示しているすべてのプロテクトビットを“0”にしてください。

プロテクトビットの状態は、リードプロテクトビットステータスコマンドを実行して、データバス経由で読みます。

ROMコードプロテクト機能を解除するには、ブロックイレースコマンドを実行して、プロテクトビットを“0”にしたすべてのブロックを消去してください。消去したブロックのプロテクトビットは“1”(非プロテクト状態)になり、ROMコードプロテクトが解除されます。

表 23.2 プロテクトビットのアドレス一覧

ブロック	プロテクトビット1	プロテクトビット0
ブロックB	00E300h	00E100h
ブロックA	00F300h	00F100h
ブロック3	FC0300h	FC0100h
ブロック2	FD0300h	FD0100h
ブロック1	FE0300h	FE0100h
ブロック0	FF0300h	FF0100h

23.3.3 IDコードチェック機能

標準シリアル入出力モードで使用します。シリアルライターから送られてくるIDコードと、フラッシュメモリのユーザROM領域に書かれているIDコードの一致を判定します。IDコードが一致しない場合、シリアルライターから送られてくるコマンドは受け付けられません。ただし、リセットベクタの4バイト(注1)が“FFFFFFFFh”の場合、IDコードの判定は行われず、すべてのコマンドが受け付けられます。

フラッシュメモリのIDコードは、1バイト目からそれぞれ0FFFFDFh、0FFFFE3h、0FFFFEBh、0FFFFEFh、0FFFFF3h、0FFFFF7h、0FFFFFBhに割り当てられた7バイトのデータです。IDコードプロテクトを使用する場合、これらの番地にIDコードを設定したプログラムをフラッシュメモリへ書いてください。

注1. 出荷時の値は“FFFFFFFFh”です。

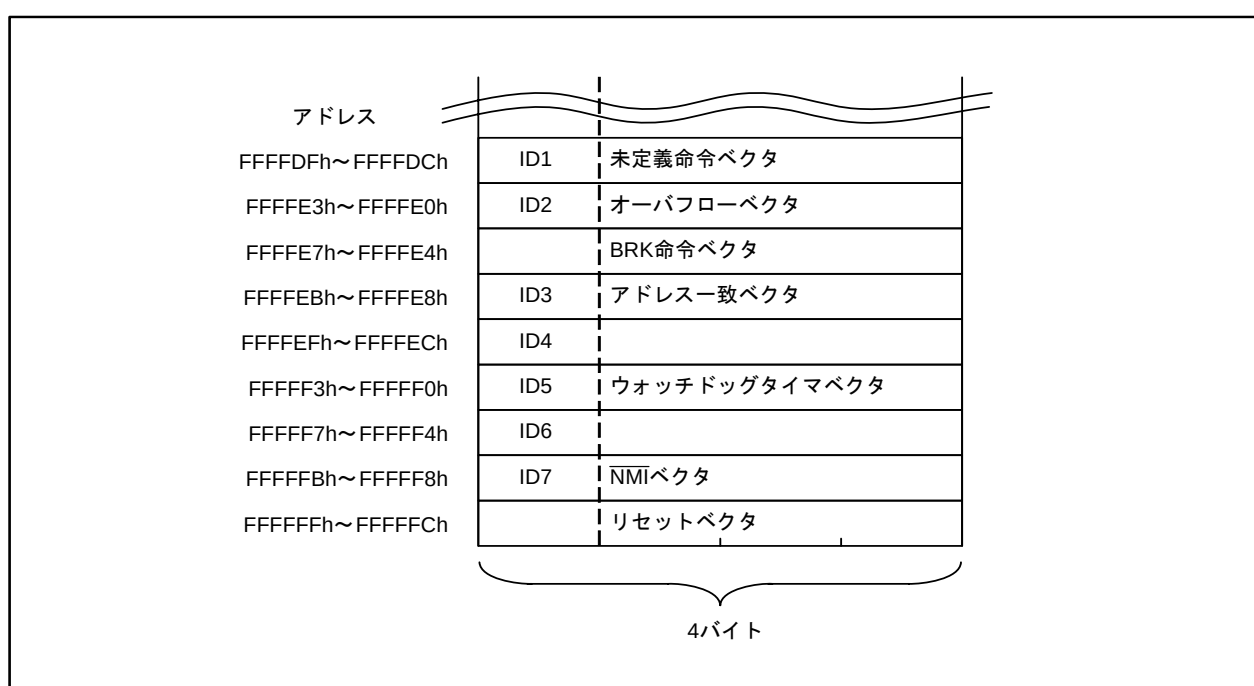


図23.5 IDコードの格納番地

23.4 フラッシュメモリ停止機能

FMR0 レジスタの FMSTP ビットを “1” (フラッシュメモリ停止) にすると、フラッシュメモリの制御回路が停止するので消費電力が低減できます。FMSTP ビットを “1” から “0” (フラッシュメモリ動作) にすると、フラッシュメモリの制御回路が初期化されます。FMSTP ビットを “1” にすると、フラッシュメモリにアクセスできなくなりますので、FMSTP ビットはフラッシュメモリ以外の領域に配置したプログラムで “1” にしてください。

次の場合、図 23.6 の手順に従って FMSTP ビットを “1” にしてください。

- EW0 モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった (FMR0 レジスタの FMR00 ビットが “1” (レディ) に戻らなくなった) 場合
- 低消費電力モードまたはオンチップオシレータ低消費電力モードで、さらに消費電力を低減させる場合

なお、ウェイトモードまたはストップモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続します。FMR0 レジスタの FMR01 ビットが “0” (CPU 書き換えモード無効) の状態でウェイトモード、またはストップモードに移行してください。

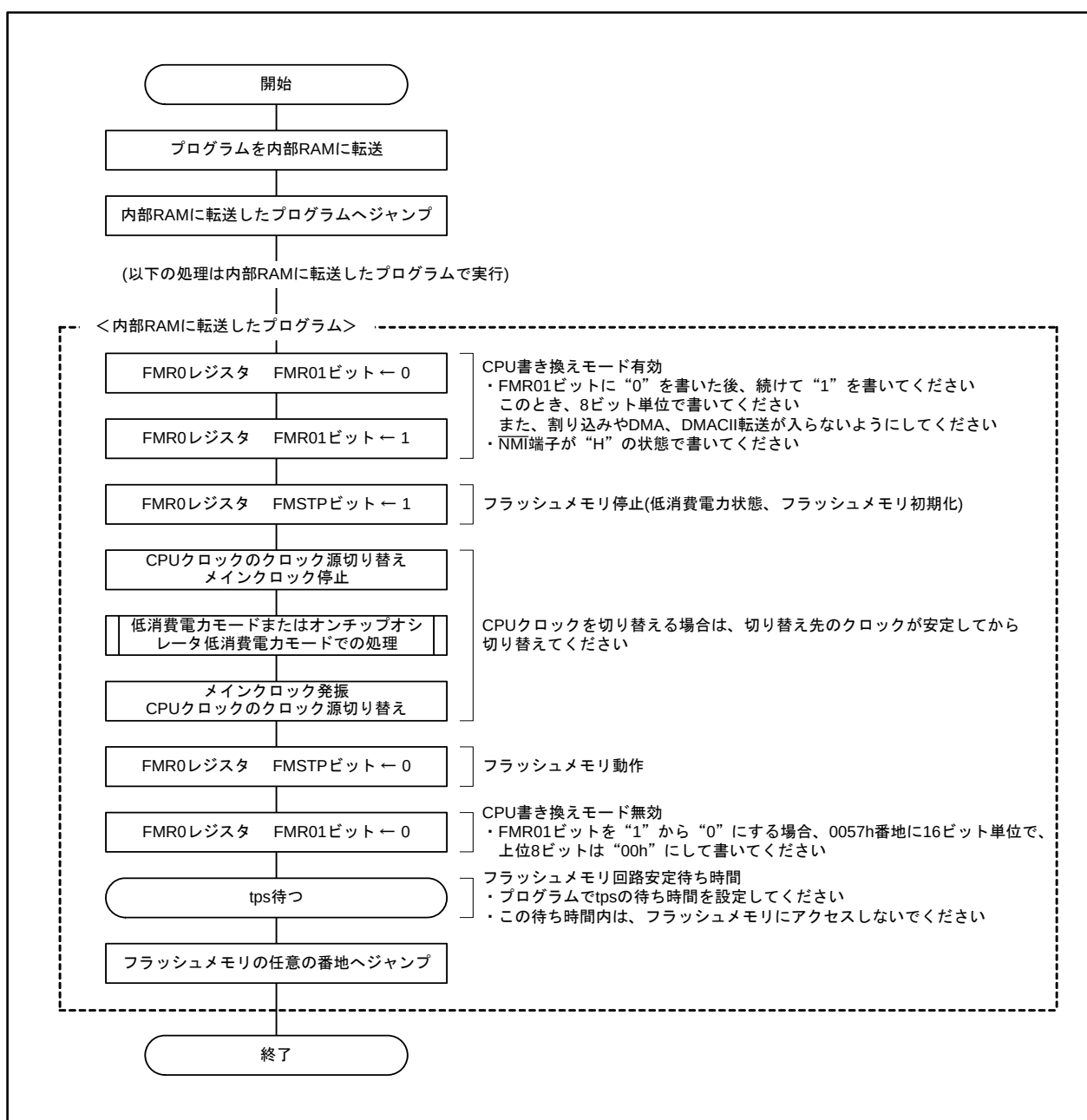


図 23.6 フラッシュメモリを停止する場合の手順

23.5 ブートモード

次の手順を行うとブートモードになり、ブートROM領域のプログラムを実行します。

- (1) P6_5に“L”を入力(プルダウン)、またはP6_7に“H”を入力(プルアップ)する
- (2) $\overline{\text{EPM}}$ (P5_5)に“L”を入力(プルダウン)し、 $\overline{\text{CE}}$ (P5_0)に“H”を入力(プルアップ)する
- (3) CNVSS端子に“H”を入力
- (4) ハードウェアリセットする

ブートROM領域からユーザROM領域に切り替える場合、フラッシュメモリ以外の領域のプログラムで、FMR0レジスタのFMR05ビットを“1”(ユーザROM領域アクセス)にしてください。

ブートROM領域には、ルネサスからの出荷時、標準シリアル入出力モードの書き換え制御プログラムが格納されています。ブートROM領域は書き換えしないでください。

23.6 フラッシュメモリ書き換えモード

フラッシュメモリ書き換えモードにはCPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードの3つがあります。表23.3にフラッシュメモリ書き換えモードの概要を示します。

表 23.3 フラッシュメモリ書き換えモードの概要

フラッシュメモリ 書き換えモード	CPU書き換え モード	標準シリアル入出力 モード	パラレル入出力 モード(注1)
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える EW0モード： 書き換え制御プログラムをフラッシュメモリ以外の領域に配置し実行する EW1モード： 書き換え制御プログラムをフラッシュメモリ上に配置し実行する	専用シリアルライタを使用して、ユーザROM領域を書き換える 標準シリアル入出力モード1： UART1のクロック同期モード 標準シリアル入出力モード2： UART1のクロック非同期モード	専用パラレルライタを使用して、ユーザROM領域を書き換える
書き換えできる領域	ユーザROM領域	ユーザROM領域	ユーザROM領域
動作モード	シングルチップモード メモリ拡張モード(EW0モード)	ブートモード	パラレル入出力モード
ROMライタ	—	シリアルライタ	パラレルライタ

注1. パラレル入出力モードでは、ブートROM領域を書き換えることができますが、標準シリアル入出力モードの書き換え制御プログラムが格納されているので、ブートROM領域を書き換えしないでください。

23.6.1 CPU書き換えモード

CPU書き換えモードでは、マイクロコンピュータを基板に実装した状態で、CPUがソフトウェアコマンドを実行し、ユーザROM領域を書き換えることができます。CPU書き換えモードでは、図23.1に示すユーザROM領域のみの書き換えが可能で、ブートROM領域の書き換えはできません。CPU書き換えモードには、EW0モードとEW1モードがあります。FMR0～FMR3レジスタにアクセスする前、またはCPU書き換えモード(EW0、EW1モード)に入る前に、MCDレジスタのMCD4～MCD0ビットでCPUクロックを10MHz以下にし、かつ、PM1レジスタのPM12ビットを“1”(内部メモリウェイトあり)にしてください。

表23.4にEW0モードとEW1モードの仕様を、図23.7にEW0モードの設定と解除方法を、図23.8にEW1モードの設定と解除方法を示します。

表23.4 EW0モードとEW1モードの仕様

項目	EW0モード	EW1モード
動作	書き換え制御プログラムをフラッシュメモリ以外の領域に配置、実行することで、ユーザROM領域を書き換える	書き換え制御プログラムをユーザROM領域の任意のブロックに配置、実行し、異なるブロックの消去、書き込みを行う
プロセッサモード	・シングルチップモード ・メモリ拡張モード	シングルチップモード
書き換え制御プログラムを格納する領域	ユーザROM領域	ユーザROM領域
ソフトウェアコマンド	全てのコマンドが使用可能	・次のコマンドは、書き換え制御プログラムがあるブロックに対して実行禁止： プログラム、ブロックイレース、ロックビットプログラム、プロテクトビットプログラム ・次のコマンドは実行禁止： リードステータスレジスタ、リードロックビットステータス(注4)、リードプロテクトビットステータス
消去または書き込み後のフラッシュメモリの状態	リードステータスレジスタモード	リードアレイモード
フラッシュメモリのステータス検知	・プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む ・リードステータスレジスタコマンドを実行し、ステータスレジスタのSR7、SR5、SR4ビットを読む	プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む
消去または書き込み中のCPUの状態(注1)	動作	ホールド状態(停止) (入出力ポートはコマンド実行前の状態を保持)
消去または書き込み中の周辺機能割り込み要求、DMA要求、DMACII要求	受け付ける(注2)	受け付けない(注3)

注1. EW0モード、EW1モードともに、 $\overline{\text{NMI}}$ 割り込み、ウォッチドッグタイマ割り込みが発生すると、消去または書き込み処理を中断し、割り込み処理を受け付けます。

注2. 周辺機能割り込みについては、割り込みルーチンと可変ベクタテーブルをフラッシュメモリ以外の領域に配置してください。

注3. 消去または書き込み中は、割り込み($\overline{\text{NMI}}$ とウォッチドッグタイマを除く)やDMA、DMACII転送が発生しないようにしてください。

注4. FMR3レジスタのFMR31ビットが“0”(データバス経由で読み出し)の場合です。

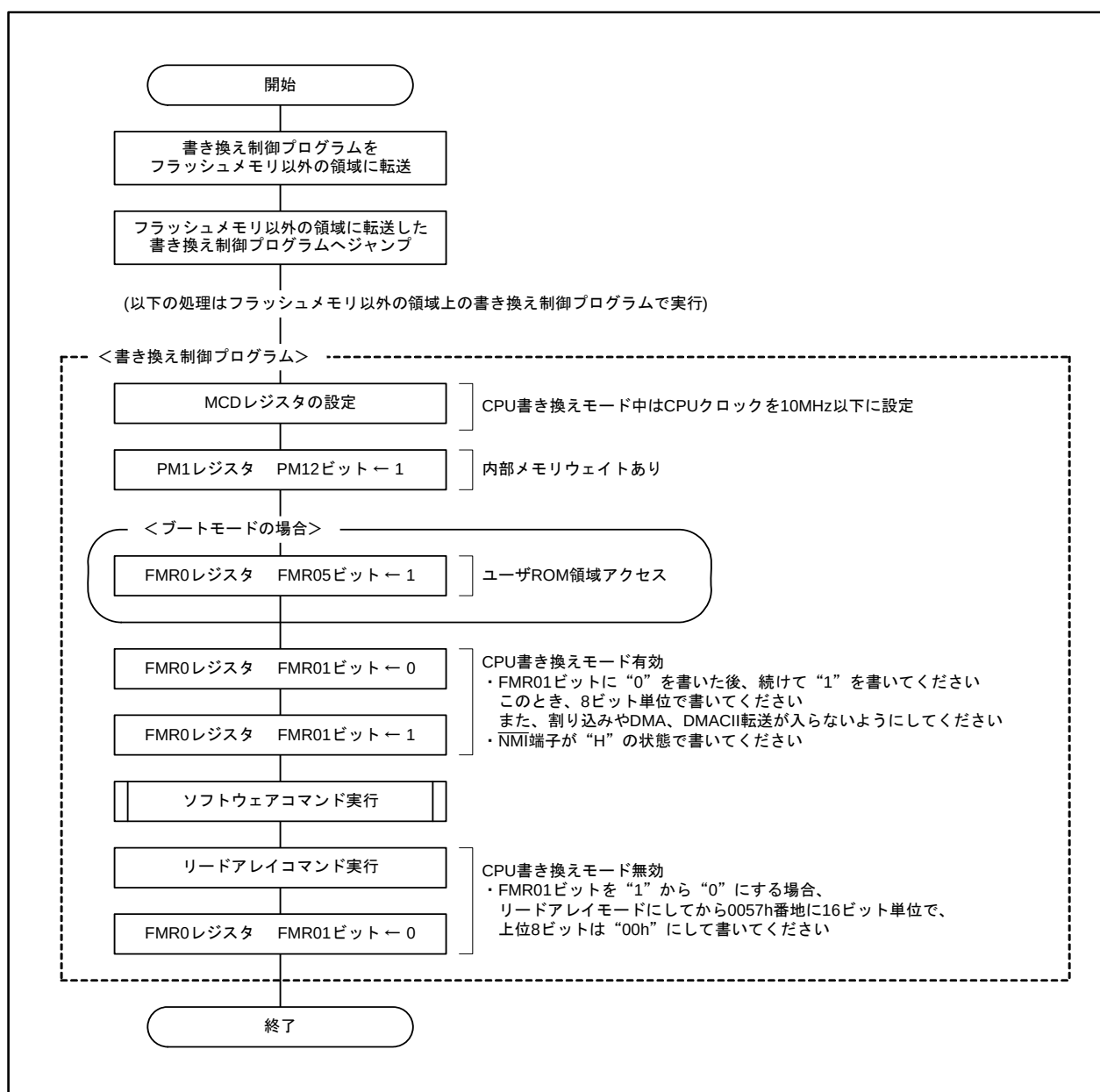


図 23.7 EW0モードの設定と解除方法

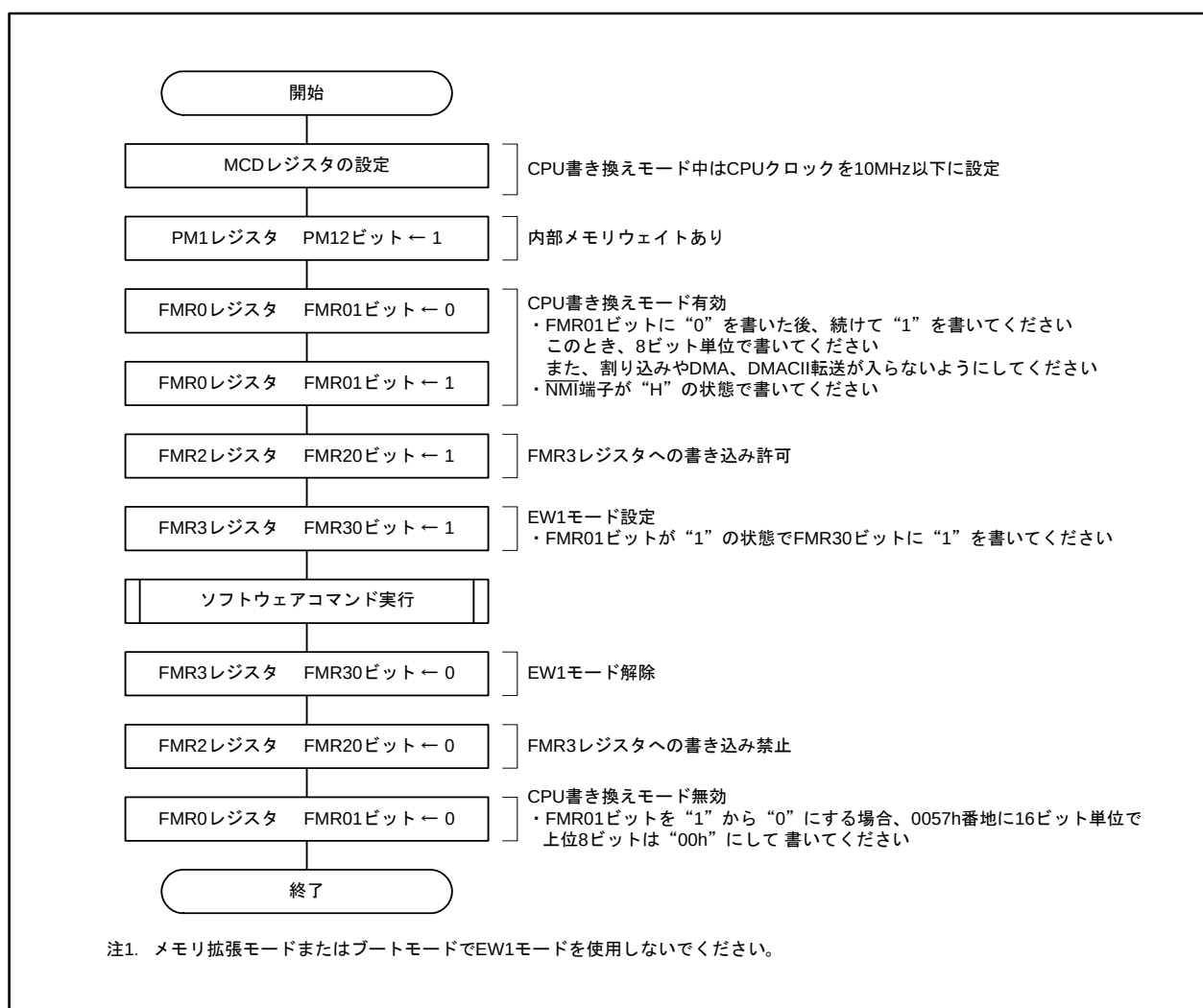


図 23.8 EW1 モードの設定と解除方法

23.6.1.1 ソフトウェアコマンド

コマンドを書く場合、またはデータを読み書きする場合は、16ビット単位でユーザROM領域内の指定された番地に行ってください。コマンドコード書き込み時、上位8ビット(D15～D8)は無視されます。

表 23.5 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル			第3バスサイクル		
	モード	アドレス	データ (D15～D0)	モード	アドレス	データ (D15～D0)	モード	アドレス	データ (D15～D0)
リードアレイ	ライト	FA	xxFFh						
リードステータスレジスタ	ライト	FA	xx70h	リード	FA	SRD			
クリアステータスレジスタ	ライト	FA	xx50h						
プログラム	ライト	WA0	xx41h	ライト	WA0	WD0	ライト	WA1	WD1
ブロックイレース	ライト	FA	xx20h	ライト	BA0	xxD0h			
ロックビットプログラム	ライト	BA0	xx77h	ライト	BA0	xxD0h			
リードロックビットステータス(注1)	ライト	FA	xx71h	ライト	BA0	xxD0h			
リードロックビットステータス(注2)	ライト	FA	xx71h	リード	BA1	RD0			
プロテクトビットプログラム	ライト	PBA	xx67h	ライト	PBA	xxD0h			
リードプロテクトビットステータス	ライト	FA	xx61h	リード	PBA	RD1			

FA : ユーザROM領域内の任意の偶数番地

WA0 : 下位16ビット書き込み番地

- ・番地の最下位2ビットを“00b”にしてください。
- ・第1バスサイクルのアドレスは、第2バスサイクルのアドレスと同一偶数番地にしてください。

WA1 : 上位16ビット書き込み番地

- ・番地の最下位2ビットを“10b”にしてください。
- ・WA0とWA1は連続した偶数番地にしてください。

BA0 : ブロックの最上位偶数番地

BA1 : ブロック内の任意の偶数番地

PBA : プロテクトビットのアドレス(表23.2参照)

WD0 : 書き込みデータ下位16ビット

WD1 : 書き込みデータ上位16ビット

SRD : ステータスレジスタデータ(b7～b0)

RD0 : 読み出しデータ(ビット6がロックビットデータ)

RD1 : 読み出しデータ(ビット6がプロテクトビットデータ)

xx : コマンドコード上位8ビット(無視されます)

注1. FMR3レジスタのFMR31ビットが“1”(FMR1レジスタのFMR16ビットで読み出し)の場合です。

注2. FMR3レジスタのFMR31ビットが“0”(データバス経由で読み出し)の場合です。

(1) リードアレイコマンド

フラッシュメモリを読むコマンドです。

第1バスサイクルで“xxFFh”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が16ビット単位で読めます。リードアレイモードは、他のコマンドが書かれるまで保持されますので、複数の番地の内容を続けて読めます。

(2) リードステータスレジスタコマンド

ステータスレジスタを読むコマンドです。第1バスサイクルで“xx70h”を書くと、第2バスサイクル以降、ステータスレジスタが読めます(「23.6.1.2 ステータスレジスタ」参照)。なお、ステータスレジスタを読むときはユーザROM領域内の偶数番地を読んでください。

EW1モードでは、このコマンドを実行しないでください。

(3) クリアステータスレジスタコマンド

ステータスレジスタをクリアするコマンドです。第1バスサイクルで“xx50h”を書くと、FMR0レジスタのFMR07～FMR06ビットは“00b”、ステータスレジスタのSR5～SR4ビットは“00b”になります。

(4) プログラムコマンド

4バイト単位でフラッシュメモリにデータを書くコマンドです。

第1バスサイクルで“xx41h”を書き、第2バスサイクルで下位16ビット書き込み番地に、第3バスサイクルで上位16ビット書き込み番地にデータを書くと、書き込み(書き込みと検証)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する下位16ビット書き込み番地と同一かつ偶数番地にしてください。下位16ビット書き込み番地と上位16ビット書き込み番地は連続した偶数番地を指定してください。

書き込み終了はFMR0レジスタのFMR00ビットで確認できます。FMR00ビットは、書き込み期間中は“0”(ビジー)、終了後は“1”(レディ)になります。

書き込み終了後、FMR0レジスタのFMR06ビットで書き込みの結果を知ることができます(「23.6.1.3 エラーチェック」参照)。

ブロック消去を行わずに同一番地にプログラムコマンドを2回以上実行しないでください。図23.9にプログラムコマンドのフローチャートを示します。

なお、各ブロックはロックビットにより、書き込みを禁止できます(「23.3.1 ロックビットプロテクト機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードでは、書き込み開始とともにリードステータスレジスタモードとなります。

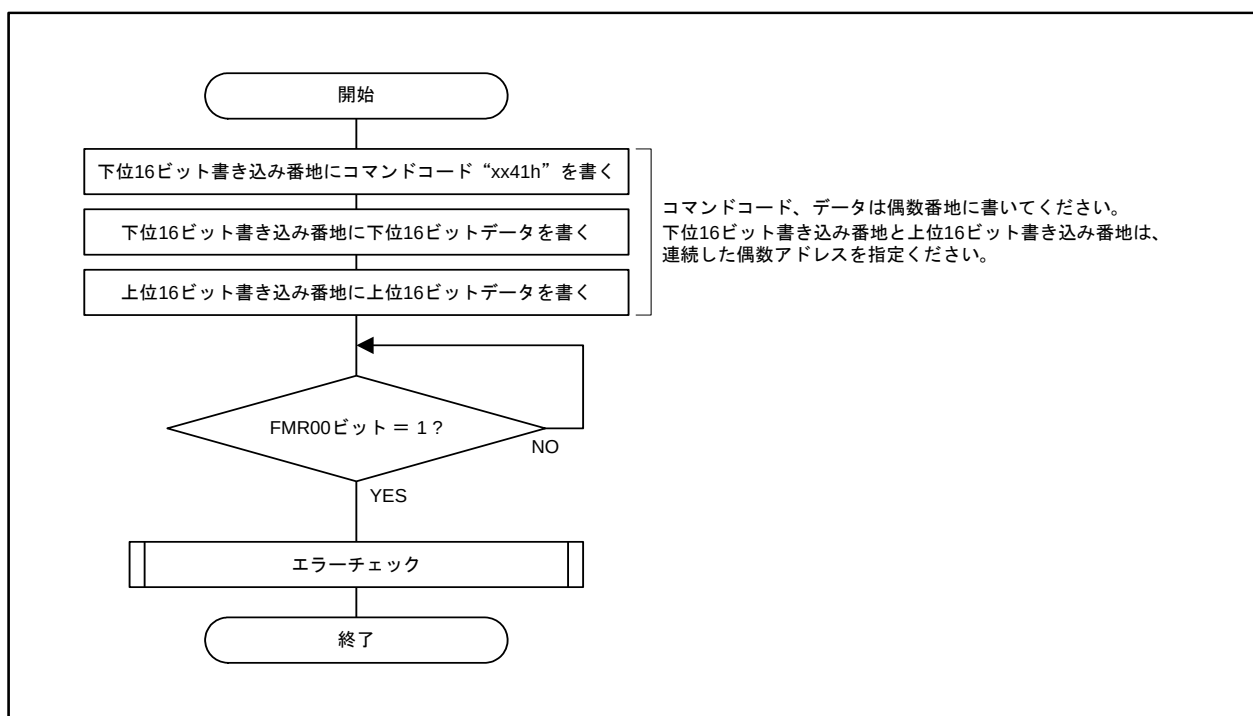


図 23.9 プログラムコマンドのフローチャート

(5) ブロックイレースコマンド

第1バスサイクルで“xx20h”、第2バスサイクルで“xxD0h”をブロックの最上位偶数番地を書く
と指定されたブロックに対し、消去(消去と検証)を開始します。

消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、消去期間中は“0”(ビジー)、終了後は“1”(レディ)になります。

消去終了後、FMR0レジスタのFMR07ビットで、消去の結果を知ることができます(「23.6.1.3 エラーチェック」参照)。

図23.10にブロックイレースコマンドのフローチャートを示します。

なお、各ブロックはロックビットにより、消去を禁止できます(「23.3.1 ロックビットプロテクト機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードでは、消去開始とともにリードステータスレジスタモードとなります。

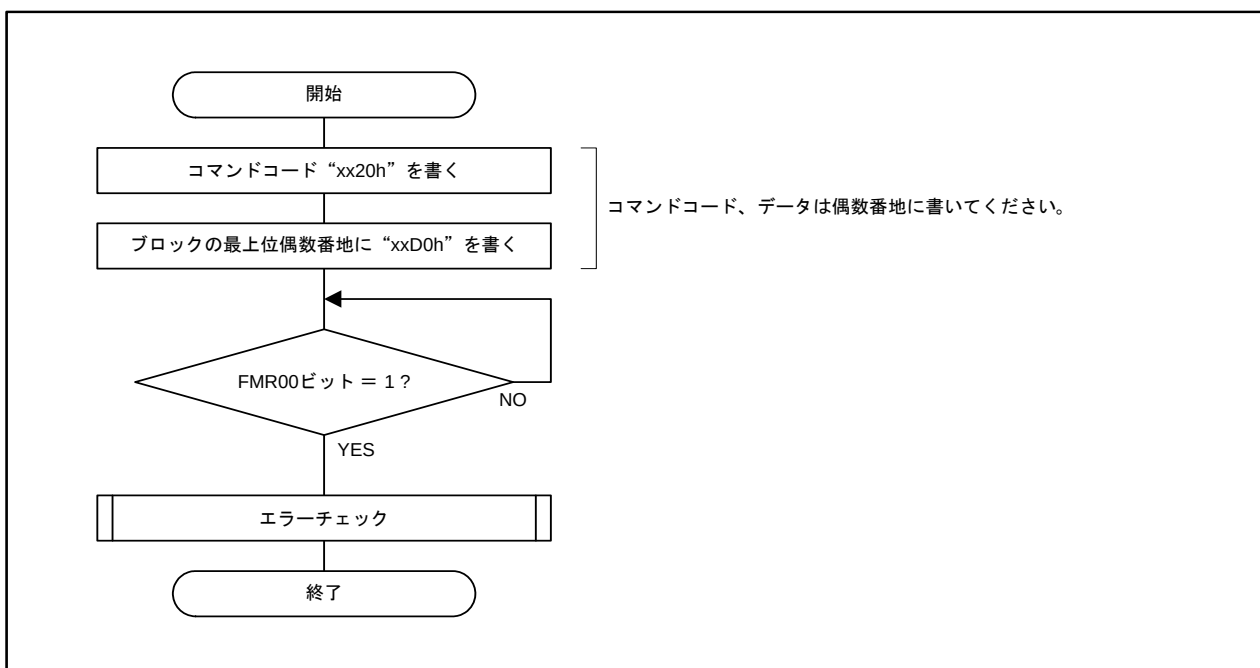


図23.10 ブロックイレースコマンドのフローチャート

(6) ロックビットプログラムコマンド

任意のブロックのロックビットを“0”（ロック状態）にするコマンドです。

第1バスサイクルで“xx77h”、第2バスサイクルで“xxD0h”をブロックの最上位偶数番地を書く
と指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値
は、第2バスサイクルで指定するブロックの最上位偶数番地と同一にしてください。

図 23.11 にロックビットプログラムコマンドのフローチャートを示します。ロックビットの状態
（ロックビットデータ）は、リードロックビットステータスコマンドで読めます。

書き込みの終了は、FMR0 レジスタの FMR00 ビットで確認できます。

ロックビットの機能、ロックビットを“1”（非ロック状態）にする方法については、「23.3.1 ロック
ビットプロテクト機能」を参照してください。

EW1 モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを
実行しないでください。

EW0 モードでは、書き込み開始とともにリードステータスレジスタモードとなります。

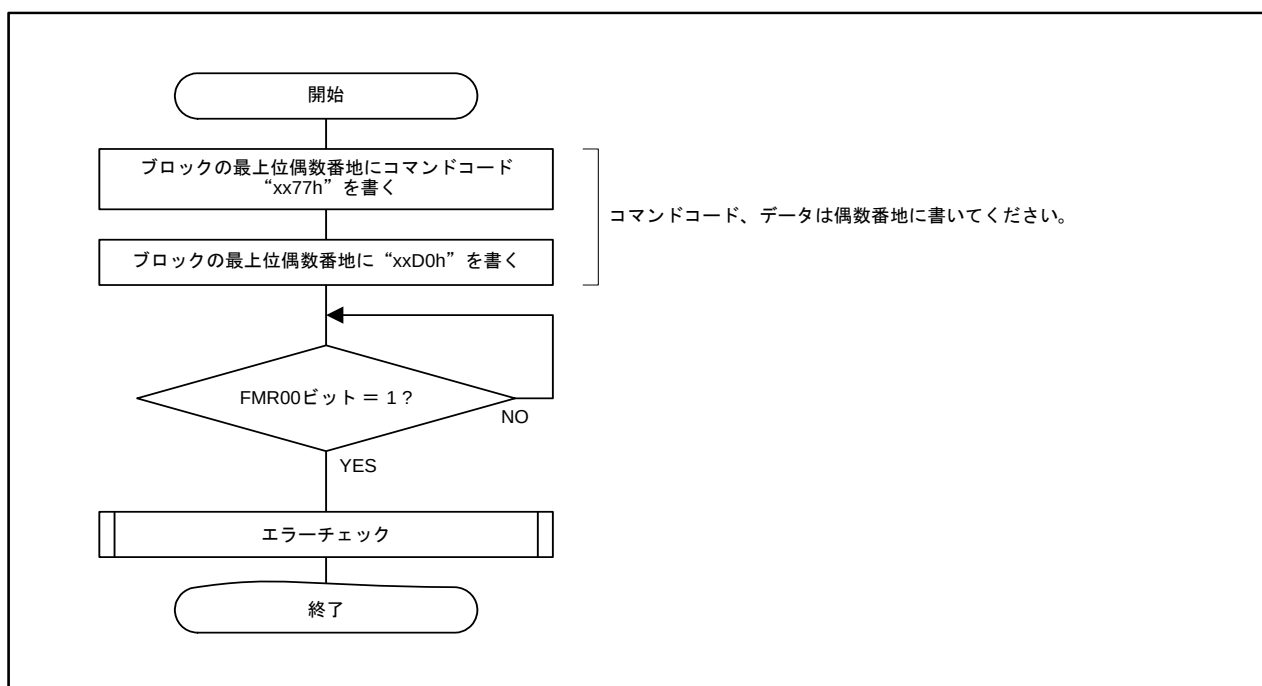


図 23.11 ロックビットプログラムコマンドのフローチャート

(7) リードロックビットステータスコマンド

任意のブロックのロックビットの状態(ロックビットデータ)を読むコマンドです。

FMR3 レジスタの FMR31 ビットが “1” (FMR1 レジスタの FMR16 ビットで読み出し) のとき、第1バスサイクルで “xx71h”、第2バスサイクルでブロックの最上位偶数番地に “xxD0h” を書くと、ブロックのロックビットの状態が FMR16 ビットに格納されます。FMR0 レジスタの FMR00 ビットが “1” (レディ) になった後、FMR16 ビットを読んでください。

FMR31 ビットが “0” (データバス経由で読み出し) のとき、リードロックビットステータスコマンドは RAM 上のプログラムから実行してください。第1バスサイクルで “xx71h” を書いた後、ブロック内の任意の偶数番地を読むと、読み出したデータのビット6でロックビットの状態が読めます。ビット6が “0” のときロック状態を、“1” のとき非ロック状態を示します。図23.12にリードロックビットステータスコマンドのフローチャートを示します。

EW1モードでは、FMR31 ビットが “0” の場合、リードロックビットステータスコマンドを実行しないでください。

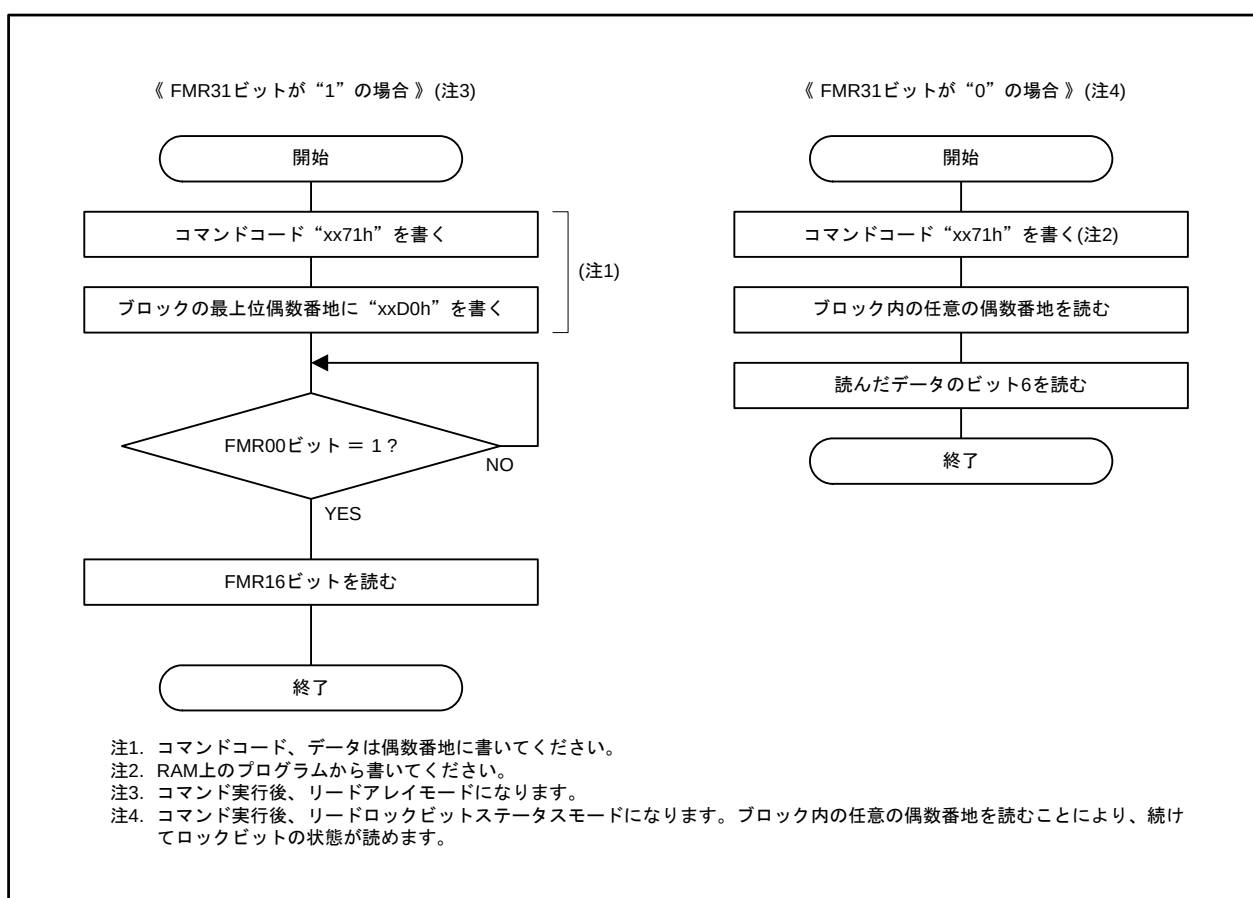


図 23.12 リードロックビットステータスコマンドのフローチャート

(8) プロテクトビットプログラムコマンド

任意のブロックのプロテクトビットを“0” (プロテクト状態)にするコマンドです。

第1バスサイクルで“xx67h”、第2バスサイクルで“xxD0h”をプロテクトビットのアドレスに書く指定されたブロックのプロテクトビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するプロテクトビットのアドレスと同一にしてください。

図23.13にプロテクトビットプログラムコマンドのフローチャートを示します。プロテクトビットの状態(プロテクトビットデータ)は、リードプロテクトビットステータスコマンドで読めます。

書き込みの終了は、FMR0レジスタのFMR00ビットで確認できます。

プロテクトビットのアドレス、プロテクトビットの機能、プロテクトビットを“1” (非プロテクト状態)にする方法については、「23.3.2 ROMコードプロテクト機能」を参照してください。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードでは、書き込み開始とともにリードステータスレジスタモードとなります。

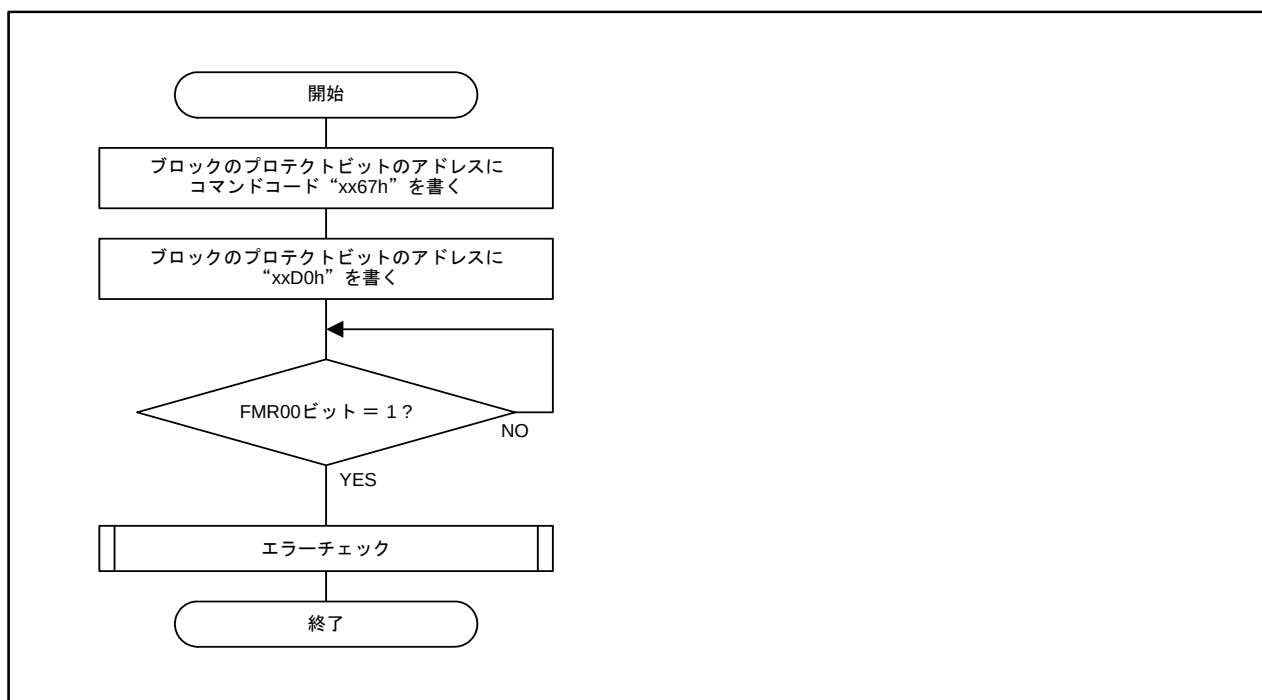


図23.13 プロテクトビットプログラムコマンドのフローチャート

(9) リードプロテクトビットステータスコマンド

任意のブロックのプロテクトビットの状態(プロテクトビットデータ)を読むコマンドです。

リードプロテクトビットステータスコマンドはRAM上のプログラムから実行してください。第1バスサイクルで“xx61h”を書いた後、プロテクトビットのアドレスを読むと、読み出したデータのビット6でプロテクトビットの状態が読めます。ビット6が“0”のときプロテクト状態を、“1”のとき非プロテクト状態を示します。図 23.14 にリードプロテクトビットステータスコマンドのフローチャートを示します。コマンド実行後、リードプロテクトビットステータスモードになります。プロテクトビットのアドレスを読むことにより、続けてプロテクトビットの状態が読めます。

EW1モードでは、リードプロテクトビットステータスコマンドを実行しないでください。

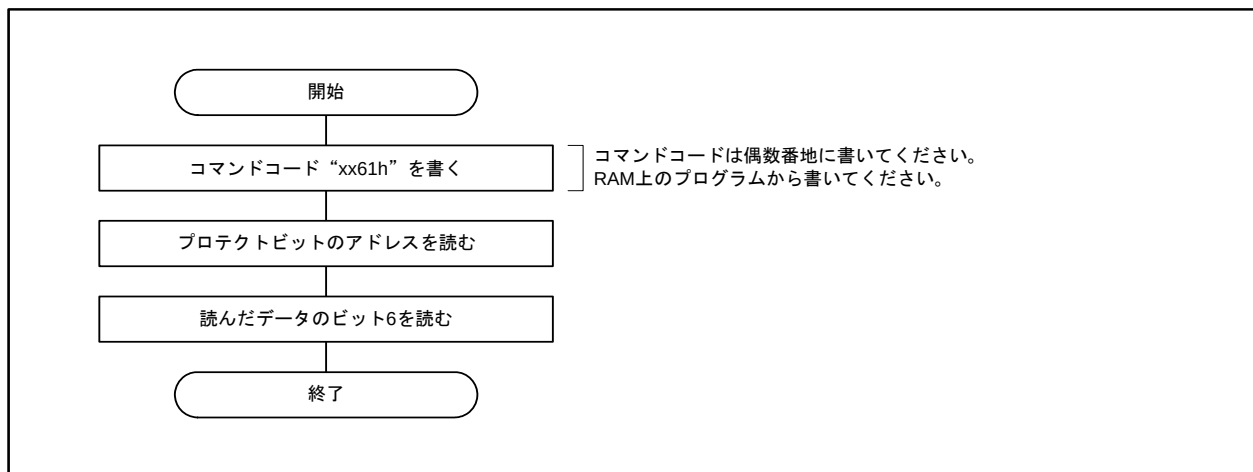


図 23.14 リードプロテクトビットステータスコマンドのフローチャート

23.6.1.2 ステータスレジスタ

EW0モードで使用できます。ステータスレジスタには、フラッシュメモリの動作状態や、消去、書き込みの結果が格納されます。また、ステータスレジスタの状態は、FMR0レジスタのFMR00、FMR06、FMR07ビットにも反映されます。EW0モードでリードステータスレジスタコマンド、プログラムコマンド、ブロックイレーズコマンド、ロックビットプログラムコマンド、プロテクトビットプログラムコマンドを実行した後はリードステータスレジスタモードになり、ユーザROM領域内の任意の偶数番地を読むとステータスレジスタの状態が読めます。表23.6にステータスレジスタを示します。

表 23.6 ステータスレジスタ

ステータスレジスタのビット	FMR0レジスタのビット	ステータス名	内容		リセット後の値
			“0”	“1”	
SR0(b0)	—	予約ビット	—	—	—
SR1(b1)	—	予約ビット	—	—	—
SR2(b2)	—	予約ビット	—	—	—
SR3(b3)	—	予約ビット	—	—	—
SR4(b4)	FMR06(注1)	プログラムステータス	正常終了	エラー終了	0
SR5(b5)	FMR07(注1)	イレーズステータス	正常終了	エラー終了	0
SR6(b6)	—	予約ビット	—	—	—
SR7(b7)	FMR00	シーケンサステータス	ビジー	レディ	1

b7～b0：フラッシュメモリの偶数番地を16ビット単位で読んだときの下位8ビットを示します。

注1. FMR07ビット(SR5ビット)とFMR06ビット(SR4ビット)は、クリアステータスレジスタコマンドを実行すると“0”になります。FMR07ビット(SR5ビット)またはFMR06ビット(SR4ビット)が“1”の場合、プログラムコマンド、ブロックイレーズコマンド、ロックビットプログラムコマンド、リードロックビットステータスコマンド、プロテクトビットプログラムコマンドは受け付けられません。

23.6.1.3 エラーチェック

消去または書き込みコマンドを実行した後、FMR0レジスタのFMR06、FMR07ビットを読むことにより、コマンドが正しく実行されたかどうかを確認することができます。

表23.7にエラーの種類と発生条件を、図23.15にエラーチェックのフローチャートと各エラー発生時の対処方法を示します。

表 23.7 エラーの種類と発生条件

FMR0 レジスタ (ステータスレジスタ)の状態		エラー	エラー発生条件
FMR07 ビット (SR5 ビット)	FMR06 ビット (SR4 ビット)		
1	1	コマンド シーケンスエラー	・ コマンドを正しく書かなかったとき ・ ロックビットプログラムコマンド、ブロックイレーズコマンド、リードロックビットステータスコマンド、プロテクトビットプログラムコマンドの第2バスサイクルに“xxD0h” または “xxFFh” 以外のデータを書いたとき(注1)
1	0	イレーズエラー	・ ロックされたブロックにブロックイレーズコマンドを実行したとき(注2) ・ ロックされていないブロックにブロックイレーズコマンドを実行し、正しく消去されなかったとき
0	1	プログラムエラー	・ ロックされたブロックにプログラムコマンドを実行したとき(注2) ・ ロックされていないブロックにプログラムコマンドを実行し、正しく書き込みがされなかったとき ・ ロックビットプログラムコマンドを実行し、正しく書き込まれなかったとき ・ プロテクトビットプログラムコマンドを実行し、正しく書き込まれなかったとき

注1. これらのコマンドの第2バスサイクルで “xxFFh” を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

注2. FMR02 ビットが “1” (ロックビット無効)の場合は、これらの条件でもエラーは発生しません。

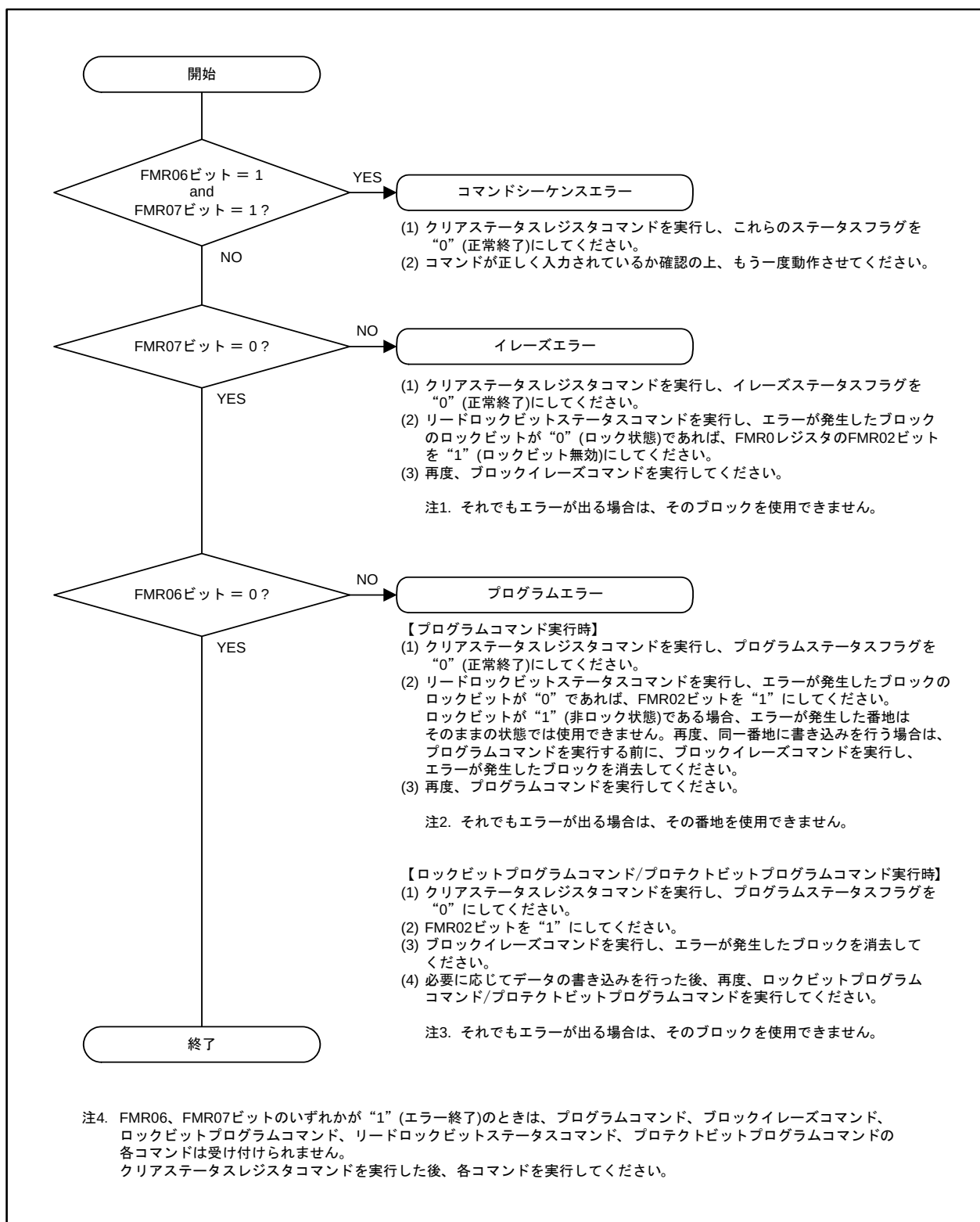


図 23.15 エラーチェックのフローチャートと各エラー発生時の対処方法

23.6.2 標準シリアル入出力モード

標準シリアル入出力モードでは、シリアルライタを使用して、マイクロコンピュータを基板に実装した状態で、ユーザ ROM 領域を書き換えることができます。シリアルライタについては、各メーカーにお問い合わせください。また、シリアルライタの操作方法については、シリアルライタのユーザーズマニュアルを参照してください。

表 23.8 に端子の機能説明 (フラッシュメモリ標準シリアル入出力モード) を、図 23.16 ～図 23.17 に標準シリアル入出力モード時の端子結線図を示します。

表 23.8 端子の機能説明 (フラッシュメモリ標準シリアル入出力モード)

端子名	名称	入出力	電源系統	機能および説明
VCC VSS	電源入力	入力	—	VCC1 端子には消去、書き込みの保証電圧を、VSS 端子には 0V を入力してください。
CNVSS	CNVSS	入力	VCC1	“H” を入力してください。
RESET	リセット入力	入力	VCC1	リセット入力端子です。
XIN	クロック入力	入力	VCC1	XIN 端子と XOUT 端子の間にはセラミック共振子、または水晶共振子を接続してください。
XOUT	クロック出力	出力	VCC1	外部で生成したクロックを入力するときは、XIN 端子から入力し、XOUT 端子は開放してください。
BYTE	BYTE 入力	入力	VCC1	“H” または “L” を入力してください。
AVCC、AVSS	アナログ電源入力	入力	—	AVCC は VCC1 に接続してください。AVSS は VSS に接続してください。
VREF	基準電圧入力	入力	—	A/D コンバータの基準電圧入力端子です。
P0_0～P0_7	入力ポート P0	入力	VCC2	“H” を入力、“L” を入力、または開放してください。
P1_0～P1_7	入力ポート P1	入力	VCC2	“H” を入力、“L” を入力、または開放してください。
P2_0～P2_7	入力ポート P2	入力	VCC2	“H” を入力、“L” を入力、または開放してください。
P3_0～P3_7	入力ポート P3	入力	VCC2	“H” を入力、“L” を入力、または開放してください。
P4_0～P4_7	入力ポート P4	入力	VCC2	“H” を入力、“L” を入力、または開放してください。
P5_0	CE 入力	入力	VCC2	“H” を入力してください。
P5_5	EPM 入力	入力	VCC2	“L” を入力してください。
P5_1～P5_4 P5_6、P5_7	入力ポート P5	入力	VCC2	“H” を入力、“L” を入力、または開放してください。
P6_0～P6_3	入力ポート P6	入力	VCC1	“H” を入力、“L” を入力、または開放してください。
P6_4	BUSY 出力	出力	VCC1	標準シリアル入出力モード 1: BUSY 信号の出力端子です。 標準シリアル入出力モード 2: プログラム動作チェック用モニタ
P6_5	SCLK 入力	入力	VCC1	標準シリアル入出力モード 1: シリアルクロックの入力端子です。 ブルアップしてください。 標準シリアル入出力モード 2: “L” を入力してください。
P6_6	データ入力 RXD	入力	VCC1	シリアルデータの入力端子です。
P6_7	データ出力 TXD	出力	VCC1	シリアルデータの出力端子です。 標準シリアル入出力モード 1 を使用 する場合はブルアップしてください。
P7_0～P7_7	入力ポート P7	入力	VCC1	“H” を入力、“L” を入力、または開放してください。
P8_0～P8_4 P8_6、P8_7	入力ポート P8	入力	VCC1	“H” を入力、“L” を入力、または開放してください。
P8_5	NMI 入力	入力	VCC1	“H” を入力してください。
P9_0～P9_7	入力ポート P9	入力	VCC1	“H” を入力、“L” を入力、または開放してください。
P10_0～P10_7	入力ポート P10	入力	VCC1	“H” を入力、“L” を入力、または開放してください。
P11_0～P11_4	入力ポート P11	入力	VCC2	“H” を入力、“L” を入力、または開放してください(注1)。
P12_0～P12_7	入力ポート P12	入力	VCC2	“H” を入力、“L” を入力、または開放してください(注1)。
P13_0～P13_7	入力ポート P13	入力	VCC2	“H” を入力、“L” を入力、または開放してください(注1)。
P14_0～P14_6	入力ポート P14	入力	VCC1	“H” を入力、“L” を入力、または開放してください(注1)。
P15_0～P15_7	入力ポート P15	入力	VCC1	“H” を入力、“L” を入力、または開放してください(注1)。

注1. 144 ピン版のみあります。

モード設定方法

信号線名	値
CNVSS	VCC1
EPM	VSS
RESET	VSS→VCC1
CE	VCC2

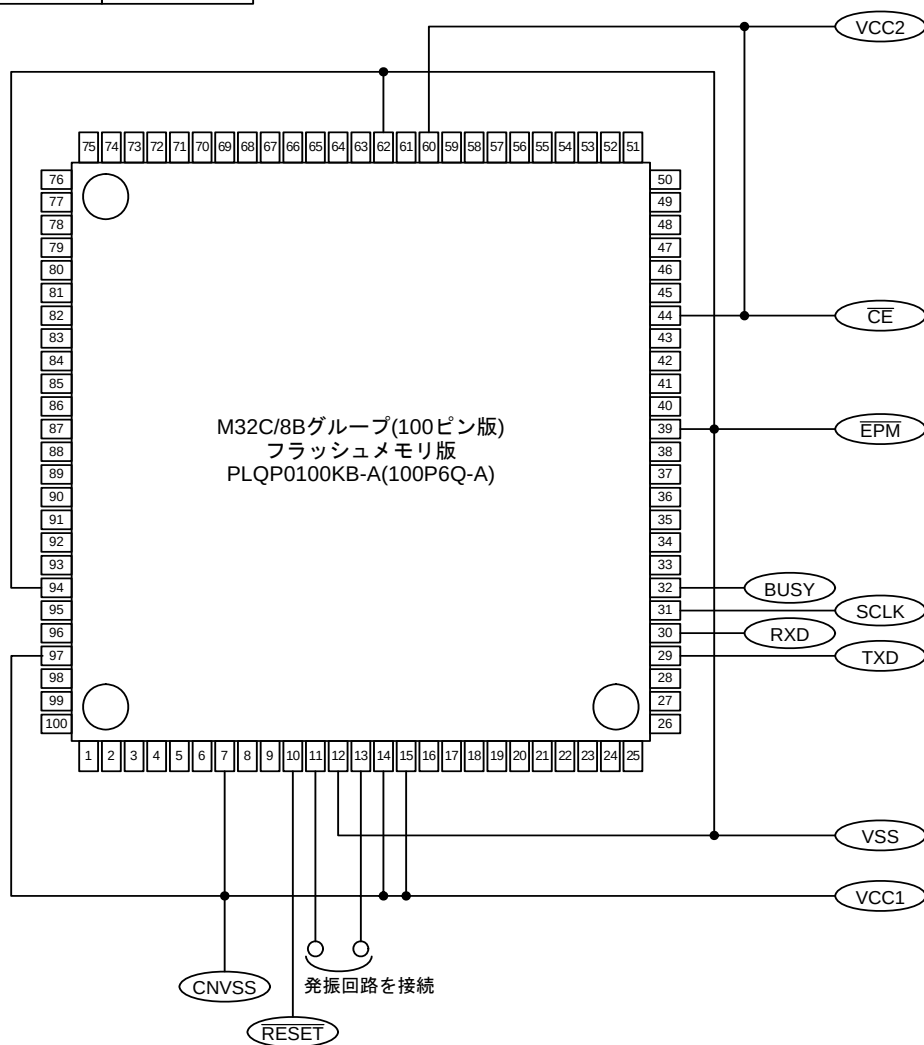


図 23.16 標準シリアル入出力モード時の端子結線図(1)

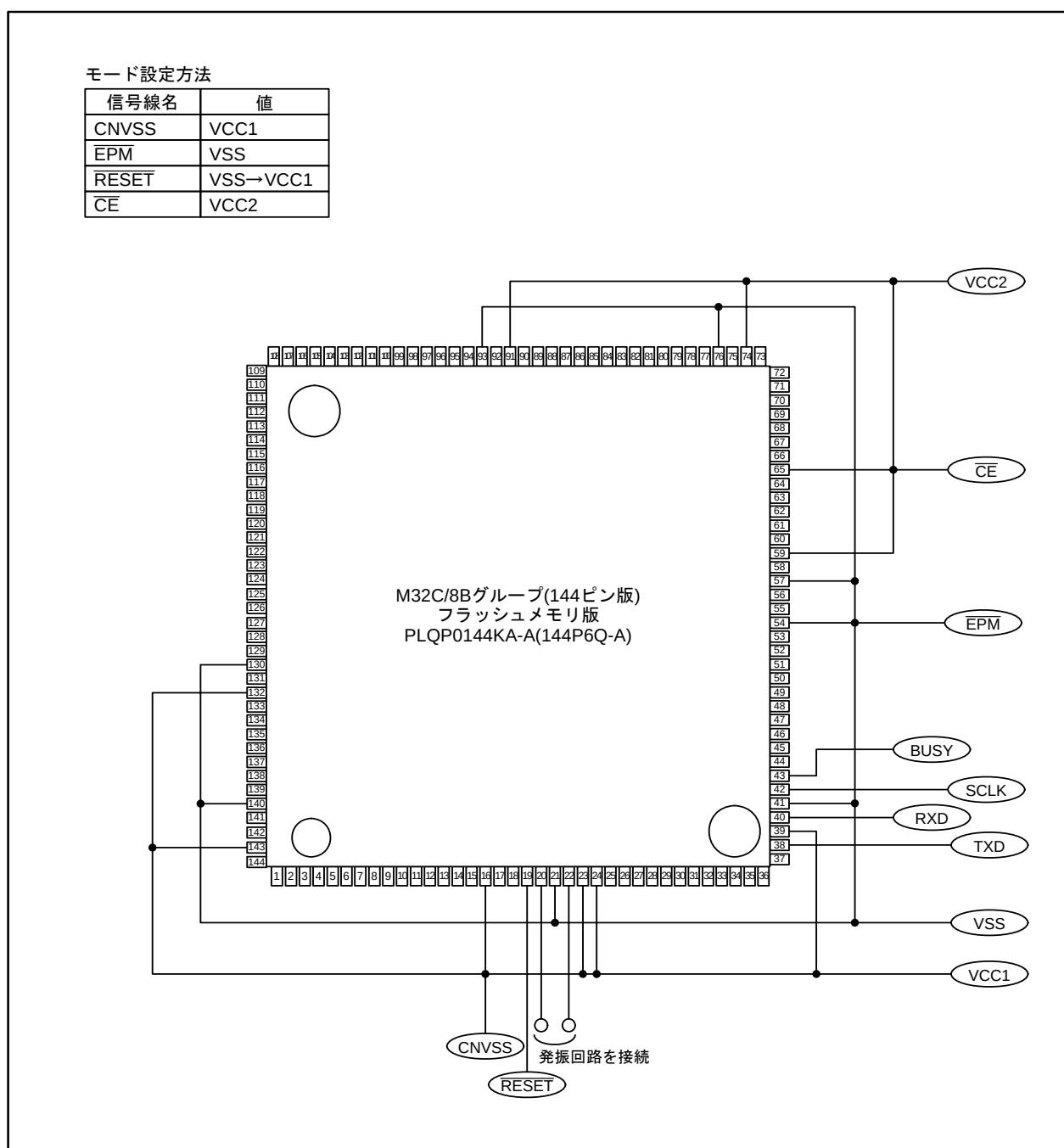


図 23.17 標準シリアル入出力モード時の端子結線図(2)

23.6.2.1 標準シリアル入出力モード時の端子処理例

図 23.18 に標準シリアル入出力モード1の端子処理例を、図 23.19 に標準シリアル入出力モード2の端子処理例を示します。ライターによって制御するピンなどが違いますので、詳細はライターのマニュアルを参照してください。

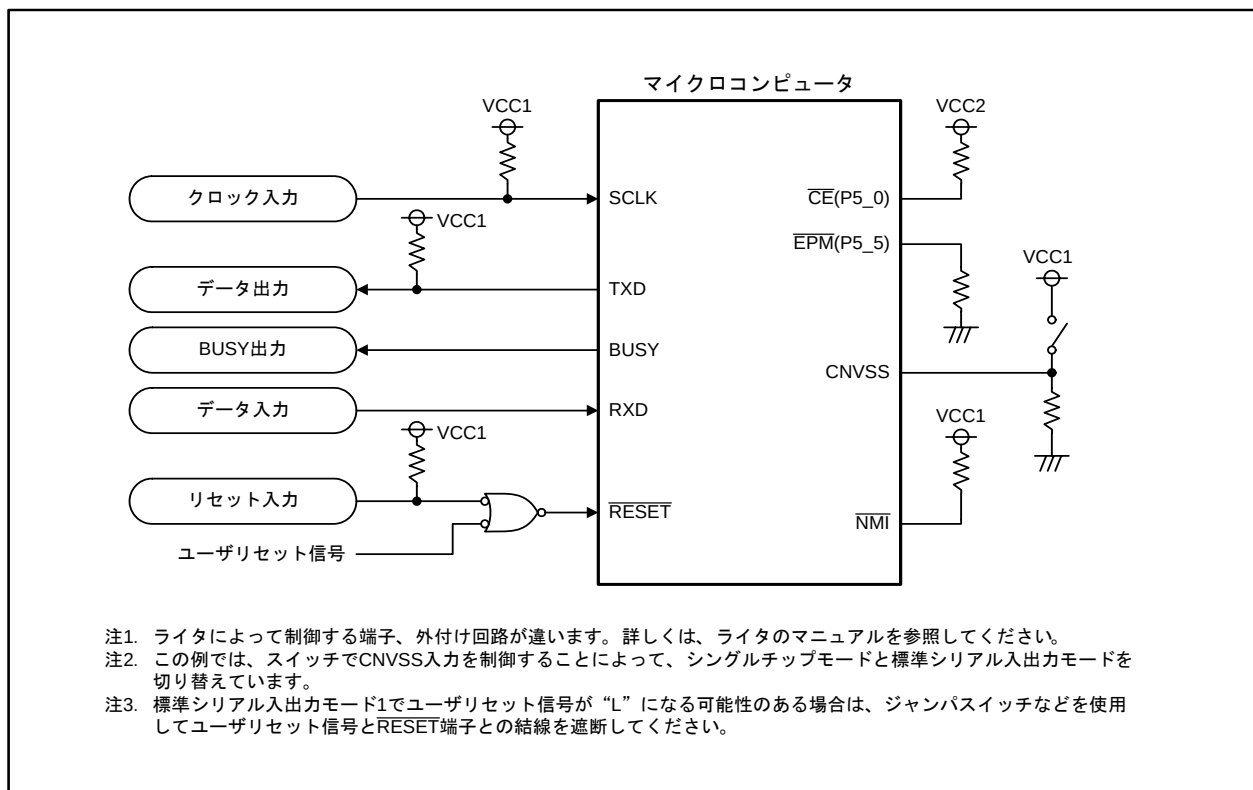


図 23.18 標準シリアル入出力モード1の端子処理例

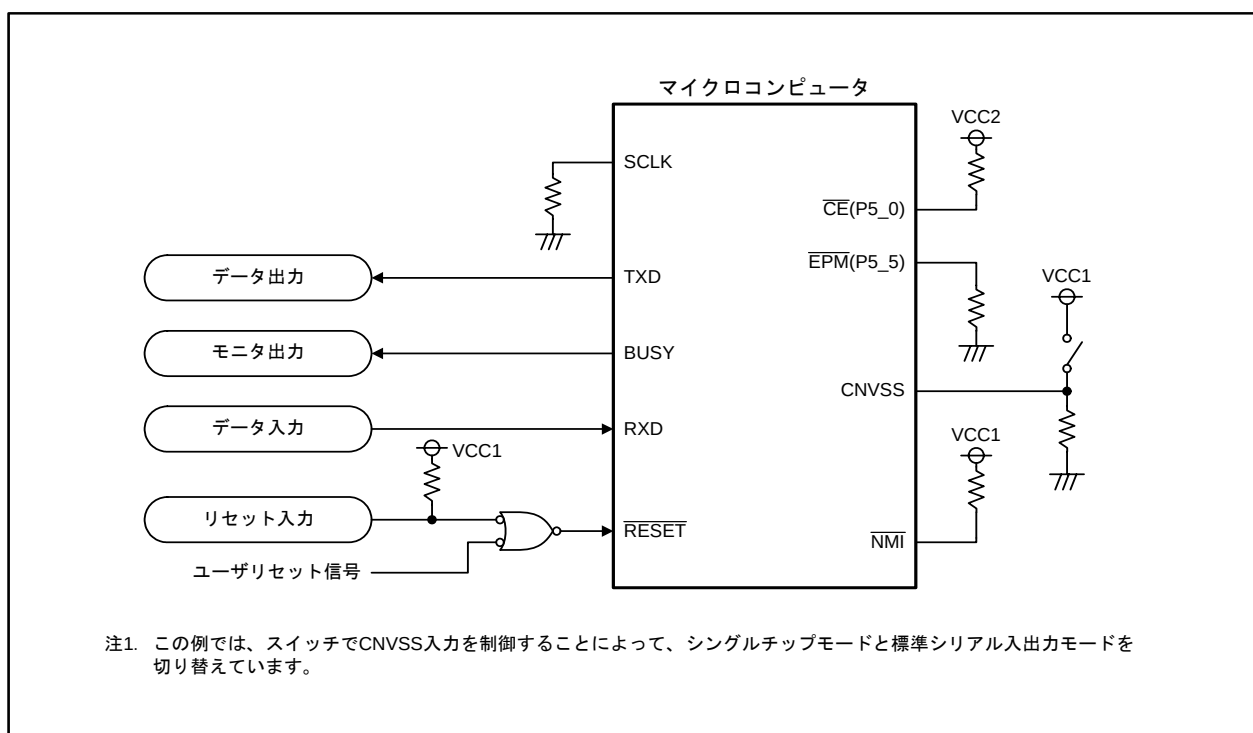


図 23.19 標準シリアル入出力モード2の端子処理例

23.6.3 パラレル入出力モード

パラレル入出力モードでは、パラレルライターを使用して、ユーザROM領域を書き換えられます。ブートROM領域を書き換えることもできますが、標準シリアル入出力モードの書き換え制御プログラムが格納されているので、ブートROM領域を書き換えしないでください。

パラレルライターについては、各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザズマニュアルを参照してください。

24. 電気的特性

表 24.1 絶対最大定格

記号	項目		条件	定格値	単位
VCC1, VCC2	電源電圧		VCC1=AVCC	-0.3 ~ 6.0	V
VCC2	電源電圧		—	-0.3 ~ VCC1 + 0.1	V
AVCC	アナログ電源電圧		VCC1=AVCC	-0.3 ~ 6.0	V
VI	入力電圧	RESET, CNVSS, BYTE, P6_0 ~ P6_7, P7_2 ~ P7_7, P8_0 ~ P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, P14_0 ~ P14_6, P15_0 ~ P15_7(注1), VREF, XIN		-0.3 ~ VCC1 + 0.3	V
		P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P11_0 ~ P11_4, P12_0 ~ P12_7, P13_0 ~ P13_7(注1)		-0.3 ~ VCC2 + 0.3	V
		P7_0, P7_1		-0.3 ~ 6.0	V
VO	出力電圧	P6_0 ~ P6_7, P7_2 ~ P7_7, P8_0 ~ P8_4, P8_6, P8_7, P9_0 ~ P9_7, P10_0 ~ P10_7, P14_0 ~ P14_6, P15_0 ~ P15_7(注1), XOUT		-0.3 ~ VCC1 + 0.3	V
		P0_0 ~ P0_7, P1_0 ~ P1_7, P2_0 ~ P2_7, P3_0 ~ P3_7, P4_0 ~ P4_7, P5_0 ~ P5_7, P11_0 ~ P11_4, P12_0 ~ P12_7, P13_0 ~ P13_7(注1)		-0.3 ~ VCC2 + 0.3	V
		P7_0, P7_1		-0.3 ~ 6.0	V
Pd	消費電力		-40°C ≤ Topr ≤ 85°C	500	mW
Topr	動作周囲温度	マイコン動作時		-20 ~ 85 / -40 ~ 85(注2)	°C
		フラッシュ書き込み消去時		0 ~ 60	°C
Tstg	保存温度			-65 ~ 150	°C

注1. ポートP11 ~ P15は144ピン版のみあります。

注2. -40 ~ 85°Cをご使用になる場合は、弊社営業窓口までお問い合わせください。

表 24.2 推奨動作条件 (1) (指定のない場合は、VCC1=VCC2=3.0V~5.5V, Topr= -20~85℃)

記号	項目		規格値			単位
			最小	標準	最大	
VCC1, VCC2	電源電圧 (VCC1 ≥ VCC2)		3.0	5.0	5.5	V
AVCC	アナログ電源電圧			VCC1		V
VSS	電源電圧			0		V
AVSS	アナログ電源電圧			0		V
VIH	“H” 入力電圧	P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7(注4)	0.8VCC2		VCC2	V
		P6_0~P6_7, P7_2~P7_7, P8_0~P8_7(注3), P9_0~P9_7, P10_0~P10_7, P14_0~P14_6, P15_0~P15_7(注4), XIN, RESET, CNVSS, BYTE	0.8VCC1		VCC1	
		P7_0, P7_1	0.8VCC1		6.0	
		P0_0~P0_7, P1_0~P1_7(シングルチップモード時)	0.8VCC2		VCC2	
		P0_0~P0_7, P1_0~P1_7 (メモリ拡張、マイクロプロセッサモード時)	0.5VCC2		VCC2	
VIL	“L” 入力電圧	P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7(注4)	0		0.2VCC2	V
		P6_0~P6_7, P7_0~P7_7, P8_0~P8_7(注3), P9_0~P9_7, P10_0~P10_7, P14_0~P14_6, P15_0~P15_7(注4), XIN, RESET, CNVSS, BYTE	0		0.2VCC1	
		P0_0~P0_7, P1_0~P1_7(シングルチップモード時)	0		0.2VCC2	
		P0_0~P0_7, P1_0~P1_7 (メモリ拡張、マイクロプロセッサモード時)	0		0.16VCC2	
IOH(peak)	“H” 尖頭出力 電流(注2)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注4)			-10.0	mA
IOH(avg)	“H” 平均出力 電流(注1)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注4)			-5.0	mA
IOL(peak)	“L” 尖頭出力 電流(注2)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注4)			10.0	mA
IOL(avg)	“L” 平均出力 電流(注1)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注4)			5.0	mA

注1. 平均出力電流は100msの期間内での平均値です。

注2. ポートP0, P1, P2, P8_6, P8_7, P9, P10, P11, P14, P15のIOL(peak)の合計は80mA以下、ポートP3, P4, P5, P6, P7, P8_0~P8_4, P12, P13のIOL(peak)の合計は80mA以下、ポートP0, P1, P2, P11のIOH(peak)の合計は-40mA以下、ポートP8_6, P8_7, P9, P10, P14, P15のIOH(peak)の合計は-40mA以下、ポートP3, P4, P5, P12, P13のIOH(peak)の合計は-40mA以下、ポートP6, P7, P8_0~P8_4のIOH(peak)の合計は-40mA以下にしてください。

注3. P8_7のVIH, VILはP8_7をプログラマブル入力ポートとして使用する場合の規格であり、XCINとして使用する場合の規格ではありません。

注4. ポートP11~P15は144ピン版のみあります。

表 24.2 推奨動作条件 (2) (指定のない場合は、VCC1=VCC2=3.0V～5.5V, Topr= -20～85℃)

記号	項目		規格値			単位
			最小	標準	最大	
f(CPU)	CPU動作周波数 バスクロック (f(BCLK)) と同一	VCC1=3.0～5.5V	0		32	MHz
f(XIN)	メインクロック入力発振周波数	VCC1=3.0～5.5V	0		16	MHz
f(XCIN)	サブクロック発振周波数			32.768	50	kHz
f(Ring)	オンチップオシレータ発振周波数		0.5	1	2	MHz
f(PLL)	PLLクロック発振周波数	VCC1=3.0～5.5V	10		32	MHz
tsu(PLL)	PLL周波数シンセサイザ安定待ち時間	VCC1=5.0V			20	ms
		VCC1=3.3V			50	

表 24.3 フラッシュメモリの電気的特性
(指定のない場合は、VCC1=VCC2=3.0V～5.5V, Topr=0～60℃)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	CPU動作周波数(CPU書き換えモード時)(注2)				10	MHz
—	消去、書き込み回数(注1)		100			回
—	書き込み時間(4バイト)(Topr=25℃)	データフラッシュ以外		150	900	μs
		データフラッシュ		300	1700	
—	ロックビットプログラム時間	データフラッシュ以外		70	500	μs
		データフラッシュ		140	1000	
—	ブロック消去時間(Topr=25℃)	4Kバイトブロック		0.2	3	s
		8Kバイトブロック		0.2	3	s
		64Kバイトブロック		0.2	3	s
tps	フラッシュメモリ回路安定待ち時間				50	μs
—	データ保持時間(Topr=-40～85℃)		10			年

注1. 消去、書き込み回数の定義

消去、書き込み回数はブロックごとの消去回数です。消去、書き込み回数がn回(n=100)の場合、ブロックごとに、それぞれn回ずつ消去することができます。例えば、ブロックAについて、それぞれ異なる番地に4バイト単位で書き込みを1,024回に分けて行った後に、そのブロックを消去した場合も、消去、書き込み回数は1回と数えます。ただし、消去1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注2. FMR0～FMR3レジスタにアクセスする前、またはCPU書き換えモード(EW0、EW1モード)に入る前に、MCDレジスタのMCD4～MCD0ビットでCPUクロックを10MHz以下にし、かつ、PM1レジスタのPM12ビットを“1”(内部メモリウェイトあり)にしてください。

VCC1=VCC2=5V

表 24.4 電気的特性 (1)

(指定のない場合は、VCC1=VCC2=4.2V ~ 5.5V, VSS=0V, Topr= -20 ~ 85℃, f(CPU)=32MHz)

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
VOH	“H” 出力電圧	P0_0～P0_7, P1_0～P1_7, P2_0～P2_7, P3_0～P3_7, P4_0～P4_7, P5_0～P5_7, P11_0～P11_4, P12_0～P12_7, P13_0～P13_7(注1)	IOH=−5mA	VCC2−2.0		VCC2	V	
		P6_0～P6_7, P7_2～P7_7, P8_0～P8_4, P8_6, P8_7, P9_0～P9_7, P10_0～P10_7, P14_0～P14_6, P15_0～P15_7(注1)	IOH=−5mA	VCC1−2.0		VCC1		
		P0_0～P0_7, P1_0～P1_7, P2_0～P2_7, P3_0～P3_7, P4_0～P4_7, P5_0～P5_7, P11_0～P11_4, P12_0～P12_7, P13_0～P13_7(注1)	IOH=−200μA	VCC2−0.3		VCC2	V	
		P6_0～P6_7, P7_2～P7_7, P8_0～P8_4, P8_6, P8_7, P9_0～P9_7, P10_0～P10_7, P14_0～P14_6, P15_0～P15_7(注1)	IOH=−200μA	VCC1−0.3		VCC1		
		XOUT	IOH=−1mA	3.0		VCC1	V	
		XCOUT	駆動能力High	無負荷時		2.5		V
		駆動能力Low	無負荷時		1.7		V	
VOL	“L” 出力電圧	P0_0～P0_7, P1_0～P1_7, P2_0～P2_7, P3_0～P3_7, P4_0～P4_7, P5_0～P5_7, P6_0～P6_7, P7_0～P7_7, P8_0～P8_4, P8_6, P8_7, P9_0～P9_7, P10_0～P10_7, P11_0～P11_4, P12_0～P12_7, P13_0～P13_7, P14_0～P14_6, P15_0～P15_7(注1)	IOL=5mA			2.0	V	
		P0_0～P0_7, P1_0～P1_7, P2_0～P2_7, P3_0～P3_7, P4_0～P4_7, P5_0～P5_7, P6_0～P6_7, P7_0～P7_7, P8_0～P8_4, P8_6, P8_7, P9_0～P9_7, P10_0～P10_7, P11_0～P11_4, P12_0～P12_7, P13_0～P13_7, P14_0～P14_6, P15_0～P15_7(注1)	IOL=200μA			0.45	V	
		XOUT	IOL=1mA			2.0	V	
		XCOUT	駆動能力High	無負荷時		0		V
			駆動能力Low	無負荷時		0		V
		VT+ − VT−	ヒステリシス	HOLD, RDY, TA0IN ∼ TA4IN, TB0IN ∼ TB5IN, INT0 ∼ INT5, ADTRG, CTS0 ∼ CTS4, CLK0 ∼ CLK4, TA0OUT ∼ TA4OUT, NMI, K10 ∼ K13, RXD0 ∼ RXD4, SCL0 ∼ SCL4, SDA0 ∼ SDA4		0.2		1.0
		RESET		0.2		1.8	V	
IIH	“H” 入力電流	P0_0～P0_7, P1_0～P1_7, P2_0～P2_7, P3_0～P3_7, P4_0～P4_7, P5_0～P5_7, P6_0～P6_7, P7_0～P7_7, P8_0～P8_7, P9_0～P9_7, P10_0～P10_7, P11_0～P11_4, P12_0～P12_7, P13_0～P13_7, P14_0～P14_6, P15_0～P15_7(注1), XIN, RESET, CNVSS, BYTE	VI=5V			5.0	μA	
IIL	“L” 入力電流	P0_0～P0_7, P1_0～P1_7, P2_0～P2_7, P3_0～P3_7, P4_0～P4_7, P5_0～P5_7, P6_0～P6_7, P7_0～P7_7, P8_0～P8_7, P9_0～P9_7, P10_0～P10_7, P11_0～P11_4, P12_0～P12_7, P13_0～P13_7, P14_0～P14_6, P15_0～P15_7(注1), XIN, RESET, CNVSS, BYTE	VI=0V			−5.0	μA	

注1. ポート P11 ~ P15 は 144 ピン版のみあります。

VCC1=VCC2=5V

表 24.4 電気的特性 (2)

(指定のない場合は、VCC1=VCC2=4.2V ~ 5.5V, VSS=0V, Topr= - 20 ~ 85°C, f(CPU)=32MHz)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
RPULLUP	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_4, P12_0~P12_7, P13_0~P13_7, P14_0~P14_6, P15_0~P15_7(注1)	VI=0V	30	50	170	kΩ
RfXIN	帰還抵抗	XIN			1.5		MΩ
RfXCIN	帰還抵抗	XCIN			15		MΩ
VRAM	RAM保持電圧	ストップモード時		2.0			V

注1. ポート P11 ~ P15 は 144 ピン版のみあります。

表 24.4 電気的特性 (3) (指定のない場合は、VCC1=VCC2=5.0V, VSS=0V, Topr=25°C)

記号	項目	測定条件 (注1)	規格値			単位
			最小	標準	最大	
ICC	電源電流	f(CPU)=32MHz		26	42	mA
		f(CPU)=16MHz		16		mA
		f(CPU)=8MHz		10		mA
		f(CPU)=f(Ring)(注3) オンチップオシレータ低消費電力モード		1.5		mA
		オンチップオシレータ低消費電力モード、フラッシュメモリ停止 (注2)		400		μA
		f(CPU)=32kHz(注4) 低消費電力モード、フラッシュメモリ動作		430		μA
		f(CPU)=32kHz(注5) 低消費電力モード、フラッシュメモリ停止 (注2)		50		μA
		ウェイトモード : f(CPU)=f(Ring) オンチップオシレータ低消費電力モードからウェイトモードへ移行後		110		μA
		ウェイトモード : f(CPU)=32kHz(注6) 低消費電力モードからウェイトモードへ移行後		10		μA
		ストップモード (クロック停止時)		4		μA
		ストップモード (クロック停止時) Topr=85°C			200	μA

注1. シングルチップモードで出力端子は開放、その他の端子はVSSに接続してください。

注2. FMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)にし、RAM上でプログラムを実行したときの値です。

注3. FMR4レジスタのFMR40ビットが“1”(低速アクセス)のときの値です。

注4. FMR40ビットが“1”、かつのVRCRレジスタのMRSビットが“1”(メイン電源回路停止)のときの値です。

注5. MRSビットが“1”のときの値です。

注6. MRSビットが“1”、かつCM0レジスタのCM03ビットが“0”(駆動能力Low)のときの値です。

VCC1=VCC2=5V

表 24.5 A/D 変換特性 (指定のない場合は、VCC1=VCC2=AVCC=VREF=4.2V ~ 5.5V, VSS=AVSS=0V, Topr = -20 ~ 85 °C, f(CPU)=32MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能	VREF=VCC1			10	Bits
INL	積分非直線性誤差	VREF=VCC1=VCC2=5V AN_0 ~ AN_7、AN0_0 ~ AN0_7、 AN2_0 ~ AN2_7、 AN15_0 ~ AN15_7、 ANEX0、ANEX1			±3	LSB
		外部オペアンプ接続モード			±7	LSB
DNL	微分非直線性誤差				±1	LSB
—	オフセット誤差				±3	LSB
—	ゲイン誤差				±3	LSB
RLADDER	ラダー抵抗	VREF=VCC1	4		20	kΩ
tCONV	変換時間 (10bit) (注1、2)		2.06			μs
tCONV	変換時間 (8bit) (注1、2)		1.75			μs
tSAMP	サンプリング時間 (注1)		0.188			μs
VREF	基準電圧		3		VCC1	V
VIA	アナログ入力電圧		0		VREF	V

注1. φADが16MHzのときの値です。f(XIN)が16MHzを超える場合は分周し、φADを16MHz以下にしてください。

注2. サンプル&ホールド機能あり。

表 24.6 D/A 変換特性 (指定のない場合は、VCC1=VCC2=VREF=4.2V ~ 5.5V, VSS=AVSS=0V, Topr = -20 ~ 85 °C, f(CPU)=32MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能				8	Bits
—	絶対精度				1.0	%
tsu	設定時間				3	μs
RO	出力抵抗		4	10	20	kΩ
IVREF	基準電源入力電流	(注1)			1.5	mA

注1. D/Aコンバータを1本利用し、使用していないD/AコンバータのDAiレジスタ (i=0, 1)の値が“00h”の場合です。A/Dコンバータのラダー抵抗分は除きます。AD0CON1レジスタのVCUTビットを“0” (VREF未接続)にした場合でも、IVREFは流れます。

VCC1=VCC2=5V

表 24.7 電圧検出回路の電氣的特性 (指定のない場合はVCC1=VCC2=3.0~5.5V, VSS=0V, Topr=25°C)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
ΔV_{det}	検出電圧誤差	VCC1=3.0V~5.5V			± 0.30	V

表 24.8 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時内部電源安定時間	VCC1=3.0V~5.5V			2	ms
td(E-A)	Vdet検出回路動作開始時間	VCC1=3.0V~5.5V			150	μs

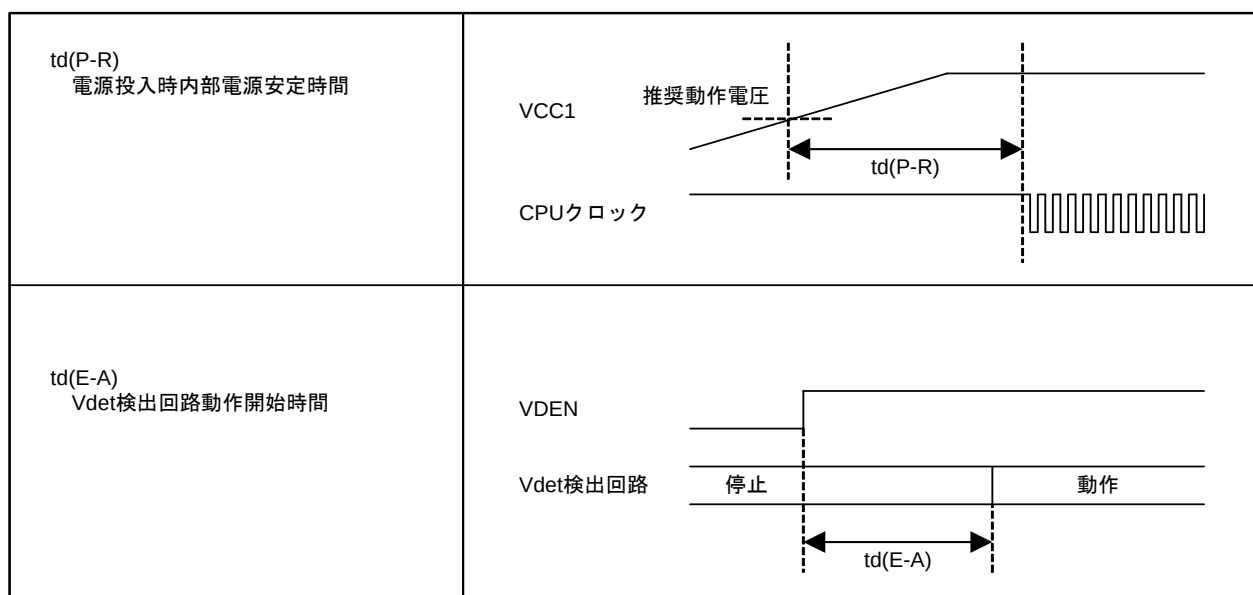


図 24.1 電源回路のタイミング

VCC1=VCC2=5V

タイミング必要条件(指定のない場合は、VCC1=VCC2=4.2V～5.5V, VSS=0V, Topr= -20～85℃)

表 24.9 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
tc	外部クロック入力サイクル時間	62.5		ns
tw(H)	外部クロック入力“H”パルス幅	27.5		ns
tw(L)	外部クロック入力“L”パルス幅	27.5		ns
tr	外部クロック立ち上がり時間		5	ns
tf	外部クロック立ち下がり時間		5	ns

表 24.10 タイマA入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	100		ns
tw(TAH)	TAiIN入力“H”パルス幅	40		ns
tw(TAL)	TAiIN入力“L”パルス幅	40		ns

i=0～4

表 24.11 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	400		ns
tw(TAH)	TAiIN入力“H”パルス幅	200		ns
tw(TAL)	TAiIN入力“L”パルス幅	200		ns

i=0～4

表 24.12 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	200		ns
tw(TAH)	TAiIN入力“H”パルス幅	100		ns
tw(TAL)	TAiIN入力“L”パルス幅	100		ns

i=0～4

表 24.13 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tw(TAH)	TAiIN入力“H”パルス幅	100		ns
tw(TAL)	TAiIN入力“L”パルス幅	100		ns

i=0～4

VCC1=VCC2=5V

タイミング必要条件(指定のない場合は、VCC1=VCC2=4.2V～5.5V, VSS=0V, Topr= -20～85℃)

表 24.14 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
tc(UP)	TAiOUT 入力サイクル時間	2000		ns
tw(UPH)	TAiOUT 入力 “H” パルス幅	1000		ns
tw(UPL)	TAiOUT 入力 “L” パルス幅	1000		ns
tsu(UP-TIN)	TAiOUT 入力セットアップ時間	400		ns
th(TIN-UP)	TAiOUT 入力ホールド時間	400		ns

i=0～4

表 24.15 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN 入力サイクル時間	800		ns
tsu(TAIN-TAOUT)	TAiOUT 入力セットアップ時間	200		ns
tsu(TAOUT-TAIN)	TAiIN 入力セットアップ時間	200		ns

i=0～4

表 24.16 タイマB入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN 入力サイクル時間(片エッジカウント)	100		ns
tw(TBH)	TBiIN 入力 “H” パルス幅(片エッジカウント)	40		ns
tw(TBL)	TBiIN 入力 “L” パルス幅(片エッジカウント)	40		ns
tc(TB)	TBiIN 入力サイクル時間(両エッジカウント)	200		ns
tw(TBH)	TBiIN 入力 “H” パルス幅(両エッジカウント)	80		ns
tw(TBL)	TBiIN 入力 “L” パルス幅(両エッジカウント)	80		ns

i=0～5

表 24.17 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN 入力サイクル時間	400		ns
tw(TBH)	TBiIN 入力 “H” パルス幅	200		ns
tw(TBL)	TBiIN 入力 “L” パルス幅	200		ns

i=0～5

表 24.18 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN 入力サイクル時間	400		ns
tw(TBH)	TBiIN 入力 “H” パルス幅	200		ns
tw(TBL)	TBiIN 入力 “L” パルス幅	200		ns

i=0～5

VCC1=VCC2=5V

タイミング必要条件 (指定のない場合は、VCC1=VCC2=4.2V～5.5V, VSS=0V, Topr= -20～85℃)

表 24.19 A/D トリガ入力

記号	項目	規格値		単位
		最小	最大	
tc(AD)	ADTRG 入力サイクル時間 (トリガ可能最小)	1000		ns
tw(ADL)	ADTRG 入力 “L” パルス幅	125		ns
tw(AH)	ADTRG 入力 “H” パルス幅	3		φAD

表 24.20 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
tc(CK)	CLKi 入力サイクル時間	200		ns
tw(CKH)	CLKi 入力 “H” パルス幅	100		ns
tw(CKL)	CLKi 入力 “L” パルス幅	100		ns
td(C-Q)	TXDi 出力遅延時間		80	ns
th(C-Q)	TXDi 出力ホールド時間	0		ns
tsu(D-C)	RXDi 入力セットアップ時間	80		ns
th(C-D)	RXDi 入力ホールド時間	90		ns

i=0～4

表 24.21 外部割り込み INTi 入力 (エッジセンス)

記号	項目	規格値		単位
		最小	最大	
tw(INH)	INTi 入力 “H” パルス幅	250		ns
tw(INL)	INTi 入力 “L” パルス幅	250		ns

i=0～5

VCC1=VCC2=5V

タイミング必要条件 (指定のない場合は、VCC1=VCC2=4.2V～5.5V, VSS=0V, Topr= -20～85℃)

表 24.22 メモリ拡張モードおよびマイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
tac1(RD-DB)	データ入力アクセス時間(RD基準)		(注1)	ns
tac1(AD-DB)	データ入力アクセス時間(AD基準、CS基準)		(注1)	ns
tac2(RD-DB)	データ入力アクセス時間(RD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tac2(AD-DB)	データ入力アクセス時間(AD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tsu(DB-BCLK)	データ入力セットアップ時間	26		ns
tsu(RDY-BCLK)	$\overline{\text{RDY}}$ 入力セットアップ時間	26		ns
tsu(HOLD-BCLK)	$\overline{\text{HOLD}}$ 入力セットアップ時間	30		ns
th(RD-DB)	データ入力ホールド時間	0		ns
th(BCLK-RDY)	$\overline{\text{RDY}}$ 入力ホールド時間	0		ns
th(BCLK-HOLD)	$\overline{\text{HOLD}}$ 入力ホールド時間	0		ns
td(BCLK-HLDA)	$\overline{\text{HLDA}}$ 出力遅延時間		25	ns

注1. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。ただし、計算値が負の値になる場合は、ウェイトを入れるか、動作周波数f(BCLK)をさらに低くしてください。

$$tac1(RD-DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=(b \times 2) + 1)$$

$$tac1(AD-DB) = \frac{10^9 \times n}{f(BCLK)} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=a + b)$$

$$tac2(RD-DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=(b \times 2) - 1)$$

$$tac2(AD-DB) = \frac{10^9 \times p}{f(BCLK) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} p=\{(a + b - 1) \times 2\} + 1)$$

VCC1=VCC2=5V

スイッチング特性 (指定のない場合は、VCC1=VCC2=4.2V～5.5V, VSS=0V, Topr= -20～85℃)

表 24.23 メモリ拡張モードおよびマイクロプロセッサモード (外部メモリ領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図 24.2 参照		18	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK 基準)		-3		ns
th(RD-AD)	アドレス出力保持時間 (RD 基準) (注 3)		0		ns
th(WR-AD)	アドレス出力保持時間 (WR 基準) (注 3)		(注 1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK 基準)		-3		ns
th(RD-CS)	チップセレクト出力保持時間 (RD 基準) (注 3)		0		ns
th(WR-CS)	チップセレクト出力保持時間 (WR 基準) (注 3)		(注 1)		ns
td(BCLK-RD)	RD 出力遅延時間			18	ns
th(BCLK-RD)	RD 出力保持時間		-5		ns
td(BCLK-WR)	WR 出力遅延時間			18	ns
th(BCLK-WR)	WR 出力保持時間		-5		ns
td(DB-WR)	データ出力遅延時間 (WR 基準)		(注 2)		ns
th(WR-DB)	データ出力保持時間 (WR 基準) (注 3)		(注 1)		ns
tw(WR)	WR 出力幅		(注 2)		ns

注 1. BCLK の周波数に応じて次の計算式で算出されます。

$$th(WR-DB) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

注 2. BCLK の周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(DB-WR) = \frac{10^9 \times m}{f(BCLK)} - 20 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=b)$$

$$tw(WR) = \frac{10^9 \times n}{f(BCLK) \times 2} - 15 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=(b \times 2) - 1)$$

注 3. リカバリサイクル挿入時は tc 時間延長されます。

VCC1=VCC2=5V

スイッチング特性 (指定のない場合は、VCC1=VCC2=4.2V～5.5V, VSS=0V, Topr= -20～85℃)

表 24.24 メモリ拡張モードおよびマイクロプロセッサモード
(外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図 24.2 参照		18	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK 基準)		-3		ns
th(RD-AD)	アドレス出力保持時間 (RD 基準) (注 5)		(注 1)		ns
th(WR-AD)	アドレス出力保持時間 (WR 基準) (注 5)		(注 1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK 基準)		-3		ns
th(RD-CS)	チップセレクト出力保持時間 (RD 基準) (注 5)		(注 1)		ns
th(WR-CS)	チップセレクト出力保持時間 (WR 基準) (注 5)		(注 1)		ns
td(BCLK-RD)	RD 信号出力遅延時間			18	ns
th(BCLK-RD)	RD 信号出力保持時間		-5		ns
td(BCLK-WR)	WR 信号出力遅延時間			18	ns
th(BCLK-WR)	WR 信号出力保持時間		-5		ns
td(DB-WR)	データ出力遅延時間 (WR 基準)		(注 2)		ns
th(WR-DB)	データ出力保持時間 (WR 基準) (注 5)		(注 1)		ns
td(BCLK-ALE)	ALE 信号出力遅延時間 (BCLK 基準)			18	ns
th(BCLK-ALE)	ALE 信号出力保持時間 (BCLK 基準)		-2		ns
td(AD-ALE)	ALE 信号出力遅延時間 (アドレス基準)		(注 3)		ns
th(ALE-AD)	ALE 信号出力保持時間 (アドレス基準)		(注 4)		ns
tdz(RD-AD)	アドレス出力フローティング開始時間			8	ns

注 1. BCLK の周波数に応じて次の計算式で算出されます。

$$th(RD-AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(RD-CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-DB) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

注 2. BCLK の周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(DB-WR) = \frac{10^9 \times m}{f(BCLK) \times 2} - 25 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=(b \times 2) - 1)$$

注 3. BCLK の周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(AD-ALE) = \frac{10^9 \times n}{f(BCLK) \times 2} - 20 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=a)$$

注 4. BCLK の周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$th(ALE-AD) = \frac{10^9 \times n}{f(BCLK) \times 2} - 10 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=a)$$

注 5. リカバリサイクル挿入時は tc 時間延長されます。

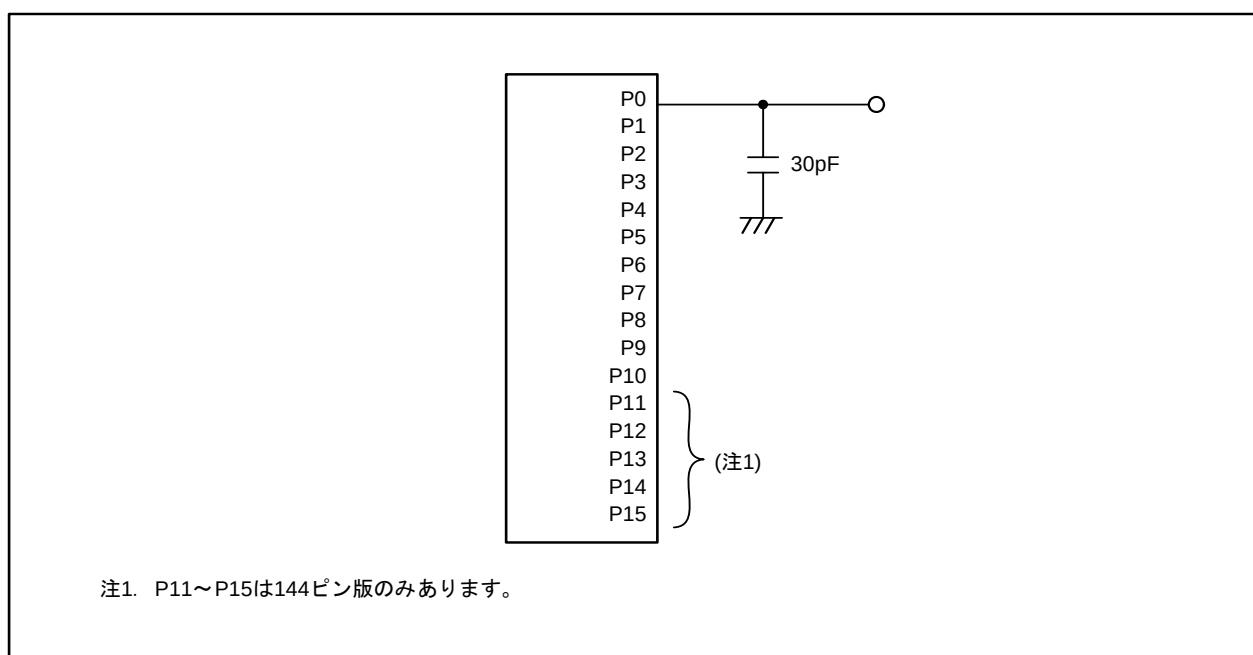


図 24.2 ポート P0～P15 の測定回路

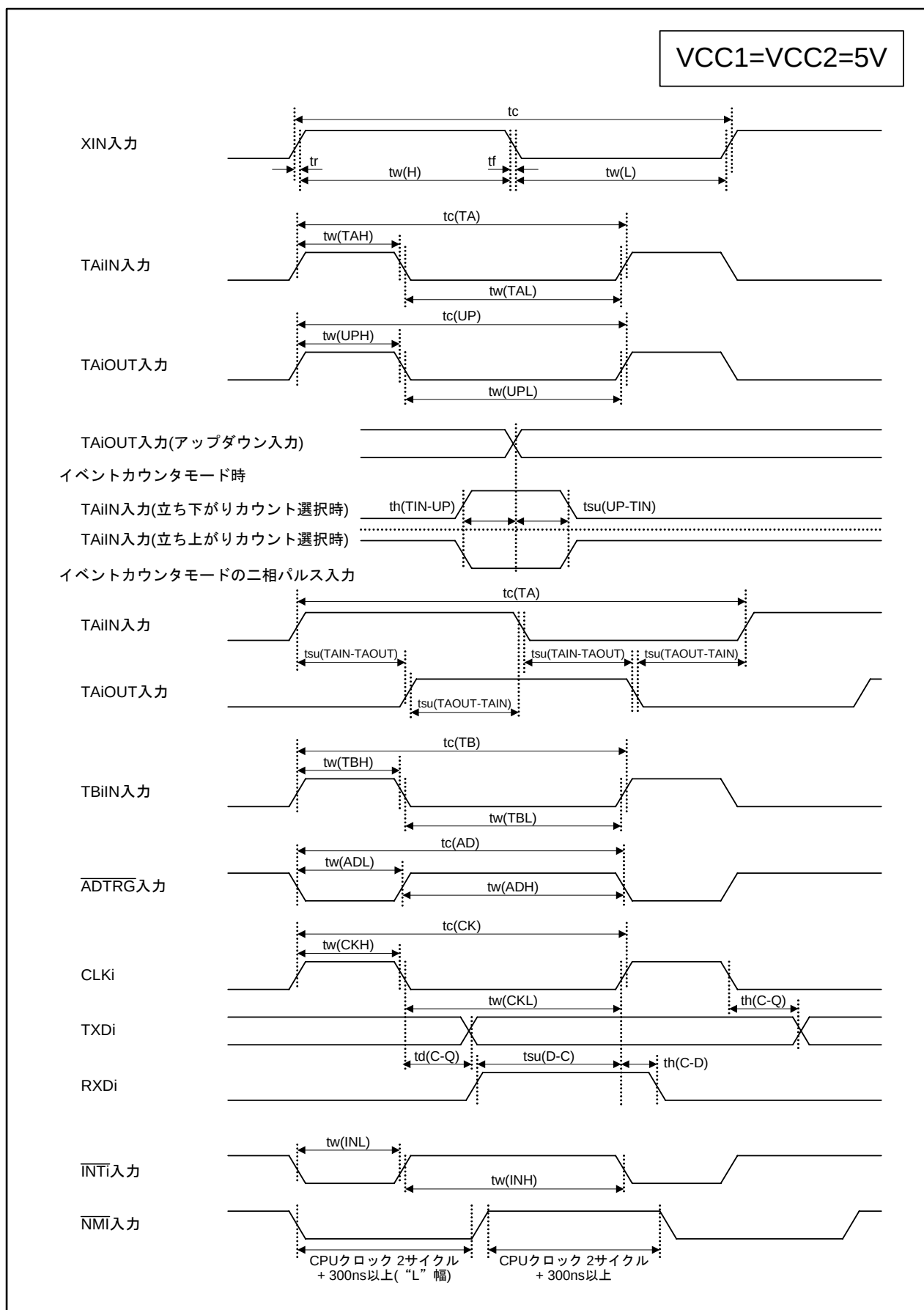


図 24.3 VCC1=VCC2=5V時のタイミング図(1)

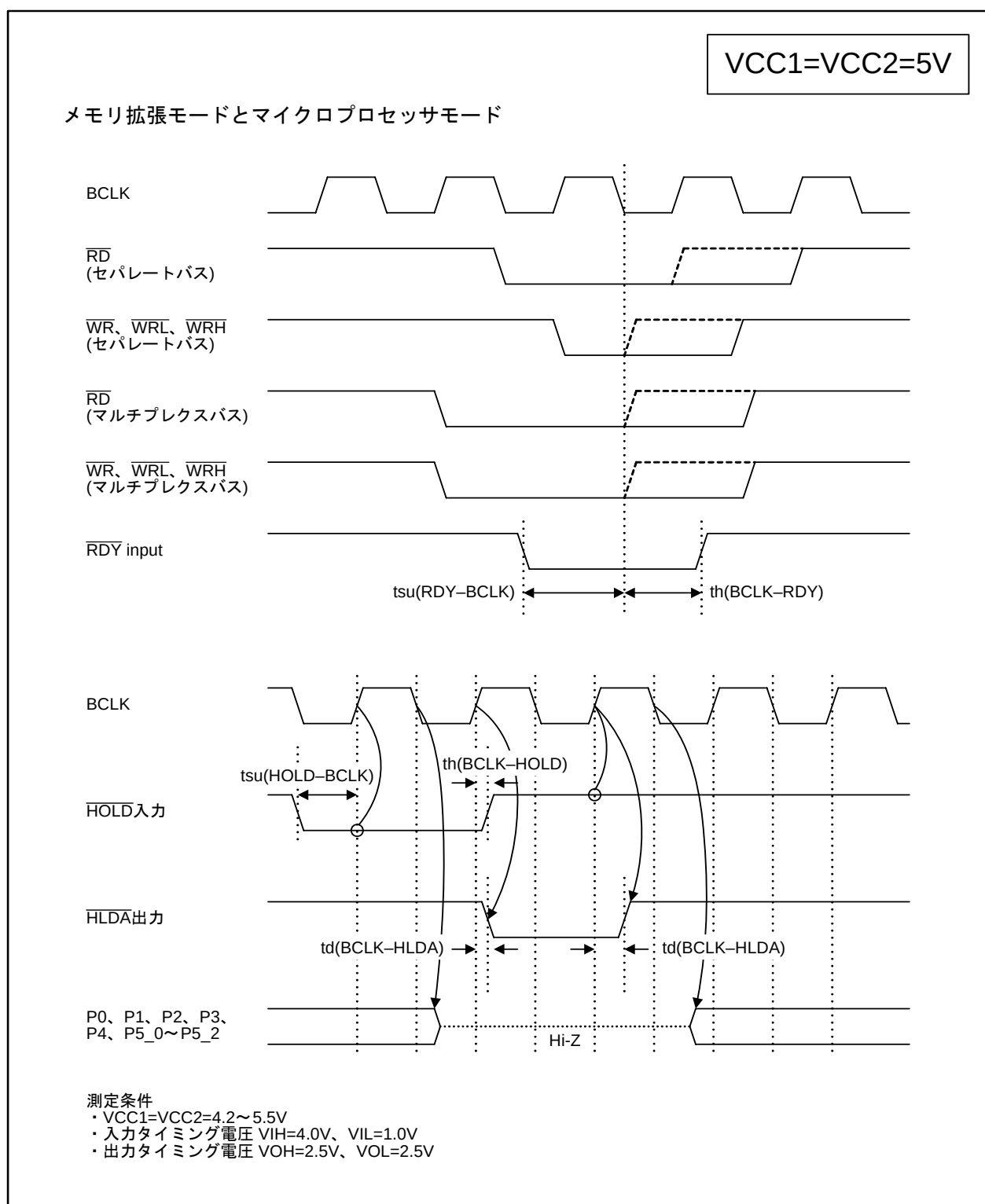
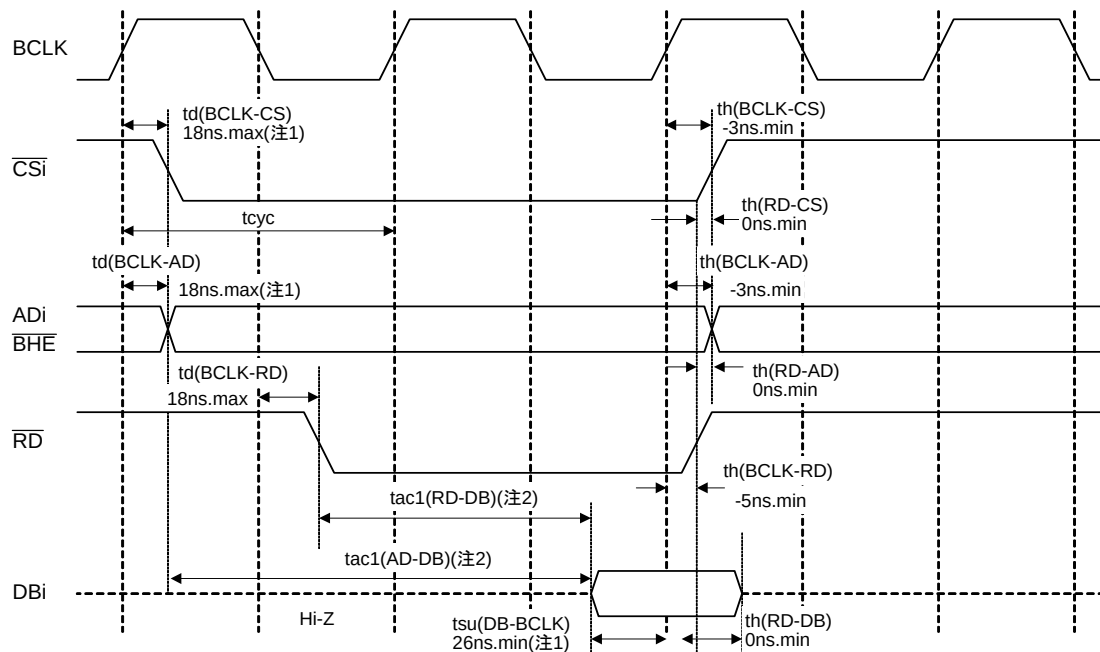


図 24.4 VCC1=VCC2=5V時のタイミング図(2)

メモリ拡張モードとマイクロプロセッサモード
(外部メモリ領域をアクセスした場合)

VCC1=VCC2=5V

読み出しタイミング (バスサイクルが1φ+1φの例)



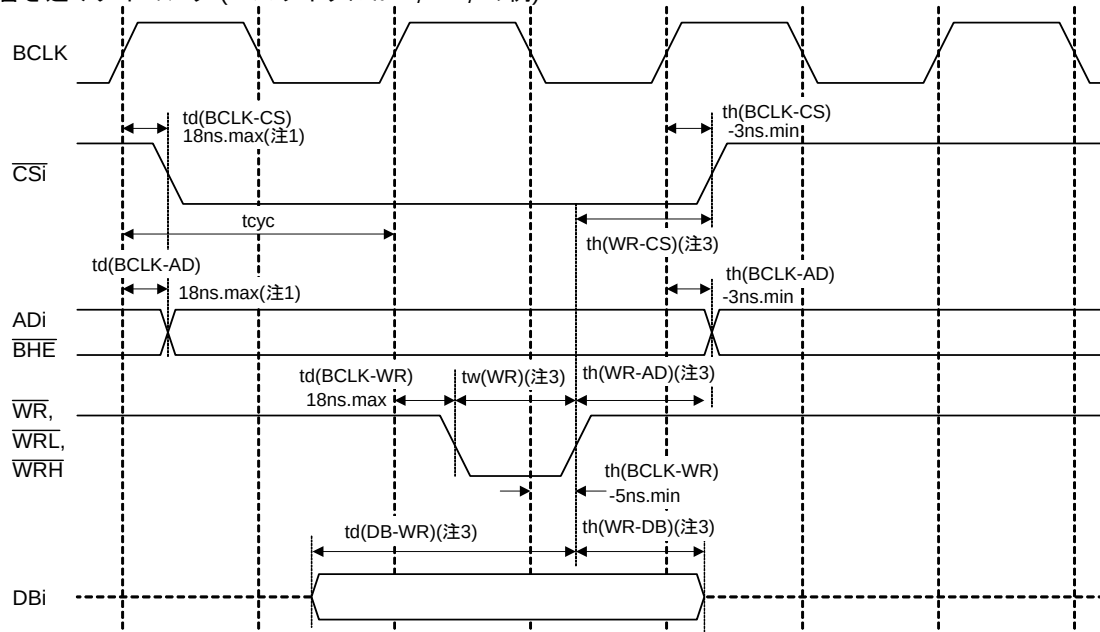
注1. 単独での保証値です。td(BCLK-AD)+tsu(DB-BCLK)としては、35ns.maxの保証になります。

注2. 動作周波数に依存します。

$t_{\text{ac1}}(\text{RD-DB}) = (t_{\text{cyc}}/2 \times m - 35)\text{ns.max}$ (外部領域バスサイクルがaφ+bφの場合、m=(bx2)+1)

$t_{\text{ac1}}(\text{AD-DB}) = (t_{\text{cyc}} \times n - 35)\text{ns.max}$ (外部領域バスサイクルがaφ+bφの場合、n=a+b)

書き込みタイミング (バスサイクルが1φ+1φの例)



注3. 動作周波数に依存します。

$t_d(\text{DB-WR}) = (t_{\text{cyc}} \times m - 20)\text{ns.min}$ (外部領域バスサイクルがaφ+bφの場合、m=b)

$t_h(\text{WR-DB}) = (t_{\text{cyc}}/2 - 10)\text{ns.min}$

$t_h(\text{WR-AD}) = (t_{\text{cyc}}/2 - 10)\text{ns.min}$

$t_h(\text{WR-CS}) = (t_{\text{cyc}}/2 - 10)\text{ns.min}$

$t_w(\text{WR}) = (t_{\text{cyc}} \times n - 15)\text{ns.min}$ (外部領域バスサイクルがaφ+bφの場合、n=(bx2)-1)

測定条件

・ VCC1=VCC2=4.2~5.5V

・ 入力判定電圧 VIH=2.5V, VIL=0.8V

・ 出力判定電圧 VOH=2.0V, VOL=0.8V

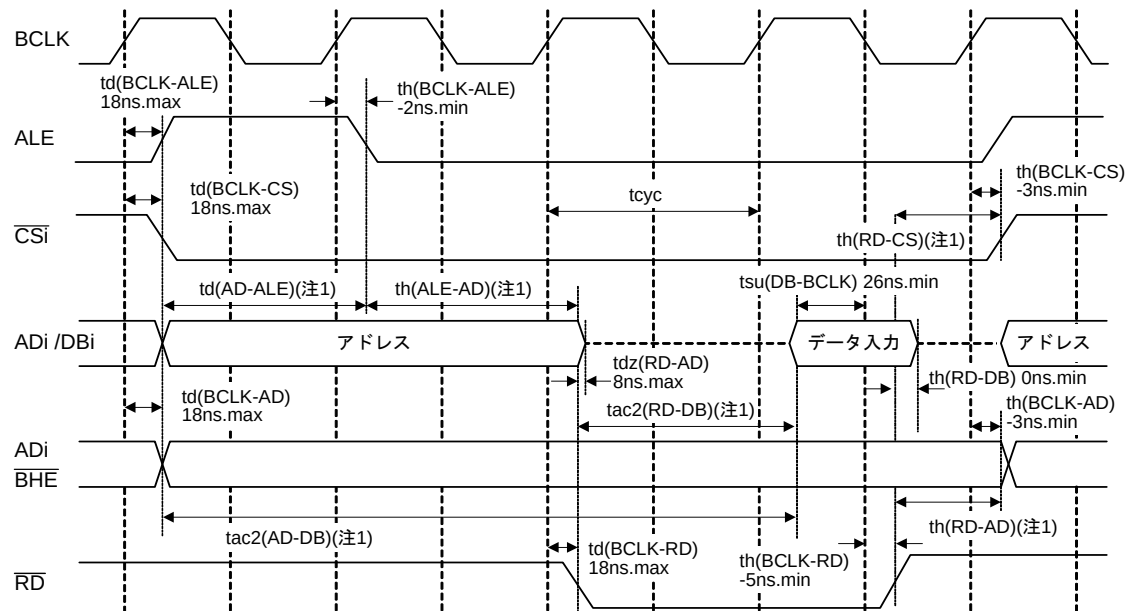
$$t_{\text{cyc}} = \frac{10^9}{f(\text{BCLK})}$$

図 24.5 VCC1=VCC2=5V時のタイミング図(3)

メモリ拡張モードとマイクロプロセッサモード
(外部メモリ領域をアクセスし、かつマルチプレクスバスを使用した場合)

VCC1=VCC2=5V

読み出しタイミング (バスサイクルが2φ+2φの例)



注1. 動作周波数に依存します。

$td(AD-ALE) = (tcyc/2 \times n - 20)ns.min$ (外部領域バスサイクルがaφ + bφの場合、n = a)

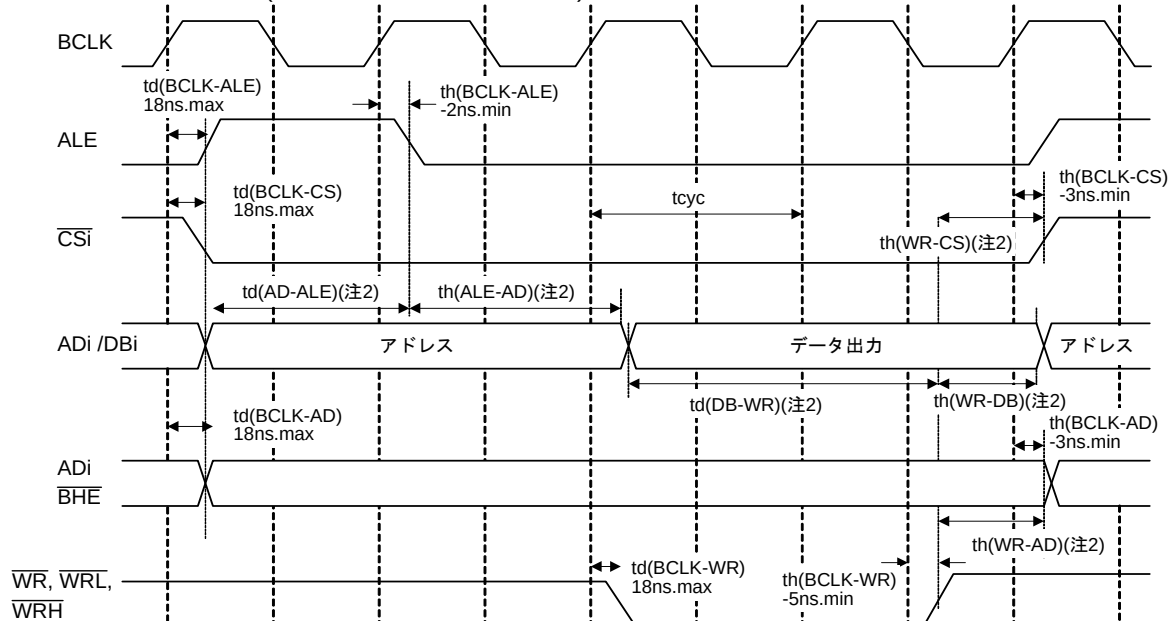
$th(ALE-AD) = (tcyc/2 \times n - 10)ns.min$ (外部領域バスサイクルがaφ + bφの場合、n = a)

$th(RD-AD) = (tcyc/2 - 10)ns.min$, $th(RD-CS) = (tcyc/2 - 10)ns.min$

$tac2(RD-DB) = (tcyc/2 \times m - 35)ns.max$ (外部領域バスサイクルがaφ + bφの場合、m = (b × 2) - 1)

$tac2(AD-DB) = (tcyc/2 \times p - 35)ns.max$ (外部領域バスサイクルがaφ + bφの場合、p = {(a + b - 1) × 2} + 1)

書き込みタイミング (バスサイクルが2φ+2φの例)



注2. 動作周波数に依存します。

$td(AD-ALE) = (tcyc/2 \times n - 20)ns.min$ (外部領域バスサイクルがaφ + bφの場合、n = a)

$th(ALE-AD) = (tcyc/2 \times n - 10)ns.min$ (外部領域バスサイクルがaφ + bφの場合、n = a)

$th(WR-AD) = (tcyc/2 - 10)ns.min$, $th(WR-CS) = (tcyc/2 - 10)ns.min$, $th(WR-DB) = (tcyc/2 - 10)ns.min$

$td(DB-WR) = (tcyc/2 \times m - 25)ns.min$ (外部領域バスサイクルがaφ + bφの場合、m = (b × 2) - 1)

測定条件

・ VCC1=VCC2=4.2~5.5V

・ 入力判定電圧 VIH=2.5V, VIL=0.8V

・ 出力判定電圧 VOH=2.0V, VOL=0.8V

$$tcyc = \frac{10^9}{f(BCLK)}$$

図 24.6 VCC1=VCC2=5V時のタイミング図(4)

VCC1=VCC2=3.3V

表 24.25 電気的特性 (1)

(指定のない場合は、VCC1=VCC2=3.0V ~ 3.6V, VSS=0V, Topr= -20 ~ 85℃, f(CPU)=24MHz)

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
VOH	“H” 出力電圧	P0_0～P0_7, P1_0～P1_7, P2_0～P2_7, P3_0～P3_7, P4_0～P4_7, P5_0～P5_7, P11_0～P11_4, P12_0～P12_7, P13_0～P13_7(注1)	IOH=−1mA	VCC2−0.6		VCC2	V	
		P6_0～P6_7, P7_2～P7_7, P8_0～P8_4, P8_6, P8_7, P9_0～P9_7, P10_0～P10_7, P14_0～P14_6, P15_0～P15_7(注1)	IOH=−1mA	VCC1−0.6		VCC1		
		XOUT	IOH=−0.1mA	2.7		VCC1	V	
		XCOUT	駆動能力 High	無負荷時		2.5		V
			駆動能力 Low	無負荷時		1.7		V
VOL	“L” 出力電圧	P0_0～P0_7, P1_0～P1_7, P2_0～P2_7, P3_0～P3_7, P4_0～P4_7, P5_0～P5_7, P6_0～P6_7, P7_0～P7_7, P8_0～P8_4, P8_6, P8_7, P9_0～P9_7, P10_0～P10_7, P11_0～P11_4, P12_0～P12_7, P13_0～P13_7, P14_0～P14_6, P15_0～P15_7(注1)	IOL=1mA			0.5	V	
		XOUT	IOL=0.1mA			0.5		V
		XCOUT	駆動能力 High	無負荷時		0		V
			駆動能力 Low	無負荷時		0		V
		VT+ − VT−	ヒステリシス	HOLD, RDY, TA0IN ∼ TA4IN, TB0IN ∼ TB5IN, INT0 ∼ INT5, ADTRG, CTS0 ∼ CTS4, CLK0 ∼ CLK4, TA0OUT ∼ TA4OUT, NMI, KI0 ∼ KI3, RXD0 ∼ RXD4, SCL0 ∼ SCL4, SDA0 ∼ SDA4		0.2		1.0
RESET				0.2		1.8	V	
IIH	“H” 入力電流	P0_0～P0_7, P1_0～P1_7, P2_0～P2_7, P3_0～P3_7, P4_0～P4_7, P5_0～P5_7, P6_0～P6_7, P7_0～P7_7, P8_0～P8_7, P9_0～P9_7, P10_0～P10_7, P11_0～P11_4, P12_0～P12_7, P13_0～P13_7, P14_0～P14_6, P15_0～P15_7(注1), XIN, RESET, CNVSS, BYTE	VI=3V			4.0	μA	
IIL	“L” 入力電流	P0_0～P0_7, P1_0～P1_7, P2_0～P2_7, P3_0～P3_7, P4_0～P4_7, P5_0～P5_7, P6_0～P6_7, P7_0～P7_7, P8_0～P8_7, P9_0～P9_7, P10_0～P10_7, P11_0～P11_4, P12_0～P12_7, P13_0～P13_7, P14_0～P14_6, P15_0～P15_7(注1), XIN, RESET, CNVSS, BYTE	VI=0V			−4.0	μA	
RPULLUP	プルアップ抵抗	P0_0～P0_7, P1_0～P1_7, P2_0～P2_7, P3_0～P3_7, P4_0～P4_7, P5_0～P5_7, P6_0～P6_7, P7_2～P7_7, P8_0～P8_4, P8_6, P8_7, P9_0～P9_7, P10_0～P10_7, P11_0～P11_4, P12_0～P12_7, P13_0～P13_7, P14_0～P14_6, P15_0～P15_7(注1)	VI=0V	50	100	500	kΩ	
RfXIN	帰還抵抗	XIN			3.0		MΩ	
RfXCIN	帰還抵抗	XCIN			25		MΩ	
VRAM	RAM保持電圧	ストップモード時		2.0			V	

注1. ポート P11 ~ P15 は 144 ピン版のみあります。

VCC1=VCC2=3.3V

表 24.25 電気的特性(2) (指定のない場合は、VCC1=VCC2=3.3V, VSS=0V, Topr=25℃)

記号	項目	測定条件(注1)	規格値			単位
			最小	標準	最大	
ICC	電源電流	f(CPU)=32MHz		23	37	mA
		f(CPU)=16MHz		15		mA
		f(CPU)=8MHz		9		mA
		f(CPU)=f(Ring)(注3) オンチップオシレータ低消費電力モード		1.5		mA
		オンチップオシレータ低消費電力モード、フラッシュメモリ停止(注2)		400		μA
		f(CPU)=32kHz(注4) 低消費電力モード、フラッシュメモリ動作		430		μA
		f(CPU)=32kHz(注5) 低消費電力モード、フラッシュメモリ停止(注2)		50		μA
		ウェイトモード : f(CPU)=f(Ring) オンチップオシレータ低消費電力モードからウェイトモードへ移行後		110		μA
		ウェイトモード : f(CPU)=32kHz(注6) 低消費電力モードからウェイトモードへ移行後		8		μA
		ストップモード(クロック停止時)		4		μA
		ストップモード(クロック停止時) Topr=85℃			200	μA

注1. シングルチップモードで出力端子は開放、その他の端子はVSSに接続してください。

注2. FMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)にし、RAM上でプログラムを実行したときの値です。

注3. FMR4レジスタのFMR40ビットが“1”(低速アクセス)のときの値です。

注4. FMR40が“1”、かつVRCCRレジスタのMRSビットが“1”(メイン電源回路停止)のときの値です。

注5. MRSビットが“1”のときの値です。

注6. MRSビットが“1”、かつCM0レジスタのCM03ビットが“0”(駆動能力Low)のときの値です。

VCC1=VCC2=3.3V

表 24.26 A/D 変換特性 (指定のない場合は、VCC1=VCC2=AVCC=VREF=3.0V ~ 3.6V, VSS=AVSS=0V, Topr = -20 ~ 85 °C, f(CPU)=24MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能	VREF=VCC1			10	Bits
INL	積分非直線性誤差 (8bit)	VREF=VCC1=VCC2=3.3V			± 2	LSB
DNL	微分非直線性誤差 (8bit)				± 1	LSB
—	オフセット誤差 (8bit)				± 2	LSB
—	ゲイン誤差 (8bit)				± 2	LSB
RLADDER	ラダー抵抗	VREF=VCC1	4		20	kΩ
tCONV	変換時間 (8bit)(注 1、2)		4.9			μs
VREF	基準電圧		3		VCC1	V
VIA	アナログ入力電圧		0		VREF	V

注 1. φAD が 10MHz のときの値です。φAD を 10MHz 以下にしてください。f(CPU)(=fAD) が 24MHz の場合は 3 分周し、φAD を 8MHz にして使用してください。このとき、AD 変換時間は 6.1 μs になります。

注 2. サンプル & ホールド機能なし。

表 24.27 D/A 変換特性 (指定のない場合は、VCC1=VCC2=VREF=3.0V ~ 3.6V, VSS=AVSS=0V, Topr = -20 ~ 85 °C, f(CPU)=24MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能				8	Bits
—	絶対精度				1.0	%
tsu	設定時間				3	μs
RO	出力抵抗		4	10	20	kΩ
IVREF	基準電源入力電流	(注 1)			1.0	mA

注 1. D/A コンバータを 1 本利用し、使用していない D/A コンバータの DAI レジスタ (i=0, 1) の値が “00h” の場合です。A/D コンバータのラダー抵抗分は除きます。AD0CON1 レジスタの VCUT ビットを “0” (VREF 未接続) にした場合でも、IVREF は流れます。

VCC1=VCC2=3.3V

タイミング必要条件 (指定のない場合は、VCC1=VCC2=3.0V～3.6V, VSS=0V, Topr= -20～85℃)

表 24.28 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
tc	外部クロック入力サイクル時間	62.5		ns
tw(H)	外部クロック入力 “H” パルス幅	27.5		ns
tw(L)	外部クロック入力 “L” パルス幅	27.5		ns
tr	外部クロック立ち上がり時間		5	ns
tf	外部クロック立ち下がり時間		5	ns

表 24.29 タイマA入力 (イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN 入力サイクル時間	100		ns
tw(TAH)	TAiIN 入力 “H” パルス幅	40		ns
tw(TAL)	TAiIN 入力 “L” パルス幅	40		ns

i=0～4

表 24.30 タイマA入力 (タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN 入力サイクル時間	400		ns
tw(TAH)	TAiIN 入力 “H” パルス幅	200		ns
tw(TAL)	TAiIN 入力 “L” パルス幅	200		ns

i=0～4

表 24.31 タイマA入力 (ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN 入力サイクル時間	200		ns
tw(TAH)	TAiIN 入力 “H” パルス幅	100		ns
tw(TAL)	TAiIN 入力 “L” パルス幅	100		ns

i=0～4

表 24.32 タイマA入力 (パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tw(TAH)	TAiIN 入力 “H” パルス幅	100		ns
tw(TAL)	TAiIN 入力 “L” パルス幅	100		ns

i=0～4

VCC1=VCC2=3.3V

タイミング必要条件 (指定のない場合は、VCC1=VCC2=3.0V～3.6V, VSS=0V, Topr= -20～85℃)

表 24.33 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
tc(UP)	TAiOUT 入力サイクル時間	2000		ns
tw(UPH)	TAiOUT 入力 “H” パルス幅	1000		ns
tw(UPL)	TAiOUT 入力 “L” パルス幅	1000		ns
tsu(UP-TIN)	TAiOUT 入力セットアップ時間	400		ns
th(TIN-UP)	TAiOUT 入力ホールド時間	400		ns

i=0～4

表 24.34 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN 入力サイクル時間	2		μs
tsu(TAIN-TAOUT)	TAiOUT 入力セットアップ時間	500		ns
tsu(TAOUT-TAIN)	TAiIN 入力セットアップ時間	500		ns

i=0～4

表 24.35 タイマB入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN 入力サイクル時間(片エッジカウント)	100		ns
tw(TBH)	TBiIN 入力 “H” パルス幅(片エッジカウント)	40		ns
tw(TBL)	TBiIN 入力 “L” パルス幅(片エッジカウント)	40		ns
tc(TB)	TBiIN 入力サイクル時間(両エッジカウント)	200		ns
tw(TBH)	TBiIN 入力 “H” パルス幅(両エッジカウント)	80		ns
tw(TBL)	TBiIN 入力 “L” パルス幅(両エッジカウント)	80		ns

i=0～5

表 24.36 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN 入力サイクル時間	400		ns
tw(TBH)	TBiIN 入力 “H” パルス幅	200		ns
tw(TBL)	TBiIN 入力 “L” パルス幅	200		ns

i=0～5

表 24.37 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN 入力サイクル時間	400		ns
tw(TBH)	TBiIN 入力 “H” パルス幅	200		ns
tw(TBL)	TBiIN 入力 “L” パルス幅	200		ns

i=0～5

VCC1=VCC2=3.3V

タイミング必要条件 (指定のない場合は、VCC1=VCC2=3.0V ~ 3.6V, VSS=0V, Topr = -20 ~ 85 °C)

表 24.38 A/D トリガ入力

記号	項目	規格値		単位
		最小	最大	
tc(AD)	$\overline{\text{ADTRG}}$ 入力サイクル時間 (トリガ可能最小)	1000		ns
tw(ADL)	$\overline{\text{ADTRG}}$ 入力 “L” パルス幅	125		ns
tw(ADH)	$\overline{\text{ADTRG}}$ 入力 “H” パルス幅	3		ϕAD

表 24.39 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
tc(CK)	CLKi 入力サイクル時間	200		ns
tw(CKH)	CLKi 入力 “H” パルス幅	100		ns
tw(CKL)	CLKi 入力 “L” パルス幅	100		ns
td(C-Q)	TXDi 出力遅延時間		80	ns
th(C-Q)	TXDi 出力ホールド時間	0		ns
tsu(D-C)	RXDi 入力セットアップ時間	80		ns
th(C-D)	RXDi 入力ホールド時間	90		ns

i=0 ~ 4

表 24.40 外部割り込み $\overline{\text{INTi}}$ 入力 (エッジセンス)

記号	項目	規格値		単位
		最小	最大	
tw(INH)	$\overline{\text{INTi}}$ 入力 “H” パルス幅	250		ns
tw(INL)	$\overline{\text{INTi}}$ 入力 “L” パルス幅	250		ns

i=0 ~ 5

VCC1=VCC2=3.3V

タイミング必要条件 (指定のない場合は、VCC1=VCC2=3.0V ~ 3.6V, VSS=0V, Topr = -20 ~ 85 °C)

表 24.41 メモリ拡張モードおよびマイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
tac1(RD-DB)	データ入力アクセス時間(RD基準)		(注1)	ns
tac1(AD-DB)	データ入力アクセス時間(AD基準、CS基準)		(注1)	ns
tac2(RD-DB)	データ入力アクセス時間(RD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tac2(AD-DB)	データ入力アクセス時間(AD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tsu(DB-BCLK)	データ入力セットアップ時間	27		ns
tsu(RDY-BCLK)	$\overline{\text{RDY}}$ 入力セットアップ時間	30		ns
tsu(HOLD-BCLK)	$\overline{\text{HOLD}}$ 入力セットアップ時間	40		ns
th(RD-DB)	データ入力ホールド時間	0		ns
th(BCLK-RDY)	$\overline{\text{RDY}}$ 入力ホールド時間	0		ns
th(BCLK-HOLD)	$\overline{\text{HOLD}}$ 入力ホールド時間	0		ns
td(BCLK-HLDA)	$\overline{\text{HLDA}}$ 出力遅延時間		25	ns

注1. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。ただし、計算値が負の値になる場合は、ウェイトを入れるか、動作周波数f(BCLK)をさらに低くしてください。

$$tac1(RD-DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=(b \times 2) + 1)$$

$$tac1(AD-DB) = \frac{10^9 \times n}{f(BCLK)} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=a + b)$$

$$tac2(RD-DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=(b \times 2) - 1)$$

$$tac2(AD-DB) = \frac{10^9 \times p}{f(BCLK) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} p=\{(a + b - 1) \times 2\} + 1)$$

VCC1=VCC2=3.3V

スイッチング特性(指定のない場合は、VCC1=VCC2=3.0V～3.6V, VSS=0V, Topr= -20～85℃)

表 24.42 メモリ拡張モードおよびマイクロプロセッサモード(外部メモリ領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図 24.2 参照		18	ns
th(BCLK-AD)	アドレス出力保持時間(BCLK基準)		0		ns
th(RD-AD)	アドレス出力保持時間(RD基準)(注3)		0		ns
th(WR-AD)	アドレス出力保持時間(WR基準)(注3)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間(BCLK基準)		0		ns
th(RD-CS)	チップセレクト出力保持時間(RD基準)(注3)		0		ns
th(WR-CS)	チップセレクト出力保持時間(WR基準)(注3)		(注1)		ns
td(BCLK-RD)	RD出力遅延時間			18	ns
th(BCLK-RD)	RD出力保持時間		-3		ns
td(BCLK-WR)	WR出力遅延時間			18	ns
th(BCLK-WR)	WR出力保持時間		0		ns
td(DB-WR)	データ出力遅延時間(WR基準)		(注2)		ns
th(WR-DB)	データ出力保持時間(WR基準)(注3)		(注1)		ns
tw(WR)	WR出力幅		(注2)		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(WR-DB) = \frac{10^9}{f(BCLK) \times 2} - 15 \text{ [ns]}$$

$$th(WR-AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

注2. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(DB-WR) = \frac{10^9 \times m}{f(BCLK)} - 20 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=b)$$

$$tw(WR) = \frac{10^9 \times n}{f(BCLK) \times 2} - 15 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=(b \times 2) - 1)$$

注3. リカバリサイクル挿入時はtc時間延長されます。

VCC1=VCC2=3.3V

スイッチング特性(指定のない場合は、VCC1=VCC2=3.0V ~ 3.6V, VSS=0V, Topr= -20 ~ 85℃)

表 24.43 メモリ拡張モードおよびマイクロプロセッサモード
(外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図 24.2 参照		18	ns
th(BCLK-AD)	アドレス出力保持時間(BCLK基準)		0		ns
th(RD-AD)	アドレス出力保持時間(RD基準)(注5)		(注1)		ns
th(WR-AD)	アドレス出力保持時間(WR基準)(注5)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間(BCLK基準)		0		ns
th(RD-CS)	チップセレクト出力保持時間(RD基準)(注5)		(注1)		ns
th(WR-CS)	チップセレクト出力保持時間(WR基準)(注5)		(注1)		ns
td(BCLK-RD)	RD出力遅延時間			18	ns
th(BCLK-RD)	RD出力保持時間		-3		ns
td(BCLK-WR)	WR出力遅延時間			18	ns
th(BCLK-WR)	WR出力保持時間		0		ns
td(DB-WR)	データ出力遅延時間(WR基準)		(注2)		ns
th(WR-DB)	データ出力保持時間(WR基準)(注5)		(注1)		ns
td(BCLK-ALE)	ALE信号出力遅延時間(BCLK基準)			18	ns
th(BCLK-ALE)	ALE信号出力保持時間(BCLK基準)		-2		ns
td(AD-ALE)	ALE信号出力遅延時間(アドレス基準)		(注3)		ns
th(ALE-AD)	ALE信号出力保持時間(アドレス基準)		(注4)		ns
tdz(RD-AD)	アドレス出力フローティング開始時間			8	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(RD-AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(RD-CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR-DB) = \frac{10^9}{f(BCLK) \times 2} - 15 \text{ [ns]}$$

注2. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(DB-WR) = \frac{10^9 \times m}{f(BCLK) \times 2} - 25 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} m=(b \times 2) - 1)$$

注3. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(AD-ALE) = \frac{10^9 \times n}{f(BCLK) \times 2} - 20 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=a)$$

注4. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$th(ALE-AD) = \frac{10^9 \times n}{f(BCLK) \times 2} - 10 \text{ [ns]} \quad (\text{外部領域バスサイクル } a\phi + b\phi \text{ の場合、} n=a)$$

注5. リカバリサイクル挿入時はtc時間延長されます。

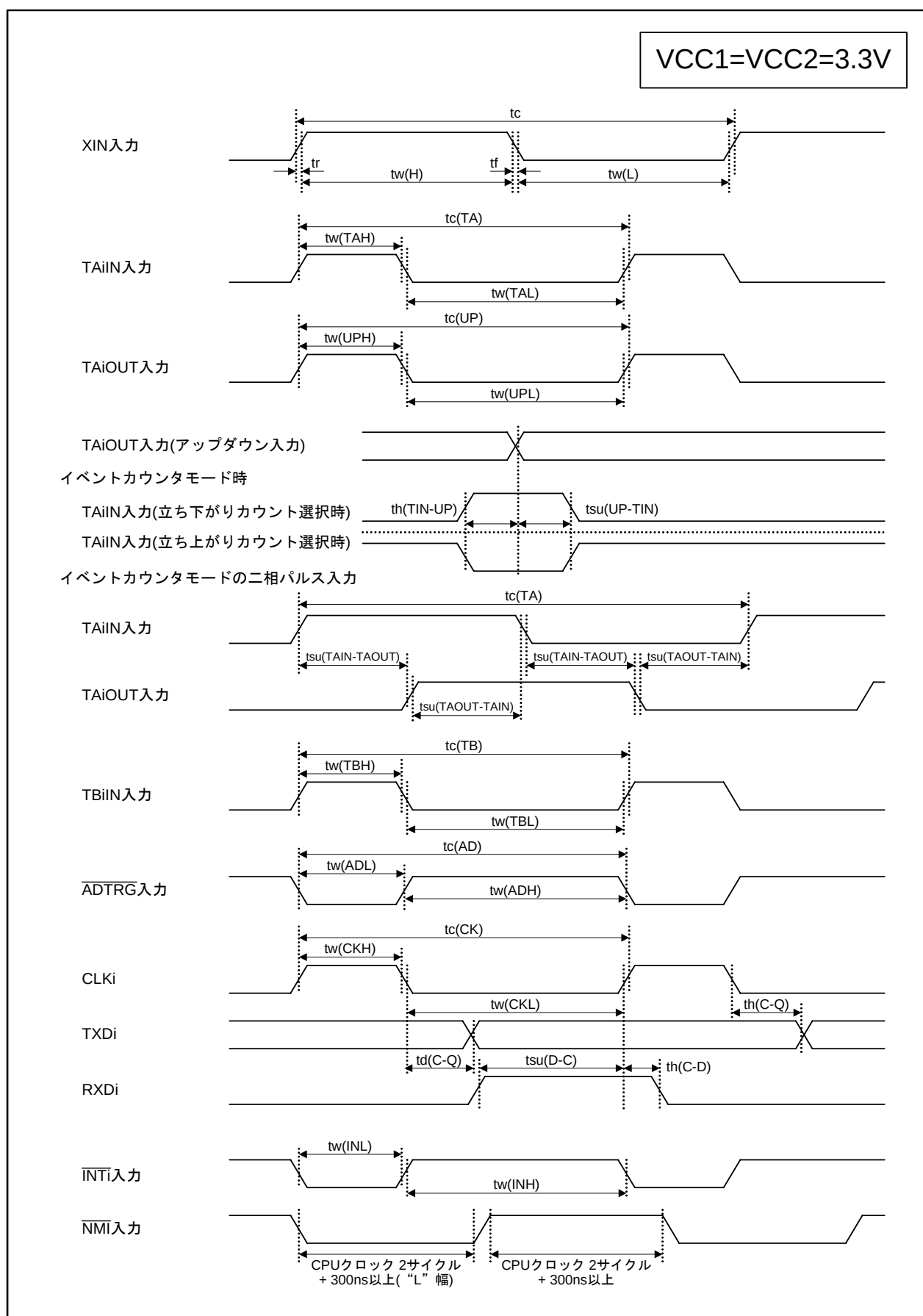


図 24.7 VCC1=VCC2=3.3V時のタイミング図(1)

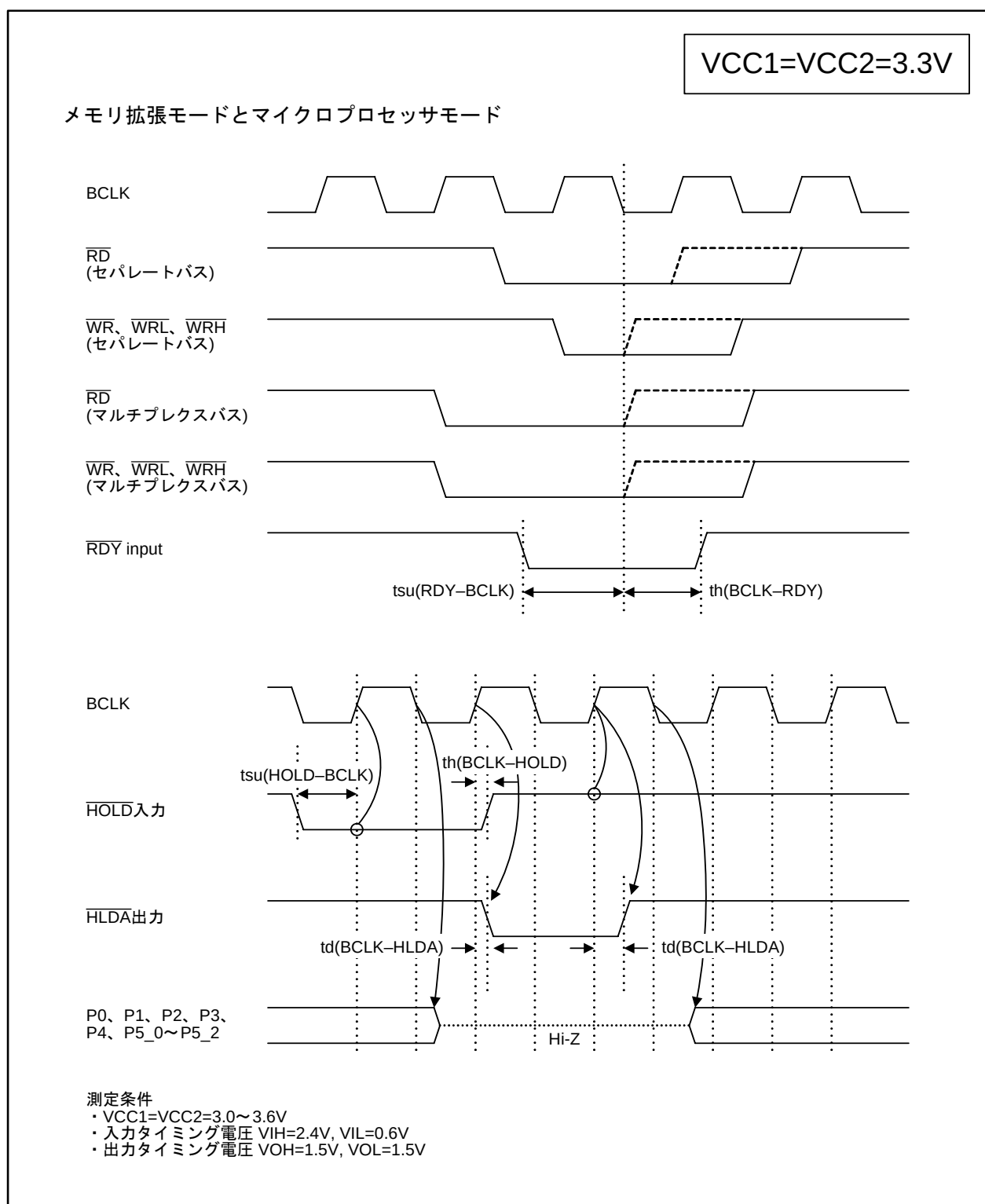
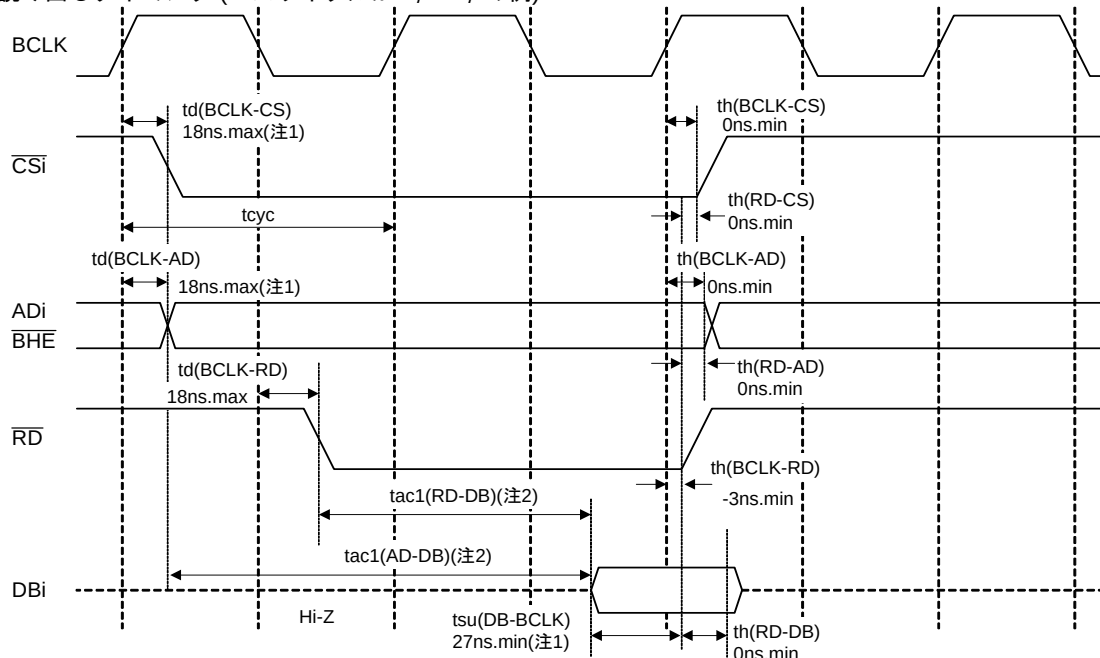


図 24.8 VCC1=VCC2=3.3V時のタイミング図(2)

メモリ拡張モードとマイクロプロセッサモード
(外部メモリ領域をアクセスした場合)

VCC1=VCC2=3.3V

読み出しタイミング (バスサイクルが1φ+1φの例)



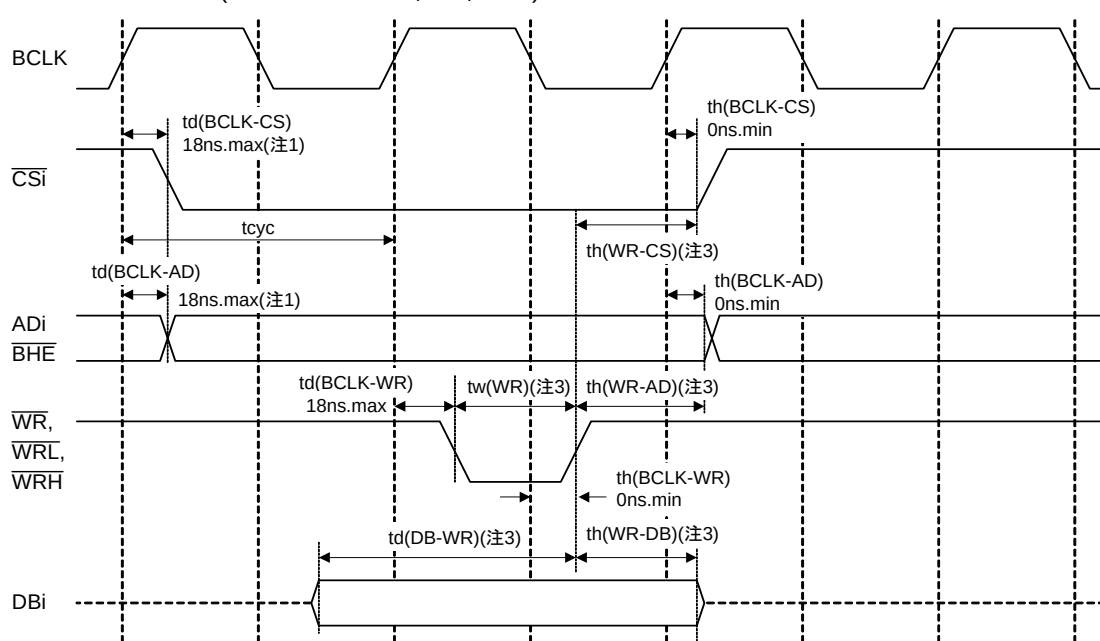
注1. 単独での保証値です。td(BCLK-AD)+tsu(DB-BCLK)としては、35ns.maxの保証になります。

注2. 動作周波数に依存します。

$tac1(RD-DB)=(tcyc/2 \times m - 35)ns.max$ (外部領域バスサイクルがaφ+bφの場合、m=(bx2)+1)

$tac1(AD-DB)=(tcyc \times n - 35)ns.max$ (外部領域バスサイクルがaφ+bφの場合、n=a+b)

書き込みタイミング (バスサイクルが1φ+1φの例)



注3. 動作周波数に依存します。

$td(DB-WR)=(tcyc \times m - 20)ns.min$ (外部領域バスサイクルがaφ+bφの場合、m=b)

$th(WR-DB)=(tcyc/2 - 15)ns.min$

$th(WR-AD)=(tcyc/2 - 10)ns.min$

$th(WR-CS)=(tcyc/2 - 10)ns.min$

$tw(WR)=(tcyc/2 \times n - 15)ns.min$ (外部領域バスサイクルがaφ+bφの場合、n=(bx2)-1)

測定条件

- VCC1=VCC2=3.0~3.6V
- 入力判定電圧 $V_{IH}=1.5V$, $V_{IL}=0.5V$
- 出力判定電圧 $V_{OH}=1.5V$, $V_{OL}=1.5V$

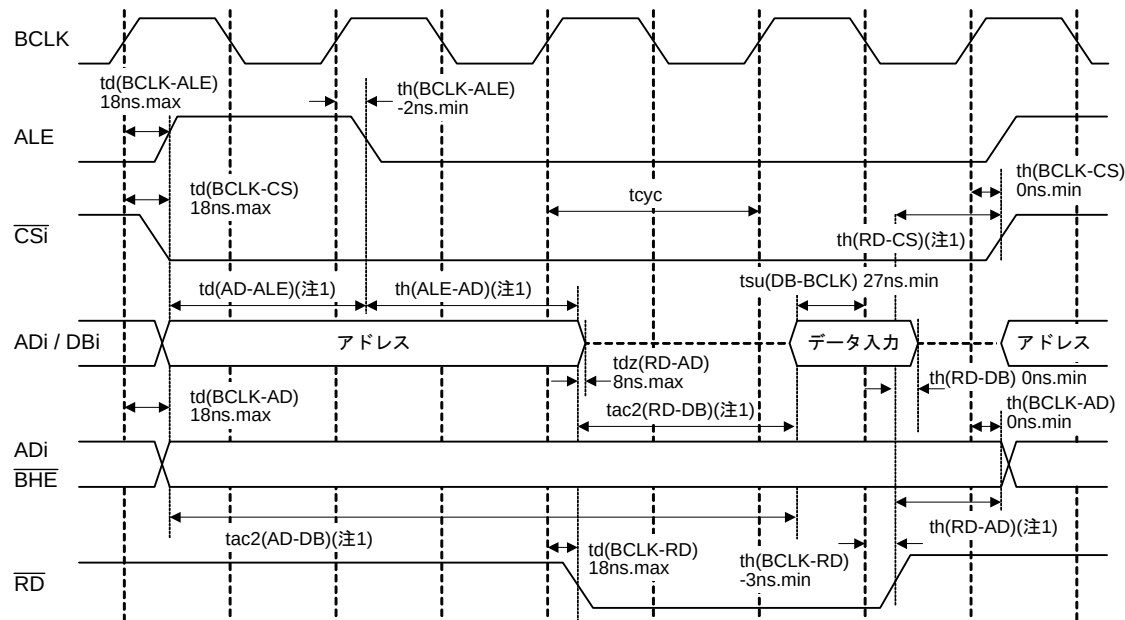
$$tcyc = \frac{10^9}{f(BCLK)}$$

図 24.9 VCC1=VCC2=3.3V時のタイミング図(3)

メモリ拡張モードとマイクロプロセッサモード
(外部メモリ領域をアクセスし、かつマルチプレクスバスを使用した場合)

VCC1=VCC2=3.3V

読み出しタイミング (バスサイクルが2φ+2φの例)



注1. 動作周波数に依存します。

$td(AD-ALE)=(tcyc/2 \times n - 20)ns.min$ (外部領域バスサイクルがaφ + bφの場合、n = a)

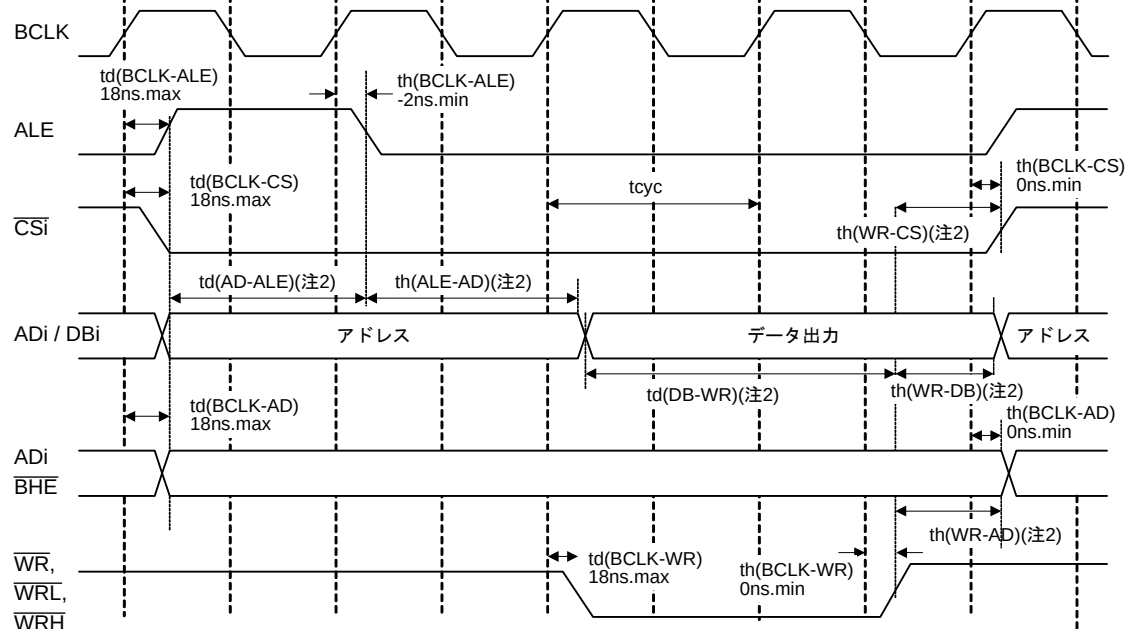
$th(ALE-AD)=(tcyc/2 \times n - 10)ns.min$ (外部領域バスサイクルがaφ + bφの場合、n = a)

$th(RD-AD)=(tcyc/2 - 10)ns.min$, $th(RD-CS)=(tcyc/2 - 10)ns.min$

$tac2(RD-DB)=(tcyc/2 \times m - 35)ns.max$ (外部領域バスサイクルがaφ + bφの場合、m = (b × 2) - 1)

$tac2(AD-DB)=(tcyc/2 \times p - 35)ns.max$ (外部領域バスサイクルがaφ + bφの場合、p = {(a + b - 1) × 2} + 1)

書き込みタイミング (バスサイクルが2φ+2φの例)



注2. 動作周波数に依存します。

$td(AD-ALE)=(tcyc/2 \times n - 20)ns.min$ (外部領域バスサイクルがaφ + bφの場合、n = a)

$th(ALE-AD)=(tcyc/2 \times n - 10)ns.min$ (外部領域バスサイクルがaφ + bφの場合、n = a)

$th(WR-AD)=(tcyc/2 - 10)ns.min$, $th(WR-CS)=(tcyc/2 - 10)ns.min$, $th(WR-DB)=(tcyc/2 - 15)ns.min$

$td(DB-WR)=(tcyc/2 \times m - 25)ns.min$ (外部領域バスサイクルがaφ + bφの場合、m = (b × 2) - 1)

測定条件

・ VCC1=VCC2=3.0~3.6V

・ 入力判定電圧 VIH=1.5V, VIL=0.5V

・ 出力判定電圧 VOH=1.5V, VOL=1.5V

$$tcyc = \frac{10^9}{f(BCLK)}$$

図 24.10 VCC1=VCC2=3.3V時のタイミング図(4)

25. 使用上の注意事項

25.1 電源

25.1.1 電源立ち上げ

電源投入時、VCC1端子に入力される電圧がSVCCの規格を満たすようにしてください。

(テクニカルアップデート番号：TN-M16C-116-0311)

表 25.1 電源電圧立ち上がり勾配

記号	項目	規格値			単位
		最小	標準	最大	
SVCC	電源電圧立ち上がり勾配(電圧範囲0V～2.0V)	0.05			V/ms

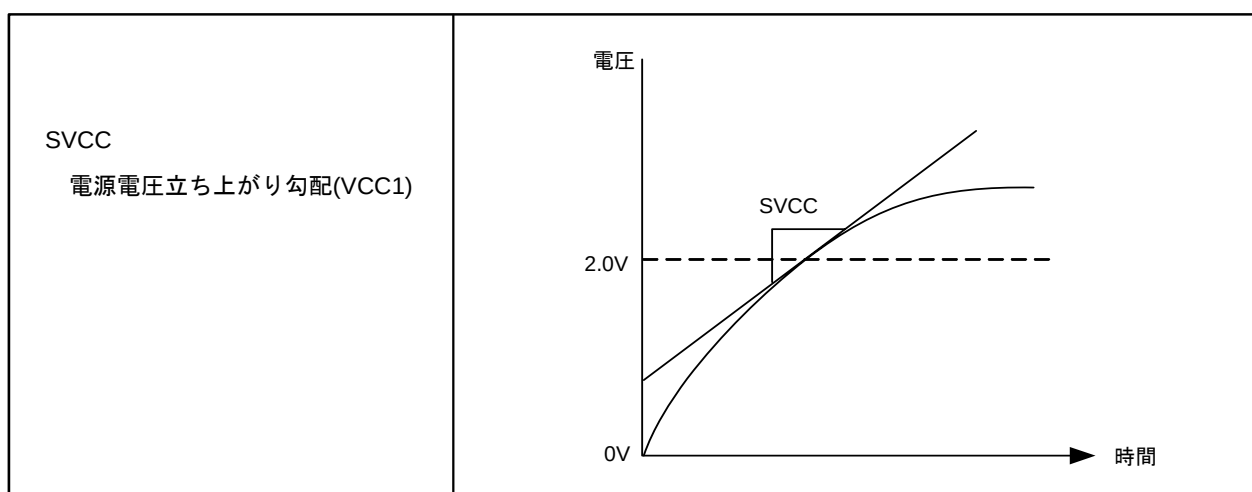


図 25.1 SVCCのタイミング図

25.1.2 電源リップル

表 25.2 の規格を満たすように電源電圧を安定させてください。

表 25.2 電源リップル

記号	項目		規格値			単位
			最小	標準	最大	
f(ripple)	電源リップル許容周波数(VCC1)				10	kHz
Vp-p(ripple)	電源リップル許容振幅電圧	(VCC1=5V時)			0.5	V
		(VCC1=3.3V時)			0.3	V
VCC ($ \Delta V/\Delta T $)	電源リップル 立ち上がり／立ち下がり勾配	(VCC1=5V時)			0.3	V/ms
		(VCC1=3.3V時)			0.3	V/ms

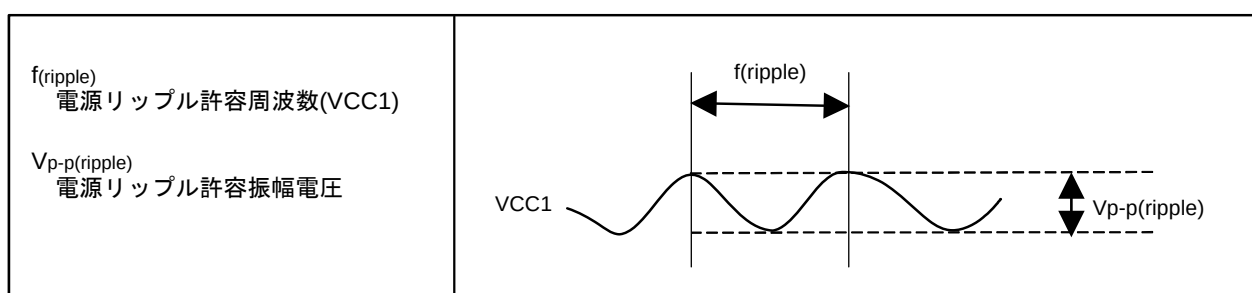


図 25.2 電源変動のタイミング図

25.1.3 ノイズ対策

ノイズ対策として、VCC 端子と VSS 端子間にバイパスコンデンサ ($0.1\mu\text{F}$ 以上) を最短距離でかつ、比較的太い配線を使って接続してください。

25.2 SFR

25.2.1 100ピン版の注意事項

100ピン版では、03CBh、03CEh、03CFh、03D2h、03D3h番地の領域は、リセット後“FFh”にしてください。03DCh番地の領域は、リセット後“00h”にしてください。

25.2.2 レジスタ設定時の注意事項

表25.3に書き込みのみ可能なビットを含むレジスタを示します。これらのレジスタに値を設定する場合、リードモディファイライト命令は使用できません。リードモディファイライト命令は、対象アドレスの値を読み、その値を変更して書き戻す命令です。表25.4にリードモディファイライト命令を示します。前回の値を加工して次の値を決める場合は、レジスタに書く値をRAMにも書いておき、次の値はRAMの内容を変更した後、レジスタに転送してください。

表 25.3 書き込みのみ可能なビットを含むレジスタ

レジスタ名	番地	レジスタ名	番地
WDTS レジスタ	000Eh	U3TB レジスタ	032Bh – 032Ah
U1BRG レジスタ	02E9h	U2BRG レジスタ	0339h
U1TB レジスタ	02EBh – 02EAh	U2TB レジスタ	033Bh – 033Ah
U4BRG レジスタ	02F9h	UDF レジスタ	0344h
U4TB レジスタ	02FBh – 02FAh	TA0 レジスタ (注1)	0347h – 0346h
TA11 レジスタ	0303h – 0302h	TA1 レジスタ (注1)	0349h – 0348h
TA21 レジスタ	0305h – 0304h	TA2 レジスタ (注1)	034Bh – 034Ah
TA41 レジスタ	0307h – 0306h	TA3 レジスタ (注1)	034Dh – 034Ch
DTT レジスタ	030Ch	TA4 レジスタ (注1)	034Fh – 034Eh
ICTB2 レジスタ	030Dh	U0BRG レジスタ	0369h
U3BRG レジスタ	0329h	U0TB レジスタ	036Bh – 036Ah

注1. ワンショットタイマモード時とパルス幅変調モード時のみ

表 25.4 リードモディファイライト命令

機能	ニーモニック
転送	MOVDir
ビット処理	BCLR、BMCnd、BNOT、BSET、BTSTC、BTSTS
シフト	ROLC、RORC、ROT、SHA、SHANC、SHL、SHLNC
算術	ABS、ADC、ADCF、ADD、ADDX、DADC、DADD、DEC、DSBB、DSUB、EXTS、INC、MUL、MULEX、MULU、NEG、SBB、SUB、SUBX
論理	AND、NOT、OR、XOR
ジャンプ	ADJNZ、SBJNZ

25.3 プロセッサモード

- アドレスバス、データバス、チップセレクトやリードなどのバス制御端子と共用しているポートは、シングルチップモードに移行してから、ポートレジスタおよび方向レジスタを設定してください。
(テクニカルアップデート番号：TN-M16C-49-0003)
- PM0 レジスタのPM01～PM00 ビットを書き換えると、CNVSS端子の入力レベルにかかわらず、PM01～PM00 ビットに対応するモードになります。PM01～PM00 ビットを“01b”（メモリ拡張モード）または、“11b”（マイクロプロセッサモード）に書き換える場合、PM07～PM02 ビットと同時に書き換えないでください。PM07、PM05～PM04、PM02 ビット、PM1 レジスタのPM15～PM14、PM11～PM10 ビットを設定した後に、PM01～PM00 ビットを設定してください。
- マイクロプロセッサモードで起動する場合、内部ROMは読めません。

25.4 バス

25.4.1 $\overline{\text{HOLD}}$ 入力

シングルチップモードからメモリ拡張モード、またはマイクロプロセッサモードに変更し、かつ $\overline{\text{HOLD}}$ 入力を使用する場合、PD4レジスタのPD4_0～PD4_7ビットとPD5レジスタのPD5_0～PD5_2ビットをすべて“0”(入力モード)にした後、PM01～PM00ビットを“01b”(メモリ拡張モード)、または“11b”(マイクロプロセッサモード)にしてください。

(テクニカルアップデート番号：TN-M16C-59-0007)

25.5 クロック発生回路

25.5.1 メインクロック

- XIN 端子に外部で生成したクロックを入力して、CPU クロックにメインクロックを選択している場合、外部で生成したクロックを停止させないでください。
(テクニカルアップデート番号 : TN-M16C-109-0309)
- XIN 端子への入力クロックを CPU クロックに使用している場合、CM0 レジスタの CM05 ビットを “1” (停止) にしないでください。

25.5.2 サブクロック

25.5.2.1 サブクロック発振時

サブクロックを発振させる場合、CM0 レジスタの CM07 ビットを “0” (サブクロック以外のクロック)、かつ CM03 ビットを “1” (XCIN-XCOUT 駆動能力 High) にした後、CM0 レジスタの CM04 ビットを “1” (サブクロック発振) にしてください。サブクロックの発振が安定した後、CM03 ビットを “0” (XCIN-XCOUT 駆動能力 Low) にしてください。

上記の設定を行った後、CPU クロック、またはタイマ A、タイマ B のカウントソースにサブクロックを設定してください。

(テクニカルアップデート番号 : TN-16C-119A/JA)

25.5.2.2 発振回路定数のマッチングの確認

サブクロック発振回路の発振回路定数のマッチングを駆動能力 High でのみ確認している場合、駆動能力 Low のマッチングも確認してください。

発振回路定数のマッチングに関しては発振子メーカーにお問い合わせください。

25.5.3 クロック分周比

MCD レジスタの MCD4 ~ MCD0 ビットを変更する場合、PM1 レジスタの PM12 ビットを “0” (内部メモリウェイトなし) にしてください。

25.5.4 パワーコントロール

CPU クロックのクロック源をメインクロックまたはサブクロック、PLL クロックに切り替えるときは、各クロックの発振が安定してから切り替えてください。

フラッシュメモリ版で CPU クロック周波数を 20MHz 以上にする場合、MCD レジスタの MCD4 ~ MCD0 ビットを “00010b” (2 分周モード) にしてから “10010b” (分周なしモード) に設定してください。また、分周なしモードに設定する命令の後に NOP 命令を 8 つ以上入れてください。

25.5.4.1 ウェイトモード

- ウェイトモードに移行する場合、命令キューに WAIT 命令より後の命令が取り込まれて、プログラムが停止します。WAIT 命令の後には NOP を最低 4 つ入れてください。
- ウェイトモードに移行する場合、 $\overline{\text{NMI}}$ 端子が “H” の状態で WAIT 命令を実行してください。

25.5.4.2 ストップモード

- $\overline{\text{NMI}}$ 端子に “L” が入力されてる場合、ストップモードへ移行しません。ストップモードに移行する場合、 $\overline{\text{NMI}}$ 端子に “H” を入力してください。
- ストップモードからリセットによって復帰する場合、メインクロックの発振が十分に安定するまで $\overline{\text{RESET}}$ 端子に “L” を入力してください。
- ストップモードからの復帰に $\overline{\text{NMI}}$ 割り込みを使用する場合、以下の手順で CM1 レジスタの CM10 ビットを “1” (全クロック停止) にしてください。
(テクニカルアップデート番号 : TN-16C-127A/JA)

- (1) $\overline{\text{NMI}}$ 割り込みでストップモードから復帰する
- (2) ダミー割り込みを発生させる
- (3) CM10 ビットを “1” にする

```
例)      int    #63          ; ダミー割り込み
          bset   CM1         ; 全クロック停止

          /* ダミー割り込み処理 */
          dummy
          reit
```

- ストップモードに移行する場合、命令キューに CM1 レジスタの CM10 ビットを “1” (全クロック停止) にする命令より後の命令が取り込まれてから、プログラムが停止します。ストップモードから復帰したとき、命令キューに取り込まれている命令を実行してから復帰用割り込みルーチンが実行されます。
CM10 ビットを “1” にする命令の後には次のように JMP.B 命令を入れてください。
(テクニカルアップデート番号 : TN-16C-124A/JA)

```
          fset   I           ; I フラグを “1” にする
          bset  0, cm1       ; 全クロック停止 (ストップモード)
          jmp.b LABEL_001    ; jmp.b 命令実行 (jmp.b とラベルの間には命令を
LABEL_001:                  ; 入れないですぐ次の命令にジャンプする)
          nop             ; nop(1)
          nop             ; nop(2)
          nop             ; nop(3)
          nop             ; nop(4)
          mov.b #0, prcr     ; プロテクト設定
          .
          .
          .
```

25.5.4.3 消費電力を小さくするためのポイント

システム設計やプログラムを作成するときに参考にしてください。

端子処理：

- フローティング状態の入力端子には貫通電流が流れることがあります。未使用端子は入力モードに設定し、端子ごとに抵抗を介してVSSに接続（プルダウン）するか、または出力モードに設定し、端子を開放してください。

A/D コンバータ：

- A/D 変換を行わない場合、AD0CON1 レジスタの VCUT ビットを “0” (VREF 未接続) にしてください。なお、A/D 変換を行う場合、VCUT ビットを “1” (VREF 接続) にしてから $1\mu\text{s}$ 以上経過した後、A/D 変換を開始させてください。

D/A コンバータ：

- D/A 変換を行わない場合、DACON レジスタの DAiE ビット ($i = 0,1$) を “0” (出力禁止) にし、DAi レジスタを “00h” にしてください。

周辺機能の停止：

- メインクロックモード、オンチップオシレータモード、オンチップオシレータ低消費電力モードからウェイトモードへ移行する時、CM0 レジスタの CM02 ビットで周辺機能クロック源 (fPFC) を停止することにより、消費電力を低減させることができます。ただし、fC32 は停止しません。
- 低速モードまたは低消費電力モードから、ウェイトモードに移行する場合は、CM02 ビットを “0” (ウェイトモード時、周辺機能クロック停止しない) にしてウェイトモードに移行してください。
(テクニカルアップデート番号：TN-M16C-69-0103)

25.6 プロテクト

PRCR レジスタの PRC2 ビットを “1” (書き込み許可) にした後、SFR 領域に書き込みを実行すると “0” (書き込み禁止) になります。PRC2 ビットで保護されるレジスタは PRC2 ビットを “1” にした次の命令で変更してください。PRC2 ビットを “1” にする命令と次の命令の間に割り込みや DMA 転送、DMACII 転送が入らないようにしてください。

25.7 割り込み

25.7.1 ISPの設定

リセット後、ISPは“000000h”に初期化されています。そのため、ISPに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、ISPに値を設定してください。ISPには偶数番地を設定してください。偶数を設定した方が割り込みシーケンスの実行速度が速くなります。

特に、 $\overline{\text{NMI}}$ 割り込みを使用する場合は、プログラムの先頭でISPを設定してください。 $\overline{\text{NMI}}$ 割り込みは、リセット後、1命令を実行した直後から受け付けられます。

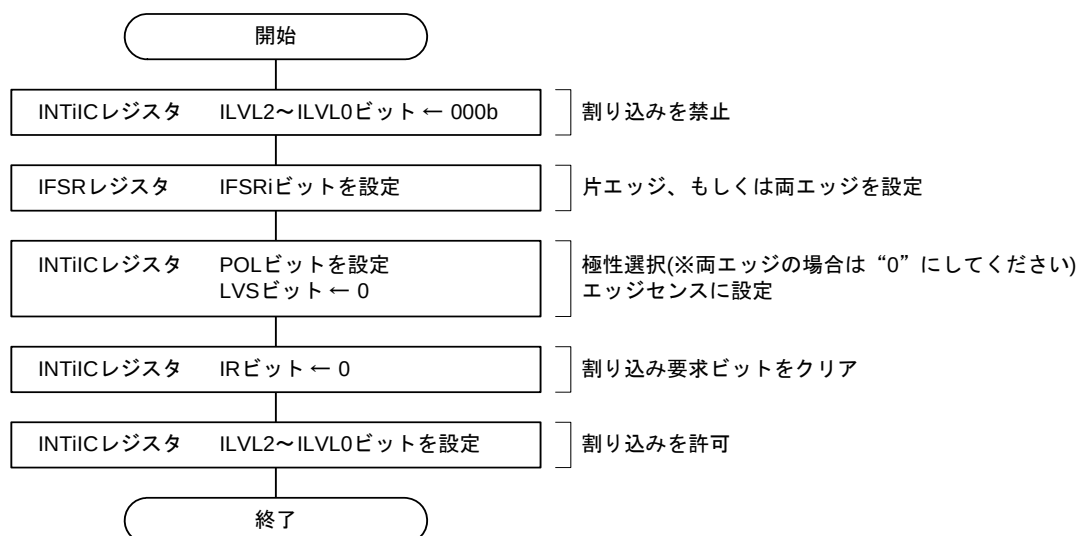
25.7.2 $\overline{\text{NMI}}$ 割り込み

- $\overline{\text{NMI}}$ 割り込みは、禁止できません。 $\overline{\text{NMI}}$ 割り込みを使用しない場合は、 $\overline{\text{NMI}}$ 端子に抵抗を介してVCC1に接続してください。
- $\overline{\text{NMI}}$ 端子は、P8レジスタのP8_5ビットを読むことで、端子に入力されている電圧のレベルが読めます。P8_5ビットは、 $\overline{\text{NMI}}$ 割り込みが発生した後、端子のレベルを判定する場合のみ読んでください。

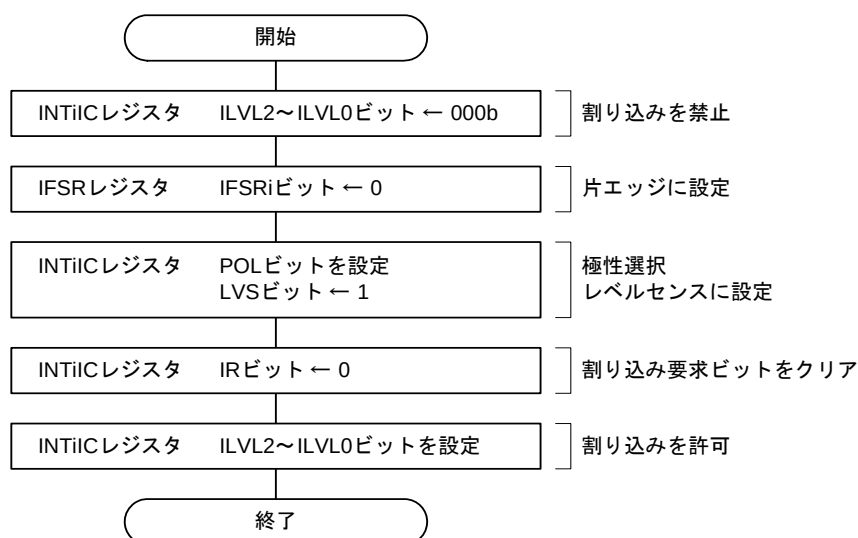
25.7.3 $\overline{\text{INT}}$ 割り込み

- エッジセンスの場合、 $\overline{\text{INT0}} \sim \overline{\text{INT5}}$ 端子に入力する信号には、CPUクロックに関係なく250ns以上の“L”幅、または“H”幅が必要です。
- レベルセンスの場合、 $\overline{\text{INT0}} \sim \overline{\text{INT5}}$ 端子に入力する信号には、CPUクロックの1クロック+200ns以上の“L”幅、または“H”幅が必要です。(例：CPUクロックが30MHz、分周なしの場合は、234ns以上必要です。)
- $\overline{\text{INT0}} \sim \overline{\text{INT5}}$ 端子の極性を切り替えるときにINTiICレジスタ(i=0~5)のIRビットが“1”(割り込み要求あり)になることがあります。切り替えた後、IRビットを“0”(割り込み要求なし)にしてください。図25.3に $\overline{\text{INTi}}$ 割り込み(i=0~5)発生要因の設定手順を示します。

<エッジセンスの設定手順>



<レベルセンスの設定手順>



i=0~5

図 25.3 INTi割り込み(i=0~5)発生要因の設定手順

25.7.4 割り込み制御レジスタの変更

割り込みが禁止状態で割り込み制御レジスタを変更するときには、次のようにしてください。

- **IR ビットの変更** : IR ビットを “0” (割り込み要求なし) にするとき、使用する命令によっては IR ビットが “0” にならないことがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。(テクニカルアップデート番号 : TN-M16C-85-0202)

MOV

- **IR ビット以外のビット変更** : 命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IR ビットが “1” (割り込み要求あり) にならずに割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

AND、OR、BCLR、BSET

25.7.5 RLVL レジスタの変更

リセット後、DMAII ビットは不定です。割り込みで使用する場合は、DMAII ビットを “0” (割り込み優先レベル7は割り込みに使用) にしてから割り込み制御レジスタを設定してください。

25.8 DMAC

- DMAC 関連レジスタを設定する場合は、設定するチャンネルの MDi1 ~ MDi0 ビット (i=0 ~ 3) が “00b” (DMA 禁止) の状態で設定し、最後に MDi1 ~ MDi0 ビットで “01b” (単転送) または “11b” (リピータ転送) を選択してください。これによって、そのチャンネルの DMA 要求が受付可能となります。
- DMiSL レジスタを設定する場合は、DRQ ビットに “1” (要求あり) を書いてください。
M32C/80 シリーズでは、DMA 要求が発生した場合、そのチャンネルが受け付けられない状態 (注 1) であれば DMA 転送は実行せず、その DRQ ビットは “0” になります。

注 1. MDi1 ~ MDi0 ビットが “00b”、または DCTi レジスタが “0000h” (転送回数 0)

- ソフトウェアトリガで DMA 転送を行う場合、DMiSL レジスタの DSR ビットと DRQ ビットを、同時に “1” にしてください。
例) OR.B #0A0h, DMiSL ; DSR ビットと DRQ ビットを同時に “1” にする
- チャンネル i の DCTi レジスタが “1” (転送回数 1) の場合、チャンネル i に対応する DMDj レジスタ (j=0,1) の MDi1 ~ MDi0 ビットに “01b” (単転送) または “11b” (リピータ転送) を書くタイミングで、チャンネル i の DMA 要求が発生しないようにしてください。
(テクニカルアップデート番号: TN-M16C-88-0207)
- DMA 関連レジスタ設定後に、DMA 要求要因となる周辺機能を設定してください。
DMA 要求要因に $\overline{\text{INT}}$ 割り込みを選択した場合、DCTi レジスタに “1” を書かないでください。
- DMiSL レジスタ (i=0 ~ 3) を設定した後、CPU クロックの 6 クロック以上待つて DMA を許可 (注 2) してください。

注 2. DMA 許可とは、DMDj レジスタ (j=0, 1) の MDi1 ~ MDi0 ビットを “00b” (DMA 禁止) から、“01b” (単転送)、または “11b” (リピータ転送) に設定することを表します。

25.9 タイマ

25.9.1 タイマA、タイマB共通

リセット後、タイマは停止しています。モードやカウントソース、カウンタの値を設定した後、TABSRレジスタまたはTBSRレジスタの、TAiS(i=0~4)ビットまたはTBjS(j=0~5)ビットを“1”(カウント開始)にしてください。

次のレジスタ、ビットは、TAiSビットまたはTBjSビットが“0”(カウント停止)の状態、変更してください。

- TAiMR、TBjMRレジスタ
- UDFレジスタ
- ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット
- TRGSRレジスタ

25.9.2 タイマA

25.9.2.1 タイマA(タイマモード)

- リセット後、TABSRレジスタのTAiSビット(i=0~4)は“0”(カウント停止)です。動作モードを選択し、TAiレジスタに値を設定した後、TAiSビットを“1”(カウント開始)にしてください。
- カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。また、カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

25.9.2.2 タイマA(イベントカウンタモード)

- リセット後、TABSRレジスタのTAiSビット(i=0~4)は“0”(カウント停止)です。動作モードを選択し、TAiレジスタに値を設定した後、TAiSビットを“1”(カウント開始)にしてください。
- カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、アンダフロー時は“FFFFh”が、オーバフロー時は“0000h”が読めます。カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

25.9.2.3 タイマA (ワンショットタイマモード)

- リセット後、TABSR レジスタのTAiS ビット (i=0~4) は “0” (カウント停止) です。動作モードを選択し、TAi レジスタに値を設定した後、TAiS ビットを “1” (カウント開始) にしてください。
- カウント中に TABSR レジスタを “0” (カウント停止) にすると次のようになります。
 - カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
 - TAiOUT 端子は “L” を出力します。
 - CPU クロックの1クロック後、TAiIC レジスタのIR ビットが “1” (割り込み要求あり) になります。
- ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN 端子へのトリガ入力からワンショットタイマの出力までに、最大カウントソースの1クロック分の遅延が生じます。
- 次のいずれかでタイマの動作モードを設定した場合、IR ビットが “1” になります。
 - リセット後、ワンショットタイマモードを選択したとき
 - 動作モードをタイマモードからワンショットタイマモードに変更したとき
 - 動作モードをイベントカウンタモードからワンショットタイマモードに変更したときしたがって、タイマ Ai 割り込み (IR ビット) を使用する場合は、上記の設定を行った後、IR ビットを “0” にしてください。
- カウント中にトリガが発生した場合は、カウンタは1回ダウンカウントした後、リロードレジスタをリロードしてカウントを続けます。カウント中にトリガが発生させる場合は、前回のトリガの発生からタイマのカウントソースの1クロック以上経過した後に、再トリガを発生させてください。
- タイマAワンショットタイマモードでカウント開始条件に外部トリガ入力を選択している場合、タイマAのカウント値が “0000h” になる前の300nsの間に外部トリガを再入力しないでください。ワンショットタイマがカウントを継続しないで停止する場合があります。
(テクニカルアップデート番号 : TN-16C-125A/JA)

25.9.2.4 タイマA (パルス幅変調モード)

- リセット後、TABSR レジスタのTAiS ビット (i=0~4) は “0” (カウント停止) です。動作モードを選択し、TAi レジスタに値を設定した後、TAiS ビットを “1” (カウント開始) にしてください。
- 次のいずれかでタイマの動作モードを設定した場合、IR ビットが “1” になります。
 - リセット後、PWM モードを選択したとき
 - 動作モードをタイマモードから PWM モードに変更したとき
 - 動作モードをイベントカウンタモードから PWM モードに変更したときしたがって、タイマ Ai 割り込み (IR ビット) を使用する場合は、上記の設定を行った後、プログラムで IR ビットを “0” にしてください。
- PWM パルスを出力中に TAiS ビットを “0” (カウント停止) にすると次のようになります。
 - カウンタはカウントを停止します。
 - TAiOUT 端子から “H” を出力している場合は、出力レベルは “L” になり、IR ビットが “1” になります。
 - TAiOUT 端子から “L” を出力している場合は、出力レベルは変化せず、IR ビットも変化しません。

25.9.3 タイマB

25.9.3.1 タイマB (タイマモード、イベントカウンタモード)

- リセット後、TBiS ビット (i=0～5) は “0” (カウント停止) です。動作モードを選択し、TBi レジスタに値を設定した後、TBiS ビットを “1” (カウント開始) にしてください。
TB2S～TB0S ビットは TABSR レジスタのビット 7～5、TB5S～TB3S ビットは TBSR レジスタのビット 7～5 です。
- カウント中のカウンタの値は、TBi レジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh” が読めます。カウント停止中に TBi レジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

25.9.3.2 タイマB (パルス周期測定 / パルス幅測定モード)

- MR3 ビットを “0” (オーバフローなし) にするには、TBiS ビットが “1” (カウント開始) の状態で、MR3 ビットが “1” (オーバフローあり) になった後、カウントソース 1 クロック以上待ってから TBiMR レジスタに書いてください。
(テクニカルアップデート番号 : TN-M16C-75-0108)
- オーバフローだけの検出には TBiIC レジスタの IR ビットを使用してください。MR3 ビットは、割り込みルーチンで割り込み要因を判断するときだけ使用してください。
- カウント開始後、1 回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマ Bi 割り込み要求は発生しません。
- カウント開始時のカウンタの値は不定です。したがって、カウント開始後、有効エッジが入力されるまでに、MR3 ビットが “1” になり、タイマ Bi 割り込み要求が発生する可能性があります。
- カウント開始後に TBiMR レジスタの MR1～MR0 ビットを変更すると、IR ビットが “1” (割り込み要求あり) になることがあります。MR1～MR0 ビットに以前と同じ値を書き込んだ場合は、IR ビットは変化しません。
- パルス幅測定は、連続してパルス幅を測定します。測定結果が “H” であるか “L” であるかプログラムで判断してください。
- パルス周期測定モードでは、オーバフローと有効エッジが同時に発生した場合、割り込み要求は 1 回しか発生しないため、有効エッジ入力を判断することができません。オーバフローしない範囲で使用してください。
- パルス幅測定モードでは、TBi 割り込みルーチンで、ポートのレベルを読むことで、エッジ入力またはオーバフローを判断してください。

25.10 三相モータ制御用タイマ機能

- タイマB2のアンダフローのタイミングで、TAi、TAi1レジスタ (i=1,2,4)へ書かないでください。
書く可能性がある場合は、タイマB2レジスタの値を読み、タイマB2のアンダフローまでに時間が十分あることを確認して、すぐにTAi、TAi1レジスタへ書いてください。
(テクニカルアップデート番号：TN-M16C-86-0204)

25.11 シリアルインタフェース

25.11.1 UiBRG レジスタ (i=0～4) の変更

UiBRG レジスタは UiC0 レジスタの CLK1～CLK0 ビットを設定した後に書いてください。また、CLK1～CLK0 ビットを変更した場合は、UiBRG レジスタも設定し直してください。

25.11.2 クロック同期モード

25.11.2.1 外部クロック選択

外部クロックを選択している場合、UiC0 レジスタ (i=0～4) の CKPOL ビットが “0” (送受信クロックの立ち下がりに同期して送信データ出力、立ち上がりに同期して受信データ入力) のときは外部クロックが “H” の状態で、CKPOL ビットが “1” (送受信クロックの立ち上がりに同期して送信データ出力、立ち下がりに同期して受信データ入力) のときは外部クロックが “L” の状態で次の条件を満たしてください。

- UiC1 レジスタの TE ビットが “1” (送信許可)
- UiC1 レジスタの RE ビットが “1” (受信許可)
- UiC1 レジスタの TI ビットが “0” (UiTB レジスタにデータあり)

送信のみの場合は RE ビットの設定は不要

25.11.2.2 受信

- クロック同期モードでは送信制御回路で送受信クロックを制御します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時 TXDi 端子からはダミーデータが外部に出力されます。
- 連続してデータを受信した場合、UiC1 レジスタ (i=0～4) の RI ビットが “1” (UiRB レジスタにデータあり) で次の受信データの 7 ビット目を受信するとオーバランエラーが発生し、UiRB レジスタの OER ビットが “1” (オーバランエラー発生) になります。この場合、UiRB レジスタは不定になります。オーバランエラーが発生したときは SiRIC レジスタの IR ビットは “1” に変化しません。
- 外部クロックを選択し、かつ RTS 制御を使用しない場合のみ、連続受信モード (UiRRM ビットが “1”) が使用できます。他の条件で連続受信を行う場合は、UiRRM ビットを “0” (連続受信モード禁止) にし、各受信完了ごとに UiTB レジスタにダミーデータを書いてください。

25.11.3 UART モード

UiC1 レジスタ (i=0～4) の UiERE ビットは、UiMR レジスタを設定した後に書いてください。

25.11.4 特殊モード 1 (I²C モード)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、UiSMR4 レジスタ (i=0～4) の STSPSEL ビットを “0” にした後、送受信クロックの半クロック以上待ってから、各コンディション生成ビット (STAREQ ビット、RSTAREQ ビット、STPREQ ビット) を “0” から “1” にしてください。

(テクニカルアップデート番号 : TN-16C-130A/JA)

25.12 A/D コンバータ

- AD0CON0 レジスタ (ADST ビットを除く)、AD0CON1 レジスタ、AD0CON2 レジスタ、AD0CON3 レジスタ、AD0CON4 レジスタを設定した後、ADST ビットを “1” (A/D 変換開始) にしてください。
- AD0CON1 レジスタの VCUT ビットを “0” (VREF 未接続) から “1” (VREF 接続) にしたときは、 $1\mu\text{s}$ 以上経過した後に A/D 変換を開始させてください。
A/D 変換を使用しないときは、消費電流を低減させるために VCUT ビットを “1” から “0” にしてください。
- ノイズによる誤動作やラッチアップの防止、また変換誤差を低減するため、AVCC 端子、VREF 端子、アナログ入力端子 (AN_i_j (i=なし, 0, 2, 15, j=0~7)) と AVSS 端子の間には、それぞれコンデンサを挿入してください。同様に VCC 端子と VSS 端子の間にもコンデンサを挿入してください。図 25.4 に各端子の処理例を示します。

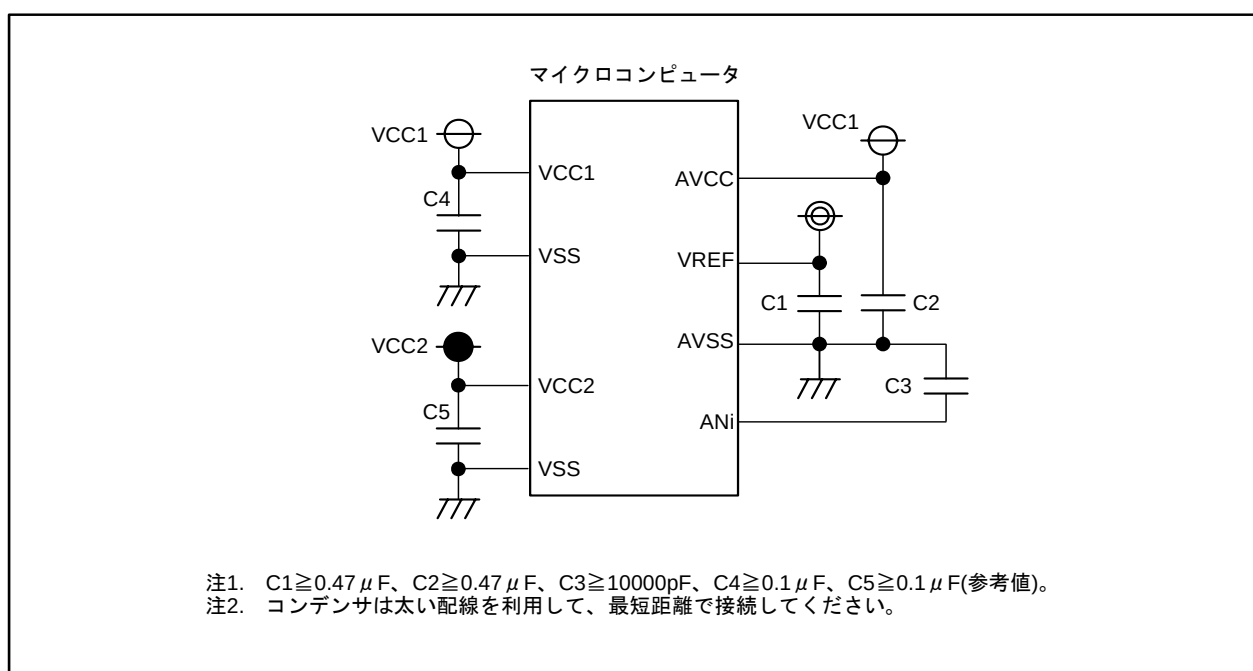


図 25.4 各端子の処理例

- アナログ入力端子として使用する端子のポート方向ビットは “0” (入力モード) にしてください。
ADTRG 端子を使用する場合、対応するポート方向ビットは “0” (入力モード) にしてください。
- キー入力割り込みを使用する場合、P10_4~P10_7 (AN_4~AN_7) はアナログ入力端子として使用しないでください。
- ϕAD は、 $\text{VCC}=4.2\text{V} \sim 5.5\text{V}$ のとき 16MHz 以下に、 $\text{VCC}=3.0\text{V} \sim 5.5\text{V}$ のときに 10MHz 以下にしてください。サンプル & ホールド機能なしの場合、 ϕAD の周波数は 250kHz 以上にしてください。サンプル & ホールド機能ありの場合、 ϕAD の周波数は 1MHz 以上にしてください。
- A/D 動作モードを変更した場合は、AD0CON0 レジスタの CH2~CH0 ビットまたは AD0CON1 レジスタの SCAN1~SCAN0 ビットでアナログ入力端子を再選択してください。
- AN_0~AN_7、AN15_0~AN15_7、ANEX0、ANEX1 端子に入力する電圧は VCC1 以下にしてください。また、AN0_0~AN0_7、AN2_0~AN2_7 端子に入力する電圧は VCC2 以下にしてください。

- A/D 変換動作中に、プログラムで AD0CON0 レジスタの ADST ビットを “0” (A/D 変換停止) にして強制終了した場合、A/D コンバータの変換結果は不定となります。また、A/D 変換を行っていない AD0j レジスタ (j=0 ~ 7) も不定になる場合があります。A/D 変換動作中に、プログラムで ADST ビットを “0” にした場合は、すべての AD0j レジスタの値を使用しないでください。
- 単掃引モード、繰り返し掃引モード 0、繰り返し掃引モード 1、マルチポート単掃引モード、マルチポート繰り返し掃引モード 0 で DMAC 利用モードを使用する場合、外部トリガまたはハードウェアトリガの再トリガを入力しないでください。再トリガが入力されると、それまで行っていた一連の A/D 変換は途中終了し、ANi_0 端子 (i=なし, 0, 2, 15) から A/D 変換が開始されます。そのため、端子と RAM に転送された A/D 変換結果が対応しなくなります。また、AD00 レジスタは命令で読まないでください。
- 単掃引モードで A/D 変換中に AD0CON0 レジスタの ADST ビットを “0” にして A/D 変換を中止する場合、ADST ビットを “0” にする前に割り込みを禁止にしてください。
(テクニカルアップデート番号 : TN-16C-132A/JA)

25.13 プログラマブル入出力ポート

- P7_2～P7_5、P8_0、P8_1 端子には三相 PWM 出力の強制遮断機能があるため、これらの端子を出力機能 (ポート出力、タイマ出力、三相 PWM 出力、シリアルインタフェース出力) に設定している場合、三相モータ制御用タイマ機能や $\overline{\text{NMI}}$ 端子の影響を受けます。表 25.5 に INVC0 レジスタの設定値、 $\overline{\text{NMI}}$ 端子入力レベルと、出力端子の状態の関係を示します。

表 25.5 INVC0 レジスタの設定値、 $\overline{\text{NMI}}$ 端子入力レベルと、出力端子の状態の関係

INVC0 レジスタの設定値		$\overline{\text{NMI}}$ 端子 入力レベル	P7_2～P7_5、P8_0、P8_1 端子の状態 (出力に設定している場合)
INV02 ビット	INV03 ビット		
0 (三相モータ制御用 タイマ機能を使用しない)	—	—	PS1、PSL1、PSC、PS2、PSL2 レジスタで 選択した機能の出力
1 (三相モータ制御用 タイマ機能を使用する)	0 (三相モータ制御用 タイマ出力禁止)	—	ハイインピーダンス
	1 (三相モータ制御用 タイマ出力許可)(注1)	H	PS1、PSL1、PSC、PS2、PSL2 レジスタで 選択した機能の出力
		L (強制遮断)	ハイインピーダンス

注1. $\overline{\text{NMI}}$ 端子に “L” 入力後、“0” になります。

- $\overline{\text{RESET}}$ 端子のレベルが “L” の間、内部電源電圧が安定するまでは、プルアップ抵抗の有無は不定となります。
- 周辺機能入力とプログラマブル入出力ポートを持つ端子では、各入力の入力しきい値電圧が異なります。そのため、入力電圧が “H” レベルから “L” レベルまたは “L” レベルから “H” レベルに変化する過程で、周辺機能入力のレベル判定結果とポートレジスタを読んだ結果が異なることがあります。
(テクニカルアップデート番号：TN-M16C-102-0308)

- 下記対象モード中、対象端子の入出力信号の立ち上がり、立ち下がり時間は、 $10\mu\text{s}$ 以下にて使用してください。

＜対象モード＞

(a) ストップモード

(b) メイン電源回路停止 (VRCCR レジスタの MRS ビットが“1”) の状態で、低消費電力モードから移行したウェイトモード

※ 低消費電力モード以外のモードから移行したウェイトモード、および、MRS ビットが“0”のときに低消費電力モードから移行したウェイトモードは対象外です。

＜対象端子 18 端子＞

P5_0、P5_1、P5_2、P5_3、P5_4、P5_5、P5_6、P5_7、P6_5、P6_7、P7_5

P8_0、P8_1、P8_2、P8_3、P8_4、P9_1、P14_3

＜立ち上がり／立ち下がり時間規定＞

P6_5、P6_7、P7_5、P8_0、P8_1、P8_2、P8_3、P8_4、P9_1、P14_3 の端子は、 $0.2V_{CC1} \sim 0.8V_{CC1}$ 間の遷移時間を $10\mu\text{s}$ 以下にしてください。

P5_0、P5_1、P5_2、P5_3、P5_4、P5_5、P5_6、P5_7 の端子は、 $0.2V_{CC2} \sim 0.8V_{CC2}$ 間の遷移時間を $10\mu\text{s}$ 以下にしてください。

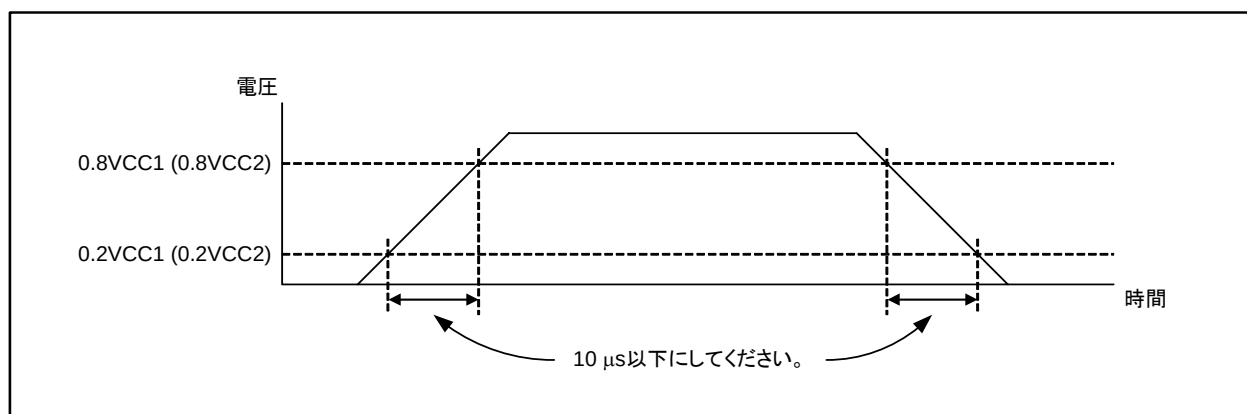


図 25.5 立ち上がり／立ち下がり時間規定

25.14 フラッシュメモリ

25.14.1 動作速度

FMR0～FMR3レジスタをアクセスする前、またはCPU書き換えモード(EW0、EW1モード)に入る前に、MCDレジスタのMCD4～MCD0ビットでCPUクロックを10MHz以下にし、かつ、PM1レジスタのPM12ビットを“1”(内部メモリウェイトあり)にしてください。

25.14.2 使用禁止命令

次の命令はフラッシュメモリをアクセスするため、EW0モードでは使用できません。

UND 命令、INTO 命令、JMPS 命令、JSRS 命令、BRK 命令

25.14.3 割り込み(EW0モード)

- 周辺機能割り込みは、割り込みルーチンと可変ベクタテーブルを RAM 領域に配置することで使用できます。
- $\overline{\text{NMI}}$ 割り込み、ウォッチドッグタイマ割り込み、電圧監視割り込み、発振停止検出割り込みは、割り込み要求発生時、強制的にFMR0レジスタ、FMR1レジスタ、FMR3レジスタを初期化し、消去または書き込みを途中終了します。その後、CPUはフラッシュメモリを読むことができ、割り込みを実行します。
- アドレス一致割り込みは使用できません。

25.14.4 割り込み(EW1モード)

- 消去または書き込み中に、周辺機能割り込み、DMA、DMACII転送要求が発生しないようにしてください。
- $\overline{\text{NMI}}$ 割り込み、ウォッチドッグタイマ割り込み(PM22ビットが“1”の場合)、電圧監視割り込み、発振停止検出割り込みは、割り込み要求発生時、強制的にFMR0レジスタ、FMR1レジスタ、FMR3レジスタを初期化し、消去または書き込みを途中終了します。その後、CPUはフラッシュメモリを読むことができ、割り込みを実行します。

25.14.5 アクセス方法

FMR0レジスタのFMR01ビット、FMR02ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。このとき、8ビット単位で書いてください。なお、“0”を書いた後、“1”を書くまでに割り込みやDMA転送、DMACII転送が入らないようにしてください。また、 $\overline{\text{NMI}}$ 端子に“H”を入力した状態で行ってください。

FMR01ビットを“1”から“0”にする場合、リードアレイモードにしてから、0057h番地に16ビット単位で書いてください。上位8ビットは“00h”にしてください。

25.14.6 ユーザROM領域の書き換え(EW0モード)

書き換え制御プログラムが格納されているブロックの書き換え中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モードを使用してください。

25.14.7 ユーザROM領域の書き換え(EW1モード)

書き換え制御プログラムが格納されているブロックを書き換えしないでください。

25.14.8 ブートモード

ブートモードで電源を立ち上げる場合、内部電源が安定するまで、入出力端子の状態はハイインピーダンスとならない場合があります。電源を立ち上げる場合、次の手順で行ってください。

- (1) $\overline{\text{RESET}}$ 端子に “L”、CNVSS 端子に “L” を入力
- (2) VCC1 端子が 3.0V 以上になってから $t_d(\text{P-R})$ 以上待つ (内部電源安定待ち時間)
- (3) P6_5 に “L” を入力 (プルダウン)、または P6_7 に “H” を入力 (プルアップ) する
- (4) $\overline{\text{EPM}}(\text{P5}_5)$ に “L” を入力 (プルダウン) し、 $\overline{\text{CE}}(\text{P5}_0)$ に “H” を入力 (プルアップ) する
- (5) CNVSS 端子に “H” を入力
- (6) $\overline{\text{RESET}}$ 端子に “H” を入力 (リセット解除)

25.14.9 コマンド、データの書き込み

コマンドコード、データはユーザー ROM 領域内の偶数番地に書いてください。

25.14.10 ブロックイレーズ

$\overline{\text{NMI}}$ 割り込み、ハードウェアリセット、電源電圧の低下などで消去が途中終了した場合、消去していたブロックのロックビットが “0” (ロック状態) に、プロテクトビットが “0” (プロテクト状態) になることがあります。再度このブロックを消去する場合、FMR02 ビットを “1” (ロックビット無効) にし、ブロックイレーズコマンドを実行してください。

25.14.11 ウェイトモード

ウェイトモードに移行する場合は、FMR0 レジスタの FMR01 ビットを “0” (CPU 書き換えモード無効) にした後、WAIT 命令を実行してください。

25.14.12 ストップモード

ストップモードに移行する場合は、次のようにしてください。

- FMR01 ビットを “0” (CPU 書き換えモード無効) にし、CM1 レジスタの CM10 ビットを “1” (ストップモード) にする
 - CM10 ビットを “1” にする命令の次に JMP.B 命令を実行する
- プログラム例

```

BSET      0, CM1      ; ストップモード
JMP.B     L1

L1:
ストップモード復帰後のプログラム

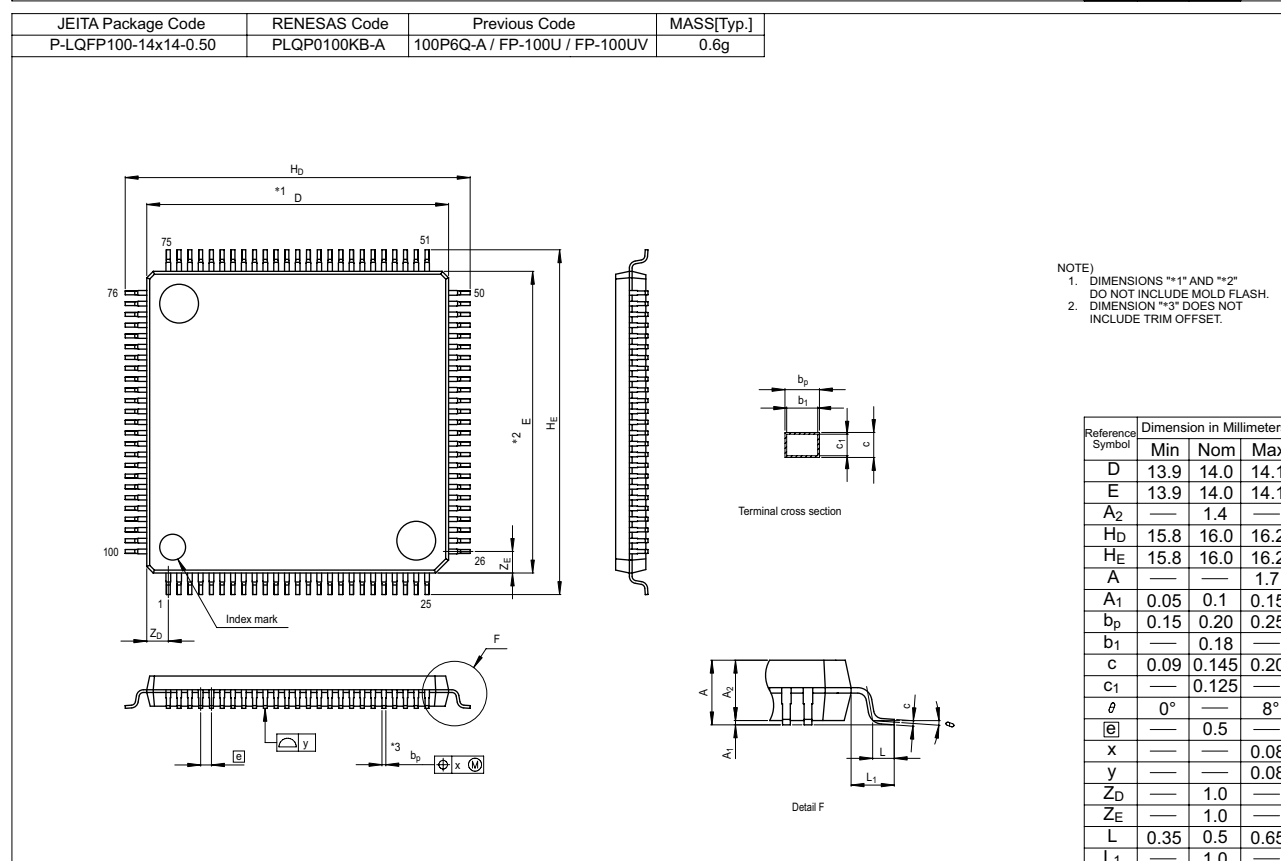
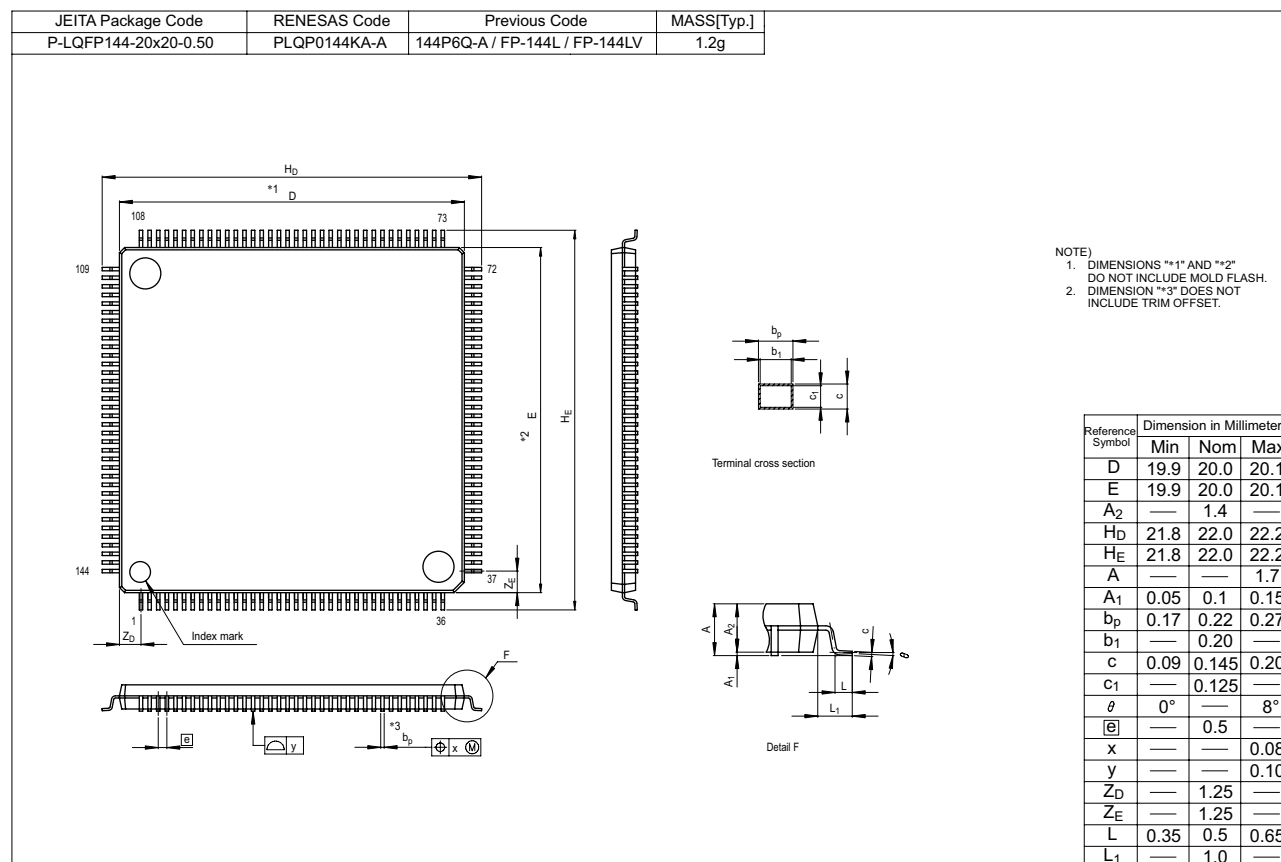
```

25.14.13 低消費電力モード、オンチップオシレータ低消費電力モード

CM0 レジスタの CM05 ビットが “1” (メインクロック停止) のときは、次のコマンドを実行しないでください。

- プログラムコマンド
- ブロックイレーズコマンド
- ロックビットプログラムコマンド
- リードロックビットステータスコマンド
- プロテクトビットプログラムコマンド
- リードプロテクトビットステータスコマンド

付録1. 外形寸法図



索引

【A】

AD00 ~ AD07	253
AD0CON0	249
AD0CON1	250
AD0CON2	251
AD0CON3	252
AD0CON4	253
AIER	113

【C】

CM0	65, 116
CM1	66
CM2	68
CPSRF	71
CRCD	270
CRCIN	270

【D】

DA0, DA1	268
DACON	268
DCT0 ~ DCT3	123
DM0SL ~ DM3SL	120
DMA0 ~ DMA3	122
DMD0	124
DMD1	125
DRA0 ~ DRA3	123
DRC0 ~ DRC3	123
DS	42
DSA0 ~ DSA3	122
DTT	184
DVCR	36

【E】

EWCR0 ~ EWCR3	48
---------------------	----

【F】

FMR0	297
FMR1	299
FMR2	298
FMR3	298
FMR4	72

【I】

ICTB2	183
IDB0, IDB1	185
IFSR	111, 203
INVC0	178
INVC1	179

【L】

LVDC	35
------------	----

【M】

MCD	67
-----------	----

【O】

ONSF	151
------------	-----

【P】

P0 ~ P15	281
PCR	291
PD0 ~ PD15	280
PLC0	69
PM0	39
PM1	40
PM2	70
PRCR	92
PS0	282
PS1	282
PS2	283
PS3	283
PSC	286
PSL0	284
PSL1	284
PSL2	285
PSL3	285
PUR0	287
PUR1	287
PUR2	288
PUR3	289
PUR4	290
PWCR0	60
PWCR1	61

【R】

RLVL	103, 132
RMAD0 ~ RMAD7	113

【T】

TA0MR ~ TA4MR	143, 144, 145, 146
TA0 ~ TA4	147
TA1MR, TA2MR, TA4MR	181
TA1, TA2, TA4, TA11, TA21, TA41	185
TABSR	150, 169, 186
TB0MR ~ TB5MR	165, 166, 167
TB0 ~ TB5	168
TB2	184
TB2MR	180
TB2SC	183
TBSR	169
TCSPR	71, 142
TRGSR	149, 182

【U】

U0BRG ~ U4BRG	202
U0C0 ~ U4C0	201
U0C1 ~ U4C1	202
U0MR ~ U4MR	196
U0RB ~ U4RB	204
U0SMR2 ~ U4SMR2	198
U0SMR3 ~ U4SMR3	199
U0SMR4 ~ U4SMR4	200
U0SMR ~ U4SMR	197
U0TB ~ U4TB	204
UDF	148

【V】

VRCR	72
------------	----

【W】

WDC	117
WDTS	117

【X】

X0R ~ X15R	272
XYC	272

【Y】

Y0R ~ Y15R	272
------------------	-----

割り込み制御レジスタ (1)	101
割り込み制御レジスタ (2)	102

改訂記録	M32C/8B グループ ハードウェアマニュアル
------	--------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2008.04.15	—	初版発行
0.50	2008.09.01		番地別ページ早見表
		B-1	・フラッシュメモリ制御レジスタ4 「0058h」→「0059h」
		3、5	概要
		17	・表1.2、表1.4 仕様概要 消費電流「23mA(32MHz/VCC1=VCC2=3.3V)」追記、 「130 μ A」→「110 μ A」、「TBD」→「8 μ A」、「TBD」→「4 μ A」
		27	・表1.13 端子機能の説明(3) A/Dコンバータ AN0_0~0_7、AN2_0~AN2_7の電源系統 「VCC1」→「VCC2」
		33	SFR ・表4.6 (6) 「044Ch」→「034Ch」
		36	リセット ・表5.1 注4 「P5_5(EPM)= “H”」→「EPM(P5_5)= “H”」
		67	電圧監視機能 ・図6.3 DVCR レジスタ 注2 Vdet(F)、Vdet(R)の値「TBD」の変更
		82	クロック発生回路 ・図9.4 「オンチップオシレータモードでは」→「CM2レジスタの～にした状態で」
		87	・9.5.1.3 低速モード、9.5.1.4 低消費電力モード、文章の追記・変更 ・表9.8 「CLKi端子(i=0~4)への入力」→「外部クロック」
		97	割り込み ・11.5.1 「固定ベクタに関しては、「23.2フラッシュメモリアクセス禁止機能」を参照してください。」→「また、固定ベクタテーブル～参照してください。」
		197、199 207～243	シリアルインタフェース ・図17.3、図17.5 注記“1”を設定した場合→“1”を書いた場合 ・図17.11～17.32 フロー図「初期設定開始」→「開始」、「初期設定終了」→「終了」
		259 263	A/Dコンバータ ・表18.8 開始条件「(外部トリガの再トリガは無効です。)」削除 ・表18.11 注1「発生すると」→「入力されると」、注2「(再トリガ)」追記、 「再度A/D変換を開始します(それまで～されます)。」→「それまで～開始します。」 ・18.2.4 「行わない」→「入力しない」、「再トリガが入力されると、～対応しなくなります。」追記
		277～279 287	プログラマブル入出力ポート ・図22.1～図22.3 「プルアップ選択」と「周辺機能入力」の接続線一部と交点削除 ・図22.12 PUR1レジスタ (b7_b4) 「RW」→「—」
		307 311 313	フラッシュメモリ ・表23.5 リードプロテクトビットステータスの第二バスサイクル「BA1」→「PBA」 ・図23.12 「注3」、「注4」追記 ・(9)本文中 「ブロック内の任意の偶数番地」→「プロテクトビットのアドレス」、 「コマンド実行後、～プロテクトビットの状態が読めます。」追記 ・図23.14 「ブロック内の任意の偶数番地」→「プロテクトビットのアドレス」

改訂記録	M32C/8B グループ ハードウェアマニュアル
------	--------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.60	2009.01.31	322～352	電気的特性 ・ 章「電気的特性」の追加
		353	使用上の注意事項 ・ 25.1.1 本文中「VCC」→「VCC1」
		372	・ 25.12 「(j=0～7)」追記、「DMAC利用モードでは、外部トリガは使用できません。」 →「単掃引モード、繰り返し掃引モード0～A/D変換結果が対応しなくなります。」
		374	・ 25.14.3 簡条書2番目「FMR3レジスタ」追記 ・ 25.14.4 簡条書1番目「DMAII」→「DMACII」、2番目「FMR3レジスタ」追記
		23	SFR ・ 004Ch、004Dh「注2.ROMレス版でのみ使用できます。」追記
		48	バス ・ 8.2.4「ただし、CPUクロックにPLLを選択し、・・・2クロックになります。」追記
		49	・ 表8.6「注1.CPUクロックにPLLを選択し、かつ・・・2クロックになります。」追記
		64	クロック ・ 図9.1「割り込み要求レベル判定出力」 →「ウェイトモード/ストップモード復帰要求信号」
		86	・ 図9.17(1)「復帰用優先レベル初期設定」→「復帰用優先レベルを7に設定」
		108	割り込み ・ 図11.10「割り込み要求レベル判定出力」 →「ウェイトモード/ストップモード復帰要求信号」
0.60	2009.01.31	183	三相モータ制御用タイマ機能 ・ TB2SCレジスタ リセット後の値「00h」→「XXXX XXX0b」、 注1.「TB2SCレジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。」 →「INVC1レジスタのINV11ビットが・・・“0”にしてください。」
		199、234	シリアル ・ U0SMR3～U4SMR3レジスタ DINCビット名「シリアル入力端子設定ビット」 →「シリアル入出力端子設定ビット」
		200	・ U0SMR4～U4SMR4レジスタ「注5.UISMRレジスタのIICMビットが“1”・・・これらのビットは“0”になります。」追記
		236	・ 図17.29 スレーブ時 STXD出力 「HI-Z」線 実線→点線
		244	・ 図17.33(2) TXDi出力 パリティエラー「SIMカードより“L”レベルが返ってくる」 →「TXDi端子が“L”を出力する」
		304	フラッシュ ・ 23.6.1「FMR0～FMR3レジスタにアクセスする前、またはCPU書き換えモード ・・・“1”(内部メモリウェイトあり)にしてください。」追記
		311	・ 表23.4 EW1モード 一部表記変更、「RAM上から実行してください」削除
		313	・ 23.6.1.1(7)「EW1モードでは、FMR31ビットが・・・実行しないでください。」追記 ・ 23.6.1.1(9)「EW1モードでは、リードプロテクト・・・しないでください。」追記

改訂記録	M32C/8B グループ ハードウェアマニュアル
------	--------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
		324	電气的特性 ・表 24.3 「表 24.6 フラッシュメモリの電气的特性」移動、「VCC1=5.0V」削除、 「VCC1=4.5～5.5V,3.0V～3.6V」→「VCC1=VCC2=3.0V～5.5V」、「注2」追記
		328	・表 24.7 「±0.20」→「±0.30」、表 24.8 「注1.VCC1=5V時の標準値」削除
		331、345	・表 24.20、表 24.39 tsu(D-C)最小値「30」→「80」
		346	・表 24.41 最小 tsu(DB-BCLK)「30」→「27」、tsu(RDY-BCLK)「40」→「30」、 tsu(HOLD-BCLK)「60」→「40」
		347	・表 24.42 注1.「20[ns]」→「15[ns]」
		348	・表 24.43 注1.「20[ns]」→「15[ns]」
		351	・図 24.9 DBi tsu(DB-BCLK)「30」→「27」、注3.th(WR-DR)「20」→「15」
		352	・図 24.10 ADi/DBi tsu(DB-BCLK)「30」→「27」、注2.th(WR-DB)「20」→「15」
		360	使用上の注意事項 ・25.5.4.3 「・低速モードと低消費電力モード時にはCM02ビットを“1”(ウェイト モード時、周辺機能クロックは停止する)にしてウェイトモードに移行しな いでください。」→「・低速モードまたは・・・移行してください。」
		374	・25.14.1 「FMR0～FMR3レジスタをアクセスする場合は、MCDレジスタのMCD4～ MCD0ビットでCPUクロックを10MHz以下にし、かつ、PM1レジスタの PM12ビットは“1”(内部メモリウェイトあり)にしてください。」 →「FMR0～FMR3レジスタをアクセスする前・・・してください。」
0.61	2009.02.05	235	シリアル ・17.1.4.1 「DINCビットを“1”」→「DINCビットを“0”」 ・17.1.4.2 「DINCビットを“0”」→「DINCビットを“1”」
1.00	2009.11.01		マニュアル全体 ・「暫定版」の記載を削除
		6	概要 ・表 1.5 「(開発中)」と「(開)」を削除
		78	クロック ・図 9.14 「PLLクロックをCPUクロックにする手順」を修正
		79	・9.2「フラッシュメモリ版で・・・NOP命令を8つ以上いれてください」追記
		82	・9.5.1.2「フラッシュメモリ版で・・・NOP命令を8つ以上いれてください」追記
		326、341	電气的特性 ・表 24.4、表 24.25 ストップモード(クロック停止時)の最大値「TBD」削除、 ストップモード(クロック停止時) Topr=85℃の最大値「TBD」→「200」
		331、345	・表 24.19、表 24.38 「tw(ADH) ADTRG入力“H”パルス幅」追記
		336、349	・図 24.3、図 24.7 「tw(ADH)」追記
		338、351	・図 24.5、図 24.9 RDとDBiの波形を修正
		358	使用上の注意事項 ・25.5.4「フラッシュメモリ版で・・・NOP命令を8つ以上いれてください」追記
		374	・25.13 簡条書4番目「対象モード中・・・10μs以下にしてください」追記 図 25.5「立ち上がり／立ち下がり時間規定」追記

M32C/8B グループ
ハードウェアマニュアル

発行年月日 2008年4月15日 Rev.0.10
2009年11月1日 Rev.1.00

発行 株式会社 ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町2-6-2

© 2009. Renesas Technology Corp., All rights reserved. Printed in Japan.

M32C/8B グループ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0481-0100