お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

RENESAS

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。
従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

RENESAS

User's Manual

16

RENESAS

M30220/M30221 グループ

ユーザーズマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ
M16Cファミリ／ M16C/20シリーズ

ルネサス エレクトロニクス
www.renesas.com

Rev.B　2001.06

安全設計に関するお願い

・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。

・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。

・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりましては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ（http://www.semicon.melco.co.jp/）などを通じて公開される情報に常にご注意ください。

・本資料に記載した情報は、正確を期すため、慎重に制作したものですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。

・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任は負いません。

・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。

・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。

・本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または特約店までご照会ください。

第1章　ハードウエア _____ 1

第2章　周辺機能の使い方 _____ 2

第3章　周辺機能の応用例 _____ 3

第4章　割り込み _____ 4

第5章　標準特性 _____ 5

このマニュアルの使い方

このマニュアルはM30220/M30221グループのユーザーズマニュアルです。

このマニュアルを使用する上で、電気回路、論理回路、およびマイクロコンピュータの基本的な知識が必要です。

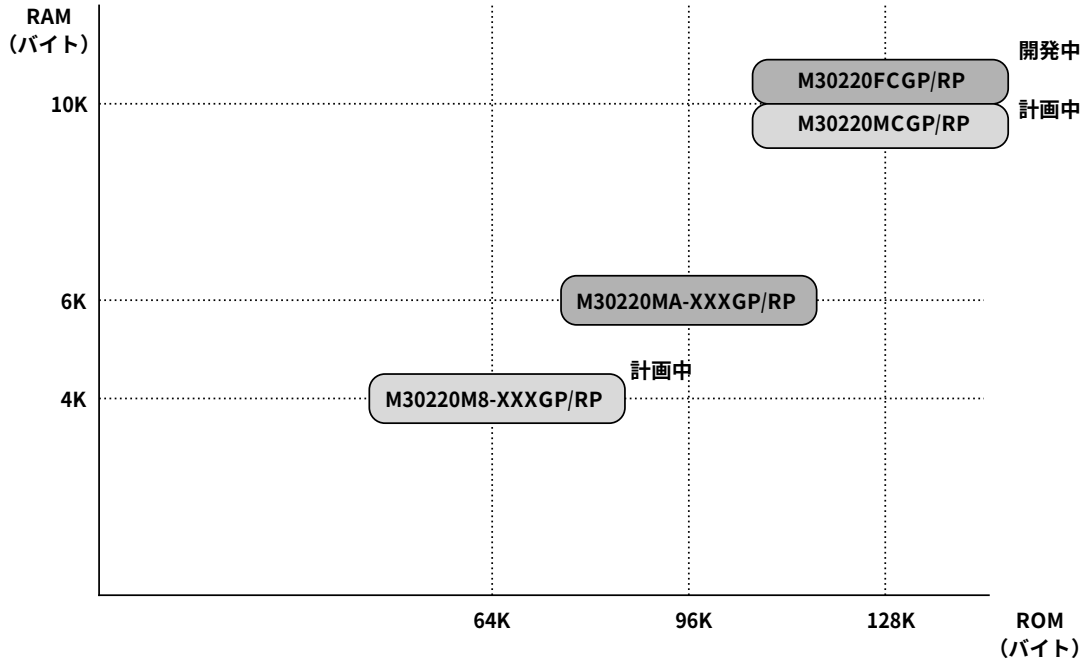
このマニュアルは、下記の品種に適用しています。

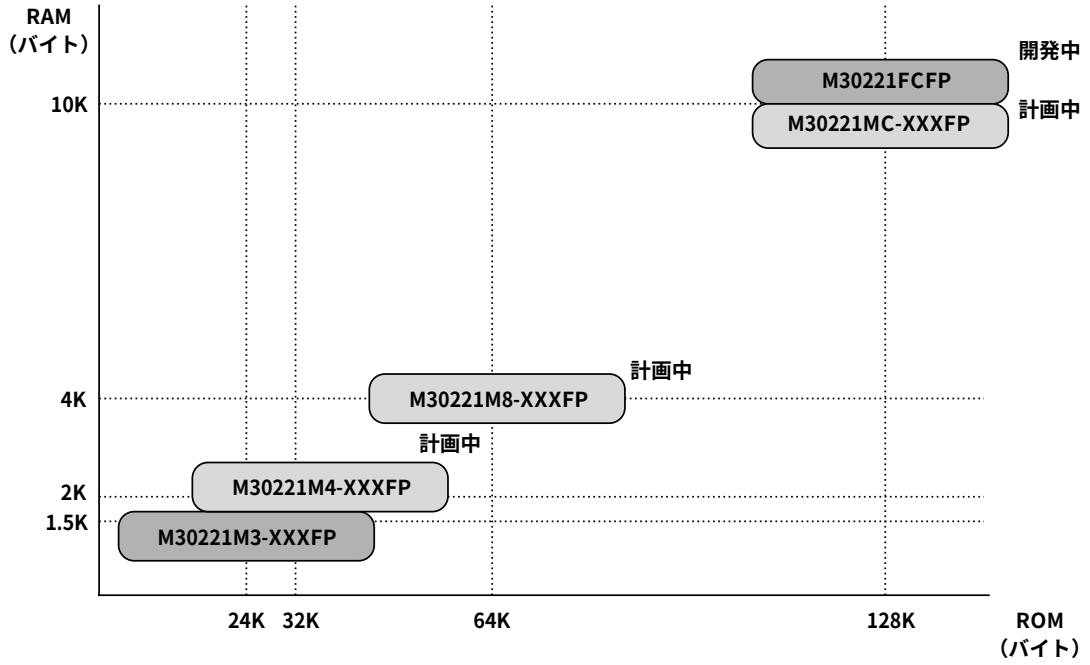
・M30220MA-XXXGP/RP　　・M30220FCGP/RP

・M30221M3-XXXFP　　・M30221FCFP

これらの品種は、内蔵するメモリを除いて、ほぼ同等の機能を持ちます。本文中では、M30220MA-XXXGP/RPを中心に説明しています。内蔵するメモリは下記のとおりです。メモリ容量が異なるため、プログラムを作成する場合は、注意してください。

2001年 4月現在





このマニュアルは5つの章で構成されています。以下に目的に応じた参照先(章)を示します。

○ハードウエアの仕様を理解する ..... **「第1章　ハードウエア」**

○周辺機能の基本的な使い方、動作タイミングを理解する ..... **「第2章　周辺機能の使い方」**

○周辺機能の応用例を知る ..... **「第3章　周辺機能の応用例」**

○割り込みについての詳細なタイミングを理解する ..... **「第4章　割り込み」**

○標準データを知る ..... **「第5章　標準特性」**

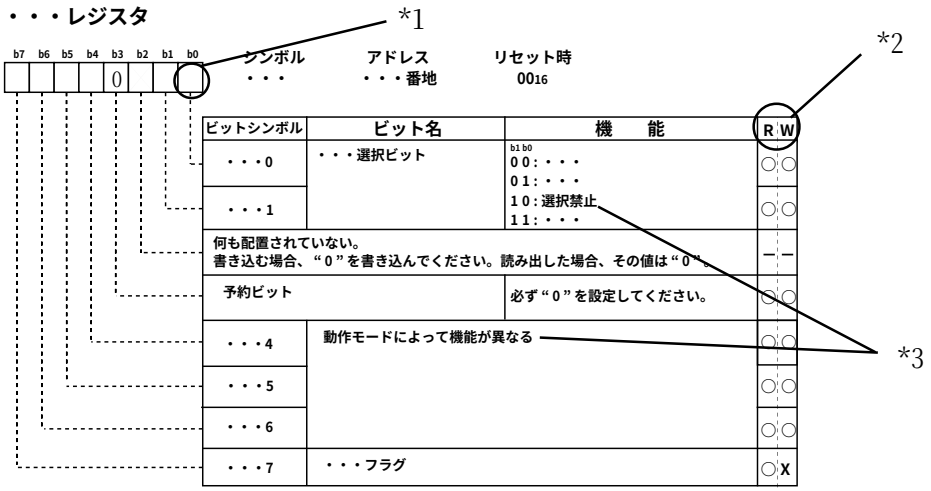
また、目次の直後にはページ早見表を記載しており、目的に応じて記載ページを調べることができます。

○番地からレジスタの記載ページを確認する ..... **番地別ページ早見表**

なお、下記の機能については、別途、アプリケーションノートで説明していますので、各アプリケーションノートを参照してください。

・IICバス ..... **M16C/62グループ　簡易I²Cバス編**

各レジスタ構成は、次のように参照してください。



***1**

空白　：用途に応じて“0”または“1”にしてください。
0　　：“0”にしてください。
1　　：“1”にしてください。
×　　：何も配置されていないビットです。

***2**

R　　：Read
　　○・・・読み出すとビットの状態が読み出せます。
　　×・・・ビットの状態は読み出せません。
　　－・・・何も配置されていないビットです。
W　　：Write
　　○・・・書き込んだ値は有効データになります。
　　×・・・書き込んだ値は無効になります。
　　書き込む値は“0”または“1”いずれでも可。
　　－・・・何も配置されていないビットです。

***3**

ここで使用する用語を以下に示します。

・何も配置されていない

当該ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書き込む場合は“0”を書き込んでください。

・選択禁止

選択しないでください。選択した場合の動作は保証されません。

・予約ビット

予約ビットです。指定された値を設定してください。

・動作モードによって機能が異なる

周辺機能のモードによってビットの機能が変わります。

・Aモードでは必ず“0”に固定

Aモードでは、当該ビットを“0”にしてください。

・Aモードでは無効

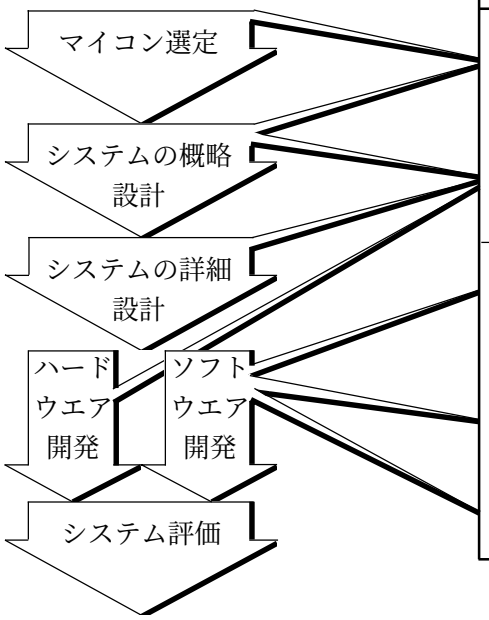
Aモードでは、当該ビットは機能を持ちません。指定された値を設定してください。

・ビットAが“0”のとき有効

ビットAが“1”のとき、当該ビットは機能を持ちません。ビットAが“0”のとき、当該ビットは機能を持ちます。

M16Cファミリ関連ドキュメント一覧

用途
（マイコン開発の流れ）



	ドキュメントの種類	記載内容
ハードウエア	データシート／データブック	ハードウエアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）
ハードウエア	ユーザーズマニュアル	ハードウエアの仕様、動作、応用例（周辺との接続、ソフトウエアとの関わり）の詳細
ソフトウエア	プログラミングマニュアル	アセンブリ言語、C言語によるプログラムの作成方法
ソフトウエア	ソフトウエアマニュアル	各命令（アセンブリ言語）の動作の詳細
ソフトウエア	参考プログラム集	アセンブリ言語の参考プログラム集

M16Cファミリ体系

- M16Cファミリ
  - M16C/80シリーズ
    - M16C/80グループ
  - M16C/60シリーズ
    - M16C/60グループ
    - M16C/61グループ
    - M16C/62グループ
  - M16C/20シリーズ
    - M16C/20グループ
    - M16C/21グループ
    - M16C/22グループ
    - M16C/24グループ

目次

第１章　ハードウエア

M30220グループ

概　要 1-2

メモリ 1-9

中央演算処理装置 1-10

リセット 1-13

クロック発生回路 1-21

プロテクト 1-30

割り込み 1-31

監視タイマ 1-51

DMAC 1-53

タイマA 1-63

タイマB 1-77

リアルタイムポート 1-83

シリアルI/O 1-85

LCD駆動制御回路 1-121

A-D変換器 1-128

D-A変換器 1-138

プログラマブル入出力ポート 1-140

使用上の注意事項 1-150

電気的特性 1-154

フラッシュメモリ版 1-170

M30221グループ

概　要 1-216

M30220グループとの差分注意事項 1-226

第２章　周辺機能の使い方

2.1　プロテクト 2-2

2.1.1　概要 2-2

2.1.2　プロテクト動作 2-3

2.2　タイマＡ 2-4

2.2.1　概要 2-4

2.2.2　タイマＡ動作　(タイマモード) 2-12
2.2.3　タイマＡ動作　(タイマモード､ゲート機能選択時) 2-14
2.2.4　タイマＡ動作　(タイマモード、パルス出力機能選択時) 2-16
2.2.5　タイマＡ動作　(イベントカウンタモード、リロードタイプ選択時) 2-18
2.2.6　タイマＡ動作　(イベントカウンタモード、フリーランタイプ選択時) 2-22
2.2.7　タイマＡ動作　(イベントカウンタモード2相パルス信号処理、通常モード選択時) 2-26
2.2.8　タイマＡ動作　(イベントカウンタモード2相パルス信号処理、4逓倍モード選択時) 2-28
2.2.9　タイマＡ動作　(ワンショットタイマモード) 2-30
2.2.10　タイマＡ動作　(ワンショットタイマモード、外部トリガ選択時) 2-32
2.2.11　タイマＡ動作　(パルス幅変調モード、16ビットPWMモード選択時) 2-36
2.2.12　タイマＡ動作　(パルス幅変調モード、8ビットPWMモード選択時) 2-40
2.2.13　タイマＡの注意事項　(タイマモード) 2-44
2.2.14　タイマＡの注意事項　(イベントカウンタモード) 2-45
2.2.15　タイマＡの注意事項　(ワンショットタイマモード) 2-46
2.2.16　タイマＡの注意事項　(パルス幅変調モード) 2-47
2.3　タイマB 2-48
2.3.1　概要 2-48
2.3.2　タイマB動作　(タイマモード) 2-52
2.3.3　タイマB動作　(イベントカウンタモード) 2-54
2.3.4　タイマB動作　(パルス周期測定モード) 2-56
2.3.5　タイマB動作　(パルス幅測定モード) 2-58
2.3.6　タイマBの注意事項　(タイマモード、イベントカウンタモード) 2-60
2.3.7　タイマBの注意事項　(パルス周期測定 / パルス幅測定モード) 2-61
2.4　クロック同期形シリアルI/O 2-62
2.4.1　概要 2-62
2.4.2　シリアルI / O動作　(クロック同期形シリアルI / Oモードの送信) 2-70
2.4.3　シリアルI / O動作　(クロック同期形シリアルI / Oモードの送信、複数クロック出力機能選択時) . 2-74
2.4.4　シリアルI / O動作　(クロック同期形シリアルI / Oモードの受信) 2-78
2.4.5　シリアルI / Oの注意事項　(クロック同期形シリアルI / Oモード時) 2-82
2.5　クロック非同期形シリアルI/O 2-84
2.5.1　概要 2-84
2.5.2　シリアルI / O動作　(クロック非同期形シリアルI / Oモードの送信) 2-94
2.5.3　シリアルI / O動作　(クロック非同期形シリアルI / Oモードの受信) 2-98
2.5.4　シリアルI / O動作　(SIMインタフェース対応時の送信) 2-102
2.5.5　シリアルI / O動作　(SIMインタフェース対応時の受信) 2-106

2.5.6　SIMインタフェース対応時のクロック 2-110
2.6　LCD駆動制御回路 2-114
2.6.1　概要 2-114
2.6.2　LCD駆動制御回路動作(4時分割、1/3バイアス、昇圧回路禁止、VLCD＝VCC) 2-118
2.6.3　LCD駆動制御回路動作(4時分割、1/3バイアス、昇圧回路禁止、VLCD≠VCC) 2-122
2.6.4　LCD駆動制御回路動作(3時分割、1/3バイアス、昇圧回路許可) 2-126
2.6.5　LCD駆動制御回路動作(出力ポート機能) 2-130
2.7　A-D変換器 2-134
2.7.1　概要 2-134
2.7.2　A-D変換器の動作　(単発モード) 2-140
2.7.3　A-D変換器の動作　(単発モード、外部トリガ選択時) 2-142
2.7.4　A-D変換器の動作　(繰り返しモード) 2-144
2.7.5　A-D変換器の動作　(単掃引モード) 2-146
2.7.6　A-D変換器の動作　(繰り返し掃引モード0) 2-148
2.7.7　A-D変換器の動作　(繰り返し掃引モード1) 2-150
2.7.8　A-D変換器の注意事項 2-152
2.7.9　A-D変換の方法　(10ビットモード) 2-153
2.7.10　A-D変換の方法　(8ビットモード) 2-155
2.7.11　絶対精度と微分非直線性誤差 2-157
2.7.12　アナログ入力内部等価回路 2-159
2.7.13　A-D変換時のセンサーの出力インピーダンス 2-160
2.8　D-A変換器 2-162
2.8.1　概要 2-162
2.8.2　D-A変換器の動作 2-163
2.9　DMAC 2-164
2.9.1　概要 2-164
2.9.2　DMACの動作　(単転送モード) 2-168
2.9.3　DMACの動作　(リピート転送) 2-170
2.10　リアルタイムポート 2-172
2.10.1　概要 2-172
2.10.2　リアルタイムポート出力の動作 2-176
2.11　監視タイマ 2-180
2.11.1　概要 2-180
2.11.2　監視タイマの動作 2-182
2.12　アドレス一致割り込み 2-184

2.12.1　概要 2-184
2.12.2　アドレス一致割り込みの動作 2-186
2.13　キー入力割り込み 2-188
2.13.1　概要 2-188
2.13.2　キー入力割り込みの動作 2-194
2.14　パワーコントロール 2-198
2.14.1　概要 2-198
2.14.2　ストップモードへの設定 2-204
2.14.3　ウエイトモードへの設定 2-205
2.14.4　パワーコントロールの注意事項 2-206
2.15　プログラマブル入出力ポート 2-208
2.15.1　概要 2-208

第３章　周辺機能の応用例

3.1　長い周期のタイマ 2-220
3.2　周期およびデューティー可変のPWM出力 2-224
3.3　ディレードワンショット出力 2-228
3.4　ブザーの出力 2-232
3.5　外部割り込み端子が不足したときの対処方法 2-234
3.6　メモリからメモリへのDMA転送例 2-236
3.7　ダイヤルスイッチ入力 2-240
3.8　ステッピングモータ制御 2-246
3.9　ストップモードを使用したパワーコントロール例 2-252
3.10　ウエイトモードを使用したパワーコントロール例 2-256

第４章　割り込み

4.1　割り込みの概要 2-262
4.1.1　割り込みの分類 2-262
4.1.2　ソフトウエア割り込み 2-263
4.1.3　ハードウエア割り込み 2-264
4.1.4　割り込みと割り込みベクタテーブル 2-265
4.2　割り込み制御 2-267
4.2.1　割り込み許可フラグ(Iフラグ) 2-269
4.2.2　割り込み要求ビット 2-269
4.2.3　割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL) 2-270
4.2.4　割り込み制御レジスタの変更 2-271

4.3　割り込みシーケンス 2-272
4.3.1　割り込み応答時間 2-272
4.3.2　割り込み要求受付時のプロセッサ割り込み優先レベル(IPL)の変化 2-273
4.3.3　レジスタ退避 2-274
4.4　割り込みルーチンからの復帰 2-275
4.5　割り込み優先順位 2-275
4.6　多重割り込み 2-275
4.7　割り込みの注意事項 2-278

第5章　標準特性

5.1　DC標準特性 2-282
5.1.1　ポート標準特性 2-282
5.1.2　I_{CC}-f(X_{IN})標準特性 2-287
5.2　A-D変換器標準特性 2-288
5.3　D-A変換器標準特性 2-291
5.4　プルアップ抵抗標準特性 2-293

番地別ページ早見表

		掲載ページ
0000_{16}		
0001_{16}		
0002_{16}		
0003_{16}		
0004_{16}	プロセッサモードレジスタ0(PM0)	1-19
0005_{16}	プロセッサモードレジスタ1(PM1)	
0006_{16}	システムクロック制御レジスタ０(CM0)	1-24
0007_{16}	システムクロック制御レジスタ１(CM1)	
0008_{16}		
0009_{16}	アドレス一致割り込み許可レジスタ(AIER)	1-48
$000A_{16}$	プロテクトレジスタ(PRCR)	1-30
$000B_{16}$		
$000C_{16}$		
$000D_{16}$		
$000E_{16}$	監視タイマスタートレジスタ(WDTS)	1-52
$000F_{16}$	監視タイマ制御レジスタ(WDC)	
0010_{16}	アドレス一致割り込みレジスタ０(RMAD0)	1-48
0011_{16}		
0012_{16}		
0013_{16}		
0014_{16}	アドレス一致割り込みレジスタ１(RMAD1)	1-48
0015_{16}		
0016_{16}		
0017_{16}		
0018_{16}		
0019_{16}		
$001A_{16}$		
$001B_{16}$		
$001C_{16}$		
$001D_{16}$		
$001E_{16}$		
$001F_{16}$		
0020_{16}	DMA0ソースポインタ(SAR0)	1-57
0021_{16}		
0022_{16}		
0023_{16}		
0024_{16}	DMA0ディスティネーションポインタ(DAR0)	1-57
0025_{16}		
0026_{16}		
0027_{16}		
0028_{16}	DMA0転送カウンタ(TCR0)	1-57
0029_{16}		
$002A_{16}$		
$002B_{16}$		
$002C_{16}$	DMA0制御レジスタ(DM0CON)	1-56
$002D_{16}$		
$002E_{16}$		
$002F_{16}$		
0030_{16}	DMA1ソースポインタ(SAR1)	1-57
0031_{16}		
0032_{16}		
0033_{16}		
0034_{16}	DMA1ディスティネーションポインタ(DAR1)	1-57
0035_{16}		
0036_{16}		
0037_{16}		
0038_{16}	DMA1転送カウンタ(TCR1)	1-57
0039_{16}		
$003A_{16}$		
$003B_{16}$		
$003C_{16}$	DMA1制御レジスタ(DM1CON)	1-56
$003D_{16}$		
$003E_{16}$		
$003F_{16}$		

		掲載ページ
0040_{16}		
0041_{16}		
0042_{16}		
0043_{16}		
0044_{16}	$\overline{\text{INT3}}$割り込み制御レジスタ(INT3IC)	1-36
0045_{16}	タイマB5割り込み制御レジスタ(TB5IC)	
0046_{16}	タイマB4割り込み制御レジスタ(TB4IC)	
0047_{16}	タイマB3割り込み制御レジスタ(TB3IC)	
0048_{16}	タイマA7割り込み制御レジスタ(TA7IC)	
0049_{16}	タイマA6割り込み制御レジスタ(TA6IC)	
$004A_{16}$	タイマA5割り込み制御レジスタ(TA5IC) バス衝突検出割り込み制御レジスタ(BCNIC)	
$004B_{16}$	DMA0割り込み制御レジスタ(DM0IC)	
$004C_{16}$	DMA1割り込み制御レジスタ(DM1IC)	
$004D_{16}$	キー入力割り込み制御レジスタ(KUPIC)	
$004E_{16}$	A-D変換割り込み制御レジスタ(ADIC)	
$004F_{16}$	UART2送信割り込み制御レジスタ(S2TIC)	
0050_{16}	UART2受信割り込み制御レジスタ(S2RIC)	
0051_{16}	UART0送信割り込み制御レジスタ(S0TIC)	
0052_{16}	UART0受信割り込み制御レジスタ(S0RIC)	
0053_{16}	UART1送信割り込み制御レジスタ(S1TIC)	
0054_{16}	UART1受信割り込み制御レジスタ(S1RIC)	
0055_{16}	タイマA0割り込み制御レジスタ(TA0IC)	
0056_{16}	タイマA1割り込み制御レジスタ(TA1IC)	
0057_{16}	タイマA2割り込み制御レジスタ(TA2IC)	
0058_{16}	タイマA3割り込み制御レジスタ(TA3IC) INT4割り込み制御レジスタ(INT4IC)	
0059_{16}	タイマA4割り込み制御レジスタ(TA4IC) INT5割り込み制御レジスタ(INT5IC)	
$005A_{16}$	タイマB0割り込み制御レジスタ(TB0IC)	
$005B_{16}$	タイマB1割り込み制御レジスタ(TB1IC)	
$005C_{16}$	タイマB2割り込み制御レジスタ(TB2IC)	
$005D_{16}$	$\overline{\text{INT0}}$割り込み制御レジスタ(INT0IC)	
$005E_{16}$	$\overline{\text{INT1}}$割り込み制御レジスタ(INT1IC)	
$005F_{16}$	$\overline{\text{INT2}}$割り込み制御レジスタ(INT2IC)	
≈		≈
0100_{16}	LCD RAM0(LRAM0)	1-125
0101_{16}	LCD RAM1(LRAM1)	
0102_{16}	LCD RAM2(LRAM2)	
0103_{16}	LCD RAM3(LRAM3)	
0104_{16}	LCD RAM4(LRAM4)	
0105_{16}	LCD RAM5(LRAM5)	
0106_{16}	LCD RAM6(LRAM6)	
0107_{16}	LCD RAM7(LRAM7)	
0108_{16}	LCD RAM8(LRAM8)	
0109_{16}	LCD RAM9(LRAM9)	
$010A_{16}$	LCD RAM10(LRAM10)	
$010B_{16}$	LCD RAM11(LRAM11)	
$010C_{16}$	LCD RAM12(LRAM12)	
$010D_{16}$	LCD RAM13(LRAM13)	
$010E_{16}$	LCD RAM14(LRAM14)	
$010F_{16}$	LCD RAM15(LRAM15)	
0110_{16}	LCD RAM16(LRAM16)	
0111_{16}	LCD RAM17(LRAM17)	
0112_{16}	LCD RAM18(LRAM18)	
0113_{16}	LCD RAM19(LRAM19)	
0114_{16}	LCD RAM20(LRAM20)	
0115_{16}	LCD RAM21(LRAM21)	
0116_{16}	LCD RAM22(LRAM22)	
0117_{16}	LCD RAM23(LRAM23)	
≈		≈
0120_{16}	LCDモードレジスタ(LCDM)	1-123
0121_{16}		
0122_{16}	セグメント出力許可レジスタ(SEG)	1-123
0123_{16}		
0124_{16}	LCDフレーム周波数カウンタ(LCDTIM)	1-123
0125_{16}		
0126_{16}	キー入力モードレジスタ(KUPM)	1-47

注1.　SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

番地別ページ早見表

		掲載ページ
0340_{16}	カウント開始フラグ1(TABSR1)	1-66
0341_{16}		
0342_{16}	ワンショット開始フラグ1(ONSF1)	1-68
0343_{16}	トリガ選択レジスタ1(TRGSR1)	
0344_{16}	アップダウンフラグ1(UDF1)	1-67
0345_{16}		
0346_{16}	タイマA5レジスタ(TA5)	1-66
0347_{16}		
0348_{16}	タイマA6レジスタ(TA6)	
0349_{16}		
$034A_{16}$	タイマA7レジスタ(TA7)	
$034B_{16}$		
$034C_{16}$		
$034D_{16}$		
$034E_{16}$		
$034F_{16}$		
0350_{16}	タイマB3レジスタ(TB3)	1-78
0351_{16}		
0352_{16}	タイマB4レジスタ(TB4)	
0353_{16}		
0354_{16}	タイマB5レジスタ(TB5)	
0355_{16}		
0356_{16}	タイマA5モードレジスタ(TA5MR)	1-65
0357_{16}	タイマA6モードレジスタ(TA6MR)	
0358_{16}	タイマA7モードレジスタ(TA7MR)	
0359_{16}		
$035A_{16}$		
$035B_{16}$	タイマB3モードレジスタ(TB3MR)	1-77
$035C_{16}$	タイマB4モードレジスタ(TB4MR)	
$035D_{16}$	タイマB5モードレジスタ(TB5MR)	
$035E_{16}$	割り込み要因選択レジスタ0(IFSR0)	1-44
$035F_{16}$	割り込み要因選択レジスタ1(IFSR1)	
0360_{16}	クロック分周カウンタ制御レジスタ(CDCC)	1-25
0361_{16}		
0362_{16}		
0363_{16}		
0364_{16}		
0365_{16}		
0366_{16}		
0367_{16}		
0368_{16}		
0369_{16}		
$036A_{16}$		
$036B_{16}$		
$036C_{16}$		
$036D_{16}$		
$036E_{16}$	クロック分周カウンタ(CDC)	1-25
$036F_{16}$		
0370_{16}		
0371_{16}		
0372_{16}		
0373_{16}		
0374_{16}		
0375_{16}		
0376_{16}	UART2特殊モードレジスタ2 (U2SMR2)	1-117
0377_{16}	UART2特殊モードレジスタ(U2SMR)	1-93
0378_{16}	UART2送受信モードレジスタ(U2MR)	1-90
0379_{16}	UART2転送速度レジスタ(U2BRG)	1-89
$037A_{16}$	UART2送信バッファレジスタ(U2TB)	
$037B_{16}$		
$037C_{16}$	UART2送受信制御レジスタ0(U2C0)	1-91
$037D_{16}$	UART2送受信制御レジスタ1(U2C1)	1-92
$037E_{16}$	UART2受信バッファレジスタ(U2RB)	1-89
$037F_{16}$		

		掲載ページ
0380_{16}	カウント開始フラグ0(TABSR0)	1-66
0381_{16}	時計用プリスケーラリセットフラグ(CPSRF)	1-69
0382_{16}	ワンショット開始フラグ0(ONSF0)	1-67
0383_{16}	トリガ選択レジスタ0(TRGSR0)	1-68
0384_{16}	アップダウンフラグ0(UDF0)	1-67
0385_{16}		
0386_{16}	タイマA0レジスタ(TA0)	1-66
0387_{16}		
0388_{16}	タイマA1レジスタ(TA1)	
0389_{16}		
$038A_{16}$	タイマA2レジスタ(TA2)	
$038B_{16}$		
$038C_{16}$	タイマA3レジスタ(TA3)	
$038D_{16}$		
$038E_{16}$	タイマA4レジスタ(TA4)	
$038F_{16}$		
0390_{16}	タイマB0レジスタ(TB0)	1-78
0391_{16}		
0392_{16}	タイマB1レジスタ(TB1)	
0393_{16}		
0394_{16}	タイマB2レジスタ(TB2)	
0395_{16}		
0396_{16}	タイマA0モードレジスタ(TA0MR)	1-65
0397_{16}	タイマA1モードレジスタ(TA1MR)	
0398_{16}	タイマA2モードレジスタ(TA2MR)	
0399_{16}	タイマA3モードレジスタ(TA3MR)	
$039A_{16}$	タイマA4モードレジスタ(TA4MR)	
$039B_{16}$	タイマB0モードレジスタ(TB0MR)	1-77
$039C_{16}$	タイマB1モードレジスタ(TB1MR)	
$039D_{16}$	タイマB2モードレジスタ(TB2MR)	
$039E_{16}$		
$039F_{16}$		
$03A0_{16}$	UART0送受信モードレジスタ(U0MR)	1-90
$03A1_{16}$	UART0転送速度レジスタ(U0BRG)	1-89
$03A2_{16}$	UART0送信バッファレジスタ(U0TB)	
$03A3_{16}$		
$03A4_{16}$	UART0送受信制御レジスタ０(U0C0)	1-91
$03A5_{16}$	UART0送受信制御レジスタ１(U0C1)	1-92
$03A6_{16}$	UART0受信バッファレジスタ(U0RB)	1-89
$03A7_{16}$		
$03A8_{16}$	UART1送受信モードレジスタ(U1MR)	1-90
$03A9_{16}$	UART1転送速度レジスタ(U1BRG)	1-89
$03AA_{16}$	UART1送信バッファレジスタ(U1TB)	
$03AB_{16}$		
$03AC_{16}$	UART1送受信制御レジスタ０(U1C0)	1-91
$03AD_{16}$	UART1送受信制御レジスタ１(U1C1)	1-92
$03AE_{16}$	UART1受信バッファレジスタ(U1RB)	1-89
$03AF_{16}$		
$03B0_{16}$	UART送受信制御レジスタ２(UCON)	1-93
$03B1_{16}$		
$03B2_{16}$		
$03B3_{16}$		
$03B4_{16}$	フラッシュメモリ制御レジスタ(FMCR)(注1)	1-174
$03B5_{16}$		
$03B6_{16}$		
$03B7_{16}$		
$03B8_{16}$	DMA0要因選択レジスタ(DM0SL)	1-55
$03B9_{16}$		
$03BA_{16}$	DMA1要因選択レジスタ(DM1SL)	1-56
$03BB_{16}$		
$03BC_{16}$		
$03BD_{16}$		
$03BE_{16}$		
$03BF_{16}$		

注1.　このレジスタはフラッシュメモリ版にのみ存在します。
注2.　SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

番地別ページ早見表

		掲載ページ
$03C0_{16}$ $03C1_{16}$	A-Dレジスタ0(AD0)	1-131
$03C2_{16}$ $03C3_{16}$	A-Dレジスタ1(AD1)	
$03C4_{16}$ $03C5_{16}$	A-Dレジスタ2(AD2)	
$03C6_{16}$ $03C7_{16}$	A-Dレジスタ3(AD3)	
$03C8_{16}$ $03C9_{16}$	A-Dレジスタ4(AD4)	
$03CA_{16}$ $03CB_{16}$	A-Dレジスタ5(AD5)	
$03CC_{16}$ $03CD_{16}$	A-Dレジスタ6(AD6)	
$03CE_{16}$ $03CF_{16}$	A-Dレジスタ7(AD7)	
$03D0_{16}$		
$03D1_{16}$		
$03D2_{16}$		
$03D3_{16}$		
$03D4_{16}$	A-D制御レジスタ2(ADCON2)	1-131
$03D5_{16}$		
$03D6_{16}$	A-D制御レジスタ0(ADCON0)	1-130
$03D7_{16}$	A-D制御レジスタ1(ADCON1)	
$03D8_{16}$	D-Aレジスタ0(DA0)	1-139
$03D9_{16}$		
$03DA_{16}$	D-Aレジスタ1(DA1)	1-139
$03DB_{16}$		
$03DC_{16}$	D-A制御レジスタ(DACON)	1-139
$03DD_{16}$		
$03DE_{16}$	D-Aレジスタ2(DA2)	1-139
$03DF_{16}$		
$03E0_{16}$	ポートP0レジスタ(P0)	1-146
$03E1_{16}$	ポートP1レジスタ(P1)	
$03E2_{16}$	ポートP0方向レジスタ(PD0)	1-145
$03E3_{16}$	ポートP1方向レジスタ(PD1)	
$03E4_{16}$	ポートP2レジスタ(P2)	1-146
$03E5_{16}$	ポートP3レジスタ(P3)	
$03E6_{16}$	ポートP2方向レジスタ(PD2)	1-145
$03E7_{16}$	ポートP3方向レジスタ(PD3)	
$03E8_{16}$	ポートP4レジスタ(P4)	1-146
$03E9_{16}$	ポートP5レジスタ(P5)	
$03EA_{16}$	ポートP4方向レジスタ(PD4)	1-145
$03EB_{16}$	ポートP5方向レジスタ(PD5)	
$03EC_{16}$	ポートP6レジスタ(P6)	1-146
$03ED_{16}$	ポートP7レジスタ(P7)	
$03EE_{16}$	ポートP6方向レジスタ(PD6)	1-145
$03EF_{16}$	ポートP7方向レジスタ(PD7)	
$03F0_{16}$	ポートP8レジスタ(P8)	1-146
$03F1_{16}$	ポートP9レジスタ(P9)	
$03F2_{16}$	ポートP8方向レジスタ(PD8)	1-145
$03F3_{16}$	ポートP9方向レジスタ(PD9)	
$03F4_{16}$	ポートP10レジスタ(P10)	1-146
$03F5_{16}$	ポートP11レジスタ(P11)	
$03F6_{16}$	ポートP10方向レジスタ(PD10)	1-145
$03F7_{16}$	ポートP11方向レジスタ(PD11)	
$03F8_{16}$	ポートP12レジスタ(P12)	1-146
$03F9_{16}$	ポートP13レジスタ(P13)	
$03FA_{16}$	ポートP12方向レジスタ(PD12)	1-145
$03FB_{16}$	ポートP13方向レジスタ(PD13)	
$03FC_{16}$	プルアップ制御レジスタ０(PUR0)	1-147
$03FD_{16}$	プルアップ制御レジスタ１(PUR1)	
$03FE_{16}$	プルアップ制御レジスタ２(PUR2)	
$03FF_{16}$	リアルタイムポート制御レジスタ(RTP)	1-84

注1.　SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

レイアウトの都合上、このページは白紙です。

第１章

ハードウエア

概　要

M30220グループは、高性能シリコンゲートCMOSプロセスを採用しM16C/60 CPUコアを搭載したLCDコントローラ/ドライバ内蔵のシングルチップマイクロコンピュータで、144ピンプラスチックモールドQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。

特　長

- 基本機械語命令 M16C/60シリーズ互換
- メモリ容量 ..... メモリ展開の図を参照してください
- 最短命令実行時間 ..... 100ns(f(XIN)=10MHz時)
- 電源電圧 ..... 4.0V～5.5V(f(XIN)=10MHz時)
  2.7V～5.5V(f(XIN)=7MHz、1ウエイト時)
- 割り込み ..... 内部26要因、外部8要因、ソフトウエア4要因、7レベル
  (キー入力割り込みを含む)
- 多機能16ビットタイマ ..... タイマA(出力系)×8本、タイマB(入力系)×6本
- リアルタイムポート出力 ..... 8ビット×4ポート
- シリアルI/O ..... UARTまたはクロック同期形×3本
- DMAC ..... 2チャネル(スタート条件:26要因)
- A-D 変換器 ..... 10ビット×8チャネル
- D-A 変換器 ..... 8ビット×3チャネル
- 監視タイマ 1本
- プログラマブル入出力ポート ..... 104本(内32本はLCD出力と兼用)
- 出力ポート ..... 16本(LCD出力と兼用)
- 入力ポート ..... 1本(P7$_7$、$\overline{\text{NMI}}$端子と兼用)
- LCD駆動制御回路 ..... 1/2、1/3バイアス
  2、3、4時分割
  コモン出力　4本
  セグメント出力　48本
  昇圧回路内蔵
- キー入力割り込み 最大20本
- クロック発生回路 ..... 2回路内蔵(帰還抵抗内蔵、セラミック共振子、または水晶共振子外付け)

本仕様書はできる限り正確を期すよう努力しておりますが、誤記がありましたときはご容赦ください。
また、機能向上や性能向上のために仕様を変更する場合がありますので最新バージョンをご使用ください。

応　用

カメラ、家電、携帯機器、オーディオ、計量計、事務機器、他

目　次

中央演算処理装置 …… 1-10
リセット …… 1-13
クロック発生回路 …… 1-21
プロテクト …… 1-30
割り込み …… 1-31
監視タイマ …… 1-51
DMAC …… 1-53
タイマ …… 1-63
リアルタイムポート …… 1-83
シリアルI/O …… 1-85
LCD駆動制御回路 …… 1-121
A-D変換器 …… 1-128
D-A変換器 …… 1-138
プログラマブル入出力ポート …… 1-140
電気的特性 …… 1-154
フラッシュメモリ版 …… 1-170

ピン接続図

図1.1.1にピン接続図(上面図)を示します。

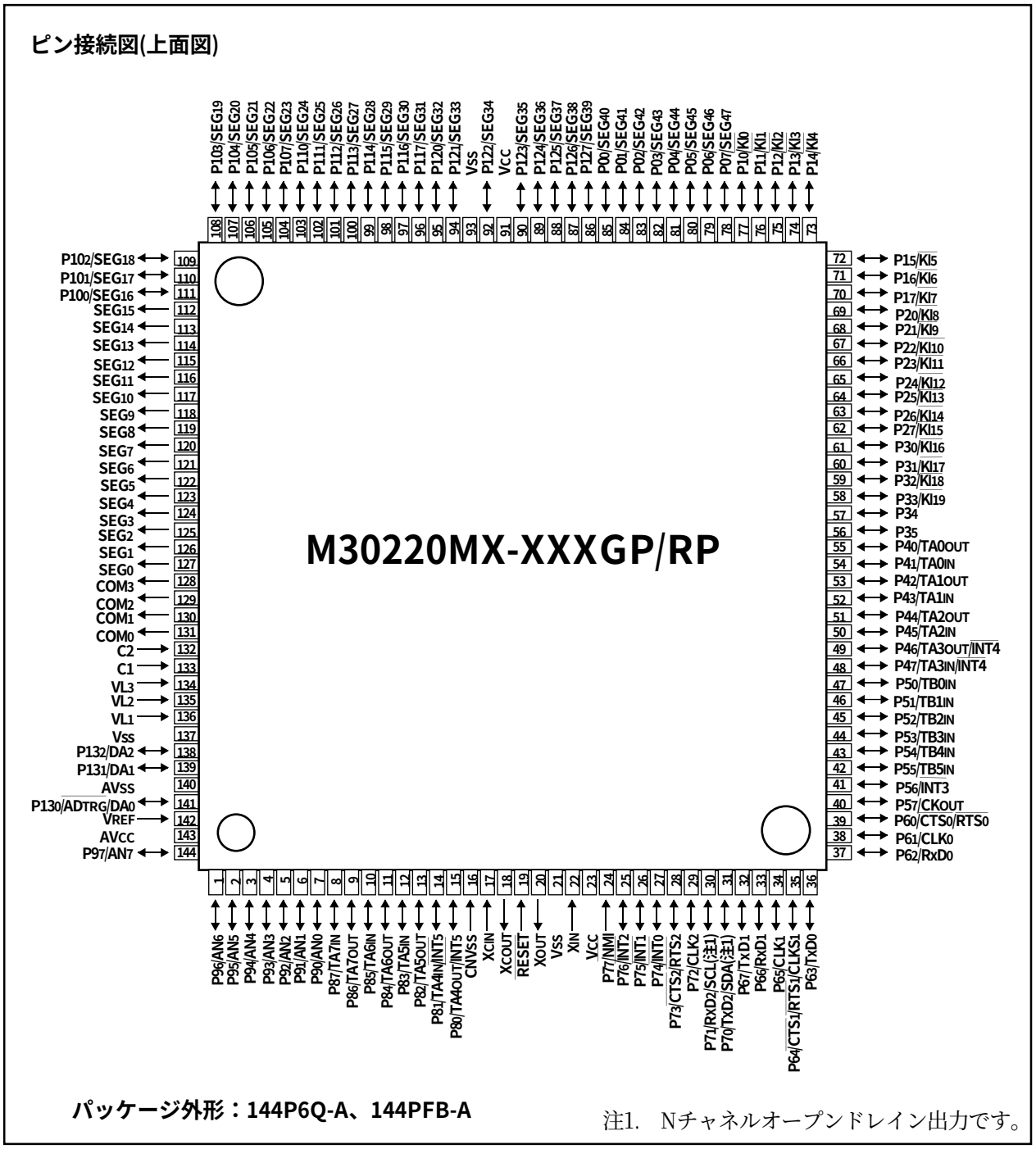


図1.1.1.　ピン接続図(上面図)

ブロック図

図1.1.2にM30220グループのブロック図を示します。

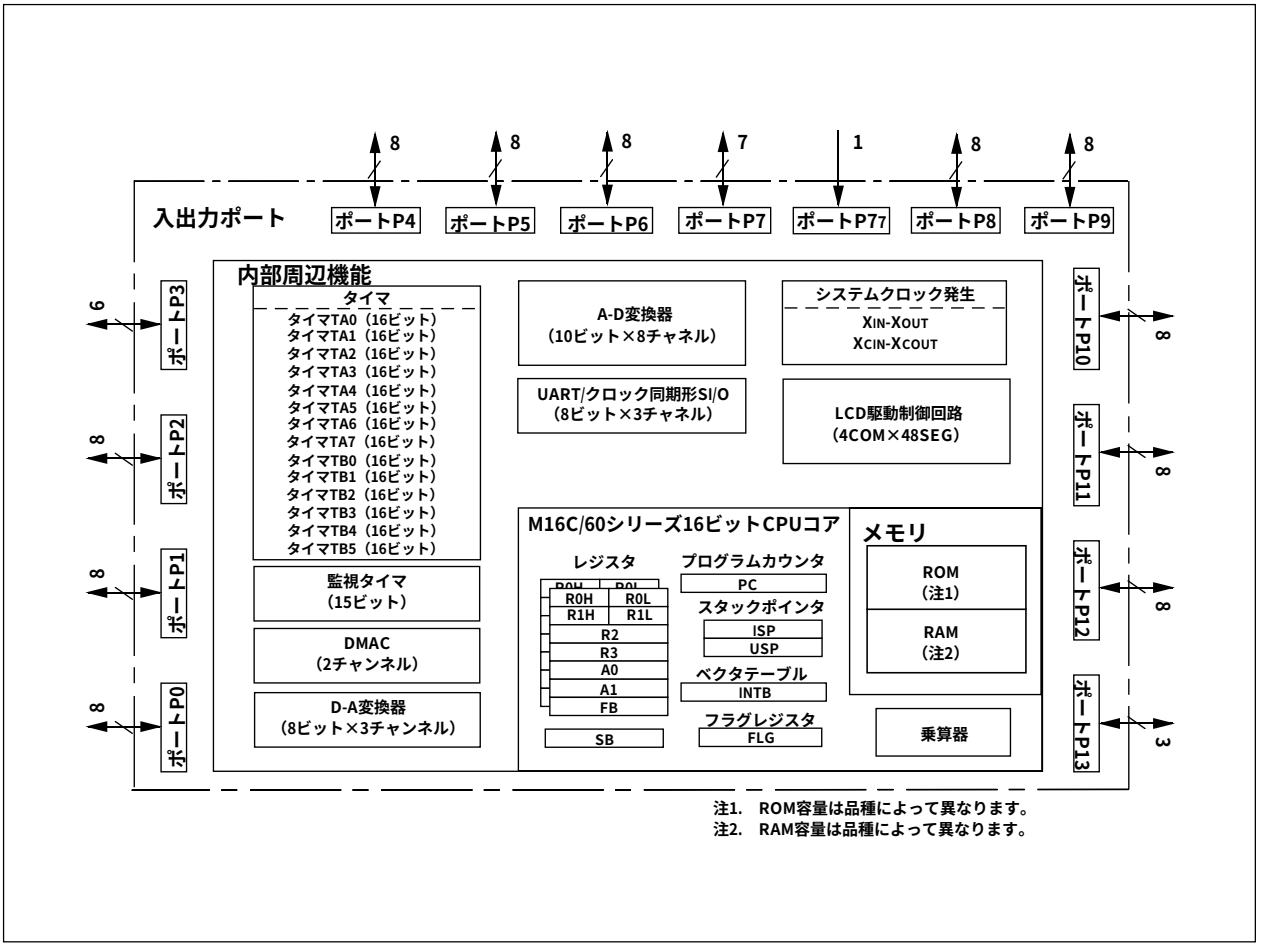


図1.1.2.　M30220グループのブロック図

性能概要

表1.1.1にM30220の性能概要を示します。

表1.1.1.　M30220の性能概要

項　　目			性　　能
基本命令数			91命令
最短命令実行時間			100ns(f(XIN)=10MHz時)
メモリ容量	ROM		96Kバイト
	RAM		6Kバイト
入出力ポート	P0～P13(ただしP77は除く)		8ビット×11、3ビット×1、6ビット×1、7ビット×1
入力ポート	P77		1ビット×1
出力ポート	SEG0～SEG15		2ビット×8
多機能タイマ	TA0～TA7		16ビット×8
	TB0～TB5		16ビット×6
リアルタイムポート出力			8ビット×4ポート
シリアルI/O	UART0～UART2		(UARTまたはクロック同期形)×3
A-D変換器			10ビット×8チャネル
D-A変換器			8ビット×3チャネル
DMAC			2チャンネル(スタート条件：26要因)
LCD	COM0～COM3		4本
	SEG0～SEG47		48本(内32本は入出力ポートと兼用)
監視タイマ			15ビット×1(プリスケーラ付)
割り込み			内部26要因、外部8要因、ｿﾌﾄｳｴｱ4要因、7レベル
クロック発生回路			2回路内蔵 (帰還抵抗内蔵、セラミック共振子、または水晶共振子外付け)
電源電圧			4.0V～5.5V(f(XIN)=10MHz時)
			2.7V～5.5V(f(XIN)=7MHz、1ウエイト時)
消費電力			18mW(Vcc=3V、f(XIN)=7MHz、1ウエイト時)
入出力特性	入出力耐電圧(P0～P13)		5V
	出力電流	P1～P9、P13	5mA
		P0、P10～P12	0.1mA("H"出力時)、2.5mA("L"出力時)
素子構造			CMOS高性能シリコンゲート
パッケージ			144ピンプラスチックモールドQFP

M30220グループでは、次のような展開を計画しています。

(1)マスクROM版、フラッシュメモリ版をサポート

(2)メモリ容量

(3)パッケージ

144P6Q-A……プラスチックモールドQFP(マスクROM版、フラッシュメモリ版)

144PFB-A……プラスチックモールドQFP(マスクROM版、フラッシュメモリ版)

図1.1.3にメモリ展開、図1.1.4に形名とメモリサイズ・パッケージを示します。

2001年 4月現在

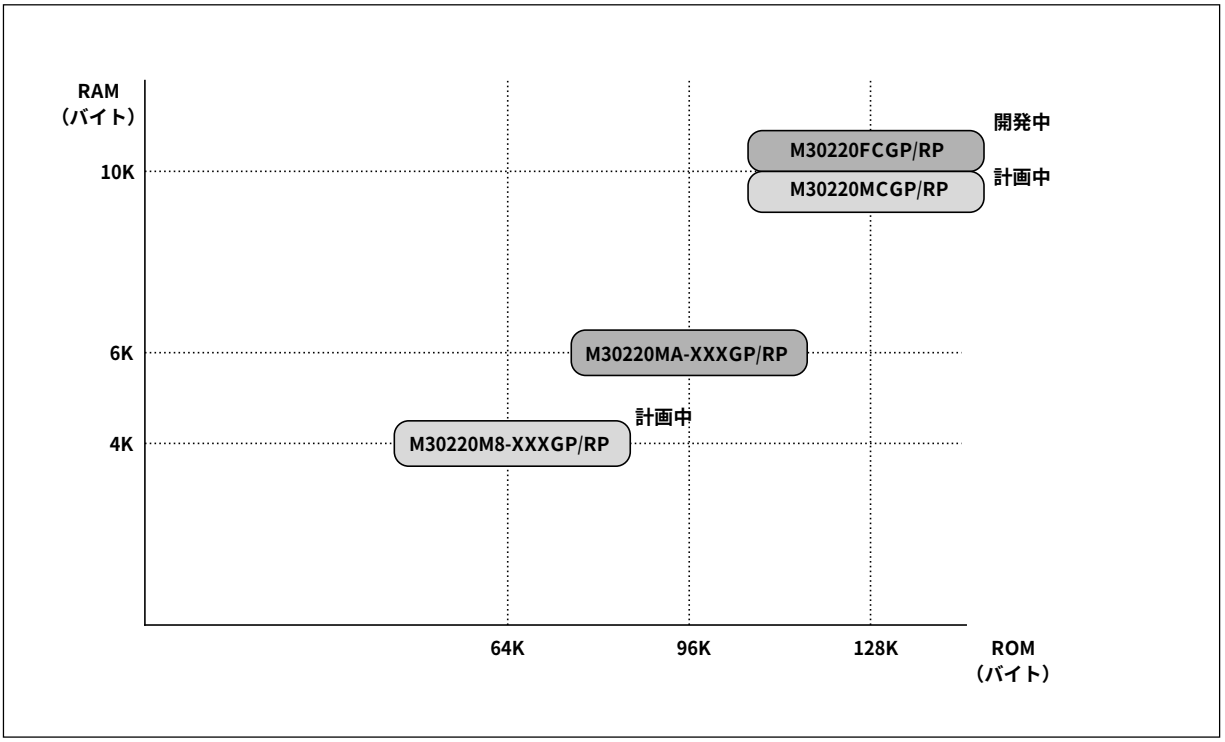


図1.1.3.　メモリ展開

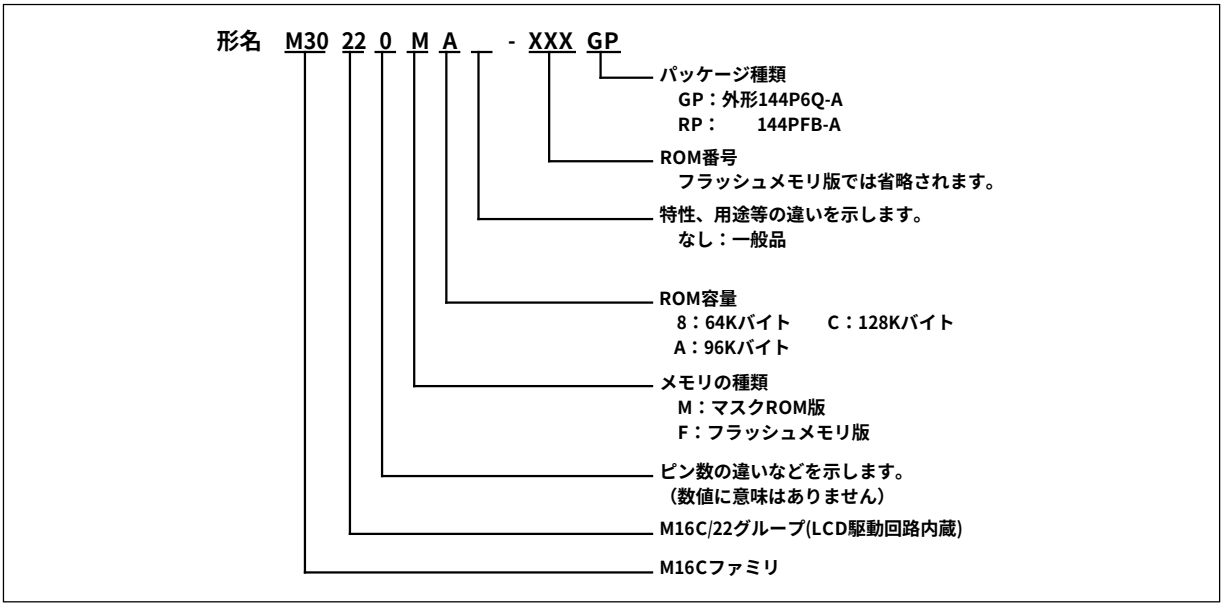


図1.1.4.　形名とメモリサイズ・パッケージ

端子の機能説明

端子名	名　称	入出力	機　　能
VCC，VSS	電源入力		VCC端子には、2.7V～5.5Vを印加してください。VSS端子には、0Vを印加してください。
CNVSS	CNVSS	入力	抵抗を介してVSS端子に接続してください。
$\overline{\text{RESET}}$	リセット入力	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
XIN XOUT	クロック入力 クロック出力	入力 出力	メインクロック発振回路の入出力端子です。XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。 外部クロックで生成したクロックを入力する場合は、XIN端子からクロックを入力し、XOUT端子は開放にしてください。
XCIN XCOUT	クロック入力 クロック出力	入力 出力	サブクロック発振回路の入出力端子です。使用する場合、XCIN端子とXCOUT端子の間には水晶発振子を接続してください。 外部クロックで生成したクロックを入力する場合は、XCIN端子からクロックを入力し、XCOUT端子は開放にしてください。
AVCC	アナログ電源入力		A-D変換器の電源入力端子です。VCC端子に接続してください。
AVSS	アナログ電源入力		A-D変換器の電源入力端子です。VSS端子に接続してください。
VREF	基準電圧入力	入力	A-D変換器の基準電圧入力端子です。
$P0_0$～$P0_7$	入出力ポートP0	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力、または出力ポートに設定できます。入力ポート時、ソフトウエアにて4ビット単位でプルアップ抵抗の有無を設定できます。LCDのセグメント出力、リアルタイムポート出力としても使用することが可能です。
$P1_0$～$P1_7$	入出力ポートP1	入出力	P0と同等の機能を持つ8ビット入出力ポートです。ソフトウエアで選択することによって、キー入力割り込み機能の入力端子、リアルタイムポート出力としても機能します。
$P2_0$～$P2_7$	入出力ポートP2	入出力	P0と同等の機能を持つ8ビット入出力ポートです。ソフトウエアで選択することによって、キー入力割り込み機能の入力端子、リアルタイムポート出力としても機能します。
$P3_0$～$P3_5$	入出力ポートP3	入出力	P0と同等の機能を持つ6ビット入出力ポートです。ソフトウエアで選択することによって、$P3_0$～$P3_3$はキー入力割り込み機能の入力端子として機能します。
$P4_0$～$P4_7$	入出力ポートP4	入出力	P0と同等の機能を持つ8ビット入出力ポートです。ソフトウエアで選択することによってタイマA0～A3の入出力端子または$\overline{\text{INT}_4}$の入力端子として機能します。
$P5_0$～$P5_7$	入出力ポートP5	入出力	P0と同等の機能を持つ8ビット入出力ポートです。ソフトウエアで選択することによって、タイマB0～B5、$\overline{\text{INT}_3}$の入力端子、CKOUT機能の出力端子として機能ます。
$P6_0$～$P6_7$	入出力ポートP6	入出力	P0と同等の機能を持つ8ビット入出力ポートです。ソフトウエアで選択することによって、UART0、UART1の入出力端子として機能します。

端子の機能説明

端子名	名　称	入出力	機　　能
$P7_0$～$P7_6$ $P7_7$	入出力ポートP7	入出力 入力	$P7_0$～$P7_6$はP0と同等の機能を持つ7ビット入出力ポートです(ただし、$P7_0$および$P7_1$はNチャネルオープンドレイン出力)。ソフトウエアで選択することによりUART2、$\overline{INT_0}$、$\overline{INT_1}$、$\overline{INT_2}$として機能します。 $P7_7$は入力専用ポートで$\overline{NMI}$割り込み入力と兼用しています。
$P8_0$～$P8_7$	入出力ポートP8	入出力	P0と同等の機能を持つ8ビット入出力ポートです。 ソフトウエアで選択することによりタイマA4～A7の入出力端子、$\overline{INT_5}$割り込みの入力端子として機能します。
$P9_0$～$P9_7$	入出力ポートP9	入出力	P0と同等の機能を持つ8ビット入出力ポートです。ソフトウエアで選択することにより、A-D変換器のアナログ入力端子としても機能します。
$P10_0$～$P10_7$	入出力ポートP10	入出力	P0と同等の機能を持つ8ビット入出力ポートです。ソフトウエアで選択することにより、LCDのSEG出力としても機能します。
$P11_0$～$P11_7$	入出力ポートP11	入出力	P0と同等の機能を持つ8ビット入出力ポートです。ソフトウエアで選択することにより、LCDのSEG出力としても機能します。
$P12_0$～$P12_7$	入出力ポートP12	入出力	P0と同等の機能を持つ8ビット入出力ポートです。ソフトウエアで選択することにより、LCDのSEG出力、リアルタイムポート出力としても機能します。
$P13_0$～ $P13_2$	入出力ポートP13	入出力	P0と同等の機能を持つ3ビット入出力ポートです。ソフトウエアで選択することにより、D-A変換器のアナログ出力、A-D変換器のスタートトリガ入力として機能します。
SEG_0～ SEG_{15}	セグメント出力	出力	LCD駆動回路のセグメント出力です。
COM_0～ COM_3	コモン出力	出力	LCD駆動回路のコモン出力です。
VL_1～ VL_3	LCD用電源入力		LCD駆動回路の電源入力です。
C_1、C_2	昇圧用コンデンサー接続端子		LCDの昇圧用コンデンサーの外付け端子です。C_1とC_2の間にコンデンサーを接続してください。

機能ブロック動作説明

M30220グループは、次のような装置をシングルチップ内に収めています。命令またはデータを記憶するためのメモリであるROMとRAM、演算を実行するための中央演算処理装置、そして、タイマ、リアルタイムポート、シリアルI/O、LCD駆動制御回路、D-A変換器、A-D変換器、DMAC、入出力ポートなどの周辺装置です。

次に各装置について説明します。

メモリ

メモリ配置図を図1.4.1に示します。アドレス空間は00000$_{16}$番地からFFFFF$_{16}$番地までの1Mバイトあります。

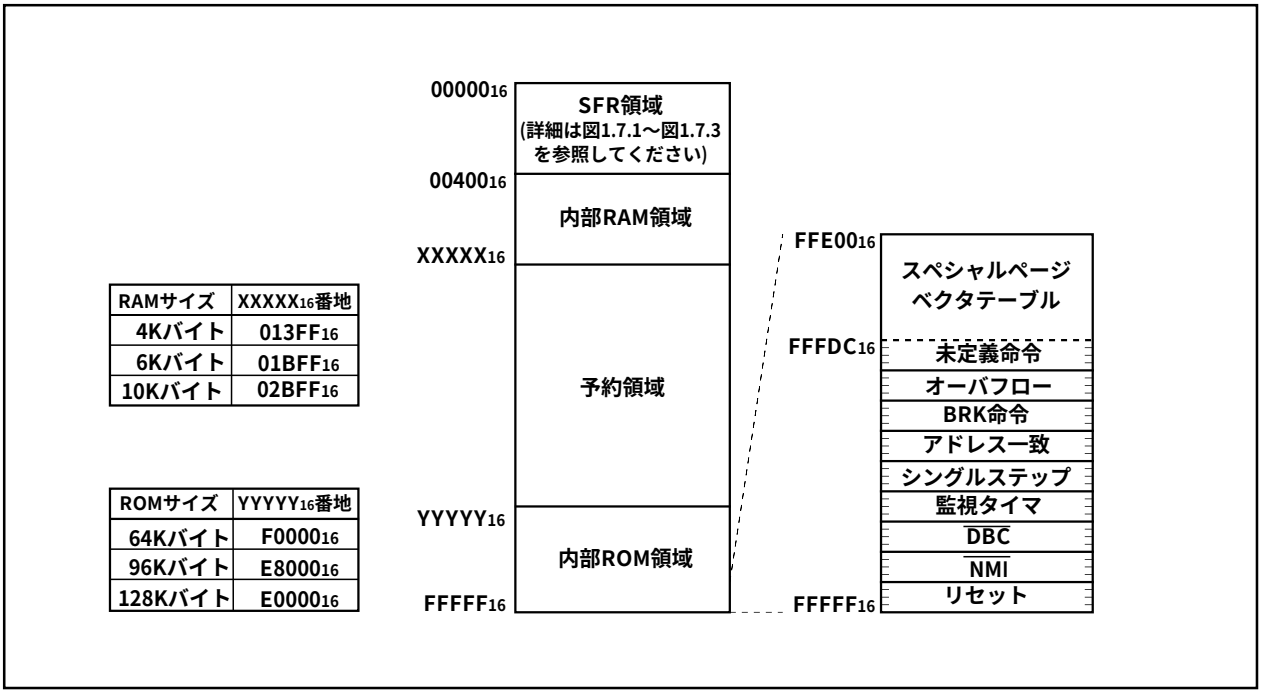
FFFFF$_{16}$番地から番地の小さい方向にROMが配置されています。例えばM30220MA-XXXGPでは、E8000$_{16}$番地からFFFFF$_{16}$番地まで96Kバイトの内部ROMが配置されています。

FFFDC$_{16}$番地からFFFFF$_{16}$番地はリセットおよび$\overline{\text{NMI}}$などの固定割り込みベクタテーブルの番地で、ここに割り込みルーチンの先頭アドレスを格納します。また、タイマ割り込みなどのベクタテーブルの番地は、内部レジスタ(INTB)により任意に設定することができます。詳細は割り込みの項を参照してください。

00400$_{16}$番地から番地の大きい方向にRAMが配置されています。例えばM30220MA-XXXGPでは、00400$_{16}$番地から01BFF$_{16}$番地まで6Kバイトの内部RAMが配置されています。RAMはデータ格納以外にサブルーチン呼び出しや、割り込み時のスタックとしても使用します。

00000$_{16}$番地から003FF$_{16}$番地は入出力ポート、A-D変換器、シリアルI/O、タイマ、LCDなどの周辺装置の制御レジスタが割り付けられているSFR領域です。図1.7.1～1.7.3に周辺装置制御レジスタの配置を示します。SFR領域のうち何も配置されていない領域はすべて予約領域となっており、使用することができません。

FFE00$_{16}$番地からFFFDB$_{16}$番地はスペシャルページベクタテーブルで、ここにサブルーチンの先頭番地またはジャンプ先の番地を格納すれば、サブルーチンコール命令やジャンプ命令を2バイトで使用でき、プログラムステップ数の節減に役立ちます。



RAMサイズ	XXXXX$_{16}$番地
4Kバイト	013FF$_{16}$
6Kバイト	01BFF$_{16}$
10Kバイト	02BFF$_{16}$

ROMサイズ	YYYYY$_{16}$番地
64Kバイト	F0000$_{16}$
96Kバイト	E8000$_{16}$
128Kバイト	E0000$_{16}$

図1.4.1. メモリ配置図

中央演算処理装置

中央演算処理装置には図1.5.1に示す13個のレジスタがあります。これらのうち、R0,R1,R2,R3,A0,A1,FBの7個は2セットあり、2つのレジスタバンクを構成しています。

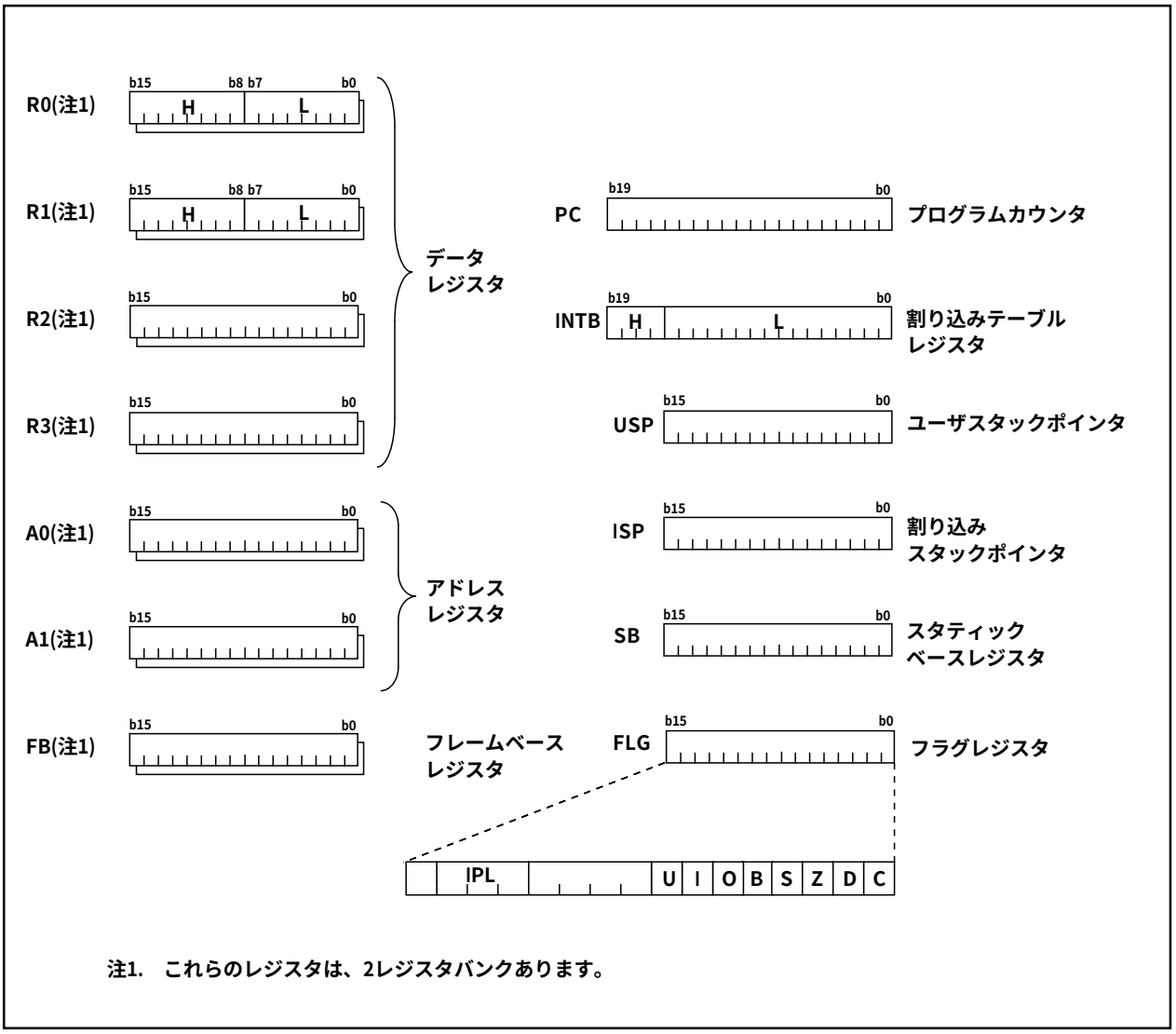


図1.5.1　中央演算処理装置のレジスタ構成

(1)　データレジスタ(R0/R0H/R0L/R1/R1H/R1L/R2/R3)

データレジスタ(R0/R1/R2/R3)は16ビットで構成されており、主に転送や算術、論理演算に使用します。

R0/R1は、上位(R0H/R1H)と下位(R0L/R1L)を別々に8ビットのデータレジスタとして使用することもできます。また、一部の命令ではR2とR0、R3とR1を組合せて32ビットのデータレジスタ(R2R0/R3R1)としても使用できます。

(2)　アドレスレジスタ(A0/A1)

アドレスレジスタ(A0/A1)は16ビットで構成されており、データレジスタと同等の機能を持ちます。また、アドレスレジスタ間接アドレッシングおよびアドレスレジスタ相対アドレッシングに使用します。

一部の命令ではA1とA0とを組合せて32ビットのアドレスレジスタ(A1A0)としても使用できます。

(3) フレームベースレジスタ(FB)

フレームベースレジスタ(FB)は16ビットで構成されており、FB相対アドレッシングに使用します。

(4) プログラムカウンタ(PC)

プログラムカウンタ(PC)は20ビットで構成されており、次に実行する命令の番地を示します。

(5) 割り込みテーブルレジスタ(INTB)

割り込みテーブルレジスタ(INTB)は20ビットで構成されており、割り込みベクタテーブルの先頭番地を示します。

(6) スタックポインタ(USP/ISP)

スタックポインタは、ユーザスタックポインタ(USP)と割り込みスタックポインタ(ISP)の2種類があり、共に16ビットで構成されています。

使用するスタックポインタ(USP/ISP)はスタックポインタ指定フラグ(Uフラグ)によって切り替えられます。

スタックポインタ指定フラグ(Uフラグ)は、フラグレジスタ(FLG)のビット7です。

(7) スタティックベースレジスタ(SB)

スタティックベースレジスタ(SB)は16ビットで構成されており、SB相対アドレッシングに使用します。

(8) フラグレジスタ(FLG)

フラグレジスタ(FLG)は11ビットで構成されており、1ビット単位でフラグとして使用します。

フラグレジスタ(FLG)の構成を図BA-2に示します。また、各フラグの機能を以下に示します。

●ビット0：キャリーフラグ(Cフラグ)

算術論理ユニットで発生したキャリー、ボロー、シフトアウトしたビット等を保持します。

●ビット1：デバッグフラグ(Dフラグ)

シングルステップ割り込みを許可するフラグです。

このフラグが“1”のとき、命令実行後シングルステップ割り込みが発生します。割り込みを受け付けると、このフラグは“0”になります。

●ビット2：ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

●ビット3：サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

●ビット4：レジスタバンク指定フラグ(Bフラグ)

レジスタバンクの選択を行います。このフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

●ビット5：オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。

●ビット6：割り込み許可フラグ(Iフラグ)

マスカブル割り込みを許可するフラグです。

このフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。

割り込みを受け付けると、このフラグは“0”になります。

●ビット7：スタックポインタ指定フラグ(Uフラグ)

このフラグが“0”のとき割り込みスタックポインタ(ISP)が指定され、“1”のときユーザスタックポインタ(USP)が指定されます。

ハードウエア割り込みを受け付けたとき、またはソフトウエア割り込み番号0～31のINT命令を実行したとき、このフラグは“0”になります。

●ビット8～ビット11：予約領域

●ビット12～ビット14：プロセッサ割り込み優先レベル(IPL)

プロセッサ割り込み優先レベル(IPL)は3ビットで構成されており、レベル0～レベル7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベル(IPL)より大きい場合、その割り込みは許可されます。

●ビット15：予約領域

C、Z、S、O各フラグは、命令により変化します。変化の詳細はソフトウエアマニュアルを参照してください。

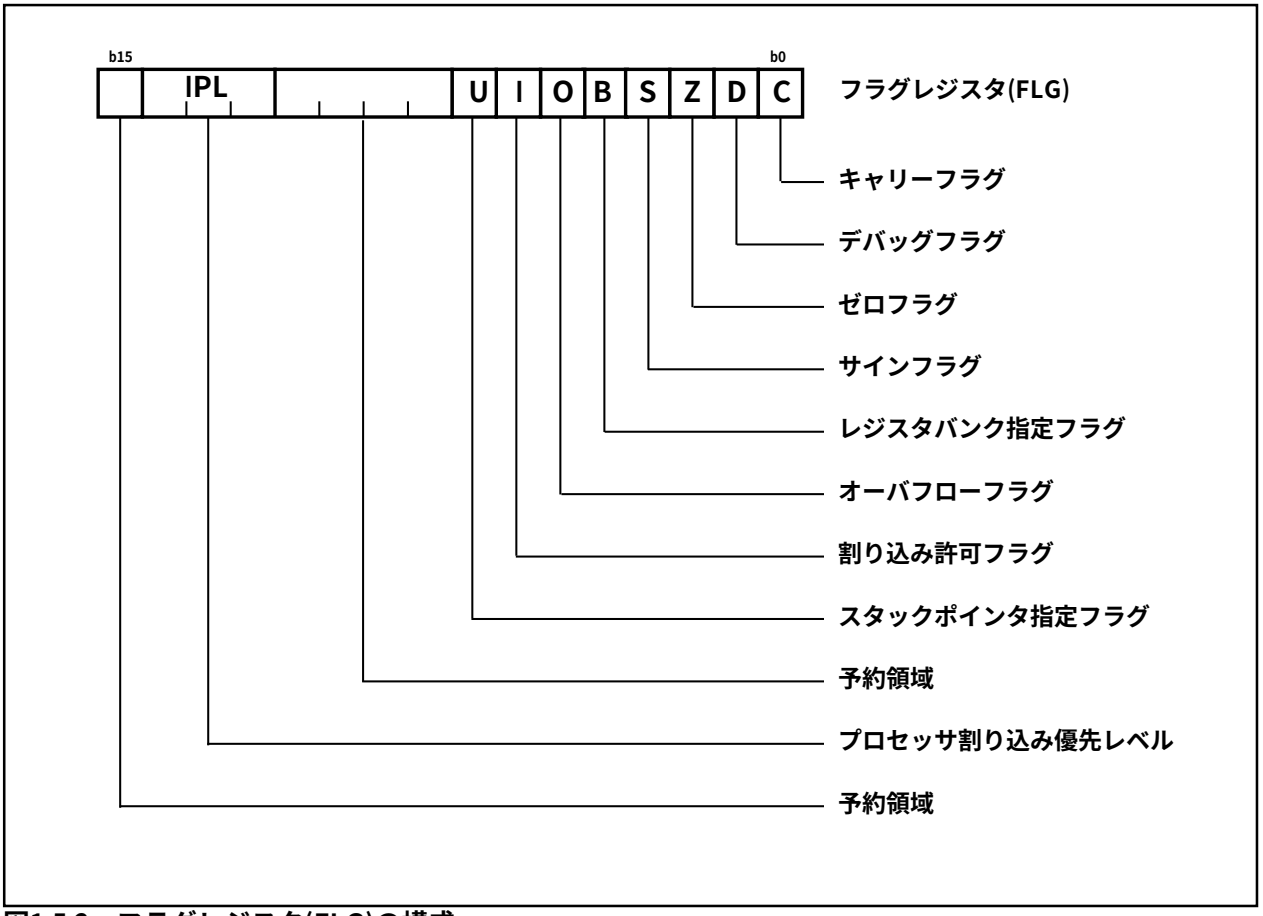


図1.5.2　フラグレジスタ(FLG)の構成

リセット

リセットは、ハードウエアによるリセットとソフトウエアによるリセットの2種類あります。ソフトウエアリセット、ハードウエアリセットともリセット解除後の動作は同じです(ソフトウエアリセットの詳細は「ソフトウエアリセット」を参照)。この項では、ハードウエアリセットを中心に説明します。

電源電圧が動作保証電圧であるとき、リセット端子を20サイクル以上“L”レベル(0.2Vcc以下)に保つとリセット状態になります。その後、メインクロックが充分に安定しているときにリセット端子を“H”レベルに戻すとリセットが解除され、リセットベクタテーブルで示される番地からプログラムを実行します。

リセット回路の一例を図1.6.1、リセットシーケンスを図1.6.2に示します。

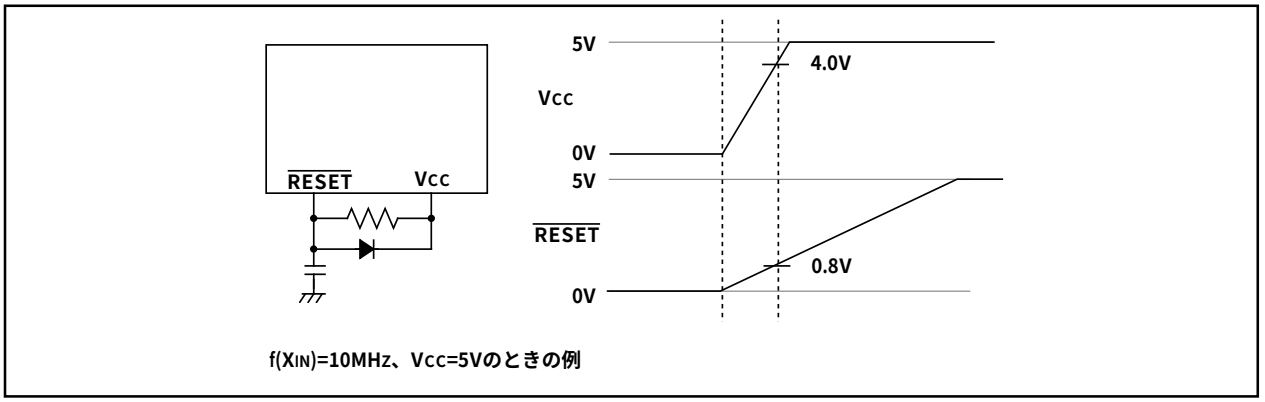


図1.6.1. リセット回路の一例

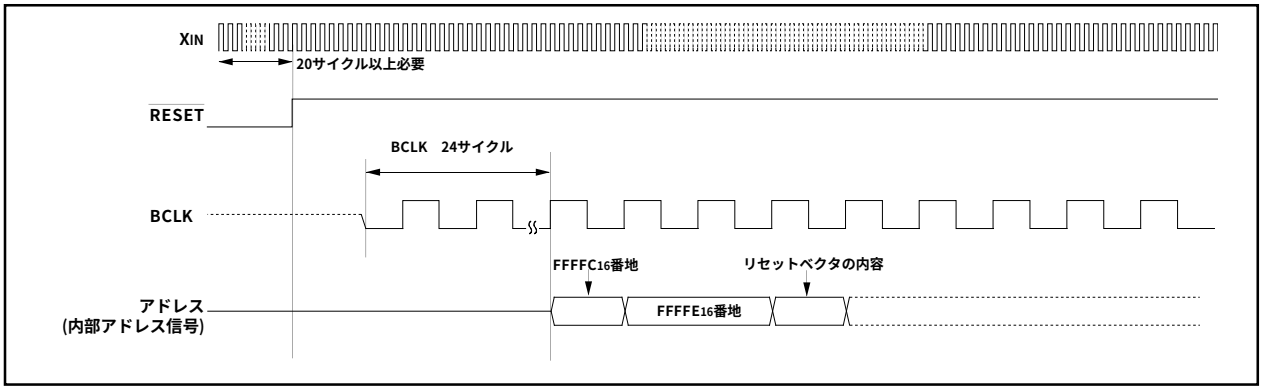


図1.6.2. リセットシーケンス

$\overline{\text{RESET}}$端子のレベルが“L”期間の端子状態を表1.6.1、リセット解除直後のマイクロコンピュータの内部状態を図1.6.3、図1.6.4に示します。

表1.6.1. $\overline{\text{RESET}}$端子のレベルが“L”期間の端子状態

端子名	端子の状態
P0, P10～P12	入力ポート(プルアップ抵抗あり)
P1～P9, P13	入力ポート(フローティング)
SEG0～SEG15	"H"レベル出力
COM0～COM3	"H"レベル出力

(1)プロセッサモードレジスタ0	(0004$_{16}$)・・・	X	X	X	X	0	0	0	0
(2)プロセッサモードレジスタ1	(0005$_{16}$)・・・	0	X	X	X	X	X	0	0
(3)システムクロック制御レジスタ0	(0006$_{16}$)・・・	0	1	0	0	1	0	0	0
(4)システムクロック制御レジスタ1	(0007$_{16}$)・・・	0	0	1	0	0	0	0	0
(5)アドレス一致割り込み許可レジスタ	(0009$_{16}$)・・・	X	X	X	X	X	X	0	0
(6)プロテクトレジスタ	(000A$_{16}$)・・・	X	X	X	X	X	X	0	0
(7)監視タイマ制御レジスタ	(000F$_{16}$)・・・	0	0	0	?	?	?	?	?
(8)アドレス一致割り込みレジスタ0	(0010$_{16}$)・・・	00$_{16}$							
	(0011$_{16}$)・・・	00$_{16}$							
	(0012$_{16}$)・・・	X	X	X	X	0	0	0	0
(9)アドレス一致割り込みレジスタ1	(0014$_{16}$)・・・	00$_{16}$							
	(0015$_{16}$)・・・	00$_{16}$							
	(0016$_{16}$)・・・	X	X	X	X	0	0	0	0
(10)DMA0制御レジスタ	(002C$_{16}$)・・・	0	0	0	0	0	?	0	0
(11)DMA1制御レジスタ	(003C$_{16}$)・・・	0	0	0	0	0	?	0	0
(12)$\overline{\text{INT}}$3割り込み制御レジスタ	(0044$_{16}$)・・・	X	X	0	0	?	0	0	0
(13)タイマB5割り込み制御レジスタ	(0045$_{16}$)・・・	X	X	X	X	?	0	0	0
(14)タイマB4割り込み制御レジスタ	(0046$_{16}$)・・・	X	X	X	X	?	0	0	0
(15)タイマB3割り込み制御レジスタ	(0047$_{16}$)・・・	X	X	X	X	?	0	0	0
(16)タイマA7割り込み制御レジスタ	(0048$_{16}$)・・・	X	X	X	X	?	0	0	0
(17)タイマA6割り込み制御レジスタ	(0049$_{16}$)・・・	X	X	X	X	?	0	0	0
(18)タイマA5割り込み制御レジスタ	(004A$_{16}$)・・・	X	X	X	X	?	0	0	0
(19)DMA0割り込み制御レジスタ	(004B$_{16}$)・・・	X	X	X	X	?	0	0	0
(20)DMA1割り込み制御レジスタ	(004C$_{16}$)・・・	X	X	X	X	?	0	0	0
(21)キー入力割り込み制御レジスタ	(004D$_{16}$)・・・	X	X	X	X	?	0	0	0
(22)A-D変換割り込み制御レジスタ	(004E$_{16}$)・・・	X	X	X	X	?	0	0	0
(23)UART2送信割り込み制御レジスタ	(004F$_{16}$)・・・	X	X	X	X	?	0	0	0
(24)UART2受信割り込み制御レジスタ	(0050$_{16}$)・・・	X	X	X	X	?	0	0	0
(25)UART0送信割り込み制御レジスタ	(0051$_{16}$)・・・	X	X	X	X	?	0	0	0
(26) UART0受信割り込み制御レジスタ	(0052$_{16}$)・・・	X	X	X	X	?	0	0	0

(27)UART1送信割り込み制御レジスタ	(0053$_{16}$)・・・	X	X	X	X	?	0	0	0
(28)UART1受信割り込み制御レジスタ	(0054$_{16}$)・・・	X	X	X	X	?	0	0	0
(29)タイマA0割り込み制御レジスタ	(0055$_{16}$)・・・	X	X	X	X	?	0	0	0
(30)タイマA1割り込み制御レジスタ	(0056$_{16}$)・・・	X	X	X	X	?	0	0	0
(31)タイマA2割り込み制御レジスタ	(0057$_{16}$)・・・	X	X	X	X	?	0	0	0
(32)タイマA3/$\overline{\text{INT}}$4割り込み制御レジスタ	(0058$_{16}$)・・・	X	X	0	0	?	0	0	0
(33)タイマA4/$\overline{\text{INT}}$5割り込み制御レジスタ	(0059$_{16}$)・・・	X	X	0	0	?	0	0	0
(34)タイマB0割り込み制御レジスタ	(005A$_{16}$)・・・	X	X	X	X	?	0	0	0
(35)タイマB1割り込み制御レジスタ	(005B$_{16}$)・・・	X	X	X	X	?	0	0	0
(36)タイマB2割り込み制御レジスタ	(005C$_{16}$)・・・	X	X	X	X	?	0	0	0
(37)$\overline{\text{INT}}$0割り込み制御レジスタ	(005D$_{16}$)・・・	X	X	0	0	?	0	0	0
(38)$\overline{\text{INT}}$1割り込み制御レジスタ	(005E$_{16}$)・・・	X	X	0	0	?	0	0	0
(39)$\overline{\text{INT}}$2割り込み制御レジスタ	(005F$_{16}$)・・・	X	X	0	0	?	0	0	0
(40)LCDモードレジスタ	(0120$_{16}$)・・・	0	X	0	0	0	0	0	0
(41)セグメント出力許可レジスタ	(0122$_{16}$)・・・	0	0	0	0	0	0	0	0
(42)キー入力モードレジスタ	(0126$_{16}$)・・・	0	1	1	0	0	0	0	0
(43)カウント開始フラグ1	(0340$_{16}$)・・・	0	0	0	X	X	0	0	0
(44)ワンショット開始フラグ1	(0342$_{16}$)・・・	0	0	X	X	X	0	0	0
(45)トリガ選択レジスタ1	(0343$_{16}$)・・・	X	X	X	X	0	0	0	0
(46)アップダウンフラグ1	(0344$_{16}$)・・・	X	X	0	X	X	0	0	0
(47)タイマA5モードレジスタ	(0356$_{16}$)・・・	00$_{16}$							
(48)タイマA6モードレジスタ	(0357$_{16}$)・・・	00$_{16}$							
(49)タイマA7モードレジスタ	(0358$_{16}$)・・・	00$_{16}$							
(50)タイマB3モードレジスタ	(035B$_{16}$)・・・	0	0	?	X	0	0	0	0
(51)タイマB4モードレジスタ	(035C$_{16}$)・・・	0	0	?	X	0	0	0	0
(52)タイマB5モードレジスタ	(035D$_{16}$)・・・	0	0	?	X	0	0	0	0
(53)割り込み要因選択レジスタ0	(035E$_{16}$)・・・	X	0	0	0	0	0	0	0
(54)割り込み要因選択レジスタ1	(035F$_{16}$)・・・	00$_{16}$							
(55)クロック分周カウンタ制御レジスタ	(0360$_{16}$)・・・	0	X	X	X	X	X	X	X
(56)UART2特殊モードレジスタ2	(0376$_{16}$)・・・	00$_{16}$							
(57)UART2特殊モードレジスタ	(0377$_{16}$)・・・	00$_{16}$							
(58)UART2送受信モードレジスタ	(0378$_{16}$)・・・	00$_{16}$							

x ：このビットは何も配置されていません。
? ：不定です。

これ以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。

図1.6.3.　リセット解除後のマイクロコンピュータの内部状態(1)

(59)UART2送受信制御レジスタ0	(037C16)・・・	0 0 0 0 1 0 0 0
(60)UART2送受信制御レジスタ1	(037D16)・・・	0 0 0 0 0 0 1 0
(61)カウント開始フラグ0	(038016)・・・	0016
(62)時計用プリスケーラリセットフラグ	(038116)・・・	0 X X X X X X X
(63)ワンショット開始フラグ0	(038216)・・・	0 0 X 0 0 0 0 0
(64)トリガ選択レジスタ0	(038316)・・・	0016
(65)アップダウンフラグ0	(038416)・・・	0016
(66)タイマA0モードレジスタ	(039616)・・・	0016
(67)タイマA1モードレジスタ	(039716)・・・	0016
(68)タイマA2モードレジスタ	(039816)・・・	0016
(69)タイマA3モードレジスタ	(039916)・・・	0016
(70)タイマA4モードレジスタ	(039A16)・・・	0016
(71)タイマB0モードレジスタ	(039B16)・・・	0 0 ? X 0 0 0 0
(72)タイマB1モードレジスタ	(039C16)・・・	0 0 ? X 0 0 0 0
(73)タイマB2モードレジスタ	(039D16)・・・	0 0 ? X 0 0 0 0
(74)UART0送受信モードレジスタ	(03A016)・・・	0016
(75)UART0送受信制御レジスタ0	(03A416)・・・	0 0 0 0 1 0 0 0
(76)UART0送受信制御レジスタ1	(03A516)・・・	0 0 0 0 0 0 1 0
(77)UART1送受信モードレジスタ	(03A816)・・・	0016
(78)UART1送受信制御レジスタ0	(03AC16)・・・	0 0 0 0 1 0 0 0
(79)UART1送受信制御レジスタ1	(03AD16)・・・	0 0 0 0 0 0 1 0
(80)UART送受信制御レジスタ2	(03B016)・・・	X 0 0 0 0 0 0 0
(81)フラッシュメモリ制御レジスタ(注1)	(03B416)・・・	X X X X 0 X 0 1
(82)DMA0要因選択レジスタ	(03B816)・・・	0016
(83)DMA1要因選択レジスタ	(03BA16)・・・	0016
(84)A-D制御レジスタ2	(03D416)・・・	X X X X 0 0 0 0
(85)A-D制御レジスタ0	(03D616)・・・	X X 0 0 0 ? ? ?
(86)A-D制御レジスタ1	(03D716)・・・	0016
(87)D-A制御レジスタ	(03DC16)・・・	X X X X X 0 0 0
(88)ポートP0方向レジスタ	(03E216)・・・	0016
(89)ポートP1方向レジスタ	(03E316)・・・	0016
(90)ポートP2方向レジスタ	(03E616)・・・	0016
(91)ポートP3方向レジスタ	(03E716)・・・	X X 0 0 0 0 0 0
(92)ポートP4方向レジスタ	(03EA16)・・・	0016
(93)ポートP5方向レジスタ	(03EB16)・・・	0016
(94)ポートP6方向レジスタ	(03EE16)・・・	0016
(95)ポートP7方向レジスタ	(03EF16)・・・	X 0 0 0 0 0 0 0
(96)ポートP8方向レジスタ	(03F216)・・・	0016
(97)ポートP9方向レジスタ	(03F316)・・・	0016
(98)ポートP10方向レジスタ	(03F616)・・・	0016
(99)ポートP11方向レジスタ	(03F716)・・・	0016
(100)ポートP12方向レジスタ	(03FA16)・・・	0016
(101)ポートP13方向レジスタ	(03FB16)・・・	X X X X X 0 0 0
(102)プルアップ制御レジスタ0	(03FC16)・・・	0 0 0 0 0 0 1 1
(103)プルアップ制御レジスタ1	(03FD16)・・・	0016
(104)プルアップ制御レジスタ2	(03FE16)・・・	1 1 1 1 0 0 0 0
(105)リアルタイムポート制御レジスタ	(03FF16)・・・	0016
(106)データレジスタ(R0/R1/R2/R3)	・・・	000016
(107)アドレスレジスタ(A0/A1)	・・・	000016
(108)フレームベースレジスタ(FB)	・・・	000016
(109)割り込みテーブルレジスタ(INTB)	・・・	00000016
(110)ユーザスタックポインタ(USP)	・・・	000016
(111)割り込みスタックポインタ(ISP)	・・・	000016
(112)スタティックベースレジスタ(SB)	・・・	000016
(113)フラグレジスタ(FLG)	・・・	000016

x ：このビットは何も配置されていません。
? ：不定です。

これ以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。

注1.　このレジスタは、フラッシュメモリ版にのみ存在します。

図1.6.4.　リセット解除後のマイクロコンピュータの内部状態(2)

0000₁₆	
0001₁₆	
0002₁₆	
0003₁₆	
0004₁₆	プロセッサモードレジスタ0(PM0)
0005₁₆	プロセッサモードレジスタ1(PM1)
0006₁₆	システムクロック制御レジスタ０(CM0)
0007₁₆	システムクロック制御レジスタ１(CM1)
0008₁₆	
0009₁₆	アドレス一致割り込み許可レジスタ(AIER)
000A₁₆	プロテクトレジスタ(PRCR)
000B₁₆	
000C₁₆	
000D₁₆	
000E₁₆	監視タイマスタートレジスタ(WDTS)
000F₁₆	監視タイマ制御レジスタ(WDC)
0010₁₆	アドレス一致割り込みレジスタ０(RMAD0)
0011₁₆	
0012₁₆	
0013₁₆	
0014₁₆	アドレス一致割り込みレジスタ１(RMAD1)
0015₁₆	
0016₁₆	
0017₁₆	
0018₁₆	
0019₁₆	
001A₁₆	
001B₁₆	
001C₁₆	
001D₁₆	
001E₁₆	
001F₁₆	
0020₁₆	DMA0ソースポインタ(SAR0)
0021₁₆	
0022₁₆	
0023₁₆	
0024₁₆	DMA0ディスティネーションポインタ(DAR0)
0025₁₆	
0026₁₆	
0027₁₆	
0028₁₆	DMA0転送カウンタ(TCR0)
0029₁₆	
002A₁₆	
002B₁₆	
002C₁₆	DMA0制御レジスタ(DM0CON)
002D₁₆	
002E₁₆	
002F₁₆	
0030₁₆	DMA1ソースポインタ(SAR1)
0031₁₆	
0032₁₆	
0033₁₆	
0034₁₆	DMA1ディスティネーションポインタ(DAR1)
0035₁₆	
0036₁₆	
0037₁₆	
0038₁₆	DMA1転送カウンタ(TCR1)
0039₁₆	
003A₁₆	
003B₁₆	
003C₁₆	DMA1制御レジスタ(DM1CON)
003D₁₆	
003E₁₆	
003F₁₆	

0040₁₆	
0041₁₆	
0042₁₆	
0043₁₆	
0044₁₆	$\overline{\text{INT3}}$割り込み制御レジスタ(INT3IC)
0045₁₆	タイマB5割り込み制御レジスタ(TB5IC)
0046₁₆	タイマB4割り込み制御レジスタ(TB4IC)
0047₁₆	タイマB3割り込み制御レジスタ(TB3IC)
0048₁₆	タイマA7割り込み制御レジスタ(TA7IC)
0049₁₆	タイマA6割り込み制御レジスタ(TA6IC)
004A₁₆	タイマA5割り込み制御レジスタ(TA5IC) バス衝突検出割り込み制御レジスタ(BCNIC)
004B₁₆	DMA0割り込み制御レジスタ(DM0IC)
004C₁₆	DMA1割り込み制御レジスタ(DM1IC)
004D₁₆	キー入力割り込み制御レジスタ(KUPIC)
004E₁₆	A-D変換割り込み制御レジスタ(ADIC)
004F₁₆	UART2送信割り込み制御レジスタ(S2TIC)
0050₁₆	UART2受信割り込み制御レジスタ(S2RIC)
0051₁₆	UART0送信割り込み制御レジスタ(S0TIC)
0052₁₆	UART0受信割り込み制御レジスタ(S0RIC)
0053₁₆	UART1送信割り込み制御レジスタ(S1TIC)
0054₁₆	UART1受信割り込み制御レジスタ(S1RIC)
0055₁₆	タイマA0割り込み制御レジスタ(TA0IC)
0056₁₆	タイマA1割り込み制御レジスタ(TA1IC)
0057₁₆	タイマA2割り込み制御レジスタ(TA2IC)
0058₁₆	タイマA3割り込み制御レジスタ(TA3IC) INT4割り込み制御レジスタ(INT4IC)
0059₁₆	タイマA4割り込み制御レジスタ(TA4IC) INT5割り込み制御レジスタ(INT5IC)
005A₁₆	タイマB0割り込み制御レジスタ(TB0IC)
005B₁₆	タイマB1割り込み制御レジスタ(TB1IC)
005C₁₆	タイマB2割り込み制御レジスタ(TB2IC)
005D₁₆	$\overline{\text{INT0}}$割り込み制御レジスタ(INT0IC)
005E₁₆	$\overline{\text{INT1}}$割り込み制御レジスタ(INT1IC)
005F₁₆	$\overline{\text{INT2}}$割り込み制御レジスタ(INT2IC)
	≈
0100₁₆	LCD RAM0(LRAM0)
0101₁₆	LCD RAM1(LRAM1)
0102₁₆	LCD RAM2(LRAM2)
0103₁₆	LCD RAM3(LRAM3)
0104₁₆	LCD RAM4(LRAM4)
0105₁₆	LCD RAM5(LRAM5)
0106₁₆	LCD RAM6(LRAM6)
0107₁₆	LCD RAM7(LRAM7)
0108₁₆	LCD RAM8(LRAM8)
0109₁₆	LCD RAM9(LRAM9)
010A₁₆	LCD RAM10(LRAM10)
010B₁₆	LCD RAM11(LRAM11)
010C₁₆	LCD RAM12(LRAM12)
010D₁₆	LCD RAM13(LRAM13)
010E₁₆	LCD RAM14(LRAM14)
010F₁₆	LCD RAM15(LRAM15)
0110₁₆	LCD RAM16(LRAM16)
0111₁₆	LCD RAM17(LRAM17)
0112₁₆	LCD RAM18(LRAM18)
0113₁₆	LCD RAM19(LRAM19)
0114₁₆	LCD RAM20(LRAM20)
0115₁₆	LCD RAM21(LRAM21)
0116₁₆	LCD RAM22(LRAM22)
0117₁₆	LCD RAM23(LRAM23)
	≈
0120₁₆	LCDモードレジスタ(LCDM)
0121₁₆	
0122₁₆	セグメント出力許可レジスタ(SEG)
0123₁₆	
0124₁₆	LCDフレーム周波数カウンタ(LCDTIM)
0125₁₆	
0126₁₆	キー入力モードレジスタ(KUPM)

注1.　SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

図1.7.1.　周辺装置制御レジスタの配置(1)

0340$_{16}$	カウント開始フラグ1(TABSR1)
0341$_{16}$	
0342$_{16}$	ワンショット開始フラグ1(ONSF1)
0343$_{16}$	トリガ選択レジスタ1(TRGSR1)
0344$_{16}$	アップダウンフラグ1(UDF1)
0345$_{16}$	
0346$_{16}$ 0347$_{16}$	タイマA5レジスタ(TA5)
0348$_{16}$ 0349$_{16}$	タイマA6レジスタ(TA6)
034A$_{16}$ 034B$_{16}$	タイマA7レジスタ(TA7)
034C$_{16}$ 034D$_{16}$	
034E$_{16}$ 034F$_{16}$	
0350$_{16}$ 0351$_{16}$	タイマB3レジスタ(TB3)
0352$_{16}$ 0353$_{16}$	タイマB4レジスタ(TB4)
0354$_{16}$ 0355$_{16}$	タイマB5レジスタ(TB5)
0356$_{16}$	タイマA5モードレジスタ(TA5MR)
0357$_{16}$	タイマA6モードレジスタ(TA6MR)
0358$_{16}$	タイマA7モードレジスタ(TA7MR)
0359$_{16}$	
035A$_{16}$	
035B$_{16}$	タイマB3モードレジスタ(TB3MR)
035C$_{16}$	タイマB4モードレジスタ(TB4MR)
035D$_{16}$	タイマB5モードレジスタ(TB5MR)
035E$_{16}$	割り込み要因選択レジスタ0(IFSR0)
035F$_{16}$	割り込み要因選択レジスタ1(IFSR1)
0360$_{16}$	クロック分周カウンタ制御レジスタ(CDCC)
0361$_{16}$	
0362$_{16}$	
0363$_{16}$	
0364$_{16}$	
0365$_{16}$	
0366$_{16}$	
0367$_{16}$	
0368$_{16}$	
0369$_{16}$	
036A$_{16}$	
036B$_{16}$	
036C$_{16}$	
036D$_{16}$	
036E$_{16}$	クロック分周カウンタ(CDC)
036F$_{16}$	
0370$_{16}$	
0371$_{16}$	
0372$_{16}$	
0373$_{16}$	
0374$_{16}$	
0375$_{16}$	
0376$_{16}$	UART2特殊モードレジスタ2 (U2SMR2)
0377$_{16}$	UART2特殊モードレジスタ(U2SMR)
0378$_{16}$	UART2送受信モードレジスタ(U2MR)
0379$_{16}$	UART2転送速度レジスタ(U2BRG)
037A$_{16}$ 037B$_{16}$	UART2送信バッファレジスタ(U2TB)
037C$_{16}$	UART2送受信制御レジスタ0(U2C0)
037D$_{16}$	UART2送受信制御レジスタ1(U2C1)
037E$_{16}$ 037F$_{16}$	UART2受信バッファレジスタ(U2RB)

0380$_{16}$	カウント開始フラグ0(TABSR0)
0381$_{16}$	時計用プリスケーラリセットフラグ(CPSRF)
0382$_{16}$	ワンショット開始フラグ0(ONSF0)
0383$_{16}$	トリガ選択レジスタ0(TRGSR0)
0384$_{16}$	アップダウンフラグ0(UDF0)
0385$_{16}$	
0386$_{16}$ 0387$_{16}$	タイマA0レジスタ(TA0)
0388$_{16}$ 0389$_{16}$	タイマA1レジスタ(TA1)
038A$_{16}$ 038B$_{16}$	タイマA2レジスタ(TA2)
038C$_{16}$ 038D$_{16}$	タイマA3レジスタ(TA3)
038E$_{16}$ 038F$_{16}$	タイマA4レジスタ(TA4)
0390$_{16}$ 0391$_{16}$	タイマB0レジスタ(TB0)
0392$_{16}$ 0393$_{16}$	タイマB1レジスタ(TB1)
0394$_{16}$ 0395$_{16}$	タイマB2レジスタ(TB2)
0396$_{16}$	タイマA0モードレジスタ(TA0MR)
0397$_{16}$	タイマA1モードレジスタ(TA1MR)
0398$_{16}$	タイマA2モードレジスタ(TA2MR)
0399$_{16}$	タイマA3モードレジスタ(TA3MR)
039A$_{16}$	タイマA4モードレジスタ(TA4MR)
039B$_{16}$	タイマB0モードレジスタ(TB0MR)
039C$_{16}$	タイマB1モードレジスタ(TB1MR)
039D$_{16}$	タイマB2モードレジスタ(TB2MR)
039E$_{16}$	
039F$_{16}$	
03A0$_{16}$	UART0送受信モードレジスタ(U0MR)
03A1$_{16}$	UART0転送速度レジスタ(U0BRG)
03A2$_{16}$ 03A3$_{16}$	UART0送信バッファレジスタ(U0TB)
03A4$_{16}$	UART0送受信制御レジスタ０(U0C0)
03A5$_{16}$	UART0送受信制御レジスタ１(U0C1)
03A6$_{16}$ 03A7$_{16}$	UART0受信バッファレジスタ(U0RB)
03A8$_{16}$	UART1送受信モードレジスタ(U1MR)
03A9$_{16}$	UART1転送速度レジスタ(U1BRG)
03AA$_{16}$ 03AB$_{16}$	UART1送信バッファレジスタ(U1TB)
03AC$_{16}$	UART1送受信制御レジスタ０(U1C0)
03AD$_{16}$	UART1送受信制御レジスタ１(U1C1)
03AE$_{16}$ 03AF$_{16}$	UART1受信バッファレジスタ(U1RB)
03B0$_{16}$	UART送受信制御レジスタ２(UCON)
03B1$_{16}$	
03B2$_{16}$	
03B3$_{16}$	
03B4$_{16}$	フラッシュメモリ制御レジスタ(FMCR)(注1)
03B5$_{16}$	
03B6$_{16}$	
03B7$_{16}$	
03B8$_{16}$	DMA0要因選択レジスタ(DM0SL)
03B9$_{16}$	
03BA$_{16}$	DMA1要因選択レジスタ(DM1SL)
03BB$_{16}$	
03BC$_{16}$	
03BD$_{16}$	
03BE$_{16}$	
03BF$_{16}$	

注1.　このレジスタは、フラッシュメモリ版にのみ存在します。
注2.　SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

図1.7.2.　周辺装置制御レジスタの配置(2)

03C0$_{16}$	A-Dレジスタ0(AD0)
03C1$_{16}$	
03C2$_{16}$	A-Dレジスタ1(AD1)
03C3$_{16}$	
03C4$_{16}$	A-Dレジスタ2(AD2)
03C5$_{16}$	
03C6$_{16}$	A-Dレジスタ3(AD3)
03C7$_{16}$	
03C8$_{16}$	A-Dレジスタ4(AD4)
03C9$_{16}$	
03CA$_{16}$	A-Dレジスタ5(AD5)
03CB$_{16}$	
03CC$_{16}$	A-Dレジスタ6(AD6)
03CD$_{16}$	
03CE$_{16}$	A-Dレジスタ7(AD7)
03CF$_{16}$	
03D0$_{16}$	
03D1$_{16}$	
03D2$_{16}$	
03D3$_{16}$	
03D4$_{16}$	A-D制御レジスタ2(ADCON2)
03D5$_{16}$	
03D6$_{16}$	A-D制御レジスタ0(ADCON0)
03D7$_{16}$	A-D制御レジスタ1(ADCON1)
03D8$_{16}$	D-Aレジスタ0(DA0)
03D9$_{16}$	
03DA$_{16}$	D-Aレジスタ1(DA1)
03DB$_{16}$	
03DC$_{16}$	D-A制御レジスタ(DACON)
03DD$_{16}$	
03DE$_{16}$	D-Aレジスタ2(DA2)
03DF$_{16}$	
03E0$_{16}$	ポートP0レジスタ(P0)
03E1$_{16}$	ポートP1レジスタ(P1)
03E2$_{16}$	ポートP0方向レジスタ(PD0)
03E3$_{16}$	ポートP1方向レジスタ(PD1)
03E4$_{16}$	ポートP2レジスタ(P2)
03E5$_{16}$	ポートP3レジスタ(P3)
03E6$_{16}$	ポートP2方向レジスタ(PD2)
03E7$_{16}$	ポートP3方向レジスタ(PD3)
03E8$_{16}$	ポートP4レジスタ(P4)
03E9$_{16}$	ポートP5レジスタ(P5)
03EA$_{16}$	ポートP4方向レジスタ(PD4)
03EB$_{16}$	ポートP5方向レジスタ(PD5)
03EC$_{16}$	ポートP6レジスタ(P6)
03ED$_{16}$	ポートP7レジスタ(P7)
03EE$_{16}$	ポートP6方向レジスタ(PD6)
03EF$_{16}$	ポートP7方向レジスタ(PD7)
03F0$_{16}$	ポートP8レジスタ(P8)
03F1$_{16}$	ポートP9レジスタ(P9)
03F2$_{16}$	ポートP8方向レジスタ(PD8)
03F3$_{16}$	ポートP9方向レジスタ(PD9)
03F4$_{16}$	ポートP10レジスタ(P10)
03F5$_{16}$	ポートP11レジスタ(P11)
03F6$_{16}$	ポートP10方向レジスタ(PD10)
03F7$_{16}$	ポートP11方向レジスタ(PD11)
03F8$_{16}$	ポートP12レジスタ(P12)
03F9$_{16}$	ポートP13レジスタ(P13)
03FA$_{16}$	ポートP12方向レジスタ(PD12)
03FB$_{16}$	ポートP13方向レジスタ(PD13)
03FC$_{16}$	プルアップ制御レジスタ０(PUR0)
03FD$_{16}$	プルアップ制御レジスタ１(PUR1)
03FE$_{16}$	プルアップ制御レジスタ２(PUR2)
03FF$_{16}$	リアルタイムポート制御レジスタ(RTP)

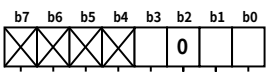
注1.　SFR領域のうち、何も配置されていない領域は予約領域です。読み出しおよび書き込みを行わないでください。

図1.7.3.　周辺装置制御レジスタの配置(3)

ソフトウエアリセット

プロセッサモードレジスタ0(000_{16}番地)のビット3に“1”を書き込むことでマイクロコンピュータにリセットをかけることができます(ソフトウエアリセット)。ソフトウエアリセットは、マイコンのハードウエアリセットと同様の動作を行います。ただし、内部RAM領域の内容は保持します。図1.8.1にプロセッサモードレジスタ0、プロセッサモードレジスタ1の構成を示します。

プロセッサモードレジスタ0(注1)

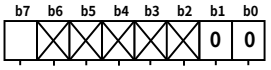


シンボル	アドレス	リセット時
PM0	0004_{16}番地	$XXXX0000_2$

ビットシンボル	ビット名	機　能	R	W
PM00	プロセッサモードビット	b1 b0 0 0 : シングルチップモード 0 1 : 選択禁止 1 0 : 選択禁止 1 1 : 選択禁止	○	○
PM01			○	○
予約ビット		必ず“0”を設定してください	○	○
PM03	ソフトウエアリセットビット	このビットに“1”を書き込むとマイクロコンピュータはリセットされる。 読み出し時の値は“0”。	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

注1.　このレジスタを書き替える場合、プロテクトレジスタ($000A_{16}$番地)のビット1を“1”にしてください。

プロセッサモードレジスタ1(注1)



シンボル	アドレス	リセット時
PM1	0005_{16}番地	$0XXXXX00_2$

ビットシンボル	ビット名	機　能	R	W
予約ビット		必ず“0”を設定してください	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
PM17	ウエイトビット	0:ウエイトなし 1:ウエイトあり	○	○

注1.　このレジスタを書き替える場合、プロテクトレジスタ($000A_{16}$番地)のビット1を“1”にしてください。

図1.8.1.　プロセッサモードレジスタ0、プロセッサモードレジスタ1の構成

ソフトウエアウエイト

プロセッサモードレジスタ1(0005$_{16}$番地)(注1)のウエイトビット(ビット7)によって、内部ROM/RAM領域に対してソフトウエアウエイトを挿入することができます。このビットが“0”のときバスサイクルはBCLKの1サイクルで実行され、“1”にするとバスサイクルがBCLKの2サイクルになります。リセット解除後、このビットは“0”になっています。ただし、このビットの値については、電気的特性の推奨動作条件(メインクロック入力発振周波数)を参照の上、設定してください。

SFR領域は、この制御ビットの影響を受けず、常にBCLKの2サイクルでアクセスされます。

表1.8.1にソフトウエアウエイトとバスサイクルの関係を示します。

注1. プロセッサモードレジスタ1を書き換える場合、プロテクトレジスタ(000A$_{16}$番地)のビット1を“1”にしてください。

表1.8.1. ソフトウエアウエイトとバスサイクル

領域	ウエイトビット	バスサイクル
SFR	無効	BCLKの2サイクル
内部ROM/RAM	0	BCLKの1サイクル
	1	BCLKの2サイクル

クロック発生回路

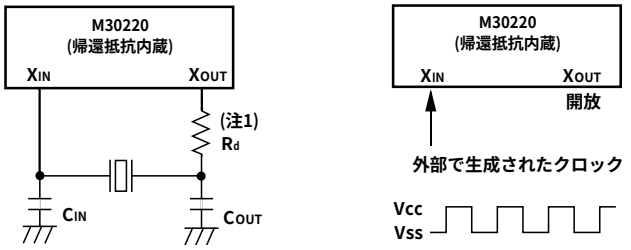
クロック発生回路は、CPU、内蔵周辺装置などの動作クロック源を供給する発振回路を2回路内蔵しています。

表1.9.1.　メインクロック発振回路、サブクロック発振回路

	メインクロック発振回路	サブクロック発振回路
クロックの用途	●CPUの動作クロック源 ●内蔵周辺装置の動作クロック源	●CPUの動作クロック源 ●タイマA、Bのカウントクロック源 ●キー入力の間欠プルアップ動作クロック源 ●LCDの動作クロック源
接続できる発振子	セラミック共振子、水晶発振子	水晶発振子
発振子の接続端子	XIN、XOUT	XCIN、XCOUT
発振の停止/再開機能	あり	あり
リセット直後の発振子の状態	発振	停止
その他	外部で生成されたクロックを入力することが可能	

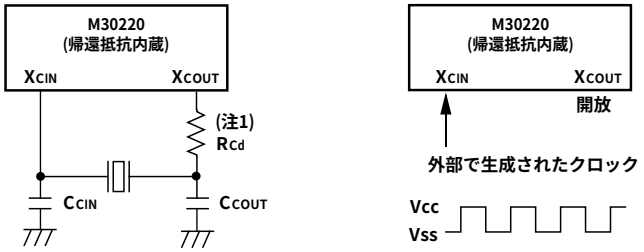
発振回路例

図1.9.1にメインクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図1.9.2にサブクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図1.9.1中および図1.9.2中の回路定数は発振子によって異なりますので、発振子メーカの推奨する値に設定してください。



注1.　必要に応じてダンピング抵抗を挿入してください。抵抗値は発振子および発振駆動能力によって異なりますので、発振子メーカの推奨する値に設定してください。発振駆動能力をLOWで使用する場合には、LOWの状態でも安定して発振するか確認してください。また、発振子メーカから外部に帰還抵抗を追加する旨の指示があった場合は、その指示に従ってXIN、XOUT間に、帰還抵抗を付加してください。

図1.9.1.　メインクロックの接続例



注1.　必要に応じてダンピング抵抗を挿入してください。抵抗値は発振子および発振駆動能力によって異なりますので、発振子メーカの推奨する値に設定してください。発振駆動能力をLOWで使用する場合には、LOWの状態でも安定して発振するか確認してください。また、発振子メーカから外部に帰還抵抗を追加する旨の指示があった場合は、その指示に従ってXCIN、XCOUT間に、帰還抵抗を付加してください。

図1.9.2.　サブクロックの接続例

クロックの制御

図1.9.3にクロック発生回路のブロック図を示します。

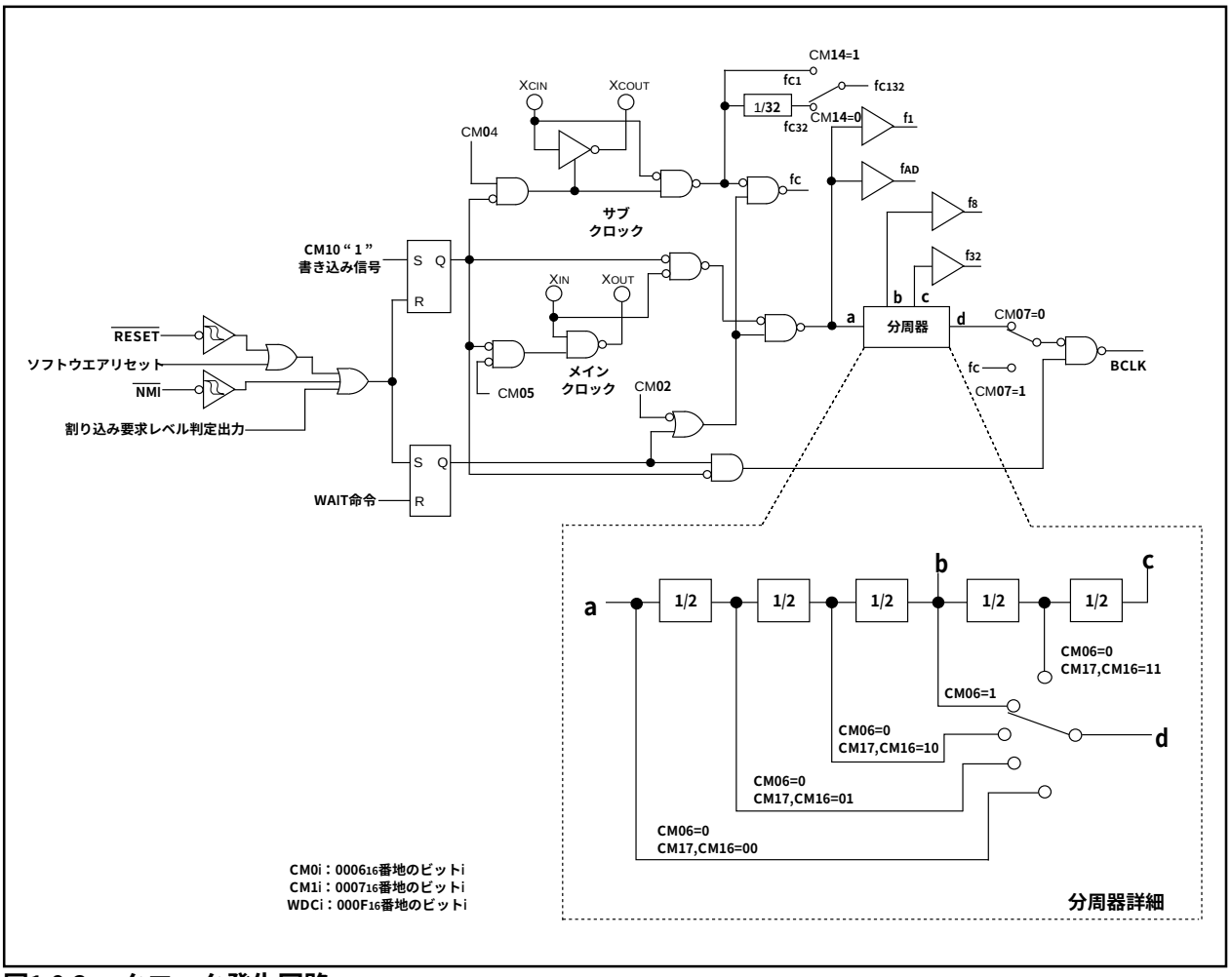


図1.9.3.　クロック発生回路

クロック発生回路で発生するクロックを順に説明します。

(1) メインクロック

メインクロック発振回路が供給するクロックです。リセット直後は、このクロックの8分周がBCLKになります。メインクロック停止ビット(000616番地のビット5)によってこのクロックの供給を停止することができます。CPUの動作クロック源をサブクロックに切り替えた後、このクロックの供給を停止すると消費電力は低減します。

メインクロック発振回路の発振が安定した後は、XIN-XOUT駆動能力選択ビット(000716番地のビット5)によってメインクロック発振回路の駆動能力を弱めることができます。メインクロック発振回路の駆動能力を弱めると消費電力は低減します。高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。

(2) サブクロック

サブクロック発振回路が供給するクロックです。リセット直後は、このクロックは供給されていません。サブクロック発振許可ビット(000616番地のビット4)で発振を開始した後、システムクロック選択ビット(000616番地のビット7)によって、サブクロックをBCLKにすることができます。ただし、サブクロックの発振が充分に安定してから切り替えるようにしてください。

サブクロック発振回路の発振が安定した後は、XCIN-XCOUT駆動能力選択ビット(000616番地のビット3)によってサブクロック発振回路の駆動能力を弱めることができます。サブクロック発振回路の駆動能力を弱めると消費電力はさらに低減します。このビットは、ストップモードへの移行時およびリセット時、“1”になります。

(3) BCLK

メインクロック、メインクロックの2、4、8、16分周、またはfcをクロック源とするCPUの動作クロックです。リセット直後、メインクロックの8分周がBCLKになります。

高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(000616番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

(4) 周辺機能クロック(f1、f8、f32、fAD)

メインクロックを1分周、8分周、32分周した内蔵周辺装置の動作クロックです。このクロックは、メインクロックを停止させるか、またはWAIT時周辺機能クロック停止ビット(000616番地のビット2)を“1”にした後、WAIT命令を実行すると供給が停止します。

(5) fC132

サブクロックを1分周または32分周したクロックです。fc132クロック選択ビット(000716番地のビット4)によってクロックの選択をおこないます。タイマA、タイマBのカウント、キー入力の間欠プルアップ動作に使用します。

(6) fC

サブクロックと同一周波数のクロックです。BCLKや監視タイマに使用します。

図1.9.4にシステムクロック制御レジスタ0、システムクロック制御レジスタ1の構成を示します。

システムクロック制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
CM0	000_{16}番地	48_{16}

ビットシンボル	ビット名	機　　能	R	W
CM00	クロック出力機能選択ビット	b1 b0 0 0 : 入出力ポートP5$_7$ 0 1 : f_{C1}を出力 1 0 : f_1を出力 1 1 : クロック分周カウンタの出力	○	○
CM01			○	○
CM02	WAIT時周辺機能クロック停止ビット	0 : ウエイトモード時、周辺機能クロック停止しない 1 : ウエイトモード時、周辺機能クロック停止する(注8)	○	○
CM03	X_{CIN}-X_{COUT}駆動能力選択ビット(注2)	0 : LOW 1 : HIGH	○	○
CM04	サブクロック (X_{CIN}-X_{COUT})発振許可ビット	0 : 停止 1 : 発振	○	○
CM05	メインクロック (X_{IN}-X_{OUT})停止ビット(注3、注4、注5)	0 : 発振 1 : 停止	○	○
CM06	メインクロック分周比選択ビット0(注7)	0 : CM16,CM17有効 1 : 8分周モード	○	○
CM07	システムクロック選択ビット(注6)	0 : X_{IN},X_{OUT}選択 1 : X_{CIN},X_{COUT}選択	○	○

注1. このレジスタを書き替える場合、プロテクトレジスタ($000A_{16}$番地)のビット0を“1”にしてください。
注2. ストップモードへの移行時およびリセット時、“1”になります。
注3. このビットは低消費電力モードにするときに、メインクロックを停止させるためのビットです。
ストップモードから復帰後、X_{IN}で動作させる場合、このビットは“0”にしてください。
自励発振で使用している場合は、システムクロック選択ビット(CM07)を“1”にしてから、このビットを“1”にしてください。
注4. 外部クロック入力時には、クロック発振バッファだけ停止し、クロック入力は受け付けられるモードとなります。
注5. このビットが“1”の場合、X_{OUT}は“H”レベルになります。また、内蔵している帰還抵抗は接続したままですので、X_{IN}は帰還抵抗を介してX_{OUT}(“H”レベル)にプルアップされた状態となります。
注6. このビットを“0”から“1”にする場合、サブクロック発振許可ビット(CM04)を“1”にし、サブクロックの発振が安定した後に行ってください。同時に書き込まないでください。また、このビットを“1”から“0”にする場合は、メインクロック停止ビット(CM05)を“0”にし、メインクロックの発振が安定した後に行ってください。
注7. 高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。
注8. f_{C132}、f_{C1}、f_{C32}は含みません。低速モードおよび低消費電力モード時は”1”にしないでください。

システムクロック制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
				0	0	0	

シンボル	アドレス	リセット時
CM1	000_{16}番地	20_{16}

ビットシンボル	ビット名	機　　能	R	W
CM10	全クロック停止制御ビット(注4)	0 : クロック発振 1 : 全クロック停止(ストップモード)	○	○
予約ビット		必ず“0”を設定してください	○	○
予約ビット		必ず“0”を設定してください	○	○
予約ビット		必ず“0”を設定してください	○	○
CM14	f_{C132}クロック選択ビット	0 : f_{C32} 1 : f_{C1}	○	○
CM15	X_{IN}-X_{OUT}駆動能力選択ビット(注2)	0 : LOW 1 : HIGH	○	○
CM16	メインクロック分周比選択ビット1(注3)	b7 b6 0 0 : 分周なしモード 0 1 : 2分周モード 1 0 : 4分周モード 1 1 : 16分周モード	○	○
CM17				

注1. このレジスタを書き替える場合、プロテクトレジスタ($000A_{16}$番地)のビット0を“1”にしてください。
注2. 高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。
注3. システムクロック制御レジスタ0(000_{16}番地)のビット6が“0”の場合、有効となります。“1”の場合、8分周モードに固定です。
注4. このビットが“1”の場合、X_{OUT}は“H”レベルとなり、内蔵している帰還抵抗は切り離されます。X_{CIN}、X_{COUT}は、ハイインピーダンスになります。

図1.9.4.　システムクロック制御レジスタ0、システムクロック制御レジスタ1の構成

クロック出力

クロック出力機能選択ビットによってP57/CKOUT端子からf1、fc1またはクロック分周カウンタで分周したクロックを出力することができます。クロック分周カウンタはf32をカウントソースとする８ビットのカウンタで、00₁₆からFF₁₆を設定することができます。また、クロック分周カウンタ開始フラグによりクロック分周カウンタの開始、停止を制御することができます。図1.9.5にクロック出力のブロック図、図1.9.6にクロック分周カウンタの関連レジスタを示します。

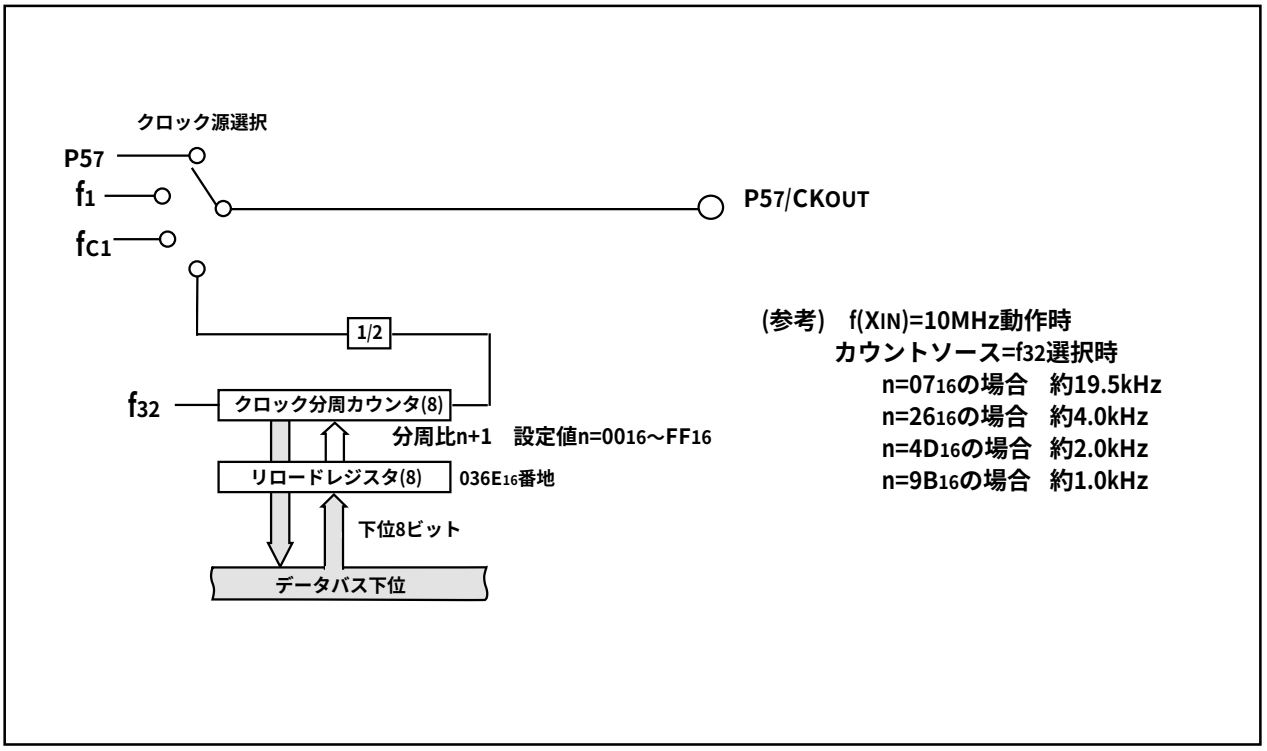


図1.9.5.　クロック出力ブロック図

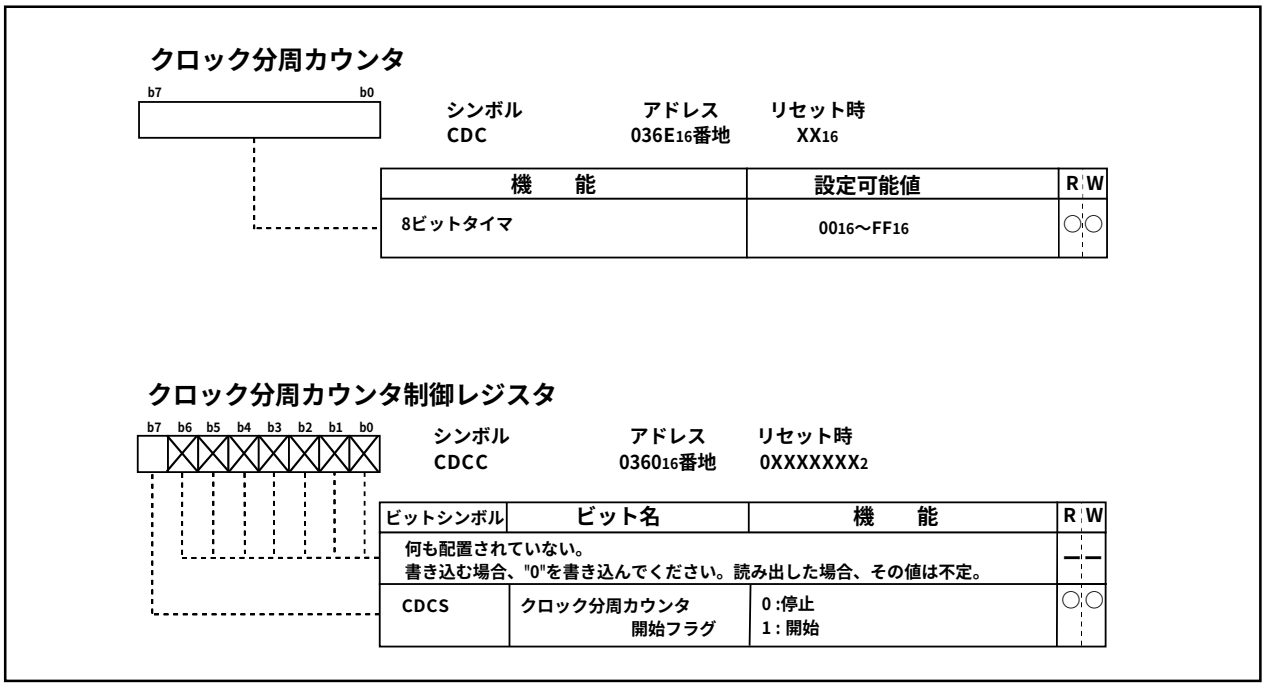


図1.9.6.　クロック分周カウンタ関連レジスタ構成

ストップモード

全クロック停止制御ビット(0007$_{16}$番地のビット0)に“1”を書き込むと、発振がすべて停止し、マイクロコンピュータはストップモードに入ります。ストップモード時、V_{CC}が2V以上であれば内部RAMの内容を保持することができます。

ストップモードでは、発振、BCLK、f_1～f_{32}、f_C、f_{C132}、f_{C1}、f_{C32}、f_{AD}は停止しますのでA-D変換器、監視タイマ等の内蔵周辺機能は動作しません。ただし、タイマA、タイマBは外部パルスをカウントするイベントカウンタモードだけ、UART0～UART2は、外部クロック選択時だけ動作します。ストップモード時のポートの状態を表1.9.2に示します。

ストップモードはハードウエアリセットまたは割り込みによって解除されます。ストップモードの解除に割り込みを使用する場合、対象となる割り込みは、あらかじめ割り込み許可状態にする必要があります。

割り込みで復帰した場合、対象となる割り込みルーチンを実行します。

高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(0006$_{16}$番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

表1.9.2. ストップモード時のポートの状態

端　子		状　態
ポート		ストップモードに入る直前の状態を保持
CK_{OUT}	f_{C1}選択時	“H”
	f_1、クロック分周カウンタの出力選択時	ストップモードに入る直前の状態を保持

ウエイトモード

WAIT命令を実行するとBCLKが停止し、マイクロコンピュータはウエイトモードに入ります。ウエイトモードでは、発振は停止しませんが、BCLKおよび監視タイマは停止します。WAIT時周辺機能クロック停止ビットに“1”を書いて、WAIT命令を実行すると、内蔵周辺機能へ供給しているクロックが停止し、消費電力を低減することができます。ただし、サブクロックから生成している周辺機能クロック(f_{C132}、f_{C1}、f_{C32})は停止しませんので、消費電力の削減にはなりません。低速モードおよび低消費電力モード時にはこのビットに”1”を設定してウエイトモードに移行しないでください。ウエイトモード時のポートの状態を表1.9.3に示します。

ウエイトモードはハードウエアリセットまたは割り込みによって解除されます。ウエイトモードの解除に割り込みを使用する場合、対象となる割り込みは、あらかじめ割り込み許可状態にする必要があります。

割り込みで復帰した場合、マイクロコンピュータはWAIT命令を実行したときのクロックをBCLKとし、割り込みルーチンから動作を再開します。

表1.9.3. ウエイトモード時のポートの状態

端　子		状　態
ポート		ウエイトモードに入る直前の状態を保持
CK_{OUT}	f_{C1}選択時	停止しません
	f_1、クロック分周カウンタの出力選択時	WAIT時周辺機能クロック停止ビットが“0”のとき停止しません WAIT時周辺機能クロック停止ビットが“1”のときウエイトモードに入る直前の状態を保持

BCLKの状態遷移

BCLKのカウントソースを変更することで、消費電流の低減や低電圧動作を実現することができます。以下にBCLKの動作モードを示します。また、表1.9.4にシステムクロック制御レジスタ0と1の設定値に対する動作モードを示します。

リセット時、8分周モードで立ち上がります。高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(000616番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

(1) 2分周モード

メインクロックの2分周がBCLKとなるモードです。

(2) 4分周モード

メインクロックの4分周がBCLKとなるモードです。

(3) 8分周モード

メインクロックの8分周がBCLKとなるモードです。リセット時このモードから動作します。このモードから分周なしモード、2分周モード、4分周モードへ移行する場合、メインクロックが安定して発振している必要があります。低速モード、低消費電力モードへ移行する場合、サブクロックが安定して発振している必要があります。

(4) 16分周モード

メインクロックの16分周がBCLKとなるモードです。

(5) 分周なしモード

メインクロックの1分周がBCLKとなるモードです。

(6) 低速モード

fCがBCLKとなるモードです。他のモードからこのモードへ、またはこのモードから他のモードへ移行する場合は、メインクロックおよびサブクロックとも発振が安定している必要があります。特にサブクロックの発振立ち上がりは時間(2～3秒程度)を要しますので、電源投入直後やストップモード解除時は、安定するまでプログラムで待ち時間をとってから移行するようにしてください。

(7) 低消費電力モード

fCがBCLKとなりさらにメインクロックを停止させたモードです。

注意事項

BCLKのカウントソースをXINからXCIN、XCINからXINに切り替えるとき、切り替え先のクロックは安定して発振している必要があります。ソフトウエアにて発振が安定するまで待ち時間を取ってから移るようにしてください。

表1.9.4. システムクロック制御レジスタ0と1の設定値に対する動作モード

CM17	CM16	CM07	CM06	CM05	CM04	BCLKの動作モード
0	1	0	0	0	無効	2分周モード
1	0	0	0	0	無効	4分周モード
無効	無効	0	1	0	無効	8分周モード
1	1	0	0	0	無効	16分周モード
0	0	0	0	0	無効	分周なしモード
無効	無効	1	無効	0	1	低速モード
無効	無効	1	無効	1	1	低消費電力モード

パワーコントロール

パワーコントロールの概要について説明します。

●モード

パワーコントロールには3つのモードがあります。

(1) 通常動作モード

■ 高速モード

メインクロックの1分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、周辺機能ごとに設定したクロックで動作します。

■ 中速モード

メインクロックの2分周、4分周、8分周、または16分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、周辺機能ごとに設定したクロックで動作します。

■ 低速モード

fcがBCLKとなるモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。周辺機能は、周辺機能ごとに設定したクロックで動作します。

■ 低消費電力モード

低速モードからメインクロックを停止させたモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。カウントソースとしてサブクロックを選択している周辺機能だけ動作します。

(2) ウエイトモード

CPUの動作を停止させるモードです。発振器は停止しません。

(3) ストップモード

すべての発振器が停止するモードです。CPUや内蔵の周辺機能はすべて停止します。パワーコントロールの3つのモードの中で一番消費電流を少なくすることができます。

(1)～(3)の状態遷移図を図1.9.7に示します。

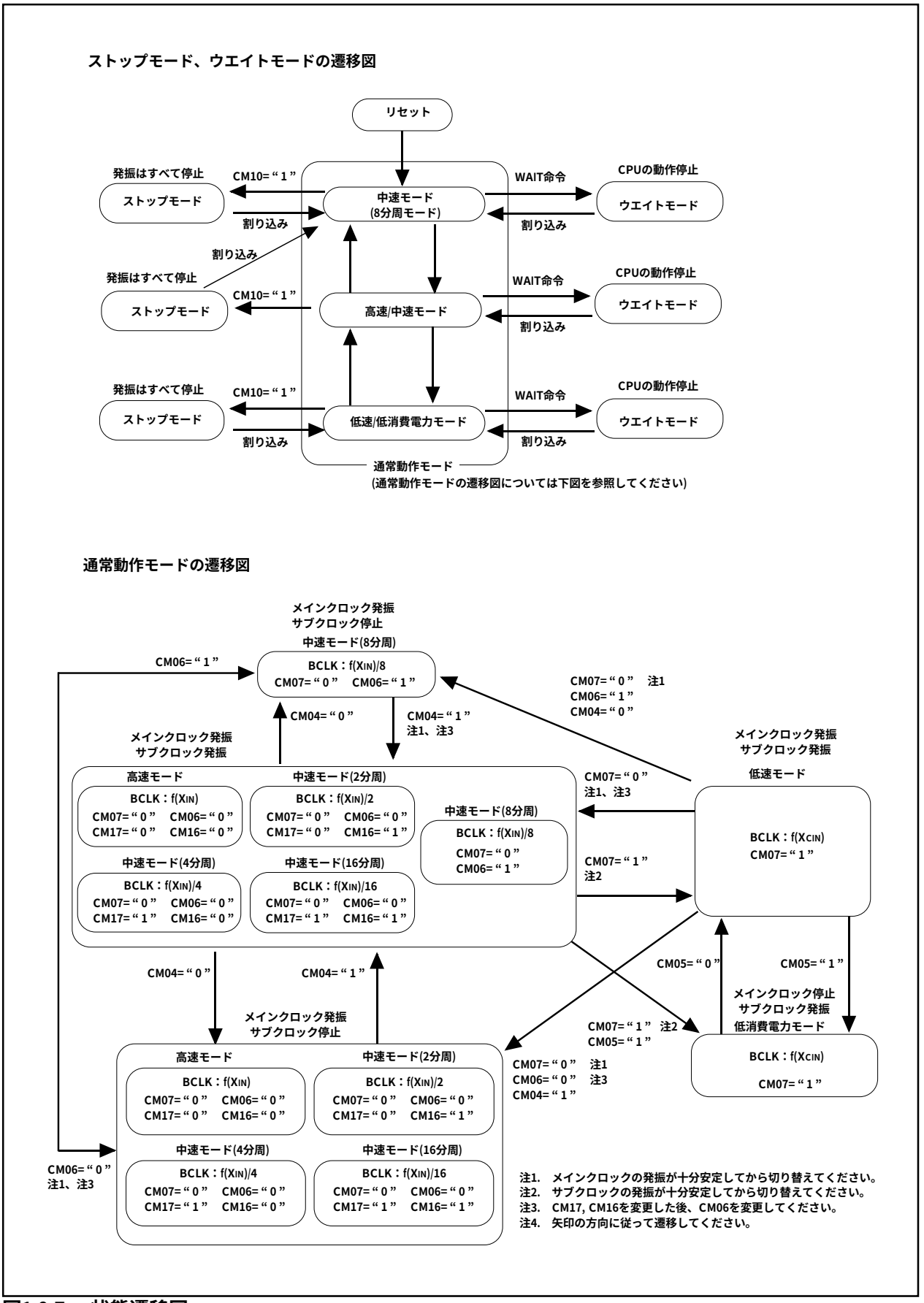

ストップモード、ウエイトモードの遷移図
リセット
発振はすべて停止
ストップモード
CM10=“1”
割り込み
中速モード
(8分周モード)
WAIT命令
CPUの動作停止
ウエイトモード
割り込み
割り込み
発振はすべて停止
ストップモード
CM10=“1”
高速/中速モード
WAIT命令
CPUの動作停止
ウエイトモード
割り込み
発振はすべて停止
ストップモード
CM10=“1”
割り込み
低速/低消費電力モード
WAIT命令
CPUの動作停止
ウエイトモード
割り込み
通常動作モード
(通常動作モードの遷移図については下図を参照してください)
通常動作モードの遷移図
メインクロック発振
サブクロック停止
中速モード(8分周)
BCLK：f(XIN)/8
CM07=“0” CM06=“1”
CM06=“1”
CM07=“0” 注1
CM06=“1”
CM04=“0”
CM04=“0”
CM04=“1”
注1、注3
メインクロック発振
サブクロック発振
高速モード
BCLK：f(XIN)
CM07=“0” CM06=“0”
CM17=“0” CM16=“0”
中速モード(2分周)
BCLK：f(XIN)/2
CM07=“0” CM06=“0”
CM17=“0” CM16=“1”
中速モード(8分周)
BCLK：f(XIN)/8
CM07=“0”
CM06=“1”
中速モード(4分周)
BCLK：f(XIN)/4
CM07=“0” CM06=“0”
CM17=“1” CM16=“0”
中速モード(16分周)
BCLK：f(XIN)/16
CM07=“0” CM06=“0”
CM17=“1” CM16=“1”
CM07=“0”
注1、注3
CM07=“1”
注2
メインクロック発振
サブクロック発振
低速モード
BCLK：f(XCIN)
CM07=“1”
CM04=“0”
CM04=“1”
CM05=“0”
CM05=“1”
メインクロック停止
サブクロック発振
低消費電力モード
BCLK：f(XCIN)
CM07=“1”
CM07=“1” 注2
CM05=“1”
CM07=“0” 注1
CM06=“0” 注3
CM04=“1”
メインクロック発振
サブクロック停止
高速モード
BCLK：f(XIN)
CM07=“0” CM06=“0”
CM17=“0” CM16=“0”
中速モード(2分周)
BCLK：f(XIN)/2
CM07=“0” CM06=“0”
CM17=“0” CM16=“1”
中速モード(4分周)
BCLK：f(XIN)/4
CM07=“0” CM06=“0”
CM17=“1” CM16=“0”
中速モード(16分周)
BCLK：f(XIN)/16
CM07=“0” CM06=“0”
CM17=“1” CM16=“1”
CM06=“0”
注1、注3
注1. メインクロックの発振が十分安定してから切り替えてください。
注2. サブクロックの発振が十分安定してから切り替えてください。
注3. CM17, CM16を変更した後、CM06を変更してください。
注4. 矢印の方向に従って遷移してください。

図1.9.7. 状態遷移図

プロテクト

プログラムが暴走したときに備え、重要なレジスタは、簡単に書き替えることができないようにプロテクトする機能を持ちます。図1.9.8にプロテクトレジスタの構成を示します。プロセッサモードレジスタ0(0004_{16}番地)、プロセッサモードレジスタ1(0005_{16}番地)、システムクロック制御レジスタ0(0006_{16}番地)、システムクロック制御レジスタ1(0007_{16}番地)は、プロテクトレジスタの対応するビットが“1”のときだけ書き替えることができます。

システムクロック制御レジスタ0,1書き込み許可ビット($000A_{16}$番地のビット0)およびプロセッサモードレジスタ0,1書き込み許可ビット($000A_{16}$番地のビット1)は書き込み許可した番地に書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

プロテクトレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
×	×	×	×	×	×		

シンボル	アドレス	リセット時
PRCR	$000A_{16}$番地	$XXXXX00_2$

ビットシンボル	ビット名	機　能	R	W
PRC0	システムクロック制御レジスタ0,1(0006_{16},0007_{16}番地)への書き込み許可	0：書き込み禁止 1：書き込み許可	○	○
PRC1	プロセッサモードレジスタ0,1(0004_{16},0005_{16}番地)への書き込み許可	0：書き込み禁止 1：書き込み許可	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

図1.9.8.　プロテクトレジスタの構成

割り込みの概要

割り込みの分類

図1.10.1に割り込みの分類を示します。

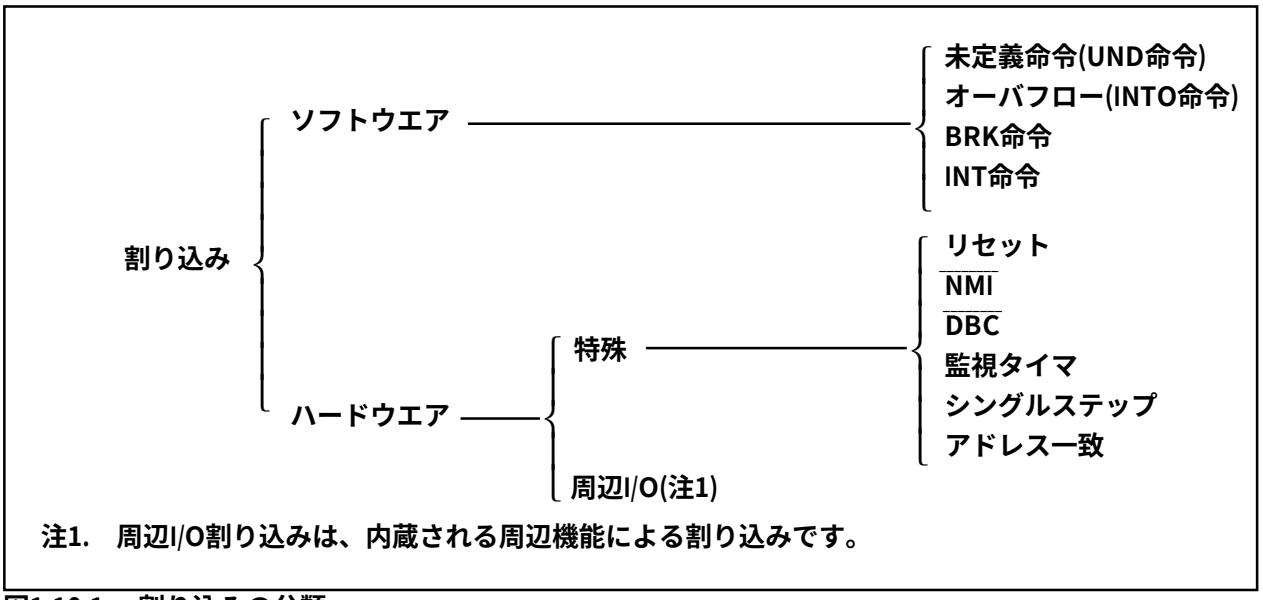


図1.10.1.　割り込みの分類

●マスカブル割り込み　：　割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が可能

●ノンマスカブル割り込み　：　割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が不可能

ソフトウエア割り込み

ソフトウエア割り込みは、命令の実行によって発生します。ソフトウエア割り込みはノンマスカブル割り込みです。

●未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

●オーバフロー割り込み

オーバフロー割り込みは、オーバフローフラグ(Oフラグ)が“1”のときINTO命令を実行すると発生します。演算によってOフラグが変化する命令を以下に示します。

ABS, ADC, ADCF, ADD, CMP, DIV, DIVU, DIVX, NEG, RMPA, SBB, SHA, SUB

●BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

●INT命令割り込み

INT命令割り込みは、ソフトウエア割り込み番号 0～63 を指定し、INT命令を実行すると発生します。なお、ソフトウエア割り込み番号0～31は周辺I/O割り込みに割り当てられますので、INT命令を実行することで周辺I/O割り込みと同じ割り込みルーチンを実行できます。

INT命令割り込みに使用するスタックポインタ(SP)は、ソフトウエア割り込み番号によって異なります。ソフトウエア割り込み番号0～31では、割り込み要求受け付け時にスタックポインタ指定フラグ(Uフラグ)を退避し、Uフラグを“0”にして割り込みスタックポインタ(ISP)を選択した後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに割り込み要求受け付け前のUフラグが復帰されます。ソフトウエア割り込み番号32～63では、スタックポインタは切り替わりません。

ハードウエア割り込み

ハードウエア割り込みには、特殊割り込みと周辺I/O割り込みがあります。

●特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

(1) リセット

リセットは、$\overline{\text{RESET}}$端子に“L”を入力すると発生します。

(2) $\overline{\text{NMI}}$割り込み

$\overline{\text{NMI}}$割り込みは、$\overline{\text{NMI}}$端子に“L”を入力すると発生します。

(3) $\overline{\text{DBC}}$割り込み

デバッガ専用割り込みですので、通常は使用しないでください。

(4) 監視タイマ割り込み

監視タイマによる割り込みです。

(5) シングルステップ割り込み

デバッガ専用割り込みですので、通常は使用しないでください。シングルステップ割り込みは、デバッグフラグ(Dフラグ)を“1”にすると、命令を1つ実行した後に発生します。

(6) アドレス一致割り込み

アドレス一致割り込みは、アドレス一致割り込み許可ビットを“1”にしたとき、アドレス一致割り込みレジスタで示される番地の命令を実行する直前に発生します。

アドレス一致レジスタに命令の先頭番地以外の番地を設定した場合は、アドレス一致割り込みは発生しません。

● 周辺I/O割り込み

周辺I/O割り込みは、内蔵される周辺機能による割り込みです。割り込みベクタテーブルはINT命令で使用するソフトウエア割り込み番号0～31と同一です。周辺I/O割り込みは、マスカブル割り込みです。

(1) バス衝突検出割り込み

シリアルI/Oのバス衝突検出機能による割り込みです。

(2) DMA0、DMA1割り込み

DMAによる割り込みです。

(3) キー入力割り込み

キー入力割り込みは、$\overline{\text{KI}}$端子に立ち下がりエッジ、または両エッジを入力すると発生します。

(4) A-D変換割り込み

A-D変換器による割り込みです。

(5) UART0、UART1、UART2送信割り込み

シリアルI/Oの送信による割り込みです。

(6) UART0、UART1、UART2受信割り込み

シリアルI/Oの受信による割り込みです。

(7) タイマA0～A7割り込み

タイマAによる割り込みです。

(8) タイマB0～タイマB5割り込み

タイマBによる割り込みです。

(9) $\overline{\text{INT}}_0$～$\overline{\text{INT}}_5$割り込み

$\overline{\text{INT}}$割り込みは、$\overline{\text{INT}}$端子に立ち下がりエッジ、立ち上がりエッジ、または両エッジを入力すると発生します。

割り込みと割り込みベクタテーブル

割り込み要求が受け付けられると、割り込みベクタテーブルに設定した割り込みルーチンへ分岐します。各割り込みベクタテーブルには、割り込みルーチンの先頭番地を設定してください。図1.10.2にアドレスの指定形式を示します。

割り込みベクタテーブルには、アドレスが固定されている固定ベクタテーブルと設定によってベクタテーブルの番地を変更できる可変ベクタテーブルがあります。

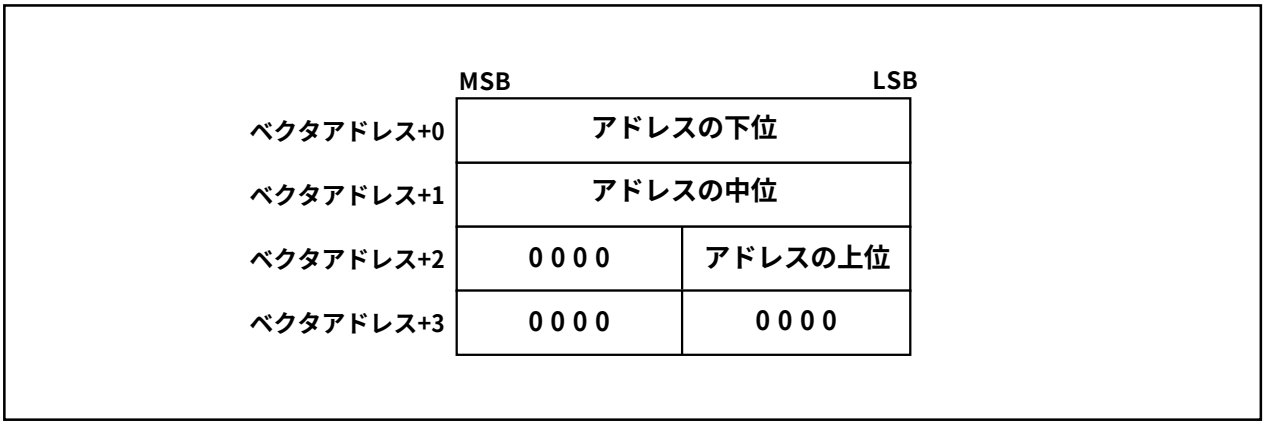


図1.10.2.　割り込みベクタの指定アドレス

●固定ベクタテーブル

固定ベクタテーブルは、アドレスが固定のベクタテーブルで、FFFDC16番地からFFFFF16番地に配置されています。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定します。表1.10.1に固定ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表1.10.1.　固定ベクタテーブルに配置している割り込みとベクタテーブルの番地

割り込み要因	ベクタテーブル番地 ｱﾄﾞﾚｽ(L)～ｱﾄﾞﾚｽ(H)	備考
未定義命令	FFFDC16 ～ FFFDF16	UND命令で割り込み
オーバフロー	FFFE016 ～ FFFE316	INTO命令で割り込み
BRK命令	FFFE416 ～ FFFE716	ベクタの内容がすべてFF16の場合は可変ベクタテーブル内のベクタが示す番地から実行
アドレス一致	FFFE816 ～ FFFEB16	アドレス一致割り込み許可ビットあり
シングルステップ(注1)	FFFEC16 ～ FFFEF16	通常は使用禁止
監視タイマ	FFFF016 ～ FFFF316	
$\overline{\text{DBC}}$(注1)	FFFF416 ～ FFFF716	通常は使用禁止
$\overline{\text{NMI}}$	FFFF816 ～ FFFFB16	$\overline{\text{NMI}}$端子入力による外部割り込み
リセット	FFFFC16 ～ FFFFF16	

注1.　デバッガ専用割り込み

●可変ベクタテーブル

可変ベクタテーブルは、設定によってアドレスを変更することができるベクタテーブルです。ベクタテーブルの先頭番地を、割り込みテーブルレジスタ(INTB)で示してください。INTBで示された先頭番地から256バイトが可変ベクタテーブルの領域となります。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定してください。表1.10.2に可変ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表1.10.2.　可変ベクタテーブルに配置している割り込みとベクタテーブルの番地

ソフトウエア割り込み番号	ベクタテーブル番地 アドレス(L)～アドレス(H)	割り込み要因	備　考
ソフトウエア割り込み番号0	+0～+3(注1)	BRK命令	Iフラグによるマスク不可
ソフトウエア割り込み番号4	+16～+19(注1)	$\overline{\text{INT3}}$	
ソフトウエア割り込み番号5	+20～+23(注1)	タイマB5	
ソフトウエア割り込み番号6	+24～+27(注1)	タイマB4	
ソフトウエア割り込み番号7	+28～+31(注1)	タイマB3	
ソフトウエア割り込み番号8	+32～+35(注1)	タイマA7	
ソフトウエア割り込み番号9	+36～+39(注1)	タイマA6	
ソフトウエア割り込み番号10	+40～+43(注1)	タイマA5/バス衝突検出(注2)	
ソフトウエア割り込み番号11	+44～+47(注1)	DMA0	
ソフトウエア割り込み番号12	+48～+51(注1)	DMA1	
ソフトウエア割り込み番号13	+52～+55(注1)	キー入力割り込み	
ソフトウエア割り込み番号14	+56～+59(注1)	A-D	
ソフトウエア割り込み番号15	+60～+63(注1)	UART2送信/NACK(注3)	
ソフトウエア割り込み番号16	+64～+67(注1)	UART2受信/ACK　(注3)	
ソフトウエア割り込み番号17	+68～+71(注1)	UART0送信	
ソフトウエア割り込み番号18	+72～+75(注1)	UART0受信	
ソフトウエア割り込み番号19	+76～+79(注1)	UART1送信	
ソフトウエア割り込み番号20	+80～+83(注1)	UART1受信	
ソフトウエア割り込み番号21	+84～+87(注1)	タイマA0	
ソフトウエア割り込み番号22	+88～+91(注1)	タイマA1	
ソフトウエア割り込み番号23	+92～+95(注1)	タイマA2	
ソフトウエア割り込み番号24	+96～+99(注1)	タイマA3/$\overline{\text{INT4}}$(注4)	
ソフトウエア割り込み番号25	+100～+103(注1)	タイマA4/$\overline{\text{INT5}}$(注4)	
ソフトウエア割り込み番号26	+104～+107(注1)	タイマB0	
ソフトウエア割り込み番号27	+108～+111(注1)	タイマB1	
ソフトウエア割り込み番号28	+112～+115(注1)	タイマB2	
ソフトウエア割り込み番号29	+116～+119(注1)	$\overline{\text{INT0}}$	
ソフトウエア割り込み番号30	+120～+123(注1)	$\overline{\text{INT1}}$	
ソフトウエア割り込み番号31	+124～+127(注1)	$\overline{\text{INT2}}$	
ソフトウエア割り込み番号32 ～ ソフトウエア割り込み番号63	+128～+131(注1) ～ +252～+255(注1)	ソフトウエア割り込み	Iフラグによるマスク不可

注1.　割り込みテーブルレジスタ(INTB)が示すアドレスからの相対アドレスです。
注2.　割り込み要因切替ビット(035E16番地のビット4)により選択します。
注3.　IICモード選択時にNACK、ACK割り込みが選択されます。
注4.　割り込み要因切替ビット(035F16番地のビット6, 7)により選択します。

割り込み制御

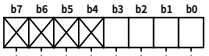
マスカブル割り込みの許可/禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可および禁止は、割り込み許可フラグ(Iフラグ)、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)によって行います。また、割り込み要求の有無は、割り込み要求ビットに示されます。割り込み要求ビットおよび割り込み優先レベル選択ビットは、各割り込みの割り込み制御レジスタに配置されています。また、割り込み許可フラグ(Iフラグ)、およびプロセッサ割り込み優先レベル(IPL)は、フラグレジスタ(FLG)に配置されています。

図1.10.3に割り込み制御レジスタの構成を示します。

割り込み制御レジスタ(注2)

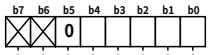
シンボル	アドレス	リセット時
TBiIC(i=3～5)	0045_{16}～0047_{16}番地	$XXXXX000_2$
TAiIC(i=6,7)	0048_{16},0049_{16}番地	$XXXXX000_2$
TA5IC/BCNIC	$004A_{16}$番地	$XXXXX000_2$
DMiIC(i=0,1)	$004B_{16}$,$004C_{16}$番地	$XXXXX000_2$
KUPIC	$004D_{16}$番地	$XXXXX000_2$
ADIC	$004E_{16}$番地	$XXXXX000_2$
SiTIC(i=0～2)	0051_{16},0053_{16},$004F_{16}$番地	$XXXXX000_2$
SiRIC(i=0～2)	0052_{16},0054_{16},0050_{16}番地	$XXXXX000_2$
TAiIC(i=0～2)	0055_{16}～0057_{16}番地	$XXXXX000_2$
TBiIC(i=0～2)	$005A_{16}$～$005C_{16}$番地	$XXXXX000_2$



ビットシンボル	ビット名	機　能	R	W
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0：レベル0（割り込み禁止） 0 0 1：レベル1 0 1 0：レベル2 0 1 1：レベル3 1 0 0：レベル4 1 0 1：レベル5 1 1 0：レベル6 1 1 1：レベル7	○	○
ILVL1			○	○
ILVL2			○	○
IR	割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	○	○ (注1)
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

注1.　“0”だけ書き込み可(“1”を書き込まないでください)。
注2.　割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、割り込みの注意事項を参照してください。

シンボル	アドレス	リセット時
INTiIC(i=0～2)	$005D_{16}$～$005F_{16}$番地	$XX00X000_2$
(i=3)	0044_{16}番地	$XX00X000_2$
TAiIC/INTjIC(i=3, 4)	0058_{16},0059_{16}番地	$XX00X000_2$
(j=4, 5)	0058_{16},0059_{16}番地	$XX00X000_2$



ビットシンボル	ビット名	機　能	R	W
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0：レベル0（割り込み禁止） 0 0 1：レベル1 0 1 0：レベル2 0 1 1：レベル3 1 0 0：レベル4 1 0 1：レベル5 1 1 0：レベル6 1 1 1：レベル7	○	○
ILVL1			○	○
ILVL2			○	○
IR	割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	○	○ (注1)
POL	極性切り替えビット	0：立ち下がりエッジを選択 1：立ち上がりエッジを選択	○	○
予約ビット		必ず“0”を設定してください	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

注1.　“0”だけ書き込み可(“1”を書き込まないでください)。
注2.　割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、割り込みの注意事項を参照してください。

図1.10.3.　割り込み制御レジスタの構成

割り込み許可フラグ(Iフラグ)

割り込み許可フラグ(Iフラグ)は、マスカブル割り込みの禁止／許可の制御を行います。このフラグを“1”にすると、すべてのマスカブル割り込みは許可され、“0”にすると禁止されます。このフラグはリセット解除後“0”になります。

割り込み要求ビット

割り込み要求ビットは割り込み要求が発生すると、ハードウェアによって“1”になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、このビットはハードウェアによって“0”になります。

また、このビットはソフトウエアによって“0”にできます(“1”を書き込まないでください)。

割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)

割り込み優先レベルは、割り込み制御レジスタの中の割り込み優先レベル選択ビットで設定します。

割り込み要求発生時、割り込み優先レベルは、プロセッサ割り込み優先レベル(IPL)と比較され、割り込みの優先レベルがプロセッサ割り込み優先レベル(IPL)より大きい場合だけ、その割り込みは許可されます。したがって、割り込み優先レベルにレベル0を設定すれば、その割り込みは禁止されます。

表1.10.3に割り込み優先レベルの設定を、表1.10.4にプロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベルを示します。

割り込み要求が受け付けられる条件を以下に示します。

・割り込み許可フラグ(Iフラグ) ＝ “1”
・割り込み要求ビット ＝ “1”
・割り込み優先レベル ＞ プロセッサ割り込み優先レベル(IPL)

割り込み許可フラグ(Iフラグ)、割り込み要求ビット、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)はそれぞれ独立しており、互いに影響を与えることはありません。

表1.10.3. 割り込み優先レベルの設定

割り込み優先レベル選択ビット (b2 b1 b0)	割り込み優先レベル	優先順位
0 0 0	レベル0 (割り込み禁止)	――
0 0 1	レベル1	低い
0 1 0	レベル2	↓
0 1 1	レベル3	↓
1 0 0	レベル4	↓
1 0 1	レベル5	↓
1 1 0	レベル6	↓
1 1 1	レベル7	高い

表1.10.4. プロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベル

プロセッサ割り込み優先レベル(IPL) (IPL_2 IPL_1 IPL_0)	許可される割り込み優先レベル
0 0 0	レベル1以上を許可
0 0 1	レベル2以上を許可
0 1 0	レベル3以上を許可
0 1 1	レベル4以上を許可
1 0 0	レベル5以上を許可
1 0 1	レベル6以上を許可
1 1 0	レベル7以上を許可
1 1 1	すべてのマスカブル割り込みを禁止

割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

＜割り込み制御レジスタを書き換えるプログラム例＞

例１：

```
INT_SWITCH1：
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“ 00₁₆ ”を設定
  NOP
  NOP
  FSET    I              ；割り込み許可状態
```

例２：

```
INT_SWITCH2：
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“ 00₁₆ ”を設定
  MOV.W   MEM，R0        ；ダミーリード
  FSET    I              ；割り込み許可状態
```

例３：

```
INT_SWITCH3：
  PUSHC   FLG
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“ 00₁₆ ”を設定
  POPC    FLG            ；割り込み許可状態
```

例１と例２でFSET I命令の前にNOP命令２個やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB, SMOVF, SSTR, RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次の動作を順次行います。

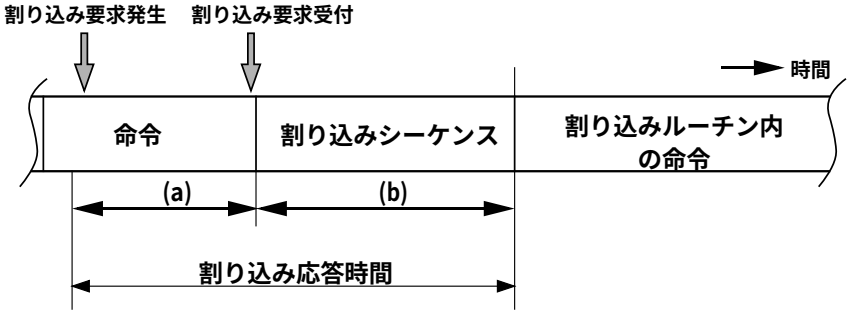
(1) 000000_{16}番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得する。その後、該当する割り込みの要求ビットが“0”になる。
(2) 割り込みシーケンス直前のフラグレジスタ(FLG)の内容をCPU内部の一時レジスタ(注1)に退避する。
(3) 割り込み許可フラグ(Iフラグ)、デバッグフラグ(Dフラグ)、およびスタックポインタ指定フラグ(Uフラグ)を“0”にする(ただしUフラグは、ソフトウエア割り込み番号32～63のINT命令を実行した場合は変化しません)。
(4) CPU内部の一時レジスタ(注1)の内容をスタック領域に退避する。
(5) プログラムカウンタ(PC)の内容をスタック領域に退避する。
(6) プロセッサ割り込み優先レベル(IPL)に、受け付けた割り込みの割り込み優先レベルを設定する。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

割り込み応答時間

割り込み応答時間とは、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間を示します。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(a)と割り込みシーケンスを実行する時間(b)で構成されます。図1.10.4に割り込み応答時間を示します。



(a) 割り込み要求発生時点からそのとき実行している命令が終了するまでの時間
(b) 割り込みシーケンスを実行する時間

図1.10.4. 割り込み応答時間

(a)の時間は、実行している命令によって異なります。DIVX命令が最大で30サイクル(ウエイトなし)です。
(b)の時間は次のとおりです。

表1.10.5.　割り込みシーケンス実行時間

割り込みベクタの番地	スタックポインタ(SP)の値	16ビットバス、ウエイトなし	8ビットバス、ウエイトなし
偶数	偶数	18サイクル(注1)	20サイクル(注1)
偶数	奇数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	偶数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	奇数	20サイクル(注1)	20サイクル(注1)

注1.　$\overline{\text{DBC}}$割り込みは+2サイクル、アドレス一致割り込み、シングルステップ割り込みは+1サイクルしてください。
注2.　割り込みベクタの番地は、なるべく偶数番地に配置するようにしてください。

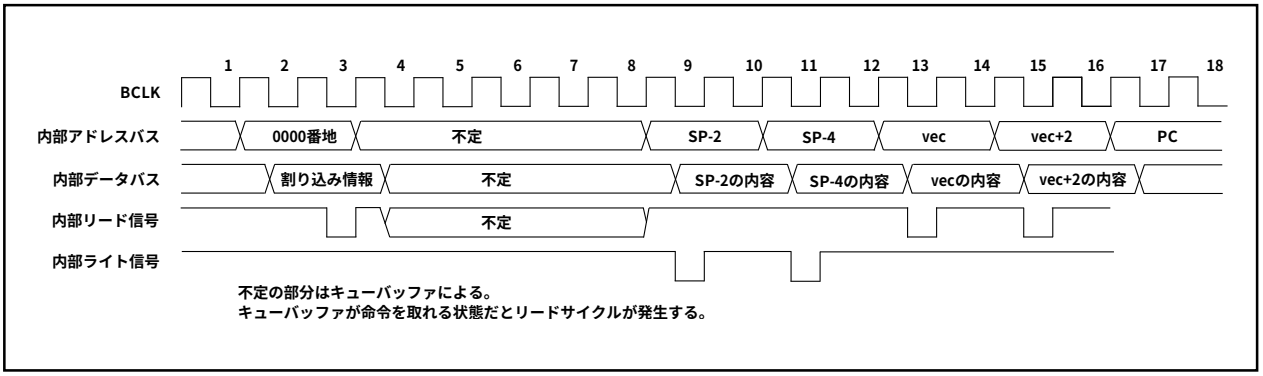


図1.10.5.　割り込みシーケンスの実行時間

割り込み要求受付時のプロセッサ割り込み優先レベル(IPL)の変化

割り込み要求が受け付けられると、プロセッサ割り込み優先レベル(IPL)には受け付けた割り込みの割り込み優先レベルが設定されます。

割り込み優先レベルをもたない割り込み要求が受け付けられたときは、表1.10.6に示す値がIPLに設定されます。

表1.10.6.　割り込み優先レベルをもたない割り込みとIPLの関係

割り込み優先レベルをもたない割り込み要因	設定される IPL の値
監視タイマ、$\overline{\text{NMI}}$	7
リセット	0
その他	変化しない

レジスタ退避

割り込みシーケンスでは、フラグレジスタ(FLG)とプログラムカウンタ(PC)の内容だけがスタック領域に退避されます。

退避する順番は、スタック領域へはプログラムカウンタの上位4ビットとFLGレジスタの上位4ビットおよび下位8ビットの合計16ビットをまず退避し、次にプログラムカウンタの下位16ビットを退避します。図1.10.6に割り込み要求受付前のスタックの状態と、割り込み要求受付後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でソフトウエアによって退避してください。PUSHM命令を用いると、1命令でスタックポインタ(SP)を除くすべてのレジスタを退避することができます。

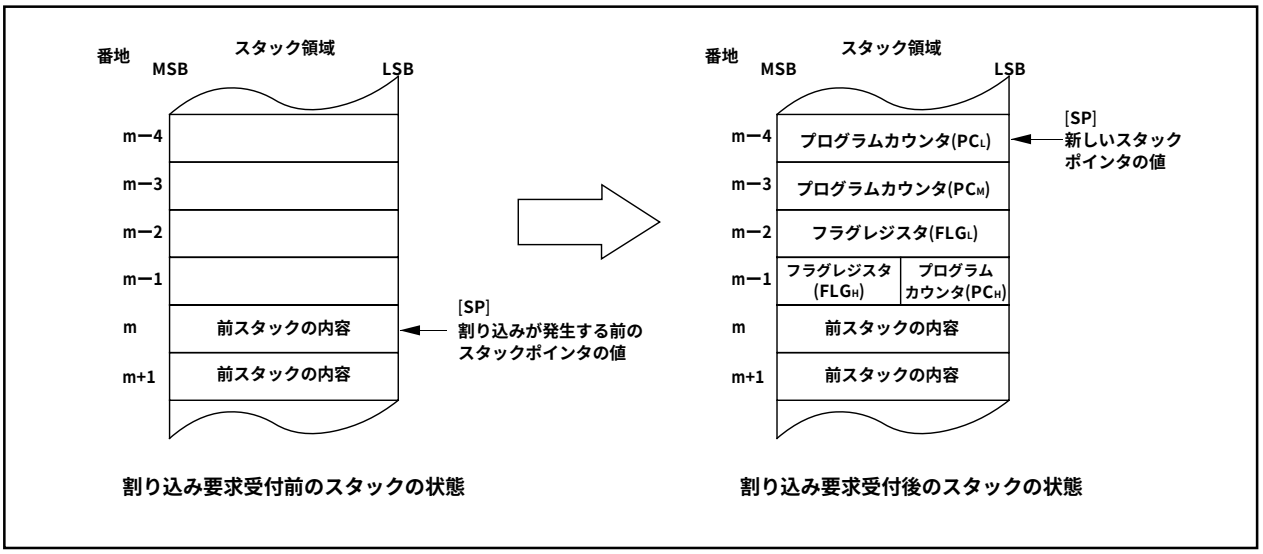


図1.10.6.　割り込み要求受付前／割り込み要求受付後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受付時のスタックポインタ(注1)の内容が偶数の場合と奇数の場合で異なります。スタックポインタ(注1)の内容が偶数の場合は、フラグレジスタ(FLG)およびプログラムカウンタ(PC)の内容がそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図1.10.7にレジスタ退避動作を示します。

注1.　ソフトウエア番号32～63のINT命令を実行した場合は、Uフラグが示すスタックポインタです。
それ以外は、割り込みスタックポインタ(ISP)です。

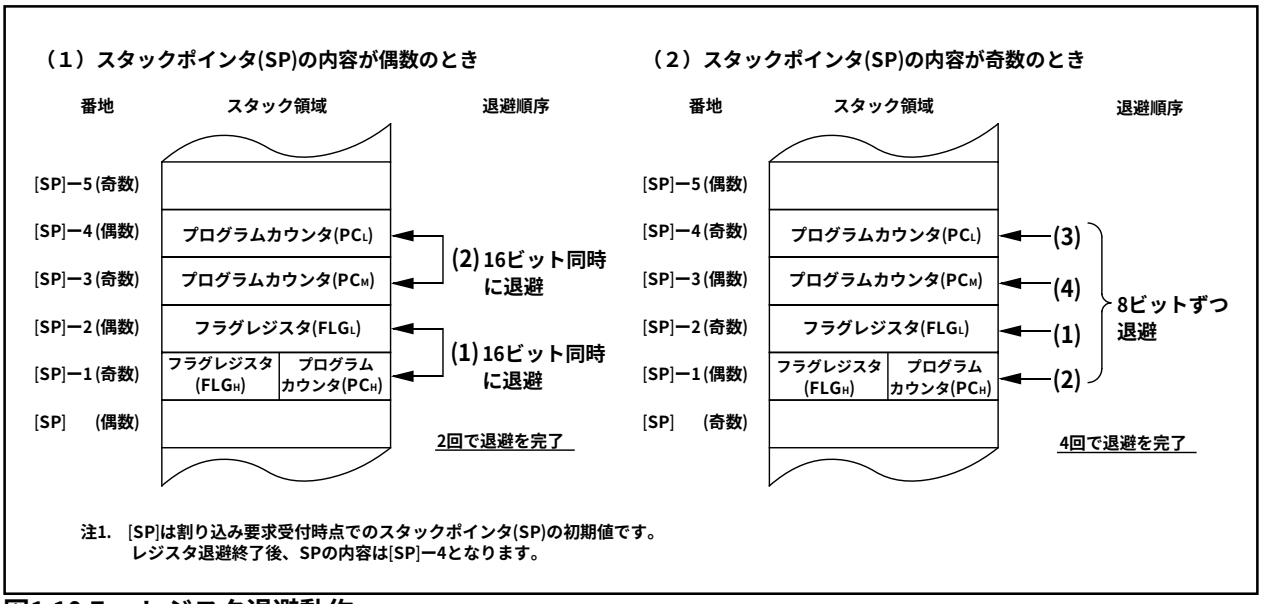


図1.10.7.　レジスタ退避動作

割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタック領域に退避されていた割り込みシーケンス直前のフラグレジスタ(FLG)、およびプログラムカウンタ(PC)の内容が復帰されます。その後、割り込み要求受付前に実行していたプログラムに戻り、中断されていた処理が継続して実行されます。

割り込みルーチン内でソフトウエアによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺I/O割り込み)の優先順位は、割り込み優先レベル選択ビットによって任意の優先順位を設定することができます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウエアで設定されている優先度の高い割り込みが受け付けられます。

リセット(リセットは優先順位の一番高い割り込みとして扱われます)、監視タイマ割り込みなど、特殊割り込みの優先順位はハードウエアで設定されています。ハードウエア割り込みの割り込み優先順位を図1.10.8に示します。

ソフトウエア割り込みは割り込み優先順位の影響を受けません。命令を実行すると必ず割り込みルーチンへ分岐します。

割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図1.10.9に割り込み優先レベルの判定回路を示します。

リセット＞$\overline{\text{NMI}}$＞$\overline{\text{DBC}}$＞監視タイマ＞周辺I/O＞シングルステップ＞アドレス一致

図1.10.8.　ハードウエア割り込みの割り込み優先順位

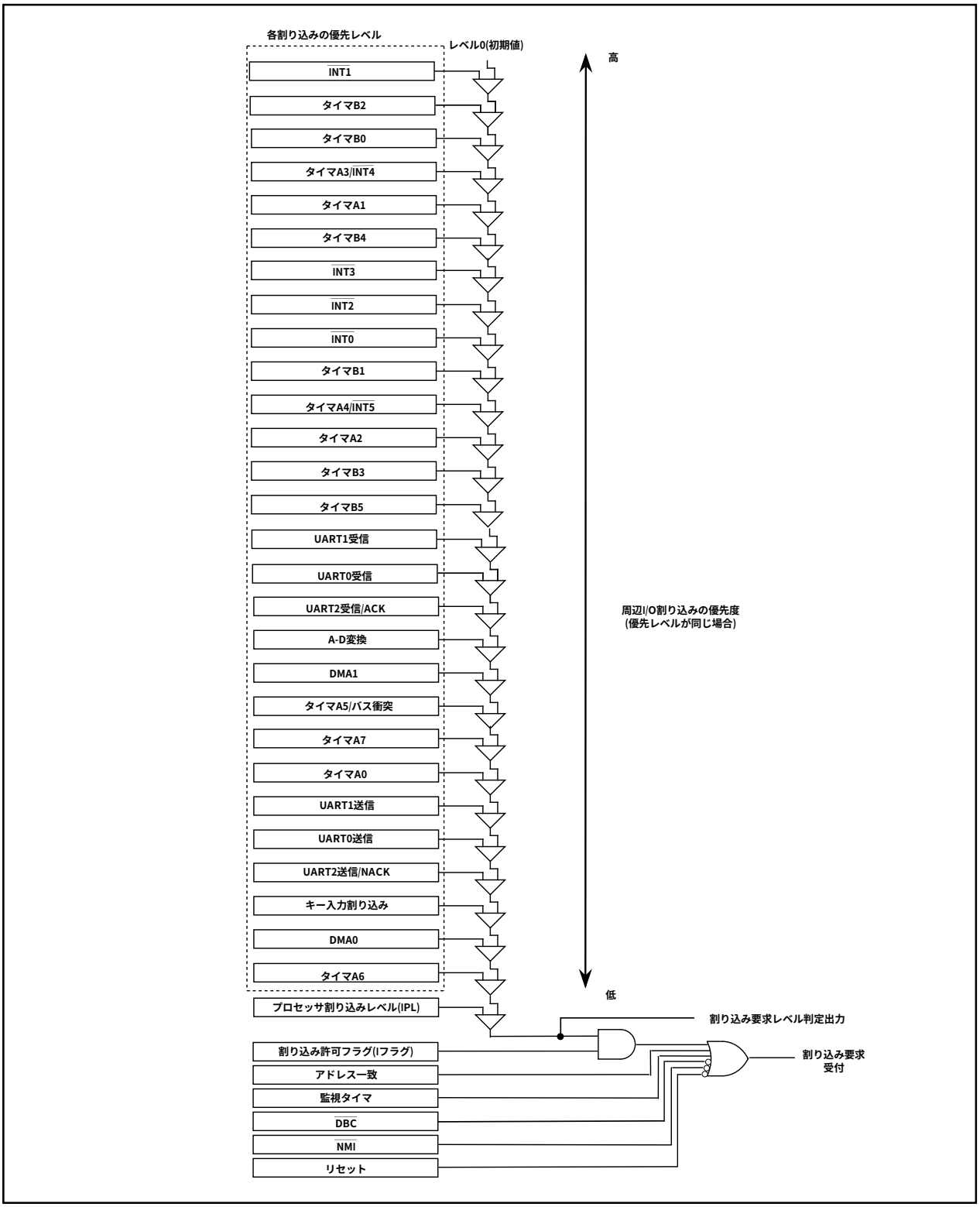


図1.10.9.　割り込み優先レベル判定回路

$\overline{\text{INT}}$割り込み

$\overline{\text{INT0}}$～$\overline{\text{INT5}}$は外部入力による割り込みです。極性を極性切り替えビットで選択できます。

割り込み制御レジスタの内、0058$_{16}$番地はタイマA3と外部割り込み$\overline{\text{INT4}}$入力の割り込み制御レジスタを兼用し、0059$_{16}$番地はタイマA4と外部割り込み$\overline{\text{INT5}}$入力の割り込み制御レジスタを兼用しています。どちらの割り込み要因を選択するかは、割り込み要因選択レジスタ1(035F$_{16}$番地)の割り込み要因切り替えビット(ビット6、7)で設定します。$\overline{\text{INT4}}$が割り込み要因として選択されている場合は割り込み要因選択レジスタ0(035E$_{16}$番地)のビット0, 1により入力するポートを選択することが可能です。$\overline{\text{INT5}}$が割り込み要因として選択されている場合も同様に割り込み要因選択レジスタ0(035E$_{16}$番地)のビット2, 3により入力するポートを選択することが可能です。割り込み要因の設定、割り込み入力ポートの設定をした後、割り込みを許可する前には必ず対応する割り込み要求ビットを"0"にしてください。

0058$_{16}$番地と0059$_{16}$番地の割り込み制御レジスタには極性切り替えビットがありますが、タイマを割り込み要因として選択する場合は、極性切り替えビットは必ず"0"を設定してください。

外部割り込み入力は、割り込み要因選択レジスタ1(035F$_{16}$番地)の$\overline{\text{INTi}}$割り込み極性切り替えビットを"1"に設定することによって、立ち上がり、立ち下がりの両方のエッジで割り込みを発生することができます。両エッジを選択する場合は、対応する割り込み制御レジスタの極性切り替えビットは立ち下がりエッジ("0")に設定してください。$\overline{\text{INT4}}$入力端子選択ビットを"11"、$\overline{\text{INT4}}$割り込み極性切替ビットを"0"、$\overline{\text{INT4}}$割り込み制御レジスタの極性切り替えビットを"1"に選択しているときには、図1.10.12中の「片エッジ、立ち上がり」に示すように排他端子が"H"のときに立ち上がりエッジを入力すると割り込みが発生します。排他端子が"H"のときに割り込みを発生させる場合は、片エッジのみ有効です。$\overline{\text{INT5}}$についても同様の動作をさせることが可能です。

図1.10.10に割り込み要因選択レジスタの構成を示します。

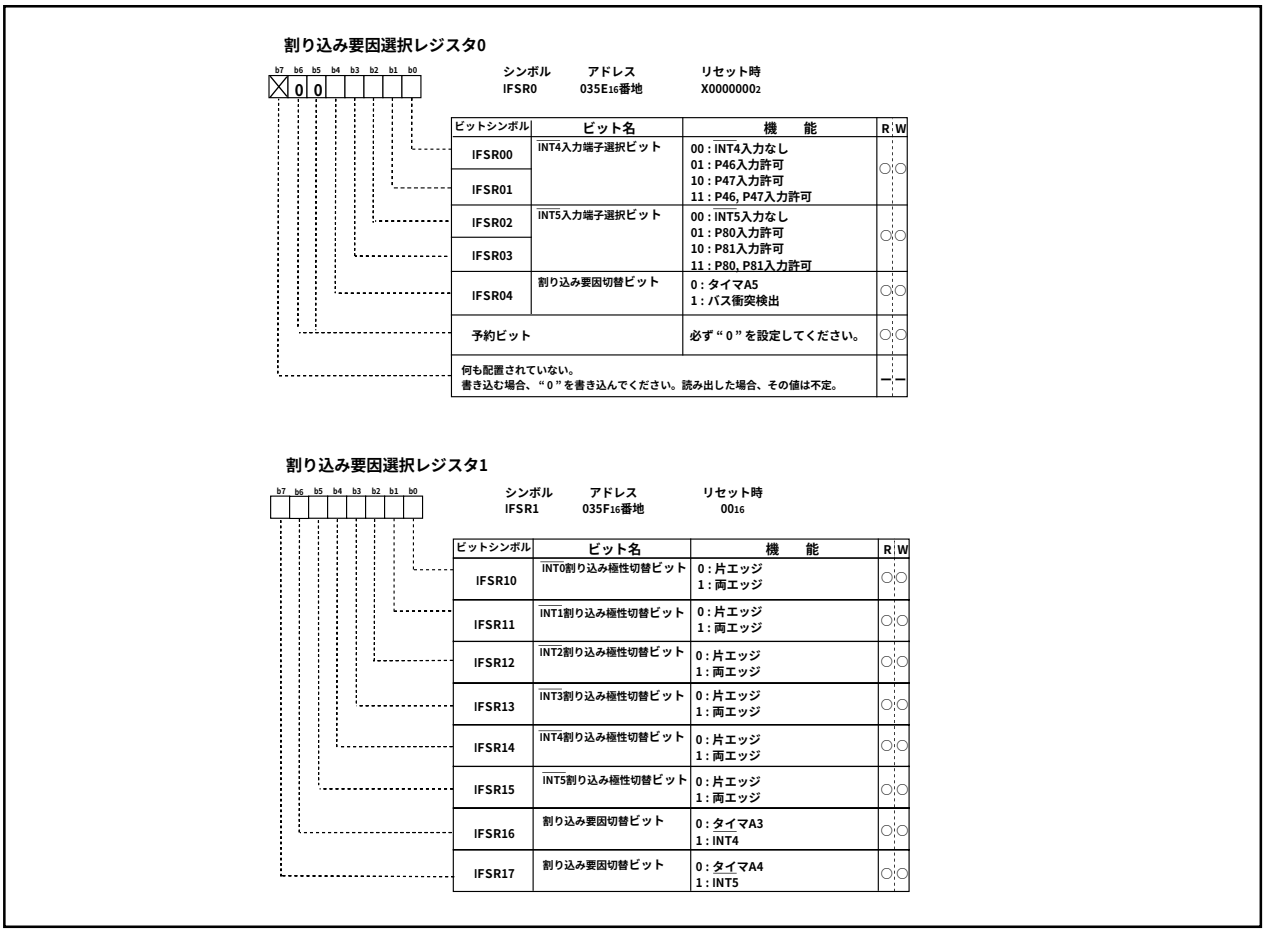


図1.10.10. 割り込み要因選択レジスタ0,1の構成

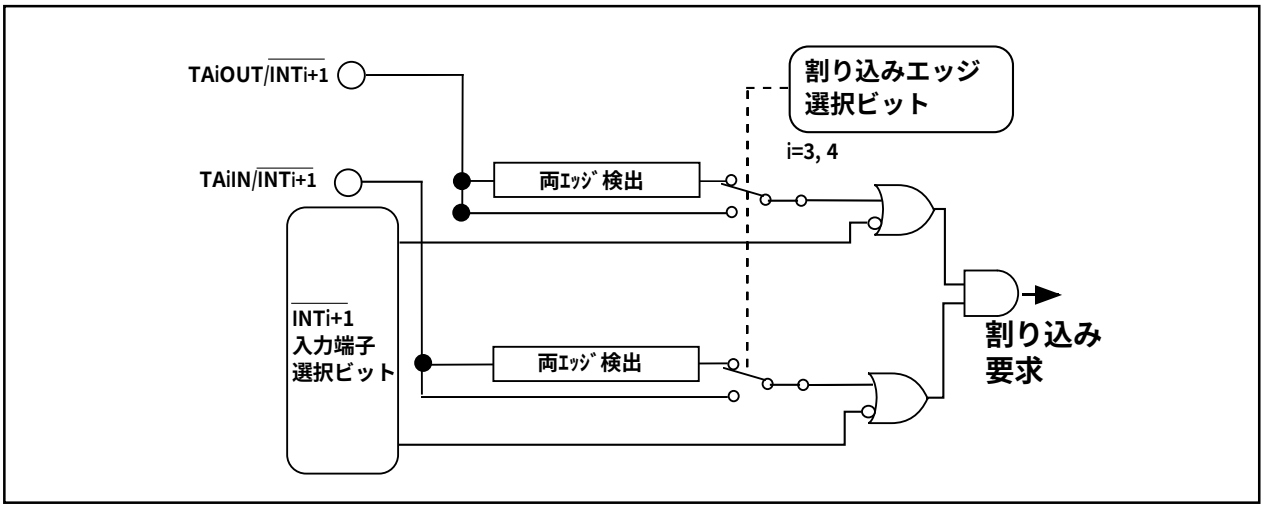


図1.10.11. INT4, INT5の構成

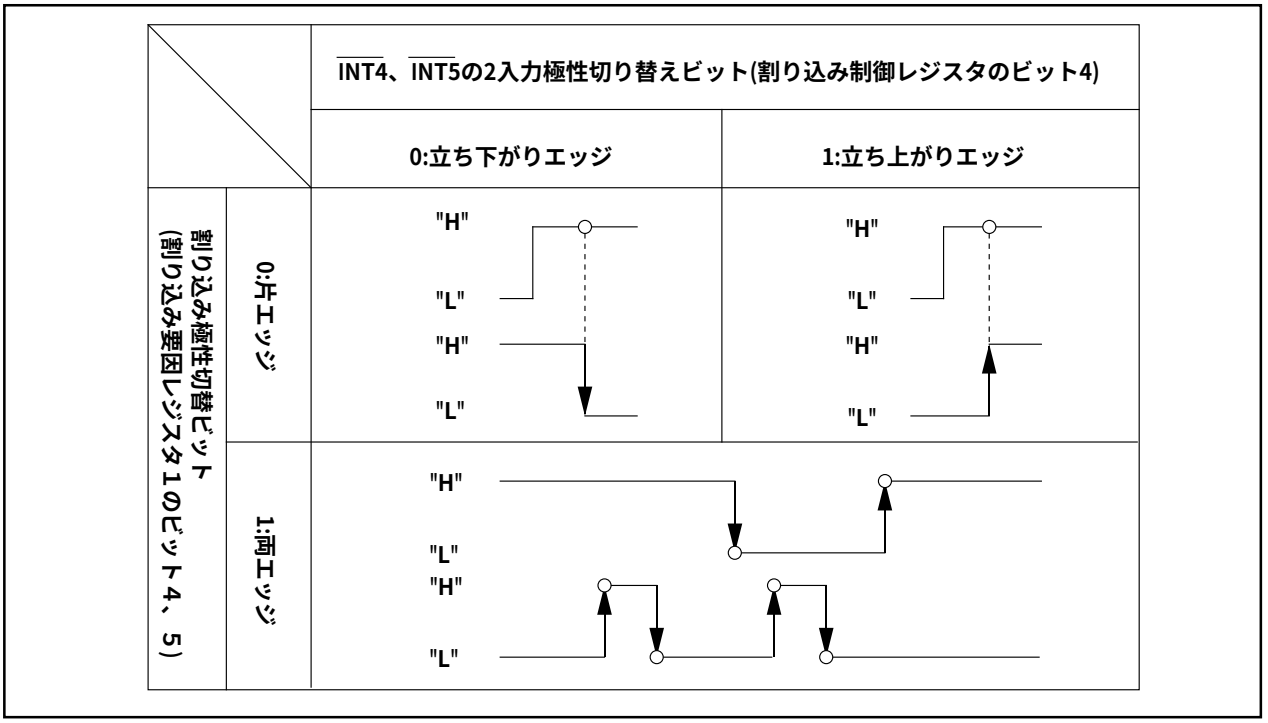


図1.10.12. INT4, INT5の2入力割り込み選択時の割り込みタイミング

NMI割り込み

P77/NMI端子の入力が"H"レベルから"L"レベルに変化したとき、NMI割り込みが発生します。NMI割り込みは、ノンマスカブル外部割り込みです。また、この端子の値はポートP77レジスタ(03ED16番地のビット7)で読み込むことができます。

この端子は通常のポート入力として使用することはできません。

キー入力割り込み

P10～P17、P20～P27、P30～P33のうち、方向レジスタが入力に設定され、キー入力許可ビットによりキー入力許可になっている端子のいずれかに、キー入力モードレジスタのP1,2キー入力選択ビットにより選ばれたエッジが入力されると、キー入力割り込み要求が発生します。P30～P33は常に立ち下がりエッジでキー入力割り込み要求が発生します。キー入力割り込みは、ウエイトモードやストップモードを解除するキーオンウエイクアップの機能としても使用することができます。XCIN-XCOUT発振時でかつ対応するポートがプルアップありに設定されているときにP1, P2キー入力選択ビット(012616番地のビット0,2)を両エッジに設定し、P1,2キー入力許可ビット(012616番地のビット1,3)を許可に設定すると、図1.10.15のようにP10～P17、P20～P27のプルアップは自動的に約7.8msec(注1)周期で約244μsec(注1)の期間のみプルアップするように動作します。また、キー入力許可ビット(012616番地のビット1,3,4)を許可に設定すると、割り込み要求ビットが"1"になる場合がありますので、プログラムで割り込み要求ビットを"0"にしてください。

キー入力割り込みのブロック図を図1.10.13に示します。なお、キー入力選択ビットが"0"に設定されていて、入力禁止の処理をおこなっていない端子のいずれかに"L"が入力されていると、他の端子の入力は割り込みとして検知されません。fc32は時計用プリスケーラリセットフラグの影響を受けます。

注1.　XCIN = 32.768kHz時

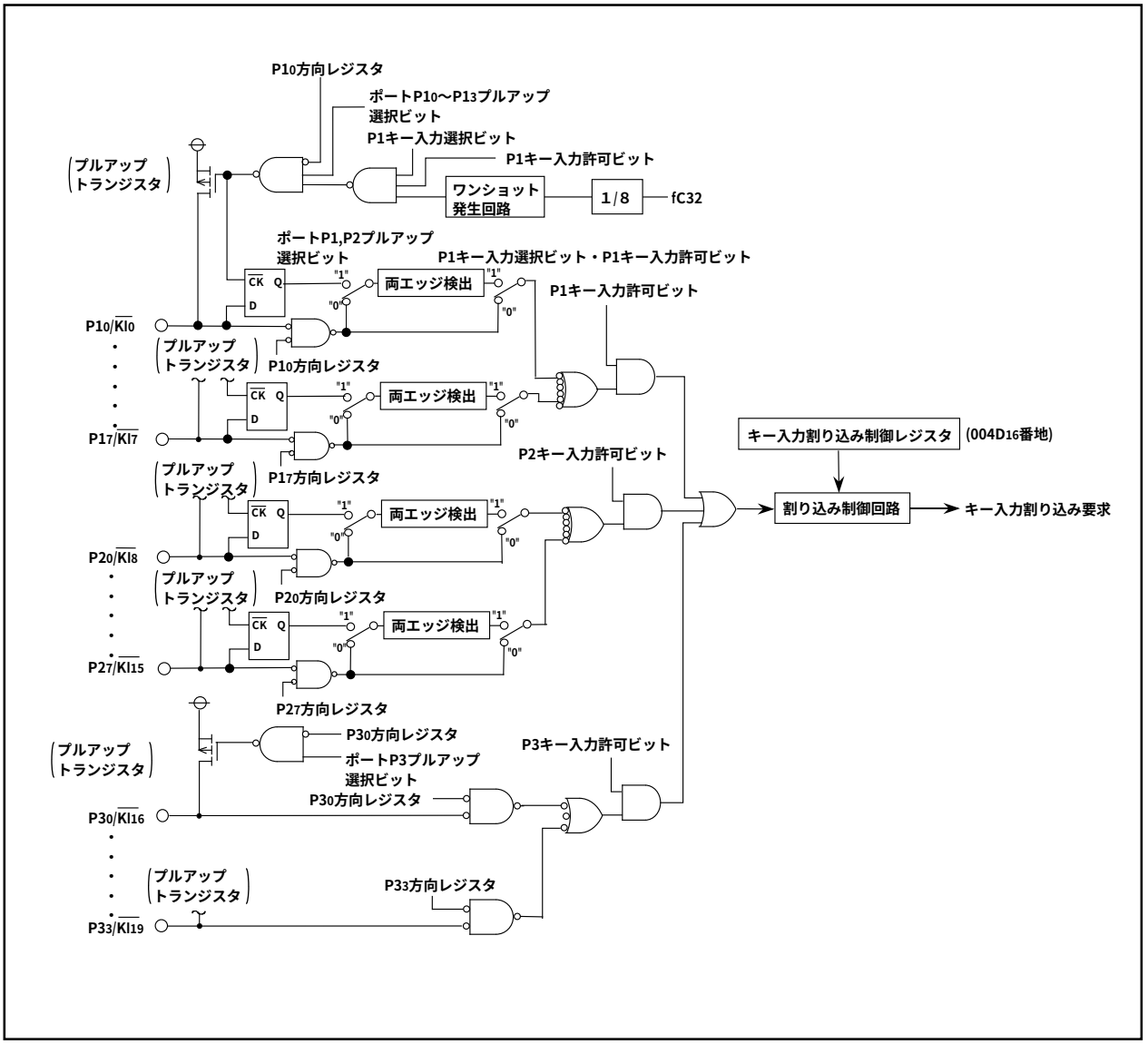


図1.10.13. キー入力割り込みのブロック図

キー入力モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
KUPM	0126_{16}番地	01100000_2

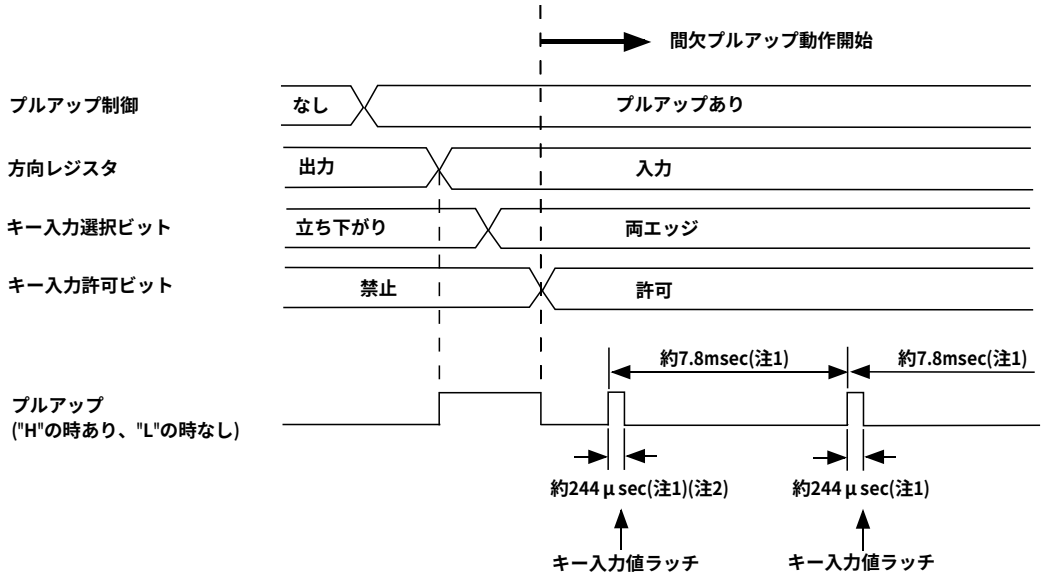
ビットシンボル	ビット名	機　能	R	W
P1KIS	P1キー入力選択ビット (注1)	0 : 立ち下がりエッジ 1 : 両エッジ(注2)	○	○
P1KIE	P1キー入力許可ビット	0 : 禁止 1 : 許可	○	○
P2KIS	P2キー入力選択ビット (注1)	0 : 立ち下がりエッジ 1 : 両エッジ(注2)	○	○
P2KIE	P2キー入力許可ビット	0 : 禁止 1 : 許可	○	○
P3KIE	P3キー入力許可ビット	0 : 禁止 1 : 許可	○	○
PUP12L	$P12_0$～$P12_3$のプルアップ (注3)	対応するポートのプルアップの設定をおこなう 0 : プルアップなし 1 : プルアップあり	○	○
PUP12H	$P12_4$～$P12_7$のプルアップ (注3)		○	○
PUP13	$P13_0$～$P13_2$のプルアップ (注3)		○	○

注1. 対応するポートがプルアップありに設定されている場合、このビットを両エッジにすると自動的に間欠プルアップ動作をします。
ただし、必ずサブクロックを動作させてください。

注2. このビットが両エッジに設定され、かつ対応するポートのいずれかの端子入力が"L"のとき、対応するポートのプルアップ制御レジスタ0($03FC_{16}$番地のビット2～5)の設定を変更すると、キー入力割り込み要求ビットが"1"にセットされる場合があります。

注3. 周辺機能により出力となる端子は、プルアップ制御レジスタの設定に関わらず、その端子のプルアップ抵抗は接続されません。

図1.10.14.　キー入力モードレジスタ



注1.　X_{CIN} = 32.768kHz時

注2.　最初のキー入力値ラッチタイミング時に"L"入力した場合、
キー入力割り込み要求ビットが"1"にセットされる場合があります。

図1.10.15.　間欠プルアップの動作

アドレス一致割り込み

アドレス一致割り込みレジスタで示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。アドレス一致割り込みは2カ所に設定することができ、割り込みの禁止／許可は、各々のアドレス一致割り込み許可ビットで選択することができます。アドレス一致割り込みは、割り込み許可フラグ(Iフラグ)やプロセッサ割り込み優先レベル(IPL)の影響は受けません。また、アドレス一致割り込みは、実行している命令により退避するプログラムカウンタ(PC)の値が異なります。

図1.10.16にアドレス一致割り込み関連レジスタの構成を示します。

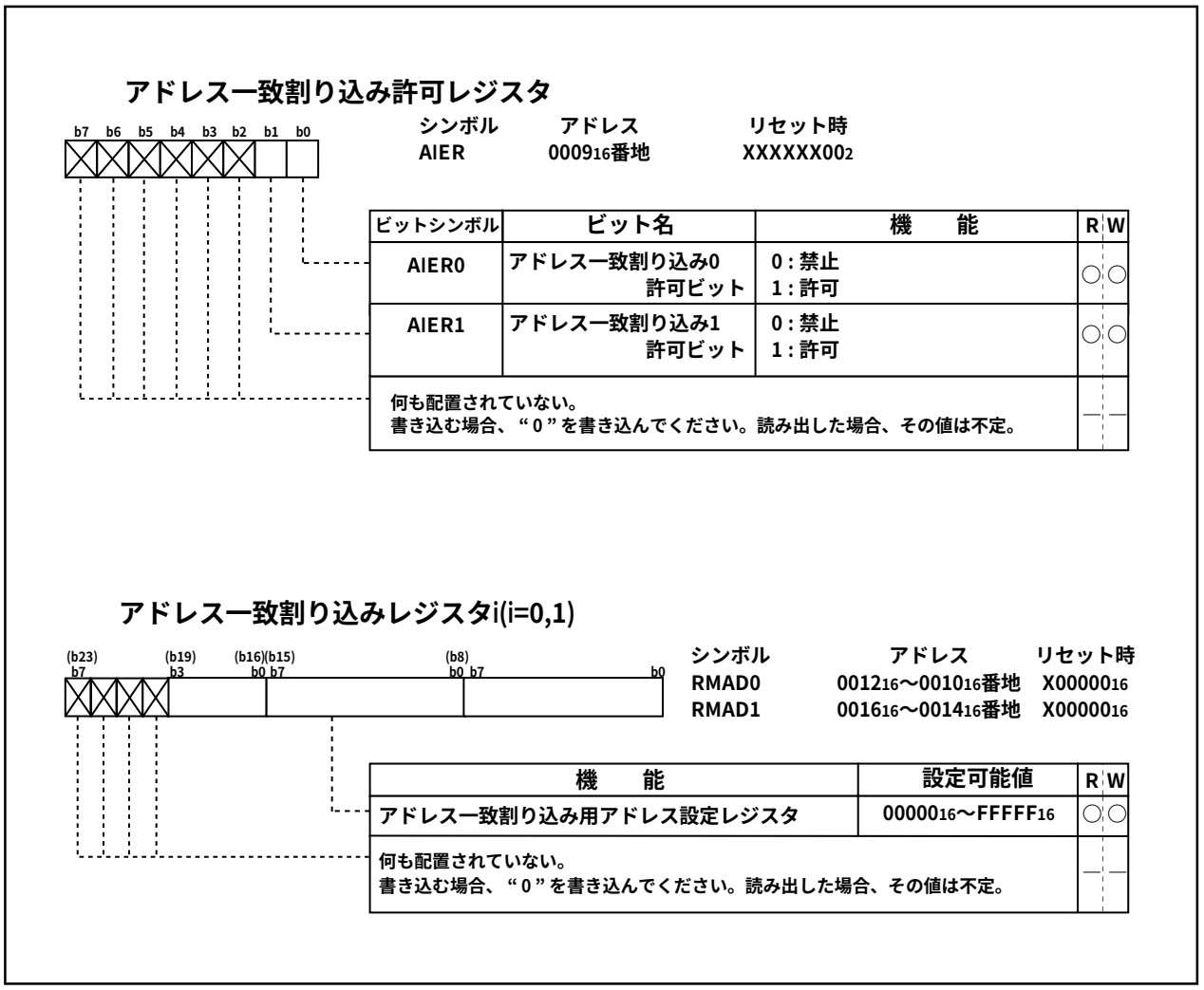


図1.10.16 アドレス一致割り込み関連レジスタの構成

割り込みの注意事項

(1) 00000$_{16}$番地の読み出し

●マスカブル割り込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を0000$_{16}$番地から読み出します。
それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。
ソフトウエアにより0000$_{16}$番地を読み出しても、許可されている最も優先度の高い割り込み要因の要求ビットが“0”になります。そのため、割り込みが発生しても割り込みルーチンを実行しない可能性があります。
したがって、ソフトウエアで0000$_{16}$番地に対して読み出しを行わないでください。

(2) スタックポインタの設定

●リセット直後スタックポインタの値は、“000$_{16}$”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。
特に、$\overline{\text{NMI}}$割り込みを使用する場合は、プログラムの先頭でスタックポインタを初期化してください。
リセット直後の先頭の1命令に限り、$\overline{\text{NMI}}$割り込みを含むすべての割り込みが禁止されています。

(3) $\overline{\text{NMI}}$割り込み

●$\overline{\text{NMI}}$割り込みは、割り込みを禁止することができません。したがって、使用しない場合は、$\overline{\text{NMI}}$端子に抵抗を介してVCCに接続(プルアップ)してください。必ず端子処理は必要です。
●$\overline{\text{NMI}}$端子は、入力専用のP7$_7$と兼用になっています。P7レジスタの内容を読み込むことで端子の値を読み込むことができます。この端子の読み込みは、$\overline{\text{NMI}}$割り込みが入ったときの端子のレベル確定用にだけ使用してください。
●$\overline{\text{NMI}}$端子入力が"L"の状態でリセットをかけないでください。
●$\overline{\text{NMI}}$端子入力が"L"の状態でストップモードに移行しないでください。$\overline{\text{NMI}}$端子入力が"L"の状態では、CM10が"0"に固定されるため、ストップモードに移行されません。
●$\overline{\text{NMI}}$端子入力が"L"の状態でウエイトモードに移行しないでください。$\overline{\text{NMI}}$端子入力が"L"の状態では、CPUは停止しますが発振が停止しないため、パワーセーブされません。この場合、その後の割り込みによって正常に復帰します。
●$\overline{\text{NMI}}$端子に入力する信号には、CPUの動作クロックの1クロック以上の“L”レベル幅が必要です。

(4) 外部割り込み

●$\overline{\text{INT}}_0$～$\overline{\text{INT}}_5$端子に入力する信号には、CPUの動作クロックに関係なく250ns以上の“L”レベル 幅、または“H”レベル幅が必要です。
●$\overline{\text{INT}}_0$～$\overline{\text{INT}}_5$端子の極性を切り替えるときに割り込み要求ビットが“1”になることがあります。切り替えを行った後、割り込み要求ビットを“0”にしてください。$\overline{\text{INT}}$割り込み発生要因の切り替え手順例を図1.10.17に示します。

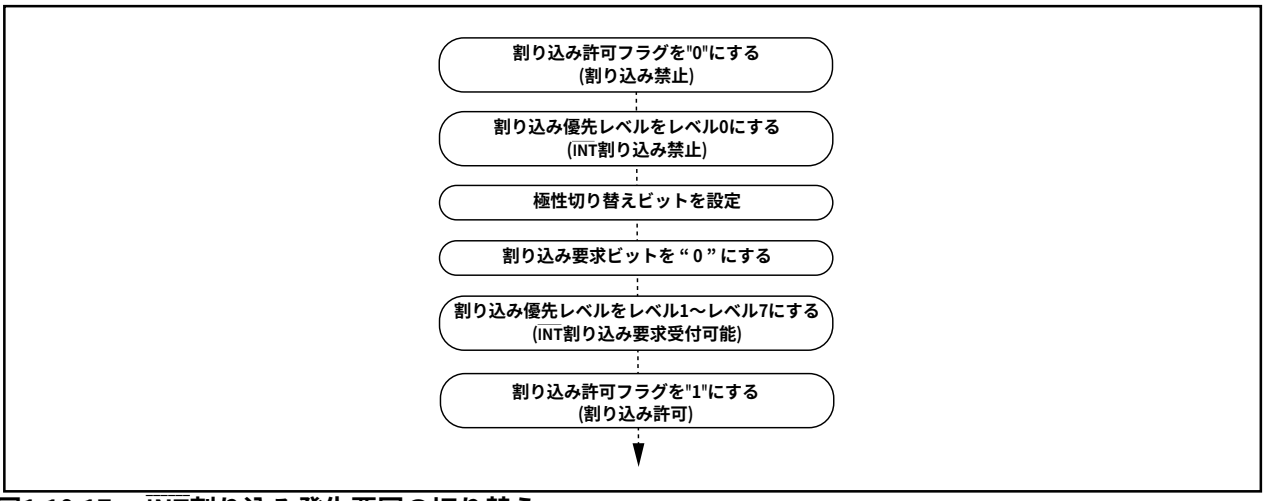


図1.10.17. INT割り込み発生要因の切り替え

(5) 割り込み制御レジスタの変更

●割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

＜割り込み制御レジスタを書き換えるプログラム例＞

例１：

```
INT_SWITCH1：
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“00₁₆”を設定
  NOP
  NOP
  FSET    I              ；割り込み許可状態
```

例２：

```
INT_SWITCH2：
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“00₁₆”を設定
  MOV.W   MEM，R0        ；ダミーリード
  FSET    I              ；割り込み許可状態
```

例３：

```
INT_SWITCH3：
  PUSHC   FLG
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“00₁₆”を設定
  POPC    FLG            ；割り込み許可状態
```

例１と例２でFSET I命令の前にNOP命令２個やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

●割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

監視タイマ

監視タイマは、プログラムの暴走を検知する機能を持ちます。監視タイマは15ビットのカウンタを持ち、BCLKをプリスケーラで分周したクロックをダウンカウントします。監視タイマがアンダフローすると、監視タイマ割り込みが発生します。BCLKにXINを選択している場合、監視タイマ制御レジスタ(000F16番地)のビット7でプリスケーラの分周比に16分周か128分周を選択することができます。BCLKにXCINを選択している場合、監視タイマ制御レジスタ(000F16番地)のビット7に関係なくプリスケーラの分周比は2分周になります。したがって、監視タイマの周期は下記のように計算できます。ただし、監視タイマの周期には、プリスケーラによる誤差が生じます。

BCLKにXINを選択している場合

$$監視タイマの周期＝\frac{プリスケーラの分周比(16または128)×監視タイマのカウント値(32768)}{BCLK}$$

BCLKにXCINを選択している場合

$$監視タイマの周期＝\frac{プリスケーラの分周比(2)×監視タイマのカウント値(32768)}{BCLK}$$

例えば、BCLKが10MHzで、プリスケーラの分周比として16分周を選択している場合、監視タイマの周期は、約52.4msとなります。

監視タイマは、監視タイマスタートレジスタ(000E16番地)への書き込み動作時、および監視タイマ割り込み要求発生時に初期化されます。プリスケーラは、リセット時だけ初期化されます。なお、リセット解除後は監視タイマおよびプリスケーラは停止しており、監視タイマスタートレジスタ(000E16番地)への書き込み動作によりカウントを開始します。ストップモード時、およびウエイトモード時、監視タイマおよびプリスケーラは停止し、解除すると保持された値からカウントします。

図1.11.1に監視タイマのブロック図、図1.11.2に監視タイマ関連レジスタの構成を示します。

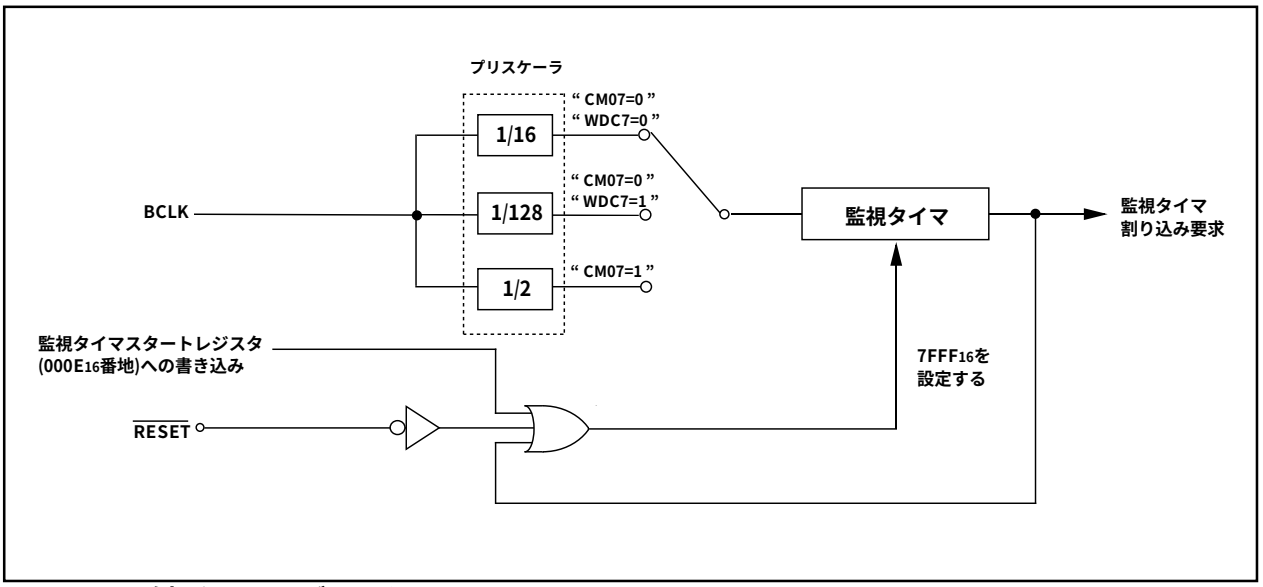


図1.11.1. 監視タイマのブロック図

監視タイマ制御レジスタ

シンボル	アドレス	リセット時
WDC	000F16番地	000XXXXX2

b7	b6	b5	b4	b3	b2	b1	b0
	0	0					

ビットシンボル	ビット名	機　　能	R	W
監視タイマの上位ビット			○	×
予約ビット		必ず“0”を設定してください	○	○
予約ビット		必ず“0”を設定してください	○	○
WDC7	プリスケーラ選択ビット	0：16分周 1：128分周	○	○

監視タイマスタートレジスタ

シンボル	アドレス	リセット時
WDTS	000E16番地	不定

b7	b0

機　　能	R	W
このレジスタに対する書き込み命令で、監視タイマは初期化されスタートする。 監視タイマの初期値は、書き込む値にかかわらず“7FFF16”が設定される。	×	○

図1.11.2.　監視タイマ関連レジスタ

DMAC

CPUを使わずにデータを転送することのできるDMAC(ダイレクト・メモリ・アクセス・コントローラ)を2チャネル内蔵しています。DMACはCPUと同じデータバスを使用しています。DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しています。そのため、DMA転送の要求信号が発生してから1ワード(16ビット)、または1バイト(8ビット)のデータ転送を完了するまでの動作を高速に行える特長があります。図1.12.1にDMACのブロック図を、表1.12.1にDMACの仕様を、図1.12.2～図1.12.4にDMACで使用するレジスタの構成を示します。

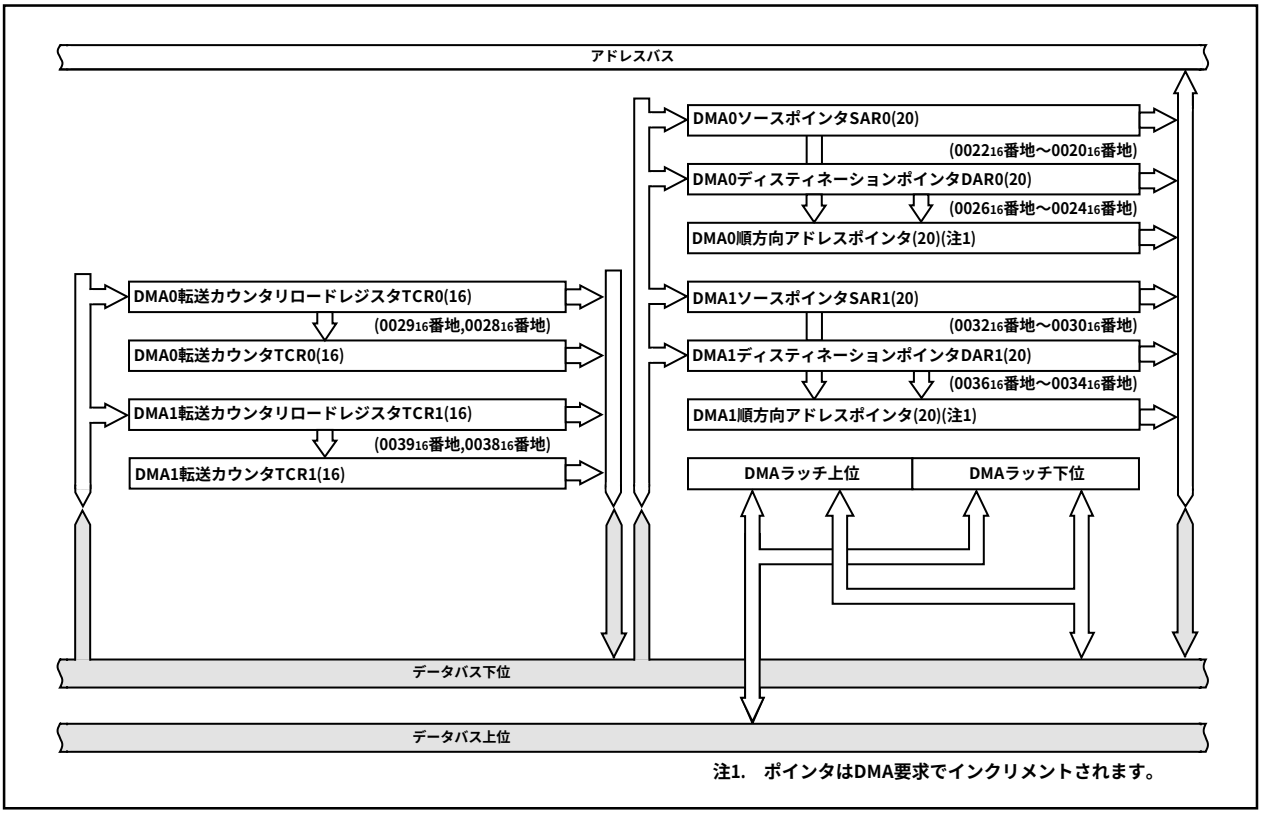


図1.12.1. DMACブロック図

DMA転送の要求信号には、ソフトウエアDMA要求ビットへの書き込み信号や、割り込み要求信号を流用しています。しかし、DMA転送は、割り込み許可フラグ(Iフラグ)や割り込み優先レベルなどの影響を受けません。また、各割り込みに影響を与えません。

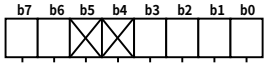
DMACがアクティブ状態(DMA許可ビットが“1”の状態)であれば、DMA転送の要求信号が発生するごとに、データ転送が開始されます。ただし、DMA転送サイクルよりもDMA転送の要求信号が発生するサイクルが早い場合、転送要求回数と転送回数が一致しない場合があります。詳細についてはDMA要求ビットの説明を参照してください。

表1.12.1. DMAC仕様

項　　目	仕　　様
チャネル数	2チャネル(サイクルスチール方式)
転送空間	●1Mバイトの任意の空間から固定アドレス ●固定アドレスから1Mバイトの任意の空間 ●固定アドレスから固定アドレス (ただしDMA関係のレジスタはアクセス不可:0020$_{16}$番地～003F$_{16}$番地)
最大転送バイト数	128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)
DMA要求要因(注1)	$\overline{\text{INT0}}$または$\overline{\text{INT1}}$端子の立ち下がりエッジまたは両エッジ タイマA0～タイマA7割り込み要求 タイマB0～タイマB5割り込み要求 UART0送信および受信割り込み要求 UART1送信および受信割り込み要求 UART2送信および受信割り込み要求 A-D変換割り込み要求 ソフトウエアトリガ
チャネル優先順位	DMA0の要求とDMA1の要求が同時に発生した場合、DMA0が優先
転送単位	8ビット/16ビット
転送アドレス方向	順方向/固定(転送元、転送先同時に順方向の指定はできません)
転送モード	●単転送モード 転送カウンタがアンダフローした後、DMA許可ビットが“0”になりDMACはアクティブでない状態になる ●リピート転送モード 転送カウンタがアンダフローした後、転送カウンタリロードレジスタの値が転送カウンタにリロードされる DMA許可ビットに“0”を書き込まない限りDMACはアクティブ状態
DMA割り込み要求発生タイミング	転送カウンタのアンダフロー時
アクティブ状態	DMA許可ビットが“1”のときDMACはアクティブ状態 DMACがアクティブ状態のとき、DMA転送の要求信号が発生するごとにデータ転送が開始される
アクティブでない状態	●DMA許可ビットが“0”のときDMACはアクティブでない状態 ●単転送モードで転送カウンタがアンダフローした後
順方向アドレスポインタ、転送カウンタのリロードタイミング	アクティブ状態にした直後のデータ転送開始時に、ソースポインタ、またはディスティネーションポインタインタのうち、順方向に指定された方のポインタの値を順方向アドレスポインタへ、転送カウンタリロードレジスタの値を転送カウンタへリロード
レジスタの書き込み	順方向に指定したレジスタは、常時書き込み可能 固定に指定したレジスタは、DMA許可ビットが“0”のとき書き込み可能
レジスタの読み出し	常時読み出し可能 ただし、DMA許可ビットが“1”の場合、順方向に指定したレジスタを読み出すと、順方向アドレスポインタの値が読み出される

注1.　DMA転送は、各割り込みに影響を与えません。また、DMA転送は割り込み許可フラグ(Iフラグ)や割り込み優先レベルなどの影響を受けません。

DMA0要因選択レジスタ

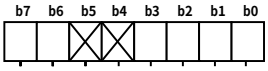


シンボル	アドレス	リセット時
DM0SL	03B8$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
DSEL0	DMA要求要因選択ビット	b3 b2 b1 b0 0 0 0 0 : $\overline{\text{INT0}}$端子の立ち下がりエッジ 0 0 0 1 : ソフトウエアトリガ 0 0 1 0 : タイマA0 0 0 1 1 : タイマA1 0 1 0 0 : タイマA2 0 1 0 1 : タイマA3 0 1 1 0 : タイマA4(DMS=0) /$\overline{\text{INT0}}$端子の両エッジ(DMS=1) 0 1 1 1 : タイマB0(DMS=0) /タイマB3(DMS=1) 1 0 0 0 : タイマB1(DMS=0) /タイマB4(DMS=1) 1 0 0 1 : タイマB2(DMS=0) /タイマB5(DMS=1) 1 0 1 0 : UART0送信 1 0 1 1 : UART0受信 1 1 0 0 : UART2送信 1 1 0 1 : UART2受信 1 1 1 0 : A-D変換 1 1 1 1 : UART1送信	○	○
DSEL1			○	○
DSEL2			○	○
DSEL3			○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—
DMS	DMA要因拡張選択ビット	0：ノーマル 1：拡張要因	○	○
DSR	ソフトウエアDMA 要求ビット	ソフトウエアトリガ選択時は、このビットに“1”を書き込むことでDMA要求が発生する (読み出した場合“0”)	○	○

図1.12.2. DMACレジスタ構成(1)

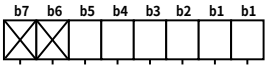
DMA1要因選択レジスタ



シンボル	アドレス	リセット時
DM1SL	03BA16番地	0016

ビットシンボル	ビット名	機　　能	R	W
DSEL0	DMA要求要因選択ビット	b3 b2 b1 b0 0 0 0 0 : $\overline{\text{INT1}}$端子の立ち下がりエッジ 0 0 0 1 : ソフトウエアトリガ 0 0 1 0 : タイマA0 0 0 1 1 : タイマA1 0 1 0 0 : タイマA2(DMS=0) /タイマA5(DMS=1) 0 1 0 1 : タイマA3(DMS=0) /タイマA6(DMS=1) 0 1 1 0 : タイマA4(DMS=0) /タイマA7(DMS=1) 0 1 1 1 : タイマB0(DMS=0) /INT1端子の両エッジ(DMS=1) 1 0 0 0 : タイマB1 1 0 0 1 : タイマB2 1 0 1 0 : UART0送信 1 0 1 1 : UART0受信 1 1 0 0 : UART2送信 1 1 0 1 : UART2受信 1 1 1 0 : A-D変換 1 1 1 1 : UART1受信	○	○
DSEL1			○	○
DSEL2			○	○
DSEL3			○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—
DMS	DMA要因拡張選択ビット	0 : ノーマル 1 : 拡張要因	○	○
DSR	ソフトウエアDMA 要求ビット	ソフトウエアトリガ選択時は、このビットに“1”を書き込むことでDMA要求が発生する (読み出した場合“0”)	○	○

DMAi制御レジスタ



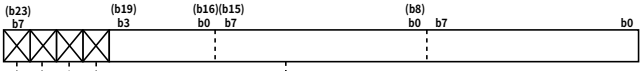
シンボル	アドレス	リセット時
DMiCON(i=0,1)	002C16番地,003C16番地	00000X002

ビットシンボル	ビット名	機　　能	R	W
DMBIT	転送単位ビット数選択ビット	0 : 16ビット 1 : 8ビット	○	○
DMASL	リピート転送モード 選択ビット	0 : 単転送 1 : リピート転送	○	○
DMAS	DMA要求ビット(注1)	0 : 要求なし 1 : 要求あり	○	○ (注2)
DMAE	DMA許可ビット	0 : 禁止 1 : 許可	○	○
DSD	転送元アドレス方向 選択ビット(注3)	0 : 固定 1 : 順方向	○	○
DAD	転送先アドレス方向 選択ビット(注3)	0 : 固定 1 : 順方向	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—

注1.　DMA要求をクリアするには“0”を書き込むことで行えます。
注2.　“0”だけ書き込み可。
注3.　転送元アドレス方向選択ビット、転送先アドレス選択ビットは、同時に“1”にしないでください。

図1.12.3.　DMACレジスタ構成(2)

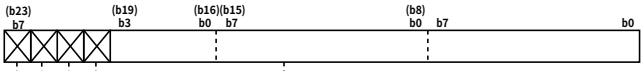
DMAiソースポインタ(i=0,1)



シンボル	アドレス	リセット時
SAR0	0022_{16}番地 ～0020_{16}番地	不定
SAR1	0032_{16}番地 ～0030_{16}番地	不定

機　　能	転送番地指定領域	R	W
●ソースポインタ 転送元アドレスを格納	00000_{16}～$FFFFF_{16}$	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。		—	—

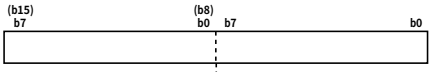
DMAiディスティネーションポインタ(i=0,1)



シンボル	アドレス	リセット時
DAR0	0026_{16}番地 ～ 0024_{16}番地	不定
DAR1	0036_{16}番地 ～ 0034_{16}番地	不定

機　　能	転送番地指定領域	R	W
●ディスティネーションポインタ 転送先アドレスを格納	00000_{16}～$FFFFF_{16}$	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。		—	—

DMAi転送カウンタ(i=0,1)



シンボル	アドレス	リセット時
TCR0	0029_{16}番地, 0028_{16}番地	不定
TCR1	0039_{16}番地, 0038_{16}番地	不定

機　　能	転送回数指定	R	W
●転送カウンタ 転送回数-1の値を設定してください	0000_{16}～$FFFF_{16}$	○	○

図1.12.4. DMACレジスタ構成(3)

(1) 転送サイクル

転送サイクルは、メモリまたはSFR領域に対するデータの読み出し(ソースリード)のバスサイクル、および書き込み(ディスティネーションライト)のバスサイクルで構成しています。読み出し、および書き込みのバスサイクル回数は、転送元 / 転送先アドレスの影響を受けます。また、ソフトウエアウエイトの影響により、バスサイクル自体が長くなります。

■転送元/転送先アドレスの影響

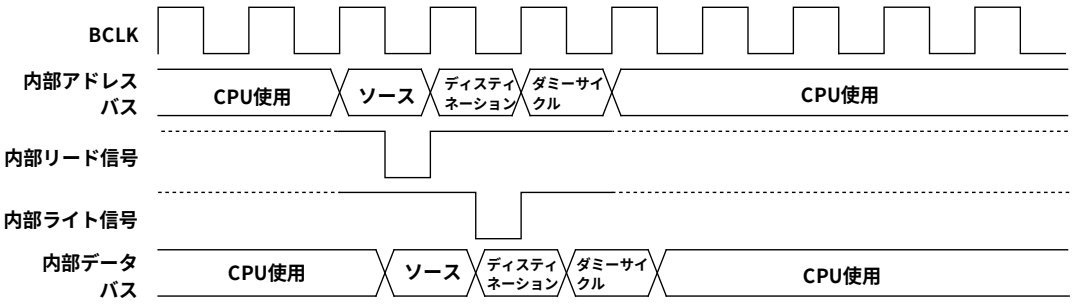
転送単位、データバス幅が共に16ビット幅で、転送元/転送先アドレスが奇数番地から始まる場合、ソースリードサイクル/ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

■ソフトウエアウエイトの影響

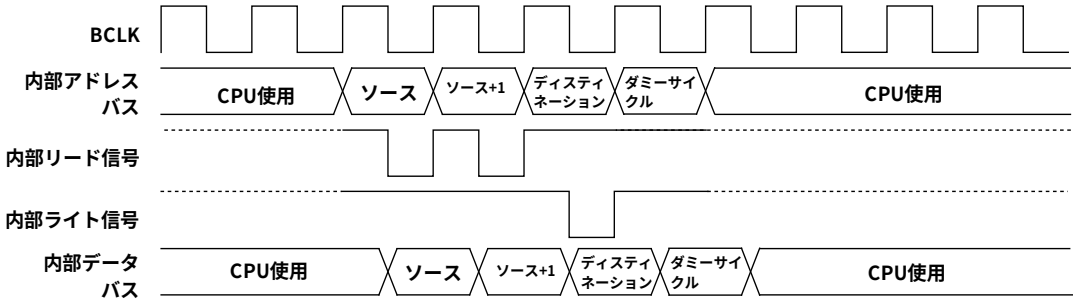
ソフトウエアウエイトが入るメモリ領域およびSFR領域をアクセスする場合、ソフトウエアウエイトの分だけ1バスサイクルに要するBCLKを基準としたサイクル数が増えます。

図1.12.5にソースリードについての転送サイクル例を示します。この図では、ディスティネーションライトサイクルを便宜上1サイクルとし、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクルおよびソースリードサイクルに各条件を適用してください。

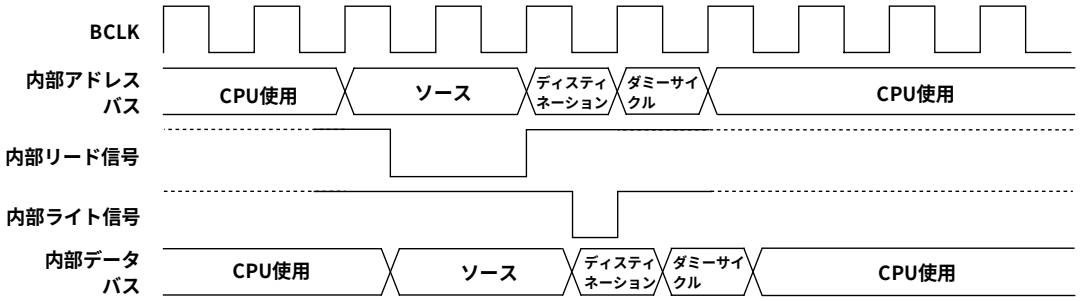
① 転送単位が8ビット幅のとき
転送単位が16ビット幅でソースアドレスが偶数番地のとき



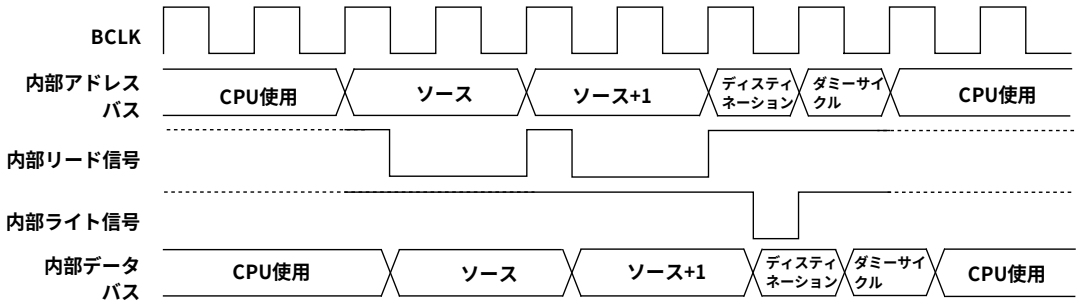
② 転送単位が16ビット幅でソースアドレスが奇数番地のとき



③ ①の条件でソースリードに1ウエイトが入ったとき



④ ②の条件でソースリードに1ウエイトが入ったとき



注1. ディスティネーションについても各条件で、ソースと同じタイミングの変化があります。

図1.12.5. ソースリードについての転送サイクル例

(2) DMACの転送サイクル数

DMACの転送サイクル数は下記のとおり計算することができます。

転送の読み出しアドレス、書き込みアドレスは偶数、奇数のいずれの組み合わせも可能です。表1.12.2にDMAC転送サイクル数を示します。

1転送単位の転送サイクル数 = 読み出しサイクル数 × j + 書き込みサイクル数 × k

表EC-2. DMAC転送サイクル数

転送単位	アクセス番地	読み出しサイクル数	書き込みサイクル数
8ビット転送 (DMBIT=“1”)	偶　数	1	1
	奇　数	1	1
16ビット転送 (DMBIT=“0”)	偶　数	1	1
	奇　数	2	2

係数j,k

内部領域		
内部ROM/RAM ウエイトなし	内部ROM/RAM ウエイトあり	SFR領域
1	2	2

DMA許可ビット

DMA許可ビットを“1”にすることにより、DMACはアクティブ状態となります。アクティブ状態にした直後のデータ転送開始時に、DMACは以下の動作を行います。

(1) ソースポインタまたはディスティネーションポインタのうち順方向に指定された方のポインタの値を順方向アドレスポインタへリロードする

(2) 転送カウンタリロードレジスタの値を転送カウンタへリロードする

したがって、アクティブ状態においてDMA許可ビットに“1”を上書きすると、上記動作を行いますので、DMACはその時点で再度、初期状態から動作します。

DMA要求ビット

DMACは、各チャネルごとにDMA要求要因からあらかじめ選択した要因をトリガとして、DMA転送の要求信号を発生させることができます。

DMA要求要因には、以下の要因があります。

・内蔵している周辺機能の割り込み要求信号を流用した要因、およびプログラムによるソフトウエアDMA要因(内部要因)

・外部の割り込み信号からの入力を利用した外部要因

DMA要求要因の選択については、DMAi要因選択レジスタの説明を参照してください。

DMA要求ビットは、DMACの状態に関係なく(DMA許可ビットが“1”でも“0”でも関係なく)、DMA転送の要求信号が発生すると“1”になります。また、データ転送が開始される直前に“0”になります。さらに、プログラムで“0”にすることはできますが“1”にすることはできません。

DMA要求要因選択ビットを変更することでDMA要求ビットは“1”になる場合があります。したがって、DMA要求要因選択ビットを変更した後は、必ずDMA要求ビットを“0”にしてください。

DMA要求ビットは、DMA転送の要求信号が発生すると“1”になり、データ転送が開始される直前に“0”になります。DMACがアクティブ状態であれば、すぐにデータ転送が開始されるので、プログラムでDMA要求ビットを読み出しても、ほとんどの場合“0”が読み出されます。DMACがアクティブ状態であることを判断するには、DMA許可ビットを読み出してください。

次に、DMA要求ビットが変化するタイミングについて説明します。

(1) 内部要因

ソフトウエアトリガによるDMA要求要因を除いて、内部要因によってDMA要求ビットが“1”になるタイミングは、各要因の割り込み制御レジスタの割り込み要求ビットが“1”になるタイミングと同じです。

内部要因によってDMA要求ビットが“0”になるタイミングは、データ転送が開始される直前です。

(2) 外部要因

$\overline{\text{INT}}$i端子(DMACチャネルによりiは異なります)からの入力エッジによって発生するDMA要求要因です。DMA要求要因選択ビットで外部要因として$\overline{\text{INT}}$i端子を選択すると、これらの端子からの入力がDMA転送の要求信号になります。

外部要因選択時にDMA要求ビットが“1”になるタイミングは、DMA要求要因選択ビットで指定された機能に応じた信号エッジに同期します(例えば、各$\overline{\text{INT}}$i端子の入力信号の立ち下がりエッジに同期します)。

外部要因選択時にDMA要求ビットが“0”になるタイミングは、内部要因選択時と同様に、データ転送が開始される直前です。

(3) チャネルの優先順位とDMA転送タイミング

DMA転送の要求信号が同一サンプリングに入った場合(同一サンプリングサイクルとは、BCLKの立ち下がりエッジから次の立ち下がりエッジの一周期の間です)、各チャネルのDMA要求ビットは同時に“1”になります。このとき各チャネルがアクティブ状態であれば、DMA0が優先してデータ転送を開始します。DMA0がDMA転送を終了するとCPUにバス権をゆずります。CPUが1回のバスアクセスを終了すると、次にDMA1がデータ転送を開始し、DMA転送終了後、CPUにバス権を返します。

その動作説明図を図1.12.6外部要因によるDMA転送例で示します。

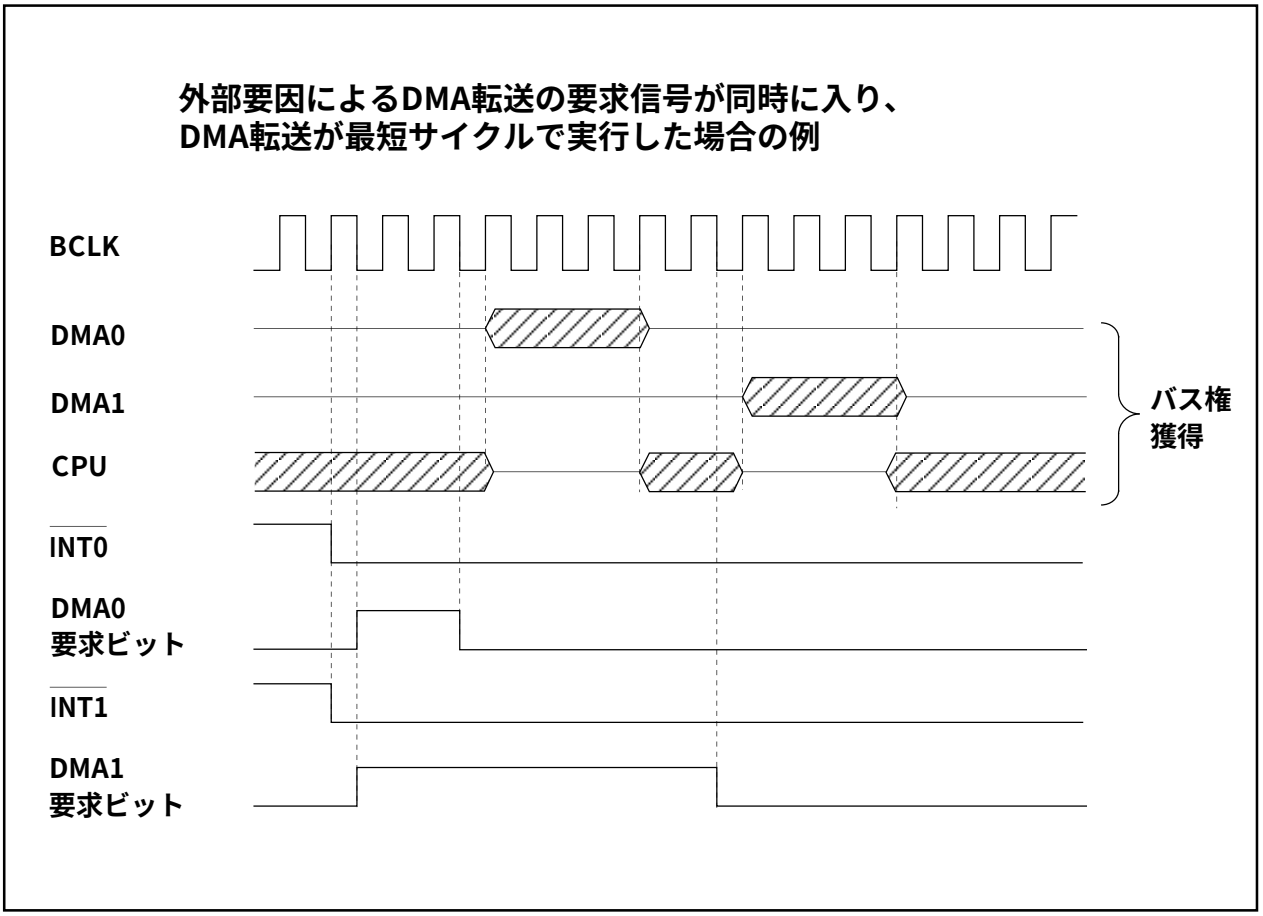


図1.12.6. 外部要因によるDMA転送例

タイマ

タイマは、16ビットタイマを14本内蔵しています。14本のタイマは、持っている機能によってタイマA(8本)とタイマB(6本)の2種類に分類できます。すべてのタイマは、それぞれ独立して動作します。図1.13.1にタイマA、図1.13.2にタイマBの構成を示します。

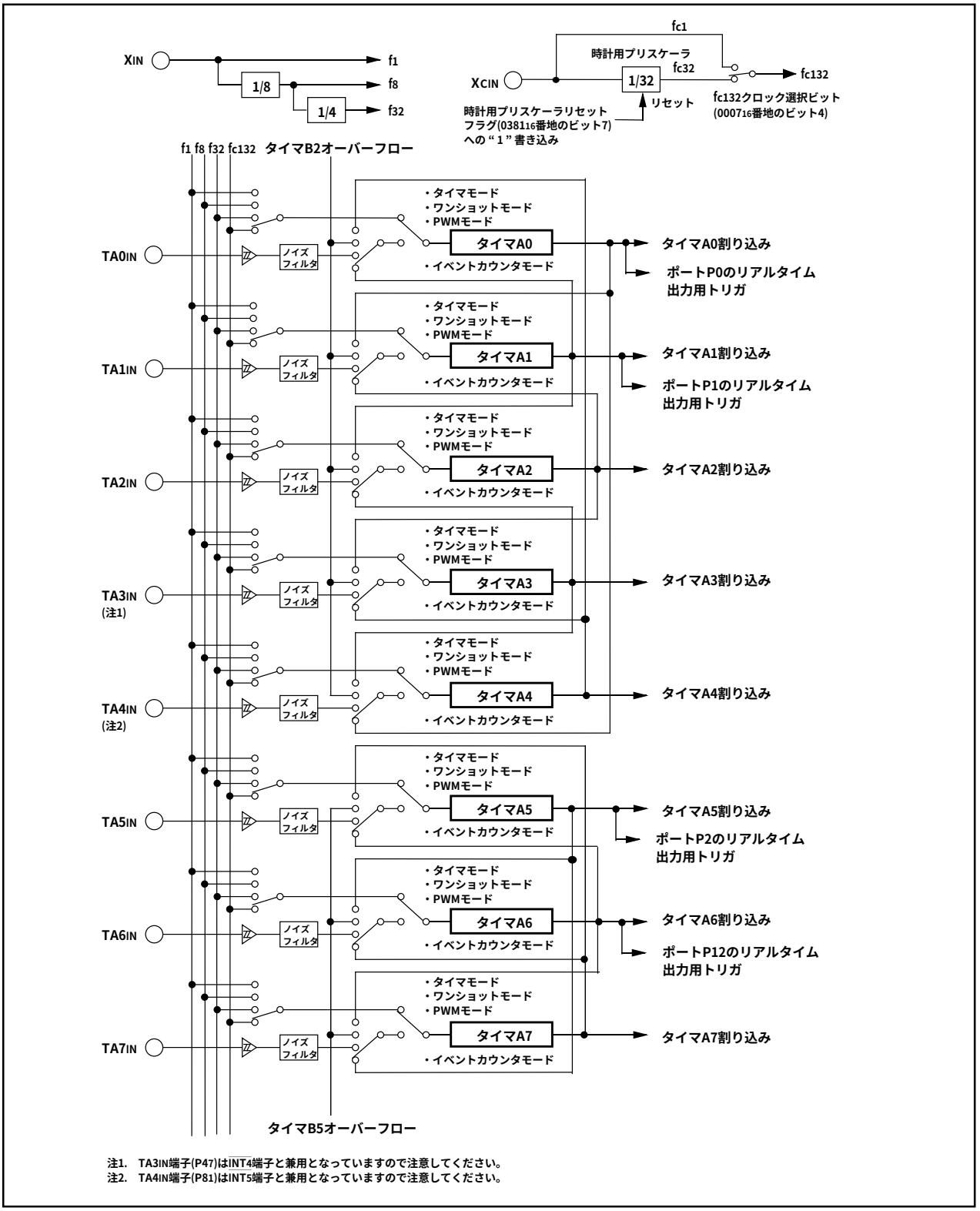


図1.13.1. タイマA構成

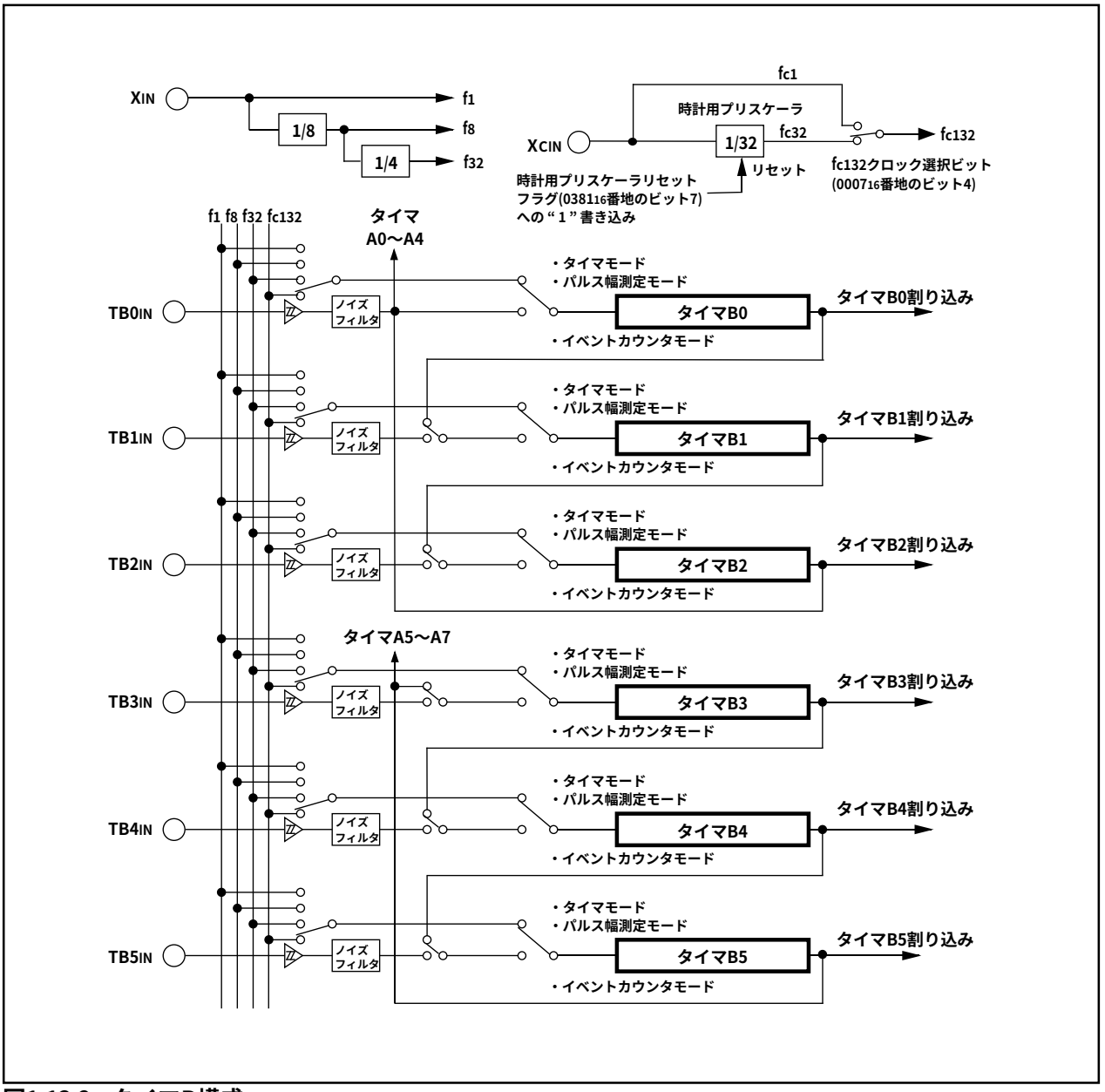


図1.13.2. タイマB構成

タイマA

図1.13.3にタイマAのブロック図を、図1.13.4～図1.13.8にタイマA関連のレジスタを示します。

タイマAは、次の4種類のモードを持ち、イベントカウンタモードを除いて、タイマA0～A7は同一の機能を持ちます。各モードは、タイマAiモードレジスタ(i=0～7)のビット0とビット1で選択できます。

・タイマモード　　内部カウントソースをカウントするモード
・イベントカウンタモード　　外部からのパルスまたはタイマのオーバフローをカウントするモード
・ワンショットタイマモード　　カウント値が“ 0000_{16} ”になるとカウントが止まるモード
・パルス幅変調モード　　任意のパルス幅を連続して出力するモード

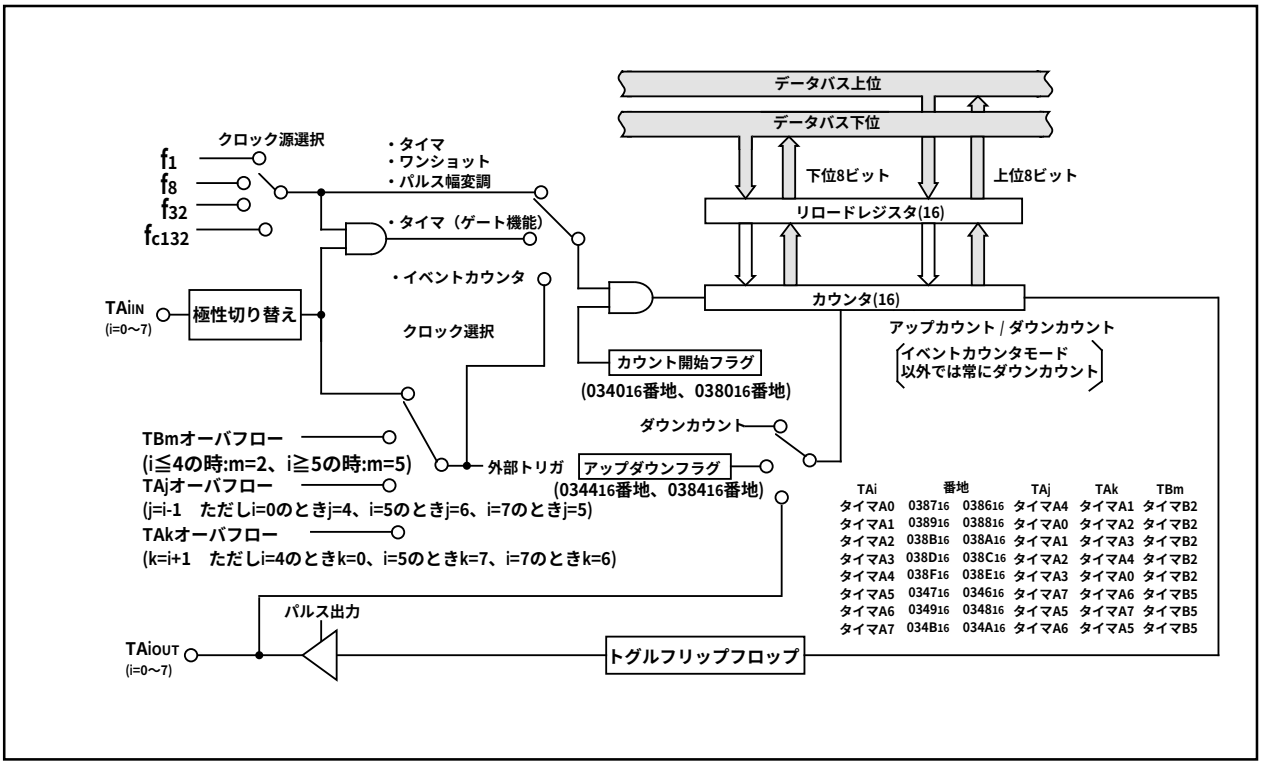


図1.13.3.　タイマAブロック図

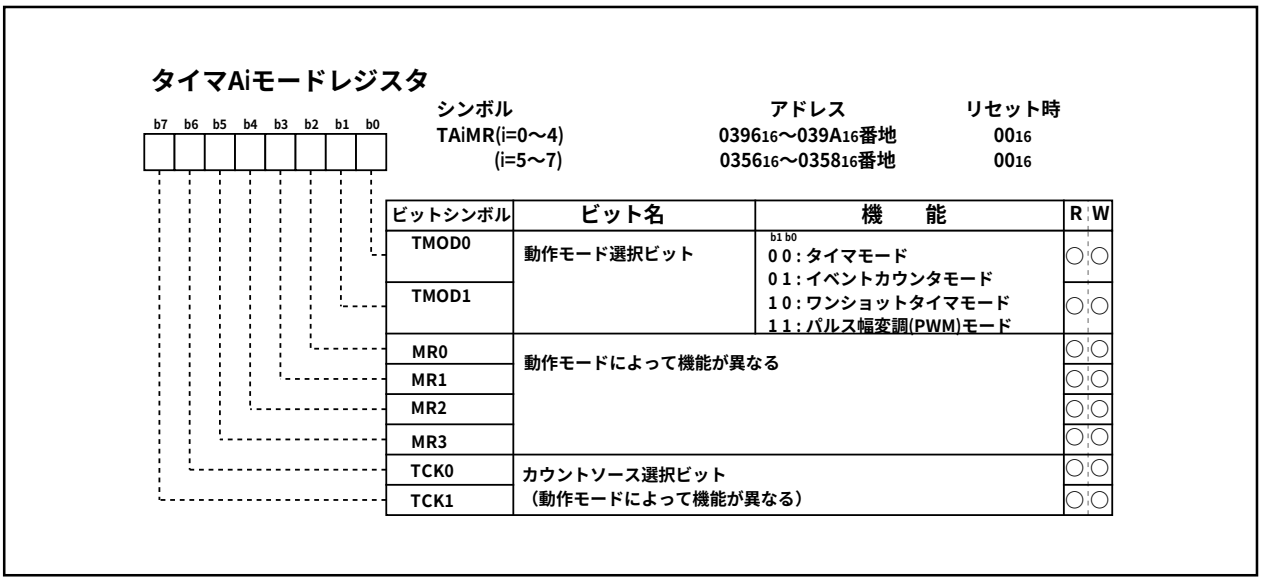
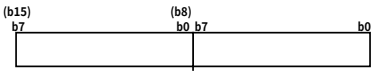


図1.13.4.　タイマA関連レジスタ(1)

タイマAiレジスタ(注1)

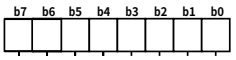


シンボル	アドレス	リセット時
TA0	0387$_{16}$,0386$_{16}$番地	不定
TA1	0389$_{16}$,0388$_{16}$番地	不定
TA2	038B$_{16}$,038A$_{16}$番地	不定
TA3	038D$_{16}$,038C$_{16}$番地	不定
TA4	038F$_{16}$,038E$_{16}$番地	不定
TA5	0347$_{16}$,0346$_{16}$番地	不定
TA6	0349$_{16}$,0348$_{16}$番地	不定
TA7	034B$_{16}$,034A$_{16}$番地	不定

機　　能	設定可能値	R	W
●タイマモード 内部カウントソースをカウント	0000$_{16}$～FFFF$_{16}$	○	○
●イベントカウンタモード 外部からの入力パルスまたはタイマのオーバフローをカウント	0000$_{16}$～FFFF$_{16}$	○	○
●ワンショットタイマモード ワンショット幅をカウント	0000$_{16}$～FFFF$_{16}$ (注2、注4)	×	○
●パルス幅変調モード(16ビットPWM) 16ビットパルス幅変調器として動作	0000$_{16}$～FFFE$_{16}$ (注3、注4)	×	○
●パルス幅変調モード(8ビットPWM) タイマの下位アドレスは、8ビットプリスケーラ、 上位アドレスは8ビットパルス幅変調器として動作	00$_{16}$～FE$_{16}$(上位アドレス) 00$_{16}$～FF$_{16}$(下位アドレス) (注3、注4)	×	○

注1.　読み出し、および書き込みは16ビット単位で行ってください。
注2.　タイマAiレジスタに“0000$_{16}$”を設定した場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。また、パルス出力ありを選択した場合、TAiout端子からパルスは出力されません。
注3.　タイマAiレジスタに“0000$_{16}$”を設定した場合、パルス幅変調器は動作せず、TAiout端子の出力レベルは“L”のままで、タイマAi割り込み要求も発生しません。また、8ビットパルス幅変調器として動作しているとき、タイマAiレジスタの上位8ビットに“00$_{16}$”を設定した場合も同様です。
注4.　このレジスタへの書き込みにはMOV命令を使用してください。

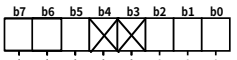
カウント開始フラグ0



シンボル	アドレス	リセット時
TABSR0	0380$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
TA0S	タイマA0カウント開始フラグ	0：カウント停止 1：カウント開始	○	○
TA1S	タイマA1カウント開始フラグ		○	○
TA2S	タイマA2カウント開始フラグ		○	○
TA3S	タイマA3カウント開始フラグ		○	○
TA4S	タイマA4カウント開始フラグ		○	○
TB0S	タイマB0カウント開始フラグ		○	○
TB1S	タイマB1カウント開始フラグ		○	○
TB2S	タイマB2カウンタ開始フラグ		○	○

カウント開始フラグ1



シンボル	アドレス	リセット時
TABSR1	0340$_{16}$番地	000XX000$_{2}$

ビットシンボル	ビット名	機　　能	R	W
TA5S	タイマA5カウント開始フラグ	0：カウント停止 1：カウント開始	○	○
TA6S	タイマA6カウント開始フラグ		○	○
TA7S	タイマA7カウント開始フラグ		○	○
何も配置されていない。 書き込む場合、"0"を書き込んでください。読み出した場合、その値は不定。			—	—
TB3S	タイマB3カウント開始フラグ	0：カウント停止 1：カウント開始	○	○
TB4S	タイマB4カウント開始フラグ		○	○
TB5S	タイマB5カウンタ開始フラグ		○	○

図1.13.5.　タイマA関連レジスタ(2)

アップダウンフラグ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
UDF0	0384_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TA0UD	タイマA0アップダウンフラグ	0 : ダウンカウント 1 : アップカウント アップ／ダウン切り替え要因に アップダウンフラグの内容を 選択すると有効になる	○	○
TA1UD	タイマA1アップダウンフラグ		○	○
TA2UD	タイマA2アップダウンフラグ		○	○
TA3UD	タイマA3アップダウンフラグ		○	○
TA4UD	タイマA4アップダウンフラグ		○	○
TA2P	タイマA2二相パルス信号処理機能選択ビット	0 : 二相パルス信号処理機能禁止 1 : 二相パルス信号処理機能許可 二相パルス信号処理機能を使用しない場合は必ず“0”にしてください	×	○
TA3P	タイマA3二相パルス信号処理機能選択ビット		×	○
TA4P	タイマA4二相パルス信号処理機能選択ビット		×	○

注1.　このレジスタへの書き込みにはMOV命令を使用してください。

アップダウンフラグ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
×	×		×	×			

シンボル	アドレス	リセット時
UDF1	0344_{16}番地	$XX0XX000_2$

ビットシンボル	ビット名	機　　能	R	W
TA5UD	タイマA5アップダウンフラグ	0 : ダウンカウント 1 : アップカウント アップ／ダウン切り替え要因に アップダウンフラグの内容を 選択すると有効になる	○	○
TA6UD	タイマA6アップダウンフラグ		○	○
TA7UD	タイマA7アップダウンフラグ		○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
TA7P	タイマA7二相パルス信号処理機能選択ビット	0 : 二相パルス信号処理機能禁止 1 : 二相パルス信号処理機能許可 二相パルス信号処理機能を使用しない場合は必ず“0”にしてください	×	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

注1.　このレジスタへの書き込みにはMOV命令を使用してください。

ワンショット開始フラグ0

b7	b6	b5	b4	b3	b2	b1	b0
		×					

シンボル	アドレス	リセット時
ONSF0	0382_{16}番地	$00X00000_2$

ビットシンボル	ビット名	機　　能	R	W
TA0OS	タイマA0ワンショット開始フラグ	1 : タイマスタート 読み出し時の値は“0”	○	○
TA1OS	タイマA1ワンショット開始フラグ		○	○
TA2OS	タイマA2ワンショット開始フラグ		○	○
TA3OS	タイマA3ワンショット開始フラグ		○	○
TA4OS	タイマA4ワンショット開始フラグ		○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
TA0TGL	タイマA0イベント/トリガ選択ビット	b7 b6 0 0 : TA0IN端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA4のオーバフローを選択 1 1 : TA1のオーバフローを選択	○	○
TA0TGH			○	○

注1．対応するポート方向レジスタは"0"にしてください。

図1.13.6.　タイマA関連レジスタ(3)

ワンショット開始フラグ1

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
ONSF1	0342_{16}番地	$00XXX000_2$

ビットシンボル	ビット名	機　能	R	W
TA5OS	タイマA5ワンショット開始フラグ	1 : タイマスタート 読み出し時の値は“ 0 ”	○	○
TA6OS	タイマA6ワンショット開始フラグ		○	○
TA7OS	タイマA7ワンショット開始フラグ		○	○
何も配置されていない。 書き込む場合、“ 0 ”を書き込んでください。読み出した場合、その値は不定。			—	—
TA5TGL	タイマA5イベント/ トリガ選択ビット	b7 b6 0 0 : TA5IN端子の入力を選択(注1) 0 1 : TB5のオーバフローを選択 1 0 : TA6のオーバフローを選択 1 1 : TA7のオーバフローを選択	○	○
TA5TGH			○	○

注1.　対応するポート方向レジスタは“ 0 ”にしてください。

トリガ選択レジスタ0

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
TRGSR0	0383_{16}番地	00_{16}

ビットシンボル	ビット名	機　能	R	W
TA1TGL	タイマA1イベント／ トリガ選択ビット	b1 b0 0 0 : TA1IN端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA0のオーバフローを選択 1 1 : TA2のオーバフローを選択	○	○
TA1TGH			○	○
TA2TGL	タイマA2イベント／ トリガ選択ビット	b3 b2 0 0 : TA2IN端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA1のオーバフローを選択 1 1 : TA3のオーバフローを選択	○	○
TA2TGH			○	○
TA3TGL	タイマA3イベント／ トリガ選択ビット	b5 b4 0 0 : TA3IN端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA2のオーバフローを選択 1 1 : TA4のオーバフローを選択	○	○
TA3TGH			○	○
TA4TGL	タイマA4イベント／ トリガ選択ビット	b7 b6 0 0 : TA4IN端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA3のオーバフローを選択 1 1 : TA0のオーバフローを選択	○	○
TA4TGH			○	○

注1.　対応するポート方向レジスタは“ 0 ”にしてください。

トリガ選択レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

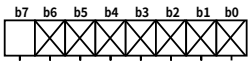
シンボル	アドレス	リセット時
TRGSR1	0343_{16}番地	$XXXX0000_2$

ビットシンボル	ビット名	機　能	R	W
TA6TGL	タイマA6イベント／ トリガ選択ビット	b1 b0 0 0 : TA6IN端子の入力を選択(注1) 0 1 : TB5のオーバフローを選択 1 0 : TA5のオーバフローを選択 1 1 : TA7のオーバフローを選択	○	○
TA6TGH			○	○
TA7TGL	タイマA7イベント／ トリガ選択ビット	b3 b2 0 0 : TA7IN端子の入力を選択(注1) 0 1 : TB5のオーバフローを選択 1 0 : TA5のオーバフローを選択 1 1 : TA6のオーバフローを選択	○	○
TA7TGH			○	○
何も配置されていない。 書き込む場合、“ 0 ”を書き込んでください。読み出した場合、その値は不定。			—	—

注1.　対応するポート方向レジスタは“ 0 ”にしてください。

図1.13.7.　タイマA関連レジスタ(4)

時計用プリスケーラリセットフラグ



シンボル	アドレス	リセット時
CPSRF	0381$_{16}$番地	0XXXXXXX$_2$

ビットシンボル	ビット名	機　　能	R	W
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
CPSR	時計用プリスケーラ リセットフラグ	0 : 何もおこらない 1 : プリスケーラリセット (読み出し時は“0”)	○	○

図1.13.8.　タイマA関連レジスタ(5)

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表1.13.1)。図1.13.9にタイマモード時のタイマAiモードレジスタの構成を示します。

表1.13.1. タイマモードの仕様

項　目	仕　様
カウントソース	f_1,f_8,f_{32},f_{C32}
カウント動作	●ダウンカウント ●アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)　n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはゲート入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	●ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 ●パルス出力機能 アンダフローするごとにTAiOUT端子の極性が反転

タイマAiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
		0				0	0

シンボル	アドレス	リセット時
TAiMR(i=0～4)	039_{16}～$039A_{16}$番地	00_{16}
(i=5～7)	035_{16}～0358_{16}番地	00_{16}

ビットシンボル	ビット名	機　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード	○	○
TMOD1			○	○
MR0	パルス出力機能選択ビット	0 : パルス出力なし (TAiOUT端子は通常のポート端子) 1 : パルス出力あり(注1) (TAiOUT端子はパルス出力端子)	○	○
MR1	ゲート機能選択ビット	b4 b3 0 X(注2): ゲート機能なし (TAiIN端子は通常のポート端子) 1 0 : TAiIN端子が“L”レベルの期間だけカウントを行う(注3) 1 1 : TAiIN端子が“H”レベルの期間だけカウントを行う(注3)	○	○
MR2			○	○
MR3	0 : タイマモードでは“0”を設定してください。		○	○
TCK0	カウントソース選択ビット	b7 b6 0 0 : f_1 0 1 : f_8 1 0 : f_{32} 1 1 : f_{C32}	○	○
TCK1			○	○

注1. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
注2. “0”または“1”いずれでも可。
注3. 対応するポート方向レジスタは“0”にしてください。

図1.13.9. タイマモード時のタイマAiモードレジスタの構成

(2) イベントカウンタモード

外部信号または内部タイマのオーバフローをカウントするモードです。タイマA0、A1、A5、A6は、一相の外部信号をカウントできます。タイマA2、A3、A4、A7は、一相の外部信号と二相の外部信号をカウントできます。一相の外部信号をカウントする場合の仕様を表1.13.2に、タイマAiモードレジスタの構成を図1.13.10に示します。二相の外部信号をカウントする場合の仕様を表1.13.3に、タイマAiモードレジスタの構成を図1.13.11に示します。

表1.13.2. イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項　　目	仕　　様
カウントソース	●TAiIN端子に入力された外部信号(ソフトウエアにて有効エッジを選択可能) ●TB2、TB5のオーバフロー、TAj、TAkのオーバフロー
カウント動作	●アップカウントまたはダウンカウントを、外部信号またはソフトウエアで選択可能 ●オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注1)
分周比	●アップカウント時　1/(FFFF16－n+1) ●ダウンカウント時　1/(n+1)　　n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバフロー時、およびアンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはカウントソース入力
TAiOUT端子機能	プログラマブル入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力
タイマの読み出し	タイマAiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	●フリーランカウント機能 オーバフローまたはアンダフローが発生してもリロードレジスタからリロードしない ●パルス出力機能 オーバフローまたはアンダフローするごとにTAiOUT端子の極性が反転

注1. フリーラン機能選択時は除きます。

タイマAiモードレジスタ
(二相パルス信号処理を使用しない場合)

b7	b6	b5	b4	b3	b2	b1	b0
		0				0	1

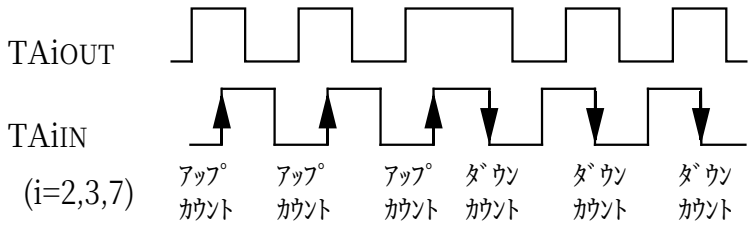
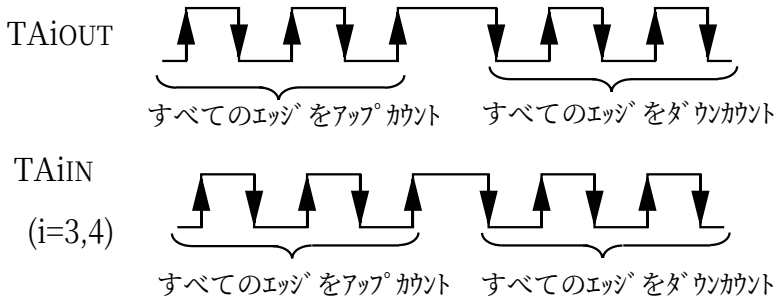
シンボル	アドレス	リセット時
TAiMR(i=0～4)	0396₁₆～039A₁₆番地	00₁₆
(i=5～7)	0356₁₆～0358₁₆番地	00₁₆

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード(注1)	○	○
TMOD1			○	○
MR0	パルス出力機能選択ビット	0 : パルス出力なし (TAiOUT端子は通常のポート端子) 1 : パルス出力あり(注2) (TAiOUT端子はパルス出力端子)	○	○
MR1	カウント極性選択ビット(注3)	0 : 外部信号の立ち下がりをカウント 1 : 外部信号の立ち上がりをカウント	○	○
MR2	アップ／ダウン切り替え要因選択ビット	0 : アップダウンフラグの内容 1 : TAiOUT端子の入力信号(注4)	○	○
MR3	0 : イベントカウンタモードでは“0”を設定してください。		○	○
TCK0	カウントタイプ選択ビット	0 : リロードタイプ 1 : フリーランタイプ	○	○
TCK1	二相パルス信号処理を使用しない場合は無効。 "0"または"1"いずれでも可。		○	○

注1. イベントカウンタモードではカウントソースをイベント/トリガ選択ビット(0342₁₆、0343₁₆、0382₁₆、0383₁₆番地)で選択。
注2. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
注3. 外部信号カウント時だけ有効。
注4. TAiOUT端子の入力信号が"L"のときダウンカウントを"H"のときアップカウントを行います。
対応するポート方向レジスタは"0"にしてください。

図1.13.10. イベントカウンタモード時のタイマAiモードレジスタの構成

表1.13.3.　イベントカウンタモードの仕様(タイマA2、A3、A4、A7で二相パルス信号処理を使用する場合)

項　　目	仕　　様
カウントソース	●TAiIN、TAiOUT端子に入力された二相パルス信号
カウント動作	●アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 ●オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注1)
分周比	●アップカウント時　1/(FFFF16－n+1) ●ダウンカウント時　1/(n+1)　　n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバフロー時、およびアンダフロー時
TAiIN端子機能	二相パルス入力
TAiOUT端子機能	二相パルス入力
タイマの読み出し	タイマA2、A3、A4、A7レジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマA2、A3、A4、A7レジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマA2、A3、A4、A7レジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能(注2)	●通常処理動作 TAiOUT端子の入力信号が“H”レベルの期間TAiIN端子の立ち上がりをアップカウントし立ち下がりをダウンカウントします。  ●4逓倍処理動作 TAiOUT端子の入力信号が“H”レベルの期間にTAiIN端子が立ち上がる位相関係の場合、TAiOUT、TAiIN端子の立ち上がり、立ち下がりをアップカウントします。TAiOUT端子の入力信号が“H”レベルの期間にTAiIN端子が立ち下がる位相関係の場合、TAiOUT、TAiIN端子の立ち上がり、立ち下がりをダウンカウントします。 

注1.　フリーラン機能選択時は除きます。

注2.　タイマA3だけ選択できます。タイマA2、タイマA7は通常処理動作に、タイマA4は4逓倍処理動作に固定です。

タイマAiモードレジスタ
(二相パルス信号処理を使用する場合)

b7	b6	b5	b4	b3	b2	b1	b0
		0	1	0	0	0	1

シンボル	アドレス	リセット時
TAiMR(i=2～4)	0398_{16}～$039A_{16}$番地	00_{16}
(i=7)	0358_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード	○	○
TMOD1			○	○
MR0	0 : 二相パルス信号処理を使用する場合、“0”を設定してください。		○	○
MR1	0 : 二相パルス信号処理を使用する場合、“0”を設定してください。		○	○
MR2	1 : 二相パルス信号処理を使用する場合、“1”を設定してください。		○	○
MR3	0 : 二相パルス信号処理を使用する場合、“0”を設定してください。		○	○
TCK0	カウント動作タイプ選択ビット	0 : リロードタイプ 1 : フリーランタイプ	○	○
TCK1	二相パルス処理動作選択ビット(注1)(注2)	0 : 通常処理動作 1 : 4逓倍処理動作	○	○

注1. タイマA3だけ選択できます。タイマA2、タイマA7は通常処理動作に、タイマA4は4逓倍処理動作に固定です。
注2. 二相パルス信号処理を行う場合、二相パルス信号機能選択ビット(0384_{16}、0344_{16}番地)は“1”に、イベント/トリガ選択ビット(0383_{16}、0343_{16}番地)は“00”にしてください。

図1.13.11. イベントカウンタモード時のタイマAiモードレジスタの構成

(3) ワンショットタイマモード

1度だけタイマを動作するモードです(表1.13.4)。トリガが発生するとその時点から任意の期間、タイマが動作します。図1.13.12にワンショットタイマモード時のタイマAiモードレジスタの構成を示します。

表1.13.4. ワンショットタイマモードの仕様

項　目	仕　様
カウントソース	f1,f8,f32,fc132
カウント動作	●ダウンカウント ●カウントの値が0000₁₆になるタイミングでリロードしてカウントを停止 ●カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	1/n n:設定値
カウント開始条件	●外部トリガ入力 ●タイマのオーバフロー ●ワンショット開始フラグへの“1”書き込み
カウント停止条件	●カウントの値が0000₁₆になりリロードした後 ●カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	カウントの値が0000₁₆になるタイミング
TAiIN端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	●カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

タイマAiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
		0				1	0

シンボル	アドレス	リセット時
TAiMR(i=0～4)	039₁₆～039A₁₆番地	00₁₆
(i=5～7)	035₁₆～035₁₆番地	00₁₆

ビットシンボル	ビット名	機　能	R	W
TMOD0	動作モード選択ビット	b1 b0 1 0 : ワンショットタイマモード	○	○
TMOD1			○	○
MR0	パルス出力機能選択ビット	0 : パルス出力なし (TAiOUT端子は通常のポート端子) 1 : パルス出力あり(注1) (TAiOUT端子はパルス出力端子)	○	○
MR1	外部トリガ選択ビット(注2)	0 : TAiIN端子の入力信号の立ち下がり(注3) 1 : TAiIN端子の入力信号の立ち上がり(注3)	○	○
MR2	トリガ選択ビット	0 : ワンショット開始フラグが有効 1 : イベント/トリガ選択レジスタにより選択	○	○
MR3	0 : ワンショットタイマモードでは“0”を設定してください。		○	○
TCK0	カウントソース選択ビット	b7 b6 0 0 : f1 0 1 : f8 1 0 : f32 1 1 : fc132	○	○
TCK1			○	○

注1. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
注2. イベント/トリガ選択ビット(0342₁₆、0343₁₆、0382₁₆、0383₁₆番地)でTAiIN端子を選択したときだけ有効。タイマのオーバフロー選択時は、“1”でも“0”でも可。
注3. 対応するポート方向レジスタは“0”にしてください。

図1.13.12. ワンショットタイマモード時のタイマAiモードレジスタの構成

(4) パルス幅変調モード

任意の幅のパルスを連続して出力するモードです(表1.13.5)。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図1.13.13にパルス幅変調モード時のタイマAiモードレジスタの構成、図1.13.14に16ビットパルス幅変調器の動作例、および図1.13.15に8ビットパルス幅変調器の動作例を示します。

表1.13.5. パルス幅変調モードの仕様

項　目	仕　様
カウントソース	$f_1, f_8, f_{32}, f_{C132}$
カウント動作	●ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) ●PWMパルスの立ち上がりでリロードしてカウントを継続 ●カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	●“H”レベル幅　n / fj　n:設定値　fj=$f_1, f_8, f_{32}, f_{C132}$ ●周期　$(2^{16}-1)$ / fj固定
8ビットPWM	●“H”レベル幅　n×(m+1) / fj　n:タイマAiレジスタの上位アドレスの設定値 ●周期　$(2^8-1)\times(m+1)$ / fj　m:タイマAiレジスタの下位アドレスの設定値
カウント開始条件	●外部トリガ入力 ●タイマのオーバフロー ●カウント開始フラグへの“1”書き込み
カウント停止条件	●カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	PWMパルスの立ち下がり時
$TAiIN$端子機能	プログラマブル入出力ポート、またはトリガ入力
$TAiOUT$端子機能	パルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	●カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

タイマAiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
					1	1	1

シンボル	アドレス	リセット時
TAiMR(i=0～4)	039_{16}～$039A_{16}$番地	00_{16}
(i=5～7)	035_{16}～0358_{16}番地	00_{16}

ビットシンボル	ビット名	機　能	R	W
TMOD0	動作モード選択ビット	b1 b0 1 1 : PWMモード	○	○
TMOD1			○	○
MR0	1 : PWMモードでは“1”を設定してください。		○	○
MR1	外部トリガ選択ビット(注1)	0 : $TAiIN$端子の入力信号の立ち下がり(注2) 1 : $TAiIN$端子の入力信号の立ち上がり(注2)	○	○
MR2	トリガ選択ビット	0 : カウント開始フラグが有効 1 : イベント/トリガ選択レジスタにより選択	○	○
MR3	16/8ビットPWMモード選択ビット	0 : 16ビットパルス幅変調器として動作 1 : 8ビットパルス幅変調器として動作	○	○
TCK0	カウントソース選択ビット	b7 b6 0 0 : f_1 0 1 : f_8	○	○
TCK1		1 0 : f_{32} 1 1 : f_{C132}	○	○

注1. イベント/トリガ選択ビット(0342_{16}、0343_{16}、0382_{16}、0383_{16}番地)で$TAiIN$端子を選択したときだけ有効。タイマのオーバフロー選択時は、“1”でも“0”でも可。
注2. 対応するポート方向レジスタは“0”にしてください。

図1.13.13. パルス幅変調モード時のタイマAiモードレジスタの構成

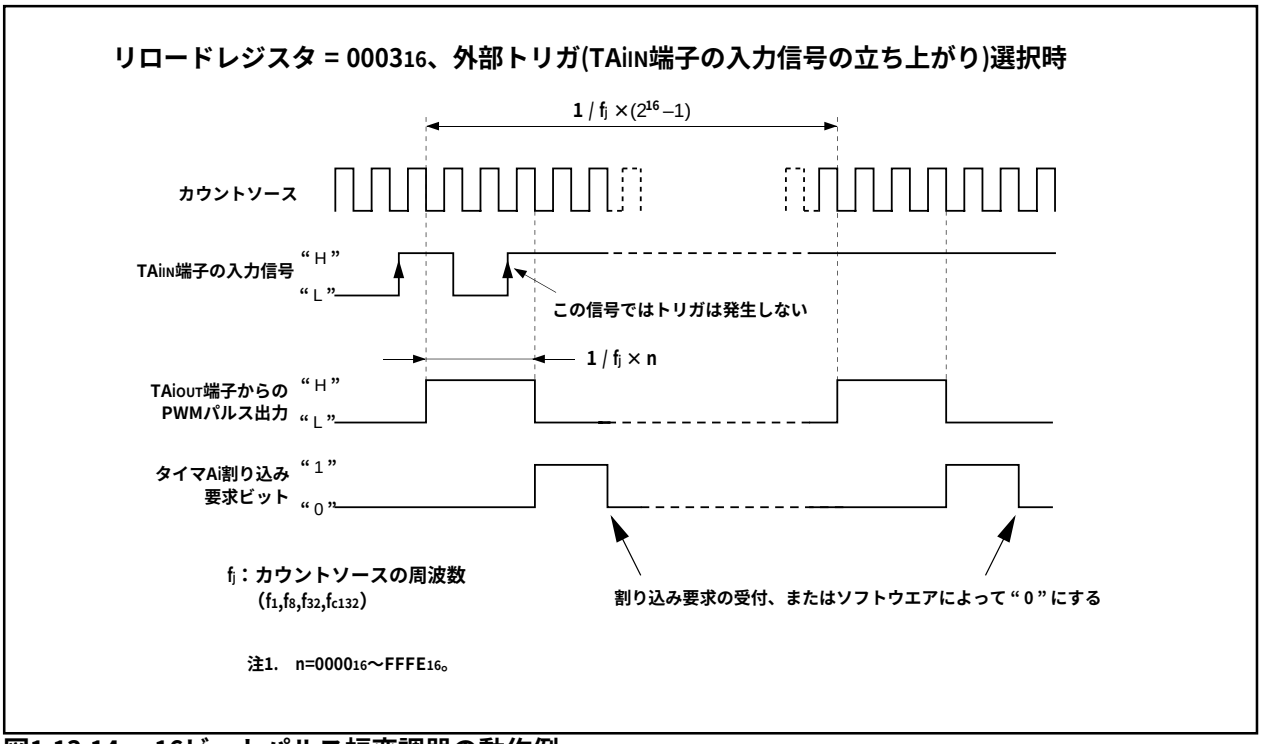


図1.13.14. 16ビットパルス幅変調器の動作例

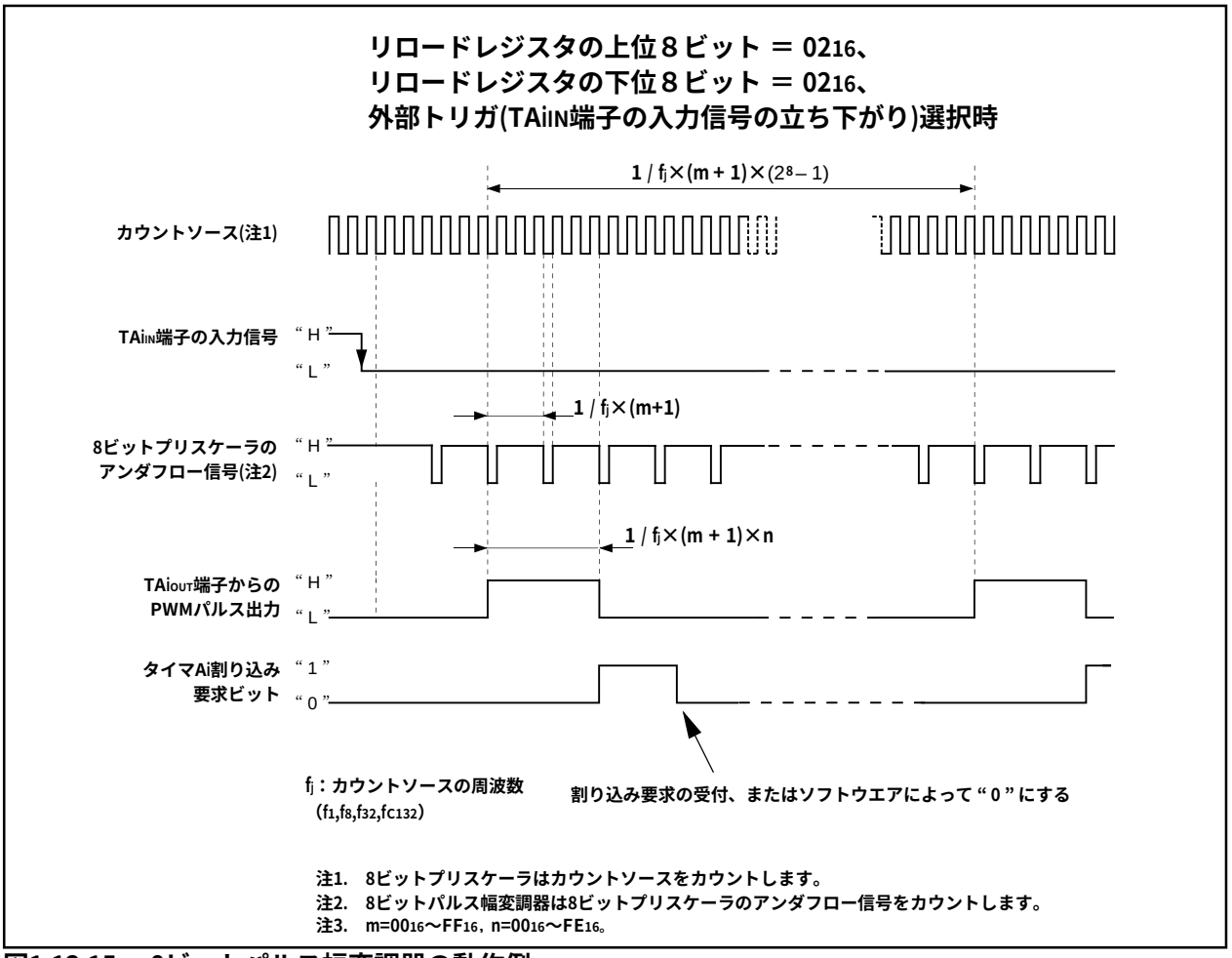


図1.13.15. 8ビットパルス幅変調器の動作例

タイマB

図1.13.16にタイマBのブロック図を、図1.13.17、図1.13.18にタイマB関連レジスタを示します。

タイマBは、次の3種類のモードを持ちます。各モードは、タイマBiモードレジスタ(i=0～5)のビット0とビット1で選択できます。

・タイマモード　　内部カウントソースをカウントするモード
・イベントカウンタモード　　外部からのパルスまたはタイマのオーバフローをカウントするモード
・パルス周期測定／パルス幅測定モード　　外部パルスの周期またはパルス幅を測定するモード

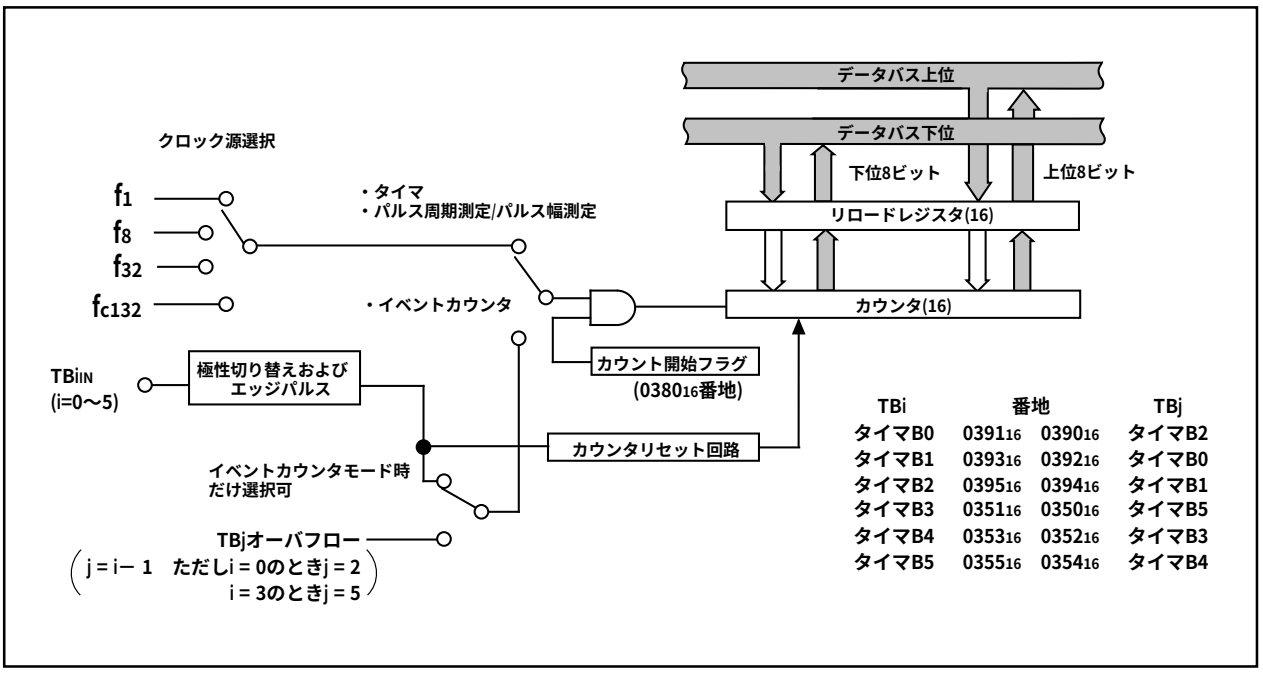
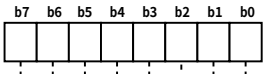


図1.13.16. タイマＢブロック図

タイマBiモードレジスタ



シンボル	アドレス	リセット時
TBiMR(i=0～2)	039B₁₆～039D₁₆番地	00XX0000₂
(i=3～5)	035B₁₆～035D₁₆番地	00XX0000₂

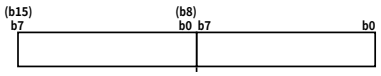
ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード 0 1 : イベントカウンタモード 1 0 : パルス周期測定／パルス幅測定モード 1 1 : 選択禁止	○	○
TMOD1			○	○
MR0	動作モードによって機能が異なる		○	○
MR1			○	○
MR2			○(注1) ×(注2)	○ ×
MR3			○	×
TCK0	カウントソース選択ビット （動作モードによって機能が異なる）		○	○
TCK1			○	○

注1.　タイマB0、タイマB3。
注2.　タイマB1、タイマB2、タイマB4、タイマB5。

図1.13.17. タイマB関連レジスタ(1)

タイマBiレジスタ(注1)

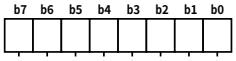
シンボル	アドレス	リセット時
TB0	0391$_{16}$,0390$_{16}$番地	不定
TB1	0393$_{16}$,0392$_{16}$番地	不定
TB2	0395$_{16}$,0394$_{16}$番地	不定
TB3	0351$_{16}$,0350$_{16}$番地	不定
TB4	0353$_{16}$,0352$_{16}$番地	不定
TB5	0355$_{16}$,0354$_{16}$番地	不定



機　　能	設定可能値	R	W
●タイマモード タイマの周期をカウント	0000$_{16}$～FFFF$_{16}$	○	○
●イベントカウンタモード 外部からの入力パルスまたはタイマのオーバフローをカウント	0000$_{16}$～FFFF$_{16}$	○	○
●パルス周期測定モード／パルス幅測定モード パルス周期、またはパルス幅を測定	——	○	×

注1.　読み出し、および書き込みは16ビット単位で行ってください。

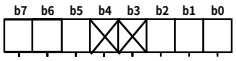
カウント開始フラグ0



シンボル	アドレス	リセット時
TABSR0	0380$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
TA0S	タイマA0カウント開始フラグ	0：カウント停止 1：カウント開始	○	○
TA1S	タイマA1カウント開始フラグ		○	○
TA2S	タイマA2カウント開始フラグ		○	○
TA3S	タイマA3カウント開始フラグ		○	○
TA4S	タイマA4カウント開始フラグ		○	○
TB0S	タイマB0カウント開始フラグ		○	○
TB1S	タイマB1カウント開始フラグ		○	○
TB2S	タイマB2カウント開始フラグ		○	○

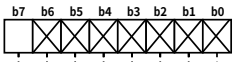
カウント開始フラグ1



シンボル	アドレス	リセット時
TABSR1	0340$_{16}$番地	000XX000$_2$

ビットシンボル	ビット名	機　　能	R	W
TA5S	タイマA5カウント開始フラグ	0：カウント停止 1：カウント開始	○	○
TA6S	タイマA6カウント開始フラグ		○	○
TA7S	タイマA7カウント開始フラグ		○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
TB3S	タイマB3カウント開始フラグ	0：カウント停止 1：カウント開始	○	○
TB4S	タイマB4カウント開始フラグ		○	○
TB5S	タイマB5カウンタ開始フラグ		○	○

時計用プリスケーラリセットフラグ



シンボル	アドレス	リセット時
CPSRF	0381$_{16}$番地	0XXXXXXX$_2$

ビットシンボル	ビット名	機　　能	R	W
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
CPSR	時計用プリスケーラ リセットフラグ	0：何もおこらない 1：プリスケーラリセット (読み出し時は“0”)	○	○

図1.13.18.　タイマB関連レジスタ(2)

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表1.13.6)。図1.13.19にタイマモード時のタイマBiモードレジスタの構成を示します。

表1.13.6. タイマモードの仕様

項　　目	仕　　様
カウントソース	f_1, f_8, f_{32}, f_{C132}
カウント動作	●ダウンカウント ●アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)　n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	プログラマブル入出力ポート
タイマの読み出し	タイマBiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマBiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

タイマBiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
						0	0

シンボル	アドレス	リセット時
TBiMR(i=0～2)	$039B_{16}$～$039D_{16}$番地	$00XX0000_2$
(i=3～5)	$035B_{16}$～$035D_{16}$番地	$00XX0000_2$

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード	○	○
TMOD1			○	○
MR0	タイマモードでは無効。 “0”または“1”いずれでも可。		○	○
MR1			○	○
MR2	0:タイマモードでは“0”を設定してください(i=0, 3)。		○ (注1)	○
	何も配置されていない(i=1, 2, 4, 5)。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は不定。		× (注2)	×
MR3	タイマモードでは無効。 書き込む場合、“0”を書き込んでください。 タイマモードで読み出した場合、その値は不定。		○	×
TCK0	カウントソース選択ビット	b7 b6 0 0 : f_1 0 1 : f_8 1 0 : f_{32} 1 1 : f_{C132}	○	○
TCK1			○	○

注1.　タイマB0、タイマB3。
注2.　タイマB1、タイマB2、タイマB4、タイマB5。

図1.13.19. タイマモード時のタイマBiモードレジスタの構成

(2) イベントカウンタモード

外部信号または内部タイマのオーバフローをカウントするモードです(表1.13.7)。タイマBiレジスタの構成を図1.13.20に示します。

表1.13.7. イベントカウンタモードの仕様

項　目	仕　様
カウントソース	●TBiIN端子に入力された外部信号 ●カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がりおよび立ち上がりをソフトウエアによって選択可
カウント動作	●ダウンカウント ●アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	●1/(n+1)　n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	カウントソース入力
タイマの読み出し	タイマBiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	●カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる ●カウント中 タイマBiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

タイマBiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
						0	1

シンボル	アドレス	リセット時
TBiMR(i=0～2)	039B16～039D16番地	00XX0000₂
(i=3～5)	035B16～035D16番地	00XX0000₂

ビットシンボル	ビット名	機　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード	○	○
TMOD1			○	○
MR0	カウント極性選択ビット(注1)	b3 b2 0 0 : 外部信号の立ち下がりをカウント 0 1 : 外部信号の立ち上がりをカウント 1 0 : 外部信号の立ち下がりおよび立ち上がりをカウント 1 1 : 選択禁止	○	○
MR1			○	○
MR2	0 : イベントカウンタモードでは“0”を設定してください(i=0, 3)。		○(注2)	○
	何も配置されていない(i=1, 2, 4, 5)。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は不定。		×(注3)	×
MR3	イベントカウンタモードでは無効。 書き込む場合、“0”を書き込んでください。 イベントカウンタモードで読み出した場合、その値は不定。		○	×
TCK0	イベントカウンタモードでは無効。 “0”または“1”いずれでも可。		○	○
TCK1	イベントクロック選択	0 : TBiIN端子からの入力(注4) 1 : TBjのオーバフロー (j = i - 1　ただしi = 0のときj = 2 i = 3のときj = 5)	○	○

注1. TBiIN端子からの入力をイベントクロックとして選択したときだけ有効。
タイマのオーバフローを選択したときは、“0”でも“1”でも可。
注2. タイマB0、タイマB3。
注3. タイマB1、タイマB2、タイマB4、タイマB5。
注4. 対応するポート方向レジスタは“0”にしてください。

図1.13.20. イベントカウンタモード時のタイマBiモードレジスタの構成

(3) パルス周期測定／パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです(表1.13.8)。図1.13.21にパルス周期測定／パルス幅測定モード時のタイマBiモードレジスタの構成、図1.13.22にパルス周期測定時の動作図、および図1.13.23にパルス幅測定時の動作図を示します。

表1.13.8. パルス周期測定／パルス幅測定モードの仕様

項　　目	仕　　様
カウントソース	f1, f8, f32, fC132
カウント動作	●アップカウント ●測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“ 0000₁₆ ”にしてカウントを継続
カウント開始条件	●カウント開始フラグへの“ 1 ”書き込み
カウント停止条件	●カウント開始フラグへの“ 0 ”書き込み
割り込み要求発生タイミング	●測定パルスの有効エッジ入力時(注1) ●オーバフロー時(同時にタイマBiオーバフローフラグが“ 1 ”になります。タイマBiオーバフローフラグは、カウント開始フラグが“ 1 ”の状態でタイマBiモードレジスタ書き込みを行うと“ 0 ”になります。)
TBiIN端子機能	測定パルス入力
タイマの読み出し	タイマBiレジスタを読み出すと、リロードレジスタの内容(測定結果)が読み出される(注2)
タイマの書き込み	不可

注1.　カウント開始後１回目の有効エッジ入力時は、割り込み要求は発生しません。
注2.　カウント開始後２回目の有効エッジ入力までは、タイマBiレジスタからの読み出し値は不定です。

タイマBiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
						1	0

シンボル	アドレス	リセット時
TBiMR(i=0～2)	039B₁₆～039D₁₆番地	00XX0000₂
(i=3～5)	035B₁₆～035D₁₆番地	00XX0000₂

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 1 0 : パルス周期測定 ／パルス幅測定モード	○	○
TMOD1			○	○
MR0	測定モード選択ビット	b3 b2 0 0 : パルス周期測定 （測定パルスの立ち下がり－立ち下がり間） 0 1 : パルス周期測定 （測定パルスの立ち上がり－立ち上がり間） 1 0 : パルス幅測定 （測定パルスの立ち下がり－立ち上がり間、および立ち上がり－立ち下がり間） 1 1 : 選択禁止	○	○
MR1			○	○
MR2	0:パルス周期測定/パルス幅測定モードでは“ 0 ”を設定してください(i=0, 3)。		○ (注2)	○
	何も配置されていない(i=1, 2, 4, 5)。 書き込む場合、“ 0 ”を書き込んでください。読み出した場合、その値は不定。		× (注3)	×
MR3	タイマBiオーバフローフラグ(注1)	0 : オーバフローなし 1 : オーバフローあり	○	×
TCK0	カウントソース選択ビット	b7 b6 0 0 : f1 0 1 : f8 1 0 : f32 1 1 : fC132	○	○
TCK1			○	○

注1.　タイマBiオーバフローフラグは、カウント開始フラグが“ 1 ”の状態でタイマBiモードレジスタに書き込みを行うと“ 0 ”になります。このフラグをソフトウエアで“ 1 ”にすることはできません。
注2.　タイマB0、タイマB3。
注3.　タイマB1、タイマB2、タイマB4、タイマB5。

図1.13.21. パルス周期測定／パルス幅測定モード時のタイマBiモードレジスタの構成

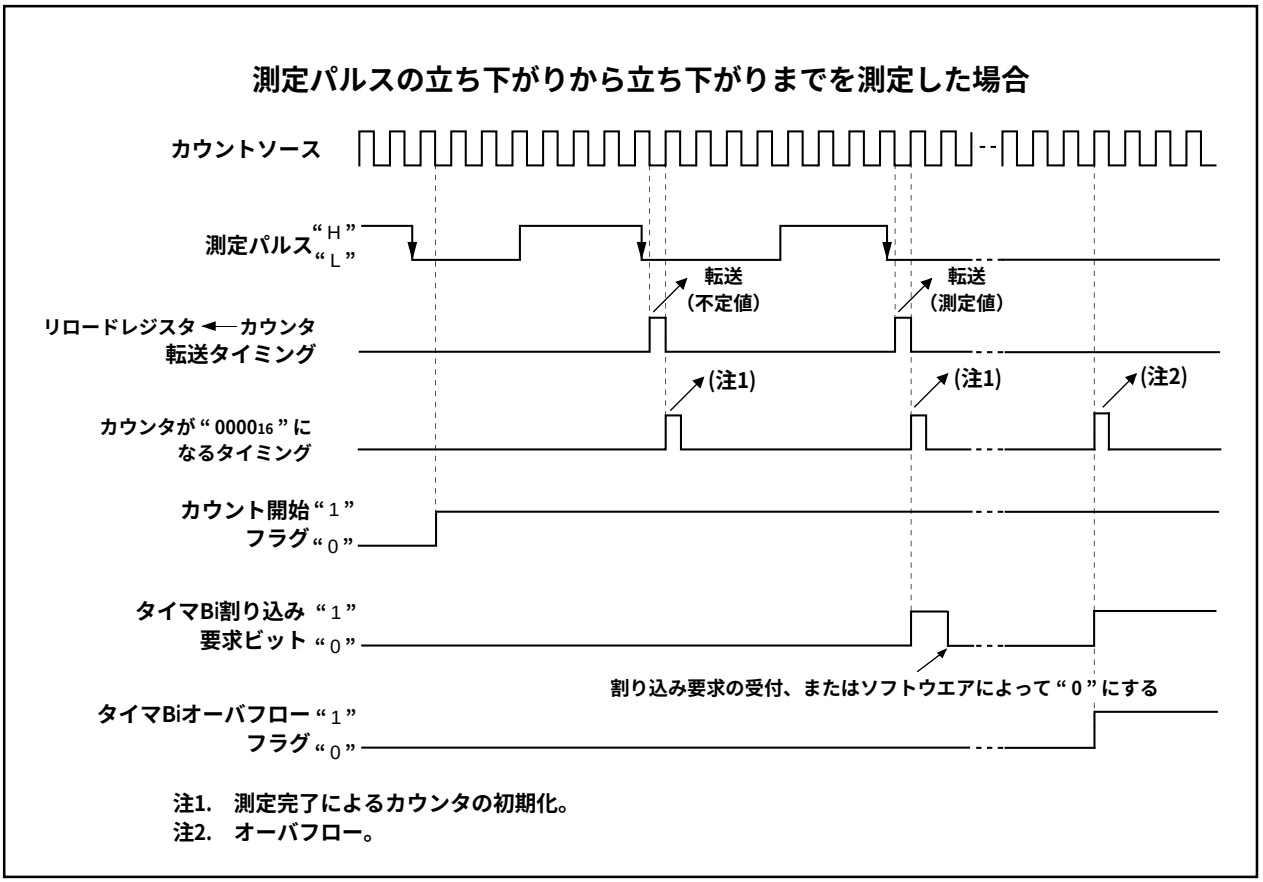


図1.13.22. パルス周期測定時の動作図

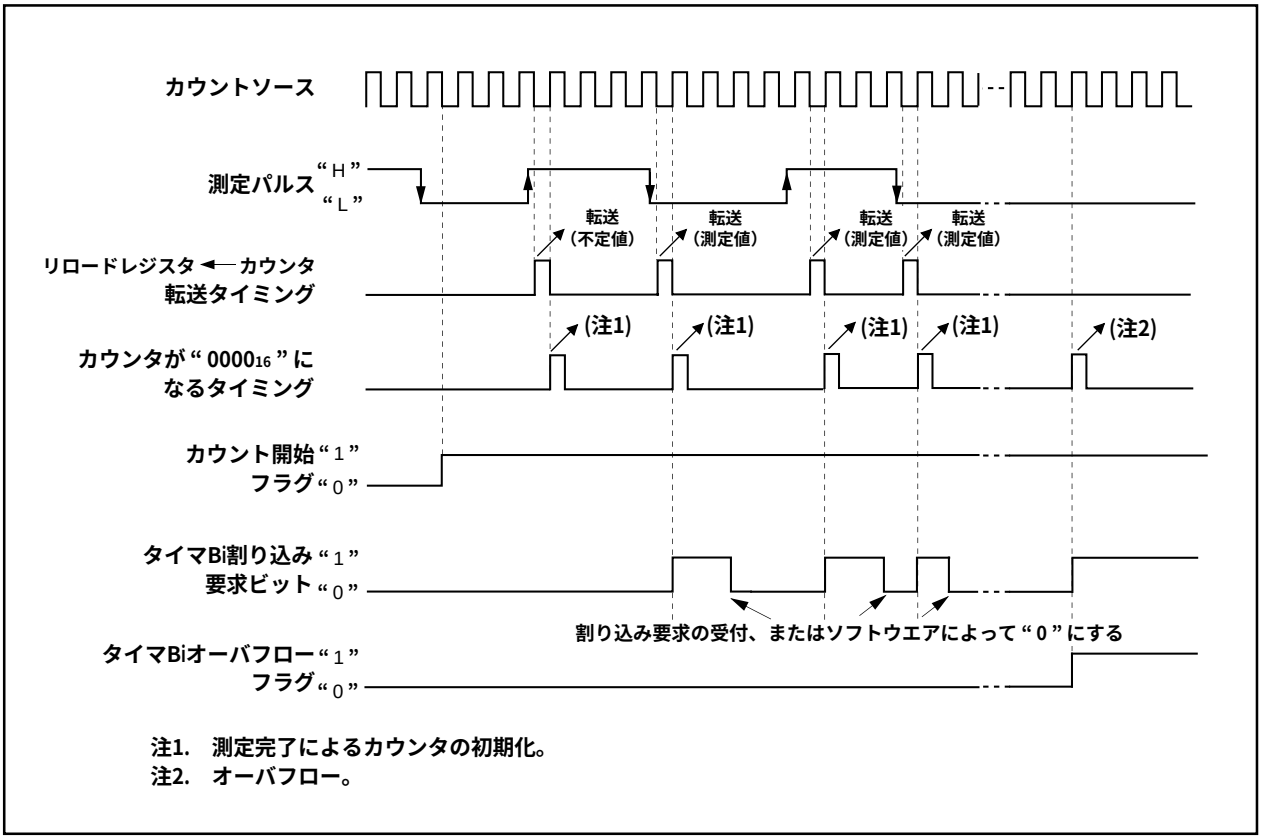


図1.13.23. パルス幅測定時の動作図

リアルタイムポート

リアルタイムポート出力選択時は対応するタイマAiがアンダフローするたびに、ポートPmレジスタに書き込まれているリアルタイムポート用データがリアルタイムポートラッチにラッチされ、それぞれ対応したポートからデータが出力されます。リアルタイムポート用データは対応したポートPmレジスタに書き込みます。リアルタイムポートモード選択ビットを“0”から“1”に変えたときにはリアルタイムポートラッチの値が“0”となり、対応する端子から“L”出力されます。リアルタイムポート用データが出力されるのはタイマAiの最初のアンダーフローからです。リアルタイムポート機能有効時にリアルタイムポート用データを変更すると、次のタイマAiのアンダフローで変更された値が出力されます。リアルタイムポート機能を無効にしたときは通常ポートとして機能します。

リアルタイムポート出力に対応したタイマAiは、タイマモードに設定し、ゲート機能選択ビットにより"ゲート機能なし"に設定してください。また、リアルタイムポートモード選択ビットを"1"に設定するときは、リアルタイムポートモード選択ビットを"1"に設定する前に使用するタイマAiを一旦停止し、タイマAiレジスタに設定値を書き込んでください。図1.14.1にリアルタイムポート出力ブロック図、図1.14.2にリアルタイム制御レジスタ構成図を示します。

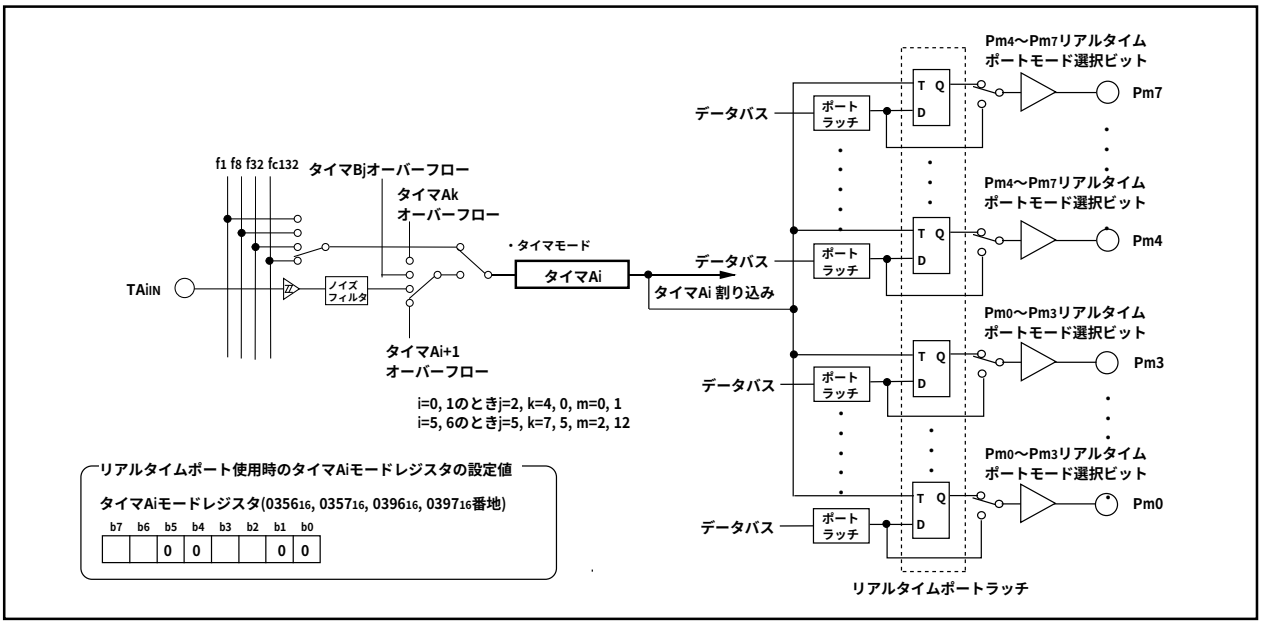
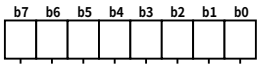


図1.14.1. リアルタイムポート出力ブロック図

リアルタイムポート制御レジスタ

シンボル	アドレス	リセット時
RTP	03FF16番地	0016



ビットシンボル	ビット名	機　能	R	W
RTP0	P00～P03リアルタイムポートモード選択ビット	0 : 入出力ポート 1 : リアルタイムポート出力(注1)	○	○
RTP1	P04～P07リアルタイムポートモード選択ビット		○	○
RTP2	P10～P13リアルタイムポートモード選択ビット		○	○
RTP3	P14～P17リアルタイムポートモード選択ビット		○	○
RTP4	P20～P23リアルタイムポートモード選択ビット		○	○
RTP5	P24～P27リアルタイムポートモード選択ビット		○	○
RTP6	P120～P123リアルタイムポートモード選択ビット		○	○
RTP7	P124～P127リアルタイムポートモード選択ビット		○	○

注1.　対応するポート方向レジスタの設定値は無効です。

図1.14.2. リアルタイムポート制御レジスタの構成

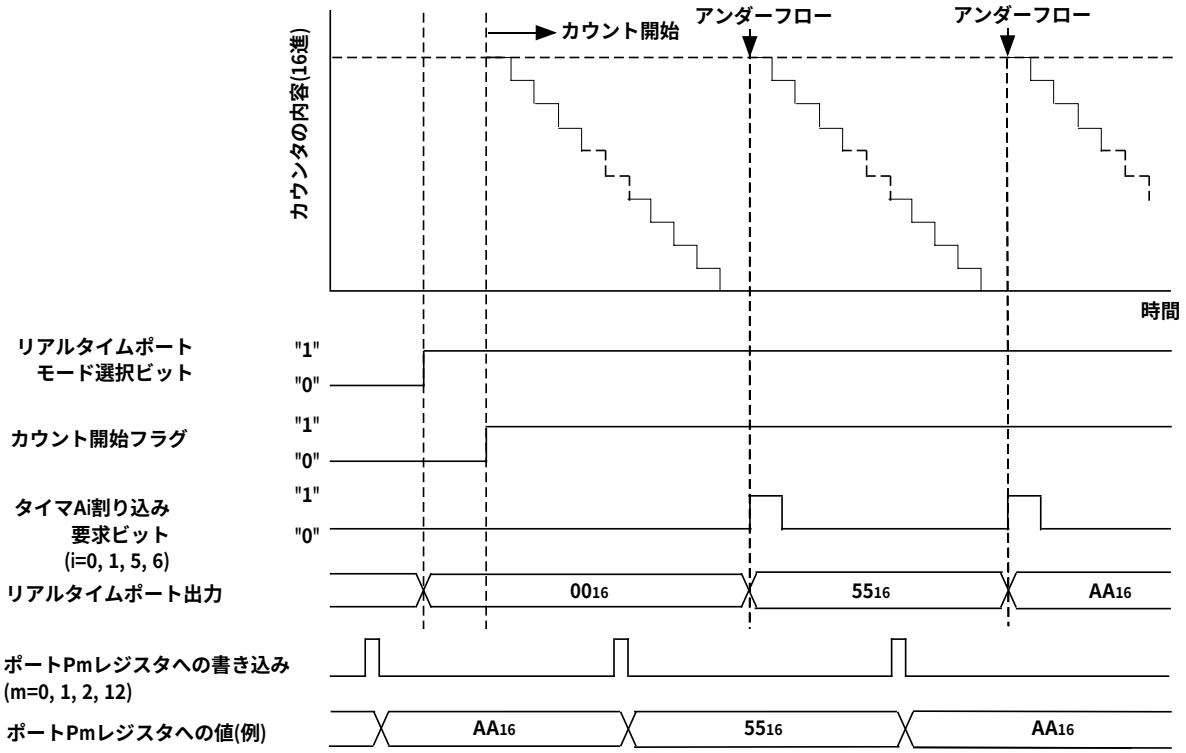


図1.14.3. リアルタイムポート出力動作タイミング図

シリアルI/O

シリアルI/Oは、UART0、UART1、UART2の3チャネルで構成しています。
次にそれぞれについて説明します。

UART0～2

UART0～UART2はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。
図1.15.1にUARTi(i=0～2)のブロック図を、図1.15.2、図1.15.3に送受信部のブロック図を示します。
UARTi(i=0～2)は、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。クロック同期形シリアルI/Oとして使用するか、クロック非同期形シリアルI/Oとして使用するかは、シリアルI/Oモード選択ビット($03A0_{16}$、$03A8_{16}$、0378_{16}番地のビット0～ビット2)の内容で選択します。
UART0～UART2は、一部の機能が異なることを除いてほぼ同一の機能を持ちます。特に、UART2は、クロック非同期形シリアルI/Oモードに一部設定を追加することでSIMインタフェース(注1)に対応します。また、TxD端子とRxD端子のレベルが異なれば割り込み要求が発生するバス衝突検出機能を持っています。
注1.　SIM：Subscriber Identity Module

表1.15.1にUART0～UART2の機能比較を、図1.15.4～図1.15.8に、UARTi関連のレジスタを示します。

表1.15.1.　UART0～UART2の機能比較

機　　能	UART0	UART1	UART2
CLK極性選択	可　(注1)	可　(注1)	可　(注1)
LSBファースト/MSBファースト選択	可　(注1)	可　(注1)	可　(注2)
連続受信モード選択	可　(注1)	可　(注1)	可　(注1)
転送クロック複数端子出力選択	不可	可　(注1)	不可
シリアルデータ論理切り替え	不可	不可	可　(注4)
スリープモード選択	可　(注3)	可　(注3)	不可
TxD、RxD入出力極性切り替え	不可	不可	可
TxD、RxD端子出力形式	CMOS出力	CMOS出力	Nﾁｬﾈﾙｵｰﾌﾟﾝﾄﾞﾚｲﾝ出力
パリティエラー信号出力	不可	不可	可　(注4)
バス衝突検出	不可	不可	可

注1.　クロック同期形シリアルI/Oモード時に選択できます。
注2.　クロック同期形シリアルI/Oモードおよび8ビットUARTモード時に選択できます。
注3.　UARTモード時に選択できます。
注4.　SIMインタフェース対応。

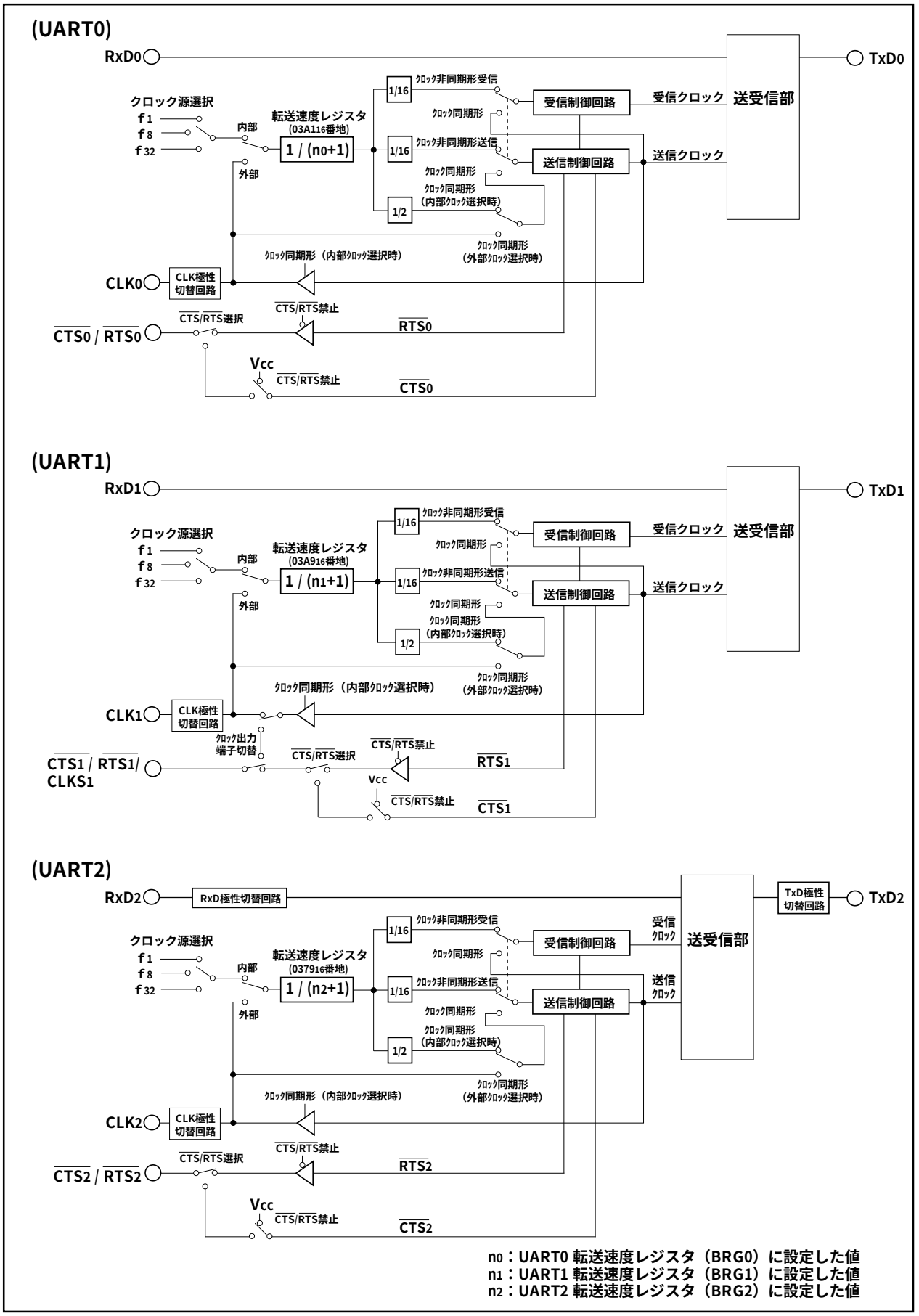


図1.15.1. UARTi(i=0～2)ブロック図

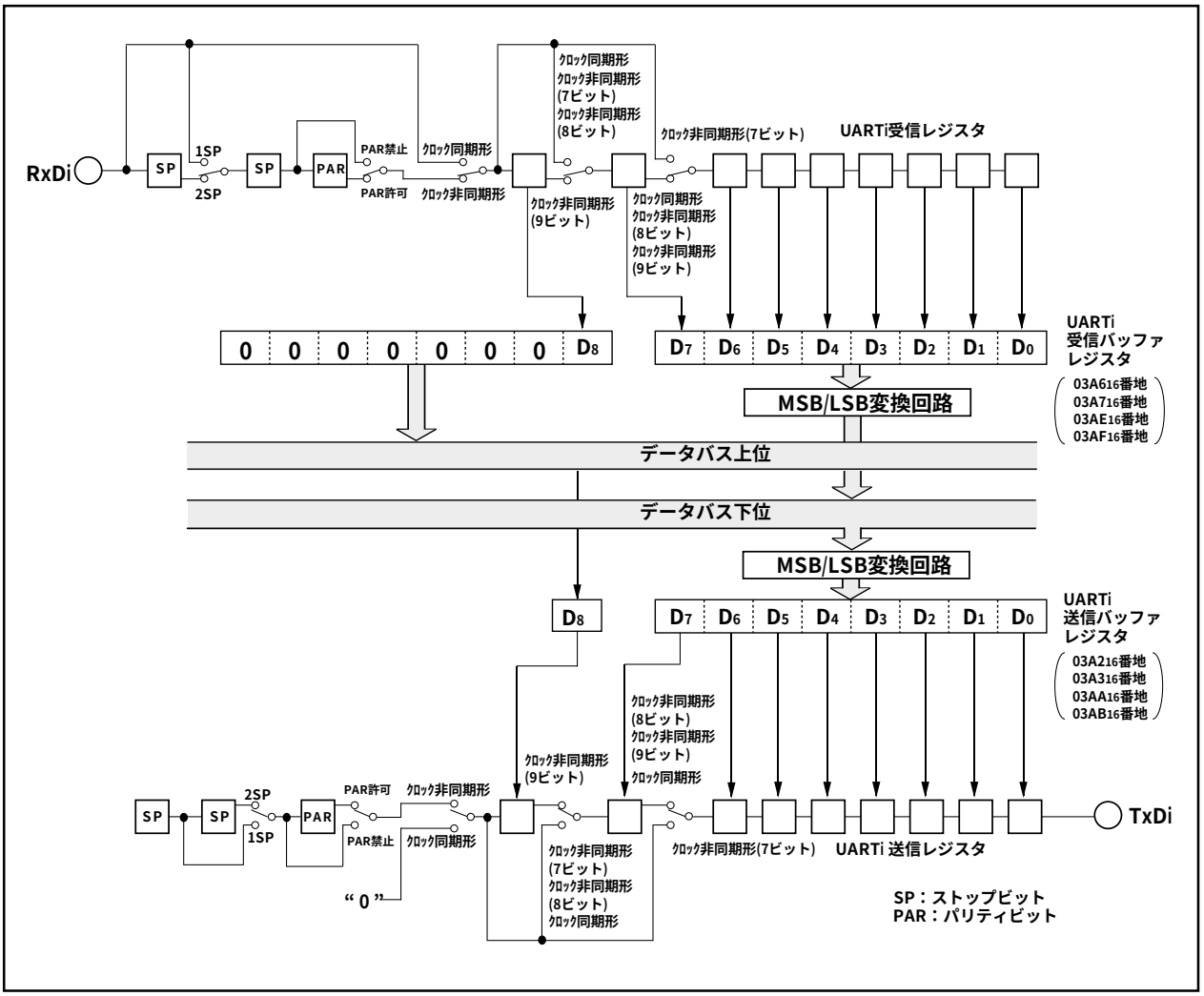


図1.15.2. UARTi(i=0,1)送受信部ブロック図

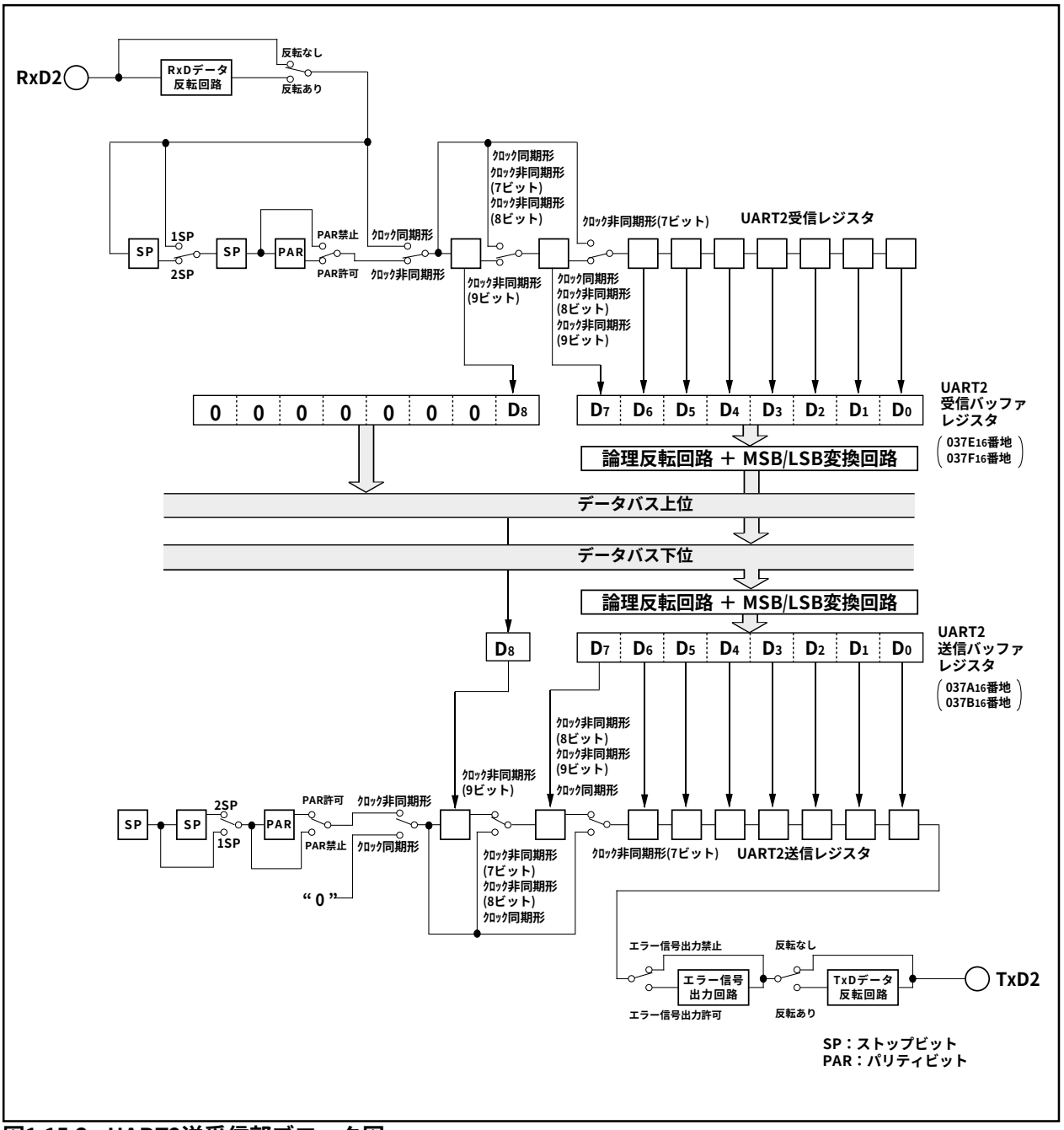
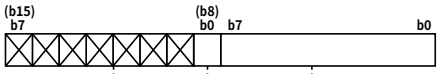


図1.15.3. UART2送受信部ブロック図

UARTi送信バッファレジスタ(注1)

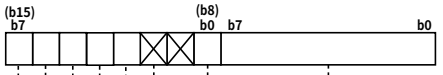


シンボル	アドレス	リセット時
U0TB	$03A3_{16}$、$03A2_{16}$番地	不定
U1TB	$03AB_{16}$、$03AA_{16}$番地	不定
U2TB	$037B_{16}$、$037A_{16}$番地	不定

機　　能	R	W
送信データ	×	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。	—	—

注1.　このレジスタへの書き込みにはMOV命令を使用してください。

UARTi受信バッファレジスタ



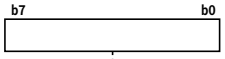
シンボル	アドレス	リセット時
U0RB	$03A7_{16}$、$03A6_{16}$番地	不定
U1RB	$03AF_{16}$、$03AE_{16}$番地	不定
U2RB	$037F_{16}$、$037E_{16}$番地	不定

ビットシンボル	ビット名	機能(ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能(ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
—	———	受信データ	受信データ	○	×
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				—	—
ABT	アービトレーション ロスト検出フラグ(注2)	0：未検出（勝） 1：検出（負）	無効	○	○
OER	オーバランエラーフラグ(注1)	0：オーバランエラーなし 1：オーバランエラー発生	0：オーバランエラーなし 1：オーバランエラー発生	○	×
FER	フレーミングエラー フラグ(注1)	無効	0：フレーミングエラーなし 1：フレーミングエラー発生	○	×
PER	パリティエラーフラグ (注1)	無効	0：パリティエラーなし 1：パリティエラー発生	○	×
SUM	エラーサムフラグ (注1)	無効	0：エラーなし 1：エラー発生	○	×

注1.　ビット15～ビット12は、シリアルI/Oモード選択ビット($03A0_{16}$、$03A8_{16}$、0378_{16}番地のビット2～ビット0)を“000_2”にしたとき、または受信許可ビットを“0”にしたとき、“0”になります(ビット15は、ビット14～ビット12がすべて“0”になると、“0”になります)。また、ビット14、ビット13は、UARTi受信バッファレジスタの下位バイト($03A6_{16}$、$03AE_{16}$、$037E_{16}$番地)を読み出したときも、“0”になります。

注2.　アービトレーションロスト検出フラグはU2RBに配置されており、“0”のみ書き込みできます。U0RB、U1RBではビット11は何も配置されていませんが、書き込む場合、“0”を書き込んでください。また、読み出した場合は“0”です。

UARTi転送速度レジスタ(注1、注2)



シンボル	アドレス	リセット時
U0BRG	$03A1_{16}$番地	不定
U1BRG	$03A9_{16}$番地	不定
U2BRG	0379_{16}番地	不定

機　　能	設定可能値	R	W
設定値を nとすると、BRGiはカウントソースをn+1分周する	00_{16}～FF_{16}	×	○

注1.　値を書き込む場合は送受信停止中に書き込んでください。
注2.　このレジスタへの書き込みにはMOV命令を使用してください。

図1.15.4.　UARTi関連のレジスタ (1)

UARTi 送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
UiMR(i=0,1)	$03A0_{16}$,$03A8_{16}$番地	00_{16}

ビットシンボル	ビット名	機能(ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能(ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 を設定してください 0 0 0 : シリアルI/Oは無効 0 1 0 : 選択禁止 0 1 1 : 選択禁止 1 1 1 : 選択禁止	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット 0 0 0 : シリアルI/Oは無効 0 1 0 : 選択禁止 0 1 1 : 選択禁止 1 1 1 : 選択禁止	○	○
SMD1				○	○
SMD2				○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注1)	0 : 内部クロック 1 : 外部クロック(注1)	○	○
STPS	ストップビット長選択ビット	無効	0 : 1ストップビット 1 : 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	無効	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	○	○
PRYE	パリティ許可ビット	無効	0 : パリティ禁止 1 : パリティ許可	○	○
SLEP	スリープ選択ビット	“0”を設定してください。	0 : スリープモード解除 1 : スリープモード選択	○	○

注1. 対応するポート方向レジスタは“0”にしてください。

UART2送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
U2MR	0378_{16}番地	00_{16}

ビットシンボル	ビット名	機能(ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能(ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 を設定してください 0 0 0 : シリアルI/Oは無効 0 1 0 : (注1) 0 1 1 : 選択禁止 1 1 1 : 選択禁止	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット 0 0 0 : シリアルI/Oは無効 0 1 0 : 選択禁止 0 1 1 : 選択禁止 1 1 1 : 選択禁止	○	○
SMD1				○	○
SMD2				○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注2)	“0”を設定してください。	○	○
STPS	ストップビット長選択ビット	無効	0 : 1ストップビット 1 : 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	無効	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	○	○
PRYE	パリティ許可ビット	無効	0 : パリティ禁止 1 : パリティ許可	○	○
IOPOL	TxD,RxD入出力極性切り替えビット	0 : 反転なし 1 : 反転あり 通常は“0”に設定してください	0 : 反転なし 1 : 反転あり 通常は“0”に設定してください	○	○

注1. IICモード使用時、ビット2～ビット0は“010_2”を設定してください。
注2. 対応するポート方向レジスタは“0”にしてください。

図1.15.5. UARTi関連のレジスタ (2)

UARTi 送受信制御レジスタ0

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
UiC0(i=0,1)	03A4$_{16}$,03AC$_{16}$番地	08$_{16}$

ビットシンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R	W
CLK0	BRGカウントソース選択ビット	b1 b0 0 0 : f_1を選択 0 1 : f_8を選択 1 0 : f_{32}を選択 1 1 : 選択禁止	b1 b0 0 0 : f_1を選択 0 1 : f_8を選択 1 0 : f_{32}を選択 1 1 : 選択禁止	○	○
CLK1				○	○
CRS	$\overline{CTS}$/$\overline{RTS}$機能選択ビット	ビット4が“0”のとき有効、 0 : $\overline{CTS}$機能を選択(注1) 1 : $\overline{RTS}$機能を選択(注2)	ビット4が“0”のとき有効、 0 : $\overline{CTS}$機能を選択(注1) 1 : $\overline{RTS}$機能を選択(注2)	○	○
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	○	×
CRD	$\overline{CTS}$/$\overline{RTS}$禁止ビット	0 : $\overline{CTS}$/$\overline{RTS}$機能許可 1 : CTS/RTS機能禁止 （P60,P64はプログラマブル入出力ポートとして機能）	0 : $\overline{CTS}$/$\overline{RTS}$機能許可 1 : CTS/RTS機能禁止 （P60,P64はプログラマブル入出力ポートとして機能）	○	○
NCH	データ出力選択ビット	0 : TxDi端子はCMOS出力 1 : TxDi端子はNチャネルオープンドレイン出力	0 : TxDi端子はCMOS出力 1 : TxDi端子はNチャネルオープンドレイン出力	○	○
CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信 データ出力、立ち下がりで受信データ入力	“0”を設定してください。	○	○
UFORM	転送フォーマット選択ビット	0 : LSBファースト 1 : MSBファースト	“0”を設定してください。	○	○

注1. 対応するポート方向レジスタは“0”にしてください。
注2. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。

UART2 送受信制御レジスタ0

b7	b6	b5	b4	b3	b2	b1	b0
		╳					

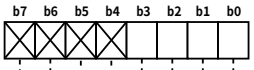
シンボル	アドレス	リセット時
U2C0	037C$_{16}$番地	08$_{16}$

ビットシンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R	W
CLK0	BRGカウントソース選択ビット	b1 b0 0 0 : f_1を選択 0 1 : f_8を選択 1 0 : f_{32}を選択 1 1 : 選択禁止	b1 b0 0 0 : f_1を選択 0 1 : f_8を選択 1 0 : f_{32}を選択 1 1 : 選択禁止	○	○
CLK1				○	○
CRS	$\overline{CTS}$/$\overline{RTS}$機能選択ビット	ビット4が“0”のとき有効、 0 : $\overline{CTS}$機能を選択(注1) 1 : $\overline{RTS}$機能を選択(注2)	ビット4が“0”のとき有効、 0 : $\overline{CTS}$機能を選択(注1) 1 : $\overline{RTS}$機能を選択(注2)	○	○
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	○	×
CRD	$\overline{CTS}$/$\overline{RTS}$禁止ビット	0 : $\overline{CTS}$/$\overline{RTS}$機能許可 1 : CTS/RTS機能禁止 （P73はプログラマブル入出力ポートとして機能）	0 : $\overline{CTS}$/$\overline{RTS}$機能許可 1 : CTS/RTS機能禁止 （P73はプログラマブル入出力ポートとして機能）	○	○
	何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—
CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信 データ出力、立ち下がりで受信データ入力	“0”を設定してください。	○	○
UFORM	転送フォーマット選択ビット(注3)	0 : LSBファースト 1 : MSBファースト	0：LSBファースト 1：MSBファースト	○	○

注1. 対応するポート方向レジスタは“0”にしてください。
注2. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
注3. クロック同期形シリアルI/Oモードおよび8ビットUARTモード時だけ有効です。

図1.15.6. UARTi関連のレジスタ (3)

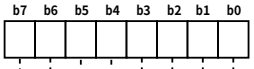
UARTi 送受信制御レジスタ1



シンボル	アドレス	リセット時
UiC1(i=0,1)	$03A5_{16}$,$03AD_{16}$番地	02_{16}

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	0 : 送信禁止 1 : 送信許可	○	○
TI	送信バッファ空フラグ	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	○	×
RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	0 : 受信禁止 1 : 受信許可	○	○
RI	受信完了フラグ	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	○	×
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				—	—

UART2送受信制御レジスタ1



シンボル	アドレス	リセット時
U2C1	$037D_{16}$番地	02_{16}

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	0 : 送信禁止 1 : 送信許可	○	○
TI	送信バッファ空フラグ	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	○	×
RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	0 : 受信禁止 1 : 受信許可	○	○
RI	受信完了フラグ	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	○	×
U2IRS	UART2送信割り込み要因選択ビット	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	○	○
U2RRM	UART2連続受信モード許可ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可	“0”を設定してください。	○	○
U2LCH	データ論理選択ビット	0 : 反転なし 1 : 反転あり	0 : 反転なし 1 : 反転あり	○	○
U2ERE	エラー信号出力許可ビット	“0”を設定してください。	0 : 出力しない 1 : 出力する	○	○

図1.15.7. UARTi関連のレジスタ (4)

UART送受信制御レジスタ2

b7	b6	b5	b4	b3	b2	b1	b0
X	0						

シンボル	アドレス	リセット時
UCON	$03B0_{16}$番地	$X0000000_2$

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
U0IRS	UART0送信割り込み要因選択ビット	0：送信バッファ空 (TI=1) 1：送信完了(TXEPT=1)	0：送信バッファ空 (TI=1) 1：送信完了(TXEPT=1)	○	○
U1IRS	UART1送信割り込み要因選択ビット	0：送信バッファ空 (TI=1) 1：送信完了(TXEPT=1)	0：送信バッファ空 (TI=1) 1：送信完了(TXEPT=1)	○	○
U0RRM	UART0連続受信モード許可ビット	0：連続受信モード禁止 1：連続受信モード許可	“0”を設定してください。	○	○
U1RRM	UART1連続受信モード許可ビット	0：連続受信モード禁止 1：連続受信モード許可	“0”を設定してください。	○	○
CLKMD0	CLK,CLKS選択ビット0	ビット5が“1”のとき有効 0：CLK1にクロックを出力 1：CLKS1にクロックを出力	無効	○	○
CLKMD1	CLK,CLKS選択ビット1 (注1)	0：通常モード (CLK出力はCLK1のみ) 1：転送クロック複数端子出力機能選択	“0”を設定してください。	○	○
予約ビット		必ず“0”を設定してください。		—	○
何も配置されていない。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。				—	—

注1. 複数の転送クロック出力端子を使用するときは、以下に示す条件を満たしてください。
・UART1 内/外部クロック選択ビット($03A8_{16}$番地のビット3)=“0”

UART2特殊モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0							

シンボル	アドレス	リセット時
U2SMR	0377_{16}番地	00_{16}

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
IICM	IICモード選択ビット	0：通常モード 1：IICモード	“0”を設定してください。	○	○
ABC	アービトレーションロスト検出フラグ制御	0：ビット毎に更新 1：バイト毎に更新	“0”を設定してください。	○	○
BBS	バスビジーフラグ	0：ストップコンディション検出 1：スタートコンディション検出	“0”を設定してください。	○	○ (注1)
LSYN	SCLL同期出力許可ビット	0：禁止 1：許可	“0”を設定してください。	○	○
ABSCS	バス衝突検出サンプリングクロック選択ビット	“0”を設定してください。	0：転送クロックの立ち上がり 1：タイマA0のアンダフロー信号	○	○
ACSE	送信許可ビット自動クリア機能選択ビット	“0”を設定してください。	0：自動クリア機能なし 1：バス衝突発生時自動クリア	○	○
SSS	送信開始条件選択ビット	“0”を設定してください。	0：通常 1：RxD2の立ち下がり	○	○
予約ビット		必ず“0”を設定してください。		—	○

注1. “0”だけ書き込み可。

図1.15.8. UARTi関連のレジスタ (5)

(1) クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表1.15.2、表1.15.3にクロック同期形シリアルI/Oモードの仕様を、図1.15.9にUARTi送受信モードレジスタの構成を示します。

表1.15.2. クロック同期形シリアルI/Oモードの仕様(1)

項　　目	仕　　様
転送データフォーマット	●転送データ長　8ビット
転送クロック	●内部クロック選択時(03A0$_{16}$、03A8$_{16}$、0378$_{16}$番地のビット3=“0”)：fi/2(n+1) (注1)　fi=f1,f8,f32 ●外部クロック選択時(03A0$_{16}$、03A8$_{16}$、0378$_{16}$番地のビット3=“1”)：CLKi端子からの入力
送信制御/受信制御	●$\overline{\text{CTS}}$機能/RTS機能/$\overline{\text{CTS}}$,RTS機能無効 選択
送信開始条件	●送信開始には、以下の条件が必要です。 ・送信許可ビット(03A5$_{16}$、03AD$_{16}$、037D$_{16}$番地のビット0)=“1” ・送信バッファ空フラグ(03A5$_{16}$、03AD$_{16}$、037D$_{16}$番地のビット1)=“0” ・$\overline{\text{CTS}}$機能選択時、$\overline{\text{CTS}}$端子の入力が“L”レベル ●更に、外部クロック選択時には次の条件も必要です。 ・CLKi極性選択ビット(03A4$_{16}$、03AC$_{16}$、037C$_{16}$番地のビット6)=“0”：CLKi端子の入力が“H” ・CLKi極性選択ビット(03A4$_{16}$、03AC$_{16}$、037C$_{16}$番地のビット6)=“1”：CLKi端子の入力が“L”
受信開始条件	●受信開始には、以下の条件が必要です。 ・受信許可ビット(03A5$_{16}$、03AD$_{16}$、037D$_{16}$番地のビット2)=“1” ・送信許可ビット(03A5$_{16}$、03AD$_{16}$、037D$_{16}$番地のビット0)=“1” ・送信バッファ空フラグ(03A5$_{16}$、03AD$_{16}$、037D$_{16}$番地のビット1)=“0” ●更に、外部クロック選択時には次の条件も必要です。 ・CLKi極性選択ビット(03A4$_{16}$、03AC$_{16}$、037C$_{16}$番地のビット6)=“0”：CLKi端子の入力が“H” ・CLKi極性選択ビット(03A4$_{16}$、03AC$_{16}$、037C$_{16}$番地のビット6)=“1”：CLKi端子の入力が“L”
割り込み要求発生タイミング	●送信時 ・送信割り込み要因選択ビット(03B0$_{16}$番地のビット0、1、037D$_{16}$番地のビット4)=“0”： UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 ・送信割り込み要因選択ビット(03B0$_{16}$番地のビット0、1、037D$_{16}$番地のビット4)=“1”： UARTi送信レジスタからデータ送信完了時 ●受信時 ・UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時
エラー検出	●オーバランエラー(注2) UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生

注1.　nはUART転送速度レジスタに設定した00$_{16}$～FF$_{16}$の値です。

注2.　オーバランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは変化しません。

表1.15.3. クロック同期形シリアルI/Oモードの仕様(2)

項　　目	仕　　様
選択機能	●CLK極性選択 送信データ出力/入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可 ●LSBファースト/MSBファースト 選択 ビット0から送信/受信するか、またはビット7から送信/受信するかを選択可 ●連続受信モード選択 受信バッファレジスタを読み出す動作により、同時に受信許可状態になる。 ●転送クロック複数端子出力選択(UART1) UART1の転送クロック端子を2本設定し、ソフトウエアによって出力端子を選択可 ●シリアルデータ論理切り替え(UART2) 送信バッファレジスタへの書き込み、受信バッファレジスタからの読み出しの際、データを反転させるか選択可 ●TxD、RxD入出力極性切り替え(UART2) TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて反転します。

UARTi送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0					0	0	1

シンボル	アドレス	リセット時
UiMR(i=0,1)	$03A0_{16}$,$03A8_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 : クロック同期形シリアルI/Oモード	○	○
SMD1			○	○
SMD2			○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注1)	○	○
STPS	クロック同期形シリアルI/Oモードでは無効		○	○
PRY			○	○
PRYE			○	○
SLEP	0 : クロック同期形シリアルI/Oモードでは“0”を設定してください。		○	○

注1．対応するポート方向レジスタは“0”にしてください。

UART2送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0					0	0	1

シンボル	アドレス	リセット時
U2MR	0378_{16}	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 : クロック同期形シリアルI/Oモード	○	○
SMD1			○	○
SMD2			○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注2)	○	○
STPS	クロック同期形シリアルI/Oモードでは無効		○	○
PRY			○	○
PRYE			○	○
IOPOL	TxD,RxD入出力極性切り替えビット(注1)	0 : 反転なし 1 : 反転あり	○	○

注1．通常“0”にしてください。
注2．対応するポート方向レジスタは“0”にしてください。

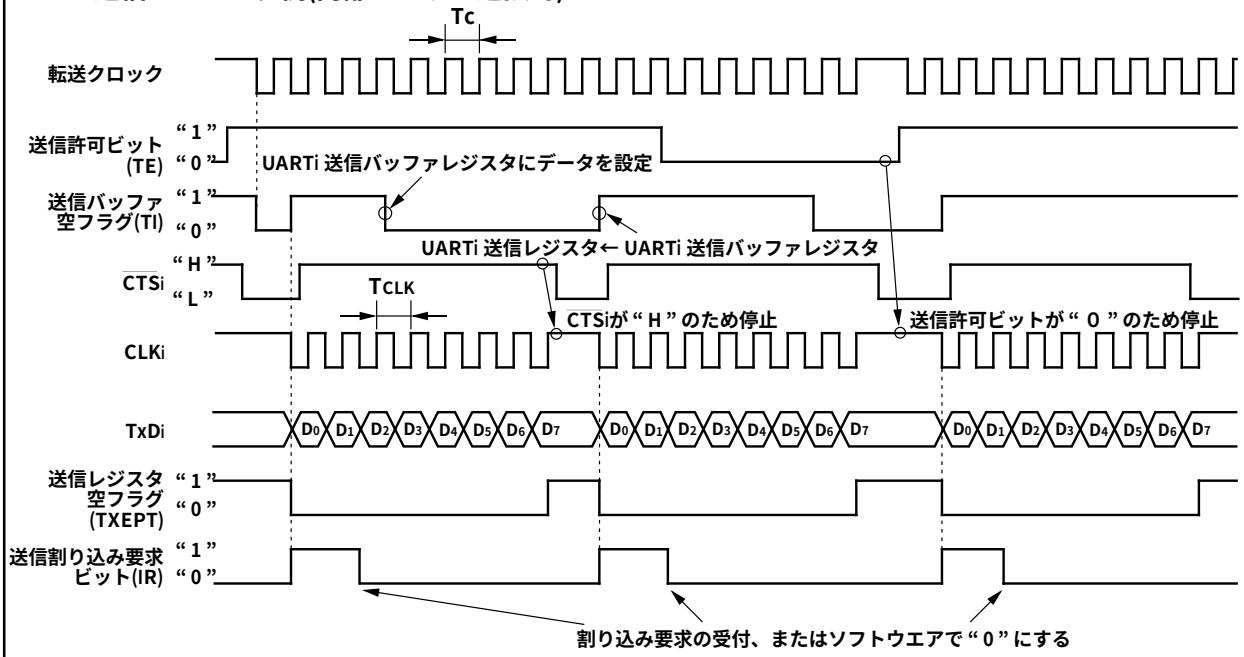
図1.15.9. クロック同期形シリアルI/Oモード時のUARTi送受信モードレジスタの構成

表1.15.4に、クロック同期形シリアルI/Oモード時の入出力端子の機能を示します。これは、転送クロック複数端子出力選択機能は非選択時です。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャネルオープンドレイン出力選択時はフローティング状態)。

表1.15.4. クロック同期形シリアルI/Oモード時の入出力端子の機能
(転送クロック複数端子出力機能非選択時)

端子名	機　　能	選択方法
TxDi ($P6_3$、$P6_7$、$P7_0$)	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RxDi ($P6_2$、$P6_6$、$P7_1$)	シリアルデータ入力	ポート$P6_2$、$P6_6$、$P7_1$の方向レジスタ($03EE_{16}$番地のビット2、ビット6、$03EF_{16}$番地のビット1)=“0”(送信だけを行うときは入力ポートとして使用可)
CLKi ($P6_1$、$P6_5$、$P7_2$)	転送クロック出力	内/外部クロック選択ビット($03A0_{16}$、$03A8_{16}$、0378_{16}番地のビット3)=“0”
	転送クロック入力	内/外部クロック選択ビット($03A0_{16}$、$03A8_{16}$、0378_{16}番地のビット3)=“1” ポート$P6_1$、$P6_5$、$P7_2$の方向レジスタ($03EE_{16}$番地のビット1、ビット5、$03EF_{16}$番地のビット2)=“0”
$\overline{CTS}$i/$\overline{RTS}$i ($P6_0$、$P6_4$、$P7_3$)	$\overline{CTS}$入力	$\overline{CTS}$/$\overline{RTS}$禁止ビット($03A4_{16}$、$03AC_{16}$、$037C_{16}$番地のビット4)=“0” $\overline{CTS}$/$\overline{RTS}$機能選択ビット($03A4_{16}$、$03AC_{16}$、$037C_{16}$番地のビット2)=“0” ポート$P6_0$、$P6_4$、$P7_3$の方向レジスタ($03EE_{16}$番地のビット0、ビット4、$03EF_{16}$番地のビット3)=“0”
	$\overline{RTS}$出力	$\overline{CTS}$/$\overline{RTS}$禁止ビット($03A4_{16}$、$03AC_{16}$、$037C_{16}$番地のビット4)=“0” $\overline{CTS}$/$\overline{RTS}$機能選択ビット($03A4_{16}$、$03AC_{16}$、$037C_{16}$番地のビット2)=“1”
	プログラマブル入出力ポート	$\overline{CTS}$/$\overline{RTS}$禁止ビット($03A4_{16}$、$03AC_{16}$、$037C_{16}$番地のビット4)=“1”

●送信タイミング例(内部クロック選択時)

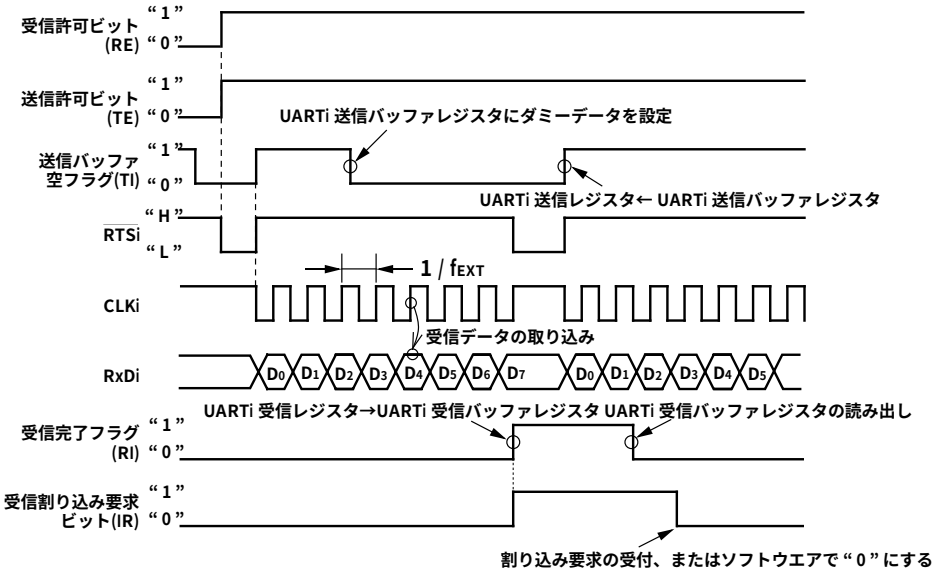


( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●内部クロック選択
- ●CTS機能選択
- ●CLK極性選択ビット =“0”
- ●送信割り込み要因選択ビット =“0”

$T_C = T_{CLK} = 2(n+1) / f_i$
fi：BRGiのカウントソースの周波数(f1, f8, f32)
n：BRGiに設定した値

●受信タイミング例(外部クロック選択時)



( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●外部クロック選択
- ●RTS 機能選択
- ●CLK極性選択ビット =“0”

fEXT：外部クロックの周波数

データ受信前のCLKi端子の入力が“H”レベルのときに、以下の条件が揃うようにしてください。
- ●送信許可ビット→“1”
- ●受信許可ビット→“1”
- ●UARTi送信バッファレジスタへのダミーデータの書き込み

図1.15.10. クロック同期形シリアルI/Oモード時の送信／受信タイミング例

■極性選択機能

図1.15.11に示すように、CLK極性選択ビット(03A4$_{16}$、03AC$_{16}$、037C$_{16}$番地のビット6)によって転送クロックの極性を選択できます。

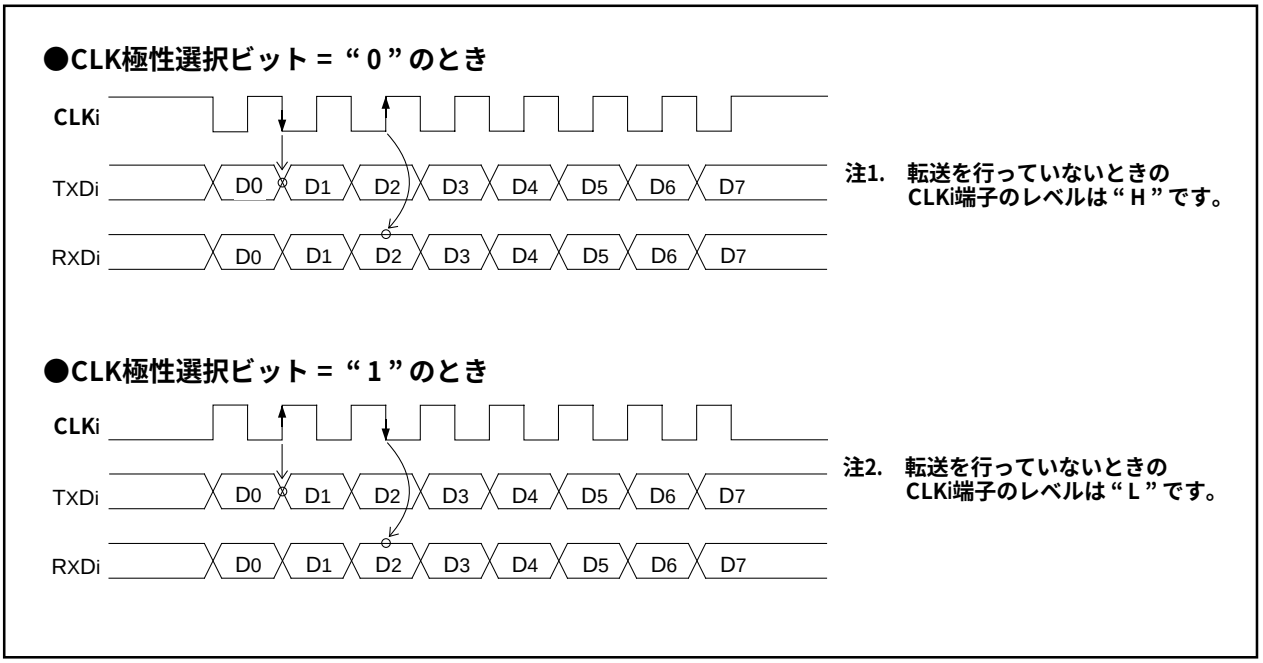


図1.15.11. 転送クロックの極性

■LSBファースト/MSBファースト選択機能

図1.15.12に示すように、転送フォーマット選択ビット(03A4$_{16}$、03AC$_{16}$、037C$_{16}$番地のビット7)の内容が “ 0 ” のとき転送フォーマットはLSBファースト、“ 1 ” のとき転送フォーマットはMSBファーストになります。

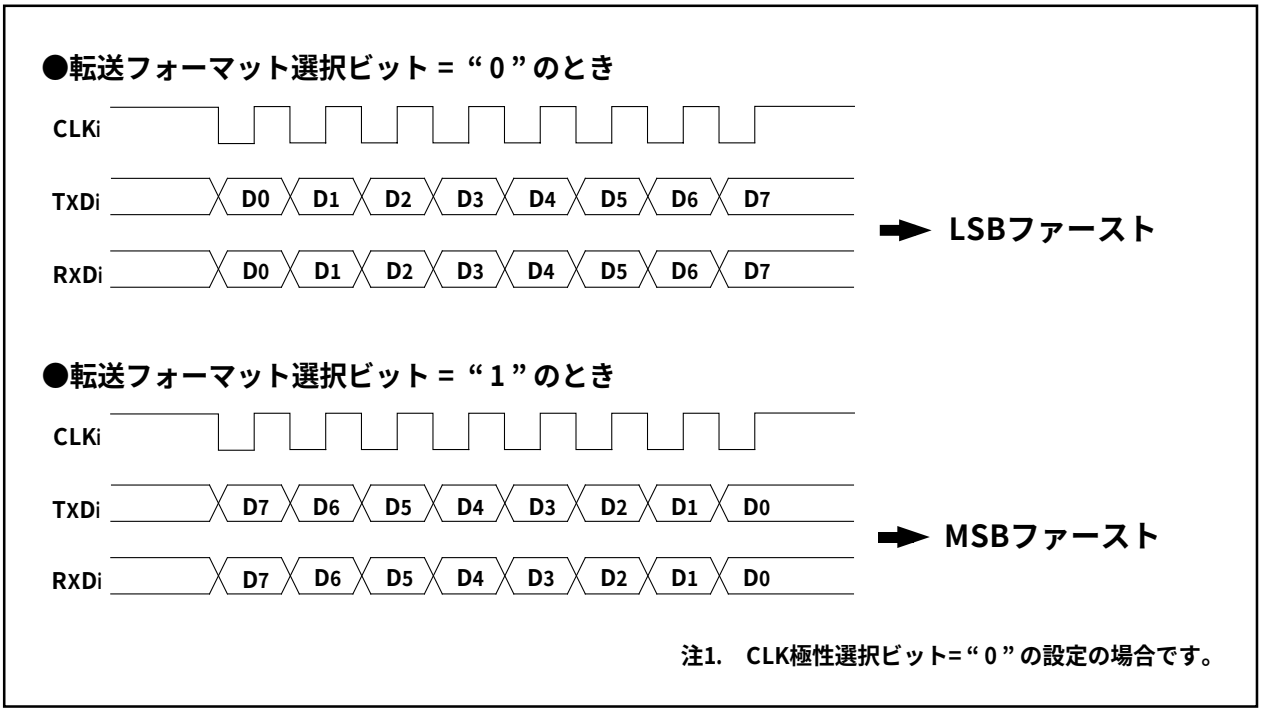
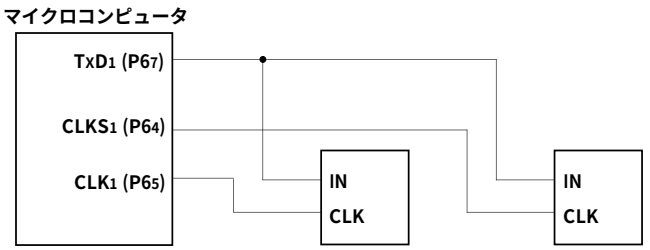


図1.15.12. 転送フォーマット

■転送クロック複数端子出力機能(UART1)

転送クロック出力端子を2本設定し、CLK、CLKS選択ビット(03B0$_{16}$番地のビット4、ビット5)の切り替えによって1本を選択し、クロックを出力します(図1.15.13)。この機能は、UART1で内部クロック選択時だけ有効な機能です。なお、本機能選択時にUART1の$\overline{CTS}$/$\overline{RTS}$機能は使用できません。



注1. クロック同期形シリアルI/Oモード時で、内部クロックを選択し、送信だけを行う場合

図1.15.13. 転送クロック複数端子出力機能の使用例

■連続受信モード

連続受信モード許可ビット(03B0$_{16}$番地のビット2、ビット3、037D$_{16}$番地のビット5)を“1”に設定することによって、連続受信モードになります。連続受信モードでは、送信バッファレジスタにダミーデータを再設定する必要がなく、受信バッファレジスタを読み出すことで受信許可状態になります。

■シリアルデータ論理切り替え機能(UART2)

データ論理選択ビット(037D$_{16}$番地のビット6)の内容が“1”のとき、送信バッファレジスタへの書き込み、および受信バッファレジスタからの読み出しの際、データを反転させます。図1.15.14にシリアルデータ論理切り替えのタイミング例を示します。

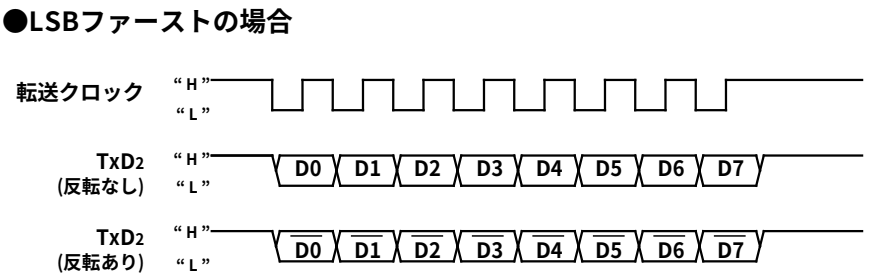


図1.15.14. シリアルデータ論理切り替えのタイミング例

(2) クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表1.15.5、表1.15.6にクロック非同期形シリアルI/Oモードの仕様を、図1.15.15にUARTi送受信モードレジスタの構成を示します。

表1.15.5. クロック非同期形シリアルI/Oモードの仕様(1)

項　目	仕　様
転送データフォーマット	●キャラクタビット(転送データ)　7ビット/8ビット/9ビット 選択可 ●スタートビット　1ビット ●パリティビット　奇数/偶数/無 選択可 ●ストップビット　1ビット/2ビット 選択可
転送クロック	●内部クロック選択時($03A0_{16}$、$03A8_{16}$、0378_{16}番地のビット3=“0”)：fi/16(n+1) (注1)　fi=f1,f8,f32 ●外部クロック選択時($03A0_{16}$、$03A8_{16}$番地のビット3=“1”)： f_{EXT}/16(n+1) (注1)(注2) (UART2は外部クロックを使用しないでください)
送信制御/受信制御	●$\overline{CTS}$機能/$\overline{RTS}$機能/$\overline{CTS}$,$\overline{RTS}$機能無効 選択
送信開始条件	●送信開始には、以下の条件が必要です。 ・送信許可ビット($03A5_{16}$、$03AD_{16}$、$037D_{16}$番地のビット0)=“1” ・送信バッファ空フラグ($03A5_{16}$、$03AD_{16}$、$037D_{16}$番地のビット1)=“0” ・$\overline{CTS}$機能選択時、$\overline{CTS}$端子の入力が“L”レベル
受信開始条件	●受信開始には、以下の条件が必要です。 ・受信許可ビット($03A5_{16}$、$03AD_{16}$、$037D_{16}$番地のビット2)=“1” ・スタートビットの検出
割り込み要求発生タイミング	●送信時 ・送信割り込み要因選択ビット($03B0_{16}$番地のビット0、1、$037D_{16}$番地のビット4)=“0”： UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 ・送信割り込み要因選択ビット($03B0_{16}$番地のビット0、1、$037D_{16}$番地のビット4)=“1”： UARTi送信レジスタからデータ送信完了時 ●受信時 ・UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時
エラー検出	●オーバーランエラー(注3) UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生 ●フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 ●パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 ●エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になります

注1.　nはUART転送速度レジスタに設定した00_{16}～FF_{16}の値です。
注2.　f_{EXT}はCLKi端子からの入力です。
注3.　オーバランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは変化しません。

表1.15.6. クロック非同期形シリアルI/Oモードの仕様(2)

項　　目	仕　　様
選択機能	●スリープモード選択(UART0、UART1) 複数の従のマイクロコンピュータのうち、特定の1つと転送を行う場合に使用する ●シリアルデータ論理切り替え(UART2) 転送するデータの論理値を反転する機能です。スタートビット、およびストップビットは反転しません。 ●TxD、RxD入出力極性切り替え(UART2) TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて反転します。

UARTi送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
UiMR(i=0,1)	$03A0_{16}$,$03A8_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット	○	○
SMD1			○	○
SMD2			○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注1)	○	○
STPS	ストップビット長選択ビット	0 : 1ストップビット 1 : 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	○	○
PRYE	パリティ許可ビット	0 : パリティ禁止 1 : パリティ許可	○	○
SLEP	スリープ選択ビット	0 : スリープモード解除 1 : スリープモード選択	○	○

注1．対応するポート方向レジスタは“0”にしてください。

UART2送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
U2MR	0378_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット	○	○
SMD1			○	○
SMD2			○	○
CKDIR	内/外部クロック選択ビット	“0”を設定してください。	○	○
STPS	ストップビット長選択ビット	0 : 1ストップビット 1 : 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	○	○
PRYE	パリティ許可ビット	0 : パリティ禁止 1 : パリティ許可	○	○
IOPOL	TxD,RxD入出力極性 切り替えビット(注1)	0 : 反転なし 1 : 反転あり	○	○

注1.　通常“0”にしてください。

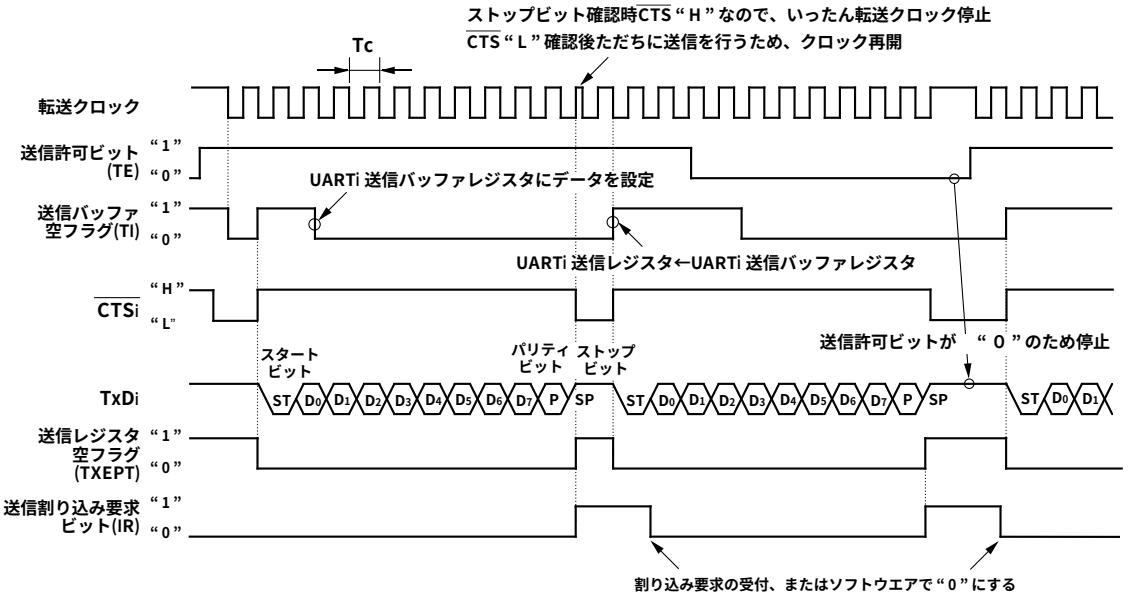
図1.15.15. UARTモード時のUARTi送受信モードレジスタの構成

表1.15.7に、クロック非同期形シリアルI/Oモード時の入出力端子の機能を示します。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャネルオープンドレイン出力選択時はフローティング状態)。

表1.15.7. クロック非同期形シリアルI/Oモード時の入出力端子の機能

端子名	機　　能	選択方法
TxDi (P63、P67、P70)	シリアルデータ出力	
RxDi (P62、P66、P71)	シリアルデータ入力	ポートP62、P66、P71の方向レジスタ(03EE16番地のビット2、ビット6、03EF16番地のビット1)=“0”(送信だけを行うときは入力ポートとして使用可)
CLKi (P61、P65、P72)	プログラマブル入出力	内/外部クロック選択ビット(03A016、03A816、037816番地のビット3)=“0”
	転送クロック入力	内/外部クロック選択ビット(03A016、03A816番地のビット3)=“1” ポートP61、P65の方向レジスタ(03EE16番地のビット1、ビット5)=“0” (UART2は外部クロックを使用しないでください)
$\overline{\text{CTS}}$i/$\overline{\text{RTS}}$i (P60、P64、P73)	$\overline{\text{CTS}}$入力	$\overline{\text{CTS}}$/$\overline{\text{RTS}}$禁止ビット(03A416、03AC16、037C16番地のビット4)=“0” $\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能選択ビット(03A416、03AC16、037C16番地のビット2)=“0” ポートP60、P64、P73の方向レジスタ(03EE16番地のビット0、ビット4、03EF16番地のビット3)=“0”
	$\overline{\text{RTS}}$出力	$\overline{\text{CTS}}$/$\overline{\text{RTS}}$禁止ビット(03A416、03AC16、037C16番地のビット4)=“0” $\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能選択ビット(03A416、03AC16、037C16番地のビット2)=“1”
	プログラマブル入出力ポート	$\overline{\text{CTS}}$/$\overline{\text{RTS}}$禁止ビット(03A416、03AC16、037C16番地のビット4)=“1”

●転送データ長8ビット時の送信タイミング例(パリティ許可、1ストップビット)

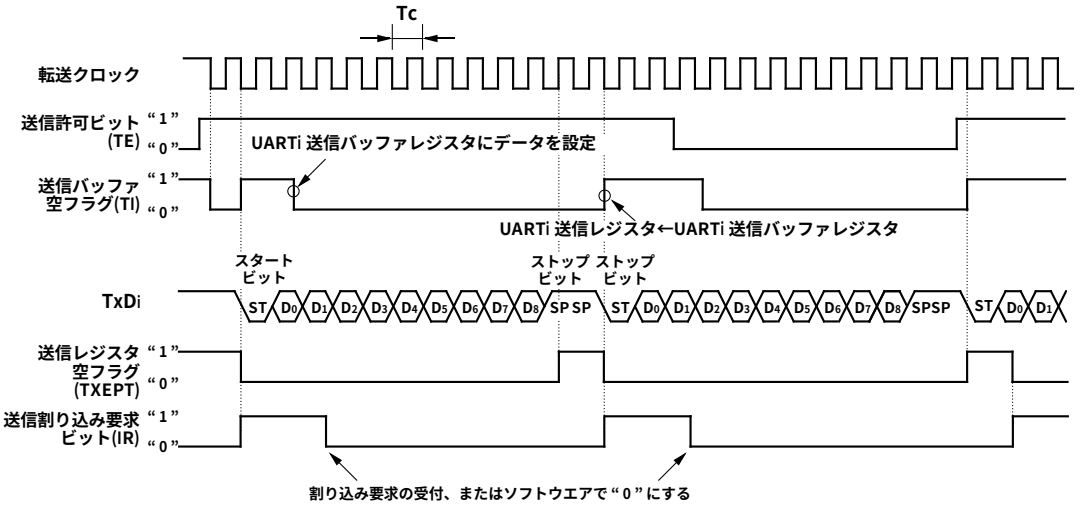


( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●パリティ許可
- ●1ストップビット
- ●CTS 機能選択
- ●送信割り込み要因選択ビット=“1”

Tc = 16(n+1) / fi または 16(n+1) / fEXT
fi：BRGiのカウントソースの周波数（f1,f8,f32）
fEXT：BRGiのカウントソースの周波数（外部クロック）
n：BRGiに設定した値

●転送データ長9ビット時の送信タイミング例(パリティ禁止、2ストップビット)



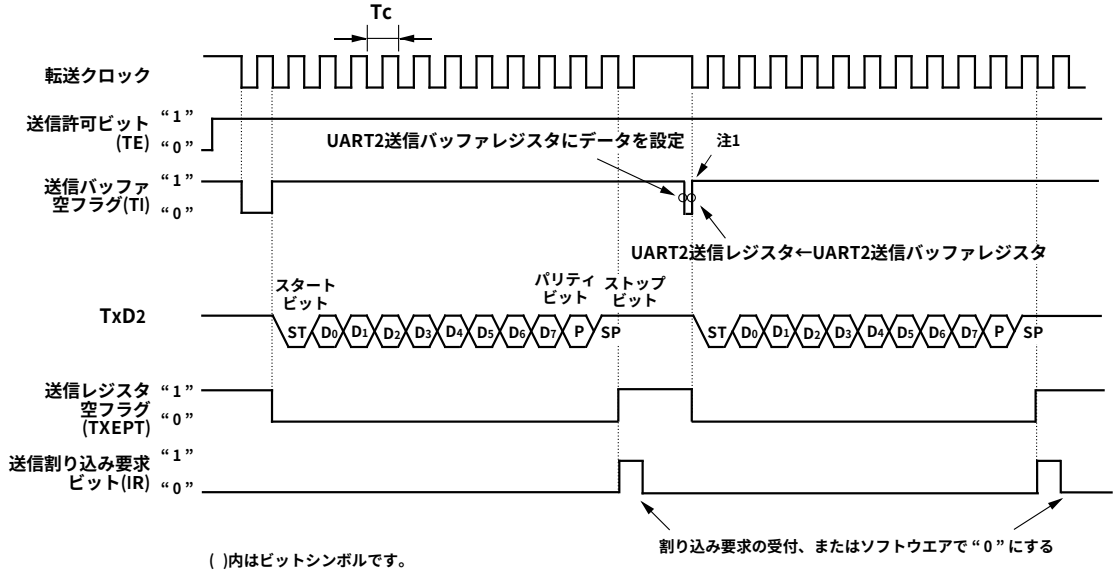
( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●パリティ禁止
- ●2ストップビット
- ●CTS 機能禁止
- ●送信割り込み要因選択ビット=“0”

Tc = 16(n+1) / fi または 16(n+1) / fEXT
fi：BRGiのカウントソースの周波数（f1,f8,f32）
fEXT：BRGiのカウントソースの周波数（外部クロック）
n：BRGiに設定した値

図1.15.16. UARTモード時の送信タイミング例(UART0、UART1)

●転送データ長8ビット時の送信タイミング例(パリティ許可、1ストップビット)



( )内はビットシンボルです。
上記タイミング図は次の設定条件の場合です。
●パリティ許可
●1ストップビット
●送信割り込み要因選択ビット=“1”

Tc = 16(n+1) / fi
fi：BRG2のカウントソースの周波数（f1,f8,f32）
n：BRG2に設定した値

注1．上記タイミングにおいて、送信バッファに値を書き込んだ後、BRGのオーバフロータイミングで送信が開始されます。

図1.15.17. UARTモード時の送信タイミング例(UART2)

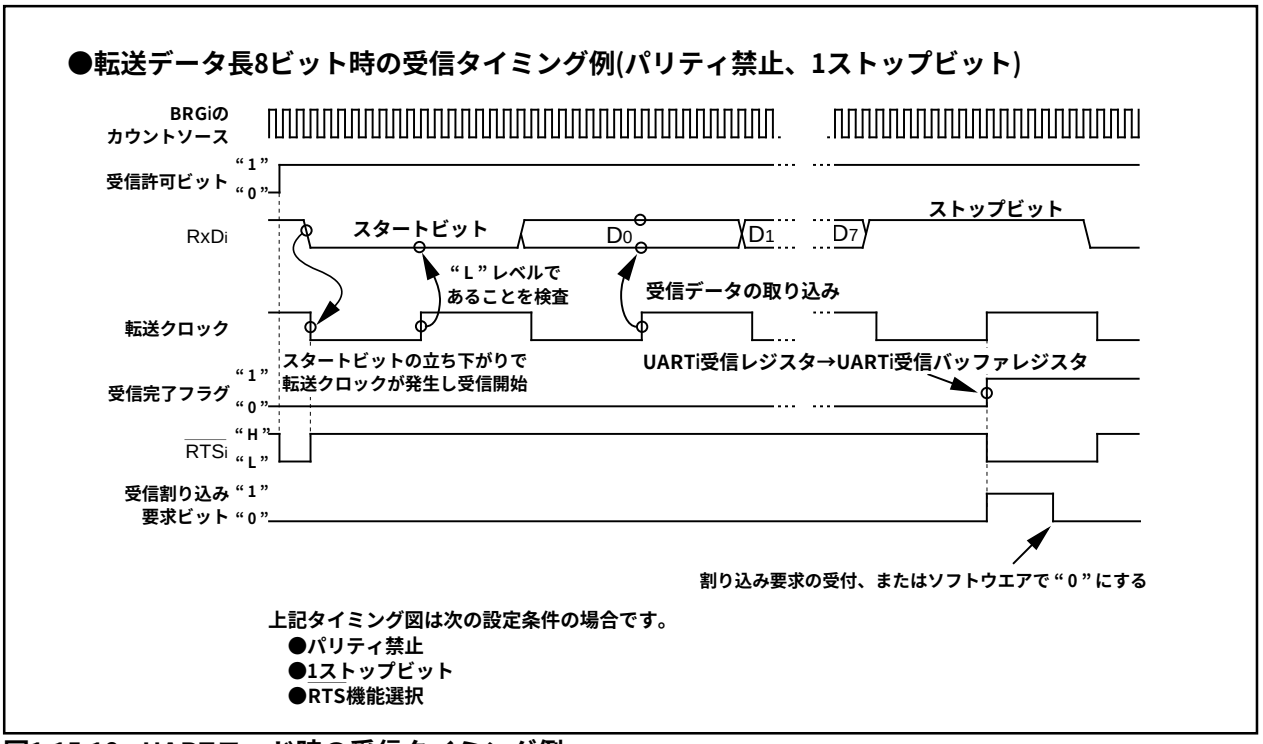


図1.15.18. UARTモード時の受信タイミング例

■スリープモード(UART0、UART1)

UARTiを使用して接続した複数のマイクロコンピュータのうち、特定のマイクロコンピュータ間で転送を行う場合に使用します。受信時、スリープ選択ビット(03A0$_{16}$、03A8$_{16}$番地のビット7)を“1”にすると、スリープモードが選択されます。スリープモードでは、受信データの最上位ビットが“1”のときに受信動作を行い、“0”のときには受信動作を行いません。

■シリアルデータ論理切り替え機能(UART2)

データ論理選択ビット(037D16番地のビット6)の内容が“1”のとき、送信バッファレジスタへの書き込み、および受信バッファレジスタからの読み出しの際、データを反転することができます。図1.15.19に、シリアルデータ論理切り替え機能のタイミング例を示します。

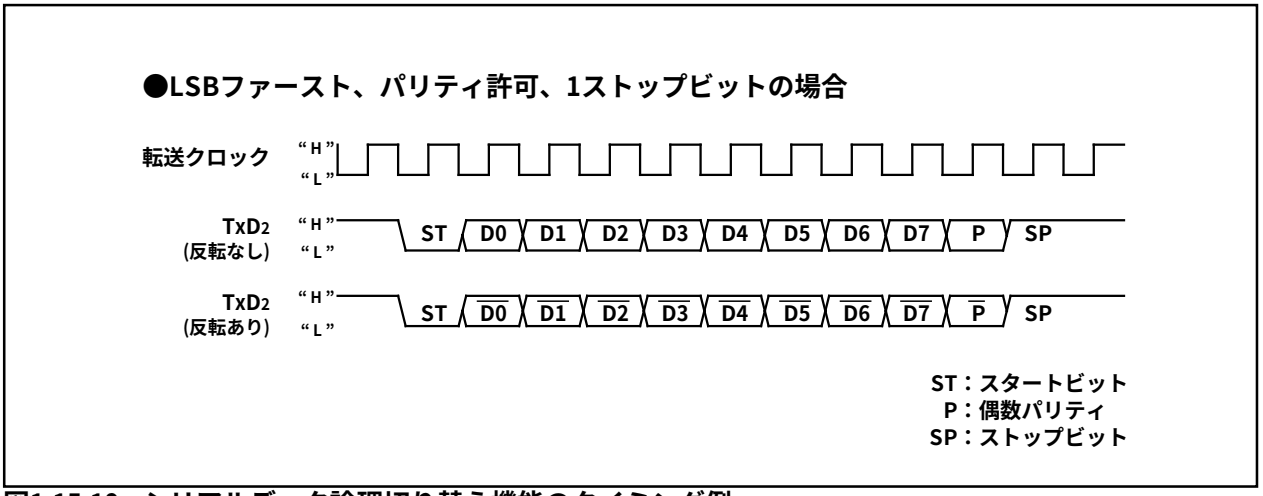


図1.15.19. シリアルデータ論理切り替え機能のタイミング例

■TxD、RxD入出力極性切り替え機能(UART2)

TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。通常使用時は、“0”（反転なし）に設定してください。

■バス衝突検出機能(UART2)

TxD端子の出力レベルとRxD端子の入力レベルを転送クロックの立ち上がりでサンプリングし、値が異なる場合、割り込み要求が発生します。図1.15.20にバス衝突検出タイミング例(UARTモード時)を示します。

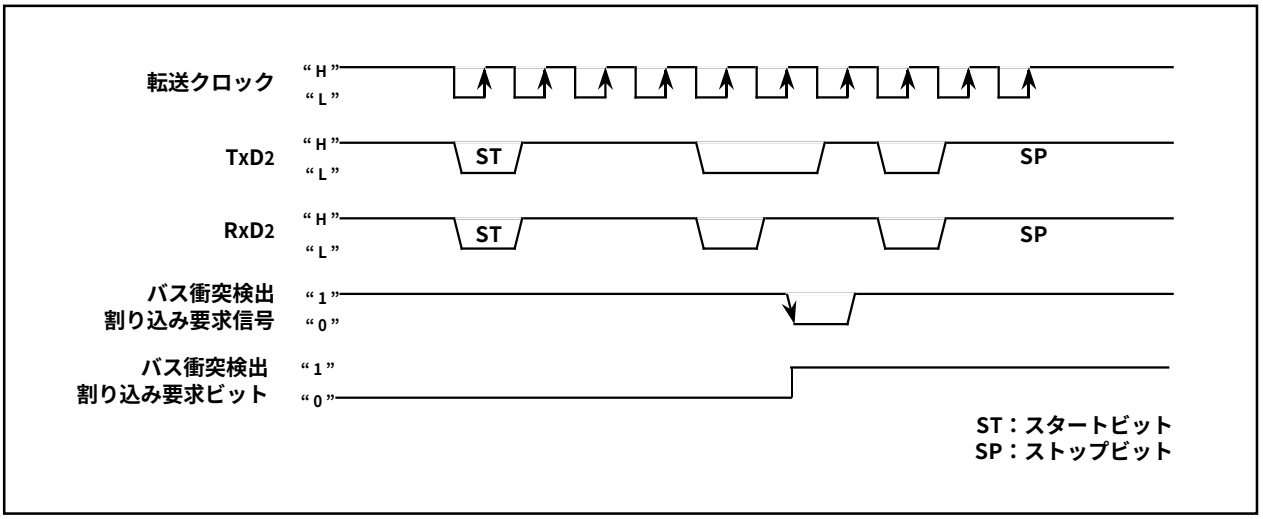


図1.15.20. バス衝突検出タイミング例(UARTモード時)

(3) クロック非同期形シリアルI/Oモード(SIMインタフェース対応)

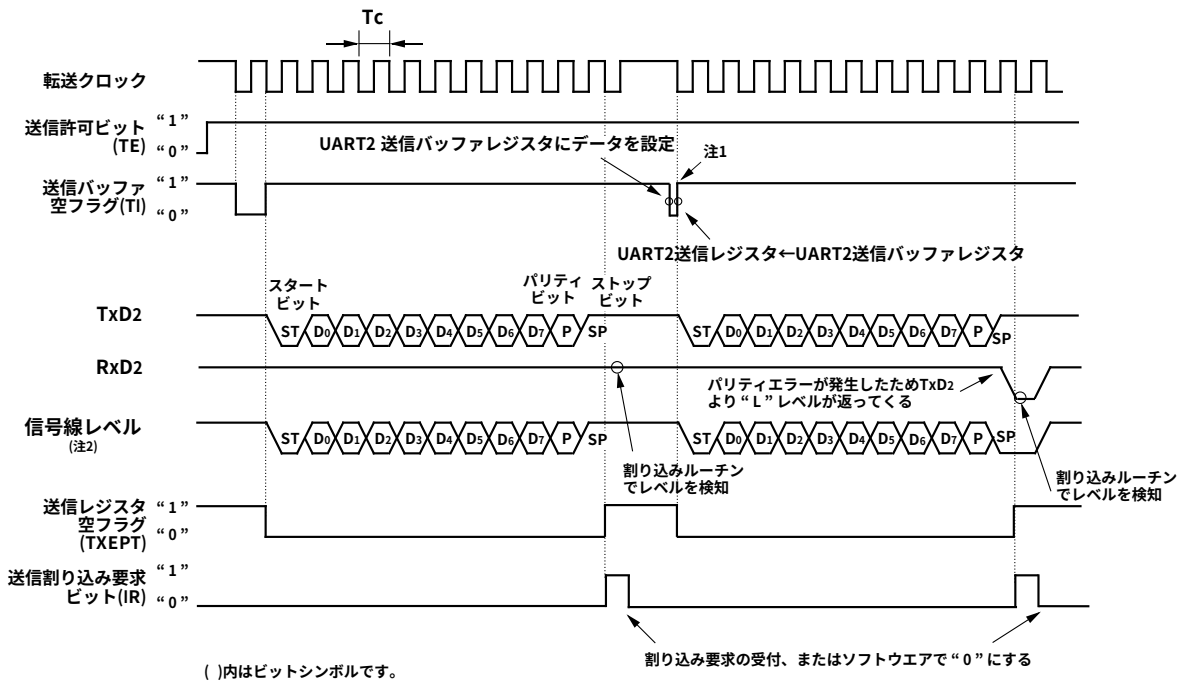
SIMインタフェースは、メモリカード等とインタフェースするための機能で、UART2のクロック非同期形シリアルI/Oモードに一部設定を追加することで実現できます。表1.15.8にクロック非同期形シリアルI/Oモード(SIMインタフェース対応)の仕様を示します。

表1.15.8. クロック非同期形シリアルI/Oモードの仕様(SIMインタフェース対応)

項　目	仕　様
転送データフォーマット	●転送データ　8ビットUARTモード　(0378_{16}番地のビット2～ビット0=“101_2”) ●1ストップビット　(0378_{16}番地のビット4=“0”) ●ダイレクトフォーマットの場合 パリティを偶数パリティに設定　(0378_{16}番地のビット5=“1”、ビット6=“1”) データ論理をダイレクトに設定　($037D_{16}$番地のビット6=“0”) 転送フォーマットをLSBに設定　($037C_{16}$番地のビット7=“0”) ●インバースフォーマットの場合 パリティを奇数パリティに設定　(0378_{16}番地のビット5=“0”、ビット6=“1”) データ論理をインバースに設定　($037D_{16}$番地のビット6=“1”) 転送フォーマットをMSBに設定　($037C_{16}$番地のビット7=“1”)
転送クロック	●内部クロック選択時(0378_{16}番地のビット3=“0”)：fi/16(n+1) (注1)　fi=f_1,f_8,f_{32} (外部クロックを使用しないでください)
送信制御/受信制御	●CTS, RTS機能禁止に設定　($037C_{16}$番地のビット4=“1”)
その他設定項目	●UART2ではスリープモード選択機能はありません ●送信割り込み要因を送信完了に設定 ($037D_{16}$番地のビット4=“1”)
送信開始条件	●送信開始には、以下の条件が必要です。 ・送信許可ビット($037D_{16}$番地のビット0)=“1” ・送信バッファ空フラグ($037D_{16}$番地のビット1)=“0”
受信開始条件	●受信開始には、以下の条件が必要です。 ・受信許可ビット($037D_{16}$番地のビット2)=“1” ・スタートビットの検出
割り込み要求発生タイミング	●送信時 UART2送信レジスタからデータ転送完了時 ($037D_{16}$番地のビット4=“1”) ●受信時 ・UART2受信レジスタから、UART2受信バッファレジスタへデータ転送完了時
エラー検出	●オーバーランエラー(クロック非同期形シリアルI/Oの仕様を参照してください)(注3) ●フレーミングエラー(クロック非同期形シリアルI/Oの仕様を参照してください) ●パリティエラー(クロック非同期形シリアルI/Oの仕様を参照してください) 受信側は、パリティエラー検出時、パリティエラー信号出力機能($037D_{16}$番地のビット7=“1”)によりTxD2端子から“L”レベルを出力 送信側は、送信割り込み発生時、RxD2端子入力レベルによりパリティエラーを検知 ●エラーサムフラグ(クロック非同期形シリアルI/Oの仕様を参照してください)

注1.　nはUART転送速度レジスタに設定した00_{16}～FF_{16}の値です。

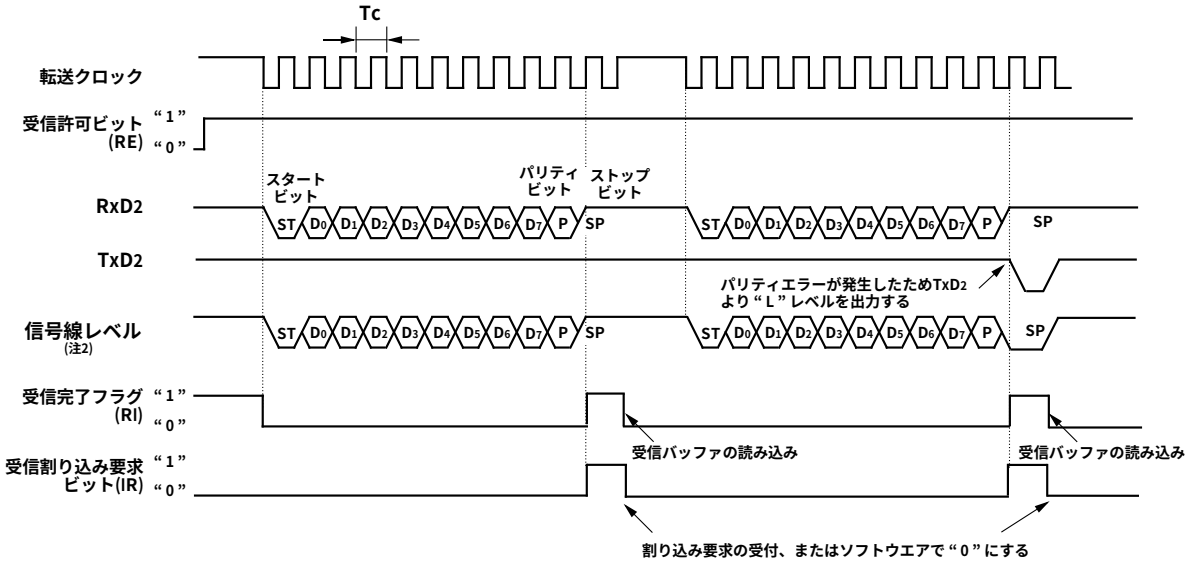
注2.　オーバランエラーが発生した場合は、UART2受信バッファには次のデータが書き込まれます。またUART2 受信割り込み要求ビットは“1”になりません。



( )内はビットシンボルです。
上記タイミング図は次の設定条件の場合です。
●パリティ許可
●1ストップビット
●送信割り込み要因選択ビット=“1”

Tc = 16(n+1) / fi
fi：BRG2のカウントソースの周波数（f_1,f_8,f_{32}）
n：BRG2に設定した値

注1．上記タイミングにおいて、送信バッファに値を書き込んだ後、BRGのオーバフロータイミングで送信が開始されます。



( )内はビットシンボルです。
上記タイミング図は次の設定条件の場合です。
●パリティ許可
●1ストップビット
●送信割り込み要因選択ビット=“1”

Tc = 16(n+1) / fi
fi：BRG2のカウントソースの周波数（f_1,f_8,f_{32}）
n：BRG2に設定した値

注2．TxD_2とRxD_2を接続しているため同じ波形になる

図1.15.21. UARTモード(SIMインタフェース対応)の送受信タイミング例

■パリティエラー信号出力機能

エラー信号出力許可ビット(037D16番地のビット7)の内容が“1”のとき、パリティエラー検出時にTxD2端子から“L”レベルを出力することができます。この機能に連動して、送信完了割り込みの発生タイミングがパリティエラー信号検出タイミングに変化します。図1.15.22にパリティエラー信号出力タイミングを示します。

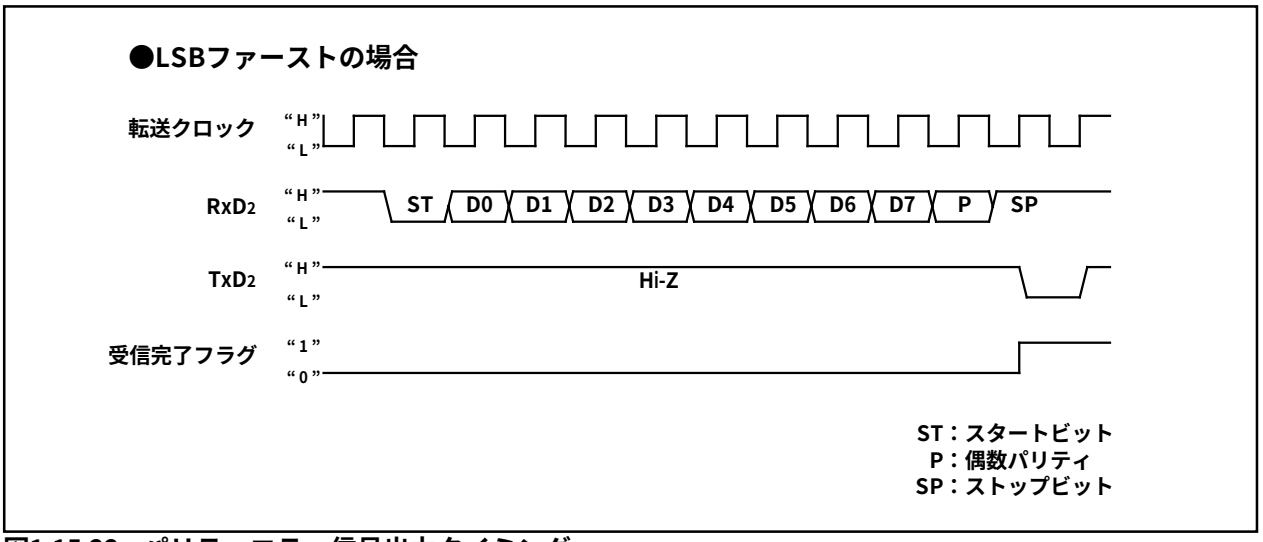


図1.15.22. パリティエラー信号出力タイミング

■ダイレクトフォーマット／インバースフォーマット

接続するSIMカードによって、ダイレクトフォーマット／インバースフォーマットを切り替えることができます。ダイレクトフォーマットを選択するとD0のデータがTxD2から出力されます。インバースフォーマットを選択するとD7のデータが反転してTxD2から出力されます。

図1.15.23にSIMインタフェースフォーマットを示します。

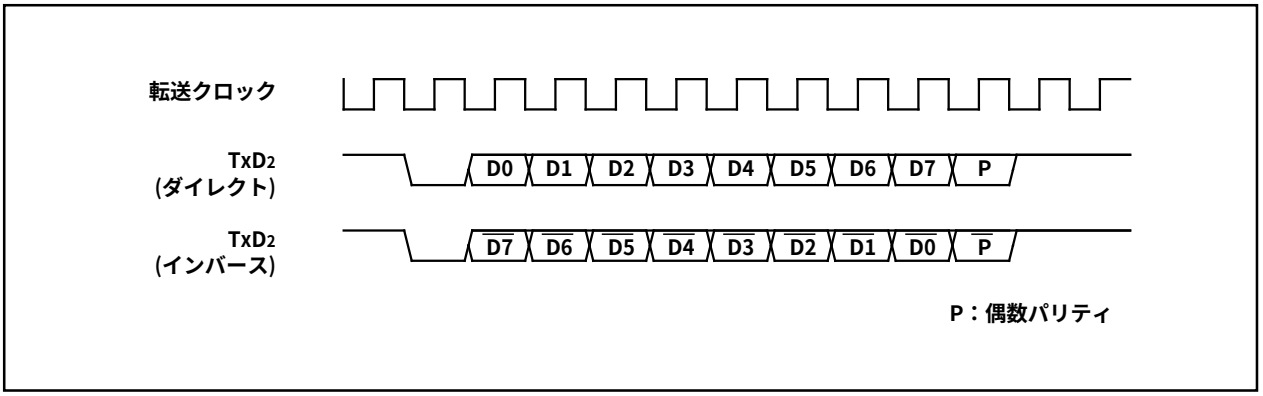


図1.15.23. SIMインタフェースフォーマット

図1.15.24にSIMインタフェースの接続例を示します。TxD2とRxD2を接続してプルアップしてください。

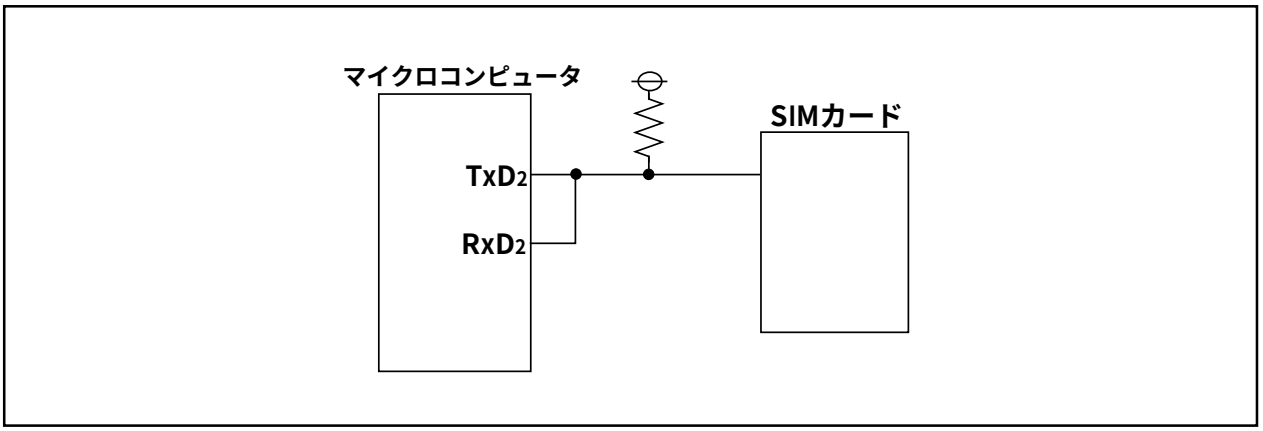


図1.15.24. SIMインタフェース接続例

UART2特殊モードレジスタ

UART2特殊モードレジスタ(0377$_{16}$番地)は、UART2についての様々な制御を行うためのレジスタです。UART2特殊モードレジスタの構成を図1.15.25に示します。

まず、IICバスインタフェース関連の制御ビットについて説明します。

UART2特殊モードレジスタ(0377$_{16}$番地)のビット0はIICモード選択ビットです。このビットを“1”に設定することで、IICバス(簡易IICバス)インタフェースを実現するための回路を有効にします。IICモード選択ビットと各制御の関係を表1.15.9に示します。この機能はクロック同期形シリアルI/Oモードで使用しますので、UARTモードで使用する場合はこのビットを必ず“0”に設定してください。

UART2特殊モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0							

シンボル	アドレス	リセット時
U2SMR	0377$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機能(ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能(ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
IICM	IICモード選択ビット	0：通常モード 1：IICモード	“0”を設定してください。	○	○
ABC	アービトレーション ロスト検出フラグ制御	0：ビット毎に更新 1：バイト毎に更新	“0”を設定してください。	○	○
BBS	バスビジーフラグ	0：ストップコンディション検出 1：スタートコンディション検出	“0”を設定してください。	○	○ (注1)
LSYN	SCLL同期出力 許可ビット	0：禁止 1：許可	“0”を設定してください。	○	○
ABSCS	バス衝突検出サンプリング クロック選択ビット	“0”を設定してください。	0：転送クロックの立ち上がり 1：タイマA0のアンダフロー信号	○	○
ACSE	送信許可ビット自動クリア 機能選択ビット	“0”を設定してください。	0：自動クリア機能なし 1：バス衝突発生時自動クリア	○	○
SSS	送信開始条件選択ビット	“0”を設定してください。	0：通常 1：RxD2の立ち下がり	○	○
予約ビット		必ず“0”を設定してください。		—	○

注1.“0”だけ書き込み可。

図1.15.25．UART2特殊モードレジスタ

表1.15.9．IICモード時の各機能

	機　能	通常モード	IICモード(注1)
1	割り込み番号10の要因 (注2)	バス衝突検出	スタートコンディション検出 またはストップコンディション検出
2	割り込み番号15の要因 (注2)	UART2送信	アクノリジ未検出 (NACK)
3	割り込み番号16の要因 (注2)	UART2受信	アクノリジ検出 (ACK)
4	UART2送信出力delay	delayなし	delayあり
5	UART2使用時のP7$_0$	TxD$_2$ (出力)	SDA (入出力) (注3)
6	UART2使用時のP7$_1$	RxD$_2$ (入力)	SCL (入出力)
7	UART2使用時のP7$_2$	CLK$_2$	P7$_2$
8	DMA要求要因選択ビット=1101時のDMA1要因	UART2受信	選択禁止
9	Noize Filter 幅	15ns	50ns
10	P7$_1$のリード	方向レジスタ=0の時 端子をリードする。	方向レジスタの値に関係なく 端子をリードする。
11	UART2出力の初期値	Hレベル (CLK極性選択ビット=0時)	ポート選択時にP7$_0$ラッチに設定した値

注1.　IICモード使用時は以下の設定にしてください。
　　UART2送受信モードレジスタのビット2,1,0を010に設定してください。
　　RTS／CTS機能は禁止してください。
　　MSBファーストに設定してください。
注2.　要因を切り替える時は以下の手順で行ってください。
　　1. 対応するNoの割り込み禁止。
　　2. 要因の切り替え。
　　3. 対応するNoの割り込み要求フラグリセット。
　　4. 対応するNoの割り込みレベル設定。
注3.　SDA送信出力の初期値の設定は、シリアルI/Oが無効の状態で行ってください。

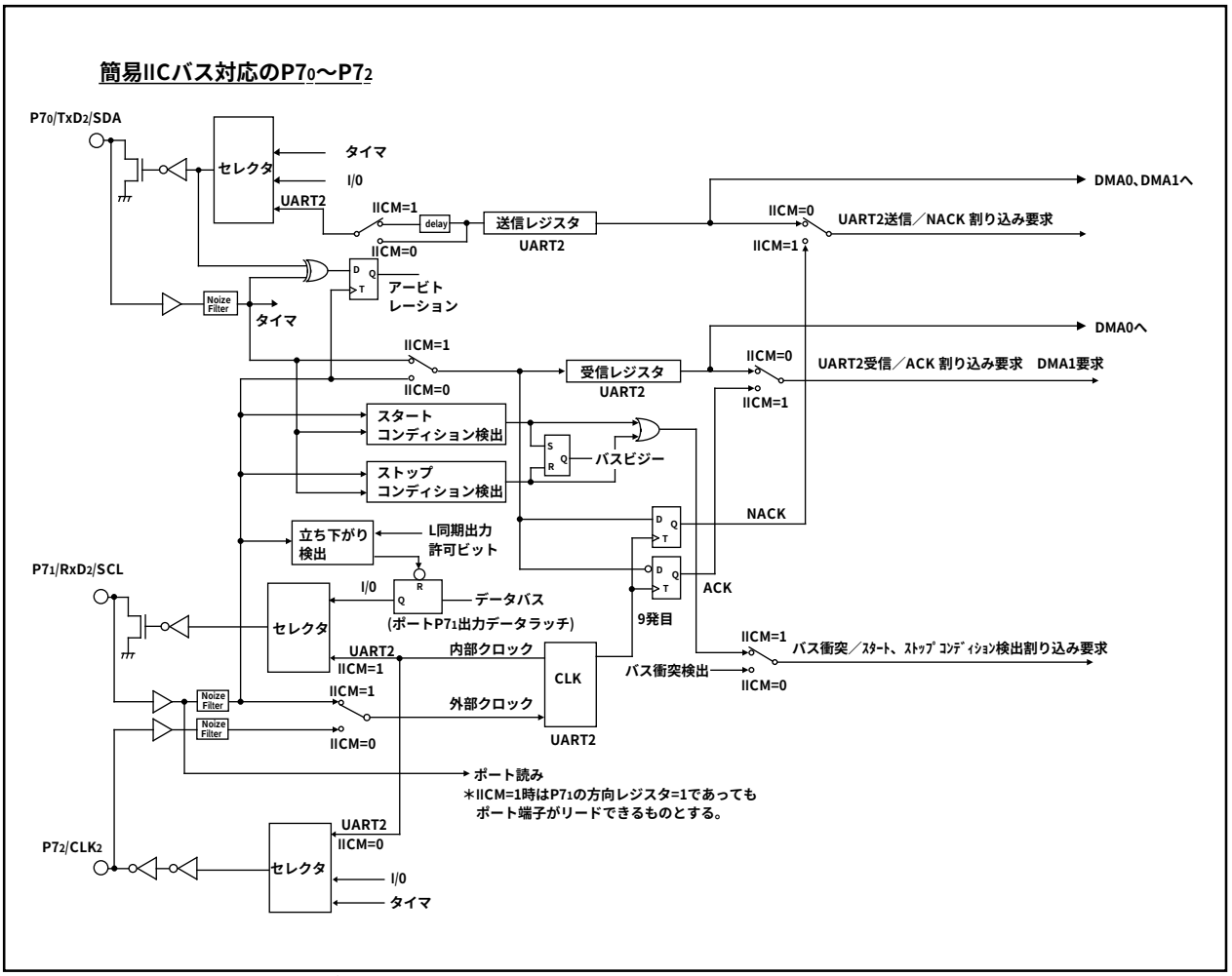


図1.15.26.　IICモード機能ブロック図

IICモードの機能を図1.15.26の機能ブロック図に示します。IICモード選択ビット(IICM)を“1”にすると、ポートP70，P71，P72の機能がそれぞれデータ送受信端子SDA、クロック入出力端子SCL、ポートP72となります。SDA送信出力にはディレイ回路が付加されますので、SCLが十分“L”になった後、SDA出力が変化します。ポートP71(SCL)を読み出す際は、ポート方向レジスタの内容にかかわらず、端子のレベルが読み出せるようになります。SDA送信出力の初期値は、このモードではポートP70に設定した値になります。さらに、バス衝突検出割り込み、UART2送信割り込み、UART2受信割り込みの各割り込み要因がそれぞれスタート/ストップコンディション検出割り込み、アクノリッジ未検出割り込み、アクノリッジ検出割り込みに変わります。

スタートコンディション検出割り込みとは、SCL端子(P71)が“H”の状態でSDA端子(P70)の立ち下がりが発生したことを検出して発生する割り込みです。ストップコンディション検出割り込みとは、SCL端子(P71)が“H”の状態でSDA端子(P70)の立ち上がりが発生したことを検出して発生する割り込みです。バスビジーフラグ(UART2特殊モードレジスタのビット2)はスタートコンディション検出で“1”にセットされ、ストップコンディション検出で“0”にクリアされます。

アクノリッジ未検出割り込みとは、送信クロックの9発目の立ち上がり時のSDA端子のレベルが“H”のままであることを検出して発生する割り込みです。アクノリッジ検出割り込みとは、送信クロックの9発目の立ち上がり時のSDA端子のレベルが“L”になっていることを検出して発生する割り込みです。

UART2特殊モードレジスタ

UART2特殊モードレジスタ(0377$_{16}$番地)のビット1はアービトレーションロスト検出フラグ制御ビットです。アービトレーションとはSCLの立ち上がりのタイミングで送信データとSDA端子データの不一致を検出するものです。この検出フラグはUART2受信バッファレジスタ1(037F$_{16}$番地)のビット3に配置されており、不一致を検出すると“1”にセットされます。このフラグの更新を各ビットごとに行うかバイトごとに行うかをアービトレーションロスト検出フラグ制御ビットで選択します。このビットを“1”にすることで、バイトごとに設定され、不一致が検出された場合、9発目のクロックの立ち下がりでアービトレーションロスト検出フラグが“1”になります。なお、バイトごとに更新を行う場合は、1バイト目のアクノリッジ検出完了後、次の1バイトの転送を開始する前に、必ずアービトレーションロスト検出フラグの判定とクリア(“0”書き込み)を行ってください。

UART2特殊モードレジスタ(0377$_{16}$番地)のビット3はSCL　L同期出力許可ビットです。このビットを“1”にすると、SCL端子のレベルが“L”になることに同期してP71のデータレジスタが“0”になります。

次に、その他の追加された機能について説明します。その動作を図1.15.27に示します。

UART2特殊モードレジスタのビット4はバス衝突検出サンプリングクロック選択ビットです。バス衝突検出割り込みとはRxD2とTxD2のレベルが一致していないときに割り込みを発生するものですが、このビットが“0”の場合、転送クロックの立ち上がりに同期して不一致を検出します。このビットが“1”の場合、転送クロックの立ち上がりではなく、タイマA0のオーバフローのタイミングで検出します。

UART2特殊モードレジスタのビット5は送信許可ビット自動クリア機能選択ビットです。このビットを“1”にすることによって、バス衝突検出割り込み要求ビットが“1”(不一致検出)のとき、送信許可ビットを自動的に“0”にリセットします。

UART2特殊モードレジスタのビット6は、送信開始条件選択ビットです。このビットを“1”にすることで、RxD端子の立ち下がりに同期して、TxD送信を開始します。

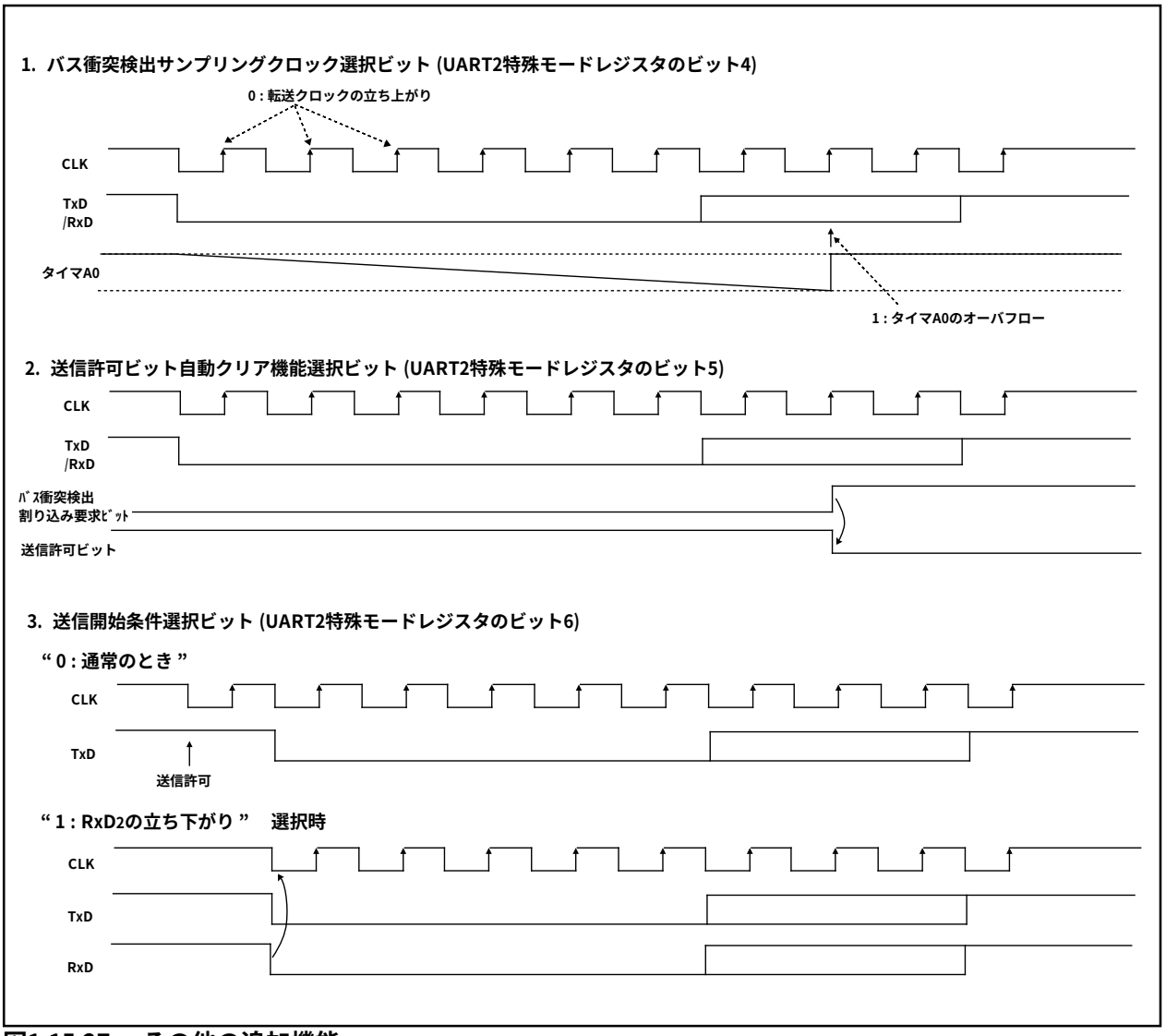


図1.15.27. その他の追加機能

UART2特殊モードレジスタ2

UART2特殊モードレジスタ2(0376$_{16}$番地)は、UART2のIICモードについて、さらに制御を行うためのレジスタです。UART2特殊モードレジスタ2の構成を図1.15.28に示します。

UART2特殊モードレジスタ2

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
U2SMR2	0376$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機能	R	W
IICM2	IICモード選択ビット2	表1.15.10参照	○	○
CSC	クロック同期化ビット	0 : 禁止 1 : 許可	○	○
SWC	SCLウエイト出力ビット	0 : 禁止 1 : 許可	○	○
ALS	SDA出力停止ビット	0 : 禁止 1 : 許可	○	○
STAC	UART2初期化ビット	0 : 禁止 1 : 許可	○	○
SWC2	SCLウエイト出力ビット2	0 : UART2クロック 1 : 0出力	○	○
SDHI	SDA出力禁止ビット	0 : 許可 1 : 禁止 (ハイインピーダンス)	○	○
SHTC	スタート/ストップコンディション条件制御ビット	1 : IICモード選択時、必ず"1"に設定してください。(表1.15.11参照)	○	○

図1.15.28．UART2特殊モードレジスタ2

UART2特殊モードレジスタ2(037616番地)のビット0はIICモード選択ビット2です。IICモード選択ビットが“1”のときにIICモード選択ビット2により変更される各制御を表1.15.10に示します。スタートコンディションおよびストップコンディション検出のタイミング特性を表1.15.11に示します。IICモード選択時、スタート/ストップコンディション条件制御ビット(UART2特殊モードレジスタ2のビット7)は、必ず“1”に設定してください。

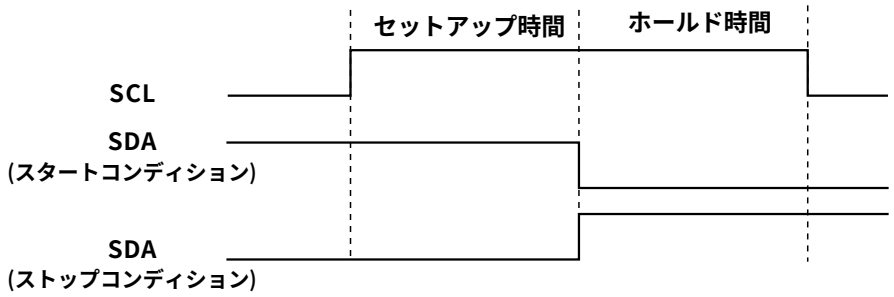
表1.15.10．IICモード選択ビット2によって変更される各機能

	機能	IICM2 = 0	IICM2 = 1
1	割り込み番号15の要因	アクノリッジ未検出 (NACK)	UART2送信(最終ビットのクロックの立ち上がり)
2	割り込み番号16の要因	アクノリッジ検出 (ACK)	UART2受信(最終ビットのクロックの立ち下がり)
3	DMA要求要因選択ビット= "1101"時のDMA1要因	選択禁止	UART2受信(最終ビットのクロックの立ち下がり)
4	UART2受信シフトレジスタから受信バッファへのデータ転送タイミング	受信クロックの最終ビットの立ち上がり	受信クロックの最終ビットの立ち下がり
5	UART2受信/ACK割り込み要求発生タイミング	受信クロックの最終ビットの立ち上がり	受信クロックの最終ビットの立ち下がり

表1.15.11．スタート/ストップコンディション検出タイミング特性(注1)

3～6サイクル < セットアップ時間	(注2)
3～6サイクル < ホールド時間	(注2)

注1.　スタート/ストップコンディション条件制御ビットSHTC=“1”の場合。
注2.　サイクル数はメインクロック入力発振周波数f(XIN)のサイクル数を示します。



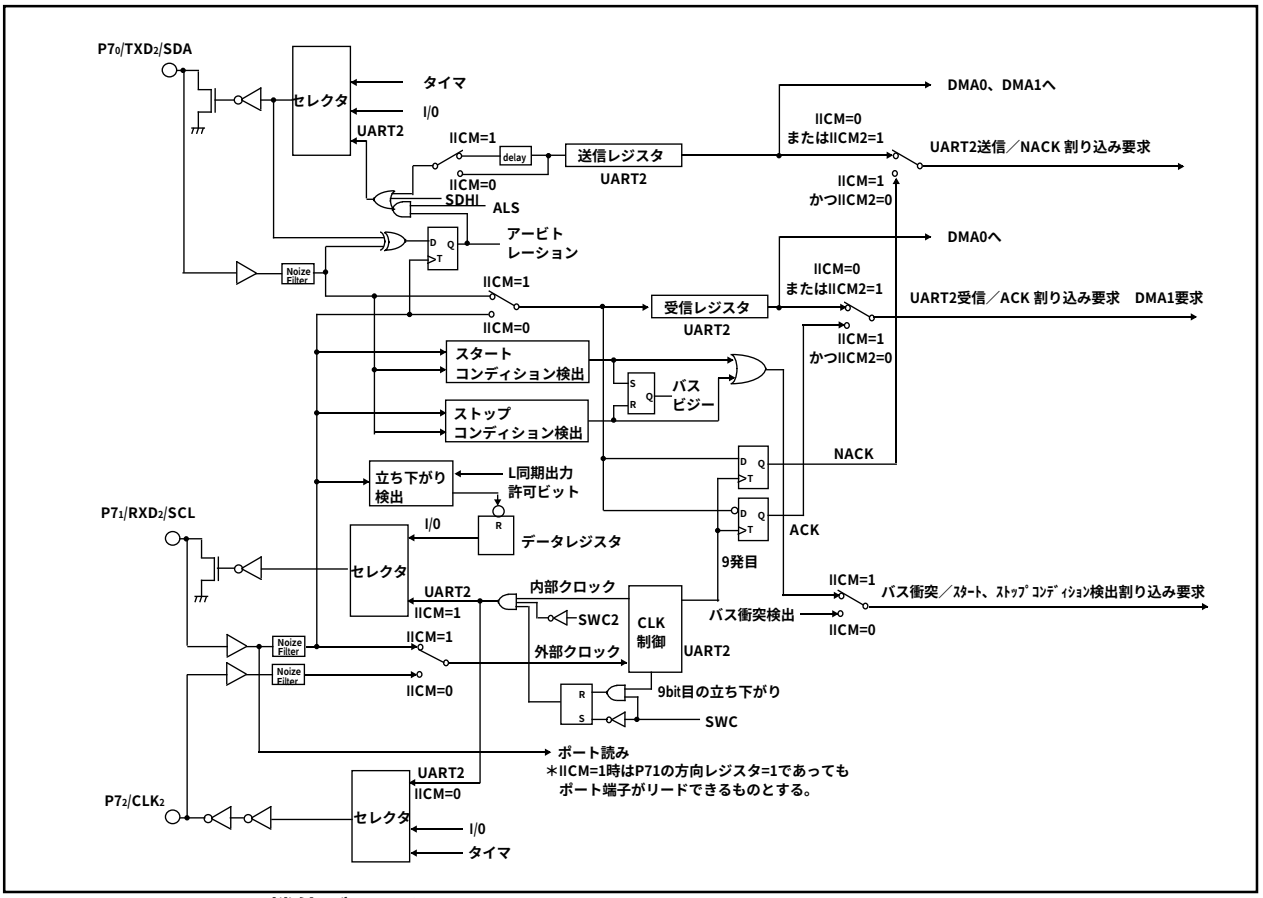


図1.15.29.　IICモード機能ブロック図

IICモードの機能を図1.15.29の機能ブロック図に示します。

UART2特殊モードレジスタ2(037616番地)のビット3はSDA出力停止ビットです。このビットを“1”にすると、アービトレーションロストが発生しアービトレーションロスト検出フラグが“1”になった場合、同時にSDA端子がハイインピーダンス状態になります。

UART2特殊モードレジスタ2(037616番地)のビット1はクロック同期化ビットです。このビットを“1”にすると、内部SCL=“H”時、SCL端子に立ち下がりエッジがあれば内部SCL=“L”とし、ボーレートジェネレータの値をリロードしてL区間のカウントを開始します。また、SCL端子=“L”時、内部SCLが“L”から“H”に変化すればボーレートジェネレータのカウントを停止し、SCL端子=“H”になればカウントを再開します。この機能によりUART2の送受信クロックは、内部SCLとSCL端子の信号をANDしたものになります。この機能はUART2の1発目のクロックの立ち下がり時点よりクロックの半周期前から9ビット目の立ち上がりまでの期間で動作します。この機能を使用する場合、転送クロックは内部クロックを選択してください。

UART2特殊モードレジスタ2(037616番地)のビット2はSCLウエイト出力ビットです。このビットを“1”にすると、クロックの9ビット目の立ち下がりでSCL端子は“L”出力固定になります。このビットを“0”にすると“L”出力固定は解除されます。

UART2特殊モードレジスタ2

UART2特殊モードレジスタ2(0376$_{16}$番地)のビット4はUART2初期化ビットです。このビットを“1”にし、スタートコンディションを検出すると以下のように動作します。

(1) 送信シフトレジスタは初期化され、送信レジスタの内容が送信シフトレジスタに転送されます。
これにより、次に入力されたクロックを1ビット目として送信が開始されます。ただし、UART2出力値は、クロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。

(2) 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。

(3) SCLウエイト出力ビットが“1”になります。これにより、クロックの9ビット目の立ち下がりでSCL端子が“L”になります。

なお、この機能を使用しUART2の送受信を開始した場合、送信バッファ空フラグの値は変化しません。
また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

UART2特殊モードレジスタ2(0376$_{16}$番地)のビット5はSCL端子ウエイト出力ビット2です。シリアルI/O指定時にこのビットを“1”にすることにより、UART2動作中でもSCL端子から強制的に“L”を出力することができます。このビットを“0”にすることにより、SCL端子からの“L”出力は解除され、UART2クロックが入出力されます。

UART2特殊モードレジスタ2(0376$_{16}$番地)のビット6はSDA出力禁止ビットです。このビットを“1”にすると、SDA端子が強制的にハイインピーダンス状態になります。なお、このビットの書き替えはUART2の転送クロックの立ち上がりのタイミングでは行わないでください。アービトレーションロスト検出フラグがセットされる場合があります。

LCD駆動制御回路

LCD駆動制御回路は、

・LCD表示用ＲＡＭ
・セグメント出力許可レジスタ
・LCDモードレジスタ
・昇圧回路
・セレクタ
・タイミングコントローラ
・コモンドライバ
・セグメントドライバ
・バイアス制御回路

によって構成されています。

セグメント出力は最大48本、コモン出力は最大4本使用でき、最大192画素までLCD表示を行うことができます。

LCDモードレジスタ、セグメント出力許可レジスタ、LCD表示用RAMにデータを設定した後、LCDイネーブルビットを点灯に設定すると、LCD駆動制御回路は自動的に表示データを読み出し、バイアス制御、時分割制御などを行い、LCDパネルへの表示を行います。

出力ポート機能を使用する場合は、時分割選択ビットが“00”、LCD出力許可ビットが“0”の状態でLCD表示用RAMにデータを書き込み、LCDRAM出力ビットが“1”に設定されると、SEG_0～SEG_{15}端子及びセグメント出力許可レジスタによりセグメント出力として選択されている端子が、LCD表示用RAMのCOM_0に対応したビットの内容をそれぞれ出力します。

表1.16.1に各時分割時の最大表示素子数、図1.16.1にLCDコントローラ/ドライバのブロック図を示します。

表1.16.1. 各時分割時の最大表示素子数

時分割数	最大表示素子数
2	96ドット又は8セグメントLCD12桁
3	144ドット又は8セグメントLCD18桁
4	192ドット又は8セグメントLCD24桁

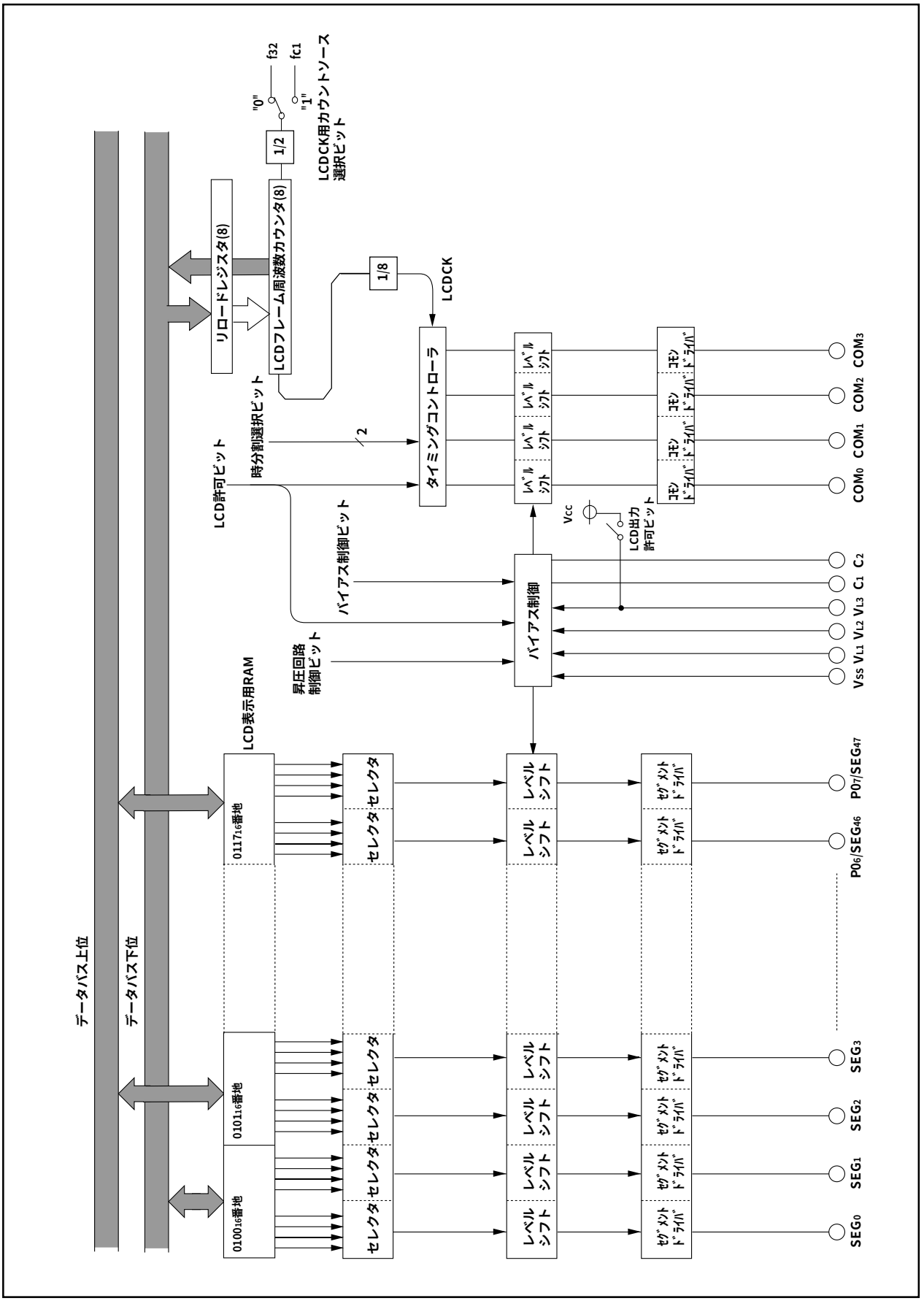
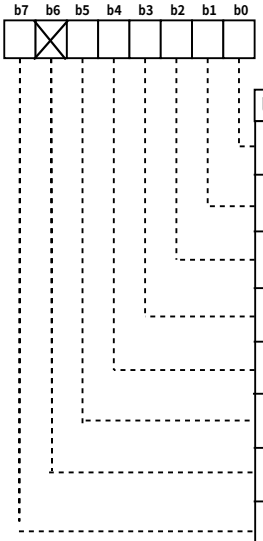


図1.16.1.　LCDコントローラ/ドライバのブロック図

LCDモードレジスタ

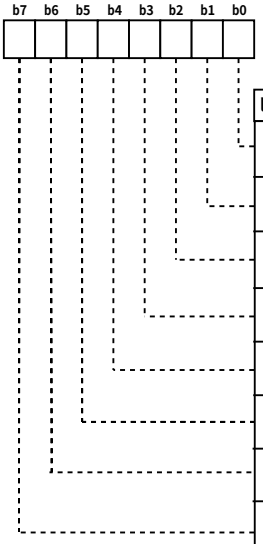


シンボル	アドレス	リセット時
LCDM	0120_{16}番地	$0X000000_2$

ビットシンボル	ビット名	機　　能	R	W
LCDT0	時分割選択ビット	b1 b0 0 0 : 出力ポート 0 1 : 2時分割(COM0、COM1使用) 1 0 : 3時分割(COM0～COM2使用) 1 1 : 4時分割(COM0～COM3使用)	○	○
LCDT1			○	○
BIAS	バイアス制御ビット	0 : 1/3バイアス 1 : 1/2バイアス	○	○
LCDEN	LCDイネーブルビット	0 : LCD消灯 1 : LCD点灯	○	○
PUMP	昇圧回路制御ビット	0 : 昇圧回路禁止 1 : 昇圧回路許可(注2)	○	○
LRAMOUT	LCDRAM出力ビット	0 : LCD波形出力 1 : ポート出力	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
LSRC	LCDCK用カウントソース選択ビット(注1)	0 : f_{32} 1 : f_{C1}	○	○

注1.　LCDCKはLCDタイミングコントローラ用のクロックです。
注2.　昇圧回路許可に設定する場合、バイアス制御ビットに必ず“0”を設定してください。

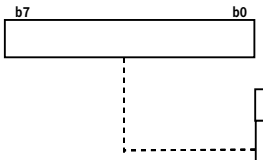
セグメント出力許可レジスタ



シンボル	アドレス	リセット時
SEG	0122_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SEGO0	セグメント出力許可ビット0	0 : 入出力ポート　P100～P107 1 : セグメント出力　SEG16～SEG23	○	○
SEGO1	セグメント出力許可ビット1	0 : 入出力ポート　P110～P114 1 : セグメント出力　SEG24～SEG28	○	○
SEGO2	セグメント出力許可ビット2	0 : 入出力ポート　P115、P116 1 : セグメント出力　SEG29、SEG30	○	○
SEGO3	セグメント出力許可ビット3	0 : 入出力ポート　P117 1 : セグメント出力　SEG31	○	○
SEGO4	セグメント出力許可ビット4	0 : 入出力ポート　P120～P125 1 : セグメント出力　SEG32～SEG37	○	○
SEGO5	セグメント出力許可ビット5	0 : 入出力ポート　P126、P127 1 : セグメント出力　SEG38、SEG39	○	○
SEGO6	セグメント出力許可ビット6	0 : 入出力ポート　P00～P07 1 : セグメント出力　SEG40～SEG47	○	○
SEGO7	LCD出力許可ビット	0 : 禁止 1 : 許可	○	○

LCDフレーム周波数カウンタ(注1)



シンボル	アドレス	リセット時
LCDTIM	0124_{16}番地	XX_{16}

機　　能	設定可能値	R	W
8ビットタイマ	00_{16}～FF_{16}	○	○

注1. このレジスタを設定する場合は、LCD出力許可ビットが“0”の状態で設定してください。

図1.16.2.　LCD関係レジスタの構成

昇圧回路

昇圧回路は3倍昇圧を行います。昇圧の基準電源はLCD用電源入力端子VL1から入力します。

昇圧回路を動作させるにはセグメント出力許可レジスタとLCDモードレジスタによりセグメント/ポートの選択と時分割選択、バイアス制御選択、LCDフレーム周波数カウンタの設定、LCDCK用カウントソース選択をおこなった後にLCD出力許可ビット(012216番地のビット７)を許可に設定し、VL1端子に1.3V以上2.1V以下の電圧を印加後、昇圧回路制御ビット(012016番地のビット４)を昇圧許可に設定してください。ただし、バイアス制御は必ず1/3バイアスを設定してください。

昇圧回路を動作させた場合、VL2端子にVL1端子の2倍の電圧が発生し、VL3端子にVL1端子の3倍の電圧が発生します。

昇圧回路の制御は昇圧回路制御ビット（012016番地のビット4）で行います。

昇圧回路を使用しない場合はLCD出力許可ビットを許可に設定した後に、LCD用電源入力端子(VL1～VL3)に適切な電圧を印加してください。LCD出力許可ビットが禁止に設定されているときはVL3端子は内部でVCCが印加されます。

バイアス制御とLCD用電源入力端子への印加電圧

LCD用電源入力端子(VL1～VL3)には、バイアス値に従って、表1.16.2に示す電圧値を印加してください。

また、バイアス値はバイアス制御ビット(012016番地のビット2)で選択してください。

表1.16.2.　バイアス制御とVL1～VL3への印加電圧

バイアス値	電圧値
1/3バイアス	VL3 = VLCD VL2 = 2/3 VLCD VL1 = 1/3 VLCD
1/2バイアス	VL3 = VLCD VL2 = VL1 = 1/2 VLCD

注．VLCDはLCDパネルへの供給電圧の最大値

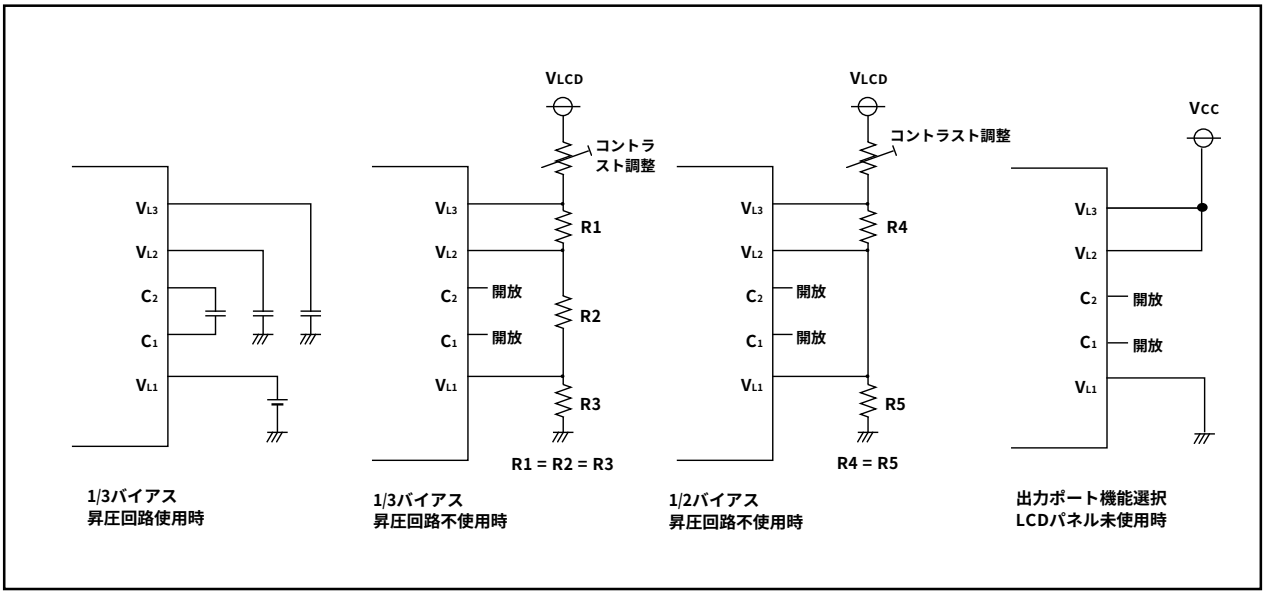


図1.16.3.　各バイアス時の回路例

コモン端子と時分割制御

コモン端子(COM0～COM3)は、時分割数によって使用する端子が決まっています。時分割数は時分割選択ビット(0120_{16}番地のビット0、ビット1)で選択してください。

表1.16.3.　時分割制御と使用コモン端子

時分割数	時分割選択ビット ビット1	時分割選択ビット ビット0	使用コモン端子名
2	0	1	COM0、COM1 (注1)
3	1	0	COM0～COM2 (注2)
4	1	1	COM0～COM3

注1. COM2、COM3は開放
注2. COM3は開放

LCD表示用RAM

0100_{16}番地から0117_{16}番地までの24バイトはLCD表示用RAMです。これらのビットに“1”を書き込むと、LCDパネルの対応するセグメントが点灯します。図1.16.4にLCD表示RAMマップを示します。

アドレス＼ビット	7	6	5	4	3	2	1	0	R	W
	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0		
0100_{16}	SEG1				SEG0				○	○
0101_{16}	SEG3				SEG2				○	○
0102_{16}	SEG5				SEG4				○	○
0103_{16}	SEG7				SEG6				○	○
0104_{16}	SEG9				SEG8				○	○
0105_{16}	SEG11				SEG10				○	○
0106_{16}	SEG13				SEG12				○	○
0107_{16}	SEG15				SEG14				○	○
0108_{16}	SEG17				SEG16				○	○
0109_{16}	SEG19				SEG18				○	○
$010A_{16}$	SEG21				SEG20				○	○
$010B_{16}$	SEG23				SEG22				○	○
$010C_{16}$	SEG25				SEG24				○	○
$010D_{16}$	SEG27				SEG26				○	○
$010E_{16}$	SEG29				SEG28				○	○
$010F_{16}$	SEG31				SEG30				○	○
0110_{16}	SEG33				SEG32				○	○
0111_{16}	SEG35				SEG34				○	○
0112_{16}	SEG37				SEG36				○	○
0113_{16}	SEG39				SEG38				○	○
0114_{16}	SEG41				SEG40				○	○
0115_{16}	SEG43				SEG42				○	○
0116_{16}	SEG45				SEG44				○	○
0117_{16}	SEG47				SEG46				○	○

図1.16.4.　LCD表示用RAMマップ

LCD駆動タイミング

LCD駆動タイミングを決定する内部信号LCDCKの周波数f(LCDCK) 及びフレーム周波数は次のようになります。LCDCK用カウントソース周波数はf_{c1}(Xcinと同一周波数)またはf_{32}(Xinの32分周した周波数)です。

$$f(\mathrm{LCDCK}) = \frac{(\text{LCDCK用カウントソース周波数})}{16\times(\text{LCDフレーム周波数カウンタ値}+1)}$$

$$\text{フレーム周波数} = f(\mathrm{LCDCK})/\text{時分割数}$$

図1.16.5にLCD駆動波形(1/2バイアス)、図1.16.6にLCD駆動波形(1/3バイアス)を示します。

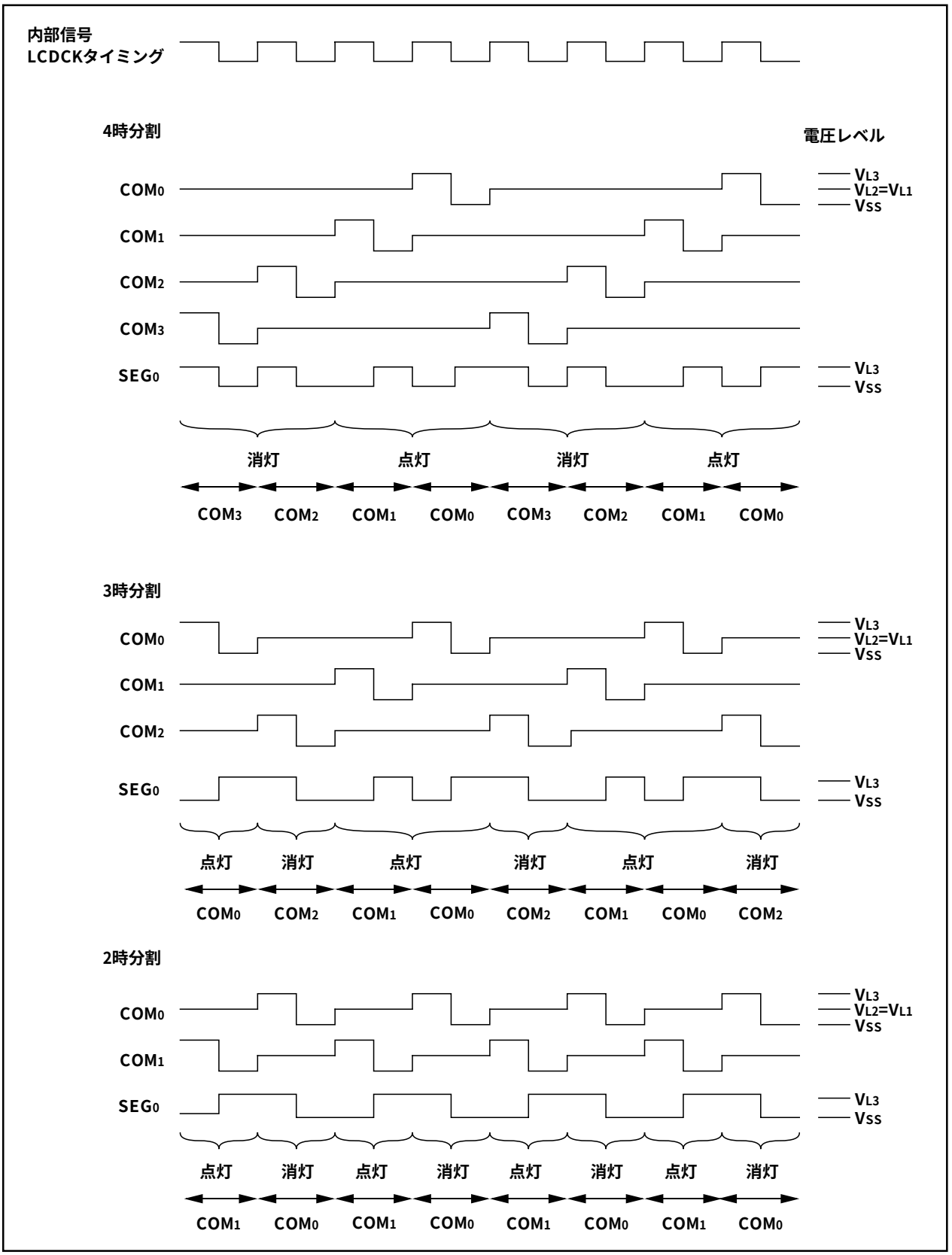


図1.16.5. LCD駆動波形（1/2バイアスの場合）

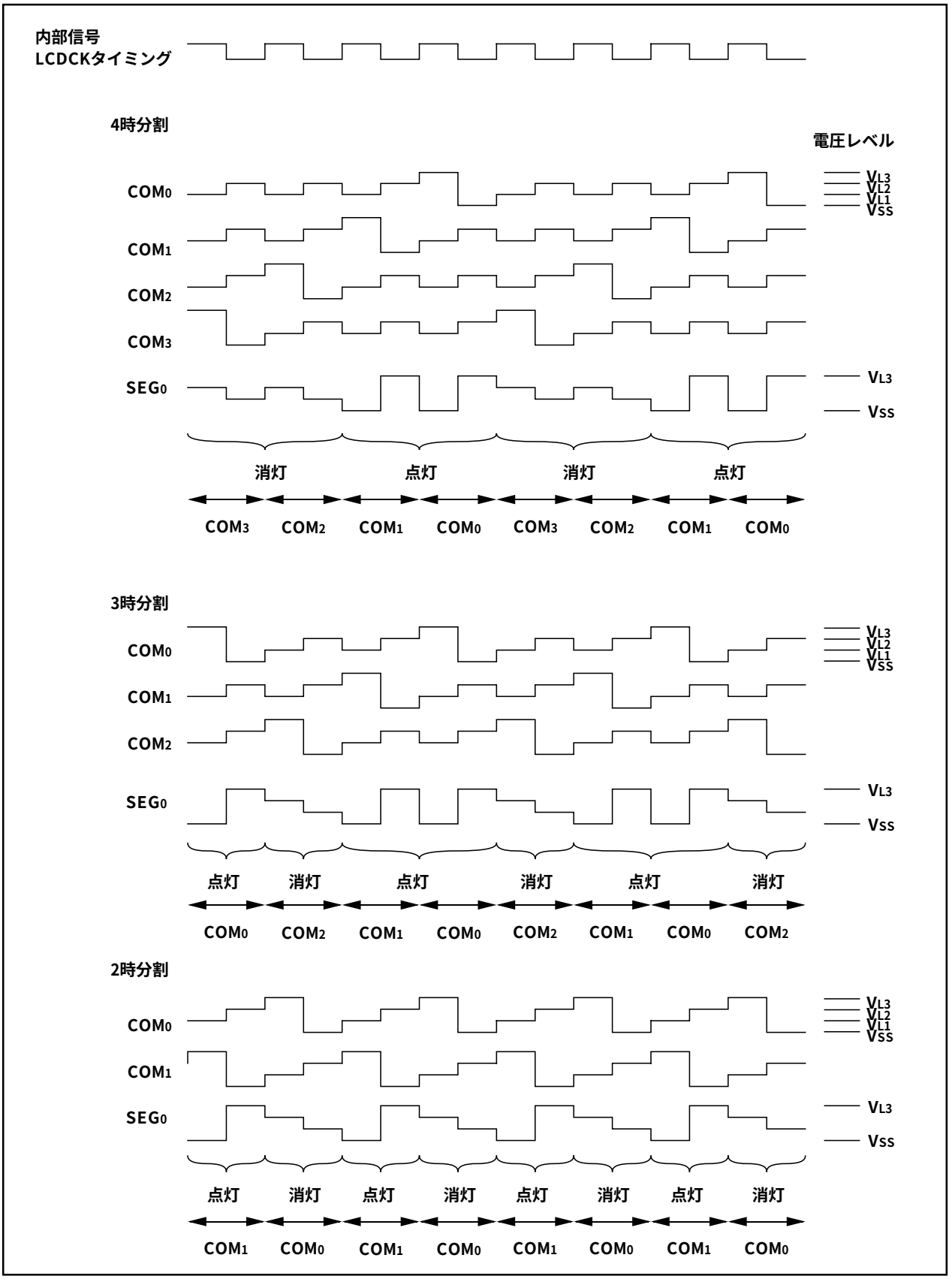


図1.16.6.　LCD駆動波形（1/3バイアスの場合）

A-D変換器

容量結合増幅器で構成され、10ビットの逐次比較変換方式のA-D変換器を1回路内蔵しています。アナログ信号入力端子は、$P9_0$～$P9_7$と共用していますのでA-D変換を行う端子に対応する方向レジスタは入力に設定してください。また、Vref接続ビット($03D7_{16}$番地のビット5)によりA-D変換器を使用しないとき、A-D変換器のラダー抵抗と基準電圧入力端子(V_{REF})を切り離すことができます。切り離すことにより、V_{REF}端子からラダー抵抗には電流が流れなくなり、消費電力を少なくすることができます。A-D変換器を使用する場合は、V_{REF}を接続してからA-D変換をスタートさせてください。

A-D変換した結果は、選択した端子に対応したA-Dレジスタに格納されます。変換精度を10ビットに設定した場合は、下位8ビットが偶数番地に、上位2ビットが奇数番地に格納され、8ビットに設定した場合は、下位8ビットだけが偶数番地に格納されます。

表1.17.1にA-D変換器の性能を、図1.17.1にA-D変換器のブロック図を、図1.17.2、図1.17.3にA-D変換器関連のレジスタを示します。

表1.17.1.　A-D変換器の性能

項　目	性　能
A-D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V～AV_{CC}(V_{CC})
動作クロックϕ_{AD}(注2)	V_{CC} = 4.0～5.5Vのとき　f_{AD}/f_{AD}の2分周/f_{AD}の4分周、f_{AD}=f(X_{IN}) V_{CC} = 2.7～4.0Vのとき　f_{AD}の2分周/f_{AD}の4分周、f_{AD}=f(X_{IN})
分解能	8/10ビット選択可能
絶対精度	V_{CC} = 5Vのとき ●サンプル&ホールド機能なし ±3LSB ●サンプル&ホールド機能あり(分解能8ビット) ±2LSB ●サンプル&ホールド機能あり(分解能10ビット) ±3LSB V_{CC} = 3Vのとき ●サンプル&ホールド機能なし(分解能8ビット) ±2LSB
動作モード	単発モード/繰り返しモード/単掃引モード/繰り返し掃引モード0 /繰り返し掃引モード1
アナログ入力端子	8本(AN_0～AN_7)
A-D変換開始条件	●ソフトウエアトリガ A-D変換開始フラグを“1”にするとA-D変換を開始 ●外部トリガ(再トリガ可能) A-D変換開始フラグを“1”にし、かつ$\overline{ADTRG}$/P130入力が"H"から"L"の変化でA-D変換を開始
1端子あたりの変換速度	●サンプル&ホールドなし 分解能8ビットの場合49ϕ_{AD}サイクル、分解能10ビットの場合59ϕ_{AD}サイクル ●サンプル&ホールドあり 分解能8ビットの場合28ϕ_{AD}サイクル、分解能10ビットの場合33ϕ_{AD}サイクル

注1.　サンプル&ホールド機能の有無に依存しません。

注2.　サンプル&ホールド機能なしのときϕ_{AD}の周波数は250kHz以上にしてください。
サンプル&ホールド機能ありのときϕ_{AD}の周波数は1MHz以上にしてください。

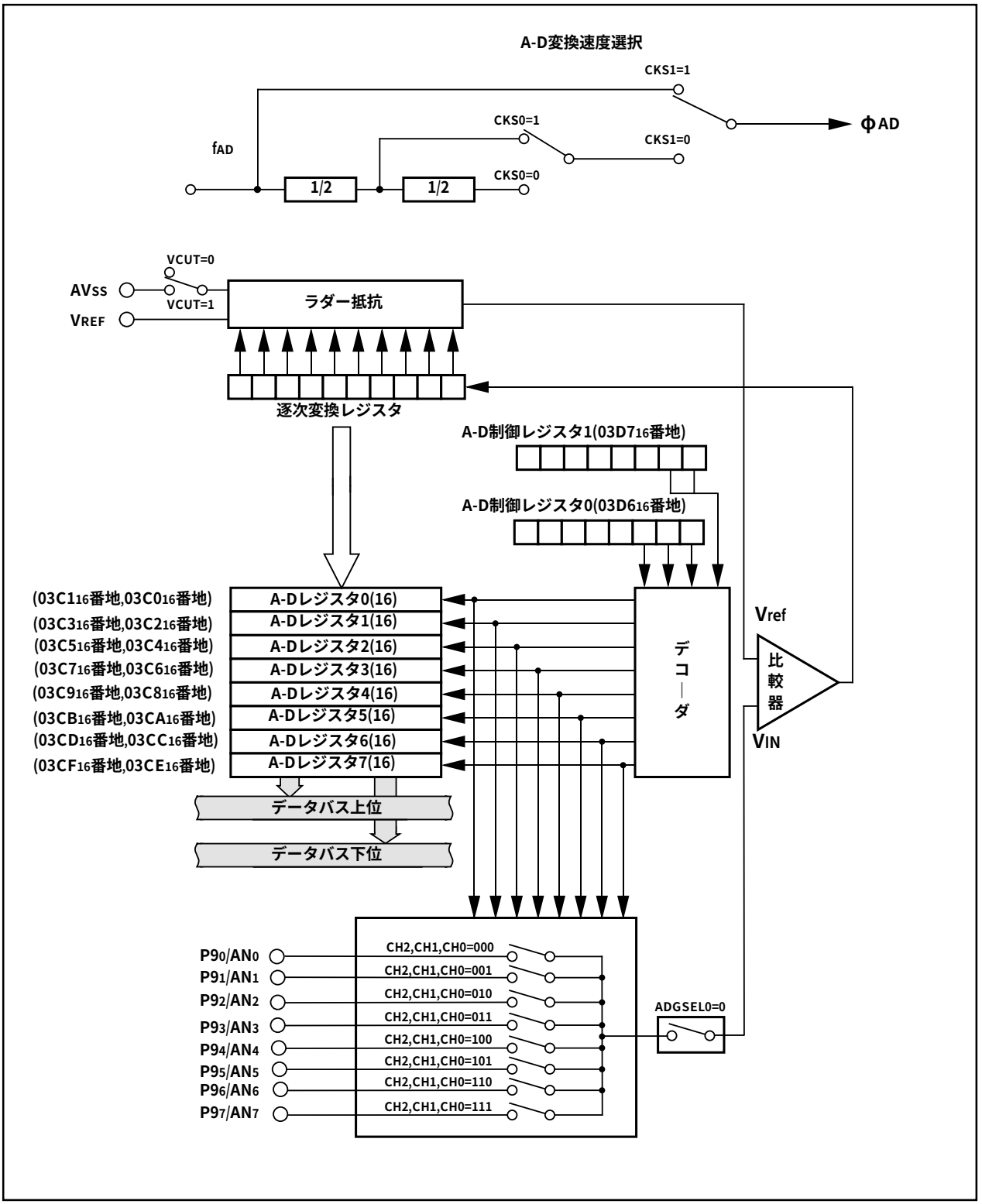


図1.17.1.　A-D変換器のブロック図

A-D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
ADCON0	$03D6_{16}$番地	$00000XXX_2$

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : AN_0を選択 0 0 1 : AN_1を選択 0 1 0 : AN_2を選択 0 1 1 : AN_3を選択 1 0 0 : AN_4を選択 1 0 1 : AN_5を選択 1 1 0 : AN_6を選択 1 1 1 : AN_7を選択　(注2)	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 0 0 : 単発モード 0 1 : 繰り返しモード 1 0 : 単掃引モード 1 1 : 繰り返し掃引モード0　(注2) 繰り返し掃引モード1	○	○
MD1			○	○
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : $\overline{AD_{TRG}}$によるトリガ	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
注2.　A-D動作モードを変更した場合には、あらためてアナログ入力端子の設定を行う必要があります。

A-D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0						

シンボル	アドレス	リセット時
ADCON1	$03D7_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	単掃引、繰り返し掃引モード0選択時 b1 b0 0 0 : AN_0, AN_1(2端子) 0 1 : AN_0~ AN_3(4端子) 1 0 : AN_0~ AN_5(6端子) 1 1 : AN_0~ AN_7(8端子)	○	○
SCAN1		繰り返し掃引モード1選択時 b1 b0 0 0 : AN_0(1端子) 0 1 : AN_0, AN_1(2端子) 1 0 : AN_0~ AN_2(3端子) 1 1 : AN_0~ AN_3(4端子)	○	○
MD2	A-D動作モード選択ビット1	0 : 繰り返し掃引モード1以外 1 : 繰り返し掃引モード1	○	○
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	○	○
CKS1	周波数選択ビット1	0 : $f_{AD}/2$または $f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	0 : Vref未接続 1 : Vref接続	○	○
予約ビット		必ず“0”を設定してください	—	—

注1.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

図1.17.2.　A-D変換器関連レジスタ(1)

A-D制御レジスタ2(注1)

シンボル	アドレス	リセット時
ADCON2	$03D4_{16}$番地	$0000XXX0_2$

b7	b6	b5	b4	b3	b2	b1	b0
✕	✕	✕	✕	0	0	0	

ビットシンボル	ビット名	機　能	R	W
SMP	A-D変換方式選択ビット	0 : サンプル&ホールドなし 1 : サンプル&ホールドあり	○	○
予約ビット		必ず“0”を設定してください	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—

注1.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

A-Dレジスタi

シンボル	アドレス	リセット時
ADi(i=0～7)	$03C0_{16}$番地～$03CF_{16}$番地	不定

(b15) b7							(b8) b0	b7						b0
✕	✕	✕	✕	✕	✕	✕								

機　能	R	W
A-D変換結果の下位8ビット	○	✕
●10ビットモード時 AD変換結果の上位2ビット	○	✕
●8ビットモード時 読み出した場合、その値は不定	✕	✕
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は“0”。	—	—

図1.17.3.　A-D変換器関連レジスタ(2)

(1) 単発モード

アナログ入力端子選択ビットで選択した1本の端子を1回A-D変換するモードです。表1.17.2に単発モードの仕様、図1.17.4に単発モード時のA-D制御レジスタ構成を示します。

表1.17.2 単発モードの仕様

項　　目	仕　　様
機能	アナログ入力端子選択ビットで選択した1本の端子を1回A-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	●A-D変換終了(A-D変換開始フラグは“0”になる。ただし、外部トリガ選択時は除く) ●A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A-D変換終了時
入力端子	AN_0～AN_7より1端子を選択
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し

A-D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			0	0			

シンボル: ADCON0　アドレス: $03D6_{16}$番地　リセット時: $00000XXX_2$

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : AN_0を選択 0 0 1 : AN_1を選択 0 1 0 : AN_2を選択 0 1 1 : AN_3を選択 1 0 0 : AN_4を選択 1 0 1 : AN_5を選択 1 1 0 : AN_6を選択 1 1 1 : AN_7を選択　(注2)	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 0 0 : 単発モード　(注2)	○	○
MD1			○	○
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : $\overline{AD_{TRG}}$によるトリガ	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
注2. A-D動作モードを変更した場合には、あらためてアナログ入力端子の設定を行う必要があります。

A-D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	1			0		

シンボル: ADCON1　アドレス: $03D7_{16}$番地　リセット時: 00_{16}

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	単発モードでは無効	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	このモードでは“0”を設定してください	○	○
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	○	○
CKS1	周波数選択ビット1	0 : $f_{AD}/2$、$f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	1 : Vref接続	○	○
予約ビット		必ず“0”を設定してください	—	—

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

図1.17.4. 単発モード時のA-D制御レジスタ

(2) 繰り返しモード

アナログ入力端子選択ビットで選択した1本の端子を繰り返しA-D変換するモードです。表1.17.3に繰り返しモードの仕様、図1.17.5に繰り返しモード時のA-D制御レジスタ構成を示します。

表1.17.3 繰り返しモードの仕様

項　目	仕　様
機能	アナログ入力端子選択ビットで選択した1本の端子を繰り返しA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN_0～AN_7より1端子を選択
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能)

A-D制御レジスタ0(注1)

シンボル	アドレス	リセット時
ADCON0	$03D6_{16}$番地	$00000XXX_2$

b7	b6	b5	b4	b3	b2	b1	b0
			0	1			

ビットシンボル	ビット名	機　能	R	W
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : AN_0を選択 0 0 1 : AN_1を選択 0 1 0 : AN_2を選択 0 1 1 : AN_3を選択 1 0 0 : AN_4を選択 1 0 1 : AN_5を選択 1 1 0 : AN_6を選択 1 1 1 : AN_7を選択　(注2)	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 0 1 : 繰り返しモード　(注2)	○	○
MD1			○	○
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : $\overline{AD_{TRG}}$によるトリガ	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
注2. A-D動作モードを変更した場合には、あらためてアナログ入力端子の設定を行う必要があります。

A-D制御レジスタ1(注1)

シンボル	アドレス	リセット時
ADCON1	$03D7_{16}$番地	00_{16}

b7	b6	b5	b4	b3	b2	b1	b0
0	0	1			0		

ビットシンボル	ビット名	機　能	R	W
SCAN0	A-D掃引端子選択ビット	繰り返しモードでは無効	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	このモードでは“0”を設定してください	○	○
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	○	○
CKS1	周波数選択ビット1	0 : $f_{AD}/2$、$f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	1 : Vref接続	○	○
予約ビット		必ず“0”を設定してください	—	—

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

図1.17.5. 繰り返しモード時のA-D制御レジスタ

(3) 単掃引モード

A-D掃引端子選択ビットで選択した端子を1回ずつA-D変換するモードです。表1.17.4に単掃引モードの仕様、図1.17.6に単掃引モード時のA-D制御レジスタ構成を示します。

表1.17.4 単掃引モードの仕様

項　　目	仕　　様
機能	A-D掃引端子選択ビットで選択した端子を1回ずつA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	●A-D変換終了(A-D変換開始フラグは“0”になる。ただし、外部トリガ選択時は除く) ●A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A-D変換終了時
入力端子	AN_0,AN_1(2端子),AN_0～AN_3(4端子),AN_0～AN_5(6端子),AN_0～AN_7(8端子)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し

A-D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			1	0			

シンボル	アドレス	リセット時
ADCON0	$03D6_{16}$番地	$00000XXX_2$

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	単掃引モードでは無効	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 1 0 : 単掃引モード	○	○
MD1			○	○
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : $\overline{AD_{TRG}}$によるトリガ	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

A-D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	1			0		

シンボル	アドレス	リセット時
ADCON1	$03D7_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	単掃引、繰り返し掃引モード0選択時 b1 b0 0 0 : AN_0,AN_1(2端子) 0 1 : AN_0～AN_3(4端子) 1 0 : AN_0～AN_5(6端子) 1 1 : AN_0～AN_7(8端子)	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	このモードでは“0”を設定してください	○	○
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	○	○
CKS1	周波数選択ビット1	0 : $f_{AD}/2$、$f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	1 : Vref接続	○	○
予約ビット		必ず“0”を設定してください	—	—

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

図1.17.6. 単掃引モード時のA-D制御レジスタ

(4) 繰り返し掃引モード0

A-D掃引端子選択ビットで選択した端子を繰り返しA-D変換するモードです。表1.17.5に繰り返し掃引モード0の仕様、図1.17.7に繰り返し掃引モード0時のA-D制御レジスタ構成を示します。

表1.17.5 繰り返し掃引モード0の仕様

項　　目	仕　　様
機能	A-D掃引端子選択ビットで選択した端子を繰り返しA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN_0,AN_1(2端子),AN_0～AN_3(4端子), AN_0～AN_5(6端子),AN_0～AN_7(8端子)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能)

A-D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			1	1			

シンボル ADCON0　アドレス $03D6_{16}$番地　リセット時 $00000XXX_2$

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	繰り返し掃引モード0では無効	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 1 1 : 繰り返し掃引モード0	○	○
MD1			○	○
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : $\overline{AD_{TRG}}$によるトリガ	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

A-D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	1			0		

シンボル ADCON1　アドレス $03D7_{16}$番地　リセット時 00_{16}

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	単掃引、繰り返し掃引モード0選択時 b1 b0 0 0 : AN_0,AN_1(2端子) 0 1 : AN_0～AN_3(4端子) 1 0 : AN_0～AN_5(6端子) 1 1 : AN_0～AN_7(8端子)	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	このモードでは“0”を設定してください	○	○
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	○	○
CKS1	周波数選択ビット1	0 : $f_{AD}/2$、 $f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	1 : Vref接続	○	○
予約ビット		必ず“0”を設定してください	—	—

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

図1.17.7. 繰り返し掃引モード0時のA-D制御レジスタ

(5) 繰り返し掃引モード1

A-D掃引端子選択ビットで選択した端子に重点をおいて全端子を繰り返しA-D変換するモードです。表1.17.6に繰り返し掃引モード1の仕様、図1.17.7に繰り返し掃引モード1時のA-D制御レジスタ構成を示します。

表1.17.6 繰り返し掃引モード1の仕様

項　　目	仕　　様
機能	A-D掃引端子選択ビットで選択した端子に重点をおいて全端子を繰り返しA-D変換する 例 : AN_0を選択した場合　　$AN_0 \rightarrow AN_1 \rightarrow AN_0 \rightarrow AN_2 \rightarrow AN_0 \rightarrow AN_3$ ・・・ となる
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	重点的に行う端子;AN_0(1端子),AN_0,AN_1(2端子),AN_0～AN_2(3端子), AN_0～AN_3(4端子)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能)

A-D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			1	1			

シンボル	アドレス	リセット時
ADCON0	$03D6_{16}$番地	$00000XXX_2$

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	繰り返し掃引モード1では無効	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 1 1 : 繰り返し掃引モード1	○	○
MD1			○	○
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : $\overline{AD_{TRG}}$によるトリガ	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

A-D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	1			1		

シンボル	アドレス	リセット時
ADCON1	$03D7_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	繰り返し掃引モード1選択時 b1 b0 0 0 : AN_0(1端子) 0 1 : AN_0,AN_1(2端子) 1 0 : AN_0～AN_2(3端子) 1 1 : AN_0～AN_3(4端子)	○	○
SCAN1			○	○
MD2	A-D動作モード選択ビット1	このモードでは“1”を設定してください	○	○
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	○	○
CKS1	周波数選択ビット1	0 : $f_{AD}/2$、$f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	1 : Vref接続	○	○
予約ビット		必ず“0”を設定してください	―	―

注1. A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

図1.17.8. 繰り返し掃引モード1時のA-D制御レジスタ

■サンプル&ホールド

A-D制御レジスタ2(03D4$_{16}$番地)のビット0の内容を“1”にすることによって、サンプル&ホールドを選択できます。サンプル&ホールドを選択したときは1端子あたりの変換速度も向上し、分解能8ビットの場合28φ$_{AD}$サイクル、分解能10ビットの場合33φ$_{AD}$サイクルです。サンプル&ホールドは、すべての動作モードに対して有効です。ただし、いずれの動作モードにおいても、サンプル＆ホールドの有無を選択してからA-D変換を開始してください。

サンプル&ホールドを選択した場合、V_{CC}には4.0～5.5Vの電圧を印加してください。

D-A変換器

8ビットのR-2R方式によるD-A変換器です。独立した3つのD-A変換器を内蔵しています。

D-A変換は、対応したD-Aレジスタに値を書き込むことで行われます。変換結果を出力するかどうかはD-A制御レジスタのビット0、ビット1、ビット2(D-A出力許可ビット)によって設定します。D-A変換を使用する場合は、対象となるポートは出力モードに設定しないでください。D-A出力を許可状態にすると対応するポートのプルアップは禁止されます。

出力されるアナログ電圧Vは、D-Aレジスタに設定した値n(nは10進数)で決まります。

$V=V_{REF}\times n/256$(n=0～255)

V_{REF}:基準電圧

表1.18.1にD-A変換器の性能を、図1.18.1にD-A変換器のブロック図を、図1.18.2にD-A制御レジスタの構成、図1.18.3にD-A変換器の等価回路を示します。

表1.18.1.　D-A変換器の性能

項　目	性　能
変換方式	R-2R方式
分解能	8ビット
アナログ出力端子	3チャネル

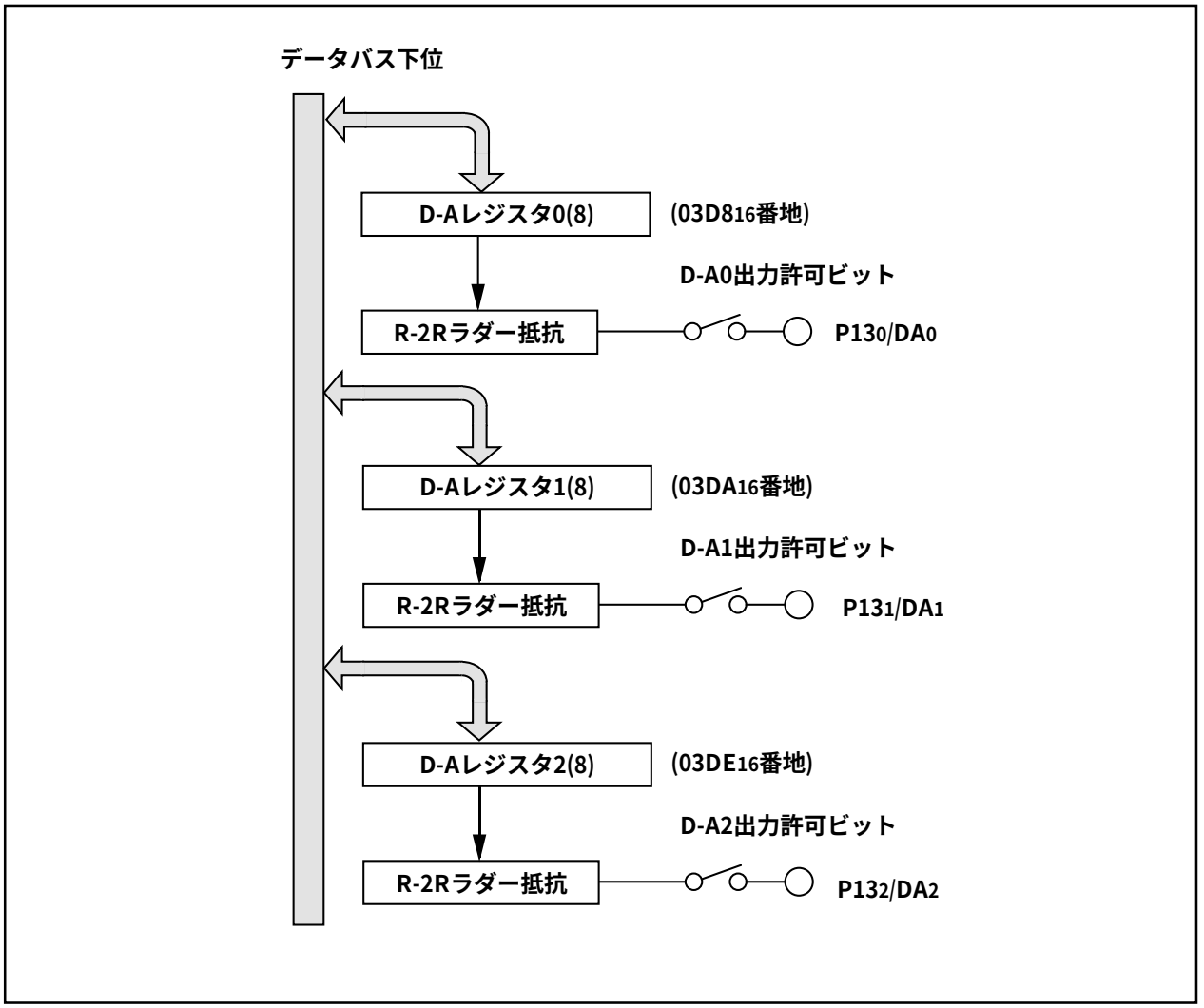
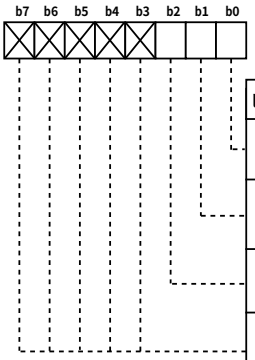


図1.18.1.　D-A変換器のブロック図

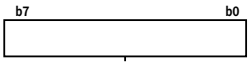
D-A制御レジスタ



シンボル	アドレス	リセット時
DACON	03DC16番地	0016

ビットシンボル	ビット名	機　　能	R	W
DA0E	D-A0出力許可ビット	0 : 出力禁止 1 : 出力許可	○	○
DA1E	D-A1出力許可ビット	0 : 出力禁止 1 : 出力許可	○	○
DA2E	D-A2出力許可ビット	0 : 出力禁止 1 : 出力許可	○	○
何も配置されていない。 書き込む場合、“ 0 ”を書き込んでください。読み出した場合、その値は“ 0 ”。			—	—

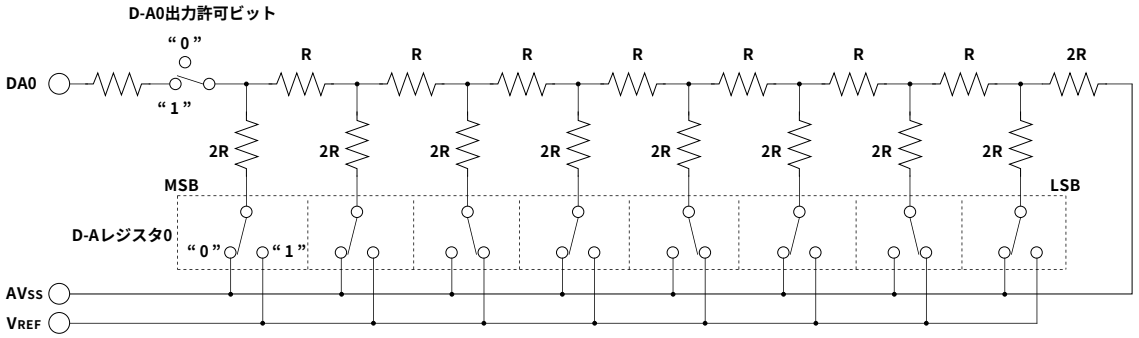
D-Aレジスタi



シンボル	アドレス	リセット時
DAi(i=0～2)	03D816、03DA16、03DE16番地	不定

機　　能	R	W
D-A変換の出力値	○	○

図1.18.2.　D-A制御レジスタの構成



注1.　上図はD-Aレジスタの値が“ 2A16 ”の場合です。
注2.　この回路はD-A1, D-A2においても同一です。
注3.　D-A変換器を使用しない場合には、不要な消費電流を小さくするためにD-A出力許可ビットを“ 0 ”とし、D-Aレジスタを“ 0016 ”として、R-2Rの抵抗に電流が流れないようにしてください。

図1.18.3.　D-A変換器の等価回路

プログラマブル入出力ポート

プログラマブル入出力ポートは、P0～P13(P77は除く)の104本あります。各ポートの入出力は、方向レジスタによって1ポートごとに設定できます。また、4ポートごとに、プルアップ抵抗の有無を設定できます。P77は入力専用でプルアップ抵抗は内蔵していません。

プログラマブル入出力ポートの構成を図1.19.1～図1.19.4に、端子構成を図1.19.5に示します。

各端子は、プログラマブル入出力ポートと内蔵周辺装置の入出力として機能します。

内蔵周辺装置の入力端子として使用する場合は、各端子の方向レジスタを入力モードに設定してください。D-A変換器以外の内蔵周辺装置の出力端子として使用する場合は、方向レジスタの内容に関係なく内蔵周辺装置の出力となります。D-A変換器の出力端子として使用する場合は、各端子の方向レジスタを出力モードに設定しないでください。内蔵周辺装置の設定方法は、各機能説明を参照してください。

(1) 方向レジスタ

方向レジスタの構成を、図1.19.6に示します。

プログラマブル入出力ポートの方向を選択するためのレジスタです。このレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

注1. P77の方向レジスタのビットは存在していません。

(2) ポートレジスタ

ポートレジスタの構成を、図1.19.7に示します。

外部とのデータ入出力は、ポートレジスタへの書き込みおよび読み出しによって行います。ポートレジスタは、出力データを保持するポートラッチ、および端子の状態を読み込む回路で構成されています。ポートレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

(3) プルアップ制御レジスタ

プルアップ制御レジスタの構成を、図1.19.8に示します。

プルアップ制御レジスタによって、4ポートごとに、プルアップ抵抗の有無を設定できます。プルアップ抵抗ありに設定したポートは、方向レジスタを入力に設定したときにだけプルアップ抵抗が接続されます。ただし、周辺機能により出力となる端子は、プルアップ制御レジスタの設定に関わらず、その端子のプルアップ抵抗は接続されません。ポートP1、P2はプルアップありの時、キー入力モードレジスタにより一定期間のみプルアップされる間欠プルアップ動作が可能です。

(4) キー入力モードレジスタ

キー入力モードレジスタの構成を、図1.19.9に示します。

P1, P2のキー入力はこのレジスタのビット0, 1により両エッジ、立ち下がりエッジを選択することができます。また、ビット2によりP1, P2のうちプルアップ制御レジスタ制御レジスタによりプルアップされているポートのプルアップを自動的に間欠的なプルアップが接続されるように動作させることができます。また、上位3ビットによって、ポートP12、P13のプルアップ抵抗の有無を設定できます。

(5) リアルタイムポート制御レジスタ

リアルタイムポート制御レジスタの構成を、図1.19.10に示します。

リアルタイムポート制御レジスタによって、それぞれポートP0, P1, P2, P12レジスタがタイマモード時のタイマA0, A1, A5, A6のオーバーフローに同期して出力するリアルタイムポート出力として動作させることが可能です。詳細は「リアルタイムポート」の章を参照してください。

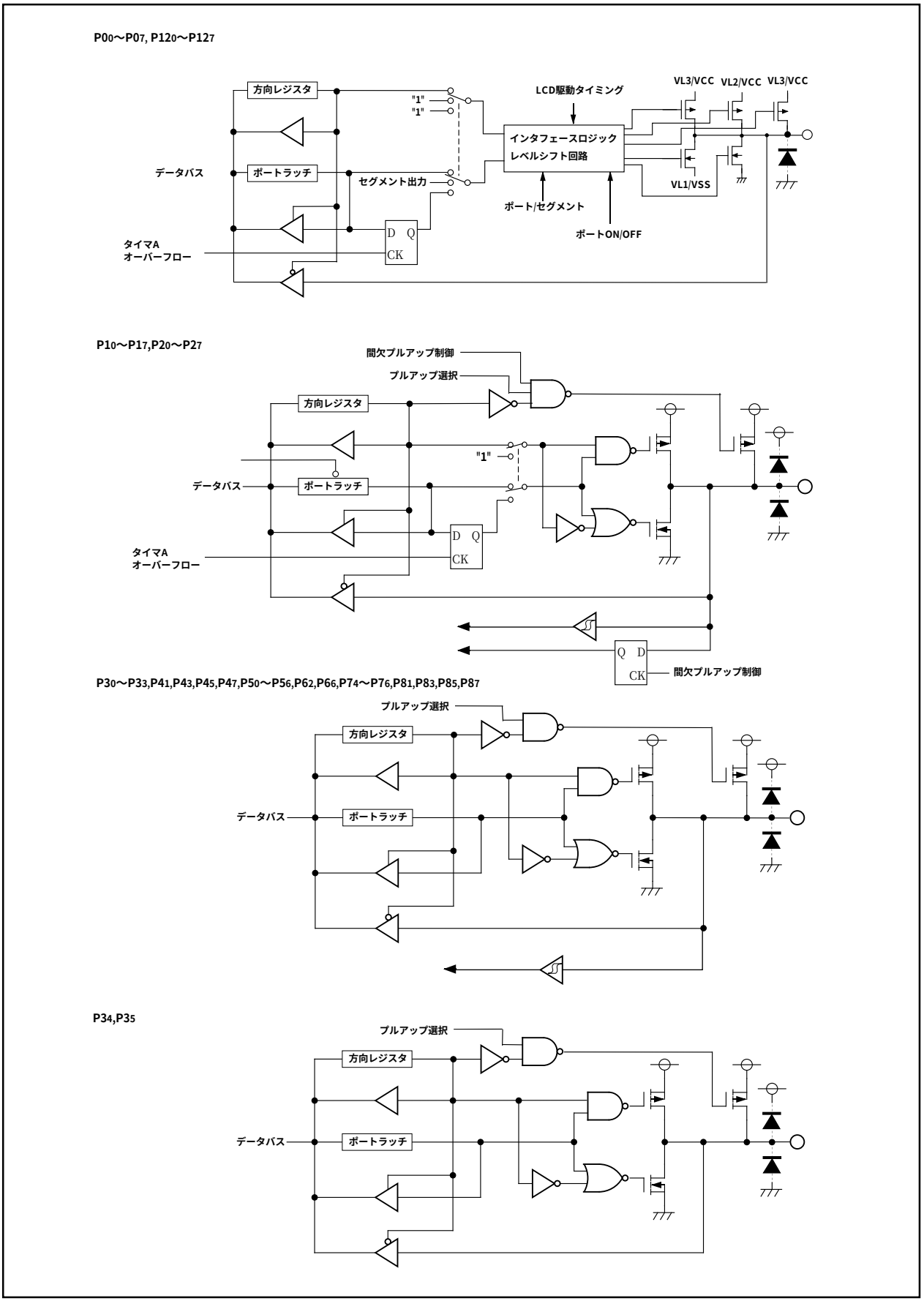


図1.19.1.　プログラマブル入出力ポートの構成(1)

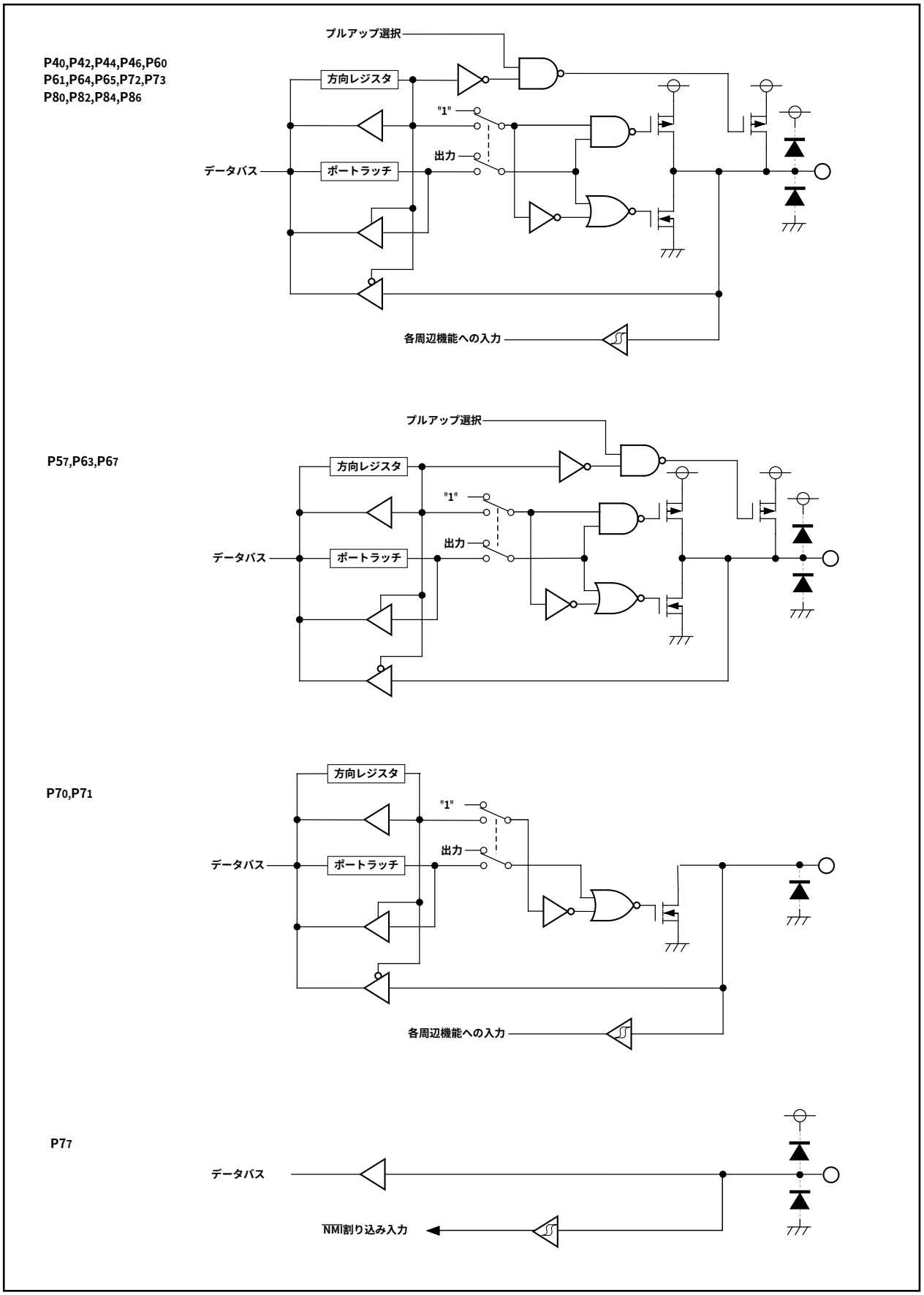
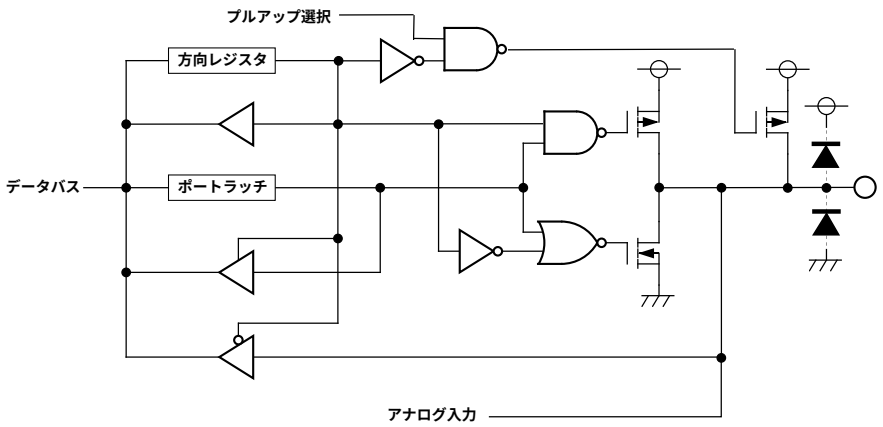
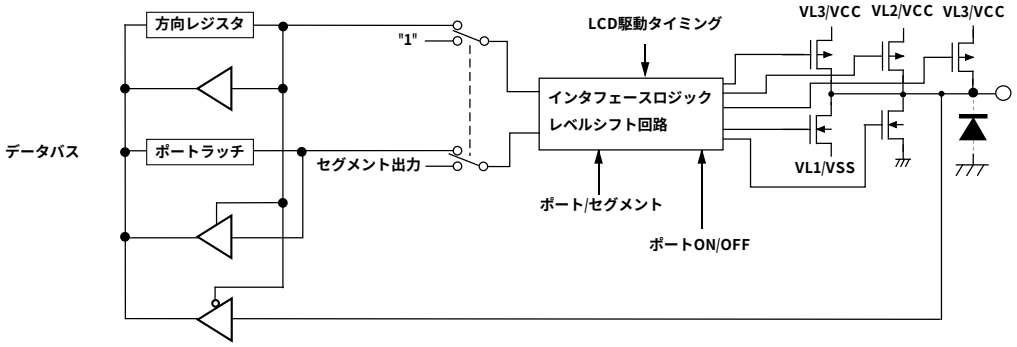


図1.19.2.　プログラマブル入出力ポートの構成(2)

P90～P97



P100～P107, P110～P117



P130

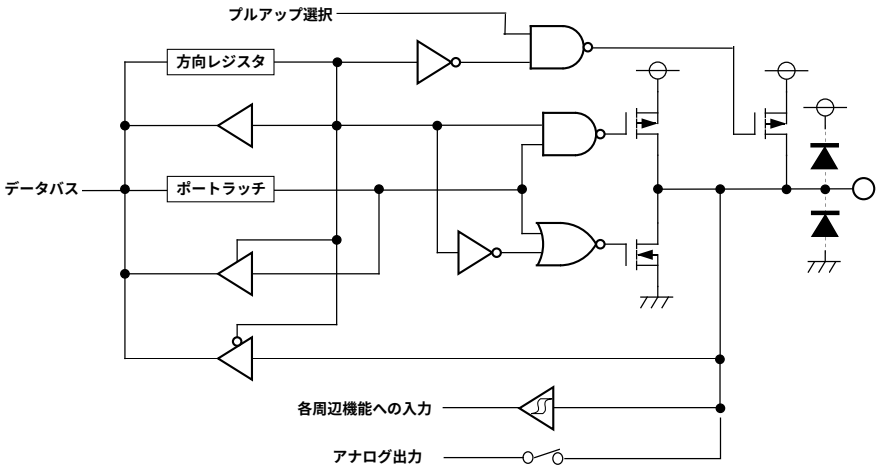


図1.19.3.　プログラマブル入出力ポートの構成(3)

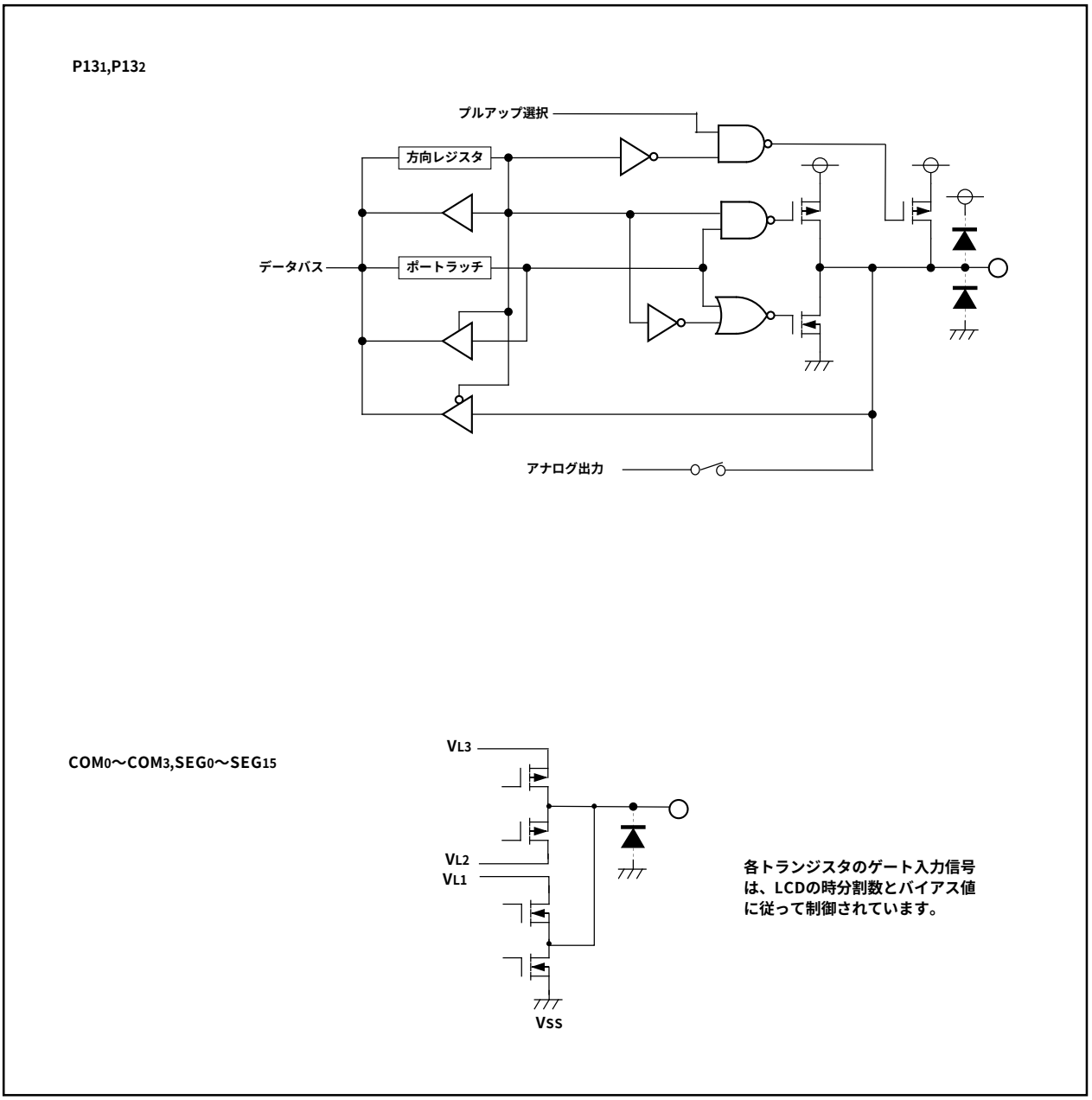


図1.19.4.　プログラマブル入出力ポートの構成(4)

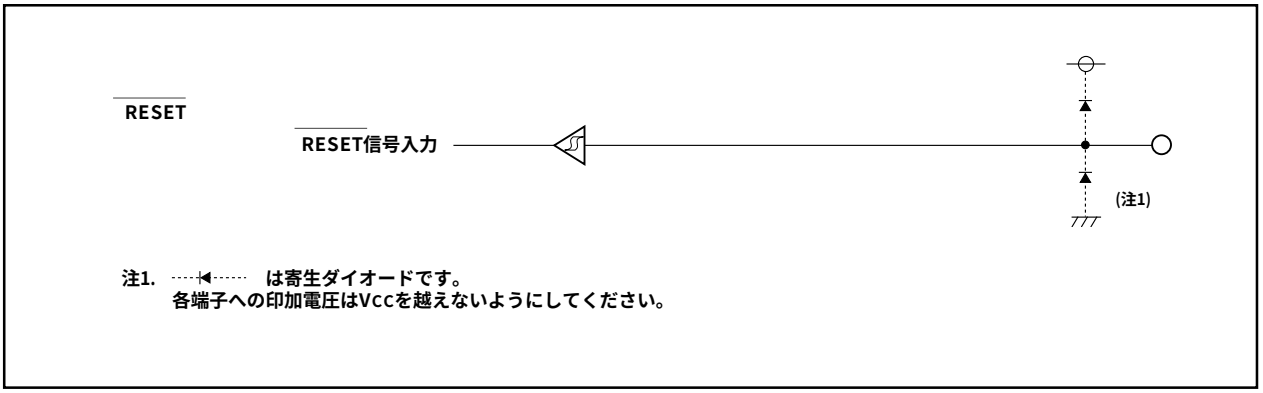


図1.19.5.　端子の構成

ポートPi方向レジスタ(注1)

シンボル	アドレス	リセット時
PDi(i=0～12 ただし3,7は除く)	03E2$_{16}$,03E3$_{16}$,03E6$_{16}$,03EA$_{16}$番地 03EB$_{16}$,03EE$_{16}$,03F2$_{16}$,03F3$_{16}$番地 03F6$_{16}$,03F7$_{16}$,03FA$_{16}$番地	00$_{16}$

b7 b6 b5 b4 b3 b2 b1 b0

ビットシンボル	ビット名	機　能	R	W
PDi_0	ポートPi$_0$方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能） (i=0～12 ただし3,7は除く)	○	○
PDi_1	ポートPi$_1$方向レジスタ		○	○
PDi_2	ポートPi$_2$方向レジスタ		○	○
PDi_3	ポートPi$_3$方向レジスタ		○	○
PDi_4	ポートPi$_4$方向レジスタ		○	○
PDi_5	ポートPi$_5$方向レジスタ		○	○
PDi_6	ポートPi$_6$方向レジスタ		○	○
PDi_7	ポートPi$_7$方向レジスタ		○	○

注1．ポートP12方向レジスタは、ワードアクセスをしないでください。

ポートP3方向レジスタ

シンボル	アドレス	リセット時
PD3	03E7$_{16}$番地	XX000000$_2$

b7 b6 b5 b4 b3 b2 b1 b0

ビットシンボル	ビット名	機　能	R	W
PD3_0	ポートP3$_0$方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	○	○
PD3_1	ポートP3$_1$方向レジスタ		○	○
PD3_2	ポートP3$_2$方向レジスタ		○	○
PD3_3	ポートP3$_3$方向レジスタ		○	○
PD3_4	ポートP3$_4$方向レジスタ		○	○
PD3_5	ポートP3$_5$方向レジスタ		○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

ポートP7方向レジスタ

シンボル	アドレス	リセット時
PD7	03EF$_{16}$番地	X0000000$_2$

b7 b6 b5 b4 b3 b2 b1 b0

ビットシンボル	ビット名	機　能	R	W
PD7_0	ポートP7$_0$方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	○	○
PD7_1	ポートP7$_1$方向レジスタ		○	○
PD7_2	ポートP7$_2$方向レジスタ		○	○
PD7_3	ポートP7$_3$方向レジスタ		○	○
PD7_4	ポートP7$_4$方向レジスタ		○	○
PD7_5	ポートP7$_5$方向レジスタ		○	○
PD7_6	ポートP7$_6$方向レジスタ		○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

ポートP13方向レジスタ

シンボル	アドレス	リセット時
PD13	03FB$_{16}$番地	XXXXX000$_2$

b7 b6 b5 b4 b3 b2 b1 b0

ビットシンボル	ビット名	機　能	R	W
PD13_0	ポートP13$_0$方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	○	○
PD13_1	ポートP13$_1$方向レジスタ		○	○
PD13_2	ポートP13$_2$方向レジスタ		○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

図1.19.6.　方向レジスタの構成

ポートPiレジスタ(注1)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル: Pi(i=0～12 ただし3,7は除く)

アドレス: 03E0$_{16}$,03E1$_{16}$,03E4$_{16}$,03E8$_{16}$番地 03E9$_{16}$,03EC$_{16}$,03F0$_{16}$,03F1$_{16}$番地 03F4$_{16}$,03F5$_{16}$,03F8$_{16}$番地

リセット時: 不定

ビットシンボル	ビット名	機　能	R	W
Pi_0	ポートPi$_0$レジスタ	対応するビットの読み出し、および書き込みで対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル (i=0～12　ただし3,7は除く)	○	○
Pi_1	ポートPi$_1$レジスタ		○	○
Pi_2	ポートPi$_2$レジスタ		○	○
Pi_3	ポートPi$_3$レジスタ		○	○
Pi_4	ポートPi$_4$レジスタ		○	○
Pi_5	ポートPi$_5$レジスタ		○	○
Pi_6	ポートPi$_6$レジスタ		○	○
Pi_7	ポートPi$_7$レジスタ		○	○

注1．ポートP12レジスタは、ワードアクセスをしないでください。

ポートP3レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル: P3

アドレス: 03E5$_{16}$番地

リセット時: 不定

ビットシンボル	ビット名	機　能	R	W
P3_0	ポートP3$_0$レジスタ	対応するビットの読み出し、および書き込みで対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル	○	○
P3_1	ポートP3$_1$レジスタ		○	○
P3_2	ポートP3$_2$レジスタ		○	○
P3_3	ポートP3$_3$レジスタ		○	○
P3_4	ポートP3$_4$レジスタ		○	○
P3_5	ポートP3$_5$レジスタ		○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

ポートP7レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル: P7

アドレス: 03ED$_{16}$番地

リセット時: 不定

ビットシンボル	ビット名	機　能	R	W
P7_0	ポートP7$_0$レジスタ	対応するビットの読み出し、および書き込み(ただしP7$_7$は除く)で対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル(注1)	○	○
P7_1	ポートP7$_1$レジスタ		○	○
P7_2	ポートP7$_2$レジスタ		○	○
P7_3	ポートP7$_3$レジスタ		○	○
P7_4	ポートP7$_4$レジスタ		○	○
P7_5	ポートP7$_5$レジスタ		○	○
P7_6	ポートP7$_6$レジスタ		○	○
P7_7	ポートP7$_7$レジスタ		○	×

注1．P7$_0$、P7$_1$はNチャネルオープンドレインポートのため、ハイインピーダンスとなります。

ポートP13レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル: P13

アドレス: 03F9$_{16}$番地

リセット時: 不定

ビットシンボル	ビット名	機　能	R	W
P13_0	ポートP13$_0$レジスタ	対応するビットの読み出し、および書き込みで対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル	○	○
P13_1	ポートP13$_1$レジスタ		○	○
P13_2	ポートP13$_2$レジスタ		○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

図1.19.7.　ポートレジスタの構成

プルアップ制御レジスタ0(注1)(注2)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
PUR0	$03FC_{16}$番地	00000011_2

ビットシンボル	ビット名	機　　能	R	W
PU00	$P0_0$～$P0_3$のプルアップ	対応するポートのプルアップの設定を行う 0：プルアップなし 1：プルアップあり	○	○
PU01	$P0_4$～$P0_7$のプルアップ		○	○
PU02	$P1_0$～$P1_3$のプルアップ		○	○
PU03	$P1_4$～$P1_7$のプルアップ		○	○
PU04	$P2_0$～$P2_3$のプルアップ		○	○
PU05	$P2_4$～$P2_7$のプルアップ		○	○
PU06	$P3_0$～$P3_3$のプルアップ		○	○
PU07	$P3_4$～$P3_5$のプルアップ		○	○

注1．周辺機能により出力となる端子は、プルアップ制御レジスタの設定に関わらず、その端子のプルアップ抵抗は接続されません。
注2．このレジスタは、ワードアクセスをしないでください。

プルアップ制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
PUR1	$03FD_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
PU10	$P4_0$～$P4_3$のプルアップ	対応するポートのプルアップの設定を行う 0：プルアップなし 1：プルアップあり	○	○
PU11	$P4_4$～$P4_7$のプルアップ		○	○
PU12	$P5_0$～$P5_3$のプルアップ		○	○
PU13	$P5_4$～$P5_7$のプルアップ		○	○
PU14	$P6_0$～$P6_3$のプルアップ		○	○
PU15	$P6_4$～$P6_7$のプルアップ		○	○
PU16	$P7_2$～$P7_3$のプルアップ		○	○
PU17	$P7_4$～$P7_6$のプルアップ		○	○

注1．周辺機能により出力となる端子は、プルアップ制御レジスタの設定に関わらず、その端子のプルアップ抵抗は接続されません。

プルアップ制御レジスタ2(注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
PUR2	$03FE_{16}$番地	11110000_2

ビットシンボル	ビット名	機　　能	R	W
PU20	$P8_0$～$P8_3$のプルアップ	対応するポートのプルアップの設定を行う 0：プルアップなし 1：プルアップあり	○	○
PU21	$P8_4$～$P8_7$のプルアップ		○	○
PU22	$P9_0$～$P9_3$のプルアップ		○	○
PU23	$P9_4$～$P9_7$のプルアップ		○	○
PU24	P100～P103のプルアップ		○	○
PU25	P104～P107のプルアップ		○	○
PU26	P110～P113のプルアップ		○	○
PU27	P114～P117のプルアップ		○	○

注1．周辺機能により出力となる端子は、プルアップ制御レジスタの設定に関わらず、その端子のプルアップ抵抗は接続されません。

図1.19.8.　プルアップ制御レジスタの構成

キー入力モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
KUPM	0126_{16}番地	01100000_2

ビットシンボル	ビット名	機　能	R	W
P1KIS	P1キー入力選択ビット (注1)	0 : 立ち下がりエッジ 1 : 両エッジ(注2)	○	○
P1KIE	P1キー入力許可ビット	0 : 禁止 1 : 許可	○	○
P2KIS	P2キー入力選択ビット (注1)	0 : 立ち下がりエッジ 1 : 両エッジ(注2)	○	○
P2KIE	P2キー入力許可ビット	0 : 禁止 1 : 許可	○	○
P3KIE	P3キー入力許可ビット	0 : 禁止 1 : 許可	○	○
PUP12L	$P120$～$P123$のプルアップ (注3)	対応するポートのプルアップの設定をおこなう 0 : プルアップなし 1 : プルアップあり	○	○
PUP12H	$P124$～$P127$のプルアップ (注3)		○	○
PUP13	$P130$～$P132$のプルアップ (注3)		○	○

注1. 対応するポートがプルアップありに設定されている場合、このビットを両エッジにすると自動的に間欠プルアップ動作をします。
ただし、必ずサブクロックを動作させてください。

注2. このビットが両エッジに設定され、かつ対応するポートのいずれかの端子入力が"L"のとき、対応するポートのプルアップ制御レジスタ0($03FC_{16}$番地のビット2～5)の設定を変更すると、キー入力割り込み要求ビットが"1"にセットされる場合があります。

注3. 周辺機能により出力となる端子は、プルアップ制御レジスタの設定に関わらず、その端子のプルアップ抵抗は接続されません。

図1.19.9. キー入力モードレジスタの構成

リアルタイムポート制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
RTP	$03FF_{16}$番地	00_{16}

ビットシンボル	ビット名	機　能	R	W
RTP0	$P00$～$P03$リアルタイムポートモード選択ビット	0 : 入出力ポート 1 : リアルタイムポート出力(注1)	○	○
RTP1	$P04$～$P07$リアルタイムポートモード選択ビット		○	○
RTP2	$P10$～$P13$リアルタイムポートモード選択ビット		○	○
RTP3	$P14$～$P17$リアルタイムポートモード選択ビット		○	○
RTP4	$P20$～$P23$リアルタイムポートモード選択ビット		○	○
RTP5	$P24$～$P27$リアルタイムポートモード選択ビット		○	○
RTP6	$P120$～$P123$リアルタイムポートモード選択ビット		○	○
RTP7	$P124$～$P127$リアルタイムポートモード選択ビット		○	○

注1. 対応するポート方向レジスタの設定値は無効です。

図1.19.10. リアルタイムポート制御レジスタの構成

表1.19.1.　シングルチップモード時の未使用端子の処理例

端　子　名	処　理　内　容
ポートP0～P13(P77は除く)	出力モードに設定し、端子を開放するか、または入力モードに設定し、抵抗を介してVssに接続(プルダウン)(注1、注3)
XOUT(注2)、XCOUT	開放
XCIN	抵抗を介してVssに接続
$\overline{\text{NMI}}$	抵抗を介してVccに接続
AVcc	Vccに接続
AVss, VREF	Vssに接続
COM0～COM3	開放
SEG0～SEG15	開放
C1, C2	開放
VL2, VL3	Vccに接続
VL1	Vssに接続
CNVss	抵抗を介してVssに接続

注1.　出力モードに設定し、開放する場合、リセットからソフトウエアによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。
また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、ソフトウエアで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。
注2.　XIN端子に外部クロックを入力しているとき。
注3.　ポートP70、P71を出力モードに設定する場合は“L”を出力してください。
ポートP70、P71はNチャネルオープンドレイン出力です。

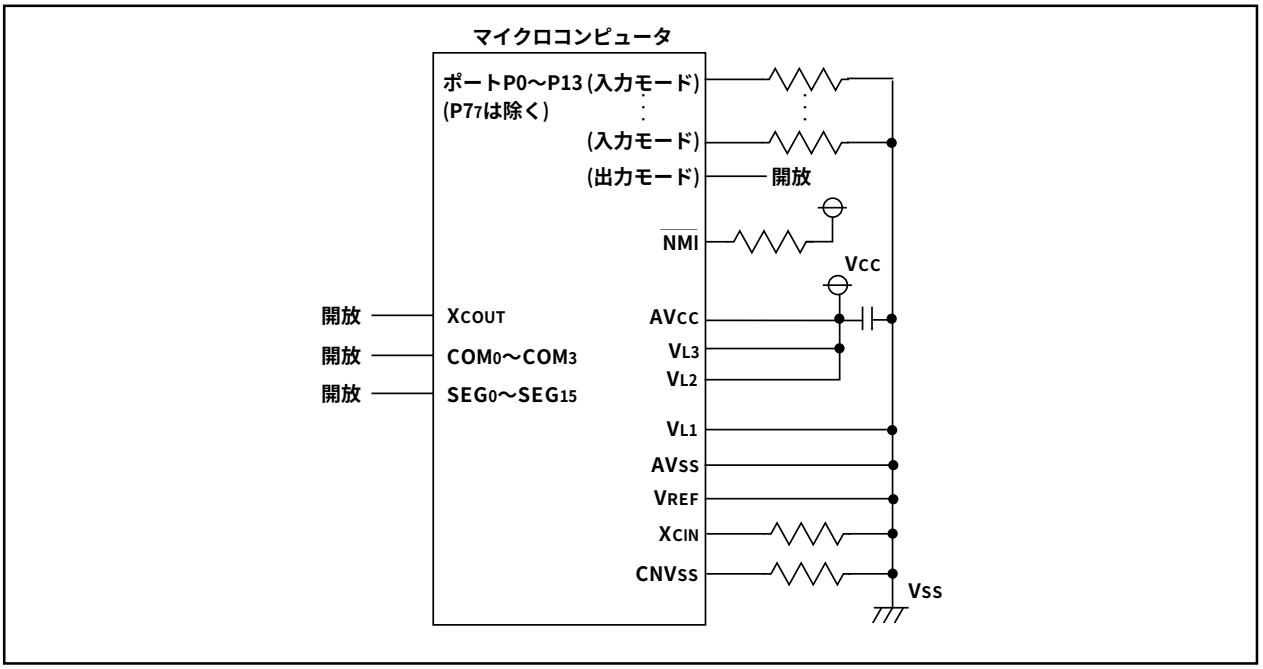


図1.19.11.　未使用端子の処理例

使用上の注意事項

タイマＡの注意事項 (タイマモード)

(1) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、FFFF16が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

タイマＡの注意事項 (イベントカウンタモード)

(1) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、アンダフロー時はFFFF16が、オーバフロー時は0000 16が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

(2) フリーランタイプ選択時、カウントを停止した場合は、タイマを再設定してください。

タイマＡの注意事項 (ワンショットタイマモード)

(1) カウント中にカウント開始フラグを“０”にすると次のようになります。

●カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
●TAiOUT端子の出力レベルは“Ｌ”になります。
●割り込み要求が発生し、タイマA0割り込み要求ビットが“１”になります。

(2) 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“１”になります。

●リセット後、ワンショットタイマモードを選択したとき
●動作モードをタイマモードからワンショットタイマモードに変更したとき
●動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき

したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマA0割り込み要求ビットを“０”にしてください。

タイマＡの注意事項 (パルス幅変調モード)

(1) 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“１”になります。

●リセット後、PWMモードを選択したとき
●動作モードをタイマモードからPWMモードに変更したとき
●動作モードをイベントカウンタモードからPWMモードに変更したとき

したがって、タイマA0割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“０”にしてください。

(2) PWMパルスを出力中にカウント開始フラグを“０”にすると、カウンタはカウントを停止します。このとき、TAiOUT端子が“Ｈ”レベルを出力している場合は、出力レベルは“Ｌ”になり、タイマAi割り込み要求ビットが“１”になります。“Ｌ”レベルを出力している場合は、出力レベルは変化せず、タイマAi割り込み要求も発生しません。

タイマBの注意事項 (タイマモード、イベントカウンタモード)

(1) カウント中のカウンタの値は、タイマBiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、FFFF16が読み出されます。カウント停止中にタイマBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

タイマＢの注意事項　(パルス周期測定 / パルス幅測定モード)

(1)　カウント開始後に測定モード選択ビットの変更を行うと、タイマBi割り込み要求ビットが“ 1 ”になります。

(2)　カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。

リアルタイムポート出力の注意事項

(1)　リアルタイムポート出力に使用するタイマAiはタイマモードに設定し、ゲート機能選択ビットによりゲート機能なしに設定してください。

(2)　リアルタイムポートモード選択ビットを“ 1 ”に設定するときは、リアルタイムポートモード選択ビットを“ 1 ”に設定する前に使用するタイマAiを一旦停止し、タイマAiレジスタに設定値を書き込んでください。

シリアルI/Oの注意事項

IICモード選択ビット(0377$_{16}$番地のビット0)を“ 1 ”に設定した場合、

(1)　ポートP7$_1$方向レジスタ(03EF$_{16}$番地のビット1)はリード時に内容が不定となるため、即値を設定してください。また、ポートP7方向レジスタ(03EF$_{16}$番地)にBSET、BCLR、AND、ORなどのリードモディファイライト命令を実行すると、ポートP7$_1$方向レジスタの内容が変更されることがあります。

(2)　マスクROM版のみ、内/外部クロック選択ビット(0378$_{16}$番地のビット3)を“ 1(スレーブ設定) ”にした場合、SCLウエイト出力ビット(0376$_{16}$番地のビット2)とSCLウエイト出力ビット2(0376$_{16}$番地のビット5)は機能しません。

(3)　マスクROM版のみ、内/外部クロック選択ビット(0378$_{16}$番地のビット3)を“ 1(スレーブ設定) ”にした場合、「IICM=1時はP7$_1$方向レジスタ=1であってもポート端子がリードできるものとする」という仕様ですが、ポートP7$_1$方向レジスタ(03EF$_{16}$番地のビット1)を“ 0 ”にしないと、ポートP7$_1$端子をリードできません。

A-D変換器の注意事項

(1)　A-D制御レジスタ0の各ビット(ビット6を除く)、A-D制御レジスタ1の各ビット、およびA-D制御レジスタ2のビット0に対する書き込みは、A-D変換停止時(トリガ発生前)に行ってください。
　特にVref接続ビットを“ 0 ”から“ 1 ”にしたときは、1μs以上経過した後にA-D変換を開始させてください。

(2)　A-D動作モードを変更する場合は、アナログ入力端子を再選択してください。

(3)　単発モードまたは単掃引モードで使用する場合
　A-D変換が完了したことを確認してから、対象となるA-Dレジスタを読み出してください(A-D変換の完了はA-D変換割り込み要求ビットで判定できます)。

(4)　繰り返しモード、繰り返し掃引モード0または繰り返し掃引モード1で使用する場合
　CPUの内部クロックは、メインクロックを分周せずに使用してください。

ストップモード、ウエイトモードの注意事項

(1)　ストップモードからハードウエアリセットによって復帰する場合、メインクロックの発振が充分に安定するまで、リセット端子を“ L ”レベルにする必要があります。

(2)　ウエイトモードおよびストップモードに移行する場合、命令キューは、WAIT命令および全クロック停止ビットを“ 1 ”にする命令から4バイト先読みしてプログラムが停止します。したがってWAIT命令および全クロック停止ビットを“ 1 ”にする命令の後にはNOPを最低4つ入れてください。

(3)　低速モードおよび低消費電力モード時にはWAIT時周辺機能クロック停止ビット(CM02)に ” 1 ” を設定してウエイトモードに移行しないでください。

割り込みの注意事項

(1)　0000_{16}番地の読み出し

●マスカブル割り込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を0000_{16}番地から読み出します。
それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。
ソフトウエアにより0000_{16}番地を読み出しても、許可されている最も優先度の高い割り込み要因の要求ビットが“0”になります。そのため、割り込みが発生しても割り込みルーチンを実行しない可能性があります。
したがって、ソフトウエアで0000_{16}番地に対して読み出しを行わないでください。

(2)　スタックポインタの設定

●リセット直後スタックポインタの値は、“000_{16}”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。
特に、$\overline{\text{NMI}}$割り込みを使用する場合は、プログラムの先頭でスタックポインタを初期化してください。リセット直後の先頭の1命令に限り、すべての割り込みが禁止されています。

(3)　$\overline{\text{NMI}}$割り込み

●$\overline{\text{NMI}}$割り込みは、割り込みを禁止することができません。したがって、使用しない場合は、$\overline{\text{NMI}}$端子に抵抗を介してVcc端子に接続(プルアップ)してください。必ず端子処理は必要です。

●$\overline{\text{NMI}}$端子を"L"にした状態では、ストップモードやウェイトモードには移行しないでください。

(4)　外部割り込み

●INT_0～INT_5端子の極性を切り替えるときに割り込み要求ビットが“1”になることがあります。切り替えを行った後、割り込み要求ビットを“0”にしてください。

(5) 割り込み制御レジスタの変更

●割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

＜割り込み制御レジスタを書き換えるプログラム例＞

例１：

```
INT_SWITCH1：
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“ 00₁₆ ”を設定
  NOP
  NOP
  FSET    I              ；割り込み許可状態
```

例２：

```
INT_SWITCH2：
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“ 00₁₆ ”を設定
  MOV.W   MEM，R0        ；ダミーリード
  FSET    I              ；割り込み許可状態
```

例３：

```
INT_SWITCH3：
  PUSHC   FLG
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“ 00₁₆ ”を設定
  POPC    FLG            ；割り込み許可状態
```

例１と例２でFSET I命令の前にNOP命令２個やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

●割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。
対象となる命令・・・AND、OR、BCLR、BSET

電気的特性

表1.21.1. 絶対最大定格

記　号	項　　目		条　件	定　格　値	単位
Vcc	電源電圧		Vcc=AVcc	−0.3～6.5	V
AVcc	アナログ電源電圧		Vcc=AVcc	−0.3～6.5	V
V_I	入力電圧	$\overline{RESET}$, V_{REF}, X_{IN} $P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$～$P3_5$,$P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$,$P7_2$～$P7_7$, $P8_0$～$P8_7$, $P9_0$～$P9_7$, $P10_0$～$P10_7$, $P11_0$～$P11_7$, $P12_0$～$P12_7$, $P13_0$～$P13_2$ (マスクROM版 CNVss)		−0.3～Vcc+0.3	V
		V_{L1}		−0.3～V_{L2}	
		V_{L2}		V_{L1}～V_{L3}	
		V_{L3}		V_{L2}～6.5	
		$P7_0$, $P7_1$, C_1, C_2 (フラッシュメモリ版 CNVss)		−0.3～6.5	
V_O	出力電圧	$P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$～$P3_5$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_2$～$P7_6$, $P8_0$～$P8_7$, $P9_0$～$P9_7$, $P13_0$～$P13_2$, X_{OUT}		−0.3～Vcc+0.3	V
		$P0_0$～$P0_7$, $P10_0$～$P10_7$, $P11_0$～$P11_7$, $P12_0$～$P12_7$	出力ポート時	−0.3～Vcc	
			セグメント出力時	−0.3～V_{L3}	
		$P7_0$, $P7_1$		−0.3～6.5	
P_d	消費電力		Ta = 25 ℃	300	mW
T_{opr}	動作周囲温度			−20～ 85	℃
T_{stg}	保存温度			−40～150	℃

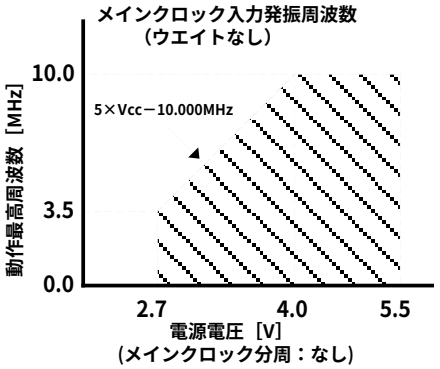
表1.21.2. 推奨動作条件(指定のない場合は、Vcc=2.7～5.5V、Ta=-20～85°C)

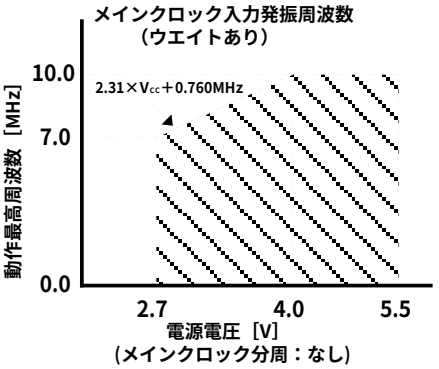
記号	項目		規格値 最小	規格値 標準	規格値 最大	単位
Vcc	電源電圧		2.7	5.0	5.5	V
AVcc	アナログ電源電圧			Vcc		V
Vss	電源電圧			0		V
AVss	アナログ電源電圧			0		V
V_{IH}	"H"入力電圧	$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$,$P3_0$～$P3_5$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_2$～$P7_7$, $P8_0$～$P8_7$, $P9_0$～$P9_7$, $P10_0$～$P10_7$, $P11_0$～$P11_7$, $P12_0$～$P12_7$, 13_0～$P13_2$, X_{IN}, RESET, CNV_{SS}	0.8Vcc		Vcc	V
		$P7_0$, $P7_1$	0.8Vcc		6.5	
V_{IL}	"L "入力電圧	$P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$,$P3_0$～$P3_5$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_0$～$P7_7$, $P8_0$～$P8_7$, $P9_0$～$P9_7$, $P10_0$～$P10_7$, $P11_0$～$P11_7$, $P12_0$～$P12_7$, 13_0～$P13_2$, X_{IN}, RESET, CNV_{SS}	0		0.2Vcc	V
I_{OH} (peak)	"H"尖頭出力電流 (注2)	$P0_0$～$P0_7$, $P10_0$～$P10_7$, $P11_0$～$P11_7$, $P12_0$～$P12_7$			−0.5	mA
		$P1_0$～$P1_7$, $P2_0$～$P2_7$,$P3_0$～$P3_5$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_2$～$P7_6$, $P8_0$～$P8_7$, $P9_0$～$P9_7$, $P13_0$～$P13_2$			−10.0	
I_{OH} (avg)	"H"平均出力電流 (注1)	$P0_0$～$P0_7$, $P10_0$～$P10_7$, $P11_0$～$P11_7$, $P12_0$～$P12_7$			−0.1	mA
		$P1_0$～$P1_7$, $P2_0$～$P2_7$,$P3_0$～$P3_5$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_2$～$P7_6$, $P8_0$～$P8_7$, $P9_0$～$P9_7$, $P13_0$～$P13_2$			−5.0	
I_{OL} (peak)	"L "尖頭出力電流 (注2)	$P0_0$～$P0_7$, $P10_0$～$P10_7$, $P11_0$～$P11_7$, $P12_0$～$P12_7$			5.0	mA
		$P1_0$～$P1_7$, $P2_0$～$P2_7$,$P3_0$～$P3_5$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_0$～$P7_6$, $P8_0$～$P8_7$, $P9_0$～$P9_7$, $P13_0$～$P13_2$			10.0	
I_{OL} (avg)	"L"平均出力電流 (注1)	$P0_0$～$P0_7$, $P10_0$～$P10_7$, $P11_0$～$P11_7$, $P12_0$～$P12_7$			2.5	mA
		$P1_0$～$P1_7$, $P2_0$～$P2_7$,$P3_0$～$P3_5$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_0$～$P7_6$, $P8_0$～$P8_7$, $P9_0$～$P9_7$, $P13_0$～$P13_2$			5.0	
f (X_{IN})	メインクロック入力発振周波数 (注3)	ウエイトなし V_{CC}=4.0V～5.5V	0		10	MHz
		ウエイトなし V_{CC}=2.7V～4.0V	0		5×Vcc −10.000	MHz
		ウエイトあり V_{CC}=4.0V～5.5V	0		10	MHz
		ウエイトあり V_{CC}=2.7V～4.0V	0		2.31×Vcc +0.760	MHz
f (X_{CIN})	サブクロック発振周波数			32.768	50	kHz

注1. 平均出力電流は100msの期間内での平均値です。

注2. ポートP0, P1, P2, $P3_0$～$P3_5$, P4, P5, P6, $P7_0$～$P7_6$, $P12_2$～$P12_7$のI_{OL}(peak)の合計は80mA以下、ポートP0, P1, P2, $P3_0$～$P3_5$, P4, P5, P6, $P7_2$～$P7_6$, $P12_2$～$P12_7$のI_{OH}(peak)の合計は80mA以下、ポートP8, P9, P10, P11, $P12_0$～$P12_1$, $P13_0$～$P13_2$のI_{OL}(peak)の合計は80mA以下、ポートP8, P9, P10, P11, $P12_0$～$P12_1$, $P13_0$～$P13_2$のI_{OH}(peak)の合計は80mA以下にしてください。

注3. メインクロック入力周波数と電源電圧の関係を以下に示します。





Vcc=5V

表1.21.3. 電気的特性 (指定のない場合、Vcc=5V,Vss=0V,Ta=25°C,f(XIN)=10MHz)

記号	項目		測定条件	規格値 最小	規格値 標準	規格値 最大	単位
V_{OH}	"H"出力電圧 $P0_0$～$P0_7$,$P10_0$～$P10_7$, $P11_0$～$P11_7$, $P12_0$～$P12_7$		I_{OH}=−0.1mA	3.0			V
V_{OH}	"H"出力電圧 $P1_0$～$P1_7$,$P2_0$～$P2_7$,$P3_0$～$P3_5$, $P4_0$～$P4_7$,$P5_0$～$P5_7$,$P6_0$～$P6_7$, $P7_2$～$P7_6$,$P8_0$～$P8_7$,$P9_0$～$P9_7$, $P13_0$～$P13_2$		I_{OH}=−5mA	3.0			V
			I_{OH}=−200μA	4.7			
V_{OH}	"H"出力電圧 X_{OUT}	HIGHPOWER	I_{OH}=−1mA	3.0			V
		LOWPOWER	I_{OH}=−0.5mA	3.0			
V_{OH}	"H"出力電圧 X_{COUT}	HIGHPOWER	無負荷時		3.0		V
		LOWPOWER	無負荷時		1.6		
V_{OL}	"L"出力電圧 $P0_0$～$P0_7$,$P1_0$～$P1_7$,$P2_0$～$P2_7$, $P3_0$～$P3_5$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_0$～$P7_6$, $P8_0$～$P8_7$, $P9_0$～$P9_7$, $P10_0$～$P10_7$, $P11_0$～$P11_7$, $P12_0$～$P12_7$, $P13_0$～$P13_2$		I_{OL}=5mA			2.0	V
			I_{OL}=200μA			0.45	
V_{OL}	"L"出力電圧 X_{OUT}	HIGHPOWER	I_{OL}=1mA			2.0	V
		LOWPOWER	I_{OL}=0.5mA			2.0	
V_{OL}	"L"出力電圧 X_{COUT}	HIGHPOWER	無負荷時		0		V
		LOWPOWER	無負荷時		0		
V_{T+}-V_{T-}	ヒステリシス $TA0_{IN}$～$TA7_{IN}$, $TB0_{IN}$～$TB5_{IN}$, $\overline{INT_0}$～$\overline{INT_5}$, $\overline{ADTRG}$, $\overline{CTS_0}$, $\overline{CTS_1}$, CLK_0, CLK_1, $\overline{NMI}$, $TA2_{OUT}$～$TA4_{OUT}$, $TA7_{OUT}$, KI_0～KI_{15}(注1), KI_{16}～KI_{19}			0.2		0.8	V
V_{T+}-V_{T-}	ヒステリシス $\overline{RESET}$			0.2		1.8	V
I_{IH}	"H"入力電流 $P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$～$P3_5$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_0$～$P7_7$, $P8_0$～$P8_7$, $P9_0$～$P9_7$, $P10_0$～$P10_7$, $P11_0$～$P11_7$, $P12_0$～$P12_7$, $P13_0$～$P13_2$, X_{IN}, RESET, CNV_{SS}		V_I=5V			5.0	μA
I_{IL}	"L"入力電流 $P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$～$P3_5$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_0$～$P7_7$, $P8_0$～$P8_7$, $P9_0$～$P9_7$, $P10_0$～$P10_7$, $P11_0$～$P11_7$, $P12_0$～$P12_7$, $P13_0$～$P13_2$, X_{IN}, RESET, CNV_{SS}		V_I=0V			−5.0	μA
R_{PULLUP}	プルアップ抵抗 $P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$～$P3_5$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_2$～$P7_6$, $P8_0$～$P8_7$, $P9_0$～$P9_7$, $P10_0$～$P10_7$, $P11_0$～$P11_7$, $P12_0$～$P12_7$, $P13_0$～$P13_2$		V_I=0V	30.0	50.0	167.0	kΩ
R_{fXIN}	帰還抵抗 X_{IN}				1.0		MΩ
R_{fXCIN}	帰還抵抗 X_{CIN}				6.0		MΩ
V_{RAM}	RAM保持電圧		クロック停止時	2.0			V

注1. 間欠プルアップ動作時は無効です。

Vcc=5V

表1.21.4. 電気的特性 (指定のない場合、Vcc=5V,Vss=0V,Ta=25°C,f(XIN)=10MHz)

記号	項目		測定条件		規格値 最小	規格値 標準	規格値 最大	単位
Icc	電源電流	入出力端子は無負荷	マスクROM版、フラッシュメモリ版	f(XIN)=10MHz 方形波、分周なし		19.0	38.0	mA
			マスクROM版	f(XCIN)＝32kHz 方形波		90.0		μA
			フラッシュメモリ版	f(XCIN)＝32kHz 方形波		200.0		μA
			マスクROM版、フラッシュメモリ版	f(XCIN)＝32kHz ウエイト時		4.0		μA
				クロック停止時 Ta=25°C			1.0	μA
				クロック停止時 Ta=85°C			20.0	μA
VL3	電源電圧(VL3)(注1)		昇圧回路未使用時		2.7		6.5	V
VL1	電源電圧(VL1)		昇圧回路使用時		1.3	1.7	2.1	V
IL1	電源電流(VL1)		VL1=1.7V時、f(LCDCK)=200Hz時			3.0	6.0	μA

注1. 定格値：VL1 = -0.3V～VL2、VL2 = VL1～VL3、VL3 = VL2～6.5V

表1.21.5. A-D変換特性（指定のない場合は、Vcc=AVcc=VREF=5V,Vss=AVss=0V,Ta=25°C, f(XIN)=10MHz）

記号	項目		測定条件	規格値 最小	規格値 標準	規格値 最大	単位
–	分解能		VREF =Vcc			10	Bits
–	絶対精度	サンプル&ホールド機能なし	VREF =Vcc = 5V			±3	LSB
		サンプル&ホールド機能あり(10bit)	VREF =Vcc= 5V			±3	LSB
		サンプル&ホールド機能あり(8bit)	VREF = Vcc = 5V			±2	LSB
RLADDER	ラダー抵抗		VREF =Vcc	10		40	kΩ
tCONV	変換時間(10bit)			3.3			μs
tCONV	変換時間(8bit)			2.8			μs
tSAMP	サンプリング時間			0.3			μs
VREF	基準電圧			2		Vcc	V
VIA	アナログ入力電圧			0		VREF	V

表1.21.6. D-A変換特性（指定のない場合は、Vcc=AVcc=VREF=5V,Vss=AVss=0V,Ta=25°C, f(XIN)=10MHz）

記号	項目	測定条件	規格値 最小	規格値 標準	規格値 最大	単位
–	分解能				8	Bits
–	絶対精度				1.0	%
tsu	設定時間				3	μs
RO	出力抵抗		4	10	20	kΩ
IVREF	基準電源入力電流	(注1)			1.5	mA

注1. D-A変換器１本使用、使用していないD-A変換器のD-Aレジスタの値が"00"の場合です。
A-D変換器のラダー抵抗分は除きます。
また、A-D変換制御レジスタでVREF未接続とした場合でも、IVREFは流れます。

タイミング(Vcc=5V)

Vcc=5V

タイミング必要条件（指定のない場合は、Vcc=5V、Vss=0V、Ta=25℃）

表1.21.7. 外部クロック入力

記　号	項　　目	規　格　値		単位
		最　小	最　大	
t_c	外部クロック入力サイクル時間	100		ns
$t_{w(H)}$	外部クロック入力 "H"パルス幅	40		ns
$t_{w(L)}$	外部クロック入力 "L" パルス幅	40		ns
t_r	外部クロック立ち上がり時間		15	ns
t_f	外部クロック立ち下がり時間		15	ns

表1.21.8. タイマA入力(イベントカウンタモードのカウント入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TA)}$	TAiIN入力サイクル時間	100		ns
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	40		ns
$t_{w(TAL)}$	TAiIN入力 "L " パルス幅	40		ns

表1.21.9. タイマA入力(タイマモードのゲーティング入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TA)}$	TAiIN入力サイクル時間	400		ns
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	200		ns
$t_{w(TAL)}$	TAiIN入力 "L " パルス幅	200		ns

表1.21.10. タイマA入力(ワンショットタイマモード外部トリガ入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TA)}$	TAiIN入力サイクル時間	200		ns
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	100		ns
$t_{w(TAL)}$	TAiIN入力 "L " パルス幅	100		ns

表1.21.11. タイマA入力(パルス幅変調モードの外部トリガ入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	100		ns
$t_{w(TAL)}$	TAiIN入力 "L " パルス幅	100		ns

表1.21.12. タイマA入力(イベントカウンタモードのアップダウン入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(UP)}$	TAiOUT入力サイクル時間	2000		ns
$t_{w(UPH)}$	TAiOUT入力 "H" パルス幅	1000		ns
$t_{w(UPL)}$	TAiOUT入力 "L " パルス幅	1000		ns
$t_{su(UP-TIN)}$	TAiOUT入力セットアップ時間	400		ns
$t_{h(TIN-UP)}$	TAiOUT入力ホールド時間	400		ns

Vcc=5V

タイミング必要条件(指定のない場合は、Vcc=5V、Vss=0V、Ta=25℃)

表1.21.13. タイマB入力(イベントカウンタモードのカウント入力)

記号	項目	規格値 最小	規格値 最大	単位
$t_{c(TB)}$	TBiIN 入力サイクル時間(片エッジカウント)	100		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅(片エッジカウント)	40		ns
$t_{w(TBL)}$	TBiIN 入力 "L " パルス幅(片エッジカウント)	40		ns
$t_{c(TB)}$	TBiIN 入力サイクル時間(両エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅(両エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN 入力 "L " パルス幅(両エッジカウント)	80		ns

表1.21.14. タイマB入力(パルス周期測定モード)

記号	項目	規格値 最小	規格値 最大	単位
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力 "H" パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力 "L " パルス幅	200		ns

表1.21.15. タイマB入力(パルス幅測定モード)

記号	項目	規格値 最小	規格値 最大	単位
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力 "H" パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力 "L " パルス幅	200		ns

表1.21.16. A-Dトリガ入力

記号	項目	規格値 最小	規格値 最大	単位
$t_{c(AD)}$	$\overline{ADTRG}$入力サイクル時間(トリガ可能最小)	1000		ns
$t_{w(ADL)}$	$\overline{ADTRG}$入力 "L" パルス幅	125		ns

表1.21.17. シリアルI/O

記号	項目	規格値 最小	規格値 最大	単位
$t_{c(CK)}$	CLKi入力サイクル時間	200		ns
$t_{w(CKH)}$	CLKi入力 "H" パルス幅	100		ns
$t_{w(CKL)}$	CLKi入力 "L " パルス幅	100		ns
$t_{d(C-Q)}$	TxDi出力遅延時間		80	ns
$t_{h(C-Q)}$	TxDiホールド時間	0		ns
$t_{su(D-C)}$	RxDi入力セットアップ時間	30		ns
$t_{h(C-D)}$	RxDi入力ホールド時間	90		ns

表1.21.18. 外部割り込み$\overline{INTi}$入力

記号	項目	規格値 最小	規格値 最大	単位
$t_{w(INH)}$	$\overline{INTi}$入力 "H" パルス幅	250		ns
$t_{w(INL)}$	$\overline{INTi}$入力 "L " パルス幅	250		ns

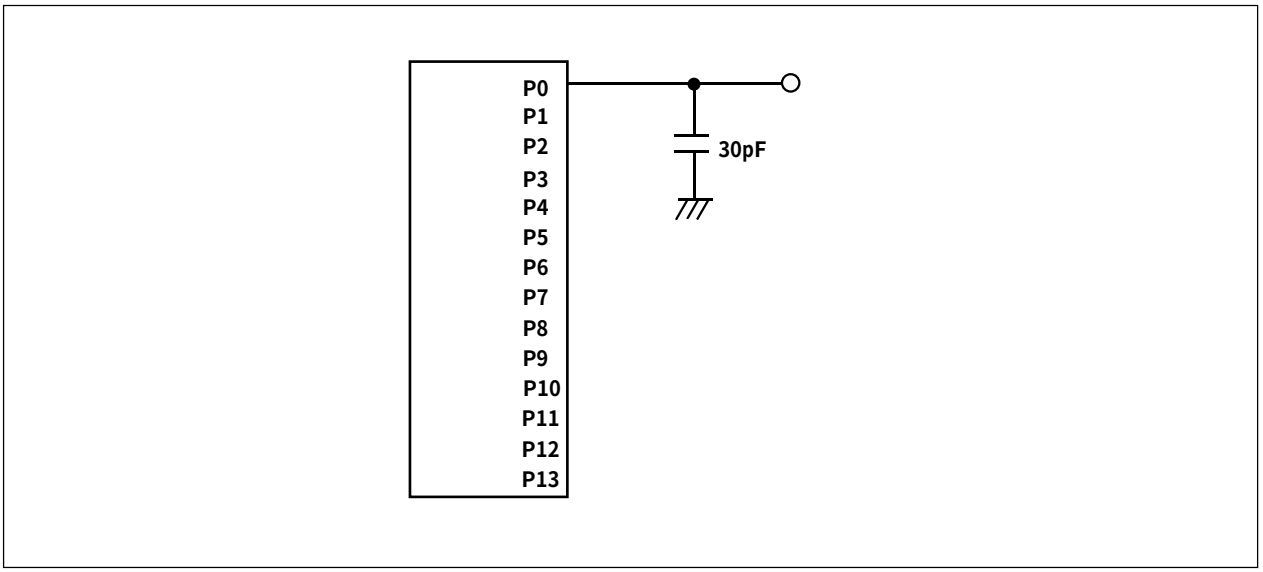
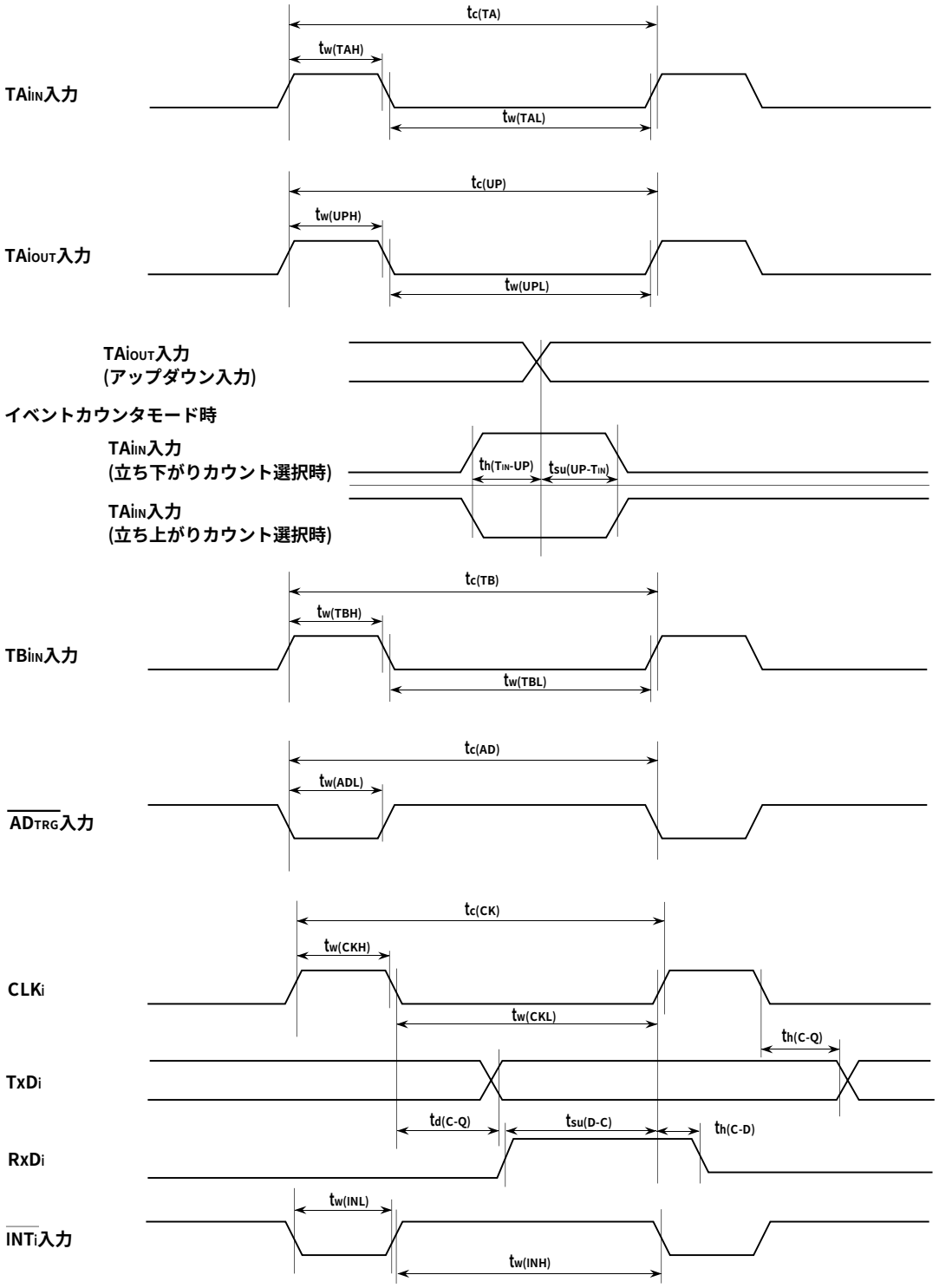


図1.21.1.　ポートP0～P13の測定回路

タイミング(Vcc=5V)

Vcc=5V用



Vcc=3V

表1.21.19. 電気的特性 (指定のない場合は、Vcc=3V,Vss=0V,Ta=25℃,f(XIN)=7MHz,ウエイトあり)

記号	項目		測定条件	規格値 最小	規格値 標準	規格値 最大	単位
V_{OH}	"H"出力電圧 $P0_0$～$P0_7$,$P10_0$～$P10_7$, $P11_0$～$P11_7$, $P12_0$～$P12_7$		I_{OH}=−20μA	2.0			V
V_{OH}	"H"出力電圧 $P1_0$～$P1_7$,$P2_0$～$P2_7$,$P3_0$～$P3_5$, $P4_0$～$P4_7$,$P5_0$～$P5_7$,$P6_0$～$P6_7$, $P7_2$～$P7_6$,$P8_0$～$P8_7$,$P9_0$～$P9_7$, $P13_0$～$P13_2$		I_{OH}=−1mA	2.5			V
V_{OH}	"H"出力電圧 X_{OUT}	HIGHPOWER	I_{OH}=−0.1mA	2.5			V
		LOWPOWER	I_{OH}=−50μA	2.5			
V_{OH}	"H"出力電圧 X_{COUT}	HIGHPOWER	無負荷時		3.0		V
		LOWPOWER	無負荷時		1.6		
V_{OL}	"L"出力電圧 $P0_0$～$P0_7$,$P1_0$～$P1_7$,$P2_0$～$P2_7$, $P3_0$～$P3_5$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_0$～$P7_6$, $P8_0$～$P8_7$, $P9_0$～$P9_7$, $P10_0$～$P10_7$, $P11_0$～$P11_7$, $P12_0$～$P12_7$, $P13_0$～$P13_2$		I_{OL}=1mA			0.5	V
V_{OL}	"L"出力電圧 X_{OUT}	HIGHPOWER	I_{OL}=0.1mA			0.5	V
		LOWPOWER	I_{OL}=50μA			0.5	
V_{OL}	"L"出力電圧 X_{COUT}	HIGHPOWER	無負荷時		0		V
		LOWPOWER	無負荷時		0		
V_{T+}-V_{T-}	ヒステリシス $TA0_{IN}$～$TA7_{IN}$, $TB0_{IN}$～$TB5_{IN}$, $\overline{INT_0}$～$\overline{INT_5}$, AD_{TRG}, $\overline{CTS_0}$, $\overline{CTS_1}$, CLK_0, CLK_1, $\overline{NMI}$, $TA2_{OUT}$～$TA4_{OUT}$, $TA7_{OUT}$, KI_0～KI_{15}(注1), KI_{16}～KI_{19}			0.2		0.8	V
V_{T+}-V_{T-}	ヒステリシス $\overline{RESET}$			0.2		1.8	V
I_{IH}	"H"入力電流 $P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$～$P3_5$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_0$～$P7_7$, $P8_0$～$P8_7$, $P9_0$～$P9_7$, $P10_0$～$P10_7$, $P11_0$～$P11_7$, $P12_0$～$P12_7$, $P13_0$～$P13_2$, X_{IN}, RESET, CNV_{SS}		V_I=3V			4.0	μA
I_{IL}	"L"入力電流 $P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$～$P3_5$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_0$～$P7_7$, $P8_0$～$P8_7$, $P9_0$～$P9_7$, $P10_0$～$P10_7$, $P11_0$～$P11_7$, $P12_0$～$P12_7$, $P13_0$～$P13_2$, X_{IN}, RESET, CNV_{SS}		V_I=0V			−4.0	μA
R_{PULLUP}	プルアップ抵抗 $P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$～$P3_5$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_2$～$P7_6$, $P8_0$～$P8_7$, $P9_0$～$P9_7$, $P10_0$～$P10_7$, $P11_0$～$P11_7$, $P12_0$～$P12_7$, $P13_0$～$P13_2$		V_I=0V	66.0	120.0	500.0	kΩ
R_{fXIN}	帰還抵抗 X_{IN}				3.0		MΩ
R_{fXCIN}	帰還抵抗 X_{CIN}				10.0		MΩ
V_{RAM}	RAM保持電圧		クロック停止時	2.0			V

注1. 間欠プルアップ動作時は無効です。

Vcc=3V

表1.21.20. 電気的特性 (指定のない場合は、Vcc=3V,Vss=0V,Ta=25°C,f(XIN)=7MHz,ウエイトあり)

記号	項目		測定条件		規格値 最小	規格値 標準	規格値 最大	単位
Icc	電源電流	入出力端子は無負荷	マスクROM版、フラッシュメモリ版	f(XIN)=7MHz 方形波、分周なし		6.0	15.0	mA
			マスクROM版	f(XCIN)=32kHz 方形波		40.0		μA
			フラッシュメモリ版	f(XCIN)=32kHz 方形波		150.0		μA
			マスクROM版、フラッシュメモリ版	f(XCIN)=32kHz ウエイト時 発振能力 High(注1)		2.8		μA
				f(XCIN)=32kHz ウエイト時 発振能力 Low(注1)		0.9		μA
				クロック停止時 Ta=25°C			1.0	μA
				クロック停止時 Ta=85°C			20.0	
VL3	電源電圧(VL3)(注2)		昇圧回路未使用時		2.7		6.5	V
VL1	電源電圧(VL1)		昇圧回路使用時		1.3	1.7	2.1	V
IL1	電源電流(VL1)		VL1=1.7V時、f(LCDCK)=200Hz時			3.0	6.0	μA

注1. fC32にてタイマ1本を動作させている状態です。

注2. 定格値：VL1 = -0.3V～VL2、VL2 = VL1～VL3、VL3 = VL2～6.5V

表1.21.21. A-D変換特性(指定のない場合は、Vcc=AVcc=VREF=3V,Vss=AVss=0V,Ta=25°C,f(XIN)=7MHz)

記号	項目		測定条件	規格値 最小	規格値 標準	規格値 最大	単位
–	分解能		VREF =Vcc			10	Bits
–	絶対精度	サンプル&ホールド機能なし(8bit)	VREF =Vcc = 3V, φAD=fAD/2			±2	LSB
RLADDER	ラダー抵抗		VREF =Vcc	10		40	kΩ
tCONV	変換時間(8bit)			14.0			μs
VREF	基準電圧			2.7		Vcc	V
VIA	アナログ入力電圧			0		VREF	V

表1.21.22. D-A変換特性(指定のない場合は、Vcc=AVcc=VREF=3V,Vss=AVss=0V,Ta=25°C,f(XIN)=7MHz)

記号	項目	測定条件	規格値 最小	規格値 標準	規格値 最大	単位
–	分解能				8	Bits
–	絶対精度				1.0	%
tsu	設定時間				3	μs
RO	出力抵抗		4	10	20	kΩ
IVREF	基準電源入力電流	(注1)			1.0	mA

注1. D-A変換器１本使用、使用していないD-A変換器のD-Aレジスタの値が"00"の場合です。
A-D変換器のラダー抵抗分は除きます。
また、A-D変換制御レジスタでVREF未接続とした場合でも、IVREFは流れます。

Vcc=3V

タイミング必要条件（指定のない場合は、Vcc=3V、Vss=0V、Ta=25°C）

表1.21.23.　外部クロック入力

記　号	項　　目	規　格　値		単位
		最　小	最　大	
t_c	外部クロック入力サイクル時間	143		ns
$t_{w(H)}$	外部クロック入力 "H"パルス幅	60		ns
$t_{w(L)}$	外部クロック入力 "L" パルス幅	60		ns
t_r	外部クロック立ち上がり時間		18	ns
t_f	外部クロック立ち下がり時間		18	ns

表1.21.24.　タイマA入力(イベントカウンタモードのカウント入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TA)}$	TAi_{IN}入力サイクル時間	150		ns
$t_{w(TAH)}$	TAi_{IN}入力 "H" パルス幅	60		ns
$t_{w(TAL)}$	TAi_{IN}入力 "L " パルス幅	60		ns

表1.21.25.　タイマA入力(タイマモードのゲーティング入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TA)}$	TAi_{IN}入力サイクル時間	600		ns
$t_{w(TAH)}$	TAi_{IN}入力 "H" パルス幅	300		ns
$t_{w(TAL)}$	TAi_{IN}入力 "L " パルス幅	300		ns

表1.21.26.　タイマA入力(ワンショットタイマモードの外部トリガ入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TA)}$	TAi_{IN}入力サイクル時間	300		ns
$t_{w(TAH)}$	TAi_{IN}入力 "H" パルス幅	150		ns
$t_{w(TAL)}$	TAi_{IN}入力 "L " パルス幅	150		ns

表1.21.27.　タイマA入力(パルス幅変調モードの外部トリガ入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{w(TAH)}$	TAi_{IN}入力 "H" パルス幅	150		ns
$t_{w(TAL)}$	TAi_{IN}入力 "L " パルス幅	150		ns

表1.21.28.　タイマA入力(イベントカウンタモードのアップダウン入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(UP)}$	TAi_{OUT}入力サイクル時間	3000		ns
$t_{w(UPH)}$	TAi_{OUT}入力 "H" パルス幅	1500		ns
$t_{w(UPL)}$	TAi_{OUT}入力 "L " パルス幅	1500		ns
$t_{su(UP-TIN)}$	TAi_{OUT}入力セットアップ時間	600		ns
$t_{h(TIN-UP)}$	TAi_{OUT}入力ホールド時間	600		ns

Vcc=3V

タイミング必要条件（指定のない場合は、Vcc=3V、Vss=0V、Ta=25℃）

表1.21.29.　タイマB入力(イベントカウンタモードのカウント入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TB)}$	TBiIN 入力サイクル時間(片エッジカウント)	150		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅(片エッジカウント)	60		ns
$t_{w(TBL)}$	TBiIN 入力 "L " パルス幅(片エッジカウント)	60		ns
$t_{c(TB)}$	TBiIN 入力サイクル時間(両エッジカウント)	300		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅(両エッジカウント)	160		ns
$t_{w(TBL)}$	TBiIN 入力 "L " パルス幅(両エッジカウント)	160		ns

表1.21.30.　タイマB入力(パルス周期測定モード)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TB)}$	TBiIN入力サイクル時間	600		ns
$t_{w(TBH)}$	TBiIN入力 "H" パルス幅	300		ns
$t_{w(TBL)}$	TBiIN入力 "L " パルス幅	300		ns

表1.21.31.　タイマB入力(パルス幅測定モード)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(TB)}$	TBiIN入力サイクル時間	600		ns
$t_{w(TBH)}$	TBiIN入力 "H" パルス幅	300		ns
$t_{w(TBL)}$	TBiIN入力 "L " パルス幅	300		ns

表1.21.32.　A-Dトリガ入力

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(AD)}$	$\overline{ADTRG}$入力サイクル時間(トリガ可能最小)	1500		ns
$t_{w(ADL)}$	$\overline{ADTRG}$入力 "L" パルス幅	200		ns

表1.21.33.　シリアルI/O

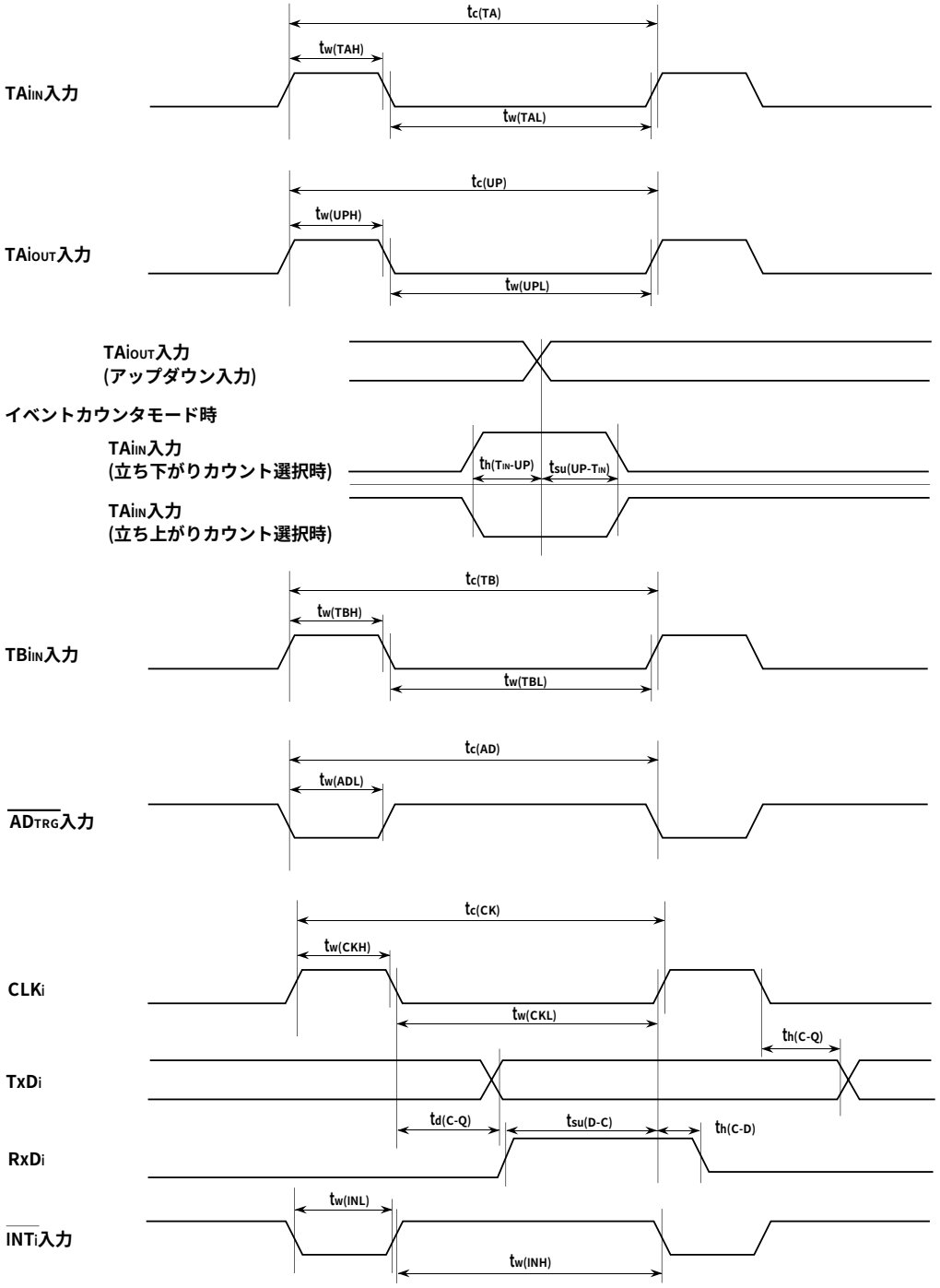
記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{c(CK)}$	CLKi入力サイクル時間	300		ns
$t_{w(CKH)}$	CLKi入力 "H" パルス幅	150		ns
$t_{w(CKL)}$	CLKi入力 "L " パルス幅	150		ns
$t_{d(C-Q)}$	TxDi出力遅延時間		160	ns
$t_{h(C-Q)}$	TxDiホールド時間	0		ns
$t_{su(D-C)}$	RxDi入力セットアップ時間	50		ns
$t_{h(C-D)}$	RxDi入力ホールド時間	90		ns

表1.21.34.　外部割り込み$\overline{INTi}$入力

記　号	項　　目	規　格　値		単位
		最　小	最　大	
$t_{w(INH)}$	$\overline{INTi}$入力 "H" パルス幅	380		ns
$t_{w(INL)}$	$\overline{INTi}$入力 "L " パルス幅	380		ns

タイミング(Vcc=3V)

Vcc=3V用



GZZ-SH56-83A<97B0>

マスクROM番号	

受付欄	年　月　日	
	課長印	担当者印

三菱シングルチップ16ビットマイクロコンピュータ
M30220MA-XXXGP/RP
マスク化確認書

（注）　※印をすべて記入ください。

※	貴社記入欄	貴社名	殿　TEL（　　）	発行印	責任者印	担当者印
		発行日	年　月　日			

※1.　ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

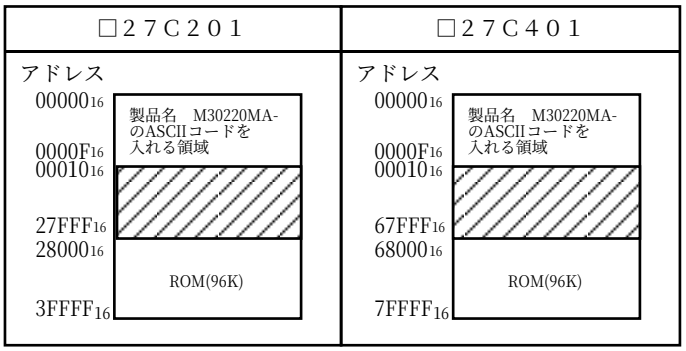
□EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

マイクロコンピュータ形名　□M30220MA-XXXGP　□M30220MA-XXXRP

EPROMの全領域のチェックサムコード　□□□□ (16進表示)

EPROMの種類



(1)　斜線部分には“FF_{16}”を入れてください。

(2)　00000_{16}〜$0000F_{16}$番地は製品形名のデータ格納領域です。

‘M30220MA-　’のASCIIコードを右記に示しますので、00000_{16}〜$0000F_{16}$番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

アドレス		アドレス	
00000_{16}	’M’ = $4D_{16}$	00008_{16}	’—’ = $2D_{16}$
00001_{16}	’3’ = 33_{16}	00009_{16}	FF_{16}
00002_{16}	’0’ = 30_{16}	$0000A_{16}$	FF_{16}
00003_{16}	’2’ = 32_{16}	$0000B_{16}$	FF_{16}
00004_{16}	’2’ = 32_{16}	$0000C_{16}$	FF_{16}
00005_{16}	’0’ = 30_{16}	$0000D_{16}$	FF_{16}
00006_{16}	’M’ = $4D_{16}$	$0000E_{16}$	FF_{16}
00007_{16}	’A’ = 41_{16}	$0000F_{16}$	FF_{16}

GZZ-SH56-83A<97B0>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ M30220MA-XXXGP/RP マスク化確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの00000_{16}～$0000F_{16}$番地に形名のASCIIコードを書き込むことができますのでご利用ください。

EPROMの種類	27C201	27C401
ソースプログラムへの記述	△.SECTION△ASCIICODE, ROM DATA △.ORG△0C0000H △.BYTE△ ’M30220MA- ’	△.SECTION△ASCIICODE, ROM DATA △.ORG△080000H △.BYTE△ ’M30220MA- ’

(注)　EPROMに書き込まれた形名とマスク化確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

□フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティーで生成されたマスクファイルを処理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

用意していただくフロッピーディスクは3.5インチ2HD(IBMフォーマット)です。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名　□M30220MA-XXXGP　□M30220MA-XXXRP

ファイルコード　□□□□□□□□ (16進表示)

マスクファイル名　□□□□□□□□ .MSK(英数字8桁)

※2.　マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M30220MA-XXXRP の場合は144PFBの、M30220MA-XXXGP の場合は144P6Qのマーク指定書を提出ください。

※3.　使用条件について

当社製品検査の参考とさせていただきますので、発注される製品の使用条件について質問します。

(1)　X_{IN}-X_{OUT}発振回路は次のどの条件で使用されますか。

□　セラミック共振子　□　水晶発振子

□　外部クロック入力　□　その他(　　)

またその周波数は何MH_Zですか。

$f(X_{IN})$ = □□□□□□□□ MH_Z

GZZ-SH56-83A<97B0>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ
M30220MA-XXXGP/RP
マスク化確認書

(2) X_{CIN}-X_{COUT}発振回路は次のどの条件で使用されますか。

□ セラミック共振子　□ 水晶発振子
□ 外部クロック入力　□ その他(　　)

またその周波数は何kHzですか。

f(X_{CIN}) = [　　] kHz

(3) マイコンの動作周囲温度は次のどの条件で使用されますか。

□ −10°C～75°C　□ −20°C～75°C　□ −40°C～75°C
□ −10°C～85°C　□ −20°C～85°C　□ −40°C～85°C

(4) マイコンの動作電源電圧は次のどの条件で使用されますか。

□ 2.7V～3.2V　□ 3.2V～3.7V　□ 3.7V～4.2V
□ 4.2V～4.7V　□ 4.7V～5.2V　□ 5.2V～5.5V

(5) I^2C(Inter IC)バス機能を使用されますか。

□ 未使用　□ 使用

(6) IE(Inter Equipment)バス機能を使用されますか。

□ 未使用　□ 使用

ご協力ありがとうございました。

※4. 特記事項

性能概要

表1.22.1にM30220(フラッシュメモリ版)の性能概要を示します。

表1.22.1.　M30220(フラッシュメモリ版)の性能概要

項　目		性　能
電源電圧		Vcc=2.7V～5.5V (注1) Vcc=2.7V～3.6V (注2)
プログラム/イレーズ電圧		VPP=5.0V±10%
フラッシュメモリモード		3モード(パラレル入出力、標準シリアル入出力、CPU書き換え)
消去ブロック分割	ユーザROM領域	図1.22.1を参照してください。
	ブートROM領域	分割なし(8Kバイト) (注3)
プログラム方式		ワード単位
イレーズ方式		一括消去/ブロック消去
プログラム/イレーズ制御方式		ソフトウエアコマンドによるプログラム/イレーズ制御
コマンド数		6コマンド
プログラム/イレーズ回数		100回
ROMコードプロテクト		パラレル入出力モード/標準シリアル入出力モード対応

注1.　プログラム/イレーズ時の電源電圧は、Vcc=4.5V～5.5Vとしてください。
注2.　プログラム/イレーズ時の電源電圧は、Vcc=3.0V～3.6Vとしてください。
注3.　ブートROM領域には出荷時に標準シリアル入出力モードの制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ消去、書き込みが可能です。

フラッシュメモリ

M30220(フラッシュメモリ版)は、Vccが4.5～5.5Vのとき単一電源、Vccが2.7～4.5Vのとき2電源での書き換えが可能なNEW DINOR(DIvied bit line NOR)形フラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うために、ライタを用いてフラッシュメモリの操作を行うパラレル入出力モード、標準シリアル入出力モードおよび、中央演算処理装置(CPU)でフラッシュメモリを操作する CPU書き換えモードの3種類を用意しています。各モードについては次ページ以降で説明します。

図1.22.1に示すようにフラッシュメモリは、いくつかのブロックに分かれており、各ブロックごとにイレーズを行うことができます。

また、内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、CPU書き換えモードおよび標準シリアル入出力モードでの書き換え制御プログラムを格納するためのブートROM領域があります。このブートROM領域には、出荷時に標準シリアル入出力モードの制御プログラムが書き込まれますが、ユーザ側で、システムに適合した書き換え制御プログラムを書き込むことも可能です。このブートROM領域は、パラレル入出力モードでのみ書き換えが可能です。

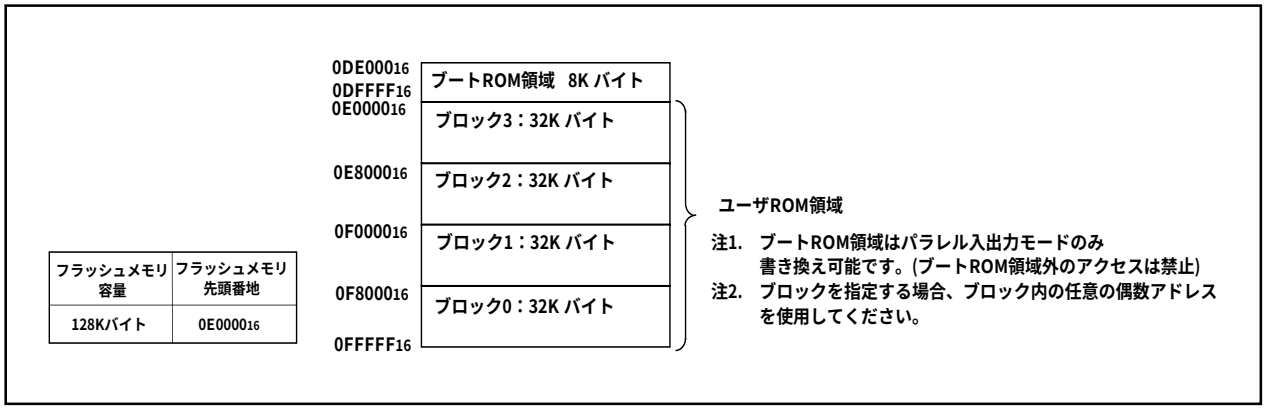


図1.22.1.　内蔵フラッシュメモリのブロック図

CPU書き換えモード

CPU書き換えモードは、中央演算処理装置(CPU)の制御により、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)を行うモードです。

CPU書き換えモードでは、図1.22.1に示すユーザROM領域のみの書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレーズのコマンドは、ユーザROM領域と各ブロック領域のみに対して行ってください。

CPU書き換えモードの制御プログラムは、ユーザROM領域、ブートROM領域のどちらに格納しておいても構いません。CPU書き換えモードでは、CPUからのフラッシュメモリの読み出しが行えませんので、書き換え制御プログラムは、内蔵RAMに転送後、ここで実行させる必要があります。

マイコンモードとブートモード

CPU書き換えモードの制御プログラムは、あらかじめパラレル入出力モード で、 ユーザROM領域またはブートROM領域に書き込んでおく必要があります。(ブートROM領域に書き込みを行った場合には、標準シリアル入出力モードは 使用できなくなります。)

ブートROM領域は、図1.22.1に示すとおりです。

CNVSS端子を“L”としてリセットを解除した場合には、通常のマイコンモードとなり、CPUはユーザROM領域の制御プログラムを使用して動作します。

P74($\overline{CE}$)端子を“H”、CNVSS端子を“H”としてリセットを解除した場合には、ブートROM領域の制御プログラムで動作を開始(プログラムのスタート番地はDE00016番地固定)します。このモードをブートモードと呼びます。

ブロックアドレス

ブロックアドレスとは、各ブロック内の任意の偶数アドレスです。このアドレスは、ブロックイレーズコマンドで使用します。

機能概要(CPU書き換えモード)

CPU書き換えモードは、CPUがソフトウエアコマンドを発行することにより、内蔵フラッシュメモリに対し、イレーズ、プログラム、リード等を行うモードです。この制御プログラムは、あらかじめRAMに転送後、RAM上で実行させる必要があります。

CPU書き換えモードへは、CNVSS端子に5V±10%を印加し、CPU書き換えモード選択ビット(03B4$_{16}$番地のビット1)に“1”を書き込むことにより移行し、ソフトウエアコマンドの受け付けが可能となります。

CPU書き換えモードでは、ソフトウエアコマンド、データ等は全て16ビット単位で偶数番地(バイトアドレスのアドレスA$_0$は“0”)へライト、リードしてください。8ビット単位のソフトウエアコマンドは、必ず偶数番地にのみライトしてください。奇数番地では無効になります。

プログラム、イレーズ動作の制御はソフトウエアコマンドで行います。プログラムまたはイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。

図1.23.1にフラッシュメモリ制御レジスタを示します。

ビット0はフラッシュメモリの動作状況を示す読み出し専用のRY/$\overline{\text{BY}}$ステータスフラグです。プログラム、イレーズ動作中には“0”、これ以外のときには“1”となります。

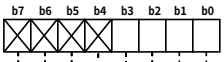
ビット1はCPU書き換えモード選択ビットです。このビットに“1”を設定し、CNVSS端子に5V±10%が印加されている時CPU書き換えモードになり、 ソフトウエアコマンドの受け付けが可能になります。CPU書き換えモードでは、CPUが内蔵フラッシュメモリを直接アクセスすることができなくなります。したがって、ビット1への書き込みはRAM上に転送した制御プログラムで行ってください。このビット1を“1”に設定するには、“0”書き込みと“1”書き込みを連続して行う必要があります。“0”設定は、“0”書き込みだけで行えます。

ビット2は、CPU書き換えモードエントリフラグで、このビットを読むことにより、CPU書き換えモードにエントリしていることを確認することができます。

ビット3は、内蔵フラッシュメモリの制御回路をリセットするためのフラッシュメモリリセットビットです。CPU書き換えモードの終了時、およびフラッシュメモリのアクセスが異常になった場合に使用します。CPU書き換えモード選択ビットが“1”の状態で、このビットに“1”を書き込むと、リセットを実行します。リセットを解除するには、次に“0”を書き込む必要があります。イレーズ実行中にリセットを実行した場合は、フラッシュメモリが正常に戻るまで5msの待ち時間を設ける必要があります。

図1.23.2にCPU書き換えモードの設定/解除フローチャートを示します。必ずこのフローチャートに従って操作してください。

フラッシュメモリ制御レジスタ



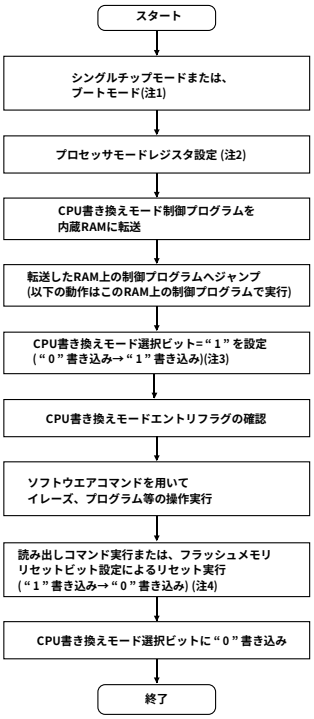
シンボル	アドレス	リセット時
FMCR	03B4$_{16}$番地	XXXX0001$_2$

ビットシンボル	ビット名	機　　能	R	W
FMCR0	RY/$\overline{BY}$ステータスフラグ	0 : ビジー (書き込み、消去実行中) 1 : レディ	○	—
FMCR1	CPU書き換えモード選択ビット (注1)	0 : 通常モード (ソフトウエアコマンド無効) 1 : CPU書き換えモード	○	○
FMCR2	CPU書き換えモードエントリフラグ	0 : 通常モード (ソフトウエアコマンド無効) 1 : CPU書き換えモード (ソフトウエアコマンド受け付け可能)	○	—
FMCR3	フラッシュメモリリセットビット (注2)	0 : 通常動作 1 :リセット	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

注1.　“1”を設定するためには、このビット1への“0”書き込み → “1”書き込みを連続して行う必要があります。この手順でないと、“1”にできません。また、割り込み、DMA転送が入らないようにしてください。
このビットへの書き込みは、内蔵RAM上の制御プログラムで行ってください。

注2.　CPU書き換えモード選択ビットが“1”のときのみ有効です。“1”設定(リセット)後、続いて“0”設定してください。

図1.23.1.　フラッシュメモリ制御レジスタのビット構成



注1.　シングルチップモードでスタートした場合は、CPU書き換えモードエントリフラグの確認までにCNVss端子に5V±10%を印加する必要があります。

注2.　メインクロック分周比選択ビット (0006$_{16}$番地のビット6、0007$_{16}$番地のビット6、ビット7)によって、メインクロックを次の周波数以下に設定してください。
ウエイトビット (0005$_{16}$番地のビット7)＝“0”(内部アクセスウエイトなし)　5.0MHz以下
ウエイトビット (0005$_{16}$番地のビット7)＝“1”(内部アクセスウエイトあり)　10.0MHz以下

注3.　CPU書き換えモード選択ビットを“1”にする場合、このビットへの“0”書き込み→“1”書き込みを連続して行う必要があります。この手順でないと、“1”にできません。
また、割り込み、DMA転送が入らないようにしてください。

注4.　イレーズ、プログラムが完了し、CPU書き換えモードを解除する前には、必ず読み出しコマンドまたはフラッシュメモリリセットを行ってください。

図1.23.2.　CPU書き換えモードの設定/解除フローチャート

CPU書き換えモードの注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

(1)動作速度

CPU書き換えモード中は、メインクロック分周比選択ビット(0006$_{16}$番地のビット6、0007$_{16}$番地のビット6、7)によって、BCLKを以下のように設定してください。

ウエイトビット(0005$_{16}$番地のビット7)＝0(内部アクセスウエイトなし)　5.0MHz以下
ウエイトビット(0005$_{16}$番地のビット7)＝1(内部アクセスウエイトあり)　10.0MHz以下

(2)使用禁止命令

CPU書き換えモード中、以下の命令はフラッシュメモリ内部のデータを参照するため使用できません。
UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

(3)使用禁止割り込み

CPU書き換えモード中、$\overline{\text{NMI}}$割り込み、アドレス一致割り込み、監視タイマ割り込みはフラッシュメモリ内部のデータを参照するため使用できません。可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用することができます。

(4)リセット

イレーズ実行中にリセットを実行した場合、フラッシュメモリが正常に戻るまで5msの時間が必要です。リセット解除まで5msの待ち時間を設定してください。

またリセット解除時、プログラム実行の開始アドレスは0DE000$_{16}$番地固定ですので、ブートROMの実行開始アドレスは0DE000$_{16}$番地になるようにプログラミングしてください。

(5)ユーザROM領域の書き換え

CPU書き換えモードを使用し、フラッシュ書き換えプログラムが格納されているブロックを書き換えている最中に電源が落ちたとき、そのブロックの書き換えが正常でない場合があり、その後フラッシュメモリの書き換えができなくなる可能性があります。したがって、このブロックの書き換えは標準シリアル入出力モードまたはパラレル入出力モードを使用することを推奨します。

ソフトウエアコマンド

表1.23.1にソフトウエアコマンドの一覧表を示します。

CPU書き換えモード選択ビットに“1”を設定した後、ソフトウエアコマンドをライトすることにより、イレーズ、プログラム等を指定します。なお、ソフトウエアコマンドの入力時、上位バイト(D_{15}～D_8)は無視されます。

以下に各ソフトウエアコマンドの内容を説明します。

表1.23.1. ソフトウエアコマンド一覧表(CPU書き換えモード)

コマンド	サイクル数	第1バスサイクル			第2バスサイクル		
		モード	アドレス	データ (D_{15}～D_0)	モード	アドレス	データ (D_{15}～D_0)
リードアレイ	1	ライト	X (注5)	FF_{16}			
リードステータスレジスタ	2	ライト	X	70_{16}	リード	X	SRD (注2)
クリアステータスレジスタ	1	ライト	X	50_{16}			
プログラム	2	ライト	X	40_{16}	ライト	WA (注3)	WD (注3)
イレーズ全ブロック	2	ライト	X	20_{16}	ライト	X	20_{16}
ブロックイレーズ	2	ライト	X	20_{16}	ライト	BA (注4)	$D0_{16}$

注1. ソフトウエアコマンド入力時には上位バイト(D_{15}～D_8)のデータは無視されます。
注2. SRD=ステータスレジスタデータ
注3. WA=ライトアドレス(ただし、偶数アドレス), WD=ライトデータ
注4. BA=ブロックアドレス(各ブロック内の任意のアドレスを入力してください。ただし、偶数アドレス)
注5. XはユーザROM領域内の任意のアドレス(ただし、偶数アドレス)

リードアレイコマンド(FF_{16})

第1バスサイクルでコマンドコード“FF_{16}”をライトするとリードアレイモードになります。次のバスサイクル以降で読み出しを行う偶数アドレスを入力すると、指定したアドレスの内容が16ビット単位でデータバス(D_{15}～D_0)へ読み出されます。

リードアレイモードは、他のコマンドがライトされるまで保持されます。

リードステータスレジスタコマンド(70_{16})

第1バスサイクルでコマンドコード“70_{16}”をライトすると、第2バスサイクルのリードでステータスレジスタの内容がデータバス(D_7～D_0)へ読み出されます。

ステータスレジスタは、次の節で説明します。

クリアステータスレジスタコマンド(50_{16})

ステータスレジスタのエラー終了を示すビット(SR4、SR5)がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルでコマンドコード“50_{16}”をライトします。

プログラムコマンド(40$_{16}$)

第1バスサイクルでコマンドコード“40$_{16}$”をライトするとプログラムモードとなります。続く第2バスサイクルでプログラムするアドレスとデータをライトするとプログラム動作(データのプログラムとベリファイ)を開始します。

プログラム終了はステータスレジスタのリードまたはRY/$\overline{BY}$ステータスフラグのリードによって確認できます。プログラム開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容がデータバス(D_0～D_7)へ読み出されます。ステータスレジスタのビット7(SR7)はプログラムの開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードコマンド(FF$_{16}$)をライトするまで継続されます。

RB/$\overline{BY}$ステータスフラグはステータスレジスタのビット7と同じく、プログラム期間中は“0”、終了後は“1”となります。プログラム終了後、ステータスレジスタを読み出すことによりプログラムの結果を知ることができます。

イレーズ全ブロック(20$_{16}$/20$_{16}$)

第1バスサイクルでコマンドコード“20$_{16}$”、続く第2バスサイクルで確認コマンドコード“20$_{16}$”を入力するとイレーズ全ブロック動作(イレーズとイレーズベリファイ)を開始します。

イレーズ全ブロックの終了は、ステータスレジスタのリードまたはRY/$\overline{BY}$ステータスフラグのリードによって確認できます。イレーズ全ブロック開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)はイレーズの開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードコマンド(FF$_{16}$)をライトするまで継続されます。

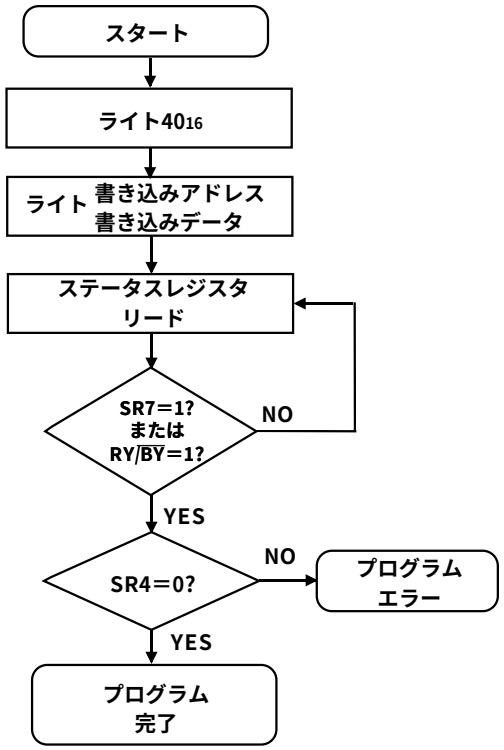


図1.23.3. プログラムフローチャート

RY/$\overline{BY}$ステータスフラグは、ステータスレジスタのビット7と同じく、イレーズ期間中は“0”、終了後は“1”となります。

イレーズ全ブロック終了後、ステータスレジスタを読み出すことにより、イレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

ブロックイレーズ(20_{16}/$D0_{16}$)

第1バスサイクルでコマンドコード“20_{16}”、続く第2バスサイクルで確認コマンドコード“$D0_{16}$”とブロックアドレスをライトすると指定したブロックに対しブロックイレーズ動作(イレーズとイレーズベリファイ)を開始します。

ブロックイレーズの終了は、ステータスレジスタのリードまたはRY/$\overline{BY}$ステータスフラグのリードによって確認できます。ブロックイレーズ開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)はブロックイレーズの開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF_{16})をライトするまで継続されます。

RY/$\overline{BY}$ステータスフラグは、ステータスレジスタのビット7と同じく、イレーズ期間中は“0”、終了後は“1”となります。

ブロックイレーズ終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

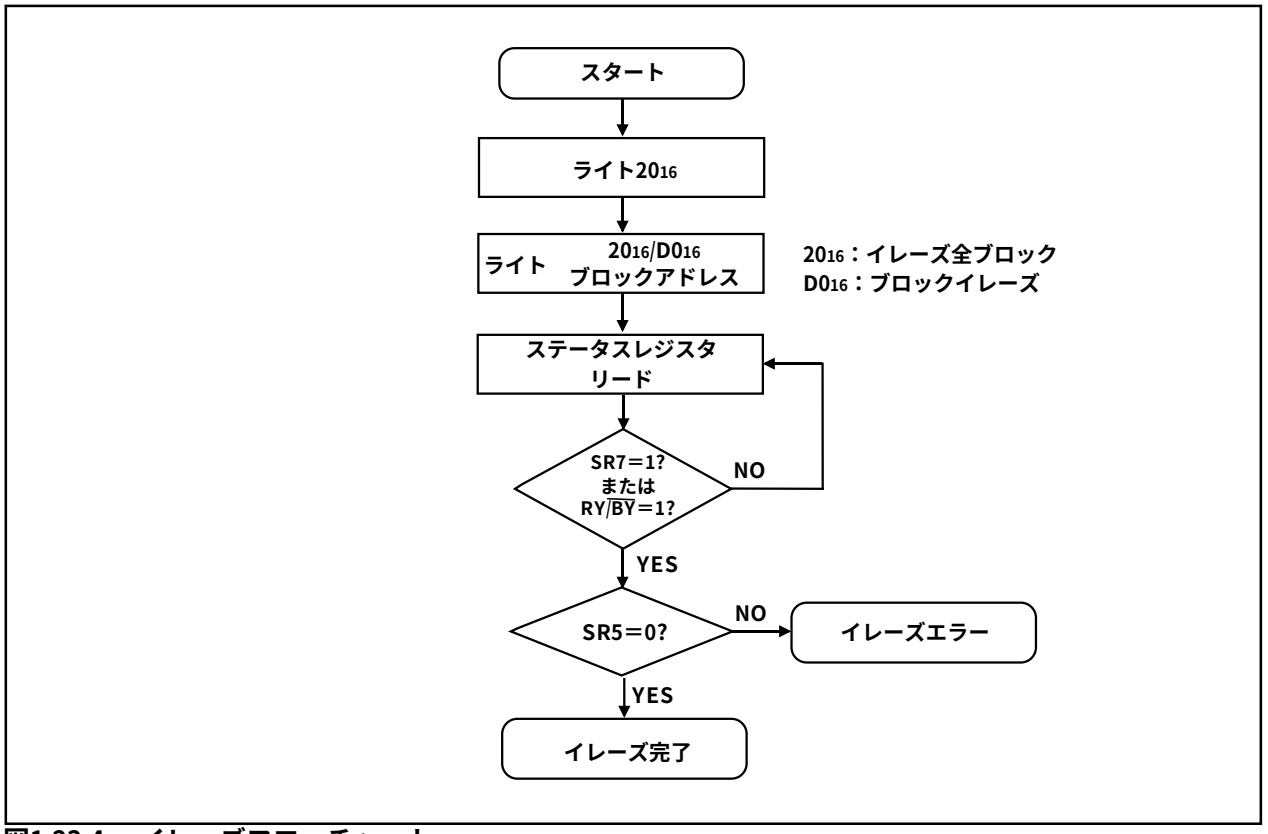


図1.23.4. イレーズフローチャート

ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、以下の条件のとき読み出すことができます。

(1) リードステータスレジスタコマンド(70_{16})をライトした後、ユーザROM領域内の任意のアドレスを読み出したとき

(2) プログラム開始またはイレーズ開始から、リードアレイコマンド(FF_{16})入力までの期間、ユーザROM領域内の任意のアドレスを読み出したとき

ステータスレジスタを表1.23.2に示します。
また、ステータスレジスタは次の条件でクリアされます。
(1) クリアステータスレジスタコマンド(50_{16})をライトしたとき
リセット解除後、ステータスレジスタは、“ 80_{16} ”になります。
各ビットの意味を以下に示します。

シーケンサステータス(SR7)

シーケンサステータスはフラッシュメモリの動作状況を示すもので、電源投入時は“ 1 ”(レディ)にセットされます。プログラムやイレーズの動作中は“ 0 ”(ビジー)にセットされますが、これらの動作終了とともに“ 1 ”にセットされます。

イレーズステータス(SR5)

イレーズステータスはイレーズの動作状況を知らせるもので、消去エラーが発生すると“ 1 ”にセットされます。

イレーズステータスはクリアされると“ 0 ”になります。

プログラムステータス(SR4)

プログラムステータスはプログラムの動作状況を知らせるもので、書き込みエラーが発生すると“ 1 ”にセットされます。

プログラムステータスはクリアされると“ 0 ”になります。

SR5、SR4のいずれかが“ 1 ”にセットされている状態では、プログラムコマンド、イレーズ全ブロックコマンド、ブロックイレーズコマンドは受け付けられません。これらのコマンドを実行する前にクリアステータスコマンドを実行し、ステータスをクリアする必要があります。

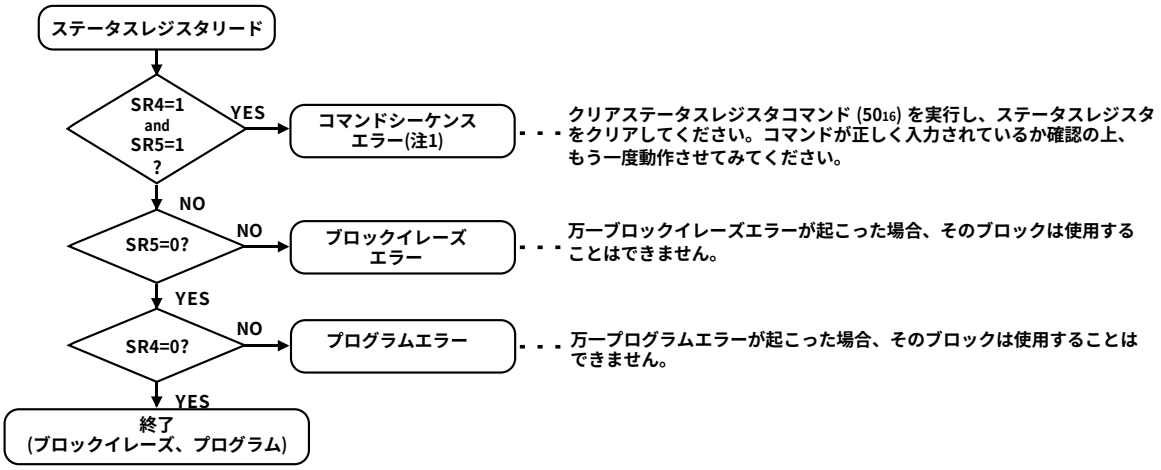
また、コマンドが正しく入力されなかった場合、SR5、SR4の両方が“ 1 ”にセットされます。

表1.23.2.　ステータスレジスタの各ビットの定義

SRDの各ビット	ステータス名	定義	
		“1”	“0”
SR7 (bit7)	シーケンサステータス	レディ	ビジー
SR6 (bit6)	リザーブ	—	—
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	リザーブ	—	—
SR2 (bit2)	リザーブ	—	—
SR1 (bit1)	リザーブ	—	—
SR0 (bit0)	リザーブ	—	—

フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。図1.23.5にフルステータスチェックフロチャートおよび各エラー発生時の対処方法を示します。



注1.　SR5、SR4のいずれも“0”になることがあります。プログラムデバッグ時はご注意ください。

注2.　SR5、SR4のいずれかが“1”にセットされている状態では、プログラムコマンド、イレーズ全ブロックコマンド、ブロックイレーズコマンドの各コマンドは受け付けません。これらのコマンド実行前にクリアステータスレジスタコマンド (50₁₆) を実行してください。

図1.23.5.　フルステータスチェックフロチャートおよび各エラー発生時の対処方法

内蔵フラッシュメモリ書き換え禁止機能

内蔵フラッシュメモリ内容を簡単に読んだり、書き換えたりできないように、パラレル入出力モードではROMコードプロテクト、標準シリアル入出力モードでは、IDコードチェック機能を内蔵しています。

ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モード使用時、ROMコードプロテクト制御番地(0FFFFF16番地)によって、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止する機能です。ROMコードプロテクト制御番地(0FFFFF16番地)の構成を図1.23.6に示します。(この番地は、ユーザROM領域に存在します。)

2ビットで構成されるROMコードプロテクトビット内どちらか一方に“0”を設定すると、ROMコードプロテクトが設定され、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止します。ROMコードプロテクトにはレベル1とレベル2の2つのレベルがあり、レベル2を選択すると出荷検査用LSIテスタ等による読み出しも不可能になります。レベル1とレベル2共に選択した場合、レベル2が選択されます。

ROMコードプロテクト解除ビットの2ビットに“00”を設定すると、ROMコードプロテクトが解除となり、内蔵フラッシュメモリの内容を読み出すことや変更することが可能になります。一度ROMコードプロテクトを設定すると、パラレル入出力モードでは、ROMコードプロテクト解除ビットの内容を変更できません。ROMコードプロテクト解除ビットの内容は、シリアル入出力モード等他のモードで書き換えてください。

ROMコードプロテクト制御番地

b7	b6	b5	b4	b3	b2	b1	b0
						1	1

シンボル	アドレス	出荷時の値
ROMCP	0FFFFF16番地	FF16

ビットシンボル	ビット名	機　能
予約ビット		必ず“1”を設定してください
ROMCP2	ROMコードプロテクトレベル2設定ビット(注1)(注2)	b3 b2 0 0 : プロテクト有効 0 1 : プロテクト有効 1 0 : プロテクト有効 1 1 : プロテクト無効
ROMCR	ROMコードプロテクト解除ビット(注3)	b5 b4 0 0 : プロテクト解除 0 1 : プロテクト設定ビット有効 1 0 : プロテクト設定ビット有効 1 1 : プロテクト設定ビット有効
ROMCP1	ROMコードプロテクトレベル1設定ビット(注1)	b7 b6 0 0 : プロテクト有効 0 1 : プロテクト有効 1 0 : プロテクト有効 1 1 : プロテクト無効

注1. ROMコードプロテクトを設定すると、パラレル入出力モードでの内蔵フラッシュメモリの読み出しや内容の変更を禁止します。
注2. ROMコードプロテクト・レベル2を設定すると、出荷検査用LSIテスタ等での、ROMコード読み出しも禁止します。
注3. ROMコードプロテクト解除ビットでは、ROMコードプロテクト・レベル1、およびROMコードプロテクト・レベル2を解除できます。
但し、パラレル入出力モードでは変更できないため、シリアル入出力モード等で変更する必要があります。

図1.23.6.　ROMコードプロテクトのビット構成

IDコードチェック機能

標準シリアル入出力モードで使用します。フラッシュメモリの内容がブランクでは無い場合、外部装置から送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、外部装置から送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から$0FFFDF_{16}$、$0FFFE3_{16}$、$0FFFEB_{16}$、$0FFFEF_{16}$、$0FFFF3_{16}$、$0FFFF7_{16}$、$0FFFFB_{16}$番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

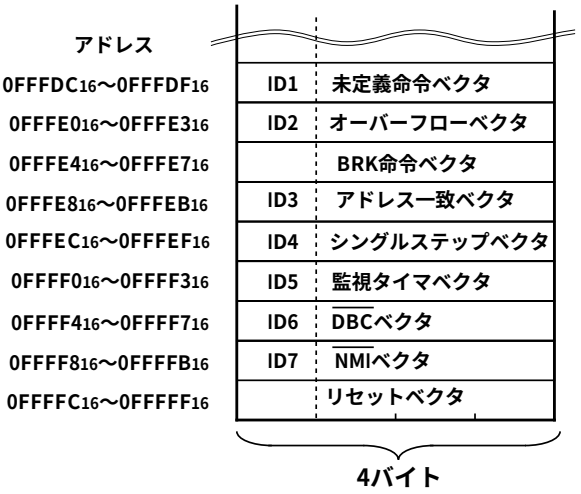


図1.23.7.　IDコードの格納アドレス

パラレル入出力モード

パラレル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウエアコマンド、アドレス、データをパラレルに入出力するモードです。

M30220(フラッシュメモリ版)をサポートしている専用の外部装置(ライタ)を使用してください。使用方法の詳細は各ライタメーカの取り扱い説明書を参照してください。

ユーザROM領域とブートROM領域

パラレル入出力モードでは、図1.22.1に示すユーザROM領域およびブートROM領域の書き換えを行うことができます。フラッシュメモリの操作方法は両領域とも同じです。

プログラム、ブロックイレーズはユーザROM領域のみを対象としてください。ユーザROM領域とブロックを図1.22.1に示します。

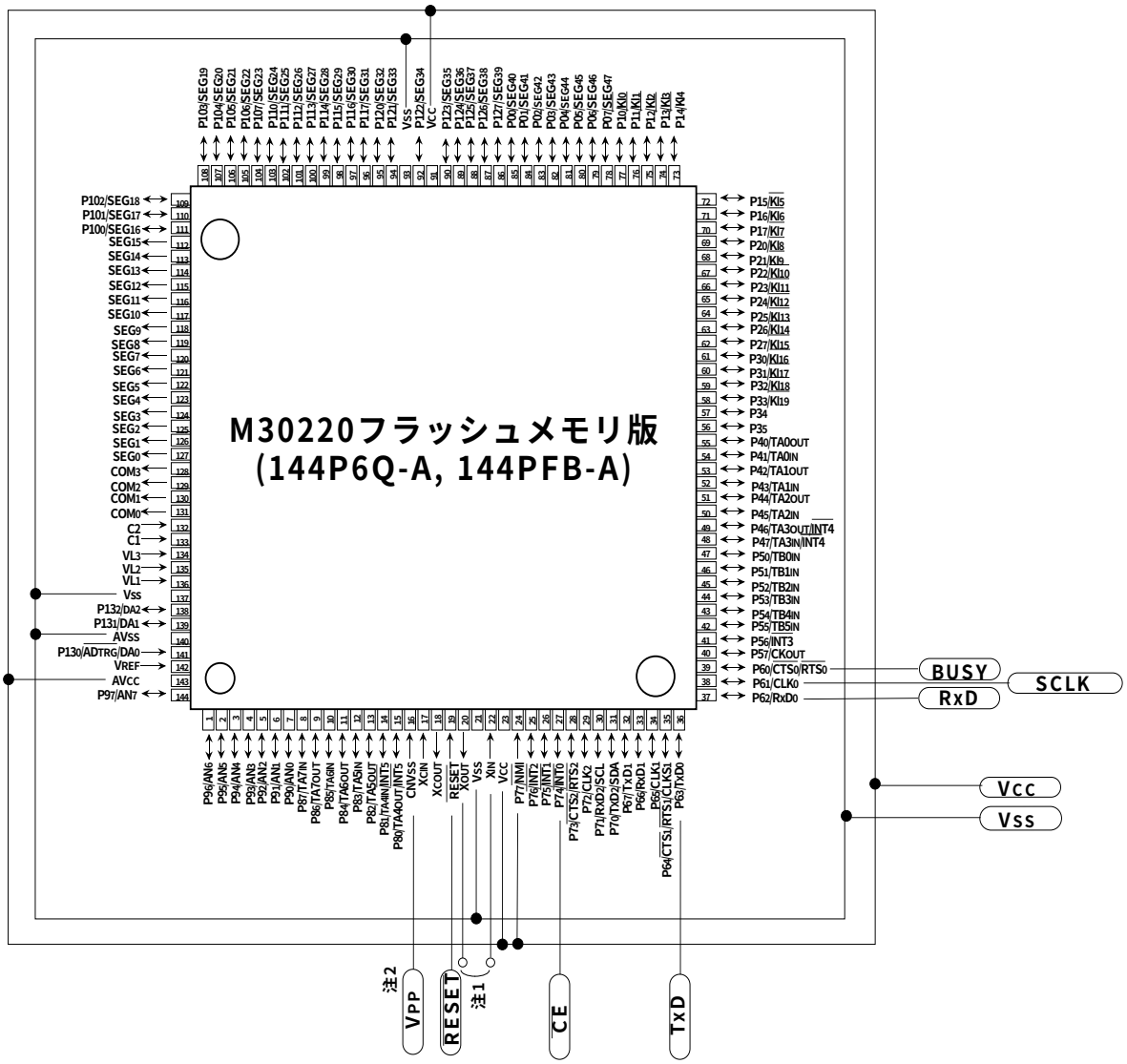
ブートROM領域は、8Kバイトで、 $0DE000_{16}$〜$0DFFFF_{16}$ 番地に配置されています。プログラム、ブロックイレーズは必ずこの範囲内に対してのみ行ってください(この範囲外へのアクセスは禁止)。

ブートROM領域のイレーズブロックは8Kバイト単位の1ブロックのみです。ブートROM領域は、三菱からの出荷時に標準シリアル入出力モードの制御ソフトウエアが書き込まれます。したがって、標準シリアル入出力モードで使用される場合には、ブートROM領域の書き込みは必要ありません。

端子の機能説明(フラッシュメモリ標準シリアル入出力モード)(注1)

端子名	名　　称	入出力	機　能
V_{CC},V_{SS}	電源入力		V_{CC}端子には3.0～3.6V(注2)または4.5～5.5V(注3)を、V_{SS}端子には0Vを印加してください。
CNV$_{SS}$	CNV$_{SS}$	入力	V_{CC}=4.5～5.5V時はV_{CC}接続してください。V_{CC}=3.0～3.6V時はV_{PP}(4.5～5.5V)に接続してください。
$\overline{RESET}$	リセット入力	入力	リセット入力端子です。リセットが"L"の間、X_{IN}端子には20サイクル以上のクロックが必要です。
X_{IN}	クロック入力	入力	X_{IN}端子とX_{OUT}端子の間にはセラミック共振子、または水晶振動子を接続してください。外部で生成したクロックを入力するときは、X_{IN}から入力しX_{OUT}は開放してください。
X_{OUT}	クロック出力	出力	
X_{CIN}	サブクロック入力	入力	使用する場合、X_{CIN}端子とX_{COUT}端子の間には、水晶振動子を接続してください。外部で生成したクロックを入力するときは、X_{CIN}から入力しX_{COUT}は開放してください。
X_{COUT}	サブクロック出力	出力	
AV$_{CC}$、AV$_{SS}$	アナログ電源入力		AV$_{SS}$はV$_{SS}$に、AV$_{CC}$はV$_{CC}$に接続してください。
V_{REF}	基準電圧入力		ADの基準電圧を入力してください。
$P0_0$～$P0_7$	入力ポートP0	入力	"H"を入力、"L"を入力、または開放してください。
$P1_0$～$P1_7$	入力ポートP1	入力	"H"を入力、"L"を入力、または開放してください。
$P2_0$～$P2_7$	入力ポートP2	入力	"H"を入力、"L"を入力、または開放してください。
$P3_0$～$P3_5$	入力ポートP3	入力	"H"を入力、"L"を入力、または開放してください。
$P4_0$～$P4_7$	入力ポートP4	入力	"H"を入力、"L"を入力、または開放してください。
$P5_0$～$P5_7$	入力ポートP5	入力	"H"を入力、"L"を入力、または開放してください。
$P6_0$	BUSY出力	出力	標準シリアル入出力モード1：BUSY信号の出力端子です。 標準シリアル入出力モード2：プログラム動作チェック用モニタ
$P6_1$	SCLK入力	入力	標準シリアル入出力モード1：シリアルクロックの入力端子です。 標準シリアル入出力モード2："L"を入力してください。
$P6_2$	RXD入力	入力	シリアルデータの入力端子です。
$P6_3$	TXD出力	出力	シリアルデータの出力端子です。
$P6_4$～$P6_7$	入力ポートP6	入力	"H"を入力、"L"を入力、または開放してください。
$P7_0$～$P7_3$、$P7_5$、$P7_6$	入力ポートP7	入力	"H"を入力、"L"を入力、または開放してください。
$P7_4$	$\overline{CE}$入力	入力	"H"を入力してください
$P7_7$	$\overline{NMI}$入力	入力	V_{CC}に接続してください
$P8_0$～$P8_7$	入力ポートP8	入力	"H"を入力、"L"を入力、または開放してください。
$P9_0$～$P9_7$	入力ポートP9	入力	"H"を入力、"L"を入力、または開放してください。
$P10_0$～$P10_7$	入力ポートP10	入力	"H"を入力、"L"を入力、または開放してください。
$P11_0$～$P11_7$	入力ポートP11	入力	"H"を入力、"L"を入力、または開放してください。
$P12_0$～$P12_7$	入力ポートP12	入力	"H"を入力、"L"を入力、または開放してください。
$P13_0$～$P13_2$	入力ポートP13	入力	"H"を入力、"L"を入力、または開放してください。
SEG$_0$～SEG$_{15}$	セグメント出力	出力	LCD制御回路を未使用の場合は、開放してください。
COM$_0$～COM$_3$	コモン出力	出力	LCD制御回路を未使用の場合は、開放してください。
V_{L1}～V_{L3}	LCD用電源入力		LCD用の電源を入力してください。ただし、V_{CC}とLCD用電源が異電圧の場合は電源を入力しないでください。
C_1、C_2	昇圧用コンデンサー接続端子		LCDの昇圧回路使用時はC_1, C_2間にコンデンサーを接続。

注1.　未使用端子は、シングルチップモード時の未使用端子の処理例を参照してください。
注2.　シングルチップモード時の電源電圧は、V_{CC}=2.7～3.6Vとなります。
注3.　シングルチップモード時の電源電圧は、V_{CC}=2.7～5.5Vとなります。



モード設定方法

信号線名	値
CNVss	4.5～5.5V
$\overline{\text{RESET}}$	Vss→Vcc
$\overline{\text{CE}}$	Vcc

注1.発振回路を接続
注2.Vcc=4.5～5.5V時はVccに接続、
Vcc=3.0～3.6V時はV_{pp}(=4.5～5.5V)
に接続

図1.25.1.　シリアル入出力モード時の端子結線図

標準シリアル入出力モード

標準シリアル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウエアコマンド、アドレス、データをシリアルに入出力するモードです。標準シリアル入出力モードには、

・クロック同期形のモード1
・クロック非同期形のモード2

があり、専用の外部装置を使用します。

標準シリアル入出力モードは、パラレル入出力モードと異なり、CPUがフラッシュメモリの書き替え(CPU書き換えモード使用)と書き換えデータのシリアル入力等の制御を行います。標準シリアル入出力モードは、$P7_4$($\overline{CE}$)端子を“H”、CNV_{SS}端子を“H”(Vcc=4.5～5.5V時はVccに接続、Vcc=2.7～4.5V時はVpp端子として外部からVpp=4.5～5.5Vを供給)に接続して、リセットを解除することで起動します。(通常のマイコンモードでは、CNV_{SS}は“L”に設定してください。)

この制御プログラムは三菱からの出荷時にブートROM領域に書き込まれています。したがって、パラレル入出力モードでブートROM領域を書き換えた場合には、標準シリアル入出力モードは使用できなくなりますので注意してください。図1.25.1に標準シリアル入出力モード時の端子結線図を示します。シリアルデータの入出力は、UART0を使って行い、8ビット単位でシリアル転送します。リセット解除時のCLK_0端子によって、モード1(クロック同期形)/モード2(クロック非同期形)を切り替えます。

標準シリアル入出力モード1(クロック同期形)を使用する場合は、CLK_0端子を“H”にしてリセットを解除します。UART0の端子CLK_0、RxD_0、TxD_0、RTS_0(BUSY)の4本を使用します。CLK_0端子は転送クロックの入力端子で、外部からの転送クロックを入力します。TxD_0端子はCMOS出力です。RTS_0(BUSY)端子は、受信準備が完了すれば“L”となり、受信動作を開始すれば“H”を出力します。

標準シリアル入出力モード2(クロック非同期形)を使用する場合は、CLK_0端子を“L”にしてリセットを解除します。UART0の端子RxD_0、TxD_0の2本を使用します。

標準シリアル入出力モードでは、図1.22.1に示すユーザROM領域のみ書き換えが可能で、ブートROM領域は書き換えできません。

標準シリアル入出力モードには、7バイトのIDコードを持っています。フラッシュメモリの内容がブランクでない場合、IDコードの内容が一致しなければ外部装置(ライタ)から送られてくるコマンドを受け付けません。

機能概要(標準シリアル入出力モード1)

標準シリアル入出力モード1では、4線式クロック同期形のシリアルI/O(UART0)を用いて外部装置(シリアルライタ等)との間でソフトウエアコマンド、アドレス、データ等の入出力を行います。$P6_1$(CLK_0)端子を“H”にしてリセットを解除すると標準シリアル入出力モード1になります。

受信時には、ソフトウエアコマンド、アドレスおよびプログラムデータは、CLK_0端子に入力する転送クロックの立ち上がりに同期して、RxD_0端子から内部に取り込みます。送信時には、リードデータおよびステータスは、転送クロックの立ち下がりに同期して、TxD_0端子から外部に出力します。

TxD_0端子は、CMOS出力です。転送は8ビット単位、LSBファーストで行います。

送信、受信中およびイレーズ、プログラム実行中等のビジー期間中には、RTS_0(BUSY)端子が“H”となります。したがって、次の転送は、必ずRTS_0(BUSY)端子が“L”となった後に開始してください。

また、メモリ内のデータ、ステータスレジスタ等はソフトウエアコマンド入力後のリードで読み出すことができます。フラッシュメモリの動作状態、プログラムやイレーズの正常／エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。以下、ソフトウエアコマンド、ステータスレジスタ等について説明します。

ソフトウエアコマンド

表1.25.1にソフトウエアコマンドの一覧表を示します。標準シリアル入出力モード1では、RxD0端子からソフトウエアコマンドを転送することにより、イレーズ、プログラム、リード等の制御を行います。

以下に各ソフトウエアコマンドの内容を説明します。

表1.25.1.　ソフトウエアコマンド一覧表(標準シリアル入出力モード1)

	制御コマンド名	1ﾊﾞｲﾄ目の転送	2ﾊﾞｲﾄ目	3ﾊﾞｲﾄ目	4ﾊﾞｲﾄ目	5ﾊﾞｲﾄ目	6ﾊﾞｲﾄ目	～	ID照合未
1	ﾍﾟｰｼﾞﾘｰﾄﾞ	FF_{16}	アドレス（中位）	アドレス（上位）	データ出力	データ出力	データ出力	～259ﾊﾞｲﾄ目 データ出力	受付不可
2	ﾍﾟｰｼﾞﾌﾟﾛｸﾞﾗﾑ	41_{16}	アドレス（中位）	アドレス（上位）	データ入力	データ入力	データ入力	～259ﾊﾞｲﾄ目 データ入力	受付不可
3	ﾌﾞﾛｯｸｲﾚｰｽﾞ	20_{16}	アドレス（中位）	アドレス（上位）	$D0_{16}$				受付不可
4	ｲﾚｰｽﾞ全ﾌﾞﾛｯｸ	$A7_{16}$	$D0_{16}$						受付不可
5	ﾘｰﾄﾞｽﾃｰﾀｽﾚｼﾞｽﾀ	70_{16}	SRD出力	SRD1出力					受付可
6	ｸﾘｱｽﾃｰﾀｽﾚｼﾞｽﾀ	50_{16}							受付不可
7	IDﾁｪｯｸ機能	$F5_{16}$	アドレス（下位）	アドレス（中位）	アドレス（上位）	IDサイズ	ID1	～ID7	受付可
8	ﾀﾞｳﾝﾛｰﾄﾞ機能	FA_{16}	サイズ（下位）	サイズ（上位）	チェックサム	データ入力	～必要回数		受付不可
9	ﾊﾞｰｼﾞｮﾝ情報出力機能	FB_{16}	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	～9ﾊﾞｲﾄ目 ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	受付可
10	ﾌﾞｰﾄROM領域出力機能	FC_{16}	アドレス（中位）	アドレス（上位）	データ出力	データ出力	データ出力	～259ﾊﾞｲﾄ目 データ出力	受付不可
11	リードチェックデータ	FD_{16}	ﾁｪｯｸﾃﾞｰﾀ（下位）	ﾁｪｯｸﾃﾞｰﾀ（上位）					受付不可

注1.　網掛けは、フラッシュメモリ内蔵マイコン→外部装置への転送
それ以外は、外部装置→フラッシュメモリ内蔵マイコンへの転送。

注2.　SRDはステータスレジスタデータ。SRD1はステータスレジスタ１データ。

注3.　ブランク品に対しては全コマンドの受け付け可。

ページリードコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に読み出します。以下の手順でページリードコマンドを実行してください。

(1)　1バイト目の転送でコマンドコード“ FF_{16} ”を転送します。

(2)　2バイト目、3バイト目の転送でそれぞれアドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。

(3)　4バイト目以降に、クロックの立ち下がりに同期してアドレスA_8～A_{23}で指定したページ(256バイト)のデータ(D_0～D_7)を最小のアドレスから順番に出力します。

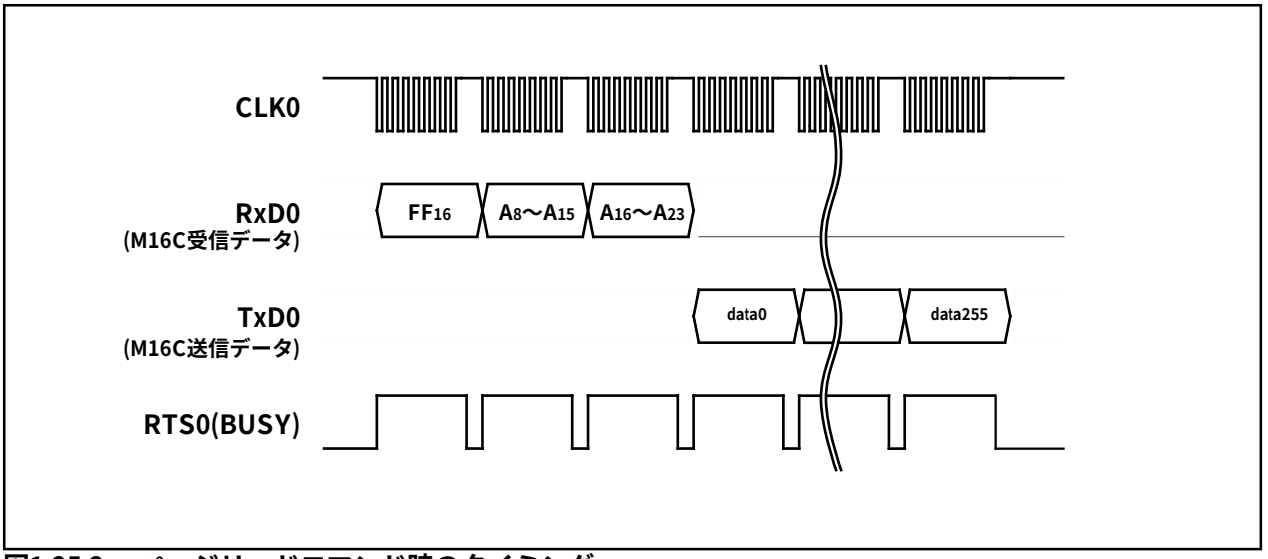


図1.25.2.　ページリードコマンド時のタイミング

リードステータスレジスタコマンド

ステータス情報を読み出します。1バイト目の転送でコマンドコード“ 70_{16} ”を転送すると、2バイト目の転送でステータスレジスタ(SRD)、3バイト目の転送でステータスレジスタ(SRD1)の内容を出力します。

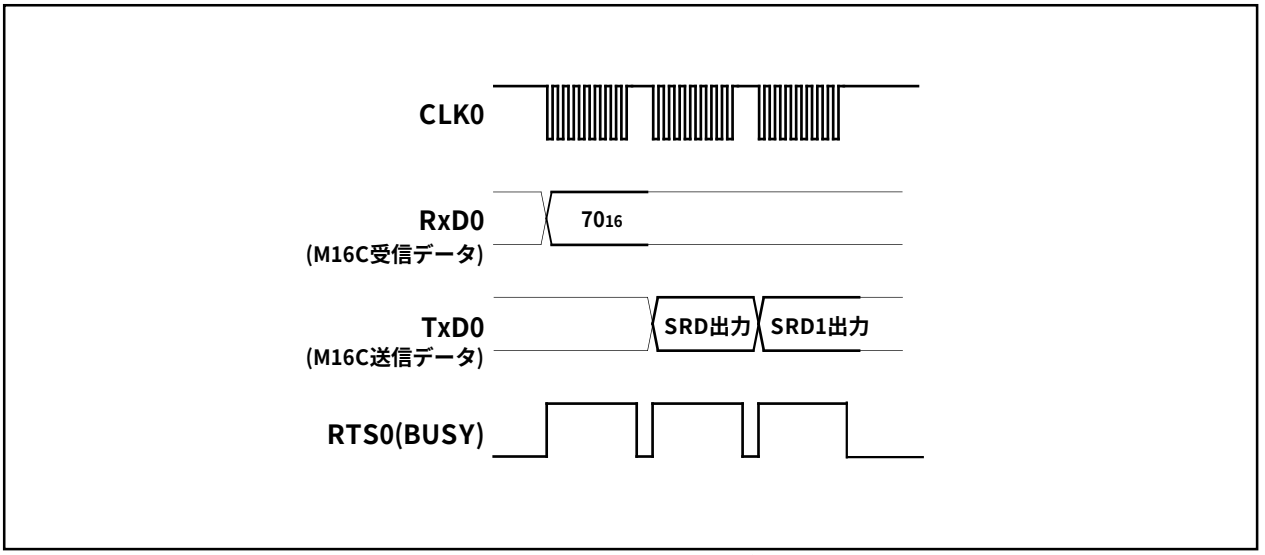


図1.25.3.　リードステータスレジスタコマンド時のタイミング

クリアステータスレジスタコマンド

ステータスレジスタのエラー終了を示すビット(SR4～SR5)がセットされた後、これらをクリアするためのコマンドです。1バイト目の転送でコマンドコード“ 50_{16} ”を転送すると、上記のビットをクリアします。クリアステータスレジスタが終了すると、RTS_0(BUSY)信号は“ H ”から“ L ”に変化します。

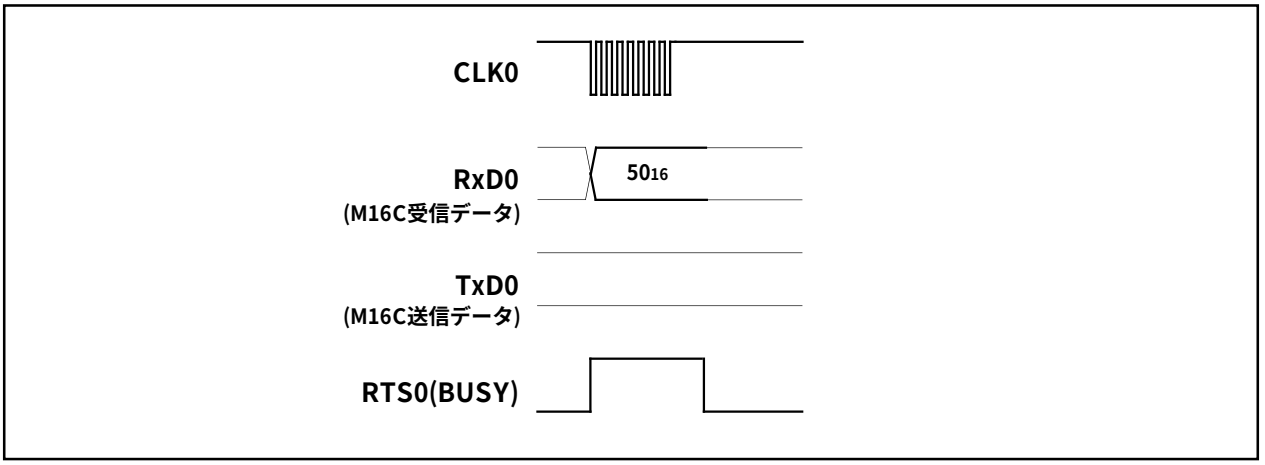


図1.25.4.　クリアステータスレジスタコマンド時のタイミング

ページプログラムコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に書き込みます。以下の手順でページプログラムコマンドを実行してください。

(1)　1バイト目の転送でコマンドコード“ 41_{16} ”を転送します。

(2)　2バイト目、3バイトの転送でそれぞれ、アドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。

(3)　4バイト目以降、ライトデータ(D_0～D_7)を指定したページの最小のアドレスから順番に256バイト入力すると、自動的に指定したページに対し書き込み動作を開始します。

次の256バイトの受信準備が完了すればRTS_0(BUSY)信号が“ H ”から“ L ”に変化します。ステータスレジスタを読み出すことにより、ページプログラムの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

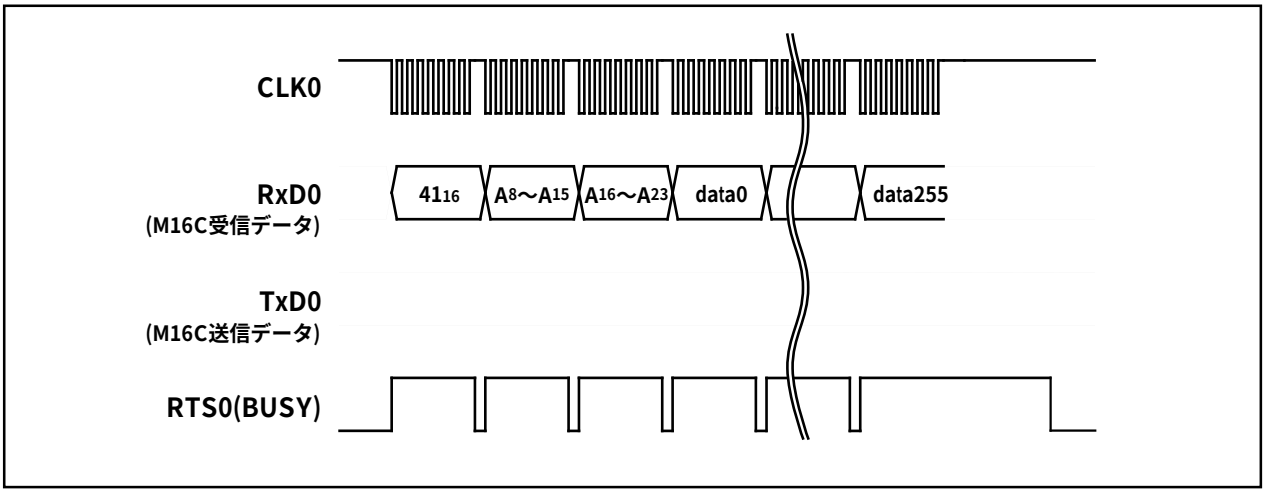


図1.25.5.　ページプログラムコマンド時のタイミング

ブロックイレーズコマンド

指定したブロック内のデータをイレースするコマンドです。以下の手順でブロックイレーズコマンドを実行してください。

(1) 1バイト目の転送でコマンドコード“ 20_{16} ”を転送します。

(2) 2バイト目、3バイト目の転送でそれぞれアドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。

(3) 4バイト目の転送で確認コマンドコード“ $D0_{16}$ ”を転送すると、フラッシュメモリの指定ブロックに対するイレーズ動作を開始します。なお、A_8～A_{23}のアドレスは、指定するブロック内の任意の偶数アドレスとしてください。

ブロックイレーズを終了するとRTS_0(BUSY)信号が“ H ”から“ L ”に変化します。ブロックイレーズを終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

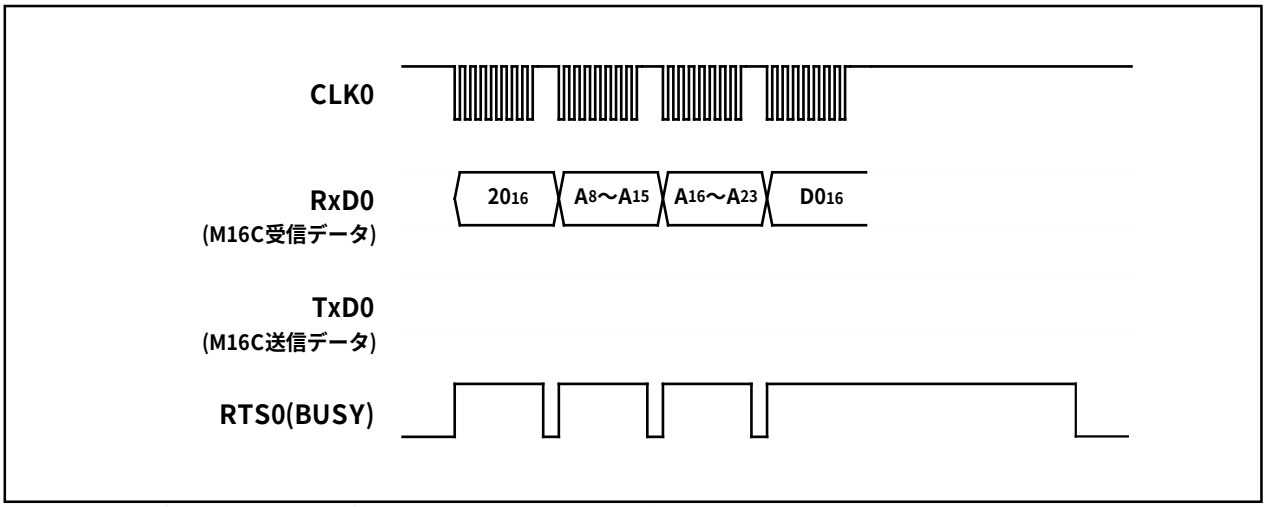


図1.25.6.　ブロックイレーズコマンド時のタイミング

イレーズ全ブロックコマンド

全ブロックの内容を消去するコマンドです。以下の手順でイレーズ全ブロックコマンドを実行してください。

(1)　1バイト目の転送でコマンドコード“ $A7_{16}$ ”を転送します。

(2)　2バイト目の転送で確認コマンド“ $D0_{16}$ ”を転送すると、全ブロックに対し、連続的にブロックイレーズ動作を開始します。

イレーズ全ブロックが終了するとRTS0(BUSY)信号が“ H ”から“ L ”に変化します。イレーズの結果も、ステータスレジスタの読み出しにより知ることができます。

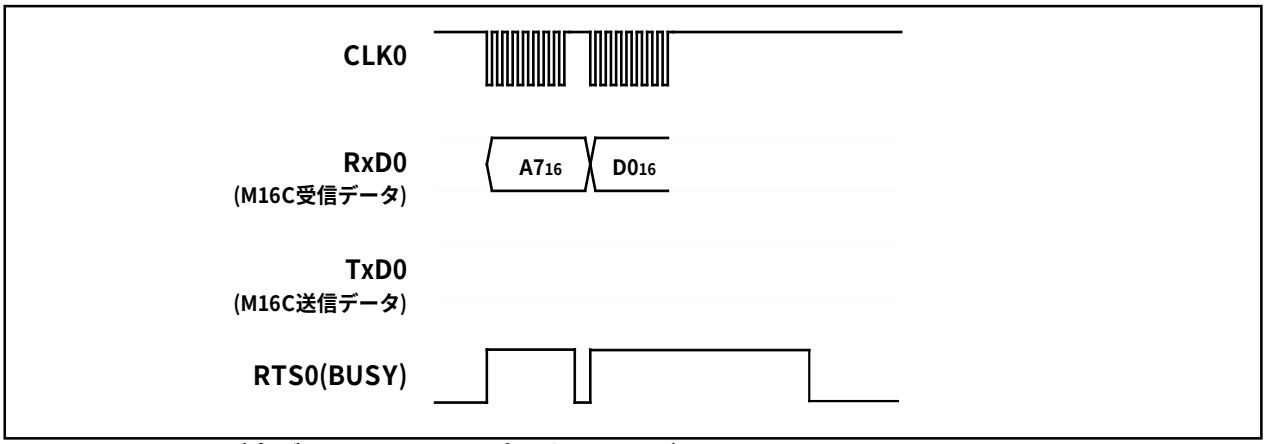


図1.25.7.　イレーズ全ブロックコマンド時のタイミング

ダウンロード機能

RAMに実行プログラムをダウンロードするコマンドです。以下の手順でダウンロードを実行してください。

(1)　1バイト目の転送でコマンドコード“ FA_{16} ”を転送します。

(2)　2バイト目、3バイト目の転送で、プログラムのサイズを転送します。

(3)　4バイト目の転送でチェックサムを転送します。チェックサムは、5バイト目以降に転送するデータを全て加算したものです。

(4)　5バイト目以降実行プログラムを転送します。
全データの転送が完了し、チェックサムが一致すれば転送プログラムを実行します。転送プログラム容量は、内蔵するRAMによって違います。

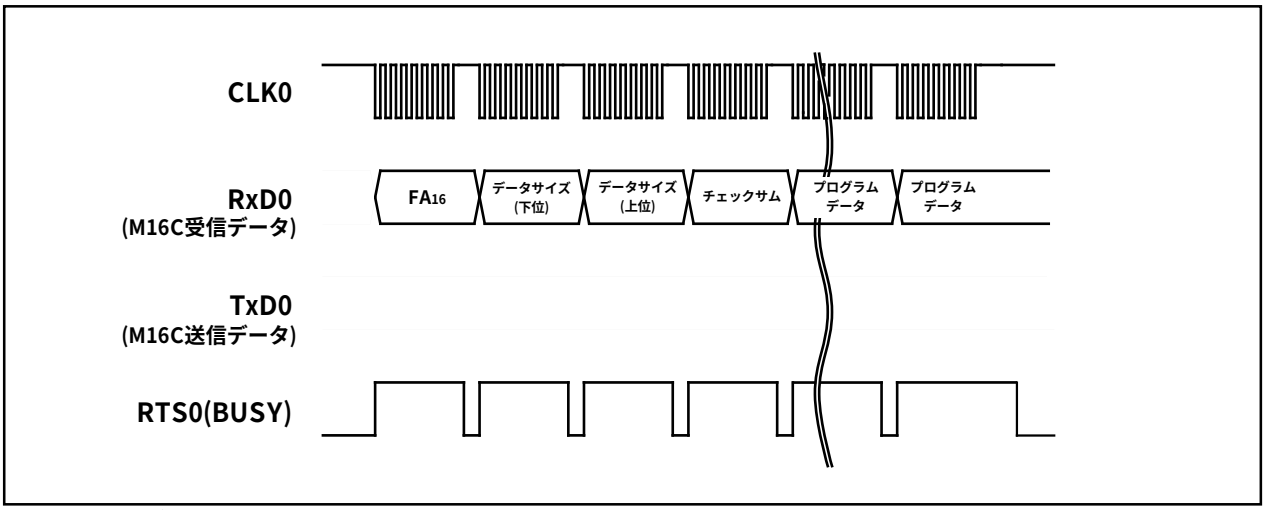


図1.25.8.　ダウンロード機能のタイミング

バージョン情報出力機能

ブートROM領域に格納している制御プログラムのバージョン情報を出力します。以下の手順でバージョン情報出力機能を実行してください。

(1)　1バイト目の転送でコマンドコード“ FB_{16} ”を転送します。

(2)　2バイト目以降バージョン情報を出力します。バージョン情報はASCIIコード8文字で構成されています。

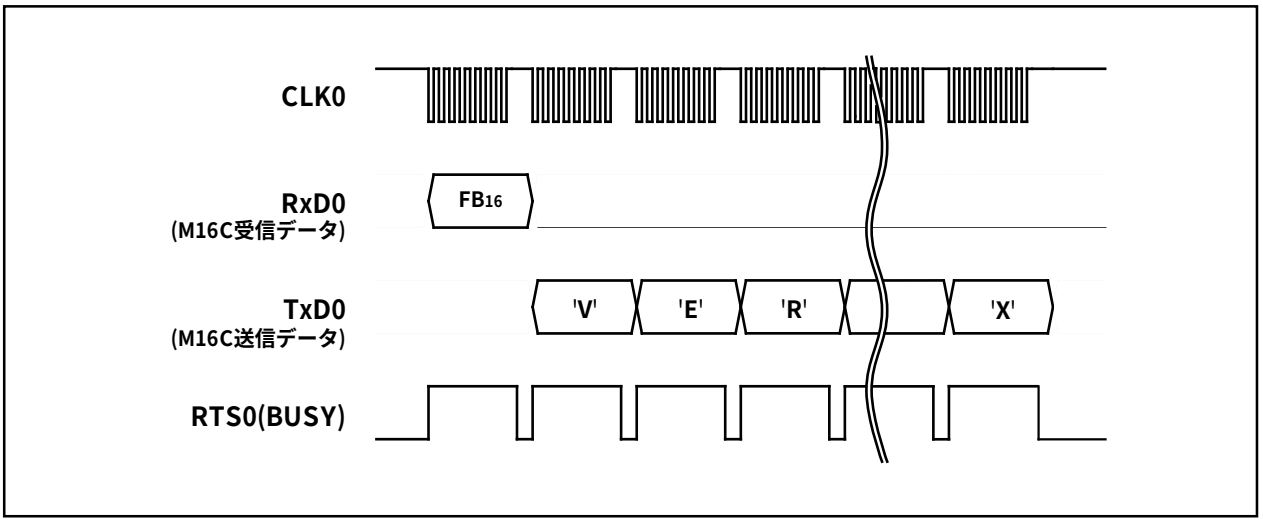


図1.25.9.　バージョン情報出力機能のタイミング

ブートROM領域出力機能

ブートROM領域に格納している制御プログラムをページ(256バイト)単位で読み出す機能です。以下の手順でブートROM領域出力機能を実行してください。

(1)　1バイト目の転送でコマンドコード“ FC_{16} ”を転送します。

(2)　2バイト目、3バイト目の転送でそれぞれアドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。

(3)　4バイト目以降に、クロックの立ち下がりに同期してアドレスA_8～A_{23}で指定したページ(256バイト)のデータ(D_0～D_7)を最小のアドレスから順番に出力します

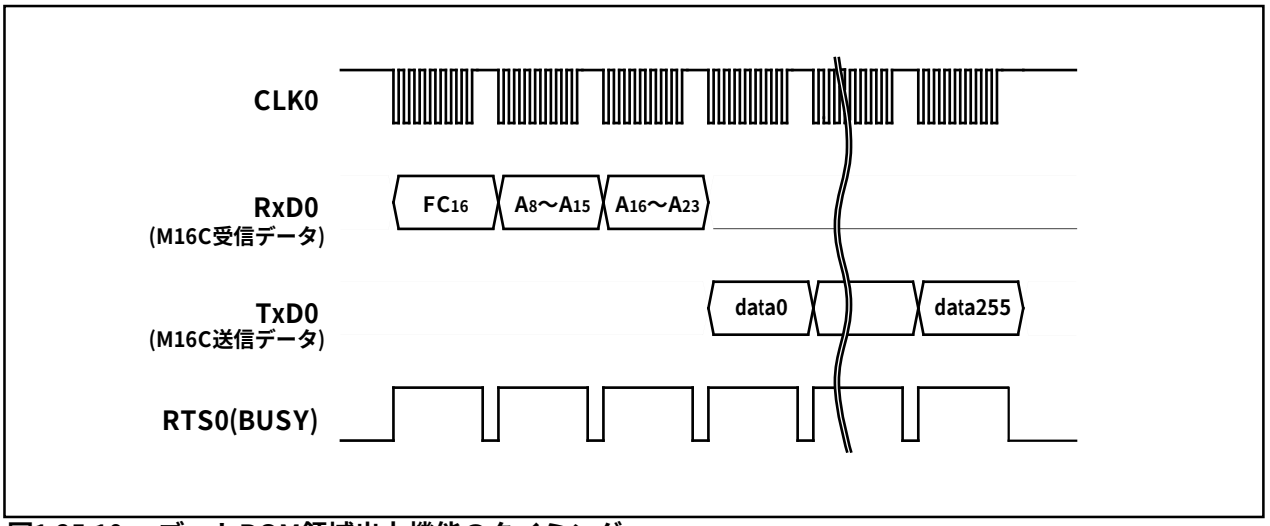


図1.25.10.　ブートROM領域出力機能のタイミング

IDチェック機能

IDコードを判断するコマンドです。以下の手順でIDチェックを実行してください。

(1)　1バイト目の転送でコマンドコード“ $F5_{16}$ ”を転送します。

(2)　2バイト目、3バイト目、4バイト目の転送で、それぞれIDコードの1バイト目のアドレスA_0～A_7、A_8～A_{15}、A_{16}～A_{23}を転送してください。

(3)　5バイト目にIDコードのデータ数を転送してください。

(4)　6バイト目以降IDコードをIDコードの1バイト目から転送してください。

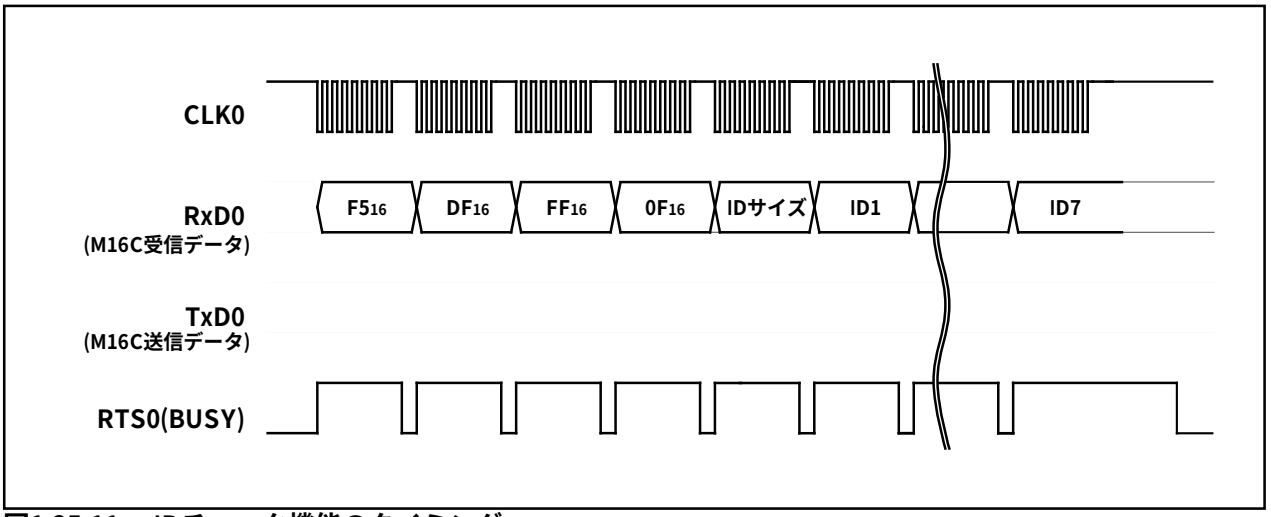


図1.25.11.　IDチェック機能のタイミング

IDコード

フラッシュメモリの内容がブランクでは無い場合、外部装置から送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、外部装置から送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から$0FFFDF_{16}$、$0FFFE3_{16}$、$0FFFEB_{16}$、$0FFFEF_{16}$、$0FFFF3_{16}$、$0FFFF7_{16}$、$0FFFFB_{16}$番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

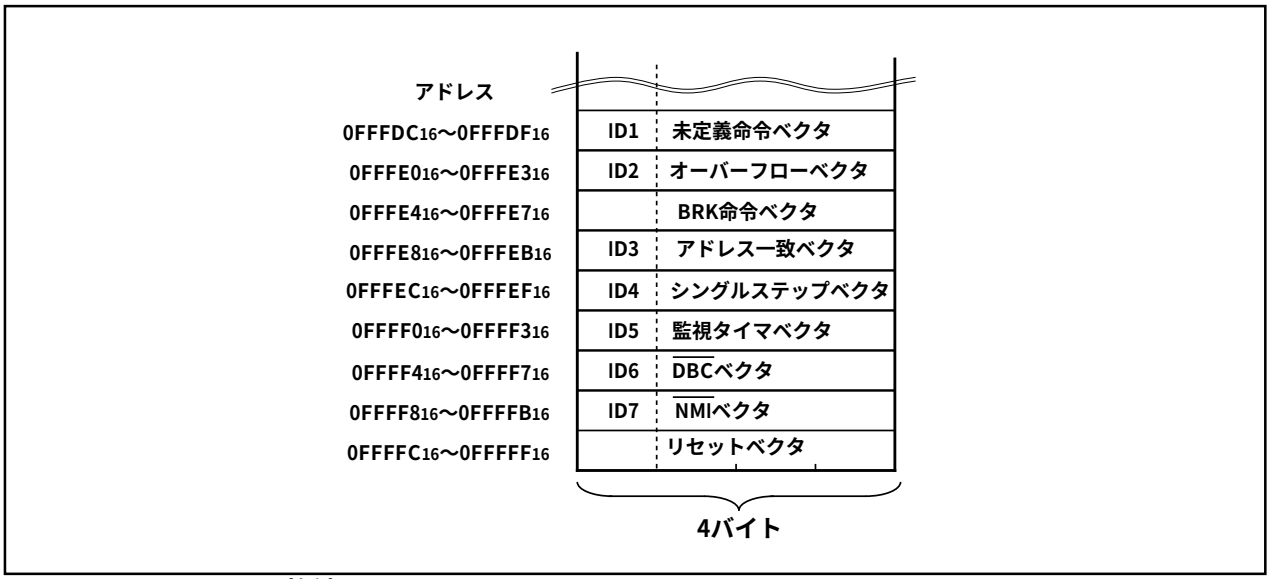


図1.25.12.　IDコードの格納アドレス

リードチェックデータ

ページプログラムコマンドで送信した書き込みデータに対し、正しく受信が行われたことを確認するためのチェックデータを読み出します。

(1)　1バイト目の転送でコマンドコード“ FD_{16} ”を転送します。

(2)　2バイト目の転送でチェックデータ(下位)、3バイト目の転送でチェックデータ(上位)を受信します。

このリードチェックデータコマンドを使用する場合、まず最初にこのコマンドを実行し、チェックデータを初期化します。次にページプログラムコマンドを必要回数実行します。その後、再びリードチェックコマンドを実行しますと、この間に実行したページプログラムコマンドで送信した書き込みデータ全てのチェックデータが読み出せます。

チェックデータは書き込みデータを1バイト単位で加算し、加算データの下位2バイトに対して2の補数を求めた結果です。

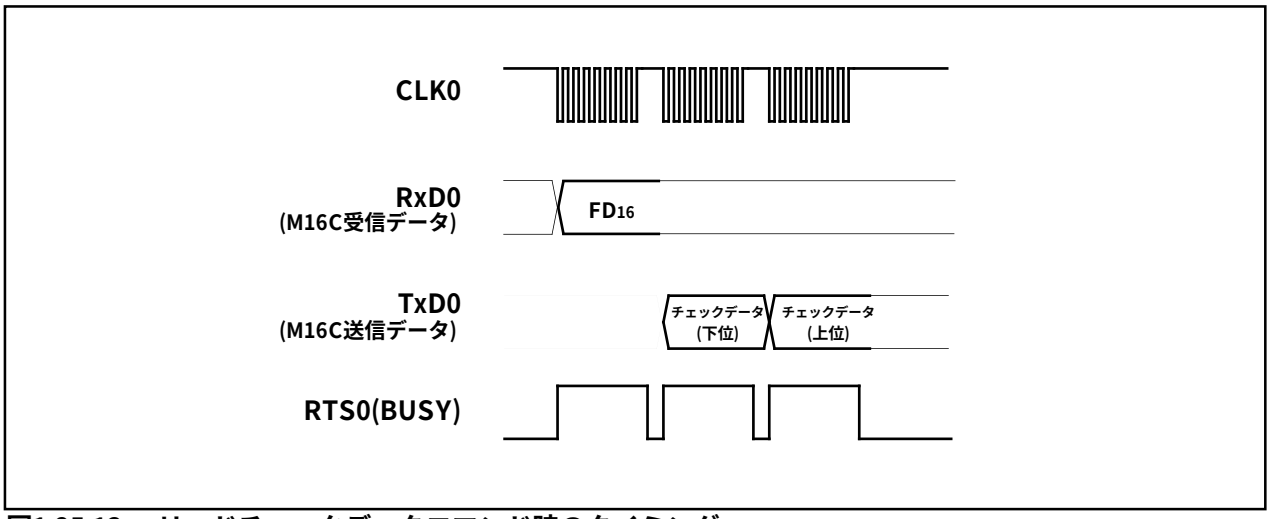


図1.25.13.　リードチェックデータコマンド時のタイミング

ステータスレジスタ(SRD)

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常／エラー終了等の状態を示すレジスタで、リードステータスレジスタコマンド(70_{16})をライトしたとき読み出すことができます。また、ステータスレジスタはクリアステータスレジスタコマンド(50_{16})をライトしたときクリアされます。

ステータスレジスタを表1.25.2に各ビットの定義を以下に示すます。

リセット解除後、ステータスレジスタは、“ 80_{16} ”を出力します。

表1.25.2.　ステータスレジスタ(SRD)

記号	ステータス	定義	
		“1”	“0”
SR7 (D_7)	シーケンサステータス	レディ	ビジー
SR6 (D_6)	リザーブ	–	–
SR5 (D_5)	イレーズステータス	エラー終了	正常終了
SR4 (D_4)	プログラムステータス	エラー終了	正常終了
SR3 (D_3)	リザーブ	–	–
SR2 (D_2)	リザーブ	–	–
SR1 (D_1)	リザーブ	–	–
SR0 (D_0)	リザーブ	–	–

シーケンサーステータス(SR7)

シーケンサーステータスはフラシュメモリの動作状況を示すもので、電源投入時およびディープパワーダウンモードからの復帰時は"1" (レディ)にセットされます。プログラムやイレーズの動作中は“ 0 ” (ビジー)にセットされますが、これらの動作終了とともに“ 1 ”にセットされます。

イレーズステータス(SR5)

イレーズステータスはイレーズの動作状況を知らせるもので、消去エラーが発生すると“ 1 ”にセットされます。

イレーズステータスはクリアされると“ 0 ”になります。

プログラムステータス(SR4)

プログラムステータスはプログラムの動作状況を知らせるもので、書き込みエラーが発生すると“ 1 ”にセットされます。

プログラムステータスはクリアされると“ 0 ”になります。

ステータスレジスタ1(SRD1)

ステータスレジスタ1は、シリアル通信の状態、IDコード比較の結果、チェックサム比較の結果等を示すレジスタで、リードステータスレジスタコマンド(70_{16})をライトしたときSRDに続いて読み出すことができます。また、ステータスレジスタ1はクリアステータスレジスタコマンド(50_{16})をライトしたときクリアされます。

ステータスレジスタを表1.25.3に各ビットの定義を以下に示します。

電源投入時“00_{16}”になります。フラグの状態はリセットしても保持されます。

表1.25.3.　ステータスレジスタ1(SRD1)

SRD1の各ビット	ステータス名	定義	
		"1"	"0"
SR15 (bit7)	ブート更新済みビット	更新済み	未更新
SR14 (bit6)	リザーブ	—	—
SR13 (bit5)	リザーブ	—	—
SR12 (bit4)	チェックサム一致ビット	一致	不一致
SR11 (bit3) SR10 (bit2)	ID照合済みビット	00 01 10 11	未照合 照合不一致 リザーブ 照合済み
SR9 (bit1)	データ受信タイムアウト	タイムアウト	正常動作
SR8 (bit0)	リザーブ	—	—

ブート更新済みビット(SR15)

ダウンロード機能を使用して制御プログラムをRAMにダウンロードしたかどうか示すフラグです。

チェックサム一致ビット(SR12)

ダウンロード機能を使用して実行プログラムをダウンロードしたとき、チェックサムが一致したかどうか示すフラグです。

ID照合済みビット(SR11　SR10)

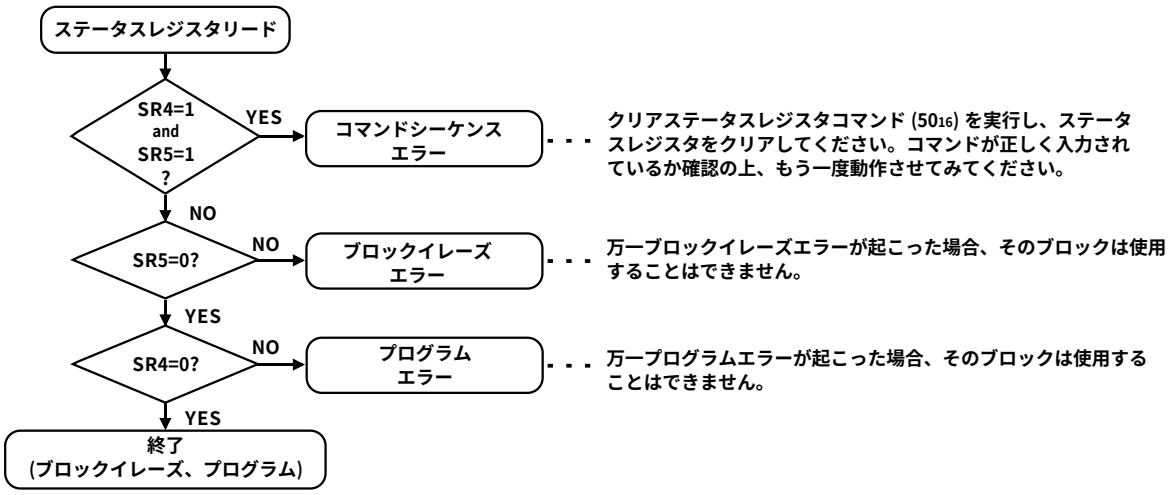
ID照合の結果を示すフラグです。ID照合しなければ、受け付けないコマンドがあります。

データ受信タイムアウト(SR9)

データ受信中のタイムアウトエラーの発生を示すフラグです。データ受信中にこのフラグが立つと、受信したデータを破棄し、コマンド待ちに戻ります。

フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。図1.25.14 にフルステータスチェックフロチャートおよび各エラー発生時の対処方法を示します。

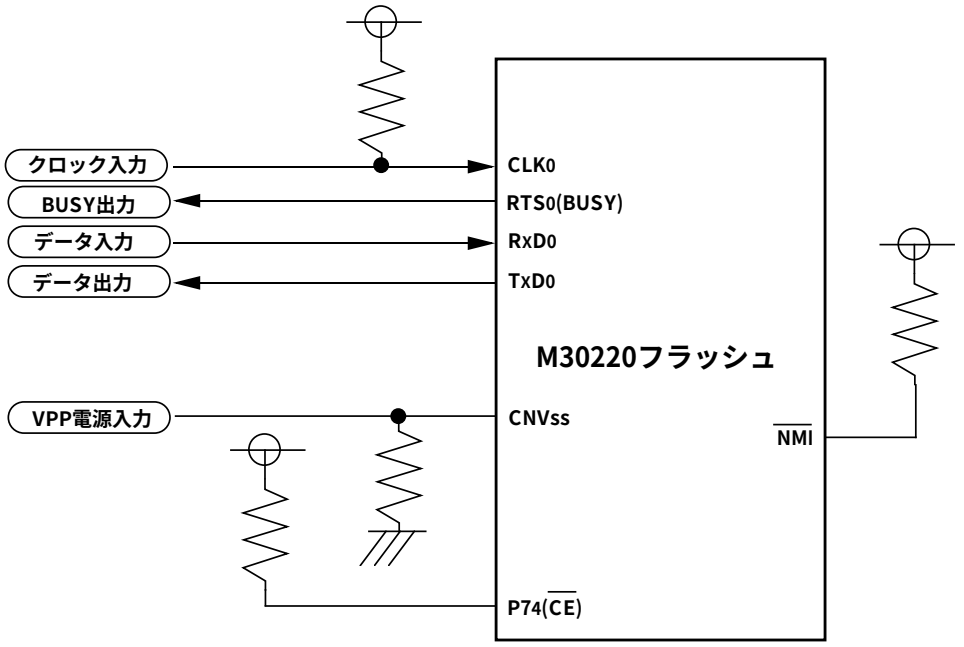


注1.　SR5、SR4のいずれかが“1”にセットされている状態では、プログラム、イレーズ、イレーズ全ブロックの各コマンドは受け付けません。これらのコマンド実行前にクリアステータスレジスタコマンド (50₁₆) を実行してください。

図1.25.14.　フルステータスチェックフローチャートおよび各エラー発生時の対処法

標準シリアル入出力モード1時の応用回路(例)

標準シリアル入出力モード1を使用する場合の応用回路を示します。外部装置(ライタ)によって制御するピン等が違いますので、詳細は外部装置(ライタ)のマニュアルを参考にしてください。



(1) 外部装置(ライタ)によって制御する端子、外付け回路が違います。詳しくは、外部装置(ライタ)のマニュアルを参照してください。
(2) この例では、VPP電源を外部装置(ライタ)より供給しています。ユーザ電源を使用する場合は、4.5V～5.5Vに接続してください。

図1.25.15.　標準シリアル入出力モード1時の応用回路例

標準シリアル入出力モード2(クロック非同期形)機能概要

標準シリアル入出力モード2では、2線式クロック非同期形のシリアルI/O(UART0)を用いて外部装置(シリアルライタ等)との間でソフトウエアコマンド、アドレス、データ等の入出力を行います。P61(CLK0)端子を“L”にしてリセットを解除すると標準シリアル入出力モード2になります。

TxD0端子はCMOS出力です。データ転送は、8ビット単位、LSBファースト、1ストップビット、パリティ禁止で行います。

リセット解除後、外部装置との初期通信(図1.25.16)により、転送速度9600bpsで接続が可能になります。ただし、メインクロックの入力発振周波数は2MHz以上にする必要があります。またその後、転送速度は、ソフトウエアコマンドを実行することで、9600bps、19200bps、38400bps、57600bpsに変更することができます。しかし、メインクロックの入力発振周波数によっては通信エラーとなる場合もあります。その場合、メインクロックの入力発振周波数、転送速度を変更してください。

外部装置よりイレーズ、プログラム等、イレーズ時間/書き込み時間が発生するコマンドを実行した後は、充分な間隔を設けるか、リードステータスコマンドを実行し処理の終了を確認してから、次のコマンド転送を行ってください。

メモリ内のデータ、ステータスレジスタ等は、ソフトウエアコマンド転送後のリードで読み出すことができます。フラッシュメモリの動作状態、プログラムやイレーズの正常/エラー終了等の状態は、ステータスレジスタを読み出すことでチェックできます。以下、外部装置との初期通信、周波数判定方法、およびソフトウエアコマンドについて説明します。

外部装置との初期通信について

リセット解除時に、外部装置側との初期通信(図1.25.16)の手順でコードを送信することで、メインクロックの入力発振周波数に合わせて転送速度レジスタを9600bpsに調整します。

(1)　外部装置から“$B0_{16}$”を転送します。このとき、メインクロックの入力発振周波数が10MHzの場合、フラッシュメモリ内蔵マイコンは、確認コード“$B0_{16}$”を出力します。10MHz以外の場合、何も出力しません。

(2)　外部装置から“00_{16}”を16回転送します。(フラッシュメモリ内蔵マイコンは“00_{16}”が正しく受信できるように転送速度レジスタを設定します。)

(3)　フラッシュメモリ内蔵マイコンは、確認コード“$B0_{16}$”を出力し、初期通信を終了します(注1)。

初期通信は、転送速度9600bpsで行い、転送間隔は15ms以上あける必要があります。また、初期通信完了時の転送速度は9600bpsです。

注1.　外部装置に“$B0_{16}$”が正しく受信できない場合は、メインクロック入力発振周波数を変更してください。

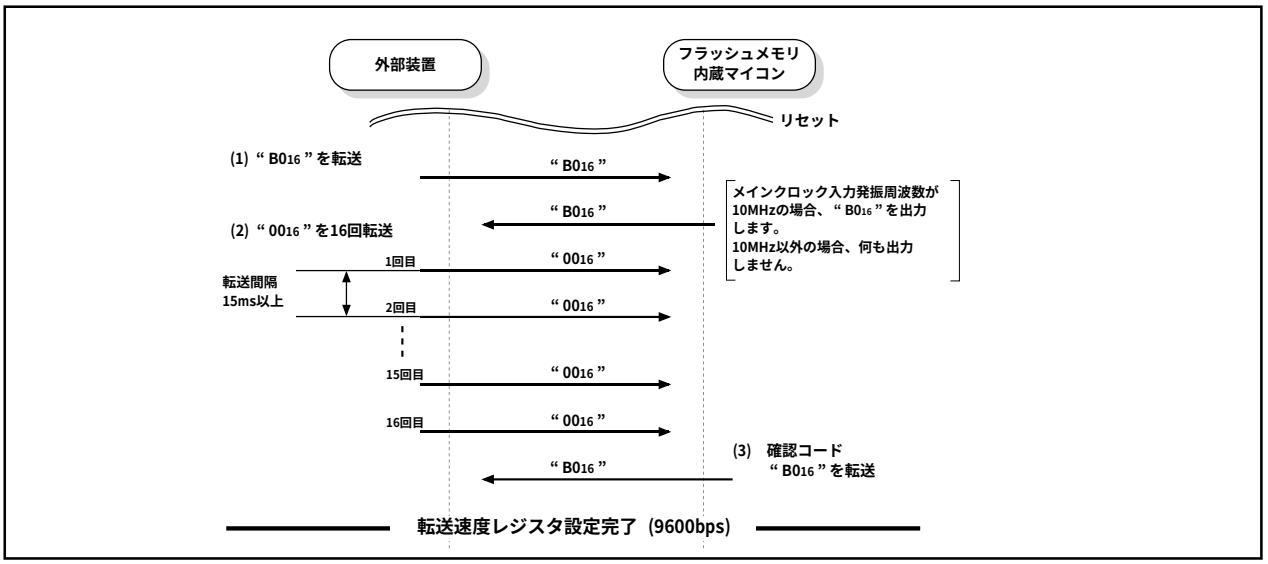


図1.25.16.　外部装置との初期通信

周波数判定方法

外部装置から、9600bpsの転送速度で“ 00_{16} ”データを16回受信することで、動作周波数(2MHz～10MHz)に合った、転送速度レジスタの値を設定します。最初の8回で転送速度レジスタの最大値を、次の8回で最小値を求め、その値から9600bps時の値を計算しています。

動作周波数によっては、ボーレートを実現できない場合もあります。

表1.25.4に主な周波数と実現できるボーレートの一覧を示します。

表1.25.4　動作周波数と対応ボーレート

動作周波数(MHz)	ボーレート 9600bps	ボーレート 19200bps	ボーレート 38400bps	ボーレート 57600bps
10MHz	○	○	×	○
8MHz	○	○	×	○
7.3728MHz	○	○	○	○
6MHz	○	○	○	×
5MHz	○	○	×	×
4.5MHz	○	○	×	○
4.194304MHz	○	○	○	×
4MHz	○	○	×	×
3.58MHz	○	○	○	○
3MHz	○	○	○	×
2MHz	○	×	×	×

○：通信可能
×：通信不可

ソフトウエアコマンド

表1.25.5にソフトウエアコマンドの一覧表を示します。標準シリアル入出力モード2では、RxD0端子からソフトウエアコマンドを転送することにより、イレーズ、プログラム、リード等の制御を行います。標準シリアル入出力モード2では、標準シリアル入出力モード1のソフトウエアコマンドに、ボーレート9600、ボーレート19200、ボーレート38400、ボーレート57600の4コマンドを追加しています。

以下に各ソフトウエアコマンドの内容を説明します。

表1.25.5.　ソフトウエアコマンド一覧表(標準シリアル入出力モード2)

	制御コマンド名	1ﾊﾞｲﾄ目の転送	2ﾊﾞｲﾄ目	3ﾊﾞｲﾄ目	4ﾊﾞｲﾄ目	5ﾊﾞｲﾄ目	6ﾊﾞｲﾄ目	～	ID照合未
1	ﾍﾟｰｼﾞﾘｰﾄﾞ	FF16	アドレス（中位）	アドレス（上位）	データ出力	データ出力	データ出力	～259ﾊﾞｲﾄ目データ出力	受付不可
2	ﾍﾟｰｼﾞﾌﾟﾛｸﾞﾗﾑ	41 16	アドレス（中位）	アドレス（上位）	データ入力	データ入力	データ入力	～259ﾊﾞｲﾄ目データ入力	受付不可
3	ﾌﾞﾛｯｸｲﾚｰｽﾞ	20 16	アドレス（中位）	アドレス（上位）	D0 16				受付不可
4	ｲﾚｰｽﾞ全ﾌﾞﾛｯｸ	A7 16	D0 16						受付不可
5	ﾘｰﾄﾞｽﾃｰﾀｽﾚｼﾞｽﾀ	70 16	SRD出力	SRD1出力					受付可
6	ｸﾘｱｽﾃｰﾀｽﾚｼﾞｽﾀ	50 16							受付不可
7	IDﾁｪｯｸ機能	F5 16	アドレス（下位）	アドレス（中位）	アドレス（上位）	IDサイズ	ID1	～ID7	受付可
8	ﾀﾞｳﾝﾛｰﾄﾞ機能	FA 16	サイズ（下位）	サイズ（上位）	チェックサム	データ入力	～必要回数		受付不可
9	ﾊﾞｰｼﾞｮﾝ情報出力機能	FB 16	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	～9ﾊﾞｲﾄ目ﾊﾞｰｼﾞｮﾝﾃﾞｰﾀ出力	受付可
10	ﾌﾞｰﾄROM領域出力機能	FC 16	アドレス（中位）	アドレス（上位）	データ出力	データ出力	データ出力	～259ﾊﾞｲﾄ目データ出力	受付不可
11	リードチェックデータ	FD 16	ﾁｪｯｸﾃﾞｰﾀ（下位）	ﾁｪｯｸﾃﾞｰﾀ（上位）					受付不可
12	ボーレート9600	B0 16	B0 16						受付可
13	ボーレート19200	B1 16	B1 16						受付可
14	ボーレート38400	B2 16	B2 16						受付可
15	ボーレート57600	B3 16	B3 16						受付可

注1.　網掛けは、フラッシュメモリ内蔵マイコン→外部装置への転送
それ以外は、外部装置→フラッシュメモリ内蔵マイコンへの転送。

注2.　SRDはステータスレジスタデータ。SRD1はステータスレジスタ１データ。

注3.　ブランク品に対しては全コマンドの受け付け可。

ページリードコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に読み出します。以下の手順でページリードコマンドを実行してください。

(1) 1バイト目の転送でコマンドコード“ FF_{16} ”を転送します。

(2) 2バイト目、3バイト目の転送でそれぞれアドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。

(3) 4バイト目以降に、アドレスA_8～A_{23}で指定したページ(256 バイト)のデータ(D_0～D_7)を最小のアドレスから順番に出力します。

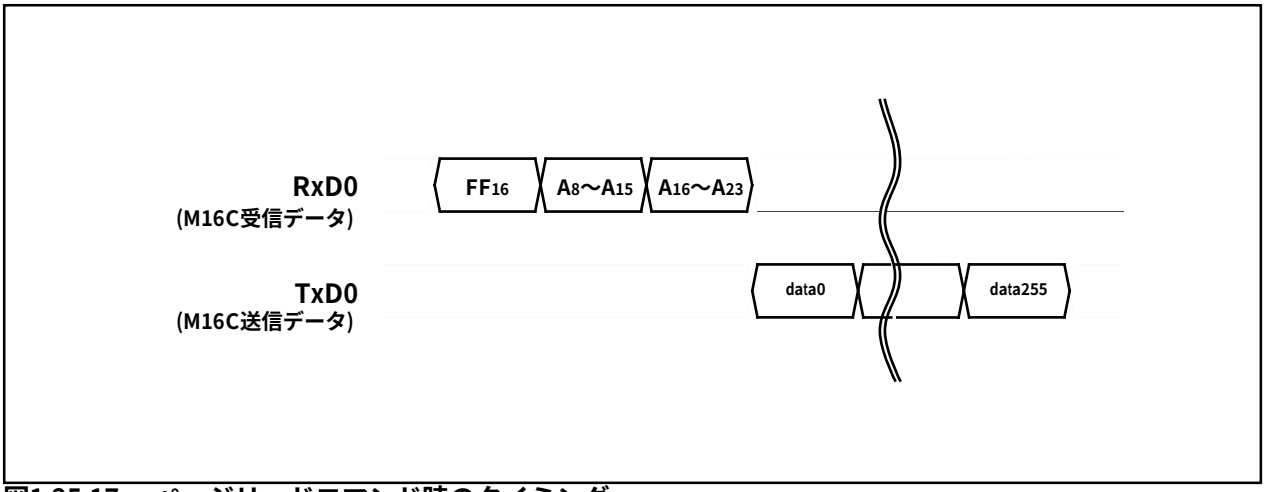


図1.25.17.　ページリードコマンド時のタイミング

リードステータスレジスタコマンド

ステータス情報を読み出します。1バイト目の転送でコマンドコード“ 70_{16} ”を転送すると、2バイト目の転送でステータスレジスタ(SRD)、3バイト目の転送でステータスレジスタ(SRD1)の内容を出力します。

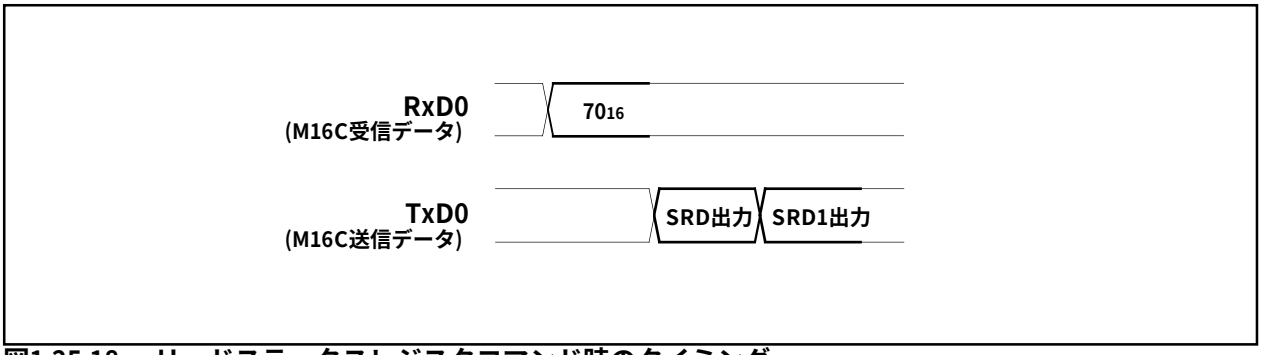


図1.25.18.　リードステータスレジスタコマンド時のタイミング

クリアステータスレジスタコマンド

ステータスレジスタのエラー終了を示すビット(SR4～5)がセットされた後、これらをクリアするためのコマンドです。1バイト目の転送でコマンドコード“ 50_{16} ”を転送すると、上記のビットをクリアします。

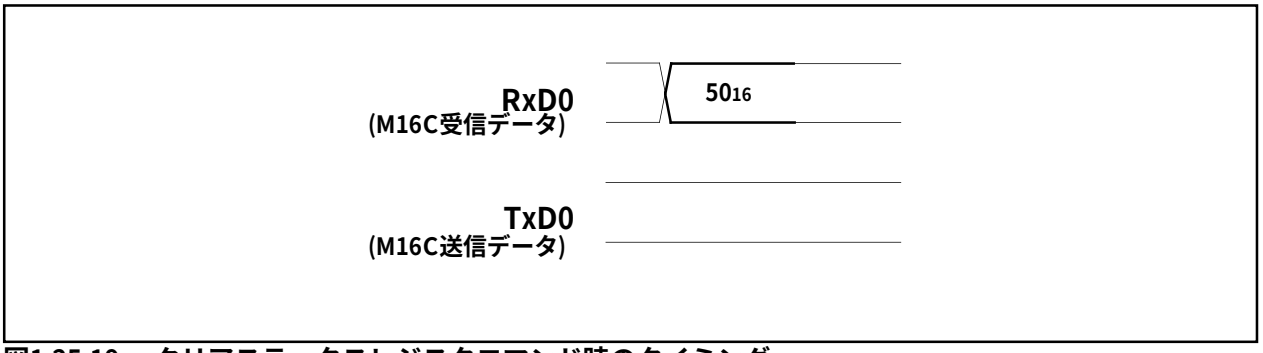


図1.25.19.　クリアステータスレジスタコマンド時のタイミング

ページプログラムコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に書き込みます。以下の手順でページプログラムコマンドを実行してください。

(1)　1バイト目の転送でコマンドコード“ 41_{16} ”を転送します。

(2)　2バイト目、3バイト目の転送でそれぞれ、アドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。

(3)　4バイト目以降、ライトデータ(D_0～D_7)を指定したページの最小のアドレスから順番に256バイト入力すると、自動的に指定したページに対し書き込み動作を開始します。

ステータスレジスタを読み出すことにより、ページプログラムの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

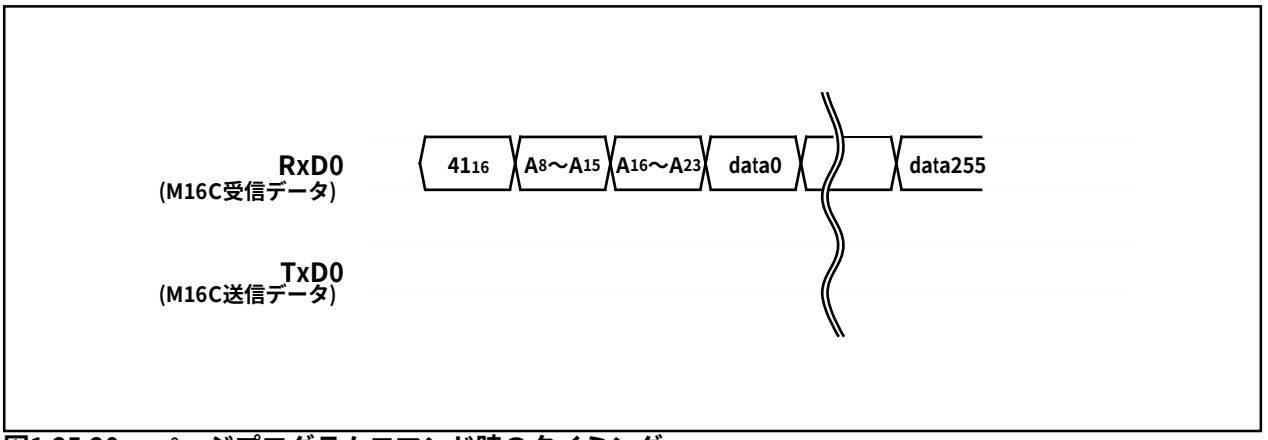


図1.25.20.　ページプログラムコマンド時のタイミング

ブロックイレーズコマンド

指定したブロック内のデータをイレースするコマンドです。以下の手順でブロックイレーズコマンドを実行してください。

(1)　1バイト目の転送でコマンドコード“ 20_{16} ”を転送します。

(2)　2バイト目、3バイト目の転送でそれぞれ、アドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。

(3)　4バイト目の転送で確認コマンドコード“ $D0_{16}$ ”を転送すると、フラッシュメモリの指定ブロックに対するイレーズ動作を開始します。なお、A_8～A_{23}のアドレスは、指定するブロック内の任意の偶数アドレスとしてください。

ブロックイレーズを終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

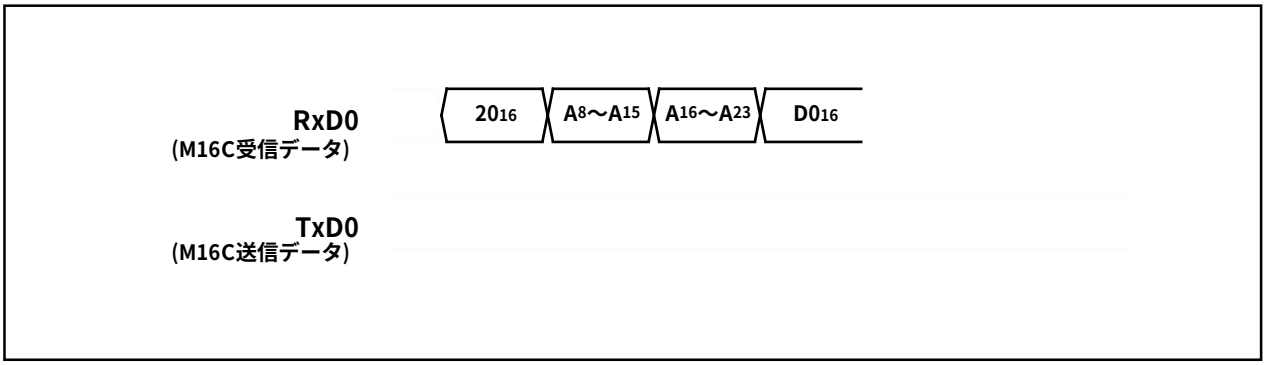


図1.25.21.　ブロックイレーズコマンド時のタイミング

イレーズ全ブロックコマンド

全ブロックの内容を消去するコマンドです。以下の手順でイレーズ全ブロックコマンドを実行してください。

(1)　1バイト目の転送でコマンドコード“ $A7_{16}$ ”を転送します。

(2)　2バイト目の転送で確認コマンド“ $D0_{16}$ ”を転送すると、全ブロックに対し、連続的にブロックイレーズ動作を開始します。

イレーズの結果も、ステータスレジスタの読み出しにより知ることができます。

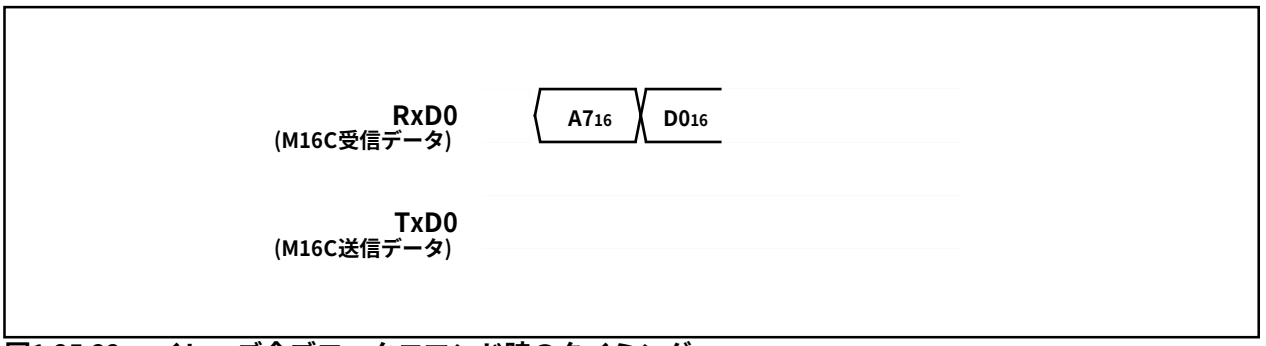


図1.25.22.　イレーズ全ブロックコマンド時のタイミング

ダウンロード機能

RAMに実行プログラムをダウンロードするコマンドです。以下の手順でダウンロードを実行してください。

(1)　1バイト目の転送でコマンドコード“ FA16 ”を転送します。

(2)　2バイト目、3バイト目の転送で、プログラムのサイズを転送します。

(3)　4バイト目の転送でチェックサムを転送します。チェックサムは、5バイト目以降に転送するデータを全て加算したものです。

(4)　5バイト目以降実行プログラムを転送します。
全データの転送が完了し、チェックサムが一致すれば転送プログラムを実行します。転送プログラム容量は、内蔵するRAMによって違います。

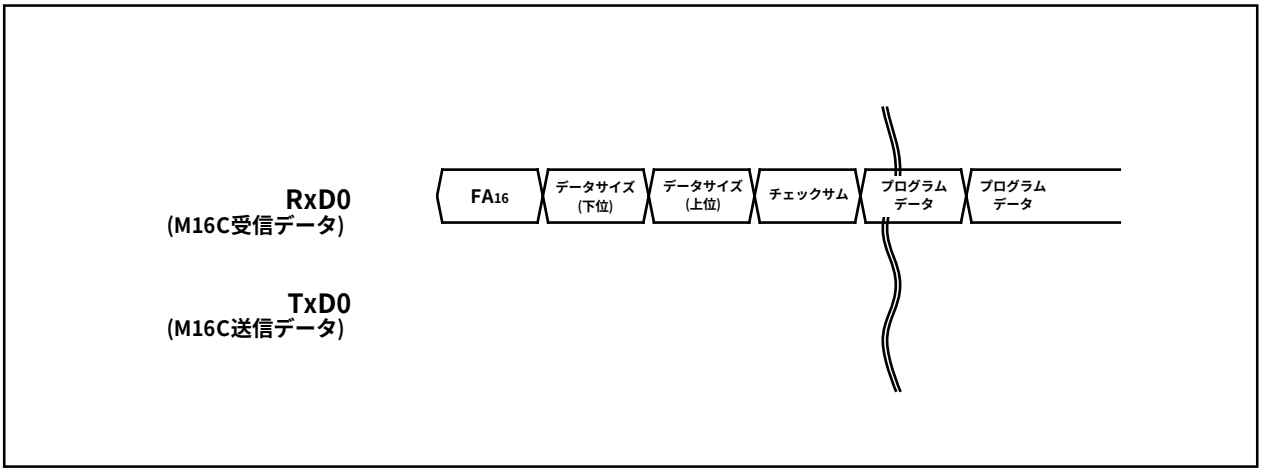


図1.25.23.　ダウンロード機能のタイミング

バージョン情報出力機能

ブートROM領域に格納している制御プログラムのバージョン情報を出力します。以下の手順でバージョン情報出力機能を実行してください。

(1)　1バイト目の転送でコマンドコード“ FB_{16} ”を転送します。

(2)　2バイト目以降バージョン情報を出力します。バージョン情報はASCIIコード8文字で構成されています。

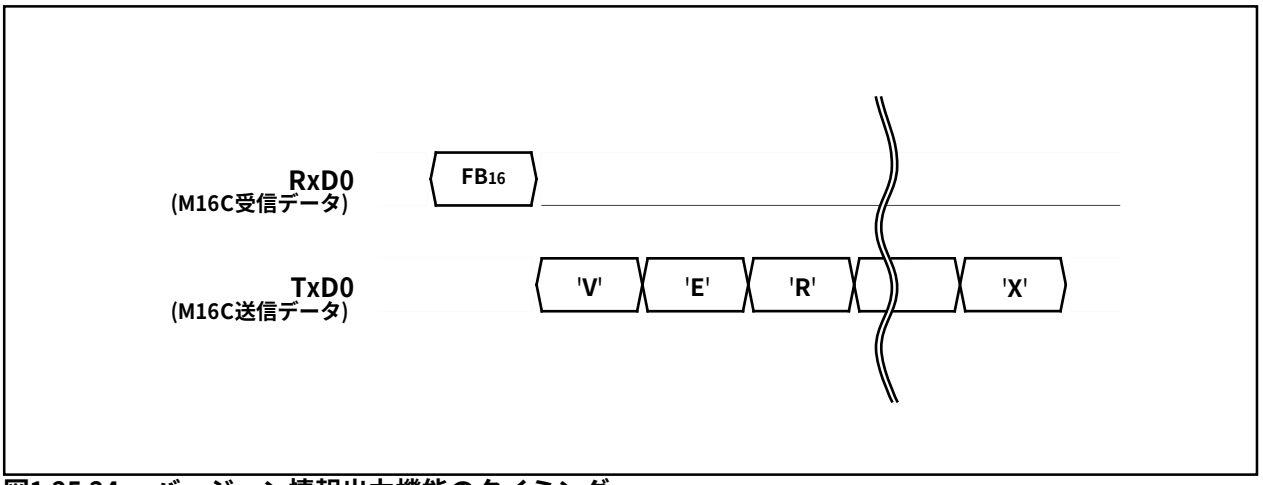


図1.25.24.　バージョン情報出力機能のタイミング

ブートROM領域出力機能

ブートROM領域に格納している制御プログラムをページ(256バイト)単位で読み出す機能です。以下の手順でブートROM領域出力機能を実行してください。

(1)　1バイト目の転送でコマンドコード“ FC_{16} ”を転送します。

(2)　2バイト目、3バイト目の転送でそれぞれアドレスA_8～A_{15}、アドレスA_{16}～A_{23}を転送します。

(3)　4バイト目以降に、アドレスA_8～A_{23}で指定したページ(256 バイト)のデータ(D_0～D_7)を最小のアドレスから順番に出力します

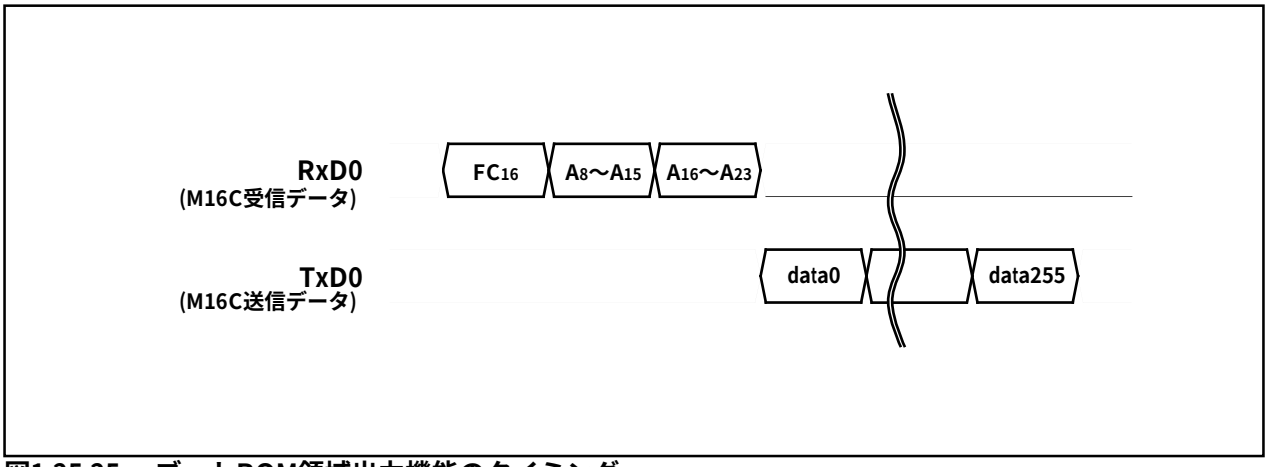


図1.25.25.　ブートROM領域出力機能のタイミング

IDチェック機能

IDコードを判断するコマンドです。以下の手順でIDチェックを実行してください。

(1)　1バイト目の転送でコマンドコード“ $F5_{16}$ ”を転送します。

(2)　2バイト目、3バイト目、4バイト目の転送で、それぞれIDコードの1バイト目のアドレスA_0～A_7、A_8～A_{15}、A_{16}～A_{23}を転送してください。

(3)　5バイト目にIDコードのデータ数を転送してください。

(4)　6バイト目以降IDコードをIDコードの1バイト目から転送してください。

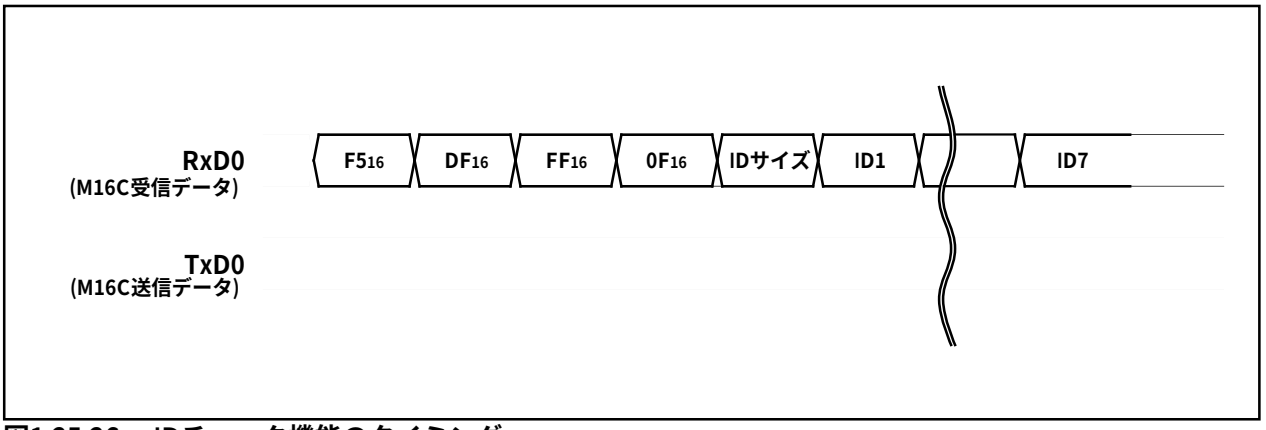


図1.25.26.　IDチェック機能のタイミング

IDコード

フラッシュメモリの内容がブランクでは無い場合、外部装置から送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、外部装置から送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から$0FFFDF_{16}$、$0FFFE3_{16}$、$0FFFEB_{16}$、$0FFFEF_{16}$、$0FFFF3_{16}$、$0FFFF7_{16}$、$0FFFFB_{16}$番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

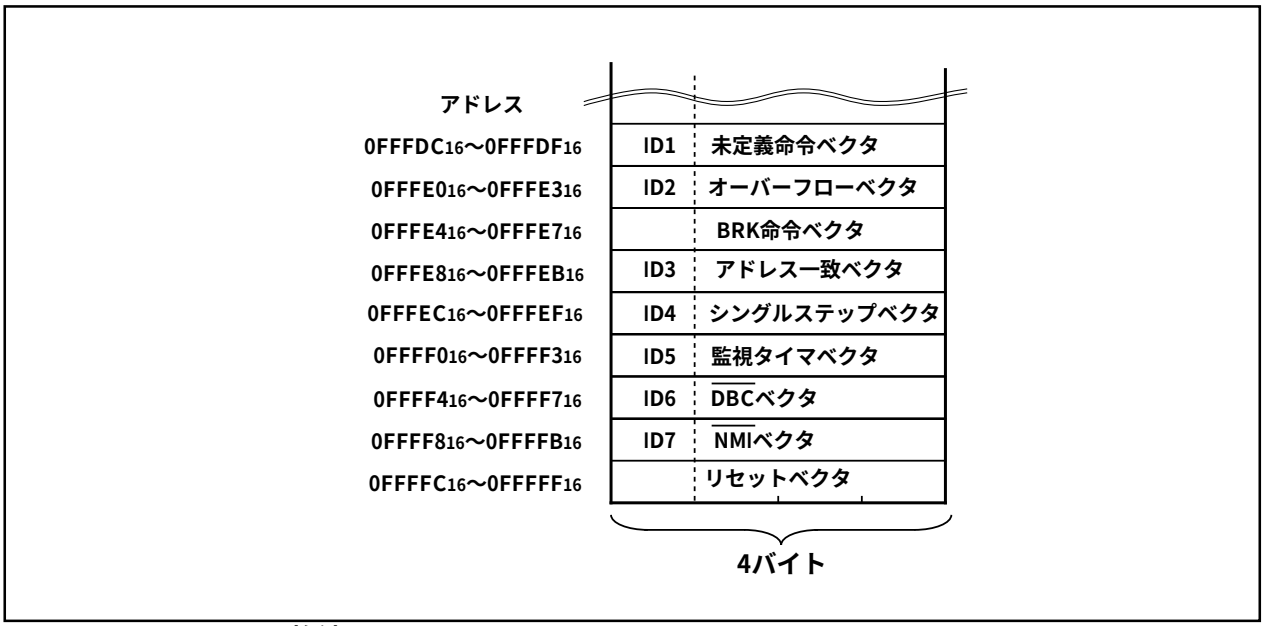


図1.25.27.　IDコードの格納アドレス

リードチェックデータ

ページプログラムコマンドで送信した書き込みデータに対し、正しく受信が行われたことを確認するためのチェックデータを読み出します。

(1)　1バイト目の転送でコマンドコード“ FD_{16} ”を転送します。

(2)　2バイト目の転送でチェックデータ(下位)、3バイト目の転送でチェックデータ(上位)を受信します。

このリードチェックデータコマンドを使用する場合、まず最初にこのコマンドを実行し、チェックデータを初期化します。次にページプログラムコマンドを必要回数実行します。その後、再びリードチェックコマンドを実行しますと、この間に実行したページプログラムコマンドで送信した書き込みデータ全てのチェックデータが読み出せます。

チェックデータは書き込みデータを1バイト単位で加算し、加算データの下位2バイトに対して2の補数を求めた結果です。

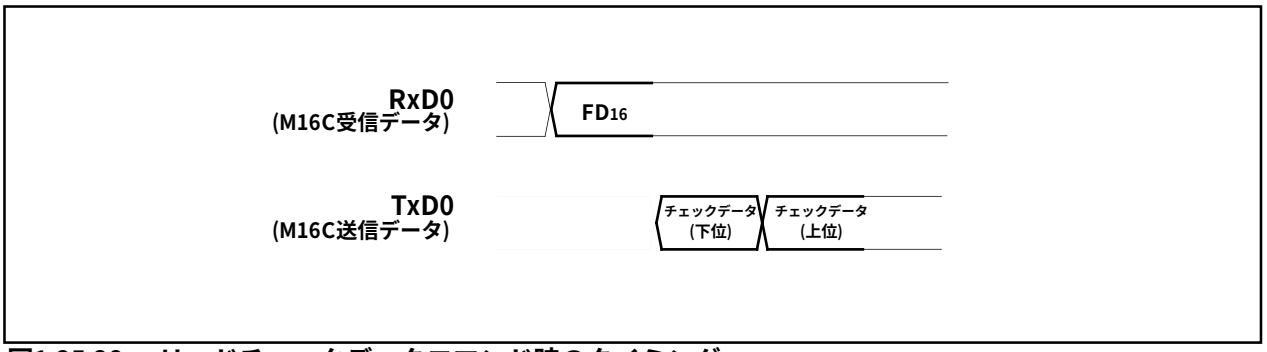


図1.25.28.　リードチェックデータコマンド時のタイミング

ボーレート9600

転送速度を9600bpsに変更します。以下の手順でボーレート9600bpsを実行してください。

(1)　1バイト目の転送でコマンドコード“ $B0_{16}$ ”を転送します。

(2)　2バイト目の転送で確認コマンド“ $B0_{16}$ ”を出力した後、転送速度9600bpsに変更します。

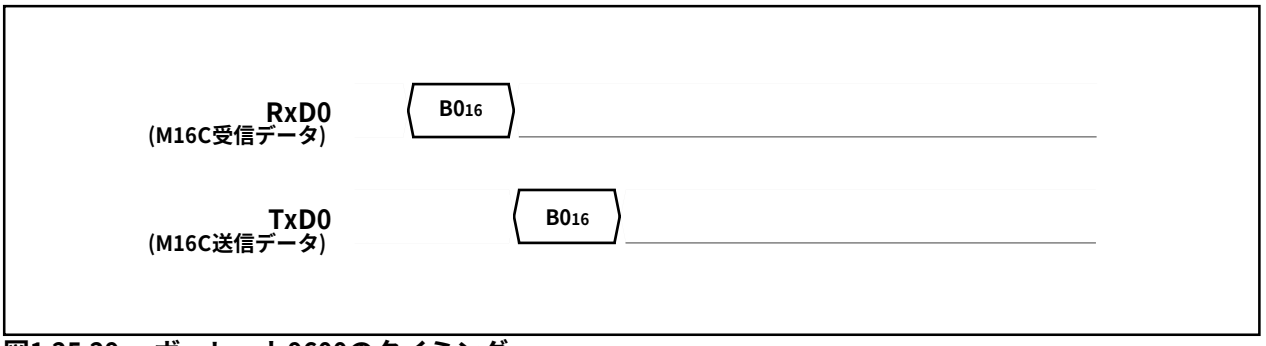


図1.25.29.　ボーレート9600のタイミング

ボーレート19200

転送速度を19200bpsに変更します。以下の手順でボーレート19200bpsを実行してください。

(1)　1バイト目の転送でコマンドコード“ $B1_{16}$ ”を転送します。

(2)　2バイト目の転送で確認コマンド“ $B1_{16}$ ”を出力した後、転送速度19200bpsに変更します。

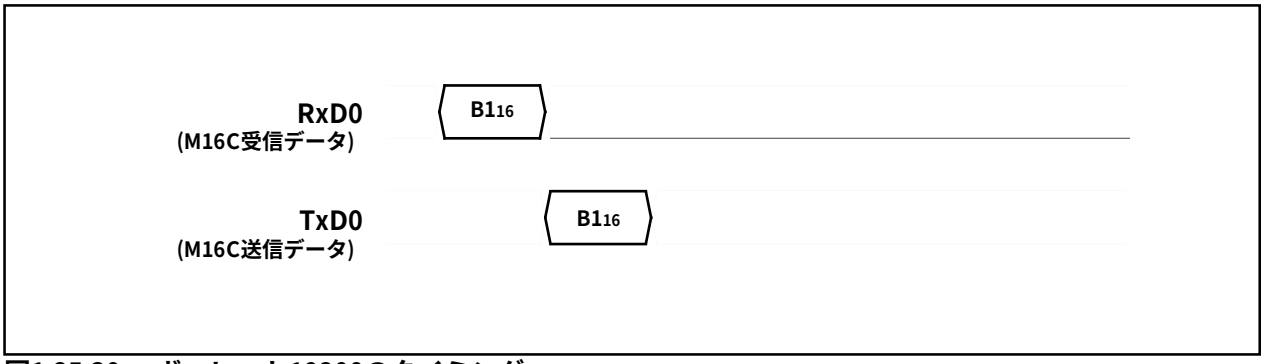


図1.25.30.　ボーレート19200のタイミング

ボーレート38400

転送速度を38400bpsに変更します。以下の手順でボーレート38400bpsを実行してください。

(1)　1バイト目の転送でコマンドコード“ $B2_{16}$ ”を転送します。

(2)　2バイト目の転送で確認コマンド“ $B2_{16}$ ”を出力した後、転送速度38400bpsに変更します。

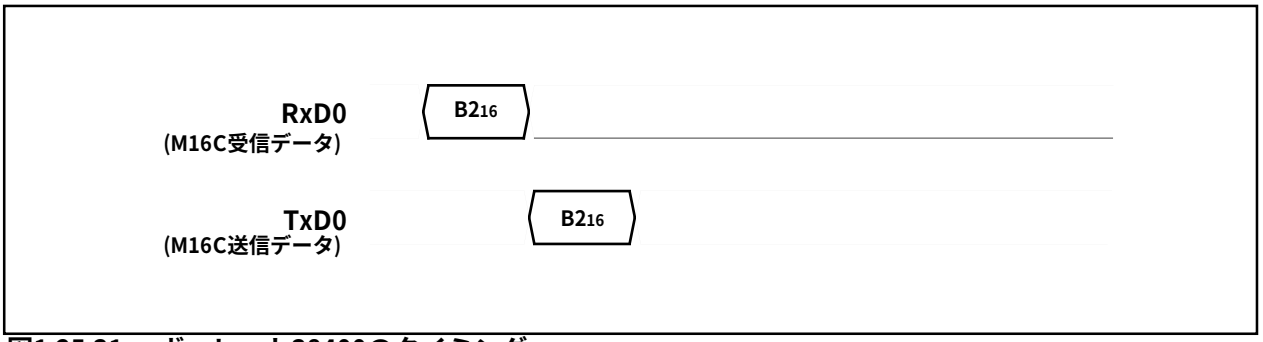


図1.25.31.　ボーレート38400のタイミング

ボーレート57600

転送速度を57600bpsに変更します。以下の手順でボーレート57600bpsを実行してください。

(1)　1バイト目の転送でコマンドコード“ $B3_{16}$ ”を転送します。

(2)　2バイト目の転送で確認コマンド“ $B3_{16}$ ”を出力した後、転送速度57600bpsに変更します。

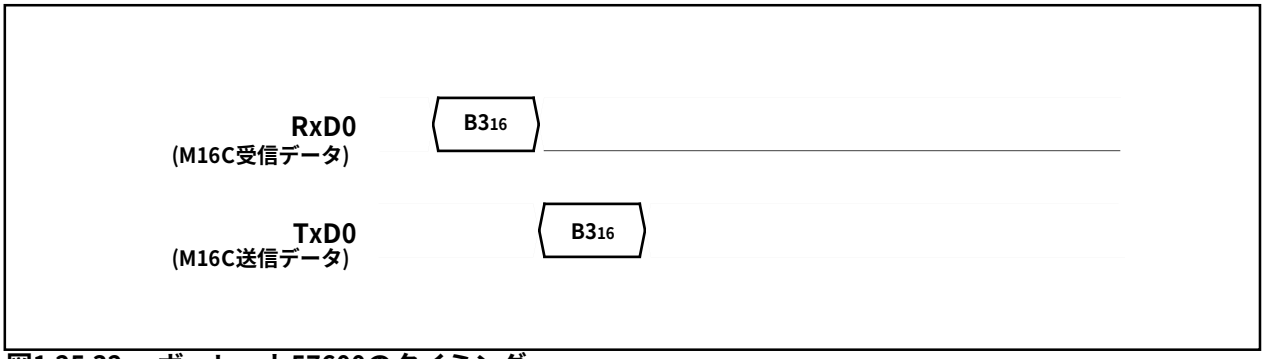
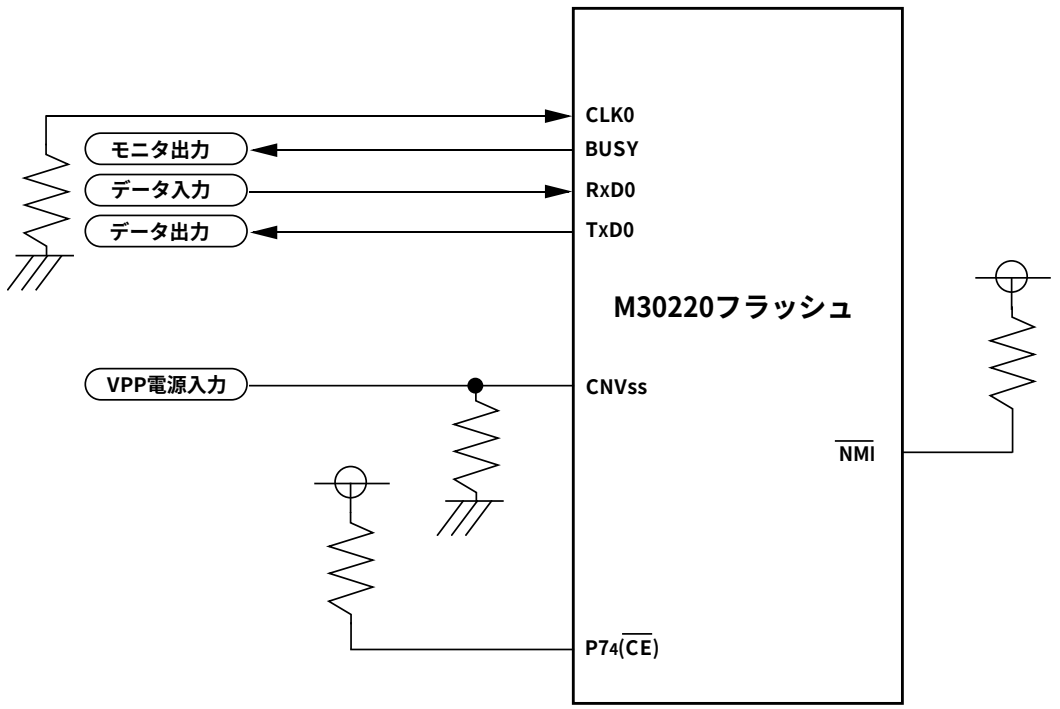


図1.25.32.　ボーレート57600のタイミング

標準シリアル入出力モード2時の応用回路(例)

標準シリアル入出力モード2を使用する場合の応用回路を示します。



(1)　この例では、VPP電源を外部装置(ライタ)により供給しています。ユーザ電源を使用する場合は、4.5V～5.5Vに接続してください。

図1.25.33.　標準シリアル入出力モード2時の応用回路例

電気的特性

絶対最大定格

記　号	項　　目		条　件	定　格　値	単位
Vcc	電源電圧		Vcc=AVcc	−0.3～6.5	V
AVcc	アナログ電源電圧		Vcc=AVcc	−0.3～6.5	V
V_I	入力電圧	$\overline{\text{RESET}}$, V_{REF}, X_{IN} $P0_0$～$P0_7$, $P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$～$P3_5$,$P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$,$P7_2$～$P7_7$, $P8_0$～$P8_7$, $P9_0$～$P9_7$, $P10_0$～$P10_7$, $P11_0$～$P11_7$, $P12_0$～$P12_7$, $P13_0$～$P13_2$ (マスクROM版 CNVss)		−0.3～Vcc+0.3	V
		V_{L1}		−0.3～V_{L2}	
		V_{L2}		V_{L1}～V_{L3}	
		V_{L3}		V_{L2}～6.5	
		$P7_0$, $P7_1$, C_1, C_2 (フラッシュメモリ版 CNVss)		−0.3～6.5	
V_O	出力電圧	$P1_0$～$P1_7$, $P2_0$～$P2_7$, $P3_0$～$P3_5$, $P4_0$～$P4_7$, $P5_0$～$P5_7$, $P6_0$～$P6_7$, $P7_2$～$P7_6$, $P8_0$～$P8_7$, $P9_0$～$P9_7$, $P13_0$～$P13_2$, X_{OUT}		−0.3～Vcc+0.3	V
		$P0_0$～$P0_7$, $P10_0$～$P10_7$, $P11_0$～$P11_7$, $P12_0$～$P12_7$,	出力ポート時	−0.3～Vcc	
			セグメント出力時	−0.3～V_{L3}	
		$P7_0$, $P7_1$		−0.3～6.5	
P_d	消費電力		Ta = 25 °C	300	mW
T_{opr}	動作周囲温度(注1)			25±5	°C
T_{stg}	保存温度			−40～150	°C

注1．フラッシュメモリモード時の値です。その他の項目については、マイコンモード時の値と同じになります。

タイミング特性(フラッシュメモリ版)

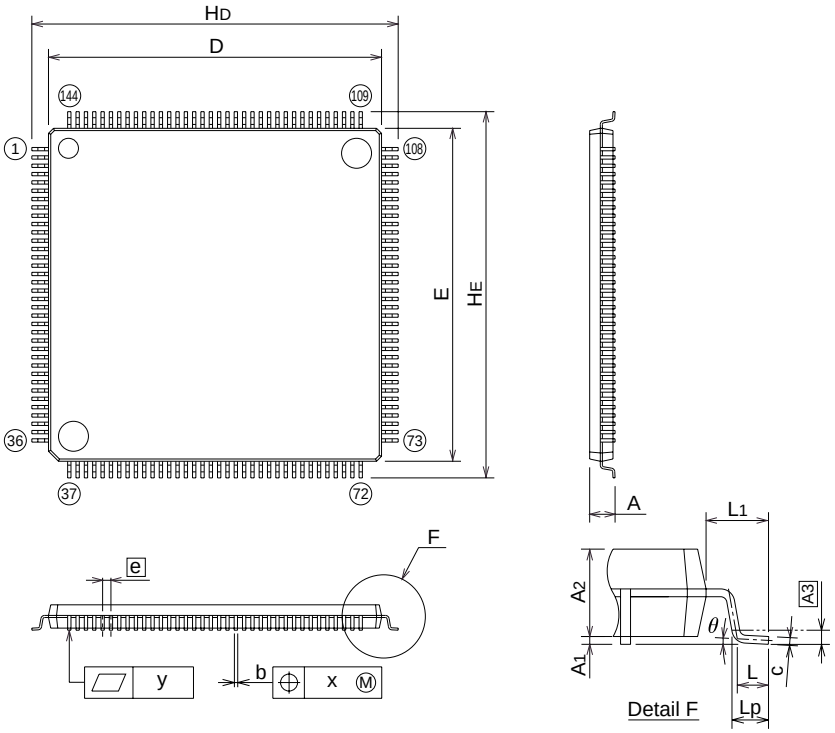
直流電気的特性(指定のない場合は、Ta=25℃、Vcc=4.5～5.5V)

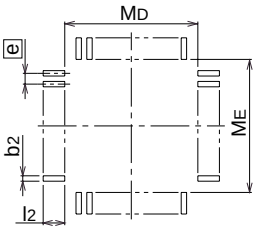
記　号	項　目	測　定　条　件	規　格　値			単位
			最　小	標　準	最　大	
I_{PP1}	V_{PP}電源電流(リード時)	$V_{PP}=V_{CC}$			100	μA
I_{PP2}	V_{PP}電源電流(プログラム時)	$V_{PP}=V_{CC}$			60	mA
I_{PP3}	V_{PP}電源電流(イレーズ時)	$V_{PP}=V_{CC}$			30	mA
V_{PP}	V_{PP}電源電圧		4.5		5.5	V

144P6Q-A

Plastic 144pin 20×20mm body LQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP144-P-2020-0.50	–	1.23	Cu Alloy





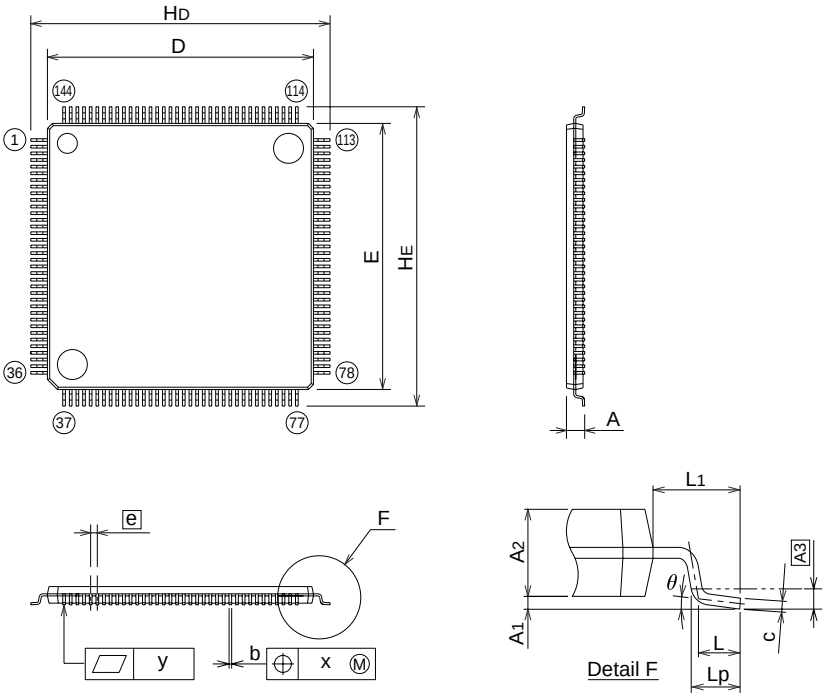
Recommended Mount Pad

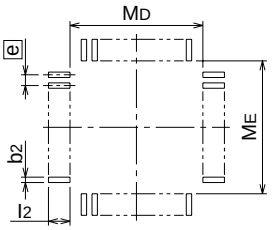
Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	–	–	1.7
A_1	0.05	0.125	0.2
A_2	–	1.4	–
b	0.17	0.22	0.27
c	0.105	0.125	0.175
D	19.9	20.0	20.1
E	19.9	20.0	20.1
e	–	0.5	–
H_D	21.8	22.0	22.2
H_E	21.8	22.0	22.2
L	0.35	0.5	0.65
L_1	–	1.0	–
Lp	0.45	0.6	0.75
A3	–	0.25	–
x	–	–	0.08
y	–	–	0.1
θ	0°	–	8°
b_2	–	0.225	–
l_2	0.95	–	–
M_D	–	20.4	–
M_E	–	20.4	–

144PFB-A

Plastic 144pin 16×16mm body TQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
TQFP144-P-1616-0.40	–	0.62	Cu Alloy





Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	–	–	1.2
A_1	0.05	0.1	0.15
A_2	–	1.0	–
b	0.13	0.18	0.23
c	0.105	0.125	0.175
D	15.9	16.0	16.1
E	15.9	16.0	16.1
e	–	0.4	–
H_D	17.8	18.0	18.2
H_E	17.8	18.0	18.2
L	0.4	0.5	0.6
L_1	–	1.0	–
Lp	0.45	0.6	0.75
A3	–	0.25	–
x	–	–	0.07
y	–	–	0.08
θ	0°	–	8°
b_2	–	0.225	–
l_2	1.0	–	–
M_D	–	16.4	–
M_E	–	16.4	–

概　要

M30221グループは、高性能シリコンゲートCMOSプロセスを採用しM16C/60 CPUコアを搭載したLCDコントローラ/ドライバ内蔵のシングルチップマイクロコンピュータで、120ピンプラスチックモールドQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。

特　長

- 基本機械語命令 M16C/60シリーズ互換
- メモリ容量 ..... メモリ展開の図を参照してください
- 最短命令実行時間 ..... 100ns(f(XIN)=10MHz時)
- 電源電圧 ..... 4.0V～5.5V(f(XIN)=10MHz時)
  2.7V～5.5V(f(XIN)=7MHz、1ウエイト時)
- 割り込み ..... 内部24要因、外部8要因、ソフトウエア4要因、7レベル
  (キー入力割り込みを含む)
- 多機能16ビットタイマ ..... タイマA(出力系)×8本、タイマB(入力系)×6本
- リアルタイムポート出力 ..... 8ビット×3ポート、6ビット×1ポート
- シリアルI/O ..... UARTまたはクロック同期形×2本
- DMAC ..... 2チャネル(スタート条件:24要因)
- A-D 変換器 ..... 10ビット×7チャネル
- D-A 変換器 ..... 8ビット×2チャネル
- 監視タイマ 1本
- プログラマブル入出力ポート ..... 83本(内26本はLCD出力と兼用)
- 出力ポート ..... 14本(LCD出力と兼用)
- 入力ポート ..... 1本(P7$_7$、$\overline{\text{NMI}}$端子と兼用)
- LCD駆動制御回路 ..... 1/2、1/3バイアス
  2、3、4時分割
  コモン出力　4本
  セグメント出力　40本
  昇圧回路内蔵
- キー入力割り込み 最大20本
- クロック発生回路 ..... 2回路内蔵(帰還抵抗内蔵、セラミック共振子、または水晶共振子外付け)

本仕様書はできる限り正確を期すよう努力しておりますが、誤記がありましたときはご容赦ください。
また、機能向上や性能向上のために仕様を変更する場合がありますので最新バージョンをご使用ください。

応　用

カメラ、家電、携帯機器、オーディオ、計量計、事務機器、他

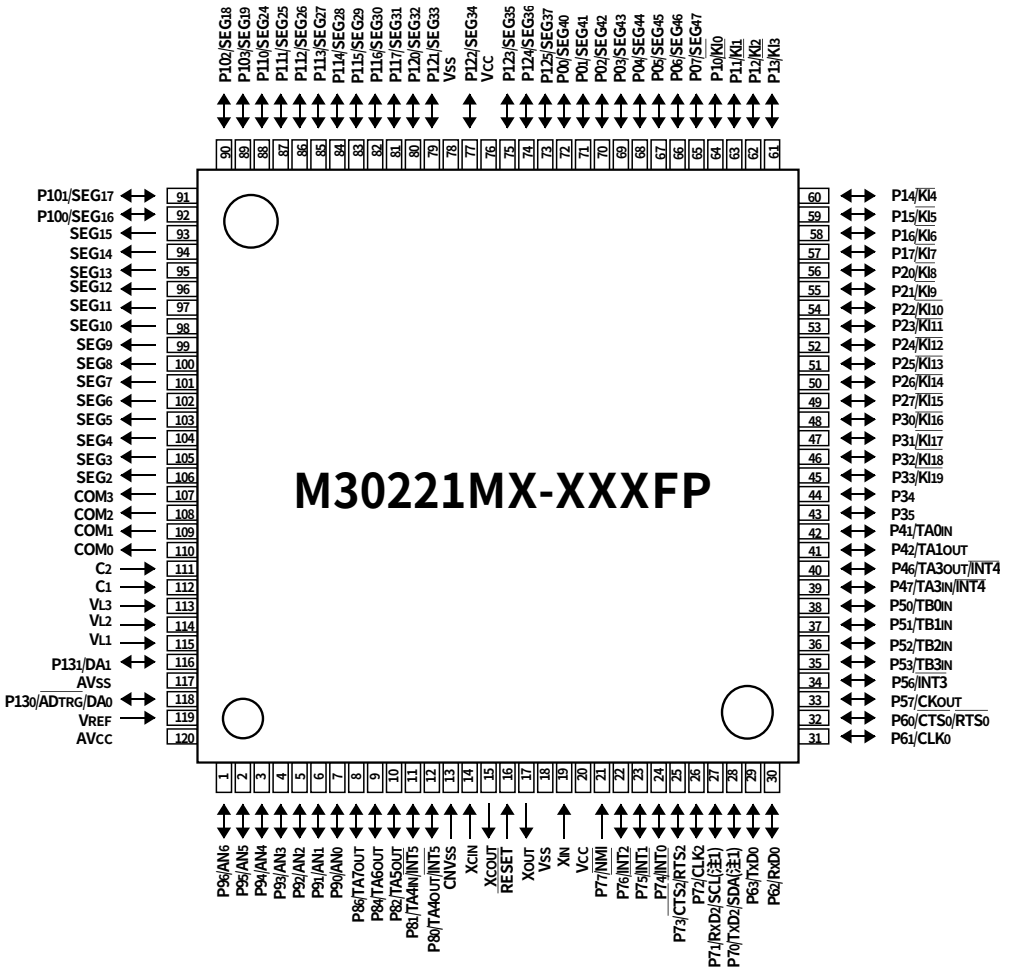
目　次

M30220グループとの差分注意事項 ……1-226

ピン接続図

図1.26.1にピン接続図(上面図)を示します。

ピン接続図(上面図)



パッケージ外形：120P6R-A

注1.　Nチャネルオープンドレイン出力です。

図1.26.1.　ピン接続図(上面図)

ブロック図

図1.26.2にM30221グループのブロック図を示します。

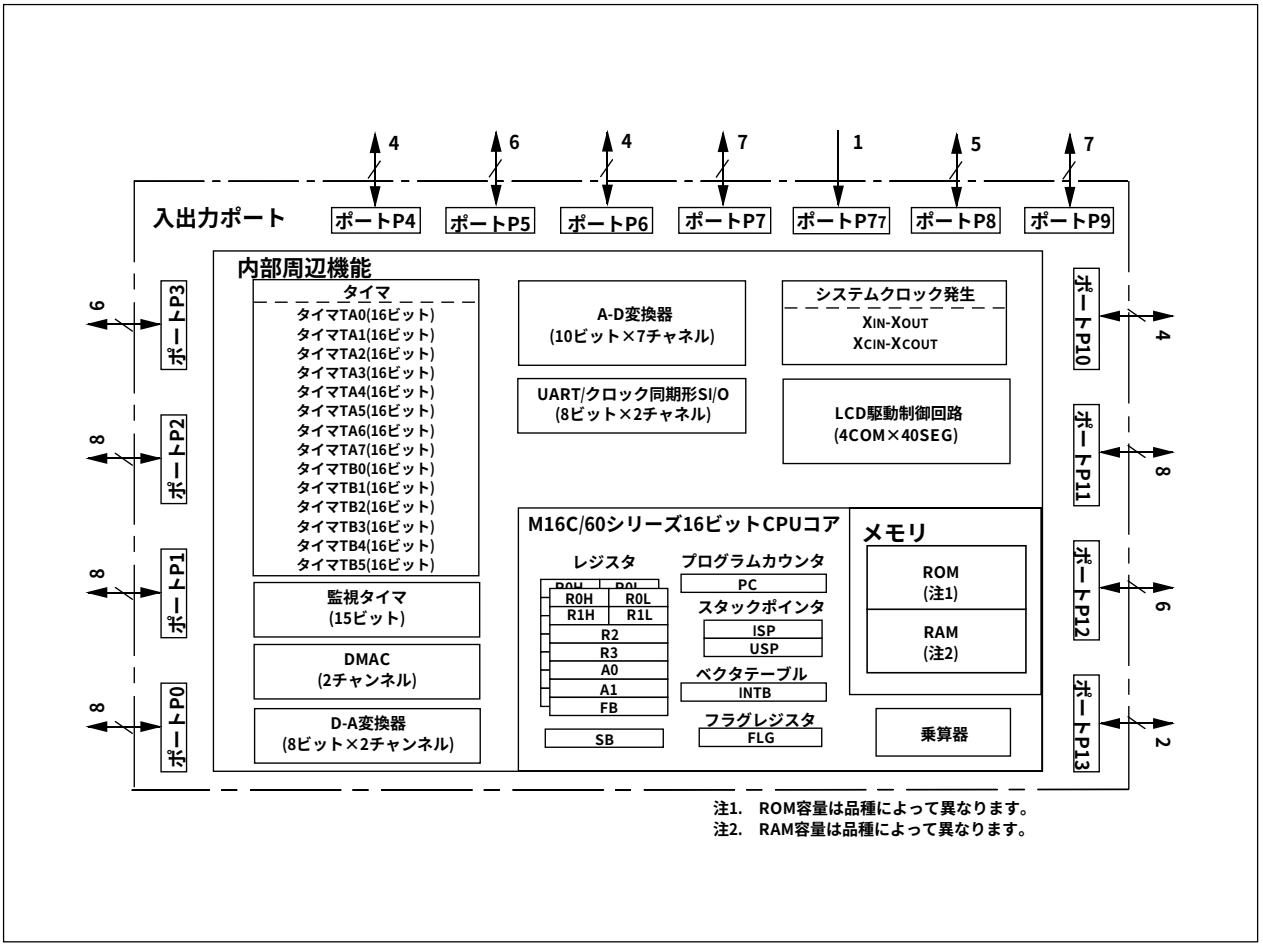


図1.26.2.　M30221グループのブロック図

性能概要

表1.26.1にM30221の性能概要を示します。

表1.26.1.　M30221の性能概要

項　　目			性　　能
基本命令数			91命令
最短命令実行時間			100ns(f(XIN)=10MHz時)
メモリ容量	ROM		24Kバイト
	RAM		1.5Kバイト
入出力ポート	P0～P13(ただしP77は除く)		8ビット×4、2ビット×1、6ビット×3、7ビット×2 5ビット×1、4ビット×3
入力ポート	P77		1ビット×1
出力ポート	SEG2～SEG15		2ビット×7
多機能タイマ	TA0～TA7		16ビット×8
	TB0～TB5		16ビット×6
リアルタイムポート出力			8ビット×3ポート、6ビット×1ポート
シリアルI/O	UART0、UART2		(UARTまたはクロック同期形)×2
A-D変換器			10ビット×7チャネル
D-A変換器			8ビット×2チャネル
DMAC			2チャンネル(スタート条件：24要因)
LCD	COM0～COM3		4本
	SEG2～SEG47		40本(内26本は入出力ポートと兼用)
監視タイマ			15ビット×1(プリスケーラ付)
割り込み			内部24要因、外部8要因、ｿﾌﾄｳｴｱ4要因、7レベル
クロック発生回路			2回路内蔵 (帰還抵抗内蔵、セラミック共振子、または水晶共振子外付け)
電源電圧			4.0V～5.5V(f(XIN)=10MHz時)
			2.7V～5.5V(f(XIN)=7MHz、1ウエイト時)
消費電力			18mW(Vcc=3V、f(XIN)=7MHz、1ウエイト時)
入出力特性	入出力耐電圧(P0～P13)		5V
	出力電流	P1～P9、 P13	5mA
		P0、P10～P12	0.1mA("H"出力時)、2.5mA("L"出力時)
素子構造			CMOS高性能シリコンゲート
パッケージ			120ピンプラスチックモールドQFP

M30221グループでは、次のような展開を計画しています。

(1)マスクROM版、フラッシュメモリ版をサポート

(2)メモリ容量

(3)パッケージ

120P6R-A……プラスチックモールドQFP(マスクROM版、フラッシュメモリ版)

図1.26.3にメモリ展開、図1.26.4に形名とメモリサイズ・パッケージを示します。

2001年 4月現在

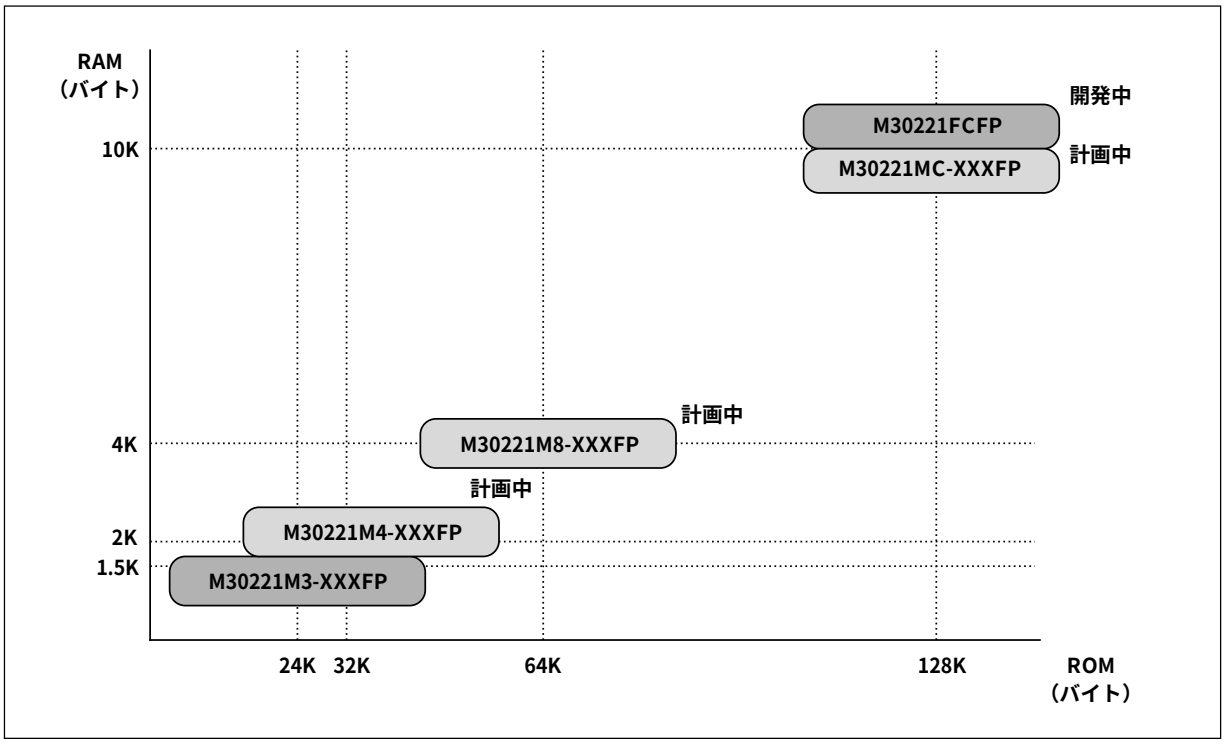


図1.26.3.　メモリ展開

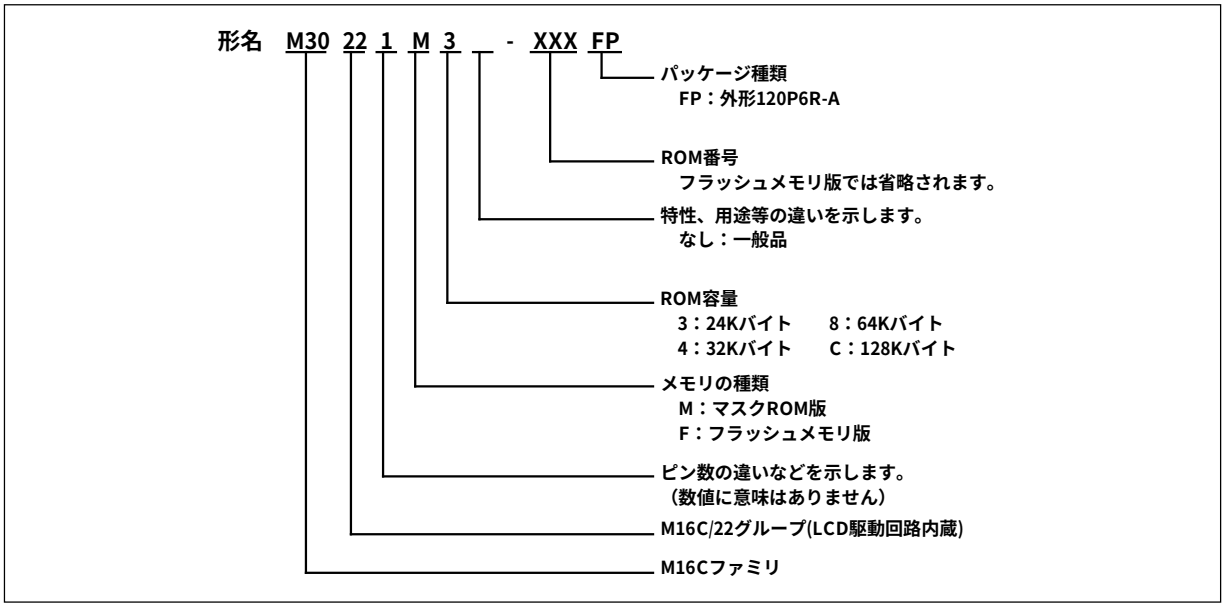


図1.26.4.　形名とメモリサイズ・パッケージ

端子の機能説明

端子名	名　称	入出力	機　　能
VCC，VSS	電源入力		VCC端子には、2.7V～5.5Vを印加してください。VSS端子には、0Vを印加してください。
CNVSS	CNVSS	入力	抵抗を介してVSS端子に接続してください。
$\overline{\text{RESET}}$	リセット入力	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
XIN XOUT	クロック入力 クロック出力	入力 出力	メインクロック発振回路の入出力端子です。XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。 外部クロックで生成したクロックを入力する場合は、XIN端子からクロックを入力し、XOUT端子は開放にしてください。
XCIN XCOUT	クロック入力 クロック出力	入力 出力	サブクロック発振回路の入出力端子です。使用する場合、XCIN端子とXCOUT端子の間には水晶発振子を接続してください。 外部クロックで生成したクロックを入力する場合は、XCIN端子からクロックを入力し、XCOUT端子は開放にしてください。
AVCC	アナログ電源入力		A-D変換器の電源入力端子です。VCC端子に接続してください。
AVSS	アナログ電源入力		A-D変換器の電源入力端子です。VSS端子に接続してください。
VREF	基準電圧入力	入力	A-D変換器の基準電圧入力端子です。
P00～P07	入出力ポートP0	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力、または出力ポートに設定できます。入力ポート時、ソフトウエアにて4ビット単位でプルアップ抵抗の有無を設定できます。LCDのセグメント出力、リアルタイムポート出力としても使用することが可能です。
P10～P17	入出力ポートP1	入出力	P0と同等の機能を持つ8ビット入出力ポートです。ソフトウエアで選択することによって、キー入力割り込み機能の入力端子、リアルタイムポート出力としても機能します。
P20～P27	入出力ポートP2	入出力	P0と同等の機能を持つ8ビット入出力ポートです。ソフトウエアで選択することによって、キー入力割り込み機能の入力端子、リアルタイムポート出力としても機能します。
P30～P35	入出力ポートP3	入出力	P0と同等の機能を持つ6ビット入出力ポートです。ソフトウエアで選択することによって、P30～P33はキー入力割り込み機能の入力端子として機能します。
P41、P42、P46、P47	入出力ポートP4	入出力	P0と同等の機能を持つ4ビット入出力ポートです。ソフトウエアで選択することによってタイマA0、A1、A3の入出力端子または$\overline{\text{INT4}}$の入力端子として機能します。
P50～P53、P56、P57	入出力ポートP5	入出力	P0と同等の機能を持つ6ビット入出力ポートです。ソフトウエアで選択することによって、タイマB0～B3、$\overline{\text{INT3}}$の入力端子、CKOUT機能の出力端子として機能ます。
P60～P63	入出力ポートP6	入出力	P0と同等の機能を持つ4ビット入出力ポートです。ソフトウエアで選択することによって、UART0の入出力端子として機能します。

端子の機能説明

端子名	名　称	入出力	機　　能
$P7_0$～$P7_6$ $P7_7$	入出力ポートP7	入出力 入力	$P7_0$～$P7_6$はP0と同等の機能を持つ7ビット入出力ポートです(ただし、$P7_0$および$P7_1$はNチャネルオープンドレイン出力)。ソフトウエアで選択することによりUART2、$\overline{INT_0}$、$\overline{INT_1}$、$\overline{INT_2}$として機能します。 $P7_7$は入力専用ポートで$\overline{NMI}$割り込み入力と兼用しています。
$P8_0$～$P8_2$、$P8_4$、$P8_6$	入出力ポートP8	入出力	P0と同等の機能を持つ5ビット入出力ポートです。 ソフトウエアで選択することによりタイマA4～A7の入出力端子、$\overline{INT_5}$割り込みの入力端子として機能します。
$P9_0$～$P9_6$	入出力ポートP9	入出力	P0と同等の機能を持つ7ビット入出力ポートです。ソフトウエアで選択することにより、A-D変換器のアナログ入力端子としても機能します。
$P10_0$～$P10_3$	入出力ポートP10	入出力	P0と同等の機能を持つ4ビット入出力ポートです。ソフトウエアで選択することにより、LCDのSEG出力としても機能します。
$P11_0$～$P11_7$	入出力ポートP11	入出力	P0と同等の機能を持つ8ビット入出力ポートです。ソフトウエアで選択することにより、LCDのSEG出力としても機能します。
$P12_0$～$P12_5$	入出力ポートP12	入出力	P0と同等の機能を持つ6ビット入出力ポートです。ソフトウエアで選択することにより、LCDのSEG出力、リアルタイムポート出力としても機能します。
$P13_0$、$P13_1$	入出力ポートP13	入出力	P0と同等の機能を持つ2ビット入出力ポートです。ソフトウエアで選択することにより、D-A変換器のアナログ出力、A-D変換器のスタートトリガ入力として機能します。
SEG_2～SEG_{15}	セグメント出力	出力	LCD駆動回路のセグメント出力です。
COM_0～COM_3	コモン出力	出力	LCD駆動回路のコモン出力です。
VL_1～VL_3	LCD用電源入力		LCD駆動回路の電源入力です。
C_1、C_2	昇圧用コンデンサー接続端子		LCDの昇圧用コンデンサーの外付け端子です。C_1とC_2の間にコンデンサーを接続してください。

GZZ-SH57-28A<9XB0>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ M30221M3-XXXFP マスク化確認書

受付欄	年　月　日	
	課長印	担当者印

（注）　※印をすべて記入ください。

※	貴社記入欄	貴社名	殿　TEL（　　）	発行印	責任者印	担当者印
		発行日	年　月　日			

※1.　ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

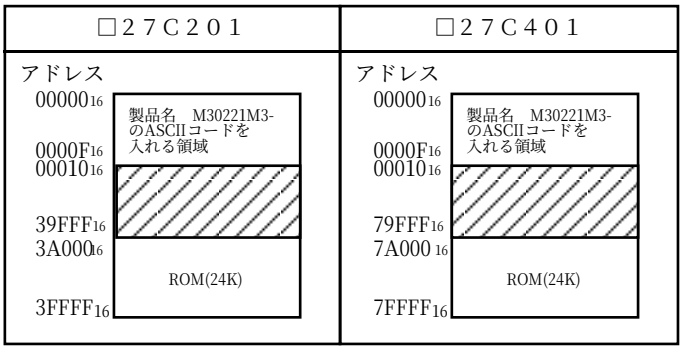
□EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

マイクロコンピュータ形名　　□M30221M3-XXXFP

EPROMの全領域のチェックサムコード　□□□□ (16進表示)

EPROMの種類



(1)　斜線部分には“FF_{16}”を入れてください。

(2)　00000_{16}〜$0000F_{16}$番地は製品形名のデータ格納領域です。

‘M30221M3-　’のASCIIコードを右記に示しますので、00000_{16}〜$0000F_{16}$番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

アドレス	
00000_{16}	’M’ = $4D_{16}$
00001_{16}	’3’ = 33_{16}
00002_{16}	’0’ = 30_{16}
00003_{16}	’2’ = 32_{16}
00004_{16}	’2’ = 32_{16}
00005_{16}	’1’ = 31_{16}
00006_{16}	’M’ = $4D_{16}$
00007_{16}	’3’ = 33_{16}

アドレス	
00008_{16}	’—’ = $2D_{16}$
00009_{16}	FF_{16}
$0000A_{16}$	FF_{16}
$0000B_{16}$	FF_{16}
$0000C_{16}$	FF_{16}
$0000D_{16}$	FF_{16}
$0000E_{16}$	FF_{16}
$0000F_{16}$	FF_{16}

GZZ-SH57-28A<9XB0>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ
M30221M3-XXXFP
マスク化確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの00000_{16}～$0000F_{16}$番地に形名のASCIIコードを書き込むことができますのでご利用ください。

EPROMの種類	27C201	27C401
ソースプログラムへの記述	△.SECTION△ASCIICODE, ROM DATA △.ORG△0C0000H △.BYTE△ ’M30221M3-　’	△.SECTION△ASCIICODE, ROM DATA △.ORG△080000H △.BYTE△ ’M30221M3-　’

(注)　EPROMに書き込まれた形名とマスク化確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

□フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティーで生成されたマスクファイルを処理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

用意していただくフロッピーディスクは3.5インチ2HD(IBMフォーマット)です。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名　　□M30221M3-XXXFP

ファイルコード　□□□□□□□□ (16進表示)

マスクファイル名　□□□□□□□□ .MSK(英数字8桁)

※2.　マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M30221M3-XXXFP　は 120P6R のマーク指定書を提出ください。

※3.　使用条件について

当社製品検査の参考とさせていただきますので、発注される製品の使用条件について質問します。

(1)　X_{IN}-X_{OUT}発振回路は次のどの条件で使用されますか。

□　セラミック共振子　　□　水晶発振子

□　外部クロック入力　　□　その他(　　)

またその周波数は何MH_Zですか。

$f(X_{IN})$ = □□□□□□□□ MH_Z

GZZ-SH57-28A<9XB0>

マスクROM番号	

三菱シングルチップ16ビットマイクロコンピュータ
M30221M3-XXXFP
マスク化確認書

(2) X_{CIN}-X_{COUT}発振回路は次のどの条件で使用されますか。

☐ セラミック共振子　☐ 水晶発振子
☐ 外部クロック入力　☐ その他(　　)

またその周波数は何kHzですか。

f(X_{CIN}) = [　　] kHz

(3) マイコンの動作周囲温度は次のどの条件で使用されますか。

☐ −10°C～75°C　☐ −20°C～75°C　☐ −40°C～75°C
☐ −10°C～85°C　☐ −20°C～85°C　☐ −40°C～85°C

(4) マイコンの動作電源電圧は次のどの条件で使用されますか。

☐ 2.7V～3.2V　☐ 3.2V～3.7V　☐ 3.7V～4.2V
☐ 4.2V～4.7V　☐ 4.7V～5.2V　☐ 5.2V～5.5V

(5) I^2C(Inter IC)バス機能を使用されますか。

☐ 未使用　☐ 使用

(6) IE(Inter Equipment)バス機能を使用されますか。

☐ 未使用　☐ 使用

ご協力ありがとうございました。

※4. 特記事項

M30220グループとの差分注意事項

M30220グループとM30221グループとの相異点

機能		M30220グループ			M30221グループ			
内蔵メモリ	ROM（Byte）	64K***	96K	128K**	24K	32K***	64K***	128K**
	RAM（Byte）	4K***	6K	10K**	1.5K	2K***	4K***	10K**
I/Oポート（本）	入力専用／出力専用	入力専用：1、出力専用：16（LCD出力と兼用）			入力専用：1、出力専用：14（LCD出力と兼用）			
	CMOS入出力	102（内32本はLCD出力と兼用）			81（内26本はLCD出力と兼用）			
	Nチャネルオープンドレイン	2						
DMAコントローラ（チャネル）		2						
タイマ（本）（16ビット）		8+6						
CRC演算回路		―						
シリアルI/O（本）	クロック同期/UART兼用	3			2			
	クロック同期専用	―						
	UART専用	―						
A-D変換器（分解能×チャネル）		10ビット×8			10ビット×7			
D-A変換器（分解能×チャネル）		8ビット×3			8ビット×2			
外部割り込み（要因）		8						
監視タイマ		あり						
LCDコントローラ/ドライバ	セグメント（本）	48			40			
	コモン（本）	4						
	昇圧回路	あり						
リアルタイム出力ポート（ビット×ポート）		8×4			8×3, 6×1			
キーオンウエイクアップ機能（本）		最大20（内16本は間欠プルアップ機能あり）						
サブクロック回路		あり						
パッケージ		144ピン TQFP（144PFB-A） 144ピン LQFP（144P6Q-A）			120ピン LQFP（120P6R-A）			
電源電圧（V）		2.7～5.5（7MHz 1ウエイト）、4.0～5.5（10MHz）						
動作温度（℃）		-20～85、-40～85						
最短命令実行時間（ns）		100（10MHz）						
基本命令		91						

★★：開発中　★★★：計画中(2001年4月現在)

M30220グループからの削除端子

ポート	削除端子
P0	なし
P1	なし
P2	なし
P3	なし
P4	$P4_0/TA0_{OUT}$、$P4_3/TA1_{IN}$、$P4_4/TA2_{OUT}$、$P4_5/TA2_{IN}$
P5	$P5_4/TB4_{IN}$、$P5_5/TB5_{IN}$
P6	$P6_4/CTS_1/RTS_1/CLKS_1$、$P6_5/CLK_1$、$P6_6/RxD_1$、$P6_7/TxD_1$
P7	なし
P8	$P8_3/TA5_{IN}$、$P8_5/TA6_{IN}$、$P8_7/TA7_{IN}$
P9	$P9_7/AN_7$
P10	$P10_4/SEG_{20}$、$P10_5/SEG_{21}$、$P10_6/SEG_{22}$、$P10_7/SEG_{23}$
P11	なし
P12	$P12_6/SEG_{38}$、$P12_7/SEG_{39}$
P13	$P13_2/DA_2$
その他	SEG_0、SEG_1、VSS(1端子)

タイマAの注意事項

モード	機能	機能削除したタイマAi
タイマモード	パルス出力機能	タイマA0、A2は使用できません。
	ゲート機能	タイマA1、A2、A5～A7は使用できません。
イベントカウンタモード	パルス出力機能	タイマA0、A2は使用できません。
	外部信号カウントソース入力	タイマA1、A2、A5～A7は使用できません。
	ｱｯﾌﾟｶｳﾝﾄ/ﾀﾞｳﾝｶｳﾝﾄ切り替え入力	タイマA0、A2は使用できません。
	二相パルス入力	タイマA2、A7は使用できません。(注1)
ワンショットタイマモード	パルス出力機能	タイマA0、A2は使用できません。
	外部トリガ入力	タイマA1、A2、A5～A7は使用できません。
パルス幅変調モード		タイマA0、A2は使用できません。
	外部トリガ入力	タイマA1、A5～A7は使用できません。

注1．二相パルス入力はタイマA3、A4のみ使用できます。

タイマBの注意事項

モード	機能	機能削除したタイマBi
イベントカウンタモード	外部信号カウントソース入力	タイマB4、B5は使用できません。
パルス周期測定/パルス幅測定モード		タイマB4、B5は使用できません。

リアルタイムポート出力の注意事項

(1) $P12_6$、$P12_7$端子は削除しています。

シリアルI/Oの注意事項

(1) UART1は使用できません。

LCD駆動制御回路の注意事項

(1) SEG_0、SEG_1、SEG_{20}～SEG_{23}、SEG_{38}、SEG_{39}端子は削除しています。
(2) LCD表示用RAMの0100_{16}番地、$010A_{16}$番地、$010B_{16}$番地、0113_{16}番地は予約領域です。
(3) セグメント出力許可レジスタ(0122_{16}番地)のビット5は予約ビットです。必ず“0”を設定してください。

A-D変換器の注意事項

(1) AN7アナログ入力端子は削除しています。

(2) 単発モード、繰り返しモードでは、アナログ入力端子選択ビット(03D616番地のビット0～2)に“111”を設定しないでください。

(3) 単掃引モード時にA-D掃引端子選択ビット(03D716番地のビット0、1)に“11”を設定している場合、A-D変換割り込みの要求発生タイミングは8端子分のA-D変換時間となります。

(4) 繰り返し掃引モード0時にA-D掃引端子選択ビット(03D716番地のビット0、1)に“11”を設定している場合、および繰り返し掃引モード1では、1回の掃引時間は8端子分のA-D変換時間となります。

D-A変換器の注意事項

(1) DA2アナログ出力端子は削除しています。

(2) D-A制御レジスタ(03DC16番地)のビット2は予約ビットです。必ず“0”を設定してください。

(3) 03DE16番地には必ず“0016”を設定してください。

プログラマブル入出力ポートの注意事項

(1) ポートPi方向レジスタおよびポートPiレジスタの予約ビット

レジスタ	ビット	レジスタ	ビット
PD0、P0	なし	PD7、P7	なし
PD1、P1	なし	PD8、P8	b3、b5、b7(注1)
PD2、P2	なし	PD9、P9	b7(注1)
PD3、P3	なし	PD10、P10	b4～b7(注1)
PD4、P4	b0、b3～b5(注1)	PD11、P11	なし
PD5、P5	b4、b5(注1)	PD12、P12	b6、b7(注1)
PD6、P6	b4～b7(注1)	PD13、P13	b2(注1)

注1．予約ビットです。必ず“0”を設定してください。

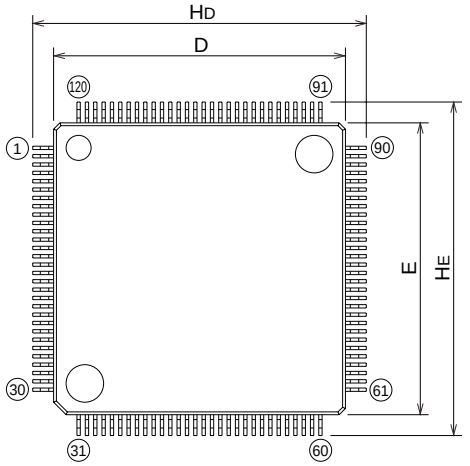
(2) プルアップ制御レジスタの予約ビット

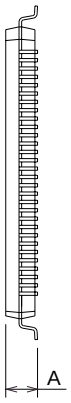
プルアップ制御レジスタ1(03FD16番地)のビット5およびプルアップ制御レジスタ2(03FE16番地)のビット5は予約ビットです。必ず“0”を設定してください。

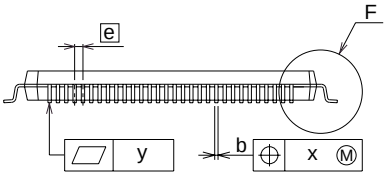
120P6R-A

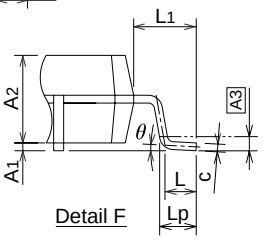
Plastic 120pin 14×14mm body LQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP120-P-1414-0.40	–	0.67	Cu Alloy

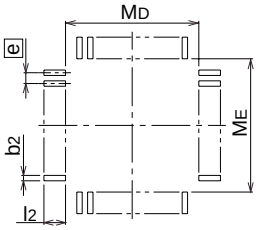








Detail F



Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	–	–	1.7
A_1	0.05	0.125	0.2
A_2	–	1.4	–
b	0.13	0.18	0.23
c	0.105	0.125	0.175
D	13.9	14.0	14.1
E	13.9	14.0	14.1
e	–	0.4	–
H_D	15.8	16.0	16.2
H_E	15.8	16.0	16.2
L	0.35	0.5	0.65
L_1	–	1.0	–
Lp	0.45	0.6	0.75
A3	–	0.25	–
x	–	–	0.07
y	–	–	0.08
θ	0°	–	8°
b_2	–	0.225	–
l_2	0.95	–	–
M_D	–	14.4	–
M_E	–	14.4	–

レイアウトの都合上、このページは白紙です。

第２章

周辺機能の使い方

2.1 プロテクト

2.1.1 概要

プロテクトとは、プログラムが暴走しても容易にレジスタの値を変更できなくする機能です。プロテクトの概要について説明します。

●プロテクト機能が影響するレジスタ

プロテクト機能が影響するレジスタは次のとおりです。

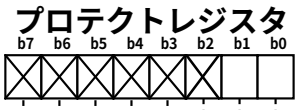
(1) システムクロック制御レジスタ0、1(0006_{16}番地、0007_{16}番地)

(2) プロセッサモードレジスタ0、1(0004_{16}番地、0005_{16}番地)

(1)、(2)のレジスタは、書き込み禁止状態では変更できません。レジスタの値を変更する場合は、各レジスタへの書き込み許可状態にしてから行ってください。

●プロテクトレジスタ

図2.1.1にプロテクトレジスタの構成を示します。



シンボル	アドレス	リセット時
PRCR	$000A_{16}$番地	$XXXXX00_2$

ビットシンボル	ビット名	機　　能	R	W
PRC0	システムクロック制御レジスタ0,1(0006_{16},0007_{16}番地)への書き込み許可	0 : 書き込み禁止 1 : 書き込み許可	○	○
PRC1	プロセッサモードレジスタ0,1(0004_{16},0005_{16}番地)への書き込み許可	0 : 書き込み禁止 1 : 書き込み許可	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

図2.1.1. プロテクトレジスタの構成

2.1.2 プロテクト動作

動　作

プロテクト動作を示します。また、図2.1.2に設定手順を示します。

(1) システムクロック制御レジスタ0、1への書き込み許可ビットを“1”にすると、システムクロック制御レジスタ0およびシステムクロック制御レジスタ1は書き込み許可状態になります。

(2) システムクロック制御レジスタ0およびシステムクロック制御レジスタ1の内容を変更します。

(3) システムクロック制御レジスタ0、1への書き込み許可ビットを“0”にすると、システムクロック制御レジスタ0およびシステムクロック制御レジスタ1は書き込み禁止状態になります。

(4) プロセッサモードレジスタ0およびプロセッサモードレジスタ1の内容を変更する場合は、システムクロック制御レジスタと同じ方法で変更できます。

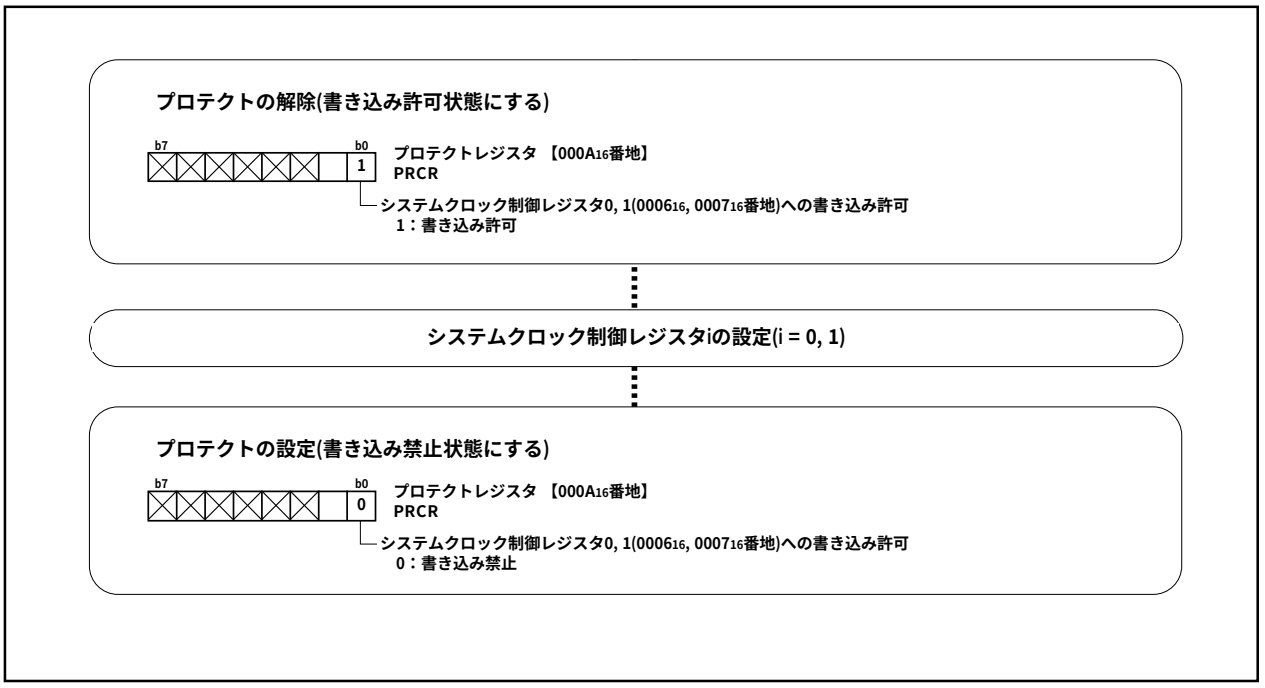


図2.1.2. プロテクト機能のレジスタ設定手順

2.2 タイマA

2.2.1 概要

タイマAは16ビットのタイマです。タイマAの概要について説明します。

●モード

タイマAは、次の4種類のモードを持ちます。

(1)タイマモード

内部のカウントソースをカウントするモードです。オーバフローごとにポートの出力が反転するパルス出力機能とポートからの入力信号でカウント開始/停止を制御するゲート機能を選択できます。

■タイマモードの動作 P2-12
■タイマモード、ゲート機能動作 P2-14
■タイマモード、パルス出力機能動作 P2-16

(2)イベントカウンタモード

外部からのパルスおよび別のタイマのオーバフロー回数をカウントするモードです。オーバフロー時、リロードレジスタからリロードしないフリーランタイプを選択できます。その他、パルス出力機能を選択できますが、タイマモードと同じですので、タイマモードを参照してください。

■イベントカウンタモードの動作 P2-18
■イベントカウンタモード、フリーランタイプの動作 P2-22

また、2本の入力信号の位相によってアップカウントかダウンカウントを行うイベントカウンタモード2相パルス信号処理機能を持ちます。位相の検出方法の違いで、通常モードと4逓倍モードの2種類を選択できます。

■通常モードのイベントカウンタモード2相パルス信号処理機能の動作 P2-26
■4逓倍モードのイベントカウンタモード2相パルス信号処理機能の動作 P2-28

(3)ワンショットタイマモード

トリガによりタイマがスタートし、タイマ値が“0”になると停止するモードです。トリガは外部からの入力信号、タイマのオーバフロー、およびソフトウエアの3種類から選択できます。その他、パルス出力機能を選択できますが、タイマモードの動作と同じですので、タイマモードを参照してください。

■ソフトウエアによるワンショットタイマモードの動作 P2-30
■外部トリガによるワンショットタイマモードの動作 P2-32

(4)パルス幅変調(PWM)モード

任意のパルスを連続して出力するモードです。周期固定の16ビットPWMモードと周期可変の8ビットPWMモードを選択できます。その他、出力を開始するためのトリガを選択することができますが、動作は、ワンショットタイマモードと同じですので、ワンショットタイマモードを参照してください。

■16ビットPWMモードの動作 P2-36
■8ビットPWMモードの動作 P2-40

●カウントソース

内部のカウントソースは、f_1、f_8、f_{32}、およびfc_{132}から選択できます。f_1、f_8、f_{32}とは、それぞれCPUのメインクロックを1分周、8分周、32分周したクロックです。fc_{132}とは、CPUのサブクロックを1分周または32分周したクロックです。fc_{132}クロック選択ビット(000_{16}番地のビット4)により、選択してください。

●カウント値

タイマモードおよびパルス幅変調モードでは、タイマレジスタに設定した値+1がカウント値となります。また、イベントカウンタモードの場合、ダウンカウント動作時は、設定値+1がカウント値となりますが、アップカウント動作時は、($FFFF_{16}$－設定値 + 1)がカウント値となります。ワンショットタイマモードの場合、タイマレジスタに設定した値がカウント値となります。

カウント値の数のカウントソースが入力されるとカウンタはオーバフロー(アンダフロー)し、割り込み要求が発生します。また、パルス出力機能を選択している場合、ポートの出力が変化します(ポートレジスタの値は、変化しません)。

●タイマの読み込み

タイマモードおよびイベントカウンタモードでは、タイマレジスタを読み出せば、そのときのカウンタ値を読み出します。読み出すときは、16ビット単位で読み出してください。ワンショットタイマモードおよびパルス幅変調モードでは読み出した値は不定です。

●タイマの書き込み

カウント中に書き込みを行った場合、その値はリロードレジスタにだけ書き込まれます。カウント停止中に書き込みを行った場合、その値はリロードレジスタとカウンタの両方に書き込まれます。書き込むときは、16ビット単位で行ってください。

●タイマの入出力と方向レジスタの関係

タイマの出力機能を選択した場合、ポートの方向レジスタに関係なくパルスは出力されます。外部信号をタイマへ入力する場合、ポートの方向レジスタを入力に設定してください。

●タイマA関連端子

(1) $TA0_{IN}$、$TA1_{IN}$、$TA2_{IN}$、$TA3_{IN}$、$TA4_{IN}$、$TA5_{IN}$、$TA6_{IN}$、$TA7_{IN}$端子　　タイマAへの入力端子です。

(2) $TA0_{OUT}$、$TA1_{OUT}$、$TA2_{OUT}$、$TA3_{OUT}$、$TA4_{OUT}$、$TA5_{OUT}$、$TA6_{OUT}$、$TA7_{OUT}$端子　　タイマAの出力端子です。イベントカウンタモード時、タイマAへの入力端子です。

●タイマA関連レジスタ

図2.2.1にタイマA関連レジスタのメモリ配置図を、図2.2.2～図2.2.5にタイマA関連レジスタの構成を示します。

0048_{16}	タイマA7割り込み制御レジスタ(TA7IC)
0049_{16}	タイマA6割り込み制御レジスタ(TA6IC)
$004A_{16}$	タイマA5割り込み制御レジスタ(TA5IC) バス衝突検出割り込み制御レジスタ(BCNIC)
	～
0055_{16}	タイマA0割り込み制御レジスタ(TA0IC)
0056_{16}	タイマA1割り込み制御レジスタ(TA1IC)
0057_{16}	タイマA2割り込み制御レジスタ(TA2IC)
0058_{16}	タイマA3割り込み制御レジスタ(TA3IC) INT4割り込み制御レジスタ(INT4IC)
0059_{16}	タイマA4割り込み制御レジスタ(TA4IC) INT5割り込み制御レジスタ(INT5IC)
	～
0340_{16}	カウント開始フラグ1(TABSR1)
0341_{16}	
0342_{16}	ワンショット開始フラグ1(ONSF1)
0343_{16}	トリガ選択レジスタ1(TRGSR1)
0344_{16}	アップダウンフラグ1(UDF1)
0345_{16}	
0346_{16} 0347_{16}	タイマA5レジスタ(TA5)
0348_{16} 0349_{16}	タイマA6レジスタ(TA6)
$034A_{16}$ $034B_{16}$	タイマA7レジスタ(TA7)
	～
0356_{16}	タイマA5モードレジスタ(TA5MR)
0357_{16}	タイマA6モードレジスタ(TA6MR)
0358_{16}	タイマA7モードレジスタ(TA7MR)
	～
0380_{16}	カウント開始フラグ0(TABSR0)
0381_{16}	時計用プリスケーラリセットフラグ(CPSRF)
0382_{16}	ワンショット開始フラグ0(ONSF0)
0383_{16}	トリガ選択レジスタ0(TRGSR0)
0384_{16}	アップダウンフラグ0(UDF0)
0385_{16}	
0386_{16} 0387_{16}	タイマA0レジスタ(TA0)
0388_{16} 0389_{16}	タイマA1レジスタ(TA1)
$038A_{16}$ $038B_{16}$	タイマA2レジスタ(TA2)
$038C_{16}$ $038D_{16}$	タイマA3レジスタ(TA3)
$038E_{16}$ $038F_{16}$	タイマA4レジスタ(TA4)
	～
0396_{16}	タイマA0モードレジスタ(TA0MR)
0397_{16}	タイマA1モードレジスタ(TA1MR)
0398_{16}	タイマA2モードレジスタ(TA2MR)
0399_{16}	タイマA3モードレジスタ(TA3MR)
$039A_{16}$	タイマA4モードレジスタ(TA4MR)

図2.2.1.　タイマA関連レジスタのメモリ配置図

タイマAiモードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
TAiMR(i=0～4)	0396_{16}～$039A_{16}$番地	00_{16}
(i=5～7)	0356_{16}～0358_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード 0 1 : イベントカウンタモード 1 0 : ワンショットタイマモード 1 1 : パルス幅変調(PWM)モード	○	○
TMOD1			○	○
MR0	動作モードによって機能が異なる		○	○
MR1			○	○
MR2			○	○
MR3			○	○
TCK0	カウントソース選択ビット （動作モードによって機能が異なる）		○	○
TCK1			○	○

時計用プリスケーラリセットフラグ

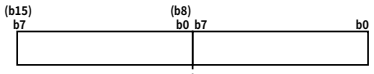
b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
CPSRF	0381_{16}番地	$0XXXXXXX_2$

ビットシンボル	ビット名	機　　能	R	W
	何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。		—	—
CPSR	時計用プリスケーラ リセットフラグ	0 : 何もおこらない 1 : プリスケーラリセット (読み出し時は“0”)	○	○

図2.2.2.　タイマA関連レジスタの構成(1)

タイマAiレジスタ(注1)

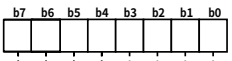


シンボル	アドレス	リセット時
TA0	0387_{16},0386_{16}番地	不定
TA1	0389_{16},0388_{16}番地	不定
TA2	$038B_{16}$,$038A_{16}$番地	不定
TA3	$038D_{16}$,$038C_{16}$番地	不定
TA4	$038F_{16}$,$038E_{16}$番地	不定
TA5	0347_{16},0346_{16}番地	不定
TA6	0349_{16},0348_{16}番地	不定
TA7	$034B_{16}$,$034A_{16}$番地	不定

機　　能	設定可能値	R	W
●タイマモード 内部カウントソースをカウント	0000_{16}～$FFFF_{16}$	○	○
●イベントカウンタモード 外部からの入力パルスまたはタイマのオーバフローをカウント	0000_{16}～$FFFF_{16}$	○	○
●ワンショットタイマモード ワンショット幅をカウント	0000_{16}～$FFFF_{16}$ (注2、注4)	×	○
●パルス幅変調モード(16ビットPWM) 16ビットパルス幅変調器として動作	0000_{16}～$FFFE_{16}$ (注3、注4)	×	○
●パルス幅変調モード(8ビットPWM) タイマの下位アドレスは、8ビットプリスケーラ、 上位アドレスは8ビットパルス幅変調器として動作	00_{16}～FE_{16}(上位アドレス) 00_{16}～FF_{16}(下位アドレス) (注3、注4)	×	○

注1.　読み出し、および書き込みは16ビット単位で行ってください。
注2.　タイマAiレジスタに“0000_{16}”を設定した場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。また、パルス出力ありを選択した場合、TAiout端子からパルスは出力されません。
注3.　タイマAiレジスタに“0000_{16}”を設定した場合、パルス幅変調器は動作せず、TAiout端子の出力レベルは“L”のままで、タイマAi割り込み要求も発生しません。また、8ビットパルス幅変調器として動作しているとき、タイマAiレジスタの上位8ビットに“00_{16}”を設定した場合も同様です。
注4.　このレジスタへの書き込みにはMOV命令を使用してください。

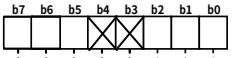
カウント開始フラグ0



シンボル	アドレス	リセット時
TABSR0	0380_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TA0S	タイマA0カウント開始フラグ	0：カウント停止 1：カウント開始	○	○
TA1S	タイマA1カウント開始フラグ		○	○
TA2S	タイマA2カウント開始フラグ		○	○
TA3S	タイマA3カウント開始フラグ		○	○
TA4S	タイマA4カウント開始フラグ		○	○
TB0S	タイマB0カウント開始フラグ		○	○
TB1S	タイマB1カウント開始フラグ		○	○
TB2S	タイマB2カウンタ開始フラグ		○	○

カウント開始フラグ1



シンボル	アドレス	リセット時
TABSR1	0340_{16}番地	$000XX000_2$

ビットシンボル	ビット名	機　　能	R	W
TA5S	タイマA5カウント開始フラグ	0：カウント停止 1：カウント開始	○	○
TA6S	タイマA6カウント開始フラグ		○	○
TA7S	タイマA7カウント開始フラグ		○	○
何も配置されていない。 書き込む場合、"0"を書き込んでください。読み出した場合、その値は不定。			—	—
TB3S	タイマB3カウント開始フラグ	0：カウント停止 1：カウント開始	○	○
TB4S	タイマB4カウント開始フラグ		○	○
TB5S	タイマB5カウンタ開始フラグ		○	○

図2.2.3.　タイマA関連レジスタの構成(2)

アップダウンフラグ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
UDF0	0384_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TA0UD	タイマA0アップダウンフラグ	0：ダウンカウント 1：アップカウント アップ／ダウン切り替え要因に アップダウンフラグの内容を 選択すると有効になる	○	○
TA1UD	タイマA1アップダウンフラグ		○	○
TA2UD	タイマA2アップダウンフラグ		○	○
TA3UD	タイマA3アップダウンフラグ		○	○
TA4UD	タイマA4アップダウンフラグ		○	○
TA2P	タイマA2二相パルス信号処理機能選択ビット	0：二相パルス信号処理機能禁止 1：二相パルス信号処理機能許可 二相パルス信号処理機能を使用しない場合は必ず“0”にしてください	×	○
TA3P	タイマA3二相パルス信号処理機能選択ビット		×	○
TA4P	タイマA4二相パルス信号処理機能選択ビット		×	○

注1.　このレジスタへの書き込みにはMOV命令を使用してください。

アップダウンフラグ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
×	×		×	×			

シンボル	アドレス	リセット時
UDF1	0344_{16}番地	$XX0XX000_2$

ビットシンボル	ビット名	機　　能	R	W
TA5UD	タイマA5アップダウンフラグ	0：ダウンカウント 1：アップカウント アップ／ダウン切り替え要因に アップダウンフラグの内容を 選択すると有効になる	○	○
TA6UD	タイマA6アップダウンフラグ		○	○
TA7UD	タイマA7アップダウンフラグ		○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
TA7P	タイマA7二相パルス信号処理機能選択ビット	0：二相パルス信号処理機能禁止 1：二相パルス信号処理機能許可 二相パルス信号処理機能を使用しない場合は必ず“0”にしてください	×	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

注1.　このレジスタへの書き込みにはMOV命令を使用してください。

ワンショット開始フラグ0

b7	b6	b5	b4	b3	b2	b1	b0
		×					

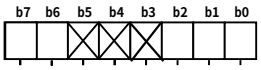
シンボル	アドレス	リセット時
ONSF0	0382_{16}番地	$00X00000_2$

ビットシンボル	ビット名	機　　能	R	W
TA0OS	タイマA0ワンショット開始フラグ	1：タイマスタート 読み出し時の値は“0”	○	○
TA1OS	タイマA1ワンショット開始フラグ		○	○
TA2OS	タイマA2ワンショット開始フラグ		○	○
TA3OS	タイマA3ワンショット開始フラグ		○	○
TA4OS	タイマA4ワンショット開始フラグ		○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
TA0TGL	タイマA0イベント/トリガ選択ビット	b7 b6 0 0：TA0IN端子の入力を選択(注1) 0 1：TB2のオーバフローを選択 1 0：TA4のオーバフローを選択 1 1：TA1のオーバフローを選択	○	○
TA0TGH			○	○

注１．対応するポート方向レジスタは"0"にしてください。

図2.2.4.　タイマA関連レジスタの構成(3)

ワンショット開始フラグ1

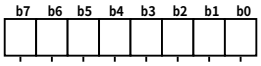


シンボル	アドレス	リセット時
ONSF1	0342$_{16}$番地	00XXX000$_2$

ビットシンボル	ビット名	機　　能	R	W
TA5OS	タイマA5ワンショット開始フラグ	1 : タイマスタート 読み出し時の値は“ 0 ”	○	○
TA6OS	タイマA6ワンショット開始フラグ		○	○
TA7OS	タイマA7ワンショット開始フラグ		○	○
何も配置されていない。 書き込む場合、“ 0 ”を書き込んでください。読み出した場合、その値は不定。			—	—
TA5TGL	タイマA5イベント/ トリガ選択ビット	b7 b6 0 0 : TA5$_{IN}$端子の入力を選択(注1) 0 1 : TB5のオーバフローを選択 1 0 : TA6のオーバフローを選択 1 1 : TA7のオーバフローを選択	○	○
TA5TGH			○	○

注1.　対応するポート方向レジスタは“ 0 ”にしてください。

トリガ選択レジスタ0

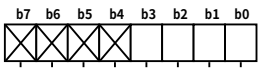


シンボル	アドレス	リセット時
TRGSR0	0383$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
TA1TGL	タイマA1イベント／ トリガ選択ビット	b1 b0 0 0 : TA1$_{IN}$端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA0のオーバフローを選択 1 1 : TA2のオーバフローを選択	○	○
TA1TGH			○	○
TA2TGL	タイマA2イベント／ トリガ選択ビット	b3 b2 0 0 : TA2$_{IN}$端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA1のオーバフローを選択 1 1 : TA3のオーバフローを選択	○	○
TA2TGH			○	○
TA3TGL	タイマA3イベント／ トリガ選択ビット	b5 b4 0 0 : TA3$_{IN}$端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA2のオーバフローを選択 1 1 : TA4のオーバフローを選択	○	○
TA3TGH			○	○
TA4TGL	タイマA4イベント／ トリガ選択ビット	b7 b6 0 0 : TA4$_{IN}$端子の入力を選択(注1) 0 1 : TB2のオーバフローを選択 1 0 : TA3のオーバフローを選択 1 1 : TA0のオーバフローを選択	○	○
TA4TGH			○	○

注1.　対応するポート方向レジスタは“ 0 ”にしてください。

トリガ選択レジスタ1



シンボル	アドレス	リセット時
TRGSR1	0343$_{16}$番地	XXXX0000$_2$

ビットシンボル	ビット名	機　　能	R	W
TA6TGL	タイマA6イベント／ トリガ選択ビット	b1 b0 0 0 : TA6$_{IN}$端子の入力を選択(注1) 0 1 : TB5のオーバフローを選択 1 0 : TA5のオーバフローを選択 1 1 : TA7のオーバフローを選択	○	○
TA6TGH			○	○
TA7TGL	タイマA7イベント／ トリガ選択ビット	b3 b2 0 0 : TA7$_{IN}$端子の入力を選択(注1) 0 1 : TB5のオーバフローを選択 1 0 : TA5のオーバフローを選択 1 1 : TA6のオーバフローを選択	○	○
TA7TGH			○	○
何も配置されていない。 書き込む場合、“ 0 ”を書き込んでください。読み出した場合、その値は不定。			—	—

注1.　対応するポート方向レジスタは“ 0 ”にしてください。

図2.2.5.　タイマA関連レジスタの構成(4)

レイアウトの都合上、このページは白紙です。

2.2.2 タイマA動作 (タイマモード)

タイマモードでは、表2.2.1に示す項目の中から機能を選択できます。ここでは、表2.2.1に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.2.6に動作タイミングを、図2.2.7に設定手順を示します。

表2.2.1. 設定内容

設定項目	設定内容	
カウントソース	○	内部のカウントソース(f_1 / f_8 / f_{32} / fc_{32})
パルス出力機能	○	パルス出力なし
		パルス出力あり
ゲート機能	○	ゲート機能なし
		TAiIN端子が“L”レベルの期間だけカウントを行う
		TAiIN端子が“H”レベルの期間だけカウントを行う

動　作

(1) カウント開始フラグを“1”にすると、カウンタはカウントソースをダウンカウントします。
(2) アンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。
同時に、タイマAi割り込み要求ビットが“1”になります。
(3) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。

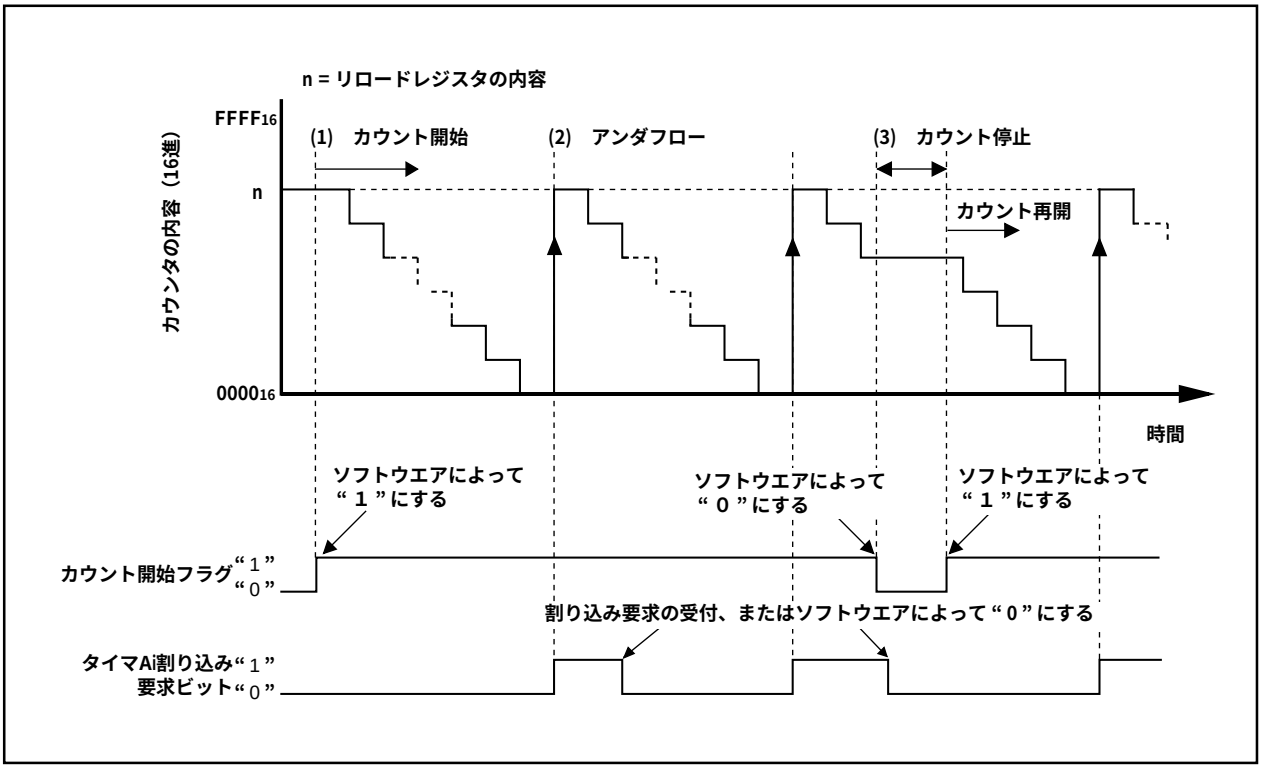


図2.2.6. タイマモード動作タイミング図

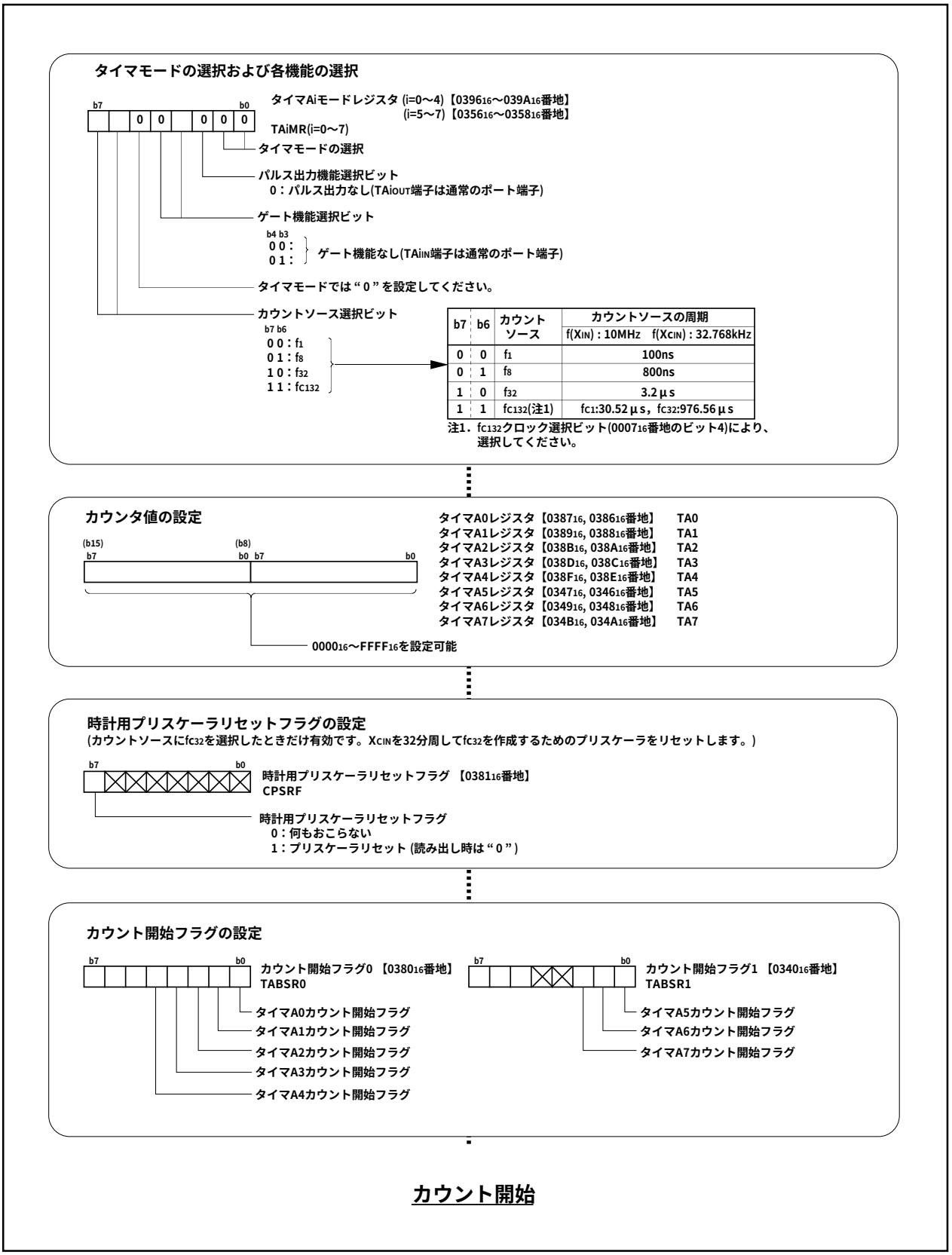


図2.2.7.　タイマモード時のレジスタ設定手順

2.2.3 タイマA動作 (タイマモード、ゲート機能選択時)

タイマモードでは、表2.2.2に示す項目の中から機能を選択できます。ここでは、表2.2.2に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.2.8に動作タイミングを、図2.2.9に設定手順を示します。

表2.2.2. 設定内容

設定項目	設定内容	
カウントソース	○	内部のカウントソース(f_1 / f_8 / f_{32} / fc_{32})
パルス出力機能	○	パルス出力なし
		パルス出力あり
ゲート機能		ゲート機能なし
		TAiIN端子が“L”レベルの期間だけカウントを行う
	○	TAiIN端子が“H”レベルの期間だけカウントを行う

動　作

(1) カウント開始フラグが“1”でTAiIN端子の入力信号が“H”レベルのとき、カウンタはカウントソースをダウンカウントします。
(2) TAiIN端子の入力信号が“L”レベルのとき、カウンタはカウント値を保持して停止します。
(3) アンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。
同時に、タイマAi割り込み要求ビットが“1”になります。
(4) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。

補足説明　・TAiIN端子に入力する信号のパルス幅は、カウントソースの2サイクル以上にしてください。

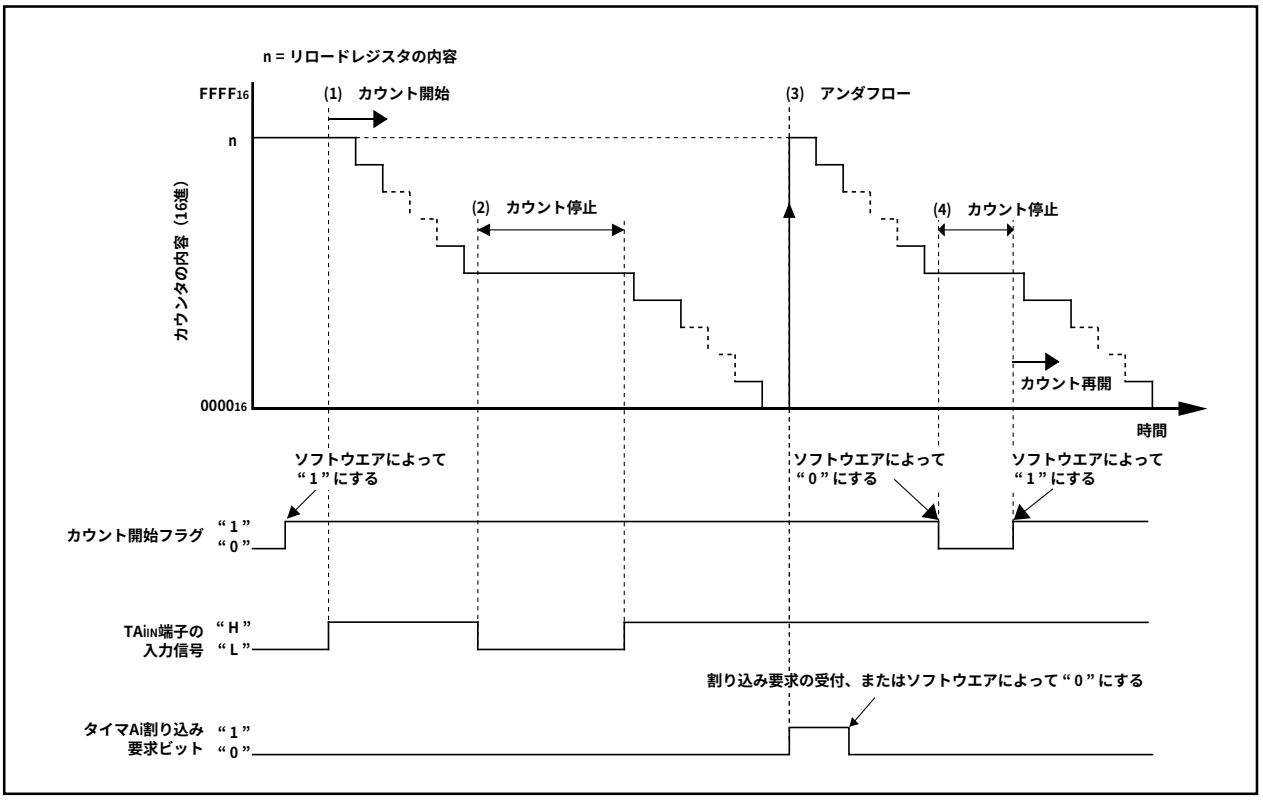


図2.2.8. タイマモード、ゲート機能選択時の動作タイミング図

タイマモードの選択および各機能の選択

b7 b0: 0 1 1 0 0 0

タイマAiモードレジスタ (i=0～4)【039_{16}～$039A_{16}$番地】
(i=5～7)【035_{16}～035_{16}番地】
TAiMR(i=0～7)

- タイマモードの選択
- パルス出力機能選択ビット
  0：パルス出力なし(TAiOUT端子は通常のポート端子)
- ゲート機能選択ビット
  b4 b3
  1 1： TAiIN端子の入力信号が“H”レベルの期間だけカウントを行う(注1)
- タイマモードでは“0”を設定してください。
- カウントソース選択ビット
  b7 b6
  0 0：f_1
  0 1：f_8
  1 0：f_{32}
  1 1：fc_{132}

b7	b6	カウントソース	カウントソースの周期 f(XIN)：10MHz f(XCIN)：32.768kHz
0	0	f_1	100ns
0	1	f_8	800ns
1	0	f_{32}	3.2μs
1	1	fc_{132}(注1)	fc_1:30.52μs，fc_{32}:976.56μs

注1．対応するポート方向レジスタは“0”にしてください。

注1．fc_{132}クロック選択ビット($000_{7}$$_{16}$番地のビット4)により、選択してください。

カウンタ値の設定

(b15) b7 — (b8) b0 b7 — b0

0000_{16}～$FFFF_{16}$を設定可能

タイマA0レジスタ【$038_{7}$$_{16}$, $038_{6}$$_{16}$番地】 TA0
タイマA1レジスタ【$038_{9}$$_{16}$, $038_{8}$$_{16}$番地】 TA1
タイマA2レジスタ【$038B_{16}$, $038A_{16}$番地】 TA2
タイマA3レジスタ【$038D_{16}$, $038C_{16}$番地】 TA3
タイマA4レジスタ【$038F_{16}$, $038E_{16}$番地】 TA4
タイマA5レジスタ【$034_{7}$$_{16}$, $034_{6}$$_{16}$番地】 TA5
タイマA6レジスタ【$034_{9}$$_{16}$, $034_{8}$$_{16}$番地】 TA6
タイマA7レジスタ【$034B_{16}$, $034A_{16}$番地】 TA7

時計用プリスケーラリセットフラグの設定

(カウントソースにfc_{32}を選択したときだけ有効です。X_{CIN}を32分周してfc_{32}を作成するためのプリスケーラをリセットします。)

b7 b0

時計用プリスケーラリセットフラグ 【$038_{1}$$_{16}$番地】
CPSRF

- 時計用プリスケーラリセットフラグ
  0：何もおこらない
  1：プリスケーラリセット (読み出し時は“0”)

カウント開始フラグの設定

b7 b0

カウント開始フラグ0 【$038_{0}$$_{16}$番地】
TABSR0

- タイマA0カウント開始フラグ
- タイマA1カウント開始フラグ
- タイマA2カウント開始フラグ
- タイマA3カウント開始フラグ
- タイマA4カウント開始フラグ

b7 b0

カウント開始フラグ1 【$034_{0}$$_{16}$番地】
TABSR1

- タイマA5カウント開始フラグ
- タイマA6カウント開始フラグ
- タイマA7カウント開始フラグ

カウント開始

図2.2.9. タイマモード、ゲート機能選択時のレジスタ設定手順

2.2.4 タイマA動作 (タイマモード、パルス出力機能選択時)

タイマモードでは、表2.2.3に示す項目の中から機能を選択できます。ここでは、表2.2.3に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.2.10に動作タイミングを、図2.2.11に設定手順を示します。

表2.2.3. 設定内容

設定項目	設定内容	
カウントソース	○	内部のカウントソース(f_1 / f_8 / f_{32} / fc_{32})
パルス出力機能		パルス出力なし
	○	パルス出力あり
ゲート機能	○	ゲート機能なし
		TAi_{IN}端子が“L”レベルの期間だけカウントを行う
		TAi_{IN}端子が“H”レベルの期間だけカウントを行う

動 作

(1) カウント開始フラグを“1”にすると、カウンタはカウントソースをダウンカウントします。

(2) アンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。
同時に、タイマAi割り込み要求ビットが“1”になります。また、TAi_{OUT}端子の出力極性が反転します。

(3) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。また、TAi_{OUT}端子は“L”レベルを出力します。

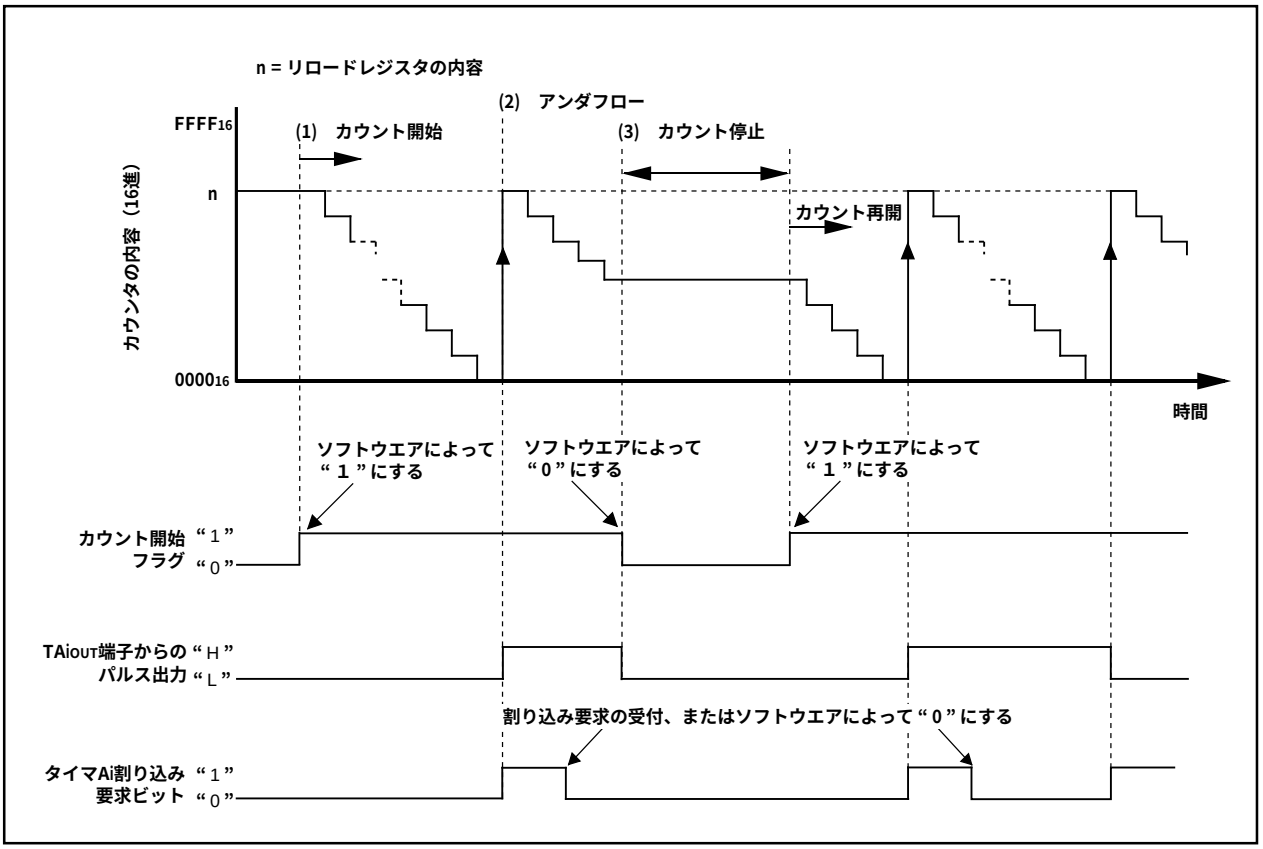


図2.2.10. タイマモード、パルス出力機能選択時の動作タイミング図

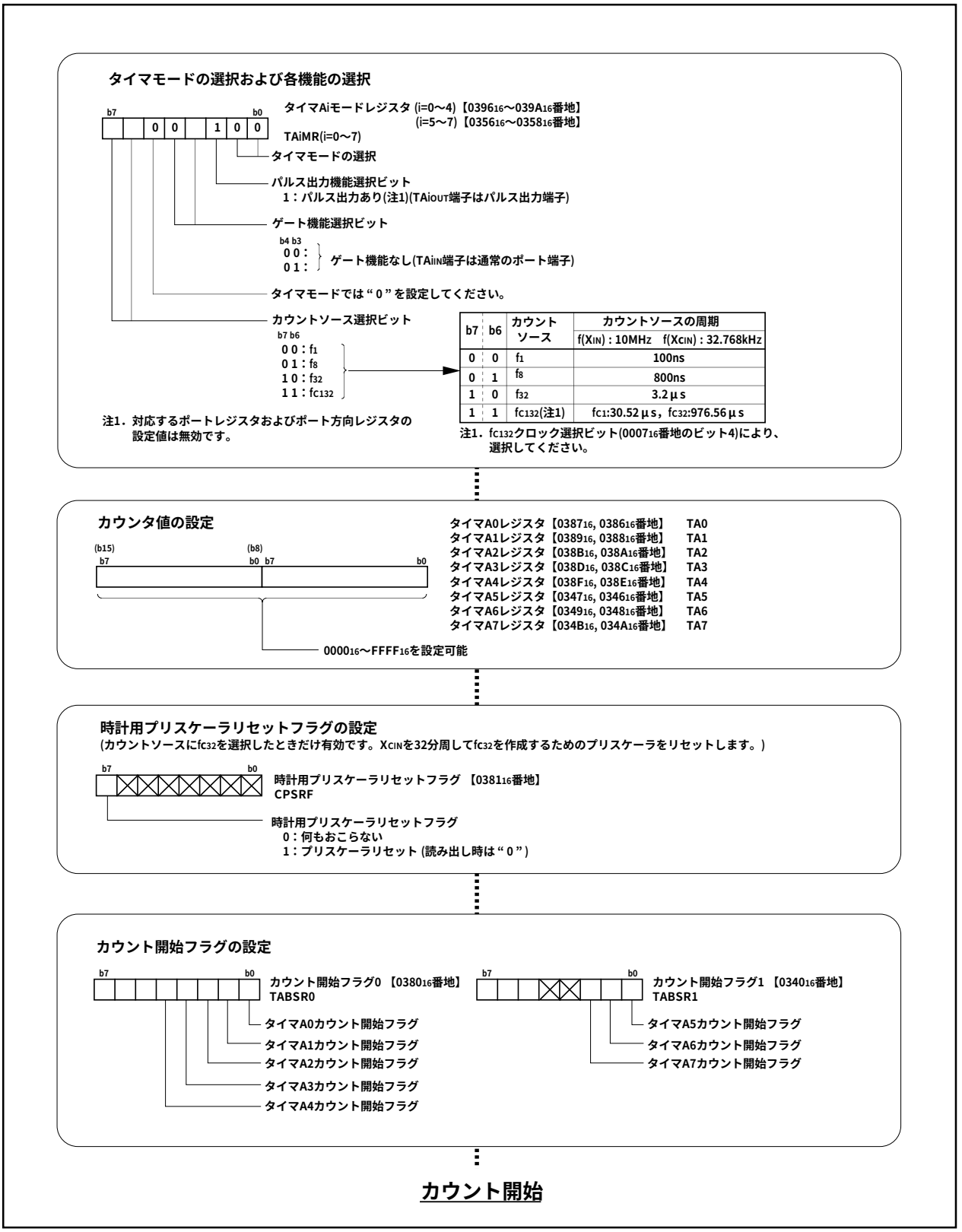


図2.2.11. タイマモード、パルス出力機能選択時のレジスタ設定手順

2.2.5 タイマA動作 (イベントカウンタモード、リロードタイプ選択時)

イベントカウンタモードでは、表2.2.4に示す項目の中から機能を選択できます。ここでは、表2.2.4に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.2.12に動作タイミングを、図2.2.13、図2.2.14に設定手順を示します。

表2.2.4. 設定内容

設定項目	設定内容		設定項目	設定内容	
カウントソース(注1)	○	TAiIN端子の入力信号 (立ち下がりをカウント)	パルス出力機能	○	パルス出力なし
					パルス出力あり
		TAiIN端子の入力信号 (立ち上がりをカウント)	カウント動作タイプ	○	リロードタイプ
					フリーランタイプ
		タイマのオーバフロー (TBm /TAj /TAkの オーバフロー)	アップ / ダウン 切り替え要因	○	アップダウンフラグの内容
					TAiOUT端子の入力信号

注1. i≦4のときm=2、i≧5のときm=5
j=i-1。ただし、i=0のときj=4、i=5のときj=6、i=7のときj=5。
k=i+1。ただし、i=4のときk=0、i=5のときk=7、i=7のときk=6。

動 作

(1) カウント開始フラグを“1”にすると、カウンタはカウントソースの立ち下がりをカウントします。
(2) アンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。
同時に、タイマAi割り込み要求ビットが“1”になります。
(3) カウント中にアップカウント / ダウンカウントを切り替えた場合は、次のカウントソースの有効エッジからアップカウント / ダウンカウントが切り替わります。
(4) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。
(5) オーバフローすると、リロードレジスタの内容をリロードしてカウントを続けます。
同時に、タイマAi割り込み要求ビットが“1”になります。

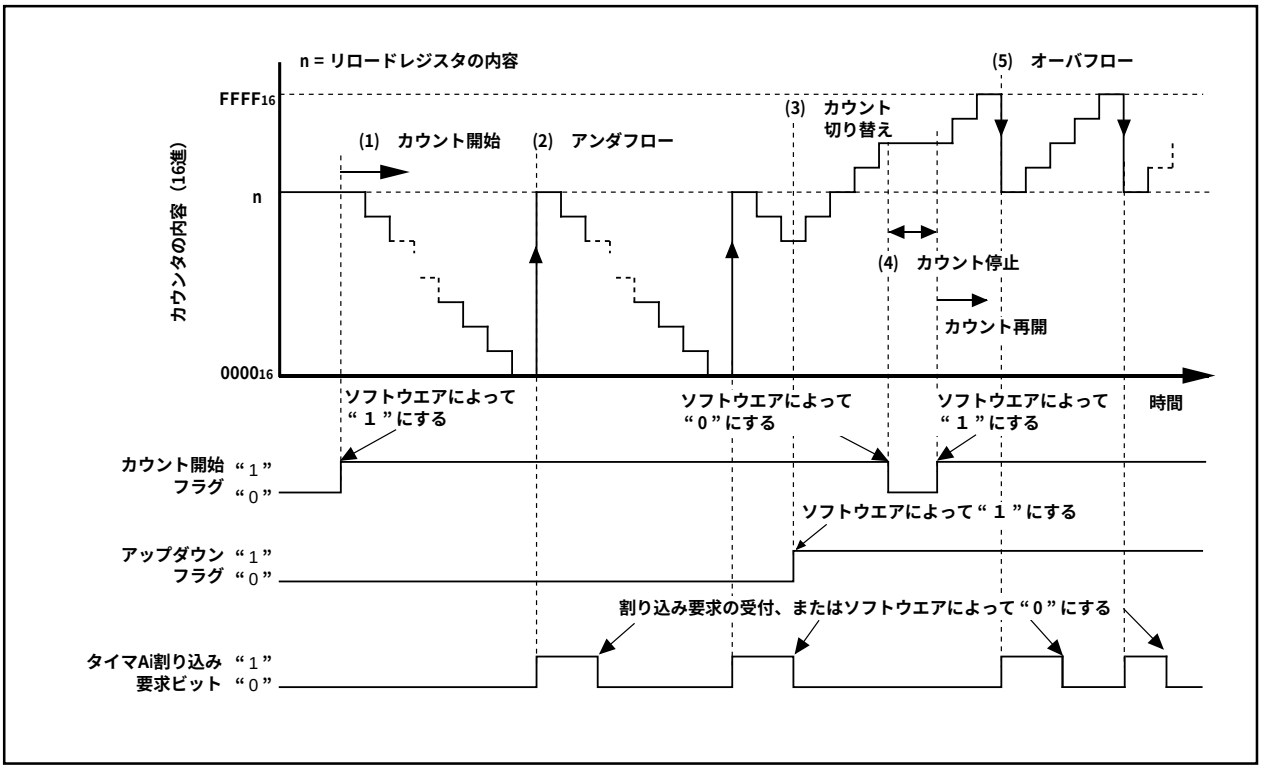


図2.2.12. イベントカウンタモード、リロードタイプ選択時の動作タイミング図

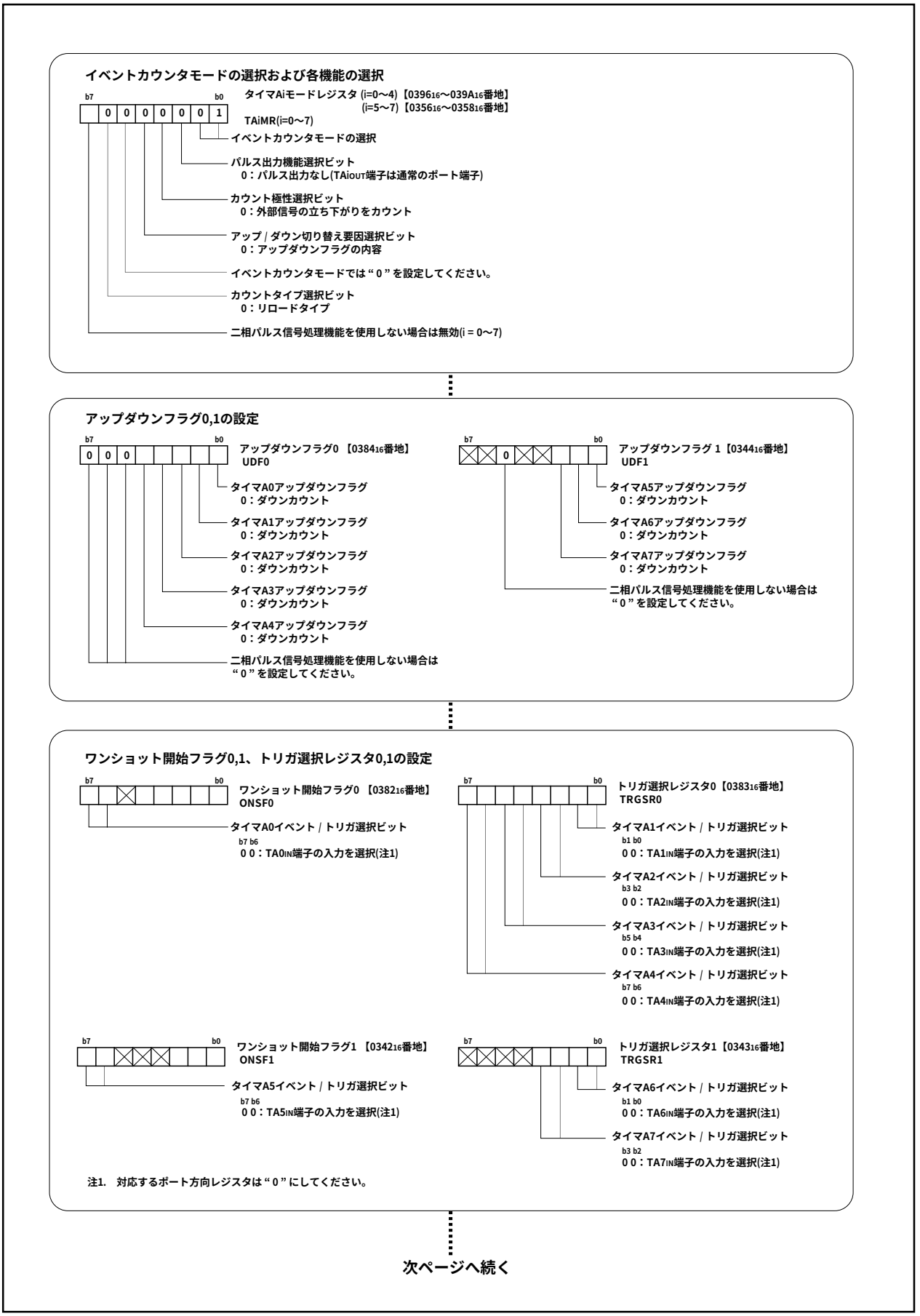


図2.2.13. イベントカウンタモード、リロードタイプ選択時のレジスタ設定手順(1)

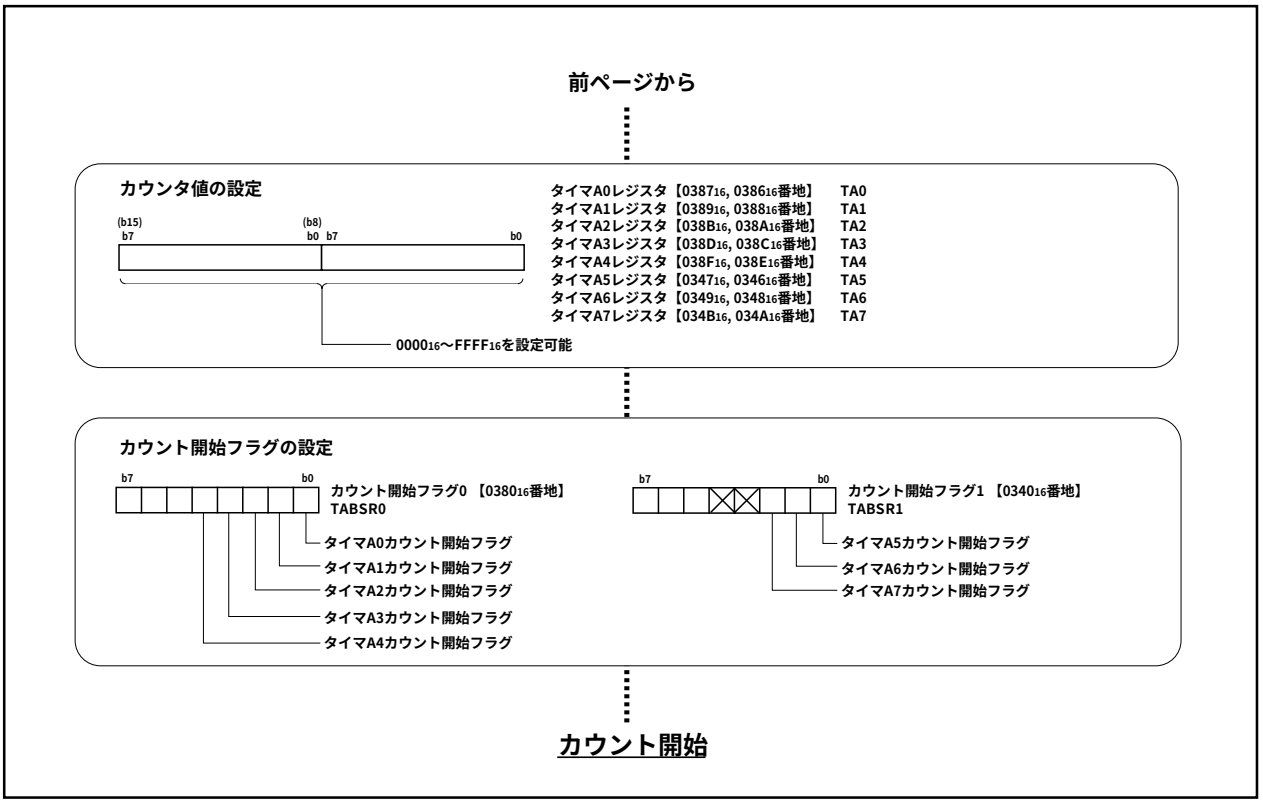


図2.2.14. イベントカウンタモード、リロードタイプ選択時のレジスタ設定手順(2)

2.2.6 タイマA動作 (イベントカウンタモード、フリーランタイプ選択時)

イベントカウンタモードでは、表2.2.5に示す項目の中から機能を選択できます。ここでは、表2.2.5に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.2.15に動作タイミングを、図2.2.16、図2.2.17に設定手順を示します。

表2.2.5. 設定内容

設定項目	設定内容		設定項目	設定内容	
カウントソース(注1)	○	TAiIN端子の入力信号 (立ち下がりをカウント)	パルス出力機能	○	パルス出力なし
					パルス出力あり
		TAiIN端子の入力信号 (立ち上がりをカウント)	カウント動作タイプ		リロードタイプ
				○	フリーランタイプ
		タイマのオーバフロー (TBm /TAj /TAkの オーバフロー)	アップ / ダウン 切り替え要因	○	アップダウンフラグの内容
					TAiOUT端子の入力信号

注1. i≦4のときm=2、i≧5のときm=5
j=i-1。ただし、i=0のときj=4、i=5のときj=6、i=7のときj=5。
k=i+1。ただし、i=4のときk=0、i=5のときk=7、i=7のときk=6。

動 作

(1) カウント開始フラグを“1”にすると、カウンタはカウントソースの立ち下がりをカウントします。
(2) アンダフローしても、リロードレジスタの内容がリロードされずカウントを続けます。
同時に、タイマAi割り込み要求ビットが“1”になります。
(3) カウント中にアップカウント / ダウンカウントを切り替えた場合は、次のカウントソースの有効エッジからアップカウント / ダウンカウントが切り替わります。
(4) オーバフローしても、リロードレジスタの内容がリロードされずカウントを続けます。
同時に、タイマAi割り込み要求ビットが“1”になります。

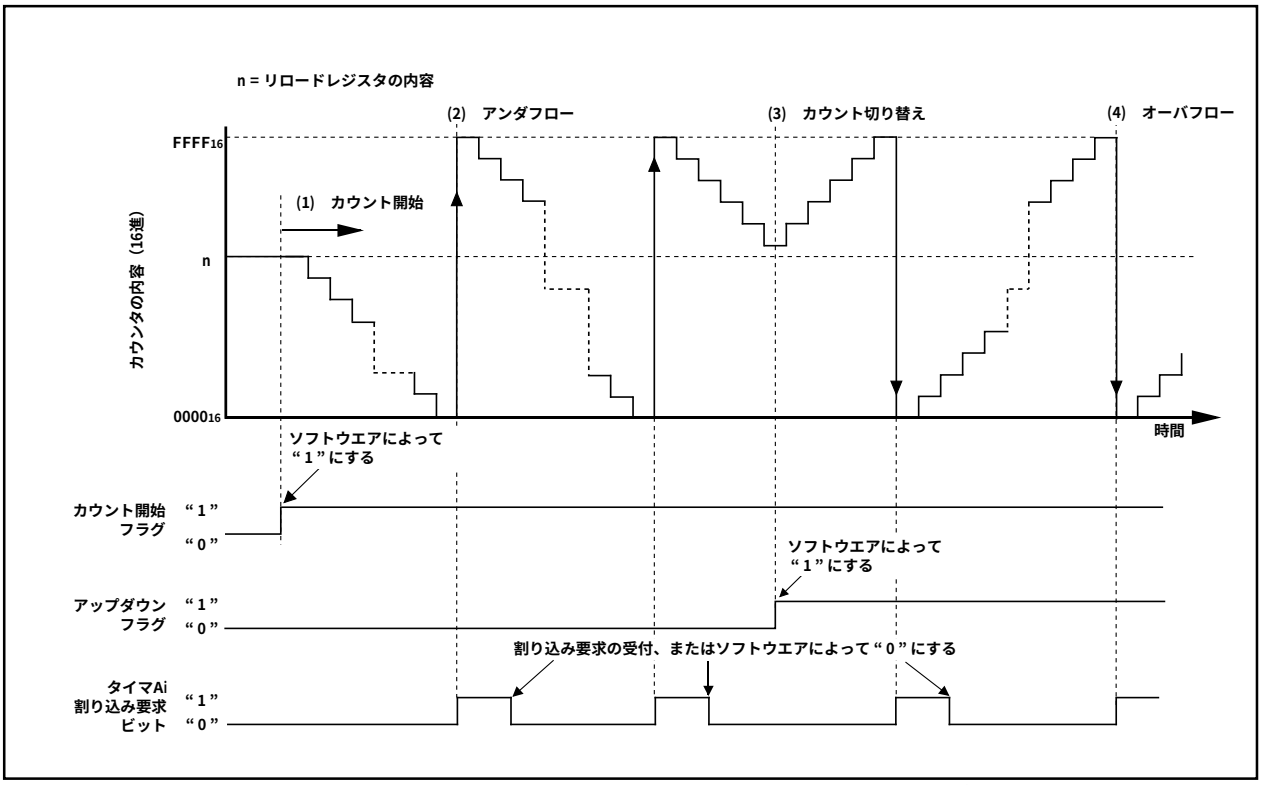


図2.2.15. イベントカウンタモード、フリーランタイプ選択時の動作タイミング図

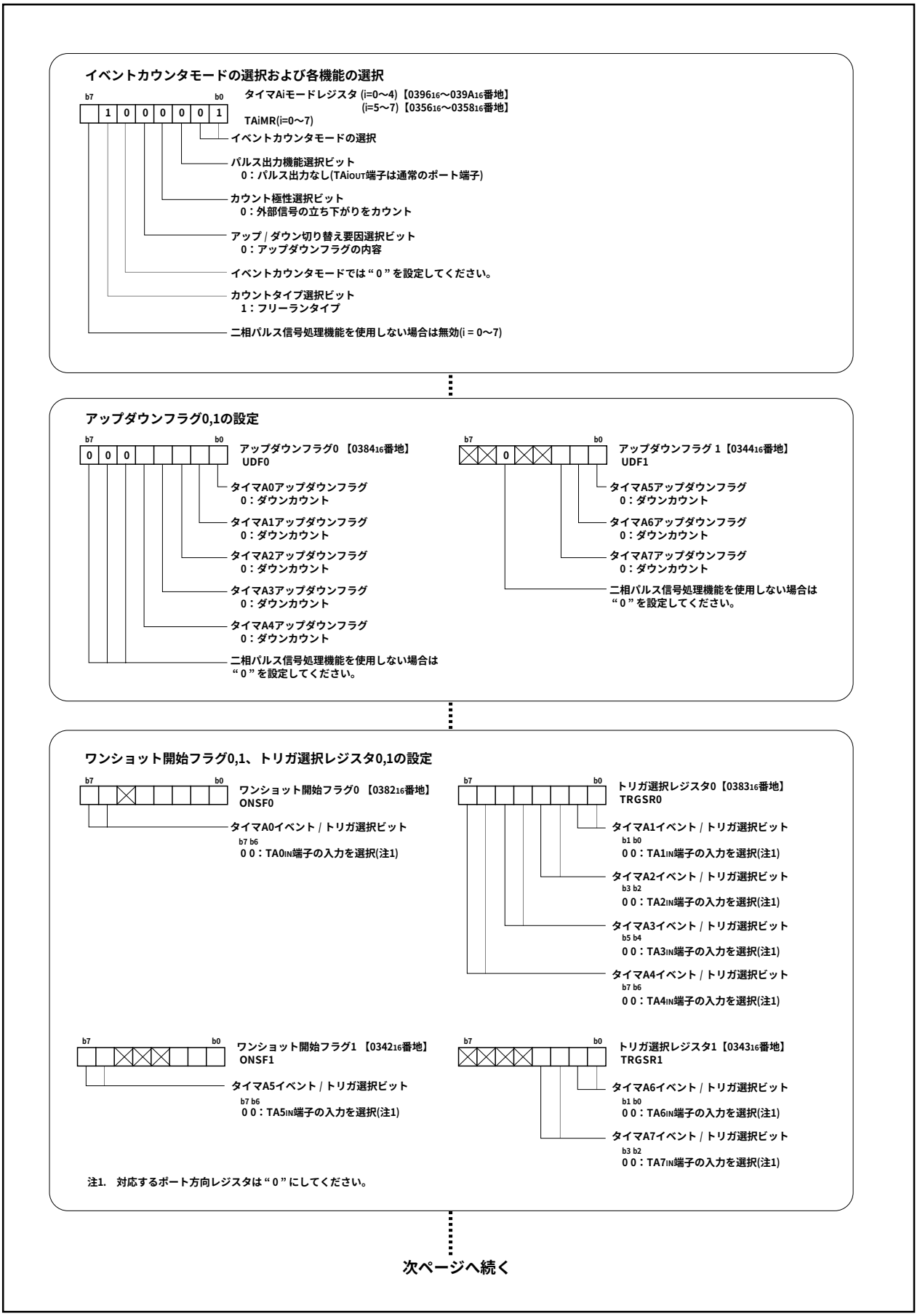


図2.2.16. イベントカウンタモード、フリーランタイプ選択時のレジスタ設定手順(1)

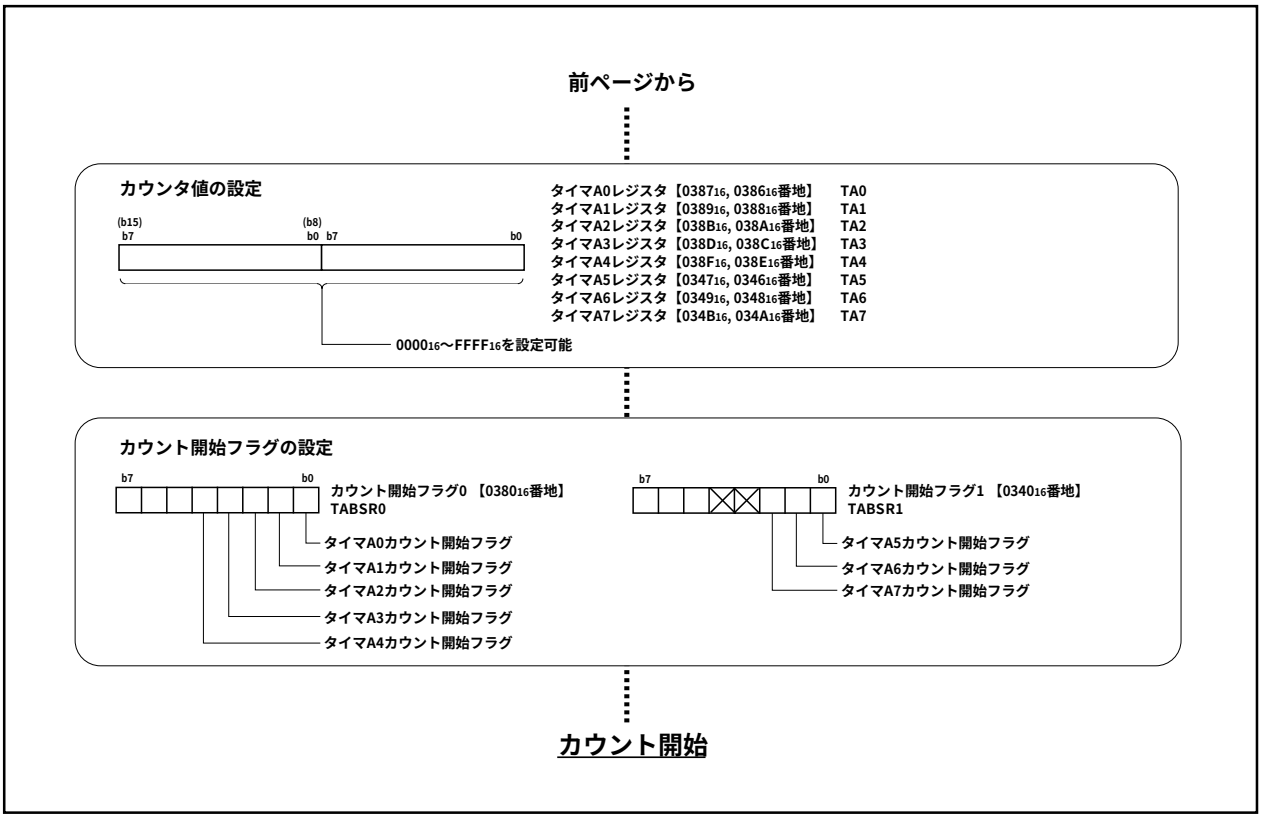


図2.2.17. イベントカウンタモード、フリーランタイプ選択時のレジスタ設定手順(2)

2.2.7 タイマA動作 (イベントカウンタモード2相パルス信号処理、通常モード選択時)

イベントカウンタモード2相パルス信号処理では、表2.2.6に示す項目の中から機能を選択できます。ここでは、表2.2.6に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.2.18に動作タイミングを、図2.2.19に設定手順を示します。

表2.2.6. 設定内容

設定項目	設定内容	
カウント動作タイプ		リロードタイプ
	○	フリーランタイプ
二相パルス処理動作(注1)	○	通常処理動作
		4逓倍処理動作

注1. タイマA3のみ通常処理動作、4逓倍処理動作を選択できます。タイマA2,A7は通常処理動作に固定です。

動　作

(1) カウント開始フラグを“1”にすると、カウンタはカウントソースの有効エッジをカウントします。
(2) アンダフローしても、リロードレジスタの内容がリロードされずカウントを続けます。同時に、タイマAi割り込み要求ビットが“1”になります。
(3) オーバフローしても、リロードレジスタの内容がリロードされずカウントを続けます。同時に、タイマAi割り込み要求ビットが“1”になります。

補足説明

・アップカウント、ダウンカウントする条件は次のとおりです。
TAiOUT端子が“H”のときTAiIN端子に立ち上がりエッジがあればアップカウントします。
TAiOUT端子が“H”のときTAiIN端子に立ち下がりエッジがあればダウンカウントします。

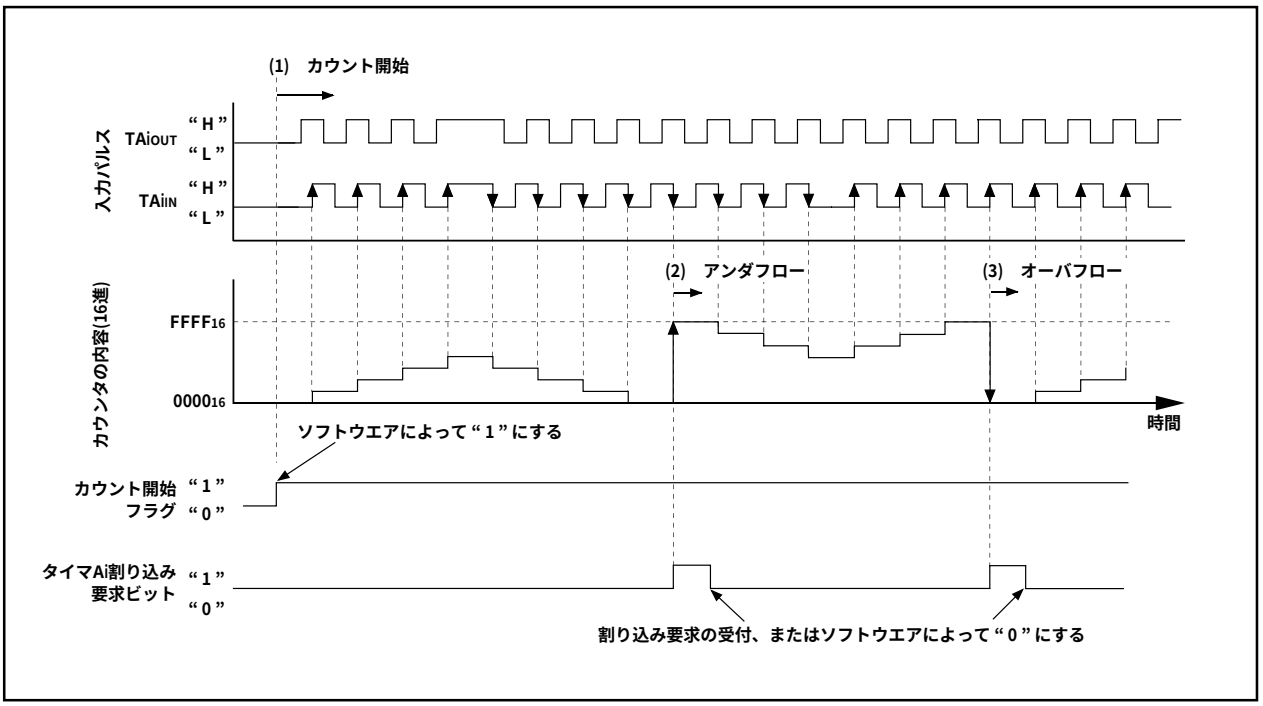


図2.2.18. イベントカウンタモード2相パルス信号処理、通常モード選択時の動作タイミング図

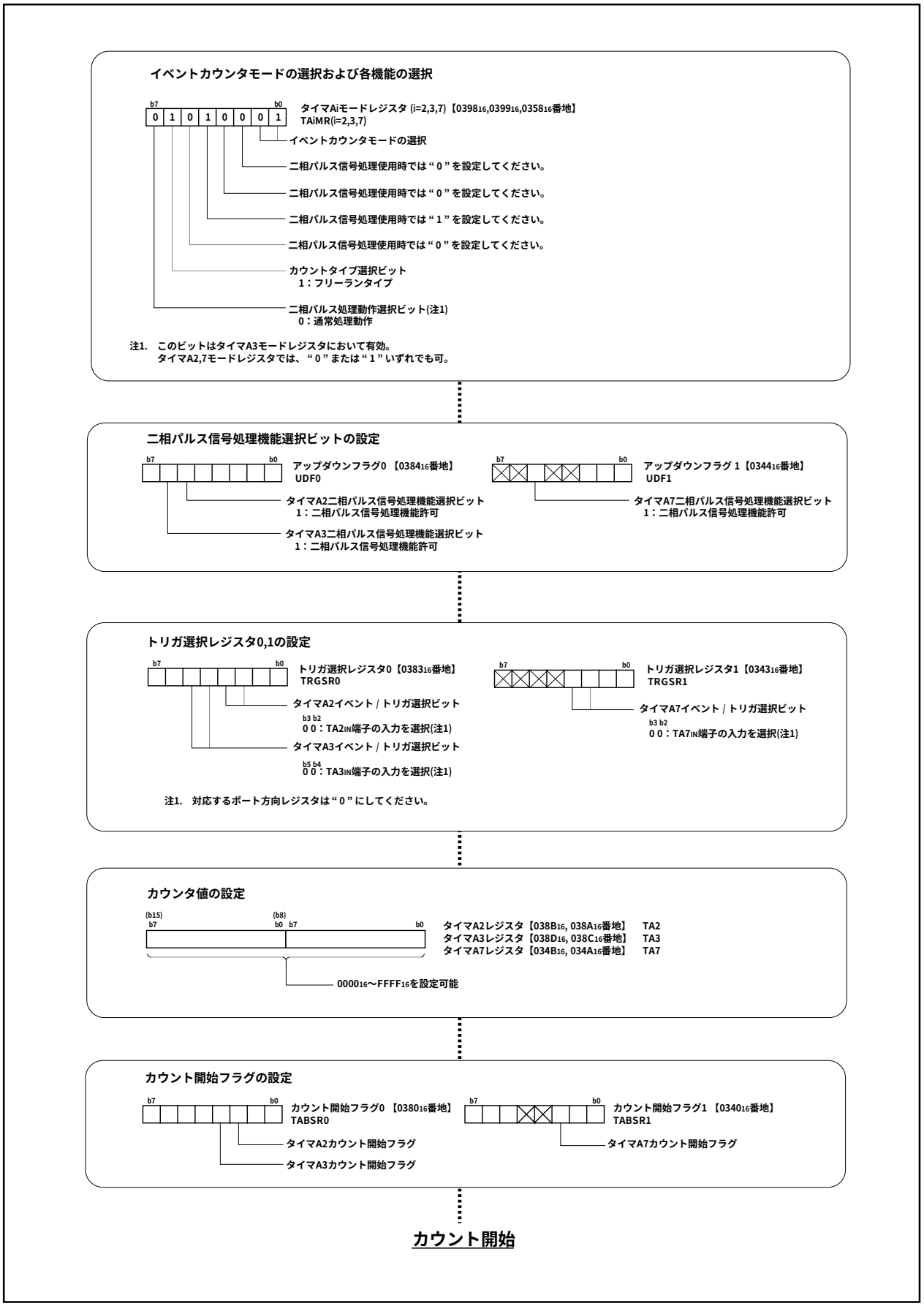


図2.2.19. イベントカウンタモード2相パルス信号処理、通常モード選択時のレジスタ設定手順

2.2.8 タイマA動作 (イベントカウンタモード2相パルス信号処理、4逓倍モード選択時)

イベントカウンタモード2相パルス信号処理では、表2.2.7に示す項目の中から機能を選択できます。ここでは、表2.2.7に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.2.20に動作タイミングを、図2.2.21に設定手順を示します。

表2.2.7. 設定内容

設定項目	設定内容		設定項目	設定内容	
カウント動作タイプ		リロードタイプ	二相パルス処理動作(注1)		通常処理動作
	○	フリーランタイプ		○	4逓倍処理動作

注1. タイマA3のみ通常処理動作、4逓倍処理動作を選択できます。タイマA4は4逓倍処理動作に固定です。

動 作

(1) カウント開始フラグを“1”にすると、カウンタはカウントソースの有効エッジをカウントします。
(2) アンダフローしても、リロードレジスタの内容がリロードされずカウントを続けます。
同時に、タイマAi割り込み要求ビットが“1”になります。
(3) オーバフローしても、リロードレジスタの内容がリロードされずカウントを続けます。
同時に、タイマAi割り込み要求ビットが“1”になります。

補足説明

・アップカウント、ダウンカウントする条件は次のとおりです。

表2.2.8. アップカウント、ダウンカウントする条件

	TAiOUT端子の入力信号	TAiIN端子の入力信号		TAiOUT端子の入力信号	TAiIN端子の入力信号
アップカウント	“H”レベル	立ち上がり	ダウンカウント	“H”レベル	立ち下がり
	“L”レベル	立ち下がり		“L”レベル	立ち上がり
	立ち上がり	“L”レベル		立ち上がり	“H”レベル
	立ち下がり	“H”レベル		立ち下がり	“L”レベル

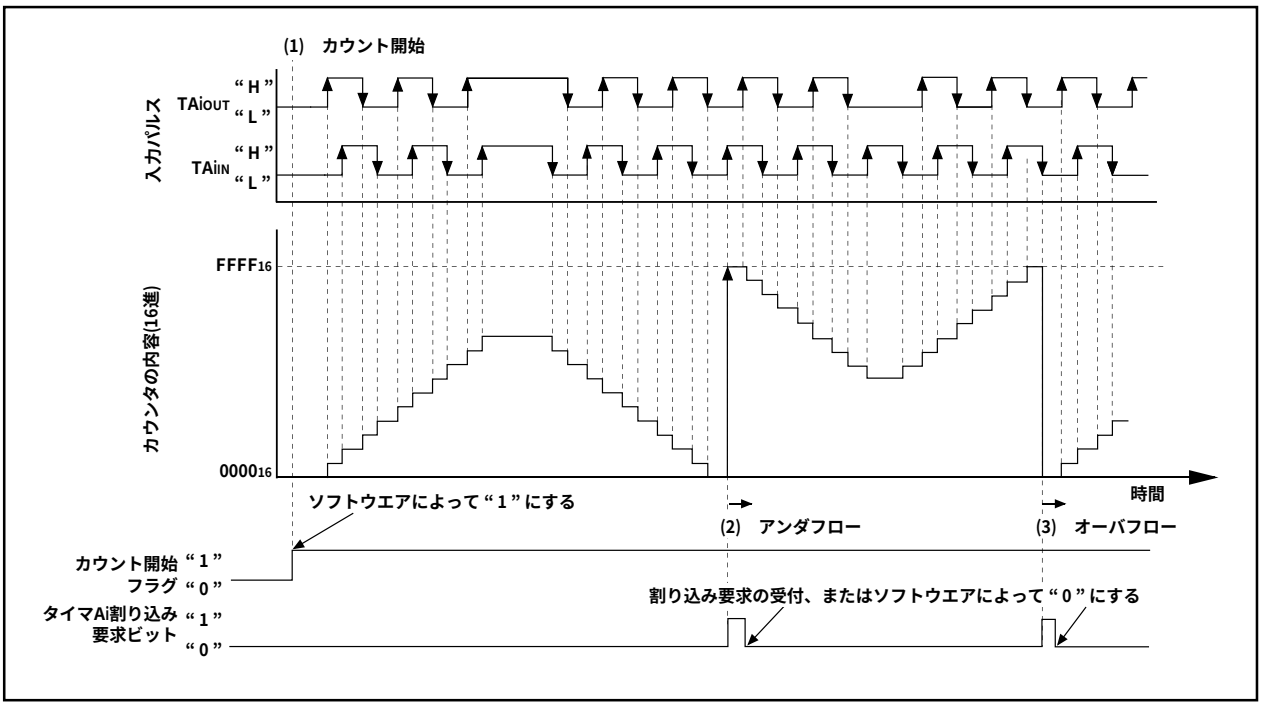


図2.2.20. イベントカウンタモード相2パルス信号処理、4逓倍モード選択時の動作タイミング図

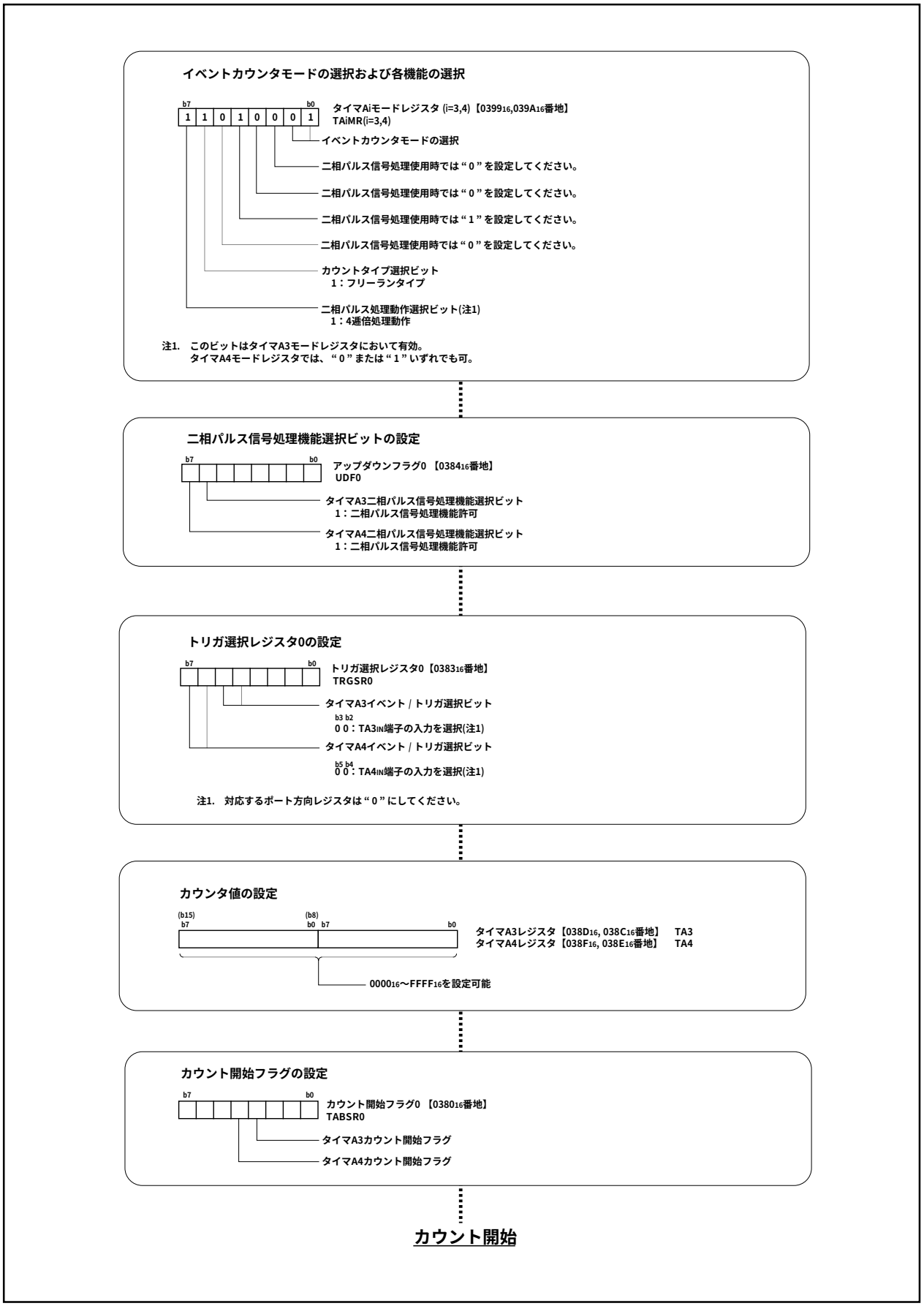


図2.2.21. イベントカウンタモード2相パルス信号処理、4逓倍モード選択時のレジスタ設定手順

2.2.9 タイマA動作 (ワンショットタイマモード)

ワンショットタイマモードでは、表2.2.9に示す項目の中から機能を選択できます。ここでは、表2.2.9に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.2.22に動作タイミングを、図2.2.23に設定手順を示します。

表2.2.9. 設定内容

設定項目	設定内容	
カウントソース	○	内部のカウントソース(f_1 / f_8 / f_{32} / fc_{32})
パルス出力機能		パルス出力なし
	○	パルス出力あり
カウント開始条件 (注1)		外部トリガ入力(TAi_{IN}端子の入力信号の立ち下がり)
		外部トリガ入力(TAi_{IN}端子の入力信号の立ち上がり)
		タイマのオーバフロー(TBmのオーバフロー / TAjのオーバフロー / TAkのオーバフロー)
	○	ワンショット開始フラグへの“1”書き込み

注1. i≦4のときm=2、i≧5のときm=5
j=i-1。ただし、i=0のときj=4、i=5のときj=6、i=7のときj=5。
k=i+1。ただし、i=4のときk=0、i=5のときk=7、i=7のときk=6。

動 作

(1) カウント開始フラグが“1”の状態でワンショット開始フラグを“1”にすると、カウンタはカウントソースをダウンカウントします。
同時に、TAi_{OUT}端子の出力レベルは“H”になります。

(2) カウンタの値が“0000_{16}”になるとき、TAi_{OUT}端子の出力レベルは“L”になり、カウンタはリロードレジスタの内容をリロードしてカウントを停止します。
同時に、タイマAi割り込み要求ビットが“1”になります。

(3) カウント中にトリガが発生した場合、再度リロードレジスタの値をリロードしてカウントを続けます。リロードするタイミングはトリガが入力した次のカウントソース入力です。

(4) カウント開始フラグを“0”にすると、カウンタはカウントを停止し、リロードレジスタの内容をリロードします。また、TAi_{OUT}端子の出力レベルは“L”になります。
同時に、タイマAiの割り込み要求ビットが“1”になります。

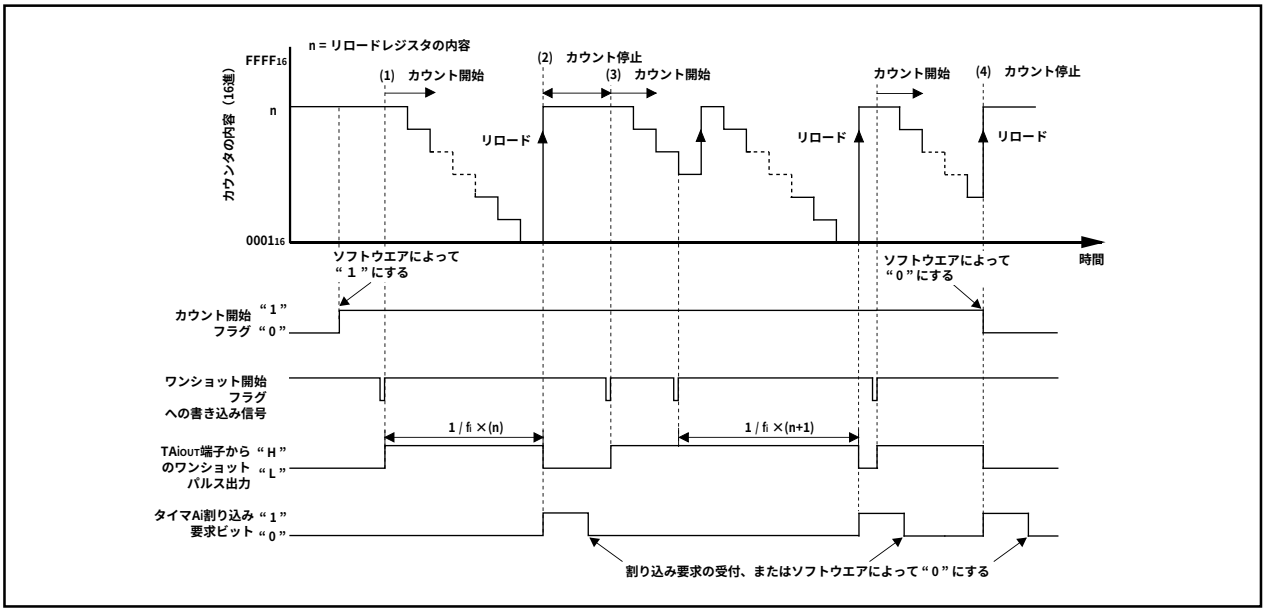


図2.2.22. ワンショットタイマモード動作タイミング図

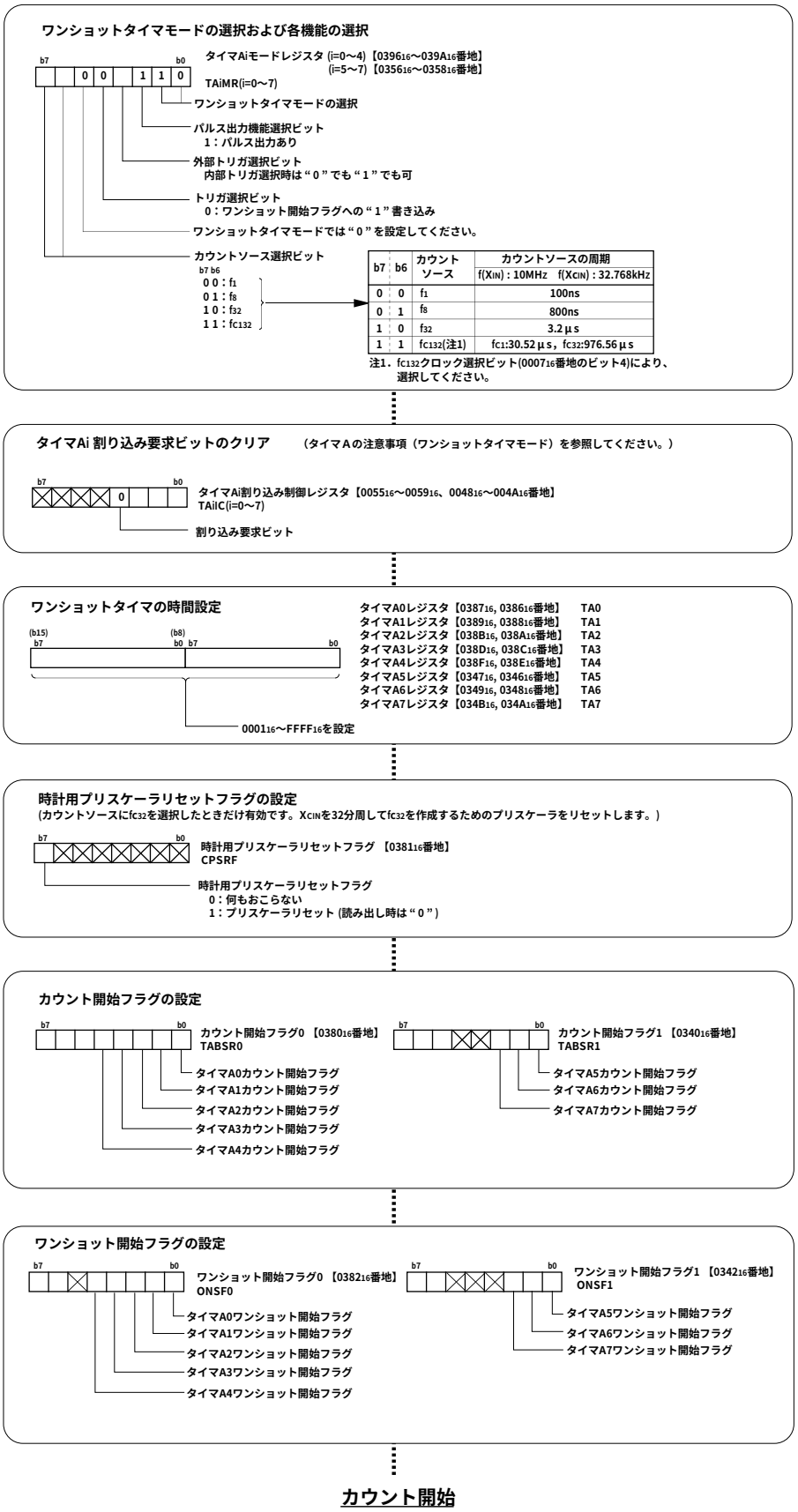


図2.2.23.　ワンショットタイマモード時のレジスタ設定手順

2.2.10 タイマA動作 (ワンショットタイマモード、外部トリガ選択時)

ワンショットタイマモードでは、表2.2.10に示す項目の中から機能を選択できます。ここでは、表2.2.10に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.2.24に動作タイミングを、図2.2.25、図2.2.26に設定手順を示します。

表2.2.10. 設定内容

設定項目	設定内容	
カウントソース	○	内部のカウントソース(f_1 / f_8 / f_{32} / fc_{32})
パルス出力機能		パルス出力なし
	○	パルス出力あり
カウント開始条件(注1)		外部トリガ入力(TAi_{IN}端子の入力信号の立ち下がり)
	○	外部トリガ入力(TAi_{IN}端子の入力信号の立ち上がり)
		タイマのオーバフロー(TBmのオーバフロー / TAjのオーバフロー / TAkのオーバフロー)
		ワンショット開始フラグへの“1”書き込み

注1. i≦4のときm=2、i≧5のときm=5
j=i-1。ただし、i=0のときj=4、i=5のときj=6、i=7のときj=5。
k=i+1。ただし、i=4のときk=0、i=5のときk=7、i=7のときk=6。

動 作

(1) カウント開始フラグが“1”の状態でTAi_{IN}端子の入力信号が“L”レベルから“H”レベルになると、カウンタはカウントソースをダウンカウントします。
同時に、TAi_{OUT}端子の出力レベルは“H”になります。

(2) カウンタの値が“0000_{16}”になると、TAi_{OUT}端子の出力レベルは“L”になり、カウンタはリロードレジスタの内容をリロードしてカウントを停止します。
同時に、タイマAi割り込み要求ビットが“1”になります。

(3) カウント中にトリガが発生した場合、再度リロードレジスタの値をリロードしてカウントを続けます。リロードするタイミングはトリガが入力した次のカウントソース入力です。

(4) カウント開始フラグを“0”にすると、カウンタはカウントを停止し、リロードレジスタの内容をリロードします。また、TAi_{OUT}端子の出力レベルは“L”になります。
同時に、タイマAiの割り込み要求ビットが“1”になります。

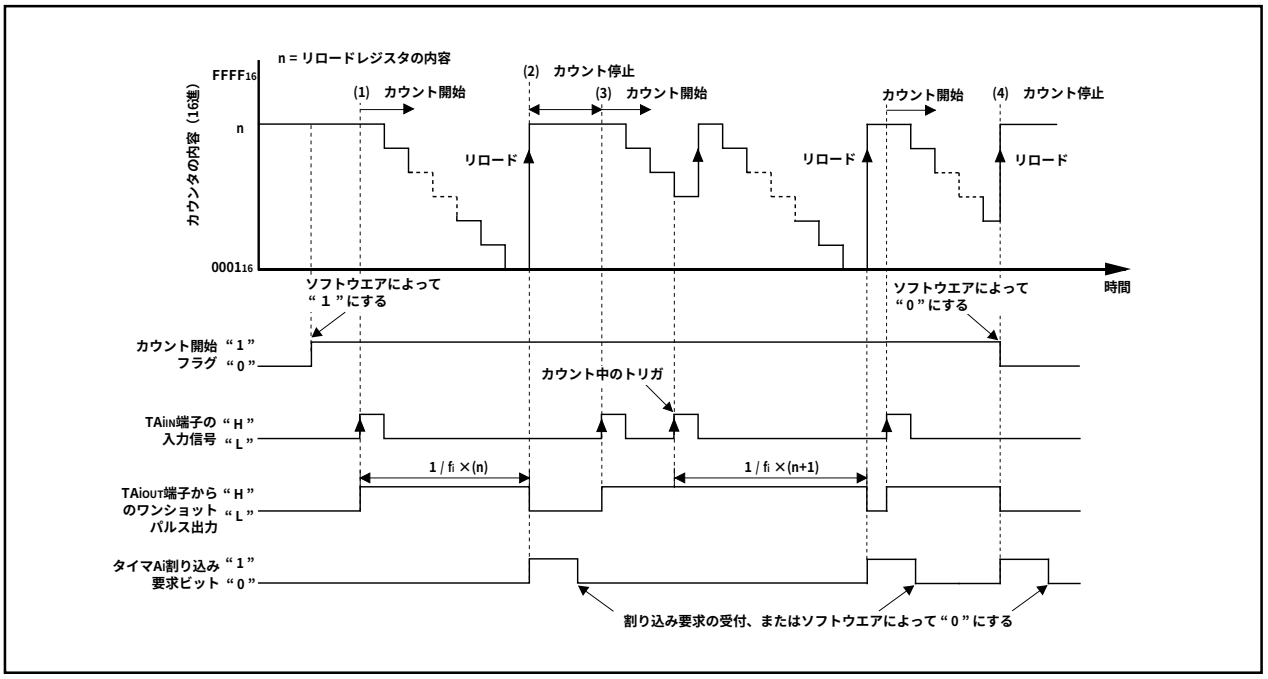
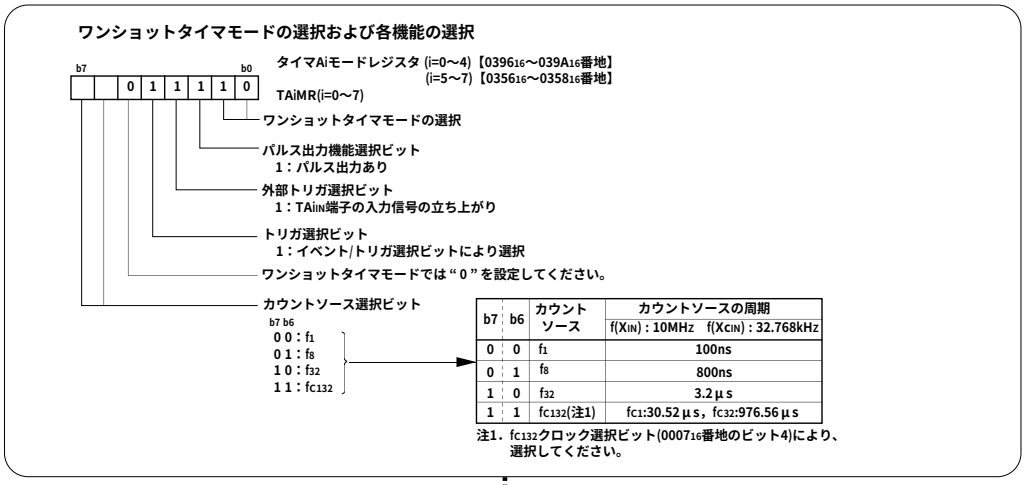
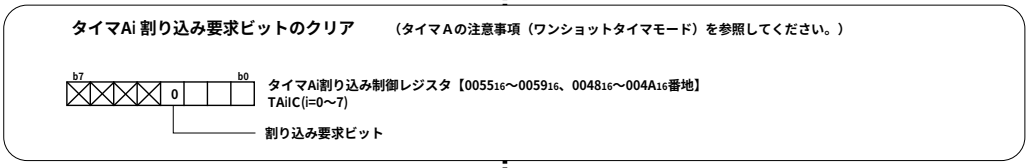
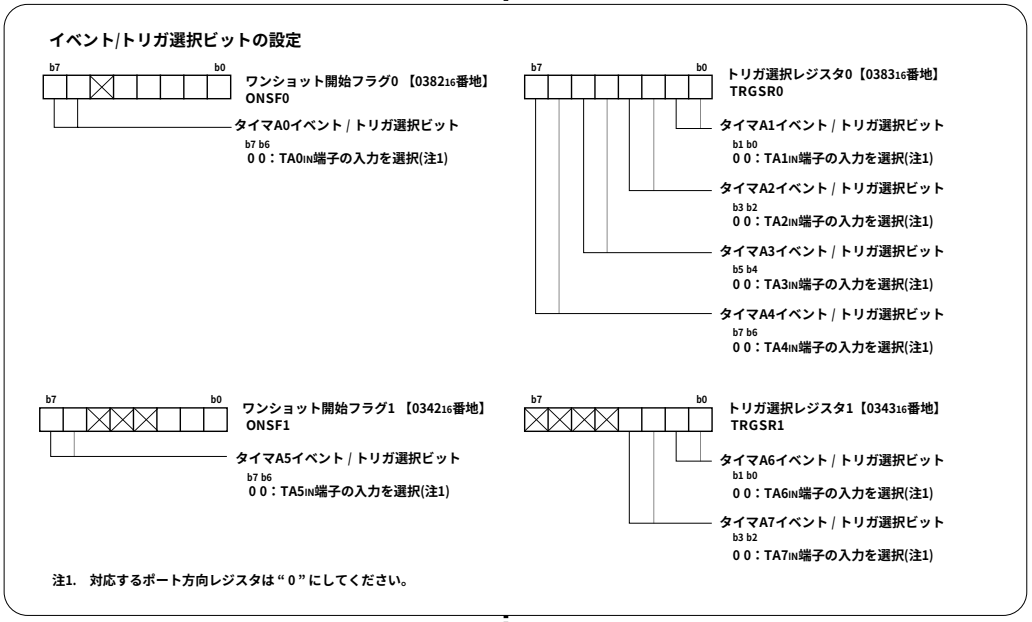


図2.2.24. ワンショットタイマモード、外部トリガ選択時の動作タイミング図







次ページへ続く

図2.2.25. ワンショットタイマモード、外部トリガ選択時のレジスタ設定手順(1)

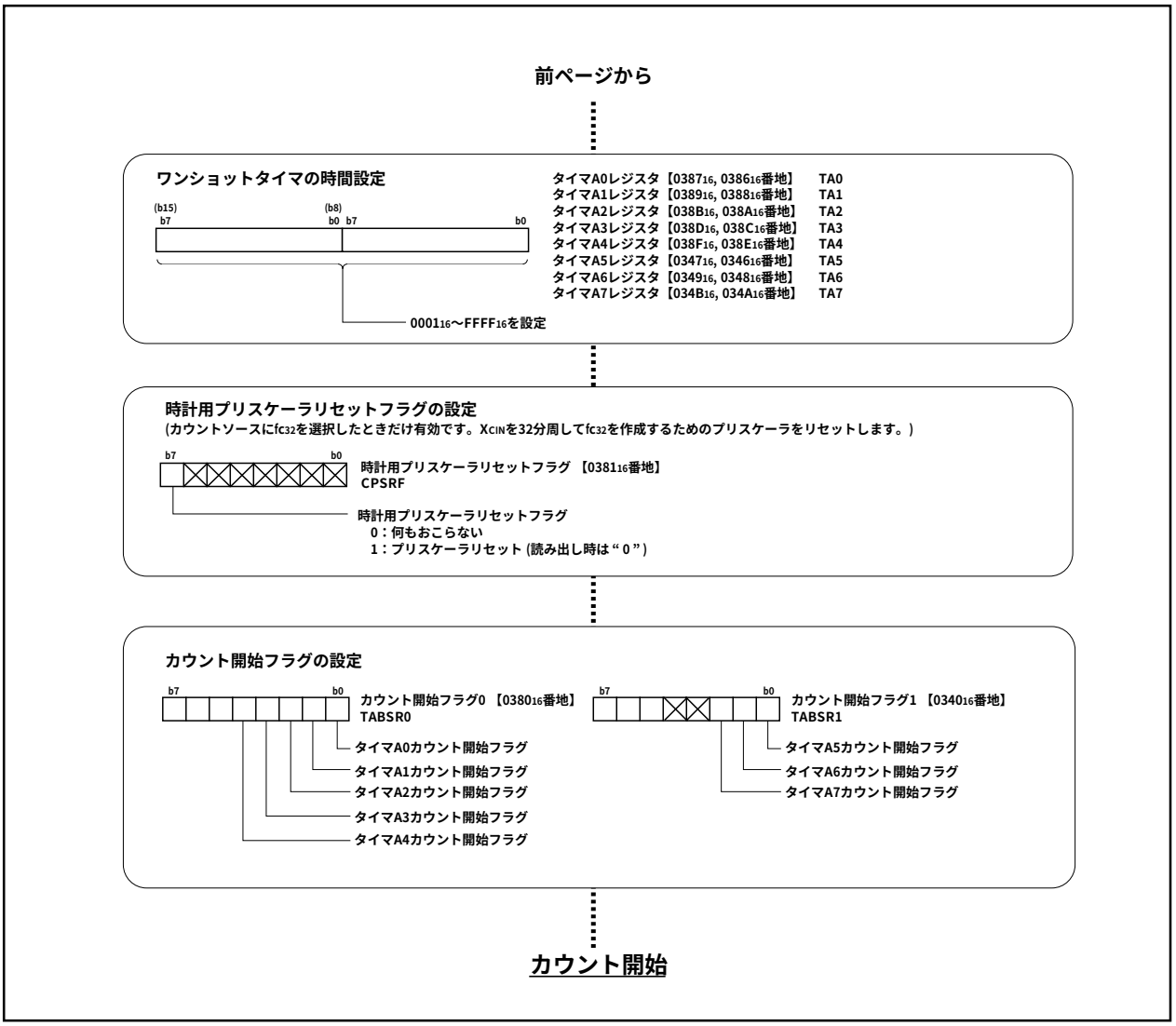


図2.2.26. ワンショットタイマモード、外部トリガ選択時のレジスタ設定手順(2)

2.2.11 タイマA動作 (パルス幅変調モード、16ビットPWMモード選択時)

パルス幅変調モードでは、表2.2.11に示す項目の中から機能を選択できます。ここでは、表2.2.11に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.2.27に動作タイミングを、図2.2.28、図2.2.29に設定手順を示します。

表2.2.11. 設定内容

設定項目	設定内容	
カウントソース	○	内部のカウントソース(f_1 / f_8 / f_{32} / fc_{32})
PWMモード	○	16ビットPWM
		8ビットPWM
カウント開始条件(注1)		外部トリガ入力(TAi_{IN}端子の入力信号の立ち下がり)
	○	外部トリガ入力(TAi_{IN}端子の入力信号の立ち上がり)
		タイマのオーバフロー(TBmのオーバフロー / TAjのオーバフロー / TAkのオーバフロー)

注1. i≦4のときm=2、i≧5のときm=5
j=i-1。ただし、i=0のときj=4、i=5のときj=6、i=7のときj=5。
k=i+1。ただし、i=4のときk=0、i=5のときk=7、i=7のときk=6。

動 作

(1) カウント開始フラグが“1”でTAi_{IN}端子の入力信号が“L”レベルから“H”レベルになると、カウンタはカウントソースをダウンカウントします。また、TAi_{OUT}端子は“H”レベルを出力します。
(2) TAi_{OUT}端子の出力レベルは、設定した時間を経過すると“H”から“L”になります。
同時に、タイマAi割り込み要求ビットが“1”になります。
(3) PWMパルスを1周期出力するごとに、リロードレジスタの内容をリロードしてカウントを続けます。
(4) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。
また、TAi_{OUT}端子の出力レベルは“L”になります。

補足説明

・PWMパルスの周期は$(2^{16}-1)$ / fi、“H”レベル幅はn / fiになります。ただし、タイマAiレジスタに“0000_{16}”を設定した場合は、パルス幅変調器は動作せず、TAi_{OUT}端子の出力レベルは“L”のままです。
(fi：カウントソースの周波数f_1、f_8、f_{32}、fc_{32} n：タイマ値)

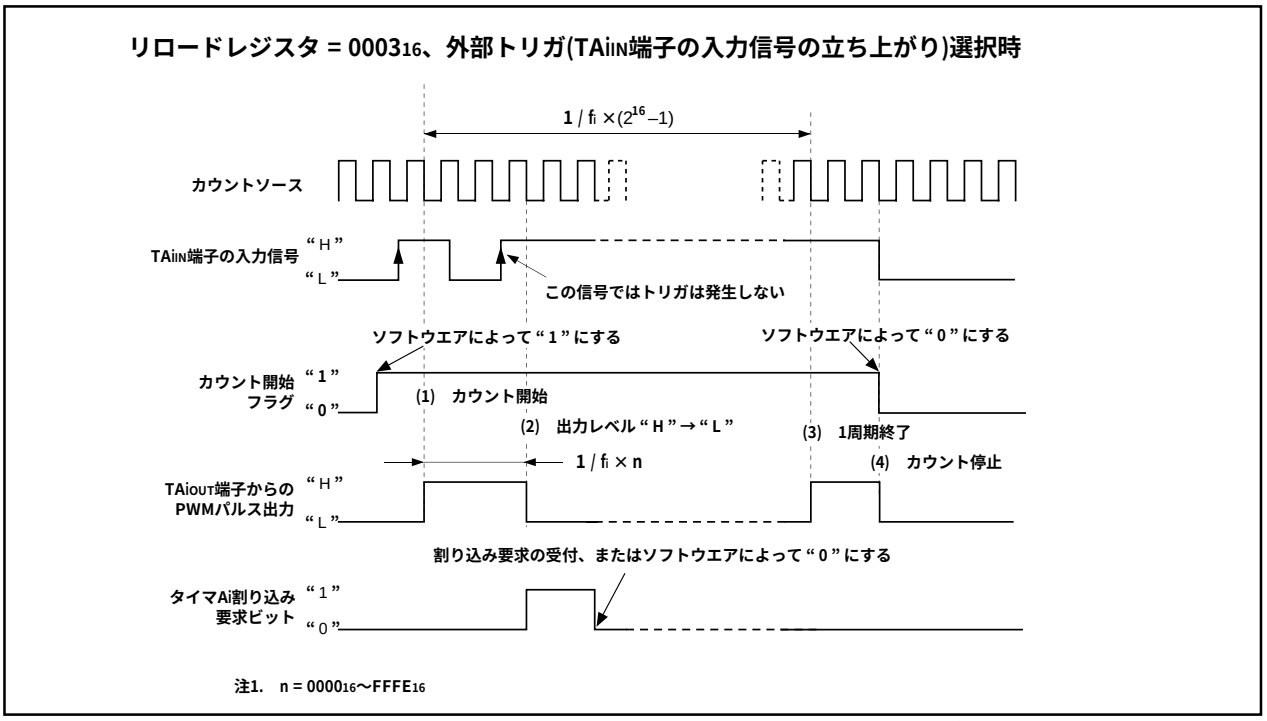


図2.2.27. パルス幅変調モード動作、16ビットPWMモード選択時のタイミング図

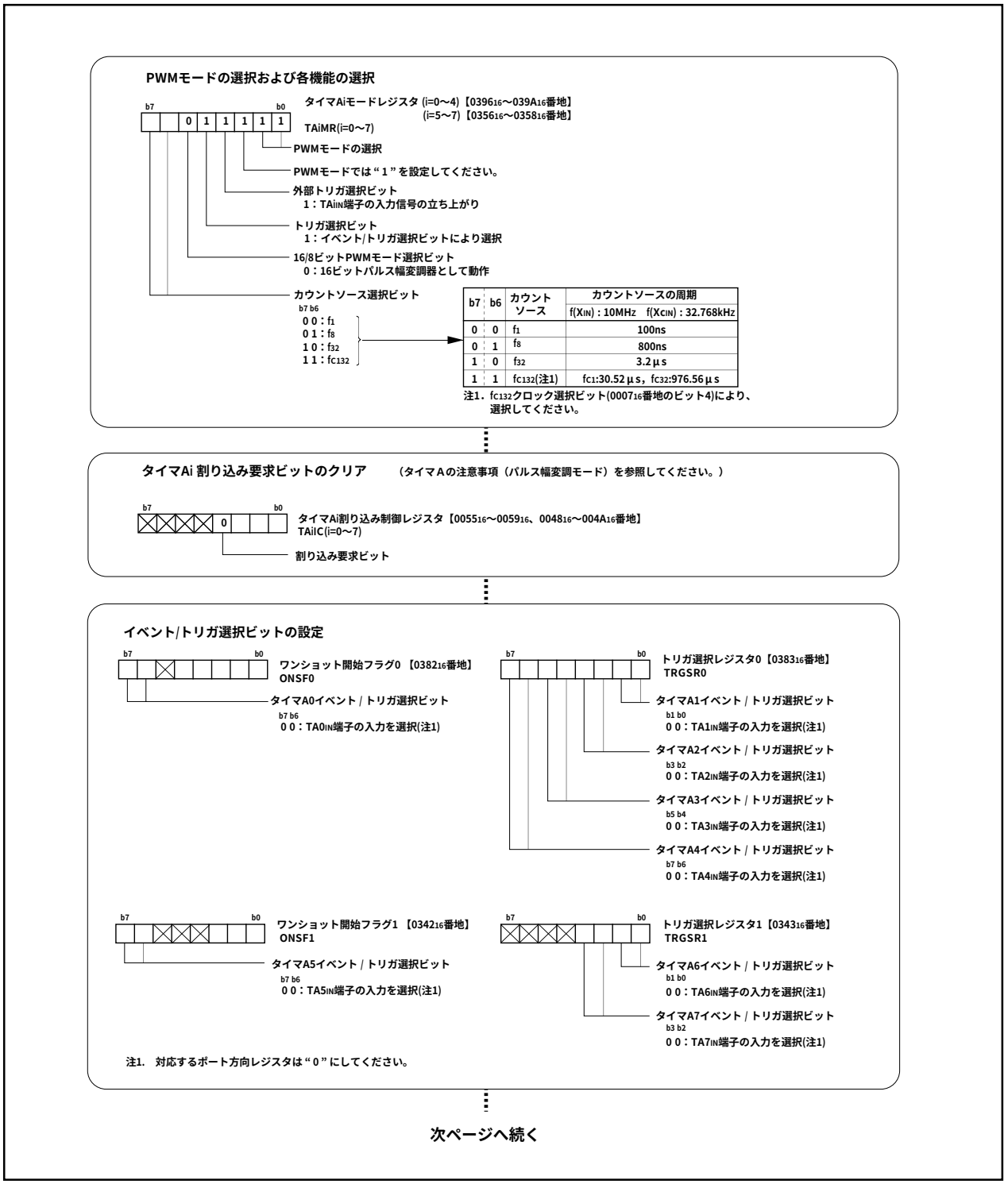


図2.2.28. パルス幅変調モード、16ビットPWMモード選択時のレジスタ設定手順(1)

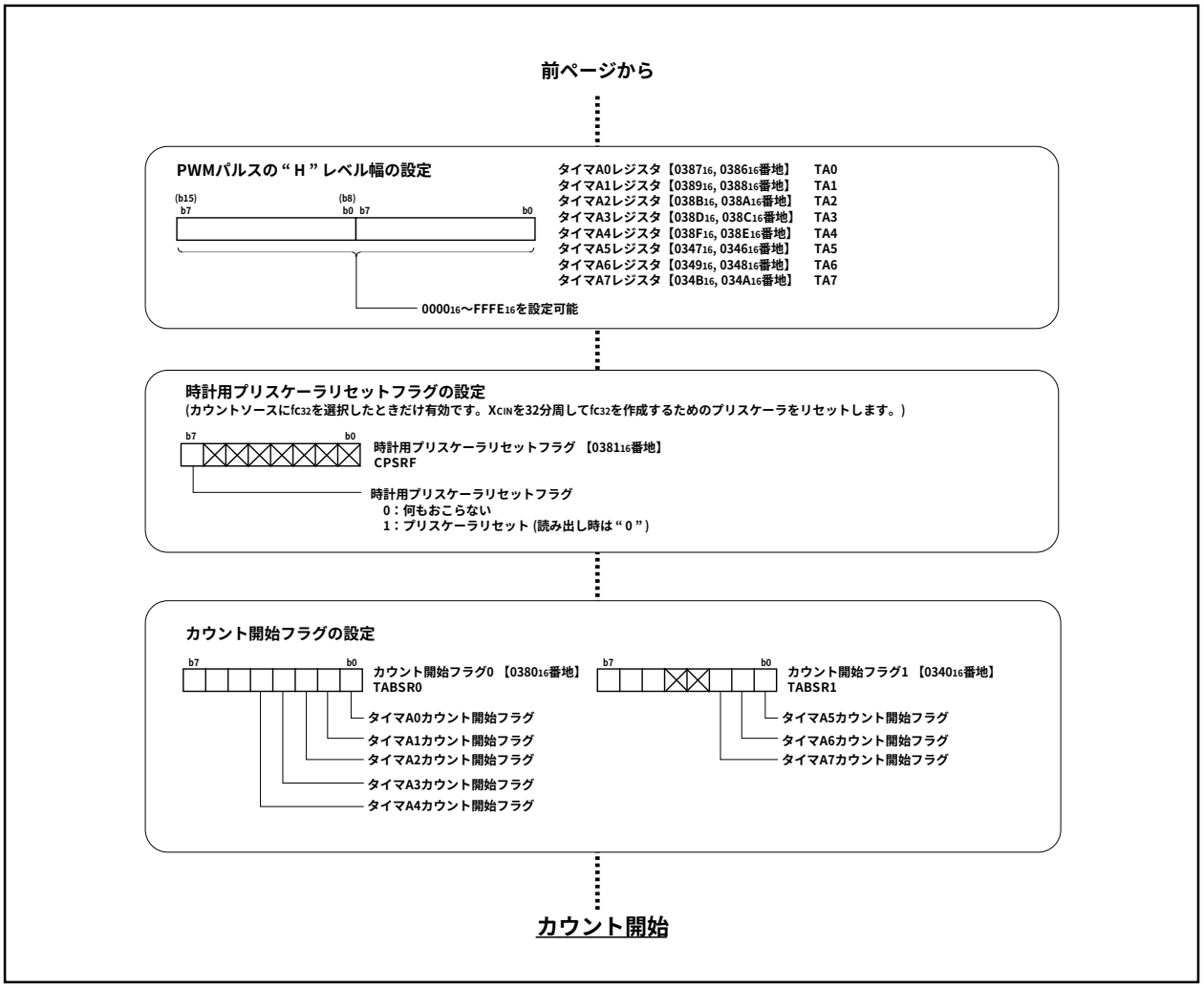


図2.2.29. パルス幅変調モード、16ビットPWMモード選択時のレジスタ設定手順(2)

2.2.12 タイマA動作 (パルス幅変調モード、8ビットPWMモード選択時)

パルス幅変調モードでは、表2.2.12に示す項目の中から機能を選択できます。ここでは、表2.2.12に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.2.30に動作タイミングを、図2.2.31、図2.2.32に設定手順を示します。

表2.2.12. 設定内容

設定項目	設定内容	
カウントソース	○	内部のカウントソース(f_1 / f_8 / f_{32} / fc_{32})
PWMモード		16ビットPWM
	○	8ビットPWM
カウント開始条件(注1)	○	外部トリガ入力(TAi_{IN}端子の入力信号の立ち下がり)
		外部トリガ入力(TAi_{IN}端子の入力信号の立ち上がり)
		タイマのオーバフロー(TBmのオーバフロー / TAjのオーバフロー / TAkのオーバフロー)

注1. i≦4のときm=2、i≧5のときm=5
j=i-1。ただし、i=0のときj=4、i=5のときj=6、i=7のときj=5。
k=i+1。ただし、i=4のときk=0、i=5のときk=7、i=7のときk=6。

動　作

(1) カウント開始フラグが“1”でTAi_{IN}端子の入力レベルが“H”から“L”になると、カウンタはカウントソースをダウンカウントします。また、TAi_{OUT}端子は“H”レベルを出力します。
(2) TAi_{OUT}端子の出力レベルは、設定した時間を経過すると“H”から“L”になります。同時に、タイマAi割り込み要求ビットが“1”になります。
(3) PWMパルスを1周期出力するごとに、リロードレジスタの内容をリロードしてカウントを続けます。
(4) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。また、TAi_{OUT}端子は“L”レベルを出力します。

補足説明

・PWMパルスの周期は$(m+1) \times (2^8-1) / fi$、“H”レベル幅は$n \times (m+1) / fi$になります。ただし、タイマAiレジスタの上位8ビットに“00_{16}”を設定した場合は、パルス幅変調器は動作せず、TAi_{OUT}端子の出力レベルは“L”のままです(fi：カウントソースの周波数f_1、f_8、f_{32}、fc_{32}　n：上位8ビット　m：下位8ビット)。
・トリガ発生後、TAi_{OUT}端子は設定したPWMパルスの“H”レベル幅と同じ幅の“L”レベルを出力し、その後、PWMパルスの出力を開始します。

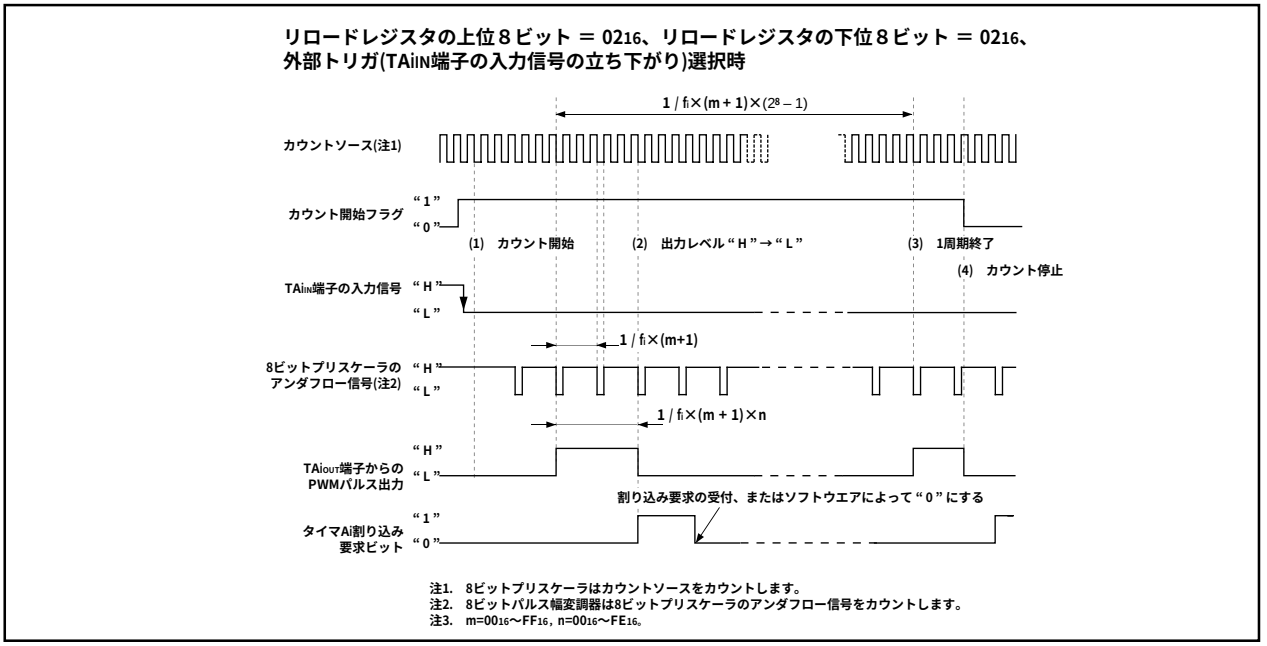


図2.2.30. パルス幅変調モード、8ビットPWMモード選択時の動作タイミング図

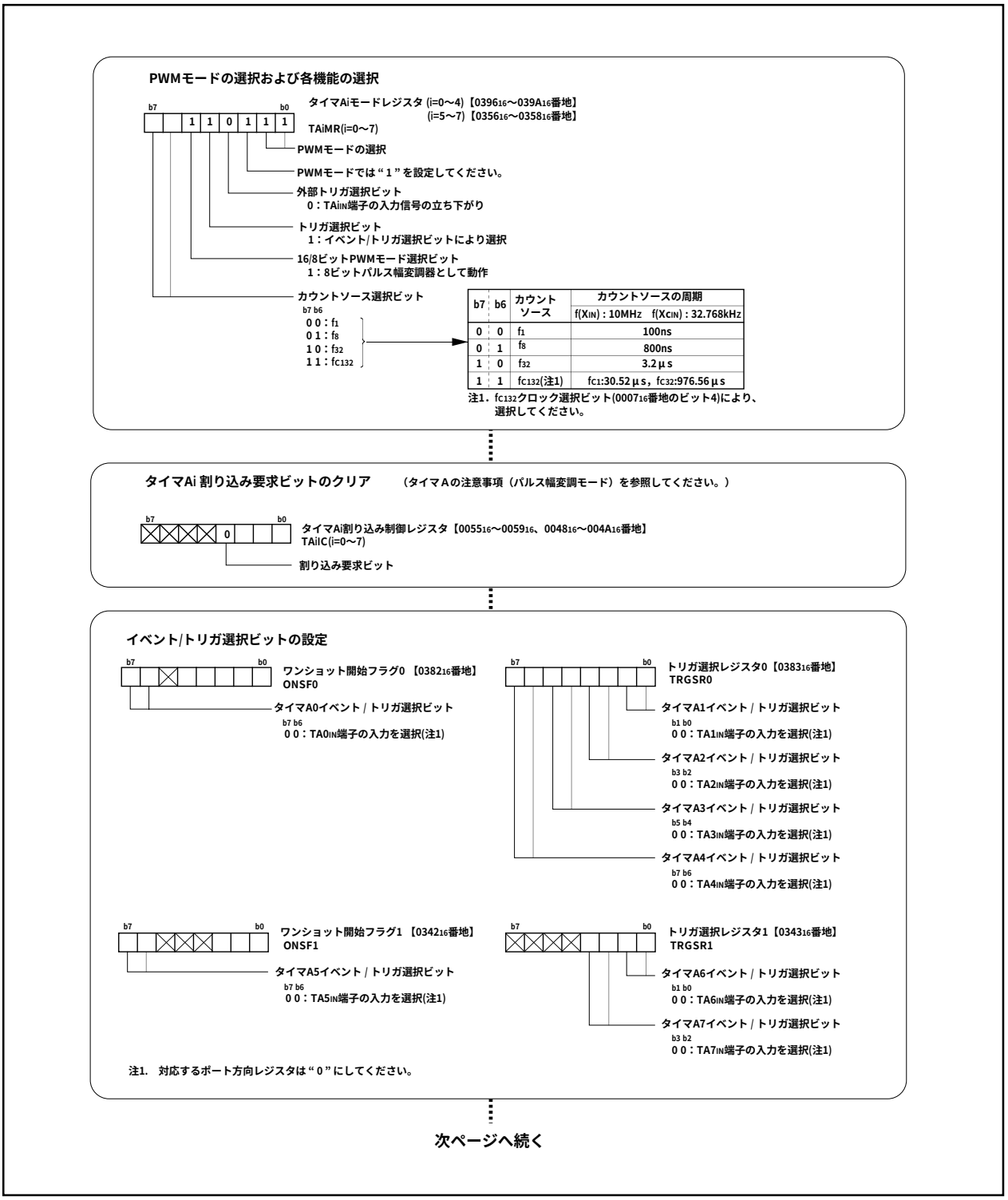


図2.2.31. パルス幅変調モード、8ビットPWMモード選択時のレジスタ設定手順(1)

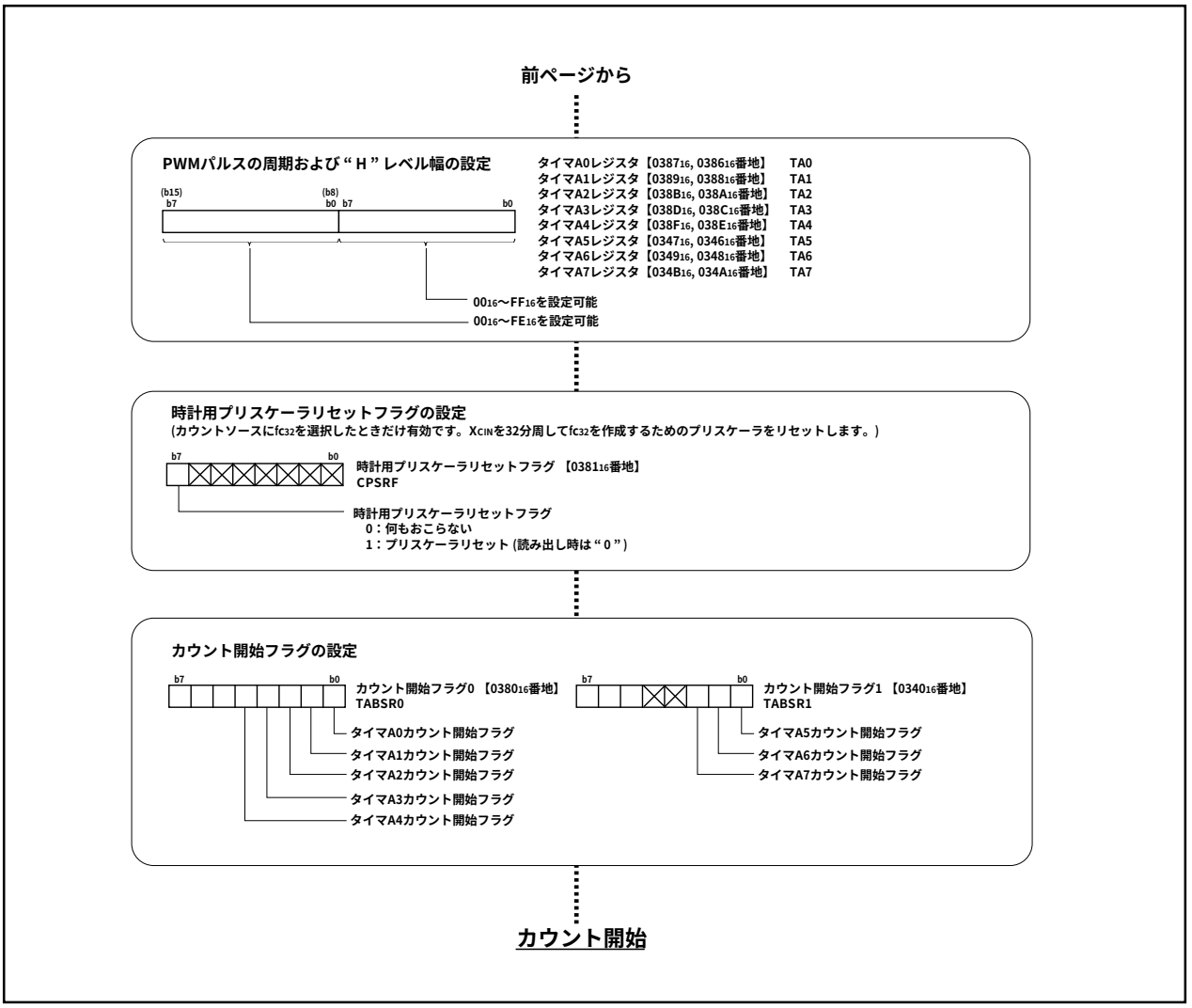


図2.2.32. パルス幅変調モード、8ビットPWMモード選択時のレジスタ設定手順(2)

2.2.13 タイマAの注意事項 (タイマモード)

内 容 (1) リセット解除後、カウント開始フラグは“0”です。タイマAiレジスタに値を設定した後、“1”にしてください。

(2) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、図2.2.33に示すリロードタイミングで読み出した場合、FFFF16が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

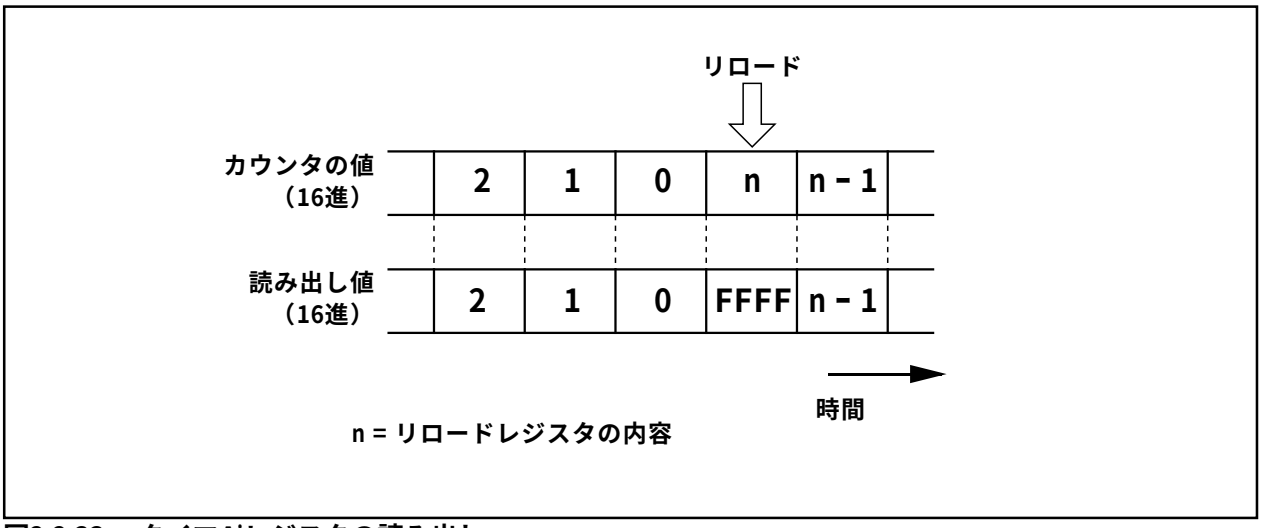


図2.2.33. タイマAiレジスタの読み出し

2.2.14 タイマAの注意事項 (イベントカウンタモード)

内 容

(1) リセット解除後、カウント開始フラグは“0”です。タイマAiレジスタに値を設定した後、“1”にしてください。

(2) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、図2.2.34に示すリロードタイミングで読み出した場合、アンダフロー時はFFFF16が、オーバフロー時は0000 16が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

(3) 二相パルス信号処理機能で使用する二相パルス(TAiIN、TAiOUT(i=2～4、7)端子への入力信号) のずれは図2.2.35に示す規格を満たしてください。

(4) フリーランタイプ選択時、カウントを停止した場合は、タイマを再設定してください。

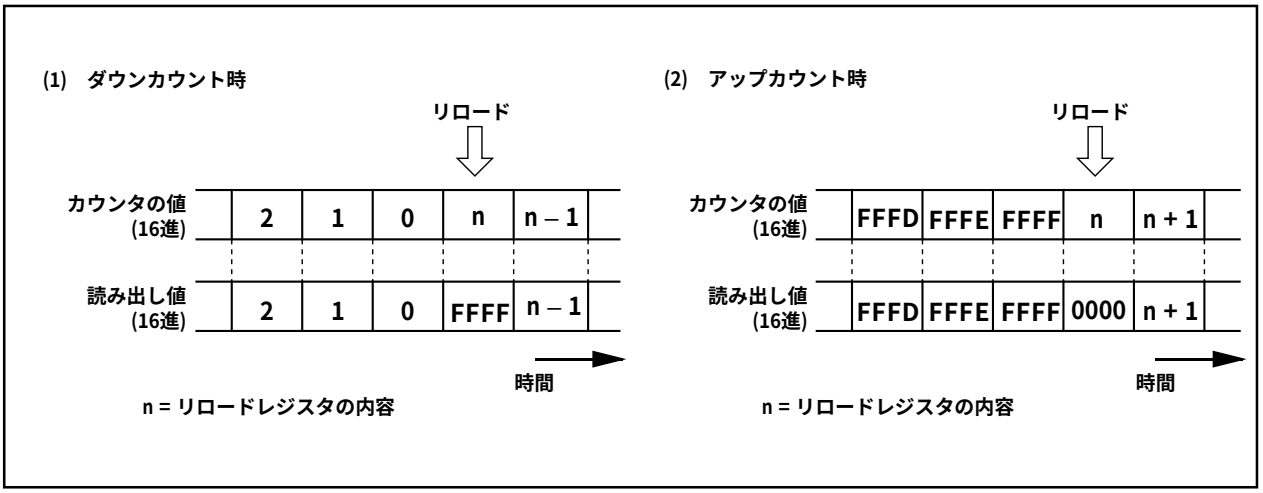


図2.2.34. タイマAiレジスタの読み出し

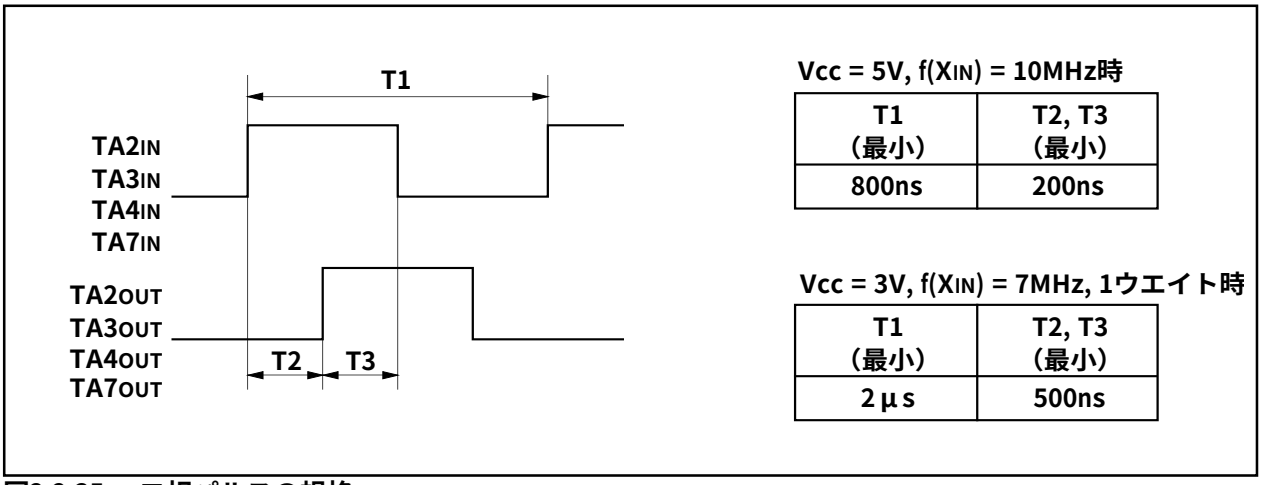


図2.2.35. 二相パルスの規格

2.2.15 タイマAの注意事項 (ワンショットタイマモード)

内 容

(1) リセット解除後、カウント開始フラグは“0”です。タイマAiレジスタに値を設定した後、“1”にしてください。

(2) カウント中にカウント開始フラグを“0”にすると次のようになります。
- ●カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
- ●TAiOUT端子の出力レベルは“L”になります。
- ●割り込み要求が発生し、タイマAi割り込み要求ビットが“1”になります。

(3) ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN端子へのトリガ入力からワンショットタイマの出力までに、最大カウントソースの1サイクル分の遅延が生じます。

(4) 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“1”になります。
- ●リセット後、ワンショットタイマモードを選択したとき
- ●動作モードをタイマモードからワンショットタイマモードに変更したとき
- ●動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき

したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“0”にしてください。

(5) カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタの内容をリロードしてカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1サイクル以上経過した後に、再トリガを発生させてください。

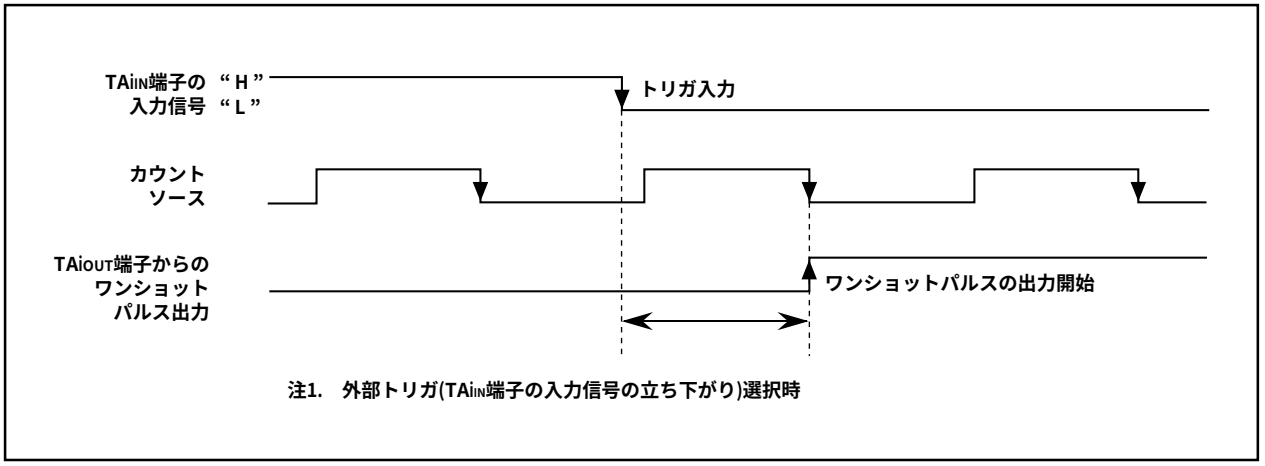


図2.2.36. ワンショットタイマの遅延

2.2.16 タイマＡの注意事項 (パルス幅変調モード)

内　容

(1) リセット解除後、カウント開始フラグは“０”です。タイマAiレジスタに値を設定した後、“１”にしてください。

(2) 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“１”になります。

●リセット後、PWMモードを選択したとき
●動作モードをタイマモードからPWMモードに変更したとき
●動作モードをイベントカウンタモードからPWMモードに変更したとき

したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“０”にしてください。

(3) PWMパルスを出力中にカウント開始フラグを“０”にすると、カウンタはカウントを停止します。このとき、TAiOUT端子が“Ｈ”レベルを出力している場合は、出力レベルは“Ｌ”になり、タイマAi割り込み要求ビットが“１”になります。“Ｌ”レベルを出力している場合は、出力レベルは変化せず、タイマAi割り込み要求も発生しません。

2.3 タイマB

2.3.1 概要

タイマBは16ビットのタイマです。タイマBの概要について説明します。

●モード

タイマBは次の3種類のモードを持ちます。

(1)タイマモード

内部のカウントソースをカウントするモードです。

■タイマモードの動作 P2-52

(2) イベントカウンタモード

外部からのパルス数およびタイマのオーバフロー回数をカウントするモードです。

■イベントカウンタモードの動作 P2-54

(3)パルス周期測定/パルス幅測定モード

外部のパルス周期または外部のパルス幅を測定するモードです。パルス周期測定モードを選択した場合、入力パルスの周期を連続して計測します。パルス幅測定モードを選択した場合、“ H ”幅、“ L ”幅を連続して測定します。

■パルス周期測定モードの動作 P2-56
■パルス幅測定モードの動作 P2-58

●カウントソース

内部のカウントソースは、f_1、f_8、f_{32}、およびfc_{132}から選択できます。f_1、f_8、f_{32}とは、それぞれCPUのメインクロックを1分周、8分周、32分周したクロックです。fc_{132}とは、CPUのサブクロックを1分周または32分周したクロックです。fc_{132}クロック選択ビット(000_{16}番地のビット4)により、選択してください。

●カウント値

タイマレジスタに設定した値 + 1がカウント値です。カウント値の数のカウントソースが入力されると、カウンタはアンダフローし、割り込み要求が発生します。

●タイマの読み込み

タイマモード、イベントカウンタモードの場合、タイマレジスタを読み出せば、そのときのカウンタ値を読み出します。読み出すときは、16ビット単位で行ってください。パルス周期測定モード/パルス幅測定モードの場合、カウント開始後、2回目の有効エッジ入力までは不定な値を、それ以降は測定結果を読み出します。

●タイマへの書き込み

カウント中に書き込みを行った場合、その値はリロードレジスタにだけ書き込まれます。カウント停止中に書き込みを行った場合、その値はリロードレジスタとカウンタの両方に書き込まれます。書き込むときは、16ビット単位で行ってください。

ただし、パルス周期測定モード/パルス幅測定モードの場合、タイマへは書き込めません。

●タイマへの入力と方向レジスタ

外部信号をタイマへ入力する場合、ポートの方向レジスタを入力に設定してください。

●タイマB関連端子

(1) TB0IN、TB1IN、TB2IN、TB3IN、TB4IN、TB5IN端子　　タイマBへの入力端子です。

●タイマB関連レジスタ

図2.3.1にタイマB関連レジスタのメモリ配置図を、図2.3.2、図2.3.3にタイマB関連レジスタの構成を示します。

図2.3.1.　タイマB関連レジスタのメモリ配置図

タイマBiモードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
TBiMR(i=0～2)	$039B_{16}$～$039D_{16}$番地	$00XX0000_2$
(i=3～5)	$035B_{16}$～$035D_{16}$番地	$00XX0000_2$

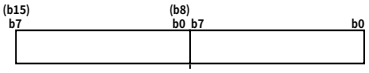
ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード 0 1 : イベントカウンタモード 1 0 : パルス周期測定／パルス幅測定モード 1 1 : 選択禁止	○	○
TMOD1			○	○
MR0	動作モードによって機能が異なる		○	○
MR1			○	○
MR2			○ (注1) × (注2)	○ ×
MR3			○	×
TCK0	カウントソース選択ビット （動作モードによって機能が異なる）		○	○
TCK1			○	○

注1.　タイマB0、タイマB3。
注2.　タイマB1、タイマB2、タイマB4、タイマB5。

図2.3.2.　タイマB関連レジスタの構成(1)

タイマBiレジスタ(注1)

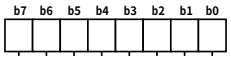
シンボル	アドレス	リセット時
TB0	0391_{16},0390_{16}番地	不定
TB1	0393_{16},0392_{16}番地	不定
TB2	0395_{16},0394_{16}番地	不定
TB3	0351_{16},0350_{16}番地	不定
TB4	0353_{16},0352_{16}番地	不定
TB5	0355_{16},0354_{16}番地	不定



機　　能	設定可能値	R	W
●タイマモード タイマの周期をカウント	0000_{16}～$FFFF_{16}$	○	○
●イベントカウンタモード 外部からの入力パルスまたはタイマのオーバフローをカウント	0000_{16}～$FFFF_{16}$	○	○
●パルス周期測定モード／パルス幅測定モード パルス周期、またはパルス幅を測定	——	○	×

注1.　読み出し、および書き込みは16ビット単位で行ってください。

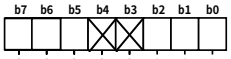
カウント開始フラグ0



シンボル	アドレス	リセット時
TABSR0	0380_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TA0S	タイマA0カウント開始フラグ	0：カウント停止 1：カウント開始	○	○
TA1S	タイマA1カウント開始フラグ		○	○
TA2S	タイマA2カウント開始フラグ		○	○
TA3S	タイマA3カウント開始フラグ		○	○
TA4S	タイマA4カウント開始フラグ		○	○
TB0S	タイマB0カウント開始フラグ		○	○
TB1S	タイマB1カウント開始フラグ		○	○
TB2S	タイマB2カウント開始フラグ		○	○

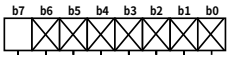
カウント開始フラグ1



シンボル	アドレス	リセット時
TABSR1	0340_{16}番地	$000XX000_2$

ビットシンボル	ビット名	機　　能	R	W
TA5S	タイマA5カウント開始フラグ	0：カウント停止 1：カウント開始	○	○
TA6S	タイマA6カウント開始フラグ		○	○
TA7S	タイマA7カウント開始フラグ		○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
TB3S	タイマB3カウント開始フラグ	0：カウント停止 1：カウント開始	○	○
TB4S	タイマB4カウント開始フラグ		○	○
TB5S	タイマB5カウンタ開始フラグ		○	○

時計用プリスケーラリセットフラグ



シンボル	アドレス	リセット時
CPSRF	0381_{16}番地	$0XXXXXXX_2$

ビットシンボル	ビット名	機　　能	R	W
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
CPSR	時計用プリスケーラ リセットフラグ	0：何もおこらない 1：プリスケーラリセット (読み出し時は“0”)	○	○

図2.3.3.　タイマB関連レジスタの構成(2)

2.3.2 タイマB動作 (タイマモード)

タイマモードでは、表2.3.1に示す項目の中から機能を選択できます。ここでは、表2.3.1に示す項目の中で“○”印の内容を選択した場合の動作について説明します。また、図2.3.4に動作タイミング図を、図2.3.5に設定手順を示します。

表2.3.1. 設定内容

設定項目	設定内容	
カウントソース	○	内部のカウントソース(f_1 / f_8 / f_{32} / fc_{32})

動 作

(1) カウント開始フラグを“1”にすると、カウンタはカウントソースをダウンカウントします。
(2) アンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。
同時に、タイマBi割り込み要求ビットが“1”になります。
(3) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。

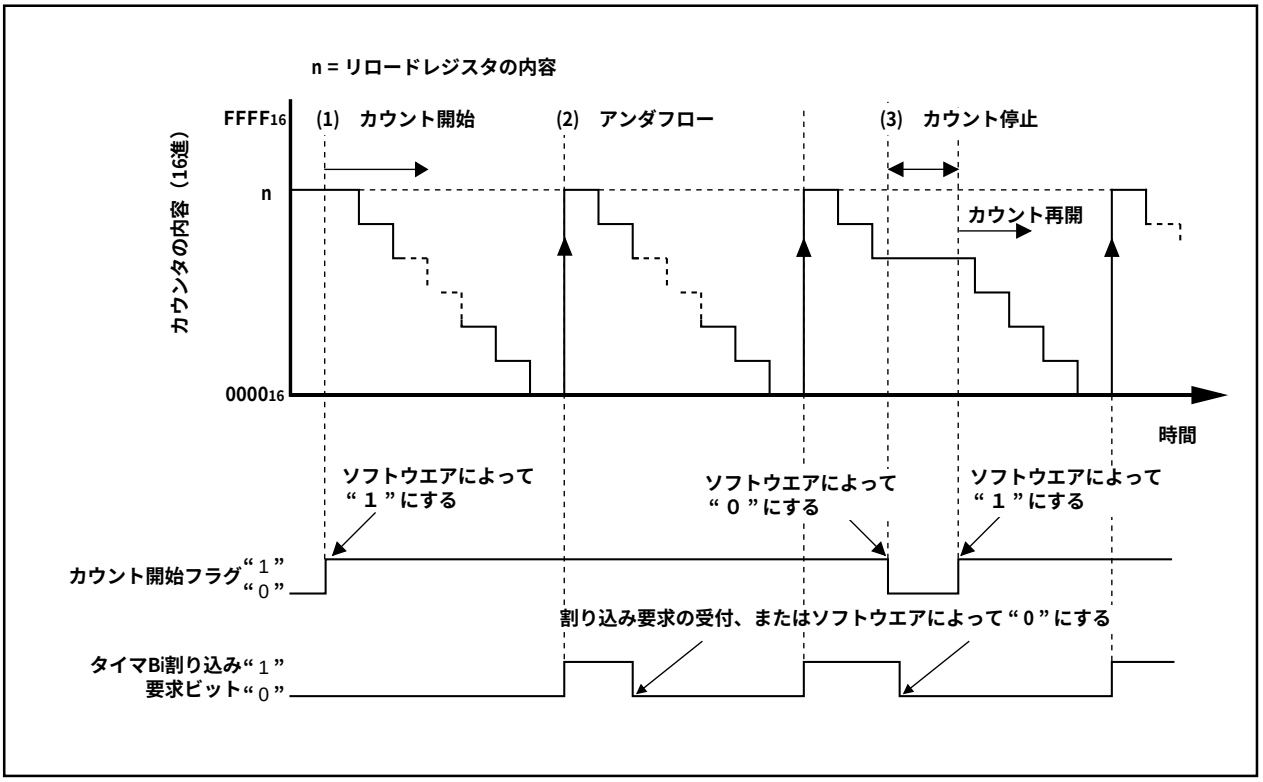


図2.3.4. タイマモード動作タイミング図

タイマモードの選択および各機能の選択

b7 b0

						0	0

タイマBiモードレジスタ (i=0～5)【039B16～039D16, 035B16～035D16番地】
TBiMR(i=0～5)

- タイマモードの選択
- タイマモードでは無効
  “ 0 ” または “ 1 ” いずれでも可
- タイマモードでは “ 0 ” を設定してください(i = 0, 3)。
  書き込む場合、“ 0 ” を書き込んでください(i = 1, 2, 4, 5)。
- タイマモードでは無効
- カウントソース選択ビット

b7 b6
0 0：f_1
0 1：f_8
1 0：f_{32}
1 1：fc_{132}

b7	b6	カウントソース	カウントソースの周期 f(XIN) : 10MHz f(XCIN) : 32.768kHz
0	0	f_1	100ns
0	1	f_8	800ns
1	0	f_{32}	3.2μs
1	1	fc_{132}(注1)	fc_1:30.52μs，fc_{32}:976.56μs

注1．fc_{132}クロック選択ビット(0007_{16}番地のビット4)により、選択してください。

カウンタ値の設定

(b15) b7 (b8) b0 b7 b0

0000_{16}～$FFFF_{16}$を設定可能

タイマB0レジスタ【0391_{16}, 0390_{16}番地】 TB0
タイマB1レジスタ【0393_{16}, 0392_{16}番地】 TB1
タイマB2レジスタ【0395_{16}, 0394_{16}番地】 TB2
タイマB3レジスタ【0351_{16}, 0350_{16}番地】 TB3
タイマB4レジスタ【0353_{16}, 0352_{16}番地】 TB4
タイマB5レジスタ【0355_{16}, 0354_{16}番地】 TB5

時計用プリスケーラリセットフラグの設定

(カウントソースにfc_{32}を選択したときだけ有効です。X_{CIN}を32分周してfc_{32}を作成するためのプリスケーラをリセットします。)

b7 b0

時計用プリスケーラリセットフラグ 【0381_{16}番地】
CPSRF

時計用プリスケーラリセットフラグ
0：何もおこらない
1：プリスケーラリセット (読み出し時は “ 0 ”)

カウント開始フラグの設定

b7 b0

カウント開始フラグ0
【0380_{16}番地】
TABSR0

- タイマB0カウント開始フラグ
- タイマB1カウント開始フラグ
- タイマB2カウント開始フラグ

b7 b0

カウント開始フラグ1
【0340_{16}番地】
TABSR1

- タイマB3カウント開始フラグ
- タイマB4カウント開始フラグ
- タイマB5カウント開始フラグ

カウント開始

図2.3.5. タイマモード時のレジスタ設定手順

2.3.3 タイマB動作 (イベントカウンタモード)

イベントカウンタモードでは、表2.3.2に示す項目の中から機能を選択できます。ここでは、表2.3.2に示す項目の中で“○”印の内容を選択した場合の動作について説明します。また、図2.3.6に動作タイミング図を、図2.3.7に設定手順を示します。

表2.3.2. 設定内容

設定項目	設定内容	
カウントソース(注1)	○	TBiIN端子の入力信号(立ち下がりをカウント)
		TBiIN端子の入力信号(立ち上がりをカウント)
		TBiIN端子の入力信号(立ち下がりおよび立ち上がりをカウント)
		タイマのオーバフロー(TBjのオーバフロー)

注1. j = i − 1。ただし、i = 0のときj = 2。i =3のときj =5。

動 作

(1) カウント開始フラグを“1”にすると、カウンタはカウントソースの立ち下がりをダウンカウントします。

(2) アンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。
同時に、タイマBi割り込み要求ビットが“1”になります。

(3) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。

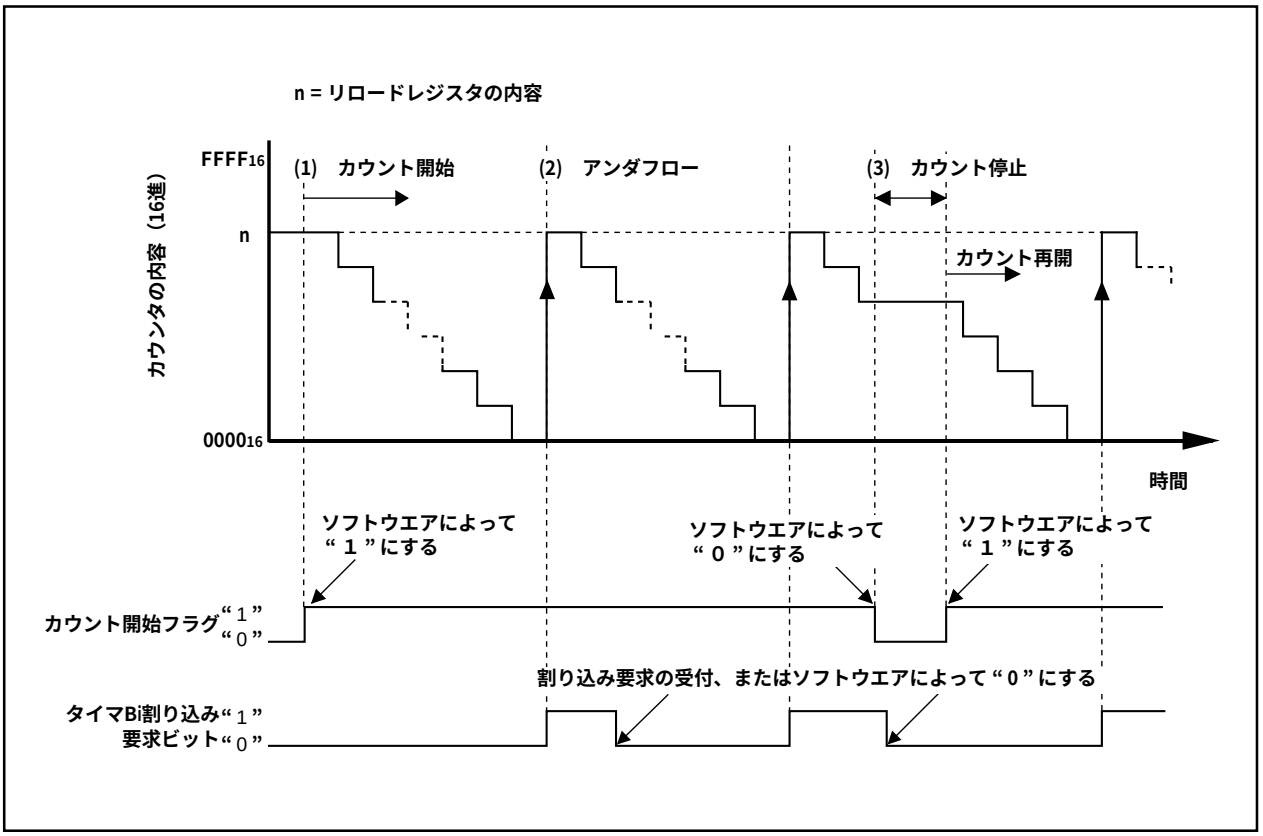


図2.3.6. イベントカウンタモード動作タイミング図

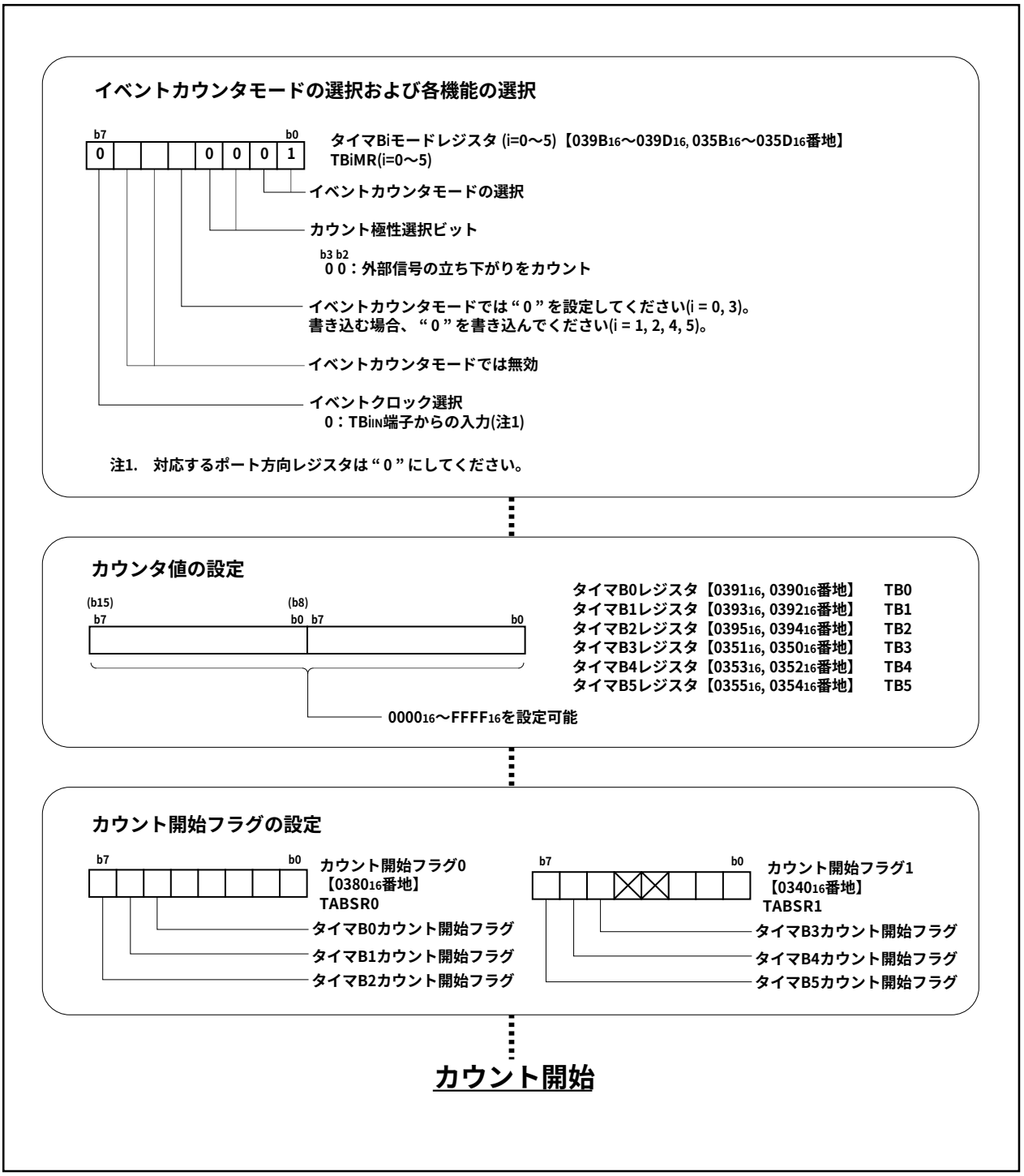


図2.3.7. イベントカウンタモード時のレジスタ設定手順

2.3.4 タイマB動作 (パルス周期測定モード)

パルス周期測定モード/パルス幅測定モードでは、表2.3.3に示す項目の中から機能を選択できます。ここでは、表2.3.3に示す項目の中で“○”印の内容を選択した場合の動作について説明します。また、図2.3.8に動作タイミング図を、図2.3.9に設定手順を示します。

表2.3.3. 設定内容

設定項目	設定内容	
カウントソース	○	内部のカウントソース(f_1 / f_8 / f_{32} / fc_{32})
測定モード	○	パルス周期測定(測定パルスの立ち下がり - 立ち下がり間)
		パルス周期測定(測定パルスの立ち上がり - 立ち上がり間)
		パルス幅測定(測定パルスの立ち下がり - 立ち上がり間、および測定パルスの立ち上がり - 立ち下がり間)

動　作

(1) カウント開始フラグを“1”にすると、カウンタはカウントソースのカウントを開始します。

(2) 測定パルスが“H”から“L”になると、カウンタの値が“0000_{16}”になり、測定を開始します。このとき、リロードレジスタには不定値が転送されます。タイマBi割り込み要求は発生しません。

(3) 再度、測定パルスが“H”から“L”になると、カウンタの値をリロードレジスタに転送し、タイマBi割り込み要求ビットが“1”になります。その後、カウンタは“0000_{16}”になり、再び測定を開始します。

補足説明

・タイマBi割り込み要求ビットは、測定パルスの有効エッジが入力されたとき、およびタイマBiがオーバフローしたとき“1”になります。割り込み要求要因は、割り込みルーチン内でタイマBiオーバフローフラグで判断することができます。

・カウント開始時のカウンタの値は不定です。したがって、カウント直後にタイマBiオーバフローフラグが“1”になる可能性があります。

・タイマBiオーバフローフラグは、カウント開始フラグが“1”の状態で、タイマBiモードレジスタに書き込みを行うと“0”になります。このフラグをソフトウエアで“1”にすることはできません。

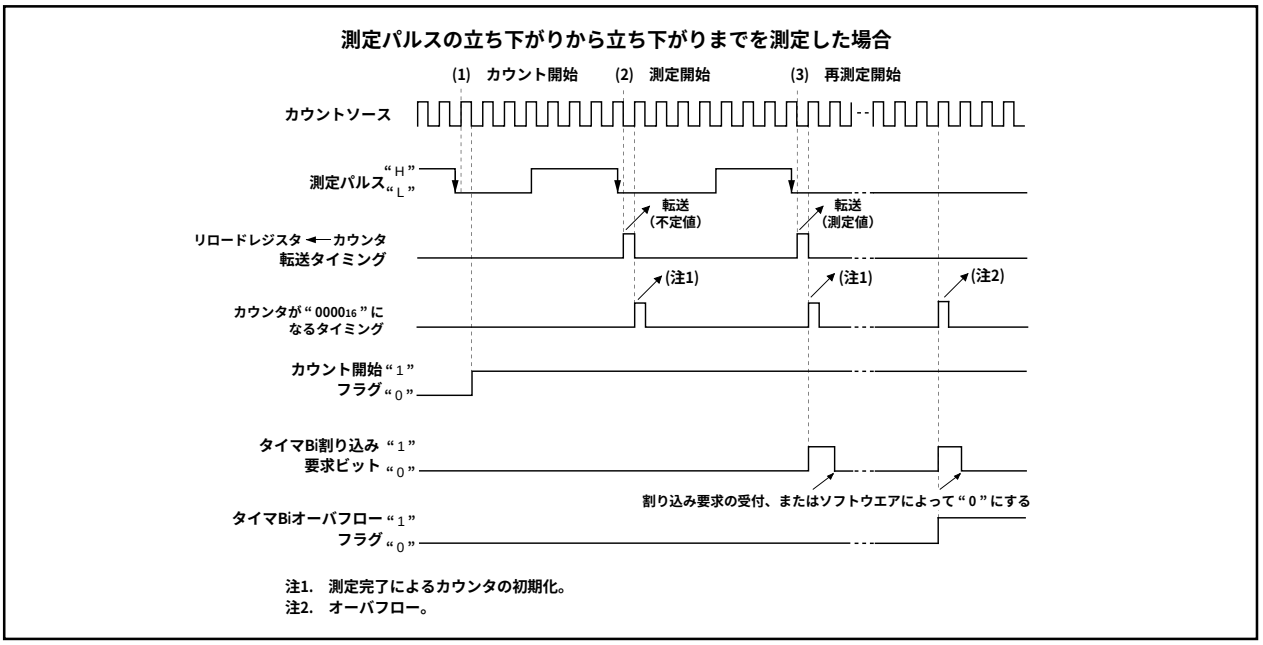


図2.3.8. パルス周期測定モード動作タイミング図

パルス周期測定 / パルス幅測定モードの選択および各機能の選択

b7 b0 | | | | 0 | 0 | 1 | 0

タイマBiモードレジスタ (i=0～5)【039B16～039D16, 035B16～035D16番地】
TBiMR(i=0～5)

パルス周期測定 / パルス幅測定モードの選択

測定モード選択ビット
b3 b2
0 0：パルス周期測定
(測定パルスの立ち下がり - 立ち下がり間)

パルス周期測定 / パルス幅測定モードでは“0”を設定してください(i = 0, 3)。
書き込む場合、“0”を書き込んでください(i = 1, 2, 4, 5)。

タイマBiオーバフローフラグ
0：オーバフローなし
1：オーバフローあり

カウントソース選択ビット
b7 b6
0 0：f_1
0 1：f_8
1 0：f_{32}
1 1：f_{C132}

b7	b6	カウントソース	カウントソースの周期 f(XIN) : 10MHz	f(XCIN) : 32.768kHz
0	0	f_1	100ns	
0	1	f_8	800ns	
1	0	f_{32}	3.2μs	
1	1	f_{C132}(注1)	f_{C1}:30.52μs，f_{C32}:976.56μs	

注1．f_{C132}クロック選択ビット(0007$_{16}$番地のビット4)により、選択してください。

時計用プリスケーラリセットフラグの設定
(カウントソースにf_{C32}を選択したときだけ有効です。X_{CIN}を32分周してf_{C32}を作成するためのプリスケーラをリセットします。)

b7 b0

時計用プリスケーラリセットフラグ 【0381$_{16}$番地】
CPSRF

時計用プリスケーラリセットフラグ
0：何もおこらない
1：プリスケーラリセット (読み出し時は“0”)

カウント開始フラグの設定

b7 b0

カウント開始フラグ0
【0380$_{16}$番地】
TABSR0

タイマB0カウント開始フラグ
タイマB1カウント開始フラグ
タイマB2カウント開始フラグ

b7 b0

カウント開始フラグ1
【0340$_{16}$番地】
TABSR1

タイマB3カウント開始フラグ
タイマB4カウント開始フラグ
タイマB5カウント開始フラグ

カウント開始

オーバフローフラグクリア

b7 b0 | | | 0 | | | | | |

タイマBiモードレジスタ (i=0～5)【039B16～039D16, 035B16～035D16番地】
TBiMR(i=0～5)

タイマBiオーバフローフラグ
0：オーバフローなし

図2.3.9.　パルス周期測定モード時のレジスタ設定手順

2.3.5 タイマB動作 (パルス幅測定モード)

パルス周期測定モード/パルス幅測定モードでは、表2.3.4に示す項目の中から機能を選択できます。ここでは、表2.3.4に示す項目の中で“○”印の内容を選択した場合の動作について説明します。また、図2.3.10に動作タイミング図を、図2.3.11に設定手順を示します。

表2.3.4. 設定内容

設定項目	設定内容	
カウントソース	○	内部のカウントソース(f_1 / f_8 / f_{32} / fc_{32})
測定モード		パルス周期測定(測定パルスの立ち下がり - 立ち下がり間)
		パルス周期測定(測定パルスの立ち上がり - 立ち上がり間)
	○	パルス幅測定(測定パルスの立ち下がり - 立ち上がり間、および測定パルスの立ち上がり - 立ち下がり間)

動　作

(1) カウント開始フラグを“1”にすると、カウンタはカウントソースのカウントを開始します。

(2) 測定パルスの有効エッジが入力されると、カウンタの値が“0000_{16}”になり、測定を開始します。このとき、リロードレジスタには不定値が転送されます。タイマBi割り込み要求は発生しません。

(3) 再度、測定パルスの有効エッジが入力されると、カウンタの値をリロードレジスタに転送し、タイマBi割り込み要求ビットが“1”になります。その後、カウンタは“0000_{16}”になり、再び測定を開始します。

補足説明

・タイマBi割り込み要求ビットは、測定パルスの有効エッジが入力されたとき、およびタイマBiがオーバフローしたとき“1”になります。割り込み要求要因は、割り込みルーチン内でタイマBiオーバフローフラグで判断することができます。

・カウント開始時のカウンタの値は不定です。したがって、カウント直後にタイマBiオーバフローフラグが“1”になる可能性があります。

・タイマBiオーバフローフラグは、カウント開始フラグが“1”の状態で、タイマBiモードレジスタに書き込みを行うと“0”になります。このフラグをソフトウエアで“1”にすることはできません。

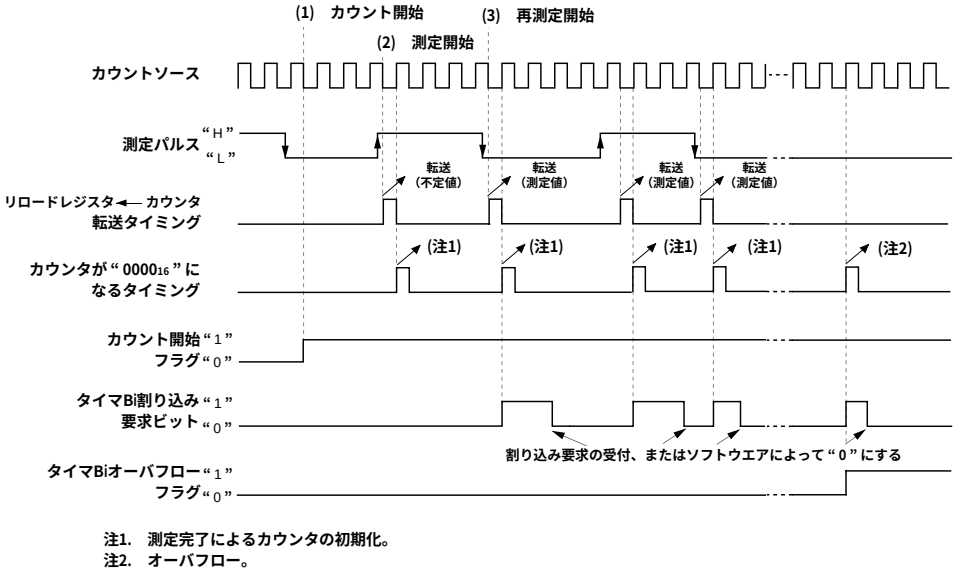


図2.3.10. パルス幅測定モード動作タイミング図

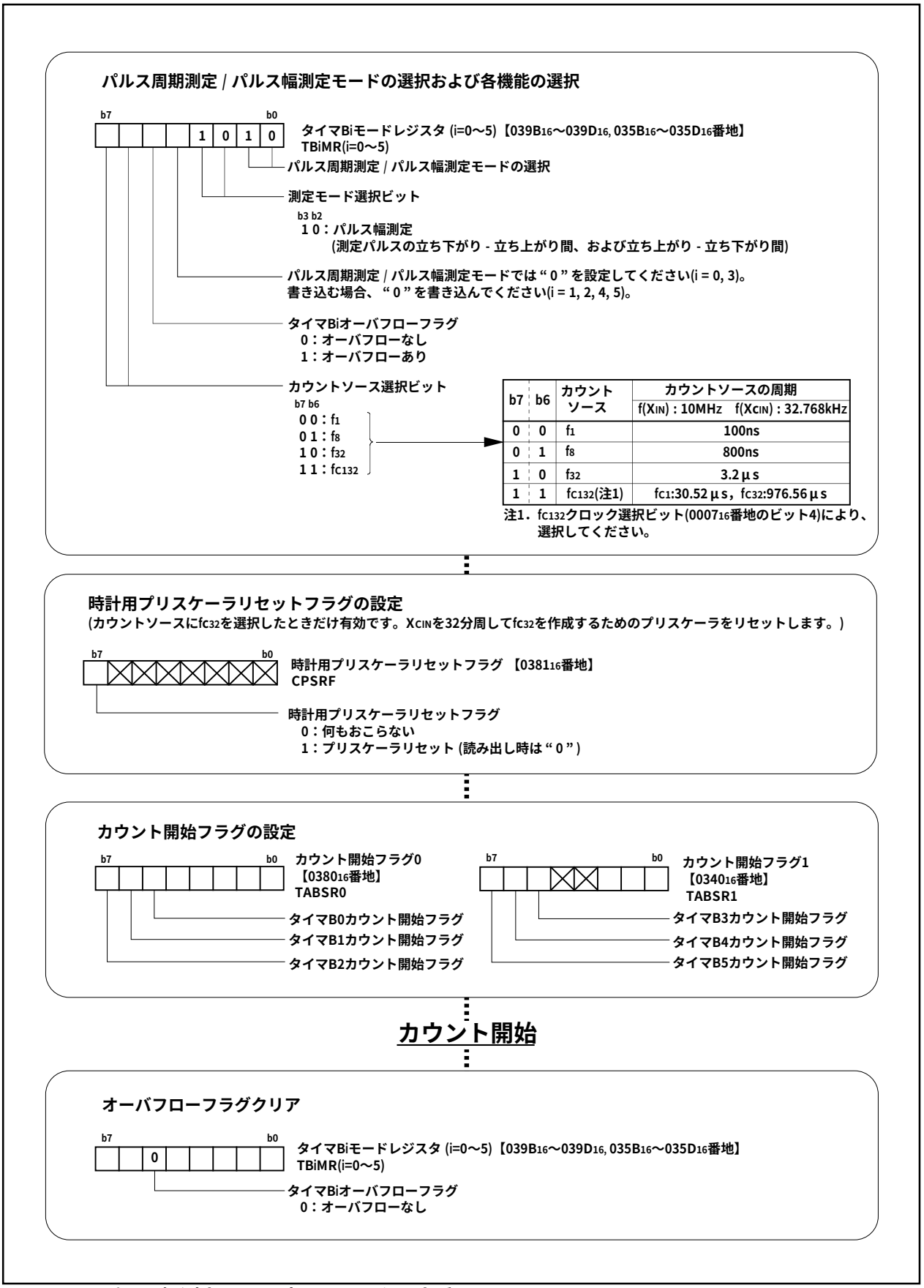


図2.3.11.　パルス幅測定モード時のレジスタ設定手順

2.3.6 タイマBの注意事項 (タイマモード、イベントカウンタモード)

内 容 (1) リセット解除後、カウント開始フラグは“0”です。タイマBiレジスタに値を設定した後、“1”にしてください。

(2) カウント中のカウンタの値は、タイマBiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、図2.3.12に示すリロードタイミングで読み出した場合、FFFF16が読み出されます。カウント停止中にタイマBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

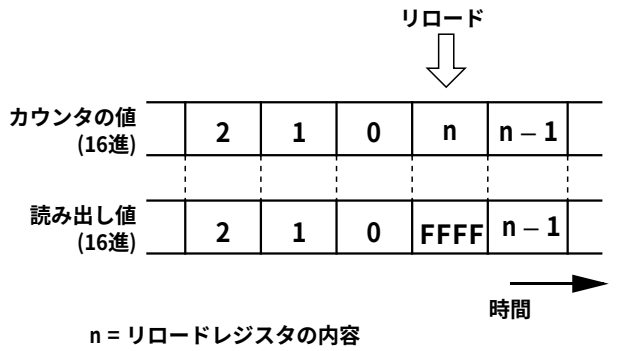


図2.3.12. タイマBiレジスタの読み出し

2.3.7 タイマBの注意事項 (パルス周期測定 / パルス幅測定モード)

内 容

(1) タイマBi割り込み要求ビットは、測定パルスの有効エッジが入力されたとき、およびタイマBiがオーバフローしたとき“1”になります。割り込み要求要因は、割り込みルーチン内でタイマBiオーバフローフラグで判断することができます。

(2) 測定パルス入力がタイマのオーバフローのタイミングに重なる場合、および割り込み要因をタイマBiオーバフローフラグで認識できない場合は、タイマを連結してオーバフローフラグの回数をカウントしてください。

(3) リセット時、タイマBiオーバフローフラグは“1”になります。このフラグは、カウント開始フラグが“1”のときに、タイマBiモードレジスタに書き込みを行うことによって“0”にすることができます。

(4) オーバフローだけの検出にはタイマBi割り込み要求ビットを使用してください。タイマBiオーバフローフラグは、割り込みルーチン内で割り込み要因を判断するときだけ使用してください。

(5) カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。

(6) カウント開始時のカウンタの値は不定です。したがって、カウント開始直後にタイマBiオーバフローフラグが“1”になる可能性があります。

(7) カウント開始後に測定モード選択ビットの変更を行うと、タイマBi割り込み要求ビットが“1”になります。

(8) TBiIN端子の入力信号がノイズなどの影響を受けると、正確な測定の行えない場合があります。測定値が一定の範囲内にあることを、ソフトウエアで確認することを推奨します。

(9) パルス幅測定は、連続してパルス幅を測定します。測定結果が“H”レベル幅であるか“L”レベル幅であるかソフトウエアで判断してください。

2.4 クロック同期形シリアルI/O

2.4.1 概要

クロック同期形シリアルI/Oは、クロックに同期して8ビットのデータ通信を行います。クロック同期形シリアルI/Oの概要について説明します。

●送受信フォーマット

8ビットデータです。

●転送速度

転送クロックに内部クロックを選択した場合、転送速度レジスタで分周した周波数の2分周が転送速度となります。転送速度レジスタのカウントソースは、f_1、f_8、およびf_{32}から選択できます。f_1、f_8、f_{32}とは、それぞれCPUのメインクロックを1分周、8分周、32分周したクロックです。

転送クロックに外部クロックを選択した場合、CLK端子に入力されたクロックの周波数が転送速度となります。

●エラー検知

オーバランエラーだけを検知できます。オーバランエラーとは、受信バッファレジスタを読み込む前に次のデータが揃ったときに発生するエラーです。

●エラー発生時の対処方法

受信時、エラーフラグと受信データを同時に読み出し、エラーの判断を行ってください。読み出したデータがエラーの場合は、エラーフラグ、およびUARTi受信バッファレジスタを初期化した後、再度受信を行ってください。UARTi受信バッファレジスタを初期化する手順を以下に示します。

(1)受信許可ビットを“0”(受信禁止)にする
(2)シリアルI/Oモード選択ビットを“000_2”(シリアルI/Oは無効)にする
(3)シリアルI/Oモード選択ビットを再設定する
(4)受信許可ビットを再度“1”(受信許可)にする

シリアルのクロックがノイズでずれる等のエラーが発生して再送信を行う必要がある場合は、UARTi送信バッファレジスタを再設定した後に、再送信してください。UARTi送信バッファレジスタを再設定する手順を以下に示します。

(1)シリアルI/Oモード選択ビットを“000_2”(シリアルI/Oは無効)にする
(2)シリアルI/Oモード選択ビットを再設定する
(3)送信許可ビットを“1”(送信許可)にし、UARTi送信バッファレジスタに送信データを設定する

●選択機能

クロック同期形シリアルI/Oでは、次の機能を選択することができます。

(1) $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$機能

$\overline{\text{CTS}}$機能とは、外部のICが、$\overline{\text{CTS}}$端子に“L”レベルを入力することによって送受信を開始させる機能です。送受信の開始時に$\overline{\text{CTS}}$端子入力レベルを検知しますので、送受信の最中に“H”にした場合は、次のデータから停止します。

$\overline{\text{RTS}}$機能とは、受信準備が整ったとき、$\overline{\text{RTS}}$端子の出力レベルが“L”になり、外部のICに知らせる機能です。転送クロックの最初の立ち下がりで“H”に戻ります。

クロック同期形シリアルI/Oでは、$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$機能として次の3種類から選択できます。

■$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$機能無効　$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$端子はプログラマブル入出力ポートとして使用できます。
■$\overline{\text{CTS}}$機能だけ有効　$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$端子は$\overline{\text{CTS}}$機能として動作します。
■$\overline{\text{RTS}}$機能だけ有効　$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$端子は$\overline{\text{RTS}}$機能として動作します。

(2)　CLK極性選択機能

CLK極性選択機能とは、転送クロックの極性を切り替える機能です。次の2種類から選択できます。

■　転送クロックの立ち下がりでデータ入力、立ち上がりでデータ出力します。
■　転送クロックの立ち上がりでデータ入力、立ち下がりでデータ出力します。

(3)　LSB / MSBファースト選択機能

LSB / MSBファースト選択機能とは、データのビット0から送受信するか、ビット7から送受信するかを切り替える機能です。次の2種類から選択できます。

■　LSBファースト　　ビット0から送受信を行います。
■　MSBファースト　　ビット7から送受信を行います。

(4)　連続受信モード選択機能

連続受信モードとは、受信バッファレジスタを読み出すことで受信許可状態になるモードです。このモードを選択すれば、受信許可状態にするために、送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

■　通常モード　　送信バッファレジスタにダミーデータを書き込むことで受信許可状態になります。
■　連続受信モード　　受信バッファレジスタを読み込むことで受信許可状態になります。

(5)　転送クロック複数端子出力機能

転送クロック複数端子出力機能とは、転送クロックを出力する端子を切り替える機能です。この機能は、内部クロック選択時だけ有効です。転送クロックを出力する端子を切り替えることで、2つの外部ICに対して時分割でデータの送信を行うことができます。

(6)　シリアルデータ論理切り替え機能

シリアルデータ論理切り替え機能とは、送信バッファレジスタへの書き込み、および受信バッファからの読み出しの際、データを反転させる機能です。

(7)　送信割り込み要因選択機能

送信割り込みの発生タイミングを送信バッファが空になったときか、送信レジスタが空になったときかを選択できます。送信バッファが空になったときを選択すると、送信データが送信バッファから送信レジスタに移動したときに割り込みが発生し、連続で送信することができます。また、送信レジスタが空になったときを選択すると、送信データがすべて送り終わったときに割り込みが発生します。

(8)　TxD, RxD入出力極性切り替え機能

TxD, RxD入出力極性切り替え機能とは、TxD端子出力極性およびRxD端子入力極性を反転する機能です。

(1)～(8)の機能を次のとおり選択した動作例を示します。

■$\overline{\text{CTS}}$機能、クロックの立ち下がりで送信、LSBファースト、送信バッファ空で割り込み発生、クロックの複数端子出力機能なしのときの送信動作 P2-70
■$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$機能無効、クロックの立ち下がりで送信、LSBファースト、送信完了で割り込み発生、クロックの複数端子出力機能ありのときの送信動作 P2-74

■$\overline{\text{RTS}}$機能、クロックの立ち下がりで受信、LSBファースト、連続受信モード禁止、クロックの複数端子出力機能なしのときの受信動作 P2-78

●シリアルI/Oへの入力と方向レジスタ

シリアルI/Oへ外部信号を入力する場合、ポートの方向レジスタは入力に設定してください。

●シリアルI/O関連端子

(1) $\overline{\text{CTS}}_0$、$\overline{\text{CTS}}_1$、$\overline{\text{CTS}}_2$端子　$\overline{\text{CTS}}$機能の入力端子です。
(2) $\overline{\text{RTS}}_0$、$\overline{\text{RTS}}_1$、$\overline{\text{RTS}}_2$端子　$\overline{\text{RTS}}$機能の出力端子です。
(3) CLK_0、CLK_1、CLK_2端子　転送クロックの入出力端子です。
(4) RxD_0、RxD_1、RxD_2端子　データの入力端子です。
(5) TxD_0、TxD_1、TxD_2端子　データの出力端子です。TxD2端子はNチャネルオープンドレイン出力のため、プルアップ抵抗が必要です。
(6) CLKS_1端子　転送クロックの出力端子です。転送クロック複数端子出力機能ありにしたとき、転送クロックの出力端子として使用できます。

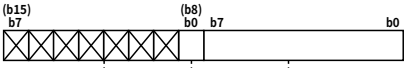
●シリアルI/O関連レジスタ

図2.4.1にシリアルI/O関連レジスタのメモリ配置図を、図2.4.2～2.4.6にシリアルI/O関連レジスタの構成を示します。

$004F_{16}$	UART2送信割り込み制御レジスタ(S2TIC)
0050_{16}	UART2受信割り込み制御レジスタ(S2RIC)
0051_{16}	UART0送信割り込み制御レジスタ(S0TIC)
0052_{16}	UART0受信割り込み制御レジスタ(S0RIC)
0053_{16}	UART1送信割り込み制御レジスタ(S1TIC)
0054_{16}	UART1受信割り込み制御レジスタ(S1RIC)
≈	≈
0378_{16}	UART2送受信モードレジスタ(U2MR)
0379_{16}	UART2転送速度レジスタ(U2BRG)
$037A_{16}$ $037B_{16}$	UART2送信バッファレジスタ(U2TB)
$037C_{16}$	UART2送受信制御レジスタ０(U2C0)
$037D_{16}$	UART2送受信制御レジスタ１(U2C1)
$037E_{16}$ $037F_{16}$	UART2受信バッファレジスタ(U2RB)
≈	≈
$03A0_{16}$	UART0送受信モードレジスタ(U0MR)
$03A1_{16}$	UART0転送速度レジスタ(U0BRG)
$03A2_{16}$ $03A3_{16}$	UART0送信バッファレジスタ(U0TB)
$03A4_{16}$	UART0送受信制御レジスタ０(U0C0)
$03A5_{16}$	UART0送受信制御レジスタ１(U0C1)
$03A6_{16}$ $03A7_{16}$	UART0受信バッファレジスタ(U0RB)
$03A8_{16}$	UART1送受信モードレジスタ(U1MR)
$03A9_{16}$	UART1転送速度レジスタ(U1BRG)
$03AA_{16}$ $03AB_{16}$	UART1送信バッファレジスタ(U1TB)
$03AC_{16}$	UART1送受信制御レジスタ０(U1C0)
$03AD_{16}$	UART1送受信制御レジスタ１(U1C1)
$03AE_{16}$ $03AF_{16}$	UART1受信バッファレジスタ(U1RB)
$03B0_{16}$	UART送受信制御レジスタ２(UCON)

図2.4.1.　シリアルI/O関連レジスタのメモリ配置図

UARTi送信バッファレジスタ(注1)

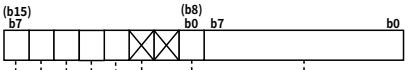


シンボル	アドレス	リセット時
U0TB	$03A3_{16}$、$03A2_{16}$番地	不定
U1TB	$03AB_{16}$、$03AA_{16}$番地	不定
U2TB	$037B_{16}$、$037A_{16}$番地	不定

機　　能	R	W
送信データ	×	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。	—	—

注1.　このレジスタへの書き込みにはMOV命令を使用してください。

UARTi受信バッファレジスタ



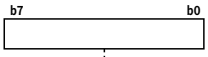
シンボル	アドレス	リセット時
U0RB	$03A7_{16}$、$03A6_{16}$番地	不定
U1RB	$03AF_{16}$、$03AE_{16}$番地	不定
U2RB	$037F_{16}$、$037E_{16}$番地	不定

ビットシンボル	ビット名	機能(クロック同期形シリアルI/Oモード時)	機能(クロック非同期形シリアルI/Oモード時)	R	W
—	———	受信データ	受信データ	○	×
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				—	—
ABT	アービトレーション ロスト検出フラグ(注2)	0：未検出（勝） 1：検出（負）	無効	○	○
OER	オーバランエラーフラグ(注1)	0：オーバランエラーなし 1：オーバランエラー発生	0：オーバランエラーなし 1：オーバランエラー発生	○	×
FER	フレーミングエラー フラグ(注1)	無効	0：フレーミングエラーなし 1：フレーミングエラー発生	○	×
PER	パリティエラーフラグ (注1)	無効	0：パリティエラーなし 1：パリティエラー発生	○	×
SUM	エラーサムフラグ (注1)	無効	0：エラーなし 1：エラー発生	○	×

注1.　ビット15～ビット12は、シリアルI/Oモード選択ビット($03A0_{16}$、$03A8_{16}$、0378_{16}番地のビット2～ビット0)を“000_2”にしたとき、または受信許可ビットを“0”にしたとき、“0”になります(ビット15は、ビット14～ビット12がすべて“0”になると、“0”になります)。また、ビット14、ビット13は、UARTi受信バッファレジスタの下位バイト($03A6_{16}$、$03AE_{16}$、$037E_{16}$番地)を読み出したときも、“0”になります。

注2.　アービトレーションロスト検出フラグはU2RBに配置されており、“0”のみ書き込みできます。U0RB、U1RBではビット11は何も配置されていませんが、書き込む場合、“0”を書き込んでください。また、読み出した場合は“0”です。

UARTi転送速度レジスタ(注1、注2)



シンボル	アドレス	リセット時
U0BRG	$03A1_{16}$番地	不定
U1BRG	$03A9_{16}$番地	不定
U2BRG	0379_{16}番地	不定

機　　能	設定可能値	R	W
設定値を nとすると、BRGiはカウントソースをn+1分周する	00_{16}～FF_{16}	×	○

注1.　値を書き込む場合は送受信停止中に書き込んでください。

注2.　このレジスタへの書き込みにはMOV命令を使用してください。

図2.4.2.　シリアルI/O関連のレジスタ (1)

UARTi 送受信モードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
UiMR(i=0,1)	03A0$_{16}$,03A8$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 を設定してください 0 0 0 : シリアルI/Oは無効 0 1 0 : 選択禁止 0 1 1 : 選択禁止 1 1 1 : 選択禁止	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット 0 0 0 : シリアルI/Oは無効 0 1 0 : 選択禁止 0 1 1 : 選択禁止 1 1 1 : 選択禁止	○	○
SMD1				○	○
SMD2				○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注1)	0 : 内部クロック 1 : 外部クロック(注1)	○	○
STPS	ストップビット長選択ビット	無効	0 : 1ストップビット 1 : 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	無効	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	○	○
PRYE	パリティ許可ビット	無効	0 : パリティ禁止 1 : パリティ許可	○	○
SLEP	スリープ選択ビット	“0”を設定してください。	0 : スリープモード解除 1 : スリープモード選択	○	○

注1. 対応するポート方向レジスタは“0”にしてください。

UART2送受信モードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
U2MR	0378$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 を設定してください 0 0 0 : シリアルI/Oは無効 0 1 0 : (注1) 0 1 1 : 選択禁止 1 1 1 : 選択禁止	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット 0 0 0 : シリアルI/Oは無効 0 1 0 : 選択禁止 0 1 1 : 選択禁止 1 1 1 : 選択禁止	○	○
SMD1				○	○
SMD2				○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注2)	“0”を設定してください。	○	○
STPS	ストップビット長選択ビット	無効	0 : 1ストップビット 1 : 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	無効	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	○	○
PRYE	パリティ許可ビット	無効	0 : パリティ禁止 1 : パリティ許可	○	○
IOPOL	TxD,RxD入出力極性切り替えビット	0 : 反転なし 1 : 反転あり 通常は“0”に設定してください	0 : 反転なし 1 : 反転あり 通常は“0”に設定してください	○	○

注1. IICモード使用時、ビット2～ビット0は“010$_2$”を設定してください。
注2. 対応するポート方向レジスタは“0”にしてください。

図2.4.3. シリアルI/O関連のレジスタ (2)

UARTi 送受信制御レジスタ0

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
UiC0(i=0,1)	03A4$_{16}$,03AC$_{16}$番地	08$_{16}$

ビットシンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R	W
CLK0	BRGカウントソース選択ビット	b1 b0 0 0 : f_1を選択 0 1 : f_8を選択 1 0 : f_{32}を選択 1 1 : 選択禁止	b1 b0 0 0 : f_1を選択 0 1 : f_8を選択 1 0 : f_{32}を選択 1 1 : 選択禁止	○	○
CLK1				○	○
CRS	$\overline{CTS}$/$\overline{RTS}$機能選択ビット	ビット4が“0”のとき有効、 0 : $\overline{CTS}$機能を選択(注1) 1 : $\overline{RTS}$機能を選択(注2)	ビット4が“0”のとき有効、 0 : $\overline{CTS}$機能を選択(注1) 1 : $\overline{RTS}$機能を選択(注2)	○	○
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタに データあり (送信中) 1 : 送信レジスタに データなし (送信完了)	0 : 送信レジスタに データあり (送信中) 1 : 送信レジスタに データなし (送信完了)	○	×
CRD	$\overline{CTS}$/$\overline{RTS}$禁止ビット	0 : $\overline{CTS}$/$\overline{RTS}$機能許可 1 : CTS/RTS機能禁止 (P60,P64はプログラマブル入出力ポートとして機能)	0 : $\overline{CTS}$/$\overline{RTS}$機能許可 1 : CTS/RTS機能禁止 (P60,P64はプログラマブル入出力ポートとして機能)	○	○
NCH	データ出力選択ビット	0 : TxDi端子はCMOS出力 1 : TxDi端子はNチャネル オープンドレイン出力	0 : TxDi端子はCMOS出力 1 : TxDi端子はNチャネル オープンドレイン出力	○	○
CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信 データ出力、立ち下がりで受信データ入力	“0”を設定してください。	○	○
UFORM	転送フォーマット選択ビット	0 : LSBファースト 1 : MSBファースト	“0”を設定してください。	○	○

注1. 対応するポート方向レジスタは“0”にしてください。
注2. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。

UART2 送受信制御レジスタ0

b7	b6	b5	b4	b3	b2	b1	b0
		╳					

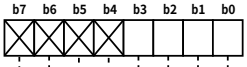
シンボル	アドレス	リセット時
U2C0	037C$_{16}$番地	08$_{16}$

ビットシンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R	W
CLK0	BRGカウントソース選択ビット	b1 b0 0 0 : f_1を選択 0 1 : f_8を選択 1 0 : f_{32}を選択 1 1 : 選択禁止	b1 b0 0 0 : f_1を選択 0 1 : f_8を選択 1 0 : f_{32}を選択 1 1 : 選択禁止	○	○
CLK1				○	○
CRS	$\overline{CTS}$/$\overline{RTS}$機能選択ビット	ビット4が“0”のとき有効、 0 : $\overline{CTS}$機能を選択(注1) 1 : RTS機能を選択(注2)	ビット4が“0”のとき有効、 0 : $\overline{CTS}$機能を選択(注1) 1 : RTS機能を選択(注2)	○	○
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタに データあり (送信中) 1 : 送信レジスタに データなし (送信完了)	0 : 送信レジスタに データあり (送信中) 1 : 送信レジスタに データなし (送信完了)	○	×
CRD	$\overline{CTS}$/$\overline{RTS}$禁止ビット	0 : $\overline{CTS}$/$\overline{RTS}$機能許可 1 : CTS/RTS機能禁止 (P73はプログラマブル入出力ポートとして機能)	0 : $\overline{CTS}$/$\overline{RTS}$機能許可 1 : CTS/RTS機能禁止 (P73はプログラマブル入出力ポートとして機能)	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				—	—
CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信 データ出力、立ち下がりで受信データ入力	“0”を設定してください。	○	○
UFORM	転送フォーマット選択ビット(注3)	0 : LSBファースト 1 : MSBファースト	0：LSBファースト 1：MSBファースト	○	○

注1. 対応するポート方向レジスタは“0”にしてください。
注2. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
注3. クロック同期形シリアルI/Oモードおよび8ビットUARTモード時だけ有効です。

図2.4.4. シリアルI/O関連のレジスタ (3)

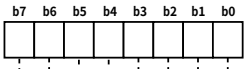
UARTi 送受信制御レジスタ1



シンボル	アドレス	リセット時
UiC1(i=0,1)	03A5$_{16}$,03AD$_{16}$番地	02$_{16}$

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	0 : 送信禁止 1 : 送信許可	○	○
TI	送信バッファ空フラグ	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	○	×
RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	0 : 受信禁止 1 : 受信許可	○	○
RI	受信完了フラグ	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	○	×
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				—	—

UART2送受信制御レジスタ1



シンボル	アドレス	リセット時
U2C1	037D$_{16}$番地	02$_{16}$

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	0 : 送信禁止 1 : 送信許可	○	○
TI	送信バッファ空フラグ	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	○	×
RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	0 : 受信禁止 1 : 受信許可	○	○
RI	受信完了フラグ	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	○	×
U2IRS	UART2送信割り込み要因選択ビット	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	○	○
U2RRM	UART2連続受信モード許可ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可	“0”を設定してください。	○	○
U2LCH	データ論理選択ビット	0 : 反転なし 1 : 反転あり	0 : 反転なし 1 : 反転あり	○	○
U2ERE	エラー信号出力許可ビット	“0”を設定してください。	0 : 出力しない 1 : 出力する	○	○

図2.4.5.　シリアルI/O関連のレジスタ (4)

UART送受信制御レジスタ2

b7	b6	b5	b4	b3	b2	b1	b0
X	0						

シンボル	アドレス	リセット時
UCON	$03B0_{16}$番地	$X0000000_2$

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
U0IRS	UART0送信割り込み要因選択ビット	0：送信バッファ空 (TI=1) 1：送信完了(TXEPT=1)	0：送信バッファ空 (TI=1) 1：送信完了(TXEPT=1)	○	○
U1IRS	UART1送信割り込み要因選択ビット	0：送信バッファ空 (TI=1) 1：送信完了(TXEPT=1)	0：送信バッファ空 (TI=1) 1：送信完了(TXEPT=1)	○	○
U0RRM	UART0連続受信モード許可ビット	0：連続受信モード禁止 1：連続受信モード許可	“0”を設定してください。	○	○
U1RRM	UART1連続受信モード許可ビット	0：連続受信モード禁止 1：連続受信モード許可	“0”を設定してください。	○	○
CLKMD0	CLK,CLKS選択ビット0	ビット5が“1”のとき有効 0：CLK1にクロックを出力 1：CLKS1にクロックを出力	無効	○	○
CLKMD1	CLK,CLKS選択ビット1 (注1)	0：通常モード (CLK出力はCLK1のみ) 1：転送クロック複数端子出力機能選択	“0”を設定してください。	○	○
予約ビット		必ず“0”を設定してください。		—	○
何も配置されていない。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。				—	—

注1. 複数の転送クロック出力端子を使用するときは、以下に示す条件を満たしてください。
・UART1 内/外部クロック選択ビット($03A8_{16}$番地のビット3)=“0”

UART2特殊モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0							

シンボル	アドレス	リセット時
U2SMR	0377_{16}番地	00_{16}

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
IICM	IICモード選択ビット	0：通常モード 1：IICモード	“0”を設定してください。	○	○
ABC	アービトレーションロスト検出フラグ制御	0：ビット毎に更新 1：バイト毎に更新	“0”を設定してください。	○	○
BBS	バスビジーフラグ	0：ストップコンディション検出 1：スタートコンディション検出	“0”を設定してください。	○	○ (注1)
LSYN	SCLL同期出力許可ビット	0：禁止 1：許可	“0”を設定してください。	○	○
ABSCS	バス衝突検出サンプリングクロック選択ビット	“0”を設定してください。	0：転送クロックの立ち上がり 1：タイマＡ０のアンダフロー信号	○	○
ACSE	送信許可ビット自動クリア機能選択ビット	“0”を設定してください。	0：自動クリア機能なし 1：バス衝突発生時自動クリア	○	○
SSS	送信開始条件選択ビット	“0”を設定してください。	0：通常 1：RxD2の立ち下がり	○	○
予約ビット		必ず“0”を設定してください。		—	○

注1.“0”だけ書き込み可。

図2.4.6. シリアルI/O関連のレジスタ (5)

2.4.2 シリアルI / O動作 (クロック同期形シリアルI / Oモードの送信)

クロック同期形シリアルI / Oモードの送信では、表2.4.1に示す項目の中から機能を選択できます。ここでは、表2.4.1に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.4.7に動作タイミングを、図2.4.8、図2.4.9に設定手順を示します。

表2.4.1. 設定内容

設定項目	設定内容		設定項目	設定内容	
転送クロックソース	○	内部クロック(f_1 / f_8 / f_{32})	送信割り込み要因	○	送信バッファ空
		外部クロック(CLKi端子)			送信完了
$\overline{\text{CTS}}$機能	○	$\overline{\text{CTS}}$機能許可	転送クロック複数端子出力機能(注1)	○	なし
		$\overline{\text{CTS}}$機能禁止			あり
CLK極性	○	転送クロックの立ち下がりで送信データ出力	シリアルデータ論理(注2)	○	反転なし
					反転あり
		転送クロックの立ち上がりで送信データ出力	TxD, RxD入出力極性切り替え機能(注2)	○	反転なし
					反転あり
転送フォーマット	○	LSBファースト			
		MSBファースト			

注1. UART1を内部クロックで使用するときだけ選択できます。この機能選択時、UART1の$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$機能は使用できません。UART1の$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$禁止ビットを“1”にしてください。

注2. UART2だけ選択できます。

動　作

(1) 送信許可ビットを“1”にし、UARTi送信バッファレジスタに送信データを書き込むと送信できる状態になります。

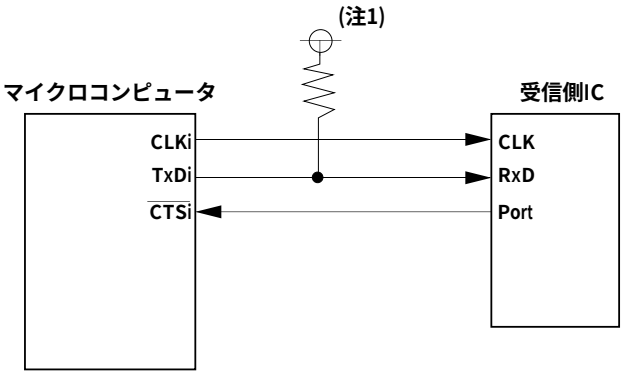
(2) $\overline{\text{CTSi}}$端子の入力が“L”レベルになると送信を開始します($\overline{\text{CTSi}}$端子は、受信側で制御する必要があります)。

(3) 最初の転送クロックの立ち下がりエッジに同期して、UARTi送信バッファレジスタに入っている送信データがUARTi送信レジスタに転送されます。同時に、UARTi送信割り込み要求ビットが“1”になります。また、送信データの1ビット目がTxDi端子から送信されます。そして、立ち下がりエッジに同期して、下位ビットから順に1ビットずつ送信されます。

(4) 1バイトのデータの送信が完了すると、送信レジスタ空フラグが“1”になり、送信が完了したことを示します。また、転送クロックは“H”レベルで停止します。

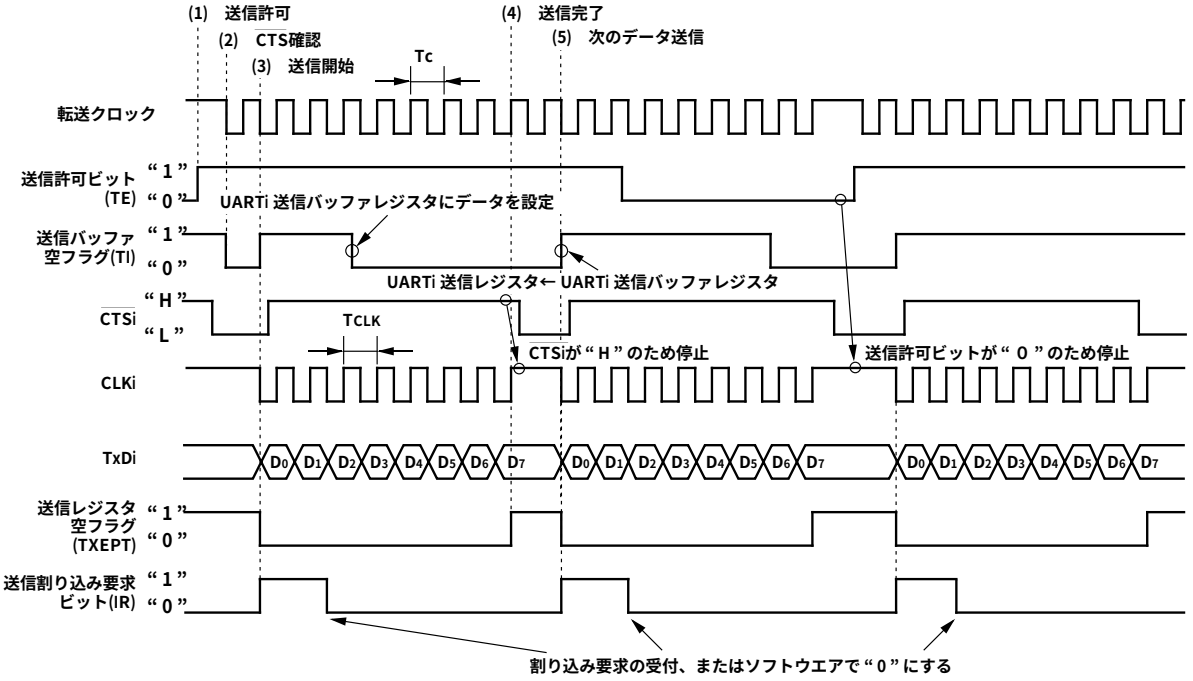
(5) 送信中(8ビット目が出力される前)に、UARTi送信バッファレジスタに次の送信データを設定していれば、続けて送信が行われます。

結線例



注1.　TxD2端子はNチャネルオープンドレインのためプルアップ抵抗が必要です

動作例



( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●内部クロック選択
- ●CTS機能選択
- ●CLK極性選択ビット = “0”
- ●送信割り込み要因選択ビット = “0”

$Tc = T_{CLK} = 2(n+1) / fi$
fi：BRGiのカウントソースの周波数(f_1, f_8, f_{32})
n：BRGiに設定した値

図2.4.7.　クロック同期形シリアルI / Oモードの送信動作タイミング図

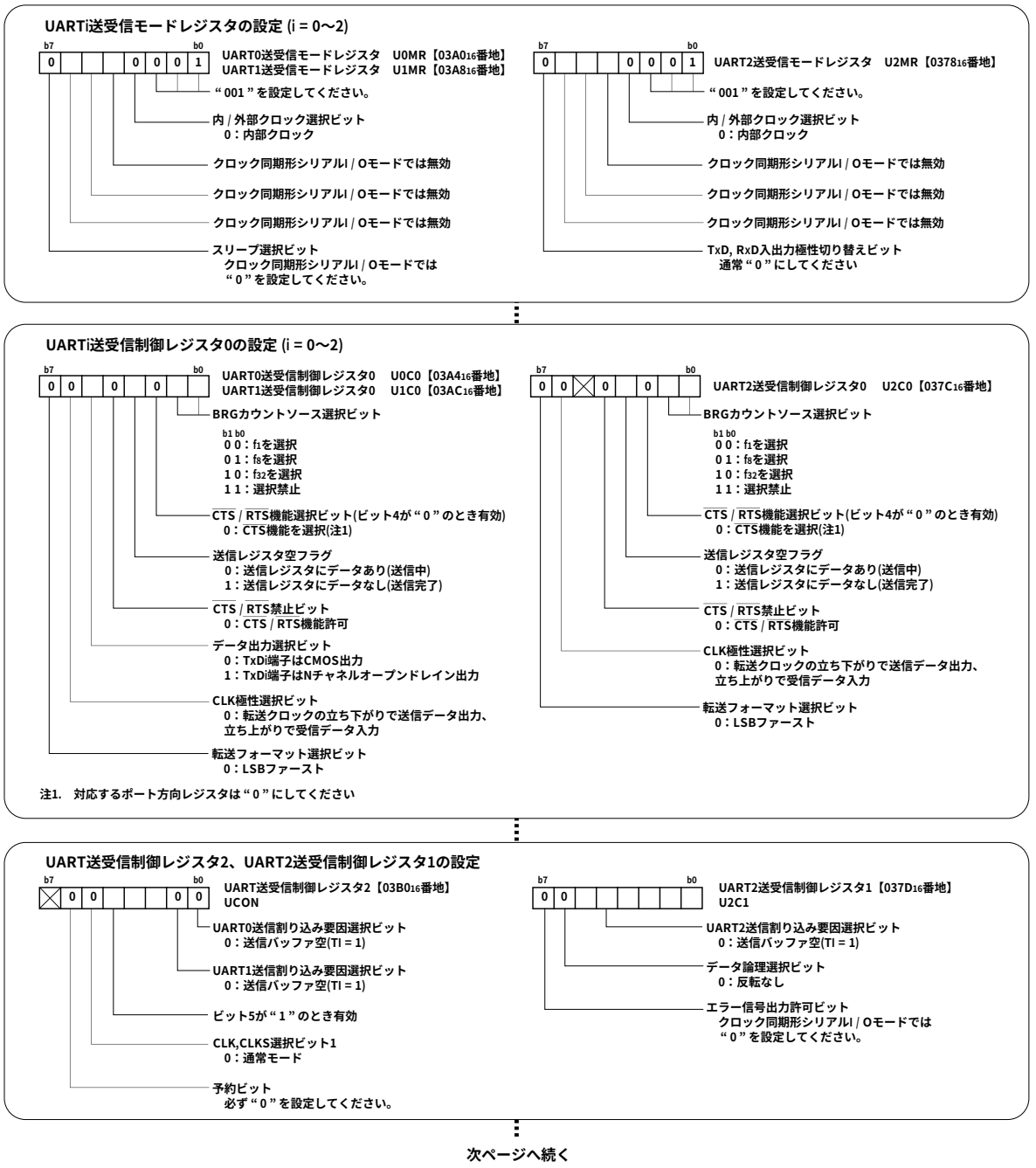


図2.4.8. クロック同期形シリアルI / Oモードの送信動作時のレジスタ設定手順(1)

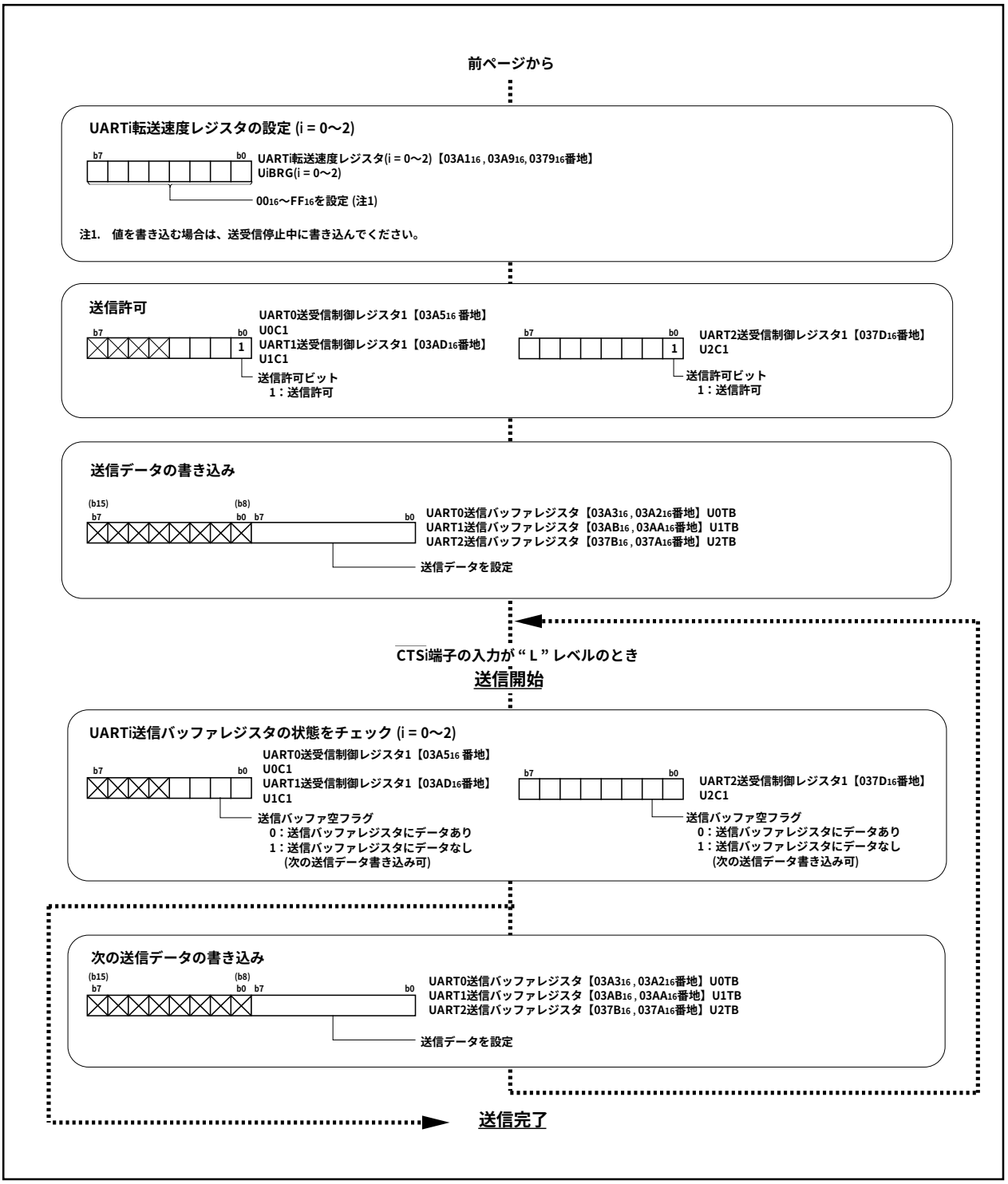


図2.4.9. クロック同期形シリアルI / Oモードの送信動作時のレジスタ設定手順(2)

2.4.3 シリアルI / O動作 (クロック同期形シリアルI / Oモードの送信、複数クロック出力機能選択時)

クロック同期形シリアルI / Oモードの送信では、表2.4.2に示す項目の中から機能を選択できます。ここでは、表2.4.2に示す項目の中で、“ ○ ”印の内容を選択した場合の動作について説明します。また、図2.4.10に動作タイミングを、図2.4.11、図2.4.12に設定手順を示します。

表2.4.2. 設定内容

設定項目	設定内容		設定項目	設定内容	
転送クロックソース	○	内部クロック(f_1 / f_8 / f_{32})	送信割り込み要因		送信バッファ空
		外部クロック(CLKi端子)		○	送信完了
$\overline{\text{CTS}}$機能		$\overline{\text{CTS}}$機能許可	転送クロック複数端子出力機能(注1)		なし
	○	$\overline{\text{CTS}}$機能禁止		○	あり
CLK極性	○	転送クロックの立ち下がりで送信データ出力	シリアルデータ論理(注2)	○	反転なし
					反転あり
		転送クロックの立ち上がりで送信データ出力	TxD, RxD入出力極性切り替え機能(注2)	○	反転なし
					反転あり
転送フォーマット	○	LSBファースト			
		MSBファースト			

注1. UART1を内部クロックで使用するときだけ選択できます。この機能選択時、UART1の$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$機能は使用できません。UART1の$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$禁止ビットを“ 1 ”にしてください。

注2. UART2だけ選択できます。

動 作

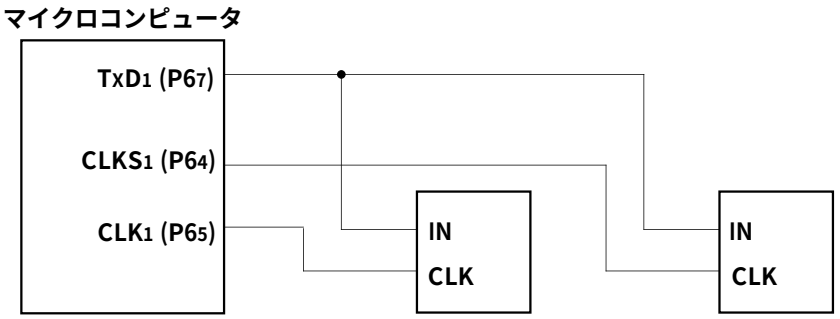
(1) 送信許可ビットを“ 1 ”にすると、送信できる状態になります。

(2) UART1送信バッファレジスタに送信データを書き込むと、最初の転送クロックの立ち下がりエッジに同期して、UART1送信バッファレジスタに入っている送信データがUART1送信レジスタに転送されます。同時に、送信データの1ビット目がTxD_1端子から送信されます。そして、転送クロックの立ち下がりエッジに同期して、下位ビットから順に1ビットずつ送信されます。

(3) 1バイトのデータの送信が完了すると、送信レジスタ空フラグが“ 1 ”になり、送信が完了したことを示します。また、転送クロックは“ H ”レベルで停止します。同時に、UART1送信割り込み要求ビットが“ 1 ”になります。

(4) CLK、CLKS選択ビット1を“ 1 ”、CLK、CLKS選択ビット0を“ 1 ”にすると、$CLKS_1$端子が転送クロック出力端子となります。転送クロック出力端子の変更は、送信停止中に行ってください。

結線例



注1.　クロック同期形シリアルI/Oモード時で、内部クロックを選択し、送信だけを行う場合

動作例

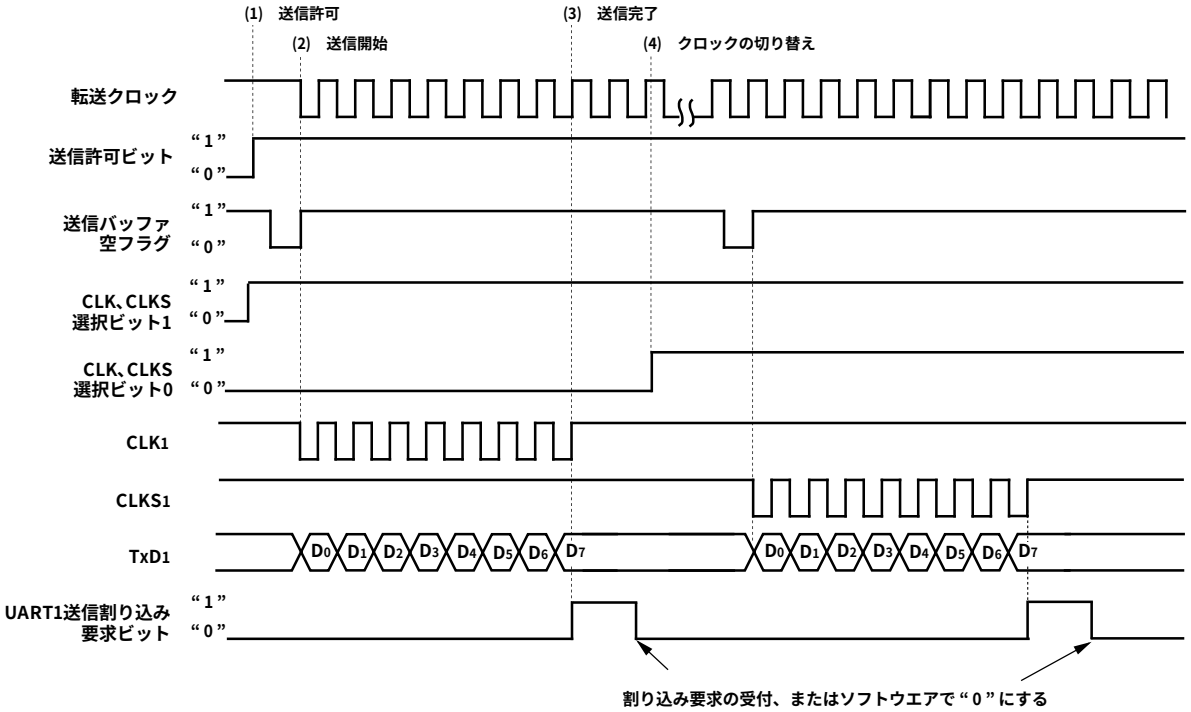
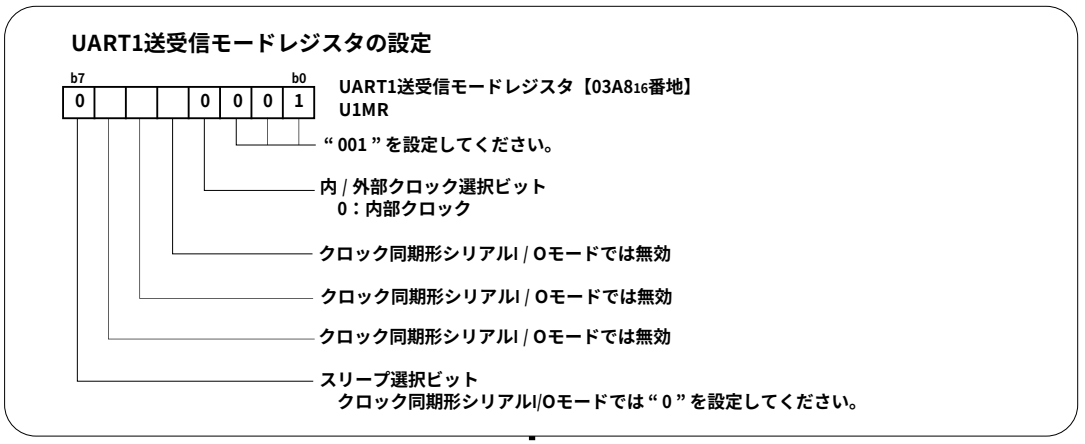
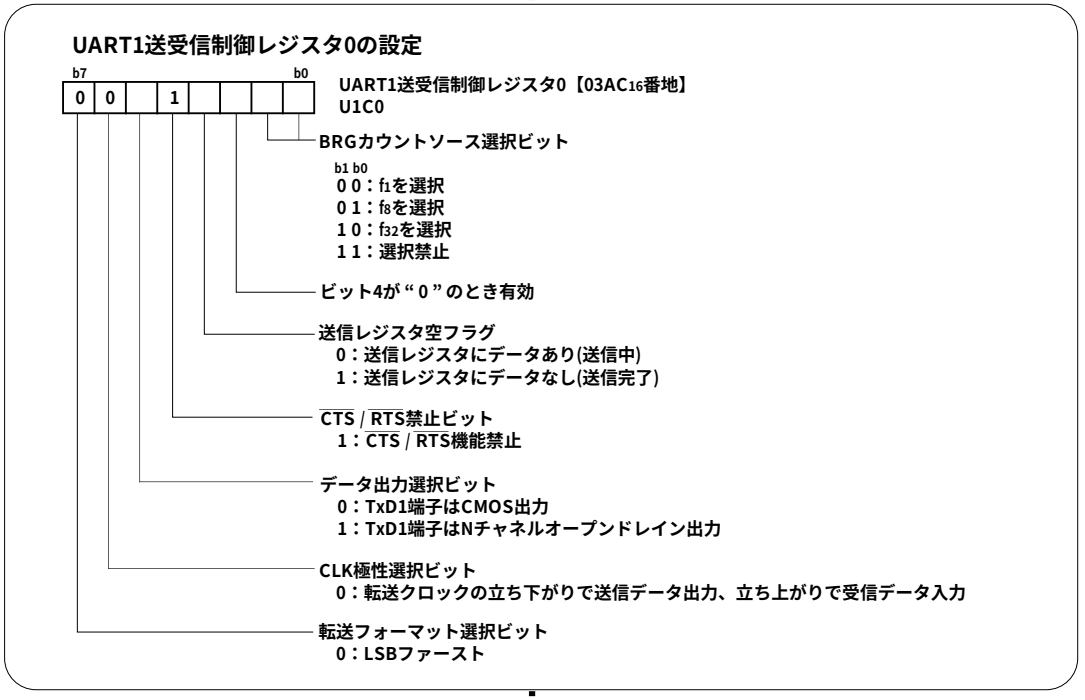
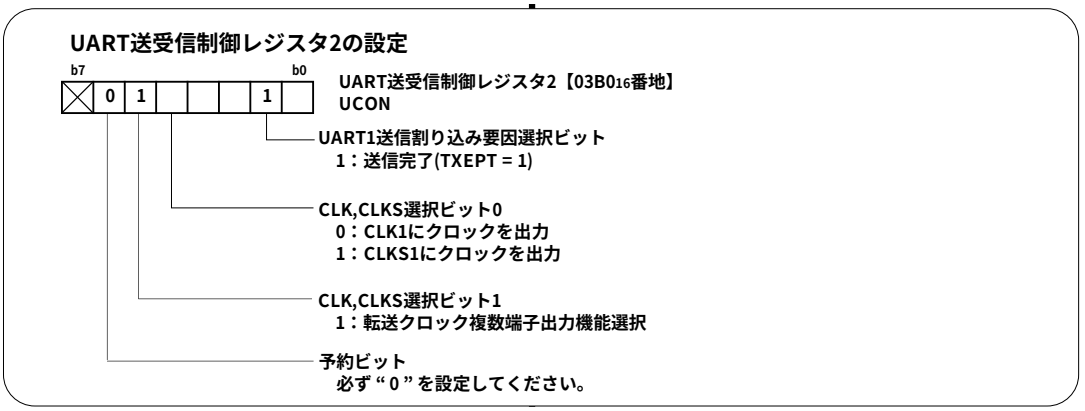


図2.4.10.　クロック同期形シリアルI / Oモードの送信、複数クロック出力機能選択時の動作タイミング図







次ページへ続く

図2.4.11.　クロック同期形シリアルI / Oモードの送信、複数クロック出力機能選択時のレジスタ設定手順(1)

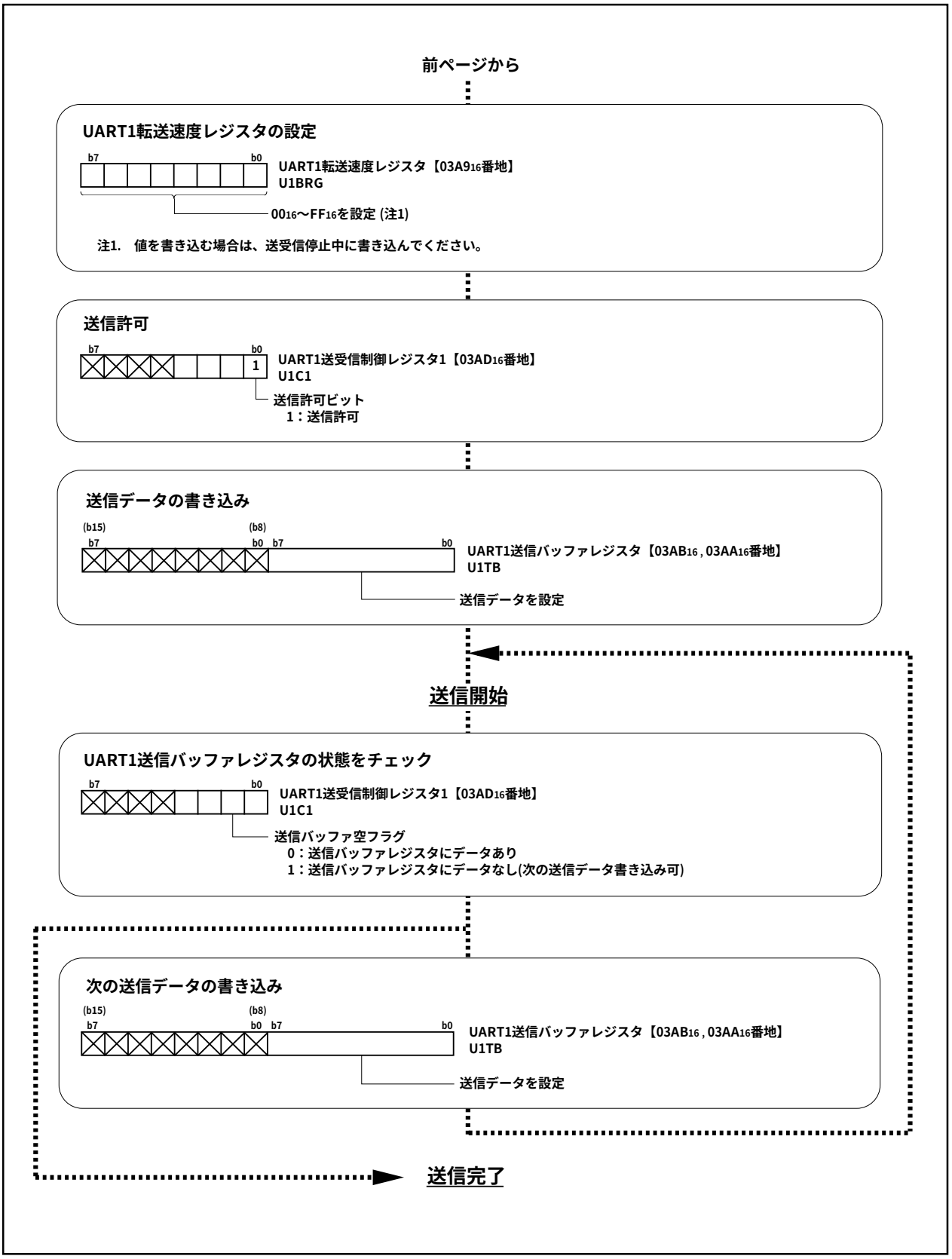


図2.4.12. クロック同期形シリアルI / Oモードの送信、複数クロック出力機能選択時のレジスタ設定手順(2)

2.4.4 シリアルI / O動作 (クロック同期形シリアルI / Oモードの受信)

クロック同期形シリアルI / Oモードの受信では、表2.4.3に示す項目の中から機能を選択できます。ここでは、表2.4.3に示す項目の中で、“ ○ ”印の内容を選択した場合の動作について説明します。また、図2.4.13に動作タイミングを、図2.4.14、図2.4.15に設定手順を示します。

表2.4.3. 設定内容

設定項目	設定内容		設定項目	設定内容	
転送クロックソース		内部クロック(f_1 / f_8 / f_{32})	連続受信モード	○	禁止
	○	外部クロック(CLKi端子)			許可
$\overline{\text{RTS}}$機能	○	$\overline{\text{RTS}}$機能許可	転送クロック複数端子出力機能(注1)	○	なし
		$\overline{\text{RTS}}$機能禁止			あり
CLK極性	○	転送クロックの立ち上がりで受信データ入力	シリアルデータ論理(注2)	○	反転なし
					反転あり
		転送クロックの立ち下がりで受信データ入力	TxD, RxD入出力極性切り替え機能(注2)	○	反転なし
					反転あり
転送フォーマット	○	LSBファースト			
		MSBファースト			

注1. UART1を内部クロックで使用するときだけ選択できます。この機能選択時、UART1の$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$機能は使用できません。UART1の$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$禁止ビットを“ 1 ”にしてください。

注2. UART2だけ選択できます。

動 作

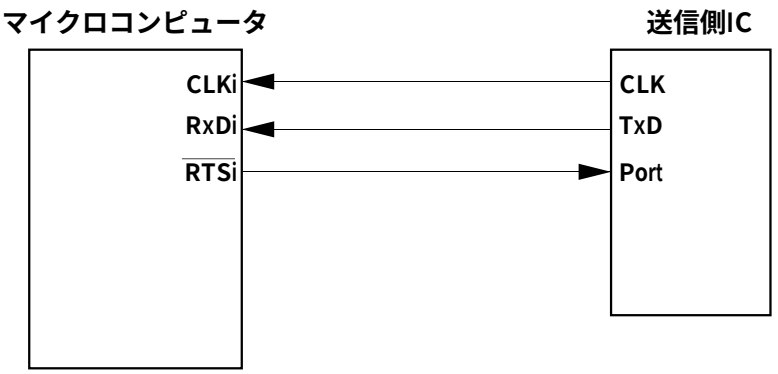
(1) UARTi送信バッファレジスタにダミーデータを書き込み、受信許可ビットを“ 1 ”、送信許可ビットを“ 1 ”にすると、受信できる状態になります。同時に、$\overline{\text{RTS}}$i端子の出力が“ L ”レベルになり、受信できる状態になったことを送信側に知らせます(送信側のICでは、$\overline{\text{RTS}}$出力が“ L ”レベルになったことを確認した後、転送クロックを出力してください)。

(2) 最初の転送クロックの立ち上がりエッジに同期して、RxDi端子の入力信号をUARTi受信レジスタの最上位ビットに取り込みます。そして、転送クロックの立ち上がりエッジに同期して、UARTi受信レジスタの内容を右にシフトしながらデータを取り込みます。

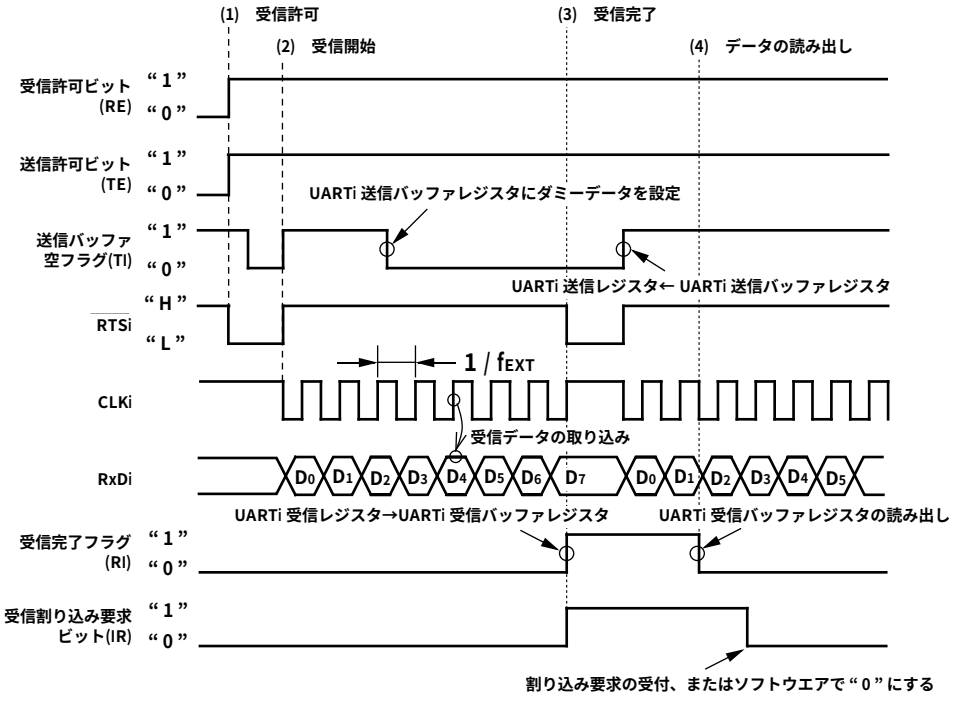
(3) UARTi受信レジスタに1バイトのデータが揃うと、UARTi受信レジスタの内容はUARTi受信バッファレジスタに転送されます。また、転送クロックは“ H ”レベルで停止します。同時に、受信完了フラグとUARTi受信割り込み要求ビットが“ 1 ”になります。

(4) 受信完了フラグはUARTi受信バッファレジスタの下位バイトを読み出したとき“ 0 ”になります。

結線例



動作例



( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●外部クロック選択
- ●RTS 機能選択
- ●CLK極性選択ビット = “0”

fEXT：外部クロックの周波数

データ受信前のCLKi端子の入力が“H”レベルのときに、以下の条件が揃うようにしてください。
- ●送信許可ビット→“1”
- ●受信許可ビット→“1”
- ●UARTi送信バッファレジスタへのダミーデータの書き込み

図2.4.13.　クロック同期形シリアルI / Oモードの受信動作タイミング図

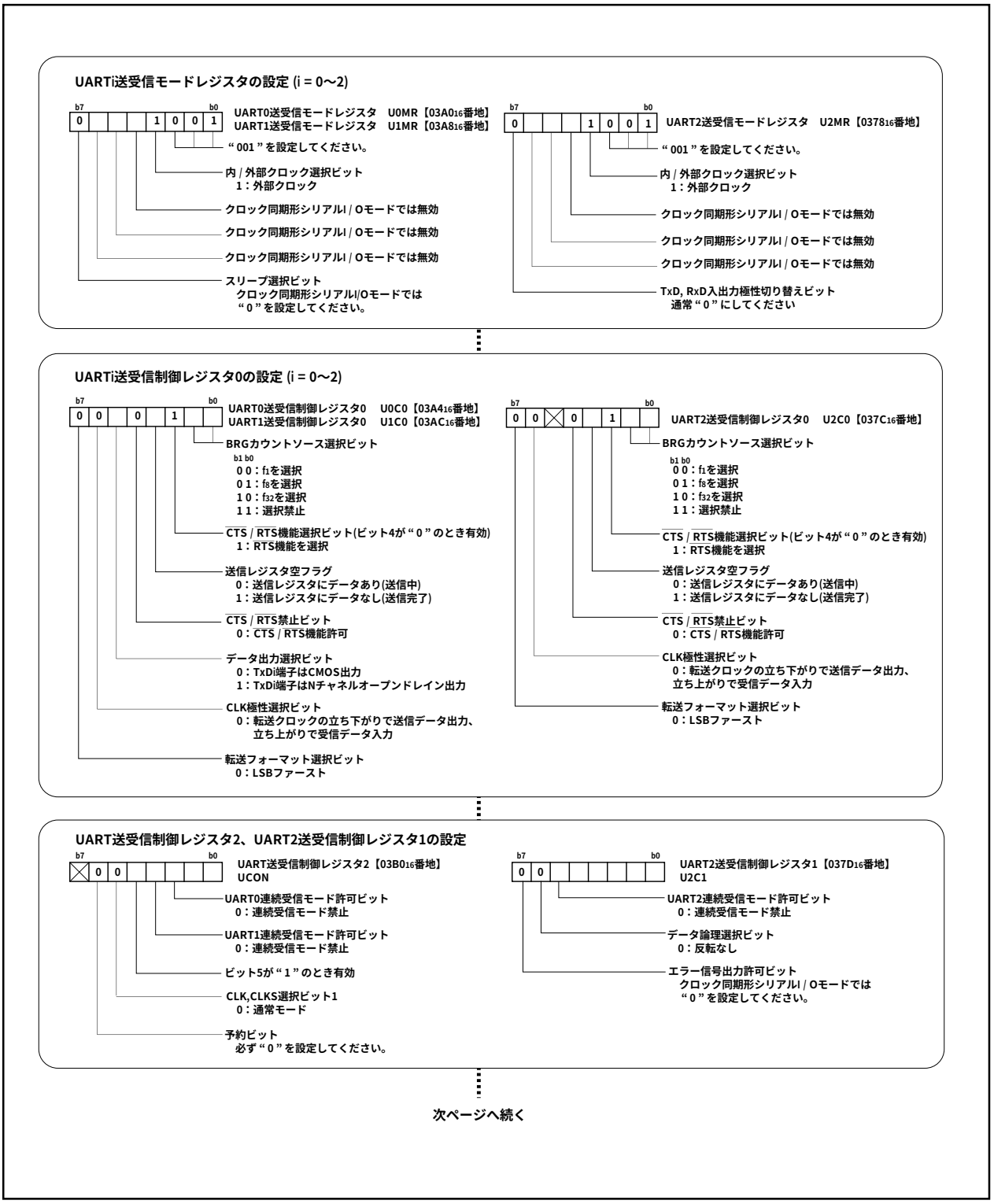


図2.4.14. クロック同期形シリアルI / Oモードの受信動作時のレジスタ設定手順(1)

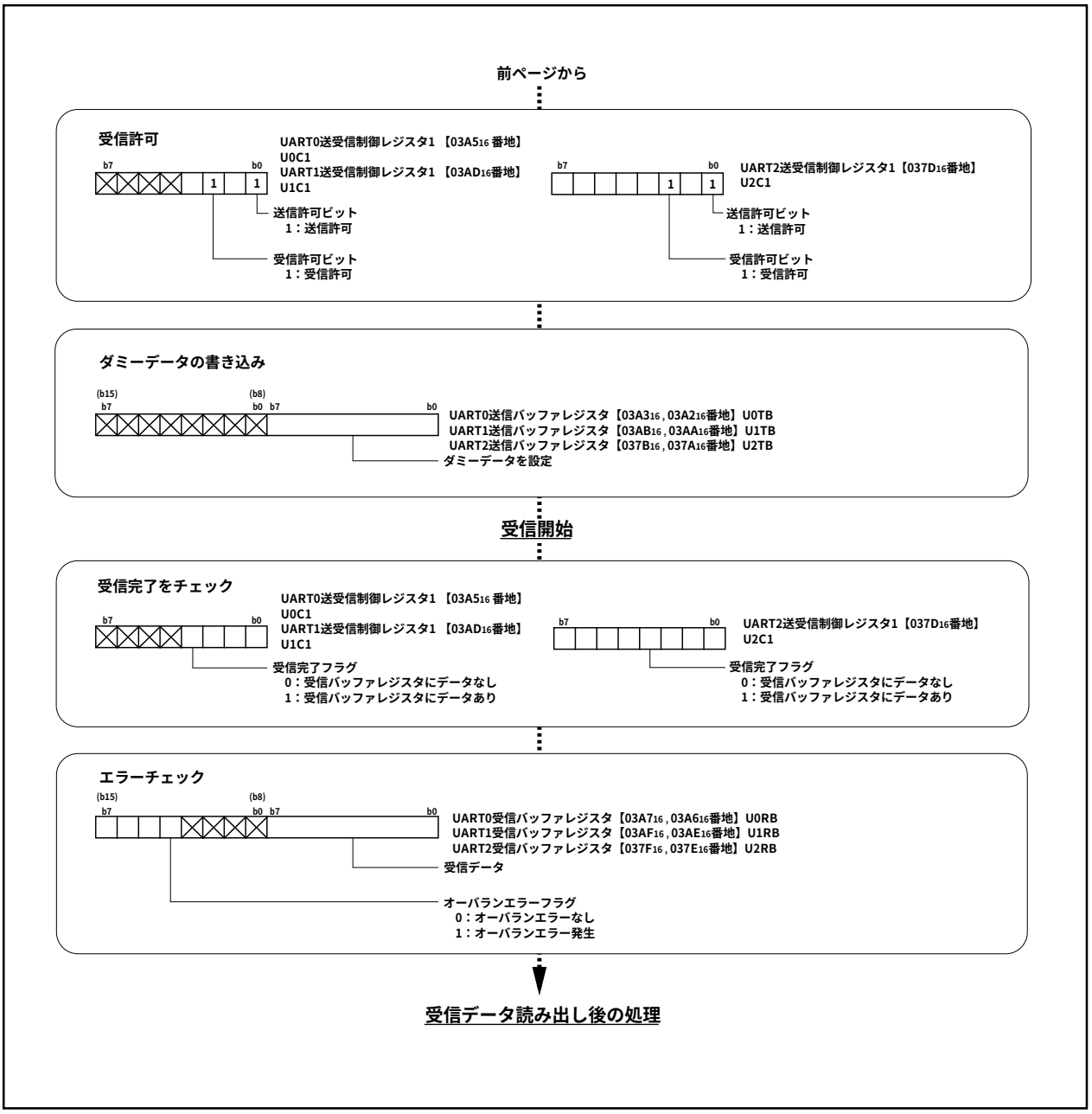


図2.4.15.　クロック同期形シリアルI / Oモードの受信動作時のレジスタ設定手順(2)

2.4.5 シリアルI / Oの注意事項 (クロック同期形シリアルI / Oモード時)

送受信 (1) 外部クロック選択時、$\overline{\text{RTS}}$機能を選択した場合は、受信可能状態になると$\overline{\text{RTSi}}$端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると$\overline{\text{RTSi}}$端子の出力レベルは“H”になります。このため、$\overline{\text{RTSi}}$端子を送信側の$\overline{\text{CTSi}}$端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は$\overline{\text{RTS}}$機能は無効です。図2.4.16に結線例を示します。

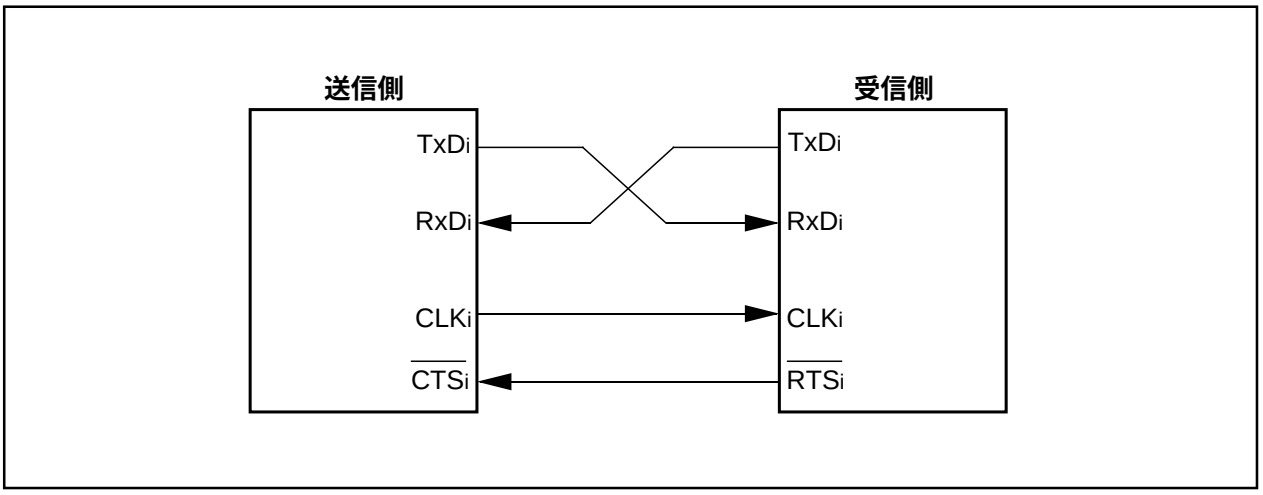


図2.4.16. 結線例

送信

(1) 外部クロック選択時、CLK極性選択ビットが“0”の場合はCLKi端子の入力が“H”レベルの状態で、“1”の場合は“L”レベルの状態で、以下の設定を行ってください。

1. 送信許可ビットのセット(“1”に設定)
2. UARTi送信バッファレジスタへの送信データの書き込み
3. $\overline{\text{CTS}}$i端子への“L”レベルの入力($\overline{\text{CTS}}$機能を選択時)

受信

(1) クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信動作(送信のための設定)を行う必要があります。また、受信時TxDi端子(送信端子)からはダミーデータが外部に出力されます。

(2) 内部クロック選択時は送信許可ビットを“1”(送信許可状態)にし、そしてダミーデータをUARTi送信バッファレジスタに設定するとシフトクロックが発生します。
外部クロック選択時は送信許可ビットを“1”にし、そしてダミーデータをUARTi送信バッファレジスタに設定し、外部クロックがCLKi端子に入力されたときシフトクロックを発生します。

(3) 連続してデータを受信する場合、受信完了フラグが“1”の状態(UARTi受信バッファレジスタの内容を読み出す前)でUARTi受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、オーバランエラーフラグが“1”になります。この場合、UARTi受信バッファレジスタには次のデータが書き込まれますので、オーバランエラーが発生したときは以前のデータを再送信するように送信、および受信側のプログラムで対処してください。
また、オーバランエラーが発生したときはUARTi受信割り込み要求ビットは変化しません。

(4) 連続してデータを受信する場合は、1回の受信ごとにUARTi送信バッファレジスタの下位バイトへダミーデータを設定してください。

(5) 外部クロック選択時、CLK極性選択ビットが“0”の場合はCLKi端子の入力“H”レベルの状態で、“1”の場合は“L”レベルの状態で、以下の設定を行ってください。

1. 受信許可ビットのセット(“1”に設定)
2. 送信許可ビットのセット(“1”に設定)
3. UARTi送信バッファレジスタへのダミーデータの書き込み

(6) $\overline{\text{RTS}}$端子の出力は、受信許可ビットを“1”にすると同時に“L”レベルなります。送信バッファ空フラグの内容、送信許可ビットの内容とは関係ありません。
また、$\overline{\text{RTS}}$端子の出力は受信が始まると“H”レベルになり、受信が完了すると“L”レベルになります。送信バッファ空フラグの内容、受信完了フラグの内容とは関係ありません。

2.5 クロック非同期形シリアルI/O

2.5.1 概要

クロック非同期形シリアルI/Oは、キャラクタ単位で同期をとりながら通信を行います。送信部と受信部は独立していますので、全二重通信が可能です。クロック非同期形シリアルI/Oの概要について説明します。

●送受信フォーマット

図2.5.1に送受信フォーマットを、表2.5.1に送信データの名称とその機能を示します。

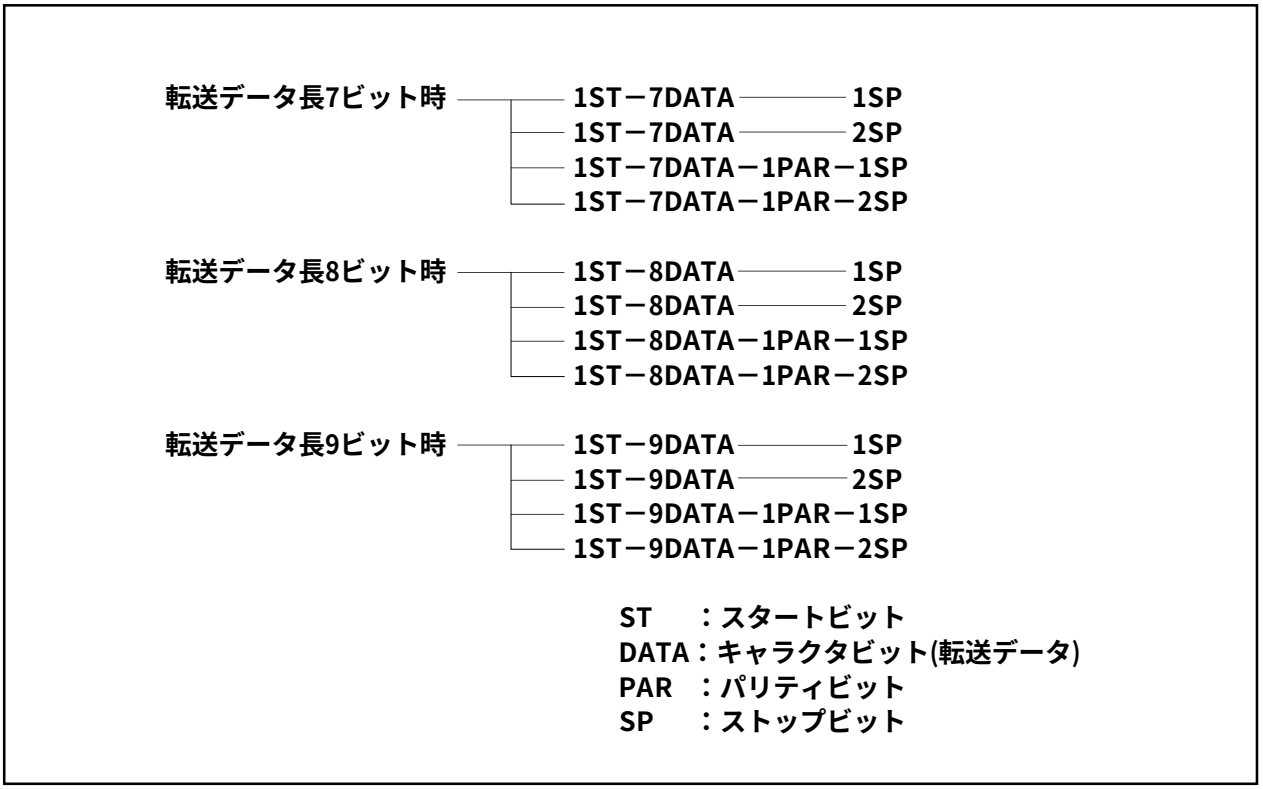


図2.5.1. 送受信フォーマット

表2.5.1. 送信データの名称とその機能

名　称	機　　能
ST(スタートビット)	キャラクタビットの直前に付加するキャラクタビット1ビット分の“L”信号。 データの送信開始を示す。
DATA(キャラクタビット)	UARTi送信バッファレジスタに設定される送信データ。
PAR(パリティビット)	データの信頼性を向上させるために、キャラクタビットの直後に付加する信号。この信号のレベルは、パリティ奇/偶の選択に従ってこのビットとキャラクタビット中の“1”の総数が常に奇数、または偶数になるように変化する。
SP(ストップビット)	キャラクタビット(パリティ許可時はパリティビット)の直後に付加するキャラクタビット1ビット分、または2ビット分の“H”信号。データの送信終了を示す。

●転送速度

転送速度レジスタ(BRG)で分周した周波数の16分周が転送速度となります。転送速度レジスタのカウントソースは、f_1、f_8、f_{32}、およびCLK端子からの入力を選択できます。f_1、f_8、f_{32}とは、それぞれCPUのメインクロックを1分周、8分周、32分周したクロックです。

表2.5.2. ボーレート設定例

ボーレート (bps)	BRGの カウントソース	システムクロック：10MHz時		システムクロック：7.3728MHz時	
		BRGの設定値：n	実時間 (bps)	BRGの設定値：n	実時間 (bps)
600	f_8	129 (81_{16})	600	95 ($5F_{16}$)	600
1200	f_8	64 (40_{16})	1201	47 ($2F_{16}$)	1200
2400	f_8	32 (20_{16})	2367	23 (17_{16})	2400
4800	f_1	129 (81_{16})	4807	95 ($5F_{16}$)	4800
9600	f_1	64 (40_{16})	9615	47 ($2F_{16}$)	9600
14400	f_1	42 ($2A_{16}$)	14534	31 ($1F_{16}$)	14400
19200	f_1	32 (20_{16})	18939	23 (17_{16})	19200
28800	f_1	21 (15_{16})	28409	15 (F_{16})	28800
31250	f_1	19 (13_{16})	31250		

●エラー検知

クロック非同期形シリアルI / Oモードでは、表2.5.3に示すエラーを検知できます。

表2.5.3. エラー検知

エラーの種類	エラーの内容	フラグが立つタイミング	フラグをクリアする方法
オーバランエラー	・UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生します。 ・UARTi受信バッファレジスタには次のデータが書き込まれます。 ・UARTi受信割り込み要求ビットは“1”になりません。	UARTi受信レジスタからUARTi受信バッファレジスタにデータが転送されるときに検出される。	・シリアルI/Oモード選択ビットを“000_2”にする。 ・受信許可ビットを“0”にする。
フレーミングエラー	・設定した個数のストップビットに満たなかったとき発生します。		・シリアルI/Oモード選択ビットを“000_2”にする。 ・受信許可ビットを“0”にする。 ・UARTi受信バッファレジスタの下位バイトの読み出し。
パリティエラー	・パリティ許可時に、パリティビットとキャラクタビットの中の“1”の総数が設定した個数でなかったとき発生します。		
エラーサムフラグ	・オーバランエラー、フレーミングエラー、パリティエラーのいずれか1つでも検出されたとき発生します。		・オーバランエラー、フレーミングエラー、パリティエラーのすべてが“0”になったとき。

●エラー発生時の対処方法

受信時、エラーフラグと受信データを同時に読み出し、エラーの判断を行ってください。読み出したデータがエラーの場合は、エラーフラグ、およびUARTi受信バッファレジスタを初期化した後、再度受信を行ってください。UARTi受信バッファレジスタを初期化する手順を以下に示します。

(1)受信許可ビットを“0”(受信禁止)にする
(2)受信許可ビットを再度“1”(受信許可)にする

送信時、受信側のエラー発生によって再送信を行う必要がある場合は、UARTi送信バッファレジスタを再設定した後に、再送信してください。UARTi送信バッファレジスタを再設定する手順を以下に示します。

(1)シリアルI/Oモード選択ビットを“000_2”(シリアルI/Oは無効)にする
(2)シリアルI/Oモード選択ビットを再設定する
(3)送信許可ビットを“1”(送信許可)にし、UARTi送信バッファレジスタに送信データを設定する

●選択機能

クロック非同期形シリアルI/Oでは、次の機能を選択することができます。

(1) $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$機能

$\overline{\text{CTS}}$機能とは、外部のICが、$\overline{\text{CTS}}$端子に“L”レベルを入力することによって送受信を開始させる機能です。送受信の開始時に$\overline{\text{CTS}}$端子入力レベルを検知しますので、送受信の最中に“H”にした場合は、次のデータから停止します。

$\overline{\text{RTS}}$機能とは、受信準備が整ったとき、$\overline{\text{RTS}}$端子の出力レベルが“L”になり、外部のICに知らせる機能です。転送クロックの最初の立ち下がりで“H”に戻ります。

クロック非同期形シリアルI/Oでは、$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$機能として次の3種類から選択できます。

■$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$機能無効　　$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$端子はプログラマブル入出力ポートとして使用できます。
■$\overline{\text{CTS}}$機能だけ有効　　$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$端子は$\overline{\text{CTS}}$機能として動作します。
■$\overline{\text{RTS}}$機能だけ有効　　$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$端子は$\overline{\text{RTS}}$機能として動作します。

(2) スリープモード

クロック非同期形シリアルI / Oを使用して接続した複数のマイクロコンピュータのうち、特定のマイクロコンピュータに転送するモードです。

(3) シリアルデータ論理切り替え機能

シリアルデータ論理切り替え機能とは、送信バッファレジスタへの書き込み、および受信バッファからの読み出しの際、データを反転させる機能です。

(4) TxD, RxD入出力極性切り替え機能

TxD, RxD入出力極性切り替え機能とは、TxD端子出力極性およびRxD端子入力極性を反転する機能です。

(5) バス衝突検出機能

バス衝突検出機能とは、TxD端子の出力レベルとRxD端子の入力レベルをサンプリングし、値が異なる場合に割り込み要求が発生する機能です。

(1)～(5)の機能を次のとおり選択した動作例を示します。

■ $\overline{\text{CTS}}$機能選択、その他の機能非選択の送信動作 P2-94
■ $\overline{\text{RTS}}$機能選択、その他の機能非選択の受信動作 P2-98

また、クロック非同期形シリアルI/Oモードに一部設定を追加することで、SIMインタフェースに対応します。接続するSIMカードによって、ダイレクトフォーマットとインバースフォーマットを選択できます。

■ ダイレクトフォーマット選択時の送信動作 P2-102
■ ダイレクトフォーマット選択時の受信動作 P2-106

●シリアルI/Oへの入力と方向レジスタ

シリアルI/Oへ外部信号を入力する場合、ポートの方向レジスタは入力に設定してください。

●シリアルI/O関連端子

(1) $\overline{\text{CTS}}_0$、$\overline{\text{CTS}}_1$、$\overline{\text{CTS}}_2$端子　$\overline{\text{CTS}}$機能の入力端子です。
(2) $\overline{\text{RTS}}_0$、$\overline{\text{RTS}}_1$、$\overline{\text{RTS}}_2$端子　$\overline{\text{RTS}}$機能の出力端子です。
(3) CLK_0、CLK_1端子　転送クロックの入力端子です。
(4) RxD_0、RxD_1、RxD_2端子　データの入力端子です。
(5) TxD_0、TxD_1、TxD_2端子　データの出力端子です。

TxD_2端子はNチャネルオープンドレイン出力ですので、プルアップ抵抗が必要です。

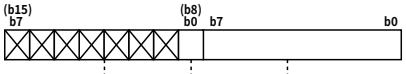
●シリアルI/O関連レジスタ

図2.5.2にシリアルI/O関連レジスタのメモリ配置図を、図2.5.3～図2.5.7にシリアルI/O関連レジスタの構成を示します。

004A16	タイマA5割り込み制御レジスタ(TA5IC) バス衝突検出割り込み制御レジスタ(BCNIC)
≈	≈
004F16	UART2送信割り込み制御レジスタ(S2TIC)
005016	UART2受信割り込み制御レジスタ(S2RIC)
005116	UART0送信割り込み制御レジスタ(S0TIC)
005216	UART0受信割り込み制御レジスタ(S0RIC)
005316	UART1送信割り込み制御レジスタ(S1TIC)
005416	UART1受信割り込み制御レジスタ(S1RIC)
≈	≈
037816	UART2送受信モードレジスタ(U2MR)
037916	UART2転送速度レジスタ(U2BRG)
037A16 037B16	UART2送信バッファレジスタ(U2TB)
037C16	UART2送受信制御レジスタ０(U2C0)
037D16	UART2送受信制御レジスタ１(U2C1)
037E16 037F16	UART2受信バッファレジスタ(U2RB)
≈	≈
03A016	UART0送受信モードレジスタ(U0MR)
03A116	UART0転送速度レジスタ(U0BRG)
03A216 03A316	UART0送信バッファレジスタ(U0TB)
03A416	UART0送受信制御レジスタ０(U0C0)
03A516	UART0送受信制御レジスタ１(U0C1)
03A616 03A716	UART0受信バッファレジスタ(U0RB)
03A816	UART1送受信モードレジスタ(U1MR)
03A916	UART1転送速度レジスタ(U1BRG)
03AA16 03AB16	UART1送信バッファレジスタ(U1TB)
03AC16	UART1送受信制御レジスタ０(U1C0)
03AD16	UART1送受信制御レジスタ１(U1C1)
03AE16 03AF16	UART1受信バッファレジスタ(U1RB)
03B016	UART送受信制御レジスタ２(UCON)

図2.5.2.　シリアルI/O関連レジスタのメモリ配置図

UARTi送信バッファレジスタ(注1)

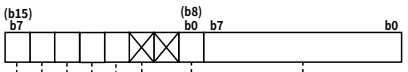


シンボル	アドレス	リセット時
U0TB	$03A3_{16}$、$03A2_{16}$番地	不定
U1TB	$03AB_{16}$、$03AA_{16}$番地	不定
U2TB	$037B_{16}$、$037A_{16}$番地	不定

機　能	R	W
送信データ	×	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。	—	—

注1.　このレジスタへの書き込みにはMOV命令を使用してください。

UARTi受信バッファレジスタ



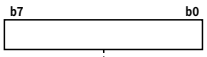
シンボル	アドレス	リセット時
U0RB	$03A7_{16}$、$03A6_{16}$番地	不定
U1RB	$03AF_{16}$、$03AE_{16}$番地	不定
U2RB	$037F_{16}$、$037E_{16}$番地	不定

ビットシンボル	ビット名	機能(ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能(ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
—	———	受信データ	受信データ	○	×
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				—	—
ABT	アービトレーション ロスト検出フラグ(注2)	0：未検出（勝） 1：検出（負）	無効	○	○
OER	オーバランエラーフラグ(注1)	0：オーバランエラーなし 1：オーバランエラー発生	0：オーバランエラーなし 1：オーバランエラー発生	○	×
FER	フレーミングエラー フラグ(注1)	無効	0：フレーミングエラーなし 1：フレーミングエラー発生	○	×
PER	パリティエラーフラグ (注1)	無効	0：パリティエラーなし 1：パリティエラー発生	○	×
SUM	エラーサムフラグ (注1)	無効	0：エラーなし 1：エラー発生	○	×

注1.　ビット15～ビット12は、シリアルI/Oモード選択ビット($03A0_{16}$、$03A8_{16}$、0378_{16}番地のビット2～ビット0)を“000_2”にしたとき、または受信許可ビットを“0”にしたとき、“0”になります(ビット15は、ビット14～ビット12がすべて“0”になると、“0”になります)。また、ビット14、ビット13は、UARTi受信バッファレジスタの下位バイト($03A6_{16}$、$03AE_{16}$、$037E_{16}$番地)を読み出したときも、“0”になります。

注2.　アービトレーションロスト検出フラグはU2RBに配置されており、“0”のみ書き込みできます。U0RB、U1RBではビット11は何も配置されていませんが、書き込む場合、“0”を書き込んでください。また、読み出した場合は“0”です。

UARTi転送速度レジスタ(注1、注2)



シンボル	アドレス	リセット時
U0BRG	$03A1_{16}$番地	不定
U1BRG	$03A9_{16}$番地	不定
U2BRG	0379_{16}番地	不定

機　能	設定可能値	R	W
設定値を nとすると、BRGiはカウントソースをn+1分周する	00_{16}～FF_{16}	×	○

注1.　値を書き込む場合は送受信停止中に書き込んでください。
注2.　このレジスタへの書き込みにはMOV命令を使用してください。

図2.5.3.　シリアルI/O関連のレジスタ (1)

UARTi 送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
UiMR(i=0,1)	$03A0_{16}$,$03A8_{16}$番地	00_{16}

ビットシンボル	ビット名	機能(ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能(ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 を設定してください 0 0 0 : シリアルI/Oは無効 0 1 0 : 選択禁止 0 1 1 : 選択禁止 1 1 1 : 選択禁止	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット 0 0 0 : シリアルI/Oは無効 0 1 0 : 選択禁止 0 1 1 : 選択禁止 1 1 1 : 選択禁止	○	○
SMD1				○	○
SMD2				○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注1)	0 : 内部クロック 1 : 外部クロック(注1)	○	○
STPS	ストップビット長選択ビット	無効	0 : 1ストップビット 1 : 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	無効	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	○	○
PRYE	パリティ許可ビット	無効	0 : パリティ禁止 1 : パリティ許可	○	○
SLEP	スリープ選択ビット	“0”を設定してください。	0 : スリープモード解除 1 : スリープモード選択	○	○

注1. 対応するポート方向レジスタは“0”にしてください。

UART2送受信モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
U2MR	0378_{16}番地	00_{16}

ビットシンボル	ビット名	機能(ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能(ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 1 を設定してください 0 0 0 : シリアルI/Oは無効 0 1 0 : (注1) 0 1 1 : 選択禁止 1 1 1 : 選択禁止	b2 b1 b0 1 0 0 : 転送データ長7ビット 1 0 1 : 転送データ長8ビット 1 1 0 : 転送データ長9ビット 0 0 0 : シリアルI/Oは無効 0 1 0 : 選択禁止 0 1 1 : 選択禁止 1 1 1 : 選択禁止	○	○
SMD1				○	○
SMD2				○	○
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注2)	“0”を設定してください。	○	○
STPS	ストップビット長選択ビット	無効	0 : 1ストップビット 1 : 2ストップビット	○	○
PRY	パリティ奇/偶選択ビット	無効	ビット6が“1”のとき有効、 0 : 奇数パリティ 1 : 偶数パリティ	○	○
PRYE	パリティ許可ビット	無効	0 : パリティ禁止 1 : パリティ許可	○	○
IOPOL	TxD,RxD入出力極性切り替えビット	0 : 反転なし 1 : 反転あり 通常は“0”に設定してください	0 : 反転なし 1 : 反転あり 通常は“0”に設定してください	○	○

注1. IICモード使用時、ビット2～ビット0は“010_2”を設定してください。
注2. 対応するポート方向レジスタは“0”にしてください。

図2.5.4. シリアルI/O関連のレジスタ (2)

UARTi 送受信制御レジスタ0

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット時
UiC0(i=0,1)	03A4$_{16}$,03AC$_{16}$番地	08$_{16}$

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
CLK0	BRGカウントソース選択ビット	b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f32を選択 1 1 : 選択禁止	b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f32を選択 1 1 : 選択禁止	○	○
CLK1				○	○
CRS	$\overline{CTS}$/$\overline{RTS}$機能選択ビット	ビット4が“0”のとき有効、 0 : $\overline{CTS}$機能を選択(注1) 1 : $\overline{RTS}$機能を選択(注2)	ビット4が“0”のとき有効、 0 : $\overline{CTS}$機能を選択(注1) 1 : $\overline{RTS}$機能を選択(注2)	○	○
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	○	×
CRD	$\overline{CTS}$/$\overline{RTS}$禁止ビット	0 : $\overline{CTS}$/$\overline{RTS}$機能許可 1 : CTS/RTS機能禁止 （P60,P64はプログラマブル入出力ポートとして機能）	0 : $\overline{CTS}$/$\overline{RTS}$機能許可 1 : CTS/RTS機能禁止 （P60,P64はプログラマブル入出力ポートとして機能）	○	○
NCH	データ出力選択ビット	0 : TxDi端子はCMOS出力 1 : TxDi端子はNチャネルオープンドレイン出力	0 : TxDi端子はCMOS出力 1 : TxDi端子はNチャネルオープンドレイン出力	○	○
CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信 データ出力、立ち下がりで受信データ入力	“0”を設定してください。	○	○
UFORM	転送フォーマット選択ビット	0 : LSBファースト 1 : MSBファースト	“0”を設定してください。	○	○

注1.　対応するポート方向レジスタは“0”にしてください。
注2.　対応するポートレジスタおよびポート方向レジスタの設定値は無効です。

UART2 送受信制御レジスタ0

b7 b6 b5 b4 b3 b2 b1 b0

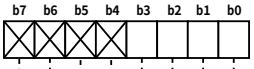
シンボル	アドレス	リセット時
U2C0	037C$_{16}$番地	08$_{16}$

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
CLK0	BRGカウントソース選択ビット	b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f32を選択 1 1 : 選択禁止	b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f32を選択 1 1 : 選択禁止	○	○
CLK1				○	○
CRS	$\overline{CTS}$/$\overline{RTS}$機能選択ビット	ビット4が“0”のとき有効、 0 : $\overline{CTS}$機能を選択(注1) 1 : $\overline{RTS}$機能を選択(注2)	ビット4が“0”のとき有効、 0 : $\overline{CTS}$機能を選択(注1) 1 : $\overline{RTS}$機能を選択(注2)	○	○
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	○	×
CRD	$\overline{CTS}$/$\overline{RTS}$禁止ビット	0 : $\overline{CTS}$/$\overline{RTS}$機能許可 1 : CTS/RTS機能禁止 （P73はプログラマブル入出力ポートとして機能）	0 : $\overline{CTS}$/$\overline{RTS}$機能許可 1 : CTS/RTS機能禁止 （P73はプログラマブル入出力ポートとして機能）	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				—	—
CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信 データ出力、立ち下がりで受信データ入力	“0”を設定してください。	○	○
UFORM	転送フォーマット選択ビット(注3)	0 : LSBファースト 1 : MSBファースト	0 : LSBファースト 1 : MSBファースト	○	○

注1.　対応するポート方向レジスタは“0”にしてください。
注2.　対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
注3.　クロック同期形シリアルI/Oモードおよび8ビットUARTモード時だけ有効です。

図2.5.5.　シリアルI/O関連のレジスタ (3)

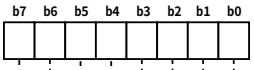
UARTi 送受信制御レジスタ1



シンボル	アドレス	リセット時
UiC1(i=0,1)	03A5$_{16}$,03AD$_{16}$番地	02$_{16}$

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	0 : 送信禁止 1 : 送信許可	○	○
TI	送信バッファ空フラグ	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	○	×
RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	0 : 受信禁止 1 : 受信許可	○	○
RI	受信完了フラグ	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	○	×
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。				—	—

UART2送受信制御レジスタ1



シンボル	アドレス	リセット時
U2C1	037D$_{16}$番地	02$_{16}$

ビットシンボル	ビット名	機能 (ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能 (ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	0 : 送信禁止 1 : 送信許可	○	○
TI	送信バッファ空フラグ	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	○	×
RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	0 : 受信禁止 1 : 受信許可	○	○
RI	受信完了フラグ	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	○	×
U2IRS	UART2送信割り込み要因選択ビット	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)	○	○
U2RRM	UART2連続受信モード許可ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可	“0”を設定してください。	○	○
U2LCH	データ論理選択ビット	0 : 反転なし 1 : 反転あり	0 : 反転なし 1 : 反転あり	○	○
U2ERE	エラー信号出力許可ビット	“0”を設定してください。	0 : 出力しない 1 : 出力する	○	○

図2.5.6.　シリアルI/O関連のレジスタ (4)

UART送受信制御レジスタ2

b7	b6	b5	b4	b3	b2	b1	b0
╳	0						

シンボル	アドレス	リセット時
UCON	$03B0_{16}$番地	$X0000000_2$

ビットシンボル	ビット名	機能(ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能(ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
U0IRS	UART0送信割り込み要因選択ビット	0：送信バッファ空 (TI=1) 1：送信完了(TXEPT=1)	0：送信バッファ空 (TI=1) 1：送信完了(TXEPT=1)	○	○
U1IRS	UART1送信割り込み要因選択ビット	0：送信バッファ空 (TI=1) 1：送信完了(TXEPT=1)	0：送信バッファ空 (TI=1) 1：送信完了(TXEPT=1)	○	○
U0RRM	UART0連続受信モード許可ビット	0：連続受信モード禁止 1：連続受信モード許可	“0”を設定してください。	○	○
U1RRM	UART1連続受信モード許可ビット	0：連続受信モード禁止 1：連続受信モード許可	“0”を設定してください。	○	○
CLKMD0	CLK,CLKS選択ビット0	ビット5が“1”のとき有効 0：CLK1にクロックを出力 1：CLKS1にクロックを出力	無効	○	○
CLKMD1	CLK,CLKS選択ビット1(注1)	0：通常モード(CLK出力はCLK1のみ) 1：転送クロック複数端子出力機能選択	“0”を設定してください。	○	○
予約ビット		必ず“0”を設定してください。		—	○
何も配置されていない。書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。				—	—

注1. 複数の転送クロック出力端子を使用するときは、以下に示す条件を満たしてください。
・UART1 内/外部クロック選択ビット($03A8_{16}$番地のビット3)=“0”

UART2特殊モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0							

シンボル	アドレス	リセット時
U2SMR	0377_{16}番地	00_{16}

ビットシンボル	ビット名	機能(ｸﾛｯｸ同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	機能(ｸﾛｯｸ非同期形ｼﾘｱﾙI/Oﾓｰﾄﾞ時)	R	W
IICM	IICモード選択ビット	0：通常モード 1：IICモード	“0”を設定してください。	○	○
ABC	アービトレーションロスト検出フラグ制御	0：ビット毎に更新 1：バイト毎に更新	“0”を設定してください。	○	○
BBS	バスビジーフラグ	0：ストップコンディション検出 1：スタートコンディション検出	“0”を設定してください。	○	○(注1)
LSYN	SCLL同期出力許可ビット	0：禁止 1：許可	“0”を設定してください。	○	○
ABSCS	バス衝突検出サンプリングクロック選択ビット	“0”を設定してください。	0：転送クロックの立ち上がり 1：タイマＡ０のアンダフロー信号	○	○
ACSE	送信許可ビット自動クリア機能選択ビット	“0”を設定してください。	0：自動クリア機能なし 1：バス衝突発生時自動クリア	○	○
SSS	送信開始条件選択ビット	“0”を設定してください。	0：通常 1：RxD2の立ち下がり	○	○
予約ビット		必ず“0”を設定してください。		—	○

注1.“0”だけ書き込み可。

図2.5.7. シリアルI/O関連のレジスタ (5)

2.5.2 シリアルI / O動作 (クロック非同期形シリアルI / Oモードの送信)

クロック非同期形シリアルI / Oモードの送信では、表2.5.4に示す項目の中から機能を選択できます。ここでは、表2.5.4に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.5.8に動作タイミングを、図2.5.9、図2.5.10に設定手順を示します。

表2.5.4. 設定内容

設定項目	設定内容		設定項目	設定内容	
転送クロックソース (注1)	○	内部クロック(f_1 / f_8 / f_{32})	シリアルデータ論理切り替え機能 (注2)	○	反転なし
		外部クロック(CLKi端子)			反転あり
$\overline{\text{CTS}}$機能	○	$\overline{\text{CTS}}$機能許可	TxD, RxD入出力極性切り替え機能 (注2)	○	反転なし
		$\overline{\text{CTS}}$機能禁止			反転あり
送信割り込み要因		送信バッファ空	バス衝突検出機能 (注2)	○	使用しない
	○	送信完了			使用する
スリープモード (注1)	○	スリープモード解除			
		スリープモード選択			

注1. UART0, UART1だけ選択できます。
注2. UART2だけ選択できます。

動 作

(1) 送信許可ビットを“1”にし、UARTi送信バッファレジスタに送信データを書き込むと送信できる状態になります。

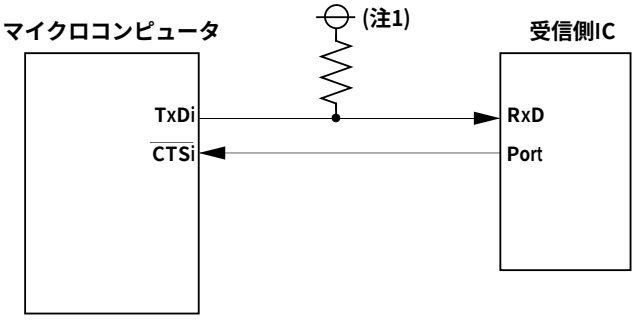
(2) $\overline{\text{CTS}}$i端子の入力が“L”レベルになると送信を開始します($\overline{\text{CTS}}$i端子は、受信側で制御する必要があります)。

(3) UARTi送信バッファレジスタに入っている送信データがUARTi送信レジスタに転送されます。同時に、送信データの1ビット目(スタートビット)がTxDi端子から送信されます。そして、データビット(LSB)→・・・→データビット(MSB)→パリティビット→ストップビットの順に1ビットずつ送信されます。

(4) ストップビットを送信すると、送信レジスタ空フラグが“1”になり、送信が完了したことを示します。同時に、UARTi送信割り込み要求ビットが“1”になります。また、転送クロックは“H”レベルで停止します。

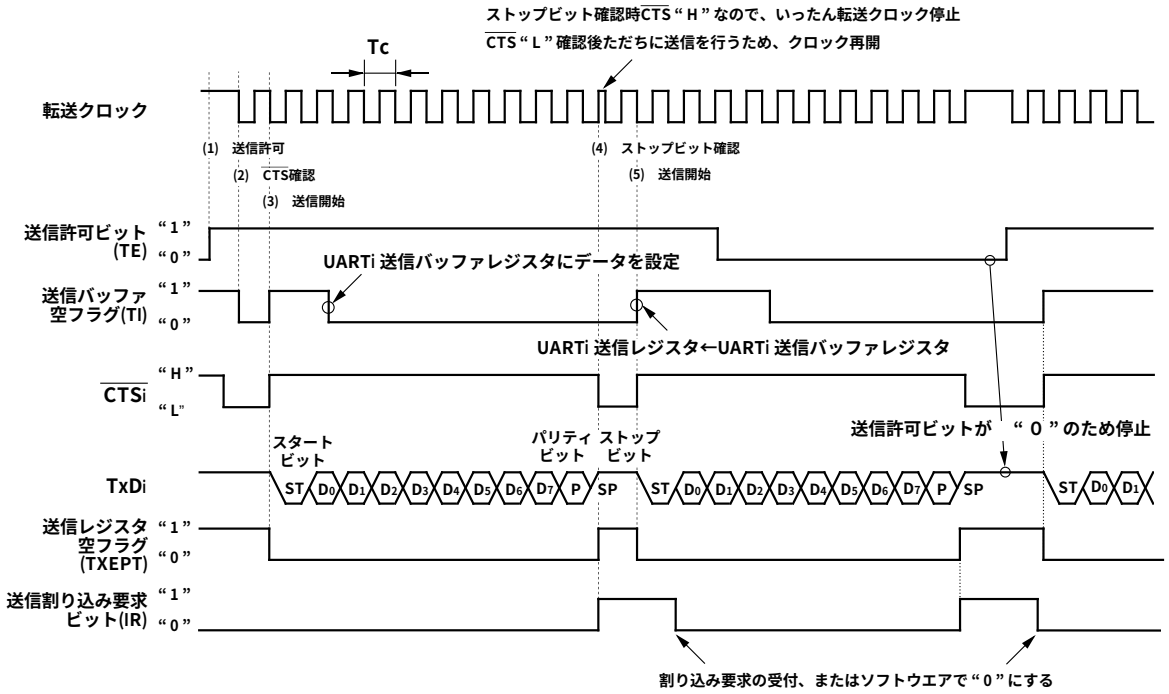
(5) 送信完了時に次のデータの送信条件が満たされていれば、ストップビットに続いてスタートビットが発生し、次のデータの送信を行います。

結線例



注1.　TxD2端子はNチャネルオープンドレインのためプルアップ抵抗が必要です。

動作例



( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●パリティ許可
- ●1ストップビット
- ●CTS 機能選択
- ●送信割り込み要因選択ビット=“1”

Tc = 16(n+1) / fi または 16(n+1) / fEXT
fi：BRGiのカウントソースの周波数（f1,f8,f32）
fEXT：BRGiのカウントソースの周波数（外部クロック）
n：BRGiに設定した値

図2.5.8.　クロック非同期形シリアルI / Oモードの送信動作タイミング図

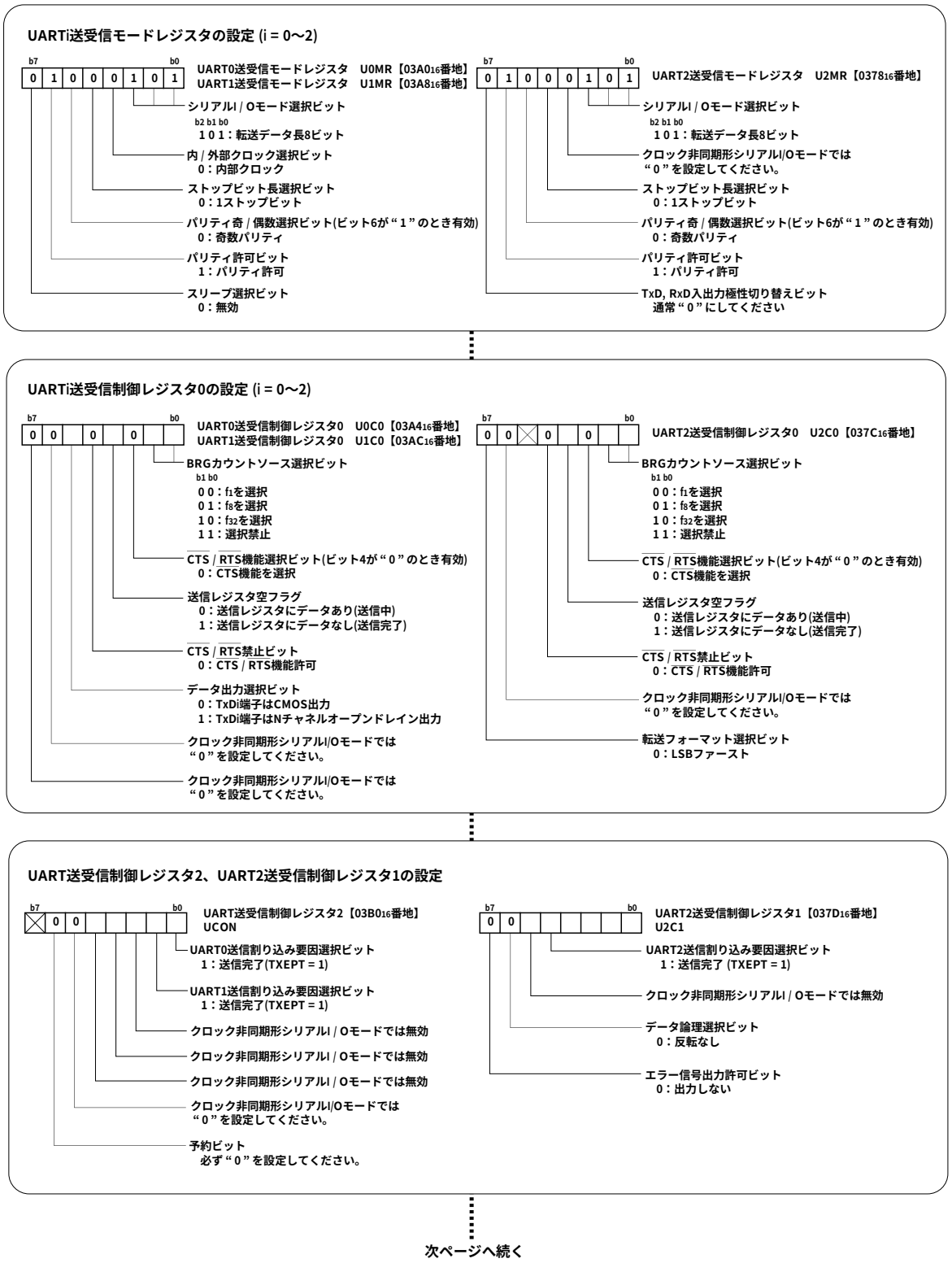


図2.5.9. クロック非同期形シリアルI / Oモードの送信動作時のレジスタ設定手順(1)

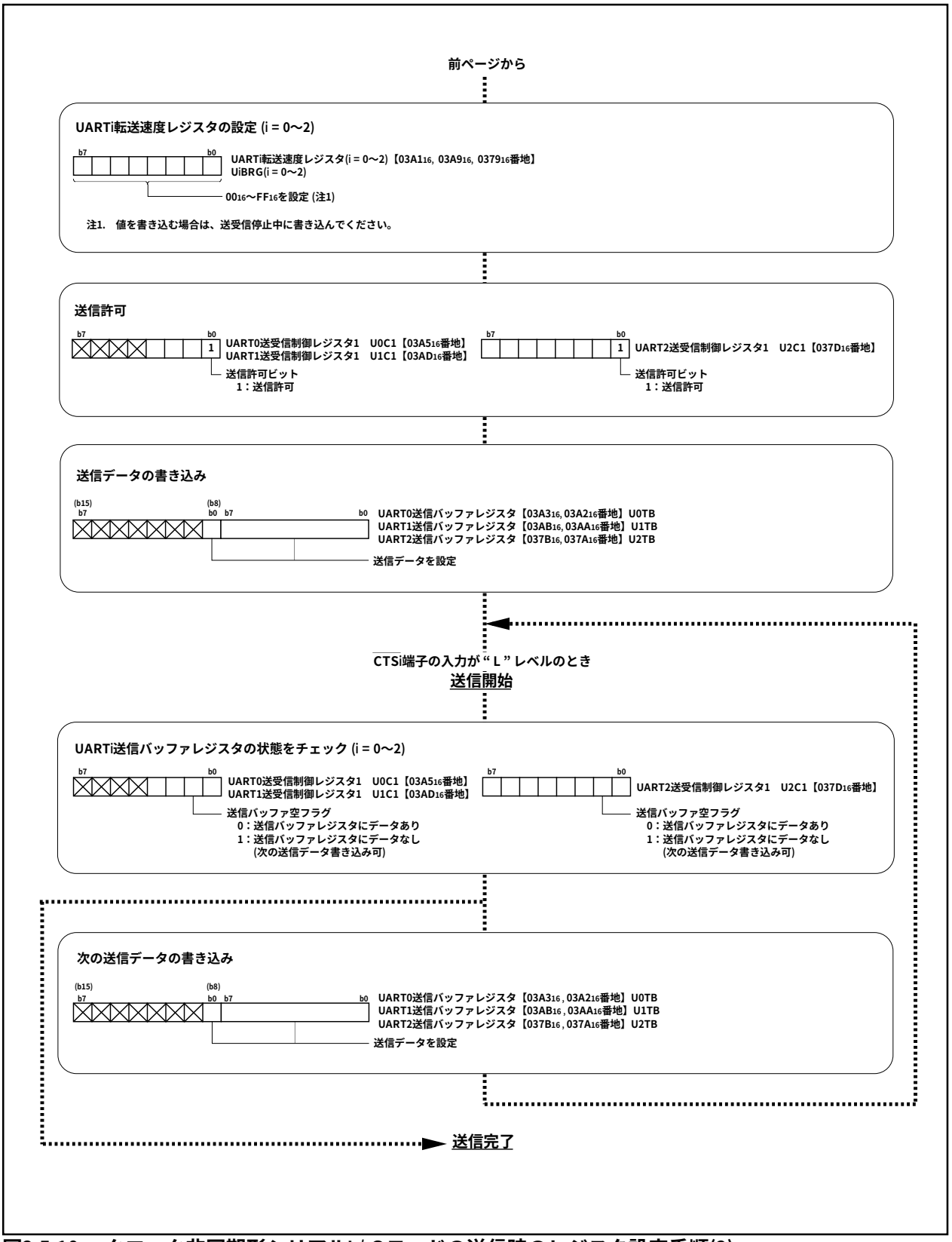


図2.5.10. クロック非同期形シリアルI / Oモードの送信時のレジスタ設定手順(2)

2.5.3 シリアルI / O動作 (クロック非同期形シリアルI / Oモードの受信)

クロック非同期形シリアルI / Oモードの受信では、表2.5.5に示す項目の中から機能を選択できます。ここでは、表2.5.5に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.5.11に動作タイミングを、図2.5.12、図2.5.13に設定手順を示します。

表2.5.5. 設定内容

設定項目	設定内容		設定項目	設定内容	
転送クロックソース (注1)	○	内部クロック(f_1 / f_8 / f_{32})	シリアルデータ論理切り替え機能 (注2)	○	反転なし
		外部クロック(CLKi端子)			反転あり
$\overline{\text{RTS}}$機能	○	$\overline{\text{RTS}}$機能許可	TxD, RxD入出力極性切り替え機能 (注2)	○	反転なし
		$\overline{\text{RTS}}$機能禁止			反転あり
スリープモード (注1)	○	スリープモード解除	バス衝突検出機能 (注2)	○	使用しない
		スリープモード選択			使用する

注1. UART0, UART1だけ選択できます。
注2. UART2だけ選択できます。

動 作

(1) 受信許可ビットを“1”にすると受信できる状態になります。同時に、$\overline{\text{RTS}}$i端子の出力が“L”レベルになり、受信できる状態になったことを送信側に知らせます。

(2) 受信データの1ビット目(スタートビット)がRxDi端子から受信されると$\overline{\text{RTS}}$の出力が“H”レベルになります。その後、データビット(LSB)→・・・→データビット(MSB)→ストップビットの順に1ビットずつ受信されます。

(3) ストップビットを受信すると、UARTi受信レジスタの内容はUARTi受信バッファレジスタに転送されます。

同時に以下のようになります。

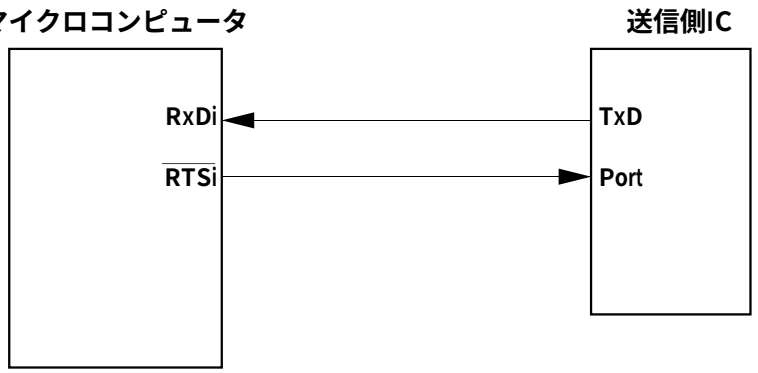
受信完了フラグが“1”になり、受信が完了したことを示します。

UARTi受信割り込み要求ビットが“1”になります。

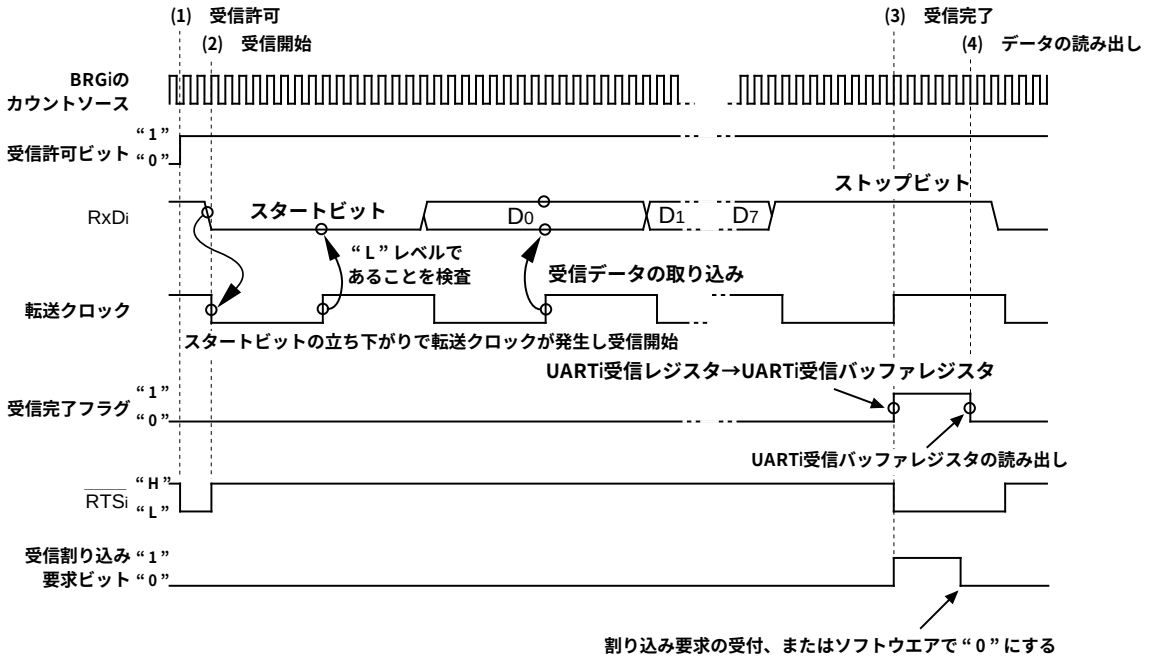
$\overline{\text{RTS}}$端子の出力レベルは“L”になります。

(4) 受信完了フラグはUARTi受信バッファレジスタの下位バイトを読み出したとき“0”になります。

結線例



動作例



上記タイミング図は次の設定条件の場合です。
- ●転送データ長8ビット
- ●パリティ禁止
- ●1ストップビット
- ●RTS機能選択

図2.5.11　クロック非同期形シリアルI / Oモードの受信動作タイミング図

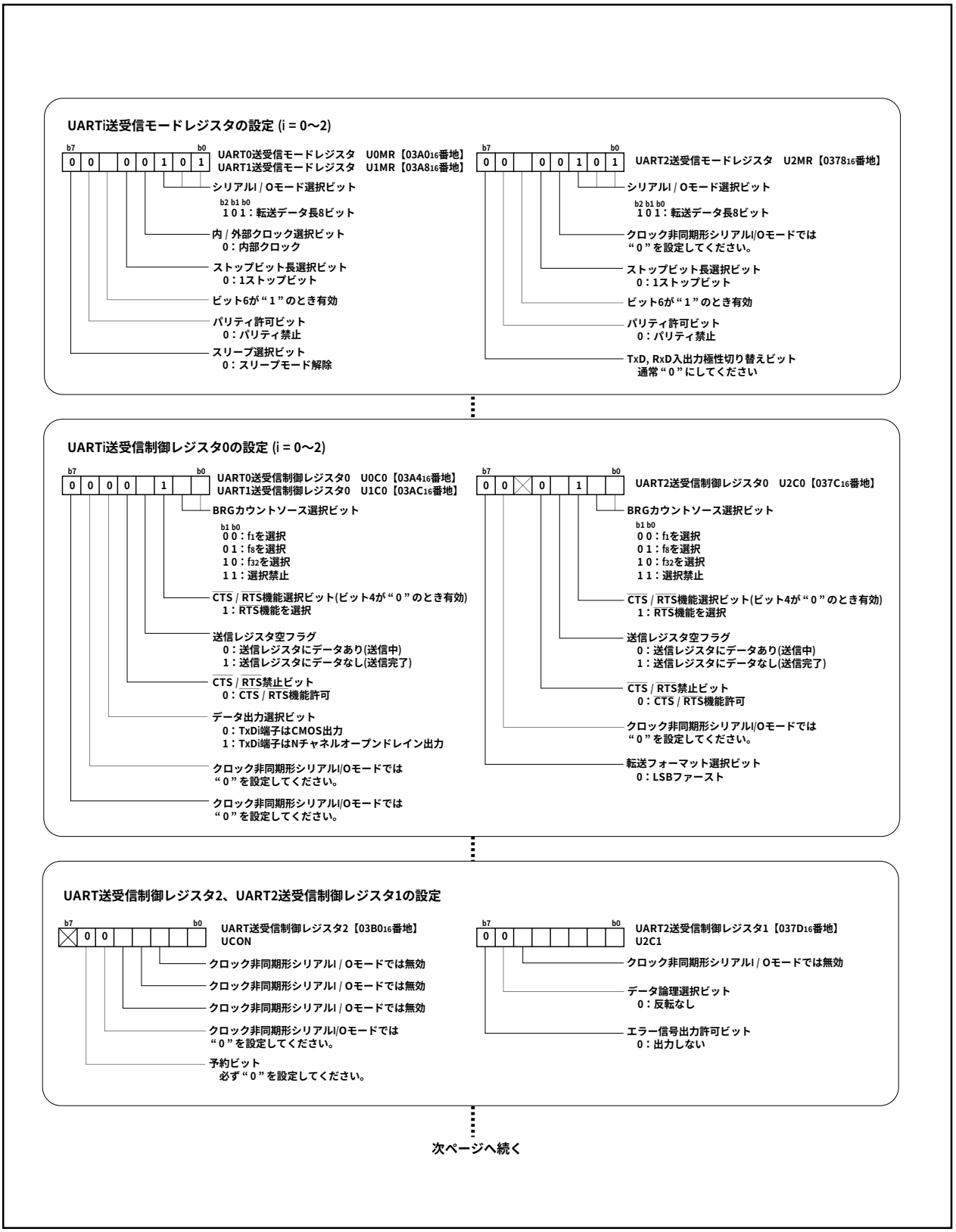


図2.5.12. クロック非同期形シリアルI / Oモードの受信時のレジスタ設定手順(1)

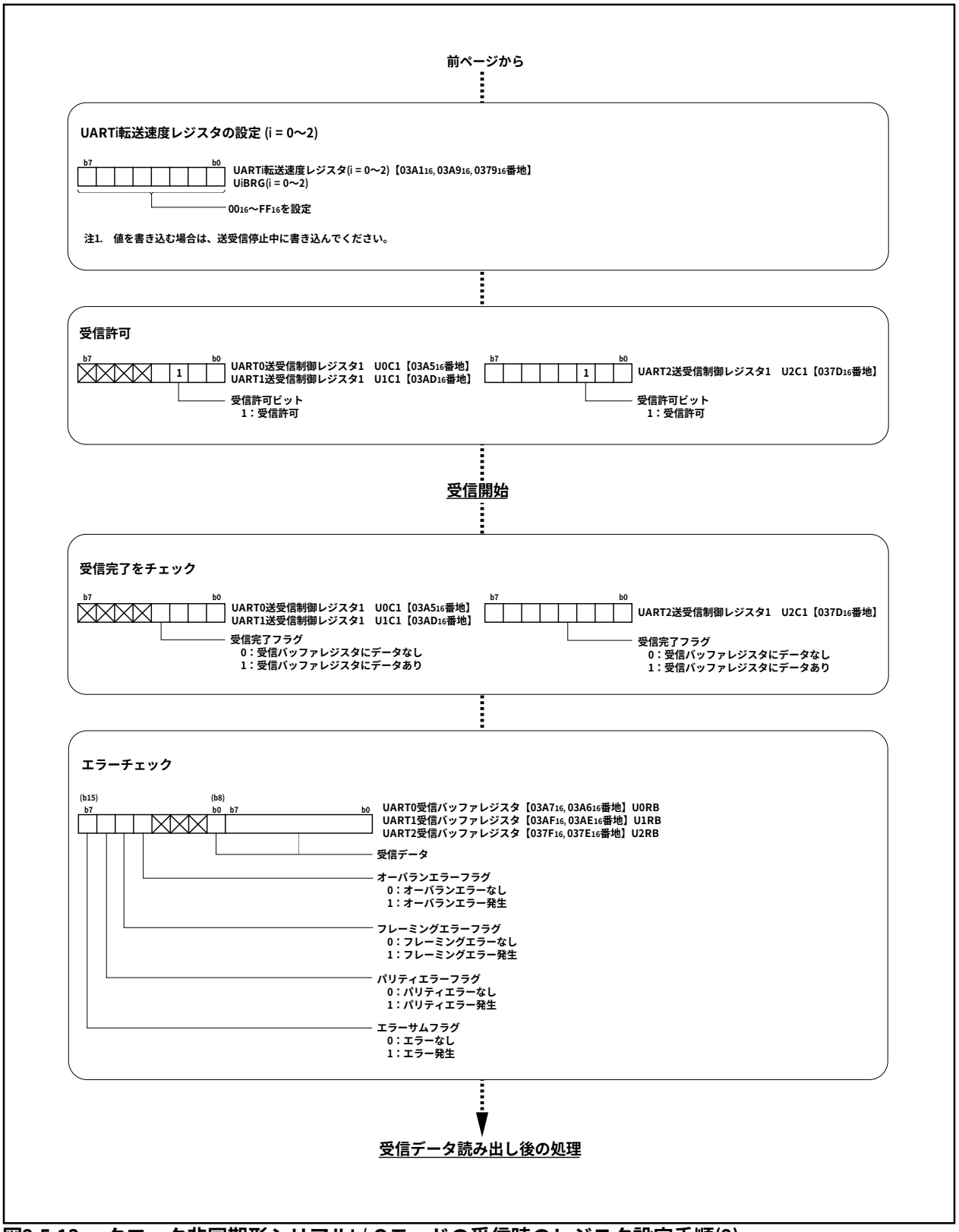


図2.5.13. クロック非同期形シリアルI / Oモードの受信時のレジスタ設定手順(2)

2.5.4 シリアルI / O動作 (SIMインタフェース対応時の送信)

クロック非同期形シリアルI / Oモード(SIMインタフェース対応)の送信では、表2.5.6に示す項目の中から機能を選択できます。ここでは、表2.5.6に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.5.14に動作タイミングを、図2.5.15、図2.5.16に設定手順を示します。

表2.5.6. 設定内容

設定項目	設定内容	
転送データフォーマット	○	ダイレクトフォーマット
		インバースフォーマット

動　作

(1) 送信許可ビットおよび受信許可ビットを“1”にし、UART2送信バッファレジスタに送信データを書き込むと送信できる状態になります。また、UART2送信割り込みは許可にする必要があります。

(2) UART2送信バッファレジスタに入っている送信データがUART2送信レジスタに転送されます。同時に、送信データの1ビット目(スタートビット)がTxD2端子から送信されます。そして、データビット(LSB)→・・・→データビット(MSB)→パリティビット→ストップビットの順に1ビットずつ送信されます。

(3) ストップビットを送信すると、送信レジスタ空フラグが“1”になり、送信が完了したことを示します。同時に、UART2送信割り込み要求ビットが“1”になります。また、転送クロックは“H”レベルで停止します。

(4) 送信完了時に次のデータの送信条件が満たされていれば、ストップビットに続いてスタートビットが発生し、次のデータの送信を行います。

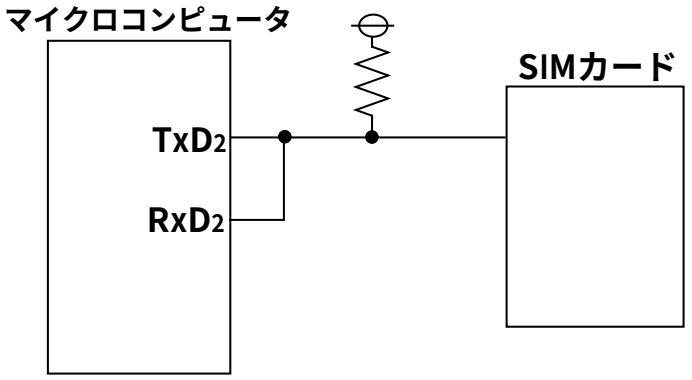
(5) パリティエラーが発生した場合、SIMカードから“L”が出力され、RxD2端子は“L”になります。UART2送信割り込みルーチン内でRxD2端子のレベルを確認し、“L”の場合、エラー処理をしてください。

補足説明

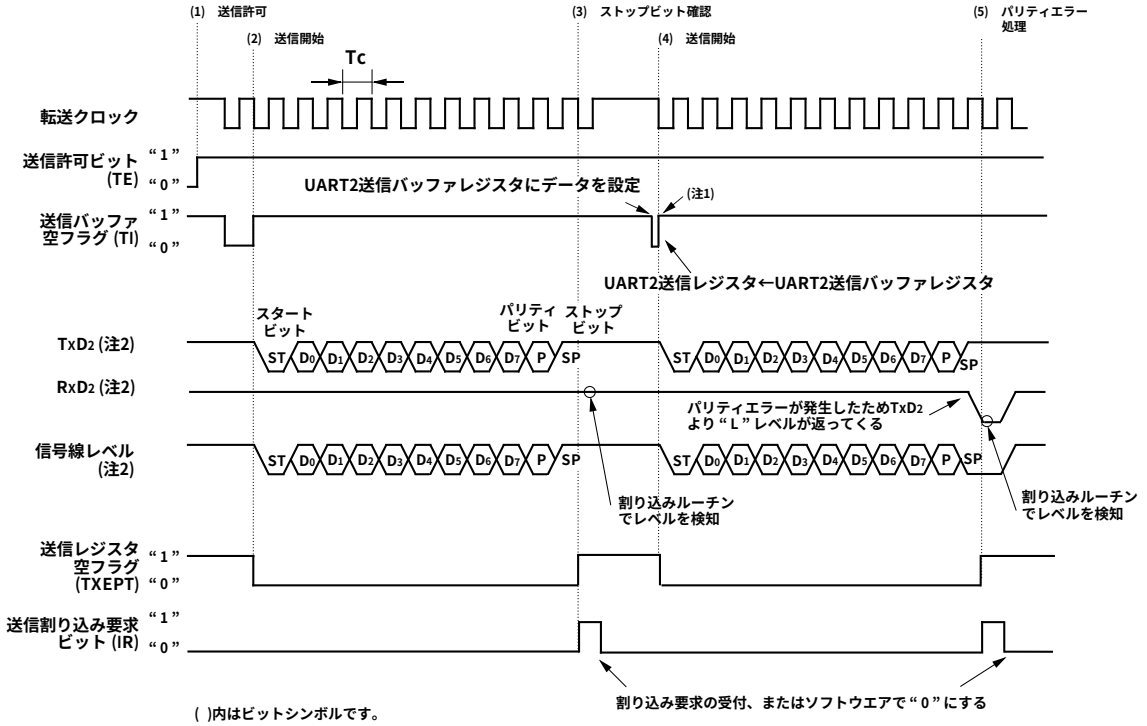
・UART2送信割り込みの中でパリティエラーのレベルを判断します。送信割り込み要求ビットが発生したときに、すぐに割り込みルーチンが実行できるように、送信割り込みの優先レベルは他の割り込みより高く設定してください。また、メインルーチン、割り込みルーチンの中でも割り込み禁止時間を極力少なくする必要があります。

・RxD2端子の方向レジスタは入力に設定してください。

結線例



動作例(ダイレクトフォーマットの場合)



( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●パリティ許可
- ●1ストップビット
- ●送信割り込み要因選択ビット="1"

Tc = 16(n+1) / fi
fi：BRG2のカウントソースの周波数（f_1,f_8,f_{32}）
n：BRG2に設定した値

注1. 上記タイミングにおいて、送信バッファに値を書き込んだ後、BRGのオーバフロータイミングで送信が開始されます。
注2. TxD2とRxD2は結線図で示したとおり、ワイヤードORで結ばれます。そのため、本来ならばTxD2とRxD2は同じ信号になるべきですが、出力信号がわかりにくくなるため、出力信号を別々に示します。また、TxD2とRxD2をつないだ信号のレベルは信号線レベルとして示します。

図2.5.14. クロック非同期形シリアルI / Oモード(SIMインタフェース対応)の送信動作タイミング図

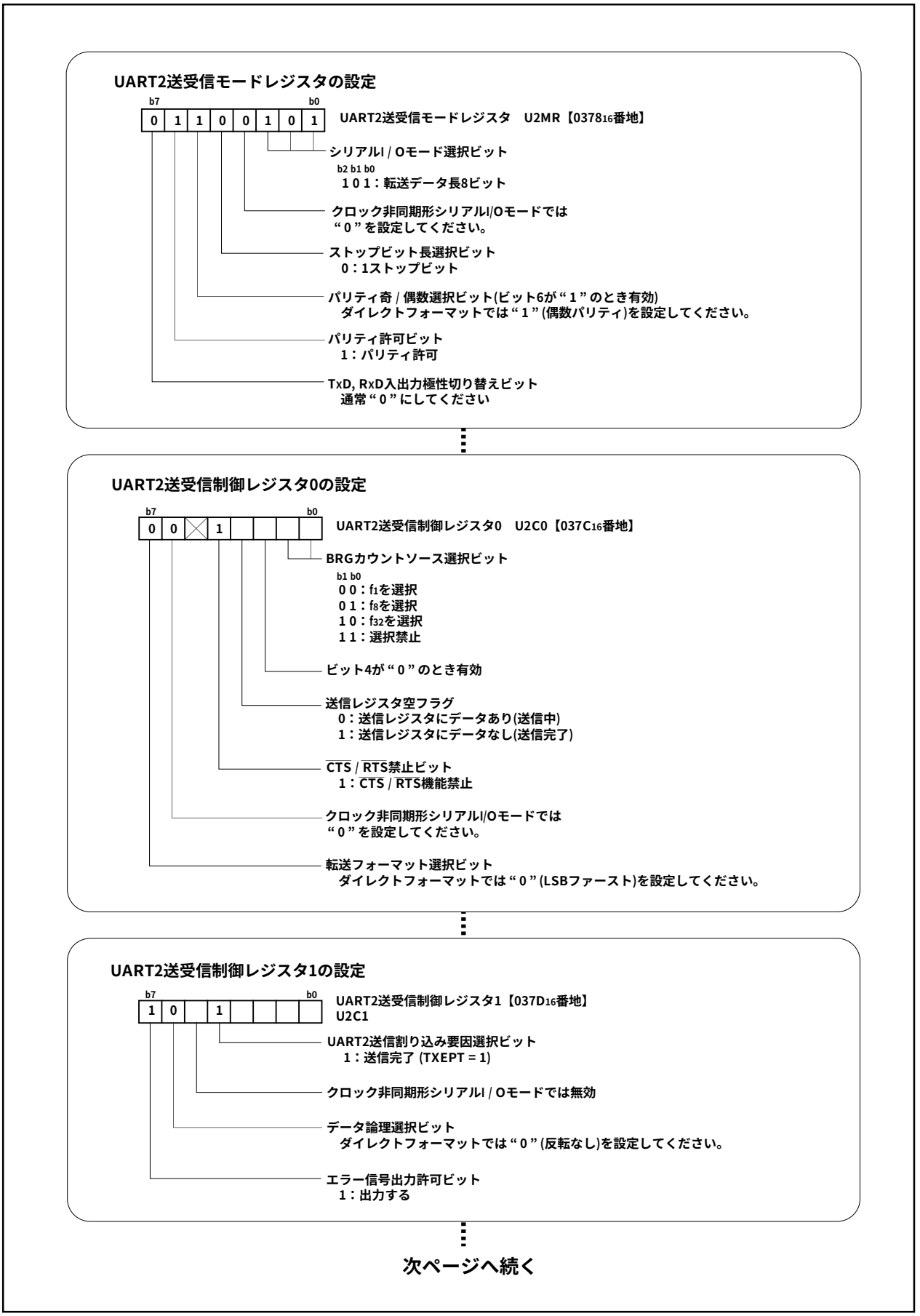


図2.5.15.　クロック非同期形シリアルI / Oモード(SIMインタフェース対応)の送信動作時のレジスタ設定手順(1)

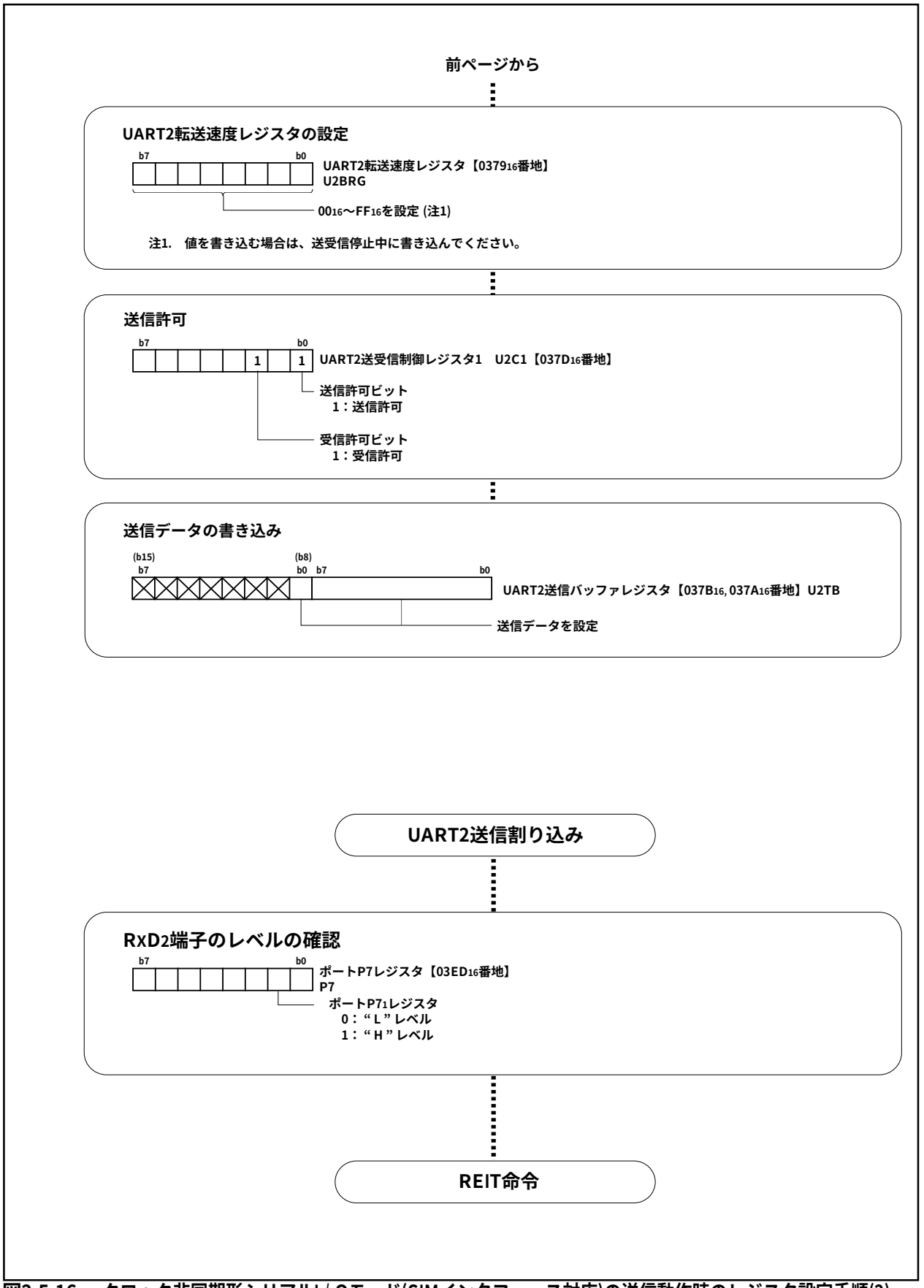


図2.5.16. クロック非同期形シリアルI / Oモード(SIMインタフェース対応)の送信動作時のレジスタ設定手順(2)

2.5.5 シリアルI / O動作 (SIMインタフェース対応時の受信)

クロック非同期形シリアルI / Oモード(SIMインタフェース対応時)の受信では、表2.5.7に示す項目の中から機能を選択できます。ここでは、表2.5.7に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.5.17に動作タイミングを、図2.5.18、図2.5.19に設定手順を示します。

表2.5.7. 設定内容

設定項目	設定内容	
転送データフォーマット	○	ダイレクトフォーマット
		インバースフォーマット

動 作

(1) 送信許可ビットおよび受信許可ビットを“1”にすると受信できる状態になります。

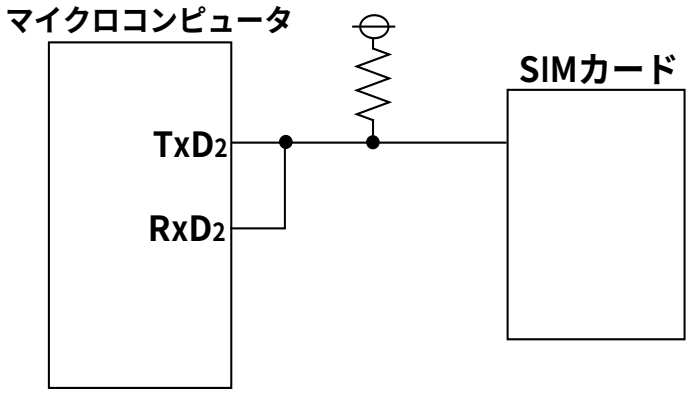
(2) 受信データの1ビット目(スタートビット)がRxD2端子から受信されるとデータビット(LSB)→・・・→データビット(MSB)→パリティビット→ストップビットの順に1ビットずつ受信されます。

(3) ストップビットを受信すると、UART2受信レジスタの内容はUART2受信バッファレジスタに転送されます。
同時に以下のようになります。
受信完了フラグが“1”になり、受信が完了したことを示します。
UART2受信割り込み要求ビットが“1”になります。

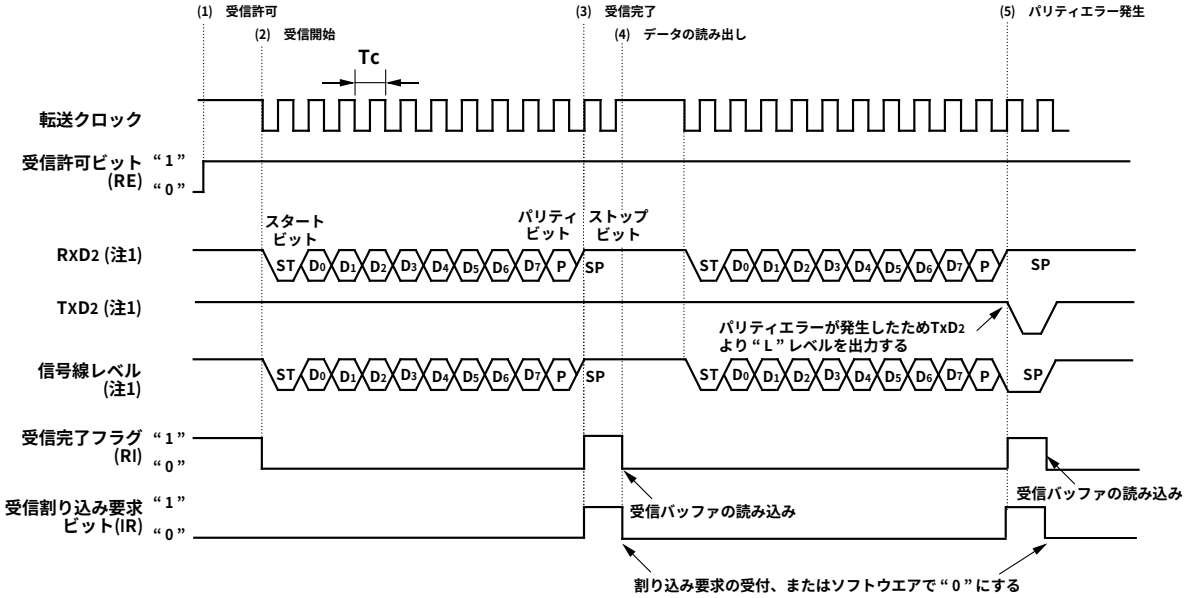
(4) 受信完了フラグはUART2受信バッファレジスタの下位バイトを読み出したとき“0”になります。

(5) パリティエラーが発生すると、TxD2端子が“L”レベルになります。

結線例



動作例(ダイレクトフォーマットの場合)



( )内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。
- ●パリティ許可
- ●1ストップビット
- ●送信割り込み要因選択ビット=“1”

$Tc = 16(n+1) / fi$
fi：BRG2のカウントソースの周波数（f_1, f_8, f_{32}）
n：BRG2に設定した値

注1. TxD2とRxD2は結線図で示したとおり、ワイヤードORで結ばれます。そのため、本来ならばTxD2とRxD2は同じ信号になるべきですが、出力信号がわかりにくくなるため、出力信号を別々に示します。また、TxD2とRxD2をつないだ信号のレベルは信号線レベルとして示します。

図2.5.17. クロック非同期形シリアルI / Oモード(SIMインタフェース対応時)の受信動作タイミング図

UART2送受信モードレジスタの設定

b7 b0

0	1	1	0	0	1	0	1

UART2送受信モードレジスタ　U2MR【0378$_{16}$番地】

シリアルI / Oモード選択ビット
b2 b1 b0
1 0 1：転送データ長8ビット

クロック非同期形シリアルI/Oモードでは“0”を設定してください。

ストップビット長選択ビット
0：1ストップビット

パリティ奇 / 偶数選択ビット(ビット6が“1”のとき有効)
ダイレクトフォーマットでは“1”(偶数パリティ)を設定してください。

パリティ許可ビット
1：パリティ許可

TxD, RxD入出力極性切り替えビット
通常“0”にしてください

UART2送受信制御レジスタ0の設定

b7 b0

0	0	╳	1				

UART2送受信制御レジスタ0　U2C0【037C$_{16}$番地】

BRGカウントソース選択ビット
b1 b0
0 0：f_1を選択
0 1：f_8を選択
1 0：f_{32}を選択
1 1：選択禁止

ビット4が“0”のとき有効

送信レジスタ空フラグ
0：送信レジスタにデータあり(送信中)
1：送信レジスタにデータなし(送信完了)

$\overline{CTS}$ / $\overline{RTS}$禁止ビット
1：$\overline{CTS}$ / $\overline{RTS}$機能禁止

クロック非同期形シリアルI/Oモードでは“0”を設定してください。

転送フォーマット選択ビット
ダイレクトフォーマットでは“0”(LSBファースト)を設定してください。

UART2送受信制御レジスタ1の設定

b7 b0

1	0		1				

UART2送受信制御レジスタ1【037D$_{16}$番地】
U2C1

UART2送信割り込み要因選択ビット
1：送信完了 (TXEPT = 1)

クロック非同期形シリアルI / Oモードでは無効

データ論理選択ビット
ダイレクトフォーマットでは“0”(反転なし)を設定してください。

エラー信号出力許可ビット
1：出力する

次ページへ続く

図2.5.18.　クロック非同期形シリアルI / Oモード(SIMインタフェース対応時)の受信動作時のレジスタ設定手順(1)

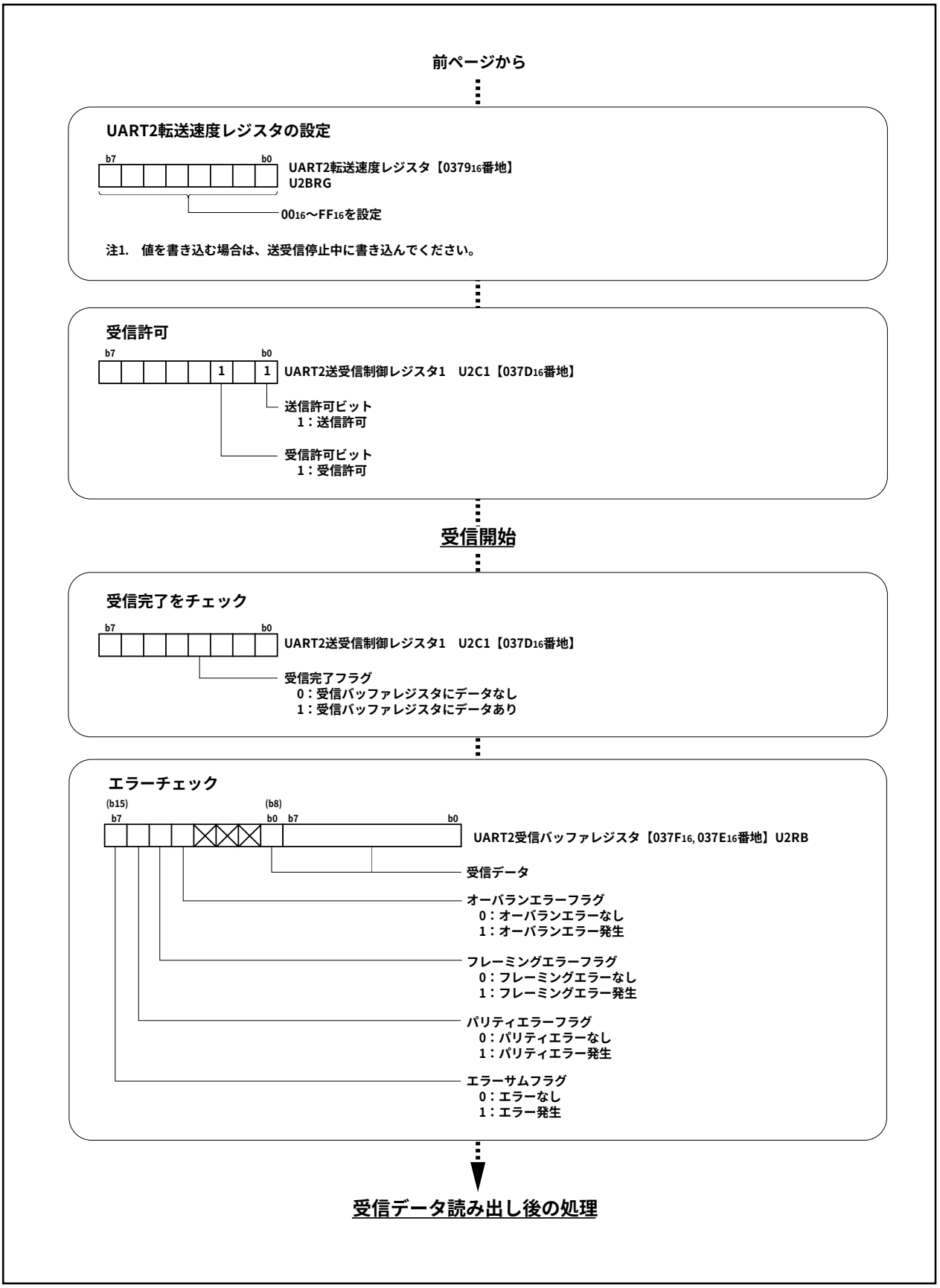


図2.5.19. クロック非同期形シリアルI / Oモード(SIMインタフェース対応時)の受信動作時のレジスタ設定手順(2)

2.5.6 SIMインタフェース対応時のクロック

SIMインタフェース対応時、SIMカード内のUARTクロックと、マイコン内部のUART2クロックが一致する必要があります。マイコン内部のUART2クロックの作成方法として、2つの例をあげます。

・UART2クロックの分周比に(1 / 256 × 1 / 16)以下の値を設定する場合
UARTのソースクロックとしてf1を選択し、転送速度レジスタの設定値により対応できます。

・UART2クロックの分周比に(1 / 256 × 1 / 16)以上の値を設定する場合
転送速度レジスタに0を設定し、ソースクロックをタイマ出力とし、このタイマの設定値により対応できます。

FをSIMカードの内部クロック、Dをビットレート調整因子とすると、UARTクロックの計算式は以下のようになります。図2.5.20に接続例を示します。

●UART2クロックの分周比に(1 / 256 × 1 / 16)以下の値を設定する場合

マイコン内部のUART2クロック＝SIMカード内部のUARTクロック

$$f_1 \times \frac{1}{\text{転送速度レジスタ}+1} \times \frac{1}{16} = f_1 \times \frac{1}{\text{タイマAiカウンタ}+1} \times \text{フリップフロップ} \times \frac{1}{F/D}$$

X_{IN} = 10MHz、タイマAiカウンタ = 1、F = 372、D=1としたとき、転送速度レジスタに設定する値は、

$$10 \times \frac{1}{\text{転送速度レジスタ}+1} \times \frac{1}{16} = 10 \times \frac{1}{2} \times \frac{1}{2} \times \frac{1}{372/1}$$

転送速度レジスタ = 92

表2.5.8にUART2転送速度レジスタ設定値の例を示します。

●UART2クロックの分周比に(1 / 256 × 1 / 16)以上の値を設定する場合
マイコン内部のUART2クロック＝SIMカード内部のUARTクロック

$$f_1 \times \frac{1}{\text{タイマAjカウンタ}+1} \times \begin{matrix}\text{フリップ}\\\text{フロップ}\end{matrix} \times \frac{1}{\text{転送速度レジスタ}+1} \times \frac{1}{16}$$

$$= f_1 \times \frac{1}{\text{タイマAiカウンタ}+1} \times \begin{matrix}\text{フリップ}\\\text{フロップ}\end{matrix} \times \frac{1}{F/D}$$

X_{IN} = 10MHz、タイマAiカウンタ = 3、転送速度レジスタ = 0、F = 1860、D=1としたとき、タイマAjカウンタに設定する値は、

$$10 \times \frac{1}{\text{タイマAjカウンタ}+1} \times \frac{1}{2} \times \frac{1}{0+1} \times \frac{1}{16} = 10 \times \frac{1}{3+1} \times \frac{1}{2} \times \frac{1}{1860/1}$$

タイマAjカウンタ = 464

表2.5.9にタイマAjレジスタ設定値の例を示します。

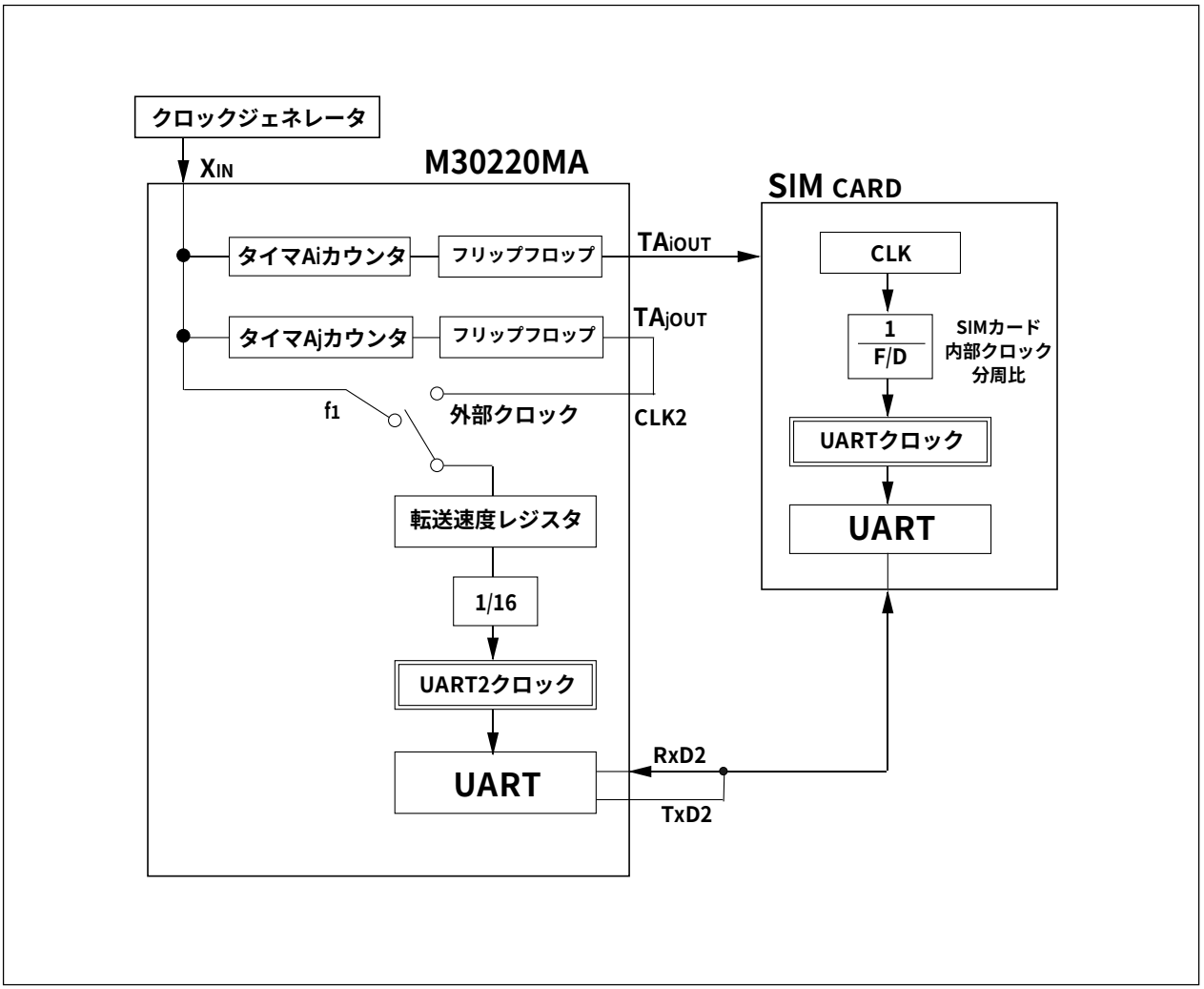

クロックジェネレータ
XIN
M30220MA
SIM CARD
タイマAiカウンタ
フリップフロップ
TAiOUT
タイマAjカウンタ
フリップフロップ
TAjOUT
f1
外部クロック
CLK2
転送速度レジスタ
1/16
UART2クロック
UART
RxD2
TxD2
CLK
1
F/D
SIMカード
内部クロック
分周比
UARTクロック
UART

図2.5.20.　接続例

表2.5.8. UART2転送速度レジスタ設定値の例

SIMカードの内部クロックF(Hz)	ビットレート調整因子D	F/D	UART2転送速度レジスタ設定値	SIMカードの内部クロックF(Hz)	ビットレート調整因子D	F/D	UART2転送速度レジスタ設定値
372	1	372	92	1116	1	1116	278
	2	186			2	558	
	4	93			4	279	
	8				8		
	16				16		
	1/2	744	185		1/2	2232	557
	1/4	1488	371		1/4	4464	1115
	1/8	2976	743		1/8	8928	2231
	1/16	5952	1487		1/16	17856	4463
	1/32	11904	2975		1/32	35712	8927
	1/64	23808	5951		1/64	71424	17855
558	1	558		1488	1	1488	371
	2	279			2	744	185
	4				4	372	92
	8				8	186	
	16				16	93	
	1/2	1116	278		1/2	2976	743
	1/4	2232	557		1/4	5952	1487
	1/8	4464	1115		1/8	11904	2975
	1/16	8928	2231		1/16	23808	5951
	1/32	17856	4463		1/32	47616	11903
	1/64	35712	8927		1/64	95232	23807
744	1	744	185	1860	1	1860	464
	2	372	92		2	930	
	4	186			4	465	
	8	93			8		
	16				16		
	1/2	1488	371		1/2	3720	929
	1/4	2976	743		1/4	7440	1859
	1/8	5952	1487		1/8	14880	3719
	1/16	11904	2975		1/16	29760	7439
	1/32	23808	5951		1/32	59520	14879
	1/64	47616	11903		1/64	119040	29759

M30220MA現行仕様で対応不可能な組み合わせ

F/D自体が整数とならない組み合わせ

下記条件での設定例です。
f(X_{IN})=10MHz、タイマAiカウンタの設定値＝1

表2.5.9.　タイマAjレジスタ設定値の例

SIMカードの内部クロックF(Hz)	ビットレート調整因子D	F/D	タイマAjレジスタ設定値	SIMカードの内部クロックF(Hz)	ビットレート調整因子D	F/D	タイマAjレジスタ設定値
372	1	372	92	1116	1	1116	278
	2	186			2	558	
	4	93			4	279	
	8				8		
	16				16		
	1/2	744	185		1/2	2232	557
	1/4	1488	371		1/4	4464	1115
	1/8	2976	743		1/8	8928	2231
	1/16	5952	1487		1/16	17856	4463
	1/32	11904	2975		1/32	35712	8927
	1/64	23808	5951		1/64	71424	17855
558	1	558		1488	1	1488	371
	2	279			2	744	185
	4				4	372	92
	8				8	186	
	16				16	93	
	1/2	1116	278		1/2	2976	743
	1/4	2232	557		1/4	5952	1487
	1/8	4464	1115		1/8	11904	2975
	1/16	8928	2231		1/16	23808	5951
	1/32	17856	4463		1/32	47616	11903
	1/64	35712	8927		1/64	95232	23807
744	1	744	185	1860	1	1860	464
	2	372	92		2	930	
	4	186			4	465	
	8	93			8		
	16				16		
	1/2	1488	371		1/2	3720	929
	1/4	2976	743		1/4	7440	1859
	1/8	5952	1487		1/8	14880	3719
	1/16	11904	2975		1/16	29760	7439
	1/32	23808	5951		1/32	59520	14879
	1/64	47616	11903		1/64	119040	29759

M30220MA現行仕様で対応不可能な組み合わせ

F/D自体が整数とならない組み合わせ

下記条件での設定例です。
f(X_{IN})=10MHz、タイマAiカウンタの設定値＝3、転送速度レジスタの設定値=0

2.6 LCD駆動制御回路

2.6.1 概要

LCD駆動制御回路は、LCDの駆動及び制御を行います。LCD駆動制御回路の概要について説明します。

●LCD駆動用端子

コモン出力は最大4本、セグメント出力は最大48本(内32本は通常ポートと切り替え可)使用できます。
C_1、C_2は、LCDの昇圧用コンデンサーの外付け端子です。

●表示画素数

(1) 2時分割の場合

96ドット又は8セグメントLCD12桁

(2) 3時分割の場合

144ドット又は8セグメントLCD18桁

(3) 4時分割の場合

192ドット又は8セグメントLCD24桁

●選択機能

LCD駆動制御回路では、次の機能を選択することができます。

(1) 時分割数選択機能

時分割選択ビット(0120_{16}番地のビット0、1)で、時分割数を次の3種類から選択できます。

■ 2時分割(COM_0、COM_1使用、COM_2、COM_3開放)
■ 3時分割(COM_0～COM_2使用、COM_3開放)
■ 4時分割(COM_0～COM_3使用)

(2) バイアス制御選択機能

バイアス制御ビット(0120_{16}番地のビット2)で、バイアス制御を次の2種類から選択できます。

■ 1/2バイアス
■ 1/3バイアス

(3) 昇圧回路制御選択機能

この機能を選択した場合、V_{L1}端子に電圧を入力すると、V_{L2}端子にV_{L1}端子の2倍の電圧が発生し、V_{L3}端子にV_{L1}端子の3倍の電圧が発生します。なお、V_{L1}端子には1.3V以上2.1V以下の電圧を印加してください。

(4) ポート出力選択機能

この機能を選択した場合、SEG_0～SEG_{15}端子及びセグメント出力許可レジスタによりセグメント出力として選択されている端子は、LCD表示用RAMのCOM_0に対応したビットの内容をそれぞれ出力します。また、LCDは制御できません。

(1)～(4)の機能を次のとおり選択した動作例を示します。

■4時分割、1/3バイアス、昇圧回路禁止、V_{LCD}＝V_{CC}のときのLCD駆動制御回路動作 P2-118
■4時分割、1/3バイアス、昇圧回路禁止、V_{LCD}≠V_{CC}のときのLCD駆動制御回路動作 P2-122
■3時分割、1/3バイアス、昇圧回路許可のときのLCD駆動制御回路動作 P2-126
■出力ポート機能許可のときのLCD駆動制御回路動作 P2-130

●LCD駆動制御回路関連レジスタ

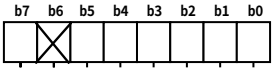
図2.6.1にLCD駆動制御回路関連レジスタのメモリ配置図を、図2.6.2にLCD駆動制御回路関連レジスタの構成を、図2.6.3にLCD表示用RAMマップを示します。

0100_{16}	LCD RAM0(LRAM0)
0101_{16}	LCD RAM1(LRAM1)
0102_{16}	LCD RAM2(LRAM2)
0103_{16}	LCD RAM3(LRAM3)
0104_{16}	LCD RAM4(LRAM4)
0105_{16}	LCD RAM5(LRAM5)
0106_{16}	LCD RAM6(LRAM6)
0107_{16}	LCD RAM7(LRAM7)
0108_{16}	LCD RAM8(LRAM8)
0109_{16}	LCD RAM9(LRAM9)
$010A_{16}$	LCD RAM10(LRAM10)
$010B_{16}$	LCD RAM11(LRAM11)
$010C_{16}$	LCD RAM12(LRAM12)
$010D_{16}$	LCD RAM13(LRAM13)
$010E_{16}$	LCD RAM14(LRAM14)
$010F_{16}$	LCD RAM15(LRAM15)
0110_{16}	LCD RAM16(LRAM16)
0111_{16}	LCD RAM17(LRAM17)
0112_{16}	LCD RAM18(LRAM18)
0113_{16}	LCD RAM19(LRAM19)
0114_{16}	LCD RAM20(LRAM20)
0115_{16}	LCD RAM21(LRAM21)
0116_{16}	LCD RAM22(LRAM22)
0117_{16}	LCD RAM23(LRAM23)
	≈ ≈
0120_{16}	LCDモードレジスタ(LCDM)
0121_{16}	
0122_{16}	セグメント出力許可レジスタ(SEG)
0123_{16}	
0124_{16}	LCDフレーム周波数カウンタ(LCDTIM)

注. LCDRAMにデータを書き込む際は、LCDRAM上で暫定的なデータの書き換えをしないでください。
LCD表示が、ちらつく場合があります。
LCDRAMには必ず確定したデータを書き込んでください。

図2.6.1. LCD駆動制御回路関連レジスタのメモリ配置図

LCDモードレジスタ

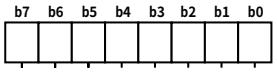


シンボル	アドレス	リセット時
LCDM	0120_{16}番地	$0X000000_2$

ビットシンボル	ビット名	機　　能	R	W
LCDT0	時分割選択ビット	b1 b0 0 0 : 出力ポート 0 1 : 2時分割(COM0、COM1使用) 1 0 : 3時分割(COM0～COM2使用) 1 1 : 4時分割(COM0～COM3使用)	○	○
LCDT1			○	○
BIAS	バイアス制御ビット	0 : 1/3バイアス 1 : 1/2バイアス	○	○
LCDEN	LCDイネーブルビット	0 : LCD消灯 1 : LCD点灯	○	○
PUMP	昇圧回路制御ビット	0 : 昇圧回路禁止 1 : 昇圧回路許可(注2)	○	○
LRAMOUT	LCDRAM出力ビット	0 : LCD波形出力 1 : ポート出力	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—
LSRC	LCDCK用カウントソース選択ビット(注1)	0 : f_{32} 1 : f_{C1}	○	○

注1.　LCDCKはLCDタイミングコントローラ用のクロックです。
注2.　昇圧回路許可に設定する場合、バイアス制御ビットに必ず“0”を設定してください。

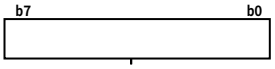
セグメント出力許可レジスタ



シンボル	アドレス	リセット時
SEG	0122_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SEGO0	セグメント出力許可ビット0	0 : 入出力ポート　P100～P107 1 : セグメント出力　SEG16～SEG23	○	○
SEGO1	セグメント出力許可ビット1	0 : 入出力ポート　P110～P114 1 : セグメント出力　SEG24～SEG28	○	○
SEGO2	セグメント出力許可ビット2	0 : 入出力ポート　P115、P116 1 : セグメント出力　SEG29、SEG30	○	○
SEGO3	セグメント出力許可ビット3	0 : 入出力ポート　P117 1 : セグメント出力　SEG31	○	○
SEGO4	セグメント出力許可ビット4	0 : 入出力ポート　P120～P125 1 : セグメント出力　SEG32～SEG37	○	○
SEGO5	セグメント出力許可ビット5	0 : 入出力ポート　P126、P127 1 : セグメント出力　SEG38、SEG39	○	○
SEGO6	セグメント出力許可ビット6	0 : 入出力ポート　P00～P07 1 : セグメント出力　SEG40～SEG47	○	○
SEGO7	LCD出力許可ビット	0 : 禁止 1 : 許可	○	○

LCDフレーム周波数カウンタ(注1)



シンボル	アドレス	リセット時
LCDTIM	0124_{16}番地	XX_{16}

機　　能	設定可能値	R	W
8ビットタイマ	00_{16}～FF_{16}	○	○

注1. このレジスタを設定する場合は、LCD出力許可ビットが“0”の状態で設定してください。

図2.6.2.　LCD駆動制御回路関連レジスタの構成

ビット / アドレス	7	6	5	4	3	2	1	0	R	W
	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0		
0100_{16}	SEG1				SEG0				○	○
0101_{16}	SEG3				SEG2				○	○
0102_{16}	SEG5				SEG4				○	○
0103_{16}	SEG7				SEG6				○	○
0104_{16}	SEG9				SEG8				○	○
0105_{16}	SEG11				SEG10				○	○
0106_{16}	SEG13				SEG12				○	○
0107_{16}	SEG15				SEG14				○	○
0108_{16}	SEG17				SEG16				○	○
0109_{16}	SEG19				SEG18				○	○
$010A_{16}$	SEG21				SEG20				○	○
$010B_{16}$	SEG23				SEG22				○	○
$010C_{16}$	SEG25				SEG24				○	○
$010D_{16}$	SEG27				SEG26				○	○
$010E_{16}$	SEG29				SEG28				○	○
$010F_{16}$	SEG31				SEG30				○	○
0110_{16}	SEG33				SEG32				○	○
0111_{16}	SEG35				SEG34				○	○
0112_{16}	SEG37				SEG36				○	○
0113_{16}	SEG39				SEG38				○	○
0114_{16}	SEG41				SEG40				○	○
0115_{16}	SEG43				SEG42				○	○
0116_{16}	SEG45				SEG44				○	○
0117_{16}	SEG47				SEG46				○	○

図2.6.3.　LCD表示用RAMマップ

2.6.2 LCD駆動制御回路動作(4時分割、1/3バイアス、昇圧回路禁止、V_{LCD}=V_{CC})

LCD駆動制御回路では、表2.6.1に示す項目の中から機能を選択できます。ここでは、表2.6.1に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.6.4に動作タイミングを、図2.6.5、図2.6.6に設定手順を示します。

表2.6.1. 設定内容

設定項目	設定内容		設定項目	設定内容	
時分割数		出力ポート	LCDRAM出力	○	LCD波形出力
		2時分割			ポート出力
		3時分割	LCDCK用カウントソース	○	f_{32}
	○	4時分割			f_{C1}
バイアス制御	○	1/3バイアス	LCD出力許可		禁止
		1/2バイアス		○	許可
昇圧回路制御	○	昇圧回路禁止	セグメント出力	○	SEG_{16}～SEG_{47}
		昇圧回路許可			入出力ポート

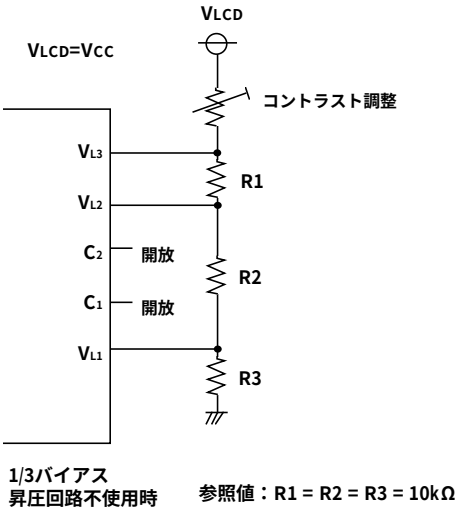
動　作

(1) LCDイネーブルビットを“1”にすると、自動的にバイアス制御、時分割制御などを行い、LCDパネルへの表示を行います。

(2) 表示データは、LCD表示用RAMの内容を、対応する各セグメント端子から出力します。使用するセグメント端子は、セグメント出力許可レジスタで選択してください。

(3) LCD表示中にLCDイネーブルビットを“0”にすると、LCD表示を消灯させることができます。SEG端子、COM端子からはV_{L3}レベルを出力します。

結線例



動作例

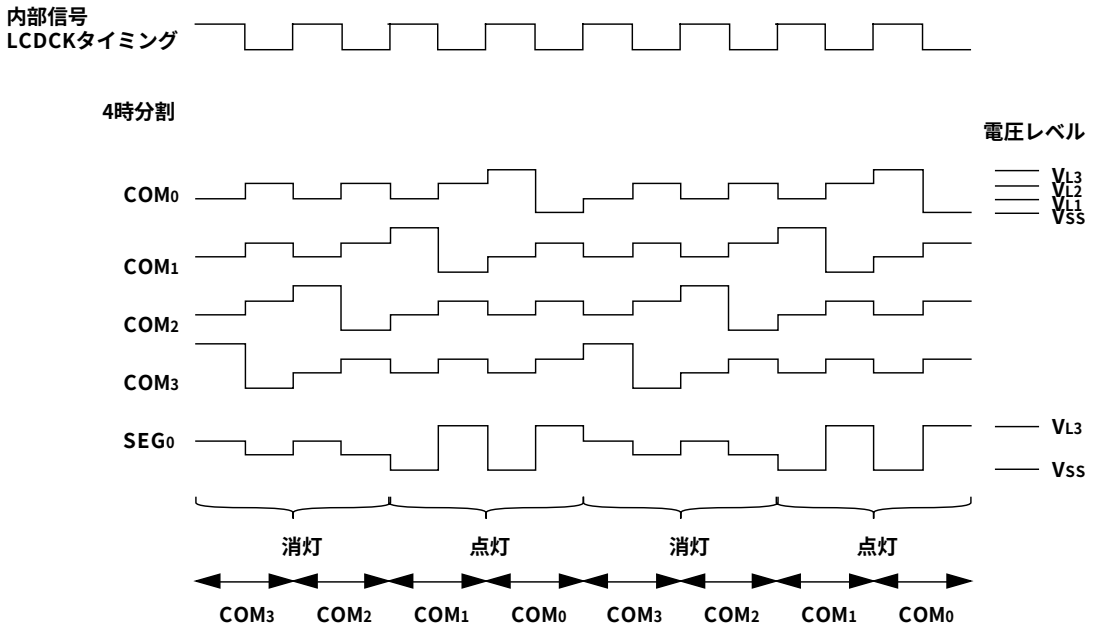


図2.6.4.　4時分割、1/3バイアス動作タイミング図

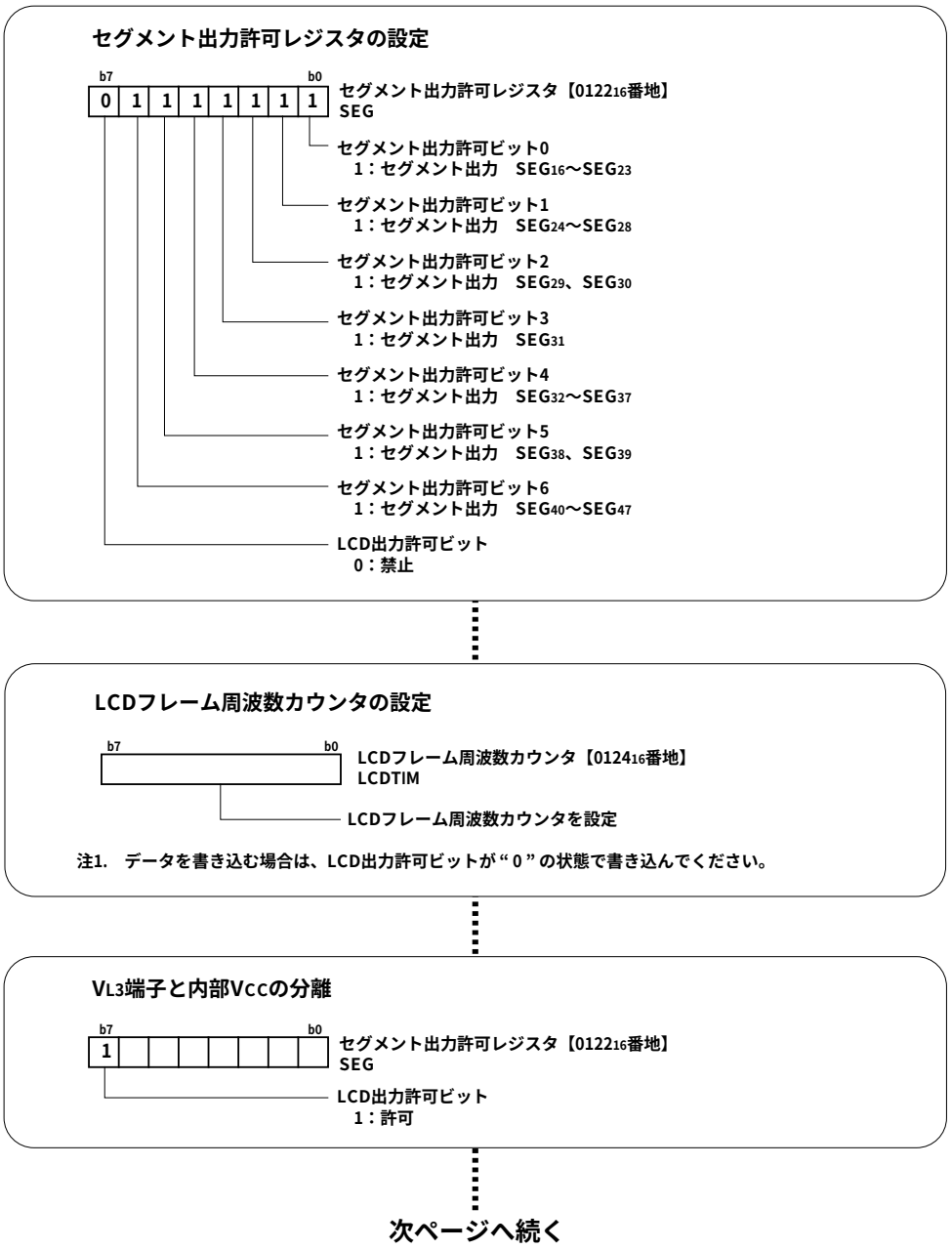
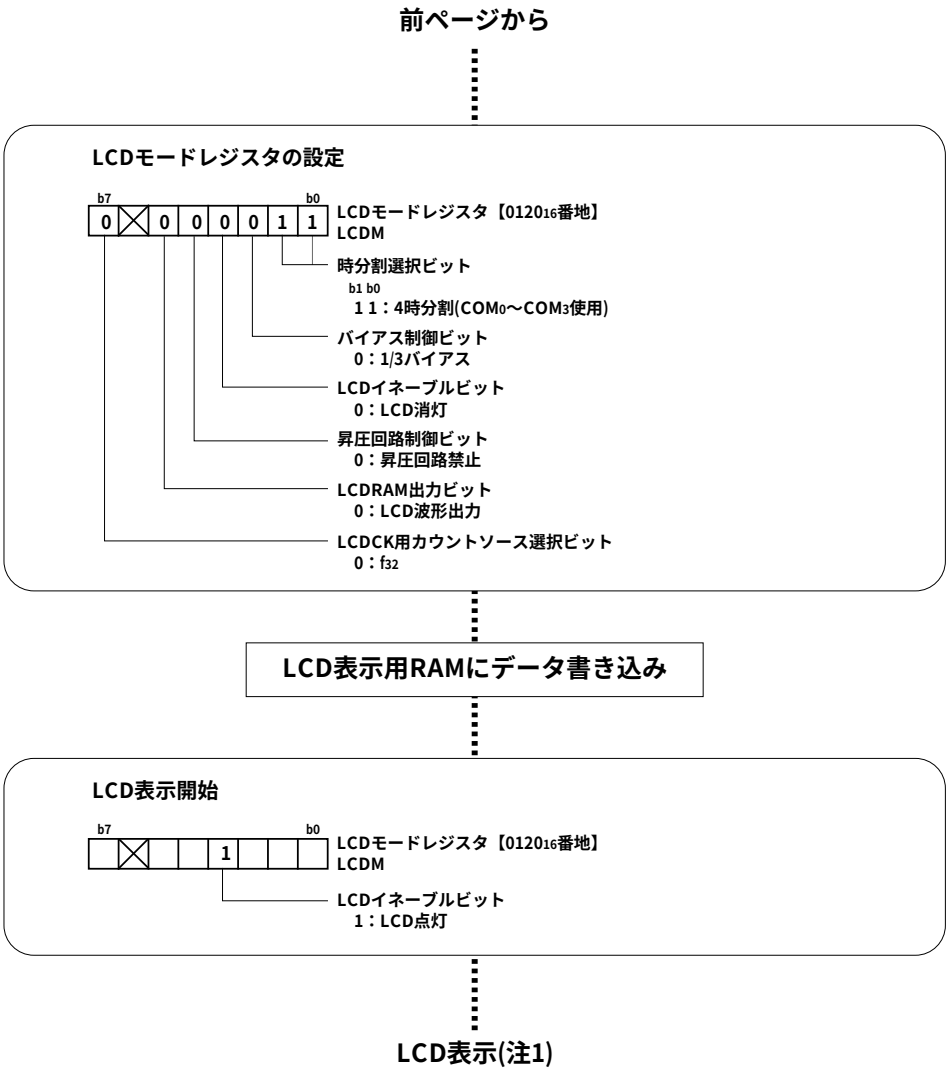


図2.6.5.　LCD表示(4時分割、1/3バイアス、昇圧回路禁止、V_{LCD}=V_{CC})動作時のレジスタ設定手順(1)



注1．LCD表示用RAMは常時書き込み可

図2.6.6.　LCD表示(4時分割、1/3バイアス、昇圧回路禁止、V_{LCD}=V_{CC})動作時のレジスタ設定手順(2)

2.6.3 LCD駆動制御回路動作(4時分割、1/3バイアス、昇圧回路禁止、$V_{LCD} \neq V_{CC}$)

LCD駆動制御回路では、表2.6.2に示す項目の中から機能を選択できます。ここでは、表2.6.2に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.6.7に動作タイミングを、図2.6.8、図2.6.9に設定手順を示します。

表2.6.2. 設定内容

設定項目	設定内容		設定項目	設定内容	
時分割数		出力ポート	LCDRAM出力	○	LCD波形出力
		2時分割			ポート出力
		3時分割	LCDCK用カウントソース	○	f_{32}
	○	4時分割			f_{C1}
バイアス制御	○	1/3バイアス	LCD出力許可(注1)		禁止
		1/2バイアス		○	許可
昇圧回路制御	○	昇圧回路禁止	セグメント出力	○	SEG_{16}～SEG_{47}
		昇圧回路許可			入出力ポート

注1. LCD出力許可ビットを許可に設定した後に、LCD用電源入力端子に適切な電圧を印加してください。

動　作

(1) LCDイネーブルビットを“1”にすると、自動的にバイアス制御、時分割制御などを行い、LCDパネルへの表示を行います。

(2) 表示データは、LCD表示用RAMの内容を、対応する各セグメント端子から出力します。使用するセグメント端子は、セグメント出力許可レジスタで選択してください。

(3) LCD表示中にLCDイネーブルビットを“0”にすると、LCD表示を消灯させることができます。SEG端子、COM端子からはV_{L3}レベルを出力します。

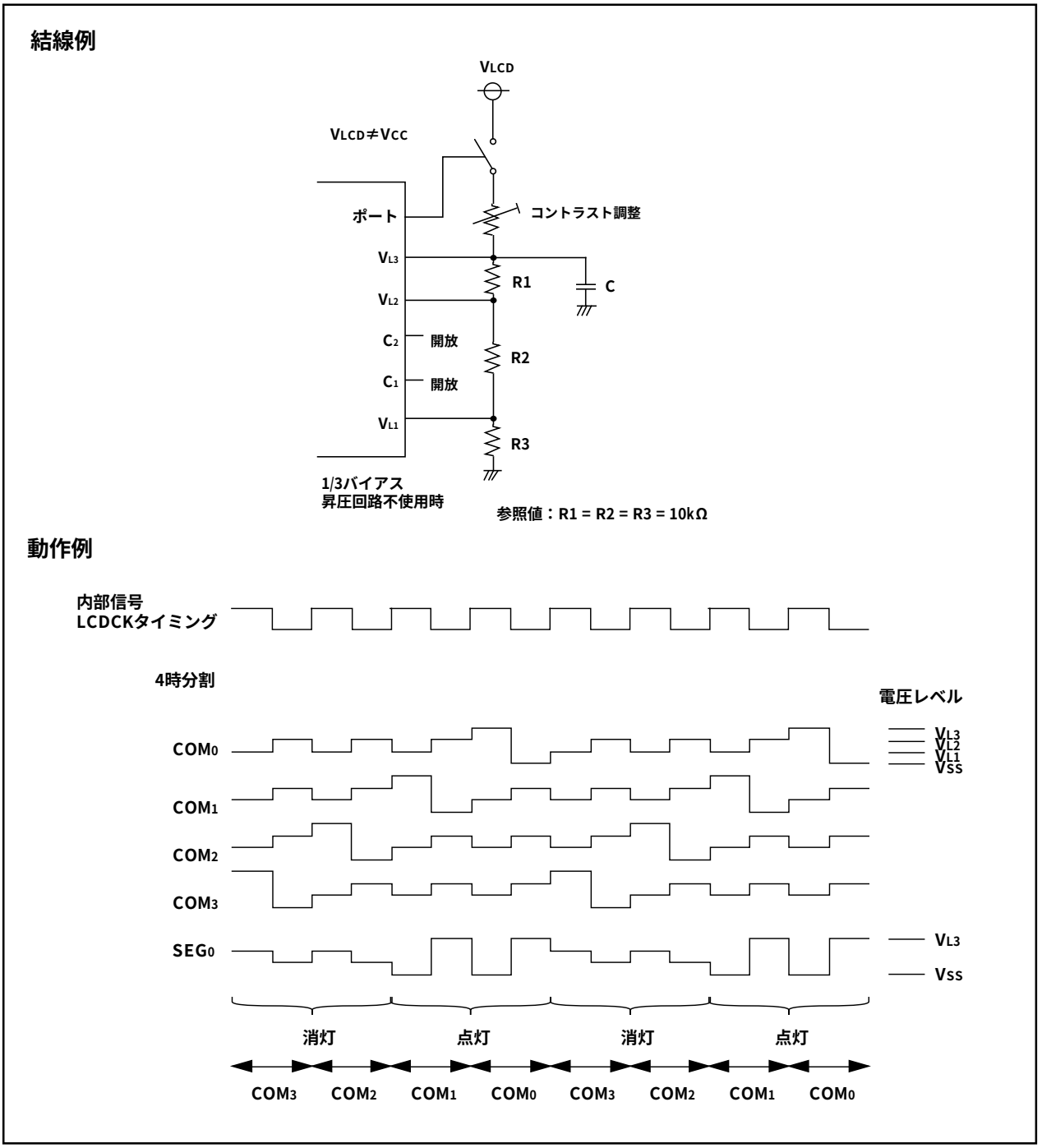


図2.6.7.　4時分割、1/3バイアス動作タイミング図

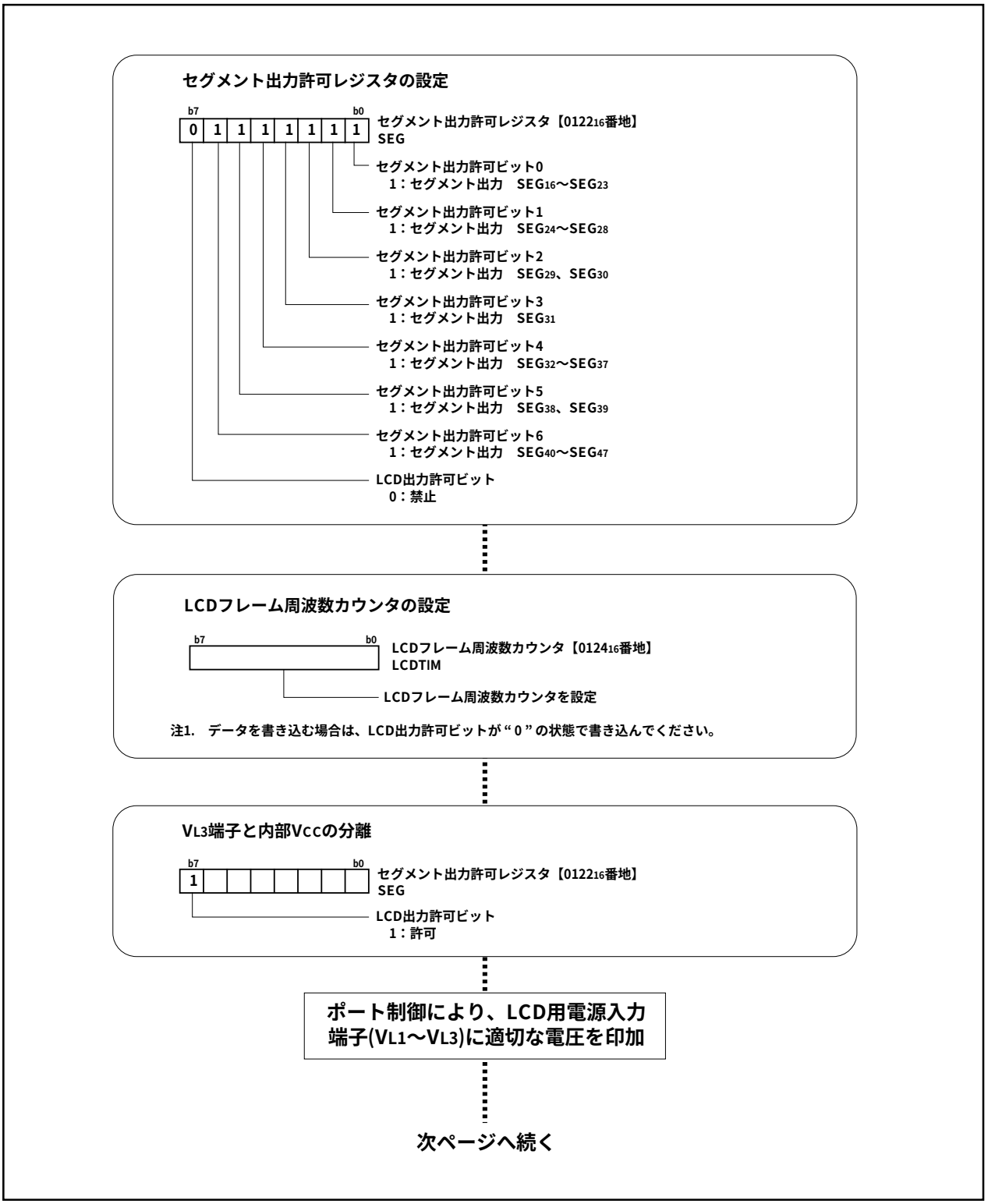
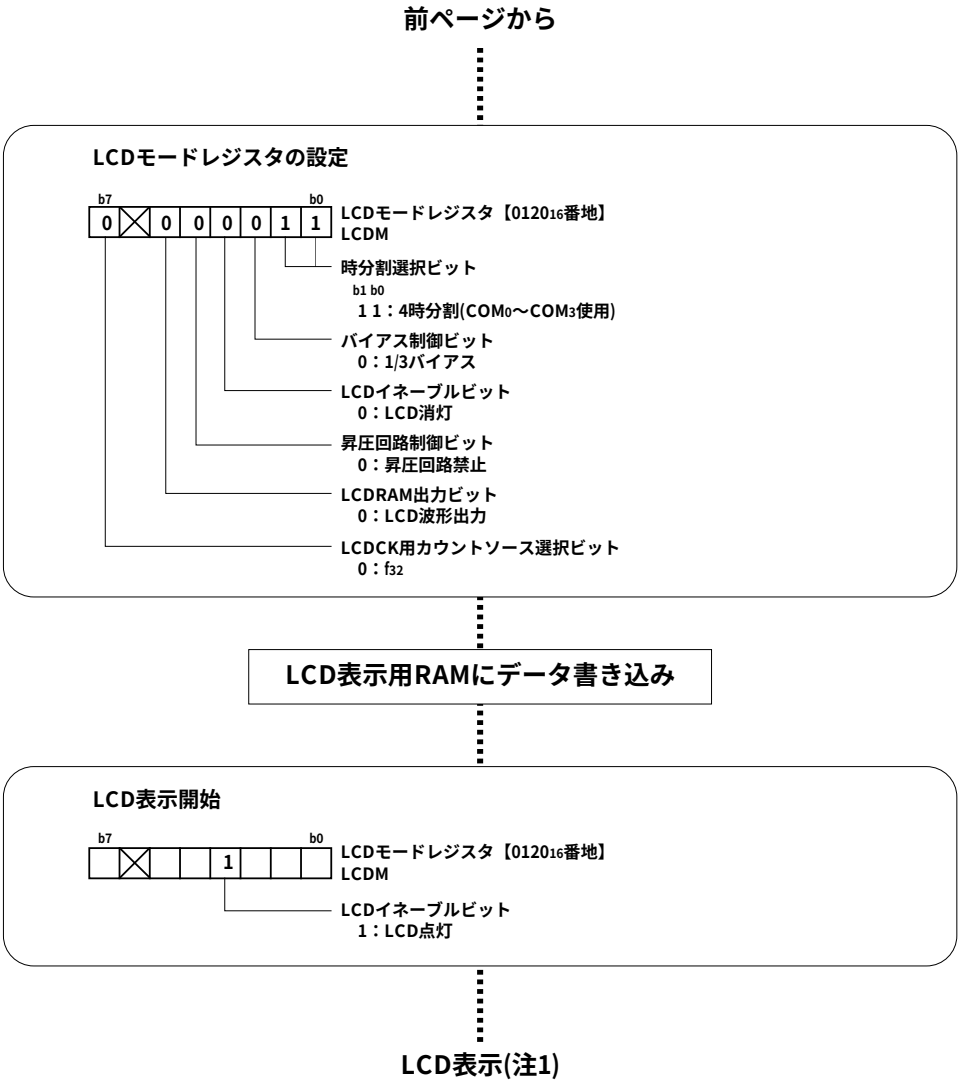


図2.6.8.　LCD表示(4時分割、1/3バイアス、昇圧回路禁止、VLCD≠VCC)動作時のレジスタ設定手順(1)



注1．LCD表示用RAMは常時書き込み可

図2.6.9.　LCD表示(4時分割、1/3バイアス、昇圧回路禁止、$V_{LCD} \neq V_{CC}$)動作時のレジスタ設定手順(2)

2.6.4 LCD駆動制御回路動作(3時分割、1/3バイアス、昇圧回路許可)

LCD駆動制御回路では、表2.6.3に示す項目の中から機能を選択できます。ここでは、表2.6.3に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.6.10に動作タイミングを、図2.6.11、図2.6.12に設定手順を示します。

設定項目	設定内容		設定項目	設定内容	
時分割数		出力ポート	LCDRAM出力	○	LCD波形出力
		2時分割			ポート出力
	○	3時分割	LCDCK用カウントソース	○	f_{32}
		4時分割			f_{C1}
バイアス制御(注1)	○	1/3バイアス	LCD出力許可(注2)		禁止
		1/2バイアス		○	許可
昇圧回路制御(注1)(注2)		昇圧回路禁止	セグメント出力	○	SEG_{16}～SEG_{47}
	○	昇圧回路許可(注3)			入出力ポート

注1. 昇圧回路を使用する場合は、必ず1/3バイアスを選択してください。
注2. 昇圧回路を許可に設定する直前に、LCD出力許可ビットを許可に設定してください。
注3. C_1-C_2間、V_{L3}-GND間、V_{L2}-GND間に必ずコンデンサを接続してください。

動　作

(1) LCDイネーブルビットを“1”にすると、自動的にバイアス制御、時分割制御などを行い、LCDパネルへの表示を行います。

(2) 表示データは、LCD表示用RAMの内容を、対応する各セグメント端子から出力します。使用するセグメント端子は、セグメント出力許可レジスタで選択してください。

(3) 昇圧回路を動作させた場合、V_{L1}端子に電圧を入力すると、V_{L2}端子にV_{L1}端子の2倍の電圧が発生し、V_{L3}端子にV_{L1}端子の3倍の電圧が発生します。なお、V_{L1}端子には1.3V以上2.1V以下の電圧を印加してください。

(4) LCD表示中にLCDイネーブルビットを“0”にすると、LCD表示を消灯させることができます。SEG端子、COM端子からはV_{L3}レベルを出力します。

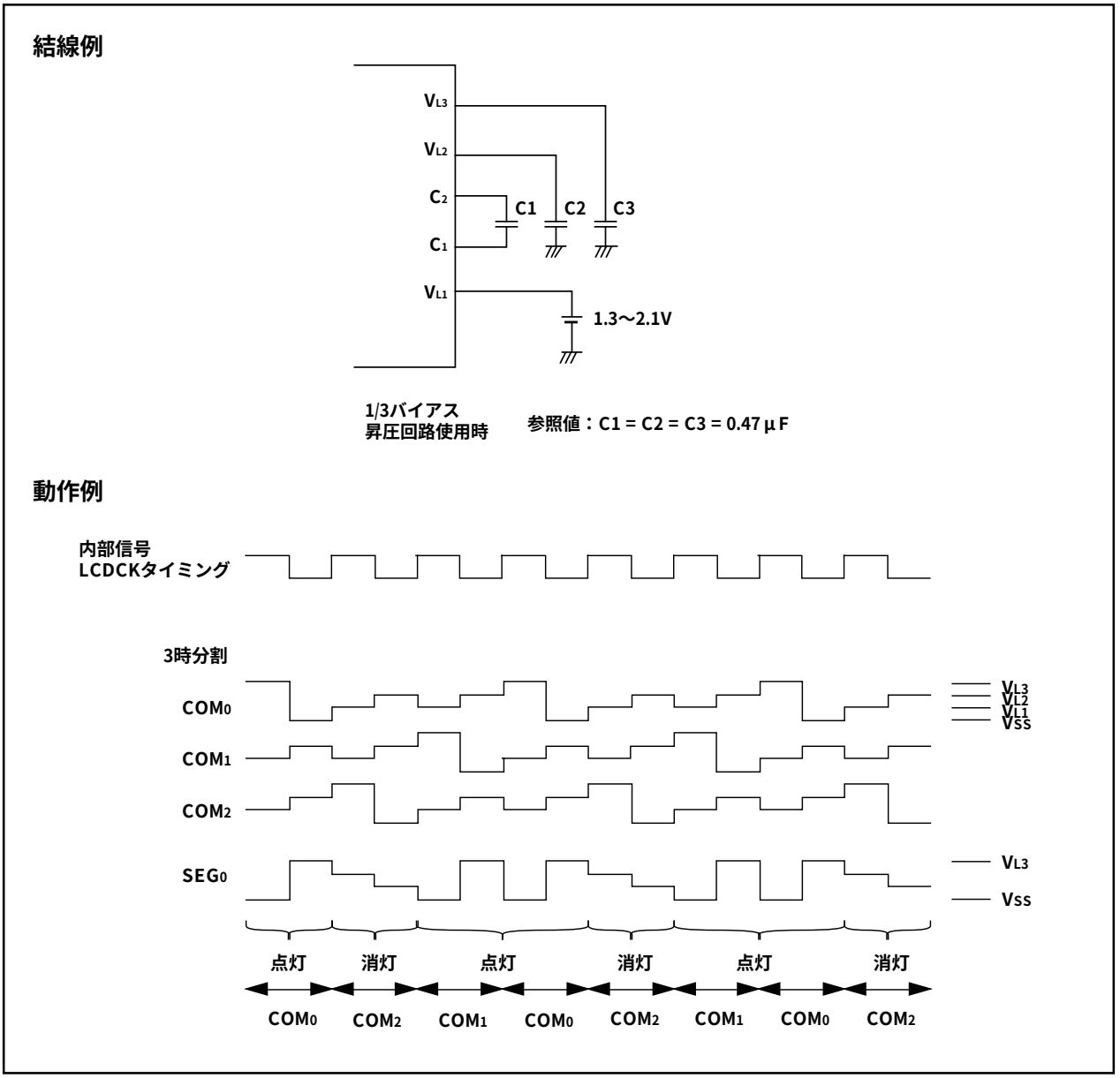


図2.6.10.　3時分割、1/3バイアス動作タイミング図

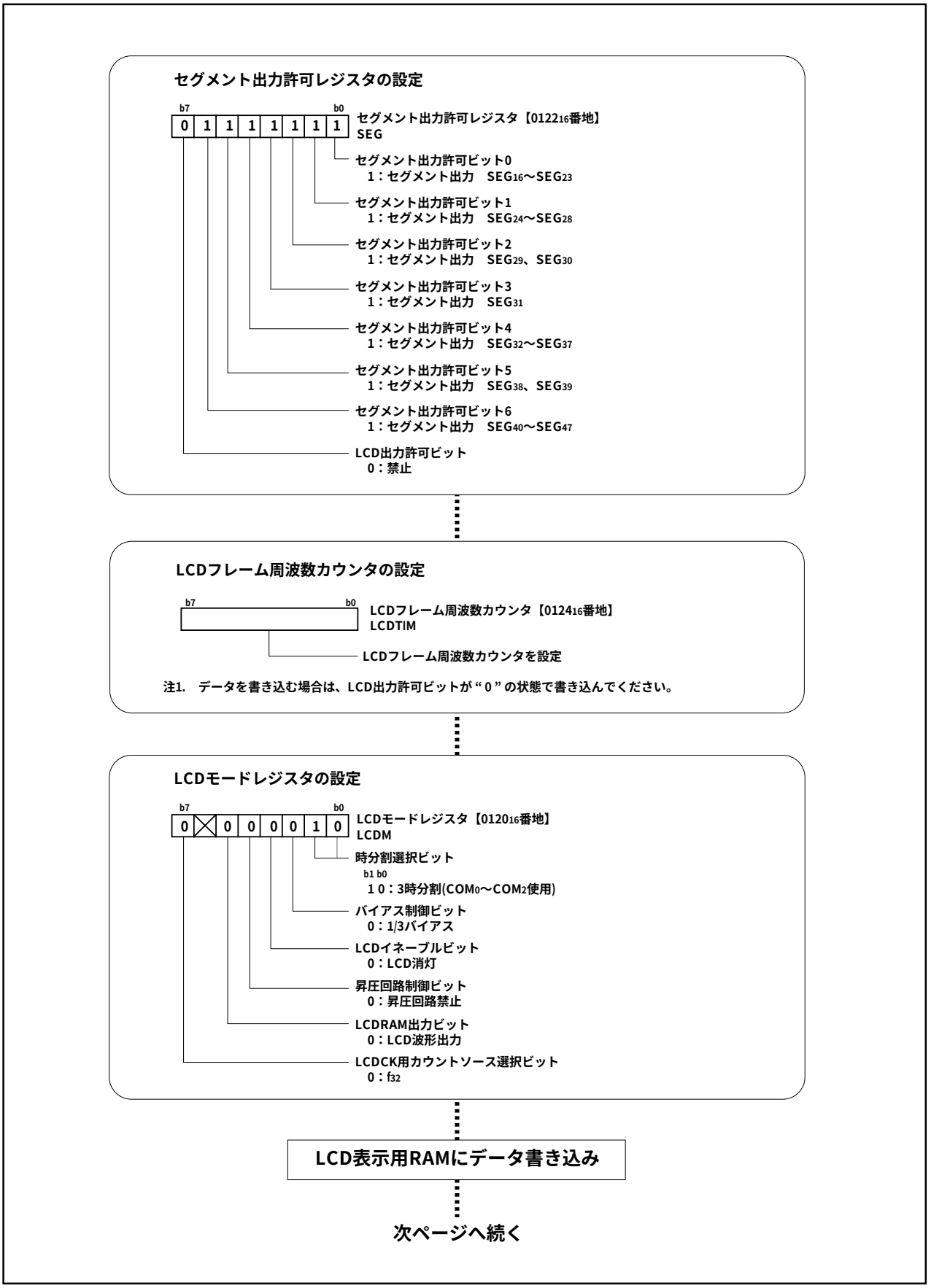


図2.6.11.　LCD表示(3時分割、1/3バイアス、昇圧回路許可)動作時のレジスタ設定手順(1)

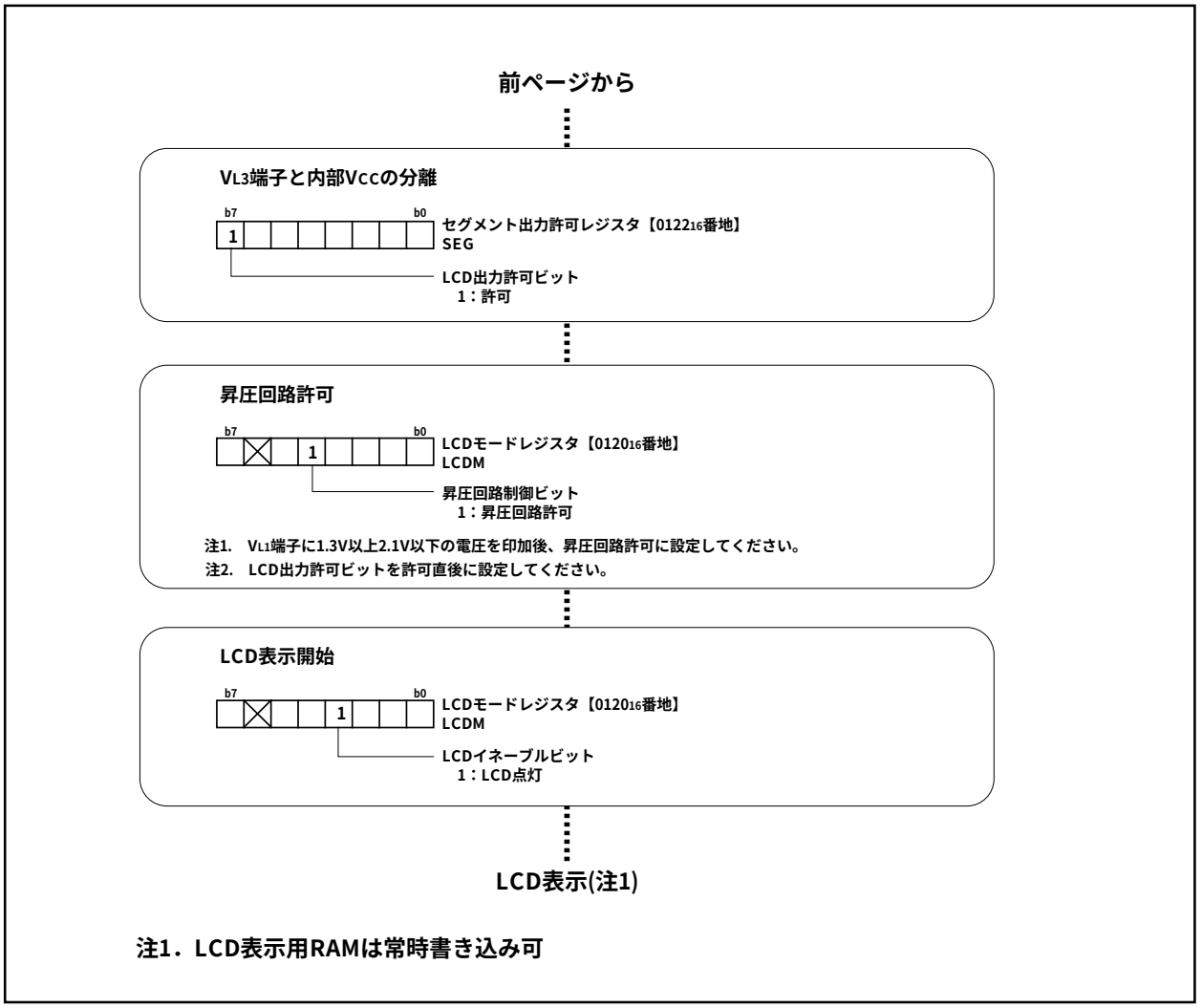


図2.6.12.　LCD表示(3時分割、1/3バイアス、昇圧回路許可)動作時のレジスタ設定手順(2)

2.6.5 LCD駆動制御回路動作(出力ポート機能)

LCD駆動制御回路では、表2.6.4に示す項目の中から機能を選択できます。ここでは、表2.6.4に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.6.13に動作タイミングを、図2.6.14に設定手順を示します。

表2.6.4. 設定内容

設定項目	設定内容		設定項目	設定内容	
時分割数	○	出力ポート	LCDRAM出力		LCD波形出力
		2時分割		○	ポート出力(注1)
		3時分割	LCD出力許可	○	禁止
		4時分割			許可
昇圧回路制御	○	昇圧回路禁止	セグメント出力		SEG_{16}～SEG_{47}
		昇圧回路許可		○	入出力ポート

注1. LCDは制御できません。

動　作

(1) LCDRAM出力ビットを“1”にすると、SEG_0～SEG_{15}端子及びセグメント出力許可レジスタによりセグメント出力として選択されている端子は、LCD表示用RAMのCOM_0に対応したビットの内容を出力します。

(2) LCDRAM出力ビットを“0”にすると、出力ポート機能を中断させることができます。セグメント出力端子からは"H"レベルを出力します。

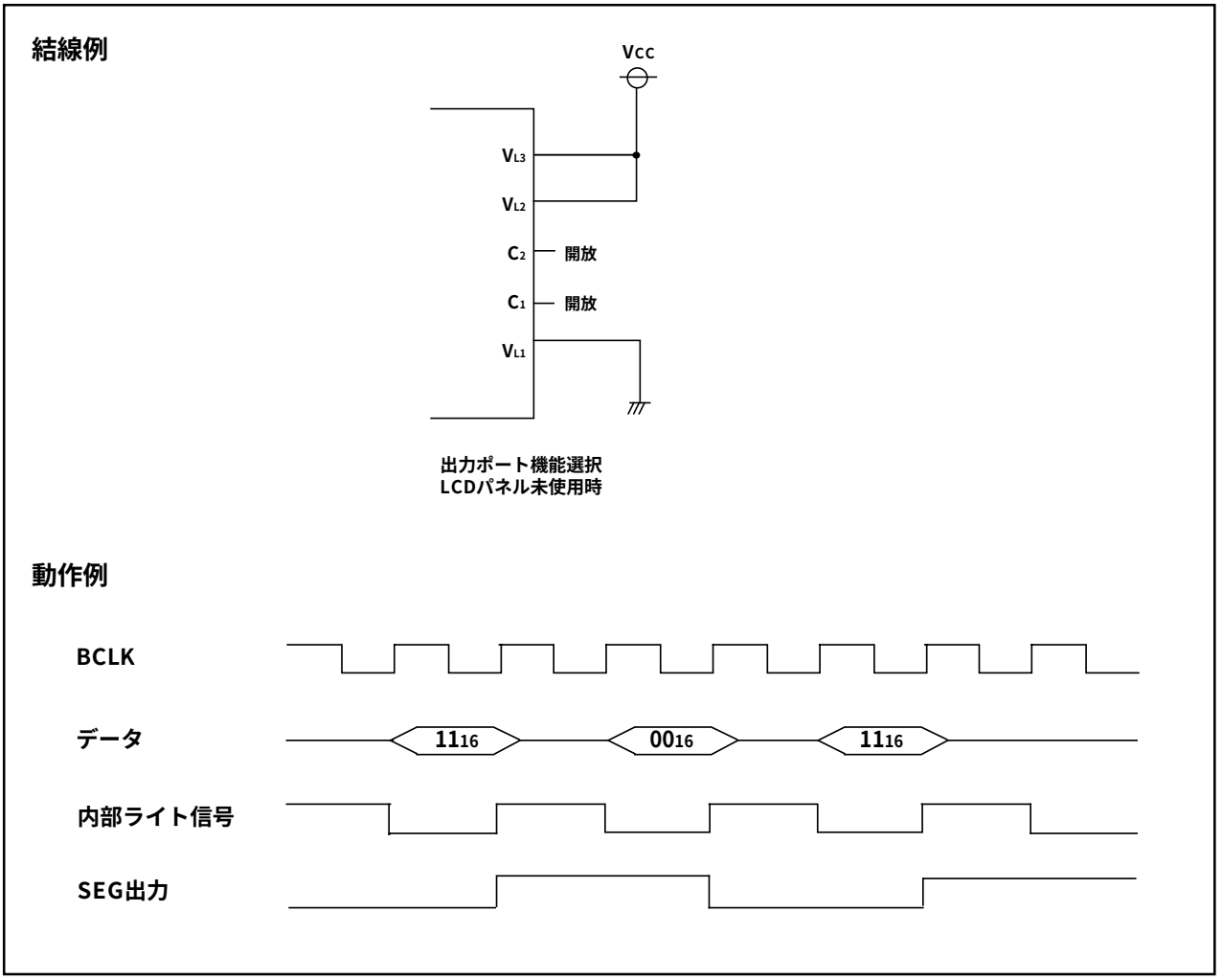
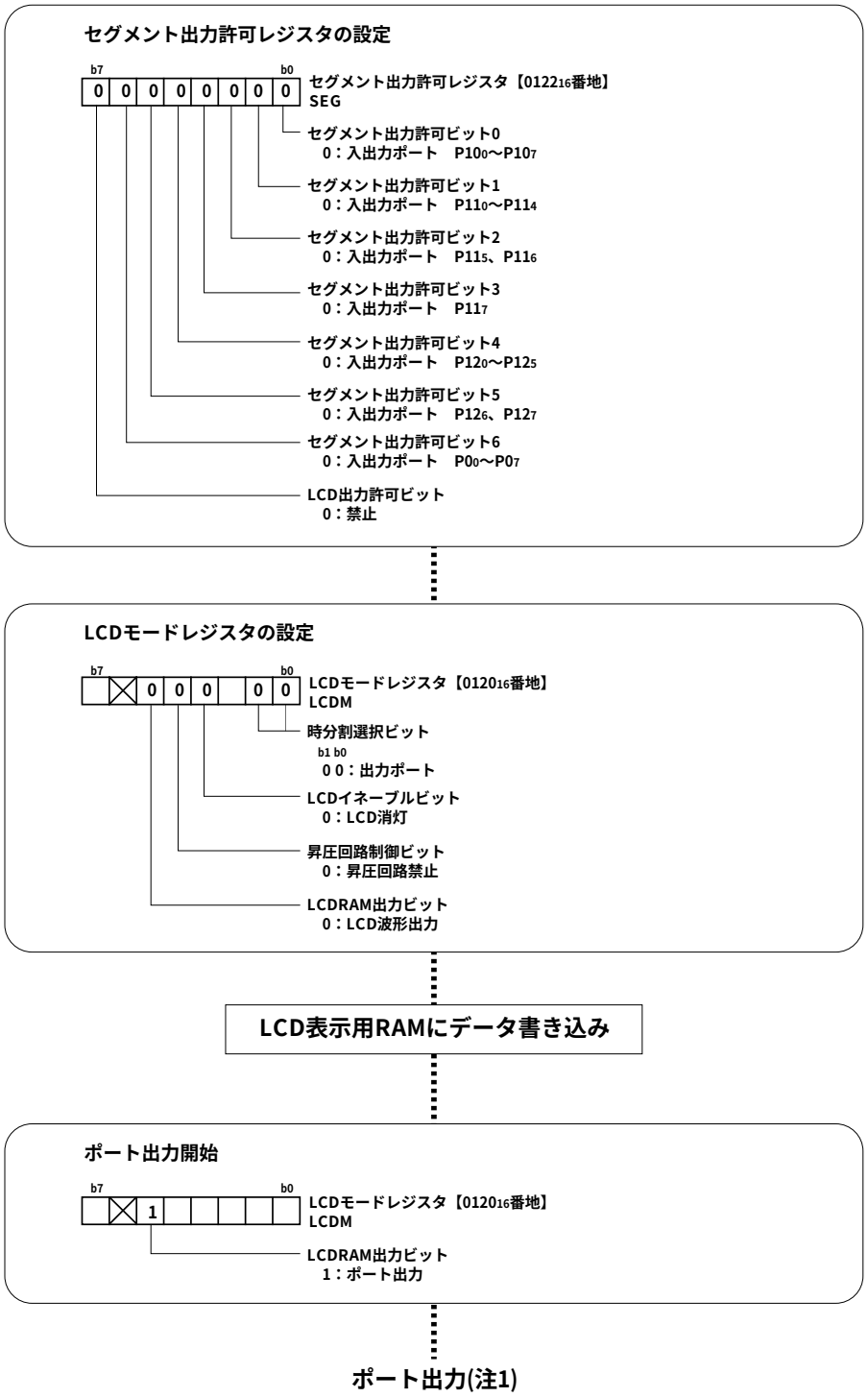


図2.6.13.　出力ポート機能動作タイミング図



注1．LCD表示用RAMは常時書き込み可

図2.6.14.　出力ポート機能動作時のレジスタ設定手順

レイアウトの都合上、このページは白紙です。

2.7 A-D変換器

2.7.1 概要

A-D変換器は、逐次変換方式で動作する10ビットのA-D変換器です。A-D変換器の概要について説明します。

●モード

A-D変換器は、次の5つのモードを持ちます。

(1) 単発モード

指定された1端子の入力電圧を1度だけA-D変換します。

(2) 繰り返しモード

指定された1端子の入力電圧を繰り返しA-D変換します。

(3) 単掃引モード

指定された複数の端子の入力電圧を1度だけA-D変換します。

(4) 繰り返し掃引モード0

指定された複数の端子の入力電圧を繰り返しA-D変換します。

(5) 繰り返し掃引モード1

指定された複数の端子の入力電圧を繰り返しA-D変換します。
繰り返し掃引モード0との相違点は、指定する複数の端子の中から変換回数に重みを付けられることです。

●動作クロック

4.0～5.5V動作時、動作クロックは、f_{AD}、f_{AD}の2分周、またはf_{AD}の4分周の中から選択できます。2.7～4.0V動作時、動作クロックは、f_{AD}の2分周、またはf_{AD}の4分周の中から選択できます。f_{AD}は、CPUのメインクロックと同じ周波数です。

●変換時間

A-D変換器の変換サイクル数は次のとおりです。また、表2.7.1にA-D変換器の動作クロックごとの変換時間を示します。

サンプル＆ホールド機能を選択した場合
10ビット分解能では33φADサイクル、8ビット分解能では28φADサイクル
サンプル＆ホールド機能を選択しない場合
10ビット分解能では59φADサイクル、8ビット分解能では49φADサイクル

表2.7.1. 動作クロックごとの変換時間

周波数選択ビット1		0		1
周波数選択ビット0		0	1	無効
A-D変換器の動作クロック		$\phi_{AD}=\frac{f_{AD}}{4}$	$\phi_{AD}=\frac{f_{AD}}{2}$	$\phi_{AD}=f_{AD}$
最短変換サイクル数(注1)	8ﾋﾞｯﾄﾓｰﾄﾞ	28 × ϕ_{AD}		
	10ﾋﾞｯﾄﾓｰﾄﾞ	33 × ϕ_{AD}		
最短変換時間(注2)	8ﾋﾞｯﾄﾓｰﾄﾞ	11.2μs	5.6μs	2.8μs
	10ﾋﾞｯﾄﾓｰﾄﾞ	13.2μs	6.6μs	3.3μs

注1. アナログ入力端子1本あたりの変換サイクル数
注2. アナログ入力端子1本あたりの変換時間(f_{AD} = f(X_{IN}) = 10MHz時)

●選択機能

(1)　サンプル＆ホールド機能

サンプル＆ホールド機能とは、A-D変換開始時、入力電圧をサンプリングし、サンプリングされた電圧に対してA-D変換を行う機能です。A-D変換開始時、動作クロックの3サイクル分サンプリングします。サンプル＆ホールド機能を選択する場合、A-D変換の動作クロックは、1MHz以上にしてください。

(2)　8ビットA-D/10ビットA-D切り替え機能

分解能は、10ビットと8ビットを選択できます。8ビット分解能を選択した場合、10ビットA-Dの上位8ビットをA-D変換結果とします。

10ビットA-D分解能と8ビット分解能の計算式を以下に示します。

10ビット分解能　$(Vref \times n / 2^{10}) - (Vref \times 0.5 / 2^{10})$　(n = 1～1023), 0(n = 0)

8ビット分解能　$(Vref \times n / 2^{8}) - (Vref \times 0.5 / 2^{10})$　(n = 1～255), 0(n = 0)

(3)　外部トリガによるA-D変換開始機能

ソフトウエアによるA-D変換開始と外部端子入力によるA-D変換開始を選択できます。

(4)　Vref接続/切断選択

Vrefを切断することでA-D変換器に流れ込む電流を小さくすることができます。マイコンの消費電力を小さくする場合は、Vrefを切断してください。また、A-D変換を行う場合、Vrefを接続してから1μs以上経過した後、A-D変換をスタートさせてください。

(1)～(4)の機能を次のとおり選択した動作例を示します。

■単発モード P2-140
■単発モード　$\overline{ADTRG}$によるトリガ P2-142
■繰り返しモード　ソフトウエアトリガ P2-144
■単掃引モード　ソフトウエアトリガ P2-146
■繰り返し掃引モード0　ソフトウエアトリガ P2-148
■繰り返し掃引モード1　ソフトウエアトリガ P2-150

●A-D変換器への入力と方向レジスタの関係

A-D変換器を使用する場合、ポートの方向レジスタを入力に設定してください。

●A-D変換器関連端子

(1) AN_0～AN_7端子　A-D変換器の入力端子です。
(2) AV_{CC}端子　アナログ部の電源端子です。
(3) V_{REF}端子　基準電圧の入力端子です。
(4) AV_{SS}端子　アナログ部のGND端子です。
(5) $\overline{AD_{TRG}}$端子　A-D変換器のトリガ入力端子です。

●A-D変換器関連レジスタ

図2.7.1にA-D変換器関連レジスタのメモリ配置図を、図2.7.2～図2.7.4にA-D変換器関連レジスタの構成を示します。

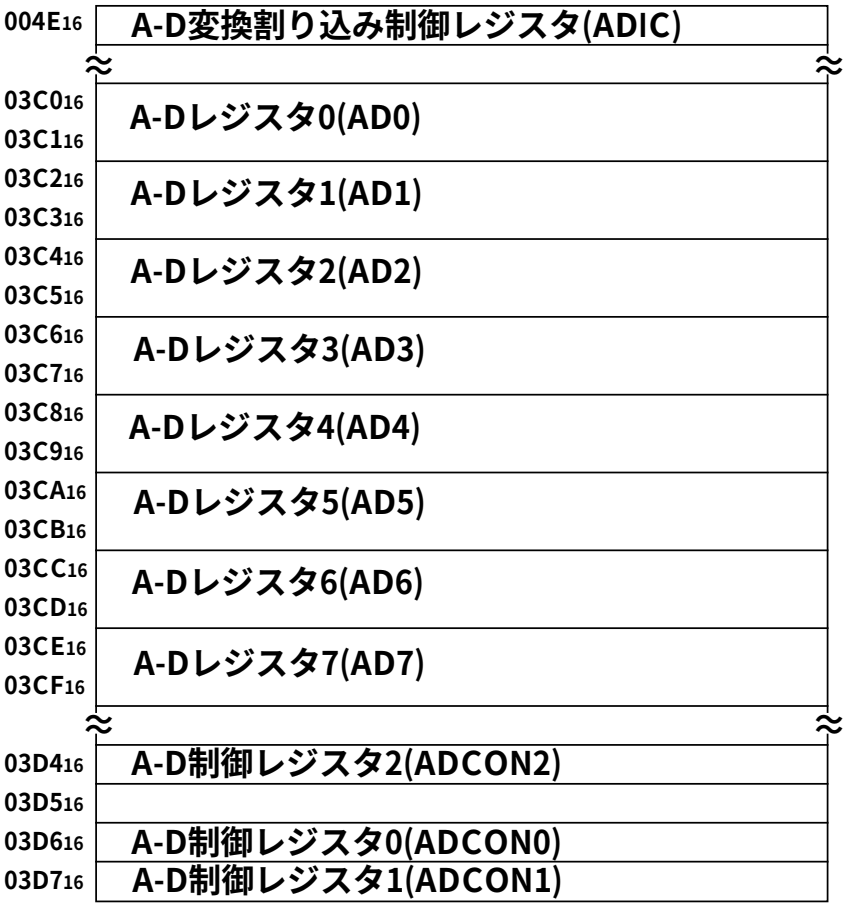


図2.7.1.　A-D変換器関連レジスタのメモリ配置図

A-D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
ADCON0	$03D6_{16}$番地	$00000XXX_2$

ビットシンボル	ビット名	機　　能	R	W
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : AN_0を選択 0 0 1 : AN_1を選択 0 1 0 : AN_2を選択 0 1 1 : AN_3を選択 1 0 0 : AN_4を選択 1 0 1 : AN_5を選択 1 1 0 : AN_6を選択 1 1 1 : AN_7を選択　(注2)	○	○
CH1			○	○
CH2			○	○
MD0	A-D動作モード選択ビット0	b4 b3 0 0 : 単発モード 0 1 : 繰り返しモード 1 0 : 単掃引モード 1 1 : 繰り返し掃引モード0　(注2) 繰り返し掃引モード1	○	○
MD1			○	○
TRG	トリガ選択ビット	0 : ソフトウエアトリガ 1 : $\overline{AD_{TRG}}$によるトリガ	○	○
ADST	A-D変換開始フラグ	0 : A-D変換停止 1 : A-D変換開始	○	○
CKS0	周波数選択ビット0	0 : $f_{AD}/4$を選択 1 : $f_{AD}/2$を選択	○	○

注1.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
注2.　A-D動作モードを変更した場合には、あらためてアナログ入力端子の設定を行う必要があります。

図2.7.2.　A-D変換器関連レジスタ(1)

A-D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0						

シンボル	アドレス	リセット時
ADCON1	$03D7_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
SCAN0	A-D掃引端子選択ビット	単掃引、繰り返し掃引モード0選択時 b1 b0 0 0 : AN_0, AN_1(2端子) 0 1 : AN_0～ AN_3(4端子) 1 0 : AN_0～ AN_5(6端子) 1 1 : AN_0～ AN_7(8端子)	○	○
SCAN1		繰り返し掃引モード1選択時 b1 b0 0 0 : AN_0(1端子) 0 1 : AN_0, AN_1(2端子) 1 0 : AN_0～ AN_2(3端子) 1 1 : AN_0～ AN_3(4端子)	○	○
MD2	A-D動作モード選択ビット1	0 : 繰り返し掃引モード1以外 1 : 繰り返し掃引モード1	○	○
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	○	○
CKS1	周波数選択ビット1	0 : $f_{AD}/2$または $f_{AD}/4$を選択 1 : f_{AD}を選択	○	○
VCUT	Vref接続ビット	0 : Vref未接続 1 : Vref接続	○	○
予約ビット		必ず“0”を設定してください	―	―

注1.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

図2.7.3.　A-D変換器関連レジスタ(2)

A-D制御レジスタ2(注1)

b7	b6	b5	b4	b3	b2	b1	b0
╳	╳	╳	╳	0	0	0	

シンボル	アドレス	リセット時
ADCON2	$03D4_{16}$番地	$0000XXX0_2$

ビットシンボル	ビット名	機　　能	R	W
SMP	A-D変換方式選択ビット	0 : サンプル&ホールドなし 1 : サンプル&ホールドあり	○	○
予約ビット		必ず“0”を設定してください	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—

注1.　A-D変換中にA-D制御レジスタの内容を書き替えた場合、変換結果は不定となります。

A-Dレジスタi

シンボル	アドレス	リセット時
ADi(i=0～7)	$03C0_{16}$番地～$03CF_{16}$番地	不定

(b15) b7							(b8) b0	b7						b0
╳	╳	╳	╳	╳	╳	╳								

機　　能	R	W
A-D変換結果の下位8ビット	○	×
●10ビットモード時 AD変換結果の上位2ビット	○	×
●8ビットモード時 読み出した場合、その値は不定	×	×
何も配置されていない。 書き込む場合、“0”を書き込んでください。 読み出した場合、その値は“0”。	—	—

図2.7.4.　A-D変換器関連レジスタ(3)

2.7.2 A-D変換器の動作 (単発モード)

単発モードでは、表2.7.2に示す項目の中から機能を選択できます。ここでは、表2.7.2に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.7.5に動作タイミングを、図2.7.6に設定手順を示します。

表2.7.2. 設定内容

設定項目	設定内容		設定項目	設定内容	
動作クロックφAD	○	fADの4分周 / fADの2分周 / fAD	A-D変換開始条件	○	ソフトウエアトリガ
					$\overline{\text{ADTRG}}$によるトリガ
分解能	○	8ビット / 10ビット	サンプル&ホールド		なし
アナログ入力端子	○	AN0～AN7から1本		○	あり

動　作

(1) A-D変換開始フラグを“1”にすると、A-D変換器は動作を開始します。

(2) A-D変換終了後、逐次比較レジスタの内容(変換結果)はA-Dレジスタiに転送されます。同時にA-D変換割り込み要求ビットが“1”になります。また、A-D変換開始フラグが“0”になり、A-D変換器は動作を停止します。

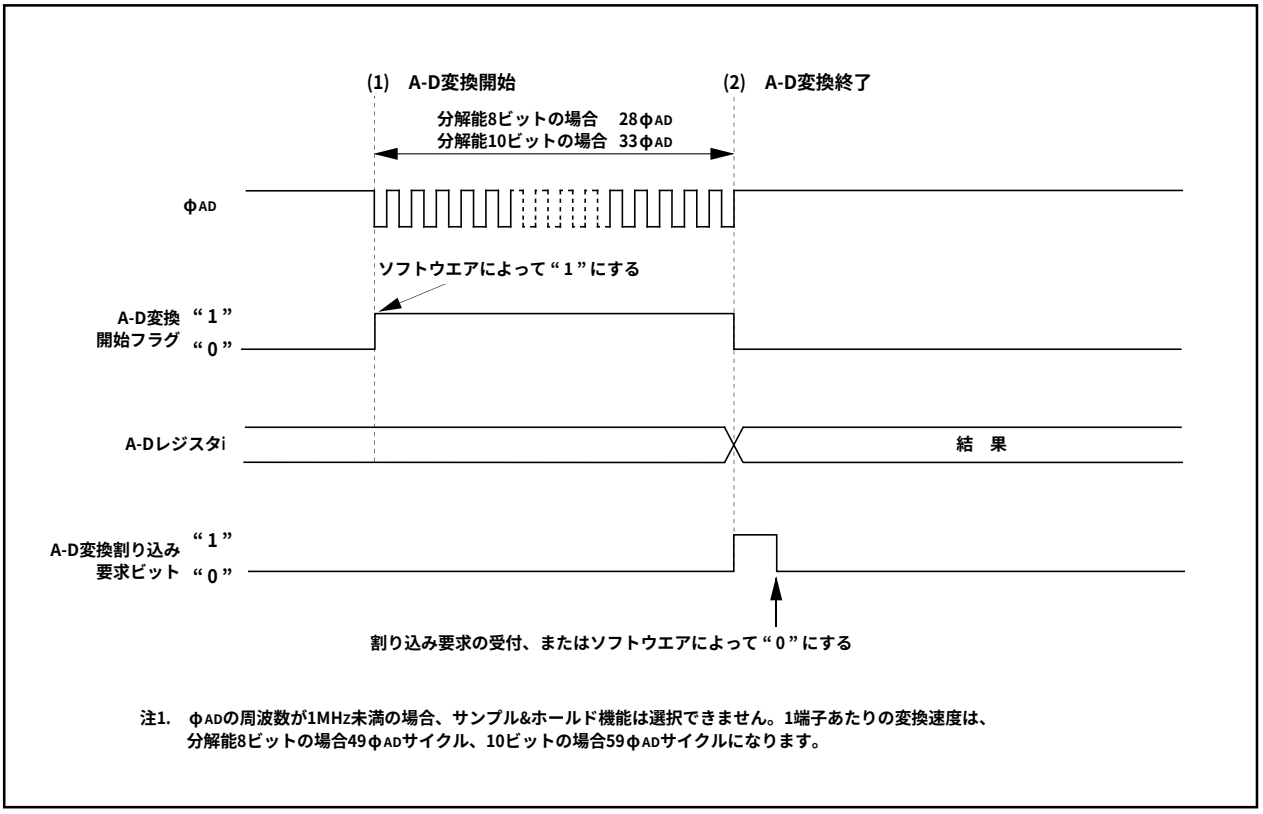


図2.7.5. 単発モード動作タイミング図

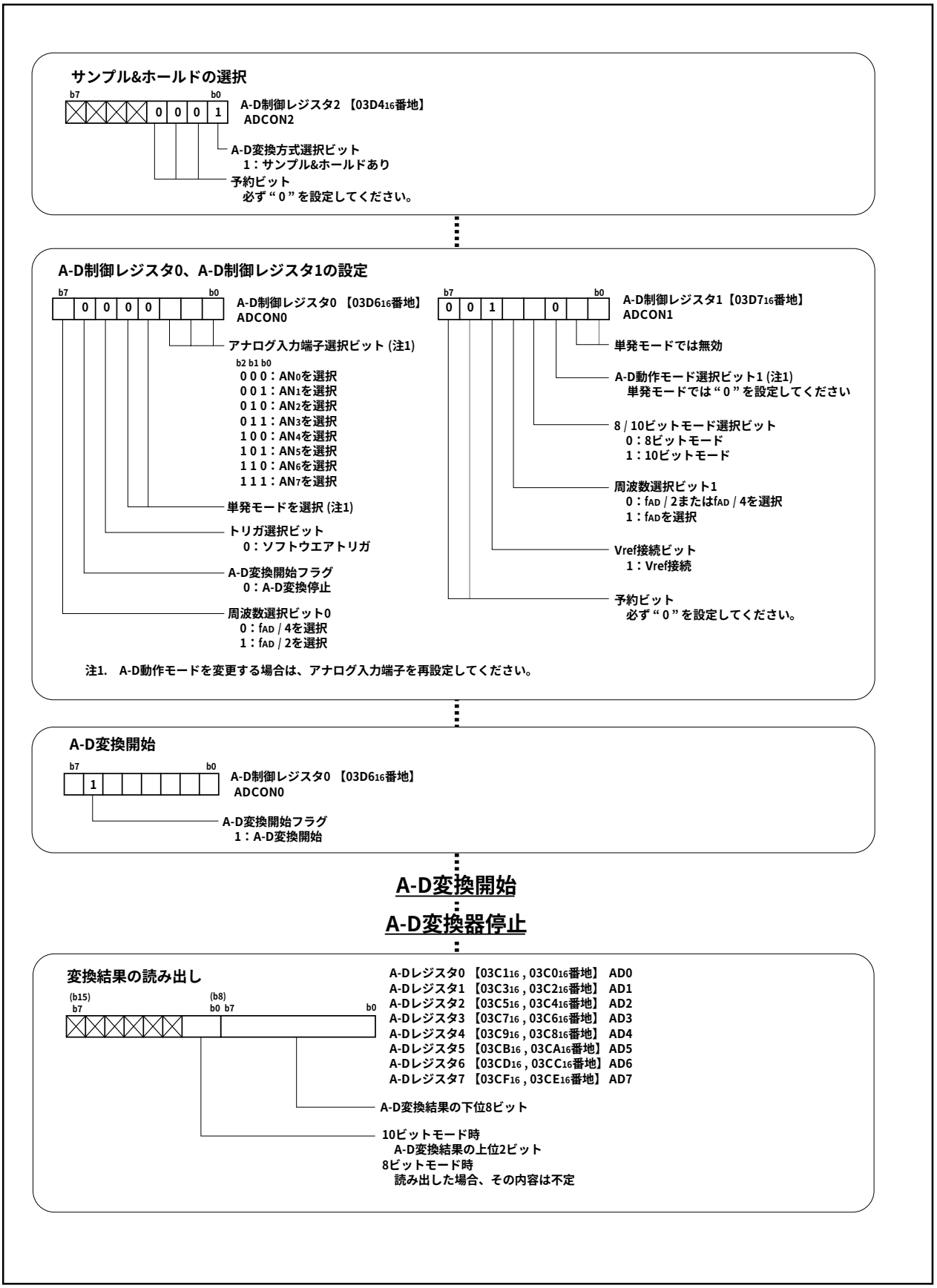


図2.7.6. 単発モード時のレジスタ設定手順

2.7.3 A-D変換器の動作 (単発モード、外部トリガ選択時)

単発モードでは、表2.7.3に示す項目の中から機能を選択できます。ここでは、表2.7.3に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.7.7に動作タイミングを、図2.7.8に設定手順を示します。

表2.7.3. 設定内容

設定項目	設定内容		設定項目	設定内容	
動作クロックφAD	○	fADの4分周 / fADの2分周 / fAD	A-D変換開始条件		ソフトウエアトリガ
				○	$\overline{\text{ADTRG}}$によるトリガ
分解能	○	8ビット / 10ビット	サンプル&ホールド		なし
アナログ入力端子	○	AN0～AN7から1本		○	あり

動　作

(1) A-D変換開始フラグが“1”のとき、$\overline{\text{ADTRG}}$端子のレベルが“H”から“L”になると、A-D変換器は動作を開始します。

(2) A-D変換終了後、逐次比較レジスタの内容(変換結果)はA-Dレジスタiに転送されます。同時にA-D変換割り込み要求ビットが“1”になります。また、A-D変換器は動作を停止します。

(3) $\overline{\text{ADTRG}}$端子のレベルが“H”から“L”になると、A-D変換器は再度(1)から変換を行います。また、A-D変換中に$\overline{\text{ADTRG}}$端子のレベルが“H”から“L”になると、その時点で行っているA-D変換を中止し、再度(1)から変換を行います。

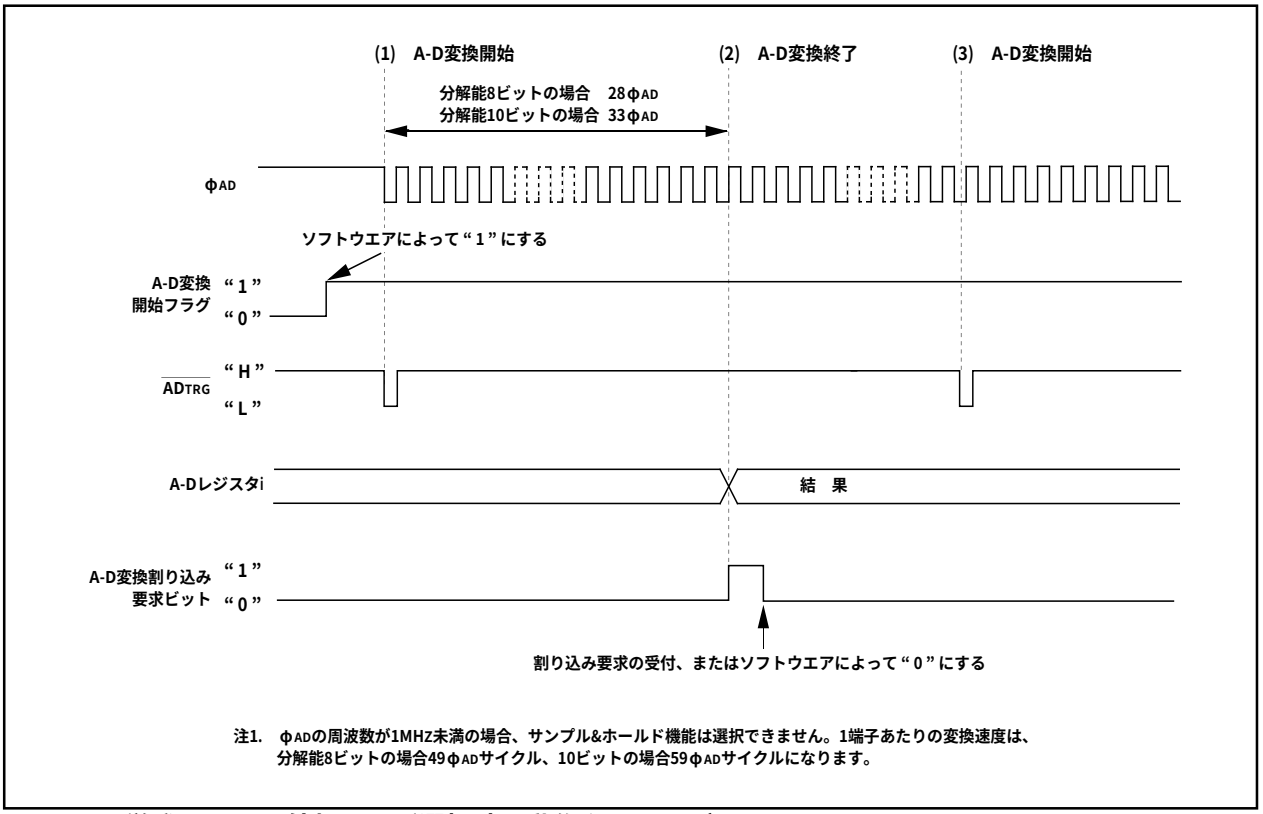


図2.7.7. 単発モード、外部トリガ選択時の動作タイミング図

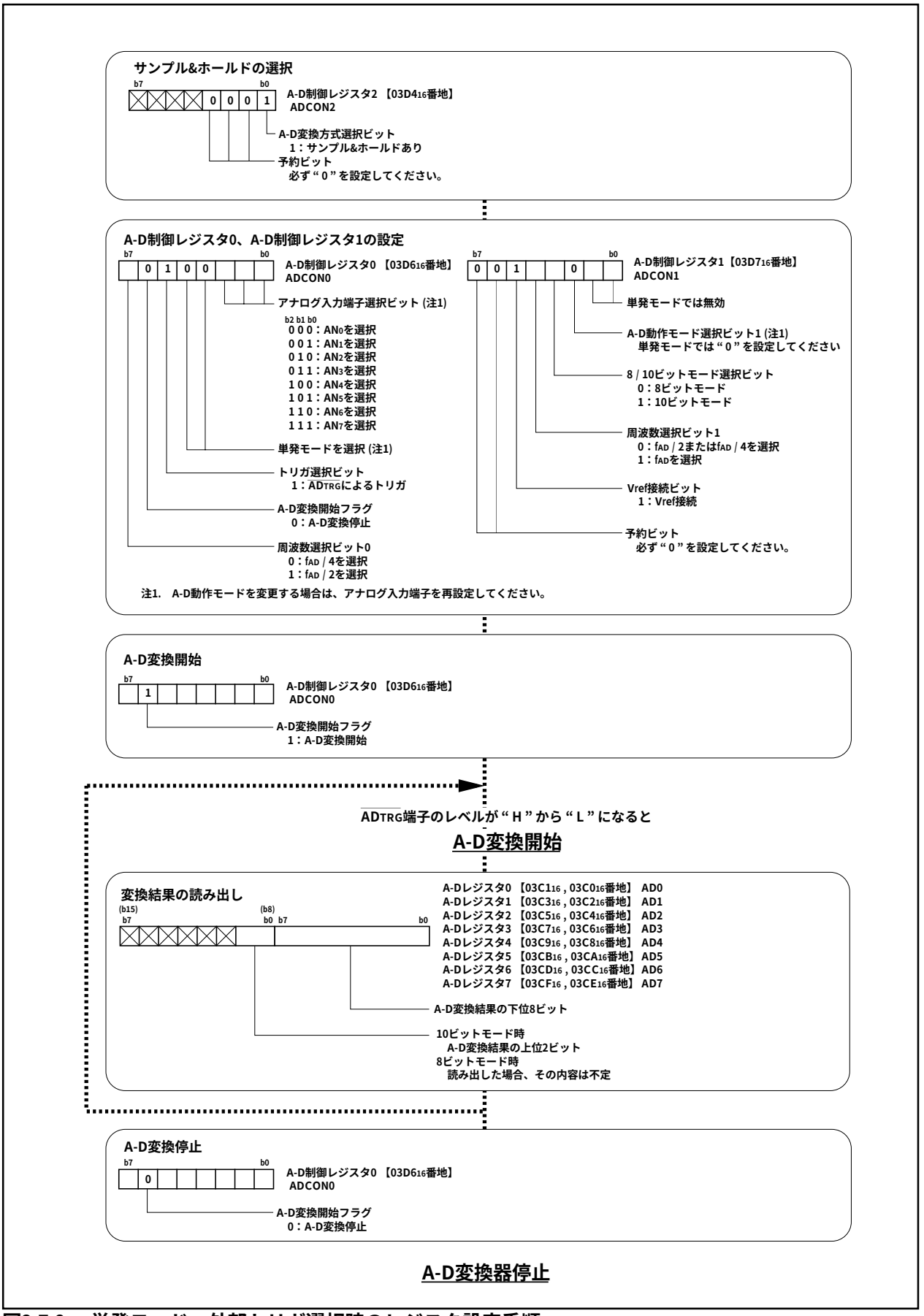


図2.7.8. 単発モード、外部トリガ選択時のレジスタ設定手順

2.7.4 A-D変換器の動作 (繰り返しモード)

繰り返しモードでは、表2.7.4に示す項目の中から機能を選択できます。ここでは、表2.7.4に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.7.9に動作タイミングを、図2.7.10に設定手順を示します。

表2.7.4. 設定内容

設定項目	設定内容		設定項目	設定内容	
動作クロックφAD	○	fADの4分周 / fADの2分周 / fAD	A-D変換開始条件	○	ソフトウエアトリガ
					$\overline{\text{ADTRG}}$によるトリガ
分解能	○	8ビット / 10ビット	サンプル&ホールド		なし
アナログ入力端子	○	AN0～AN7から1本		○	あり

動 作

(1) A-D変換開始フラグを“1”にすると、A-D変換器は動作を開始します。

(2) 1回目のA-D変換終了後、逐次比較レジスタの内容(変換結果)はA-Dレジスタiに転送されます。A-D変換割り込み要求ビットは“1”になりません。

(3) ソフトウエアでA-D変換開始フラグを“0”にするまで、A-D変換器は動作を続けます。変換結果は、変換終了ごとにA-Dレジスタiに転送されます。

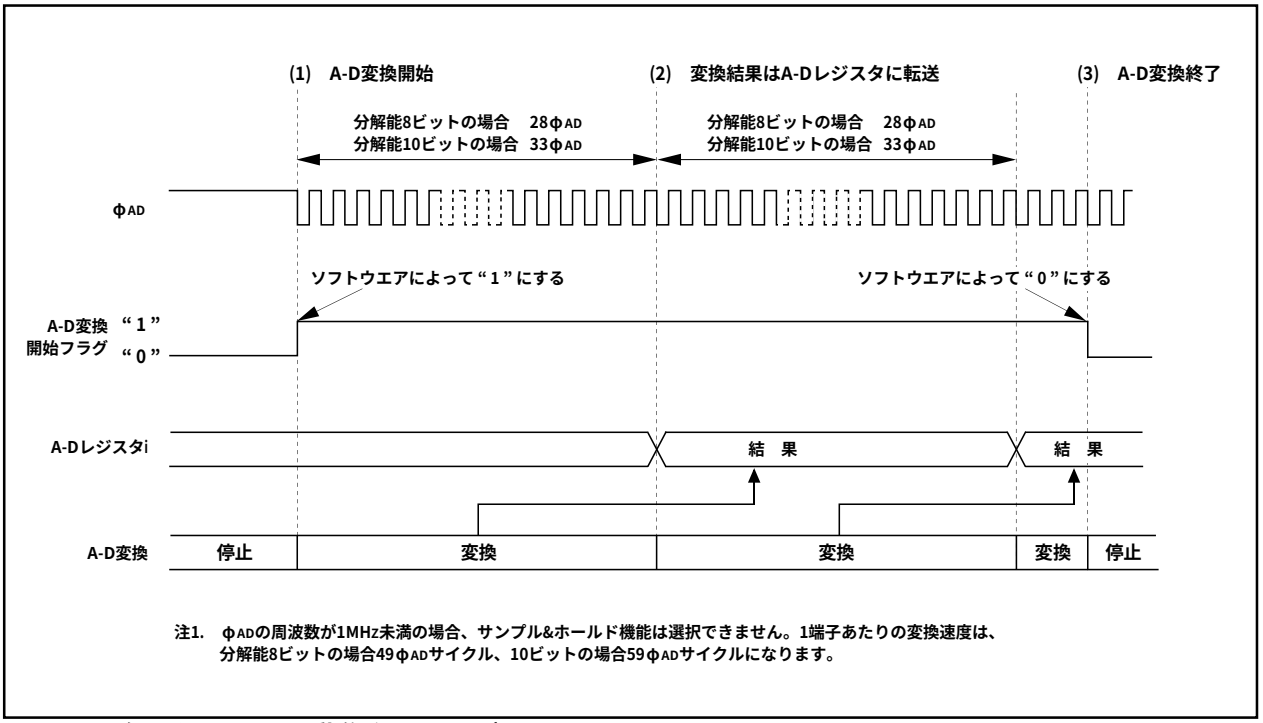


図2.7.9. 繰り返しモード動作タイミング図

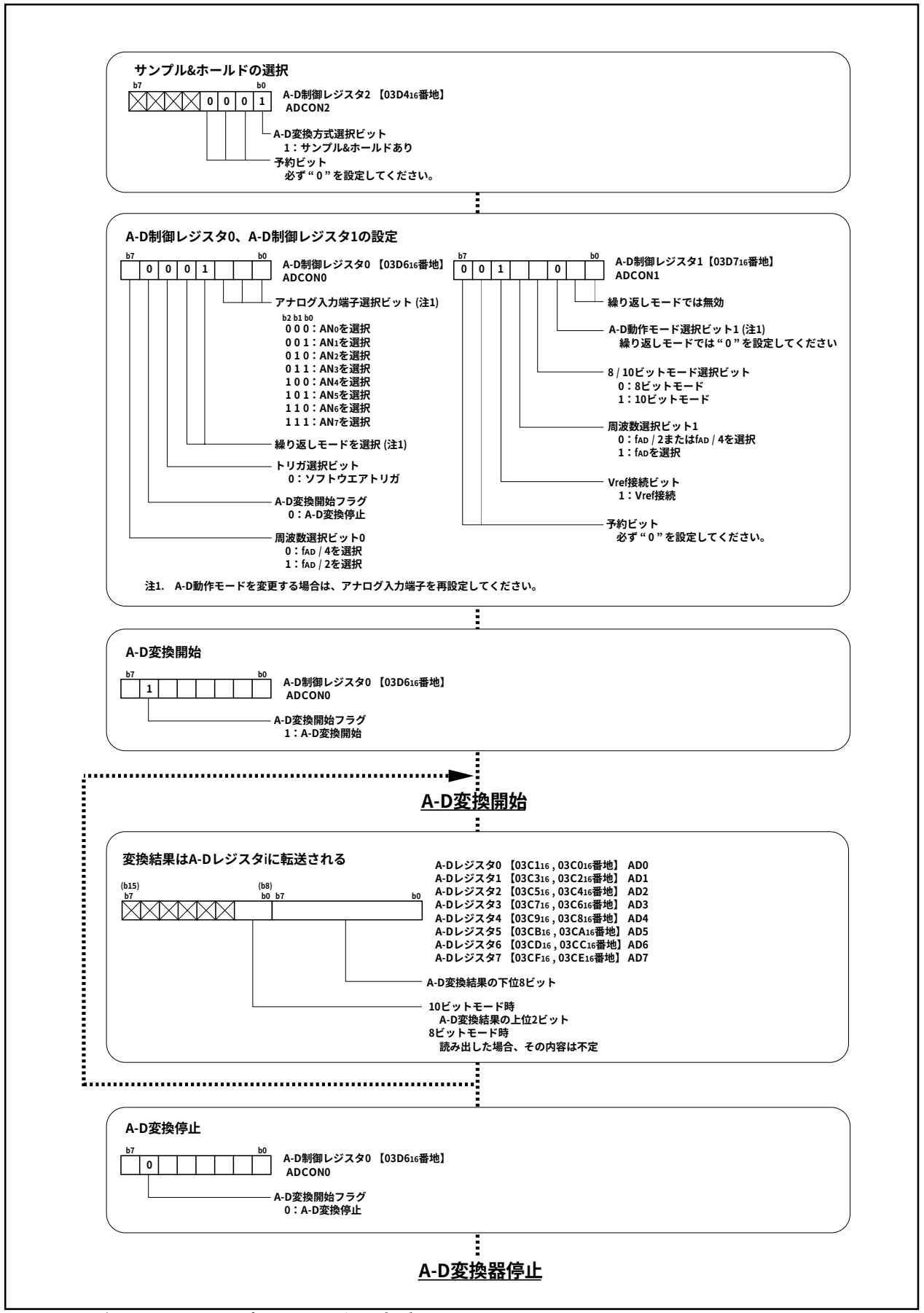


図2.7.10. 繰り返しモード時のレジスタ設定手順

2.7.5 A-D変換器の動作 (単掃引モード)

単掃引モードでは、表2.7.5に示す項目の中から機能を選択できます。ここでは、表2.7.5に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.7.11に動作タイミングを、図2.7.12に設定手順を示します。

表2.7.5. 設定内容

設定項目	設定内容		設定項目	設定内容	
動作クロックφAD	○	fADの4分周 / fADの2分周 / fAD	A-D変換開始条件	○	ソフトウエアトリガ
					$\overline{\text{ADTRG}}$によるトリガ
分解能	○	8ビット / 10ビット	サンプル&ホールド		なし
アナログ入力端子	○	AN0,AN1(2端子) / AN0～AN3(4端子) / AN0～AN5(6端子) / AN0～AN7(8端子)		○	あり

動　作

(1) A-D変換開始フラグを“1”にすると、A-D変換器はAN0端子の入力電圧のA-D変換を開始します。

(2) AN0端子の入力電圧のA-D変換終了後、逐次比較レジスタの内容(変換結果)はA-Dレジスタ0に転送されます。選択されたすべてのアナログ入力端子に対してA-D変換を行います。変換結果は、1端子の変換終了ごとに各端子に対応するA-Dレジスタiに転送されます。

(3) 選択されたすべてのアナログ入力端子に対するA-D変換が終了すると、A-D変換割り込み要求ビットが“1”になります。同時に、A-D変換開始フラグが“0”になり、A-D変換器は動作を停止します。

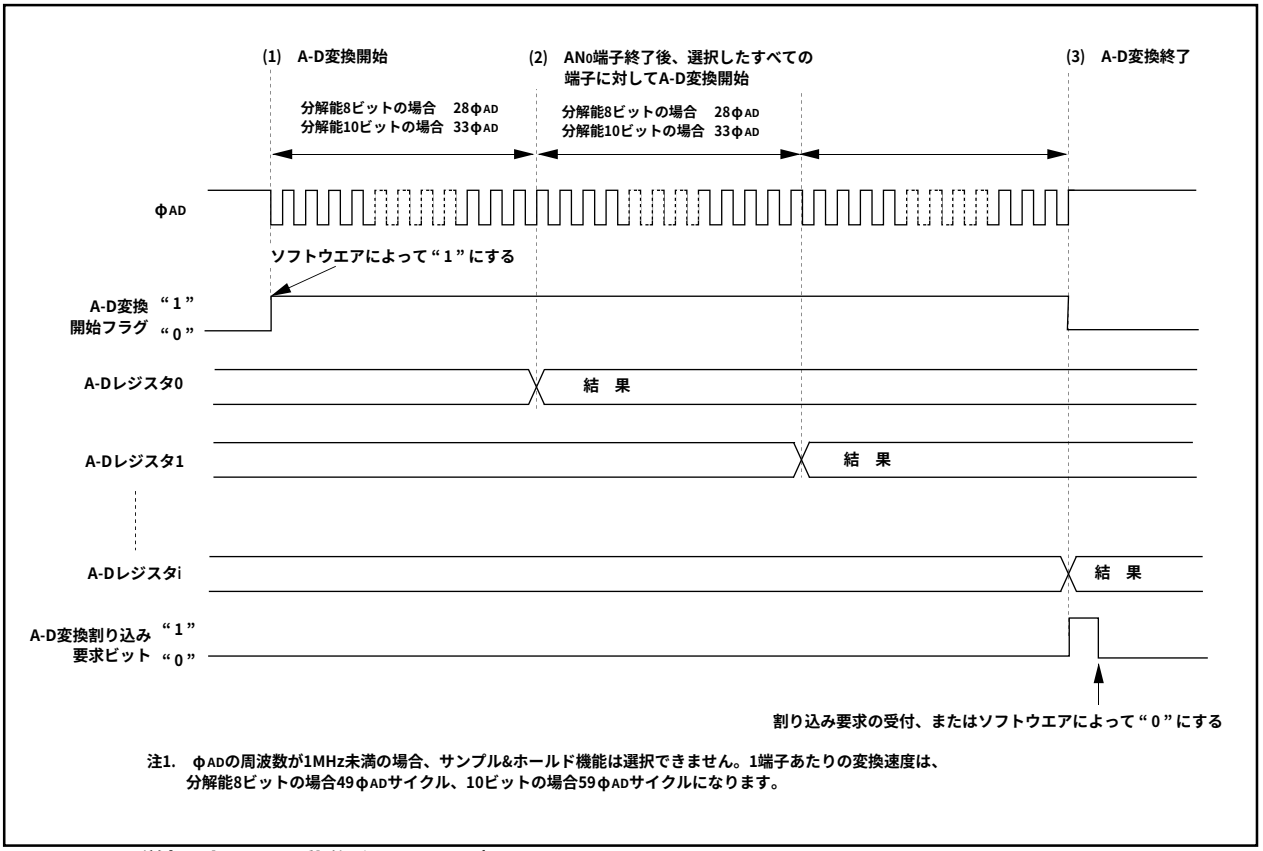


図2.7.11. 単掃引モード動作タイミング図

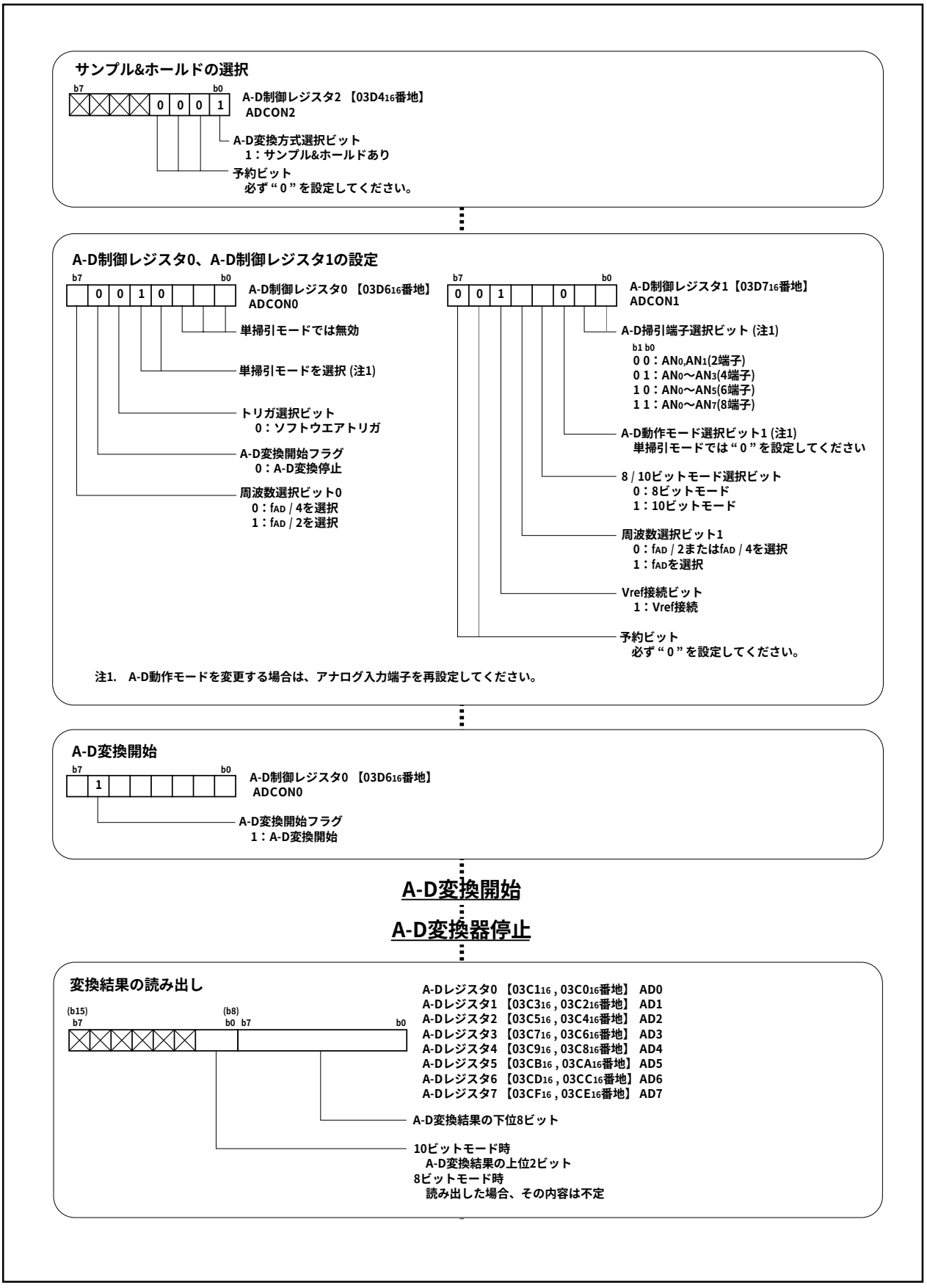


図2.7.12. 単掃引モード時のレジスタ設定手順

2.7.6 A-D変換器の動作 (繰り返し掃引モード0)

繰り返し掃引モード0では、表2.7.6に示す項目の中から機能を選択できます。ここでは、表2.7.6に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.7.13に動作タイミングを、図2.7.14に設定手順を示します。

表2.7.6. 設定内容

設定項目	設定内容		設定項目	設定内容	
動作クロックφAD	○	fADの4分周 / fADの2分周 / fAD	A-D変換開始条件	○	ソフトウエアトリガ
					$\overline{\text{ADTRG}}$によるトリガ
分解能	○	8ビット / 10ビット	サンプル&ホールド		なし
アナログ入力端子	○	AN0,AN1(2端子) / AN0～AN3(4端子) / AN0～AN5(6端子) / AN0～AN7(8端子)		○	あり

動　作

(1) A-D変換開始フラグを“1”にすると、A-D変換器はAN0端子の入力電圧のA-D変換を開始します。

(2) AN0端子の入力電圧のA-D変換終了後、逐次比較レジスタの内容(変換結果)はA-Dレジスタ0に転送されます。

(3) 選択されたすべてのアナログ入力端子に対してA-D変換を行います。変換結果は、1端子の変換終了ごとに各端子に対応するA-Dレジスタiに転送されます。A-D変換割り込み要求ビットは“1”になりません。

(4) ソフトウエアでA-D変換開始フラグを“0”にするまで、A-D変換器は動作を続けます。

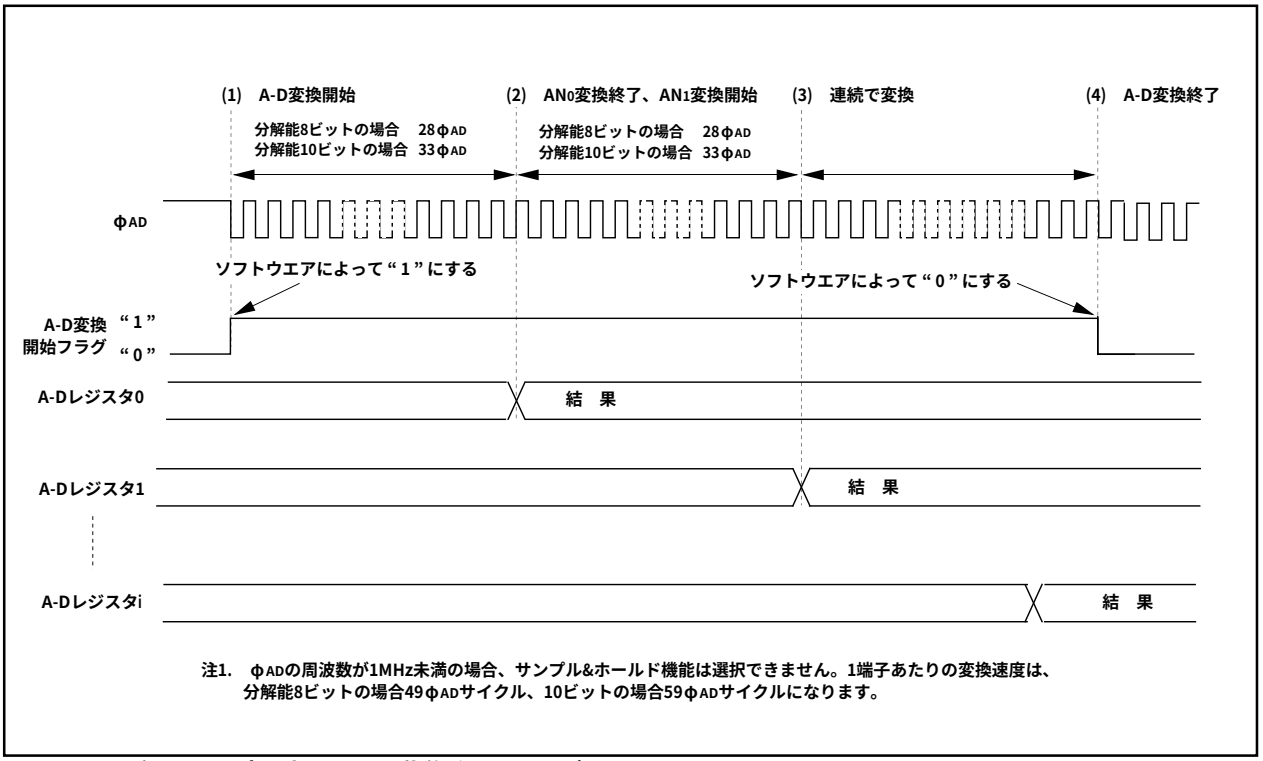


図2.7.13. 繰り返し掃引モード0動作タイミング図

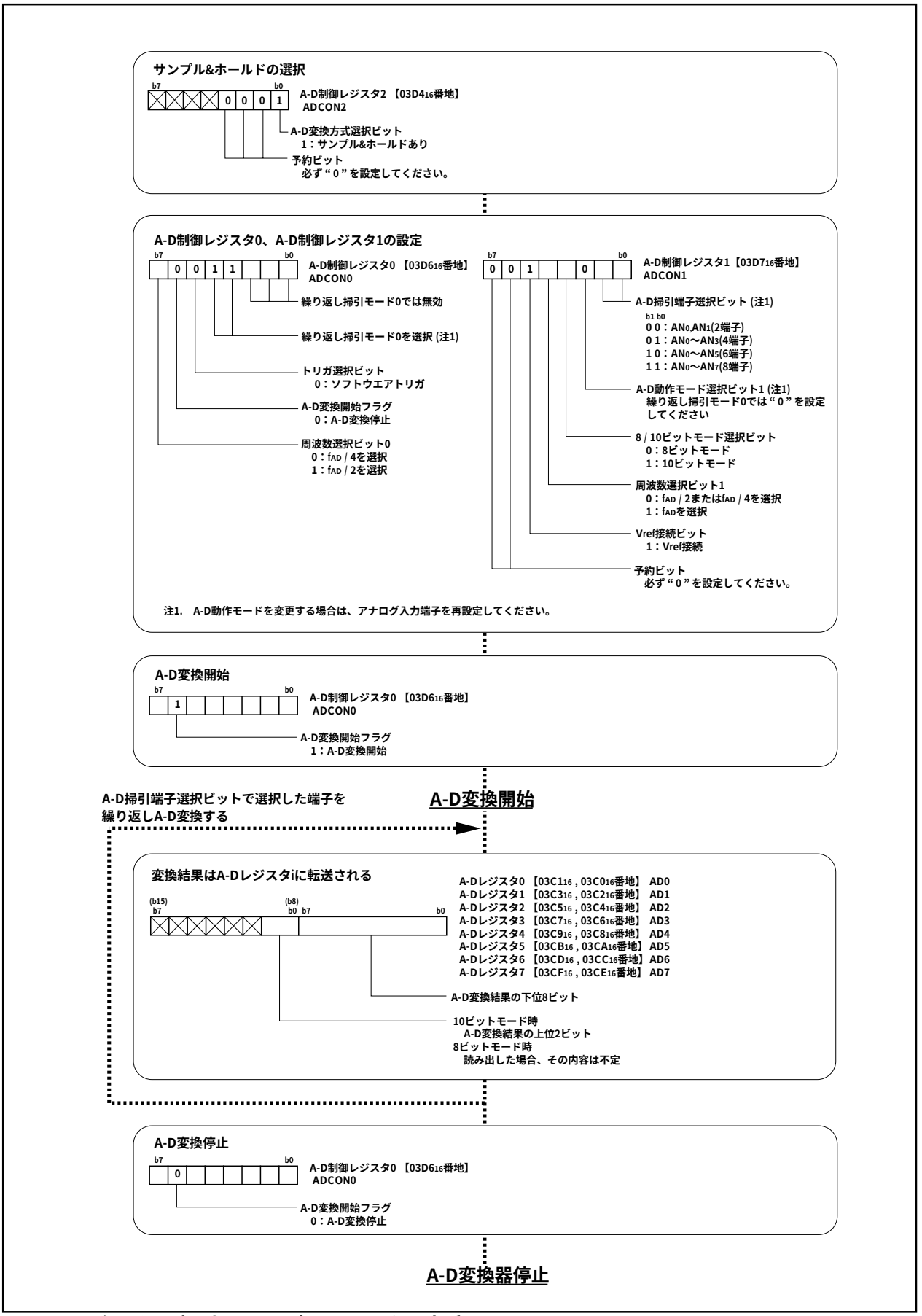


図2.7.14. 繰り返し掃引モード0時のレジスタ設定手順

2.7.7 A-D変換器の動作 (繰り返し掃引モード1)

繰り返し掃引モード1では、表2.7.7に示す項目の中から機能を選択できます。ここでは、表2.7.7に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.7.15にANi端子の掃引順序を、図2.7.16に動作タイミングを、図2.7.17に設定手順を示します。

表2.7.7. 設定内容

設定項目	設定内容		設定項目	設定内容	
動作クロックφAD	○	fADの4分周 / fADの2分周 / fAD	A-D変換開始条件	○	ソフトウエアトリガ
					$\overline{\text{ADTRG}}$によるトリガ
分解能	○	8ビット / 10ビット	サンプル&ホールド		なし
アナログ入力端子	○	AN0(1端子) / AN0, AN1 (2端子) / AN0～AN2(3端子) / AN0～AN3(4端子)		○	あり

動　作

(1) A-D変換開始フラグを“1”にすると、A-D変換器はAN0端子の入力電圧のA-D変換を開始します。

(2) AN0端子の入力電圧のA-D変換終了後、逐次比較レジスタの内容(変換結果)はA-Dレジスタ0に転送されます。

(3) 選択されたアナログ入力端子に対してA-D変換を行うごとに、選択されていない端子を1端子だけA-D変換し、再びAN0端子からA-D変換を行います。変換結果は、1端子の変換終了ごとに各端子に対応するA-Dレジスタiに転送されます。A-D変換割り込み要求ビットは“1”になりません。

(4) ソフトウエアでA-D変換開始フラグを“0”にするまで、A-D変換器は動作を続けます。

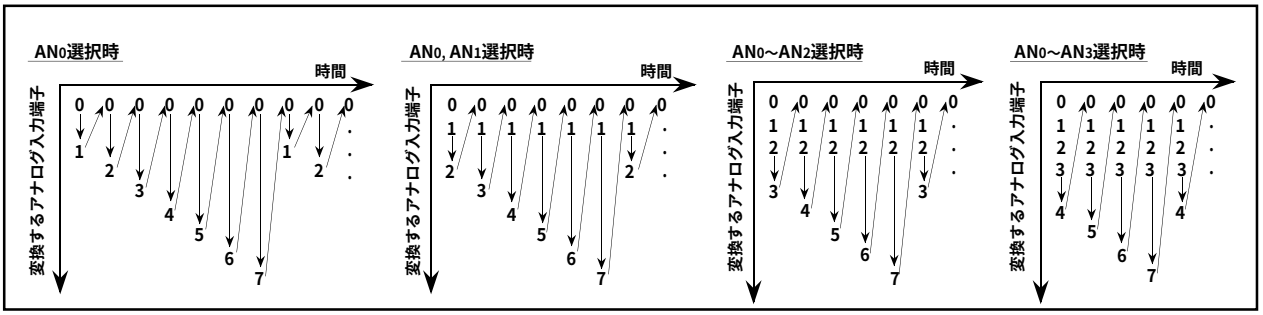


図2.7.15. 繰り返し掃引モード1におけるANi端子の掃引順序

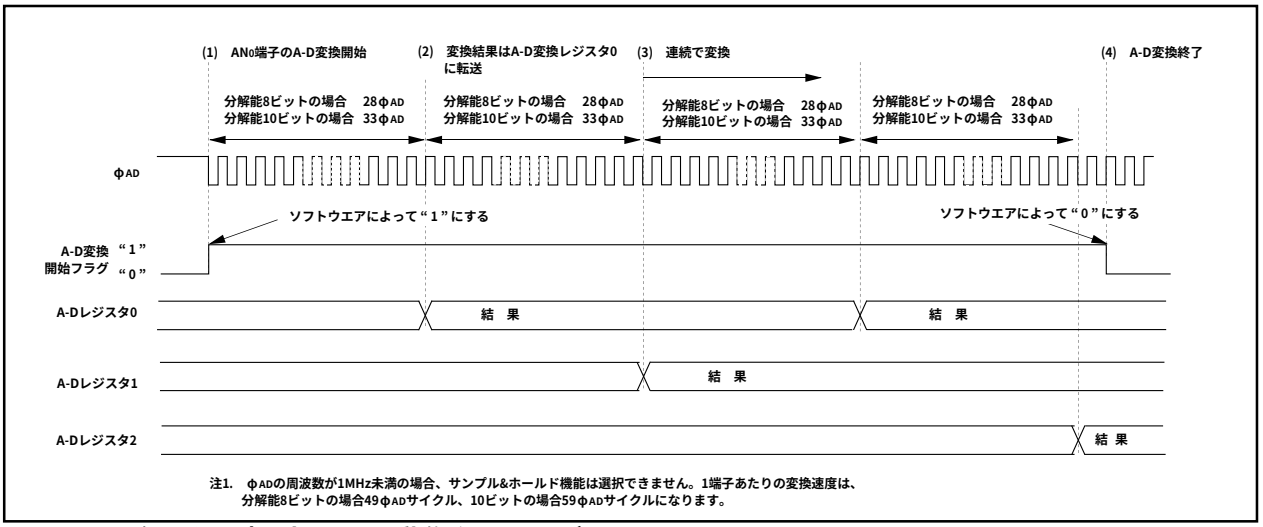


図2.7.16. 繰り返し掃引モード1動作タイミング図

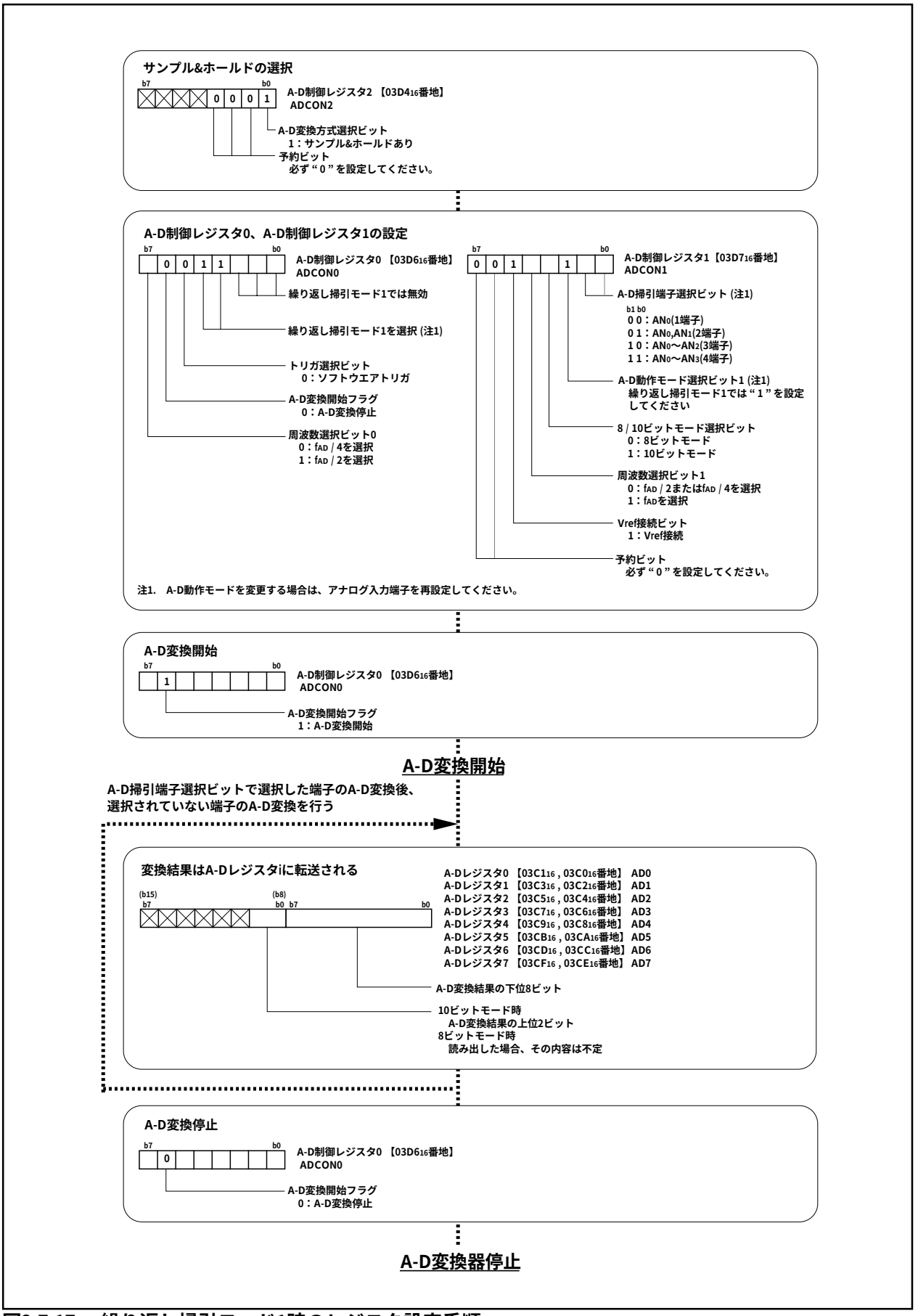


図2.7.17. 繰り返し掃引モード1時のレジスタ設定手順

2.7.8 A-D変換器の注意事項

内　容

(1) A-D制御レジスタ0の各ビット(ビット6を除く)、A-D制御レジスタ1の各ビット、およびA-D制御レジスタ2のビット0に対する書き込みは、A-D変換停止時(トリガ発生前)に行ってください。
特にVref接続ビットを“0”から“1”にしたときは、1μs以上経過した後にA-D変換を開始してください。

(2) ノイズによる変換誤差を低減するため、AVCC端子とVREF端子に印加する電圧は別電源から供給してください。また、AVCC端子、VREF端子、およびアナログ入力端子(ANi)とAVSS端子の間には、それぞれコンデンサを接続することを推奨します。図2.7.18に各端子の処理例を示します。

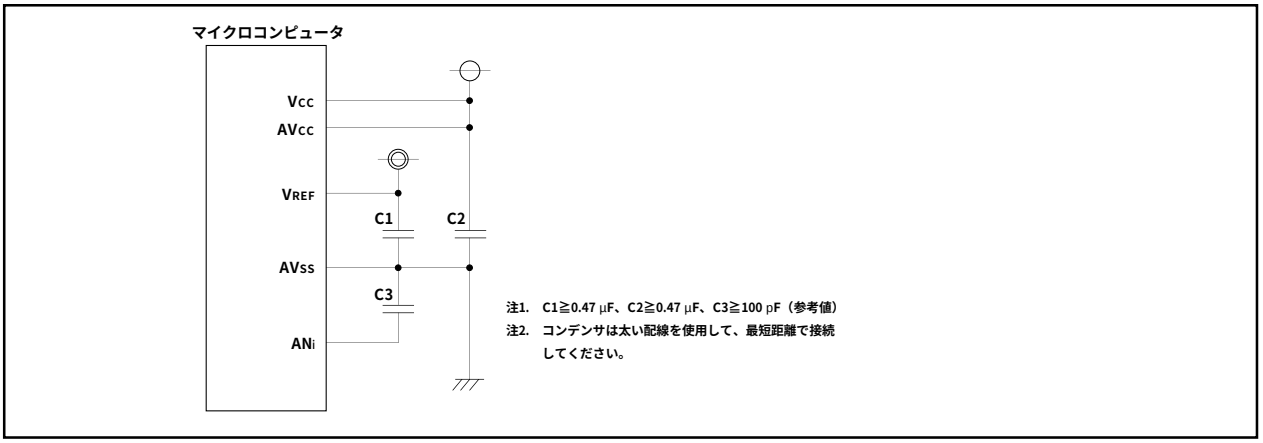


図2.7.18. 各端子の処理例

(3) アナログ入力端子として使用する端子および外部トリガ入力端子(P130)に対応するポートの方向レジスタは入力に設定してください。

(4) VCC= 2.7V～4.0Vで使用する場合 φADにfAD(分周なし)以外を選択してください。
サンプル&ホールド機能なしを選択してください。
8ビットモードを選択してください。

(5) A-D動作モードを変更する場合は、アナログ入力端子を再選択してください。

(6) 単発モードまたは単掃引モードで使用する場合
A-D変換が完了したことを確認してから、対象となるA-Dレジスタを読み出してください。
A-D変換の完了はA-D変換割り込み要求ビットで判定できます。

(7) 繰り返しモード、繰り返し掃引モード0または繰り返し掃引モード1で使用する場合
CPUの内部クロックは、メインクロックを分周せずに使用してください。

2.7.9 A-D変換の方法 (10ビットモード)

内 容 (1) A-D変換器は、逐次比較レジスタの内容に従って内部で生成される比較電圧(Vref)と、アナログ入力端子から入力されるアナログ入力電圧(V_{IN})を比較し、その結果を逐次比較レジスタに反映することによって、V_{IN}をデジタル値に変換します(逐次比較変換方式)。トリガが発生すると、A-D変換器は以下の処理を行います。

1. 逐次比較レジスタのビット9の確定
   VrefとVINを比較します。このときの逐次比較レジスタの内容は、“1000000000_2”(初期値)です。
   比較結果によって逐次比較レジスタのビット9は以下のように変化します。
   Vref<VINならば、ビット9は“1”
   Vref>VINならば、ビット9は“0”

2. 逐次比較レジスタのビット8の確定
   逐次比較レジスタのビット8を“1”にした後、VrefとVINを比較します。
   比較結果によって逐次比較レジスタのビット8は以下のように変化します。
   Vref<VINならば、ビット8は“1”
   Vref>VINならば、ビット8は“0”

3. 逐次比較レジスタのビット7～0の確定
   上記2の動作をビット7～0に対して行います。
   ビット0が確定すると、逐次比較レジスタの内容(変換結果)はA-Dレジスタiに転送されます。

Vrefは最新の逐次比較レジスタの内容に従って生成されます。表2.7.8に逐次比較レジスタの内容とVrefの関係を示します。また、表2.7.9にA-D変換中の逐次比較レジスタとVrefの変化を、図2.7.19に理論的A-D変換特性を示します。

表2.7.8. 逐次比較レジスタの内容とVrefの関係

逐次比較レジスタの内容：n	Vref (V)
0	0
1～1023	$\frac{V_{REF}}{1024} \times n - \frac{V_{REF}}{2048}$

表2.7.9.　A-D変換中の逐次比較レジスタとVrefの変化(10ビットモード時)

	逐次比較レジスタの変化	Vrefの変化
A-D変換器停止状態	b9 … b0 1 0 0 0 0 0 0 0 0 0	$\frac{V_{REF}}{2}$ [V]
1回目比較	1 0 0 0 0 0 0 0 0 0	$\frac{V_{REF}}{2} - \frac{V_{REF}}{2048}$ [V]
2回目比較	n9 1 0 0 0 0 0 0 0 0 1回目の比較結果	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} - \frac{V_{REF}}{2048}$ [V] $\left(\begin{array}{l} n_9 = 1\text{の場合} + \frac{V_{REF}}{4} \\ n_9 = 0\text{の場合} - \frac{V_{REF}}{4} \end{array}\right)$
3回目比較	n9 n8 1 0 0 0 0 0 0 0 2回目の比較結果	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} \pm \frac{V_{REF}}{8} - \frac{V_{REF}}{2048}$ [V] $\left(\begin{array}{l} n_8 = 1\text{の場合} + \frac{V_{REF}}{8} \\ n_8 = 0\text{の場合} - \frac{V_{REF}}{8} \end{array}\right)$
⋮	⋮	⋮
10回目比較	n9 n8 n7 n6 n5 n4 n3 n2 n1 0	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} \pm \frac{V_{REF}}{8} \pm \ldots\ldots \pm \frac{V_{REF}}{1024} - \frac{V_{REF}}{2048}$ [V]
変換終了	n9 n8 n7 n6 n5 n4 n3 n2 n1 n0 このデータがA-Dレジスタiのビット0～ビット9に入ります	

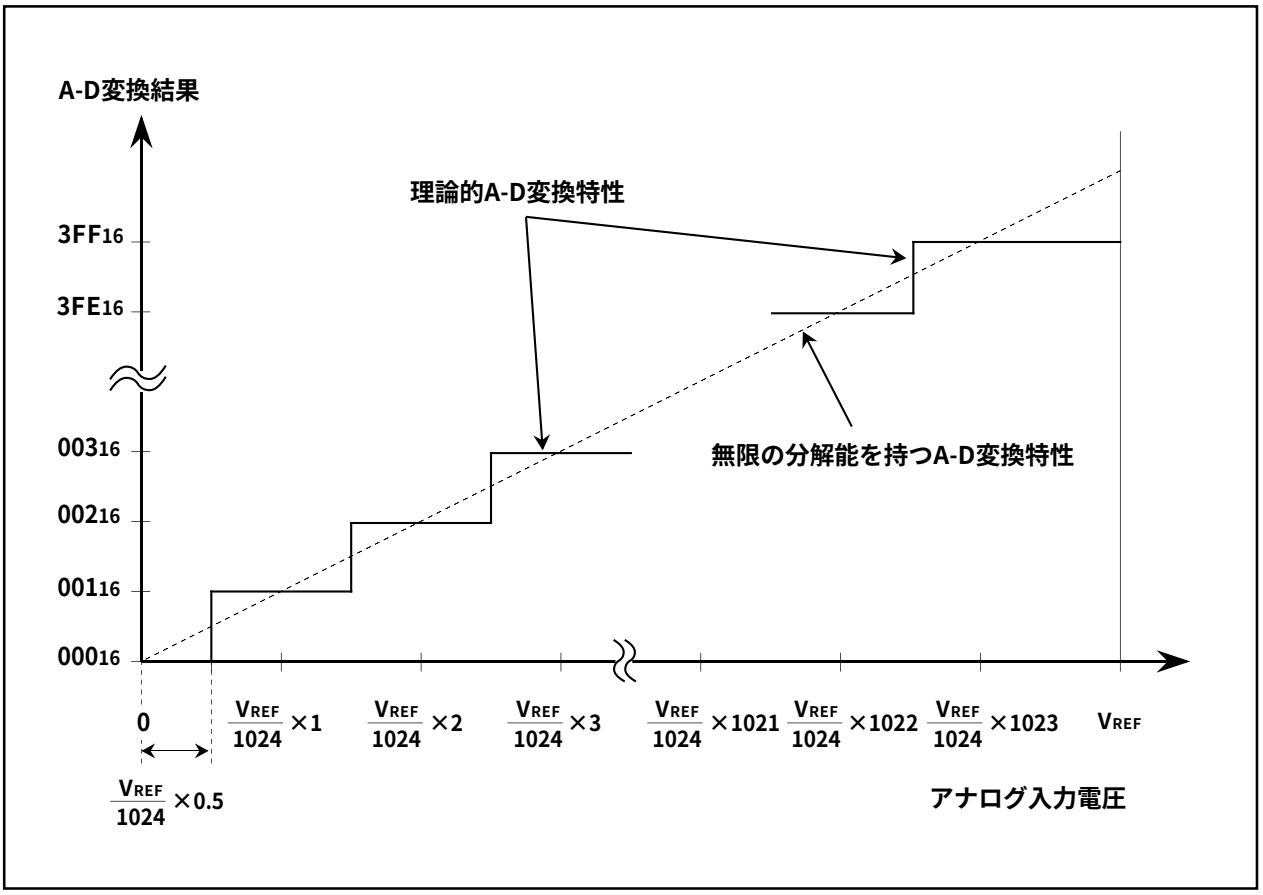


図2.7.19.　理論的A-D変換特性(10ビットモード時)

2.7.10 A-D変換の方法 (8ビットモード)

内 容 (1) 8ビットモード時、10ビット逐次比較レジスタの上位8ビットがA-D変換結果となります。このため、8ビットA-D変換器と比較すると、比較電圧が3VREF / 2048(表2.7.10の下線参照)異なり、図2.7.20に示す出力コードの変化点の差が生じます。

表2.7.10. 8ビットモードおよび8ビットA-D変換器の比較電圧

		8ビットモード	8ビットA-D変換器
比較電圧 Vref	n=0	0	0
	n=1～255	$\frac{V_{REF}}{2^8} \times n - \underline{\frac{V_{REF}}{2^{10}} \times 0.5}$	$\frac{V_{REF}}{2^8} \times n - \underline{\frac{V_{REF}}{2^8} \times 0.5}$

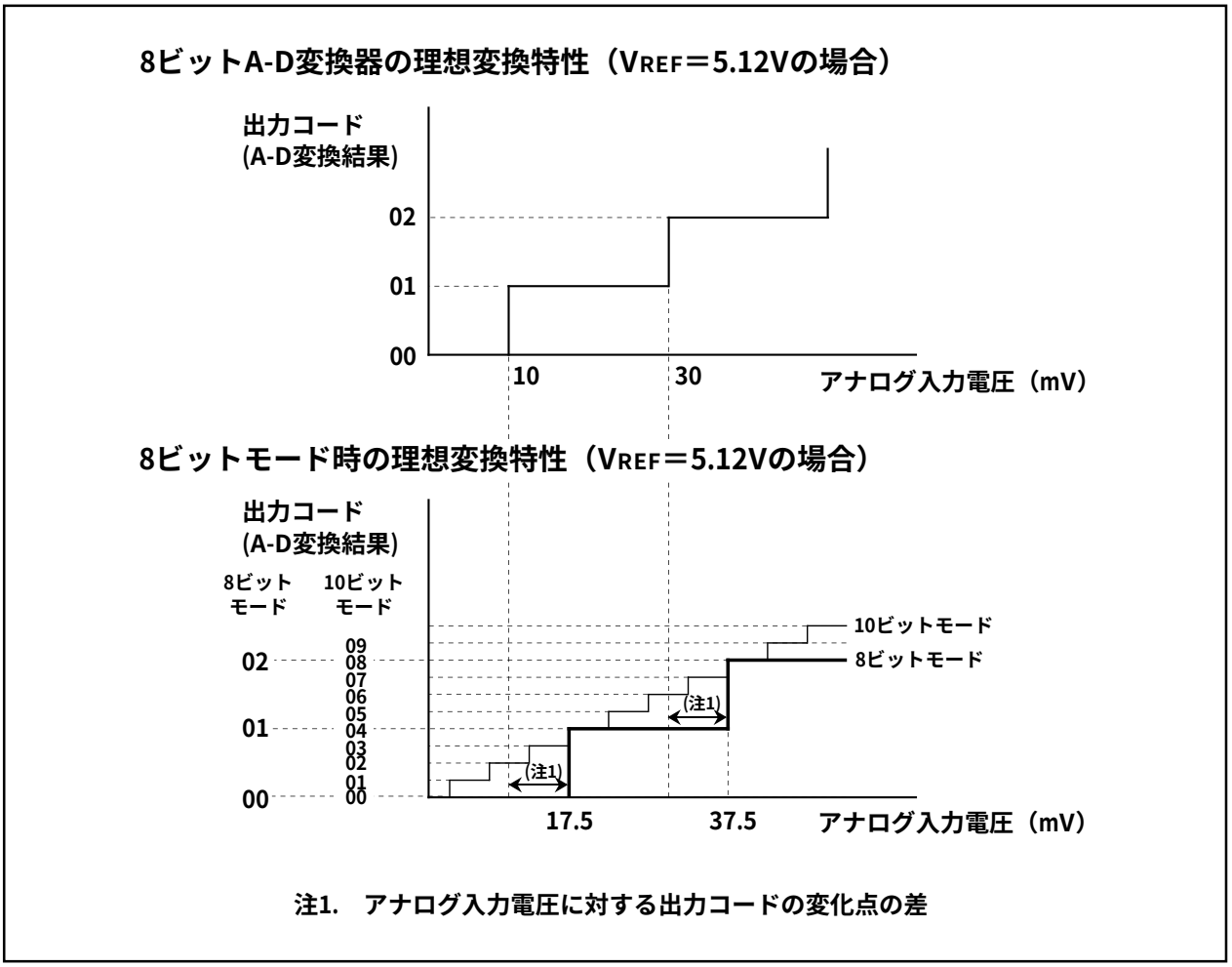


図2.7.20. 8ビットモードおよび8ビットA-D変換器の理想変換特性

表2.7.11.　A-D変換中の逐次比較レジスタとVrefの変化(8ビットモード時)

	逐次比較レジスタの変化	Vrefの変化
	b9 … b0	
A-D変換器停止状態	1 0 0 0 0 0 0 0 0 0	$\frac{V_{REF}}{2}$ [V]
1回目比較	1 0 0 0 0 0 0 0 0 0	$\frac{V_{REF}}{2} - \frac{V_{REF}}{2048}$ [V]
↓ 2回目比較	n9 1 0 0 0 0 0 0 0 0 1回目の比較結果	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} - \frac{V_{REF}}{2048}$ [V] (n9=1の場合 $+\frac{V_{REF}}{4}$ / n9=0の場合 $-\frac{V_{REF}}{4}$)
↓ 3回目比較	n9 n8 1 0 0 0 0 0 0 0 2回目の比較結果	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} \pm \frac{V_{REF}}{8} - \frac{V_{REF}}{2048}$ [V] (n8=1の場合 $+\frac{V_{REF}}{8}$ / n8=0の場合 $-\frac{V_{REF}}{8}$)
↓ ⋮	⋮	⋮
↓ 8回目比較	n9 n8 n7 n6 n5 n4 n3 1 0 0	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} \pm \frac{V_{REF}}{8} \pm \ldots\ldots \pm \frac{V_{REF}}{256} - \frac{V_{REF}}{2048}$ [V]
↓ 変換終了	n9 n8 n7 n6 n5 n4 n3 n2 0 0 このデータがA-Dレジスタiのビット0～ビット7に入ります	

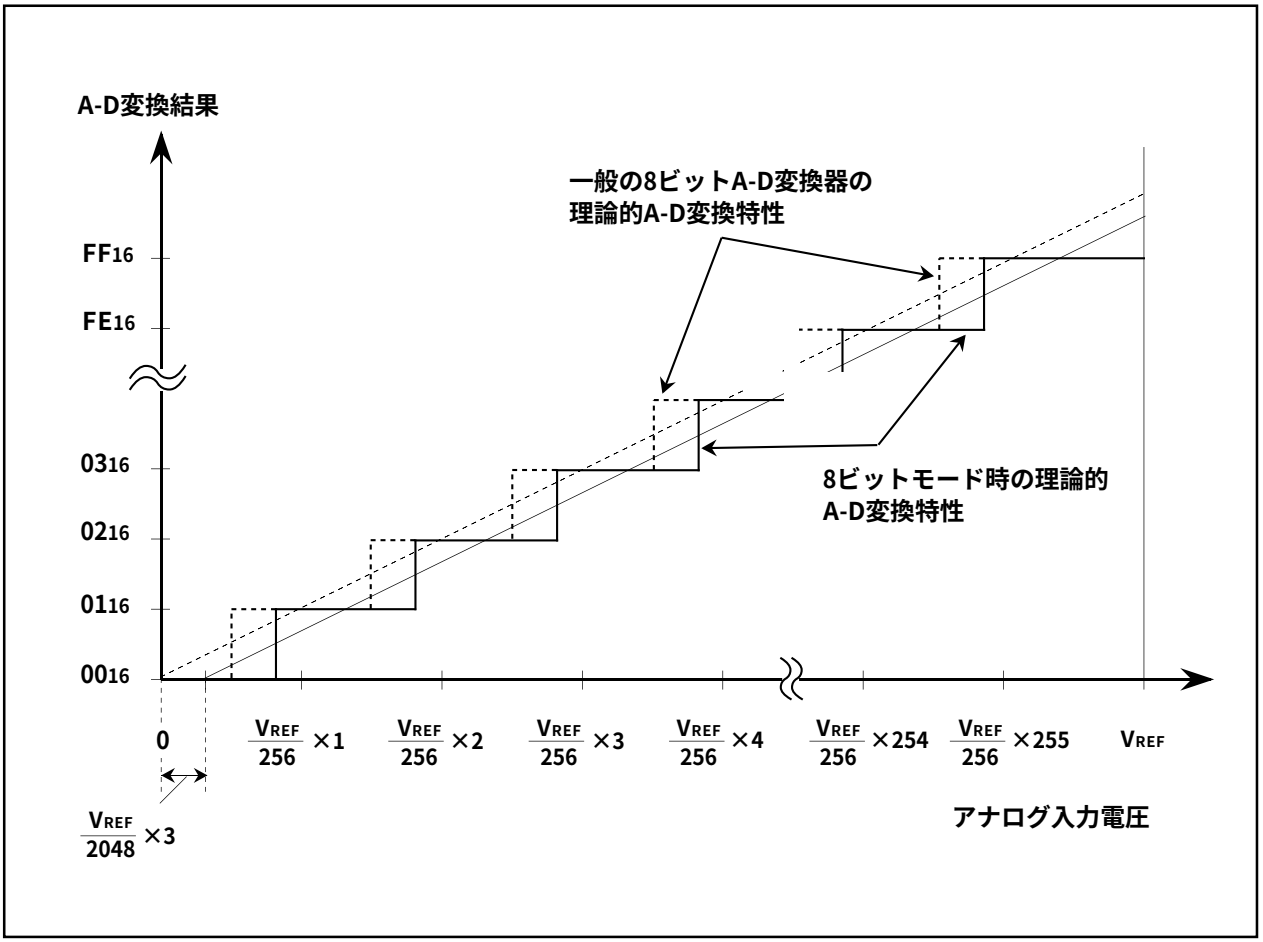


図2.7.21.　理論的A-D変換特性(8ビットモード時)

2.7.11　絶対精度と微分非直線性誤差

A-D変換の精度について、以下に説明します。

●絶対精度

理論的A-D変換特性における出力コードと、実際のA-D変換結果の差が絶対精度です。絶対精度測定時は、理論的A-D変換特性において同じ出力コードを期待できるアナログ入力電圧の幅(1LSB幅)の中点の電圧を、アナログ入力電圧として使用します。例えば分解能10ビット、基準電圧(V_{REF})＝5.12Vの場合、1LSB幅は5mVで、アナログ入力電圧には0mV、5mV、10mV、15mV、20mV…を使用します。絶対精度＝±3LSBとは、アナログ入力電圧が25mVの場合、理論的A-D変換特性では出力コード“005_{16}”を期待できますが、実際のA-D変換結果は“002_{16}”～“008_{16}”になることを意味します。絶対精度にはゼロ誤差、フルスケール誤差を含みます。

V_{REF}～AV_{CC}間のアナログ入力電圧に対する出力コードは、すべて“$3FF_{16}$”となります。

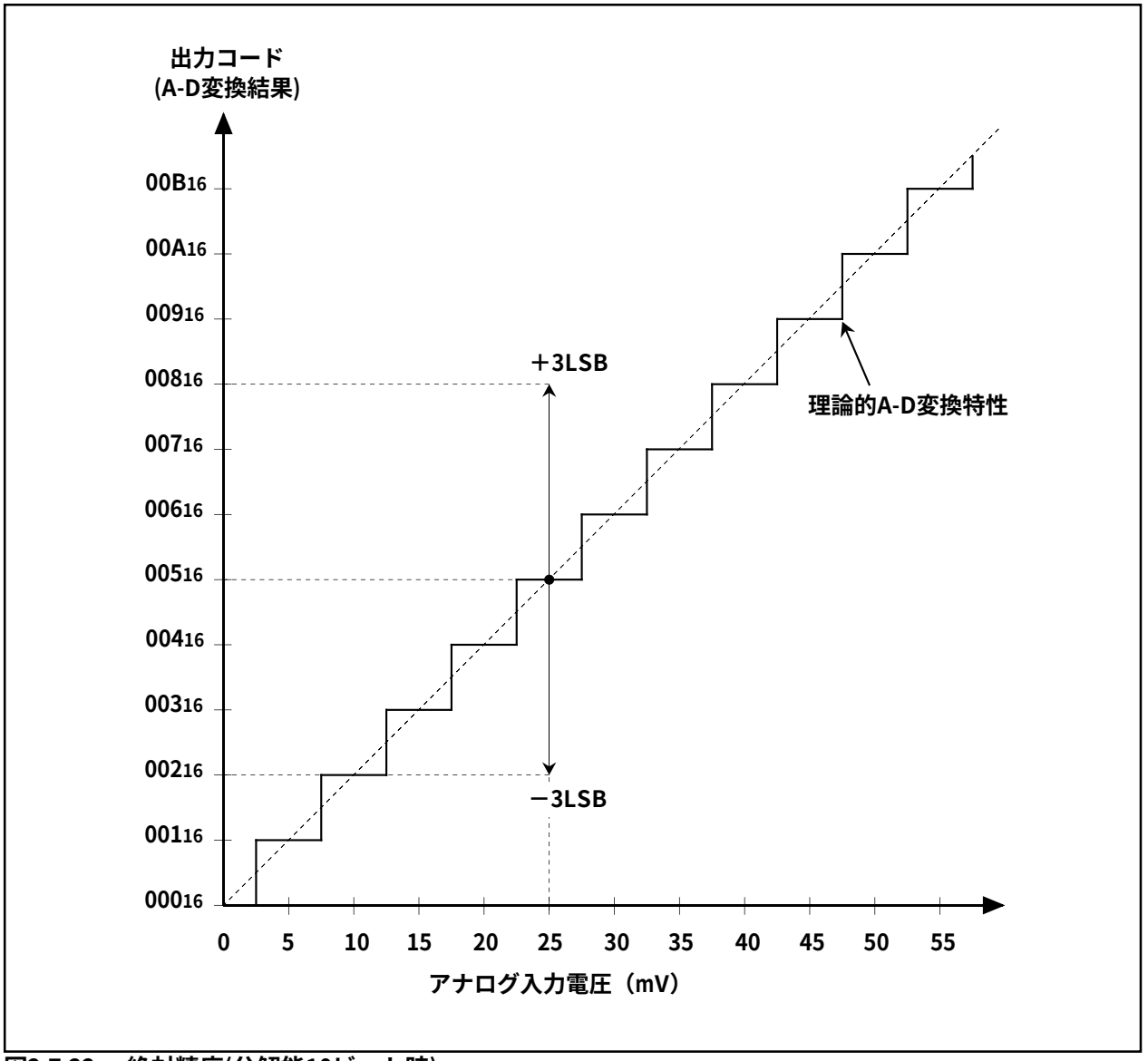


図2.7.22.　絶対精度(分解能10ビット時)

●微分非直線性誤差

微分非直線性誤差は、理論的A-D変換特性における1LSB幅(同じ出力コードを期待できるアナログ入力電圧の幅)と、実測定される1LSB幅(同じコードを出力するアナログ入力電圧の幅)の差を示すものです。分解能10ビット、基準電圧(V_{REF})＝5.12Vの場合、微分非直線性誤差＝±1LSBならば、理論的A-D変換特性における1LSB幅は5mVですが、実測定される1LSB幅は0～10mVになることを意味します(「5.2　A-D変換器標準特性」参照)。

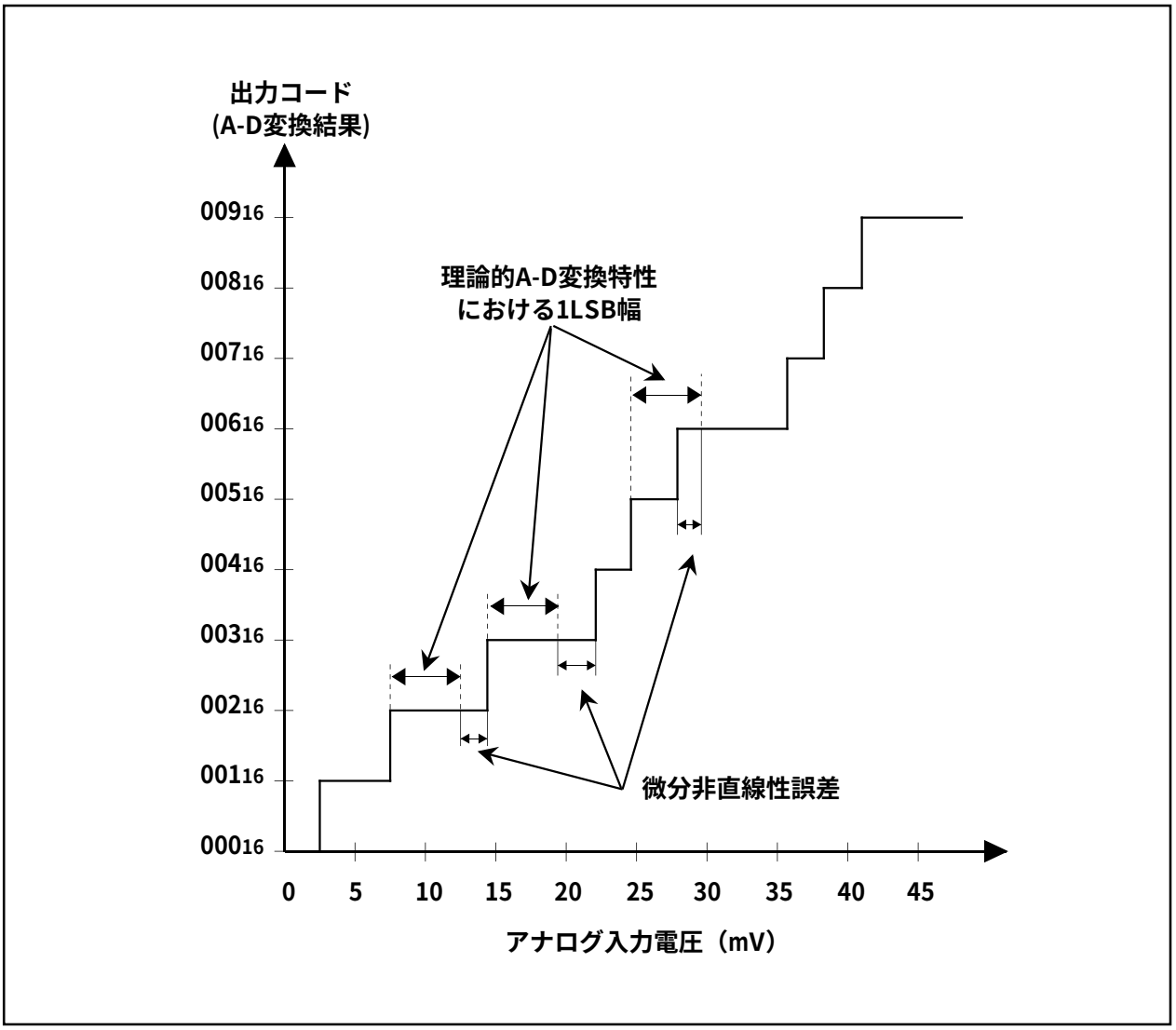


図2.7.23.　微分非直線性誤差(分解能10ビット時)

2.7.12　アナログ入力内部等価回路

図2.7.24にアナログ入力内部等価回路を示します。

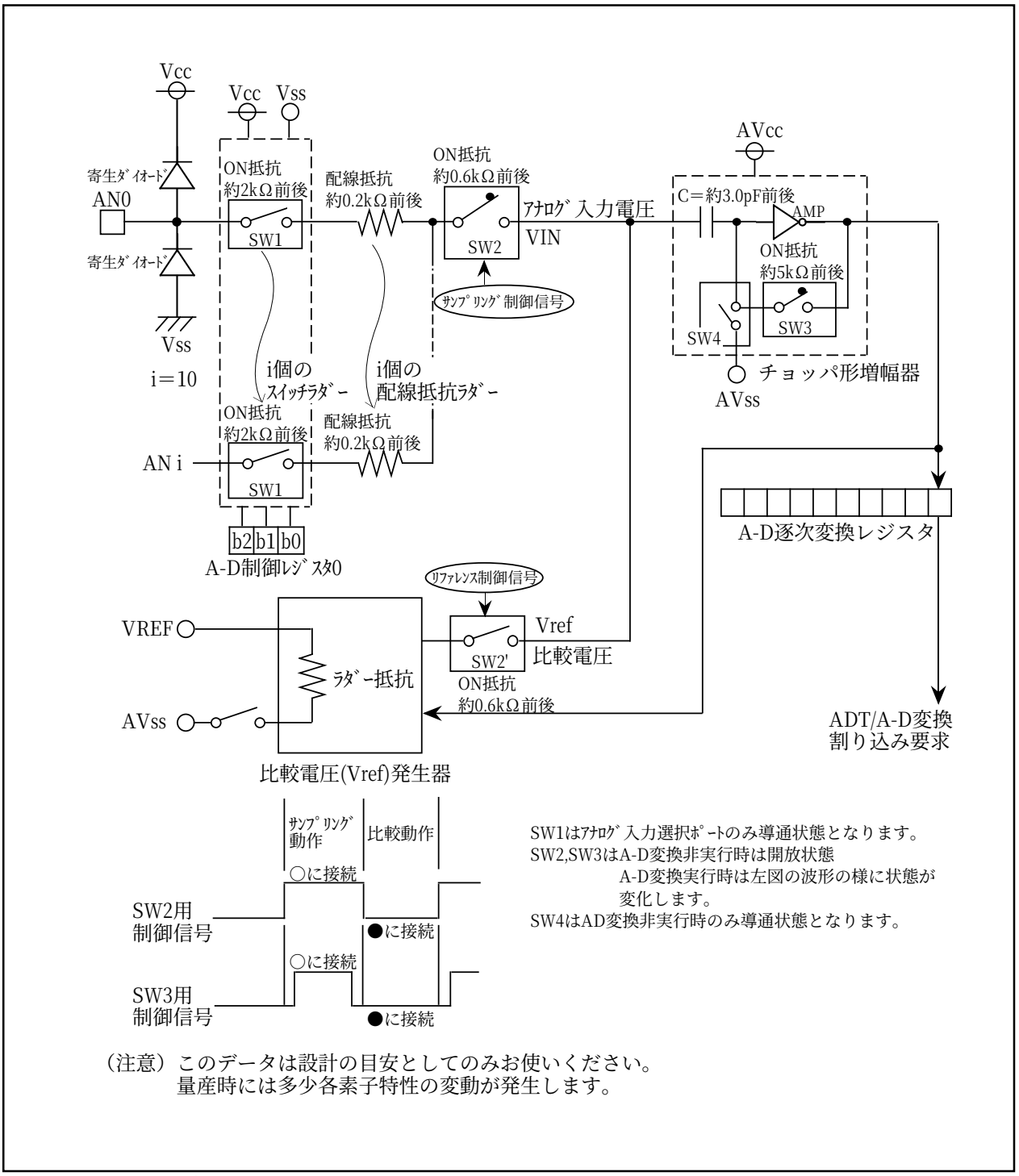


図2.7.24.　アナログ入力内部等価回路

2.7.13 A-D変換時のセンサーの出力インピーダンス

A-D変換を正しく行うためには、図2.7.25の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間をTとすると、時間Tとは、図2.7.24において、スイッチSW2とSW3がともに○に接続されている時間です。また、センサー等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A-D変換器の精度(誤差)をX、分解されるレベル間隔をY(Yは10ビットモード時1024、8ビットモード時256)とします。

V_Cは一般に$V_C=V_{IN}\{1-e^{-\frac{1}{C(R0+R)}t}\}$

t=Tのとき、$V_C=V_{IN}-\frac{X}{Y}V_{IN}=V_{IN}(1-\frac{X}{Y})$ より、

$$e^{-\frac{1}{C(R0+R)}T}=\frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T=\ln\frac{X}{Y}$$

よって、$R0=-\frac{T}{C\cdot\ln\frac{X}{Y}}-R$

例として図2.7.25のようなモデルを考え、V_{IN}とV_Cの差が0.1LSBとなるとき、時間Tでコンデンサの端子間電圧V_Cが0からV_{IN}-(0.1/1024)V_{IN}になるインピーダンスR0を求めます。(0.1/1024)は10ビットモードでのA-D変換時に、コンデンサ充電不十分によるA-D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

f(X_{IN})=10MHzの時、サンプル&ホールド付きA-D変換モードではT=0.3μsとなります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます。

T=0.3μs、R=7.8kΩ、C=3pF、X=0.1、Y=1024だから、

$$R0=-\frac{0.3\times10^{-6}}{3.0\times10^{-12}\cdot\ln\frac{0.1}{1024}}-7.8\times10^{3}\quad 3.0\times10^{3}$$

したがって、A-D変換器の精度(誤差)を0.1LSB以下にするセンサー回路の出力インピーダンスR0は最大3.0kΩになります。表2.7.12、表2.7.13に出力インピーダンスとA-D変換器の精度(誤差)の関係を示します。

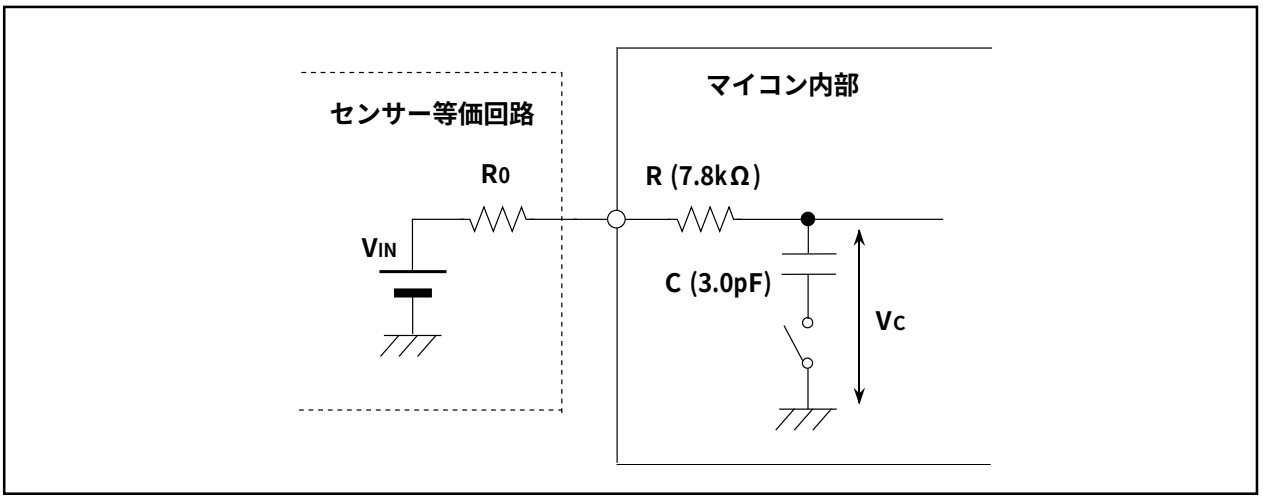


図2.7.25. A-D変換端子の等価回路

表2.7.12.　出力インピーダンスとA-D変換器の精度(誤差)の関係(10ビットモード)

f(XIN) (MHz)	サイクル (μs)	サンプリング時間 (μs)	R (kΩ)	C (pF)	誤差 (LSB)	R0 (kΩ)
10	0.1	0.3 (3×サイクル、サンプル＆ホールド機能有効)	7.8	3.0	0.1	3.0
					0.3	4.5
					0.5	5.3
					0.7	5.9
					0.9	6.4
					1.1	6.8
					1.3	7.2
					1.5	7.5
					1.7	7.8
					1.9	8.1
10	0.1	0.2 (2×サイクル、サンプル＆ホールド機能無効)	7.8	3.0	0.3	0.4
					0.5	0.9
					0.7	1.3
					0.9	1.7
					1.1	2.0
					1.3	2.2
					1.5	2.4
					1.7	2.6
					1.9	2.8

表2.7.13.　出力インピーダンスとA-D変換器の精度(誤差)の関係(8ビットモード)

f(XIN) (MHz)	サイクル (μs)	サンプリング時間 (μs)	R (kΩ)	C (pF)	誤差 (LSB)	R0 (kΩ)
10	0.1	0.3 (3×サイクル、サンプル＆ホールド機能有効)	7.8	3.0	0.1	4.9
					0.3	7.0
					0.5	8.2
					0.7	9.1
					0.9	9.9
					1.1	10.5
					1.3	11.1
					1.5	11.7
					1.7	12.1
					1.9	12.6
10	0.1	0.2 (2×サイクル、サンプル＆ホールド機能無効)	7.8	3.0	0.1	0.7
					0.3	2.1
					0.5	2.9
					0.7	3.5
					0.9	4.0
					1.1	4.4
					1.3	4.8
					1.5	5.2
					1.7	5.5
					1.9	5.8

2.8 D-A変換器

2.8.1 概要

D-A変換器は、8ビットのR-2R方式によるD-A変換器です。D-A変換器の概要について説明します。

●出力電圧

0V～V_{REF}までの電圧を出力します。出力電圧は、V_{REF} / (256) × D-Aレジスタの内容で決定します。
D-A変換器は、A-D変換器のVref接続ビットの影響は受けません。

●変換時間

t_{su} = 3 μs

●D-A変換器の出力と方向レジスタ

D-A変換器を使用する場合、ポートの方向レジスタは出力に設定しないでください。

●D-A変換器関連端子

(1) DA_0、DA_1、DA_2端子　　D-A変換器の出力端子です。
(2) AV_{CC}端子　　アナログ部の電源端子です。
(3) V_{REF}端子　　基準電圧の入力端子です。
(4) AV_{SS}端子　　アナログ部のGND端子です。

●D-A変換器関連レジスタ

図2.8.1にD-A変換器関連レジスタのメモリ配置図を、図2.8.2にD-A変換器関連レジスタの構成を示します。

●注意事項

D-A出力端子は、$P13_0$, $P13_1$, $P13_2$と兼用になっています。リセット時これらのポートは、入力ポートで出力はフローティングになります。

$03D8_{16}$	D-Aレジスタ0(DA0)
$03D9_{16}$	
$03DA_{16}$	D-Aレジスタ1(DA1)
$03DB_{16}$	
$03DC_{16}$	D-A制御レジスタ(DACON)
$03DD_{16}$	
$03DE_{16}$	D-Aレジスタ2(DA2)

図2.8.1. D-A変換器関連レジスタのメモリ配置図

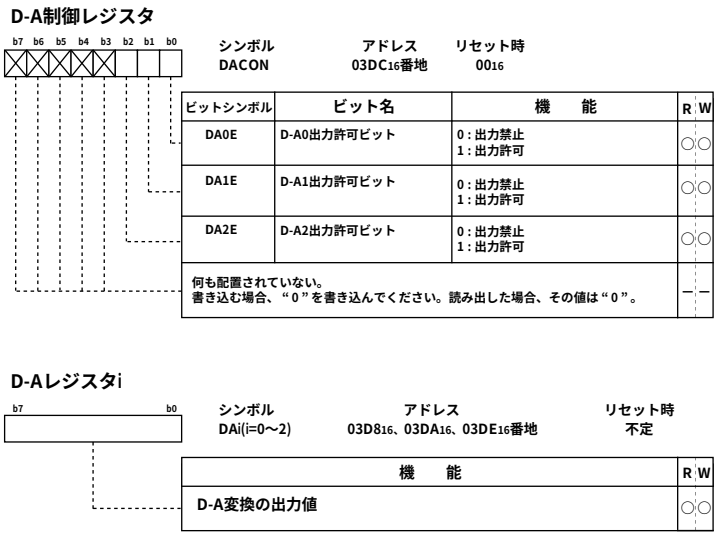


図2.8.2. D-A変換器関連レジスタ構成図

2.8.2 D-A変換器の動作

D-A変換器の動作を説明します。また、図2.8.3に設定手順を示します。

動　作

(1) D-Aレジスタiに値を書き込むと、D-A変換が開始されます。
(2) D-Ai出力許可ビットを“1”にすると、DAi端子からアナログ値が出力されます。
(3) D-Ai出力許可ビットを“0”にするまで、アナログ値が出力され続けます。

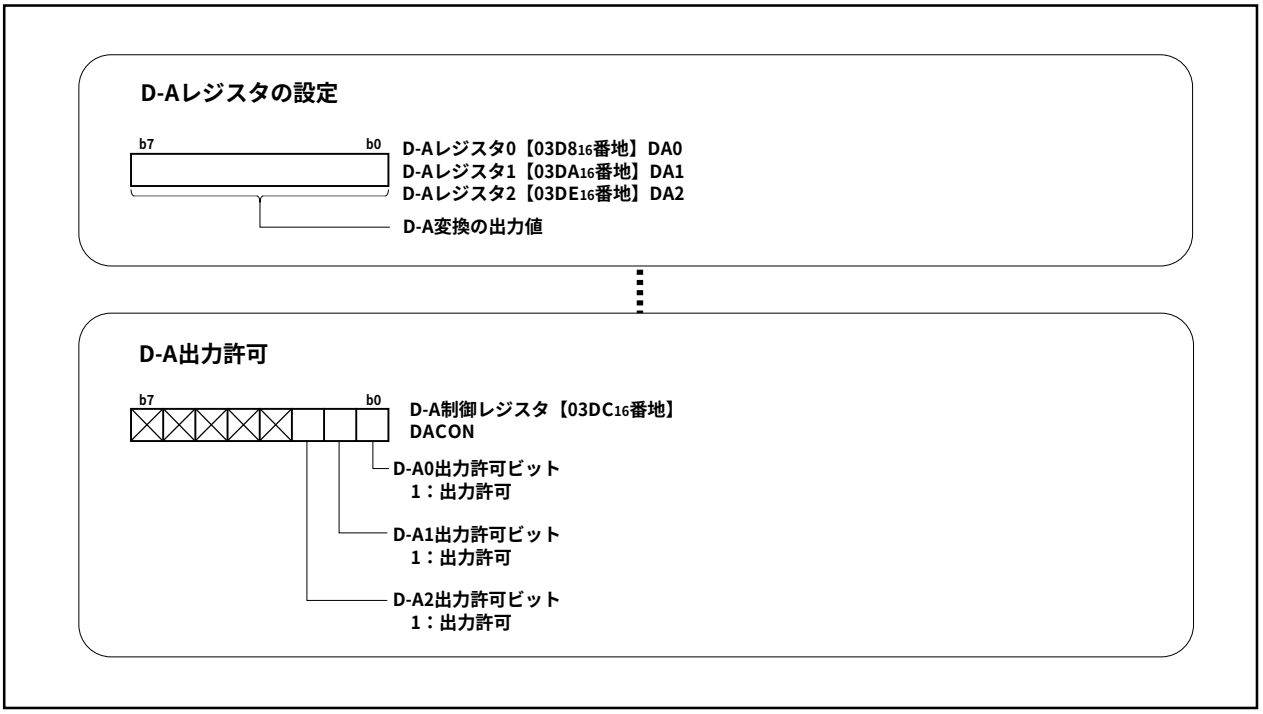


図2.8.3. D-A変換器のレジスタ設定手順

2.9 DMAC

2.9.1 概要

DMACは、転送要求が発生するごとに転送元番地の1データを転送先番地へデータ転送する機能です。DMACの概要について説明します。

●転送元アドレスと転送先アドレス

転送元を示すレジスタおよび転送先を示すレジスタは24ビットあり1Mバイトの空間を示すことができます。1データの転送終了後、転送元レジスタまたは転送先レジスタのどちらか一方のアドレスをインクリメントすることができます。転送元レジスタ、転送先レジスタの両方のアドレスをインクリメントすることはできません。転送元と転送先の組み合わせは次のとおりです。

(1) 1Mバイトの任意の空間から固定アドレス
(2) 固定アドレスから1Mバイトの任意の空間
(3) 固定アドレスから固定アドレス

●転送データ数

転送カウンタに示されるデータ数を転送します。16ビット転送を選択した場合、最大転送バイト数は128Kバイト、8ビット転送を選択した場合、最大転送バイト数は64Kバイトになります。

転送カウンタは、1データの転送ごとにデクリメントします。アンダフローしたときにDMA割り込み要求が発生します。

●DMA転送要因

$\overline{\text{INT0}}$ / $\overline{\text{INT1}}$端子の立ち下がりエッジ / 両エッジ、タイマA0～タイマA7割り込み要求、タイマB0～タイマB5割り込み要求、UART0送信割り込み要求、UART0受信割り込み要求、UART1送信割り込み要求、UART1受信割り込み要求、UART2送信割り込み要求、UART2受信割り込み要求、A-D変換割り込み要求、ソフトウエアトリガの26種類の要因から選択することができます。

ソフトウエアトリガを選択した場合、ソフトウエアでソフトウエアDMA要求ビットに“1”を書き込むことでDMA転送が行われます。それ以外の要因を選択した場合、対応する割り込み要求が発生することでDMA転送が行われます。

●チャネルの優先順位

DMA0の転送要求とDMA1の転送要求が同時に発生した場合、DMA0の転送が優先して行われます。

●レジスタへの書き込み

DMA許可状態で転送元レジスタ、転送先レジスタに書き込みを行った場合、アドレスを固定しているレジスタに対しては、書き込みと同時に変更されます。したがって、アドレスを固定しているレジスタに対しては、DMA許可ビットが“1”のときには書き込まないでください。順方向を選択しているレジスタ、および転送カウンタは、リロード時に変更されます。

リロードは、転送カウンタがアンダフローしたとき、およびDMA許可ビットを禁止にした後再度許可にしたとき発生します。

リロードレジスタへは、常時、書き込むことができます。

● レジスタの読み込み

常時、読み出すことができます。

●選択機能

(1)　単転送/リピート転送切り替え

単転送とは、転送カウンタがアンダフローした後、DMA禁止状態になるモードです。リピート転送とは、転送カウンタがアンダフローした後、再度リロードし転送を繰り返すモードです。

リロードは、転送カウンタに対して、および順方向を選択しているアドレスポインタに対して行われます。

次のとおり選択した動作例を示します。

■1Mバイトの任意の空間から固定アドレス、単転送 P2-168
■固定アドレスから1Mバイトの任意の空間、リピート転送 P2-170

●DMAC関連レジスタ

図2.9.1にDMAC関連レジスタのメモリ配置図を、図2.9.2、図2.9.3にDMAC関連レジスタの構成を示します。

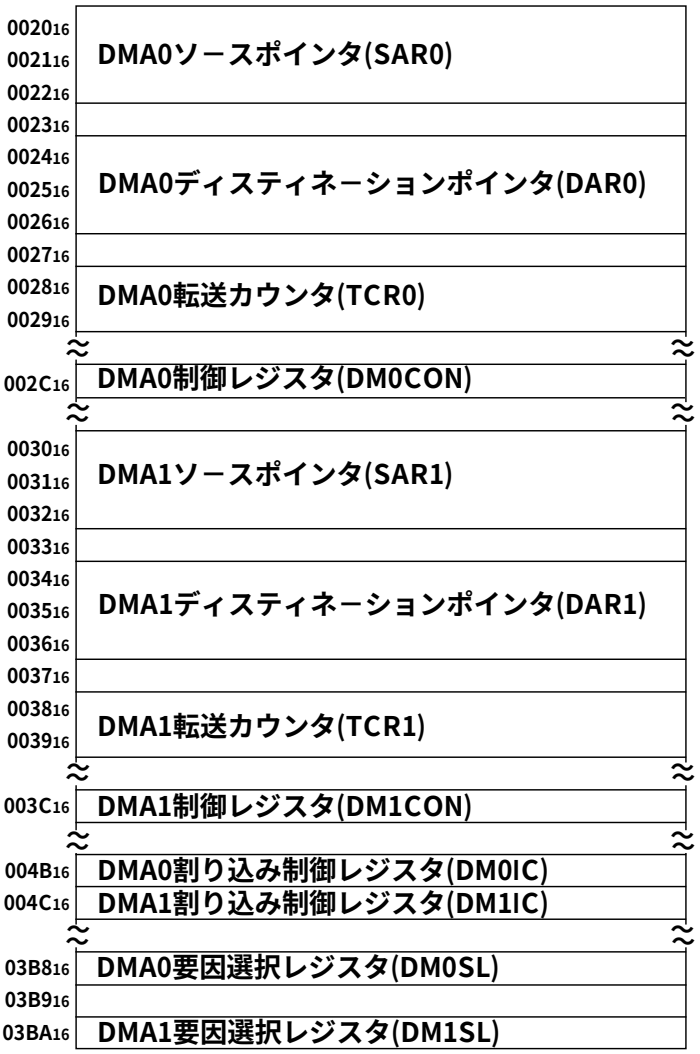
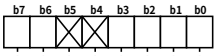


図2.9.1.　DMAC関連レジスタのメモリ配置図

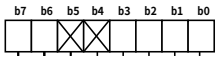
DMA0要因選択レジスタ



シンボル	アドレス	リセット時
DM0SL	03B8$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
DSEL0	DMA要求要因選択ビット	b3 b2 b1 b0 0 0 0 0 : $\overline{\text{INT0}}$端子の立ち下がりエッジ 0 0 0 1 : ソフトウエアトリガ 0 0 1 0 : タイマA0 0 0 1 1 : タイマA1 0 1 0 0 : タイマA2 0 1 0 1 : タイマA3 0 1 1 0 : タイマA4(DMS=0) /$\overline{\text{INT0}}$端子の両エッジ(DMS=1) 0 1 1 1 : タイマB0(DMS=0) /タイマB3(DMS=1) 1 0 0 0 : タイマB1(DMS=0) /タイマB4(DMS=1) 1 0 0 1 : タイマB2(DMS=0) /タイマB5(DMS=1) 1 0 1 0 : UART0送信 1 0 1 1 : UART0受信 1 1 0 0 : UART2送信 1 1 0 1 : UART2受信 1 1 1 0 : A-D変換 1 1 1 1 : UART1送信	○	○
DSEL1			○	○
DSEL2			○	○
DSEL3			○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—
DMS	DMA要因拡張選択ビット	0：ノーマル 1：拡張要因	○	○
DSR	ソフトウエアDMA 要求ビット	ソフトウエアトリガ選択時は、このビットに“1”を書き込むことでDMA要求が発生する (読み出した場合“0”)	○	○

DMA1要因選択レジスタ

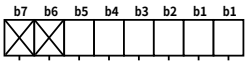


シンボル	アドレス	リセット時
DM1SL	03BA$_{16}$番地	00$_{16}$

ビットシンボル	ビット名	機　　能	R	W
DSEL0	DMA要求要因選択ビット	b3 b2 b1 b0 0 0 0 0 : $\overline{\text{INT1}}$端子の立ち下がりエッジ 0 0 0 1 : ソフトウエアトリガ 0 0 1 0 : タイマA0 0 0 1 1 : タイマA1 0 1 0 0 : タイマA2(DMS=0) /タイマA5(DMS=1) 0 1 0 1 : タイマA3(DMS=0) /タイマA6(DMS=1) 0 1 1 0 : タイマA4(DMS=0) /タイマA7(DMS=1) 0 1 1 1 : タイマB0(DMS=0) /$\overline{\text{INT1}}$端子の両エッジ(DMS=1) 1 0 0 0 : タイマB1 1 0 0 1 : タイマB2 1 0 1 0 : UART0送信 1 0 1 1 : UART0受信 1 1 0 0 : UART2送信 1 1 0 1 : UART2受信 1 1 1 0 : A-D変換 1 1 1 1 : UART1受信	○	○
DSEL1			○	○
DSEL2			○	○
DSEL3			○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—
DMS	DMA要因拡張選択ビット	0：ノーマル 1：拡張要因	○	○
DSR	ソフトウエアDMA 要求ビット	ソフトウエアトリガ選択時は、このビットに“1”を書き込むことでDMA要求が発生する (読み出した場合“0”)	○	○

図2.9.2.　DMAC関連レジスタの構成(1)

DMAi制御レジスタ

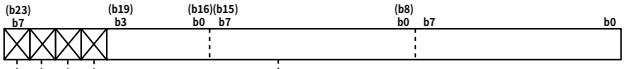


シンボル	アドレス	リセット時
DMiCON(i=0,1)	002C16番地,003C16番地	00000X002

ビットシンボル	ビット名	機　　能	R	W
DMBIT	転送単位ビット数選択ビット	0 : 16ビット 1 : 8ビット	○	○
DMASL	リピート転送モード選択ビット	0 : 単転送 1 : リピート転送	○	○
DMAS	DMA要求ビット(注1)	0 : 要求なし 1 : 要求あり	○	○ (注2)
DMAE	DMA許可ビット	0 : 禁止 1 : 許可	○	○
DSD	転送元アドレス方向選択ビット(注3)	0 : 固定 1 : 順方向	○	○
DAD	転送先アドレス方向選択ビット(注3)	0 : 固定 1 : 順方向	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			—	—

注1.　DMA要求をクリアするには“0”を書き込むことで行えます。
注2.　“0”だけ書き込み可。
注3.　転送元アドレス方向選択ビット、転送先アドレス選択ビットは、同時に“1”にしないでください。

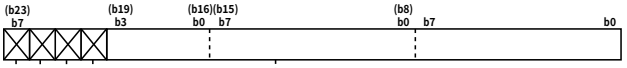
DMAiソースポインタ(i=0,1)



シンボル	アドレス	リセット時
SAR0	002216番地 ～002016番地	不定
SAR1	003216番地 ～003016番地	不定

機　　能	転送番地指定領域	R	W
●ソースポインタ 転送元アドレスを格納	00000016～FFFFF16	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。		—	—

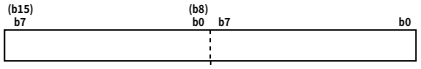
DMAiディスティネーションポインタ(i=0,1)



シンボル	アドレス	リセット時
DAR0	002616番地 ～ 002416番地	不定
DAR1	003616番地 ～ 003416番地	不定

機　　能	転送番地指定領域	R	W
●ディスティネーションポインタ 転送先アドレスを格納	00000016～FFFFF16	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。		—	—

DMAi転送カウンタ(i=0,1)



シンボル	アドレス	リセット時
TCR0	002916番地, 002816番地	不定
TCR1	003916番地, 003816番地	不定

機　　能	転送回数指定	R	W
●転送カウンタ 転送回数-1の値を設定してください	0000016～FFFF16	○	○

図2.9.3.　DMAC関連レジスタの構成(2)

2.9.2 DMACの動作 (単転送モード)

単転送モードでは、表2.9.1に示す項目の中から機能を選択できます。ここでは、表2.9.1に示す項目の中で“○”印の内容を選択した場合の動作について説明します。また、図2.9.4に動作例を、図2.9.5に設定手順を示します。

表2.9.1. 設定内容

設定項目	設定内容	
転送空間	○	1Mバイトの任意の空間から固定アドレス
		固定アドレスから1Mバイトの任意の空間
		固定アドレスから固定アドレス
転送単位	○	8ビット
		16ビット

動　作

(1) ソフトウエアトリガ選択時、ソフトウエアDMA要求ビットを“1”にすると、DMA転送の要求信号が発生します。

(2) DMACがアクティブ状態であればデータ転送が開始され、DMAi順方向アドレスポインタが示す番地の内容は、DMAiディスティネーションポインタが示す番地に転送されます。なお、DMACをアクティブ状態にした直後のデータ転送開始時に、DMAi転送カウンタリロードレジスタの値はDMAi転送カウンタにリロードされ、DMAiソースポインタの値がDMAi順方向アドレスポインタにリロードされます。

DMA転送の要求信号が発生するごとに1バイトのデータ転送が行われます。DMAi転送カウンタはダウンカウントされ、DMAi順方向アドレスポインタはアップカウントされます。

(3) DMAi転送カウンタがアンダフローすると、DMA許可ビットは“0”になり、DMA転送は終了します。同時にDMAi割り込み要求ビットが“1”になります。

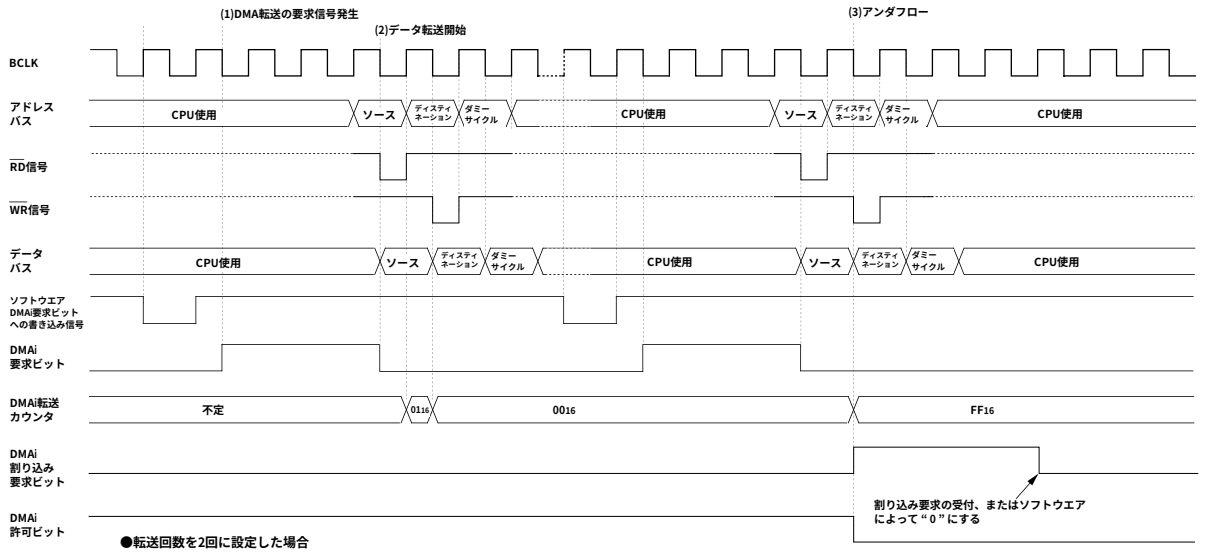


図2.9.4. 単転送モード動作例

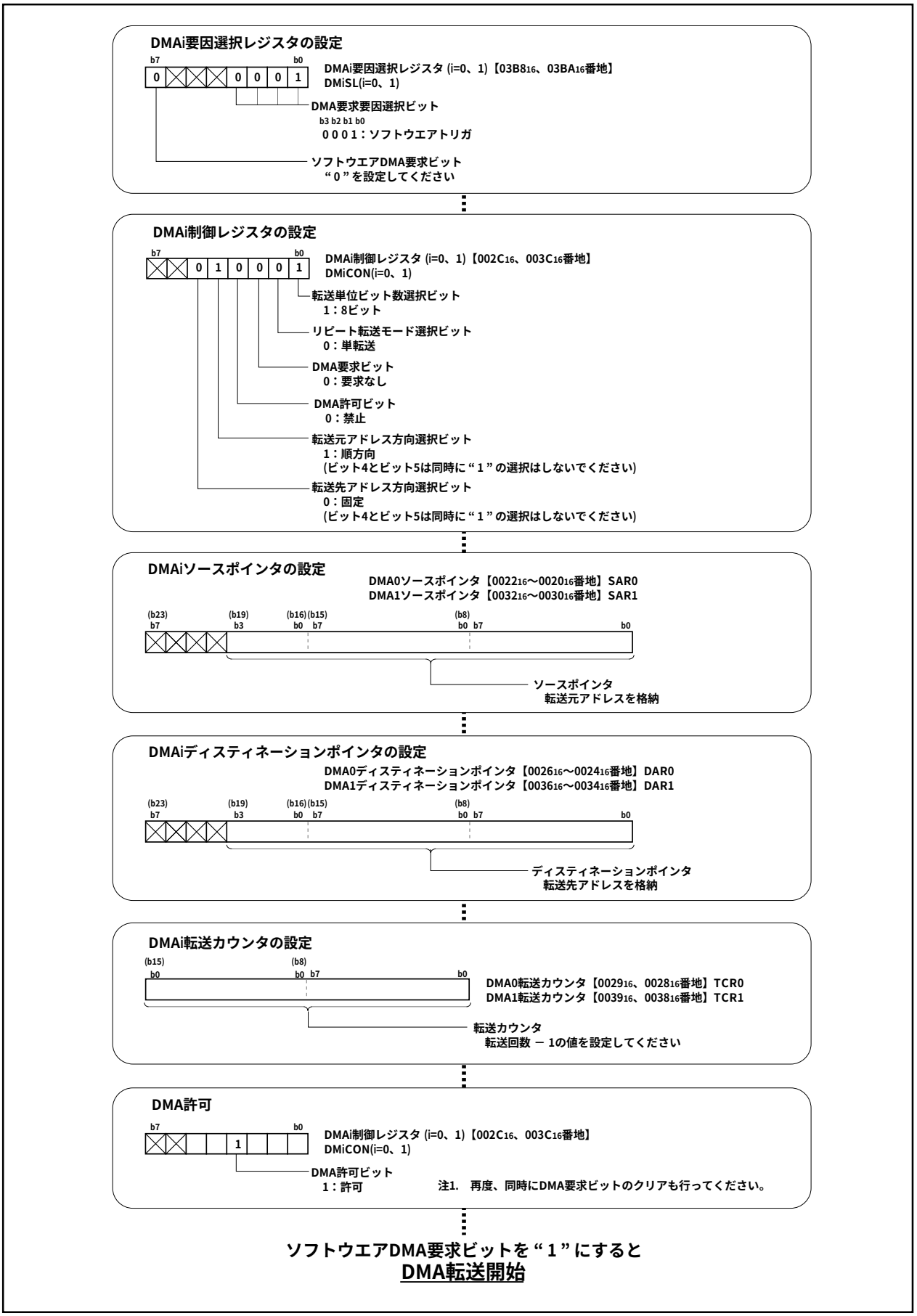


図2.9.5. 単転送モード時のレジスタ設定手順

2.9.3 DMACの動作 (リピート転送)

リピート転送モードでは、表2.9.2に示す項目の中から機能を選択できます。ここでは、表2.9.2に示す項目の中で“○”印の内容を選択した場合の動作について説明します。また、図2.9.6に動作例を、図2.9.7に設定手順を示します。

表2.9.2. 設定内容

設定項目	設定内容	
転送空間		1Mバイトの任意の空間から固定アドレス
	○	固定アドレスから1Mバイトの任意の空間
		固定アドレスから固定アドレス
転送単位		8ビット
	○	16ビット

動　作

(1) ソフトウエアトリガ選択時、ソフトウエアDMA要求ビットを“1”にすると、DMA転送の要求信号が発生します。

(2) DMACがアクティブ状態であればデータ転送が開始され、DMAi順方向アドレスポインタが示す番地の内容は、DMAiディスティネーションポインタが示す番地に転送されます。なお、DMACをアクティブ状態にした直後のデータ転送開始時に、DMAi転送カウンタリロードレジスタの値はDMAi転送カウンタにリロードされ、DMAiソースポインタの値がDMAi順方向アドレスポインタにリロードされます。

DMA転送の要求信号が発生するごとに2バイトのデータ転送が行われます。DMAi転送カウンタはダウンカウントされ、DMAi順方向アドレスポインタはアップカウントされます。

(3) DMAi転送カウンタがアンダフローしてもDMA許可ビットは“1”のままです。

DMAi転送カウンタがアンダフローしたときDMAi割り込み要求ビットが“1”になります。

(4) DMAi転送カウンタがアンダフローした後、次のDMA転送の要求信号が発生すると(1)に戻り、データ転送を繰り返します。

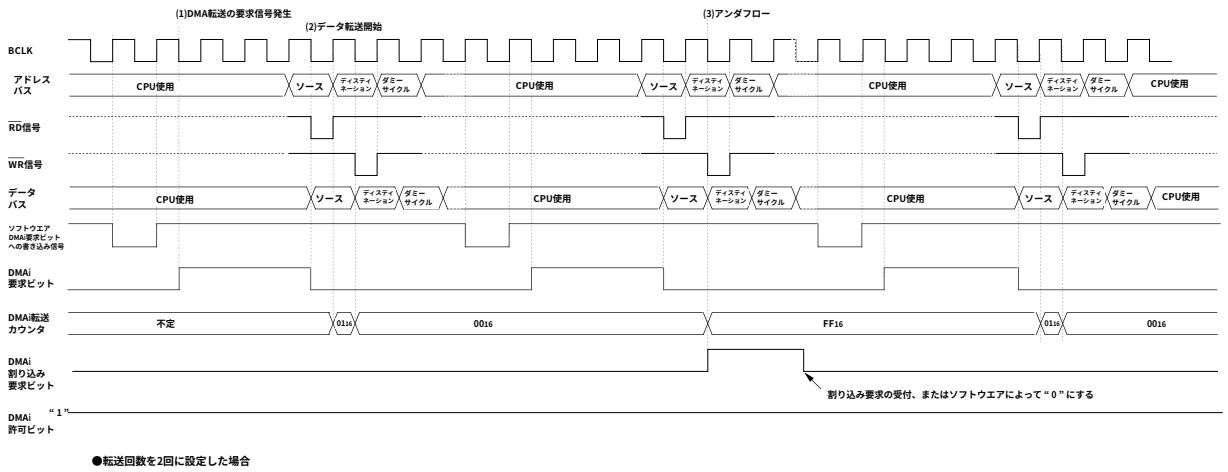


図2.9.6. リピート転送モード動作例

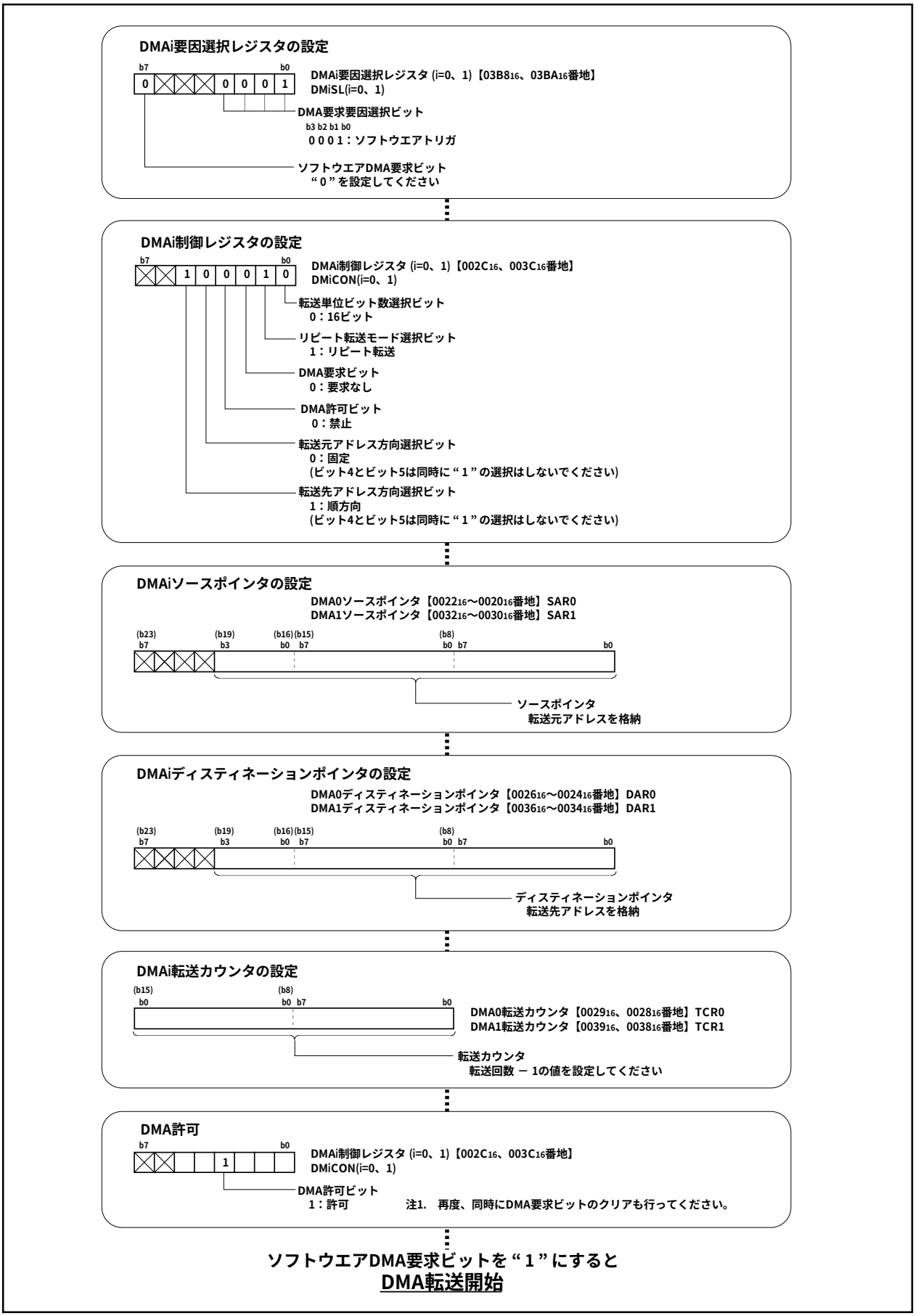


図2.9.7. リピート転送モード時のレジスタ設定手順

2.10 リアルタイムポート

2.10.1 概要

リアルタイムポート出力は、対応するタイマAi(i=0,1,5,6)がアンダフローするたびに、ポートPmレジスタ(m=0,1,2,12)に書き込まれているリアルタイムポート用データがリアルタイムポートラッチにラッチされ、それぞれ対応したポートからデータが出力されます。リアルタイムポートの概要について説明します。

●対応タイマ

P0とタイマA0、P1とタイマA1、P2とタイマA5、P12とタイマA6がそれぞれ対応しています。
タイマモードに設定し、ゲート機能選択ビットにより、“ゲート機能なし”に設定してください。

●ポートPmレジスタ(m=0,1,2,12)への書き込み

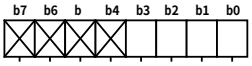
常時、書き込むことができます。ポートP12レジスタは、ワードアクセスをしないでください。

●リアルタイムポート関連レジスタ

図2.10.1にリアルタイムポート関連レジスタのメモリ配置図を、図2.10.2～図2.10.4にリアルタイムポート関連レジスタの構成を示します。

図2.10.1. リアルタイムポート関連レジスタのメモリ配置図

割り込み制御レジスタ(注2)

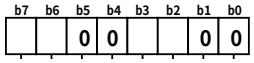


シンボル	アドレス	リセット時
TA6IC	0049_{16}番地	$XXXXX000_2$
TA5IC/BCNIC	$004A_{16}$番地	$XXXXX000_2$
TAiIC(i=0、1)	0055_{16}、0056_{16}番地	$XXXXX000_2$

ビットシンボル	ビット名	機　　能	R	W
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0：レベル0（割り込み禁止） 0 0 1：レベル1 0 1 0：レベル2 0 1 1：レベル3 1 0 0：レベル4 1 0 1：レベル5 1 1 0：レベル6 1 1 1：レベル7	○	○
ILVL1			○	○
ILVL2			○	○
IR	割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	○	○(注1)
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

注1.　“0”だけ書き込み可(“1”を書き込まないでください)。
注2.　割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求がは発生しない箇所で行ってください。詳細は、割り込みの注意事項を参照してください。

タイマAiモードレジスタ



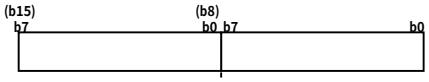
シンボル	アドレス	リセット時
TAiMR(i=0、1)	0396_{16}、0397_{16}番地	00_{16}
(i=5、6)	0356_{16}、0357_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード	○	○
TMOD1			○	○
MR0	パルス出力機能選択ビット	0 : パルス出力なし (TAiOUT端子は通常のポート端子) 1 : パルス出力あり(注1) (TAiOUT端子はパルス出力端子)	○	○
MR1	ゲート機能選択ビット	b4 b3 0 X(注2): ゲート機能なし (TAiIN端子は通常のポート端子) 1 0　: TAiIN端子が“L”レベルの期間だけカウントを行う(注3) 1 1　: TAiIN端子が“H”レベルの期間だけカウントを行う(注3)	○	○
MR2			○	○
MR3	0 : タイマモードでは必ず“0”に固定		○	○
TCK0	カウントソース選択ビット	b7 b6 0 0 : f_1 0 1 : f_8 1 0 : f_{32} 1 1 : f_{C32}	○	○
TCK1			○	○

注1.　対応するポートレジスタおよびポート方向レジスタの設定値は無効です。
注2.　“0”または“1”いずれでも可。
注3.　対応するポート方向レジスタは“0”にしてください。

図2.10.2.　リアルタイムポート関連レジスタの構成(1)

タイマAiレジスタ(注1)

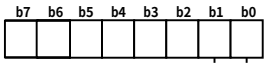


シンボル	アドレス	リセット時
TA0	0387_{16},0386_{16}番地	不定
TA1	0389_{16},0388_{16}番地	不定
TA5	0347_{16},0346_{16}番地	不定
TA6	0349_{16},0348_{16}番地	不定

機　　能	設定可能値	R	W
●タイマモード 内部カウントソースをカウント	0000_{16}～$FFFF_{16}$	○	○

注1.　読み出し、および書き込みは16ビット単位で行ってください。

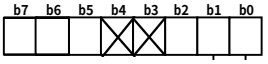
カウント開始フラグ0



シンボル	アドレス	リセット時
TABSR0	0380_{16}番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
TA0S	タイマA0カウント開始フラグ	0：カウント停止 1：カウント開始	○	○
TA1S	タイマA1カウント開始フラグ		○	○

カウント開始フラグ1



シンボル	アドレス	リセット時
TABSR1	0340_{16}番地	$000XX000_2$

ビットシンボル	ビット名	機　　能	R	W
TA5S	タイマA5カウント開始フラグ	0：カウント停止 1：カウント開始	○	○
TA6S	タイマA6カウント開始フラグ		○	○

図2.10.3.　リアルタイムポート関連レジスタの構成(2)

ポートPiレジスタ(注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
Pi(i=0、1、2、12)	$03E0_{16}$,$03E1_{16}$,$03E4_{16}$,$03F8_{16}$番地	不定

ビットシンボル	ビット名	機　　能	R	W
Pi_0	ポートPi0レジスタ	対応するビットの読み出し、および書き込みで対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル	○	○
Pi_1	ポートPi1レジスタ		○	○
Pi_2	ポートPi2レジスタ		○	○
Pi_3	ポートPi3レジスタ		○	○
Pi_4	ポートPi4レジスタ		○	○
Pi_5	ポートPi5レジスタ		○	○
Pi_6	ポートPi6レジスタ		○	○
Pi_7	ポートPi7レジスタ		○	○

注1．ポートP12レジスタは、ワードアクセスをしないでください。

リアルタイムポート制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
RTP	$03FF_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
RTP0	P00～P03リアルタイムポートモード選択ビット	0：入出力ポート 1：リアルタイムポート出力(注1)	○	○
RTP1	P04～P07リアルタイムポートモード選択ビット		○	○
RTP2	P10～P13リアルタイムポートモード選択ビット		○	○
RTP3	P14～P17リアルタイムポートモード選択ビット		○	○
RTP4	P20～P23リアルタイムポートモード選択ビット		○	○
RTP5	P24～P27リアルタイムポートモード選択ビット		○	○
RTP6	P120～P123リアルタイムポートモード選択ビット		○	○
RTP7	P124～P127リアルタイムポートモード選択ビット		○	○

注1.　対応するポート方向レジスタの設定値は無効です。

図2.10.4.　リアルタイムポート関連レジスタの構成(3)

2.10.2　リアルタイムポート出力の動作

リアルタイムポートでは、表2.10.1に示す項目の中から機能を選択できます。ここでは、表2.10.1に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.10.5に動作タイミングを、図2.10.6、図2.10.7に設定手順を示します。

表2.10.1.　設定内容

設定項目	設定内容		設定項目	設定内容	
$P0_0$～$P0_3$リアルタイムポート出力		入出力ポート	$P2_0$～$P2_3$リアルタイムポート出力	○	入出力ポート
	○	リアルタイムポート出力			リアルタイムポート出力
$P0_4$～$P0_7$リアルタイムポート出力		入出力ポート	$P2_4$～$P2_7$リアルタイムポート出力	○	入出力ポート
	○	リアルタイムポート出力			リアルタイムポート出力
$P1_0$～$P1_3$リアルタイムポート出力	○	入出力ポート	$P12_0$～$P12_3$リアルタイムポート出力	○	入出力ポート
		リアルタイムポート出力			リアルタイムポート出力
$P1_4$～$P1_7$リアルタイムポート出力	○	入出力ポート	$P12_4$～$P12_7$リアルタイムポート出力	○	入出力ポート
		リアルタイムポート出力			リアルタイムポート出力

動　作

(1)　リアルタイムポートモード選択ビットが“1”のとき、対応するタイマAiがアンダフローするたびに、ポートPmレジスタに書き込まれているリアルタイムポート用データがリアルタイムポートラッチにラッチされ、それぞれ対応したポートからデータが出力されます。

(2)　リアルタイムポートモード選択ビットを“0”から“1”に変えたときにはリアルタイムポートラッチの値が“0”となり、対応する端子から“L”出力されます。リアルタイムポート用データが出力されるのはタイマAiの最初のアンダーフローからです。

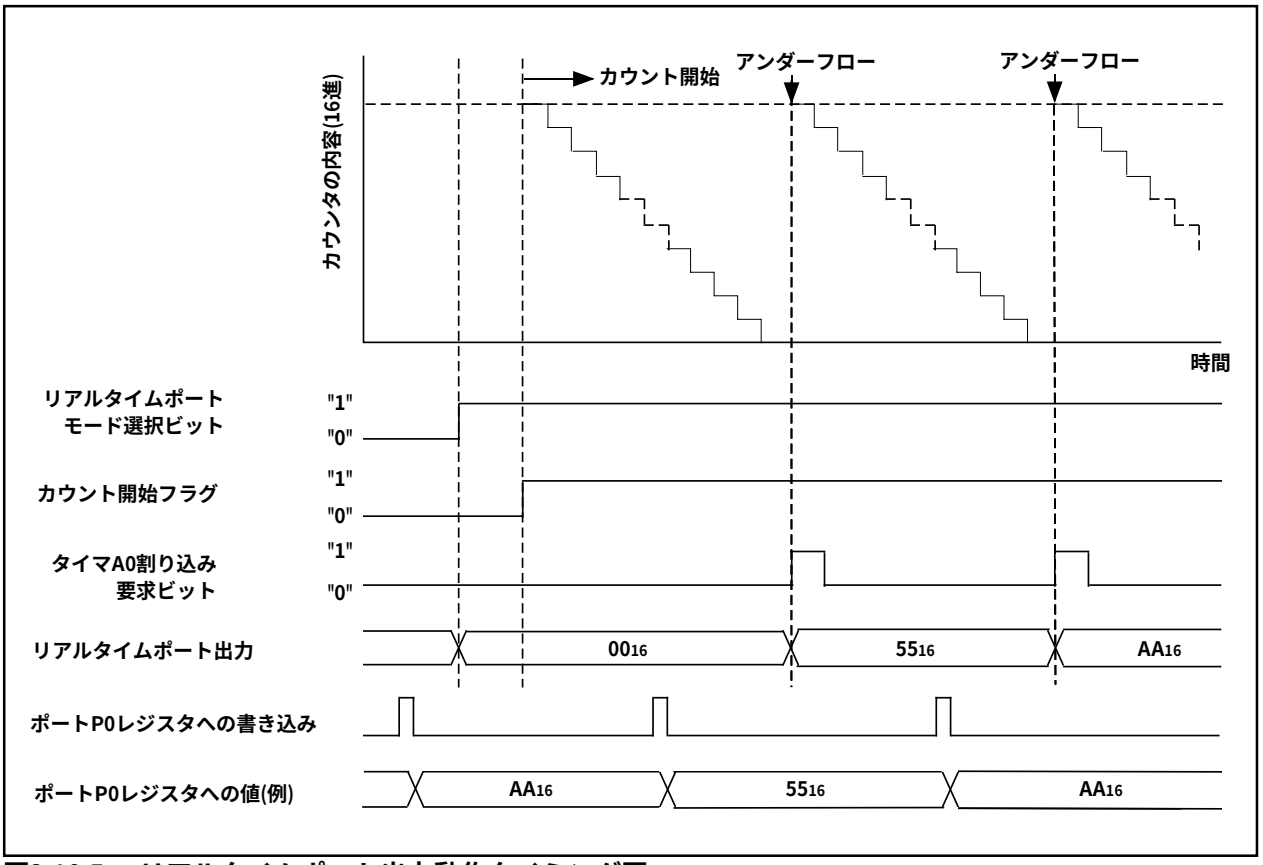


図2.10.5.　リアルタイムポート出力動作タイミング図

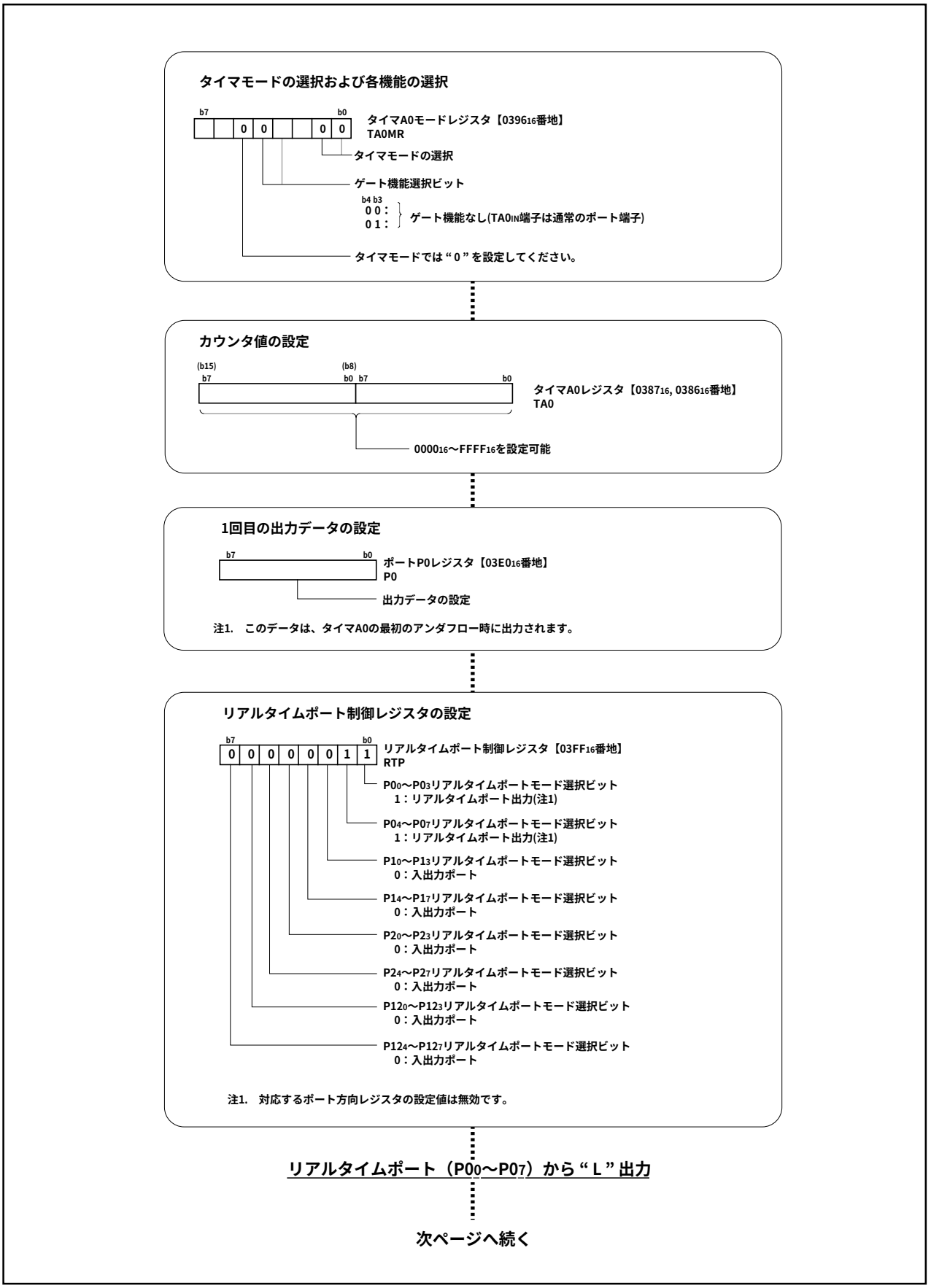


図2.10.6. リアルタイムポート出力動作時のレジスタ設定手順(1)

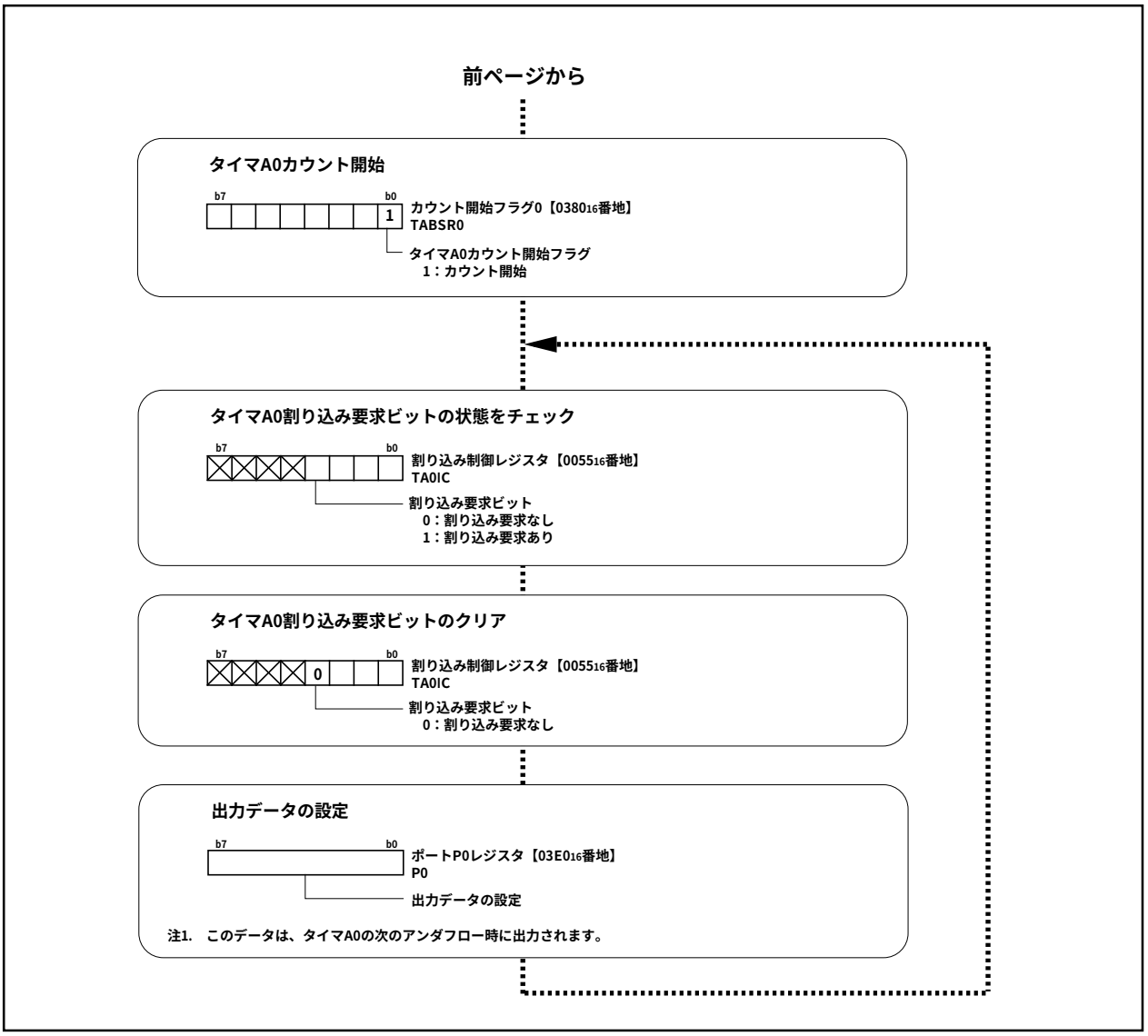


図2.10.7. リアルタイムポート出力動作時のレジスタ設定手順(2)

2.11 監視タイマ

2.11.1 概要

監視タイマは、プリスケーラ付き15ビットのタイマでプログラムの暴走を検知することができます。監視タイマの概要について説明します。

●監視タイマの開始

リセット時、監視タイマは停止しています。監視タイマスタートレジスタに書き込みを行うと、監視タイマは7FFF16に初期化され、ダウンカウントを開始します。一度動作を開始した監視タイマは、監視タイマの停止条件以外では停止させることはできません。

●監視タイマの停止条件

監視タイマは、次の状態のとき停止します。

(1) CPUがストップ状態の期間。
(2) CPUがウエイト状態の期間。

●監視タイマの初期化

監視タイマは次のとき7FFF16に初期化され、継続してダウンカウントを行います。

(1) 監視タイマがカウント中に監視タイマスタートレジスタに書き込みを行った場合
(2) 監視タイマがアンダフローした場合

●暴走の検知

監視タイマがアンダフローすると、監視タイマ割り込みが発生します。プログラムでは、監視タイマがアンダフローする前に、監視タイマスタートレジスタに書き込みを行ってください。

監視タイマ割り込みは割り込み許可フラグ(Iフラグ)の状態にかかわらず発生します。監視タイマ割り込み処理では、ソフトウエアリセットビットを“1”にしてソフトウエアリセットをかけてください。

●監視タイマの周期

監視タイマの周期は、BCLKと選択されたプリスケーラの分周比によって変わります。

監視タイマの周期を以下に示します。

●監視タイマ関連レジスタ

表2.11.1. 監視タイマの周期

CM07	CM06	CM17	CM16	BCLK	WDC7	周　期
0	0	0	0	10MHz	0	約52.4ms(注1)
					1	約419.4ms(注1)
0	0	0	1	5MHz	0	約104.9ms(注1)
					1	約838.9ms(注1)
0	0	1	0	2.5MHz	0	約209.7ms(注1)
					1	約1.68s(注1)
0	0	1	1	0.625MHz	0	約838.9ms(注1)
					1	約6.71s(注1)
0	1	無効	無効	1.25MHz	0	約419.4ms(注1)
					1	約3.36s(注1)
1	無効	無効	無効	32kHz	無効	約2s(注1)

注1. プリスケーラによる誤差が生じます。

図2.11.1に監視タイマ関連レジスタのメモリ配置図を、図2.11.2に監視タイマ関連レジスタの構成を示します。

000E16	監視タイマスタートレジスタ(WDTS)
000F16	監視タイマ制御レジスタ(WDC)

図2.11.1.　監視タイマ関連レジスタのメモリ配置図

監視タイマ制御レジスタ

シンボル	アドレス	リセット時
WDC	000F16番地	000XXXXX2

b7	b6	b5	b4	b3	b2	b1	b0
	0	0					

ビットシンボル	ビット名	機　能	R	W
監視タイマの上位ビット			○	×
予約ビット		必ず“0”を設定してください	○	○
予約ビット		必ず“0”を設定してください	○	○
WDC7	プリスケーラ選択ビット	0：16分周 1：128分周	○	○

監視タイマスタートレジスタ

シンボル	アドレス	リセット時
WDTS	000E16番地	不定

b7	b0

機　能	R	W
このレジスタに対する書き込み命令で、監視タイマは初期化されスタートする。 監視タイマの初期値は、書き込む値にかかわらず“7FFF16”が設定される。	×	○

図2.11.2.　監視タイマ関連レジスタの構成

2.11.2　監視タイマの動作

監視タイマの動作について説明します。また、図2.11.3に動作タイミングを、図2.11.4に設定手順を示します。

動　作

(1)　監視タイマスタートレジスタに書き込みを行うと、監視タイマは7FFF16に初期化されダウンカウントを開始します。

(2)　カウント実行中に再度書き込みを行うと、監視タイマは7FFF16に初期化され、カウントを継続して行います。

(3)　WAIT命令の実行やストップ状態になると、監視タイマはカウント中の値を保持して停止します。WAIT命令の実行やストップ状態から復帰後、保持した値からカウントを再開します。

(4)　監視タイマがアンダフローすると、監視タイマは7FFF16に初期化され、カウントを継続して行います。同時に、監視タイマ割り込みが発生します。

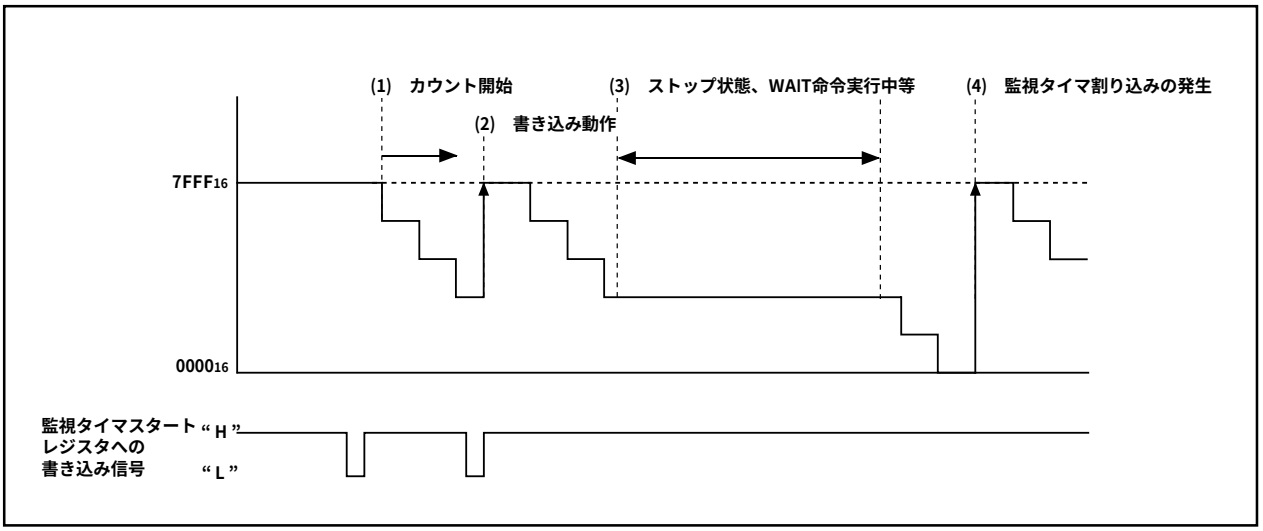


図2.11.3.　監視タイマの動作タイミング図

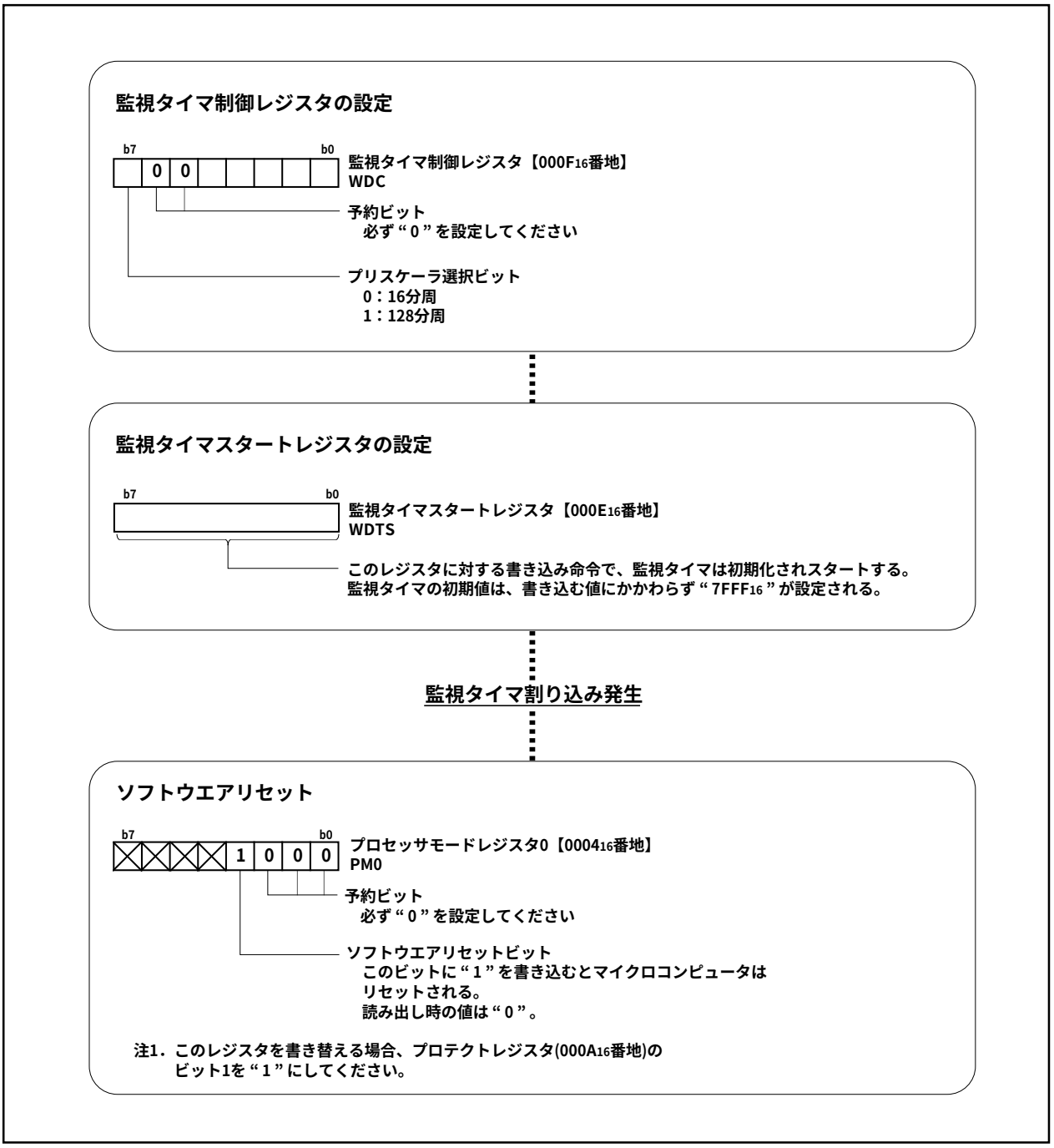


図2.11.4.　監視タイマ割り込みの設定手順

2.12 アドレス一致割り込み

2.12.1 概要

アドレス一致割り込みは、ROM修正やデバッグ用の簡易モニタ等に使用できます。アドレス一致割り込みの概要について説明します。

●アドレス一致割り込みの許可、禁止

アドレス一致割り込み許可ビットで許可、禁止できます。プロセッサ割り込み優先レベル(IPL)や割り込み許可フラグ(Iフラグ)の影響は受けません。

●アドレス一致割り込みの発生タイミング

アドレス一致割り込みレジスタで示される番地の命令を実行する直前に割り込みは発生します。

アドレス一致割り込みレジスタには、命令の先頭番地を設定してください。命令の途中やテーブルデータ等の番地を設定した場合、アドレス一致割り込みは発生しません。

また、割り込みルーチンの先頭の命令もアドレス一致割り込みは発生しません。

●アドレス一致割り込みからの復帰

アドレス一致割り込みが発生したときにスタックに積まれる戻り先番地は、実行直前の命令(アドレス一致割り込みレジスタで示される命令)によって異なります。戻り先番地がスタックに積まれていません。したがって、アドレス一致割り込みから復帰する場合、スタックの内容を書き替えてREIT命令で復帰するか、またはスタックをPOP命令等を使用して、割り込み発生前の状態に戻してからジャンプ命令で復帰してください。

実行直前の命令と割り込み発生時にスタックに積まれる番地を図2.12.1に示します。

＜アドレス一致割り込み時に＋２されたアドレスが退避される命令＞

- **16ビットオペコード命令**
- **８ビットオペコードの命令のうち、以下に示す命令**

```
ADD.B:S   #IMM8,dest      SUB.B:S   #IMM8,dest      AND.B:S   #IMM8,dest
OR.B:S    #IMM8,dest      MOV.B:S   #IMM8,dest      STZ.B:S   #IMM8,dest
STNZ.B:S  #IMM8,dest      STZX.B:S  #IMM81,#IMM82,dest
CMP.B:S   #IMM8,dest      PUSHM     src             POPM      dest
JMPS      #IMM8           JSRS      #IMM8
MOV.B:S   #IMM,dest  （ただし、dest ＝ A0 ／ A1）
```

＜アドレス一致割り込み時に＋１されたアドレスが退避される命令＞

- **上記以外**

図2.12.1. 実行直前の命令と割り込み発生時にスタックに積まれる番地

●アドレス一致割り込みの判定方法

アドレス一致割り込みは、2箇所、設定することができますが、2箇所とも同じベクタアドレスです。したがって、アドレス一致割り込み0で発生したのかアドレス一致割り込み1で発生したのかの判断が必要です。スタックの内容等で、アドレス一致割り込みルーチンの先頭で判断してください。

●アドレス一致割り込み関連レジスタ

図2.12.2にアドレス一致割り込み関連レジスタのメモリ配置図を、図2.12.3にアドレス一致割り込み関連レジスタの構成を示します。

図2.12.2.　アドレス一致割り込み関連レジスタのメモリ配置図

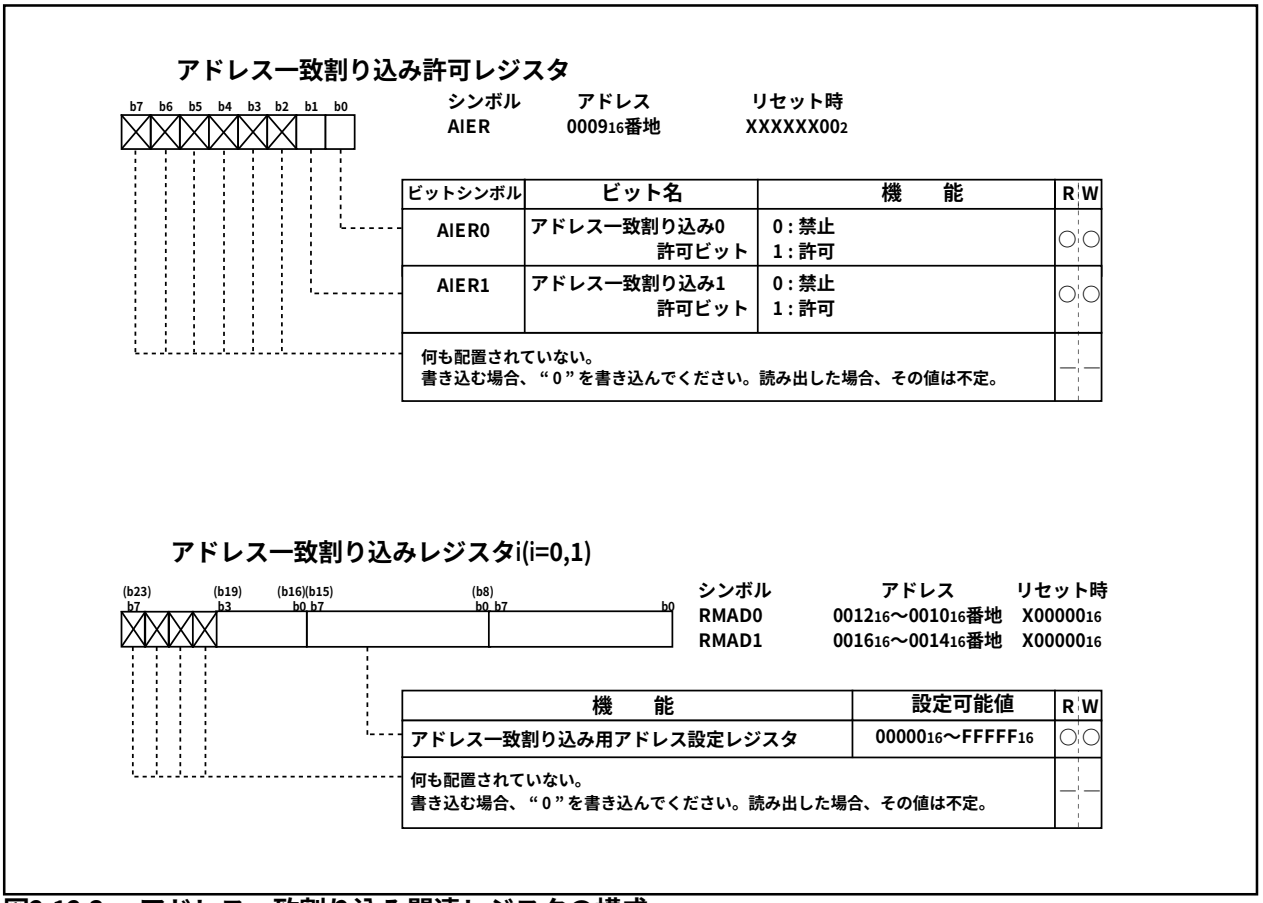


図2.12.3.　アドレス一致割り込み関連レジスタの構成

2.12.2　アドレス一致割り込みの動作

アドレス一致割り込みの動作を説明します。また、図2.12.4にアドレス一致割り込みの設定手順を、図2.12.5にアドレス一致割り込み処理ルーチンの概略処理を示します。

動　作　(1)　アドレス一致割り込みレジスタに割り込みを発生させるアドレスを設定します。
(2)　アドレス一致許可フラグを“1”にすると割り込み発生許可状態になります。
(3)　プログラム実行中にアドレス一致割り込みレジスタで設定している番地の命令を実行する直前でアドレス一致割り込みが発生します。

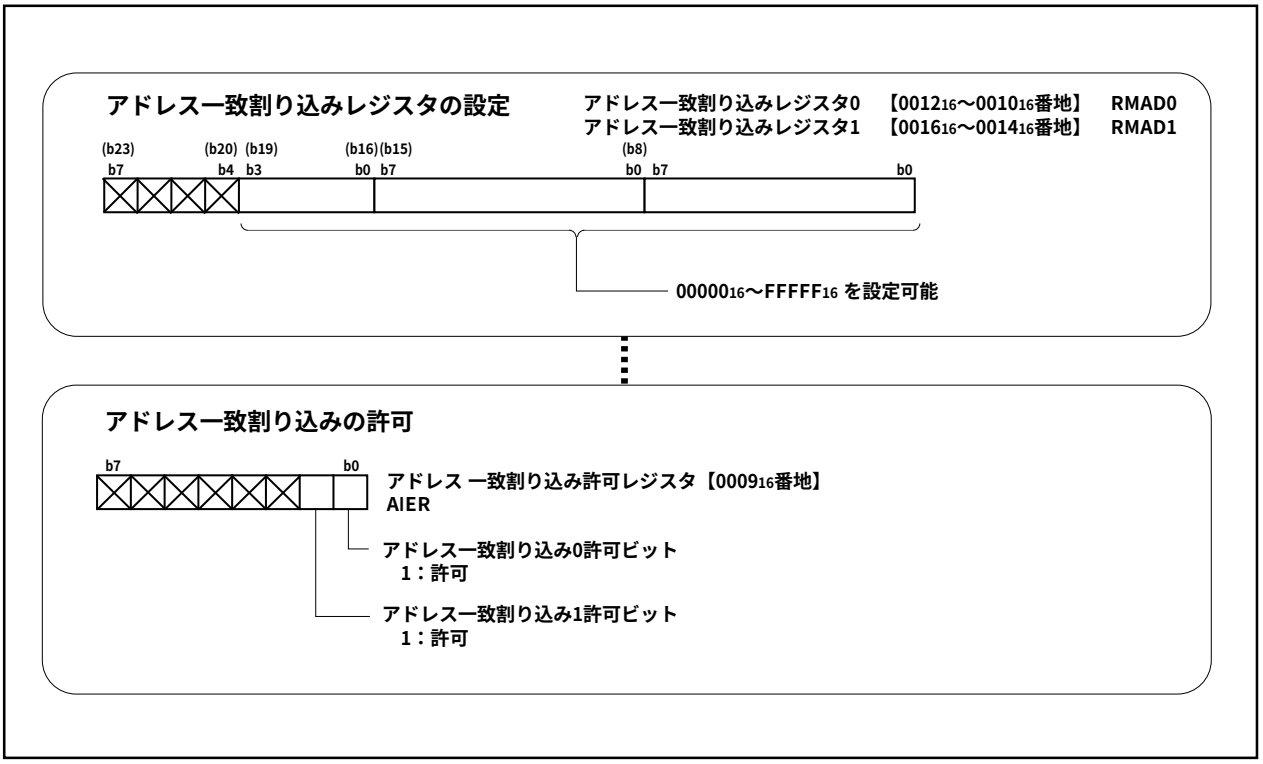


図2.12.4.　アドレス一致割り込みの設定手順

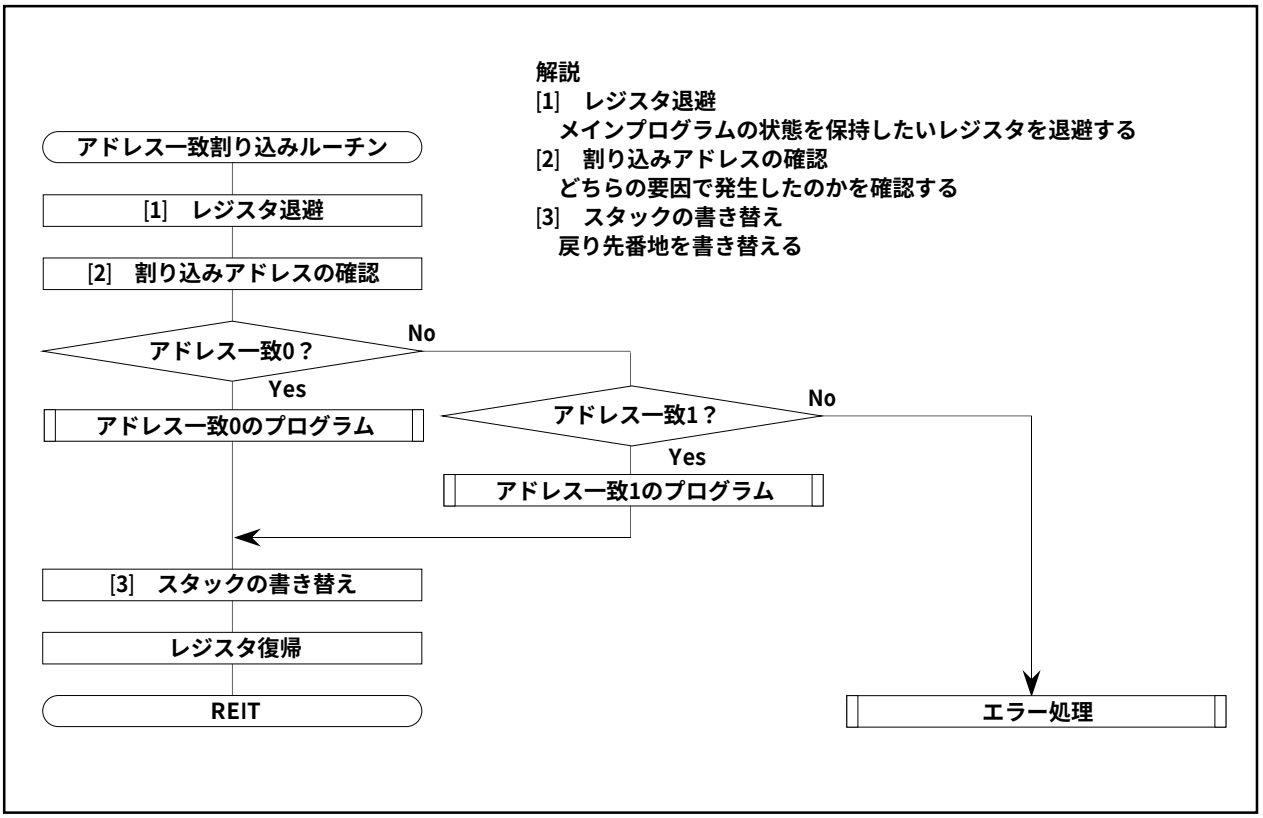


図2.12.5.　アドレス一致割り込みルーチン概略処理

2.13 キー入力割り込み

2.13.1 概要

キー入力割り込みは、$P1_0$～$P1_7$、$P2_0$～$P2_7$、$P3_0$～$P3_3$のうち方向レジスタが入力に設定され、キー入力許可ビットによりキー入力許可になっている端子のいずれかに、P1、P2はキー入力モードレジスタのP1、P2キー入力選択ビットにより選ばれたエッジが入力されたとき、$P3_0$～$P3_3$は立ち下がりエッジが入力されたときに発生する割り込みです。キー入力割り込みの概要について説明します。

●キー入力割り込みの許可、禁止

キー入力割り込みは、キー入力許可ビット(012_{16}番地のビット1,3,4)およびキー入力割り込み制御レジスタによって許可、禁止を設定できます。また、割り込み優先レベル(IPL)や割り込み許可フラグ(Iフラグ)の影響も受けます。

キー入力許可ビットを許可に設定すると、割り込み要求ビットが“1”になる場合がありますので、プログラムで割り込み要求ビットを“0”にしてください。

●キー入力割り込みの発生タイミング

キー入力割り込みを受け付け許可状態で、方向レジスタを入力に設定している$P1_0$～$P1_7$、$P2_0$～$P2_7$、$P3_0$～$P3_3$端子は、キー入力割り込み端子($\overline{KI_0}$～$\overline{KI_{19}}$)となります。キー入力割り込み端子に、P1、P2はキー入力モードレジスタのP1、P2キー入力選択ビットにより選ばれたエッジが入力されたとき、$P3_0$～$P3_3$は立ち下がりエッジが入力されたとき、キー入力割り込みが発生します。このとき、立ち下がりエッジが選択されている端子及び$P3_0$～$P3_3$端子のレベルは、“H”である必要があります。これらのキー入力割り込み端子のレベルが“L”の場合、割り込みは発生しません。

●キー入力割り込みの判定方法

キー入力割り込みは、最大20箇所の端子入力によって発生しますが、すべて同じベクタアドレスです。

したがって、キー入力割り込みルーチンの中で、キー入力割り込み端子の入力レベルを読み込んで、発生した端子を判断してください。

●間欠プルアップ

X_{CIN}-X_{COUT}発振時でかつ対応するポートがプルアップありに設定されているときにP1、P2キー入力選択ビット(012_{16}番地のビット0,2)を両エッジに設定し、P1、P2キー入力許可ビット(012_{16}番地のビット1,3)を許可に設定すると、図1.10.15のように$P1_0$～$P1_7$、$P2_0$～$P2_7$のプルアップは自動的に約7.8msec(注1)周期で約244μsec(注1)の期間のみプルアップするように動作します。

注1. X_{CIN} = 32.768kHz時

●キー入力割り込み関連レジスタ

図2.13.1にキー入力割り込み関連レジスタのメモリ配置図を、図2.13.2～図2.13.5にキー入力割り込み関連レジスタの構成を示します。

図2.13.1.　キー入力割り込み関連レジスタのメモリ配置図

システムクロック制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
CM0	0006_{16}番地	48_{16}

ビットシンボル	ビット名	機　　能	R	W
CM00	クロック出力機能選択ビット	b1 b0 0 0 : 入出力ポートP5$_7$ 0 1 : fc$_1$を出力 1 0 : f$_1$を出力 1 1 : クロック分周カウンタの出力	○	○
CM01			○	○
CM02	WAIT時周辺機能クロック停止ビット	0 : ウエイトモード時、周辺機能クロック停止しない 1 : ウエイトモード時、周辺機能クロック停止する(注8)	○	○
CM03	XCIN-XCOUT駆動能力選択ビット(注2)	0 : LOW 1 : HIGH	○	○
CM04	サブクロック (XCIN-XCOUT)発振許可ビット	0 : 停止 1 : 発振	○	○
CM05	メインクロック (XIN-XOUT)停止ビット(注3、注4、注5)	0 : 発振 1 : 停止	○	○
CM06	メインクロック分周比選択ビット0(注7)	0 : CM16,CM17有効 1 : 8分周モード	○	○
CM07	システムクロック選択ビット(注6)	0 : XIN,XOUT選択 1 : XCIN,XCOUT選択	○	○

注1. このレジスタを書き替える場合、プロテクトレジスタ(000A$_{16}$番地)のビット0を“1”にしてください。
注2. ストップモードへの移行時およびリセット時、“1”になります。
注3. このビットは低消費電力モードにするときに、メインクロックを停止させるためのビットです。
ストップモードから復帰後、XINで動作させる場合、このビットは“0”にしてください。
自励発振で使用している場合は、システムクロック選択ビット(CM07)を“1”にしてから、このビットを“1”にしてください。
注4. 外部クロック入力時には、クロック発振バッファだけ停止し、クロック入力は受け付けられるモードとなります。
注5. このビットが“1”の場合、XOUTは“H”レベルになります。また、内蔵している帰還抵抗は接続したままですので、XINは帰還抵抗を介してXOUT(“H”レベル)にプルアップされた状態となります。
注6. このビットを“0”から“1”にする場合、サブクロック発振許可ビット(CM04)を“1”にし、サブクロックの発振が安定した後に行ってください。同時に書き込まないでください。また、このビットを“1”から“0”にする場合は、メインクロック停止ビット(CM05)を“0”にし、メインクロックの発振が安定した後に行ってください。
注7. 高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。
注8. fc、fc$_{132}$、fc$_1$、fc$_{32}$は含みません。

システムクロック制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
				0	0	0	

シンボル	アドレス	リセット時
CM1	0007_{16}番地	20_{16}

ビットシンボル	ビット名	機　　能	R	W
CM10	全クロック停止制御ビット(注4)	0 : クロック発振 1 : 全クロック停止(ストップモード)	○	○
予約ビット		必ず“0”を設定してください	○	○
予約ビット		必ず“0”を設定してください	○	○
予約ビット		必ず“0”を設定してください	○	○
CM14	fc$_{132}$クロック選択ビット	0 : fc$_{32}$ 1 : fc$_1$	○	○
CM15	XIN-XOUT駆動能力選択ビット(注2)	0 : LOW 1 : HIGH	○	○
CM16	メインクロック分周比選択ビット1(注3)	b7 b6 0 0 : 分周なしモード 0 1 : 2分周モード 1 0 : 4分周モード 1 1 : 16分周モード	○	○
CM17				

注1. このレジスタを書き替える場合、プロテクトレジスタ(000A$_{16}$番地)のビット0を“1”にしてください。
注2. 高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。
注3. システムクロック制御レジスタ0(0006_{16}番地)のビット6が“0”の場合、有効となります。“1”の場合、8分周モードに固定です。
注4. このビットが“1”の場合、XOUTは“H”レベルとなり、内蔵している帰還抵抗は切り離されます。XCIN、XCOUTは、ハイインピーダンスになります。

図2.13.2.　キー入力割り込み関連レジスタの構成(1)

プロテクトレジスタ

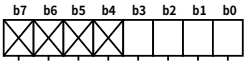
b7	b6	b5	b4	b3	b2	b1	b0
☒	☒	☒	☒	☒	☒	□	□

シンボル	アドレス	リセット時
PRCR	$000A_{16}$番地	$XXXXX00_2$

ビットシンボル	ビット名	機　　能	R	W
PRC0	システムクロック制御レジスタ0,1(0006_{16},0007_{16}番地)への書き込み許可	0：書き込み禁止 1：書き込み許可	○	○
PRC1	プロセッサモードレジスタ0,1(0004_{16},0005_{16}番地)への書き込み許可	0：書き込み禁止 1：書き込み許可	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

図2.13.3.　キー入力割り込み関連レジスタの構成(2)

割り込み制御レジスタ(注2)

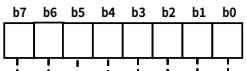


シンボル	アドレス	リセット時
KUPIC	$004D_{16}$番地	$XXXXX000_2$

ビットシンボル	ビット名	機　　能	R	W
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0：レベル0（割り込み禁止） 0 0 1：レベル1 0 1 0：レベル2 0 1 1：レベル3 1 0 0：レベル4 1 0 1：レベル5 1 1 0：レベル6 1 1 1：レベル7	○	○
ILVL1			○	○
ILVL2			○	○
IR	割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	○	○ (注1)
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

注1.　“0”だけ書き込み可(“1”を書き込まないでください)。
注2.　割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求がは発生しない箇所で行ってください。詳細は、割り込みの注意事項を参照してください。

キー入力モードレジスタ



シンボル	アドレス	リセット時
KUPM	0126_{16}番地	01100000_2

ビットシンボル	ビット名	機　　能	R	W
P1KIS	P1キー入力選択ビット(注1)	0 : 立ち下がりエッジ 1 : 両エッジ(注2)	○	○
P1KIE	P1キー入力許可ビット	0 : 禁止 1 : 許可	○	○
P2KIS	P2キー入力選択ビット(注1)	0 : 立ち下がりエッジ 1 : 両エッジ(注2)	○	○
P2KIE	P2キー入力許可ビット	0 : 禁止 1 : 許可	○	○
P3KIE	P3キー入力許可ビット	0 : 禁止 1 : 許可	○	○
PUP12L	P120～P123のプルアップ(注3)	対応するポートのプルアップの設定をおこなう 0 : プルアップなし 1 : プルアップあり	○	○
PUP12H	P124～P127のプルアップ(注3)		○	○
PUP13	P130～P132のプルアップ(注3)		○	○

注1．対応するポートがプルアップありに設定されている場合、このビットを両エッジにすると自動的に間欠プルアップ動作をします。
ただし、必ずサブクロックを動作させてください。
注2．このビットが両エッジに設定され、かつ対応するポートのいずれかの端子入力が"L"のとき、対応するポートのプルアップ制御レジスタ0($03FC_{16}$番地のビット2～5)の設定を変更すると、キー入力割り込み要求ビットが"1"にセットされる場合があります。
注3．周辺機能により出力となる端子は、プルアップ制御レジスタの設定に関わらず、その端子のプルアップ抵抗は接続されません。

図2.13.4.　キー入力割り込み関連レジスタの構成(3)

ポートPi方向レジスタ

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
PDi(i=1,2)	$03E3_{16}$,$03E6_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
PDi_0	ポートPi0方向レジスタ	0：入力モード（入力ポートとして機能） 1：出力モード（出力ポートとして機能）	○	○
PDi_1	ポートPi1方向レジスタ		○	○
PDi_2	ポートPi2方向レジスタ		○	○
PDi_3	ポートPi3方向レジスタ		○	○
PDi_4	ポートPi4方向レジスタ		○	○
PDi_5	ポートPi5方向レジスタ		○	○
PDi_6	ポートPi6方向レジスタ		○	○
PDi_7	ポートPi7方向レジスタ		○	○

ポートP3方向レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
╳	╳						

シンボル	アドレス	リセット時
PD3	$03E7_{16}$番地	$XX000000_2$

ビットシンボル	ビット名	機　　能	R	W
PD3_0	ポートP30方向レジスタ	0：入力モード（入力ポートとして機能） 1：出力モード（出力ポートとして機能）	○	○
PD3_1	ポートP31方向レジスタ		○	○
PD3_2	ポートP32方向レジスタ		○	○
PD3_3	ポートP33方向レジスタ		○	○
PD3_4	ポートP34方向レジスタ		○	○
PD3_5	ポートP35方向レジスタ		○	○
何も配置されていない。 書き込む場合、"0"を書き込んでください。読み出した場合、その値は不定。			—	—

プルアップ制御レジスタ0(注1)(注2)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
PUR0	$03FC_{16}$番地	00000011_2

ビットシンボル	ビット名	機　　能	R	W
PU00	P00～P03のプルアップ	対応するポートのプルアップの設定を行う 0：プルアップなし 1：プルアップあり	○	○
PU01	P04～P07のプルアップ		○	○
PU02	P10～P13のプルアップ		○	○
PU03	P14～P17のプルアップ		○	○
PU04	P20～P23のプルアップ		○	○
PU05	P24～P27のプルアップ		○	○
PU06	P30～P33のプルアップ		○	○
PU07	P34～P35のプルアップ		○	○

注1．周辺機能により出力となる端子は、プルアップ制御レジスタの設定に関わらず、その端子のプルアップ抵抗は接続されません。
注2．このレジスタは、ワードアクセスをしないでください。

図2.13.5.　キー入力割り込み関連レジスタの構成(4)

2.13.2　キー入力割り込みの動作

キー入力割り込みでは、表2.13.1に示す項目の中から機能を選択できます。ここでは、表2.13.1に示す項目の中で、“○”印の内容を選択した場合の動作について説明します。また、図2.13.6にキー入力割り込みに用いる回路例を、図2.13.7にキー入力割り込みの動作例を、図2.13.8、図2.13.9にキー入力割り込みの設定手順を示します。

表2.13.1.　設定内容

設定項目	設定内容		設定項目	設定内容	
P1キー入力選択		立ち下がりエッジ	P3キー入力許可	○	禁止
	○	両エッジ			許可
P2キー入力選択	○	立ち下がりエッジ	P1のプルアップ		なし
		両エッジ		○	あり
P1キー入力許可		禁止	P2のプルアップ		なし
	○	許可		○	あり
P2キー入力許可		禁止			
	○	許可			

動　作

(1)　XCIN-XCOUTには、32.768kHzの発振子を接続し、サブクロックの発振を許可します。

(2)　キー入力割り込み端子にするポートをプルアップありに設定し、方向レジスタを入力に設定します。

(3)　キー入力選択ビットにより、P1を両エッジ、P2を立ち下がりエッジに設定し、キー入力許可ビットにより、P1、P2のキー入力を許可に設定します。

(4)　P1のプルアップは約7.8msec周期で約244μsecの期間のみプルアップするよう動作し、P2のプルアップは定常的に動作します。

(5)　キー入力割り込み制御レジスタ、割り込み許可フラグを設定すると割り込み許可状態になります。同時に、割り込み要求ビットをクリアします。

(6)　$\overline{KI_0}$～$\overline{KI_{15}}$にキー入力選択ビットにより選択されたエッジが入力されると、キー入力割り込み要求ビットが“1”になります。

(7)　立ち下がりエッジに設定されている端子のいずれかに“L”が入力されていると、他の端子の入力は割り込みとして検知されません。

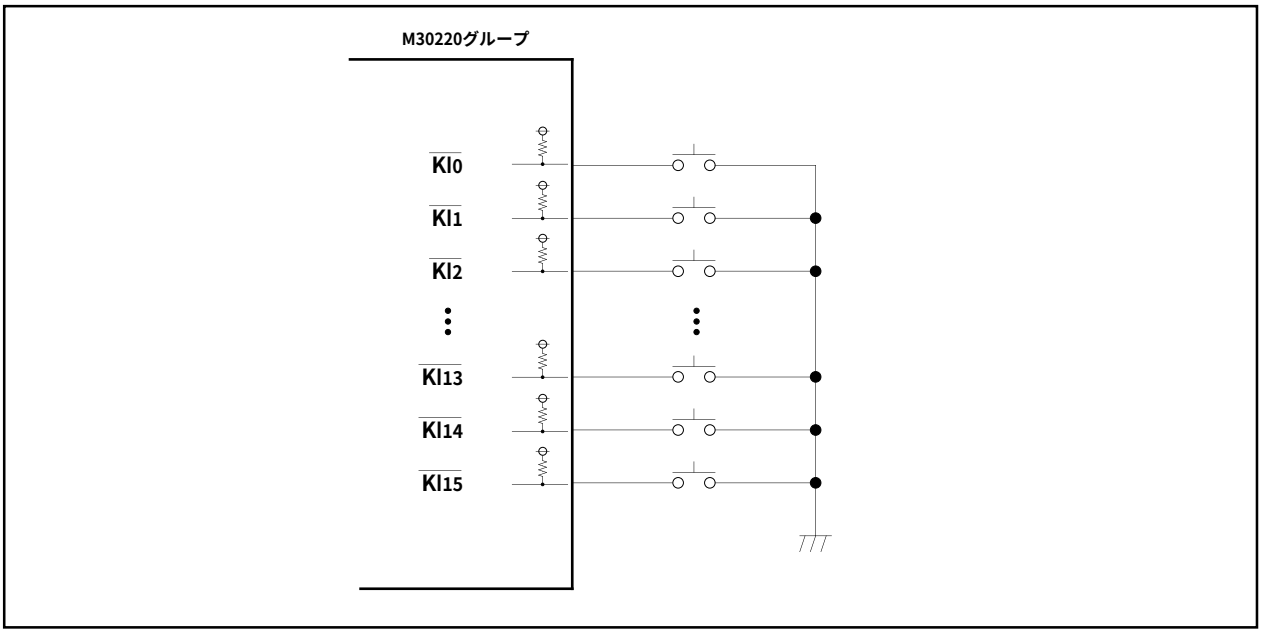


図2.13.6.　キー入力割り込みに用いる回路例

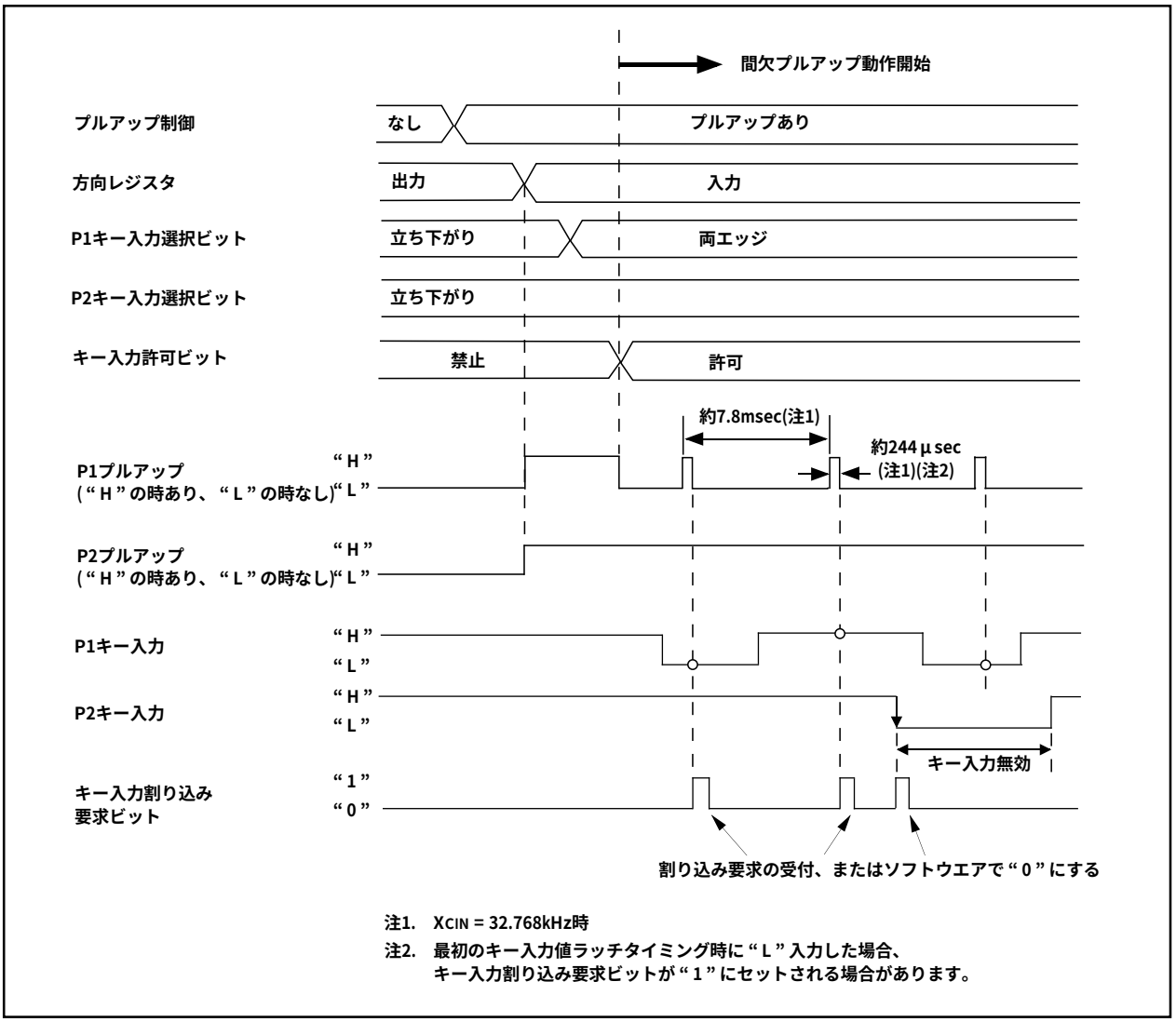


図2.13.7.　キー入力割り込みの動作例

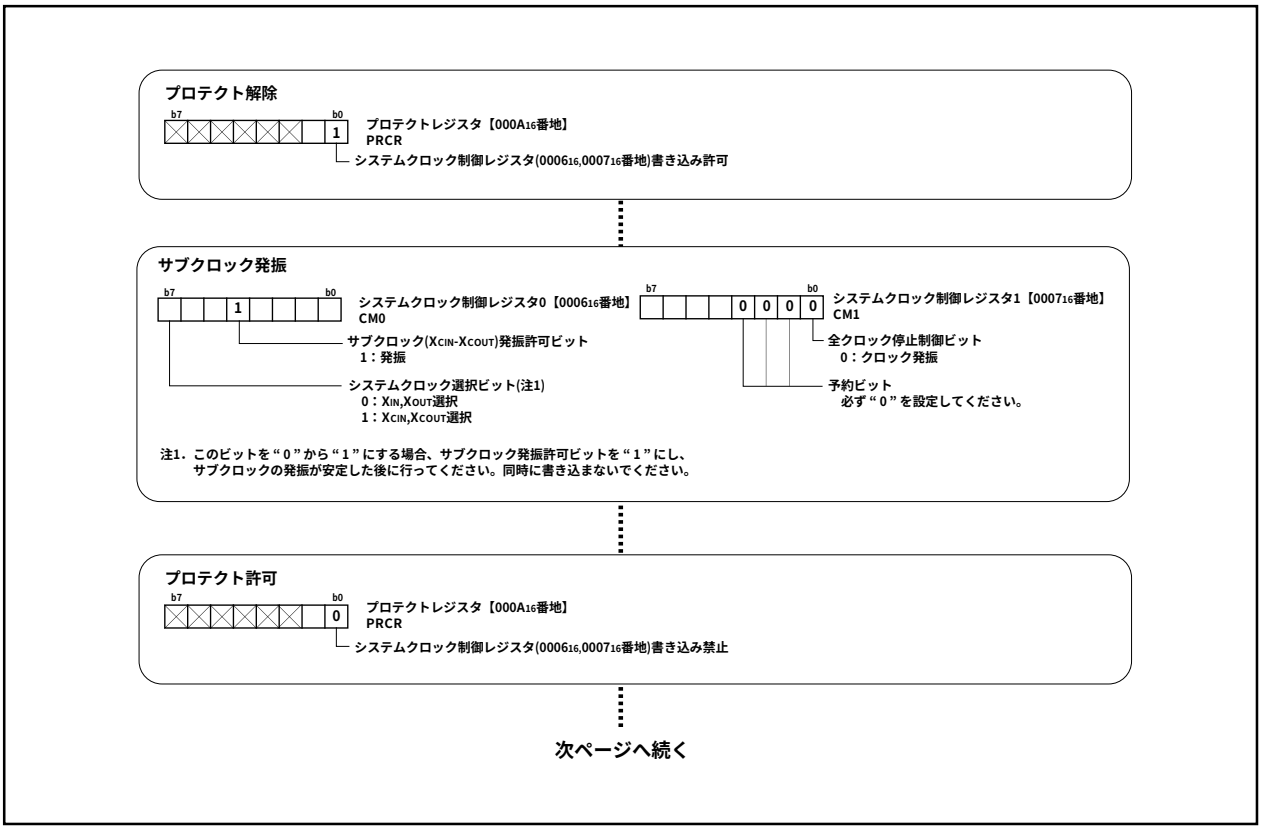


図2.13.8.　キー入力割り込みの設定手順(1)

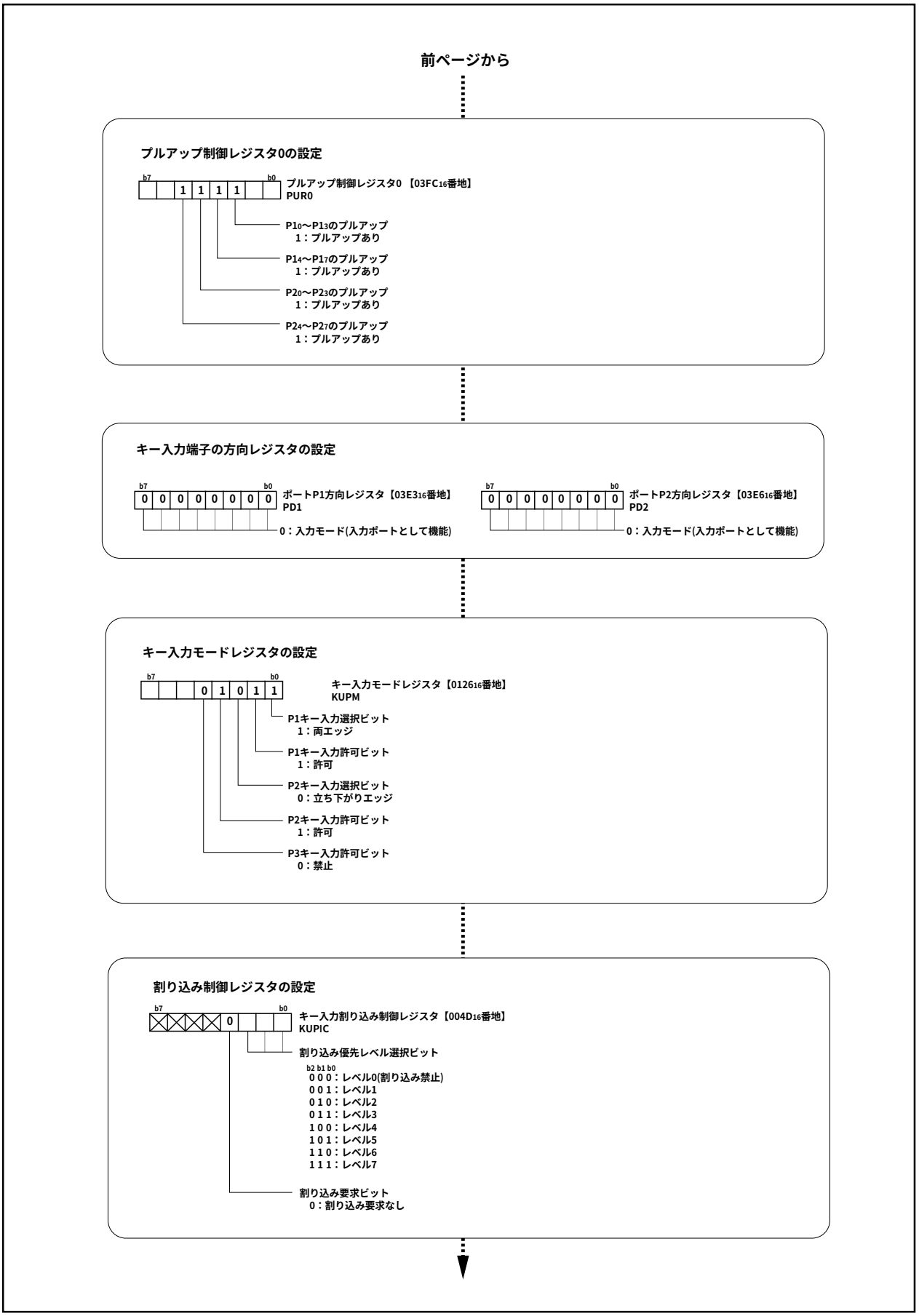


図2.13.9.　キー入力割り込みの設定手順(2)

2.14 パワーコントロール

2.14.1 概要

パワーコントロールの概要について説明します。

●モード

パワーコントロールには3つのモードがあります。

(1) 通常動作モード

■ 高速モード

メインクロックの1分周がBCLKとなるモードです。CPUは選択された内部クロックで動作します。周辺機能は、周辺機能ごとに設定したクロックで動作します。

■ 中速モード

メインクロックの2分周、4分周、8分周、または16分周がBCLKとなるモードです。CPUは選択された内部クロックで動作します。周辺機能は、周辺機能ごとに設定したクロックで動作します。

■ 低速モード

fcがBCLKとなるモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。周辺機能は、周辺機能ごとに設定したクロックで動作します。

■ 低消費電力モード

低速モードからメインクロックを停止させたモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。カウントソースとしてサブクロックを選択している周辺機能だけ動作します。

(2) ウエイトモード

CPUの動作を停止させるモードです。発振器は停止しません。

(3) ストップモード

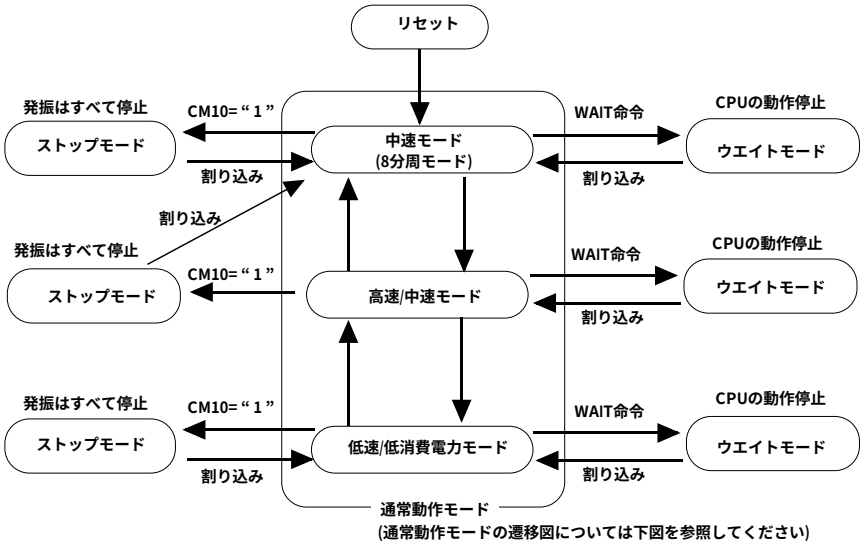
すべての発振器が停止するモードです。CPUや内蔵の周辺機能はすべて停止します。パワーコントロールの3つのモードの中で一番消費電流を少なくすることができます。

(1)～(3)の状態遷移図を図2.14.1に示します。

●発振回路駆動能力切り替え

メインクロックおよびサブクロックには、駆動能力の切り替え機能があります。発振が安定した後に駆動能力を弱めることで、さらに消費電力を小さくすることができます。

ストップモード、ウエイトモードの遷移図



通常動作モードの遷移図

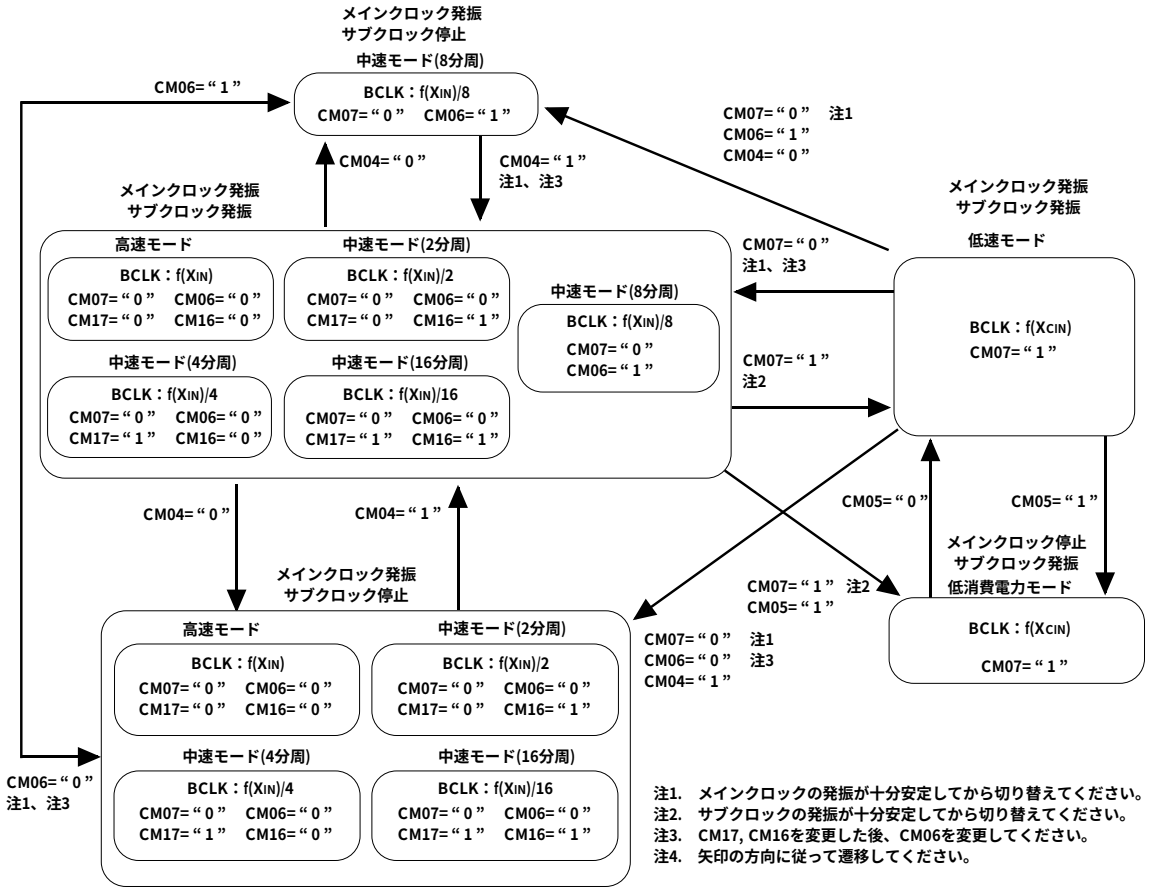


図2.14.1. 状態遷移図

●ストップおよびウエイトモードからの復帰

ストップモードおよびウエイトモードは、割り込み要求の発生、またはハードウエアリセットで解除します。解除に使用する割り込み優先レベルをプロセッサ割り込み優先レベル(IPL)より高く設定し、割り込み許可フラグ(Iフラグ)を許可状態にしてください。解除のための割り込みが発生すると、発生した割り込み処理を実行します。

ストップモードおよびウエイトモードの解除に使用できる割り込みを表2.14.1に示します。

●復帰時のBCLK

(1)ウエイトモードからの復帰時

ウエイトモードに入る前に使用していたBCLKで直ちに復帰します。

(2)ストップモードからの復帰時

BCLKにメインクロックを選択しストップモードに移行したとき、CM06は“1”となります。CM17、CM16およびCM07は変化しません。この場合、ストップから復帰したとき、8分周モードから動作します。

BCLKにサブクロックを選択しストップモードに移行したとき、CM06、CM17、CM16およびCM07は変化しません。この場合、ストップから復帰したとき、低速モードから動作します。

表2.14.1. 各モードの解除に使用できる割り込み

解除用割り込み	ウエイトモード時		ストップモード時
	CM02=0の場合	CM02=1で、かつBCLKのカウントソースにX_{IN}を選択している場合	
バス衝突検出割り込み	○	注1	注1
DMA0割り込み	×	×	×
DMA1割り込み	×	×	×
キー入力割り込み	○	○	○
A-D割り込み	注3	×	×
UART0送信割り込み	○	注1	注1
UART0受信割り込み	○	注1	注1
UART1送信割り込み	○	注1	注1
UART1受信割り込み	○	注1	注1
UART2送信割り込み	○	注1	注1
UART2受信割り込み	○	注1	注1
タイマA0割り込み	○	注2、注4	注2
タイマA1割り込み	○	注2、注4	注2
タイマA2割り込み	○	注2、注4	注2
タイマA3割り込み	○	注2、注4	注2
タイマA4割り込み	○	注2、注4	注2
タイマA5割り込み	○	注2、注4	注2
タイマA6割り込み	○	注2、注4	注2
タイマA7割り込み	○	注2、注4	注2
タイマB0割り込み	○	注2、注4	注2
タイマB1割り込み	○	注2、注4	注2
タイマB2割り込み	○	注2、注4	注2
タイマB3割り込み	○	注2、注4	注2
タイマB4割り込み	○	注2、注4	注2
タイマB5割り込み	○	注2、注4	注2
$\overline{INT0}$割り込み	○	○	○
$\overline{INT1}$割り込み	○	○	○
$\overline{INT2}$割り込み	○	○	○
$\overline{INT3}$割り込み	○	○	○
$\overline{INT4}$割り込み	○	○	○
$\overline{INT5}$割り込み	○	○	○
$\overline{NMI}$割り込み	○	○	○

注1. 外部クロックを選択している場合、使用可。ただし、UART2は、クロック同期形シリアルI/Oモードで外部クロックを選択している場合、使用可。
注2. イベントカウンタモードで、外部信号をカウントしているとき使用可。
注3. 単発モードおよび単掃引モードで使用可。
注4. カウントソースにf_{c32}を選択している場合、使用可。

●ストップモードからの復帰シーケンス

ストップモードからの復帰シーケンスは、発振立ち上がりと割り込みシーケンスからなります。ストップモード中に割り込みが発生すると、CM10が“0”になり、ストップモードが解除されます。その後、発振が開始しBCLKが供給され始めると、下記の割り込みシーケンスを実行します。

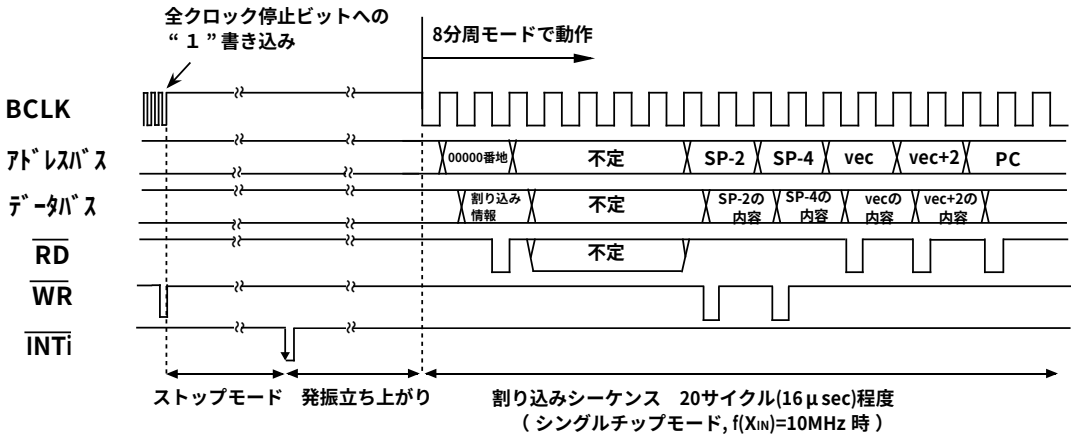
割り込みシーケンスでは次の動作を順次行います。

(1) 0000_{16}番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得する。その後、該当する割り込みの要求ビットが“0”になる。
(2) 割り込みシーケンス直前のフラグレジスタ(FLG)の内容をCPU内部の一時レジスタ(注1)に退避する。
(3) 割り込み許可フラグ(Iフラグ)、デバッグフラグ(Dフラグ)、およびスタックポインタ指定フラグ(Uフラグ)を“0”にする(ただしUフラグは、ソフトウエア割り込み番号32～63のINT命令を実行した場合は変化しません)。
(4) CPU内部の一時レジスタ(注1)の内容をスタック領域に退避する。
(5) プログラムカウンタ(PC)の内容をスタック領域に退避する。
(6) プロセッサ割り込み優先レベル(IPL)に、受け付けた割り込みの割り込み優先レベルを設定する。

注1. ユーザは使用できません。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

図2.14.2にストップモードからの復帰シーケンスを示します。



注1. これは、メインクロックをBCLKとして選択している場合の図です。
サブクロックをBCLKとして選択している場合、ストップからの復帰時、サブクロックがBCLKとなり、メインクロックの分周比は変化しません。

図2.14.2. ストップモードからの復帰シーケンス

●パワーコントロール関連レジスタ

図2.14.3にパワーコントロール関連レジスタのメモリ配置図を、図2.14.4、図2.14.5にパワーコントロール関連レジスタの構成を示します。

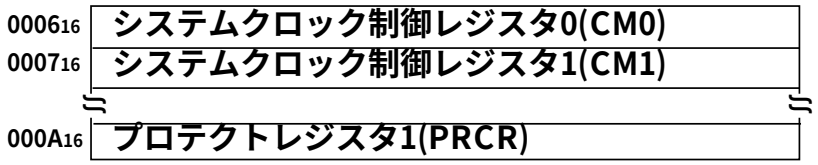


図2.14.3. パワーコントロール関連レジスタのメモリ配置図

システムクロック制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット時
CM0	000_{16}番地	48_{16}

ビットシンボル	ビット名	機　　能	R	W
CM00	クロック出力機能選択ビット	b1 b0 0 0 : 入出力ポートP5$_7$ 0 1 : f_{C1}を出力 1 0 : f_1を出力 1 1 : クロック分周カウンタの出力	○	○
CM01			○	○
CM02	WAIT時周辺機能クロック停止ビット	0 : ウエイトモード時、周辺機能クロック停止しない 1 : ウエイトモード時、周辺機能クロック停止する(注8)	○	○
CM03	XCIN-XCOUT駆動能力選択ビット(注2)	0 : LOW 1 : HIGH	○	○
CM04	サブクロック (XCIN-XCOUT)発振許可ビット	0 : 停止 1 : 発振	○	○
CM05	メインクロック (XIN-XOUT)停止ビット(注3、注4、注5)	0 : 発振 1 : 停止	○	○
CM06	メインクロック分周比選択ビット0(注7)	0 : CM16,CM17有効 1 : 8分周モード	○	○
CM07	システムクロック選択ビット(注6)	0 : XIN,XOUT選択 1 : XCIN,XCOUT選択	○	○

注1. このレジスタを書き替える場合、プロテクトレジスタ($000A_{16}$番地)のビット0を“1”にしてください。
注2. ストップモードへの移行時およびリセット時、“1”になります。
注3. このビットは低消費電力モードにするときに、メインクロックを停止させるためのビットです。
ストップモードから復帰後、XINで動作させる場合、このビットは“0”にしてください。
自励発振で使用している場合は、システムクロック選択ビット(CM07)を“1”にしてから、このビットを“1”にしてください。
注4. 外部クロック入力時には、クロック発振バッファだけ停止し、クロック入力は受け付けられるモードとなります。
注5. このビットが“1”の場合、XOUTは“H”レベルになります。また、内蔵している帰還抵抗は接続したままですので、XINは帰還抵抗を介してXOUT(“H”レベル)にプルアップされた状態となります。
注6. このビットを“0”から“1”にする場合、サブクロック発振許可ビット(CM04)を“1”にし、サブクロックの発振が安定した後に行ってください。同時に書き込まないでください。また、このビットを“1”から“0”にする場合は、メインクロック停止ビット(CM05)を“0”にし、メインクロックの発振が安定した後に行ってください。
注7. 高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。
注8. f_{C32}、f_{C1}、f_{C32}は含みません。低速モードおよび低消費電力モード時は”1”にしないでください。

システムクロック制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
				0	0	0	

シンボル	アドレス	リセット時
CM1	000_{16}番地	20_{16}

ビットシンボル	ビット名	機　　能	R	W
CM10	全クロック停止制御ビット(注4)	0 : クロック発振 1 : 全クロック停止(ストップモード)	○	○
予約ビット		必ず“0”を設定してください	○	○
予約ビット		必ず“0”を設定してください	○	○
予約ビット		必ず“0”を設定してください	○	○
CM14	f_{C32}クロック選択ビット	0 : f_{C32} 1 : f_{C1}	○	○
CM15	XIN-XOUT駆動能力選択ビット(注2)	0 : LOW 1 : HIGH	○	○
CM16	メインクロック分周比選択ビット1(注3)	b7 b6 0 0 : 分周なしモード 0 1 : 2分周モード 1 0 : 4分周モード 1 1 : 16分周モード	○	○
CM17				

注1. このレジスタを書き替える場合、プロテクトレジスタ($000A_{16}$番地)のビット0を“1”にしてください。
注2. 高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。
注3. システムクロック制御レジスタ0(000_{16}番地)のビット6が“0”の場合、有効となります。“1”の場合、8分周モードに固定です。
注4. このビットが“1”の場合、XOUTは“H”レベルとなり、内蔵している帰還抵抗は切り離されます。XCIN、XCOUTは、ハイインピーダンスになります。

図2.14.4. パワーコントロール関連レジスタの構成(1)

プロテクトレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
×	×	×	×	×	×		

シンボル	アドレス	リセット時
PRCR	$000A_{16}$番地	$XXXXX00_2$

ビットシンボル	ビット名	機　　能	R	W
PRC0	システムクロック制御レジスタ0,1(0006_{16},0007_{16}番地)への書き込み許可	0 : 書き込み禁止 1 : 書き込み許可	○	○
PRC1	プロセッサモードレジスタ0,1(0004_{16},0005_{16}番地)への書き込み許可	0 : 書き込み禁止 1 : 書き込み許可	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

図2.14.5.　パワーコントロール関連レジスタの構成(2)

2.14.2 ストップモードへの設定

ストップモードへ移行するための設定と動作について説明します。

動　作　(1) ストップモードから復帰する割り込みを許可します。
(2) 割り込み許可フラグ(Iフラグ)を“1”にします。
(3) プロテクトを解除して、全クロック停止制御ビットを“1”にすることで発振が停止しストップモードへ移行します。

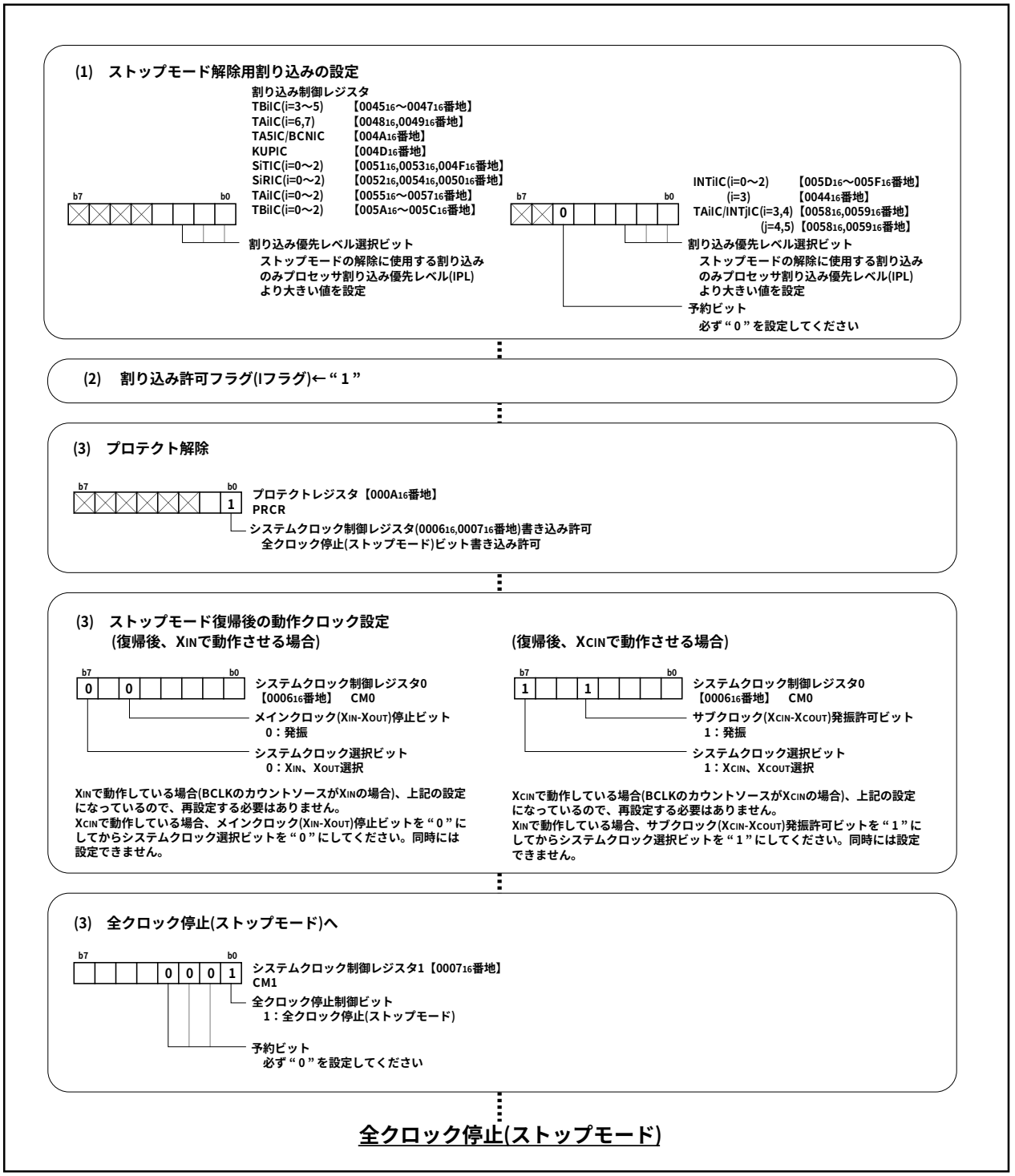


図2.14.6. ストップモードへ移行するための設定例

2.14.3　ウエイトモードへの設定

ウエイトモードへ移行するための設定と動作について説明します。

動　作　(1)　ウエイトモードから復帰する割り込みを許可します。
(2)　割り込み許可フラグ(Iフラグ)を“1”にします。
(3)　プロテクトを解除して、システムクロック制御レジスタの内容を変更します。
(4)　WAIT命令を実行します。

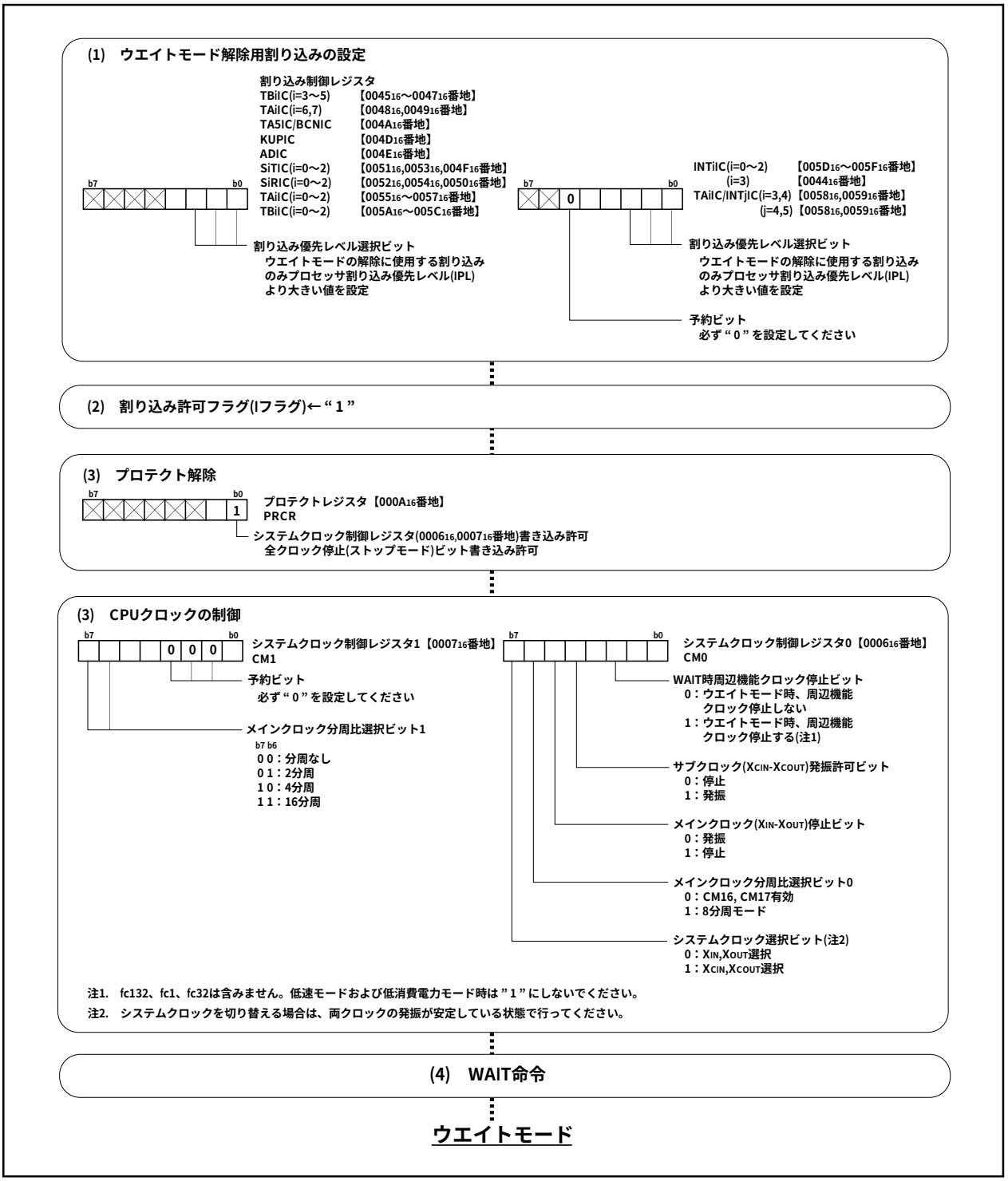


図2.14.7.　ウエイトモードへ移行するための設定例

2.14.4 パワーコントロールの注意事項

内　容

(1) $\overline{\text{NMI}}$端子が“L”のときストップモードへ移行しないでください。

(2) ストップモードからハードウエアリセットによって復帰する場合、メインクロックの発振が充分に安定するまで、リセット端子を“L”レベルにする必要があります。

(3) ウエイトモードおよびストップモードに移行する場合、命令キューは、WAIT命令および全クロック停止制御ビットを“1”にする命令から4バイト先読みしてプログラムが停止します。したがってWAIT命令および全クロック停止制御ビットを“1”にする命令の後にはNOPを最低4つ入れてください。

(4) BCLKのカウントソースをXINからXCIN、XCINからXINに切り替えるとき、切り替え先のクロックは安定して発振している必要があります。ソフトウエアにて発振が安定するまで待ち時間を取ってから移るようにしてください。

(5) 消費電力を小さくするためのポイント
消費電力を小さくするため、ポイントを示します。システム設計やプログラムを作成するときに参考にしてください。

●ポート

ウエイトモード、ストップモードに移行してもプログラマブル入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。フローティングになる入力ポートは貫通電流が流れます。ウエイトモード、ストップモードに移行するとき、不要なポートは入力に設定し、安定した電位に固定してください。

●A-D変換器

VREF端子には、常時、電流が流れ込みます。ウエイトモード、ストップモードに移行する場合、Vref接続ビットを“0”にしてVREFに電流が流れ込まないようにしてください。

●D-A変換器

ウエイトモード、ストップモードに移行してもD-Aの状態は保持します。D-A変換器の出力は禁止して、プログラマブル入出力ポートの処理をしてください。
DAレジスタには“00_{16}”を設定してください。

●周辺機能の停止

ウエイトモード時にWAIT時周辺機能クロック停止ビットで、不要な周辺機能を停止させてください。ただし、サブクロックから生成している周辺機能クロック(fc132、fc1、fc32)は停止しませんので、消費電力の削減にはなりません。低速モードおよび低消費電力モード時にはこのビットに”1”を設定してウエイトモードに移行しないでください。

●発振駆動能力の切り替え

発振が安定している場合、駆動能力を“LOW”にしてください。

●外部クロック

CPUのクロックに外部クロック入力を使用している場合、メインクロック停止ビットを“1”にしてください。メインクロック停止ビットを“1”にすることでXOUT端子が動作しなくなり、消費電流が小さくなります(外部クロック入力を使用している場合、メインクロック停止ビットの内容にかかわらず、クロックは入力されます)。

レイアウトの都合上、このページは白紙です。

2.15 プログラマブル入出力ポート

2.15.1 概要

プログラマブル入出力ポートは104本、入力専用ポートは1本あります。各入出力端子は、内蔵周辺機能の入出力端子と兼用になっています。

各ポートは、入出力の方向を決定する方向レジスタとデータの入出力を行うポートレジスタを持ちます。さらに4ビット単位でプルアップを行うプルアップ制御レジスタを持ちます。入力専用ポートには、方向レジスタおよびプルアップ制御ビットはありません。

プログラマブル入出力ポートの概要について説明します。

●ポートレジスタへの書き込み

方向レジスタを出力に設定しているとき、ポートレジスタに書き込めば、それぞれの端子から書き込んだ値のレベルを出力します。出力のレベルは、CMOS出力です。ただし、ポート$P7_0$、$P7_1$はNチャネルオープンドレイン出力です。方向レジスタを入力に設定しているとき、ポートレジスタに書き込めば、ポートレジスタには書き込まれますが、それぞれの端子には出力されません。出力のレベルは、フローティングのままです。

●ポートレジスタからの読み込み

方向レジスタを出力に設定しているとき、ポートレジスタから読み込めば、端子の内容ではなくポートレジスタの内容を読み込みます。方向レジスタを入力に設定しているとき、ポートレジスタから読み込みを行えば、端子の内容を読み込みます。

●入力専用ポート

入力専用ポートは、$P7_7$で$\overline{NMI}$と兼用の端子です。$P7_7$は、方向レジスタをもちません。また、プルアップも設定できません。$\overline{NMI}$は、禁止することができませんので、$P7_7$に立ち下がりエッジが入力された場合、$\overline{NMI}$割り込みが発生します。$P7_7$は、そのときのレベル入力読み込み用としてだけ使用してください。

●プルアップ設定

プルアップ制御ビットによって4ビット単位でプルアップあり/なしを設定できます。プルアップは、選択された4ビットの中で方向レジスタを入力に設定しているポートに対してだけ有効になります。方向レジスタを出力に設定しているポートはプルアップされません。

A-D入力でポートを使用する場合は、該当する端子のプルアップを設定しないでください。

●内蔵周辺装置の入出力機能

表2.15.1に各ポートと内蔵周辺装置の入出力の対応を示します。

表2.15.1.　各ポートと内蔵周辺装置の入出力の対応

ポート	内蔵周辺装置の入出力端子
P0	LCDの出力端子
P1	キー入力割り込みの入力端子
P2	キー入力割り込みの入力端子
$P3_0$～$P3_3$	キー入力割り込みの入力端子
$P4_0$～$P4_5$	タイマAの入出力端子
$P4_6$, $P4_7$	タイマAの入出力端子/外部割り込みの入力端子
$P5_0$～$P5_5$	タイマBの入力端子
$P5_6$	外部割り込みの入力端子
$P5_7$	クロック出力の出力端子
P6	シリアルI/Oの入出力端子
$P7_0$～$P7_3$	シリアルI/Oの入出力端子
$P7_4$～$P7_6$	外部割り込みの入力端子
$P8_0$, $P8_1$	タイマAの入出力端子/外部割り込みの入力端子
$P8_2$～$P8_7$	タイマAの入出力端子
P9	A-D変換器の入力端子
P10	LCDの出力端子
P11	LCDの出力端子
P12	LCDの出力端子
$P13_0$	D-A変換器の出力端子/A-Dトリガの入力端子
$P13_1$, $P13_2$	D-A変換器の出力端子

●未使用端子の処理例

未使用端子の処理例を以下に示します。

ここで説明する例は一例です。ご使用に際しては、ユーザアプリケーションに対応して適宜変更、および十分な評価をしてください。

表2.15.2. シングルチップモード時の未使用端子の処理例

端 子 名	処 理 内 容
ポートP0～P13($P7_7$は除く)	出力モードに設定し、端子を開放するか、または入力モードに設定し、抵抗を介してVssに接続(プルダウン)(注1、注3)
X_{OUT}(注2)、X_{COUT}	開放
X_{CIN}	抵抗を介してVssに接続
$\overline{NMI}$	抵抗を介してVccに接続
AVcc	Vccに接続
AVss, V_{REF}	Vssに接続
COM_0～COM_3	開放
SEG_0～SEG_{15}	開放
C_1, C_2	開放
V_{L2}, V_{L3}	Vccに接続
V_{L1}	Vssに接続
CNVss	抵抗を介してVssに接続

注1. 出力モードに設定し、開放する場合、リセットからソフトウエアによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。
また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、ソフトウエアで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。

注2. X_{IN}端子に外部クロックを入力しているとき。

注3. ポート$P7_0$、$P7_1$を出力モードに設定する場合は“L”を出力してください。
ポート$P7_0$、$P7_1$はNチャネルオープンドレイン出力です。

●プログラマブル入出力ポート関連レジスタ

図2.15.1にプログラマブル入出力ポート関連レジスタのメモリ配置図を、図2.15.2～図2.15.5にプログラマブル入出力ポート関連レジスタの構成を示します。

0126_{16}	キー入力モードレジスタ(KUPM)
	≀
$03E0_{16}$	ポートP0レジスタ(P0)
$03E1_{16}$	ポートP1レジスタ(P1)
$03E2_{16}$	ポートP0方向レジスタ(PD0)
$03E3_{16}$	ポートP1方向レジスタ(PD1)
$03E4_{16}$	ポートP2レジスタ(P2)
$03E5_{16}$	ポートP3レジスタ(P3)
$03E6_{16}$	ポートP2方向レジスタ(PD2)
$03E7_{16}$	ポートP3方向レジスタ(PD3)
$03E8_{16}$	ポートP4レジスタ(P4)
$03E9_{16}$	ポートP5レジスタ(P5)
$03EA_{16}$	ポートP4方向レジスタ(PD4)
$03EB_{16}$	ポートP5方向レジスタ(PD5)
$03EC_{16}$	ポートP6レジスタ(P6)
$03ED_{16}$	ポートP7レジスタ(P7)
$03EE_{16}$	ポートP6方向レジスタ(PD6)
$03EF_{16}$	ポートP7方向レジスタ(PD7)
$03F0_{16}$	ポートP8レジスタ(P8)
$03F1_{16}$	ポートP9レジスタ(P9)
$03F2_{16}$	ポートP8方向レジスタ(PD8)
$03F3_{16}$	ポートP9方向レジスタ(PD9)
$03F4_{16}$	ポートP10レジスタ(P10)
$03F5_{16}$	ポートP11レジスタ(P11)
$03F6_{16}$	ポートP10方向レジスタ(PD10)
$03F7_{16}$	ポートP11方向レジスタ(PD11)
$03F8_{16}$	ポートP12レジスタ(P12)
$03F9_{16}$	ポートP13レジスタ(P13)
$03FA_{16}$	ポートP12方向レジスタ(PD12)
$03FB_{16}$	ポートP13方向レジスタ(PD13)
$03FC_{16}$	プルアップ制御レジスタ０(PUR0)
$03FD_{16}$	プルアップ制御レジスタ１(PUR1)
$03FE_{16}$	プルアップ制御レジスタ２(PUR2)

図2.15.1.　プログラマブル入出力ポート関連レジスタのメモリ配置図

ポートPi方向レジスタ(注1)

シンボル	アドレス	リセット時
PDi(i=0～12 ただし3,7は除く)	03E2$_{16}$,03E3$_{16}$,03E6$_{16}$,03EA$_{16}$番地 03EB$_{16}$,03EE$_{16}$,03F2$_{16}$,03F3$_{16}$番地 03F6$_{16}$,03F7$_{16}$,03FA$_{16}$番地	00$_{16}$

b7 b6 b5 b4 b3 b2 b1 b0

ビットシンボル	ビット名	機　能	R	W
PDi_0	ポートPi$_0$方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能） (i=0～12 ただし3,7は除く)	○	○
PDi_1	ポートPi$_1$方向レジスタ		○	○
PDi_2	ポートPi$_2$方向レジスタ		○	○
PDi_3	ポートPi$_3$方向レジスタ		○	○
PDi_4	ポートPi$_4$方向レジスタ		○	○
PDi_5	ポートPi$_5$方向レジスタ		○	○
PDi_6	ポートPi$_6$方向レジスタ		○	○
PDi_7	ポートPi$_7$方向レジスタ		○	○

注1．ポートP12方向レジスタは、ワードアクセスをしないでください。

ポートP3方向レジスタ

シンボル	アドレス	リセット時
PD3	03E7$_{16}$番地	XX000000$_2$

b7 b6 b5 b4 b3 b2 b1 b0

ビットシンボル	ビット名	機　能	R	W
PD3_0	ポートP3$_0$方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	○	○
PD3_1	ポートP3$_1$方向レジスタ		○	○
PD3_2	ポートP3$_2$方向レジスタ		○	○
PD3_3	ポートP3$_3$方向レジスタ		○	○
PD3_4	ポートP3$_4$方向レジスタ		○	○
PD3_5	ポートP3$_5$方向レジスタ		○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

ポートP7方向レジスタ

シンボル	アドレス	リセット時
PD7	03EF$_{16}$番地	X0000000$_2$

b7 b6 b5 b4 b3 b2 b1 b0

ビットシンボル	ビット名	機　能	R	W
PD7_0	ポートP7$_0$方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	○	○
PD7_1	ポートP7$_1$方向レジスタ		○	○
PD7_2	ポートP7$_2$方向レジスタ		○	○
PD7_3	ポートP7$_3$方向レジスタ		○	○
PD7_4	ポートP7$_4$方向レジスタ		○	○
PD7_5	ポートP7$_5$方向レジスタ		○	○
PD7_6	ポートP7$_6$方向レジスタ		○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

ポートP13方向レジスタ

シンボル	アドレス	リセット時
PD13	03FB$_{16}$番地	XXXXX000$_2$

b7 b6 b5 b4 b3 b2 b1 b0

ビットシンボル	ビット名	機　能	R	W
PD13_0	ポートP13$_0$方向レジスタ	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	○	○
PD13_1	ポートP13$_1$方向レジスタ		○	○
PD13_2	ポートP13$_2$方向レジスタ		○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

図2.15.2.　プログラマブル入出力ポート関連レジスタの構成(1)

ポートPiレジスタ(注1)

シンボル	アドレス	リセット時
Pi(i=0～12 ただし3,7は除く)	03E0$_{16}$,03E1$_{16}$,03E4$_{16}$,03E8$_{16}$番地 03E9$_{16}$,03EC$_{16}$,03F0$_{16}$,03F1$_{16}$番地 03F4$_{16}$,03F5$_{16}$,03F8$_{16}$番地	不定

b7	b6	b5	b4	b3	b2	b1	b0

ビットシンボル	ビット名	機　　能	R	W
Pi_0	ポートPi$_0$レジスタ	対応するビットの読み出し、および書き込みで対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル (i=0～12　ただし3,7は除く)	○	○
Pi_1	ポートPi$_1$レジスタ		○	○
Pi_2	ポートPi$_2$レジスタ		○	○
Pi_3	ポートPi$_3$レジスタ		○	○
Pi_4	ポートPi$_4$レジスタ		○	○
Pi_5	ポートPi$_5$レジスタ		○	○
Pi_6	ポートPi$_6$レジスタ		○	○
Pi_7	ポートPi$_7$レジスタ		○	○

注1．ポートP12レジスタは、ワードアクセスをしないでください。

ポートP3レジスタ

シンボル	アドレス	リセット時
P3	03E5$_{16}$番地	不定

b7	b6	b5	b4	b3	b2	b1	b0
╳	╳						

ビットシンボル	ビット名	機　　能	R	W
P3_0	ポートP3$_0$レジスタ	対応するビットの読み出し、および書き込みで対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル	○	○
P3_1	ポートP3$_1$レジスタ		○	○
P3_2	ポートP3$_2$レジスタ		○	○
P3_3	ポートP3$_3$レジスタ		○	○
P3_4	ポートP3$_4$レジスタ		○	○
P3_5	ポートP3$_5$レジスタ		○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

ポートP7レジスタ

シンボル	アドレス	リセット時
P7	03ED$_{16}$番地	不定

b7	b6	b5	b4	b3	b2	b1	b0

ビットシンボル	ビット名	機　　能	R	W
P7_0	ポートP7$_0$レジスタ	対応するビットの読み出し、および書き込み(ただしP7$_7$は除く)で対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル(注1)	○	○
P7_1	ポートP7$_1$レジスタ		○	○
P7_2	ポートP7$_2$レジスタ		○	○
P7_3	ポートP7$_3$レジスタ		○	○
P7_4	ポートP7$_4$レジスタ		○	○
P7_5	ポートP7$_5$レジスタ		○	○
P7_6	ポートP7$_6$レジスタ		○	○
P7_7	ポートP7$_7$レジスタ		○	×

注1．P7$_0$、P7$_1$はNチャネルオープンドレインポートのため、ハイインピーダンスとなります。

ポートP13レジスタ

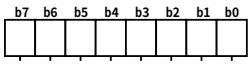
シンボル	アドレス	リセット時
P13	03F9$_{16}$番地	不定

b7	b6	b5	b4	b3	b2	b1	b0
╳	╳	╳	╳	╳			

ビットシンボル	ビット名	機　　能	R	W
P13_0	ポートP13$_0$レジスタ	対応するビットの読み出し、および書き込みで対応する端子のデータ入出力を行う 0：“L”レベル 1：“H”レベル	○	○
P13_1	ポートP13$_1$レジスタ		○	○
P13_2	ポートP13$_2$レジスタ		○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

図2.15.3.　プログラマブル入出力ポート関連レジスタの構成(2)

プルアップ制御レジスタ0(注1)(注2)

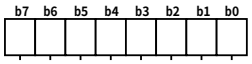


シンボル	アドレス	リセット時
PUR0	$03FC_{16}$番地	00000011_2

ビットシンボル	ビット名	機　　能	R	W
PU00	$P0_0$～$P0_3$のプルアップ	対応するポートのプルアップの設定を行う 0：プルアップなし 1：プルアップあり	○	○
PU01	$P0_4$～$P0_7$のプルアップ		○	○
PU02	$P1_0$～$P1_3$のプルアップ		○	○
PU03	$P1_4$～$P1_7$のプルアップ		○	○
PU04	$P2_0$～$P2_3$のプルアップ		○	○
PU05	$P2_4$～$P2_7$のプルアップ		○	○
PU06	$P3_0$～$P3_3$のプルアップ		○	○
PU07	$P3_4$～$P3_5$のプルアップ		○	○

注1．周辺機能により出力となる端子は、プルアップ制御レジスタの設定に関わらず、その端子のプルアップ抵抗は接続されません。
注2．このレジスタは、ワードアクセスをしないでください。

プルアップ制御レジスタ1(注1)

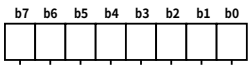


シンボル	アドレス	リセット時
PUR1	$03FD_{16}$番地	00_{16}

ビットシンボル	ビット名	機　　能	R	W
PU10	$P4_0$～$P4_3$のプルアップ	対応するポートのプルアップの設定を行う 0：プルアップなし 1：プルアップあり	○	○
PU11	$P4_4$～$P4_7$のプルアップ		○	○
PU12	$P5_0$～$P5_3$のプルアップ		○	○
PU13	$P5_4$～$P5_7$のプルアップ		○	○
PU14	$P6_0$～$P6_3$のプルアップ		○	○
PU15	$P6_4$～$P6_7$のプルアップ		○	○
PU16	$P7_2$～$P7_3$のプルアップ		○	○
PU17	$P7_4$～$P7_6$のプルアップ		○	○

注1．周辺機能により出力となる端子は、プルアップ制御レジスタの設定に関わらず、その端子のプルアップ抵抗は接続されません。

プルアップ制御レジスタ2(注1)



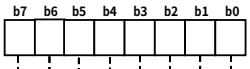
シンボル	アドレス	リセット時
PUR2	$03FE_{16}$番地	11110000_2

ビットシンボル	ビット名	機　　能	R	W
PU20	$P8_0$～$P8_3$のプルアップ	対応するポートのプルアップの設定を行う 0：プルアップなし 1：プルアップあり	○	○
PU21	$P8_4$～$P8_7$のプルアップ		○	○
PU22	$P9_0$～$P9_3$のプルアップ		○	○
PU23	$P9_4$～$P9_7$のプルアップ		○	○
PU24	P100～P103のプルアップ		○	○
PU25	P104～P107のプルアップ		○	○
PU26	P110～P113のプルアップ		○	○
PU27	P114～P117のプルアップ		○	○

注1．周辺機能により出力となる端子は、プルアップ制御レジスタの設定に関わらず、その端子のプルアップ抵抗は接続されません。

図2.15.4.　プログラマブル入出力ポート関連レジスタの構成(3)

キー入力モードレジスタ



シンボル	アドレス	リセット時
KUPM	0126_{16}番地	01100000_2

ビットシンボル	ビット名	機　能	R	W
P1KIS	P1キー入力選択ビット (注1)	0 : 立ち下がりエッジ 1 : 両エッジ(注2)	○	○
P1KIE	P1キー入力許可ビット	0 : 禁止 1 : 許可	○	○
P2KIS	P2キー入力選択ビット (注1)	0 : 立ち下がりエッジ 1 : 両エッジ(注2)	○	○
P2KIE	P2キー入力許可ビット	0 : 禁止 1 : 許可	○	○
P3KIE	P3キー入力許可ビット	0 : 禁止 1 : 許可	○	○
PUP12L	$P12_0$～$P12_3$のプルアップ (注3)	対応するポートのプルアップの設定をおこなう 0 : プルアップなし 1 : プルアップあり	○	○
PUP12H	$P12_4$～$P12_7$のプルアップ (注3)		○	○
PUP13	$P13_0$～$P13_2$のプルアップ (注3)		○	○

注1. 対応するポートがプルアップありに設定されている場合、このビットを両エッジにすると自動的に間欠プルアップ動作をします。
ただし、必ずサブクロックを動作させてください。

注2. このビットが両エッジに設定され、かつ対応するポートのいずれかの端子入力が"L"のとき、対応するポートのプルアップ制御レジスタ0($03FC_{16}$番地のビット2～5)の設定を変更すると、キー入力割り込み要求ビットが"1"にセットされる場合があります。

注3. 周辺機能により出力となる端子は、プルアップ制御レジスタの設定に関わらず、その端子のプルアップ抵抗は接続されません。

図2.15.5.　プログラマブル入出力ポート関連レジスタの構成(4)

レイアウトの都合上、このページは白紙です。

第３章

周辺機能の応用例

この章では、M30220グループに内蔵された周辺機能を使用した応用事例を紹介します。なお、ここで示す応用事例は一例です。ご使用に際しては、適宜変更、および十分な評価を行ってください。基本的な使い方については、「第2章　周辺機能の使い方」を参照してください。

この章で掲載している応用例を示します。

● 3.1　長い周期のタイマ P2-220
● 3.2　周期およびデューティ可変のPWM出力 P2-224
● 3.3　ディレードワンショット出力 P2-228
● 3.4　ブザーの出力 P2-232
● 3.5　外部割り込み端子が不足したときの対処方法 P2-234
● 3.6　メモリからメモリのDMA転送例 P2-236
● 3.7　ダイヤルスイッチ入力 P2-240
● 3.8　ステッピングモータ制御 P2-246
● 3.9　ストップモードを使用したパワーコントロール例 P2-252
● 3.10　ウエイトモードを使用したパワーコントロール例 P2-256

レイアウトの都合上、このページは白紙です。

3.1　長い周期のタイマ

概　要　タイマAを2本接続して16ビットプリスケーラ付き16ビットタイマを実現します。その動作タイミングを図3.1.1に、接続図を図3.1.2に、設定手順を図3.1.3、図3.1.4に示します。

使用する周辺機能は次のとおりです。

- タイマAのタイマモード
- タイマAのイベントカウンタモード

仕　様

(1)　タイマA0はタイマモードに、タイマA1はイベントカウンタモードに設定します。

(2)　タイマA0でカウントソースf1をカウントして1msを作成し、タイマA1でタイマA0をカウントして1秒を作成します。

(3)　XINには10MHzの発振子を接続します。

動　作

(1)　カウント開始フラグを“1”にすると、カウンタはカウント動作を開始します。タイマA0のカウンタは、カウントソースf1をダウンカウントします。

(2)　タイマA0のカウンタがアンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。このとき、タイマA0割り込み要求ビットが“1”になります。タイマA1のカウンタはタイマA0のアンダフローをダウンカウントします。

(3)　タイマA1のカウンタがアンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。このとき、タイマA1割り込み要求ビットが“1”になります。

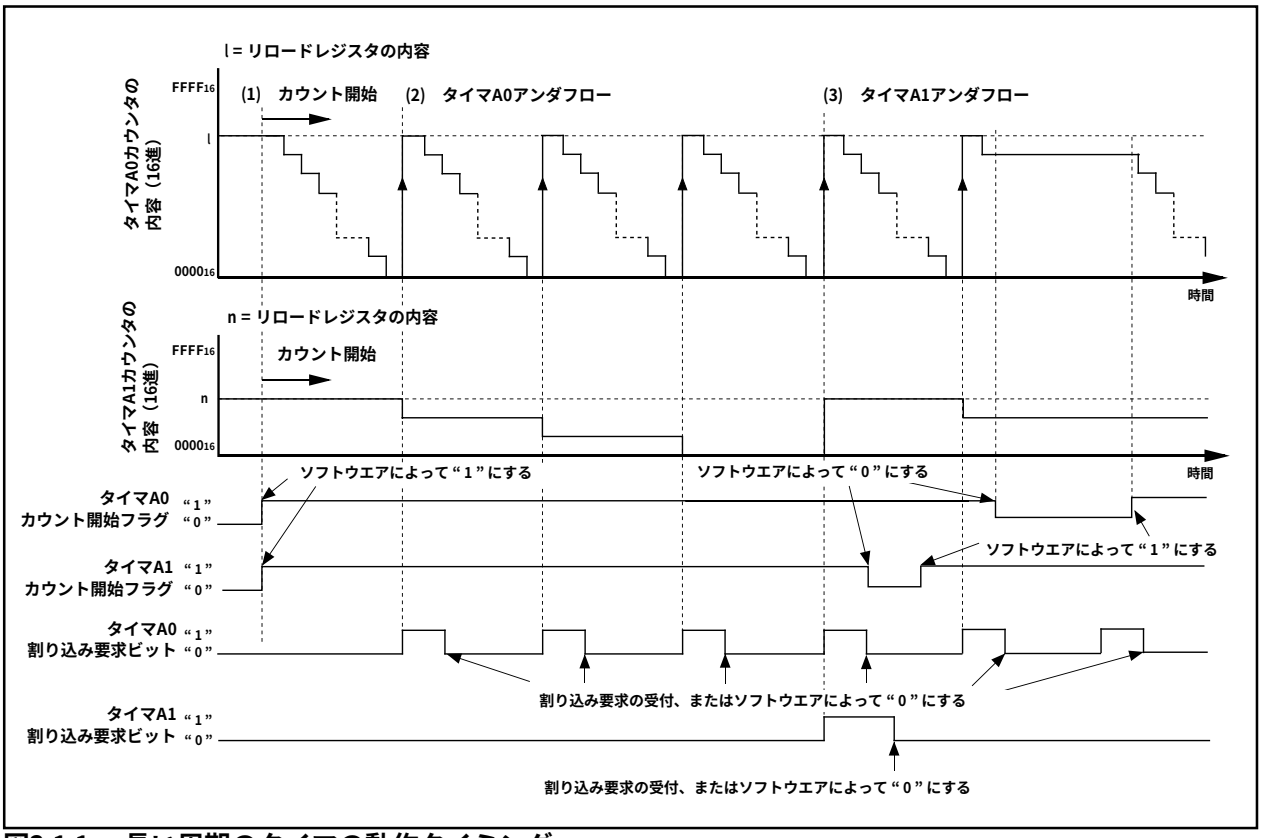


図3.1.1.　長い周期のタイマの動作タイミング

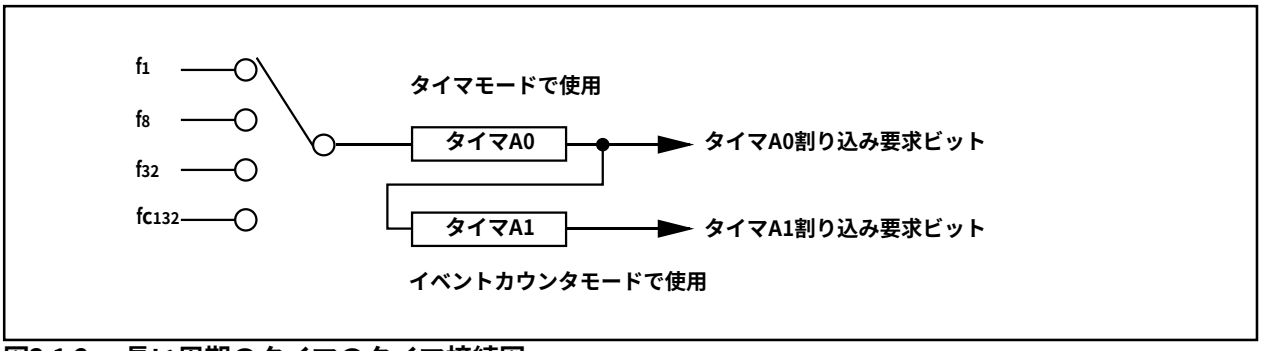


図3.1.2.　長い周期のタイマのタイマ接続図

タイマA0の設定

タイマモードの選択および各機能の選択

b7							b0
0	0	0	0	0	0	0	0

タイマA0モードレジスタ【0396_{16}番地】
TA0MR

- タイマモードの選択
- パルス出力機能選択ビット
  0：パルス出力なし($TA0_{OUT}$端子は通常のポート端子)
- ゲート機能選択ビット
  b4 b3
  0 0：ゲート機能なし($TA0_{IN}$端子は通常のポート端子)
- タイマモードでは“0”を設定してください。
- カウントソース選択ビット
  b7 b6
  0 0：f_1

b7	b6	カウントソース	カウントソースの周期 f(X_{IN}) : 10MHz	f(X_{CIN}) : 32.768kHz
0	0	f_1	100ns	
0	1	f_8	800ns	
1	0	f_{32}	3.2μs	
1	1	f_{C32}(注1)	f_{C1}:30.52μs，f_{C32}:976.56μs	

注1．f_{C32}クロック選択ビット(0007_{16}番地のビット4)により、選択してください。

カウンタ値の設定

(b15) b7	(b8) b0 b7	b0
27_{16}	$0F_{16}$	

タイマA0レジスタ【0387_{16}, 0386_{16}番地】
TA0

タイマA1の設定

イベントカウンタモードの選択および各機能の選択

b7							b0
	0	0	0	0	0	0	1

タイマA1モードレジスタ【0397_{16}番地】
TA1MR

- イベントカウンタモードの選択
- パルス出力機能選択ビット
  0：パルス出力なし($TA1_{OUT}$端子は通常のポート端子)
- カウント極性選択ビット
- アップ / ダウン切り替え要因選択ビット
  0：アップダウンフラグの内容
- イベントカウンタモードでは“0”を設定してください。
- カウントタイプ選択ビット
  0：リロードタイプ
- イベントカウンタモードでは無効。“0”または“1”いずれでも可。

次ページへ続く

図3.1.3.　長い周期のタイマ関連レジスタの設定手順(1)

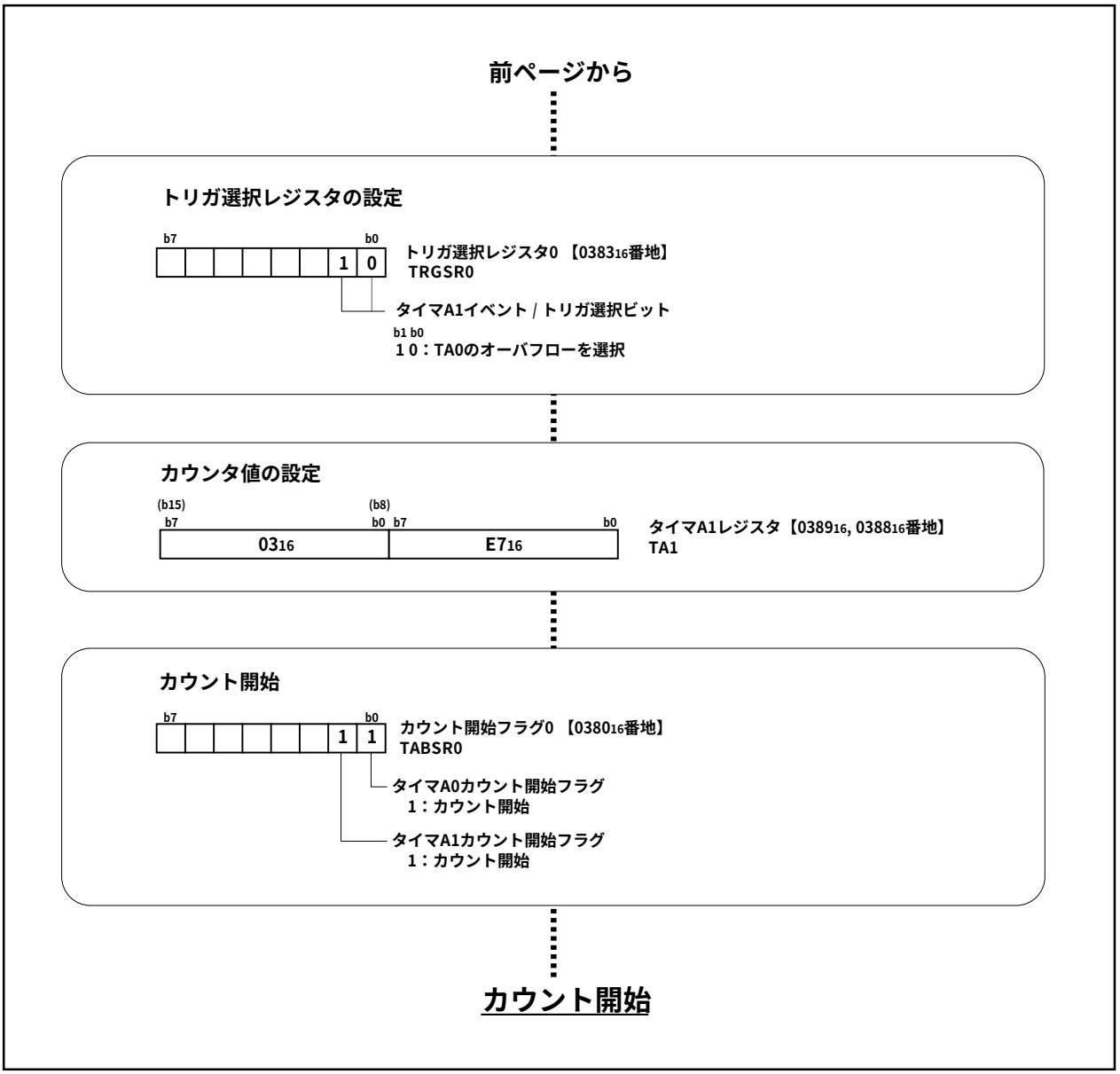


図3.1.4.　長い周期のタイマ関連レジスタの設定手順(2)

3.2　周期およびデューティー可変のPWM出力

概　要　タイマAを2本使用し、周期およびデューティー可変のPWM出力を行います。その動作タイミングを図3.2.1に、接続図を図3.2.2に、設定手順を図3.2.3、図3.2.4に示します。

使用する周辺機能は次のとおりです。

- タイマAのタイマモード
- タイマAのワンショットタイマモード

仕　様

(1)　タイマA0はタイマモードに、タイマA1はパルス出力機能付きワンショットタイマモードに設定します。

(2)　タイマA0にはPWMの周期1msを設定します。タイマA1にはPWMの“H”幅500μsを設定します。タイマA0、タイマA1ともカウントソースにはf1を使用します。

(3)　XINには10MHzの発振子を接続します。

動　作

(1)　カウント開始フラグを“1”にすると、タイマA0のカウンタはカウント動作を開始します。タイマA0のカウンタは、カウントソースf1をダウンカウントします。

(2)　タイマA0のカウンタがアンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。このとき、タイマA0割り込み要求ビットは“1”になります。

(3)　タイマA0のアンダフローをトリガにしてタイマA1のカウンタはカウント動作を開始します。タイマA1のカウンタがカウントを開始するとTA1OUT端子の出力レベルは“H”になります。

(4)　タイマA1のカウンタの値が“0000_{16}”になるとき、TA1OUT端子の出力レベルは“L”になり、カウンタはリロードレジスタの内容をリロードしてカウントを停止します。同時にタイマA1割り込み要求ビットが“1”になります。

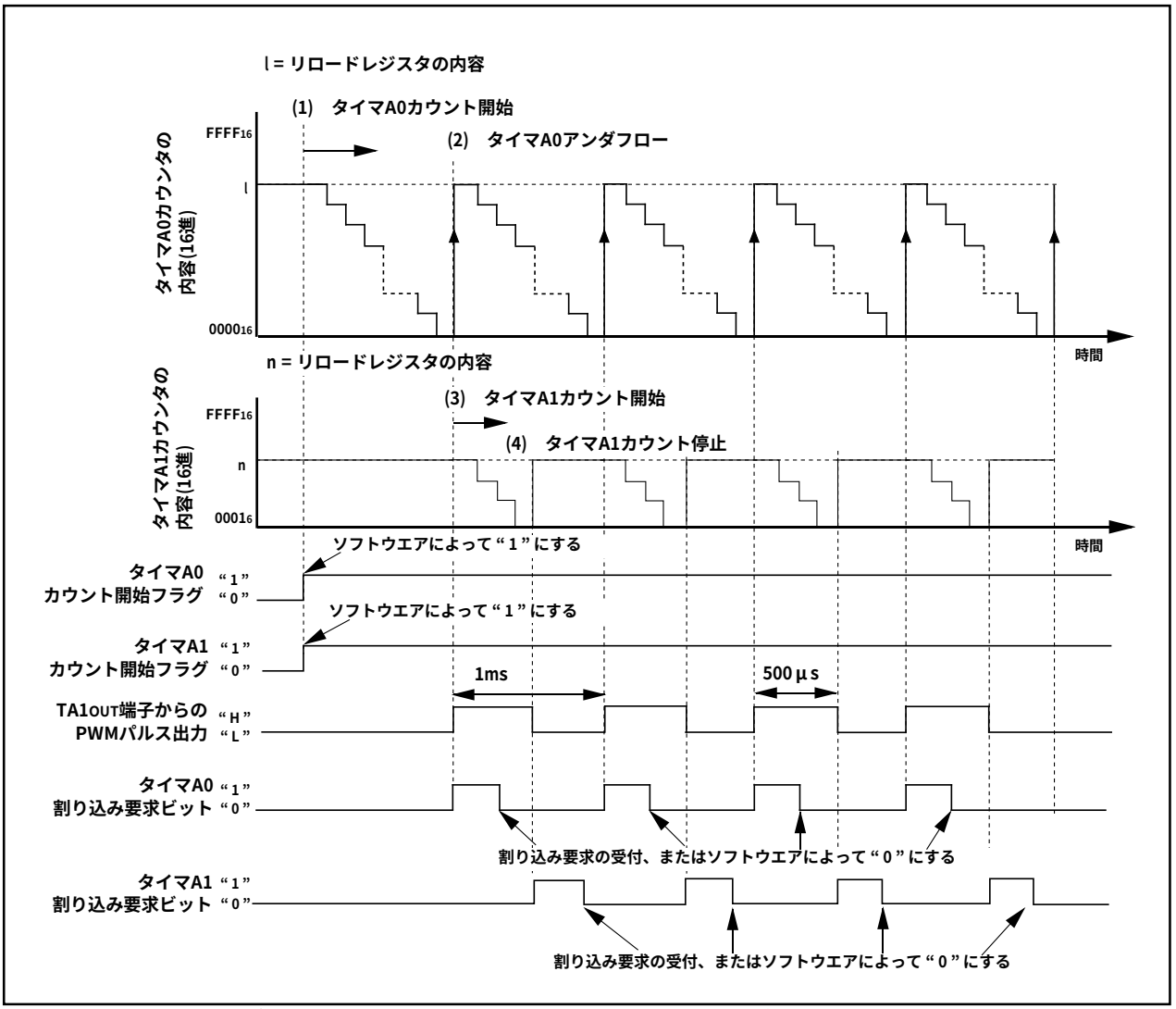


図3.2.1. 周期およびデューティー可変のPWM出力の動作タイミング

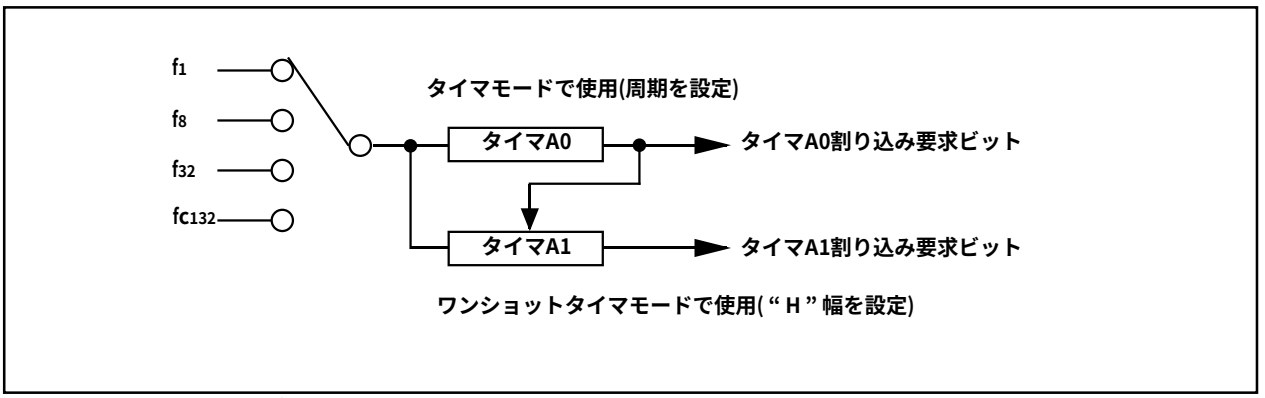


図3.2.2. 周期およびデューティー可変のPWM出力のタイマ接続図

タイマA0の設定

タイマモードの選択および各機能の選択

b7 b0

0	0	0	0	0	0	0	0

タイマA0モードレジスタ【0396_{16}番地】
TA0MR

- タイマモードの選択
- パルス出力機能選択ビット
  0：パルス出力なし(TA0OUT端子は通常のポート端子)
- ゲート機能選択ビット
  b4 b3
  0 0：ゲート機能なし(TA0IN端子は通常のポート端子)
- タイマモードでは“0”を設定してください。
- カウントソース選択ビット
  b7 b6
  0 0：f1

b7	b6	カウントソース	カウントソースの周期 f(XIN) : 10MHz	f(XCIN) : 32.768kHz
0	0	f1	100ns	
0	1	f8	800ns	
1	0	f32	3.2μs	
1	1	fC132(注1)	fC1:30.52μs，fC32:976.56μs	

注1．fC132クロック選択ビット(0007_{16}番地のビット4)により、選択してください。

カウンタ値の設定

(b15) b7 (b8) b0 b7 b0

27_{16}	$0F_{16}$

タイマA0レジスタ【0387_{16}, 0386_{16}番地】
TA0

タイマA1の設定

ワンショットタイマモードの選択および各機能の選択

b7 b0

0	0	0	1	0	1	1	0

タイマA1モードレジスタ 【0397_{16}番地】
TA1MR

- ワンショットタイマモードの選択
- パルス出力機能選択ビット
  1：パルス出力あり
- 外部トリガ選択ビット(タイマのオーバフローをトリガに選択した場合無効)
- トリガ選択ビット
  1：イベント / トリガ選択レジスタにより選択
- ワンショットタイマモードでは“0”を設定してください。
- カウントソース選択ビット
  b7 b6
  0 0：f1

b7	b6	カウントソース	カウントソースの周期 f(XIN) : 10MHz	f(XCIN) : 32.768kHz
0	0	f1	100ns	
0	1	f8	800ns	
1	0	f32	3.2μs	
1	1	fC132(注1)	fC1:30.52μs，fC32:976.56μs	

注1．fC132クロック選択ビット(0007_{16}番地のビット4)により、選択してください。

次ページへ続く

図3.2.3.　周期およびデューティー可変のPWM出力関連レジスタの設定手順(1)

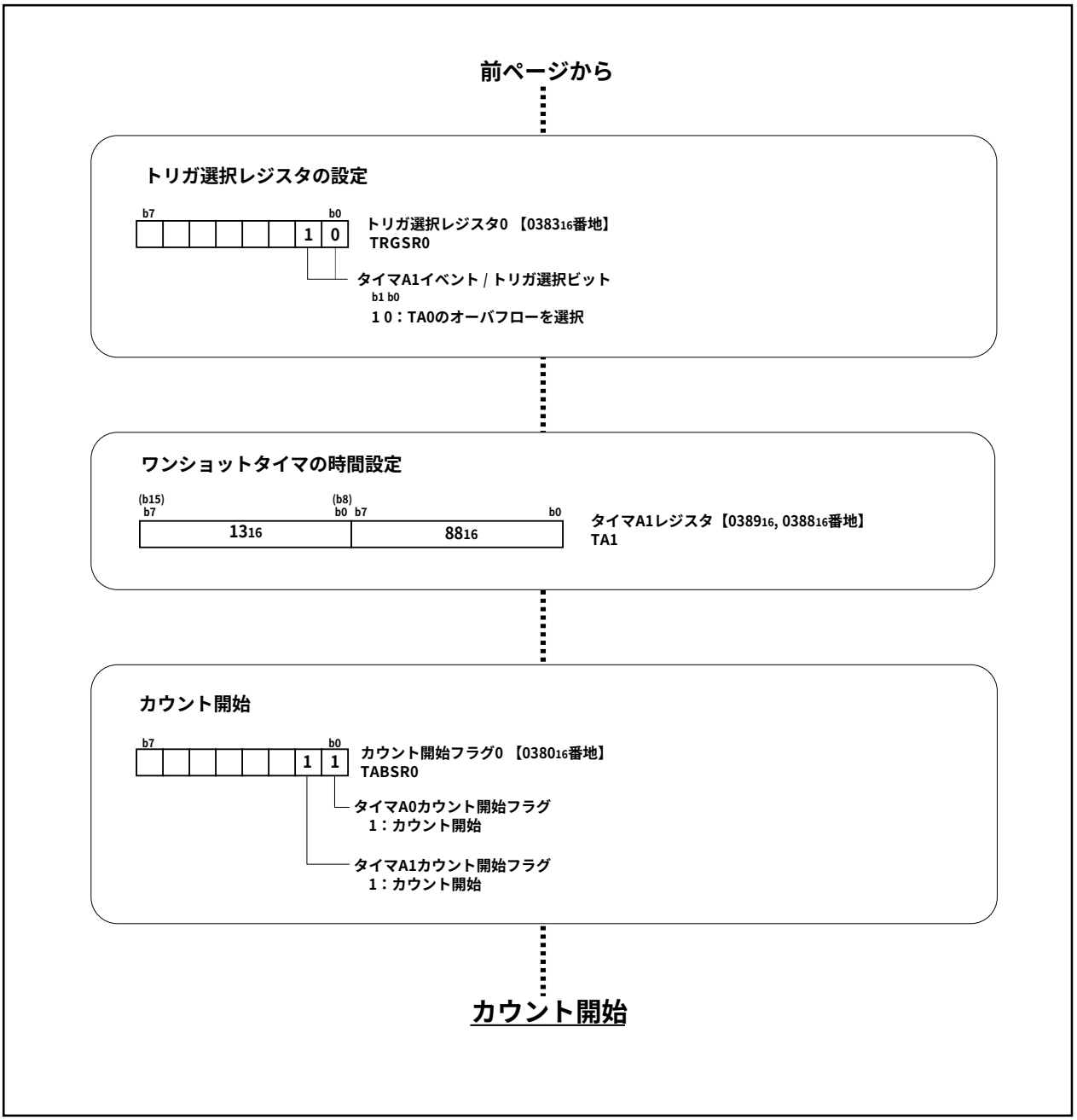


図3.2.4.　周期およびデューティー可変のPWM出力関連レジスタの設定手順(2)

3.3 ディレードワンショット出力

概　要　外部トリガを入力してから一定時間経過後に1度だけパルス出力を行います。その動作タイミングを図3.3.1に、接続図を図3.3.2に、設定手順を図3.3.3、図3.3.4に示します。

使用する周辺機能は次のとおりです。

● タイマAのワンショットタイマモード

仕　様

(1) タイマA0はワンショットタイマモードに、タイマA1はパルス出力機能付きワンショットタイマモードに設定します。

(2) タイマA0にパルスが出るまでの時間1msを、タイマA1にパルス幅50μsを設定します。タイマA0、タイマA1ともカウントソースにはf1を使用します。

(3) XINには10MHzの発振子を接続します。

動　作

(1) トリガ選択ビットを“1”、カウント開始フラグを“1”にすると、タイマA0のカウンタはカウント許可状態になります。

(2) TA0IN端子に外部トリガ選択ビットで選択した有効エッジが入力されるとカウンタはカウントを開始します。タイマA0のカウンタは、カウントソースf1をダウンカウントします。

(3) タイマA0のカウンタが“0000_{16}”になるとき、カウンタはリロードレジスタの内容をリロードしてカウントを停止します。同時に、タイマA0割り込み要求ビットが“1”になります。

(4) タイマA0のアンダフローをトリガにしてタイマA1のカウンタはカウント動作を開始します。タイマA1がカウントを開始すると、TA1OUT端子の出力レベルは“H”になります。

(5) タイマA1のカウンタが“0000_{16}”になるとき、TA1OUT端子の出力レベルは“L”になり、カウンタはリロードレジスタの内容をリロードしてカウントを停止します。同時にタイマA1割り込み要求ビットが“1”になります。

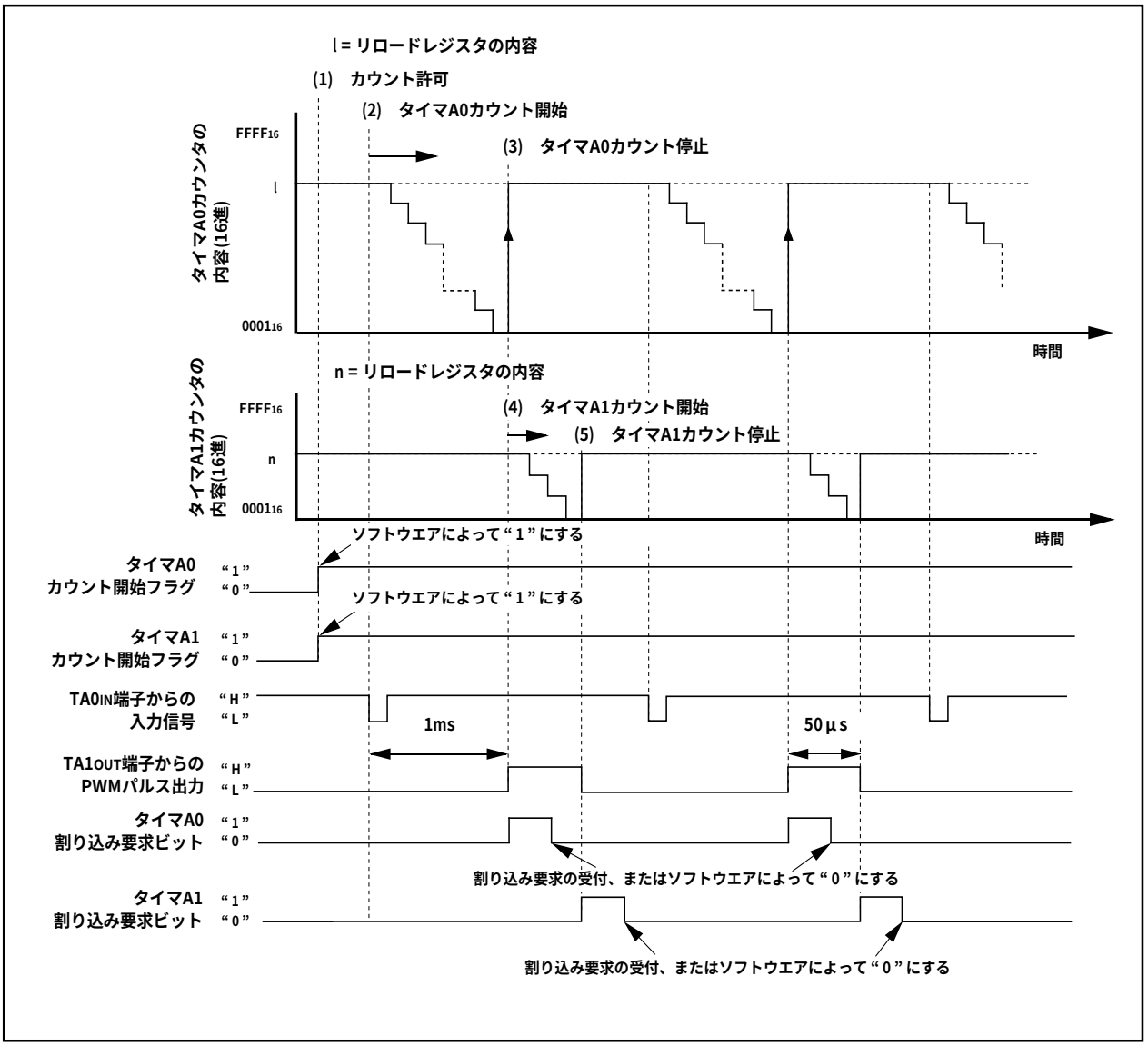


図3.3.1. ディレードワンショット出力の動作タイミング

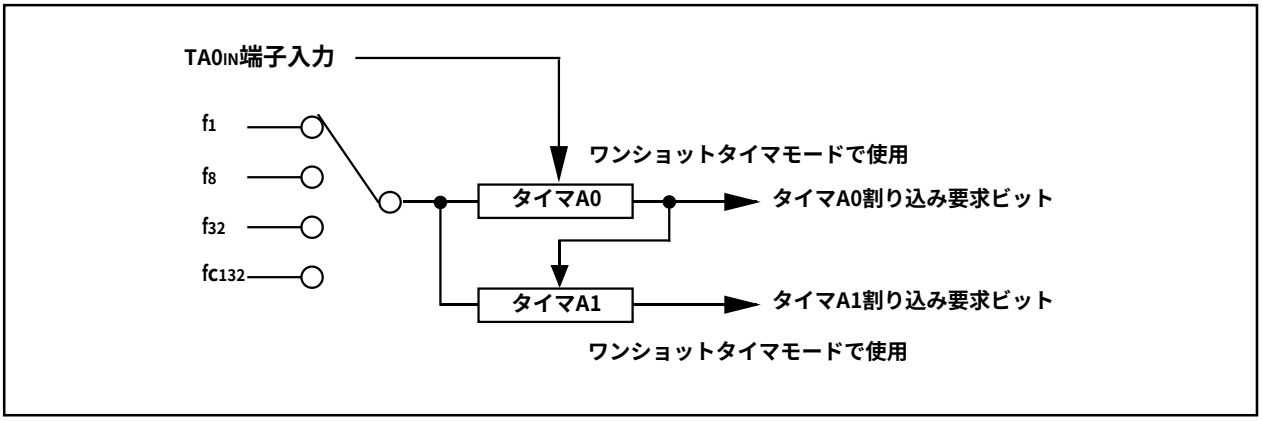


図3.3.2. ディレードワンショット出力のタイマ接続図

タイマA0の設定

ワンショットタイマモードの選択および各機能の選択

b7							b0
0	0	0	1	0	0	1	0

タイマA0モードレジスタ【0396_{16}番地】
TA0MR

- ワンショットタイマモードの選択
- パルス出力機能選択ビット
  0：パルス出力なし($TA0_{OUT}$端子は通常のポート端子)
- 外部トリガ選択ビット
  0：$TA0_{IN}$端子の入力信号の立ち下がり
- トリガ選択ビット
  1：イベント / トリガ選択レジスタにより選択
- ワンショットタイマモードでは“0”を設定してください。
- カウントソース選択ビット
  b7 b6
  0 0：f_1

b7	b6	カウントソース	カウントソースの周期 f(X_{IN}) : 10MHz　f(X_{CIN}) : 32.768kHz
0	0	f_1	100ns
0	1	f_8	800ns
1	0	f_{32}	3.2μs
1	1	f_{C32}(注1)	f_{C1}:30.52μs，f_{C32}:976.56μs

注1．f_{C32}クロック選択ビット(0007_{16}番地のビット4)により、選択してください。

ワンショット開始フラグの設定
(TA0のトリガに$TA0_{IN}$端子を選択)

b7							b0
		╳					

ワンショット開始フラグ0 【0382_{16}番地】
ONSF0

- タイマA0イベント / トリガ選択ビット
  b7 b6
  0 0：$TA0_{IN}$端子の入力を選択(注1)

注1.　対応するポート方向レジスタは“0”にしてください。

遅延時間設定

(b15) b7	(b8) b0 b7	b0
27_{16}	10_{16}	

タイマA0レジスタ【0387_{16}, 0386_{16}番地】
TA0

次ページへ続く

図3.3.3.　ディレードワンショット出力の関連レジスタの設定手順(1)

前ページから

タイマA1の設定

ワンショットタイマモードの選択および各機能の選択

b7 b0

0	0	0	1	0	1	1	0

タイマA1モードレジスタ【0397$_{16}$番地】
TA1MR

- ワンショットタイマモードの選択
- パルス出力機能選択ビット
  1：パルス出力あり(TA1$_{OUT}$端子はパルス出力端子)
- 外部トリガ選択ビット
  タイマのオーバフローを選択するときは無効
- トリガ選択ビット
  1：イベント / トリガ選択レジスタにより選択
- ワンショットタイマモードでは“0”を設定してください。
- カウントソース選択ビット
  b7 b6
  0 0：f_1

b7	b6	カウントソース	カウントソースの周期 f(X$_{IN}$) : 10MHz　f(X$_{CIN}$) : 32.768kHz
0	0	f_1	100ns
0	1	f_8	800ns
1	0	f_{32}	3.2μs
1	1	f_{C32}(注1)	f_{C1}:30.52μs，f_{C32}:976.56μs

注1．f_{C32}クロック選択ビット(0007$_{16}$番地のビット4)により、選択してください。

トリガ選択レジスタの設定
(タイマA1にトリガをかけるタイマA0を設定)

b7 b0

						1	0

トリガ選択レジスタ0 【0383$_{16}$番地】
TRGSR0

- タイマA1イベント / トリガ選択ビット
  b1 b0
  1 0：TA0のオーバフローを選択

ワンショットタイマの時間設定

(b15) b7　(b8) b0　b7　b0

01$_{16}$	F4$_{16}$

タイマA1レジスタ【0389$_{16}$, 0388$_{16}$番地】
TA1

カウント開始

b7 b0

						1	1

カウント開始フラグ0 【0380$_{16}$番地】
TABSR0

- タイマA0カウント開始フラグ
  1：カウント開始
- タイマA1カウント開始フラグ
  1：カウント開始

カウント開始

図3.3.4.　ディレードワンショット出力の関連レジスタの設定手順(2)

3.4 ブザーの出力

概　要　タイマモードを使用してブザーを鳴らします。その動作タイミングを図3.4.1に、設定手順を図3.4.2に示します。

使用する周辺機能は次のとおりです。

● タイマAのタイマモード　パルス出力機能

仕　様

(1) タイマA1を利用して2kHzのブザーを鳴らします。

(2) ポートにはプルアップ抵抗でプルアップします。ブザーがOFFのときは、ポートをハイインピーダンスにしてプルアップした電位に固定します。

(3) XINには10MHzの発振子を接続します。

動　作

(1) タイマA1のカウントを開始します。タイマA1は、割り込み禁止に設定します。

(2) パルス出力機能選択ビットを“パルス出力あり”としてパルスを開始します。P42は、TA1OUT端子となり2kHzのパルスを出力します。

(3) パルス出力機能選択ビットをパルスを出力なしとしてパルスの出力を停止します。P42は、入力端子となり端子の出力はハイインピーダンスになります。

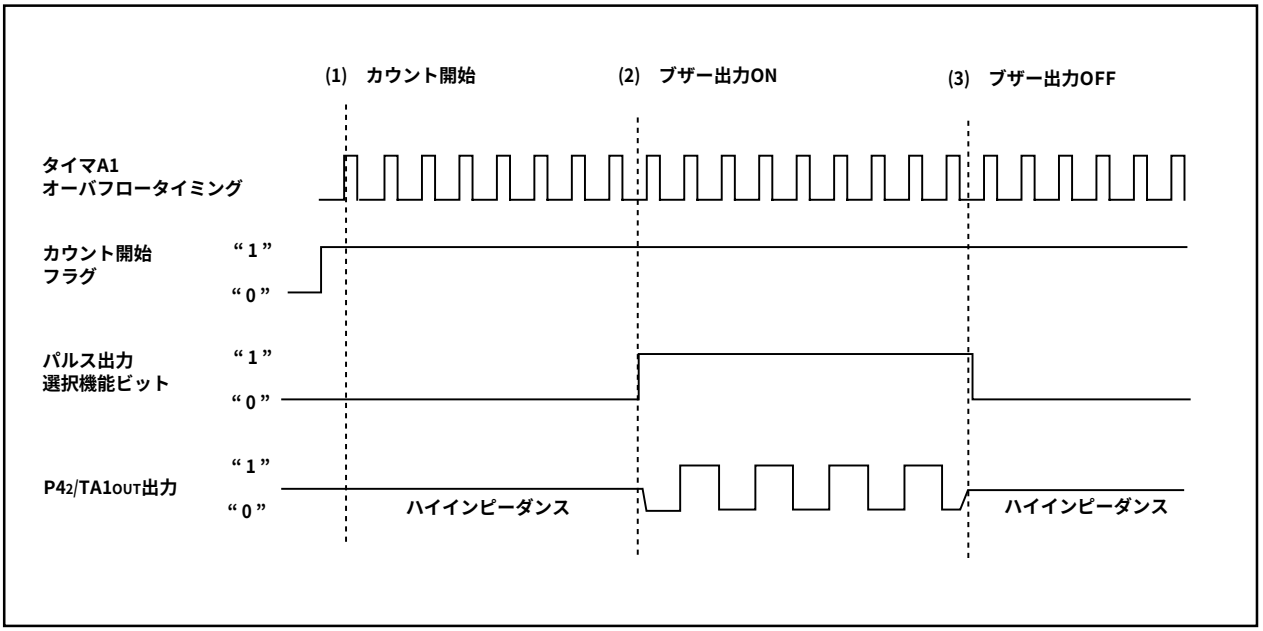


図3.4.1. ブザー出力の動作図

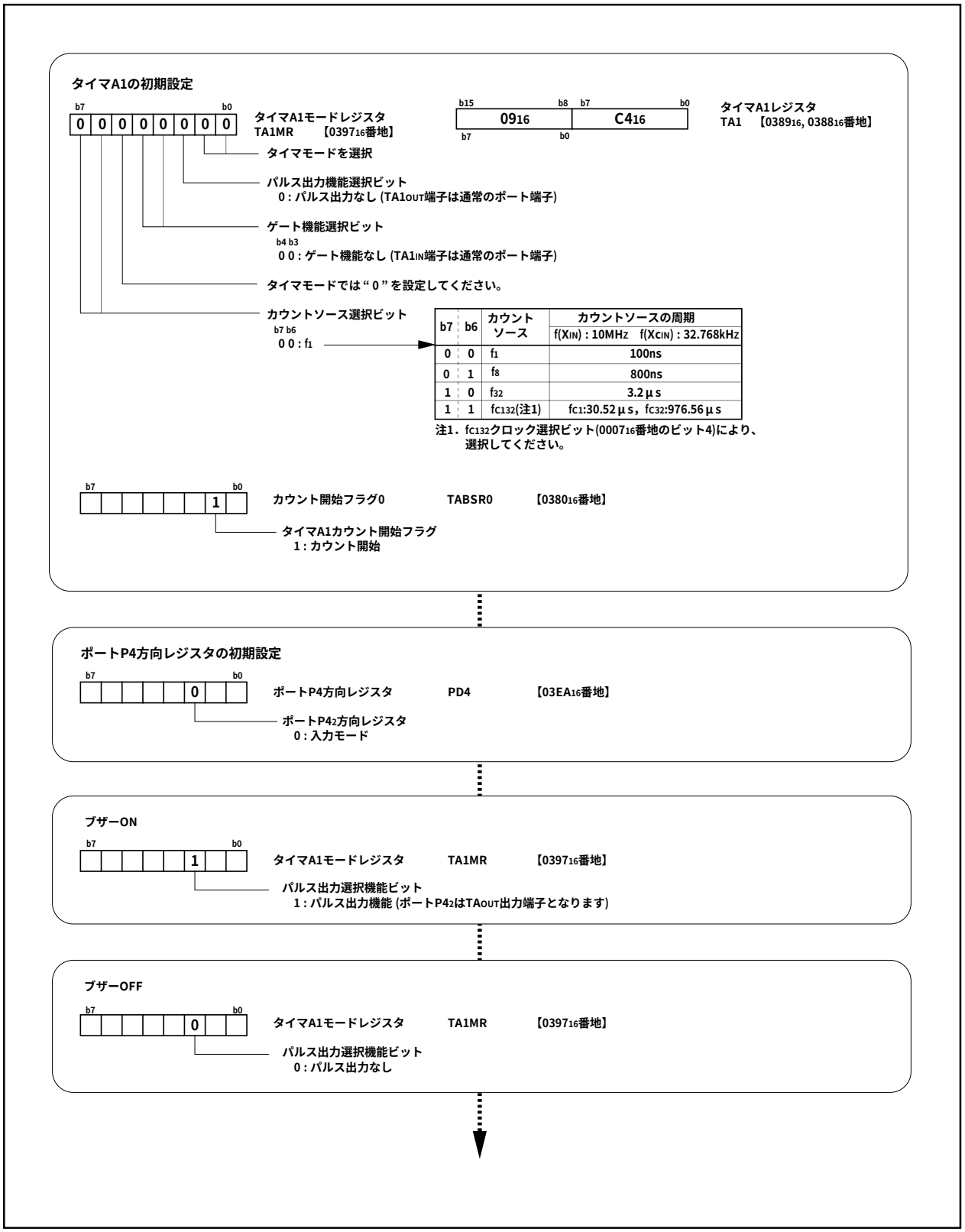


図3.4.2. ブザー出力の設定手順

3.5 外部割り込み端子が不足したときの対処方法

概　要　外部割り込み端子が不足したときの対処例を示します。その設定手順を図3.5.1に示します。
使用する周辺機能は次のとおりです。

- タイマAのイベントカウントモード

仕　様　(1) TA0IN端子に立ち下がりエッジを入力するとタイマA0割り込みが発生します。

動　作　(1) タイマA0をイベントカウントモードにします。タイマ値は、“0”に設定します。タイマA0の割り込み許可レベルを設定します。
(2) TA0IN端子に立ち下がりエッジを入力するとタイマA0割り込みが発生します。

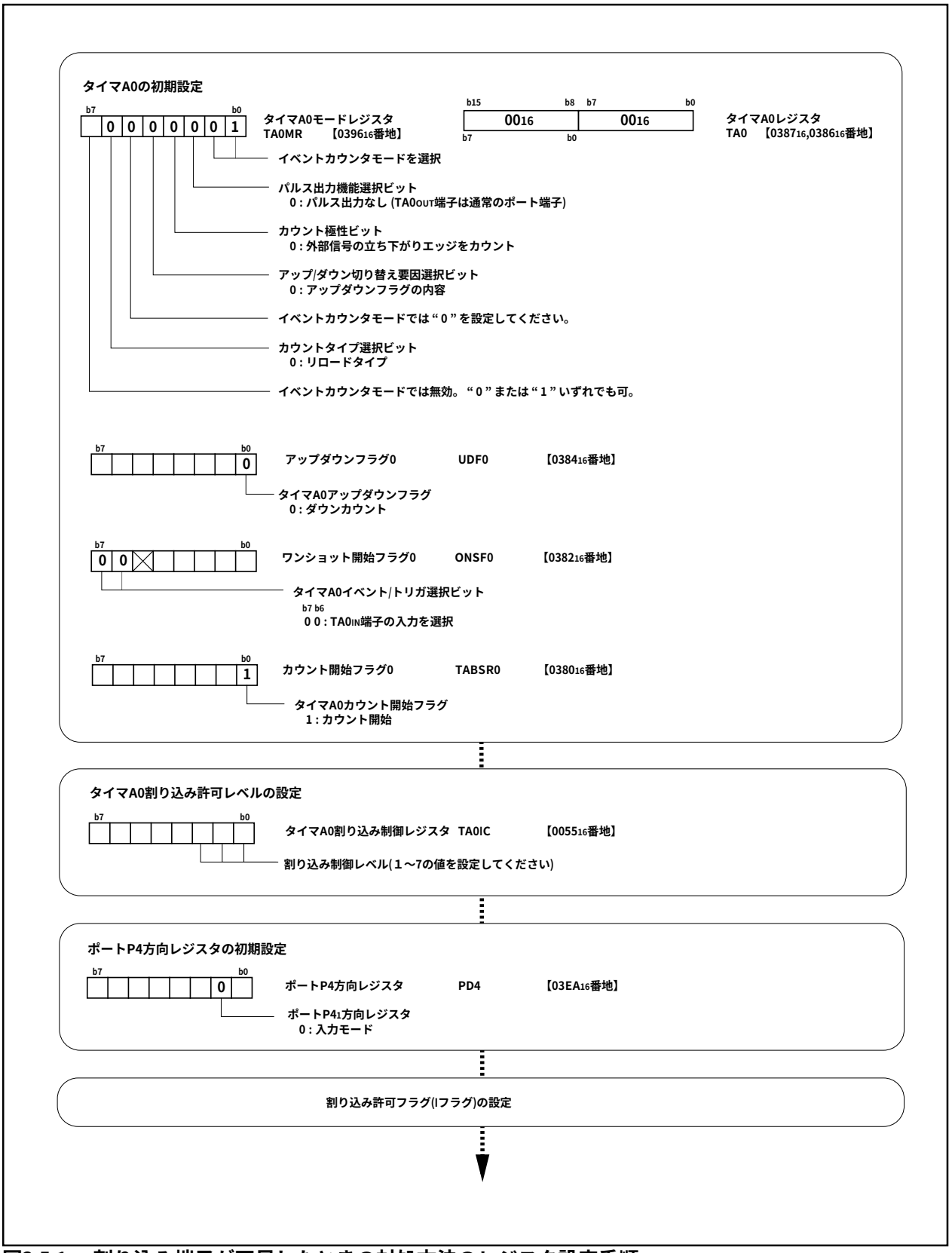


図3.5.1. 割り込み端子が不足したときの対処方法のレジスタ設定手順

3.6 メモリからメモリへのDMA転送例

概　要　転送先のアドレスと転送元のアドレスを共に変えて、メモリからメモリへDMA転送を行います。

このDMA転送は、2チャネルのDMAに同時に転送要求が発生するとDMA0の転送を優先するという仕様を利用したものです。その動作タイミングを図3.6.1に、ブロック図を図3.6.2に、設定手順を図3.6.3、図3.6.4に示します。

使用する周辺機能は次のとおりです。

- タイマAのタイマモード
- DMAC　2チャネル
- テンポラリRAM(0800_{16}番地)　1バイト

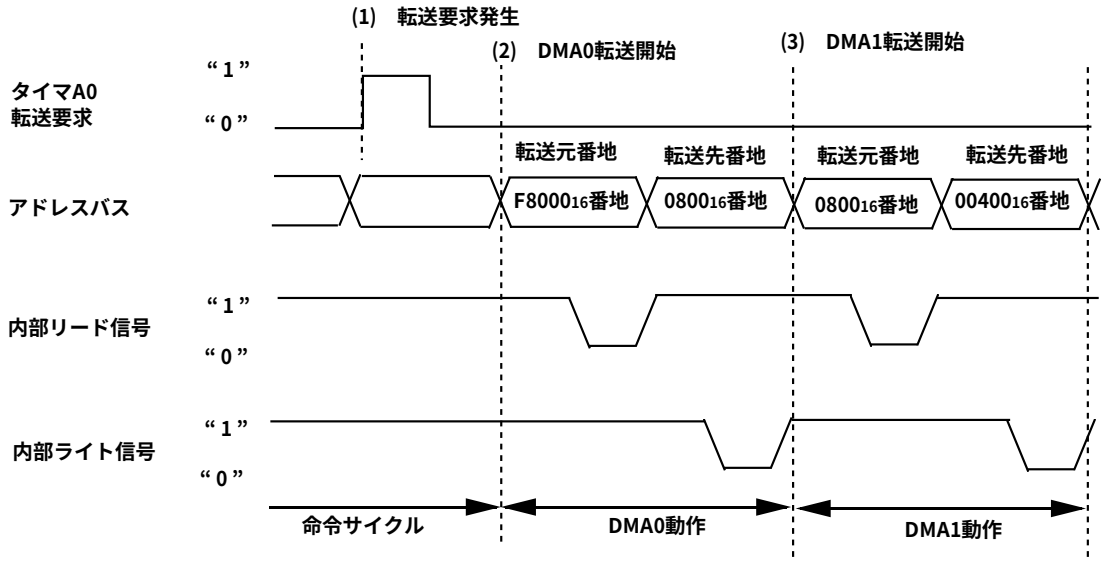
仕　様　(1)　$F8000_{16}$番地から128バイトのメモリの内容を00400_{16}番地から128バイトの領域へ転送します。転送は、タイマA0の割り込み要求が発生するたびに行います。

(2)　DMA0を転送元から内蔵メモリへの転送、DMA1を内蔵メモリから転送先への転送で使用します。

動　作　(1)　タイマAの割り込み要求が発生します。DMA0の転送要求とDMA1の転送要求が同時に発生しますが、DMA0が優先して実行されます。

(2)　転送要求を受けてDMA0が転送元から内蔵メモリへ転送します。同時に、転送元アドレスがインクリメントします。

(3)　次にDMA1が転送要求を受けて内蔵メモリから転送先へ転送します。同時に、転送先アドレスがインクリメントします。



注1　サイクルスチール動作のためDMA0とDMA1の動作が連続して実行されるとは限りません。
注2　命令のサイクルは、命令によって違います。

図3.6.1.　メモリからメモリへのDMA転送動作タイミング

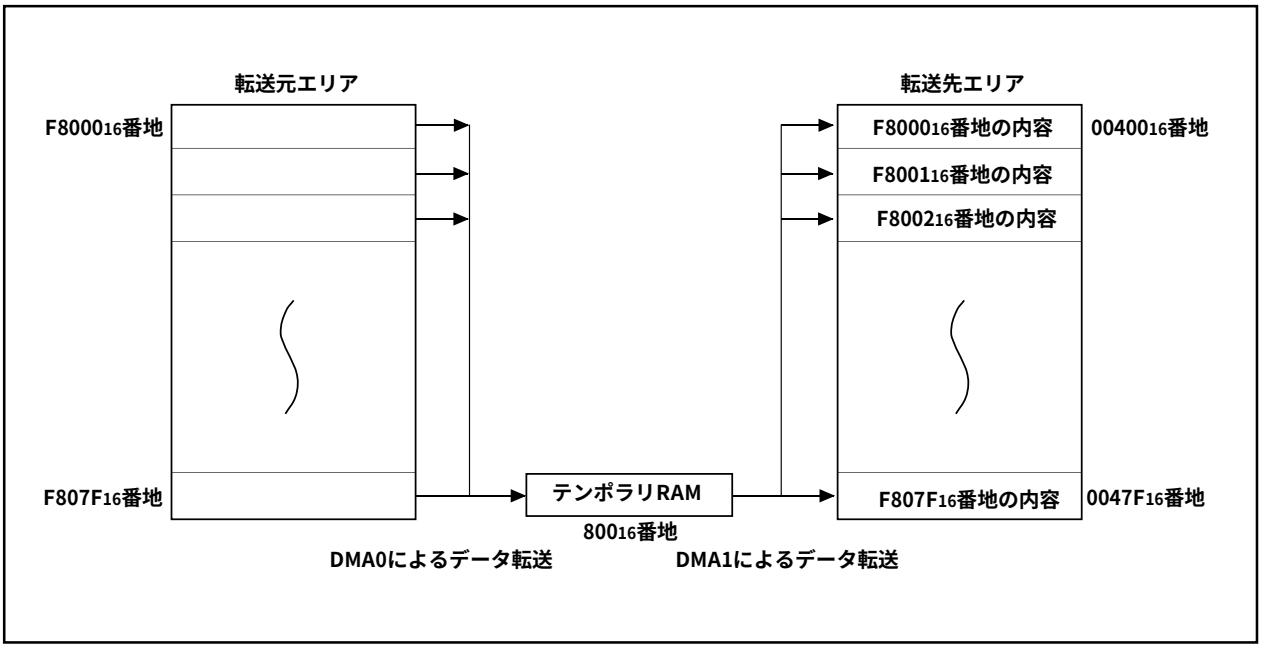


図3.6.2.　メモリからメモリへのDMA転送のブロック図

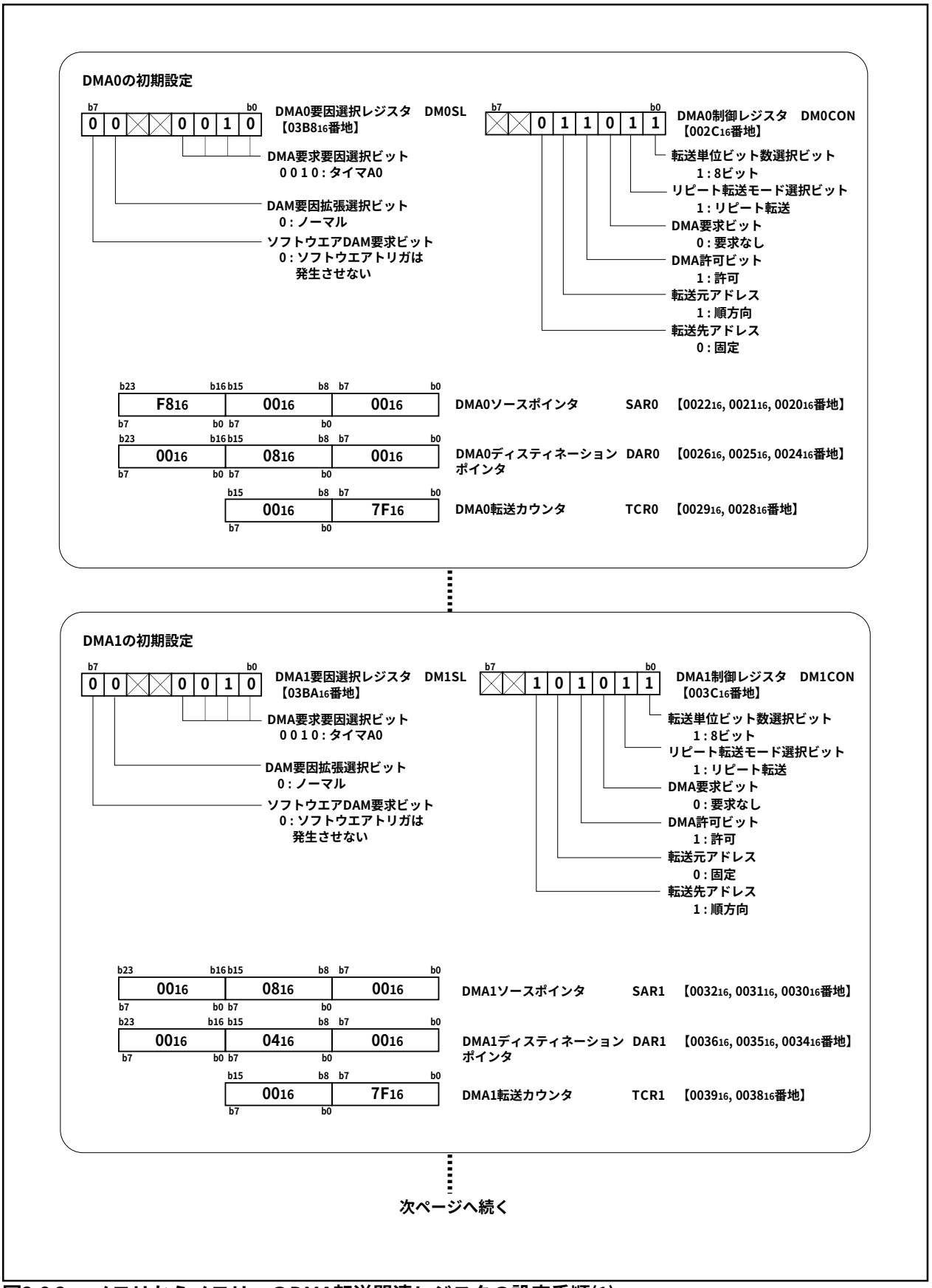


図3.6.3. メモリからメモリへのDMA転送関連レジスタの設定手順(1)

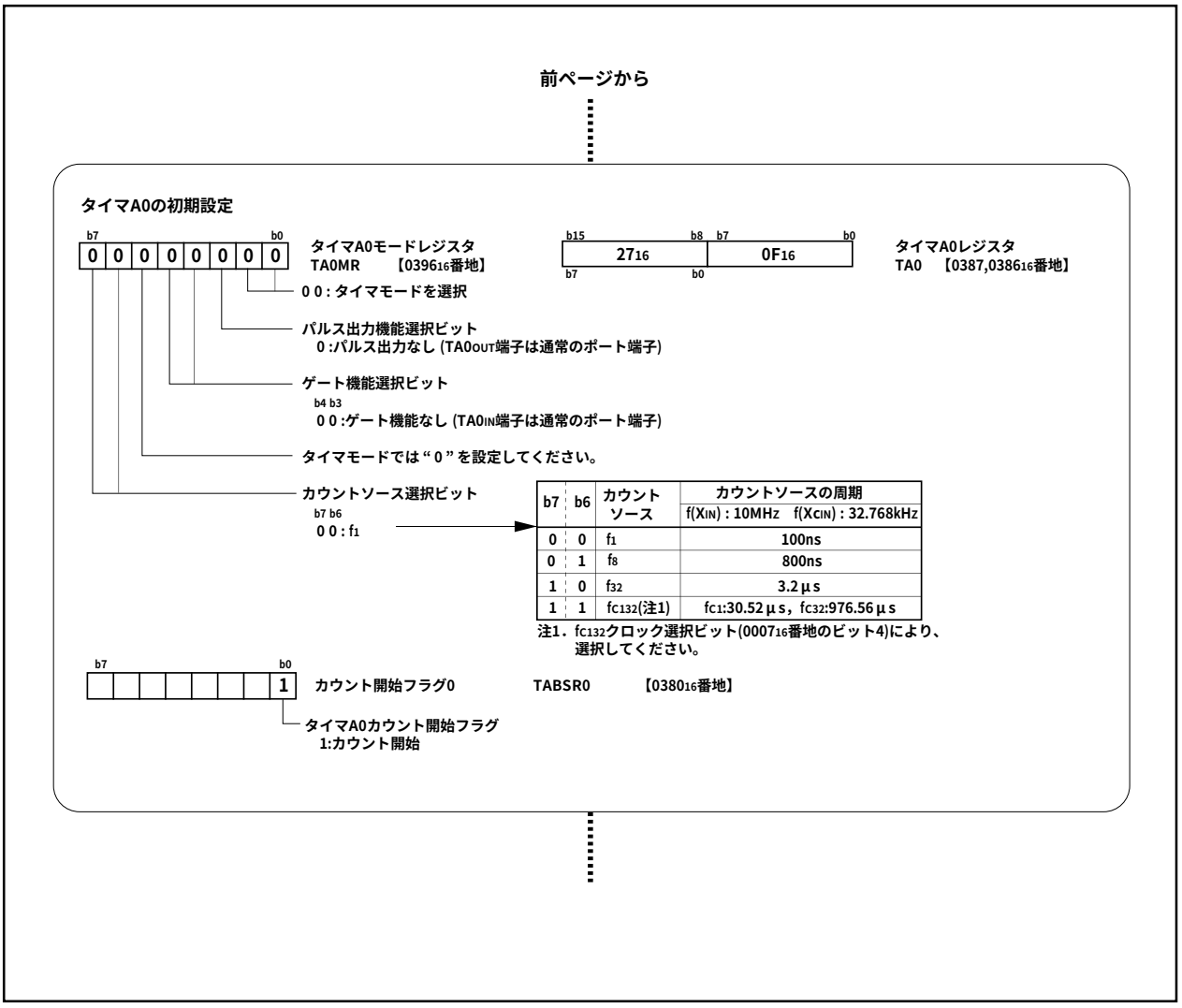


図3.6.4. メモリからメモリへのDMA転送関連レジスタの設定手順(2)

3.7 ダイヤルスイッチ入力

概　要　2入力割り込みと二相パルス信号処理を使用してダイヤルスイッチ入力処理を実現します。その接続例を図3.7.1に、動作タイミングを図3.7.2に、設定手順を図3.7.3～図3.7.5に示します。

使用する周辺機能は次のとおりです。

- タイマAのイベントカウンタモード　二相パルス信号処理を使用
- 外部割り込み　2入力割り込み

仕　様

(1) タイマA3はイベントカウンタモードを使用し、二相パルス信号の4逓倍処理動作およびカウント動作をフリーランタイプに設定します。

(2) $\overline{\text{INT4}}$は2入力割り込みに設定します。

動　作

(1) $\overline{\text{INT4}}$割り込みを許可に設定し、タイマA3のカウントを開始します。

(2) TA3OUT端子の入力信号が“H”レベルの期間にTA3IN端子が立ち上がる位相関係の場合、TA3OUT、TA3IN端子の立ち上がり、立ち下がりをアップカウントします。TA3OUT端子の入力信号が“H”レベルの期間にTA3IN端子が立ち下がる位相関係の場合、TA3OUT、TA3IN端子の立ち上がり、立ち下がりをダウンカウントします。

(3) タイマA3のカウンタがオーバフローまたはアンダフローしても、リロードレジスタからリロードせずにカウントを続けます。

(4) $\overline{\text{INT4}}$は排他端子が“H”のときに立ち上がりエッジを入力すると割り込みが発生します。

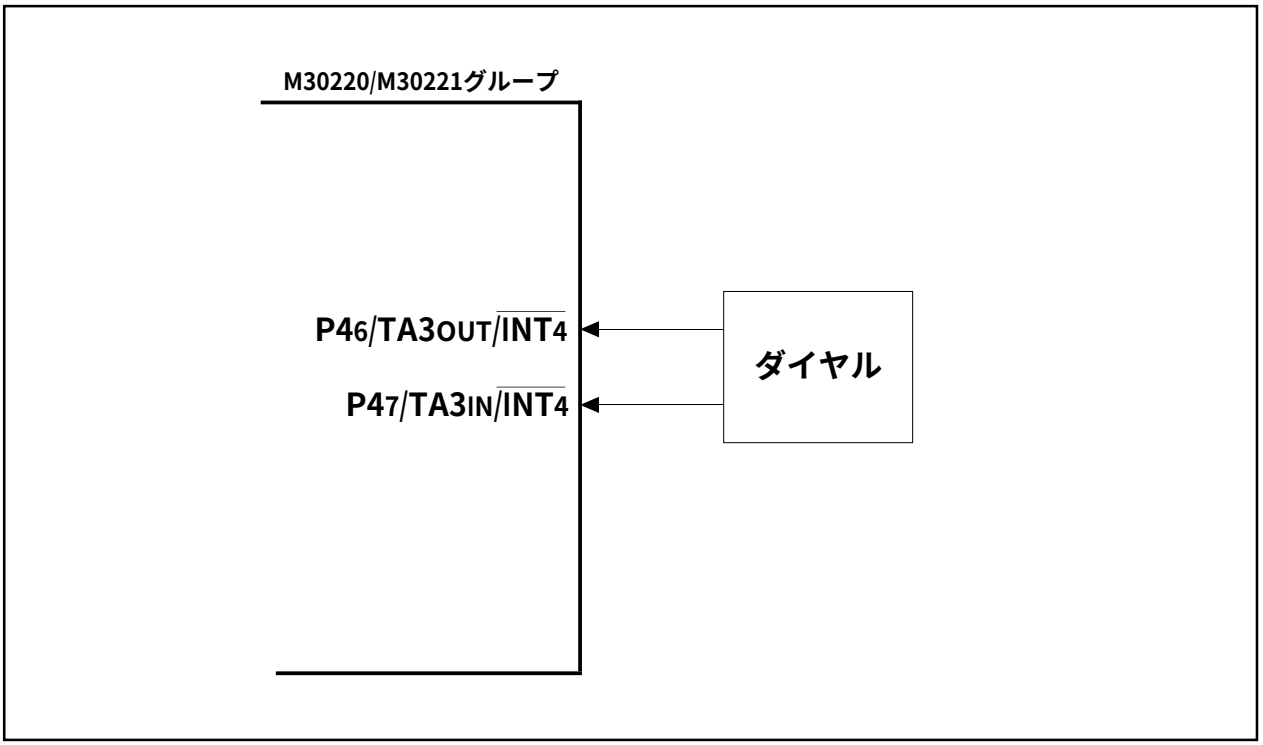


図3.7.1.　ダイヤルスイッチの接続例

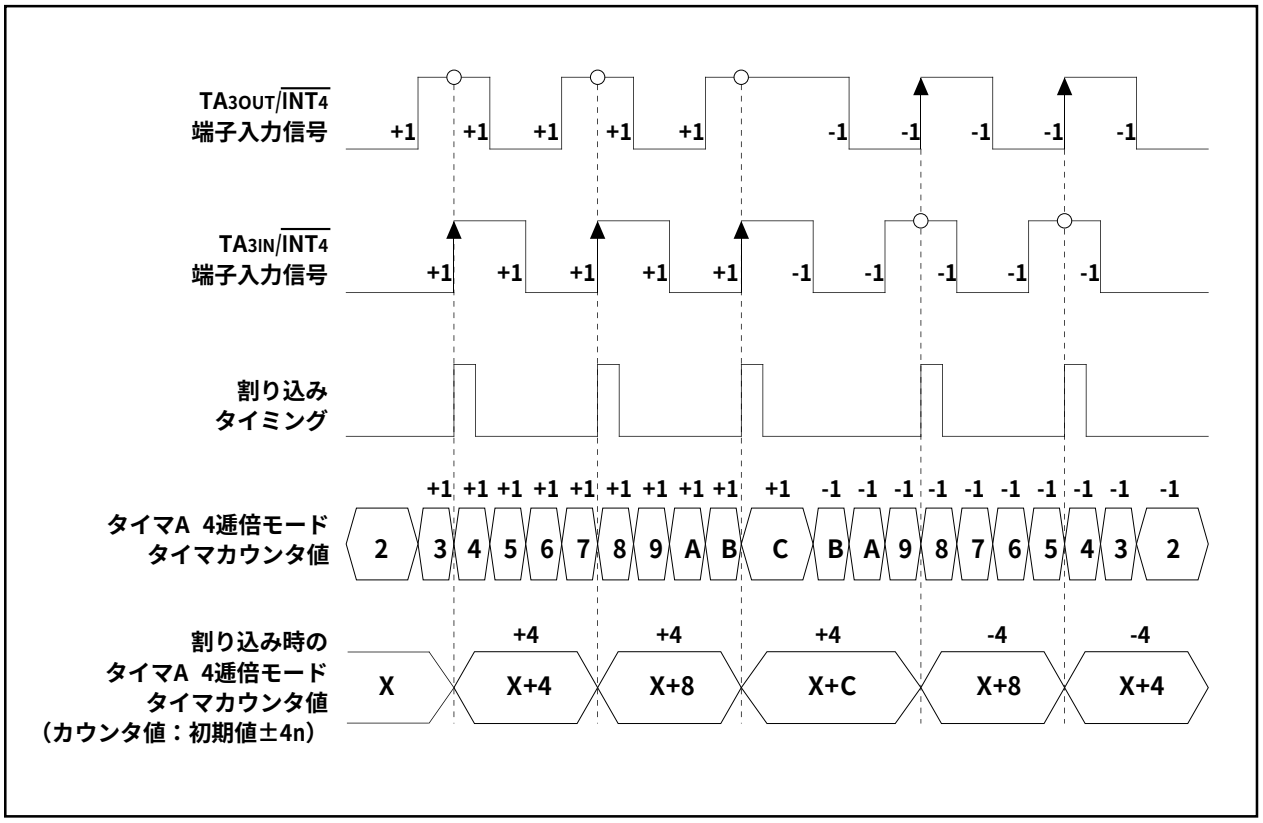


図3.7.2.　ダイヤルスイッチ入力の動作タイミング

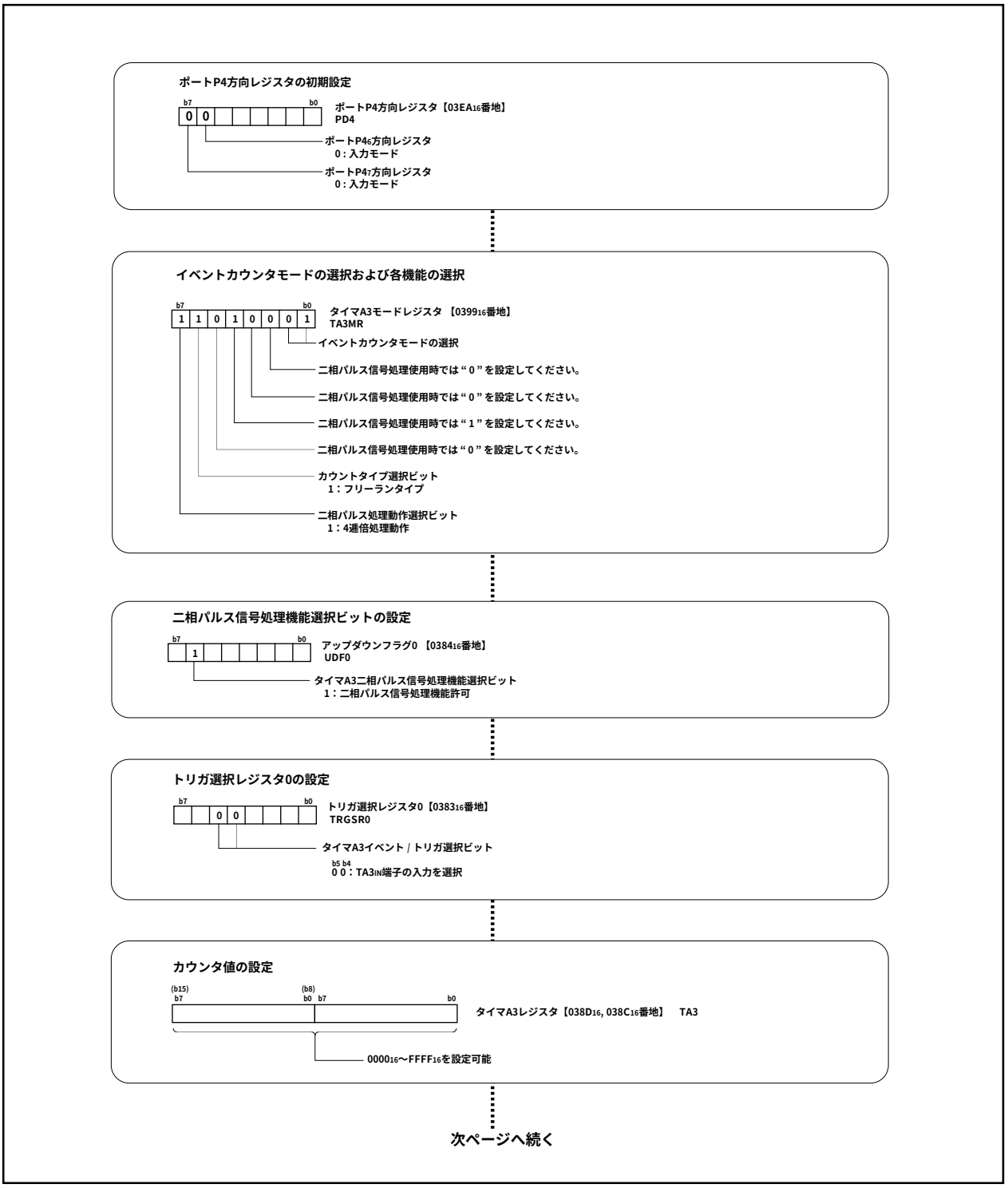


図3.7.3. ダイヤルスイッチ入力処理の設定手順(1)

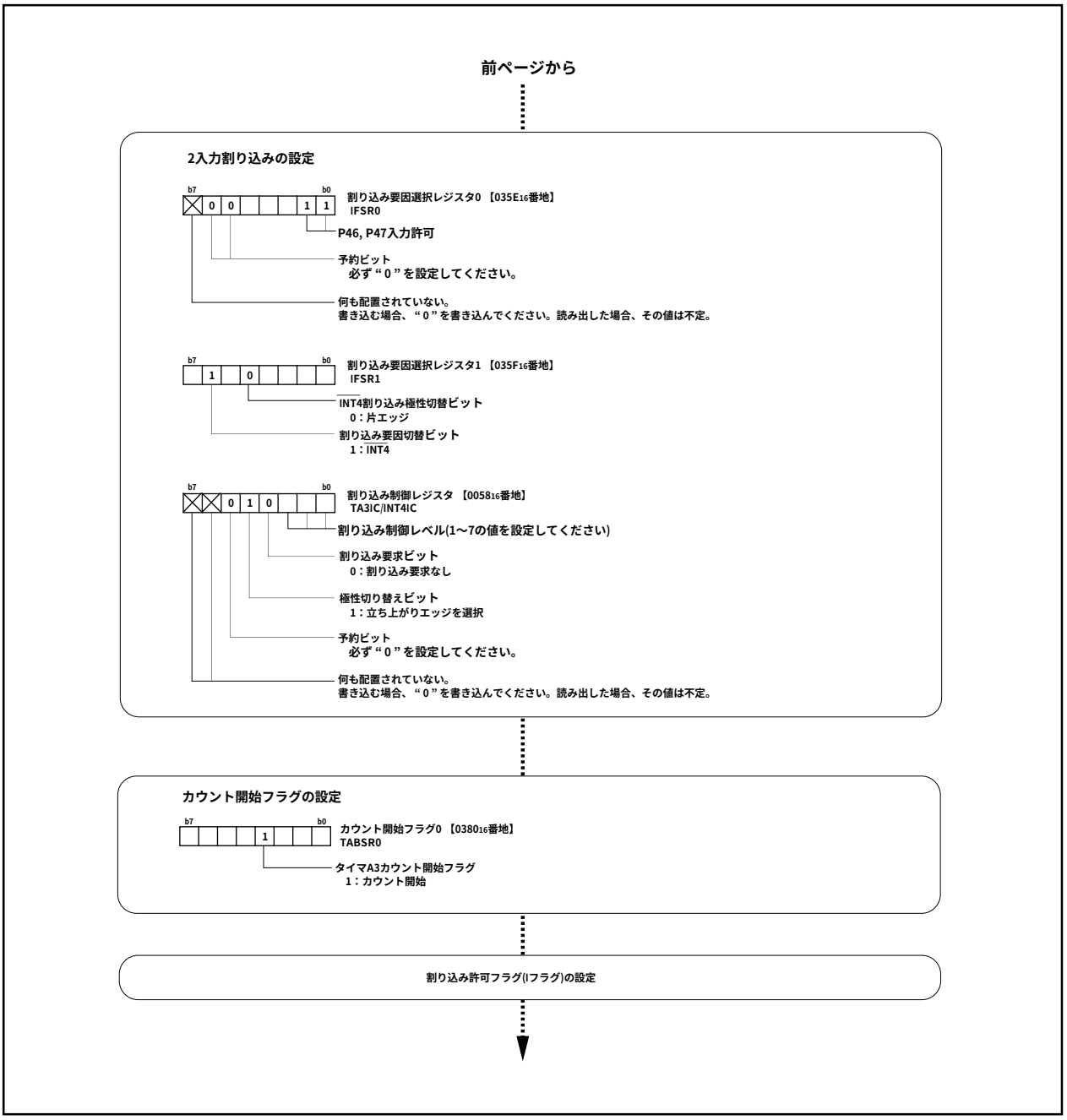


図3.7.4.　ダイヤルスイッチ入力処理の設定手順(2)

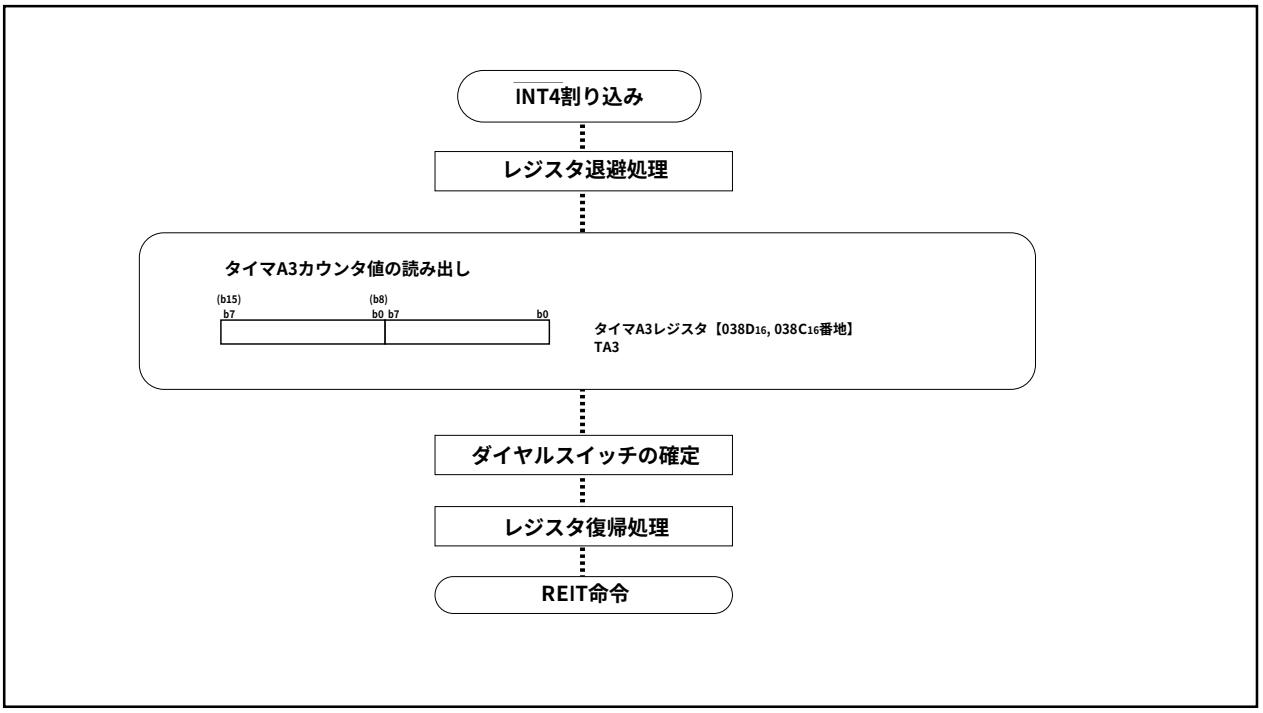


図3.7.5.　ダイヤルスイッチ入力処理の設定手順(3)

レイアウトの都合上、このページは白紙です。

3.8 ステッピングモータ制御

概　要　リアルタイムポート出力を使用してデジタルカメラ用モータドライバIC(M61019FP*)を制御し、ステッピングモータ駆動波形を出力します。その接続例を図3.8.1に、動作タイミングを図3.8.2に、設定手順を図3.8.3～図3.8.6に示します。

使用する周辺機能は次のとおりです。

- タイマAのタイマモード
- $P0_0$～$P0_3$リアルタイムポートモード

＊M61019FPにつきましては、付録5のデータシートを参照ください。

仕　様

(1) タイマA0はゲート機能なしのタイマモードに、$P0_0$～$P0_3$はリアルタイムポートモードに設定します。

(2) タイマA0にはステッピングモータ駆動波形の1/4周期1msを設定します。タイマA0のカウントソースにはf_1を使用します。

(3) X_{IN}には10MHzの発振子を接続します。

動　作

(1) カウント開始フラグを“1”にすると、タイマA0のカウンタはカウント動作を開始します。タイマA0のカウンタは、カウントソースf_1をダウンカウントします。

(2) タイマA0のカウンタがアンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。このとき、タイマA0割り込み要求ビットは“1”になります。

(3) 最初の出力データは、ポートP0方向レジスタのb_0～b_3を入力、リアルタイムポートモード選択ビットを“0”にしてポートP0レジスタのb_0～b_3に書き込み、タイマA0のアンダフローによりリアルタイムポートラッチにラッチさせます。

(4) リアルタイムポート用データは、タイマA0割り込み処理の中でポートP0レジスタのb_0～b_3に書き込みます。タイマA0がアンダフローするたびに、リアルタイムポート用データがリアルタイムポートラッチにラッチされ、それぞれ対応したポートからデータが出力されます。リアルタイムポート用データが出力されるのはタイマA0の次のアンダフロー時です。

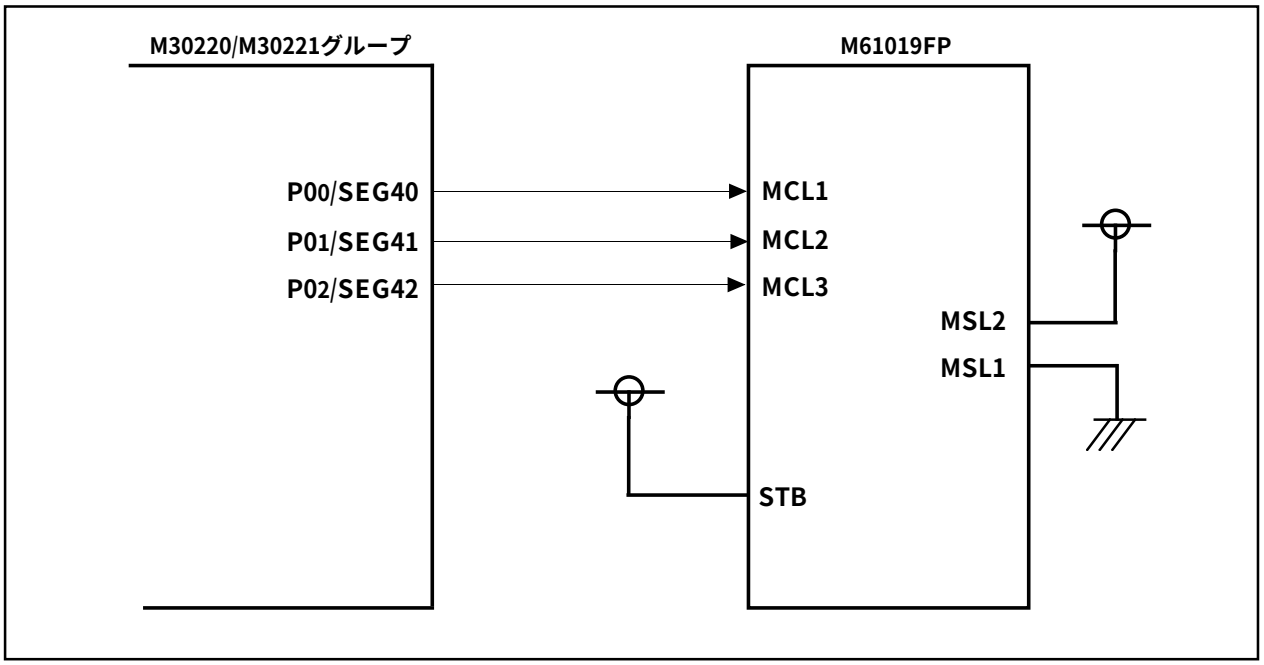


図3.8.1.　M61019FPの接続例

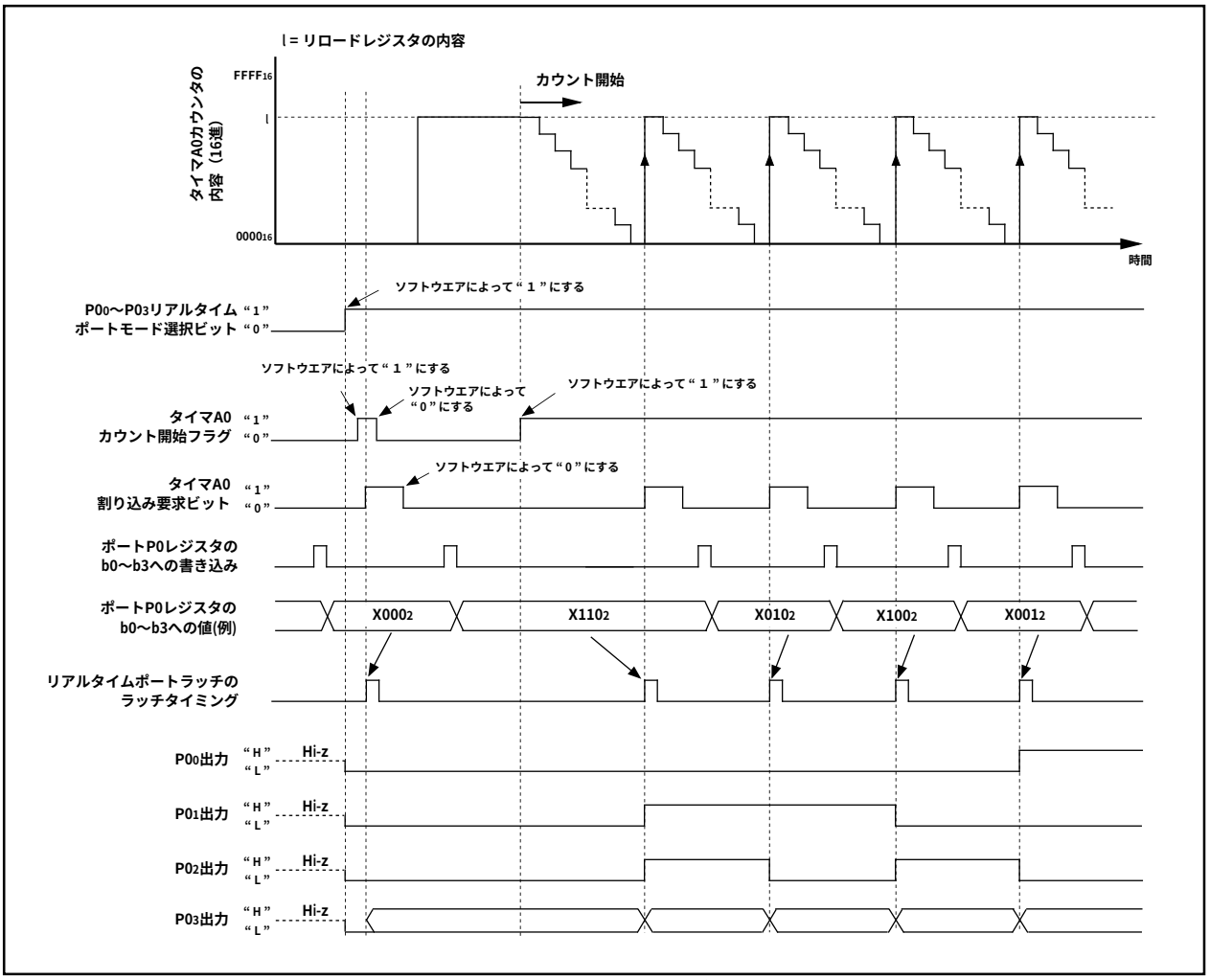


図3.8.2.　ステッピングモータ駆動波形出力の動作タイミング

ポートP0方向レジスタの設定

b7 b0
| | | | | X | 0 | 0 | 0 |

ポートP0方向レジスタ【03E2$_{16}$番地】
PD0

入力モード(入力ポートとして機能)

タイマモードの選択および各機能の選択

b7 b0
| 0 | 0 | 0 | 0 | 0 | | 0 | 0 |

タイマA0モードレジスタ【0396$_{16}$番地】
TA0MR

タイマモードの選択

ゲート機能選択ビット

b4 b3
0 0 :
0 1 :
} ゲート機能なし(TA0$_{IN}$端子は通常のポート端子)

タイマモードでは“0”を設定してください。

カウントソース選択ビット

b7 b6
0 0 : f1

b7	b6	カウントソース	カウントソースの周期 f(X$_{IN}$) : 10MHz	f(X$_{CIN}$) : 32.768kHz
0	0	f1	100ns	
0	1	f8	800ns	
1	0	f32	3.2μs	
1	1	fC132(注1)	fC1:30.52μs,	fC32:976.56μs

注1. fC132クロック選択ビット(0007$_{16}$番地のビット4)により、選択してください。

カウンタ値(ダミー)の設定

(b15) b7 (b8) b0 b7 b0
| 00$_{16}$ | 00$_{16}$ |

タイマA0レジスタ【0387$_{16}$, 0386$_{16}$番地】
TA0

1回目の出力データの設定(例)

b7 b0
| | | | | X | 0 | 0 | 0 |

ポートP0レジスタ【03E0$_{16}$番地】
P0

出力データの設定

リアルタイムポート制御レジスタの設定

b7 b0
| | | | | | | | 1 |

リアルタイムポート制御レジスタ【03FF$_{16}$番地】
RTP

P0$_0$～P0$_3$リアルタイムポートモード選択ビット
1：リアルタイムポート出力(注1)

注1. 対応するポート方向レジスタの設定値は無効です。

リアルタイムポート(P0$_0$～P0$_3$)から”L”出力

次ページへ続く

図3.8.3. ステッピングモータ駆動波形出力の設定手順(1)

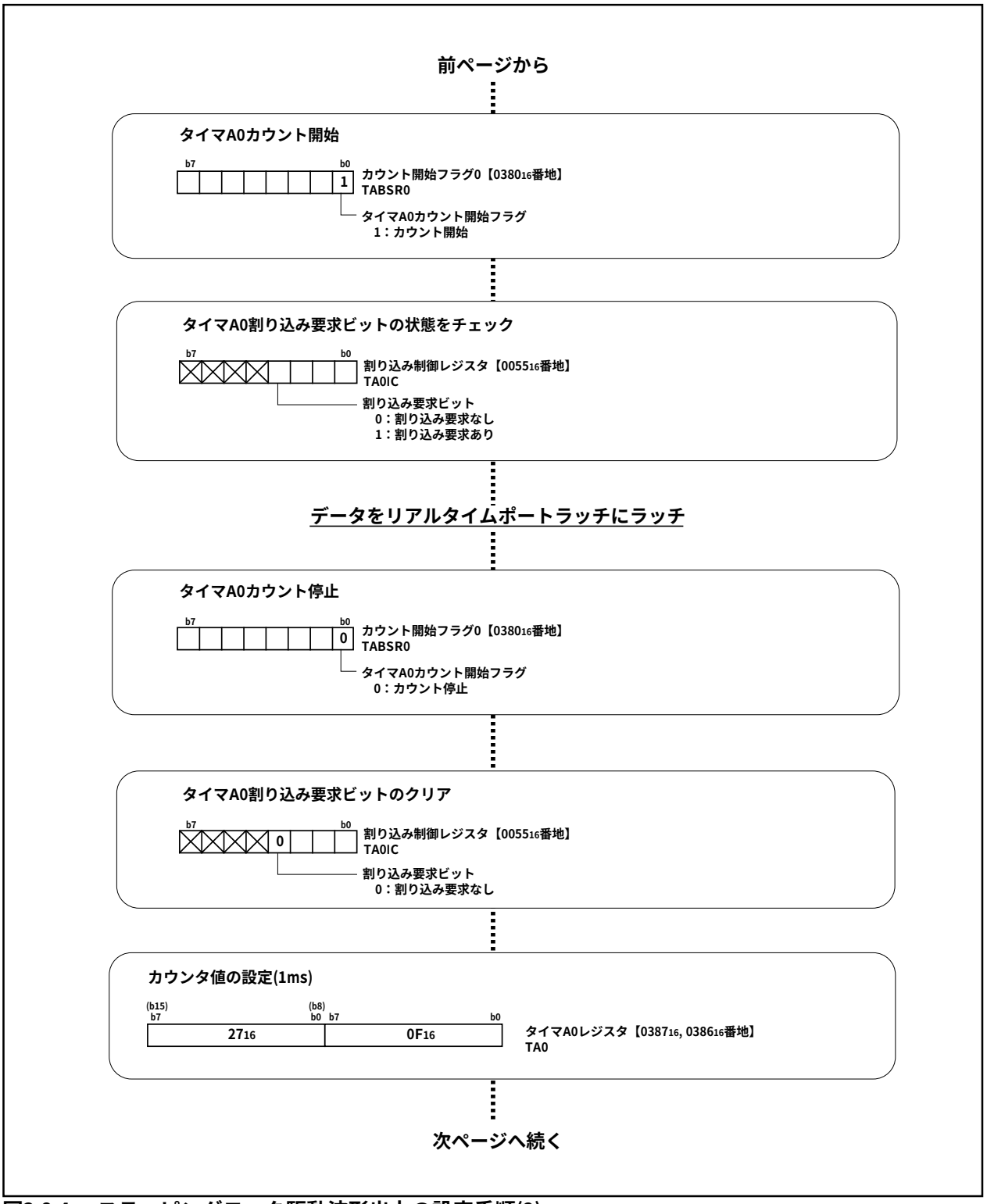


図3.8.4.　ステッピングモータ駆動波形出力の設定手順(2)

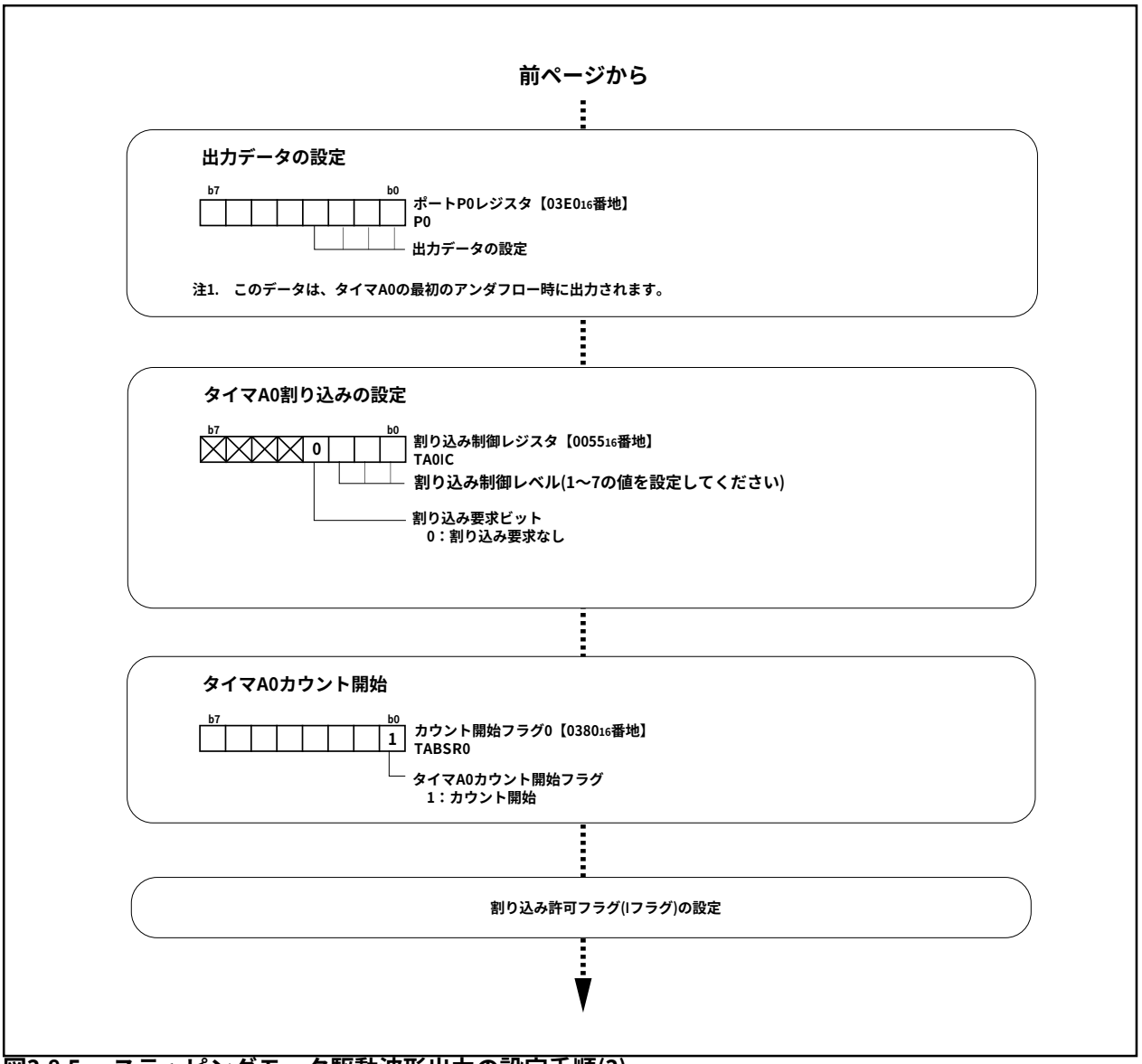


図3.8.5. ステッピングモータ駆動波形出力の設定手順(3)

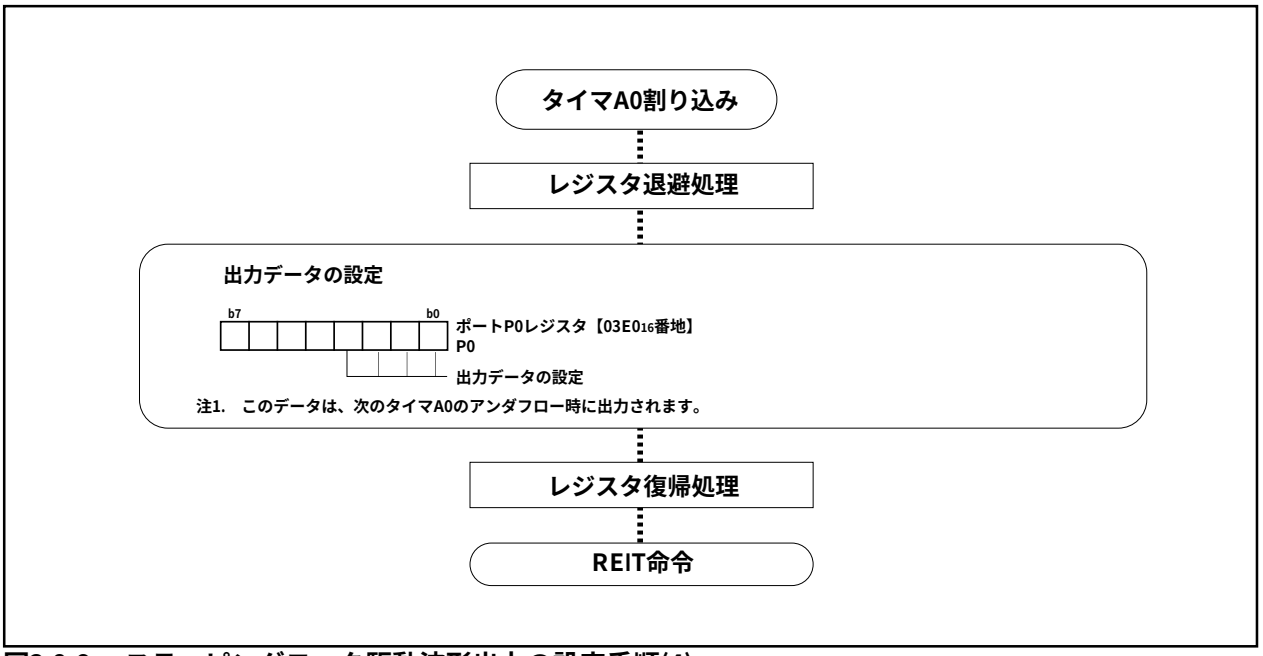


図3.8.6. ステッピングモータ駆動波形出力の設定手順(4)

3.9 ストップモードを使用したパワーコントロール例

概　要　ストップモードを使用してパワーコントロールを行います。その動作タイミングを図3.9.1に、回路例を図3.9.2に、設定手順を図3.9.3、図3.9.4に示します。

使用する周辺機能は次のとおりです。

- キー入力割り込み
- ストップモード
- プルアップ機能

仕　様　(1) キーマトリクスのスキャン出力端子には$P2_4$～$P2_7$を使用します。キー入力の読み込み端子にはキー入力割り込み機能の入力端子($\overline{KI_{16}}$～$\overline{KI_{19}}$)を使用し、プルアップ機能も使用します。

(2) キー入力割り込み要求の発生で、ストップモードを解除してキーの読み込みを行います。

動　作　(1) キー入力割り込みを許可にして、$\overline{KI_{16}}$～$\overline{KI_{19}}$端子はプルアップ機能を設定します。$P2_4$～$P2_7$の出力を“L”にしてストップモードに移行します。

(2) キーが押されると$\overline{KI_{16}}$～$\overline{KI_{19}}$端子のいずれかに“L”が入力され、ストップモードを解除します。キー入力割り込みが発生して、キー入力割り込み処理を実行します。

(3) $P2_4$～$P2_7$の出力を順番に“L”にし、どのキーを押されたか判断します。

(4) 入力キーに対する処理が終了すれば、再度$P2_4$～$P2_7$の出力を“L”にしてストップモードに移行します。

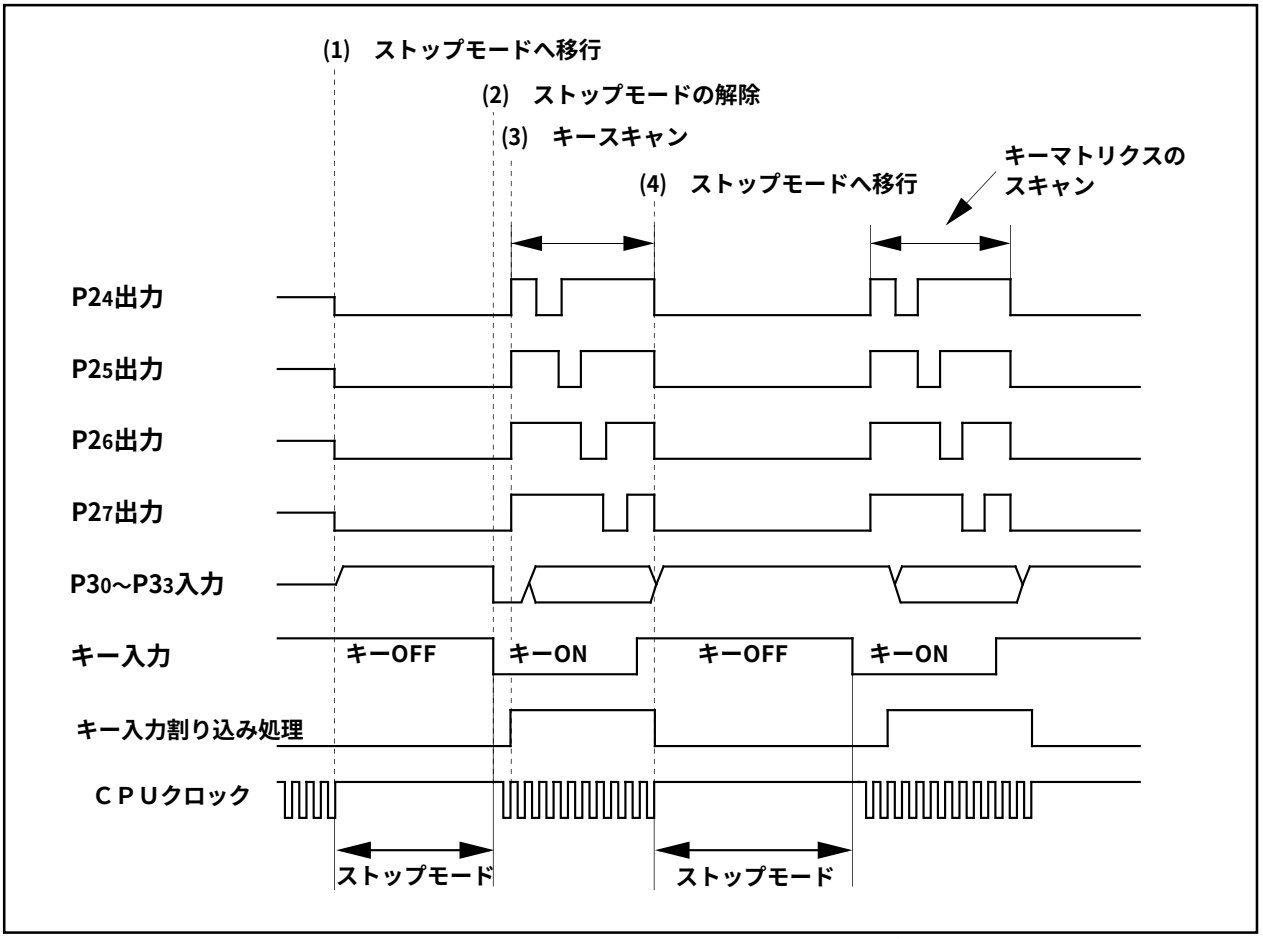


図3.9.1. ストップモードを使用したパワーコントロールの動作タイミング図

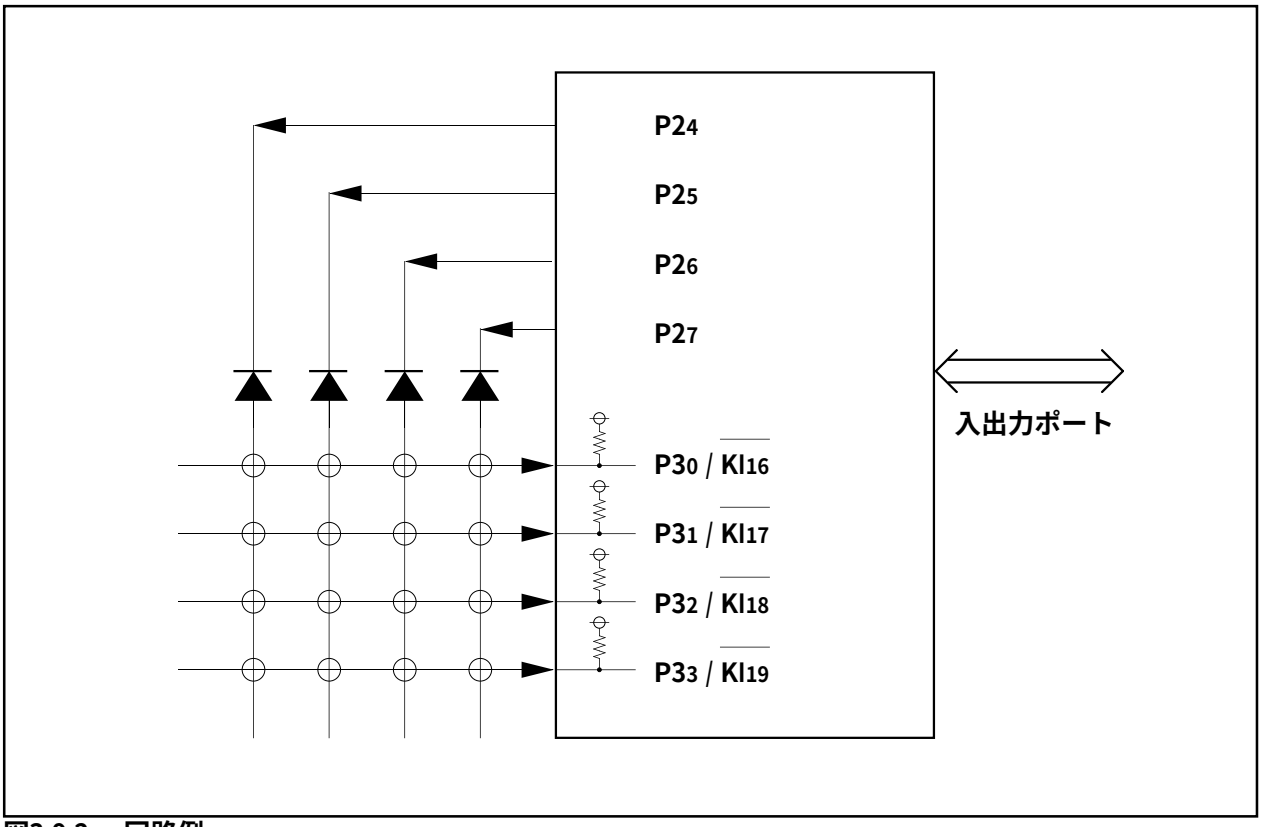


図3.9.2.　回路例

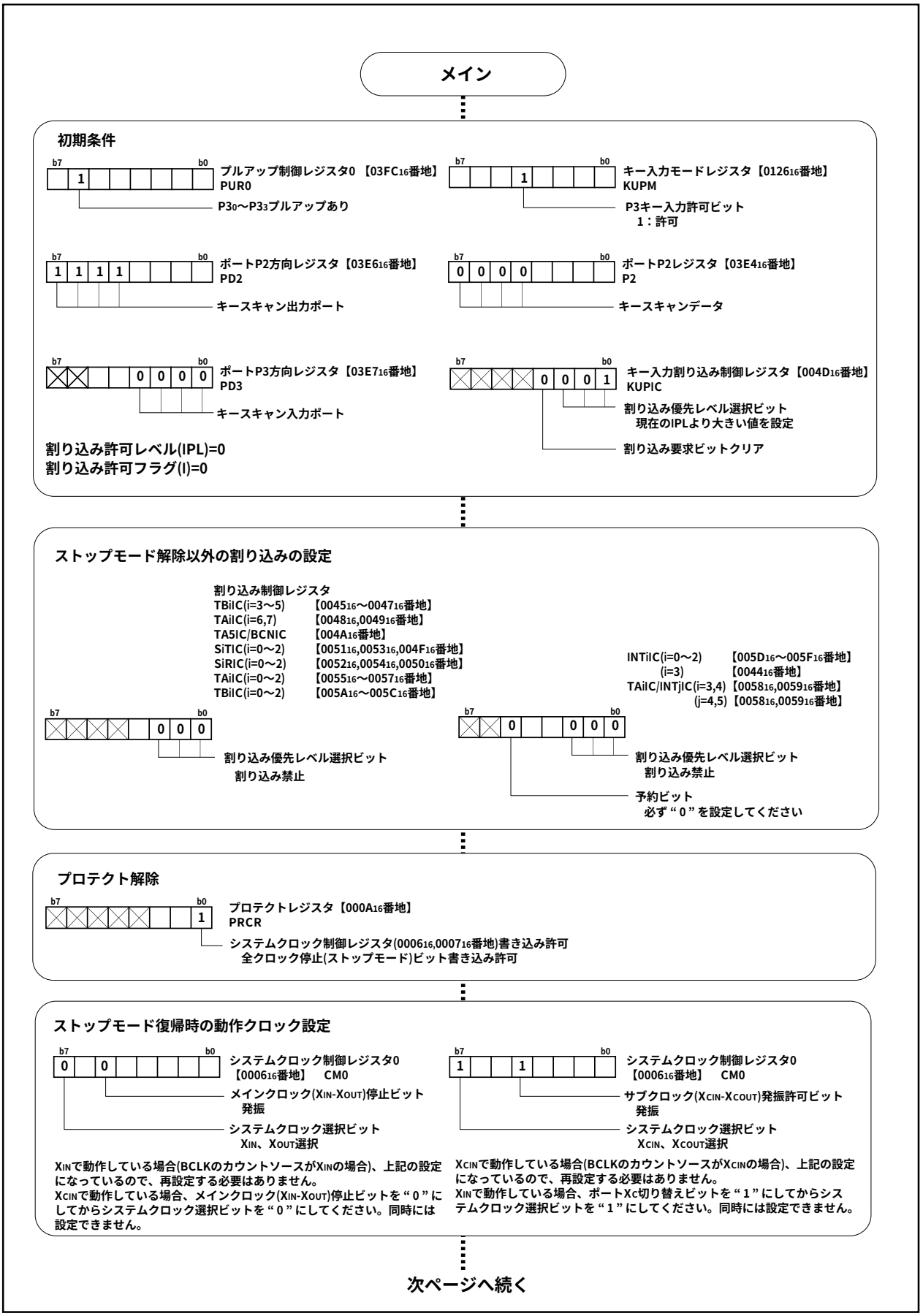


図3.9.3. ストップモードを使用したパワーコントロールの関連レジスタの設定手順(1)

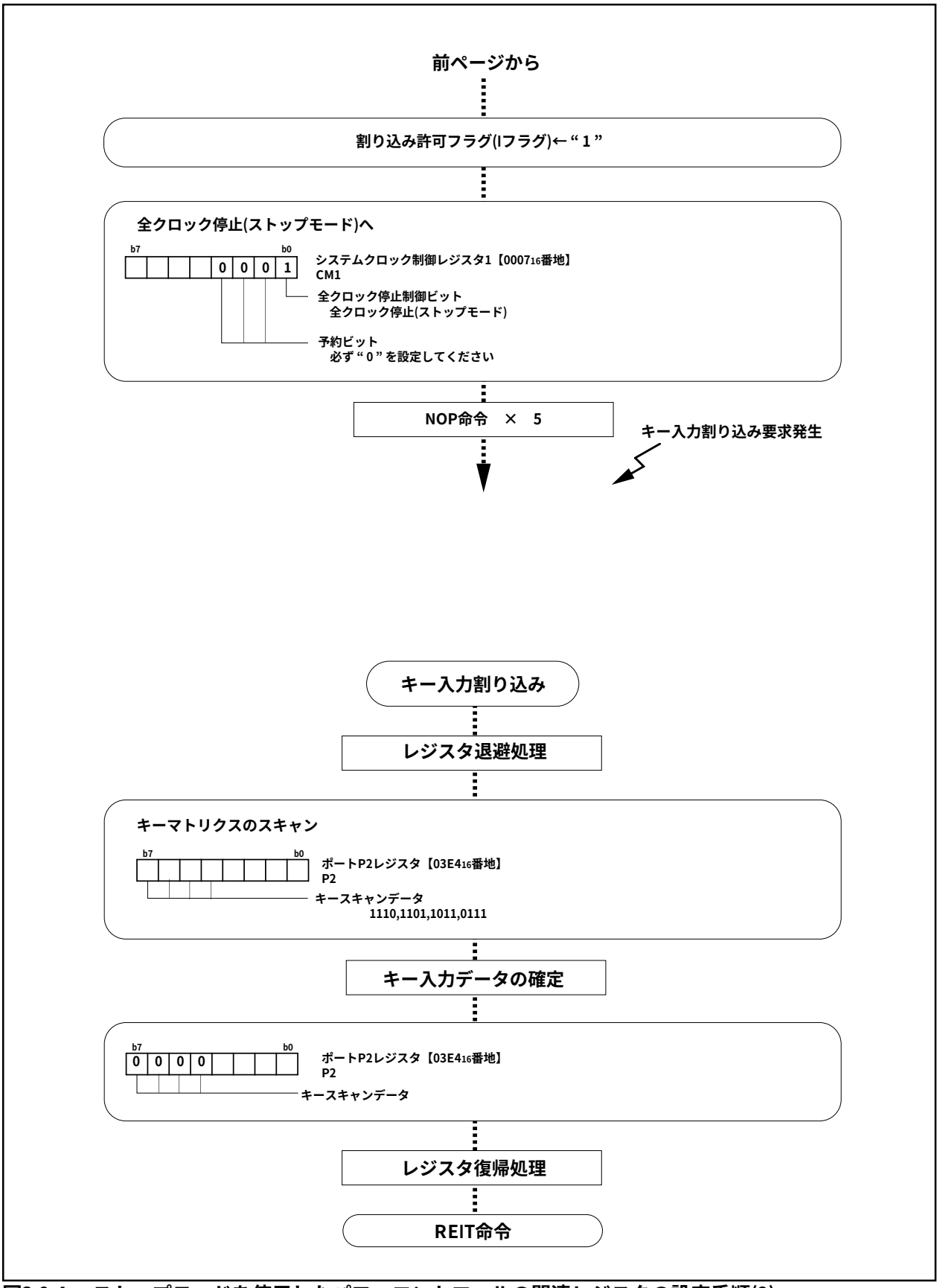


図3.9.4. ストップモードを使用したパワーコントロールの関連レジスタの設定手順(2)

3.10 ウエイトモードを使用したパワーコントロール例

概　要　ウエイトモードを使用してLCD表示およびパワーコントロールを行います。その動作タイミングを図3.10.1に、設定手順を図3.10.2～図3.10.5に示します。

使用する周辺機能は次のとおりです。

- タイマBのタイマモード
- LCD駆動制御回路
- ウエイトモード

設定手順の中で「F_WIT」というフラグを使用しています。このフラグはウエイトモードを解除するかどうかを判断するためのフラグです。メインプログラムの中でF_WIT＝“1”のときはウエイトモードへ移行し、F_WIT＝“0”のときはウエイトモードを解除します。

仕　様

(1) XCIN-XCOUTには、32.768kHzの発振子を接続してタイマのカウントソースとします。タイマで1秒をカウントし、割り込みが発生するごとにウエイトモードから復帰してプログラムで時計をカウントし、LCD表示を行います。

(2) $\overline{\text{INT0}}$の割り込み要求が発生すると、ウエイトモードを解除します。

動　作

(1) BCLKのカウントソースを、サブクロックの発振が安定している状態でXINからXCINに切り替え、低速モードにします。

(2) LCDCK用カウントソースをfc1に切り替えます。

(3) XINを停止させてウエイトモードへ移行します。このとき、タイマB2割り込みと$\overline{\text{INT0}}$の割り込みは許可にしてください。また、WAIT時周辺機能クロック停止ビットは“0”にしてください。

(4) タイマB2割り込み要求(割り込み間隔1秒)が発生すると、XCINからのBCLKが供給されはじめます。

同時に、タイマB2割り込み処理の中で時計をカウントして、再度ウエイトモードに移行します。

(5) $\overline{\text{INT0}}$割り込み要求が発生すると、XCINからのBCLKが供給されはじめます。$\overline{\text{INT0}}$割り込みの中で、XINの発振を開始し、発振が安定した後、BCLKのカウントソースをXINに切り替えます。

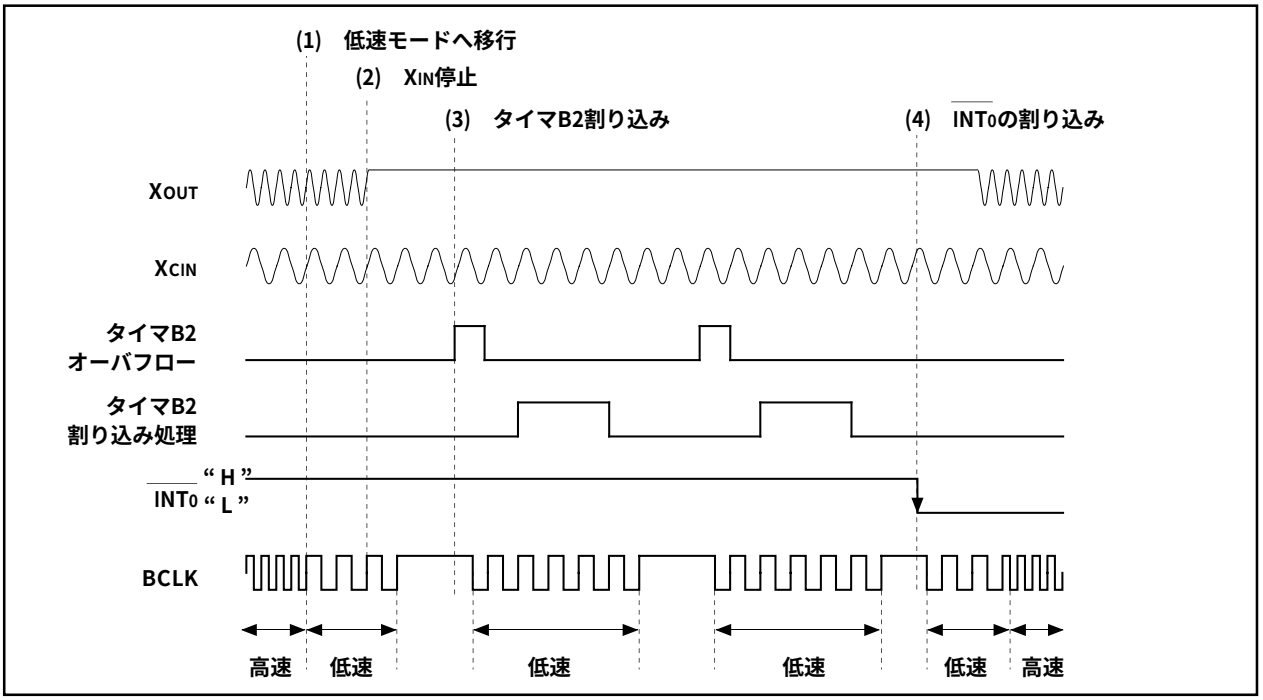


図3.10.1. ウエイトモードを使用したパワーコントロールの動作タイミング図

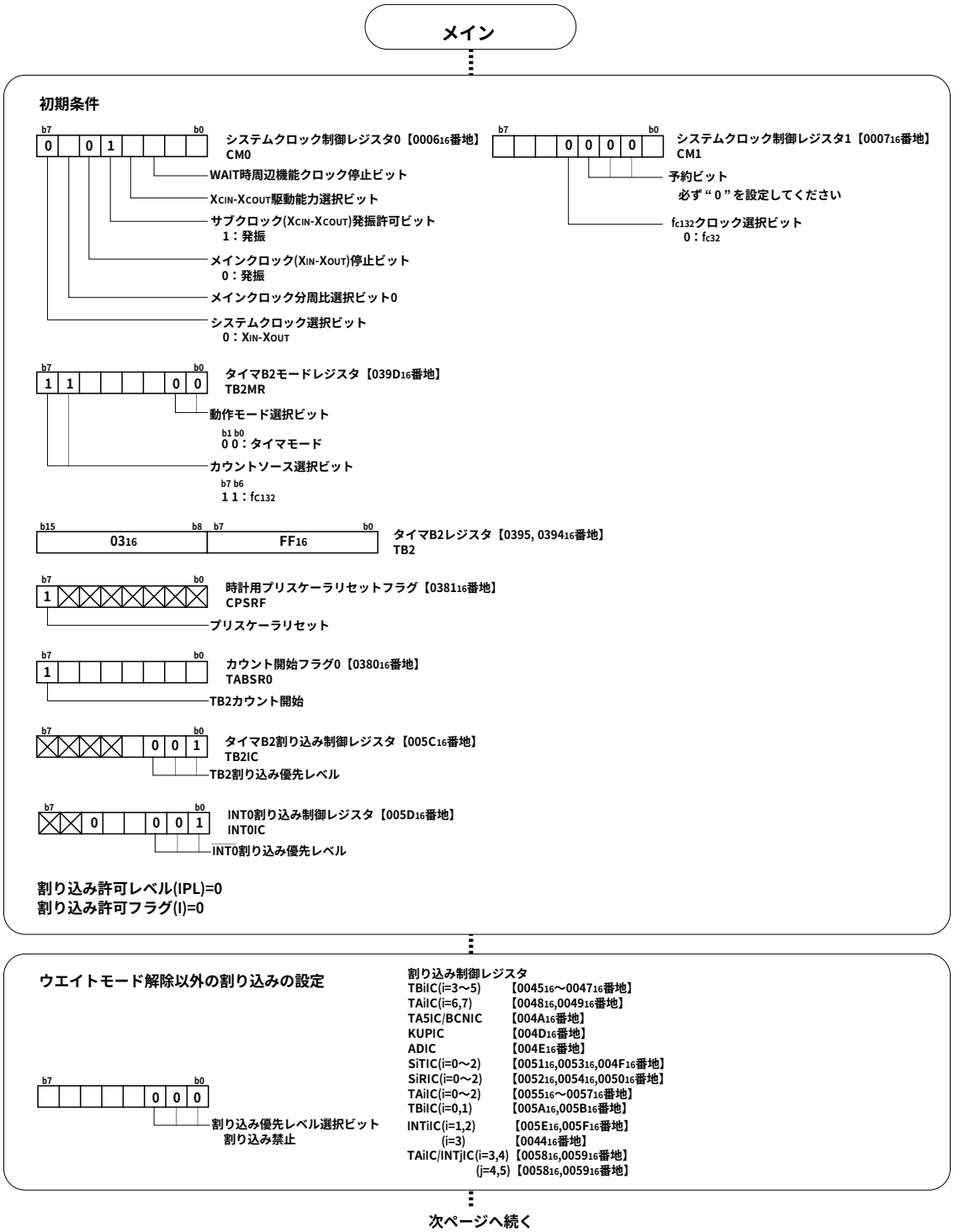


図3.10.2.　ウエイトモードを使用したパワーコントロール関連レジスタの設定手順(1)

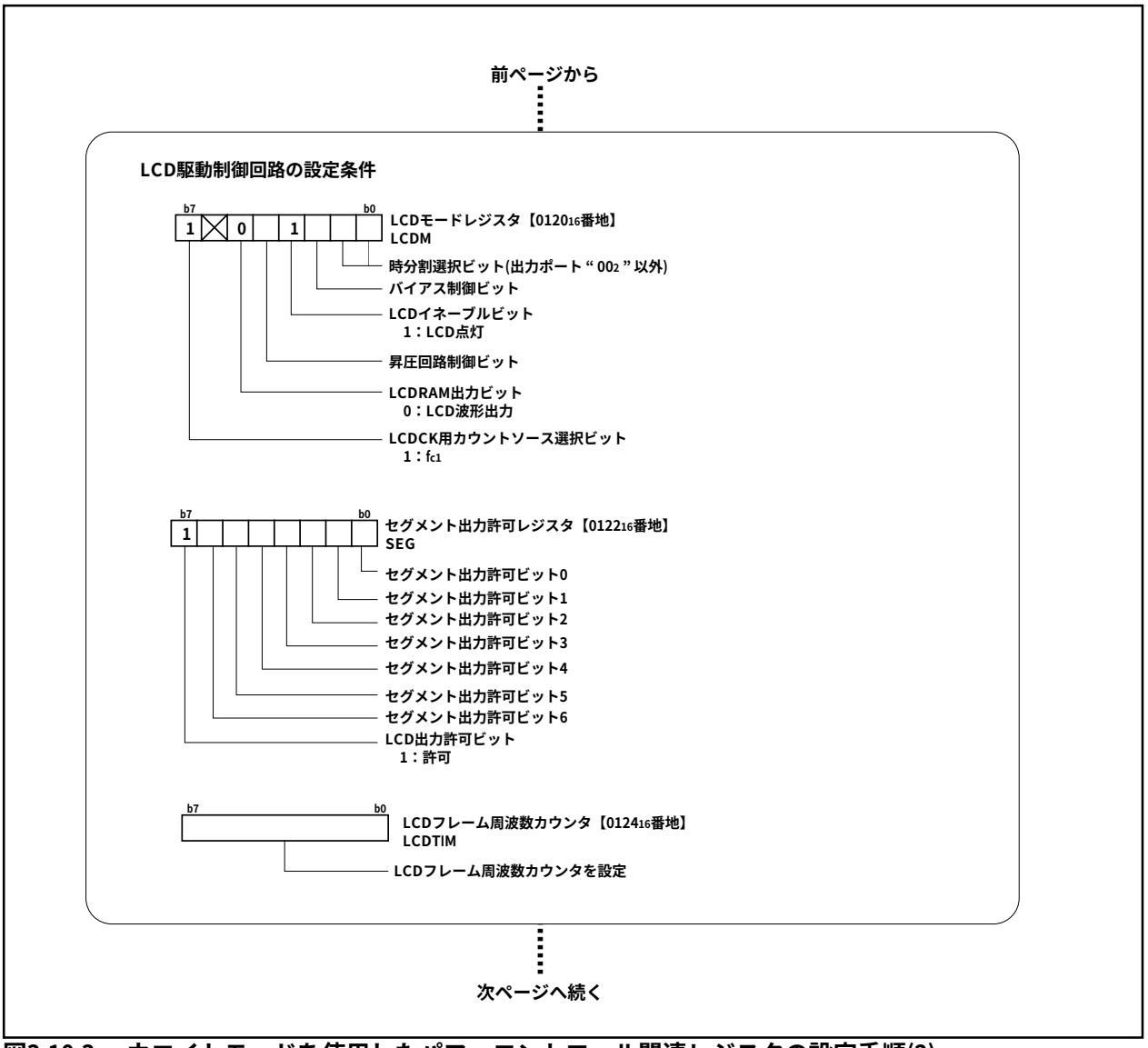


図3.10.3.　ウエイトモードを使用したパワーコントロール関連レジスタの設定手順(2)

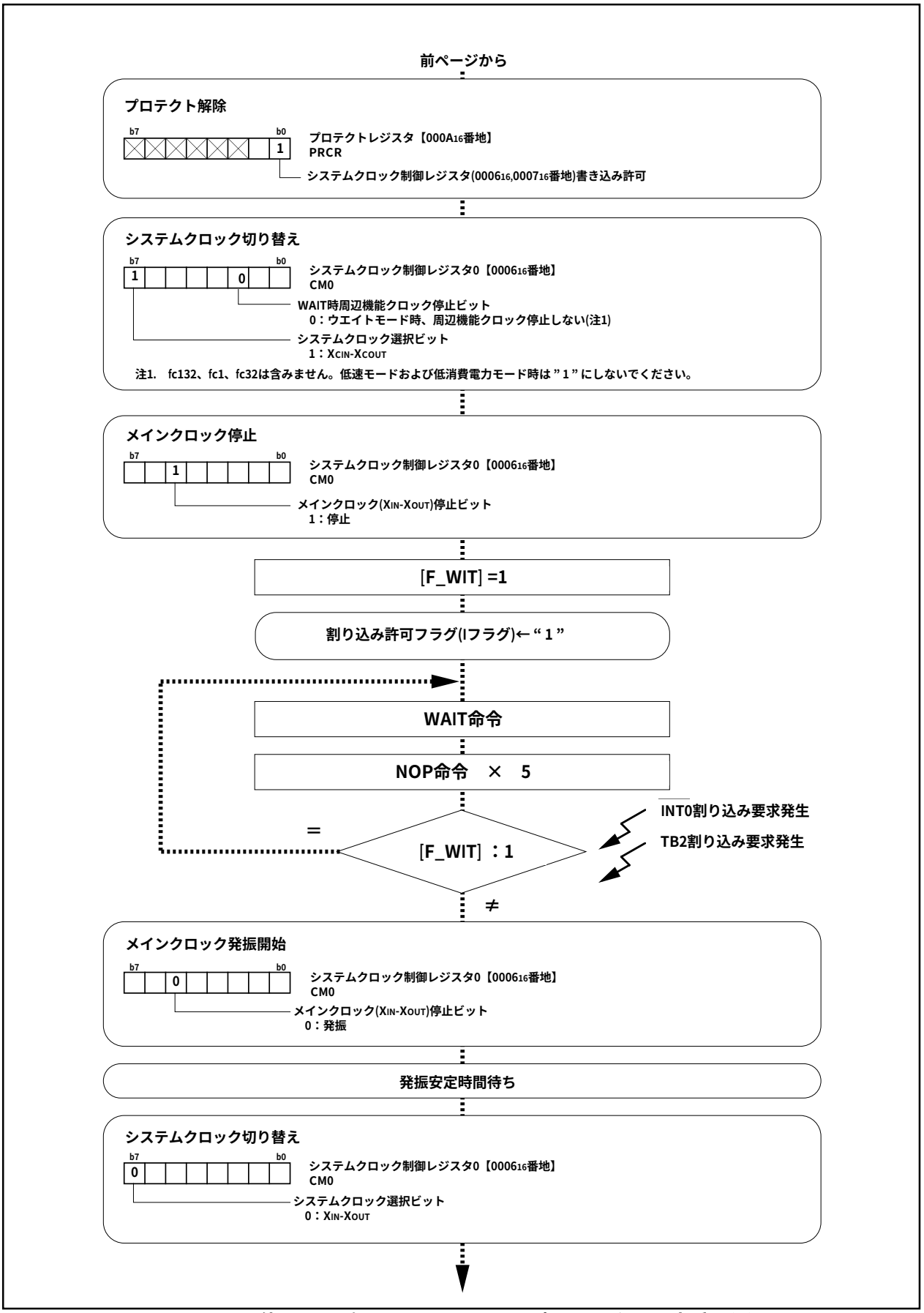


図3.10.4. ウエイトモードを使用したパワーコントロール関連レジスタの設定手順(3)

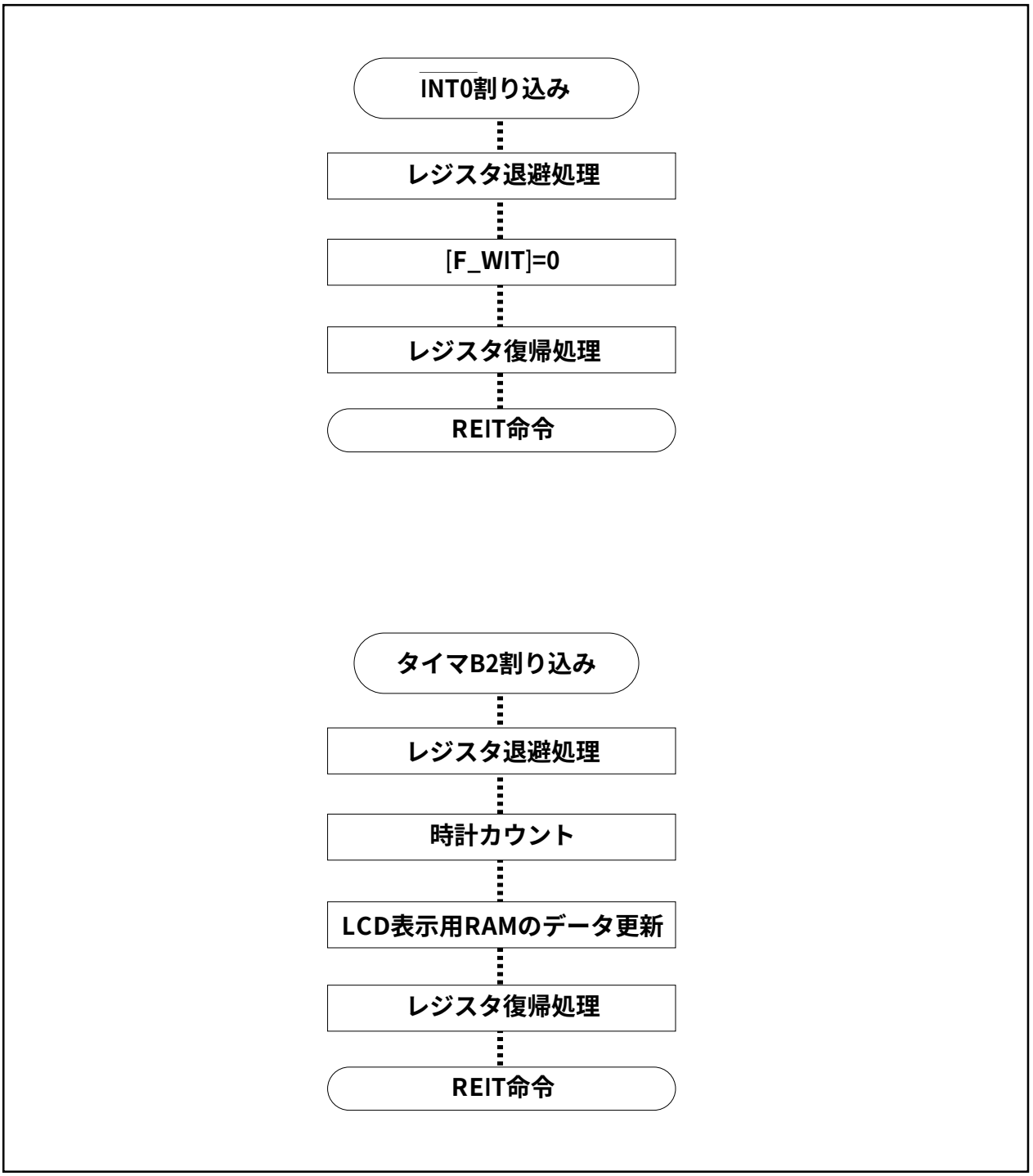


図3.10.5.　ウエイトモードを使用したパワーコントロール関連レジスタの設定手順(4)

第４章

割り込み

4.1 割り込みの概要

4.1.1 割り込みの分類

図4.1.1に割り込みの分類を示します。

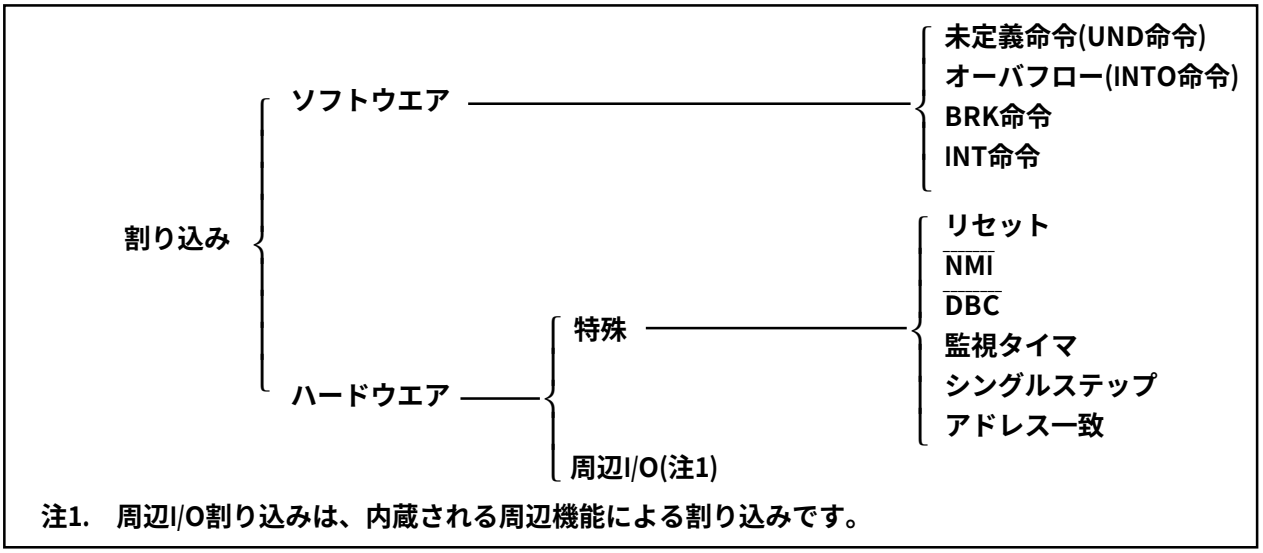


図4.1.1. 割り込みの分類

●マスカブル割り込み　：　割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が可能

●ノンマスカブル割り込み　：　割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が不可能

4.1.2　ソフトウエア割り込み

ソフトウエア割り込みは、命令の実行によって発生します。ソフトウエア割り込みはノンマスカブル割り込みです。

●未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

●オーバフロー割り込み

オーバフロー割り込みは、オーバフローフラグ(Oフラグ)が“1”のときINTO命令を実行すると発生します。演算によってOフラグが変化する命令を以下に示します。

ABS, ADC, ADCF, ADD, CMP, DIV, DIVU, DIVX, NEG, RMPA, SBB, SHA, SUB

●BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

●INT命令割り込み

INT命令割り込みは、ソフトウエア割り込み番号 0～63 を指定し、INT命令を実行すると発生します。なお、ソフトウエア割り込み番号0～31は周辺I/O割り込みに割り当てられますので、INT命令を実行することで周辺I/O割り込みと同じ割り込みルーチンを実行できます。

INT命令割り込みに使用するスタックポインタ(SP)は、ソフトウエア割り込み番号によって異なります。ソフトウエア割り込み番号0～31では、割り込み要求受け付け時にスタックポインタ指定フラグ(Uフラグ)を退避し、Uフラグを“0”にして割り込みスタックポインタ(ISP)を選択した後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに割り込み要求受け付け前のUフラグが復帰されます。ソフトウエア割り込み番号32～63では、スタックポインタは切り替わりません。

4.1.3　ハードウエア割り込み

ハードウエア割り込みには、特殊割り込みと周辺I/O割り込みがあります。

●特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

(1)　リセット

リセットは、$\overline{\text{RESET}}$端子に“L”を入力すると発生します。

(2)　$\overline{\text{NMI}}$割り込み

$\overline{\text{NMI}}$割り込みは、$\overline{\text{NMI}}$端子に“L”を入力すると発生します。

(3)　$\overline{\text{DBC}}$割り込み

デバッガ専用割り込みですので、通常は使用しないでください。

(4)　監視タイマ割り込み

監視タイマによる割り込みです。

(5)　シングルステップ割り込み

デバッガ専用割り込みですので、通常は使用しないでください。シングルステップ割り込みは、デバッグフラグ(Dフラグ)を“1”にすると、命令を1つ実行した後に発生します。

(6)　アドレス一致割り込み

アドレス一致割り込みは、アドレス一致割り込み許可ビットを“1”にしたとき、アドレス一致割り込みレジスタで示される番地の命令を実行する直前に発生します。

アドレス一致レジスタに命令の先頭番地以外の番地を設定した場合は、アドレス一致割り込みは発生しません。アドレス一致割り込みについては「2.12　アドレス一致割り込み」を参照してください。

● 周辺I/O割り込み

周辺I/O割り込みは、内蔵される周辺機能による割り込みです。内蔵される周辺機能は品種展開によって異なりますので、それぞれの割り込み要因も品種展開によって異なります。割り込みベクタテーブルはINT命令で使用するソフトウエア割り込み番号0～31と同一です。周辺I/O割り込みは、マスカブル割り込みです。

(1)　バス衝突検出割り込み

シリアルI/Oのバス衝突検出機能による割り込みです。

(2)　DMA0、DMA1割り込み

DMAによる割り込みです。

(3)　キー入力割り込み

キー入力割り込みは、$\overline{\text{KI}}$端子に立ち下がりエッジ、または両エッジを入力すると発生します。

(4)　A-D変換割り込み

A-D変換器による割り込みです。

(5)　UART0、UART1、UART2送信割り込み

シリアルI/Oの送信による割り込みです。

(6)　UART0、UART1、UART2受信割り込み

シリアルI/Oの受信による割り込みです。

(7)　タイマA0～A7割り込み

タイマAによる割り込みです。

(8)　タイマB0～タイマB5割り込み

タイマBによる割り込みです。

(9)　$\overline{\text{INT}}_0$～$\overline{\text{INT}}_5$割り込み

$\overline{\text{INT}}$割り込みは、$\overline{\text{INT}}$端子に立ち下がりエッジ、立ち上がりエッジ、または両エッジを入力すると発生します。

4.1.4　割り込みと割り込みベクタテーブル

割り込み要求が受け付けられると、割り込みベクタテーブルに設定した割り込みルーチンへ分岐します。各割り込みベクタテーブルには、割り込みルーチンの先頭番地を設定してください。割り込みベクタテーブルには、アドレスが固定されている固定ベクタテーブルと設定によってベクタテーブルの番地を変更できる可変ベクタテーブルがあります。

●固定ベクタテーブル

固定ベクタテーブルは、アドレスが固定のベクタテーブルで、FFFDC16番地からFFFFF16番地に配置されています。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定します。表4.1.1に固定ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表4.1.1.　固定ベクタテーブルに配置している割り込みとベクタテーブルの番地

割り込み要因	ベクタテーブル番地 ｱﾄﾞﾚｽ(L)～ｱﾄﾞﾚｽ(H)	備考
未定義命令	FFFDC16 ～ FFFDF16	UND命令で割り込み
オーバフロー	FFFE016 ～ FFFE316	INTO命令で割り込み
BRK命令	FFFE416 ～ FFFE716	ベクタの内容がすべてFF16の場合は可変ベクタテーブル内のベクタが示す番地から実行
アドレス一致	FFFE816 ～ FFFEB16	アドレス一致割り込み許可ビットあり
シングルステップ(注1)	FFFEC16 ～ FFFEF16	通常は使用禁止
監視タイマ	FFFF016 ～ FFFF316	
$\overline{\text{DBC}}$(注1)	FFFF416 ～ FFFF716	通常は使用禁止
$\overline{\text{NMI}}$	FFFF816 ～ FFFFB16	$\overline{\text{NMI}}$端子入力による外部割り込み
リセット	FFFFC16 ～ FFFFF16	

注1.　デバッガ専用割り込み

●可変ベクタテーブル

可変ベクタテーブルは、設定によってアドレスを変更することができるベクタテーブルです。ベクタテーブルの先頭番地を、割り込みテーブルレジスタ(INTB)で示してください。INTBで示された先頭番地から256バイトが可変ベクタテーブルの領域となります。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定してください。表4.1.2に可変ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表4.1.2.　可変ベクタテーブルに配置している割り込みとベクタテーブルの番地

ソフトウエア割り込み番号	ベクタテーブル番地 アドレス(L)～アドレス(H)	割り込み要因	備　考
ソフトウエア割り込み番号0	+0～+3(注1)	BRK命令	Iフラグによるマスク不可
ソフトウエア割り込み番号4	+16～+19(注1)	$\overline{\text{INT3}}$	
ソフトウエア割り込み番号5	+20～+23(注1)	タイマB5	
ソフトウエア割り込み番号6	+24～+27(注1)	タイマB4	
ソフトウエア割り込み番号7	+28～+31(注1)	タイマB3	
ソフトウエア割り込み番号8	+32～+35(注1)	タイマA7	
ソフトウエア割り込み番号9	+36～+39(注1)	タイマA6	
ソフトウエア割り込み番号10	+40～+43(注1)	タイマA5/バス衝突検出(注2)	
ソフトウエア割り込み番号11	+44～+47(注1)	DMA0	
ソフトウエア割り込み番号12	+48～+51(注1)	DMA1	
ソフトウエア割り込み番号13	+52～+55(注1)	キー入力割り込み	
ソフトウエア割り込み番号14	+56～+59(注1)	A-D	
ソフトウエア割り込み番号15	+60～+63(注1)	UART2送信/NACK(注3)	
ソフトウエア割り込み番号16	+64～+67(注1)	UART2受信/ACK　(注3)	
ソフトウエア割り込み番号17	+68～+71(注1)	UART0送信	
ソフトウエア割り込み番号18	+72～+75(注1)	UART0受信	
ソフトウエア割り込み番号19	+76～+79(注1)	UART1送信	
ソフトウエア割り込み番号20	+80～+83(注1)	UART1受信	
ソフトウエア割り込み番号21	+84～+87(注1)	タイマA0	
ソフトウエア割り込み番号22	+88～+91(注1)	タイマA1	
ソフトウエア割り込み番号23	+92～+95(注1)	タイマA2	
ソフトウエア割り込み番号24	+96～+99(注1)	タイマA3/$\overline{\text{INT4}}$(注4)	
ソフトウエア割り込み番号25	+100～+103(注1)	タイマA4/$\overline{\text{INT5}}$(注4)	
ソフトウエア割り込み番号26	+104～+107(注1)	タイマB0	
ソフトウエア割り込み番号27	+108～+111(注1)	タイマB1	
ソフトウエア割り込み番号28	+112～+115(注1)	タイマB2	
ソフトウエア割り込み番号29	+116～+119(注1)	$\overline{\text{INT0}}$	
ソフトウエア割り込み番号30	+120～+123(注1)	$\overline{\text{INT1}}$	
ソフトウエア割り込み番号31	+124～+127(注1)	$\overline{\text{INT2}}$	
ソフトウエア割り込み番号32 ～ ソフトウエア割り込み番号63	+128～+131(注1) ～ +252～+255(注1)	ソフトウエア割り込み	Iフラグによるマスク不可

注1.　割り込みテーブルレジスタ(INTB)が示すアドレスからの相対アドレスです。
注2.　割り込み要因切替ビット(035E16番地のビット4)により選択します。
注3.　IICモード選択時にNACK、ACK割り込みが選択されます。
注4.　割り込み要因切替ビット(035F16番地のビット6, 7)により選択します。

4.2 割り込み制御

マスカブル割り込みの許可/禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可および禁止は、割り込み許可フラグ(Iフラグ)、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)によって行います。また、割り込み要求の有無は、割り込み要求ビットに示されます。割り込み要求ビットおよび割り込み優先レベル選択ビットは、各割り込みの割り込み制御レジスタに配置されています。また、割り込み許可フラグ(Iフラグ)、およびプロセッサ割り込み優先レベル(IPL)は、フラグレジスタ(FLG)に配置されています。

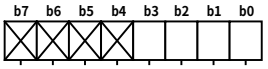
図4.2.1に割り込み制御レジスタのメモリ配置図を、図4.2.2に割り込み制御レジスタの構成を示します。

0044_{16}	INT3割り込み制御レジスタ(INT3IC)
0045_{16}	タイマB5割り込み制御レジスタ(TB5IC)
0046_{16}	タイマB4割り込み制御レジスタ(TB4IC)
0047_{16}	タイマB3割り込み制御レジスタ(TB3IC)
0048_{16}	タイマA7割り込み制御レジスタ(TA7IC)
0049_{16}	タイマA6割り込み制御レジスタ(TA6IC)
$004A_{16}$	タイマA5割り込み制御レジスタ(TA5IC) バス衝突検出割り込み制御レジスタ(BCNIC)
$004B_{16}$	DMA0割り込み制御レジスタ(DM0IC)
$004C_{16}$	DMA1割り込み制御レジスタ(DM1IC)
$004D_{16}$	キー入力割り込み制御レジスタ(KUPIC)
$004E_{16}$	A-D変換割り込み制御レジスタ(ADIC)
$004F_{16}$	UART2送信割り込み制御レジスタ(S2TIC)
0050_{16}	UART2受信割り込み制御レジスタ(S2RIC)
0051_{16}	UART0送信割り込み制御レジスタ(S0TIC)
0052_{16}	UART0受信割り込み制御レジスタ(S0RIC)
0053_{16}	UART1送信割り込み制御レジスタ(S1TIC)
0054_{16}	UART1受信割り込み制御レジスタ(S1RIC)
0055_{16}	タイマA0割り込み制御レジスタ(TA0IC)
0056_{16}	タイマA1割り込み制御レジスタ(TA1IC)
0057_{16}	タイマA2割り込み制御レジスタ(TA2IC)
0058_{16}	タイマA3割り込み制御レジスタ(TA3IC) INT4割り込み制御レジスタ(INT4IC)
0059_{16}	タイマA4割り込み制御レジスタ(TA4IC) INT5割り込み制御レジスタ(INT5IC)
$005A_{16}$	タイマB0割り込み制御レジスタ(TB0IC)
$005B_{16}$	タイマB1割り込み制御レジスタ(TB1IC)
$005C_{16}$	タイマB2割り込み制御レジスタ(TB2IC)
$005D_{16}$	INT0割り込み制御レジスタ(INT0IC)
$005E_{16}$	INT1割り込み制御レジスタ(INT1IC)
$005F_{16}$	INT2割り込み制御レジスタ(INT2IC)

図4.2.1. 割り込み制御レジスタのメモリ配置図

割り込み制御レジスタ(注2)

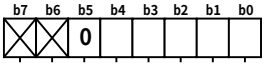
シンボル	アドレス	リセット時
TBiIC(i=3～5)	0045_{16}～0047_{16}番地	$XXXXX000_2$
TAiIC(i=6,7)	0048_{16},0049_{16}番地	$XXXXX000_2$
TA5IC/BCNIC	$004A_{16}$番地	$XXXXX000_2$
DMiIC(i=0,1)	$004B_{16}$,$004C_{16}$番地	$XXXXX000_2$
KUPIC	$004D_{16}$番地	$XXXXX000_2$
ADIC	$004E_{16}$番地	$XXXXX000_2$
SiTIC(i=0～2)	0051_{16},0053_{16},$004F_{16}$番地	$XXXXX000_2$
SiRIC(i=0～2)	0052_{16},0054_{16},0050_{16}番地	$XXXXX000_2$
TAiIC(i=0～2)	0055_{16}～0057_{16}番地	$XXXXX000_2$
TBiIC(i=0～2)	$005A_{16}$～$005C_{16}$番地	$XXXXX000_2$



ビットシンボル	ビット名	機　　能	R	W
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0：レベル0（割り込み禁止） 0 0 1：レベル1 0 1 0：レベル2 0 1 1：レベル3 1 0 0：レベル4 1 0 1：レベル5 1 1 0：レベル6 1 1 1：レベル7	○	○
ILVL1			○	○
ILVL2			○	○
IR	割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	○	○ (注1)
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

注1.　“0”だけ書き込み可(“1”を書き込まないでください)。
注2.　割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、割り込みの注意事項を参照してください。

シンボル	アドレス	リセット時
INTiIC(i=0～2)	$005D_{16}$～$005F_{16}$番地	$XX00X000_2$
(i=3)	0044_{16}番地	$XX00X000_2$
TAiIC/INTjIC(i=3, 4)	0058_{16},0059_{16}番地	$XX00X000_2$
(j=4, 5)	0058_{16},0059_{16}番地	$XX00X000_2$



ビットシンボル	ビット名	機　　能	R	W
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0：レベル0（割り込み禁止） 0 0 1：レベル1 0 1 0：レベル2 0 1 1：レベル3 1 0 0：レベル4 1 0 1：レベル5 1 1 0：レベル6 1 1 1：レベル7	○	○
ILVL1			○	○
ILVL2			○	○
IR	割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	○	○ (注1)
POL	極性切り替えビット	0：立ち下がりエッジを選択 1：立ち上がりエッジを選択	○	○
予約ビット		必ず“0”を設定してください	○	○
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			—	—

注1.　“0”だけ書き込み可(“1”を書き込まないでください)。
注2.　割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、割り込みの注意事項を参照してください。

図4.2.2.　割り込み制御レジスタの構成

4.2.1　割り込み許可フラグ(Iフラグ)

割り込み許可フラグ(Iフラグ)は、マスカブル割り込みの禁止／許可の制御を行います。このフラグを“1”にすると、すべてのマスカブル割り込みは許可され、“0”にすると禁止されます。このフラグはリセット解除後“0”になります。

Iフラグを変化させたとき、変化した内容が割り込み要求受付判定に反映されるのは次のタイミングです。

・REIT命令で変化させたとき、そのREIT命令から反映される。

・FCLR、FSET、POPC、LDC各命令で変化させたとき、次の命令から反映される。

図4.2.3.　Iフラグを変化させたときの割り込みへの反映のタイミング

4.2.2　割り込み要求ビット

割り込み要求ビットは割り込み要求が発生すると、ハードウェアによって“1”になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、このビットはハードウェアによって“0”になります。

また、このビットはソフトウエアによって“0”にできます(“1”を書き込まないでください)。

4.2.3　割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)

割り込み優先レベルは、割り込み制御レジスタの中の割り込み優先レベル選択ビットで設定します。

割り込み要求発生時、割り込み優先レベルは、プロセッサ割り込み優先レベル(IPL)と比較され、割り込みの優先レベルがプロセッサ割り込み優先レベル(IPL)より大きい場合だけ、その割り込みは許可されます。したがって、割り込み優先レベルにレベル0を設定すれば、その割り込みは禁止されます。

表4.2.1に割り込み優先レベルの設定を、表4.2.2にプロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベルを示します。

割り込み要求が受け付けられる条件を以下に示します。

・割り込み許可フラグ(Iフラグ) ＝　“1”
・割り込み要求ビット　＝　“1”
・割り込み優先レベル　＞　プロセッサ割り込み優先レベル(IPL)

割り込み許可フラグ(Iフラグ)、割り込み要求ビット、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)はそれぞれ独立しており、互いに影響を与えることはありません。

表4.2.1.　割り込み優先レベルの設定

割り込み優先レベル選択ビット	割り込み優先レベル	優先順位
b2 b1 b0 0 0 0	レベル0 (割り込み禁止)	――
0 0 1	レベル1	低い
0 1 0	レベル2	↓
0 1 1	レベル3	
1 0 0	レベル4	
1 0 1	レベル5	
1 1 0	レベル6	
1 1 1	レベル7	高い

表4.2.2.　プロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベル

プロセッサ割り込み優先レベル(IPL)	許可される割り込み優先レベル
IPL_2 IPL_1 IPL_0 0 0 0	レベル1以上を許可
0 0 1	レベル2以上を許可
0 1 0	レベル3以上を許可
0 1 1	レベル4以上を許可
1 0 0	レベル5以上を許可
1 0 1	レベル6以上を許可
1 1 0	レベル7以上を許可
1 1 1	すべてのマスカブル割り込みを禁止

プロセッサ割り込み優先レベル(IPL)、または各割り込み優先レベルを変更させたとき、変化したレベルが割り込みに反映するのは次のタイミングです。

・REIT命令でプロセッサ割り込み優先レベル(IPL)を変化させたとき、REIT命令の最後のクロックから2クロック後に実行されている命令から反映される。
・POPC、LDC、LDIPL各命令でプロセッサ割り込み優先レベル(IPL)を変化させたとき、使用した命令の最後のクロックから3クロック後に実行されている命令から反映される。
・各割り込みの割り込み優先レベルをMOV命令等で変化させたとき、使用した命令の最後のクロックから2クロック後に実行されている命令から反映される。

4.2.4 割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

＜割り込み制御レジスタを書き換えるプログラム例＞

例１：

```
INT_SWITCH1：
  FCLR    I                ；割り込み禁止状態
  AND.B   #00H，0055H      ；タイマA0割り込み制御レジスタに“ 00₁₆ ”を設定
  NOP
  NOP
  FSET    I                ；割り込み許可状態
```

例２：

```
INT_SWITCH2：
  FCLR    I                ；割り込み禁止状態
  AND.B   #00H，0055H      ；タイマA0割り込み制御レジスタに“ 00₁₆ ”を設定
  MOV.W   MEM，R0          ；ダミーリード
  FSET    I                ；割り込み許可状態
```

例３：

```
INT_SWITCH3：
  PUSHC   FLG
  FCLR    I                ；割り込み禁止状態
  AND.B   #00H，0055H      ；タイマA0割り込み制御レジスタに“ 00₁₆ ”を設定
  POPC    FLG              ；割り込み許可状態
```

例１と例２でFSET I命令の前にNOP命令２個やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

4.3 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB, SMOVF, SSTR, RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次の動作を順次行います。

(1) 00000_{16}番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得する。その後、該当する割り込みの要求ビットが“0”になる。
(2) 割り込みシーケンス直前のフラグレジスタ(FLG)の内容をCPU内部の一時レジスタ(注1)に退避する。
(3) 割り込み許可フラグ(Iフラグ)、デバッグフラグ(Dフラグ)、およびスタックポインタ指定フラグ(Uフラグ)を“0”にする(ただしUフラグは、ソフトウエア割り込み番号32～63のINT命令を実行した場合は変化しません)。
(4) CPU内部の一時レジスタ(注1)の内容をスタック領域に退避する。
(5) プログラムカウンタ(PC)の内容をスタック領域に退避する。
(6) プロセッサ割り込み優先レベル(IPL)に、受け付けた割り込みの割り込み優先レベルを設定する。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

4.3.1 割り込み応答時間

割り込み応答時間とは、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間を示します。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(a)と割り込みシーケンスを実行する時間(b)で構成されます。図4.3.1に割り込み応答時間を示します。

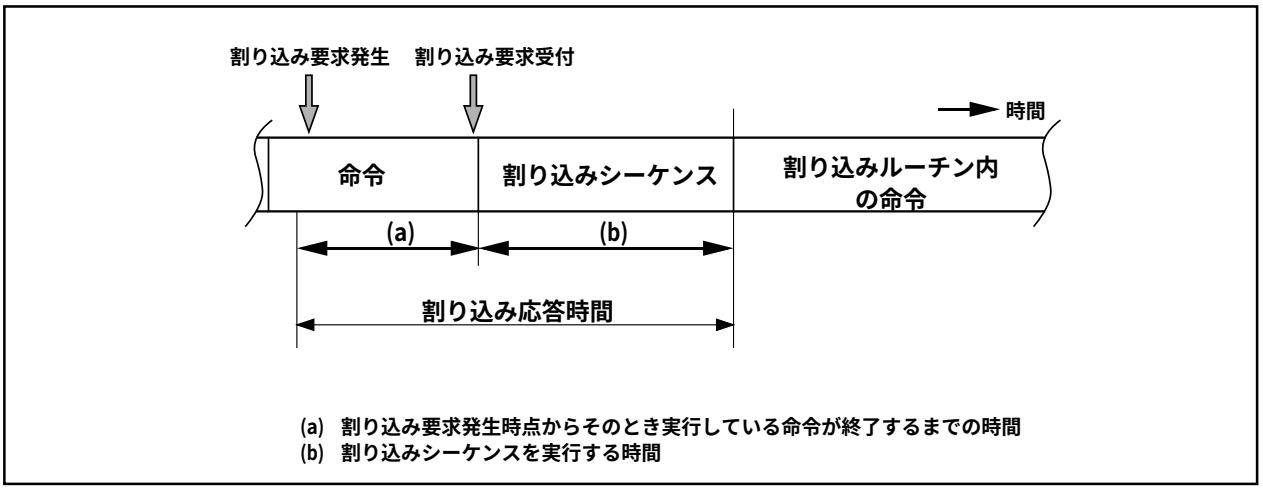


図4.3.1. 割り込み応答時間

(a)の時間は、実行している命令によって異なります。DIVX命令が最大で30サイクル(ウエイトなし)です。
(b)の時間は次のとおりです。

表4.3.1.　割り込みシーケンス実行時間

割り込みベクタの番地	スタックポインタ(SP)の値	16ビットバス、ウエイトなし	8ビットバス、ウエイトなし
偶数	偶数	18サイクル(注1)	20サイクル(注1)
偶数	奇数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	偶数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	奇数	20サイクル(注1)	20サイクル(注1)

注1.　$\overline{\text{DBC}}$割り込みは+2サイクル、アドレス一致割り込み、シングルステップ割り込みは+1サイクルしてください。
注2.　割り込みベクタの番地は、なるべく偶数番地に配置するようにしてください。

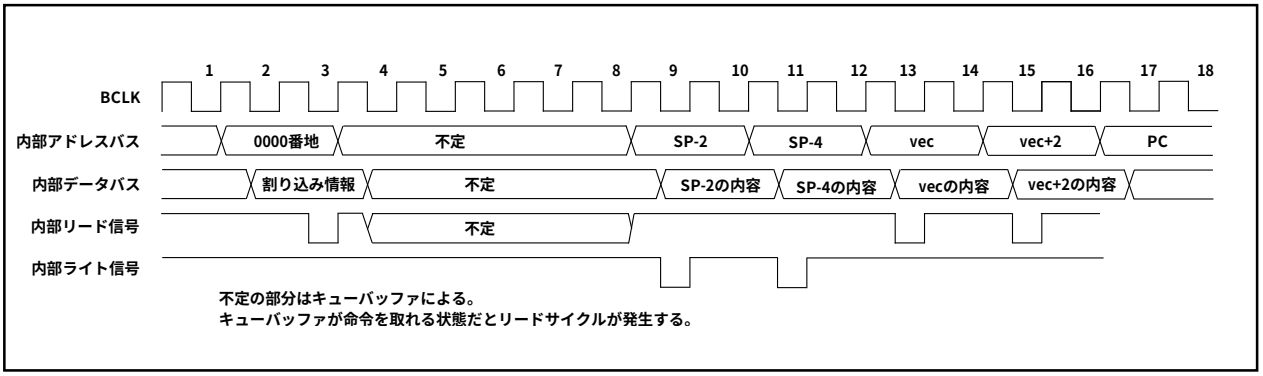


図4.3.2.　割り込みシーケンスの実行時間

4.3.2　割り込み要求受付時のプロセッサ割り込み優先レベル(IPL)の変化

割り込み要求が受け付けられると、プロセッサ割り込み優先レベル(IPL)には受け付けた割り込みの割り込み優先レベルが設定されます。

割り込み優先レベルをもたない割り込み要求が受け付けられたときは、表4.3.2に示す値がIPLに設定されます。

表4.3.2.　割り込み優先レベルをもたない割り込みとIPLの関係

割り込み優先レベルをもたない割り込み要因	設定される IPL の値
監視タイマ、$\overline{\text{NMI}}$	7
リセット	0
その他	変化しない

4.3.3 レジスタ退避

割り込みシーケンスでは、フラグレジスタ(FLG)とプログラムカウンタ(PC)の内容だけがスタック領域に退避されます。

退避する順番は、スタック領域へはプログラムカウンタの上位4ビットとFLGレジスタの上位4ビットおよび下位8ビットの合計16ビットをまず退避し、次にプログラムカウンタの下位16ビットを退避します。図4.3.3に割り込み要求受付前のスタックの状態と、割り込み要求受付後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でソフトウエアによって退避してください。PUSHM命令を用いると、1命令でスタックポインタ(SP)を除くすべてのレジスタを退避することができます。

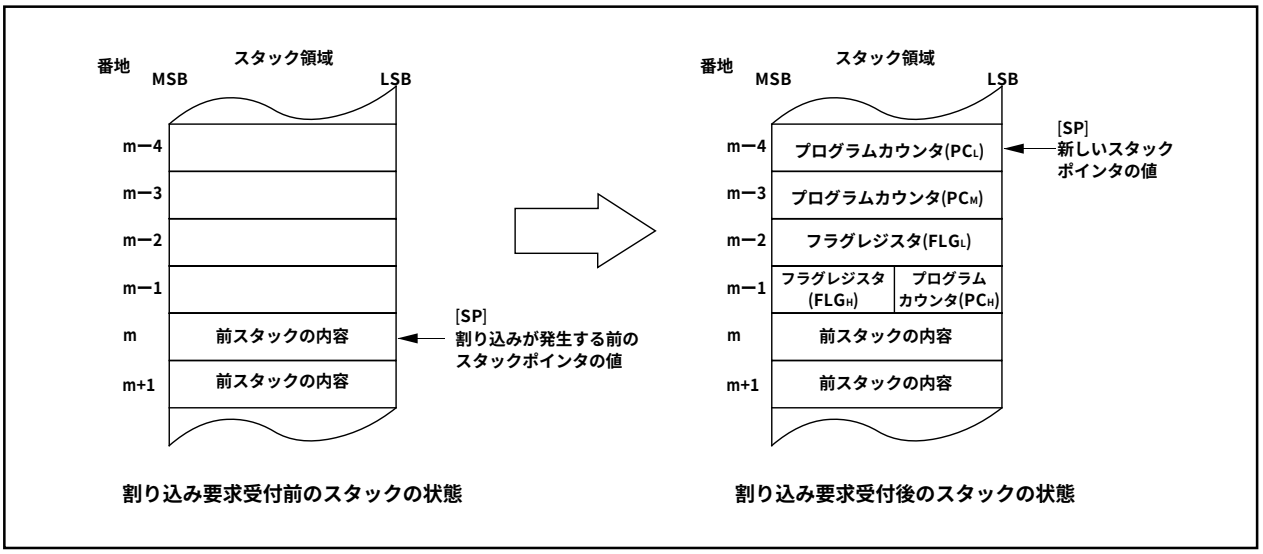


図4.3.3. 割り込み要求受付前／割り込み要求受付後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受付時のスタックポインタ(注1)の内容が偶数の場合と奇数の場合で異なります。スタックポインタ(注1)の内容が偶数の場合は、フラグレジスタ(FLG)およびプログラムカウンタ(PC)の内容がそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図4.3.4にレジスタ退避動作を示します。

注1. ソフトウエア番号32～63のINT命令を実行した場合は、Uフラグが示すスタックポインタです。それ以外は、割り込みスタックポインタ(ISP)です。

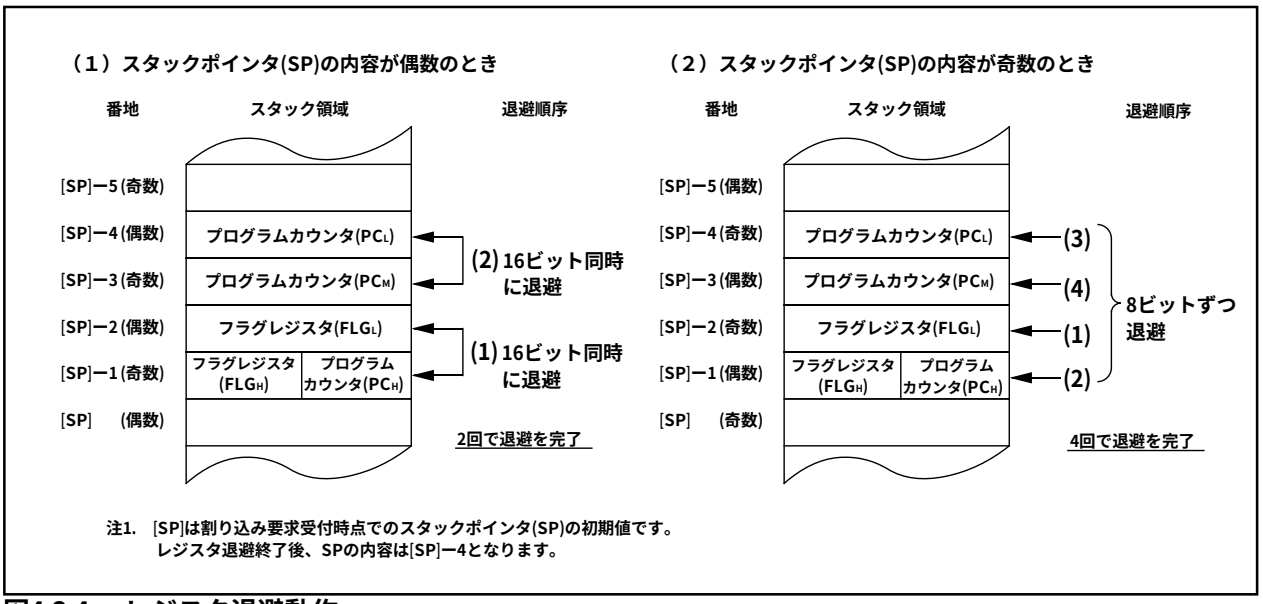


図4.3.4. レジスタ退避動作

4.4 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタック領域に退避されていた割り込みシーケンス直前のフラグレジスタ(FLG)、およびプログラムカウンタ(PC)の内容が復帰されます。その後、割り込み要求受付前に実行していたプログラムに戻り、中断されていた処理が継続して実行されます。

割り込みルーチン内でソフトウエアによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

4.5 割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺I/O割り込み)の優先順位は、割り込み優先レベル選択ビットによって任意の優先順位を設定することができます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウエアで設定されている優先度の高い割り込みが受け付けられます(図4.5.1参照)。

リセット(リセットは優先順位の一番高い割り込みとして扱われます)、監視タイマ割り込みなど、特殊割り込みの優先順位はハードウエアで設定されています。ハードウエア割り込みの割り込み優先順位を図4.5.2に示します。

ソフトウエア割り込みは割り込み優先順位の影響を受けません。命令を実行すると必ず割り込みルーチンへ分岐します。

4.6 多重割り込み

割り込みルーチンへ分岐したときの状態を以下に示します。

・割り込み許可フラグ(Iフラグ)は“0”(割り込み禁止状態)
・受け付けた割り込みの割り込み要求ビットは“0”
・プロセッサ割り込み優先レベル(IPL)は受け付けた割り込みの割り込み優先レベル

割り込みルーチン内で割り込み許可フラグ(Iフラグ)を“1”にすることによって、プロセッサ割り込み優先レベル(IPL)より高い優先順位をもつ割り込み要求を受け付けることができます。図4.6.1に多重割り込みについて示します。

なお、優先順位が低いために受け付けられなかった割り込み要求は保持されます。そして、REIT命令によってIPLが復帰され、割り込み優先順位の判定が行われたとき、以下の状態であれば保持されていた割り込み要求が受け付けられます。

保持されていた割り込み要求の割り込み優先レベル ＞ 復帰されたプロセッサ割り込み優先レベル(IPL)

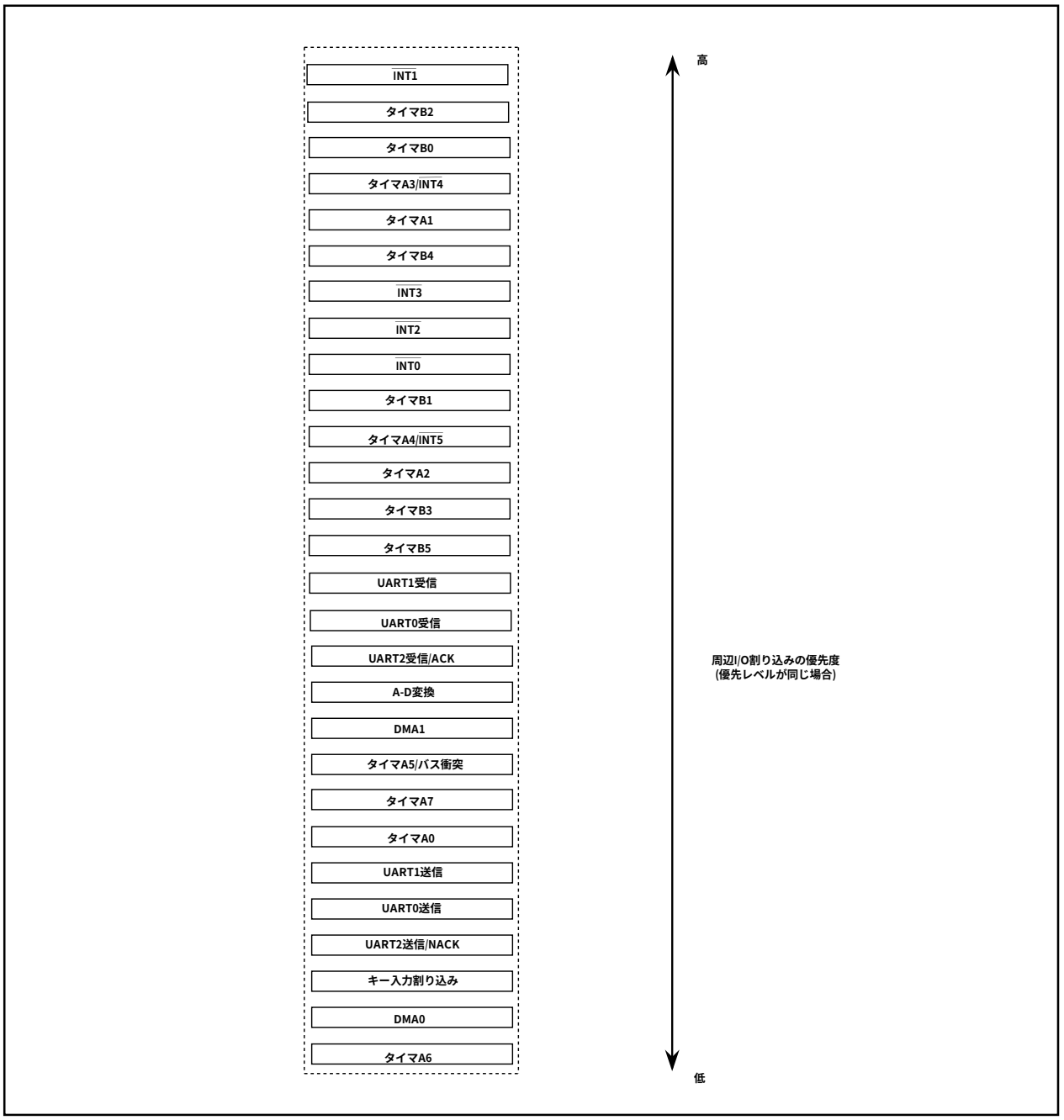


図4.5.1.　マスカブル割り込み(周辺I/O割り込み)の割り込み優先順位

リセット＞$\overline{\text{NMI}}$＞$\overline{\text{DBC}}$＞監視タイマ＞周辺I/O＞シングルステップ＞アドレス一致

図4.5.2.　ハードウエア割り込みの割り込み優先順位

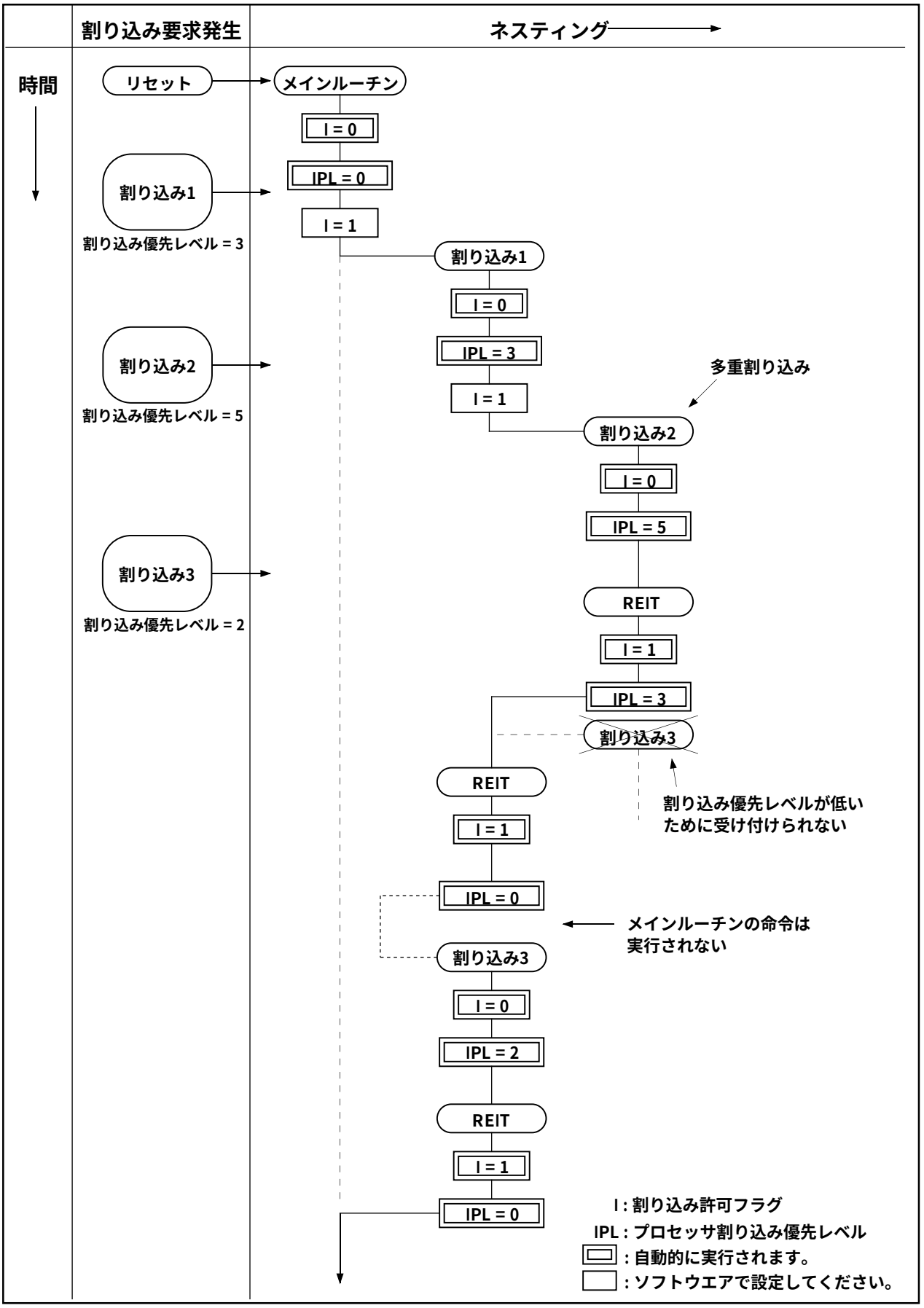

割り込み要求発生
ネスティング
時間
リセット
メインルーチン
I = 0
IPL = 0
I = 1
割り込み1
割り込み優先レベル = 3
割り込み1
I = 0
IPL = 3
I = 1
割り込み2
割り込み優先レベル = 5
多重割り込み
割り込み2
I = 0
IPL = 5
REIT
I = 1
IPL = 3
割り込み3
割り込み優先レベル = 2
割り込み3
割り込み優先レベルが低い
ために受け付けられない
REIT
I = 1
IPL = 0
メインルーチンの命令は
実行されない
割り込み3
I = 0
IPL = 2
REIT
I = 1
IPL = 0
I : 割り込み許可フラグ
IPL : プロセッサ割り込み優先レベル
: 自動的に実行されます。
: ソフトウエアで設定してください。

図4.6.1.　多重割り込み

4.7 割り込みの注意事項

(1) 00000$_{16}$番地の読み出し

●マスカブル割り込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を0000$_{16}$番地から読み出します。
それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。
ソフトウエアにより0000$_{16}$番地を読み出しても、許可されている最も優先度の高い割り込み要因の要求ビットが“0”になります。そのため、割り込みが発生しても割り込みルーチンを実行しない可能性があります。
したがって、ソフトウエアで0000$_{16}$番地に対して読み出しを行わないでください。

(2) スタックポインタの設定

●リセット直後スタックポインタの値は、“000$_{16}$”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。
特に、$\overline{\text{NMI}}$割り込みを使用する場合は、プログラムの先頭でスタックポインタを初期化してください。
リセット直後の先頭の1命令に限り、$\overline{\text{NMI}}$割り込みを含むすべての割り込みが禁止されています。

(3) $\overline{\text{NMI}}$割り込み

●$\overline{\text{NMI}}$割り込みは、割り込みを禁止することができません。したがって、使用しない場合は、$\overline{\text{NMI}}$端子に抵抗を介してVCC端子に接続(プルアップ)してください。必ず端子処理は必要です。
●$\overline{\text{NMI}}$端子は、入力専用のP7$_7$と兼用になっています。P7レジスタの内容を読み込むことで端子の値を読み込むことができます。この端子の読み込みは、$\overline{\text{NMI}}$割り込みが入ったときの端子のレベル確定用にだけ使用してください。
●$\overline{\text{NMI}}$端子入力が“L”の状態でリセットをかけないでください。
●$\overline{\text{NMI}}$端子入力が“L”の状態でストップモードに移行しないでください。$\overline{\text{NMI}}$端子入力が“L”の状態では、CM10が“0”に固定されるため、ストップモードに移行されません。
●$\overline{\text{NMI}}$端子入力が“L”の状態でウエイトモードに移行しないでください。$\overline{\text{NMI}}$端子入力が“L”の状態では、CPUは停止しますが発振が停止しないため、パワーセーブされません。この場合、その後の割り込みによって正常に復帰します。
●$\overline{\text{NMI}}$端子に入力する信号には、CPUの動作クロックの1クロック以上の“L”レベル幅が必要です。

(4) 外部割り込み

●$\overline{\text{INT}_0}$～$\overline{\text{INT}_5}$端子に入力する信号には、CPUの動作クロックに関係なく250ns以上の“L”レベル 幅、または“H”レベル幅が必要です。
●$\overline{\text{INT}_0}$～$\overline{\text{INT}_5}$端子の極性を切り替えるときに割り込み要求ビットが“1”になることがあります。切り替えを行った後、割り込み要求ビットを“0”にしてください。$\overline{\text{INT}}$割り込み発生要因の切り替え手順例を図4.7.1に示します。

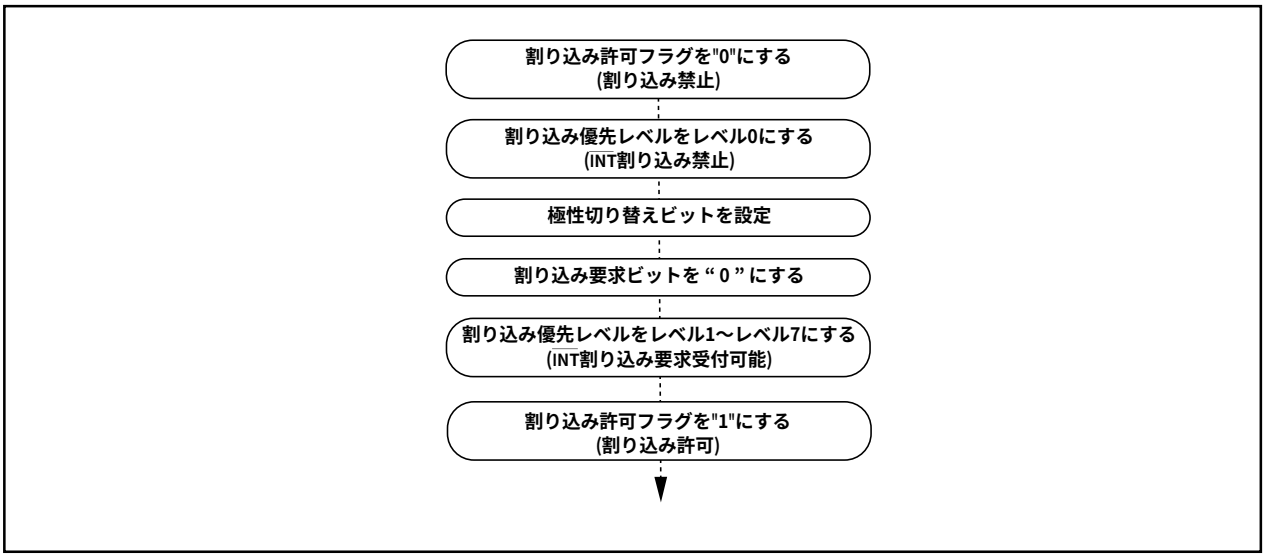


図4.7.1. INT割り込み発生要因の切り替え

(5) 割り込み制御レジスタの変更

●割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

＜割り込み制御レジスタを書き換えるプログラム例＞

例１：

```
INT_SWITCH1：
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“00₁₆”を設定
  NOP
  NOP
  FSET    I              ；割り込み許可状態
```

例２：

```
INT_SWITCH2：
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“00₁₆”を設定
  MOV.W   MEM，R0        ；ダミーリード
  FSET    I              ；割り込み許可状態
```

例３：

```
INT_SWITCH3：
  PUSHC   FLG
  FCLR    I              ；割り込み禁止状態
  AND.B   #00H，0055H    ；タイマA0割り込み制御レジスタに“00₁₆”を設定
  POPC    FLG            ；割り込み許可状態
```

例１と例２でFSET I命令の前にNOP命令２個やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

●割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

レイアウトの都合上、このページは白紙です。

第5章

標準特性

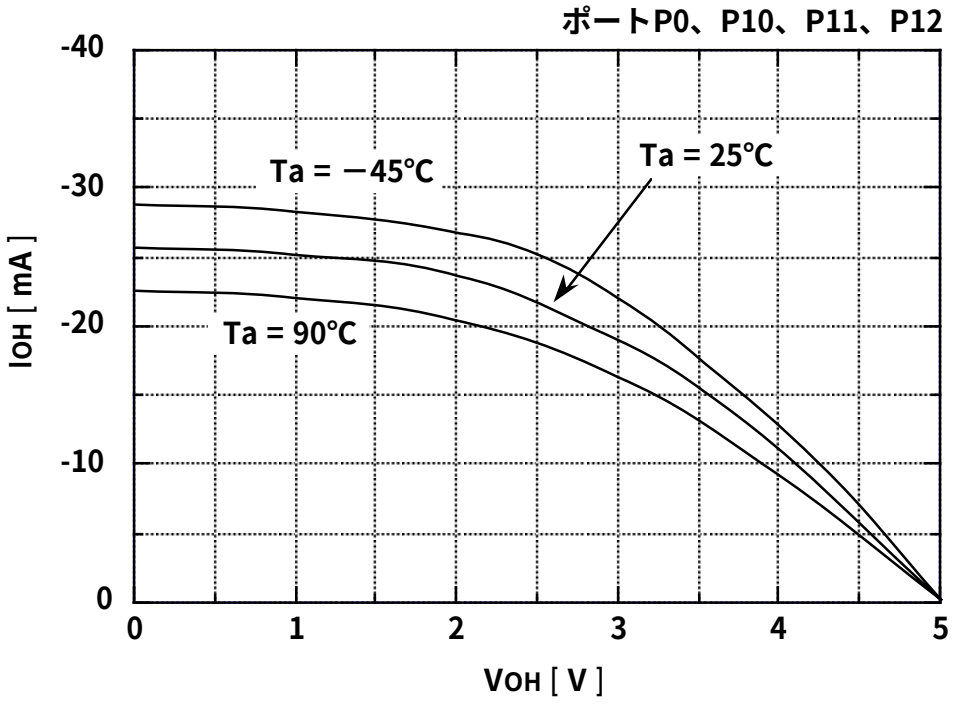
5.1 DC標準特性

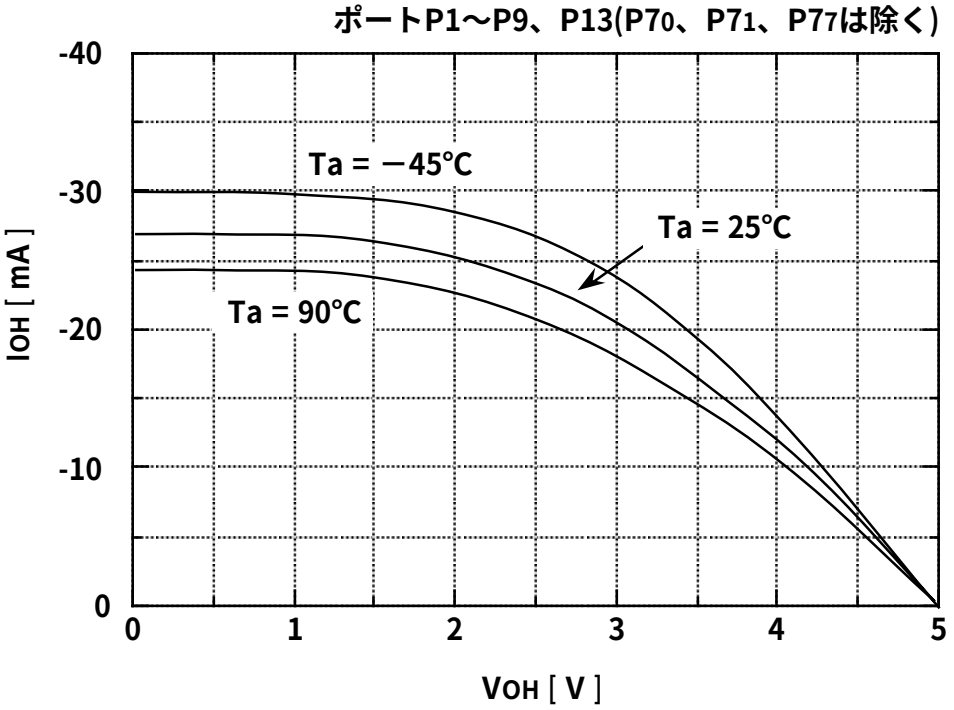
本節で記載している標準特性はM30220MA-XXXGP/RPの特性例です。これらの例について、保証はできません。規格値は「電気的特性」を参照してください。

5.1.1 ポート標準特性

図5.1.1～図5.1.4にポート標準特性を示します。

VCC=5V

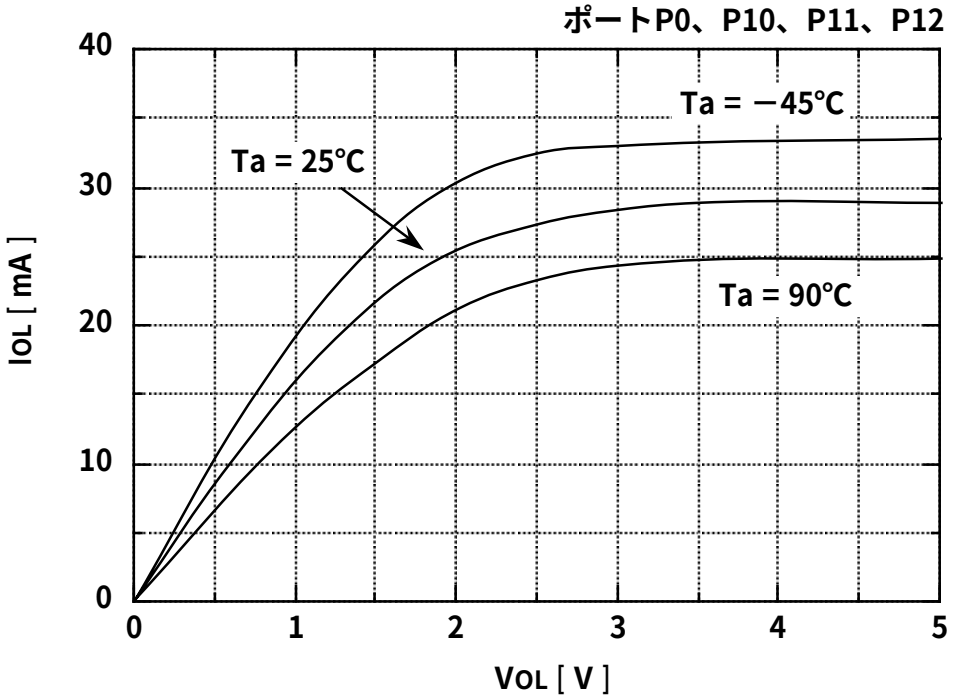


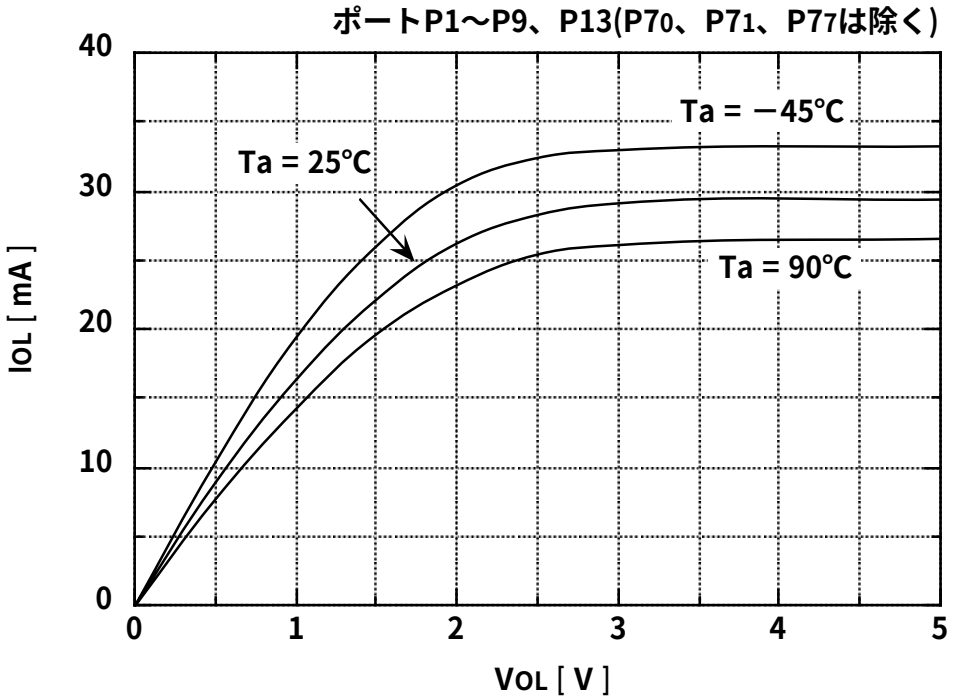


注1.　これは特性例です。保証はできません。規格値は「電気的特性」を参照してください。

図5.1.1.　ポートのIOH-VOH標準特性(VCC=5V用)

VCC=5V

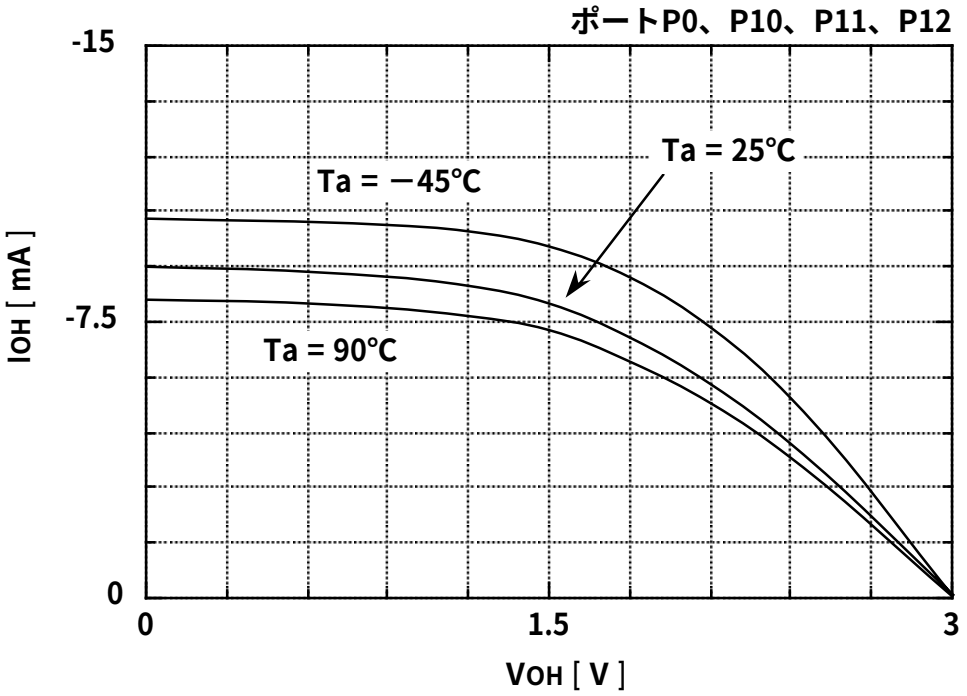


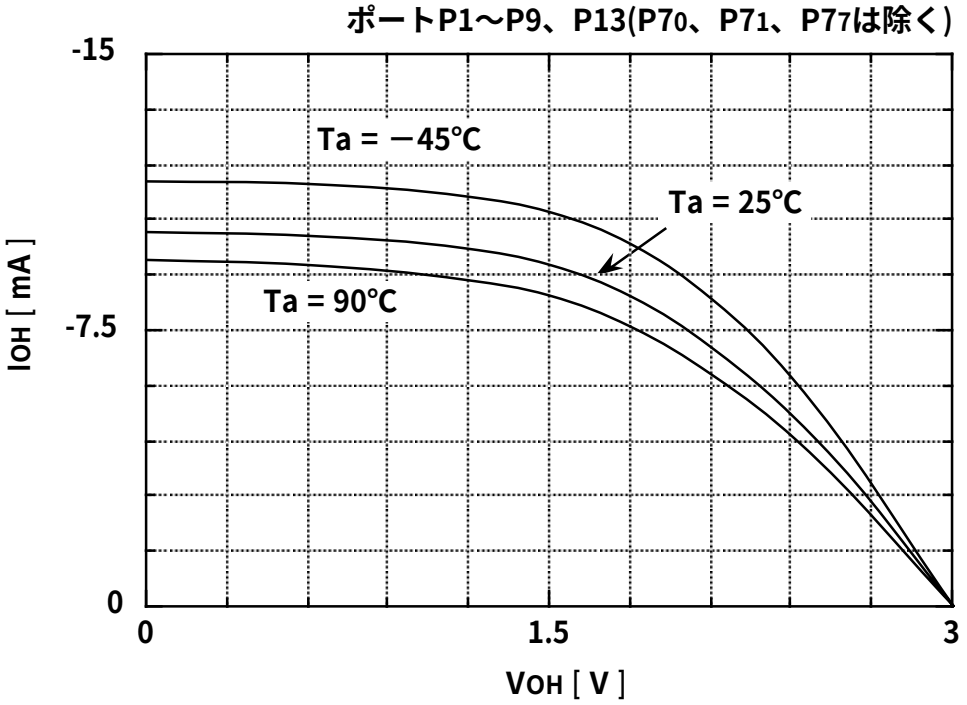


注1.　これは特性例です。保証はできません。規格値は「電気的特性」を参照してください。

図5.1.2.　ポートのIOL-VOL標準特性(VCC=5V用)

VCC=3V

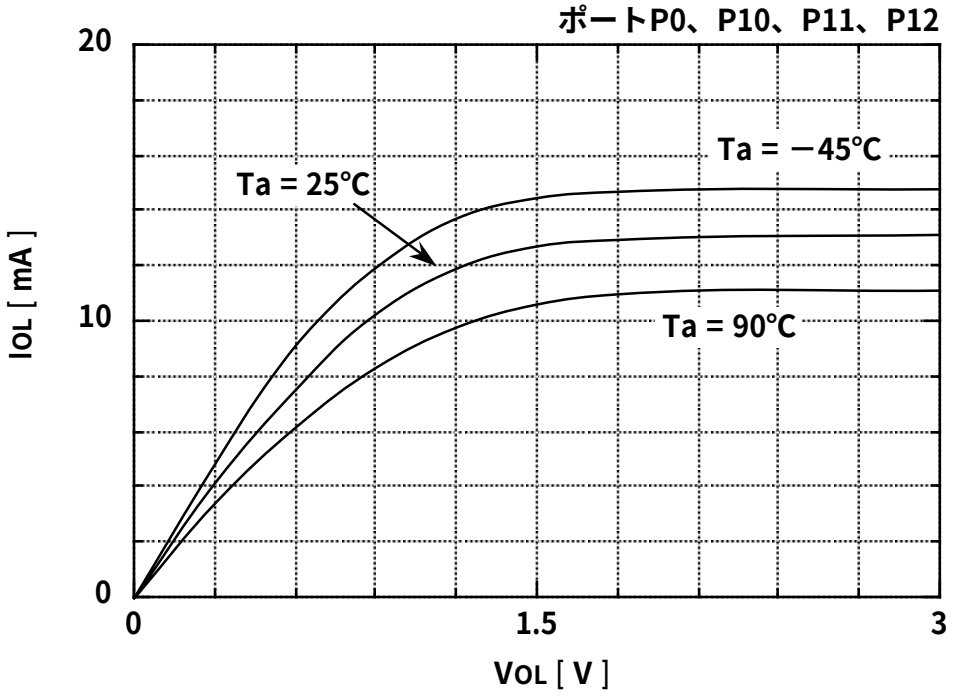


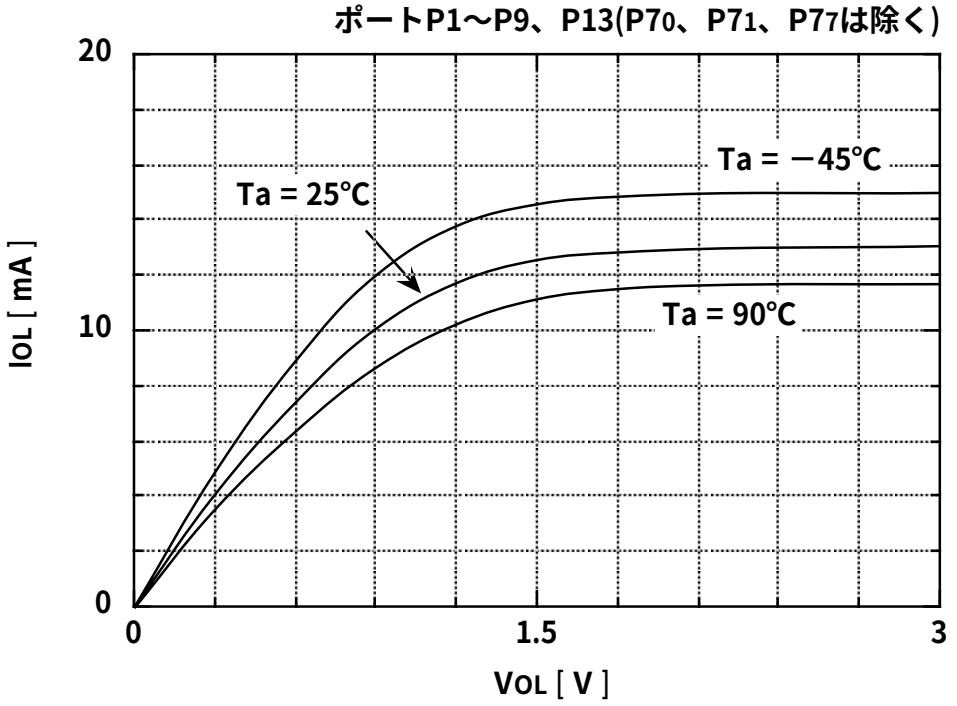


注1.　これは特性例です。保証はできません。規格値は「電気的特性」を参照してください。

図5.1.3.　ポートのIOH-VOH標準特性(VCC=3V用)

VCC=3V





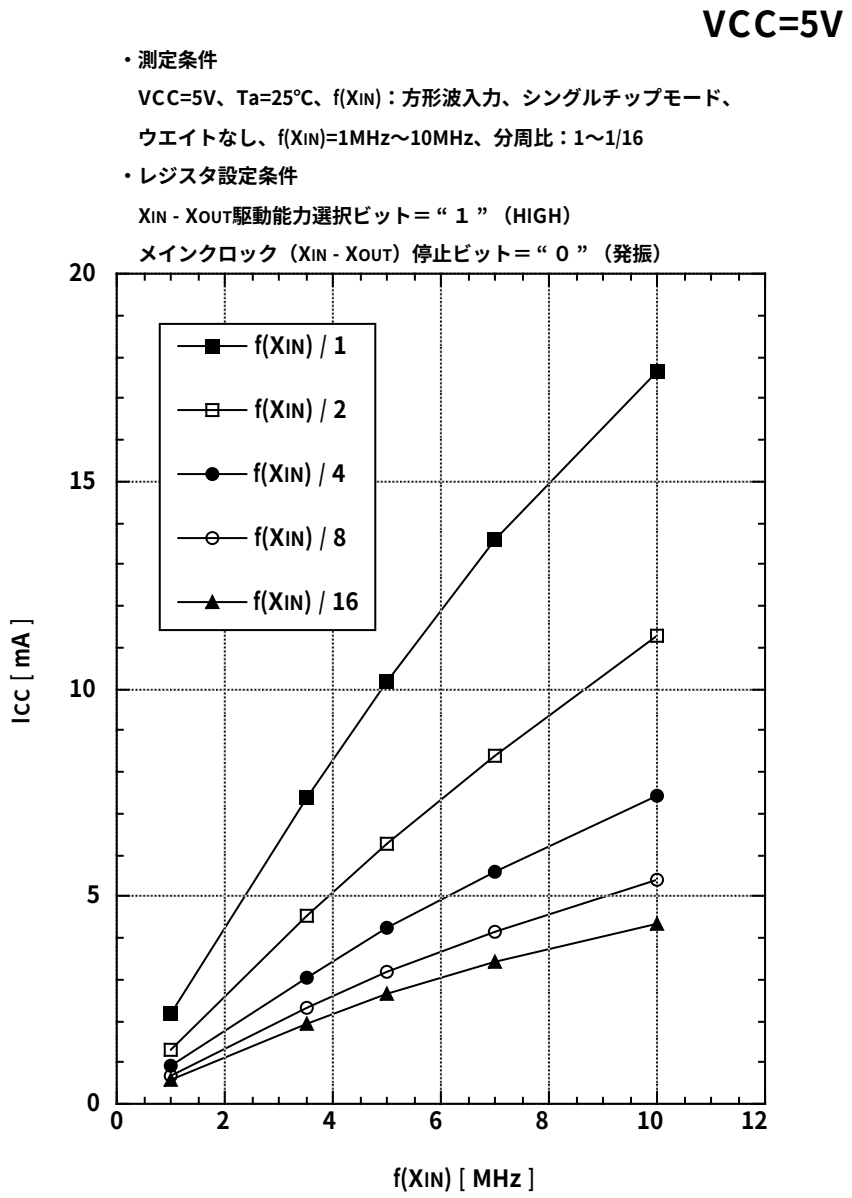
注1.　これは特性例です。保証はできません。規格値は「電気的特性」を参照してください。

図5.1.4.　ポートのIOL-VOL標準特性(VCC=3V用)

5.1.2 ICC-f(XIN)標準特性

本節で記載している標準特性はM30220MA-XXXGP/RPの特性例です。この例について、保証はできません。規格値は「電気的特性」を参照してください。

図5.1.5、図5.1.6にICC-f(XIN)標準特性を示します。



注1. これは特性例です。保証はできません。規格値は「電気的特性」を参照してください。

図5.1.5. ICC-f(XIN)標準特性(VCC=5V用)

VCC=3V

・測定条件

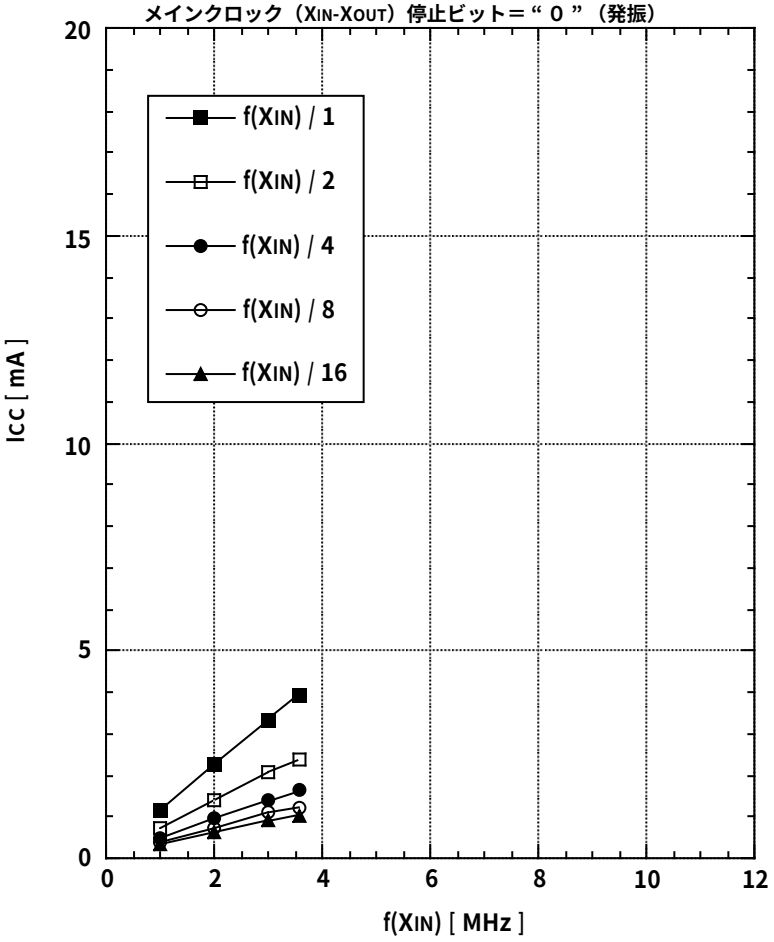
VCC=3V、Ta=25°C、f(XIN)：方形波入力、シングルチップモード、

ウエイトなし、f(XIN)=1MHz～3.5MHz、分周比：1～1/16

・レジスタ設定条件

XIN - XOUT駆動能力選択ビット＝“ 1 ”（HIGH）

メインクロック（XIN-XOUT）停止ビット＝“ 0 ”（発振）



注1.　これは特性例です。保証はできません。規格値は「電気的特性」を参照してください。

図5.1.6.　ICC-f(XIN)標準特性(VCC=3V用)

5.2　A-D変換器標準特性

本節で記載している標準特性はM30220MA-XXXGP/RPの特性例です。この例について、保証はできません。規格値は「電気的特性」を参照してください。

図5.2.1、図5.2.2にA-D変換器標準特性を示します。

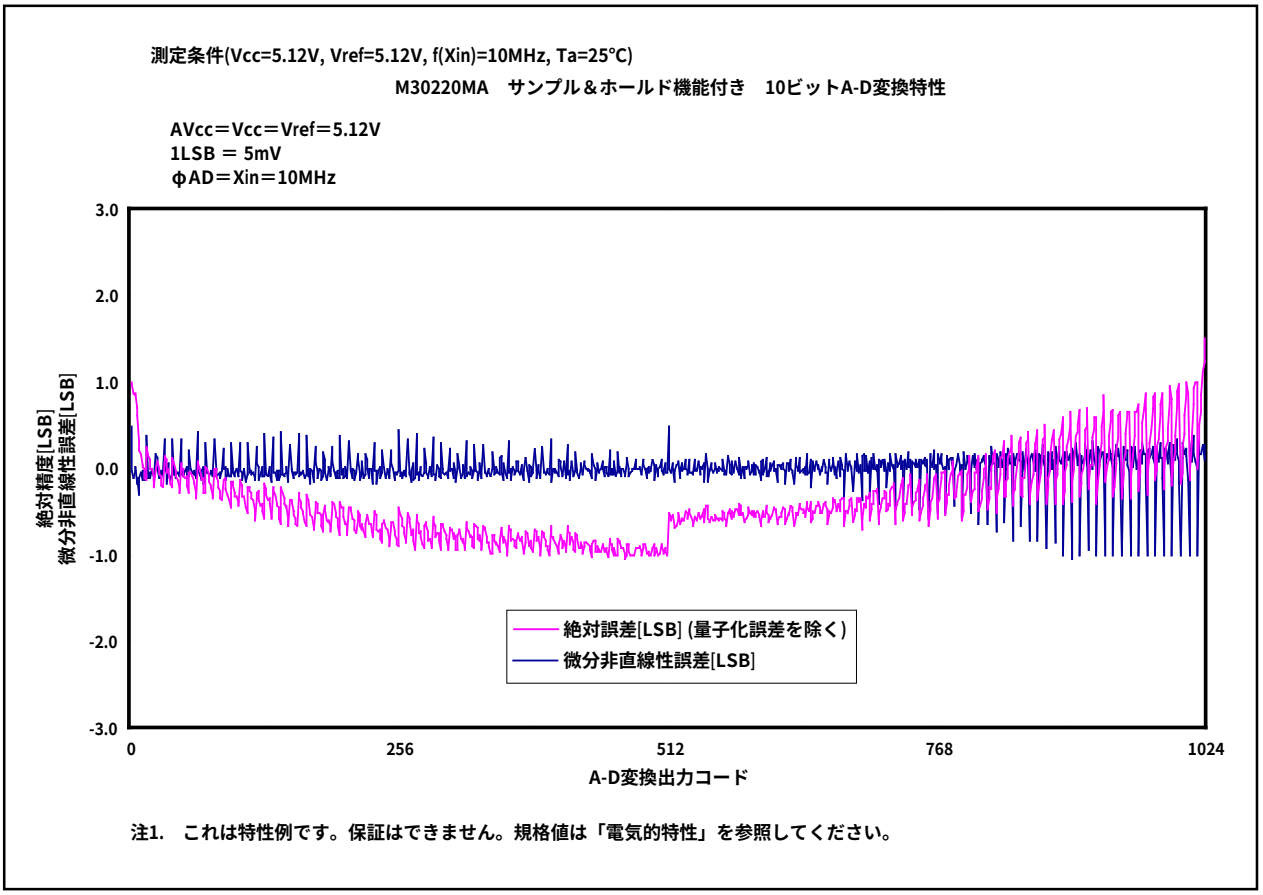
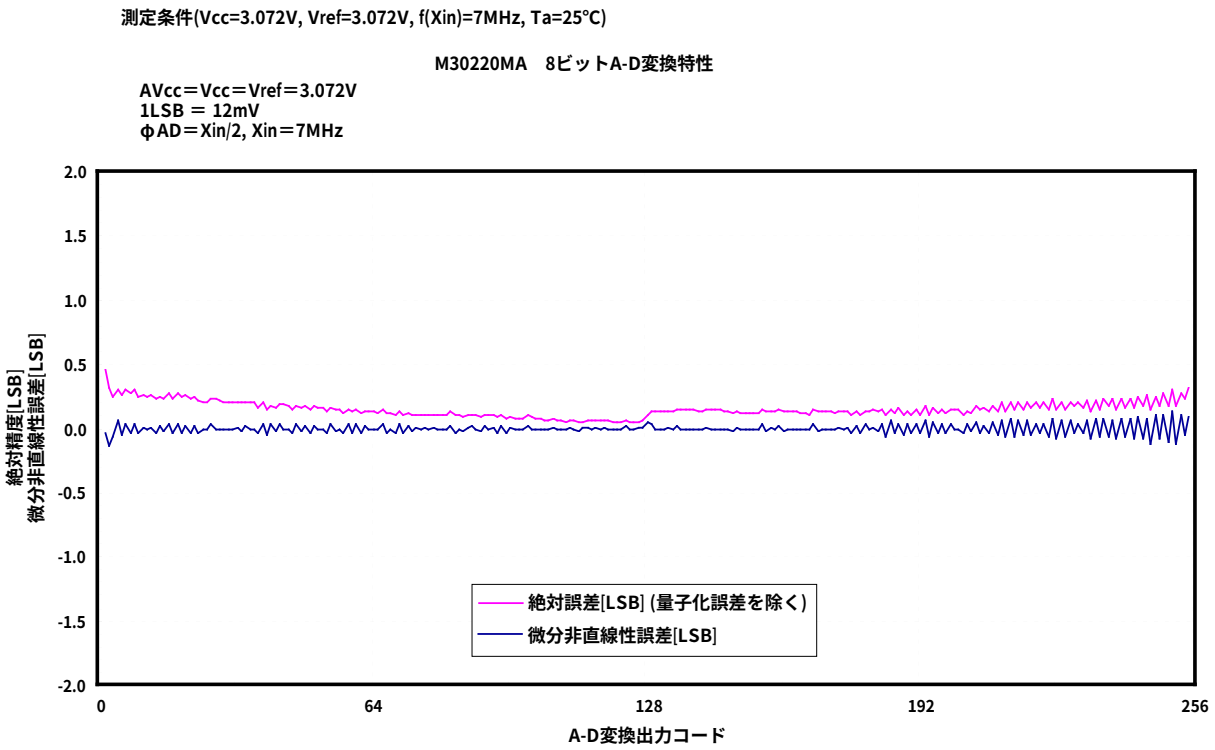


図5.2.1.　A-D変換器標準特性



注1.　これは特性例です。保証はできません。規格値は「電気的特性」を参照してください。

図5.2.2.　A-D変換器標準特性

5.3 D-A変換器標準特性

本節で記載している標準特性はM30220MA-XXXGP/RPの特性例です。この例について、保証はできません。規格値は「電気的特性」を参照してください。

図5.3.1、図5.3.2にD-A変換器標準特性を示します。

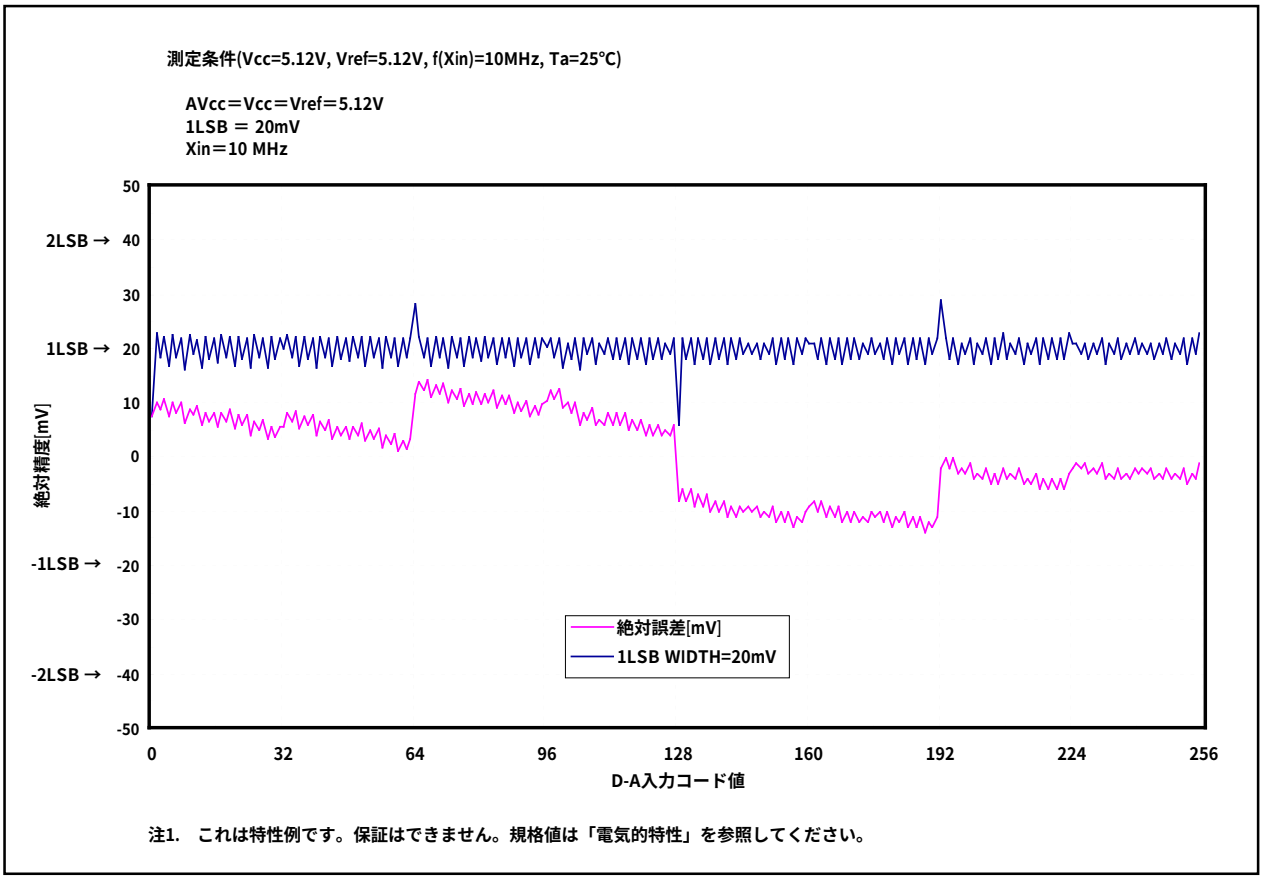
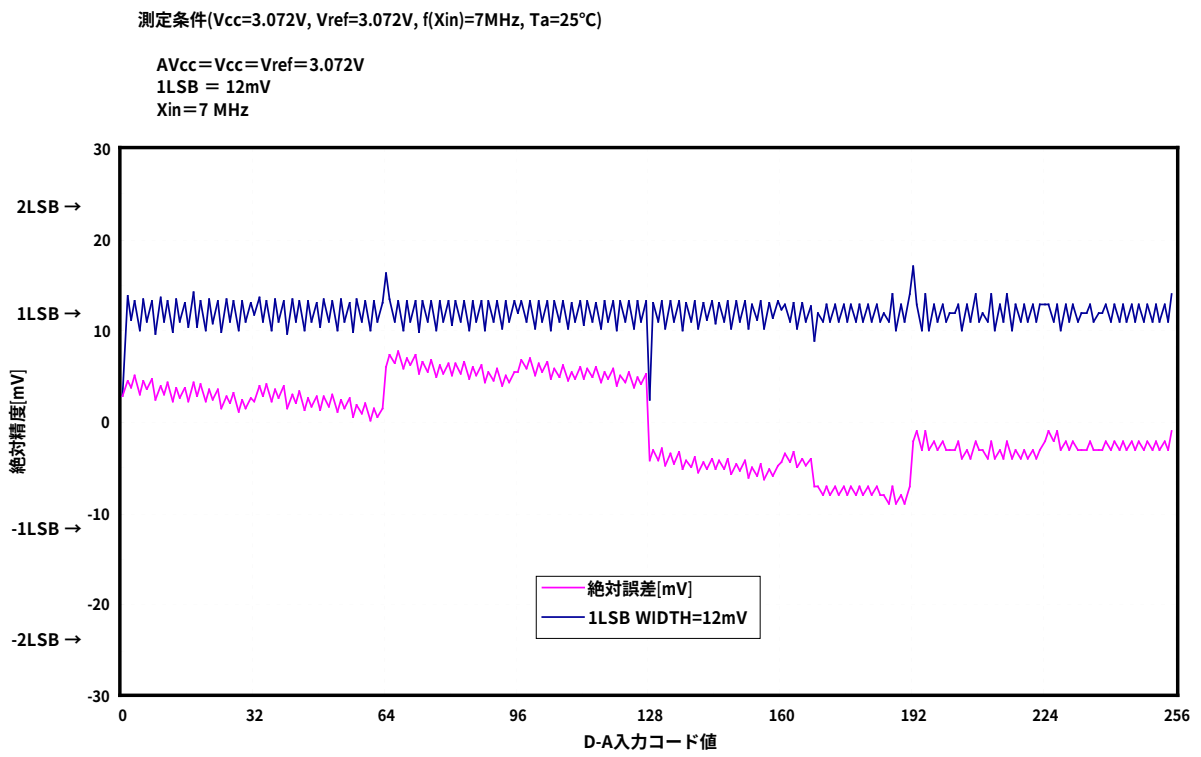


図5.3.1. D-A変換器標準特性



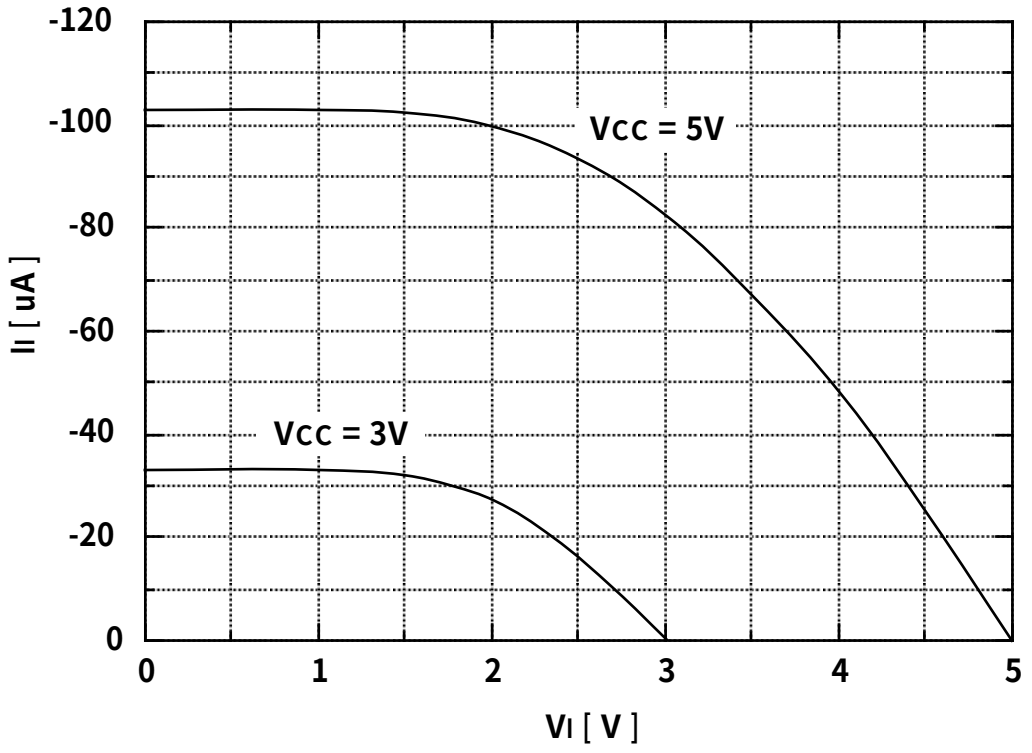
注1.　これは特性例です。保証はできません。規格値は「電気的特性」を参照してください。

図5.3.2.　D-A変換器標準特性

5.4 プルアップ抵抗標準特性

本節で記載している標準特性はM30220MA-XXXGP/RPの特性例です。この例について、保証はできません。規格値は「電気的特性」を参照してください。

図5.4.1にプルアップ抵抗標準特性を示します。



注1. これは特性例です。保証はできません。規格値は「電気的特性」を参照してください。

図5.4.1. プルアップ抵抗標準特性

レイアウトの都合上、このページは白紙です。

付録1　チェックシート

過去に発生した問題の原因となった項目などをもとにチェックシートにしてまとめました。不具合対策の一策として参考にされることをお奨めします。

□　テクニカルニュースへの対応は行っていますか？
　　最新のテクニカルニュースの入手は、特約店にお問い合わせください。

レジスタの初期設定に関するチェック事項

□　プログラムの先頭で割り込みスタックポインタ(ISP)に初期値を設定していますか？

□　ユーザスタックポインタ(USP)を使用する場合、初期値を設定していますか？

□　USPを使用する場合、ISPの領域と重なりませんか？

□　ISPやUSPを設定してから割り込み許可を行っていますか？

□　割り込みテーブルレジスタ(INTB)に、可変割り込みベクタテーブルの先頭番地を設定していますか？

□　INTBを設定してから割り込み許可を行っていますか？

□　フレームベースレジスタ(FB)を使用する場合、初期値を設定していますか？

□　スタックベースレジスタ(SB)を使用する場合、初期値を設定していますか？

内蔵メモリに関するチェック事項

□　プログラムで使用しているRAM容量は、マイコンのRAM容量を超えていませんか？

□　プログラムで使用しているROM容量は、マイコンのROM容量を超えていませんか？

プロテクトレジスタに関するチェック事項

□　システムクロック制御レジスタ（0006_{16}番地、0007_{16}番地）に書き込む前にプロテクトレジスタ（$000A_{16}$番地）を書き込み許可にしていますか？

□　プロセッサモードレジスタ（0004_{16}番地、0005_{16}番地）に書き込む前にプロテクトレジスタを書き込み許可にしていますか？

タイマに関するチェック事項

□　タイマレジスタに値を設定してから、タイマをスタートさせていますか？

割り込みに関するチェック事項

□　割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行っていますか？

低電圧、低消費電力に関するチェック事項

□　低電圧で使用する場合、推奨動作条件を参照の上、ウエイトビット(0005$_{16}$番地、ビット7)を“１”にしていますか？

□　BCLKのカウントソースをX_{IN}からX_{CIN}、X_{CIN}からX_{IN}に切り替える時、切り替え先の発振子は充分安定して発振していますか？

□　低消費電力モード時、Vref接続ビット(03D7$_{16}$番地、ビット5)の設定等によりVrefから電流が流れ込まないようになっていますか？

□　低消費電力モード時、ポートの電位は確定していますか？

A-D変換器に関するチェック事項

□　V_{CC}=2.7V～4.0VでA-D変換器を使用する場合、ϕ_{AD}にfAD(分周なし)以外を選択していますか？

□　V_{CC}=2.7V～4.0VでA-D変換器を使用する場合、サンプル＆ホールド機能なしを選択していますか？

□　V_{CC}=2.7V～4.0VでA-D変換器を使用する場合、8ビットモードを選択していますか？

□　ϕ_{AD}は10MHz以下で使用していますか？

付録2　16進命令コード対応表

	D7～D4	0000	0001	0010	0011	0100	0101	0110	0111
D3～D0		0	1	2	3	4	5	6	7
0000	0	BRK	AND.B:S R0H,R0L	ADD.B:S R0H,R0L	MOV.B:S R0H,A0	BCLR:S 0,11[SB]	BNOT:S 0,11[SB]	JMP.S label	MULU.B src,dest
0001	1	MOV.B:S R0L,dsp:8[SB]	AND.B:S dsp:8[SB],R0L	ADD.B:S dsp:8[SB],R0L	MOV.B:S dsp:8[SB],A0	BCLR:S 1,11[SB]	BNOT:S 1,11[SB]	JMP.S label	MULU.W src,dest
0010	2	MOV.B:S R0L,dsp:8[FB]	AND.B:S dsp:8[FB],R0L	ADD.B:S dsp:8[FB],R0L	MOV.B:S dsp:8[FB],A0	BCLR:S 2,11[SB]	BNOT:S 2,11[SB]	JMP.S label	MOV.B:G src,dest
0011	3	MOV.B:S R0L,abs16	AND.B:S abs16,R0L	ADD.B:S abs16,R0L	MOV.B:S abs16,A0	BCLR:S 3,11[SB]	BNOT:S 3,11[SB]	JMP.S label	MOV.W:G src,dest
0100	4	NOP	AND.B:S R0L,R0H	ADD.B:S R0L,R0H	MOV.B:S R0L,A1	BCLR:S 4,11[SB]	BNOT:S 4,11[SB]	JMP.S label	CODE_74
0101	5	MOV.B:S R0H,dsp:8[SB]	AND.B:S dsp:8[SB],R0H	ADD.B:S dsp:8[SB],R0H	MOV.B:S dsp:8[SB],A1	BCLR:S 5,11[SB]	BNOT:S 5,11[SB]	JMP.S label	CODE_75
0110	6	MOV.B:S R0H,dsp:8[FB]	AND.B:S dsp:8[FB],R0H	ADD.B:S dsp:8[FB],R0H	MOV.B:S dsp:8[FB],A1	BCLR:S 6,11[SB]	BNOT:S 6,11[SB]	JMP.S label	CODE_76
0111	7	MOV.B:S R0H,abs16	AND.B:S abs16,R0H	ADD.B:S abs16,R0H	MOV.B:S abs16,A1	BCLR:S 7,11[SB]	BNOT:S 7,11[SB]	JMP.S label	CODE_77
1000	8	MOV.B:S R0H,R0L	OR.B:S R0H,R0L	SUB.B:S R0H,R0L	CMP.B:S R0H,R0L	BSET:S 0,11[SB]	BTST:S 0,11[SB]	JGEU/C label	MUL.B src,dest
1001	9	MOV.B:S dsp:8[SB],R0L	OR.B:S dsp:8[SB],R0L	SUB.B:S dsp:8[SB],R0L	CMP.B:S dsp:8[SB],R0L	BSET:S 1,11[SB]	BTST:S 1,11[SB]	JGTU label	MUL.W src,dest
1010	A	MOV.B:S dsp:8[FB],R0L	OR.B:S dsp:8[FB],R0L	SUB.B:S dsp:8[FB],R0L	CMP.B:S dsp:8[FB],R0L	BSET:S 2,11[SB]	BTST:S 2,11[SB]	JEQ/Z label	CODE_7A
1011	B	MOV.B:S abs16,R0L	OR.B:S abs16,R0L	SUB.B:S abs16,R0L	CMP.B:S abs16,R0L	BSET:S 3,11[SB]	BTST:S 3,11[SB]	JN label	CODE_7B
1100	C	MOV.B:S R0L,R0H	OR.B:S R0L,R0H	SUB.B:S R0L,R0H	CMP.B:S R0L,R0H	BSET:S 4,11[SB]	BTST:S 4,11[SB]	JLTU/NC label	CODE_7C
1101	D	MOV.B:S dsp:8[SB],R0H	OR.B:S dsp:8[SB],R0H	SUB.B:S dsp:8[SB],R0H	CMP.B:S dsp:8[SB],R0H	BSET:S 5,11[SB]	BTST:S 5,11[SB]	JLEU label	CODE_7D
1110	E	MOV.B:S dsp:8[FB],R0H	OR.B:S dsp:8[FB],R0H	SUB.B:S dsp:8[FB],R0H	CMP.B:S dsp:8[FB],R0H	BSET:S 6,11[SB]	BTST:S 6,11[SB]	JNE/JNZ label	CODE_7E
1111	F	MOV.B:S abs16,R0H	OR.B:S abs16,R0H	SUB.B:S abs16,R0H	CMP.B:S abs16,R0H	BSET:S 7,11[SB]	BTST:S 7,11[SB]	JPZ label	

各CODEには、次の命令が配置されています。
CODE_74:STE,MOV,PUSH,NEG,ROT,NOT,LDE,POP,SHL,SHA
CODE_75:STE,MOV,PUSH,NEG,ROT,NOT,LDE,POP,SHL,SHA
CODE_76:TST,XOR,AND,OR,ADD,SUB,ADC,SBB,CMP,DIVX,ROLC,RORC,DIVU,DIV,ADCF,ABS
CODE_77:TST,XOR,AND,OR,ADD,SUB,ADC,SBB,CMP,DIVX,ROLC,RORC,DIVU,DIV,ADCF,ABS
CODE_7A:XCHG,LDC
CODE_7B:XCHG,STC
CODE_7C:MOV*Dir* ,MULU,MUL,EXTS,STC,DIVU,DIV,PUSH,DIVX,DADD,DSUB,DADC,DSBB,SMOVF,SMOVB,SSTR,ADD,LDCTX,RMPA,ENTER
CODE_7D:JMPI,JSRI,MULU,MUL,PUSHA,LDIPL,ADD,J*Cnd* ,BM*Cnd* ,DIVU,DIV,PUSH,DIVX,DADD,DSUB,DADC,DSBB,SMOVF,SMOVB,SSTR,STCTX,RMPA,EXITD,WAIT
CODE_7E:BTSTC,BM*Cnd* ,BNTST,BAND,BNAND,BOR,BNOR,BCLR,BSET,BNOT,BTST,BXOR,BNXOR
CODE_EB:SHL,FSET,FCLR,MOVA,LDC,SHA,PUSHC,POPC,INT

付録2　16進命令コード対応表

	D7～D4	1000	1001	1010	1011	1100	1101	1110	1111
D3～D0		8	9	A	B	C	D	E	F
0000	0	TST.B src,dest	AND.B:G src,dest	ADD.B:G src,dest	ADC.B src,dest	CMP.B:G src,dest	CMP.B:Q #IMM,dest	ROT.B #IMM,dest	SHA.B #IMM,dest
0001	1	TST.W src,dest	AND.W:G src,dest	ADD.W:G src,dest	ADC.w src,dest	CMP.W:G src,dest	CMP.W:Q #IMM,dest	ROT.W #IMM,dest	SHA.W #IMM,dest
0010	2	PUSH.B:S R0L	POP.B:S R0L	MOV.W:S #IMM,A0	INC.W A0	PUSH.W:S A0	POP.W:S A0	MOV.B:S #IMM,A0	DEC.W A0
0011	3	ADD.B:S #IMM8,R0H	AND.B:S #IMM8,R0H	INC.B R0H	MOV.B:Z #0,R0H	MOV.B:S #IMM8,R0H	STNZ #IMM8,R0H	CMP.B:S #IMM8,R0H	RTS
0100	4	ADD.B:S #IMM8,R0L	AND.B:S #IMM8,R0L	INC.B R0L	MOV.B:Z #0,R0L	MOV.B:S #IMM8,R0L	STNZ #IMM8,R0L	CMP.B:S #IMM8,R0L	JMP.W label
0101	5	ADD.B:S #IMM8,dsp:8[SB]	AND.B:S #IMM8,dsp:8[SB]	INC.B dsp:8[SB]	MOV.B:Z #0,dsp:8[SB]	MOV.B:S #IMM8,dsp:8[SB]	STNZ #IMM8,dsp:8[SB]	CMP.B:S #IMM8,dsp:8[SB]	JSR.W label
0110	6	ADD.B:S #IMM8,dsp:8[FB]	AND.B:S #IMM8,dsp:8[FB]	INC.B dsp:8[FB]	MOV.B:Z #0,dsp:8[FB]	MOV.B:S #IMM8,dsp:8[FB]	STNZ #IMM8,dsp:8[FB]	CMP.B:S #IMM8,dsp:8[FB]	INTO
0111	7	ADD.B:S #IMM8,abs16	AND.B:S #IMM8,abs16	INC.B abs16	MOV.B:Z #0,abs16	MOV.B:S #IMM8,abs16	STNZ #IMM8,abs16	CMP.B:S #IMM8,abs16	
1000	8	XOR.B src,dest	OR.B:G src,dest	SUB.B:G src,dest	SBB.B src,dest	ADD.B:Q #IMM,dest	MOV.B:Q #IMM,dest	SHL.B #IMM,dest	ADJNZ.B #IMM,dest,label
1001	9	XOR.W src,dest	OR.W:G src,dest	SUB.W:G src,dest	SBB.W src,dest	ADD.W:Q #IMM,dest	MOV.W:Q #IMM,dest	SHL.W #IMM,dest	ADJNZ.W #IMM,dest,label
1010	A	PUSH.B:S R0H	POP.B:S R0H	MOV.W:S #IMM,A1	INC.W A1	PUSH.W:S A1	POP.W:S A1	MOV.B:S #IMM,A1	DEC.W A1
1011	B	SUB.B:S #IMM8,R0H	OR.B:S #IMM8,R0H	DEC.B R0H	NOT.B:S R0H	STZ #IMM8,R0H	STZX #IMM8,#IMM8,R0H	CODE_EB	REIT
1100	C	SUB.B:S #IMM8,R0L	OR.B:S #IMM8,R0L	DEC.B R0L	NOT.B:S R0L	STZ #IMM8,R0L	STZX #IMM8,#IMM8,R0L	PUSHM src	JMP.A label
1101	D	SUB.B:S #IMM8,dsp:8[SB]	OR.B:S #IMM8,dsp:8[SB]	DEC.B dsp:8[SB]	NOT.B:S dsp:8[SB]	STZ #IMM8,dsp:8[SB]	STZX #IMM8,#IMM8,dsp:8[SB]	POPM dest	JSR.A label
1110	E	SUB.B:S #IMM8,dsp:8[FB]	OR.B:S #IMM8,dsp:8[FB]	DEC.B dsp:8[FB]	NOT.B:S dsp:8[FB]	STZ #IMM8,dsp:8[FB]	STZX #IMM8,#IMM8,dsp:8[FB]	JMPS #IMM8	JMP.B label
1111	F	SUB.B:S #IMM8,abs16	OR.B:S #IMM8,abs16	DEC.B abs16	NOT.B:S abs16	STZ #IMM8,abs16	STZX #IMM8,#IMM8,abs16	JSRS #IMM8	UND

付録3　端子機能選択時のレジスタ設定

端子機能を選択するレジスタとその設定値を以下に示します。
表は次のように参照してください。

端子機能

端子機能の入出力方向

端子機能の内容

周辺機能の記載ページ

端子名	P96/AN6		端子番号	1(M30220グループ)	1(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			6,3F3h	3,3FEh									
AN6	I	AD入力	0	0									128
P96	I	ポート入力 (プルアップ無し)	0	0									140
P96	I	ポート入力 (プルアップ有り)	0	1									140
P96	O	ポート出力	1	X									140
			6,3F3h	ポートP96方向レジスタ									145
			3,3FEh	P94～P97プルアップ制御レジスタ2									147

レジスタの記載ページ

ビットの設定値
0 : “ 0 ” にしてください。
1 : “ 1 ” にしてください。
X : “ 0 ” または “ 1 ” いずれでも良い。

端子機能を選択するためのビットを示す記号 (ビット番号、番地)

付録3　端子機能選択時のレジスタ設定

端子名	P96/AN6		端子番号	1(M30220グループ)	1(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			6,3F3h	3,3FEh									
AN6	I	AD入力	0	0									128
P96	I	ポート入力 (プルアップ無し)	0	0									140
P96	I	ポート入力 (プルアップ有り)	0	1									140
P96	O	ポート出力	1	X									140
			6,3F3h	ポートP96方向レジスタ									145
			3,3FEh	P94～P97プルアップ制御レジスタ2									147

端子名	P95/AN5		端子番号	2(M30220グループ)	2(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			5,3F3h	3,3FEh									
AN5	I	AD入力	0	0									128
P95	I	ポート入力 (プルアップ無し)	0	0									140
P95	I	ポート入力 (プルアップ有り)	0	1									140
P95	O	ポート出力	1	X									140
			5,3F3h	ポートP95方向レジスタ									145
			3,3FEh	P94～P97プルアップ制御レジスタ2									147

端子名	P94/AN4		端子番号	3(M30220グループ)	3(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			4,3F3h	3,3FEh									
AN4	I	AD入力	0	0									128
P94	I	ポート入力 (プルアップ無し)	0	0									140
P94	I	ポート入力 (プルアップ有り)	0	1									140
P94	O	ポート出力	1	X									140
			4,3F3h	ポートP94方向レジスタ									145
			3,3FEh	P94～P97プルアップ制御レジスタ2									147

端子名	P93/AN3		端子番号	4(M30220グループ)	4(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			3,3F3h	2,3FEh									
AN3	I	AD入力	0	0									128
P93	I	ポート入力 (プルアップ無し)	0	0									140
P93	I	ポート入力 (プルアップ有り)	0	1									140
P93	O	ポート出力	1	X									140
			3,3F3h	ポートP93方向レジスタ									145
			2,3FEh	P90～P93プルアップ制御レジスタ2									147

付録3　端子機能選択時のレジスタ設定

端子名	P92/AN2		端子番号	5(M30220グループ)	5(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			2,3F3h	2,3FEh									
AN2	I	AD入力	0	0									128
P92	I	ポート入力 (プルアップ無し)	0	0									140
P92	I	ポート入力 (プルアップ有り)	0	1									140
P92	O	ポート出力	1	X									140
			2,3F3h	ポートP92方向レジスタ									145
			2,3FEh	P90～P93プルアップ制御レジスタ2									147

端子名	P91/AN1		端子番号	6(M30220グループ)	6(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			1,3F3h	2,3FEh									
AN1	I	AD入力	0	0									128
P91	I	ポート入力 (プルアップ無し)	0	0									140
P91	I	ポート入力 (プルアップ有り)	0	1									140
P91	O	ポート出力	1	X									140
			1,3F3h	ポートP91方向レジスタ									145
			2,3FEh	P90～P93プルアップ制御レジスタ2									147

端子名	P90/AN0		端子番号	7(M30220グループ)	7(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			0,3F3h	2,3FEh									
AN0	I	AD入力	0	0									128
P90	I	ポート入力 (プルアップ無し)	0	0									140
P90	I	ポート入力 (プルアップ有り)	0	1									140
P90	O	ポート出力	1	X									140
			0,3F3h	ポートP90方向レジスタ									145
			2,3FEh	P90～P93プルアップ制御レジスタ2									147

付録3　端子機能選択時のレジスタ設定

端子名	P87/TA7IN		端子番号	8(M30220グループ)		- (M30221グループ)							
選択機能			レジスタの設定									備　考	参　照
			7,3F2h	1,3FEh	2,343h	3,343h	4,358h						
TA7IN	I	ゲート機能レベル入力	0	X	0	0	1						63
TA7IN	I	カウントソース入力	0	X	0	0	X						63
TA7IN	I	外部トリガ入力	0	X	0	0	1						63
P87	I	ポート入力 (プルアップ無し)	0	0	X	X	X						140
P87	I	ポート入力 (プルアップ有り)	0	1	X	X	X						140
P87	O	ポート出力	1	X	X	X	X						140
			7,3F2h	ポートP87方向レジスタ									145
			1,3FEh	P84～P87プルアップ制御レジスタ2									147
			2,343h	トリガ選択レジスタ1のタイマA7イベント/トリガ選択ビット									68
			3,343h	トリガ選択レジスタ1のタイマA7イベント/トリガ選択ビット									68
			4,358h	タイマA7モードレジスタのビット4									65

端子名	P86/TA7OUT		端子番号	9(M30220グループ)		8(M30221グループ)							
選択機能			レジスタの設定									備　考	参　照
			6,3F2h	1,3FEh	4,358h	2,358h	5,344h						
TA7OUT	O	パルス出力	X	X	X	1	0						63
TA7OUT	I	アップ/ダウン極性選択入力	0	X	1	0	0						63
TA7OUT	I	二相パルス信号入力	0	X	1	0	1						63
P86	I	ポート入力 (プルアップ無し)	0	0	X	0	0						140
P86	I	ポート入力 (プルアップ有り)	0	1	X	0	0						140
P86	O	ポート出力	1	X	X	0	0						140
			6,3F2h	ポートP86方向レジスタ									145
			1,3FEh	P84～P87プルアップ制御レジスタ2									147
			4,358h	タイマA7モードレジスタのビット4									65
			2,358h	タイマA7モードレジスタのビット2									65
			5,344h	アップダウンフラグ1のタイマA7二相パルス信号処理機能選択ビット									67

端子名	P85/TA6IN		端子番号	10(M30220グループ)		- (M30221グループ)							
選択機能			レジスタの設定									備　考	参　照
			5,3F2h	1,3FEh	0,343h	1,343h	4,357h						
TA6IN	I	ゲート機能レベル入力	0	X	0	0	1						63
TA6IN	I	カウントソース入力	0	X	0	0	X						63
TA6IN	I	外部トリガ入力	0	X	0	0	1						63
P85	I	ポート入力 (プルアップ無し)	0	0	X	X	X						140
P85	I	ポート入力 (プルアップ有り)	0	1	X	X	X						140
P85	O	ポート出力	1	X	X	X	X						140
			5,3F2h	ポートP85方向レジスタ									145
			1,3FEh	P84～P87プルアップ制御レジスタ2									147
			0,343h	トリガ選択レジスタ1のタイマA6イベント/トリガ選択ビット									68
			1,343h	トリガ選択レジスタ1のタイマA6イベント/トリガ選択ビット									68
			4,357h	タイマA6モードレジスタのビット4									65

付録3　端子機能選択時のレジスタ設定

端子名	P84/TA6OUT		端子番号	11(M30220グループ)	9(M30221グループ)							
選択機能			レジスタの設定								備　考	参　照
			4,3F2h	1,3FEh	4,357h	2,357h						
TA6OUT	O	パルス出力	X	X	X	1						63
TA6OUT	I	アップ/ダウン極性選択入力	0	X	1	0						63
P84	I	ポート入力 (プルアップ無し)	0	0	X	0						140
P84	I	ポート入力 (プルアップ有り)	0	1	X	0						140
P84	O	ポート出力	1	X	X	0						140
			4,3F2h	ポートP84方向レジスタ								145
			1,3FEh	P84～P87プルアップ制御レジスタ2								147
			4,357h	タイマA6モードレジスタのビット4								65
			2,357h	タイマA6モードレジスタのビット2								65

端子名	P83/TA5IN		端子番号	12(M30220グループ)	- (M30221グループ)							
選択機能			レジスタの設定								備　考	参　照
			3,3F2h	0,3FEh	6,342h	7,342h	4,356h					
TA5IN	I	ゲート機能レベル入力	0	X	0	0	1					63
TA5IN	I	カウントソース入力	0	X	0	0	X					63
TA5IN	I	外部トリガ入力	0	X	0	0	1					63
P83	I	ポート入力 (プルアップ無し)	0	0	X	X	X					140
P83	I	ポート入力 (プルアップ有り)	0	1	X	X	X					140
P83	O	ポート出力	1	X	X	X	X					140
			3,3F2h	ポートP83方向レジスタ								145
			0,3FEh	P80～P83プルアップ制御レジスタ2								147
			6,342h	ワンショット開始フラグ1のタイマA5イベント/トリガ選択ビット								68
			7,342h	ワンショット開始フラグ1のタイマA5イベント/トリガ選択ビット								68
			4,356h	タイマA5モードレジスタのビット4								65

端子名	P82/TA5OUT		端子番号	13(M30220グループ)	10(M30221グループ)							
選択機能			レジスタの設定								備　考	参　照
			2,3F2h	0,3FEh	4,356h	2,356h						
TA5OUT	O	パルス出力	X	X	X	1						63
TA5OUT	I	アップ/ダウン極性選択入力	0	X	1	0						63
P82	I	ポート入力 (プルアップ無し)	0	0	X	0						140
P82	I	ポート入力 (プルアップ有り)	0	1	X	0						140
P82	O	ポート出力	1	X	X	0						140
			2,3F2h	ポートP82方向レジスタ								145
			0,3FEh	P80～P83プルアップ制御レジスタ2								147
			4,356h	タイマA5モードレジスタのビット4								65
			2,356h	タイマA5モードレジスタのビット2								65

付録3　端子機能選択時のレジスタ設定

端子名	P81/TA4IN/$\overline{\text{INT5}}$		端子番号	14(M30220グループ)		11(M30221グループ)						
選択機能			レジスタの設定								備　考	参　照
			1,3F2h	0,3FEh	6,383h	7,383h	4,39Ah	2,35E	3,35E			
$\overline{\text{INT5}}$	I	割り込み入力	0	X	X	X	X	X	1		1	44
TA4IN	I	ゲート機能レベル入力	0	X	0	0	1	X	X			63
TA4IN	I	カウントソース入力	0	X	0	0	X	X	X			63
TA4IN	I	外部トリガ入力	0	X	0	0	1	X	X			63
P81	I	ポート入力 (プルアップ無し)	0	0	X	X	X	X	X			140
P81	I	ポート入力 (プルアップ有り)	0	1	X	X	X	X	X			140
P81	O	ポート出力	1	X	X	X	X	X	X			140
			1,3F2h	ポートP81方向レジスタ								145
			0,3FEh	P80～P83プルアップ制御レジスタ2								147
			6,383h	トリガ選択レジスタ0のタイマA4イベント/トリガ選択ビット								68
			7,383h	トリガ選択レジスタ0のタイマA4イベント/トリガ選択ビット								68
			4,39Ah	タイマA4モードレジスタのビット4								65
			2,35Eh	割り込み要因選択レジスタ0の$\overline{\text{INT5}}$入力端子選択ビット								44
			3,35Eh	割り込み要因選択レジスタ0の$\overline{\text{INT5}}$入力端子選択ビット								44

備考1.　$\overline{\text{INT5}}$入力端子選択ビットを ” 112 ” に設定した場合、P80端子も$\overline{\text{INT5}}$入力端子となります

端子名	P80/TA4OUT/$\overline{\text{INT5}}$		端子番号	15(M30220グループ)		12(M30221グループ)						
選択機能			レジスタの設定								備　考	参　照
			0,3F2h	0,3FEh	4,39Ah	2,39Ah	7,384h	2,35E	3,35E			
$\overline{\text{INT5}}$	I	割り込み入力	0	X	X	X	0	1	X		1	44
TA4OUT	O	パルス出力	X	X	X	1	0	X	X		2	63
TA4OUT	I	アップ/ダウン極性選択入力	0	X	1	0	0	X	X			63
TA4OUT	I	二相パルス信号入力	0	X	1	0	1	X	X			63
P80	I	ポート入力 (プルアップ無し)	0	0	X	0	0	X	X			140
P80	I	ポート入力 (プルアップ有り)	0	1	X	0	0	X	X			140
P80	O	ポート出力	1	X	X	0	0	X	X			140
			0,3F2h	ポートP80方向レジスタ								145
			0,3FEh	P80～P83プルアップ制御レジスタ2								147
			4,39Ah	タイマA4モードレジスタのビット4								65
			2,39Ah	タイマA4モードレジスタのビット2								65
			7,384h	アップダウンフラグ0のタイマA4二相パルス信号処理機能選択ビット								67
			2,35Eh	割り込み要因選択レジスタ0の$\overline{\text{INT5}}$入力端子選択ビット								44
			3,35Eh	割り込み要因選択レジスタ0の$\overline{\text{INT5}}$入力端子選択ビット								44

備考1.　$\overline{\text{INT5}}$入力端子選択ビットを ” 112 ” に設定した場合、P81端子も$\overline{\text{INT5}}$入力端子となります

備考2.　二相パルス信号処理時は使用不可

付録3　端子機能選択時のレジスタ設定

端子名	P76/$\overline{\text{INT2}}$		端子番号	25(M30220グループ)	22(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			6,3EFh	7,3FDh									
$\overline{\text{INT2}}$	I	割り込み入力	0	X								1	44
P76	I	ポート入力 (プルアップ無し)	0	0									140
P76	I	ポート入力 (プルアップ有り)	0	1									140
P76	O	ポート出力	1	X									140
			6,3EFh	ポートP76方向レジスタ									145
			7,3FDh	P74～P76プルアップ制御レジスタ1									147

備考1.　レジスタの設定値に関係なくポートの状態変化により割り込み要求ビット発生

端子名	P75/$\overline{\text{INT1}}$		端子番号	26(M30220グループ)	23(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			5,3EFh	7,3FDh									
$\overline{\text{INT1}}$	I	割り込み入力	0	X								1	44
P75	I	ポート入力 (プルアップ無し)	0	0									140
P75	I	ポート入力 (プルアップ有り)	0	1									140
P75	O	ポート出力	1	X									140
			5,3EFh	ポートP75方向レジスタ									145
			7,3FDh	P74～P76プルアップ制御レジスタ1									147

備考1.　レジスタの設定値に関係なくポートの状態変化により割り込み要求ビット発生

端子名	P74/$\overline{\text{INT0}}$		端子番号	27(M30220グループ)	24(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			4,3EFh	7,3FDh									
$\overline{\text{INT0}}$	I	割り込み入力	0	X								1	44
P74	I	ポート入力 (プルアップ無し)	0	0									140
P74	I	ポート入力 (プルアップ有り)	0	1									140
P74	O	ポート出力	1	X									140
			4,3EFh	ポートP74方向レジスタ									145
			7,3FDh	P74～P76プルアップ制御レジスタ1									147

備考1.　レジスタの設定値に関係なくポートの状態変化により割り込み要求ビット発生

付録3　端子機能選択時のレジスタ設定

端子名	P73/$\overline{CTS2}$/$\overline{RTS2}$		端子番号	28(M30220グループ)	25(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			3,3EFh	6,3FDh	4,37Ch	2,37Ch							
$\overline{RTS2}$	O	$\overline{RTS}$出力	X	X	0	1						1	85
$\overline{CTS2}$	I	$\overline{CTS}$入力	0	X	0	0						1	85
P73	I	ポート入力 (プルアップ無し)	0	0	1	X							140
P73	I	ポート入力 (プルアップ有り)	0	1	1	X							140
P73	O	ポート出力	1	X	1	X							140
			3,3EFh	ポートP73方向レジスタ									145
			6,3FDh	P72～P73プルアップ制御レジスタ1									147
			4,37Ch	UART2送受信制御レジスタ0の$\overline{CTS}$/$\overline{RTS}$禁止ビット									91
			2,37Ch	UART2送受信制御レジスタ0の$\overline{CTS}$/$\overline{RTS}$選択ビット									91

備考1.　UART2送受信モードレジスタのシリアルI/Oモード選択ビットでシリアルI/Oを有効にしてください

端子名	P72/CLK2		端子番号	29(M30220グループ)	26(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			2,3EFh	6,3FDh	3,378h								
CLK2	I	シリアルI/Oクロック入力	0	X	1							1	85
CLK2	O	シリアルI/Oクロック出力	X	X	0							2,3	85
P72	I	ポート入力 (プルアップ無し)	0	0	X								140
P72	I	ポート入力 (プルアップ有り)	0	1	X								140
P72	O	ポート出力	1	X	X								140
			2,3EFh	ポートP72方向レジスタ									145
			6,3FDh	P72～P73プルアップ制御レジスタ1									147
			3,378h	UART2送受信モードレジスタの内/外部クロック選択ビット									90

備考1.　UART2送受信モードレジスタのシリアルI/Oモード選択ビットでクロック同期シリアルI/Oを有効にしてください

備考2.　クロック非同期シリアルI/O選択時は入出力ポートになります

備考3.　UART2送受信モードレジスタのシリアルI/Oモード選択ビットでシリアルI/Oを有効にしてください

端子名	P71/RXD2/SCL		端子番号	30(M30220グループ)	27(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			1,3EFh	0,377h	3,378h								
SCL	O	IICクロック出力	X	1	0							1	113
SCL	I	IICクロック入力	0	1	1							1	113
RXD2	I	シリアルI/Oデータ入力	0	0	X							2	85
P71	I	ポート入力	0	0	X								140
P71	O	ポート出力	1	0	X								140
			1,3EFh	ポートP71方向レジスタ									145
			0,377h	IICモード選択ビット									113
			3,378h	UART2送受信モードレジスタの内/外部クロック選択ビット									90

備考1.　UART2送受信モードレジスタのシリアルI/Oモード選択ビットを ” 010_2 ” にしてください

備考2.　UART2送受信モードレジスタのシリアルI/Oモード選択ビットでシリアルI/Oを有効にしてください

端子名	P70/TXD2/SDA		端子番号	31(M30220グループ)	28(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			0,3EFh	0,377h									
SDA	I/O	IICデータ入出力	0	1								1	113
TXD2	O	シリアルI/Oデータ出力	X	0								2,3	85
P70	I	ポート入力	0	0									140
P70	O	ポート出力	1	0									140
			0,3EFh	ポートP70方向レジスタ									145
			0,377h	IICモード選択ビット									113

備考1.　UART2送受信モードレジスタのシリアルI/Oモード選択ビットを ” 010_2 ” にしてください

備考2.　UART2送受信モードレジスタのシリアルI/Oモード選択ビットでシリアルI/Oを有効にしてください

備考3.　Nチャネルオープンドレイン出力

付録3　端子機能選択時のレジスタ設定

端子名	P67/TXD1		端子番号	32(M30220グループ)	- (M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			7,3EEh	5,3FDh									
TXD1	O	シリアルI/Oデータ出力	X	X								1, 2	85
P67	I	ポート入力 (プルアップ無し)	0	0									140
P67	I	ポート入力 (プルアップ有り)	0	1									140
P67	O	ポート出力	1	X									140
			7,3EEh	ポートP67方向レジスタ									145
			5,3FDh	P64～P67プルアップ制御レジスタ1									147

備考1.　UART1送受信モードレジスタのシリアルI/Oモード選択ビットでシリアルI/Oを有効にしてください

備考2.　CMOS出力、Nチャネルオープンドレイン出力を選択可

端子名	P66/RXD1		端子番号	33(M30220グループ)	- (M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			6,3EEh	5,3FDh									
RXD1	I	シリアルI/Oデータ入力	0	X								1	85
P66	I	ポート入力 (プルアップ無し)	0	0									140
P66	I	ポート入力 (プルアップ有り)	0	1									140
P66	O	ポート出力	1	X									140
			6,3EEh	ポートP66方向レジスタ									145
			5,3FDh	P64～P67プルアップ制御レジスタ1									147

備考1.　UART1送受信モードレジスタのシリアルI/Oモード選択ビットでシリアルI/Oを有効にしてください

端子名	P65/CLK1		端子番号	34(M30220グループ)	- (M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			5,3EEh	5,3FDh	3,3A8h								
CLK1	I	シリアルI/Oクロック入力	0	X	1							1	85
CLK1	O	シリアルI/Oクロック出力	X	X	0							1, 2	85
P65	I	ポート入力 (プルアップ無し)	0	0	X								140
P65	I	ポート入力 (プルアップ有り)	0	1	X								140
P65	O	ポート出力	1	X	X								140
			5,3EEh	ポートP65方向レジスタ									145
			5,3FDh	P64～P67プルアップ制御レジスタ1									147
			3,3A8h	UART1送受信モードレジスタの内/外部クロック選択ビット									90

備考1.　UART1送受信モードレジスタのシリアルI/Oモード選択ビットでシリアルI/Oを有効にしてください

備考2.　クロック非同期シリアルI/O選択時は入出力ポートになります

付録3　端子機能選択時のレジスタ設定

端子名	P64/$\overline{\text{CTS1}}$/$\overline{\text{RTS1}}$/CLKS1		端子番号	35(M30220グループ)		- (M30221グループ)						
選択機能			レジスタの設定								備　考	参　照
			4,3EEh	5,3FDh	5,3B0h	4,3B0h	4,3ACh	2,3ACh	3,3A8h			
CLKS1	O	シリアルI/Oクロック出力	X	X	1	1	1	X	0		1	85
$\overline{\text{RTS1}}$	O	$\overline{\text{RTS}}$出力	X	X	0	0	0	1	X		2	85
$\overline{\text{CTS1}}$	I	$\overline{\text{CTS}}$入力	0	X	0	0	0	0	X		2	85
P64	I	ポート入力 (プルアップ無し)	0	0	X	X	1	X	X			140
P64	I	ポート入力 (プルアップ有り)	0	1	X	X	1	X	X			140
P64	O	ポート出力	1	X	X	X	1	X	X			140
			4,3EEh	ポートP64方向レジスタ								145
			5,3FDh	P64～P67プルアップ制御レジスタ1								147
			5,3B0h	UART送受信制御レジスタ2のCLK、CLKS選択ビット1								93
			4,3B0h	UART送受信制御レジスタ2のCLK、CLKS選択ビット0								93
			4,3ACh	UART1送受信制御レジスタ0の$\overline{\text{CTS}}$/$\overline{\text{RTS}}$禁止ビット								91
			2,3ACh	UART1送受信制御レジスタ0の$\overline{\text{CTS}}$/$\overline{\text{RTS}}$選択ビット								91
			3,3A8h	UART1送受信モードレジスタの内/外部クロック選択ビット								90

備考1.　UART1送受信モードレジスタのシリアルI/Oモード選択ビットでクロック同期シリアルI/Oを有効にしてください

備考2.　UART1送受信モードレジスタのシリアルI/Oモード選択ビットでシリアルI/Oを有効にしてください

端子名	P63/TXD0		端子番号	36(M30220グループ)		29(M30221グループ)						
選択機能			レジスタの設定								備　考	参　照
			3,3EEh	4,3FDh								
TXD0	O	シリアルI/Oデータ出力	X	X							1	85
P63	I	ポート入力 (プルアップ無し)	0	0								140
P63	I	ポート入力 (プルアップ有り)	0	1								140
P63	O	ポート出力	1	X								140
			3,3EEh	ポートP63方向レジスタ								145
			4,3FDh	P60～P63プルアップ制御レジスタ1								147

備考1.　UART0送受信モードレジスタのシリアルI/Oモード選択ビットでシリアルI/Oを有効にしてください

端子名	P62/RXD0		端子番号	37(M30220グループ)		30(M30221グループ)						
選択機能			レジスタの設定								備　考	参　照
			2,3EEh	4,3FDh								
RXD0	I	シリアルI/Oデータ入力	0	X							1	85
P62	I	ポート入力 (プルアップ無し)	0	0								140
P62	I	ポート入力 (プルアップ有り)	0	1								140
P62	O	ポート出力	1	X								140
			2,3EEh	ポートP62方向レジスタ								145
			4,3FDh	P60～P63プルアップ制御レジスタ1								147

備考1.　UART0送受信モードレジスタのシリアルI/Oモード選択ビットでシリアルI/Oを有効にしてください

付録3　端子機能選択時のレジスタ設定

端子名	P61/CLK0		端子番号	38(M30220グループ)	31(M30221グループ)							
選択機能			レジスタの設定								備　考	参　照
			1,3EEh	4,3FDh	3,3A0h							
CLK0	I	シリアルI/Oクロック入力	0	X	1						1	85
CLK0	O	シリアルI/Oクロック出力	X	X	0						1, 2	85
P61	I	ポート入力 (プルアップ無し)	0	0	X							140
P61	I	ポート入力 (プルアップ有り)	0	1	X							140
P61	O	ポート出力	1	X	X							140
			1,3EEh	ポートP61方向レジスタ								145
			4,3FDh	P60～P63プルアップ制御レジスタ1								147
			3,3A0h	UART0送受信モードレジスタの内/外部クロック選択ビット								90

備考1.　UART0送受信モードレジスタのシリアルI/Oモード選択ビットでシリアルI/Oを有効にしてください

備考2.　クロック非同期シリアルI/O選択時は入出力ポートになります

端子名	P60/$\overline{\text{CTS0}}$/$\overline{\text{RTS0}}$		端子番号	39(M30220グループ)	32(M30221グループ)							
選択機能			レジスタの設定								備　考	参　照
			0,3EEh	4,3FDh	4,3A4h	2,3A4h						
$\overline{\text{RTS0}}$	O	$\overline{\text{RTS}}$出力	X	X	0	1					1	85
$\overline{\text{CTS0}}$	I	$\overline{\text{CTS}}$入力	0	X	0	0					1	85
P60	I	ポート入力 (プルアップ無し)	0	0	1	X						140
P60	I	ポート入力 (プルアップ有り)	0	1	1	X						140
P60	O	ポート出力	1	X	1	X						140
			0,3EEh	ポートP60方向レジスタ								145
			4,3FDh	P60～P63プルアップ制御レジスタ1								147
			4,3A4h	UART0送受信制御レジスタ0の$\overline{\text{CTS}}$/$\overline{\text{RTS}}$禁止ビット								91
			2,3A4h	UART0送受信制御レジスタ0の$\overline{\text{CTS}}$/$\overline{\text{RTS}}$選択ビット								91

備考1.　UART0送受信モードレジスタのシリアルI/Oモード選択ビットでシリアルI/Oを有効にしてください

付録3　端子機能選択時のレジスタ設定

端子名	P57/CKOUT		端子番号	40(M30220グループ)	33(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			7,3EBh	3,3FDh	1,006h	0,006h							
CKOUT	O	CKOUT出力	X	X	00以外								25
P57	I	ポート入力 (プルアップ無し)	0	0	0	0							140
P57	I	ポート入力 (プルアップ有り)	0	1	0	0							140
P57	O	ポート出力	1	X	0	0							140
			7,3EBh	ポートP57方向レジスタ									145
			3,3FDh	P54～P57プルアップ制御レジスタ1									147
			1,006h	システムクロック制御レジスタ0のクロック出力機能選択ビット									24
			0,006h	システムクロック制御レジスタ0のクロック出力機能選択ビット									24

端子名	P56/$\overline{\text{INT3}}$		端子番号	41(M30220グループ)	34(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			6,3EBh	3,3FDh									
$\overline{\text{INT3}}$	I	割り込み入力	0	X									44
P56	I	ポート入力 (プルアップ無し)	0	0									140
P56	I	ポート入力 (プルアップ有り)	0	1									140
P56	O	ポート出力	1	X									140
			6,3EBh	ポートP56方向レジスタ									145
			3,3FDh	P54～P57プルアップ制御レジスタ1									147

端子名	P55/TB5IN		端子番号	42(M30220グループ)	- (M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			5,3EBh	3,3FDh	7,35Dh								
TB5IN	I	カウントソース入力	0	X	0								77
P55	I	ポート入力 (プルアップ無し)	0	0	X								140
P55	I	ポート入力 (プルアップ有り)	0	1	X								140
P55	O	ポート出力	1	X	X								140
			5,3EBh	ポートP55方向レジスタ									145
			3,3FDh	P54～P57プルアップ制御レジスタ1									147
			7,35Dh	タイマB5モードレジスタのイベントクロック選択ビット									77

端子名	P54/TB4IN		端子番号	43(M30220グループ)	- (M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			4,3EBh	3,3FDh	7,35Ch								
TB4IN	I	カウントソース入力	0	X	0								77
P54	I	ポート入力 (プルアップ無し)	0	0	X								140
P54	I	ポート入力 (プルアップ有り)	0	1	X								140
P54	O	ポート出力	1	X	X								140
			4,3EBh	ポートP54方向レジスタ									145
			3,3FDh	P54～P57プルアップ制御レジスタ1									147
			7,35Ch	タイマB4モードレジスタのイベントクロック選択ビット									77

付録3　端子機能選択時のレジスタ設定

端子名	P53/TB3IN		端子番号	44(M30220グループ)	35(M30221グループ)							
選択機能			レジスタの設定								備　考	参　照
			3,3EBh	2,3FDh	7,35Bh							
TB3IN	I	カウントソース入力	0	X	0							77
P53	I	ポート入力 (プルアップ無し)	0	0	X							140
P53	I	ポート入力 (プルアップ有り)	0	1	X							140
P53	O	ポート出力	1	X	X							140
			3,3EBh	ポートP53方向レジスタ								145
			2,3FDh	P50～P53プルアップ制御レジスタ1								147
			7,35Bh	タイマB3モードレジスタのイベントクロック選択ビット								77

端子名	P52/TB2IN		端子番号	45(M30220グループ)	36(M30221グループ)							
選択機能			レジスタの設定								備　考	参　照
			2,3EBh	2,3FDh	7,39Dh							
TB2IN	I	カウントソース入力	0	X	0							77
P52	I	ポート入力 (プルアップ無し)	0	0	X							140
P52	I	ポート入力 (プルアップ有り)	0	1	X							140
P52	O	ポート出力	1	X	X							140
			2,3EBh	ポートP52方向レジスタ								145
			2,3FDh	P50～P53プルアップ制御レジスタ1								147
			7,39Dh	タイマB2モードレジスタのイベントクロック選択ビット								77

端子名	P51/TB1IN		端子番号	46(M30220グループ)	37(M30221グループ)							
選択機能			レジスタの設定								備　考	参　照
			1,3EBh	2,3FDh	7,39Ch							
TB1IN	I	カウントソース入力	0	X	0							77
P51	I	ポート入力 (プルアップ無し)	0	0	X							140
P51	I	ポート入力 (プルアップ有り)	0	1	X							140
P51	O	ポート出力	1	X	X							140
			1,3EBh	ポートP51方向レジスタ								145
			2,3FDh	P50～P53プルアップ制御レジスタ1								147
			7,39Ch	タイマB1モードレジスタのイベントクロック選択ビット								77

端子名	P50/TB0IN		端子番号	47(M30220グループ)	38(M30221グループ)							
選択機能			レジスタの設定								備　考	参　照
			0,3EBh	2,3FDh	7,39Bh							
TB0IN	I	カウントソース入力	0	X	0							77
P50	I	ポート入力 (プルアップ無し)	0	0	X							140
P50	I	ポート入力 (プルアップ有り)	0	1	X							140
P50	O	ポート出力	1	X	X							140
			0,3EBh	ポートP50方向レジスタ								145
			2,3FDh	P50～P53プルアップ制御レジスタ1								147
			7,39Bh	タイマB0モードレジスタのイベントクロック選択ビット								77

付録3　端子機能選択時のレジスタ設定

端子名	P47/TA3IN/$\overline{\text{INT4}}$		端子番号	48(M30220グループ)		39(M30221グループ)						
選択機能			レジスタの設定								備　考	参　照
			7,3EAh	1,3FDh	4,383h	5,383h	4,399h	0,35Eh	1,35Eh			
$\overline{\text{INT4}}$	I	割り込み入力	0	X	X	X	X	X	1		1	44
TA3IN	I	ゲート機能レベル入力	0	X	0	0	1	X	X			63
TA3IN	I	カウントソース入力	0	X	0	0	X	X	X			63
TA3IN	I	外部トリガ入力	0	X	0	0	1	X	X			63
P47	I	ポート入力 (プルアップ無し)	0	0	X	X	X	X	X			140
P47	I	ポート入力 (プルアップ有り)	0	1	X	X	X	X	X			140
P47	O	ポート出力	1	X	X	X	X	X	X			140
			7,3EAh	ポートP47方向レジスタ								145
			1,3FDh	P44～P47プルアップ制御レジスタ1								147
			4,383h	トリガ選択レジスタ0のタイマA3イベント/トリガ選択ビット								68
			5,383h	トリガ選択レジスタ0のタイマA3イベント/トリガ選択ビット								68
			4,399h	タイマA3モードレジスタのビット4								65
			0,35Eh	割り込み要因選択レジスタ0の$\overline{\text{INT4}}$入力端子選択ビット								44
			1,35Eh	割り込み要因選択レジスタ0の$\overline{\text{INT4}}$入力端子選択ビット								44

備考1.　$\overline{\text{INT4}}$入力端子選択ビットを ” 112 ” に設定した場合、P46端子も$\overline{\text{INT4}}$入力端子となります

端子名	P46/TA3OUT/$\overline{\text{INT4}}$		端子番号	49(M30220グループ)		40(M30221グループ)						
選択機能			レジスタの設定								備　考	参　照
			6,3EAh	1,3FDh	4,399h	2,399h	6,384h	0,35Eh	1,35Eh			
$\overline{\text{INT4}}$	I	割り込み入力	0	X	X	X	0	1	X		1	44
TA3OUT	O	パルス出力	X	X	X	1	0	X	X		2	63
TA3OUT	I	アップ/ダウン極性選択入力	0	X	1	0	0	X	X			63
TA3OUT	I	二相パルス信号入力	0	X	1	0	1	X	X			63
P46	I	ポート入力 (プルアップ無し)	0	0	X	0	0	X	X			140
P46	I	ポート入力 (プルアップ有り)	0	1	X	0	0	X	X			140
P46	O	ポート出力	1	X	X	0	0	X	X			140
			6,3EAh	ポートP46方向レジスタ								145
			1,3FDh	P44～P47プルアップ制御レジスタ1								147
			4,399h	タイマA3モードレジスタのビット4								65
			2,399h	タイマA3モードレジスタのビット2								65
			6,384h	アップダウンフラグ0のタイマA3二相パルス信号処理機能選択ビット								67
			0,35Eh	割り込み要因選択レジスタ0の$\overline{\text{INT4}}$入力端子選択ビット								44
			1,35Eh	割り込み要因選択レジスタ0の$\overline{\text{INT4}}$入力端子選択ビット								44

備考1.　$\overline{\text{INT4}}$入力端子選択ビットを ” 112 ” に設定した場合、P47端子も$\overline{\text{INT4}}$入力端子となります

備考2.　二相パルス信号処理時は使用不可

付録3　端子機能選択時のレジスタ設定

端子名	P45/TA2IN		端子番号	50(M30220グループ)	- (M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			5,3EAh	1,3FDh	2,383h	3,383h	4,398h						
TA2IN	I	ゲート機能レベル入力	0	X	0	0	1						63
TA2IN	I	カウントソース入力	0	X	0	0	X						63
TA2IN	I	外部トリガ入力	0	X	0	0	1						63
P45	I	ポート入力 (プルアップ無し)	0	0	X	X	X						140
P45	I	ポート入力 (プルアップ有り)	0	1	X	X	X						140
P45	O	ポート出力	1	X	X	X	X						140
			5,3EAh	ポートP45方向レジスタ									145
			1,3FDh	P44～P47プルアップ制御レジスタ1									147
			2,383h	トリガ選択レジスタ0のタイマA2イベント/トリガ選択ビット									68
			3,383h	トリガ選択レジスタ0のタイマA2イベント/トリガ選択ビット									68
			4,398h	タイマA2モードレジスタのビット4									65

端子名	P44/TA2OUT		端子番号	51(M30220グループ)	- (M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			4,3EAh	1,3FDh	4,398h	2,398h							
TA2OUT	O	パルス出力	X	X	X	1							63
TA2OUT	I	アップ/ダウン極性選択入力	0	X	1	0							63
P44	I	ポート入力 (プルアップ無し)	0	0	X	0							140
P44	I	ポート入力 (プルアップ有り)	0	1	X	0							140
P44	O	ポート出力	1	X	X	0							140
			4,3EAh	ポートP44方向レジスタ									145
			1,3FDh	P44～P47プルアップ制御レジスタ1									147
			4,398h	タイマA2モードレジスタのビット4									65
			2,398h	タイマA2モードレジスタのビット2									65

端子名	P43/TA1IN		端子番号	52(M30220グループ)	- (M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			3,3EAh	0,3FDh	0,383h	1,383h	4,397h						
TA1IN	I	ゲート機能レベル入力	0	X	0	0	1						63
TA1IN	I	カウントソース入力	0	X	0	0	X						63
TA1IN	I	外部トリガ入力	0	X	0	0	1						63
P43	I	ポート入力 (プルアップ無し)	0	0	X	X	X						140
P43	I	ポート入力 (プルアップ有り)	0	1	X	X	X						140
P43	O	ポート出力	1	X	X	X	X						140
			3,3EAh	ポートP43方向レジスタ									145
			0,3FDh	P40～P43プルアップ制御レジスタ1									147
			0,383h	トリガ選択レジスタ0のタイマA1イベント/トリガ選択ビット									68
			1,383h	トリガ選択レジスタ0のタイマA1イベント/トリガ選択ビット									68
			4,397h	タイマA1モードレジスタのビット4									65

付録3　端子機能選択時のレジスタ設定

端子名	P42/TA1OUT		端子番号	53(M30220グループ)	41(M30221グループ)							
選択機能			レジスタの設定								備　考	参　照
			2,3EAh	0,3FDh	4,397h	2,397h						
TA1OUT	O	パルス出力	X	X	X	1						63
TA1OUT	I	アップ/ダウン極性選択入力	0	X	1	0						63
P42	I	ポート入力 (プルアップ無し)	0	0	X	0						140
P42	I	ポート入力 (プルアップ有り)	0	1	X	0						140
P42	O	ポート出力	1	X	X	0						140
			2,3EAh	ポートP42方向レジスタ								145
			0,3FDh	P40～P43プルアップ制御レジスタ1								147
			4,397h	タイマA1モードレジスタのビット4								65
			2,397h	タイマA1モードレジスタのビット2								65

端子名	P41/TA0IN		端子番号	54(M30220グループ)	42(M30221グループ)							
選択機能			レジスタの設定								備　考	参　照
			1,3EAh	0,3FDh	6,382h	7,382h	4,396h					
TA0IN	I	ゲート機能レベル入力	0	X	0	0	1					63
TA0IN	I	カウントソース入力	0	X	0	0	X					63
TA0IN	I	外部トリガ入力	0	X	0	0	1					63
P41	I	ポート入力 (プルアップ無し)	0	0	X	X	X					140
P41	I	ポート入力 (プルアップ有り)	0	1	X	X	X					140
P41	O	ポート出力	1	X	X	X	X					140
			1,3EAh	ポートP41方向レジスタ								145
			0,3FDh	P40～P43プルアップ制御レジスタ1								147
			6,382h	ワンショット開始フラグ0のタイマA0イベント/トリガ選択ビット								67
			7,382h	ワンショット開始フラグ0のタイマA0イベント/トリガ選択ビット								67
			4,396h	タイマA0モードレジスタのビット4								65

端子名	P40/TA0OUT		端子番号	55(M30220グループ)	- (M30221グループ)							
選択機能			レジスタの設定								備　考	参　照
			0,3EAh	0,3FDh	4,396h	2,396h						
TA0OUT	O	パルス出力	X	X	X	1						63
TA0OUT	I	アップ/ダウン極性選択入力	0	X	1	0						63
P40	I	ポート入力 (プルアップ無し)	0	0	X	0						140
P40	I	ポート入力 (プルアップ有り)	0	1	X	0						140
P40	O	ポート出力	1	X	X	0						140
			0,3EAh	ポートP40方向レジスタ								145
			0,3FDh	P40～P43プルアップ制御レジスタ1								147
			4,396h	タイマA0モードレジスタのビット4								65
			2,396h	タイマA0モードレジスタのビット2								65

付録3　端子機能選択時のレジスタ設定

端子名	P33/$\overline{KI19}$		端子番号	58(M30220グループ)	45(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			3,3E7h	6,3FCh	4,126h								
$\overline{KI19}$	I	キー入力	0	X	1								46
P33	I	ポート入力 (プルアップ無し)	0	0	X								140
P33	I	ポート入力 (プルアップ有り)	0	1	X								140
P33	O	ポート出力	1	X	X								140
			3,3E7h	ポートP33方向レジスタ									145
			6,3FCh	P30～P33プルアップ制御レジスタ0									147
			4,126h	キー入力モードレジスタのP3キー入力許可ビット									47

端子名	P32/$\overline{KI18}$		端子番号	59(M30220グループ)	46(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			2,3E7h	6,3FCh	4,126h								
$\overline{KI18}$	I	キー入力	0	X	1								46
P32	I	ポート入力 (プルアップ無し)	0	0	X								140
P32	I	ポート入力 (プルアップ有り)	0	1	X								140
P32	O	ポート出力	1	X	X								140
			2,3E7h	ポートP32方向レジスタ									145
			6,3FCh	P30～P33プルアップ制御レジスタ0									147
			4,126h	キー入力モードレジスタのP3キー入力許可ビット									47

端子名	P31/$\overline{KI17}$		端子番号	60(M30220グループ)	47(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			1,3E7h	6,3FCh	4,126h								
$\overline{KI17}$	I	キー入力	0	X	1								46
P31	I	ポート入力 (プルアップ無し)	0	0	X								140
P31	I	ポート入力 (プルアップ有り)	0	1	X								140
P31	O	ポート出力	1	X	X								140
			1,3E7h	ポートP31方向レジスタ									145
			6,3FCh	P30～P33プルアップ制御レジスタ0									147
			4,126h	キー入力モードレジスタのP3キー入力許可ビット									47

端子名	P30/$\overline{KI16}$		端子番号	61(M30220グループ)	48(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			0,3E7h	6,3FCh	4,126h								
$\overline{KI16}$	I	キー入力	0	X	1								46
P30	I	ポート入力 (プルアップ無し)	0	0	X								140
P30	I	ポート入力 (プルアップ有り)	0	1	X								140
P30	O	ポート出力	1	X	X								140
			0,3E7h	ポートP30方向レジスタ									145
			6,3FCh	P30～P33プルアップ制御レジスタ0									147
			4,126h	キー入力モードレジスタのP3キー入力許可ビット									47

付録3　端子機能選択時のレジスタ設定

端子名	P27/$\overline{KI15}$		端子番号	62(M30220グループ)	49(M30221グループ)							
選択機能			レジスタの設定								備　考	参　照
			7,3E6h	5,3FCh	3,126h							
$\overline{KI15}$	I	キー入力	0	X	1							46
P27	I	ポート入力 (プルアップ無し)	0	0	X							140
P27	I	ポート入力 (プルアップ有り)	0	1	X							140
P27	O	ポート出力	1	X	X							140
			7,3E6h	ポートP27方向レジスタ								145
			5,3FCh	P24～P27プルアップ制御レジスタ0								147
			3,126h	キー入力モードレジスタのP2キー入力許可ビット								47

端子名	P26/$\overline{KI14}$		端子番号	63(M30220グループ)	50(M30221グループ)							
選択機能			レジスタの設定								備　考	参　照
			6,3E6h	5,3FCh	3,126h							
$\overline{KI14}$	I	キー入力	0	X	1							46
P26	I	ポート入力 (プルアップ無し)	0	0	X							140
P26	I	ポート入力 (プルアップ有り)	0	1	X							140
P26	O	ポート出力	1	X	X							140
			6,3E6h	ポートP26方向レジスタ								145
			5,3FCh	P24～P27プルアップ制御レジスタ0								147
			3,126h	キー入力モードレジスタのP2キー入力許可ビット								47

端子名	P25/$\overline{KI13}$		端子番号	64(M30220グループ)	51(M30221グループ)							
選択機能			レジスタの設定								備　考	参　照
			5,3E6h	5,3FCh	3,126h							
$\overline{KI13}$	I	キー入力	0	X	1							46
P25	I	ポート入力 (プルアップ無し)	0	0	X							140
P25	I	ポート入力 (プルアップ有り)	0	1	X							140
P25	O	ポート出力	1	X	X							140
			5,3E6h	ポートP25方向レジスタ								145
			5,3FCh	P24～P27プルアップ制御レジスタ0								147
			3,126h	キー入力モードレジスタのP2キー入力許可ビット								47

端子名	P24/$\overline{KI12}$		端子番号	65(M30220グループ)	52(M30221グループ)							
選択機能			レジスタの設定								備　考	参　照
			4,3E6h	5,3FCh	3,126h							
$\overline{KI12}$	I	キー入力	0	X	1							46
P24	I	ポート入力 (プルアップ無し)	0	0	X							140
P24	I	ポート入力 (プルアップ有り)	0	1	X							140
P24	O	ポート出力	1	X	X							140
			4,3E6h	ポートP24方向レジスタ								145
			5,3FCh	P24～P27プルアップ制御レジスタ0								147
			3,126h	キー入力モードレジスタのP2キー入力許可ビット								47

付録3　端子機能選択時のレジスタ設定

端子名	P23/$\overline{KI11}$		端子番号	66(M30220グループ)	53(M30221グループ)							
選択機能			レジスタの設定								備　考	参　照
			3,3E6h	4,3FCh	3,126h							
$\overline{KI11}$	I	キー入力	0	X	1							46
P23	I	ポート入力 (プルアップ無し)	0	0	X							140
P23	I	ポート入力 (プルアップ有り)	0	1	X							140
P23	O	ポート出力	1	X	X							140
			3,3E6h	ポートP23方向レジスタ								145
			4,3FCh	P20～P23プルアップ制御レジスタ0								147
			3,126h	キー入力モードレジスタのP2キー入力許可ビット								47

端子名	P22/$\overline{KI10}$		端子番号	67(M30220グループ)	54(M30221グループ)							
選択機能			レジスタの設定								備　考	参　照
			2,3E6h	4,3FCh	3,126h							
$\overline{KI10}$	I	キー入力	0	X	1							46
P22	I	ポート入力 (プルアップ無し)	0	0	X							140
P22	I	ポート入力 (プルアップ有り)	0	1	X							140
P22	O	ポート出力	1	X	X							140
			2,3E6h	ポートP22方向レジスタ								145
			4,3FCh	P20～P23プルアップ制御レジスタ0								147
			3,126h	キー入力モードレジスタのP2キー入力許可ビット								47

端子名	P21/$\overline{KI9}$		端子番号	68(M30220グループ)	55(M30221グループ)							
選択機能			レジスタの設定								備　考	参　照
			1,3E6h	4,3FCh	3,126h							
$\overline{KI9}$	I	キー入力	0	X	1							46
P21	I	ポート入力 (プルアップ無し)	0	0	X							140
P21	I	ポート入力 (プルアップ有り)	0	1	X							140
P21	O	ポート出力	1	X	X							140
			1,3E6h	ポートP21方向レジスタ								145
			4,3FCh	P20～P23プルアップ制御レジスタ0								147
			3,126h	キー入力モードレジスタのP2キー入力許可ビット								47

端子名	P20/$\overline{KI8}$		端子番号	69(M30220グループ)	56(M30221グループ)							
選択機能			レジスタの設定								備　考	参　照
			0,3E6h	4,3FCh	3,126h							
$\overline{KI8}$	I	キー入力	0	X	1							46
P20	I	ポート入力 (プルアップ無し)	0	0	X							140
P20	I	ポート入力 (プルアップ有り)	0	1	X							140
P20	O	ポート出力	1	X	X							140
			0,3E6h	ポートP20方向レジスタ								145
			4,3FCh	P20～P23プルアップ制御レジスタ0								147
			3,126h	キー入力モードレジスタのP2キー入力許可ビット								47

付録3　端子機能選択時のレジスタ設定

端子名	P17/$\overline{KI7}$		端子番号	70(M30220グループ)	57(M30221グループ)							
選択機能			レジスタの設定								備　考	参　照
			7,3E3h	3,3FCh	1,126h							
$\overline{KI7}$	I	キー入力	0	X	1							46
P17	I	ポート入力 (プルアップ無し)	0	0	X							140
P17	I	ポート入力 (プルアップ有り)	0	1	X							140
P17	O	ポート出力	1	X	X							140
			7,3E3h	ポートP17方向レジスタ								145
			3,3FCh	P14～P17プルアップ制御レジスタ0								147
			1,126h	キー入力モードレジスタのP1キー入力許可ビット								47

端子名	P16/$\overline{KI6}$		端子番号	71(M30220グループ)	58(M30221グループ)							
選択機能			レジスタの設定								備　考	参　照
			6,3E3h	3,3FCh	1,126h							
$\overline{KI6}$	I	キー入力	0	X	1							46
P16	I	ポート入力 (プルアップ無し)	0	0	X							140
P16	I	ポート入力 (プルアップ有り)	0	1	X							140
P16	O	ポート出力	1	X	X							140
			6,3E3h	ポートP16方向レジスタ								145
			3,3FCh	P14～P17プルアップ制御レジスタ0								147
			1,126h	キー入力モードレジスタのP1キー入力許可ビット								47

端子名	P15/$\overline{KI5}$		端子番号	72(M30220グループ)	59(M30221グループ)							
選択機能			レジスタの設定								備　考	参　照
			5,3E3h	3,3FCh	1,126h							
$\overline{KI5}$	I	キー入力	0	X	1							46
P15	I	ポート入力 (プルアップ無し)	0	0	X							140
P15	I	ポート入力 (プルアップ有り)	0	1	X							140
P15	O	ポート出力	1	X	X							140
			5,3E3h	ポートP15方向レジスタ								145
			3,3FCh	P14～P17プルアップ制御レジスタ0								147
			1,126h	キー入力モードレジスタのP1キー入力許可ビット								47

端子名	P14/$\overline{KI4}$		端子番号	73(M30220グループ)	60(M30221グループ)							
選択機能			レジスタの設定								備　考	参　照
			4,3E3h	3,3FCh	1,126h							
$\overline{KI4}$	I	キー入力	0	X	1							46
P14	I	ポート入力 (プルアップ無し)	0	0	X							140
P14	I	ポート入力 (プルアップ有り)	0	1	X							140
P14	O	ポート出力	1	X	X							140
			4,3E3h	ポートP14方向レジスタ								145
			3,3FCh	P14～P17プルアップ制御レジスタ0								147
			1,126h	キー入力モードレジスタのP1キー入力許可ビット								47

付録3　端子機能選択時のレジスタ設定

端子名	P13/$\overline{KI3}$		端子番号	74(M30220グループ)	61(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			3,3E3h	2,3FCh	1,126h								
$\overline{KI3}$	I	キー入力	0	X	1								46
P13	I	ポート入力 (プルアップ無し)	0	0	X								140
P13	I	ポート入力 (プルアップ有り)	0	1	X								140
P13	O	ポート出力	1	X	X								140
			3,3E3h	ポートP13方向レジスタ									145
			2,3FCh	P10～P13プルアップ制御レジスタ0									147
			1,126h	キー入力モードレジスタのP1キー入力許可ビット									47

端子名	P12/$\overline{KI2}$		端子番号	75(M30220グループ)	62(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			2,3E3h	2,3FCh	1,126h								
$\overline{KI2}$	I	キー入力	0	X	1								46
P12	I	ポート入力 (プルアップ無し)	0	0	X								140
P12	I	ポート入力 (プルアップ有り)	0	1	X								140
P12	O	ポート出力	1	X	X								140
			2,3E3h	ポートP12方向レジスタ									145
			2,3FCh	P10～P13プルアップ制御レジスタ0									147
			1,126h	キー入力モードレジスタのP1キー入力許可ビット									47

端子名	P11/$\overline{KI1}$		端子番号	76(M30220グループ)	63(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			1,3E3h	2,3FCh	1,126h								
$\overline{KI1}$	I	キー入力	0	X	1								46
P11	I	ポート入力 (プルアップ無し)	0	0	X								140
P11	I	ポート入力 (プルアップ有り)	0	1	X								140
P11	O	ポート出力	1	X	X								140
			1,3E3h	ポートP11方向レジスタ									145
			2,3FCh	P10～P13プルアップ制御レジスタ0									147
			1,126h	キー入力モードレジスタのP1キー入力許可ビット									47

端子名	P10/$\overline{KI0}$		端子番号	77(M30220グループ)	64(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			0,3E3h	2,3FCh	1,126h								
$\overline{KI0}$	I	キー入力	0	X	1								46
P10	I	ポート入力 (プルアップ無し)	0	0	X								140
P10	I	ポート入力 (プルアップ有り)	0	1	X								140
P10	O	ポート出力	1	X	X								140
			0,3E3h	ポートP10方向レジスタ									145
			2,3FCh	P10～P13プルアップ制御レジスタ0									147
			1,126h	キー入力モードレジスタのP1キー入力許可ビット									47

付録3　端子機能選択時のレジスタ設定

端子名	P07/SEG47		端子番号	78(M30220グループ)		65(M30221グループ)							
選択機能			レジスタの設定									備　考	参　照
			7,3E2h	1,3FCh	0,120h	1,120h	5,120h	6,122h					
SEG47	O	セグメント出力	X	X	00以外		0	1					121
P07	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P07	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P07	O	ポート出力	1	X	X	X	X	0					140
			7,3E2h	ポートP07方向レジスタ									145
			1,3FCh	P04～P07プルアップ制御レジスタ0									147
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			6,122h	セグメント出力許可レジスタのセグメント出力許可ビット6									123

端子名	P06/SEG46		端子番号	79(M30220グループ)		66(M30221グループ)							
選択機能			レジスタの設定									備　考	参　照
			6,3E2h	1,3FCh	0,120h	1,120h	5,120h	6,122h					
SEG46	O	セグメント出力	X	X	00以外		0	1					121
P06	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P06	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P06	O	ポート出力	1	X	X	X	X	0					140
			6,3E2h	ポートP06方向レジスタ									145
			1,3FCh	P04～P07プルアップ制御レジスタ0									147
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			6,122h	セグメント出力許可レジスタのセグメント出力許可ビット6									123

端子名	P05/SEG45		端子番号	80(M30220グループ)		67(M30221グループ)							
選択機能			レジスタの設定									備　考	参　照
			5,3E2h	1,3FCh	0,120h	1,120h	5,120h	6,122h					
SEG45	O	セグメント出力	X	X	00以外		0	1					121
P05	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P05	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P05	O	ポート出力	1	X	X	X	X	0					140
			5,3E2h	ポートP05方向レジスタ									145
			1,3FCh	P04～P07プルアップ制御レジスタ0									147
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			6,122h	セグメント出力許可レジスタのセグメント出力許可ビット6									123

付録3　端子機能選択時のレジスタ設定

端子名	P04/SEG44		端子番号	81(M30220グループ)		68(M30221グループ)							
選択機能			レジスタの設定									備　考	参　照
			4,3E2h	1,3FCh	0,120h	1,120h	5,120h	6,122h					
SEG44	O	セグメント出力	X	X	00以外		0	1					121
P04	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P04	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P04	O	ポート出力	1	X	X	X	X	0					140
			4,3E2h	ポートP04方向レジスタ									145
			1,3FCh	P04～P07プルアップ制御レジスタ0									147
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			6,122h	セグメント出力許可レジスタのセグメント出力許可ビット6									123

端子名	P03/SEG43		端子番号	82(M30220グループ)		69(M30221グループ)							
選択機能			レジスタの設定									備　考	参　照
			3,3E2h	0,3FCh	0,120h	1,120h	5,120h	6,122h					
SEG43	O	セグメント出力	X	X	00以外		0	1					121
P03	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P03	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P03	O	ポート出力	1	X	X	X	X	0					140
			3,3E2h	ポートP03方向レジスタ									145
			0,3FCh	P00～P03プルアップ制御レジスタ0									147
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			6,122h	セグメント出力許可レジスタのセグメント出力許可ビット6									123

端子名	P02/SEG42		端子番号	83(M30220グループ)		70(M30221グループ)							
選択機能			レジスタの設定									備　考	参　照
			2,3E2h	0,3FCh	0,120h	1,120h	5,120h	6,122h					
SEG42	O	セグメント出力	X	X	00以外		0	1					121
P02	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P02	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P02	O	ポート出力	1	X	X	X	X	0					140
			2,3E2h	ポートP02方向レジスタ									145
			0,3FCh	P00～P03プルアップ制御レジスタ0									147
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			6,122h	セグメント出力許可レジスタのセグメント出力許可ビット6									123

付録3　端子機能選択時のレジスタ設定

端子名	P01/SEG41		端子番号	84(M30220グループ)		71(M30221グループ)							
選択機能			レジスタの設定									備　考	参　照
			1,3E2h	0,3FCh	0,120h	1,120h	5,120h	6,122h					
SEG41	O	セグメント出力	X	X	00以外		0	1					121
P01	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P01	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P01	O	ポート出力	1	X	X	X	X	0					140
			1,3E2h	ポートP01方向レジスタ									145
			0,3FCh	P00～P03プルアップ制御レジスタ0									147
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			6,122h	セグメント出力許可レジスタのセグメント出力許可ビット6									123

端子名	P00/SEG40		端子番号	85(M30220グループ)		72(M30221グループ)							
選択機能			レジスタの設定									備　考	参　照
			0,3E2h	0,3FCh	0,120h	1,120h	5,120h	6,122h					
SEG40	O	セグメント出力	X	X	00以外		0	1					121
P00	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P00	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P00	O	ポート出力	1	X	X	X	X	0					140
			0,3E2h	ポートP00方向レジスタ									145
			0,3FCh	P00～P03プルアップ制御レジスタ0									147
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			6,122h	セグメント出力許可レジスタのセグメント出力許可ビット6									123

付録3　端子機能選択時のレジスタ設定

端子名	P127/SEG39	端子番号	86(M30220グループ)	- (M30221グループ)

選択機能			レジスタの設定									備　考	参　照
			7,3FAh	6,126h	0,120h	1,120h	5,120h	5,122h					
SEG39	O	セグメント出力	X	X	00以外		0	1					121
P127	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P127	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P127	O	ポート出力	1	X	X	X	X	0					140
			7,3FAh	ポートP127方向レジスタ									145
			6,126h	キー入力モードレジスタのP124～P127プルアップ									148
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			5,122h	セグメント出力許可レジスタのセグメント出力許可ビット5									123

端子名	P126/SEG38	端子番号	87(M30220グループ)	- (M30221グループ)

選択機能			レジスタの設定									備　考	参　照
			6,3FAh	6,126h	0,120h	1,120h	5,120h	5,122h					
SEG38	O	セグメント出力	X	X	00以外		0	1					121
P126	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P126	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P126	O	ポート出力	1	X	X	X	X	0					140
			6,3FAh	ポートP126方向レジスタ									145
			6,126h	キー入力モードレジスタのP124～P127プルアップ									148
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			5,122h	セグメント出力許可レジスタのセグメント出力許可ビット5									123

端子名	P125/SEG37	端子番号	88(M30220グループ)	73(M30221グループ)

選択機能			レジスタの設定									備　考	参　照
			5,3FAh	6,126h	0,120h	1,120h	5,120h	4,122h					
SEG37	O	セグメント出力	X	X	00以外		0	1					121
P125	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P125	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P125	O	ポート出力	1	X	X	X	X	0					140
			5,3FAh	ポートP125方向レジスタ									145
			6,126h	キー入力モードレジスタのP124～P127プルアップ									148
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			4,122h	セグメント出力許可レジスタのセグメント出力許可ビット4									123

付録3　端子機能選択時のレジスタ設定

端子名	P124/SEG36		端子番号	89(M30220グループ)		74(M30221グループ)							
選択機能			レジスタの設定									備　考	参　照
			4,3FAh	6,126h	0,120h	1,120h	5,120h	4,122h					
SEG36	O	セグメント出力	X	X	00以外		0	1					121
P124	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P124	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P124	O	ポート出力	1	X	X	X	X	0					140
			4,3FAh	ポートP124方向レジスタ									145
			6,126h	キー入力モードレジスタのP124～P127プルアップ									148
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			4,122h	セグメント出力許可レジスタのセグメント出力許可ビット4									123

端子名	P123/SEG35		端子番号	90(M30220グループ)		75(M30221グループ)							
選択機能			レジスタの設定									備　考	参　照
			3,3FAh	5,126h	0,120h	1,120h	5,120h	4,122h					
SEG35	O	セグメント出力	X	X	00以外		0	1					121
P123	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P123	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P123	O	ポート出力	1	X	X	X	X	0					140
			3,3FAh	ポートP123方向レジスタ									145
			5,126h	キー入力モードレジスタのP120～P123プルアップ									148
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			4,122h	セグメント出力許可レジスタのセグメント出力許可ビット4									123

端子名	P122/SEG34		端子番号	92(M30220グループ)		77(M30221グループ)							
選択機能			レジスタの設定									備　考	参　照
			2,3FAh	5,126h	0,120h	1,120h	5,120h	4,122h					
SEG34	O	セグメント出力	X	X	00以外		0	1					121
P122	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P122	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P122	O	ポート出力	1	X	X	X	X	0					140
			2,3FAh	ポートP122方向レジスタ									145
			5,126h	キー入力モードレジスタのP120～P123プルアップ									148
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			4,122h	セグメント出力許可レジスタのセグメント出力許可ビット4									123

付録3　端子機能選択時のレジスタ設定

端子名	P121/SEG33		端子番号	94(M30220グループ)		79(M30221グループ)							
選択機能			レジスタの設定									備　考	参　照
			1,3FAh	5,126h	0,120h	1,120h	5,120h	4,122h					
SEG33	O	セグメント出力	X	X	00以外		0	1					121
P121	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P121	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P121	O	ポート出力	1	X	X	X	X	0					140
			1,3FAh	ポートP121方向レジスタ									145
			5,126h	キー入力モードレジスタのP120～P123プルアップ									148
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			4,122h	セグメント出力許可レジスタのセグメント出力許可ビット4									123

端子名	P120/SEG32		端子番号	95(M30220グループ)		80(M30221グループ)							
選択機能			レジスタの設定									備　考	参　照
			0,3FAh	5,126h	0,120h	1,120h	5,120h	4,122h					
SEG32	O	セグメント出力	X	X	00以外		0	1					121
P120	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P120	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P120	O	ポート出力	1	X	X	X	X	0					140
			0,3FAh	ポートP120方向レジスタ									145
			5,126h	キー入力モードレジスタのP120～P123プルアップ									148
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			4,122h	セグメント出力許可レジスタのセグメント出力許可ビット4									123

付録3　端子機能選択時のレジスタ設定

端子名	P117/SEG31		端子番号	96(M30220グループ)		81(M30221グループ)							
選択機能			レジスタの設定									備　考	参　照
			7,3F7h	7,3FEh	0,120h	1,120h	5,120h	3,122h					
SEG31	O	セグメント出力	X	X	00以外		0	1					121
P117	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P117	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P117	O	ポート出力	1	X	X	X	X	0					140
			7,3F7h	ポートP117方向レジスタ									145
			7,3FEh	P114～P117プルアップ制御レジスタ2									147
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			3,122h	セグメント出力許可レジスタのセグメント出力許可ビット3									123

端子名	P116/SEG30		端子番号	97(M30220グループ)		82(M30221グループ)							
選択機能			レジスタの設定									備　考	参　照
			6,3F7h	7,3FEh	0,120h	1,120h	5,120h	2,122h					
SEG30	O	セグメント出力	X	X	00以外		0	1					121
P116	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P116	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P116	O	ポート出力	1	X	X	X	X	0					140
			6,3F7h	ポートP116方向レジスタ									145
			7,3FEh	P114～P117プルアップ制御レジスタ2									147
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			2,122h	セグメント出力許可レジスタのセグメント出力許可ビット2									123

端子名	P115/SEG29		端子番号	98(M30220グループ)		83(M30221グループ)							
選択機能			レジスタの設定									備　考	参　照
			5,3F7h	7,3FEh	0,120h	1,120h	5,120h	2,122h					
SEG29	O	セグメント出力	X	X	00以外		0	1					121
P115	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P115	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P115	O	ポート出力	1	X	X	X	X	0					140
			5,3F7h	ポートP115方向レジスタ									145
			7,3FEh	P114～P117プルアップ制御レジスタ2									147
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			2,122h	セグメント出力許可レジスタのセグメント出力許可ビット2									123

付録3　端子機能選択時のレジスタ設定

端子名	P114/SEG28		端子番号	99(M30220グループ)	84(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			4,3F7h	7,3FEh	0,120h	1,120h	5,120h	1,122h					
SEG28	O	セグメント出力	X	X	00以外		0	1					121
P114	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P114	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P114	O	ポート出力	1	X	X	X	X	0					140
			4,3F7h	ポートP114方向レジスタ									145
			7,3FEh	P114～P117プルアップ制御レジスタ2									147
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			1,122h	セグメント出力許可レジスタのセグメント出力許可ビット1									123

端子名	P113/SEG27		端子番号	100(M30220グループ)	85(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			3,3F7h	6,3FEh	0,120h	1,120h	5,120h	1,122h					
SEG27	O	セグメント出力	X	X	00以外		0	1					121
P113	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P113	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P113	O	ポート出力	1	X	X	X	X	0					140
			3,3F7h	ポートP113方向レジスタ									145
			6,3FEh	P110～P113プルアップ制御レジスタ2									147
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			1,122h	セグメント出力許可レジスタのセグメント出力許可ビット1									123

端子名	P112/SEG26		端子番号	101(M30220グループ)	86(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			2,3F7h	6,3FEh	0,120h	1,120h	5,120h	1,122h					
SEG26	O	セグメント出力	X	X	00以外		0	1					121
P112	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P112	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P112	O	ポート出力	1	X	X	X	X	0					140
			2,3F7h	ポートP112方向レジスタ									145
			6,3FEh	P110～P113プルアップ制御レジスタ2									147
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			1,122h	セグメント出力許可レジスタのセグメント出力許可ビット1									123

付録3　端子機能選択時のレジスタ設定

端子名	P111/SEG25		端子番号	102(M30220グループ)		87(M30221グループ)							
選択機能			レジスタの設定									備　考	参　照
			1,3F7h	6,3FEh	0,120h	1,120h	5,120h	1,122h					
SEG25	O	セグメント出力	X	X	00以外		0	1					121
P111	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P111	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P111	O	ポート出力	1	X	X	X	X	0					140
			1,3F7h	ポートP111方向レジスタ									145
			6,3FEh	P110～P113プルアップ制御レジスタ2									147
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			1,122h	セグメント出力許可レジスタのセグメント出力許可ビット1									123

端子名	P110/SEG24		端子番号	103(M30220グループ)		88(M30221グループ)							
選択機能			レジスタの設定									備　考	参　照
			0,3F7h	6,3FEh	0,120h	1,120h	5,120h	1,122h					
SEG24	O	セグメント出力	X	X	00以外		0	1					121
P110	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P110	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P110	O	ポート出力	1	X	X	X	X	0					140
			0,3F7h	ポートP110方向レジスタ									145
			6,3FEh	P110～P113プルアップ制御レジスタ2									147
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			1,122h	セグメント出力許可レジスタのセグメント出力許可ビット1									123

付録3　端子機能選択時のレジスタ設定

端子名	P107/SEG23	端子番号	104(M30220グループ)	- (M30221グループ)

選択機能			レジスタの設定									備　考	参　照
			7,3F6h	5,3FEh	0,120h	1,120h	5,120h	0,122h					
SEG23	O	セグメント出力	X	X	00以外		0	1					121
P107	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P107	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P107	O	ポート出力	1	X	X	X	X	0					140
			7,3F6h	ポートP107方向レジスタ									145
			5,3FEh	P104～P107プルアップ制御レジスタ2									147
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			0,122h	セグメント出力許可レジスタのセグメント出力許可ビット0									123

端子名	P106/SEG22	端子番号	105(M30220グループ)	- (M30221グループ)

選択機能			レジスタの設定									備　考	参　照
			6,3F6h	5,3FEh	0,120h	1,120h	5,120h	0,122h					
SEG22	O	セグメント出力	X	X	00以外		0	1					121
P106	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P106	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P106	O	ポート出力	1	X	X	X	X	0					140
			6,3F6h	ポートP106方向レジスタ									145
			5,3FEh	P104～P107プルアップ制御レジスタ2									147
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			0,122h	セグメント出力許可レジスタのセグメント出力許可ビット0									123

端子名	P105/SEG21	端子番号	106(M30220グループ)	- (M30221グループ)

選択機能			レジスタの設定									備　考	参　照
			5,3F6h	5,3FEh	0,120h	1,120h	5,120h	0,122h					
SEG21	O	セグメント出力	X	X	00以外		0	1					121
P105	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P105	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P105	O	ポート出力	1	X	X	X	X	0					140
			5,3F6h	ポートP105方向レジスタ									145
			5,3FEh	P104～P107プルアップ制御レジスタ2									147
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			0,122h	セグメント出力許可レジスタのセグメント出力許可ビット0									123

付録3　端子機能選択時のレジスタ設定

端子名	P104/SEG20		端子番号	107(M30220グループ)	- (M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			4,3F6h	5,3FEh	0,120h	1,120h	5,120h	0,122h					
SEG20	O	セグメント出力	X	X	00以外		0	1					121
P104	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P104	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P104	O	ポート出力	1	X	X	X	X	0					140
			4,3F6h	ポートP104方向レジスタ									145
			5,3FEh	P104～P107プルアップ制御レジスタ2									147
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			0,122h	セグメント出力許可レジスタのセグメント出力許可ビット0									123

端子名	P103/SEG19		端子番号	108(M30220グループ)	89(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			3,3F6h	4,3FEh	0,120h	1,120h	5,120h	0,122h					
SEG19	O	セグメント出力	X	X	00以外		0	1					121
P103	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P103	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P103	O	ポート出力	1	X	X	X	X	0					140
			3,3F6h	ポートP103方向レジスタ									145
			4,3FEh	P100～P103プルアップ制御レジスタ2									147
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			0,122h	セグメント出力許可レジスタのセグメント出力許可ビット0									123

端子名	P102/SEG18		端子番号	109(M30220グループ)	90(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			2,3F6h	4,3FEh	0,120h	1,120h	5,120h	0,122h					
SEG18	O	セグメント出力	X	X	00以外		0	1					121
P102	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P102	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P102	O	ポート出力	1	X	X	X	X	0					140
			2,3F6h	ポートP102方向レジスタ									145
			4,3FEh	P100～P103プルアップ制御レジスタ2									147
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			0,122h	セグメント出力許可レジスタのセグメント出力許可ビット0									123

付録3　端子機能選択時のレジスタ設定

端子名	P101/SEG17		端子番号	110(M30220グループ)	91(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			1,3F6h	4,3FEh	0,120h	1,120h	5,120h	0,122h					
SEG17	O	セグメント出力	X	X	00以外		0	1					121
P101	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P101	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P101	O	ポート出力	1	X	X	X	X	0					140
			1,3F6h	ポートP101方向レジスタ									145
			4,3FEh	P100～P103プルアップ制御レジスタ2									147
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			0,122h	セグメント出力許可レジスタのセグメント出力許可ビット0									123

端子名	P100/SEG16		端子番号	111(M30220グループ)	92(M30221グループ)								
選択機能			レジスタの設定									備　考	参　照
			0,3F6h	4,3FEh	0,120h	1,120h	5,120h	0,122h					
SEG16	O	セグメント出力	X	X	00以外		0	1					121
P100	I	ポート入力 (プルアップ無し)	0	0	X	X	X	0					140
P100	I	ポート入力 (プルアップ有り)	0	1	X	X	X	0					140
P100	O	ポート出力	1	X	X	X	X	0					140
			0,3F6h	ポートP100方向レジスタ									145
			4,3FEh	P100～P103プルアップ制御レジスタ2									147
			0,120h	LCDモードレジスタの時分割選択ビット									123
			1,120h	LCDモードレジスタの時分割選択ビット									123
			5,120h	LCDモードレジスタのLCDRAM出力ビット									123
			0,122h	セグメント出力許可レジスタのセグメント出力許可ビット0									123

付録3　端子機能選択時のレジスタ設定

端子名	P132/DA2		端子番号	138(M30220グループ)	- (M30221グループ)							
選択機能			レジスタの設定								備　考	参　照
			2,3FBh	7,126h	2,3DCh							
DA2	O	DA出力	0	0	1							138
P132	I	ポート入力 (プルアップ無し)	0	0	0							140
P132	I	ポート入力 (プルアップ有り)	0	1	0							140
P132	O	ポート出力	1	X	0							140
			2,3FBh	ポートP132方向レジスタ								145
			7,126h	キー入力モードレジスタのP130～P132プルアップ								148
			2,3DCh	D-A制御レジスタのD-A2出力許可ビット								139

端子名	P131/DA1		端子番号	139(M30220グループ)	116(M30221グループ)							
選択機能			レジスタの設定								備　考	参　照
			1,3FBh	7,126h	1,3DCh							
DA1	O	DA出力	0	0	1							138
P131	I	ポート入力 (プルアップ無し)	0	0	0							140
P131	I	ポート入力 (プルアップ有り)	0	1	0							140
P131	O	ポート出力	1	X	0							140
			1,3FBh	ポートP131方向レジスタ								145
			7,126h	キー入力モードレジスタのP130～P132プルアップ								148
			1,3DCh	D-A制御レジスタのD-A1出力許可ビット								139

端子名	P130/$\overline{\text{ADTRG}}$/DA0		端子番号	141(M30220グループ)	118(M30221グループ)							
選択機能			レジスタの設定								備　考	参　照
			0,3FBh	7,126h	0,3DCh	5,3D6h						
DA0	O	DA出力	0	0	1	X						138
$\overline{\text{ADTRG}}$	I	A-Dトリガ入力	0	0	0	1						128
P130	I	ポート入力 (プルアップ無し)	0	0	0	X						140
P130	I	ポート入力 (プルアップ有り)	0	1	0	X						140
P130	O	ポート出力	1	X	0	X						140
			0,3FBh	ポートP130方向レジスタ								145
			7,126h	キー入力モードレジスタのP130～P132プルアップ								148
			0,3DCh	D-A制御レジスタのD-A0出力許可ビット								139
			5,3D6h	A-D制御レジスタ0のトリガ選択ビット								130

端子名	P97/AN7		端子番号	144(M30220グループ)	- (M30221グループ)							
選択機能			レジスタの設定								備　考	参　照
			7,3F3h	3,3FEh								
AN7	I	AD入力	0	0								128
P97	I	ポート入力 (プルアップ無し)	0	0								140
P97	I	ポート入力 (プルアップ有り)	0	1								140
P97	O	ポート出力	1	X								140
			7,3F3h	ポートP97方向レジスタ								145
			3,3FEh	P94～P97プルアップ制御レジスタ2								147

付録4　リセットICとの応用接続例

M62015、M62016は、M16Cのバックアップモードに対応したリセットICです。以下にこのリセットICの概要と特徴、及びVcc＝3V時のM16Cとの接続例を示します。

●リセットICの概要

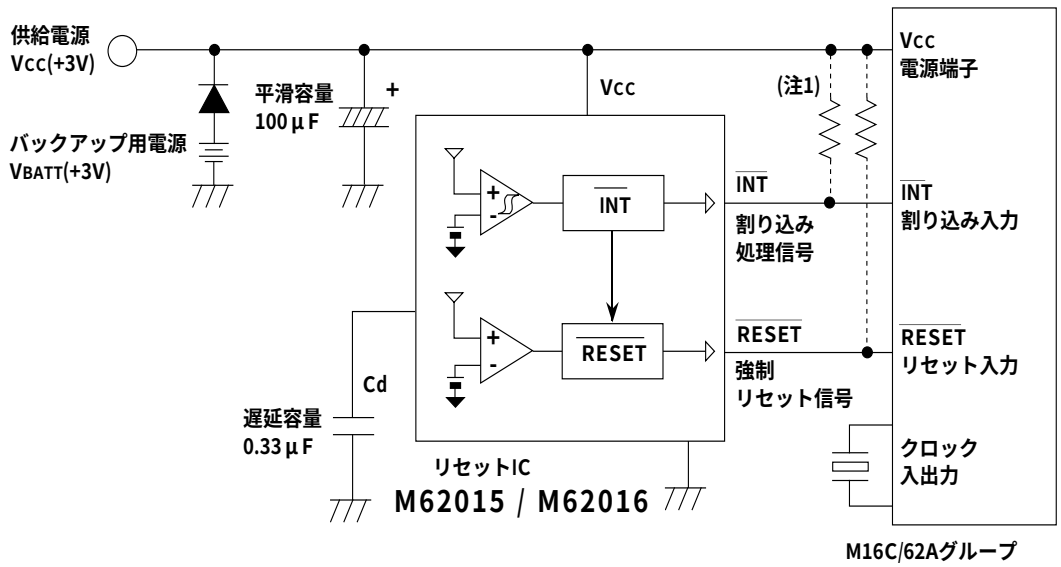
M62015、M62016は、3V系マイコンシステムの電源立ち上がり、あるいは立ち下がり、及び電源電圧異常を検出して、マイコンシステムに対しリセットを掛けたり、又は解除するのに最適な半導体集積回路です。

M62015、M62016は、電源の2段階電圧検出を実施し、2本の出力端子(強制リセット信号出力$\overline{\text{RESET}}$、割り込み処理信号出力$\overline{\text{INT}}$)を備えています。M62015、M62016は、BiCMOSプロセスと低消費電力回路を採用したことにより、特にRAMバックアップが必要なシステムにとっては、低消費電力で最適な信号をそれぞれの出力端子より出力します。

●リセットICの特徴

・BiCMOSプロセス低消費回路構成
　回路電流　　Icc＝3μA(標準値　通常モードVcc＝3.0V)
　　Icc＝3μA(標準値　バックアップモードVcc＝2.5V)
・電源電圧2段階検出
　通常電源検出　　V_S＝2.7V(標準値)
　バックアップ用電源検出　　V_{BATT}＝2.0V(標準値)
・2出力
　強制リセット信号出力　$\overline{\text{RESET}}$
　割り込み処理信号出力　$\overline{\text{INT}}$
・出力形式
　CMOS出力　　：M62015
　オープンドレイン出力　：M62016

●応用接続例



注1.　オープンドレイン出力形の場合のみプルアップ抵抗が必要。

概要

M61019FPは、デジタルカメラ用モータドライバ回路を内蔵する半導体集積回路です。微細バイポーラプロセスの採用により、従来外付け部品で対応していたパワートランジスタを全て内蔵し、部品コストの削減とシステムの小型化に貢献します。

特長

●定電流駆動DCモータドライバ回路内蔵（1ch）
　外部抵抗により電流制御可能（Tr能力　Vsat=0.5V　Io=500mA）
　VADJ端子より電圧を入力することで定電流の補正が可能
●1-2相/2相定電圧駆動対応ステッピングモータドライバ回路
　２個内蔵（Tr能力　Vsat=0.4V　Io=200mA）
●サーマルシャットダウン(過熱保護回路)回路内蔵
●スタンバイ機能

用途

デジタルカメラ用モータドライバ 等

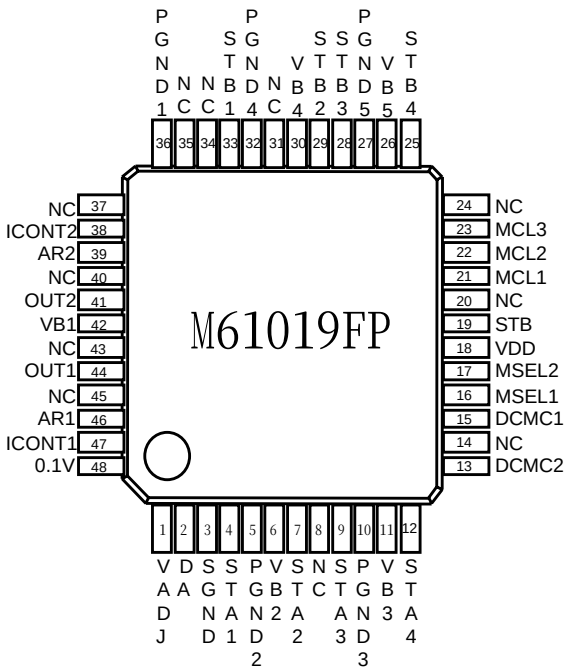
推奨動作条件

電源電圧範囲…… VB: 1.8～7.0V　VDD:4.5～7.0V
定格電源電圧　…… VB: 5.0V　VDD: 6.0V

アプリケーション上の注意

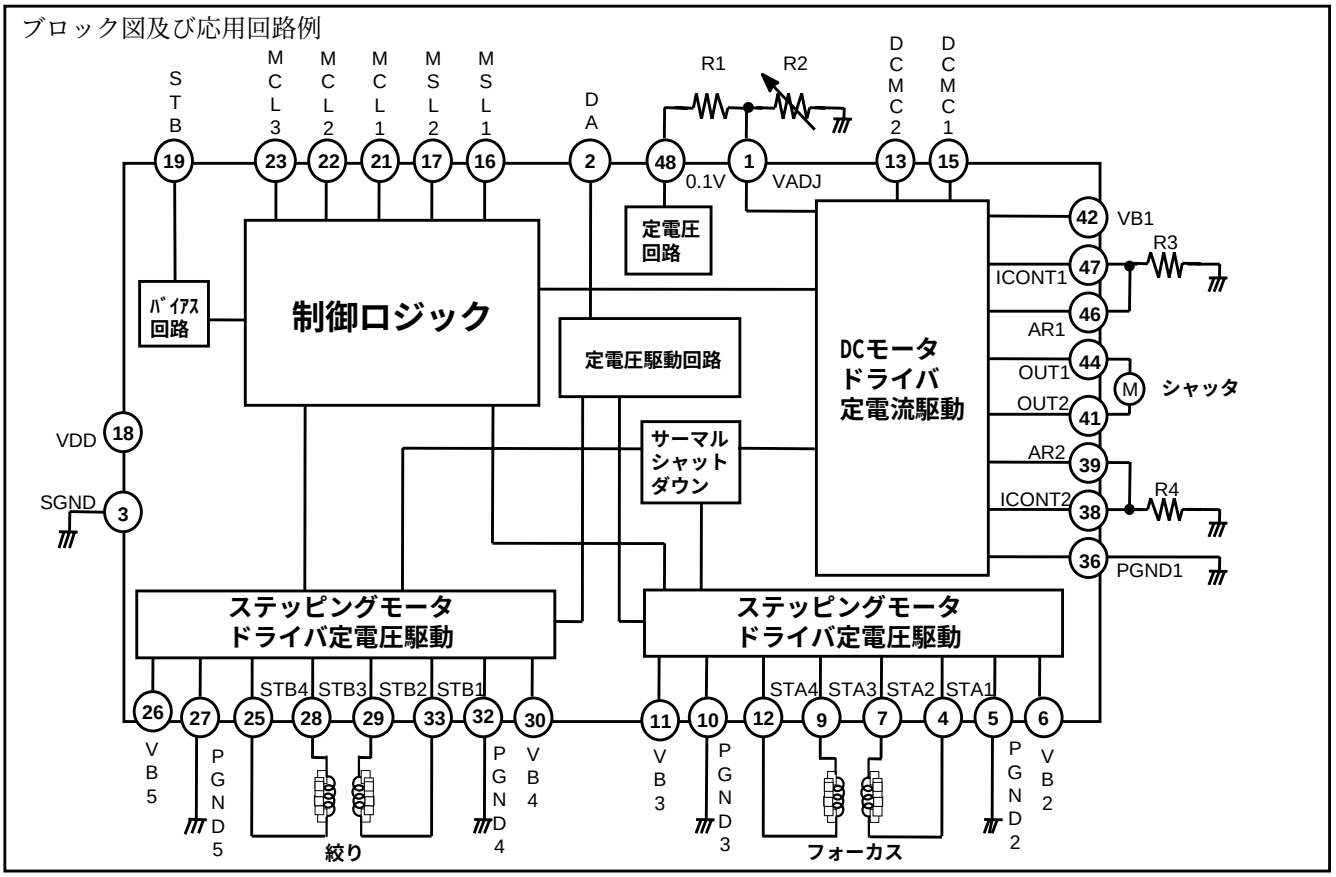
(1)電流を流している状態からOFFモードに切り換えた場合、配線インダクタンス等の影響で逆起電圧が定格電圧を超え素子の劣化や誤出力をおこすことがあります。このような場合はツェナーダイオードやコンデンサをVB端子とGND間、または出力端子とGND、VB間にショットキーダイオードを付ける等の対策を行って下さい。
(2)定電流駆動DCモータドライバは接続負荷の種類によって発振することがあります。このような場合は出力端子間にコンデンサを付ける等の対策を行って下さい。

ピン接続図（上面図）



外形　48P6Q

ブロック図及び応用回路例

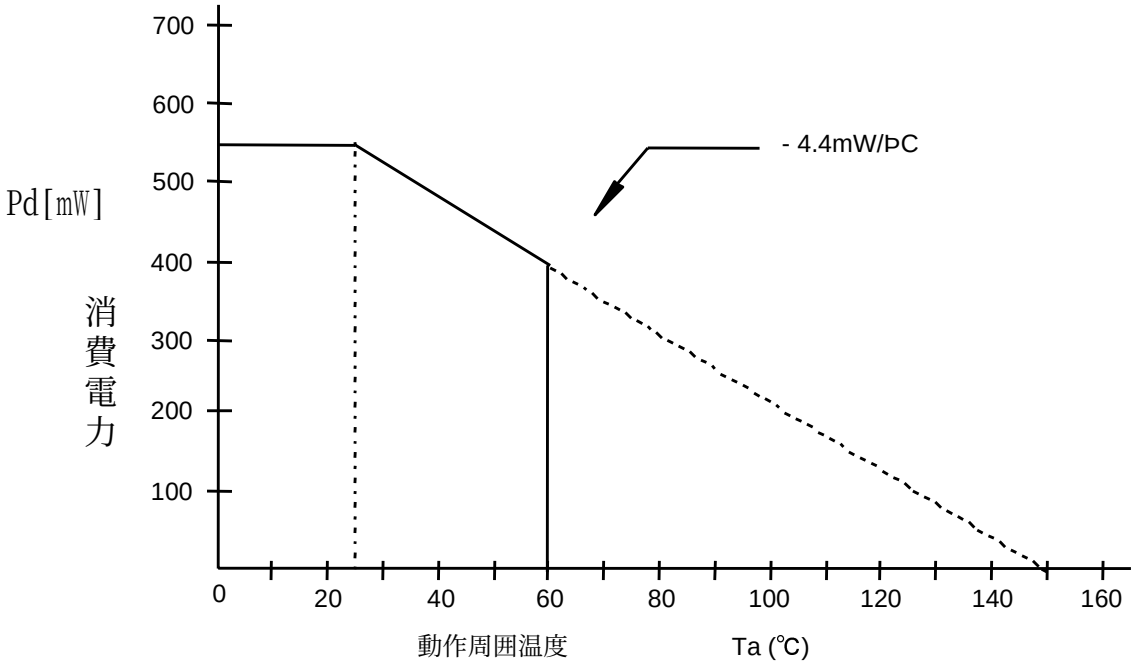


絶対最大定格　　（指定のない場合周囲温度は、25℃）

項　目	記　号	規格値	単　位	備　考
電源電圧	VB	7.0	V	注１
電源電圧	VDD	7.0	V	注１
許容消費電力	Pd	550	mW	Ta＝25℃
熱低減率	Kθ	－4.4	mW/℃	Ta≧25℃
端子印加電圧	VIF	0～7.0	V	注2
動作周囲温度	Topr	－20～60	℃	
保存温度	Tstg	－40～150	℃	

注意事項　　注１：原則として、電源は逆に印加しないこと。
　　注２：原則として、電源電圧以上、GND電圧以下は印加しないこと。

熱低減曲線



電気的特性－１　　Ｔａ＝２５℃

特に指定がない場合、VB=5.0V ,VDD=6V

区分	項　目	記号	条　件	規格 min	規格 typ	規格 max	単位	注
消費電流	スタンバイ時消費電流	ＩＢ１	STB：L	－	－	1.0	μＡ	
	スタンバイ時消費電流	ＩＤＤ１	STB：L	－	－	1.0	μＡ	
	通常動作時消費電流	ＩＤＤ２	ＳＴモータドライバ動作時消費電流	－	－	26.0	mA	
	通常動作時消費電流	ＩＤＤ３	ＤＣモータドライバ動作時消費電流	－	－	26.0	mA	
ＳＴＢ端子	STB端子入力電流	Istb	VIH=6V	－	－	100	μＡ	
	STB端子"H"入力電圧	VstbH		2.5	－	7.0	V	
	STB端子"L"入力電圧	VstbL		0	－	0.5	V	
ＭＳＬｎ端子	MSLn端子入力電流	Imsln	VIH=6V	－	－	100	μＡ	
	MSLn端子"H"入力電圧	VmslnH		2.5	－	7.0	V	
	MSLn端子"L"入力電圧	VmslnL		0	－	0.5	V	
ＭＣＬｎ端子	MCLn端子入力電流	Imcln	VIH=6V	－	－	100	μＡ	
	MCLn端子"H"入力電圧	VmclnH		2.5	－	7.0	V	
	MCLn端子"L"入力電圧	VmclnL		0	－	0.5	V	
ＤＣＭＣｎ端子	DCMCn端子入力電流	Idcmcn	VIH=6V	－	－	100	μＡ	
	DCMCn端子"H"入力電圧	VdcmcnH		2.5	－	7.0	V	
	DCMCn端子"L"入力電圧	VdcmcnL		0	－	0.5	V	
ＤＡ端子	DA端子入力電流	Ida	VIH=4V	－	－	100	nＡ	
	DA端子入力電圧範囲	Vda		1.2	－	VDD -1.5	V	
ＶＡＤＪ端子	VADJ端子入力電流	Ivadj	VIL=0V	-10.0	-5.0	－	μＡ	
	VADJ 端子入力電圧範囲	Vvadj		0	－	0.1	V	

電気的特性－２　Ｔａ＝２５℃　'01-5月作成

特に指定がない場合、VB=5.0V ,VDD=6V

区分	項　目	記号	条　件	規格 min	規格 typ	規格 max	単位	注
ステッピングモータドライブ	出力電圧（定電圧制御）	VOUTstn	DA端子=3V　モータ端子間電圧測定	2.95	－	3.05	V	
	定電圧制御範囲	Vda	1.8V＜VB＜7.0V ,4.5V＜VDD＜7.0V	1.2	－	*1	V	*1
	出力ﾄﾗﾝｼﾞｽﾀ能力（参考）	Vsat(stn)	Io=200mA上側+下側（飽和電圧合計）	－	－	0.4	V	*2
	出力伝達遅延時間	TPHL(stn)		－	－	1.0	μS	
	出力伝達遅延時間	TPLH(stn)		－	－	1.0	μS	
	出力立上がり時間	TTHL(stn)		－	－	1.0	μS	
	出力立下がり時間	TTHL(stn)		－	－	1.0	μS	
	ｽﾊﾟｰｸｷﾗｰﾀﾞｲｵｰﾄﾞ順電圧	VSF(stn)	Io=200mA	－	－	1.8	V	
	ｽﾊﾟｰｸｷﾗｰﾀﾞｲｵｰﾄﾞ逆電流	IS(stn)		－	－	2.0	μA	
	過熱保護動作温度	Taohp		135	150	165	℃	
	過熱保護ﾋｽﾃﾘｼｽ	ΔTaohp		25	40	55	℃	
DCモータ	出力電圧（定電流制御）	IOUTdc	AR端子:1Ω、AR端子電圧/1Ω、Vadj=0V	90	100	110	mA	
	VADJ補正電圧誤差	Δvadj	Var(Vvadj=10mV)-Var(Vvadj=0mV)	9.0	10.0	11.0	mV	
	出力ﾄﾗﾝｼﾞｽﾀ能力（参考）	Vsat(dc)	Io=500mA	－	－	0.5	V	*2
	出力伝達遅延時間	TPLH(dc)		－	－	1.0	μS	
	出力伝達遅延時間	TPLH(dc)		－	－	1.0	μS	
	出力立上がり時間	TTHL(dc)		－	－	1.0	μS	
	出力立下がり時間	TTHL(dc)		－	－	1.0	μS	
	ｽﾊﾟｰｸｷﾗｰﾀﾞｲｵｰﾄﾞ順電圧	VSF(DCﾓｰﾀ)	Io=1A	－	－	2.0	V	
	ｽﾊﾟｰｸｷﾗｰﾀﾞｲｵｰﾄﾞ逆電流	IS		－	－	2.0	μA	
	過熱保護動作温度	Taohp		135	150	165	℃	
	過熱保護ﾋｽﾃﾘｼｽ	ΔTaohp		25	40	55	℃	

*1:定電圧制御電圧のMAX値はVB-0.5VとVDD-1.5Vを比較して低い電圧を優先します。
*2:モータ駆動は定電圧、定電流制御ですので、この参考値を基にドライブ電流を検討ください。
（その他注意事項）
・ステッピングモータの端子間電圧はDA端子の入力電圧に設定されます。
　但し、ＤＡ端子の入力電圧が1.0V以下の場合はIC内基準電圧を使用して端子間電圧を3.5V(typ値)に制御します。
・ステッピングモータＡとＢは同じ特性です。
・DCモータの定電流は外付け抵抗により設定されます。（Io=0.1V/外付け抵抗(R3,R4)　0.1Vはtyp値）
・VADJ端子から入力した電圧分AR端子電圧に加算され出力電流が調整できます。調整が必要無い場合は
　VADJ端子をGNDに接続してください。
　　ex. VADJ=10mV　Io=(0.1V+10mV)/外付け抵抗
　　外付け部品バラツキ、温度変動等を補正が可能です。

ＭＳＬ真理値表

ＭＳＬ１	ＭＳＬ２	出　力　状　態
L	L	全てのモータが待機状態
L	H	ステッピングモータＡ動作可能状態
H	L	ステッピングモータＢ動作可能状態
H	H	ＤＣモータ動作可能状態

ＭＣＬ真理値表

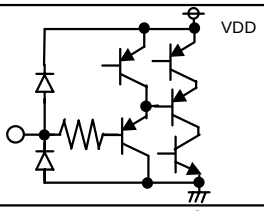
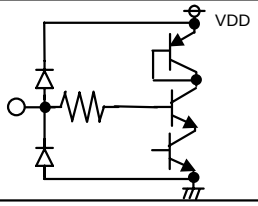
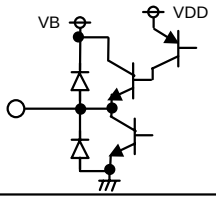
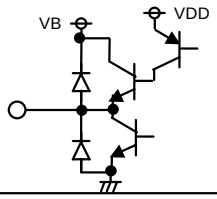
入力(ﾓｰﾀ選択)		入力(ﾓｰﾀ制御)			DCモータ出力		ステッピングモードＡ出力				ステッピングモータＢ出力				備　考
MSL1	MSL2	MCL1	MCL2	MCL3	OUT 1	OUT 2	STA 1	STA 2	STA3	STA4	STB 1	STB 2	STB 3	STB 4	
L	L	*	*	*	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	全ﾓｰﾀ待機
L	H	L	L	L	OFF	OFF	H	L	OFF	OFF	OFF	OFF	OFF	OFF	ｽﾃｯﾋﾟﾝｸﾞﾓｰﾀA 1-2相励磁
		L	H	H	OFF	OFF	H	L	H	L	OFF	OFF	OFF	OFF	
		L	H	L	OFF	OFF	OFF	OFF	H	L	OFF	OFF	OFF	OFF	
		L	L	H	OFF	OFF	L	H	H	L	OFF	OFF	OFF	OFF	
		H	L	L	OFF	OFF	L	H	OFF	OFF	OFF	OFF	OFF	OFF	
		H	L	H	OFF	OFF	L	H	L	H	OFF	OFF	OFF	OFF	
		H	H	L	OFF	OFF	OFF	OFF	L	H	OFF	OFF	OFF	OFF	
		H	H	H	OFF	OFF	H	L	L	H	OFF	OFF	OFF	OFF	
H	L	L	L	L	OFF	OFF	OFF	OFF	OFF	OFF	H	L	OFF	OFF	ｽﾃｯﾋﾟﾝｸﾞﾓｰﾀB 1-2相励磁
		L	H	H	OFF	OFF	OFF	OFF	OFF	OFF	H	L	H	L	
		L	H	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	H	L	
		L	L	H	OFF	OFF	OFF	OFF	OFF	OFF	L	H	H	L	
		H	L	L	OFF	OFF	OFF	OFF	OFF	OFF	L	H	OFF	OFF	
		H	L	H	OFF	OFF	OFF	OFF	OFF	OFF	L	H	L	H	
		H	H	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	L	H	
		H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	H	L	L	H	
H	H	H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	待機
		L	H	H	L	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	DCﾓｰﾀ逆転
		H	L	H	H	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	DCﾓｰﾀ正転
		L	L	H	L	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	DCﾓｰﾀﾌﾞﾚｰｷ
		H	H	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	
		L	H	L	OFF	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	
		H	L	L	OFF	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	
		L	L	L	OFF	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	

ＤＣＭＣ真理値表

DCﾓｰﾀ制御		DCモータ出力		備考
DCMC1	DCMC2	OUT 1	OUT 2	
L	L	OFF	OFF	待機
L	H	L	H	DCﾓｰﾀ逆転
H	L	H	L	DCﾓｰﾀ正転
H	H	L	L	DCﾓｰﾀﾌﾞﾚｰｷ

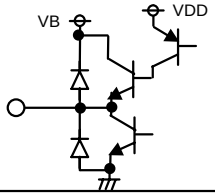
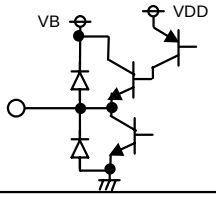
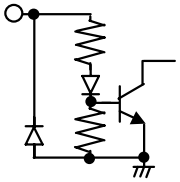
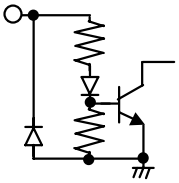
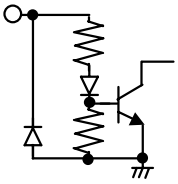
DCﾓｰﾀ単独制御用：
- ｽﾃｯﾋﾟﾝｸﾞﾓｰﾀ駆動時にDCﾓｰﾀの制御が可能（同時駆動可能）
- DCMC1:L,DCMC2:L時はMCL,MSLでDCモータ制御可能
- DCMC1またはDCMC2のどちらかがHの場合はDCMC制御を優先

DESCRIPTION OF PIN(cont.)

PIN NO.	PIN NAME	PERIPHERAL CIRCUIT OF PINS	ELECTRICAL CHARACTERRISTICS (Ta=25℃)					
			Parameter	min	typ	max	Unit	NOTE
1	VADJ		V_{IN}	0	-	0.1	V	
			I_{IN}	-10.0	-5.0	0	uA	Vin=0V
2	DA		V_{IN}	1.2	-	VDD-1.5	V	
			I_{IN}	0	-	100	nA	Vin=4V
3	SGND							
4	STA1		V_{sat}	0	-	0.4	V	Io=200mA (Upper side+Lower side)
			I_{out}	400	-	-	mA	
5	PGND2							
6	VB2							
7	STA2		V_{sat}	0	-	0.4	V	Io=200mA (Upper side+Lower side)
			I_{out}	400	-	-	mA	
8	NC							

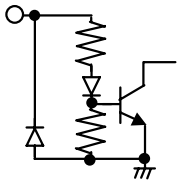
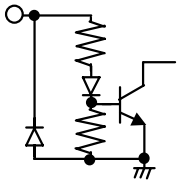
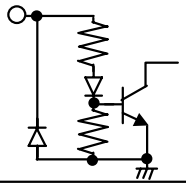
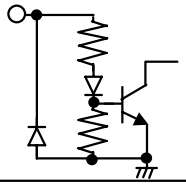
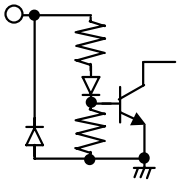
DESCRIPTION OF PIN(cont.)

'01-5月作成

PIN NO.	PIN NAME	PERIPHERAL CIRCUIT OF PINS	ELECTRICAL CHARACTERRISTICS (Ta=25℃)					
			Parameter	min	typ	max	Unit	NOTE
9	STA3		V_{sat}	0	-	0.4	V	Io=200mA (Upper side+Lower side)
			I_{out}	400	-	-	mA	
10	PGND3							
11	VB3							
12	STA4		V_{sat}	0	-	0.4	V	Io=200mA (Upper side+Lower side)
			I_{out}	400	-	-	mA	
13	DCMC2		V_{INH}	2.5	-	7.0	V	
			V_{INL}	0	-	0.5	V	
			I_{INH}	0	-	100	uA	VIH=6V
14	NC							
15	DCNC1		V_{INH}	2.5	-	7.0	V	
			V_{INL}	0	-	0.5	V	
			I_{INH}	0	-	100	uA	VIH=6V
16	MSEL1		V_{INH}	2.5	-	7.0	V	
			V_{INL}	0	-	0.5	V	
			I_{INH}	0	-	100	uA	VIH=6V

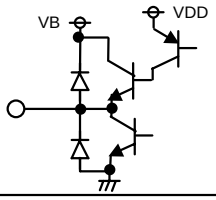
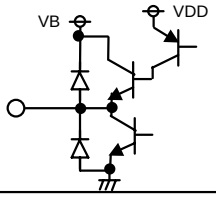
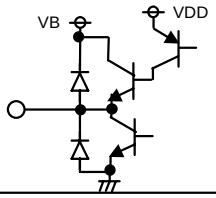
DESCRIPTION OF PIN(cont.)

'01-5月作成

PIN NO.	PIN NAME	PERIPHERAL CIRCUIT OF PINS	ELECTRICAL CHARACTERRISTICS (Ta=25℃)					
			Parameter	min	typ	max	Unit	NOTE
17	MSEL2		VINH	2.5	-	7.0	V	
			VINL	0	-	0.5	V	
			IINH	0	-	100	uA	VIH=6V
18	VDD							
19	STB		VINH	2.5	-	7.0	V	
			VINL	0	-	0.5	V	
			IINH	0	-	100	uA	VIH=6V
20	NC							
21	MCL1		VINH	2.5	-	7.0	V	
			VINL	0	-	0.5	V	
			IINH	0	-	100	uA	VIH=6V
22	MCL2		VINH	2.5	-	7.0	V	
			VINL	0	-	0.5	V	
			IINH	0	-	100	uA	VIH=6V
23	MCL3		VINH	2.5	-	7.0	V	
			VINL	0	-	0.5	V	
			IINH	0	-	100	uA	VIH=6V
24	NC							

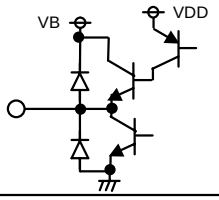
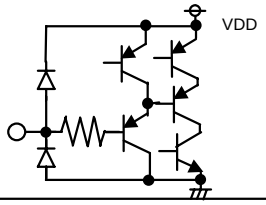
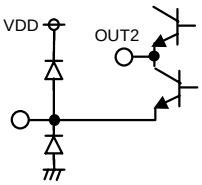
DESCRIPTION OF PIN(cont.)

'01-5月作成

PIN NO.	PIN NAME	PERIPHERAL CIRCUIT OF PINS	ELECTRICAL CHARACTERRISTICS (Ta=25℃)					
			Parameter	min	typ	max	Unit	NOTE
25	STB4		V_{sat}	0	-	0.4	V	Io=200mA (Upper side+Lower side)
			I_{out}	400	-	-	mA	
26	VB5							
27	PGND5							
28	STB3		V_{sat}	0	-	0.4	V	Io=200mA (Upper side+Lower side)
			I_{out}	400	-	-	mA	
29	STB2		V_{sat}	0	-	0.4	V	Io=200mA (Upper side+Lower side)
			I_{out}	400	-	-	mA	
30	VB4							
31	NC							
32	PGND4							

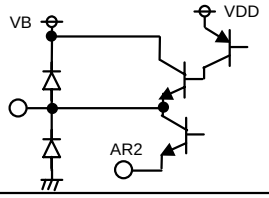
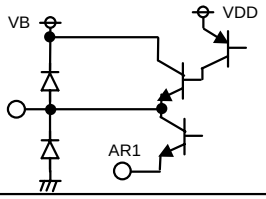
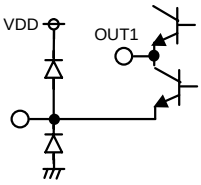
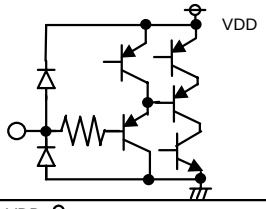
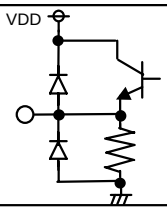
DESCRIPTION OF PIN(cont.)

'01-5月作成

PIN NO.	PIN NAME	PERIPHERAL CIRCUIT OF PINS	ELECTRICAL CHARACTERRISTICS (Ta=25℃)					
			Parameter	min	typ	max	Unit	NOTE
33	STB1		V_{sat}	0	-	0.4	V	Io=200mA (Upper side+Lower side)
			I_{out}	400	-	-	mA	
34	NC							
35	NC							
36	PGND1							
37	NC							
38	ICONT2		I_{IN}	-10.0	-5.0	0	uA	Vin=0V
39	AR2		I_{out}	1.8	-	-	A	
40	NC							

DESCRIPTION OF PIN(cont.)

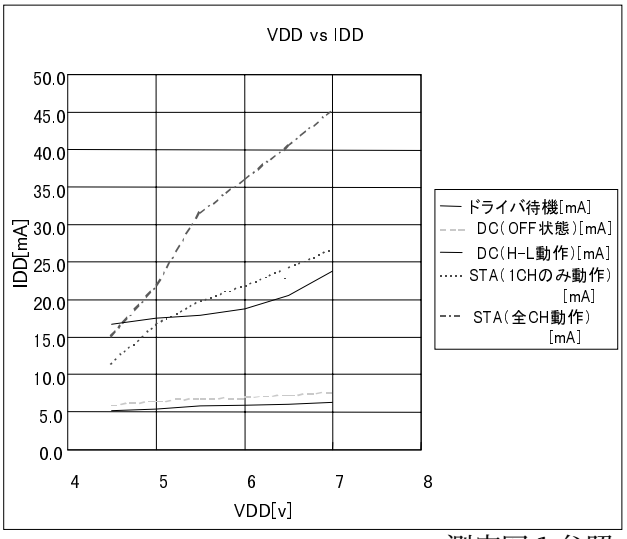
'01-5月作成

PIN NO.	PIN NAME	PERIPHERAL CIRCUIT OF PINS	ELECTRICAL CHARACTERRISTICS (Ta=25℃)					
			Parameter	min	typ	max	Unit	NOTE
41	OUT2		V_{sat}	0	-	0.5	V	Io=500mA (Upper side+Lower side)
			I_{out}	1.8	-	-	A	
42	VB1							
43	NC							
44	OUT1		V_{sat}	0	-	0.5	V	Io=500mA (Upper side+Lower side)
			I_{out}	1.8	-	-	A	
45	NC							
46	AR1		I_{out}	1.8	-	-	A	
47	ICONT1		I_{IN}	-10.0	-5.0	0	uA	Vin=0V
48	0.1V		V_{OUT}	0.09	-	0.11	V	
			I_{OUT}	-	-	-200	uA	Vin=0V

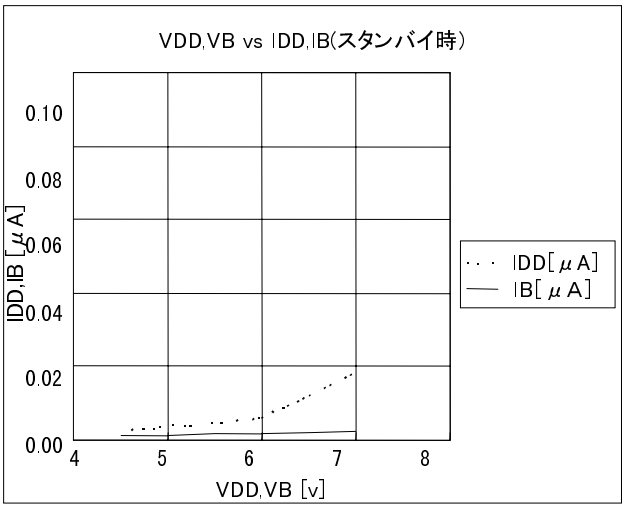
電気的特性

'01-5月作成

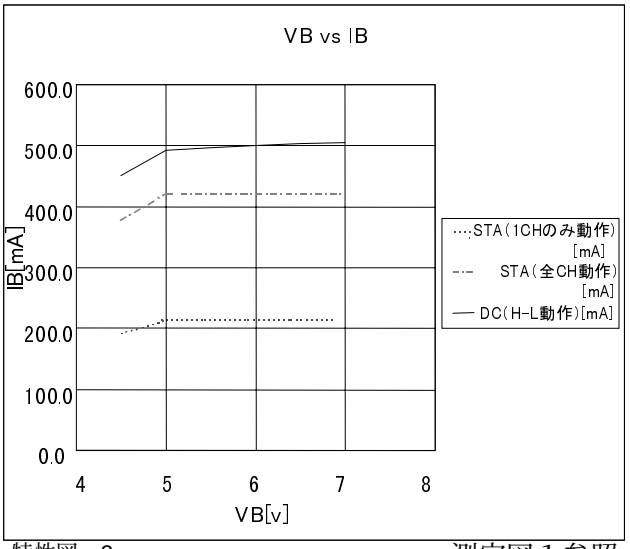
電源電圧－消費電流特性



特性図　1　　測定図１参照
条件(ＶＢ＝ＶＤＤ/ＤＡ＝4V/Ｉｏ(ＳＴＡ)＝200mA/Ｉｏ(ＤＣ)=500mA/Ｔａ＝25℃)

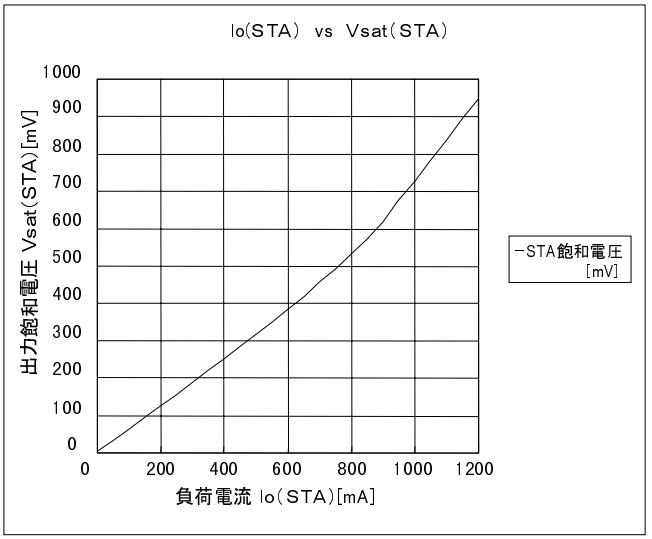


特性図　4　　測定図２参照
条件(ＶＢ＝ＶＤＤ/ＤＡ＝4V/Ｉｏ(ＳＴＡ)=200mA/Ｉｏ(ＤＣ)=500mA
ＳＴＢ＝0V/Ｔａ＝25℃)

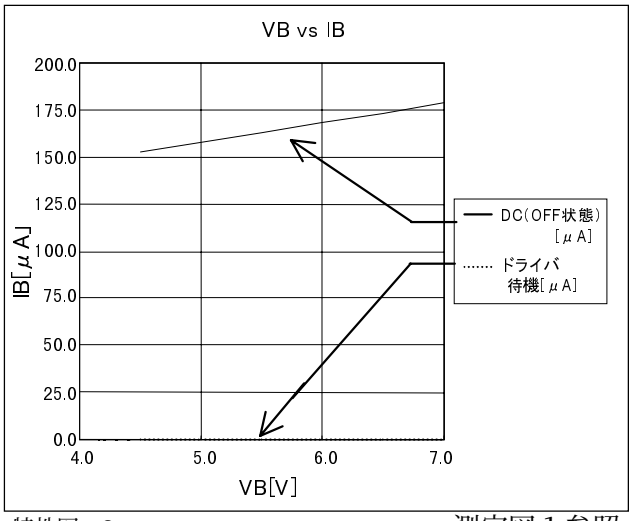


特性図　2　　測定図１参照
条件(ＶＢ＝ＶＤＤ/ＤＡ＝4V/Ｉｏ(ＳＴＡ)＝200mA/Ｉｏ(ＤＣ)=500mA/Ｔａ＝25℃)

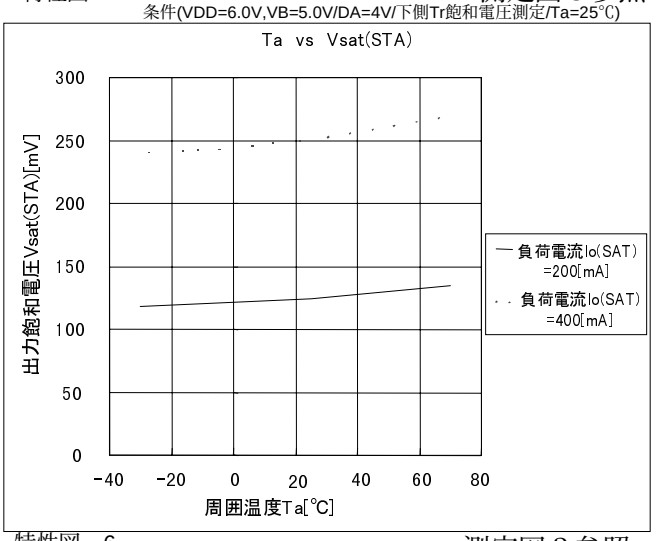
ステッピングモータ出力飽和電圧(下側Tr)特性



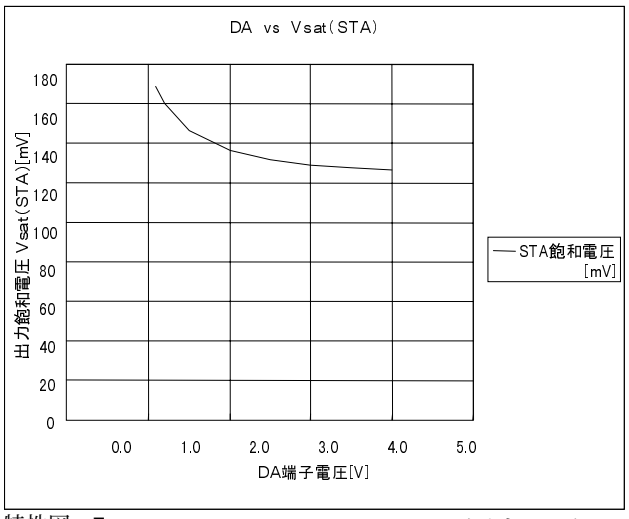
特性図　5　　測定図３参照
条件(VDD=6.0V,VB=5.0V/DA=4V/下側Tr飽和電圧測定/Ta=25℃)



特性図　3　　測定図１参照
条件(ＶＢ＝ＶＤＤ/ＤＡ＝4V/Ｉｏ(ＳＴＡ)＝200mA/Ｉｏ(ＤＣ)=500mA/Ｔａ＝25℃)



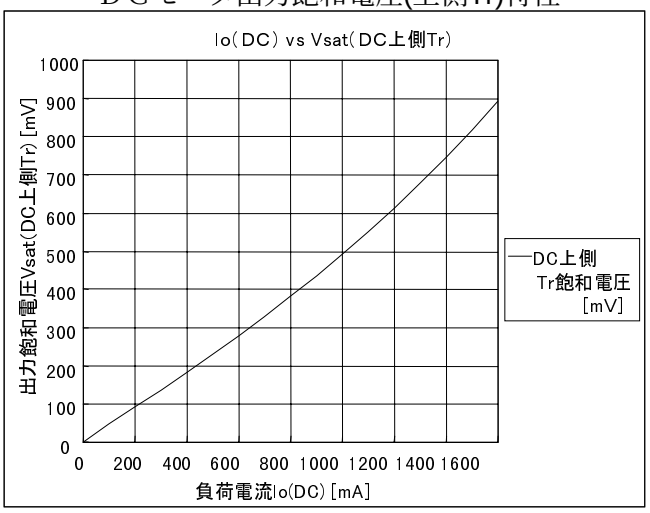
特性図　6　　測定図３参照
条件(VDD=6.0V,VB=5.0V/DA=4V/下側Tr飽和電圧測定)



特性図　7　　測定図4参照

条件(VDD=6.0V,VB=5.0V/下側Tr飽和電圧測定/Ta=25℃、Io=200mA)

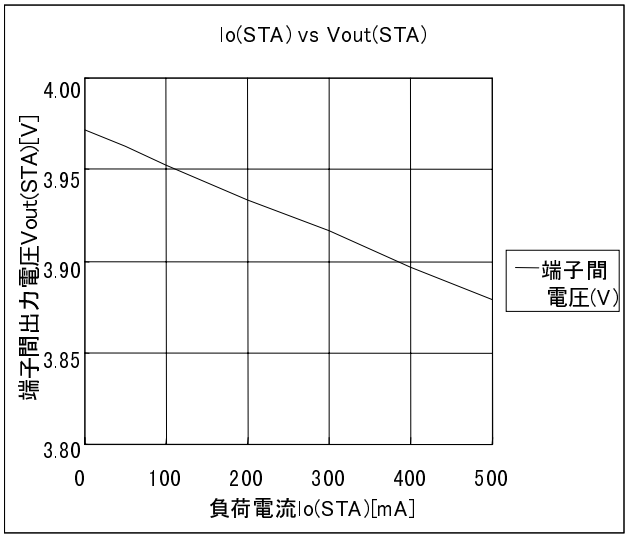
ＤＣモータ出力飽和電圧(上側Tr)特性



特性図　10　　測定図6参照

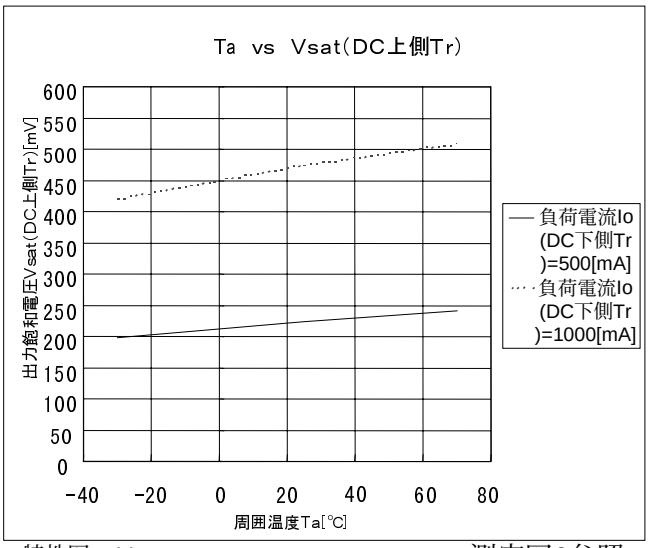
条件(VDD=6.0V,VB=5.0V/上側Tr飽和電圧測定/Ta=25℃)

ステッピングモータ端子間出力電圧特性



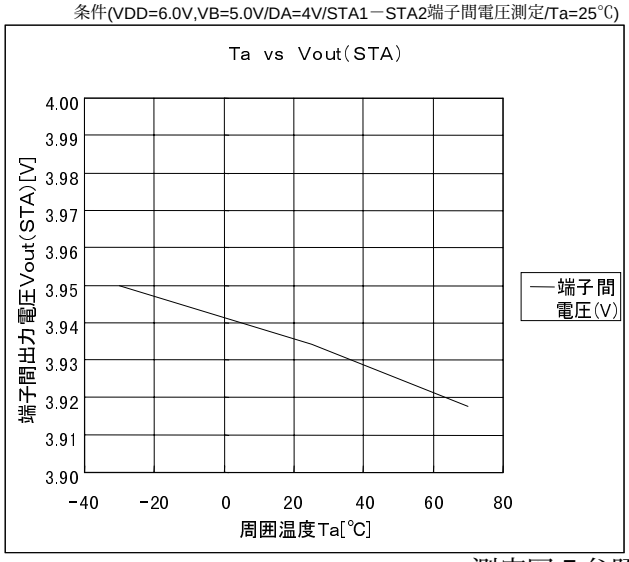
特性図　8　　測定図５参照

条件(VDD=6.0V,VB=5.0V/DA=4V/STA1－STA2端子間電圧測定/Ta=25℃)



特性図　11　　測定図6参照

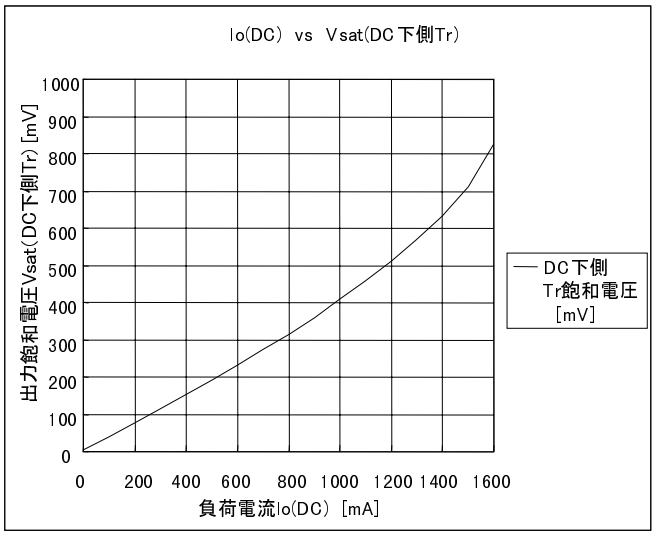
条件(VDD=6.0V,VB=5.0/上側Tr飽和電圧測定)



特性図　9　　測定図５参照

条件(VDD=6.0V,VB=5.0V/DA=4V/STA1－STA2端子間電圧測定、Io=200mA)

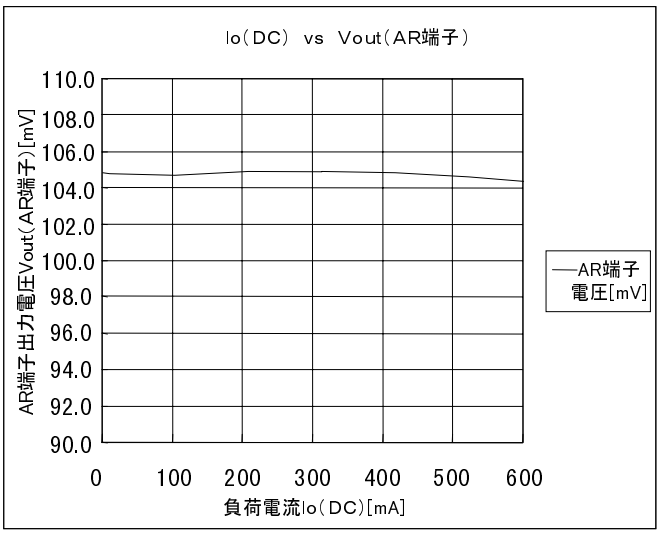
ＤＣモータ出力飽和電圧(下側Tr)特性



特性図　12　　測定図6参照

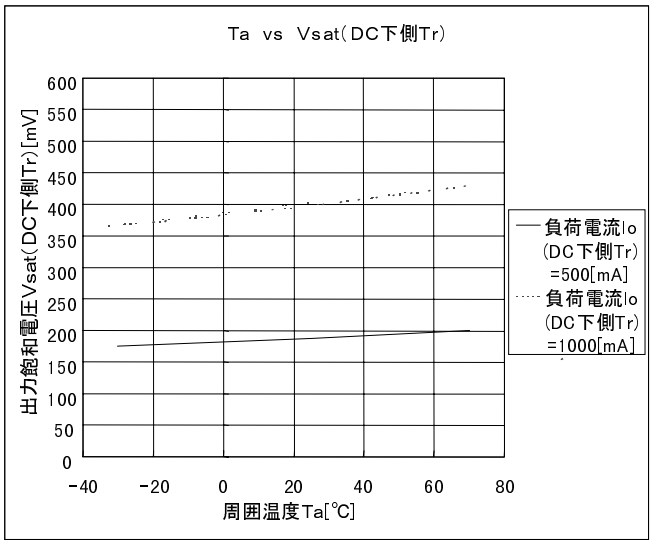
条件(VDD=6.0V,VB=5.0V/下側Tr飽和電圧測定/Ta=25℃)

ＡＲ端子出力電圧特性



特性図　14　　測定図7参照

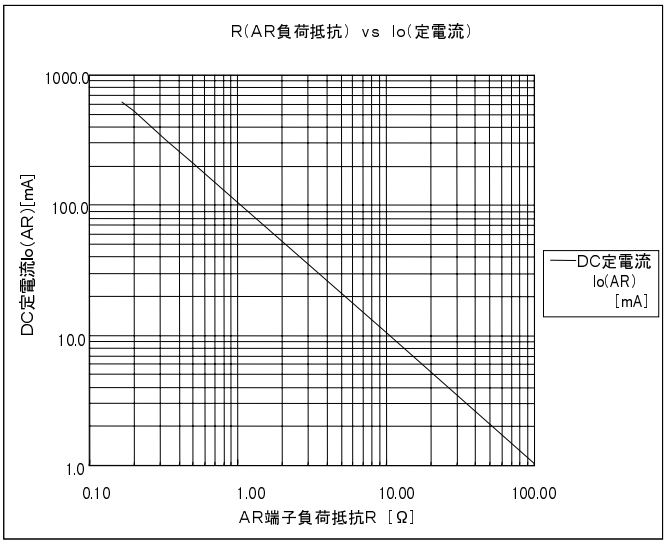
条件(VDD=6.0V,VB=5.0/Ta=25℃,AR端子出力電圧測定)



特性図　13　　測定図6参照

条件(VDD=6.0V,VB=5.0V/下側Tr飽和電圧測定)

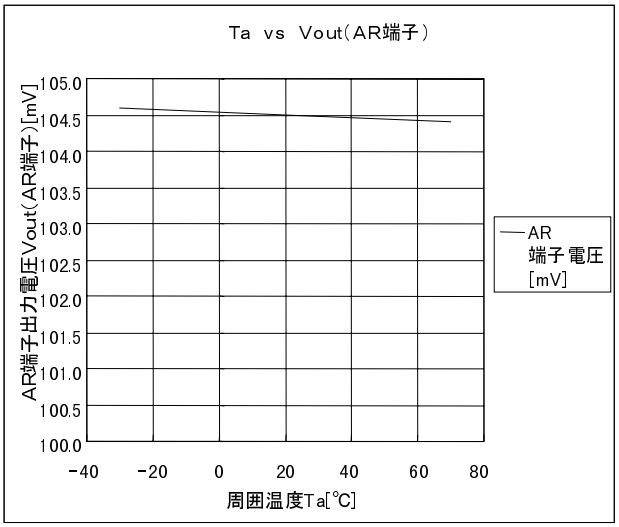
ＡＲ負荷抵抗ー定電流特性



特性図　15　　測定図7参照

条件(VDD=6.0V,VB=5.0V/Ta=25℃,AR端子出力電圧測定)

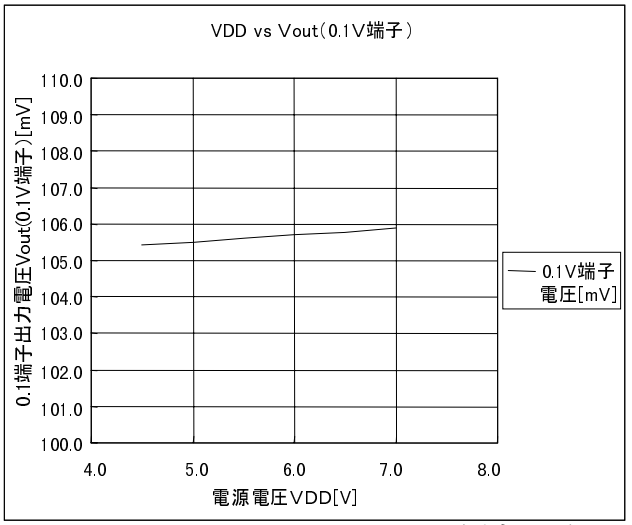
ＡＲ端子出力電圧特性



特性図　16　　測定図7参照

条件(VDD=6.0V,VB=5.0V/Io(DC)=500mA,AR端子出力電圧測定)

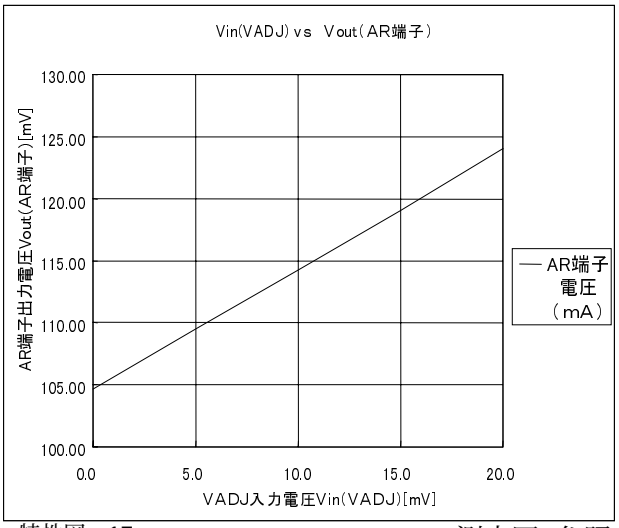
0.1Ｖ端子出力電圧特性



特性図　18　　測定図9参照

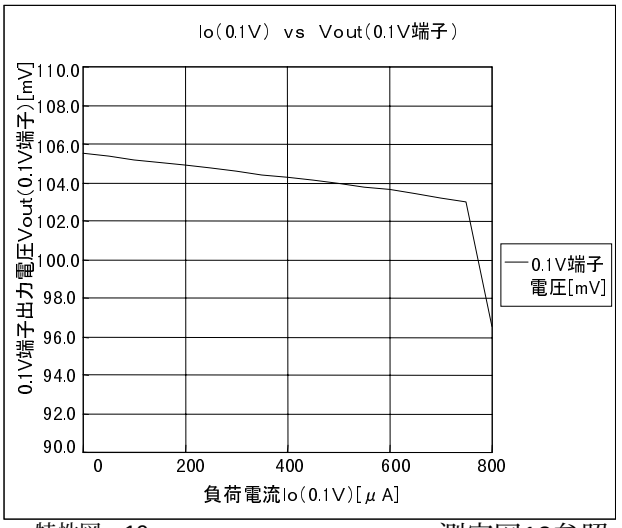
条件(VDD=VB/Ta25℃,0.1端子出力電圧測定)

ＶＡＤＪ電圧－ＡＲ端子出力電圧特性



特性図　17　　測定図8参照

条件(VDD=6.0V,VB=5.0V/負荷電流Io(DC)=500mA/Ta=25℃,AR端子出力電圧測定)

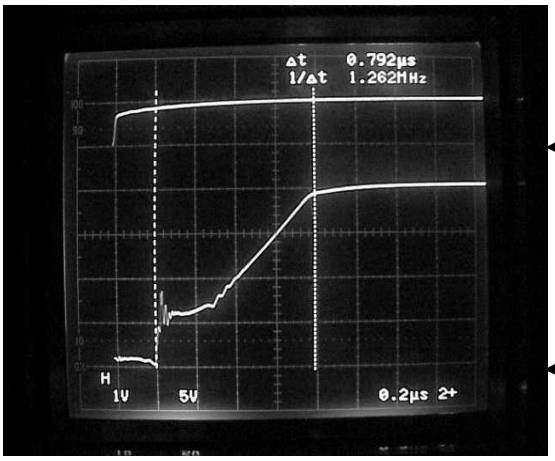


特性図　19　　測定図10参照

条件(VDD=6.0V,VB=5.0V/Ta=25℃,0.1V端子出力電圧測定)

STモータ応答特性
VDD=6V,VB=5V,Tａ＝25℃　2相　STA　波形
・DA=4.0V　負荷抵抗＝20Ω（Ｉｏ＝200mA）

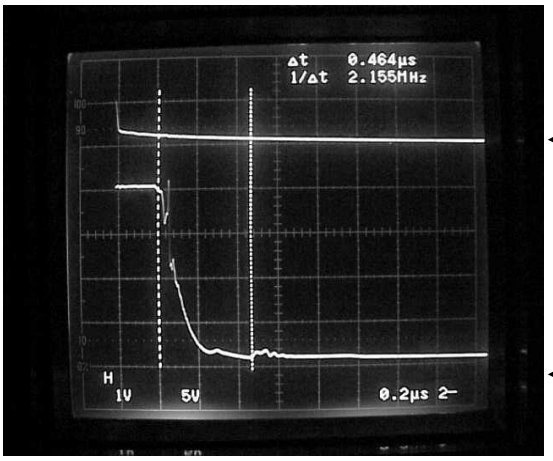
立上がり　（“Ｌ”→“Ｈ”）
上側：制御信号／下側：ＳＴＡ



5V/ｄｉｖ
GND
1V/ｄｉｖ
GND

特性図　20　　０．２μS/ｄｉｖ

立下り　（“Ｈ”→“Ｌ”）
上側：制御信号／下側：ＳＴＡ



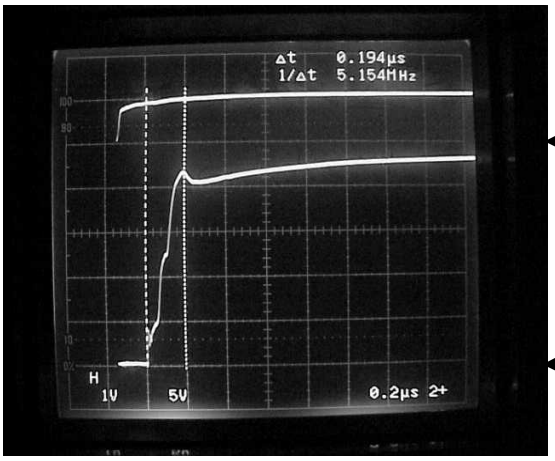
5V/ｄｉｖ
GND
1V/ｄｉｖ
GND

特性図　21　　０．２μS/ｄｉｖ

（測定図12参照）

ＤＣモータ応答特性
VDD=6V,VB=5V,Tａ＝25℃　ＯＵＴ出力波形
・負荷電流Ｉｏ（ＤＣ）＝500mA（Ｒ３、4＝0.2Ω）、負荷抵抗＝5Ω

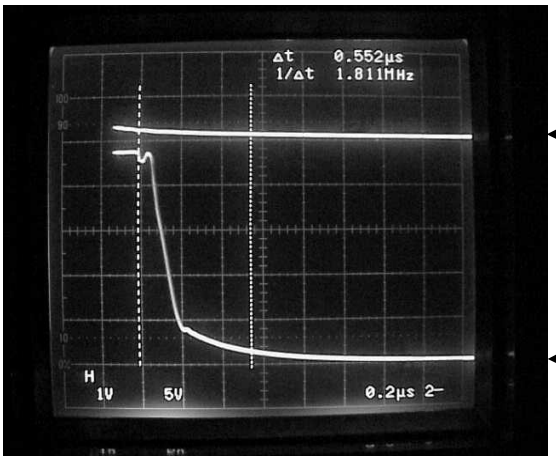
立上がり　（“Ｌ”→“Ｈ”）
上側：制御信号／下側：ＯＵＴ



5V/ｄｉｖ
GND
1V/ｄｉｖ
GND

特性図　22　　０．２μS/ｄｉｖ

立下り　（“Ｈ”→“Ｌ”）
上側：制御信号／下側：ＯＵＴ



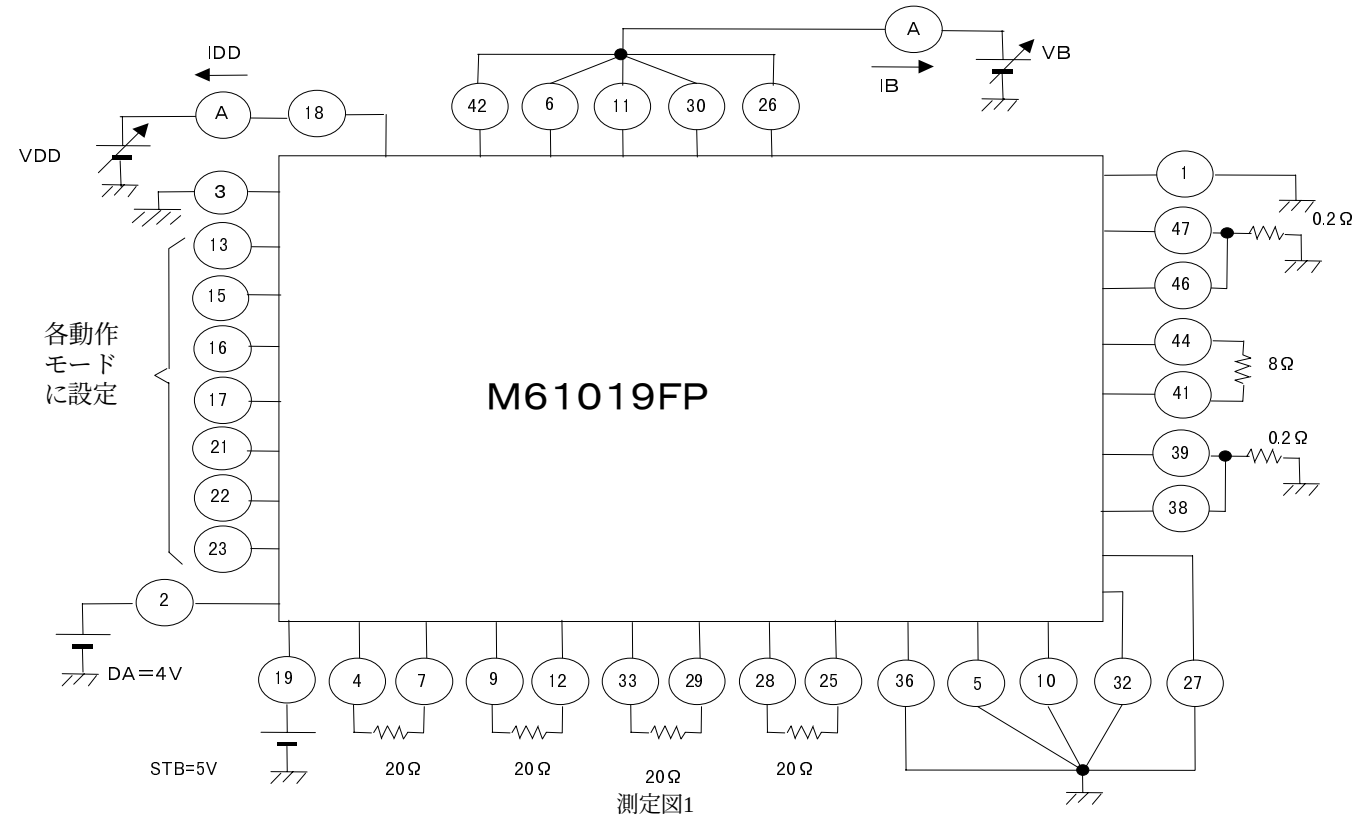
5V/ｄｉｖ
GND
1V/ｄｉｖ
GND

特性図　23　　０．２μS/ｄｉｖ

（測定図13参照）

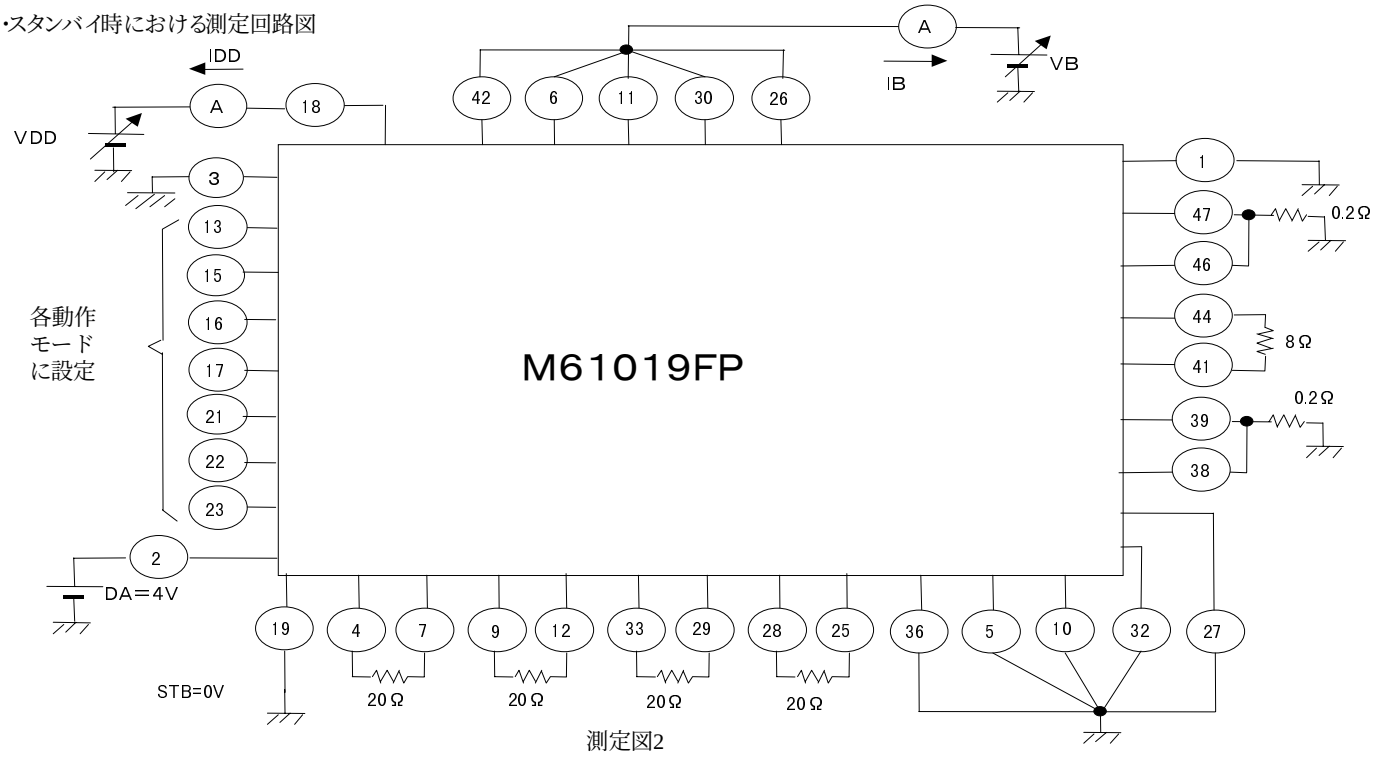
1．電源電圧ー消費電流　測定回路図

・各動作状態における測定回路図



測定図1

・スタンバイ時における測定回路図

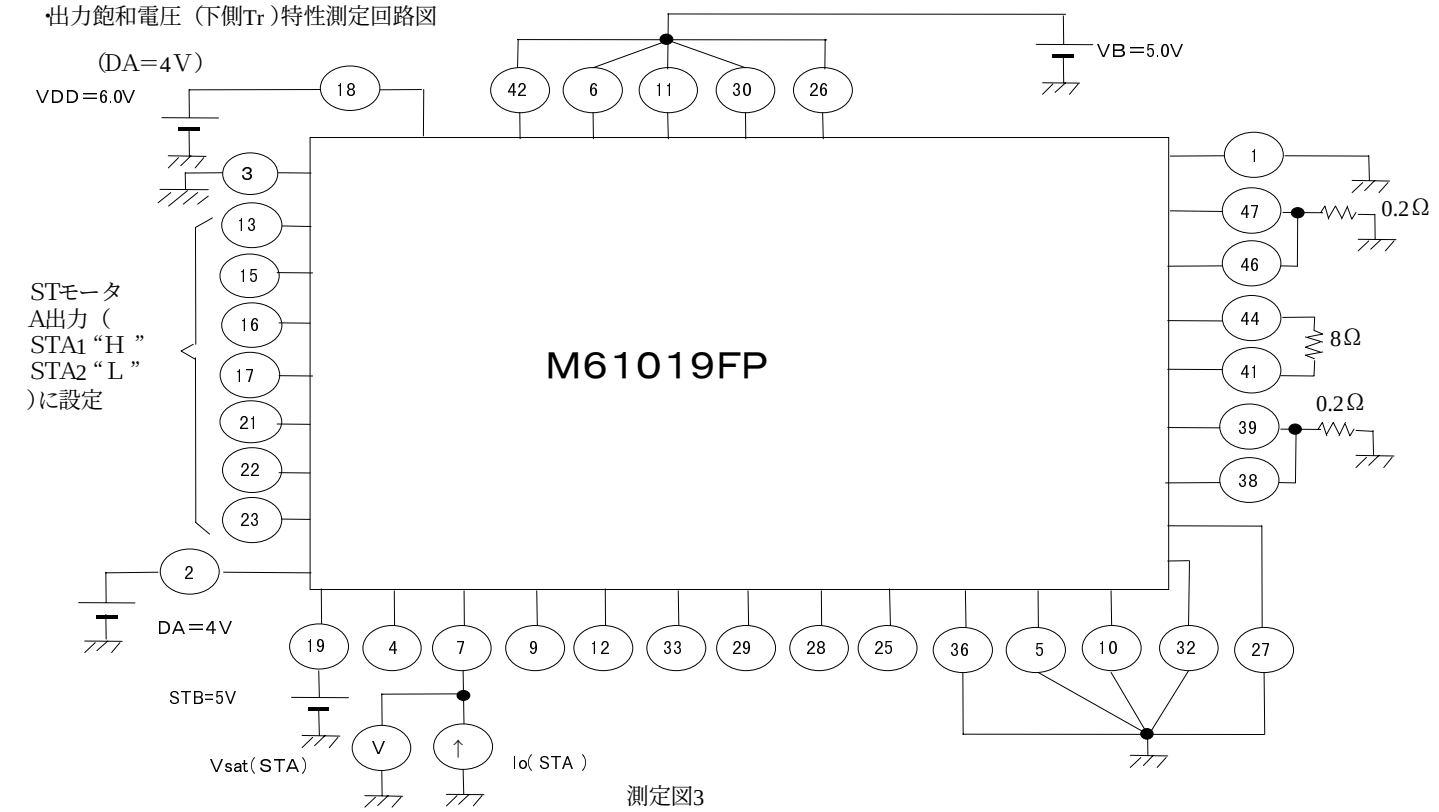


測定図2

ICの各動作状態の電源電圧－消費電流特性測定回路図を測定図1、スタンバイ時の電源電圧－消費電流特性測定回路図を測定図2に示します。

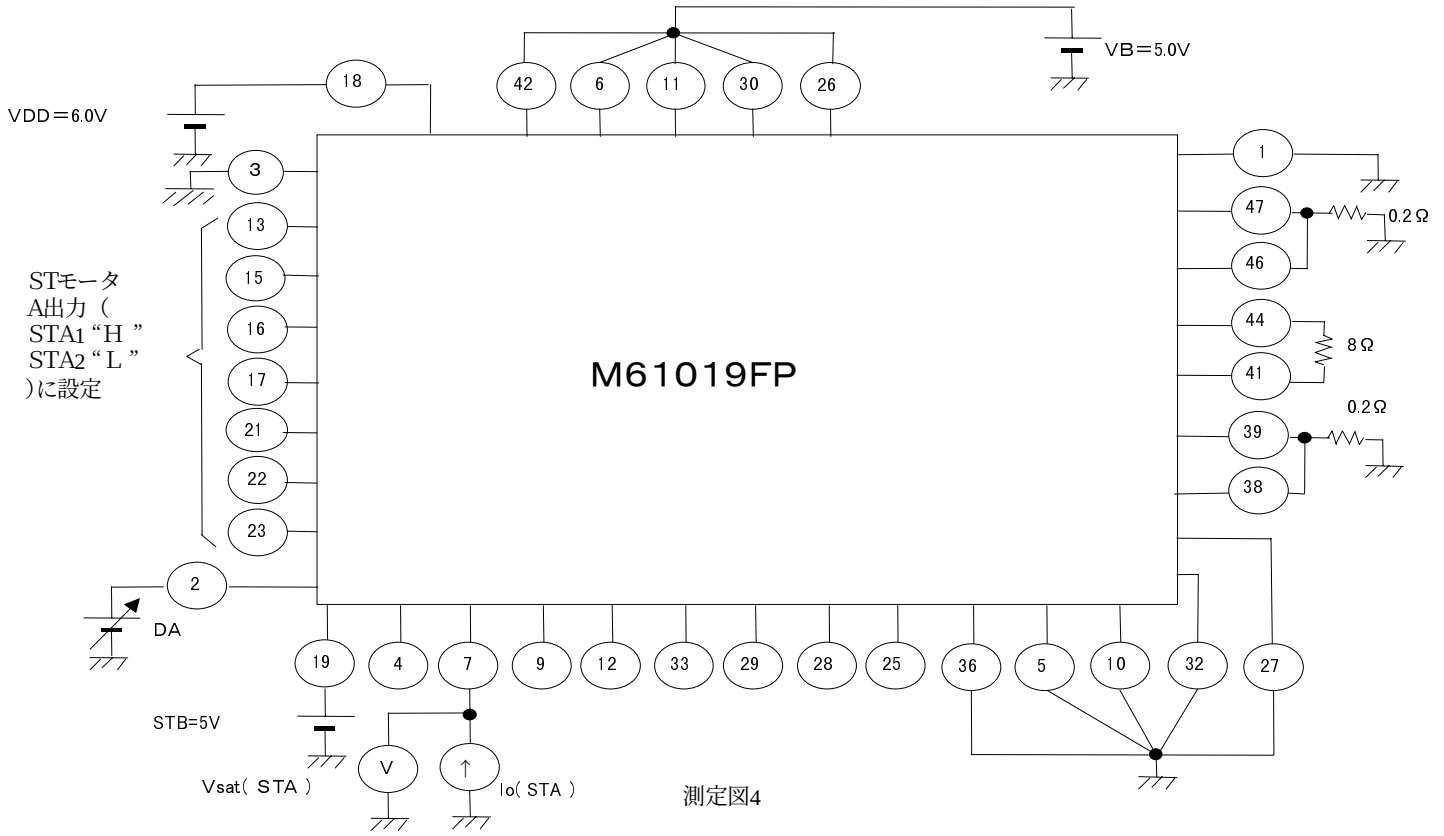
2.ステッピングモータ特性　測定回路図

・出力飽和電圧（下側Tr）特性測定回路図



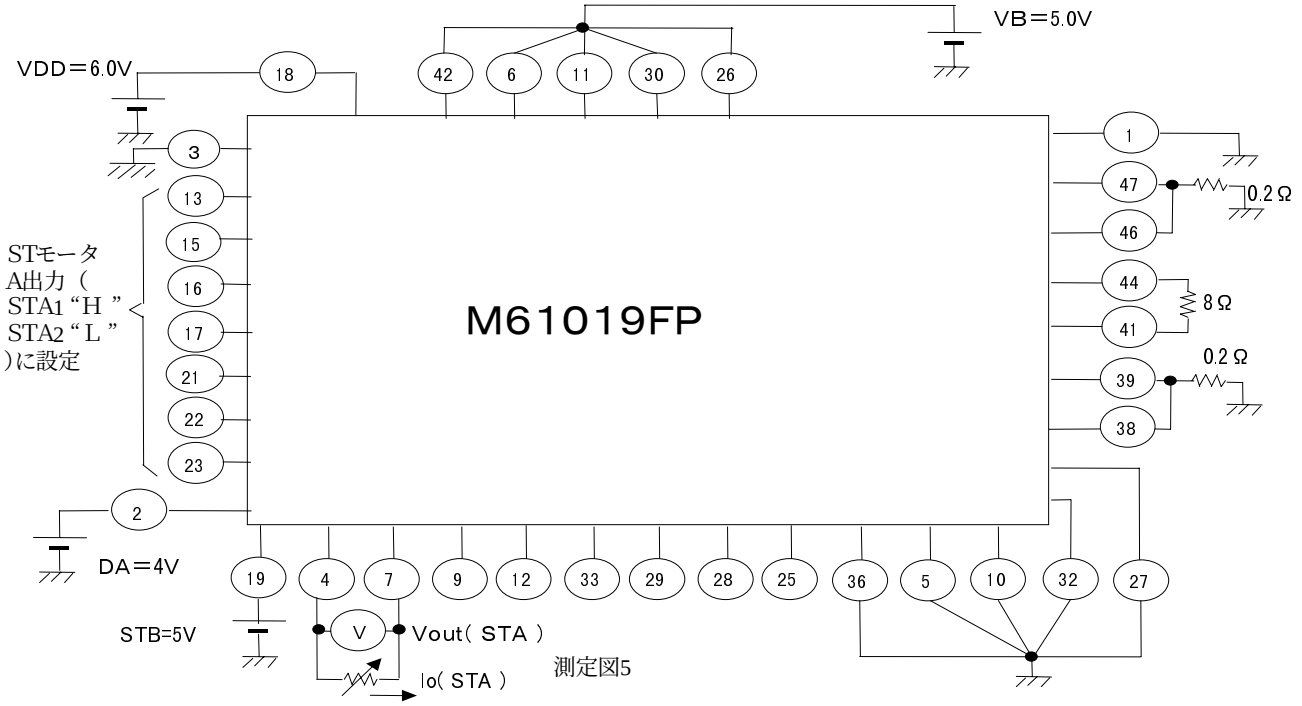
測定図3

(DA可変)



測定図4

•端子間出力電圧特性 測定回路図

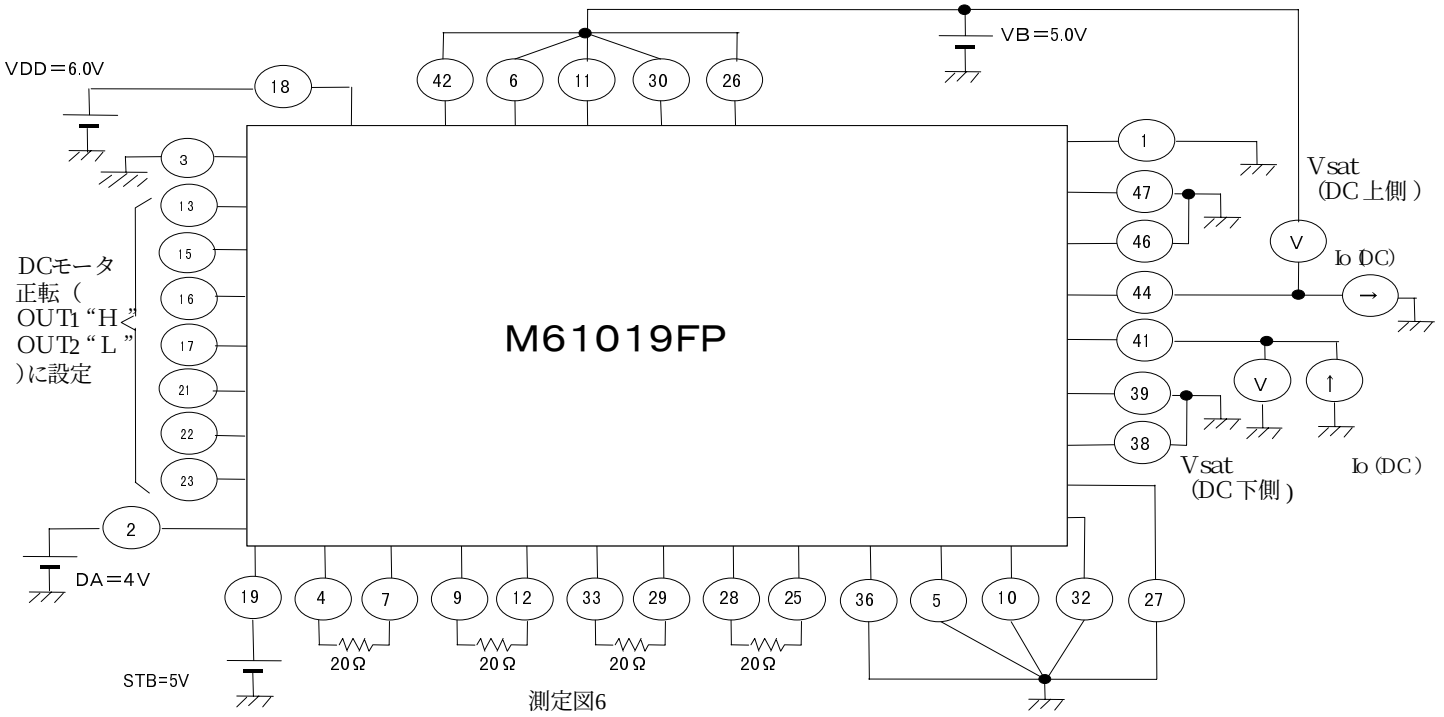


測定図5

ステッピングモータ出力飽和電圧（下側Tr）特性測定回路図を測定図3，4に示します。出力飽和電圧（上側Tr）特性はステッピングモータ出力方式が定電圧駆動の為に測定できません（上側のTrの出力電圧が下側Trの出力電圧に対して一定電圧になる為です）。ステッピングモータの負荷電流に対する端子間出力電圧特性測定回路図を測定図5に示します。

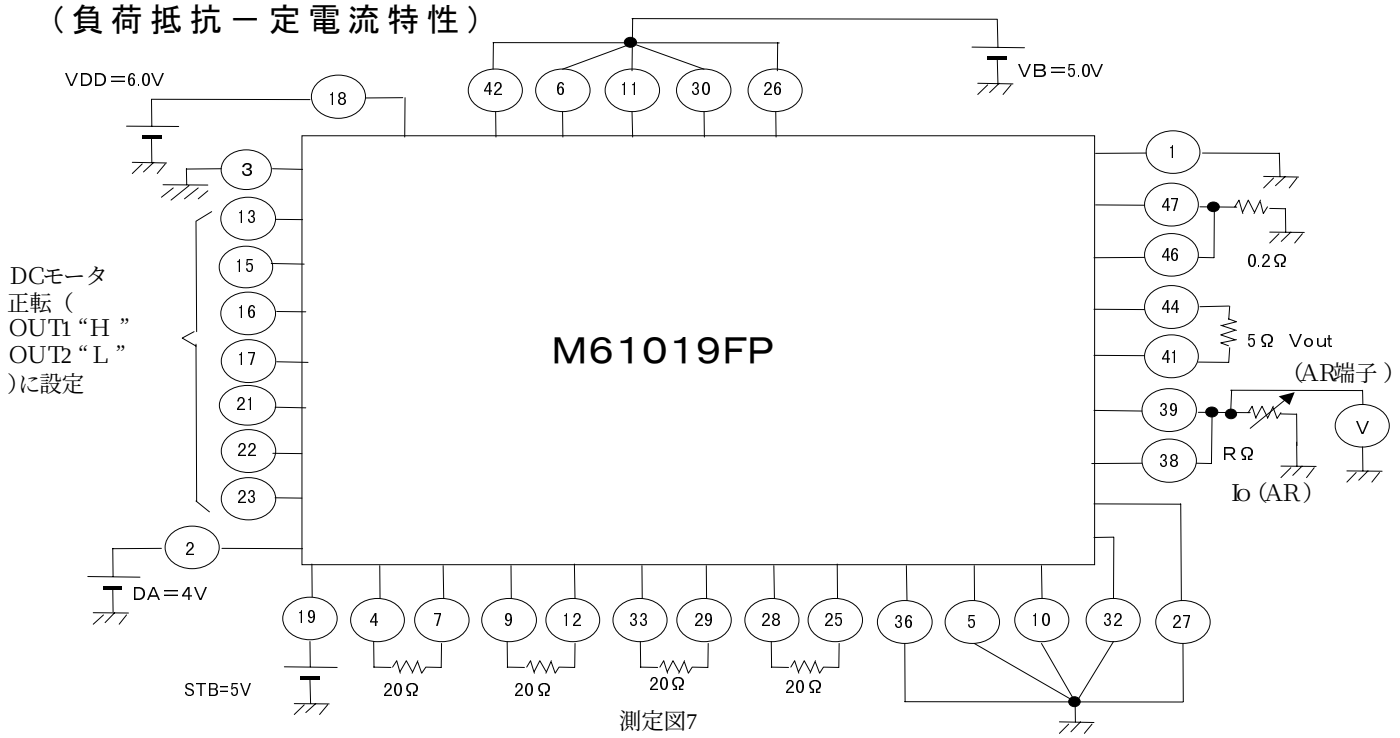
3. DCモータ特性 測定回路

•出力飽和電圧（上側Tr/下側Tr）特性 測定回路図



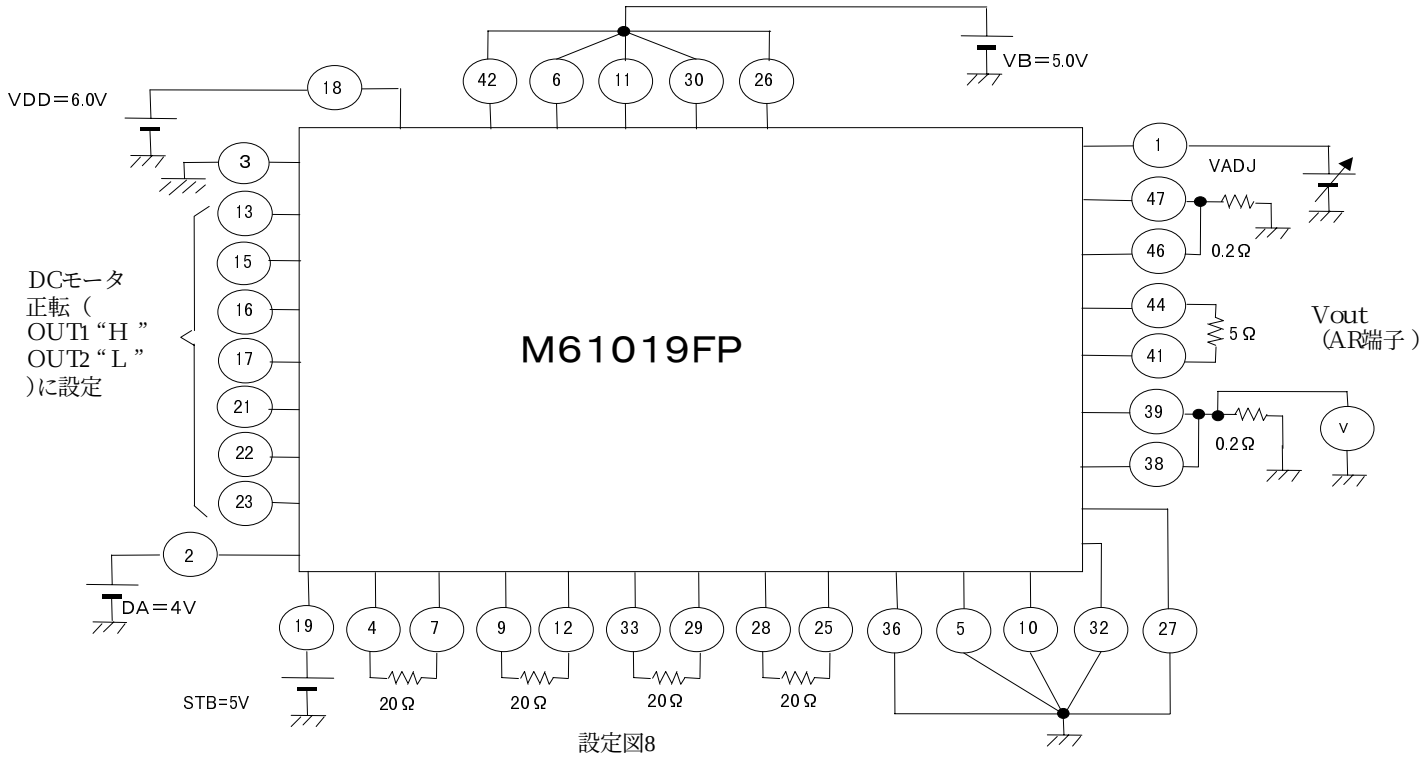
測定図6

・AR端子出力電圧特性　測定回路図
（負荷抵抗一定電流特性）



測定図7

・VADJ電圧－AR端子出力電圧特性　測定回路図

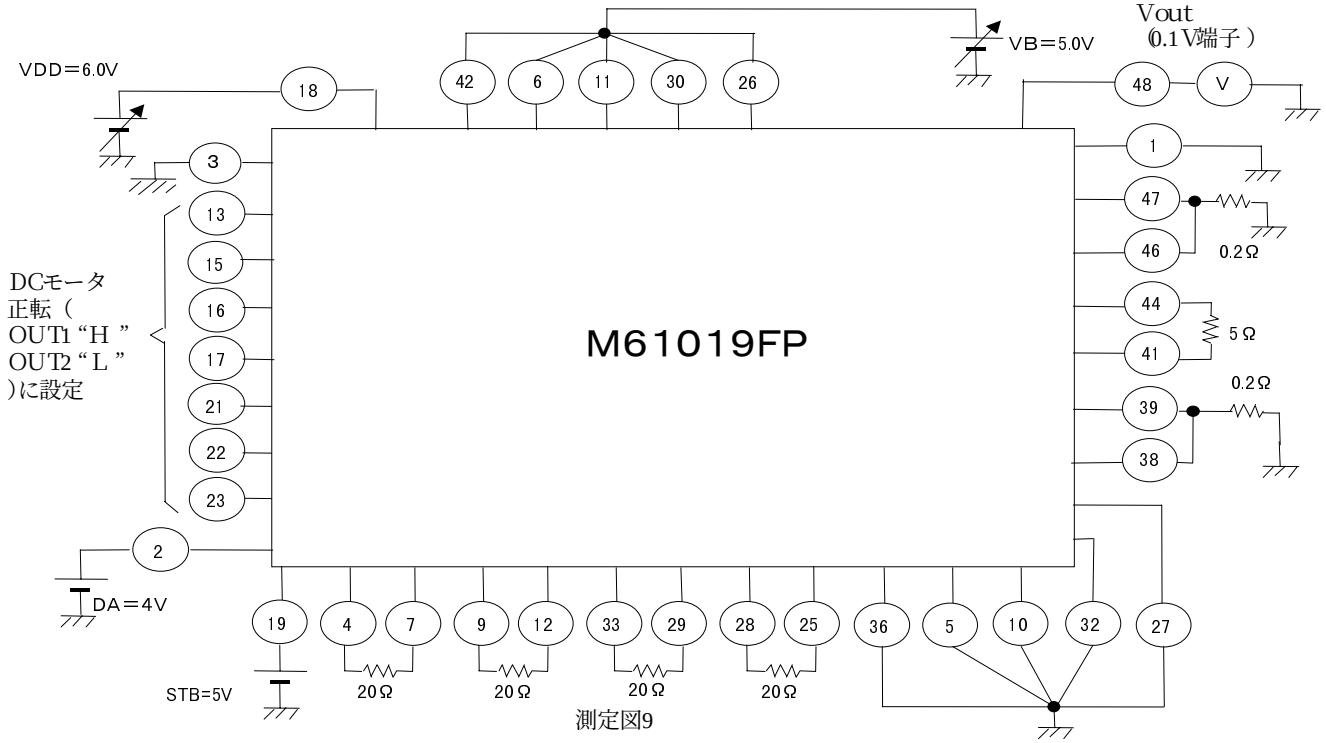


設定図8

ＤＣモータ出力飽和電圧（上側Tr/下側Tr）特性測定回路図を測定図６に示します。ＡＲ端子出力電圧特性（負荷抵抗一定電流特性）測定回路図を測定図７に示します。ＶＡＤＪ電圧－ＡＲ端子出力電圧特性回路図を測定図８に示します。

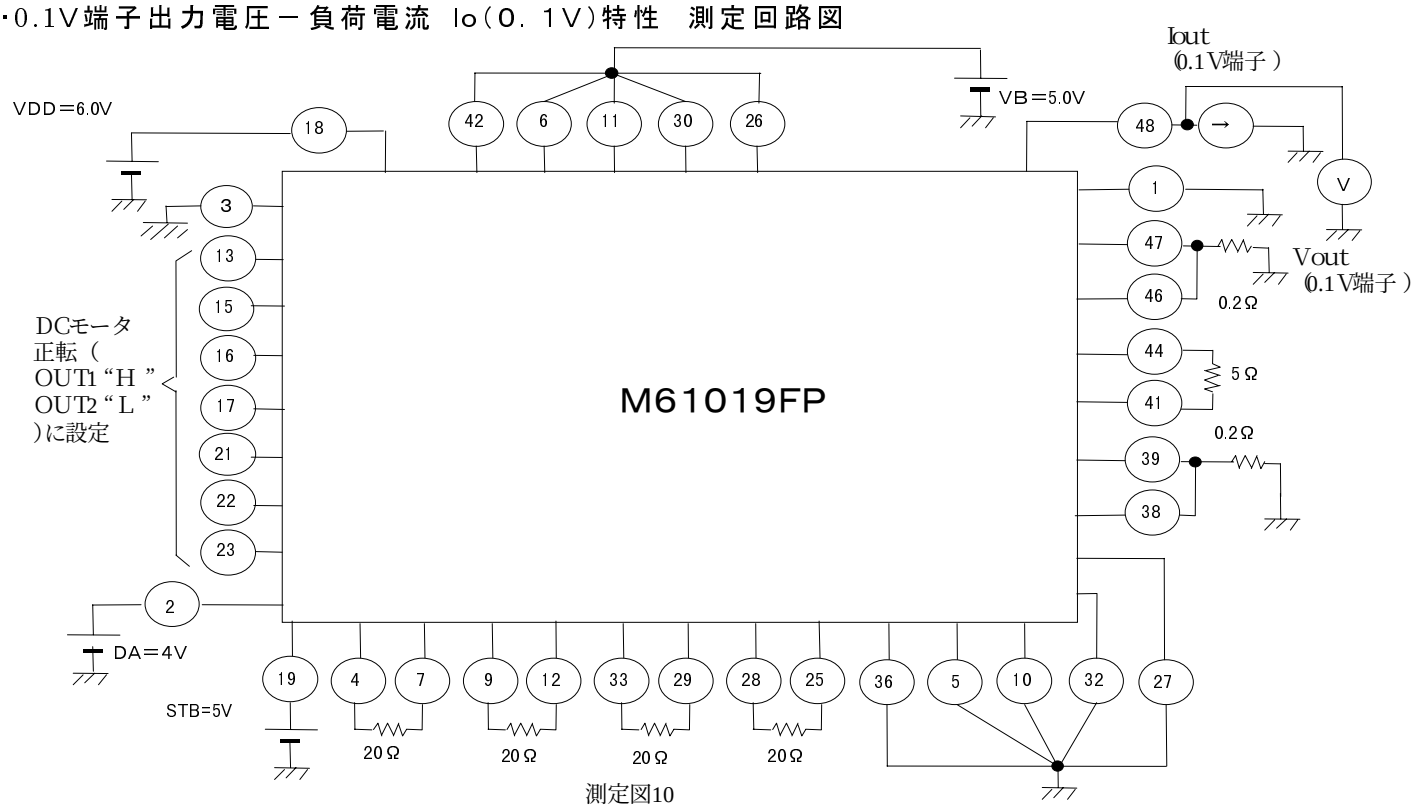
4．0．1V端子特性　測定回路

・0.1V端子出力電圧電源電圧特性　測定回路図



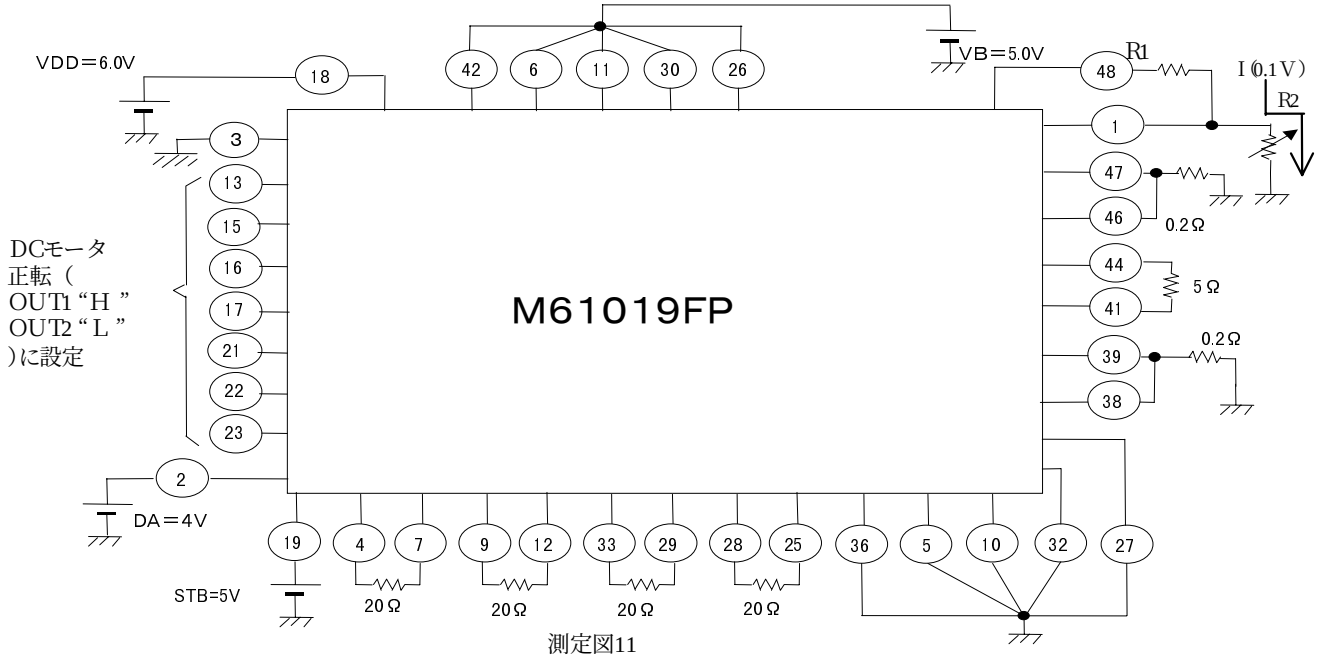
測定図9

・0.1V端子出力電圧－負荷電流 Io(0．1V)特性　測定回路図



測定図10

・0.1V端子出力電圧を用いてVADJ端子を制御した回路図



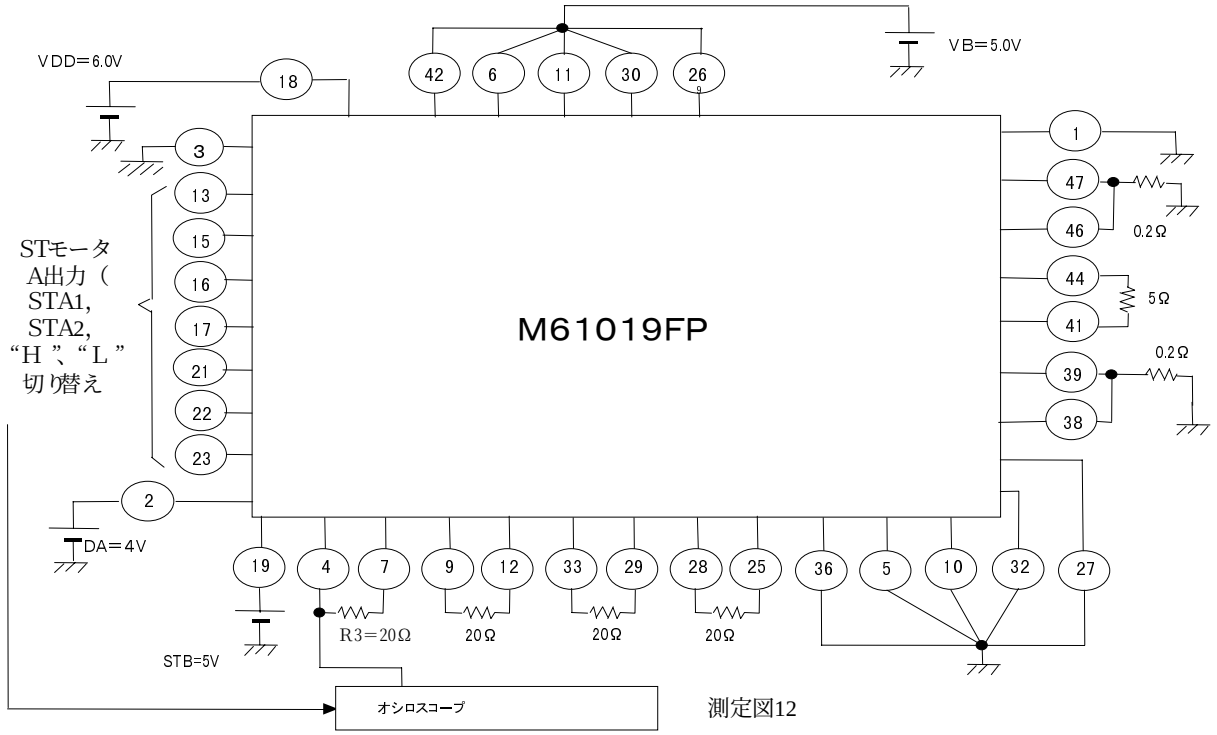
測定図11

0.1V端子出力電圧電源電圧特性測定回路図を測定図9に示します。0.1V端子出力電圧－負荷電流Io(0.1V)特性測定回路図を測定図10に示します。

測定図11は0.1V端子出力電圧を用いてVADJ端子を制御した回路図です。例として、VADJ端子を0～10mVに可変する場合R1＝910Ω、R2＝0～100Ω可変抵抗にすることによって調整することができます。特性図10よりR1、R2に流れる電流I(0.1V)が600μA以下で設定して下さい。

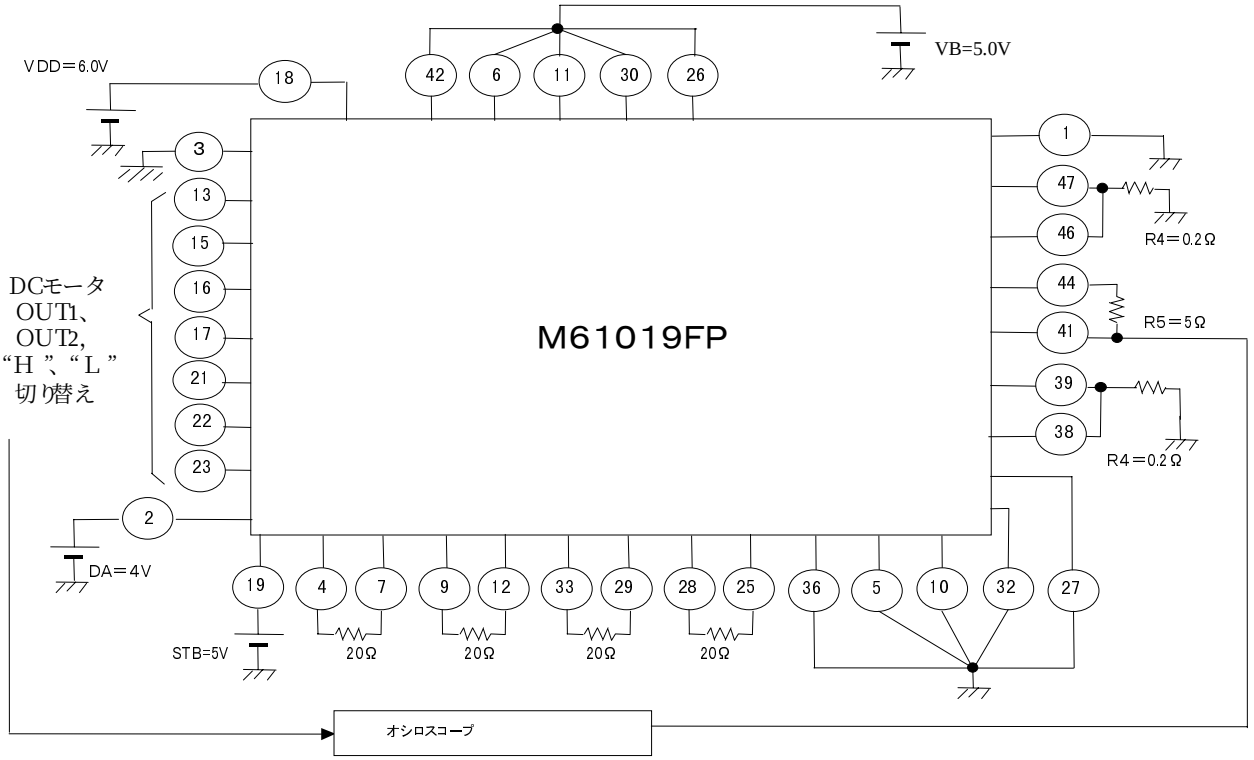
5. ステッピングモータ(STモータ)/DCモータ応答特性　測定回路

STモータ応答特性　測定回路図



測定図12

・DCモータ応答特性　測定回路図



測定図 13

STモータ応答特性測定回路図を測定図12に、DC モータ応答特性測定回路図を測定図13に示します

本資料ご利用に際しての留意事項

○本資料の内容は、仕様（パッケージ含む)を予告なしに変更することがありますので、記載情報、応用　回路などの使用に起因する損害に関して、当社が責任を負うものではありません。従って記載製品のご採用に当たりましては必要に応じ当社（本社、支社）または特約店の半導体営業窓口（以下窓口といいます）において最新の情報をご確認ください。

○本資料により、当社または第三者が所有する知的財産権その他の権利の実施あるいは使用を許諾するものではなく、本資料に記載の情報や図表類、諸データの使用に起因する第三者所有の権利に対する侵害に関し、当社はその責任を負うものではありません。

○本資料に掲載されている製品のうち、自動車などの移動体用や各種医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、極めて高い信頼性を要求される用途に使用することをご検討の際には、当社の窓口へご照会ください。

○本資料に掲載されている製品のうち、外国為替及び外国貿易管理法に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。

○本資料の転載、複製については、文書による当社の承諾以外は認めておりません。

○本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら当社の窓口までご連絡お願いいたします。

改定副番	主な改定内容	改定年月日
REV.B	・M30220グループデータシートREV.Hへの改定にともなう第1章の差し替え(1-2～1-215頁)。改定内容を以下に示します。 ・WAIT時周辺機能クロック停止ビットに関する補足説明追加(1-24頁他) ・リアルタイムポートの機能(1-83頁) 「リアルタイムポートモード選択ビットを“0”から“1”に変えたときにはリアルタイムポートラッチの値が“0”となり、対応する端子から“L”出力されます。」を追加 ・図1.14.3.リアルタイムポート出力動作タイミング図の変更(1-84頁) リアルタイムポートモード選択ビットを“0”から“1”に変えたときのタイミングを追加 ・IICモードでのDMA要求要因選択ビット=1101時のDMA1要因の変更(1-113頁他) 「アクノリッジ検出(ACK)」を「選択禁止」に変更 ・使用上の注意事項にシリアルI/Oの注意事項を追加(1-151頁) ・表1.21.2.推奨動作条件の表中に「(注2)」の表記がない(1-155頁) ・マスク化確認書の「※3.使用条件について」に以下の2項目を追加(1-169頁) (5)I²C(Inter IC)バス機能を使用されますか。 (6)IE(Inter Equipment)バス機能を使用されますか。 ・第1章にM30221グループデータシートREV.Dの一部を追加掲載(1-216～1-229頁) ・「2.10.2　リアルタイムポート出力の動作」の項の内容を修正(2-176～2-179頁) ・「2.14　パワーコントロール」の項にWAIT時周辺機能クロック停止ビットに関する補足説明追加(2-200頁他) ・「3.8　ステッピングモータ制御」の項をデジタルカメラ用モータドライバIC(M61019FP)との接続例に変更(2-246～2-251頁) ・「3.10　ウエイトモードを使用したパワーコントロール例」の項にWAIT時周辺機能クロック停止ビットに関する補足説明追加(2-256～2-260頁) ・「5.2　A-D変換器標準特性」、「5.3　D-A変換器標準特性」の項を追加(2-289～2-292頁) ・「付録3　端子機能選択時のレジスタ設定」を追加(2-299～2-332頁) ・「付録5　デジタルカメラ用モータドライバIC(M61019FP)のデータシート」を追加(2-334～2-357頁)	'01.6.1

改定履歴	M30220/M30221グループ ユーザーズマニュアル	

三菱シングルチップマイクロコンピュータ
ユーザーズマニュアル
M30220/M30221 グループ　REV.B

2001 年 6 月発行
編集　三菱電機セミコンダクタ･アプリケーション･エンジニアリング株式会社
発行　三菱電機株式会社　北伊丹事業所

禁無断転載
　本説明書の一部又は全部を、当社に断りなく、いかなる形でも転載又は複製することを堅くお断りします。
©2001 MITSUBISHI ELECTRIC CORPORATION

M30220/M30221 グループ
ユーザーズマニュアル

ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668