

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

M30218 グループ

ユーザーズマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ
M16Cファミリ / M16C/20シリーズ

安全設計に関するお願い

- ・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

- ・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりましては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ（<http://www.semicon.melco.co.jp/>）などを通じて公開される情報に常にご注意ください。
- ・本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。
- ・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任は負いません。
- ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。
- ・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。
- ・本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたら三菱電機または特約店までご照会ください。

第1章 ハードウェア _____ 1

第2章 周辺機能の使い方 _____ 2

第3章 周辺機能の応用例 _____ 3

第4章 割り込み _____ 4

第5章 標準特性 _____ 5

このマニュアルの使い方

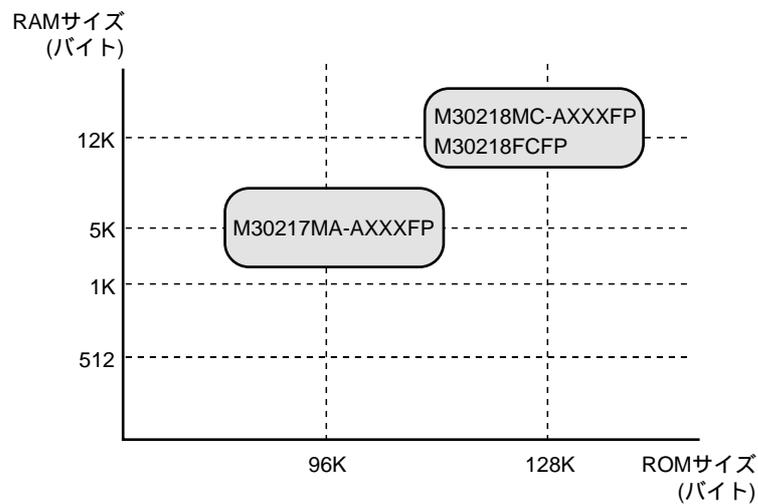
このマニュアルはM30218グループのユーザーズマニュアルです。

このマニュアルを使用する上で、電気回路、論理回路、およびマイクロコンピュータの基本的な知識が必要です。

このマニュアルは、下記の品種に適用しています。

- M30217MA-AXXXFP
- M30218MC-AXXXFP
- M30218FCFP

これらの品種は、内蔵するメモリを除いて、ほぼ同等の機能を持ちます。本文中では、M30218MC-AXXXFPを中心に説明しています。内蔵するメモリは下記のとおりです。メモリ容量が異なるため、プログラムを作成する場合は、注意してください。



このマニュアルは5つの章で構成されています。以下に目的に応じた参照先(章)を示します。

ハードウェアの仕様を理解する 「第1章 ハードウェア」

周辺機能の基本的な使い方、動作タイミングを理解する 「第2章 周辺機能の使い方」

周辺機能の応用例を知る 「第3章 周辺機能の応用例」

割り込みについての詳細なタイミングを理解する 「第4章 割り込み」

標準データを知る 「第5章 標準特性」

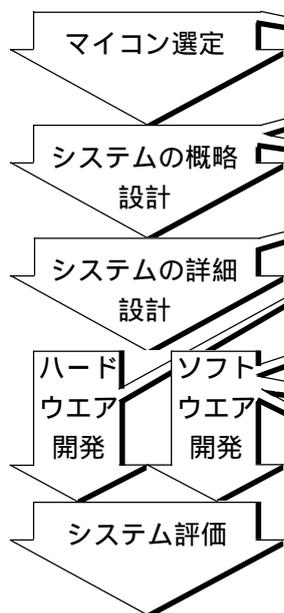
また、目次の直後にはページ早見表を記載しており、目的に応じて記載ページを調べることができます。

番地からレジスタの記載ページを確認する 番地別ページ早見表

M16Cファミリ関連ドキュメント一覧

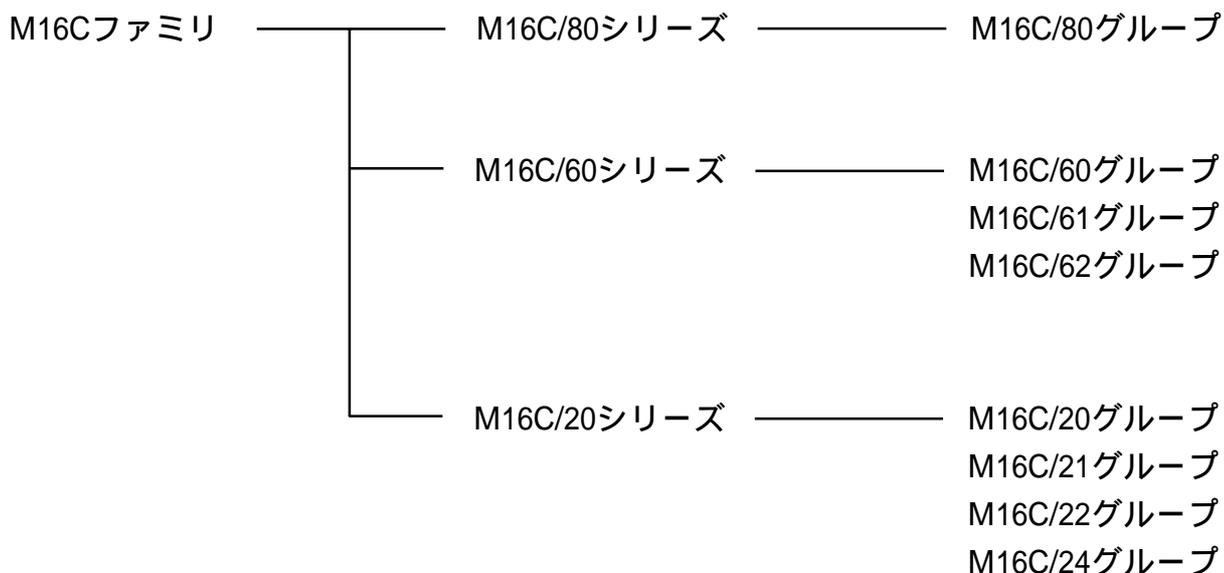
用途

(マイコン開発の流れ)



	ドキュメントの種類	記載内容
ハードウェア	データシート / データブック	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)
	ユーザーズマニュアル	ハードウェアの仕様、動作、応用例(周辺との接続、ソフトウェアとの関わり)の詳細
ソフトウェア	プログラミングマニュアル	アセンブリ言語、C言語によるプログラムの作成方法
	ソフトウェアマニュアル	各命令(アセンブリ言語)の動作の詳細
	参考プログラム集	アセンブリ言語の参考プログラム集

M16Cファミリ体系



目次

第1章 ハードウェア

概 要	2
機能ブロック動作説明	9
メモリ	9
中央演算処理装置	12
リセット	15
ソフトウェアリセット	18
クロック発生回路	19
発振回路例	19
クロック出力	23
ストップモード	23
ウエイトモード	23
パワーコントロール	25
プロテクト	27
割り込みの概要	28
監視タイマ	45
DMAC	47
FLDコントローラ	53
タイマ	70
タイマA	71
タイマB	81
シリアルI/O	87
A-D変換器	114
D-A変換器	124
CRC演算回路	126
プログラマブル入出力ポート	128
フラッシュメモリ版	153

第2章 周辺機能の使い方

2.1	プロテクト	178
2.1.1	概要	178
2.1.2	プロテクト動作	178
2.2	タイマA	180
2.2.1	概要	180
2.2.2	タイマA動作 (タイマモード)	186
2.2.3	タイマA動作 (タイマモード、ゲート機能選択時)	188
2.2.4	タイマA動作 (タイマモード、パルス出力機能選択時)	190
2.2.5	タイマA動作 (イベントカウンタモード、リロードタイプ選択時)	192
2.2.6	タイマA動作 (イベントカウンタモード、フリーランタイプ選択時)	194
2.2.7	タイマA動作 (イベントカウンタモード2相パルス信号処理、通常モード選択時)	196
2.2.8	タイマA動作 (イベントカウンタモード2相パルス信号処理、4逓倍モード選択時)	198
2.2.9	タイマA動作 (ワンショットタイマモード)	200
2.2.10	タイマA動作 (ワンショットタイマモード、外部トリガ選択時)	202
2.2.11	タイマA動作 (パルス幅変調モード、16ビットPWMモード選択時)	204
2.2.12	タイマA動作 (パルス幅変調モード、8ビットPWMモード選択時)	206
2.2.13	タイマAの注意事項 (タイマモード)	208
2.2.14	タイマAの注意事項 (イベントカウンタモード)	209
2.2.15	タイマAの注意事項 (ワンショットタイマモード)	210
2.2.16	タイマAの注意事項 (パルス幅変調モード)	211
2.3	タイマB	212
2.3.1	概要	212
2.3.2	タイマB動作 (タイマモード)	216
2.3.3	タイマB動作 (イベントカウンタモード)	218
2.3.4	タイマB動作 (パルス周期測定モード)	220
2.3.5	タイマB動作 (パルス幅測定モード)	222
2.3.6	タイマBの注意事項 (タイマモード、イベントカウンタモード)	224
2.3.7	タイマBの注意事項 (パルス周期測定 / パルス幅測定モード)	225
2.4	クロック同期形シリアルI/O	226
2.4.1	概要	226
2.4.2	シリアルI/O動作 (クロック同期形シリアルI/Oモードの送信)	232
2.4.3	シリアルI/O動作 (クロック同期形シリアルI/Oモードの送信、複数クロック出力機能選択時)	236
2.4.4	シリアルI/O動作 (クロック同期形シリアルI/Oモードの受信)	240
2.4.5	シリアルI/Oの注意事項 (クロック同期形シリアルI/Oモード時)	244

2.5	クロック非同期形シリアルI/O	246
2.5.1	概要	246
2.5.2	シリアルI/O動作 (クロック非同期形シリアルI/Oモードの送信)	254
2.5.3	シリアルI/O動作 (クロック非同期形シリアルI/Oモードの受信)	258
2.6	シリアルI/O2	262
2.6.1	概要	262
2.6.2	シリアルI/O2の接続例	267
2.6.3	シリアルI/O2モード	269
2.6.4	シリアルI/O2動作 (8ビットシリアルI/Oモードの送信)	270
2.6.5	シリアルI/O2動作 (自動転送を利用したシリアルI/Oモードの送受信)	274
2.6.6	シリアルI/O2動作 (ハンドシェイク信号を利用した自動転送シリアルI/Oモードの送受信)	278
2.6.7	シリアルI/O2に関する注意事項	282
2.7	FLDコントローラ	286
2.7.1	概要	286
2.7.2	FLD動作 (FLD自動表示とセグメントを利用したキースキャン)	294
2.7.3	FLD動作 (FLD自動表示とディジットを利用したキースキャン)	300
2.7.4	FLD動作 (ソフトウェアによるFLD表示とセグメントを利用したキースキャン)	304
2.7.5	FLD動作 (ディジットエキスパンダ(M35501FP*)との組み合わせで表示する)	310
2.7.6	FLD動作 (ディジットエキスパンダ(M35501FP*)との組み合わせで表示する(桁ずれ防止))	316
2.7.7	FLDコントローラの注意事項	323
2.8	A-D変換器	324
2.8.1	概要	324
2.8.2	A-D変換器の動作 (単発モード)	330
2.8.3	A-D変換器の動作 (繰り返しモード)	332
2.8.4	A-D変換器の動作 (単掃引モード)	334
2.8.5	A-D変換器の動作 (繰り返し掃引モード0)	336
2.8.6	A-D変換器の動作 (繰り返し掃引モード1)	338
2.8.7	A-D変換器の注意事項	340
2.8.8	A-D変換の方法 (10ビットモード)	341
2.8.9	A-D変換の方法 (8ビットモード)	343
2.8.10	絶対精度と微分非直線性誤差	345
2.8.11	アナログ入力内部等価回路	347
2.8.12	A-D変換時のセンサーの出カインピーダンス	348

2.9	D-A変換器	350
2.9.1	概要	350
2.9.2	D-A変換器の動作	351
2.10	DMAC	352
2.10.1	概要	352
2.10.2	DMACの動作 (単転送モード)	356
2.10.3	DMACの動作 (リピート転送)	358
2.11	CRC演算回路	360
2.11.1	概要	360
2.11.2	CRC演算回路の動作	361
2.12	監視タイマ	362
2.12.1	概要	362
2.12.2	監視タイマの動作	364
2.13	アドレス一致割り込み	366
2.13.1	概要	366
2.13.2	アドレス一致割り込みの動作	368
2.14	パワーコントロール	370
2.14.1	概要	370
2.14.2	ストップモードへの設定	375
2.14.3	ウェイトモードへの設定	376
2.14.4	パワーコントロールの注意事項	377
2.15	プログラマブル入出力ポート	378
2.15.1	概要	378

第3章 周辺機能の応用例 ---

3.1	長い周期のタイマ	386
3.2	周期およびデューティ - 可変のPWM出力	390
3.3	ディレードワンショット出力	394
3.4	ブザーの出力	398
3.5	外部割り込み端子が不足したときの対処方法	400
3.6	メモリからメモリへのDMA転送例	402
3.7	ストップモードを使用したパワーコントロール例	406
3.8	ウェイトモードを使用したパワーコントロール例	410

第4章 割り込み

4.1 割り込みの概要	416
4.1.1 割り込みの分類	416
4.1.2 ソフトウェア割り込み	417
4.1.3 ハードウェア割り込み	418
4.1.4 割り込みと割り込みベクタテーブル	419
4.2 割り込み制御	421
4.2.1 割り込み許可フラグ(Iフラグ)	423
4.2.2 割り込み要求ビット	423
4.2.3 割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)	424
4.2.4 割り込み制御レジスタの変更	425
4.3 割り込みシーケンス	426
4.3.1 割り込み応答時間	426
4.3.2 割り込み要求受付時のプロセッサ割り込み優先レベル(IPL)の変化	427
4.3.3 レジスタ退避	428
4.4 割り込みルーチンからの復帰	429
4.5 割り込み優先順位	429
4.6 多重割り込み	429
4.7 割り込みの注意事項	432

第5章 標準特性

5.1 DC標準特性	436
5.1.1 ポート標準特性	436
5.1.2 ICC-f(XIN)特性	440
5.2 A-D変換器標準特性	442
5.3 D-A変換標準特性例	444
5.4 プルアップ抵抗標準特性例	447

番地別ページ早見表

0000 ₁₆		
0001 ₁₆		
0002 ₁₆		
0003 ₁₆		
0004 ₁₆	プロセッサモードレジスタ0(PM0)	18
0005 ₁₆	プロセッサモードレジスタ1(PM1)	
0006 ₁₆	システムクロック制御レジスタ0(CM0)	22
0007 ₁₆	システムクロック制御レジスタ1(CM1)	
0008 ₁₆		
0009 ₁₆	アドレス一致割り込み許可レジスタ(AIER)	42
000A ₁₆	プロテクトレジスタ(PRCR)	27
000B ₁₆		
000C ₁₆		
000D ₁₆		
000E ₁₆	監視タイマスタートレジスタ(WDTS)	46
000F ₁₆	監視タイマ制御レジスタ(WDC)	
0010 ₁₆		
0011 ₁₆	アドレス一致割り込みレジスタ0(RMAD0)	42
0012 ₁₆		
0013 ₁₆		
0014 ₁₆		
0015 ₁₆	アドレス一致割り込みレジスタ1(RMAD1)	42
0016 ₁₆		
0017 ₁₆		
0018 ₁₆		
0019 ₁₆		
001A ₁₆		
001B ₁₆		
001C ₁₆		
001D ₁₆		
001E ₁₆		
001F ₁₆		
0020 ₁₆		
0021 ₁₆	DMA0ソ - スポインタ(SAR0)	50
0022 ₁₆		
0023 ₁₆		
0024 ₁₆		
0025 ₁₆	DMA0ディスティネ - ションポインタ(DAR0)	50
0026 ₁₆		
0027 ₁₆		
0028 ₁₆	DMA0転送カウンタ(TCR0)	50
0029 ₁₆		
002A ₁₆		
002B ₁₆		
002C ₁₆	DMA0制御レジスタ(DM0CON)	49
002D ₁₆		
002E ₁₆		
002F ₁₆		
0030 ₁₆		
0031 ₁₆	DMA1ソ - スポインタ(SAR1)	50
0032 ₁₆		
0033 ₁₆		
0034 ₁₆		
0035 ₁₆	DMA1ディスティネ - ションポインタ(DAR1)	50
0036 ₁₆		
0037 ₁₆		
0038 ₁₆	DMA1転送カウンタ(TCR1)	50
0039 ₁₆		
003A ₁₆		
003B ₁₆		
003C ₁₆	DMA1制御レジスタ(DM1CON)	49
003D ₁₆		
003E ₁₆		
003F ₁₆		

0040 ₁₆		
0041 ₁₆		
0042 ₁₆		
0043 ₁₆		
0044 ₁₆		
0045 ₁₆		
0046 ₁₆		
0047 ₁₆	INT3割り込み制御レジスタ(INT3IC)	34
0048 ₁₆	INT4割り込み制御レジスタ(INT4IC)	
0049 ₁₆	INT5割り込み制御レジスタ(INT5IC)	
004A ₁₆		
004B ₁₆	DMA0割り込み制御レジスタ(DM0IC)	34
004C ₁₆	DMA1割り込み制御レジスタ(DM1IC)	
004D ₁₆		
004E ₁₆	A - D変換割り込み制御レジスタ(ADIC)	34
004F ₁₆	SI/O2自動転送割り込み制御レジスタ(ASIOIC)	
0050 ₁₆	FLD割り込み制御レジスタ(FLDIC)	
0051 ₁₆	UART0送信割り込み制御レジスタ(S0TIC)	
0052 ₁₆	UART0受信割り込み制御レジスタ(S0RIC)	
0053 ₁₆	UART1送信割り込み制御レジスタ(S1TIC)	
0054 ₁₆	UART1受信割り込み制御レジスタ(S1RIC)	
0055 ₁₆	タイマA0割り込み制御レジスタ(TA0IC)	
0056 ₁₆	タイマA1割り込み制御レジスタ(TA1IC)	
0057 ₁₆	タイマA2割り込み制御レジスタ(TA2IC)	
0058 ₁₆	タイマA3割り込み制御レジスタ(TA3IC)	
0059 ₁₆	タイマA4割り込み制御レジスタ(TA4IC)	
005A ₁₆	タイマB0割り込み制御レジスタ(TB0IC)	
005B ₁₆	タイマB1割り込み制御レジスタ(TB1IC)	
005C ₁₆	タイマB2割り込み制御レジスタ(TB2IC)	
005D ₁₆	INT0割り込み制御レジスタ(INT0IC)	
005E ₁₆	INT1割り込み制御レジスタ(INT1IC)	
005F ₁₆	INT2割り込み制御レジスタ(INT2IC)	
0340 ₁₆	シリアル/O2自動転送データポインタ(SIO2DP)	104
0341 ₁₆		
0342 ₁₆	シリアル/O2制御レジスタ1(SIO2CON1)	103
0343 ₁₆		
0344 ₁₆	シリアル/O2制御レジスタ2(SIO2CON2)	103
0345 ₁₆		
0346 ₁₆	シリアル/O2レジスタ/転送カウンタ(SIO2)	104
0347 ₁₆		
0348 ₁₆	シリアル/O2制御レジスタ3(SIO2CON3)	104
0349 ₁₆		
034A ₁₆		
034B ₁₆		
034C ₁₆		
034D ₁₆		
034E ₁₆		
034F ₁₆		
0350 ₁₆	FLDCモードレジスタ(FLDM)	55
0351 ₁₆	FLD出力制御レジスタ(FLDCON)	
0352 ₁₆	Tdisp時間設定レジスタ(TDISP)	
0353 ₁₆		
0354 ₁₆	Toff1時間設定レジスタ(TOFF1)	56
0355 ₁₆		
0356 ₁₆	Toff2時間設定レジスタ(TOFF2)	56
0357 ₁₆		
0358 ₁₆	FLDデータポインタ(FLDDP)	56
0359 ₁₆	ポートP2FLD/ポート切り替えレジスタ(P2FPR)	
035A ₁₆	ポートP3FLD/ポート切り替えレジスタ(P3FPR)	
035B ₁₆	ポートP4FLD/ポート切り替えレジスタ(P4FPR)	57
035C ₁₆	P5ディジット出力設定切り替えレジスタ(P5DOR)	58
035D ₁₆	P6ディジット出力設定切り替えレジスタ(P6DOR)	
035E ₁₆		
035F ₁₆		

番地別ページ早見表

0380 ¹⁶	カウント開始フラグ(TABSR)	72	03C0 ¹⁶	A-Dレジスタ0(AD0)	
0381 ¹⁶	時計用プリスケアラセットフラグ(CPSRF)	73	03C1 ¹⁶	A-Dレジスタ1(AD1)	117
0382 ¹⁶	ワンショット開始フラグ(ONSF)				
0383 ¹⁶	トリガ選択レジスタ(TRGSR)	72	03C3 ¹⁶	A-Dレジスタ2(AD2)	
0384 ¹⁶	アップダウンフラグ(UDF)				
0385 ¹⁶	タイマA0(TA0)	72	03C5 ¹⁶	A-Dレジスタ3(AD3)	
0386 ¹⁶					
0387 ¹⁶	タイマA1(TA1)				
0388 ¹⁶					
0389 ¹⁶	タイマA2(TA2)				
038A ¹⁶					
038B ¹⁶	タイマA3(TA3)				
038C ¹⁶					
038D ¹⁶	タイマA4(TA4)				
038E ¹⁶					
038F ¹⁶	タイマB0(TB0)	82	03C9 ¹⁶	A-Dレジスタ4(AD4)	
0390 ¹⁶					
0391 ¹⁶	タイマB1(TB1)				
0392 ¹⁶					
0393 ¹⁶	タイマB2(TB2)				
0394 ¹⁶					
0395 ¹⁶	タイマA0モ - ドレジスタ(TA0MR)		71	03CA ¹⁶	A-Dレジスタ5(AD5)
0396 ¹⁶					
0397 ¹⁶	タイマA1モ - ドレジスタ(TA1MR)				
0398 ¹⁶	タイマA2モ - ドレジスタ(TA2MR)				
0399 ¹⁶	タイマA3モ - ドレジスタ(TA3MR)				
039A ¹⁶	タイマA4モ - ドレジスタ(TA4MR)				
039B ¹⁶	タイマB0モ - ドレジスタ(TB0MR)				
039C ¹⁶	タイマB1モ - ドレジスタ(TB1MR)	81	03CB ¹⁶	A-Dレジスタ6(AD6)	
039D ¹⁶	タイマB2モ - ドレジスタ(TB2MR)				
039E ¹⁶			03CC ¹⁶	A-Dレジスタ7(AD7)	
039F ¹⁶			03CD ¹⁶		
03A0 ¹⁶	UART0送受信モ - ドレジスタ(U0MR)	90	03CE ¹⁶	117	
03A1 ¹⁶	UART0転送速度レジスタ(U0BRG)	89	03CF ¹⁶		
03A2 ¹⁶	UART0送信バッファレジスタ(U0TB)				
03A3 ¹⁶	UART0送受信制御レジスタ0(U0C0)	90	03D0 ¹⁶		
03A4 ¹⁶	UART0送受信制御レジスタ1(U0C1)	91	03D1 ¹⁶		
03A5 ¹⁶	UART0受信バッファレジスタ(U0RB)	89	03D2 ¹⁶		
03A6 ¹⁶	UART0受信バッファレジスタ(U0RB)	89	03D3 ¹⁶		
03A7 ¹⁶	UART1送受信モ - ドレジスタ(U1MR)	90	03D4 ¹⁶	A-D制御レジスタ2(ADCON2)	
03A8 ¹⁶	UART1転送速度レジスタ(U1BRG)	89	03D5 ¹⁶		
03A9 ¹⁶	UART1送信バッファレジスタ(U1TB)				
03AA ¹⁶	UART1送受信制御レジスタ0(U1C0)	90	03D6 ¹⁶	A-D制御レジスタ0(ADCON0)	116
03AB ¹⁶	UART1送受信制御レジスタ1(U1C1)	91	03D7 ¹⁶	A-D制御レジスタ1(ADCON1)	
03AC ¹⁶	UART1受信バッファレジスタ(U1RB)	89	03D8 ¹⁶	D-Aレジスタ0(DA0)	125
03AD ¹⁶	UART1受信バッファレジスタ(U1RB)	89	03D9 ¹⁶	D-Aレジスタ1(DA1)	125
03AE ¹⁶	UART送受信制御レジスタ2(UCON)	91	03DA ¹⁶	D-Aレジスタ1(DA1)	125
03AF ¹⁶			03DB ¹⁶	D-A制御レジスタ(DACON)	125
03B0 ¹⁶			03DC ¹⁶		
03B1 ¹⁶			03DD ¹⁶		
03B2 ¹⁶			03DE ¹⁶		
03B3 ¹⁶			03DF ¹⁶		
03B4 ¹⁶	フラッシュメモリ制御レジスタ0(FCON0) (注1)	154	03E0 ¹⁶	ポートP0(P0)	131
03B5 ¹⁶	フラッシュメモリ制御レジスタ1(FCON1) (注1)				
03B6 ¹⁶	フラッシュコマンドレジスタ(FCMD) (注1)				
03B7 ¹⁶			03E1 ¹⁶	ポートP1(P1)	
03B8 ¹⁶	DMA0要因選択レジスタ(DM0SL)	49	03E2 ¹⁶		
03B9 ¹⁶			03E3 ¹⁶		
03BA ¹⁶	DMA1要因選択レジスタ(DM1SL)	49	03E4 ¹⁶	ポートP2(P2)	131
03BB ¹⁶			03E5 ¹⁶	ポートP3(P3)	
03BC ¹⁶			03E6 ¹⁶		
03BD ¹⁶	CRCデータレジスタ(CRCD)	126	03E7 ¹⁶	ポートP3方向レジスタ(PD3)	131
03BE ¹⁶	CRCインプットレジスタ(CRCIN)				
03BF ¹⁶			03E8 ¹⁶	ポートP4(P4)	
			03E9 ¹⁶	ポートP5(P5)	
			03EA ¹⁶	ポートP4方向レジスタ(PD4)	
			03EB ¹⁶		
			03EC ¹⁶	ポートP6(P6)	131
			03ED ¹⁶	ポートP7(P7)	
			03EE ¹⁶		
			03EF ¹⁶	ポートP7方向レジスタ(PD7)	131
			03F0 ¹⁶	ポートP8(P8)	
			03F1 ¹⁶	ポートP9(P9)	
			03F2 ¹⁶	ポートP8方向レジスタ(PD8)	
			03F3 ¹⁶	ポートP9方向レジスタ(PD9)	
			03F4 ¹⁶	ポートP10(P10)	
			03F5 ¹⁶		
			03F6 ¹⁶	ポートP10方向レジスタ(PD10)	131
			03F7 ¹⁶		
			03F8 ¹⁶		
			03F9 ¹⁶		
			03FA ¹⁶		
			03FB ¹⁶		
			03FC ¹⁶		
			03FD ¹⁶	ブルアップ制御レジスタ0(PUR0)	132
			03FE ¹⁶	ブルアップ制御レジスタ1(PUR1)	
			03FF ¹⁶		

注1. このレジスタは、フラッシュメモリ版にのみ存在します。

第1章

ハードウェア

概 要

概 要

M30218グループは、高性能シリコンゲートCMOSプロセスを採用しM16C/60シリーズCPUコアを搭載したシングルチップマイクロコンピュータです。M30218グループは100ピンプラスチックモールドQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、乗算器やDMACを内蔵しており、高速な演算処理が必要な音響機器、家電製品の制御に適したシングルチップマイクロコンピュータです。

M30218グループは内蔵するメモリの種類、容量の異なる複数の品種があります。

特 長

基本機械語命令	M16C/60シリーズ互換
メモリ容量	ROM/RAM(メモリ展開の図を参照してください。)
最短命令実行時間	100ns(f(XIN)=10MHz時)
電源電圧	4.0V ~ 5.5V(f(XIN)=10MHz時) 2.7V ~ 5.5V(f(XIN)=3.5MHz)(注1)
割り込み	内部19要因、外部6要因、ソフトウェア4要因
多機能16ビットタイマ	タイマA×5本、タイマB×3本
FLDコントローラ	制御端子合計56本(内高耐圧Pチャンネルオープンドレイン52本)
シリアルI/O	UARTまたはクロック同期形×2本 クロック同期形8ビット×1本(最大256バイト自動転送機能付き)
DMAC	2チャンネル(スタート条件:15要因)
A-D変換器	10ビット×8チャンネル
D-A変換器	8ビット×2チャンネル
CRC演算回路	1回路
監視タイマ	1本
プログラマブル入出力ポート	48本
高耐圧ポート	52本
クロック発生回路	2回路内蔵(帰還抵抗内蔵、セラミック共振子、または水晶共振子外付け)

注1. マスクROM版のみ

応 用

家電、事務機器、オーディオ、他

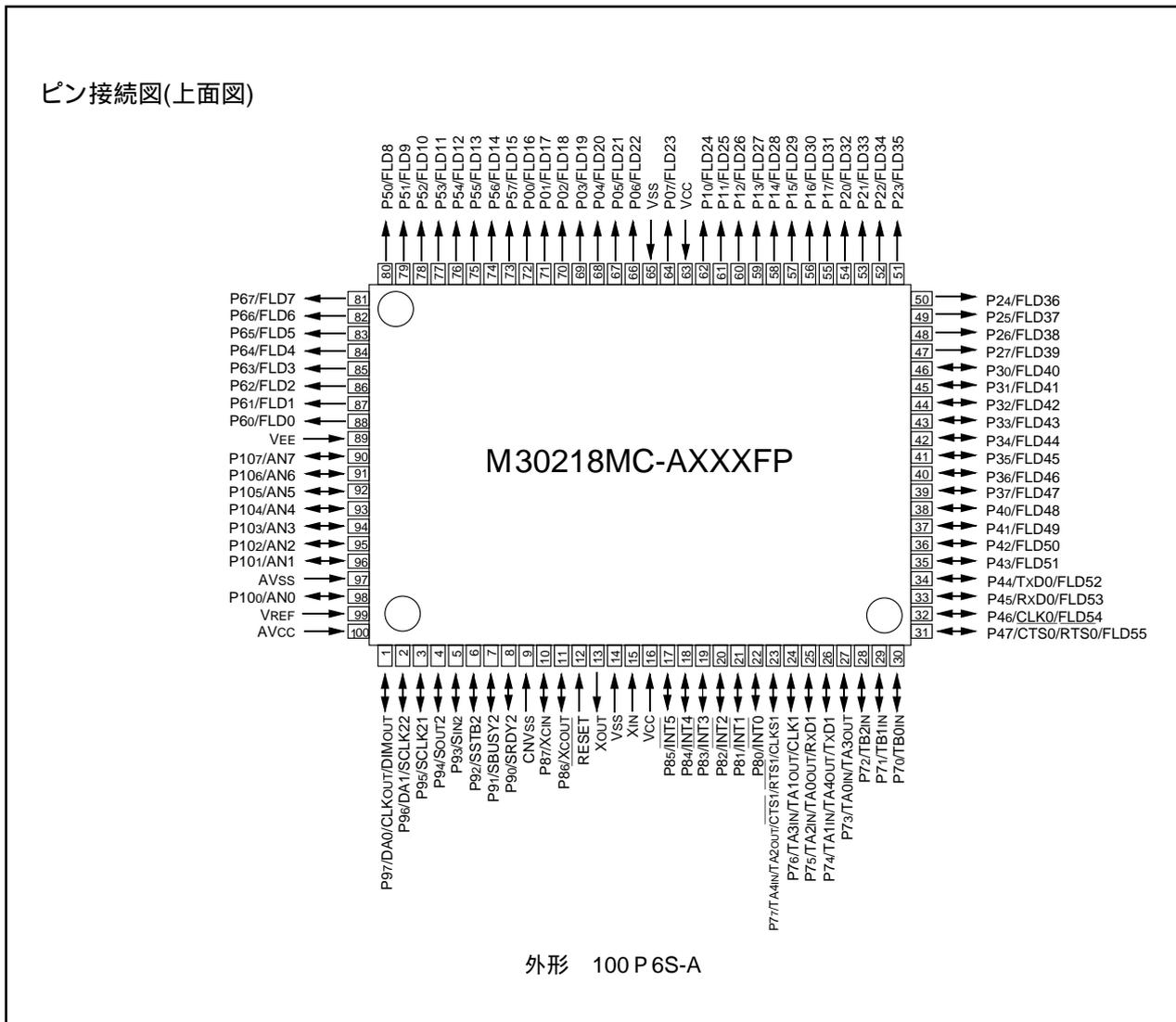
目 次

中央演算処理装置	12	タイマ	70
リセット	15	シリアルI/O	87
クロック発生回路	19	A-D変換器	114
プロテクト	27	D-A変換器	124
割り込み	28	CRC演算回路	126
監視タイマ	45	プログラマブル入出力ポート	128
DMAC	47	電気的特性	138
FLDコントローラ	53	フラッシュメモリ版	152

概要

ピン接続図

図AA-1にピン接続図(上面図)を示します。

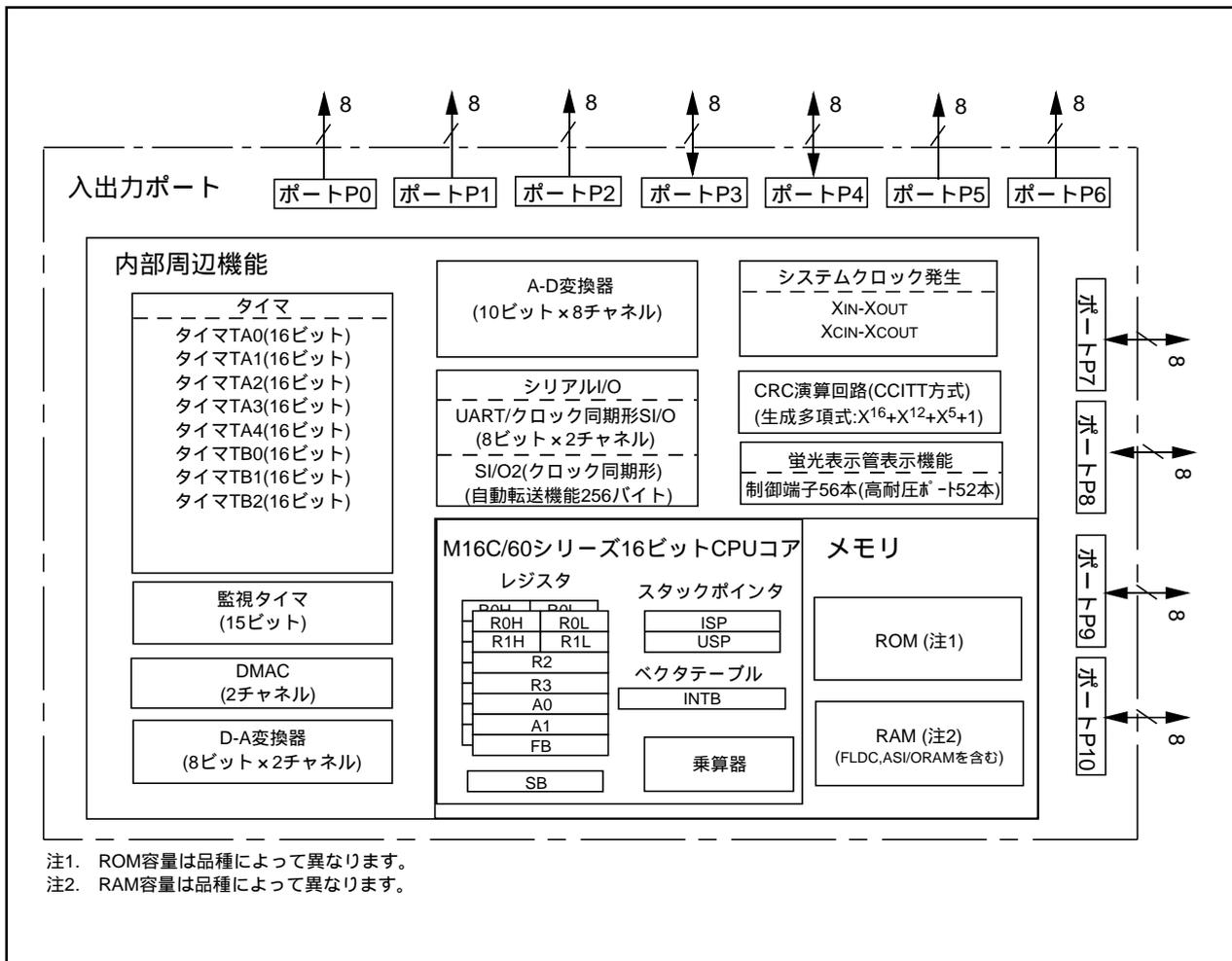


図AA-1. M30218グループのピン接続図(上面図)

概要

ブロック図

図AA-2にM30218グループのブロック図を示します。



図AA-2. M30218グループのブロック図

概 要

性能概要

表AA-1にM30218グループの性能概要を示します。

表AA-1. M30218グループの性能概要

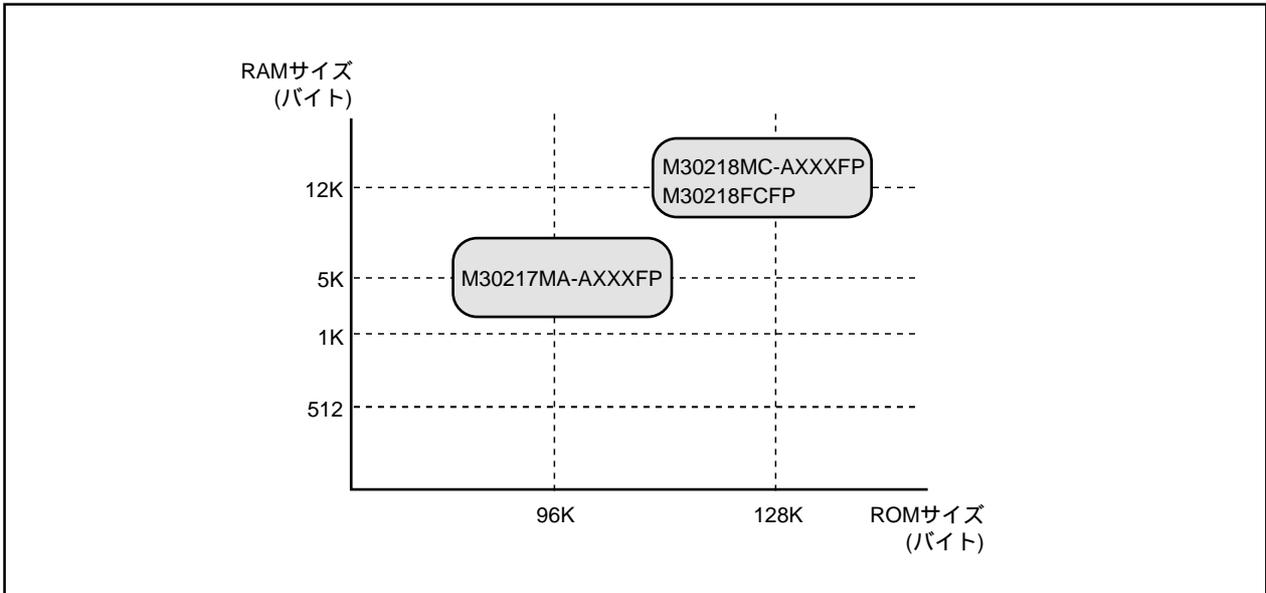
項 目		性 能
基本命令数		91命令
最短命令実行時間		100ns($f(XIN)=10\text{MHz}$ 時)
メモリ容量	ROM	メモリ展開の図を参照してください
	RAM	メモリ展開の図を参照してください
入出力ポート	P3、P4、P7～P10	8ビット×6
出力ポート	P0～P2、P5、P6	8ビット×5
多機能タイマ	TA0, TA1, TA2, TA3, TA4	16ビット×5
	TB0, TB1, TB2	16ビット×3
シリアルI/O	UART0, UART1	(UARTまたはクロック同期形)×2
	SI/O2	(自動転送機能付きSI/O)×1
蛍光表示管表示		制御端子56本
A-D変換器		10ビット×8チャンネル
D-A変換器		8ビット×2
DMAC		2チャンネル(スタート条件:15要因)
CRC演算回路		1回路(生成多項式: $X^{16} + X^{12} + X^5 + 1$)
監視タイマ		15ビット×1(プリスケアラ付)
割り込み		内部19要因、外部6要因、ソフトウェア4要因、7レベル
クロック発生回路		2回路内蔵 (帰還抵抗内蔵、セラミック共振子、または水晶共振子外付け)
電源電圧		4.0V～5.5V($f(XIN) = 10\text{MHz}$ 時)
		2.7V～5.5V($f(XIN) = 3.5\text{MHz}$ 時)(注1)
消費電力		18mW($VCC=3V$ 、 $f(XIN) = 5\text{MHz}$ 時)
入出力特性	入出力耐電圧	$VCC - 48V$ (出力P0～P2、P5、P6、入出力P3、P40～43)
		0～ VCC (入出力P44～47、P7～P10)
	出力電流	H : 高耐圧Pチャンネルオープンドレイン - 18mA (P0～P3、P40～43、P5、P6) - 5mA (P44～47、P7～P10)
		L 5mA (P44～47、P7～P10)
動作周囲温度		- 20 ～ 85
素子構造		CMOSシリコンゲート
パッケージ		100ピンプラスチックモールドQFP

注1. マスクROM版のみ

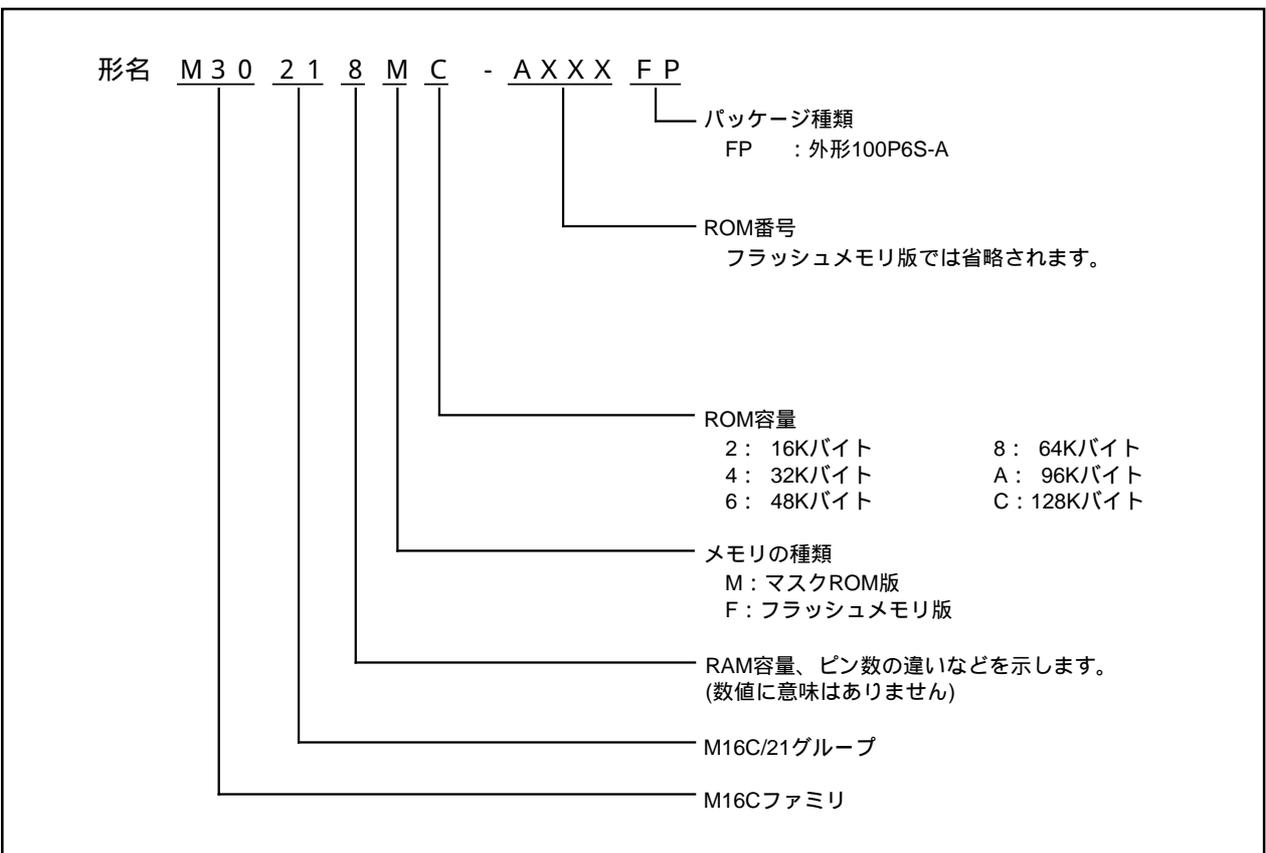
概要

M30218グループでは次のような展開を計画しています。

- (1) マスクROM版、フラッシュメモリ版のサポート
- (2) メモリ容量
- (3) パッケージ
100P6S プラスチックモールドQFP(マスクROM版、フラッシュメモリ版)



図AA-3. メモリ展開



図AA-4. 形名とメモリサイズ・パッケージ

端子機能の説明

端子の機能説明

端子名	名称	入出力	機能
VCC, VSS	電源入力		VCC端子には、2.7V(注1)~5.5Vを印加してください。VSS端子には、0Vを印加してください。VCC端子とVSS端子間にバイパスコンデンサを接続してください。
CNVSS	CNVSS	入力	VSS端子に接続してください。
RESET	リセット入力	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
XIN XOUT	クロック入力 クロック出力	入力 出力	メインクロック発振回路の入出力端子です。XIN端子とXOUT端子の間にはセラミック共振子、または水晶共振子を接続してください。外部で生成したクロックを入力する場合は、XIN端子からクロックを入力し、XOUT端子は開放にしてください。
AVCC	アナログ電源入力		A-D変換器の電源入力端子です。VCC端子に接続してください。
AVSS	アナログ電源入力		A-D変換器の電源入力端子です。VSS端子に接続してください。
VREF	基準電圧入力	入力	A-D変換器の基準電圧入力端子です。
VEE	プルダウン電源 入力		ポートP0~P1、P5、P6のプルダウン抵抗に供給する電圧を印加します。
P00/FLD16 } P07/FLD23	出力ポートP0	出力	8ビットの出力ポートで、出力形式は高耐圧Pチャンネルオープンドレインです。VEE端子との間にプルダウン抵抗を内蔵しています。リセット時には“VEE”レベルになります。P0は、ソフトウェアで選択することによって、FLDコントローラ出力端子として機能します。
P10/FLD24 } P17/FLD31	出力ポートP1	出力	P0と同等の機能を持つ8ビット出力ポートです。ソフトウェアで選択することによって、FLDコントローラの出力端子として機能します。
P20/FLD32 } P27/FLD39	出力ポートP2	出力	P0と同等の機能を持つ8ビット出力ポートです。VEE端子との間にプルダウン抵抗を内蔵していません。ソフトウェアで選択することによって、FLDコントローラの出力端子として機能します。
P30/FLD40 } P37/FLD47	入出力ポートP3	入出力	8ビットの入出力ポートです。VEE端子との間にプルダウン抵抗を内蔵していません。入出力を選択するための方向レジスタを持ち、1端子ごとに入力または出力ポートに設定できます。入力レベルは、低電圧入力レベルで、出力形式は高耐圧Pチャンネルオープンドレインです。ソフトウェアで選択することによって、FLDコントローラの出力端子として機能します。
P40/FLD48 } P47/FLD56	入出力ポートP4	入出力	P4は、P3と同等の機能を持つ入出力ポートです。 入力レベルは低電圧入力レベルで、出力形式はP40~P43が高耐圧Pチャンネルオープンドレインで、P44~P47がCMOS出力です。P40~P43には、VEE端子との間にプルダウン抵抗を内蔵していません。 ソフトウェアで選択することによって、FLDコントローラの出力端子として機能します。また、P44~P47は、ソフトウェアで選択することによって、UART0の入出力端子としても機能します。また、入力ポート時、ソフトウェアにて4ビット単位でプルアップ抵抗の有無を設定できます。
P50/FLD8 } P57/FLD15	出力ポートP5	出力	P0と同等の機能を持つ8ビット出力ポートです。ソフトウェアで選択することによって、FLDコントローラの出力端子として機能します。

端子機能の説明

端子の機能説明

端子名	名称	入出力	機能
P60/FLD0 } P67/FLD7	出力ポートP6	出力	P0と同等の機能を持つ8ビット出力ポートです。ソフトウェアで選択することによって、FLDコントローラの出力端子として機能します。
P70 ~ P77	入出力ポートP7	入出力	P3と同等の機能を持つ入出力ポートです。入力、出力形式はCMOS入出力です。また、入力ポート時、ソフトウェアにて4ビット単位でプルアップ抵抗の有無を設定できます。P70 ~ P72は、ソフトウェアで選択することによって、タイマB0 ~ B2の入力端子として機能します。P73は、ソフトウェアで選択することによって、タイマA0の入出力端子として機能します。P74 ~ P77は、ソフトウェアで選択することによって、タイマA1 ~ A4の入出力端子、UART1の入出力端子として機能します。
P80 ~ P87	入出力ポートP8	入出力	P7と同等の機能を持つ入出力ポートです。また、入力ポート時、ソフトウェアにて4ビット単位でプルアップ抵抗の有無を設定できます。P80 ~ P85は、ソフトウェアで選択することによって、外部割り込みの入力端子として機能します。また、P86、P87は、ソフトウェアで選択することによって、サブクロック発振回路の入力端子として機能します。この場合、P86(XOUT端子)とP87(XCIN端子)の間には、水晶発振子を接続してください。
P90 ~ P97	入出力ポートP9	入出力	P7と同等の機能を持つ入出力ポートです。また、入力ポート時、ソフトウェアにて4ビット単位でプルアップ抵抗の有無を設定できます。P97は、ソフトウェアで選択することによって、D-A変換器の出力端子、XINの8分周、32分周または、XCINと同じ周期を持つクロック出力および、FLDコントローラのDIM信号出力として機能します。P96は、ソフトウェアで選択することによって、D-A変換器の出力端子、および、自動転送付きシリアルI/Oのクロック入出力端子として機能します。P90 ~ P95は、ソフトウェアで選択することによって、自動転送付シリアルI/Oの入出力端子として機能します。
P100 ~ P107	入出力ポートP10	入出力	P7と同等の機能を持つ8ビット入出力ポートです。また、入力ポート時、ソフトウェアにて4ビット単位でプルアップ抵抗の有無を設定できます。ソフトウェアで選択することによって、A-D変換器の入力端子として機能します。

注1. フラッシュメモリ版は4.0V ~ 5.5Vを印可してください。

メモリ

機能ブロック動作説明

M30218グループは、次のような装置をシングルチップ内に収めています。命令またはデータを記憶するためのメモリであるROMとRAM、演算を実行するための中央演算処理装置、そして、蛍光表示管表示機能、タイマ、シリアルI/O、D-A変換器、DMAC、CRC演算回路、A-D変換器、入出力ポートなどの周辺装置です。

次に各装置について説明します。

メモリ

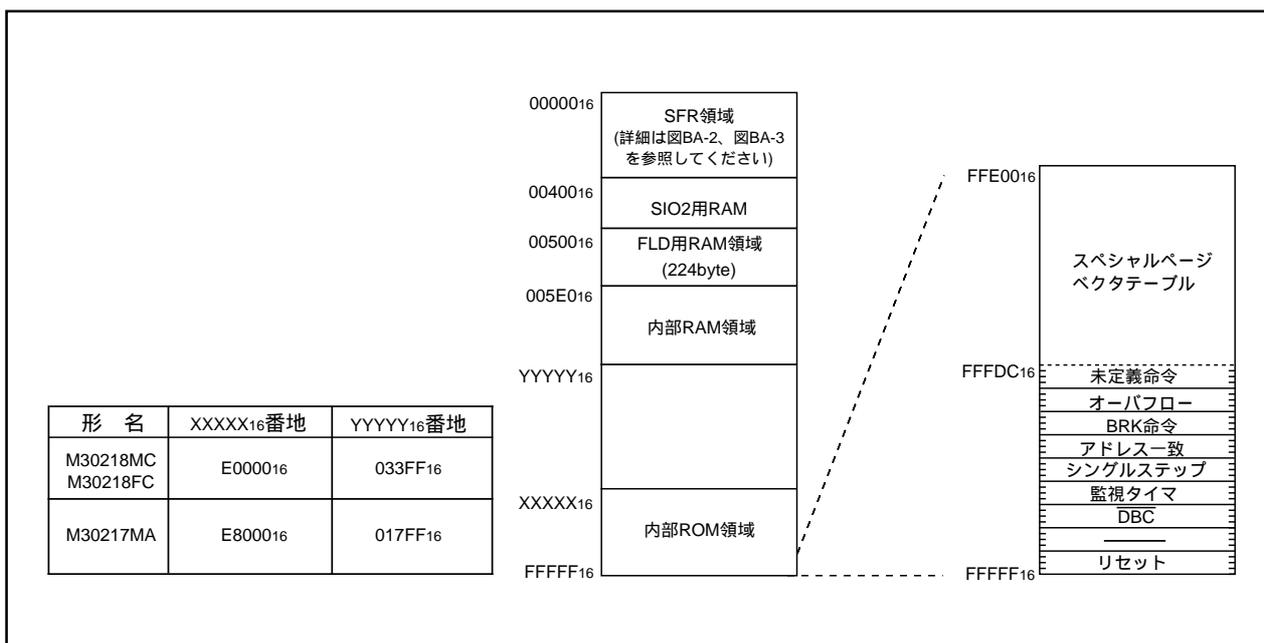
メモリ配置図を図BA-1に示します。アドレス空間は00000₁₆番地からFFFFF₁₆番地までの1Mバイトあります。

FFFFF₁₆番地から番地の小さい方向にROMが配置されています。例えば、M30218MC-AXXXFPではE0000₁₆番地からFFFFF₁₆番地まで128Kバイトの内部ROMが配置されています。FFFDC₁₆番地からFFFFF₁₆番地はリセットなどの固定割り込みベクタテーブルの番地で、ここに割り込みルーチンの先頭アドレスを格納します。また、タイマ割り込みなどのベクタテーブルの番地は、内部レジスタ(INTB)により任意に設定することができます。詳細は割り込みの項を参照してください。

00400₁₆番地から番地の大きい方向にRAMが配置されています。例えば、M30218MC-AXXXFPでは00400₁₆番地から033FF₁₆番地まで12Kバイトの内部RAMが配置されています。RAMはデータ格納以外にサブルーチン呼び出しや、割り込み時のスタックとしても使用します。(内、00400₁₆番地から004FF₁₆番地はSIO2用RAM、00500₁₆番地から005DF₁₆番地はFLD用RAMです)。

00000₁₆番地から003FF₁₆番地は入出力ポート、A-D変換器、シリアルI/O、タイマなどの周辺装置の制御レジスタが割り付けられているSFR領域です。SFR領域のうち何も配置されていない領域はすべて予約領域となっており、使用することができません。

FFE00₁₆番地からFFFDB₁₆番地はスペシャルページベクタテーブルで、ここにサブルーチンの先頭番地またはジャンプ先の番地を格納すれば、サブルーチンコール命令やジャンプ命令を2バイトで使用でき、プログラムステップ数の節減に役立ちます。



図BA-1. メモリ配置図

メモリ

0000 ₁₆		0040 ₁₆	
0001 ₁₆		0041 ₁₆	
0002 ₁₆		0042 ₁₆	
0003 ₁₆		0043 ₁₆	
0004 ₁₆	プロセッサモードレジスタ0(PM0)	0044 ₁₆	
0005 ₁₆	プロセッサモードレジスタ1(PM1)	0045 ₁₆	
0006 ₁₆	システムクロック制御レジスタ0(CM0)	0046 ₁₆	
0007 ₁₆	システムクロック制御レジスタ1(CM1)	0047 ₁₆	INT3割り込み制御レジスタ(INT3IC)
0008 ₁₆		0048 ₁₆	INT4割り込み制御レジスタ(INT4IC)
0009 ₁₆	アドレス一致割り込み許可レジスタ(AIER)	0049 ₁₆	INT5割り込み制御レジスタ(INT5IC)
000A ₁₆	プロテクトレジスタ(PRCR)	004A ₁₆	
000B ₁₆		004B ₁₆	DMA0割り込み制御レジスタ(DM0IC)
000C ₁₆		004C ₁₆	DMA1割り込み制御レジスタ(DM1IC)
000D ₁₆		004D ₁₆	
000E ₁₆	監視タイマスタートレジスタ(WDTS)	004E ₁₆	A-D変換割り込み制御レジスタ(ADIC)
000F ₁₆	監視タイマ制御レジスタ(WDC)	004F ₁₆	SI/O2自動転送割り込み制御レジスタ(ASIOIC)
0010 ₁₆		0050 ₁₆	FLD割り込み制御レジスタ(FLDIC)
0011 ₁₆	アドレス一致割り込みレジスタ0(RMAD0)	0051 ₁₆	UART0送信割り込み制御レジスタ(S0TIC)
0012 ₁₆		0052 ₁₆	UART0受信割り込み制御レジスタ(S0RIC)
0013 ₁₆		0053 ₁₆	UART1送信割り込み制御レジスタ(S1TIC)
0014 ₁₆		0054 ₁₆	UART1受信割り込み制御レジスタ(S1RIC)
0015 ₁₆	アドレス一致割り込みレジスタ1(RMAD1)	0055 ₁₆	タイマA0割り込み制御レジスタ(TA0IC)
0016 ₁₆		0056 ₁₆	タイマA1割り込み制御レジスタ(TA1IC)
0017 ₁₆		0057 ₁₆	タイマA2割り込み制御レジスタ(TA2IC)
0018 ₁₆		0058 ₁₆	タイマA3割り込み制御レジスタ(TA3IC)
0019 ₁₆		0059 ₁₆	タイマA4割り込み制御レジスタ(TA4IC)
001A ₁₆		005A ₁₆	タイマB0割り込み制御レジスタ(TB0IC)
001B ₁₆		005B ₁₆	タイマB1割り込み制御レジスタ(TB1IC)
001C ₁₆		005C ₁₆	タイマB2割り込み制御レジスタ(TB2IC)
001D ₁₆		005D ₁₆	INT0割り込み制御レジスタ(INT0IC)
001E ₁₆		005E ₁₆	INT1割り込み制御レジスタ(INT1IC)
001F ₁₆		005F ₁₆	INT2割り込み制御レジスタ(INT2IC)
0020 ₁₆		0340 ₁₆	シリアル/O2自動転送データポインタ(SIO2DP)
0021 ₁₆	DMA0ソ - スポインタ(SAR0)	0341 ₁₆	
0022 ₁₆		0342 ₁₆	シリアル/O2制御レジスタ1(SIO2CON1)
0023 ₁₆		0343 ₁₆	
0024 ₁₆		0344 ₁₆	シリアル/O2制御レジスタ2(SIO2CON2)
0025 ₁₆	DMA0ディスティネ - ションポインタ(DAR0)	0345 ₁₆	
0026 ₁₆		0346 ₁₆	シリアル/O2レジスタ/転送カウンタ(SIO2)
0027 ₁₆		0347 ₁₆	
0028 ₁₆	DMA0転送カウンタ(TCR0)	0348 ₁₆	シリアル/O2制御レジスタ3(SIO2CON3)
0029 ₁₆		0349 ₁₆	
002A ₁₆		034A ₁₆	
002B ₁₆		034B ₁₆	
002C ₁₆	DMA0制御レジスタ(DM0CON)	034C ₁₆	
002D ₁₆		034D ₁₆	
002E ₁₆		034E ₁₆	
002F ₁₆		034F ₁₆	
0030 ₁₆		0350 ₁₆	FLDCモードレジスタ(FLDM)
0031 ₁₆	DMA1ソ - スポインタ(SAR1)	0351 ₁₆	FLD出力制御レジスタ(FLDCON)
0032 ₁₆		0352 ₁₆	Tdisp時間設定レジスタ(TDISP)
0033 ₁₆		0353 ₁₆	
0034 ₁₆		0354 ₁₆	Toff1時間設定レジスタ(TOFF1)
0035 ₁₆	DMA1ディスティネ - ションポインタ(DAR1)	0355 ₁₆	
0036 ₁₆		0356 ₁₆	Toff2時間設定レジスタ(TOFF2)
0037 ₁₆		0357 ₁₆	
0038 ₁₆		0358 ₁₆	FLDデータポインタ(FLDDP)
0039 ₁₆	DMA1転送カウンタ(TCR1)	0359 ₁₆	ポートP2FLD/ポート切り替えレジスタ(P2FPR)
003A ₁₆		035A ₁₆	ポートP3FLD/ポート切り替えレジスタ(P3FPR)
003B ₁₆		035B ₁₆	ポートP4FLD/ポート切り替えレジスタ(P4FPR)
003C ₁₆	DMA1制御レジスタ(DM1CON)	035C ₁₆	P5ディジット出力設定切り替えレジスタ(P5DOR)
003D ₁₆		035D ₁₆	P6ディジット出力設定切り替えレジスタ(P6DOR)
003E ₁₆		035E ₁₆	
003F ₁₆		035F ₁₆	

図BA-2. 周辺装置制御レジスタの配置

メモリ

0380 ¹⁶	カウント開始フラグ(TABSR)	03C0 ¹⁶	A-Dレジスタ0(AD0)
0381 ¹⁶	時計用プリスケアラセットフラグ(CPSRF)	03C1 ¹⁶	
0382 ¹⁶	ワンショット開始フラグ(ONSF)	03C2 ¹⁶	A-Dレジスタ1(AD1)
0383 ¹⁶	トリガ選択レジスタ(TRGSR)	03C3 ¹⁶	
0384 ¹⁶	アップダウンフラグ(UDF)	03C4 ¹⁶	A-Dレジスタ2(AD2)
0385 ¹⁶		03C5 ¹⁶	
0386 ¹⁶	タイマA0(TA0)	03C6 ¹⁶	A-Dレジスタ3(AD3)
0387 ¹⁶		03C7 ¹⁶	
0388 ¹⁶	タイマA1(TA1)	03C8 ¹⁶	A-Dレジスタ4(AD4)
0389 ¹⁶		03C9 ¹⁶	
038A ¹⁶	タイマA2(TA2)	03CA ¹⁶	A-Dレジスタ5(AD5)
038B ¹⁶		03CB ¹⁶	
038C ¹⁶	タイマA3(TA3)	03CC ¹⁶	A-Dレジスタ6(AD6)
038D ¹⁶		03CD ¹⁶	
038E ¹⁶	タイマA4(TA4)	03CE ¹⁶	A-Dレジスタ7(AD7)
038F ¹⁶		03CF ¹⁶	
0390 ¹⁶	タイマB0(TB0)	03D0 ¹⁶	
0391 ¹⁶		03D1 ¹⁶	
0392 ¹⁶	タイマB1(TB1)	03D2 ¹⁶	
0393 ¹⁶		03D3 ¹⁶	
0394 ¹⁶	タイマB2(TB2)	03D4 ¹⁶	A-D制御レジスタ2(ADCON2)
0395 ¹⁶		03D5 ¹⁶	
0396 ¹⁶	タイマA0モ - ドレジスタ(TA0MR)	03D6 ¹⁶	A-D制御レジスタ0(ADCON0)
0397 ¹⁶	タイマA1モ - ドレジスタ(TA1MR)	03D7 ¹⁶	A-D制御レジスタ1(ADCON1)
0398 ¹⁶	タイマA2モ - ドレジスタ(TA2MR)	03D8 ¹⁶	D-Aレジスタ0(DA0)
0399 ¹⁶	タイマA3モ - ドレジスタ(TA3MR)	03D9 ¹⁶	
039A ¹⁶	タイマA4モ - ドレジスタ(TA4MR)	03DA ¹⁶	D-Aレジスタ1(DA1)
039B ¹⁶	タイマB0モ - ドレジスタ(TB0MR)	03DB ¹⁶	
039C ¹⁶	タイマB1モ - ドレジスタ(TB1MR)	03DC ¹⁶	D-A制御レジスタ(DACON)
039D ¹⁶	タイマB2モ - ドレジスタ(TB2MR)	03DD ¹⁶	
039E ¹⁶		03DE ¹⁶	
039F ¹⁶		03DF ¹⁶	
03A0 ¹⁶	UART0送受信モ - ドレジスタ(U0MR)	03E0 ¹⁶	ポートP0(P0)
03A1 ¹⁶	UART0転送速度レジスタ(U0BRG)	03E1 ¹⁶	ポートP1(P1)
03A2 ¹⁶	UART0送信バッファレジスタ(U0TB)	03E2 ¹⁶	
03A3 ¹⁶		03E3 ¹⁶	
03A4 ¹⁶	UART0送受信制御レジスタ0(U0C0)	03E4 ¹⁶	ポートP2(P2)
03A5 ¹⁶	UART0送受信制御レジスタ1(U0C1)	03E5 ¹⁶	ポートP3(P3)
03A6 ¹⁶	UART0受信バッファレジスタ(U0RB)	03E6 ¹⁶	
03A7 ¹⁶		03E7 ¹⁶	ポートP3方向レジスタ(PD3)
03A8 ¹⁶	UART1送受信モ - ドレジスタ(U1MR)	03E8 ¹⁶	ポートP4(P4)
03A9 ¹⁶	UART1転送速度レジスタ(U1BRG)	03E9 ¹⁶	ポートP5(P5)
03AA ¹⁶	UART1送信バッファレジスタ(U1TB)	03EA ¹⁶	ポートP4方向レジスタ(PD4)
03AB ¹⁶		03EB ¹⁶	
03AC ¹⁶	UART1送受信制御レジスタ0(U1C0)	03EC ¹⁶	ポートP6(P6)
03AD ¹⁶	UART1送受信制御レジスタ1(U1C1)	03ED ¹⁶	ポートP7(P7)
03AE ¹⁶	UART1受信バッファレジスタ(U1RB)	03EE ¹⁶	
03AF ¹⁶		03EF ¹⁶	ポートP7方向レジスタ(PD7)
03B0 ¹⁶	UART送受信制御レジスタ2(UCON)	03F0 ¹⁶	ポートP8(P8)
03B1 ¹⁶		03F1 ¹⁶	ポートP9(P9)
03B2 ¹⁶		03F2 ¹⁶	ポートP8方向レジスタ(PD8)
03B3 ¹⁶		03F3 ¹⁶	ポートP9方向レジスタ(PD9)
03B4 ¹⁶	フラッシュメモリ制御レジスタ0(FCON0) (注1)	03F4 ¹⁶	ポートP10(P10)
03B5 ¹⁶	フラッシュメモリ制御レジスタ1(FCON1) (注1)	03F5 ¹⁶	
03B6 ¹⁶	フラッシュコマンドレジスタ(FCMD) (注1)	03F6 ¹⁶	ポートP10方向レジスタ(PD10)
03B7 ¹⁶		03F7 ¹⁶	
03B8 ¹⁶	DMA0要因選択レジスタ(DM0SL)	03F8 ¹⁶	
03B9 ¹⁶		03F9 ¹⁶	
03BA ¹⁶	DMA1要因選択レジスタ(DM1SL)	03FA ¹⁶	
03BB ¹⁶		03FB ¹⁶	
03BC ¹⁶	CRCデータレジスタ(CRCD)	03FC ¹⁶	
03BD ¹⁶	CRCインプットレジスタ(CRCIN)	03FD ¹⁶	ブルアップ制御レジスタ0(PUR0)
03BE ¹⁶		03FE ¹⁶	ブルアップ制御レジスタ1(PUR1)
03BF ¹⁶		03FF ¹⁶	

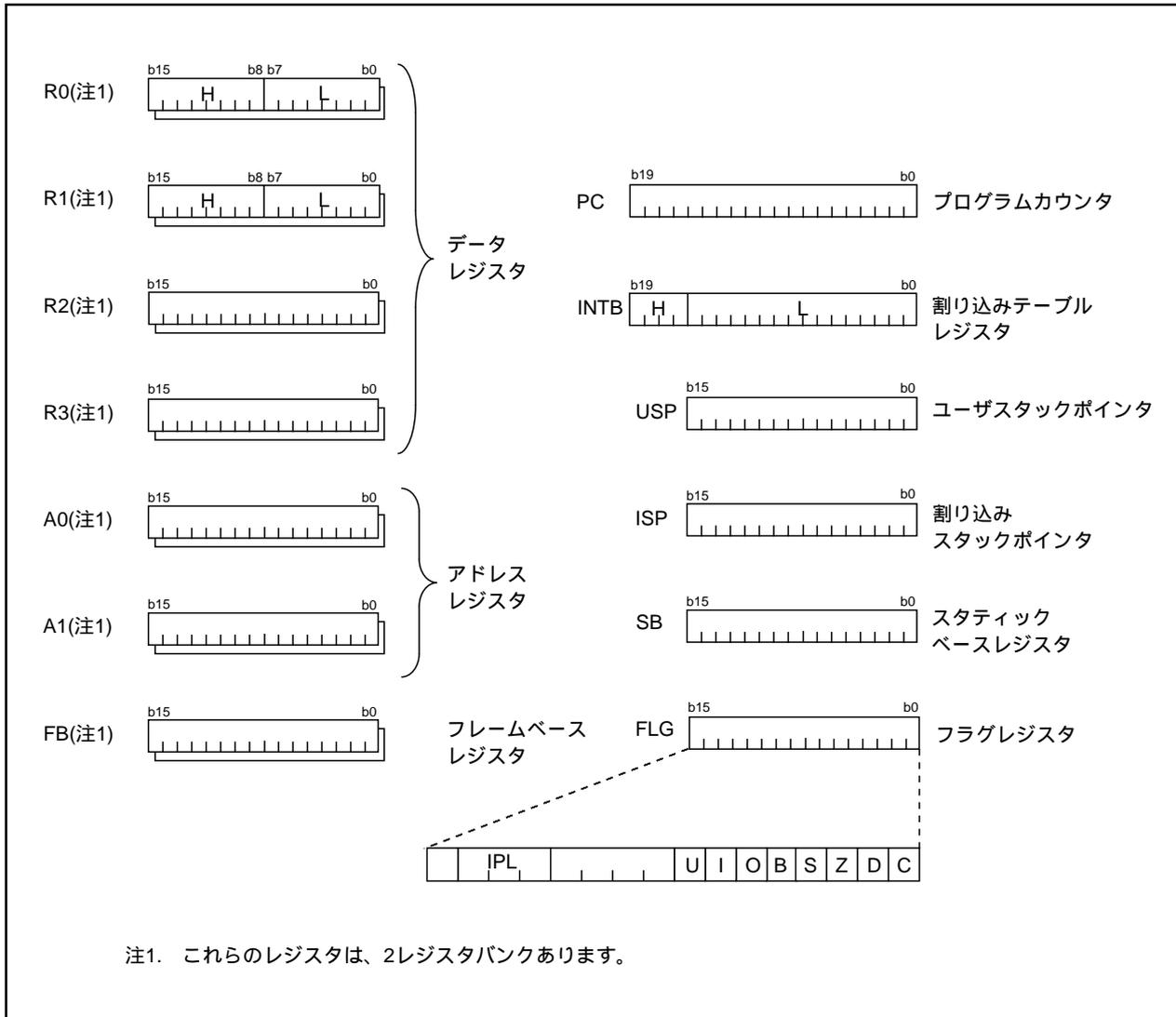
注1. このレジスタは、フラッシュメモリ版にのみ存在します。

図BA-3. 周辺装置制御レジスタの配置

CPU

中央演算処理装置

中央演算処理装置には図CA-1に示す13個のレジスタがあります。これらのうち、R0,R1,R2,R3,A0,A1,FBの7個は2セットあり、2つのレジスタバンクを構成しています。



図CA-1. 中央演算処理装置のレジスタ構成

(1) データレジスタ(R0/R0H/R0L/R1/R1H/R1L/R2/R3)

データレジスタ(R0/R1/R2/R3)は16ビットで構成されており、主に転送や算術、論理演算に使用します。R0/R1は、上位(R0H/R1H)と下位(R0L/R1L)を別々に8ビットのデータレジスタとして使用することもできます。また、一部の命令ではR2とR0、R3とR1を組合せて32ビットのデータレジスタ(R2R0/R3R1)としても使用できます。

(2) アドレスレジスタ(A0/A1)

アドレスレジスタ(A0/A1)は16ビットで構成されており、データレジスタと同等の機能を持ちます。また、アドレスレジスタ間接アドレッシングおよびアドレスレジスタ相対アドレッシングに使用します。一部の命令ではA1とA0とを組合せて32ビットのアドレスレジスタ(A1A0)としても使用できます。

(3) フレームベースレジスタ(FB)

フレームベースレジスタ(FB)は16ビットで構成されており、FB相対アドレッシングに使用します。

(4) プログラムカウンタ(PC)

プログラムカウンタ(PC)は20ビットで構成されており、次に実行する命令の番地を示します。

(5) 割り込みテーブルレジスタ(INTB)

割り込みテーブルレジスタ(INTB)は20ビットで構成されており、割り込みベクタテーブルの先頭番地を示します。

(6) スタックポインタ(USP/ISP)

スタックポインタは、ユーザスタックポインタ(USP)と割り込みスタックポインタ(ISP)の2種類があり、共に16ビットで構成されています。

使用するスタックポインタ(USP/ISP)はスタックポインタ指定フラグ(Uフラグ)によって切り替えられます。

スタックポインタ指定フラグ(Uフラグ)は、フラグレジスタ(FLG)のビット7です。

(7) スタティックベースレジスタ(SB)

スタティックベースレジスタ(SB)は16ビットで構成されており、SB相対アドレッシングに使用します。

(8) フラグレジスタ(FLG)

フラグレジスタ(FLG)は11ビットで構成されており、1ビット単位でフラグとして使用します。

フラグレジスタ(FLG)の構成を図CA-2に示します。また、各フラグの機能を以下に示します。

ビット0：キャリーフラグ(Cフラグ)

算術論理ユニットで発生したキャリー、ポロー、シフトアウトしたビット等を保持します。

ビット1：デバッグフラグ(Dフラグ)

シングルステップ割り込みを許可するフラグです。

このフラグが“1”のとき、命令実行後シングルステップ割り込みが発生します。割り込みを受け付けると、このフラグは“0”になります。

ビット2：ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

ビット3：サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

ビット4：レジスタバンク指定フラグ(Bフラグ)

レジスタバンクの選択を行います。このフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

ビット5：オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。

ビット6：割り込み許可フラグ(Iフラグ)

マスク可能割り込みを許可するフラグです。

このフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。

割り込みを受け付けると、このフラグは“0”になります。

ビット7：スタックポインタ指定フラグ(Uフラグ)

このフラグが“0”のとき割り込みスタックポインタ(ISP)が指定され、“1”のときユーザスタックポインタ(USP)が指定されます。

ハードウェア割り込みを受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、このフラグは“0”になります。

ビット8～ビット11：予約領域

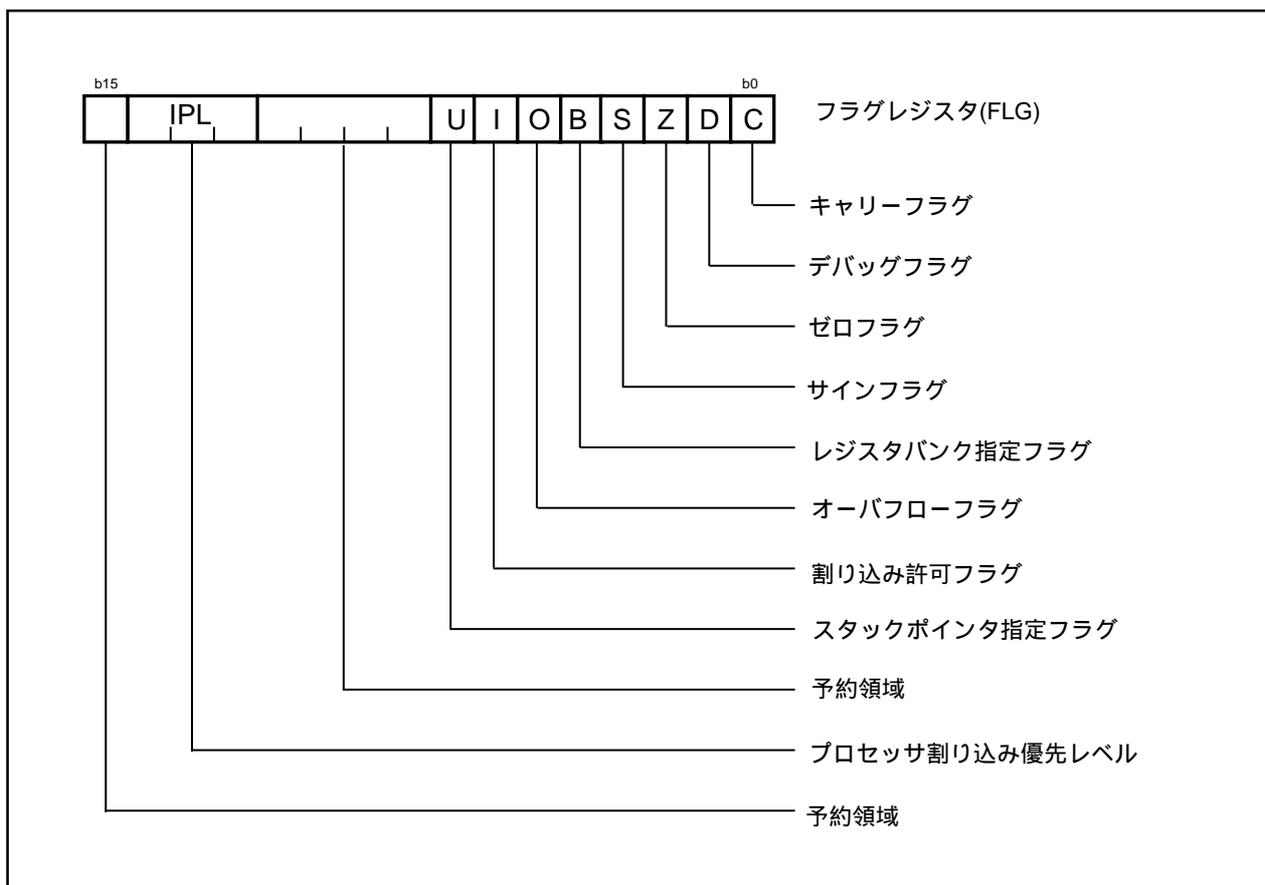
ビット12～ビット14：プロセッサ割り込み優先レベル(IPL)

プロセッサ割り込み優先レベル(IPL)は3ビットで構成されており、レベル0～レベル7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベル(IPL)より大きい場合、その割り込みは許可されます。

ビット15：予約領域

C、Z、S、O各フラグは、命令により変化します。変化の詳細はソフトウェアマニュアルを参照してください。



図CA-2. フラグレジスタ(FLG)の構成

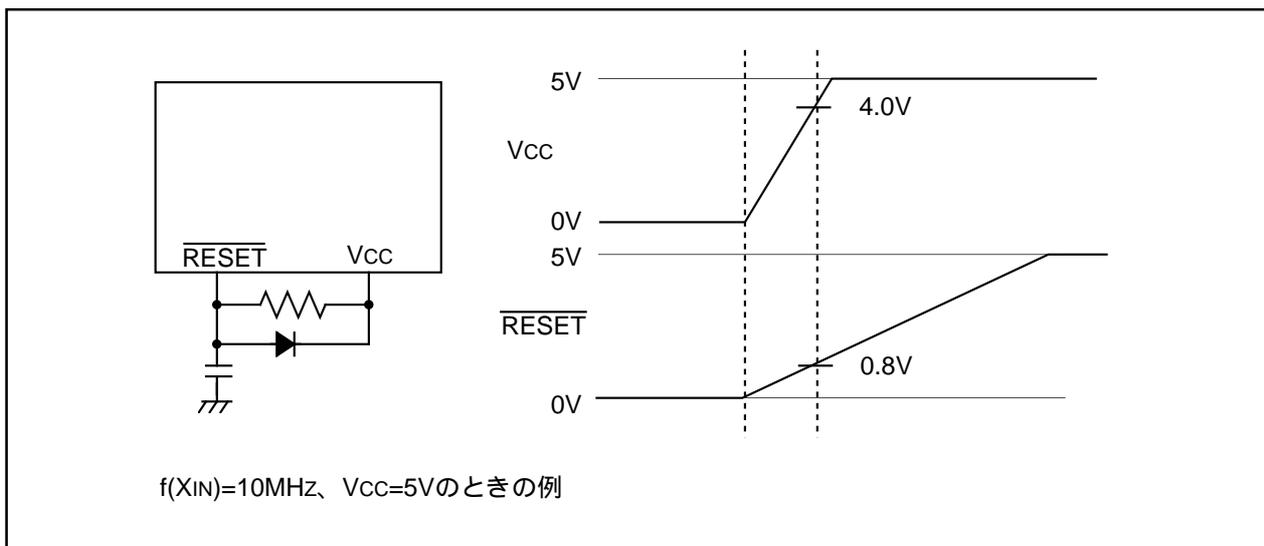
リセット

リセット

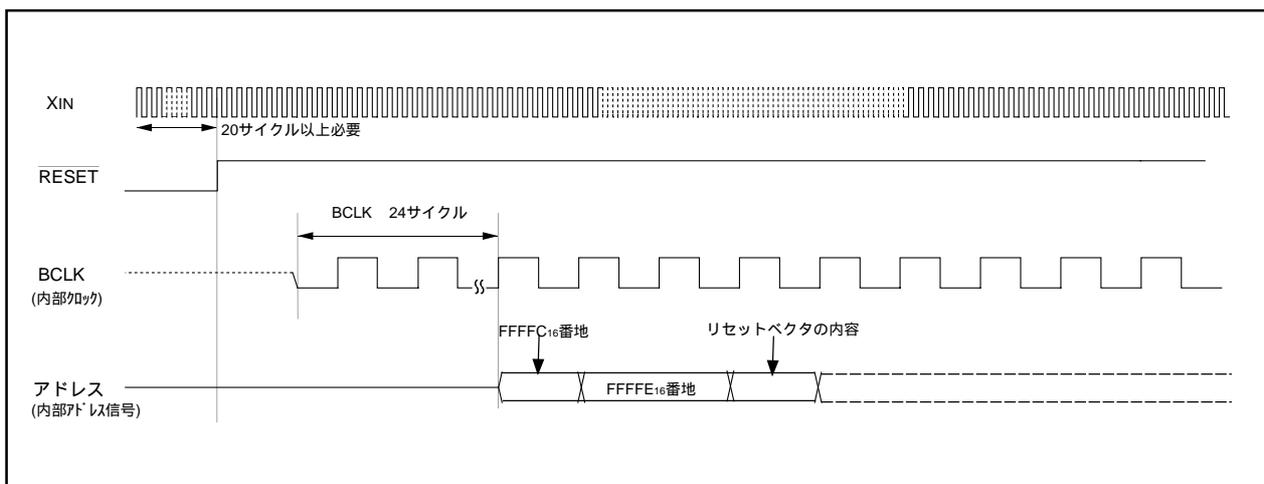
リセットは、ハードウェアによるリセットとソフトウェアによるリセットの2種類あります。ソフトウェアリセット、ハードウェアリセットともリセット解除後の動作は同じです(ソフトウェアリセットの詳細は「ソフトウェアリセット」を参照)。この項では、ハードウェアリセットを中心に説明します。

電源電圧が動作保証電圧であるとき、リセット端子を2 μ s以上“L”レベル(0.2V_{CC}以下)に保つとリセット状態になります。その後、メインクロックが十分に安定しているときにリセット端子を“H”レベルに戻すとリセットが解除され、リセットベクタテーブルで示される番地からプログラムを実行します。

リセット回路の一例を図DA-1、リセットシーケンスを図DA-2に示します。



図DA-1. リセット回路の一例



図DA-2. リセットシーケンス

リセット

(1) プロセッサモードレジスタ0	(000416)...	<table border="1"><tr><td>x</td><td>x</td><td>x</td><td>x</td><td>0</td><td>0</td><td>0</td><td>0</td></tr></table>	x	x	x	x	0	0	0	0	(24) タイマA0割り込み制御レジスタ	(005516)...	<table border="1"><tr><td>x</td><td>x</td><td>x</td><td>x</td><td>?</td><td>0</td><td>0</td><td>0</td></tr></table>	x	x	x	x	?	0	0	0
x	x	x	x	0	0	0	0														
x	x	x	x	?	0	0	0														
(2) プロセッサモードレジスタ1	(000516)...	<table border="1"><tr><td>0</td><td>x</td><td>x</td><td>x</td><td>x</td><td>0</td><td>0</td><td>0</td></tr></table>	0	x	x	x	x	0	0	0	(25) タイマA1割り込み制御レジスタ	(005616)...	<table border="1"><tr><td>x</td><td>x</td><td>x</td><td>x</td><td>?</td><td>0</td><td>0</td><td>0</td></tr></table>	x	x	x	x	?	0	0	0
0	x	x	x	x	0	0	0														
x	x	x	x	?	0	0	0														
(3) システムクロック制御レジスタ0	(000616)...	<table border="1"><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td></tr></table>	0	1	0	0	1	0	0	0	(26) タイマA2割り込み制御レジスタ	(005716)...	<table border="1"><tr><td>x</td><td>x</td><td>x</td><td>x</td><td>?</td><td>0</td><td>0</td><td>0</td></tr></table>	x	x	x	x	?	0	0	0
0	1	0	0	1	0	0	0														
x	x	x	x	?	0	0	0														
(4) システムクロック制御レジスタ1	(000716)...	<table border="1"><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr></table>	0	0	1	0	0	0	0	0	(27) タイマA3割り込み制御レジスタ	(005816)...	<table border="1"><tr><td>x</td><td>x</td><td>x</td><td>x</td><td>?</td><td>0</td><td>0</td><td>0</td></tr></table>	x	x	x	x	?	0	0	0
0	0	1	0	0	0	0	0														
x	x	x	x	?	0	0	0														
(5) アドレス一致割り込み許可レジスタ	(000916)...	<table border="1"><tr><td>x</td><td>x</td><td>x</td><td>x</td><td>x</td><td>x</td><td>0</td><td>0</td></tr></table>	x	x	x	x	x	x	0	0	(28) タイマA4割り込み制御レジスタ	(005916)...	<table border="1"><tr><td>x</td><td>x</td><td>x</td><td>x</td><td>?</td><td>0</td><td>0</td><td>0</td></tr></table>	x	x	x	x	?	0	0	0
x	x	x	x	x	x	0	0														
x	x	x	x	?	0	0	0														
(6) プロテクトレジスタ	(000A16)...	<table border="1"><tr><td>x</td><td>x</td><td>x</td><td>x</td><td>x</td><td>0</td><td>0</td><td>0</td></tr></table>	x	x	x	x	x	0	0	0	(29) タイマB0割り込み制御レジスタ	(005A16)...	<table border="1"><tr><td>x</td><td>x</td><td>x</td><td>x</td><td>?</td><td>0</td><td>0</td><td>0</td></tr></table>	x	x	x	x	?	0	0	0
x	x	x	x	x	0	0	0														
x	x	x	x	?	0	0	0														
(7) 監視タイマ制御レジスタ	(000F16)...	<table border="1"><tr><td>0</td><td>0</td><td>0</td><td>?</td><td>?</td><td>?</td><td>?</td><td>?</td></tr></table>	0	0	0	?	?	?	?	?	(30) タイマB1割り込み制御レジスタ	(005B16)...	<table border="1"><tr><td>x</td><td>x</td><td>x</td><td>x</td><td>?</td><td>0</td><td>0</td><td>0</td></tr></table>	x	x	x	x	?	0	0	0
0	0	0	?	?	?	?	?														
x	x	x	x	?	0	0	0														
(8) アドレス一致割り込みレジスタ0	(001016)...	<table border="1"><tr><td colspan="8">00₁₆</td></tr></table>	00 ₁₆								(31) タイマB2割り込み制御レジスタ	(005C16)...	<table border="1"><tr><td>x</td><td>x</td><td>x</td><td>x</td><td>?</td><td>0</td><td>0</td><td>0</td></tr></table>	x	x	x	x	?	0	0	0
00 ₁₆																					
x	x	x	x	?	0	0	0														
	(001116)...	<table border="1"><tr><td colspan="8">00₁₆</td></tr></table>	00 ₁₆								(32) INT0割り込み制御レジスタ	(005D16)...	<table border="1"><tr><td>x</td><td>x</td><td>0</td><td>0</td><td>?</td><td>0</td><td>0</td><td>0</td></tr></table>	x	x	0	0	?	0	0	0
00 ₁₆																					
x	x	0	0	?	0	0	0														
	(001216)...	<table border="1"><tr><td>x</td><td>x</td><td>x</td><td>x</td><td>0</td><td>0</td><td>0</td><td>0</td></tr></table>	x	x	x	x	0	0	0	0	(33) INT1割り込み制御レジスタ	(005E16)...	<table border="1"><tr><td>x</td><td>x</td><td>0</td><td>0</td><td>?</td><td>0</td><td>0</td><td>0</td></tr></table>	x	x	0	0	?	0	0	0
x	x	x	x	0	0	0	0														
x	x	0	0	?	0	0	0														
(9) アドレス一致割り込みレジスタ1	(001416)...	<table border="1"><tr><td colspan="8">00₁₆</td></tr></table>	00 ₁₆								(34) INT2割り込み制御レジスタ	(005F16)...	<table border="1"><tr><td>x</td><td>x</td><td>0</td><td>0</td><td>?</td><td>0</td><td>0</td><td>0</td></tr></table>	x	x	0	0	?	0	0	0
00 ₁₆																					
x	x	0	0	?	0	0	0														
	(001516)...	<table border="1"><tr><td colspan="8">00₁₆</td></tr></table>	00 ₁₆								(35) シリアルI/O2制御レジスタ1	(034216)...	<table border="1"><tr><td colspan="8">00₁₆</td></tr></table>	00 ₁₆							
00 ₁₆																					
00 ₁₆																					
	(001616)...	<table border="1"><tr><td>x</td><td>x</td><td>x</td><td>x</td><td>0</td><td>0</td><td>0</td><td>0</td></tr></table>	x	x	x	x	0	0	0	0	(36) シリアルI/O2制御レジスタ2	(034416)...	<table border="1"><tr><td colspan="8">00₁₆</td></tr></table>	00 ₁₆							
x	x	x	x	0	0	0	0														
00 ₁₆																					
(10) DMA0制御レジスタ	(002C16)...	<table border="1"><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>?</td><td>0</td><td>0</td></tr></table>	0	0	0	0	0	?	0	0	(37) シリアルI/O2制御レジスタ3	(034816)...	<table border="1"><tr><td colspan="8">00₁₆</td></tr></table>	00 ₁₆							
0	0	0	0	0	?	0	0														
00 ₁₆																					
(11) DMA1制御レジスタ	(003C16)...	<table border="1"><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>?</td><td>0</td><td>0</td></tr></table>	0	0	0	0	0	?	0	0	(38) FLDCモードレジスタ	(035016)...	<table border="1"><tr><td colspan="8">00₁₆</td></tr></table>	00 ₁₆							
0	0	0	0	0	?	0	0														
00 ₁₆																					
(12) INT3割り込み制御レジスタ	(004716)...	<table border="1"><tr><td>x</td><td>x</td><td>0</td><td>0</td><td>?</td><td>0</td><td>0</td><td>0</td></tr></table>	x	x	0	0	?	0	0	0	(39) FLD出力制御レジスタ	(035116)...	<table border="1"><tr><td colspan="8">00₁₆</td></tr></table>	00 ₁₆							
x	x	0	0	?	0	0	0														
00 ₁₆																					
(13) INT4割り込み制御レジスタ	(004816)...	<table border="1"><tr><td>x</td><td>x</td><td>0</td><td>0</td><td>?</td><td>0</td><td>0</td><td>0</td></tr></table>	x	x	0	0	?	0	0	0	(40) Tdisp時間設定レジスタ	(035216)...	<table border="1"><tr><td colspan="8">00₁₆</td></tr></table>	00 ₁₆							
x	x	0	0	?	0	0	0														
00 ₁₆																					
(14) INT5割り込み制御レジスタ	(004916)...	<table border="1"><tr><td>x</td><td>x</td><td>0</td><td>0</td><td>?</td><td>0</td><td>0</td><td>0</td></tr></table>	x	x	0	0	?	0	0	0	(41) Toff1時間設定レジスタ	(035416)...	<table border="1"><tr><td colspan="8">FF₁₆</td></tr></table>	FF ₁₆							
x	x	0	0	?	0	0	0														
FF ₁₆																					
(15) DMA0割り込み制御レジスタ	(004B16)...	<table border="1"><tr><td>x</td><td>x</td><td>x</td><td>x</td><td>?</td><td>0</td><td>0</td><td>0</td></tr></table>	x	x	x	x	?	0	0	0	(42) Toff2時間設定レジスタ	(035616)...	<table border="1"><tr><td colspan="8">FF₁₆</td></tr></table>	FF ₁₆							
x	x	x	x	?	0	0	0														
FF ₁₆																					
(16) DMA1割り込み制御レジスタ	(004C16)...	<table border="1"><tr><td>x</td><td>x</td><td>x</td><td>x</td><td>?</td><td>0</td><td>0</td><td>0</td></tr></table>	x	x	x	x	?	0	0	0	(43) ポートP2FLD/ポート切り替えレジスタ	(035916)...	<table border="1"><tr><td colspan="8">00₁₆</td></tr></table>	00 ₁₆							
x	x	x	x	?	0	0	0														
00 ₁₆																					
(17) A-D変換割り込み制御レジスタ	(004E16)...	<table border="1"><tr><td>x</td><td>x</td><td>x</td><td>x</td><td>?</td><td>0</td><td>0</td><td>0</td></tr></table>	x	x	x	x	?	0	0	0	(44) ポートP3FLD/ポート切り替えレジスタ	(035A16)...	<table border="1"><tr><td colspan="8">00₁₆</td></tr></table>	00 ₁₆							
x	x	x	x	?	0	0	0														
00 ₁₆																					
(18) SI/O2自動転送割り込み制御レジスタ	(004F16)...	<table border="1"><tr><td>x</td><td>x</td><td>x</td><td>x</td><td>?</td><td>0</td><td>0</td><td>0</td></tr></table>	x	x	x	x	?	0	0	0	(45) ポートP4FLD/ポート切り替えレジスタ	(035B16)...	<table border="1"><tr><td colspan="8">00₁₆</td></tr></table>	00 ₁₆							
x	x	x	x	?	0	0	0														
00 ₁₆																					
(19) FLD割り込み制御レジスタ	(005016)...	<table border="1"><tr><td>x</td><td>x</td><td>x</td><td>x</td><td>?</td><td>0</td><td>0</td><td>0</td></tr></table>	x	x	x	x	?	0	0	0	(46) P5ディジット出力設定切り替えレジスタ	(035C16)...	<table border="1"><tr><td colspan="8">00₁₆</td></tr></table>	00 ₁₆							
x	x	x	x	?	0	0	0														
00 ₁₆																					
(20) UART0送信割り込み制御レジスタ	(005116)...	<table border="1"><tr><td>x</td><td>x</td><td>x</td><td>x</td><td>?</td><td>0</td><td>0</td><td>0</td></tr></table>	x	x	x	x	?	0	0	0	(47) P6ディジット出力設定切り替えレジスタ	(035D16)...	<table border="1"><tr><td colspan="8">00₁₆</td></tr></table>	00 ₁₆							
x	x	x	x	?	0	0	0														
00 ₁₆																					
(21) UART0受信割り込み制御レジスタ	(005216)...	<table border="1"><tr><td>x</td><td>x</td><td>x</td><td>x</td><td>?</td><td>0</td><td>0</td><td>0</td></tr></table>	x	x	x	x	?	0	0	0											
x	x	x	x	?	0	0	0														
(22) UART1送信割り込み制御レジスタ	(005316)...	<table border="1"><tr><td>x</td><td>x</td><td>x</td><td>x</td><td>?</td><td>0</td><td>0</td><td>0</td></tr></table>	x	x	x	x	?	0	0	0											
x	x	x	x	?	0	0	0														
(23) UART1受信割り込み制御レジスタ	(005416)...	<table border="1"><tr><td>x</td><td>x</td><td>x</td><td>x</td><td>?</td><td>0</td><td>0</td><td>0</td></tr></table>	x	x	x	x	?	0	0	0											
x	x	x	x	?	0	0	0														

これ以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。

x : このビットは何も配置されていません。
? : 不定です。

図DA-3. リセット解除後のマイクロコンピュータの内部状態

リセット

(48) カウント開始フラグ	(038016)...	0016	(74) A-D制御レジスタ0	(03D616)...	0 0 0 0 0 ? ? ?
(49) 時計用プリスケアラリセットフラグ	(038116)...	0 x x x x x x x x x	(75) A-D制御レジスタ1	(03D716)...	0016
(50) ワンショット開始フラグ	(038216)...	0 0 x 0 0 0 0 0	(76) D-A制御レジスタ	(03DC16)...	0016
(51) トリガ選択レジスタ	(038316)...	0016	(77) ポートP3方向レジスタ	(03E716)...	0016
(52) アップダウンフラグ	(038416)...	0016	(78) ポートP4方向レジスタ	(03EA16)...	0016
(53) タイマA0モードレジスタ	(039616)...	0016	(79) ポートP7方向レジスタ	(03EF16)...	0016
(54) タイマA1モードレジスタ	(039716)...	0016	(80) ポートP8方向レジスタ	(03F216)...	0016
(55) タイマA2モードレジスタ	(039816)...	0016	(81) ポートP9方向レジスタ	(03F316)...	0016
(56) タイマA3モードレジスタ	(039916)...	0016	(82) ポートP10方向レジスタ	(03F616)...	0016
(57) タイマA4モードレジスタ	(039A16)...	0016	(83) プルアップ制御レジスタ0	(03FD16)...	0016
(58) タイマB0モードレジスタ	(039B16)...	0 0 ? x 0 0 0 0	(84) プルアップ制御レジスタ1	(03FE16)...	0016
(59) タイマB1モードレジスタ	(039C16)...	0 0 ? x 0 0 0 0	(85) データレジスタ(R0/R1/R2/R3)	...	000016
(60) タイマB2モードレジスタ	(039D16)...	0 0 ? x 0 0 0 0	(86) アドレスレジスタ(A0/A1)	...	000016
(61) UART0送受信モードレジスタ	(03A016)...	0016	(87) フレームベースレジスタ(FB)	...	000016
(62) UART0送受信制御レジスタ0	(03A416)...	0 0 0 0 1 0 0 0	(88) 割り込みテーブルレジスタ	...	0000016
(63) UART0送受信制御レジスタ1	(03A516)...	0 0 0 0 0 0 1 0	(89) ユーザスタックポインタ(USP)	...	000016
(64) UART1送受信モードレジスタ	(03A816)...	0016	(90) 割り込みスタックポインタ(ISP)	...	000016
(65) UART1送受信制御レジスタ0	(03AC16)...	0 0 0 0 1 0 0 0	(91) スタティックベースレジスタ(SB)	...	000016
(66) UART1送受信制御レジスタ1	(03AD16)...	0 0 0 0 0 0 1 0	(92) フラグレジスタ(FLG)	...	000016
(67) UART送受信制御レジスタ2	(03B016)...	x 0 0 0 0 0 0 0			
(68) フラッシュメモリ制御レジスタ0(注1)	(03B416)...	0 0 1 0 0 0 0 0			
(69) フラッシュメモリ制御レジスタ1(注1)	(03B516)...	x x x x x x x 0 0			
(70) フラッシュコマンドレジスタ(注1)	(03B616)...	0016			
(71) DMA0要因選択レジスタ	(03B816)...	0016			
(72) DMA1要因選択レジスタ	(03BA16)...	0016			
(73) A-D制御レジスタ2	(03D416)...	x x x x x x x x 0			

これ以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。

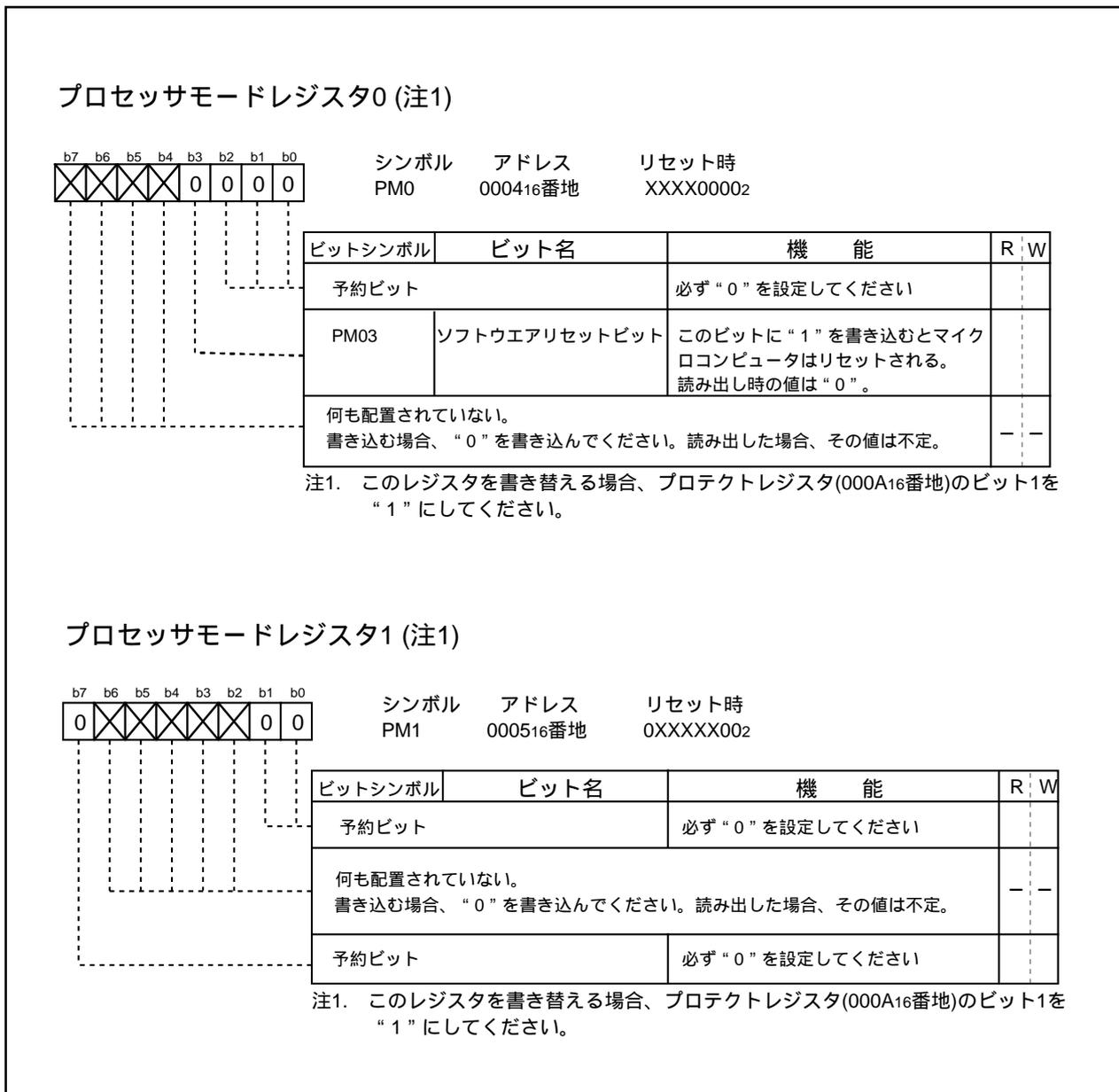
x : このビットは何も配置されていません。
 ? : 不定です。
 注1. このレジスタは、フラッシュメモリ版にのみ存在します。

図DA-4. リセット解除後のマイクロコンピュータの内部状態

ソフトウェアリセット

ソフトウェアリセット

プロセッサモードレジスタ0(0004₁₆番地)のビット3に“1”を書き込むことでマイクロコンピュータにリセットをかけることができます(ソフトウェアリセット)。ソフトウェアリセットは、マイコンのハードウェアリセットと同様の動作を行います。ただし、内部RAM領域の内容は保持します。図DA-5にプロセッサモードレジスタ0、プロセッサモードレジスタ1の構成を示します。



図DA-5. プロセッサモードレジスタ0、プロセッサモードレジスタ1の構成

クロック発生回路

クロック発生回路

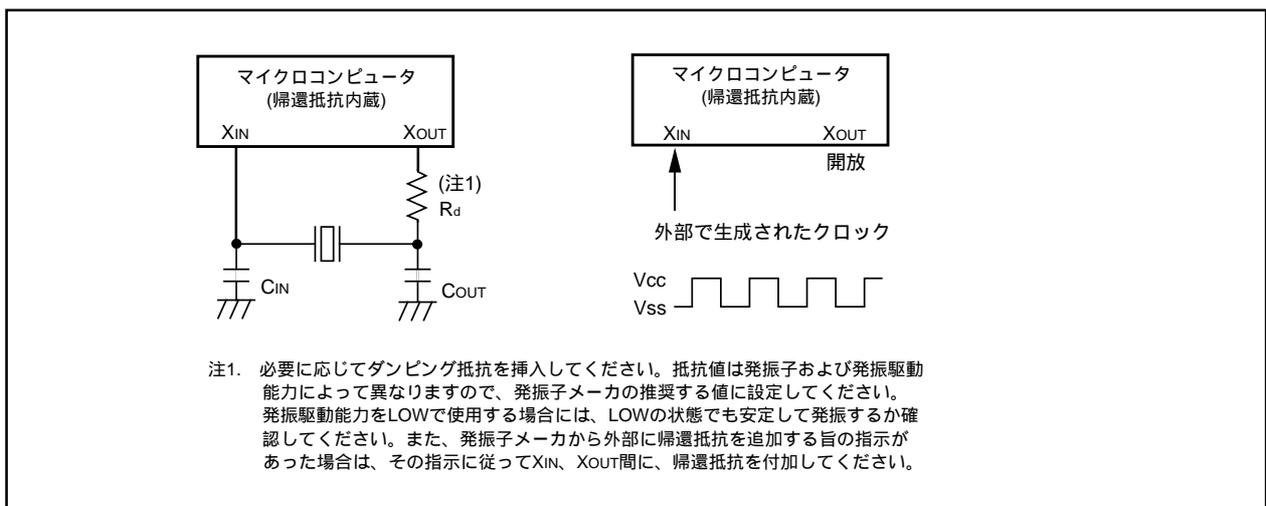
クロック発生回路は、CPU、内蔵周辺装置などの動作クロック源を供給する発振回路を2回路内蔵しています。

表WA-1. メインクロック発振回路、サブクロック発振回路

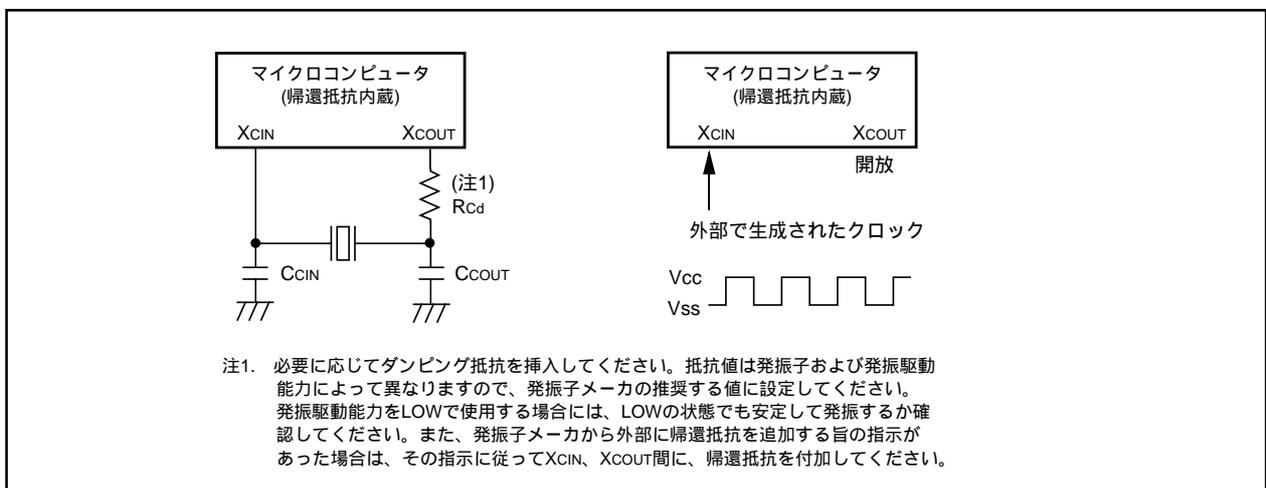
	メインクロック発振回路	サブクロック発振回路
クロックの用途	CPUの動作クロック源 内蔵周辺装置の動作クロック源	CPUの動作クロック源 タイマA、Bのカウントクロック源
接続できる発振子	セラミック発振子、水晶発振子	水晶発振子
発振子の接続端子	XIN、XOUT	XCIN、XCOUT
発振の停止/再開機能	あり	あり
リセット直後の発振子の状態	発振	停止
その他	外部で生成されたクロックを入力することが可能	

発振回路例

図WA-1にメインクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図WA-2にサブクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図WA-1中および図WA-2中の回路定数は発振子によって異なりますので、発振子メーカーの推奨する値に設定してください。



図WA-1. メインクロックの接続例

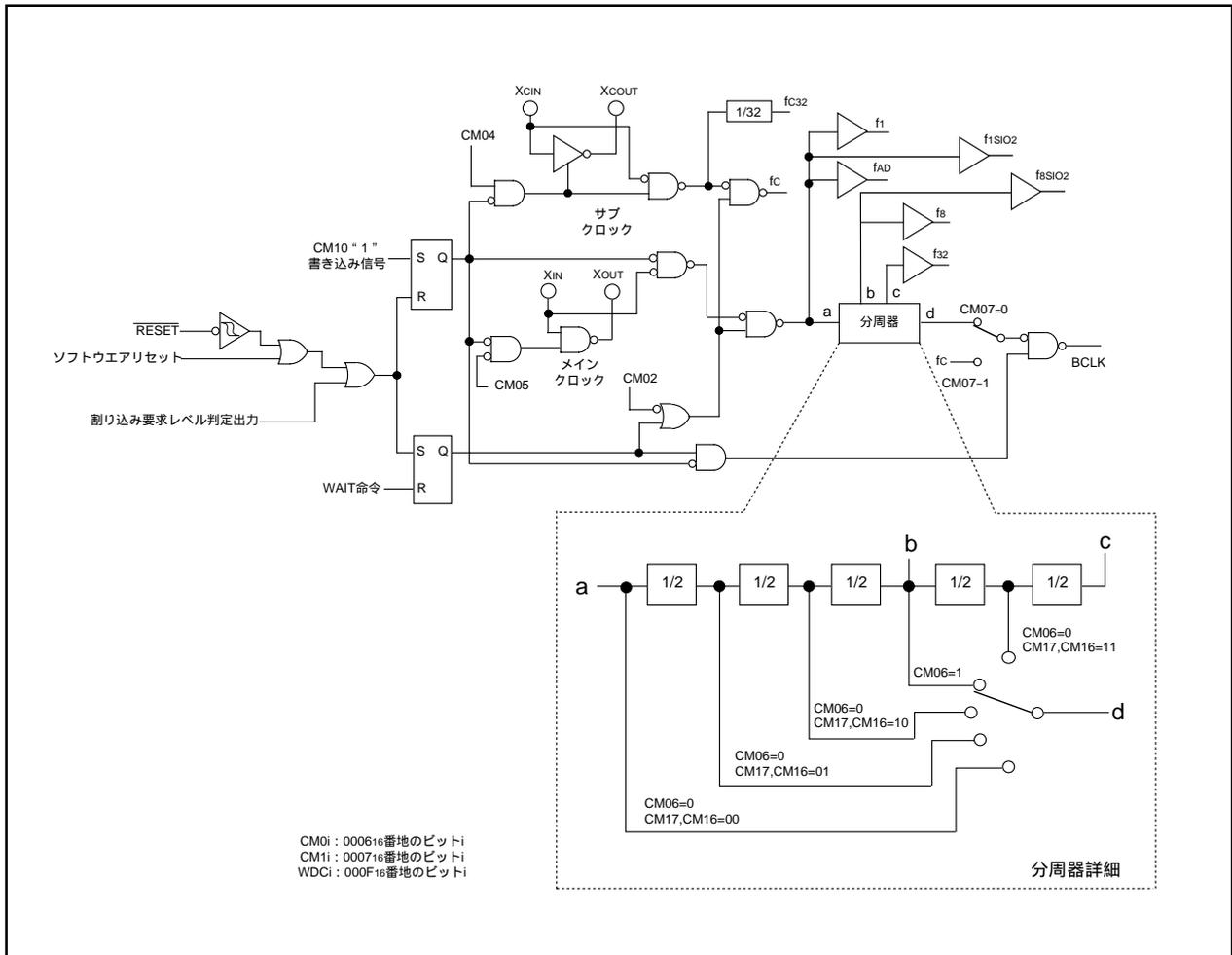


図WA-2. サブクロックの接続例

クロック発生回路

クロックの制御

図WA-3にクロック発生回路のブロック図を示します。



図WA-3. クロック発生回路

クロック発生回路

クロック発生回路で発生するクロックを順に説明します。

(1) メインクロック

メインクロック発振回路が供給するクロックです。リセット直後は、このクロックの8分周がBCLKになります。メインクロック停止ビット(0006₁₆番地のビット5)によってこのクロックの供給を停止することができます。CPUの動作クロック源をサブクロックに切り替えた後、このクロックの供給を停止すると消費電力は低減します。

メインクロック発振回路の発振が安定した後は、XIN-XOUT駆動能力選択ビット(0007₁₆番地のビット5)によってメインクロック発振回路の駆動能力を弱めることができます。メインクロック発振回路の駆動能力を弱めると消費電力は低減します。高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。

(2) サブクロック

サブクロック発振回路が供給するクロックです。リセット直後は、このクロックは供給されていません。ポートXc切り替えビット(0006₁₆番地のビット4)で発振を開始した後、システムクロック選択ビット(0006₁₆番地のビット7)によって、サブクロックをBCLKにすることができます。ただし、サブクロックの発振が十分に安定してから切り替えるようにしてください。

サブクロック発振回路の発振が安定した後は、XCIN-XCOUT駆動能力選択ビット(0006₁₆番地のビット3)によってサブクロック発振回路の駆動能力を弱めることができます。サブクロック発振回路の駆動能力を弱めると消費電力はさらに低減します。このビットは、ストップモードへの移行時およびリセット時、“1”になります。

(3) BCLK

メインクロックの1、2、4、8、16分周、またはfcをクロック源とするCPUの動作クロックです。リセット直後、メインクロックの8分周がBCLKになります。

高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(0006₁₆番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

(4) 周辺機能クロック(f1、f8、f32、fAD、f1SIO2、f8SIO2)

メインクロックを、1分周、8分周、32分周した内蔵周辺装置の動作クロックです。このクロックは、メインクロックを停止させるか、またはWAIT時周辺機能クロック停止ビット(0006₁₆番地のビット2)を“1”にした後、WAIT命令を実行すると供給が停止します。

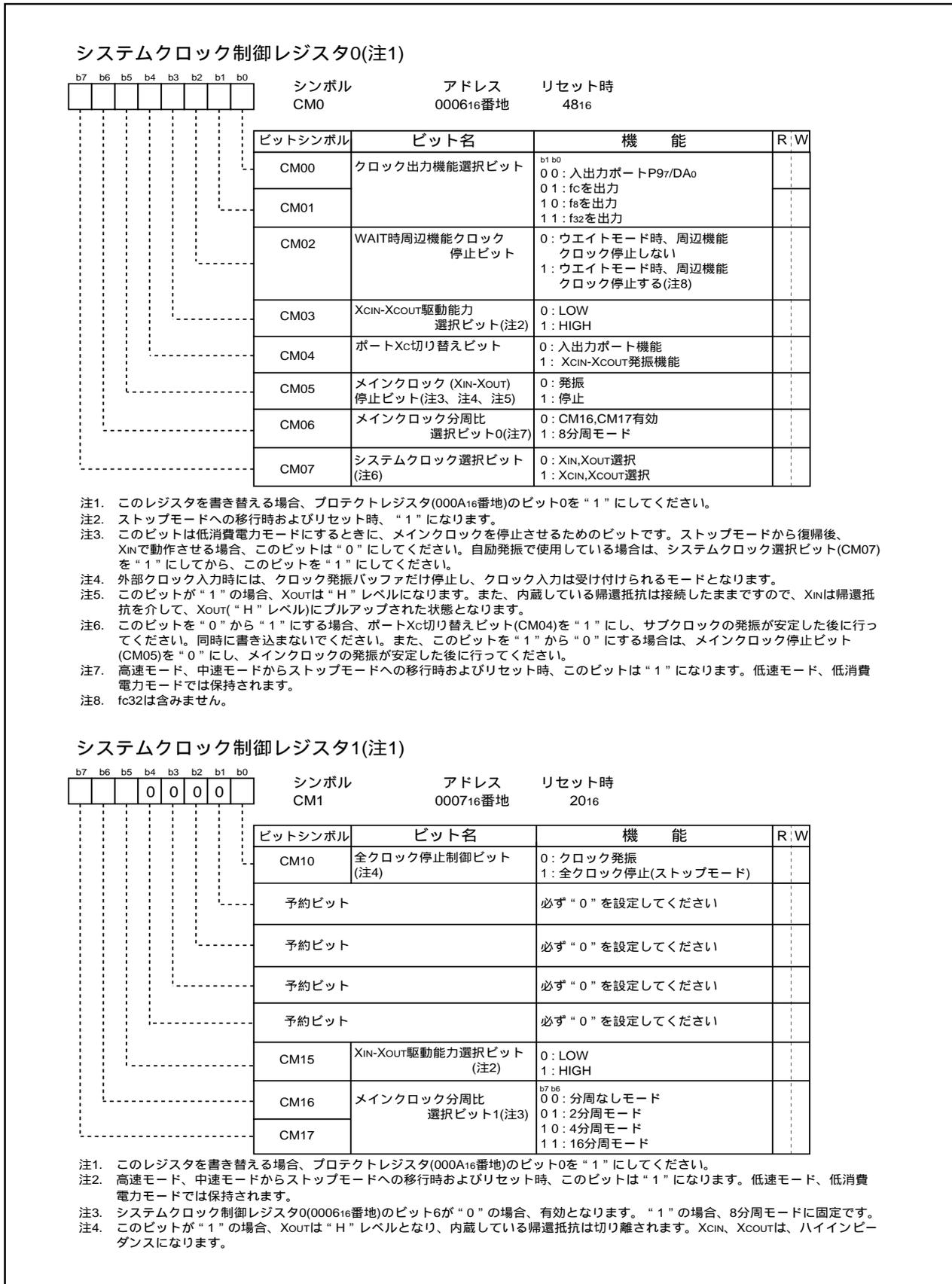
(5) fc32

サブクロックを32分周したクロックです。タイマAとタイマBのカウントに使用します。

(6) fc

サブクロックと同一周波数のクロックです。BCLKや監視タイマに使用します。

図WA-4にシステムクロック制御レジスタ0、システムクロック制御レジスタ1の構成を示します。



図WA-4. システムクロック制御レジスタ0、システムクロック制御レジスタ1の構成

クロック出力

クロック出力

クロック出力機能選択ビット(0006₁₆番地のビット0、ビット1)によってP97/DA0/CLKOUT/DIMOUT端子からf₈、f₃₂またはf_cを出力することができます。WAIT時周辺機能クロック停止ビット(0006₁₆番地のビット2)を“1”に設定している場合、WAIT命令を実行するとf₈、f₃₂のクロックは停止します。

ストップモード

全クロック停止制御ビット(0007₁₆番地のビット0)に“1”を書き込むと、発振がすべて停止し、マイクロコンピュータはストップモードに入ります。ストップモード時、V_{CC}が2V以上であれば内部RAMの内容を保持することができます。

ストップモードでは、発振、BCLK、f₁~f₃₂、f_c、f_{c32}、f_{AD}は停止しますので蛍光表示管表示機能、SIO₂、A-D変換器、監視タイマ等の内蔵周辺機能は動作しません。ただし、タイマA、タイマBは外部パルスをカウントするイベントカウンタモードだけ、UART₀、UART₁は、外部クロック選択時だけ動作します。ストップモード時のポートの状態を表WA-2に示します。

ストップモードはハードウェアリセットまたは割り込みによって解除されます。ストップモードの解除に割り込みを使用した場合、対象となる割り込みは、あらかじめ割り込み許可状態にする必要があります。

割り込みで復帰した場合、対象となる割り込みルーチンを実行します。

高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(0006₁₆番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

表WA-2. ストップモード時のポートの状態

端 子		状 態
ポート		ストップモードに入る直前の状態を保持
CLKOUT	f _c 選択時	“H”
	f ₈ 、f ₃₂ 選択時	ストップモードに入る直前の状態を保持

ウエイトモード

WAIT命令を実行するとBCLKが停止し、マイクロコンピュータはウエイトモードに入ります。ウエイトモードでは、発振は停止しませんが、BCLKおよび監視タイマは停止します。WAIT時周辺機能クロック停止ビットに“1”を書いて、WAIT命令を実行すると、内蔵周辺機能へ供給しているクロックが停止し、消費電力を低減することができます。ウエイトモード時のポートの状態を表WA-3に示します。

ウエイトモードはハードウェアリセットまたは割り込みによって解除されます。ウエイトモードの解除に割り込みを使用した場合、マイクロコンピュータはWAIT命令を実行したときのクロックをBCLKとし、割り込みルーチンから動作を再開します。

表WA-3. ウエイトモード時のポートの状態

端 子		状 態
ポート		ウエイトモードに入る直前の状態を保持
CLKOUT	f _c 選択時	停止しません
	f ₈ 、f ₃₂ 選択時	WAIT時周辺機能クロック停止ビットが“0”のとき出力を継続(注1)。 WAIT時周辺機能クロック停止ビットが“1”のときウエイトモードに入る直前の状態を保持。

注1. この場合、消費電力は低減する事はできませんのでご注意願います。

BCLKの状態遷移

BCLKの状態遷移

BCLKのカウントソースを変更することで、消費電流の低減や低電圧動作を実現することができます。以下にBCLKの動作モードを示します。また、表WA-4にシステムクロック制御レジスタ0と1の設定値に対する動作モードを示します。

リセット時、8分周モードで立ち上がります。高速モード、中速モードからストップモードへの移行時およびリセット時、メインクロック分周比選択ビット0(0006₁₆番地のビット6)は“1”になります。低速モード、低消費電力モードでは保持されます。

(1) 2分周モード

メインクロックの2分周がBCLKとなるモードです。

(2) 4分周モード

メインクロックの4分周がBCLKとなるモードです。

(3) 8分周モード

メインクロックの8分周がBCLKとなるモードです。リセット時このモードから動作します。このモードから分周なしモード、2分周モード、4分周モードへ移行する場合、メインクロックが安定して発振している必要があります。低速モード、低消費電力モードへ移行する場合、サブクロックが安定して発振している必要があります。

(4) 16分周モード

メインクロックの16分周がBCLKとなるモードです。

(5) 分周なしモード

メインクロックの1分周がBCLKとなるモードです。

(6) 低速モード

fcがBCLKとなるモードです。他のモードからこのモードへ、またはこのモードから他のモードへ移行する場合は、メインクロックおよびサブクロックとも発振が安定している必要があります。特にサブクロックの発振立ち上がりは時間(2~3秒程度)を要しますので、電源投入直後やストップモード解除時は、安定するまでプログラムで待ち時間をとってから移行するようにしてください。

(7) 低消費電力モード

fcがBCLKとなりさらにメインクロックを停止させたモードです。

注意事項

BCLKのカウントソースをXINからXCIN、XCINからXINに切り替えるとき、切り替え先のクロックは安定して発振している必要があります。ソフトウェアにて発振が安定するまで待ち時間を取ってから移るようにしてください。

表WA-4. システムクロック制御レジスタ0と1の設定値に対する動作モード

CM17	CM16	CM07	CM06	CM05	CM04	BCLKの動作モード
0	1	0	0	0	無効	2分周モード
1	0	0	0	0	無効	4分周モード
無効	無効	0	1	0	無効	8分周モード
1	1	0	0	0	無効	16分周モード
0	0	0	0	0	無効	分周なしモード
無効	無効	1	無効	0	1	低速モード
無効	無効	1	無効	1	1	低消費電力モード

パワーコントロール

パワーコントロール

パワーコントロールの概要について説明します。

モード

パワーコントロールには3つのモードがあります。

(1) 通常動作モード

高速モード

メインクロックの1分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、各周辺機能で設定したクロックで動作します。

中速モード

メインクロックの2分周、4分周、8分周、または16分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、周辺機能ごとに設定したクロックで動作します。

低速モード

fcがBCLKとなるモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。周辺機能は、周辺機能ごとに設定したクロックで動作します。

低消費電力モード

低速モードからメインクロックを停止させたモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。カウントソースとしてサブクロックを選択している周辺機能だけ動作します。

(2) ウェイトモード

CPUの動作を停止させるモードです。発振器は停止しません。

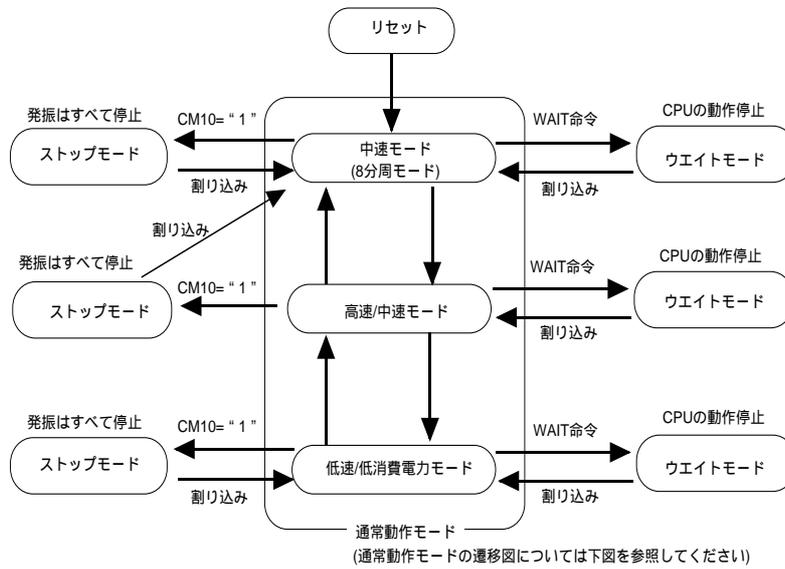
(3) ストップモード

すべての発振器が停止するモードです。CPUや内蔵の周辺機能はすべて停止します。パワーコントロールの3つのモードの中で一番消費電流を少なくすることができます。

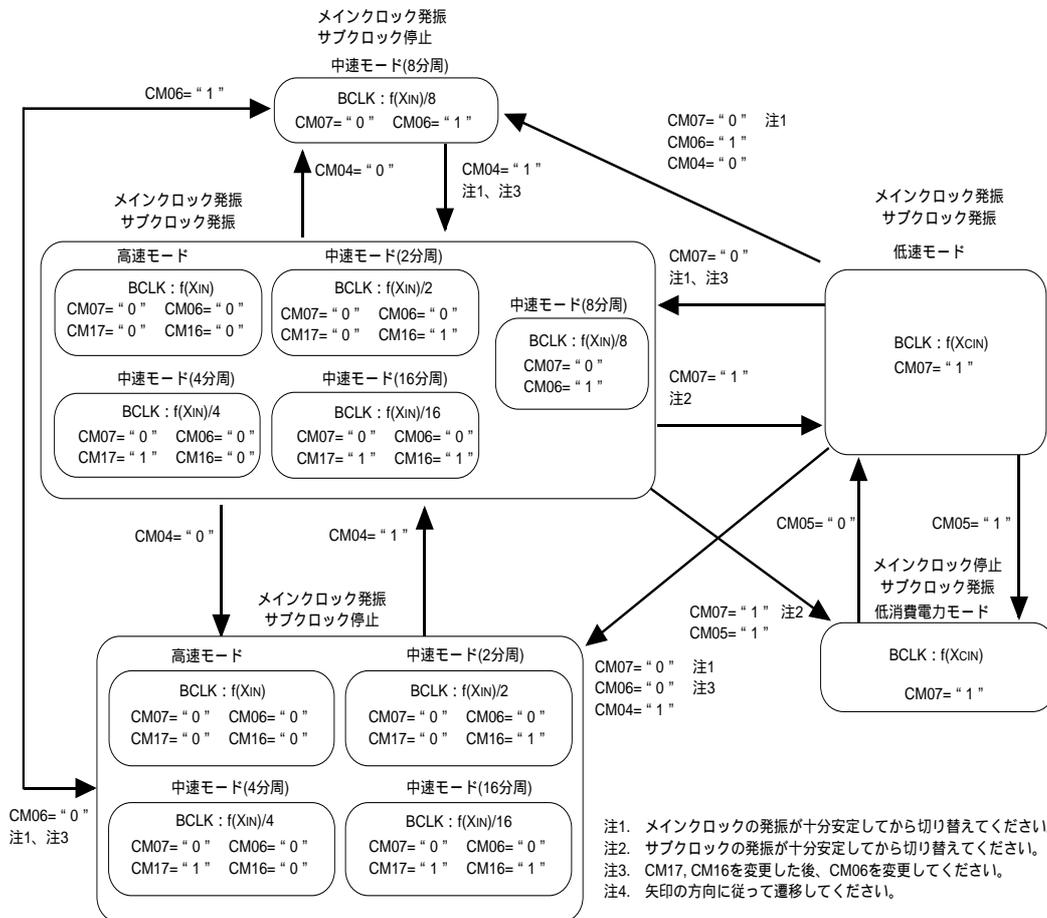
(1)～(3)の状態遷移図を図WA-5に示します。

パワーコントロール

ストップモード、ウエイトモードの遷移図



通常動作モードの遷移図



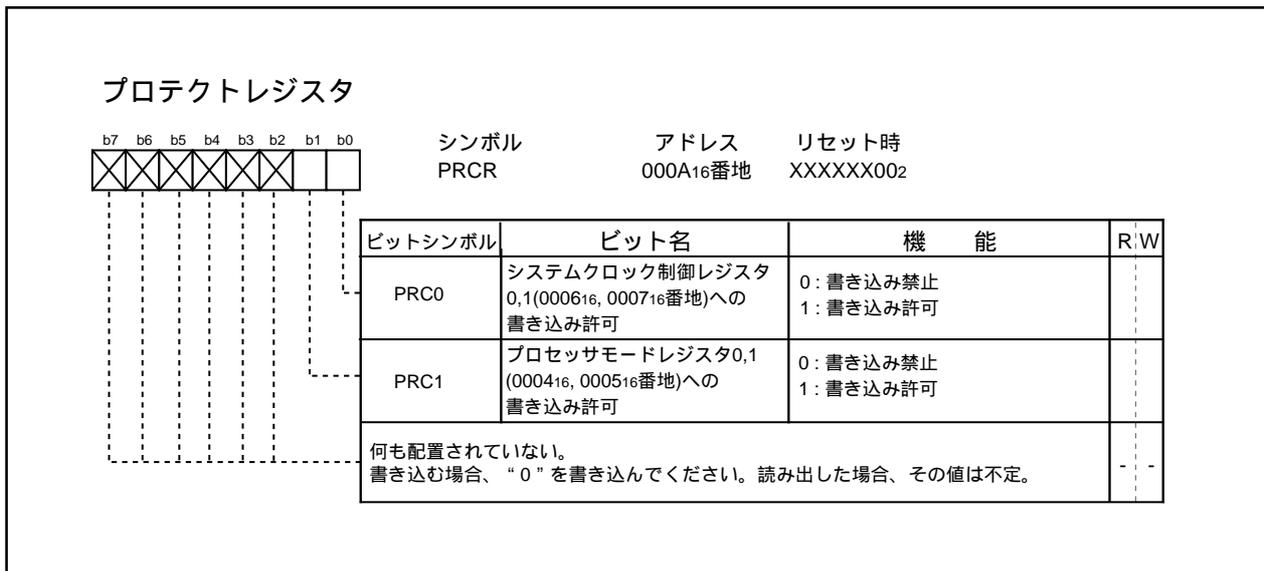
図WA-5. 状態遷移図

プロテクト

プロテクト

プログラムが暴走したときに備え、重要なレジスタは、簡単に書き替えることができないようにプロテクトする機能を持ちます。図WA-6にプロテクトレジスタの構成を示します。プロセッサモードレジスタ0(0004₁₆番地)、プロセッサモードレジスタ1(0005₁₆番地)、システムクロック制御レジスタ0(0006₁₆番地)、システムクロック制御レジスタ1(0007₁₆番地)は、プロテクトレジスタの対応するビットが“1”のときだけ書き替えることができます。

システムクロック制御レジスタ0,1書き込み許可ビット(000A₁₆番地のビット0)およびプロセッサモードレジスタ0,1書き込み許可ビット(000A₁₆番地のビット1)は任意の番地に書き込みを実行しても“0”にならないのでプログラムで“0”にしてください。



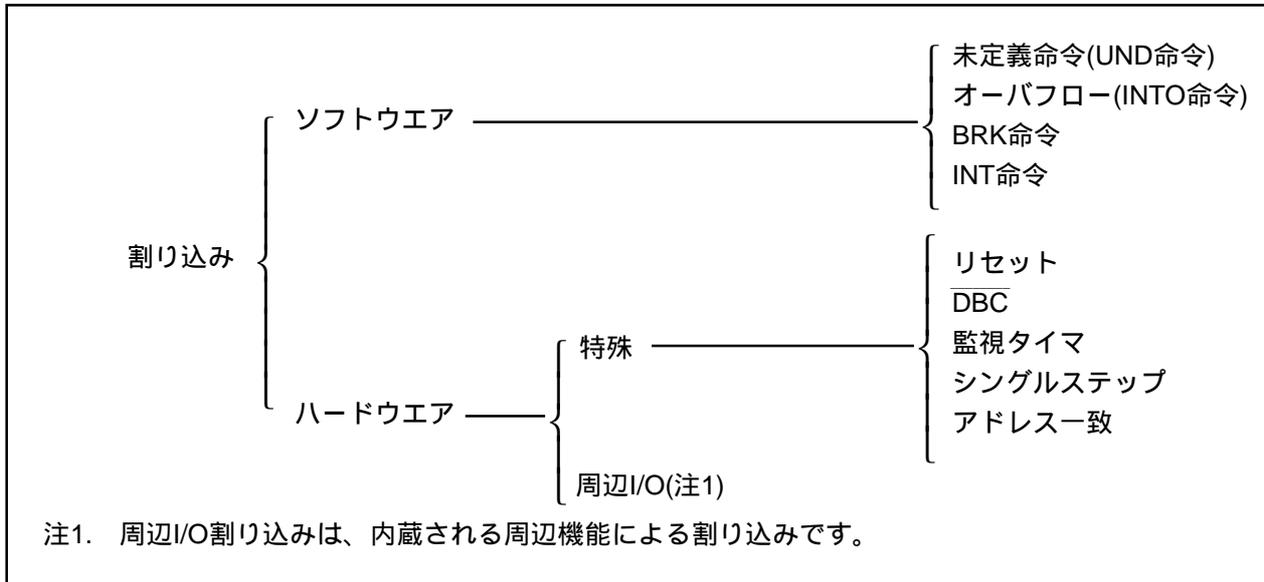
図WA-6. プロテクトレジスタの構成

割り込み

割り込みの概要

割り込みの分類

図DD-1に割り込みの分類を示します。



図DD-1. 割り込みの分類

- マスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**
- ノンマスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

割り込み

ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスクابل割り込みです。

未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

オーバフロー割り込み

オーバフロー割り込みは、オーバフローフラグ(Oフラグ)が“1”のときINTO命令を実行すると発生します。演算によってOフラグが変化する命令を以下に示します。

ABS, ADC, ADCF, ADD, CMP, DIV, DIVU, DIVX, NEG, RMPA, SBB, SHA, SUB

BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

INT命令割り込み

INT命令割り込みは、ソフトウェア割り込み番号0～63を指定し、INT命令を実行すると発生します。なお、ソフトウェア割り込み番号0～31は周辺I/O割り込みに割り当てられますので、INT命令を実行することで周辺I/O割り込みと同じ割り込みルーチンを実行できます。

INT命令割り込みに使用するスタックポインタ(SP)は、ソフトウェア割り込み番号によって異なります。ソフトウェア割り込み番号0～31では、割り込み要求受け付け時にスタックポインタ指定フラグ(Uフラグ)を退避し、Uフラグを“0”にして割り込みスタックポインタ(ISP)を選択した後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに割り込み要求受け付け前のUフラグが復帰されます。ソフトウェア割り込み番号32～63では、スタックポインタは切り替わりません。

割り込み

ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺I/O割り込みがあります。

特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

(1) リセット

リセットは、 $\overline{\text{RESET}}$ 端子に“L”を入力すると発生します。

(2) DBC割り込み

デバッグ専用割り込みですので、通常は使用しないでください。

(3) 監視タイマ割り込み

監視タイマによる割り込みです。

(4) シングルステップ割り込み

デバッグ専用割り込みですので、通常は使用しないでください。シングルステップ割り込みは、デバッグフラグ(Dフラグ)を“1”にすると、命令を1つ実行した後に発生します。

(5) アドレス一致割り込み

アドレス一致割り込みは、アドレス一致割り込み許可ビットを“1”にしたとき、アドレス一致割り込みレジスタで示される番地の命令を実行する直前に発生します。

アドレス一致レジスタに命令の先頭番地以外の番地を設定した場合は、アドレス一致割り込みは発生しません。

周辺I/O割り込み

周辺I/O割り込みは、内蔵される周辺機能による割り込みです。内蔵される周辺機能は品種展開によって異なりますので、それぞれの割り込み要因も品種展開によって異なります。割り込みベクタテーブルはINT命令で使用するソフトウェア割り込み番号0~31と同一です。周辺I/O割り込みは、マスカブル割り込みです。

(1) DMA0、DMA1割り込み

DMAによる割り込みです。

(2) A-D変換割り込み

A-D変換器による割り込みです。

(3) UART0、UART1送信割り込み

シリアルI/Oの送信による割り込みです。

(4) UART0、UART1受信割り込み

シリアルI/Oの受信による割り込みです。

(5) S/I/O自動転送割り込み

自動転送付きシリアルI/Oによる割り込みです。

(6) FLD割り込み

FLDによる割り込みです。

(7) タイマA0~タイマA4割り込み

タイマAによる割り込みです。

(8) タイマB0~タイマB2割り込み

タイマBによる割り込みです。

(9) $\overline{\text{INT0}}$ ~ $\overline{\text{INT5}}$ 割り込み

$\overline{\text{INT}}$ 割り込みは、 $\overline{\text{INT}}$ 端子に立ち下がりエッジ、または立ち上がりエッジを入力すると発生します。

割り込み

割り込みと割り込みベクタテーブル

割り込み要求が受け付けられると、割り込みベクタテーブルに設定した割り込みルーチンへ分岐します。各割り込みベクタテーブルには、割り込みルーチンの先頭番地を設定してください。図DD-2にアドレスの指定形式を示します。

割り込みベクタテーブルには、アドレスが固定されている固定ベクタテーブルと設定によってベクタテーブルの番地を変更できる可変ベクタテーブルがあります。

	MSB	LSB
ベクタアドレス+0	アドレスの下位	
ベクタアドレス+1	アドレスの中位	
ベクタアドレス+2	XXXX	アドレスの上位
ベクタアドレス+3	XXXX	XXXX

図DD-2. 割り込みベクタの指定アドレス

固定ベクタテーブル

固定ベクタテーブルは、アドレスが固定のベクタテーブルで、FFFDC₁₆番地からFFFFF₁₆番地に配置されています。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定します。表DD-1に固定ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表DD-1. 固定ベクタテーブルに配置している割り込みとベクタテーブルの番地

割り込み要因	ベクタテーブル番地 アドレス(L)~アドレス(H)	備考
未定義命令	FFFDC ₁₆ ~ FFFDF ₁₆	UND命令で割り込み
オーバフロー	FFFE0 ₁₆ ~ FFFE3 ₁₆	INTO命令で割り込み
BRK命令	FFFE4 ₁₆ ~ FFFE7 ₁₆	ベクタの内容がすべてFF ₁₆ の場合は可変ベクタテーブル内のベクタが示す番地から実行
アドレス一致	FFFE8 ₁₆ ~ FFFE _{B16}	アドレス一致割り込み許可ビットあり
シングルステップ(注1)	FFFE _{C16} ~ FFFE _{F16}	通常は使用禁止
監視タイマ	FFFF0 ₁₆ ~ FFFF3 ₁₆	
DBC(注1)	FFFF4 ₁₆ ~ FFFF7 ₁₆	通常は使用禁止
未使用	FFFF8 ₁₆ ~ FFFF _{B16}	未使用
リセット	FFFF _{C16} ~ FFFF _{F16}	

注1. デバッガ専用割り込み

割り込み

可変ベクタテーブル

可変ベクタテーブルは、設定によってアドレスを変更することができるベクタテーブルです。ベクタテーブルの先頭番地を、割り込みテーブルレジスタ(INTB)で示してください。INTBで示された先頭番地から256バイトが可変ベクタテーブルの領域となります。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定してください。表DD-2に可変ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表DD-2. 可変ベクタテーブルに配置している割り込みとベクタテーブルの番地

ソフトウェア割り込み番号	ベクタテーブル番地 アドレス(L)~アドレス(H)	割り込み要因	備考
ソフトウェア割り込み番号0	+0 ~ +3(注1)	BRK命令	Iフラグによるマスク不可
ソフトウェア割り込み番号7	+28 ~ +31(注1)	INT3	
ソフトウェア割り込み番号8	+32 ~ +35(注1)	INT4	
ソフトウェア割り込み番号9	+36 ~ +39(注1)	INT5	
ソフトウェア割り込み番号11	+44 ~ +47(注1)	DMA0	
ソフトウェア割り込み番号12	+48 ~ +51(注1)	DMA1	
ソフトウェア割り込み番号14	+56 ~ +59(注1)	A-D	
ソフトウェア割り込み番号15	+60 ~ +63(注1)	SI/O自動転送	
ソフトウェア割り込み番号16	+64 ~ +67(注1)	FLD	
ソフトウェア割り込み番号17	+68 ~ +71(注1)	UART0送信	
ソフトウェア割り込み番号18	+72 ~ +75(注1)	UART0受信	
ソフトウェア割り込み番号19	+76 ~ +79(注1)	UART1送信	
ソフトウェア割り込み番号20	+80 ~ +83(注1)	UART1受信	
ソフトウェア割り込み番号21	+84 ~ +87(注1)	タイマA0	
ソフトウェア割り込み番号22	+88 ~ +91(注1)	タイマA1	
ソフトウェア割り込み番号23	+92 ~ +95(注1)	タイマA2	
ソフトウェア割り込み番号24	+96 ~ +99(注1)	タイマA3	
ソフトウェア割り込み番号25	+100 ~ +103(注1)	タイマA4	
ソフトウェア割り込み番号26	+104 ~ +107(注1)	タイマB0	
ソフトウェア割り込み番号27	+108 ~ +111(注1)	タイマB1	
ソフトウェア割り込み番号28	+112 ~ +115(注1)	タイマB2	
ソフトウェア割り込み番号29	+116 ~ +119(注1)	INT0	
ソフトウェア割り込み番号30	+120 ~ +123(注1)	INT1	
ソフトウェア割り込み番号31	+124 ~ +127(注1)	INT2	
ソフトウェア割り込み番号32 ソフトウェア割り込み番号63	+128 ~ +131(注1) +252 ~ +255(注1)	ソフトウェア割り込み	Iフラグによるマスク不可

注1. 割り込みテーブルレジスタ(INTB)が示すアドレスからの相対アドレスです。

割り込み

割り込み制御

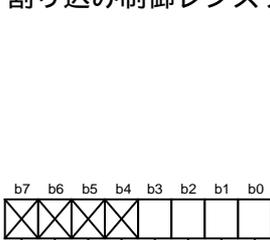
マスクブル割り込みの許可/禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスクブル割り込みには該当しません。

マスクブル割り込みの許可および禁止は、割り込み許可フラグ(Iフラグ)、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)によって行います。また、割り込み要求の有無は、割り込み要求ビットに示されます。割り込み要求ビットおよび割り込み優先レベル選択ビットは、各割り込みの割り込み制御レジスタに配置されています。また、割り込み許可フラグ(Iフラグ)、およびプロセッサ割り込み優先レベル(IPL)は、フラグレジスタ(FLG)に配置されています。

図DD-3に割り込み制御レジスタの構成を示します。

割り込み

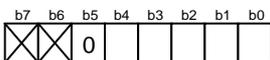
割り込み制御レジスタ(注2)



シンボル	アドレス	リセット時
DMiIC(i=0,1)	004B ₁₆ , 004C ₁₆ 番地	XXXXX0002
ADIC	004E ₁₆ 番地	XXXXX0002
ASIOIC	004F ₁₆ 番地	XXXXX0002
FLDIC	0050 ₁₆ 番地	XXXXX0002
SiTIC(i=0,1)	0051 ₁₆ , 0053 ₁₆ 番地	XXXXX0002
SiRIC(i=0,1)	0052 ₁₆ , 0054 ₁₆ 番地	XXXXX0002
TAiIC(i=0~4)	0055 ₁₆ ~0059 ₁₆ 番地	XXXXX0002
TBiIC(i=0~2)	005A ₁₆ ~005C ₁₆ 番地	XXXXX0002

ビットシンボル	ビット名	機能	R	W
ILVL0	割り込み優先レベル 選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止) 0 0 1 : レベル1 0 1 0 : レベル2 0 1 1 : レベル3 1 0 0 : レベル4 1 0 1 : レベル5 1 1 0 : レベル6 1 1 1 : レベル7		
ILVL1				
ILVL2				
IR		割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			-	-

- 注1. “0”だけ書き込み可(“1”を書き込まないでください)。
 注2. 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、割り込みの注意事項を参照してください。



シンボル	アドレス	リセット時
INTiIC(i=0~5)	0047 ₁₆ ~0049 ₁₆ 番地 005D ₁₆ ~005F ₁₆ 番地	XX00X0002

ビットシンボル	ビット名	機能	R	W
ILVL0	割り込み優先レベル 選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止) 0 0 1 : レベル1 0 1 0 : レベル2 0 1 1 : レベル3 1 0 0 : レベル4 1 0 1 : レベル5 1 1 0 : レベル6 1 1 1 : レベル7		
ILVL1				
ILVL2				
IR		割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	
POL	極性切り替えビット	0 : 立ち下がりエッジを選択 1 : 立ち上がりエッジを選択		
予約ビット		必ず“0”を設定してください		
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			-	-

- 注1. “0”だけ書き込み可(“1”を書き込まないでください)。
 注2. 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、割り込みの注意事項を参照してください。

図DD-3. 割り込み制御レジスタの構成

割り込み

割り込み許可フラグ(Iフラグ)

割り込み許可フラグ(Iフラグ)は、マスカブル割り込みの禁止/許可の制御を行います。このフラグを“1”にすると、すべてのマスカブル割り込みは許可され、“0”にすると禁止されます。このフラグはリセット解除後“0”になります。

割り込み要求ビット

割り込み要求ビットは割り込み要求が発生すると、ハードウェアによって“1”になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、このビットはハードウェアによって“0”になります。

また、このビットはソフトウェアによって“0”にできます(“1”を書き込まないでください)。

割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)

割り込み優先レベルは、割り込み制御レジスタの中の割り込み優先レベル選択ビットで設定します。

割り込み要求発生時、割り込み優先レベルは、プロセッサ割り込み優先レベル(IPL)と比較され、割り込みの優先レベルがプロセッサ割り込み優先レベル(IPL)より大きい場合だけ、その割り込みは許可されます。したがって、割り込み優先レベルにレベル0を設定すれば、その割り込みは禁止されます。

表DD-3に割り込み優先レベルの設定を、表DD-4にプロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベルを示します。

割り込み要求が受け付けられる条件を以下に示します。

- ・割り込み許可フラグ(Iフラグ) = “1”
- ・割り込み要求ビット = “1”
- ・割り込み優先レベル > プロセッサ割り込み優先レベル(IPL)

割り込み許可フラグ(Iフラグ)、割り込み要求ビット、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)はそれぞれ独立しており、互いに影響を与えることはありません。

表DD-3. 割り込み優先レベルの設定

割り込み優先レベル 選択ビット	割り込み優先レベル	優先順位
b2 b1 b0 0 0 0	レベル0(割り込み禁止)	———
0 0 1	レベル1	低い ↓ 高い
0 1 0	レベル2	
0 1 1	レベル3	
1 0 0	レベル4	
1 0 1	レベル5	
1 1 0	レベル6	
1 1 1	レベル7	

表DD-4. プロセッサ割り込み優先レベル(IPL)
の内容による割り込み許可レベル

プロセッサ割り込み 優先レベル(IPL)	許可される割り込み優先レベル
IPL ₂ IPL ₁ IPL ₀ 0 0 0	レベル1以上を許可
0 0 1	レベル2以上を許可
0 1 0	レベル3以上を許可
0 1 1	レベル4以上を許可
1 0 0	レベル5以上を許可
1 0 1	レベル6以上を許可
1 1 0	レベル7以上を許可
1 1 1	すべてのマスカブル割り込みを禁止

割り込み

割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

< 割り込み制御レジスタを書き換えるプログラム例 >

例 1 :

```
INT_SWITCH1 :
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0055H ; タイマA0割り込み制御レジスタに "0016" を設定
  NOP
  NOP
  FSET   I           ; 割り込み許可状態
```

例 2 :

```
INT_SWITCH2 :
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0055H ; タイマA0割り込み制御レジスタに "0016" を設定
  MOV.W  MEM, R0     ; ダミーリード
  FSET   I           ; 割り込み許可状態
```

例 3 :

```
INT_SWITCH3 :
  PUSHC  FLG
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0055H ; タイマA0割り込み制御レジスタに "0016" を設定
  POPC   FLG        ; 割り込み許可状態
```

例 1 と例 2 で FSET I 命令の前に NOP 命令 2 個 (HOLD 機能使用時は 4 個) や ダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

割り込み

割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB, SMOVF, SSTR, RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次の動作を順次行います。

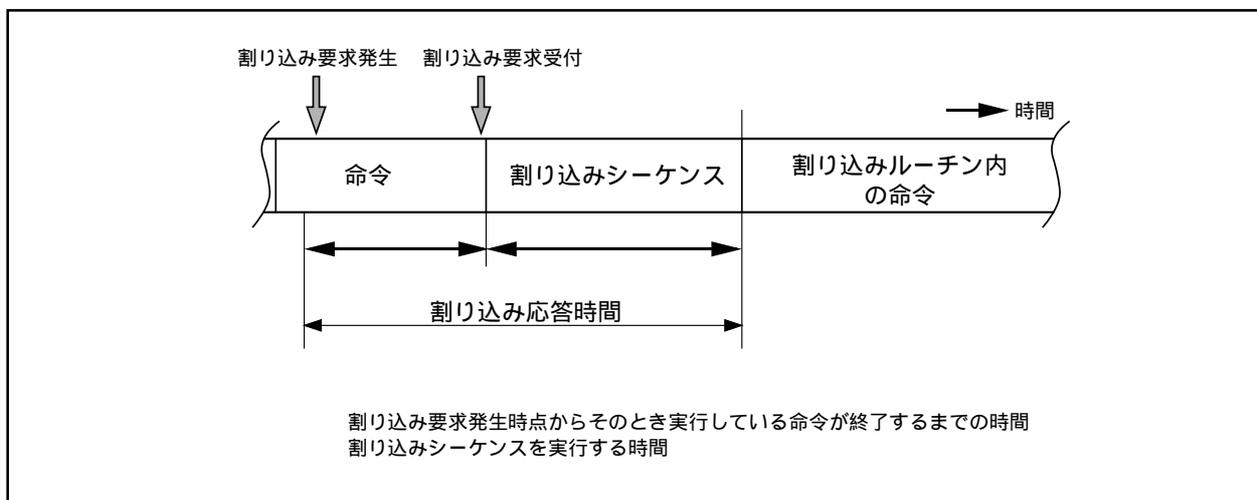
- (1) 00000_{16} 番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得する。その後、該当する割り込みの要求ビットが“0”になる。
- (2) 割り込みシーケンス直前のフラグレジスタ(FLG)の内容をCPU内部の一時レジスタ(注1)に退避する。
- (3) 割り込み許可フラグ(Iフラグ)、デバッグフラグ(Dフラグ)、およびスタックポインタ指定フラグ(Uフラグ)を“0”にする(ただしUフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません)。
- (4) CPU内部の一時レジスタ(注1)の内容をスタック領域に退避する。
- (5) プログラムカウンタ(PC)の内容をスタック領域に退避する。
- (6) プロセッサ割り込み優先レベル(IPL)に、受け付けた割り込みの割り込み優先レベルを設定する。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

割り込み応答時間

割り込み応答時間とは、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間を示します。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(a)と割り込みシーケンスを実行する時間(b)で構成されます。図DD-4に割り込み応答時間を示します。



図DD-4. 割り込み応答時間

割り込み

(a)の時間は、実行している命令によって異なります。DIVX命令が最大で30サイクルです。

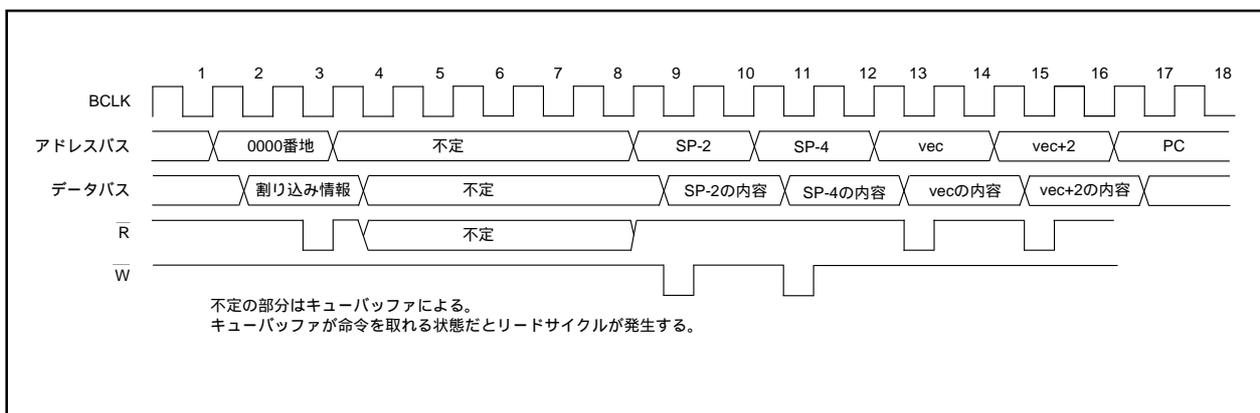
(b)の時間は次のとおりです。

表DD-5. 割り込みシーケンス実行時間

割り込みベクタの番地	スタックポインタ(SP)の値	16ビットバス	8ビットバス
偶数	偶数	18サイクル(注1)	20サイクル(注1)
偶数	奇数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	偶数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	奇数	20サイクル(注1)	20サイクル(注1)

注1. DBC割り込みは+2サイクル、アドレス一致割り込み、シングルステップ割り込みは+1サイクルしてください。

注2. 割り込みベクタの番地は、なるべく偶数番地に配置するようにしてください。



図DD-5. 割り込みシーケンスの実行時間

割り込み要求受付時のプロセッサ割り込み優先レベル(IPL)の変化

割り込み要求が受け付けられると、プロセッサ割り込み優先レベル(IPL)には受け付けた割り込みの割り込み優先レベルが設定されます。

割り込み優先レベルをもたない割り込み要求が受け付けられたときは、表DD-6に示す値がIPLに設定されます。

表DD-6. 割り込み優先レベルをもたない割り込みとIPLの関係

割り込み優先レベルをもたない割り込み要因	設定される IPL の値
監視タイマ	7
リセット	0
その他	変化しない

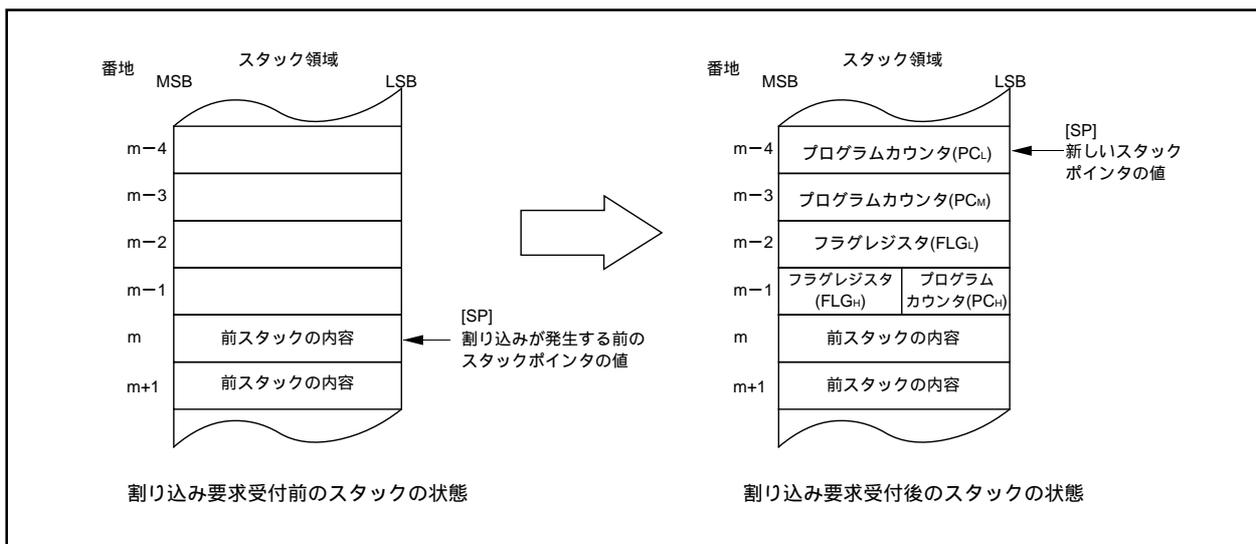
割り込み

レジスタ退避

割り込みシーケンスでは、フラグレジスタ(FLG)とプログラムカウンタ(PC)の内容だけがスタック領域に退避されます。

退避する順番は、スタック領域へはプログラムカウンタの上位4ビットとFLGレジスタの上位4ビットおよび下位8ビットの合計16ビットをまず退避し、次にプログラムカウンタの下位16ビットを退避します。図DD-6に割り込み要求受付前のスタックの状態と、割り込み要求受付後のスタックの状態を示します。

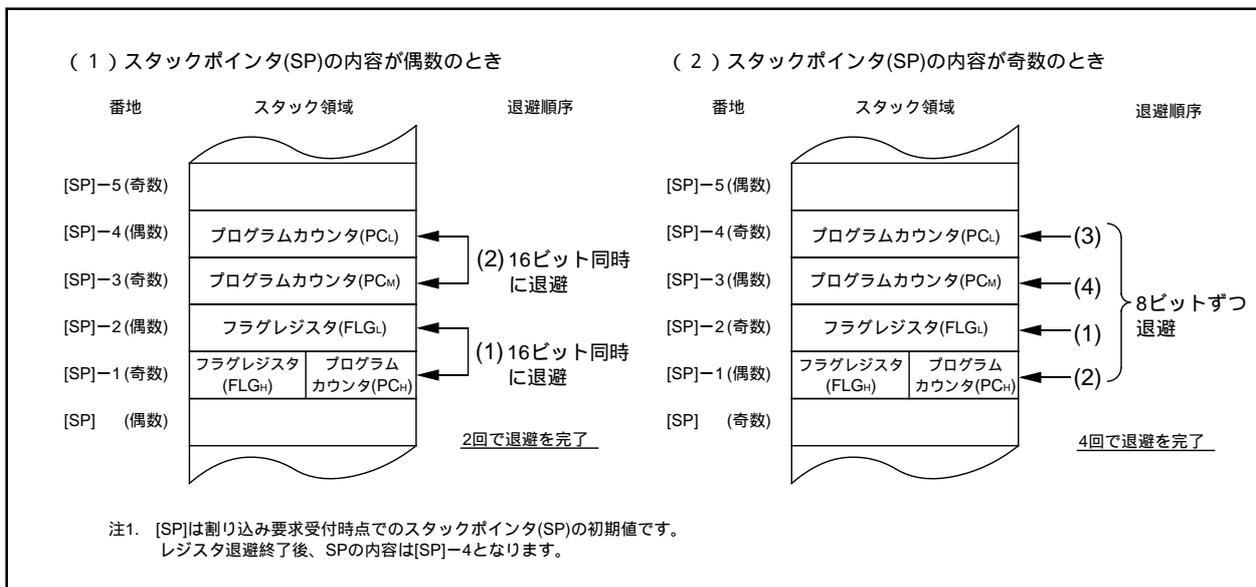
その他の必要なレジスタは、割り込みルーチンの最初でソフトウェアによって退避してください。PUSHM命令を用いると、1命令でスタックポインタ(SP)を除くすべてのレジスタを退避することができます。



図DD-6. 割り込み要求受付前 / 割り込み要求受付後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受付時のスタックポインタ(注1)の内容が偶数の場合と奇数の場合で異なります。スタックポインタ(注1)の内容が偶数の場合は、フラグレジスタ(FLG)およびプログラムカウンタ(PC)の内容がそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図DD-7にレジスタ退避動作を示します。

注1. Uフラグが示すスタックポインタです。



図DD-7. レジスタ退避動作

割り込み

割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタック領域に退避されていた割り込みシーケンス直前のフラグレジスタ(FLG)、およびプログラムカウンタ(PC)の内容が復帰されます。その後、割り込み要求受付前に実行していたプログラムに戻り、中断されていた処理が継続して実行されます。

割り込みルーチン内でソフトウェアによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺I/O割り込み)の優先順位は、割り込み優先レベル選択ビットによって任意の優先順位を設定することができます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先度の高い割り込みが受け付けられます。

リセット(リセットは優先順位が一番高い割り込みとして扱われます)、監視タイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。ハードウェア割り込みの割り込み優先順位を図DD-8に示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると必ず割り込みルーチンへ分岐します。

割り込み優先レベル判定回路

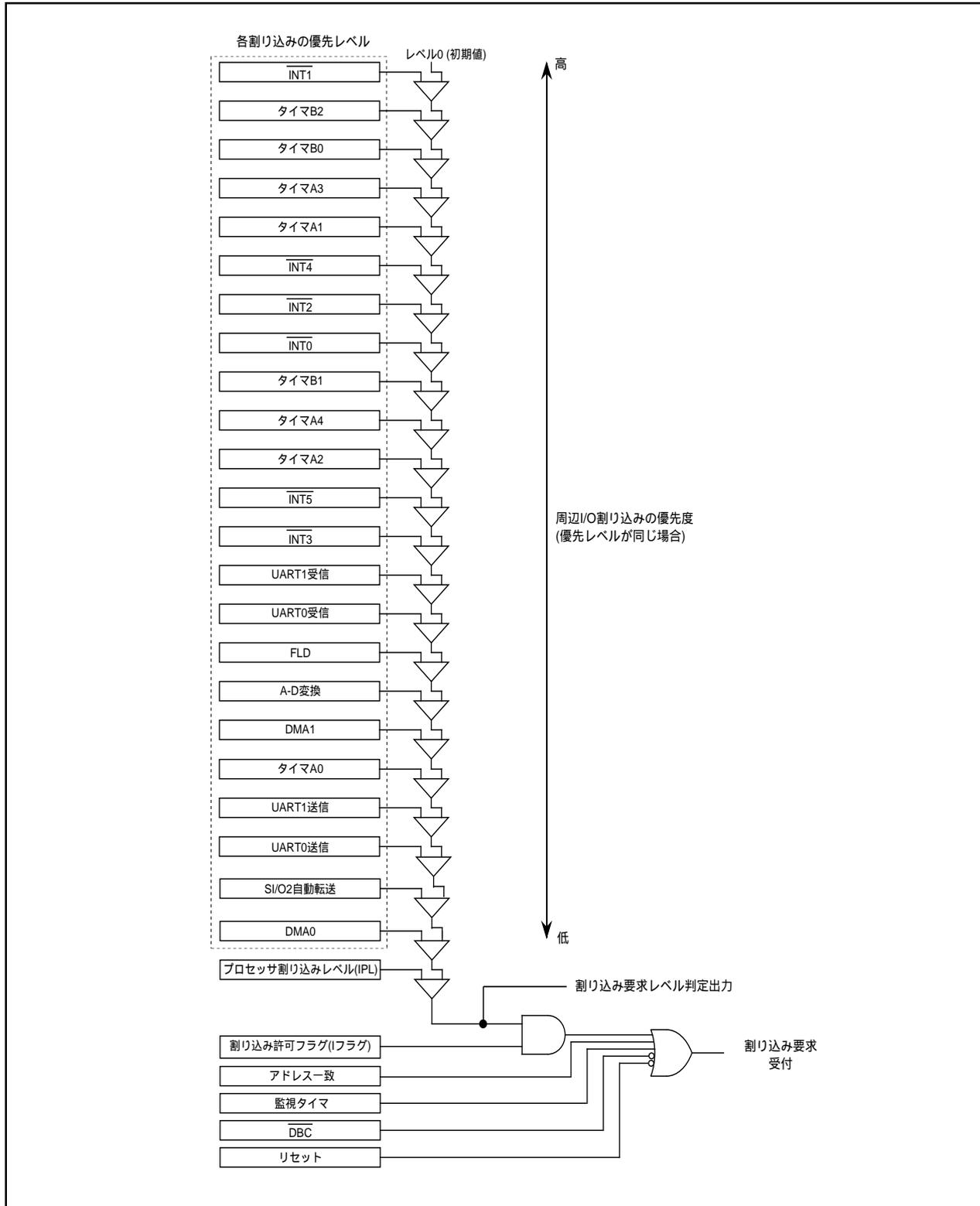
割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図DD-9に割り込み優先レベルの判定回路を示します。

割り込み

リセット > \overline{DBC} > 監視タイマ > アドレス一致 > シングルステップ > アドレス一致

図DD-8. ハードウェア割り込みの割り込み優先順位



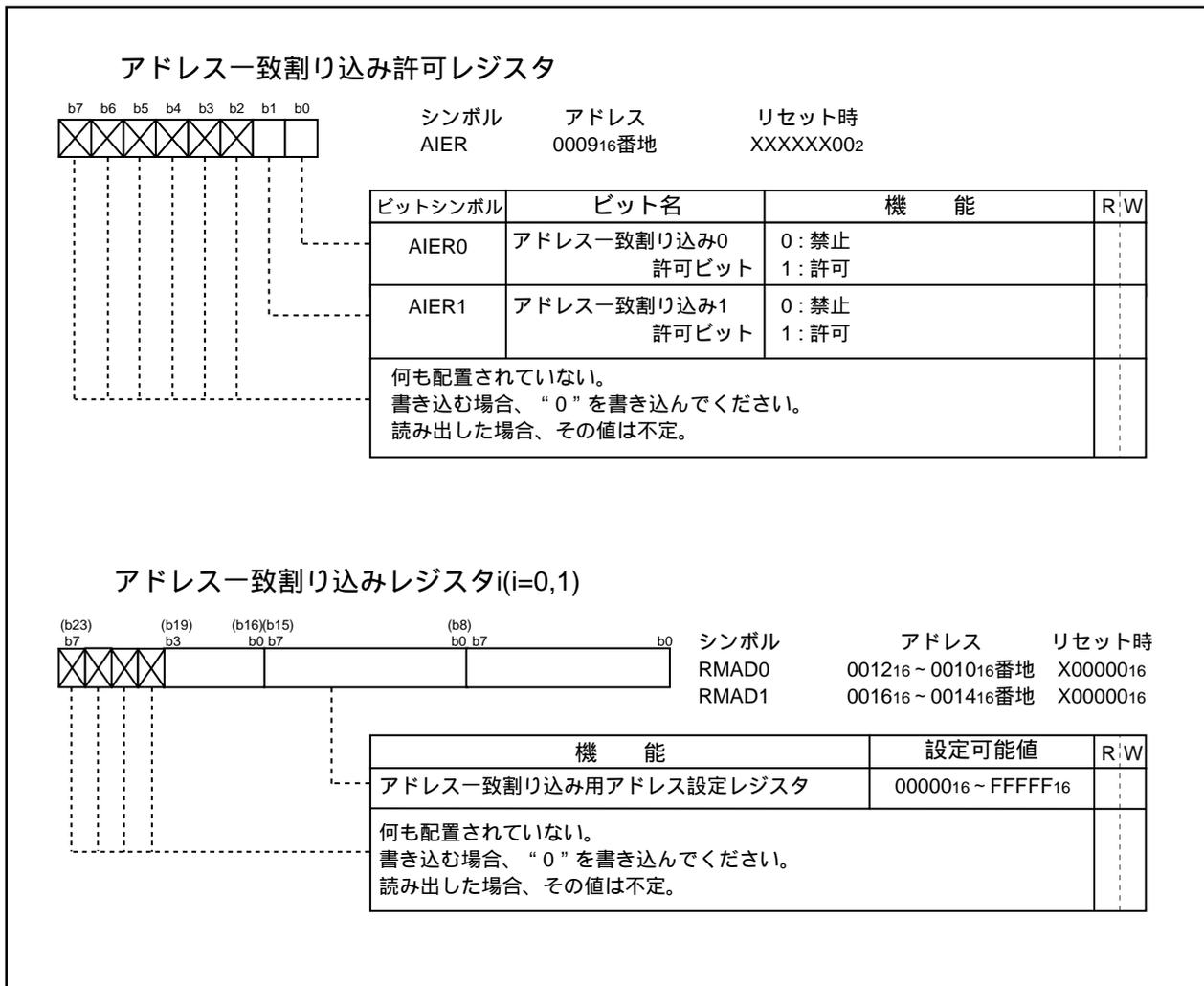
図DD-9. 割り込み優先レベル判定回路

アドレス一致割り込み

アドレス一致割り込み

アドレス一致割り込みレジスタで示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。アドレス一致割り込みは2カ所に設定することができ、割り込みの禁止/許可は、各々のアドレス一致割り込み許可ビットで選択することができます。アドレス一致割り込みは、割り込み許可フラグ(Iフラグ)やプロセッサ割り込み優先レベル(IPL)の影響は受けません。また、アドレス一致割り込みは、実行している命令により退避するプログラムカウンタ(PC)の値が異なります。

図DD-12にアドレス一致割り込み関連レジスタの構成を示します。



図DD-12. アドレス一致割り込み関連レジスタの構成

割り込みの注意事項

割り込みの注意事項

(1) 00000₁₆番地の読み出し

マスクブル割り込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を00000₁₆番地から読み出します。

それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。

ソフトウェアにより00000₁₆番地を読み出しても、許可されている最も優先度の高い割り込み要因の要求ビットが“0”になります。そのため、割り込みが発生しても割り込みルーチンを実行しない可能性があります。

したがって、ソフトウェアで00000₁₆番地に対して読み出しを行わないでください。

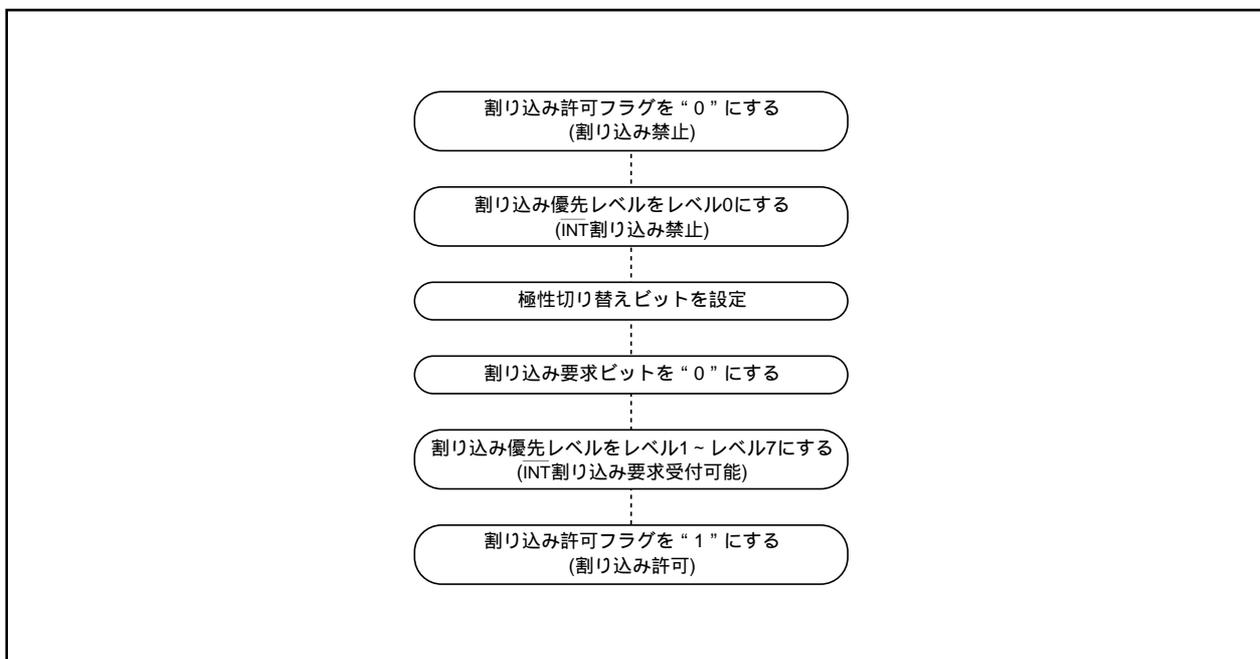
(2) スタックポインタの設定

リセット直後スタックポインタの値は、“0000₁₆”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。

(3) 外部割り込み

$\overline{\text{INT}}_0 \sim \overline{\text{INT}}_5$ 端子に入力する信号には、CPUの動作クロックに関係なく250ns以上の“L”レベル幅、または“H”レベル幅が必要です。

$\overline{\text{INT}}_0 \sim \overline{\text{INT}}_5$ 端子の極性を切り替えるときに割り込み要求ビットが“1”になることがあります。切り替えを行った後、割り込み要求ビットを“0”にしてください。 $\overline{\text{INT}}$ 割り込み発生要因の切り替え手順例を図DD-13に示します。



図DD-13. INT割り込み発生要因の切り替え

割り込みの注意事項

(4) 割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

<割り込み制御レジスタを書き換えるプログラム例>

例 1 :

```
INT_SWITCH1 :
  FCLR    I           ; 割り込み禁止状態
  AND.B   #00H, 0055H ; タイマA0割り込み制御レジスタに "0016" を設定
  NOP
  NOP
  FSET    I           ; 割り込み許可状態
```

例 2 :

```
INT_SWITCH2 :
  FCLR    I           ; 割り込み禁止状態
  AND.B   #00H, 0055H ; タイマA0割り込み制御レジスタに "0016" を設定
  MOV.W   MEM, R0     ; ダミーリード
  FSET    I           ; 割り込み許可状態
```

例 3 :

```
INT_SWITCH3 :
  PUSHC   FLG
  FCLR    I           ; 割り込み禁止状態
  AND.B   #00H, 0055H ; タイマA0割り込み制御レジスタに "0016" を設定
  POPC    FLG        ; 割り込み許可状態
```

例 1 と例 2 でFSET I命令の前にNOP命令 2 個 (HOLD機能使用時は 4 個) やダミーリードがあるのは、命令キューの影響により割り込み許可フラグ(Iフラグ)のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

監視タイマ

監視タイマ

監視タイマは、プログラムの暴走を検知する機能を持ちます。監視タイマは15ビットのカウンタを持ち、BCLKをプリスケータで分周したクロックをダウンカウントします。監視タイマがアンダフローすると、監視タイマ割り込みが発生します。BCLKにXINを選択している場合、監視タイマ制御レジスタ(000F₁₆番地)のビット7でプリスケータの分周比に16分周か128分周を選択することができます。BCLKにXCINを選択している場合、監視タイマ制御レジスタ(000F₁₆番地)のビット7に関係なくプリスケータの分周比は2分周になります。

BCLKにXINを選択している場合

$$\text{監視タイマの周期} = \frac{\text{プリスケータの分周比}(16\text{または}128) \times \text{監視タイマのカウント値}(32768)}{\text{BCLK}}$$

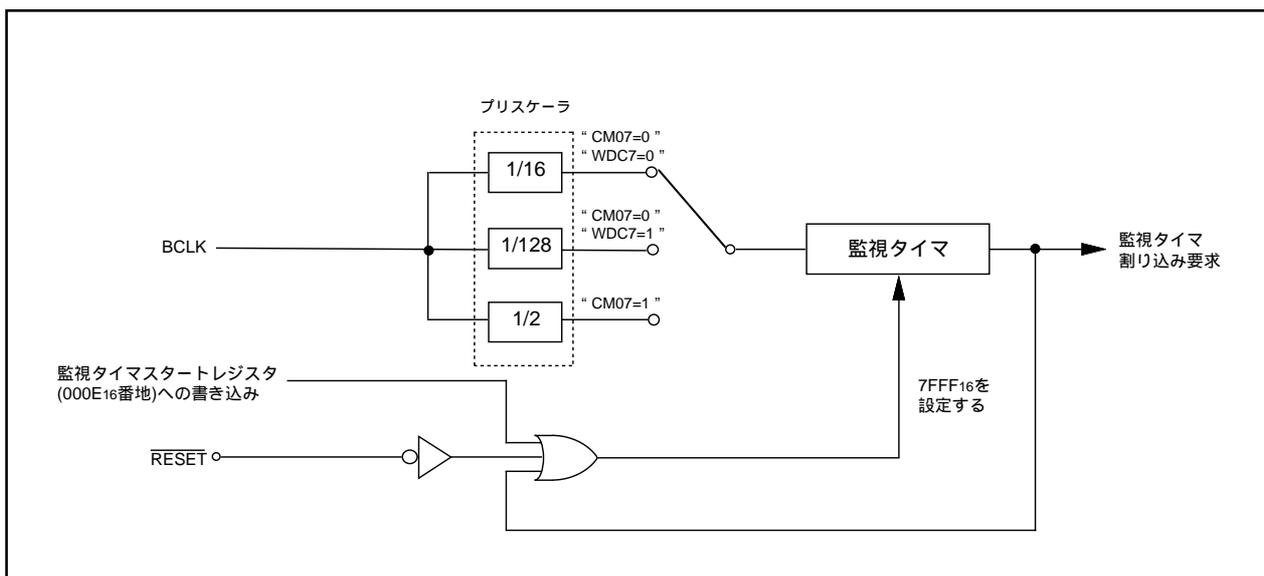
BCLKにXCINを選択している場合

$$\text{監視タイマの周期} = \frac{\text{プリスケータの分周比}(2) \times \text{監視タイマのカウント値}(32768)}{\text{BCLK}}$$

例えば、BCLKが10MHzで、プリスケータの分周比として16分周を選択している場合、監視タイマの周期は、約52.4msとなります。

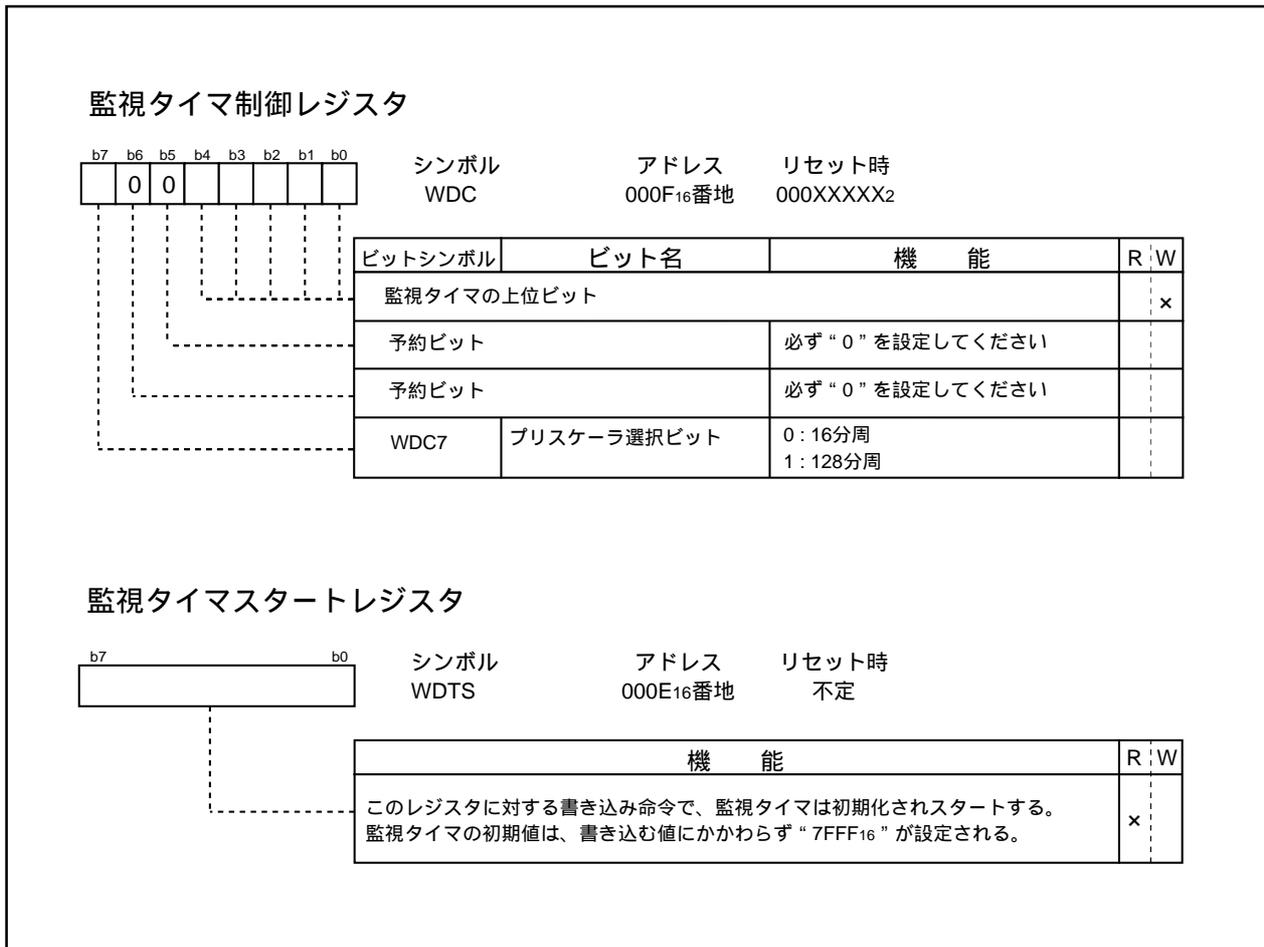
監視タイマは、監視タイマスタートレジスタ(000E₁₆番地)への書き込み動作時、および監視タイマ割り込み要求発生時に初期化されます。プリスケータは、リセット時だけ初期化されます。なお、リセット解除後は監視タイマおよびプリスケータは停止しており、監視タイマスタートレジスタ(000E₁₆番地)への書き込み動作によりカウントを開始します。

図FA-1に監視タイマのブロック図、図FA-2に監視タイマ関連レジスタの構成を示します。



図FA-1. 監視タイマのブロック図

監視タイマ

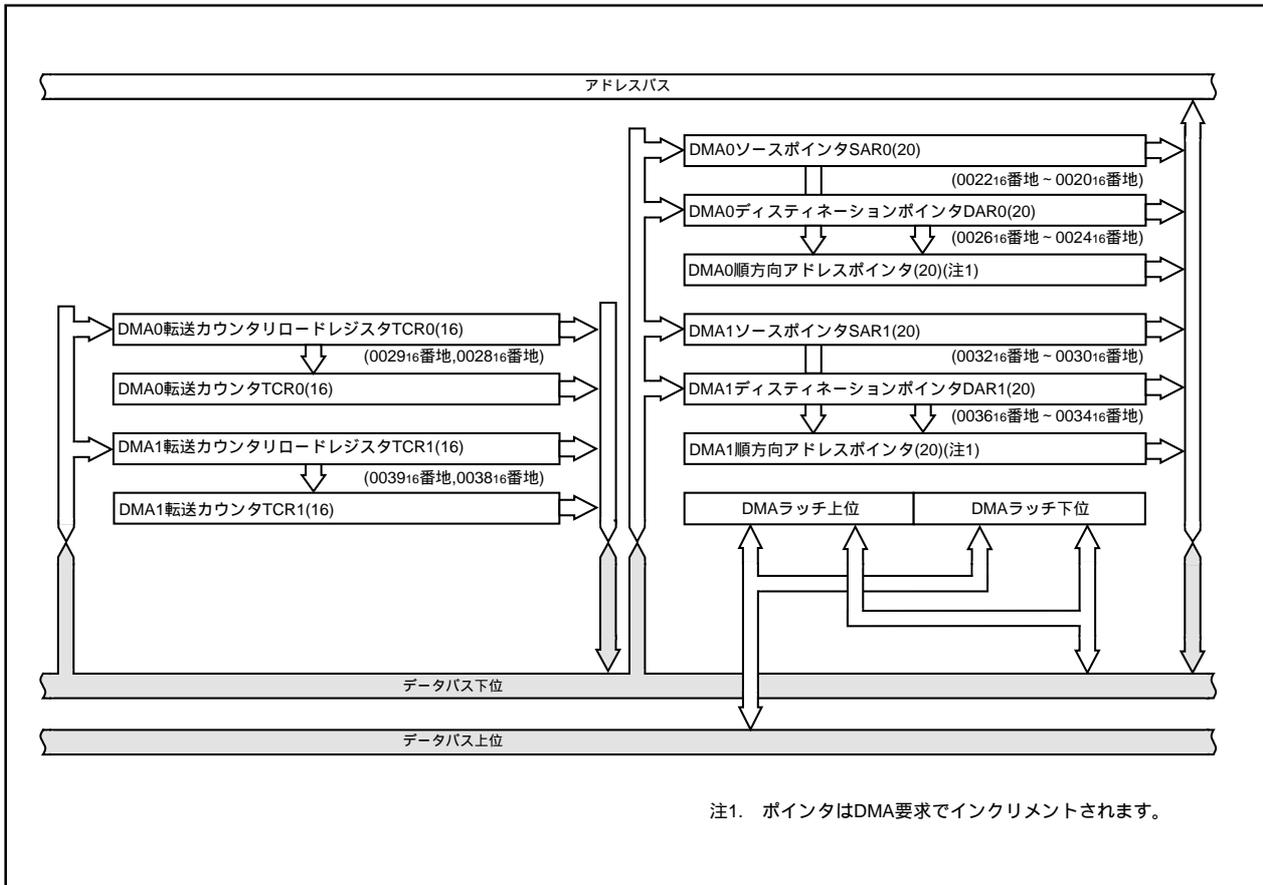


図FA-2. 監視タイマ関連レジスタ

DMAC

DMAC

CPUを使わずにデータを転送することのできるDMAC(ダイレクト・メモリ・アクセス・コントローラ)を2チャンネル内蔵しています。DMACはCPUと同じデータバスを使用しています。DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しています。そのため、DMA転送の要求信号が発生してから1ワード(16ビット)、または1バイト(8ビット)のデータ転送を完了するまでの動作を高速に行える特長があります。図EC-1にDMACのブロック図を、表EC-1にDMACの仕様を、図EC-2～図EC-3にDMACで使用するレジスタの構成を示します。



図EC-1. DMACブロック図

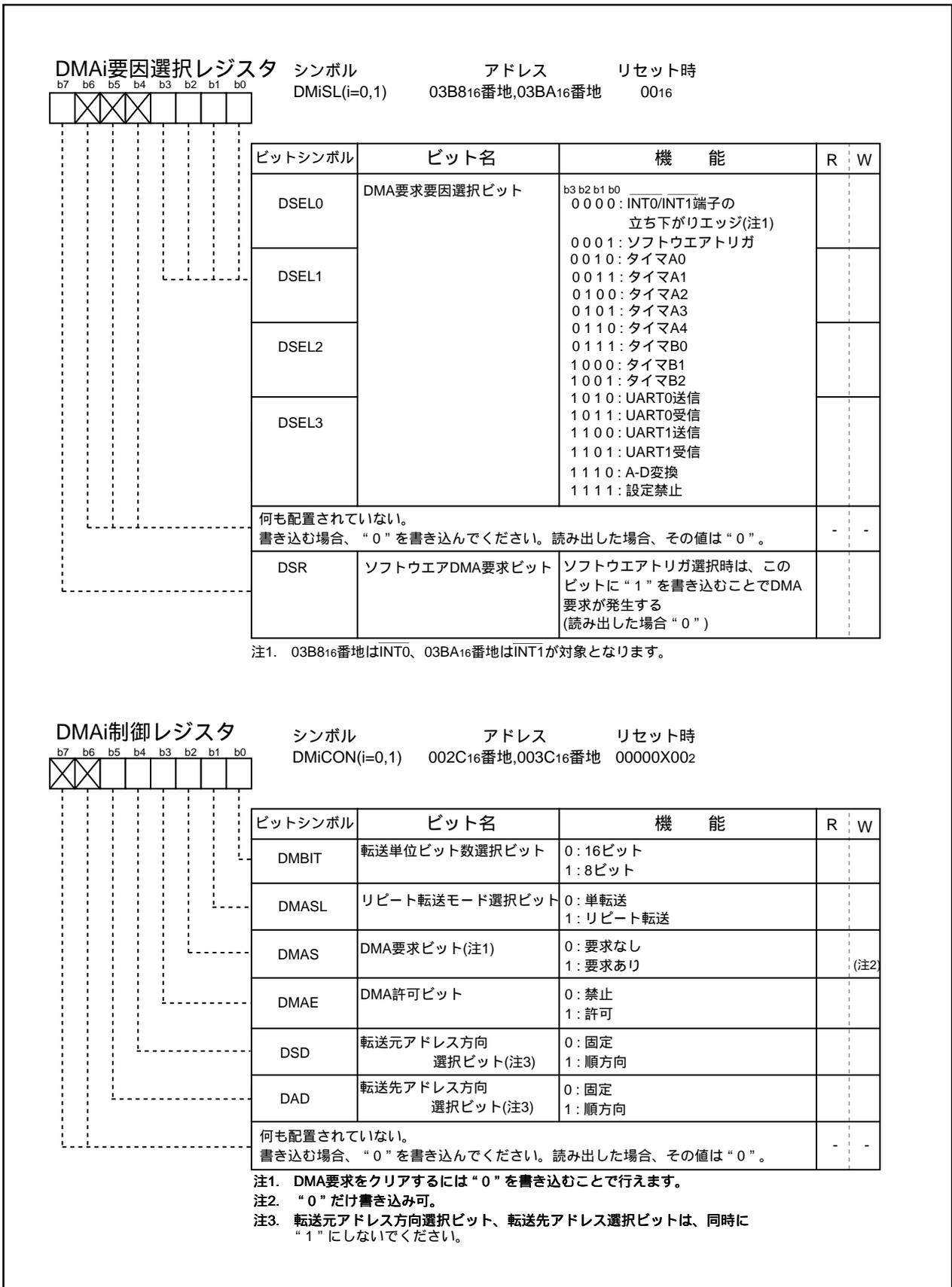
DMA転送の要求信号には、ソフトウェアDMA要求ビットへの書き込み信号や、割り込み要求信号を流用しています。しかし、DMA転送は、割り込み許可フラグ(1フラグ)や割り込み優先レベルなどの影響を受けません。また、各割り込みに影響を与えません。

DMACがアクティブ状態(DMA許可ビットが“1”の状態)であれば、DMA転送の要求信号が発生すると、データ転送が開始されます。ただし、DMA転送サイクルよりもDMA転送の要求信号が発生するサイクルが早い場合、転送要求回数と転送回数が一致しない場合があります。詳細についてはDMA要求ビットの説明を参照してください。

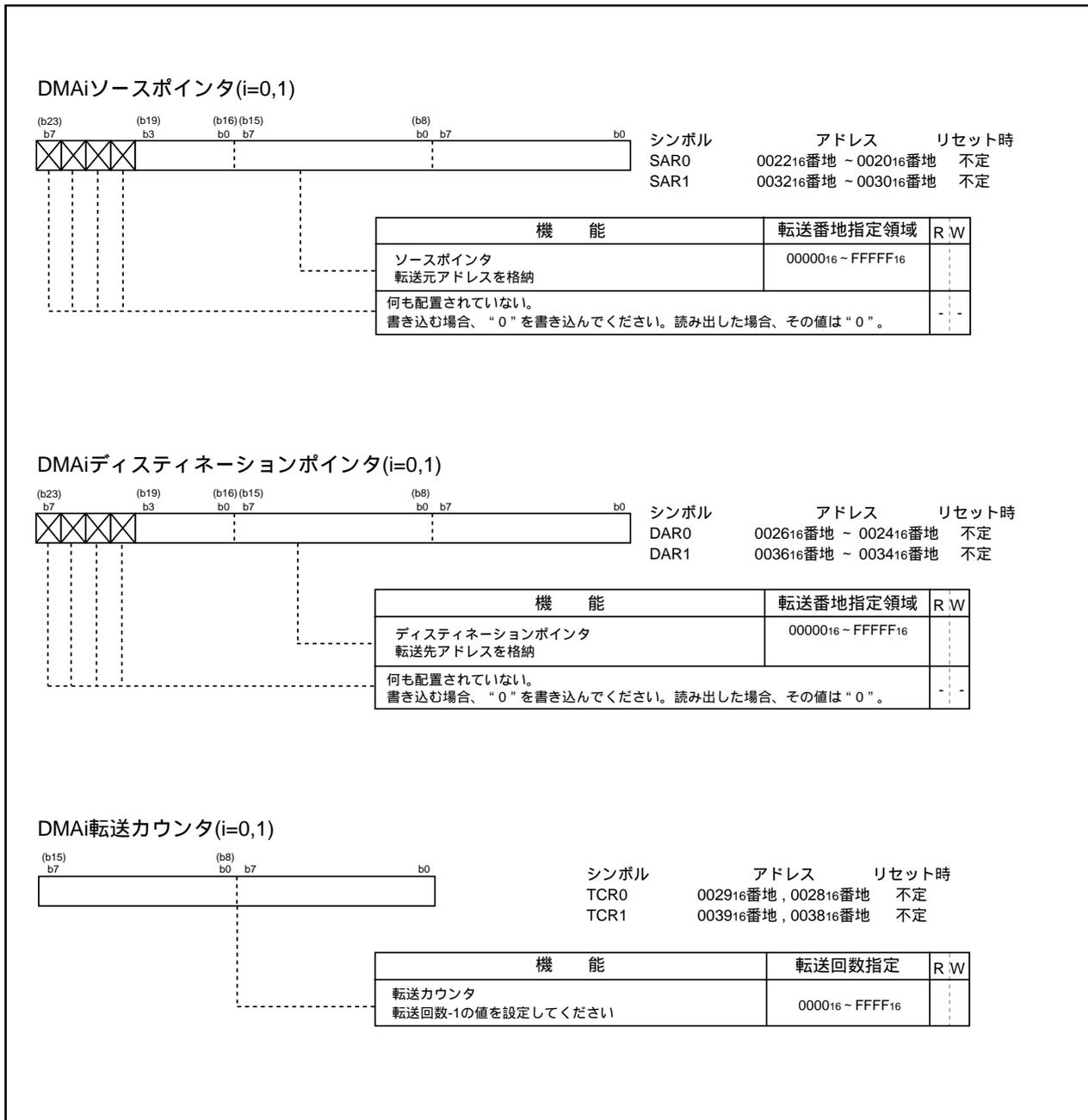
表EC-1. DMAC仕様

項 目	仕 様
チャンネル数	2チャンネル(サイクルスチール方式)
転送空間	1Mバイトの任意の空間から固定アドレス 固定アドレスから1Mバイトの任意の空間 固定アドレスから固定アドレス (ただしDMA関係のレジスタはアクセス不可:0020 ₁₆ 番地 ~ 003F ₁₆ 番地)
最大転送バイト数	128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)
DMA要求要因(注1)	INT0またはINT1端子の立ち上がりエッジ(INT0はDMA0、INT1はDMA1で選択可) タイマA0 ~ タイマA4割り込み要求 タイマB0 ~ タイマB2割り込み要求 UART0送信および受信割り込み要求 UART1送信および受信割り込み要求 A-D変換割り込み要求 ソフトウェアトリガ
チャンネル優先順位	DMA0の要求とDMA1の要求が同時に発生した場合、DMA0が優先
転送単位	8ビット/16ビット
転送アドレス方向	順方向/固定(転送元、転送先同時に順方向の指定はできません)
転送モード	単転送モード 転送カウンタがアンダフローした後、DMA許可ビットが“0”になりDMACはアクティブでない状態になる リピート転送モード 転送カウンタがアンダフローした後、転送カウンタリロードレジスタの値が転送カウンタにリロードされる DMA許可ビットに“0”を書き込まない限りDMACはアクティブ状態
DMA割り込み要求発生タイミング	転送カウンタのアンダフロー時
アクティブ状態	DMA許可ビットが“1”のときDMACはアクティブ状態 DMACがアクティブ状態のとき、DMA転送の要求信号が発生するごとにデータ転送が開始される
アクティブでない状態	DMA許可ビットが“0”のときDMACはアクティブでない状態 単転送モードで転送カウンタがアンダフローした後
順方向アドレスポインタ、転送カウンタのリロードタイミング	アクティブ状態にした直後のデータ転送開始時に、ソースポインタ、またはディスティネーションポインタのうち、順方向に指定された方のポインタの値を順方向アドレスポインタへ、転送カウンタリロードレジスタの値を転送カウンタへリロード
レジスタの書き込み	順方向に指定したレジスタは、常時書き込み可能 固定に指定したレジスタは、DMA許可ビットが“0”のとき書き込み可能
レジスタの読み出し	常時読み出し可能 ただし、DMA許可ビットが“1”の場合、順方向に指定したレジスタを読み出すと、順方向アドレスポインタの値が読み出される

注1. DMA転送は、各割り込みに影響を与えません。また、DMA転送は割り込み許可フラグ(1フラグ)や割り込み優先レベルなどの影響を受けません。



図EC-2. DMACレジスタ構成(1)



図EC-3. DMACレジスタ構成(2)

DMAC

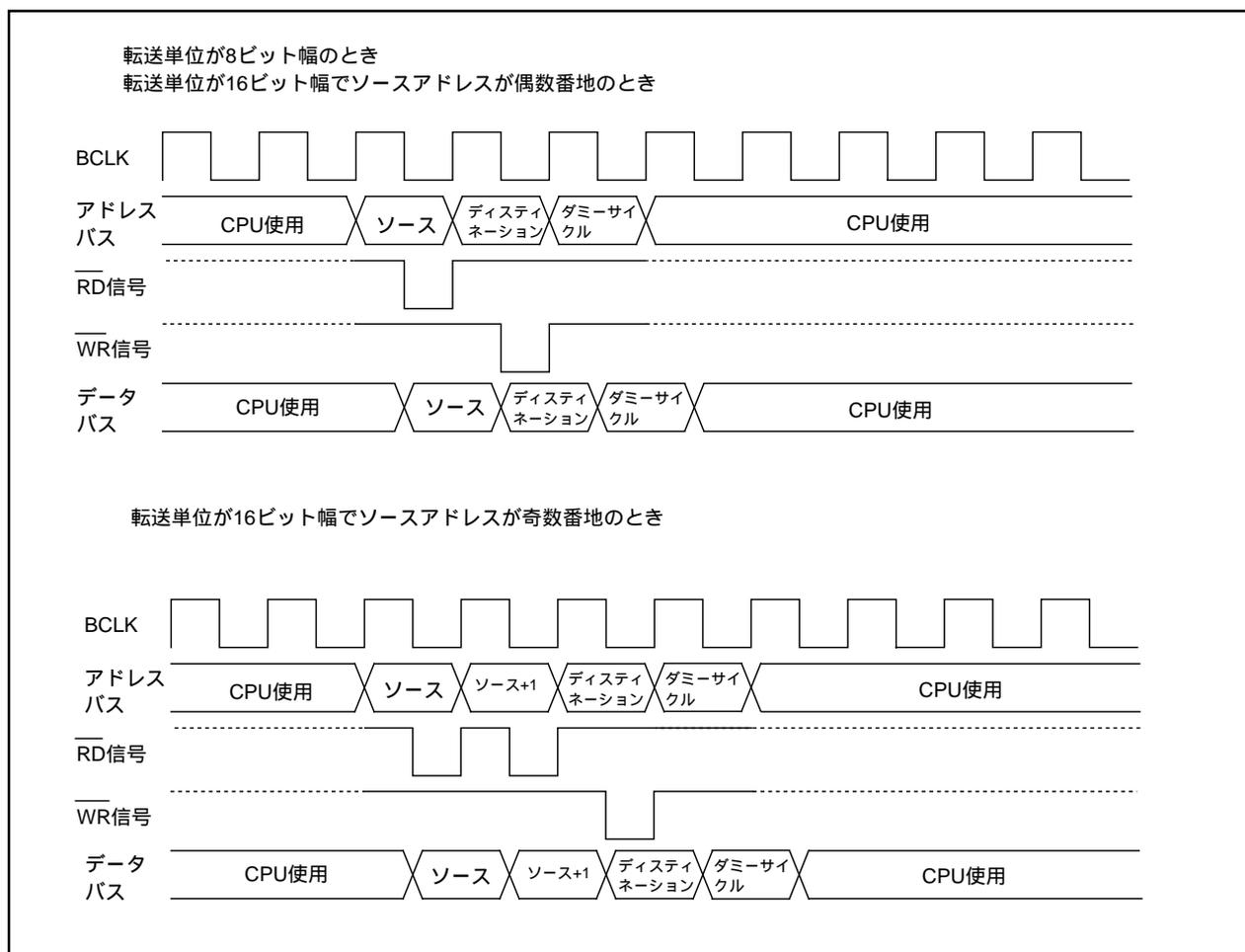
(1) 転送サイクル

転送サイクルは、メモリまたはSFR領域に対するデータの読み出し(ソースリード)のバスサイクル、および書き込み(ディスティネーションライト)のバスサイクルで構成しています。読み出し、および書き込みのバスサイクル回数は、転送元/転送先アドレスの影響を受けます。

転送元/転送先アドレスの影響

転送単位、データバス幅が共に16ビット幅で、転送元/転送先アドレスが奇数番地から始まる場合、ソースリードサイクル/ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

図EC-4にソースリードについての転送サイクル例(内部バスの状態)を示します。この図では、ディスティネーションライトサイクルを便宜上1サイクルとし、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクルおよびソースリードサイクルに各条件を適用してください。



図EC-4. ソースリードについての転送サイクル例(内部バスの状態)

DMAC

(2) DMAC転送サイクル数

DMAC転送サイクル数は下記のとおり計算することができます。

転送の読み出しアドレス、書き込みアドレスは偶数、奇数のいずれの組み合わせも可能です。表EC-2にDMAC転送サイクル数を示します。

1転送単位の転送サイクル数=読み出しサイクル×j+書き込みサイクル数×k

表EC-2. DMAC転送サイクル数

転送単位	アクセス番地	シングルチップモード	
		読み出し サイクル数	書き込み サイクル数
8ビット転送 (DMBIT=“1”)	偶 数	1	1
	奇 数	1	1
16ビット転送 (DMBIT=“0”)	偶 数	1	1
	奇 数	2	2

係数j, k

内部領域	
内部ROM/RAM	SFR領域
1	2

FLDコントローラ

FLDコントローラ

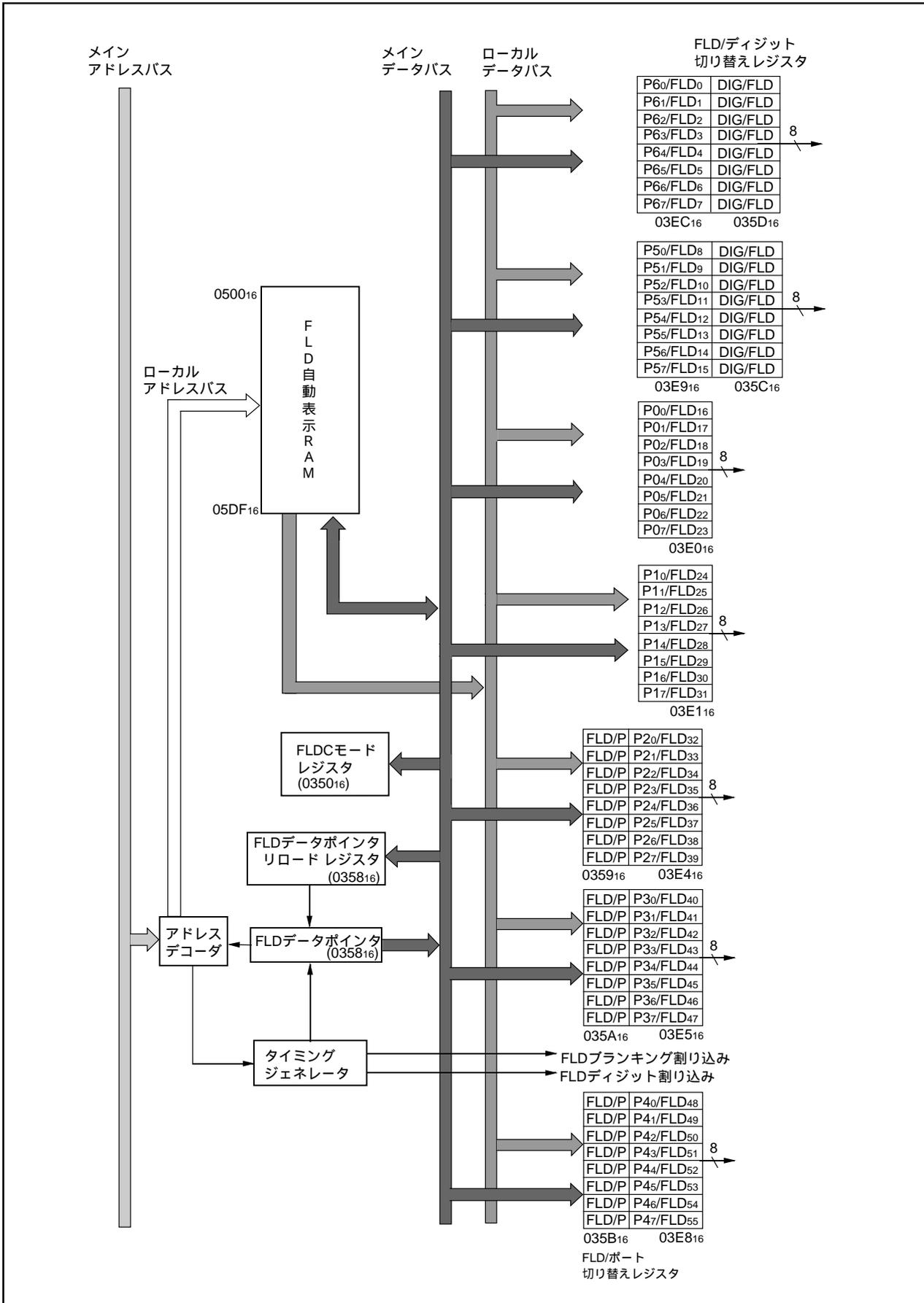
M30218グループはFLD(蛍光表示管)の駆動および制御回路を持っています。

表KA-0にFLDコントローラの概略仕様を示します。

表KA-0. FLDコントローラの概略仕様

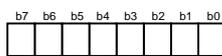
項目		仕様
FLDコントローラ 用ポート	高耐圧ポート	52本(内20本は通常ポートと切り替え可)
	CMOSポート	4本(4本とも通常ポートと切り替え可) (外付けにドライバーが必要)
表示画素数		FLD出力を使用した場合 28セグメント×28ディジット (セグメント数+ディジット数 56) ディジット出力を使用した場合 40セグメント×16ディジット (セグメント数 40、ディジット数 16) M35501を接続した場合 56セグメント×(M35501接続数)ディジット (セグメント数 56、ディジット数 M35501の数×16) P44~P47拡張を使用した場合 52セグメント×16ディジット (セグメント数 52、ディジット数 16)
周期		3.2 μ s~819.2 μ s(カウントソース XIN/32, 10MHz時) 12.8 μ s~3276.8 μ s(カウントソース XIN/128, 10MHz時)
ディマー時間		3.2 μ s~819.2 μ s(カウントソース XIN/32, 10MHz時) 12.8 μ s~3276.8 μ s(カウントソース XIN/128, 10MHz時)
割り込み		ディジット割り込み FLDブランキング割り込み
キースキャン		ディジットを使用するキースキャン セグメントを使用するキースキャン
拡張機能		ディジット波出力機能 自動的にディジットの波形を出力する機能です M35501接続機能 DIMOUT(P97)の出力をM35501のCLKとして使用することにより、簡単にディジット数を増やすことができます Toff区間有無機能 接続した出力が同じであれば、Toff1区間が発生しない機能です 階調表示機能 セグメント毎に暗表示と明表示が設定できる機能です P44~P47拡張機能 4本のポートに4 16デコーダをつけて16本のディジット出力を行う機能です

FLDコントローラ



図KA-1. FLD制御回路ブロック図

FLDCモードレジスタ

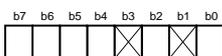


シンボル アドレス リセット時
FLDM 0350₁₆番地 00₁₆

ビットシンボル	ビット名	機能	R	W
FLDM0	自動表示制御ビット	0 : 汎用モード 1 : 自動表示モード		
FLDM1	表示スタートビット	0 : 表示停止 1 : 表示中 ("0"から"1"への書き込みで表示スタート)		
FLDM2	Tscan制御ビット	b3 b2 0 0 : 0 FLDディジット割り込み (各ディジット立ち上がり時) 0 1 : 1 × Tdisp 1 0 : 2 × Tdisp 1 1 : 3 × Tdisp } FLDブランキング割り込み (最終ディジット立ち下がり時)		
FLDM3				
FLDM4			タイミング数制御ビット	0 : 16タイミングモード 1 : 32タイミングモード
FLDM5	階調表示モード選択制御ビット	0 : 選択しない 1 : 選択する(注1)		
FLDM6	Tdispカウンタカウントソース選択ビット	0 : f(Xin)/32 1 : f(Xin)/128		
FLDM7	高耐圧ポート駆動能力選択ビット	0 : 駆動能力 強 1 : 駆動能力 弱		

注1. 階調表示モードを選択する場合、タイミング数は最大16タイミングとなります。
(必ずタイミング数制御ビットを"0"にしてください。)

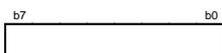
FLD出力制御レジスタ



シンボル アドレス リセット時
FLDCON 0351₁₆番地 00₁₆

ビットシンボル	ビット名	機能	R	W
FLDCON0	P44 ~ P47FLD出力反転ビット	0 : 通常出力 1 : 反転出力		
	何も配置されていない。書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			
FLDCON2	P44 ~ P47Toff無効ビット	0 : 通常動作 1 : Toff無効		
	何も配置されていない。書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。			
FLDCON4	P97ディマー出力制御ビット	0 : 通常ポート 1 : ディマー出力		
FLDCON5	CMOSポートToff区間無ビット	0 : Toff区間無し 1 : Toff区間有り		
FLDCON6	高耐圧ポートToff区間無ビット	0 : Toff区間無し 1 : Toff区間有り		
FLDCON7	Toff2SET/RESET変更ビット	0 : Toff2はリセット(セットはToff1) 1 : Toff2はセット(リセットはTdisp)		

Tdisp時間設定レジスタ



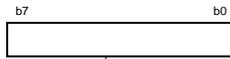
シンボル アドレス リセット時
TDISP 0352₁₆番地 00₁₆

機能	設定可能値	R	W
Tdisp時間をカウントします。カウントソースは、Tdispカウンタカウントソース選択ビットで選択します。	0 ~ FF ₁₆		

図KA-2. FLDC関連レジスタ(1)

FLDコントローラ

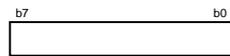
Toff1時間設定レジスタ



シンボル TOFF1 アドレス 0354₁₆番地 リセット時 FF₁₆

機 能	設定可能値	R	W
Toff1時間をカウントします。 カウントソースは、Tdispカウントソース選択ビットで選択します。	3 ~ FF ₁₆		

Toff2時間設定レジスタ



シンボル TOFF2 アドレス 0356₁₆番地 リセット時 FF₁₆

機 能	設定可能値	R	W
Toff2時間をカウントします。 カウントソースは、Tdispカウントソース選択ビットで選択します。	3 ~ FF ₁₆		

FLDデータポインタ

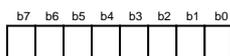


シンボル FLDDP アドレス 0358₁₆番地 リセット時 不定

機 能	設定可能値	R	W
FLD出力タイミングをカウントします。FLD出力データ-1の値を設定してください。	1 ~ 1F ₁₆		

注1. FLDデータポインタを読み込んだ場合、カウント中の値を読み出します。

ポートP2FLD/ポート切り替えレジスタ

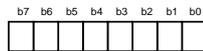


シンボル P2FPR アドレス 0359₁₆番地 リセット時 00₁₆

ビットシンボル	ビット名	機 能	R	W
P2FPR0	ポートP20FLD/ポート切り替えビット	0 : 通常ポート 1 : FLD出力ポート		
P2FPR1	ポートP21FLD/ポート切り替えビット	0 : 通常ポート 1 : FLD出力ポート		
P2FPR2	ポートP22FLD/ポート切り替えビット	0 : 通常ポート 1 : FLD出力ポート		
P2FPR3	ポートP23FLD/ポート切り替えビット	0 : 通常ポート 1 : FLD出力ポート		
P2FPR4	ポートP24FLD/ポート切り替えビット	0 : 通常ポート 1 : FLD出力ポート		
P2FPR5	ポートP25FLD/ポート切り替えビット	0 : 通常ポート 1 : FLD出力ポート		
P2FPR6	ポートP26FLD/ポート切り替えビット	0 : 通常ポート 1 : FLD出力ポート		
P2FPR7	ポートP27FLD/ポート切り替えビット	0 : 通常ポート 1 : FLD出力ポート		

図KA-2A. FLDC関連レジスタ(2)

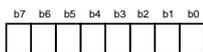
ポートP3FLD/ポート 切り替えレジスタ



シンボル アドレス リセット時
P3FPR 035A16番地 00₁₆

ビットシンボル	ビット名	機能	R	W
P3FPR0	ポートP30FLD/ポート切り替えビット	0: 通常ポート 1: FLD出力ポート		
P3FPR1	ポートP31FLD/ポート切り替えビット	0: 通常ポート 1: FLD出力ポート		
P3FPR2	ポートP32FLD/ポート切り替えビット	0: 通常ポート 1: FLD出力ポート		
P3FPR3	ポートP33FLD/ポート切り替えビット	0: 通常ポート 1: FLD出力ポート		
P3FPR4	ポートP34FLD/ポート切り替えビット	0: 通常ポート 1: FLD出力ポート		
P3FPR5	ポートP35FLD/ポート切り替えビット	0: 通常ポート 1: FLD出力ポート		
P3FPR6	ポートP36FLD/ポート切り替えビット	0: 通常ポート 1: FLD出力ポート		
P3FPR7	ポートP37FLD/ポート切り替えビット	0: 通常ポート 1: FLD出力ポート		

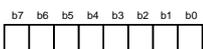
ポートP4FLD/ポート 切り替えレジスタ



シンボル アドレス リセット時
P4FPR 035B16番地 00₁₆

ビットシンボル	ビット名	機能	R	W
P4FPR0	ポートP40FLD/ポート切り替えビット	0: 通常ポート 1: FLD出力ポート		
P4FPR1	ポートP41FLD/ポート切り替えビット	0: 通常ポート 1: FLD出力ポート		
P4FPR2	ポートP42FLD/ポート切り替えビット	0: 通常ポート 1: FLD出力ポート		
P4FPR3	ポートP43FLD/ポート切り替えビット	0: 通常ポート 1: FLD出力ポート		
P4FPR4	ポートP44FLD/ポート切り替えビット	0: 通常ポート 1: FLD出力ポート		
P4FPR5	ポートP45FLD/ポート切り替えビット	0: 通常ポート 1: FLD出力ポート		
P4FPR6	ポートP46FLD/ポート切り替えビット	0: 通常ポート 1: FLD出力ポート		
P4FPR7	ポートP47FLD/ポート切り替えビット	0: 通常ポート 1: FLD出力ポート		

ポートP5ディジット出力設定切り替えレジスタ

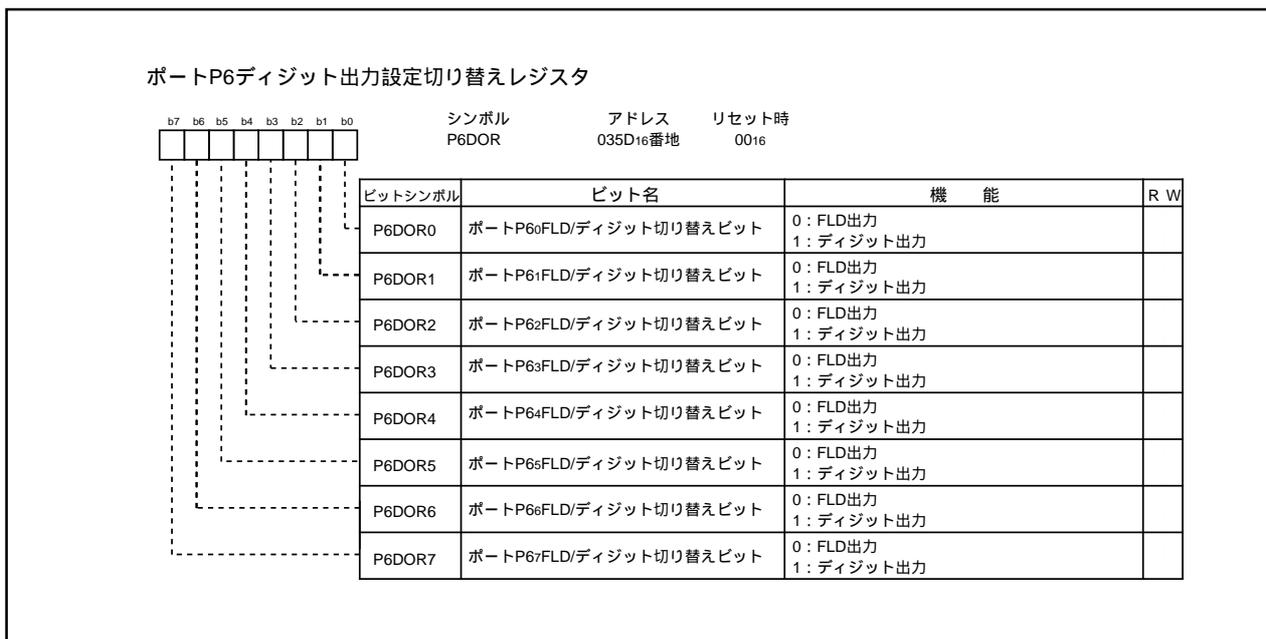


シンボル アドレス リセット時
P5DOR 035C16番地 00₁₆

ビットシンボル	ビット名	機能	R	W
P5DOR0	ポートP50FLD/ディジット切り替えビット	0: FLD出力 1: ディジット出力		
P5DOR1	ポートP51FLD/ディジット切り替えビット	0: FLD出力 1: ディジット出力		
P5DOR2	ポートP52FLD/ディジット切り替えビット	0: FLD出力 1: ディジット出力		
P5DOR3	ポートP53FLD/ディジット切り替えビット	0: FLD出力 1: ディジット出力		
P5DOR4	ポートP54FLD/ディジット切り替えビット	0: FLD出力 1: ディジット出力		
P5DOR5	ポートP55FLD/ディジット切り替えビット	0: FLD出力 1: ディジット出力		
P5DOR6	ポートP56FLD/ディジット切り替えビット	0: FLD出力 1: ディジット出力		
P5DOR7	ポートP57FLD/ディジット切り替えビット	0: FLD出力 1: ディジット出力		

図KA-2B. FLDC関連レジスタ(3)

FLDコントローラ



図KA-2C. FLDC関連レジスタ(4)

FLD自動表示用端子

P0～P6がFLDの自動表示出力可能な端子です。自動表示制御ビット(0350₁₆番地のビット0)に“1”を書き込むことにより動作を開始します。RAMの内容をタイミング毎にポートから出力するFLD出力またはディジットのタイミングでポートを“H”にするディジット出力の機能を持っています。セグメントにはFLD出力、ディジットにはディジット出力またはFLD出力を使用してFLDを表示することができます。ディジットにFLD出力を使用する場合は、あらかじめRAMにディジット表示パターンを書き込んでください。必要なセグメントおよびディジットの本数以外は、汎用ポートとして使用することもできます。各ポートの設定を下記に示します。

表KA-1. FLD自動表示モード時の端子

ポート名	自動表示用端子名	設定方法
P5、P6	FLD0～FLD15	ディジット出力設定レジスタ(035C ₁₆ 番地、035D ₁₆ 番地)によりビットごとに、FLDポート(“0”)またはディジットポート(“1”)に設定できます。ディジットポートに設定するとディジット波形出力機能が有効となり、FLD自動表示RAMの値に関係なくディジット波形を出力することができます。
P0、P1	FLD16～FLD31	自動表示制御ビット(0350 ₁₆ 番地のビット0)に“1”を書き込むことによりFLD専用ポートになります。
P2、P3、 P40～P43	FLD32～FLD51	FLD/ポート切り替えレジスタ(0359 ₁₆ ～035B ₁₆ 番地)により、ビットごとにFLDポート(“1”)または汎用ポート(“0”)に設定できます。
P44～P47	FLD52～FLD55	FLD/ポート切り替えレジスタ(035B ₁₆ 番地)により、ビットごとにFLDポート(“1”)または汎用ポート(“0”)に設定できます。また、FLD出力制御レジスタ(0351 ₁₆ 番地)により、各種の出力波形を選択することが可能です。ポートの出力形式はCMOS出力形式であり、表示端子として使用する場合、外付けのドライバが必要となります。

設定例1		設定例2	
FLD出力のみを使用したレジスタの設定例です。この場合ディジットの表示出力パターンをFLD自動表示RAMに予め設定する必要があります。		FLD出力とディジット波形出力を使用したレジスタの設定例です。この場合ディジットの表示出力は自動的に出力されますので、表示パターンをFLD自動表示RAMに設定する必要はありません。	
セグメント数 ディジット数	36 16	セグメント数 ディジット数	28 12
ディジット波形設定レジスタ (035C ₁₆ 、035D ₁₆ 番地)の内容		ディジット波形設定レジスタ (035C ₁₆ 、035D ₁₆ 番地)の内容	
ポートP6 FLD0(DIG出力) 0 FLD1(DIG出力) 0 FLD2(DIG出力) 0 FLD3(DIG出力) 0 FLD4(DIG出力) 0 FLD5(DIG出力) 0 FLD6(DIG出力) 0 FLD7(DIG出力) 0		ポートP6 FLD0(DIG出力) 1 FLD1(DIG出力) 1 FLD2(DIG出力) 1 FLD3(DIG出力) 1 FLD4(DIG出力) 1 FLD5(DIG出力) 1 FLD6(DIG出力) 1 FLD7(DIG出力) 1	
	FLD/ポート切り替えレジスタ (0359 ₁₆ ～035B ₁₆ 番地)の内容		FLD/ポート切り替えレジスタ (0359 ₁₆ ～035B ₁₆ 番地)の内容
ポートP5 FLD8(DIG出力) 0 FLD9(DIG出力) 0 FLD10(DIG出力) 0 FLD11(DIG出力) 0 FLD12(DIG出力) 0 FLD13(DIG出力) 0 FLD14(DIG出力) 0 FLD15(DIG出力) 0	ポートP2 FLD32(SEG出力) 1 FLD33(SEG出力) 1 FLD34(SEG出力) 1 FLD35(SEG出力) 1 FLD36(SEG出力) 1 FLD37(SEG出力) 1 FLD38(SEG出力) 1 FLD39(SEG出力) 0	ポートP5 FLD8(DIG出力) 1 FLD9(DIG出力) 1 FLD10(DIG出力) 1 FLD11(DIG出力) 1 FLD12(SEG出力) 0 FLD13(SEG出力) 0 FLD14(SEG出力) 0 FLD15(SEG出力) 0	ポートP2 FLD32(SEG出力) 1 FLD33(SEG出力) 1 FLD34(SEG出力) 1 FLD35(SEG出力) 1 FLD36(SEG出力) 1 FLD37(SEG出力) 1 FLD38(SEG出力) 1 FLD39(SEG出力) 0
ポートP0 FLD16(SEG出力) 1 FLD17(SEG出力) 1 FLD18(SEG出力) 1 FLD19(SEG出力) 1 FLD20(SEG出力) 1 FLD21(SEG出力) 1 FLD22(SEG出力) 1 FLD23(SEG出力) 1	ポートP3 FLD40(SEG出力) 1 FLD41(SEG出力) 1 FLD42(SEG出力) 1 FLD43(SEG出力) 1 FLD44(SEG出力) 1 FLD45(SEG出力) 1 FLD46(SEG出力) 1 FLD47(SEG出力) 1	ポートP0 FLD16(SEG出力) 1 FLD17(SEG出力) 1 FLD18(SEG出力) 1 FLD19(SEG出力) 1 FLD20(SEG出力) 1 FLD21(SEG出力) 1 FLD22(SEG出力) 1 FLD23(SEG出力) 1	ポートP3 FLD40(SEG出力) 1 FLD41(SEG出力) 1 FLD42(SEG出力) 1 FLD43(SEG出力) 1 FLD44(ꝯ-ト出力) 0 FLD45(ꝯ-ト出力) 0 FLD46(ꝯ-ト出力) 0 FLD47(ꝯ-ト出力) 0
ポートP1 FLD24(SEG出力) 1 FLD25(SEG出力) 1 FLD26(SEG出力) 1 FLD27(SEG出力) 1 FLD28(SEG出力) 1 FLD29(SEG出力) 1 FLD30(SEG出力) 1 FLD31(SEG出力) 1	ポートP4 FLD48(SEG出力) 1 FLD49(SEG出力) 1 FLD50(SEG出力) 1 FLD51(SEG出力) 1 FLD52(ꝯ-ト出力) 0 FLD53(ꝯ-ト出力) 0 FLD54(ꝯ-ト出力) 0 FLD55(ꝯ-ト出力) 0	ポートP1 FLD24(SEG出力) 1 FLD25(SEG出力) 1 FLD26(SEG出力) 1 FLD27(SEG出力) 1 FLD28(SEG出力) 1 FLD29(SEG出力) 1 FLD30(SEG出力) 1 FLD31(SEG出力) 1	ポートP4 FLD48(ꝯ-ト出力) 0 FLD49(ꝯ-ト出力) 0 FLD50(ꝯ-ト出力) 0 FLD51(ꝯ-ト出力) 0 FLD52(ꝯ-ト出力) 0 FLD53(ꝯ-ト出力) 0 FLD54(ꝯ-ト出力) 0 FLD55(ꝯ-ト出力) 0
DIG出力 : 蛍光表示管のディジットに接続するための出力です SEG出力 : 蛍光表示管のセグメントに接続するための出力です ポート出力 : プログラムで使用できる汎用ポートです		DIG出力 : 蛍光表示管のディジットに接続するための出力です SEG出力 : 蛍光表示管のセグメントに接続するための出力です ポート出力 : プログラムで使用できる汎用ポートです	

図KA-3. セグメント/ディジットの設定例

FLDコントローラ

FLD自動表示RAM

FLD自動表示RAMは、0500₁₆～05DF₁₆番地の224バイトを使用します。FLDはタイミング数および階調表示の有無により16タイミング通常モード、16タイミング・階調表示モード、32タイミングモードの3つのモードがあります。自動表示RAMはそれぞれ以下ようになります。

(1) 16タイミング・通常モード

表示タイミングが16以下のときに使用するモードです。0570₁₆～05DF₁₆番地の112バイトをFLD表示データ格納領域として使用します。0500₁₆～056F₁₆番地は自動表示RAMとして使用しませんので、通常のRAMとして使用できます。

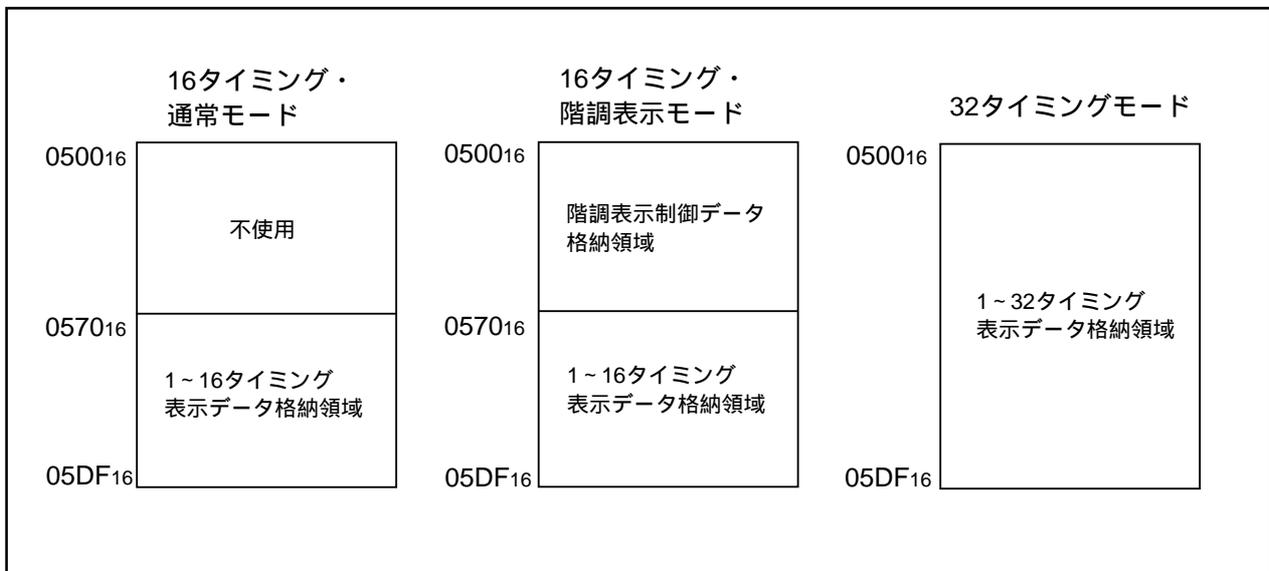
(2) 16タイミング・階調表示モード

表示タイミングが16以下で、セグメント毎に明暗を付けることができるモードです。0500₁₆～05DF₁₆番地の224バイトを使用します。0570₁₆～05DF₁₆番地の112バイトはFLD表示データ格納領域として使用し、0500₁₆～056F₁₆番地の112バイトは階調表示制御データ格納領域として使用します。

(3) 32タイミングモード

表示タイミングが16より大きい場合使用するモードです。最大32タイミングまで使用することができます。0500₁₆～05DF₁₆番地の224バイトをFLD表示データ格納領域として使用します。

FLDデータポインタ(0358₁₆番地)は表示タイミング数をカウントするレジスタです。リロードレジスタを持っており、アンダフロ - するとリロードレジスタの値をリロードしてカウントを続けます。FLDデータポインタには、タイミング数 - 1の値を設定してください。この番地にデータを書き込むとFLDデータポインタリロードレジスタにデータが書き込まれ、データを読み出すとFLDデータポインタの値が読み出されます。



図KA-4. FLD自動表示RAMの配置図

FLDコントローラ

データの設定

(1) 16タイミング・通常モード

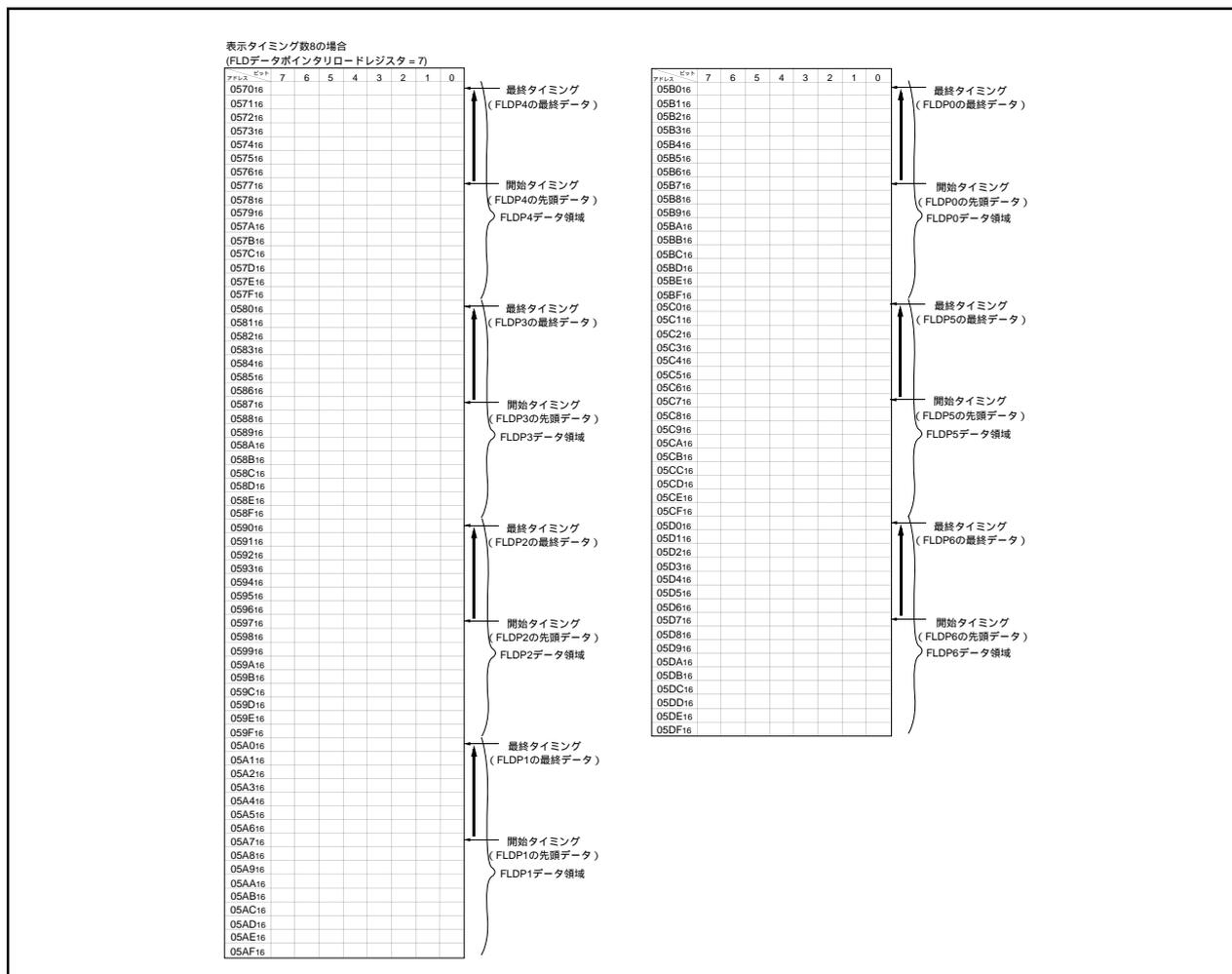
FLD自動表示RAMは、0570₁₆～05DF₁₆番地の領域を使用します。データを格納する場合は、FLDポートP4、P3、P2、P1、P0、P5、P6の最終データがそれぞれ0570₁₆番地、0580₁₆番地、0590₁₆番地、05A0₁₆番地、05B0₁₆番地、05C0₁₆番地および05D0₁₆番地になるように表示データをアドレスの降順に配置します。したがって、FLDポートP4、P3、P2、P1、P0、P5、P6の先頭データを格納する番地はそれぞれ最終データを格納する番地に(表示タイミング数 - 1)の値を加えた番地になります。FLDデータポインタリロードレジスタには、(表示タイミング数 - 1)の値を設定してください。

(2) 16タイミング・階調表示モード

表示データの設定は、16タイミング通常モードと同一です。階調表示制御データは、各タイミング、端子の表示データ格納アドレスから0070₁₆を引いたアドレスに配置されており、“0”で明表示を、“1”で暗表示を行います。

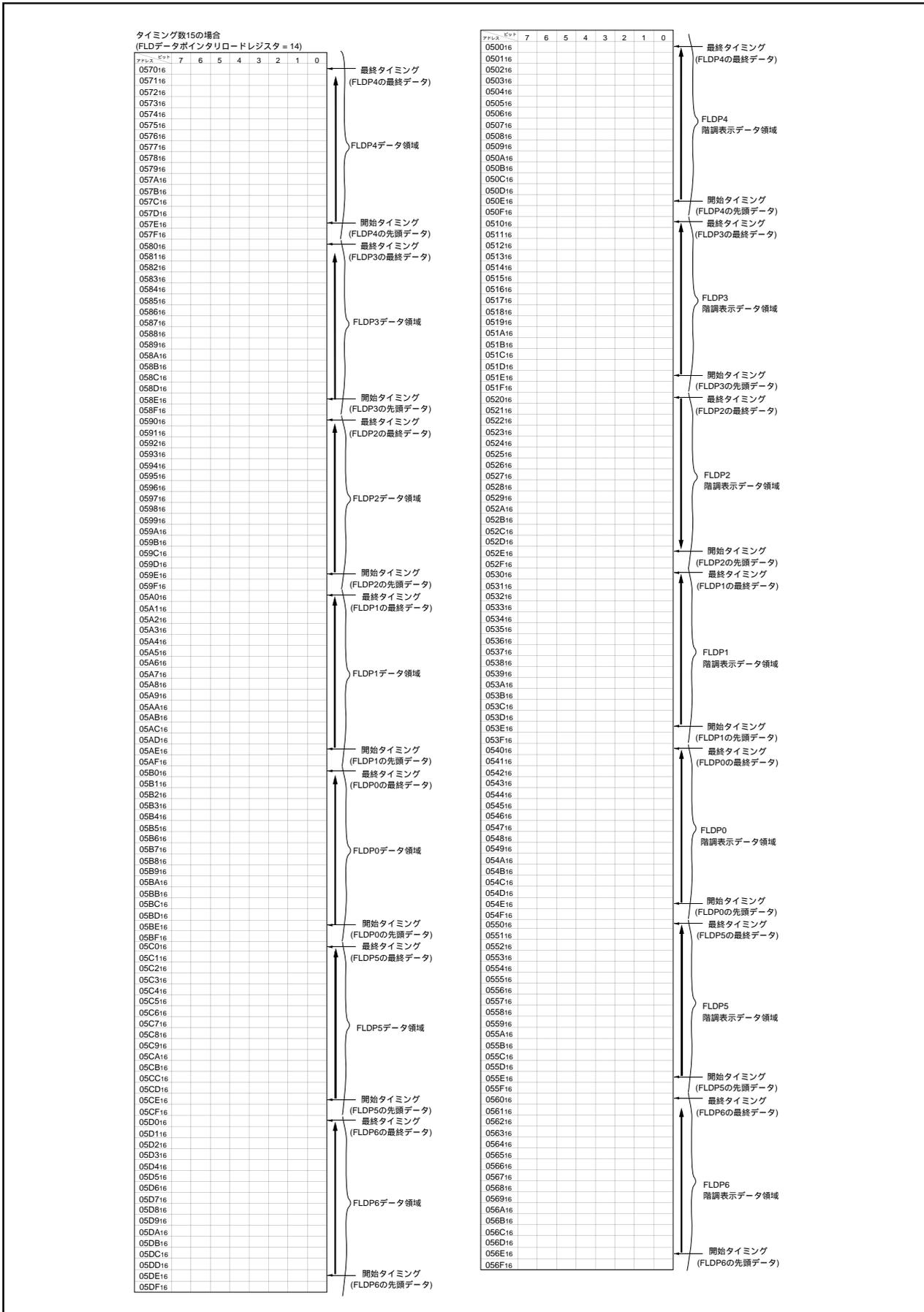
(3) 32タイミングモード

FLD自動表示RAMは、0500₁₆～05DF₁₆番地の領域を使用します。データを格納する場合は、FLDポートP4、P3、P2、P1、P0、P5、P6の最終データがそれぞれ0500₁₆番地、0520₁₆番地、0540₁₆番地、0560₁₆番地、0580₁₆番地、05A0₁₆番地および05C0₁₆番地になるように表示データをアドレスの降順に配置します。したがって、FLDポートP4、P3、P2、P1、P0、P5、P6の先頭データの格納する番地はそれぞれ最終データを格納する番地に(表示タイミング数 - 1)の値を加えた番地になります。FLDデータポインタリロードレジスタには、(表示タイミング数 - 1)の値を設定してください。



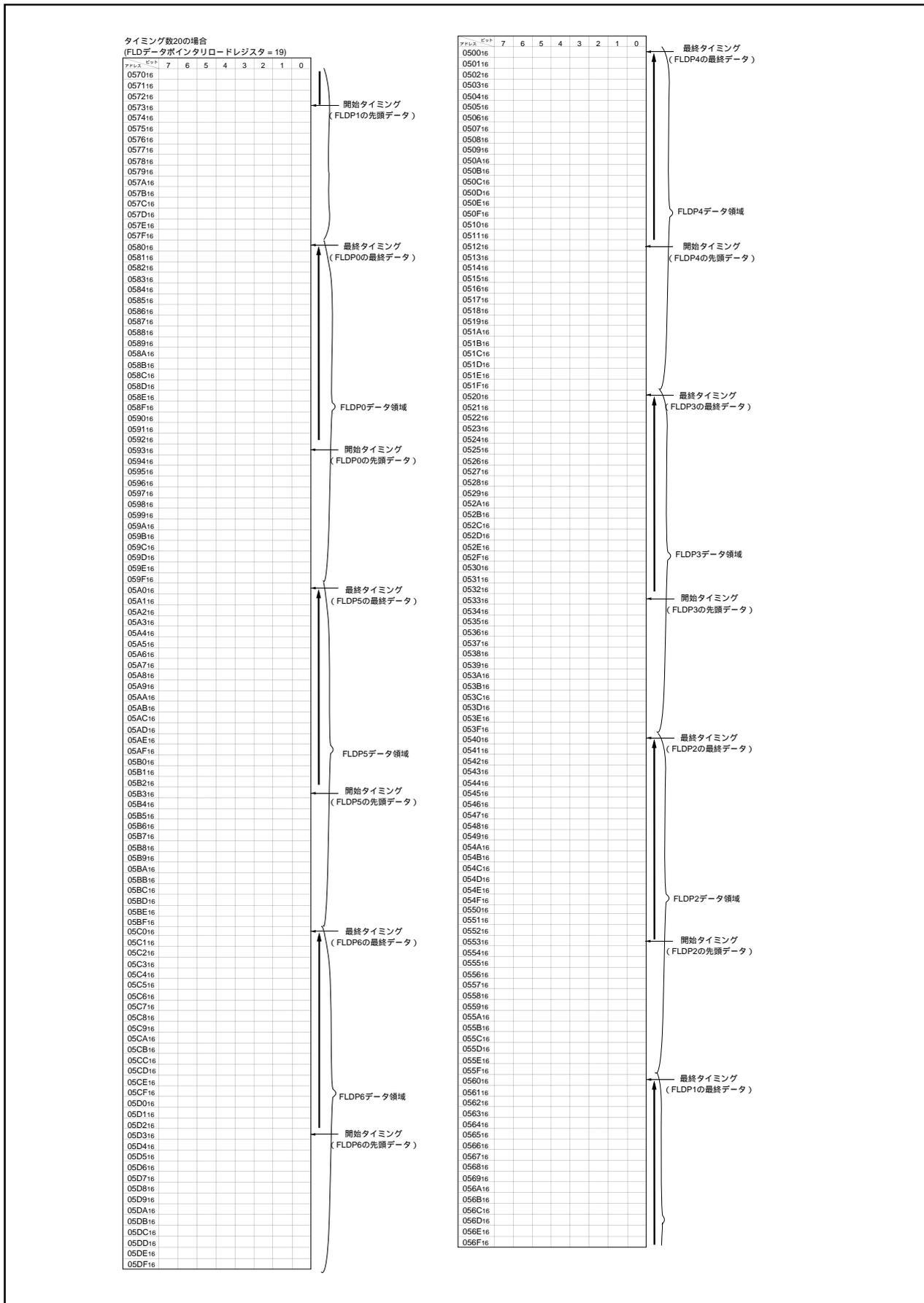
図KA-5. 16タイミング・通常モード、RAM配置図と使用領域の例

FLDコントローラ



図KA-6. 16タイミング・階調表示モード、RAM配置図と使用領域の例

FLDコントローラ



図KA-7. 32タイミングモード、RAM配置図と使用領域の例

FLDコントローラ

タイミングの設定

各種タイミングは、FLDCモードレジスタ、Tdisp時間設定レジスタ、Toff1時間設定レジスタ、Toff2時間設定レジスタにより設定を行います。

(1) Tdisp時間の設定

Tdisp時間は、表示タイミングの長さです。階調表示無しモードでは、FLD表示出力期間とToff1時間で構成されています。階調表示有りモードでは、表示出力期間とToff1時間、更に暗表示の為の“L”出力期間で構成されています。FLDCモードレジスタのTdispカウンタカウントソース選択ビットおよびTdisp時間設定レジスタによりTdisp時間の設定を行います。Tdisp時間設定レジスタの値をnとすると、Tdisp時間は $Tdisp = (n+1) \times t$ (t: カウンタソース)で表されます。FLDCモードレジスタのTdispカウンタカウントソース選択ビットが“0”でTdisp時間設定レジスタが200(C816)の場合、Tdisp時間は $Tdisp = (200 + 1) \times 3.2(XIN = 10MHz時) = 643 \mu s$ となります。なお、Tdisp時間設定レジスタを読み出した場合、カウント中の値が読み出されます。

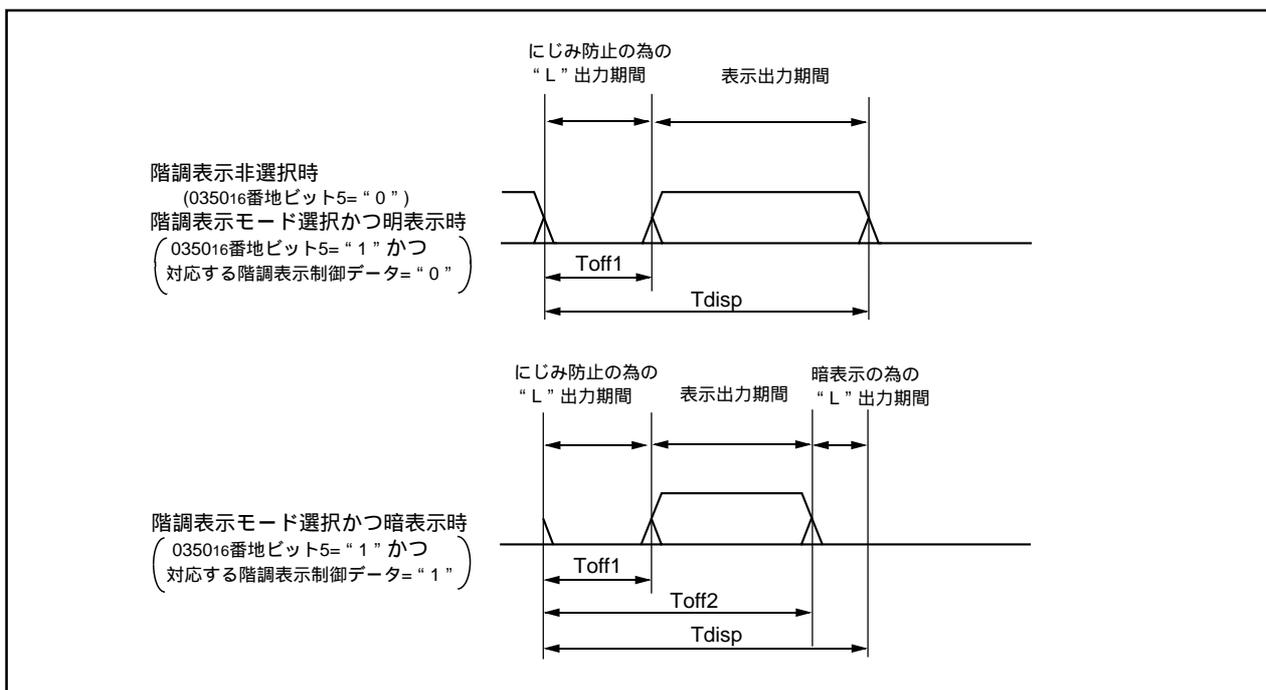
(2) Toff1時間の設定

Toff1時間は、FLDにじみ防止およびディマ表示の為の無出力(“L”出力)時間です。Toff1時間設定レジスタによりToff1時間の設定を行います。Toff1には、Tdisp、Toff2より小さな値を設定してください。Toff1時間設定レジスタの値をn1とすると、Toff1時間は $Toff1 = n1 \times t$ で表されます。FLDCモードレジスタのTdispカウンタカウントソース選択ビットが“0”でToff1時間設定レジスタの値が30(1E16)の場合、 $Toff1 = 30 \times 3.2(XIN = 10MHz時) = 96 \mu s$ となります。

(3) Toff2時間の設定

Toff2時間は、暗表示を行う為の時間です。明表示ではFLD表示出力は、TdispをカウントしているカウンタがアンダフローするまでFLD表示出力を行います。しかし、暗表示では、Toff2をカウントしているカウンタがアンダフローすると“L”出力(off出力)になります。Toff2時間の設定は階調表示モードでかつ階調表示制御RAMの値が“1”のFLDポートにのみ有効となります。

Toff2時間はToff2時間設定レジスタにより行います。Toff2には、Tdispより小さくToff1より大きな値を設定してください。Toff2時間設定レジスタの値をn2とすると、Toff2時間は $Toff2 = n2 \times t$ で表されます。FLDCモードレジスタのTdispカウンタカウントソース選択ビットが“0”でToff2時間設定レジスタの値が180(B416)の場合、 $Toff2 = 180 \times 3.2(XIN = 10MHz時) = 576 \mu s$ となります。



図KA-11. FLD、ディジット出力タイミング

FLDコントローラ

FLD自動表示機能の開始

自動表示制御ビット(0350₁₆番地のビット0)を“1”、表示スタートビット(0350₁₆番地のビット1)を“1”にすると自動表示が開始します。各ポートの自動表示RAMの先頭番地から(FLDデータポインタ(0358₁₆番地) - 1)番地離れたRAMの内容を各ポートに出力します。FLDデータポインタ(0358₁₆番地)は、Tdisp間隔でカウントダウンします。カウントした結果、“FF₁₆”になると、リロードしカウントを続けます。表示スタートビット(0350₁₆番地のビット1)を“1”にする前に、FLD/ポート切り替えレジスタ、FLD/DIG切り替えレジスタ、FLDCモードレジスタ、Tdisp時間設定レジスタ、Toff1時間設定レジスタ、Toff2時間設定レジスタ、FLDデータポインタを設定してください。

FLD自動表示中、表示スタートビット(0350₁₆番地のビット1)は“1”が保持されています。表示スタートビット(0350₁₆番地のビット1)に“0”を書き込むことによって、FLD自動表示を中断させることができます。

キースキャンと割り込み

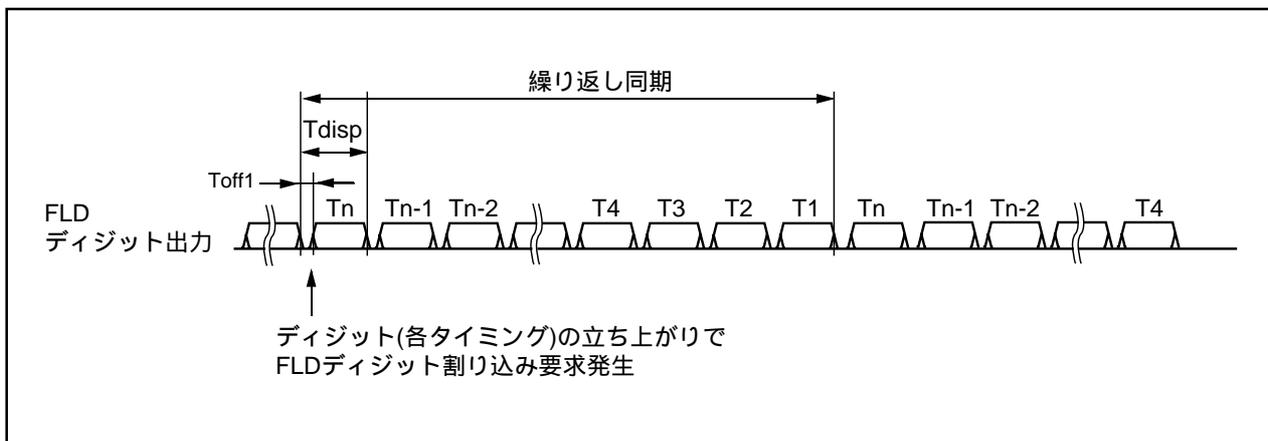
割り込みは、FLDディジット割り込みとFLDブランキング割り込みをTscan制御ビット(0350₁₆番地のビット2、3)で選択できます。

FLDディジット割り込みは、各タイミングのToff1時間終了時(ディジットの立ち上がり)に発生する割り込みです。各FLDディジット割り込みでFLDのディジットを利用したキースキャンができます。

FLDディジット割り込みによってキースキャンを行う場合、以下の手順で行ってください。

- (1)割り込みが発生毎にポートの値を読みます。
- (2)最後のディジットの割り込みで、キーが確定します。

出力されているディジット位置は、FLDデータポインタ(0358₁₆番地)を読み出すことで判定できます。



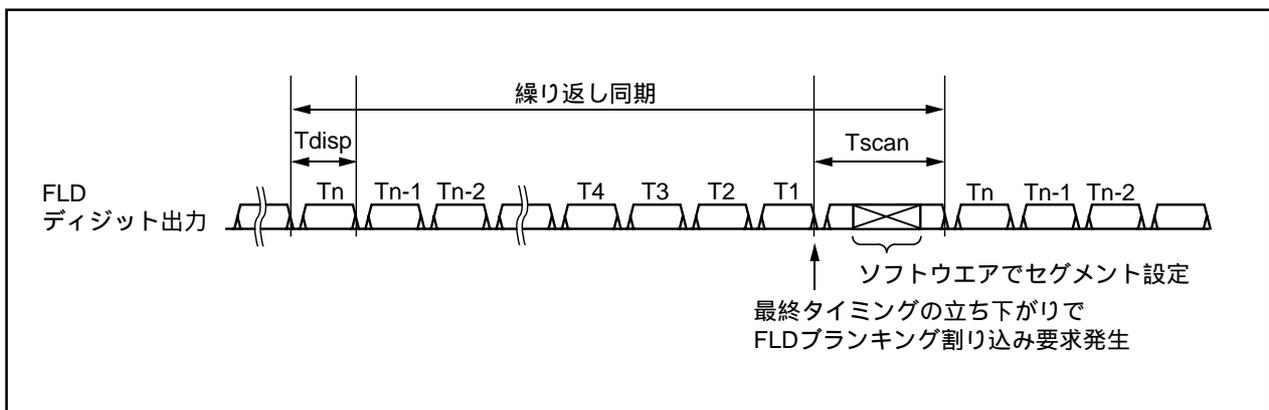
図KA-12A. ディジット割り込み時のタイミング

FLDコントローラ

FLDブランキング割り込みは、FLDデータポインタ(0358₁₆番地)が“FF₁₆”になると、発生する割り込みです。割り込み発生後設定によって、1×T_{disp}、2×T_{disp}、3×T_{disp}の間、FLD自動表示出力が止まります。その間、FLDのセグメントを利用したキースキャンができます。

キースキャン用ブランキング時間T_{scan}の間にセグメントによってキースキャンを行う場合、以下の手順で行ってください。

- (1)自動表示制御ビット(0350₁₆番地のビット0)に“0”を書き込む。
 - (2)セグメントに対応するポートのうち、キースキャンに使用するポートを出力ポートにする。
 - (3)キースキャンを実行する。
 - (4)自動表示制御ビット(0350₁₆番地のビット0)に“1”を書き込む。
- (1)～(4)の手順でキースキャンを行う場合の注意事項を以下に示します。
1. 表示スタートビット(0350₁₆番地のビット1)に“0”を書き込まないでください。
 2. デジットに対応するポートに“1”を書き込まないでください。



図KA-12B. FLDブランキング割り込み時のタイミング

FLDコントローラ

P44 ~ P47拡張機能

P44 ~ P47は、CMOS出力形式のポートです。このポートに4 bit 16bitデコーダ接続することによりFLDのディジット出力を16本追加することができます。P44 ~ P47は、4 bit 16bitデコーダに接続するための機能を持っています

(1) P44 ~ P47Toff無効機能

Toff1時間とToff2時間を無効にして、Tdispの間、表示データを出力します。(図KA-13参照)。P44 ~ P47Toff無効ビット(0351₁₆番地のビット2)を“1”にすることにより設定できます。

これはToff区間有無機能とは異なり、すべての表示データで無効にします。

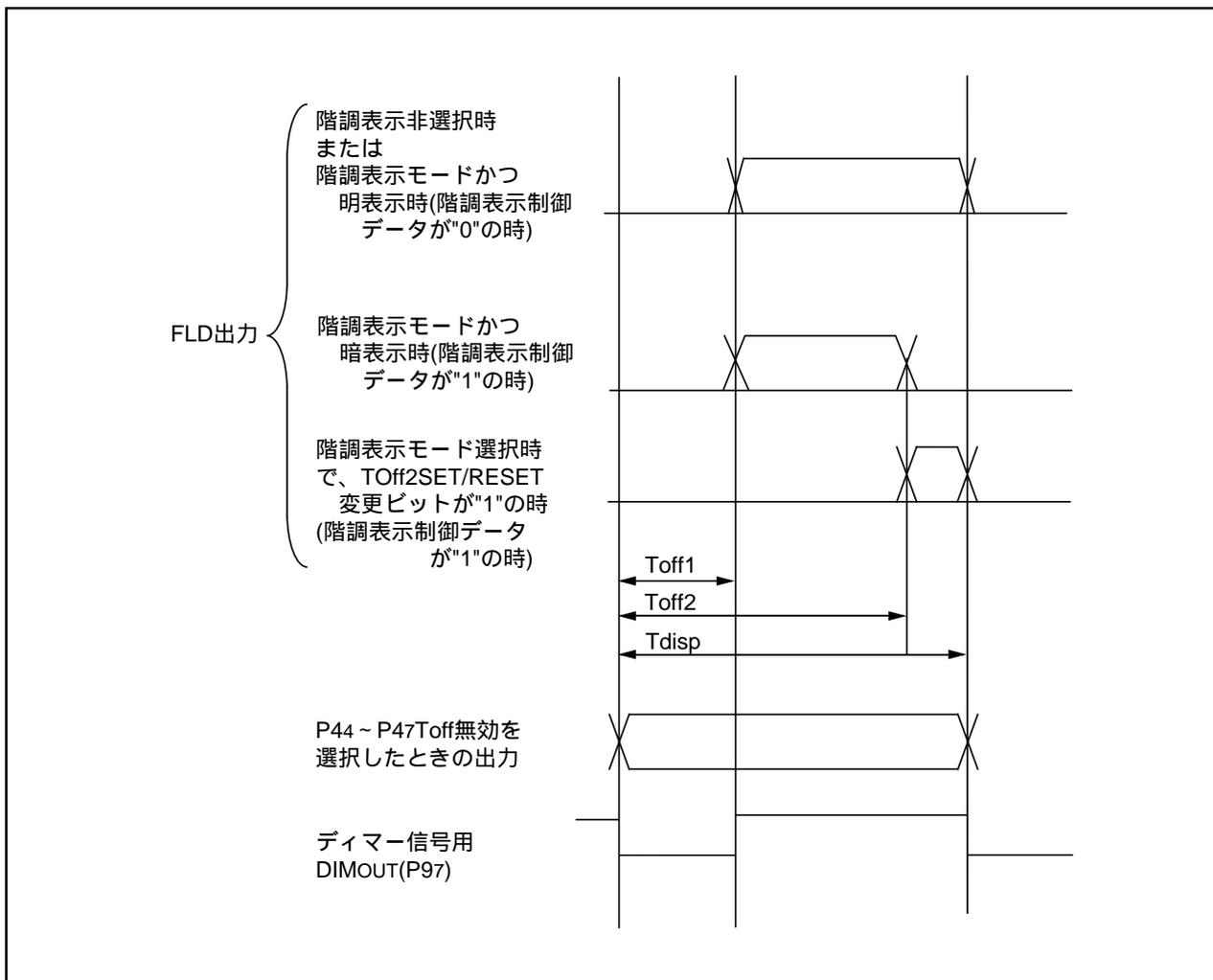
(2) デイマー信号出力機能

DIMOUT(P97)からデイマー信号作成用の信号を出力することができます。この信号でデコーダを制御することによりデイマー機能を実現することができます。(図KA-13参照)。P97デイマー出力制御ビット(0351₁₆番地のビット4)を“1”にすることにより設定できます。

(3) P44 ~ P47 FLD出力反転ビット

P44 ~ P47はFLD出力の極性を反転する機能を備えています。外付けドライバを使用する場合など極性の合わせ込みに使用できます。

FLD出力制御レジスタ(0351₁₆番地)のビット0を“1”にすることにより出力極性を反転することができます。



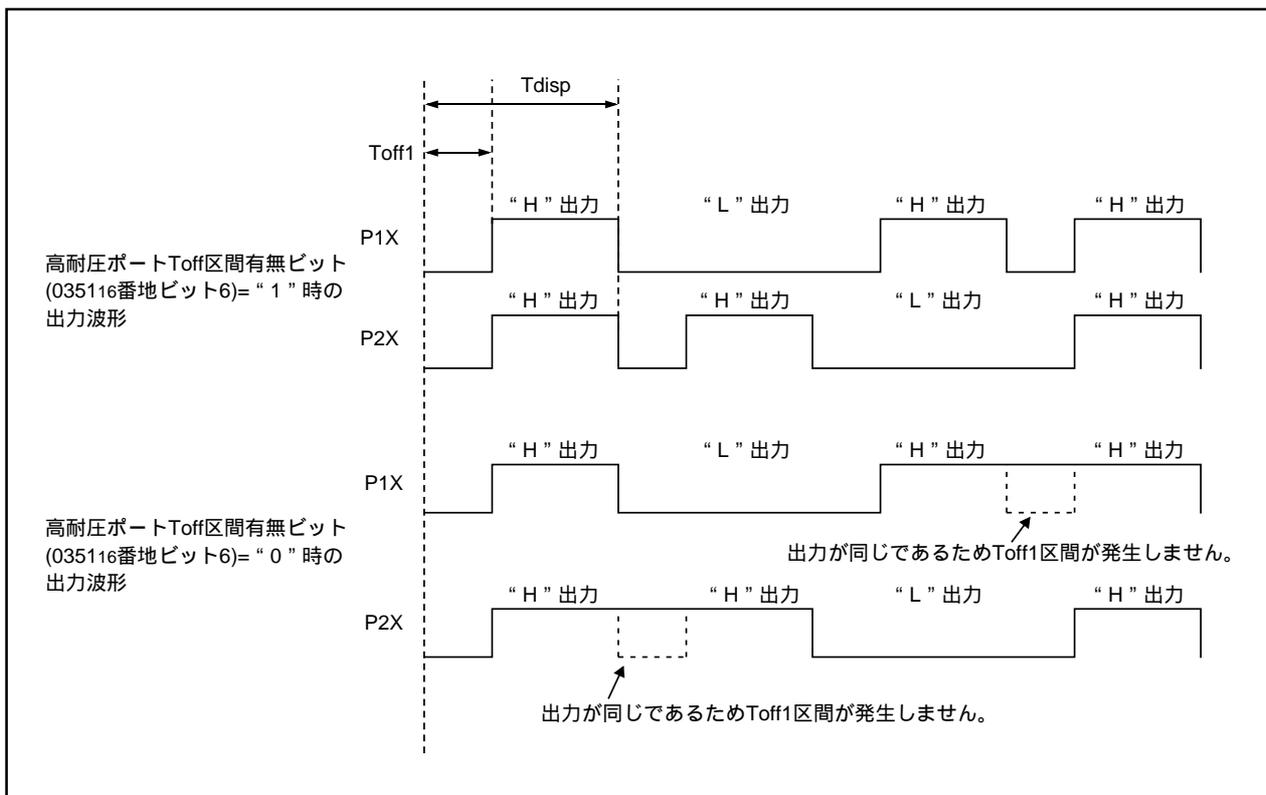
図KA-13. P44 ~ P47FLD出力波形

FLDコントローラ

Toff区間有無機能

FLD端子間の容量結合によりポートのスイッチング毎に発生する不要なノイズを軽減するための機能です。各FLDポートに連続したデータを出力した場合、連続した部分のToff1区間は発生しません。(図KA-15参照)

Toff1区間を必要とする場合は、CMOSポートToff区間有無ビット(035116番地のビット5)、高耐圧ポートToff区間有無ビット(035116番地のビット6)を“1”に設定してください。高耐圧ポートToff区間有無ビットを“1”に設定すると、高耐圧ポート(P5、P6、P3、P2、P1、P0、P43～P40)52本のToff1時間を発生し、CMOSポートToff区間有無ビットに“1”を設定すると、CMOSポート(P44～P47)4本のToff1時間が発生します。



図KA-15. Toff区間有無機能選択時の出力波形

Toff2 SET/RESET変更ビット

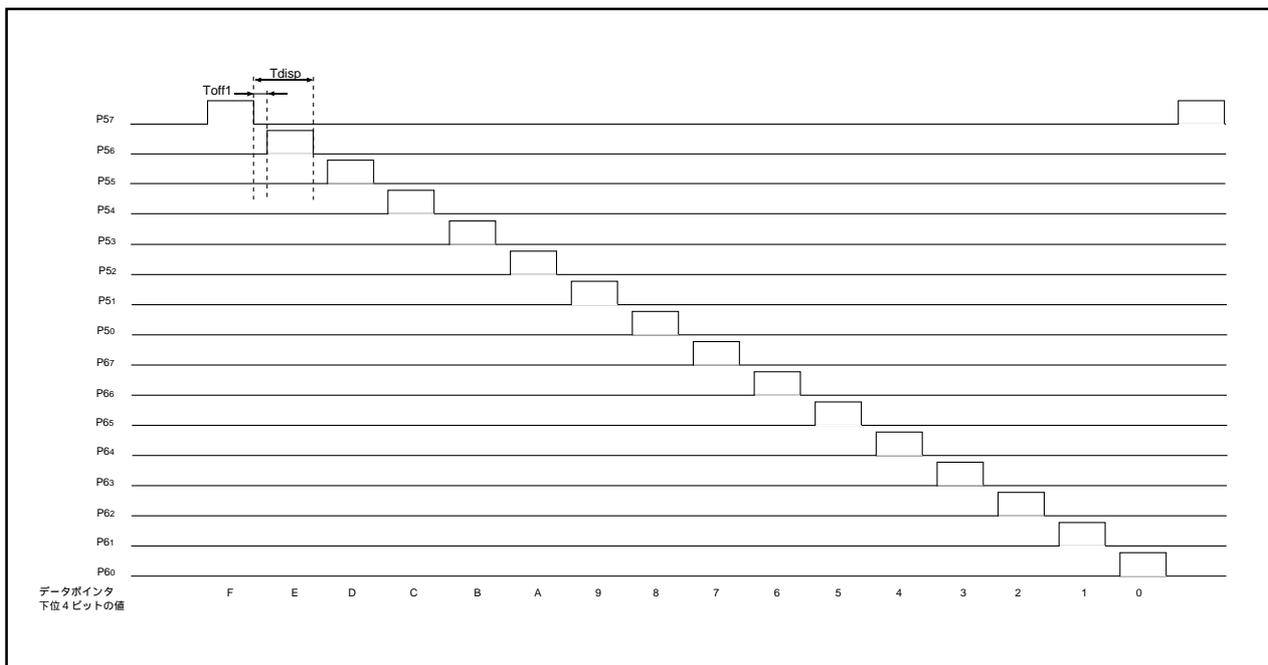
階調モードのときは、Toff2時間設定レジスタ(TOFF2)で設定された値が有効となります。初期状態のFLD出力制御レジスタ(035116番地のビット7)が“0”のとき、FLD出力ポートにはTOFF1に設定された時間でRAMデータが出力(SET)され、TOFF2に設定された時間で“0”(RESET)になります。また、ビット7が“1”のときは、TOFF2に設定された時間でRAMデータが出力(SET)され、Tdisp時間の終わりで“0”(RESET)になります。

FLDコントローラ

デジット波形出力機能

P50～P57、P60～P67は、FLD/デジット切り替えレジスタによってデジット波形を出力することができます。P60からタイミング数と同じ数だけ、デジット出力設定レジスタに連続して“1”を書き込んでください。デジット出力を選択したポートに対するFLD自動表示RAMの内容は無効となり、自動的に図KA-16に示した波形が出力されます。階調モード使用時には、デジット出力を選択したポートもToff2時間が有効となります。FLD自動表示RAMの内容が無効になるため、同一番地のFLD自動表示RAMにセグメントデータとデジットデータが混在する場合でも、容易にセグメントデータを変更することができます。

本機能は、16タイミングモード通常モード、16タイミング階調表示モードで有効で、タイミング数(FLDデータポインタリロードレジスタの設定値+1)を越えて設定した場合、越えたポートの出力は、“L”になります。

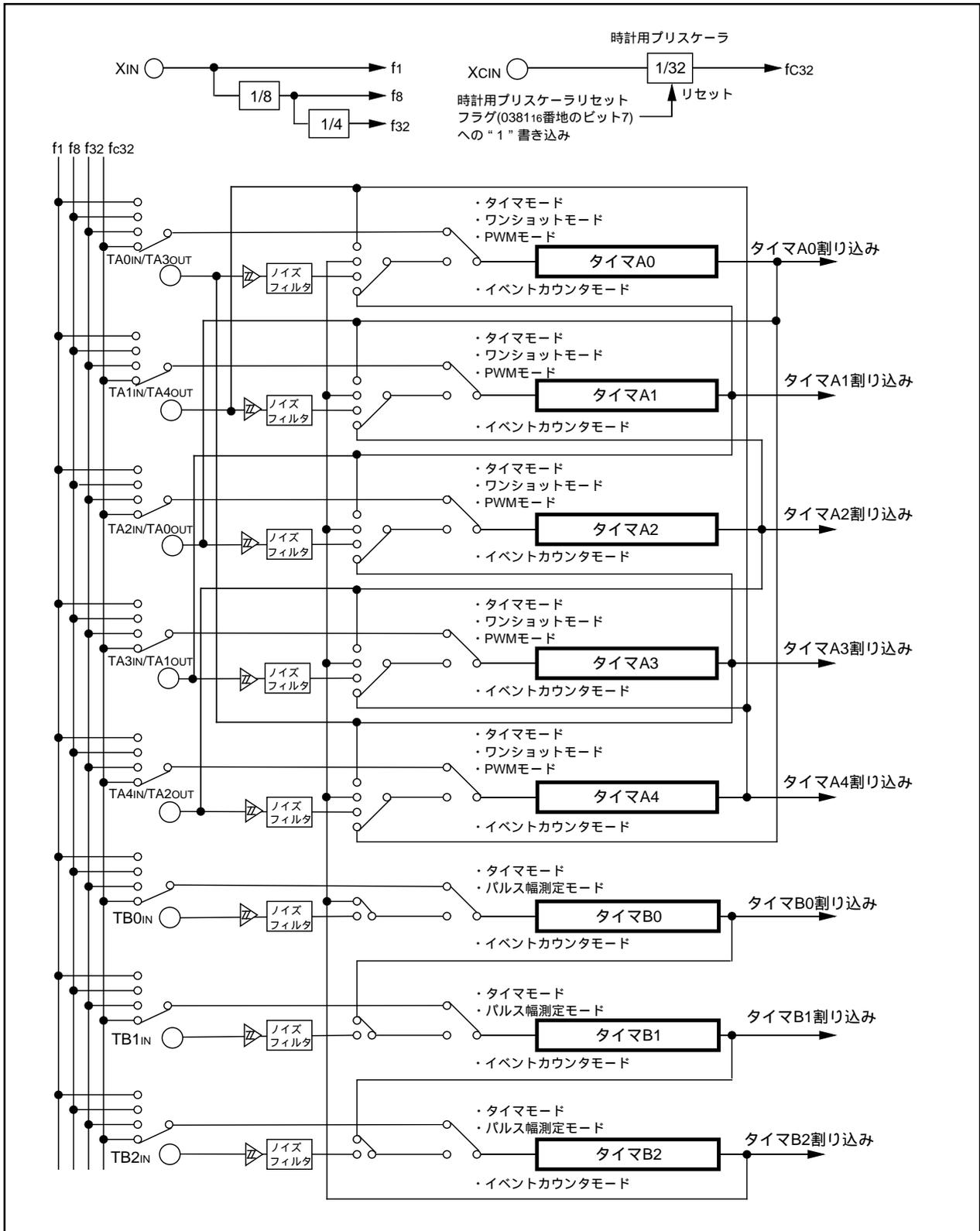


図KA-16. デジット波形出力機能

タイマ

タイマ

タイマは、16ビットタイマを8本内蔵しています。8本のタイマは、持っている機能によってタイマA(5本)とタイマB(3本)の2種類に分類できます。すべてのタイマは、それぞれ独立して動作します。図FB-1にタイマ構成を示します。



図FB-1. タイマ構成

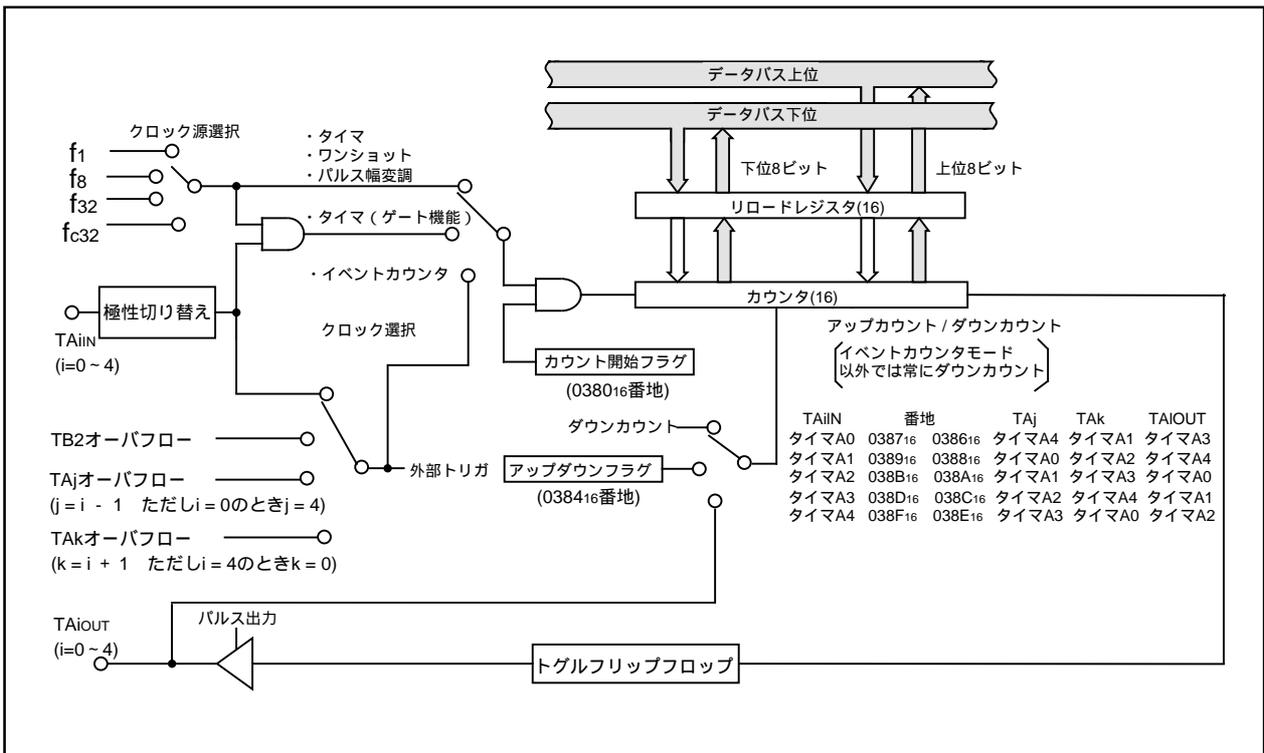
タイマA

タイマA

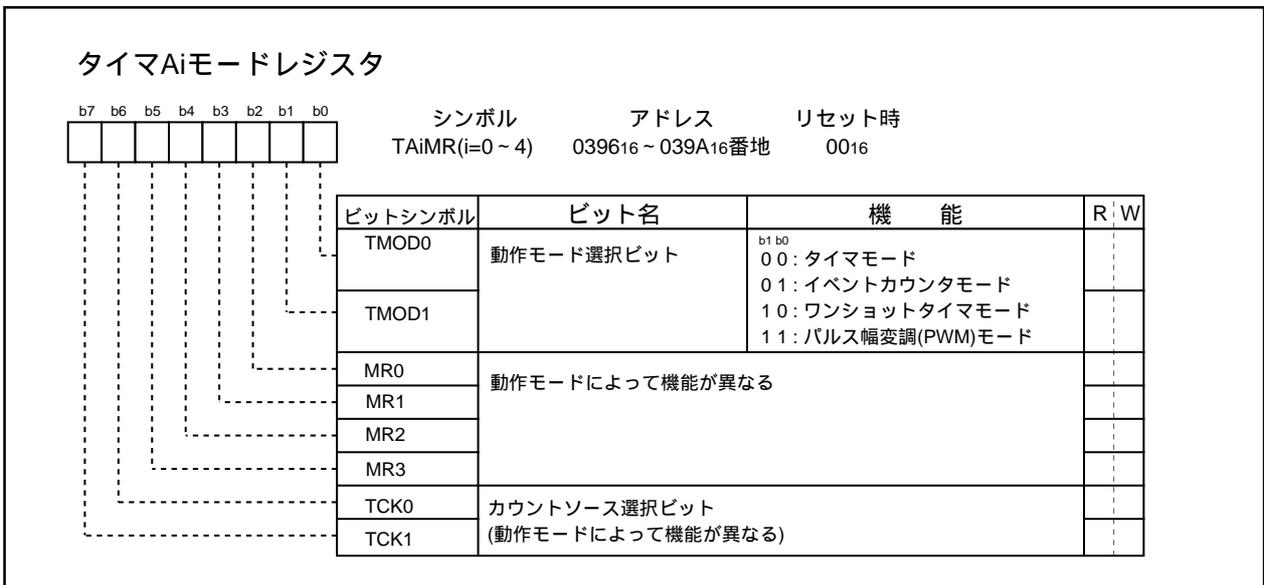
図FB-2にタイマAのブロック図を、図FB-3～図FB-5にタイマA関連のレジスタを示します。

タイマAは、次の4種類のモードを持ち、イベントカウンタモードを除いて、タイマA0～A4は同一の機能を持ちます。各モードは、タイマAiモードレジスタ(i=0～4)のビット0とビット1で選択できます。

- ・タイマモード 内部カウントソースをカウントするモード
- ・イベントカウンタモード 外部からのパルスまたはタイマのオーバフローをカウントするモード
- ・ワンショットタイマモード カウント値が“0000₁₆”になるとカウントが止まるモード
- ・パルス幅変調モード 任意のパルス幅を連続して出力するモード



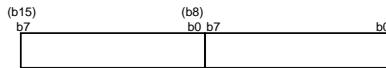
図FB-2. タイマAブロック図



図FB-3. タイマA関連レジスタ(1)

タイマA

タイマAiレジスタ(注1)

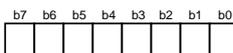


シンボル	アドレス	リセット時
TA0	0387 ₁₆ , 0386 ₁₆ 番地	不定
TA1	0389 ₁₆ , 0388 ₁₆ 番地	不定
TA2	038B ₁₆ , 038A ₁₆ 番地	不定
TA3	038D ₁₆ , 038C ₁₆ 番地	不定
TA4	038F ₁₆ , 038E ₁₆ 番地	不定

機能	設定可能値	R/W
タイマモード 内部カウントソースをカウント	0000 ₁₆ ~ FFFF ₁₆	
イベントカウンタモード 外部からの入力パルスまたはタイマのオーバフローを カウント	0000 ₁₆ ~ FFFF ₁₆	
ワンショットタイマモード ワンショット幅をカウント	0000 ₁₆ ~ FFFF ₁₆	×
パルス幅変調モード(16ビットPWM) 16ビットパルス幅変調器として動作	0000 ₁₆ ~ FFFE ₁₆	×
パルス幅変調モード(8ビットPWM) タイマの下位アドレスは、8ビットプリスケアラ、 上位アドレスは8ビットパルス幅変調器として動作	00 ₁₆ ~ FE ₁₆ (上位、下位 アドレスとも)	×

注1. 読み出し、および書き込みは16ビット単位で行ってください。

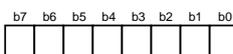
カウント開始フラグ



シンボル	アドレス	リセット時
TABSR	0380 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	R/W
TA0S	タイマA0カウント開始フラグ	0: カウント停止 1: カウント開始	
TA1S	タイマA1カウント開始フラグ		
TA2S	タイマA2カウント開始フラグ		
TA3S	タイマA3カウント開始フラグ		
TA4S	タイマA4カウント開始フラグ		
TB0S	タイマB0カウント開始フラグ		
TB1S	タイマB1カウント開始フラグ		
TB2S	タイマB2カウント開始フラグ		

アップダウンフラグ

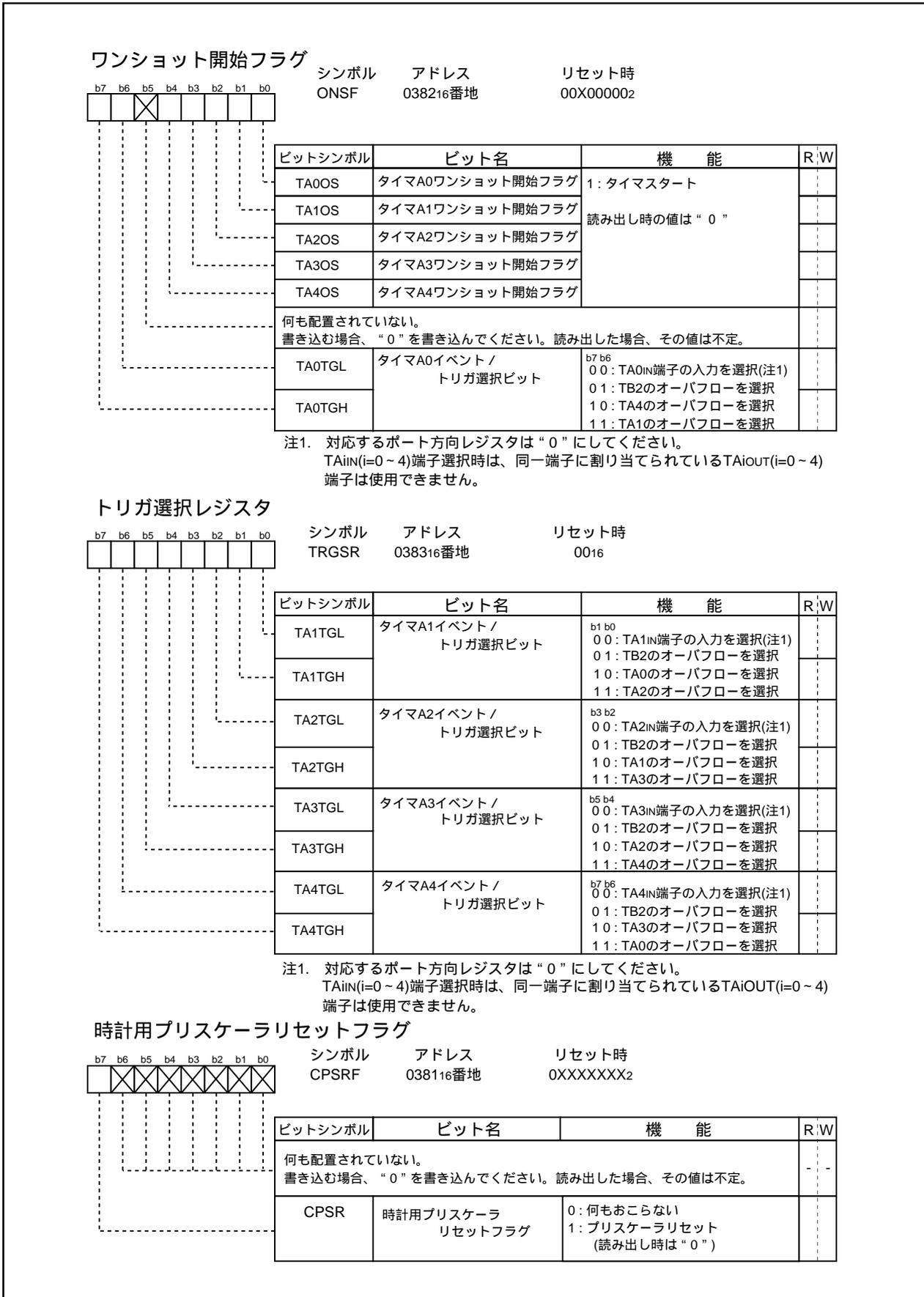


シンボル	アドレス	リセット時
UDF	0384 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	R/W
TA0UD	タイマA0アップダウンフラグ	0: ダウンカウント 1: アップカウント アップ / ダウン切り替え要因に アップダウンフラグの内容を 選択すると有効になる	
TA1UD	タイマA1アップダウンフラグ		
TA2UD	タイマA2アップダウンフラグ		
TA3UD	タイマA3アップダウンフラグ		
TA4UD	タイマA4アップダウンフラグ		
TA2P	タイマA2二相パルス信号処理 機能選択ビット	0: 二相パルス信号処理機能禁止 1: 二相パルス信号処理機能許可	×
TA3P	タイマA3二相パルス信号処理 機能選択ビット		×
TA4P	タイマA4二相パルス信号処理 機能選択ビット		×

図FB-4. タイマA関連レジスタ(2)

タイマA



図FB-5. タイマA関連レジスタ(3)

タイマA

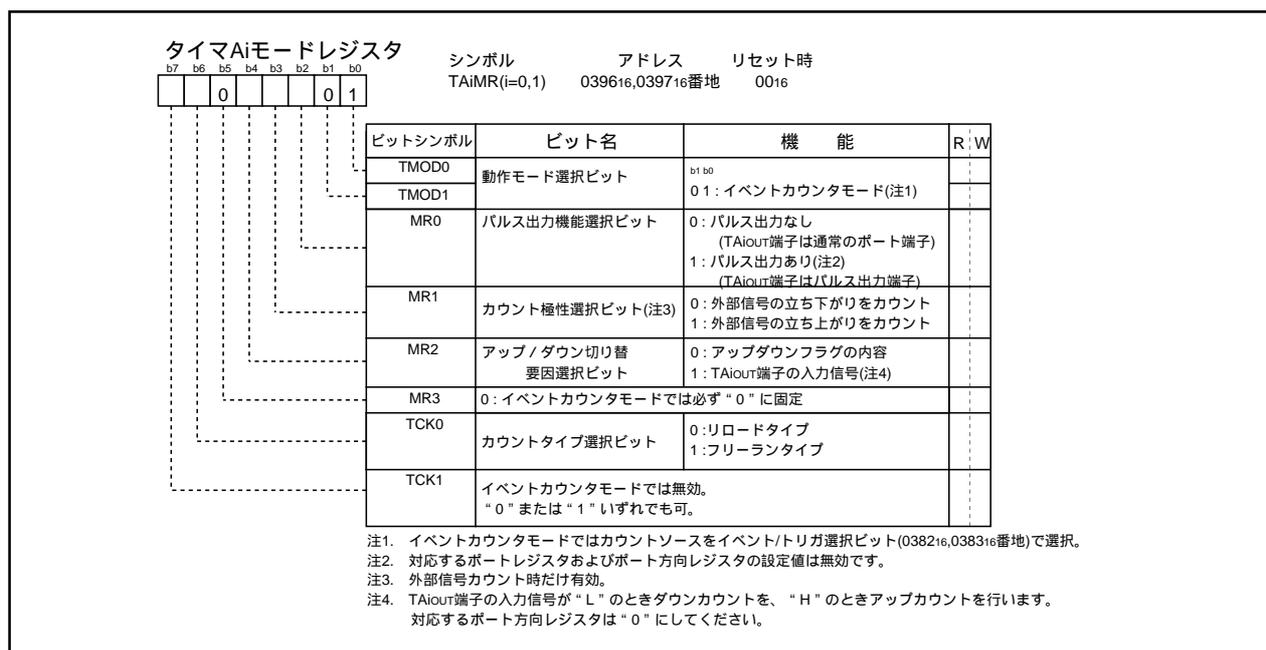
(2) イベントカウンタモード

外部信号または内部タイマのオーバフローをカウントするモードです。タイマA0、A1は、一相の外部信号をカウントできます。タイマA2、A3、A4は、一相の外部信号と二相の外部信号をカウントできます。一相の外部信号をカウントする場合の仕様を表FB-2に、タイマAiモードレジスタの構成を図FB-7に示します。二相の外部信号をカウントする場合の仕様を表FB-3に、タイマAiモードレジスタの構成を図FB-8に示します。

表FB-2. イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項目	仕様
カウントソース	TAiIN端子に入力された外部信号(ソフトウェアにて有効エッジを選択可能) TB2のオーバフロー、TAjのオーバフロー
カウント動作	アップカウントまたはダウンカウントを、外部信号またはソフトウェアで選択可能 オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注1)
分周比	アップカウント時 $1/(FFFF_{16} - n + 1)$ ダウンカウント時 $1/(n + 1)$ n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバフロー時、およびアンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはカウントソース入力
TAiOUT端子機能	プログラマブル入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力
タイマの読み出し	タイマAiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	フリーランカウント機能 オーバフローまたはアンダフローが発生してもリロードレジスタからリロードしない パルス出力機能 オーバフローまたはアンダフローするごとにTAiOUT端子の極性が反転

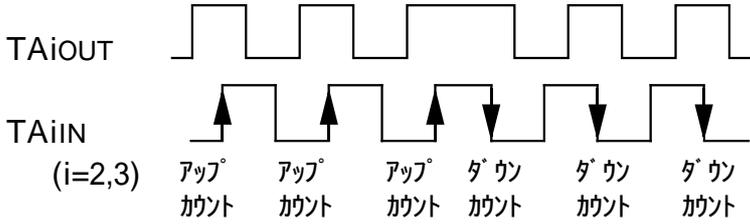
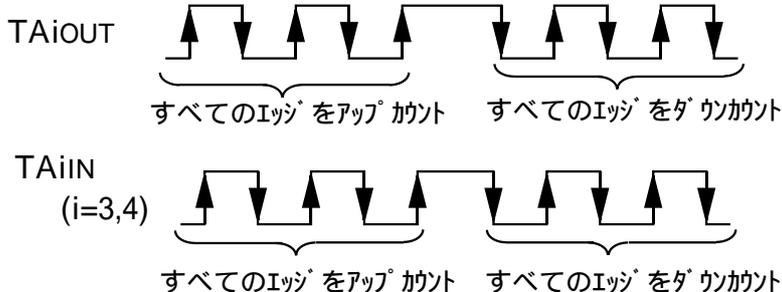
注1. フリーラン機能選択時は除きます。



図FB-7. イベントカウンタモード時のタイマAiモードレジスタの構成

タイマA

表FB-3. イベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

項目	仕様
カウントソース	TAiIN、TAiOUT端子に入力された二相パルス信号
カウント動作	アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注1)
分周比	アップカウント時 $1/(FFFF_{16} - n + 1)$ ダウンカウント時 $1/(n + 1)$ n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバフロー時、およびアンダフロー時
TAiIN端子機能	二相パルス入力
TAiOUT端子機能	二相パルス入力
タイマの読み出し	タイマA2、A3、A4レジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマA2、A3、A4レジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマA2、A3、A4レジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)
選択機能	<p>通常処理動作</p> <p>TAiOUT端子の入力信号が“H”レベルの期間TAiIN端子の立ち上がりをアップカウントし立ち下がりを見下ろしをダウンカウントします。</p>  <p>4通倍処理動作</p> <p>TAiOUT端子の入力信号が“H”レベルの期間にTAiIN端子が立ち上がる位相関係の場合、TAiOUT、TAiIN端子の立ち上がり、立ち下がりを見下ろしをアップカウントします。TAiOUT端子の入力信号が“H”レベルの期間にTAiIN端子が立ち下がる位相関係の場合、TAiOUT、TAiIN端子の立ち上がり、立ち下がりを見下ろしをダウンカウントします。</p> 

注1. フリーラン機能選択時は除く。

タイマA

タイマAiモードレジスタ

(二相パルス信号処理を使用しない場合)

シンボル	アドレス	リセット時
TAiMR(i=2~4)	0398 ₁₆ ~ 039A ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	R/W
TMOD0	動作モード選択ビット	b1 b0 0 1: イベントカウンタモード	
TMOD1			
MR0	パルス出力機能選択ビット	0: パルス出力なし (TAiout端子は通常のポート端子) 1: パルス出力あり(注1) (TAiout端子はパルス出力端子)	
MR1	カウント極性選択ビット(注2)	0: 外部信号の立ち下がりをカウント 1: 外部信号の立ち上りをカウント	
MR2	アップ/ダウン切り替え 要因選択ビット	0: アップダウンフラグの内容 1: TAiout端子の入力信号(注3)	
MR3	0: イベントカウンタモードモードでは必ず“0”に固定		
TCK0	カウント動作タイプ選択 ビット	0: リロードタイプ 1: フリーランタイプ	
TCK1	二相パルス処理動作選択 ビット(注4)(注5)	0: 通常処理動作 1: 4 通倍処理動作	

注1. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。

注2. 外部信号カウント時だけ有効。

注3. 対応するポート方向レジスタは“0”にしてください。

注4. このビットはタイマA3モードレジスタにおいて有効。

タイマA2,A4モードレジスタでは、“0”または“1”いずれでも可。

注5. 2相パルス信号処理を行う場合、2相パルス信号機能選択ビット(0384₁₆番地)は“1”に、イベント/トリガ選択ビット(0382₁₆,0383₁₆番地)は“00”にしてください。

タイマAiモードレジスタ

(二相パルス信号処理を使用する場合)

シンボル	アドレス	リセット時
TAiMR(i=2~4)	0398 ₁₆ ~ 039A ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	R/W
TMOD0	動作モード選択ビット	b1 b0 0 1: イベントカウンタモード	
TMOD1			
MR0	0: 二相パルス信号処理使用時には必ず“0”に固定		
MR1	0: 二相パルス信号処理使用時には必ず“0”に固定		
MR2	1: 二相パルス信号処理使用時には必ず“1”に固定		
MR3	0: 二相パルス信号処理使用時には必ず“0”に固定		
TCK0	カウント動作タイプ選択 ビット	0: リロードタイプ 1: フリーランタイプ	
TCK1	二相パルス処理動作選択 ビット(注1)(注2)	0: 通常処理動作 1: 4 通倍処理動作	

注1. このビットはタイマA3モードレジスタにおいて有効。

タイマA2,A4モードレジスタでは、“0”または“1”いずれでも可。

注2. 2相パルス信号処理を行う場合、2相パルス信号機能選択ビット(0384₁₆番地)は“1”に、イベント/トリガ選択ビット(0382₁₆,0383₁₆番地)は“00”にしてください。

図FB-8. イベントカウンタモード時のタイマAiモードレジスタの構成

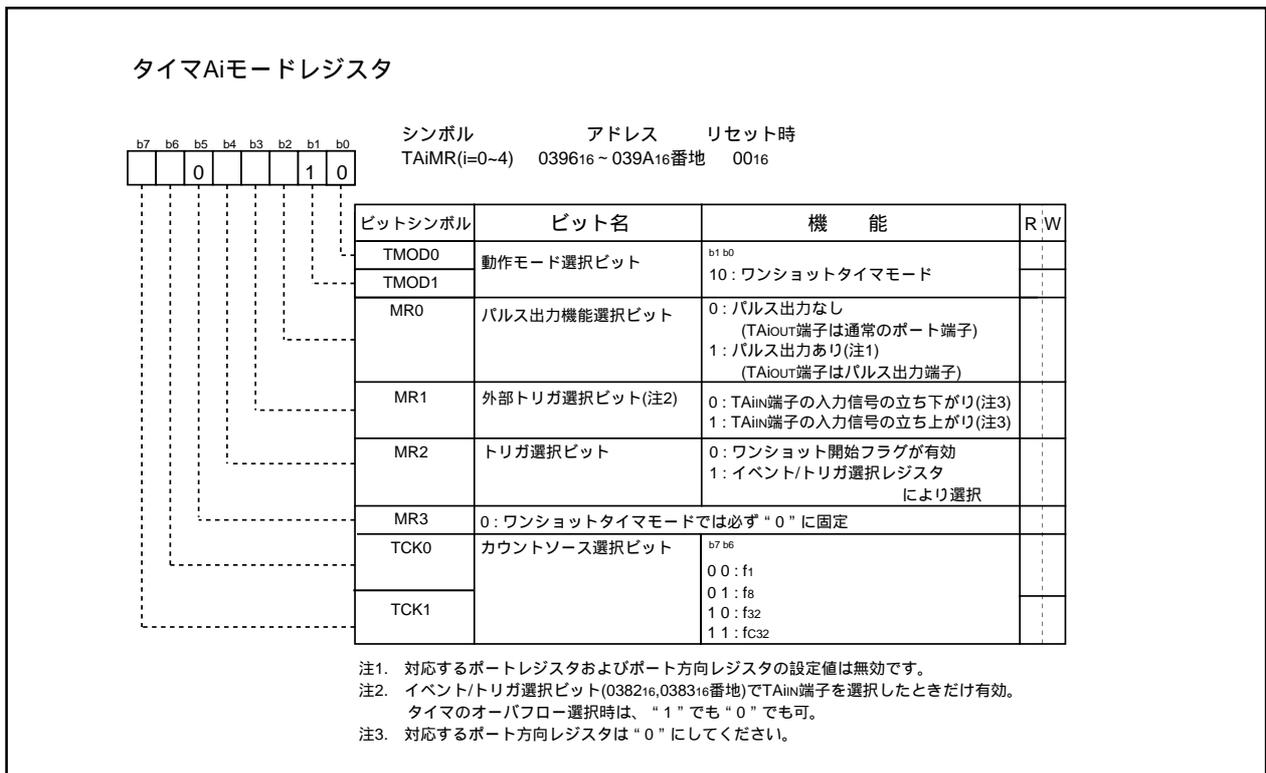
タイマA

(3) ワンショットタイマモード

1度だけタイマを動作するモードです(表FB-4)。トリガが発生するとその時点から任意の期間、タイマが動作します。図FB-9にワンショットタイマモード時のタイマAiモードレジスタの構成を示します。

表FB-4. ワンショットタイマモードの仕様

項目	仕様
カウントソース	f1, f8, f32, fC32
カウント動作	ダウンカウント カウントの値が0000 ₁₆ になるタイミングでリロードしてカウントを停止 カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	1/n n:設定値
カウント開始条件	外部トリガ入力 タイマのオーバフロー ワンショット開始フラグへの“1”書き込み
カウント停止条件	カウントの値が0000 ₁₆ になりリロードした後 カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	カウントの値が0000 ₁₆ になるタイミング
TAiIn端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOut端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)



図FB-9. ワンショットタイマモード時のタイマAiモードレジスタの構成

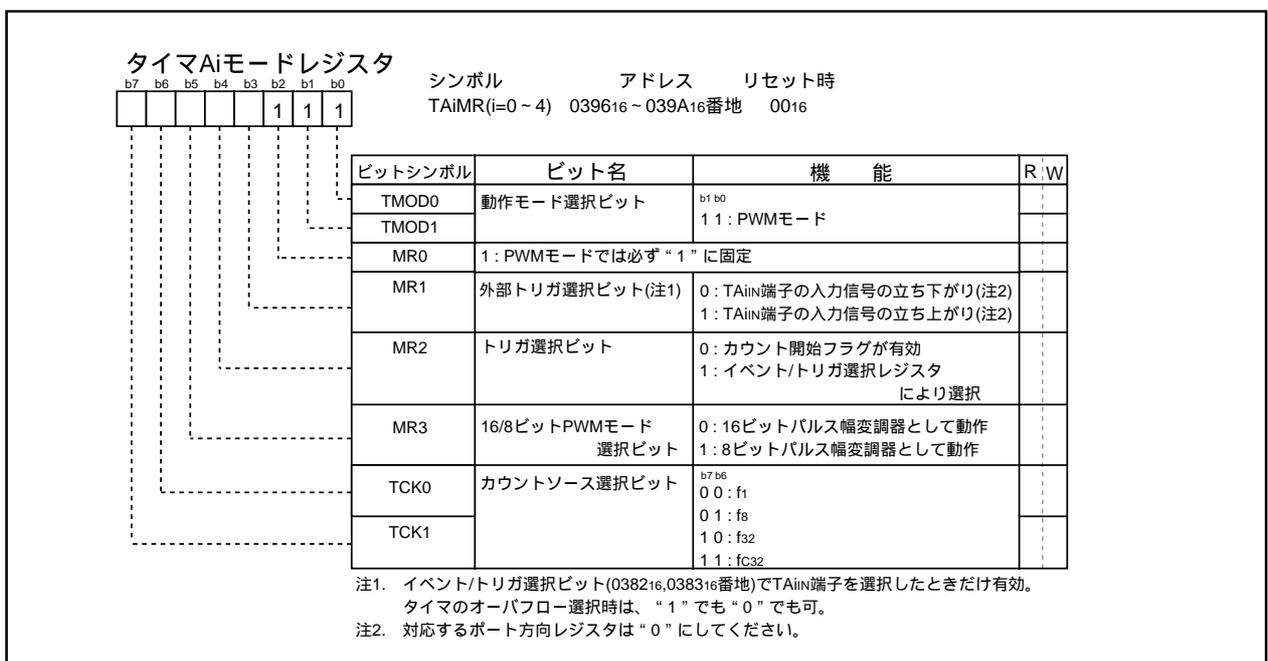
タイマA

(4) パルス幅変調モード

任意の幅のパルスを連続して出力するモードです(表FB-5)。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図FB-10にパルス幅変調モード時のタイマAiモードレジスタの構成、図FB-11に16ビットパルス幅変調器の動作例、および図FB-12に8ビットパルス幅変調器の動作例を示します。

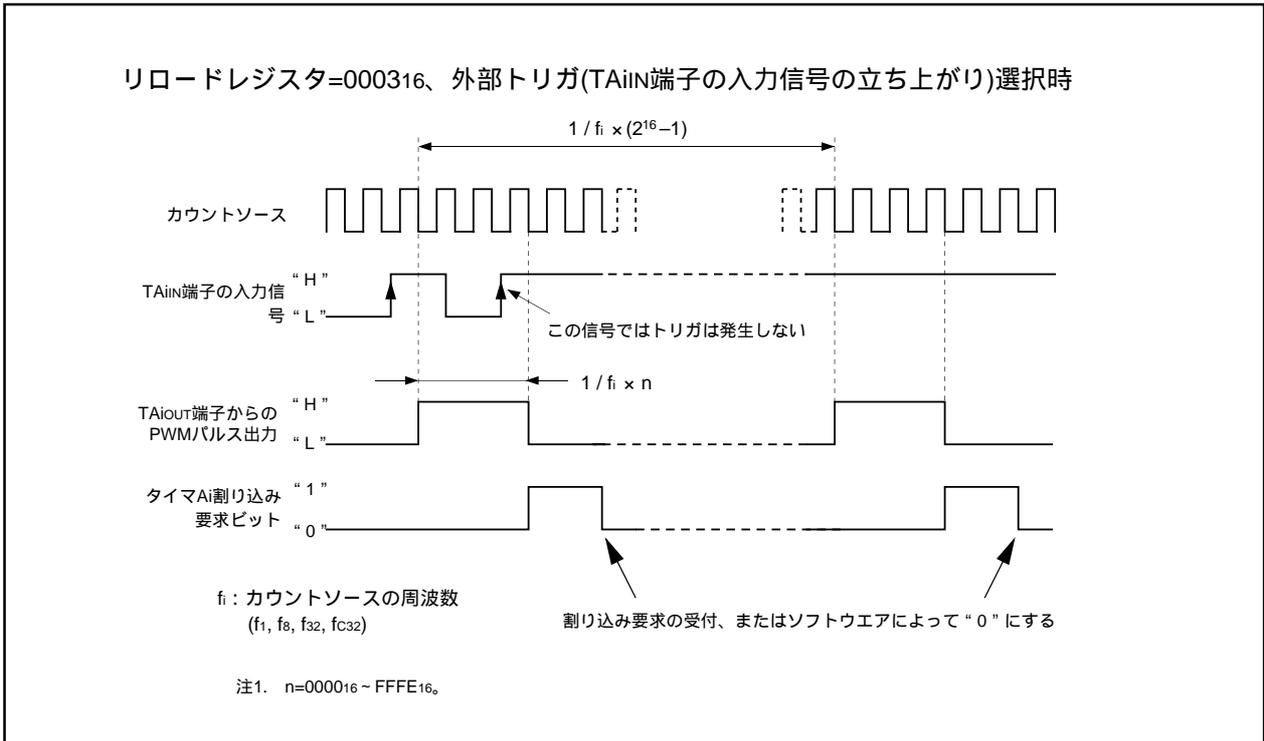
表FB-5. パルス幅変調モードの仕様

項目	仕様
カウントソース	f1, f8, f32, fc32
カウント動作	ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) PWMパルスの立ち上がりでリロードしてカウントを継続 カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	“H”レベル幅 n / f_i n:設定値 周期 $(2^{16} - 1) / f_i$ 固定
8ビットPWM	“H”レベル幅 $n \times (m+1) / f_i$ n:タイマAiレジスタの上位アドレスの設定値 周期 $(2^8 - 1) \times (m+1) / f_i$ m:タイマAiレジスタの低位アドレスの設定値
カウント開始条件	外部トリガ入力 タイマのオーバフロー カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)

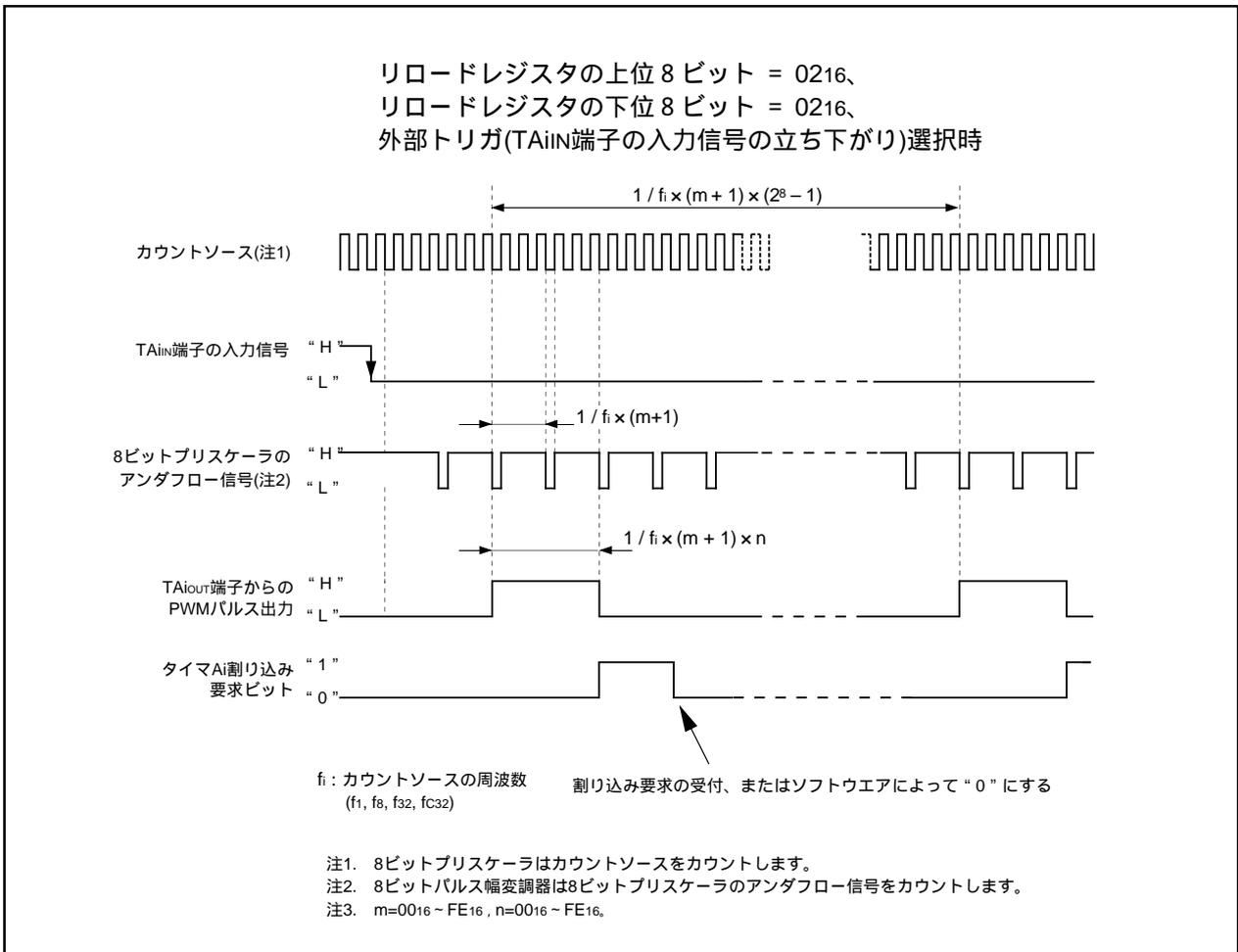


図FB-10. パルス幅変調モード時のタイマAiモードレジスタの構成

タイマA



図FB-11. 16ビットパルス幅変調器の動作例



図FB-12. 8ビットパルス幅変調器の動作例

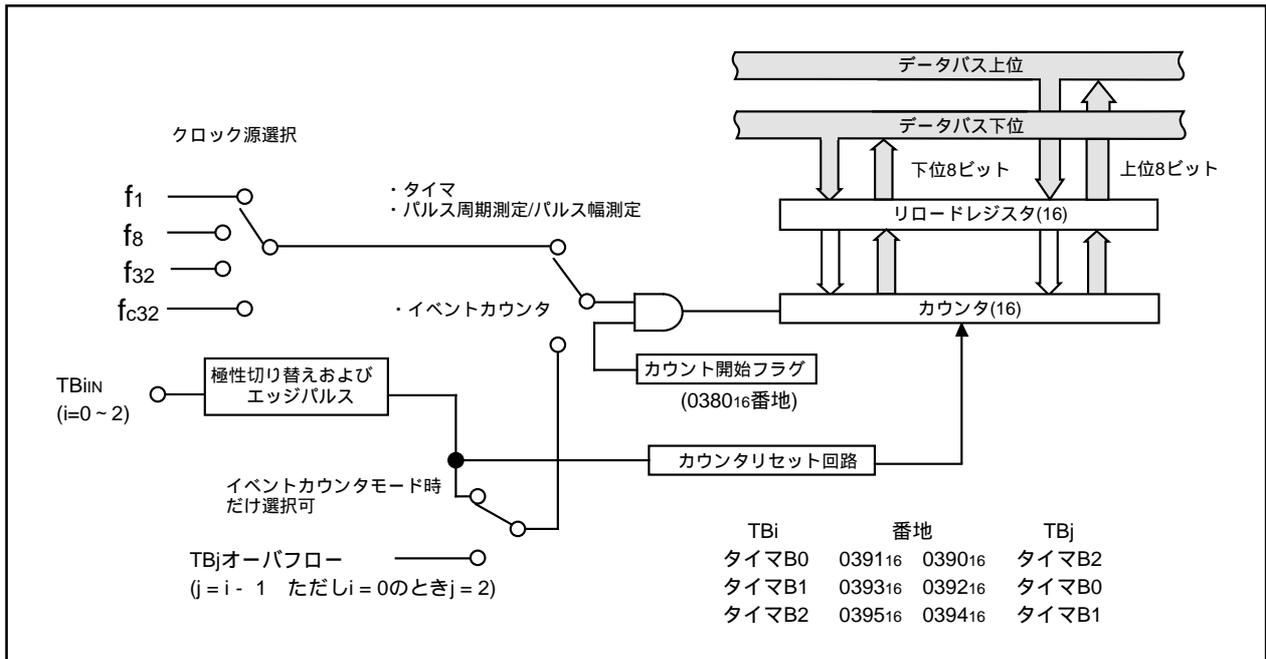
タイマB

タイマB

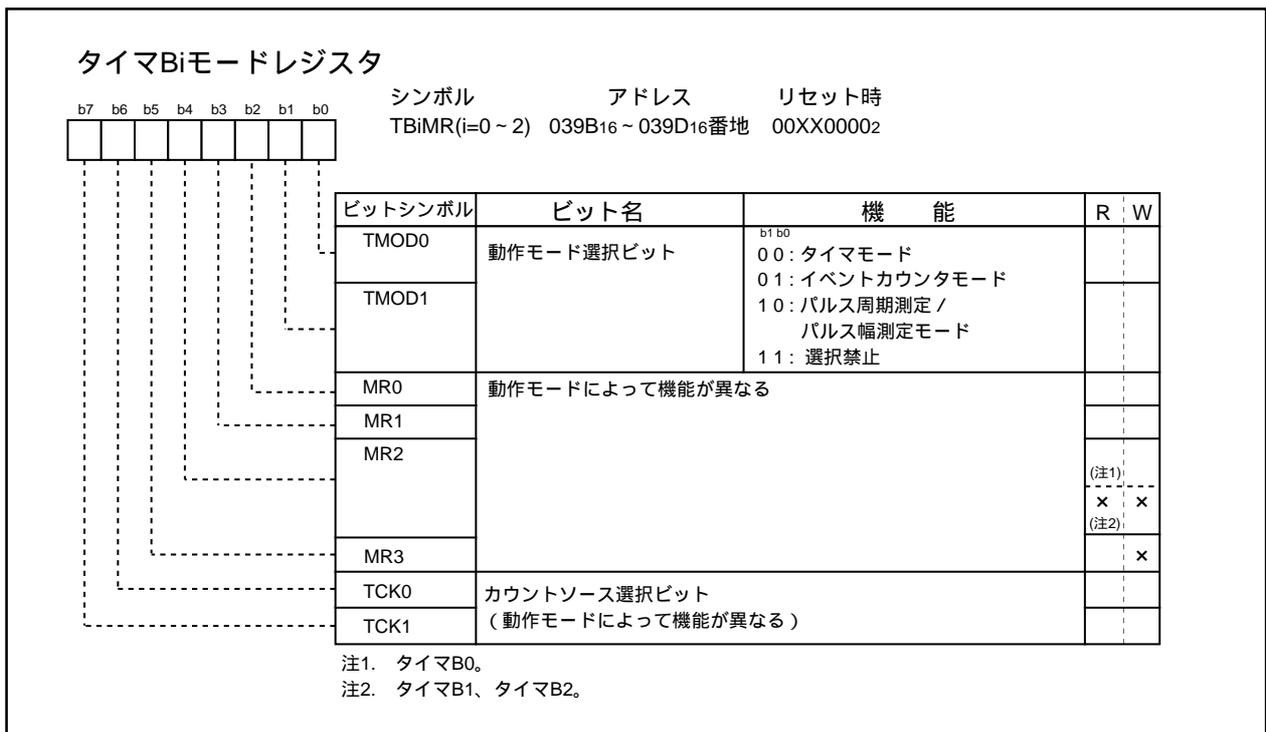
図TA-1にタイマBのブロック図を、図TA-2、図TA-3にタイマB関連レジスタを示します。

タイマBは、次の3種類のモードを持ちます。各モードは、タイマBiモードレジスタ(i=0~2)のビット0とビット1で選択できます。

- ・タイマモード 内部カウントソースをカウントするモード
- ・イベントカウンタモード 外部からのパルスまたはタイマのオーバーフローをカウントするモード
- ・パルス周期測定/パルス幅測定モード 外部パルスの周期またはパルス幅を測定するモード

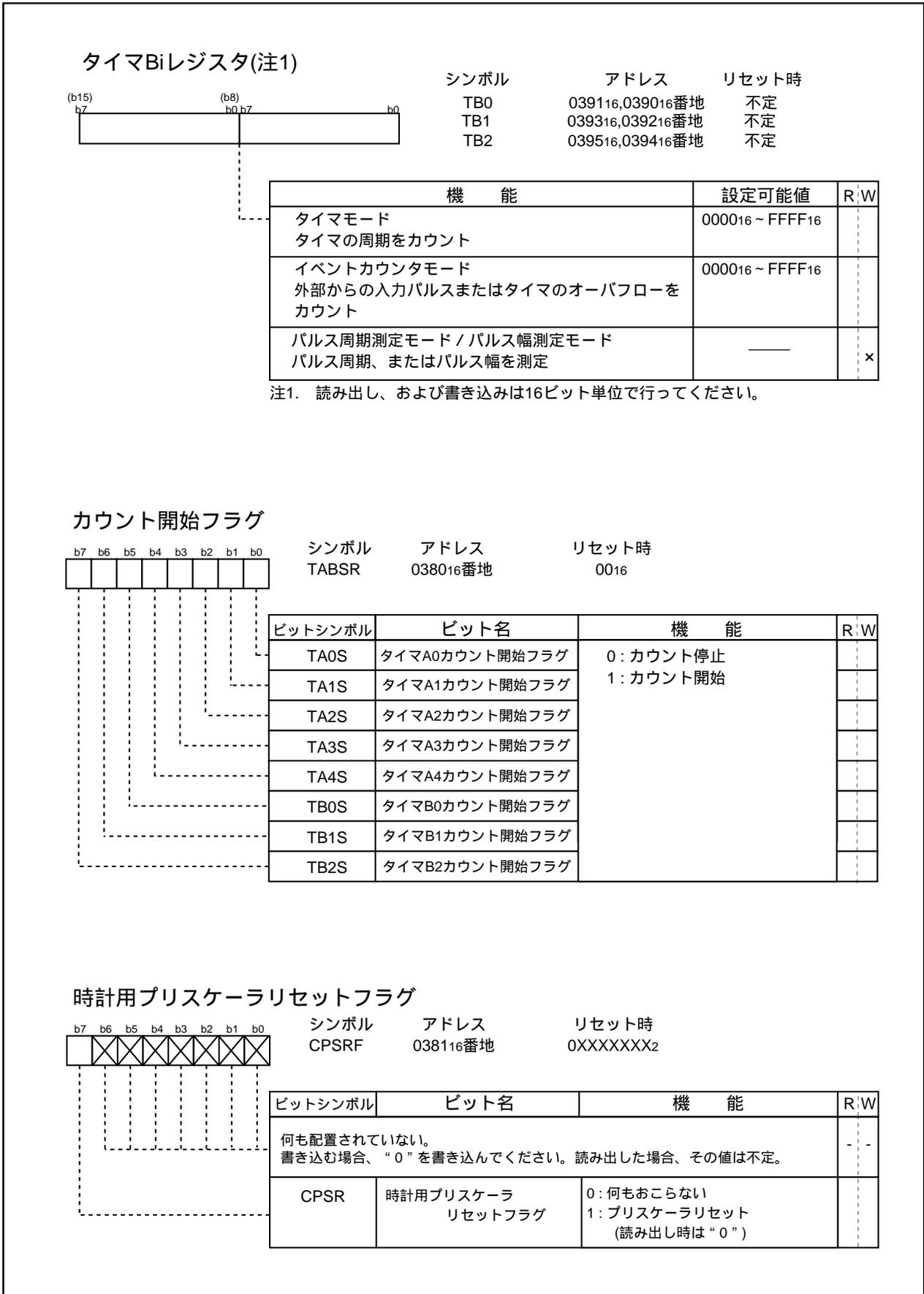


図TA-1. タイマBブロック図



図TA-2. タイマB関連レジスタ(1)

タイマB



図TA-3. タイマB関連レジスタ(2)

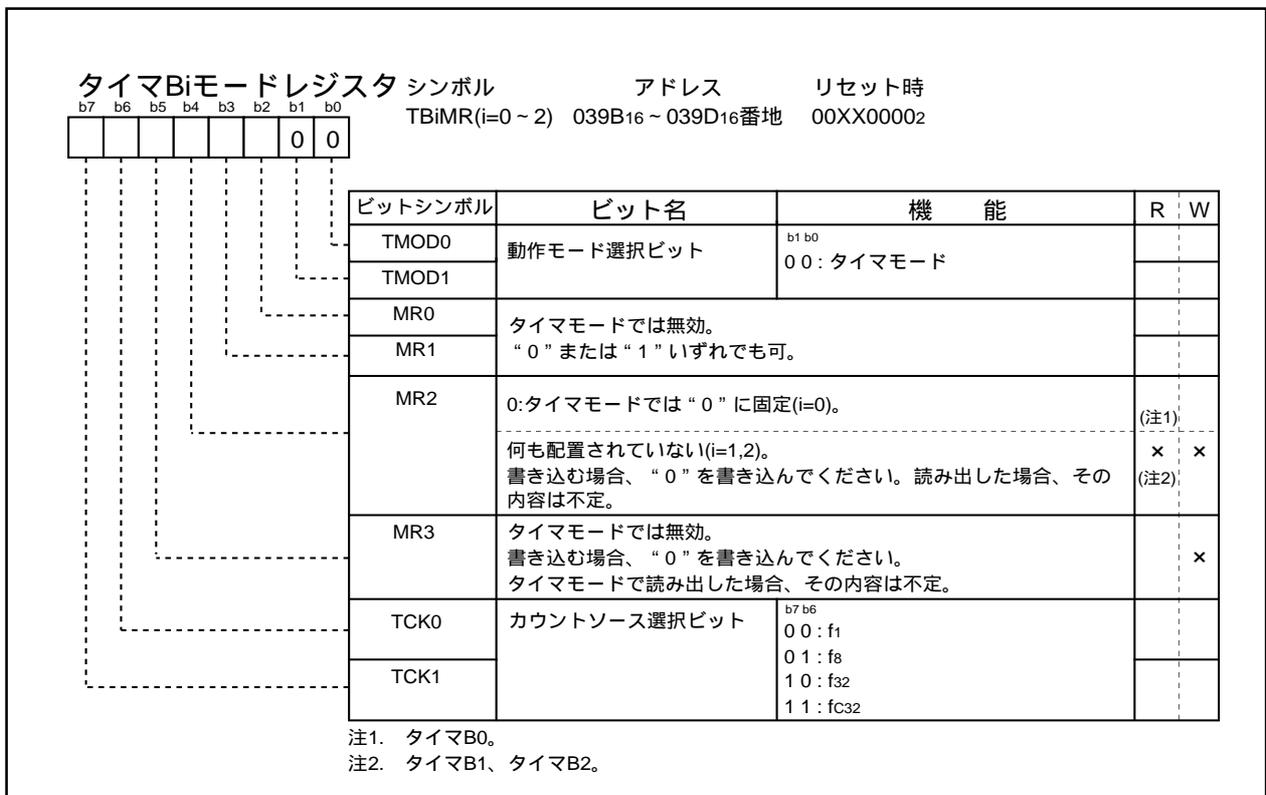
タイマB

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表TA-1)。図TA-4にタイマモード時のタイマBiモードレジスタの構成を示します。

表TA-1. タイマモードの仕様

項目	仕様
カウントソース	f1, f8, f32, fC32
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	プログラマブル入出力ポート
タイマの読み出し	タイマBiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマBiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)



図TA-4. タイマモード時のタイマBiモードレジスタの構成

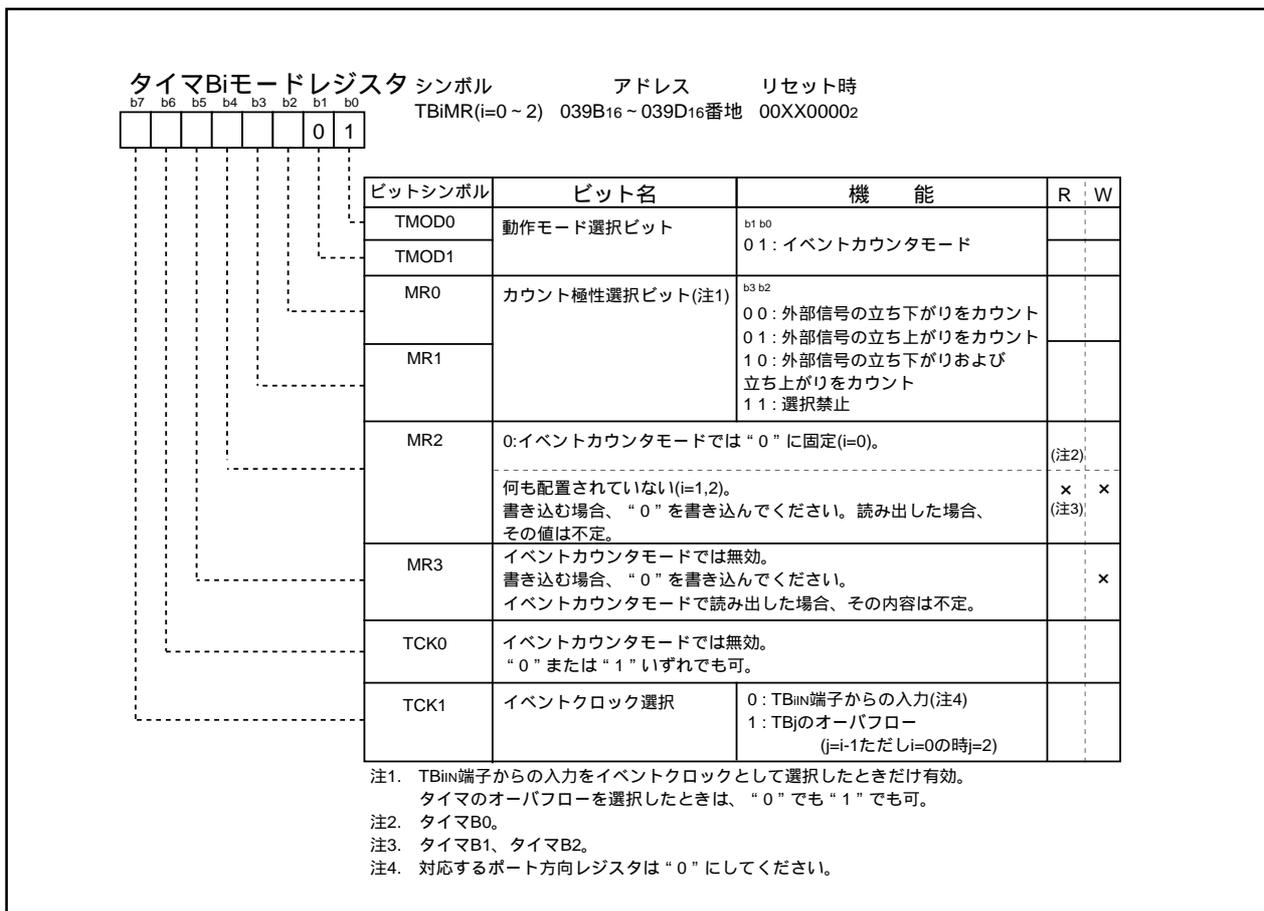
タイマB

(2) イベントカウンタモード

外部信号または内部タイマのオーバフローをカウントするモードです(表TA-2)。タイマBiレジスタの構成を図TA-5に示します。

表TA-2. イベントカウンタモードの仕様

項目	仕様
カウントソース	TBiIN端子に入力された外部信号 カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がりおよび立ち上りをソフトウェアによって選択可
カウント動作	ダウンカウント アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	カウントソース入力
タイマの読み出し	タイマBiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタおよびカウンタの両方に書き込まれる カウント中 タイマBiレジスタに書き込むとリロードレジスタにだけ書き込まれる(次のリロード時に転送)



図TA-5. イベントカウンタモード時のタイマBiモードレジスタの構成

タイマB

(3) パルス周期測定 / パルス幅測定モード

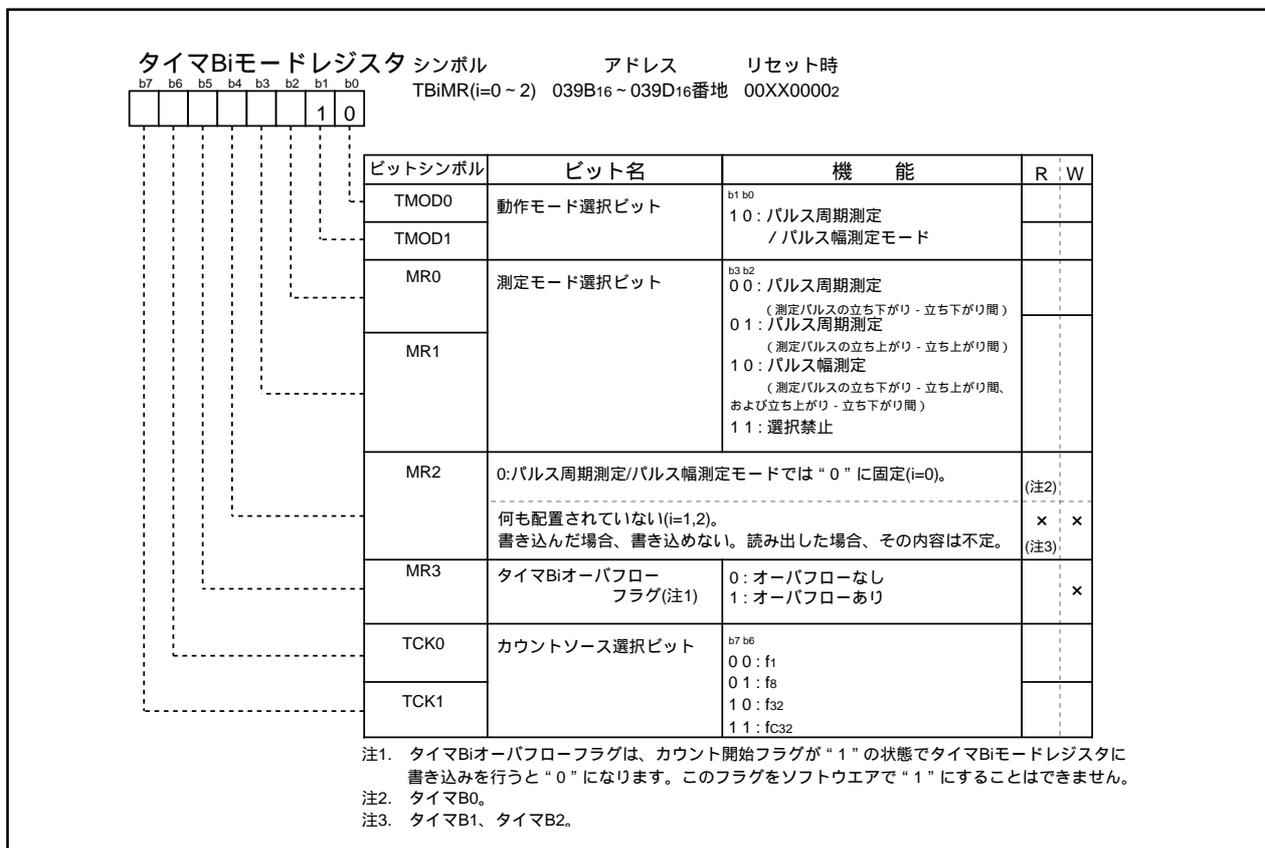
外部信号のパルス周期、またはパルス幅を測定するモードです(表TA-3)。図TA-6にパルス周期測定 / パルス幅測定モード時のタイマBiモードレジスタの構成、図TA-7にパルス周期測定時の動作図、および図TA-8にパルス幅測定時の動作図を示します。

表TA-3. パルス周期測定 / パルス幅測定モードの仕様

項目	仕様
カウントソース	f1, f8, f32, fc32
カウント動作	アップカウント 測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000 ₁₆ ”にしてカウントを継続
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	測定パルスの有効エッジ入力時(注1) オーバフロー時(同時にタイマBiオーバフローフラグが“1”になります。タイマBiオーバフローフラグは、カウント開始フラグが“1”の状態、タイマBiモードレジスタに書き込みを行うと“0”になります。)
TBiIN端子機能	測定パルス入力
タイマの読み出し	タイマBiレジスタを読み出すと、リロードレジスタの内容(測定結果)が読み出される(注2)
タイマの書き込み	不可

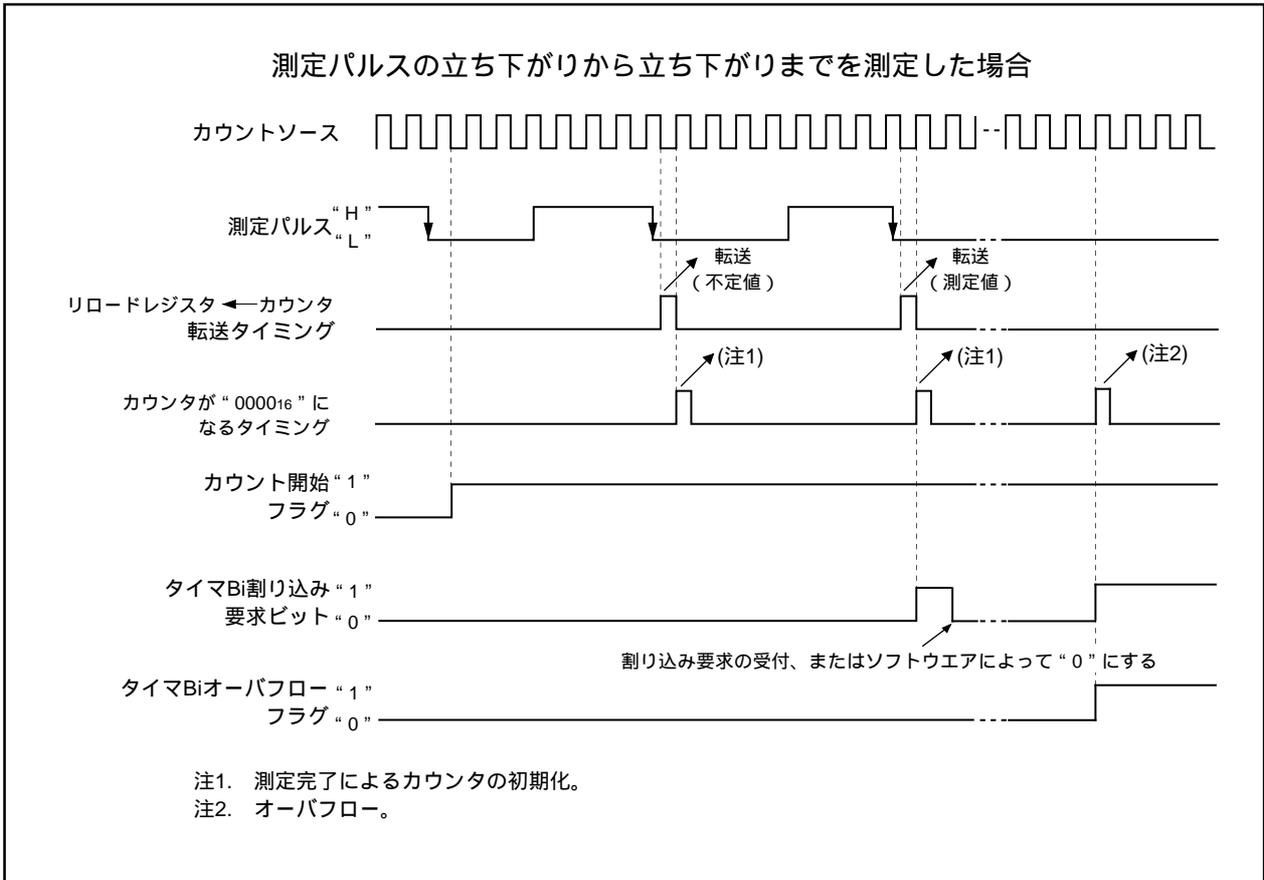
注1. カウント開始後1回目の有効エッジ入力時は、割り込み要求は発生しません。

注2. カウント開始後2回目の有効エッジ入力までは、タイマBiレジスタからの読み出し値は不定です。

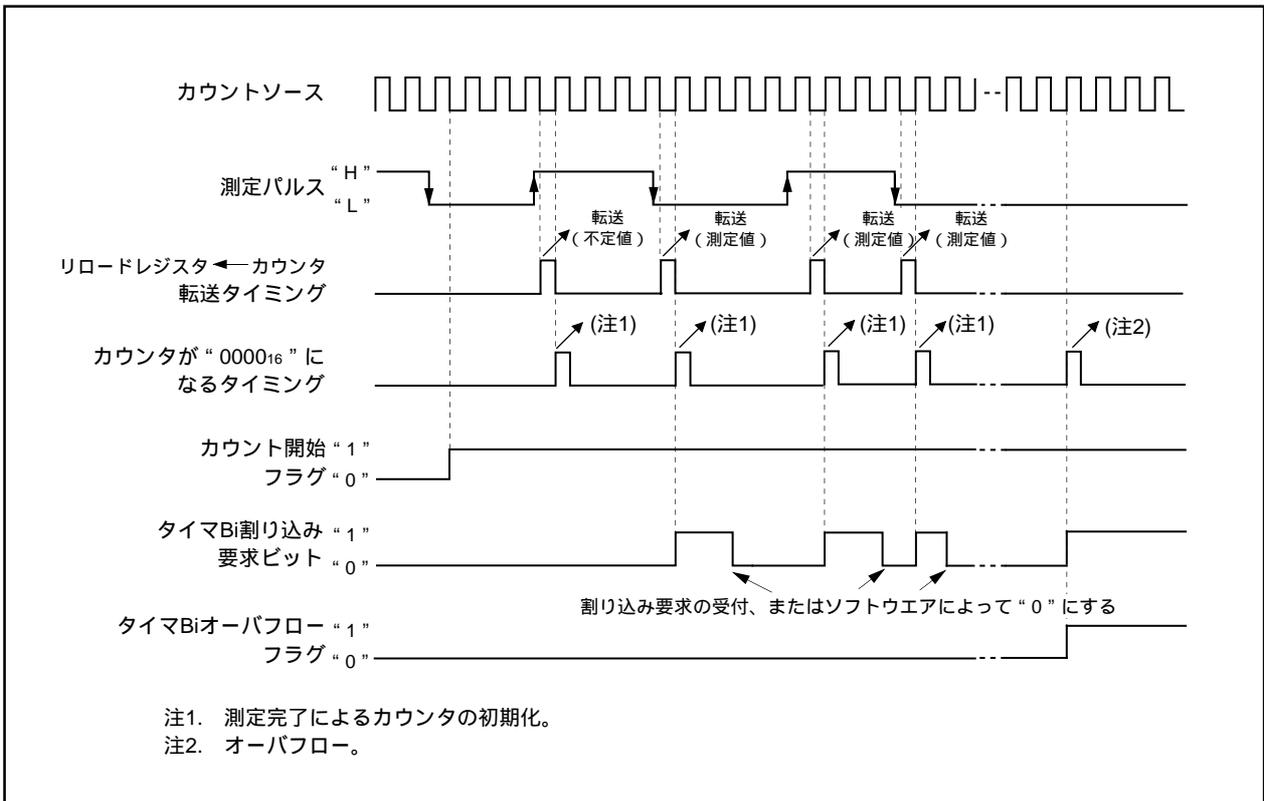


図TA-6. パルス周期測定 / パルス幅測定モード時のタイマBiモードレジスタの構成

タイマB



図TA-7. パルス周期測定時の動作図



図TA-8. パルス幅測定時の動作図

シリアル/O

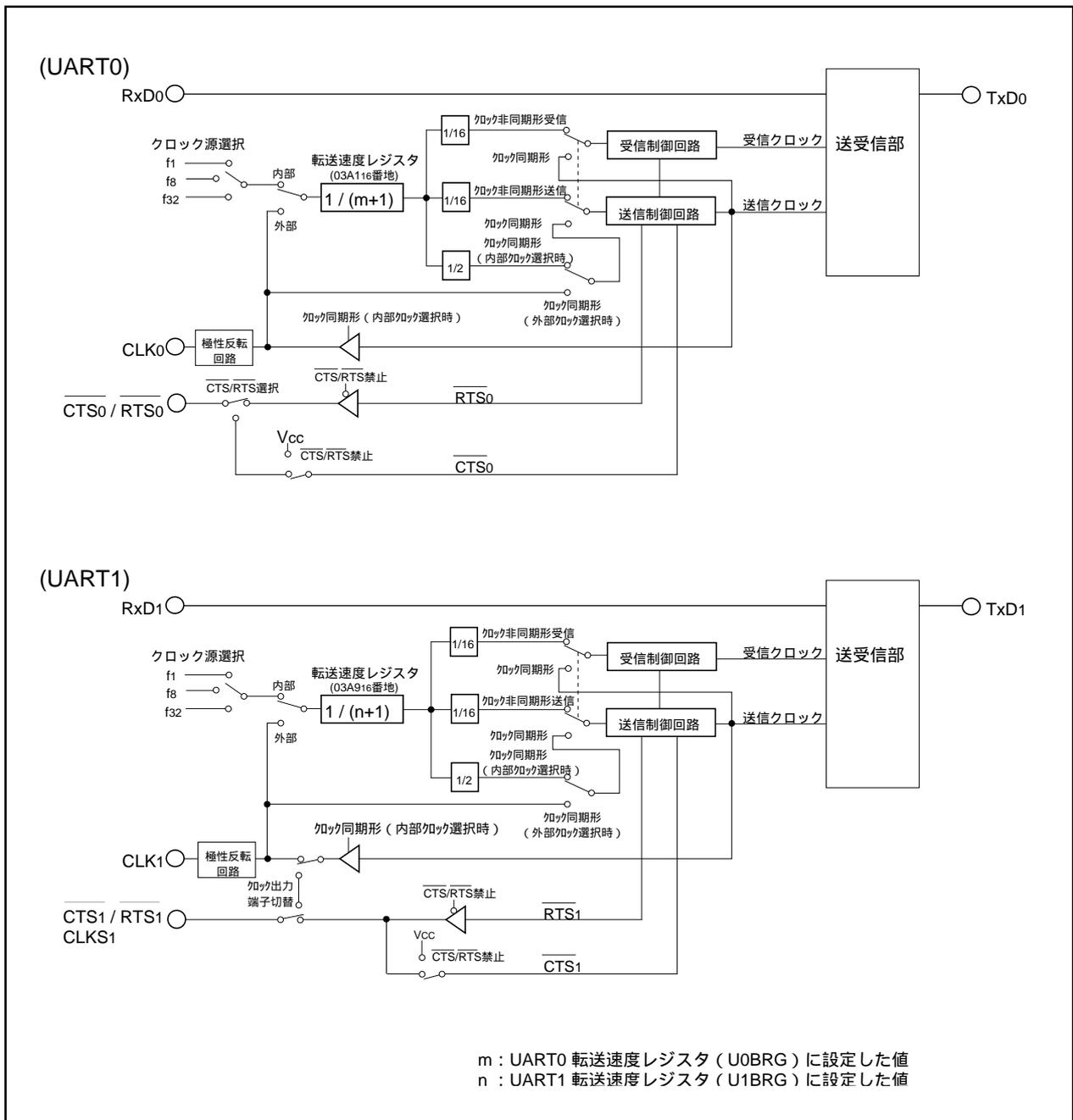
シリアル/O

シリアル/Oは、UART0、およびUART1の2チャンネルで構成しています。UART0、UART1はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

図GA-1にUARTi(i=0, 1)のブロック図、図GA-2に送受信部のブロック図を示します。

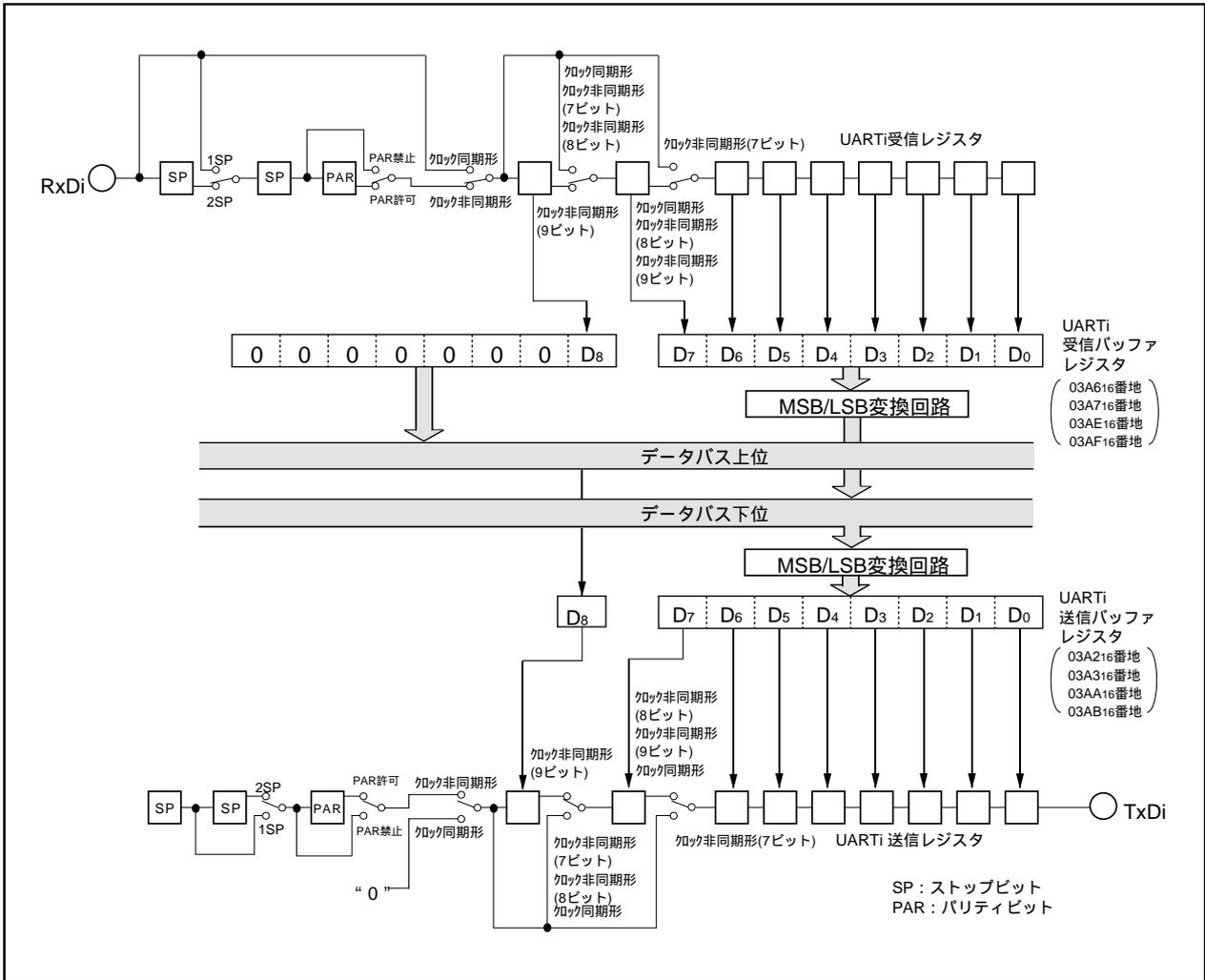
UARTi(i=0, 1)は、クロック同期形シリアル/Oモード、クロック非同期形シリアル/Oモード(UARTモード)の2種類のモードを持ちます。シリアル/Oモード選択ビット(03A016、03A816番地のビット0~ビット2)の内容で、クロック同期形シリアル/Oとして使用するか、クロック非同期形シリアル/Oとして使用するかを選択します。UART0とUART1は、一部の機能が異なることを除いてほぼ同一の機能を持ちます。

図GA-3~図GA-5に、UARTi関連のレジスタを示します。



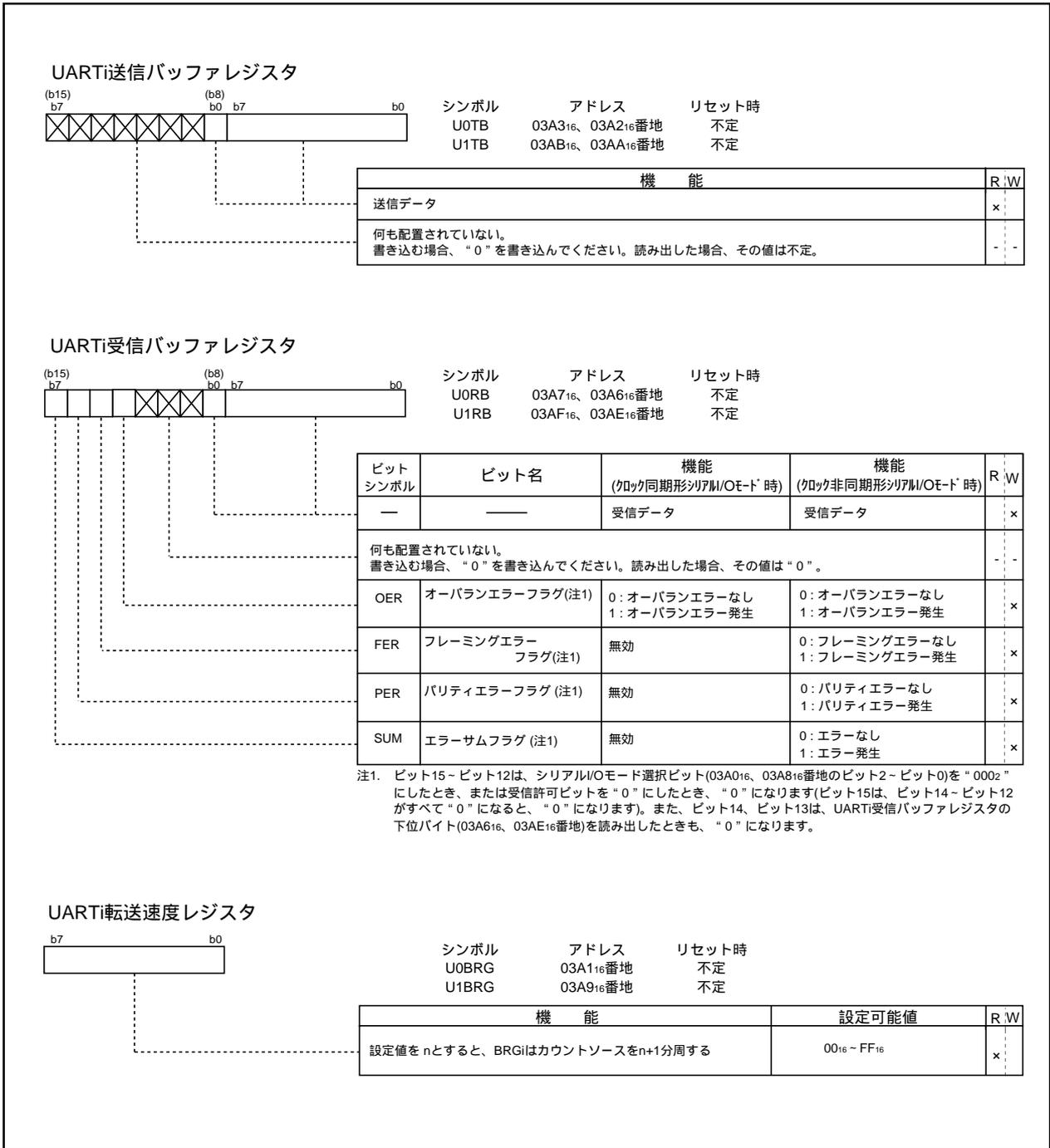
図GA-1. UARTi(i=0, 1)ブロック図

シリアルI/O



図GA-2. 送受信部ブロック図

シリアルI/O



図GA-3. UARTi関連のレジスタ (1)

UARTi 送受信モードレジスタ

ビット シンボル	ビット名	機能 (クロック同期形シリアル/OE-ト'時)	機能 (クロック非同期形シリアル/OE-ト'時)	R	W
b7					
b6					
b5					
b4					
b3					
b2					
b1					
b0					
シンボル アドレス リセット時 UiMR(i=0,1) 03A016,03A816番地 0016					
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 001 に固定してください 000:シリアルI/Oは無効 010:使用禁止 011:使用禁止 111:使用禁止	b2 b1 b0 100:転送データ長7ビット 101:転送データ長8ビット 110:転送データ長9ビット 000:シリアルI/Oは無効 010:使用禁止 011:使用禁止 111:使用禁止		
SMD1					
SMD2					
CKDIR	内/外部クロック選択ビット	0:内部クロック 1:外部クロック	0:内部クロック 1:外部クロック		
STPS	ストップビット長選択ビット	無効	0:1ストップビット 1:2ストップビット		
PRY	パリティ奇/偶選択ビット	無効	ビット6が“1”のとき有効、 0:奇数パリティ 1:偶数パリティ		
PRYE	パリティ許可ビット	無効	0:パリティ禁止 1:パリティ許可		
SLEP	スリープ選択ビット	“0”に固定してください	0:スリープモード解除 1:スリープモード選択		

UARTi 送受信制御レジスタ0

ビット シンボル	ビット名	機能 (クロック同期形シリアル/OE-ト'時)	機能 (クロック非同期形シリアル/OE-ト'時)	R	W
b7					
b6					
b5					
b4					
b3					
b2					
b1					
b0					
シンボル アドレス リセット時 UiC0(i=0,1) 03A416,03AC16番地 0816					
CLK0	BRGカウントソース 選択ビット	b1 b0 00: f1を選択 01: f8を選択 10: f32を選択 11: 使用禁止	b1 b0 00: f1を選択 01: f8を選択 10: f32を選択 11: 使用禁止		
CLK1					
CRS	CTS/RTS機能選択ビット	ビット4が“0”のとき有効、 0:CTS機能を選択(注1) 1:RTS機能を選択(注2)	ビット4が“0”のとき有効、 0:CTS機能を選択(注1) 1:RTS機能を選択(注2)		
TXEPT	送信レジスタ空フラグ	0:送信レジスタに データあり(送信中) 1:送信レジスタに データなし(送信完了)	0:送信レジスタに データあり(送信中) 1:送信レジスタに データなし(送信完了)		x
CRD	CTS/RTS禁止ビット	0:CTS/RTS機能許可 1:CTS/RTS機能禁止 (P47,P77はプログラマブル 入出力ポートとして機能)	0:CTS/RTS機能許可 1:CTS/RTS機能禁止 (P47,P77はプログラマブル 入出力ポートとして機能)		
NCH	データ出力選択ビット	0:TXDi端子はCMOS出力 1:TXDi端子はNチャネル オープンドレイン出力	0:TXDi端子はCMOS出力 1:TXDi端子はNチャネル オープンドレイン出力		
CKPOL	CLK極性選択ビット	0:転送クロックの立ち下がり で送信データ出力、立ち 上がりで受信データ入力 1:転送クロックの立ち上がり で送信データ出力、立ち 下がりで受信データ入力	“0”に固定してください		
UFORM	転送フォーマット選択ビット	0:LSBファースト 1:MSBファースト	“0”に固定してください		

注1. 対応するポート方向レジスタは“0”にしてください。

注2. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。

図GA-4. UARTi関連のレジスタ(2)

シリアルI/O

UARTi 送受信制御レジスタ1

ビット シンボル	ビット名	機能 (クロック同期シリアル/OE-ド時)	機能 (クロック非同期シリアル/OE-ド時)	R	W
TE	送信許可ビット	0: 送信禁止 1: 送信許可	0: 送信禁止 1: 送信許可		
TI	送信バッファ空フラグ	0: 送信バッファレジスタに データあり 1: 送信バッファレジスタに データなし	0: 送信バッファレジスタに データあり 1: 送信バッファレジスタに データなし		X
RE	受信許可ビット	0: 受信禁止 1: 受信許可	0: 受信禁止 1: 受信許可		
RI	受信完了フラグ	0: 受信バッファレジスタに データなし 1: 受信バッファレジスタに データあり	0: 受信バッファレジスタに データなし 1: 受信バッファレジスタに データあり		X
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。					-

UART送受信制御レジスタ2

ビット シンボル	ビット名	機能 (クロック同期シリアル/OE-ド時)	機能 (クロック非同期シリアル/OE-ド時)	R	W
U0IRS	UART0送信割り込み要因 選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)		
U1IRS	UART1送信割り込み要因 選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)		
U0RRM	UART0連続受信モード 許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	無効		
U1RRM	UART1連続受信モード 許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	無効		
CLKMD0	CLK,CLKS選択ビット0	ビット5が“1”のとき有効 0: CLK1にクロックを出力 1: CLKS1にクロックを出力	無効		
CLKMD1	CLK,CLKS選択 ビット1(注1)	0: 通常モード (CLK出力はCLK1のみ) 1: 転送クロック複数端子 出力機能選択	“0”に固定してください		
予約ビット		必ず“0”を設定してください	必ず“0”を設定してください		
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。					-

注1. 複数の転送クロック出力端子を使用するときは、以下に示す条件を満たしてください。
・UART1内/外部クロック選択ビット(03A8₁₆番地のビット3) = “0”

図GA-5. UARTi関連のレジスタ (3)

(1) クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表GA-1にクロック同期形シリアルI/Oモードの仕様を、図GA-6にUARTi送受信モードレジスタの構成を示します。

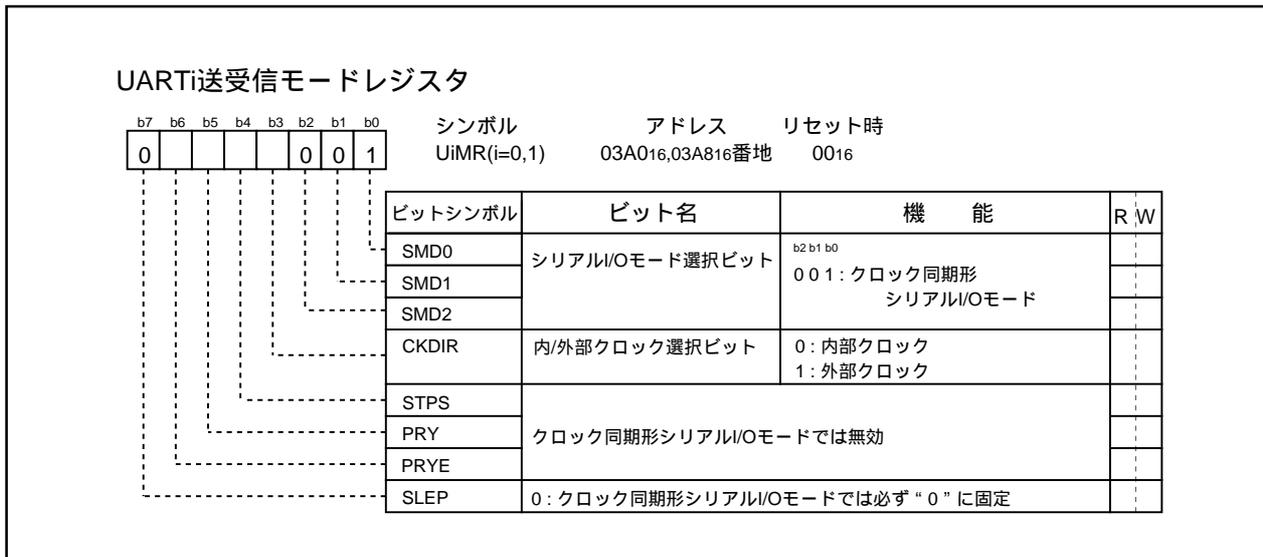
表GA-1. クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	内部クロック選択時(03A016、03A816番地のビット3=“0”) : $f_i/2(n+1)$ (注1) $f_i=f_1, f_8, f_{32}$ 外部クロック選択時(03A016、03A816番地のビット3=“1”) : CLKi端子からの入力 (注2)
送信制御/受信制御	CTS機能/RTS機能/CTS,RTS機能無効 選択
送信開始条件	送信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> 送信許可ビット(03A516、03AD16番地のビット0)=“1” 送信バッファ空フラグ(03A516、03AD16番地のビット1)=“0” CTS機能選択時、CTS端子の入力が“L”レベル 更に、外部クロック選択時には次の条件も必要です。 <ul style="list-style-type: none"> CLKi極性選択ビット(03A416、03AC16番地のビット6)=“0” : CLKi端子の入力が“H” CLKi極性選択ビット(03A416、03AC16番地のビット6)=“1” : CLKi端子の入力が“L”
受信開始条件	受信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> 受信許可ビット(03A516、03AD16番地のビット2)=“1” 送信許可ビット(03A516、03AD16番地のビット0)=“1” 送信バッファ空フラグ(03A516、03AD16番地のビット1)=“0” 更に、外部クロック選択時には次の条件も必要です。 <ul style="list-style-type: none"> CLKi極性選択ビット(03A416、03AC16番地のビット6)=“0” : CLKi端子の入力が“H” CLKi極性選択ビット(03A416、03AC16番地のビット6)=“1” : CLKi端子の入力が“L”
割り込み要求発生タイミング	送信時 <ul style="list-style-type: none"> 送信割り込み要因選択ビット(03B016番地のビット0、1)=“0” : UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 送信割り込み要因選択ビット(03B016番地のビット0、1)=“1” : UARTi送信レジスタからデータ送信完了時 受信時 <ul style="list-style-type: none"> UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時
エラー検出	オーバランエラー(注3) UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生
選択機能	極性選択 送信データ出力/入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可 LSBファースト/MSBファースト 選択 ビット0から送信/受信するか、またはビット7から送信/受信するかを選択可 連続受信モード選択 受信バッファレジスタを読み出す動作により、同時に受信許可状態になる。 転送クロック複数端子出力選択 UART1の転送クロック端子を2本設定し、ソフトウェアによって出力端子を選択可

注1. nはUART転送速度レジスタに設定した0016～FF16の値です。

注2. 最大5Mbps。

注3. オーバランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは“1”になりません。



図GA-6. クロック同期形シリアルI/Oモード時のUARTi送受信モードレジスタの構成

表GA-2に、クロック同期形シリアルI/Oモード時の入出力端子の機能を示します。これは、転送クロック複数端子出力選択機能は非選択時です。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャンネルオープンドレイン出力選択時はフローティング状態)。

表GA-2. クロック同期形シリアルI/Oモード時の入出力端子の機能

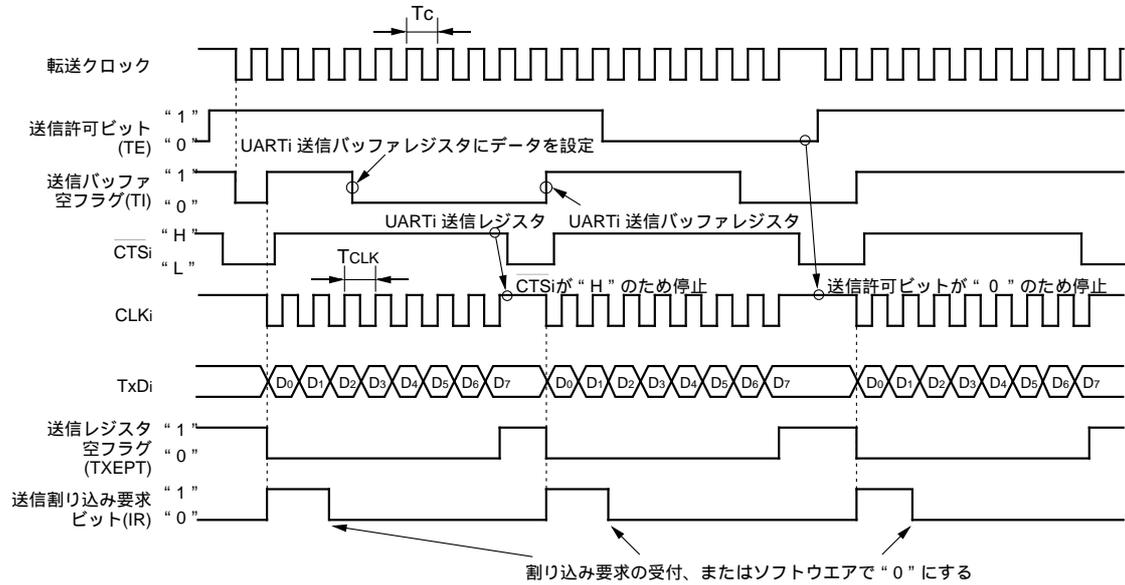
(転送クロック複数端子出力機能非選択)

(i = 0, 1)

端子名	機能	選択方法
TxDi (P44、P74)	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RxDi (P45、P75)	シリアルデータ入力	ポートP45の方向レジスタ(03EA16番地のビット5)、 ポートP75の方向レジスタ(03EF16番地のビット5)= “0” (送信だけを行うときは入力ポートとして使用可)
CLKi (P46、P76)	転送クロック出力	内/外部クロック選択ビット(03A016、03A816番地のビット3)= “0”
	転送クロック入力	内/外部クロック選択ビット(03A016、03A816番地のビット3)= “1” ポートP46の方向レジスタ(03EA16番地のビット6)、 ポートP76の方向レジスタ(03EF16番地のビット6)= “0”
CTS \bar i/RTSi (P47、P77)	CTS入力	CTS/RTS禁止ビット(03A416、03AC16番地のビット4)= “0” CTS/RTS機能選択ビット(03A416、03AC16番地のビット2)= “0” ポートP47の方向レジスタ(03EA16番地のビット7)、 ポートP77の方向レジスタ(03EF16番地のビット7)= “0”
	RTS出力	CTS/RTS禁止ビット(03A416、03AC16番地のビット4)= “0” CTS/RTS機能選択ビット(03A416、03AC16番地のビット2)= “1”
	プログラブル入出力ポート	CTS/RTS禁止ビット(03A416、03AC16番地のビット4)= “1”

クロック同期形シリアルI/Oモード

送信タイミング例 (内部クロック選択時)



()内はビットシンボルです。

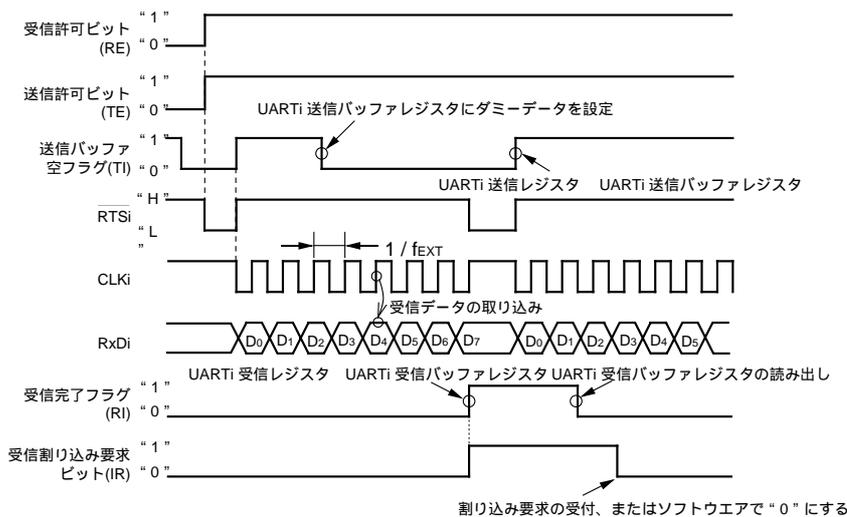
$$T_c = T_{CLK} = 2(n+1) / f_i$$

fi : BRGiのカウンタソースの周波数(f1, f8, f32)
n : BRGiに設定した値

上記タイミング図は次の設定条件の場合です。

- 内部クロック選択
- CTS機能選択
- CLK極性選択ビット = "0"
- 送信割り込み要因選択ビット = "0"

受信タイミング例 (外部クロック選択時)



()内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。

- 外部クロック選択
- RTS機能選択
- CLK極性選択ビット = "0"
- fEXT : 外部クロックの周波数

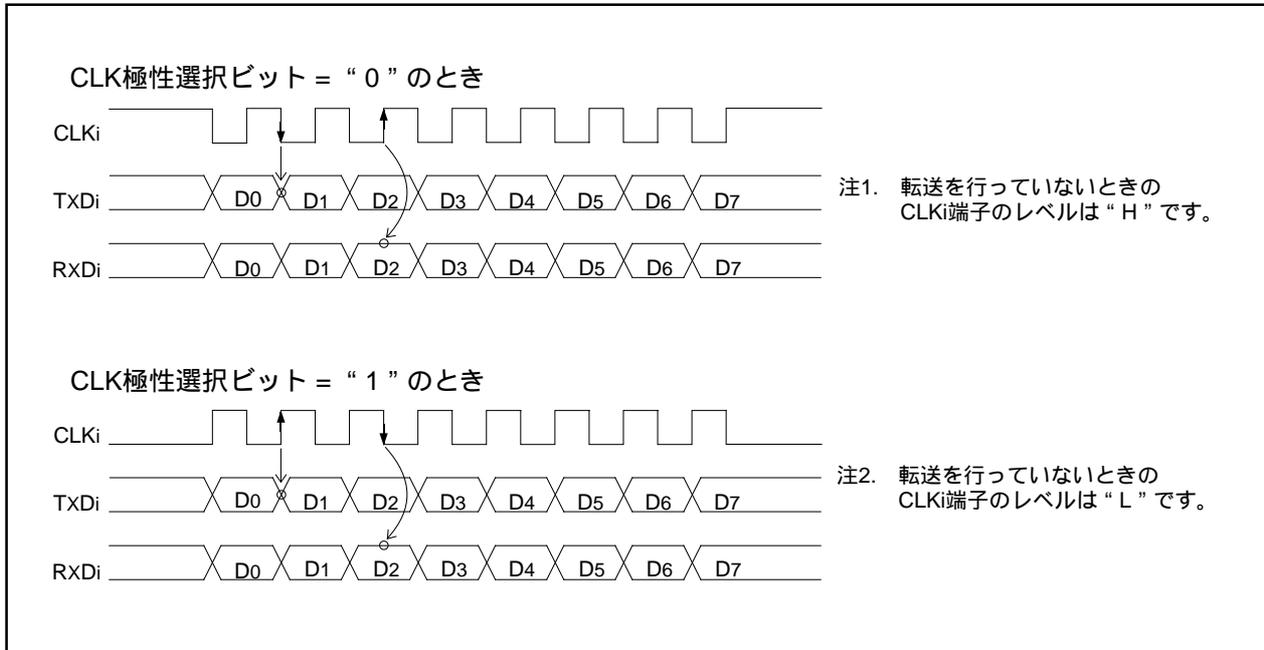
データ受信前のCLKi端子の入力が "H" レベルのときに、以下の条件が揃うようにしてください。
送信許可ビット "1"
受信許可ビット "1"
UARTi送信バッファレジスタへのダミーデータの書き込み

図GA-7. クロック同期形シリアルI/Oモード時の送信 / 受信タイミング例

クロック同期形シリアルI/Oモード

極性選択機能

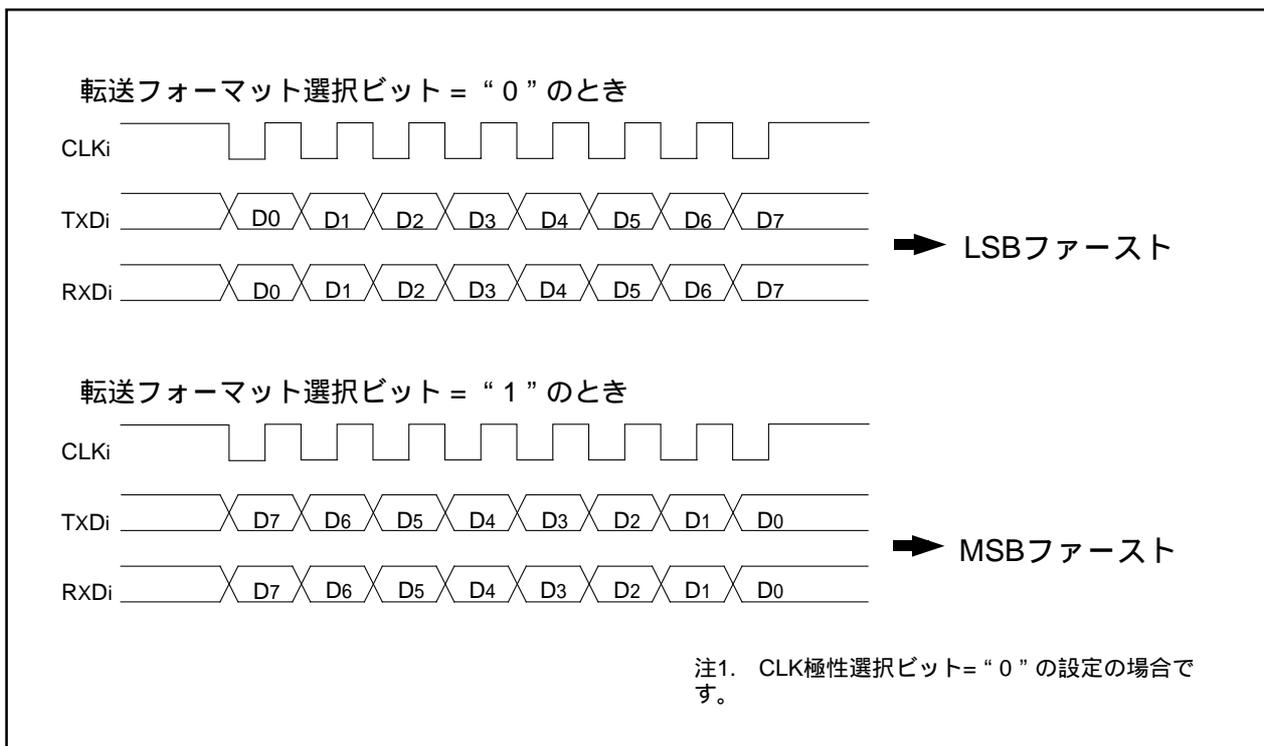
図GA-8に示すように、CLK極性選択ビット(03A4₁₆、03AC₁₆番地のビット6)によって転送クロックの極性を選択できます。



図GA-8. 転送クロックの極性

LSBファースト/MSBファースト選択機能

図GA-9に示すように、転送フォーマット選択ビット(03A4₁₆、03AC₁₆番地のビット7)の内容が“0”のとき転送フォーマットはLSBファースト、“1”のとき転送フォーマットはMSBファーストになります。

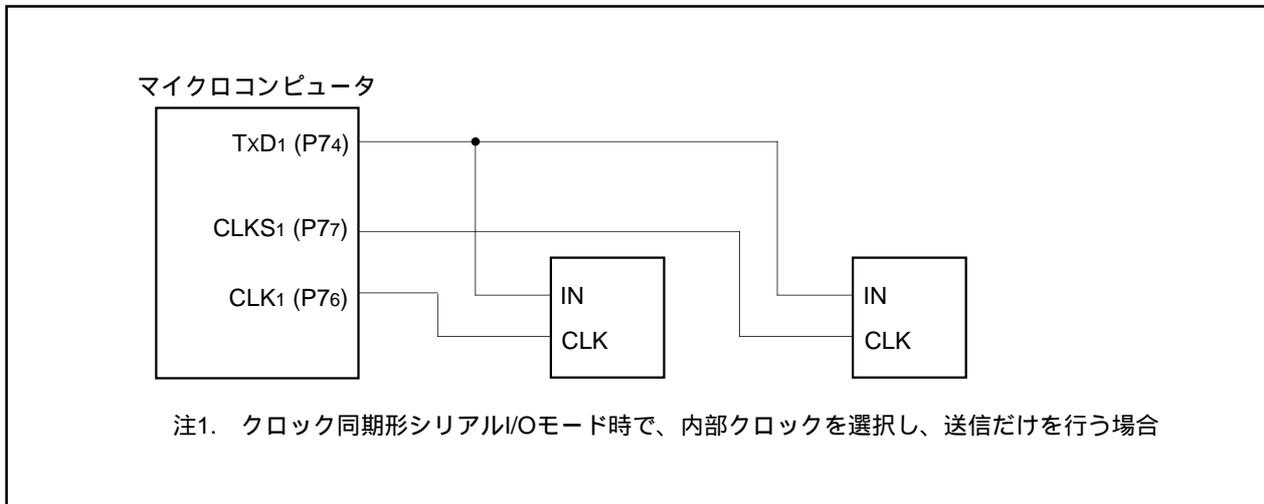


図GA-9. 転送フォーマット

クロック同期形シリアルI/Oモード

転送クロック複数端子出力機能

転送クロック出力端子を2本設定し、CLK、CLKS選択ビット(03B0₁₆番地のビット4、ビット5)の切り替えによって1本を選択し、クロックを出力します(図GA-10)。この機能は、UART1で内部クロック選択時だけ有効な機能です。なお、本機能選択時にUART1のCTS/RTS機能は使用できません。



図GA-10. 転送クロック複数端子出力機能の使用例

連続受信モード

連続受信モード許可ビット(03B0₁₆番地のビット2、ビット3)を“1”に設定することによって、連続受信モードになります。連続受信モードでは、送信バッファレジスタにダミーデータを再設定する必要がなく、受信バッファレジスタを読み出すことで受信許可状態になります。

(2) クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表GA-3にクロック非同期形シリアルI/Oモードの仕様を、図GA-11にUARTi送受信モードレジスタの構成を示します。

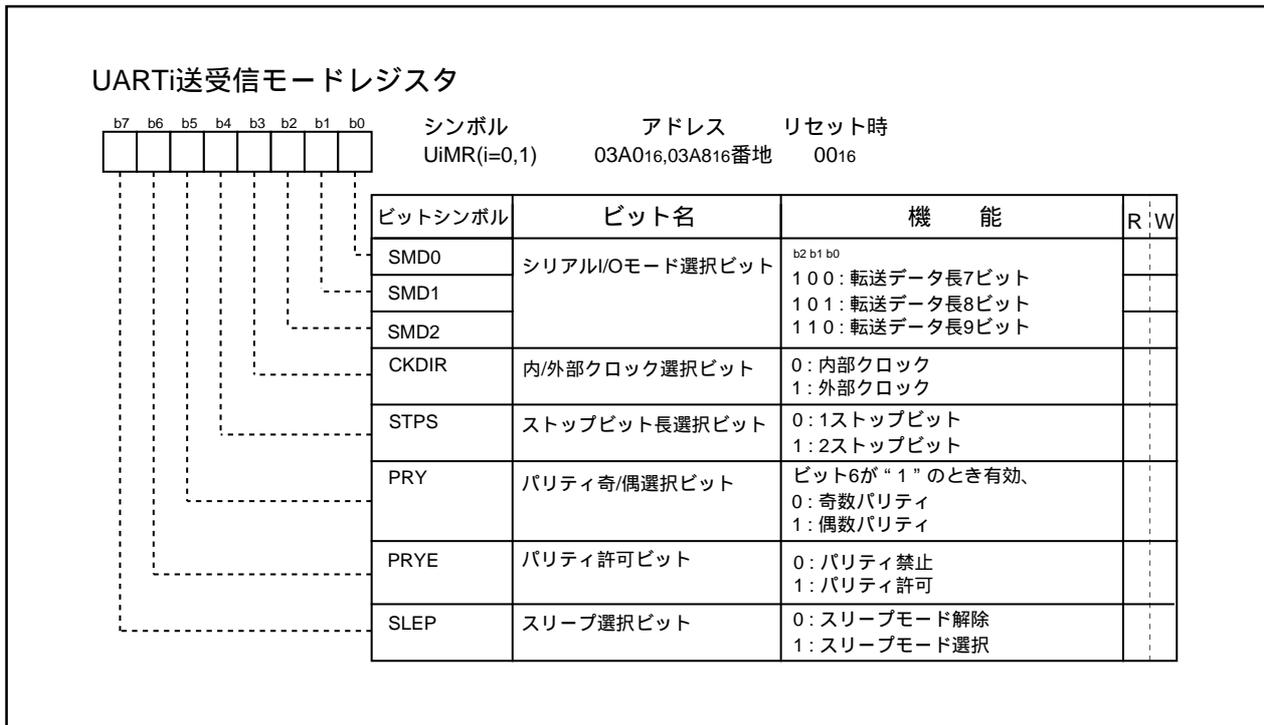
表GA-3. クロック非同期形シリアルI/Oモードの仕様

項 目	仕 様
転送データフォーマット	キャラクタビット(転送データ) 7ビット/8ビット/9ビット 選択可 スタートビット 1ビット パリティビット 奇数/偶数/無 選択可 ストップビット 1ビット/2ビット 選択可
転送クロック	内部クロック選択時(03A0 ₁₆ 、03A8 ₁₆ 番地のビット3=“0”) : $f_i/16(n+1)$ (注1) $f_i=f_1, f_8, f_{32}$ 外部クロック選択時(03A0 ₁₆ 、03A8 ₁₆ 番地のビット3=“1”) : $f_{EXT}/16(n+1)$ (注1) (注2)
送信制御/受信制御	CTS機能/RTS機能/CTS、RTS機能無効 選択
送信開始条件	送信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> 送信許可ビット(03A5₁₆、03AD₁₆番地のビット0)=“1” 送信バッファ空フラグ(03A5₁₆、03AD₁₆番地のビット1)=“0” CTS機能選択時、CTS端子の入力が“L”レベル
受信開始条件	受信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> 受信許可ビット(03A5₁₆、03AD₁₆番地のビット2)=“1” スタートビットの検出
割り込み要求発生タイミング	送信時 <ul style="list-style-type: none"> 送信割り込み要因選択ビット(03B0₁₆番地のビット0、1)=“0” : UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 送信割り込み要因選択ビット(03B0₁₆番地のビット0、1)=“1” : UARTi送信レジスタからデータ送信完了時 受信時 <ul style="list-style-type: none"> UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時
エラー検出	オーバランエラー(注3) UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生 フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 パリティエラー パリティ許可時に、パリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になります
選択機能	スリープモード選択 複数の従のマイクロコンピュータのうち、特定の1つと転送を行う場合に使用する

注1. nはUART転送速度レジスタに設定した00₁₆～FF₁₆の値です。

注2. f_{EXT} はCLKi端子からの入力です。

注3. オーバランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは“1”になりません。

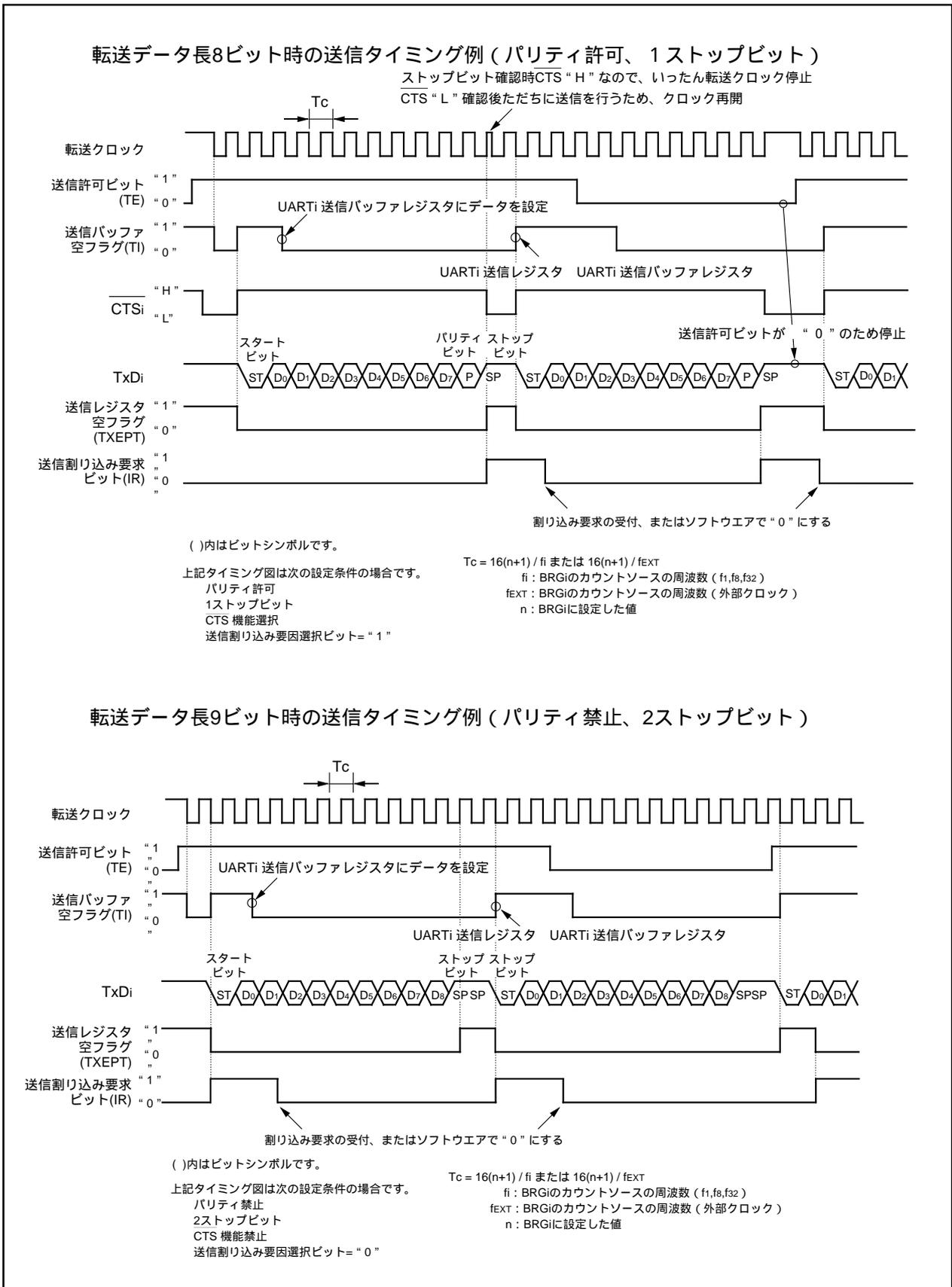
図GA-11. UARTモード時のUART_i送受信モードレジスタの構成

表GA-4に、クロック非同期形シリアル/Oモード時の入出力端子の機能を示します。なお、UART_iの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャンネルオープンドレイン出力選択時はフローティング状態)。

表GA-4. クロック非同期形シリアル/Oモード時の入出力端子の機能 (i = 0, 1)

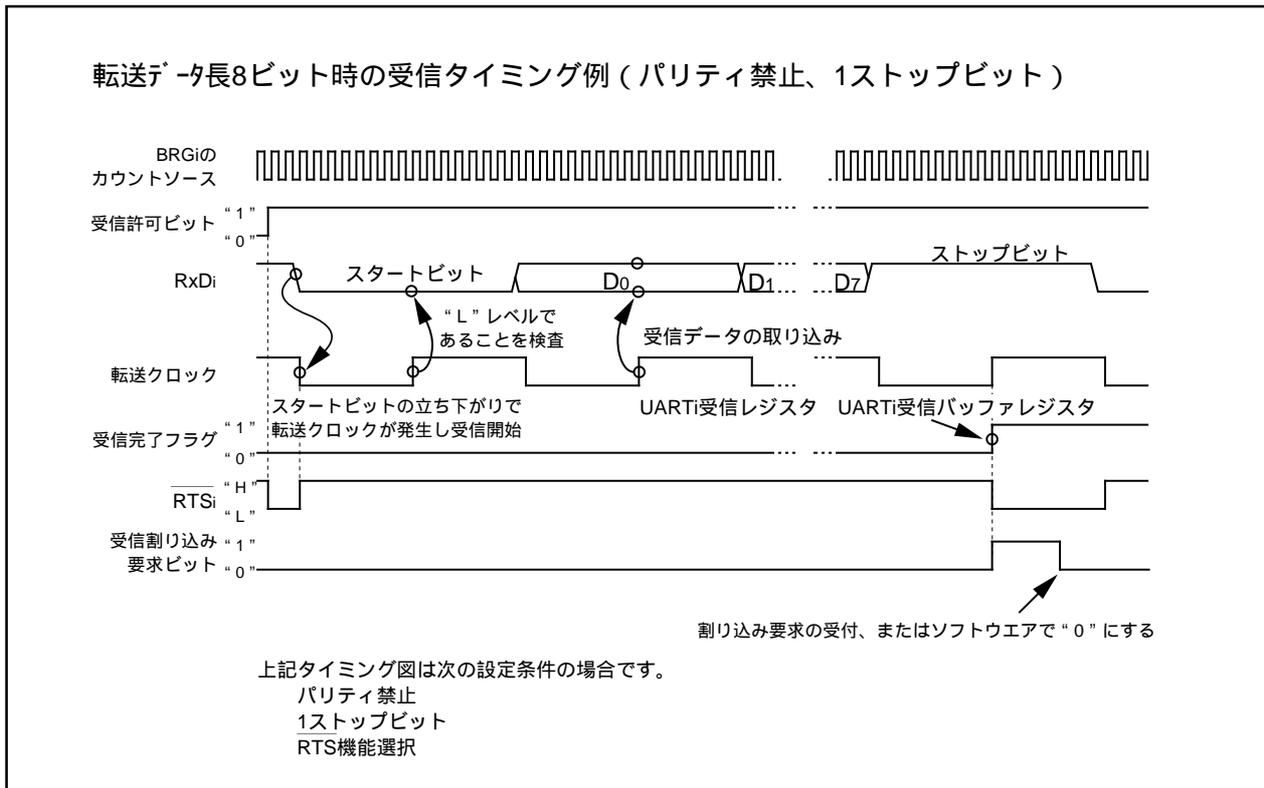
端子名	機 能	選 択 方 法
TxD _i (P44、P74)	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RxD _i (P45、P75)	シリアルデータ入力	ポートP45の方向レジスタ(03EA ₁₆ 番地のビット5)、 ポートP75の方向レジスタ(03EF ₁₆ 番地のビット5)= “0” (送信だけを行うときは入力ポートとして使用可)
CLK _i (P46、P76)	プログラマブル入出力ポート 転送クロック入力	内/外部クロック選択ビット(03A0 ₁₆ 、03A8 ₁₆ 番地のビット3)= “0” 内/外部クロック選択ビット(03A0 ₁₆ 、03A8 ₁₆ 番地のビット3)= “1” ポートP46の方向レジスタ(03EA ₁₆ 番地のビット6)、 ポートP76の方向レジスタ(03EF ₁₆ 番地のビット6)= “0”
CTS _i /RTS _i (P47、P77)	CTS入力	CTS/RTS禁止ビット(03A4 ₁₆ 、03AC ₁₆ 番地のビット4)= “0” CTS/RTS機能選択ビット(03A4 ₁₆ 、03AC ₁₆ 番地のビット2)= “0” ポートP47の方向レジスタ(03EA ₁₆ 番地のビット7)、 ポートP77の方向レジスタ(03EF ₁₆ 番地のビット7)= “0”
	RTS出力	CTS/RTS禁止ビット(03A4 ₁₆ 、03AC ₁₆ 番地のビット4)= “0” CTS/RTS機能選択ビット(03A4 ₁₆ 、03AC ₁₆ 番地のビット2)= “1”
	プログラマブル入出力ポート	CTS/RTS禁止ビット(03A4 ₁₆ 、03AC ₁₆ 番地のビット4)= “1”

クロック非同期形シリアルI/Oモード



図GA-12. UARTモード時の送信タイミング例

クロック非同期形シリアルI/Oモード



図GA-13. UARTモード時の受信タイミング例

スリープモード

UARTiを使用して接続した複数のマイクロコンピュータのうち、特定のマイクロコンピュータ間で転送を行う場合に使用します。受信時、スリープ選択ビット(03A0₁₆、03A8₁₆番地のビット7)を“1”にすると、スリープモードが選択されます。スリープモードでは、受信データの最上位ビットが“1”のときに受信動作を行い、“0”のときには受信動作を行いません。

シリアルI/O2

シリアルI/O2

シリアルI/O2は、クロック同期形のシリアルI/Oで、8ビットシリアルモードと自動転送モードを有しています。自動転送モードでは、最大256バイトのシリアルI/O自動転送用RAM(00400₁₆ ~ 004FF₁₆)番地を介して、シリアル転送を行います。

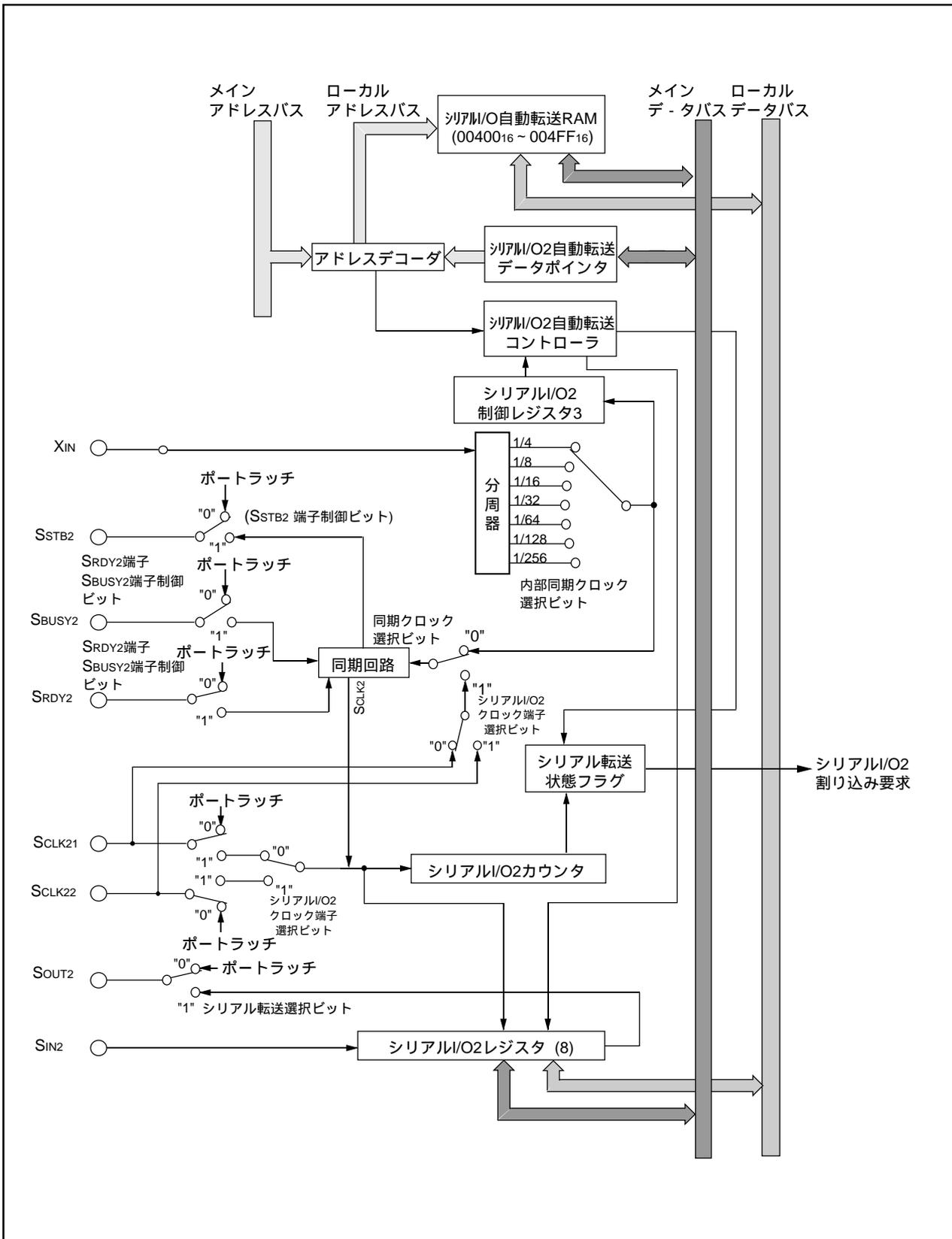
SRDY₂、SBUSY₂、SSTB₂の各端子は、ハンドシェイク入出力信号です。これらの端子はアクティブ論理の正反選択も行うことができます。

表GA-1. クロック同期形シリアルI/O2の仕様

項目	仕様
シリアルモード	8ビットシリアルI/Oモード(自動転送無し) 自動転送シリアルモード
転送データフォーマット	転送データ長 8ビット 全2重モード/送信専用モードを(0342 ₁₆ 番地のビット5)で選択可
転送クロック	内部クロック選択時(0342 ₁₆ 番地のビット2=“0”): 0348 ₁₆ 番地のビット5からビット7で選択 外部クロック選択時(0342 ₁₆ 番地のビット2=“1”): SCLK21またはSCLK22端子からの入力(注1)
転送速度	内部クロック選択時: $f(XIN)/4$, $f(XIN)/8$, $f(XIN)/16$, $f(XIN)/32$, $f(XIN)/64$, $f(XIN)/128$, $f(XIN)/256$ 外部クロック選択時: 入力サイクル 0.95 μ s以下
送信制御/受信制御	SSTB ₂ 出力/SBUSY ₂ 入出力/SRDY ₂ 入出力 選択
送信受信開始条件	送信受信開始には、以下の条件が必要です。 ・シリアルI/O初期化ビット(0342 ₁₆ 番地のビット4)=“1” ・SBUSY ₂ 入力またはSRDY ₂ 入力選択時、選択した入力が“H” ・ $\overline{SBUSY_2}$ 入力または $\overline{SRDY_2}$ 入力選択時、選択した入力が“L” 更に、外部クロック選択時、SCLK21またはSCLK22端子の入力が“H”
送受信中止条件	内部同期クロック、外部同期クロックにかかわらず、シリアルI/O初期化ビット(0342 ₁₆ 番地のビット4)を“0”にしてください。
割り込み要求発生タイミング	8ビットシリアルI/Oモード: 8ビット転送終了時 自動転送シリアルモード: 最終受信データが自動転送RAMに転送時
選択機能	SOUT2Pチャンネル出力禁止機能 CMOS出力またはNチャンネルオープンドレイン出力を選択できます。 LSBファースト/MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するか選択できます。 シリアルI/O2クロック端子選択ビット シリアルクロック入出力をSCLK21またはSCLK22端子から選択できます。 SBUSY出力、SSTB ₂ 出力選択機能(自動転送シリアルモードのみ) SBUSY、SSTB ₂ の出力を1バイト単位か全転送単位か選択できます。 SOUT2端子制御ビット シリアル非転送時SOUT2端子の状態をアクティブあるいは出力ハイインピーダンス出力を選択することができます。

注1. シリアルI/Oクロック端子選択ビット(0342₁₆番地のビット7)の選択が必要です。

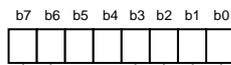
シリアル/O2



図GA-1. シリアル/O2のブロック図

シリアルI/O2

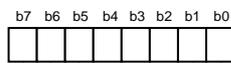
シリアルI/O2制御レジスタ1



シンボル アドレス リセット時
SIO2CON1 034216番地 0016

ビットシンボル	ビット名	機能	R/W
SCON10	シリアル転送選択ビット	b1 b0 00: シリアルI/O禁止 (シリアルI/O端子は入出力ポート) 01: 8ビットシリアルI/O 10: 使用禁止 11: 自動転送シリアルI/O (8ビット)	R/W
SCON11			
SCON12	シリアルI/O同期 クロック選択ビット (SSTB2端子制御ビット)	b3 b2 00: 内部同期クロック (SSTB2端子は入出力ポート) 01: 外部同期クロック (SSTB2端子は入出力ポート) 10: 内部同期クロック (SSTB2端子はSSTB2出力) 11: 内部同期クロック (SSTB2端子はSSTB2出力)	R/W
SCON13			
SCON14	シリアルI/O初期化ビット	0: シリアルI/O初期化 1: シリアルI/O許可	R/W
SCON15	転送モード選択ビット	0: 全二重(送受信)モード (SIN2端子はSIN2入力) 1: 送信専用モード (SIN2端子は入出力ポート)	R/W
SCON16	転送方向選択ビット	0: LSBファースト 1: MSBファースト	R/W
SCON17	シリアルI/O2クロック 端子選択ビット	0: SCLK21 (SCLK22端子は入出力ポート) 1: SCLK22 (SCLK21端子は入出力ポート)	R/W

シリアルI/O2制御レジスタ2

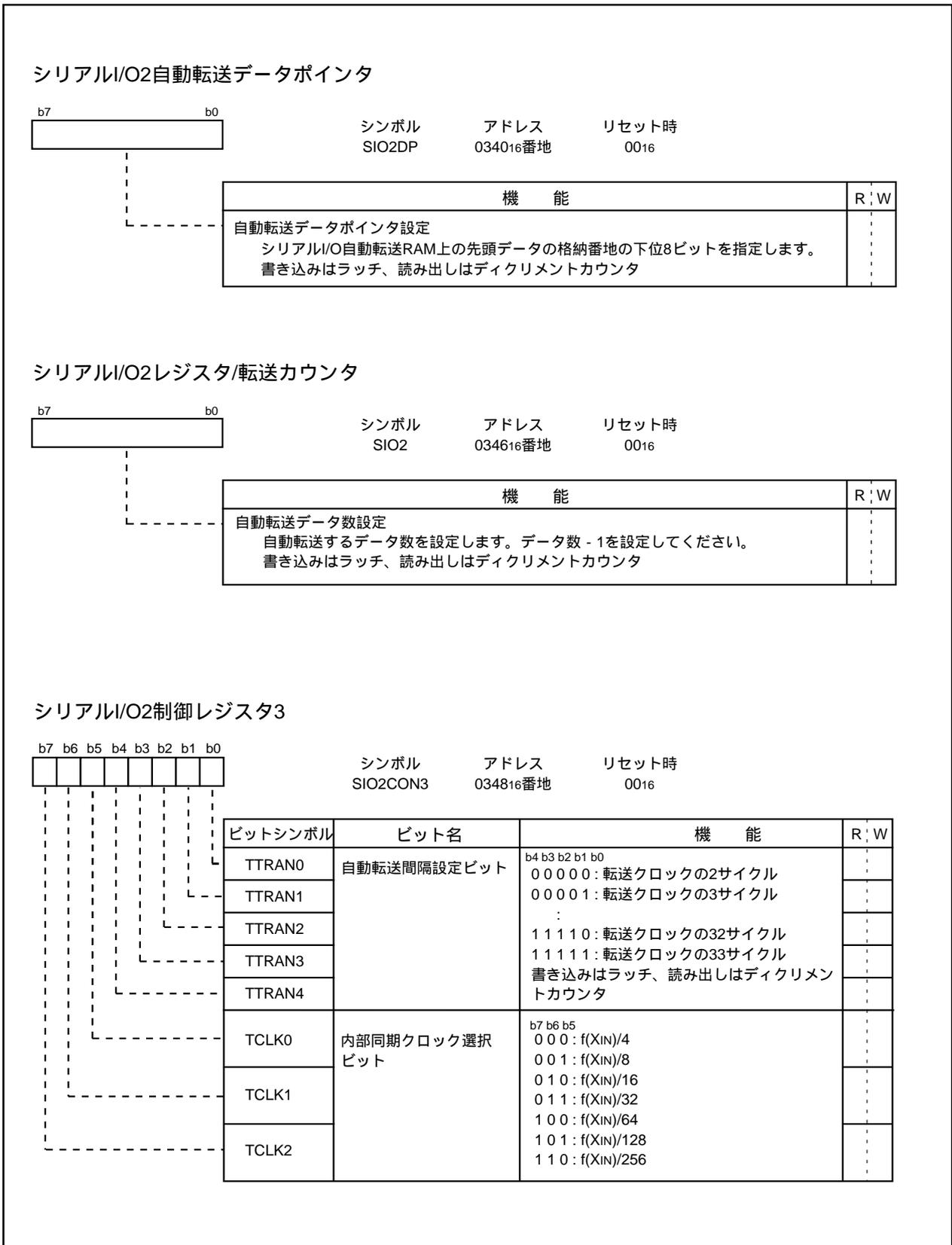


シンボル アドレス リセット時
SIO2CON2 034416番地 0016

ビットシンボル	ビット名	機能	R/W			
SCON20	SRDY2・SBSY2端子制御 ビット	b3 b2 b1 b0 0000: SRDY2・SBSY2端子は入出力ポート 0001: 不使用 0010: SRDY2端子はSRDY2出力、SBSY2端子は入出力ポート 0011: SRDY2端子はSRDY2出力、SBSY2端子は入出力ポート 0100: SRDY2端子は入出力ポート、SBSY2端子はSBSY2入力 0101: SRDY2端子は入出力ポート、SBSY2端子はSBSY2入力 0110: SRDY2端子は入出力ポート、SBSY2端子はSBSY2出力 0111: SRDY2端子は入出力ポート、SBSY2端子はSBSY2出力 1000: SRDY2端子はSRDY2入力、SBSY2端子はSBSY2出力 1001: SRDY2端子はSRDY2入力、SBSY2端子はSBSY2出力 1010: SRDY2端子はSRDY2入力、SBSY2端子はSBSY2出力 1011: SRDY2端子はSRDY2入力、SBSY2端子はSBSY2出力 1100: SRDY2端子はSRDY2出力、SBSY2端子はSBSY2入力 1101: SRDY2端子はSRDY2出力、SBSY2端子はSBSY2入力 1110: SRDY2端子はSRDY2出力、SBSY2端子はSBSY2入力 1111: SRDY2端子はSRDY2出力、SBSY2端子はSBSY2入力	R/W			
SCON21						
SCON22						
SCON23						
SCON24				SBSY2出力・SSTB2出力 機能選択ビット (自動転送モード時有効)	0: 1バイトごとの信号として機能 1: 全転送データごとの信号として機能	R/W
SCON25				シリアル転送状態フラグ	0: シリアル転送完了 1: シリアル転送中	R/W
SCON26				SOUT2端子制御ビット (シリアルデータ非転送時)	0: 出力アクティブ 1: 出力ハイインピーダンス	R/W
SCON27				SOUT2 Pチャネル出力 禁止ビット	0: CMOS3ステート (Pチャネル出力有効) 1: Nチャネルオープンドレイン (Pチャネル出力禁止)	R/W

図GA-2. シリアルI/O2制御レジスタ1、2の構成

シリアル/O2



図GA-3. シリアル/O2自動転送データポインタの構成

シリアルI/O2

表GA-2に、シリアルI/O入出力端子の機能を示します。

表GA-2. シリアルI/O2入出力端子の機能

端子名	機能	選択方法
SOUT2 (P94)	シリアルデータ出力	ポートP94の方向レジスタ(03F3 ₁₆ 番地のビット4) = “1” SOUT2 Pチャンネル出力禁止ビット(0344 ₁₆ 番地のビット7) = “0”、“1” SOUT2端子制御ビット(0344 ₁₆ 番地のビット6) = “0”、“1” (受信だけを行うときはダミーデータを出力)
SIN2 (P93)	シリアルデータ入力	ポートP93の方向レジスタ(03F3 ₁₆ 番地のビット3) = “0” 転送モード選択ビット(0342 ₁₆ 番地のビット5) = “0” (転送モード選択ビット(0342 ₁₆ 番地のビット5) = “1” にすると入出力ポート)
SCLK21 (P95)	転送クロック出力	シリアルI/O2同期クロック選択ビット(0342 ₁₆ 番地のビット2、ビット3) = “00”、“01” シリアルI/O2クロック端子選択ビット(0342 ₁₆ 番地のビット7) = “0”
	転送クロック入力	シリアルI/O2同期クロック選択ビット(0342 ₁₆ 番地のビット2、ビット3) = “01”、“11” シリアルI/O2クロック端子選択ビット(0342 ₁₆ 番地のビット7) = “0” ポートP95の方向レジスタ(03F3 ₁₆ 番地のビット5) = “0”
SCLK22 (P96)	転送クロック出力	シリアルI/O2同期クロック選択ビット(0342 ₁₆ 番地のビット2、ビット3) = “00”、“01” シリアルI/O2クロック端子選択ビット(0342 ₁₆ 番地のビット7) = “1”
	転送クロック入力	シリアルI/O2同期クロック選択ビット(0342 ₁₆ 番地のビット2、ビット3) = “01”、“11” シリアルI/O2クロック端子選択ビット(0342 ₁₆ 番地のビット7) = “1” ポートP96の方向レジスタ(03F3 ₁₆ 番地のビット6) = “0”
SRDY2 (P90)	SRDY入出力	SRDY2・SBUSY2端子制御ビット(0344 ₁₆ 番地のビット0～ビット3)の設定による
SBUSY2 (P91)	SBUSY入出力	SRDY2・SBUSY2端子制御ビット(0344 ₁₆ 番地のビット0～ビット3)の設定による SBUSY2出力・SSTB2出力機能選択ビット(0344 ₁₆ 番地のビット4) = “0”、“1”
SSTB2 (P92)	SSTB入出力	シリアルI/O2同期クロック選択ビット(0342 ₁₆ 番地のビット2、ビット3) = “10”、“11” SBUSY2出力・SSTB2出力機能選択ビット(0344 ₁₆ 番地のビット4) = “0”、“1”

SOUT2の出力

シリアル非転送時のSOUT2端子の状態は、SOUT2端子制御ビット(0344₁₆番地のビット6)によって、出力アクティブあるいはハイインピーダンスを選択することができます。

ただし、外部同期クロックを選択した場合、SOUT2端子をハイインピーダンスの状態にするためには、転送終了後、SCLK2i(i = 1, 2)入力が“H”のとき、SOUT2端子制御ビット(0344₁₆番地のビット6)を“1”に設定してください。次のシリアル転送が始まり、SCLK2i(i = 1, 2)が“L”になると、SOUT2端子制御ビットは、自動的に“0”なり、出力がアクティブになります。

シリアルI/O2

シリアルI/O2モード

シリアルI/O2モードは、自動転送RAMを使用しない18ビットシリアルモードと自動転送シリアルI/Oモードの2種類があります。

(1) 8ビットシリアルI/Oモード

0346₁₆番地はシリアルI/O2レジスタとなります。内部同期クロックを選択した場合、8ビットシリアルI/Oのシリアル転送の開始はシリアルI/O2レジスタ(0346₁₆番地)へ送信データを書き込むことより行われます。

シリアル転送状態フラグ(0344₁₆番地のビット5)は、シリアルI/O2レジスタの書き込みによって“1”になり、8ビットの転送終了後“0”になるのと同時にシリアルI/O2割り込み要求が発生します。転送完了後、シリアルI/O2レジスタ(0346₁₆番地)から受信データを読み出すことができます。

外部同期クロックを選択した場合、転送クロックが、SCLK21またはSCLK22に入力されている間、シリアルI/O2レジスタの内容はシフトされ続けますので、外部でクロックを制御してください。

(2) 自動転送シリアルI/Oモード

0346₁₆番地は転送カウンタ(バイト単位)となります。シリアルI/O2レジスタの書き込みおよび読み出しは、シリアルI/O2自動転送コントローラが制御します。シリアルI/O自動転送RAMは、00400₁₆～004FF₁₆番地に割り当てられており、転送前に自動転送データポインタ(0340₁₆番地)にシリアル転送を行う先頭データの格納番地の下位8ビットを設定してください。

内部周期クロックを選択して、

- ・ ハンドシェイク信号を使用しない場合
- ・ ハンドシェイク信号のSRDY2出力、SBUSY2出力、SSTB2出力を、それぞれ単独使用の場合
- ・ ハンドシェイク信号のSRDY2出力とSSTB2出力、あるいはSBUSY2出力とSSTB2出力を組み合わせで使用する場合、

データとデータの間転送間隔が入ります。転送間隔は、自動転送間隔設定ビット(0348₁₆番地のビット0～ビット4)により2～33サイクルを設定することができます。

また、SBUSY2出力の全転送データごとの信号として使用する場合、データとデータの間転送間隔が入るだけでなく、最初のデータの送受信開始前と最終データの送受信終了後にも転送間隔が入ります。

さらにSSTB2出力を使用する場合、SBUSY2出力・SSTB2出力機能選択ビット(0344₁₆番地のビット4)にかかわらず、1バイトデータごとの転送間隔が設定値より2サイクル長くなります。

SBUSY2出力とSSTB2出力を組み合わせ、全転送データごとの信号として使用する場合、最終データの送受信終了後の転送間隔も設定値より2サイクル長くなります。

外部同期クロックを選択した場合は、自動転送間隔は無効です。

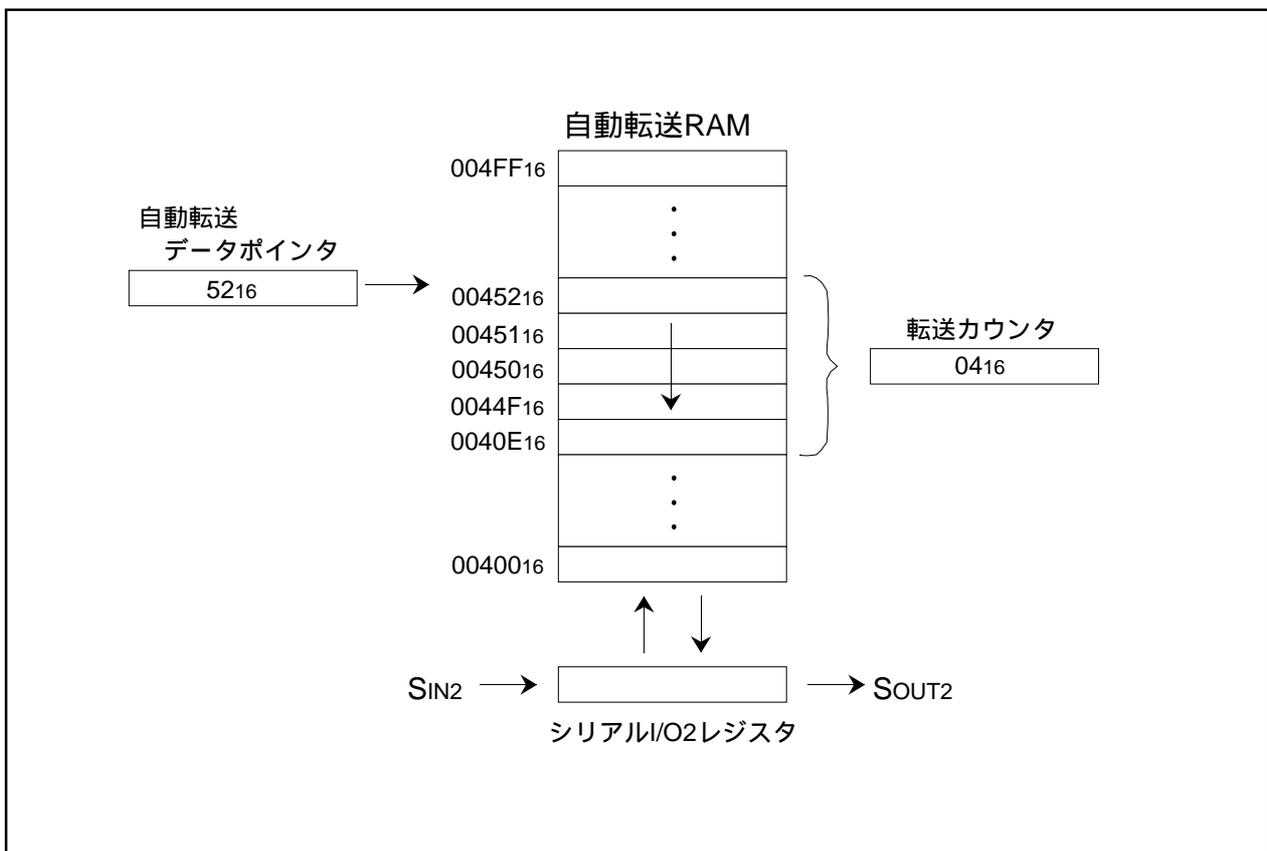
内部同期クロックを選択している場合、転送バイト数の1減じた値を転送カウンタ(0346₁₆番地)に書き込むと自動シリアル転送を開始します。外部同期クロックを選択している場合、転送バイト数の1減じた値を転送カウンタに書き込み、転送クロックが入力されると自動シリアル転送を開始します。このとき、転送カウンタに書き込んでから転送クロックを入力するまで、内部システムクロックの5サイクル以上空けてください。

また、データ間の転送間隔も、1バイトデータの最終ビットのクロック立ち上がりから内部システムクロックの5サイクル以上空けてください。

シリアルI/O2

内部同期クロック、外部同期クロックにかかわらず、自動転送データポインタおよび転送カウンタは、1バイトごとのデータ受信が完了して自動転送RAMに書き込みの後、ディクリメントされます。シリアル転送状態フラグ(0344₁₆番地のビット5)は、転送カウンタの書き込みによって“1”に、最終データの自動転送RAMへの書き込みによって“0”に、同時にシリアルI/O2割り込み要求ビットが“1”になります。

シリアルI/O2自動転送データポインタ(0340₁₆番地)と自動転送間隔設定ビット(0348₁₆番地のビット0~ビット4)に書き込まれた値はラッチに保持されています。転送カウンタにデータを書き込むとシリアルI/O2自動転送データポインタ(0340₁₆番地)と自動転送間隔設定ビット(0348₁₆番地ビット0~ビット4)のラッチに保持されていた値がディクリメントカウンタに転送されます。



図GA-5. 自動転送シリアルI/O動作

シリアルI/O2

ハンドシェイク信号

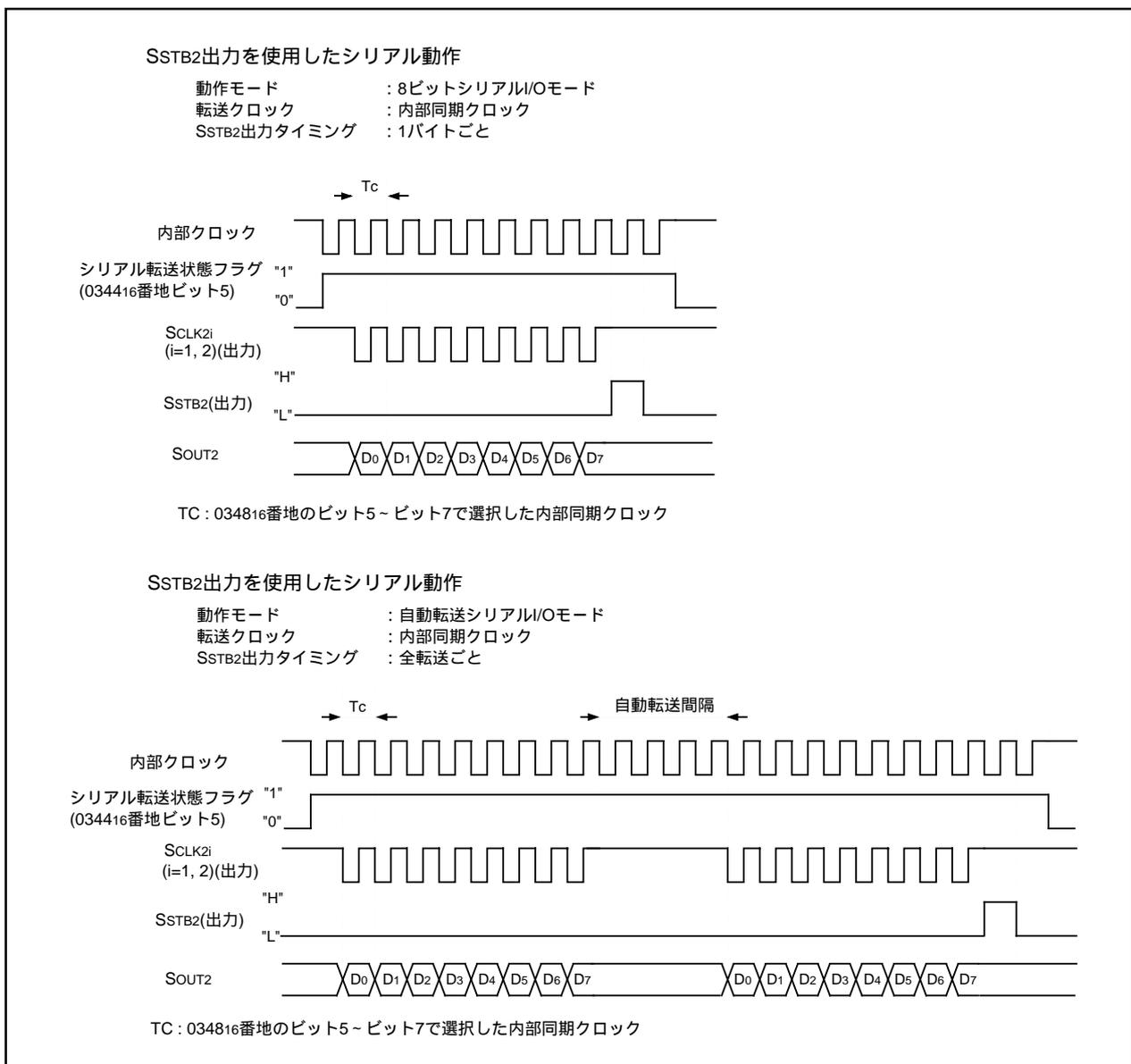
ハンドシェイク信号としてSSTB2出力、SBUSY2入出力、SRDY2入出力の5種類を持ちます。それぞれの動作を説明します。

(1)SSTB2出力信号

SSTB2出力は、シリアル転送先に送受信終了を伝える信号で、内部同期クロックを選択したときのみ有効です。初期状態(I/O初期化ビット(0342₁₆番地のビット4)="0")では、SSTB2出力(0342₁₆番地のビット2,3=11)は“L”(SSTB2出力(0342₁₆番地のビット2,3=10)が“H”)になります。

送受信動作が終了してシリアルI/O2レジスタ(0346₁₆番地)のデータを全て出力した後、転送クロックの1サイクルの間、SSTB2出力は“H”(SSTB2出力が“L”)となります。さらに1サイクル後に、シリアル転送状態フラグ(0344₁₆番地のビット5)が“0”になります。

自動転送シリアルI/Oモードでは、SBUSY2出力・SSTB2出力機能選択ビット(0344₁₆番地のビット4)によって、SSTB2出力を1バイトデータの転送終了ごとに出力するか、全データを転送終了後に出力するか選択することができます。



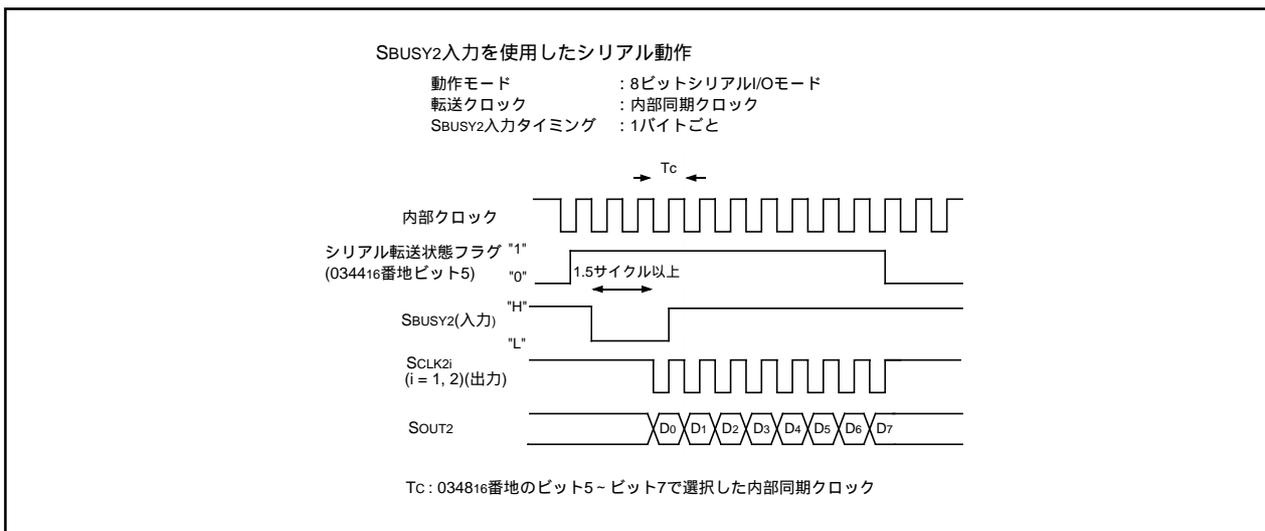
図GA-6. SSTB2出力の動作

シリアルI/O2

(2)SBUSY2入力信号

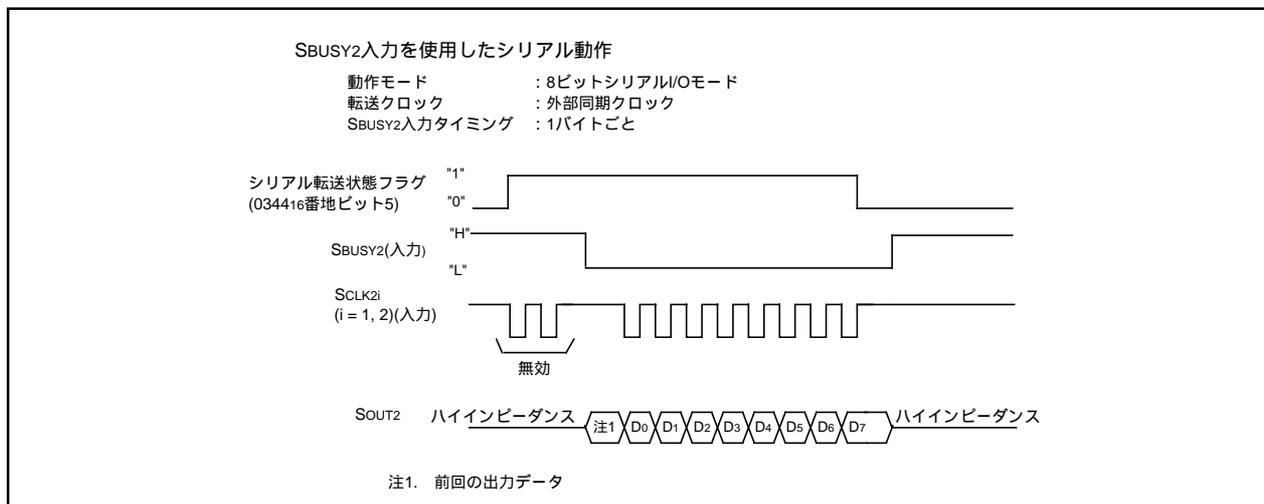
SBUSY2入力は、シリアル転送先から送受信の停止を要求される信号です。

内部同期クロックを選択した場合、初期状態(I/O初期化ビット(034216番地のビット4)="0")では、SBUSY2入力が“H”(SBUSY2入力が“L”)を入力してください。SBUSY2入力が、転送クロックの1.5サイクル以上の“L”(SBUSY2入力が“H”)を入力すると、SCLK2i(i=1, 2)から転送クロックを出力し、送受信動作を開始します。送受信動作中に、SBUSY2入力が“H”(SBUSY2入力が“L”)を入力した場合、送受信動作は直ちに停止せず、所定のビット数の送受信動作が完了するまで、SCLK2i(i=1, 2)から転送クロックを出力します。8ビットシリアルI/O、自動転送シリアルI/Oとも8ビットがハンドシェイクの単位となります。



図GA-7. SBUSY2入力の動作(1)

外部同期クロックを選択した場合、初期状態(I/O初期化ビット(034216番地のビット4)="0")は、SBUSY2入力が“H”(SBUSY2入力が“L”)を入力してください。このときに入力される転送クロックは無効です。SBUSY2入力が“L”(SBUSY2入力が“H”)を入力している間、転送クロックが有効となり送受信動作を行います。送受信動作中にSBUSY2入力(SBUSY2入力)を変更する場合は、転送クロックが“H”の時に行ってください。また、SOUT2端子制御ビット(034416番地のビット6)により、SOUT2の出力ハイインピーダンスを選択している場合、SBUSY2入力が“H”(SBUSY2入力が“L”)を入力している間、SOUT2はハイインピーダンスになります。



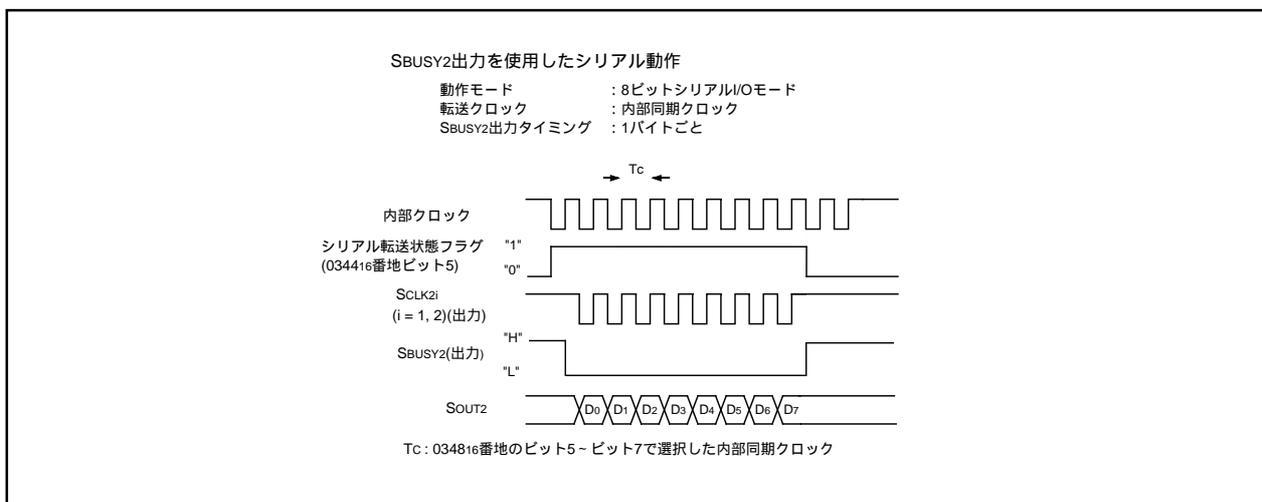
図GA-8. SBUSY2入力の動作(2)

シリアルI/O2

(3)SBUSY2出力信号

SBUSY2出力は、シリアル転送先に送受信の停止を要求する信号です。内部同期クロック、外部同期クロックにかかわらず、自動転送シリアルI/Oモードでは、SBUSY2出力・SSTB2出力機能選択ビット(0344₁₆番地のビット4)によって、SBUSY2出力を1バイトデータの転送ごとに出力にするか、全データ転送の間出力にするかを選択することができます。初期状態(I/O初期化ビット(0342₁₆番地のビット4)="0")では、SBUSY2出力は“H”(SBUSY2出力は“L”)になります。

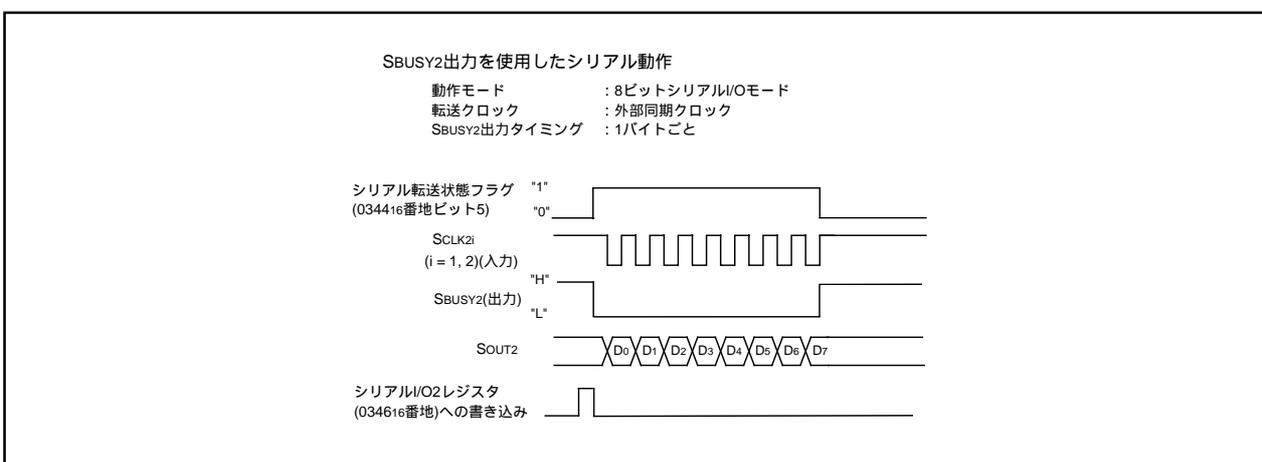
内部同期クロックを選択した場合、8ビットシリアルI/Oモードおよび自動転送シリアルI/OモードのSBUSY2出力機能は1バイトごとでは、転送クロックが“L”になるタイミングの0.5サイクル前に、SBUSY2出力は“L”(SBUSY2出力は“H”)になります。自動転送シリアルI/OモードのSBUSY2出力機能は全転送データごとでは、シリアルI/O2レジスタ(0346₁₆番地)に最初の送信データが書き込まれた時、SBUSY2出力は“L”(SBUSY2出力は“H”)になります。



図GA-9. SBUSY2出力の動作(1)

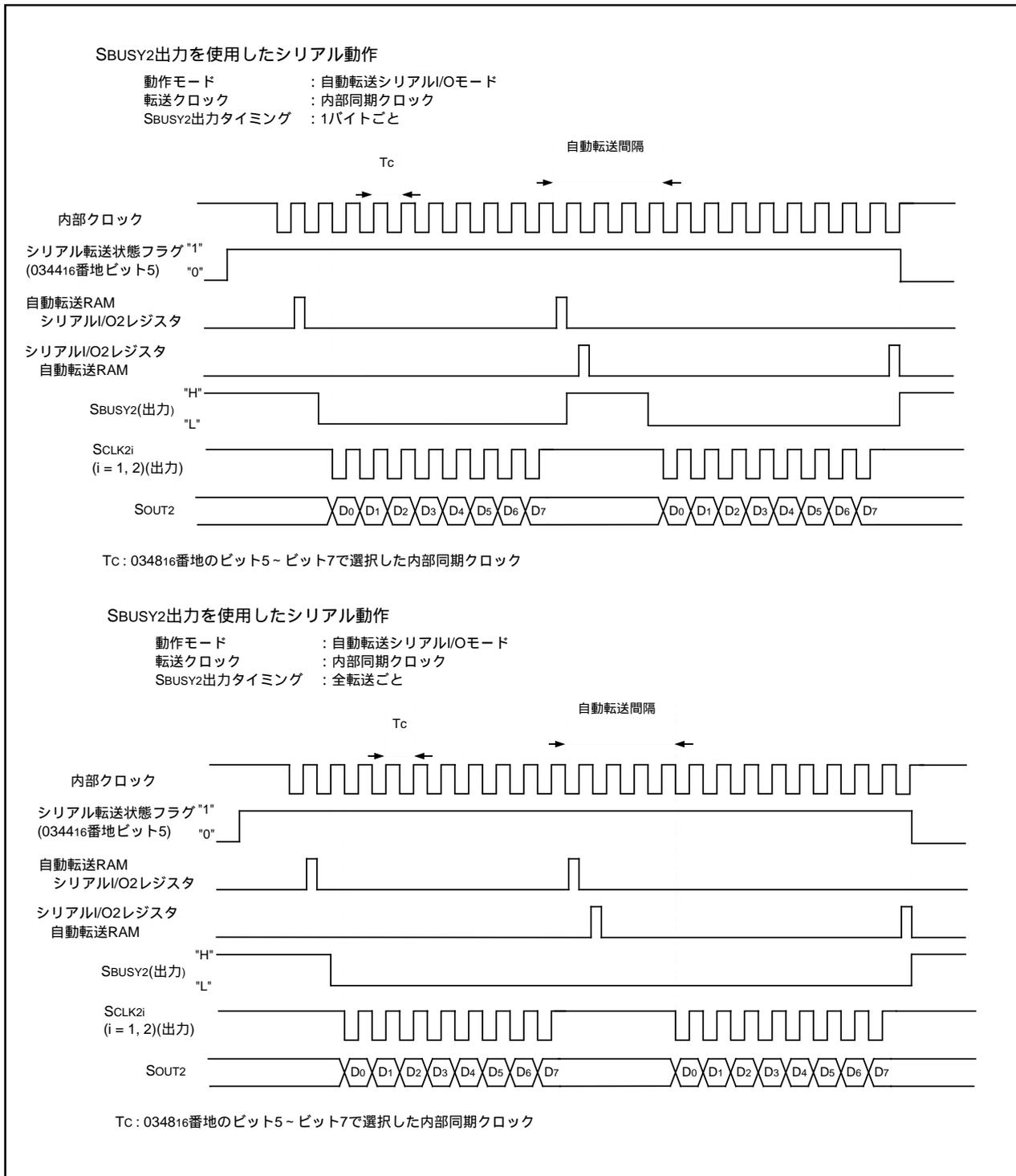
外部同期クロックを選択した場合は、シリアルI/Oの転送モードにかかわらず、シリアルI/O2レジスタ(0346₁₆番地)に送信データが書き込まれた時、SBUSY2出力は“L”(SBUSY2出力は“H”)になります。

送受信動作の終了時には、8ビットシリアルI/Oモードでは内部同期クロック、外部同期クロックにかかわらず、シリアル転送状態フラグが“0”になるタイミングで、SBUSY2出力は“H”(SBUSY2出力は“L”)になります。さらに自動転送シリアルI/OモードのSBUSY2出力機能は1バイトごとでは、1バイトの受信データが自動転送RAMに書き込まれるごとに、SBUSY2出力は“H”(SBUSY2出力は“L”)になります。



図GA-10. SBUSY2出力の動作(2)

シリアルI/O2

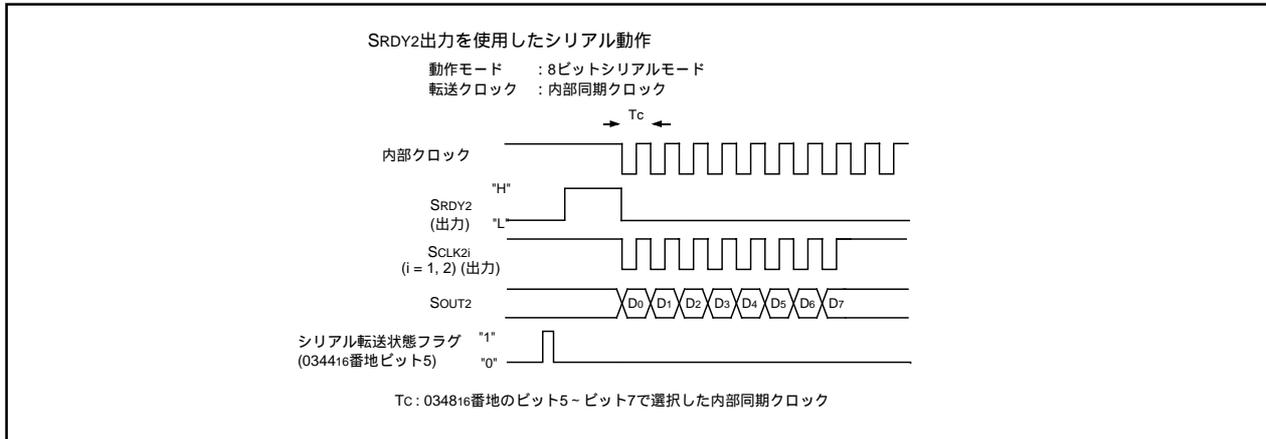


図GA-11. SBUSY2出力の動作(3)

シリアルI/O2

(4)SRDY2出力信号

SRDY2出力は、シリアル転送先に送受信準備ができたことを伝える信号です。初期状態(I/O初期化ビット(034216番地のビット4)="0")では、SRDY2出力は“L”(SRDY2出力は“H”)になります。シリアルI/O2レジスタ(034616番地)に送信データを書き込んだとき、SRDY2出力は“H”(SRDY2出力は“L”)になります。送受信動作が始まり転送クロックが“L”になると、SRDY2出力は“L”(SRDY2出力は“H”)になります。



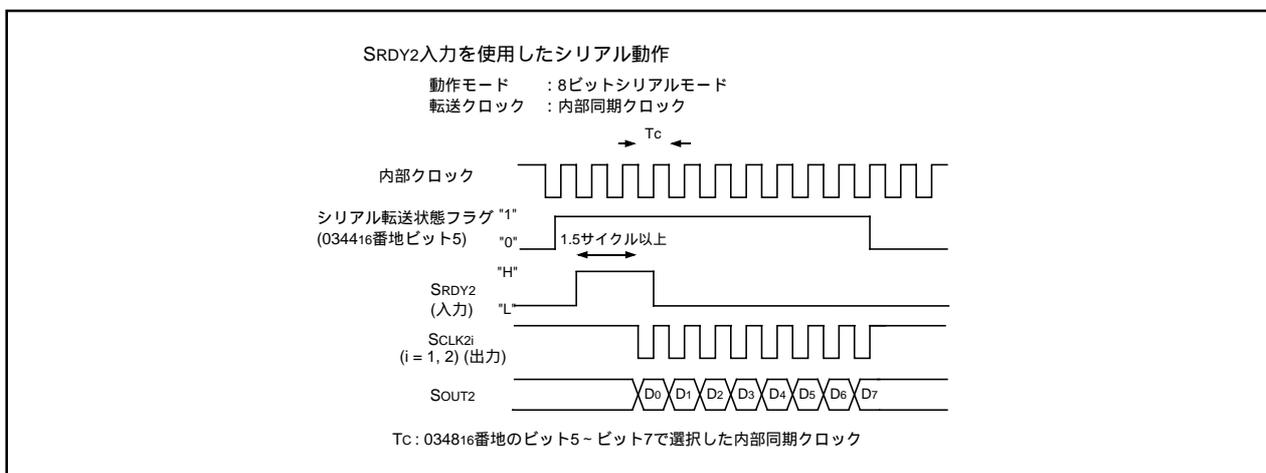
図GA-12. SRDY2出力の動作

(5)SRDY2入力信号

SRDY2入力信号は、シリアル転送先から送受信の準備完了を示す信号で、SRDY2入力およびSBUSY2出力の使用時のみ有効となります。

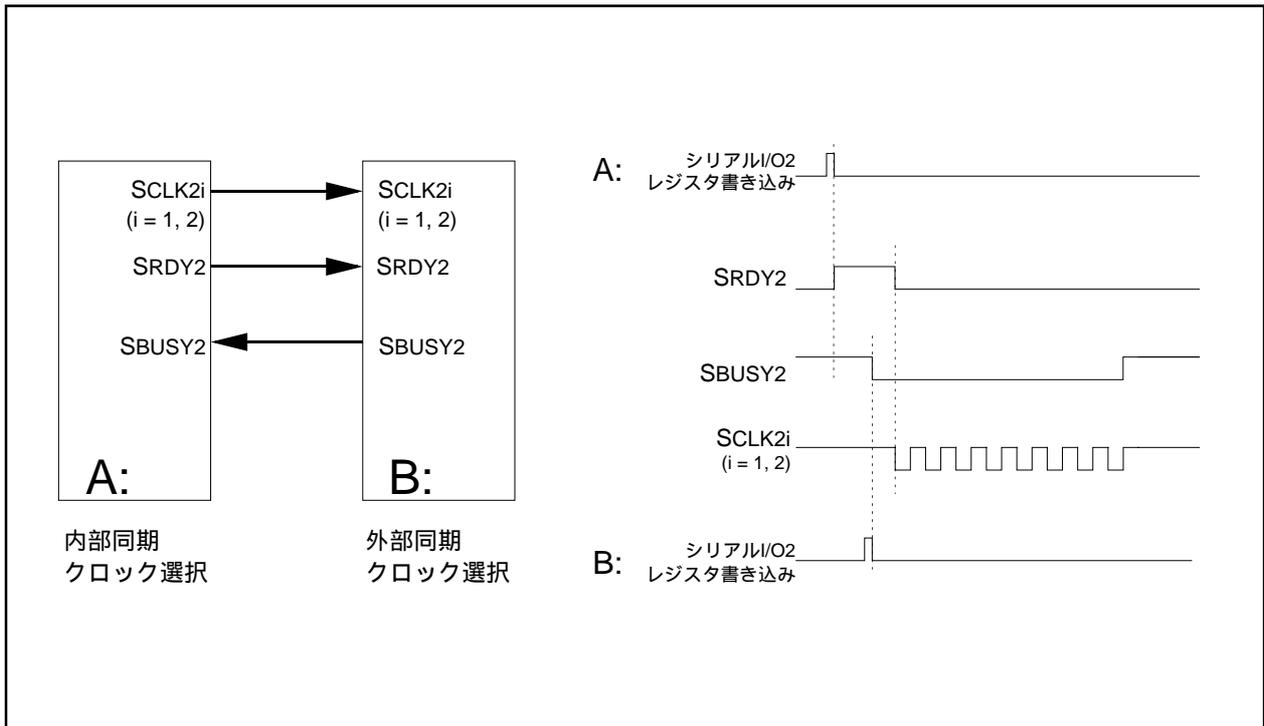
内部同期クロックを選択した場合、初期状態(I/O初期化ビット(034216番地のビット4)="0")では、SRDY2入りに“L”(SRDY2入りに“H”)を入力してください。SRDY2入りに、転送クロックの1.5サイクル以上の“H”(SRDY2入りに“L”)を入力すると、SCLK2i(i = 1, 2)から転送クロックを出力し、送受信動作を開始します。送受信動作中に、SRDY2入りに“L”(SRDY2入りに“H”)を入力した場合、送受信動作は直ちに停止せず、所定のビット数の送受信動作が完了するまで、SCLK2i(i = 1, 2)から転送クロックを出力します。8ビットシリアルI/O、自動転送シリアルI/Oとも8ビットがハンドシェークの単位となります。

外部同期クロックを選択した場合、SRDY2入力は、SBUSY2信号を出力するためのトリガの1つとなります。送受信動作を開始(SBUSY2出力が“L”(SBUSY2出力が“H”))するためには、SRDY2入りに“H”(SRDY2入りに“L”)を入力し、かつ、シリアルI/O2レジスタ(034616番地)に送信データを書き込む必要があります。

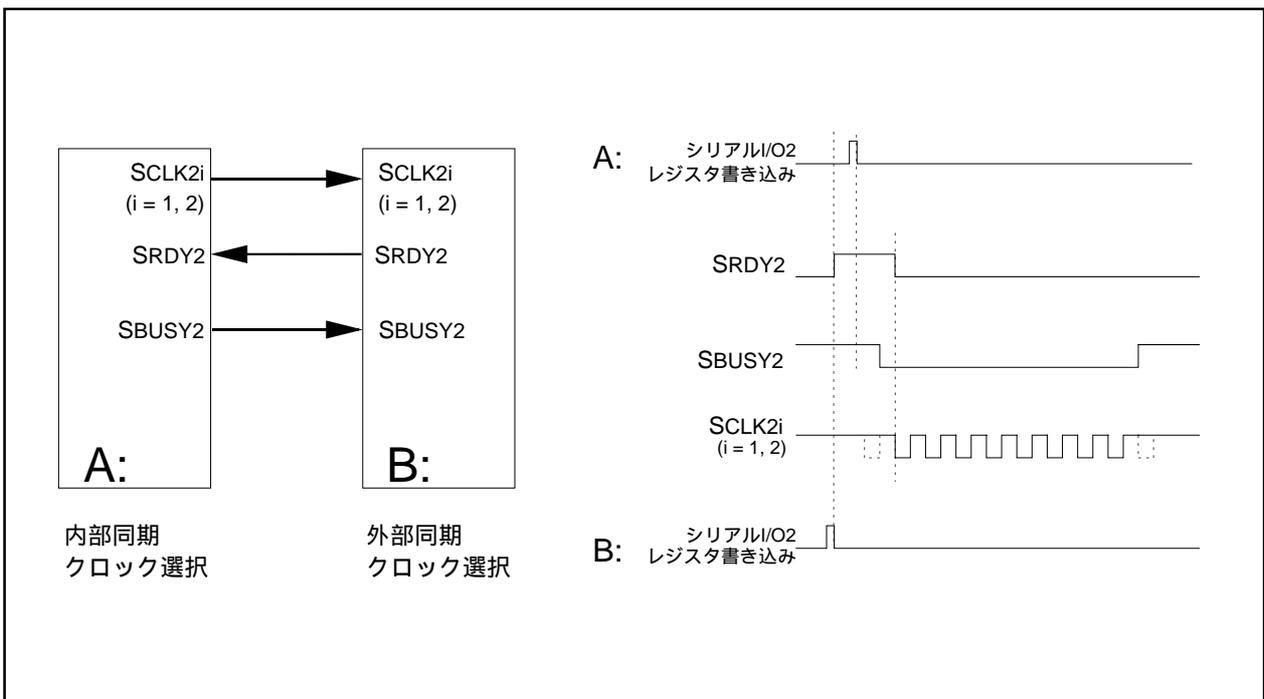


図GA-13. SRDY2入力の動作

シリアルI/O2



図GA-14. シリアルI/O2を相互接続した場合のハンドシェイク動作(1)



図GA-15. シリアルI/O2を相互接続した場合のハンドシェイク動作(2)

A-D変換器

A-D変換器

容量結合増幅器で構成され、10ビットの逐次比較変換方式のA-D変換器を1回路内蔵しています。アナログ信号入力端子は、P100～P107と共用していますのでA-D変換を行う端子に対応する方向レジスタは入力に設定してください。また、Vref接続ビット(03D716番地のビット5)によりA-D変換器を使用しないとき、A-D変換器の抵抗ラダーと基準電圧入力端子(VREF)を切り離すことができます。切り離すことにより、VREF端子から抵抗ラダーには電流が流れなくなり、消費電力を少なくすることができます。A-D変換器を使用する場合は、VREFを接続してからA-D変換をスタートさせてください。

A-D変換した結果は、選択した端子に対応したA-Dレジスタに格納されます。変換精度を10ビットに設定した場合は、下位8ビットが偶数番地に、上位2ビットが奇数番地に格納され、8ビットに設定した場合は、下位8ビットだけが偶数番地に格納されます。

表JA-1にA-D変換器の性能を、図JA-1にA-D変換器のブロック図を、図JA-2、図JA-3にA-D変換器関連のレジスタを示します。

表JA-1 A-D変換器の性能

項目	性能
A-D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V～AVCC(VCC)
動作クロック AD(注2)	VCC = 5Vのとき fAD/fADの2分周/fADの4分周、fAD=f(XIN) VCC = 3Vのとき fADの2分周/fADの4分周、fAD=f(XIN)(注3)
分解能	8/10ビット選択可能
絶対精度	VCC = 5Vのとき サンプル&ホールド機能なし ±3LSB サンプル&ホールド機能あり(分解能8ビット) ±2LSB サンプル&ホールド機能なし(分解能10ビット) ±3LSB VCC = 3Vのとき(注3) サンプル&ホールド機能なし(分解能8ビット) ±2LSB
動作モード	単発モード/繰り返しモード/単掃引モード/繰り返し掃引モード0 /繰り返し掃引モード1
アナログ入力端子	8本(AN0～AN7)
A-D変換開始条件	ソフトウェアトリガ A-D変換開始フラグを“1”にするとA-D変換を開始
1端子あたりの変換速度	サンプル&ホールドなし 分解能8ビットの場合49 ADサイクル、分解能10ビットの場合59 ADサイクル サンプル&ホールドあり 分解能8ビットの場合28 ADサイクル、分解能10ビットの場合33 ADサイクル

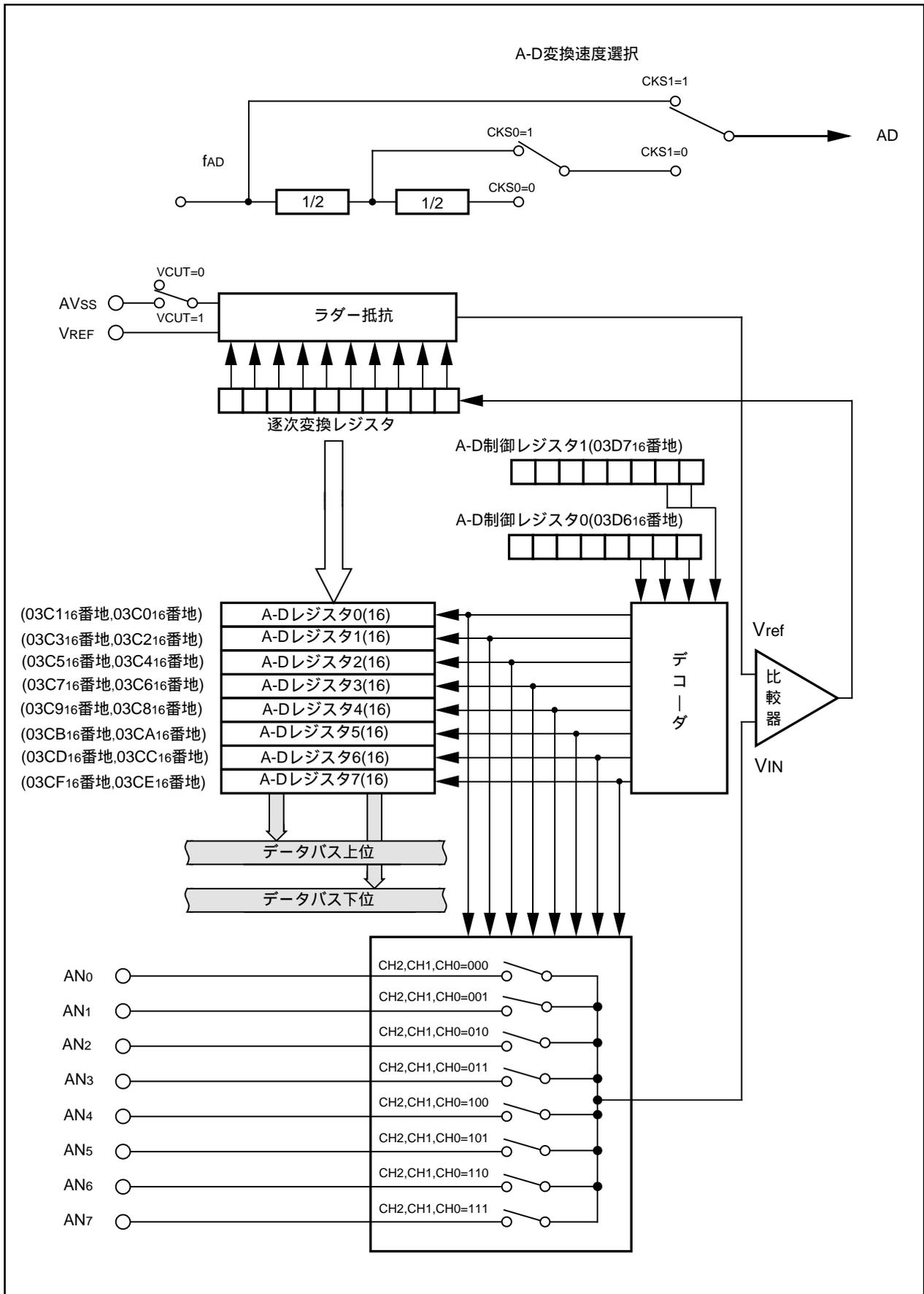
注1. サンプル&ホールド機能の有無に依存しません。

注2. サンプル&ホールド機能なしのとき ADの周波数は250kHz以上にしてください。

サンプル&ホールド機能ありのとき ADの周波数は1MHz以上にしてください。

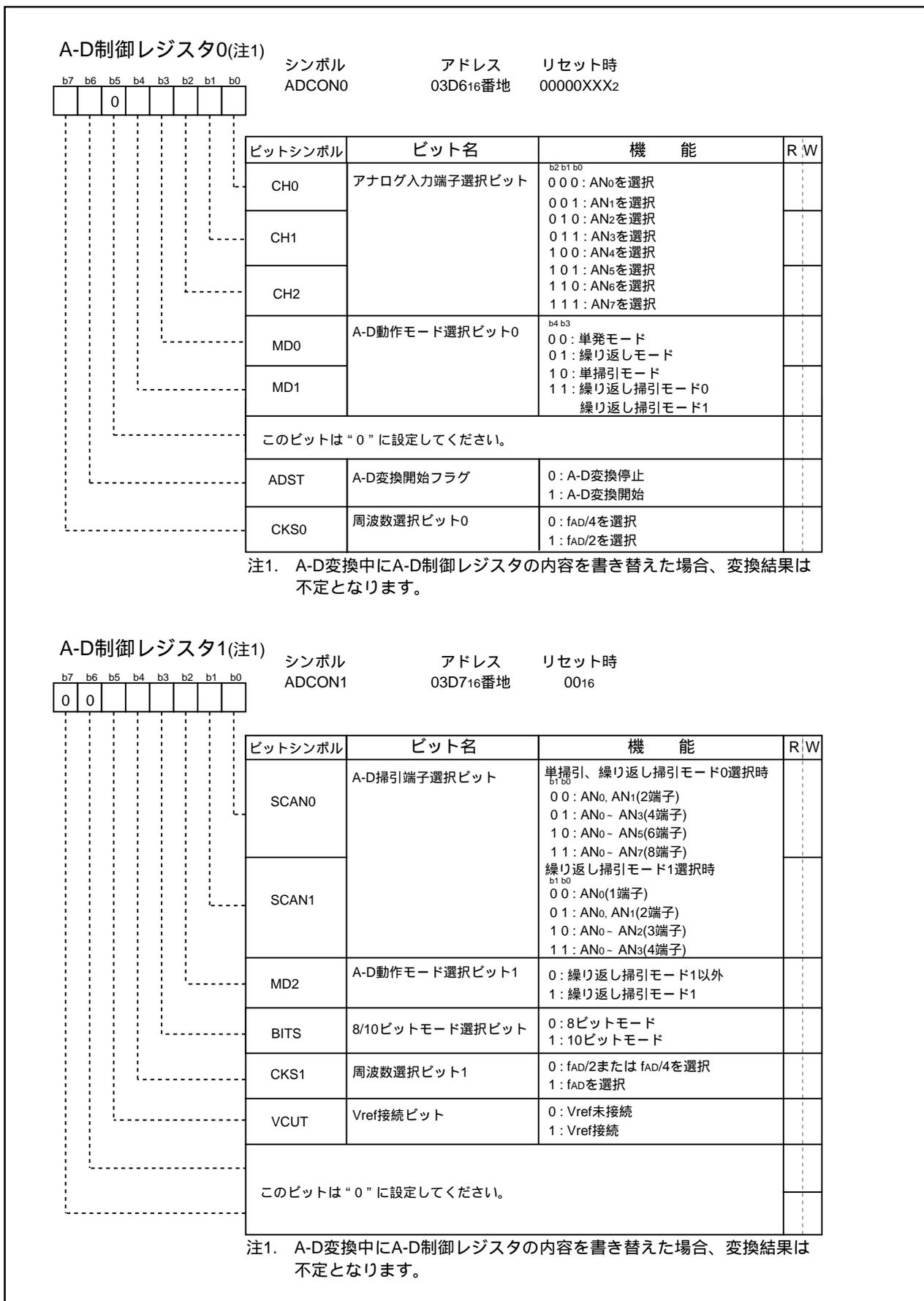
注3. マスクROM版のみ

A-D変換器



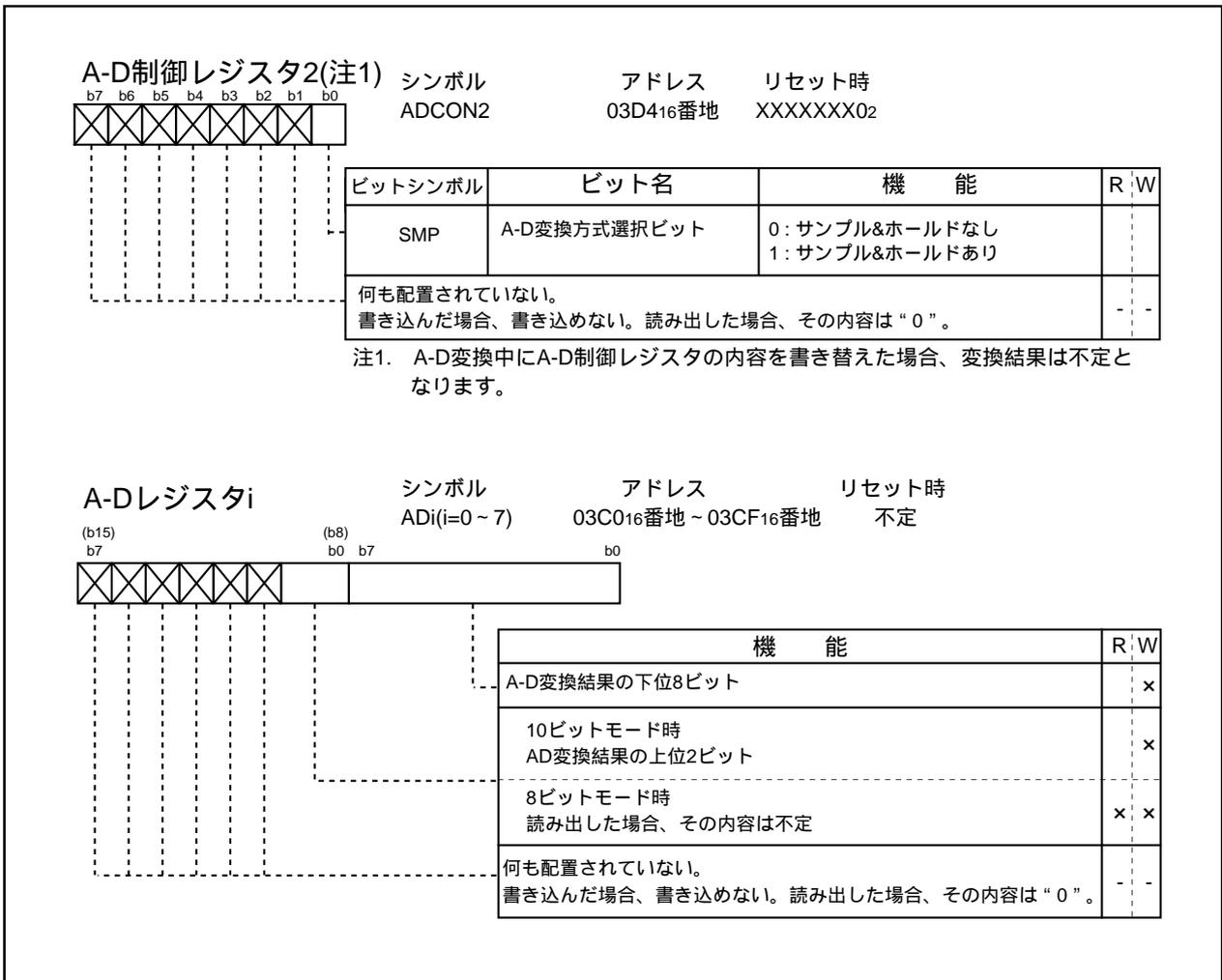
図JA-1. A-D変換器関連レジスタ(1)

A-D変換器



図JA-2. A-D変換器関連レジスタ(2)

A-D変換器



図JA-3. A-D変換器関連レジスタ(2)

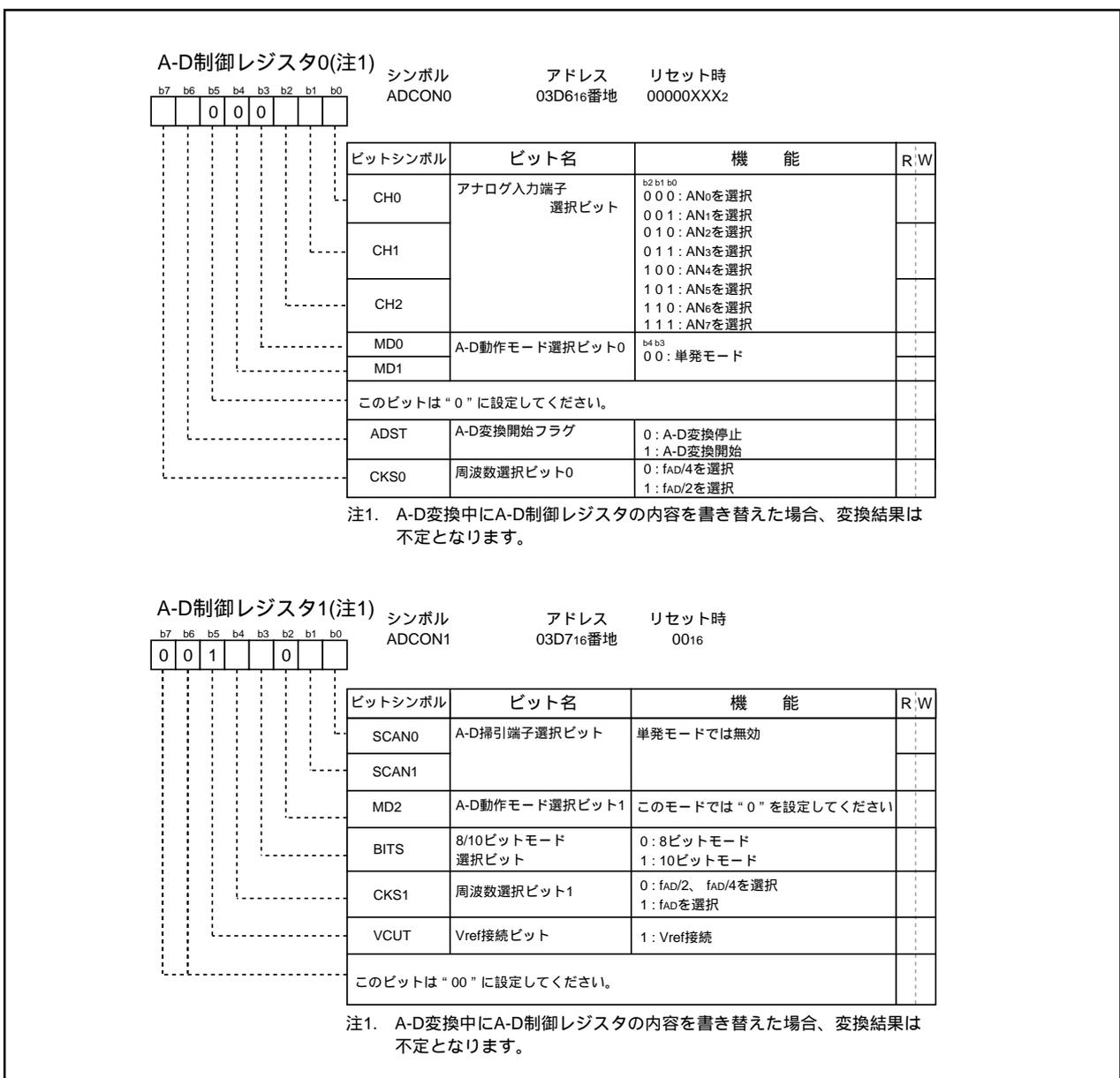
A-D変換器

(1) 単発モード

アナログ入力端子選択ビットで選択した1本の端子を1回A-D変換するモードです。表JA-2に単発モードの仕様、図JA-4に単発モード時のA-D制御レジスタ構成を示します。

表JA-2. 単発モードの仕様

項目	仕様
機能	アナログ入力端子選択ビットで選択した1本の端子を1回A-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換終了(A-D変換開始フラグは“0”になる。) A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A-D変換終了時
入力端子	AN ₀ ~ AN ₇ より1端子を選択
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し



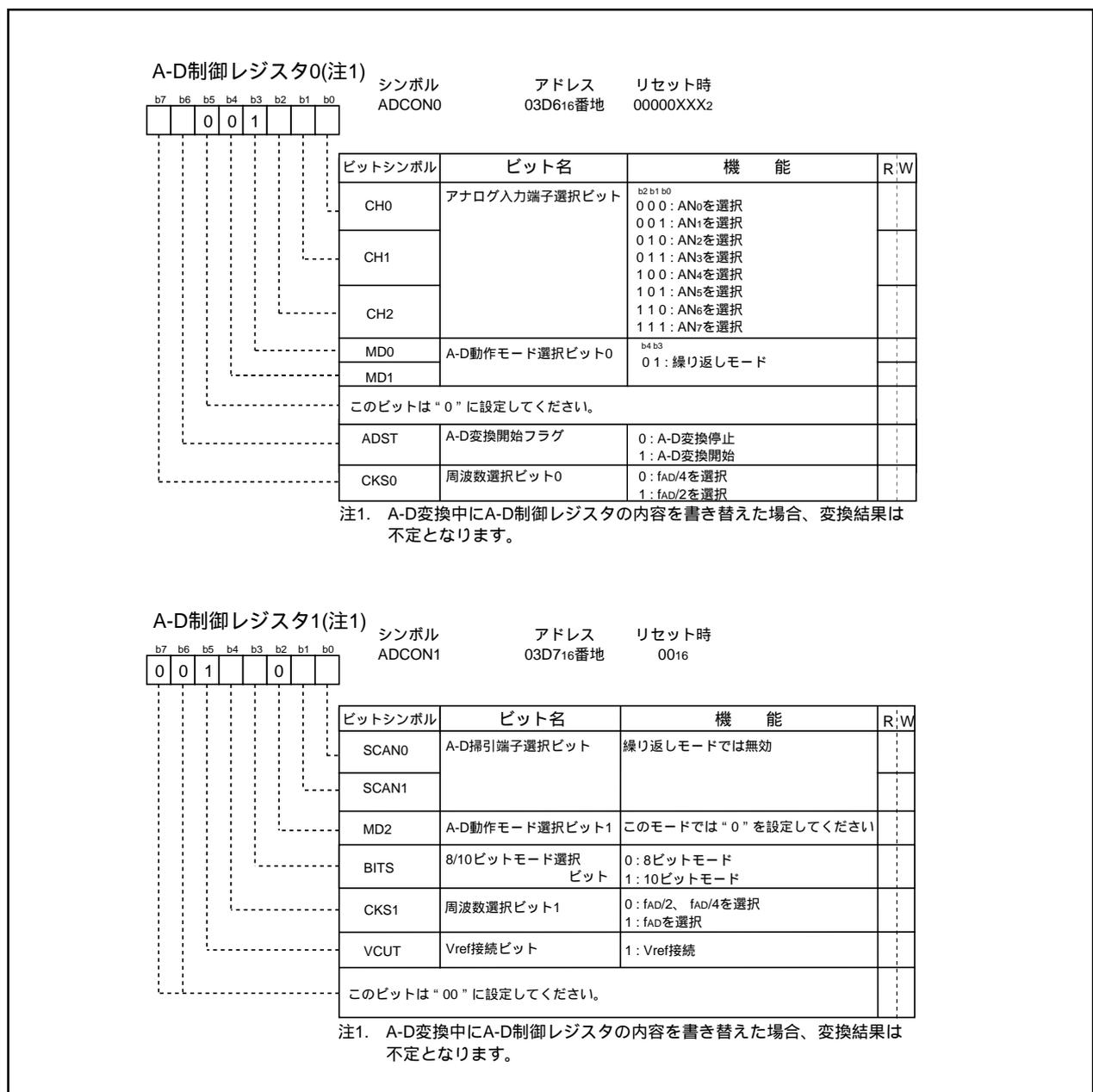
A-D変換器

(2) 繰り返しモード

アナログ入力端子選択ビットで選択した1本の端子を繰り返しA-D変換するモードです。表JA-3に繰り返しモードの仕様、図JA-5に繰り返しモード時のA-D制御レジスタ構成を示します。

表JA-3. 繰り返しモードの仕様

項目	仕様
機能	アナログ入力端子選択ビットで選択した1本の端子を繰り返しA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN ₀ ~ AN ₇ より1端子を選択
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し



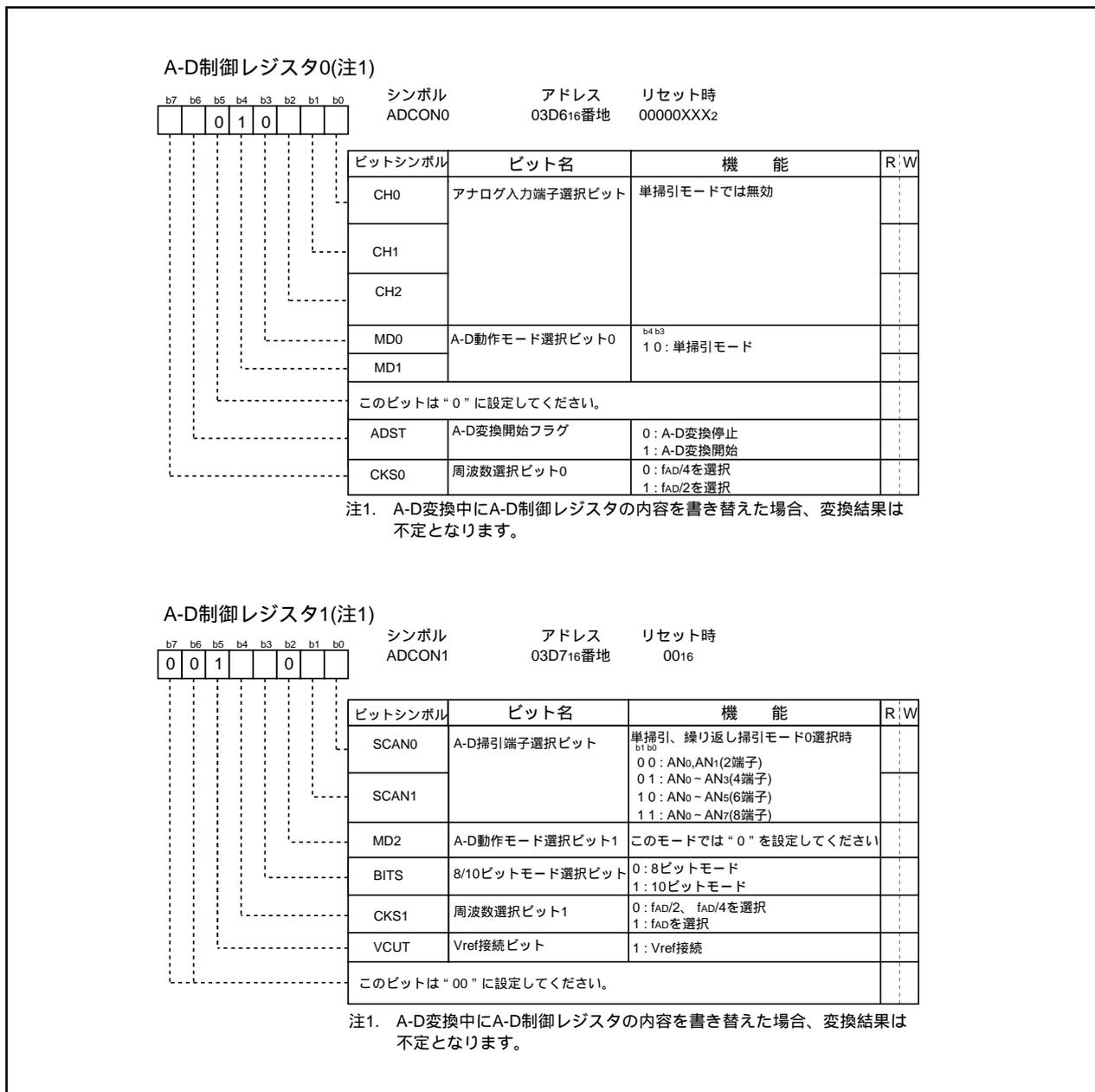
A-D変換器

(3) 単掃引モード

A-D掃引端子選択ビットで選択した端子を1回ずつA-D変換するモードです。表JA-4に単掃引モードの仕様、図JA-6に単掃引モード時のA-D制御レジスタ構成を示します。

表JA-4. 単掃引モードの仕様

項目	仕様
機能	A-D掃引端子選択ビットで選択した端子を1回ずつA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換終了(A-D変換開始フラグは“0”になる。) A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A-D変換終了時
入力端子	AN ₀ 、AN ₁ (2端子)、AN ₀ ～AN ₃ (4端子)、AN ₀ ～AN ₅ (6端子)、AN ₀ ～AN ₇ (8端子)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し



図JA-6. 単掃引モード時のA-D制御レジスタ

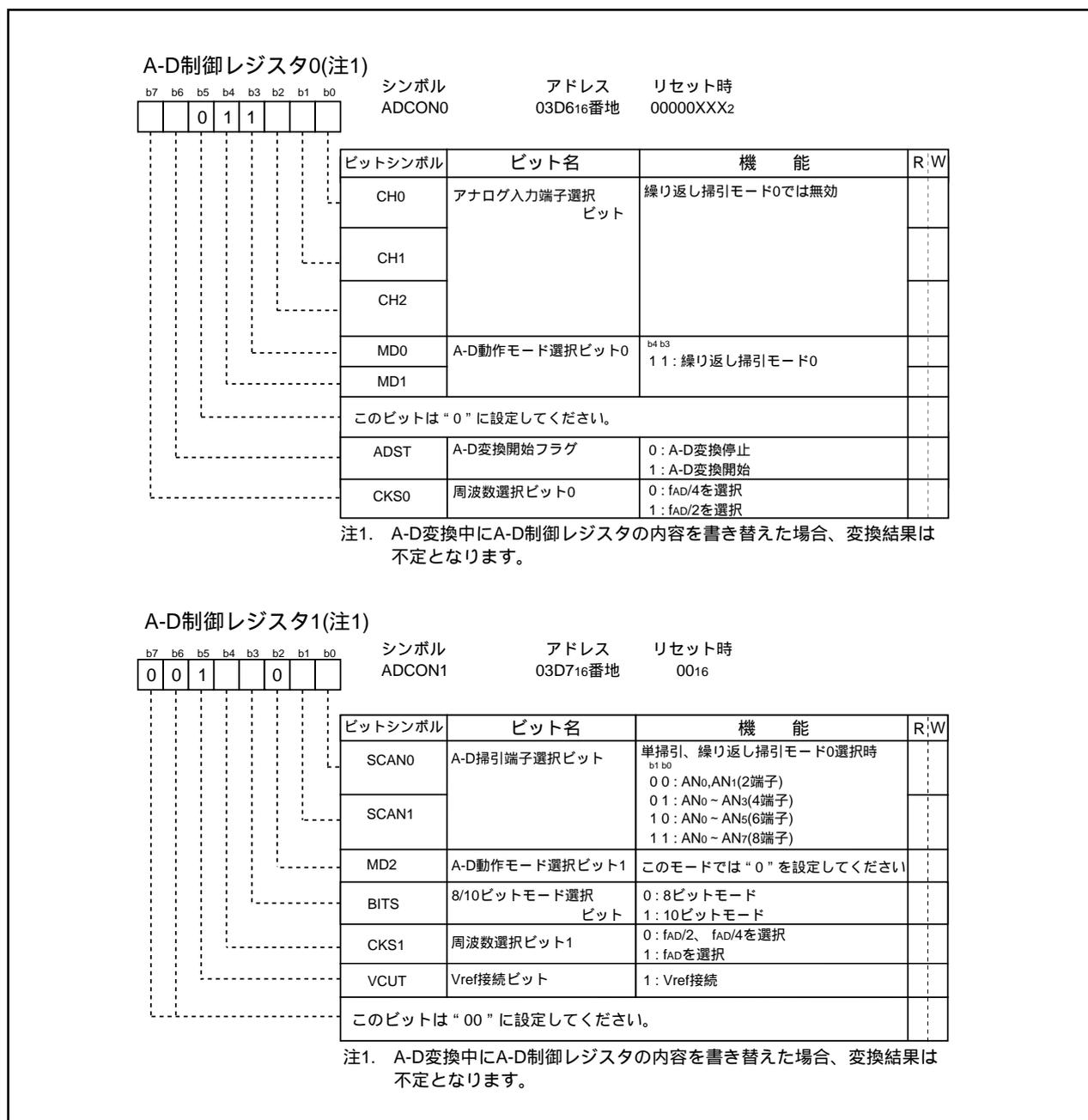
A-D変換器

(4) 繰り返し掃引モード0

A-D掃引端子選択ビットで選択した端子を繰り返しA-D変換するモードです。表JA-5に繰り返し掃引モード0の仕様、図JA-7に繰り返し掃引モード0時のA-D制御レジスタ構成を示します。

表JA-5. 繰り返し掃引モード0の仕様

項目	仕様
機能	A-D掃引端子選択ビットで選択した端子を繰り返しA-D変換する
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN ₀ 、AN ₁ (2端子)、AN ₀ ~AN ₃ (4端子)、AN ₀ ~AN ₅ (6端子)、AN ₀ ~AN ₇ (8端子)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能)



図JA-7. 繰り返し掃引モード0時のA-D制御レジスタ

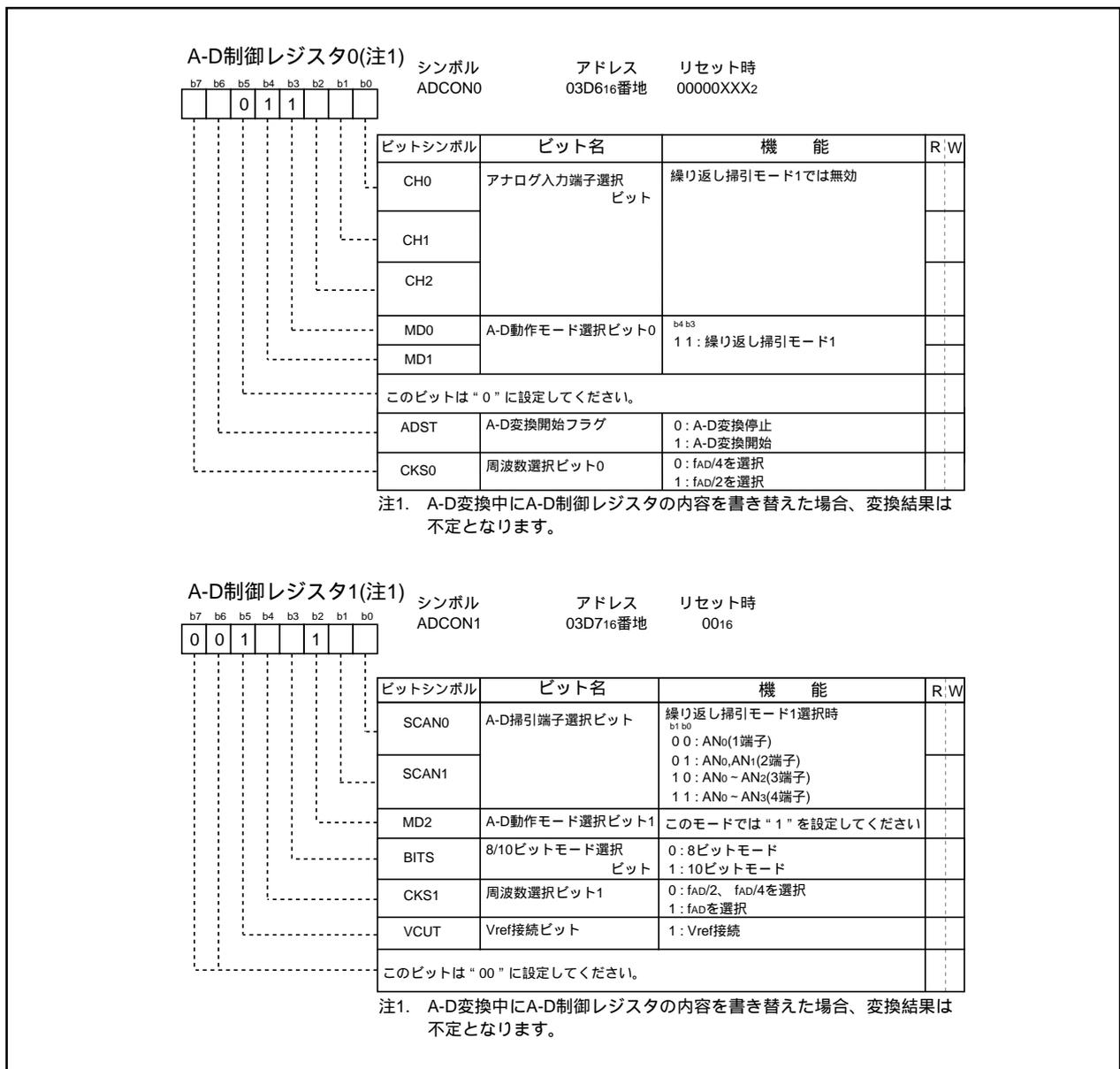
A-D変換器

(5) 繰り返し掃引モード1

A-D掃引端子選択ビットで選択した端子に重点をおいて全端子を繰り返しA-D変換するモードです。表JA-6に繰り返し掃引モード1の仕様、図JA-8に繰り返し掃引モード1時のA-D制御レジスタ構成を示します。

表JA-6. 繰り返し掃引モード1の仕様

項目	仕様
機能	A-D掃引端子選択ビットで選択した端子に重点をおいて全端子を繰り返しA-D変換する 例：AN ₀ を選択した場合 AN ₀ AN ₁ AN ₀ AN ₂ AN ₀ AN ₃ ・・・となる
開始条件	A-D変換開始フラグへの“1”書き込み
停止条件	A-D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	重点的に行う端子 AN ₀ (1端子)、AN ₀ 、AN ₁ (2端子)、AN ₀ ～AN ₂ (3端子)、AN ₀ ～AN ₃ (4端子)
A-D変換値の読み出し	選択した端子に対応したA-Dレジスタの読み出し(常時読み出し可能)



図JA-8. 繰り返し掃引モード1時のA-D制御レジスタ

サンプル&ホールド

A-D制御レジスタ2(03D4₁₆番地)のビット0の内容を“1”にすることによって、サンプル&ホールドを選択できます。サンプル&ホールドを選択したときは1端子あたりの変換速度も向上し、分解能8ビットの場合28 ADサイクル、分解能10ビットの場合33 ADサイクルです。サンプル&ホールドは、すべての動作モードに対して有効です。ただし、いずれの動作モードにおいても、サンプル&ホールドの有無を選択してからA-D変換を開始してください。

D-A変換器

D-A変換器

8ビットのR-2R方式によるD-A変換器です。独立した2つのD-A変換器を内蔵しています。

D-A変換は、対応したD-Aレジスタに値を書き込むことで行われます。変換結果を出力するかどうかはD-A制御レジスタのビット0、ビット1(D-A出力許可ビット)によって設定します。D-A変換を使用する場合は、対象となるポートは出力モードに設定しないでください。

出力されるアナログ電圧Vは、D-Aレジスタに設定した値n(nは10進数)で決まります。

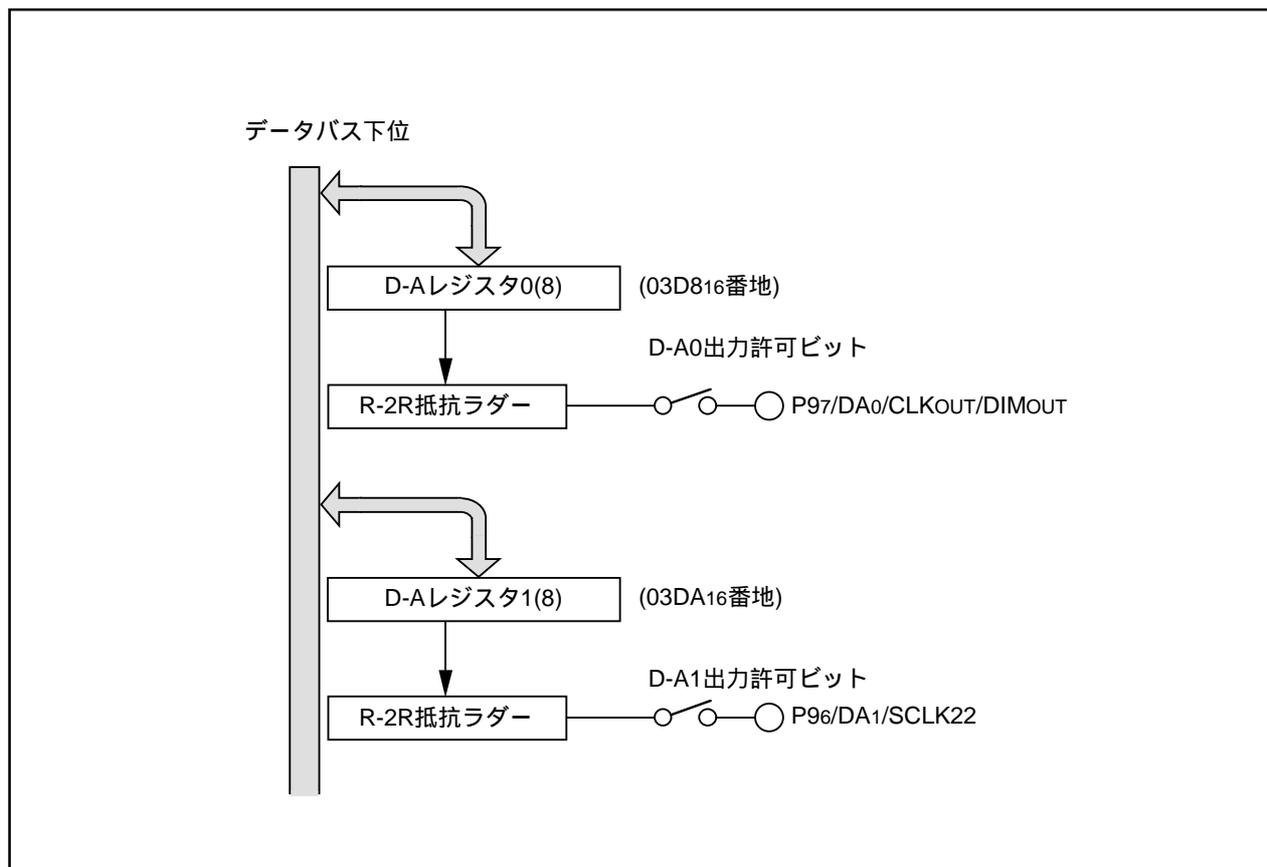
$$V = V_{REF} \times n / 256 (n=0 \sim 255)$$

V_{REF} :基準電圧

表JB-1にD-A変換器の性能を、図JB-1にD-A変換器のブロック図を、図JB-2にD-A制御レジスタの構成を、図JB-3にD-A変換器の等価回路を示します。

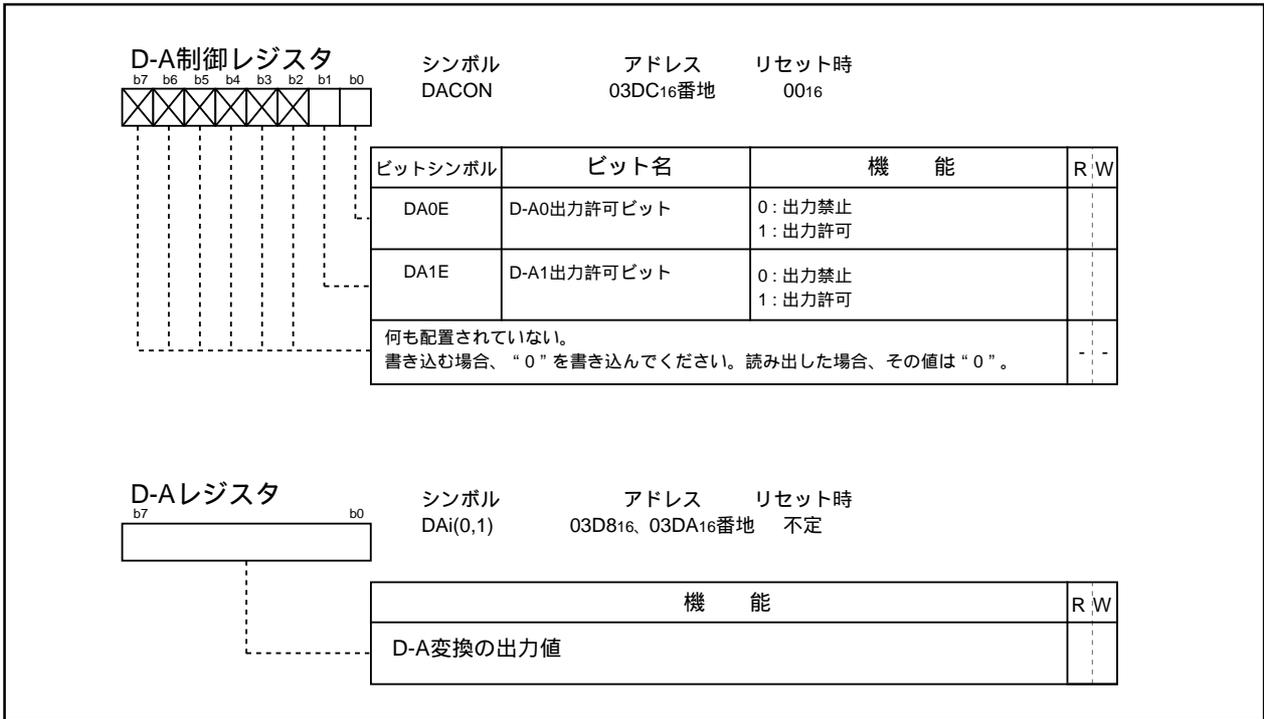
表JB-1. D-A変換器の性能

項目	性能
変換方式	R-2R方式
分解能	8ビット
アナログ出力端子	2チャンネル

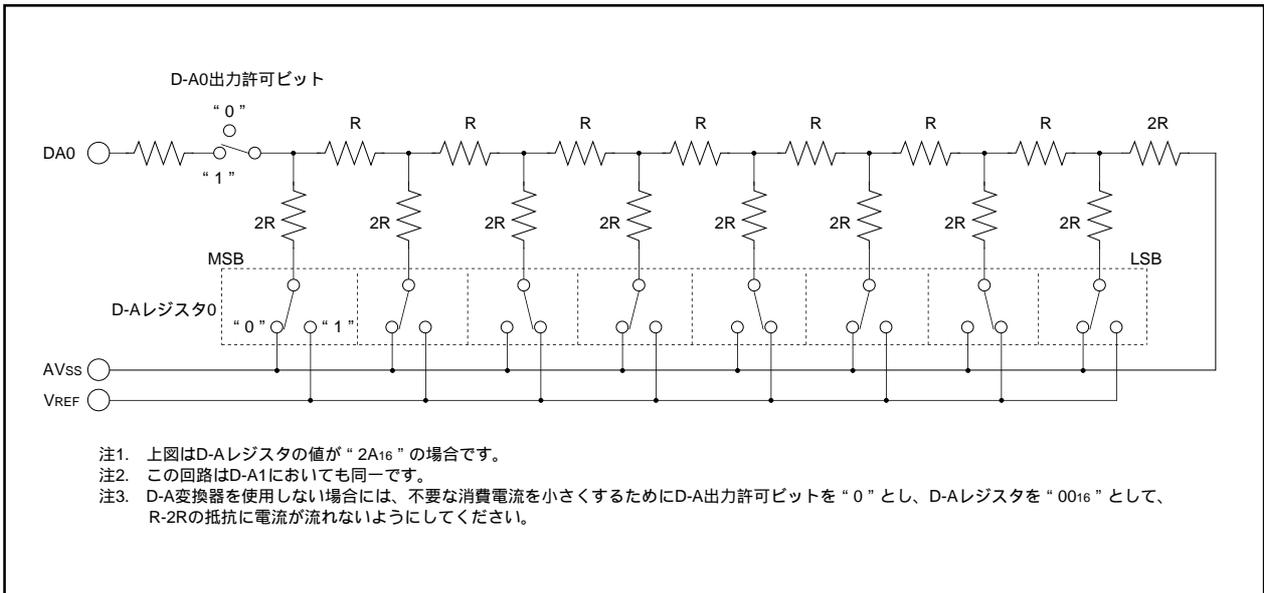


図JB-1. D-A変換器のブロック図

D-A変換器



図JB-2. D-A制御レジスタの構成



図JB-3. D-A変換器の等価回路

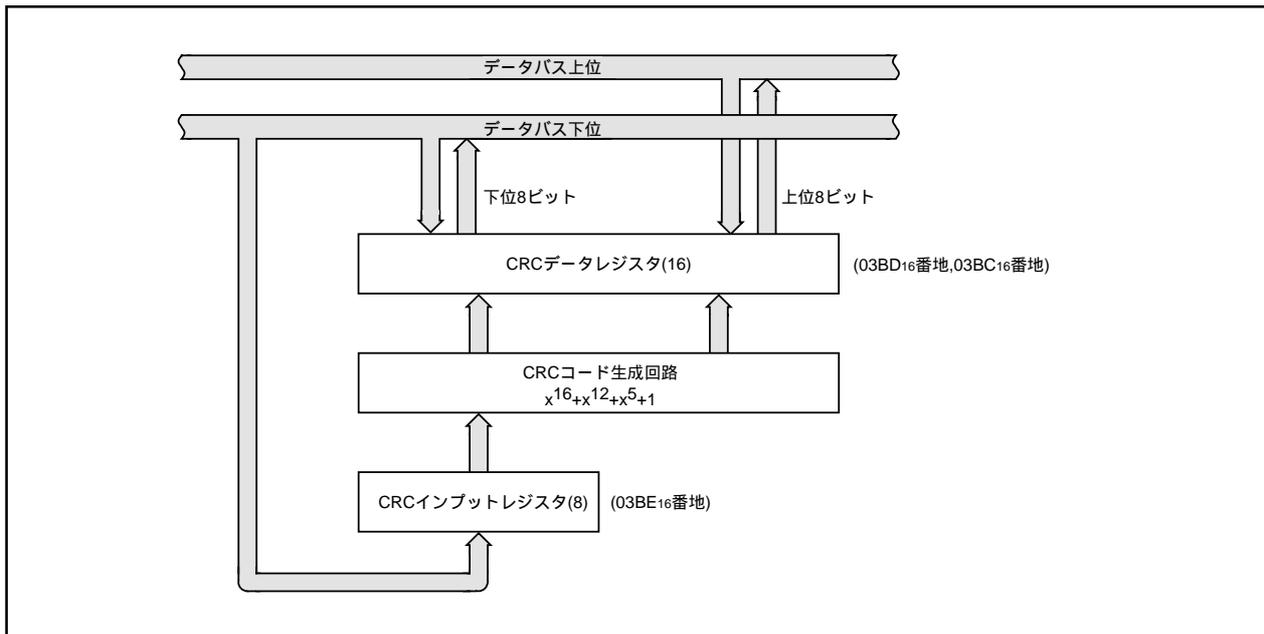
CRC演算回路

CRC演算回路

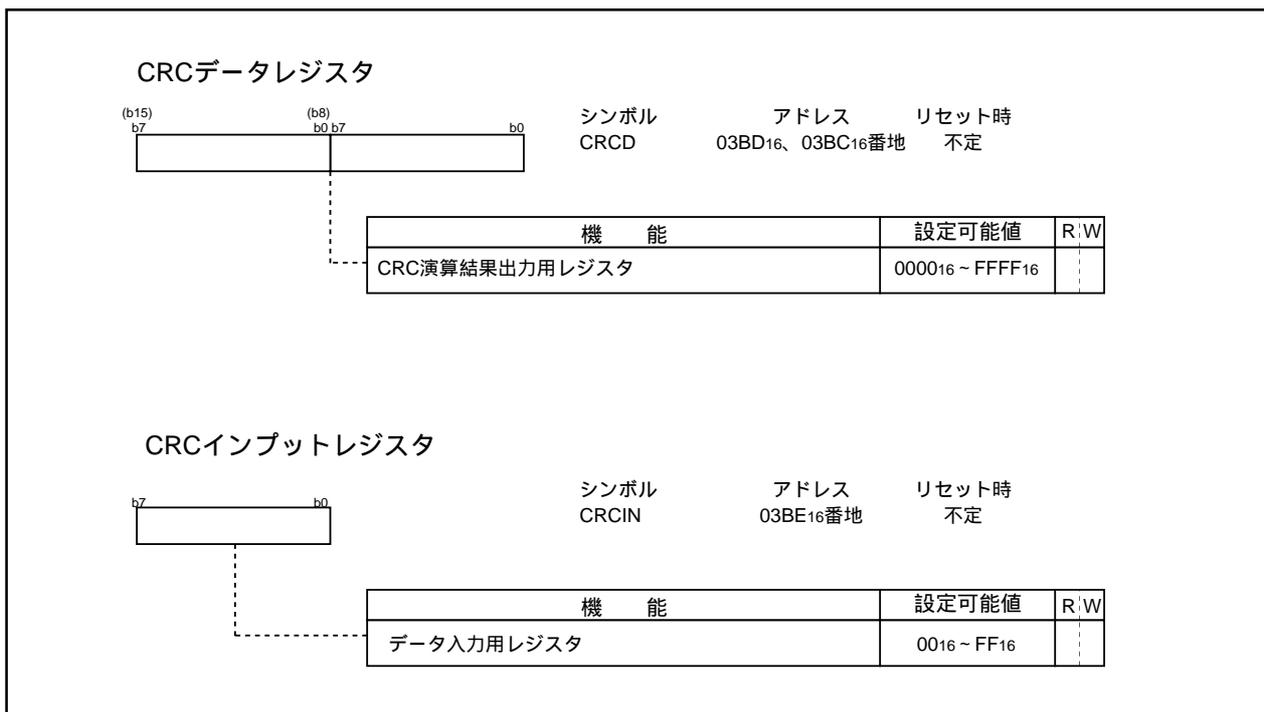
CRC(Cyclic Redundancy Check)演算回路は、データブロックの誤り検出を行います。CRCコードの生成にはCRC-CCITT($X^{16}+X^{12}+X^5+1$)の生成多項式を使用します。

CRCコードは、8ビット単位の任意のデータ長のブロックに対し生成される16ビットのコードです。CRCコードは、CRCデータレジスタに初期値を設定した後、1バイトのデータをCRCインプットレジスタに転送する毎に、CRCデータレジスタに設定されます。1バイトのデータに対するCRCコードの生成は2マシサイクルで終了します。

図UC-1にCRCのブロック図、図UC-2にCRCの関連レジスタを示します。また、図UC-3にCRC演算回路の演算例を示します。

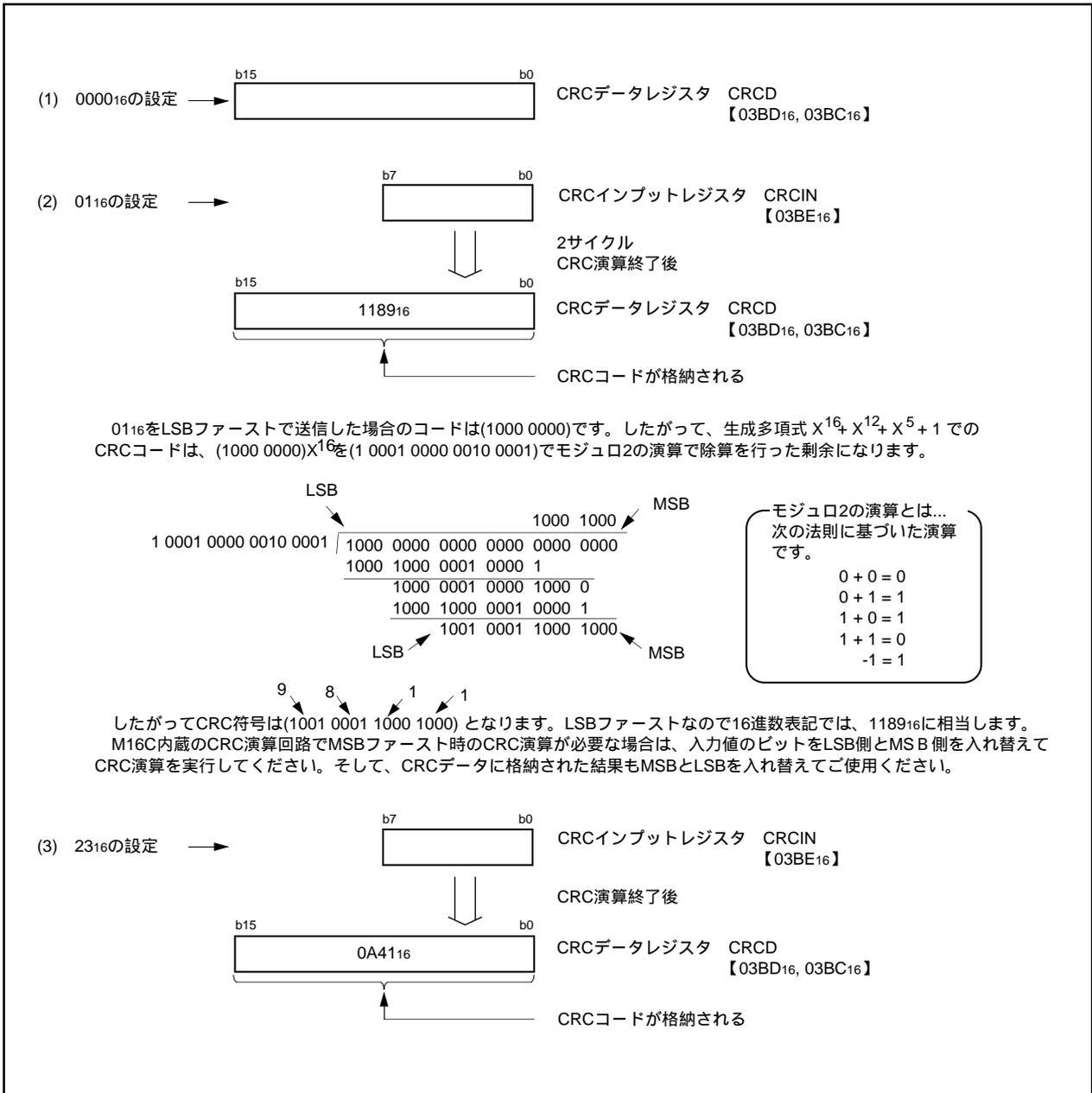


図UC-1. CRCブロック図



図UC-2. CRC関連レジスタ

CRC演算回路



図UC-3. CRC演算回路の演算例

プログラマブル入出力ポート

プログラマブル入出力ポートは、P3、P4、P7～P10の48本あります。各ポートの入出力は、方向レジスタによって1ポートごとに設定できます。また、4ポートごとに、プルアップ抵抗の有無を設定できます。

P3、P40～P43は高耐圧Pchオープンドレイン出力でプルダウン抵抗は内蔵していません。

プログラマブル入出力ポートの構成を、図UA-1、図UA-2に示します。

各端子は、プログラマブル入出力ポートと内蔵周辺装置の入出力として機能します。

内蔵周辺装置の入力端子として使用する場合は、各端子の方向レジスタを入力モードに設定してください。D-A変換器以外の内蔵周辺装置の出力端子として使用する場合は、方向レジスタの内容に関係なく内蔵周辺装置の出力となります。D-A変換器の出力端子として使用する場合は、各端子の方向レジスタを出力モードに設定しないでください。内蔵周辺装置の設定方法は、各機能説明を参照してください。

(1) 方向レジスタ

方向レジスタの構成を、図UA-3に示します。

プログラマブル入出力ポートの方向を選択するためのレジスタです。このレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

(2) ポートレジスタ

ポートレジスタの構成を、図UA-4に示します。

外部とのデータ入出力は、ポートレジスタへの書き込みおよび読み出しによって行います。ポートレジスタは、出力データを保持するポータラッチ、および端子の状態を読み込む回路で構成されています。ポートレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

(3) プルアップ制御レジスタ

プルアップ制御レジスタの構成を、図UA-5に示します。

プルアップ制御レジスタによって、4ポートごとに、プルアップ抵抗の有無を設定できます。プルアップ抵抗ありに設定したポートは、方向レジスタを入力に設定したときにだけプルアップ抵抗が接続されます。

注1. P3、P40～P43は高耐圧Pchオープンドレイン出力のため、プルアップ制御レジスタは存在していません。

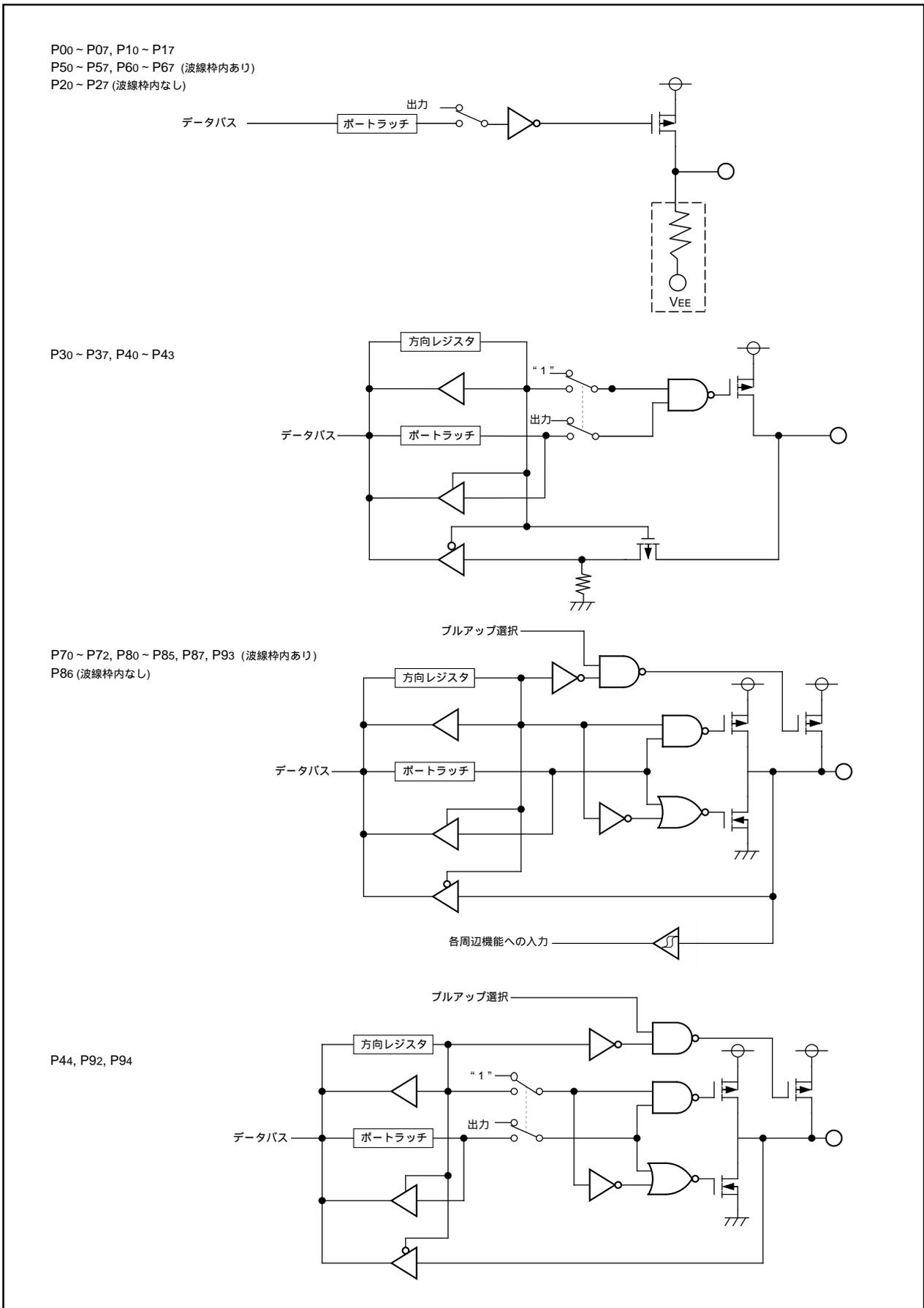
高耐圧出力専用ポート

出力専用ポートは、P0～P2、P5、P6の40本あります。

すべてのポートは、高耐圧Pchオープンドレインで構成しています。またP2以外は、プルダウン抵抗が内蔵されています。

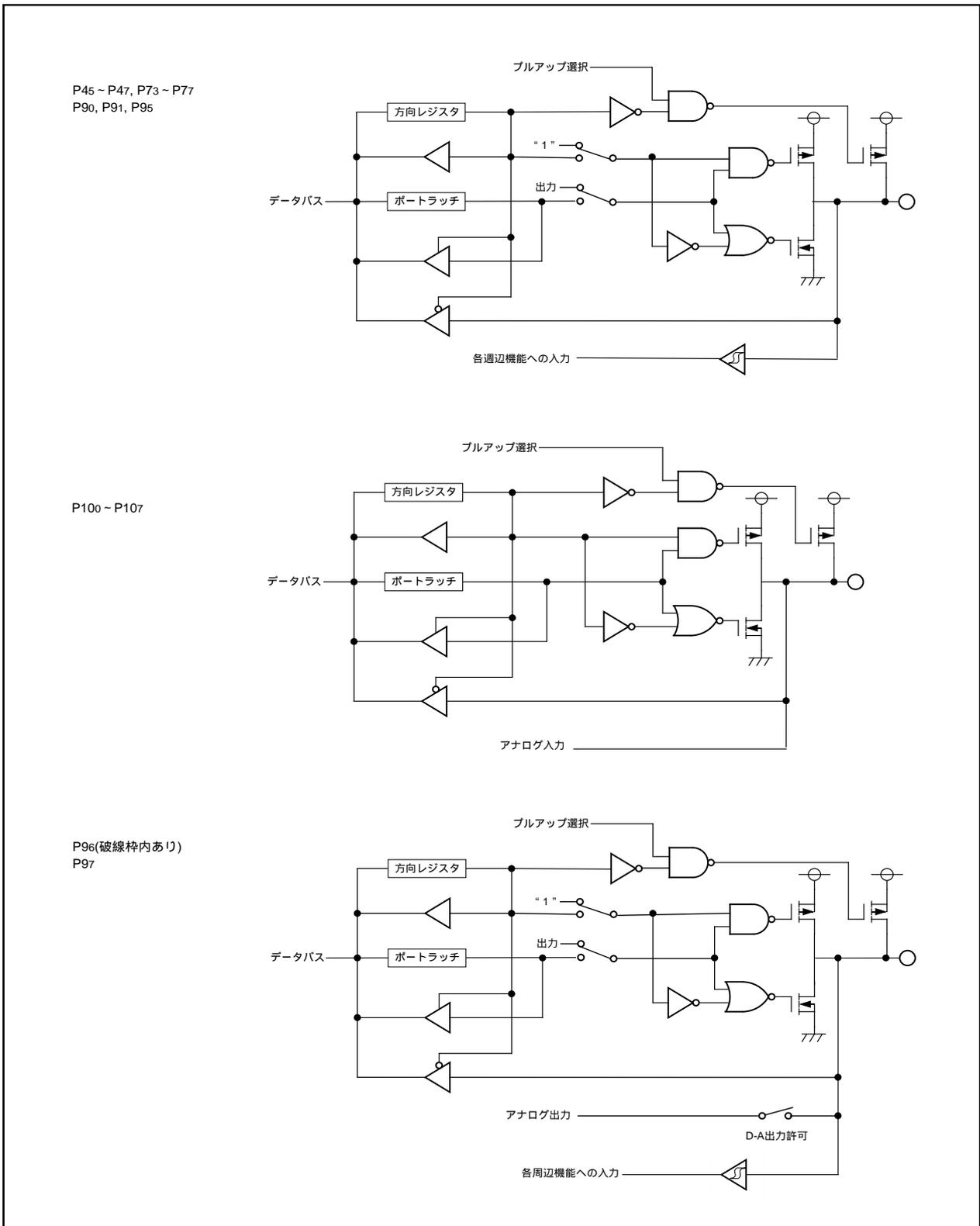
高耐圧出力専用ポートの構成を図UA-1に示します。

ポート



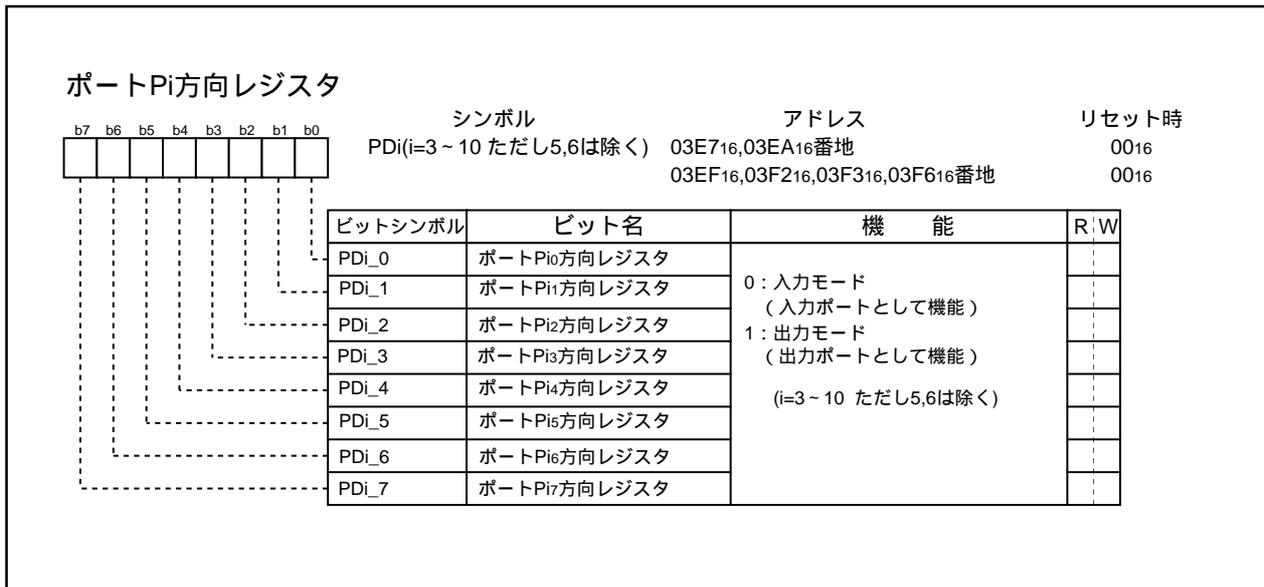
図UA-1. プログラマブル入出力ポートの構成(1)

ポート

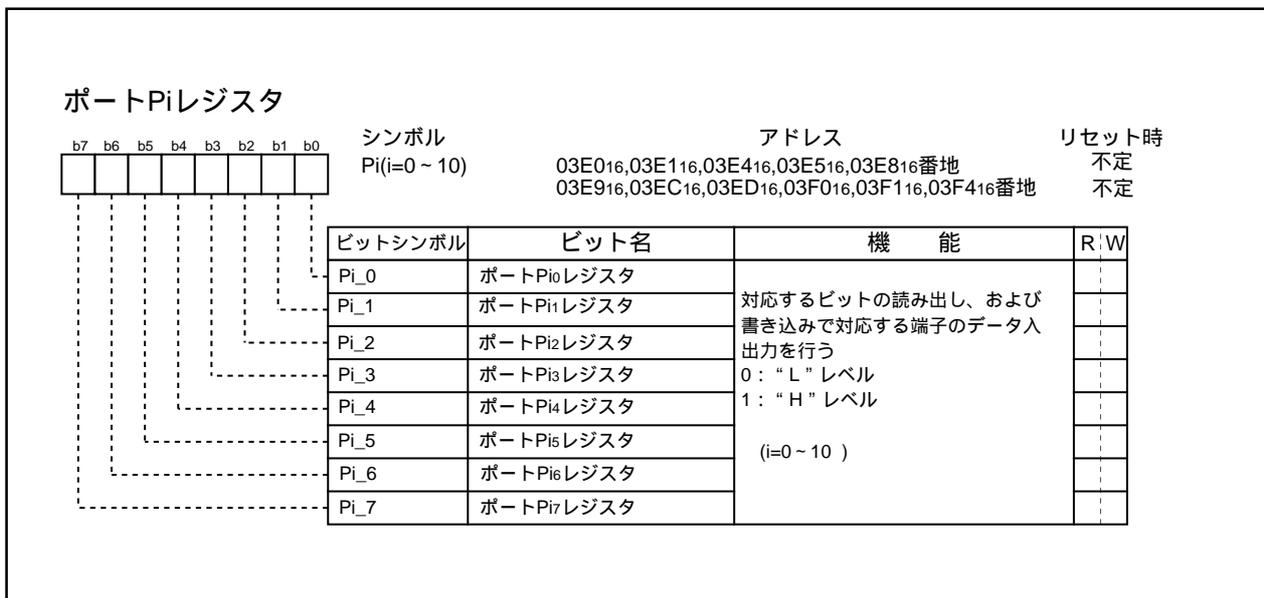


図UA-2. プログラマブル入出力ポートの構成(2)

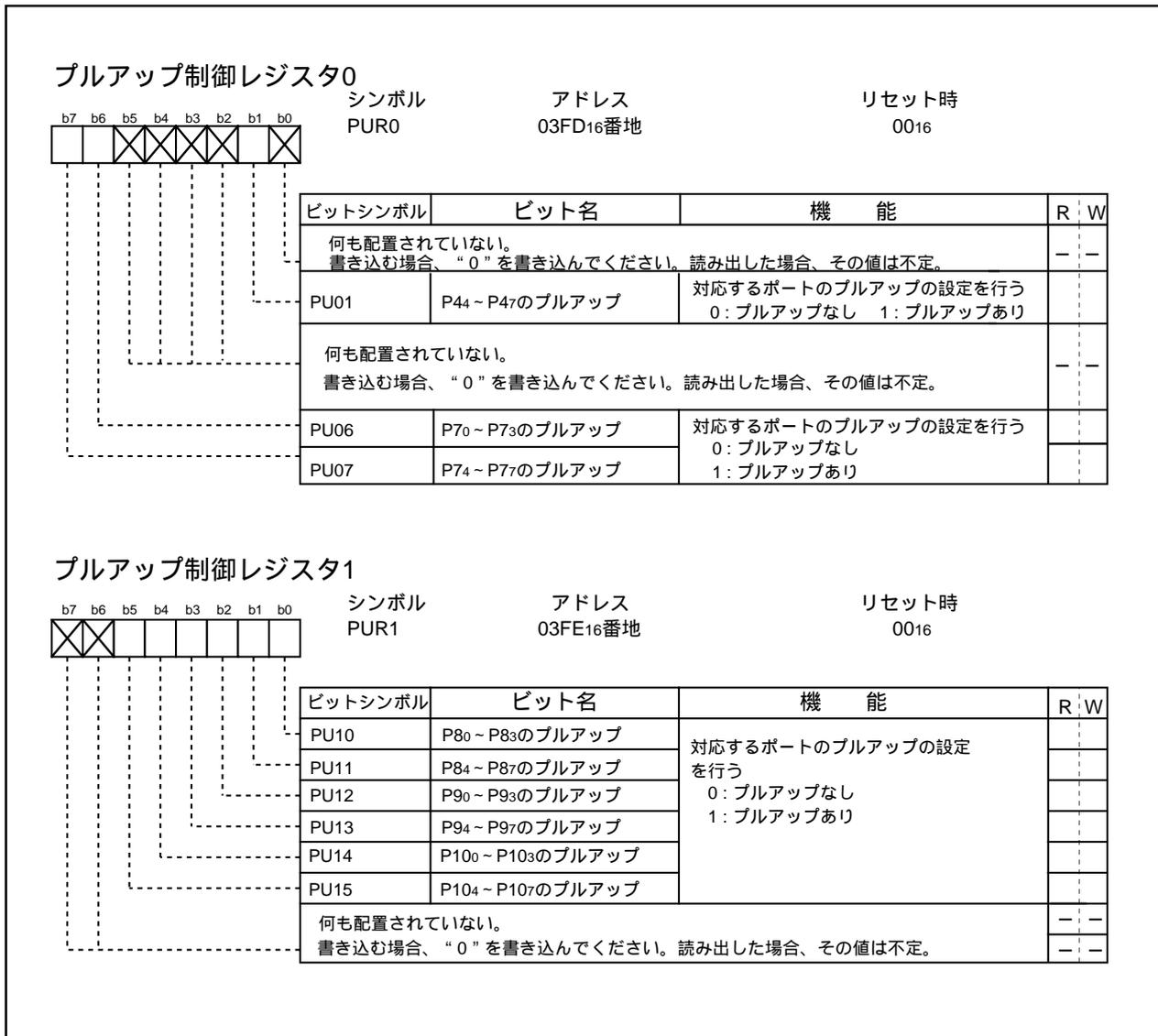
ポート



図UA-3. 方向レジスタの構成



図UA-4. ポートレジスタの構成



図UA-5. プルアップ制御レジスタの構成

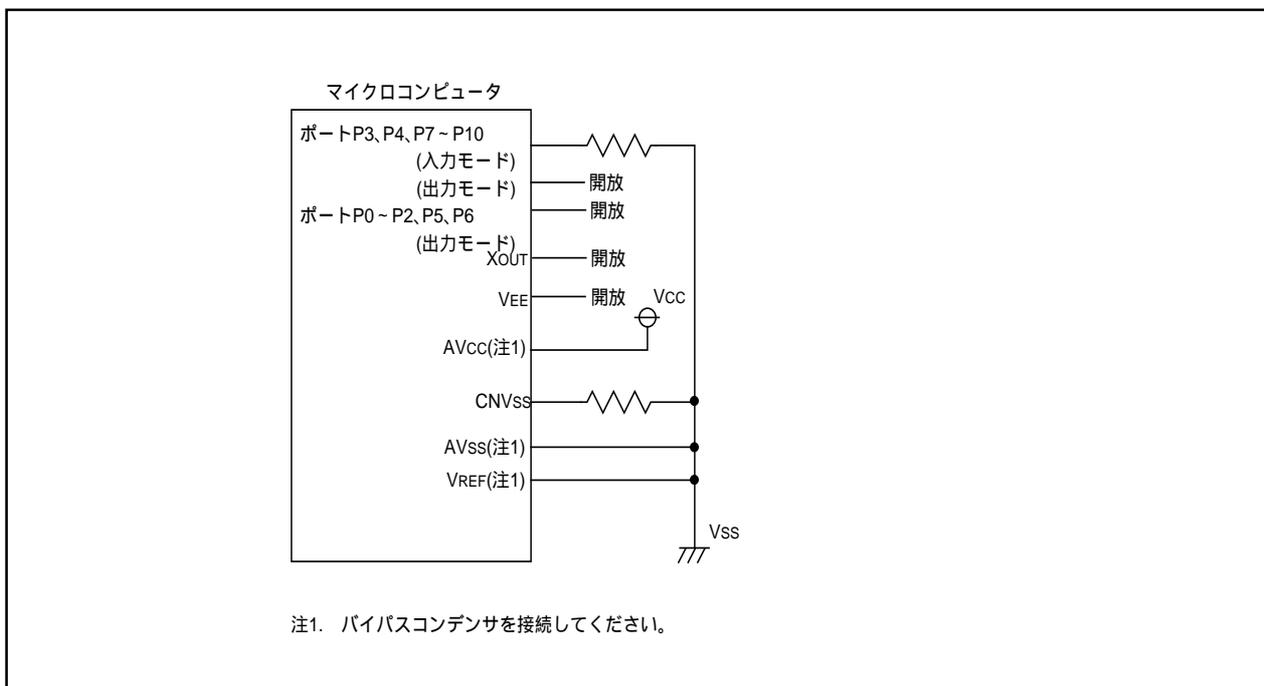
ポート

表UA-1. 未使用端子の処理例

端子名	処理内容
ポートP3、P4、P7～P10	出力モードに設定し、端子を開放するか、または入力モードに設定し、抵抗を介してVssに接続(プルダウン)
ポートP0～P2、P5、P6	端子を開放する
XOUT(注1)、VEE	開放
AVcc	Vccに接続(注2)
AVss, VREF	Vssに接続(注2)
CNVss	抵抗を介してVssに接続

注1. XIN端子に外部クロックを入力しているとき

注2. バイパスコンデンサを接続してください



図UA-6. 未使用端子の処理例

プルダウン

消費電力の計算方法

(マイコンの規格より決まる定数)

- ・高耐圧ポートのV_{OH}出力の降下電圧 2V(最大); |電流値|=18mA時
- ・抵抗値 68k (最小)
- ・内部回路の消費電力(CPU、ROM、RAMなど) = 5V × 38mA = 190mW

(ご使用条件により決まる定数)

- ・V_{EE}端子への印加電圧 V_{CC} - 50V
- ・タイミング数 a、実ディジット数 b本、セグメント数 c本
- ・T_{disp}時間に対するT_{off}時間の比 1/16
- ・繰り返し周期中に実点灯するセグメント数 d
- ・繰り返し周期中の総セグメント数α (= a × c)
- ・内蔵抵抗の合計本数 (ディジット用 f本、セグメント用 g本)
- ・ディジット端子電流値 h(mA)
- ・セグメント端子電流値 i(mA)

(1)ディジット端子の消費電力

$$\{ h \times b \times (1 - T_{off} / T_{disp}) \times \text{電圧} \} / a$$

(2)セグメント端子の消費電力

$$\{ i \times d \times (1 - T_{off} / T_{disp}) \times \text{電圧} \} / a$$

(3)プルダウン抵抗の消費電力(ディジット)

$$\{ \text{ディジット1本当りの消費電力} \times (b \times f / b) \times (1 - T_{off} / T_{disp}) \} / a$$

(4)プルダウン抵抗の消費電力(セグメント)

$$\{ \text{セグメント1本当りの消費電力} \times (d \times g / c) \times (1 - T_{off} / T_{disp}) \} / a$$

(5)内部回路の消費電力(CPU、ROM、RAM など。) = 190mW

$$(1) + (2) + (3) + (4) + (5) = \underline{\underline{XmW}}$$

プルダウン

消費電力の計算例 1

(マイコンの規格より決まる定数)

- ・高耐圧ポートのVOH出力の降下電圧 2V(最大); 電流値 =18mA時
- ・抵抗値 68k (最小)
- ・内部回路の消費電力(CPU、ROM、RAMなど)=5V × 38mA=190mW

(ご使用条件により決まる定数)

- ・VEE端子への印加電圧 Vcc - 50V
- ・タイミング数 17、実ディジット数 16本、セグメント数 20本
- ・Tdisp時間に対するToff時間の比 1 / 16
- ・繰り返し周期中に実点灯するセグメント数 31
- ・繰り返し周期中の総セグメント数 340 (= 17 × 20)
- ・内蔵抵抗の合計本数 (ディジット用 16本、セグメント用 20本)
- ・ディジット端子電流値 18(mA)
- ・セグメント端子電流値 3(mA)

(1)ディジット端子の消費電力

$$\{ 18 \times 16 \times (1 - 1 / 16) \times 2 \} / 17 = 31.77\text{mW}$$

(2)セグメント端子の消費電力

$$\{ 3 \times 31 \times (1 - 1 / 16) \times 2 \} / 17 = 10.26\text{mW}$$

(3)プルダウン抵抗の消費電力(ディジット)

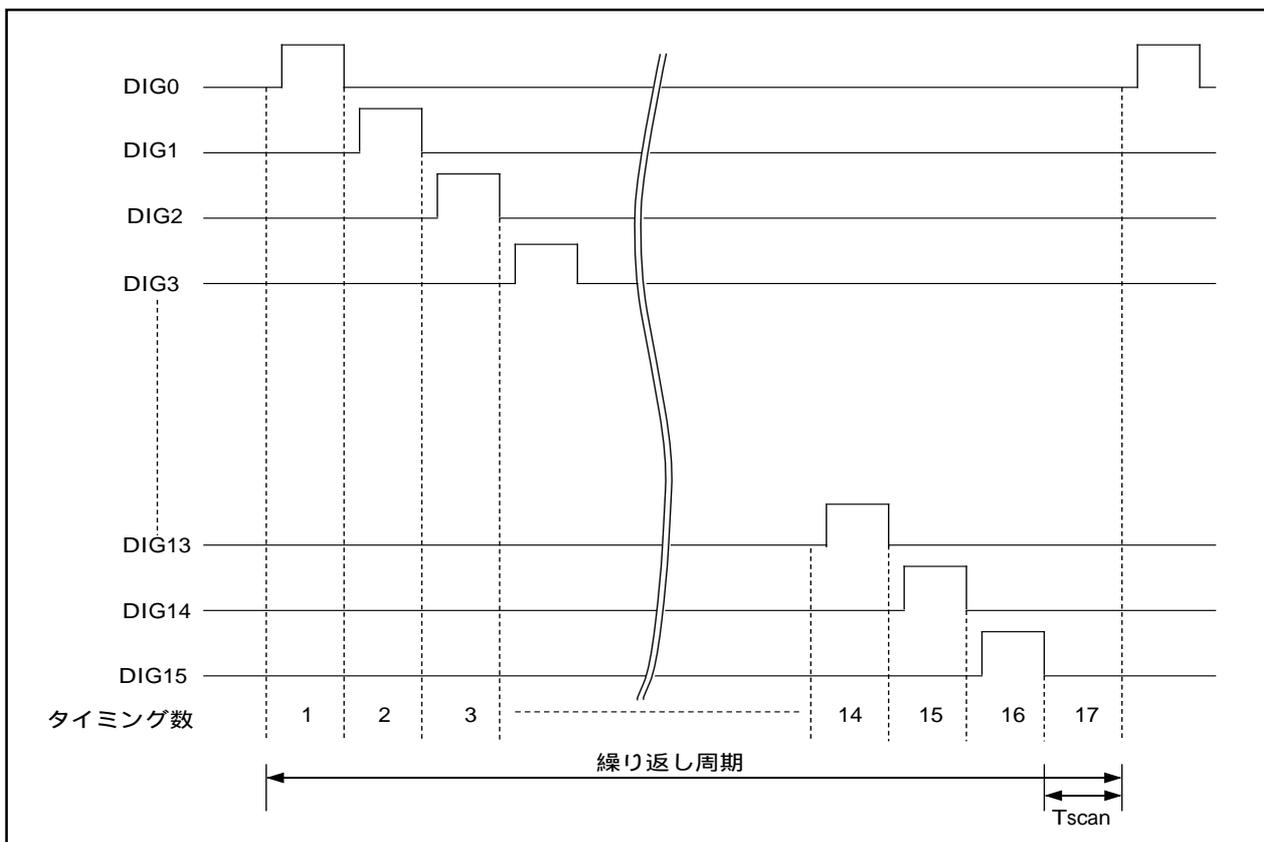
$$(50 - 2)^2 / 68 \times (16 \times 16 / 16) \times (1 - 1 / 16) / 17 = 29.90\text{mW}$$

(4)プルダウン抵抗の消費電力(セグメント)

$$(50 - 2)^2 / 68 \times (31 \times 20 / 20) \times (1 - 1 / 16) / 17 = 57.93\text{mW}$$

(5)内部回路の消費電力(CPU、ROM、RAM など。) = 190.00mW

$$(1) + (2) + (3) + (4) + (5) = \underline{\underline{319.86\text{mW}}}$$



図S-1. デジットのタイミング波形(1)

プルダウン

消費電力の計算例2 (2本以上のディジットが同時にONする場合)

(マイコンの規格より決まる定数)

- ・高耐圧ポートのVOH出力の降下電圧 2V(最大); 電流値 =18mA時
- ・抵抗値 68k (最小)
- ・内部回路の消費電力(CPU、ROM、RAMなど)=5V × 38mA=190mW

(ご使用条件により決まる定数)

- ・VEE端子への印加電圧 Vcc - 50V
- ・タイミング数 11、実ディジット数 12本、セグメント数 24本
- ・Tdisp時間に対するToff時間の比 1 / 16
- ・繰り返し周期中に実点灯するセグメント数 114
- ・繰り返し周期中の総セグメント数 264 (= 11 × 24)
- ・内蔵抵抗の合計本数 (ディジット用 10本、セグメント用 22本)
- ・ディジット端子電流値 18(mA)
- ・セグメント端子電流値 3(mA)

(1)ディジット端子の消費電力

$$\{ 18 \times 12 \times (1 - 1 / 16) \times 2 \} / 11 = 36.82\text{mW}$$

(2)セグメント端子の消費電力

$$\{ 3 \times 114 \times (1 - 1 / 16) \times 2 \} / 11 = 58.30\text{mW}$$

(3)プルダウン抵抗の消費電力(ディジット)

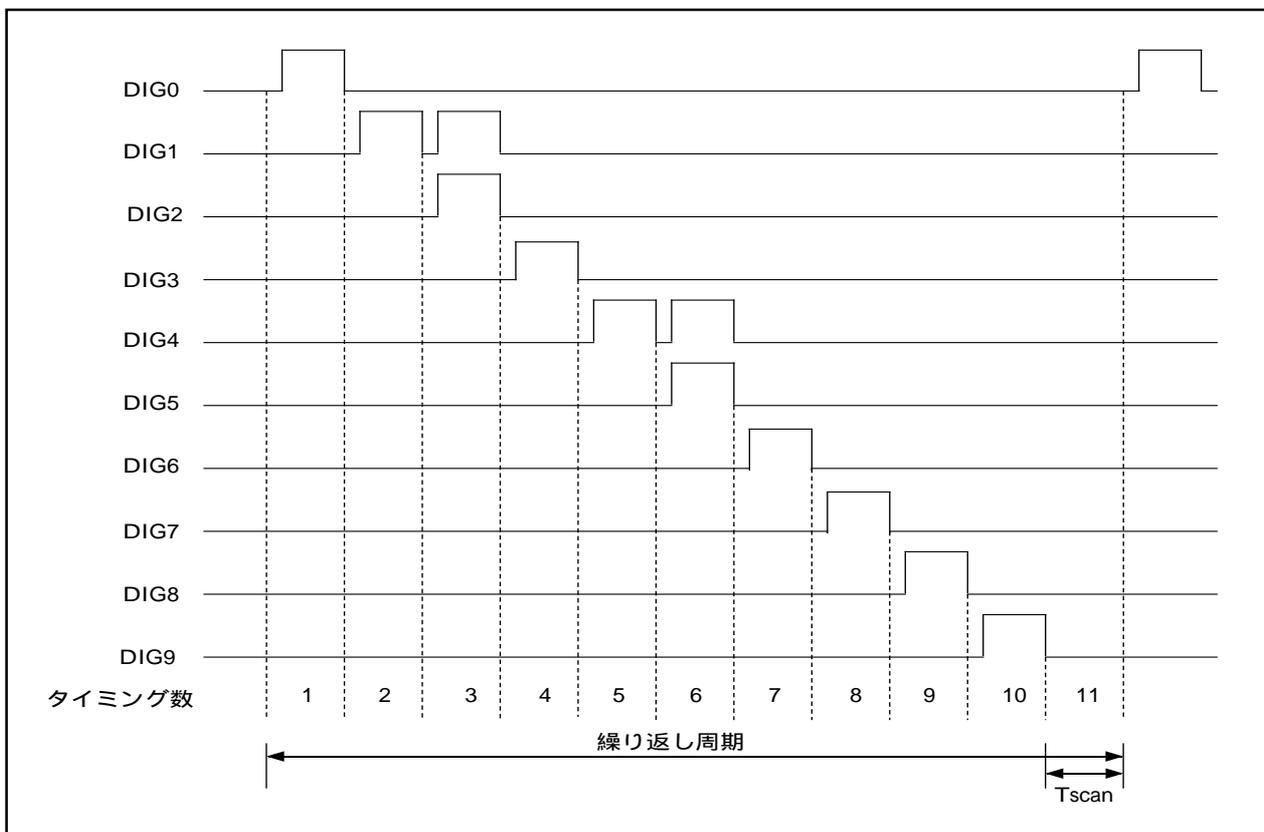
$$(50 - 2)^2 / 68 \times (12 \times 10 / 12) \times (1 - 1 / 16) / 11 = 28.88\text{mW}$$

(4)プルダウン抵抗の消費電力(セグメント)

$$(50 - 2)^2 / 68 \times (114 \times 22 / 24) \times (1 - 1 / 16) / 11 = 301.77\text{mW}$$

(5)内部回路の消費電力(CPU、ROM、RAM など。) = 190.00mW

$$(1) + (2) + (3) + (4) + (5) = \underline{615.77\text{mW}} \quad (\text{使用温度の制限あり})$$



図S-2. デジットのタイミング波形(2)

プルダウン

消費電力の計算例3 (2本以上のディジットが同時にONする場合で、さらにToff無効機能を使用した場合)

(マイコンの規格より決まる定数)

- ・高耐圧ポートのVOH出力の降下電圧 2V(最大); 電流値 =18mA時
- ・抵抗値 68k (最小)
- ・内部回路の消費電力(CPU、ROM、RAMなど)=5V × 38mA=190mW

(ご使用条件により決まる定数)

- ・VEE端子への印加電圧 Vcc - 50V
- ・タイミング数 11、実ディジット数 12本、セグメント数 24本
- ・Tdisp時間に対するToff時間の比 1/16
- ・繰り返し周期中に実点灯するセグメント数 114(内 Toff無効波形は50の場合)
- ・繰り返し周期中の総セグメント数 264 (=11 × 24)
- ・内蔵抵抗の合計本数 (ディジット用 10本、セグメント用 22本)
- ・ディジット端子電流値 18(mA)
- ・セグメント端子電流値 3(mA)

(1)ディジット端子の消費電力

$$[\{18 \times 10 \times (1 - 1/16) \times 2\} \{18 \times 2 \times 2\}] / 11 = 37.23\text{mW}$$

(2)セグメント端子の消費電力

$$[\{3 \times 64 \times (1 - 1/16) \times 2\} \{3 \times 50 \times 2\}] / 11 = 60.00\text{mW}$$

(3)プルダウン抵抗の消費電力(ディジット)

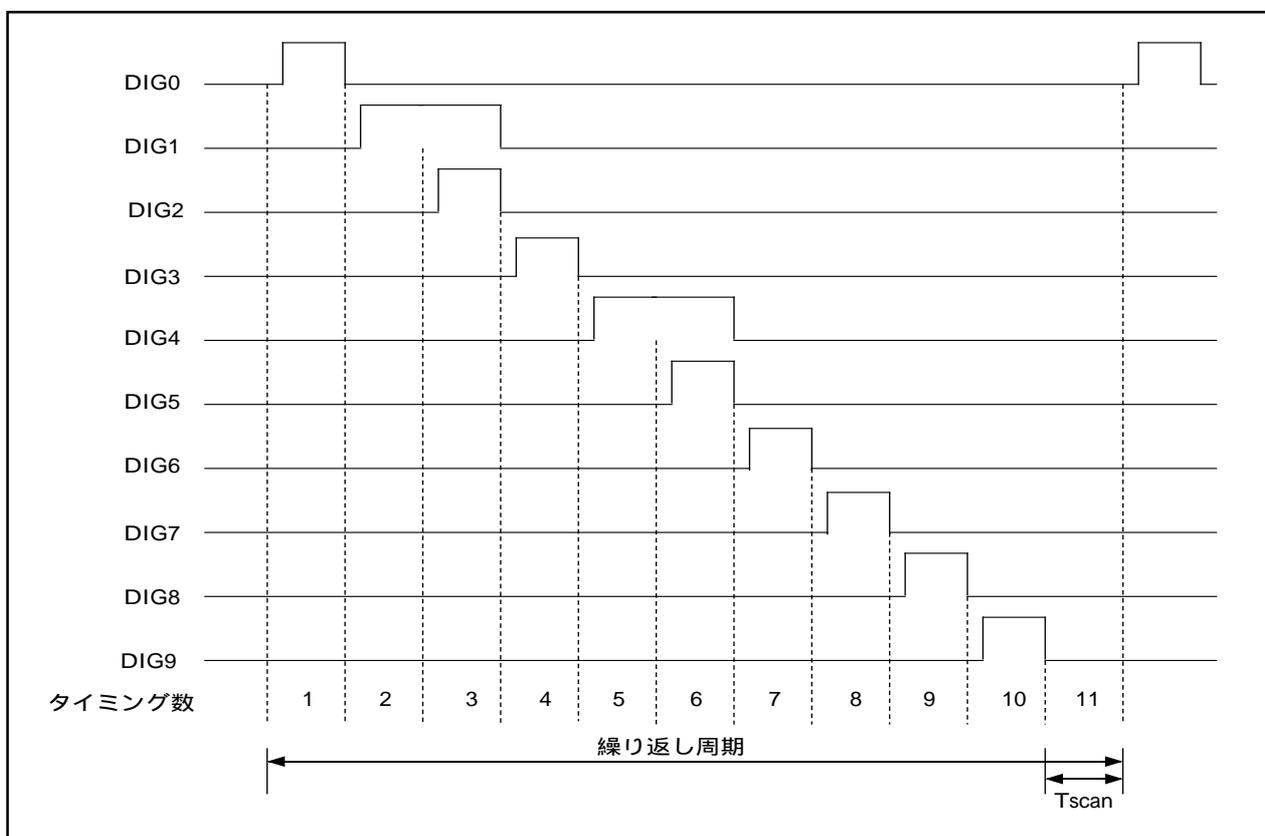
$$[\{(50 - 2)^2 / 68 \times (10 \times 10 / 12) \times (1 - 1/16)\} \{(50 - 2)^2 / 68 \times (2 \times 10 / 12)\}] / 11 = 29.20\text{mW}$$

(4)プルダウン抵抗の消費電力(セグメント)

$$[\{(50 - 2)^2 / 68 \times (64 \times 22 / 24) \times (1 - 1/16)\} \{(50 - 2)^2 / 68 \times (50 \times 22 / 24)\}] / 11 = 310.59\text{mW}$$

(5)内部回路の消費電力(CPU、ROM、RAM など。) = 190.00mW

$$(1) + (2) + (3) + (4) + (5) = \underline{627.02\text{mW}} \quad (\text{使用温度の制限あり})$$



図S-3. ディジットのタイミング波形(3)

電気的特性

表Z-1. 絶対最大定格

記号	項目	条件	定格値	単位
V _{CC}	電源電圧		-0.3 ~ 6.5	V
AV _{CC}	アナログ電源電圧		-0.3 ~ 6.5	V
V _{EE}	ブルダウン電源電圧		V _{CC} - 50 ~ V _{CC} +0.3V	V
V _I	入力電圧 RESET, CNV _{SS} , P44 ~ P47, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, V _{REF} , X _{IN}		-0.3 ~ V _{CC} +0.3 (注1)	V
V _I	入力電圧 P30 ~ P37, P40 ~ P43		V _{CC} - 50 ~ V _{CC} +0.3	V
V _O	出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P43, P50 ~ P57, P60 ~ P67		V _{CC} - 50 ~ V _{CC} +0.3	V
V _O	出力電圧 P44 ~ P47, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, X _{OUT}		-0.3 ~ V _{CC} +0.3	V
P _d	消費電力	T _a = -20 ~ 60	750	mW
		T _a = 60 ~ 85	750 - 12 × (T _a - 60)	mW
T _{opr}	動作周囲温度		-20 ~ 85	
T _{stg}	保存温度		-40 ~ 150	

注1. CNV_{SS}だけフラッシュ書き込み時は -0.3 ~ 13 (V)。

表Z-2. 推奨動作条件(指定のない場合は、V_{CC}=2.7V ~ 5.5V, T_a= -20 ~ 85)(注1)

記号	項目	規格値			単位
		最小	標準	最大	
V _{CC}	電源電圧	2.7(注1)	5.0	5.5	V
AV _{CC}	アナログ電源電圧		V _{CC}		V
V _{SS}	電源電圧		0		V
AV _{SS}	アナログ電源電圧		0		V
V _{EE}	ブルダウン電源電圧	V _{CC} - 48		V _{CC}	V
V _{IH}	"H"入力電圧 P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, X _{IN} , RESET, CNV _{SS}	0.8V _{CC}		V _{CC}	V
V _{IH}	"H"入力電圧 P44 ~ P47	0.50V _{CC}		V _{CC}	V
V _{IH}	"H"入力電圧 P30 ~ P37, P40 ~ P43	0.52V _{CC}		V _{CC}	V
V _{IL}	"L"入力電圧 P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, X _{IN} , RESET, CNV _{SS}	0		0.2V _{CC}	V
V _{IL}	"L"入力電圧 P30 ~ P37, P40 ~ P43	0		0.16V _{CC}	V
V _{IL}	"L"入力電圧 P44 ~ P47	0		0.16V _{CC}	V

注1. フラッシュメモリ版のみV_{CC}=4.0V ~ 5.5V。

電氣的特性

表Z-3. 推奨動作条件 (指定のない場合は、 $V_{CC} = 2.7 \sim 5.5V$ 、 $T_a = -20 \sim 85$) (注6)

記号	項目	規格値			単位
		最小	標準	最大	
IOH (peak)	"H"出力総尖頭電流 (注1) P00 ~ P07, P50 ~ P57, P60 ~ P67			- 240	mA
IOH (peak)	"H"出力総尖頭電流 (注1) P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P43			- 240	mA
IOH (peak)	"H"出力総尖頭電流 (注1) P44 ~ P47, P70 ~ P77, P80 ~ P85			- 80	mA
IOH (peak)	"H"出力総尖頭電流 (注1) P86, P87, P90 ~ P97, P100 ~ P107			- 80	mA
IOL (peak)	"L"出力総尖頭電流 (注1) P44 ~ P47, P70 ~ P77, P80 ~ P85			80	mA
IOL (peak)	"L"出力総尖頭電流 (注1) P86, P87, P90 ~ P97, P100 ~ P107			80	mA
IOH (avg)	"H"出力総平均電流 (注1) P00 ~ P07, P50 ~ P57, P60 ~ P67			- 120	mA
IOH (avg)	"H"出力総平均電流 (注1) P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P43			- 120	mA
IOH (avg)	"H"出力総平均電流 (注1) P44 ~ P47, P70 ~ P77, P80 ~ P85			- 40	mA
IOH (avg)	"H"出力総平均電流 (注1) P86, P87, P90 ~ P97, P100 ~ P107			- 40	mA
IOL (avg)	"L"出力総平均電流 (注1) P44 ~ P47, P70 ~ P77, P80 ~ P85			40	mA
IOL (avg)	"L"出力総平均電流 (注1) P86, P87, P90 ~ P97, P100 ~ P107			40	mA
IOH (peak)	"H"出力尖頭電流 (注2) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P43, P50 ~ P57, P60 ~ P67			- 40	mA
IOH (peak)	"H"出力尖頭電流 (注2) P44 ~ P47, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107			- 10	mA
IOL (peak)	"L"出力尖頭電流 (注2) P44 ~ P47, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107			10	mA
IOH (avg)	"H"出力平均電流 (注3) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P43, P50 ~ P57, P60 ~ P67			- 18	mA
IOH (avg)	"H"出力平均電流 (注3) P44 ~ P47, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107			- 5	mA
IOL (avg)	"L"出力平均電流 (注3) P44 ~ P47, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107			5	mA
f(XIN)	メインクロック入力発振周波数 (注4,7)	$V_{CC}=4.0V \sim 5.5V$	0	10	MHz
		$V_{CC}=2.7V \sim 4.0V$	0	$5 \times V_{CC} - 10$	MHz
f(XCIN)	サブクロック入力発振周波数 (注4,5)		32.768	50	kHz

注1. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で総尖頭電流は総和のピーク値です。

注2. 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。

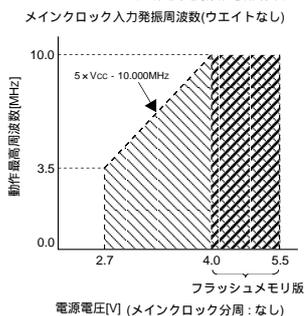
注3. 出力平均電流は、100msの期間内での平均値です。

注4. 発振周波数はデューティ50%の場合です。

注5. 低速モードを使用する場合、サブクロック入力発振周波数は $f(XCIN) < f(XIN)/3$ としてください。

注6. フラッシュメモリ版のみ $V_{CC}=4.0V \sim 5.5V$ 。

注7. メインクロック入力発振周波数と電源電圧の関係を以下に示します。



VCC = 5V

表Z-4. 電气的特性(指定のない場合は、VCC = 5V, VSS = 0V, Ta=25 , f(XIN) = 10MHz)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
VOH	"H"出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P43, P50 ~ P57, P60 ~ P67	I _{OH} = -18mA	3.5			V	
			I _{OH} = -5mA	4.5			
VOH	"H"出力電圧 P44 ~ P47, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107	I _{OH} = -5mA	3.0			V	
VOH	"H"出力電圧 XOUT	HIGHPOWER	I _{OH} = -1mA	3.0		V	
		LOWPOWER	I _{OH} = -0.5mA	3.0			
VOL	"L"出力電圧 P44 ~ P47, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107	I _{OL} = 5mA			2.0	V	
VOL	"L"出力電圧 XOUT	HIGHPOWER	I _{OL} = 1mA		2.0	V	
		LOWPOWER	I _{OL} = 0.5mA		2.0		
V _{T+} -V _{T-}	ヒステリシス TA0IN ~ TA4IN, TB0IN ~ TB2IN, INT0 ~ INT5, CTS0, CTS1, CLK0, CLK1, SRDY2IN, SBSY2IN, SIN2, SCLK21, SCLK22, RxD0, RxD1		0.2		0.8	V	
V _{T+} -V _{T-}	ヒステリシス RESET		0.2		1.8	V	
I _{IH}	"H"入力電流 P44 ~ P47, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, XIN, RESET, CNVSS	V _I = 5V			5.0	μA	
I _{IH}		P30 ~ P37, P40 ~ P43(注1)	V _I = 5V		5.0	μA	
I _{IL}	"L"入力電流 P44 ~ P47, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, XIN, RESET, CNVSS	V _I = 0V			-5.0	μA	
I _{IL}		P30 ~ P37, P40 ~ P43(注1)	V _I = 0V		-5.0	μA	
RPULLUP	プルアップ抵抗 P44 ~ P47, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107	V _I = 0V	30.0	50.0	167.0	k	
RPULLD	プルダウン抵抗 P00 ~ P07, P10 ~ P17, P50 ~ P57, P60 ~ P67	V _{EE} = V _{CC} - 48V, V _{OL} = V _{CC} 出力トランジスタは遮断状態	68	80	120	k	
I _{LEAK}	出力リーク電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P43, P50 ~ P57, P60 ~ P67	V _{EE} = V _{CC} - 48V, V _{OL} = V _{CC} - 48V 出力トランジスタは遮断状態			-10	μA	
R _{FIXIN}	帰還抵抗 XIN			1.0		M	
R _{XCIN}	帰還抵抗 XCIN			6.0		M	
V _{RAM}	RAM保持電圧	クロック停止時	2.0			V	
I _{CC}	電源電流(注3)	出力専用端子 は開放、その 他の端子は V _{SS} 。	f(XIN)=10MHz 方形波、分周なし	19.0	38.0	mA	
			f(XIN)=10MHz 方形波、8分周	4.2		mA	
			f(XCIN)=32kHz 方形波(注2)	90.0		μA	
			f(XCIN) = 32kHz ウエイト時(注2)	4.0		μA	
			クロック停止時 Ta=25			1.0	μA
			クロック停止時 Ta=85			20.0	

注1. ポートP3、P40 ~ P43読み込み時を除く。

注2. XCIN-XCOUT駆動能力選択ビットは“HIGH”、XIN端子は“H”レベルに固定。

注3. AVCC端子に流れる電流を含む。

電気的特性 (VCC = 5V)

VCC = 5V

表Z-5. A-D変換特性 (指定のない場合は、VCC = AVCC = VREF = 5V, VSS = AVSS = 0V, Ta = 25 , f(XIN) = 10MHz)

記号	項目	測定条件	規格値		単位
			最小	標準最大	
-	分解能	VREF = VCC			10 Bits
-	絶対精度	サンプル&ホールド機能なし	VREF = VCC = 5V		±3 LSB
		サンプル&ホールド機能あり(10bit)	VREF = VCC = 5V	AN0 ~ AN7入力	±3 LSB
		サンプル&ホールド機能あり(8bit)	VREF = VCC = 5V		±2 LSB
RLADDER	ラダー抵抗	VREF = VCC	10	40	k
tCONV	変換時間(10bit)		3.3		μs
tCONV	変換時間(8bit)		2.8		μs
tsAMP	サンプリング時間		0.3		μs
VREF	基準電圧		2	VCC	V
VIA	アナログ入力電圧		0	VREF	V

表Z-6. D-A変換特性 (指定のない場合は、VCC=5V, VSS=AVSS=0V, VREF=5V, Ta=25 , f(XIN)=10MHz)

記号	項目	測定条件	規格値		単位
			最小	標準最大	
-	分解能				8 Bits
-	絶対精度				1.0 %
tsu	設定時間				3 μs
Ro	出力抵抗		4	10	20 k
IVREF	基準電源入力電流	(注1)			1.5 mA

注1. D-A変換器1本使用、使用していないD-A変換器のD-Aレジスタの値が“0016”の場合です。

A-D変換器のラダー抵抗分は除きます。

また、A-D制御レジスタでVref未接続とした場合でもIVREFは流れます。

タイミング

 $V_{CC} = 5V$ タイミング必要条件 (指定のない場合は、 $V_{CC}=5V$, $V_{SS}=0V$, $T_a=25$)

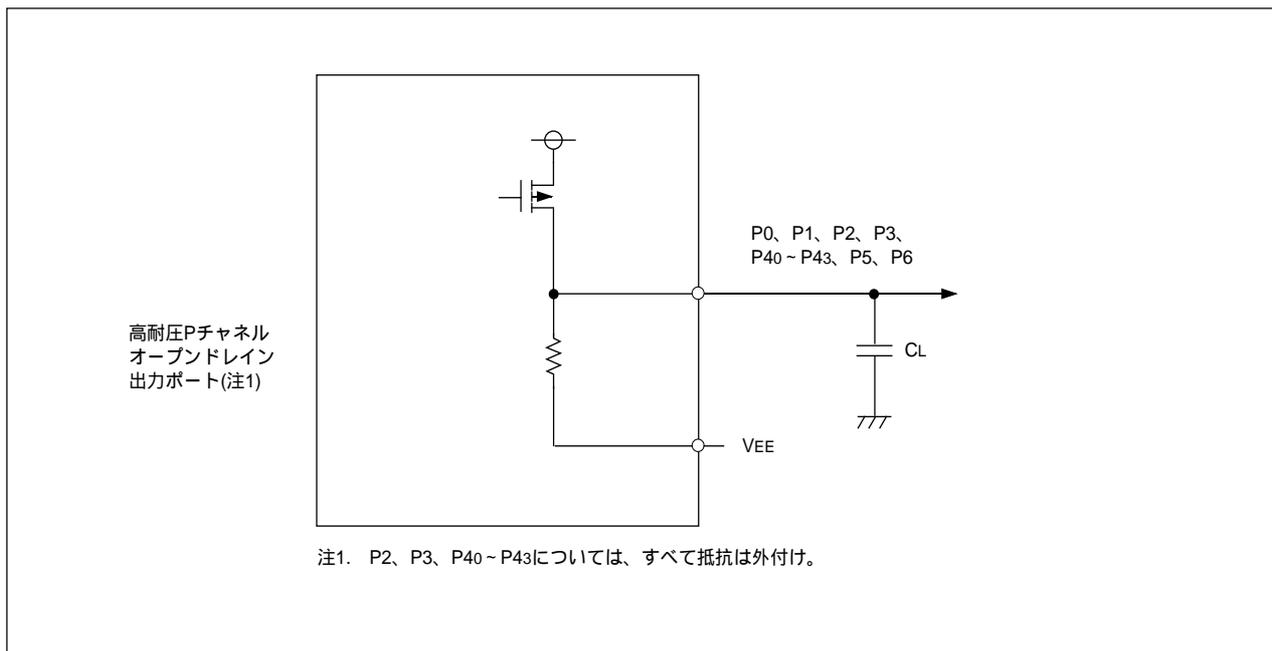
表Z-7. 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
t_c	外部クロック入力サイクル時間	100		ns
$t_w(H)$	外部クロック入力 "H"パルス幅	40		ns
$t_w(L)$	外部クロック入力 "L" パルス幅	40		ns
t_r	外部クロック立ち上がり時間		15	ns
t_f	外部クロック立ち下がり時間		15	ns

スイッチング条件 (指定のない場合は、 $V_{CC}=5V$, $V_{SS}=0V$, $T_a=25$)

表Z-8. 高耐圧Pチャンネルオープンドレイン出力ポート

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_r(Pch-strg)$	Pチャンネル高耐圧出力 立ち上がり時間 (注1)	$C_L=100pF$ $V_{EE}=V_{CC}-43V$		55		ns
$t_r(Pch-weak)$	Pチャンネル高耐圧出力 立ち上がり時間 (注2)	$C_L=100pF$ $V_{EE}=V_{CC}-43V$		1.8		μs

注1. FLDCモードレジスタ(0350₁₆番地)のビット7が“0”の場合注2. FLDCモードレジスタ(0350₁₆番地)のビット7が“1”の場合

図Z-2. 出力スイッチング特性測定回路

タイミング

 $V_{CC} = 5V$ タイミング必要条件 (指定のない場合は、 $V_{CC}=5V$, $V_{SS}=0V$, $T_a=25$)

表Z-9. タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	100		ns
$t_w(TAH)$	TAiIN入力 "H" パルス幅	40		ns
$t_w(TAL)$	TAiIN入力 "L" パルス幅	40		ns

表Z-10. タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	400		ns
$t_w(TAH)$	TAiIN入力 "H" パルス幅	200		ns
$t_w(TAL)$	TAiIN入力 "L" パルス幅	200		ns

表Z-11. タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	200		ns
$t_w(TAH)$	TAiIN入力 "H" パルス幅	100		ns
$t_w(TAL)$	TAiIN入力 "L" パルス幅	100		ns

表Z-12. タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TAH)$	TAiIN入力 "H" パルス幅	100		ns
$t_w(TAL)$	TAiIN入力 "L" パルス幅	100		ns

表Z-13. タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(UP)$	TAiOUT入力サイクル時間	2000		ns
$t_w(UPH)$	TAiOUT入力 "H" パルス幅	1000		ns
$t_w(UPL)$	TAiOUT入力 "L" パルス幅	1000		ns
$t_{su}(UP-TIN)$	TAiOUT入力セットアップ時間	400		ns
$t_h(TIN-UP)$	TAiOUT入力ホールド時間	400		ns

タイミング

 $V_{CC} = 5V$ タイミング必要条件 (指定のない場合は、 $V_{CC}=5V$, $V_{SS}=0V$, $T_a=25$)

表Z-14. タイマB入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiiN 入力サイクル時間(片エッジカウント)	100		ns
$t_w(TBH)$	TBiiN 入力 "H" パルス幅(片エッジカウント)	40		ns
$t_w(TBL)$	TBiiN 入力 "L" パルス幅(片エッジカウント)	40		ns
$t_c(TB)$	TBiiN 入力サイクル時間(両エッジカウント)	200		ns
$t_w(TBH)$	TBiiN 入力 "H" パルス幅(両エッジカウント)	80		ns
$t_w(TBL)$	TBiiN 入力 "L" パルス幅(両エッジカウント)	80		ns

表Z-15. タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiiN入力サイクル時間	400		ns
$t_w(TBH)$	TBiiN入力 "H" パルス幅	200		ns
$t_w(TBL)$	TBiiN入力 "L" パルス幅	200		ns

表Z-16. タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiiN入力サイクル時間	400		ns
$t_w(TBH)$	TBiiN入力 "H" パルス幅	200		ns
$t_w(TBL)$	TBiiN入力 "L" パルス幅	200		ns

表Z-17. シリアルI/O

記号	項目	規格値		単位
		最小	最大	
$t_c(CK)$	CLKi入力サイクル時間	200		ns
$t_w(CKH)$	CLKi入力 "H" パルス幅	100		ns
$t_w(CKL)$	CLKi入力 "L" パルス幅	100		ns
$t_d(C-Q)$	TxDi出力遅延時間		80	ns
$t_h(C-Q)$	TxDiホールド時間	0		ns
$t_{su}(D-C)$	RxDi入力セットアップ時間	30		ns
$t_h(C-D)$	RxDi入力ホールド時間	90		ns

表Z-18. 外部割り込み \overline{INTi} 入力

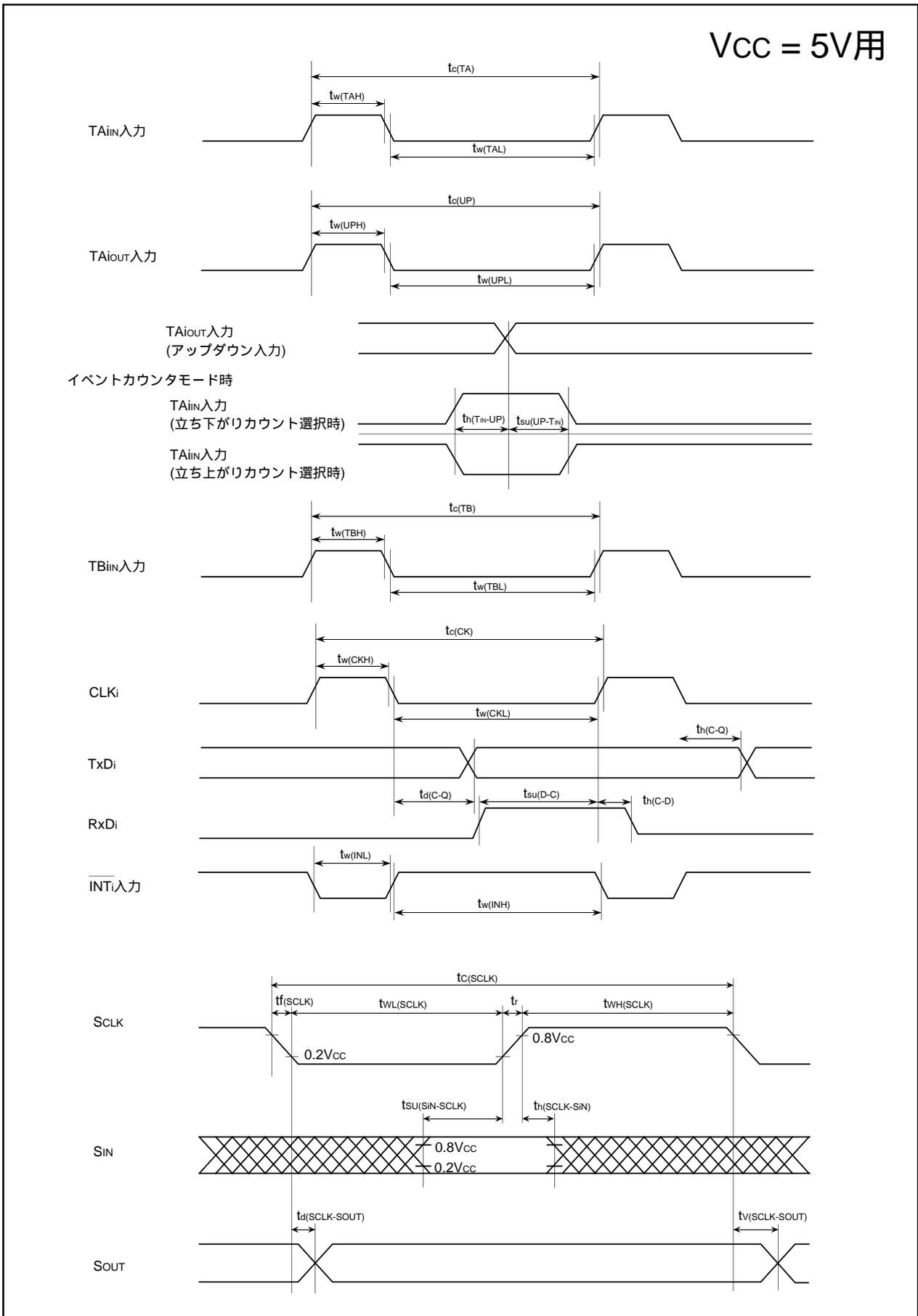
記号	項目	規格値		単位
		最小	最大	
$t_w(INH)$	\overline{INTi} 入力 "H" パルス幅	250		ns
$t_w(INL)$	\overline{INTi} 入力 "L" パルス幅	250		ns

表Z-19. 自動転送機能付きシリアルI/O

記号	項目	規格値		単位
		最小	最大	
$t_c(SCLK)$	シリアルI/Oクロック入力サイクル時間	0.95		μs
$t_w(SCLK)$	シリアルI/Oクロック入力 "H" パルス幅	400		ns
$t_w(SCLK)$	シリアルI/Oクロック入力 "L" パルス幅	400		ns
$t_{su}(SCLK-SIN)$	シリアルI/O入力セットアップ時間	200		ns
$t_h(SCLK-SIN)$	シリアルI/O入力ホールド時間	200		ns

タイミング図 (VCC = 5V)

VCC = 5V用



VCC = 3V

表Z-20. 電气的特性(指定のない場合は、VCC = 3V, VSS = 0V, Ta=25 , f(XIN) = 5MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	"H"出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P43, P50 ~ P57, P60 ~ P67	IOH = -18mA	1.5			V
		IOH = -5mA	2.5			
VOH	"H"出力電圧 P44 ~ P47, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107	IOH = -1mA	2.5			V
VOH	"H"出力電圧 XOUT	HIGHPOWER	2.5			V
		LOWPOWER	2.5			
VOL	"L"出力電圧 P44 ~ P47, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107	IOL = 1mA			0.5	V
VOL	"L"出力電圧 XOUT	HIGHPOWER			0.5	V
		LOWPOWER			0.5	
VT+ - VT-	ヒステリシス TA0IN ~ TA4IN, TB0IN ~ TB2IN, INT0 ~ INT5, CTS0, CTS1, CLK0, CLK1, SRDY2IN, SBSY2IN, SIN2, SCLK21, SCLK22, RTS0, RTS1		0.2		0.8	V
VT+ - VT-	ヒステリシス RESET		0.2		1.8	V
IiH	"H"入力電流 P44 ~ P47, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, XIN, RESET, CNVSS	Vi = 3V			4.0	μA
IiH	"H"入力電流 P30 ~ P37, P40 ~ P43(注1)	Vi = 3V			4.0	μA
IiL	"L"入力電流 P44 ~ P47, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, XIN, RESET, CNVSS	Vi = 0V			-4.0	μA
IiL	"L"入力電流 P30 ~ P37, P40 ~ P43(注1)	Vi = 0V			-4.0	μA
RPULLUP	プルアップ抵抗 P44 ~ P47, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107	Vi = 0V	66.0	120.0	500.0	k
RPULLD	プルダウン抵抗 P00 ~ P07, P10 ~ P17, P50 ~ P57, P60 ~ P67	VEE = VCC - 48V, VOL = VCC 出力トランジスタは遮断状態	68	80	120	k
Ileak	出力リーク電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P44, P50 ~ P57, P60 ~ P67	VEE = VCC - 48V, VOL = VCC - 48V 出力トランジスタは遮断状態			-10	μA
RiXIN	帰還抵抗 XIN			3.0		M
RiXCIN	帰還抵抗 XCIN			10.0		M
Vram	RAM保持電圧	クロック停止時	2.0			V
Icc	電源電流(注3)	出力専用端子は開放、その他の端子はVSS。	f(XIN) = 5MHz 方形波、分周なし	6.0	15.0	mA
		f(XIN) = 5MHz 方形波、8分周	1.6		mA	
		f(XCIN) = 32kHz 方形波	50.0		μA	
		f(XCIN) = 32kHz ウェイト時 発振能力 High(注2)	2.8		μA	
		f(XCIN) = 32kHz ウェイト時 発振能力 Low(注2)	0.9		μA	
		クロック停止時 Ta = 25			1.0	μA
		クロック停止時 Ta = 85			20.0	

注1. ポートP3、P40 ~ P43読み込み時を除く。

注2. fc32にてタイマ1本を動作させている状態です。

注3. AVCC端子に流れる電流を含む。

VCC = 3V

表Z-21. A-D変換特性 (指定のない場合は、VCC = AVCC = VREF = 3V, VSS = AVSS = 0V, Ta = 25 , f(XIN) = 5MHz)

記号	項目	測定条件	規格値		単位
			最小	標準最大	
-	分解能	VREF = VCC			10 Bits
-	絶対精度	サンプル&ホールド機能あり(8bit) VREF = VCC = 3V、 AD=f(XIN) / 2			± 2 LSB
RLADDER	ラダー抵抗	VREF = VCC	10		40 k
tCONV	変換時間(8bit)		14		μs
VREF	基準電圧		2.7		VCC V
VIA	アナログ入力電圧		0		VREF V

表Z-22. D-A変換特性 (指定のない場合は、VCC=3V, VSS=AVSS=0V, VREF=3V, Ta=25 , f(XIN)=5MHz)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度				1.0	%
t _{su}	設定時間				3	μs
R _o	出力抵抗		4	10	20	k
I _{VREF}	基準電源入力電流	(注1)			1.0	mA

注1. D-A変換器1本使用、使用していないD-A変換器のD-Aレジスタの値が“0016”の場合です。

A-D変換器のラダー抵抗分は除きます。

また、A-D制御レジスタでVref未接続とした場合でもI_{VREF}は流れます。

VCC = 3V

タイミング必要条件 (指定のない場合は、VCC=3V, VSS=0V, Ta=25)

表Z-23. 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
tc	外部クロック入力サイクル時間	200		ns
tw(H)	外部クロック入力 "H"パルス幅	85		ns
tw(L)	外部クロック入力 "L" パルス幅	85		ns
tr	外部クロック立ち上がり時間		18	ns
tf	外部クロック立ち下がり時間		18	ns

Vcc = 3V

タイミング必要条件 (指定のない場合は、Vcc=3V, Vss=0V, Ta=25)

表Z-24. タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
t _c (TA)	TAiIN入力サイクル時間	150		ns
t _w (TAH)	TAiIN入力 "H" パルス幅	60		ns
t _w (TAL)	TAiIN入力 "L" パルス幅	60		ns

表Z-25. タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
t _c (TA)	TAiIN入力サイクル時間	600		ns
t _w (TAH)	TAiIN入力 "H" パルス幅	300		ns
t _w (TAL)	TAiIN入力 "L" パルス幅	300		ns

表Z-26. タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
t _c (TA)	TAiIN入力サイクル時間	300		ns
t _w (TAH)	TAiIN入力 "H" パルス幅	150		ns
t _w (TAL)	TAiIN入力 "L" パルス幅	150		ns

表Z-27. タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
t _w (TAH)	TAiIN入力 "H" パルス幅	150		ns
t _w (TAL)	TAiIN入力 "L" パルス幅	150		ns

表Z-28. タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
t _c (UP)	TAiOUT入力サイクル時間	3000		ns
t _w (UPH)	TAiOUT入力 "H" パルス幅	1500		ns
t _w (UPL)	TAiOUT入力 "L" パルス幅	1500		ns
t _{su} (UP-TIN)	TAiOUT入力セットアップ時間	600		ns
t _h (TIN-UP)	TAiOUT入力ホールド時間	600		ns

VCC = 3V

タイミング必要条件 (指定のない場合は、VCC=3V, VSS=0V, Ta=25)

表Z-29. タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN 入力サイクル時間(片エッジカウント)	150		ns
tw(TBH)	TBiIN 入力 "H" パルス幅(片エッジカウント)	60		ns
tw(TBL)	TBiIN 入力 "L" パルス幅(片エッジカウント)	60		ns
tc(TB)	TBiIN 入力サイクル時間(両エッジカウント)	300		ns
tw(TBH)	TBiIN 入力 "H" パルス幅(両エッジカウント)	160		ns
tw(TBL)	TBiIN 入力 "L" パルス幅(両エッジカウント)	160		ns

表Z-30. タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN入力サイクル時間	600		ns
tw(TBH)	TBiIN入力 "H" パルス幅	300		ns
tw(TBL)	TBiIN入力 "L" パルス幅	300		ns

表Z-31. タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN入力サイクル時間	600		ns
tw(TBH)	TBiIN入力 "H" パルス幅	300		ns
tw(TBL)	TBiIN入力 "L" パルス幅	300		ns

表Z-32. シリアルI/O

記号	項目	規格値		単位
		最小	最大	
tc(CK)	CLKi入力サイクル時間	300		ns
tw(CKH)	CLKi入力 "H" パルス幅	150		ns
tw(CKL)	CLKi入力 "L" パルス幅	150		ns
td(C-Q)	TxDi出力遅延時間		160	ns
th(C-Q)	TxDiホールド時間	0		ns
tsu(D-C)	RxDi入力セットアップ時間	50		ns
th(C-D)	RxDi入力ホールド時間	90		ns

表Z-33. 外部割り込みINTi入力

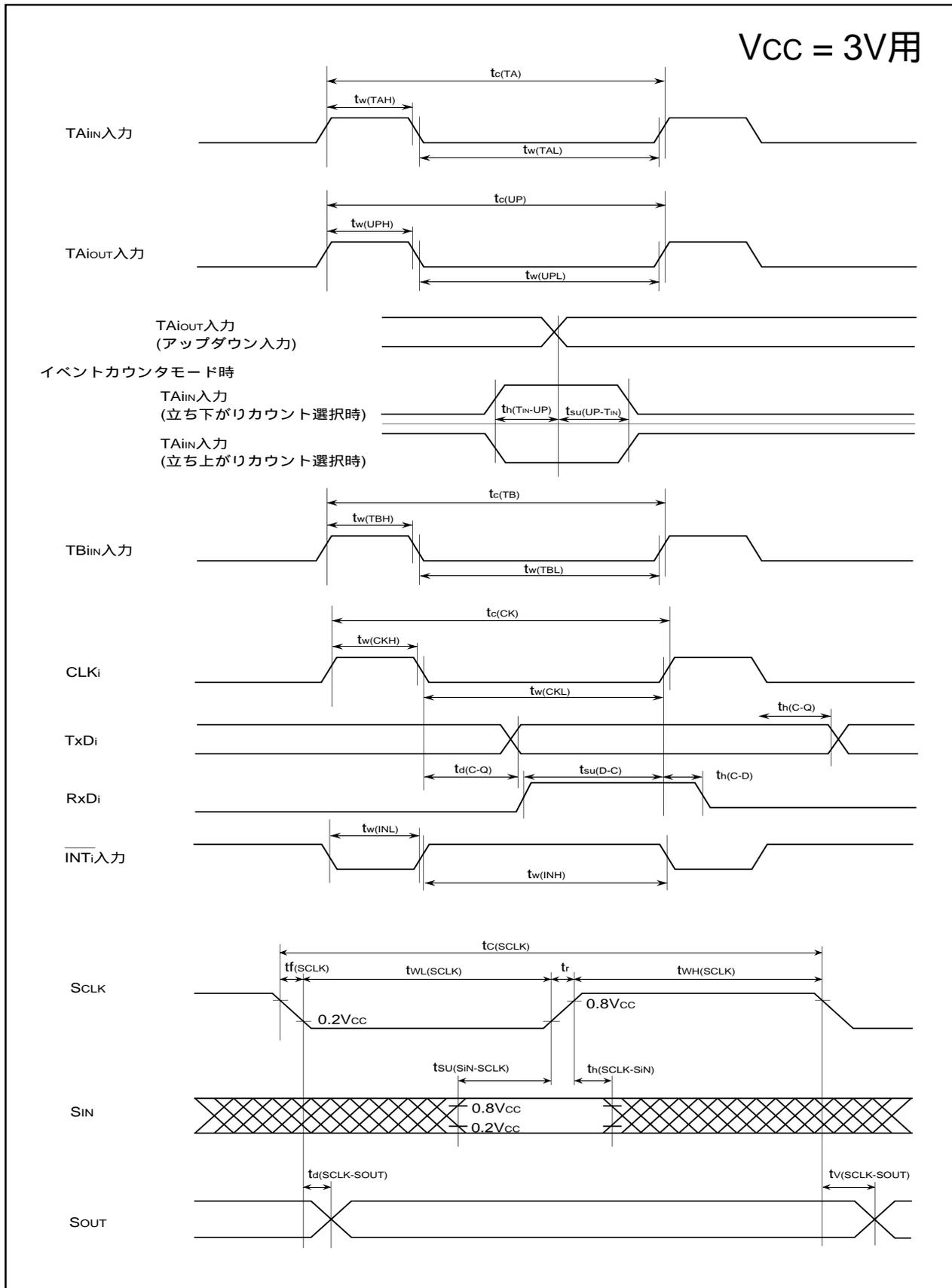
記号	項目	規格値		単位
		最小	最大	
tw(INH)	INTi入力 "H" パルス幅	380		ns
tw(INL)	INTi入力 "L" パルス幅	380		ns

表Z-34. 自動転送機能付きシリアルI/O

記号	項目	規格値		単位
		最小	最大	
tc(SCLK)	シリアルI/Oクロック入力サイクル時間	2.0		μs
twH(SCLK)	シリアルI/Oクロック入力 "H" パルス幅	1000		ns
twL(SCLK)	シリアルI/Oクロック入力 "L" パルス幅	1000		ns
tsu(SCLK-SIN)	シリアルI/O入力セットアップ時間	400		ns
th(SCLK-SIN)	シリアルI/O入力ホールド時間	400		ns

タイミング (VCC = 3V、マスク版のみ)

VCC = 3V用



概 要(フラッシュメモリ版)

性能概要

表1.AB.1にM30218グループ(フラッシュメモリ版)の性能概要を示します。

表1.AB.1. M30218グループ(フラッシュメモリ版)の性能概要

項 目		性 能
電源電圧		4.0V ~ 5.5V (f(XIN) = 10MHz)
プログラム/イレーズ電圧		V _{PP} = 12V ± 5% (f(XIN) = 10MHz) V _{CC} = 5V ± 10% (f(XIN) = 10MHz)
フラッシュメモリの動作モード		3モード(パラレル入出力、標準シリアル入出力、CPU書き換え)
消去ブロック分割	ユーザROM領域	図1.AB.1を参照してください。
	ブートROM領域	1分割(3.5Kバイト) (注1)
プログラム方式		バイト単位
イレーズ方式		一括消去/ブロック消去
プログラム/イレーズ制御方式		ソフトウェアコマンドによるプログラム/イレーズ制御
コマンド数		6コマンド
プログラム/イレーズ回数		100回
ROMコードプロテクト		標準シリアルモード対応

注1. ブートROM領域には出荷時に標準シリアル入出力モードの制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ消去、書き込みが可能です。

概要(フラッシュメモリ版)

フラッシュメモリ

M30218グループ(フラッシュメモリ版)は、動作用Vcc電源以外に、書き込み/消去用の高電圧Vpp電源が必要なNOR形フラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うために、ライターを用いてフラッシュメモリの操作を行うパラレル入出力モード、標準シリアル入出力モードおよび、中央演算処理装置(CPU)でフラッシュメモリを操作するCPU書き換えモードの3種類を用意しています。各モードについては次ページ以降で説明します。

内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、CPU書き換えモードおよび標準シリアル入出力モードでの書き換え制御プログラムを格納するためのブートROM領域があります。このブートROM領域には、出荷時に標準シリアル入出力モードの制御プログラムが書き込まれますが、ユーザ側で、システムに適合した書き換え制御プログラムを書き込むことも可能です。このブートROM領域は、パラレル入出力モードでのみ書き換えが可能です。

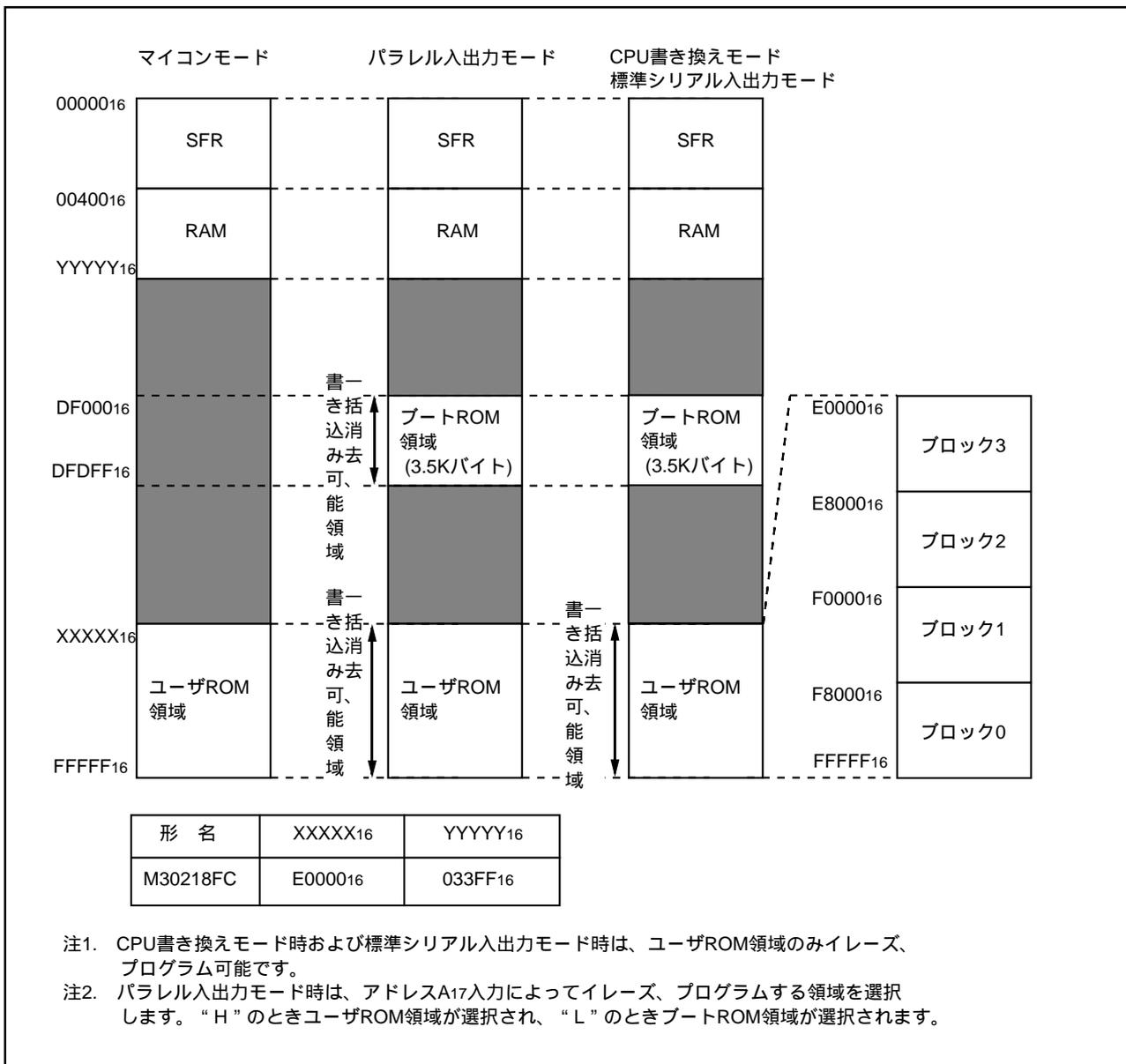


図1.AB.1. フラッシュメモリ版のメモリ配置

CPU書き換えモード

CPU書き換えモードは、中央演算処理装置(CPU)の制御により、内蔵フラッシュメモリに対する操作(リード、プログラム、イレースなど)を行うモードです。

CPU書き換えモードでは、フラッシュメモリ制御レジスタ、フラッシュコマンドレジスタに書き込み、読み出しを行うことにより、フラッシュメモリの操作を行います。図1.BB.1、図1.BB.2に、それぞれフラッシュメモリ制御レジスタ、フラッシュコマンドレジスタの構成を示します。

また、CPU書き換えモードでは、CNVSS端子をVPP電源端子として使用します。この端子には、外部からVPPHの電源電圧を印加する必要があります。

CPU書き換えモードでは、図1.AB.1に示すユーザROM領域のみの書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、イレースのコマンドは、ユーザROM領域に対して行ってください。

CPU書き換えモードの制御プログラムは、ユーザROM領域、ブートROM領域のどちらに格納しておいても構いません。CPU書き換えモードでは、CPUからのフラッシュメモリの読み出しが行えませんが、書き換え制御プログラムは、内蔵RAMに転送後、内蔵RAM上で実行させる必要があります。



図1.BB.1. フラッシュメモリ制御レジスタの構成

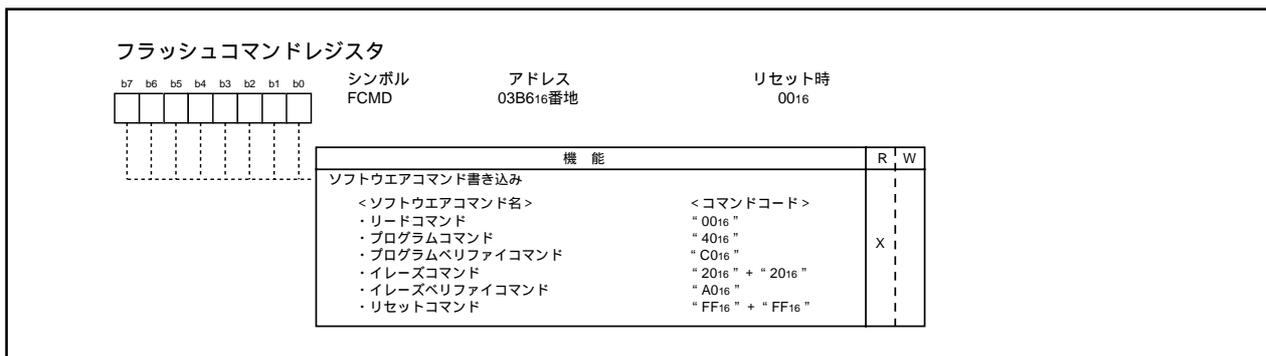


図1.BB.2. フラッシュコマンドレジスタの構成

CPU書き換えモード(フラッシュメモリ版)

マイコンモードとブートモード

CPU書き換えモードの制御プログラムは、あらかじめパラレル入出力モードで、ユーザROM領域またはブートROM領域に書き込んでおく必要があります(ブートROM領域に書き込みを行った場合には、標準シリアル入出力モードは使用できなくなります)。

ブートROM領域は、図1.AB.1に示すとおりです。

CNVss端子を“L”(Vss)としてリセットを解除した場合には、通常のマイコンモードとなり、CPUはユーザROM領域の制御プログラムを使用して動作します。

CNVss端子を“H”(VppH)、ポートP46端子を“H”(Vcc)としてリセットを解除した場合には、ブートROM領域の制御プログラムで動作を開始します。このモードをブートモードと呼びます。ブートROM領域上の制御プログラムでも、ユーザROM領域の書き換えを行うことができます。

CPU書き換えモードの操作手順

オンボード状態で、CPUからフラッシュメモリ制御レジスタ(03B4₁₆、03B5₁₆番地)およびフラッシュコマンドレジスタ(03B6₁₆番地)へのコマンド書き込みにより、内蔵フラッシュメモリのプログラム、リード、ベリファイ、イレーズが可能です。なお、CPU書き換えモードでのブートROM領域へのプログラム、リード、ベリファイ、イレーズはできません。あらかじめ、パラレル入出力モードでブートROM領域に、CPU書き込み制御プログラムを書き込んでおかなければなりません。以下に、CPU書き換えモードの操作手順を示します。

< 開始手順(注1) >

(1)CNVss/Vpp端子にVppH、ポートP46端子にVccを印加し、リセットを解除する。

または、ユーザROM領域からJMP命令でブートROM領域にジャンプさせCPU書き込み制御プログラムを実行する事も可能です。この場合、フラッシュメモリ制御レジスタのCPU書き込みモード選択ビットに“1”を書き込み、CNVss/Vpp端子にVppHを印加する。

(2)ブートROM領域のCPU書き換え制御プログラムを内蔵RAMに転送した後、RAM上のこの制御プログラムへジャンプする(この制御プログラムで、以下の動作を制御する)。

(3)CPU書き換えモード選択ビットに“1”を設定する。

(4)CPU書き換えモードモニタフラグを読み出し、CPU書き換えモードが有効になっていることを確認する。

(5)フラッシュコマンドレジスタへのソフトウェアコマンド書き込みにより、フラッシュメモリの操作を実施する。

注1. これ以外に、フラッシュメモリに書き込むデータを外部(例えばシリアルI/O)から入力するための制御、ポート等の初期設定、監視タイマへの書き込み等が必要です。

< 解除手順 >

(1)CNVss/Vpp端子にVssを印加する。

(2)CPU書き換えモード選択ビットに“0”を設定する。

CPU書き換えモード時の注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

(1)動作周波数

イレーズ/プログラム時は、分周比を変更する等で、BCLKを次の周波数以下に設定してください。

ウエイトビット(0005₁₆番地のビット7)=0(内部ウエイトなし)：5MHz以下

ウエイトビット(0005₁₆番地のビット7)=1(内部ウエイトあり) (注1)：10MHz以下

(2)使用禁止命令

以下の命令は、フラッシュメモリ内部のデータを参照するため使用できません。

UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

(3)使用禁止割り込み

フラッシュメモリ領域内の固定ベクタテーブルを参照する割り込みは使用できません。

マスカブル割り込みについては、割り込みベクタテーブルをフラッシュメモリ領域以外に設定することで使用できます。

注1. CPU書き換えモード時には、内部ウエイトありの設定ができますが、下記の機能以外はご使用になれません。

CPU,ROM,RAM,タイマ,UART,SI/O2(自動転送なし),ポート

内部ウエイトありに設定する場合は、下記のソフトウェアウエイトの説明をご覧ください。

ソフトウェアウエイト

プロセッサモードレジスタ1(0005₁₆番地)(注2)のウエイトビット(ビット7)によって、ソフトウェアウエイトを挿入することができます。

プロセッサモードレジスタ1のウエイトビットによって、内部ROM/RAM領域に対してソフトウェアウエイトを挿入することができます。このビットが“0”のときバスサイクルはBCLKの1サイクルで実行され、“1”にするとバスサイクルがBCLKの2サイクルになります。リセット解除後、このビットは“0”になっています。

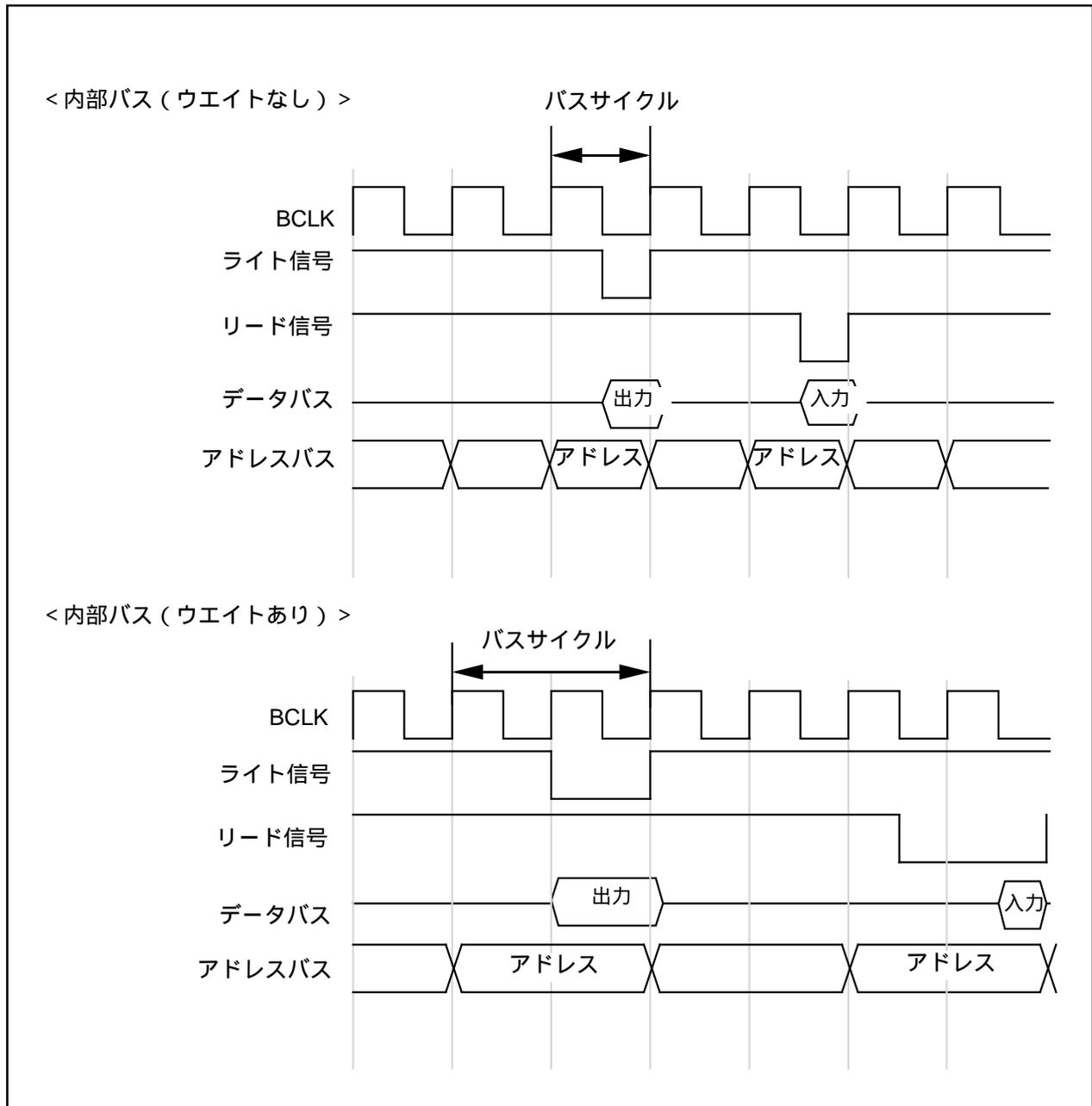
SFR領域は、これらの制御ビットの影響を受けず、常にBCLKの2サイクルでアクセスされます。

表DA-1にソフトウェアウエイトとバスサイクル、図DA-6にソフトウェアウエイトを使用した場合のバスタイミング例を示します。

注2. プロセッサモードレジスタ1を書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。

表DA-1. ソフトウェアウエイトとバスサイクル

領域	ウエイトビット	バスサイクル
SFR	無効	BCLKの2サイクル
内部ROM/RAM	0	BCLKの1サイクル
	1	BCLKの2サイクル



図DA-6. ソフトウェアウエイトを使用した場合のバスタイミング例

ソフトウェアコマンド

表1.BB.1にソフトウェアコマンドの一覧表を示します。

CPU書き換えモードが有効になっている状態で、フラッシュコマンドレジスタにソフトウェアコマンドを書き込むことによって、イレース、プログラム等を指定します。

以下に各ソフトウェアコマンドの内容を説明します。

表1.BB.1. ソフトウェアコマンド一覧表(CPU書き換えモード)

コマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ (D ₀ ~D ₇)	モード	アドレス	データ (D ₀ ~D ₇)
リード	ライト	03B6 ₁₆	00 ₁₆			
プログラム	ライト	03B6 ₁₆	40 ₁₆	ライト	プログラム アドレス	プログラム データ
プログラムベリファイ	ライト	03B6 ₁₆	C0 ₁₆	リード	ベリファイ アドレス	ベリファイ データ
イレース	ライト	03B6 ₁₆	20 ₁₆	ライト	03B6 ₁₆	20 ₁₆
イレースベリファイ	ライト	03B6 ₁₆	A0 ₁₆	リード	ベリファイ アドレス	ベリファイ データ
リセット	ライト	03B6 ₁₆	FF ₁₆	ライト	03B6 ₁₆	FF ₁₆

リードコマンド(00₁₆)

第1バスサイクルでフラッシュコマンドレジスタにコマンドコード“00₁₆”を書き込むとリードモードになります。次のバスサイクル以降で読み出すアドレスを入力すると、指定したアドレスの内容が8ビット単位でデータバス(D₀~D₇)へ読み出されます。

リードモードは、他のコマンドがライトされるまで保持されます。なお、リセット後およびリセットコマンド実行後には、リードモードに設定されます。

書き込み(プログラム)コマンド(40₁₆)

第1バスサイクルでフラッシュコマンドレジスタにコマンドコード“40₁₆”を書き込むと書き込み(プログラム)モードになります。第2バスサイクルで、書き込みたい番地にバイトデータを書き込む命令(例えばSTE命令等)を実行すると、フラッシュメモリの制御回路は書き込み(プログラム)を実行します。書き込み(プログラム)には、約20μsの時間を要します。20μs以上待つて、次の処理へ移行してください。

なお書き込み(プログラム)中、監視タイマは“7FFF₁₆”がセットされた状態で停止します。

注1. 書き込みは、一回の書き込み(プログラム)コマンドの実行では完了しません。書き込み(プログラム)コマンドの実行後、必ず書き込み(プログラム)ベリファイコマンドを実行し、フェイルする場合はパスするまで書き込み(プログラム)コマンドを繰り返し実行する必要があります。プログラミングのフローチャート例は、図1.BB.3を参照してください。

書き込み(プログラム)ベリファイコマンド(C016)

第1バスサイクルでフラッシュコマンドレジスタにコマンドコード“C016”を書き込むと書き込みベリファイモードになります。第2バスサイクルでベリファイする番地(先にプログラムした番地)からバイトデータを読み出す命令(例えばLDE命令)を実行すると、実際にその番地に書き込まれている内容が読み出されます。

CPUで、この読み出されたデータと先の書き込み(プログラム)コマンドで書き込んだデータとを比較し、比較した結果、一致していなければ、再度書き込み(プログラム)書き込み(プログラム)ベリファイを実行する必要があります。

消去(イレース)コマンド(2016+2016)

第1バスサイクルでフラッシュコマンドレジスタにコマンドコード“2016”を書き込み、第2バスサイクルでフラッシュコマンドレジスタにコマンドコード“2016”を書き込むとフラッシュメモリの制御回路は、消去(イレース)を実行します。消去(イレース)には、約20msの時間を要します。20ms以上待って、次の処理へ移行してください。

なお、消去(イレース)コマンドの実行前には、必ず全ての消去(イレース)対象領域にデータ“0016”を書き込み(プログラム)コマンドおよび書き込み(プログラム)ベリファイコマンドによって書き込んでおく必要があります。また、消去(イレース)中、監視タイマは“7FFF16”がセットされた状態で停止します。

注1. 消去(イレース)は、一度の消去(イレース)コマンドの実行では完了しません。消去(イレース)コマンドの実行後、必ず消去(イレース)ベリファイコマンドを実行し、フェイルする場合はパスするまで消去(イレース)コマンドを繰り返し実行する必要があります。消去(イレース)のフローチャート例は、図1.BB.3を参照してください。

消去(イレース)ベリファイコマンド(A016)

第1バスサイクルでフラッシュコマンドレジスタにコマンドコード“A016”を書き込むと消去(イレース)ベリファイモードになります。第2バスサイクルでベリファイする番地に対してバイトリードする命令(例えばLDE命令)を実行すると、その番地の内容が読み出されます。

CPUは、消去(イレース)した全領域に対し、1番地ずつ順次消去(イレース)ベリファイしていく必要があります。途中“FF16”でない(消去されていない)番地があれば消去(イレース)ベリファイをそこで中断し、再度消去(イレース)消去(イレース)ベリファイを実行する必要があります。

注1. 消去(イレース)ベリファイにおいて消去(イレース)されていないメモリがあった場合は、再度、消去(イレース)消去(イレース)ベリファイの操作を実行してください。ただし、この場合、消去(イレース)前にデータ“0016”を書き込む必要はありません。

リセットコマンド(FF16+FF16)

リセットコマンドは書き込み(プログラム)、消去(イレース)コマンドを途中で中止するためのコマンドです。フラッシュコマンドレジスタにコマンドコード“40₁₆”または“20₁₆”を2回書き込んだ後、第1バスサイクルでフラッシュコマンドレジスタにコマンドコード“FF16”を書き込み、第2バスサイクルでフラッシュコマンドレジスタにコマンドコード“FF16”を書き込むと、書き込み(プログラム)、消去(イレース)コマンドは無効になり(リセット)、リードモードになります。

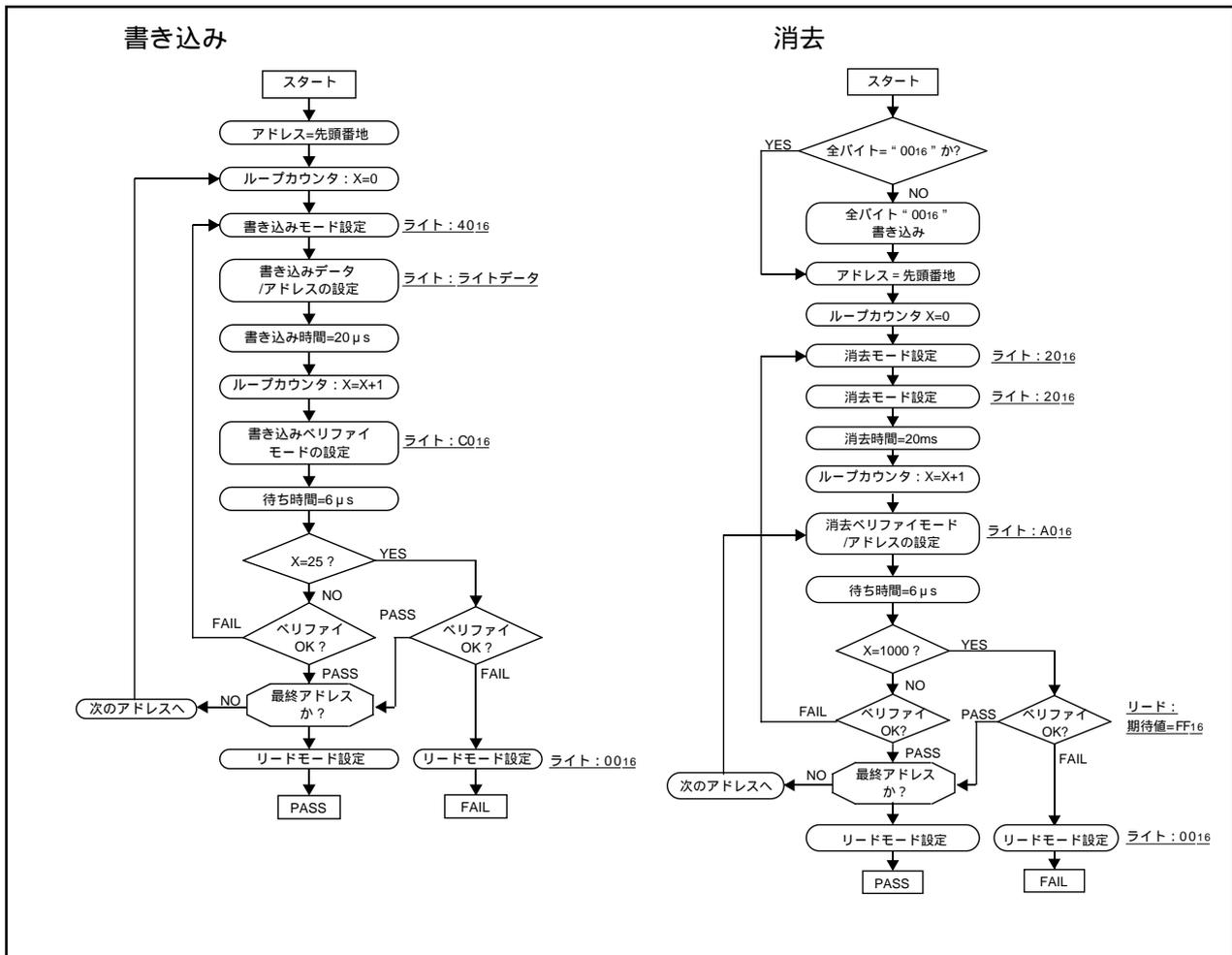


図1.BB.3. CPU書き換えモードでの書き込み、消去実行フローチャート

端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名称	入出力	機能
VCC, VSS	電源入力		VCC端子には $5V \pm 10\%$ を、VSS端子には0Vを印加してください。
CNVSS	CNVSS	入力	$12V \pm 5\%$ を印加してください。
RESET	リセット入力	入力	リセット入力端子です。リセットが"L"の間、XIN端子には20サイクル以上のクロックが必要です。
XIN	クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶振動子を接続してください。外部で生成したクロックを入力するときは、XINから入力しXOUTは開放してください。
XOUT	クロック出力	出力	
AVCC, AVSS	アナログ電源入力		AVSSはVSSに、AVCCはVCCに接続してください。
VREF	基準電圧入力	入力	A-D変換器の基準電圧入力端子です。
P00 ~ P07	出力ポートP0	出力	出力専用端子です。
P10 ~ P17	出力ポートP1	出力	出力専用端子です。
P20 ~ P27	出力ポートP2	出力	出力専用端子です。
P30 ~ P37	入力ポートP3	入力	"H"を入力、"L"を入力、または開放してください。
P40 ~ P43	入力ポートP4	入力	"H"を入力、"L"を入力、または開放してください。
P44	TXD出力	出力	シリアルデータの出力端子です。
P45	RXD入力	入力	シリアルデータの入力端子です。
P46	SCLK入力	入力	シリアルクロックの入力端子です。
P47	BUSY出力	出力	BUSY信号の出力端子です。
P50 ~ P57	出力ポートP5	出力	出力専用端子です。
P60 ~ P67	出力ポートP6	出力	出力専用端子です。
P70 ~ P77	入力ポートP7	入力	"H"を入力、"L"を入力、または開放してください。
P80 ~ P87	入力ポートP8	入力	"H"を入力、"L"を入力、または開放してください。
P90 ~ P97	入力ポートP9	入力	"H"を入力、"L"を入力、または開放してください。
P100 ~ P107	入力ポートP10	入力	"H"を入力、"L"を入力、または開放してください。

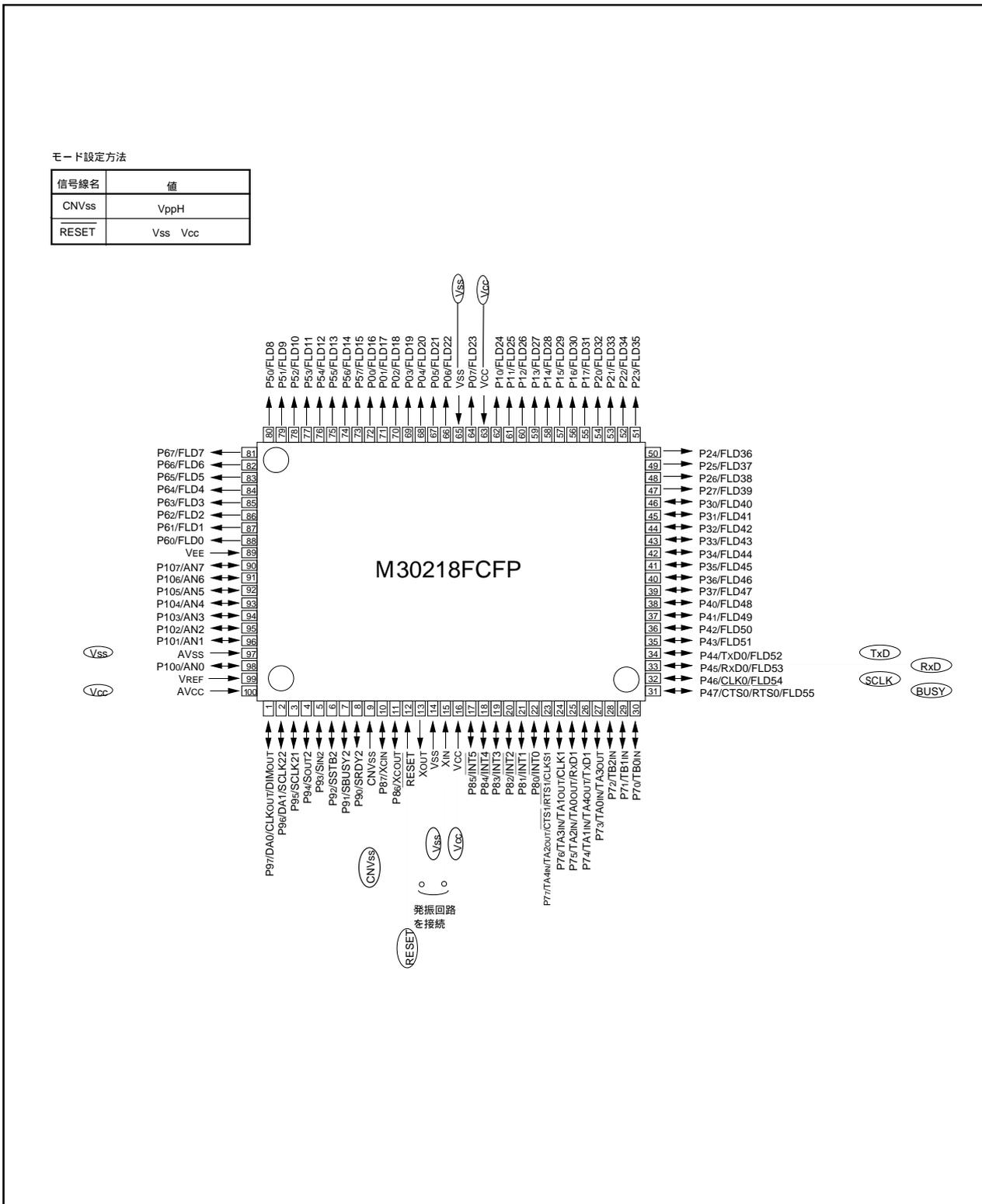


図1.DD.1. 標準シリアル入出力モード時の端子結線図

標準シリアル入出力モード

標準シリアル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをシリアルに入出力するモードで、専用のシリアルライタを使用します。

標準シリアル入出力モードは、パラレル入出力モードと異なり、CPUがフラッシュメモリの書き換え(CPU書き換えモード使用)と書き換えデータのシリアル入力等の制御を行います。標準シリアル入出力モードは、CNVss端子をVppHとして、リセットを解除することで起動します(通常のマイコンモードでは、CNVssは“L”に設定してください)。

この制御プログラムは三菱からの出荷時にブートROM領域に書き込まれています。したがって、パラレル入出力モードでブートROM領域を書き換えた場合には、標準シリアル入出力モードは使用できなくなりますので注意してください。図1.DD.1に標準シリアル入出力モード時の端子結線図を示します。シリアルデータの入出力は、UART0の端子CLK0、RxD0、TxD0、およびRTS0(BUSY)の4本を使って行います。

CLK0端子は転送クロックの入力端子で、外部から転送クロックを転送します。TxD0端子はCMOS出力です。RTS0(BUSY)端子は、受信準備が完了すれば“L”となり、受信動作を完了すれば“H”を出力します。送受信データは8ビット単位でシリアル転送します。

標準シリアル入出力モードでは、図1.AB.1に示すユーザROM領域のみ書き換えが可能で、ブートROM領域は書き換えできません。

標準シリアル入出力モードには、7バイトのIDコードを持っています。フラッシュメモリの内容がブランクでない場合、IDコードの内容が一致しなければライタから送られてくるコマンドを受け付けません。

機能概要(標準シリアル入出力モード)

標準シリアル入出力モードでは、クロック同期形のシリアルI/O(UART0)を用いて外部装置(シリアルライタ等)との間でソフトウェアコマンド、アドレス、データ等の入出力を行います。受信時には、ソフトウェアコマンド、アドレスおよびプログラムデータは、CLK0端子に入力する転送クロック立ち上がり同期して、RxD0端子から内部に取り込みます。送信時には、リードデータおよびステータスは、転送クロックの立ち下がり同期して、TxD0端子から外部に出力します。

TxD0端子は、CMOS出力です。転送は8ビット単位、LSBファーストで行います。

送信、受信中およびイレーズ、プログラム実行中等のビジー期間中には、RTS0(BUSY)端子が“H”となります。したがって、次の転送は、必ずRTS0(BUSY)端子が“L”となった後に開始してください。

また、メモリ内のデータ、ステータスレジスタ等はソフトウェアコマンド入力後のリードで読み出すことができます。フラッシュメモリの動作状態、プログラムやイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。以下、ソフトウェアコマンド、ステータスレジスタ等について説明します。

ソフトウェアコマンド

表1.DD.1にソフトウェアコマンドの一覧表を示します。標準シリアル入出力モードでは、RxD0端子からソフトウェアコマンドを転送することにより、イレーズ、プログラム、リード等の制御を行います。

以下に各ソフトウェアコマンドの内容を説明します

表1.DD.1. ソフトウェアコマンド一覧表(標準シリアル入出力モード)

	制御コマンド名	1バイト目の転送	2バイト目	3バイト目	4バイト目	5バイト目	6バイト目	~	ID照合未
1	ページリード	FF ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~ 259バイト目 データ出力	受付不可
2	ページプログラム	41 ₁₆	アドレス (中位)	アドレス (上位)	データ入力	データ入力	データ入力	~ 259バイト目 データ入力	受付不可
3	ブロックイレーズ	20 ₁₆	アドレス (中位)	アドレス (上位)	D0 ₁₆				受付不可
4	イレーズ全アソックロック	A7 ₁₆	D0 ₁₆						受付不可
5	リードステータスレジスタ	70 ₁₆	SRD出力	SRD1出力					受付可
6	クリアステータスレジスタ	50 ₁₆							受付不可
7	リードロックビットステータス	71 ₁₆	アドレス (中位)	アドレス (上位)	ロックビットデータ出力				受付不可
8	IDチェック機能	F5 ₁₆	アドレス (下位)	アドレス (中位)	アドレス (上位)	IDサイズ	ID1	~ ID7	受付可
9	ダウンロード機能	FA ₁₆	サイズ (下位)	サイズ (上位)	チェックサム	データ入力	~ 必要回数		受付不可
10	ページ情報出力機能	FB ₁₆	ページ番号データ出力	ページ番号データ出力	ページ番号データ出力	ページ番号データ出力	ページ番号データ出力	~ 9バイト目 ページ番号データ出力	受付可
11	ページROM領域出力機能	FC ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~ 259バイト目 データ出力	受付不可

注1. 網掛けは、フラッシュメモリ内蔵マイコン シリアルライターへの転送

それ以外は、シリアルライター フラッシュメモリ内蔵マイコンへの転送。

注2. SRDはステータスレジスタデータ。SRD1はステータスレジスタ 1 データ。

注3. ブランク品に対しては全コマンドの受け付け可。

ページリードコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に読み出します。以下の手順でページリードコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“FF₁₆”を転送します。
- (2) 2バイト、3バイト目の転送でそれぞれアドレスA₈~A₁₅、アドレスA₁₆~A₂₃を転送します。
- (3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスA₈~A₂₃で指定したページ(256バイト)のデータ(D₀~D₇)を最小のアドレスから順番に出力します。

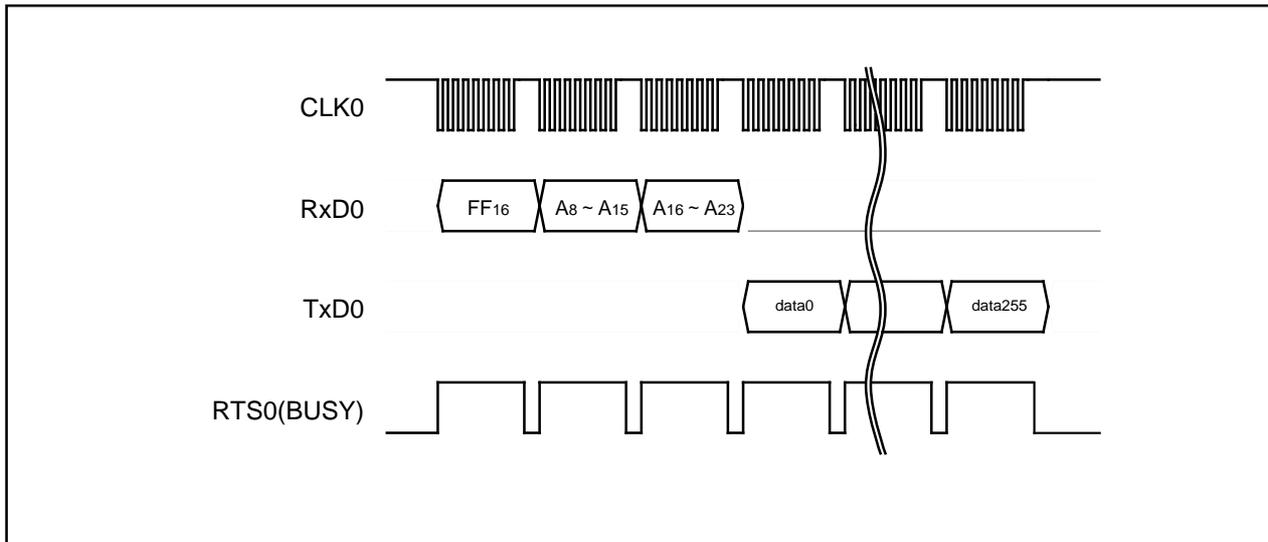


図1.DD.2. ページリードコマンド時のタイミング

リードステータスレジスタコマンド

ステータス情報を読み出します。1バイト目の転送でコマンドコード“70₁₆”を転送すると、2バイト目の転送でステータスレジスタ(SRD)、3バイト目の転送でステータスレジスタ(SRD1)の内容を出力します。

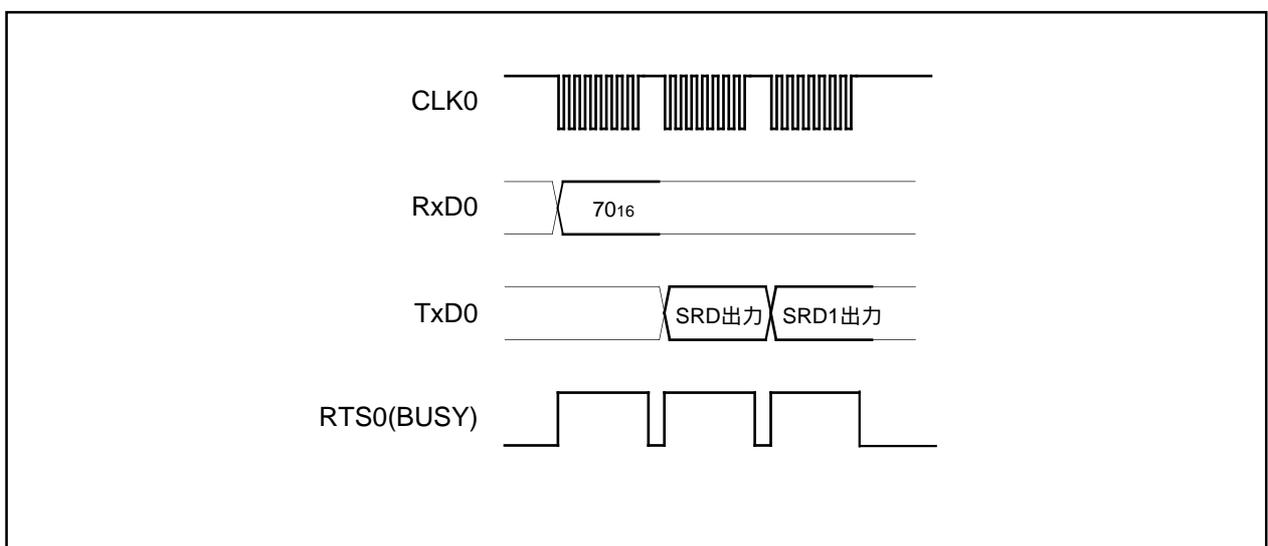


図1.DD.3. リードステータスレジスタコマンド時のタイミング

クリアステータスレジスタコマンド

ステータスレジスタのエラー終了を示すビット(SR3、SR4)がセットされた後、これらをクリアするためのコマンドです。1バイト目の転送でコマンドコード“50₁₆”を転送すると、上記のビットをクリアします。クリアステータスレジスタが終了すると、RTS₀(BUSY)信号は“H”から“L”に変化します。

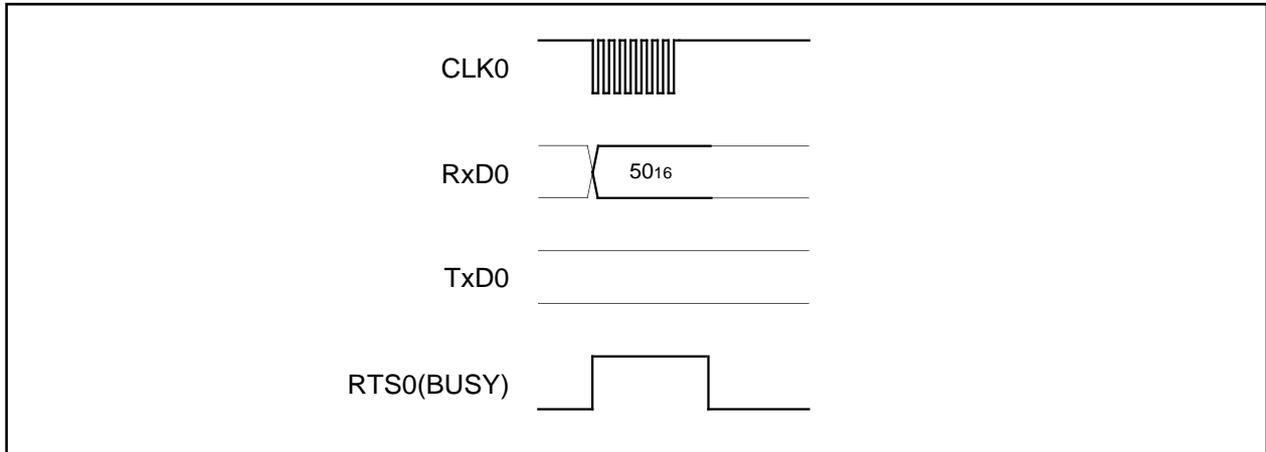


図1.DD.4. クリアステータスレジスタコマンド時のタイミング

ページプログラムコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に書き込みます。以下の手順でページプログラムコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“41₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA₈~A₁₅、アドレスA₁₆~A₂₃を転送します。
- (3) 4バイト目以降、ライトデータ(D₀~D₇)を指定したページの最小のアドレスから順番に256バイト入力すると、自動的に指定したページに対し書き込み動作を開始します。

次の256バイトの受信準備が完了すればRTS₀(BUSY)信号が“H”から“L”に変化します。ステータスレジスタを読み出すことにより、ページプログラムの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

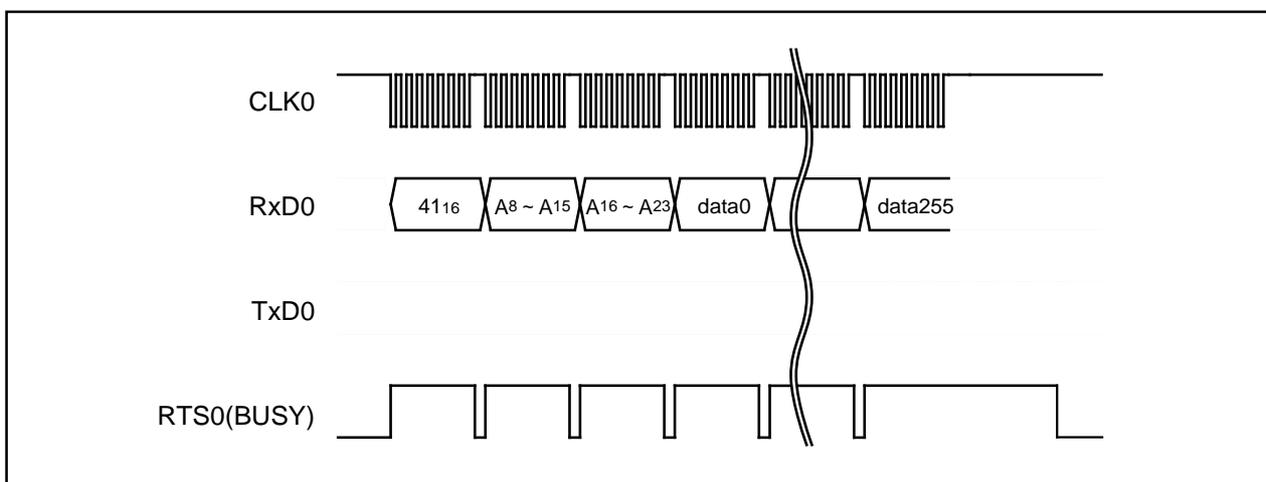


図1.DD.5. ページプログラムコマンド時のタイミング

ブロックイレーズコマンド

指定したブロック内のデータをイレーズするコマンドです。以下の手順でブロックイレーズコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“20₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA₈～A₁₅、アドレスA₁₆～A₂₃を転送します。
- (3) 4バイト目の転送で確認コマンドコード“D0₁₆”を転送すると、フラッシュメモリの指定ブロックに対するイレーズ動作を開始します。なお、A₈～A₂₃のアドレスは、指定するブロックの最大のアドレスとしてください。

ブロックイレーズを終了するとRTS₀(BUSY)信号が“H”から“L”に変化します。ブロックイレーズを終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

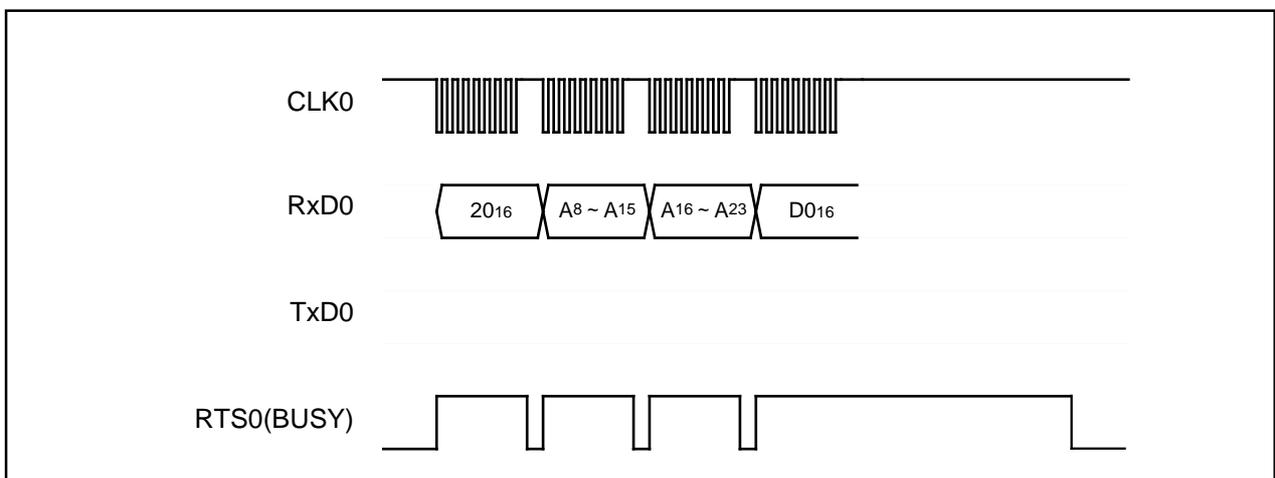


図1.DD.6. ブロックイレーズコマンド時のタイミング

イレーズ全アンロックブロックコマンド

全ブロックの内容を消去するコマンドです。以下の手順でイレーズ全アンブロックコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“ A7₁₆ ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ D0₁₆ ”を転送すると、全ブロックに対し、連続的にブロックイレーズ動作を開始します。

イレーズ全アンブロックコマンドが終了するとRTS0(BUSY)信号が“ H ”から“ L ”に変化します。イレーズの結果も、ステータスレジスタの読み出しにより知ることができます。

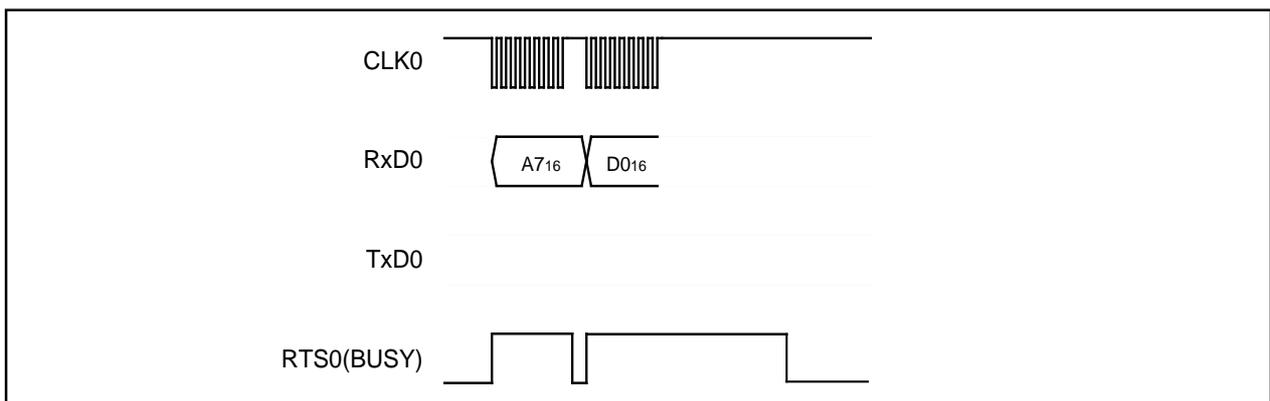


図1.DD.7. イレーズ全アンロックブロックコマンド時のタイミング

リードロックビットステータスコマンド

指定したブロックのロックビットの状態を読み出すコマンドです。以下の手順でリードロックステータスを実行してください。

- (1) 1バイト目の転送でコマンドコード“ 71₁₆ ”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA₈~A₁₅、アドレスA₁₆~A₂₃を転送します。
- (3) 4バイト目の転送で指定ブロックのロックビットデータの内容を出力します。

出力されるデータの6ビット目(D₆)がロックビットデータです。なお、A₈~A₂₃のアドレスは、指定するブロックの最大のアドレスとしてください。

なお、M30218グループ(フラッシュメモリ版)はロックビットを持たないため、読み出した値は“ 1 ”(ブロックアンロック)になります。

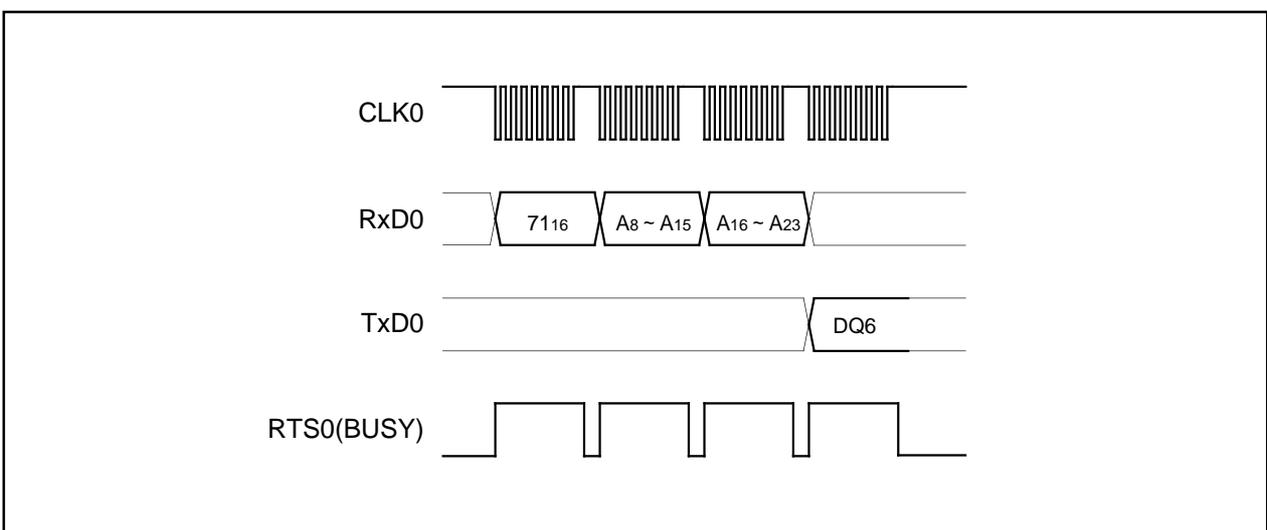


図1.DD.8. リードロックビットステータスコマンド時のタイミング

ダウンロード機能

RAMに実行プログラムをダウンロードするコマンドです。以下の手順でダウンロードを実行してください。

- (1) 1バイト目の転送でコマンドコード“FA16”を転送します。
- (2) 2バイト目、3バイト目の転送で、プログラムのサイズを転送します。
- (3) 4バイト目の転送でチェックサムを転送します。チェックサムは、5バイト目以降に転送するデータを全て加算したものです。
- (4) 5バイト目以降実行プログラムを転送します。

全データの転送が完了し、チェックサムが一致すれば転送プログラムを実行します。転送プログラム容量は、内蔵するRAMによって違います。

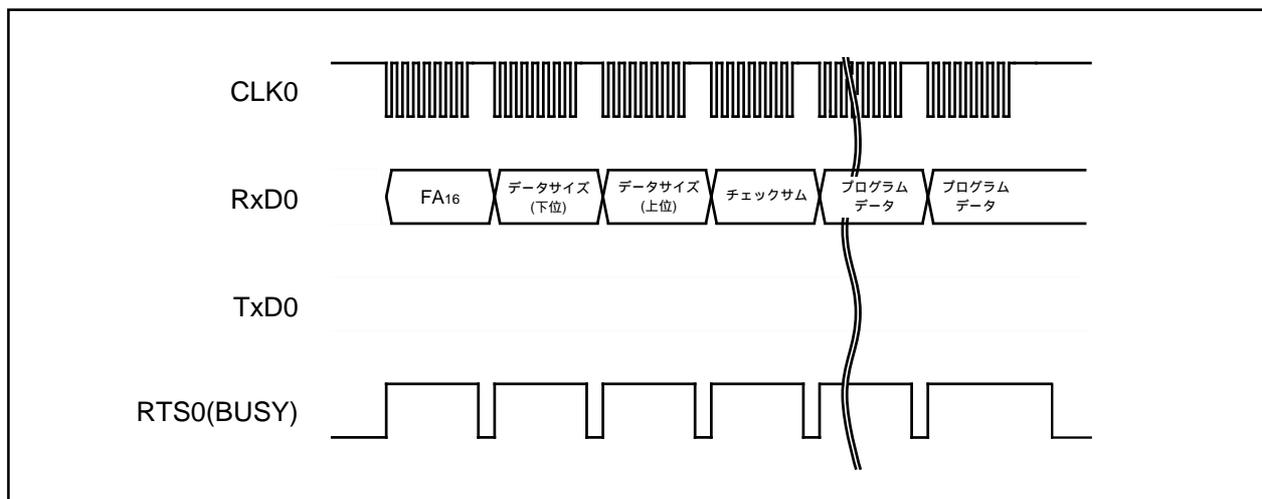


図1.DD.9. ダウンロード機能のタイミング

バージョン情報出力機能

ブートROM領域に格納している制御プログラムのバージョン情報を出力します。以下の手順でバージョン情報出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FB16”を転送します。
- (2) 2バイト目以降バージョン情報を出力します。バージョン情報はASCIIコード8文字で構成されています。

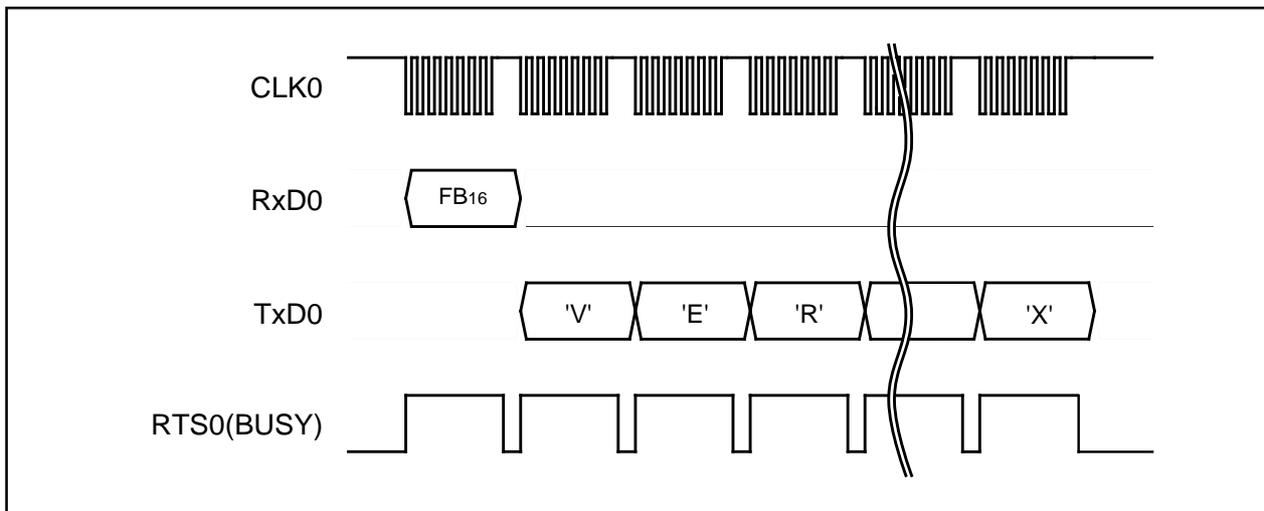


図1.DD.10. バージョン情報出力機能のタイミング

ブートROM領域出力機能

ブートROM領域に格納している制御プログラムをページ(256バイト)単位で読み出す機能です。以下の手順でブートROM領域出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FC16”を転送します。
- (2) 2バイト、3バイト目の転送でそれぞれアドレスA8～A15、アドレスA16～A23を転送します。
- (3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスA8～A23で指定したページ(256バイト)のデータ(D0～D7)を最小のアドレスから順番に出力します

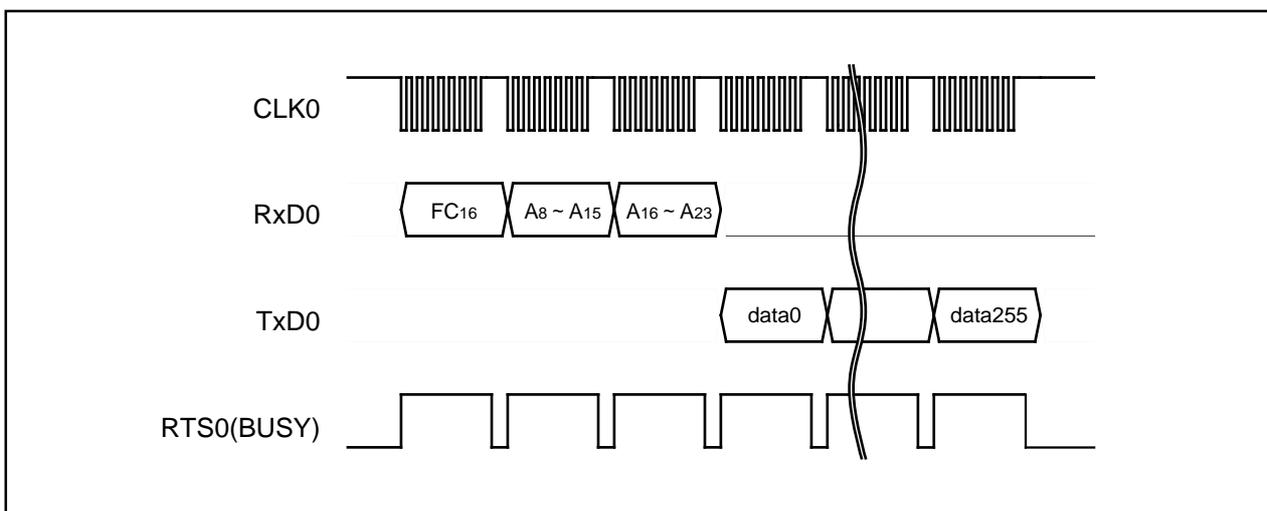


図1.DD.11. ブートROM領域出力機能のタイミング

IDチェック機能

IDコードを判断するコマンドです。以下の手順でIDチェックを実行してください。

- (1) 1バイト目の転送でコマンドコード“F5₁₆”を転送します。
- (2) 2バイト目、3バイト目、4バイト目の転送で、それぞれIDコードの1バイト目のアドレスA₀～A₇、A₈～A₁₅、A₁₆～A₂₃を転送してください。
- (3) 5バイト目にIDコードのデータ数を転送してください。
- (4) 6バイト目以降IDコードをIDコードの1バイト目から転送してください。

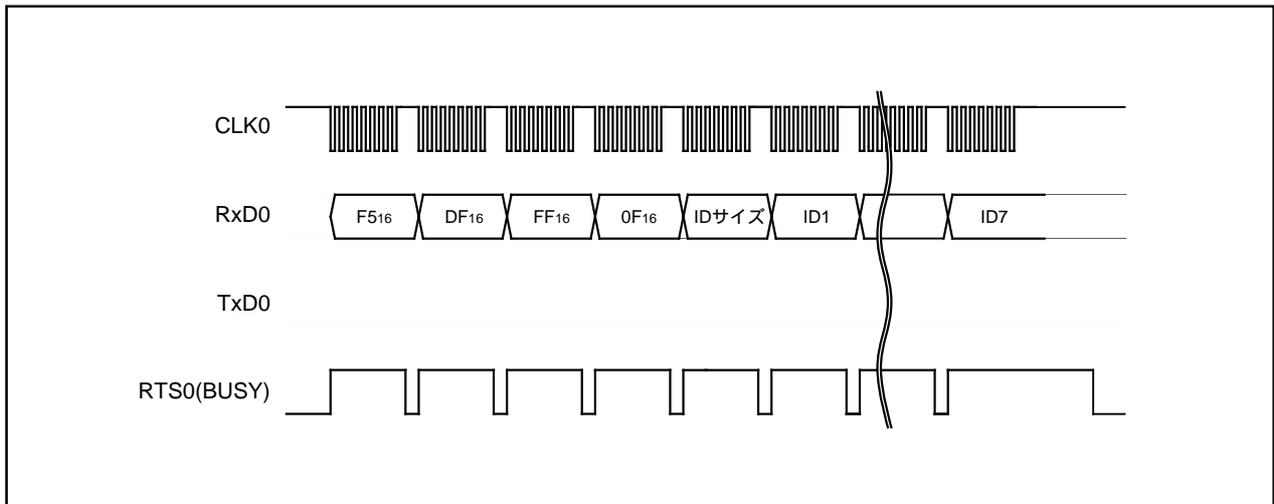


図1.DD.12. IDチェック機能のタイミング

IDコード

フラッシュメモリの内容がブランクでは無い場合、シリアルライタから送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、シリアルライタから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から0FFFDF₁₆、0FFFE3₁₆、0FFFE₁₆、0FFFEF₁₆、0FFFF3₁₆、0FFFF7₁₆番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

アドレス	ID	機能
0FFFDF ₁₆ ～0FFFD ₁₆	ID1	未定義命令ベクタ
0FFFE3 ₁₆ ～0FFFE ₁₆	ID2	オーバフローベクタ
0FFFE7 ₁₆ ～0FFFE4 ₁₆		BRK命令ベクタ
0FFFE ₁₆ ～0FFFE8 ₁₆	ID3	アドレス一致ベクタ
0FFFEF ₁₆ ～0FFFE ₁₆	ID4	シングルステップベクタ
0FFFF3 ₁₆ ～0FFFF ₁₆	ID5	監視タイマベクタ
0FFFF7 ₁₆ ～0FFFF4 ₁₆	ID6	DBCベクタ
0FFFF ₁₆ ～0FFFF8 ₁₆	ID7	—
0FFFF ₁₆ ～0FFFFC ₁₆		リセットベクタ

4バイト

図1.DD.13. IDコードの格納アドレス

ステータスレジスタ(SRD)

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたとき読み出すことができます。また、ステータスレジスタはクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。

ステータスレジスタを表1.DD.2に各ビットの定義を以下に示します。

リセット解除後、ステータスレジスタは、“80₁₆”を出力します。

表1.DD.2. ステータスレジスタ(SRD)

SRDの 各ビット	ステータス名	定義	
		"1"	"0"
SR7 (bit7)	ステータスビット	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズビット	エラー終了	正常終了
SR4 (bit4)	プログラムビット	エラー終了	正常終了
SR3 (bit3)	リザーブ	-	-
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

ステータスビット(SR7)

ステータスビットは、フラッシュメモリの動作状況を知らせるもので電源投入時、“1”(レディ)にセットされています。

自動書き込みや自動消去の動作中は“0”(ビジー)にセットされますが、これらの動作終了とともに“1”にセットされます。

イレーズビット(SR5)

イレーズビットは、自動消去の動作状況を知らせるもので、消去エラーが発生すると“1”にセットされます。イレーズビットは、クリアされると“0”になります。

プログラムビット(SR4)

プログラムビットは、自動書き込みの動作状況を知らせるもので、書き込みエラーが発生すると“1”にセットされます。プログラムビットは、クリアされると“0”になります。

ステータスレジスタ1(SRD1)

ステータスレジスタ1は、シリアル通信の状態、IDコード比較の結果、チェックサム比較の結果等を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたときSRDに続いて読み出すことができます。また、ステータスレジスタ1はクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。

ステータスレジスタを表1.DD.3に各ビットの定義を以下に示します。

電源投入時“00₁₆”になります。フラグの状態はリセットしても保持されます。

表1.DD.3. ステータスレジスタ1(SRD1)

SRD1の 各ビット	ステータス名	定義	
		"1"	"0"
SR15 (bit7)	ブート更新済みビット	更新済み	未更新
SR14 (bit6)	リザーブ	-	-
SR13 (bit5)	リザーブ	-	-
SR12 (bit4)	チェックサム一致ビット	一致	不一致
SR11 (bit3)	ID照合済みビット	00	未照合
SR10 (bit2)		01	照合不一致
		10	リザーブ
		11	照合済み
SR9 (bit1)	データ受信タイムアウト	タイムアウト	正常動作
SR8 (bit0)	リザーブ	-	-

ブート更新済みビット(SR15)

ダウンロード機能を使用して制御プログラムをRAMにダウンロードしたかどうかを示すフラグです。

チェックサム一致ビット(SR12)

ダウンロード機能を使用して実行プログラムをダウンロードしたとき、チェックサムが一致したかどうかを示すフラグです。

ID照合済みビット(SR11 SR10)

ID照合の結果を示すフラグです。ID照合しなければ、受け付けないコマンドがあります。

データ受信タイムアウト(SR9)

データ受信中のタイムアウトエラーの発生を示すフラグです。データ受信中にこのフラグが立つと、受信したデータを破棄し、コマンド待ちに戻ります。

標準シリアル入出力モード時の応用回路(例)

標準シリアル入出力モードを使用する場合の応用回路を示します。ライターによって制御するピン等が異なりますので、詳細はライターのマニュアルを参考にしてください。

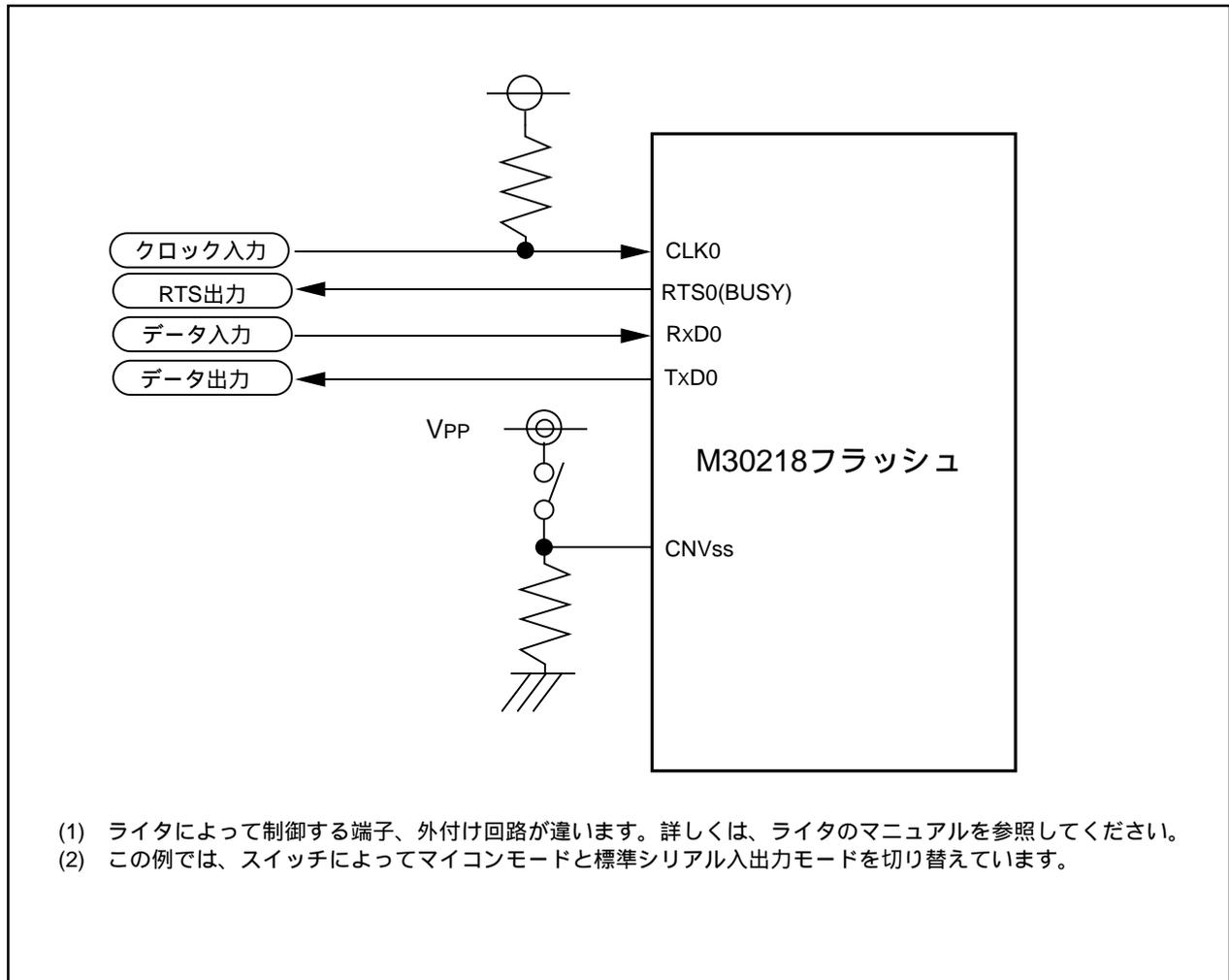


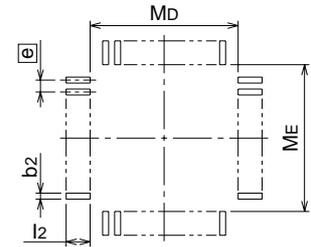
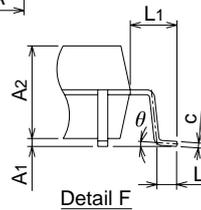
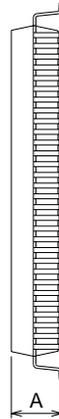
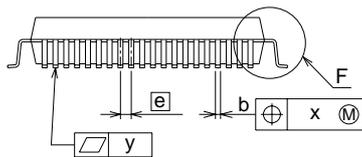
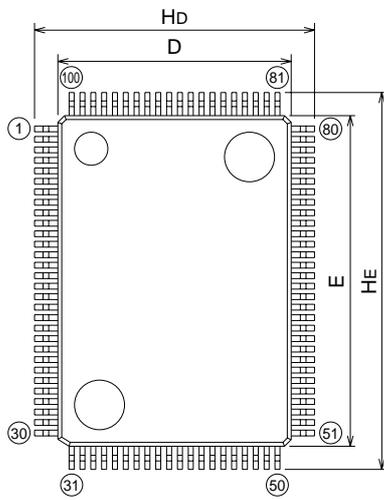
図1.DD.15. 標準シリアル入出力モード時の応用回路例

100P6S-A

(MMP)

Plastic 100pin 14X20mm body QFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
QFP100-P-1420-0.65	-	1.58	Alloy 42



Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	3.05
A1	0	0.1	0.2
A2	-	2.8	-
b	0.25	0.3	0.4
c	0.13	0.15	0.2
D	13.8	14.0	14.2
E	19.8	20.0	20.2
e	-	0.65	-
Hd	16.5	16.8	17.1
HE	22.5	22.8	23.1
L	0.4	0.6	0.8
L1	-	1.4	-
x	-	-	0.13
y	-	-	0.1
θ	0°	-	10°
b2	-	0.35	-
l2	1.3	-	-
Md	-	14.6	-
ME	-	20.6	-

レイアウトの都合上、このページは白紙です。

第 2 章

周辺機能の使い方

プロテクト

2.1 プロテクト

2.1.1 概要

プロテクトとは、プログラムが暴走しても容易にレジスタの値を変更できなくする機能です。プロテクトの概要について説明します。

プロテクト機能が影響するレジスタ

プロテクト機能が影響するレジスタは次のとおりです。

- (1) システムクロック制御レジスタ0,1 (0006₁₆番地、0007₁₆番地)
- (2) プロセッサモードレジスタ0,1 (0004₁₆番地、0005₁₆番地)

(1)~(2)のレジスタは、書き込み禁止状態では変更できません。レジスタの値を変更する場合は、各レジスタへの書き込み許可状態にしてから行ってください。

プロテクトレジスタ

図2.1.1にプロテクトレジスタの構成を示します。

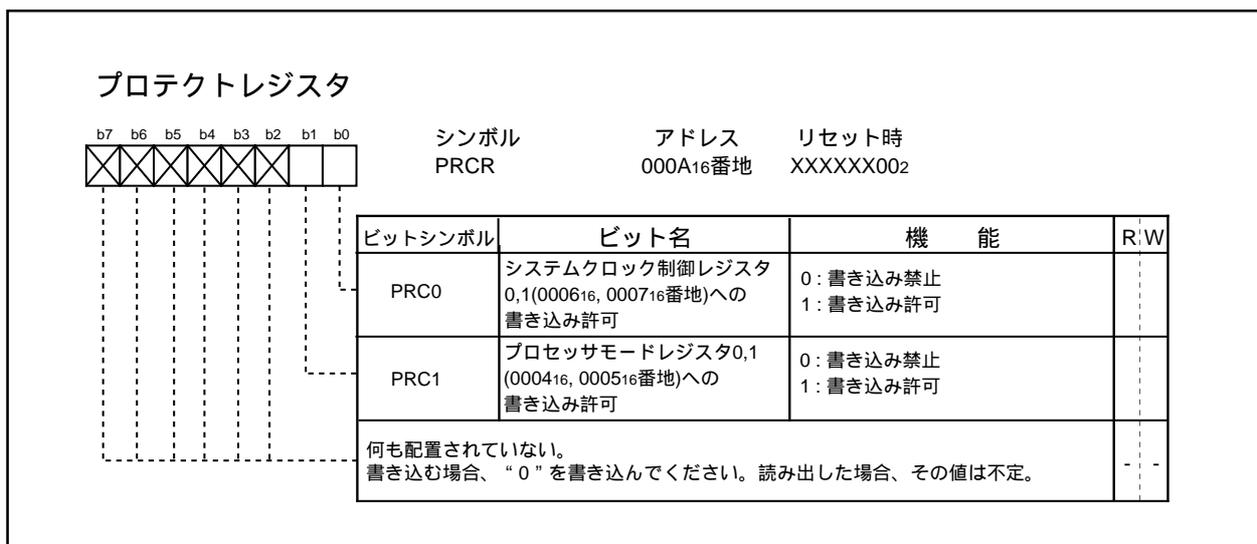


図2.1.1. プロテクトレジスタの構成

2.1.2 プロテクト動作

プロテクト動作を示します。また、図2.1.2に設定手順を示します。

- 動作**
- (1) システムクロック制御レジスタ0、1への書き込み許可ビットを“1”にすると、システムクロック制御レジスタ0およびシステムクロック制御レジスタ1は書き込み許可状態になります。
 - (2) システムクロック制御レジスタ0およびシステムクロック制御レジスタ1の内容を変更します。
 - (3) システムクロック制御レジスタ0、1への書き込み許可ビットを“0”にすると、システムクロック制御レジスタ0およびシステムクロック制御レジスタ1は書き込み禁止状態になります。
 - (4) プロセッサモードレジスタ0およびプロセッサモードレジスタ1の内容を変更する場合は、システムクロック制御レジスタと同じ方法で変更できます。

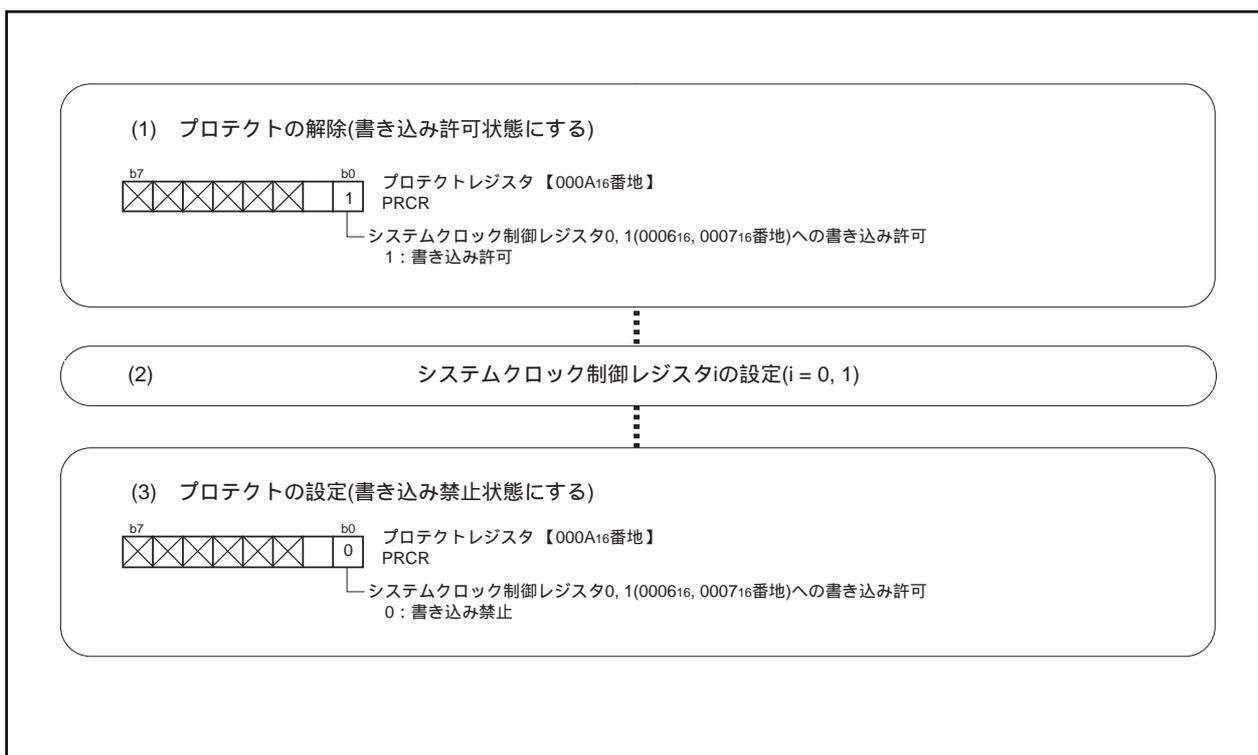


図2.1.2. プロテクト機能のレジスタ設定手順

タイマA

2.2 タイマA

2.2.1 概要

タイマAは16ビットのタイマです。タイマAの概要について説明します。

モード

タイマAは、次の4種類のモードを持ちます。

(1)タイマモード

内部のカウントソースをカウントするモードです。オーバフローごとにポートの出力が反転するパルス出力機能とポートからの入力信号でカウント開始/停止を制御するゲート機能を選択できます。

タイマモードの動作	P186
タイマモード、ゲート機能動作	P188
タイマモード、パルス出力機能動作	P190

(2)イベントカウンタモード

外部からのパルスおよび別のタイマのオーバフロー回数をカウントするモードです。オーバフロー時、リロードレジスタからリロードしないフリーランタイプを選択できます。その他、パルス出力機能を選択できますが、タイマモードと同じですので、タイマモードを参照してください。

イベントカウンタモードの動作	P192
イベントカウンタモード、フリーランタイプの動作	P194

また、2本の入力信号の位相によってアップカウントかダウンカウントを行うイベントカウンタモード2相パルス信号処理機能を持ちます。位相の検出方法の違いで、通常モードと4通倍モードの2種類を選択できます。

通常モードのイベントカウンタモード2相パルス信号処理機能の動作	P196
4通倍モードのイベントカウンタモード2相パルス信号処理機能の動作	P198

(3)ワンショットタイマモード

トリガによりタイマがスタートし、タイマ値が“0”になると停止するモードです。トリガは外部からの入力信号、タイマのオーバフロー、およびソフトウェアの3種類から選択できます。その他、パルス出力機能を選択できますが、タイマモードの動作と同じですので、タイマモードを参照してください。

ソフトウェアによるワンショットタイマモードの動作	P200
外部トリガによるワンショットタイマモードの動作	P202

(4)パルス幅変調(PWM)モード

任意のパルスを連続して出力するモードです。周期固定の16ビットPWMモードと周期可変の8ビットPWMモードを選択できます。その他、出力を開始するためのトリガを選択することができますが、動作は、ワンショットタイマモードと同じですので、ワンショットタイマモードを参照してください。

16ビットPWMモードの動作	P204
8ビットPWMモードの動作	P206

タイマA

カウントソース

内部のカウントソースは、f1、f8、f32、およびfc32から選択できます。f1、f8、f32とは、それぞれCPUのメインクロックを1分周、8分周、32分周したクロックです。fc32とは、CPUのサブクロックを32分周したクロックです。

分周比

タイマモードおよびパルス幅変調モードでは、タイマレジスタに設定した値+1が分周比となります。また、イベントカウンタモードの場合、ダウンカウント動作時は、設定値+1が分周比となりますが、アップカウント動作時は、(FFFF₁₆ - 設定値 + 1)が分周比となります。ワンショットタイマモードの場合、タイマレジスタに設定した値が分周比となります。

分周比の数のカウントソースが入力されるとカウンタはオーバフロー(アンダフロー)し、割り込み要求が発生します。また、パルス出力機能を選択している場合、ポートの出力が変化します(ポートレジスタの値は、変化しません)。

タイマの読み込み

タイマモードおよびイベントカウンタモードでは、タイマレジスタを読み出せば、そのときのカウント値を読み出します。読み出すときは、16ビット単位で読み出してください。ワンショットタイマモードおよびパルス幅変調モードでは読み出した値は不定です。

タイマの書き込み

カウント中に書き込みを行った場合、その値はリロードレジスタにだけ書き込まれます。カウント停止中に書き込みを行った場合、その値はリロードレジスタとカウンタの両方に書き込まれます。書き込むときは、16ビット単位で行ってください。

タイマの入出力と方向レジスタの関係

タイマの出力機能を選択した場合、ポートの方向レジスタに関係なくパルスは出力されます。外部信号をタイマへ入力する場合、ポートの方向レジスタを入力に設定してください。

タイマA関連端子

- | | |
|--|--|
| (1) TA0IN、TA1IN、TA2IN、TA3IN、TA4IN端子 | タイマAへの入力端子です。 |
| (2) TA0OUT、TA1OUT、TA2OUT、TA3OUT、TA4OUT端子 | タイマAの出力端子です。イベントカウンタモード時、タイマAへの入力端子です。 |

タイマA

タイマA関連レジスタ

図2.2.1にタイマA関連レジスタのメモリ配置図を、図2.2.2～図2.2.5にタイマA関連レジスタの構成を示します。

0055 ₁₆	タイマA0割り込み制御レジスタ(TA0IC)
0056 ₁₆	タイマA1割り込み制御レジスタ(TA1IC)
0057 ₁₆	タイマA2割り込み制御レジスタ(TA2IC)
0058 ₁₆	タイマA3割り込み制御レジスタ(TA3IC)
0059 ₁₆	タイマA4割り込み制御レジスタ(TA4IC)
0380 ₁₆	カウント開始フラグ(TABSR)
0381 ₁₆	時計用プリスケアラリセットフラグ(CPSRF)
0382 ₁₆	ワンショット開始フラグ(ONSF)
0383 ₁₆	トリガ選択レジスタ(TRGSR)
0384 ₁₆	アップダウンフラグ(UDF)
0385 ₁₆	
0386 ₁₆	タイマA0(TA0)
0387 ₁₆	
0388 ₁₆	タイマA1(TA1)
0389 ₁₆	
038A ₁₆	タイマA2(TA2)
038B ₁₆	
038C ₁₆	タイマA3(TA3)
038D ₁₆	
038E ₁₆	タイマA4(TA4)
038F ₁₆	
0396 ₁₆	タイマA0モ - ドレジスタ(TA0MR)
0397 ₁₆	タイマA1モ - ドレジスタ(TA1MR)
0398 ₁₆	タイマA2モ - ドレジスタ(TA2MR)
0399 ₁₆	タイマA3モ - ドレジスタ(TA3MR)
039A ₁₆	タイマA4モ - ドレジスタ(TA4MR)

図2.2.1. タイマA関連レジスタのメモリ配置図

タイマAiモードレジスタ

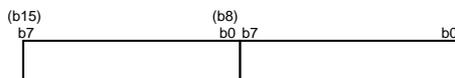
シンボル アドレス リセット時
TAiMR(i=0~4) 0396₁₆~039A₁₆番地 00₁₆

ビットシンボル	ビット名	機能	R	W
b7	TMOD0	動作モード選択ビット b1 b0 00: タイマモード 01: イベントカウンタモード 10: ワンショットタイマモード 11: パルス幅変調(PWM)モード		
b6				
b5	MR0	動作モードによって機能が異なる		
b4				
b3				
b2				
b1	TCK0	カウントソース選択ビット (動作モードによって機能が異なる)		
b0				
	TCK1			

図2.2.2. タイマA関連レジスタの構成(1)

タイマA

タイマAiレジスタ(注1)

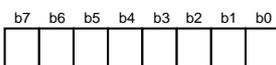


シンボル	アドレス	リセット時
TA0	0387 ₁₆ , 0386 ₁₆ 番地	不定
TA1	0389 ₁₆ , 0388 ₁₆ 番地	不定
TA2	038B ₁₆ , 038A ₁₆ 番地	不定
TA3	038D ₁₆ , 038C ₁₆ 番地	不定
TA4	038F ₁₆ , 038E ₁₆ 番地	不定

機 能	設定可能値	R	W
タイマモード 内部カウントソースをカウント	0000 ₁₆ ~ FFFF ₁₆		
イベントカウンタモード 外部からの入力パルスまたはタイマのオーバーフローを カウント	0000 ₁₆ ~ FFFF ₁₆		
ワンショットタイマモード ワンショット幅をカウント	0000 ₁₆ ~ FFFF ₁₆	x	
パルス幅変調モード(16ビットPWM) 16ビットパルス幅変調器として動作	0000 ₁₆ ~ FFFE ₁₆	x	
パルス幅変調モード(8ビットPWM) タイマの下位アドレスは、8ビットプリスケアラ、 上位アドレスは8ビットパルス幅変調器として動作	00 ₁₆ ~ FE ₁₆ (上位、下位 アドレスとも)	x	

注1. 読み出し、および書き込みは16ビット単位で行ってください。

カウント開始フラグ



シンボル	アドレス	リセット時
TABSR	0380 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機 能	R	W
TA0S	タイマA0カウント開始フラグ	0 : カウント停止 1 : カウント開始		
TA1S	タイマA1カウント開始フラグ			
TA2S	タイマA2カウント開始フラグ			
TA3S	タイマA3カウント開始フラグ			
TA4S	タイマA4カウント開始フラグ			
TB0S	タイマB0カウント開始フラグ			
TB1S	タイマB1カウント開始フラグ			
TB2S	タイマB2カウント開始フラグ			

図2.2.3. タイマA関連レジスタの構成(2)

タイマA

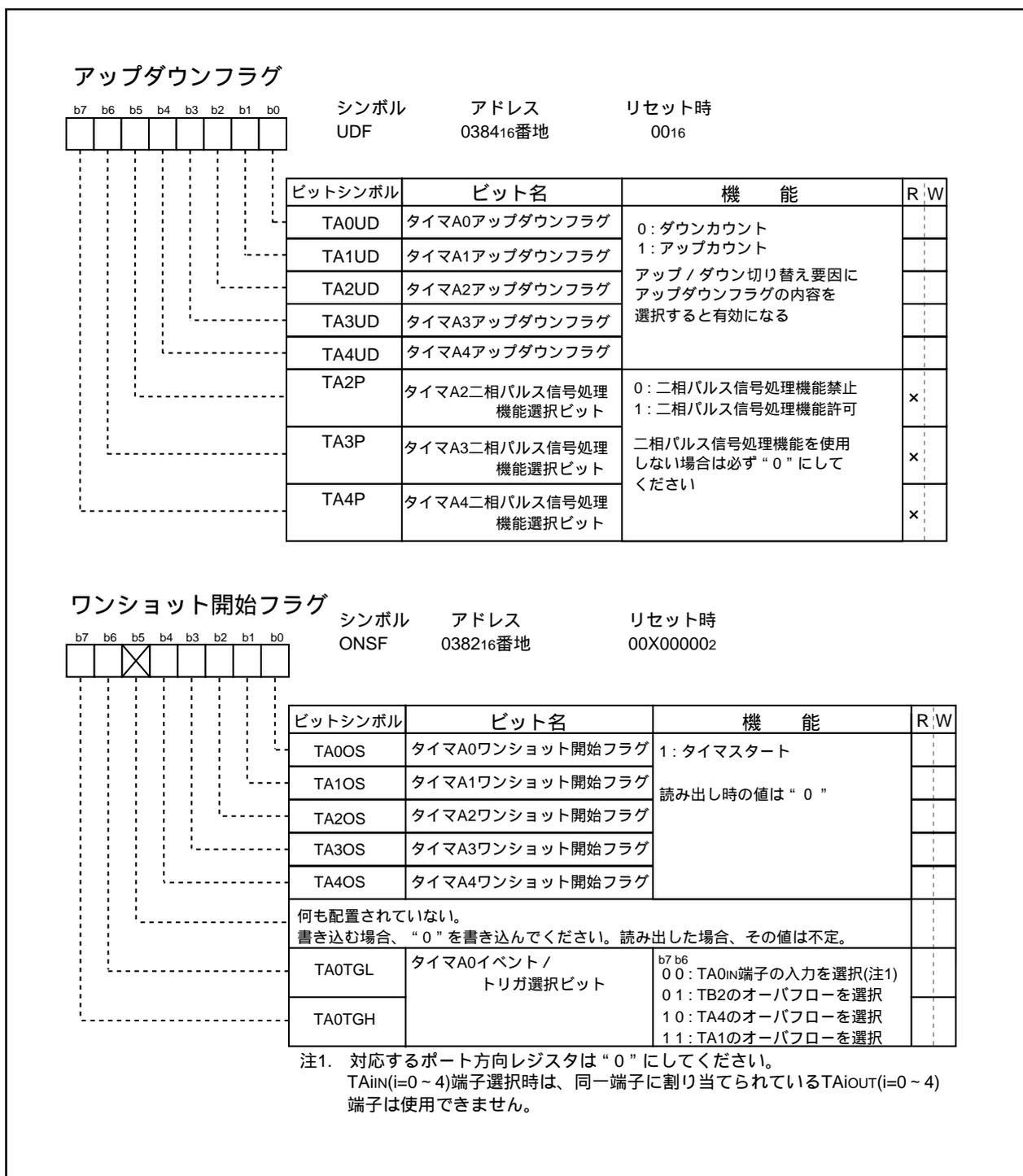


図2.2.4. タイマA関連レジスタの構成(3)

タイマA

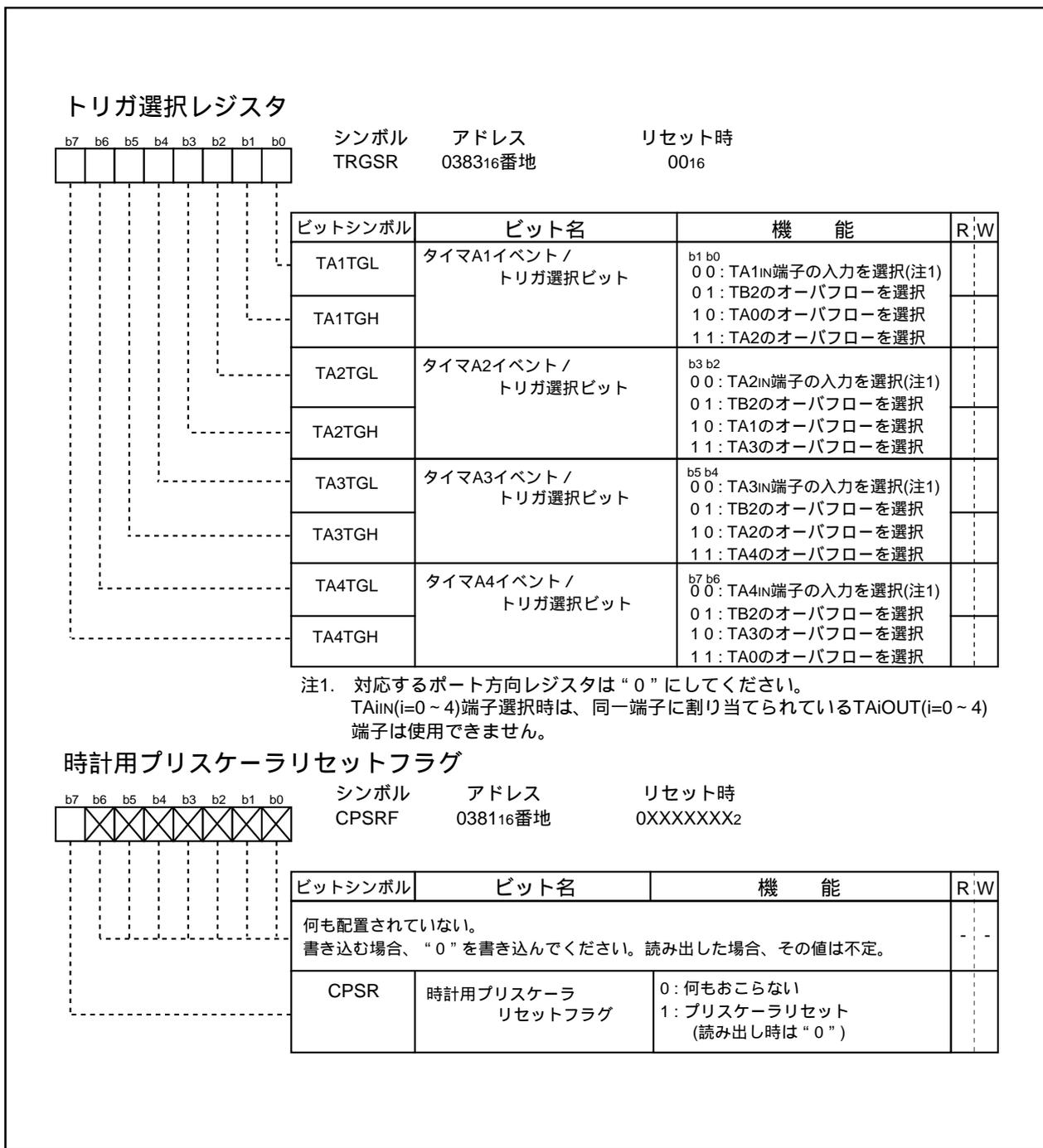


図2.2.5. タイマA関連レジスタの構成(4)

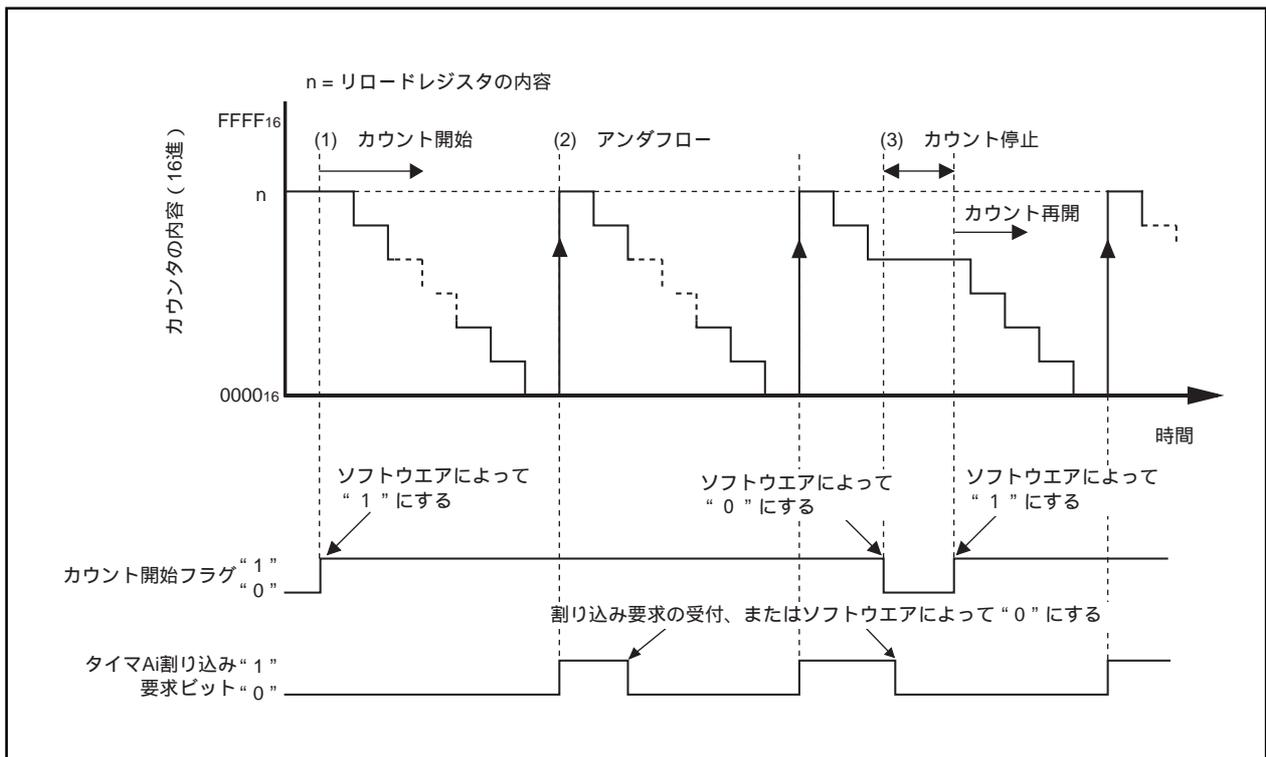
2.2.2 タイマA動作 (タイマモード)

タイマモードでは、表2.2.1に示す項目の中から機能を選択できます。ここでは、表2.2.1に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.2.6に動作タイミングを、図2.2.7に設定手順を示します。

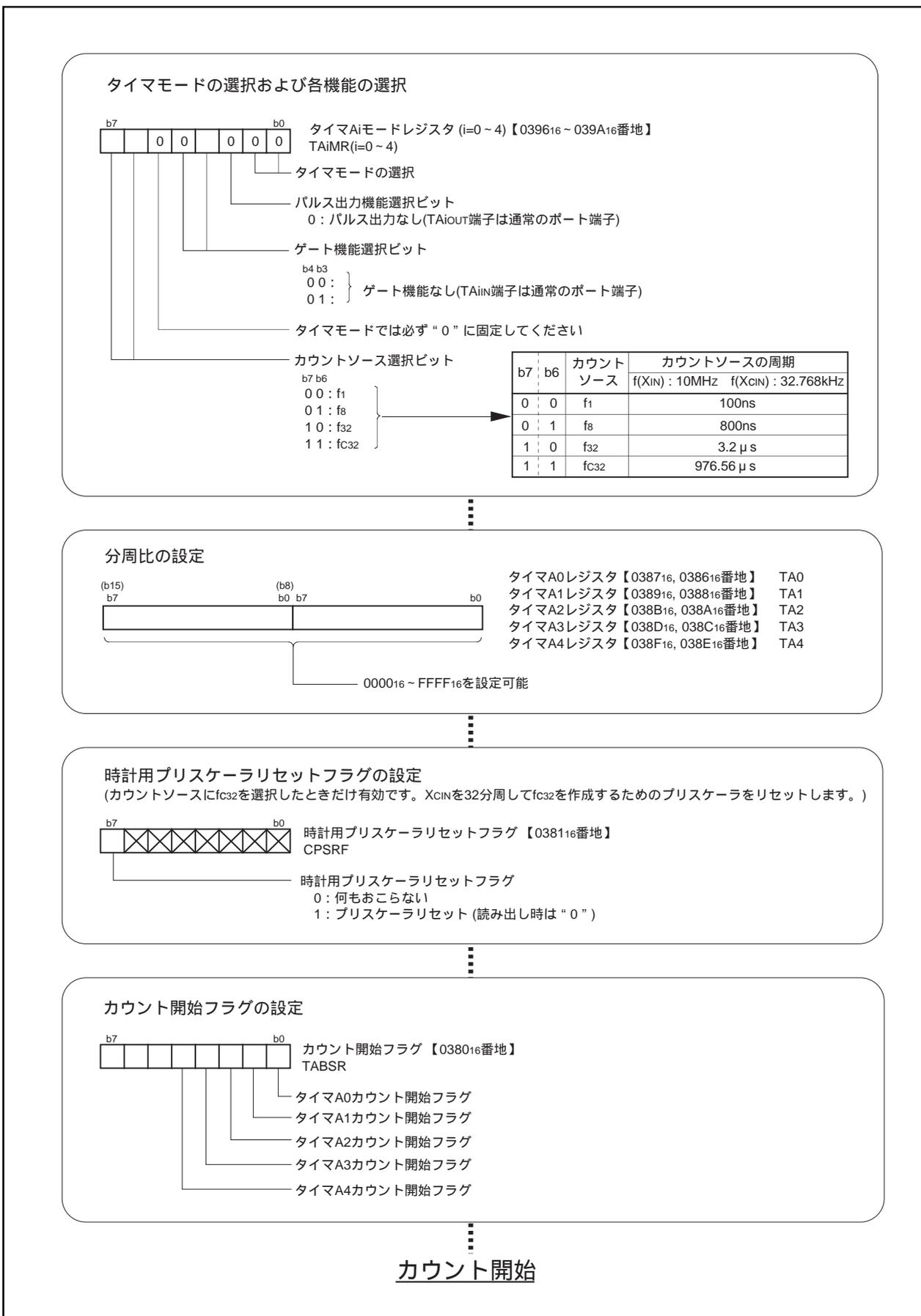
表2.2.1. 設定内容

設定項目	設定内容
カウントソース	内部のカウントソース(f1 / f8 / f32 / fc32)
パルス出力機能	パルス出力なし
	パルス出力あり
ゲート機能	ゲート機能なし
	TAiN端子が“L”レベルの期間だけカウントを行う
	TAiN端子が“H”レベルの期間だけカウントを行う

- 動作
- (1) カウント開始フラグを“1”にすると、カウンタはカウントソースをダウンカウントします。
 - (2) アンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。同時に、タイマAi割り込み要求ビットが“1”になります。
 - (3) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。



タイマA



2.2.3 タイマA動作 (タイマモード、ゲート機能選択時)

タイマモードでは、表2.2.2に示す項目の中から機能を選択できます。ここでは、表2.2.2に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.2.8に動作タイミングを、図2.2.9に設定手順を示します。

表2.2.2. 設定内容

設定項目	設定内容
カウントソース	内部のカウントソース(f1 / f8 / f32 / fc32)
パルス出力機能	パルス出力なし
	パルス出力あり
ゲート機能	ゲート機能なし
	TAiIn端子が“L”レベルの期間だけカウントを行う
	TAiIn端子が“H”レベルの期間だけカウントを行う

- 動作
- (1) カウント開始フラグが“1”でTAiIn端子の入力信号が“H”レベルのとき、カウンタはカウントソースをダウンカウントします。
 - (2) TAiIn端子の入力信号が“L”レベルのとき、カウンタはカウント値を保持して停止します。
 - (3) アンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。同時に、タイマAi割り込み要求ビットが“1”になります。
 - (4) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。

補足説明 ・TAiIn端子に入力する信号のパルス幅は、カウントソースの2サイクル以上にしてください。

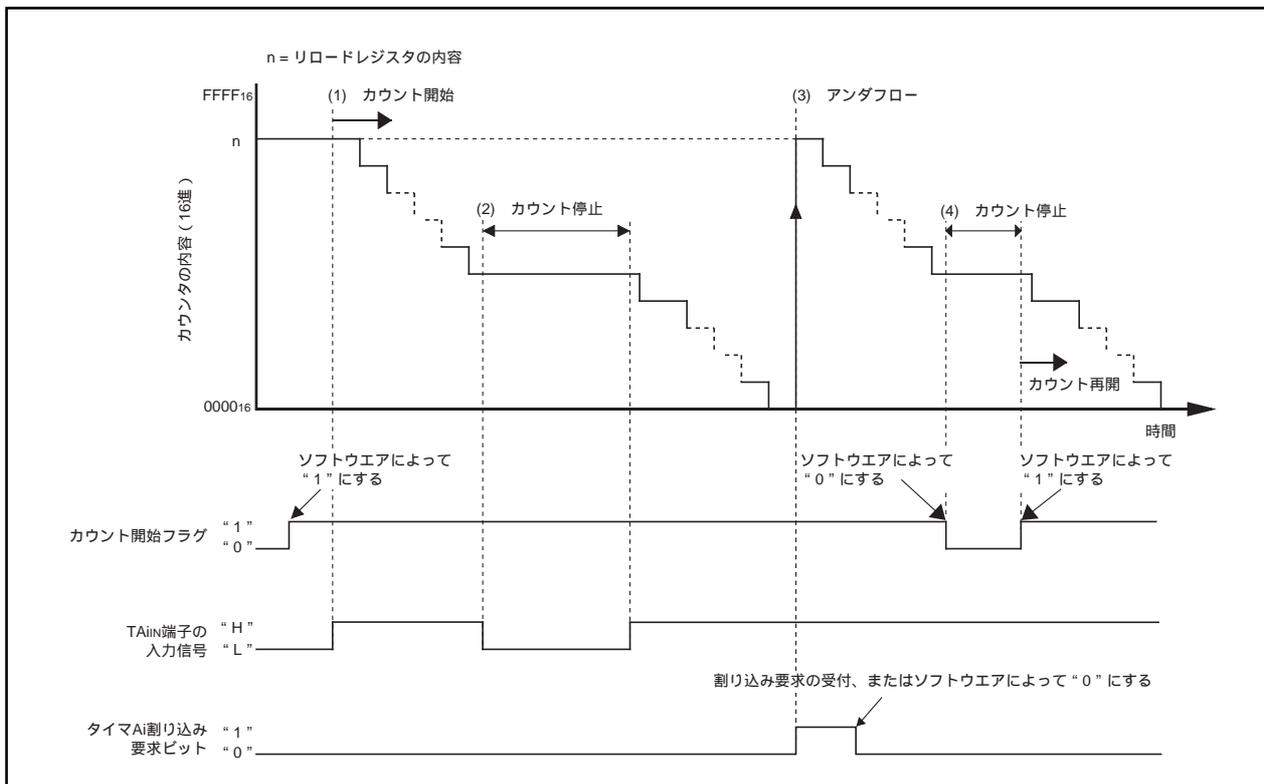


図2.2.8. タイマモード、ゲート機能選択時の動作タイミング図

タイマA

タイマモードの選択および各機能の選択

タイマAiモードレジスタ (i=0~4) 【0396₁₆~039A₁₆番地】
TAiMR(i=0~4)

タイマモードの選択

パルス出力機能選択ビット
0: パルス出力なし(TA_iOUT端子は通常のポート端子)

ゲート機能選択ビット
b4 b3
1 1: TA_iIN端子の入力信号が“H”レベルの期間だけカウントを行う(注1)

タイマモードでは必ず“0”に固定してください

カウントソース選択ビット
b7 b6
0 0: f₁
0 1: f₈
1 0: f₃₂
1 1: f_{c32}

b7	b6	カウントソース	カウントソースの周期 f(X _{IN}): 10MHz f(X _{CIN}): 32.768kHz
0	0	f ₁	100ns
0	1	f ₈	800ns
1	0	f ₃₂	3.2μs
1	1	f _{c32}	976.56μs

注1. 対応するポート方向レジスタは“0”にしてください。

分周比の設定

0000₁₆~FFFF₁₆を設定可能

タイマA0レジスタ 【0387₁₆, 0386₁₆番地】 TA0
 タイマA1レジスタ 【0389₁₆, 0388₁₆番地】 TA1
 タイマA2レジスタ 【038B₁₆, 038A₁₆番地】 TA2
 タイマA3レジスタ 【038D₁₆, 038C₁₆番地】 TA3
 タイマA4レジスタ 【038F₁₆, 038E₁₆番地】 TA4

時計用プリスケアラセットフラグの設定

(カウントソースにf_{c32}を選択したときだけ有効です。X_{CIN}を32分周してf_{c32}を作成するためのプリスケアラをリセットします。)

時計用プリスケアラセットフラグ 【0381₁₆番地】
CPSRF

時計用プリスケアラセットフラグ
0: 何もおこらない
1: プリスケアラリセット(読み出し時は“0”)

カウント開始フラグの設定

カウント開始フラグ 【0380₁₆番地】
TABSR

タイマA0カウント開始フラグ
 タイマA1カウント開始フラグ
 タイマA2カウント開始フラグ
 タイマA3カウント開始フラグ
 タイマA4カウント開始フラグ

カウント開始

図2.2.9. タイマモード、ゲート機能選択時のレジスタ設定手順

タイマA

2.2.4 タイマA動作 (タイマモード、パルス出力機能選択時)

タイマモードでは、表2.2.3に示す項目の中から機能を選択できます。ここでは、表2.2.3に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.2.10に動作タイミングを、図2.2.11に設定手順を示します。

表2.2.3. 設定内容

設定項目	設定内容
カウントソース	内部のカウントソース($f_1 / f_8 / f_{32} / f_{C32}$)
パルス出力機能	パルス出力なし
	パルス出力あり
ゲート機能	ゲート機能なし
	TAiN端子が“L”レベルの期間だけカウントを行う
	TAiN端子が“H”レベルの期間だけカウントを行う

- 動作
- (1) カウント開始フラグを“1”にすると、カウンタはカウントソースをダウンカウントします。
 - (2) アンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。
同時に、タイマAi割り込み要求ビットが“1”になります。また、TAiOUT端子の出力極性が反転します。
 - (3) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。また、TAiOUT端子は“L”レベルを出力します。

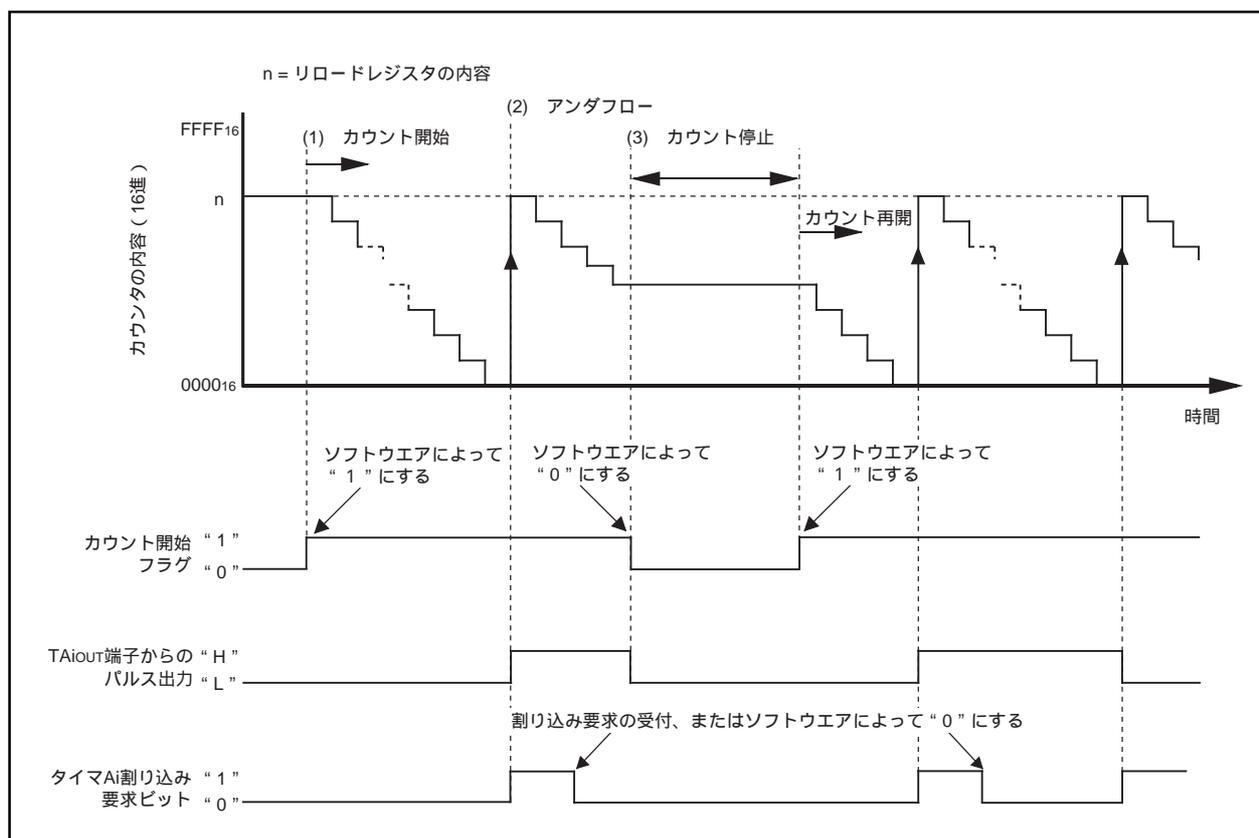
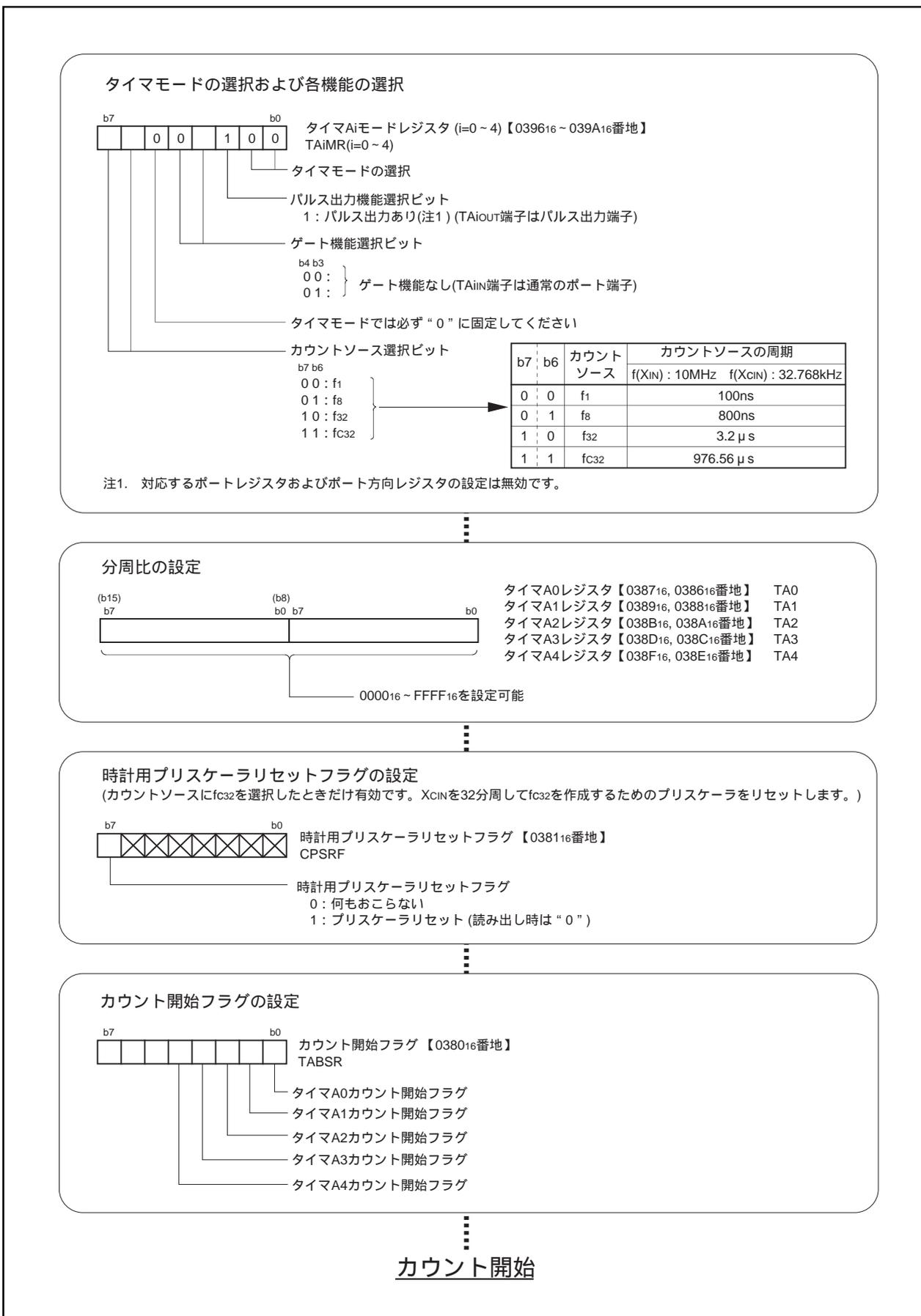


図2.2.10. タイマモード、パルス出力機能選択時の動作タイミング図

タイマA



タイマA

2.2.5 タイマA動作 (イベントカウンタモード、リロードタイプ選択時)

イベントカウンタモードでは、表2.2.4に示す項目の中から機能を選択できます。ここでは、表2.2.4に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.2.12に動作タイミングを、図2.2.13に設定手順を示します。

表2.2.4. 設定内容

設定項目	設定内容	設定項目	設定内容
カウントソース	TAiIn端子の入力信号 (立ち下がりをカウント)	パルス出力機能	パルス出力なし
	TAiIn端子の入力信号 (立ち上りをカウント)	パルス出力機能	パルス出力あり
	タイマのオーバーフロー (TB2のオーバーフロー/ TAjのオーバーフロー)	カウント動作タイプ	リロードタイプ
		アップ/ダウン 切り替え要因	フリーランタイプ
			アップダウンフラグの内容
			TAiOut端子の入力信号

注1. $j = i - 1$ 。ただし、 $i = 0$ のとき $j = 4$ 。

- 動作
- (1) カウント開始フラグを“1”にすると、カウンタはカウントソースの立ち下がりを実行してカウントします。
 - (2) アンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。同時に、タイマAi割り込み要求ビットが“1”になります。
 - (3) カウント中にアップカウント/ダウンカウントを切り替えた場合は、次のカウントソースの有効エッジからアップカウント/ダウンカウントが切り替わります。
 - (4) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。
 - (5) オーバーフローすると、リロードレジスタの内容をリロードしてカウントを続けます。同時に、タイマAi割り込み要求ビットが“1”になります。

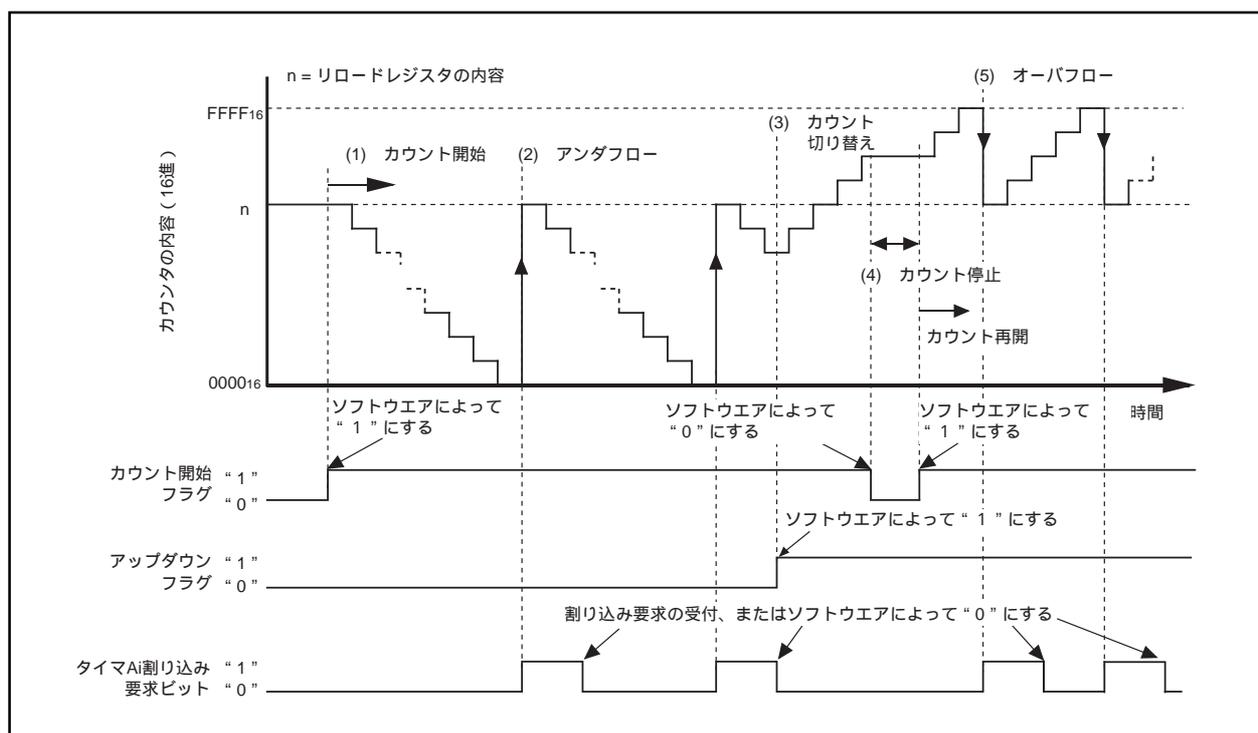
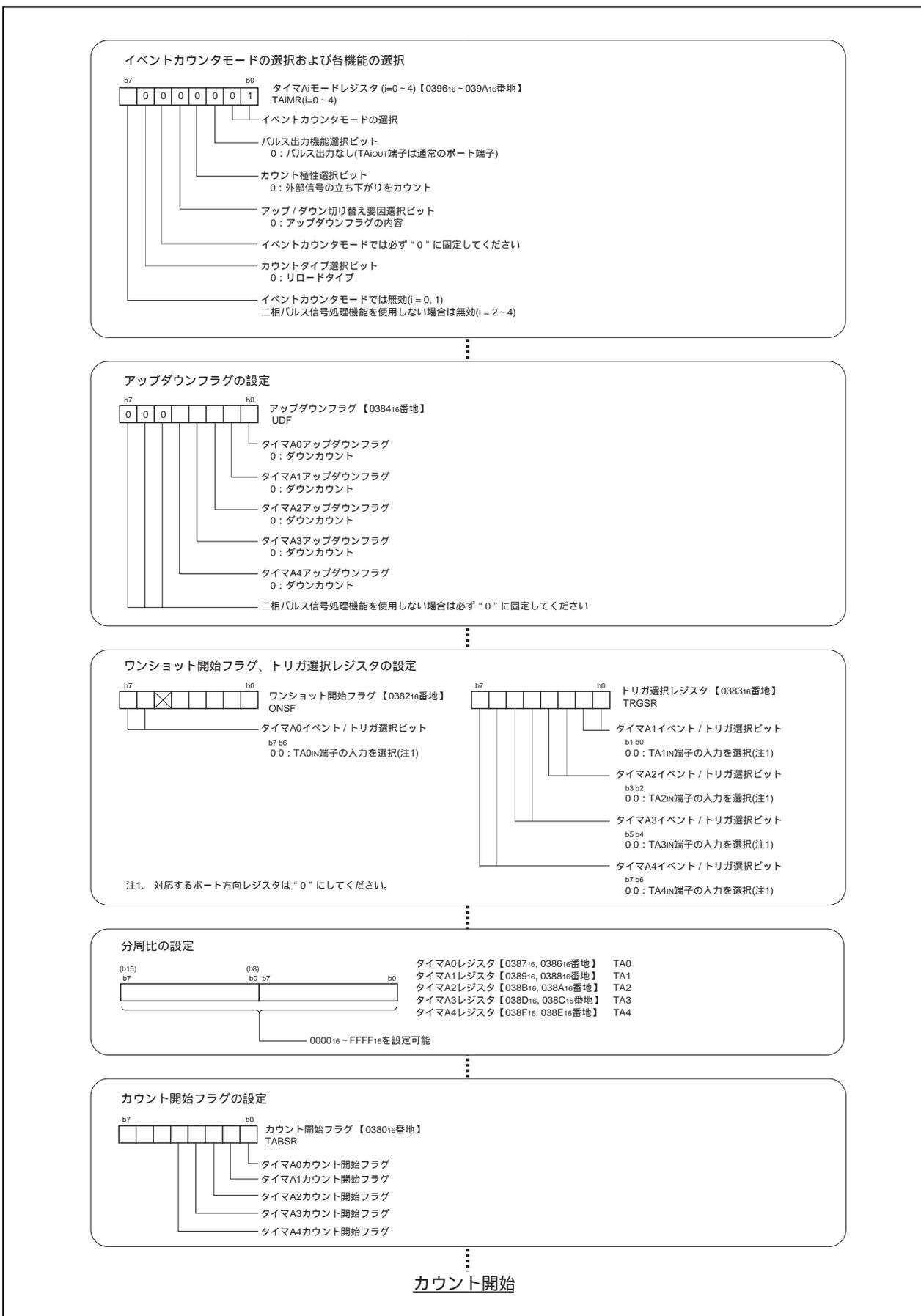


図2.2.12. イベントカウンタモード、リロードタイプ選択時の動作タイミング図

タイマA



タイマA

2.2.6 タイマA動作 (イベントカウンタモード、フリーランタイプ選択時)

イベントカウンタモードでは、表2.2.5に示す項目の中から機能を選択できます。ここでは、表2.2.5に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.2.14に動作タイミングを、図2.2.15に設定手順を示します。

表2.2.5. 設定内容

設定項目	設定内容	設定項目	設定内容
カウントソース	TAiIn端子の入力信号 (立ち下がりをカウント)	パルス出力機能	パルス出力なし
	TAiIn端子の入力信号 (立ち上がりをカウント)		パルス出力あり
	タイマのオーバーフロー (TB2のオーバーフロー/ TAjのオーバーフロー)	カウント動作タイプ	リロードタイプ
		アップ/ダウン 切り替え要因	フリーランタイプ
			アップダウンフラグの内容
			TAiOUT端子の入力信号

注1. $j = i-1$ 。ただし、 $i = 0$ のとき $j = 4$ 。

- 動作
- (1) カウント開始フラグを“1”にすると、カウンタはカウントソースの立ち下がりをカウントします。
 - (2) アンダフローしても、リロードレジスタの内容がリロードされずカウントを続けます。同時に、タイマAi割り込み要求ビットが“1”になります。
 - (3) カウント中にアップカウント/ダウンカウントを切り替えた場合は、次のカウントソースの有効エッジからアップカウント/ダウンカウントが切り替わります。
 - (4) オーバフローしても、リロードレジスタの内容がリロードされずカウントを続けます。同時に、タイマAi割り込み要求ビットが“1”になります。

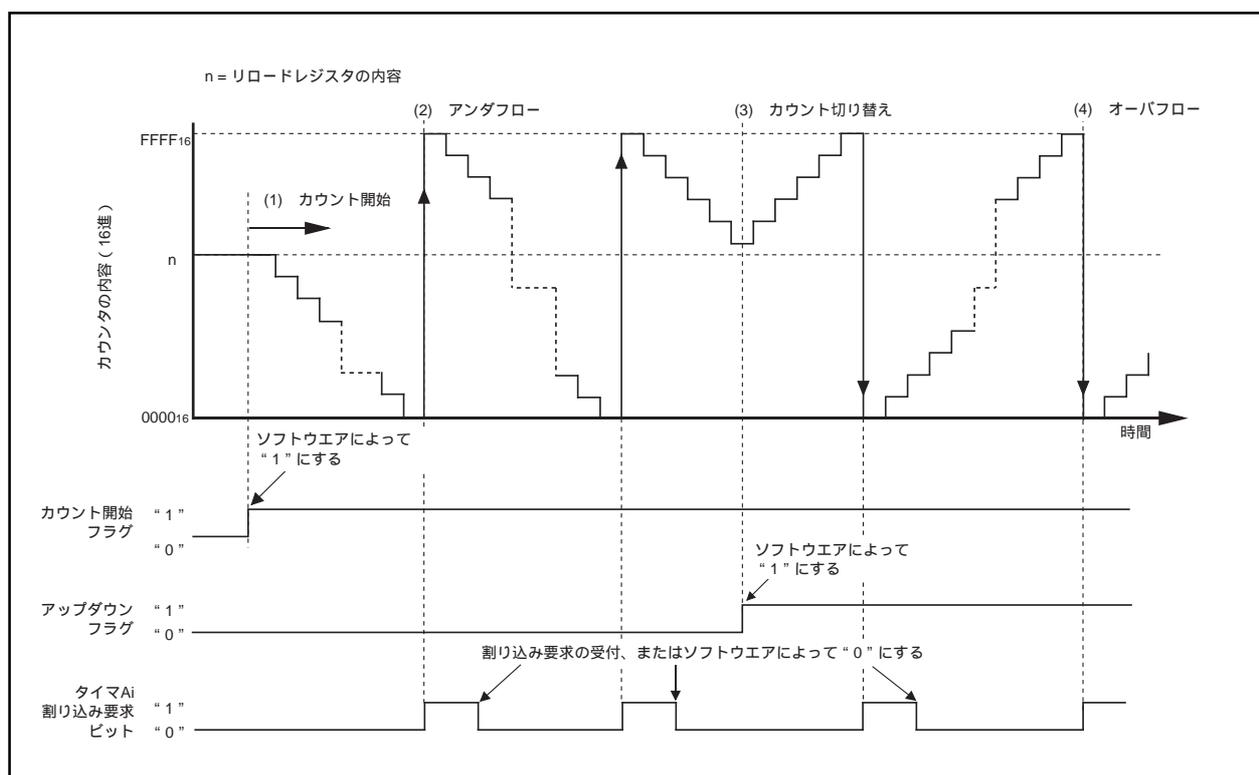
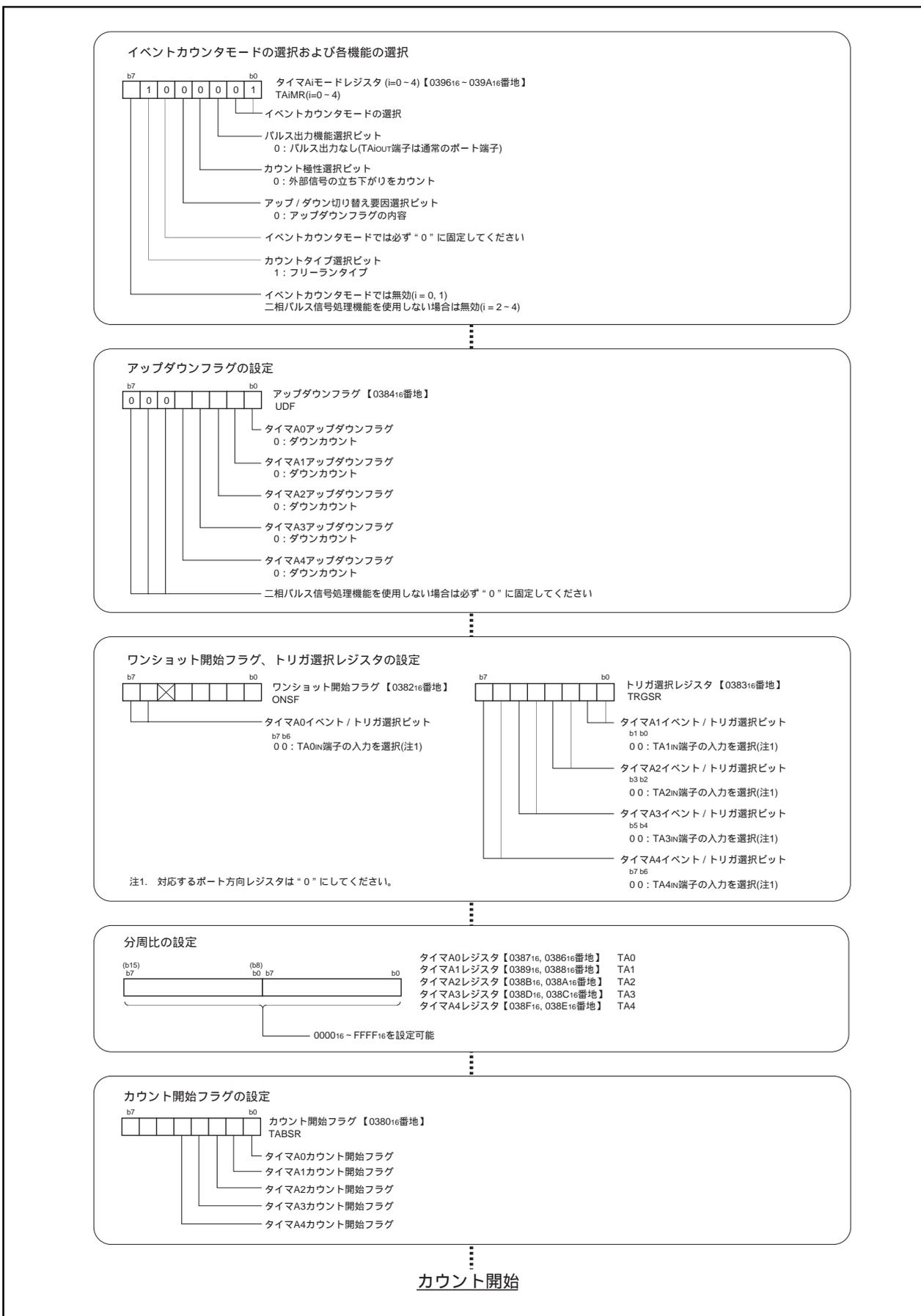


図2.2.14. イベントカウンタモード、フリーランタイプ選択時の動作タイミング図

タイマA



タイマA

2.2.7 タイマA動作 (イベントカウンタモード2相パルス信号処理、通常モード選択時)

イベントカウンタモード2相パルス信号処理では、表2.2.6に示す項目の中から機能を選択できます。ここでは、表2.2.6に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.2.16に動作タイミングを、図2.2.17に設定手順を示します。

表2.2.6. 設定内容

設定項目	設定内容
カウント動作タイプ	リロードタイプ
	フリーランタイプ
二相パルス処理動作(注1)	通常処理動作
	4逓倍処理動作

注1. タイマA3だけ選択できます。タイマA2は通常処理動作に、タイマA4は4逓倍処理動作に固定です。

- 動作
- (1) カウント開始フラグを“1”にすると、カウンタはカウントソースの有効エッジをカウントします。
 - (2) アンダフローしても、リロードレジスタの内容がリロードされずカウントを続けます。同時に、タイマAi割り込み要求ビットが“1”になります。
 - (3) オーバフローしても、リロードレジスタの内容がリロードされずカウントを続けます。同時に、タイマAi割り込み要求ビットが“1”になります。

- 補足説明
- ・アップカウント、ダウンカウントする条件は次のとおりです。
TAiOUT端子が“H”のときTAiIN端子に立ち上がりエッジがあればアップカウントします。
TAiOUT端子が“H”のときTAiIN端子に立ち下がりエッジがあればダウンカウントします。

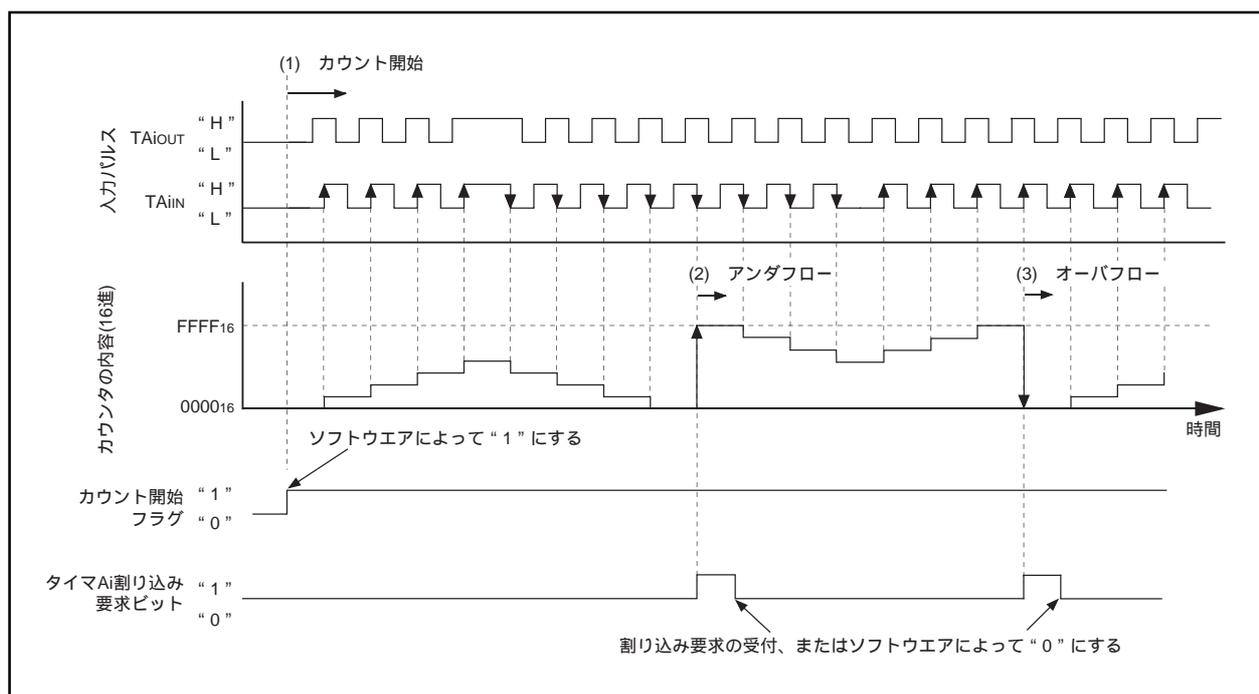


図2.2.16. イベントカウンタモード2相パルス信号処理、通常モード選択時の動作タイミング図

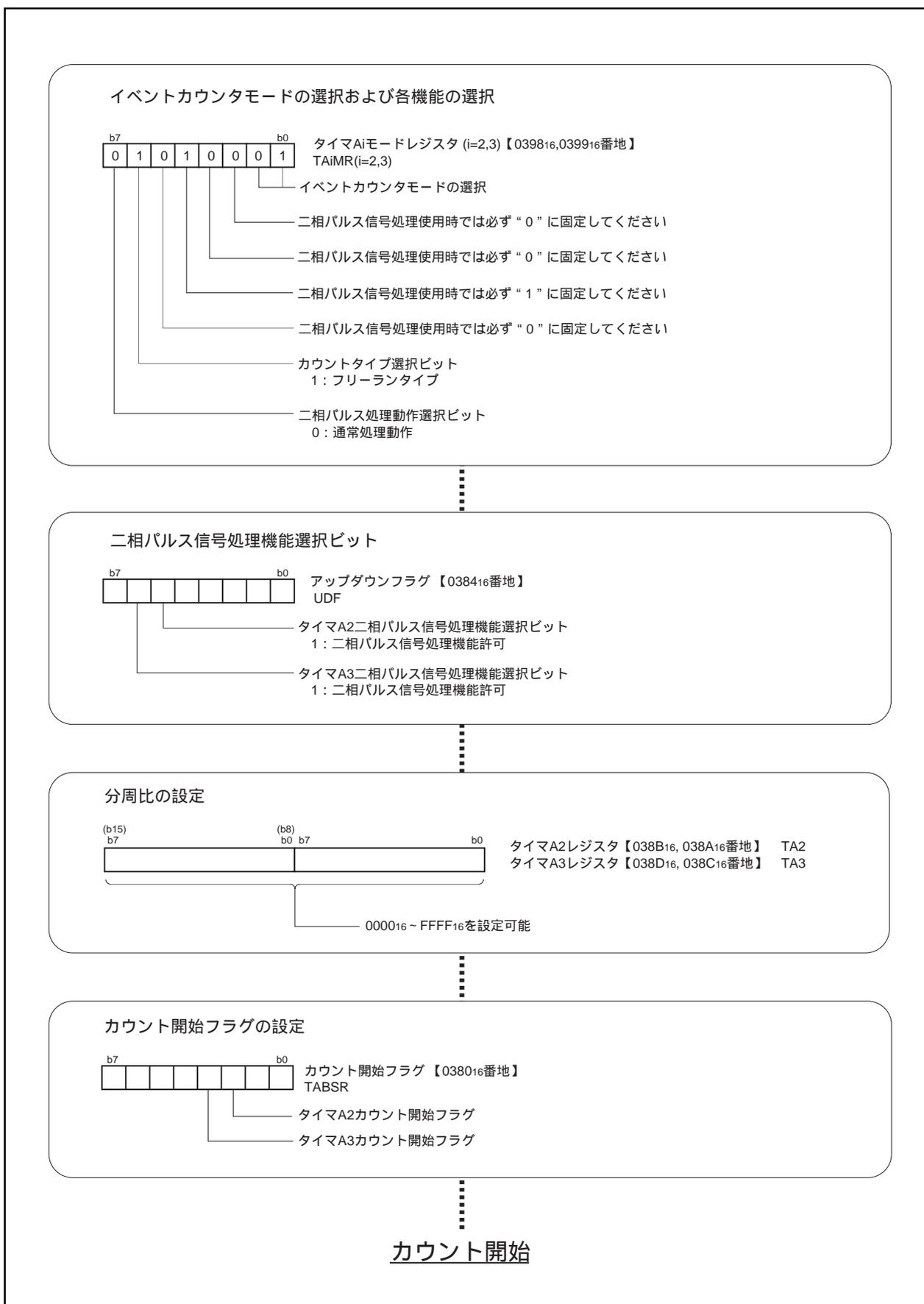


図2.2.17. イベントカウンタモード2相パルス信号処理、通常モード選択時のレジスタ設定手順

タイマA

2.2.8 タイマA動作 (イベントカウンタモード2相パルス信号処理、4通倍モード選択時)

イベントカウンタモード2相パルス信号処理では、表2.2.7に示す項目の中から機能を選択できます。ここでは、表2.2.7に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.2.18に動作タイミングを、図2.2.19に設定手順を示します。

表2.2.7. 設定内容

設定項目	設定内容	設定項目	設定内容
カウンタ動作タイプ	リロードタイプ	二相パルス処理動作(注1)	通常処理動作
	フリーランタイプ		4通倍処理動作

注1. タイマA3だけ選択できます。タイマA2は通常処理動作に、タイマA4は4通倍処理動作に固定です。

- 動作
- (1) カウンタ開始フラグを“1”にすると、カウンタはカウントソースの有効エッジをカウントします。
 - (2) アンダフローしても、リロードレジスタの内容がリロードされずカウントを続けます。同時に、割り込み要求ビットが“1”になります。
 - (3) オーバフローしても、リロードレジスタの内容がリロードされずカウントを続けます。同時に、割り込み要求ビットが“1”になります。

補足説明 ・アップカウント、ダウンカウントする条件は次のとおりです。

表2.2.8. アップカウント、ダウンカウントする条件

	TAiout端子の入力信号	TAiin端子の入力信号		TAiout端子の入力信号	TAiin端子の入力信号
アップ カウント	“H”レベル	立ち上がり	ダウン カウント	“H”レベル	立ち下がり
	“L”レベル	立ち下がり		“L”レベル	立ち上がり
	立ち上がり	“L”レベル		立ち上がり	“H”レベル
	立ち下がり	“H”レベル		立ち下がり	“L”レベル

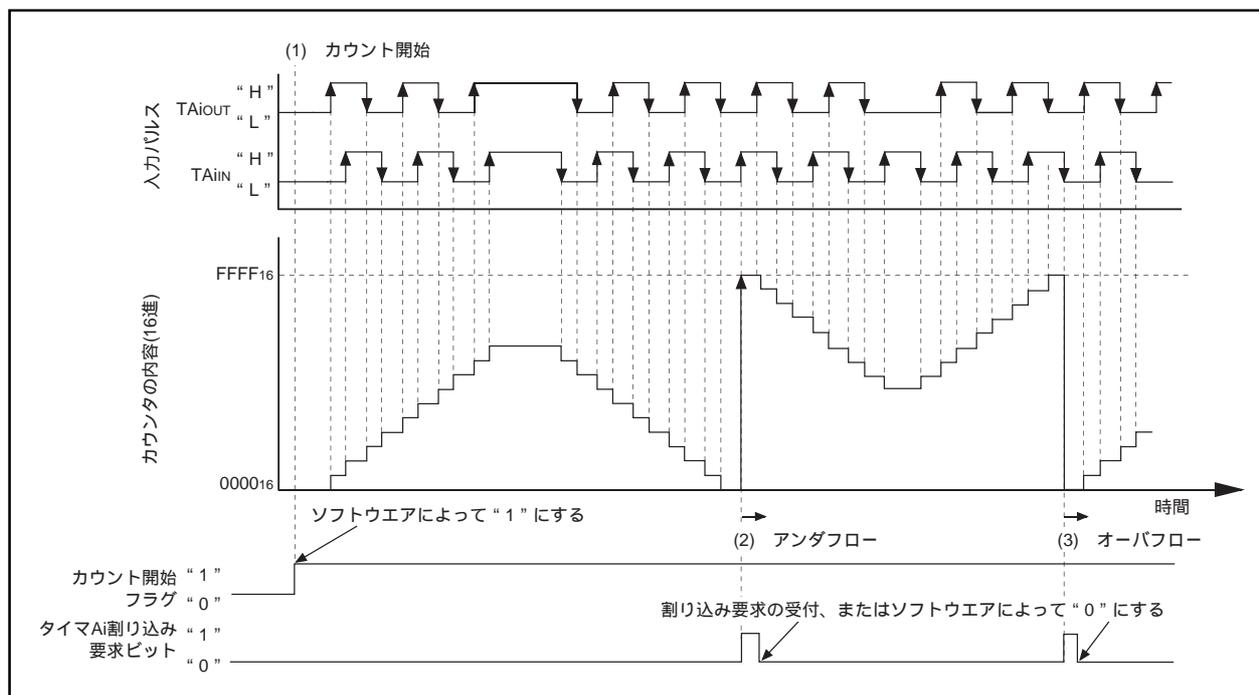


図2.2.18. イベントカウンタモード2相パルス信号処理、4通倍モード選択時の動作タイミング図

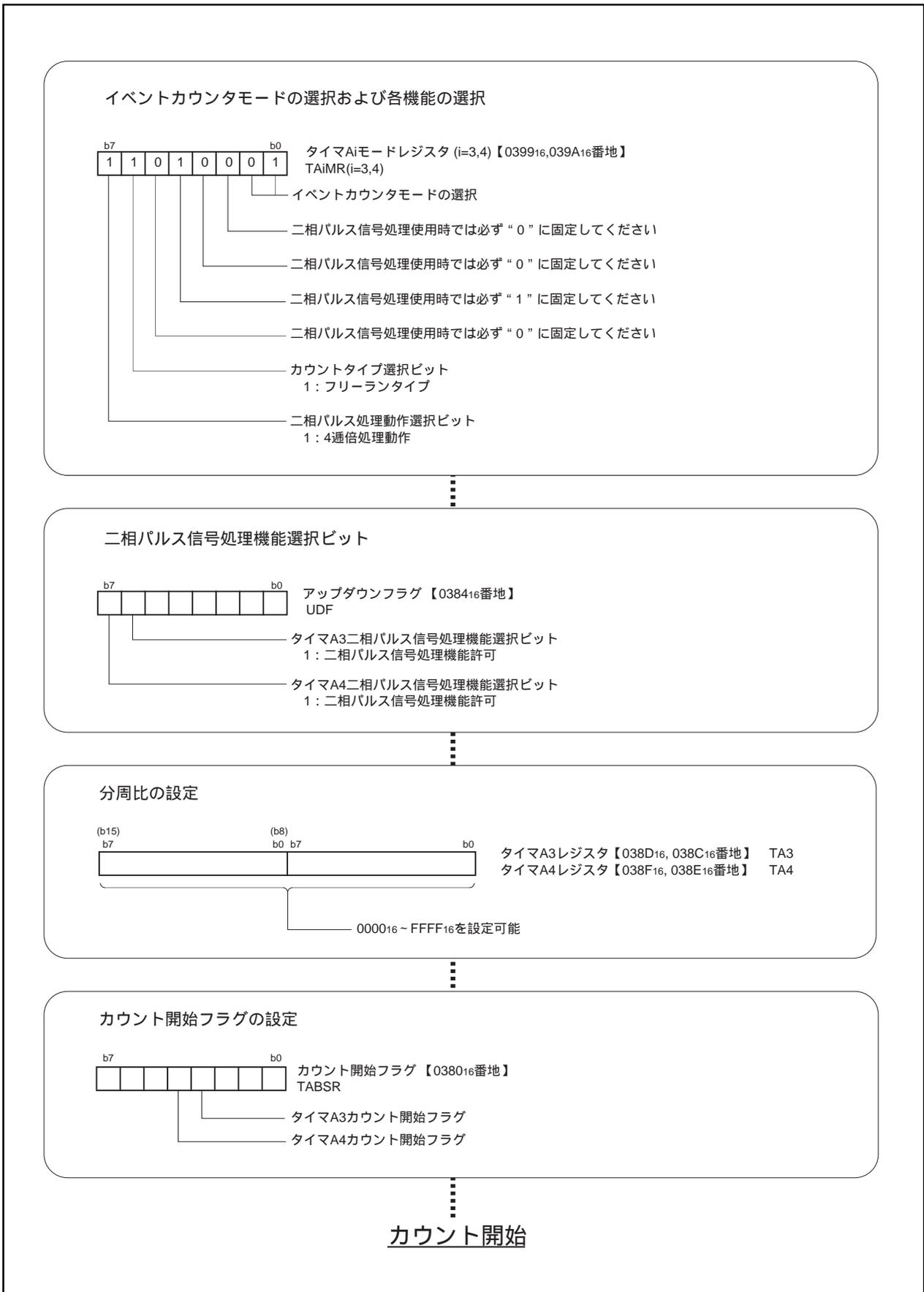


図2.2.19. イベントカウンタモード2相パルス信号処理、4通倍モード選択時のレジスタ設定手順

2.2.9 タイマA動作 (ワンショットタイマモード)

ワンショットタイマモードでは、表2.2.9に示す項目の中から機能を選択できます。ここでは、表2.2.9に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.2.20に動作タイミングを、図2.2.21に設定手順を示します。

表2.2.9. 設定内容

設定項目	設定内容
カウントソース	内部のカウントソース($f_1 / f_8 / f_{32} / f_{c32}$)
パルス出力機能	パルス出力なし
	パルス出力あり
カウント開始条件	外部トリガ入力(TAiN端子の入力信号の立ち下がり)
	外部トリガ入力(TAiN端子の入力信号の立ち上がり)
	タイマのオーバーフロー(TB2のオーバーフロー / TAjのオーバーフロー / TAcのオーバーフロー)
	ワンショット開始フラグへの“1”書き込み

注1. $j = i - 1$ 。ただし、 $i = 0$ のとき $j = 4$ 。 $k = i + 1$ 。ただし、 $i = 4$ のとき $k = 0$ 。

- 動作
- (1) カウント開始フラグが“1”の状態ワンショット開始フラグを“1”にすると、カウンタはカウントソースをダウンカウントします。
同時に、TAiOUT端子の出力レベルは“H”になります。
 - (2) カウンタの値が“0000₁₆”になるとき、TAiOUT端子の出力レベルは“L”になり、カウンタはリロードレジスタの内容をリロードしてカウントを停止します。
同時に、タイマAi割り込み要求ビットが“1”になります。
 - (3) カウント中にトリガが発生した場合、再度リロードレジスタの値をリロードしてカウントを続けます。リロードするタイミングはトリガが入力した次のカウントソース入力です。
 - (4) カウント開始フラグを“0”にすると、カウンタはカウントを停止し、リロードレジスタの内容をリロードします。また、TAiOUT端子の出力レベルは“L”になります。
同時に、タイマAiの割り込み要求ビットが“1”になります。

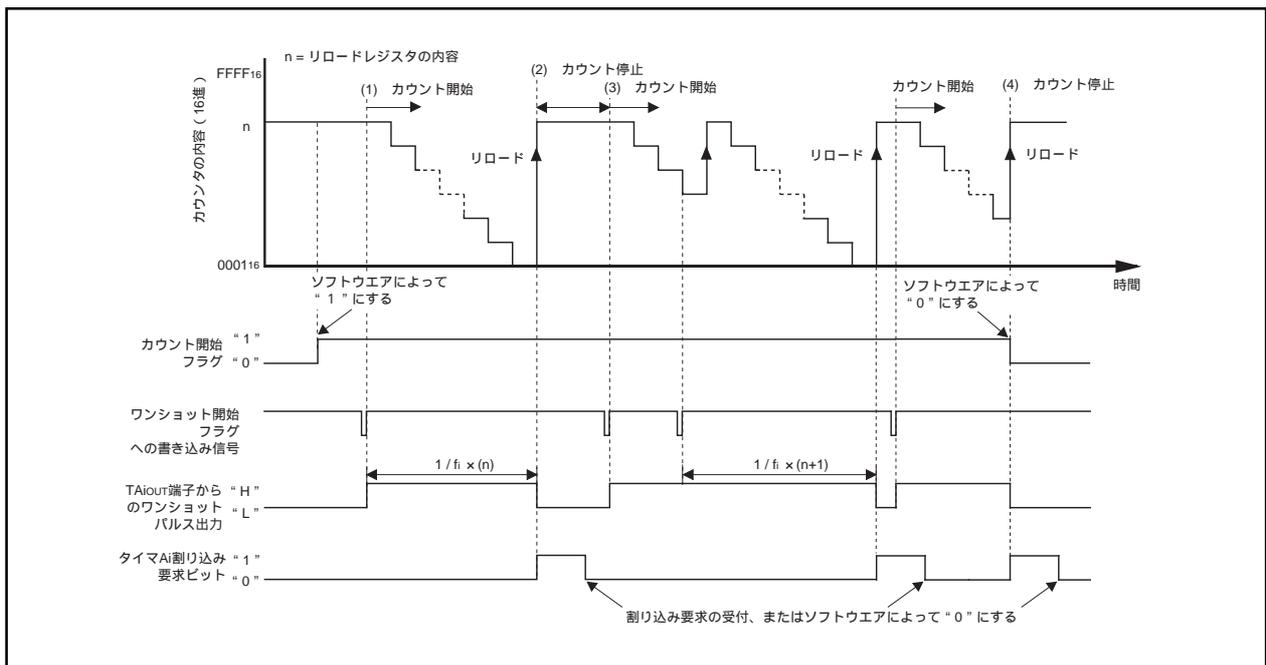
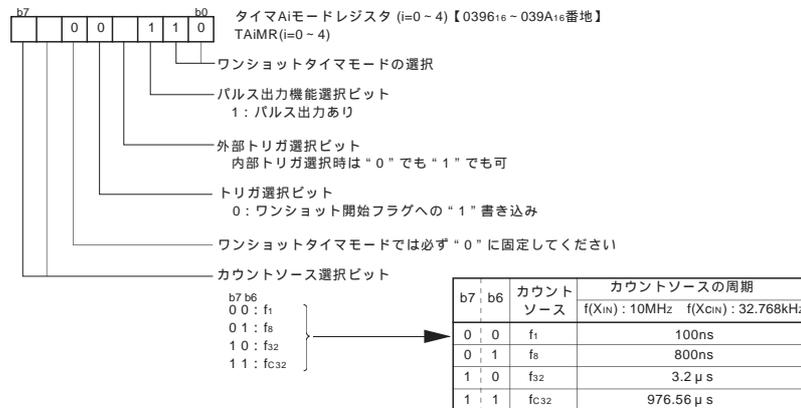


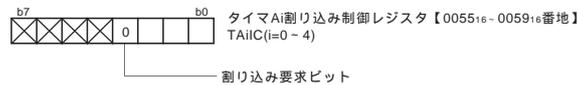
図2.2.20. ワンショットタイマモード動作タイミング図

タイマA

ワンショットタイマモードの選択および各機能の選択



タイマAi 割り込み要求ビットのクリア (タイマAの注意事項(ワンショットタイマモード)を参照してください。)

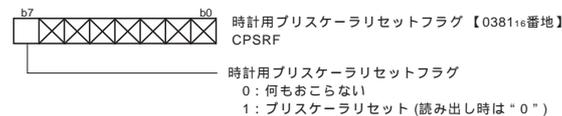


ワンショットタイマの時間設定

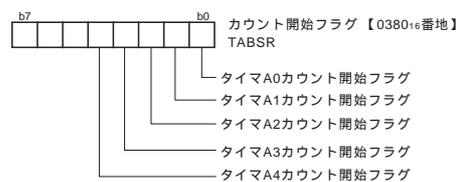


時計用プリスケアラセットフラグの設定

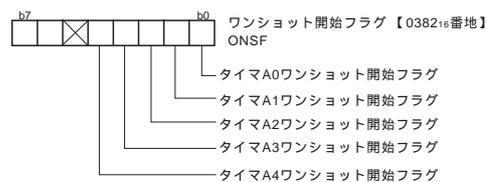
(カウントソースにf_{c32}を選択したときだけ有効です。X_{CIN}を32分周してf_{c32}を作成するためのプリスケアラをリセットします。)



カウント開始フラグの設定



ワンショット開始フラグの設定



カウント開始

図2.2.21. ワンショットタイマモード時のレジスタ設定手順

2.2.10 タイマA動作 (ワンショットタイマモード、外部トリガ選択時)

ワンショットタイマモードでは、表2.2.10に示す項目の中から機能を選択できます。ここでは、表2.2.10に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.2.22に動作タイミングを、図2.2.23に設定手順を示します。

表2.2.10. 設定内容

設定項目	設定内容
カウントソース	内部のカウントソース($f_1 / f_8 / f_{32} / f_{c32}$)
パルス出力機能	パルス出力なし
	パルス出力あり
カウント開始条件	外部トリガ入力(TA _i n端子の入力信号の立ち下がり)
	外部トリガ入力(TA _i n端子の入力信号の立ち上がり)
	タイマのオーバーフロー(TB ₂ のオーバーフロー / TA _j のオーバーフロー / TA _k のオーバーフロー)
	ワンショット開始フラグへの“1”書き込み

注1. $j = i-1$ 。ただし、 $i = 0$ のとき $j = 4$ 。 $k = i+1$ 。ただし、 $i = 4$ のとき $k = 0$ 。

動作

- (1) カウント開始フラグが“1”の状態ではTA_in端子の入力信号が“L”レベルから“H”レベルになると、カウンタはカウントソースをダウンカウントします。
同時に、TA_iout端子の出力レベルは“H”になります。
- (2) カウンタの値が“0001₁₆”になると、TA_iout端子の出力レベルは“L”になり、カウンタはリロードレジスタの内容をリロードしてカウントを停止します。
同時に、タイマA_i割り込み要求ビットが“1”になります。
- (3) カウント中にトリガが発生した場合、再度リロードレジスタの値をリロードしてカウントを続けます。リロードするタイミングはトリガが入力した次のカウントソース入力です。
- (4) カウント開始フラグを“0”にすると、カウンタはカウントを停止し、リロードレジスタの内容をリロードします。また、TA_iout端子の出力レベルは“L”になります。
同時に、タイマA_iの割り込み要求ビットが“1”になります。

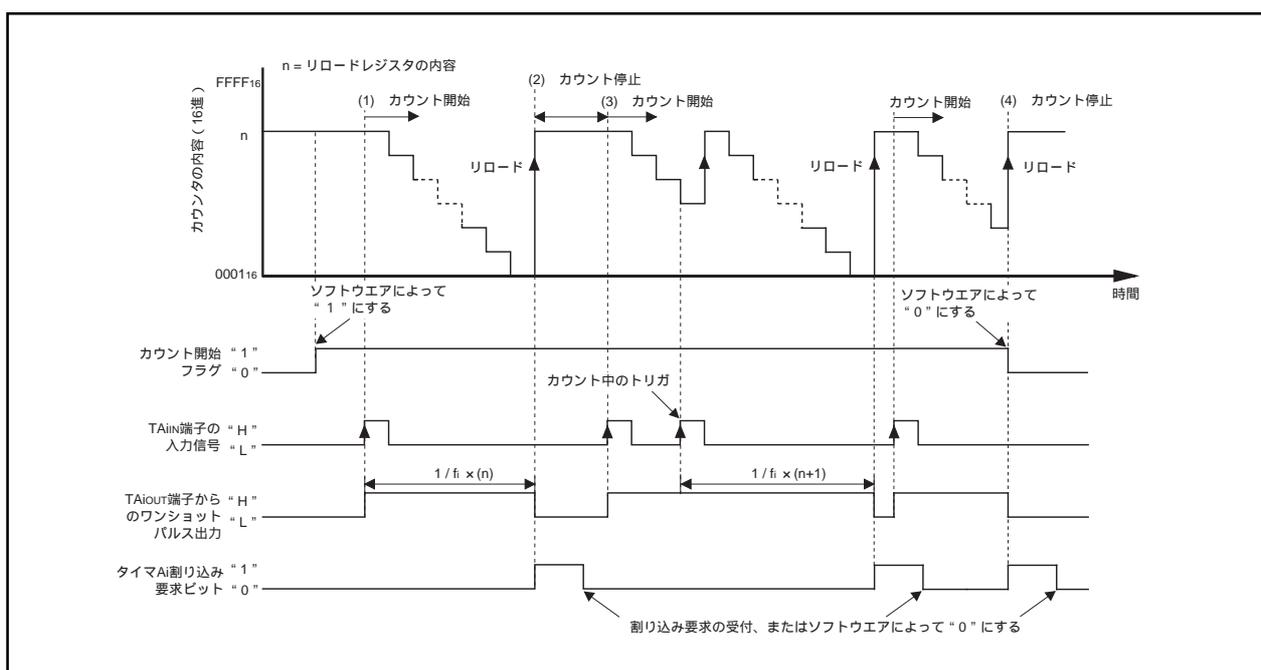


図2.2.22. ワンショットタイマモード、外部トリガ選択時の動作タイミング図

タイマA

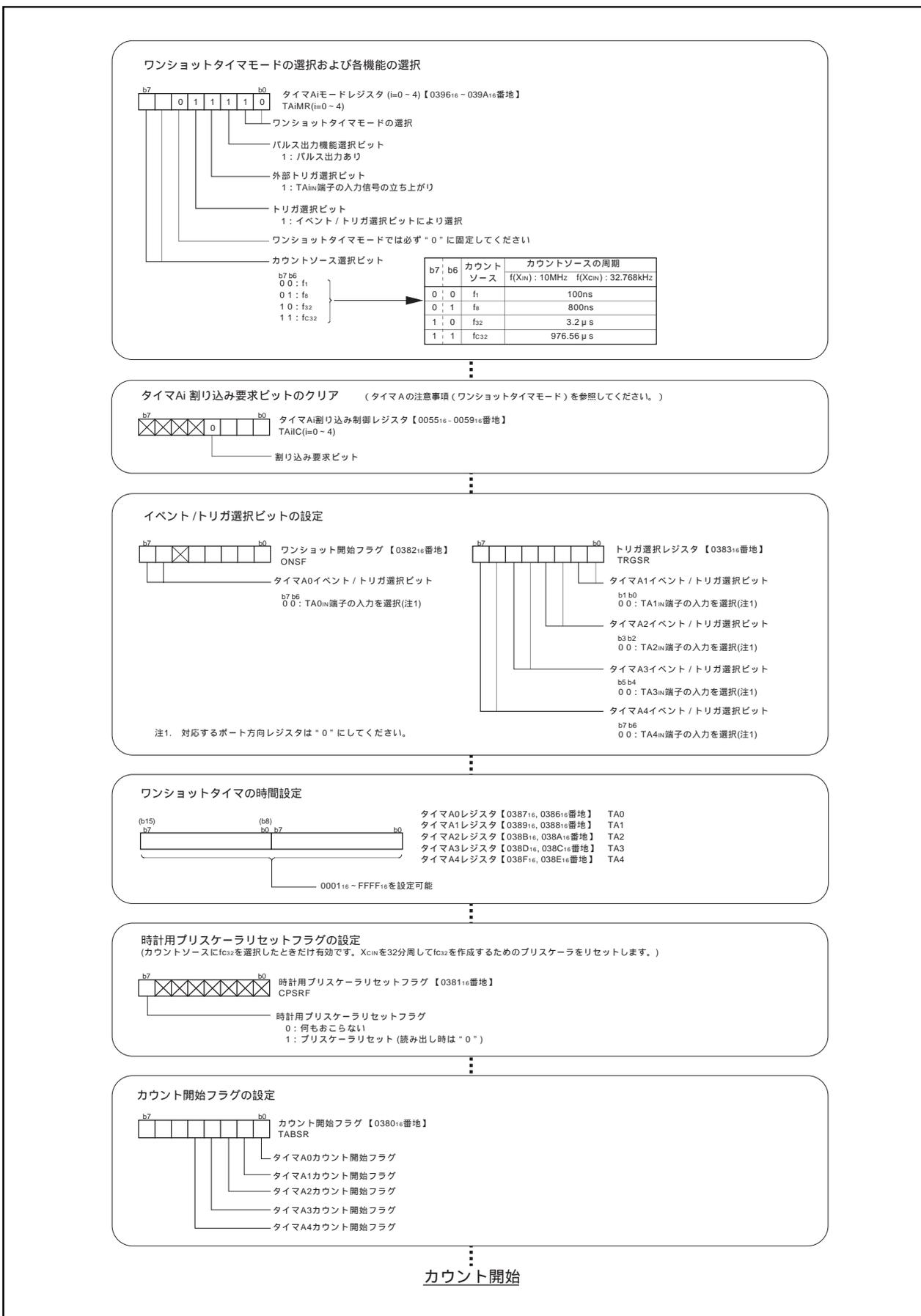


図2.2.23. ワンショットタイマモード、外部トリガ選択時のレジスタ設定手順

タイマA

2.2.11 タイマA動作 (パルス幅変調モード、16ビットPWMモード選択時)

パルス幅変調モードでは、表2.2.11に示す項目の中から機能を選択できます。ここでは、表2.2.11に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.2.24に動作タイミングを、図2.2.25に設定手順を示します。

表2.2.11. 設定内容

設定項目	設定内容
カウントソース	内部のカウントソース($f_1 / f_8 / f_{32} / f_{c32}$)
PWMモード	16ビットPWM
	8ビットPWM
カウント開始条件	外部トリガ入力(TAiIN端子の入力信号の立ち下がり)
	外部トリガ入力(TAiIN端子の入力信号の立ち上がり)
	タイマのオーバーフロー(TB2のオーバーフロー / TA _k のオーバーフロー)

注1. $j = i-1$ 。ただし、 $i = 0$ のとき $j = 4$ 。 $k = i+1$ 。ただし、 $i = 4$ のとき $k = 0$ 。

- 動作
- (1) カウント開始フラグが“1”でTAiIN端子の入力信号が“L”レベルから“H”レベルになると、カウンタはカウントソースをダウンカウントします。また、TAiOUT端子は“H”レベルを出力します。
 - (2) TAiOUT端子の出力レベルは、設定した時間を経過すると“H”から“L”になります。同時に、タイマAi割り込み要求ビットが“1”になります。
 - (3) PWMパルスを1周期出力するごとに、リロードレジスタの内容をリロードしてカウントを続けます。
 - (4) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。また、TAiOUT端子の出力レベルは“L”になります。

補足説明

- ・PWMパルスの周期は $(2^{16} - 1) / f_i$ 、“H”レベル幅は n / f_i になります。ただし、タイマAiレジスタに“0000₁₆”を設定した場合は、パルス幅変調器は動作せず、TAiOUT端子の出力レベルは“L”のままです。(f_i : カウントソースの周波数 f_1 、 f_8 、 f_{32} 、 f_{c32} n : タイマ値)

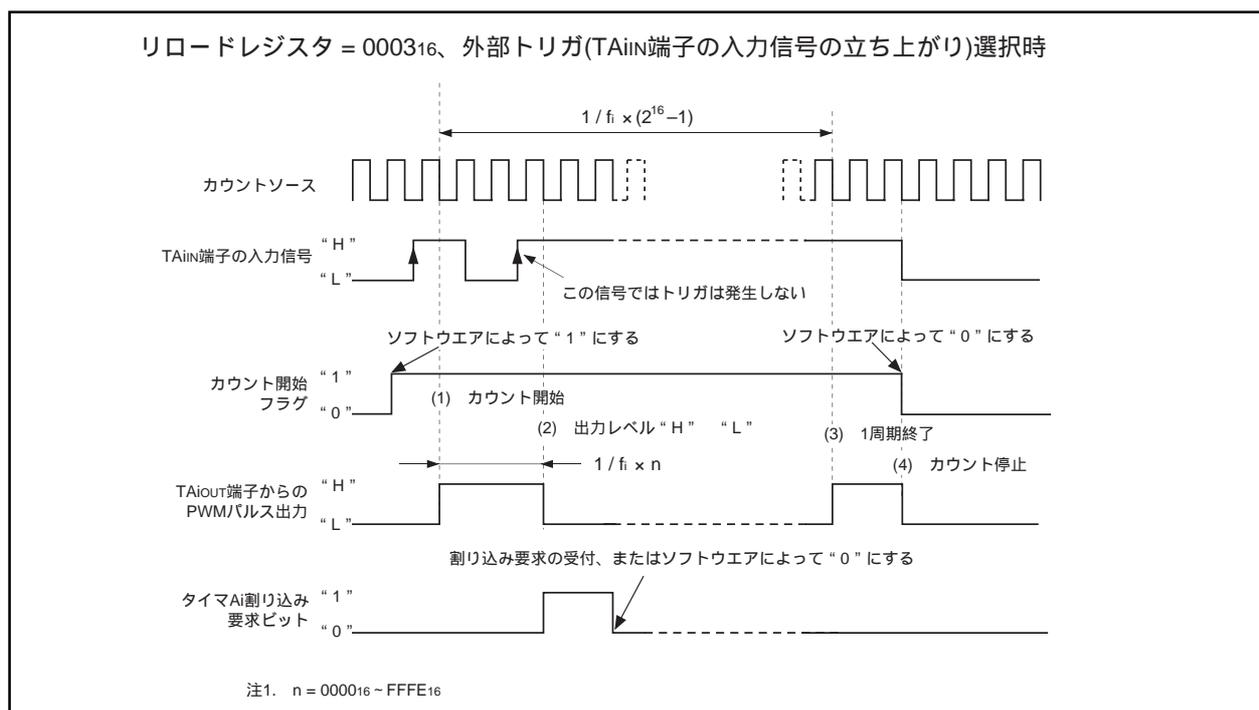


図2.2.24. パルス幅変調モード動作、16ビットPWMモード選択時のタイミング図

タイマA

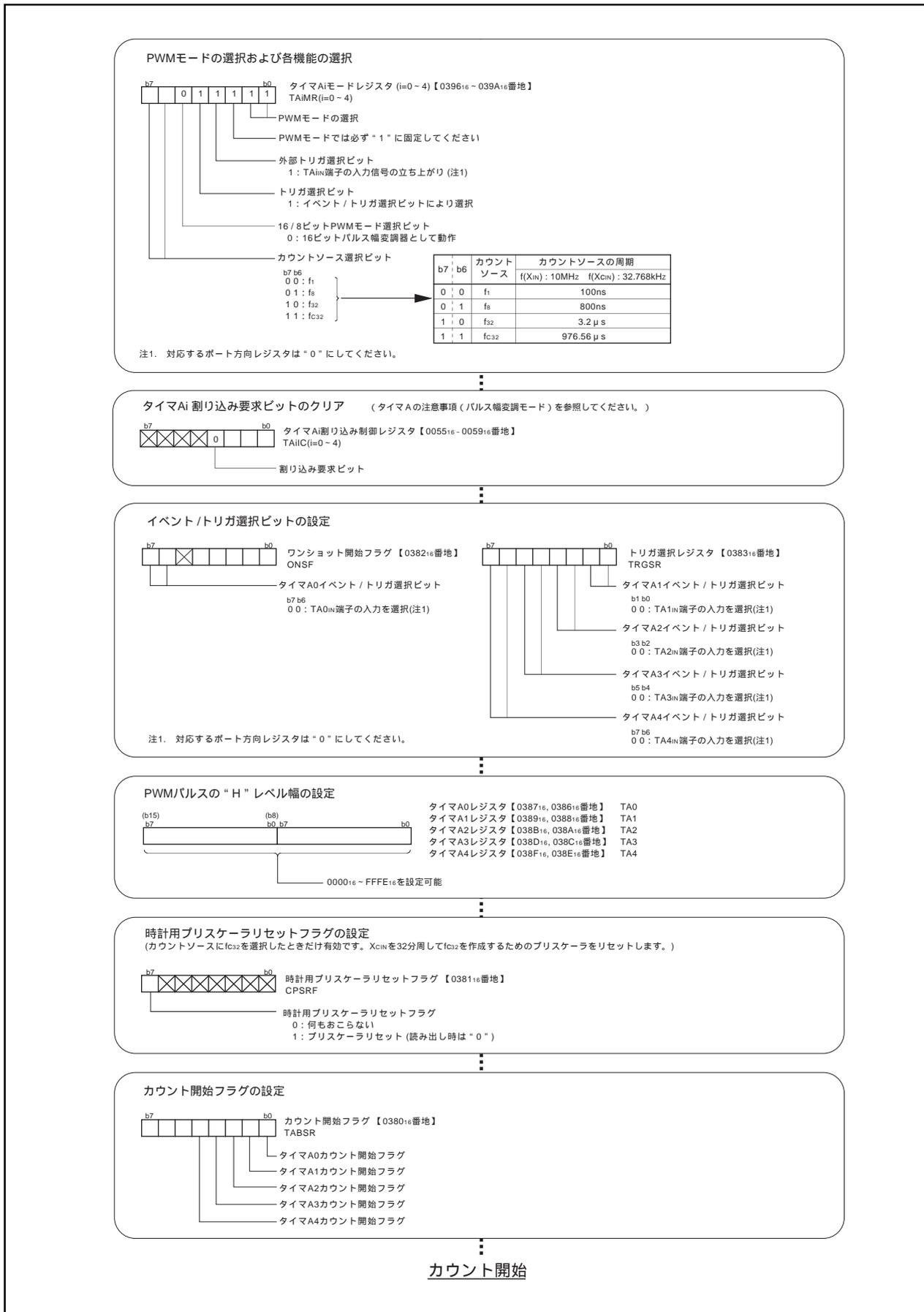


図2.2.25. パルス幅変調モード、16ビットPWMモード選択時のレジスタ設定手順

2.2.12 タイマA動作 (パルス幅変調モード、8ビットPWMモード選択時)

パルス幅変調モードでは、表2.2.12に示す項目の中から機能を選択できます。ここでは、表2.2.12に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.2.26に動作タイミングを、図2.2.27に設定手順を示します。

表2.2.12. 設定内容

設定項目	設定内容
カウントソース	内部のカウントソース($f_1 / f_8 / f_{32} / f_{c32}$)
PWMモード	16ビットPWM
	8ビットPWM
カウント開始条件	外部トリガ入力(TAiIn端子の入力信号の立ち下がり)
	外部トリガ入力(TAiIn端子の入力信号の立ち上がり)
	タイマのオーバフロー(TB2のオーバフロー / TAjのオーバフロー / TAcのオーバフロー)

注1. $j = i-1$ 。ただし、 $i = 0$ のとき $j = 4$ 。 $k = i+1$ 。ただし、 $i = 4$ のとき $k = 0$ 。

- 動作
- (1) カウント開始フラグが“1”でTAiIn端子の入力レベルが“H”から“L”になると、カウンタはカウントソースをダウンカウントします。また、TAiOUT端子は“H”レベルを出力します。
 - (2) TAiOUT端子の出力レベルは、設定した時間を経過すると“H”から“L”になります。同時に、タイマAi割り込み要求ビットが“1”になります。
 - (3) PWMパルスを1周期出力するごとに、リロードレジスタの内容をリロードしてカウントを続けます。
 - (4) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。また、TAiOUT端子は“L”レベルを出力します。

- 補足説明
- ・PWMパルスの周期は $(m+1) \times (2^8 - 1) / f_i$ 、“H”レベル幅は $n \times (m+1) / f_i$ になります。ただし、タイマAiレジスタの上位8ビットに“0016”を設定した場合は、パルス幅変調器は動作せず、TAiOUT端子の出力レベルは“L”のままです(f_i : カウントソースの周波数 $f_1, f_8, f_{32}, f_{c32}$ n : タイマ値)。
 - ・トリガ発生後、TAiOUT端子は設定したPWMパルスの“H”レベル幅と同じ幅の“L”レベルを出力し、その後、PWMパルスの出力を開始します。

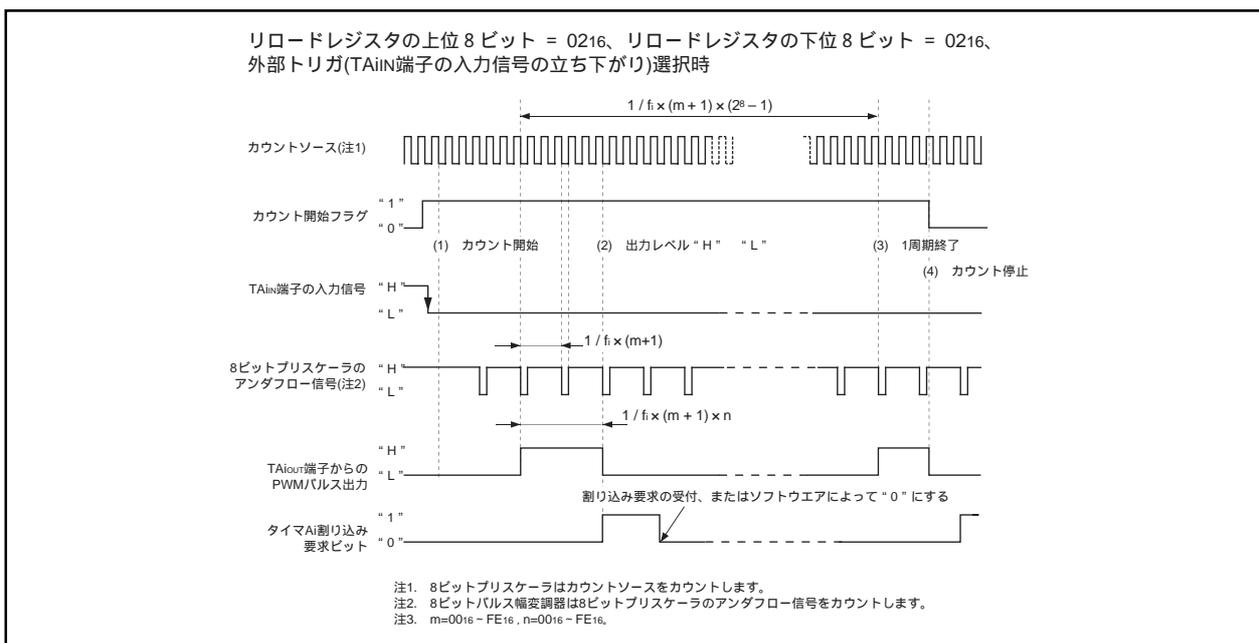


図2.2.26. パルス幅変調モード、8ビットPWMモード選択時の動作タイミング図

タイマA

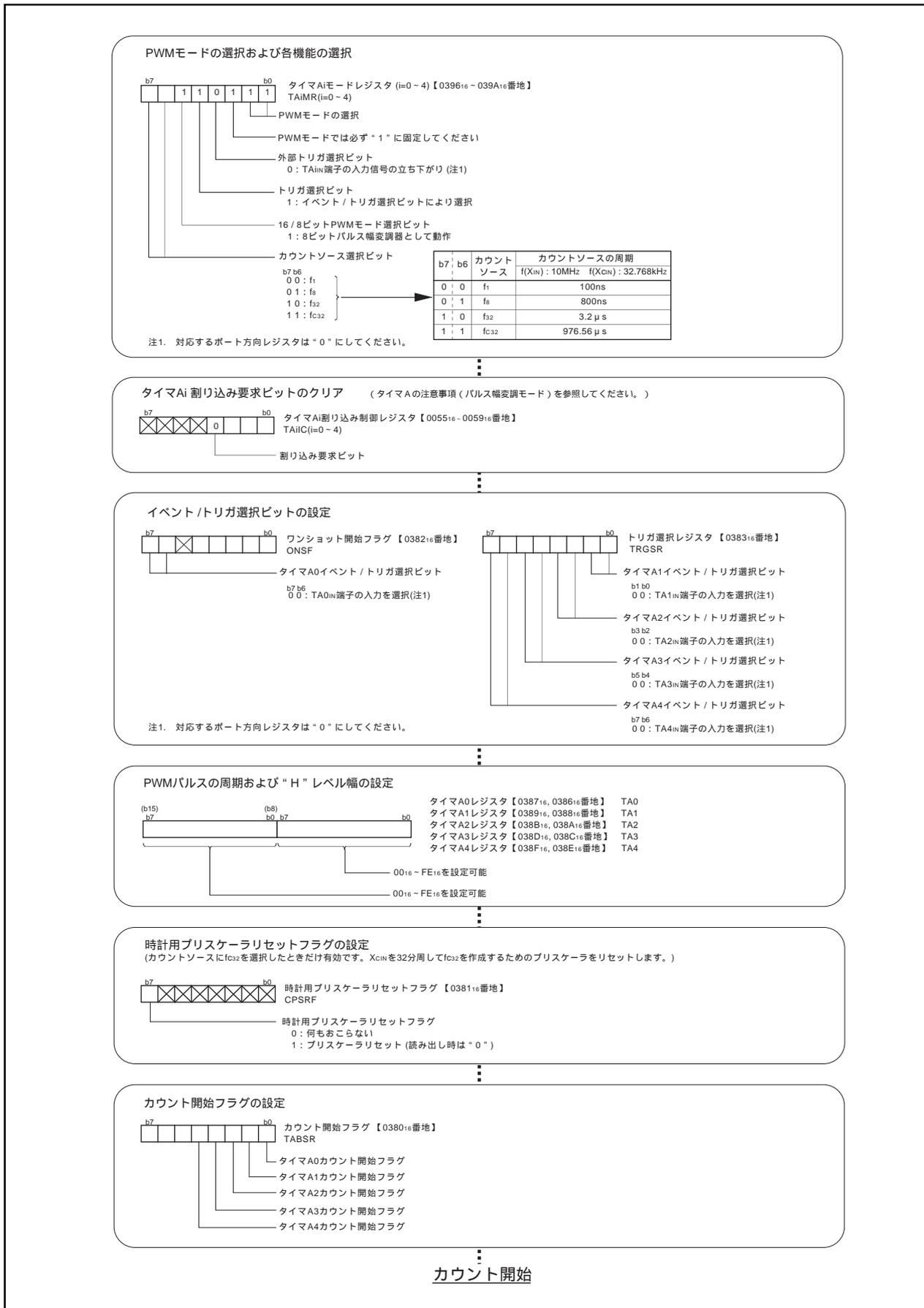


図2.2.27. パルス幅変調モード、8ビットPWMモード選択時のレジスタ設定手順

タイマA

2.2.13 タイマAの注意事項 (タイマモード)

- 内 容 (1) リセット解除後、カウント開始フラグは“0”です。タイマAiレジスタに値を設定した後、“1”にしてください。
- (2) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、図2.2.28に示すリロードタイミングで読み出した場合、FFFF₁₆が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウントがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

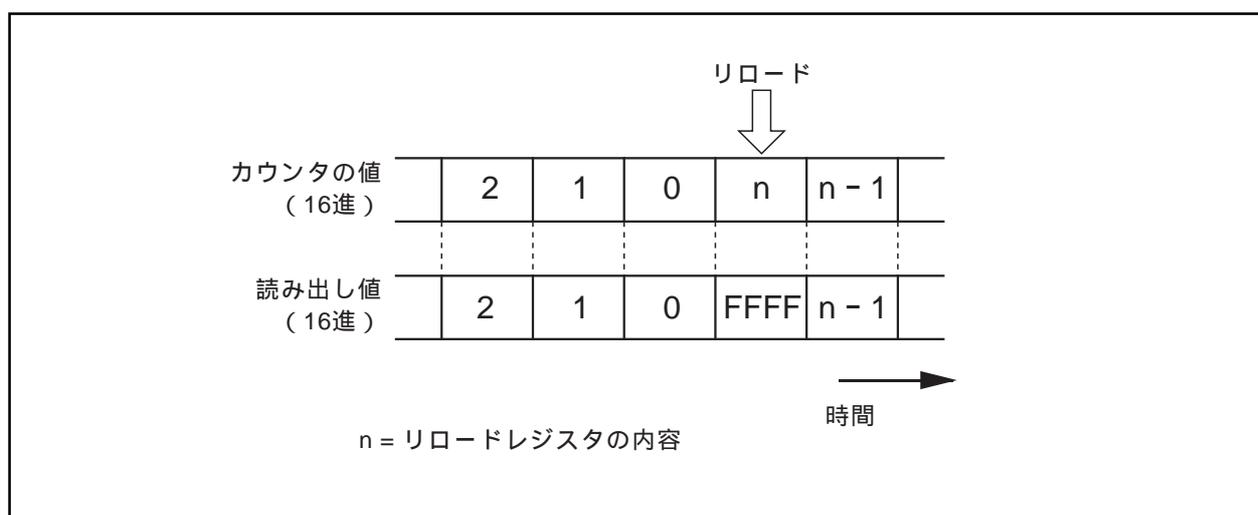


図2.2.28. タイマAiレジスタの読み出し

タイマA

2.2.14 タイマAの注意事項 (イベントカウンタモード)

- 内容 (1) リセット解除後、カウント開始フラグは“0”です。タイマAiレジスタに値を設定した後、“1”にしてください。
- (2) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、図2.2.29に示すリロードタイミングで読み出した場合、アンダフロー時は $FFFF_{16}$ が、オーバフロー時は 0000_{16} が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウントがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。
- (3) 二相パルス信号処理機能で使用する二相パルス(TAiIN、TAiOUT(i=2~4)端子への入力信号)のずれは図2.2.30に示す規格を満たしてください。
- (4) フリーランタイプ選択時、カウントを停止した場合は、タイマを再設定してください。

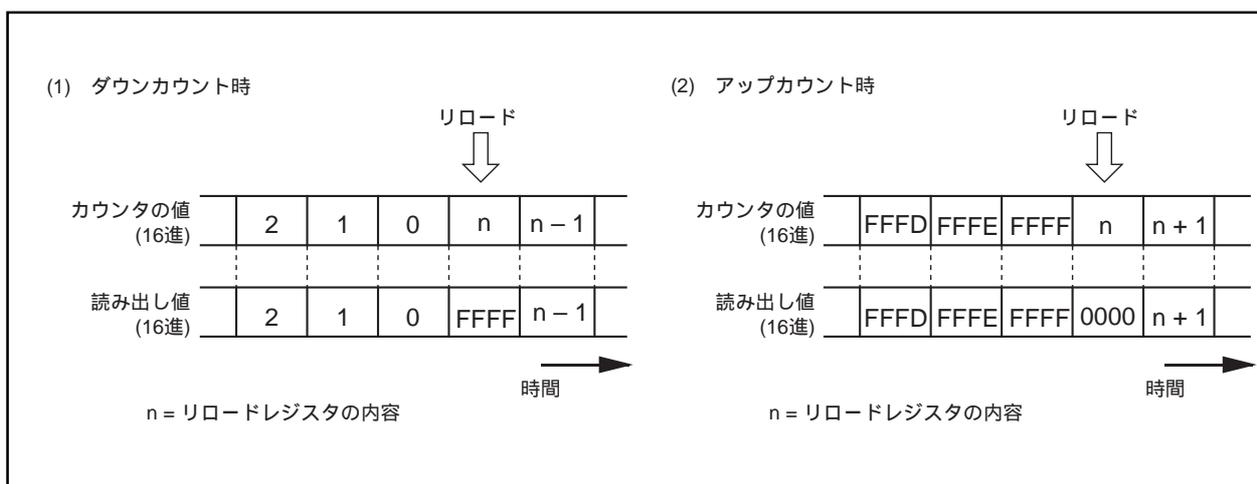


図2.2.29. タイマAiレジスタの読み出し

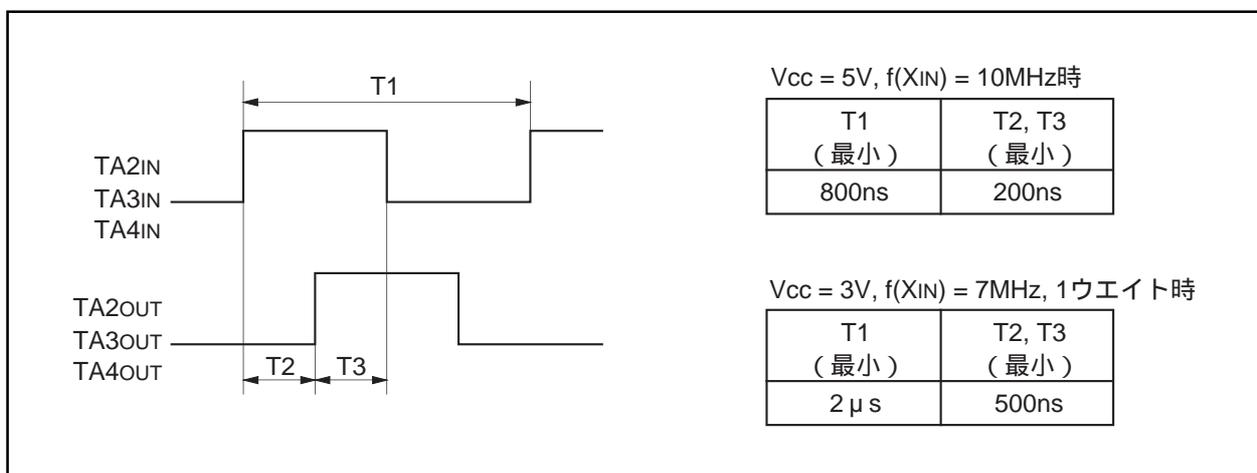


図2.2.30. 二相パルスの規格

タイマA

2.2.15 タイマAの注意事項 (ワンショットタイマモード)

- 内容 (1) リセット解除後、カウント開始フラグは“0”です。タイマAiレジスタに値を設定した後、“1”にしてください。
- (2) カウント中にカウント開始フラグを“0”にすると次のようになります。
 カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
 TAIOUT端子の出力レベルは“L”になります。
 割り込み要求が発生し、タイマAi割り込み要求ビットが“1”になります。
- (3) ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN端子へのトリガ入力からワンショットタイマの出力までに、最大カウントソースの1サイクル分の遅延が生じます。
- (4) 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“1”になります。
 リセット後、ワンショットタイマモードを選択したとき
 動作モードをタイマモードからワンショットタイマモードに変更したとき
 動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき
 したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“0”にしてください。
- (5) カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタの内容をリロードしてカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1サイクル以上経過した後に、再トリガを発生させてください。

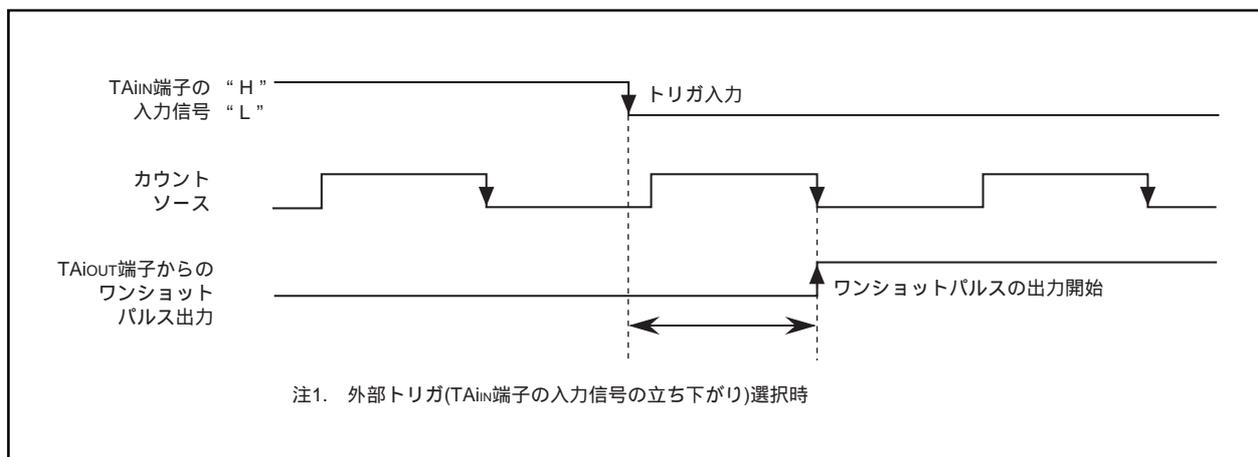


図2.2.31. ワンショットタイマの遅延

2.2.16 タイマAの注意事項 (パルス幅変調モード)

- 内 容 (1) リセット解除後、カウント開始フラグは“0”です。タイマAiレジスタに値を設定した後、“1”にしてください。
- (2) 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“1”になります。
- リセット後、PWMモードを選択したとき
 - 動作モードをタイマモードからPWMモードに変更したとき
 - 動作モードをイベントカウンタモードからPWMモードに変更したとき
- したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“0”にしてください。
- (3) PWMパルスを出力中にカウント開始フラグを“0”にすると、カウンタはカウントを停止します。このとき、TAiOUT端子が“H”レベルを出力している場合は、出力レベルは“L”になり、タイマAi割り込み要求ビットが“1”になります。“L”レベルを出力している場合は、出力レベルは変化せず、タイマAi割り込み要求も発生しません。

タイマB

2.3 タイマB

2.3.1 概要

タイマBは16ビットのタイマです。タイマBの概要について説明します。

モード

タイマBは次の3種類のモードを持ちます。

(1)タイマモード

内部のカウントソースをカウントするモードです。

タイマモードの動作 P216

(2) イベントカウンタモード

外部からのパルス数およびタイマのオーバフロー回数をカウントするモードです。

イベントカウンタモードの動作 P218

(3) パルス周期測定/パルス幅測定モード

外部のパルス周期または外部のパルス幅を測定するモードです。パルス周期測定モードを選択した場合、入力パルスの周期を連続して計測します。パルス幅測定モードを選択した場合、“H”幅、“L”幅を連続して測定します。

パルス周期測定モードの動作 P220

パルス幅測定モードの動作 P222

カウントソース

内部のカウントソースは、 f_1 、 f_8 、 f_{32} 、および f_{c32} から選択できます。 f_1 、 f_8 、 f_{32} とは、それぞれCPUのメインクロックを1分周、8分周、32分周したクロックです。 f_{c32} とは、CPUのサブクロックを32分周したクロックです。

分周比

タイマレジスタに設定した値+1が分周比です。分周比の数のカウントソースが入力されると、カウンタはアンダフローし、割り込み要求が発生します。

タイマの読み込み

タイマモード、イベントカウンタモードの場合、タイマレジスタを読み出せば、そのときのカウント値を読み出します。読み出すときは、16ビット単位で行ってください。パルス周期測定モード/パルス幅測定モードの場合、カウント開始後、2回目の有効エッジ入力までは不定な値を、それ以降は測定結果を読み出します。

タイマへの書き込み

カウント中に書き込みを行った場合、その値はリロードレジスタにだけ書き込まれます。カウント停止中に書き込みを行った場合、その値はリロードレジスタとカウンタの両方に書き込まれます。書き込むときは、16ビット単位で行ってください。

ただし、パルス周期測定モード/パルス幅測定モードの場合、タイマへは書き込めません。

タイマB

タイマへの入力と方向レジスタ

外部信号をタイマへ入力する場合、ポートの方向レジスタを入力に設定してください。

タイマB関連端子

(1) TB0IN、TB1IN、TB2IN端子 タイマBへの入力端子です。

タイマB関連レジスタ

図2.3.1にタイマB関連レジスタのメモリ配置図を、図2.3.2、図2.3.3にタイマB関連レジスタの構成を示します。

005A ¹⁶	タイマB0割り込み制御レジスタ(TB0IC)
005B ¹⁶	タイマB1割り込み制御レジスタ(TB1IC)
005C ¹⁶	タイマB2割り込み制御レジスタ(TB2IC)
0380 ¹⁶	カウント開始フラグ(TABSR)
0381 ¹⁶	時計用プリスケアラリセットフラグ(CPSRF)
0382 ¹⁶	
0383 ¹⁶	
0384 ¹⁶	
0390 ¹⁶	タイマB0(TB0)
0391 ¹⁶	
0392 ¹⁶	タイマB1(TB1)
0393 ¹⁶	
0394 ¹⁶	タイマB2(TB2)
0395 ¹⁶	
039B ¹⁶	タイマB0モ - ドレジスタ(TB0MR)
039C ¹⁶	タイマB1モ - ドレジスタ(TB1MR)
039D ¹⁶	タイマB2モ - ドレジスタ(TB2MR)
039E ¹⁶	

図2.3.1. タイマB関連レジスタのメモリ配置図

タイマB

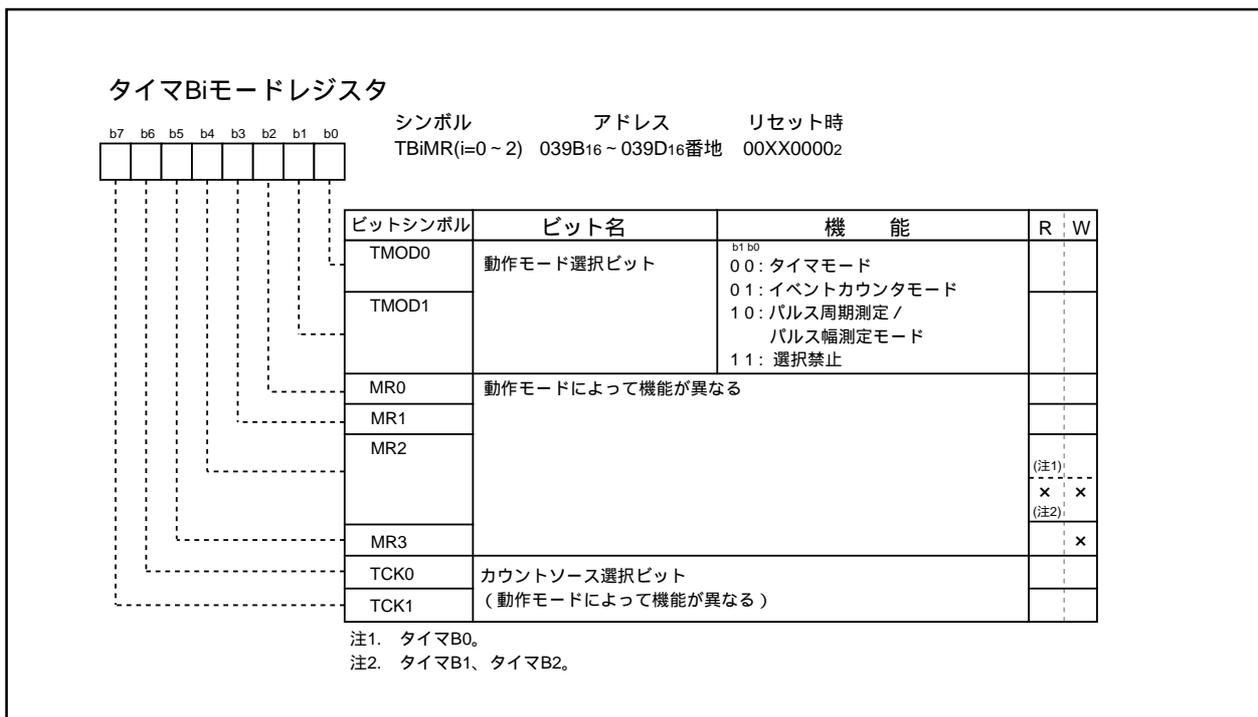


図2.3.2. タイマB関連レジスタの構成(1)

タイマB

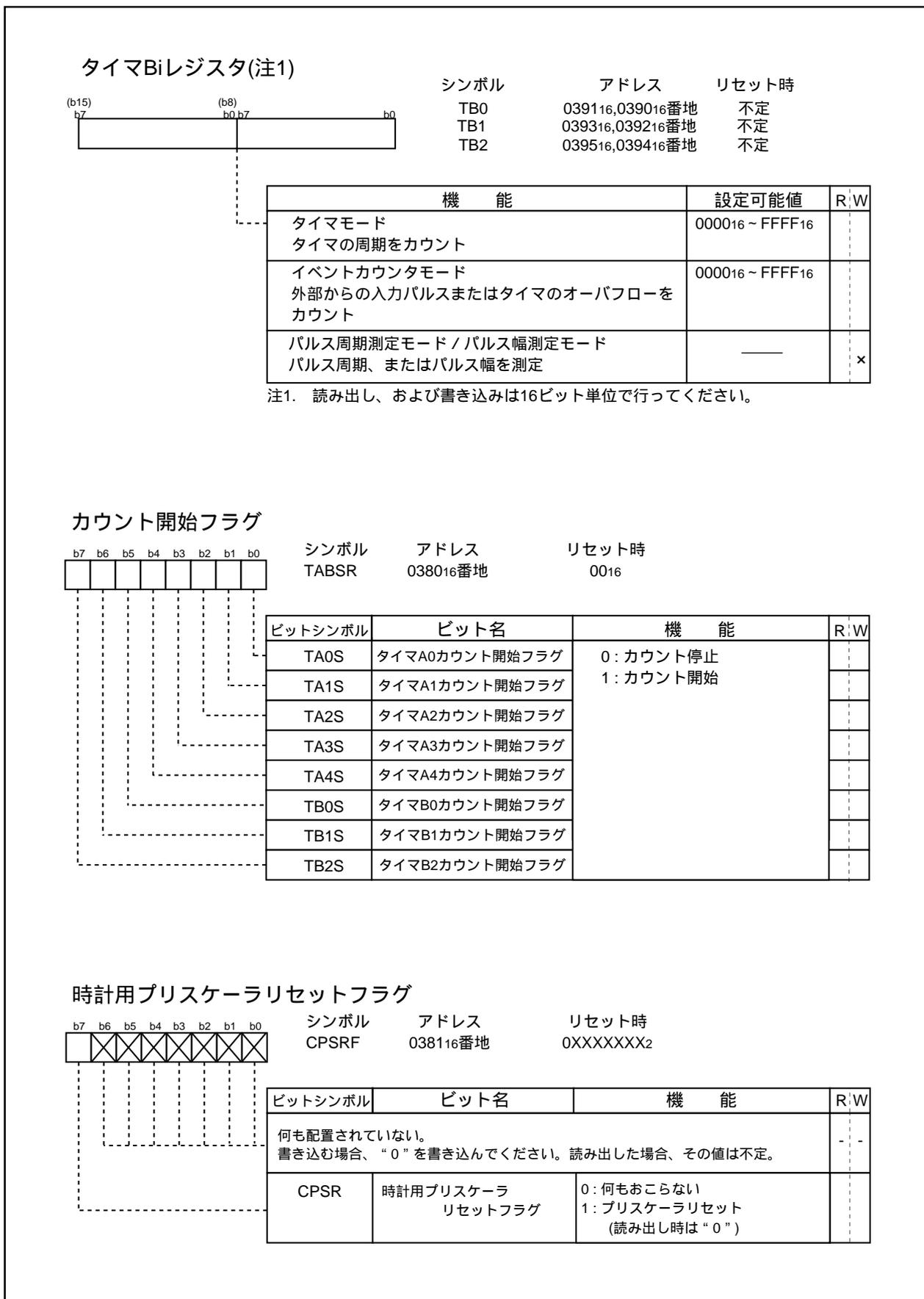


図2.3.3. タイマB関連レジスタの構成(2)

タイマB

2.3.2 タイマB動作 (タイマモード)

タイマモードでは、表2.3.1に示す項目の中から機能を選択できます。ここでは、表2.3.1に示す項目の中で“ ”印の内容を選択した場合の動作について説明します。また、図2.3.4に動作タイミング図を、図2.3.5に設定手順を示します。

表2.3.1. 設定内容

設定項目	設定内容
カウントソース	内部のカウントソース($f_1 / f_8 / f_{32} / f_{c32}$)

- 動作
- (1) カウント開始フラグを“1”にすると、カウンタはカウントソースをダウンカウントします。
 - (2) アンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。同時に、タイマBi割り込み要求ビットが“1”になります。
 - (3) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。

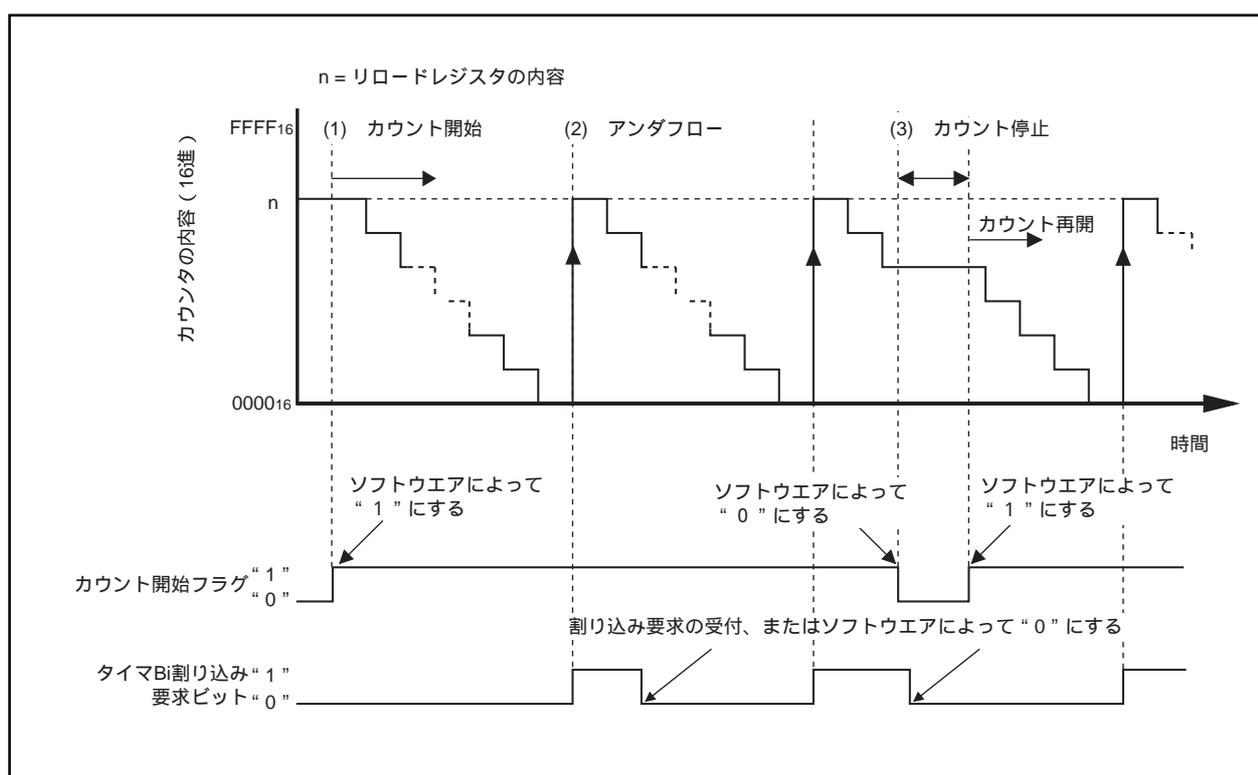
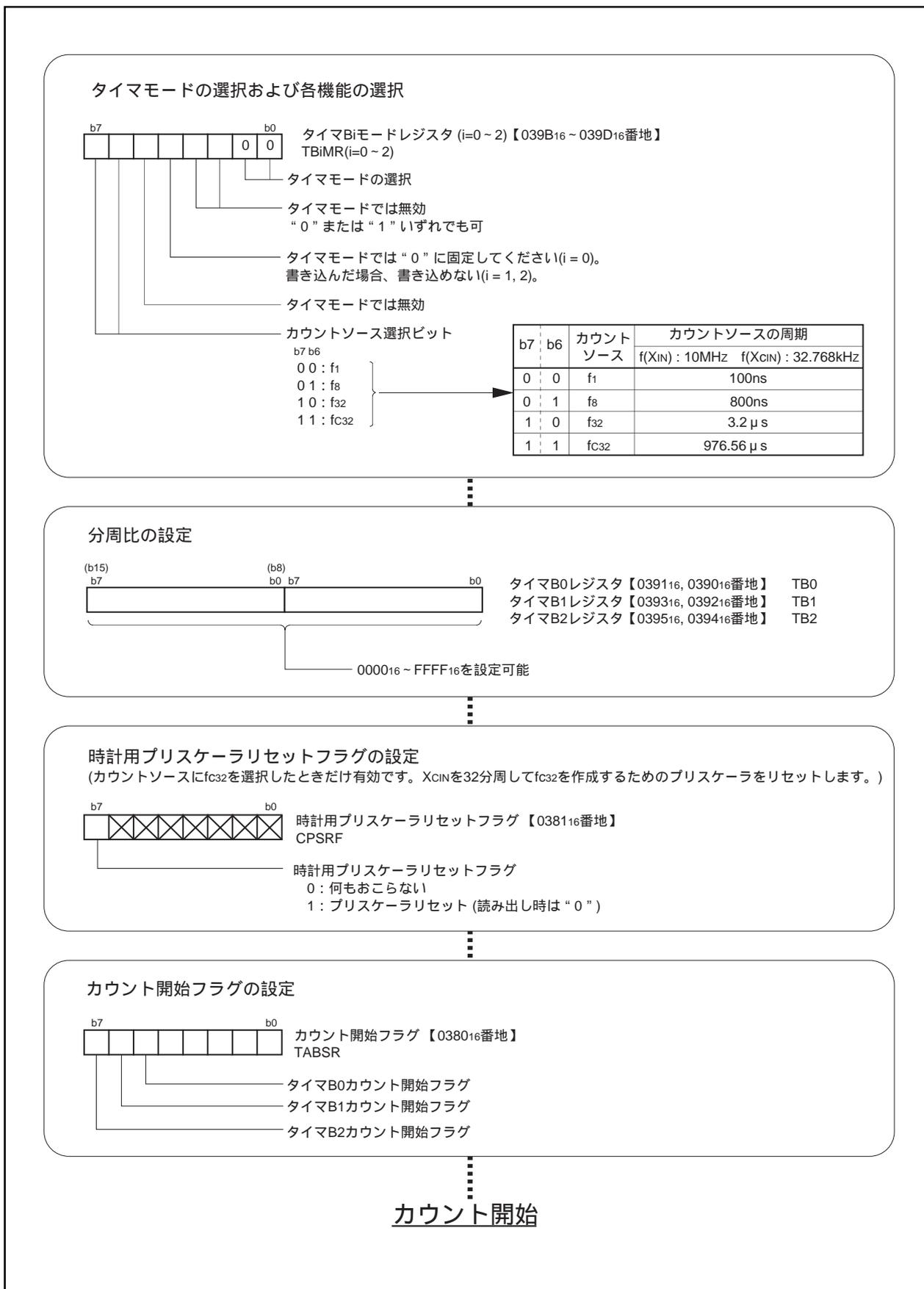


図2.3.4. タイマモード動作タイミング図

タイマB



タイマB

2.3.3 タイマB動作 (イベントカウンタモード)

イベントカウンタモードでは、表2.3.2に示す項目の中から機能を選択できます。ここでは、表2.3.2に示す項目の中で“ ”印の内容を選択した場合の動作について説明します。また、図2.3.6に動作タイミング図を、図2.3.7に設定手順を示します。

表2.3.2. 設定内容

設定項目	設定内容
カウントソース	TBin端子の入力信号(立ち下がりをカウント)
	TBin端子の入力信号(立ち上りをカウント)
	TBin端子の入力信号(立ち下がりおよび立ち上りをカウント)
	タイマのオーバーフロー(TBjのオーバーフロー)

注1. $j = i - 1$ 。ただし、 $i = 0$ のとき $j = 2$ 。

- 動作
- (1) カウント開始フラグを“1”にすると、カウンタはカウントソースの立ち下がりダウンカウントします。
 - (2) アンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。同時に、タイマBi割り込み要求ビットが“1”になります。
 - (3) カウント開始フラグを“0”にすると、カウンタはカウント値を保持して停止します。

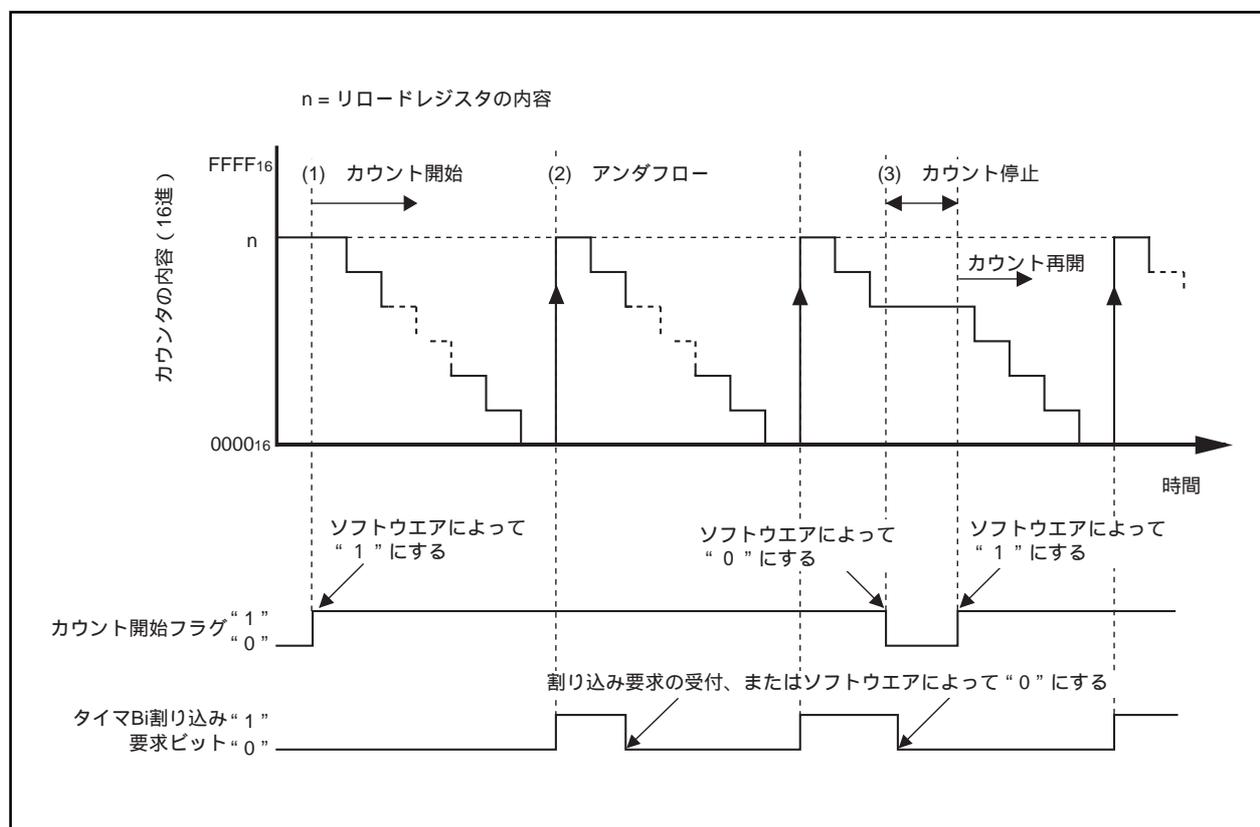


図2.3.6. イベントカウンタモード動作タイミング図

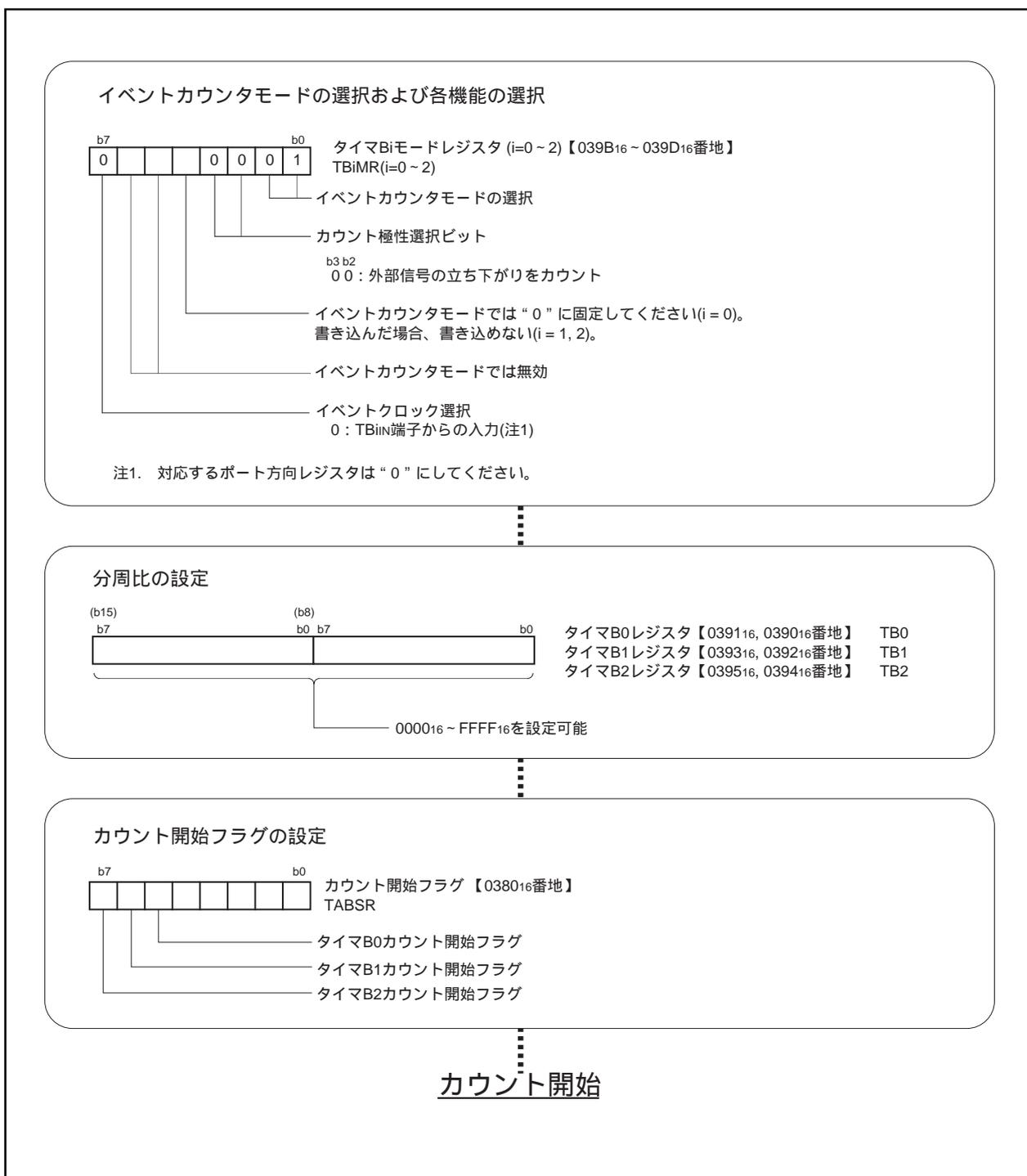


図2.3.7. イベントカウンタモード時のレジスタ設定手順

2.3.4 タイマB動作 (パルス周期測定モード)

パルス周期測定モード/パルス幅測定モードでは、表2.3.3に示す項目の中から機能を選択できます。ここでは、表2.3.3に示す項目の中で“ ”印の内容を選択した場合の動作について説明します。また、図2.3.8に動作タイミング図を、図2.3.9に設定手順を示します。

表2.3.3. 設定内容

設定項目	設定内容
カウントソース	内部のカウントソース($f_1 / f_8 / f_{32} / f_{c32}$)
測定モード	パルス周期測定(測定パルスの立ち下がり-立ち下がり間)
	パルス周期測定(測定パルスの立ち上がり-立ち上がり間)
	パルス幅測定(測定パルスの立ち下がり-立ち上がり間、および測定パルスの立ち上がり-立ち下がり間)

- 動作
- (1) カウント開始フラグを“1”にすると、カウンタはカウントソースのカウントを開始します。
 - (2) 測定パルスが“H”から“L”になると、カウンタの値が“0000₁₆”になり、測定を開始します。このとき、リロードレジスタには不定値が転送されます。タイマBi割り込み要求は発生しません。
 - (3) 再度、測定パルスが“H”から“L”になると、カウンタの値をリロードレジスタに転送し、タイマBi割り込み要求ビットが“1”になります。その後、カウンタは“0000₁₆”になり、再び測定を開始します。

- 補足説明
- ・タイマBi割り込み要求ビットは、測定パルスの有効エッジが入力されたとき、およびタイマBiがオーバフローしたとき“1”になります。割り込み要求要因は、割り込みルーチン内でタイマBiオーバフローフラグで判断することができます。
 - ・カウント開始時のカウンタの値は不定です。したがって、カウント直後にタイマBiオーバフローフラグが“1”になる可能性があります。
 - ・タイマBiオーバフローフラグは、カウント開始フラグが“1”の状態、タイマBiモードレジスタに書き込みを行うと“0”になります。このフラグをソフトウェアで“1”にすることはできません。

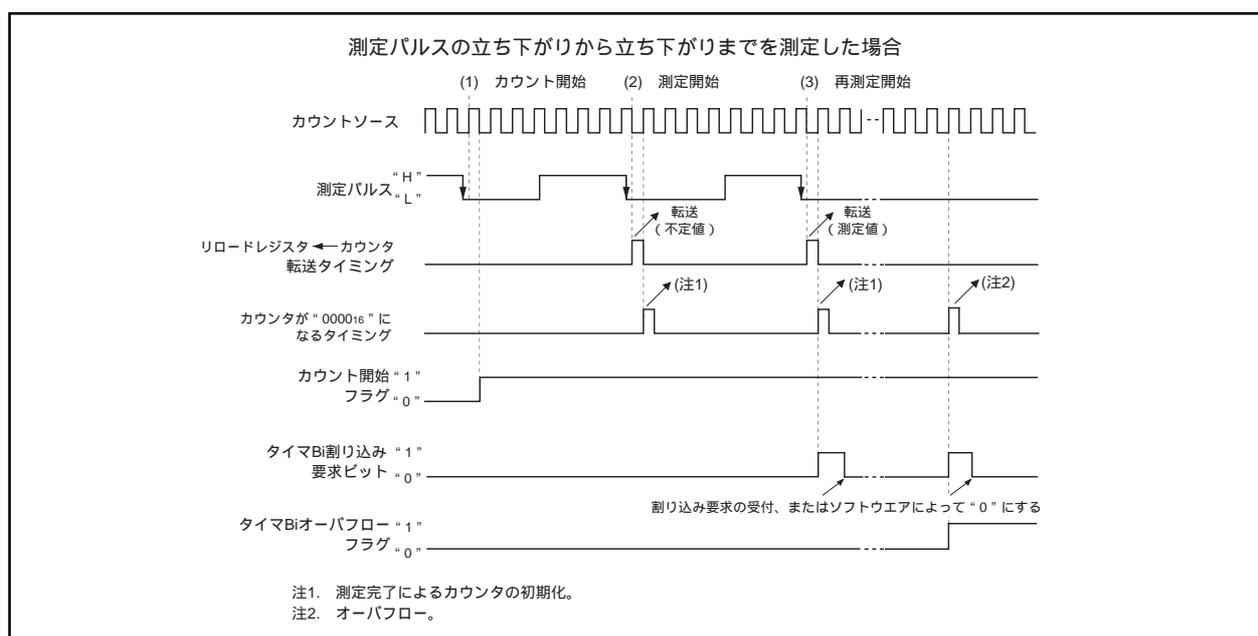
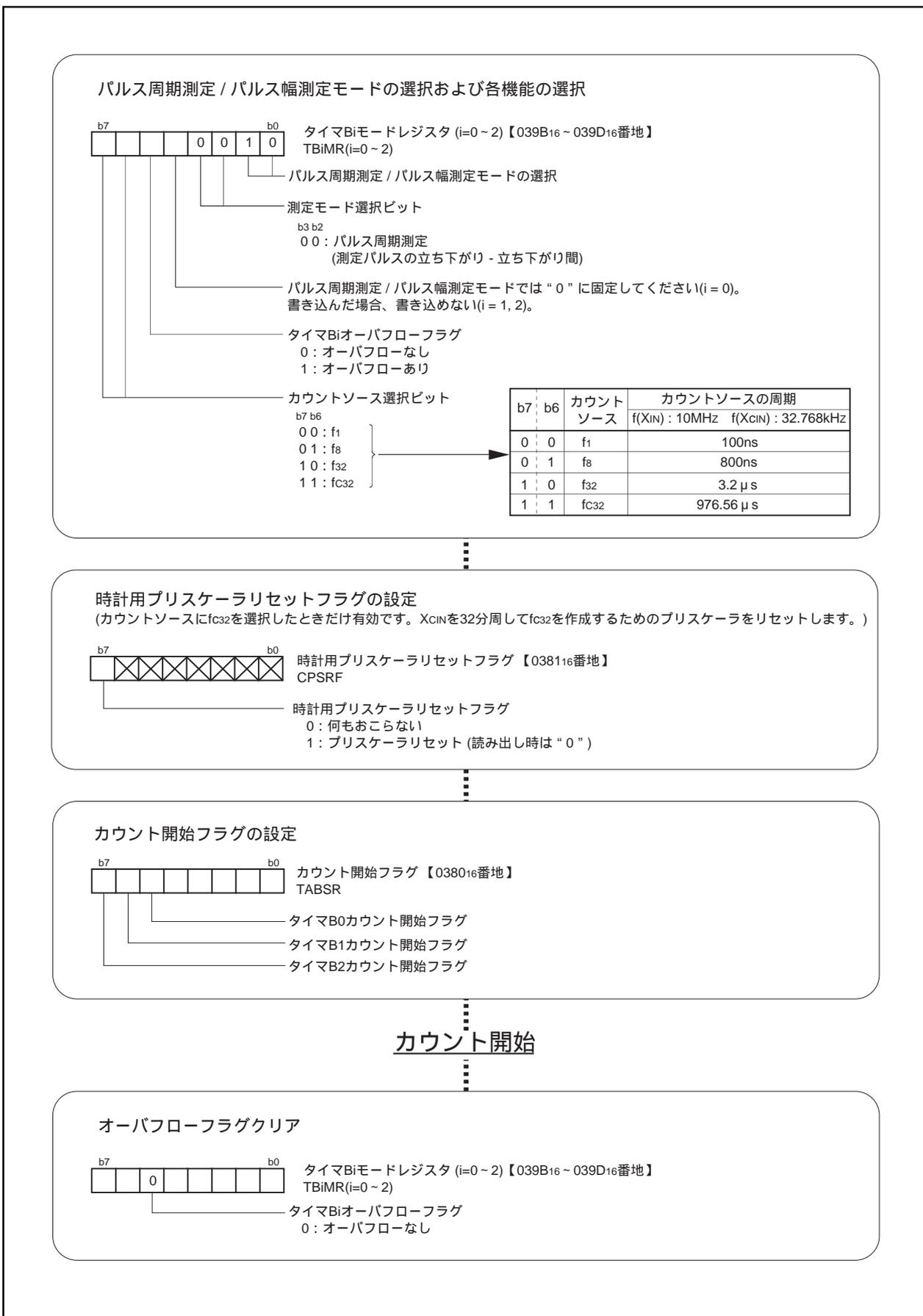


図2.3.8. パルス周期測定モード動作タイミング図



タイマB

2.3.5 タイマB動作 (パルス幅測定モード)

パルス周期測定モード/パルス幅測定モードでは、表2.3.4に示す項目の中から機能を選択できます。ここでは、表2.3.4に示す項目の中で“ ”印の内容を選択した場合の動作について説明します。また、図2.3.10に動作タイミング図を、図2.3.11に設定手順を示します。

表2.3.4. 設定内容

設定項目	設定内容
カウントソース	内部のカウントソース($f_1 / f_8 / f_{32} / f_{c32}$)
測定モード	パルス周期測定(測定パルスの立ち下がり-立ち下がり間)
	パルス周期測定(測定パルスの立ち上がり-立ち上がり間)
	パルス幅測定(測定パルスの立ち下がり-立ち上がり間、および測定パルスの立ち上がり-立ち下がり間)

- 動作
- (1) カウント開始フラグを“1”にすると、カウンタはカウントソースのカウントを開始します。
 - (2) 測定パルスの有効エッジが入力されると、カウンタの値が“0000₁₆”になり、測定を開始します。このとき、リロードレジスタには不定値が転送されます。タイマBi割り込み要求は発生しません。
 - (3) 再度、測定パルスの有効エッジが入力されると、カウンタの値をリロードレジスタに転送し、タイマBi割り込み要求ビットが“1”になります。その後、カウンタは“0000₁₆”になり、再び測定を開始します。

- 補足説明
- ・タイマBi割り込み要求ビットは、測定パルスの有効エッジが入力されたとき、およびタイマBiがオーバーフローしたとき“1”になります。割り込み要求要因は、割り込みルーチン内でタイマBiオーバーフローフラグで判断することができます。
 - ・カウント開始時のカウンタの値は不定です。したがって、カウント直後にタイマBiオーバーフローフラグが“1”になる可能性があります。
 - ・タイマBiオーバーフローフラグは、カウント開始フラグが“1”の状態、タイマBiモードレジスタに書き込みを行うと“0”になります。このフラグをソフトウェアで“1”にすることはできません。

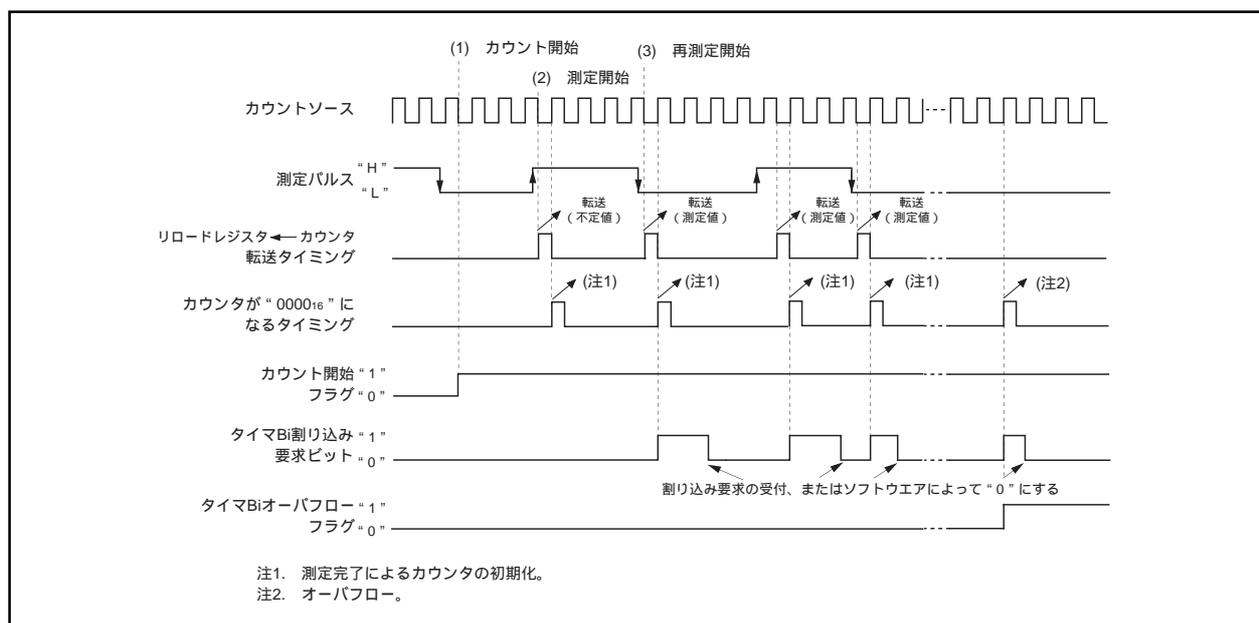
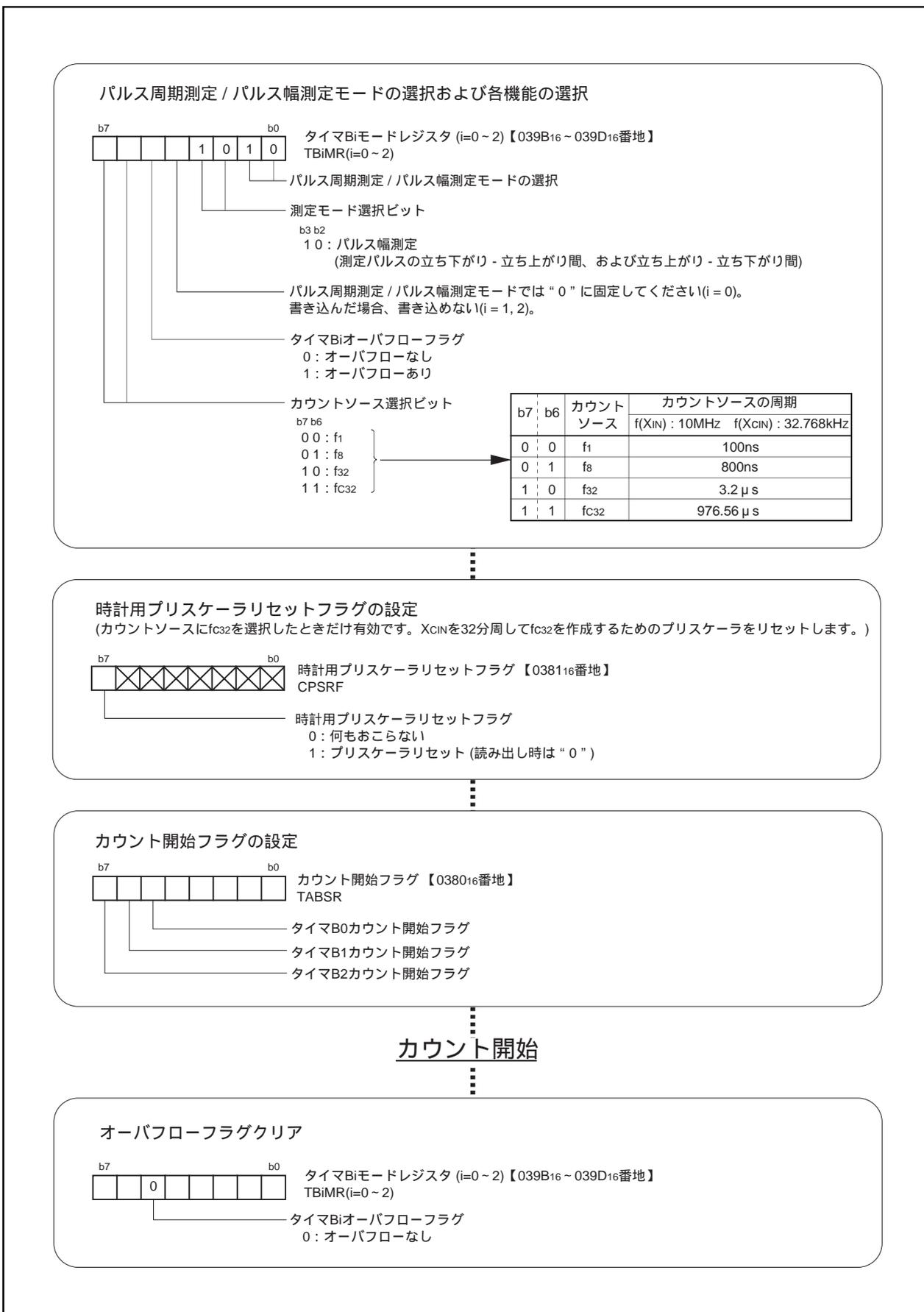


図2.3.10. パルス幅測定モード動作タイミング図



タイマB

2.3.6 タイマBの注意事項 (タイマモード、イベントカウンタモード)

- 内 容 (1) リセット解除後、カウント開始フラグは“0”です。タイマBiレジスタに値を設定した後、“1”にしてください。
- (2) カウント中のカウンタの値は、タイマBiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、図2.3.12に示すリロードタイミングで読み出した場合、FFFF₁₆が読み出されます。カウント停止中にタイマBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

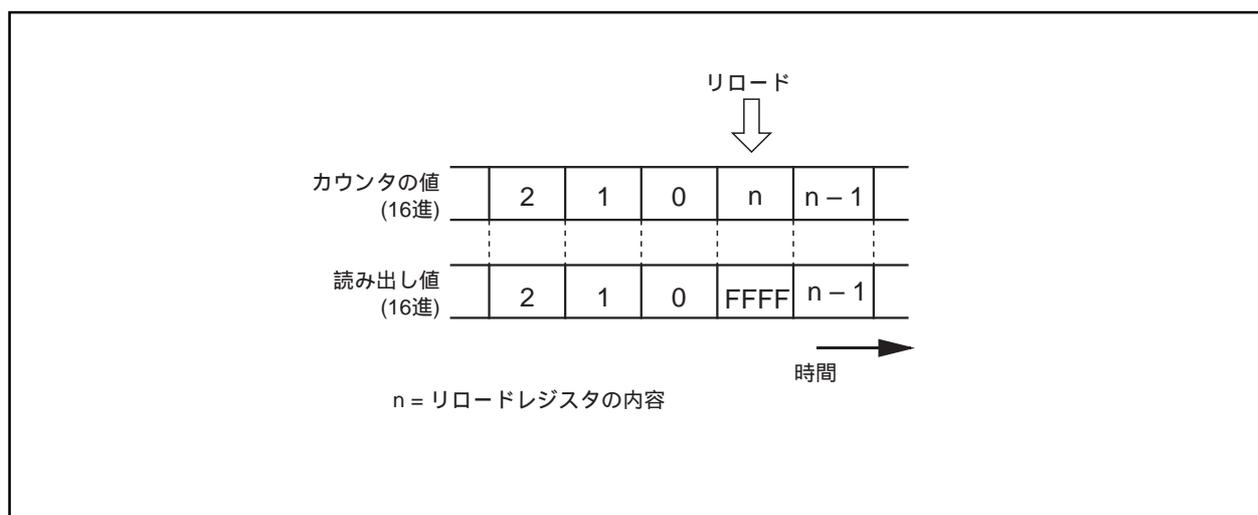


図2.3.12. タイマBiレジスタの読み出し

2.3.7 タイマBの注意事項 (パルス周期測定 / パルス幅測定モード)

- 内 容
- (1) タイマBi割り込み要求ビットは、測定パルスの有効エッジが入力されたとき、およびタイマBiがオーバーフローしたとき“1”になります。割り込み要求要因は、割り込みルーチン内でタイマBiオーバーフローフラグで判断することができます。
 - (2) 測定パルス入力がタイマのオーバーフローのタイミングに重なる場合、および割り込み要因をタイマBiオーバーフローフラグで認識できない場合は、タイマを連結してオーバーフローフラグの回数をカウントしてください。
 - (3) リセット時、タイマBiオーバーフローフラグは“1”になります。このフラグは、カウント開始フラグが“1”のときに、タイマBiモードレジスタに書き込みを行うことによって“0”にすることができます。
 - (4) オーバーフローだけの検出にはタイマBi割り込み要求ビットを使用してください。タイマBiオーバーフローフラグは、割り込みルーチン内で割り込み要因を判断するときだけ使用してください。
 - (5) カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。
 - (6) カウント開始時のカウンタの値は不定です。したがって、カウント開始直後にタイマBiオーバーフローフラグが“1”になる可能性があります。
 - (7) カウント開始後に測定モード選択ビットの変更を行うと、タイマBi割り込み要求ビットが“1”になります。
 - (8) TBiIN端子の入力信号がノイズなどの影響を受けると、正確な測定の行えない場合があります。測定値が一定の範囲内にあることを、ソフトウェアで確認することを推奨します。
 - (9) パルス幅測定は、連続してパルス幅を測定します。測定結果が“H”レベル幅であるか“L”レベル幅であるかソフトウェアで判断してください。

クロック同期形シリアルI/O

2.4 クロック同期形シリアルI/O

2.4.1 概要

クロック同期形シリアルI/Oは、クロックに同期して8ビットのデータ通信を行います。クロック同期形シリアルI/Oの概要について説明します。

送受信フォーマット

8ビットデータです。

転送速度

転送クロックに内部クロックを選択した場合、転送速度レジスタで分周した周波数の2分周が転送速度となります。転送速度レジスタのカウントソースは、f₁、f₈、およびf₃₂から選択できます。f₁、f₈、f₃₂とは、それぞれCPUのメインクロックを1分周、8分周、32分周したクロックです。

転送クロックに外部クロックを選択した場合、CLK端子に入力されたクロックの周波数が転送速度となります。

エラー検知

オーバランエラーだけを検知できます。オーバランエラーとは、受信バッファレジスタを読み込む前に次のデータが揃ったときに発生するエラーです。

エラー発生時の対処方法

受信時、エラーフラグと受信データを同時に読み出し、エラーの判断を行ってください。読み出したデータがエラーの場合は、エラーフラグ、およびUARTi受信バッファレジスタを初期化した後、再度受信を行ってください。UARTi受信バッファレジスタを初期化する手順を以下に示します。

- (1)受信許可ビットを“0” (受信禁止)にする
- (2)シリアルI/Oモード選択ビットを“0002” (シリアルI/Oは無効)にする
- (3)シリアルI/Oモード選択ビットを再設定する
- (4)受信許可ビットを再度“1” (受信許可)にする

シリアルクロックがノイズでずれる等のエラーが発生して再送信を行う必要がある場合は、UARTi送信バッファレジスタを再設定した後に、再送信してください。UARTi送信バッファレジスタを再設定する手順を以下に示します。

- (1)シリアルI/Oモード選択ビットを“0002” (シリアルI/Oは無効)にする
- (2)シリアルI/Oモード選択ビットを再設定する
- (3)送信許可ビットを“1” (送信許可)にし、UARTi送信バッファレジスタに送信データを設定する

選択機能

クロック同期形シリアルI/Oでは、次の機能を選択することができます。

(1) CTS / RTS機能

CTS機能とは、外部のICが、 $\overline{\text{CTS}}$ 端子に“L”レベルを入力することによって送受信を開始させる機能です。送受信の開始時にCTS端子入力レベルを検知しますので、送受信の最中に“H”にした場合は、次のデータから停止します。

RTS機能とは、受信準備が整ったとき、RTS端子の出力レベルが“L”になり、外部のICに知らせる機能です。転送クロックの最初の立ち下がりで“H”に戻ります。

クロック同期形シリアルI/Oでは、 $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 機能として次の3種類から選択できます。

$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 機能無効	$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 端子はプログラブル入出力ポートとして使用できます。
$\overline{\text{CTS}}$ 機能だけ有効	$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 端子は $\overline{\text{CTS}}$ 機能として動作します。
$\overline{\text{RTS}}$ 機能だけ有効	$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 端子は $\overline{\text{RTS}}$ 機能として動作します。

(2) CLK極性選択機能

CLK極性選択機能とは、転送クロックの極性を切り替える機能です。次の2種類から選択できます。

転送クロックの立ち下がりでデータ入力、立ち上がりでデータ出力します。

転送クロックの立ち上がりでデータ入力、立ち下がりでデータ出力します。

(3) LSB / MSBファースト選択機能

LSB / MSBファースト選択機能とは、データのビット0から送受信するか、ビット7から送受信するかを切り替える機能です。次の2種類から選択できます。

LSBファースト ビット0から送受信を行います。

MSBファースト ビット7から送受信を行います。

(4) 連続受信モード選択機能

連続受信モードとは、受信バッファレジスタを読み出すことで受信許可状態になるモードです。

このモードを選択すれば、受信許可状態にするために、送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

通常モード 送信バッファレジスタにダミーデータを書き込むことで受信許可状態になります。

連続受信モード 受信バッファレジスタを読み込むことで受信許可状態になります。

(5) 転送クロック複数端子出力機能

転送クロック複数端子出力機能とは、転送クロックを出力する端子を切り替える機能です。この機能は、内部クロック選択時だけ有効です。転送クロックを出力する端子を切り替えることで、2つの外部ICに対して時分割でデータの送信を行うことができます。

(6) 送信割り込み要因選択機能

送信割り込みの発生タイミングを送信バッファが空になったときか、送信レジスタが空になったときかを選択できます。送信バッファが空になったときを選択すると、送信データが送信バッファから送信レジスタに移動したときに割り込みが発生し、連続で送信することができます。また、送信レジスタが空になったときを選択すると、送信データがすべて送り終わったときに割り込みが発生します。

(1)~(6)の機能を次のとおり選択した動作例を示します。

$\overline{\text{CTS}}$ 機能、クロックの立ち下がりで送信、LSBファースト、送信バッファ空で割り込み発生、クロックの複数端子出力機能なしのときの送信動作 P232

$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 機能無効、クロックの立ち下がりで送信、LSBファースト、送信完了で割り込み発生、クロックの複数端子出力機能ありのときの送信動作 P236

$\overline{\text{RTS}}$ 機能、クロックの立ち下がりで受信、LSBファースト、連続受信モード禁止、クロックの複数端子出力機能なしのときの受信動作 P240

シリアルI/Oへの入力と方向レジスタ

シリアルI/Oへ外部信号を入力する場合、ポートの方向レジスタは入力に設定してください。

シリアルI/O関連端子

- | | |
|--|---|
| (1) $\overline{\text{CTS}}_0$ 、 $\overline{\text{CTS}}_1$ 端子 | $\overline{\text{CTS}}$ 機能の入力端子です。 |
| (2) $\overline{\text{RTS}}_0$ 、 $\overline{\text{RTS}}_1$ 端子 | $\overline{\text{RTS}}$ 機能の出力端子です。 |
| (3) CLK_0 、 CLK_1 端子 | 転送クロックの入出力端子です。 |
| (4) RxD_0 、 RxD_1 端子 | データの入力端子です。 |
| (5) TxD_0 、 TxD_1 端子 | データの出力端子です。 |
| (6) CLKS_1 端子 | 転送クロックの出力端子です。転送クロック複数端子出力機能ありにしたとき、転送クロックの出力端子として使用できます。 |

シリアルI/O関連レジスタ

図2.4.1にシリアルI/O関連レジスタのメモリ配置図を、図2.4.2～2.4.4にシリアルI/O関連レジスタの構成を示します。

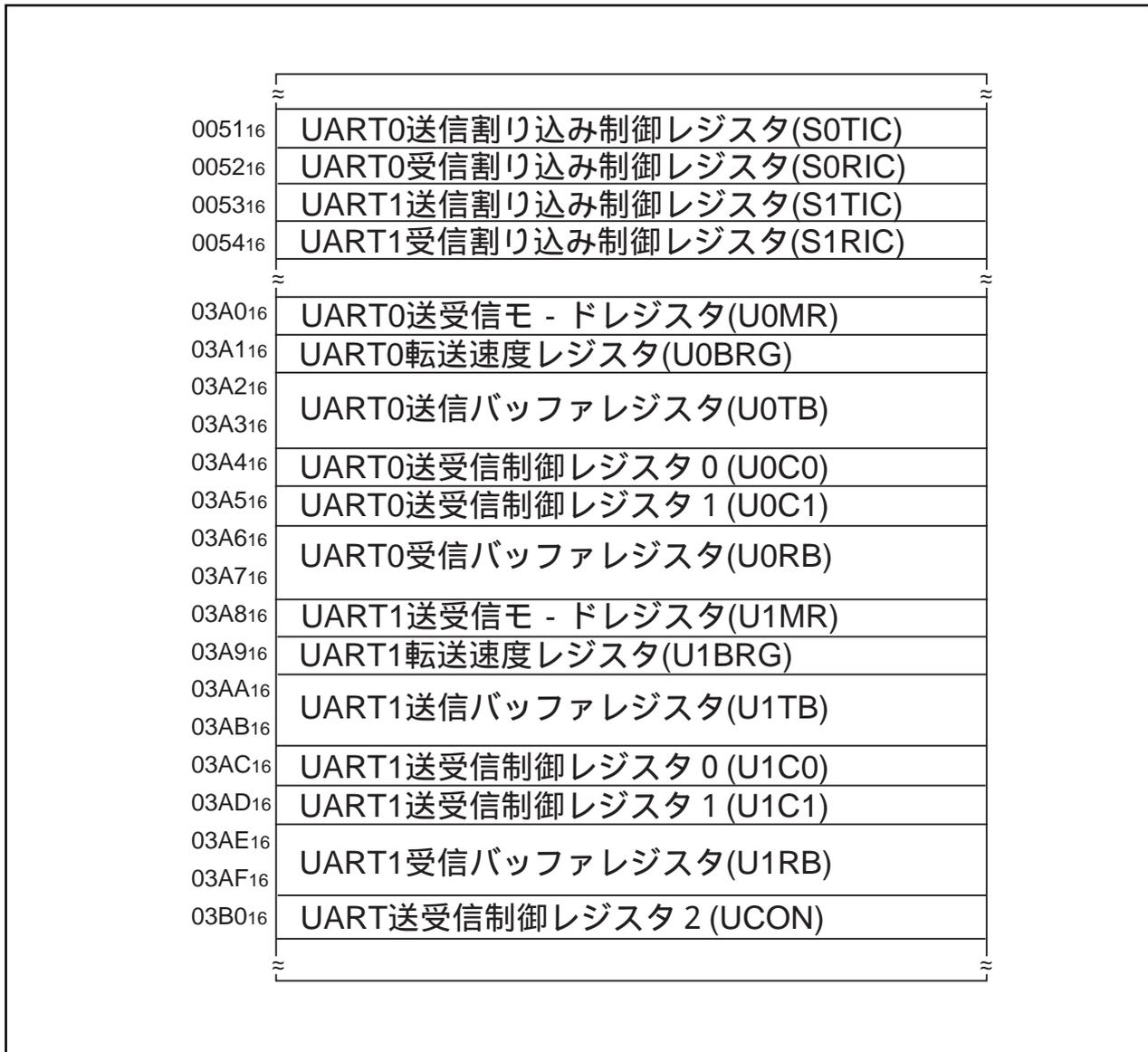


図2.4.1. シリアルI/O関連レジスタのメモリ配置図

クロック同期形シリアルI/O

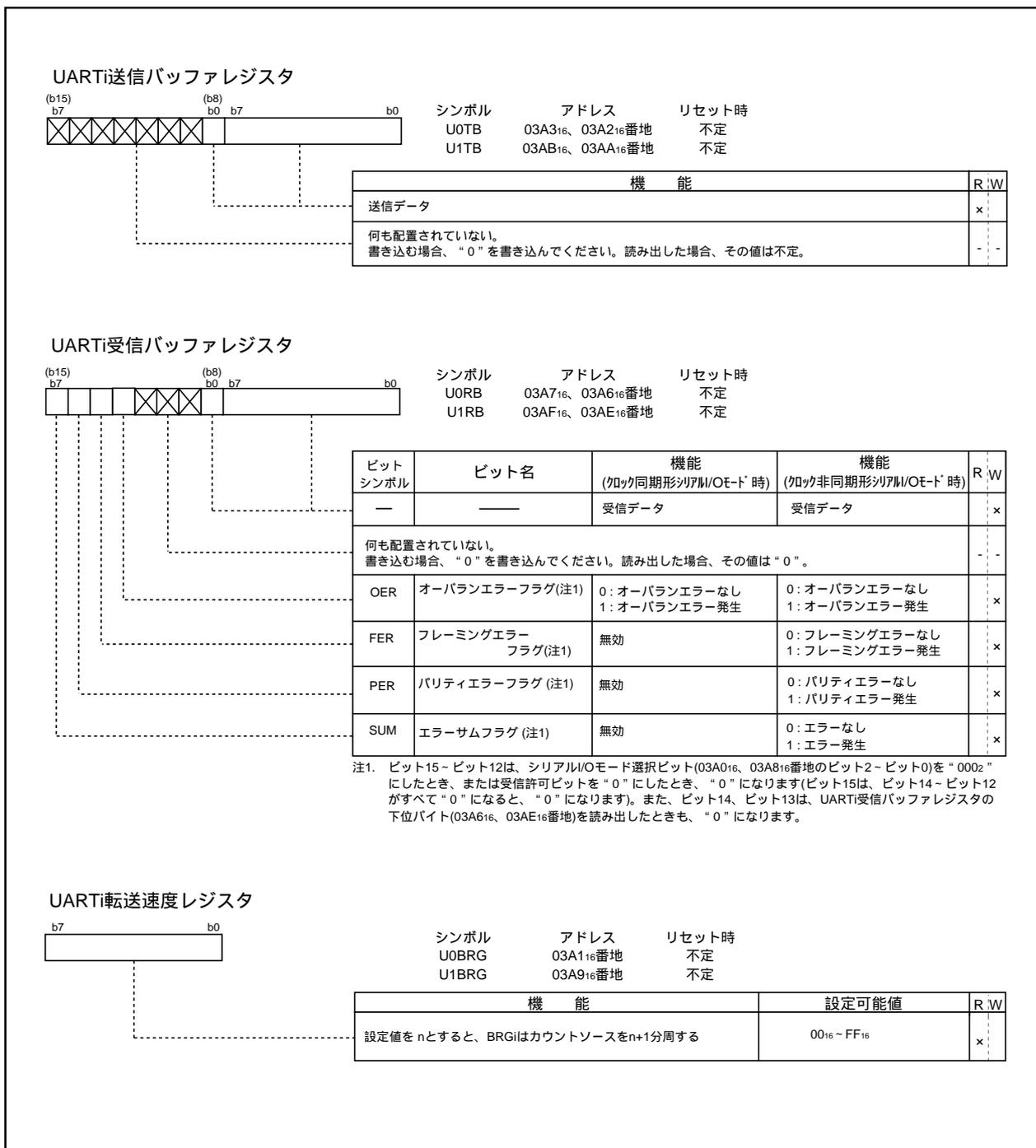
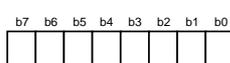


図2.4.2. シリアルI/O関連のレジスタ (1)

クロック同期形シリアルI/O

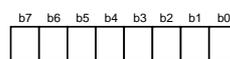
UARTi 送受信モードレジスタ



シンボル アドレス リセット時
 UiMR(i=0,1) 03A016,03A816番地 0016

ビット シンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R	W
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 001 に固定してください 000:シリアルI/Oは無効 010:使用禁止 011:使用禁止 111:使用禁止	b2 b1 b0 100:転送データ長7ビット 101:転送データ長8ビット 110:転送データ長9ビット 000:シリアルI/Oは無効 010:使用禁止 011:使用禁止 111:使用禁止		
SMD1					
SMD2					
CKDIR	内/外部クロック選択ビット	0:内部クロック 1:外部クロック	0:内部クロック 1:外部クロック		
STPS	ストップビット長選択ビット	無効	0:1ストップビット 1:2ストップビット		
PRY	パリティ奇/偶選択ビット	無効	ビット6が“1”のとき有効、 0:奇数パリティ 1:偶数パリティ		
PRYE	パリティ許可ビット	無効	0:パリティ禁止 1:パリティ許可		
SLEP	スリープ選択ビット	“0”に固定してください	0:スリープモード解除 1:スリープモード選択		

UARTi 送受信制御レジスタ0



シンボル アドレス リセット時
 UiC0(i=0,1) 03A416,03AC16番地 0816

ビット シンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R	W
CLK0	BRGカウントソース 選択ビット	b1 b0 00: f1を選択 01: f8を選択 10: f32を選択 11: 使用禁止	b1 b0 00: f1を選択 01: f8を選択 10: f32を選択 11: 使用禁止		
CLK1					
CRS	CTS/RTS機能選択ビット	ビット4が“0”のとき有効、 0:CTS機能を選択(注1) 1:RTS機能を選択(注2)	ビット4が“0”のとき有効、 0:CTS機能を選択(注1) 1:RTS機能を選択(注2)		
TXEPT	送信レジスタ空フラグ	0:送信レジスタに データあり(送信中) 1:送信レジスタに データなし(送信完了)	0:送信レジスタに データあり(送信中) 1:送信レジスタに データなし(送信完了)		x
CRD	CTS/RTS禁止ビット	0:CTS/RTS機能許可 1:CTS/RTS機能禁止 (P47,P77はプログラマブル 入出力ポートとして機能)	0:CTS/RTS機能許可 1:CTS/RTS機能禁止 (P47,P77はプログラマブル 入出力ポートとして機能)		
NCH	データ出力選択ビット	0:TXDi端子はCMOS出力 1:TXDi端子はNチャネル オープンドレイン出力	0:TXDi端子はCMOS出力 1:TXDi端子はNチャネル オープンドレイン出力		
CKPOL	CLK極性選択ビット	0:転送クロックの立ち下がり で送信データ出力、立ち 上がりで受信データ入力 1:転送クロックの立ち上がり で送信データ出力、立ち 下がり受信データ入力	“0”に固定してください		
UFORM	転送フォーマット選択ビット	0:LSBファースト 1:MSBファースト	“0”に固定してください		

注1. 対応するポート方向レジスタは“0”にしてください。

注2. 対応するポートレジスタおよびポート方向レジスタの設定値は無効です。

図2.4.3. シリアルI/O関連のレジスタ (2)

クロック同期形シリアルI/O



図2.4.4. シリアルI/O関連のレジスタ (3)

クロック同期形シリアルI/O

2.4.2 シリアルI/O動作 (クロック同期形シリアルI/Oモードの送信)

クロック同期形シリアルI/Oモードの送信では、表2.4.1に示す項目の中から機能を選択できます。ここでは、表2.4.1に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.4.5に動作タイミングを、図2.4.6、図2.4.7に設定手順を示します。

表2.4.1. 設定内容

設定項目	設定内容	設定項目	設定内容
転送クロックソース	内部クロック($f_1 / f_8 / f_{32}$)	送信割り込み要因	送信バッファ空
	外部クロック(CLKi端子)		送信完了
CTS機能	CTS機能許可	転送クロック複数端子出力機能(注1)	なし
	CTS機能禁止		あり
CLK極性	転送クロックの立ち下がり で送信データ出力		
	転送クロックの立ち上がり で送信データ出力		
転送フォーマット	LSBファースト		
	MSBファースト		

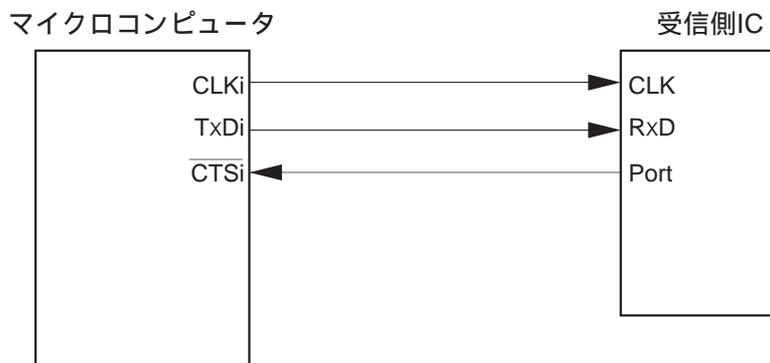
注1. UART1を内部クロックで使用するときだけ選択できます。この機能選択時、UART1のCTS / RTS機能は使用できません。UART1のCTS / RTS禁止ビットを“1”にしてください。

動作

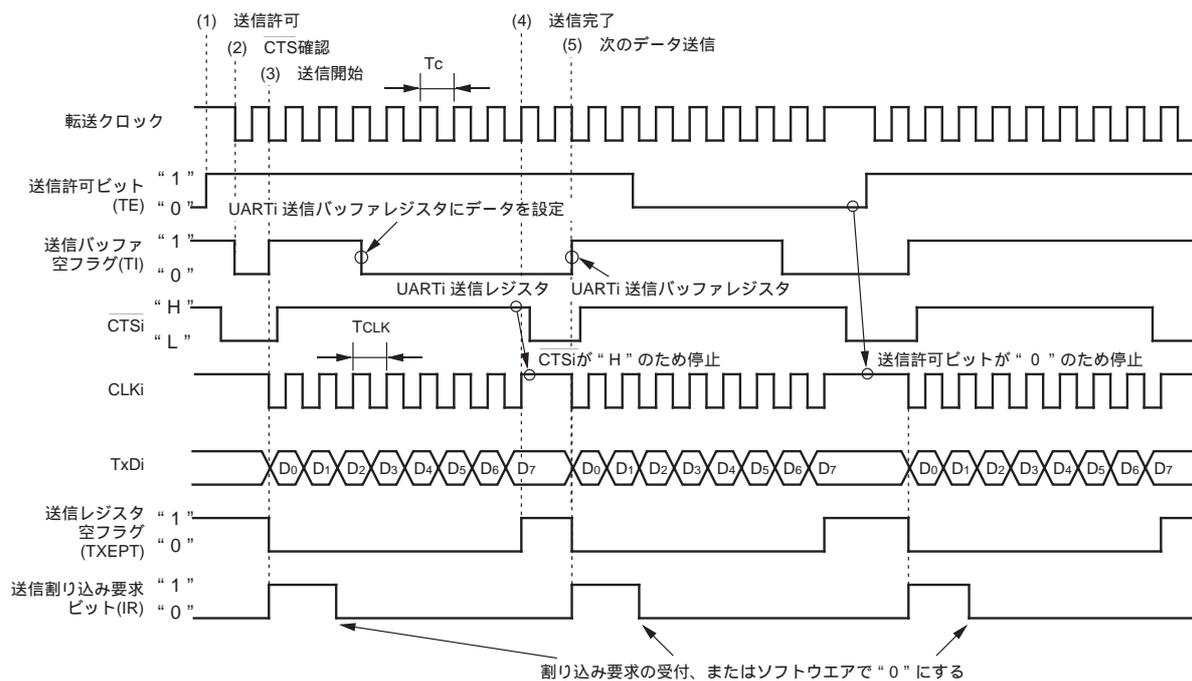
- (1) 送信許可ビットを“1”にし、UARTi送信バッファレジスタに送信データを書き込むと送信できる状態になります。
- (2) CTSi端子の入力が“L”レベルになると送信を開始します(CTSi端子は、受信側で制御する必要があります)。
- (3) 最初の転送クロックの立ち下がりエッジに同期して、UARTi送信バッファレジスタに入っている送信データがUARTi送信レジスタに転送されます。同時に、UARTi送信割り込み要求ビットが“1”になります。また、送信データの1ビット目がTxDi端子から送信されます。そして、立ち下がりエッジに同期して、下位ビットから順に1ビットずつ送信されます。
- (4) 1バイトのデータの送信が完了すると、送信レジスタ空フラグが“1”になり、送信が完了したことを示します。また、転送クロックは“H”レベルで停止します。
- (5) 送信中(8ビット目が出力される前)に、UARTi送信バッファレジスタに次の送信データを設定していれば、続けて送信が行われます。

クロック同期形シリアルI/O

結線例



動作例



()内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。

- 内部クロック選択
- CTS機能選択
- CLK極性選択ビット = "0"
- 送信割り込み要因選択ビット = "0"

$$T_c = T_{CLK} = 2(n+1) / f_i$$

fi : BRGiのカウンタソースの周波数(f1, f8, f32)
n : BRGiに設定した値

図2.4.5. クロック同期形シリアルI/Oモードの送信動作タイミング図

クロック同期形シリアルI/O

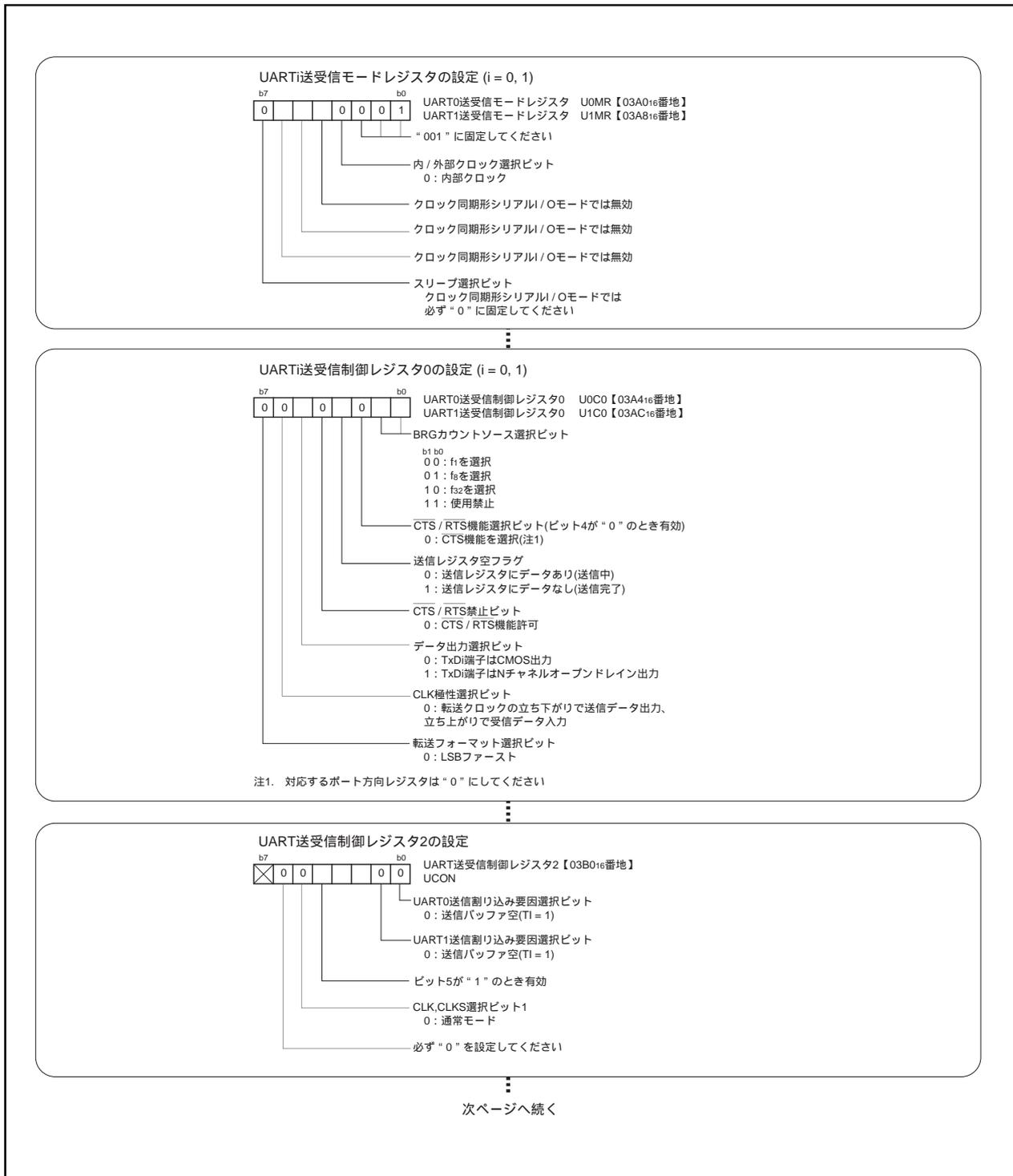


図2.4.6. クロック同期形シリアルI/Oモードの送信動作時のレジスタ設定手順(1)

クロック同期形シリアルI/O

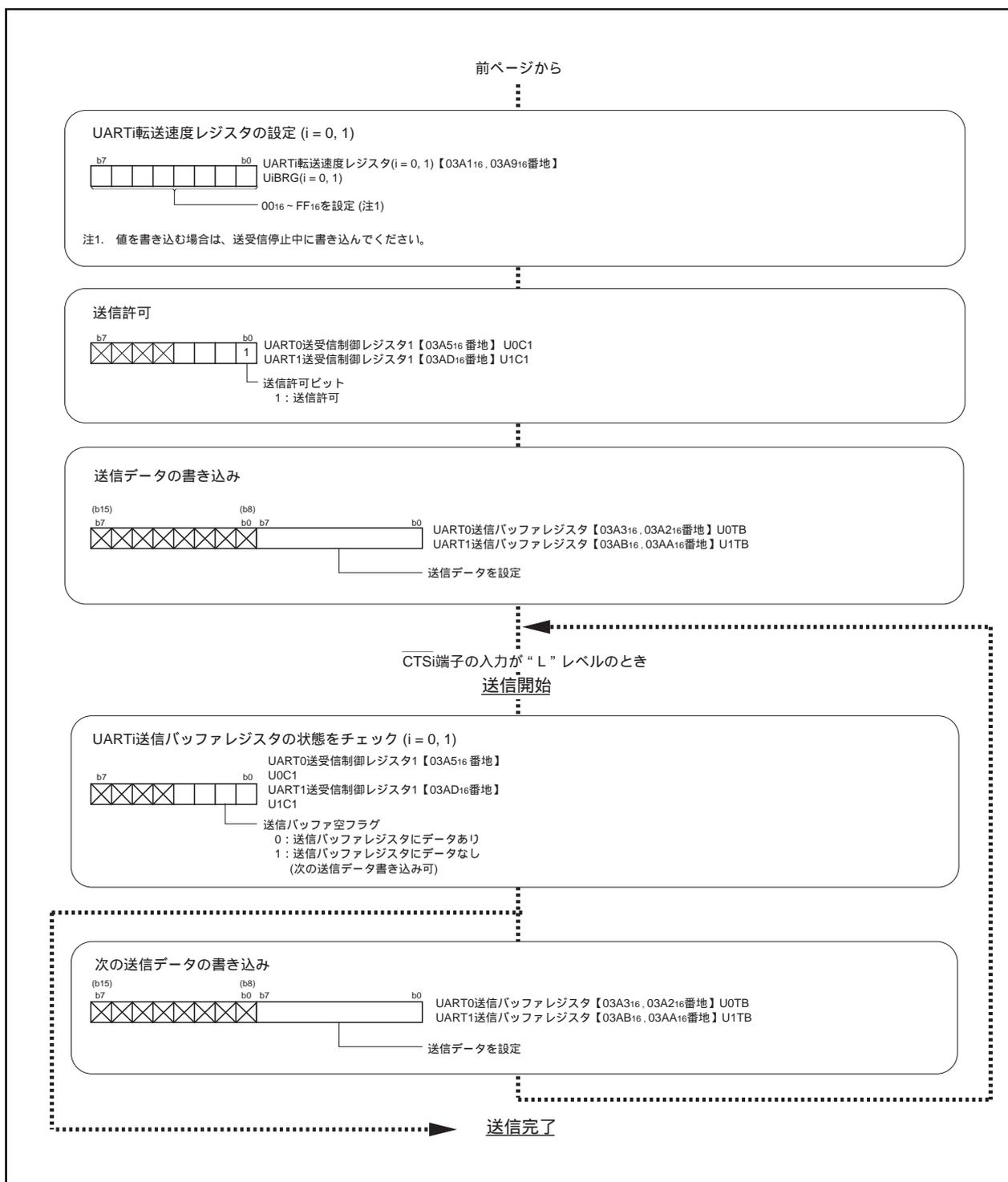


図2.4.7. クロック同期形シリアルI/Oモードの送信動作時のレジスタ設定手順(2)

クロック同期形シリアルI/O

2.4.3 シリアルI/O動作 (クロック同期形シリアルI/Oモードの送信、複数クロック出力機能選択時)

クロック同期形シリアルI/Oモードの送信では、表2.4.2に示す項目の中から機能を選択できます。ここでは、表2.4.2に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.4.8に動作タイミングを、図2.4.9、図2.4.10に設定手順を示します。

表2.4.2. 設定内容

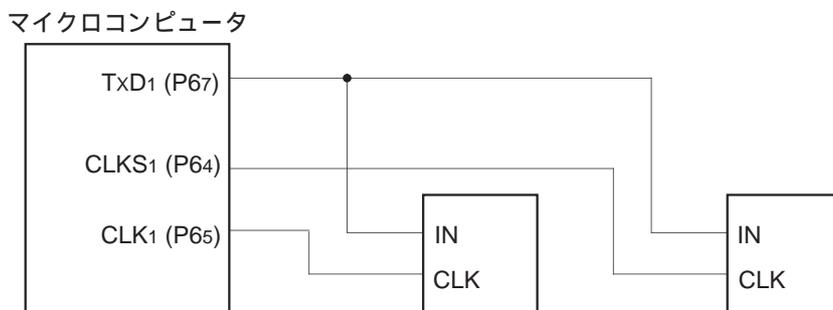
設定項目	設定内容	設定項目	設定内容
転送クロックソース	内部クロック($f_1 / f_8 / f_{32}$)	送信割り込み要因	送信バッファ空
	外部クロック(CLKi端子)		送信完了
CTS機能	CTS機能許可	転送クロック複数端子出力機能(注1)	なし
	CTS機能禁止		あり
CLK極性	転送クロックの立ち下がりで送信データ出力		
	転送クロックの立ち上がりで送信データ出力		
転送フォーマット	LSBファースト		
	MSBファースト		

注1. UART1を内部クロックで使用するときだけ選択できます。この機能選択時、UART1のCTS / RTS機能は使用できません。UART1のCTS / RTS禁止ビットを“1”にしてください。

- 動作
- (1) 送信許可ビットを“1”にすると、送信できる状態になります。
 - (2) UART1送信バッファレジスタに送信データを書き込むと、最初の転送クロックの立ち下がりエッジに同期して、UART1送信バッファレジスタに入っている送信データがUART1送信レジスタに転送されます。同時に、送信データの1ビット目がTxD1端子から送信されます。そして、転送クロックの立ち下がりエッジに同期して、下位ビットから順に1ビットずつ送信されます。
 - (3) 1バイトのデータの送信が完了すると、送信レジスタ空フラグが“1”になり、送信が完了したことを示します。また、転送クロックは“H”レベルで停止します。同時に、UART1送信割り込み要求ビットが“1”になります。
 - (4) CLK、CLKS選択ビット1を“1”、CLK、CLKS選択ビット0を“1”にすると、CLKS1端子が転送クロック出力端子となります。転送クロック出力端子の変更は、送信停止中に行ってください。

クロック同期形シリアルI/O

結線例



注1. クロック同期形シリアルI/Oモード時で、内部クロックを選択し、送信だけを行う場合

動作例

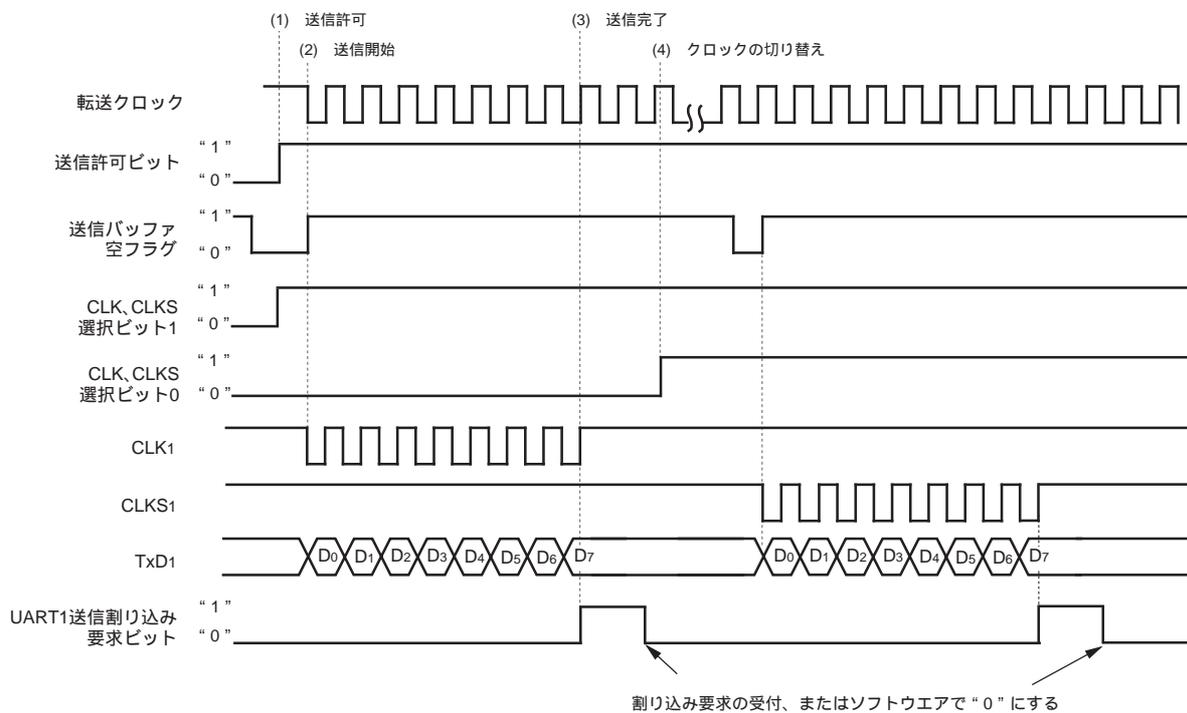


図2.4.8. クロック同期形シリアルI/Oモードの送信、複数クロック出力機能選択時の動作タイミング図

クロック同期形シリアルI/O

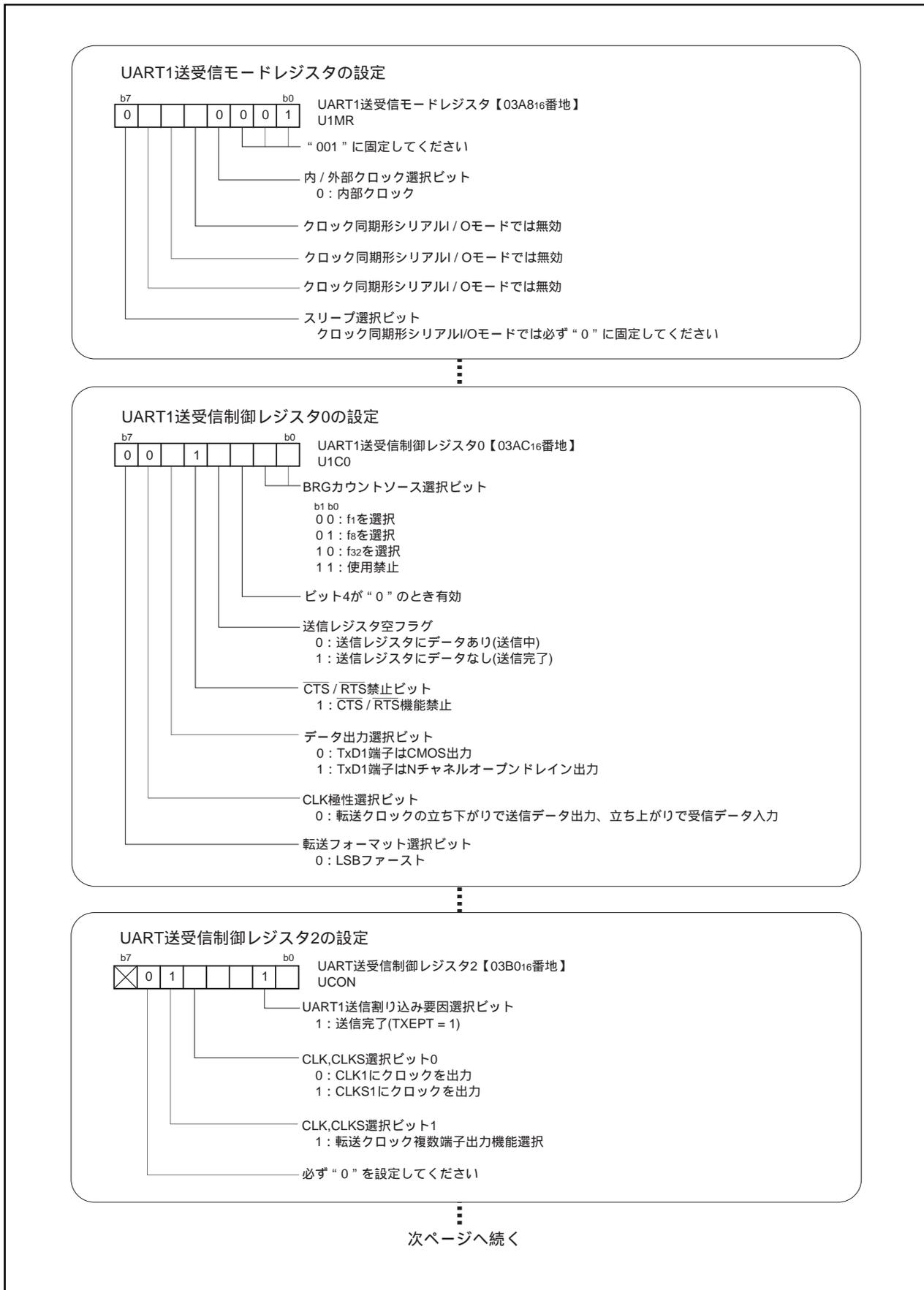


図2.4.9. クロック同期形シリアルI/Oモードの送信、複数クロック出力機能選択時のレジスタ設定手順(1)

クロック同期形シリアルI/O

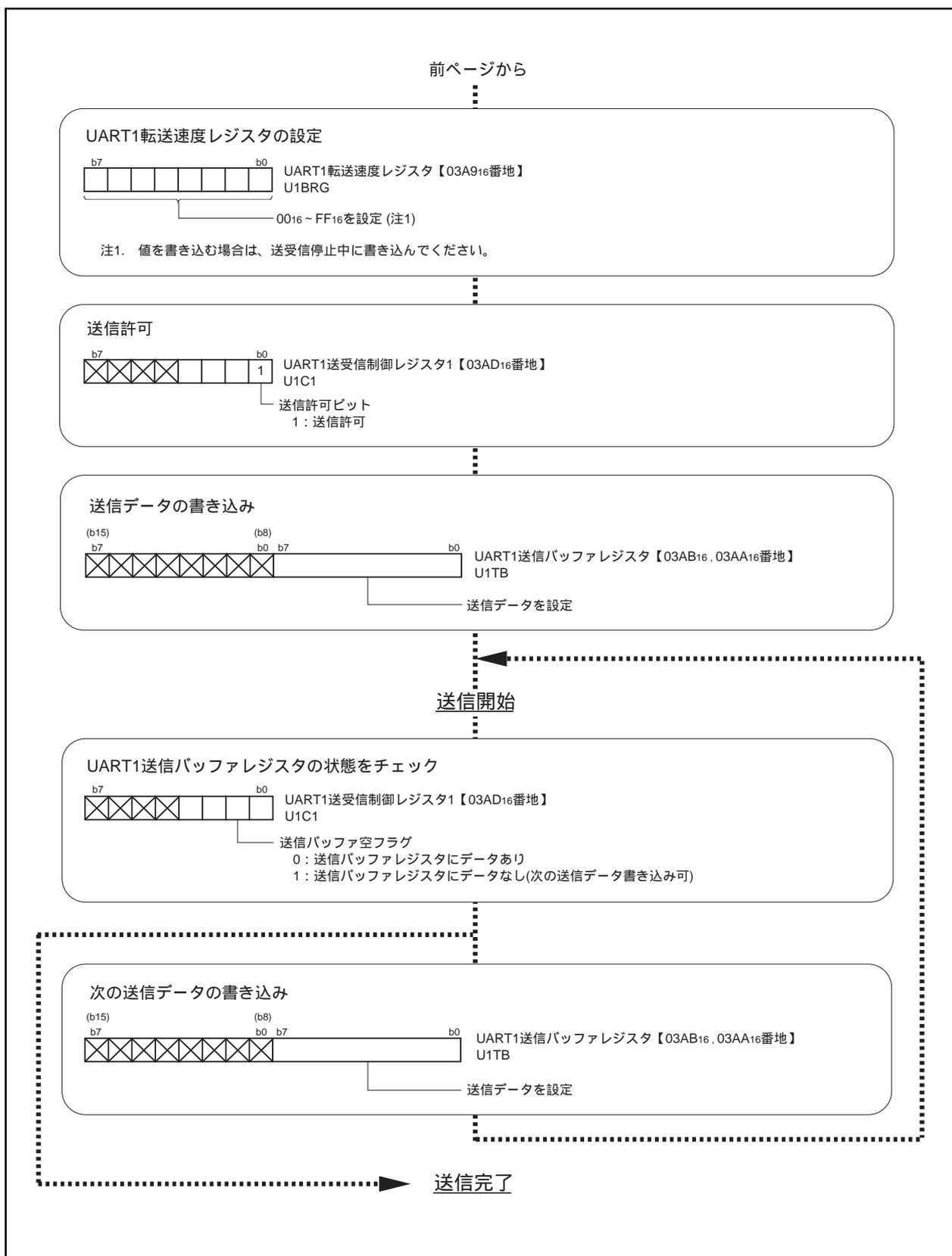


図2.4.10. クロック同期形シリアルI/Oモードの送信、複数クロック出力機能選択時のレジスタ設定手順(2)

2.4.4 シリアルI/O動作 (クロック同期形シリアルI/Oモードの受信)

クロック同期形シリアルI/Oモードの受信では、表2.4.3に示す項目の中から機能を選択できます。ここでは、表2.4.3に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.4.11に動作タイミングを、図2.4.12、図2.4.13に設定手順を示します。

表2.4.3. 設定内容

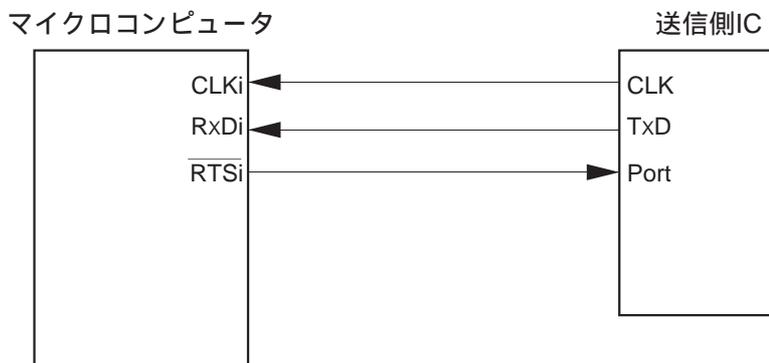
設定項目	設定内容	設定項目	設定内容
転送クロックソース	内部クロック($f_1 / f_8 / f_{32}$)	連続受信モード	禁止
	外部クロック(CLKi端子)		許可
RTS機能	RTS機能許可	転送クロック複数端子出力機能(注1)	なし
	RTS機能禁止		あり
CLK極性	転送クロックの立ち上がりで受信データ入力		
	転送クロックの立ち下がりで受信データ入力		
転送フォーマット	LSBファースト		
	MSBファースト		

注1. UART1を内部クロックで使用するときだけ選択できます。この機能選択時、UART1のCTS / RTS機能は使用できません。UART1のCTS / RTS禁止ビットを“1”にしてください。

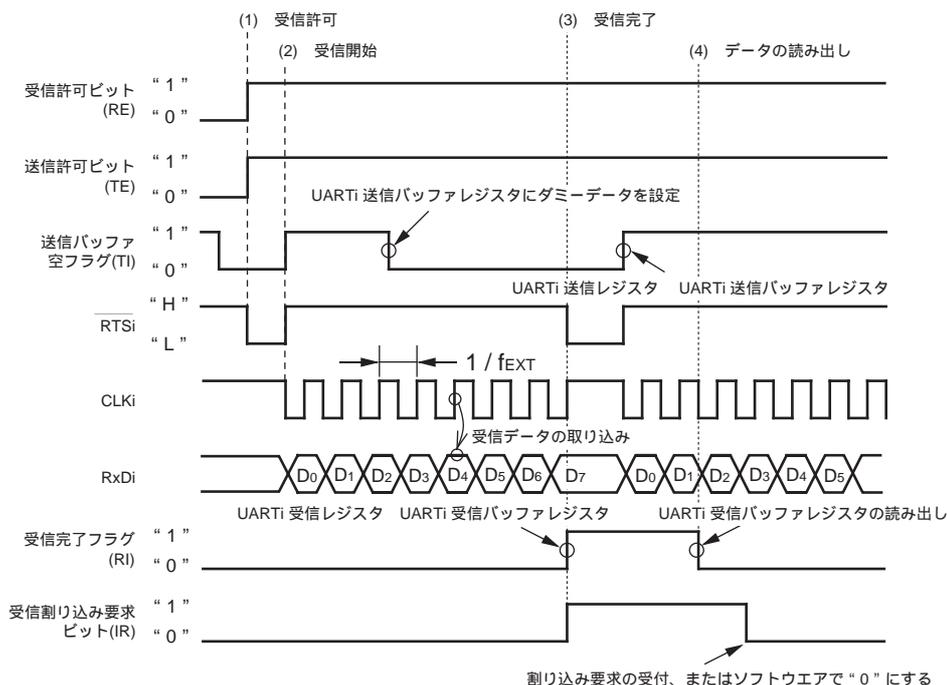
- 動作
- (1) UARTi送信バッファレジスタにダミーデータを書き込み、受信許可ビットを“1”、送信許可ビットを“1”にすると、受信できる状態になります。同時に、RTSi端子の出力が“L”レベルになり、受信できる状態になったことを送信側に知らせます(送信側のICでは、RTS出力が“L”レベルになったことを確認した後、転送クロックを出力してください)。
 - (2) 最初の転送クロックの立ち上がりエッジに同期して、RxDi端子の入力信号をUARTi受信レジスタの最上位ビットに取り込みます。そして、転送クロックの立ち上がりエッジに同期して、UARTi受信レジスタの内容を右にシフトしながらデータを取り込みます。
 - (3) UARTi受信レジスタに1バイトのデータが揃うと、UARTi受信レジスタの内容はUARTi受信バッファレジスタに転送されます。また、転送クロックは“H”レベルで停止します。同時に、受信完了フラグとUARTi受信割り込み要求ビットが“1”になります。
 - (4) 受信完了フラグはUARTi受信バッファレジスタの下位バイトを読み出したとき“0”になります。

クロック同期形シリアルI/O

結線例



動作例



()内はビットシンボルです。

上記タイミング図は次の設定条件の場合です。

- 外部クロック選択
- RTS 機能選択
- CLK極性選択ビット = "0"

fEXT : 外部クロックの周波数

データ受信前のCLKi端子の入力が "H" レベルのときに、以下の条件が揃うようにしてください。

- 送信許可ビット "1"
- 受信許可ビット "1"
- UARTi送信バッファレジスタへのダミーデータの書き込み

図2.4.11. クロック同期形シリアルI/Oモードの受信動作タイミング図

クロック同期形シリアルI/O

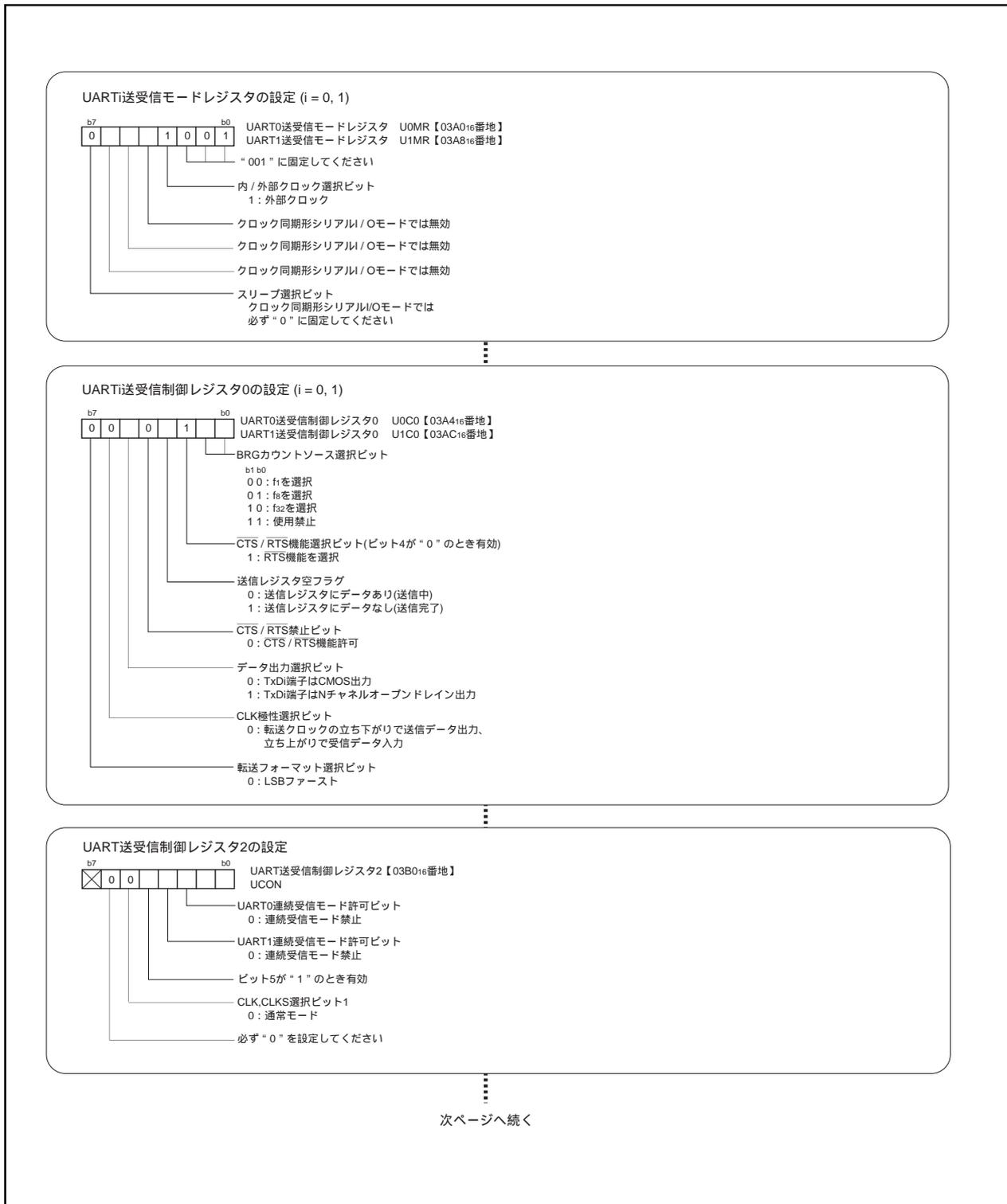


図2.4.12. クロック同期形シリアルI/Oモードの受信動作時のレジスタ設定手順(1)

クロック同期形シリアルI/O

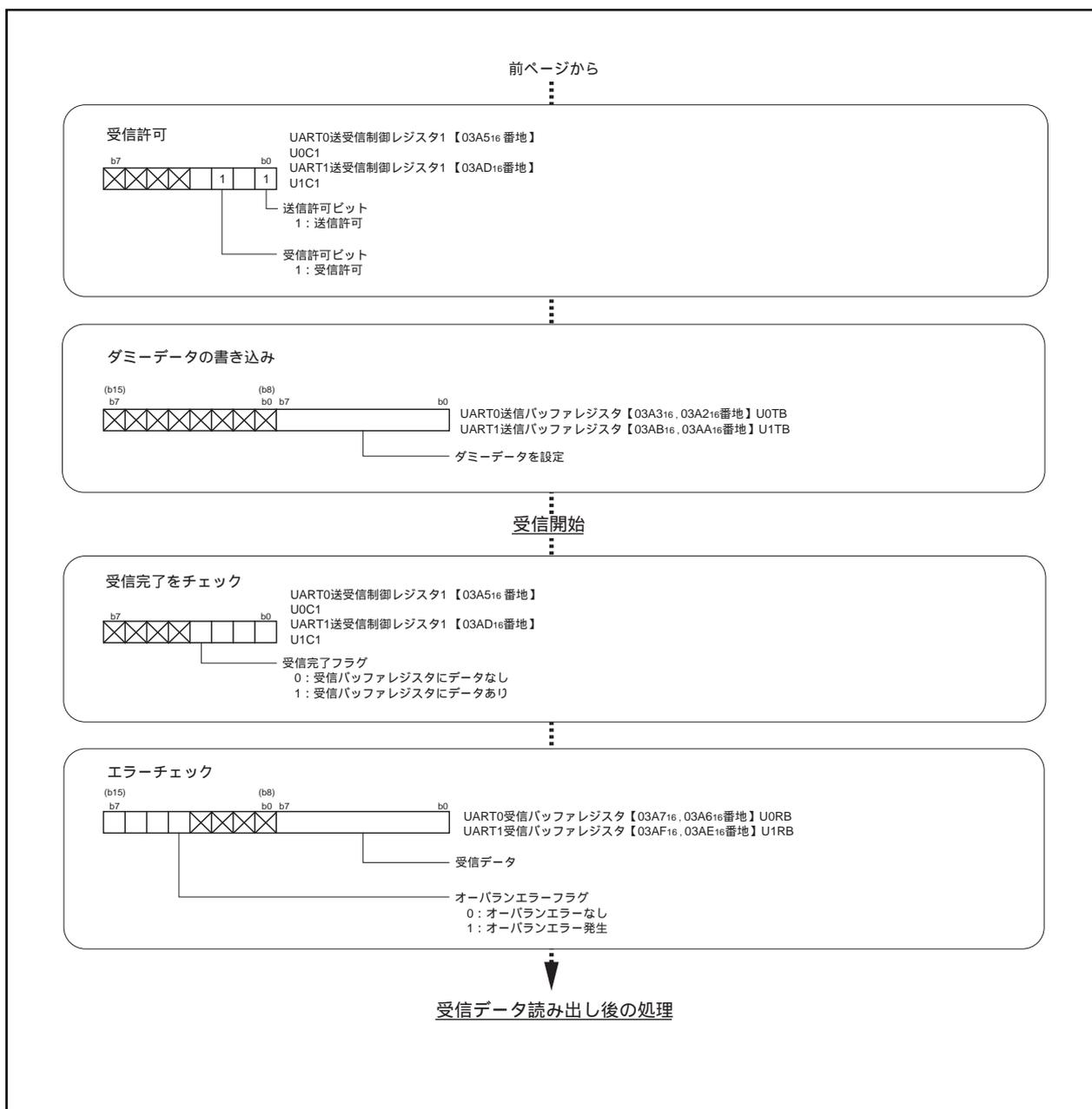


図2.4.13. クロック同期形シリアルI/Oモードの受信動作時のレジスタ設定手順(2)

クロック同期形シリアルI/O

2.4.5 シリアルI/Oの注意事項 (クロック同期形シリアルI/Oモード時)

送受信 (1) 外部クロック選択時、RTS機能を選択した場合は、受信可能状態になるとRTSi端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されるとRTSi端子の出力レベルは“H”になります。このため、RTSi端子を送信側のCTSi端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時はRTS機能は無効です。図2.4.14に結線例を示します。

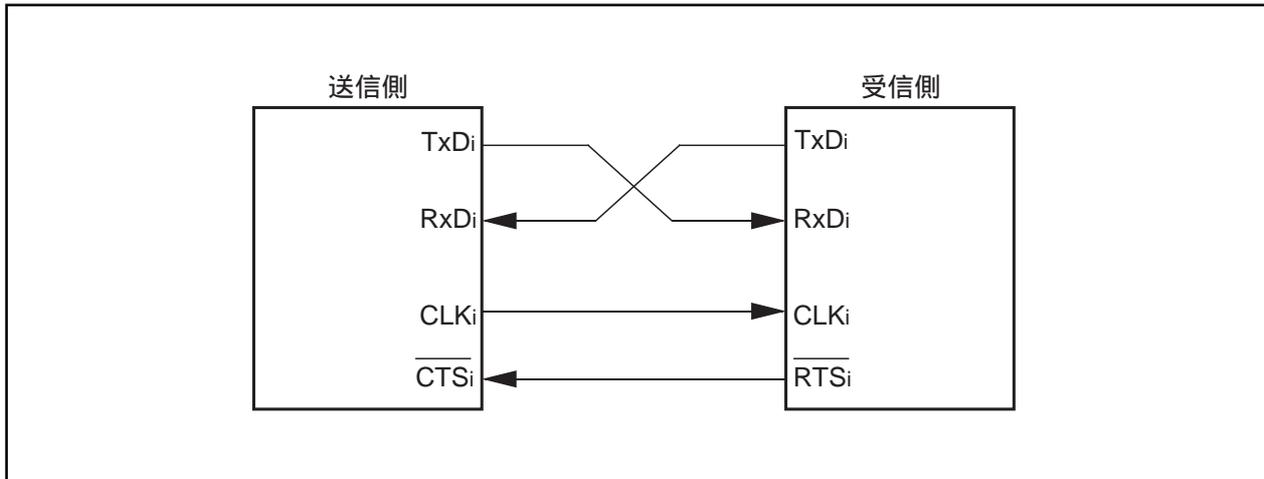


図2.4.14. 結線例

クロック同期形シリアルI/O

- 送信
- (1) 外部クロック選択時、CLK極性選択ビットが“0”の場合はCLKi端子の入力が“H”レベルの状態、 “1”の場合は“L”レベルの状態、以下の設定を行ってください。
 1. 送信許可ビットのセット(“1”に設定)
 2. UARTi送信バッファレジスタへの送信データの書き込み
 3. CTSi端子への“L”レベルの入力(CTS機能を選択時)
- 受信
- (1) クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信動作(送信のための設定)を行う必要があります。また、受信時TxDi端子(送信端子)からはダミーデータが外部に出力されます。
 - (2) 内部クロック選択時は送信許可ビットを“1”(送信許可状態)にし、そしてダミーデータをUARTi送信バッファレジスタに設定するとシフトクロックが発生します。
外部クロック選択時は送信許可ビットを“1”にし、そしてダミーデータをUARTi送信バッファレジスタに設定し、外部クロックがCLKi端子に入力されたときシフトクロックを発生します。
 - (3) 連続してデータを受信する場合、受信完了フラグが“1”の状態(UARTi受信バッファレジスタの内容を読み出す前)でUARTi受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、オーバランエラーフラグが“1”になります。この場合、UARTi受信バッファレジスタには次のデータが書き込まれますので、オーバランエラーが発生したときは以前のデータを再送信するように送信、および受信側のプログラムで対処してください。
また、オーバランエラーが発生したときはUARTi受信割り込み要求ビットは“1”になりません。
 - (4) 連続してデータを受信する場合は、1回の受信ごとにUARTi送信バッファレジスタの下位バイトへダミーデータを設定してください。
 - (5) 外部クロック選択時、CLK極性選択ビットが“0”の場合はCLKi端子の入力“H”レベルの状態、 “1”の場合は“L”レベルの状態、以下の設定を行ってください。
 1. 受信許可ビットのセット(“1”に設定)
 2. 送信許可ビットのセット(“1”に設定)
 3. UARTi送信バッファレジスタへのダミーデータの書き込み
 - (6) RTS端子の出力は、受信許可ビットを“1”にすると同時に“L”レベルになります。送信バッファ空フラグの内容、送信許可ビットの内容とは関係ありません。
また、RTS端子の出力は受信が始まると“H”レベルになり、受信が完了すると“L”レベルになります。送信バッファ空フラグの内容、受信完了フラグの内容とは関係ありません。

クロック非同期形シリアルI/O

2.5 クロック非同期形シリアルI/O

2.5.1 概要

クロック非同期形シリアルI/Oは、キャラクタ単位で同期をとりながら通信を行います。送信部と受信部は独立していますので、全二重通信が可能です。クロック非同期形シリアルI/Oの概要について説明します。

送受信フォーマット

図2.5.1に送受信フォーマットを、表2.5.1に送信データの名称とその機能を示します。

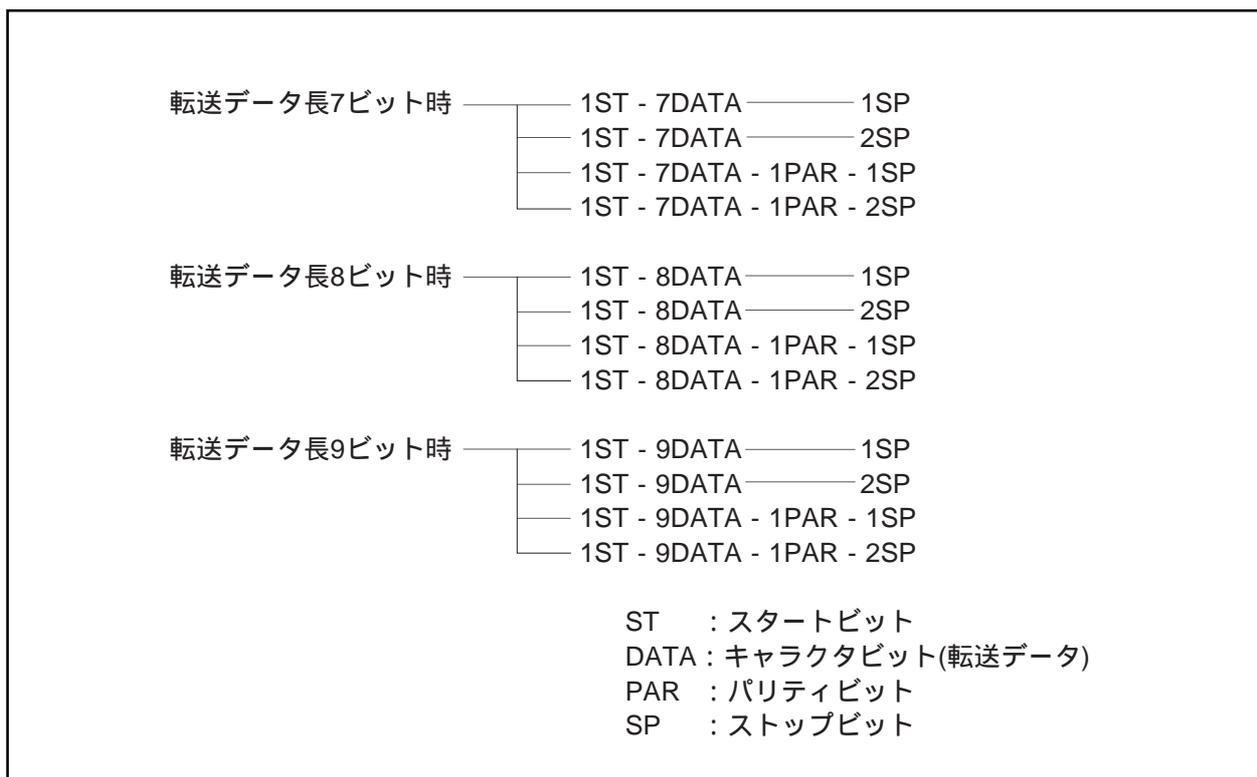


図2.5.1 送受信フォーマット

表2.5.1 送信データの名称とその機能

名 称	機 能
ST(スタートビット)	キャラクタビットの直前に付加するキャラクタビット1ビット分の“L”信号。データの送信開始を示す。
DATA(キャラクタビット)	UARTi送信バッファレジスタに設定される送信データ。
PAR(パリティビット)	データの信頼性を向上させるために、キャラクタビットの直後に付加する信号。この信号のレベルは、パリティ奇/偶の選択に従ってこのビットとキャラクタビット中の“1”の総数が常に奇数、または偶数になるように変化する。
SP(ストップビット)	キャラクタビット(パリティ許可時はパリティビット)の直後に付加するキャラクタビット1ビット分、または2ビット分の“H”信号。データの送信終了を示す。

クロック非同期形シリアルI/O

転送速度

転送速度レジスタ(BRG)で分周した周波数の16分周が転送速度となります。転送速度レジスタのカウントソースは、f₁、f₈、f₃₂、およびCLK端子からの入力を選択できます。f₁、f₈、f₃₂とは、それぞれCPUのメインクロックを1分周、8分周、32分周したクロックです。

表2.5.2 ボーレート設定例

ボーレート (bps)	BRGの カウントソース	システムクロック：10MHz時		システムクロック：7.3728MHz時	
		BRGの設定値：n	実時間 (bps)	BRGの設定値：n	実時間 (bps)
600	f ₈	129 (81 ₁₆)	600	95 (5F ₁₆)	600
1200	f ₈	64 (40 ₁₆)	1201	47 (2F ₁₆)	1200
2400	f ₈	32 (20 ₁₆)	2367	23 (17 ₁₆)	2400
4800	f ₁	129 (81 ₁₆)	4807	95 (5F ₁₆)	4800
9600	f ₁	64 (40 ₁₆)	9615	47 (2F ₁₆)	9600
14400	f ₁	42 (2A ₁₆)	14534	31 (1F ₁₆)	14400
19200	f ₁	32 (20 ₁₆)	18939	23 (17 ₁₆)	19200
28800	f ₁	21 (15 ₁₆)	28409	15 (F ₁₆)	28800
31250	f ₁	19 (13 ₁₆)	31250		

エラー検知

クロック非同期形シリアルI/Oモードでは、表2.5.3に示すエラーを検知できます。

表2.5.3 エラー検知

エラーの種類	エラーの内容	フラグが立つタイミング	フラグをクリアする方法
オーバランエラー	<ul style="list-style-type: none"> UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生します。 UARTi受信バッファレジスタには次のデータが書き込まれます。 UARTi受信割り込み要求ビットは“1”になりません。 	UARTi受信レジスタからUARTi受信バッファレジスタにデータが転送されるときに検出される。	<ul style="list-style-type: none"> シリアルI/Oモード選択ビットを“000₂”にする。 受信許可ビットを“0”にする。
フレーミングエラー	<ul style="list-style-type: none"> 設定した個数のストップビットに満たなかったとき発生します。 		<ul style="list-style-type: none"> シリアルI/Oモード選択ビットを“000₂”にする。 受信許可ビットを“0”にする。 UARTi受信バッファレジスタの下位バイトの読み出し。
パリティエラー	<ul style="list-style-type: none"> パリティ許可時に、パリティビットとキャラクタビットの中の“1”の総数が設定した個数でなかったとき発生します。 		
エラーサムフラグ	<ul style="list-style-type: none"> オーバランエラー、フレーミングエラー、パリティエラーのいずれか1つでも検出されたとき発生します。 		<ul style="list-style-type: none"> オーバランエラー、フレーミングエラー、パリティエラーのすべてが“0”になったとき。

クロック非同期形シリアルI/O

エラー発生時の対処方法

受信時、エラーフラグと受信データを同時に読み出し、エラーの判断を行ってください。読み出したデータがエラーの場合は、エラーフラグ、およびUARTi受信バッファレジスタを初期化した後、再度受信を行ってください。UARTi受信バッファレジスタを初期化する手順を以下に示します。

- (1)受信許可ビットを“0”(受信禁止)にする
- (2)受信許可ビットを再度“1”(受信許可)にする

送信時、受信側のエラー発生によって再送信を行う必要がある場合は、UARTi送信バッファレジスタを再設定した後に、再送信してください。UARTi送信バッファレジスタを再設定する手順を以下に示します。

- (1)シリアルI/Oモード選択ビットを“0002”(シリアルI/Oは無効)にする
- (2)シリアルI/Oモード選択ビットを再設定する
- (3)送信許可ビットを“1”(送信許可)にし、UARTi送信バッファレジスタに送信データを設定する

選択機能

クロック非同期形シリアルI/Oでは、次の機能を選択することができます。

(1) $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 機能

$\overline{\text{CTS}}$ 機能とは、外部のICが、 $\overline{\text{CTS}}$ 端子に“L”レベルを入力することによって送受信を開始させる機能です。送受信の開始時に $\overline{\text{CTS}}$ 端子入力レベルを検知しますので、送受信の最中に“H”にした場合は、次のデータから停止します。

$\overline{\text{RTS}}$ 機能とは、受信準備が整ったとき、 $\overline{\text{RTS}}$ 端子の出力レベルが“L”になり、外部のICに知らせる機能です。転送クロックの最初の立ち下がりで“H”に戻ります。

クロック非同期形シリアルI/Oでは、 $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 機能として次の3種類から選択できます。

$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 機能無効	$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 端子はプログラマブル入出力ポートとして使用できます。
$\overline{\text{CTS}}$ 機能だけ有効	$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 端子は $\overline{\text{CTS}}$ 機能として動作します。
$\overline{\text{RTS}}$ 機能だけ有効	$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 端子は $\overline{\text{RTS}}$ 機能として動作します。

(2) スリープモード

クロック非同期形シリアルI/Oを使用して接続した複数のマイクロコンピュータのうち、特定のマイクロコンピュータに転送するモードです。

(3) シリアルデータ論理切り替え機能

シリアルデータ論理切り替え機能とは、送信バッファレジスタへの書き込み、および受信バッファからの読み出しの際、データを反転させる機能です。

(1)~(3)の機能を次のとおり選択した動作例を示します。

$\overline{\text{CTS}}$ 機能選択、その他の機能非選択の送信動作	P254
$\overline{\text{RTS}}$ 機能選択、その他の機能非選択の受信動作	P258

クロック非同期形シリアルI/O

シリアルI/Oへの入力と方向レジスタ

シリアルI/Oへ外部信号を入力する場合、ポートの方向レジスタは入力に設定してください。

シリアルI/O関連端子

- | | |
|--|------------------------------------|
| (1) $\overline{\text{CTS}}_0$ 、 $\overline{\text{CTS}}_1$ 端子 | $\overline{\text{CTS}}$ 機能の入力端子です。 |
| (2) $\overline{\text{RTS}}_0$ 、 $\overline{\text{RTS}}_1$ 端子 | $\overline{\text{RTS}}$ 機能の出力端子です。 |
| (3) CLK_0 、 CLK_1 端子 | 転送クロックの入力端子です。 |
| (4) RxD_0 、 RxD_1 端子 | データの入力端子です。 |
| (5) TxD_0 、 TxD_1 端子 | データの出力端子です。 |

クロック非同期形シリアルI/O

シリアルI/O関連レジスタ

図2.5.2にシリアルI/O関連レジスタのメモリ配置図を、図2.5.3～図2.5.5にシリアルI/O関連レジスタの構成を示します。

0051 ₁₆	UART0送信割り込み制御レジスタ(S0TIC)
0052 ₁₆	UART0受信割り込み制御レジスタ(S0RIC)
0053 ₁₆	UART1送信割り込み制御レジスタ(S1TIC)
0054 ₁₆	UART1受信割り込み制御レジスタ(S1RIC)
03A0 ₁₆	UART0送受信モ - ドレジスタ(U0MR)
03A1 ₁₆	UART0転送速度レジスタ(U0BRG)
03A2 ₁₆	UART0送信バッファレジスタ(U0TB)
03A3 ₁₆	
03A4 ₁₆	UART0送受信制御レジスタ 0 (U0C0)
03A5 ₁₆	UART0送受信制御レジスタ 1 (U0C1)
03A6 ₁₆	UART0受信バッファレジスタ(U0RB)
03A7 ₁₆	
03A8 ₁₆	UART1送受信モ - ドレジスタ(U1MR)
03A9 ₁₆	UART1転送速度レジスタ(U1BRG)
03AA ₁₆	UART1送信バッファレジスタ(U1TB)
03AB ₁₆	
03AC ₁₆	UART1送受信制御レジスタ 0 (U1C0)
03AD ₁₆	UART1送受信制御レジスタ 1 (U1C1)
03AE ₁₆	UART1受信バッファレジスタ(U1RB)
03AF ₁₆	
03B0 ₁₆	UART送受信制御レジスタ 2 (UCON)

図2.5.2 シリアルI/O関連レジスタのメモリ配置図

クロック非同期形シリアルI/O

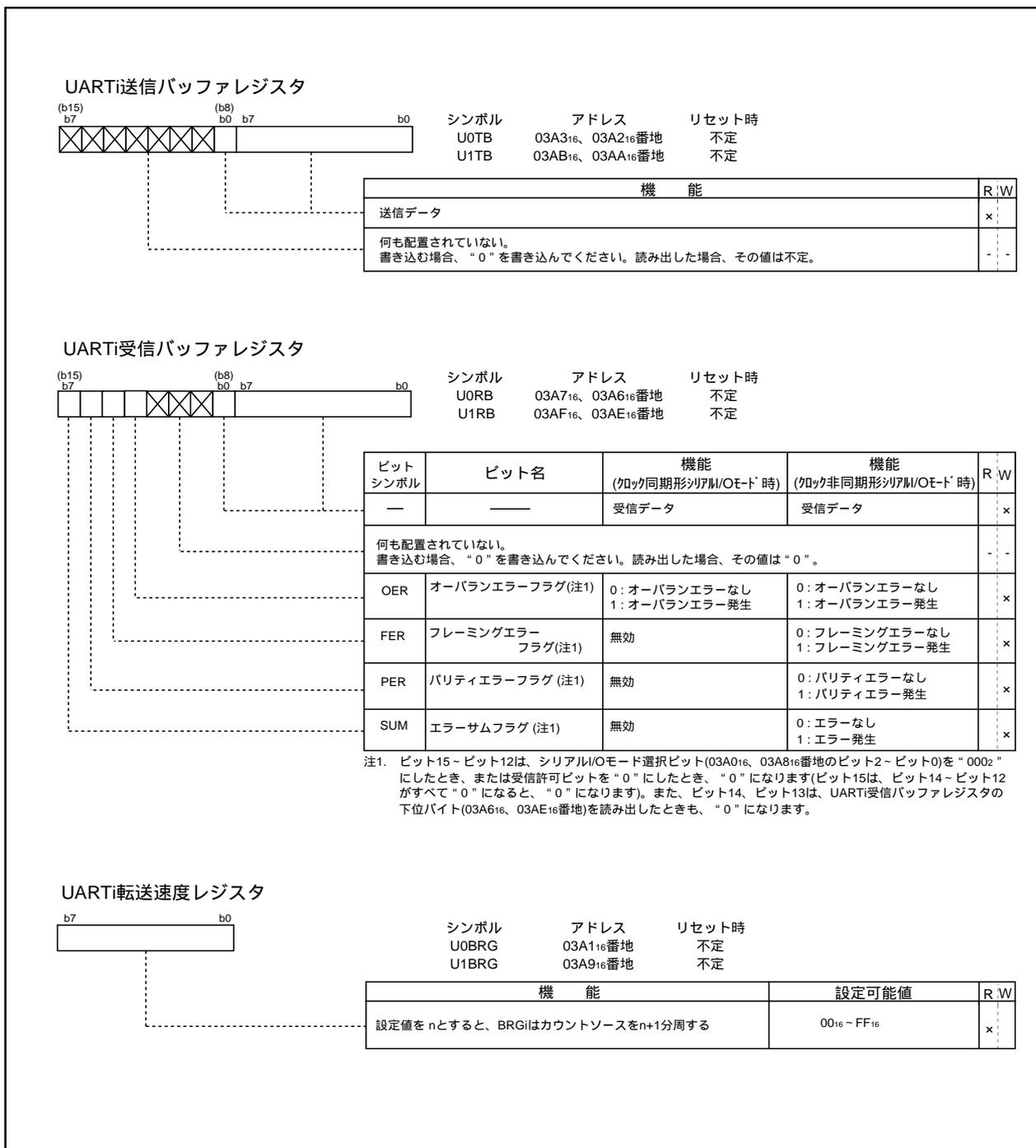


図2.5.3 シリアルI/O関連のレジスタ (1)

クロック非同期形シリアルI/O



図2.5.4 シリアルI/O関連のレジスタ (2)

クロック非同期形シリアルI/O



図2.5.5 シリアルI/O関連のレジスタ (3)

クロック非同期形シリアルI/O

2.5.2 シリアルI/O動作 (クロック非同期形シリアルI/Oモードの送信)

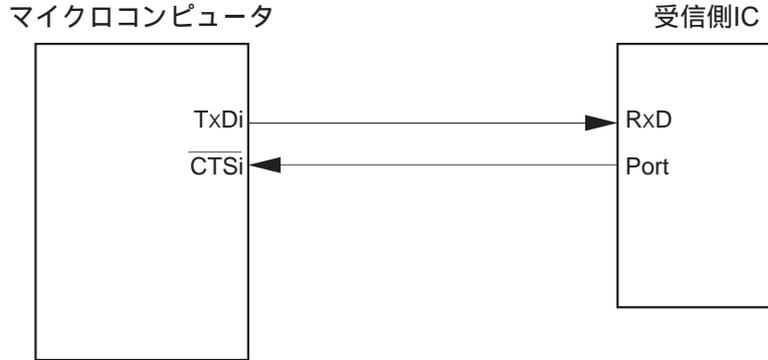
クロック非同期形シリアルI/Oモードの送信では、表2.5.4に示す項目の中から機能を選択できます。ここでは、表2.5.4に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.5.6に動作タイミングを、図2.5.7、図2.5.8に設定手順を示します。

表2.5.4. 設定内容

設定項目	設定内容
転送クロックソース	内部クロック($f_1 / f_8 / f_{32}$)
	外部クロック(CLKi端子)
CTS機能	CTS機能許可
	CTS機能禁止
送信割り込み要因	送信バッファ空
	送信完了
スリープモード	スリープモード解除
	スリープモード選択

- 動作
- (1) 送信許可ビットを“1”にし、UARTi送信バッファレジスタに送信データを書き込むと送信できる状態になります。
 - (2) CTSi端子の入力が“L”レベルになると送信を開始します(CTSi端子は、受信側で制御する必要があります)。
 - (3) UARTi送信バッファレジスタに入っている送信データがUARTi送信レジスタに転送されます。同時に、送信データの1ビット目(スタートビット)がTxDi端子から送信されます。そして、データビット(LSB) …… データビット(MSB) パリティビット ストップビットの順に1ビットずつ送信されます。
 - (4) ストップビットを送信すると、送信レジスタ空フラグが“1”になり、送信が完了したことを示します。同時に、UARTi送信割り込み要求ビットが“1”になります。また、転送クロックは“H”レベルで停止します。
 - (5) 送信完了時に次のデータの送信条件が満たされていれば、ストップビットに続いてスタートビットが発生し、次のデータの送信を行います。

結線例



動作例

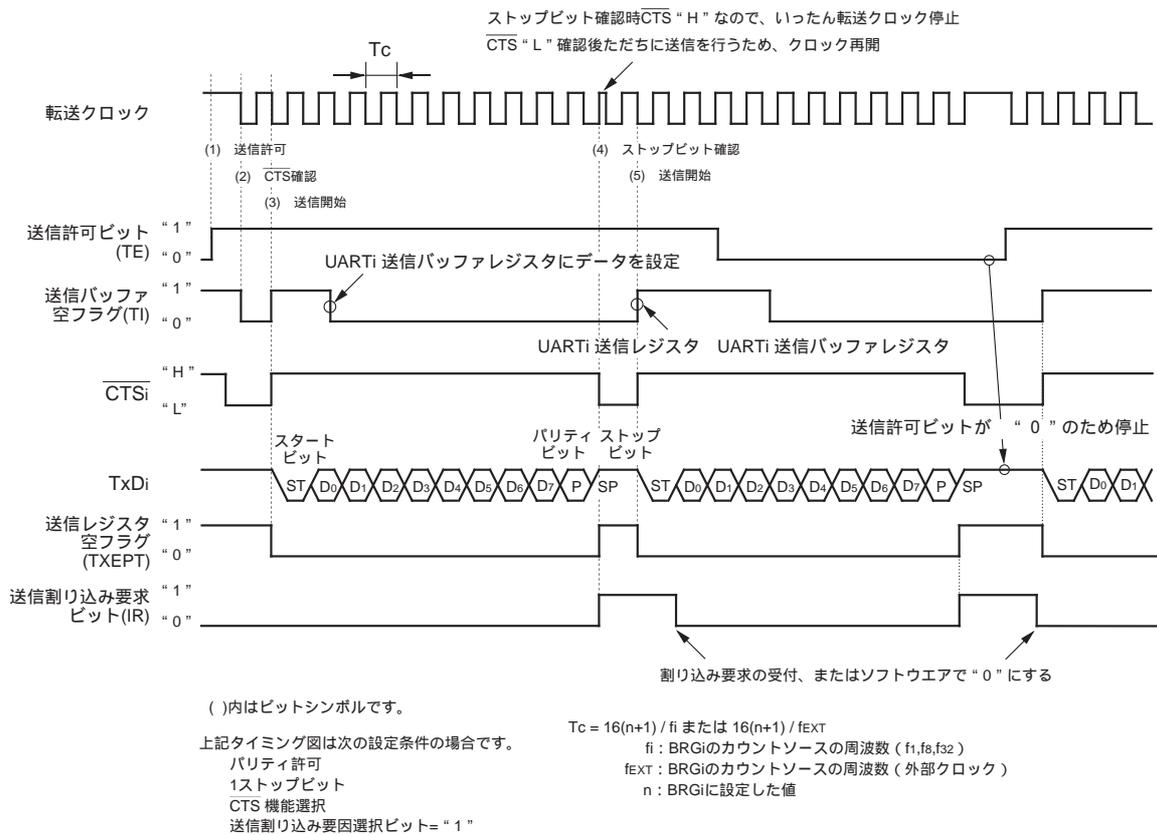


図2.5.6 クロック非同期形シリアルI/Oモードの送信動作タイミング図

クロック非同期形シリアルI/O

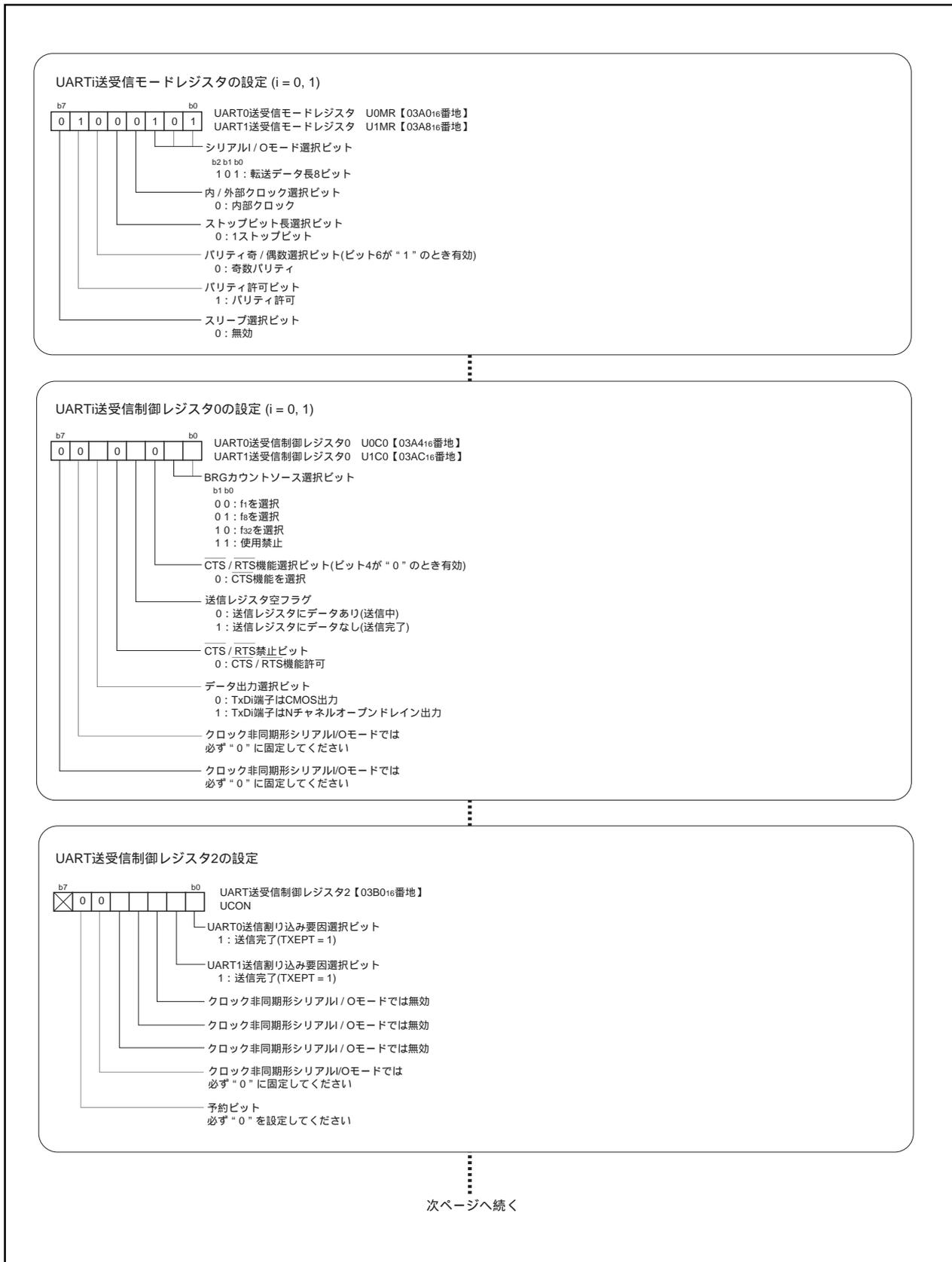


図2.5.7 クロック非同期形シリアルI/Oモードの送信動作時のレジスタ設定手順(1)

クロック非同期形シリアルI/O

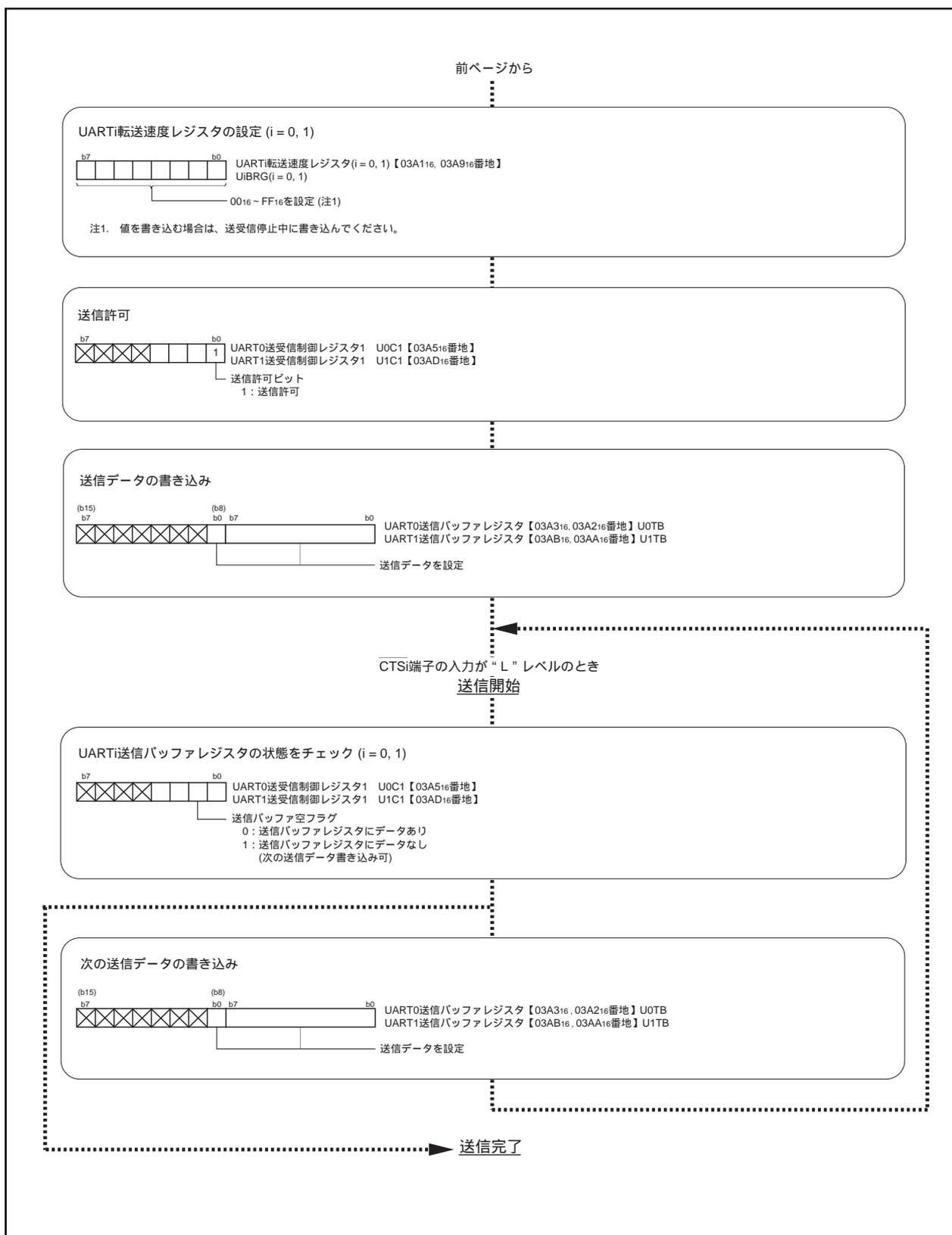


図2.5.8 クロック非同期形シリアルI/Oモードの送信時のレジスタ設定手順(2)

クロック非同期形シリアルI/O

2.5.3 シリアルI/O動作 (クロック非同期形シリアルI/Oモードの受信)

クロック非同期形シリアルI/Oモードの受信では、表2.5.5に示す項目の中から機能を選択できます。ここでは、表2.5.5に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.5.9に動作タイミングを、図2.5.10、図2.5.11に設定手順を示します。

表2.5.5 設定内容

設定項目	設定内容
転送クロックソース	内部クロック($f_1 / f_8 / f_{32}$)
	外部クロック(CLK _i 端子)
RTS機能	RTS機能許可
	RTS機能禁止
スリープモード	スリープモード解除
	スリープモード選択

- 動作
- (1) 受信許可ビットを“1”にすると受信できる状態になります。同時に、 $\overline{\text{RTSi}}$ 端子の出力が“L”レベルになり、受信できる状態になったことを送信側に知らせます。
 - (2) 受信データの1ビット目(スタートビット)がRxDi端子から受信されると $\overline{\text{RTS}}$ の出力が“H”レベルになります。その後、データビット(LSB) …… データビット(MSB) ストップビットの順に1ビットずつ受信されます。
 - (3) ストップビットを受信すると、UART_i受信レジスタの内容はUART_i受信バッファレジスタに転送されます。
同時に以下のようにになります。
受信完了フラグが“1”になり、受信が完了したことを示します。
UART_i受信割り込み要求ビットが“1”になります。
 $\overline{\text{RTS}}$ 端子の出力レベルは“L”になります。
 - (4) 受信完了フラグはUART_i受信バッファレジスタの下位バイトを読み出したとき“0”になります。

クロック非同期形シリアルI/O

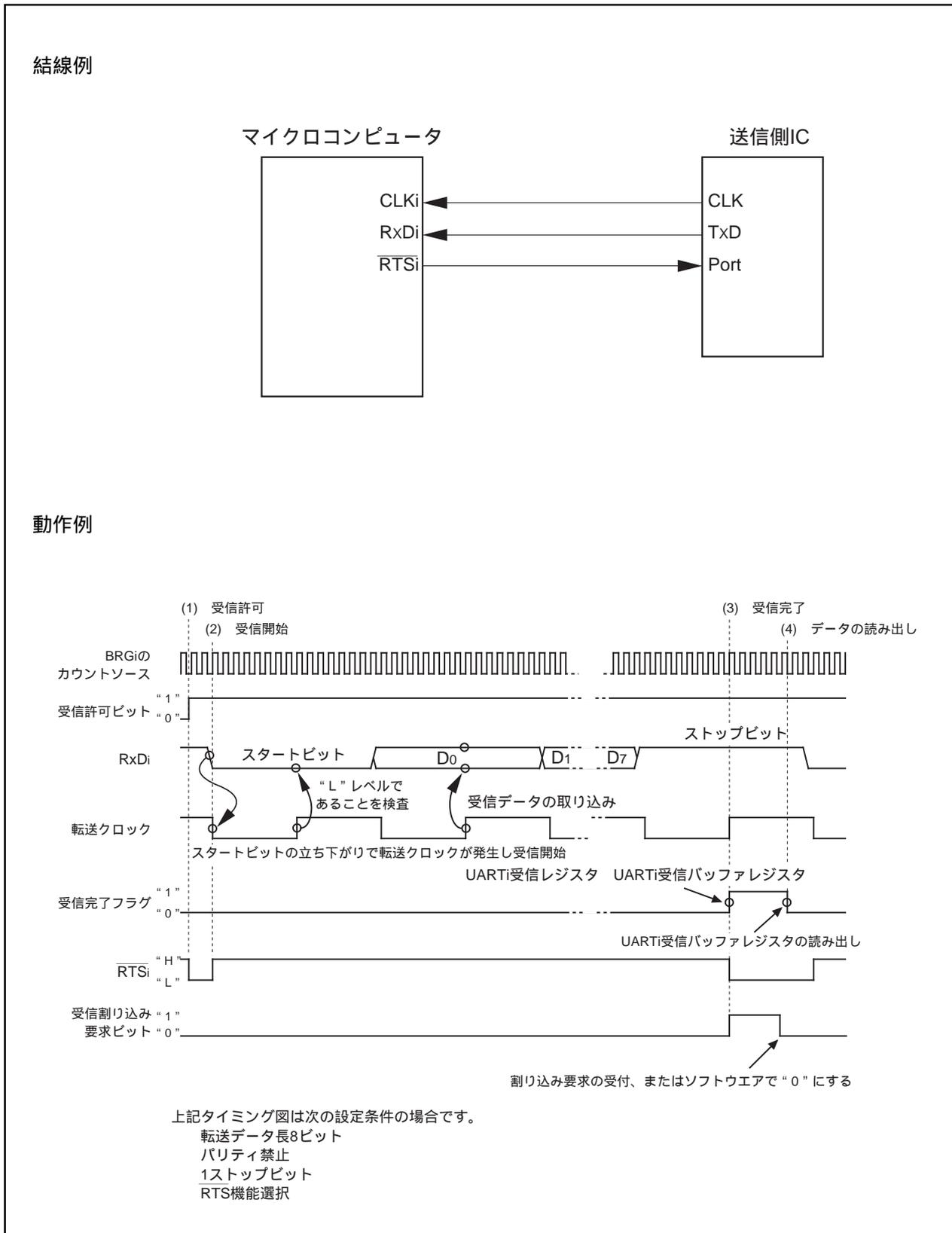


図2.5.9 クロック非同期形シリアルI/Oモードの受信動作タイミング図

クロック非同期形シリアルI/O

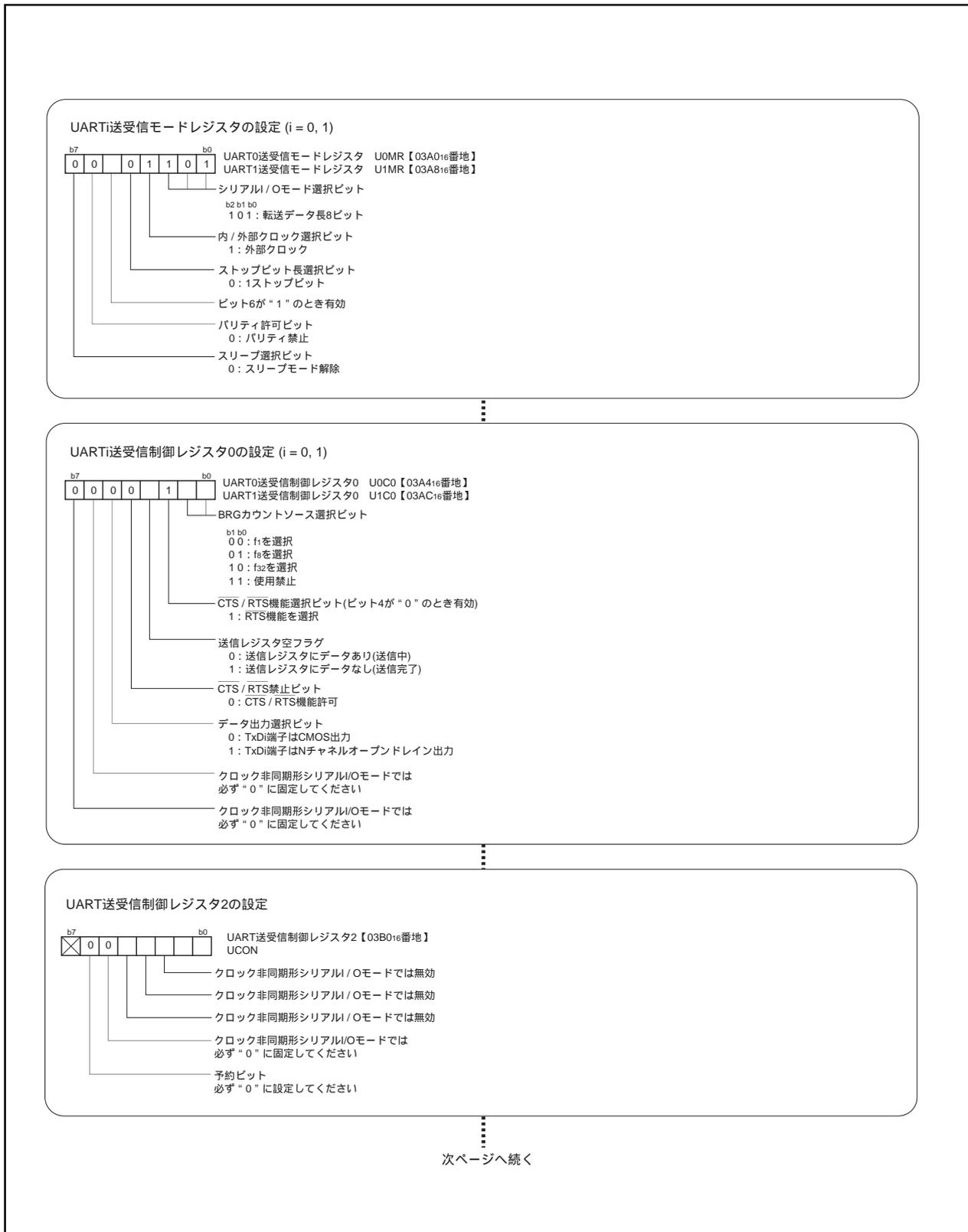


図2.5.10 クロック非同期形シリアルI/Oモードの受信時のレジスタ設定手順(1)

クロック非同期形シリアルI/O

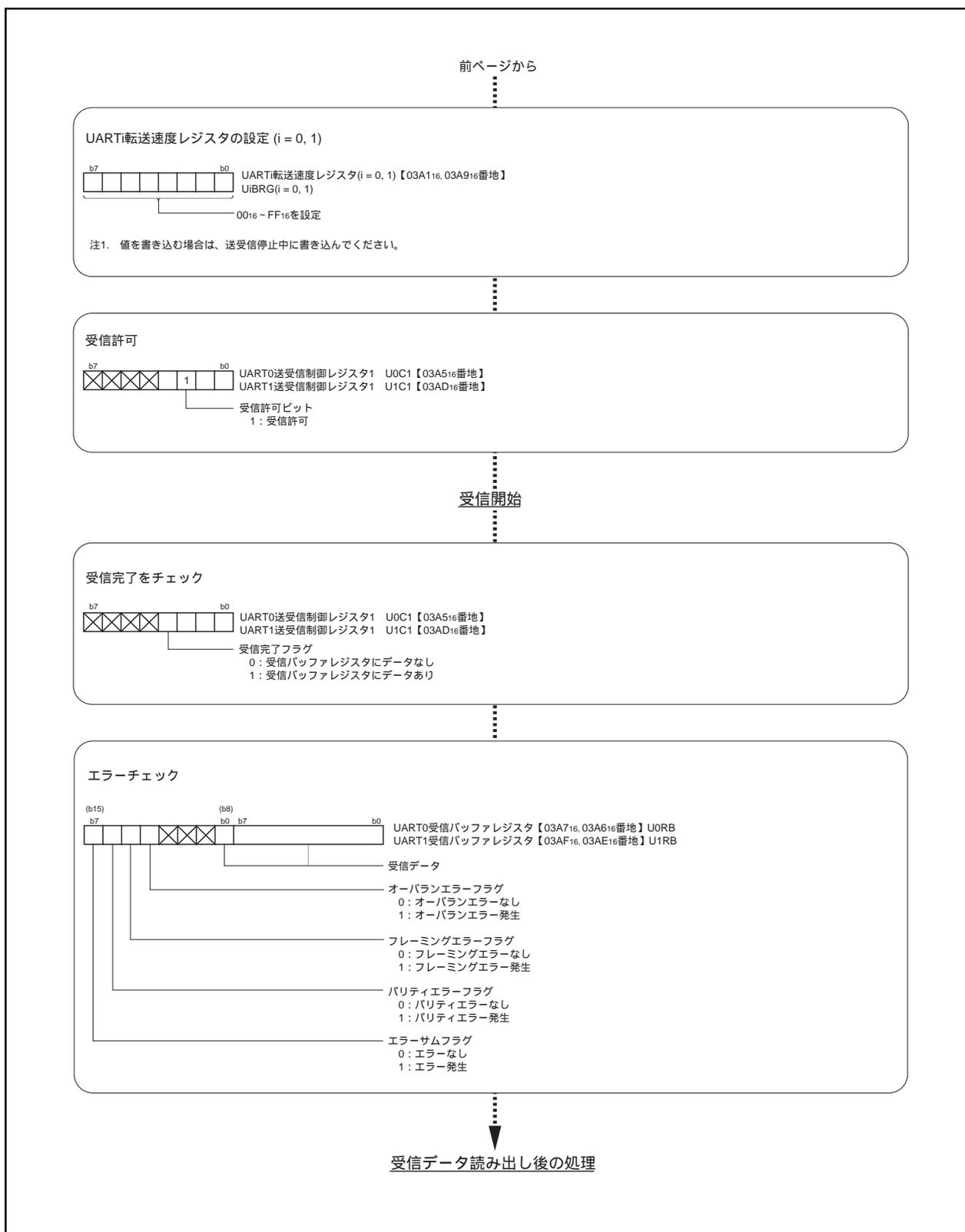


図2.5.11 クロック非同期形シリアルI/Oモードの受信時のレジスタ設定手順(2)

2.6 シリアルI/O2

2.6.1 概要

クロックに同期して8ビットのデータ通信を行います。自動転送モードでは、連続して最大256バイトのシリアル通信をCPUを使わずに行うことが可能です。シリアルI/O2の概要について説明します。

送受信フォーマット

8ビットデータです。

転送速度

転送クロックに内部クロックを選択した場合、内部同期クロック選択ビットで選択した分周比が転送速度となります。内部同期クロック選択ビットで、 $f(XIN)/4$ 、 $f(XIN)/8$ 、 $f(XIN)/16$ 、 $f(XIN)/32$ 、 $f(XIN)/64$ 、 $f(XIN)/128$ 、 $f(XIN)/256$ から選択できます。

転送クロックに外部クロックを選択した場合、CLK端子に入力されたクロックの周波数が転送速度となります。

自動転送モード

CPUを介さずに、連続して256Byteまでの同期型シリアル通信が可能です。

選択機能

シリアルI/O2では、次の機能を選択することができます。

(1) S_{STB2}出力 選択機能(内部同期クロック時のみ有効)

S_{STB2}機能無効 S_{STB2}出力端子はプログラマブル入出力ポートとして使用できます。

S_{STB2}機能有効 S_{STB2}機能、または $\overline{S_{STB2}}$ 機能として動作します。

(2) S_{BUSY2}入出力選択機能

S_{BUSY2}機能無効 S_{BUSY2}はプログラマブル入出力ポートとして使用できます。

S_{BUSY2}入出力機能有効 S_{BUSY2}端子は、S_{BUSY2}入力または出力、 $\overline{S_{BUSY2}}$ 入力または出力として機能します。

(3) S_{RDY2}入出力選択機能

S_{RDY2}入出力機能無効 S_{RDY2}はプログラマブル入出力ポートとして使用できます。

S_{RDY2}入出力機能有効 S_{RDY2}端子はそれぞれ、S_{RDY2}入力または出力、 $\overline{S_{RDY2}}$ 入力または出力として機能します。

(4) S_{OUT2} Pチャンネル出力禁止機能(入出力ポート時無効)

シリアル転送選択ビットが8ビット/自動転送シリアルI/O時、S_{OUT2}の出力ポートは、C-MOS 3ステートとNchオープンドレインとの切り替えが可能です。

(5) LSB / MSBファースト選択機能

LSB / MSBファースト選択機能とは、データのビット0から送受信するか、ビット7から送受信するかを切り替える機能です。次の2種類から選択できます。

LSBファースト ビット0から送受信を行います。

MSBファースト ビット7から送受信を行います。

(6) 転送モード選択機能

全二重（送受信）モードと送信専用モードを選択できます。送信専用モードを選択すると、SIN2端子を入出力ポートとして使用できます。

(7) 転送クロック複数端子入出力機能

転送クロック複数端子入出力機能とは、転送クロックを入出力する端子を切り替える機能です。転送クロックの端子を切り替えることで、2つの外部ICに対して時分割でデータの送受信を行うことができます。

(8) SOUT2端子制御ビット

シリアル非転送時（転送前、転送後）SOUT2端子を出力アクティブ（最後に送ったデータの値、または不定）あるいは、ハイインピーダンスを選択することができます。

シリアル/Oへの入力と方向レジスタ

シリアル/Oへ外部信号を入力する場合、ポートの方向レジスタは入力に設定してください。

シリアル/O関連端子

- | | |
|------------------------------------|--|
| (1) S $\overline{\text{STB}}$ 2端子 | STB, $\overline{\text{STB}}$ 機能の出力端子です。 |
| (2) S $\overline{\text{BUSY}}$ 2端子 | BUSY, $\overline{\text{BUSY}}$ 機能の入出力端子です。 |
| (3) S $\overline{\text{RDY}}$ 2端子 | RDY, $\overline{\text{RDY}}$ 機能の入出力端子です。 |
| (4) SCLK21、SCLK22 | 転送クロックの入出力端子です。任意の端子を選択して使用できます。 |
| (5) SIN2端子 | データの入力端子です。 |
| (6) SOUT2 | データの出力端子です。 |

シリアルI/O2関連レジスタ

図2.6.1にシリアルI/O2関連レジスタのメモリ配置図を、図2.6.2～図2.6.3にシリアルI/O2関連レジスタの構成を示します。

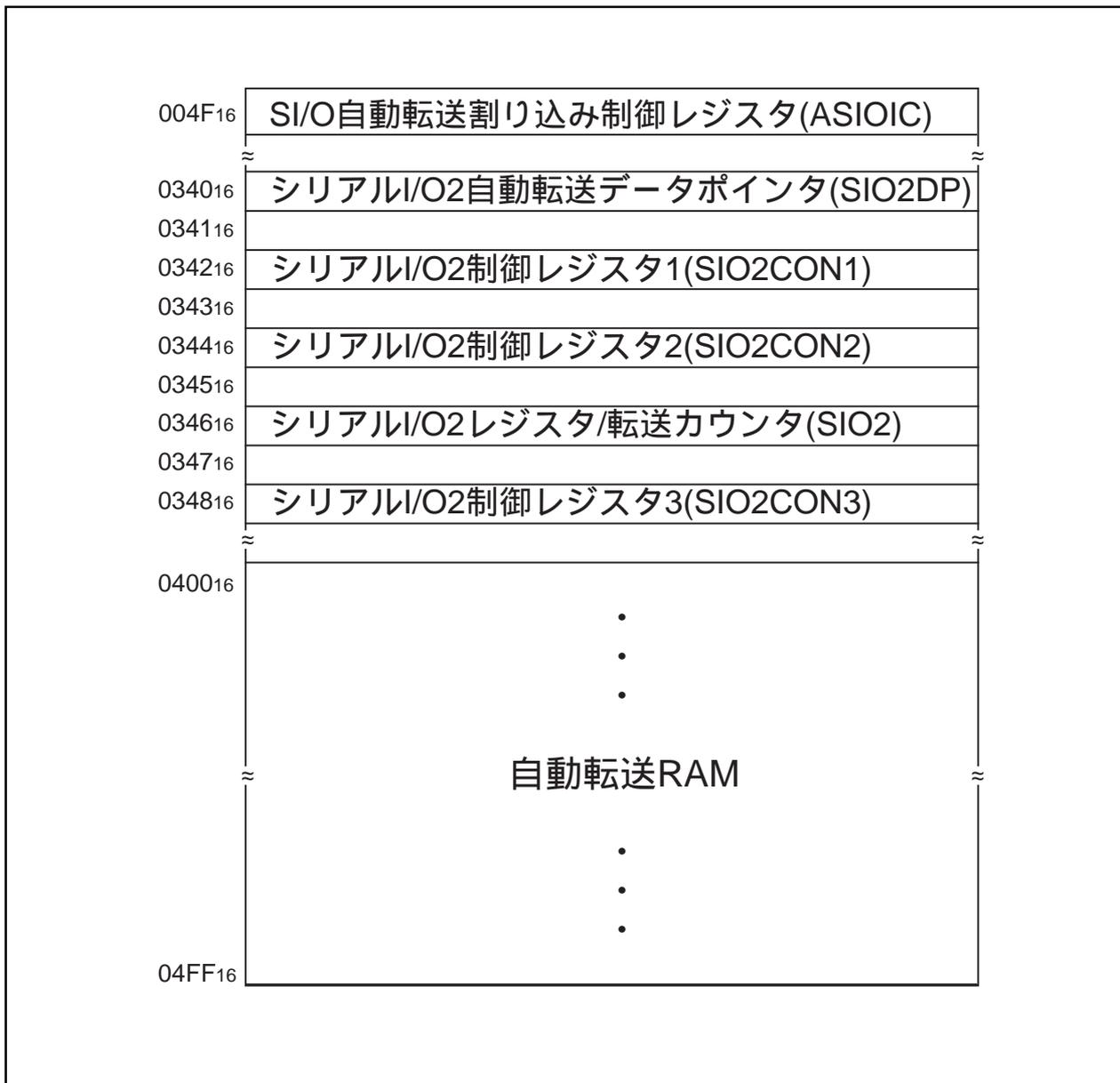
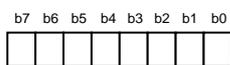


図2.6.1. シリアルI/O2関連レジスタのメモリ配置図

シリアルI/O2

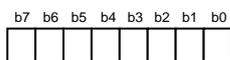
シリアルI/O2制御レジスタ1



シンボル アドレス リセット時
SIO2CON1 0342₁₆番地 00₁₆

ビットシンボル	ビット名	機能	R/W
SCON10	シリアル転送選択ビット	b1 b0 00: シリアルI/O禁止 (シリアルI/O端子は入出力ポート) 01: 8ビットシリアルI/O 10: 使用禁止 11: 自動転送シリアルI/O (8ビット)	R/W
SCON11			
SCON12	シリアルI/O2同期 クロック選択ビット (SSTB2端子制御ビット)	b3 b2 00: 内部同期クロック (SSTB2端子は入出力ポート) 01: 外部同期クロック (SSTB2端子は入出力ポート) 10: 内部同期クロック (SSTB2端子はSSTB2出力) 11: 内部同期クロック (SSTB2端子はSSTB2出力)	R/W
SCON13			
SCON14	シリアルI/O初期化ビット	0: シリアルI/O初期化 1: シリアルI/O許可	R/W
SCON15	転送モード選択ビット	0: 全二重(送受信)モード (SIN2端子はSIN2入力) 1: 送信専用モード (SIN2端子は入出力ポート)	R/W
SCON16	転送方向選択ビット	0: LSBファースト 1: MSBファースト	R/W
SCON17	シリアルI/O2クロック 端子選択ビット	0: SCLK21 (SCLK22端子は入出力ポート) 1: SCLK22 (SCLK21端子は入出力ポート)	R/W

シリアルI/O2制御レジスタ2



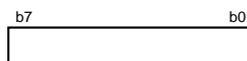
シンボル アドレス リセット時
SIO2CON2 0344₁₆番地 00₁₆

ビットシンボル	ビット名	機能	R/W			
SCON20	SRDY2・SBSUSY2端子制御 ビット	b3 b2 b1 b0 0000: SRDY2・SBSUSY2端子は入出力ポート 0001: 不使用 0010: SRDY2端子はSRDY2出力、SBSUSY2端子は入出力ポート 0011: SRDY2端子はSRDY2出力、SBSUSY2端子は入出力ポート 0100: SRDY2端子は入出力ポート、SBSUSY2端子はSBSUSY2入力 0101: SRDY2端子は入出力ポート、SBSUSY2端子はSBSUSY2入力 0110: SRDY2端子は入出力ポート、SBSUSY2端子はSBSUSY2出力 0111: SRDY2端子は入出力ポート、SBSUSY2端子はSBSUSY2出力 1000: SRDY2端子はSRDY2入力、SBSUSY2端子はSBSUSY2出力 1001: SRDY2端子はSRDY2入力、SBSUSY2端子はSBSUSY2出力 1010: SRDY2端子はSRDY2入力、SBSUSY2端子はSBSUSY2出力 1011: SRDY2端子はSRDY2入力、SBSUSY2端子はSBSUSY2出力 1100: SRDY2端子はSRDY2出力、SBSUSY2端子はSBSUSY2入力 1101: SRDY2端子はSRDY2出力、SBSUSY2端子はSBSUSY2入力 1110: SRDY2端子はSRDY2出力、SBSUSY2端子はSBSUSY2入力 1111: SRDY2端子はSRDY2出力、SBSUSY2端子はSBSUSY2入力	R/W			
SCON21						
SCON22						
SCON23						
SCON24				SBSUSY2出力・SSTB2出力 機能選択ビット (自動転送モード時有効)	0: 1バイトごとの信号として機能 1: 全転送データごとの信号として機能	R/W
SCON25				シリアル転送状態フラグ	0: シリアル転送完了 1: シリアル転送中	R/W
SCON26				SOUT2端子制御ビット (シリアルデータ非転送時)	0: 出力アクティブ 1: 出力ハイインピーダンス	R/W
SCON27				SOUT2 Pチャンネル出力 禁止ビット	0: CMOS3ステート (Pチャンネル出力有効) 1: Nチャンネルオープンドレイン (Pチャンネル出力禁止)	R/W

図2.6.2. シリアルI/O2関連のレジスタ (1)

シリアル/O2

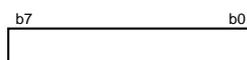
シリアル/O2自動転送データポインタ



シンボル アドレス リセット時
SIO2DP 0340₁₆番地 00₁₆

機 能	R	W
自動転送データポインタ設定 シリアル/O自動転送RAM上の先頭データの格納番地の下位8ビットを指定します。 書き込みはラッチ、読み出しはディクリメントカウンタ

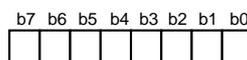
シリアル/O2レジスタ/転送カウンタ



シンボル アドレス リセット時
SIO2 0346₁₆番地 00₁₆

機 能	R	W
自動転送データ数設定 自動転送するデータ数を設定します。データ数 - 1を設定してください。 書き込みはラッチ、読み出しはディクリメントカウンタ

シリアル/O2制御レジスタ3



シンボル アドレス リセット時
SIO2CON3 0348₁₆番地 00₁₆

ビットシンボル	ビット名	機 能	R	W
TTRAN0	自動転送間隔設定ビット	b4 b3 b2 b1 b0 0 0 0 0 : 転送クロックの2サイクル 0 0 0 1 : 転送クロックの3サイクル : 1 1 1 1 0 : 転送クロックの32サイクル 1 1 1 1 1 : 転送クロックの33サイクル 書き込みはラッチ、読み出しはディクリメントカウンタ
TTRAN1		
TTRAN2		
TTRAN3		
TTRAN4		
TCLK0	内部同期クロック選択ビット	b7 b6 b5 0 0 0 : f(XIN)/4 0 0 1 : f(XIN)/8 0 1 0 : f(XIN)/16 0 1 1 : f(XIN)/32 1 0 0 : f(XIN)/64 1 0 1 : f(XIN)/128 1 1 0 : f(XIN)/256
TCLK1		
TCLK2		

図2.6.3. シリアル/O2関連のレジスタ (2)

2.6.2 シリアルI/O2の接続例

(1) CS端子を備えている周辺ICの制御

CS端子を備えている周辺ICとの接続例を図2.6.4に示します。

いずれの応用例においても、自動転送機能を使用できます。

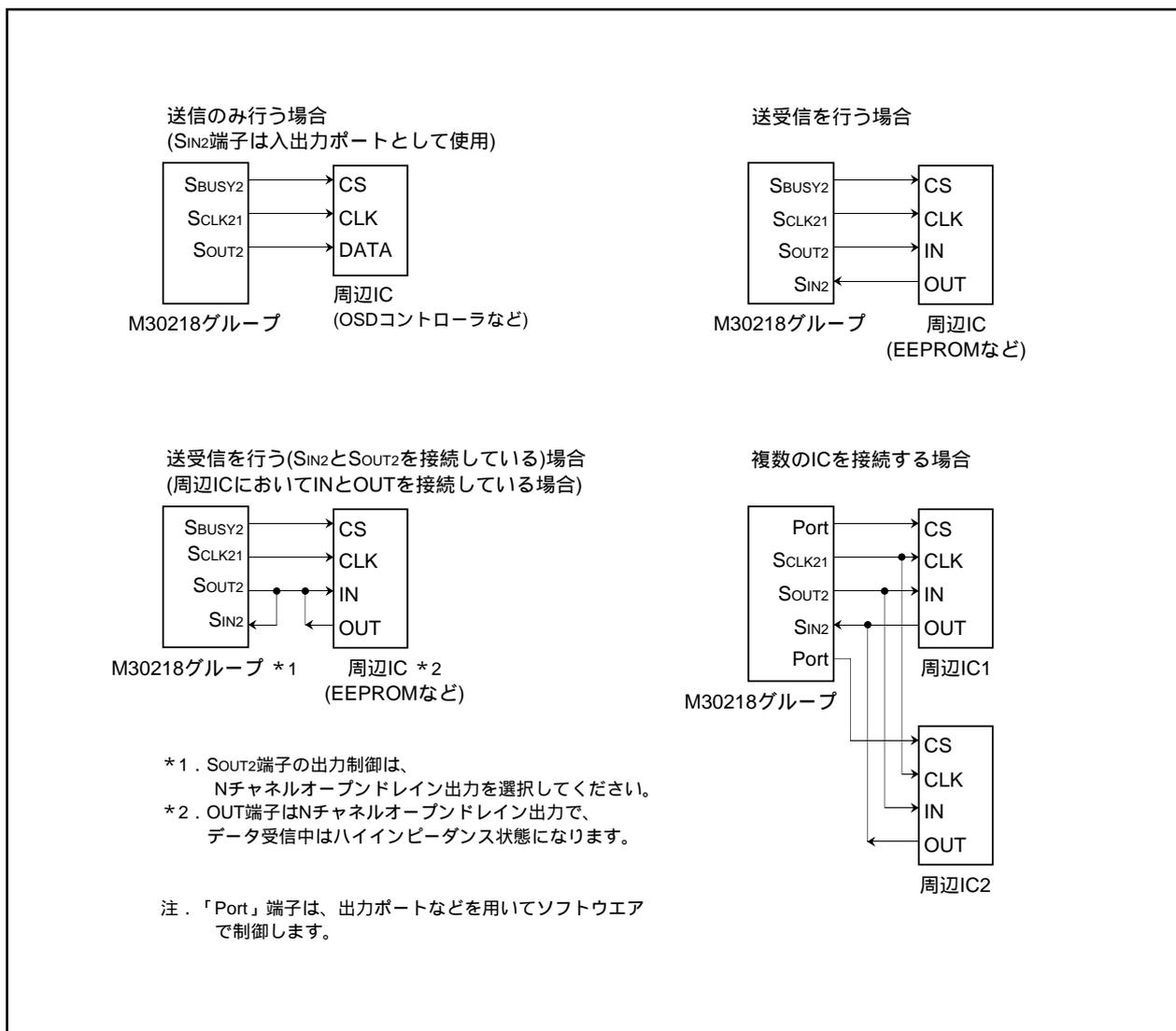


図2.6.4 シリアルI/O2の接続例(1)

(2) マイコンとの接続

他のマイコンとの接続例を図2.6.5に示します。

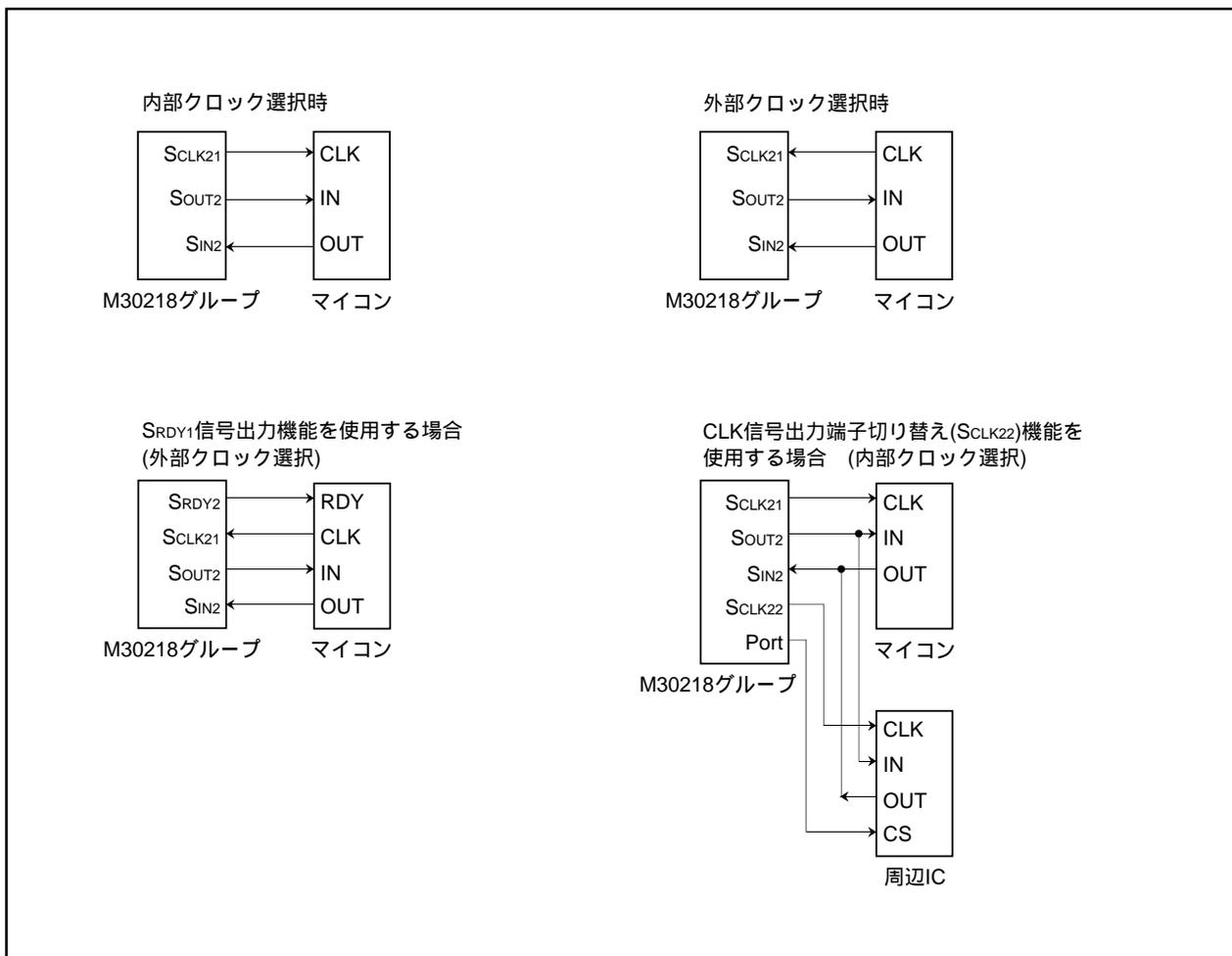


図2.6.5 シリアルI/O2の接続例(2)

シリアルI/O2

2.6.3 シリアルI/O2モード

シリアルI/O2のモードを図2.6.6に示します。

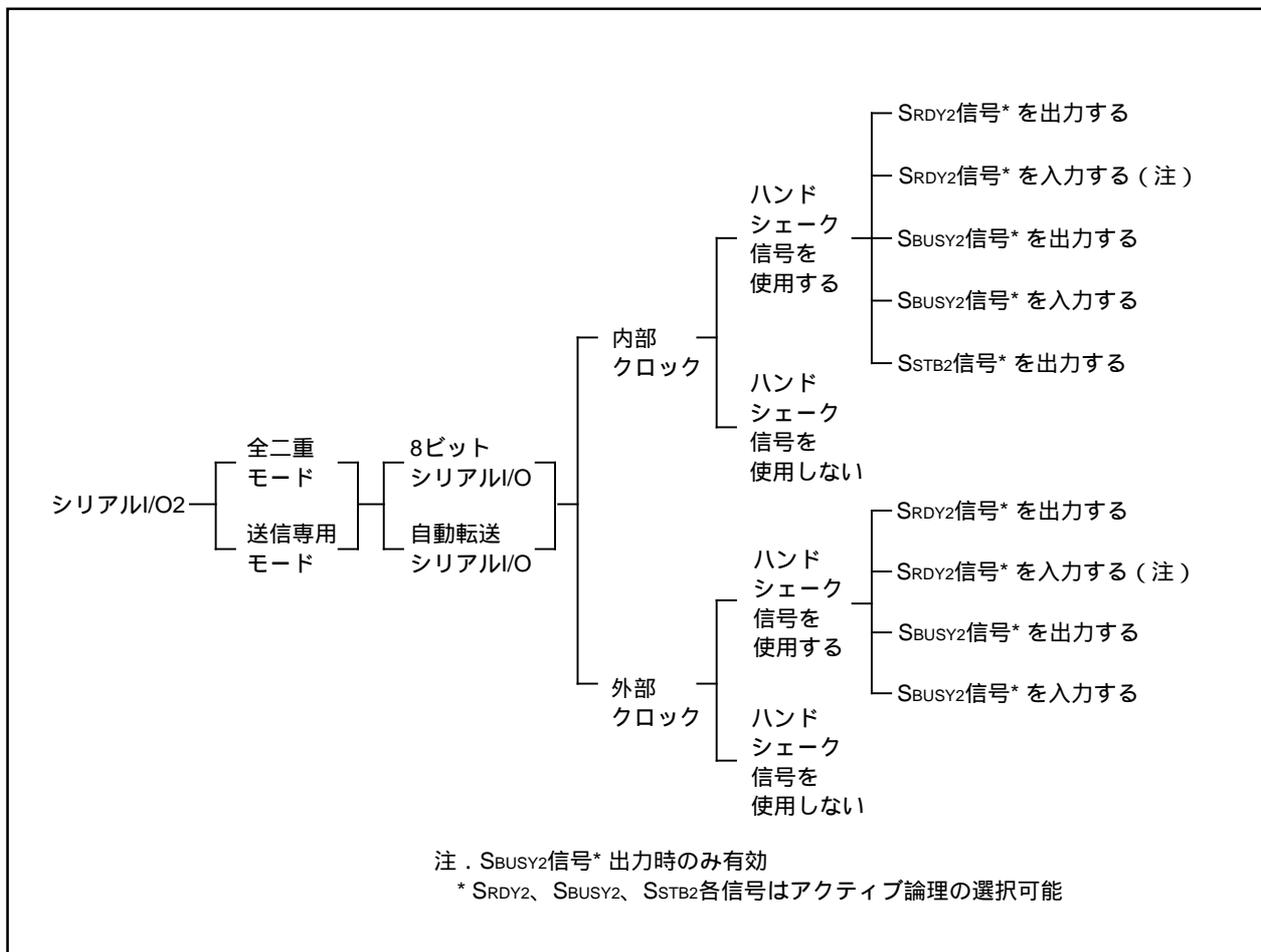


図2.6.6 シリアルI/O2のモード

2.6.4 シリアル/O2動作 (8ビットシリアル/Oモードの送信)

8ビットシリアル/Oモードの送受信では、表2.6.1に示す項目の中から機能を選択できます。ここでは、表2.6.1に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.6.7に動作タイミングを、図2.6.8、図2.6.9に設定手順を示します。

表2.6.1. 設定内容

設定項目	設定内容	設定項目	設定内容
転送クロックソース	内部クロック($f_1 / f_8 / f_{32}$)	SBUSY2機能	SBUSY2機能なし
	外部クロック(CLK _i 端子)		SBUSY2入力
自動転送シリアル	なし	SRDY2機能	SBUSY2出力(停止要求時“H”)
	あり		SBUSY2出力(停止要求時“L”)
SSTB2出力機能	SSTB2機能なし	SRDY2機能	SRDY2機能なし
	SSTB2(送受信終了時“H”)		SRDY2入力
	SSTB2(送受信終了時“L”)		SRDY2出力
転送フォーマット	LSBファースト		SRDY2出力(準備完了時“H”)
	MSBファースト		SRDY2出力(準備完了時“L”)

- 動作
- (1) シリアル転送選択ビットSCON10を“1”,SCON11を“0”、転送モード選択ビットSCON15を“1”にし、シリアル/O初期化ビットに“1”を書き込むと送信できる状態になります。
 - (2) シリアル/O2レジスタに送信データを書き込むと、送信を開始し、シリアル転送状態フラグが“1”になります。
 - (3) 送信データは、立ち下がリエッジに同期して、下位ビットから順に1ビットずつ送信されます。
 - (4) 1バイトのデータの送信が完了すると、シリアル転送状態フラグが“0”になり、送信が完了したことを示します。また、転送クロックは“H”レベルで停止します。
 - (5) 送信中(8ビット目が出力される前)に、シリアル/O2レジスタに次の送信データを設定していれば、続けて送信が行われます。

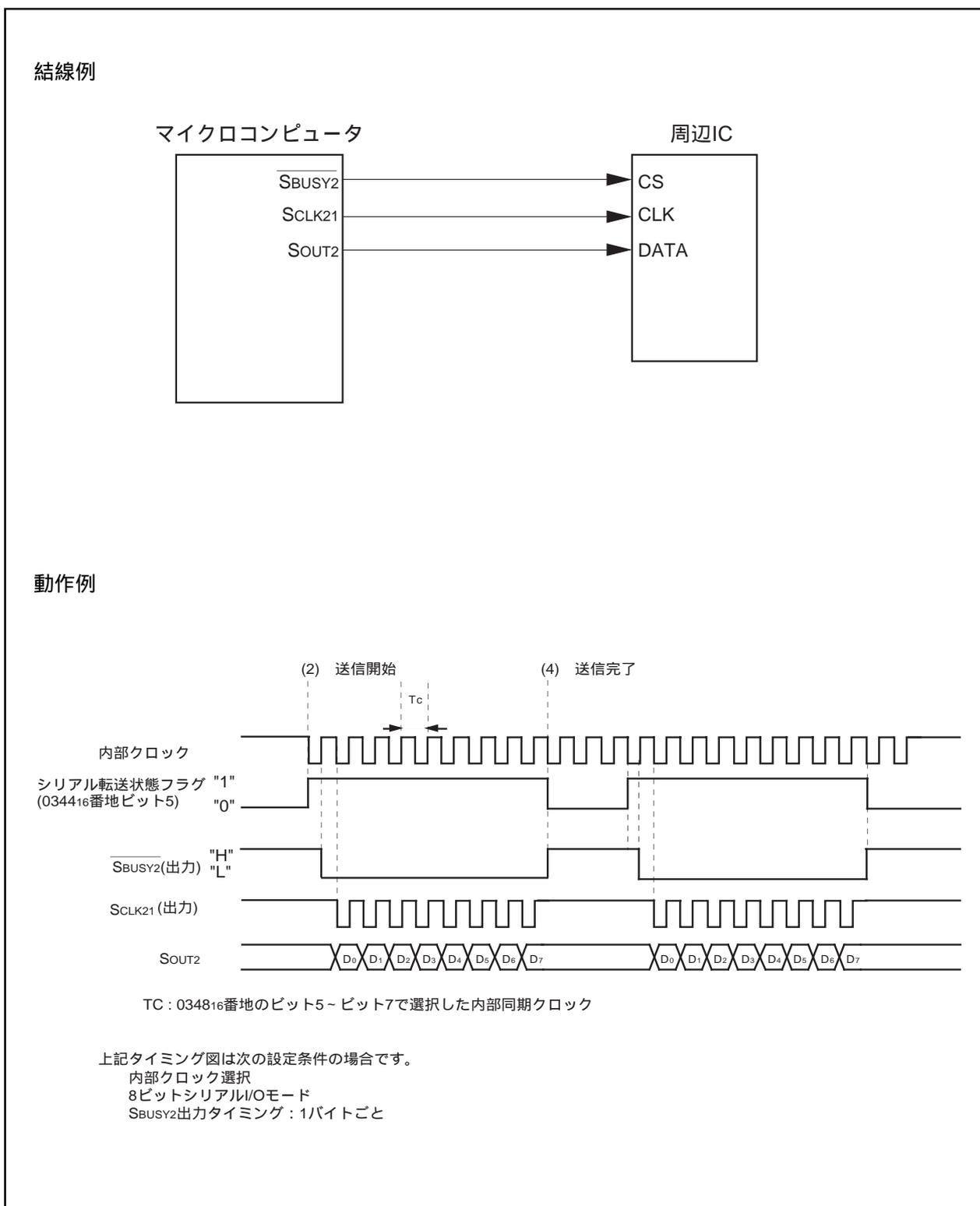


図2.6.7. 8ビットシリアルI/Oモードの送信、複数クロック出力機能選択時の動作タイミング図

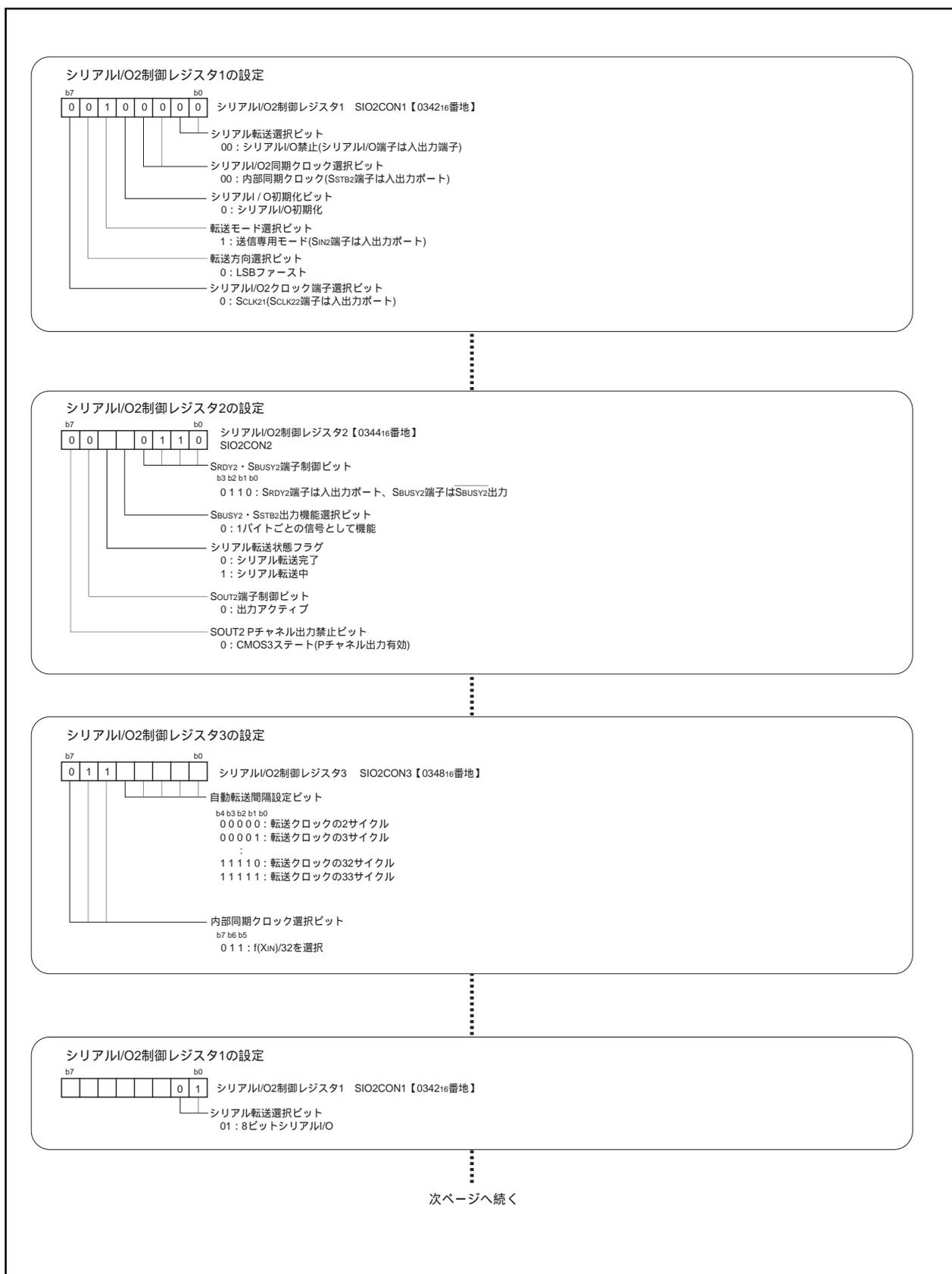


図2.6.8. 8ビットシリアルI/Oモードの送信、複数クロック出力機能選択時のレジスタ設定手順(1)

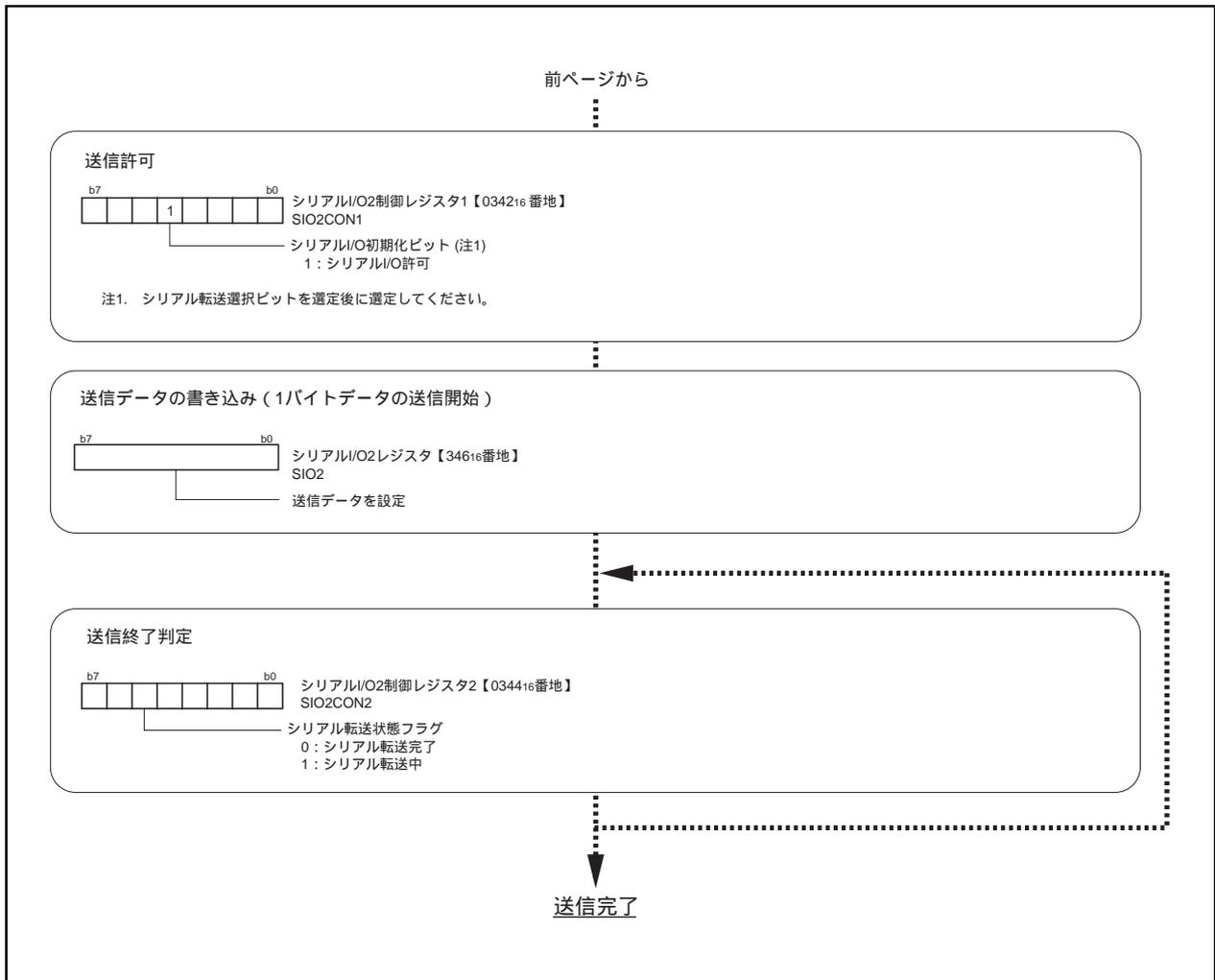


図2.6.9. 8ビットシリアルI/Oモードの送信、複数クロック出力機能選択時のレジスタ設定手順(2)

2.6.5 シリアル/O2動作 (自動転送を利用したシリアル/Oモードの送受信)

自動転送シリアル/Oモードの送受信では、表2.6.2に示す項目の中から機能を選択できます。ここでは、表2.6.2に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.6.10に動作タイミングを、図2.6.11、図2.6.12に設定手順を示します。

表2.6.2. 設定内容

設定項目	設定内容	設定項目	設定内容
転送クロックソース	内部クロック(f1 / f8 / f32)	SBUSY2機能	SBUSY2機能なし
	外部クロック(CLKi端子)		SBUSY2入力
自動転送シリアル	なし	SRDY2機能	SBUSY2出力(停止要求時“H”)
	あり		$\overline{\text{SBUSY2}}$ 出力(停止要求時“L”)
SSTB2出力機能	SSTB2機能なし	SRDY2機能	SRDY2機能なし
	SSTB2(送受信終了時“H”)		SRDY2入力
	SSTB2(送受信終了時“L”)		SRDY2出力
転送フォーマット	LSBファースト		SRDY2出力(準備完了時“H”)
	MSBファースト		$\overline{\text{SRDY2}}$ 出力(準備完了時“L”)

- 動作
- (1) 関係する各レジスタ設定後、シリアル/O2転送カウンタに転送バイト数を書き込むと、シリアル転送状態フラグが“1”になり自動転送が開始されます。
 - (2) 送信データは、立ち下がりエッジに同期して、下位ビットから順に1ビットずつ送信されます。受信データは、立ち上がりエッジに同期して、上位ビットから順に1ビットずつ受信します。
 - (3) 8バイトのデータの送受信が完了すると、シリアル転送状態フラグが“0”になり、送受信が完了したことを示します。また、転送クロックは“H”レベルで停止します。

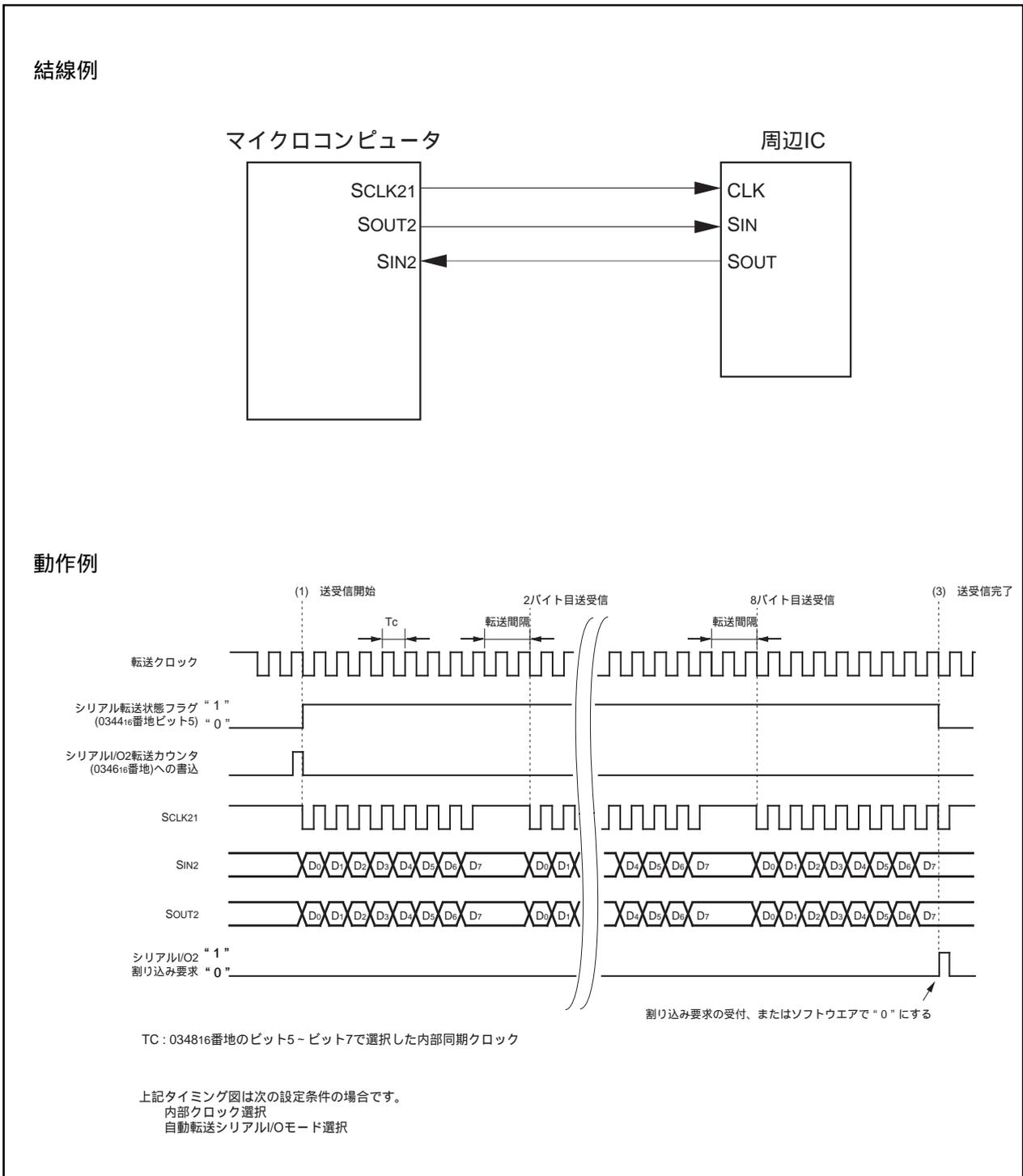


図2.6.10. 自動転送シリアルI/Oモードの送受信動作タイミング図

シリアル/O2

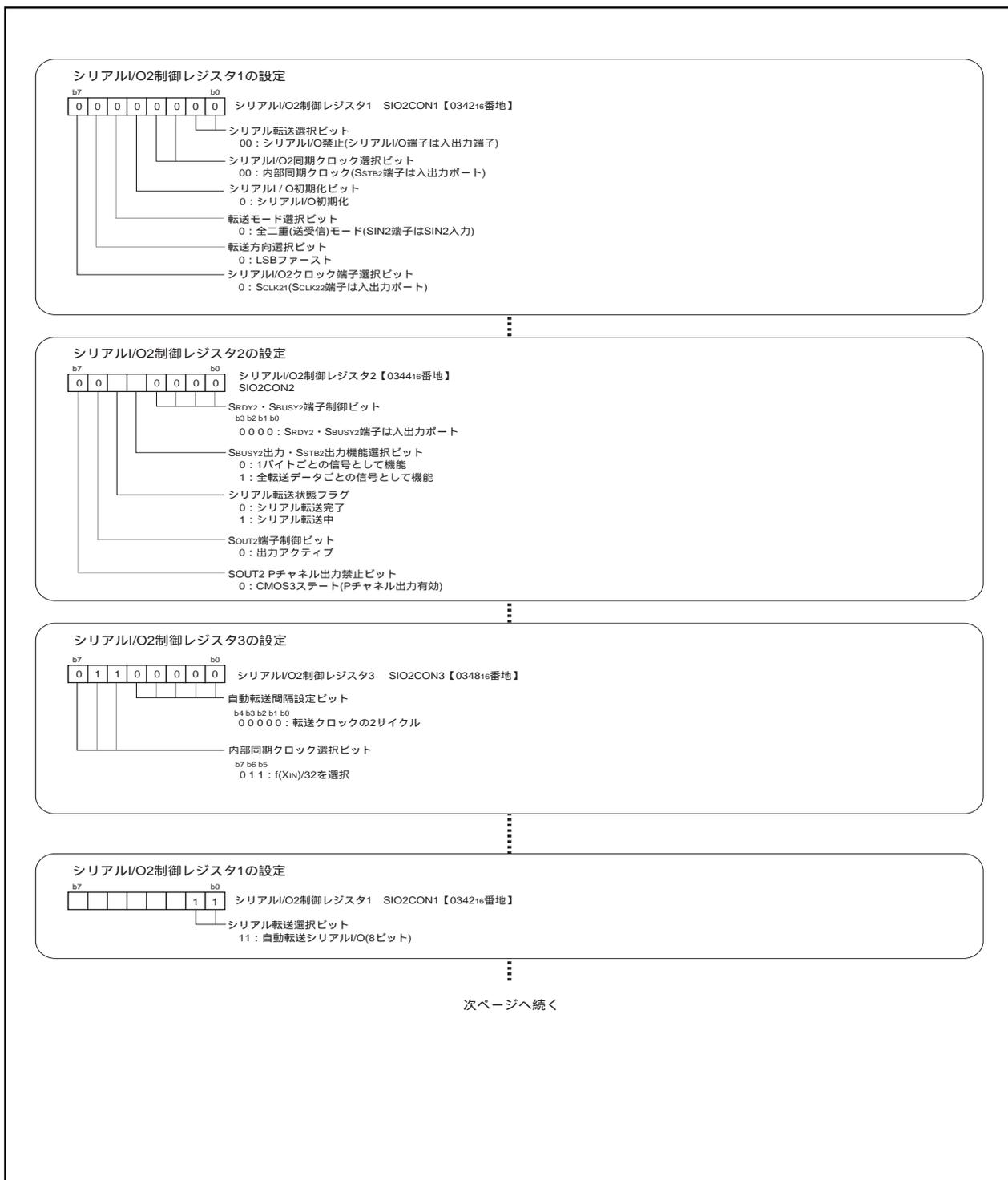


図2.6.11. 自動転送シリアル/Oモードの送信動作時のレジスタ設定手順(1)

シリアル/O2

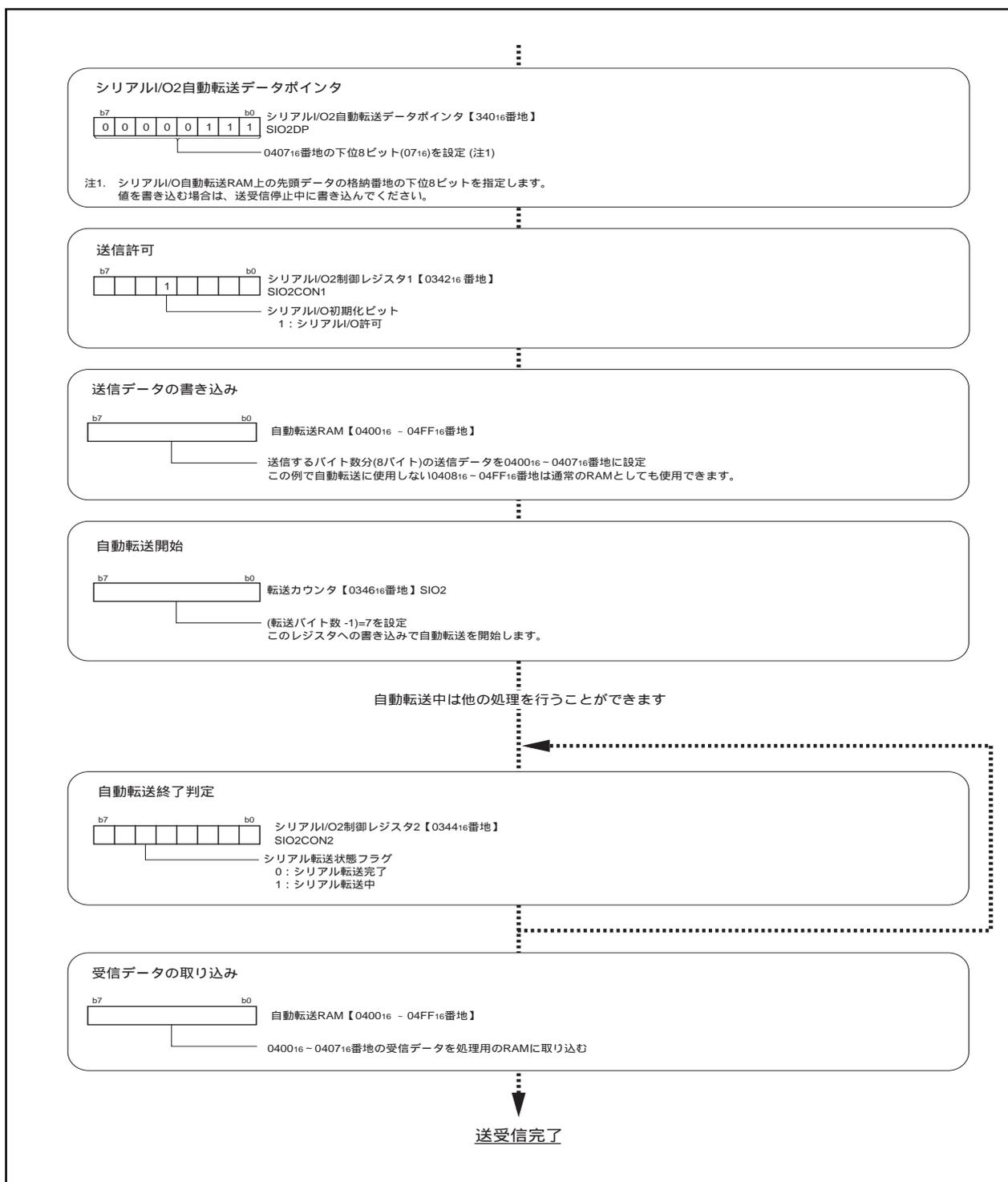


図2.6.12. 自動転送シリアル/Oモードの送信動作時のレジスタ設定手順(2)

2.6.6 シリアル/O2動作 (ハンドシェイク信号を利用した自動転送シリアル/Oモードの送受信)

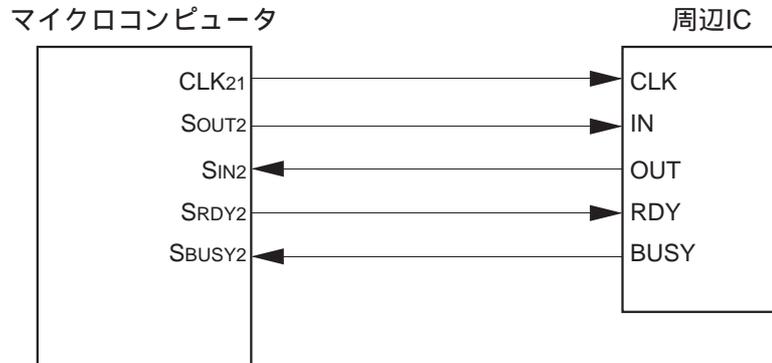
自動転送シリアル/Oモードの送受信では、表2.6.3に示す項目の中から機能を選択できます。ここでは、表2.6.3に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.6.13に動作タイミングを、図2.6.14、図2.6.15に設定手順を示します。

表2.6.3. 設定内容

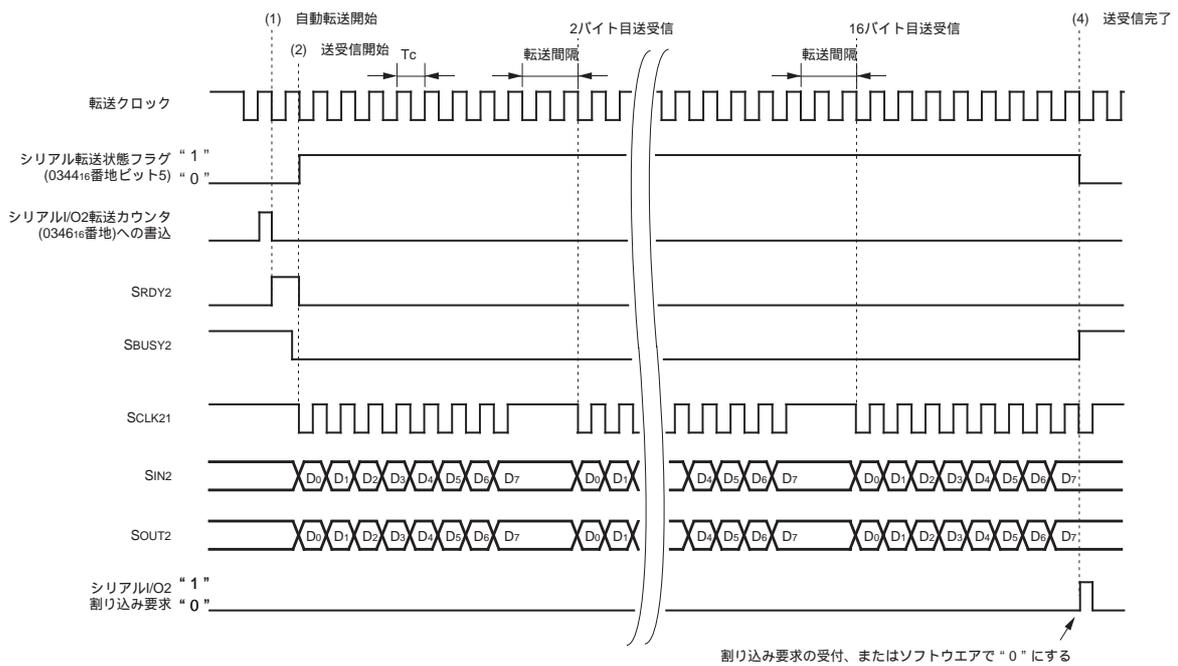
設定項目	設定内容	設定項目	設定内容
転送クロックソース	内部クロック($f_1 / f_8 / f_{32}$)	SBUSY2機能	SBUSY2機能なし
	外部クロック(CLKi端子)		SBUSY2入力
自動転送シリアル	なし		SBUSY2出力(停止要求時“H”)
	あり		$\overline{\text{SBUSY2}}$ 出力(停止要求時“L”)
SSTB2出力機能	SSTB2機能なし	SRDY2機能	SRDY2機能なし
	SSTB2(送受信終了時“H”)		SRDY2入力
	$\overline{\text{SSTB2}}$ (送受信終了時“L”)		SRDY2出力
転送フォーマット	LSBファースト		SRDY2出力(準備完了時“H”)
	MSBファースト	$\overline{\text{SRDY2}}$ 出力(準備完了時“L”)	

- 動作
- (1) 関係する各レジスタ設定後、シリアル/O2転送カウンタに転送バイト数を書き込むと、シリアル転送状態フラグが“1”になり自動転送が開始されます。同時にSRDY2出力が“H”になります。
 - (2) SBUSY2入力が“L”が入力されると、転送クロックの立ち下がりエッジに同期してSRDY2出力が“L”になりシリアル転送を開始します。
 - (3) 送信データは、立ち下がりエッジに同期して、下位ビットから順に1ビットずつ送信されます。受信データは、立ち上がりエッジに同期して、上位ビットから順に1ビットずつ受信します。
 - (4) 16バイトのデータの送受信が完了すると、シリアル転送状態フラグが“0”になり、送受信が完了したことを示します。また、転送クロックは“H”レベルで停止します。

結線例



動作例



TC : 0348₁₆番地のビット5~ビット7で選択した内部同期クロック

上記タイミング図は次の設定条件の場合です。
内部クロック選択
自動転送シリアルI/Oモード選択

図2.6.13. 自動転送シリアルI/Oモードの送信動作タイミング図

シリアルI/O2

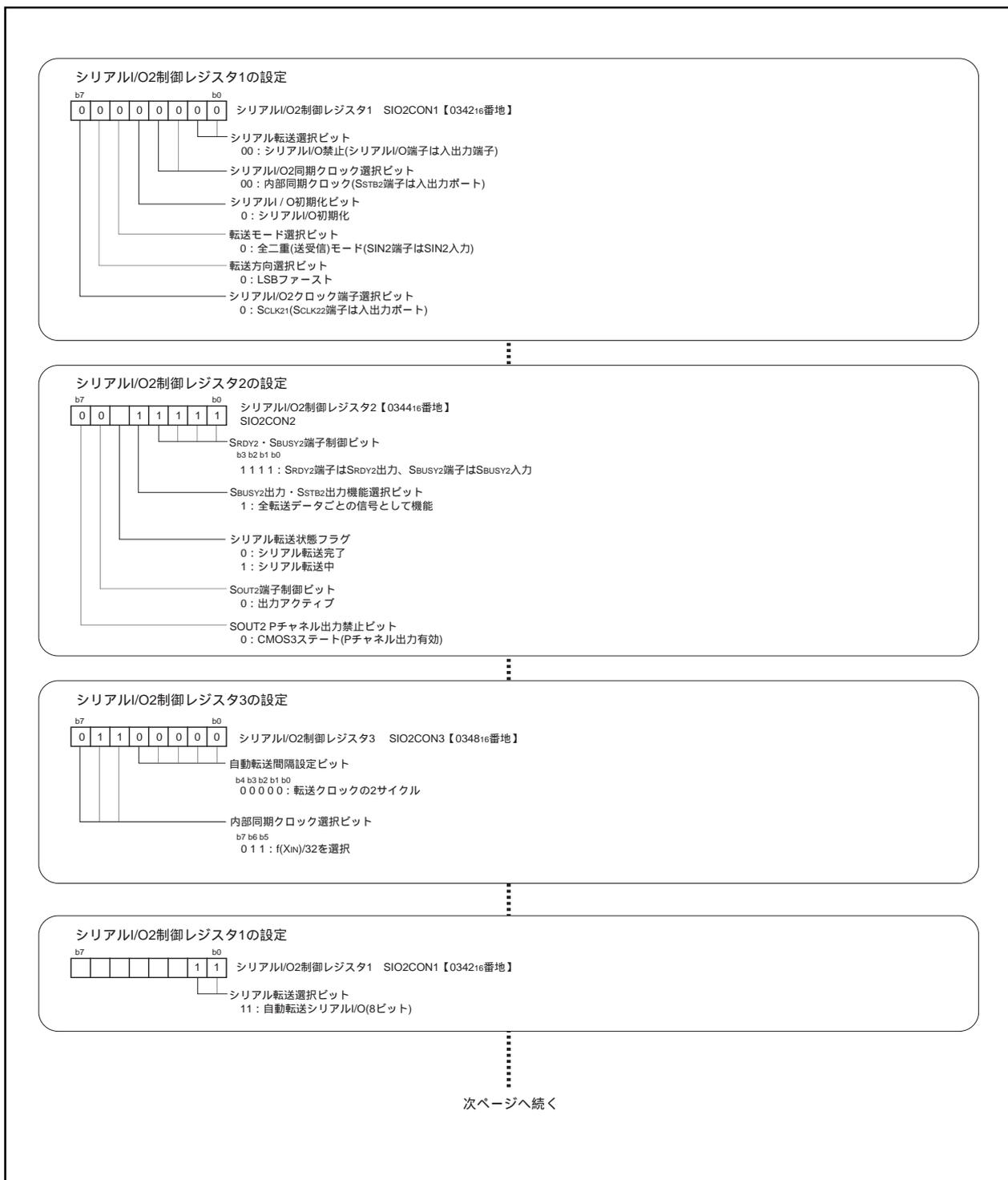


図2.6.14. 自動転送シリアルI/Oモードの送信動作時のレジスタ設定手順(1)

シリアル/O2

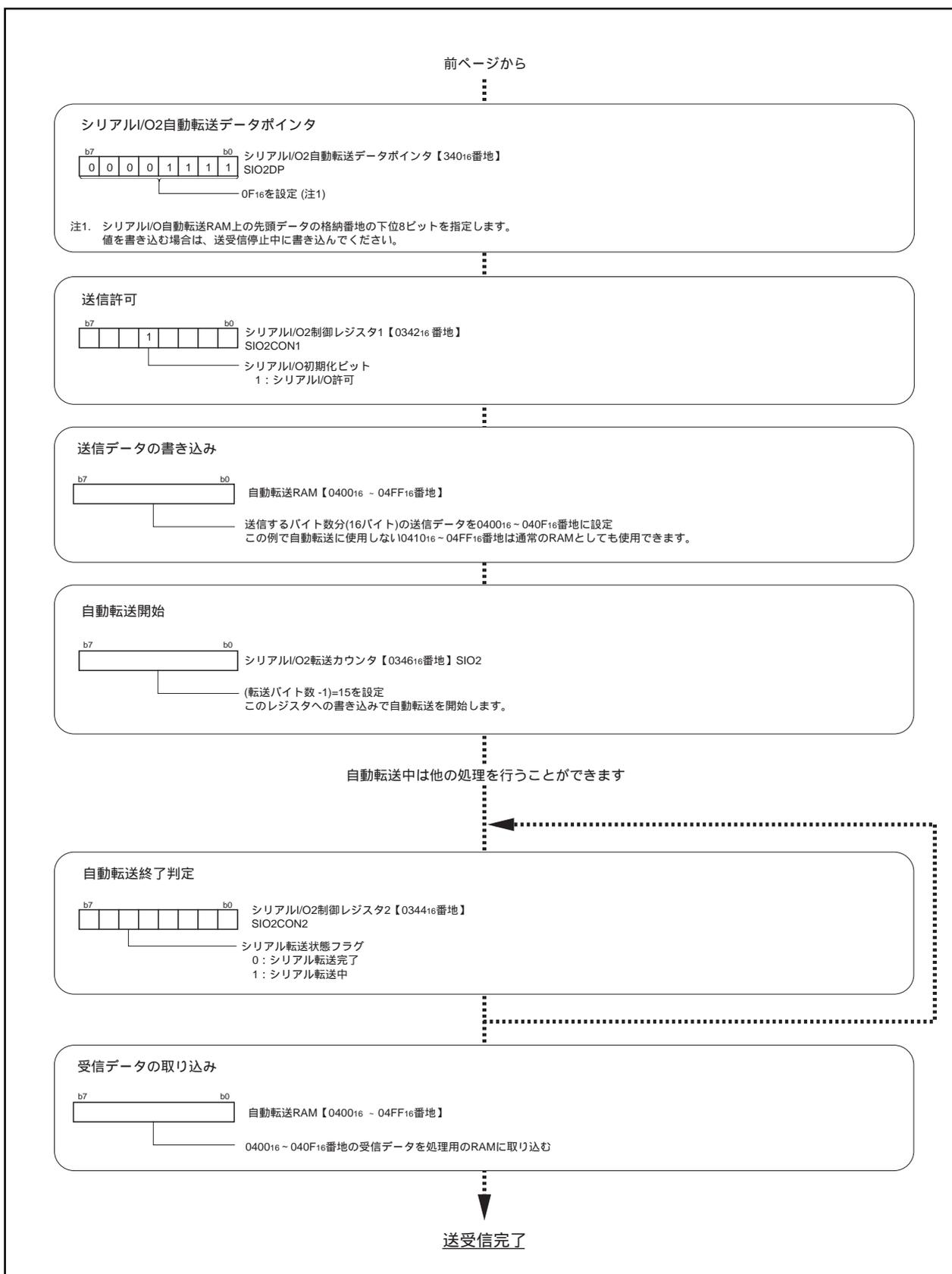


図2.6.15. 自動転送シリアル/Oモードの送信動作時のレジスタ設定手順(2)

2.6.7 シリアルI/O2に関する注意事項

(1) クロック

内部クロック使用時は、同期クロックを内部クロックに設定してから、シリアルI/O割り込み要求ビットをクリアした後、通常シリアルI/O転送、およびシリアルI/O自動転送を実行してください。

外部クロック使用時は、外部クロック入力端子に“H”を入力してから、シリアルI/O割り込み要求ビットをクリアした後、通常シリアルI/O転送、およびシリアルI/O自動転送を実行してください。

(2) シリアルI/O2割り込みを使用する場合

割り込みを許可する前に、割り込み制御レジスタのビット3をソフトウェアで“0”にしてください。

(3) SOUT2端子の状態

シリアル非転送時のSOUT2端子の状態は、シリアルI/O2制御レジスタ2のSOUT2端子制御ビットで出力アクティブ、出力ハイインピーダンスのどちらかを選択できます。外部同期クロックを選択した場合、SOUT2端子をハイインピーダンスの状態に設定するためには、転送終了後シリアルI/O2クロック入力に“H”のときに、SOUT2端子制御ビットを“1”にしてください。

(4) シリアルI/O初期化ビット

転送中にシリアル転送を停止する場合は、シリアルI/O2制御レジスタ1のシリアルI/O初期化ビットを“0”にしてください。

シリアルI/O初期化ビットを“1”にすると、シリアルI/O2が許可されますが、各レジスタは初期化されません。各レジスタはプログラムにて設定してください。

(5) ハンドシェイク信号

SBUSY2入力信号

初期状態ではSBUSY2入力を“H”、 $\overline{\text{SBUSY2}}$ 入力を“L”にしてください。

外部同期クロックを選択した場合、SBUSY2入力、および $\overline{\text{SBUSY2}}$ 入力の変更は、シリアルI/O2クロック入力に“H”の状態で行ってください。

SRDY2入力・出力信号

内部同期クロック選択時、初期状態ではSRDY2入力を“L”、 $\overline{\text{SRDY2}}$ 入力を“H”にしてください。

(6) 8ビットシリアルI/Oモードにおいて

外部同期クロックを選択した場合、転送クロックがシリアルI/O2クロック端子に入力されている間、シリアルI/O2レジスタの値はシフトされ続けますので、外部で制御してください。

(7) 自動転送シリアルI/Oモードにおいて

自動転送間隔の設定

SBUSY2出力を使用して、かつシリアルI/O2制御レジスタ2のSBUSY2出力・SSTB2出力機能選択ビットを全転送データごとの信号として選択する場合には、最初のデータの送受信開始前と最終データの送受信終了後にも、転送間隔のサイクルが入ります。したがって、SBUSY2出力・SSTB2出力機能選択ビットの設定内容に関係なく、1バイトごとの転送間隔がシリアルI/O2制御レジスタ3の自動転送間隔設定ビットの設定内容より2サイクル長くなります。

SSTB2出力を使用する場合には、SBUSY2出力・SSTB2出力機能選択ビットの設定内容に関係なく、1バイトごとの転送間隔がシリアルI/O2制御レジスタ3の自動転送間隔設定ビットの設定内容より2サイクル長くなります。

さらに、SBUSY2出力とSSTB2出力を組み合わせ、全転送データごとの信号として使用する場合には、最終データの送受信終了後の転送間隔も、自動転送間隔設定ビットの設定内容より2サイクル長くなります。

1バイト転送ごとの自動転送間隔を、以下のように設定してください。

(1) FLDコントローラ未使用時

1バイトデータの最終ビットのクロック立ち上がりから、内部システムクロックの5サイクル以上空けてください。

(2) FLDコントローラ使用時

(a) 階調表示未使用時

1バイトデータの最終ビットのクロック立ち上がりから、内部システムクロックの17サイクル以上空けてください。

(b) 階調表示使用時

1バイトデータの最終ビットのクロック立ち上がりから、内部システムクロックの27サイクル以上空けてください。

以下にシリアルI/O2制御レジスタ3(0348₁₆番地)の設定表を示します。

表2.6.4. シリアルI/O2制御レジスタ3 SIO2 CON3(0348₁₆番地)の設定表(内部同期クロック選択時)

シリアルI/O2制御レジスタ3 SIO2 CON3 (0348 ₁₆ 番地)		FLDC 未使用時	階調表示モード 未使用時	階調表示モード 使用時
内部同期クロック 選択ビット b7 b6 b5	自動転送間隔設定ビット b4 b3 b2 b1 b0			
000: f(XIN) / 4	00000: 転送クロックの2サイクル	使用可	使用不可	使用不可
	00001: 転送クロックの3サイクル	使用可	使用不可	使用不可
	00010: 転送クロックの4サイクル	使用可	使用不可	使用不可
	00011: 転送クロックの5サイクル	使用可	使用可	使用不可
	00100: 転送クロックの6サイクル	使用可	使用可	使用不可
	00101: 転送クロックの7サイクル	使用可	使用可	使用可
001: f(XIN) / 8	00000: 転送クロックの2サイクル	使用可	使用不可	使用不可
	00001: 転送クロックの3サイクル	使用可	使用可	使用不可
	00010: 転送クロックの4サイクル	使用可	使用可	使用可
010: f(XIN) / 16	00000: 転送クロックの2サイクル	使用可	使用可	使用可

注1. シリアルI/O2の自動転送モード使用時、以下の設定を行わないでください。

- ・DMACを使用してRAM番地(00400₁₆ ~ 005FF₁₆)間での転送
- ・アセンブラ命令SMOVF、およびSMOVBを使用してRAM番地(00400₁₆ ~ 005FF₁₆)間での転送。

表2.6.5. シリアルI/O2制御レジスタ3 SIO2 CON3(0348₁₆番地)の設定表(外部同期クロック選択時)

シリアルI/O2制御レジスタ3 SI/O2 CON3 (0348 ₁₆ 番地)	FLDC未使用時	階調表示モード未使用時	階調表示モード使用時
自動転送間隔設定ビット			
転送クロックのnサイクル	転送クロックのnサイクル 内部システムクロック5サイクル	転送クロックのnサイクル 内部システムクロック17サイクル	転送クロックのnサイクル 内部システムクロック27サイクル

外部クロックを選択している場合、自動転送間隔設定は無効となります。

シリアルI/O2転送カウンタの設定について

シリアルI/O2転送カウンタには、転送データのバイト数から1減算した値を書き込んでください。外部クロック選択時は、シリアルI/O2レジスタ/転送カウンタに値を書き込んだ後、内部システムクロックの5サイクル以上のウェイト時間をあけた後、シリアルI/O2クロック端子に転送クロックを入力してください。

シリアルI/O初期化ビットについて

動作中にシリアルI/O初期化ビットに“0”を書き込むと、シリアルI/O自動転送割り込み要求が発生します。プログラムで割り込み優先レベルをレベル0(割り込み禁止)にするなど、適切な処理を行ってください。

割り込み要求ビットについて

シリアルI/O自動転送割り込み要求の発生タイミングは遅れる場合があります。

割り込み要求発生は通常は最大17サイクル、FLD階調表示モード使用時の場合には最大27サイクル遅れる可能性があります。

シリアルI/O2割り込み要求の発生タイミングが遅れる場合には、シリアル転送状態フラグやハンドシェイク信号などの割り込み要求と同じタイミングで変化するフラグ、および信号も同様に遅れます。

レイアウトの都合上、このページは白紙です。

2.7 FLDコントローラ

2.7.1 概要

FLDコントローラは、FLD(蛍光表示管)の駆動及び制御を行います。FLDコントローラの概要について説明します。

FLDC用ポート

高耐圧ポート52本(内20本は通常ポートと切り替え可)とCMOSポート4本(4本とも通常ポートと切り替え可)の合計56本です。ただし、CMOSポートを表示端子として使用する場合は、外付けのドライバが必要となります。

また、P0、P1、P5、P6(計32本)はV_{EE}端子との間にプルダウン抵抗を内蔵しています。

表示画素数

- (1) 全てFLD出力を使用した場合
28セグメント×28ディジット(セグメント+ディジット 56)
- (2) ディジット波形出力機能を使用した場合
40セグメント×16ディジット(セグメント+ディジット 56 ただし、ディジット数 16)
- (3) P44～P47拡張機能を使用した場合
52セグメント×16ディジット(セグメント数 52 また、ディジット数 16)

選択機能

FLDコントローラでは、次の拡張機能を選択することができます。

(1) TSCAN制御選択機能

TSCAN制御ビット(0350₁₆番地のビット2、3)で、割り込みを次の2種類から選択できます。

FLDディジット割り込み

各タイミングのT_{OFF1}時間終了時(ディジットの立ち上がり)に発生する割り込みです。FLDディジット割り込みでFLDのディジットを利用したキースキャンができます。

FLDブランキング割り込み

FLDデータポインタ(0358₁₆番地)が"FF₁₆"になると発生する割り込みです。割り込み発生後、設定によって1×T_{DISP}、2×T_{DISP}、3×T_{DISP}の間FLD自動表示が止まります。その間、FLDのセグメントを利用したキースキャンができます。

(2) タイミング数選択機能

タイミング数は、次の2種類から選択できます。

16タイミング

表示タイミングが16以下の時に使用します。

32タイミング

表示タイミングが16より大きい場合で、最大32タイミングまで使用できます。

(3) 階調表示モード選択機能

階調表示モードとは、表示タイミングが16以下で、セグメント毎に明暗を付けることができるモードです。次の2種類から選択できます。

階調表示モード選択する

タイミング数は最大16タイミングとなりますので、必ずタイミング数制御ビット(0350₁₆番地のビット4)を"0"にしてください。またTOFF2時間設定レジスタ(0356₁₆番地)により、T_{DISP}より小さく、T_{OFF1}よりより大きい値をTOFF2時間に設定してください。

階調表示モード選択しない

(4) 高耐圧ポート駆動能力選択機能

高耐圧ポートの駆動能力を"強"、"弱"の2種類から選択できます。また、この設定は高耐圧ポートを通常ポートとして使用した場合も有効になります。

(5) P44 ~ P47FLD出力反転選択機能

この機能を選択した場合、P44 ~ P47から極性を反転したFLD出力を行います。外付けドライバを使用する場合など、極性の合わせ込みに使用できます。

(6) P44 ~ P47TOFF無効選択機能

この機能を選択した場合、P44 ~ P47からTOFF1時間とTOFF2時間を無効にして、T_{DISP}時間の間、表示データを出力します。

(7) P97ディマー出力選択機能

この機能を選択した場合、DIMOUT(P97)からディマー信号作成用の信号を出力することができます。この信号でデコーダを制御することにより、ディマー機能を実現することができます。

(8) TOFF区間有無選択機能

高耐圧ポート(P0、P1、P2、P3、P40 ~ P43、P5、P6)とCMOSポート(P44 ~ P47)それぞれについて設定可能で、次の2種類から選択できます。

TOFF区間有

TOFF区間が発生します。

TOFF区間無

FLD端子間の容量結合により、ポートのスイッチング毎に発生する不要なノイズを軽減し、各FLDポートに連続したデータを出力した場合、連続した部分のTOFF1区間は発生しません。

(9) TOFF2SET/RESET選択機能

TOFF2SET/RESET選択機能は、階調表示モード選択時に暗表示(階調表示制御データが"1")のデータのFLD出力を、TOFF2に設定された時間で出力(SET)するか"0"(RESET)にするかを選択する機能で、次の2種類から選択できます。

TOFF2SET

FLD出力ポートには、TOFF2に設定された時間でRAMデータが出力(SET)され、T_{DISP}時間の終わりに"0"(RESET)になります。

TOFF2RESET

FLD出力ポートには、TOFF1に設定された時間でRAMデータが出力(SET)され、TOFF2に設定された時間で"0"(RESET)になります。

拡張機能

FLDコントローラには、次の機能が備わっています。

(1) デジタル波形出力機能

P5、P6は自動的にデジタル波形を出力することができます。P60から、タイミング数と同じ数だけデジタル出力設定切り替えレジスタ(035C₁₆番地、035D₁₆番地)に連続して"1"を書き込むと、デジタル出力を選択したポートに対するFLD自動表示RAMの内容は無効となり、自動的にデジタル波形が出力されます。本機能はタイミング数を越えて設定した場合、越えたポートの出力は"L"になります。

(2) P44～P47拡張機能

CMOS出力形式のポートで、このポートに4ビットから16ビットに変換する機能を持ったICを接続することによりFLDのデジタル出力を16本追加することができます。

FLDコントローラ関連レジスタ

図2.7.1にFLDC関連レジスタのメモリ配置図を、図2.7.2～図2.7.6にFLDC関連レジスタの構成を示します。

0050 ₁₆	FLD割り込み制御レジスタ(FLDIC)
0350 ₁₆	FLDCモードレジスタ (FLDM)
0351 ₁₆	FLD出力制御レジスタ (FLDCON)
0352 ₁₆	Tdisp時間設定レジスタ (TDISP)
0353 ₁₆	
0354 ₁₆	Toff1時間設定レジスタ (TOFF1)
0355 ₁₆	
0356 ₁₆	Toff2時間設定レジスタ (TOFF2)
0357 ₁₆	
0358 ₁₆	FLDデータポインタ (FLDDP)
0359 ₁₆	ポートP2FLD/ポート切り替えレジスタ (P2FPR)
035A ₁₆	ポートP3FLD/ポート切り替えレジスタ (P3FPR)
035B ₁₆	ポートP4FLD/ポート切り替えレジスタ (P4FPR)
035C ₁₆	P5デジタル出力設定切り替えレジスタ (P5DOR)
035D ₁₆	P6デジタル出力設定切り替えレジスタ (P6DOR)

図2.7.1. FLDC関連レジスタのメモリ配置図

FLDコントローラ

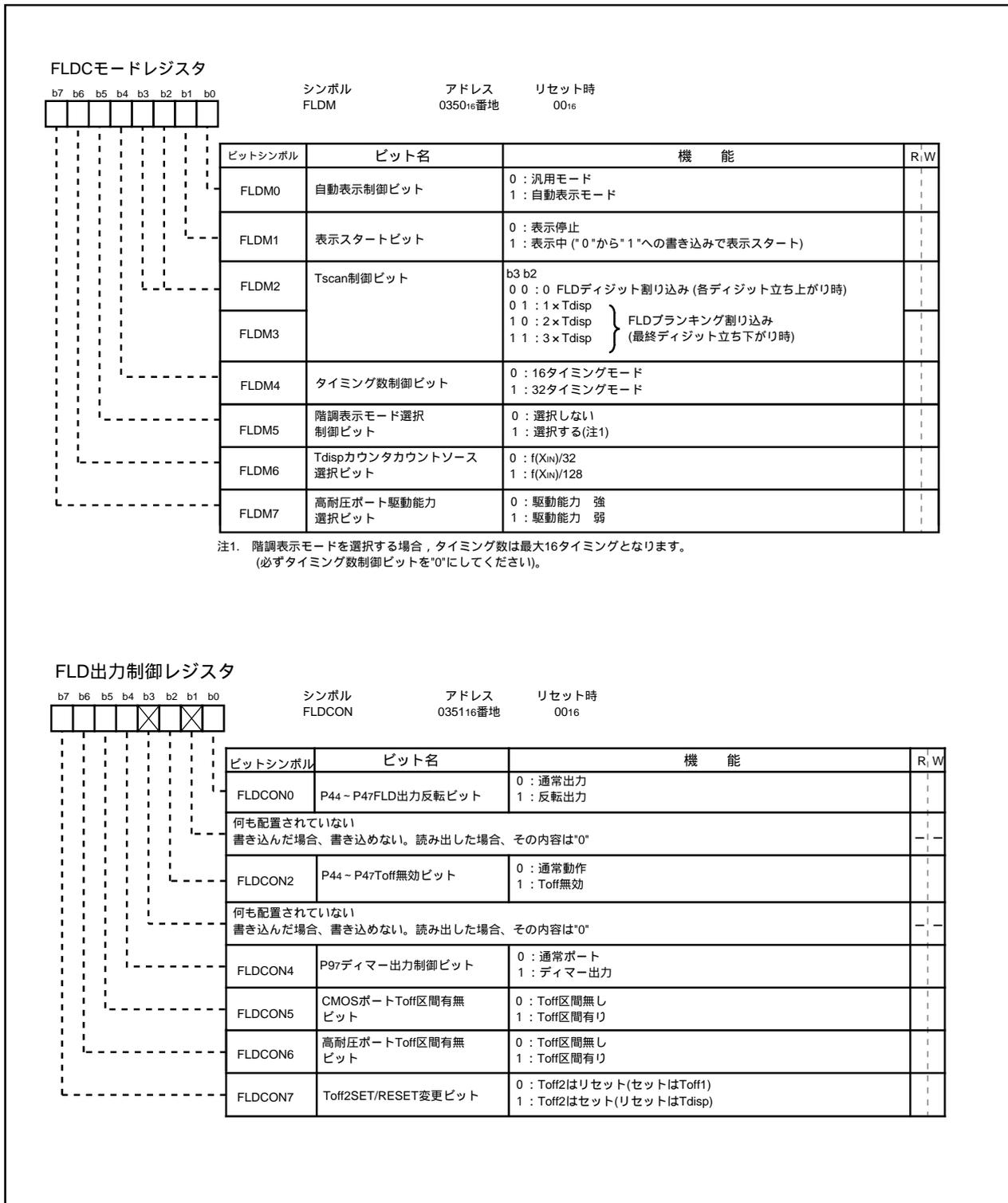
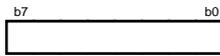


図2.7.2. FLDC関連のレジスタ(1)

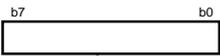
Tdisp時間設定レジスタ



シンボル アドレス リセット時
TDISP 035216番地 0016

機 能	設定可能値	R, W
<p>Tdisp時間をカウントします。カウントソースは、Tdispカウントソース選択ビットで選択します。設定値をnとすると、$Tdisp=(n+1) \times$ カウントソースとなります。</p> <p>このレジスタを読み出した場合、Tdisp時間設定レジスタのカウント値が読み出されません。</p> <p>(例) $f(X_{IN})=10\text{MHz}$、 FLDCモードレジスタ FLDM6=0 (Tdispカウンタカウントソースに$f(X_{IN})/32$を選択)、 Tdisp時間設定レジスタ=200(C8₁₆)の場合 $Tdisp=(200+1) \times 3.2 \mu\text{s}=643 \mu\text{s}$ となります。</p>	0 ~ FF ₁₆	

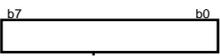
Toff1時間設定レジスタ



シンボル アドレス リセット時
TOFF1 035416番地 FF₁₆

機 能	設定可能値	R, W
<p>Toff1時間をカウントします。カウントソースは、Tdispカウントソース選択ビットで選択します。設定値をn1とすると、$Toff1=n1 \times$ カウントソース となります。</p> <p>(例) $f(X_{IN})=10\text{MHz}$、 FLDCモードレジスタ FLDM6=0 (Tdispカウンタカウントソースに$f(X_{IN})/32$を選択)、 Toff1時間設定レジスタ=30(1E₁₆)の場合 $Toff1=30 \times 3.2 \mu\text{s}=96 \mu\text{s}$ となります。</p>	3 ~ FF ₁₆	

Toff2時間設定レジスタ



シンボル アドレス リセット時
TOFF2 035616番地 FF₁₆

機 能	設定可能値	R, W
<p>Toff2時間をカウントします。カウントソースは、Tdispカウントソース選択ビットで選択します。設定値をn2とすると、$Toff2=n2 \times$ カウントソース となります。</p> <p>ただし、このToff2時間の設定は、 階調表示モード かつ階調表示制御RAMの値が "1 (=暗表示)" のFLDポートにのみ有効です。</p> <p>(例) $f(X_{IN})=10\text{MHz}$、 FLDCモードレジスタ FLDM6=0 (Tdispカウンタカウントソースに$f(X_{IN})/32$を選択)、 Toff2時間設定レジスタ=180(B4₁₆)の場合 $Toff2=180 \times 3.2 \mu\text{s}=576 \mu\text{s}$ となります。</p>	3 ~ FF ₁₆	

図2.7.3. FLDC関連のレジスタ(2)

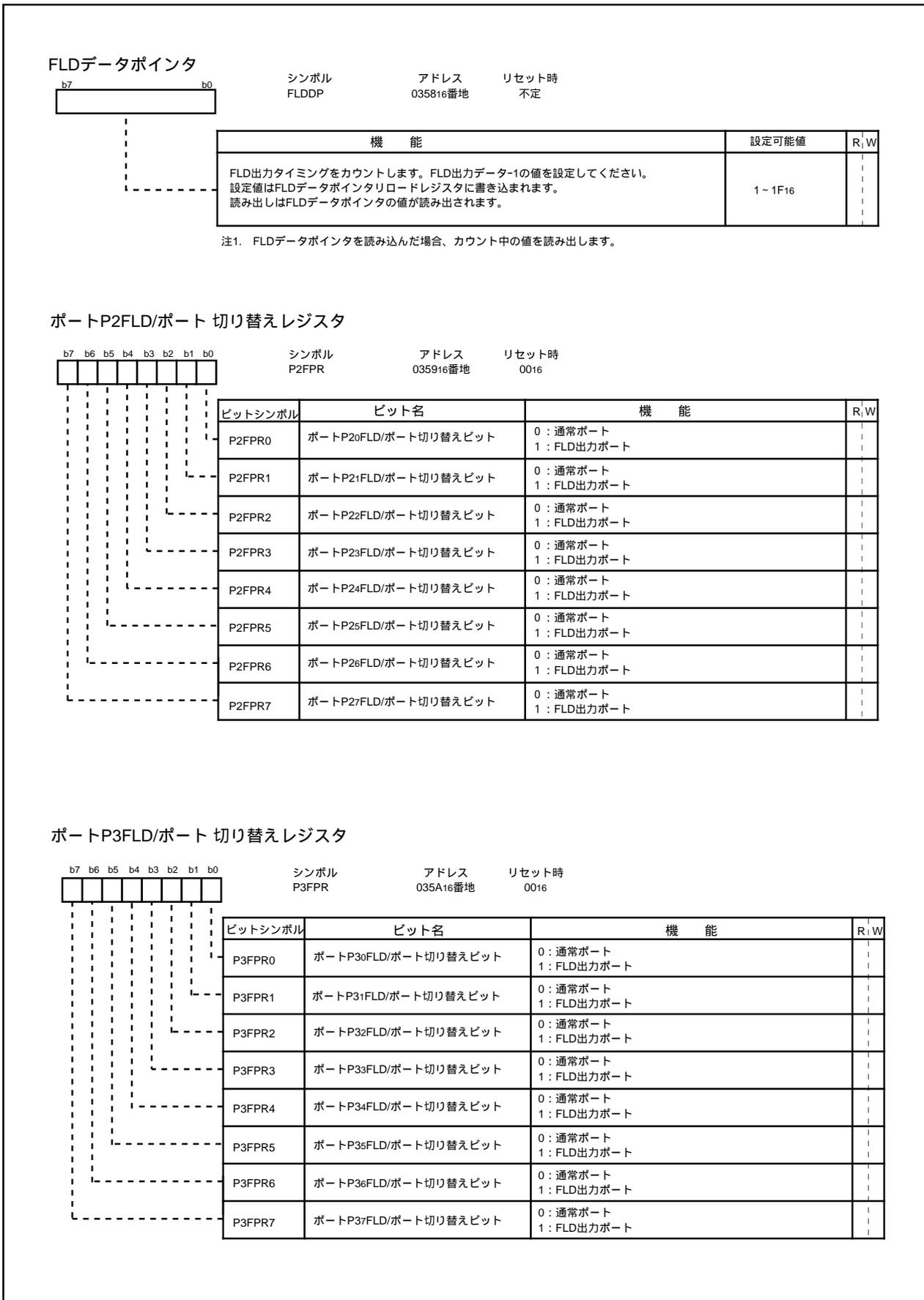


図2.7.4. FLDC関連のレジスタ(3)

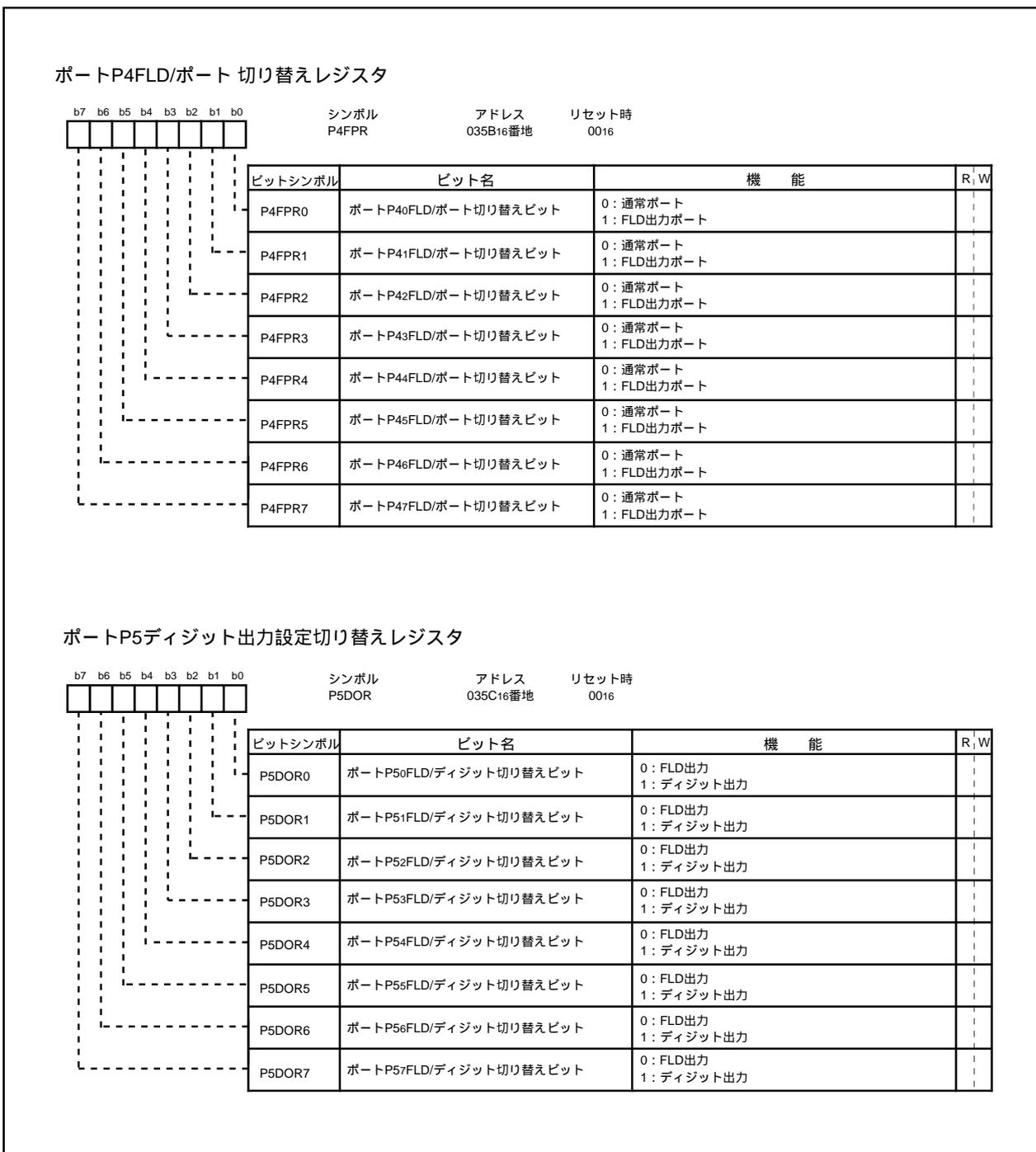


図2.7.5. FLDC関連のレジスタ(4)

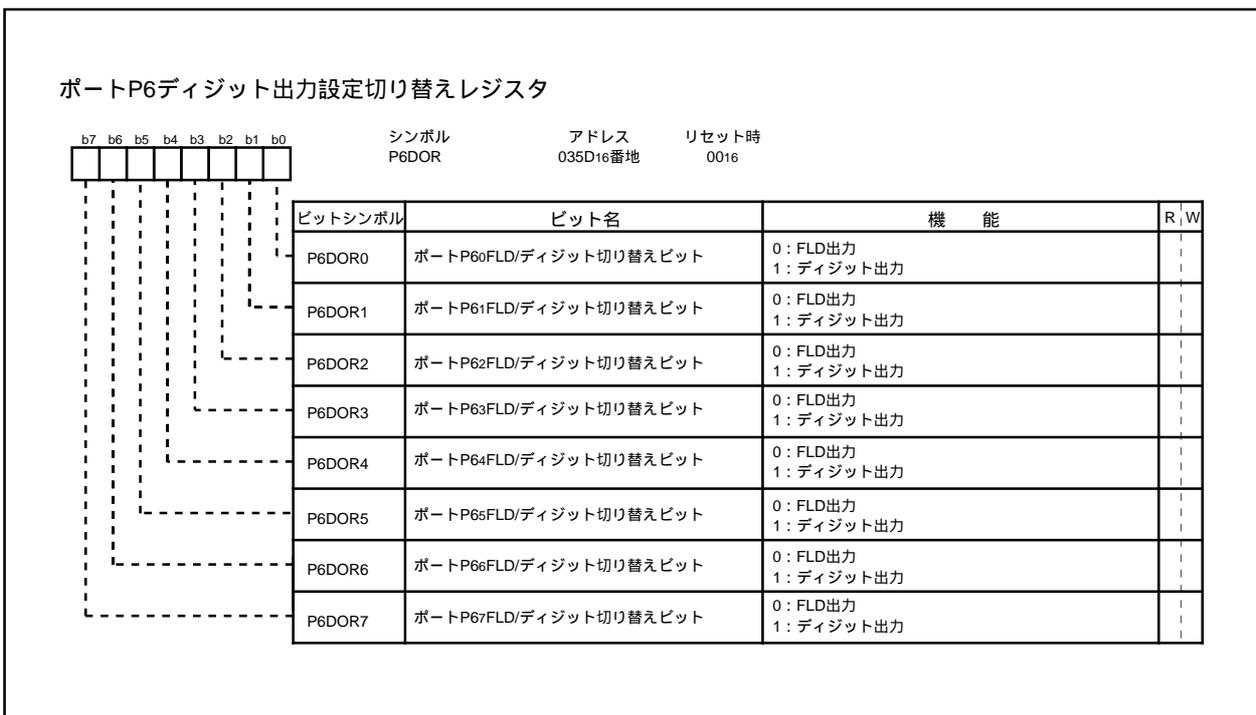


図2.7.6. FLDC関連のレジスタ(5)

2.7.2 FLD動作 (FLD自動表示とセグメントを利用したキースキャン)

FLDコントローラでは、表2.7.1に示す項目の中から機能を選択できます。ここでは、表2.7.1に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.7.7に動作タイミングを、図2.7.8、図2.7.9、図2.7.10に設定手順を示します。

表2.7.1. 設定内容

設定項目	設定内容	設定項目	設定内容
TSCAN制御(注1)	FLDディジット割り込み FLDブランキング割り込み	高耐圧ポート 駆動能力	強 弱
タイミング数	16タイミング 32タイミング	P97ディマー出力	通常ポート ディマー出力
TDISPカウンタ カウントソース	f(XIN)/32 f(XIN)/128	高耐圧ポート TOFF区間有無	TOFF区間無し TOFF区間有り
階調表示モード (注2)	選択しない 選択する	TOFF2 SET/RESET	TOFF2はRESET TOFF2はSET

注1. FLDブランキング割り込み選択時、TSCAN時間は1×TDISP、2×TDISP、3×TDISPの中から選択できます。

注2. 階調表示モード選択時は、タイミング数は必ず16タイミングに設定してください。

動作

- (1) 自動表示制御ビットを"1"、表示スタートビットを"1"にすると自動表示を開始します。
- (2) 表示データは、各ポートの自動表示RAMの先頭番地から(FLDデータポインタ)番地離れたRAMの内容を各ポートに出力します。また、階調表示制御データは、各タイミング、端子の自動表示RAMの格納アドレスから"70₁₆"を引いたアドレスに配置されており、"0"で明表示を、"1"で暗表示を行います。ただし、P50、P51、P60～P67はディジット波形出力機能により自動表示RAMの内容は無効となり、自動的にディジット波形が出力されます。
- (3) FLDデータポインタはTDISP間隔でカウントダウンし、"FF₁₆"になるとリロードしてカウントを続けます。
- (4) 最終タイミングの立ち下がりと同時にFLD割り込み要求ビットが"1"になります。割り込み発生後、設定によって1×TDISP、2×TDISP、3×TDISPの間、FLD自動表示出力が止まります。その間、FLDのセグメントを利用したキースキャンができます。
- (5) FLD自動表示中に表示スタートビットに"0"を書き込むことによって、FLD自動表示を中断させることができます。

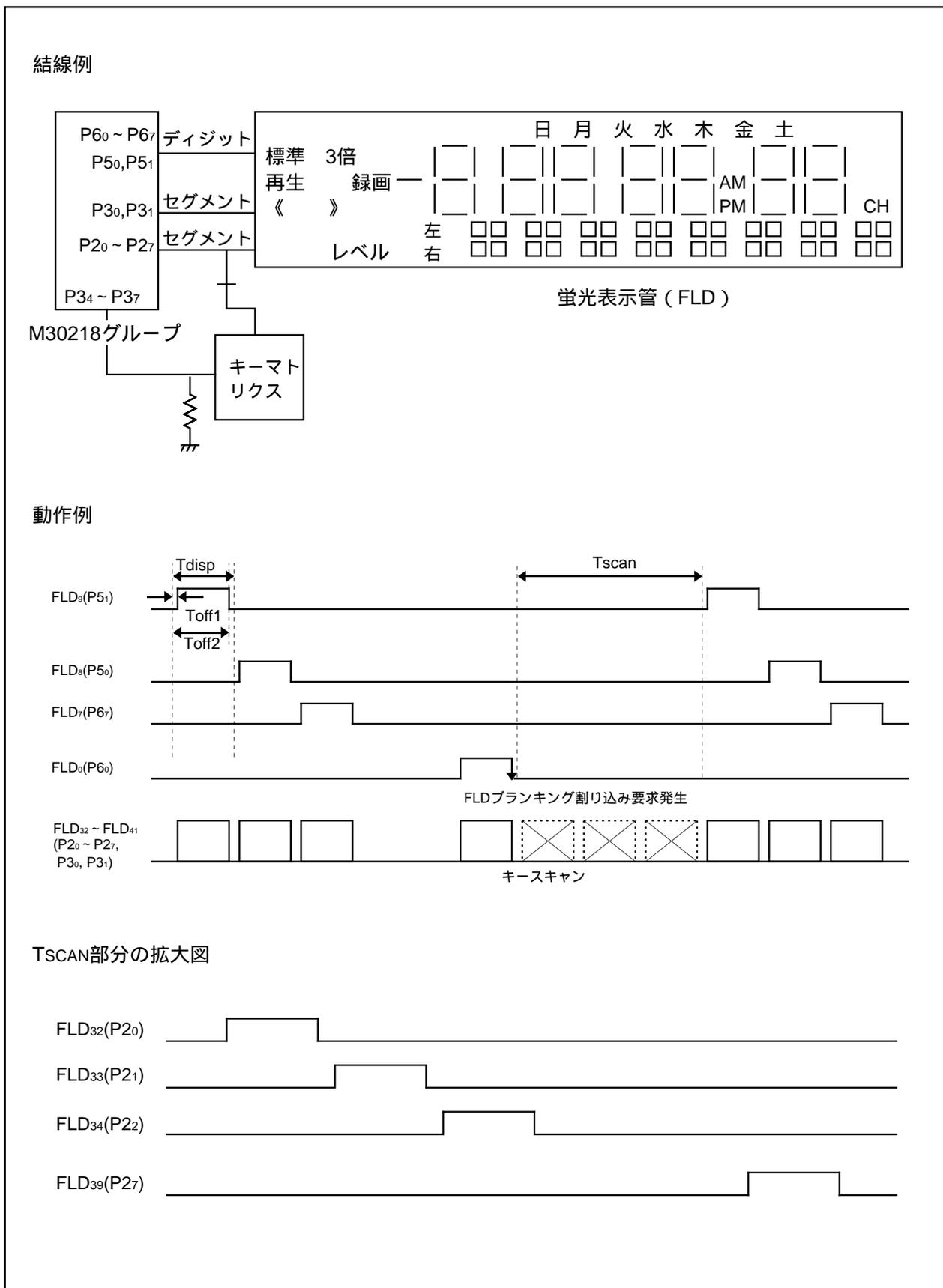
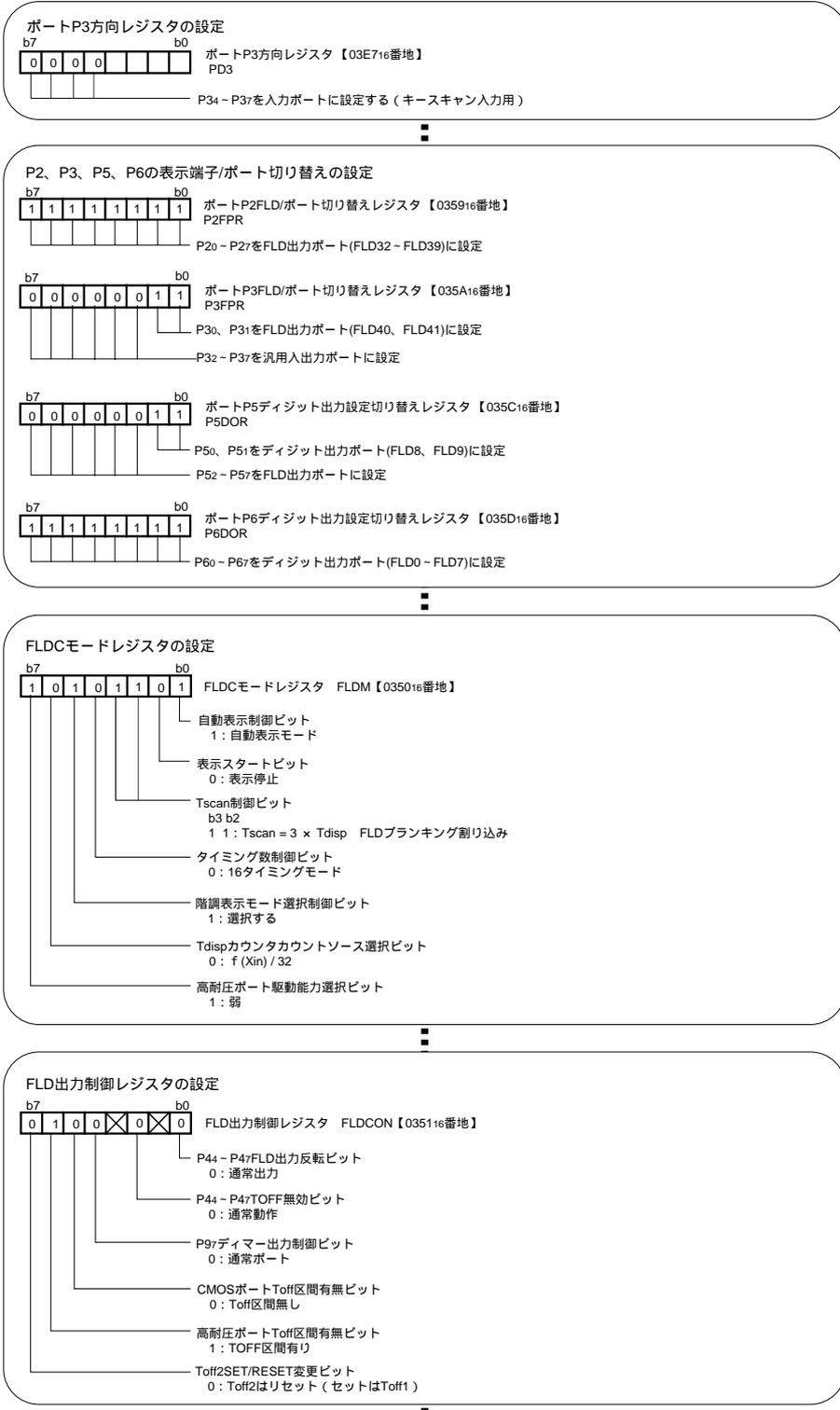


図2.7.7. FLD自動表示の動作タイミング図



次ページへ続く

図2.7.8. FLD自動表示の動作時のレジスタ設定手順(1)

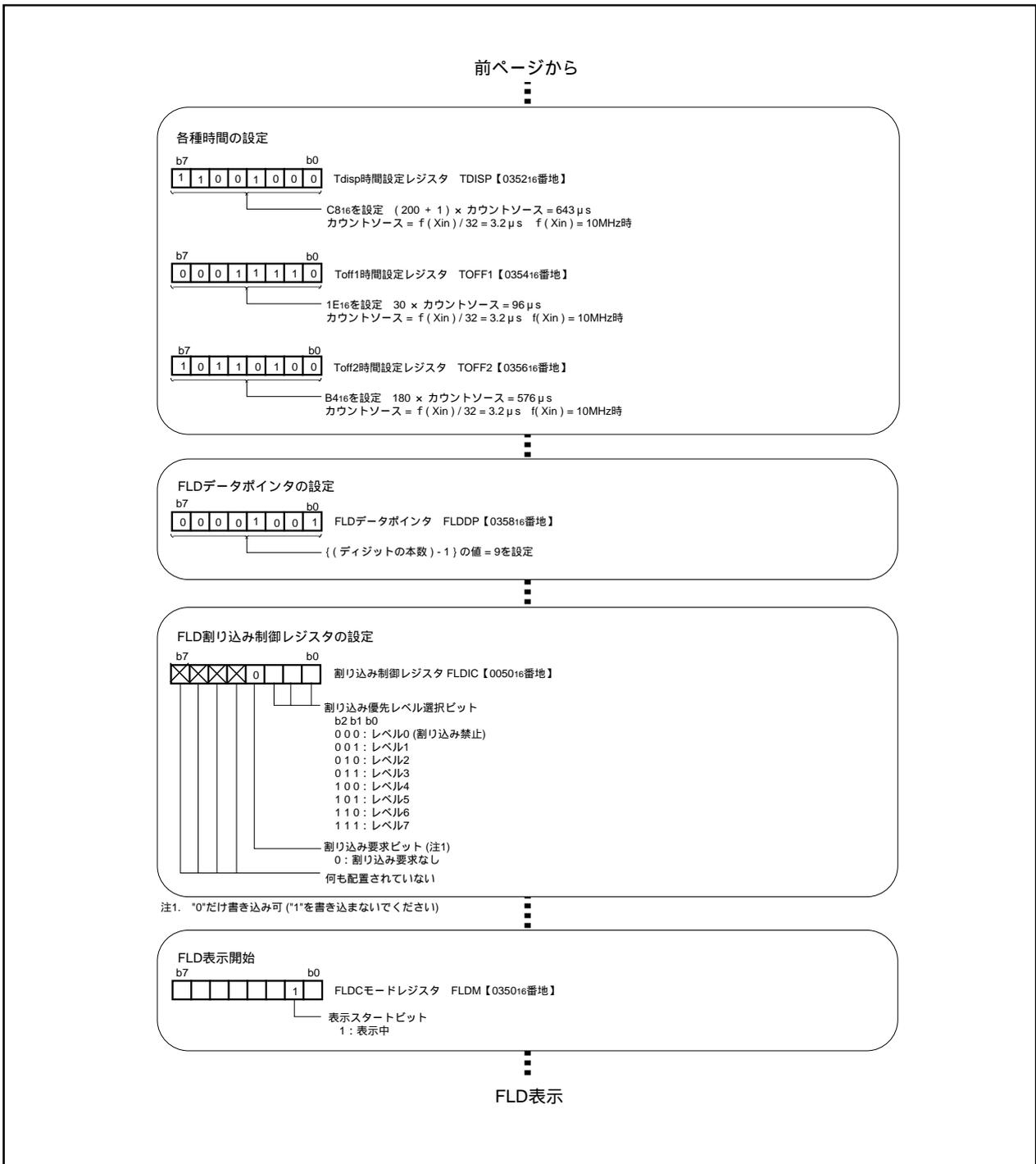


図2.7.9. FLD自動表示の動作時のレジスタ設定手順(2)

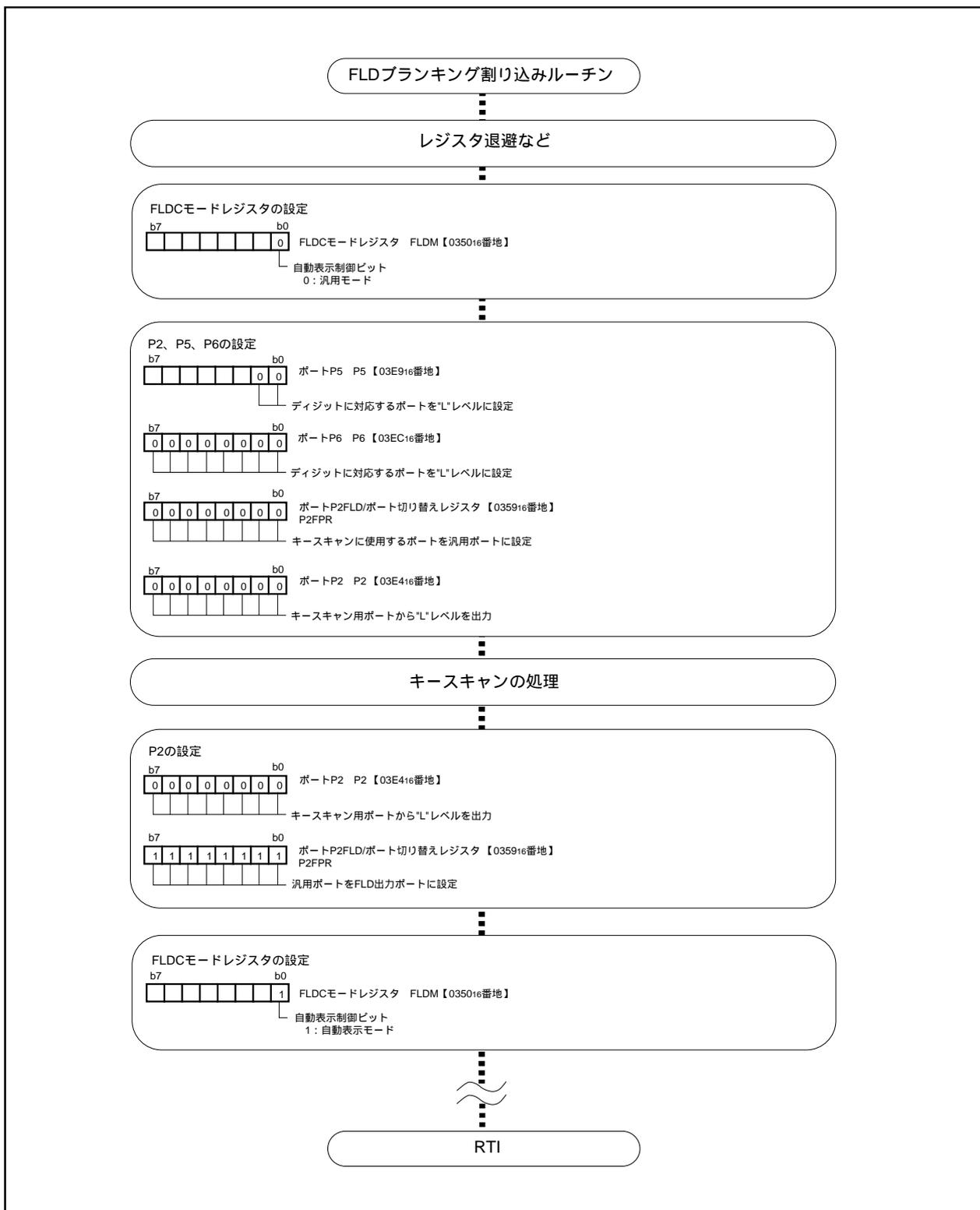


図2.7.10. キースキャンの処理時のレジスタ設定手順(1)

レイアウトの都合上、このページは白紙です。

2.7.3 FLD動作 (FLD自動表示とディジットを利用したキースキャン)

FLDコントローラでは、表2.7.2に示す項目の中から機能を選択できます。ここでは、表2.7.2に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.7.11に動作タイミングを、図2.7.12、図2.7.13に設定手順を示します。

表2.7.2. 設定内容

設定項目	設定内容	設定項目	設定内容
TSCAN制御(注1)	FLDディジット割り込み FLDブランキング割り込み	高耐圧ポート 駆動能力	強 弱
タイミング数	16タイミング 32タイミング	P97ディマ-出力	通常ポート ディマ-出力
TDISPカウンタ カウントソース	f(XIN)/32 f(XIN)/128	高耐圧ポート TOFF区間有無	TOFF区間無し TOFF区間有り
階調表示モード (注2)	選択しない 選択する	TOFF2 SET/RESET	TOFF2はRESET TOFF2はSET

注1. FLDブランキング割り込み選択時、TSCAN時間は1×TDISP、2×TDISP、3×TDISPの中から選択できます。

注2. 階調表示モード選択時は、タイミング数は必ず16タイミングに設定してください。

動作

- (1) 自動表示制御ビットを"1"、表示スタートビットを"1"にすると自動表示を開始します。
- (2) 表示データは、各ポートの自動表示RAMの先頭番地から(FLDデータポインタ)番地離れたRAMの内容を各ポートに出力します。また、階調表示制御データは、各タイミング、端子の自動表示RAMの格納アドレスから"70₁₆"を引いたアドレスに配置されており、"0"で明表示を、"1"で暗表示を行います。ただし、P50、P51、P60～P67はディジット波形出力機能により自動表示RAMの内容は無効となり、自動的にディジット波形が出力されます。
- (3) FLDデータポインタはTDISP間隔でカウントダウンし、"FF₁₆"になるとリロードしてカウントを続けます。
- (4) 各タイミングのToff1時間終了時(ディジットの立ち上がり)と同時にFLD割り込み要求ビットが"1"になります。各FLDディジット割り込みで、FLDのディジットを利用したキースキャンができます。
- (5) FLD自動表示中に表示スタートビットに"0"を書き込むことによって、FLD自動表示を中断させることができます。

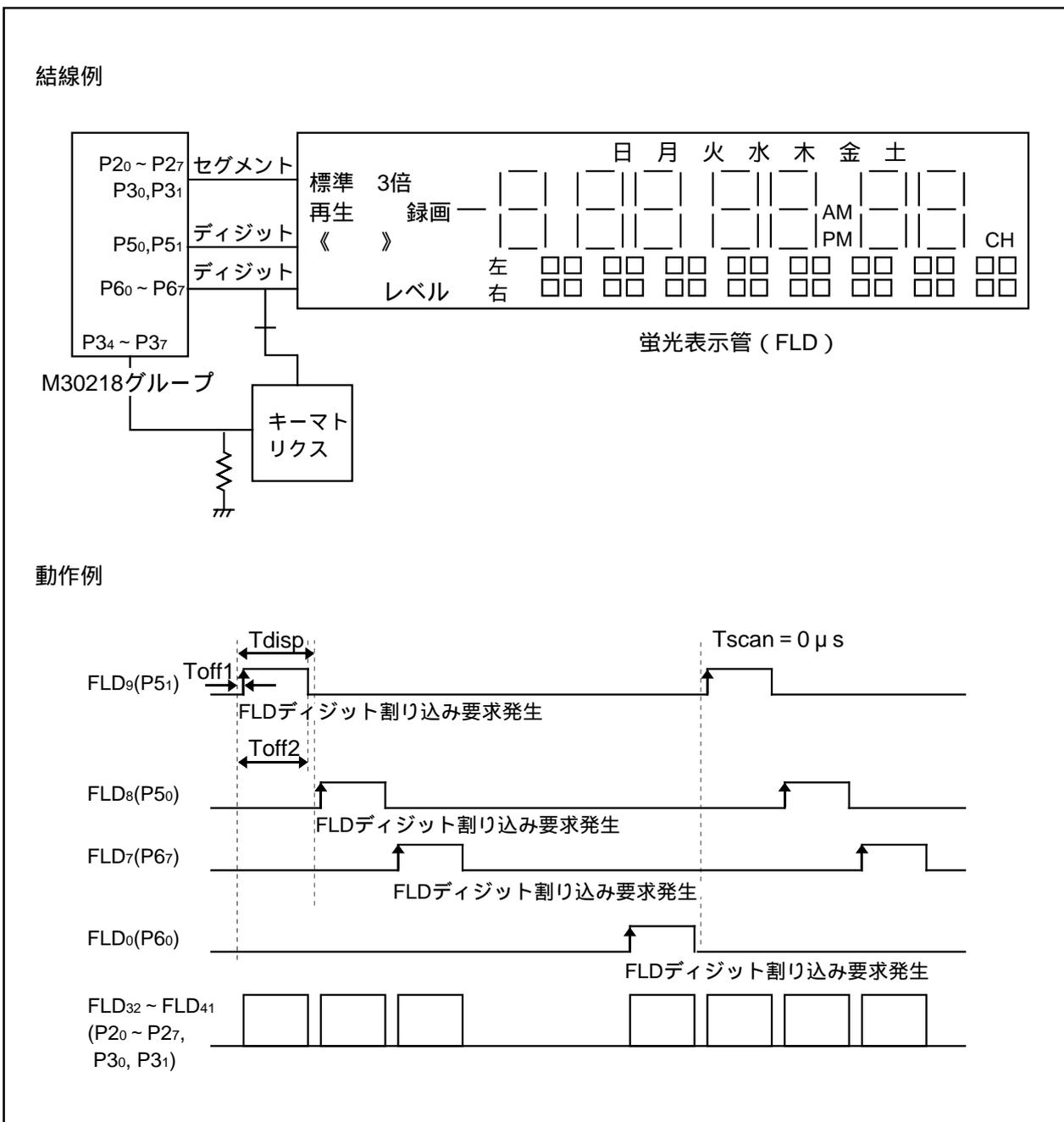
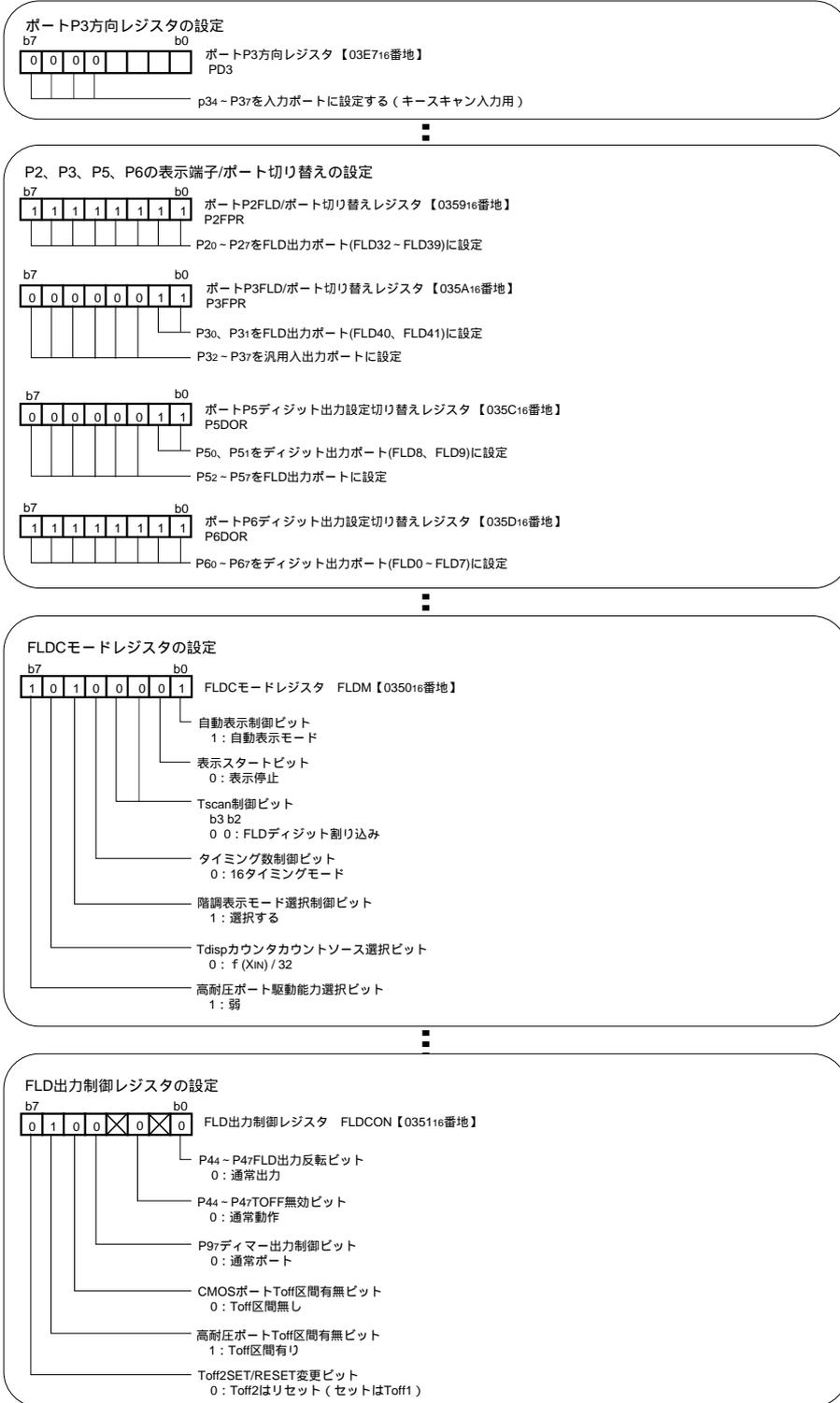


図2.7.11. FLD自動表示の動作タイミング図



次ページへ続く

図2.7.12. FLD自動表示の動作時のレジスタ設定手順(1)

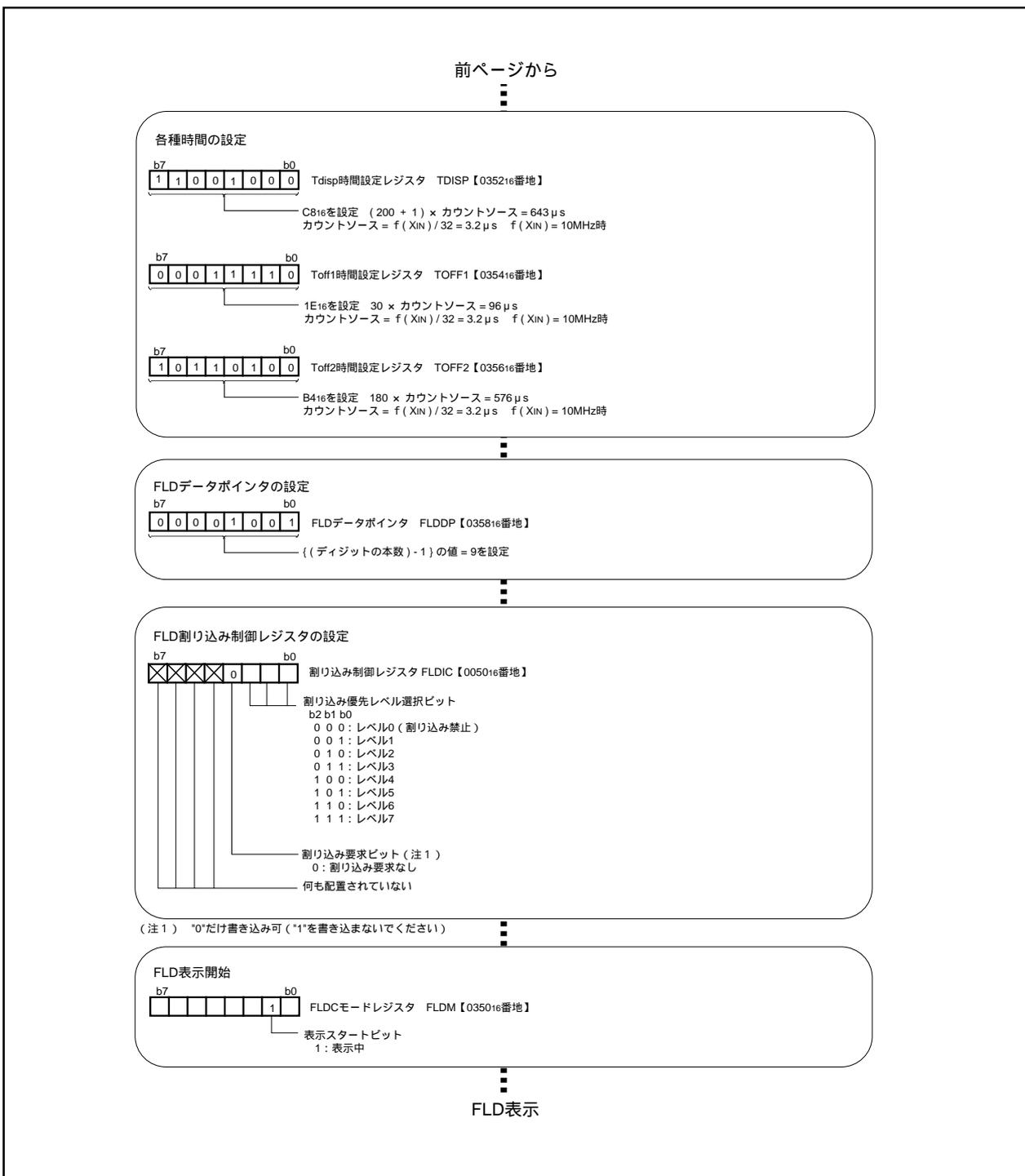


図2.7.13. FLD自動表示の動作時のレジスタ設定手順(2)

2.7.4 FLD動作 (ソフトウェアによるFLD表示とセグメントを利用したキースキャン)

ここでは、タイマA0割り込みを用いてFLD表示とキースキャンを行う場合の動作について説明します。
また、図2.7.14に動作タイミングを、図2.7.15、図2.7.16、図2.7.17に設定手順を示します。

- 動作
- (1) 自動表示制御ビットを"0"、表示スタートビットを"0"にします。
 - (2) タイマA0割り込み処理内で、セグメントデータ及びディジットデータを各ポートから出力します。
 - (3) 全桁表示終了後、タイマA0割り込み処理内でキースキャンを行います。

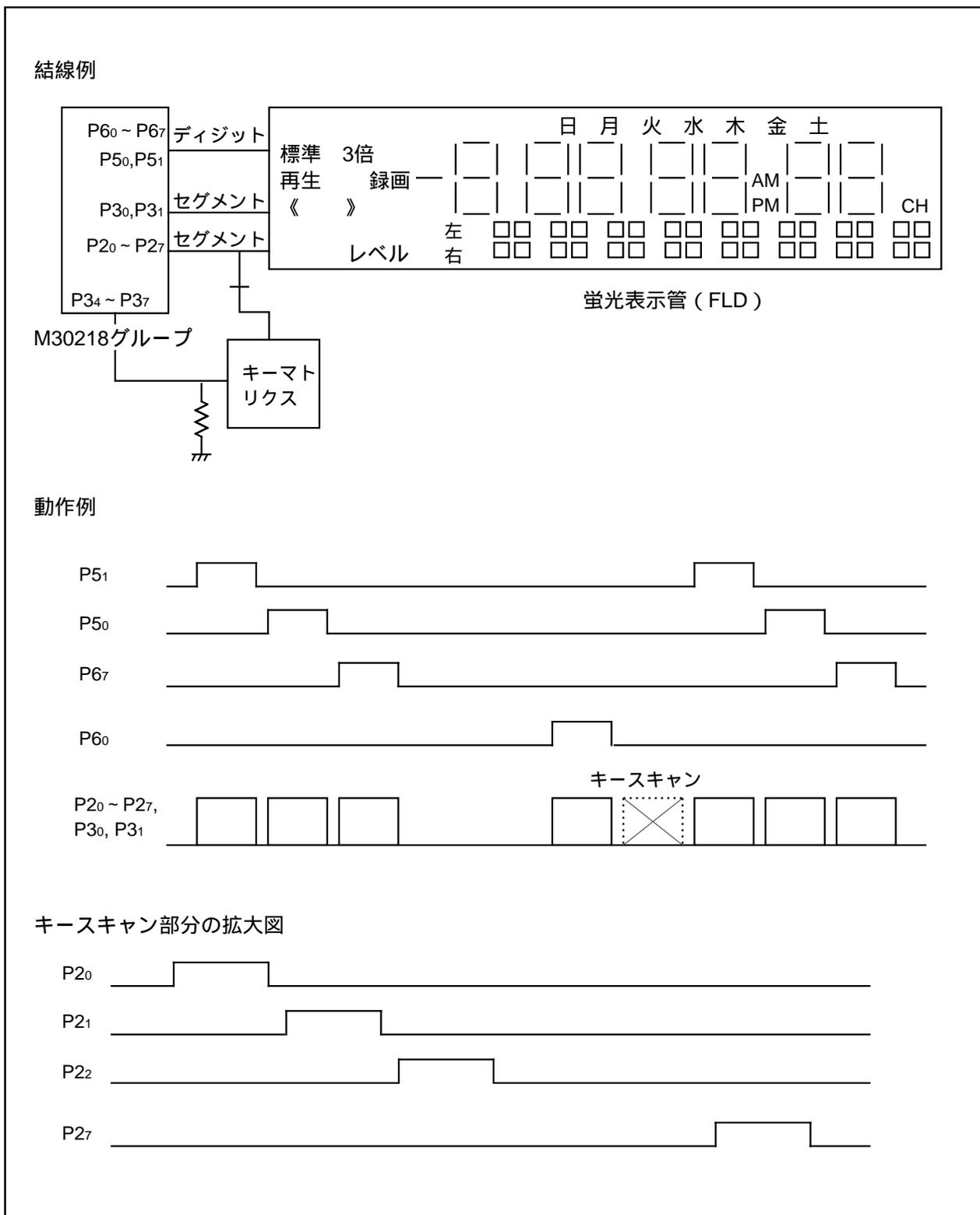


図2.7.14. FLD表示の動作タイミング図

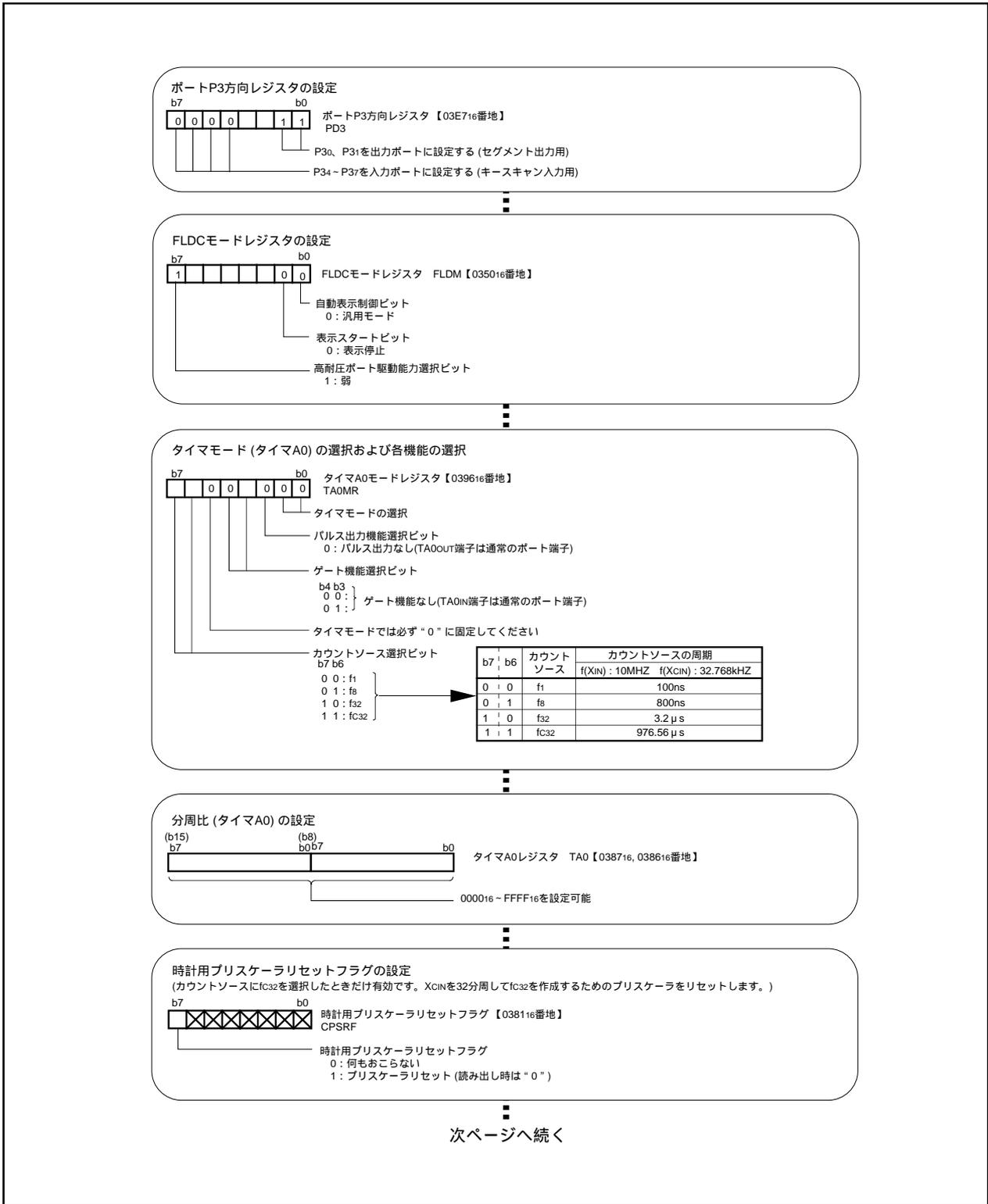


図2.7.15. FLD表示の動作時のレジスタ設定手順(1)

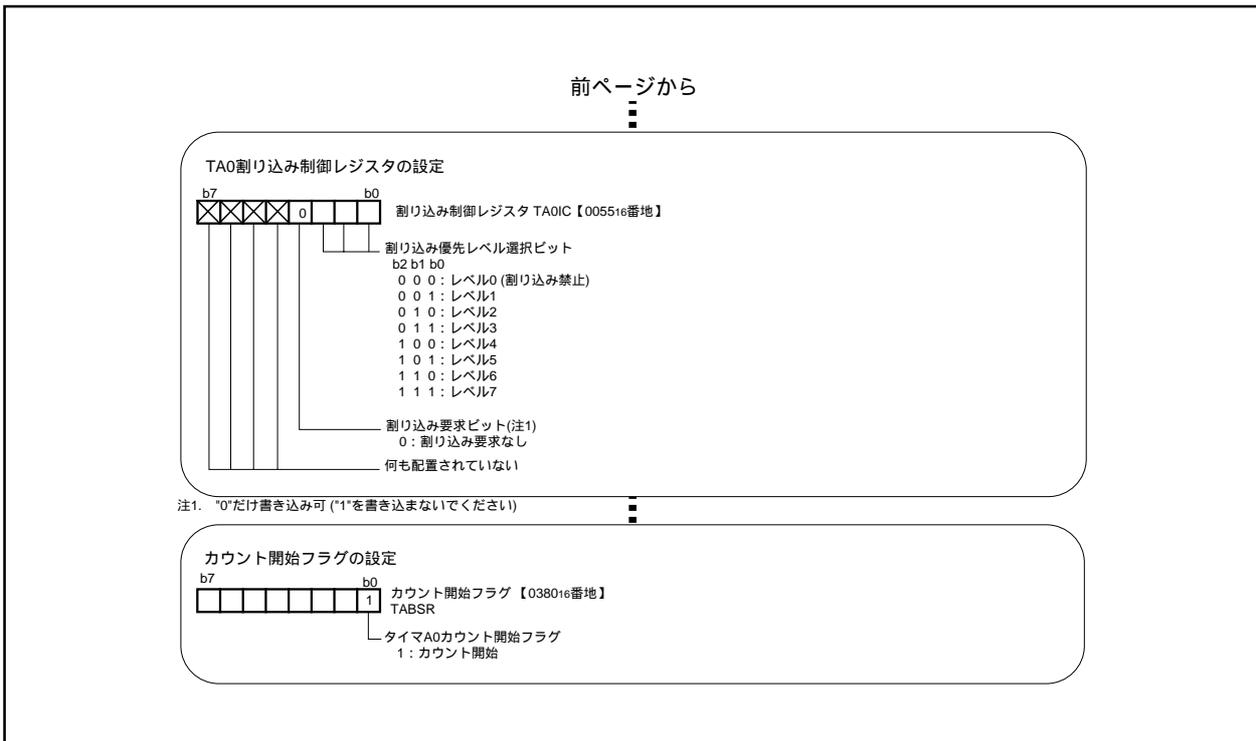


図2.7.16. FLD表示の動作時のレジスタ設定手順(2)

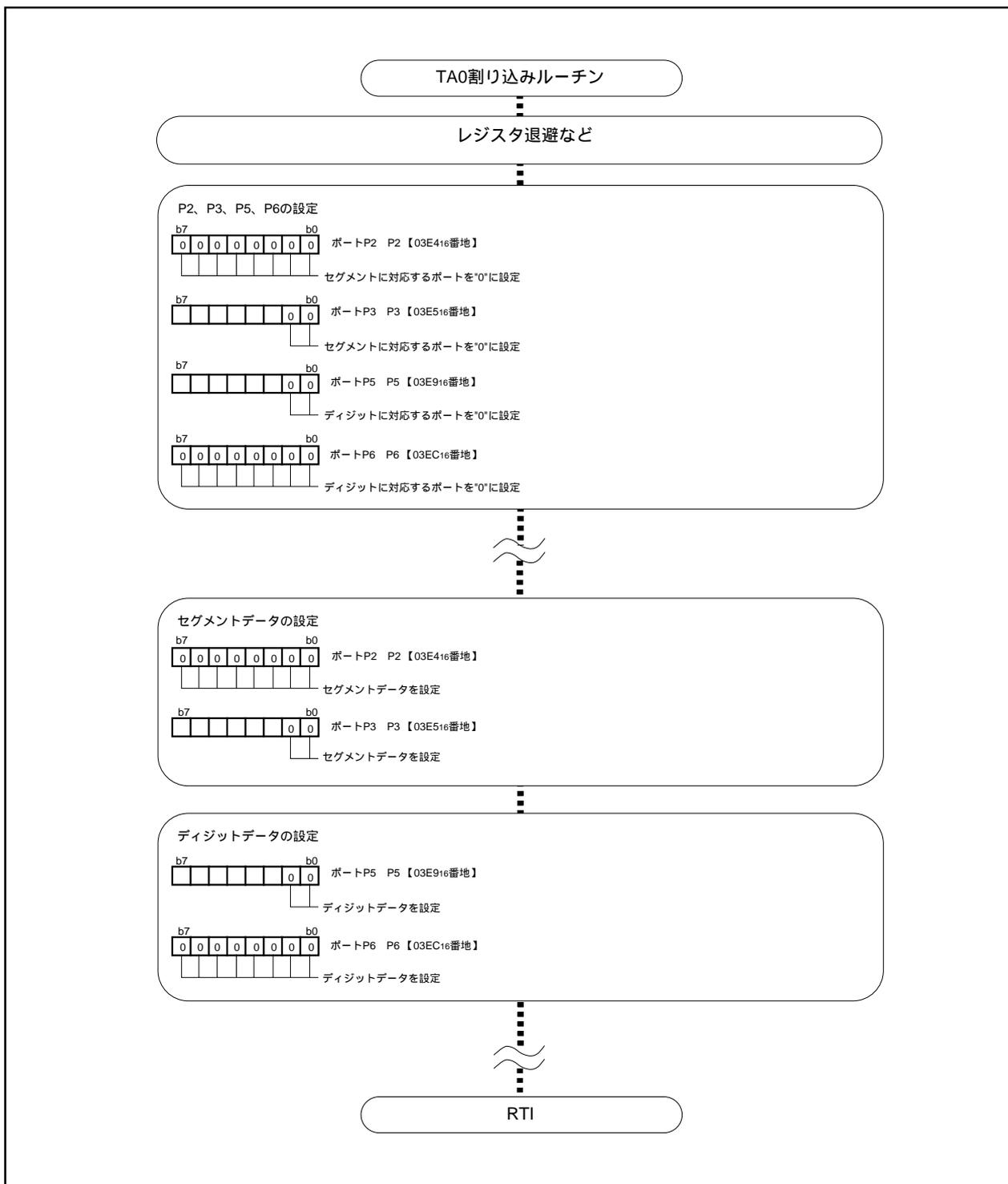


図2.7.17. キースキャンの処理時のレジスタ設定手順

レイアウトの都合上、このページは白紙です。

2.7.5 FLD動作 (ディジットエキスパンダ(M35501FP*)との組み合わせで表示する)

FLDコントローラでは、表2.7.3に示す項目の中から機能を選択できます。ここでは、表2.7.3に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.7.18、図2.7.19に動作タイミングを、図2.7.20、図2.7.21に設定手順を示します。

* M35501FPについては「データシート(38B5グループユーザーズマニュアルの付録3)」を参照してください。

表2.7.3. 設定内容

設定項目	設定内容	設定項目	設定内容
TSCAN制御(注1)	FLDディジット割り込み FLDブランキング割り込み	高耐圧ポート 駆動能力	強 弱
タイミング数	16タイミング 32タイミング	P97ディマー出力	通常ポート ディマー出力
TDISPカウンタ カウントソース	f(XIN)/32 f(XIN)/128	高耐圧ポート TOFF区間有無	TOFF区間無し TOFF区間有り
階調表示モード (注2)	選択しない 選択する	TOFF2 SET/RESET	TOFF2はRESET TOFF2はSET

注1. FLDブランキング割り込み選択時、TSCAN時間は1×TDISP、2×TDISP、3×TDISPの中から選択できます。

注2. 階調表示モード選択時は、タイミング数は必ず16タイミングに設定してください。

動作

- (1) 自動表示制御ビットを"1"、表示スタートビットを"1"にすると自動表示を開始します。
- (2) 表示データは、各ポートの自動表示RAMの先頭番地から(FLDデータポインタ)番地離れたRAMの内容を各ポートに出力します。また、階調表示制御データは、各タイミング、端子の自動表示RAMの格納アドレスから"70₁₆"を引いたアドレスに配置されており、"0"で明表示を、"1"で暗表示を行います。
- (3) FLDデータポインタはTDISP間隔でカウントダウンし、"FF₁₆"になるとリロードしてカウントを続けます。
- (4) M35501FPのRESET端子、SEL端子にはそれぞれP70、P71より信号を供給し、CLK端子にはDIMout(P97)よりディマー信号を供給します。
- (5) FLD自動表示中に表示スタートビットに"0"を書き込むことによって、FLD自動表示を中断させることができます。

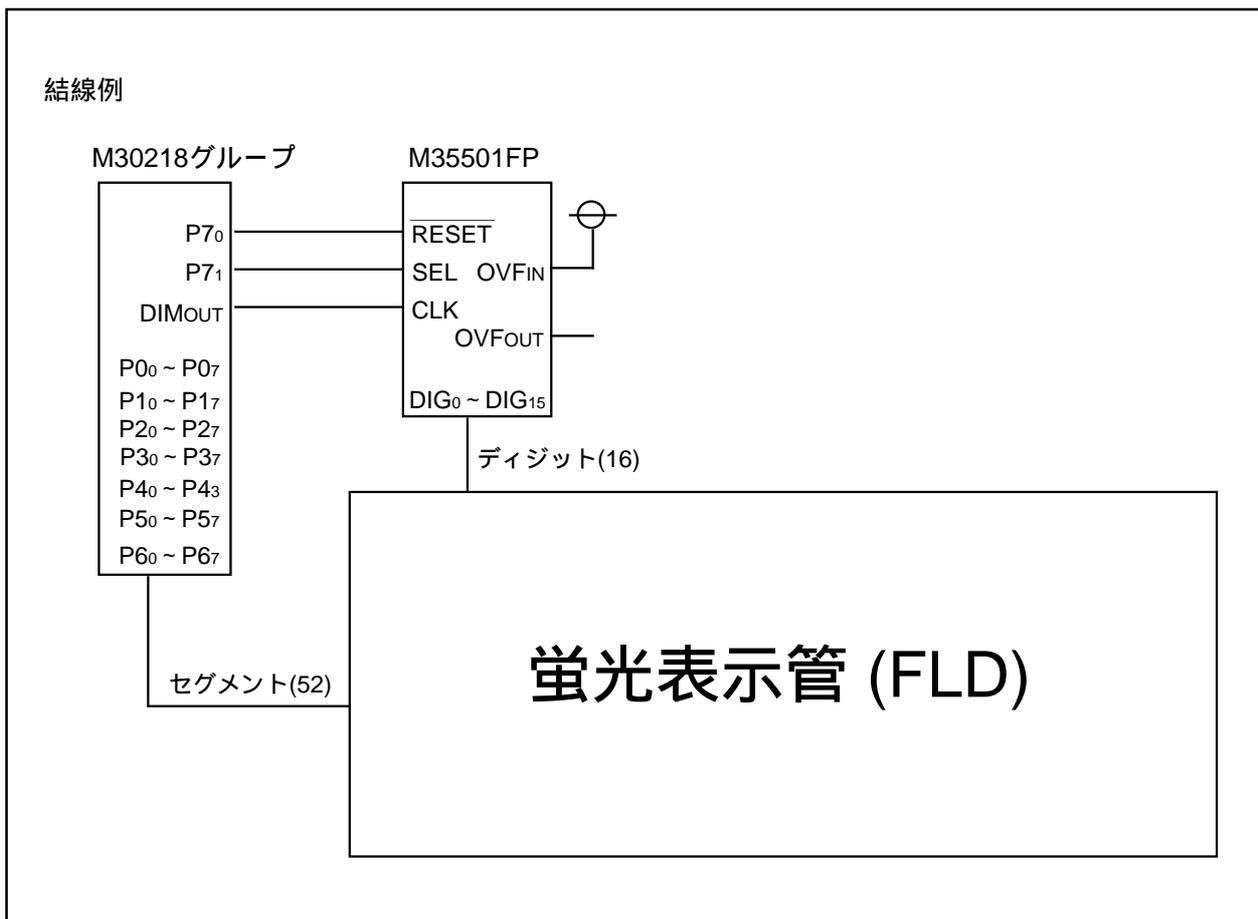


図2.7.18. FLD自動表示の動作タイミング図(1)

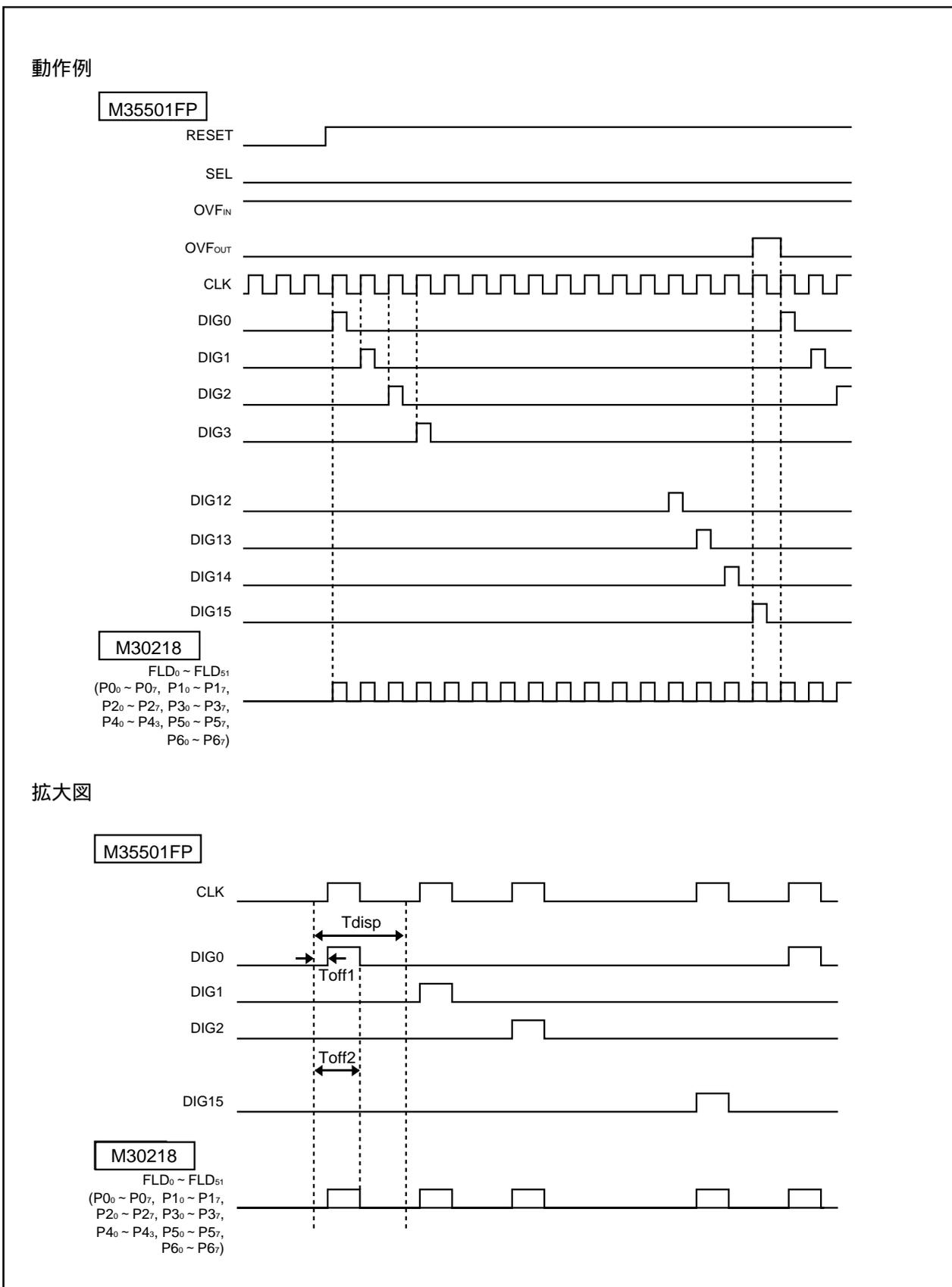


図2.7.19. FLD自動表示の動作タイミング図(2)

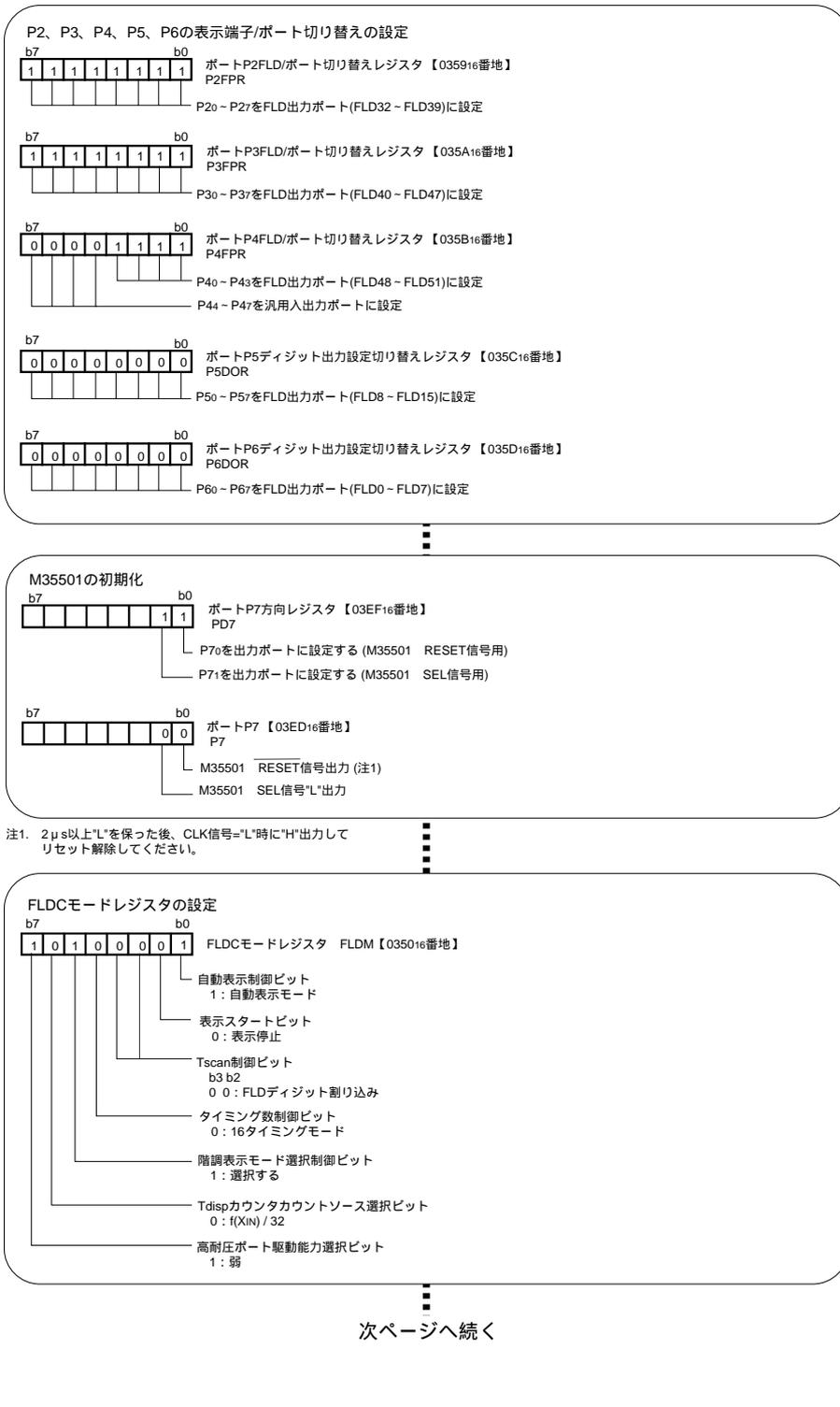


図2.7.20. FLD自動表示の動作時のレジスタ設定手順(1)

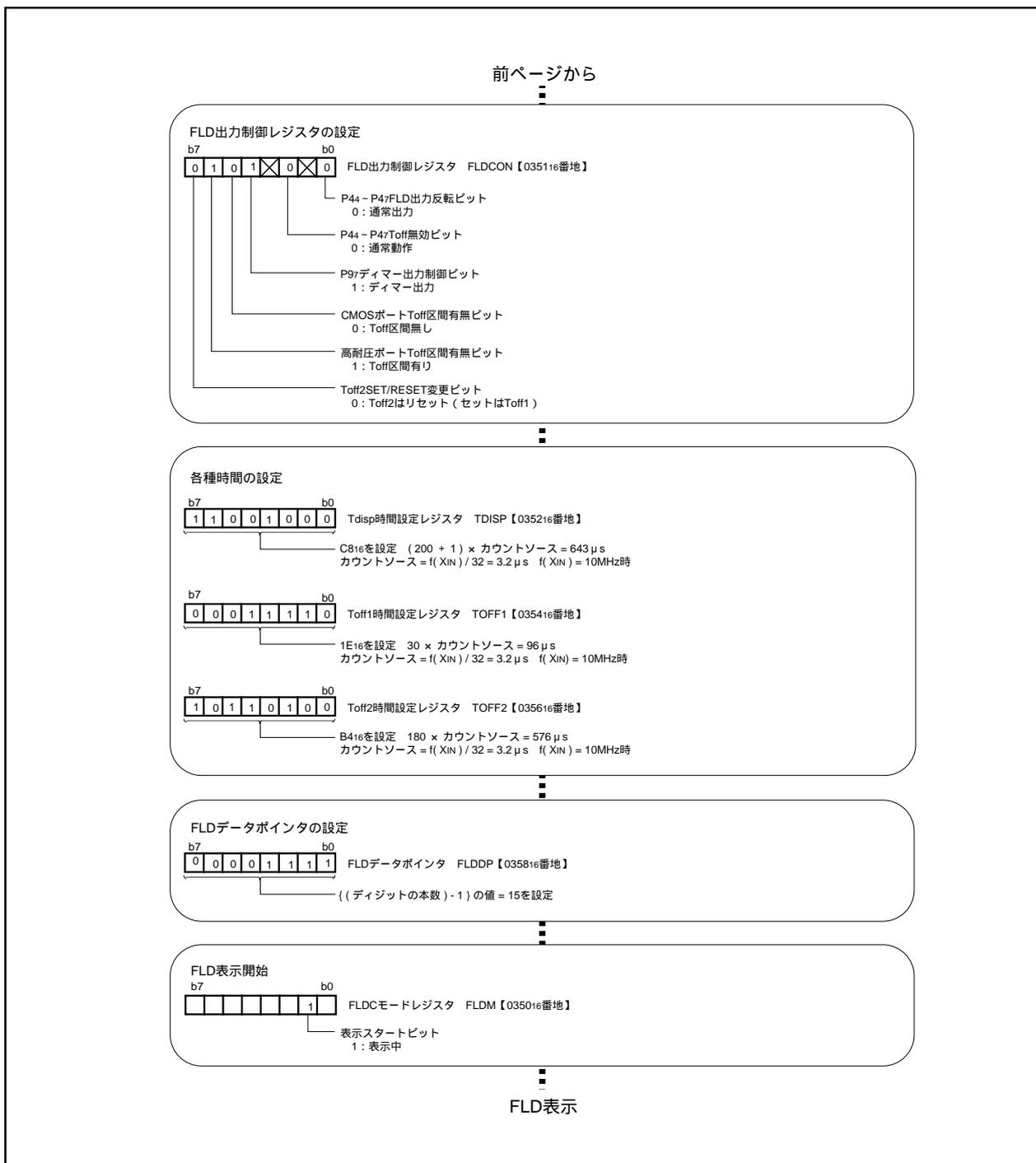


図2.7.21. FLD自動表示の動作時のレジスタ設定手順(2)

レイアウトの都合上、このページは白紙です。

2.7.6 FLD動作 (ディジットエキスパンダ(M35501FP*)との組み合わせで表示する(桁ずれ防止))

FLDコントローラでは、表2.7.4に示す項目の中から機能を選択できます。ここでは、表2.7.4に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.7.22、図2.7.23に動作タイミングを、図2.7.24、図2.7.25、図2.7.26、図2.7.27に設定手順を示します。

* M35501FPについては「データシート(38B5グループユーザーズマニュアルの付録3)」を参照してください。

表2.7.4. 設定内容

設定項目	設定内容	設定項目	設定内容
TSCAN制御(注1)	FLDディジット割り込み FLDブランキング割り込み	高耐圧ポート 駆動能力	強 弱
タイミング数	16タイミング 32タイミング	P97ディマ-出力	通常ポート ディマ-出力
TDISPカウンタ カウントソース	f(XIN)/32 f(XIN)/128	高耐圧ポート TOFF区間有無	TOFF区間無し TOFF区間有り
階調表示モード (注2)	選択しない 選択する	TOFF2 SET/RESET	TOFF2はRESET TOFF2はSET

注1. FLDブランキング割り込み選択時、TSCAN時間は1×TDISP、2×TDISP、3×TDISPの中から選択できます。

注2. 階調表示モード選択時は、タイミング数は必ず16タイミングに設定してください。

動作

- (1) 自動表示制御ビットを"1"、表示スタートビットを"1"にすると自動表示を開始します。
- (2) 表示データは、各ポートの自動表示RAMの先頭番地から(FLDデータポインタ)番地離れたRAMの内容を各ポートに出力します。また、階調表示制御データは、各タイミング、端子の自動表示RAMの格納アドレスから"70₁₆"を引いたアドレスに配置されており、"0"で明表示を、"1"で暗表示を行います。
- (3) FLDデータポインタはTDISP間隔でカウントダウンし、"FF₁₆"になるとリロードしてカウントを続けます。
- (4) M35501FPのRESET端子、SEL端子にはそれぞれP70、P71より信号を供給し、CLK端子にはDIMOUT(P97)よりディマ-信号を供給します。
- (5) M35501FPのOVFout出力をTB2IN(P72)に inputsし、タイマB2で入力信号をカウントソースとしてカウントする。FLD表示周期毎にタイマA0割り込みを発生させ、タイマB2の値を確認し、異常時にはM35501FPをリセットする。
- (6) FLD自動表示中に表示スタートビットに"0"を書き込むことによって、FLD自動表示を中断させることができます。

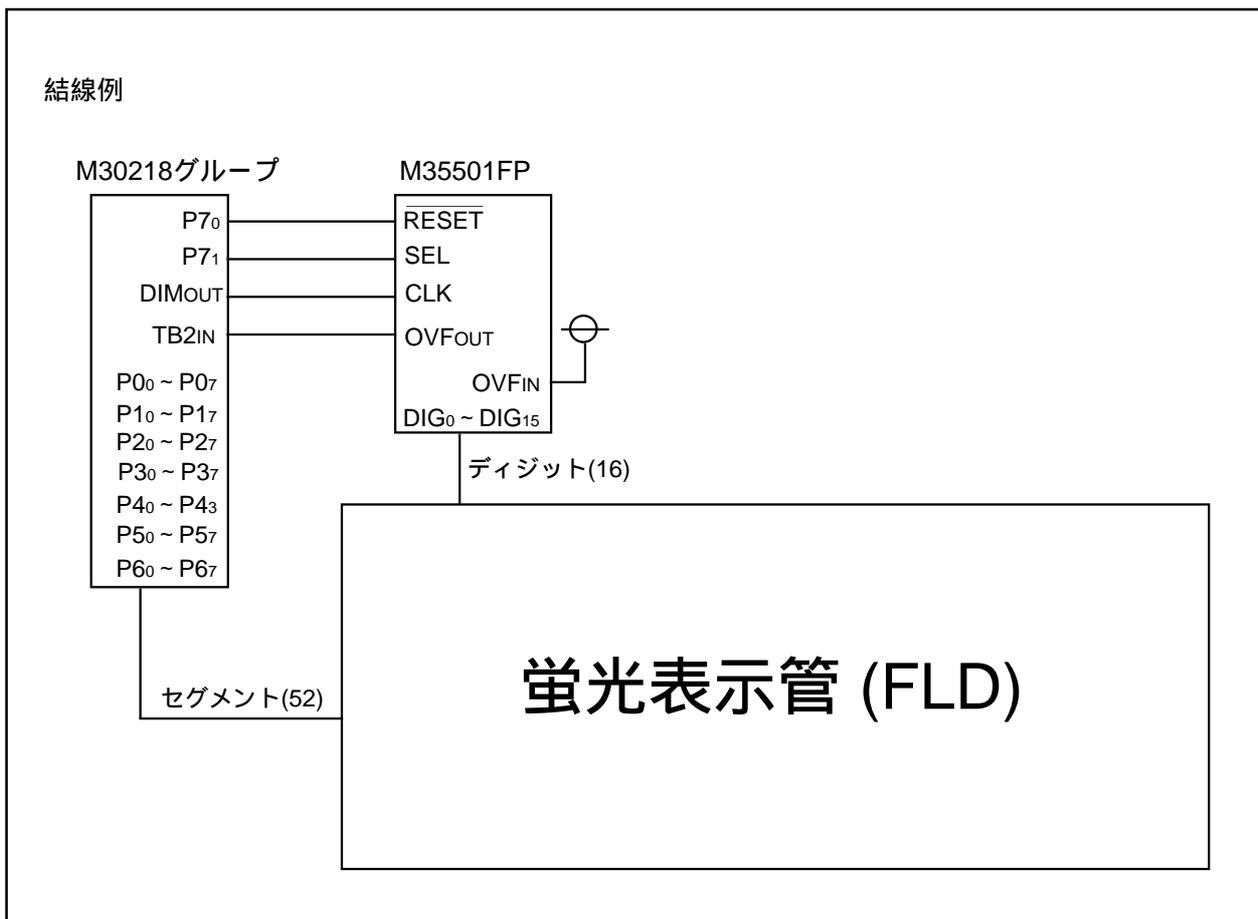
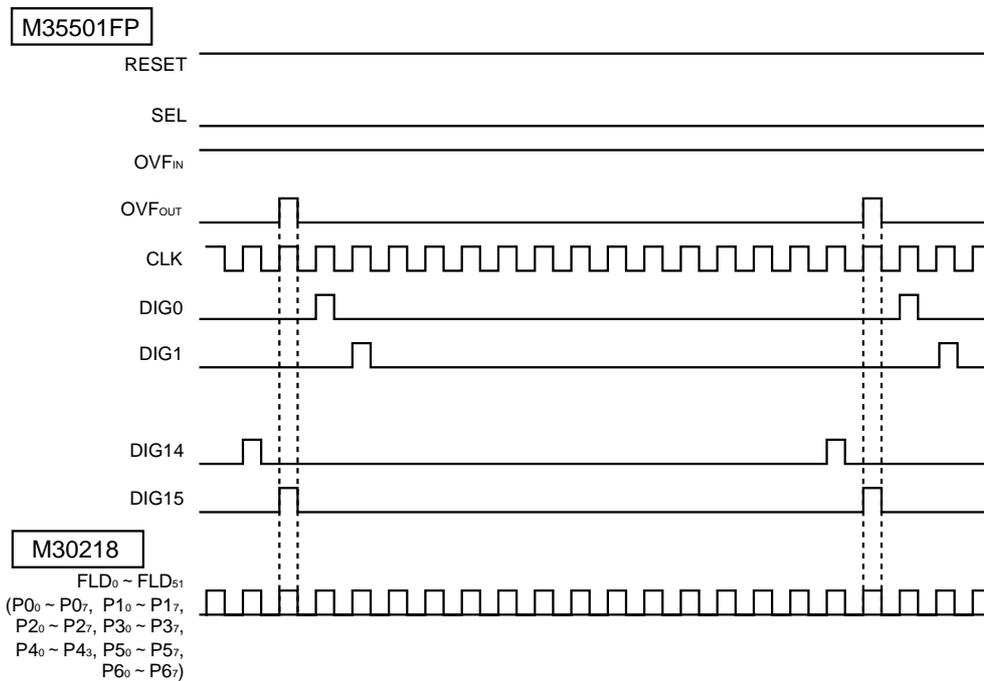


図2.7.22. FLD自動表示の動作タイミング図(1)

正常動作例



異常動作例

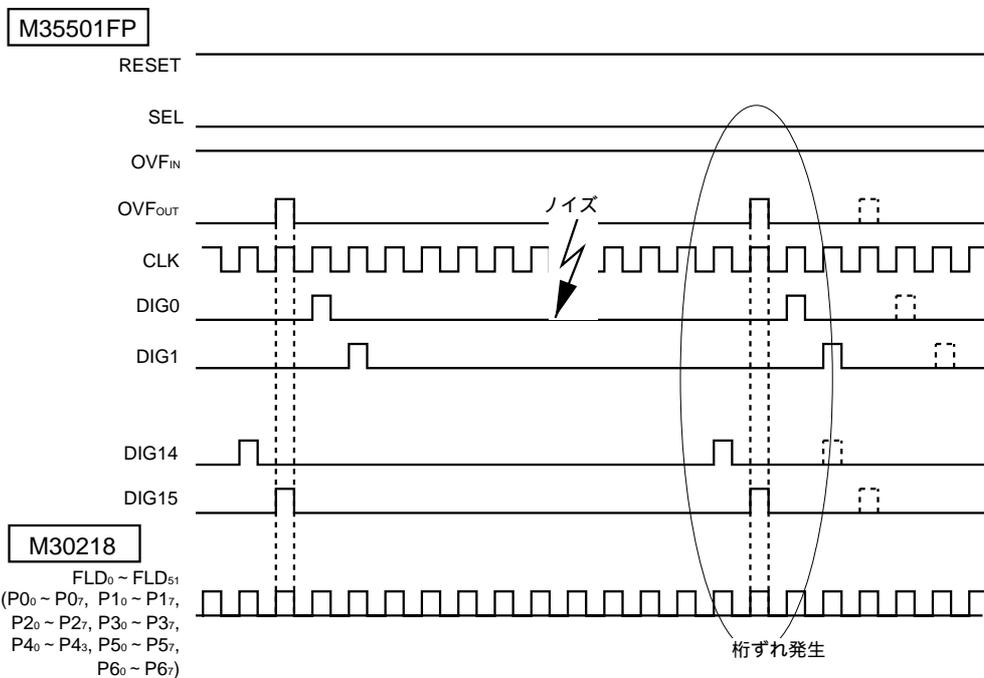


図2.7.23. FLD自動表示の動作タイミング図(2)

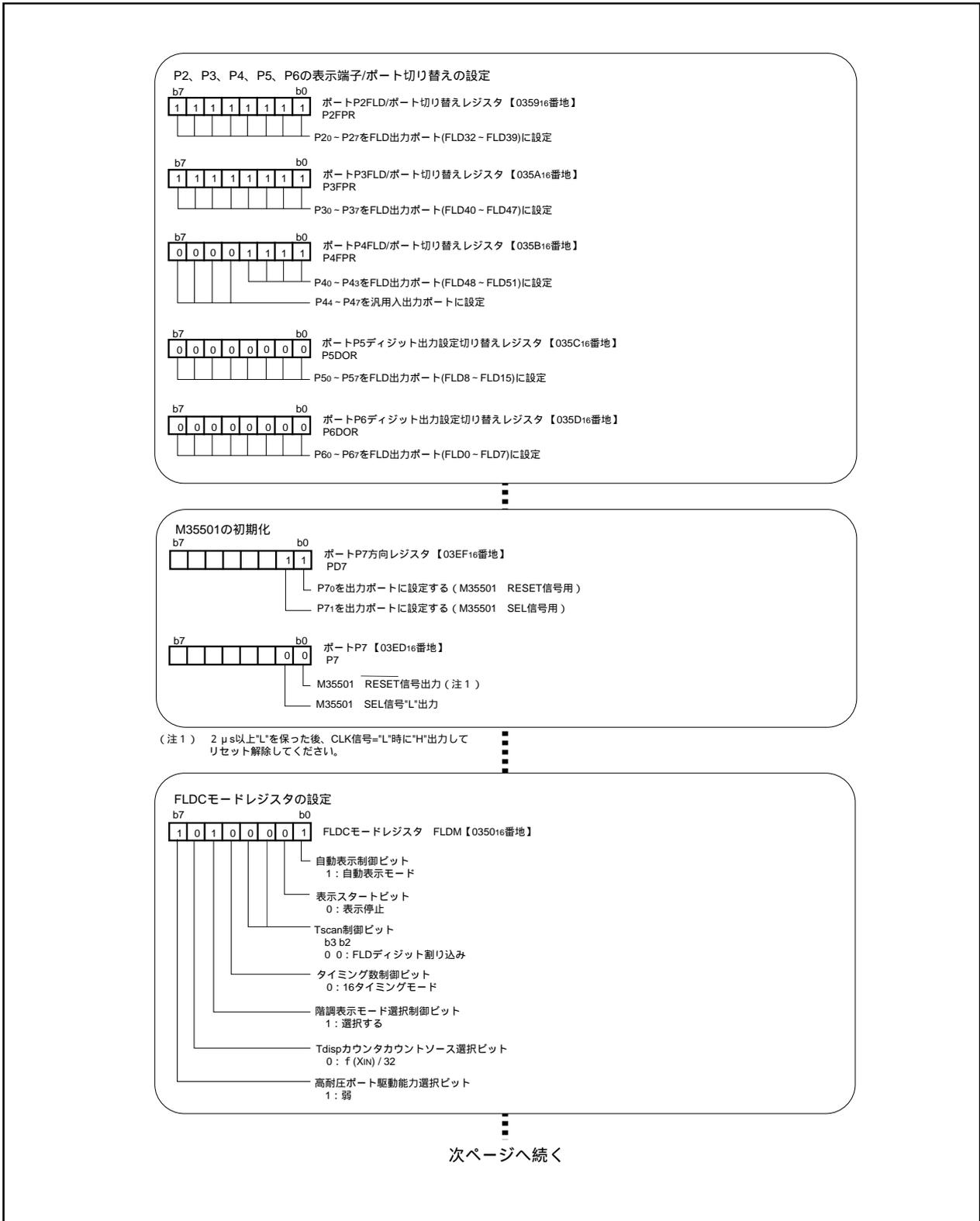
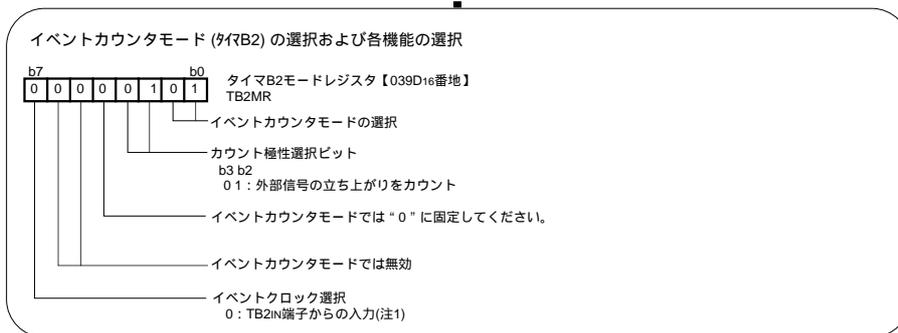
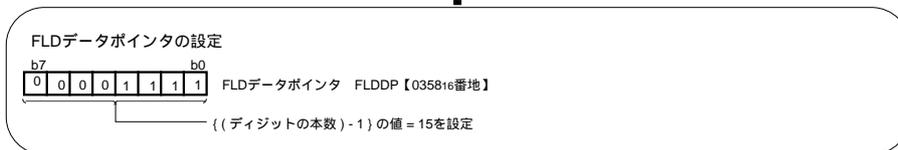
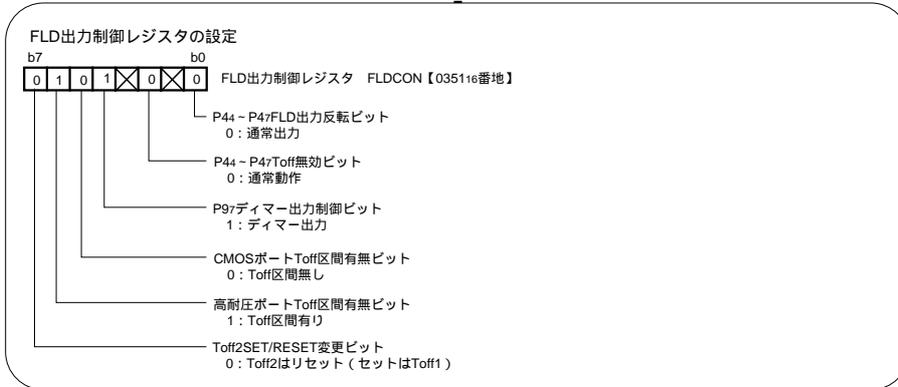


図2.7.24. FLD自動表示の動作時のレジスタ設定手順(1)

前ページから



注1. 対応するポート方向レジスタは "0" にしてください。

次ページへ続く

図2.7.25. FLD自動表示の動作時のレジスタ設定手順(2)

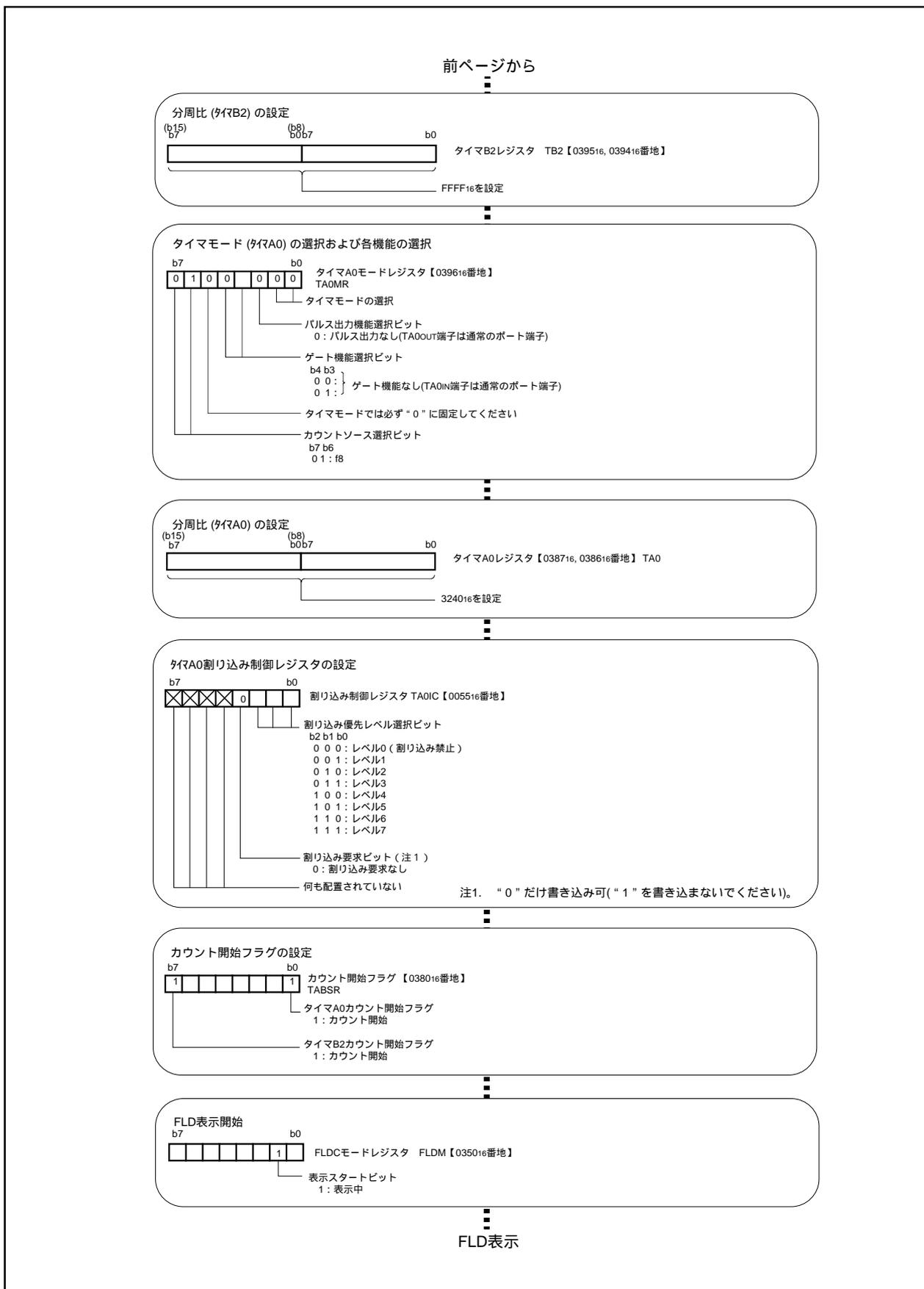


図2.7.26 FLD自動表示の動作時のレジスタ設定手順(3)

2.7.7 FLDコントローラの注意事項

T_{OFF1}時間設定レジスタには、"0316"以上の値を設定してください。

階調表示モードで表示する場合は、タイミング数制御ビットで16タイミングモードを選択してください。

A-D変換器

2.8 A-D変換器

2.8.1 概要

A-D変換器は、逐次変換方式で動作する10ビットのA-D変換器です。A-D変換器の概要について説明します。

モード

A-D変換器は、次の5つのモードを持ちます。

(1) 単発モード

指定された1端子の入力電圧を1度だけA-D変換します。

(2) 繰り返しモード

指定された1端子の入力電圧を繰り返しA-D変換します。

(3) 単掃引モード

指定された複数の端子の入力電圧を1度だけA-D変換します。

(4) 繰り返し掃引モード0

指定された複数の端子の入力電圧を繰り返しA-D変換します。

(5) 繰り返し掃引モード1

指定された複数の端子の入力電圧を繰り返しA-D変換します。

繰り返し掃引モード0との相違点は、指定する複数の端子の中から変換回数に重みを付けられることです。

動作クロック

動作クロックは、 f_{AD} 、 f_{AD} の2分周、または f_{AD} の4分周の中から選択できます。 f_{AD} は、CPUのメインクロックと同じ周波数です。

変換時間

A-D変換器の変換サイクル数は次のとおりです。また、表2.8.1にA-D変換器の動作クロックごとの変換時間を示します。

サンプル&ホールド機能を選択した場合

10ビット分解能では33サイクル、8ビット分解能では28サイクル

サンプル&ホールド機能を選択しない場合

10ビット分解能では59サイクル、8ビット分解能では49サイクル

表2.8.1. 動作クロックごとの変換時間

周波数選択ビット1		0		1
周波数選択ビット0		0	1	無効
A-D変換器の動作クロック		$AD = \frac{f_{AD}}{4}$	$AD = \frac{f_{AD}}{2}$	$AD = f_{AD}$
最短変換サイクル数 (注1)	8ビットモード	28 × AD		
	10ビットモード	33 × AD		
最短変換時間(注2)	8ビットモード	11.2 μs	5.6 μs	2.8 μs
	10ビットモード	13.2 μs	6.6 μs	3.3 μs

注1. アナログ入力端子1本あたりの変換サイクル数

注2. アナログ入力端子1本あたりの変換時間($f_{AD} = f(XIN) = 10\text{MHz}$ 時)

A-D変換器

選択機能

(1) サンプル&ホールド機能

サンプル&ホールド機能とは、A-D変換開始時、入力電圧をサンプリングし、サンプリングされた電圧に対してA-D変換を行う機能です。A-D変換開始時、動作クロックの3サイクル分サンプリングします。サンプル&ホールド機能を選択する場合、A-D変換の動作クロックは、1MHz以上にしてください。

(2) 8ビットA-D/10ビットA-D切り替え機能

分解能は、10ビットと8ビットを選択できます。8ビット分解能を選択した場合、10ビットA-Dの上位8ビットをA-D変換結果とします。

10ビットA-D分解能と8ビット分解能の計算式を以下に示します。

$$10\text{ビット分解能} \quad (V_{\text{ref}} \times n / 2^{10}) - (V_{\text{ref}} \times 0.5 / 10^{10}) \quad (n = 1 \sim 1023), 0(n = 0)$$

$$8\text{ビット分解能} \quad (V_{\text{ref}} \times n / 2^8) - (V_{\text{ref}} \times 0.5 / 2^{10}) \quad (n = 1 \sim 255), 0(n = 0)$$

(3) Vref接続/切断選択

Vrefを切断することでA-D変換器に流れ込む電流を小さくすることができます。マイコンの消費電力を小さくする場合は、Vrefを切断してください。また、A-D変換を行う場合、Vrefを接続してから1μs以上経過した後、A-D変換をスタートさせてください。

(1)~(3)の機能を次のとおり選択した動作例を示します。

単発モード	P330
繰り返しモード ソフトウェアトリガ	P332
単掃引モード ソフトウェアトリガ	P334
繰り返し掃引モード0 ソフトウェアトリガ	P336
繰り返し掃引モード1 ソフトウェアトリガ	P338

A-D変換器への入力と方向レジスタの関係

A-D変換器を使用する場合、ポートの方向レジスタを入力に設定してください。

A-D変換器関連端子

- | | |
|-----------------|----------------|
| (1) AN0 ~ AN7端子 | A-D変換器の入力端子です。 |
| (2) AVcc端子 | アナログ部の電源端子です。 |
| (3) VREF端子 | 基準電圧の入力端子です。 |
| (4) AVss端子 | アナログ部のGND端子です。 |

A-D変換器関連レジスタ

図2.8.1にA-D変換器関連レジスタのメモリ配置図を、図2.8.2 ~ 図2.8.4にA-D変換器関連レジスタの構成を示します。

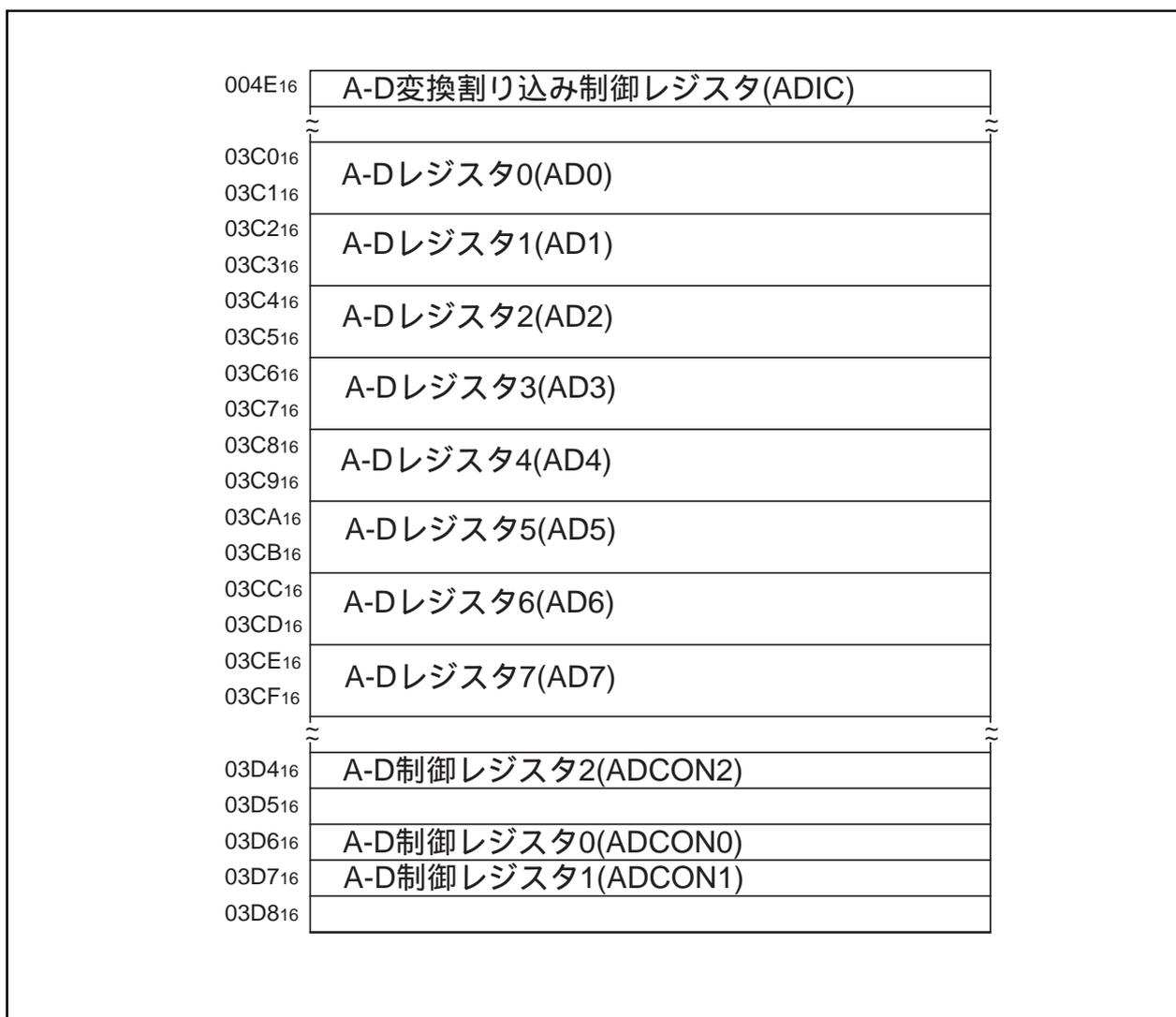


図2.8.1. A-D変換器関連レジスタのメモリ配置図

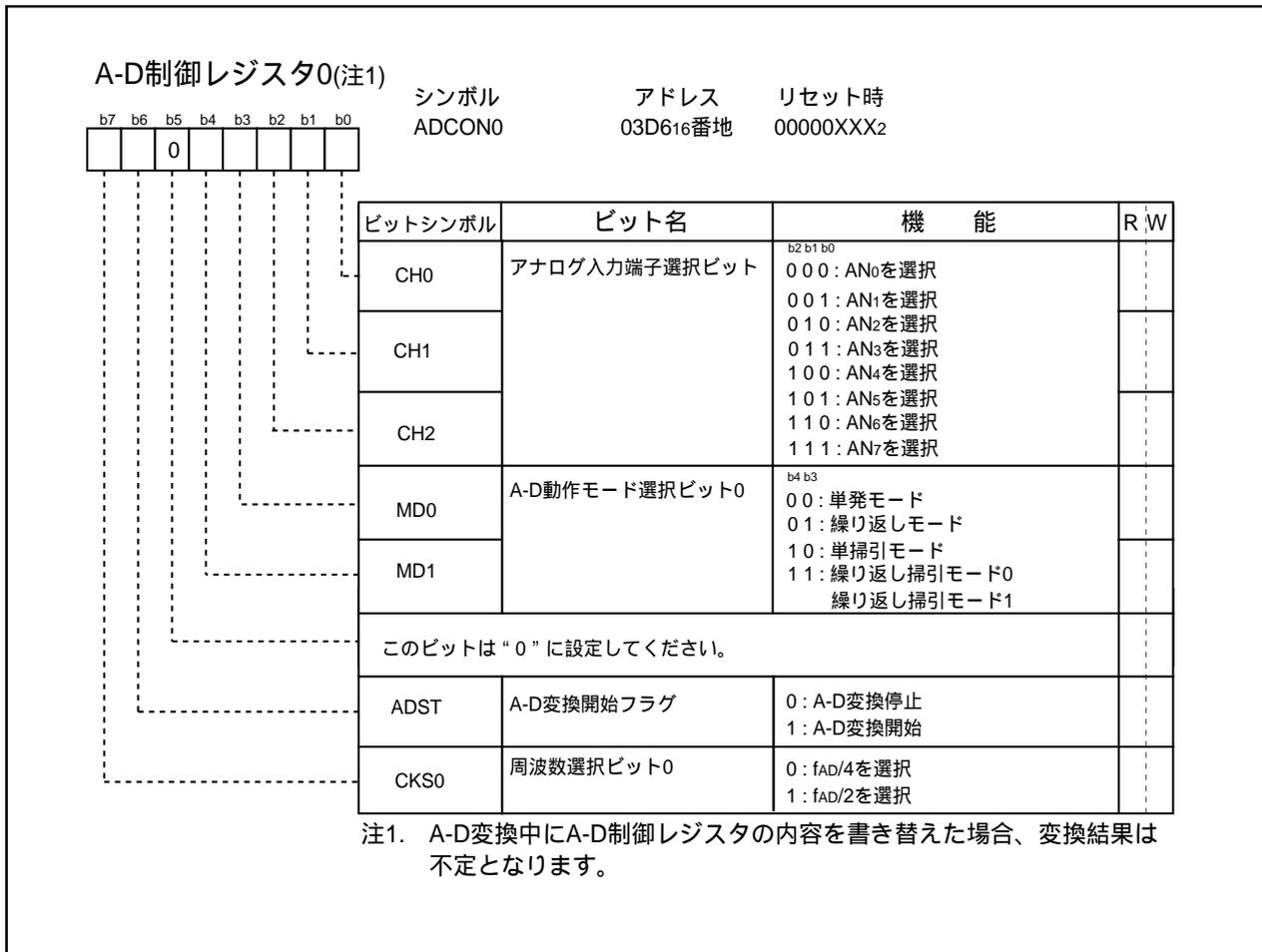


図2.8.2. A-D変換器関連レジスタ(1)

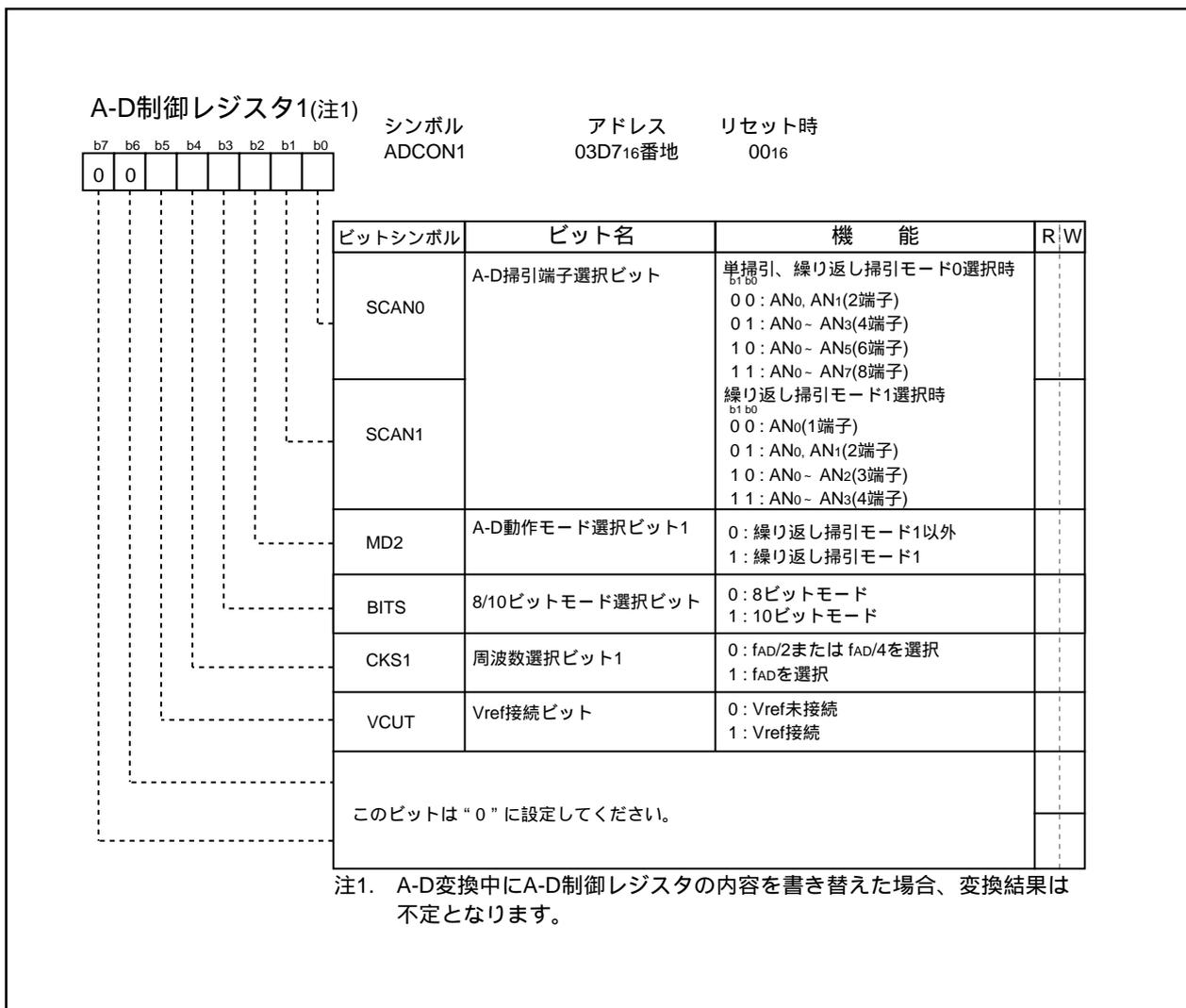


図2.8.3. A-D変換器関連レジスタ(2)

A-D変換器

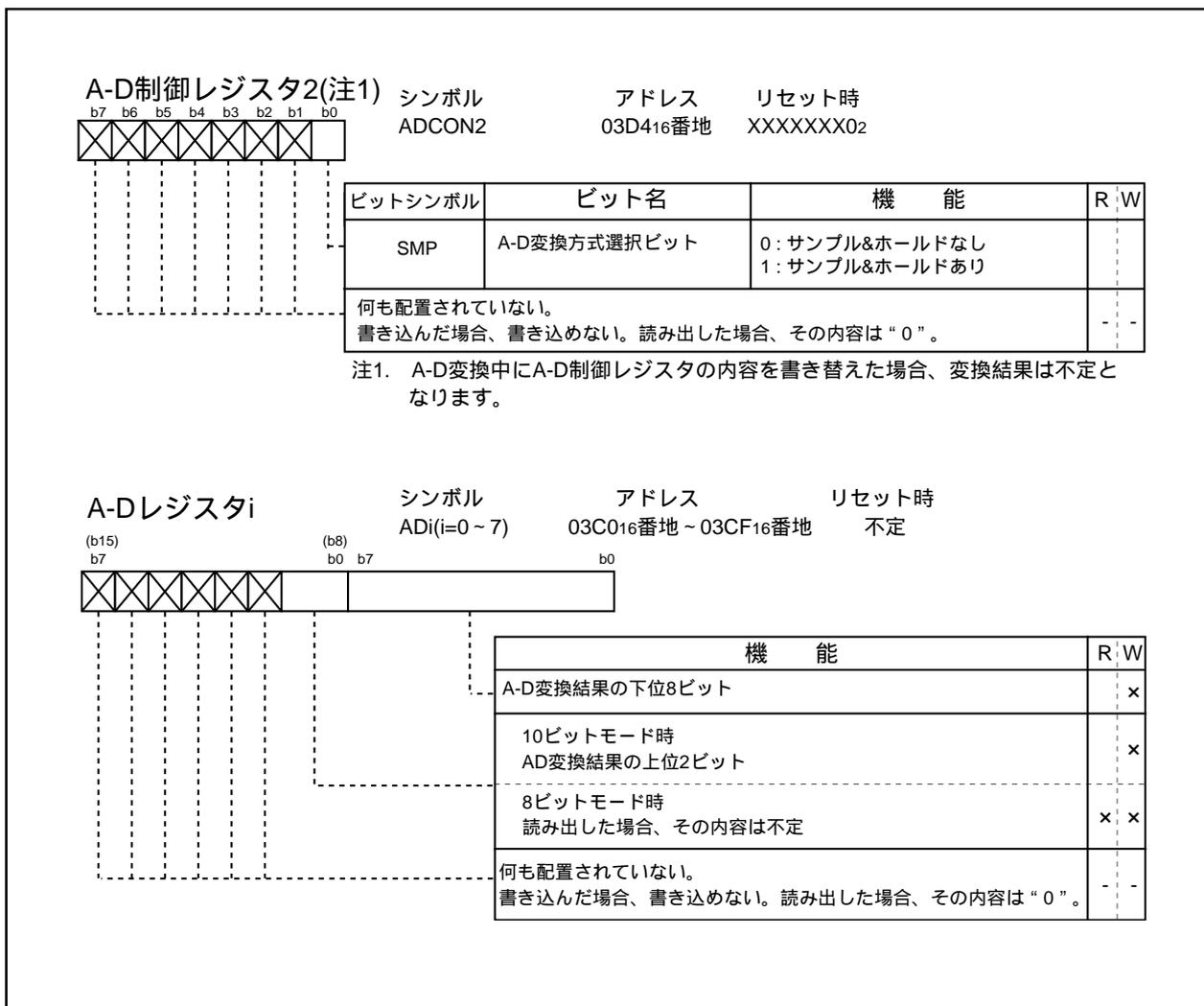


図2.8.4. A-D変換器関連レジスタ(3)

2.8.2 A-D変換器の動作 (単発モード)

単発モードでは、表2.8.2に示す項目の中から機能を選択できます。ここでは、表2.8.2に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.8.5に動作タイミングを、図2.8.6に設定手順を示します。

表2.8.2. 設定内容

設定項目	設定内容
動作クロック AD	f_{AD} の4分周 / f_{AD} の2分周 / f_{AD}
分解能	8ビット / 10ビット
アナログ入力端子	AN ₀ ~ AN ₇ から1本
サンプル&ホールド	なし
	あり

- 動作
- (1) A-D変換開始フラグを“1”にすると、A-D変換器は動作を開始します。
 - (2) A-D変換終了後、逐次比較レジスタの内容(変換結果)はA-Dレジスタに転送されます。同時にA-D変換割り込み要求ビットが“1”になります。また、A-D変換開始フラグが“0”になり、A-D変換器は動作を停止します。

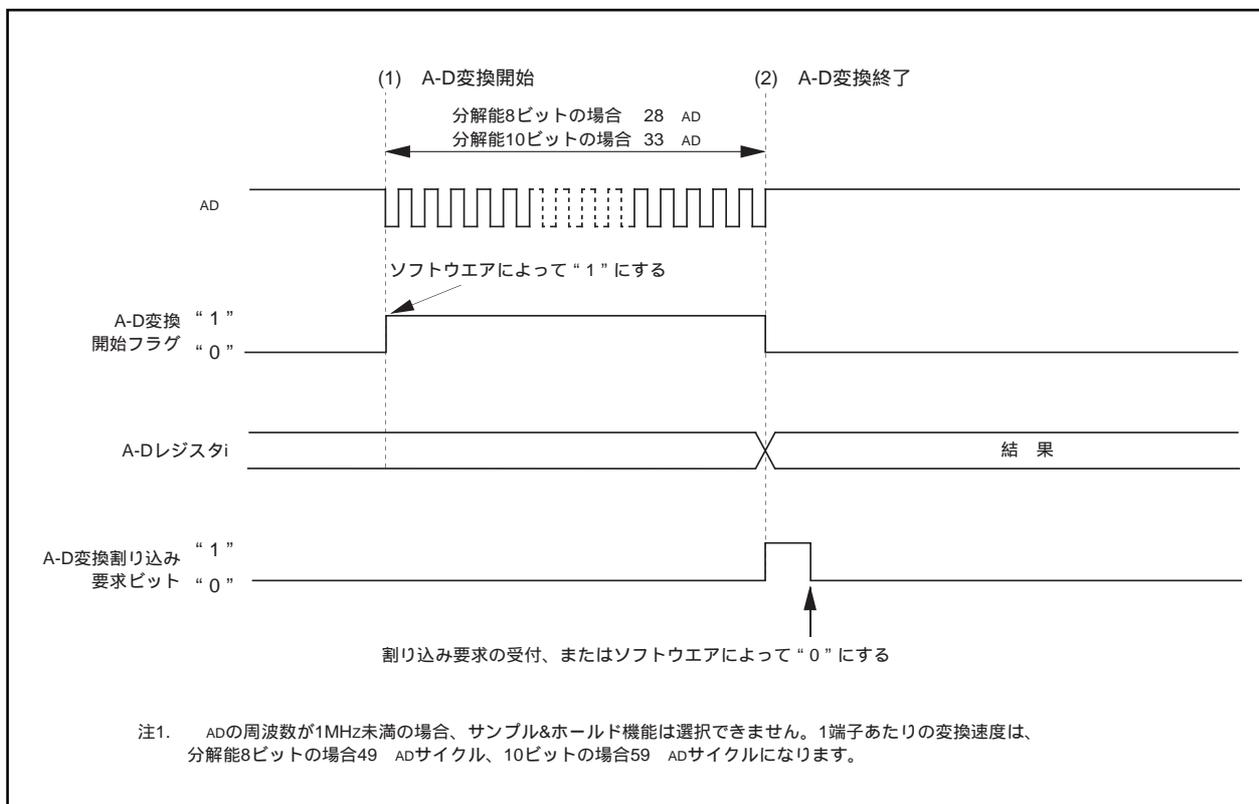
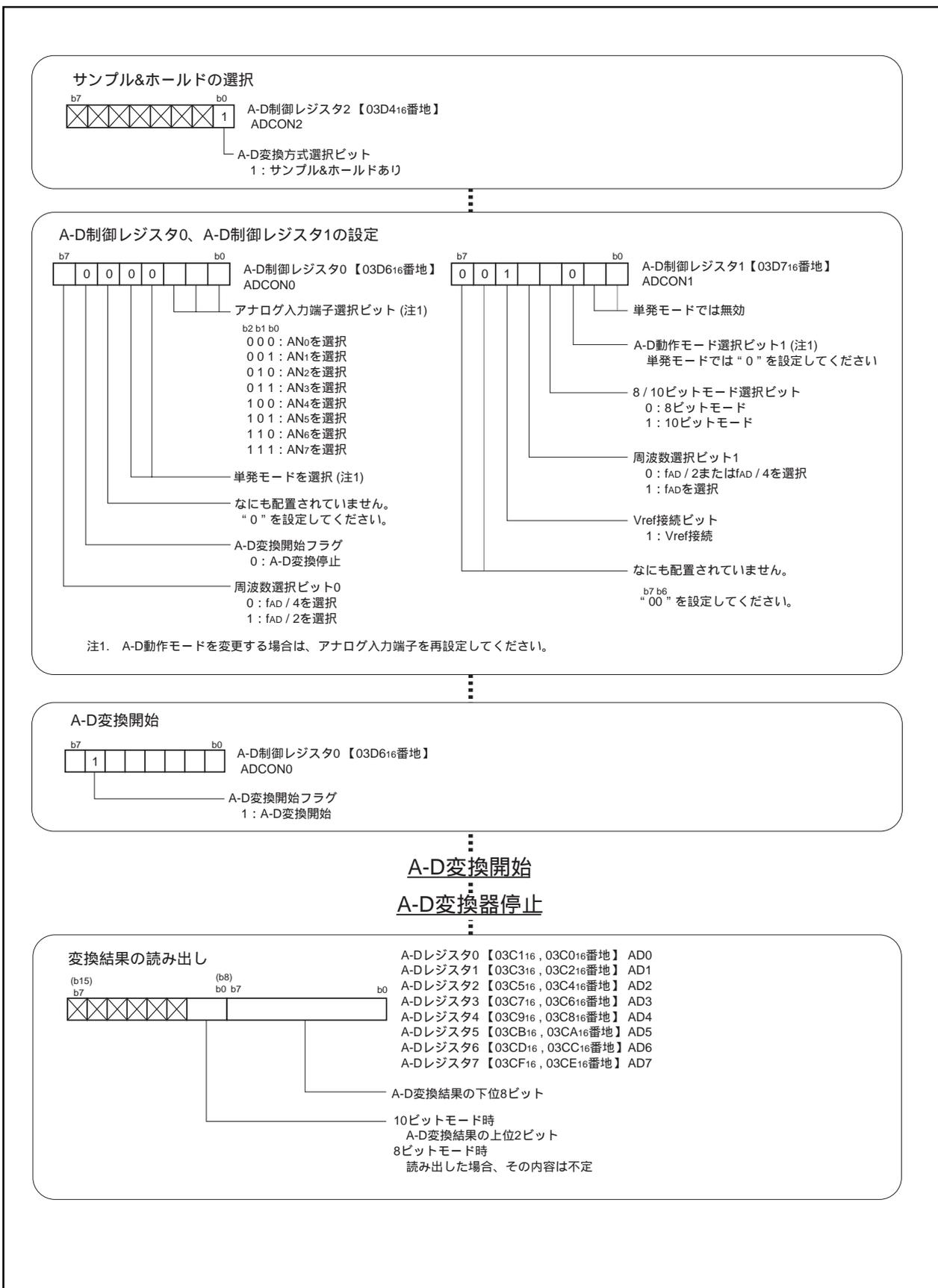


図2.8.5. 単発モード動作タイミング図



2.8.3 A-D変換器の動作 (繰り返しモード)

繰り返しモードでは、表2.8.3に示す項目の中から機能を選択できます。ここでは、表2.8.3に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.8.7に動作タイミングを、図2.8.8に設定手順を示します。

表2.8.3. 設定内容

設定項目	設定内容
動作クロック AD	f _{AD} の4分周 / f _{AD} の2分周 / f _{AD}
分解能	8ビット / 10ビット
アナログ入力端子	AN ₀ ~ AN ₇ から1本
サンプル&ホールド	なし
	あり

- 動作
- (1) A-D変換開始フラグを“1”にすると、A-D変換器は動作を開始します。
 - (2) 1回目のA-D変換終了後、逐次比較レジスタの内容(変換結果)はA-Dレジスタ*i*に転送されます。A-D変換割り込み要求ビットは“1”になりません。
 - (3) ソフトウェアでA-D変換開始フラグを“0”にするまで、A-D変換器は動作を続けます。変換結果は、変換終了ごとにA-Dレジスタ*i*に転送されます。

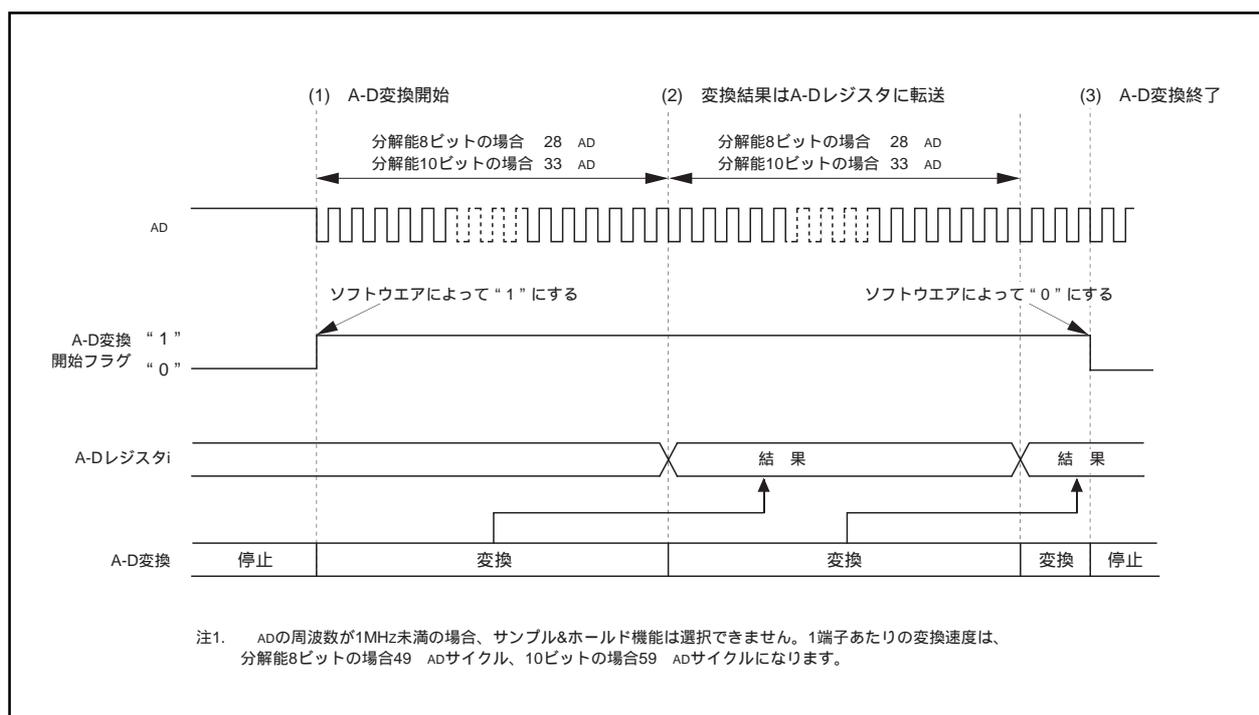


図2.8.7. 繰り返しモード動作タイミング図

A-D変換器

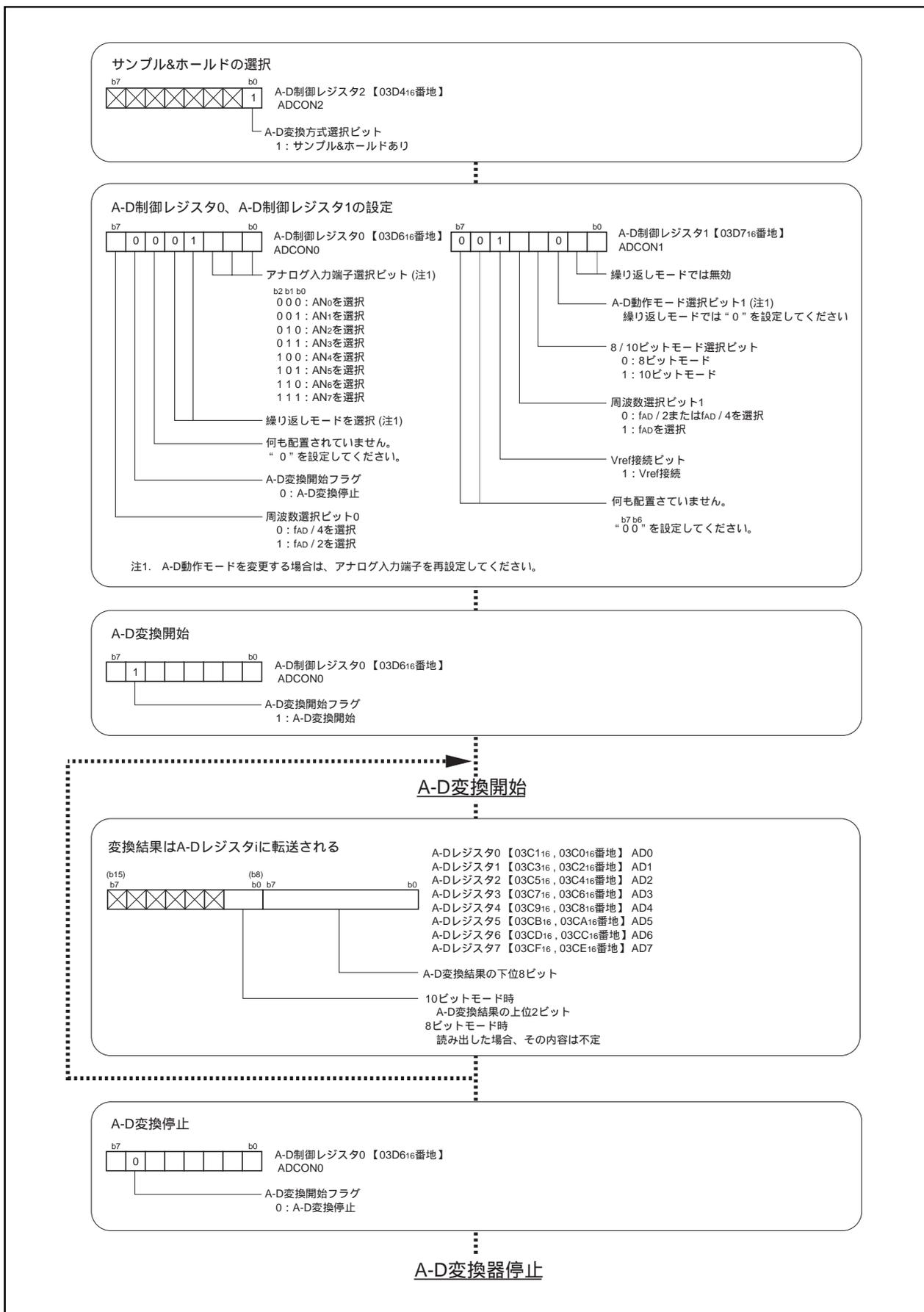


図2.8.8. 繰り返しモード時のレジスタ設定手順

A-D変換器

2.8.4 A-D変換器の動作 (単掃引モード)

単掃引モードでは、表2.8.4に示す項目の中から機能を選択できます。ここでは、表2.8.4に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.8.9に動作タイミングを、図2.8.10に設定手順を示します。

表2.8.4. 設定内容

設定項目	設定内容	設定項目	設定内容
動作クロック AD	f _{AD} の4分周 / f _{AD} の2分周 / f _{AD}	サンプル&ホールド	なし
			あり
分解能	8ビット / 10ビット		
アナログ入力端子	AN ₀ , AN ₁ (2端子) / AN ₀ ~ AN ₃ (4端子) / AN ₀ ~ AN ₅ (6端子) / AN ₀ ~ AN ₇ (8端子)		

- 動作
- (1) A-D変換開始フラグを“1”にすると、A-D変換器はAN₀端子の入力電圧のA-D変換を開始します。
 - (2) AN₀端子の入力電圧のA-D変換終了後、逐次比較レジスタの内容(変換結果)はA-Dレジスタ0に転送されます。選択されたすべてのアナログ入力端子に対してA-D変換を行います。変換結果は、1端子の変換終了ごとに各端子に対応するA-Dレジスタiに転送されます。
 - (3) 選択されたすべてのアナログ入力端子に対するA-D変換が終了すると、A-D変換割り込み要求ビットが“1”になります。同時に、A-D変換開始フラグが“0”になり、A-D変換器は動作を停止します。

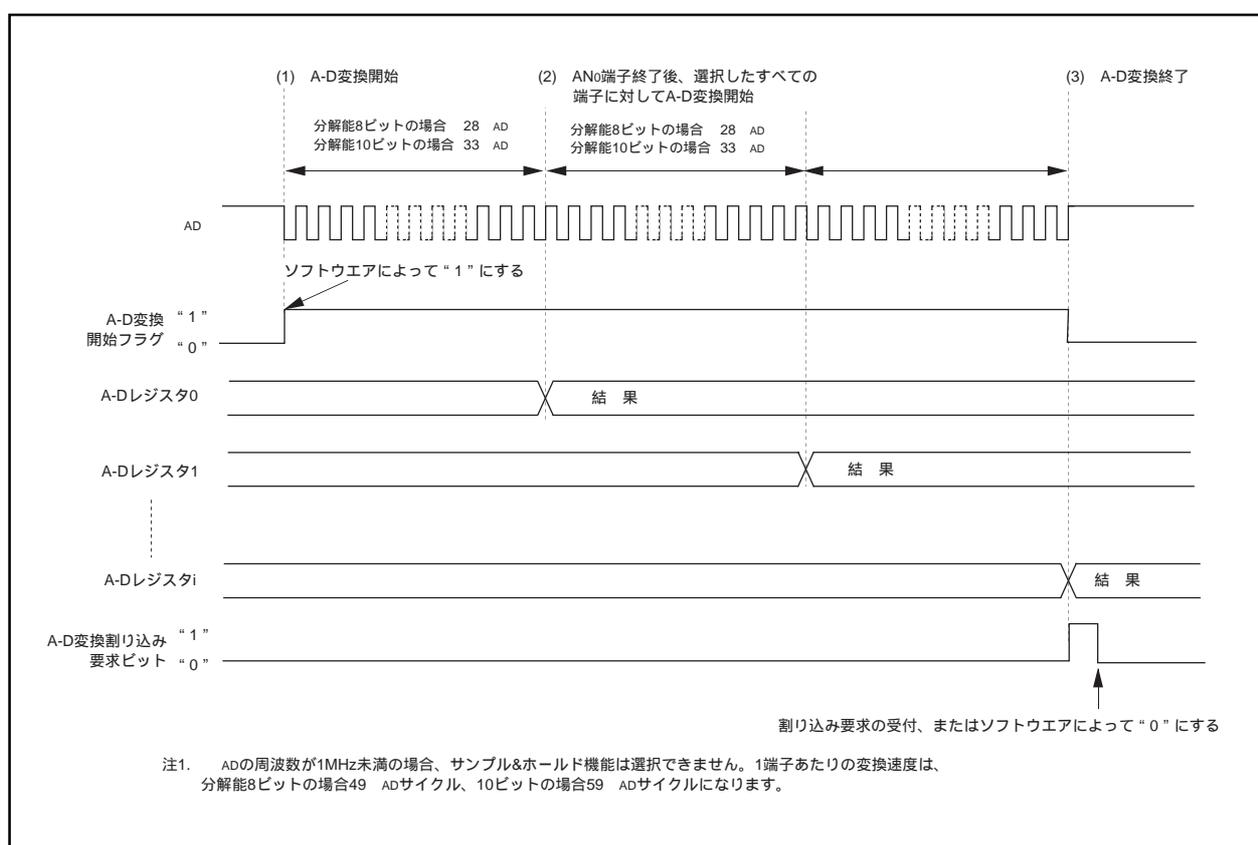
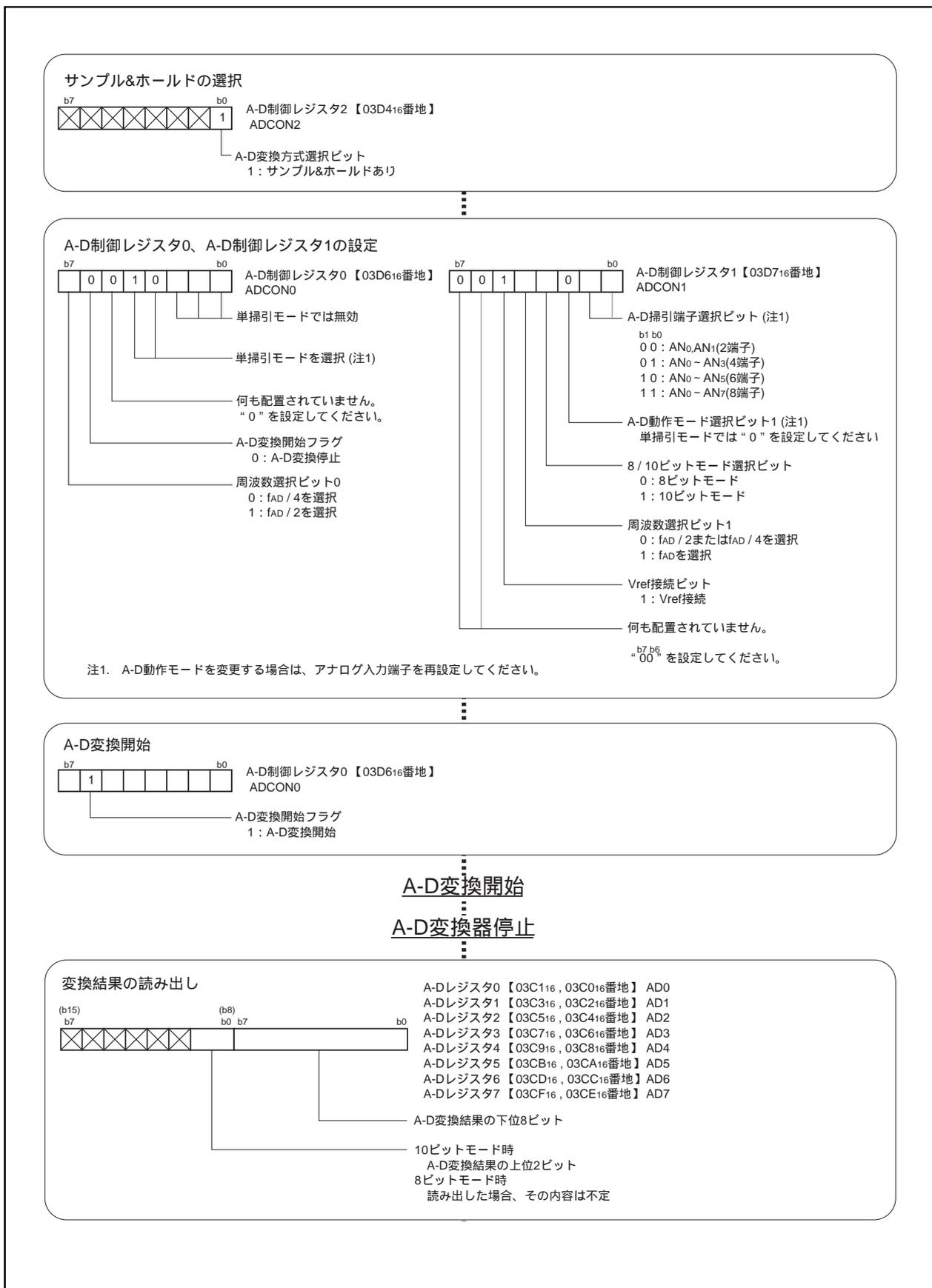


図2.8.9. 単掃引モード動作タイミング図

A-D変換器



2.8.5 A-D変換器の動作 (繰り返し掃引モード0)

繰り返し掃引モード0では、表2.8.5に示す項目の中から機能を選択できます。ここでは、表2.8.5に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.8.11に動作タイミングを、図2.8.12に設定手順を示します。

表2.8.5. 設定内容

設定項目	設定内容	設定項目	設定内容
動作クロック AD	f _{AD} の4分周 / f _{AD} の2分周 / f _{AD}	サンプル&ホールド	なし
			あり
分解能	8ビット / 10ビット		
アナログ入力端子	AN ₀ , AN ₁ (2端子) / AN ₀ ~ AN ₃ (4端子) / AN ₀ ~ AN ₅ (6端子) / AN ₀ ~ AN ₇ (8端子)		

- 動作
- (1) A-D変換開始フラグを“1”にすると、A-D変換器はAN₀端子の入力電圧のA-D変換を開始します。
 - (2) AN₀端子の入力電圧のA-D変換終了後、逐次比較レジスタの内容(変換結果)はA-Dレジスタ0に転送されます。
 - (3) 選択されたすべてのアナログ入力端子に対してA-D変換を行います。変換結果は、1端子の変換終了ごとに各端子に対応するA-Dレジスタiに転送されます。A-D変換割り込み要求ビットは“1”になりません。
 - (4) ソフトウェアでA-D変換開始フラグを“0”にするまで、A-D変換器は動作を続けます。

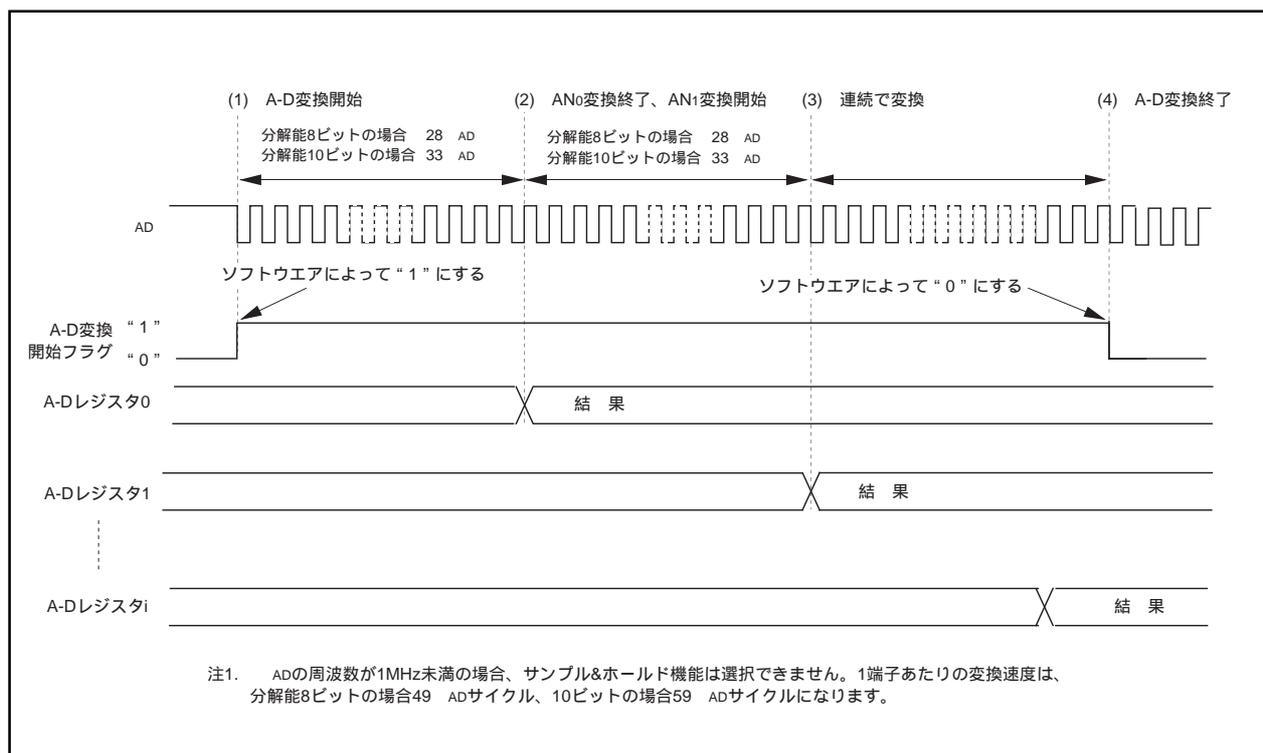


図2.8.11. 繰り返し掃引モード0動作タイミング図

A-D変換器

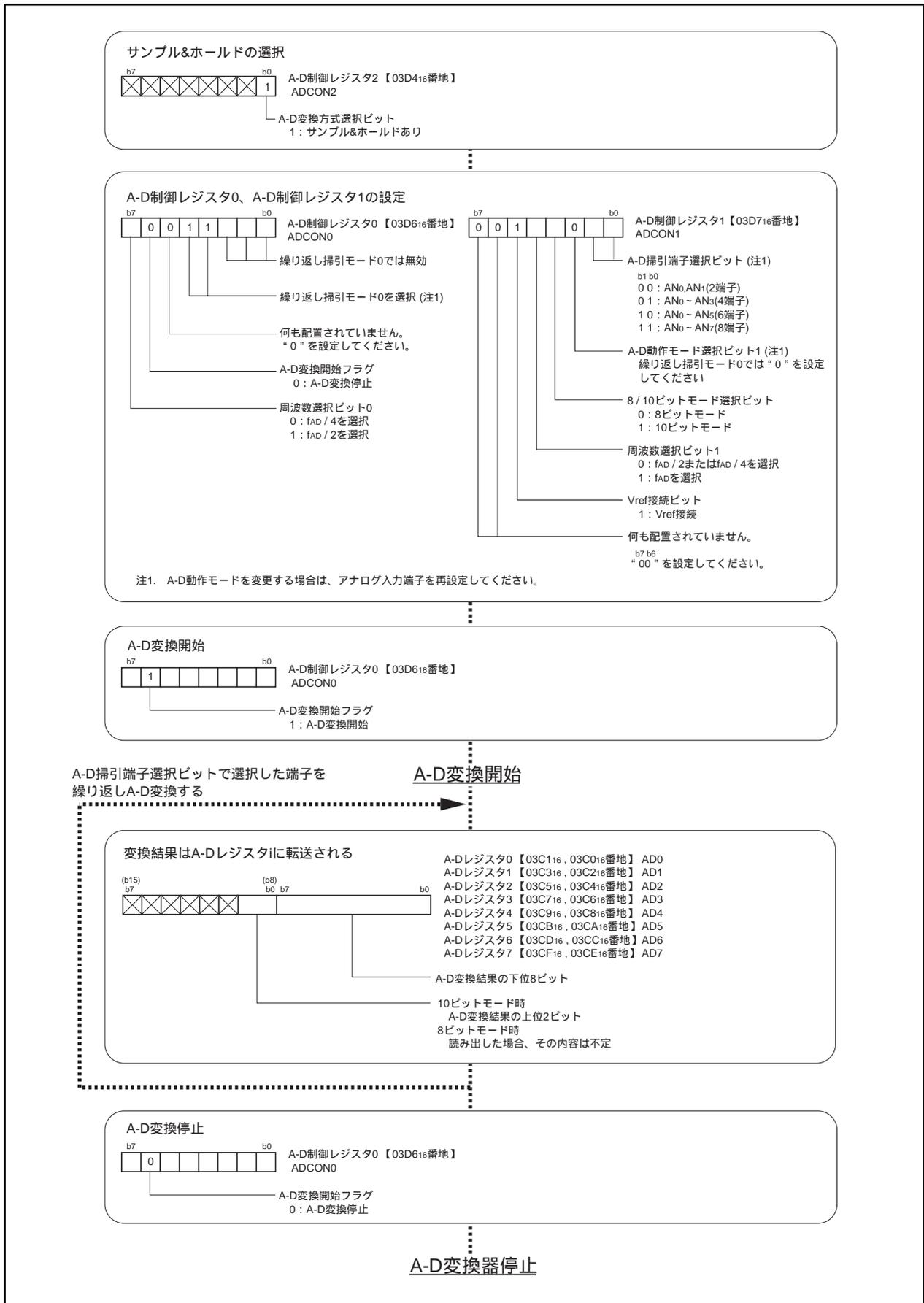


図2.8.12. 繰り返し掃引モード0時のレジスタ設定手順

A-D変換器

2.8.6 A-D変換器の動作 (繰り返し掃引モード1)

繰り返し掃引モード1では、表2.8.6に示す項目の中から機能を選択できます。ここでは、表2.8.6に示す項目の中で、“ ”印の内容を選択した場合の動作について説明します。また、図2.8.13にAN_i端子の掃引順序を、図2.8.14に動作タイミングを、図2.8.15に設定手順を示します。

表2.8.6. 設定内容

設定項目	設定内容	設定項目	設定内容
動作クロック AD	f _{AD} の4分周 / f _{AD} の2分周 / f _{AD}	サンプル&ホールド	なし
			あり
分解能	8ビット / 10ビット		
アナログ入力端子	AN ₀ (1端子) / AN ₀ , AN ₁ (2端子) / AN ₀ ~ AN ₂ (3端子) / AN ₀ ~ AN ₃ (4端子)		

- 動作
- (1) A-D変換開始フラグを“1”にすると、A-D変換器はAN₀端子の入力電圧のA-D変換を開始します。
 - (2) AN₀端子の入力電圧のA-D変換終了後、逐次比較レジスタの内容(変換結果)はA-Dレジスタ0に転送されます。
 - (3) 選択されたアナログ入力端子に対してA-D変換を行うごとに、選択されていない端子を1端子だけA-D変換し、再びAN₀端子からA-D変換を行います。変換結果は、1端子の変換終了ごとに各端子に対応するA-Dレジスタ*i*に転送されます。A-D変換割り込み要求ビットは“1”になりません。
 - (4) ソフトウェアでA-D変換開始フラグを“0”にするまで、A-D変換器は動作を続けます。

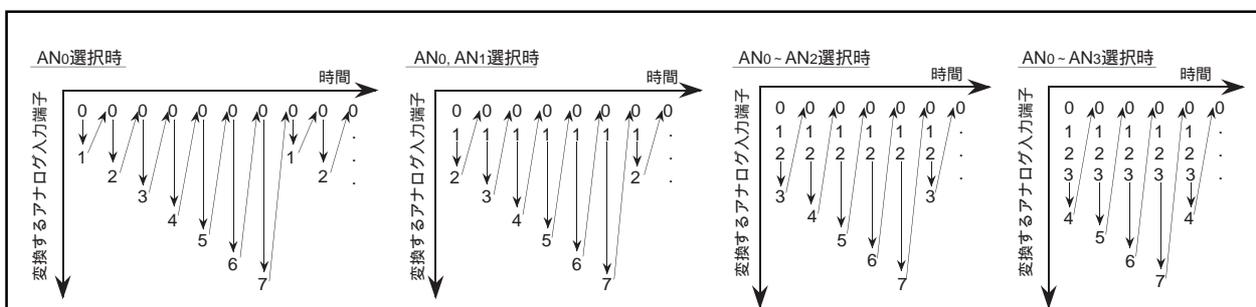
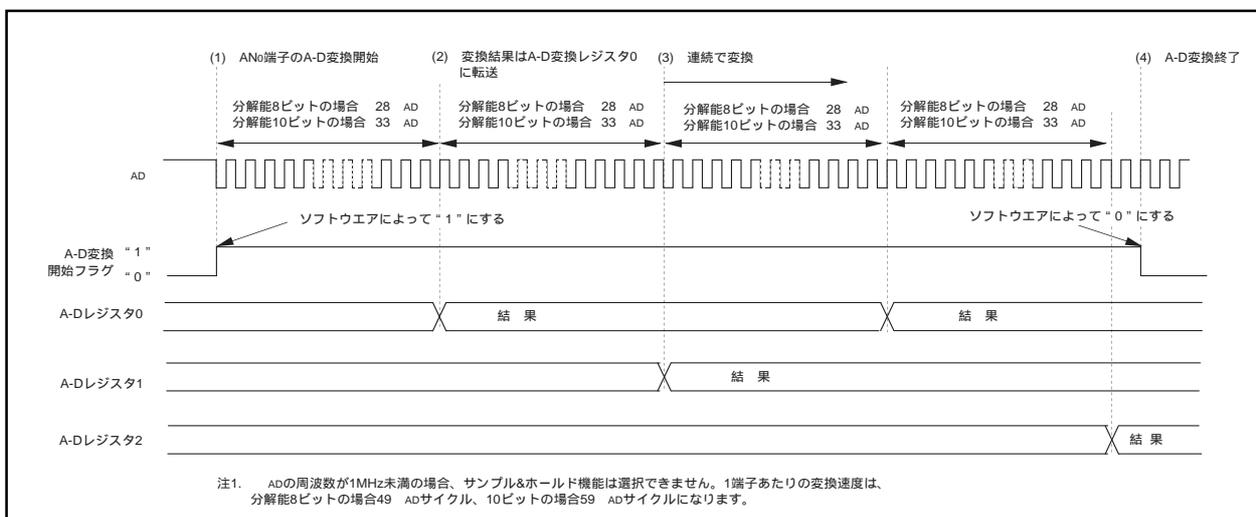
図2.8.13. 繰り返し掃引モード1におけるAN_i端子の掃引順序

図2.8.14. 繰り返し掃引モード1動作タイミング図

A-D変換器

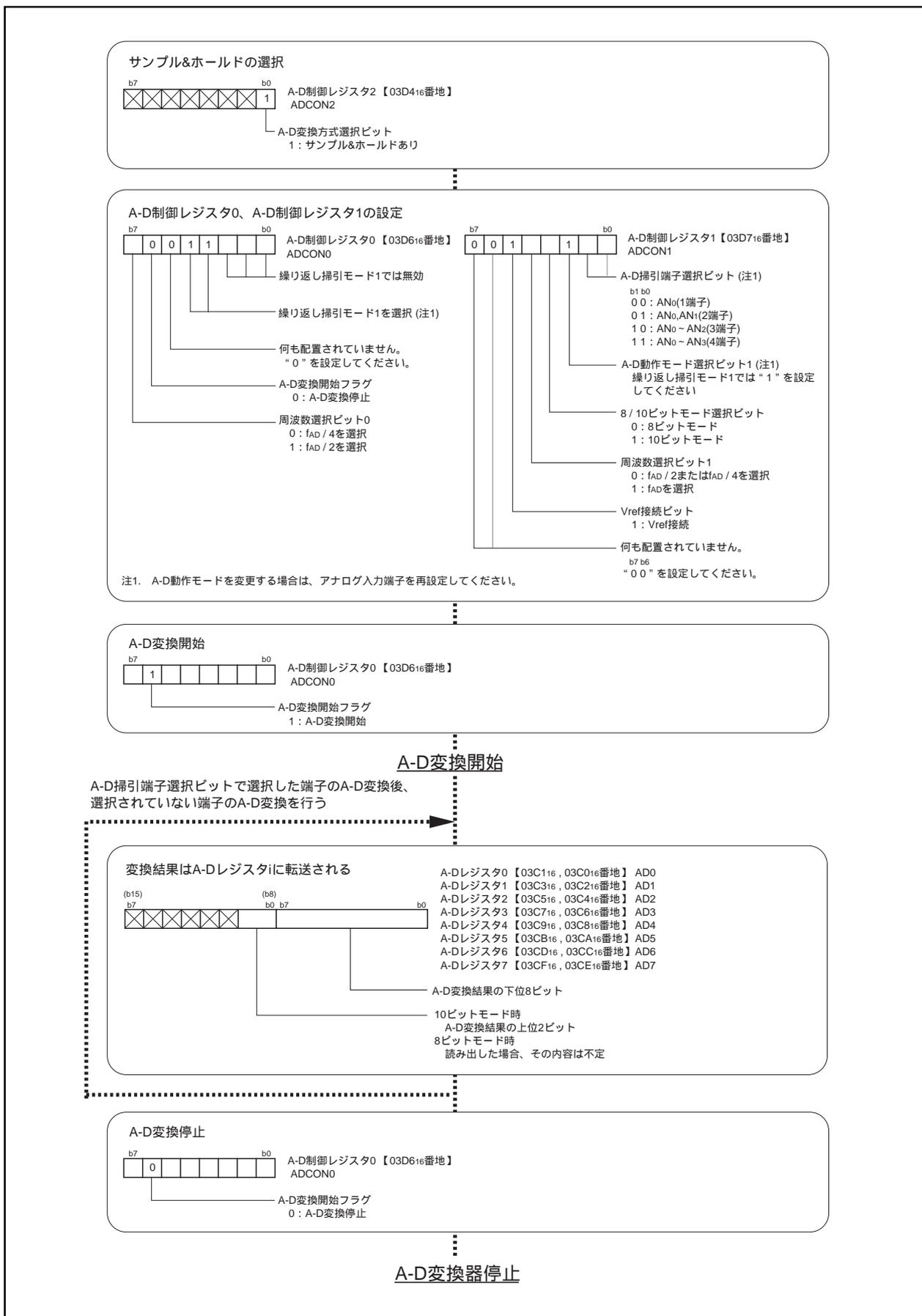


図2.8.15. 繰り返し掃引モード1時のレジスタ設定手順

2.8.7 A-D変換器の注意事項

- 内容 (1) A-D制御レジスタ0の各ビット(ビット6を除く)、A-D制御レジスタ1の各ビット、およびA-D制御レジスタ2のビット0に対する書き込みは、A-D変換停止時に行ってください。
特にVref接続ビットを“0”から“1”にしたときは、1 μ s以上経過した後にA-D変換を開始してください。
- (2) ノイズによる変換誤差を低減するため、AVCC端子とVREF端子に印加する電圧は別電源から供給してください。また、AVCC端子、VREF端子、およびアナログ入力端子(ANi)とAVSS端子の間には、それぞれコンデンサを接続してください。図2.8.16に各端子の処理例を示します。

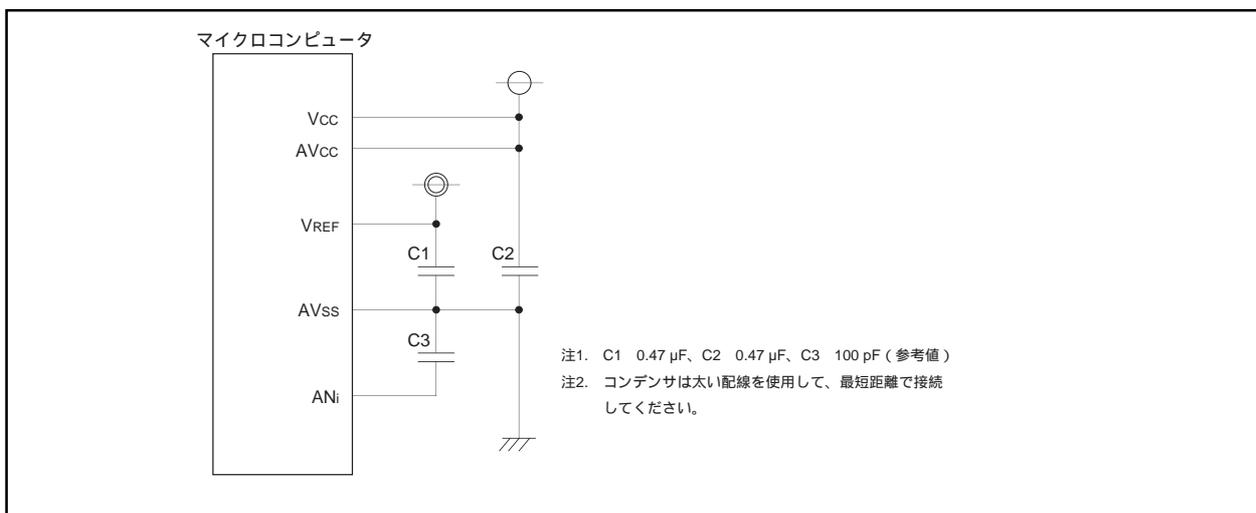


図2.8.16. 各端子の処理例

- (3) アナログ入力端子として使用する端子に対応するポートの方向レジスタは入力に設定してください。
- (4) A-D動作モードを変更する場合は、アナログ入力端子を再選択してください。
- (5) 単発モードまたは単掃引モードで使用する場合
A-D変換が完了したことを確認してから、対象となるA-Dレジスタを読み出してください。
A-D変換の完了はA-D変換割り込み要求ビットで判定できます。
- (6) 繰り返しモード、繰り返し掃引モード0または繰り返し掃引モード1で使用する場合
CPUの内部クロックは、メインクロックを分周せずに使用してください。

2.8.8 A-D変換の方法 (10ビットモード)

内容 (1) A-D変換器は、逐次比較レジスタの内容に従って内部で生成される比較電圧(V_{ref})と、アナログ入力端子から入力されるアナログ入力電圧(V_{IN})を比較し、その結果を逐次比較レジスタに反映することによって、 V_{IN} をデジタル値に変換します(逐次比較変換方式)。A-D変換を開始すると、A-D変換器は以下の処理を行います。

1. 逐次比較レジスタのビット9の確定

V_{ref} と V_{IN} を比較します。このときの逐次比較レジスタの内容は、“1000000002”(初期値)です。比較結果によって逐次比較レジスタのビット9は以下のように変化します。

$V_{ref} < V_{IN}$ ならば、ビット9は“1”

$V_{ref} > V_{IN}$ ならば、ビット9は“0”

2. 逐次比較レジスタのビット8の確定

逐次比較レジスタのビット8を“1”にした後、 V_{ref} と V_{IN} を比較します。比較結果によって逐次比較レジスタのビット8は以下のように変化します。

$V_{ref} < V_{IN}$ ならば、ビット8は“1”

$V_{ref} > V_{IN}$ ならば、ビット8は“0”

3. 逐次比較レジスタのビット7～0の確定

上記2の動作をビット7～0に対して行います。

ビット0が確定すると、逐次比較レジスタの内容(変換結果)はA-Dレジスタ*i*に転送されます。

V_{ref} は最新の逐次比較レジスタの内容に従って生成されます。表2.8.7に逐次比較レジスタの内容と V_{ref} の関係を示します。また、表2.8.8にA-D変換中の逐次比較レジスタと V_{ref} の変化を、図2.8.17に理論的A-D変換特性を示します。

表2.8.7. 逐次比較レジスタの内容と V_{ref} の関係

逐次比較レジスタの内容 : n	V_{ref} (V)
0	0
1 ~ 1023	$\frac{V_{REF}}{1024} \times n - \frac{V_{REF}}{2048}$

2.8.9 A-D変換の方法 (8ビットモード)

内容 (1) 8ビットモード時、10ビット逐次比較レジスタの上位8ビットがA-D変換結果となります。このため、8ビットA-D変換器と比較すると、比較電圧が $3V_{REF} / 2048$ (表2.8.9の下線参照)異なり、図2.8.18示す出力コードの変化点の差が生じます。

表2.8.9. 8ビットモードおよび8ビットA-D変換器の比較電圧

		8ビットモード	8ビットA-D変換器
比較電圧 V_{ref}	n=0	0	0
	n=1 ~ 255	$\frac{V_{REF}}{2^8} \times n - \frac{V_{REF}}{2^{10}} \times 0.5$	$\frac{V_{REF}}{2^8} \times n - \frac{V_{REF}}{2^8} \times 0.5$

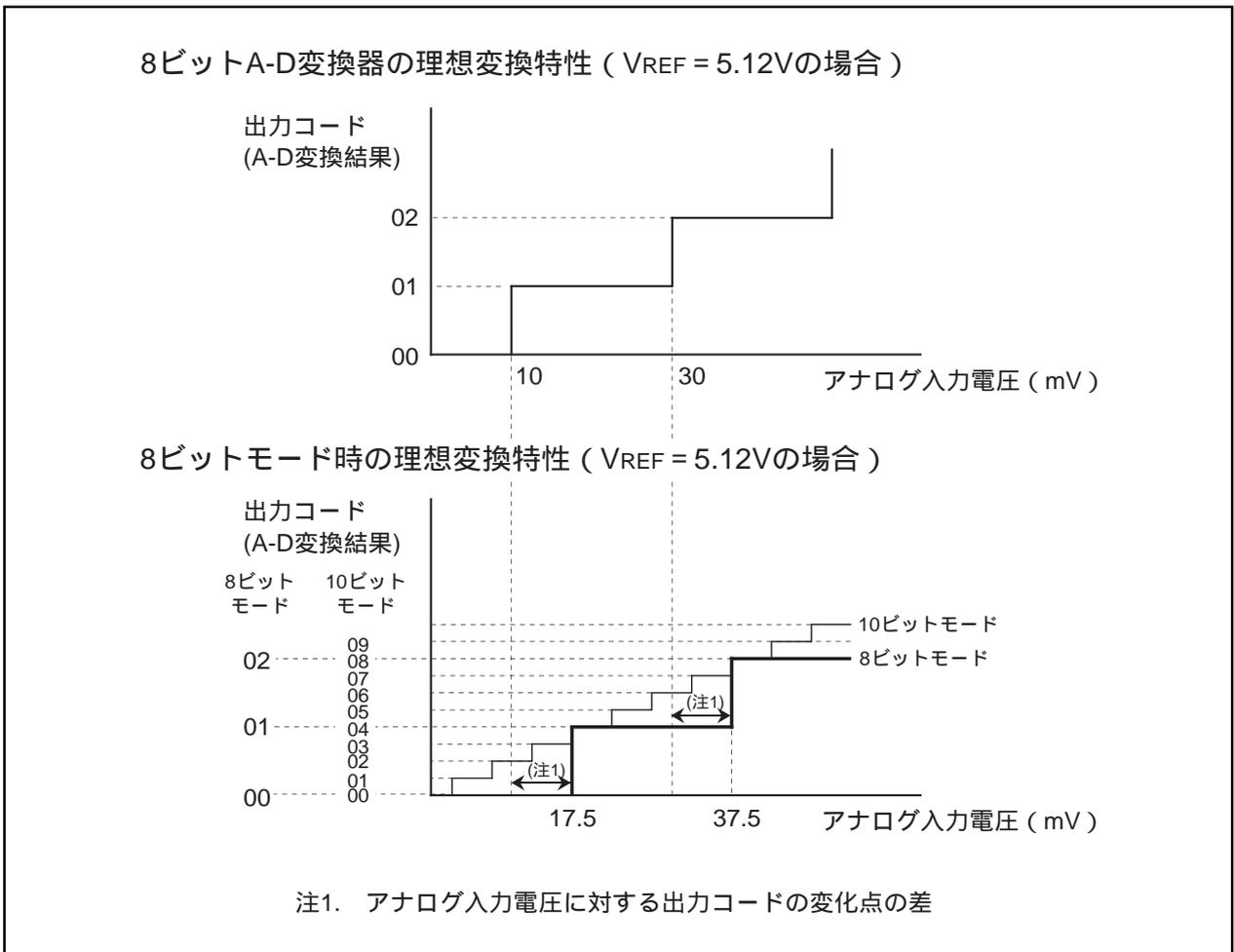


図2.8.18. 8ビットモードおよび8ビットA-D変換器の理想変換特性

2.8.10 絶対精度と微分非直線性誤差

A-D変換の精度について、以下に説明します。

絶対精度

理論的A-D変換特性における出力コードと、実際のA-D変換結果の差が絶対精度です。絶対精度測定時は、理論的A-D変換特性において同じ出力コードを期待できるアナログ入力電圧の幅(1LSB幅)の中点の電圧を、アナログ入力電圧として使用します。例えば分解能10ビット、基準電圧(V_{REF}) = 5.12Vの場合、1LSB幅は5mVで、アナログ入力電圧には0mV、5mV、10mV、15mV、20mV...を使用します。絶対精度 = $\pm 3\text{LSB}$ とは、アナログ入力電圧が25mVの場合、理論的A-D変換特性では出力コード“005₁₆”を期待できますが、実際のA-D変換結果は“002₁₆” ~ “008₁₆”になることを意味します。絶対精度にはゼロ誤差、フルスケール誤差を含みます。

V_{REF} ~ AV_{CC} 間のアナログ入力電圧に対する出力コードは、すべて“3FF₁₆”となります。

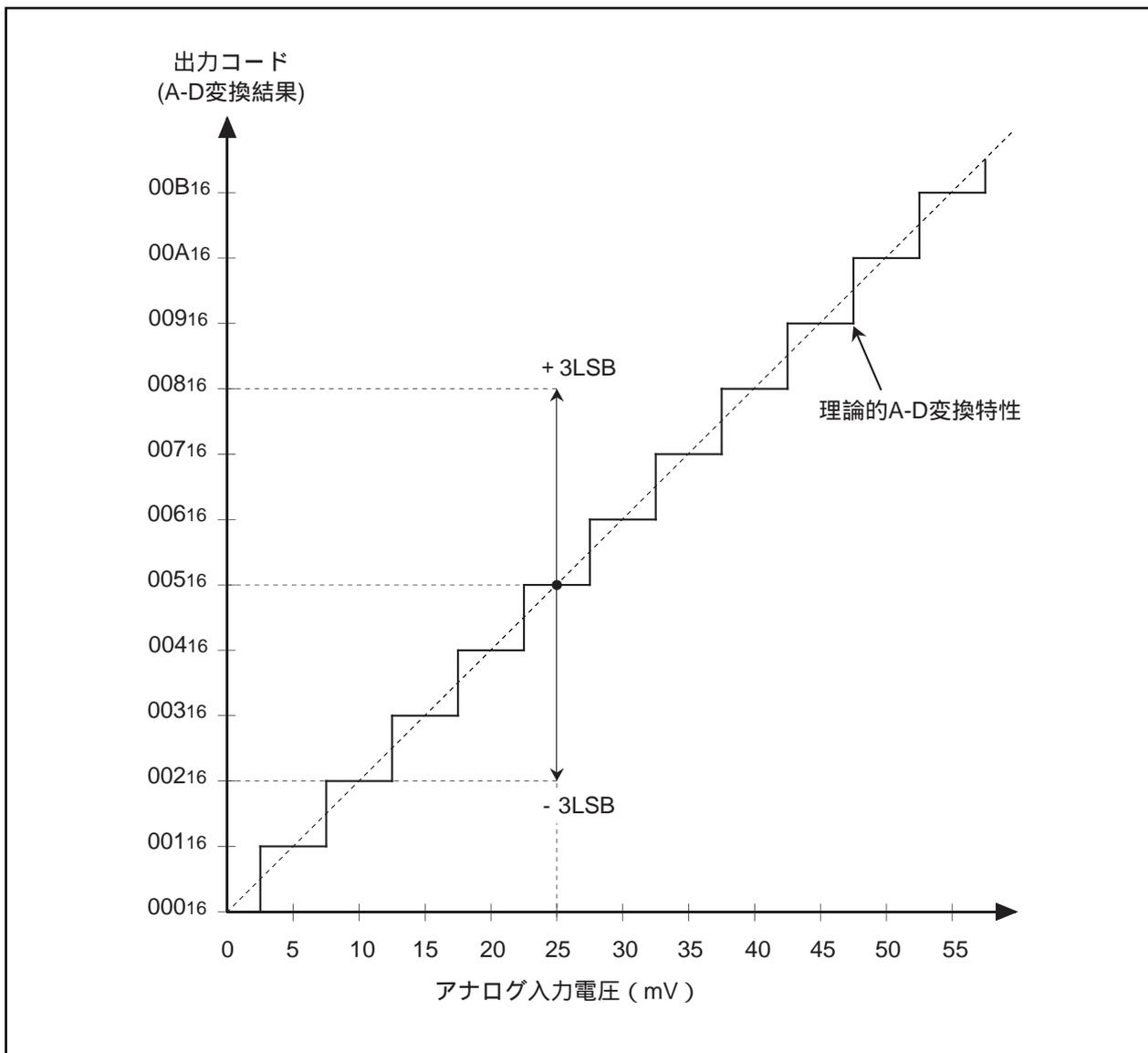


図2.8.20. 絶対精度(分解能10ビット時)

微分非直線性誤差

微分非直線性誤差は、理論的A-D変換特性における1LSB幅(同じ出力コードを期待できるアナログ入力電圧の幅)と、実測定される1LSB幅(同じコードを出力するアナログ入力電圧の幅)の差を示すものです。分解能10ビット、基準電圧(V_{REF}) = 5.12Vの場合、微分非直線性誤差 = ± 1 LSBならば、理論的A-D変換特性における1LSB幅は5mVですが、実測定される1LSB幅は0~10mVになることを意味します(「8.2 A-D変換器標準特性」参照)。

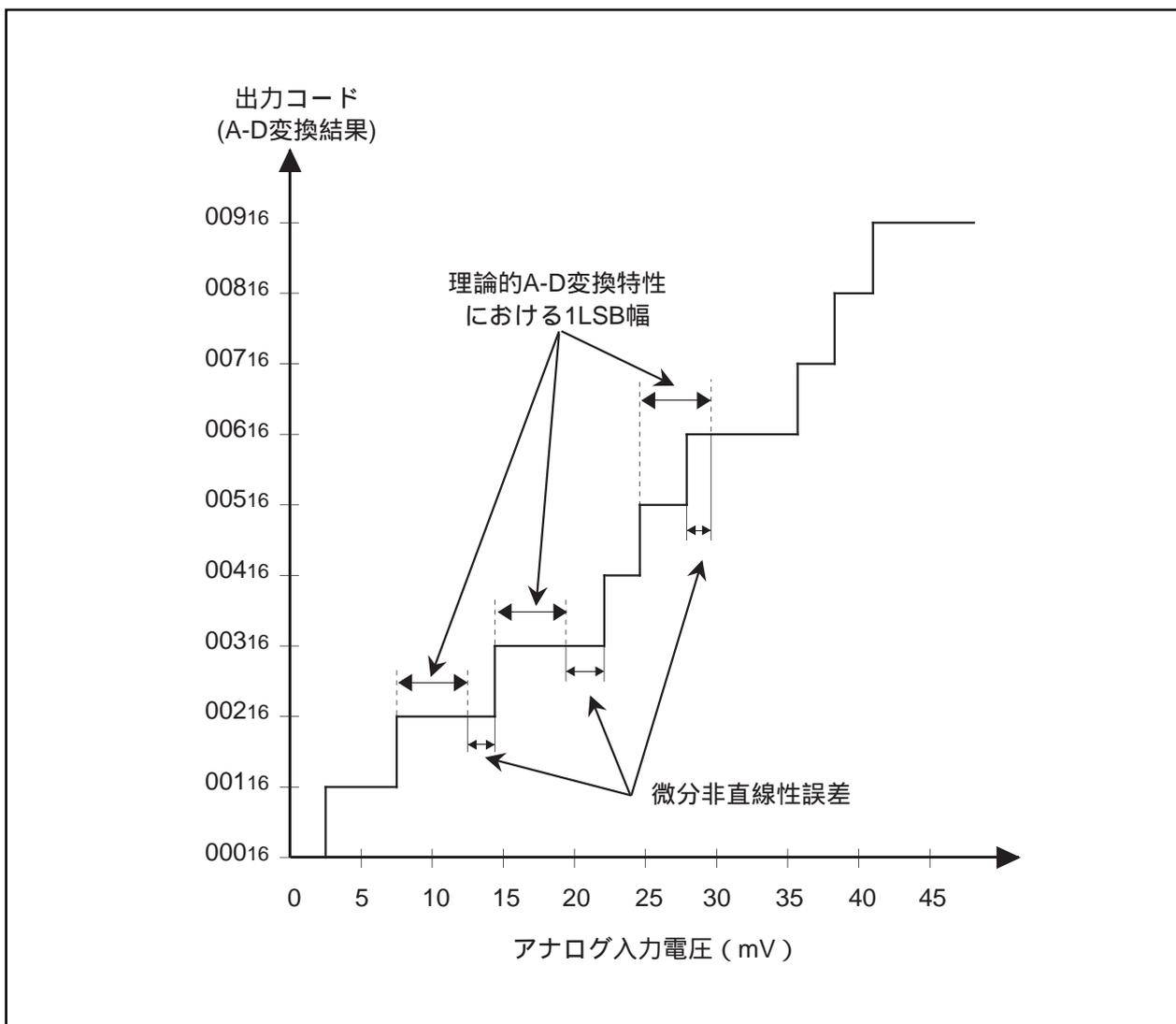


図2.8.21. 微分非直線性誤差(分解能10ビット時)

2.8.11 アナログ入力内部等価回路

図2.8.22にアナログ入力内部等価回路を示します。

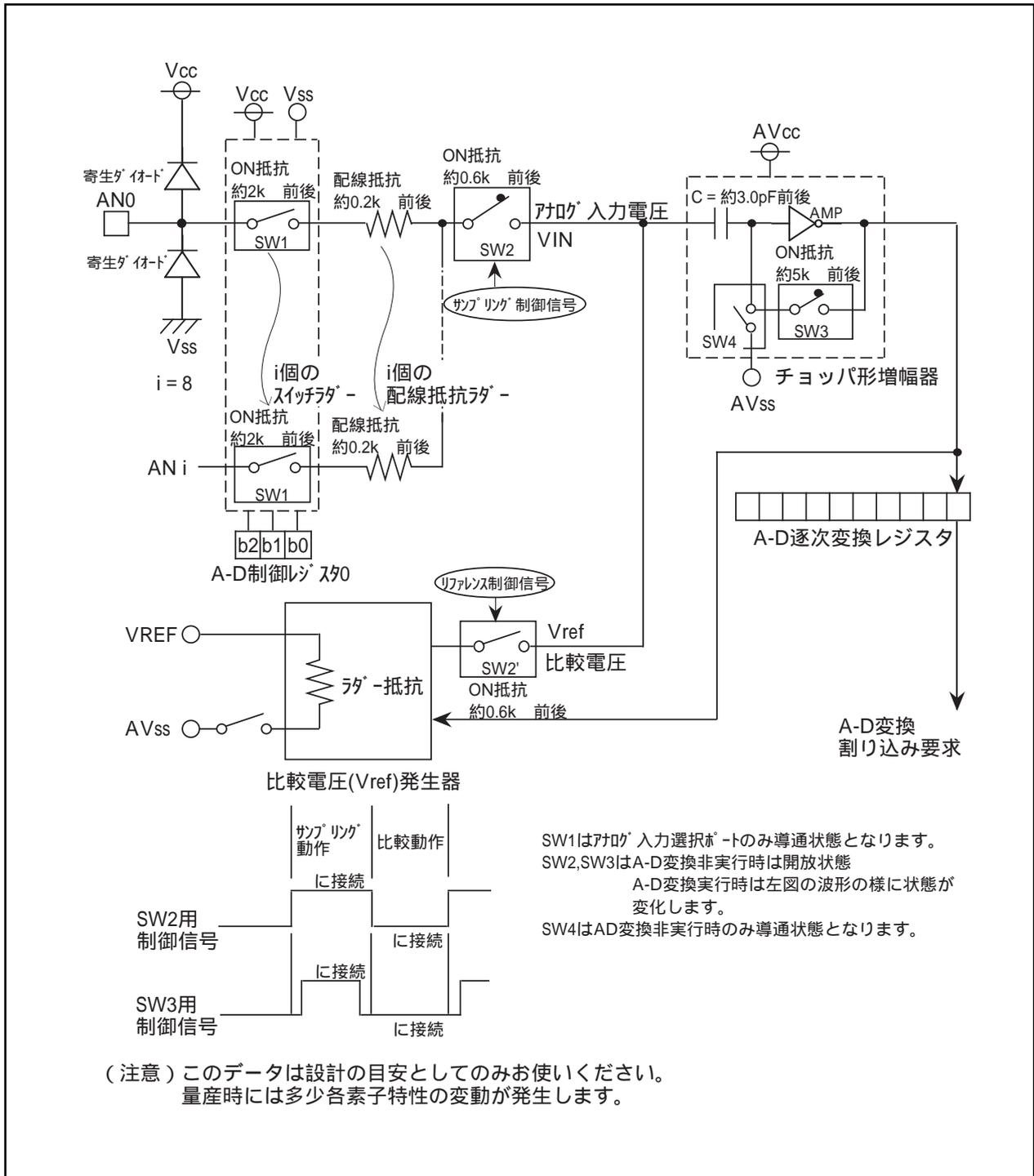


図2.8.22. アナログ入力内部等価回路

2.8.12 A-D変換時のセンサーの出力インピーダンス

A-D変換を正しく行うためには、図2.8.23の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間をTとすると、時間Tとは、図2.8.22において、スイッチSW2とSW3がともにに接続されている時間です。また、センサー等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A-D変換器の精度(誤差)をX、A-D変換器の分解能をYとします。

$$V_C \text{は一般に } V_C = V_{IN} \left\{ 1 - e^{-\frac{1}{C(R_0+R)} t} \right\}$$

$$t=T \text{のとき、 } V_C = V_{IN} - \frac{X}{Y} V_{IN} = V_{IN} \left(1 - \frac{X}{Y} \right) \text{ より、}$$

$$e^{-\frac{1}{C(R_0+R)} T} = \frac{X}{Y}$$

$$-\frac{1}{C(R_0+R)} T = \ln \frac{X}{Y}$$

$$\text{よって、 } R_0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

R、C、Tの各値はR=7.8k、C=3pF、T=0.3μs(サンプル&ホールド付きA-D変換モード時)です。

例えば、A-D変換器の分解能を10ビット、A-D変換器の精度(誤差)を0.1LSBとしたとき、Y=10、X=0.1ですからR0は、

$$R_0 = -\frac{0.3 \times 10^{-6}}{3.0 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 7.8 \times 10^3 = 3.0 \times 10^3$$

したがって、A-D変換器の精度(誤差)を0.1LSB以下にするセンサー回路の出力インピーダンスR0は最大3.0kになります。表2.8.11、表2.8.12に出力インピーダンスとA-D変換器の精度(誤差)の関係を示します。

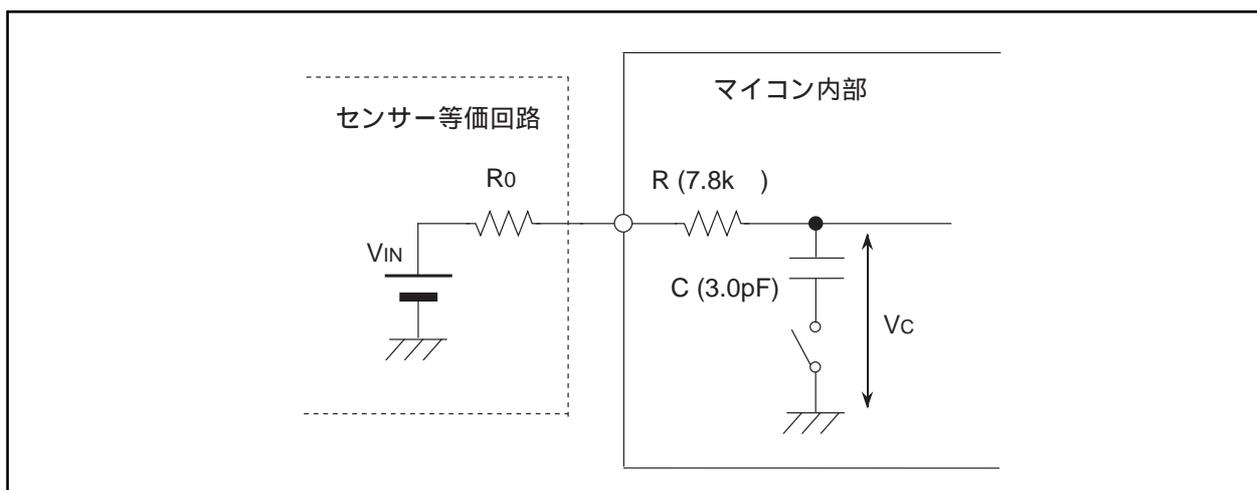


図2.8.23. A-D変換端子の等価回路

A-D変換器

表2.8.11. 出力インピーダンスとA-D変換器の精度(誤差)の関係(10ビットモード)

f(XIN) (MHz)	サイクル (μ s)	サンプリング時間 (μ s)	R (k Ω)	C (pF)	誤差 (LSB)	R0 (k Ω)
10	0.1	0.3 (3 \times サイクル、 サンプル&ホールド 機能有効)	7.8	3.0	0.1	3.0
					0.3	4.5
					0.5	5.3
					0.7	5.9
					0.9	6.4
					1.1	6.8
					1.3	7.2
					1.5	7.5
					1.7	7.8
1.9	8.1					
10	0.1	0.2 (2 \times サイクル、 サンプル&ホールド 機能無効)	7.8	3.0	0.3	0.4
					0.5	0.9
					0.7	1.3
					0.9	1.7
					1.1	2.0
					1.3	2.2
					1.5	2.4
					1.7	2.6
					1.9	2.8

表2.8.12. 出力インピーダンスとA-D変換器の精度(誤差)の関係(8ビットモード)

f(XIN) (MHz)	サイクル (μ s)	サンプリング時間 (μ s)	R (k Ω)	C (pF)	誤差 (LSB)	R0 (k Ω)
10	0.1	0.3 (3 \times サイクル、 サンプル&ホールド 機能有効)	7.8	3.0	0.1	4.9
					0.3	7.0
					0.5	8.2
					0.7	9.1
					0.9	9.9
					1.1	10.5
					1.3	11.1
					1.5	11.7
					1.7	12.1
1.9	12.6					
10	0.1	0.2 (2 \times サイクル、 サンプル&ホールド 機能無効)	7.8	3.0	0.1	0.7
					0.3	2.1
					0.5	2.9
					0.7	3.5
					0.9	4.0
					1.1	4.4
					1.3	4.8
					1.5	5.2
					1.7	5.5
1.9	5.8					

D-A変換器

2.9 D-A変換器

2.9.1 概要

D-A変換器は、8ビットのR-2R方式によるD-A変換器です。D-A変換器の概要について説明します。

出力電圧

0V ~ VREFまでの電圧を出力します。出力電圧は、 $V_{REF} / (256) \times \text{D-Aレジスタの内容}$ で決定します。

D-A変換器は、A-D変換器のVref接続ビットの影響は受けません。

変換時間

$$t_{su} = 3 \mu s$$

D-A変換器の出力と方向レジスタ

D-A変換器を使用する場合、ポートの方向レジスタは出力に設定しないでください。

D-A変換器関連端子

- | | |
|---------------|----------------|
| (1) DA0、DA1端子 | D-A変換器の出力端子です。 |
| (2) AVCC端子 | アナログ部の電源端子です。 |
| (3) VREF端子 | 基準電圧の入力端子です。 |
| (4) AVSS端子 | アナログ部のGND端子です。 |

D-A変換器関連レジスタ

図2.9.1にD-A変換器関連レジスタのメモリ配置図を、図2.9.2にD-A変換器関連レジスタの構成を示します。

注意事項

D-A出力端子は、P97, P96と兼用になっています。リセット時これらのポートは、入力ポートで出力はフローティングになります。

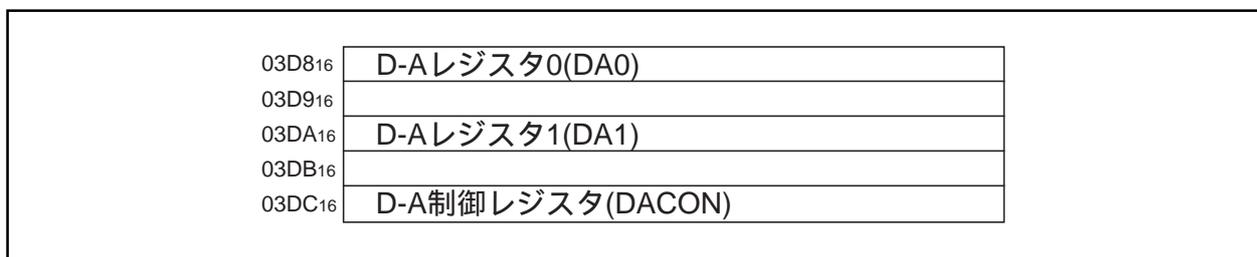


図2.9.1. D-A変換器関連レジスタのメモリ配置図

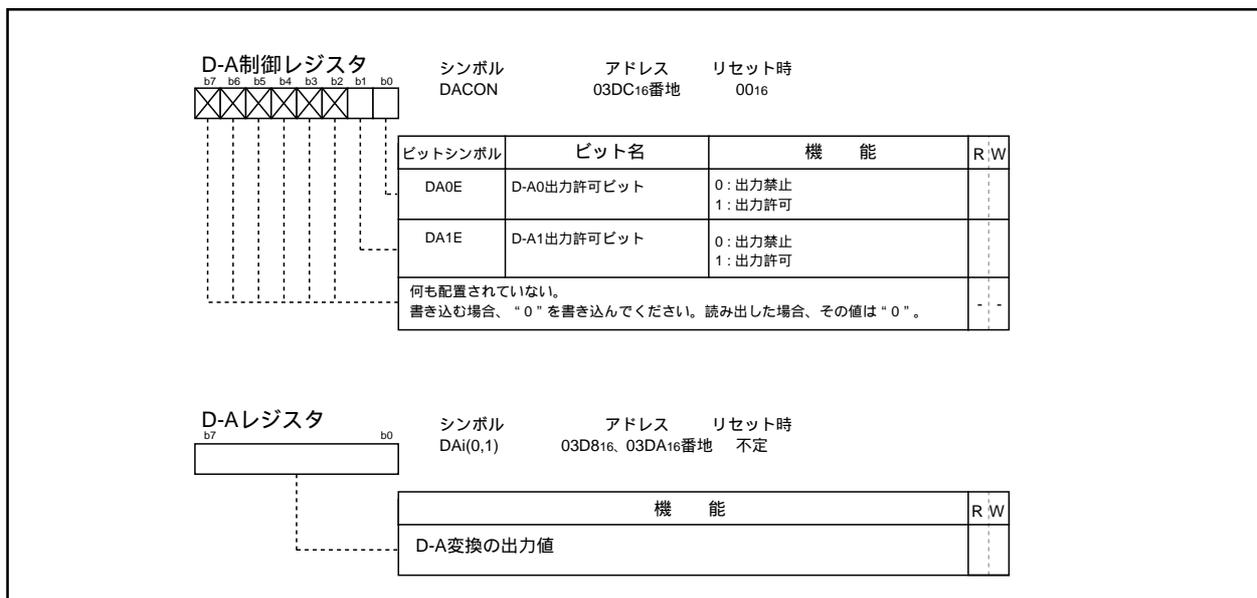


図2.9.2. D-A変換器関連レジスタ構成図

2.9.2 D-A変換器の動作

D-A変換器の動作を説明します。また、図2.9.3に設定手順を示します。

- 動作
- (1) D-Aレジスタ i に値を書き込むと、D-A変換が開始されます。
 - (2) D-A i 出力許可ビットを“1”にすると、DA i 端子からアナログ値が出力されます。
 - (3) D-A i 出力許可ビットを“0”にするまで、アナログ値が出力され続けます。

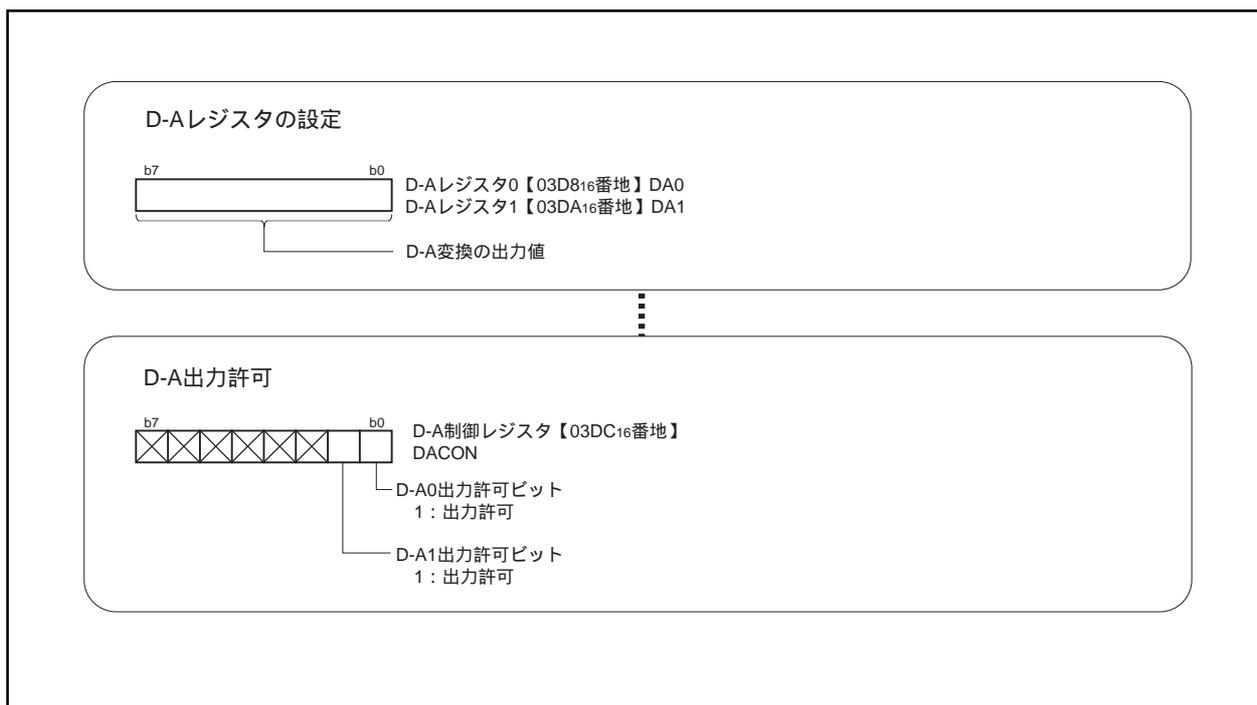


図2.9.3. D-A変換器のレジスタ設定手順

2.10 DMAC

2.10.1 概要

DMACは、転送要求が発生するごとに転送元番地の1データを転送先番地へデータ転送する機能です。DMACの概要について説明します。

転送元アドレスと転送先アドレス

転送元を示すレジスタおよび転送先を示すレジスタは24ビットあり1Mバイトの空間を示すことができます。1データの転送終了後、転送元レジスタまたは転送先レジスタのどちらか一方のアドレスをインクリメントすることができます。転送元レジスタ、転送先レジスタの両方のアドレスをインクリメントすることはできません。転送元と転送先の組み合わせは次のとおりです。

- (1) 1Mバイトの任意の空間から固定アドレス
- (2) 固定アドレスから1Mバイトの任意の空間
- (3) 固定アドレスから固定アドレス

転送データ数

転送カウンタに示されるデータ数を転送します。16ビット転送を選択した場合、最大転送バイト数は128Kバイト、8ビット転送を選択した場合、最大転送バイト数は64Kバイトになります。

転送カウンタは、1データの転送ごとにデクリメントします。アンダフローしたときにDMA割り込み要求が発生します。

DMA転送要因

INT0 / INT1端子の立ち下がりエッジ、タイマA0～タイマA4割り込み要求、タイマB0～タイマB2割り込み要求、UART0送信割り込み要求、UART0受信割り込み要求、UART1送信割り込み要求、UART1受信割り込み要求、A-D変換割り込み要求、ソフトウェアトリガの15種類の要因から選択することができます。

ソフトウェアトリガを選択した場合、ソフトウェアでソフトウェアDMA要求ビットに“1”を書き込むことでDMA転送が行われます。それ以外の要因を選択した場合、対応する割り込み要求が発生することでDMA転送が行われます。

チャンネルの優先順位

DMA0の転送要求とDMA1の転送要求が同時に発生した場合、DMA0の転送が優先して行われます。

レジスタへの書き込み

DMA許可状態で転送元レジスタ、転送先レジスタに書き込みを行った場合、アドレスを固定しているレジスタに対しては、書き込みと同時に変更されます。したがって、アドレスを固定しているレジスタに対しては、DMA許可ビットが“1”のときには書き込まないでください。順方向を選択しているレジスタ、および転送カウンタは、リロード時に変更されます。

リロードは、転送カウンタがアンダフローしたとき、およびDMA許可ビットを禁止にした後再度許可にしたとき発生します。

リロードレジスタへは、常時、書き込むことができます。

レジスタの読み込み

常時、読み出すことができます。

選択機能

(1) 単転送/リピート転送切り替え

単転送とは、転送カウンタがアンダフローした後、DMA禁止状態になるモードです。リピート転送とは、転送カウンタがアンダフローした後、再度リロードし転送を繰り返すモードです。

リロードは、転送カウンタに対して、および順方向を選択しているアドレスポインタに対して行われます。

次のとおり選択した動作例を示します。

1Mバイトの任意の空間から固定アドレス、単転送 P356
固定アドレスから1Mバイトの任意の空間、リピート転送 P358

DMAC関連レジスタ

図2.10.1にDMAC関連レジスタのメモリ配置図を、図2.10.2、図2.10.3にDMAC関連レジスタの構成を示します。

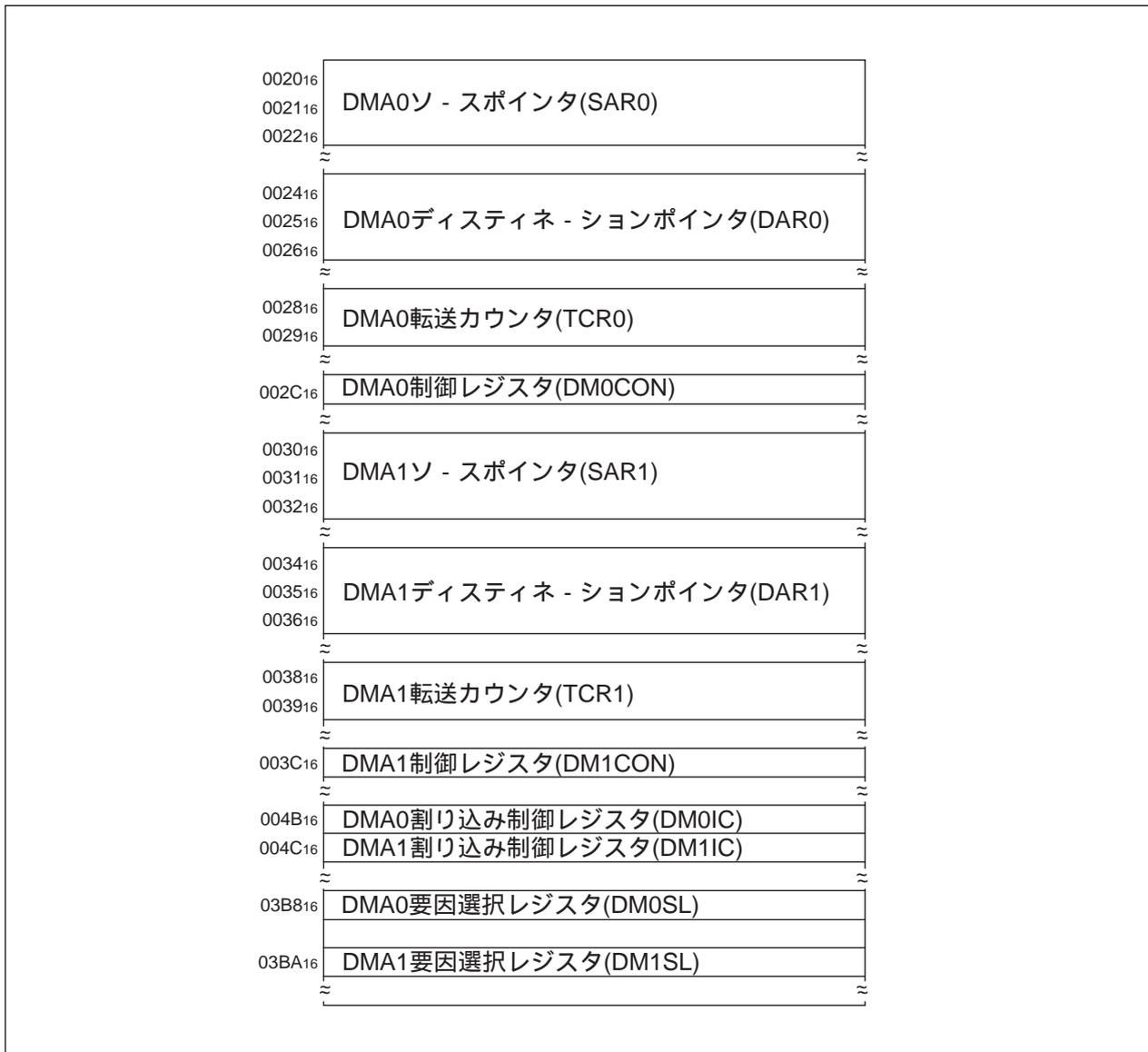


図2.10.1. DMAC関連レジスタのメモリ配置図

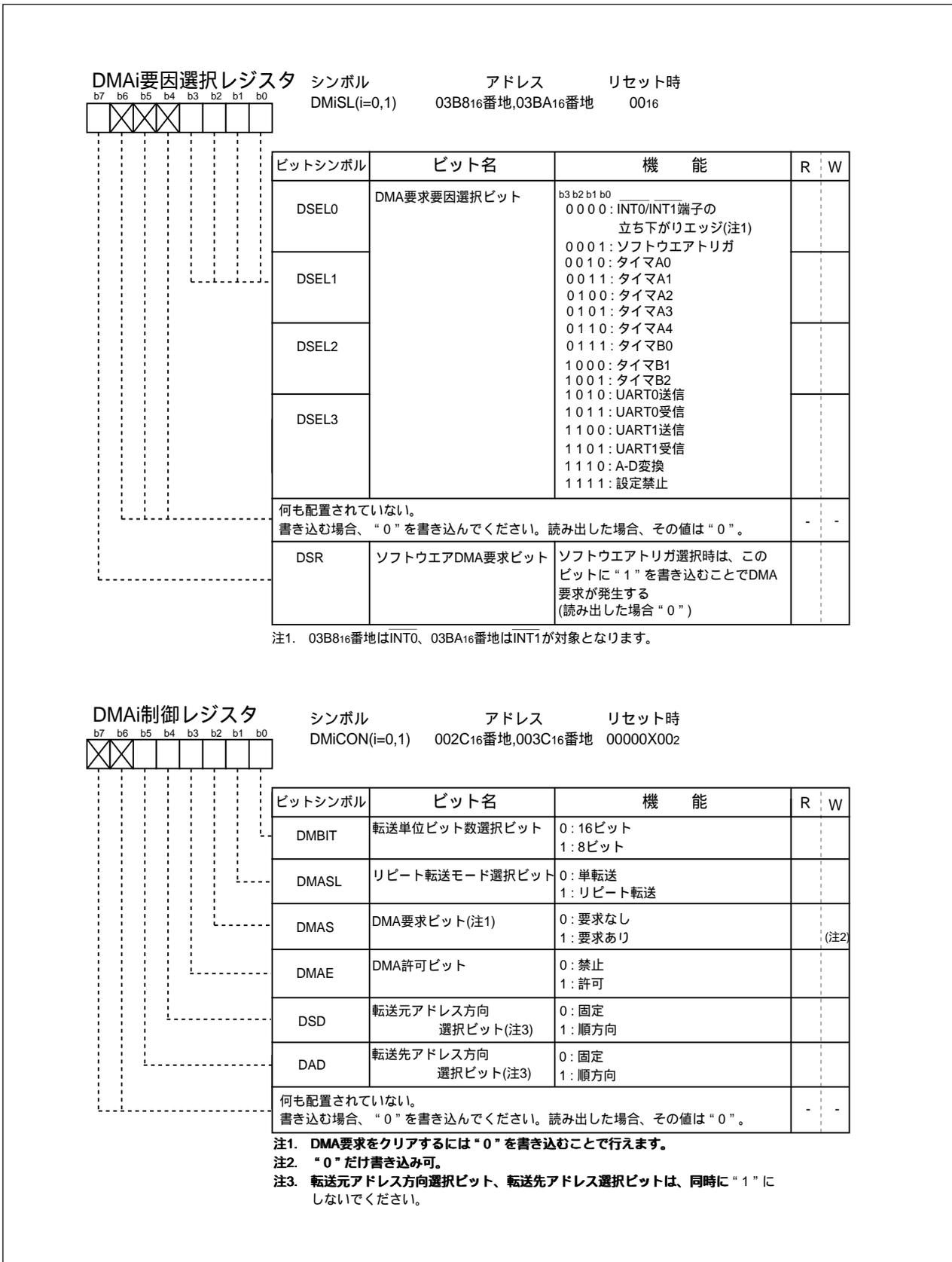


図2.10.2. DMAC関連レジスタの構成(1)

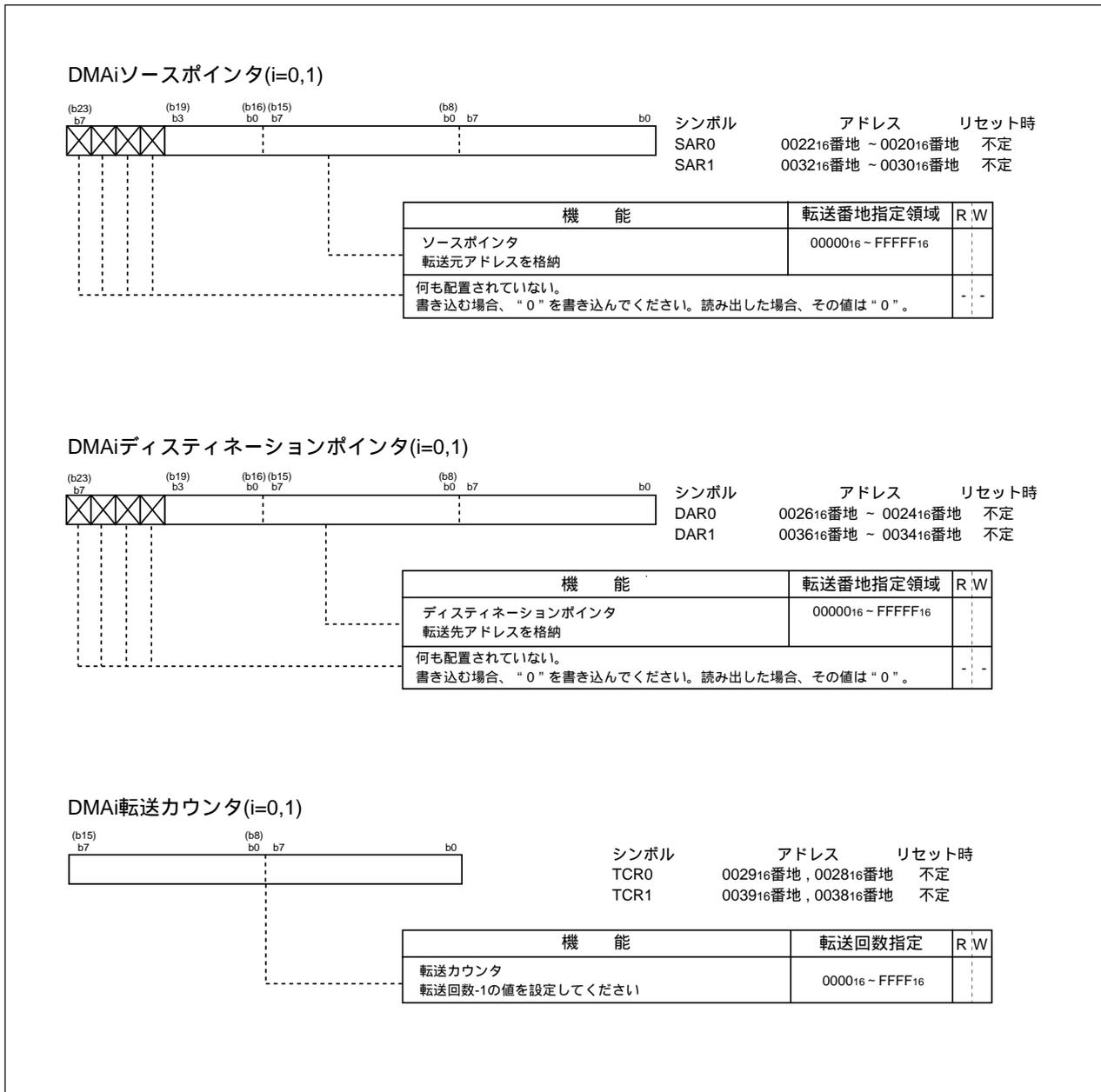


図2.10.3. DMAC関連レジスタの構成(2)

2.10.2 DMACの動作 (単転送モード)

単転送モードでは、表2.10.1に示す項目の中から機能を選択できます。ここでは、表2.10.1に示す項目の中で“ ”印の内容を選択した場合の動作について説明します。また、図2.10.4に動作例を、図2.10.5に設定手順を示します。

表2.10.1. 設定内容

設定項目	設定内容
転送空間	1Mバイトの任意の空間から固定アドレス
	固定アドレスから1Mバイトの任意の空間
	固定アドレスから固定アドレス
転送単位	8ビット
	16ビット

- 動作**
- (1) ソフトウェアトリガ選択時、ソフトウェアDMA要求ビットを“1”にすると、DMA転送の要求信号が発生します。
 - (2) DMACがアクティブ状態であればデータ転送が開始され、DMAi順方向アドレスポインタが示す番地の内容は、DMAiディスティネーションポインタが示す番地に転送されます。なお、DMACをアクティブ状態にした直後のデータ転送開始時に、DMAi転送カウンタリロードレジスタの値はDMAi転送カウンタにリロードされ、DMAiソースポインタの値がDMAi順方向アドレスポインタにリロードされます。
DMA転送の要求信号が発生するごとに1バイトのデータ転送が行われます。DMAi転送カウンタはダウンカウントされ、DMAi順方向アドレスポインタはアップカウントされます。
 - (3) DMAi転送カウンタがアンダフローすると、DMA許可ビットは“0”になり、DMA転送は終了します。同時にDMAi割り込み要求ビットが“1”になります。

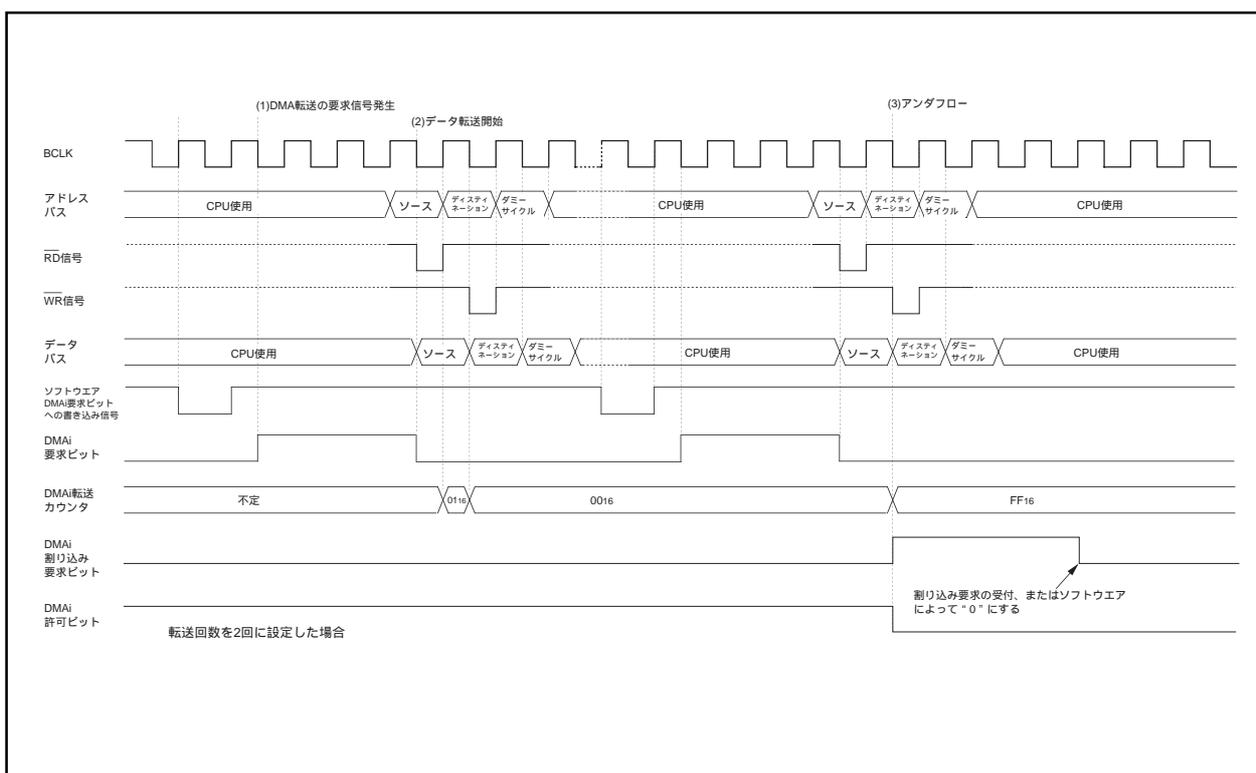


図2.10.4. 単転送モード動作例

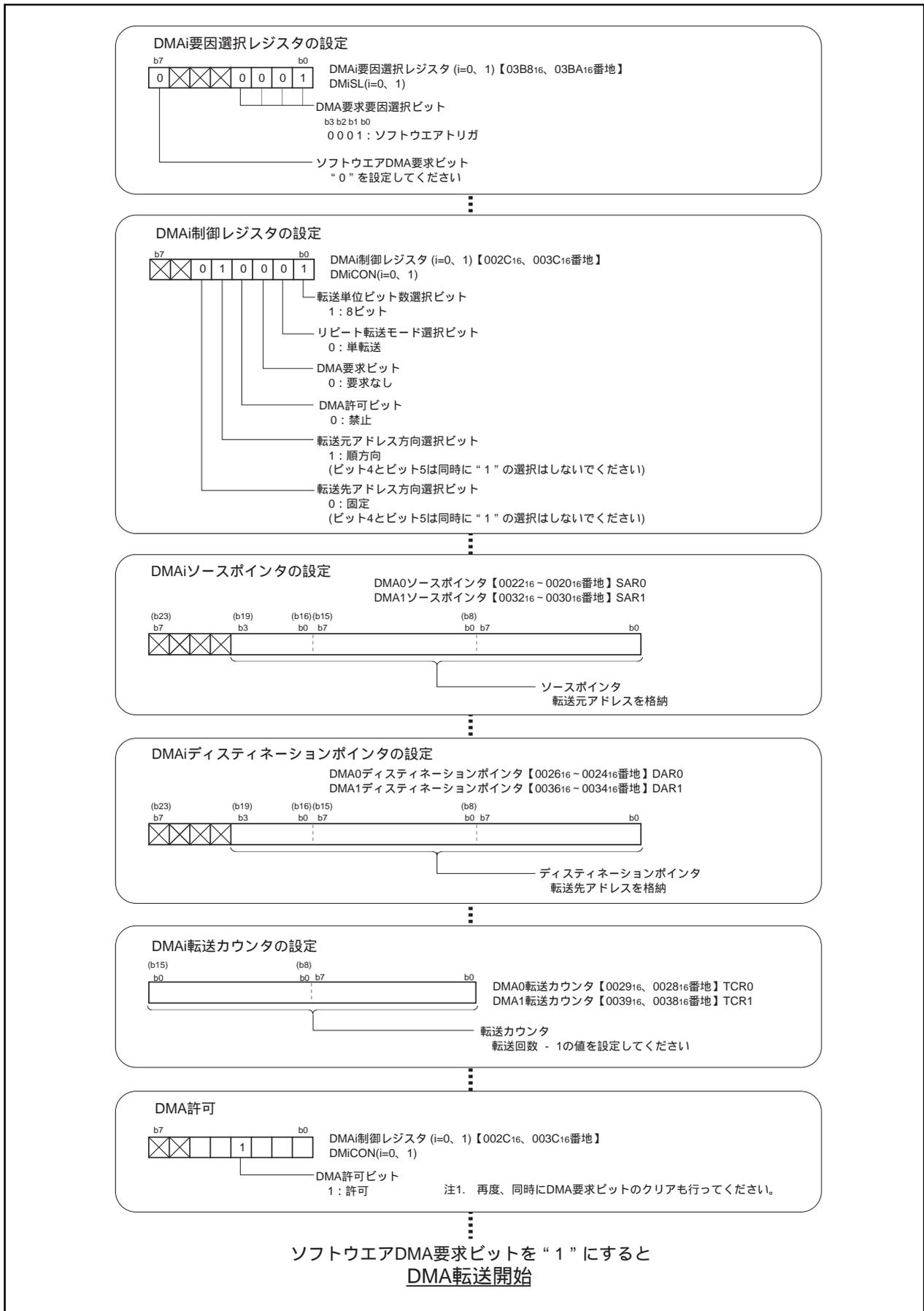


図2.10.5. 単転送モード時のレジスタ設定手順

2.10.3 DMACの動作 (リピート転送)

リピート転送モードでは、表2.10.2に示す項目の中から機能を選択できます。ここでは、表2.10.2に示す項目の中で“ ”印の内容を選択した場合の動作について説明します。また、図2.10.6に動作例を、図2.10.7に設定手順を示します。

表2.10.2. 設定内容

設定項目	設定内容
転送空間	1Mバイトの任意の空間から固定アドレス
	固定アドレスから1Mバイトの任意の空間
	固定アドレスから固定アドレス
転送単位	8ビット
	16ビット

- 動作**
- (1) ソフトウェアトリガ選択時、ソフトウェアDMA要求ビットを“1”にすると、DMA転送の要求信号が発生します。
 - (2) DMACがアクティブ状態であればデータ転送が開始され、DMAi順方向アドレスポインタが示す番地の内容は、DMAiディスティネーションポインタが示す番地に転送されます。なお、DMACをアクティブ状態にした直後のデータ転送開始時に、DMAi転送カウンタリロードレジスタの値はDMAi転送カウンタにリロードされ、DMAiソースポインタの値がDMAi順方向アドレスポインタにリロードされます。
DMA転送の要求信号が発生するごとに2バイトのデータ転送が行われます。DMAi転送カウンタはダウンカウントされ、DMAi順方向アドレスポインタはアップカウントされます。
 - (3) DMAi転送カウンタがアンダフローしてもDMA許可ビットは“1”のままです。
DMAi転送カウンタがアンダフローしたときDMAi割り込み要求ビットが“1”になります。
 - (4) DMAi転送カウンタがアンダフローした後、次のDMA転送の要求信号が発生すると(1)にあり、データ転送を繰り返します。

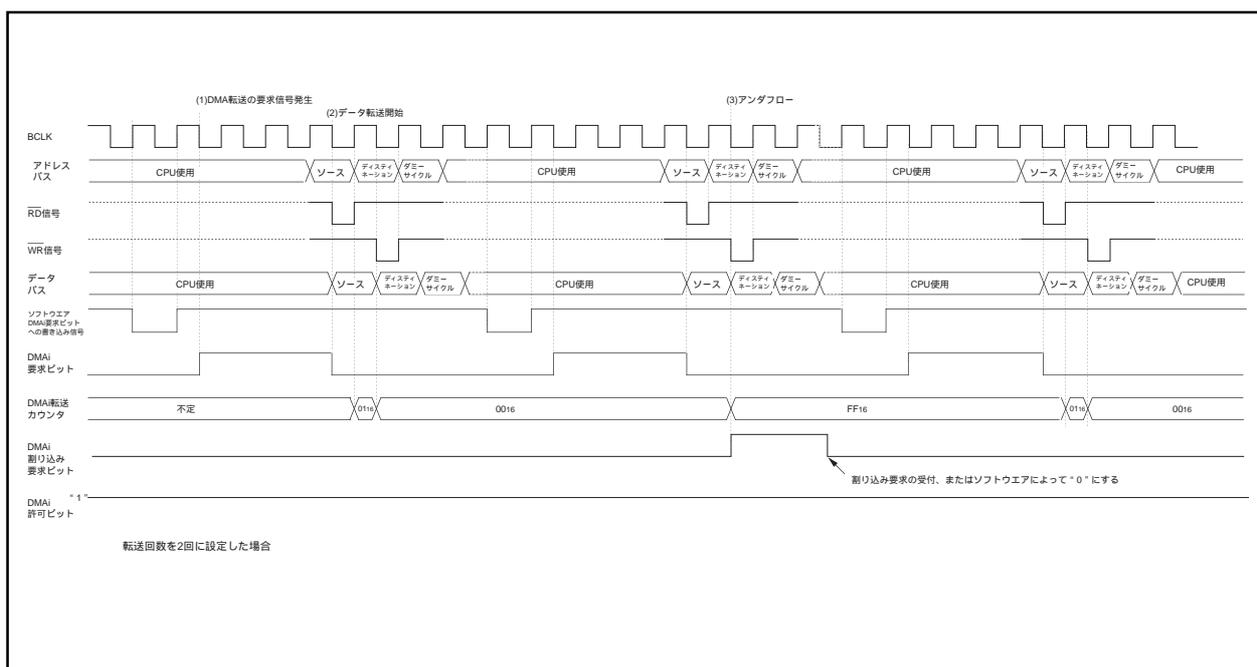


図2.10.6. リピート転送モード動作例

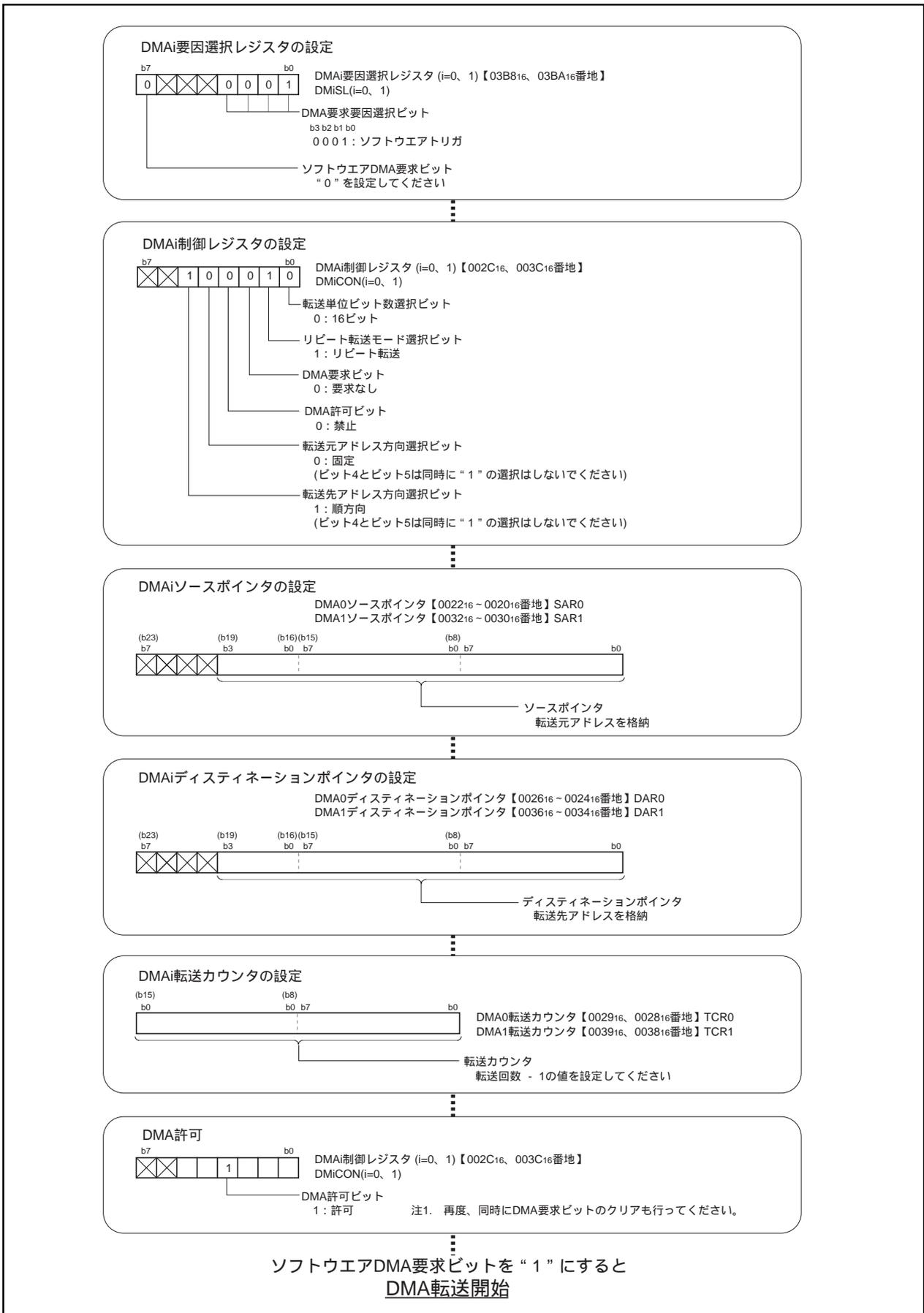


図2.10.7. リピート転送モード時のレジスタ設定手順

CRC演算回路

2.11 CRC演算回路

2.11.1 概要

CRC(Cyclic Redundancy Check)とは、通信データを生成多項式によって加工したCRCコードと送られてきたCRCチェックデータとを比較することで、通信データの誤り検出する方法です。CRC演算回路を用いれば、CRCコードを生成することができます。生成多項式はCRC-CCITT($X^{16}+X^{12}+X^5+1$)を使用します。

CRC演算回路関連のレジスタ

図2.11.1にCRC関連レジスタのメモリ配置図を、図2.11.2にCRC関連レジスタの構成を示します。



図2.11.1. CRC演算回路関連レジスタのメモリ配置図

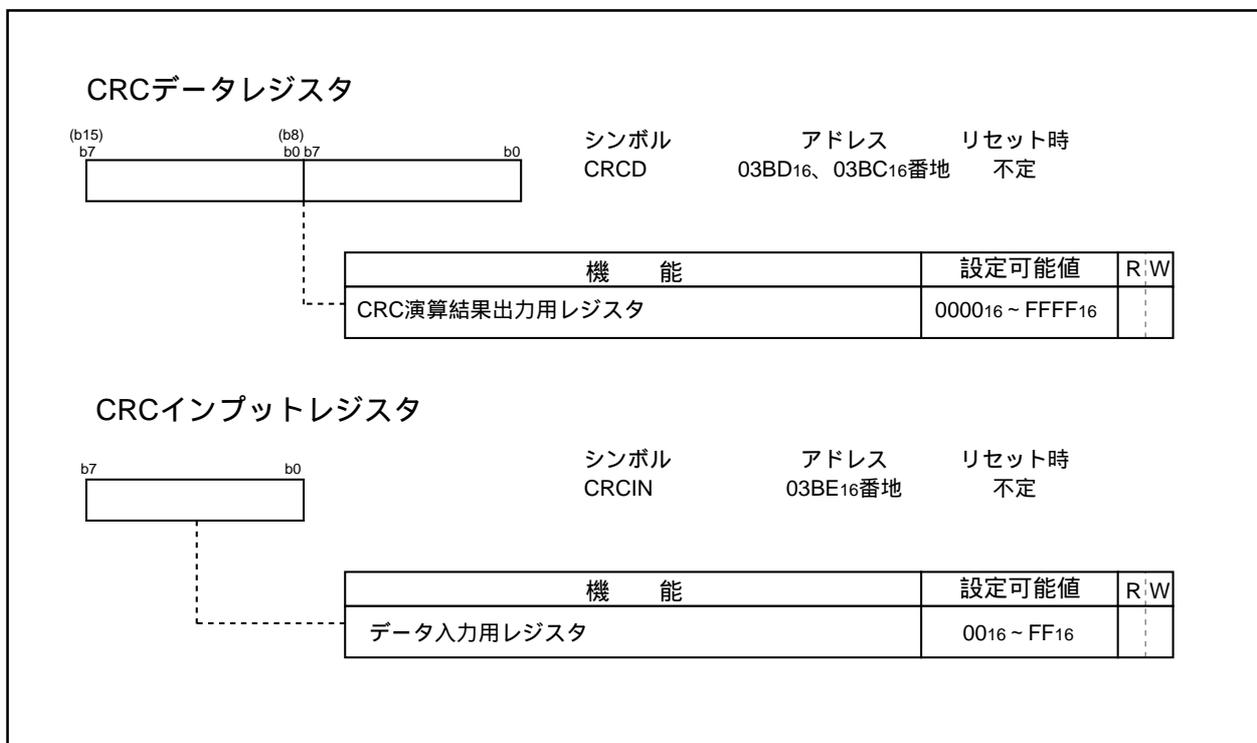


図2.11.2. CRC演算回路関連レジスタの構成

2.11.2 CRC演算回路の動作

CRC演算回路の動作について説明します。また、図2.11.3にCRC演算回路の演算例を示します。

- 動作
- (1) CRCデータレジスタに初期値0000₁₆を設定します。
 - (2) CRCインプットレジスタに1バイトのデータを書き込むと、書き込んだデータとCRCデータレジスタの内容に基づいて、CRCコードがCRCデータレジスタに生成されます。1バイトのデータに対するCRCコードの生成は2マシンサイクルで終了します。
 - (3) 連続数バイトCRC演算で行う場合には、続けて次のデータをCRCインプットレジスタに書き込んでください。
 - (4) 全データを書き終えた後のCRCデータレジスタの内容がCRC符号となります。

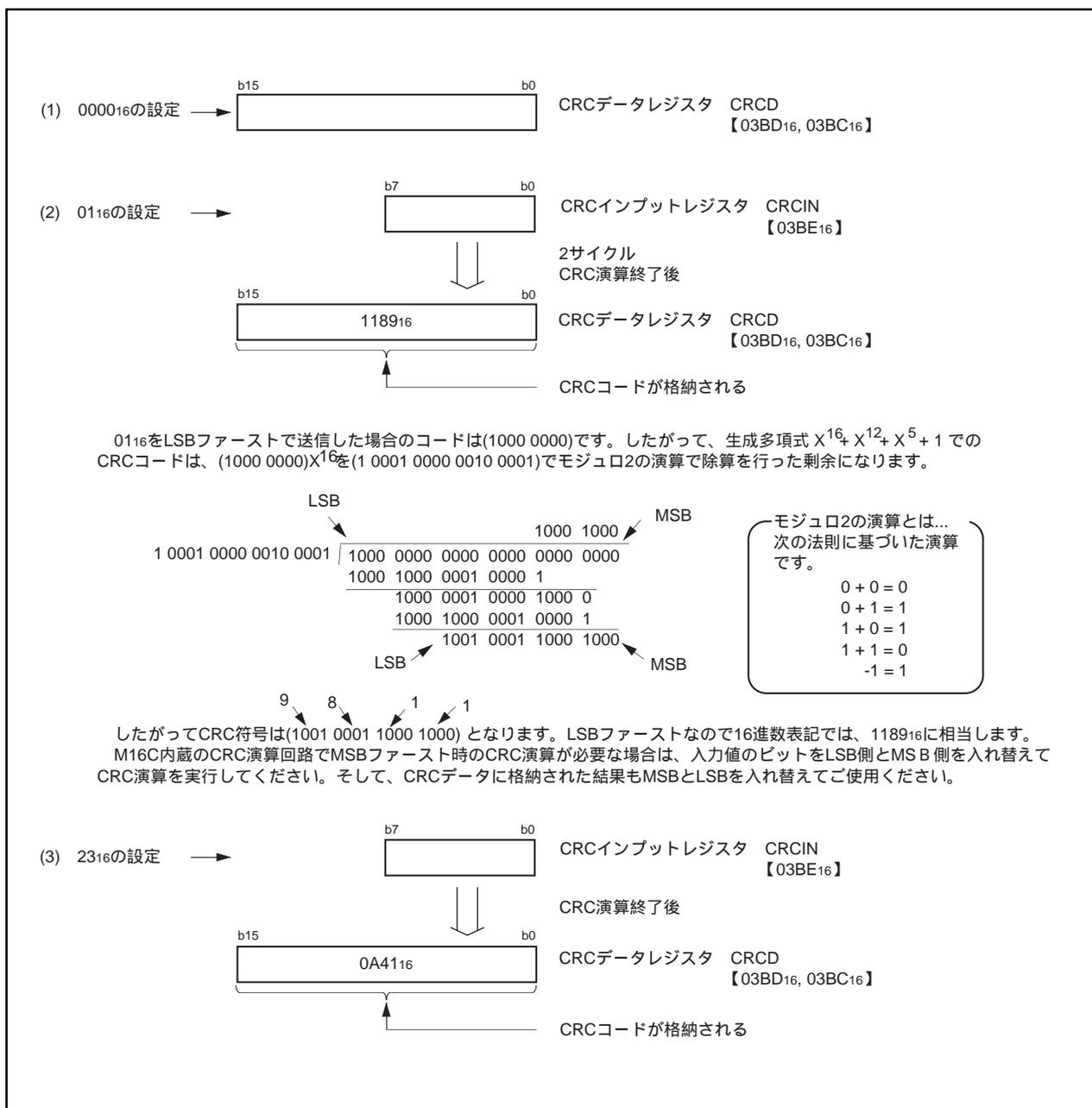


図2.11.3. データ0123₁₆でのCRC演算回路の演算例

監視タイマ

2.12 監視タイマ

2.12.1 概要

監視タイマは、プリスケアラ付き15ビットのタイマでプログラムの暴走を検知することができます。監視タイマの概要について説明します。

監視タイマの開始

リセット時、監視タイマは停止しています。監視タイマスタートレジスタに書き込みを行うと、監視タイマは7FFF₁₆に初期化され、ダウンカウントを開始します。一度動作を開始した監視タイマは、監視タイマの停止条件以外では停止させることはできません。

監視タイマの停止条件

監視タイマは、次の状態のとき停止します。

- (1) CPUがストップ状態の期間。
- (2) CPUがウェイト状態の期間。
- (3) ホールド状態の期間。

監視タイマの初期化

監視タイマは次のとき7FFF₁₆に初期化され、継続してダウンカウントを行います。

- (1) 監視タイマがカウント中に監視タイマスタートレジスタに書き込みを行った場合
- (2) 監視タイマがアンダフローした場合

暴走の検知

監視タイマがアンダフローすると、監視タイマ割り込みが発生します。プログラムでは、監視タイマがアンダフローする前に、監視タイマスタートレジスタに書き込みを行ってください。

監視タイマ割り込みは割り込み許可フラグ(1フラグ)の状態にかかわらず発生します。監視タイマ割り込み処理では、ソフトウェアリセットビットを“1”にしてソフトウェアリセットをかけてください。

監視タイマの周期

監視タイマの周期は、BCLKと選択されたプリスケアラの分周比によって変わります。

監視タイマの周期を以下に示します。

表2.12.1. 監視タイマの周期

CM07	CM06	CM17	CM16	BCLK	WDC7	周期
0	0	0	0	10MHz	0	約52.4ms(注1)
					1	約419.4ms(注1)
0	0	0	1	5MHz	0	約104.9ms(注1)
					1	約838.9ms(注1)
0	0	1	0	2.5MHz	0	約209.7ms(注1)
					1	約1.68s(注1)
0	0	1	1	0.625MHz	0	約838.9ms(注1)
					1	約6.71s(注1)
0	1	無効	無効	1.25MHz	0	約419.4ms(注1)
					1	約3.36s(注1)
1	無効	無効	無効	32kHz	無効	約2s(注1)

注1. プリスケアラによる誤差が生じます。

監視タイマ関連レジスタ

図2.12.1に監視タイマ関連レジスタのメモリ配置図を、図2.12.2に監視タイマ関連レジスタの構成を示します。

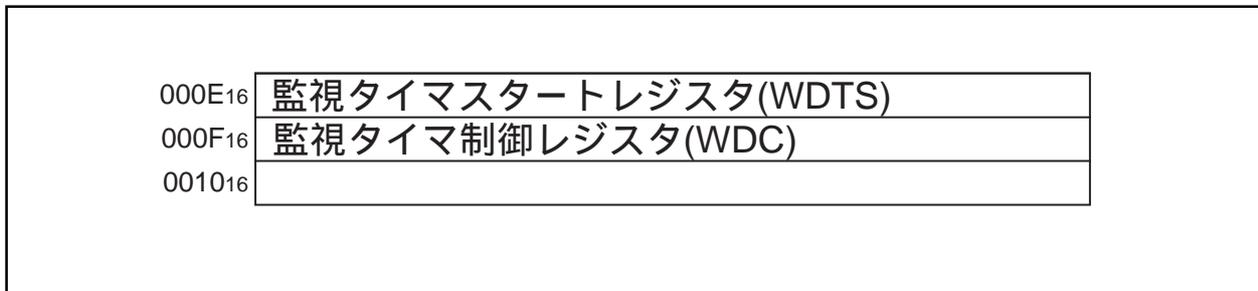


図2.12.1. 監視タイマ関連レジスタのメモリ配置図

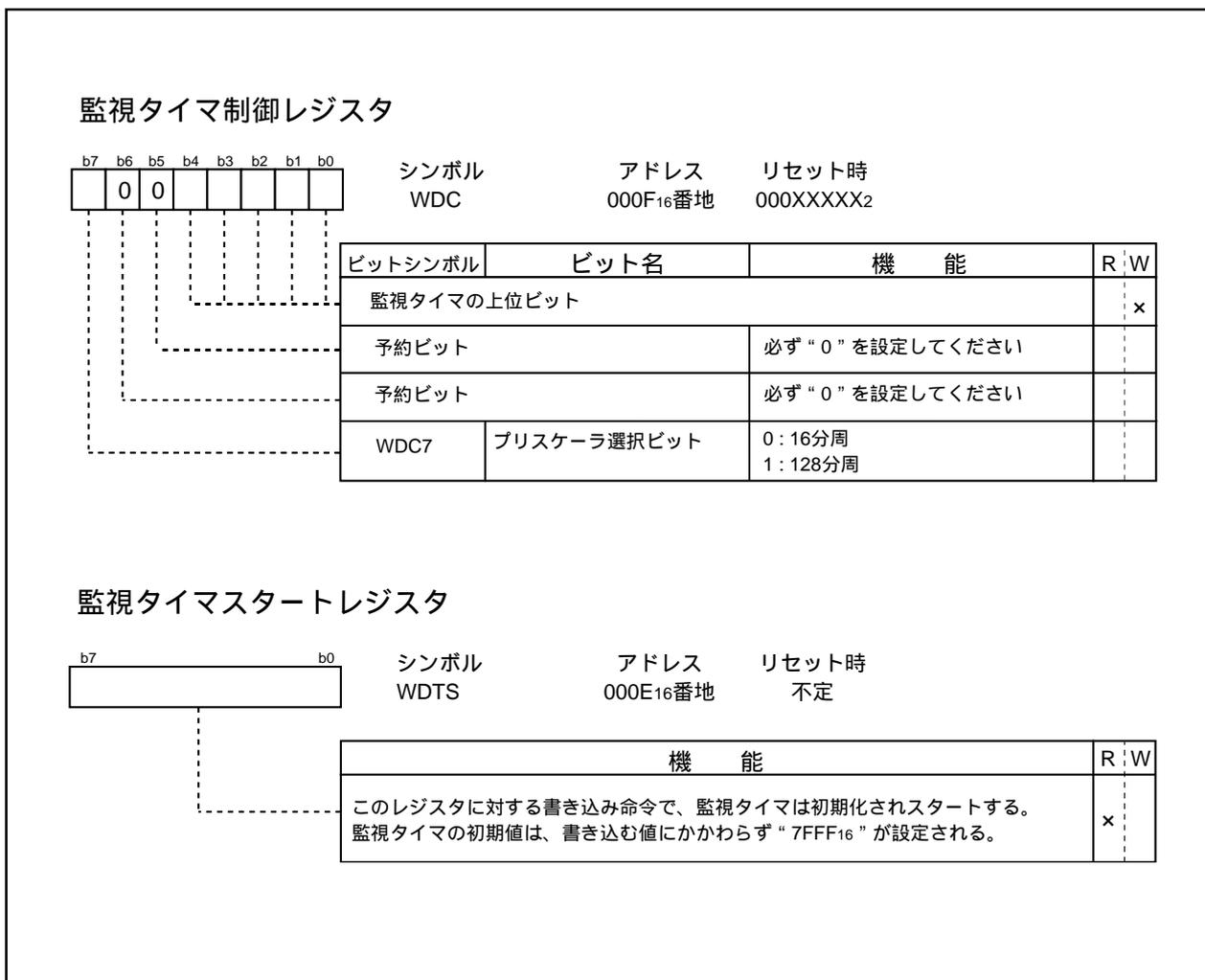


図2.12.2. 監視タイマ関連レジスタの構成

2.12.2 監視タイマの動作

監視タイマの動作について説明します。また、図2.12.3に動作タイミングを、図2.12.4に設定手順を示します。

- 動作
- (1) 監視タイマスタートレジスタに書き込みを行うと、監視タイマは7FFF₁₆に初期化されダウンカウントを開始します。
 - (2) カウント実行中に再度書き込みを行うと、監視タイマは7FFF₁₆に初期化され、カウントを継続して行います。
 - (3) WAIT命令の実行やストップ状態になると、監視タイマはカウント中の値を保持して停止します。WAIT命令の実行やストップ状態から復帰後、保持した値からカウントを再開します。
 - (4) 監視タイマがアンダフローすると、監視タイマは7FFF₁₆に初期化され、カウントを継続して行います。同時に、監視タイマ割り込みが発生します。

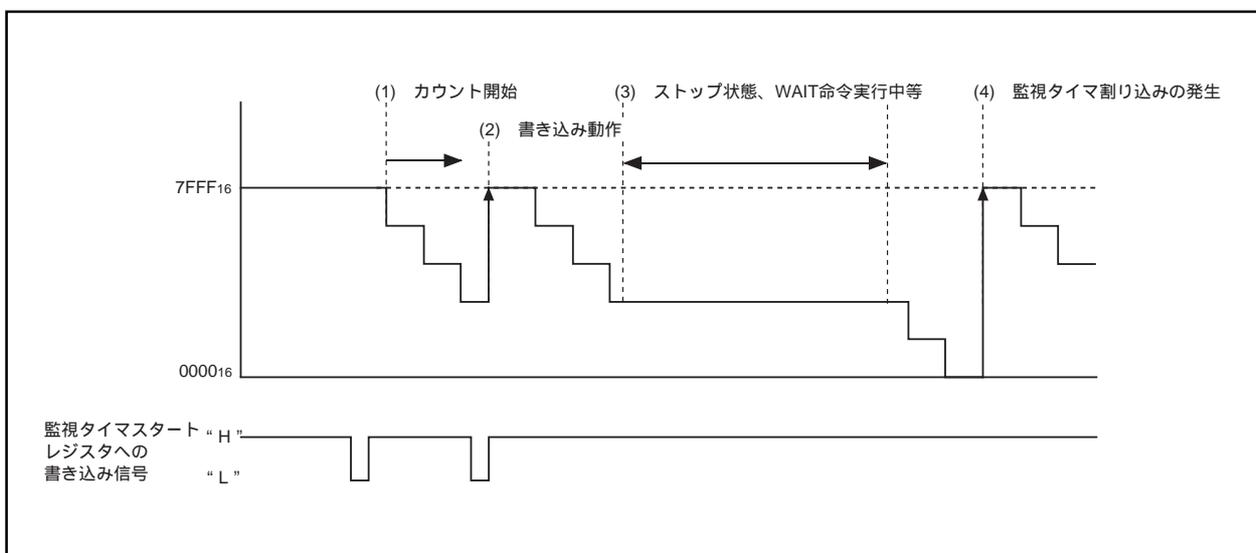


図2.12.3. 監視タイマの動作タイミング図

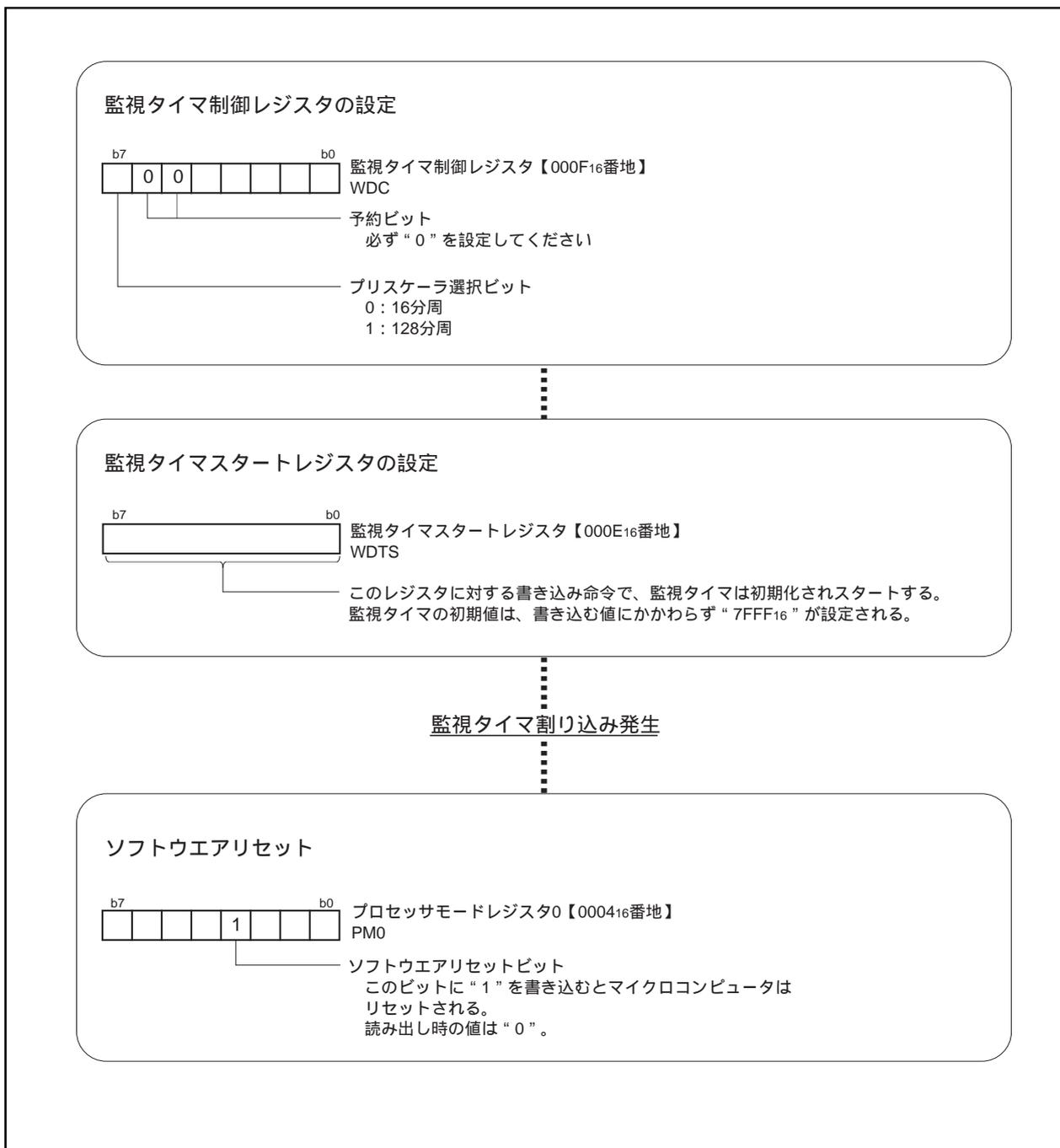


図2.12.4. 監視タイマ割り込みの設定手順

アドレス一致割り込み

2.13 アドレス一致割り込み

2.13.1 概要

アドレス一致割り込みは、ROM修正やデバッグ用の簡易モニタ等に使用できます。アドレス一致割り込みの概要について説明します。

アドレス一致割り込みの許可、禁止

アドレス一致割り込み許可ビットで許可、禁止できます。プロセッサ割り込み優先レベル(IPL)や割り込み許可フラグ(Iフラグ)の影響は受けません。

アドレス一致割り込みの発生タイミング

アドレス一致割り込みレジスタで示される番地の命令を実行する直前に割り込みは発生します。

アドレス一致割り込みレジスタには、命令の先頭番地を設定してください。命令の途中やテーブルデータ等の番地を設定した場合、アドレス一致割り込みは発生しません。

また、割り込みルーチンの先頭の命令もアドレス一致割り込みは発生しません。

アドレス一致割り込みからの復帰

アドレス一致割り込みが発生したときにスタックに積まれる戻り先番地は、実行直前の命令(アドレス一致割り込みレジスタで示される命令)によって異なります。戻り先番地がスタックに積まれていません。したがって、アドレス一致割り込みから復帰する場合、スタックの内容を書き替えてREIT命令で復帰するか、またはスタックをPOP命令等を使用して、割り込み発生前の状態に戻してからジャンプ命令で復帰してください。

実行直前の命令と割り込み発生時にスタックに積まれる番地を図2.13.1に示します。

<アドレス一致割り込み時に + 2 されたアドレスが退避される命令>

- ・ 16 ビットオペコード命令
 - ・ 8 ビットオペコードの命令のうち、以下に示す命令
- | | | |
|--|-----------------------------|--------------------|
| ADD.B:S #IMM8,dest | SUB.B:S #IMM8,dest | AND.B:S #IMM8,dest |
| OR.B:S #IMM8,dest | MOV.B:S #IMM8,dest | STZ.B:S #IMM8,dest |
| STNZ.B:S #IMM8,dest | STZX.B:S #IMM81,#IMM82,dest | |
| CMP.B:S #IMM8,dest | PUSHM src | POPM dest |
| JMPS #IMM8 | JSRS #IMM8 | |
| MOV.B:S #IMM,dest (ただし、dest = A0 / A1) | | |

<アドレス一致割り込み時に + 1 されたアドレスが退避される命令>

- ・ 上記以外

図2.13.1. 実行直前の命令と割り込み発生時にスタックに積まれる番地

アドレス一致割り込みの判定方法

アドレス一致割り込みは、2箇所、設定することができますが、2箇所とも同じベクタアドレスです。したがって、アドレス一致割り込み0で発生したのかアドレス一致割り込み1で発生したのかの判断が必要です。スタックの内容等で、アドレス一致割り込みルーチンの先頭で判断してください。

アドレス一致割り込み関連レジスタ

図2.13.2にアドレス一致割り込み関連レジスタのメモリ配置図を、図2.13.3にアドレス一致割り込み関連レジスタの構成を示します。

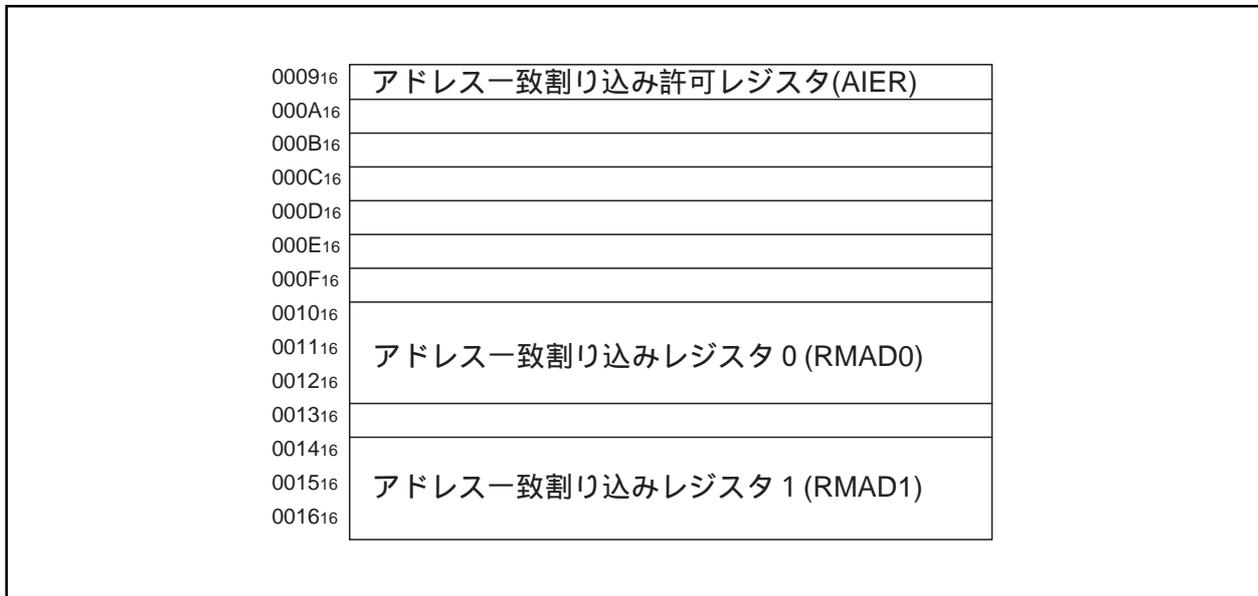


図2.13.2. アドレス一致割り込み関連レジスタのメモリ配置図

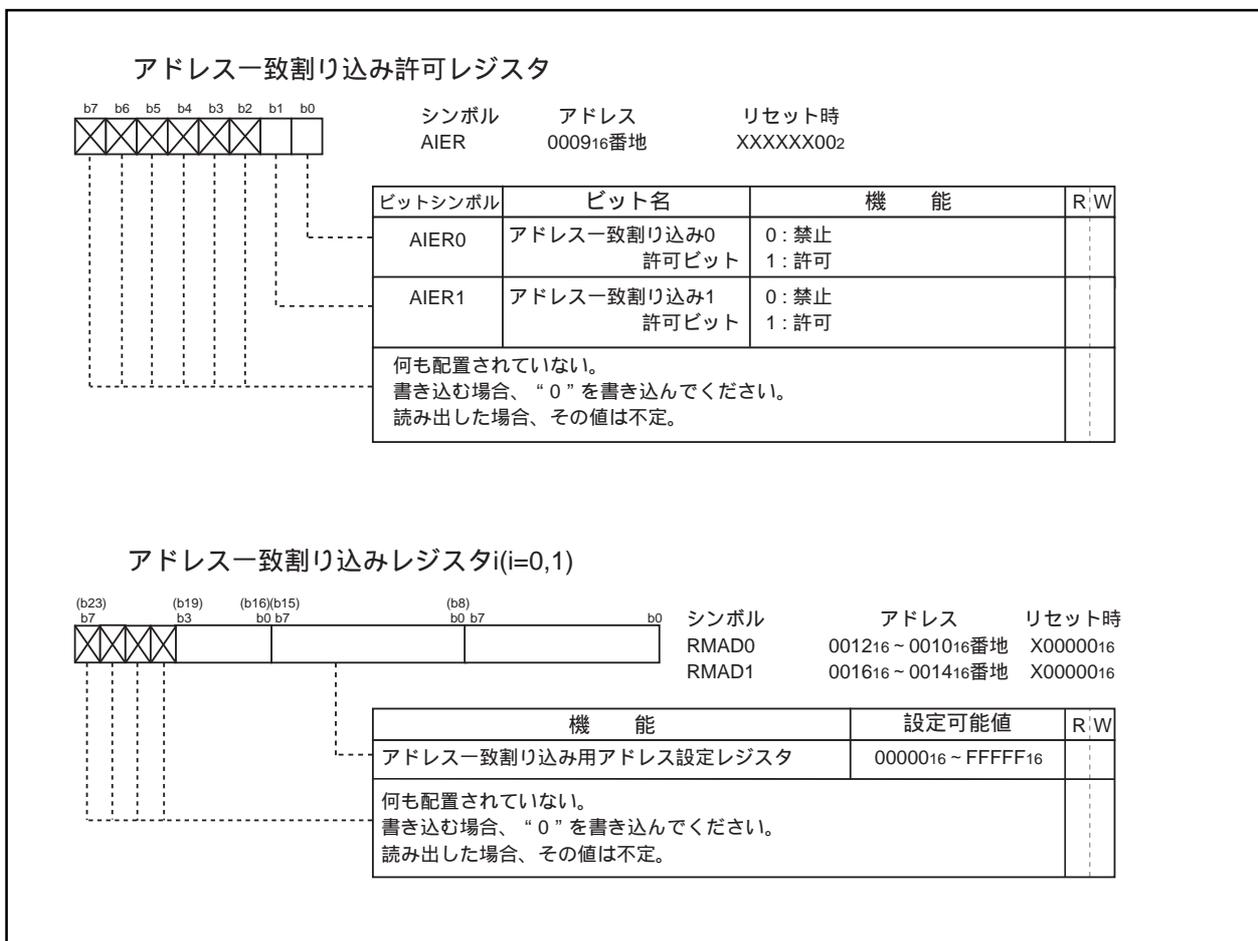


図2.13.3. アドレス一致割り込み関連レジスタの構成

アドレス一致割り込み

2.13.2 アドレス一致割り込みの動作

アドレス一致割り込みの動作を説明します。また、図2.13.4にアドレス一致割り込みの設定手順を、図2.13.5にアドレス一致割り込み処理ルーチンの概略処理を示します。

- 動作
- (1) アドレス一致割り込みレジスタに割り込みを発生させるアドレスを設定します。
 - (2) アドレス一致許可フラグを“1”にすると割り込み発生許可状態になります。
 - (3) プログラム実行中にアドレス一致割り込みレジスタで設定している番地の命令を実行する直前でアドレス一致割り込みが発生します。

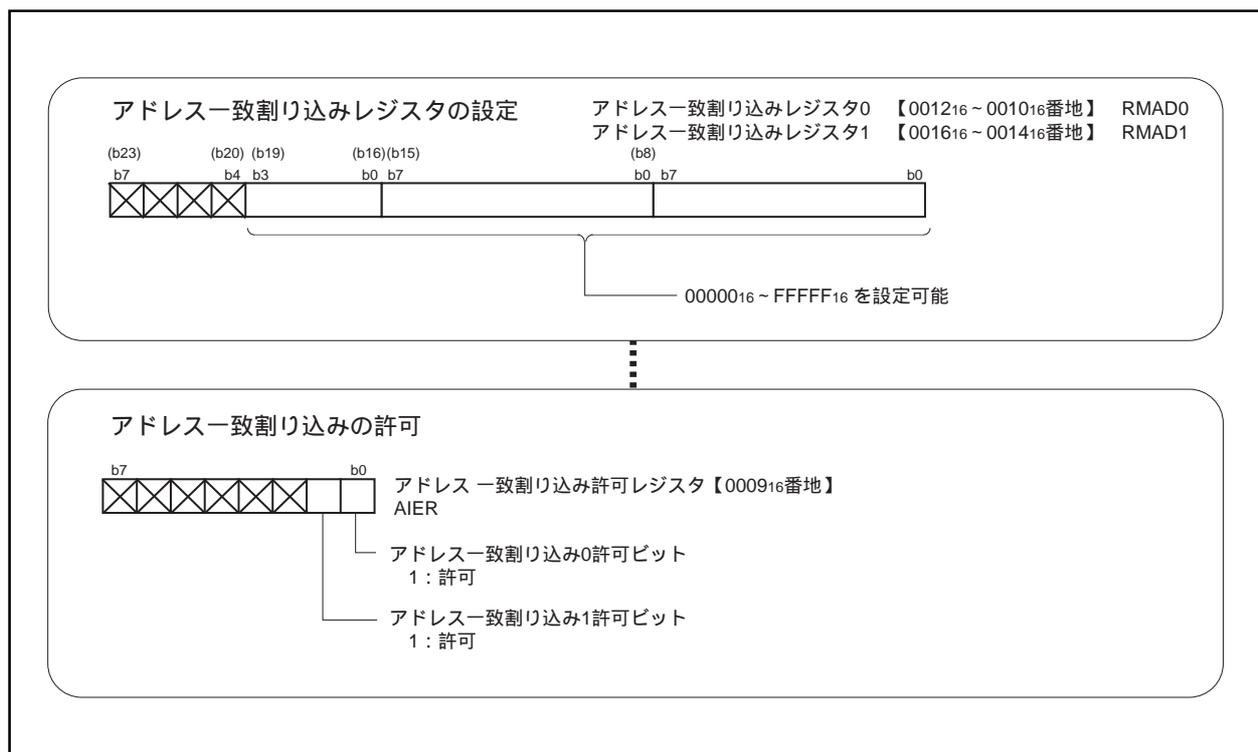


図2.13.4. アドレス一致割り込みの設定手順

アドレス一致割り込み

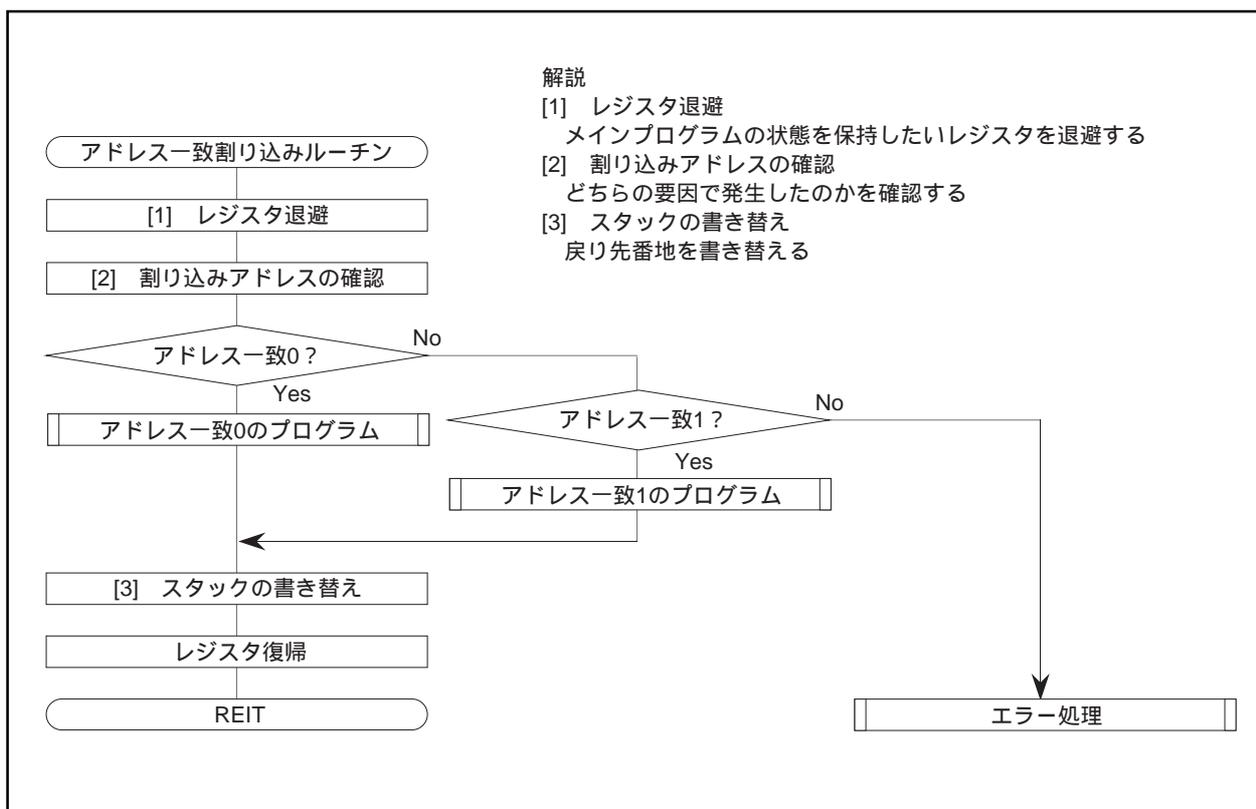


図2.13.5. アドレス一致割り込みルーチン概略処理

2.14 パワーコントロール

2.14.1 概要

パワーコントロールの概要について説明します。

モード

パワーコントロールには3つのモードがあります。

(1) 通常動作モード

高速モード

メインクロックの1分周がBCLKとなるモードです。CPUは選択された内部クロックで動作します。周辺機能は、各周辺機能で設定したクロックで動作します。

中速モード

メインクロックの2分周、4分周、8分周、または16分周がBCLKとなるモードです。CPUは選択された内部クロックで動作します。周辺機能は、周辺機能ごとに設定したクロックで動作します。

低速モード

fCがBCLKとなるモードです。CPUは、fCのクロックで動作します。fCとは、サブクロックが供給するクロックです。周辺機能は、周辺機能ごとに設定したクロックで動作します。

低消費電力モード

低速モードからメインクロックを停止させたモードです。CPUは、fCのクロックで動作します。fCとは、サブクロックが供給するクロックです。カウントソースとしてサブクロックを選択している周辺機能だけ動作します。

(2) ウェイトモード

CPUの動作を停止させるモードです。発振器は停止しません。

(3) ストップモード

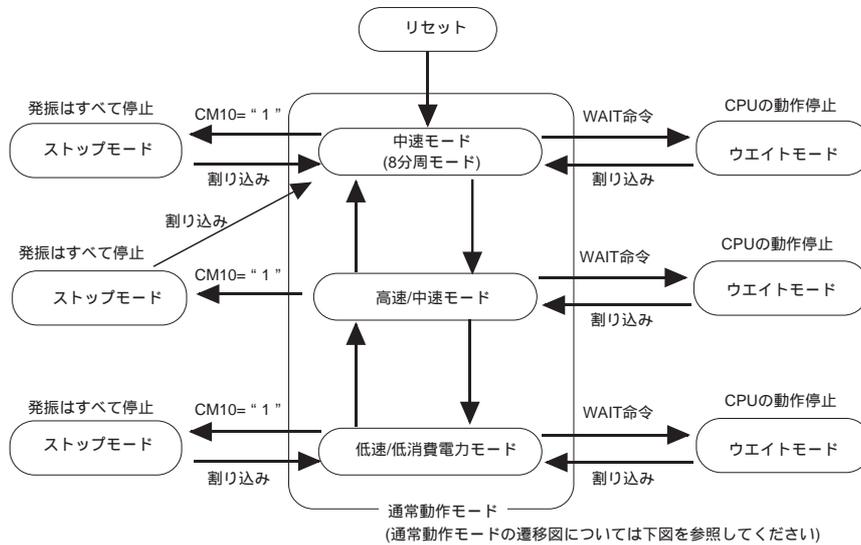
すべての発振器が停止するモードです。CPUや内蔵の周辺機能はすべて停止します。パワーコントロールの3つのモードの中で一番消費電流を少なくすることができます。

(1)~(3)の状態遷移図を図2.14.1に示します。

発振回路駆動能力切り替え

メインクロックおよびサブクロックには、駆動能力の切り替え機能があります。発振が安定した後に駆動能力を弱めることで、さらに消費電力を小さくすることができます。

ストップモード、ウエイトモードの遷移図



通常動作モードの遷移図

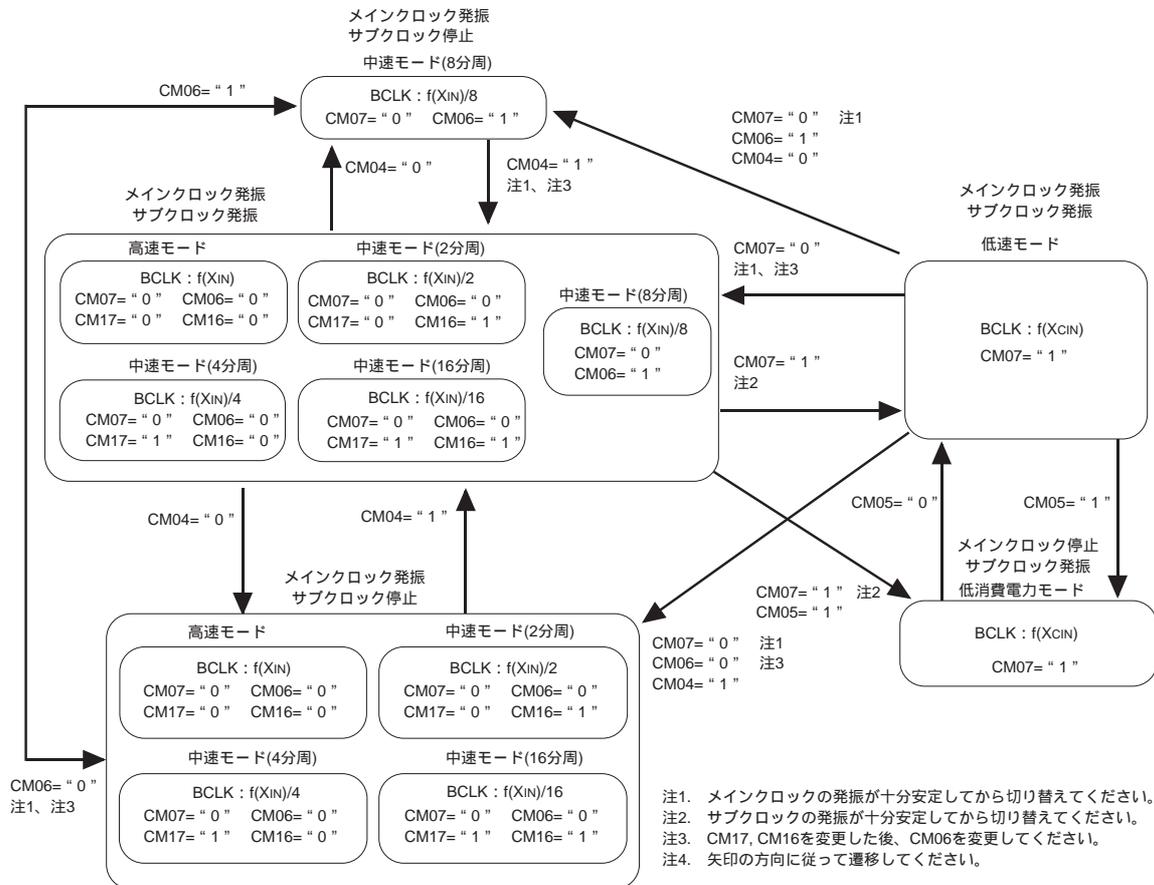


図2.14.1. 状態遷移図

ストップおよびウエイトモードからの復帰

ストップモードおよびウエイトモードは、割り込み要求の発生、またはハードウェアリセットで解除します。解除に使用する割り込み優先レベルをプロセッサ割り込み優先レベル(IPL)より高く設定し、割り込み許可フラグ(Iフラグ)を許可状態にしてください。解除のための割り込みが発生すると、発生した割り込み処理を実行します。

ストップモードおよびウエイトモードの解除に使用できる割り込みを表2.14.1に示します。

復帰時のBCLK

(1)ウエイトモードからの復帰時

ウエイトモードに入る前に使用していたBCLKで直ちに復帰します。

(2)ストップモードからの復帰時

BCLKにメインクロックを選択しストップモードに移行したとき、CM06は“1”となります。CM17、CM16およびCM07は変化しません。この場合、ストップから復帰したとき、8分周モードから動作します。

BCLKにサブクロックを選択しストップモードに移行したとき、CM06、CM17、CM16およびCM07は変化しません。この場合、ストップから復帰したとき、低速モードから動作します。

表2.14.1. 各モードの解除に使用できる割り込み

解除用割り込み	ウエイトモード時		ストップモード時
	CM02=0の場合	CM02=1の場合	
DMA0割り込み	×	×	×
DMA1割り込み	×	×	×
A-D割り込み	注3	×	×
UART0送信割り込み		注1	注1
UART0受信割り込み		注1	注1
UART1送信割り込み		注1	注1
UART1受信割り込み		注1	注1
SI/O自動転送割り込み		×	×
FLD割り込み		×	×
タイマA0割り込み		注2	注2
タイマA1割り込み		注2	注2
タイマA2割り込み		注2	注2
タイマA3割り込み		注2	注2
タイマA4割り込み		注2	注2
タイマB0割り込み		注2	注2
タイマB1割り込み		注2	注2
タイマB2割り込み		注2	注2
INT0割り込み			
INT1割り込み			
INT2割り込み			
INT3割り込み			
INT4割り込み			
INT5割り込み			

注1. クロック同期形シリアルI/Oモードで、外部クロックを選択している場合、使用可。

注2. イベントカウンタモードで、外部信号をカウントしているとき使用可。

注3. 単発モードおよび単掃引モードで使用可。

ストップモードからの復帰シーケンス

ストップモードからの復帰シーケンスは、発振立ち上がりと割り込みシーケンスからなります。ストップモード中に割り込みが発生すると、CM10が“0”になり、ストップモードが解除されます。その後、発振が開始しBCLKが供給され始めると、下記の割り込みシーケンスを実行します。

割り込みシーケンスでは次の動作を順次行います。

- (1) 00000₁₆番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得する。その後、該当する割り込みの要求ビットが“0”になる。
- (2) 割り込みシーケンス直前のフラグレジスタ(FLG)の内容をCPU内部の一時レジスタ(注1)に退避する。
- (3) 割り込み許可フラグ(Iフラグ)、デバッグフラグ(Dフラグ)、およびスタックポインタ指定フラグ(Uフラグ)を“0”にする(ただしUフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません)。
- (4) CPU内部の一時レジスタ(注1)の内容をスタック領域に退避する。
- (5) プログラムカウンタ(PC)の内容をスタック領域に退避する。
- (6) プロセッサ割り込み優先レベル(IPL)に、受け付けた割り込みの割り込み優先レベルを設定する。

注1. ユーザは使用できません。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

図2.14.2にストップモードからの復帰シーケンスを示します。

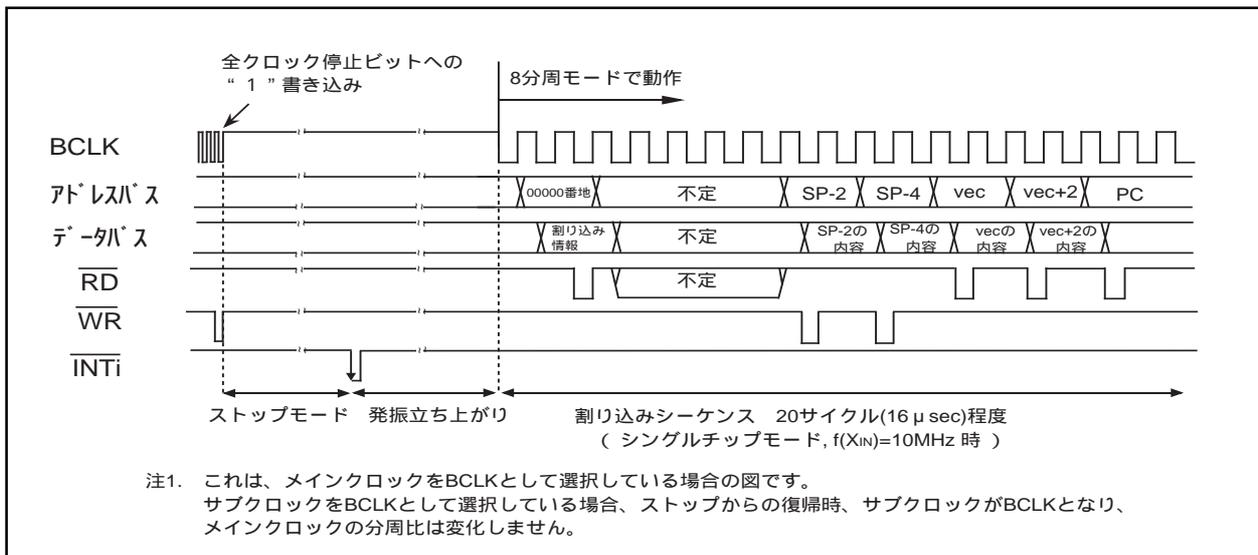


図2.14.2. ストップモードからの復帰シーケンス

パワーコントロール関連レジスタ

図2.14.3にパワーコントロール関連レジスタのメモリ配置図を、図2.14.4にパワーコントロール関連レジスタの構成を示します。

0006 ₁₆	システムクロック制御レジスタ 0 (CM0)
0007 ₁₆	システムクロック制御レジスタ 1 (CM1)
0008 ₁₆	

図2.14.3. パワーコントロール関連レジスタのメモリ配置図

システムクロック制御レジスタ0(注1)

ビットシンボル	ビット名	機能	R/W
CM00	クロック出力機能選択ビット	0 0 : 入出力ポートP97/DA0 0 1 : fcを出力 1 0 : f8を出力 1 1 : f32を出力	
CM01			
CM02	WAIT時周辺機能クロック停止ビット	0 : ウェイトモード時、周辺機能クロック停止しない 1 : ウェイトモード時、周辺機能クロック停止する(注8)	
CM03	X _{CIN} -X _{COU} T駆動能力選択ビット(注2)	0 : LOW 1 : HIGH	
CM04	ポートX _c 切り替えビット	0 : 入出力ポート機能 1 : X _{CIN} -X _{COU} T発振機能	
CM05	メインクロック (X _{IN} -X _{OU} T)停止ビット(注3、注4、注5)	0 : 発振 1 : 停止	
CM06	メインクロック分周比選択ビット0(注7)	0 : CM16, CM17有効 1 : 8分周モード	
CM07	システムクロック選択ビット(注6)	0 : X _{IN} , X _{OU} T選択 1 : X _{CIN} , X _{COU} T選択	

- 注1. このレジスタを書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット0を“1”にしてください。
- 注2. ストップモードへの移行時およびリセット時、“1”になります。
- 注3. このビットは低消費電力モードにするときに、メインクロックを停止させるためのビットです。ストップモードから復帰後、X_{IN}で動作させる場合、このビットは“0”にしてください。自励発振で使用している場合は、システムクロック選択ビット(CM07)を“1”にしてから、このビットを“1”にしてください。
- 注4. 外部クロック入力時には、クロック発振バッファだけ停止し、クロック入力は受け付けられるモードとなります。
- 注5. このビットが“1”の場合、X_{OU}Tは“H”レベルになります。また、内蔵している帰還抵抗は接続したままですので、X_{IN}は帰還抵抗を介して、X_{OU}T(“H”レベル)にプルアップされた状態となります。
- 注6. このビットを“0”から“1”にする場合、ポートX_c切り替えビット(CM04)を“1”にし、サブクロックの発振が安定した後に行ってください。同時に書き込まないでください。また、このビットを“1”から“0”にする場合は、メインクロック停止ビット(CM05)を“0”にし、メインクロックの発振が安定した後に行ってください。
- 注7. 高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。
- 注8. fc32は含みません。

システムクロック制御レジスタ1(注1)

ビットシンボル	ビット名	機能	R/W
CM10	全クロック停止制御ビット(注4)	0 : クロック発振 1 : 全クロック停止(ストップモード)	
	予約ビット	必ず“0”を設定してください	
CM15	X _{IN} -X _{OU} T駆動能力選択ビット(注2)	0 : LOW 1 : HIGH	
CM16	メインクロック分周比選択ビット1(注3)	0 0 : 分周なしモード 0 1 : 2分周モード 1 0 : 4分周モード 1 1 : 16分周モード	
CM17			

- 注1. このレジスタを書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット0を“1”にしてください。
- 注2. 高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは“1”になります。低速モード、低消費電力モードでは保持されます。
- 注3. システムクロック制御レジスタ0(0006₁₆番地)のビット6が“0”の場合、有効となります。“1”の場合、8分周モードに固定です。
- 注4. このビットが“1”の場合、X_{OU}Tは“H”レベルとなり、内蔵している帰還抵抗は切り離されます。X_{CIN}、X_{COU}Tは、ハイインピーダンスになります。

図2.14.4. パワーコントロール関連レジスタの構成

2.14.2 ストップモードへの設定

ストップモードへ移行するための設定と動作について説明します。

- 動作
- (1) ストップモードから復帰する割り込みを許可します。
 - (2) 割り込み許可フラグ(Iフラグ)を“1”にします。
 - (3) プロテクトを解除して、全クロック停止ビットを“1”にすることで発振が停止しストップモードへ移行します。

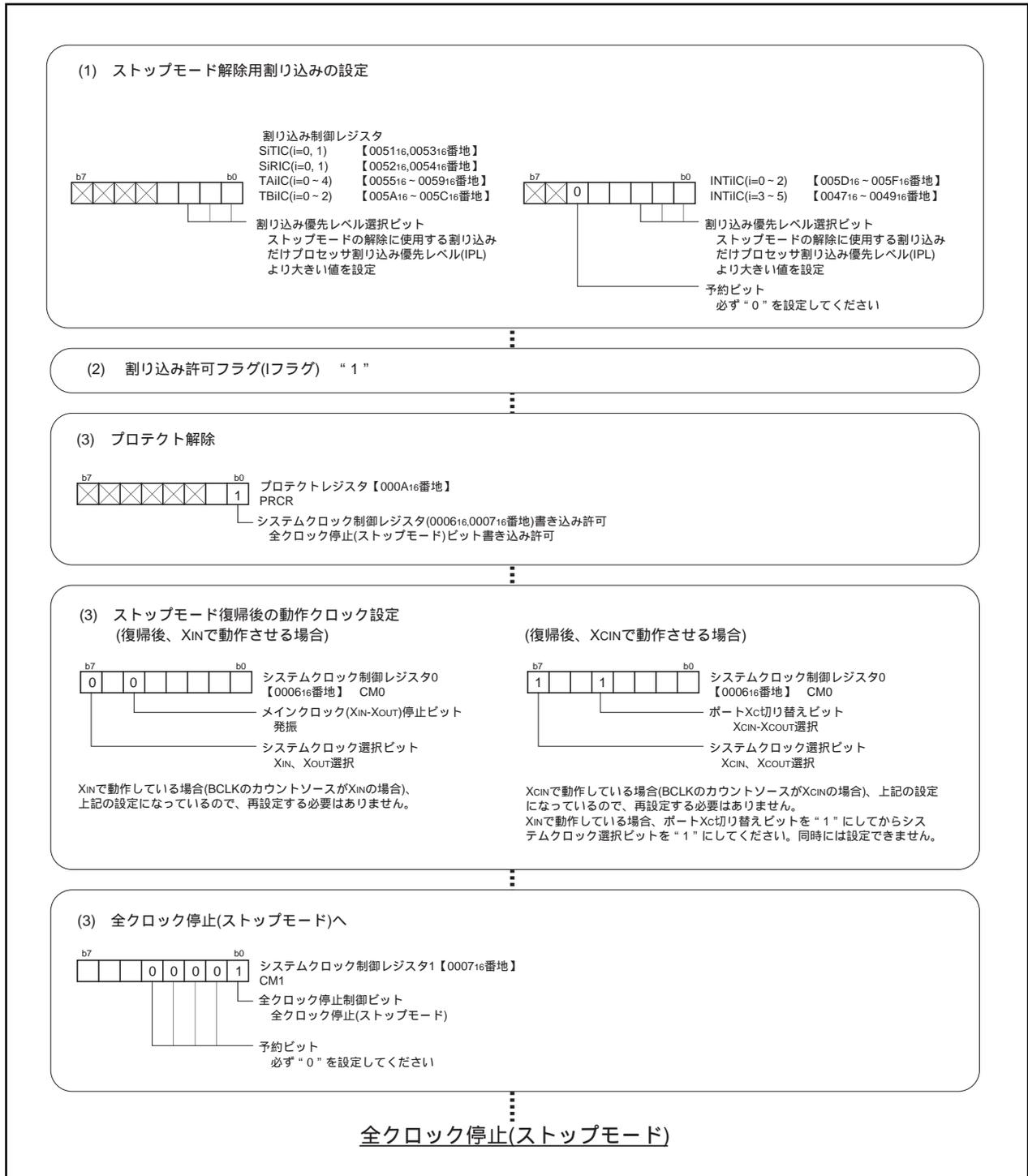


図2.14.5. ストップモードへ移行するための設定例

2.14.3 ウェイトモードへの設定

ウェイトモードへ移行するための設定と動作について説明します。

- 動作
- (1) ウェイトモードから復帰する割り込みを許可します。
 - (2) 割り込み許可フラグ(Iフラグ)を“1”にします。
 - (3) プロテクトを解除して、システムクロック制御レジスタの内容を変更します。
 - (4) WAIT命令を実行します。

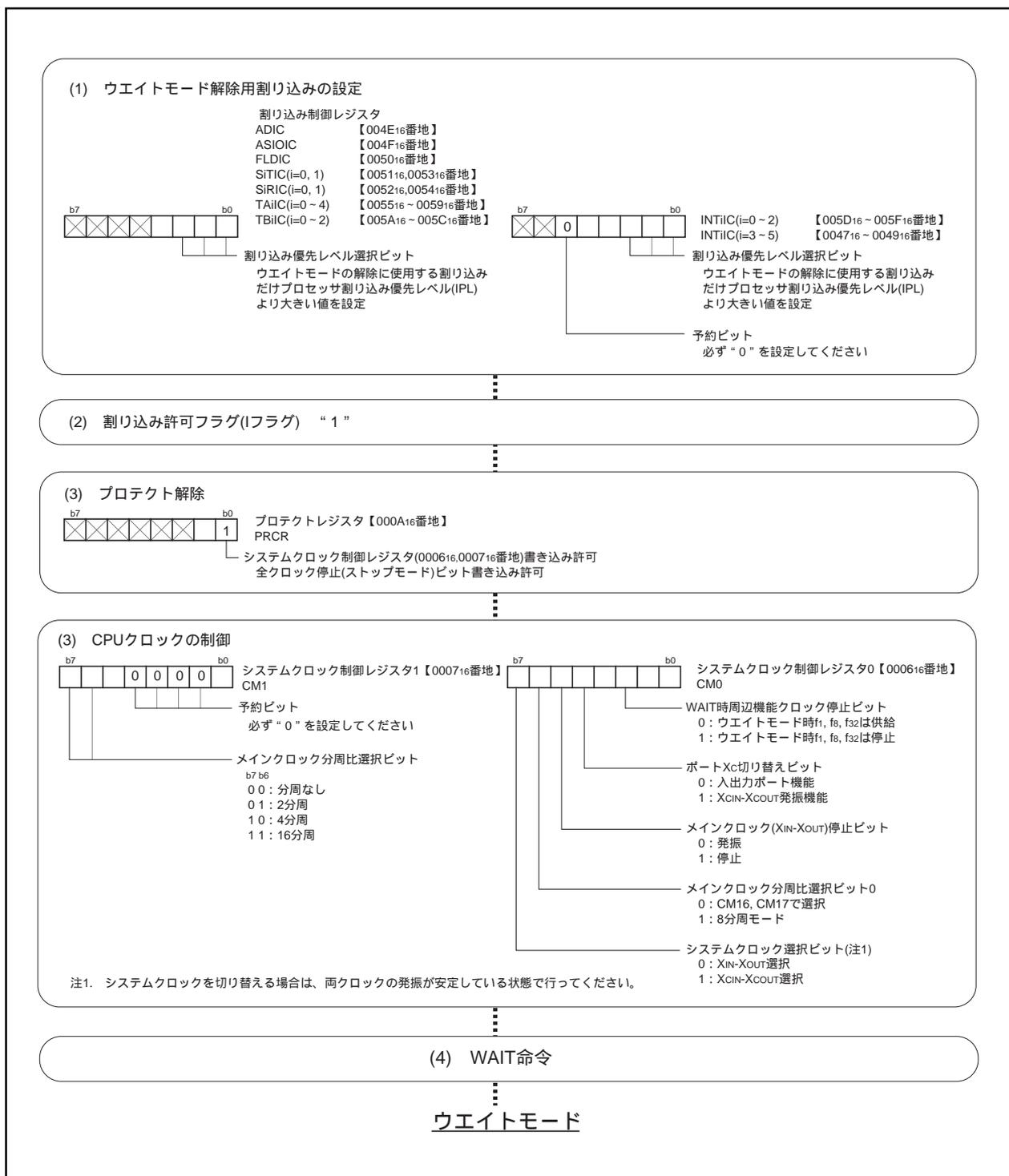


図2.14.6. ウェイトモードへ移行するための設定例

2.14.4 パワーコントロールの注意事項

- 内 容
- (1) ストップモードからハードウェアリセットによって復帰する場合、メインクロックの発振が十分に安定するまで、リセット端子を“L”レベルにする必要があります。
 - (2) ウェイトモードおよびストップモードに移行する場合、命令キューは、WAIT命令および全クロック停止ビットを“1”にする命令から4バイト先読みしてプログラムが停止します。したがってWAIT命令および全クロック停止ビットを“1”にする命令の後にはNOPを最低4つ入れてください。
 - (3) BCLKのカウントソースをXINからXCIN、XCINからXINに切り替えるとき、切り替え先のクロックは安定して発振している必要があります。ソフトウェアにて発振が安定するまで待ち時間を取ってから移るようにしてください。
 - (4) 消費電力を小さくするためのポイント
消費電力を小さくするため、ポイントを示します。システム設計やプログラムを作成するときに参考にしてください。

ポート

ウェイトモード、ストップモードに移行してもプログラマブル入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。フローティングになる入力ポートは貫通電流が流れます。ウェイトモード、ストップモードに移行するとき、不要なポートは入力に設定し、安定した電位に固定してください。

A-D変換器

VREF端子には、常時、電流が流れ込みます。ウェイトモード、ストップモードに移行する場合、Vref接続ビットを“0”にしてVREFに電流が流れ込まないようにしてください。

D-A変換器

ウェイトモード、ストップモードに移行してもD-Aの状態は保持します。D-A変換器の出力は禁止して、プログラマブル入出力ポートの処理をしてください。

周辺機能の停止

ウェイトモード時にWAIT時周辺機能クロック停止ビットで、不要な周辺機能を停止させてください。

発振駆動能力の切り替え

発振が安定している場合、駆動能力を“LOW”にしてください。

外部クロック

CPUのクロックに外部クロック入力を使用している場合、メインクロック停止ビットを“1”にしてください。メインクロック停止ビットを“1”にすることでXOUT端子が動作しなくなり、消費電流が小さくなります(外部クロック入力を使用している場合、メインクロック停止ビットの内容にかかわらず、クロックは入力されます)。

2.15 プログラマブル入出力ポート

2.15.1 概要

プログラマブル入出力ポートは48本、高耐圧出力ポートは40本あります。各入出力端子は、内蔵周辺機能の入出力端子と兼用になっています。

各ポートは、入出力の方向を決定する方向レジスタとデータの入出力を行うポートレジスタをもちます。さらに4ビット単位でプルアップを行うプルアップ制御レジスタをもちます。P2、P3、P40～P43は高耐圧Pchオープンドレイン出力でプルアップ抵抗は内蔵していません。

プログラマブル入出力ポートの概要について説明します。

ポートレジスタへの書き込み

方向レジスタを出力に設定しているとき、ポートレジスタに書き込めば、それぞれの端子から書き込んだ値のレベルを出力します。出力のレベルは、CMOS出力、およびPチャンネルオープンドレイン出力です。なお、プルダウン抵抗内蔵ポートの“L”レベルは、VEE端子への印加電圧です。方向レジスタを入力に設定しているとき、ポートレジスタに書き込めば、ポートレジスタには書き込まれませんが、それぞれの端子には出力されません。出力のレベルは、フローティングのままです。

ポートレジスタからの読み込み

方向レジスタを出力に設定しているとき、ポートレジスタから読み込めば、端子の内容ではなくポートレジスタの内容を読み込みます。なお、FLDコントローラ使用時は、FLD出力が読み込まれます。方向レジスタを入力に設定しているとき、ポートレジスタから読み込みを行えば、端子の内容を読み込みます。

高耐圧出力専用ポート

出力専用ポートは、P0～P2、P5、P6の40本です。

すべてのポートは、高耐圧Pチャンネルオープンドレインで構成しています。また、P2以外は、プルダウン抵抗が内蔵されています。

プルアップ設定

プルアップ制御ビットによって4ビット単位でプルアップあり/なしを設定できます。プルアップは、選択された4ビットの中で方向レジスタを入力に設定しているポートに対してだけ有効になります。方向レジスタを出力に設定しているポートはプルアップされません。

XCIN/XCOUTを設定している場合や、A-D入力でポートを使用する場合は、該当する端子のプルアップを設定しないでください。

内蔵周辺装置の入出力機能

表2.15.1に各ポートと内蔵周辺装置の入出力の対応を示します。

表2.15.1. 各ポートと内蔵周辺装置の入出力の対応

ポート	内蔵周辺装置の入出力端子
P0 ~ P3	FLDコントローラ出力端子
P40 ~ P43	FLDコントローラ出力端子
P44 ~ P47	FLDコントローラ出力端子/UART0の入出力端子
P5, P6	FLDコントローラ出力端子
P70 ~ P72	タイマB0 ~ B2の入力端子
P73	タイマA0の入出力端子
P74 ~ P77	タイマA1 ~ A4の入力端子/UART1の入出力端子
P80 ~ P85	外部割り込みの端子
P86, P87	サブクロック発振回路の入力端子
P90 ~ P95	自動転送付きシリアルI/Oの端子
P96	D-A変換器の出力端子/自動転送付きシリアルI/Oのクロック入出力端子
P97	D-A変換器の出力端子/XINの分周クロック出力端子/ FLDコントローラのDIM信号出力端子
P100 ~ P107	A-D変換器の入力端子

未使用端子の処理例

未使用端子の処理例を以下に示します。

ここで説明する例は一例です。ご使用に際しては、ユーザアプリケーションに対応して適宜変更、および十分な評価をしてください。

(1) シングルチップモード時

表2.15.2. シングルチップモード時の未使用端子の処理例

端子名	処理内容
ポートP3, P4, P7 ~ P10	入力モードに設定し、端子ごとに抵抗を介してVssまたはVccに接続、あるいは出力モードに設定し開放(注1)
ポートP0 ~ P2, P5, P6	開放
XOUT(注2), VEE	開放
AVSS, VREF	Vssに接続

注1. 出力モードに設定し、開放する場合、リセットからソフトウェアによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。
また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合は考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。

注2. XIN端子に外部クロックを入力しているとき。

プログラマブル入出力ポート関連レジスタ

図2.15.1にプログラマブル入出力ポート関連レジスタのメモリ配置図を、図2.15.2～図2.15.4にプログラマブル入出力ポート関連レジスタの構成を示します。

0359 ₁₆	P2ポートFLD/ポート切り替えレジスタ(P2FPR)
035A ₁₆	P3ポートFLD/ポート切り替えレジスタ(P3FPR)
035B ₁₆	P4ポートFLD/ポート切り替えレジスタ(P4FPR)
035C ₁₆	P5ディジット出力設定切り替えレジスタ(P5DOR)
035D ₁₆	P6ディジット出力設定切り替えレジスタ(P6DOR)
	~
03E0 ₁₆	ポートP0(P0)
03E1 ₁₆	ポートP1(P1)
03E2 ₁₆	
03E3 ₁₆	
03E4 ₁₆	ポートP2(P2)
03E5 ₁₆	ポートP3(P3)
03E6 ₁₆	
03E7 ₁₆	ポートP3方向レジスタ(PD3)
03E8 ₁₆	ポートP4(P4)
03E9 ₁₆	ポートP5(P5)
03EA ₁₆	ポートP4方向レジスタ(PD4)
03EB ₁₆	
03EC ₁₆	ポートP6(P6)
03ED ₁₆	ポートP7(P7)
03EE ₁₆	
03EF ₁₆	ポートP7方向レジスタ(PD7)
03F0 ₁₆	ポートP8(P8)
03F1 ₁₆	ポートP9(P9)
03F2 ₁₆	ポートP8方向レジスタ(PD8)
03F3 ₁₆	ポートP9方向レジスタ(PD9)
03F4 ₁₆	ポートP10(P10)
03F5 ₁₆	
03F6 ₁₆	ポートP10方向レジスタ(PD10)
	~
03FC ₁₆	
03FD ₁₆	プルアップ制御レジスタ 0 (PUR0)
03FE ₁₆	プルアップ制御レジスタ 1 (PUR1)
03FF ₁₆	

図2.15.1. プログラマブル入出力ポート関連レジスタのメモリ配置図

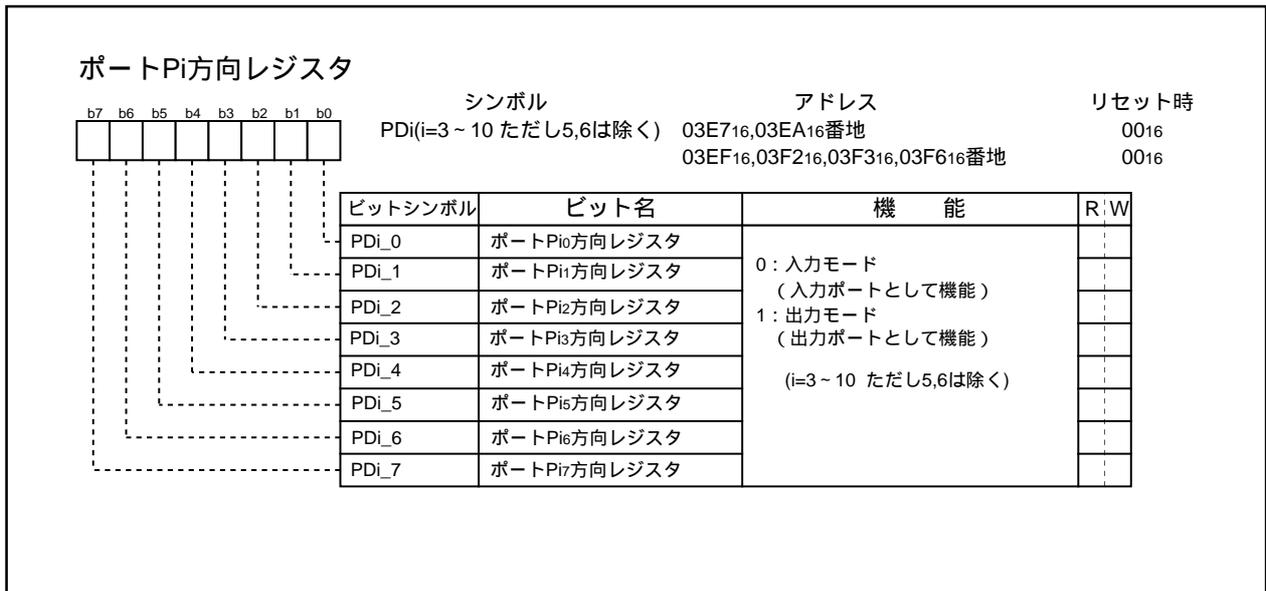


図2.15.2. プログラマブル入出力ポート関連レジスタの構成(1)

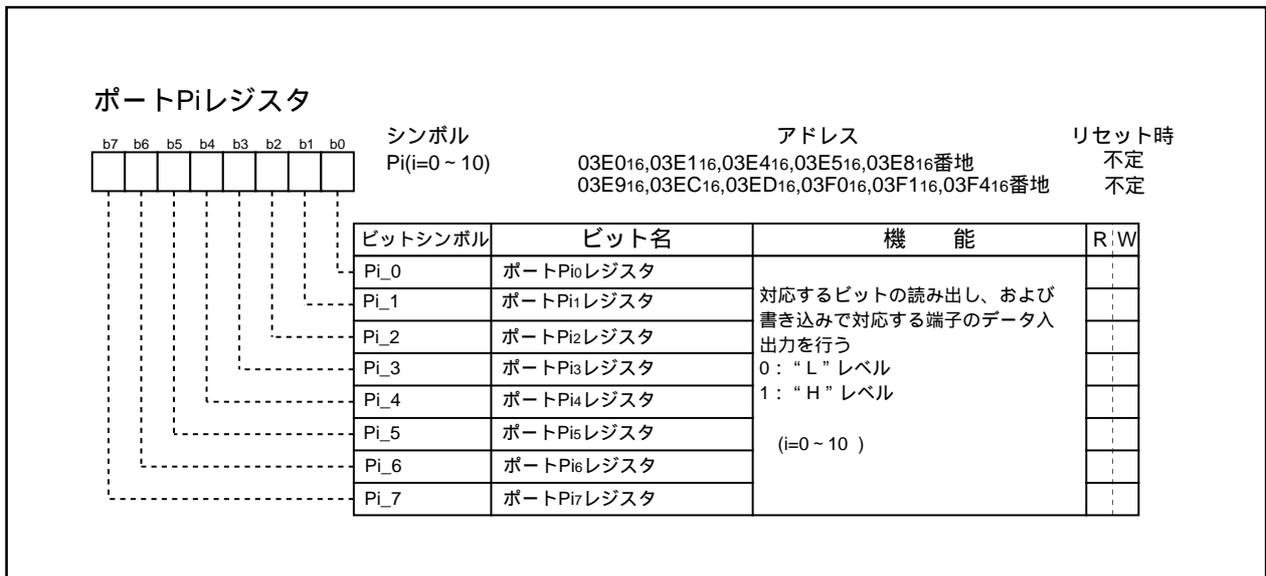


図2.15.3. プログラマブル入出力ポート関連レジスタの構成(2)

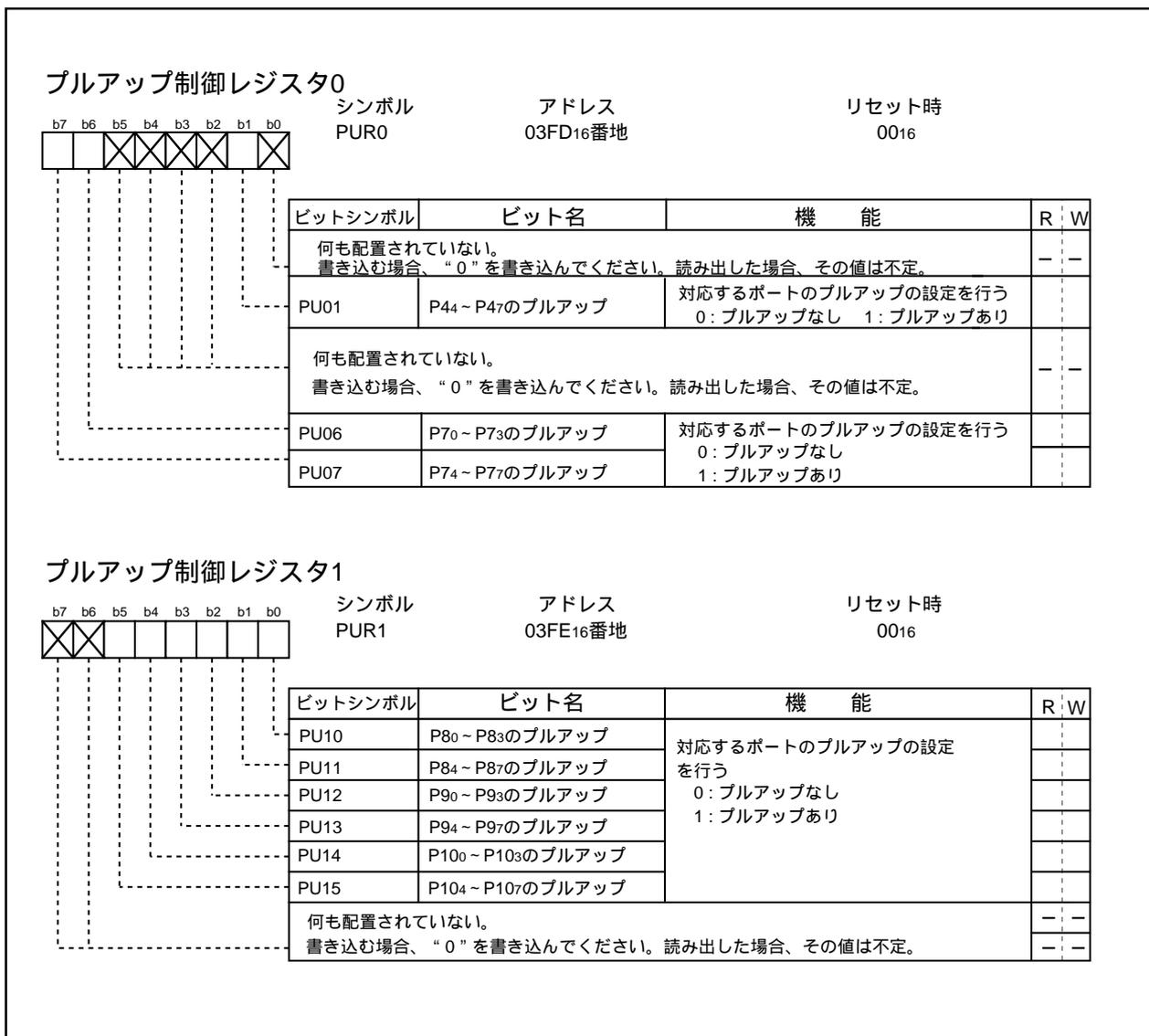


図2.15.4. プログラマブル入出力ポート関連レジスタの構成(3)

第 3 章

周辺機能の応用例

この章では、M30218に内蔵された周辺機能を使用した応用事例を紹介します。なお、ここで示す応用事例は一例です。ご使用に際しては、適宜変更、および十分な評価を行ってください。基本的な使い方については、「第2章 周辺機能の使い方」を参照してください。

この章で掲載している応用例を示します。

3.1	長い周期のタイマ	P386
3.2	周期およびデューティ可変のPWM出力.....	P390
3.3	ディレードワンショット出力	P394
3.4	ブザーの出力	P398
3.5	外部割り込み端子が不足したときの対処方法	P400
3.6	メモリからメモリのDMA転送.....	P402
3.7	ストップモードを使用したパワーコントロール	P406
3.8	ウェイトモードを使用したパワーコントロール	P410

レイアウトの都合上、このページは白紙です。

タイマAの応用例

3.1 長い周期のタイマ

概要 タイマAを2本接続して16ビットプリスケアラ付き16ビットタイマを実現します。その動作タイミングを図3.1.1に、接続図を図3.1.2に、設定手順を図3.1.3、図3.1.4に示します。

使用する周辺機能は次のとおりです。

タイマAのタイマモード

タイマAのイベントカウンタモード

- 仕様**
- (1) タイマA0はタイマモードに、タイマA1はイベントカウンタモードに設定します。
 - (2) タイマA0でカウントソース f_1 をカウントして1msを作成し、タイマA1でタイマA0をカウントして1秒を作成します。
 - (3) X_{IN}には10MHzの発振子を接続します。

- 動作**
- (1) カウント開始フラグを“1”にすると、カウンタはカウント動作を開始します。タイマA0のカウンタは、カウントソース f_1 をダウンカウントします。
 - (2) タイマA0のカウンタがアンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。このとき、タイマA0割り込み要求ビットが“1”になります。タイマA1のカウンタはタイマA0のアンダフローをダウンカウントします。
 - (3) タイマA1のカウンタがアンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。このとき、タイマA1割り込み要求ビットが“1”になります。

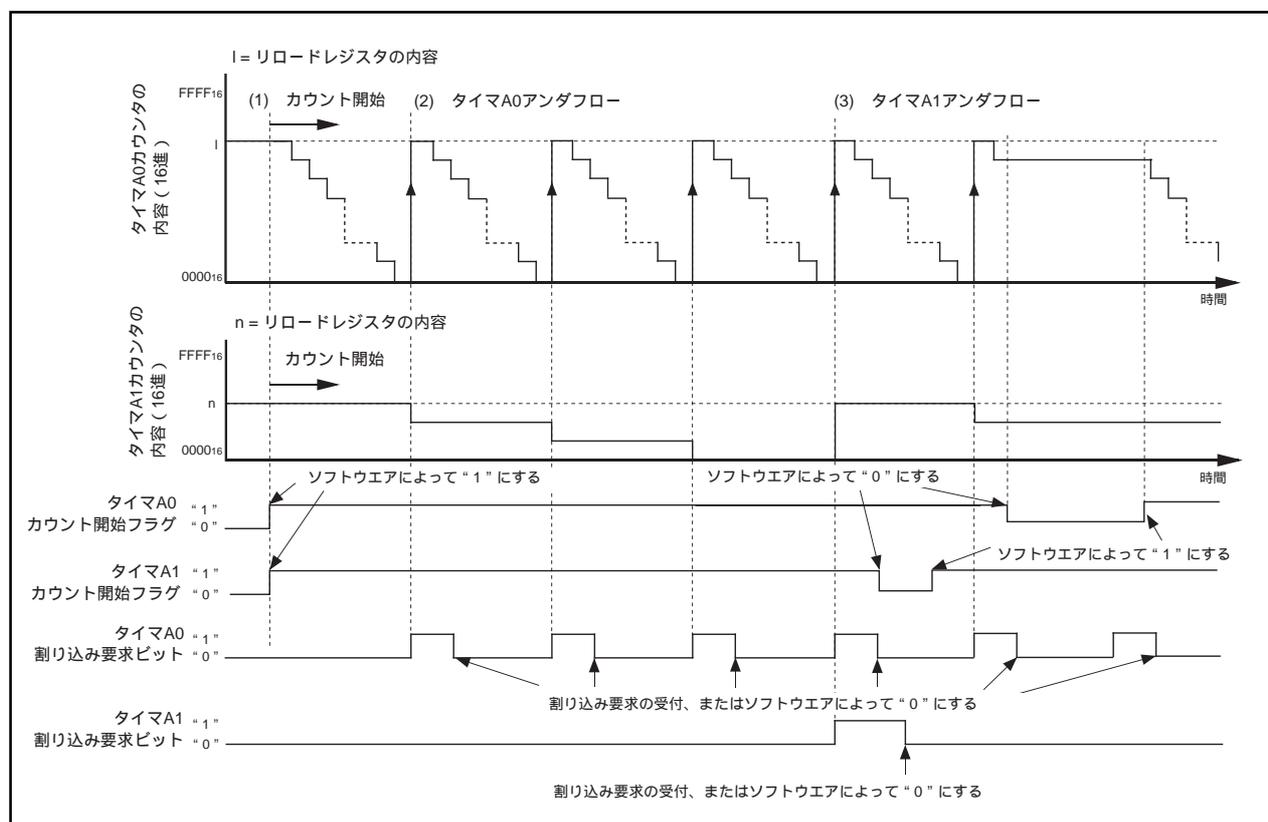


図3.1.1. 長い周期のタイマの動作タイミング

タイマAの応用例

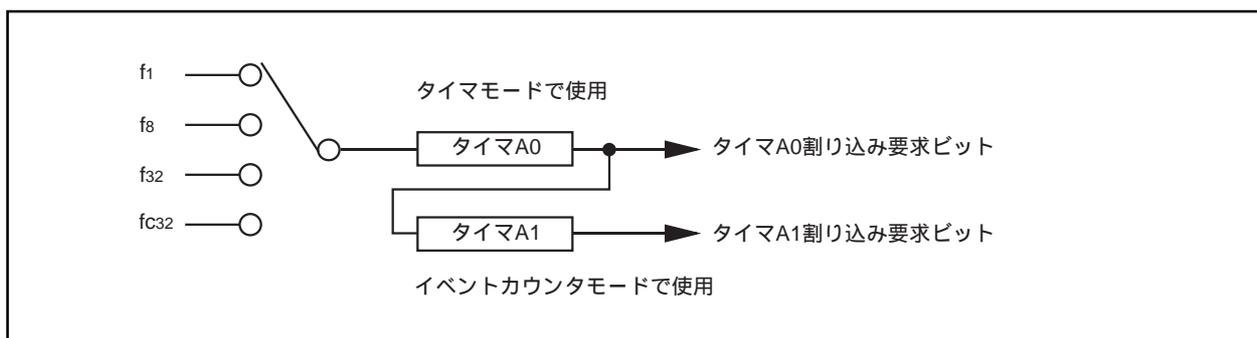
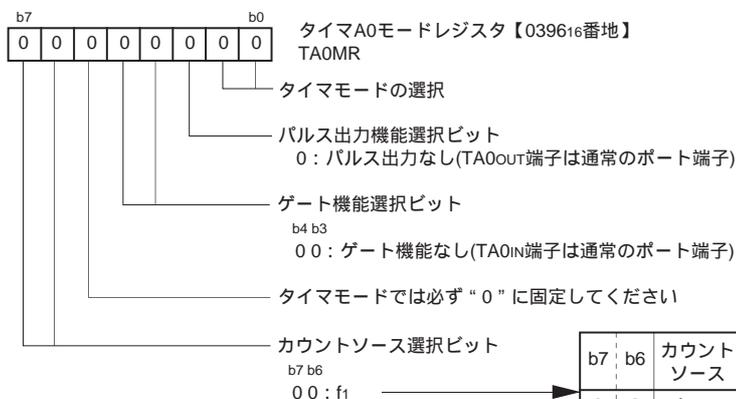


図3.1.2. 長い周期のタイマのタイマ接続図

タイマAの応用例

タイマA0の設定

タイマモードの選択および各機能の選択

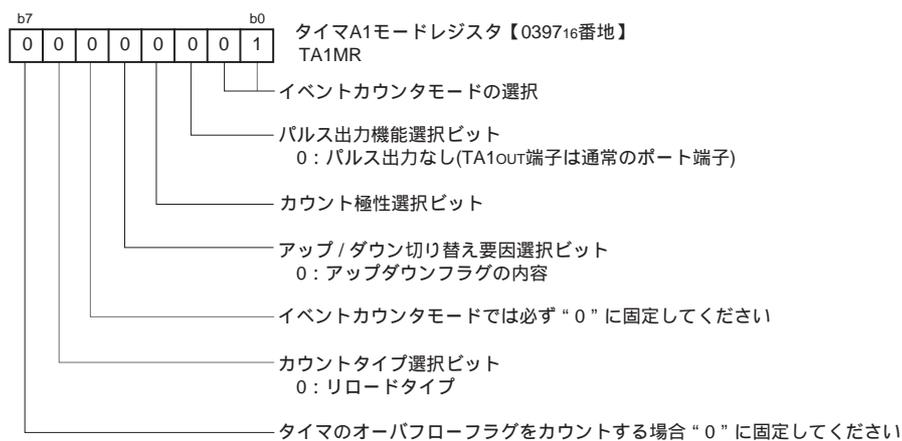


分周比の設定



タイマA1の設定

イベントカウンタモードの選択および各機能の選択



次ページへ続く

図3.1.3. 長い周期のタイマ関連レジスタの設定手順(1)

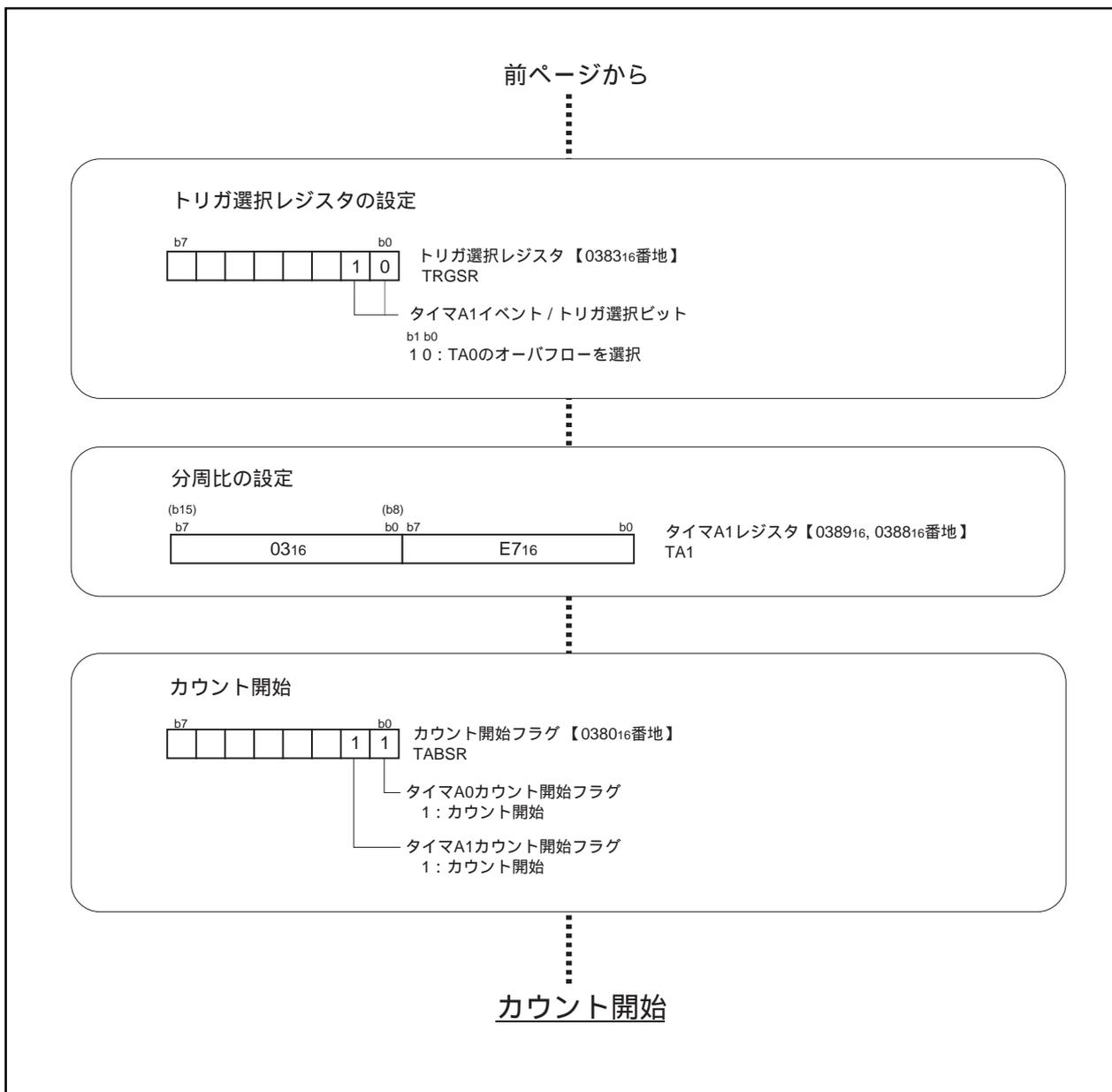


図3.1.4. 長い周期のタイマ関連レジスタの設定手順(2)

3.2 周期およびデューティ - 可変のPWM出力

概要 タイマAを2本使用し、周期およびデューティ - 可変のPWM出力を行います。その動作タイミングを図3.2.1に、接続図を図3.2.2に、設定手順を図3.2.3、図3.2.4に示します。

使用する周辺機能は次のとおりです。

タイマAのタイマモード

タイマAのワンショットタイマモード

仕様 (1) タイマA0はタイマモードに、タイマA1はパルス出力機能付きワンショットタイマモードに設定します。

(2) タイマA0にはPWMの周期1msを設定します。タイマA1にはPWMの“H”幅500 μ sを設定します。タイマA0、タイマA1ともカウントソースには f_1 を使用します。

(3) XINには10MHzの発振子を接続します。

動作 (1) カウント開始フラグを“1”にすると、タイマA0のカウンタはカウント動作を開始します。タイマA0のカウンタは、カウントソース f_1 をダウンカウントします。

(2) タイマA0のカウンタがアンダフローすると、リロードレジスタの内容をリロードしてカウントを続けます。このとき、タイマA0割り込み要求ビットは“1”になります。

(3) タイマA0のアンダフローをトリガにしてタイマA1のカウンタはカウント動作を開始します。タイマA1のカウンタがカウントを開始するとTA1OUT端子の出力レベルは“H”になります。

(4) タイマA1のカウンタの値が“0000₁₆”になるとき、TA1OUT端子の出力レベルは“L”になり、カウンタはリロードレジスタの内容をリロードしてカウントを停止します。同時にタイマA1割り込み要求ビットが“1”になります。

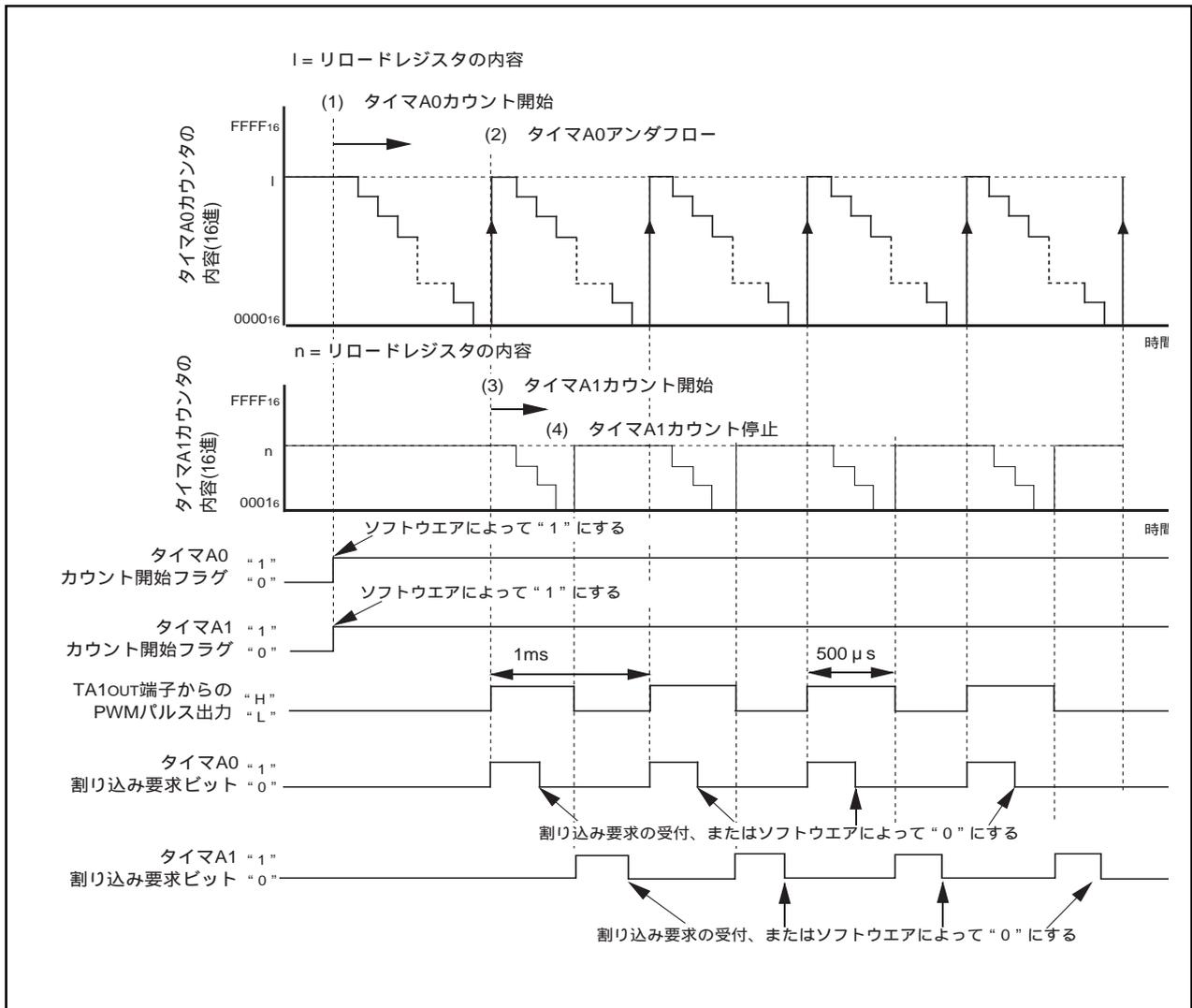


図3.2.1. 周期およびデューティ可変のPWM出力の動作タイミング

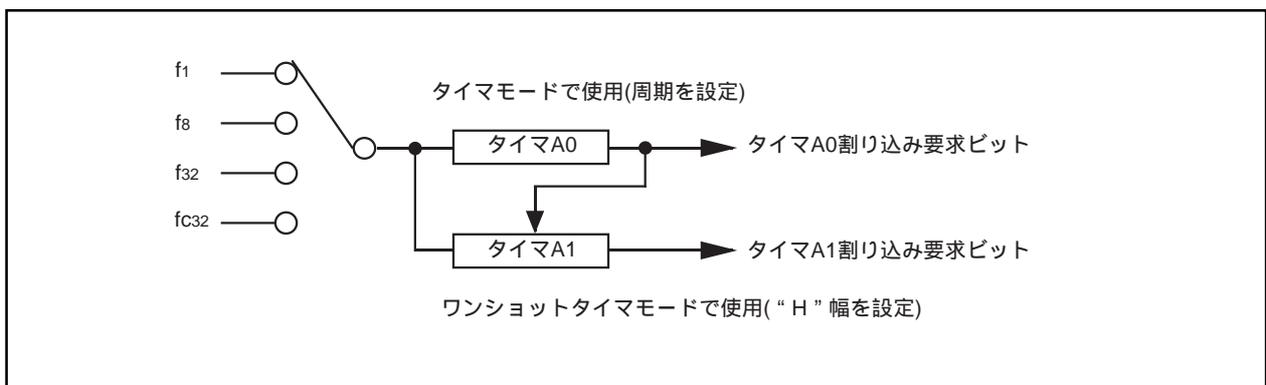


図3.2.2. 周期およびデューティ可変のPWM出力のタイマ接続図

タイマAの応用例

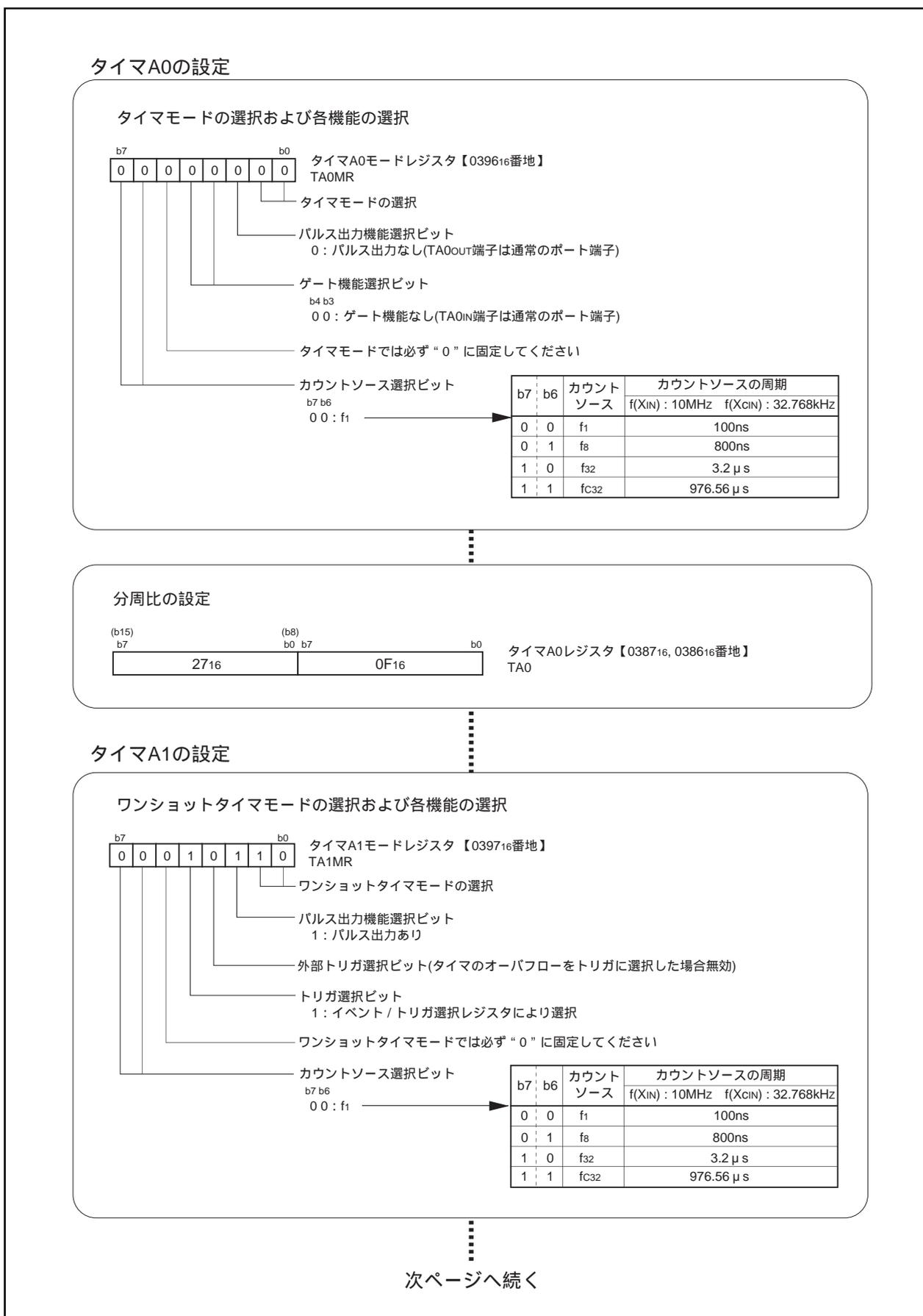


図3.2.3. 周期およびデューティ可変のPWM出力関連レジスタの設定手順(1)

3.3 デイレードワンショット出力

概要 外部トリガを入力してから一定時間経過後に1度だけパルス出力を行います。その動作タイミングを図3.3.1に、接続図を図3.3.2に、設定手順を図3.3.3、図3.3.4に示します。

使用する周辺機能は次のとおりです。

タイマAのワンショットタイマモード

仕様 (1) タイマA0はワンショットタイマモードに、タイマA1はパルス出力機能付きワンショットタイマモードに設定します。

(2) タイマA0にパルスが出るまでの時間1msを、タイマA1にパルス幅50 μ sを設定します。タイマA0、タイマA1ともカウントソースにはf₁を使用します。

(3) X_{IN}には10MHzの発振子を接続します。

動作 (1) トリガ選択ビットを“1”、カウント開始フラグを“1”にすると、タイマA0のカウンタはカウント許可状態になります。

(2) TA0_{IN}端子に外部トリガ選択ビットで選択した有効エッジが入力されるとカウンタはカウントを開始します。タイマA0のカウンタは、カウントソースf₁をダウンカウントします。

(3) タイマA0のカウンタが“0000₁₆”になるとき、カウンタはリロードレジスタの内容をリロードしてカウントを停止します。同時に、タイマA0割り込み要求ビットが“1”になります。

(4) タイマA0のアンダフローをトリガにしてタイマA1のカウンタはカウント動作を開始します。タイマA1がカウントを開始すると、TA1_{OUT}端子の出力レベルは“H”になります。

(5) タイマA1のカウンタが“0000₁₆”になるとき、TA1_{OUT}端子の出力レベルは“L”になり、カウンタはリロードレジスタの内容をリロードしてカウントを停止します。同時にタイマA1割り込み要求ビットが“1”になります。

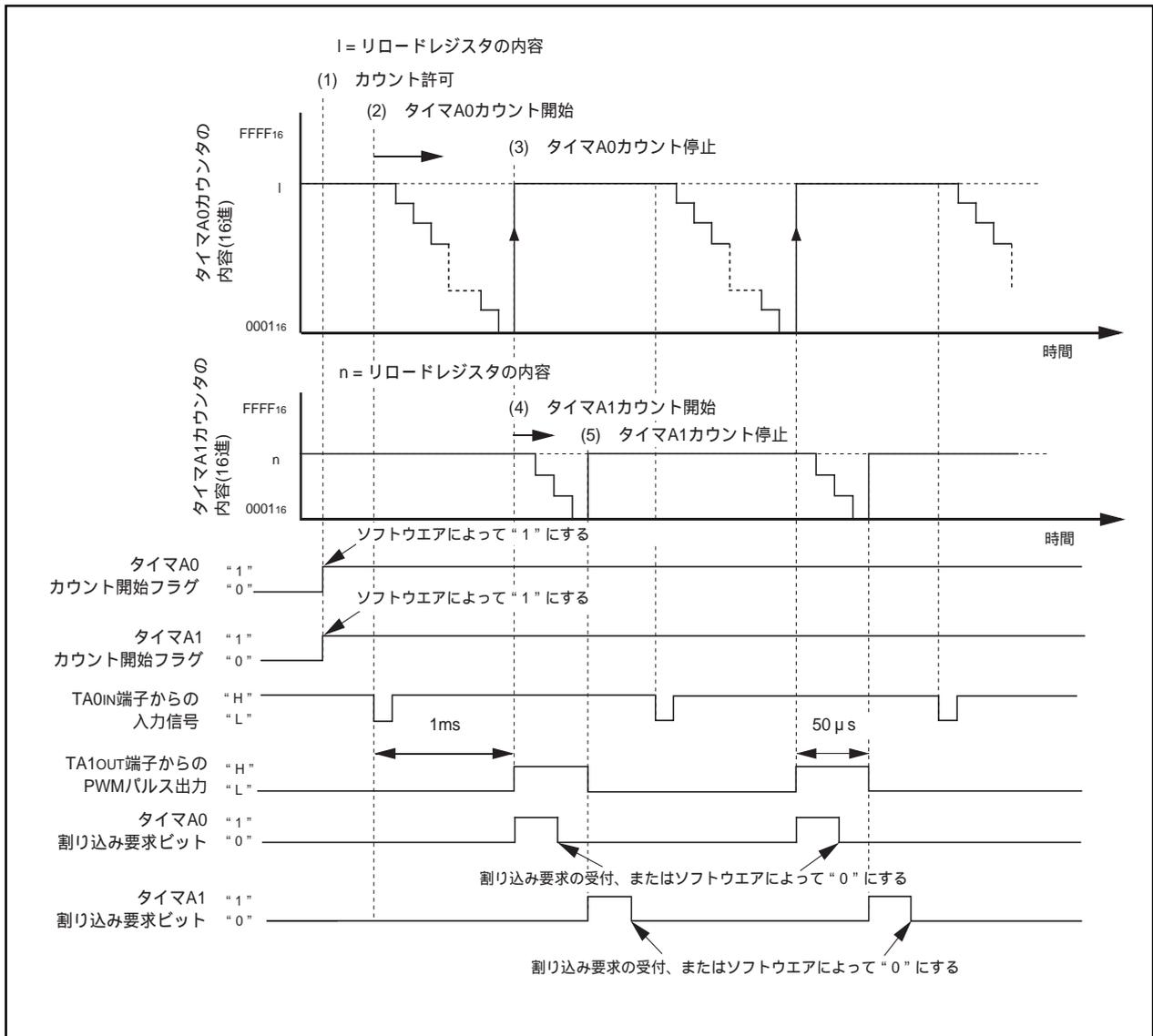


図3.3.1. デイレドワンショット出力の動作タイミング

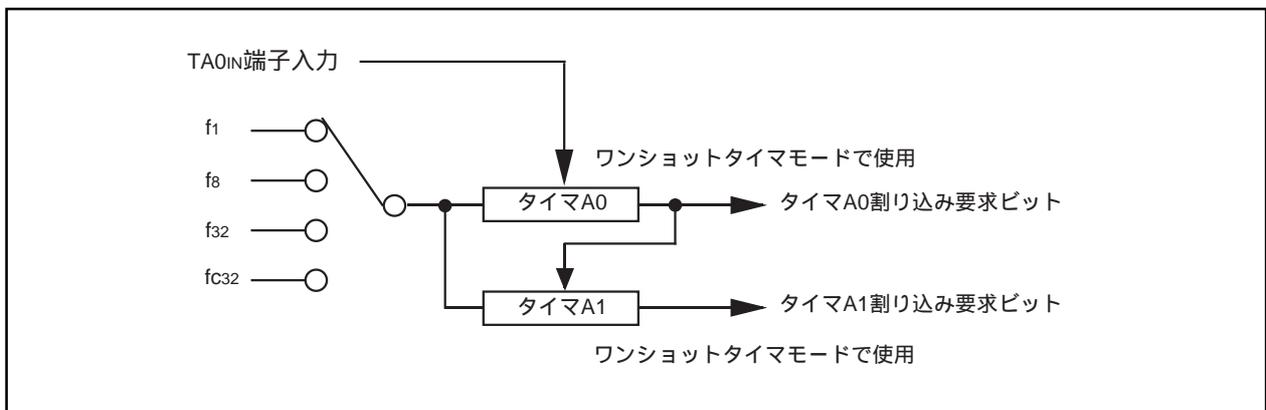


図3.3.2. デイレドワンショット出力のタイマ接続図

タイマA0の設定

ワンショットタイマモードの選択および各機能の選択

タイマA0モードレジスタ【0396₁₆番地】
TA0MR

b7 b0
0 0 0 1 0 0 1 0

ワンショットタイマモードの選択
パルス出力機能選択ビット
0: パルス出力なし(TA0out端子は通常のポート端子)
外部トリガ選択ビット
0: TA0in端子の入力信号の立ち下がり
トリガ選択ビット
1: イベント/トリガ選択レジスタにより選択
ワンショットタイマモードでは必ず“0”に固定してください
カウントソース選択ビット
b7 b6
0 0: f₁

b7	b6	カウントソース	カウントソースの周期
0	0	f ₁	f(X _{IN}): 10MHz f(X _{CIN}): 32.768kHz 100ns
0	1	f ₈	800ns
1	0	f ₃₂	3.2 μs
1	1	f _{c32}	976.56 μs

ワンショット開始フラグの設定
(TA0のトリガにTA0in端子を選択)

ワンショット開始フラグ【0382₁₆番地】
ONSF

b7 b0
0 0 0 0 0 0 0 0

タイマA0イベント/トリガ選択ビット
b7 b6
0 0: TA0in端子の入力を選択(注1)

注1. 対応するポート方向レジスタは“0”にしてください。

遅延時間設定

(b15) (b8)
b7 b0 b7 b0

27₁₆ 10₁₆

タイマA0レジスタ【0387₁₆, 0386₁₆番地】
TA0

次ページへ続く

図3.3.3. ディレイドワンショット出力の関連レジスタの設定手順(1)

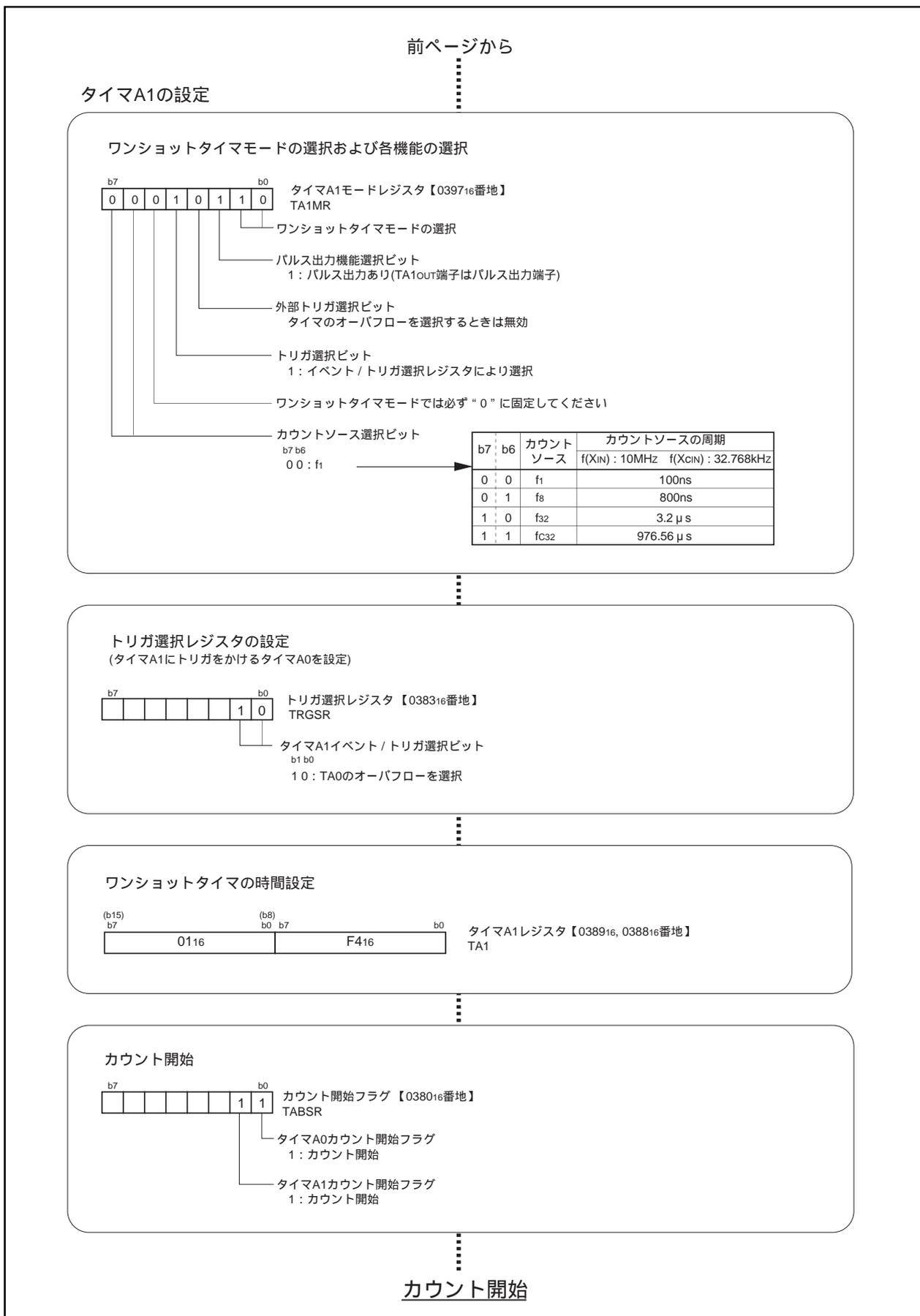


図3.3.4. ディレードワンショット出力の関連レジスタの設定手順(2)

タイマAの応用例

3.4 ブザーの出力

概要 タイマモードを使用してブザーを鳴らします。その動作タイミングを図3.4.1に、設定手順を図3.4.2に示します。

使用する周辺機能は次のとおりです。

タイマAのタイマモード パルス出力機能

- 仕様**
- (1) タイマA0を利用して2kHzのブザーを鳴らします。
 - (2) ポートにはプルアップ抵抗でプルアップします。ブザーがOFFのときは、ポートをハイインピーダンスにしてプルアップした電位に固定します。
 - (3) XINには10MHzの発振子を接続します。

- 動作**
- (1) タイマA0のカウントを開始します。タイマA0は、割り込み禁止に設定します。
 - (2) パルス出力機能選択ビットを“パルス出力あり”としてパルスを開始します。P75は、TA0OUT端子となり2kHzのパルスを出力します。
 - (3) パルス出力機能選択ビットをパルスを出力なしとしてパルスの出力を停止します。P75は、入力端子となり端子の出力はハイインピーダンスになります。

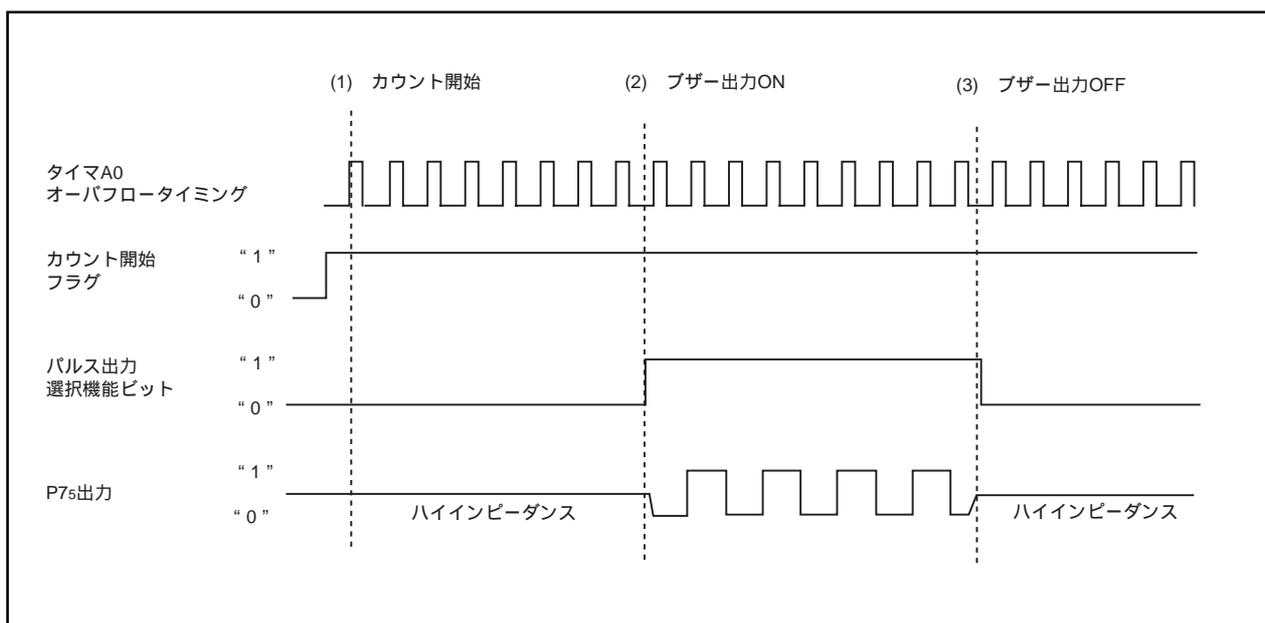


図3.4.1. ブザー出力の動作図

タイマAの応用例

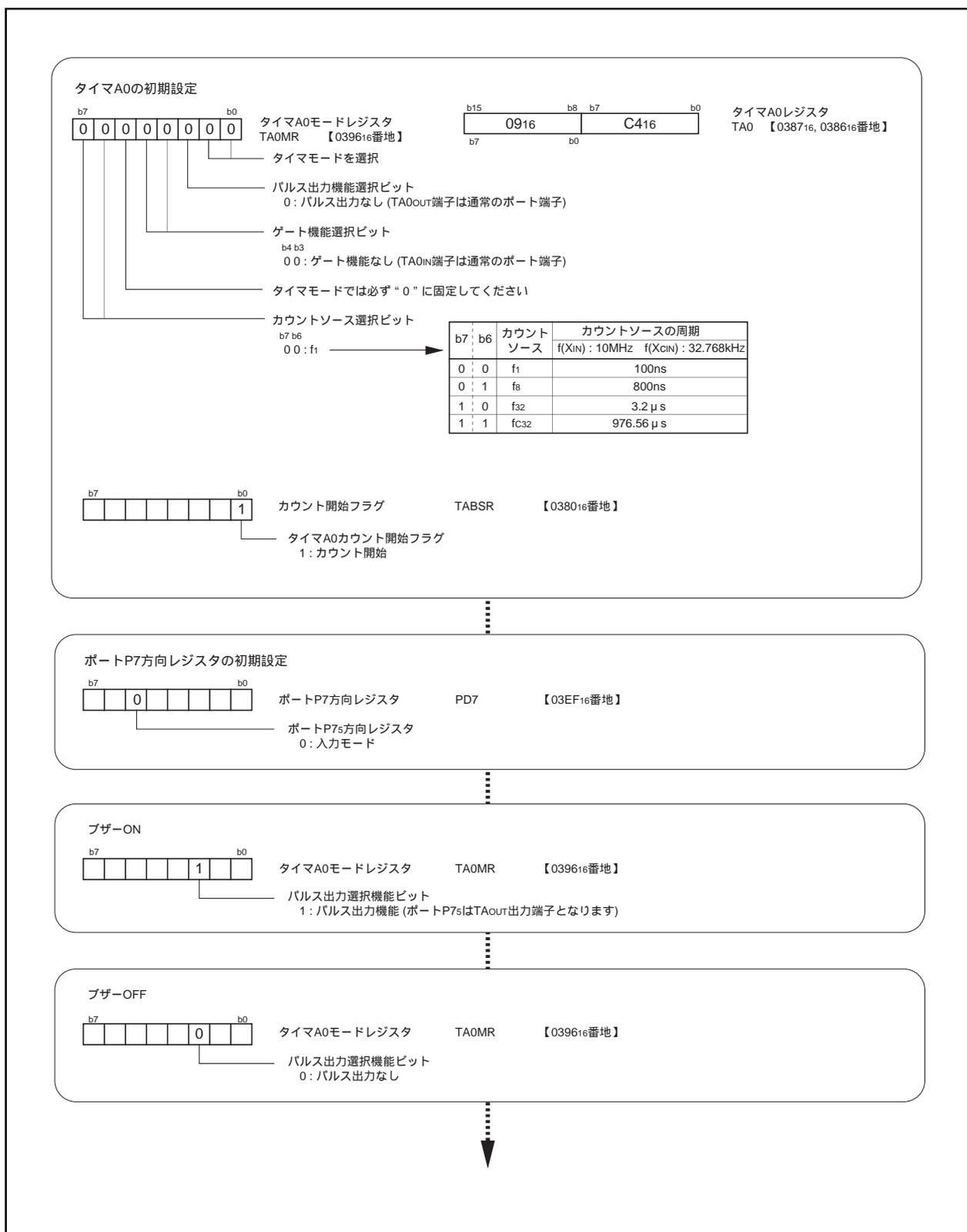


図3.4.2. ブザー出力の設定手順

3.5 外部割り込み端子が不足したときの対処方法

概要 外部割り込み端子が不足したときの対処例を示します。その設定手順を図3.5.1に示します。使用する周辺機能は次のとおりです。

タイマAのイベントカウントモード

仕様 (1) TA0IN端子に立ち下がりエッジを入力するとタイマA0割り込みが発生します。

動作 (1) タイマA0をイベントカウントモードにします。タイマ値は、“0”に設定します。タイマA0の割り込み許可レベルを設定します。

(2) TA0IN端子に立ち下がりエッジを入力するとタイマA0割り込みが発生します。

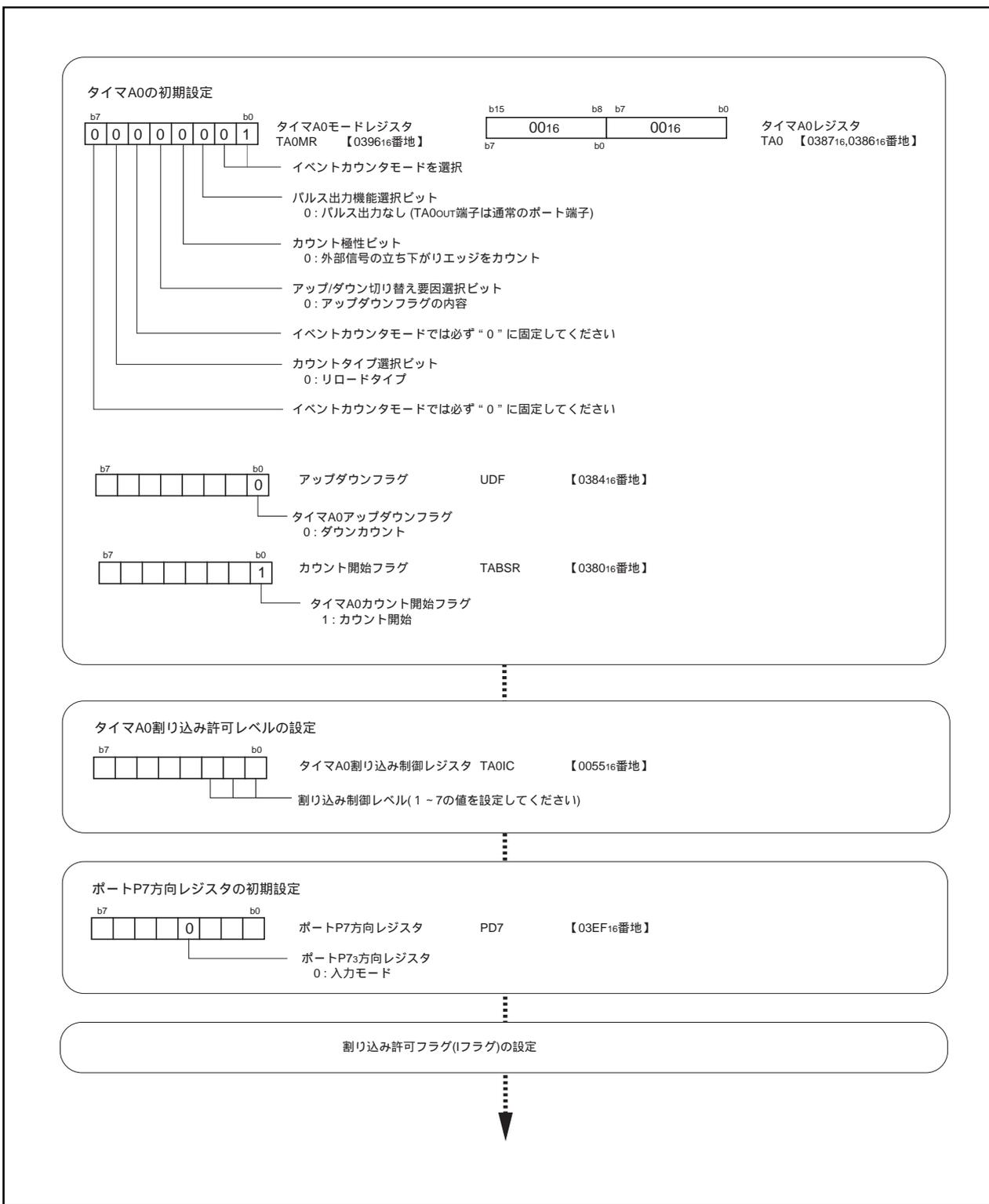


図3.5.1. 割り込み端子が不足したときの対処方法のレジスタ設定手順

3.6 メモリからメモリへのDMA転送例

概要 転送先のアドレスと転送元のアドレスを共に変えて、メモリからメモリへDMA転送を行います。このDMA転送は、2チャンネルのDMAに同時に転送要求が発生するとDMA0の転送を優先するという仕様を利用したものです。その動作タイミングを図3.6.1に、ブロック図を図3.6.2に、設定手順を図3.6.3、図3.6.4に示します。

使用する周辺機能は次のとおりです。

- タイマAのタイマモード
- DMAC 2チャンネル
- テンポラリRAM(0800₁₆番地) 1バイト

仕様 (1) F8000₁₆番地から128バイトのメモリの内容を04000₁₆番地から128バイトの領域へ転送します。転送は、タイマA0の割り込み要求が発生するたびにを行います。
(2) DMA0を転送元から内蔵メモリへの転送、DMA1を内蔵メモリから転送先への転送で使用します。

動作 (1) タイマA0の割り込み要求が発生します。DMA0の転送要求とDMA1の転送要求が同時に発生しますが、DMA0が優先して実行されます。
(2) 転送要求を受けてDMA0が転送元から内蔵メモリへ転送します。同時に、転送元アドレスがインクリメントします。
(3) 次にDMA1が転送要求を受けて内蔵メモリから転送先へ転送します。同時に、転送先アドレスがインクリメントします。

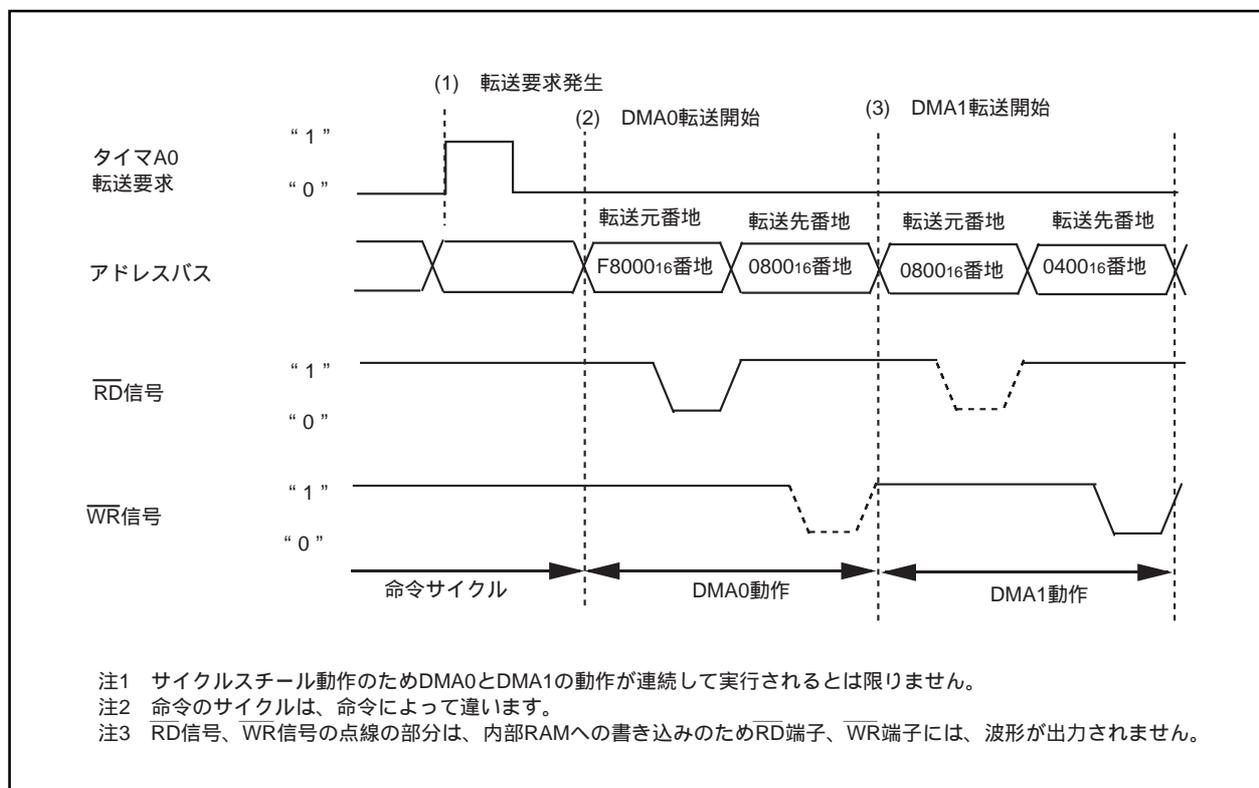


図3.6.1. メモリからメモリへのDMA転送動作タイミング

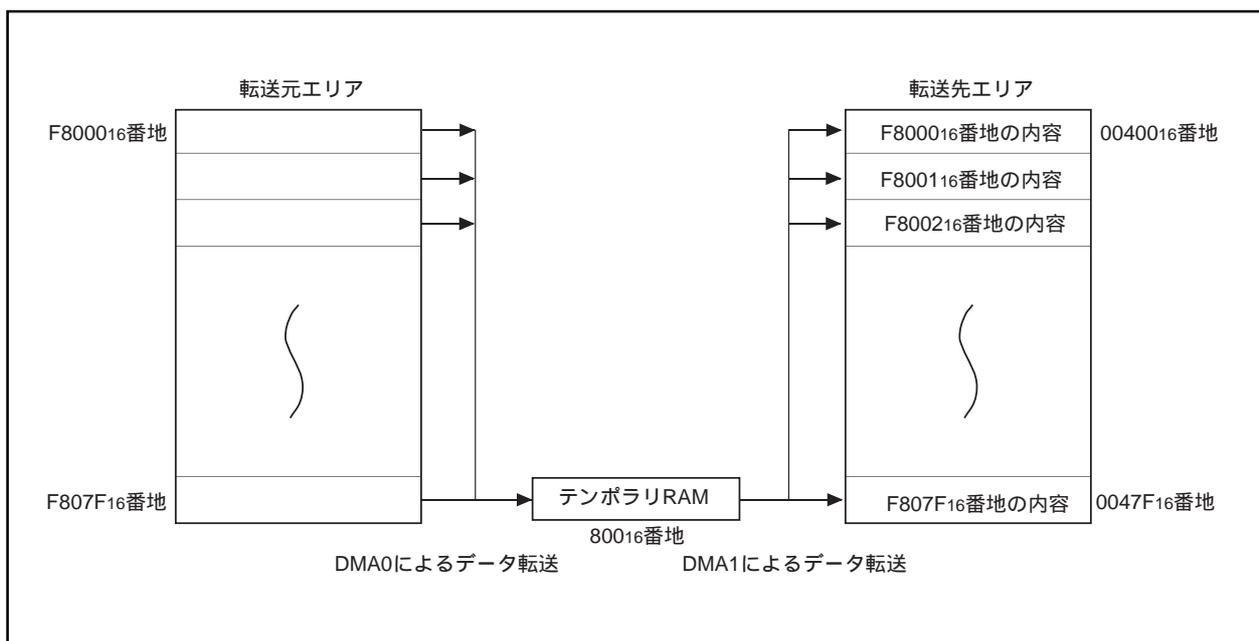


図3.6.2. メモリからメモリへのDMA転送のブロック図

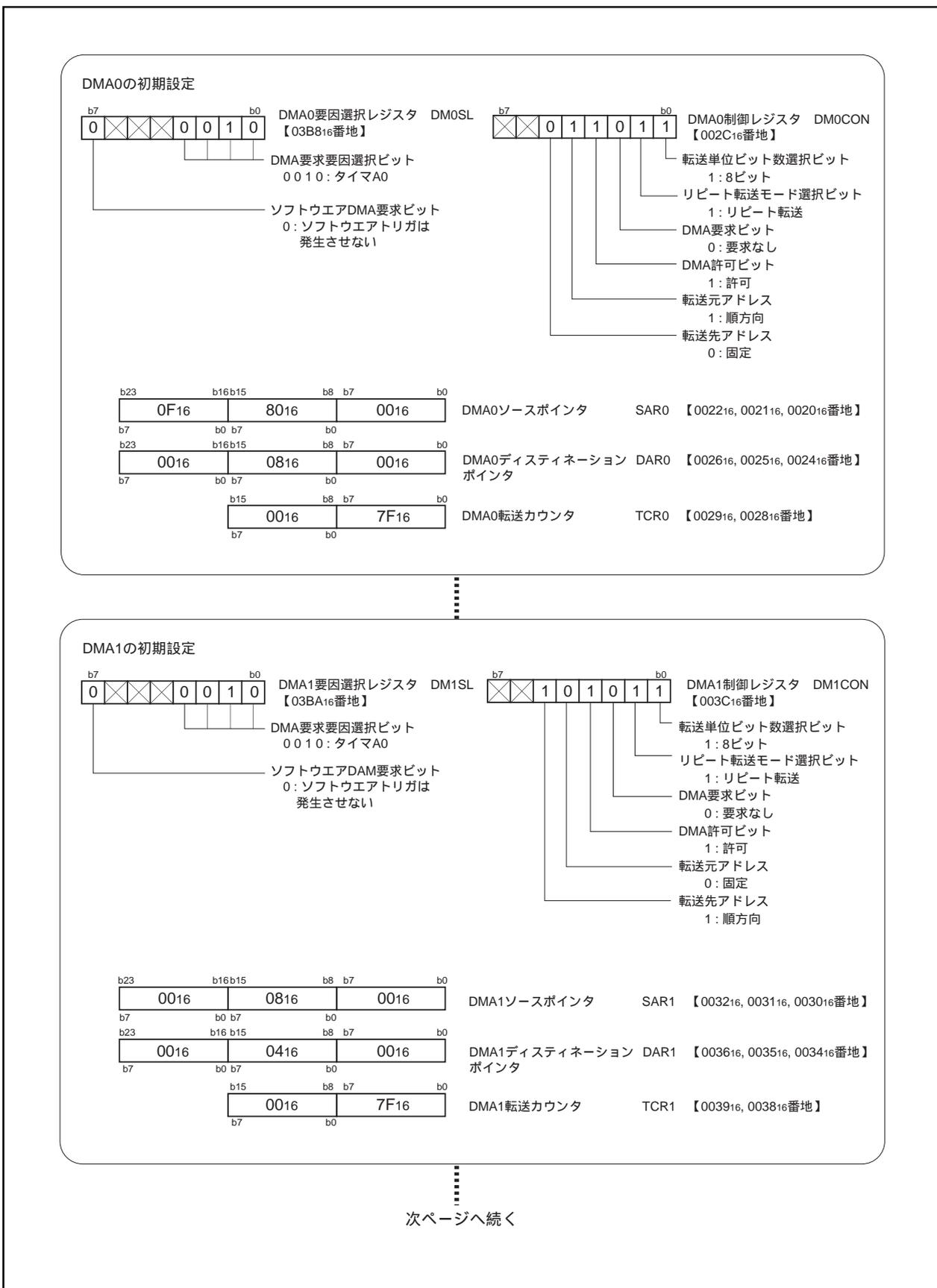


図3.6.3. メモリからメモリへのDMA転送関連レジスタの設定手順(1)

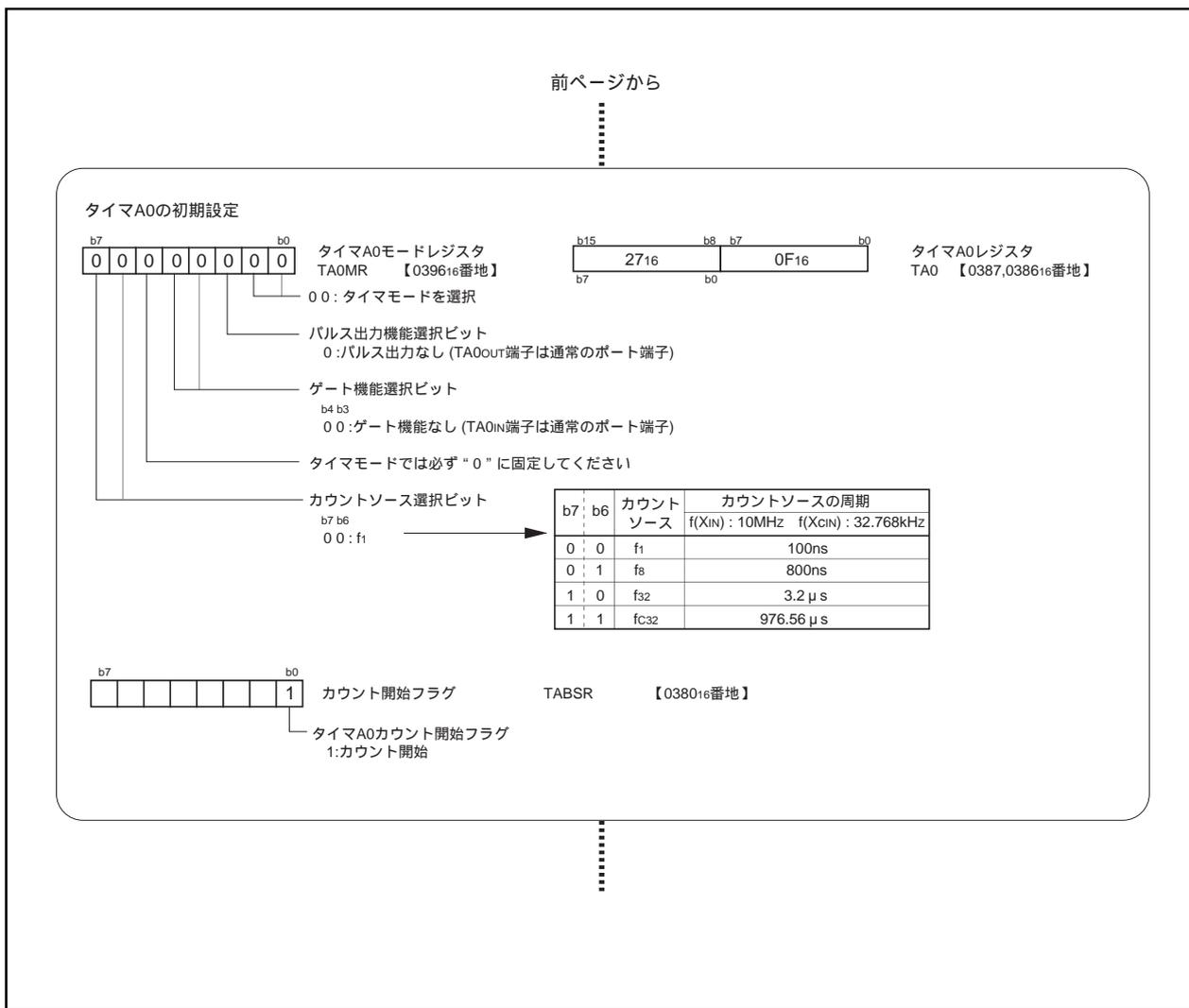


図3.6.4. メモリからメモリへのDMA転送関連レジスタの設定手順(2)

パワーコントロールの応用例

3.7 ストップモードを使用したパワーコントロール例

概要 ストップモードを使用してパワーコントロールを行います。その動作タイミングを図3.7.1に、回路例を図3.7.2に、設定手順を図3.7.3、図3.7.4に示します。

使用する周辺機能は次のとおりです。

INT5割り込み
ストップモード

仕様 (1) INT割り込みにはINT5を使用します。入力端子にはP85/INT5端子を使用します。
(2) INT5入力割り込み要求の発生で、ストップモードを解除します。

動作 (1) INT5入力割り込みを許可にして、P85端子はプルアップ機能を設定します。
(2) XINを停止させてストップモードへ移行します。このとき、INT5の割り込みは許可にしてください。
(3) P85端子に立ち下がりエッジ入力がありINT5割り込み要求が発生すると、ストップモードを解除します。INT5割り込み割り込み処理の中で停止させていた他の割り込み等の復帰処理を行います。

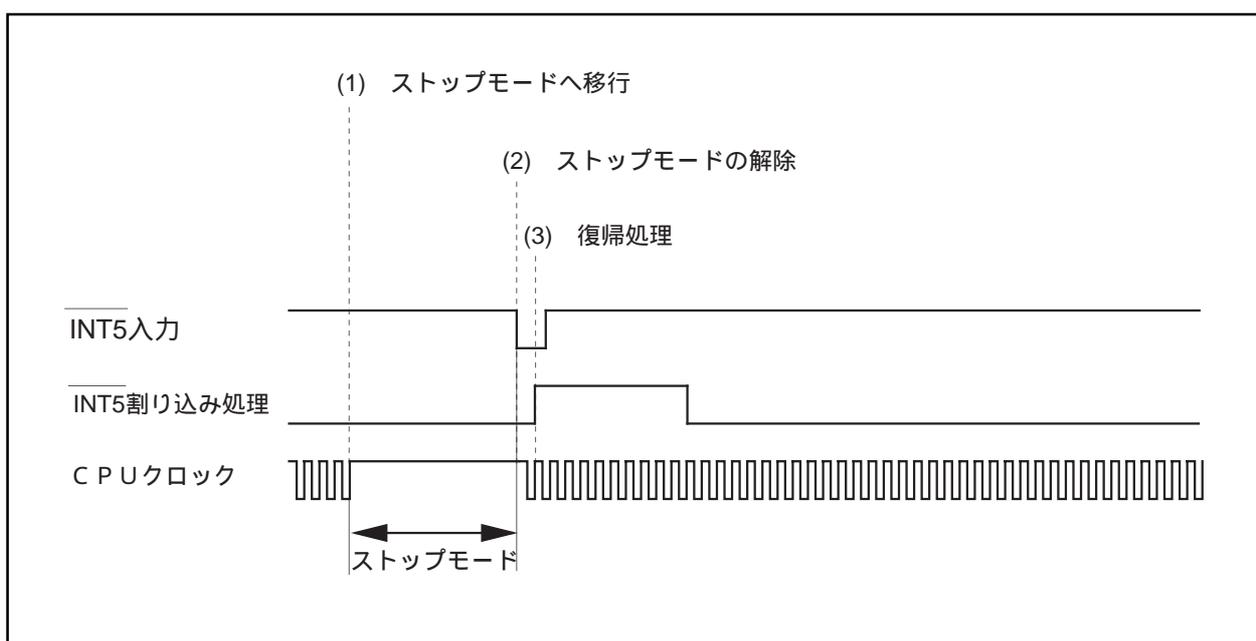


図3.7.1. ストップモードを使用したパワーコントロールの動作タイミング図

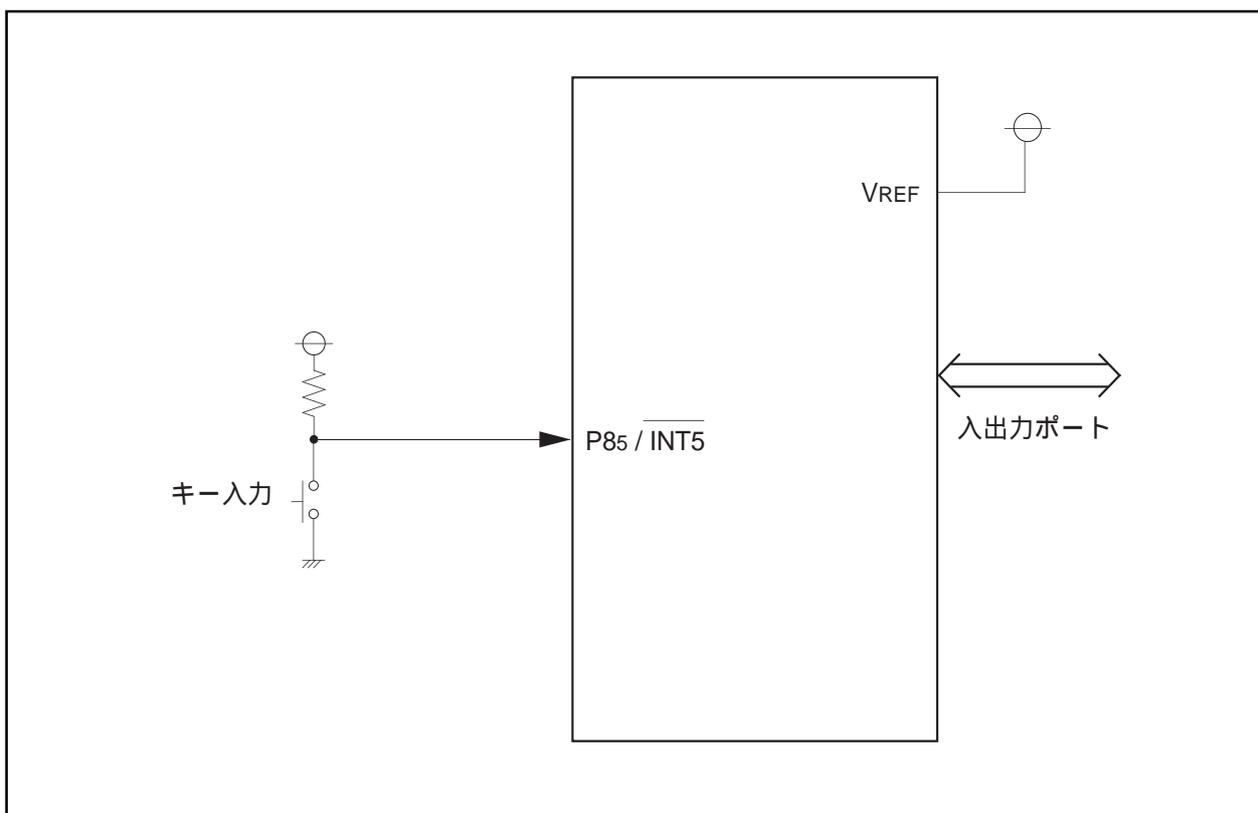


図3.7.2. 回路例

パワーコントロールの応用例

3.8 ウェイトモードを使用したパワーコントロール例

概要 ウェイトモードを使用してパワーコントロールを行います。その動作タイミングを図3.8.1に、設定手順を図3.8.2～図3.8.4に示します。

使用する周辺機能は次のとおりです。

タイマBのタイマモード

ウェイトモード

設定手順の中で「F_WIT」というフラグを使用しています。このフラグはウェイトモードを解除するかどうかを判断するためのフラグです。メインプログラムの中でF_WIT = “1” のときはウェイトモードへ移行し、F_WIT = “0” のときはウェイトモードを解除します。

仕様 (1) XCINには、32.768kHzの発振子を接続してタイマのカウントソースとします。タイマで1秒をカウントし割り込みが発生するごとに、ウェイトモードから復帰してプログラムで時計をカウントします。

(2) $\overline{\text{INT0}}$ の割り込み要求が発生すると、ウェイトモードを解除します。

動作 (1) システムクロックをXINからXCINに切り替え、低速モードにします。

(2) XINを停止させてウェイトモードへ移行します。このとき、タイマB2割り込みと $\overline{\text{INT0}}$ の割り込みは許可にしてください。

(3) タイマB2割り込み要求(割り込み間隔1秒)が発生すると、XCINからのBCLKが供給されはじめます。

同時に、タイマB2割り込み処理の中で時計をカウントして、再度ウェイトモードに移行します。

(4) $\overline{\text{INT0}}$ 割り込み要求が発生すると、XCINからのBCLKが供給されはじめます。 $\overline{\text{INT0}}$ 割り込みの中で、XINの発振を開始し、発振が安定した後、BCLKのカウントソースをXINに切り替えます。

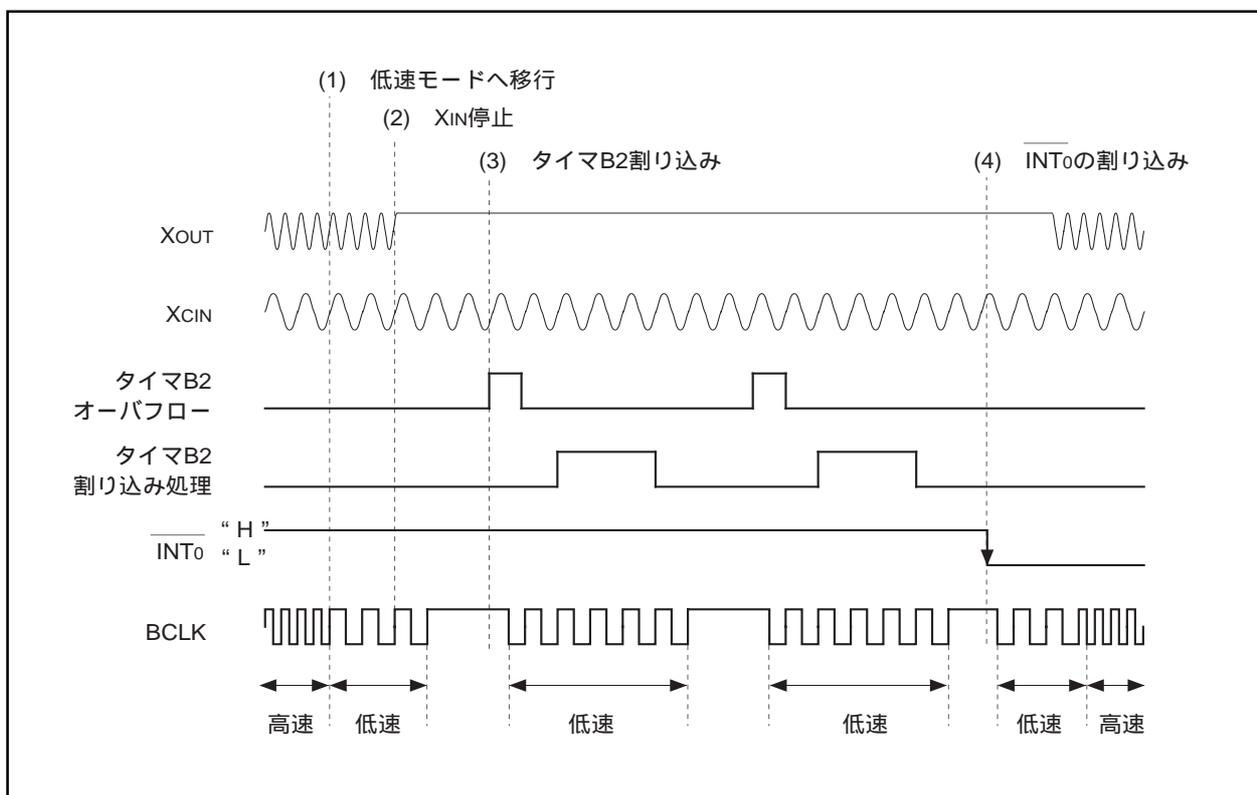


図3.8.1. ウェイトモードを使用したパワーコントロールの動作タイミング図

パワーコントロールの応用例

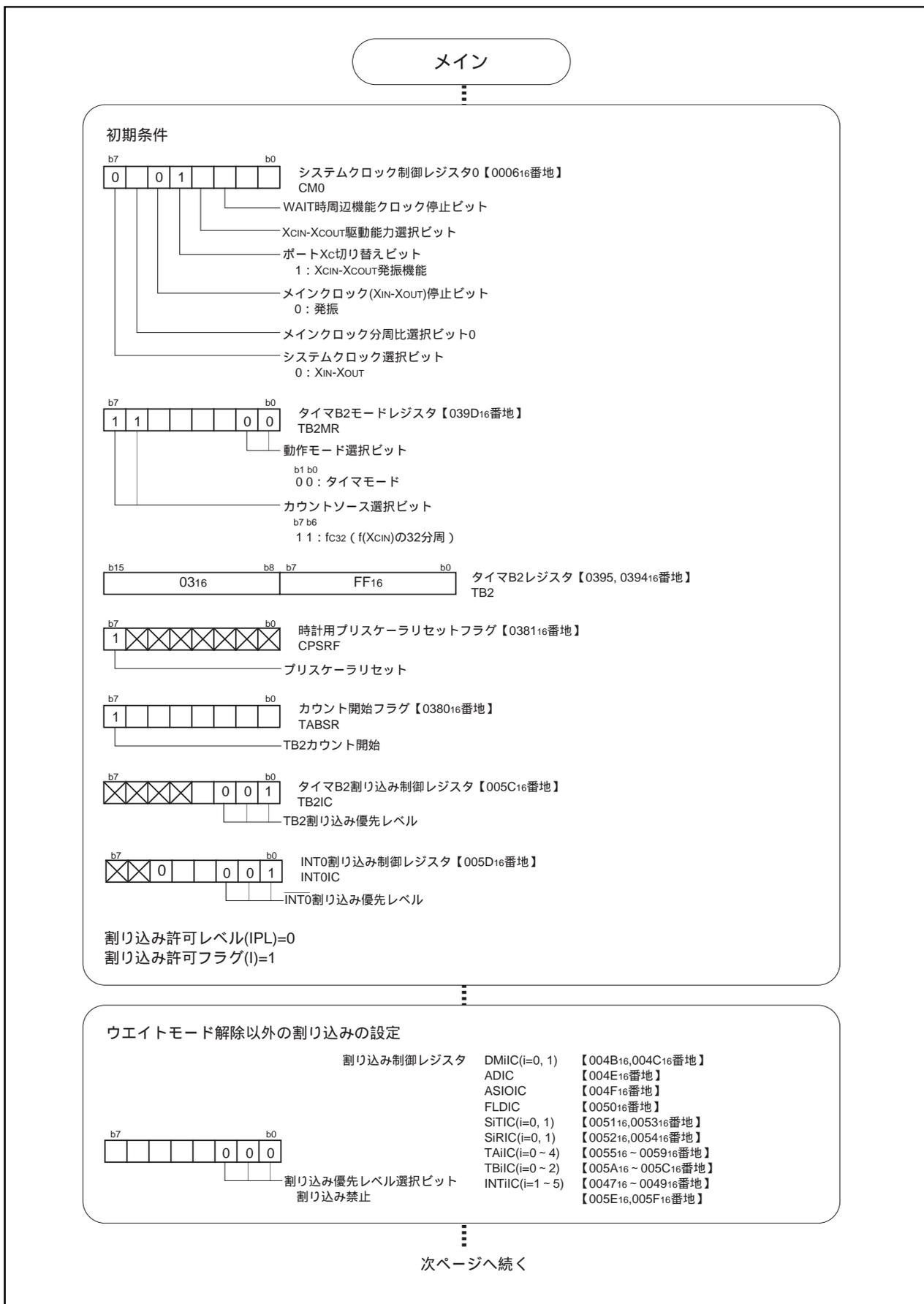


図3.8.2. ウェイトモードを使用したパワーコントロール関連レジスタの設定手順(1)

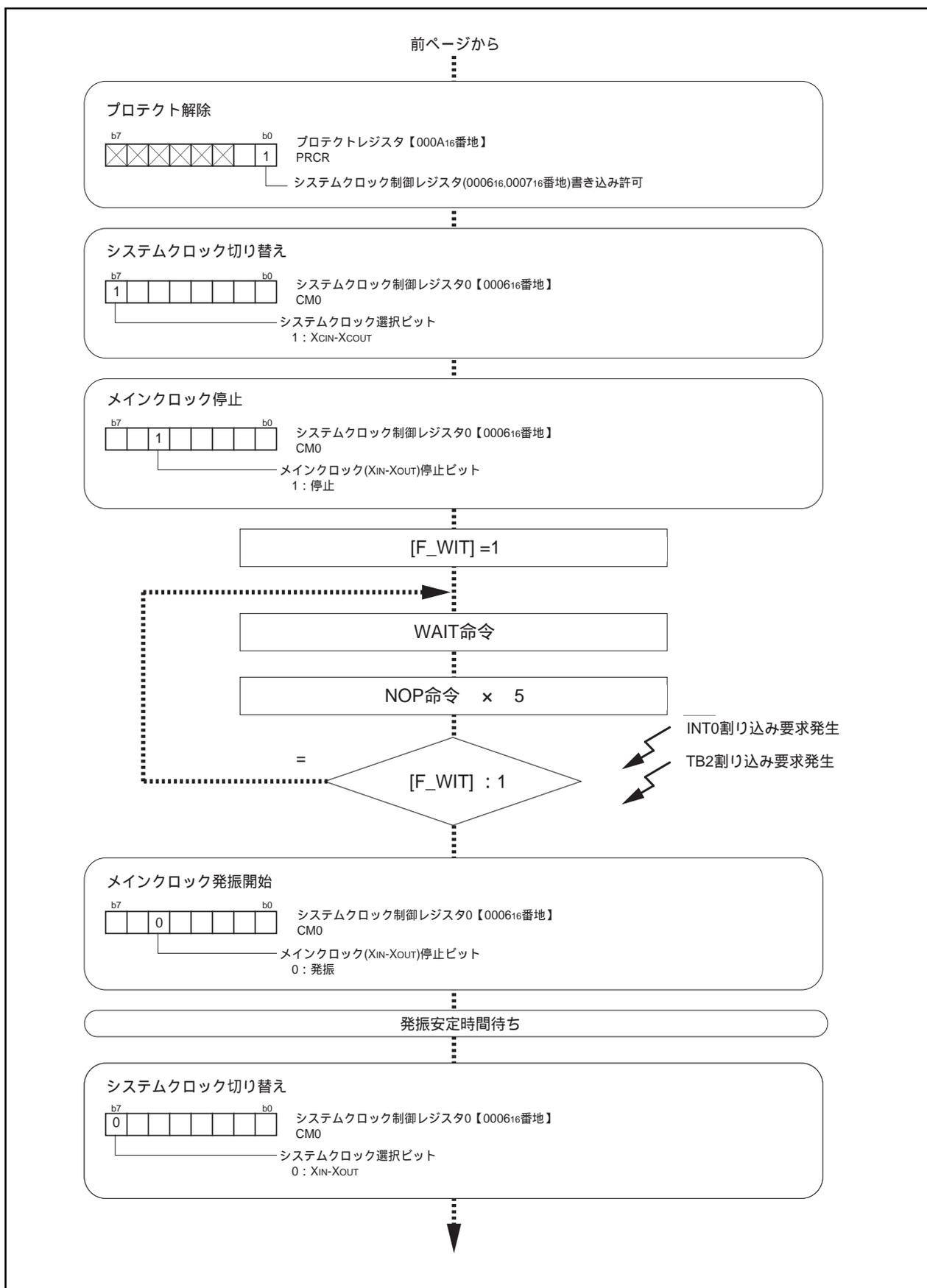


図3.8.3. ウェイトモードを使用したパワーコントロール関連レジスタの設定手順(2)



図3.8.4. ウェイトモードを使用したパワーコントロール関連レジスタの設定手順(3)

レイアウトの都合上、このページは白紙です。

第4章

割り込み

4.1 割り込みの概要

4.1.1 割り込みの分類

図4.1.1に割り込みの分類を示します。

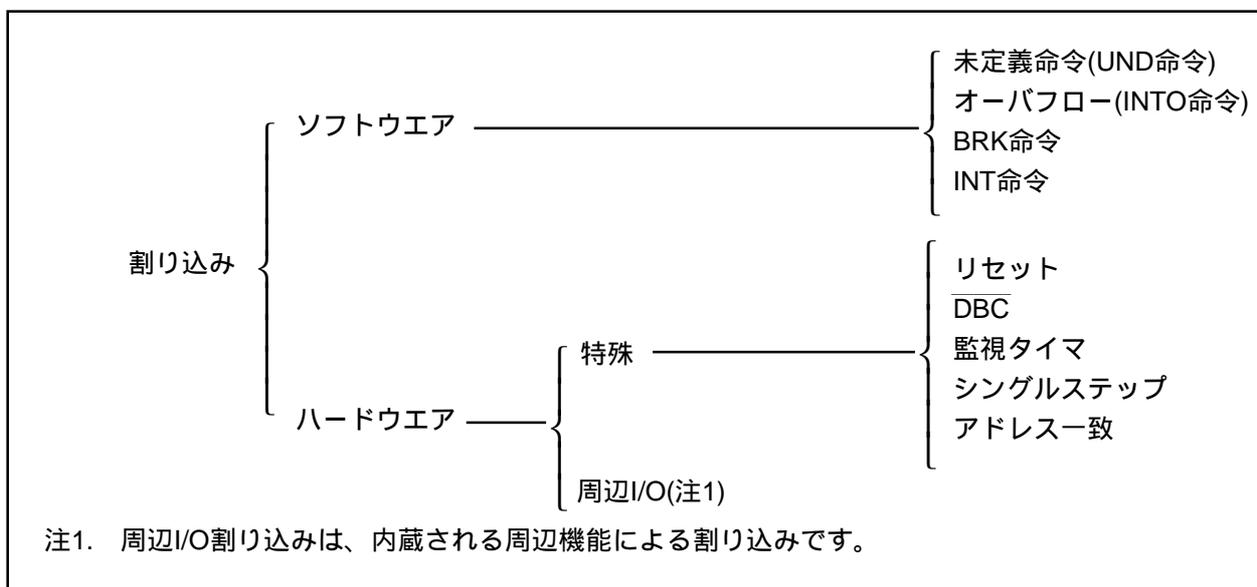


図4.1.1. 割り込みの分類

- マスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が可能
- ノンマスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が不可能

4.1.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスクابل割り込みです。

未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

オーバフロー割り込み

オーバフロー割り込みは、オーバフローフラグ(Oフラグ)が“1”のときINTO命令を実行すると発生します。演算によってOフラグが変化する命令を以下に示します。

ABS, ADC, ADCF, ADD, CMP, DIV, DIVU, DIVX, NEG, RMPA, SBB, SHA, SUB

BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

INT命令割り込み

INT命令割り込みは、ソフトウェア割り込み番号0～63を指定し、INT命令を実行すると発生します。なお、ソフトウェア割り込み番号0～31は周辺I/O割り込みに割り当てられますので、INT命令を実行することで周辺I/O割り込みと同じ割り込みルーチンを実行できます。

INT命令割り込みに使用するスタックポインタ(SP)は、ソフトウェア割り込み番号によって異なります。ソフトウェア割り込み番号0～31では、割り込み要求受け付け時にスタックポインタ指定フラグ(Uフラグ)を退避し、Uフラグを“0”にして割り込みスタックポインタ(ISP)を選択した後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに割り込み要求受け付け前のUフラグが復帰されます。ソフトウェア割り込み番号32～63では、スタックポインタは切り替わりません。

4.1.3 ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺I/O割り込みがあります。

特殊割り込み

特殊割り込みは、ノンマスクابل割り込みです。

(1) リセット

リセットは、 $\overline{\text{RESET}}$ 端子に“L”を入力すると発生します。

(2) DBC割り込み

デバッグ専用割り込みですので、通常は使用しないでください。

(3) 監視タイマ割り込み

監視タイマによる割り込みです。

(4) シングルステップ割り込み

デバッグ専用割り込みですので、通常は使用しないでください。シングルステップ割り込みは、デバッグフラグ(Dフラグ)を“1”にすると、命令を1つ実行した後に発生します。

(5) アドレス一致割り込み

アドレス一致割り込みは、アドレス一致割り込み許可ビットを“1”にしたとき、アドレス一致割り込みレジスタで示される番地の命令を実行する直前に発生します。

アドレス一致レジスタに命令の先頭番地以外の番地を設定した場合は、アドレス一致割り込みは発生しません。アドレス一致割り込みについては「2.13 アドレス一致割り込み」を参照してください。

周辺I/O割り込み

周辺I/O割り込みは、内蔵される周辺機能による割り込みです。内蔵される周辺機能は品種展開によって異なりますので、それぞれの割り込み要因も品種展開によって異なります。割り込みベクタテーブルはINT命令で使用するソフトウェア割り込み番号0～31と同一です。周辺I/O割り込みは、マスクابل割り込みです。

(1) DMA0、DMA1割り込み

DMAによる割り込みです。

(2) A-D変換割り込み

A-D変換器による割り込みです。

(3) UART0、UART1送信割り込み

シリアルI/Oの送信による割り込みです。

(4) UART0、UART1受信割り込み

シリアルI/Oの受信による割り込みです。

(5) SI/O自動転送割り込み

自動転送付きシリアルI/Oによる割り込みです。

(6) FLD割り込み

FLDによる割り込みです。

(7) タイマA0～タイマA4割り込み

タイマAによる割り込みです。

(8) タイマB0～タイマB2割り込み

タイマBによる割り込みです。

(9) $\overline{\text{INT0}}$ ～ $\overline{\text{INT5}}$ 割り込み

$\overline{\text{INT}}$ 割り込みは、 $\overline{\text{INT}}$ 端子に立ち下がりがエッジまたは立ち上がりエッジを入力すると発生します。

割り込み

4.1.4 割り込みと割り込みベクタテーブル

割り込み要求が受け付けられると、割り込みベクタテーブルに設定した割り込みルーチンへ分岐します。各割り込みベクタテーブルには、割り込みルーチンの先頭番地を設定してください。割り込みベクタテーブルには、アドレスが固定されている固定ベクタテーブルと設定によってベクタテーブルの番地を変更できる可変ベクタテーブルがあります。

固定ベクタテーブル

固定ベクタテーブルは、アドレスが固定のベクタテーブルで、FFFDC₁₆番地からFFFFF₁₆番地に配置されています。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定します。表4.1.1に固定ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表4.1.1. 固定ベクタテーブルに配置している割り込みとベクタテーブルの番地

割り込み要因	ベクタテーブル番地 アドレス(L)～アドレス(H)	備考
未定義命令	FFFDC ₁₆ ～FFFDF ₁₆	UND命令で割り込み
オーバフロー	FFFE0 ₁₆ ～FFFE3 ₁₆	INTO命令で割り込み
BRK命令	FFFE4 ₁₆ ～FFFE7 ₁₆	ベクタの内容がすべてFF ₁₆ の場合は可変ベクタテーブル内のベクタが示す番地から実行
アドレス一致	FFFE8 ₁₆ ～FFFEB ₁₆	アドレス一致割り込み許可ビットあり
シングルステップ(注1)	FFFE _{C16} ～FFFE _{F16}	通常は使用禁止
監視タイマ	FFFF0 ₁₆ ～FFFF3 ₁₆	
DBC(注1)	FFFF4 ₁₆ ～FFFF7 ₁₆	通常は使用禁止
未使用	FFFF8 ₁₆ ～FFFFB ₁₆	未使用
リセット	FFFF _{C16} ～FFFF _{F16}	

注1. デバッグ専用割り込み

割り込み

可変ベクタテーブル

可変ベクタテーブルは、設定によってアドレスを変更することができるベクタテーブルです。ベクタテーブルの先頭番地を、割り込みテーブルレジスタ(INTB)で示してください。INTBで示された先頭番地から256バイトが可変ベクタテーブルの領域となります。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定してください。表4.1.2に可変ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表4.1.2. 可変ベクタテーブルに配置している割り込みとベクタテーブルの番地

ソフトウェア割り込み番号	ベクタテーブル番地 アドレス(L)~アドレス(H)	割り込み要因	備考
ソフトウェア割り込み番号0	+0 ~ +3(注1)	BRK命令	Iフラグによるマスク不可
ソフトウェア割り込み番号7	+28 ~ +31(注1)	INT3	
ソフトウェア割り込み番号8	+32 ~ +35(注1)	INT4	
ソフトウェア割り込み番号9	+36 ~ +39(注1)	INT5	
ソフトウェア割り込み番号11	+44 ~ +47(注1)	DMA0	
ソフトウェア割り込み番号12	+48 ~ +51(注1)	DMA1	
ソフトウェア割り込み番号14	+56 ~ +59(注1)	A-D	
ソフトウェア割り込み番号15	+60 ~ +63(注1)	SI/O自動転送	
ソフトウェア割り込み番号16	+64 ~ +67(注1)	FLD	
ソフトウェア割り込み番号17	+68 ~ +71(注1)	UART0送信	
ソフトウェア割り込み番号18	+72 ~ +75(注1)	UART0受信	
ソフトウェア割り込み番号19	+76 ~ +79(注1)	UART1送信	
ソフトウェア割り込み番号20	+80 ~ +83(注1)	UART1受信	
ソフトウェア割り込み番号21	+84 ~ +87(注1)	タイマA0	
ソフトウェア割り込み番号22	+88 ~ +91(注1)	タイマA1	
ソフトウェア割り込み番号23	+92 ~ +95(注1)	タイマA2	
ソフトウェア割り込み番号24	+96 ~ +99(注1)	タイマA3	
ソフトウェア割り込み番号25	+100 ~ +103(注1)	タイマA4	
ソフトウェア割り込み番号26	+104 ~ +107(注1)	タイマB0	
ソフトウェア割り込み番号27	+108 ~ +111(注1)	タイマB1	
ソフトウェア割り込み番号28	+112 ~ +115(注1)	タイマB2	
ソフトウェア割り込み番号29	+116 ~ +119(注1)	INT0	
ソフトウェア割り込み番号30	+120 ~ +123(注1)	INT1	
ソフトウェア割り込み番号31	+124 ~ +127(注1)	INT2	
ソフトウェア割り込み番号32 ソフトウェア割り込み番号63	+128 ~ +131(注1) +252 ~ +255(注1)	ソフトウェア割り込み	Iフラグによるマスク不可

注1. 割り込みテーブルレジスタ(INTB)が示すアドレスからの相対アドレスです。

4.2 割り込み制御

マスカブル割り込みの許可/禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

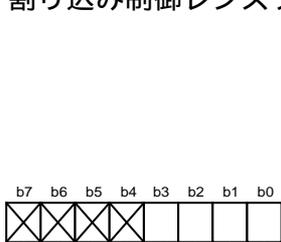
マスカブル割り込みの許可および禁止は、割り込み許可フラグ(Iフラグ)、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)によって行います。また、割り込み要求の有無は、割り込み要求ビットに示されます。割り込み要求ビットおよび割り込み優先レベル選択ビットは、各割り込みの割り込み制御レジスタに配置されています。また、割り込み許可フラグ(Iフラグ)、およびプロセッサ割り込み優先レベル(IPL)は、フラグレジスタ(FLG)に配置されています。

図4.2.1に割り込み制御レジスタのメモリ配置図を、図4.2.2に割り込み制御レジスタの構成を示します。

0047 ₁₆	INT3割り込み制御レジスタ (INT3IC)
0048 ₁₆	INT4割り込み制御レジスタ (INT4IC)
0049 ₁₆	INT5割り込み制御レジスタ (INT5IC)
004A ₁₆	
004B ₁₆	DMA0割り込み制御レジスタ (DM0IC)
004C ₁₆	DMA1割り込み制御レジスタ (DM1IC)
004D ₁₆	
004E ₁₆	A-D変換割り込み制御レジスタ (ADIC)
004F ₁₆	SI/O2送信割り込み制御レジスタ (ASIOIC)
0050 ₁₆	FLD割り込み制御レジスタ (FLDIC)
0051 ₁₆	UART0送信割り込み制御レジスタ (S0TIC)
0052 ₁₆	UART0受信割り込み制御レジスタ (S0RIC)
0053 ₁₆	UART1送信割り込み制御レジスタ (S1TIC)
0054 ₁₆	UART1受信割り込み制御レジスタ (S1RIC)
0055 ₁₆	タイマA0割り込み制御レジスタ (TA0IC)
0056 ₁₆	タイマA1割り込み制御レジスタ (TA1IC)
0057 ₁₆	タイマA2割り込み制御レジスタ (TA2IC)
0058 ₁₆	タイマA3割り込み制御レジスタ (TA3IC)
0059 ₁₆	タイマA4割り込み制御レジスタ (TA4IC)
005A ₁₆	タイマB0割り込み制御レジスタ (TB0IC)
005B ₁₆	タイマB1割り込み制御レジスタ (TB1IC)
005C ₁₆	タイマB2割り込み制御レジスタ (TB2IC)
005D ₁₆	INT0割り込み制御レジスタ (INT0IC)
005E ₁₆	INT1割り込み制御レジスタ (INT1IC)
005F ₁₆	INT2割り込み制御レジスタ (INT2IC)

図4.2.1. 割り込み制御レジスタのメモリ配置図

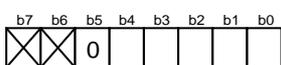
割り込み制御レジスタ(注2)



シンボル	アドレス	リセット時
DMiIC(i=0,1)	004B ₁₆ , 004C ₁₆ 番地	XXXXX0002
ADIC	004E ₁₆ 番地	XXXXX0002
ASIOIC	004F ₁₆ 番地	XXXXX0002
FLDIC	0050 ₁₆ 番地	XXXXX0002
SiTiC(i=0,1)	0051 ₁₆ , 0053 ₁₆ 番地	XXXXX0002
SiRiC(i=0,1)	0052 ₁₆ , 0054 ₁₆ 番地	XXXXX0002
TaiC(i=0~4)	0055 ₁₆ ~0059 ₁₆ 番地	XXXXX0002
TBiC(i=0~2)	005A ₁₆ ~005C ₁₆ 番地	XXXXX0002

ビットシンボル	ビット名	機能	R	W
ILVL0	割り込み優先レベル 選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止) 0 0 1 : レベル1 0 1 0 : レベル2 0 1 1 : レベル3 1 0 0 : レベル4 1 0 1 : レベル5 1 1 0 : レベル6 1 1 1 : レベル7		
ILVL1				
ILVL2				
IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり		(注1)
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			-	-

- 注1. “0”だけ書き込み可(“1”を書き込まないでください)。
注2. 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、割り込みの注意事項を参照してください。



シンボル	アドレス	リセット時
INTiIC(i=0~5)	0047 ₁₆ ~0049 ₁₆ 番地 005D ₁₆ ~005F ₁₆ 番地	XX00X0002

ビットシンボル	ビット名	機能	R	W
ILVL0	割り込み優先レベル 選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止) 0 0 1 : レベル1 0 1 0 : レベル2 0 1 1 : レベル3 1 0 0 : レベル4 1 0 1 : レベル5 1 1 0 : レベル6 1 1 1 : レベル7		
ILVL1				
ILVL2				
IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり		(注1)
POL	極性切り替えビット	0 : 立ち下がりエッジを選択 1 : 立ち上がりエッジを選択		
予約ビット		必ず“0”を設定してください		
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			-	-

- 注1. “0”だけ書き込み可(“1”を書き込まないでください)。
注2. 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、割り込みの注意事項を参照してください。

図4.2.2. 割り込み制御レジスタの構成

4.2.1 割り込み許可フラグ(Iフラグ)

割り込み許可フラグ(Iフラグ)は、マスクブル割り込みの禁止/許可の制御を行います。このフラグを“1”にすると、すべてのマスクブル割り込みは許可され、“0”にすると禁止されます。このフラグはリセット解除後“0”になります。

Iフラグを変化させたとき、変化した内容が割り込み要求受付判定に反映されるのは次のタイミングです。

- ・ REIT命令で変化させたとき、そのREIT命令から反映される。
- ・ FCLR、FSET、POPC、LDC各命令で変化させたとき、次の命令から反映される。



図4.2.3. Iフラグを変化させたときの割り込みへの反映のタイミング

4.2.2 割り込み要求ビット

割り込み要求ビットは割り込み要求が発生すると、ハードウェアによって“1”になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、このビットはハードウェアによって“0”になります。

また、このビットはソフトウェアによって“0”にできます(“1”を書き込まないでください)。

割り込み

4.2.3 割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)

割り込み優先レベルは、割り込み制御レジスタの中の割り込み優先レベル選択ビットで設定します。

割り込み要求発生時、割り込み優先レベルは、プロセッサ割り込み優先レベル(IPL)と比較され、割り込みの優先レベルがプロセッサ割り込み優先レベル(IPL)より大きい場合だけ、その割り込みは許可されます。したがって、割り込み優先レベルにレベル0を設定すれば、その割り込みは禁止されます。

表4.2.1に割り込み優先レベルの設定を、表4.2.2にプロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベルを示します。

割り込み要求が受け付けられる条件を以下に示します。

- ・割り込み許可フラグ(Iフラグ) = “1”
- ・割り込み要求ビット = “1”
- ・割り込み優先レベル > プロセッサ割り込み優先レベル(IPL)

割り込み許可フラグ(Iフラグ)、割り込み要求ビット、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)はそれぞれ独立しており、互いに影響を与えることはありません。

表4.2.1. 割り込み優先レベルの設定

割り込み優先レベル 選択ビット	割り込み優先レベル	優先順位
b2 b1 b0 0 0 0	レベル0(割り込み禁止)	———
0 0 1	レベル1	低い ↓ 高い
0 1 0	レベル2	
0 1 1	レベル3	
1 0 0	レベル4	
1 0 1	レベル5	
1 1 0	レベル6	
1 1 1	レベル7	

表4.2.2. プロセッサ割り込み優先レベル(IPL)
の内容による割り込み許可レベル

プロセッサ割り込み 優先レベル(IPL)	許可される割り込み優先レベル
IPL ₂ IPL ₁ IPL ₀ 0 0 0	レベル1以上を許可
0 0 1	レベル2以上を許可
0 1 0	レベル3以上を許可
0 1 1	レベル4以上を許可
1 0 0	レベル5以上を許可
1 0 1	レベル6以上を許可
1 1 0	レベル7以上を許可
1 1 1	すべてのマスカブル割り込みを禁止

プロセッサ割り込み優先レベル(IPL)、または各割り込み優先レベルを変更させたとき、変化したレベルが割り込みに反映するのは次のタイミングです。

- ・REIT命令でプロセッサ割り込み優先レベル(IPL)を変化させたとき、REIT命令の最後のクロックから2クロック後に実行されている命令から反映される。
- ・POPC、LDC、LDIPL各命令でプロセッサ割り込み優先レベル(IPL)を変化させたとき、使用した命令の最後のクロックから3クロック後に実行されている命令から反映される。
- ・各割り込みの割り込み優先レベルをMOV命令等で変化させたとき、使用した命令の最後のクロックから2クロック後に実行されている命令から反映される。

4.2.4 割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

< 割り込み制御レジスタを書き換えるプログラム例 >

例 1 :

```
INT_SWITCH1 :
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0055H ; タイマA0割り込み制御レジスタに "0016" を設定
  NOP
  NOP
  FSET   I           ; 割り込み許可状態
```

例 2 :

```
INT_SWITCH2 :
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0055H ; タイマA0割り込み制御レジスタに "0016" を設定
  MOV.W  MEM, R0     ; ダミーリード
  FSET   I           ; 割り込み許可状態
```

例 3 :

```
INT_SWITCH3 :
  PUSHC  FLG
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0055H ; タイマA0割り込み制御レジスタに "0016" を設定
  POPC   FLG        ; 割り込み許可状態
```

例 1 と例 2 で FSET I 命令の前に NOP 命令 2 個 (HOLD 機能使用時は 4 個) や ダミーリード があるのは、命令キューの影響により割り込み許可フラグ (フラグ) のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされることがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

割り込み

4.3 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB, SMOVF, SSTR, RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次の動作を順次行います。

- (1) 0000016番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得する。その後、該当する割り込みの要求ビットが“0”になる。
- (2) 割り込みシーケンス直前のフラグレジスタ(FLG)の内容をCPU内部の一時レジスタ(注1)に退避する。
- (3) 割り込み許可フラグ(Iフラグ)、デバッグフラグ(Dフラグ)、およびスタックポインタ指定フラグ(Uフラグ)を“0”にする(ただしUフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません)。
- (4) CPU内部の一時レジスタ(注1)の内容をスタック領域に退避する。
- (5) プログラムカウンタ(PC)の内容をスタック領域に退避する。
- (6) プロセッサ割り込み優先レベル(IPL)に、受け付けた割り込みの割り込み優先レベルを設定する。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

4.3.1 割り込み応答時間

割り込み応答時間とは、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間を示します。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(a)と割り込みシーケンスを実行する時間(b)で構成されます。図4.3.1に割り込み応答時間を示します。

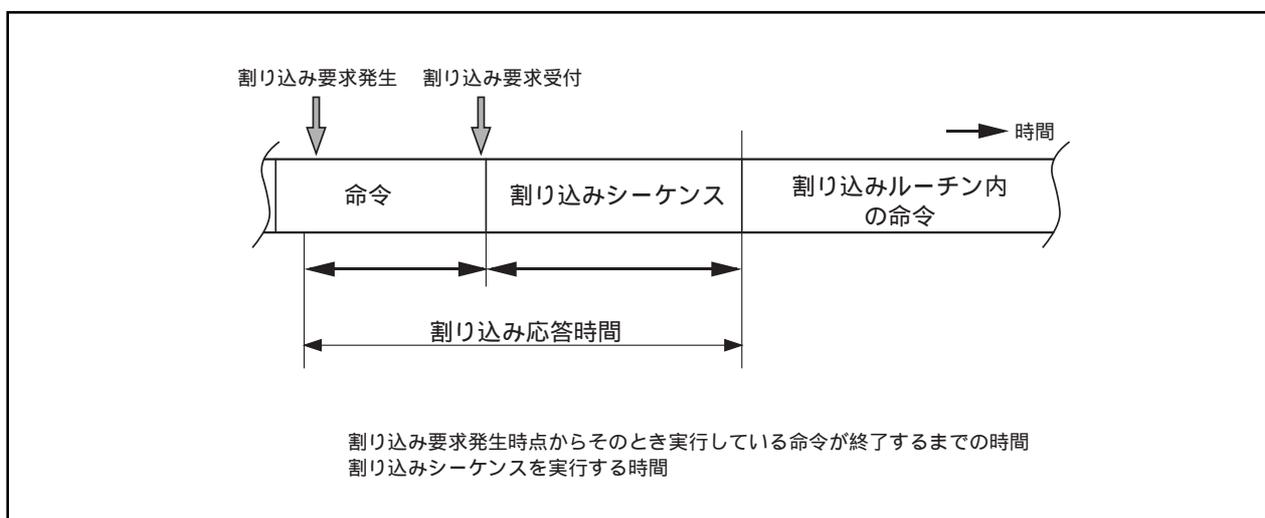


図4.3.1. 割り込み応答時間

割り込み

(a)の時間は、実行している命令によって異なります。DIVX命令が最大で30サイクル(ウエイトなし)です。
(b)の時間は次のとおりです。

表4.3.1. 割り込みシーケンス実行時間

割り込みベクタの番地	スタックポインタ(SP)の値	16ビットバス、ウエイトなし	8ビットバス、ウエイトなし
偶数	偶数	18サイクル(注1)	20サイクル(注1)
偶数	奇数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	偶数	19サイクル(注1)	20サイクル(注1)
奇数(注2)	奇数	20サイクル(注1)	20サイクル(注1)

注1. DBC割り込みは+2サイクル、アドレス一致割り込み、シングルステップ割り込みは+1サイクルしてください。

注2. 割り込みベクタの番地は、なるべく偶数番地に配置するようにしてください。

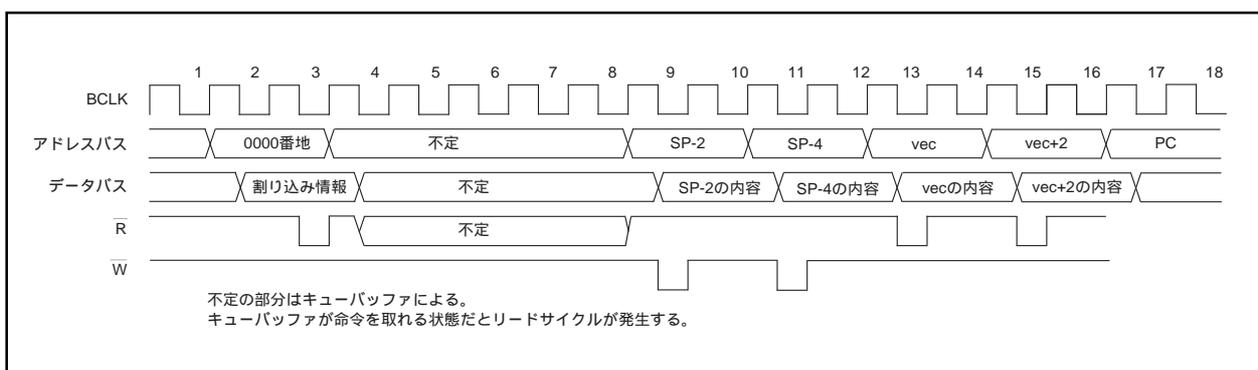


図4.3.2. 割り込みシーケンスの実行時間

4.3.2 割り込み要求受付時のプロセッサ割り込み優先レベル(IPL)の変化

割り込み要求が受け付けられると、プロセッサ割り込み優先レベル(IPL)には受け付けた割り込みの割り込み優先レベルが設定されます。

割り込み優先レベルをもたない割り込み要求が受け付けられたときは、表4.3.2に示す値がIPLに設定されます。

表4.3.2. 割り込み優先レベルをもたない割り込みとIPLの関係

割り込み優先レベルをもたない割り込み要因	設定される IPL の値
監視タイマ	7
リセット	0
その他	変化しない

割り込み

4.3.3 レジスタ退避

割り込みシーケンスでは、フラグレジスタ(FLG)とプログラムカウンタ(PC)の内容だけがスタック領域に退避されます。

退避する順番は、スタック領域へはプログラムカウンタの上位4ビットとFLGレジスタの上位4ビットおよび下位8ビットの合計16ビットをまず退避し、次にプログラムカウンタの下位16ビットを退避します。図4.3.3に割り込み要求受付前のスタックの状態と、割り込み要求受付後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でソフトウェアによって退避してください。PUSHM命令を用いると、1命令でスタックポインタ(SP)を除くすべてのレジスタを退避することができます。

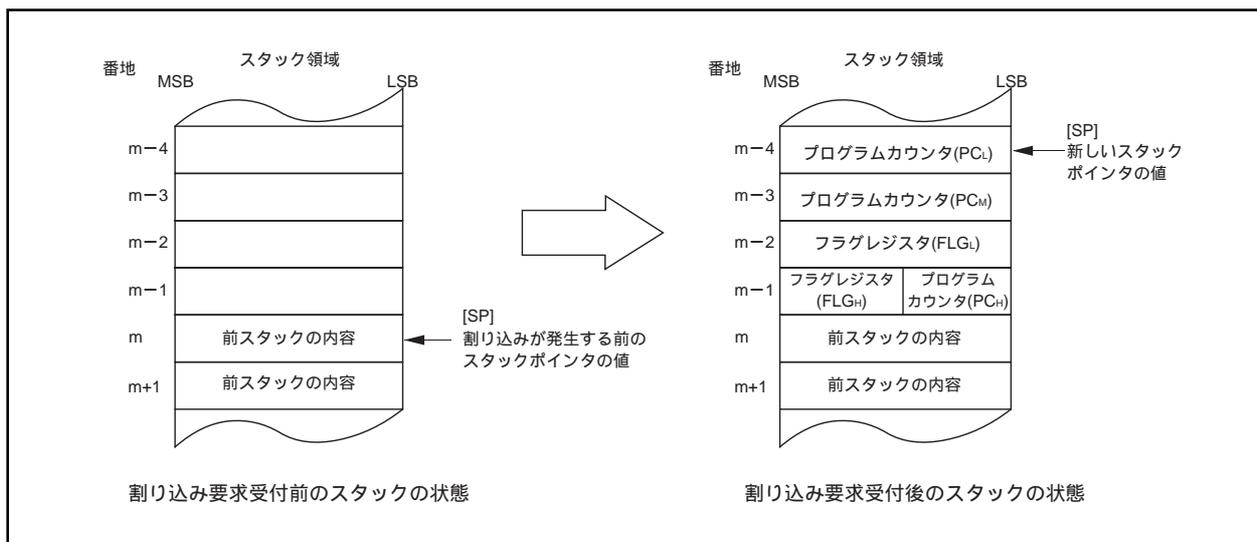


図4.3.3. 割り込み要求受付前 / 割り込み要求受付後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受付時のスタックポインタ(注1)の内容が偶数の場合と奇数の場合で異なります。スタックポインタ(注1)の内容が偶数の場合は、フラグレジスタ(FLG)およびプログラムカウンタ(PC)の内容がそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図4.3.4にレジスタ退避動作を示します。

注1. Uフラグが示すスタックポインタです。

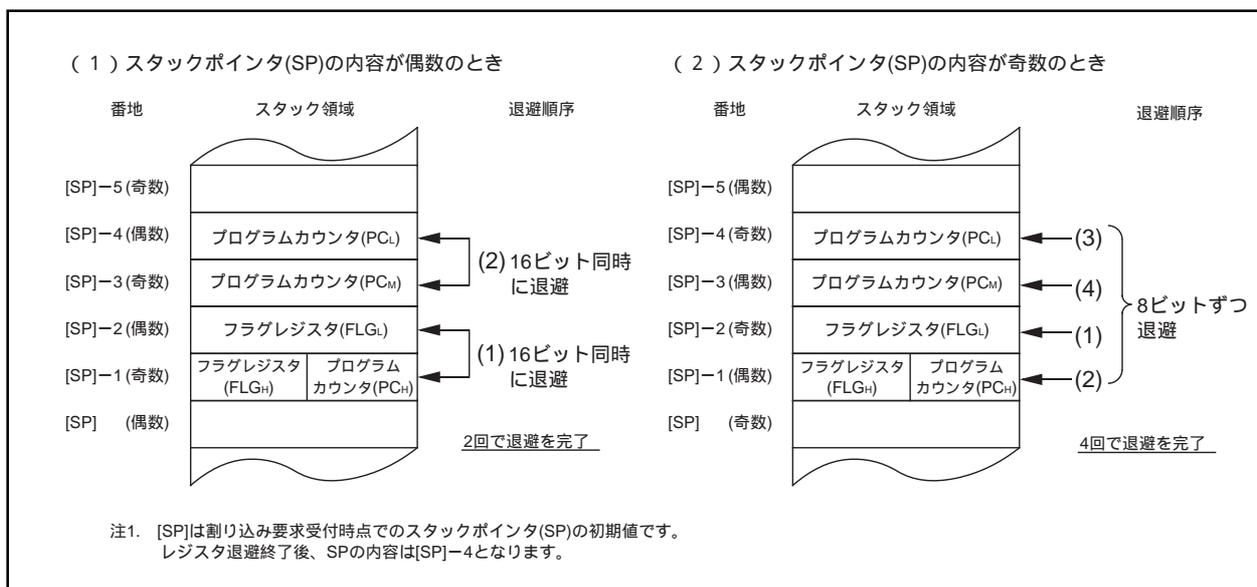


図4.3.4. レジスタ退避動作

4.4 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタック領域に退避されていた割り込みシーケンス直前のフラグレジスタ(FLG)、およびプログラムカウンタ(PC)の内容が復帰されます。その後、割り込み要求受付前に実行していたプログラムに戻り、中断されていた処理が継続して実行されます。

割り込みルーチン内でソフトウェアによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

4.5 割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺I/O割り込み)の優先順位は、割り込み優先レベル選択ビットによって任意の優先順位を設定することができます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先度の高い割り込みが受け付けられます(図4.5.1参照)。

リセット(リセットは優先順位が一番高い割り込みとして扱われます)、監視タイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。ハードウェア割り込みの割り込み優先順位を図4.5.2に示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると必ず割り込みルーチンへ分岐します。

4.6 多重割り込み

割り込みルーチンへ分岐したときの状態を以下に示します。

- ・ 割り込み許可フラグ(Iフラグ)は“0”(割り込み禁止状態)
- ・ 受け付けた割り込みの割り込み要求ビットは“0”
- ・ プロセッサ割り込み優先レベル(IPL)は受け付けた割り込みの割り込み優先レベル

割り込みルーチン内で割り込み許可フラグ(Iフラグ)を“1”にすることによって、プロセッサ割り込み優先レベル(IPL)より高い優先順位をもつ割り込み要求を受け付けることができます。図4.6.1に多重割り込みについて示します。

なお、優先順位が低いために受け付けられなかった割り込み要求は保持されます。そして、REIT命令によってIPLが復帰され、割り込み優先順位の判定が行われたとき、以下の状態であれば保持されていた割り込み要求が受け付けられます。

保持されていた割り込み要求の
割り込み優先レベル > 復帰されたプロセッサ割り込み優先レベル(IPL)

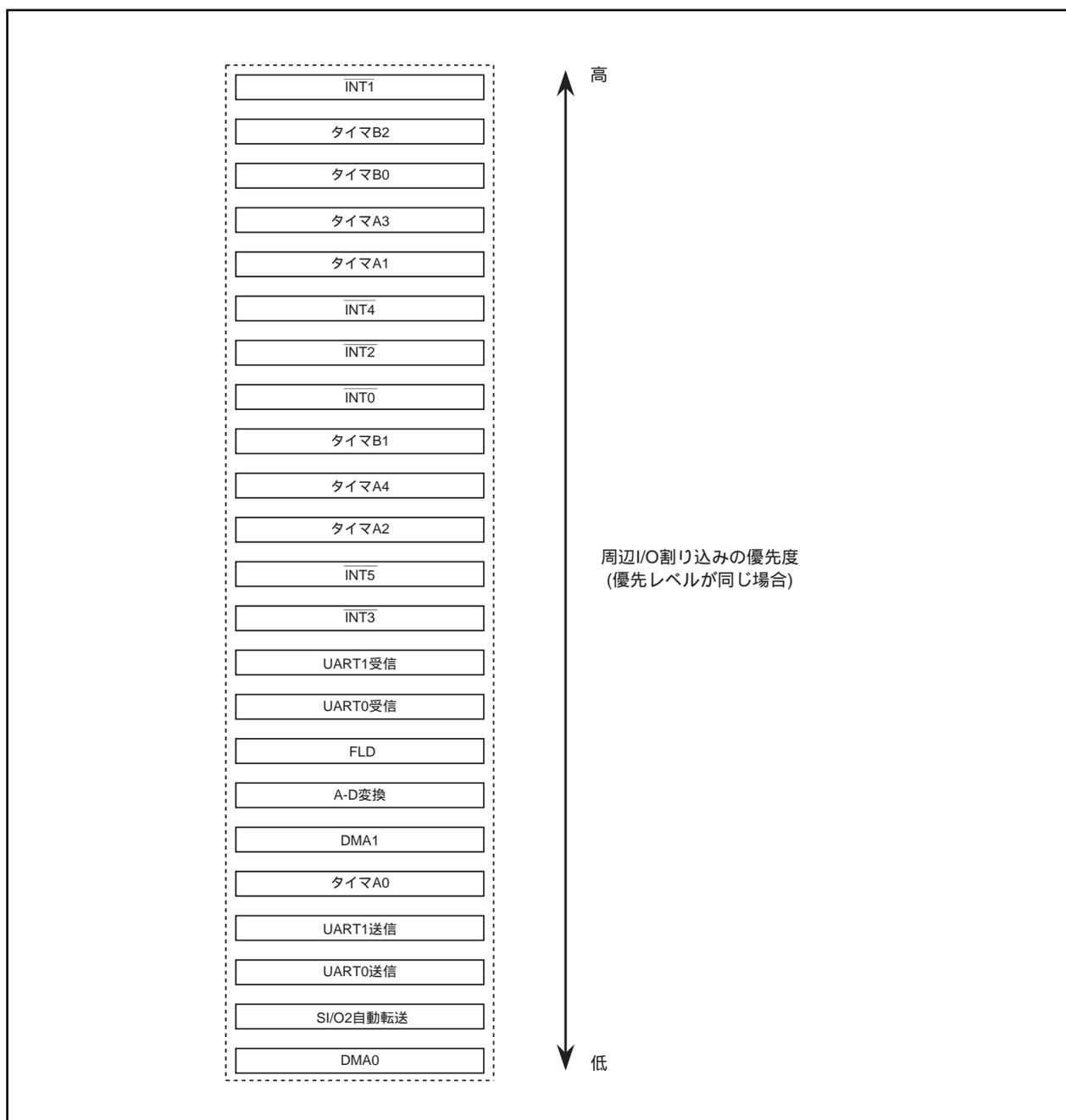


図4.5.1. マスクابل割り込み(周辺I/O割り込み)の割り込み優先順位

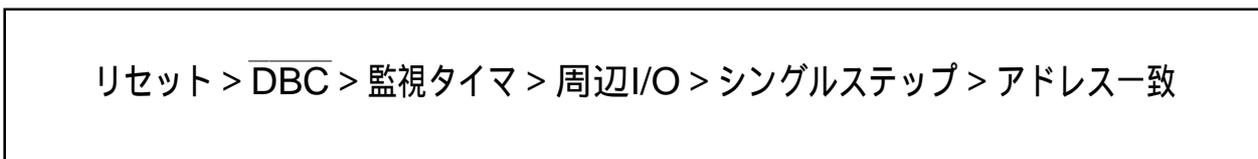


図4.5.2. ハードウェア割り込みの割り込み優先順位

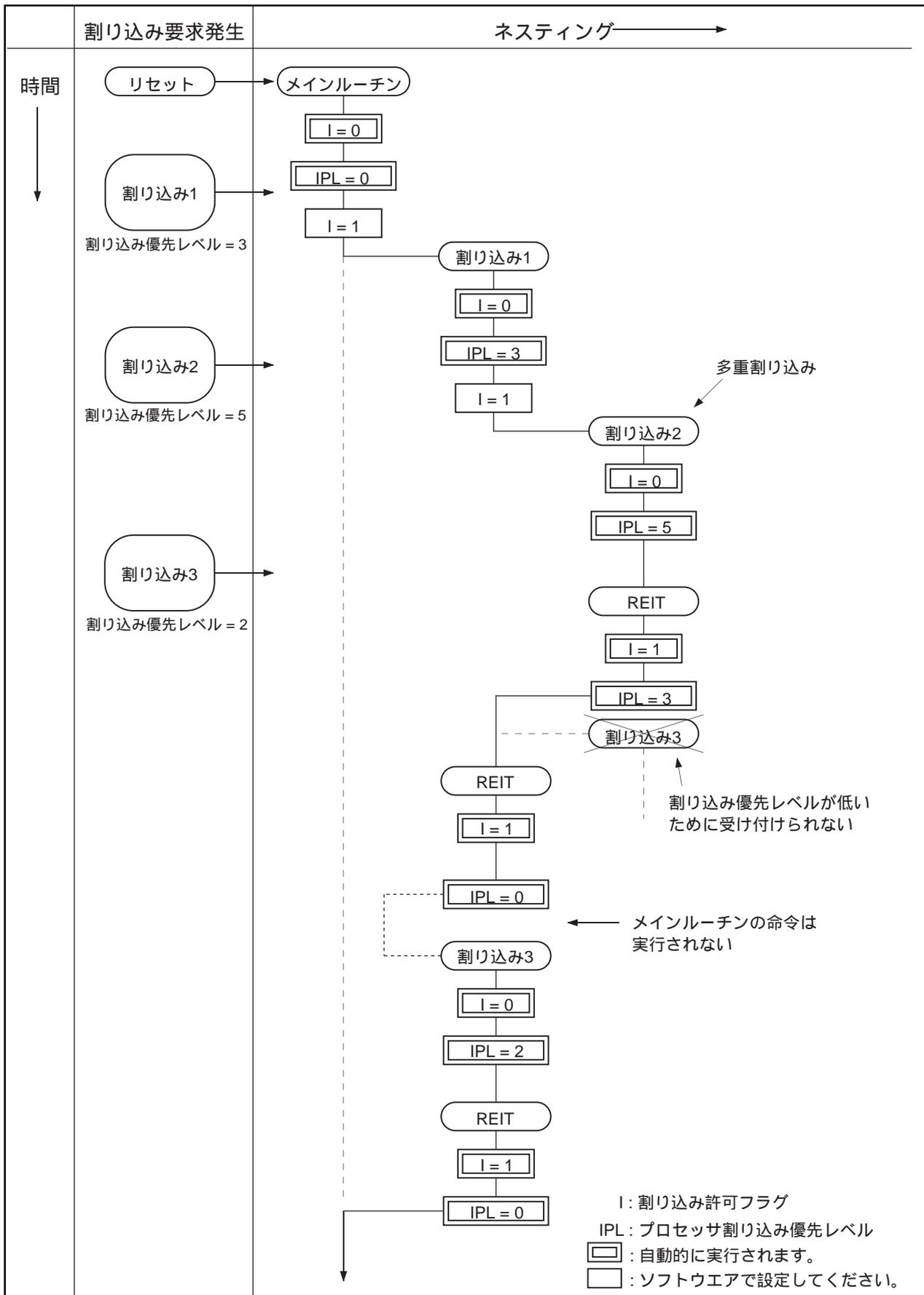


図4.6.1. 多重割り込み

割り込み

4.7 割り込みの注意事項

(1) 00000₁₆番地の読み出し

マスカブル割り込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を00000₁₆番地から読み出します。

それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。

ソフトウェアにより00000₁₆番地を読み出しても、許可されている最も優先度の高い割り込み要因の要求ビットが“0”になります。そのため、割り込みが発生しても割り込みルーチンを実行しない可能性があります。

したがって、ソフトウェアで00000₁₆番地に対して読み出しを行わないでください。

(2) スタックポインタの設定

リセット直後スタックポインタの値は、“0000₁₆”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。

(3) 外部割り込み

INT₀～INT₅端子に入力する信号には、CPUの動作クロックに関係なく250ns以上の“L”レベル幅、または“H”レベル幅が必要です。

INT₀～INT₅端子の極性を切り替えるときに割り込み要求ビットが“1”になることがあります。切り替えを行った後、割り込み要求ビットを“0”にしてください。INT割り込み発生要因の切り替え手順例を図4.7.1に示します。

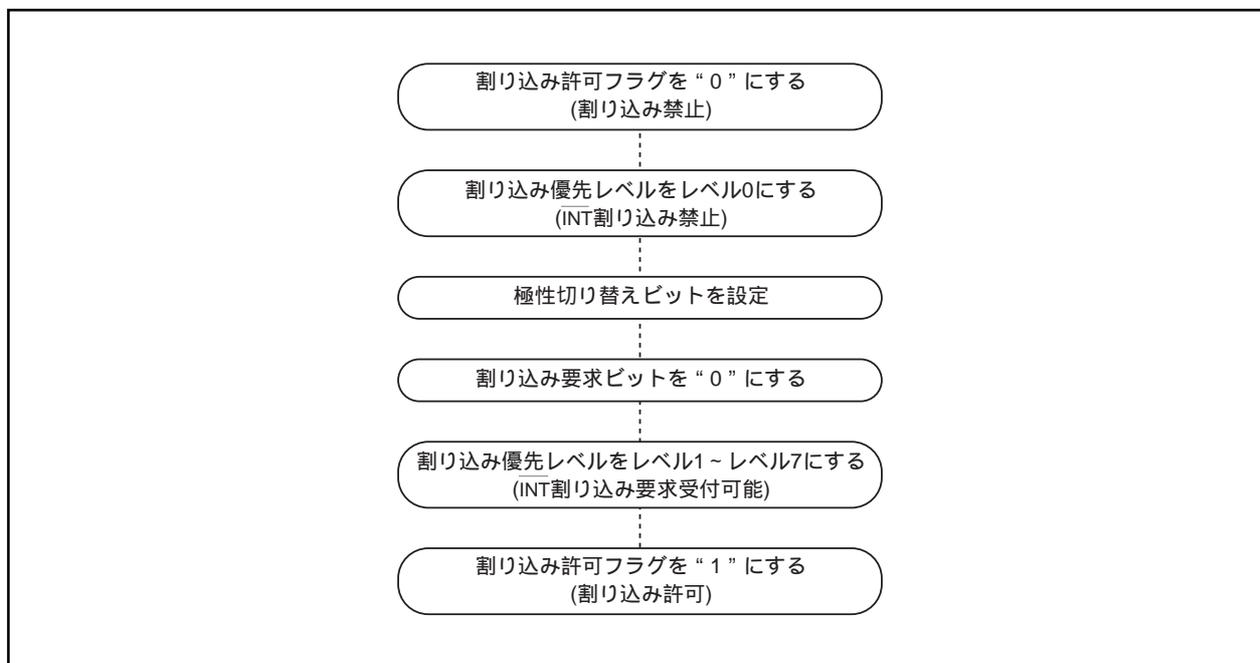


図4.7.1. INT割り込み発生要因の切り替え

(4) 割り込み制御レジスタの変更

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止状態にしてから変更してください。参考プログラム例を以下に示します。

< 割り込み制御レジスタを書き換えるプログラム例 >

例 1 :

```
INT_SWITCH1 :
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0055H ; タイマA0割り込み制御レジスタに "0016" を設定
  NOP                                ;
  NOP                                ;
  FSET   I           ; 割り込み許可状態
```

例 2 :

```
INT_SWITCH2 :
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0055H ; タイマA0割り込み制御レジスタに "0016" を設定
  MOV.W  MEM, R0     ; ダミーリード
  FSET   I           ; 割り込み許可状態
```

例 3 :

```
INT_SWITCH3 :
  PUSHC  FLG
  FCLR   I           ; 割り込み禁止状態
  AND.B  #00H, 0055H ; タイマA0割り込み制御レジスタに "0016" を設定
  POPC   FLG        ; 割り込み許可状態
```

例 1 と例 2 で FSET I 命令の前に NOP 命令 2 個 (HOLD 機能使用時は 4 個) や ダミーリード があるのは、命令キューの影響により割り込み許可フラグ (I フラグ) のセットが割り込み制御レジスタの書き込みより先に実行されるのを防ぐためです。

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

レイアウトの都合上、このページは白紙です。

第 5 章

標準特性

5.1 DC標準特性

本節で記載している標準特性はM30218MC-AXXXFPの特性例です。これらの例について、保証はできません。規格値は「電気的特性」を参照してください。

5.1.1 ポート標準特性

図5.1.1～図5.1.6にポート標準特性を示します。

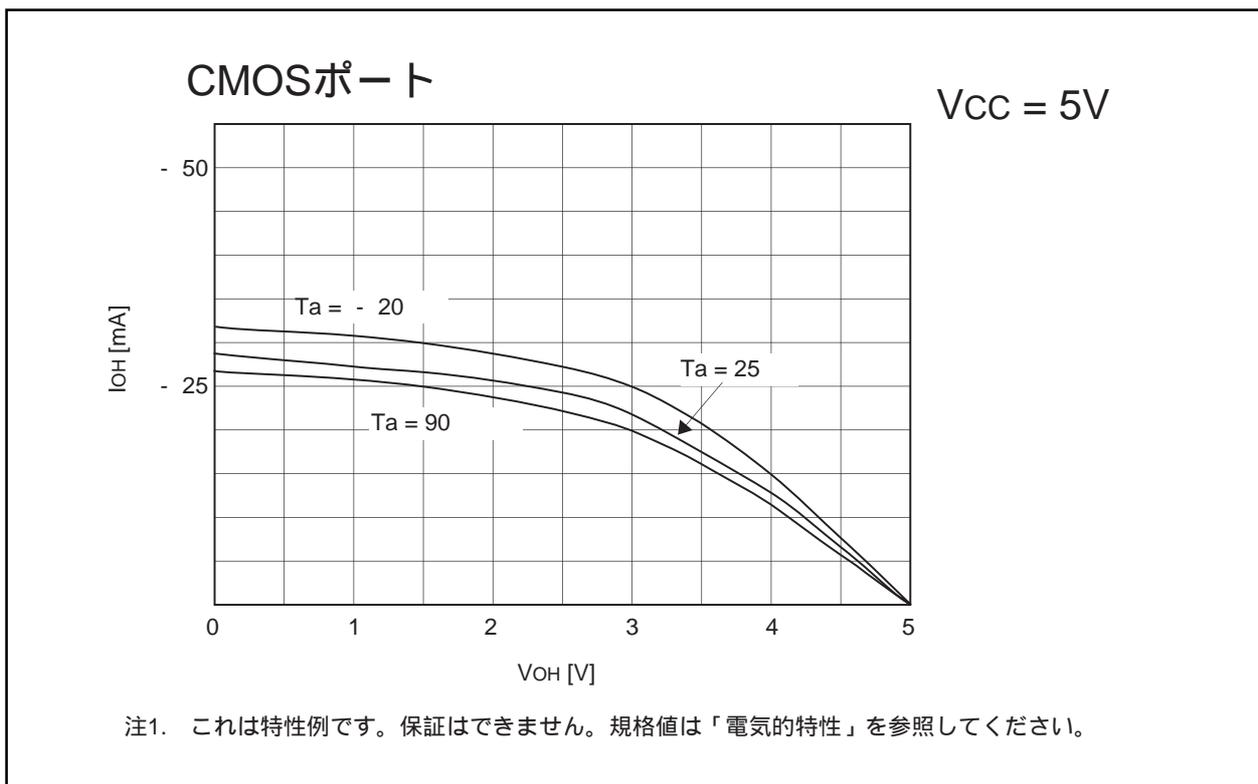


図5.1.1. ポートP44 ~ P47、P7 ~ P10のIOH-VOH標準特性(VCC=5V用)

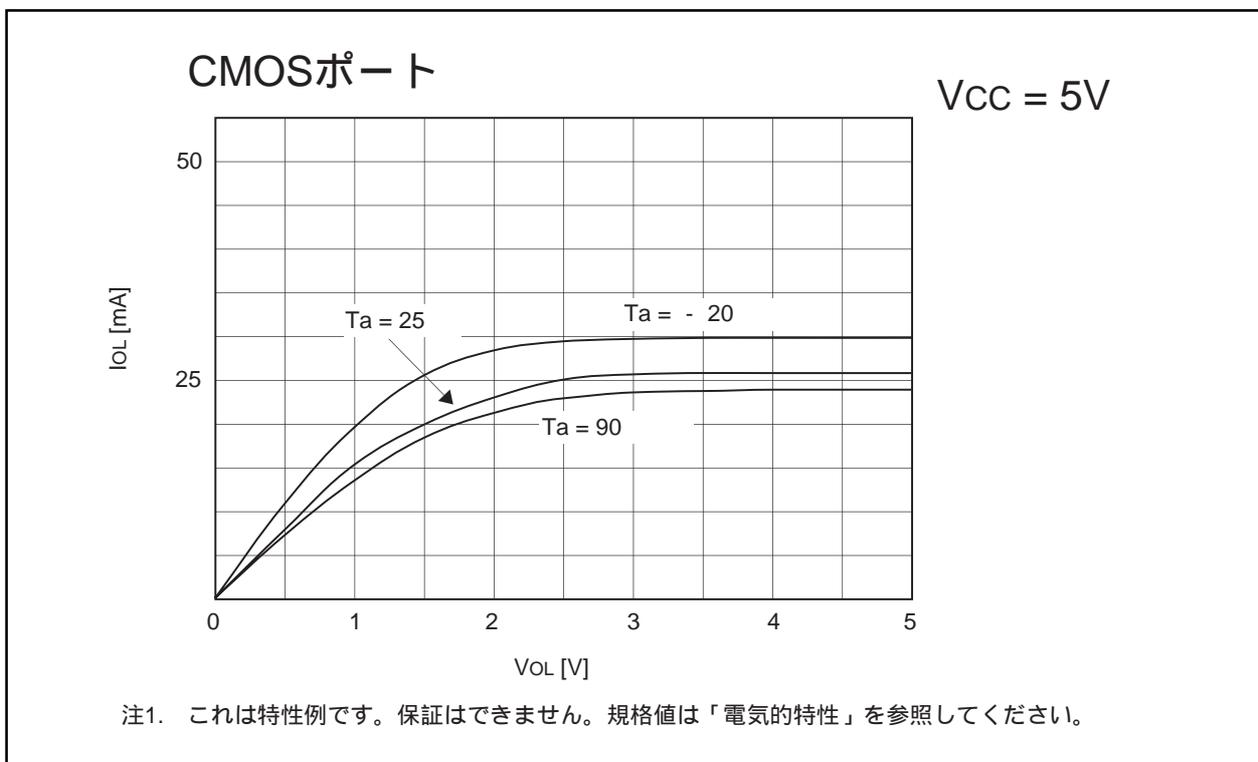


図5.1.2. ポートP44 ~ P47、P7 ~ P10のIOL-VOL標準特性(VCC=5V用)

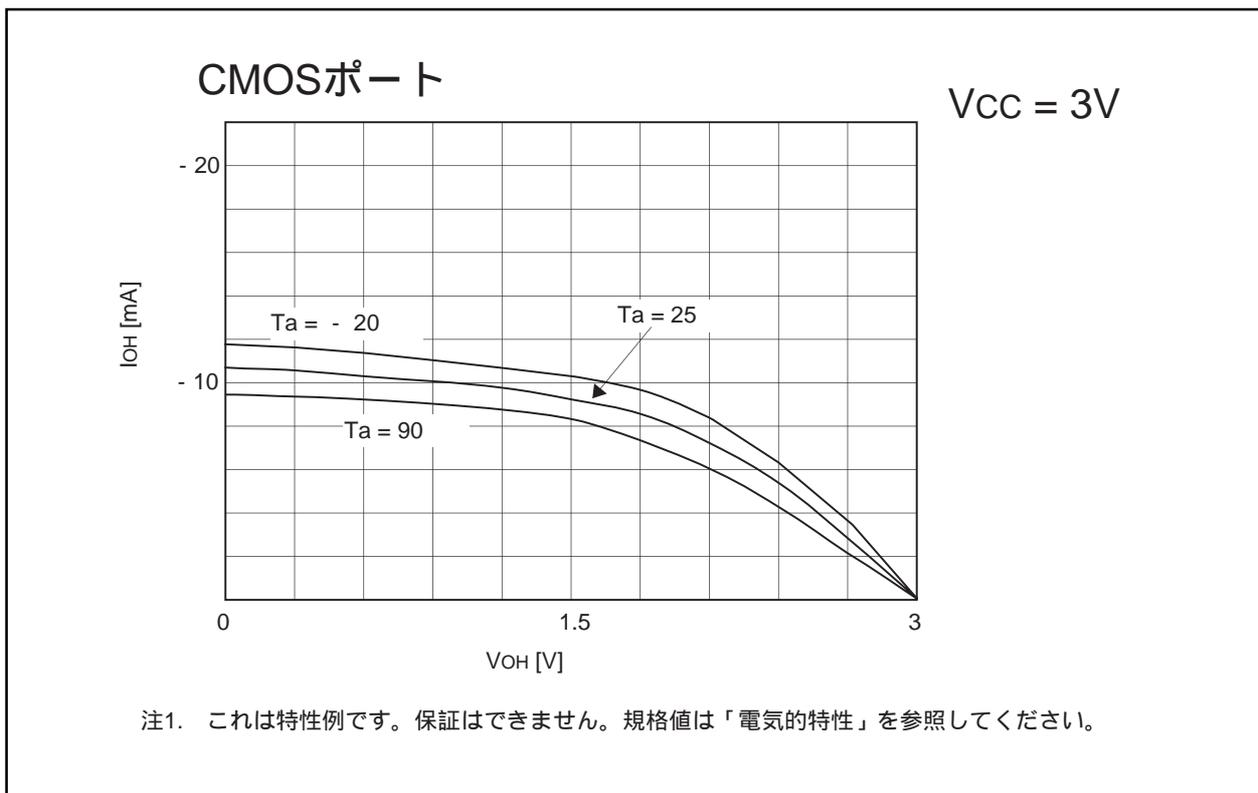


図5.1.3. ポートP44～P47、P7～P10のIOH-VOH標準特性(VCC=3V用)

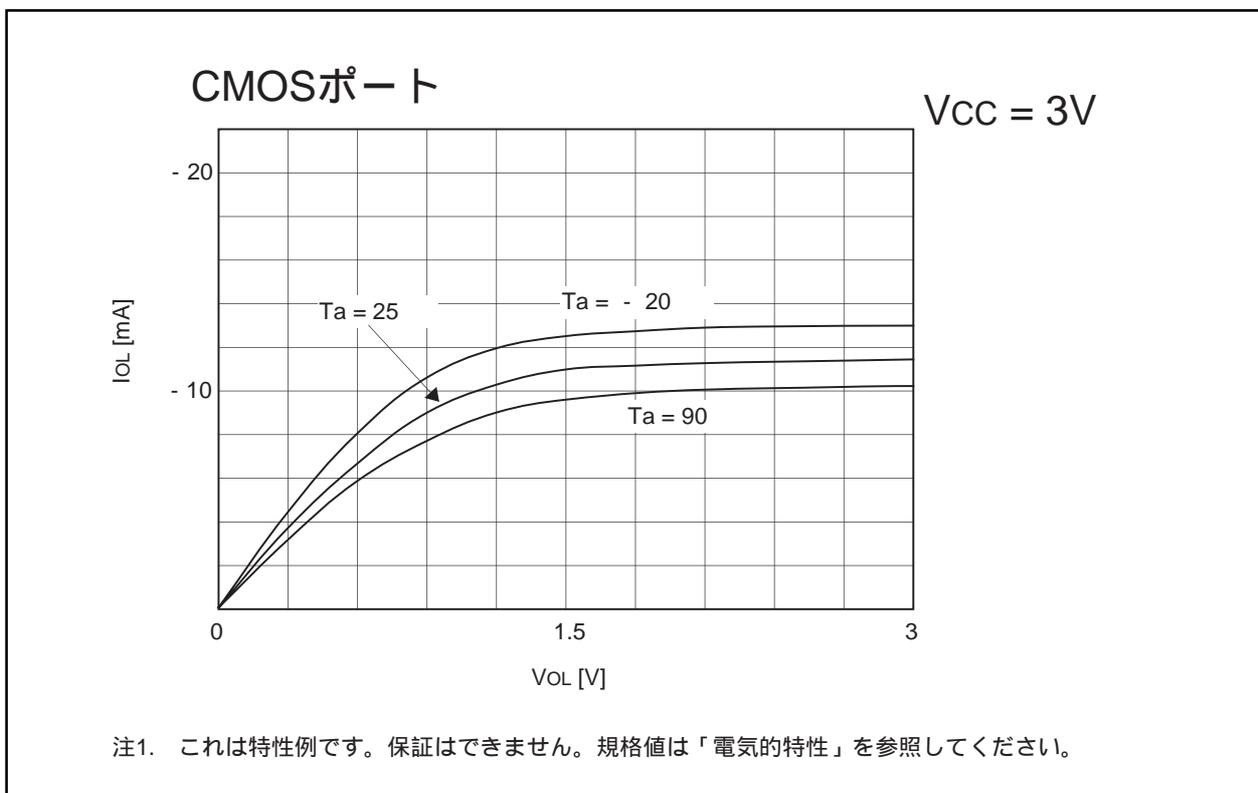


図5.1.4. ポートP44～P47、P7～P10のIOL-VOL標準特性(VCC=3V用)

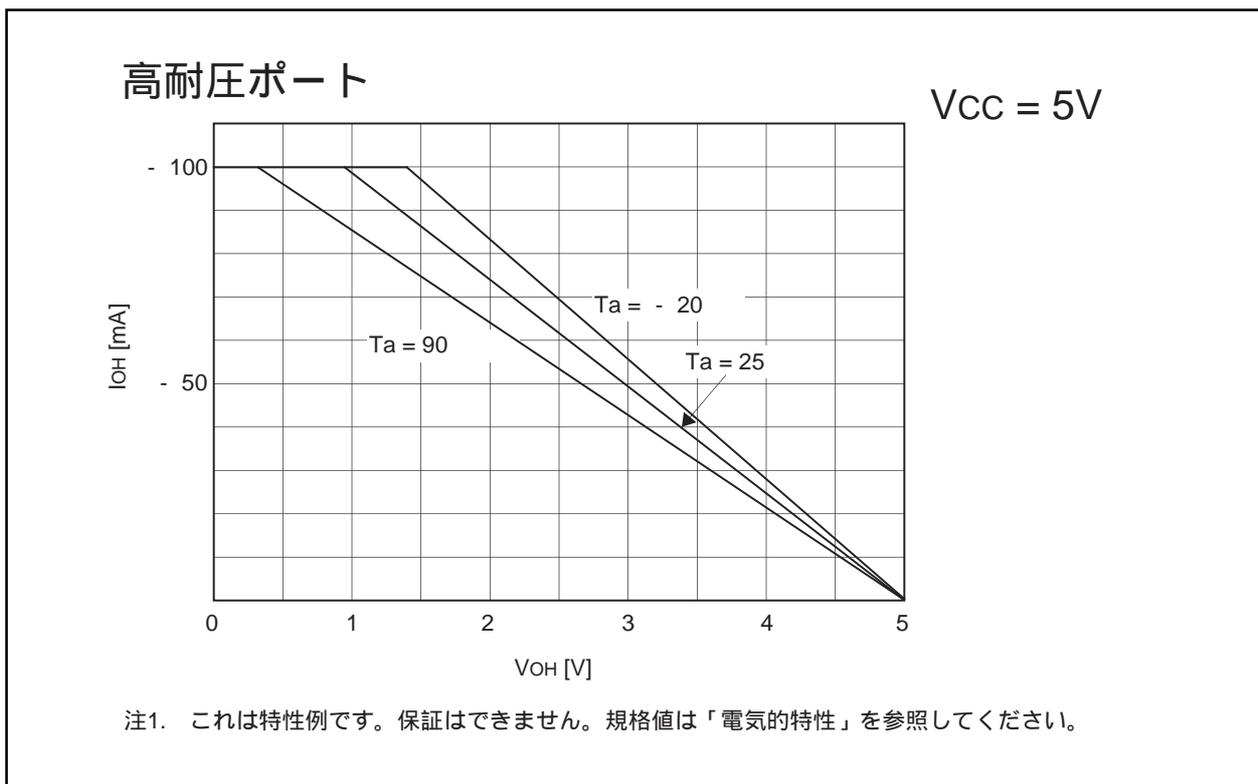


図5.1.5. ポートP0～P3、P40～P43、P5、P6の I_{OH} - V_{OH} 標準特性($V_{CC}=5V$ 用)

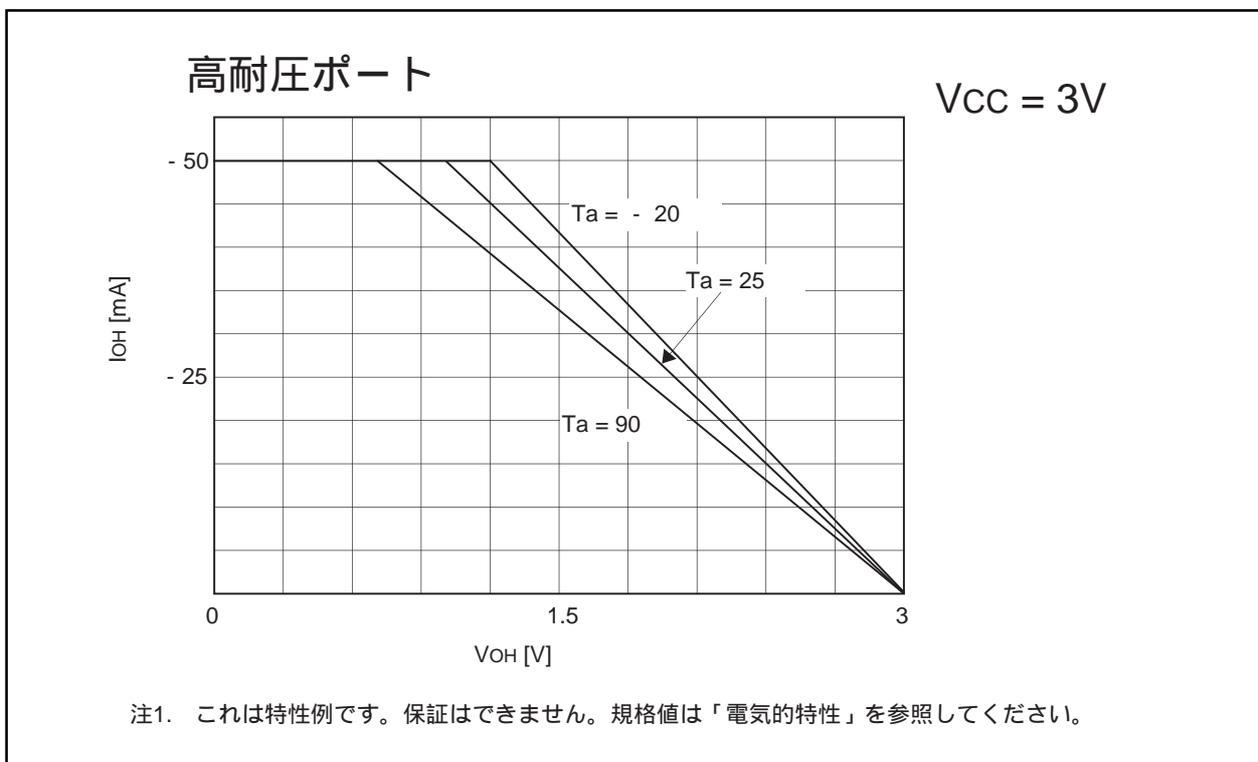


図5.1.6. ポートP0～P3、P40～P43、P5、P6の I_{OL} - V_{OL} 標準特性($V_{CC}=3V$ 用)

5.1.2 ICC-f(XIN)特性

図5.1.7、図5.1.8にICC-f(XIN)特性を示します。

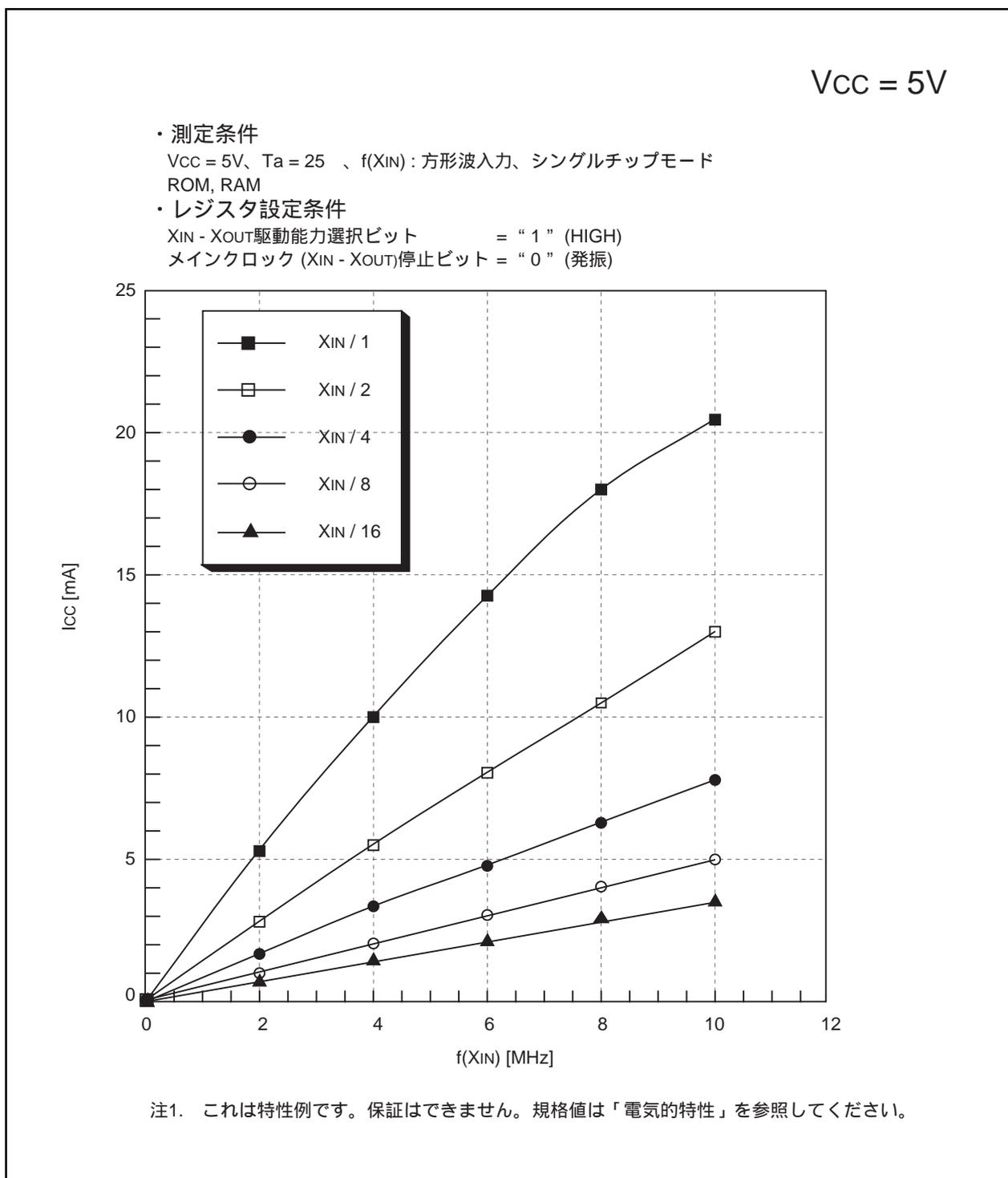


図5.1.7. ICC-f(XIN)特性(VCC=5V用)

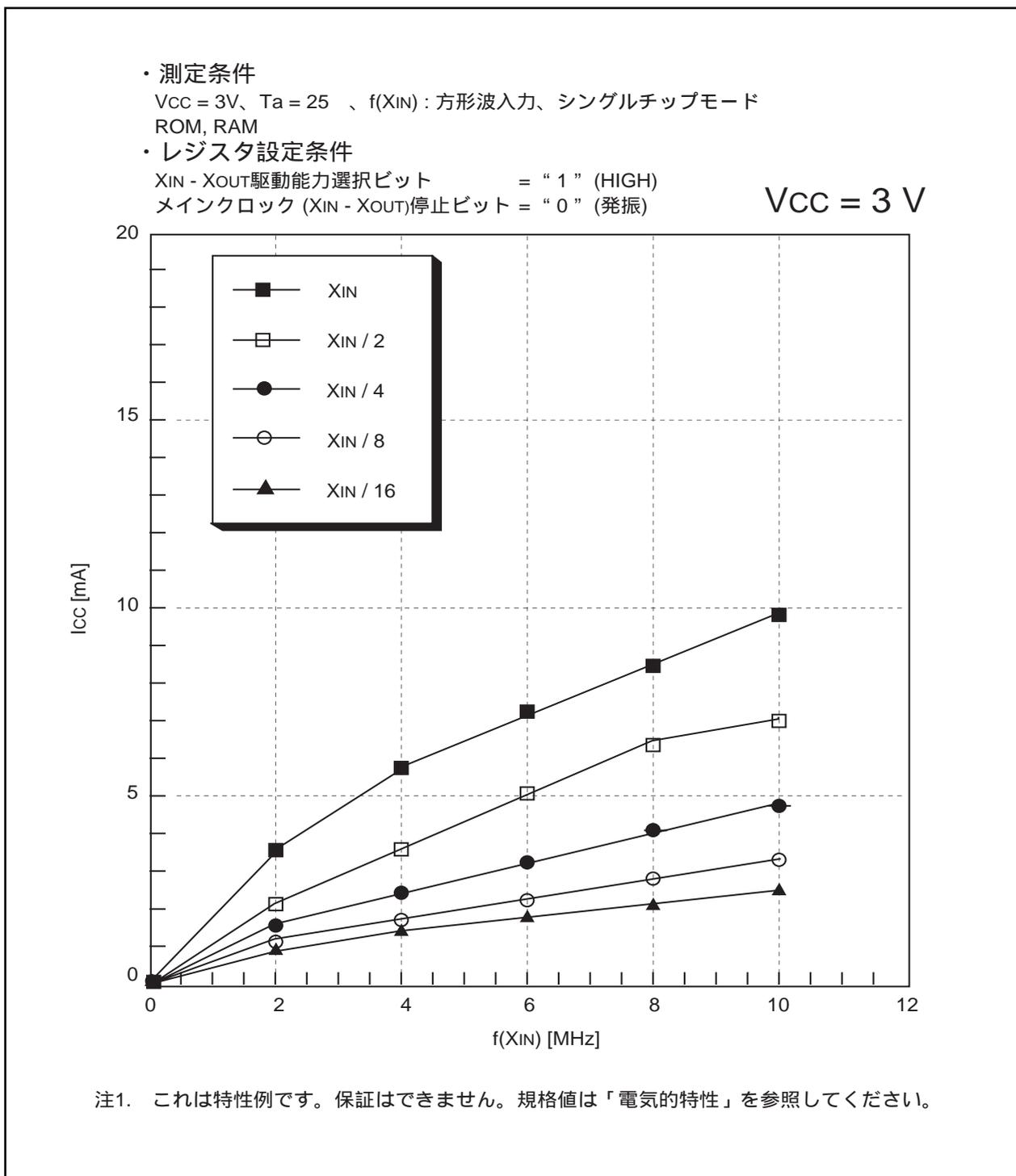


図5.1.8. Icc-f(XIN)特性(Vcc=3V用)

5.2 A-D変換器標準特性

本節で記載している標準特性はM30218MC-AXXXFPの特性例です。この例について、保証はできません。規格値は「電気的特性」を参照してください。

図5.2.1、図5.2.2にA-D変換器標準特性を示します。

グラフ上側のラインは絶対精度誤差を示し、グラフ下側のラインは、微分非直線性誤差を示します。

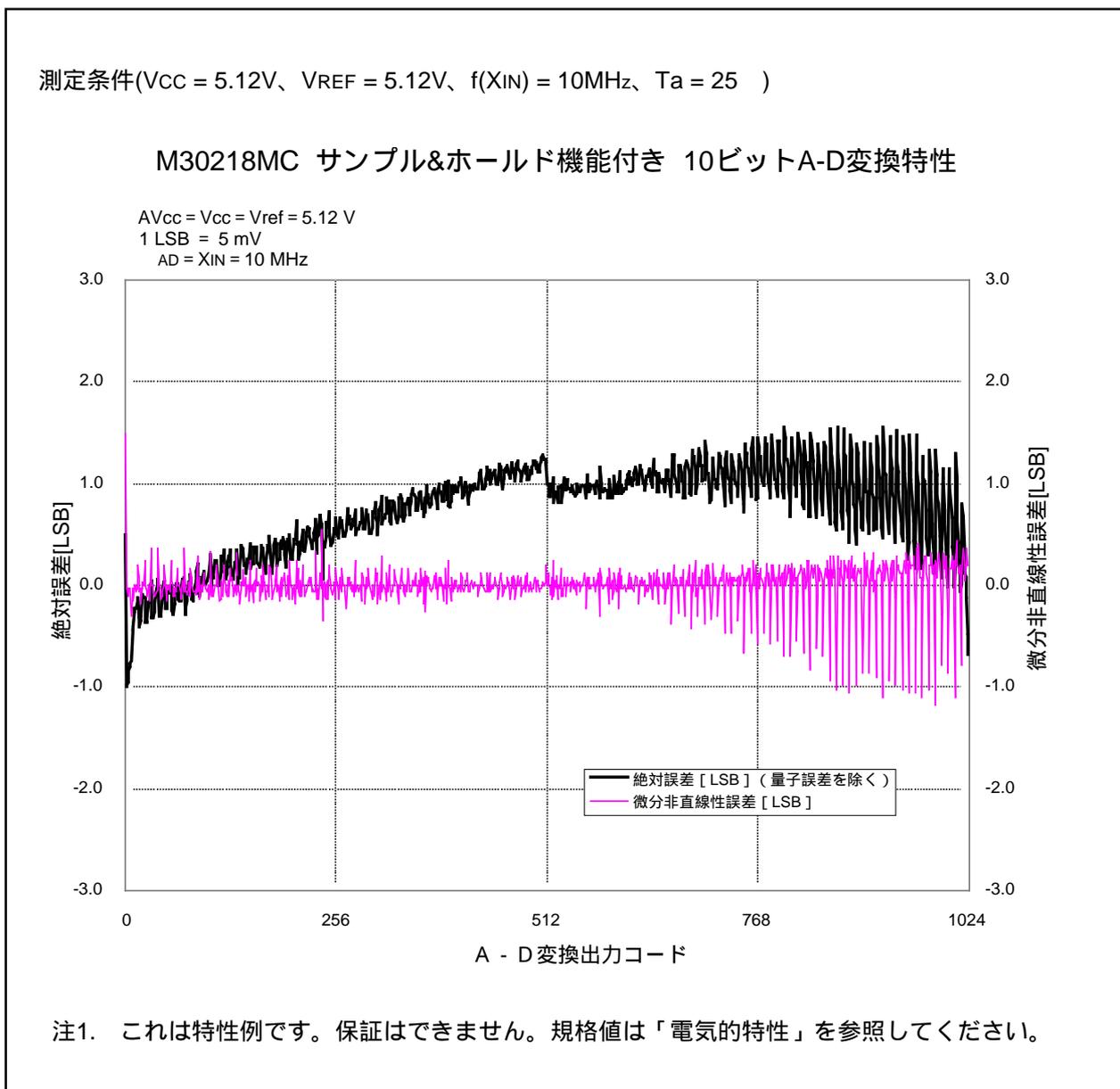


図5.2.1. A-D変換器標準特性

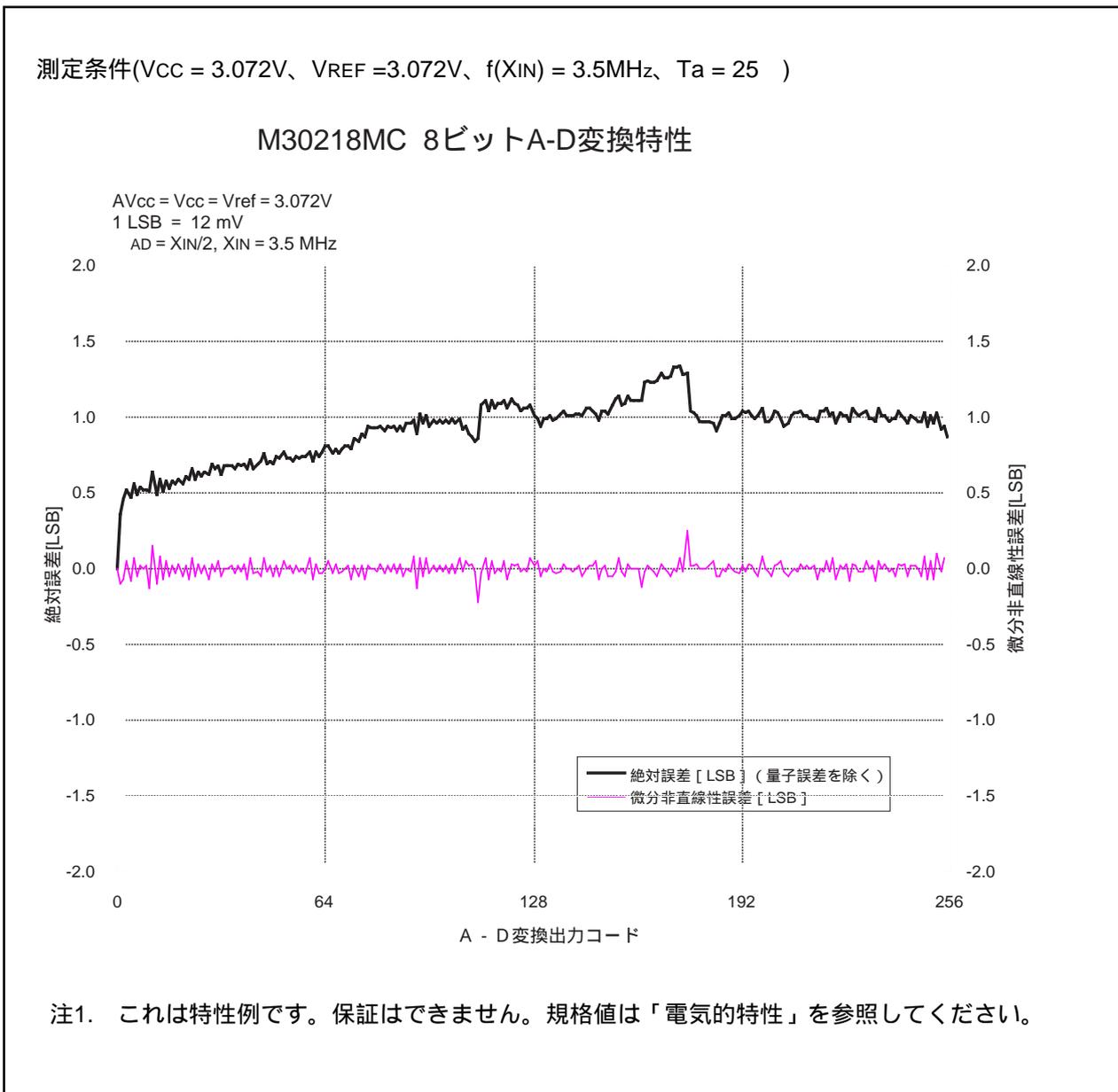


図5.2.2. A-D変換器標準特性

5.3 D-A変換標準特性例

本節で記載している標準特性はM30218MC-AXXXFPの特性例です。この例について、保証はできません。規格値は「電気的特性」を参照してください。

図5.3.1、図5.3.2にD-A変換器標準特性を示します。

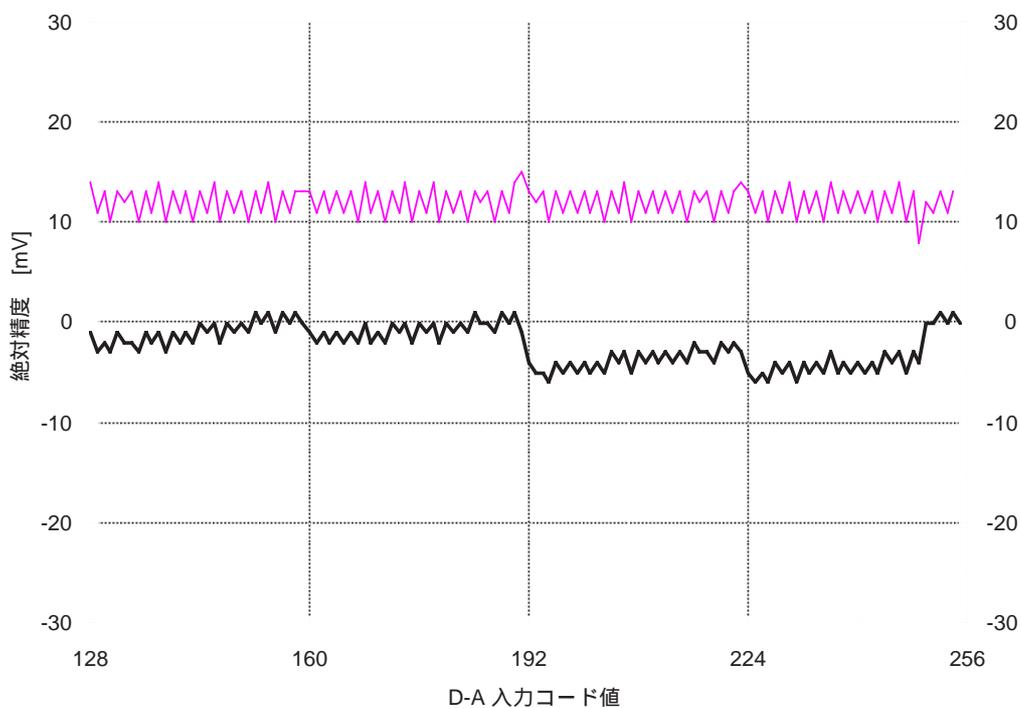
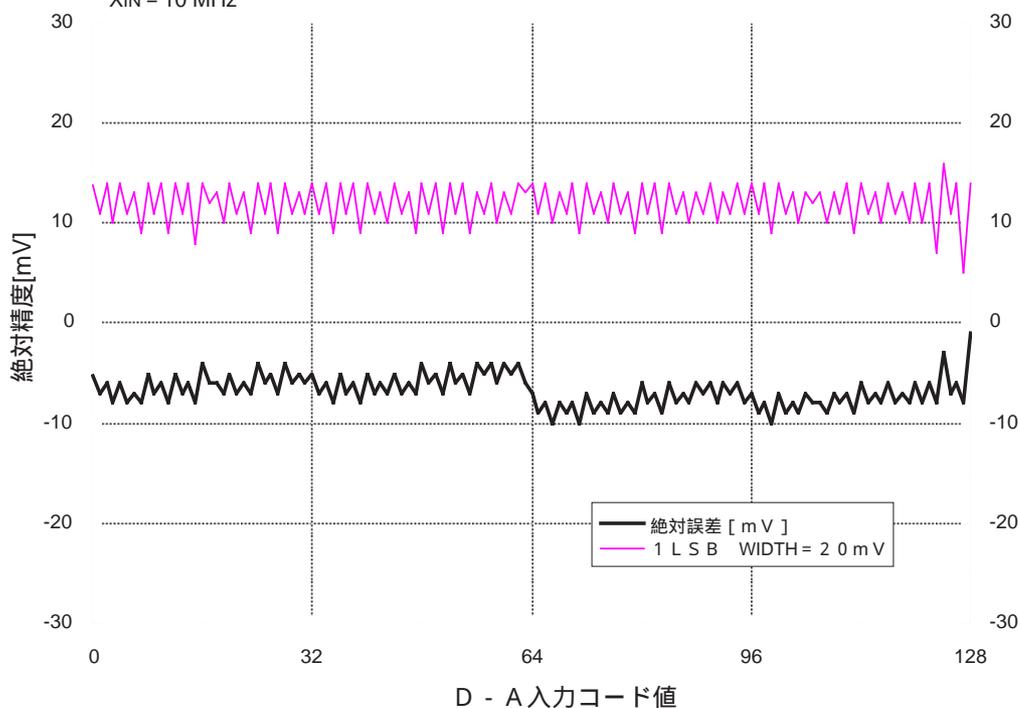
グラフ下側のラインは絶対精度誤差を示します。これは、入力コードに対する理想的なアナログ値と測定された値の差を表します。

グラフ上側のラインは、入力コードの1ビット変化に対する出力アナログ値の変化幅を表します。

測定条件(VCC = 5.12V、VREF = 5.12V、f(XIN) = 10MHz、Ta = 25)

M30218MC 8ビットD-A変換特性

AVCC = VCC = VREF = 5.12V
1LSB = 20mV
XIN = 10 MHz



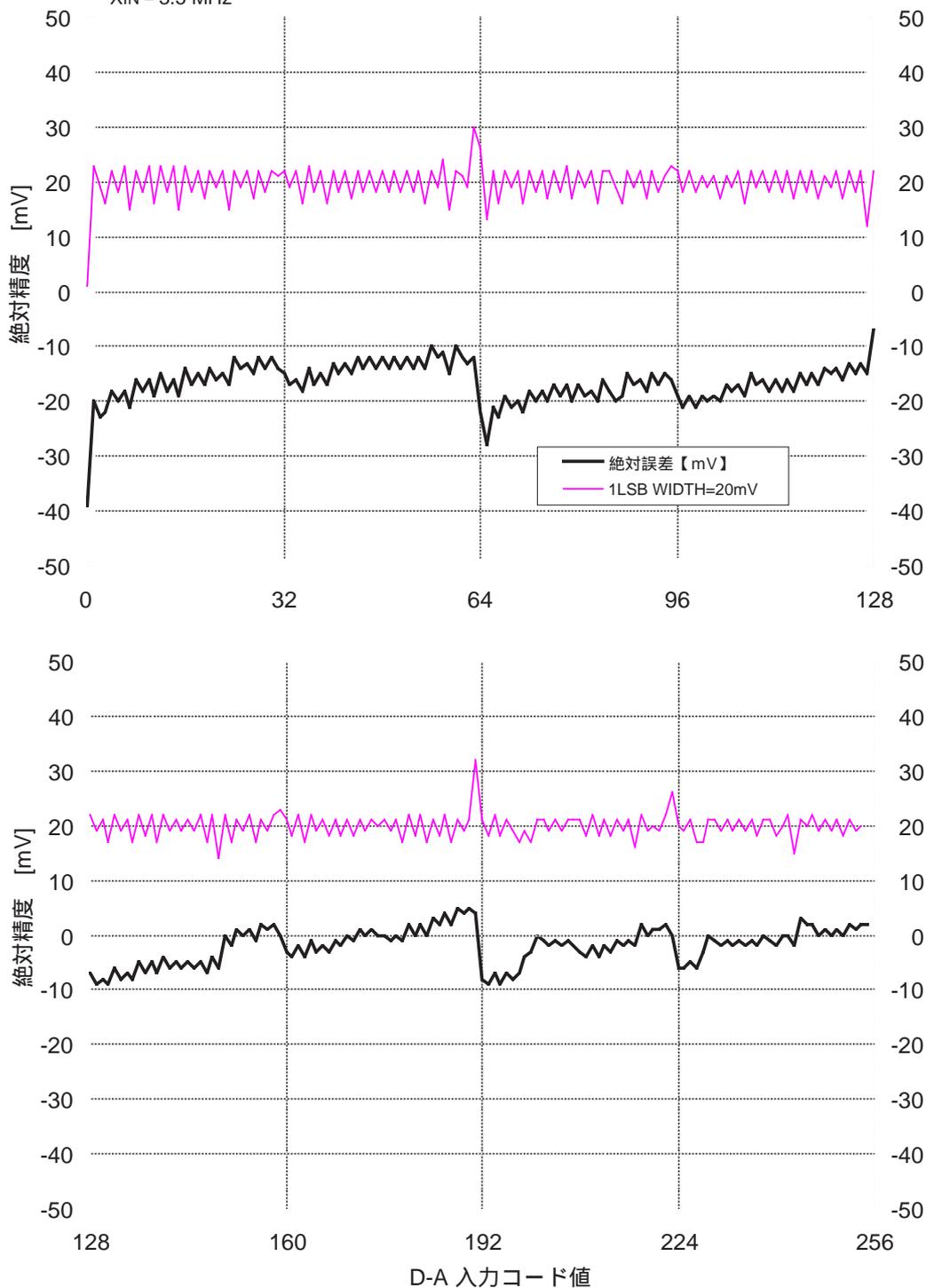
注1. これは特性例です。保証はできません。規格値は「電気的特性」を参照してください。

図5.3.1. D-A変換器標準特性

測定条件($V_{CC} = 3.072V$ 、 $V_{REF} = 3.072V$ 、 $f(XIN) = 3.5MHz$ 、 $T_a = 25$)

M30218FC/MC 8ビットD-A変換特性

$AV_{CC} = V_{CC} = V_{REF} = 3.072V$
1LSB = 12mV
XIN = 3.5 MHz



注1. これは特性例です。保証はできません。規格値は「電気的特性」を参照してください。

図5.3.2. D-A変換器標準特性

5.4 プルアップ抵抗標準特性例

図5.4.1にプルアップ抵抗標準特性例を示します。

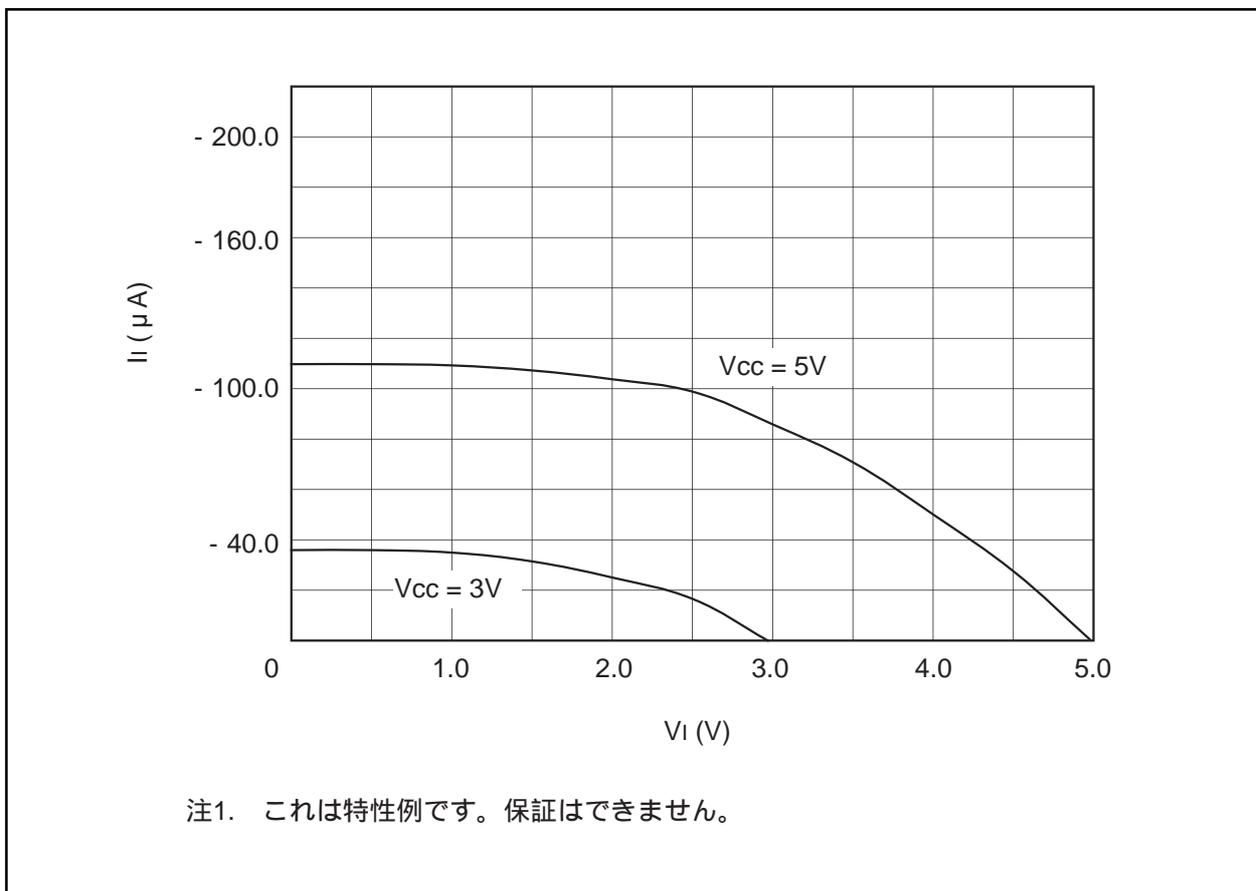


図5.4.1. プルアップ抵抗標準特性

改定副番	主な改定内容	改定年月日
REV.C	・3V時、自動転送付きシリアルI/Oの規格値確定(150頁) ・フラッシュメモリ版、ユーザROM領域のブロック変更(153、154頁)	'00.11.10
	・プルダウンのオプション指定削除 (3、6、7、8、128、134、135、141、143、147、286、436、442、444頁)	'01.6.19
改定履歴	M30218グループユーザズマニュアル	

三菱シングルチップマイクロコンピュータ
ユーザーズマニュアル
M30218 グループ REV.C

2001年6月発行
編集 三菱電機セミコンダクタ・アプリケーション・エンジニアリング株式会社
発行 三菱電機株式会社

禁無断転載

本説明書の一部又は全部を、当社に断りなく、いかなる形でも転載又は複製することを堅くお断りします。

©2001 MITSUBISHI ELECTRIC CORPORATION

M30218 グループ
ユーザーズマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668