

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

M16C/70グループ

ユーザーズマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ
M16Cファミリ / M16C/70シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジー製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジーが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジーは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジーは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジー半導体製品のご購入に当たりますとは、事前にルネサス テクノロジー、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジーホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジーはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジーは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジー、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジーの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジー、ルネサス販売または特約店までご照会ください。

はじめに

このたび、CMOS16ビットシングルチップマイクロコンピュータM16C/70グループのハードウェアについて、マニュアルを作成しましたので、ご案内申し上げます。

このマニュアルはM16C/70グループの機能や特長などをユーザの皆様によく理解していただき、その機能を最大限に生かしていただくために作成しました。ハードウェアについて仕様から応用までを詳細に説明していますので、ご活用ください。

(このページは白紙です)

ユーザーズマニュアルご使用の前に

1. 構成

このユーザーズマニュアルは次の章で構成されています。

使用する機種、プロセッサモードに応じた章を参照してください。

本マニュアルでは特に断らない限り、M16C/70グループ、又はM16C/70グループの中の一機種をM16C/70と称します。

第1章 概要 ~ 第16章 ストップモード、ウエイトモード（第3章を除く）
すべての機種、及びプロセッサモードに共通する機能を説明しています。

第3章 外部デバイス接続
メモリ拡張モードで外部デバイスを接続する際に使用する機能を説明しています。

第17章 フラッシュメモリ
内蔵のフラッシュメモリについて説明しています。

付 録
M16C/70グループを使用される際に有益な参考情報を掲載しています。

2. 注意

マイコンについての下記の情報は、次に示す各資料を参照ください。

これらの資料は、<http://www.renesas.com/>で参照いただけます。

機種展開 : 最新のデータシート又はカタログ類
電気的特性 : 最新のデータシート
ソフトウェア : M16C/80、M16C/70シリーズ ソフトウェアマニュアル

開発サポートツールについての情報は、最新のデータシート又はカタログ類を参照ください。

これらの資料は、<http://www.renesas.com/>で参照いただけます。

3. 図中の信号レベル

各機能の動作例及びタイミング例の図中の信号レベルは、原則として以下の意味を持ちます。

- ・ 信号レベルは、上が“1”、下が“0”
- ・ 端子の入出力レベルは、上が“H”、下が“L”

原則に沿わないものについては、信号の左側に表示します。

ユーザーズマニュアルご使用の前に

4. レジスタの構成図

各レジスタ構成は、次のように参照してください。

XXX レジスタ XXX (レジスタシンボル) 【XX₁₆ 番地】

ビット	ビットシンボル	ビット名	機能	リセット時	R/W
0	PM00	・・・選択ビット	0:・・・ 1:・・・ 読み出し時の値は“0”	不定	WO
1	PM01	・・・選択ビット	b2 b1 00:・・・ 01:・・・	0	RW
2	PM02	・・・選択ビット	10:・・・ 11:・・・	0	RW
3	PM03	・・・フラグ	0:・・・ 1:・・・	0	RO
4	-	“0”に固定してください		0	RW
5	PM05	・・・モードでは無効		0	RW
6	-	何も配置されていない		不定	-
7	-	読み出し時の値は“0”		0	-

- *1 空白 : 用途に応じて“0”又は“1”を設定してください。
0 : 書き込み時は“0”にしてください。
1 : 書き込み時は“1”にしてください。
X : 特定のモード又は状態で、使用しないビット。“0”又は“1”いずれでもよい。
■ : 何も配置されていない。
- *2 0 : リセット直後“0”になる。
1 : リセット直後“1”になる。
不定 : リセット直後、不定になる。
- *3 RW : 読み出すとビットの状態が読み出せる。
書き込んだ値は有効データになる。
RO : 読み出すとビットの状態が読み出せる。
書き込んだ値は無効になる。したがって、書き込む値は“0”又は“1”いずれでもよい。
WO : 書き込んだ値は有効データになる。
ビットの状態は読み出せない。読み出し時の値は不定。
ただし、機能欄又は注に「読み出し時の値は“0”」と書いてあるビットは、読み出し時の値が必ず“0”になる(上図*5参照)。
- : ビットの状態は読み出せない。読み出し時の値は不定。
ただし、機能欄又は注に「読み出し時の値は“0”」と書いてあるビットは、読み出し時の値が必ず“0”になる(上図*6参照)。
書き込んだ値は無効になる。したがって、書き込む値は“0”又は“1”いずれでもよい。
- *4 その機能又はモードでは使用しないビット。

目次

第1章 概要

1.1	性能概要	1-2
1.2	ピン接続図	1-3
1.3	端子の機能説明	1-4
1.4	プロセッサモード別端子機能一覧	1-7
1.5	機能ブロック図	1-10

第2章 中央演算処理装置(CPU)

2.1	中央演算処理装置(CPU)	2-2
2.1.1	データレジスタ(R0、R1、R2、R3)	2-3
2.1.2	アドレスレジスタ(A0、A1)	2-3
2.1.3	スタティックベースレジスタ(SB)	2-3
2.1.4	フレームベースレジスタ(FB)	2-3
2.1.5	スタックポインタ(USP、ISP)	2-3
2.1.6	割り込みテーブルレジスタ(INTB)	2-4
2.1.7	プログラムカウンタ(PC)	2-4
2.1.8	フラグレジスタ(FLG)	2-4
2.1.9	フラグ退避レジスタ(SVF)	2-5
2.1.10	PC退避レジスタ(SVP)	2-5
2.1.11	ベクタレジスタ(VCT)	2-6
2.1.12	DMAモードレジスタ(DMD0、DMD1)	2-6
2.1.13	DMA転送カウントレジスタ(DCT0、DCT1)	2-6
2.1.14	DMA転送カウントリロードレジスタ(DRC0、DRC1)	2-6
2.1.15	DMAメモリアドレスレジスタ(DMA0、DMA1)	2-6
2.1.16	DMAメモリアドレスリロードレジスタ(DRA0、DRA1)	2-6
2.1.17	DMA SFRアドレスレジスタ(DSA0、DSA1)	2-6
2.2	メモリ配置	2-7
2.3	プロセッサモード	2-13
2.3.1	シングルチップモード	2-14
2.3.2	メモリ拡張モード	2-14

第3章 外部デバイス接続

3.1	概要	3-2
3.2	外部デバイスのアクセスに必要な信号	3-4
3.3	関連レジスタ	3-5
3.4	設定方法	3-10
3.5	外部バス動作	3-11

3.5.1	分離バス選択時のバスサイクル	3-11
3.5.2	マルチブレックスバス選択時のバスサイクル	3-14
3.5.3	リカバリサイクル挿入時のバスサイクル	3-16
3.6	レディー機能	3-17
3.6.1	概要	3-17
3.6.2	動作説明	3-18
3.7	ホールド機能	3-19
3.7.1	概要	3-19
3.7.2	動作説明	3-20
3.8	応用	3-21
第4章 リセット		
4.1	リセット動作	4-2
4.1.1	ハードウェアリセット	4-2
4.1.2	ソフトウェアリセット	4-3
4.1.3	パワーオンリセット	4-4
4.2	端子の状態	4-5
4.3	内部領域の状態	4-5
4.4	リセット後の内部処理シーケンス	4-22
第5章 クロック発生回路		
5.1	発振回路例	5-2
5.1.1	発振子の接続例	5-2
5.1.2	外部で生成されたクロックの入力例	5-2
5.1.3	フィルタ回路接続例	5-2
5.2	ブロック図	5-3
5.3	関連レジスタ	5-5
5.4	設定方法	5-10
	【クロック発生回路使用上の注意】	5-12
第6章 入出力端子		
6.1	概要	6-2
6.2	ブロック図	6-2
6.3	関連レジスタ	6-4
6.4	動作説明	6-5
6.5	未使用端子の処理例	6-6
6.5.1	シングルチップモード時	6-6
6.5.2	メモリ拡張モード時	6-7
6.6	I/O拡張例	6-8

第7章 割り込み

7.1 概要	7-2
7.2 割り込み要因	7-3
7.3 関連レジスタ	7-5
7.4 割り込み制御	7-7
7.4.1 割り込み優先順位	7-7
7.4.2 割り込みの受付	7-10
7.4.3 割り込みルーチンからの復帰	7-11
7.4.4 多重割り込み	7-11
7.5 外部割り込み	7-13
7.5.1 $\overline{\text{NMI}}$ 割り込み	7-13
7.5.2 $\overline{\text{INT}}$ 割り込み	7-14
7.6 高速割り込み	7-16
【割り込み使用上の注意】	7-17

第8章 キー入力割り込み

8.1 概要	8-2
8.2 ブロック図	8-2
8.3 関連レジスタ	8-3
8.4 設定方法	8-6

第9章 タイマA

9.1 概要	9-2
9.2 ブロック図	9-2
9.3 関連レジスタ	9-3
9.4 タイマモード	9-7
9.4.1 タイマモード時のタイマAiレジスタ及びタイマAiモードレジスタ	9-8
9.4.2 タイマモード設定方法	9-9
9.4.3 タイマモード動作説明	9-10
【タイマモード使用上の注意】	9-12
9.5 イベントカウンタモード	9-13
9.5.1 イベントカウンタモード時のタイマAiレジスタ及びタイマAiモードレジスタ	9-15
9.5.2 二相パルス信号処理機能	9-17
9.5.3 イベントカウンタモード設定方法	9-19
9.5.4 イベントカウンタモード動作説明	9-21
【イベントカウンタモード使用上の注意】	9-23
9.6 ワンショットパルスモード	9-24
9.6.1 ワンショットパルスモード時のタイマAiレジスタ及びタイマAiモードレジスタ	9-25
9.6.2 ワンショットパルスモード設定方法	9-27

9.6.3 ワンショットパルスモード動作説明	9-29
【ワンショットパルスモード使用上の注意】	9-31
9.7 パルス幅変調(PWM)モード	9-32
9.7.1 PWMモード時のタイマAiレジスタ及びタイマAiモードレジスタ	9-33
9.7.2 PWMモード設定方法	9-35
9.7.3 PWMモード動作説明	9-37
【パルス幅変調(PWM)モード使用上の注意】	9-41

第10章 タイマB

10.1 概要	10-2
10.2 ブロック図	10-2
10.3 関連レジスタ	10-3
10.4 タイマモード	10-5
10.4.1 タイマモード時のタイマBiレジスタ及びタイマBiモードレジスタ	10-6
10.4.2 タイマモード設定方法	10-7
10.4.3 タイマモード動作説明	10-8
【タイマーモード使用上の注意】	10-8
10.5 イベントカウンタモード	10-9
10.5.1 イベントカウンタモード時のタイマBiレジスタ及びタイマBiモードレジスタ ..	10-10
10.5.2 イベントカウンタモード設定方法	10-11
10.5.3 イベントカウンタモード動作説明	10-12
【イベントカウンタモード使用上の注意】	10-12
10.6 パルス周期測定 / パルス幅測定モード	10-13
10.6.1 パルス周期測定 / パルス幅測定モード時の タイマBiレジスタ及びタイマBiモードレジスタ	10-14
10.6.2 パルス周期測定 / パルス幅測定モード設定方法	10-16
10.6.3 パルス周期測定 / パルス幅測定モード動作説明	10-17
【パルス周期測定 / パルス幅測定モード使用上の注意】	10-19

第11章 シリアルI/O

11.1 概要	11-2
11.2 ブロック図	11-2
11.3 関連レジスタ	11-4
11.4 CTS/RTS機能	11-12
11.4.1 CTS機能	11-12
11.4.2 RTS機能	11-12
11.4.3 接続例	11-12
11.5 クロック同期形シリアルI/Oモード	11-13
11.5.1 転送クロック(同期クロック)	11-14
11.5.2 転送データフォーマット	11-15

11.5.3 送信	11-16
11.5.4 受信	11-20
【クロック同期形シリアル/Oモード使用上の注意】.....	11-24
11.6 クロック非同期形シリアル/(UART)モード	11-25
11.6.1 転送速度(転送クロックの周波数).....	11-26
11.6.2 転送データフォーマット	11-28
11.6.3 送信	11-29
11.6.4 受信	11-34
【クロック非同期形シリアル/(UART)モード使用上の注意】.....	11-37
11.7 エラー検出時の処理	11-38

第12章 A-D変換器

12.1 概要	12-2
12.2 ブロック図	12-2
12.3 関連レジスタ	12-3
12.4 A-D変換方式	12-9
12.5 絶対精度と微分非直線性誤差	12-12
12.5.1 絶対精度	12-12
12.5.2 微分非直線性誤差	12-13
12.6 単発モード	12-14
12.6.1 単発モード設定方法	12-14
12.6.2 単発モード動作説明	12-15
12.7 繰り返しモード	12-16
12.7.1 繰り返しモード設定方法	12-16
12.7.2 繰り返しモード動作説明	12-17
12.8 単掃引モード	12-18
12.8.1 単掃引モード設定方法	12-18
12.8.2 単掃引モード動作説明	12-19
12.9 繰り返し掃引モード	12-20
12.9.1 繰り返し掃引モード設定方法	12-20
12.9.2 繰り返し掃引モード動作説明	12-21
【A-D変換器使用上の注意】.....	12-22

第13章 D-A変換器

13.1 概要	13-2
13.2 ブロック図	13-2
13.3 関連レジスタ	13-3
13.4 設定方法	13-5
13.4.1 D-A変換タイミングにD-Aレジスタ書き込み時を選択する場合	13-5
13.4.2 D-A変換タイミングにタイマA3、タイマA4、又はタイマB0割り込み要求	

発生時を選択する場合	13-5
13.4.3 アナログ電圧の出力を停止する場合	13-8
13.5 動作説明	13-9
【D-A変換器使用上の注意】.....	13-10
第14章 DMAC	
14.1 概要	14-2
14.2 ブロック図	14-2
14.3 関連レジスタ	14-3
14.4 DMA要求の受付	14-9
14.5 転送サイクル	14-10
14.6 単転送モード	14-10
14.7 リピート転送モード	14-12
【DMAC使用上の注意】.....	14-14
第15章 監視タイマ	
15.1 ブロック図	15-2
15.2 関連レジスタ	15-2
15.3 設定方法	15-4
15.4 動作説明	15-5
15.4.1 リセット後の動作	15-6
15.4.2 アンダフロー時の動作	15-6
15.4.3 停止期間	15-6
15.4.4 監視タイマの状態	15-6
15.4.5 監視タイマの禁止	15-6
【監視タイマ使用上の注意】.....	15-6
第16章 ストップモード、ウェイトモード	
16.1 概要	16-2
16.2 関連レジスタ	16-3
16.3 ストップモード	16-6
16.3.1 設定方法	16-6
16.3.2 解除後の動作	16-6
16.3.3 解除後の設定	16-6
16.4 ウェイトモード	16-9
16.4.1 設定方法	16-9
16.4.2 解除後の動作	16-9

第17章 フラッシュメモリ

17.1 概要	17-2
17.1.1 FVcc端子	17-2
17.1.2 メモリ配置	17-3
17.2 CPU書き換えモード	17-4
17.2.1 関連レジスタ	17-5
17.2.2 データ保護機能	17-8
17.2.3 CPU書き換えモード設定 / 解除方法	17-8
17.2.4 ソフトウェアコマンド	17-10
17.2.5 フルステータスチェック	17-12
17.2.6 電気的特性	17-14
【CPU書き換えモード使用上の注意】	17-14
17.3 シリアル入出力モード	17-15
17.3.1 シリアル入出力モード時の端子の機能説明	17-15
17.3.2 シリアル入出力モード使用時の制御端子処理例	17-17
【シリアル入出力モード使用上の注意】	17-18
17.4 パラレル入出力モード	17-19
【パラレル入出力モード使用上の注意】	17-19

付 録

付録1 . SFR領域のメモリ配置	付録-2
付録2 . 制御レジスタ一覧	付録-18
付録3 . 外形寸法図	付録-50
付録4 . 未使用端子の処理例	付録-52
付録5 . 16進命令コード対応表	付録-54
付録6 . ノイズに関する参考資料	付録-56
付録7 . M16C/70電気的特性	付録-62

Memo

第 1 章 概 要

- 1.1 性能概要
- 1.2 ピン接続図
- 1.3 端子の機能説明
- 1.4 プロセッサモード別端子機能一覧
- 1.5 機能ブロック図

1.1 性能概要

表1.1.1にM16C/70の性能概要を示します。

表1.1.1 M16C/70の性能概要

項目		性能			
基本命令数		106			
命令実行時間		29.4 ns(f(BCLK) = 34MHz時、最短命令)			
外部クロック入力周波数(f(XIN))		54MHz(最大)			
システムクロック周波数(f(BCLK))		M30700FJLGP	26MHz(最大)	M30700FKLGP	34MHz(最大)
メモリ容量	フラッシュメモリ		516Kバイト		772Kバイト
	RAM		8Kバイト		12Kバイト
プログラマブル 入出力ポート	P0 ~ P7、P9、P10	8ビット × 10			
	P8	5ビット × 1			
多機能タイマ	タイマA0 ~ タイマA4	16ビット × 5			
	タイマB0 ~ タイマB2	16ビット × 3			
シリアルI/O	UART0、UART1	(クロック同期形、又は非同期形) × 2			
A-D変換器		(10ビット逐次比較変換方式) × 1(8チャンネル)			
D-A変換器		8ビット × 3			
DMAC		4チャンネル サイクルスチール転送モード 単転送モード又はリピート転送モード			
監視タイマ		15ビット × 1			
チップセレクト出力		4本(CS ₀ ~ CS ₃)			
割り込み	ノンマスカブル	ソフトウェア4要因、ハードウェア2要因			
	マスカブル	内部17要因、外部6要因 ・各割り込みごとにレベル0 ~ 7までの割り込み優先レベルをソフトウェアで設定可能 ・高速割り込み可能			
クロック発生回路		内蔵(セラミック共振子、又は水晶発振子外付け)			
クロック分周回路		分周なし、2分周、4分周、8分周を選択可能			
PLL周波数変換回路		2、3、4、5逡倍と2、4分周の組み合わせを選択可能			
電源電圧		V _{CC} = 3.3V ± 0.3V、FV _{CC} = 5V ± 0.5V			
消費電流		34mA(f(BCLK) = 34MHz、CPU動作時)			
ポートの 入出力特性	入出力耐電圧	3.3V			
	出力電流	5mA			
メモリ拡張		可能(最大16Mバイト)			
動作周囲温度		- 20 ~ 85			
素子構造		CMOS高性能シリコンゲート			
パッケージ		100ピンプラスチックモールドQFP 0.5mm pitch 14 × 14mm			

1.2 ピン接続図

図1.2.1にM16C/70のピン接続図を示します。

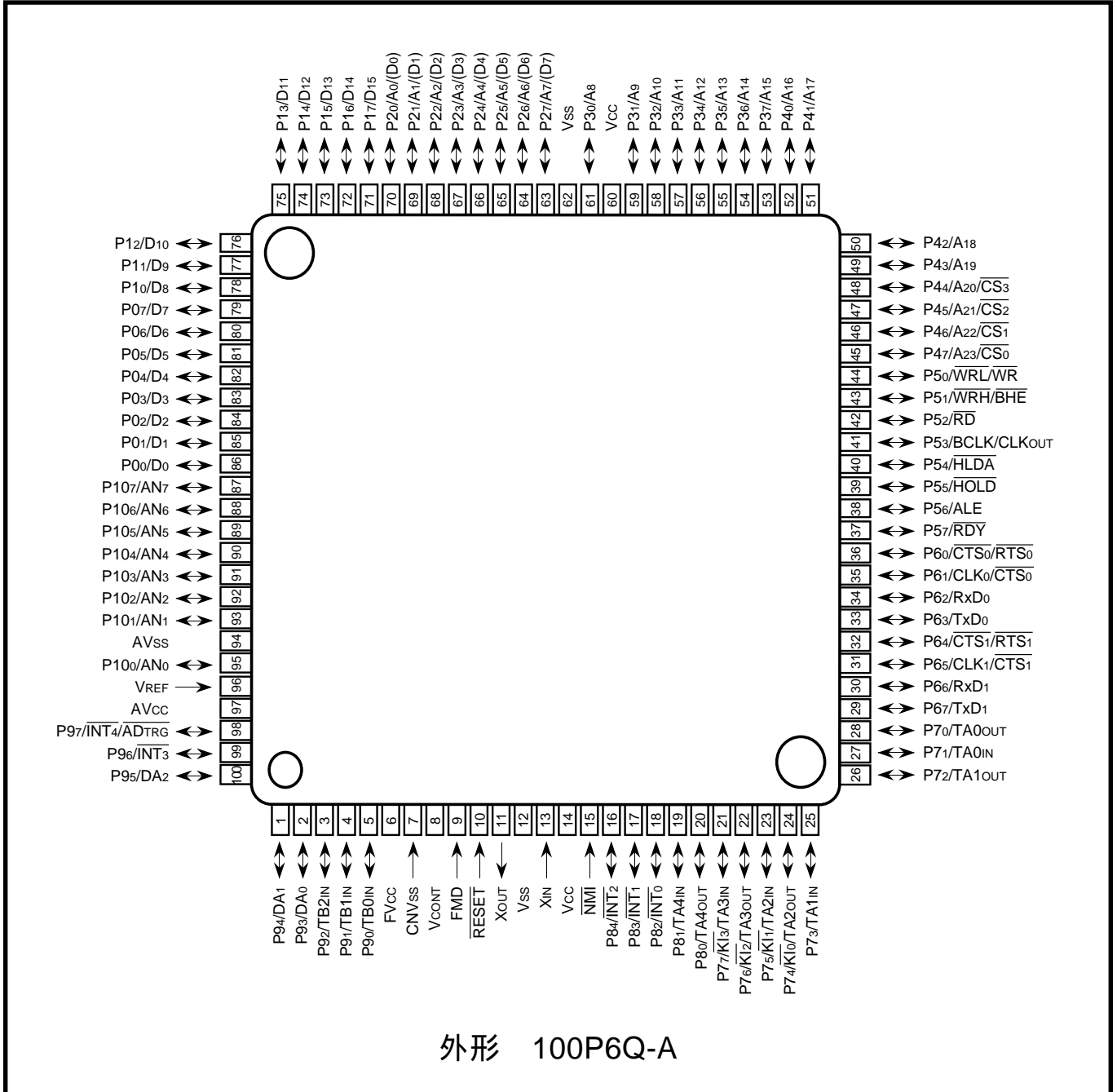


図1.2.1 M16C/70のピン接続図(上面図)

1.3 端子の機能説明

表1.3.1 ~ 表1.3.3に端子の機能説明を示します。

表1.3.1 端子の機能説明(1)

端子名	名称	入出力	機能
V _{CC} 、V _{SS}	電源入力		V _{CC} 端子には3.3V ± 0.3V、V _{SS} 端子には0Vを印加してください。
FV _{CC}	フラッシュメモリ用電源入力		この端子には5V ± 0.5Vを印加してください。FV _{CC} 端子とV _{SS} 端子の間には、0.1 μF程度(参考値)のバイパスコンデンサを挿入してください。
CNV _{SS}	CNV _{SS}	入力	V _{SS} に接続してください。
FMD	FMD	入力	V _{SS} に接続してください。
RESET	リセット入力	入力	この端子に“L”レベルを入力すると、マイクロコンピュータはリセット状態になります。
X _{IN}	クロック入力	入力	クロック発生回路の入出力端子です。X _{IN} 端子とX _{OUT} 端子の間にはセラミック共振子、又は水晶共振子を接続してください。
X _{OUT}	クロック出力	出力	外部で生成したクロックを入力する場合は、X _{IN} 端子から外部で生成したクロックを入力し、X _{OUT} 端子は開放してください。
NMI	NMI割り込み入力	入力	NMI割り込みの入力端子です。RESET端子のレベルが“L”の期間及びリセット後はプルアップされます。プルアップはソフトウェアで解除できます。
V _{CONT}	フィルタ回路接続		PLL周波数通倍回路を使用する場合は、この端子にフィルタ回路を接続してください。
AV _{CC}	アナログ電源入力		A-D変換器の電源入力端子です。V _{CC} に接続してください。
AV _{SS}			A-D変換器及びD-A変換器の電源入力端子です。V _{SS} に接続してください。
V _{REF}	基準電圧入力	入力	A-D変換器及びD-A変換器の基準電圧入力端子です。
P0 ₀ ~ P0 ₇	入出力ポートP0	入出力	【シングルチップモード時】 CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、端子ごとに入力、又は出力ポートに設定できます。
D0 ~ D7		入出力	【メモリ拡張モード時】 データの低位8ビット(D0 ~ D7)を入出力します。 すべてのCS _i 領域でマルチプレックスバスを選択している場合、ソフトウェアで選択することによって、入出力ポートとして機能します。
P10 ~ P17	入出力ポートP1	入出力	【シングルチップモード時】 P0と同等の機能を持つ8ビット入出力ポートです。
D8 ~ D15		入出力	【メモリ拡張モード時】 データの上位8ビット(D8 ~ D15)を入出力します。 すべてのCS _i 領域でデータバス幅8ビットを選択している場合、P0と同等の機能を持つ入出力ポートとして機能します。
P20 ~ P27	入出力ポートP2	入出力	【シングルチップモード時】 P0と同等の機能を持つ8ビット入出力ポートです。
A0 ~ A7		入出力	【メモリ拡張モード時】 アドレスの低位8ビット(A0 ~ A7)を出力します。 マルチプレックスバス選択時、設定された領域をアクセスすると、アドレス出力(A0 ~ A7)とデータ入出力(D0 ~ D7)を時分割で行います。

表1.3.2 端子の機能説明(2)

端子名	名称	入出力	機能
P3 ₀ ~ P3 ₇	入出力ポートP3	入出力	【シングルチップモード時】 P0と同等の機能を持つ8ビット入出力ポートです。
A ₈ ~ A ₁₅		出力	【メモリ拡張モード時】 アドレスの中位8ビット(A ₈ ~ A ₁₅)を出力します。 また、ソフトウェアで選択することによって、P0と同等の機能を持つ8ビット入出力ポートとしても機能します。
P4 ₀ ~ P4 ₇	入出力ポートP4	入出力	【シングルチップモード時】 P0と同等の機能を持つ8ビット入出力ポートです。
A ₁₆ ~ A ₂₃		出力	【メモリ拡張モード時】 アドレスの上位8ビット(A ₁₆ ~ A ₂₃)を出力します。 A ₂₀ ~ A ₂₃ は、ソフトウェアの設定によって、CS ₃ ~ CS ₀ としても機能します。 また、ソフトウェアで選択することによって、P0と同等の機能を持つ8ビット入出力ポートとしても機能します。
P5 ₀ ~ P5 ₇	入出力ポートP5	入出力	【シングルチップモード時】 P0と同等の機能を持つ8ビット入出力ポートです。 ソフトウェアで選択することによって、P5 ₃ はクロック出力端子CLK _{OUT} としても機能します。
WRL/WR WRH/BHE RD P5 ₃ ~ P5 ₇		出力 出力 出力 入出力	【メモリ拡張モード時】 P5 ₀ はWRL/WR端子、P5 ₁ はWRH/BHE端子、P5 ₂ はRD端子として機能します。これらの端子はソフトウェアでWRL, WRH, RD端子、又はWR, BHE, RD端子のいずれかの機能の組み合わせを選択できます。RDがLレベルのとき、マイクロコンピュータはデータ、命令コードの読み出しを行います。 WRL, WRH選択時 WRLがLレベルのとき、マイクロコンピュータは偶数番地にデータの書き込みを行います。WRHがLレベルのとき、マイクロコンピュータは奇数番地にデータの書き込みを行います。 すべてのCS領域でデータバス幅8ビットを選択している場合、WRHはP0と同等の機能を持つ入出力ポートとして機能します。 WR, BHE選択時 WRがLレベルのとき、マイクロコンピュータはデータの書き込みを行います。奇数番地をアクセスした場合BHEがLレベルになります。すべてのCS領域でデータバス幅8ビットを選択している場合、BHEはP0と同等の機能を持つ入出力ポートとして機能します。 P5 ₃ はCLK _{OUT} 出力端子、P5 ₄ はHLDA端子、P5 ₅ はHOLD端子、P5 ₆ はALE端子、P5 ₇ はRDY端子として機能します。 CLK _{OUT} 端子はシステムクロックBCLK、f ₈ 、又はf ₃₂ のうちから選択したクロックを出力します。HOLD端子の入力レベルがLの期間、マイクロコンピュータはホールド状態になります。リセット時、HOLD端子にはV _{CC} レベルを印加してください。 HLDAはマイクロコンピュータがホールド状態になったときLレベルを出力し、ホールド状態であることを外部に知らせます。これらの端子は、ソフトウェアで選択することによって、P0と同等の機能を持つ入出力ポートとしても機能します。

表1.3.3 端子の機能説明(3)

端子名	名 称	入出力	機 能
P6 ₀ ~ P6 ₇	入出力ポートP6	入出力	P0と同等の機能を持つ8ビット入出力ポートです。 ソフトウェアで選択することによって、シリアルI/Oの入出力端子として機能します。
P7 ₀ ~ P7 ₇	入出力ポートP7	入出力	P0と同等の機能を持つ8ビット入出力ポートです。 ソフトウェアで選択することによって、タイマA0 ~ A3の入出力端子、又はキー入力割り込みの入力端子としても機能します。
P8 ₀ ~ P8 ₄	入出力ポートP8	入出力	P0と同等の機能を持つ5ビット入出力ポートです。 ソフトウェアで選択することによって、タイマA4の入出力端子、又は外部割り込みの入力端子としても機能します。
P9 ₀ ~ P9 ₇	入出力ポートP9	入出力	P0と同等の機能を持つ8ビット入出力ポートです。 ソフトウェアで選択することによって、タイマB0 ~ B2の入力端子、DA ₀ ~ DA ₂ の出力端子、INT ₃ 、INT ₄ 、又はAD _{TRG} 入力端子としても機能します。
P10 ₀ ~ P10 ₇	入出力ポートP10	入出力	P0と同等の機能を持つ8ビット入出力ポートです。 ソフトウェアで選択することによって、A-D変換器の入力端子としても機能します。

1.4 プロセッサモード別端子機能一覧

表1.4.1～表1.4.3にM16C/70のプロセッサモード別端子機能一覧を示します。

表1.4.1 プロセッサモード別端子機能一覧(1)

端子番号	プロセッサモード			
	シングルチップモード		メモリ拡張モード	
	初期状態(注1)	SFRの設定により 使用可能な機能	初期状態(注2)	SFRの設定により 使用可能な機能
1	P9 ₄	DA ₁	P9 ₄	DA ₁
2	P9 ₃	DA ₀	P9 ₃	DA ₀
3	P9 ₂	TB2 _{IN}	P9 ₂	TB2 _{IN}
4	P9 ₁	TB1 _{IN}	P9 ₁	TB1 _{IN}
5	P9 ₀	TB0 _{IN}	P9 ₀	TB0 _{IN}
6	FV _{CC}		FV _{CC}	
7	CNV _{SS}		CNV _{SS}	
8	V _{CONT}		V _{CONT}	
9	FMD		FMD	
10	RESET		RESET	
11	X _{OUT}		X _{OUT}	
12	V _{SS}		V _{SS}	
13	X _{IN}		X _{IN}	
14	V _{CC}		V _{CC}	
15	NMI		NMI	
16	P8 ₄	INT ₂	P8 ₄	INT ₂
17	P8 ₃	INT ₁	P8 ₃	INT ₁
18	P8 ₂	INT ₀	P8 ₂	INT ₀
19	P8 ₁	TA4 _{IN}	P8 ₁	TA4 _{IN}
20	P8 ₀	TA4 _{OUT}	P8 ₀	TA4 _{OUT}
21	P7 ₇	TA3 _{IN} /KI ₃	P7 ₇	TA3 _{IN} /KI ₃
22	P7 ₆	TA3 _{OUT} /KI ₂	P7 ₆	TA3 _{OUT} /KI ₂
23	P7 ₅	TA2 _{IN} /KI ₁	P7 ₅	TA2 _{IN} /KI ₁
24	P7 ₄	TA2 _{OUT} /KI ₀	P7 ₄	TA2 _{OUT} /KI ₀
25	P7 ₃	TA1 _{IN}	P7 ₃	TA1 _{IN}
26	P7 ₂	TA1 _{OUT}	P7 ₂	TA1 _{OUT}
27	P7 ₁	TA0 _{IN}	P7 ₁	TA0 _{IN}
28	P7 ₀	TA0 _{OUT}	P7 ₀	TA0 _{OUT}
29	P6 ₇	TxD ₁	P6 ₇	TxD ₁
30	P6 ₆	RxD ₁	P6 ₆	RxD ₁
31	P6 ₅	CLK ₁ /CTS ₁	P6 ₅	CLK ₁ /CTS ₁
32	P6 ₄	CTS ₁ /RTS ₁	P6 ₄	CTS ₁ /RTS ₁
33	P6 ₃	TxD ₀	P6 ₃	TxD ₀
34	P6 ₂	RxD ₀	P6 ₂	RxD ₀
35	P6 ₁	CLK ₀ /CTS ₀	P6 ₁	CLK ₀ /CTS ₀

注1. リセット後の端子の初期状態。

2. プロセッサモードビット(4₁₆番地のビット1、0) = "01₂"にしたときの端子の初期状態。

表1.4.2 プロセッサモード別端子機能一覧(2)

端子番号	プロセッサモード			
	シングルチップモード		メモリ拡張モード	
	初期状態(注1)	SFRの設定により 使用可能な機能	初期状態(注2)	SFRの設定により 使用可能な機能
36	P6 ₀	CTS ₀ /RTS ₀	P6 ₀	CTS ₀ /RTS ₀
37	P5 ₇		P5 ₇	RDY
38	P5 ₆		P5 ₆	ALE
39	P5 ₅		P5 ₅	HOLD
40	P5 ₄		P5 ₄	HLDA
41	P5 ₃	CLK _{OUT}	P5 ₃	BCLK/CLK _{OUT}
42	P5 ₂		RD	
43	P5 ₁		BHE	P5 ₁ /WRH
44	P5 ₀		WR	WRL
45	P4 ₇		P4 ₇	A ₂₃ /CS ₀
46	P4 ₆		P4 ₆	A ₂₂ /CS ₁
47	P4 ₅		P4 ₅	A ₂₁ /CS ₂
48	P4 ₄		P4 ₄	A ₂₀ /CS ₃
49	P4 ₃		A ₁₉	P4 ₃
50	P4 ₂		A ₁₈	P4 ₂
51	P4 ₁		A ₁₇	P4 ₁
52	P4 ₀		A ₁₆	P4 ₀
53	P3 ₇		A ₁₅	P3 ₇
54	P3 ₆		A ₁₄	P3 ₆
55	P3 ₅		A ₁₃	P3 ₅
56	P3 ₄		A ₁₂	P3 ₄
57	P3 ₃		A ₁₁	P3 ₃
58	P3 ₂		A ₁₀	P3 ₂
59	P3 ₁		A ₉	P3 ₁
60	V _{CC}		V _{CC}	
61	P3 ₀		A ₈	P3 ₀
62	V _{SS}		V _{SS}	
63	P2 ₇		A ₇	A ₇ /D ₇
64	P2 ₆		A ₆	A ₆ /D ₆
65	P2 ₅		A ₅	A ₅ /D ₅
66	P2 ₄		A ₄	A ₄ /D ₄
67	P2 ₃		A ₃	A ₃ /D ₃
68	P2 ₂		A ₂	A ₂ /D ₂
69	P2 ₁		A ₁	A ₁ /D ₁
70	P2 ₀		A ₀	A ₀ /D ₀
71	P1 ₇		D ₁₅	P1 ₇
72	P1 ₆		D ₁₄	P1 ₆
73	P1 ₅		D ₁₃	P1 ₅
74	P1 ₄		D ₁₂	P1 ₄

注1. リセット後の端子の初期状態。

2. プロセッサモードビット(4₁₆番地のビット1、0) = "01₂"にしたときの端子の初期状態。

表1.4.3 プロセッサモード別端子機能一覧(3)

端子番号	プロセッサモード			
	シングルチップモード		メモリ拡張モード	
	初期状態(注1)	SFRの設定により 使用可能な機能	初期状態(注2)	SFRの設定により 使用可能な機能
75	P1 ₃		D ₁₁	P1 ₃
76	P1 ₂		D ₁₀	P1 ₂
77	P1 ₁		D ₉	P1 ₁
78	P1 ₀		D ₈	P1 ₀
79	P0 ₇		D ₇	P0 ₇
80	P0 ₆		D ₆	P0 ₆
81	P0 ₅		D ₅	P0 ₅
82	P0 ₄		D ₄	P0 ₄
83	P0 ₃		D ₃	P0 ₃
84	P0 ₂		D ₂	P0 ₂
85	P0 ₁		D ₁	P0 ₁
86	P0 ₀		D ₀	P0 ₀
87	P10 ₇	AN ₇	P10 ₇	AN ₇
88	P10 ₆	AN ₆	P10 ₆	AN ₆
89	P10 ₅	AN ₅	P10 ₅	AN ₅
90	P10 ₄	AN ₄	P10 ₄	AN ₄
91	P10 ₃	AN ₃	P10 ₃	AN ₃
92	P10 ₂	AN ₂	P10 ₂	AN ₂
93	P10 ₁	AN ₁	P10 ₁	AN ₁
94	AV _{SS}		AV _{SS}	
95	P10 ₀	AN ₀	P10 ₀	AN ₀
96	V _{REF}		V _{REF}	
97	AV _{CC}		AV _{CC}	
98	P9 ₇	INT ₄ /AD _{TRG}	P9 ₇	INT ₄ /AD _{TRG}
99	P9 ₆	INT ₃	P9 ₆	INT ₃
100	P9 ₅	DA ₂	P9 ₅	DA ₂

注1. リセット後の端子の初期状態。

2. プロセッサモードビット(4₁₆番地のビット1、0) = "01₂"にしたときの端子の初期状態。

1.5 機能ブロック図

図1.5.1にM16C/70の機能ブロック図を示します。

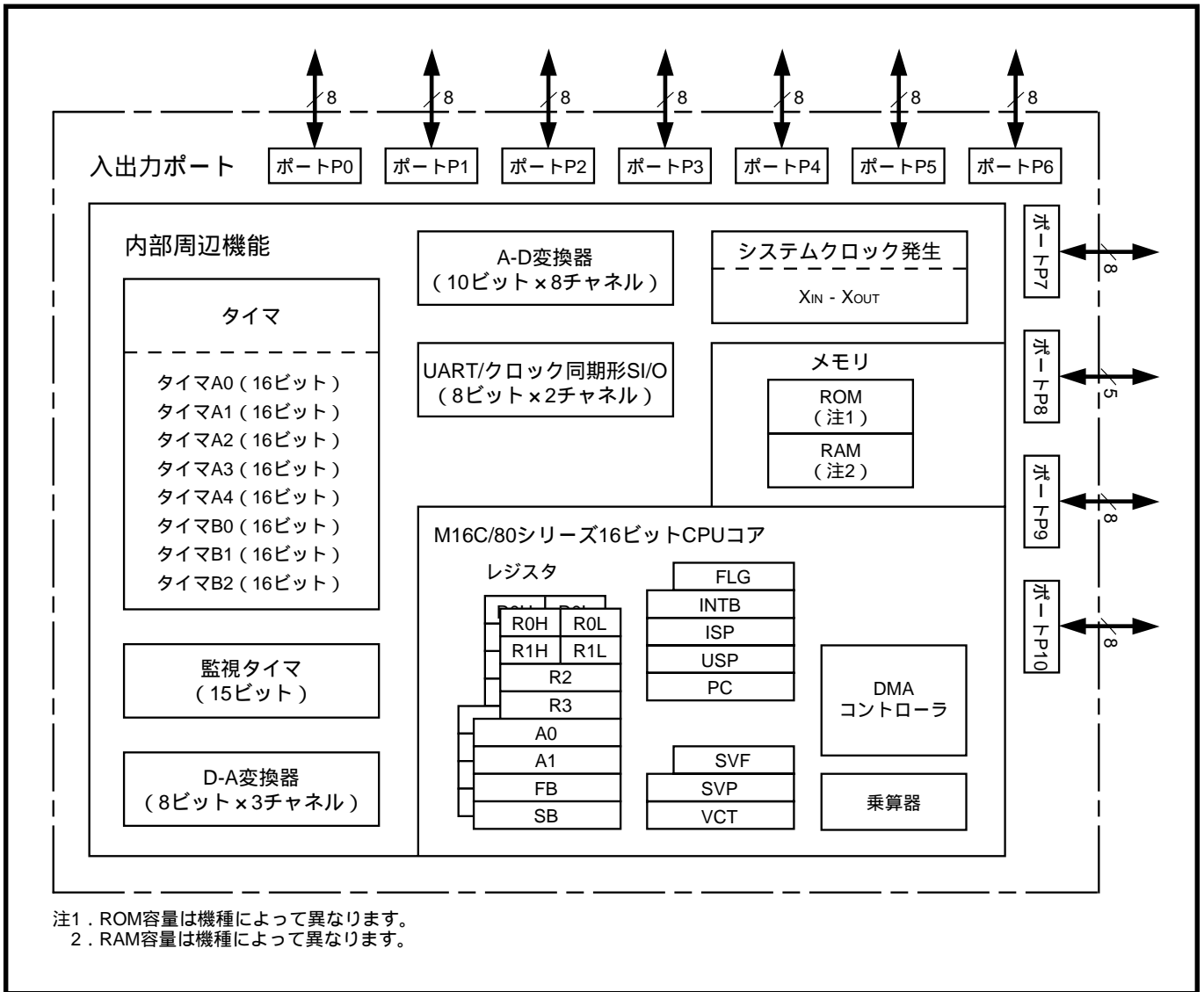


図1.5.1 M16C/70の機能ブロック図

第 2 章

中央演算処理装置 (CPU)

- 2.1 中央演算処理装置(CPU)
- 2.2 メモリ配置
- 2.3 プロセッサモード

2.1 中央演算処理装置(CPU)

中央演算処理装置(以下CPUと称す)には図2.1.1に示す28個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、SB、FBの8個は2セットあり、各セットをレジスタバンク0、レジスタバンク1と呼びます。どちらのレジスタバンクを使用するかは、レジスタバンク指定フラグ(「2.1.17(5)ビット4:レジスタバンク指定フラグ(B)」参照)で指定します。

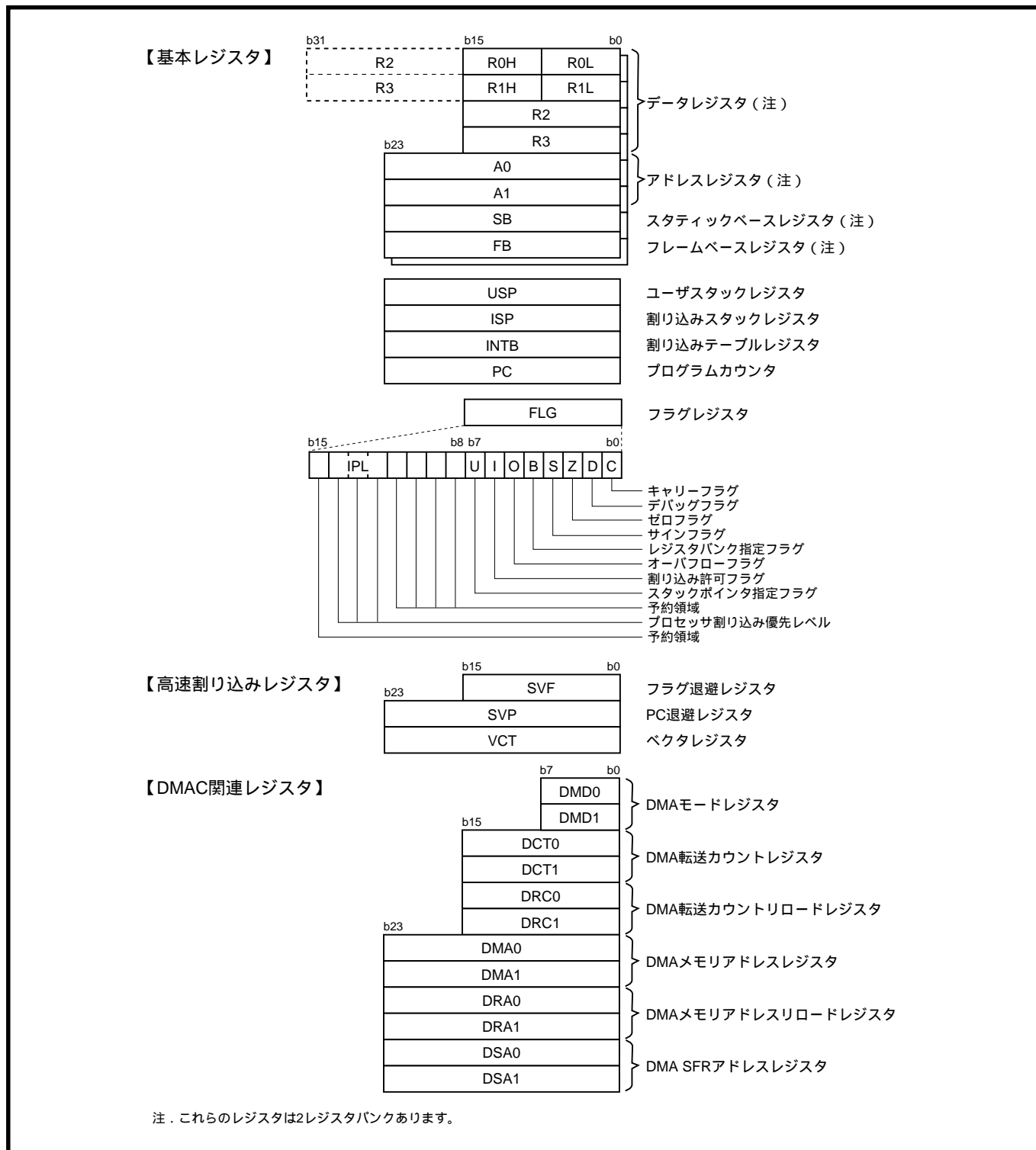


図2.1.1 CPUのレジスタ構成

2.1.1 データレジスタ(R0、R1、R2、R3)

データレジスタ(R0、R1、R2、及びR3)は16ビット構成で、主に転送や算術、論理演算に使用します。リセット時、これらのレジスタは“ 0000₁₆ ”になります。

(1)R0、R1

これらのデータレジスタは16ビット構成ですが、上位(R0H、R1H)と下位(R0L、R1L)を独立した8ビットのデータレジスタとして使用することもできます。

(2)R2、R3

これらのデータレジスタは、8ビットのデータレジスタとして使用することはできません。

(3)R2R0、R3R1

R2を上位16ビット、R0を下位16ビット(R2R0)、又は、R3を上位16ビット、R1を下位16ビット(R3R1)とする32ビットのデータレジスタです。32ビットのデータを扱う命令で使用します。

2.1.2 アドレスレジスタ(A0、A1)

アドレスレジスタ(A0、A1)は24ビット構成で、データレジスタと同等の機能を持ちます。

アドレスレジスタ間接アドレッシングでは、このレジスタの内容が示した番地をアクセスします。また、アドレスレジスタ相対アドレッシングでは、オペランドの内容にこのレジスタの内容を符号なしで加算した番地をアクセスします。

リセット時、これらのレジスタは“ 000000₁₆ ”になります。

2.1.3 スタティックベースレジスタ(SB)

SBは24ビット構成で、SB相対アドレッシングに使用します。

SB相対アドレッシングでは、このレジスタの内容で示した番地にオペランドで示した値を符号なしで加算した番地をアクセスします。このレジスタへの値の設定には、LDC命令を使用してください。

リセット時、このレジスタは“ 000000₁₆ ”になります。

2.1.4 フレームベースレジスタ(FB)

FBは24ビット構成で、FB相対アドレッシングに使用します。

FB相対アドレッシングでは、このレジスタの内容で示した番地にオペランドで示した値を符号付きで加算した番地をアクセスします。このレジスタへの値の設定には、LDC命令を使用してください。

リセット時、このレジスタは“ 000000₁₆ ”になります。

2.1.5 スタックポインタ(USP、ISP)

スタックポインタには、ユーザスタックポインタ(USP)と割り込みスタックポインタ(ISP)の2種類があり、共に24ビットで構成されています。

どちらのスタックポインタを使用するかは、スタックポインタ指定フラグ(「2.1.17(8)ビット7：スタックポインタ指定フラグ(U)」参照)で指定できます。

リセット時、これらのレジスタは“ 000000₁₆ ”になります。

2.1.6 割り込みテーブルレジスタ(INTB)

INTBは24ビット構成で、このレジスタに設定した番地が、可変ベクタテーブルの先頭番地になります。リセット時、このレジスタは“000000₁₆”になります。

2.1.7 プログラムカウンタ(PC)

PCは24ビット構成で、次に実行する命令の格納番地を示します。リセット時、このレジスタには“FFFFFC₁₆”が設定され、リセット後はリセットのベクトル番地(FFFFFC₁₆ ~ FFFFFE₁₆番地)の内容が設定されます。

2.1.8 フラグレジスタ(FLG)

FLGは11ビット構成で、1ビット単位でフラグとして使用します。リセット時、各フラグは“0”になります。フラグレジスタ(FLG)の構成を図2.1.2に示します。また、各フラグの機能を以下に示します。

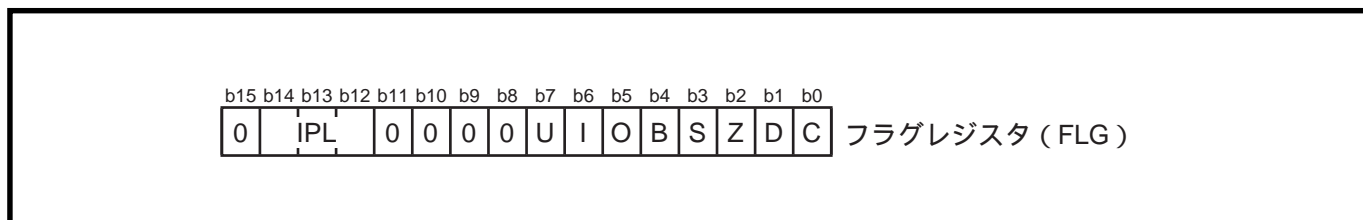


図2.1.2 FLGのレジスタ構成

(1)ビット0：キャリーフラグ(C)

算術論理ユニットで発生したキャリー、又はボローを保持します。シフトアウトしたビットも保持します。キャリーフラグを“1”にするときはFSET命令、“0”にするときはFCLR命令を使用してください。

(2)ビット1：デバッグフラグ(D)

シングルステップ割り込みを許可するフラグです。

このフラグが“1”のとき、命令実行後シングルステップ割り込みが発生します。割り込みを受け付けるとこのフラグは“0”になります。デバッグフラグを“1”にするときはFSET命令、“0”にするときはFCLR命令を使用してください。

(3)ビット2：ゼロフラグ(Z)

演算処理、データ転送の結果が“0”のとき“1”になり、“0”以外のとき“0”になります。

10進数演算命令でも変化します。ゼロフラグを“1”にするときはFSET命令、“0”にするときはFCLR命令を使用してください。

(4)ビット3：サインフラグ(S)

演算処理、データ転送の結果が負(演算結果の最上位ビットが“1”)のとき“1”になり、それ以外のとき“0”になります。

10進数演算命令でも変化します。サインフラグを“1”にするときはFSET命令、“0”にするときはFCLR命令を使用してください。

(5)ビット4：レジスタバンク指定フラグ(B)

レジスタバンクを指定します。このフラグが“0”のときレジスタバンク0が、“1”のときレジスタバンク1が指定されます。レジスタバンク指定フラグを“1”にするときはFSET命令、“0”にするときはFCLR命令を使用してください。

(6)ビット5：オーバフローフラグ(O)

演算の結果が - 214748368 ~ + 2147483647(32ビット長演算時)、- 32768 ~ + 32767(16ビット長演算時)、- 128 ~ + 127(8ビット長演算時)の範囲を超えるとオーバフローフラグは“1”になります。また、除算命令実行結果が16ビット(W)、又は8ビット(B)を越えるか、あるいは除数が“0”の場合にもオーバフローフラグは“1”になります。

10進数演算命令では変化しません。オーバフローフラグを“1”にするときはFSET命令、“0”にするときはFCLR命令を使用してください。

(7)ビット6：割り込み許可フラグ(I)

マスカブル割り込みを許可するフラグです。

このフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。割り込みを受け付けると、このフラグは“0”になります。割り込み許可フラグを“1”にするときはFSET命令、“0”にするときはFCLR命令を使用してください。

(8) ビット7：スタックポインタ指定フラグ(U)

このフラグが“0”のとき割り込みスタックポインタ(ISP)が指定され、“1”のときユーザスタックポインタ(USP)が指定されます。

ハードウェア割り込みを受け付けたとき、又はソフトウェア割り込み番号0~31のINT命令を実行したとき、このフラグは“0”になります。スタックポインタ指定フラグを“1”にするときはFSET命令、“0”にするときはFCLR命令を使用してください。

(9)ビット12～ビット14：プロセッサ割り込み優先レベル(IPL)

IPLは3ビット構成で、レベル0～レベル7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込みは許可されます。割り込み要求が受け付けられると、IPLの内容はスタック領域に退避され、受け付けられた割り込みの優先レベルがIPLに設定されます。

IPLの変更にはLDIPL命令を使用してください。

2.1.9 フラグ退避レジスタ(SVF)

SVFは16ビット構成で、高速割り込み発生時、フラグレジスタ(FLG)を退避させるのに使用します。リセット時、このレジスタは不定になります。

2.1.10 PC退避レジスタ(SVP)

SVPは24ビット構成で、高速割り込み発生時、プログラムカウンタを退避させるのに使用します。リセット時、このレジスタは不定になります。

2.1.11 ベクタレジスタ(VCT)

VCTは24ビット構成で、高速割り込み発生時、飛び先番地を示します。
リセット時、このレジスタは不定になります。

2.1.12 DMAモードレジスタ(DMD0、DMD1)

DMD0、DMD1は8ビット構成で、DMAの転送モードなどを設定するレジスタです。
リセット時、これらのレジスタは“00₁₆”になります。

2.1.13 DMA転送カウントレジスタ(DCT0、DCT1)

DCT0、DCT1は16ビット構成で、DMAの転送回数を設定するレジスタです。
リセット時、これらのレジスタは不定になります。

2.1.14 DMA転送カウントリロードレジスタ(DRC0、DRC1)

DRC0、DRC1は16ビット構成で、DMA転送カウントレジスタのリロードレジスタです。
リセット時、これらのレジスタは不定になります。

2.1.15 DMAメモリアドレスレジスタ(DMA0、DMA1)

DMA0、DMA1は24ビット構成で、DMA転送元又は転送先のメモリアドレスを設定するレジスタです。
リセット時、これらのレジスタは不定になります。

2.1.16 DMAメモリアドレスリロードレジスタ(DRA0、DRA1)

DRA0、DRA1は24ビット構成で、DMAメモリアドレスレジスタのリロードレジスタです。
リセット時、これらのレジスタは不定になります。

2.1.17 DMA SFRアドレスレジスタ(DSA0、DSA1)

DSA0、DSA1は24ビット構成で、DMA転送の転送元又は転送先の固定アドレスを設定するレジスタです。
リセット時、これらのレジスタは不定になります。

2.2 メモリ配置

図2.2.1にM16C/70のメモリ配置を、図2.2.2～図2.2.5にSFR領域のメモリ配置を、図2.2.6にプロセッサモードレジスタ1のレジスタ構成を示します。

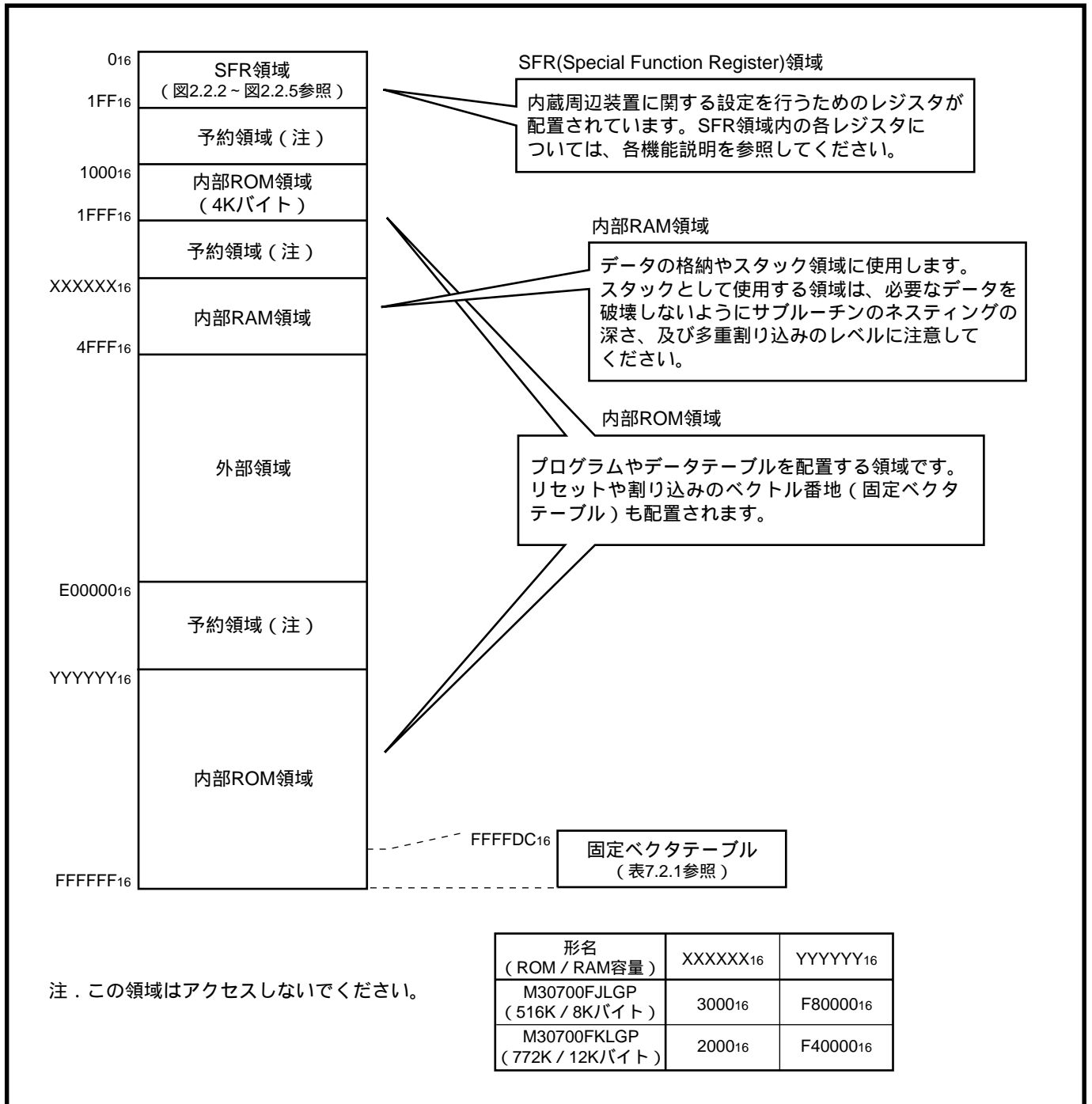


図2.2.1 M16C/70のメモリ配置

0000 ₁₆	(注)	0040 ₁₆	(注)
0001 ₁₆	(注)	0041 ₁₆	(注)
0002 ₁₆	(注)	0042 ₁₆	(注)
0003 ₁₆	(注)	0043 ₁₆	(注)
0004 ₁₆	プロセッサモードレジスタ0 (PM0)	0044 ₁₆	(注)
0005 ₁₆	プロセッサモードレジスタ1 (PM1)	0045 ₁₆	(注)
0006 ₁₆	システムクロック制御レジスタ0 (CM0)	0046 ₁₆	(注)
0007 ₁₆	システムクロック制御レジスタ1 (CM1)	0047 ₁₆	(注)
0008 ₁₆	(注)	0048 ₁₆	PLL制御レジスタ0 (PLC0)
0009 ₁₆	(注)	0049 ₁₆	(注)
000A ₁₆	プロテクトレジスタ (PRCR)	004A ₁₆	(注)
000B ₁₆	(注)	004B ₁₆	(注)
000C ₁₆	メインクロック分周レジスタ (MCD)	004C ₁₆	(注)
000D ₁₆	(注)	004D ₁₆	(注)
000E ₁₆	監視タイマスタートレジスタ (WDTS)	004E ₁₆	(注)
000F ₁₆	監視タイマ制御レジスタ (WDC)	004F ₁₆	(注)
0010 ₁₆	(注)	0050 ₁₆	監視タイマ禁止レジスタ (WDDS)
0011 ₁₆	(注)	0051 ₁₆	(注)
0012 ₁₆	(注)	0052 ₁₆	(注)
0013 ₁₆	(注)	0053 ₁₆	(注)
0014 ₁₆	(注)	0054 ₁₆	(注)
0015 ₁₆	(注)	0055 ₁₆	フラッシュメモリ制御レジスタ1 (FMR1)
0016 ₁₆	(注)	0056 ₁₆	(注)
0017 ₁₆	(注)	0057 ₁₆	フラッシュメモリ制御レジスタ0 (FMR0)
0018 ₁₆	(注)	0058 ₁₆	(注)
0019 ₁₆	(注)	0059 ₁₆	(注)
001A ₁₆	(注)	005A ₁₆	(注)
001B ₁₆	(注)	005B ₁₆	(注)
001C ₁₆	(注)	005C ₁₆	(注)
001D ₁₆	(注)	005D ₁₆	(注)
001E ₁₆	(注)	005E ₁₆	(注)
001F ₁₆	(注)	005F ₁₆	(注)
0020 ₁₆	(注)	0060 ₁₆	(注)
0021 ₁₆	(注)	0061 ₁₆	(注)
0022 ₁₆	(注)	0062 ₁₆	(注)
0023 ₁₆	(注)	0063 ₁₆	(注)
0024 ₁₆	(注)	0064 ₁₆	(注)
0025 ₁₆	(注)	0065 ₁₆	(注)
0026 ₁₆	(注)	0066 ₁₆	(注)
0027 ₁₆	(注)	0067 ₁₆	(注)
0028 ₁₆	(注)	0068 ₁₆	DMA0割り込み制御レジスタ (DM0IC)
0029 ₁₆	(注)	0069 ₁₆	(注)
002A ₁₆	(注)	006A ₁₆	DMA2割り込み制御レジスタ (DM2IC)
002B ₁₆	(注)	006B ₁₆	(注)
002C ₁₆	(注)	006C ₁₆	タイマA0割り込み制御レジスタ (TA0IC)
002D ₁₆	(注)	006D ₁₆	(注)
002E ₁₆	(注)	006E ₁₆	タイマA2割り込み制御レジスタ (TA2IC)
002F ₁₆	(注)	006F ₁₆	(注)
0030 ₁₆	(注)	0070 ₁₆	タイマA4割り込み制御レジスタ (TA4IC)
0031 ₁₆	(注)	0071 ₁₆	(注)
0032 ₁₆	(注)	0072 ₁₆	UART0受信割り込み制御レジスタ (S0RIC)
0033 ₁₆	(注)	0073 ₁₆	A-D変換割り込み制御レジスタ (ADIC)
0034 ₁₆	(注)	0074 ₁₆	UART1受信割り込み制御レジスタ (S1RIC)
0035 ₁₆	(注)	0075 ₁₆	(注)
0036 ₁₆	(注)	0076 ₁₆	タイマB1割り込み制御レジスタ (TB1IC)
0037 ₁₆	(注)	0077 ₁₆	(注)
0038 ₁₆	(注)	0078 ₁₆	(注)
0039 ₁₆	(注)	0079 ₁₆	(注)
003A ₁₆	(注)	007A ₁₆	(注)
003B ₁₆	(注)	007B ₁₆	(注)
003C ₁₆	(注)	007C ₁₆	INT ₃ 割り込み制御レジスタ (INT3IC)
003D ₁₆	(注)	007D ₁₆	(注)
003E ₁₆	(注)	007E ₁₆	INT ₁ 割り込み制御レジスタ (INT1IC)
003F ₁₆	(注)	007F ₁₆	(注)

注：書き込み禁止。

図2.2.2 SFR領域のメモリ配置図(1)

0080 ₁₆	(注)	00C0 ₁₆	CS ₀ 制御レジスタ0 (CS0C0)
0081 ₁₆	(注)	00C1 ₁₆	CS ₀ 制御レジスタ1 (CS0C1)
0082 ₁₆	(注)	00C2 ₁₆	(注)
0083 ₁₆	(注)	00C3 ₁₆	(注)
0084 ₁₆	(注)	00C4 ₁₆	CS ₁ 制御レジスタ0 (CS1C0)
0085 ₁₆	(注)	00C5 ₁₆	CS ₁ 制御レジスタ1 (CS1C1)
0086 ₁₆	(注)	00C6 ₁₆	(注)
0087 ₁₆	(注)	00C7 ₁₆	(注)
0088 ₁₆	DMA1割り込み制御レジスタ (DM1IC)	00C8 ₁₆	CS ₂ 制御レジスタ0 (CS2C0)
0089 ₁₆	(注)	00C9 ₁₆	CS ₂ 制御レジスタ1 (CS2C1)
008A ₁₆	DMA3割り込み制御レジスタ (DM3IC)	00CA ₁₆	(注)
008B ₁₆	(注)	00CB ₁₆	(注)
008C ₁₆	タイマA1割り込み制御レジスタ (TA1IC)	00CC ₁₆	CS ₃ 制御レジスタ0 (CS3C0)
008D ₁₆	(注)	00CD ₁₆	CS ₃ 制御レジスタ1 (CS3C1)
008E ₁₆	タイマA3割り込み制御レジスタ (TA3IC)	00CE ₁₆	(注)
008F ₁₆	(注)	00CF ₁₆	(注)
0090 ₁₆	UART0送信割り込み制御レジスタ (S0TIC)	00D0 ₁₆	(注)
0091 ₁₆	(注)	00D1 ₁₆	(注)
0092 ₁₆	UART1送信割り込み制御レジスタ (S1TIC)	00D2 ₁₆	(注)
0093 ₁₆	キー入力割り込み制御レジスタ (KUPIC)	00D3 ₁₆	(注)
0094 ₁₆	タイマB0割り込み制御レジスタ (TB0IC)	00D4 ₁₆	(注)
0095 ₁₆	(注)	00D5 ₁₆	(注)
0096 ₁₆	タイマB2割り込み制御レジスタ (TB2IC)	00D6 ₁₆	(注)
0097 ₁₆	(注)	00D7 ₁₆	(注)
0098 ₁₆	(注)	00D8 ₁₆	(注)
0099 ₁₆	(注)	00D9 ₁₆	(注)
009A ₁₆	INT ₄ 割り込み制御レジスタ (INT4IC)	00DA ₁₆	(注)
009B ₁₆	(注)	00DB ₁₆	(注)
009C ₁₆	INT ₂ 割り込み制御レジスタ (INT2IC)	00DC ₁₆	(注)
009D ₁₆	(注)	00DD ₁₆	(注)
009E ₁₆	INT ₀ 割り込み制御レジスタ (INT0IC)	00DE ₁₆	(注)
009F ₁₆	復帰用優先順位レジスタ (RLVL)	00DF ₁₆	(注)
00A0 ₁₆	(注)	00E0 ₁₆	(注)
00A1 ₁₆	(注)	00E1 ₁₆	(注)
00A2 ₁₆	外部割り込み入力制御レジスタ (IPIN)	00E2 ₁₆	(注)
00A3 ₁₆	外部割り込み入力読み出しレジスタ (IRKI)	00E3 ₁₆	(注)
00A4 ₁₆	(注)	00E4 ₁₆	(注)
00A5 ₁₆	(注)	00E5 ₁₆	(注)
00A6 ₁₆	(注)	00E6 ₁₆	(注)
00A7 ₁₆	外部割り込み要因選択レジスタ (IFSR)	00E7 ₁₆	(注)
00A8 ₁₆	(注)	00E8 ₁₆	(注)
00A9 ₁₆	(注)	00E9 ₁₆	(注)
00AA ₁₆	(注)	00EA ₁₆	(注)
00AB ₁₆	(注)	00EB ₁₆	(注)
00AC ₁₆	(注)	00EC ₁₆	(注)
00AD ₁₆	(注)	00ED ₁₆	(注)
00AE ₁₆	(注)	00EE ₁₆	(注)
00AF ₁₆	(注)	00EF ₁₆	(注)
00B0 ₁₆	(注)	00F0 ₁₆	(注)
00B1 ₁₆	(注)	00F1 ₁₆	(注)
00B2 ₁₆	(注)	00F2 ₁₆	(注)
00B3 ₁₆	(注)	00F3 ₁₆	(注)
00B4 ₁₆	(注)	00F4 ₁₆	(注)
00B5 ₁₆	(注)	00F5 ₁₆	(注)
00B6 ₁₆	(注)	00F6 ₁₆	(注)
00B7 ₁₆	(注)	00F7 ₁₆	(注)
00B8 ₁₆	DMA0要因選択レジスタ (DM0SL)	00F8 ₁₆	(注)
00B9 ₁₆	DMA1要因選択レジスタ (DM1SL)	00F9 ₁₆	(注)
00BA ₁₆	DMA2要因選択レジスタ (DM2SL)	00FA ₁₆	(注)
00BB ₁₆	DMA3要因選択レジスタ (DM3SL)	00FB ₁₆	(注)
00BC ₁₆	(注)	00FC ₁₆	(注)
00BD ₁₆	(注)	00FD ₁₆	(注)
00BE ₁₆	(注)	00FE ₁₆	(注)
00BF ₁₆	(注)	00FF ₁₆	(注)

注 . 書き込み禁止。

図2.2.3 SFR領域のメモリ配置図(2)

0100 ₁₆	A-Dレジスタ0 (AD0)	0140 ₁₆	(注)
0101 ₁₆		0411 ₁₆	(注)
0102 ₁₆	A-Dレジスタ1 (AD1)	0412 ₁₆	(注)
0103 ₁₆		0143 ₁₆	(注)
0104 ₁₆	A-Dレジスタ2 (AD2)	0144 ₁₆	(注)
0105 ₁₆		0145 ₁₆	(注)
0106 ₁₆	A-Dレジスタ3 (AD3)	0146 ₁₆	(注)
0107 ₁₆		0147 ₁₆	(注)
0108 ₁₆	A-Dレジスタ4 (AD4)	0148 ₁₆	UART0送受信モードレジスタ (U0MR)
0109 ₁₆		0149 ₁₆	UART0転送速度レジスタ (U0BRG)
010A ₁₆	A-Dレジスタ5 (AD5)	014A ₁₆	UART0送信バッファレジスタ (U0TB)
010B ₁₆		014B ₁₆	
010C ₁₆	A-Dレジスタ6 (AD6)	014C ₁₆	UART0送受信制御レジスタ0 (U0C0)
010D ₁₆		014D ₁₆	UART0送受信制御レジスタ1 (U0C1)
010E ₁₆	A-Dレジスタ7 (AD7)	014E ₁₆	UART0受信バッファレジスタ (U0RB)
010F ₁₆		014F ₁₆	
0110 ₁₆	(注)	0150 ₁₆	(注)
0111 ₁₆	(注)	0151 ₁₆	(注)
0112 ₁₆	(注)	0152 ₁₆	(注)
0113 ₁₆	(注)	0153 ₁₆	(注)
0114 ₁₆	A-D制御レジスタ2 (ADCON2)	0154 ₁₆	(注)
0115 ₁₆	(注)	0155 ₁₆	(注)
0116 ₁₆	A-D制御レジスタ0 (ADCON0)	0156 ₁₆	(注)
0117 ₁₆	A-D制御レジスタ1 (ADCON1)	0157 ₁₆	(注)
0118 ₁₆	D-Aレジスタ0 (DA0)	0158 ₁₆	(注)
0119 ₁₆	D-Aレジスタ1 (DA1)	0159 ₁₆	(注)
011A ₁₆	D-Aレジスタ2 (DA2)	015A ₁₆	(注)
011B ₁₆	(注)	015B ₁₆	(注)
011C ₁₆	D-A制御レジスタ0 (DACON0)	015C ₁₆	(注)
011D ₁₆	D-A制御レジスタ1 (DACON1)	015D ₁₆	(注)
011E ₁₆	(注)	015E ₁₆	(注)
011F ₁₆	(注)	015F ₁₆	(注)
0120 ₁₆	カウント開始フラグ (TABSR)	0160 ₁₆	(注)
0121 ₁₆	(注)	0161 ₁₆	(注)
0122 ₁₆	ワンショット開始フラグ (ONSF)	0162 ₁₆	(注)
0123 ₁₆	トリガ選択レジスタ (TRGSR)	0163 ₁₆	(注)
0124 ₁₆	アップダウンフラグ (UDF)	0164 ₁₆	(注)
0125 ₁₆	(注)	0165 ₁₆	(注)
0126 ₁₆	タイマA0レジスタ (TA0)	0166 ₁₆	(注)
0127 ₁₆		0167 ₁₆	(注)
0128 ₁₆	タイマA1レジスタ (TA1)	0168 ₁₆	UART1送受信モードレジスタ (U1MR)
0129 ₁₆		0169 ₁₆	UART1転送速度レジスタ (U1BRG)
012A ₁₆	タイマA2レジスタ (TA2)	016A ₁₆	UART1送信バッファレジスタ (U1BR)
012B ₁₆		016B ₁₆	
012C ₁₆	タイマA3レジスタ (TA3)	016C ₁₆	UART1送受信制御レジスタ0 (U1C0)
012D ₁₆		016D ₁₆	UART1送受信制御レジスタ1 (U1C1)
012E ₁₆	タイマA4レジスタ (TA4)	016E ₁₆	UART1受信バッファレジスタ (U1RB)
012F ₁₆		016F ₁₆	
0130 ₁₆	タイマB0レジスタ (TB0)	0170 ₁₆	シリアルI/O端子制御レジスタ (SIOC0N)
0131 ₁₆		0171 ₁₆	(注)
0132 ₁₆	タイマB1レジスタ (TB1)	0172 ₁₆	(注)
0133 ₁₆		0173 ₁₆	(注)
0134 ₁₆	タイマB2レジスタ (TB2)	0174 ₁₆	(注)
0135 ₁₆		0175 ₁₆	(注)
0136 ₁₆	タイマA0モードレジスタ (TA0MR)	0176 ₁₆	(注)
0137 ₁₆	タイマA1モードレジスタ (TA1MR)	0177 ₁₆	(注)
0138 ₁₆	タイマA2モードレジスタ (TA2MR)	0178 ₁₆	(注)
0139 ₁₆	タイマA3モードレジスタ (TA3MR)	0179 ₁₆	(注)
013A ₁₆	タイマA4モードレジスタ (TA4MR)	017A ₁₆	(注)
013B ₁₆	タイマB0モードレジスタ (TB0MR)	017B ₁₆	(注)
013C ₁₆	タイマB1モードレジスタ (TB1MR)	017C ₁₆	(注)
013D ₁₆	タイマB2モードレジスタ (TB2MR)	017D ₁₆	(注)
013E ₁₆	(注)	017E ₁₆	(注)
013F ₁₆	(注)	017F ₁₆	(注)

注．書き込み禁止。

図2.2.4 SFR領域のメモリ配置図(3)

0180 ₁₆	ポートP0レジスタ (P0)	01C0 ₁₆	(注)
0181 ₁₆	ポートP1レジスタ (P1)	01C1 ₁₆	(注)
0182 ₁₆	ポートP0方向レジスタ (PD0)	01C2 ₁₆	(注)
0183 ₁₆	ポートP1方向レジスタ (PD1)	01C3 ₁₆	(注)
0184 ₁₆	ポートP2レジスタ (P2)	01C4 ₁₆	(注)
0185 ₁₆	ポートP3レジスタ (P3)	01C5 ₁₆	(注)
0186 ₁₆	ポートP2方向レジスタ (PD2)	01C6 ₁₆	(注)
0187 ₁₆	ポートP3方向レジスタ (PD3)	01C7 ₁₆	(注)
0188 ₁₆	ポートP4レジスタ (P4)	01C8 ₁₆	(注)
0189 ₁₆	ポートP5レジスタ (P5)	01C9 ₁₆	(注)
018A ₁₆	ポートP4方向レジスタ (PD4)	01CA ₁₆	(注)
018B ₁₆	ポートP5方向レジスタ (PD5)	01CB ₁₆	(注)
018C ₁₆	(注)	01CC ₁₆	(注)
018D ₁₆	(注)	01CD ₁₆	(注)
018E ₁₆	(注)	01CE ₁₆	(注)
018F ₁₆	(注)	01CF ₁₆	(注)
0190 ₁₆	(注)	01D0 ₁₆	(注)
0191 ₁₆	(注)	01D1 ₁₆	(注)
0192 ₁₆	(注)	01D2 ₁₆	(注)
0193 ₁₆	(注)	01D3 ₁₆	(注)
0194 ₁₆	(注)	01D4 ₁₆	(注)
0195 ₁₆	(注)	01D5 ₁₆	(注)
0196 ₁₆	(注)	01D6 ₁₆	(注)
0197 ₁₆	(注)	01D7 ₁₆	(注)
0198 ₁₆	(注)	01D8 ₁₆	(注)
0199 ₁₆	(注)	01D9 ₁₆	(注)
019A ₁₆	ポート機能制御レジスタ (PCON)	01DA ₁₆	(注)
019B ₁₆	特殊機能選択レジスタ (PMD)	01DB ₁₆	(注)
019C ₁₆	(注)	01DC ₁₆	(注)
019D ₁₆	(注)	01DD ₁₆	(注)
019E ₁₆	(注)	01DE ₁₆	(注)
019F ₁₆	(注)	01DF ₁₆	(注)
01A0 ₁₆	ポートP6レジスタ (P6)	01E0 ₁₆	(注)
01A1 ₁₆	ポートP7レジスタ (P7)	01E1 ₁₆	(注)
01A2 ₁₆	ポートP6方向レジスタ (PD6)	01E2 ₁₆	(注)
01A3 ₁₆	ポートP7方向レジスタ (PD7)	01E3 ₁₆	(注)
01A4 ₁₆	ポートP8レジスタ (P8)	01E4 ₁₆	(注)
01A5 ₁₆	ポートP9レジスタ (P9)	01E5 ₁₆	(注)
01A6 ₁₆	ポートP8方向レジスタ (PD8)	01E6 ₁₆	(注)
01A7 ₁₆	ポートP9方向レジスタ (PD9)	01E7 ₁₆	(注)
01A8 ₁₆	ポートP10レジスタ (P10)	01E8 ₁₆	(注)
01A9 ₁₆	(注)	01E9 ₁₆	(注)
01AA ₁₆	ポートP10方向レジスタ (PD10)	01EA ₁₆	(注)
01AB ₁₆	(注)	01EB ₁₆	(注)
01AC ₁₆	(注)	01EC ₁₆	(注)
01AD ₁₆	(注)	01ED ₁₆	(注)
01AE ₁₆	(注)	01EE ₁₆	(注)
01AF ₁₆	(注)	01EF ₁₆	(注)
01B0 ₁₆	(注)	01F0 ₁₆	(注)
01B1 ₁₆	(注)	01F1 ₁₆	(注)
01B2 ₁₆	(注)	01F2 ₁₆	(注)
01B3 ₁₆	(注)	01F3 ₁₆	(注)
01B4 ₁₆	(注)	01F4 ₁₆	(注)
01B5 ₁₆	(注)	01F5 ₁₆	(注)
01B6 ₁₆	(注)	01F6 ₁₆	(注)
01B7 ₁₆	(注)	01F7 ₁₆	(注)
01B8 ₁₆	(注)	01F8 ₁₆	(注)
01B9 ₁₆	(注)	01F9 ₁₆	(注)
01BA ₁₆	(注)	01FA ₁₆	(注)
01BB ₁₆	(注)	01FB ₁₆	(注)
01BC ₁₆	(注)	01FC ₁₆	(注)
01BD ₁₆	(注)	01FD ₁₆	(注)
01BE ₁₆	(注)	01FE ₁₆	(注)
01BF ₁₆	(注)	01FF ₁₆	(注)

注．書き込み禁止。

図2.2.5 SFR領域のメモリ配置図(4)

プロセッサモードレジスタ1 PM1 【5 ₁₆ 番地】					b7 b6 b5 b4 b3 b2 b1 b0							
					0	0		0			0	0
ビット	ビット シンボル	ビット名	機 能		リセット時	R/W						
1、0	-	“0”に固定してください			0	RW						
2	PM12	内部メモリウエイトビット	0 : BCLKの1サイクルアクセス 1 : BCLKの2サイクルアクセス		0	RW						
3	PM13	SFR領域ウエイトビット	0 : BCLKの2サイクルアクセス 1 : BCLKの3サイクルアクセス		1	RW						
4	-	“0”に固定してください			0	RW						
5	PM15	ALE出力端子選択ビット(注1)	0 : ALE出力禁止(P5 ₆ はプログラマブル入出力ポートとして機能) 1 : ALE出力許可(P5 ₆ はALE端子として機能)		0	RW						
7、6	-	“0”に固定してください			0	RW						

注1. シングルチップモード時は、このビットの内容にかかわらず「ALE出力禁止」になります。
2. このレジスタは、プロテクトビット(A₁₆番地のビット1)を“1”にした後、設定してください。

図2.2.6 プロセッサモードレジスタ1のレジスタ構成

(1)内部メモリウエイトビット(ビット2)

内部RAM領域及び内部ROM領域をアクセスするときのサイクルを選択するビットです。

CPU書き換えモード時(「第17章 フラッシュメモリ」参照)は、このビットを“1”にしてください。

(2)SFR領域ウエイトビット(ビット3)

SFR領域をアクセスするときのサイクルを選択するビットです。

2.3 プロセッサモード

M16C/70は2つのプロセッサモード(シングルチップモード、及びメモリ拡張モード)で動作できます。

リセット後、M16C/70はシングルチップモードで動作を開始します。プロセッサモードの切り替えは、動作開始後プロセッサモードビット(図2.3.1参照)によって行います。プロセッサモードビットを“01₂”にするとメモリ拡張モードで動作します。プロセッサモードによって、一部の端子の機能(図2.3.3、表1.4.1~表1.4.3参照)、及びメモリ配置(図2.3.4参照)が異なります。

なお、プログラム実行途中でプロセッサモードを切り替えた場合、命令キューバッファの内容は初期化されません。

プロセッサモードレジスタ0 PM0 【4 ₁₆ 番地】				b7	b6	b5	b4	b3	b2	b1	b0
					0	0	0				
ビット	ビットシンボル	ビット名	機能	リセット時	R/W						
0	PM00	プロセッサモードビット	b1 b0 00: シングルチップモード 01: メモリ拡張モード (注1) 10: 選択禁止 11: 選択禁止	0	RW						
1	PM01			0	RW						
2	PM02	R/Wモード選択ビット	0: RD, WR, BHE 1: RD, WRL, WRH	0	RW						
3	PM03	ソフトウェアリセットビット	このビットに“1”を書き込むと、マイクロコンピュータはリセットされる。読み出し時の値は“0”	0	RW						
6~4	-	“0”に固定してください		0	RW						
7	PM07	BCLK出力機能選択ビット	表5.3.1参照	1	RW						

注1. これらのビットを“01₂”に設定する場合は、R/Wモード選択ビット(ビット2)、BCLK出力機能選択ビット(ビット7)、ALE出力端子選択ビット(5₁₆番地のビット5)及びクロック出力機能選択ビット(6₁₆番地のビット0、1)を設定した後、別の命令で、“01₂”を書き込んでください。
2. このレジスタは、プロテクトビット1(A₁₆番地のビット1)を“1”にした後、設定してください。

図2.3.1 プロセッサモードレジスタ0のレジスタ構成

プロテクトレジスタ PRCR 【A ₁₆ 番地】				b7	b6	b5	b4	b3	b2	b1	b0
									0		
ビット	ビットシンボル	ビット名	機能	リセット時	R/W						
0	PRC0	プロテクトビット0 (注)	システムクロック制御レジスタ0、1、メインクロック分周レジスタ、PLL制御レジスタ(A ₆₁₆ 、7 ₁₆ 、C ₁₆ 、48 ₁₆ 番地)への書き込みを制御する 0: 書き込み禁止 1: 書き込み許可	0	RW						
1	PRC1	プロテクトビット1 (注)	プロセッサモードレジスタ0、1(A ₄₁₆ 、5 ₁₆ 番地)への書き込みを制御する 0: 書き込み禁止 1: 書き込み許可	0	RW						
2	-	“0”に固定してください		0	RW						
7~3	-	何も配置されていない		不定	-						

注. 各レジスタに対する書き込み後、“0”に戻してください。

図2.3.2 プロテクトレジスタのレジスタ構成

2.3.1 シングルチップモード

外部デバイスをバス接続しない場合に使用します。このモードでは、P0～P10はプログラマブル入出力ポート(内蔵周辺装置使用時はその入出力端子)として機能します。

内部領域(SFR、内部RAM、内部ROM)だけがアクセスできます。

2.3.2 メモリ拡張モード

外部にデバイスをバス接続する場合に使用します。メモリ拡張モードでは16Mバイトのアクセス空間内に外部デバイスを自由に接続できます。また、プログラム入出力ポートの一部が外部デバイスのアクセスに必要な信号の入出力端子として機能します。

外部デバイスのアクセスについては、「第3章 外部デバイス接続」を参照してください。

なお、外部デバイスを内部領域と重複する領域に接続した場合、重複した領域を読み出したときは内部領域のデータがCPUに取り込まれ、外部領域のデータはCPUに取り込まれません。また、重複した領域に書き込んだときは、内部領域にデータが書き込まれ、外部にはデータが出力されません。

各端子の機能については、「1.3 端子の機能説明」、「第3章 外部デバイス接続」、「第5章 クロック発生回路」、「第6章 入出力端子」、及び各内蔵周辺機能の説明(第7章～第14章)を参照してください。

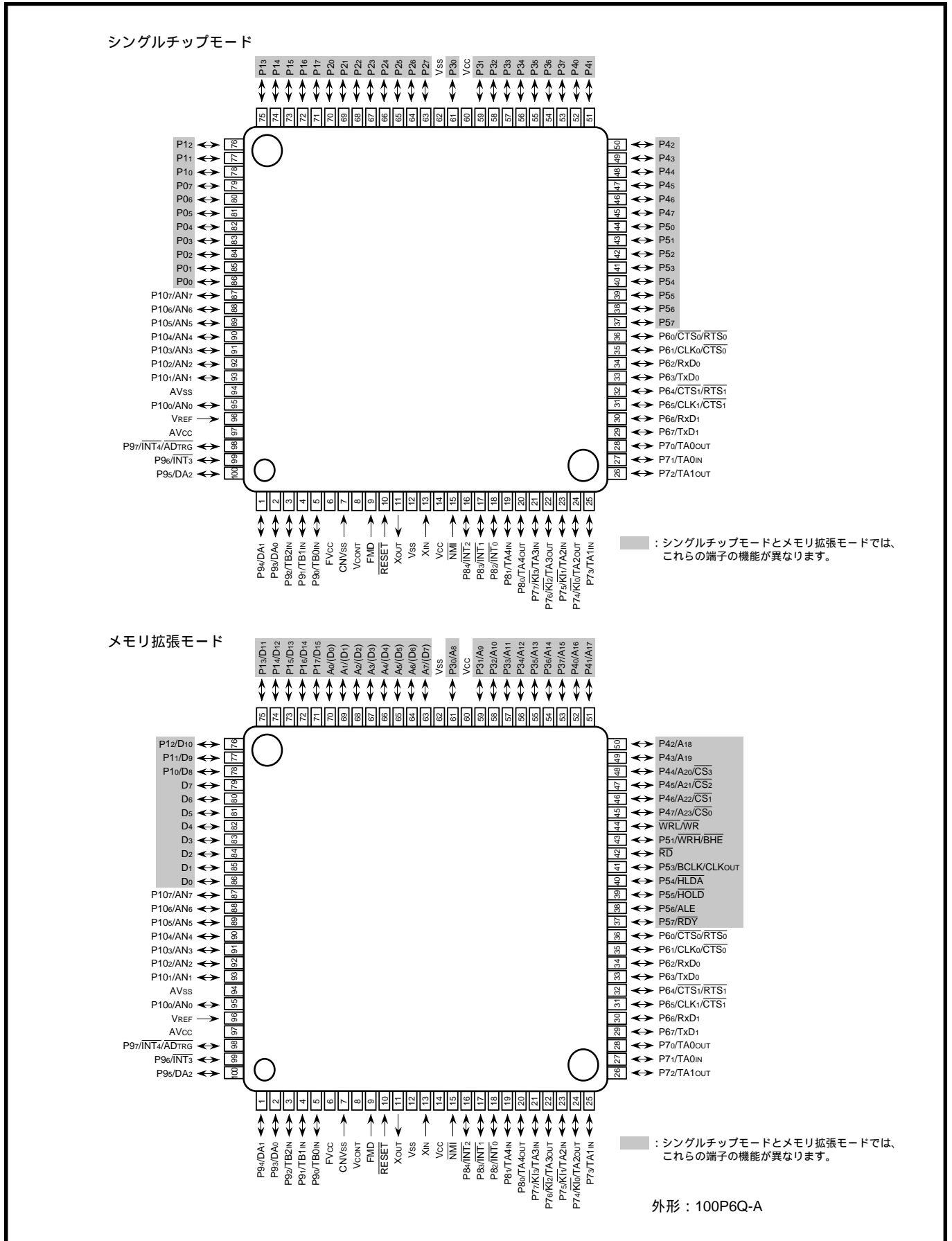
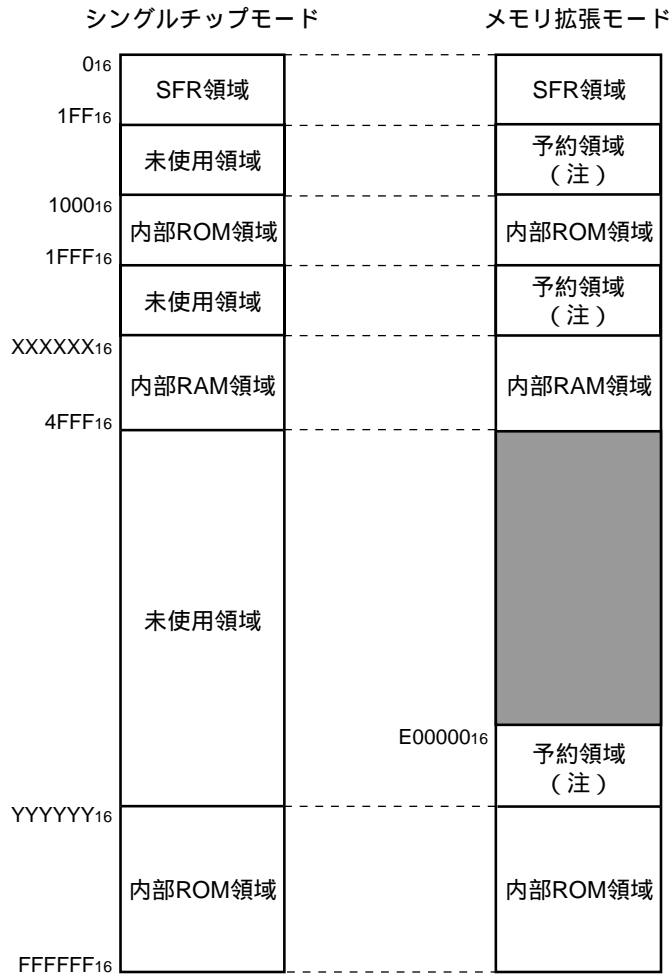


図2.3.3 各プロセッサモード時のピン接続図(上面図)



形名 (ROM / RAM容量)	XXXXXX ¹⁶	YYYYYY ¹⁶
M30700FJLGP (516K / 8Kバイト)	3000 ¹⁶	F80000 ¹⁶
M30700FKLGP (772K / 12Kバイト)	2000 ¹⁶	F40000 ¹⁶

外部領域：この領域をアクセスすると、外部に接続したデバイスをアクセスできます。

注．この領域はアクセスしないでください。

図2.3.4 各プロセッサモード時のメモリ配置

第 3 章

外部デバイス接続

- 3.1 概 要
- 3.2 外部デバイスのアクセスに必要な信号
- 3.3 関連レジスタ
- 3.4 設定方法
- 3.5 外部バス動作
- 3.6 レディー機能
- 3.7 ホールド機能
- 3.8 応 用

3.1 概要

メモリ拡張モード(「2.3 プロセッサモード」参照)にすると、外部にデバイスを接続できます。16Mバイトのアドレス空間は、図3.1.1に示すように4つのブロックごとに表3.1.1に示す機能を選択できますので、異なるアクセス特性を持つ外部デバイスを接続できます。このブロックをチップセレクト($\overline{CS}(i=0\sim 3)$)領域と呼びます。

なお、表3.1.1の設定は、チップセレクト出力の有無、及び出力範囲にかかわらず、各領域アクセス時に有効になります。

表3.1.1 各チップセレクト領域の機能

チップセレクト領域		CS ₀ 領域	CS ₁ 領域	CS ₂ 領域	CS ₃ 領域	
チップセレクト出力端子		CS ₀	CS ₁	CS ₂	CS ₃	
チップセレクト出力先頭番地		C00000 ₁₆	5000 ₁₆ 又は100000 ₁₆	400000 ₁₆	800000 ₁₆	
チップセレクトごとに選 択できる機能	チップセレクト出力範囲	64K、256K、1M、又は4Mバイト				
	データバス幅	8ビット又は16ビット				
	バスの形態	分離バス又はマルチプレックスバス				
	バスサイクル (注)	分離バス	1 +1、1 +2、1 +3、1 +4、1 +5、1 +6、 2 +2、2 +3、2 +4、3 +3、3 +4、3 +5、又は3 +6			
		マルチプレックスバス	2 +2、2 +3、2 +4、2 +5、3 +3、3 +4、 3 +5、又は3 +6			
	RDY制御	有効又は無効				
リカバリサイクル	挿入する又は挿入しない					

注：各バス形態(分離バス又はマルチプレックスバス)とも、表に示したバスサイクル以外は選択しないでください。

チップセレクト出力端子 \overline{CS}_i は、アドレス出力端子A₂₃～A₂₀と共用です。したがって、どのチップセレクトを使用するかによって、アクセスできる領域の範囲が異なります(表3.1.2参照)。

なお、チップセレクト、アドレス、プログラマブル入出力ポートの切り替えについては、表3.1.3を参照してください。

表3.1.2 \overline{CS}_i を使用するときのチップセレクト/アドレス出力端子の機能選択とアクセス可能領域の範囲

使用する \overline{CS}_i	端子の機能選択					\overline{CS}_i を使用してアクセスできる領域の範囲(最大)
	CS ₀ /A ₂₃ /P ₄₇	CS ₁ /A ₂₂ /P ₄₆	CS ₂ /A ₂₁ /P ₄₅	CS ₃ /A ₂₀	A ₁₉ ～A ₀	
CS ₃ のみ、又はCS ₀ ～CS ₃ の任意の \overline{CS}_i	CS ₀ 又はP ₄₇	CS ₁ 又はP ₄₆	CS ₂ 又はP ₄₅	CS ₃	A ₁₉ ～A ₀	1Mバイト
CS ₂ のみ、又はCS ₀ ～CS ₂ の任意の \overline{CS}_i	CS ₀ 又はP ₄₇	CS ₁ 又はP ₄₆	CS ₂		A ₂₀ ～A ₀	2Mバイト
CS ₁ のみ、又はCS ₀ 、CS ₁ の任意の \overline{CS}_i	CS ₀ 又はP ₄₇	CS ₁			A ₂₁ ～A ₀	4Mバイト(注1)
CS ₀ のみ	CS ₀				A ₂₂ ～A ₀	2Mバイト

注1：ただし、内部ROM領域と重なる領域は、外部アクセスできません。

2：上記以外の機能の組み合わせは選択しないでください。

表3.1.3 チップセレクト、アドレス、プログラマブル入出力ポートの切り替え

CS _i 出力選択ビット (C0 ₁₆ 、C4 ₁₆ 、C8 ₁₆ 、CC ₁₆ 番地のビット7)	CS _i アドレス/ポート切り替えビット (C1 ₁₆ 、C5 ₁₆ 、C9 ₁₆ 、CD ₁₆ 番地のビット7)	CS _i /A _j /P4 _k
0	0	P4 _k
	1	A _j
1	X	CS _i

X: “0”又は“1”いずれでもよい。

i = 0 ~ 3, j = 23 - i, k = 7 - i

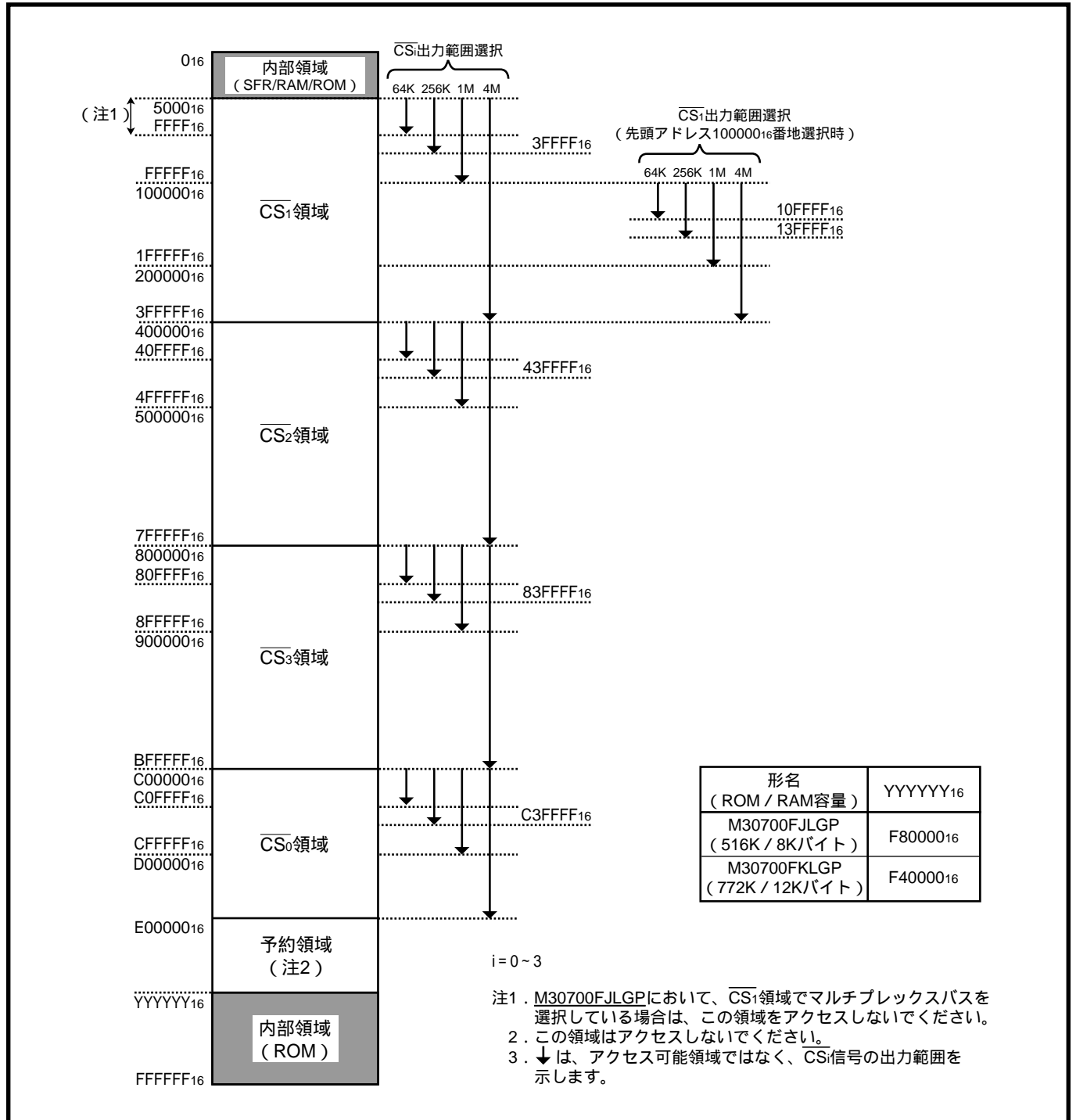


図3.1.1 チップセレクト領域

3.2 外部デバイスのアクセスに必要な信号

表3.2.1 外部デバイスのアクセスに使用する端子

端子	外部領域アクセス時		内部領域 アクセス時
	データバス幅16ビット (CS領域データバス幅選択ビット=1時)	データバス幅8ビット (CS領域データバス幅選択ビット=0時)	
A ₀ ~ A ₂₃ (注1)	アドレス(A ₀ ~ A ₂₃)出力端子		直前のアドレスを保持
D ₀ ~ D ₇ (注2)	偶数番地のデータ(D ₀ ~ D ₇)入出力端子	データ(D ₀ ~ D ₇)入出力端子	フローティング
D ₈ ~ D ₁₅	奇数番地のデータ(D ₈ ~ D ₁₅) 入出力端子	すべてのCS領域でデータバス幅8ビットを選択している場合は、プログラマブル入出力ポート(P1)として機能します。 CS ₀ ~ CS ₃ 領域のうち1つでもデータバス幅16ビットを選択している場合は、フローティングになります。	
RDY	レディー機能関連信号の入力端子(「3.6 レディー機能」参照)		無効
WRL, WRH, WR, RD	リード/ライト制御信号の出力端子。ソフトウェアによって、RD, WRL, WRH, BHE 又はRD, WR, BHEのいずれかの組み合わせが選択できる(表3.2.2、表3.2.3参照)		“H”レベルを出力 直前の状態を保持
ALE	アドレスラッチイネーブル信号出力端子 (アドレスの確定を示す。アドレスをラッチするときを使用できる)		“L”レベルを出力
BCLK / CLK _{OUT}	ソフトウェアで選択したクロックを出力(表5.4.1参照)		
HOLD	ホールド機能関連信号の入力端子(「3.7 ホールド機能」参照)		有効
HLDA	ホールド機能関連信号の出力端子(「3.7 ホールド機能」参照)		HOLD受付時 “L”レベルを出力
CS ₀ ~ CS ₃	チップセレクト出力端子(表3.1.1参照)		“H”レベルを出力

CS_i領域データバス幅選択ビット：C1₁₆、C5₁₆、C9₁₆、CD₁₆番地のビット4注1. ソフトウェアで選択することによって、A₀ ~ A₇はアドレス(A₀ ~ A₇)の出力とデータ(D₀ ~ D₇)の入出力を時分割で行えます(「3.5.2 マルチプレックスバス選択時のバスサイクル」参照)。

2. すべてのCS領域でマルチプレックスバスを選択している場合は、ソフトウェアで選択することによって、プログラマブル入出力ポート(P0)として機能します。

表3.2.2 RD、WRL、WRH信号の動作(R/Wモード選択ビット=1のとき)

データバス幅	RD	WRL	WRH	外部データバスの状態
16ビット	H	L	H	偶数番地に1バイトデータを書き込む
	H	H	L	奇数番地に1バイトデータを書き込む
	H	L	L	偶数番地、奇数番地共にデータを書き込む
	L	H	H	データを読み出す
8ビット	H	L	使用しない(注)	1バイトのデータを書き込む
	L	H	使用しない(注)	1バイトのデータを読み出す

注. すべてのCS領域でデータバス幅8ビットを選択している場合は、プログラマブル入出力ポート(P5_i)になります。

表3.2.3 RD、WR、BHE信号の動作(R/Wモード選択ビット=0のとき)

データバス幅	RD	WR	BHE	A ₀	外部データバスの状態
16ビット	H	L	L	H	奇数番地に1バイトデータを書き込む
	L	H	L	H	奇数番地の1バイトデータを読み出す
	H	L	H	L	偶数番地に1バイトデータを書き込む
	L	H	H	L	偶数番地の1バイトデータを読み出す
	H	L	L	L	偶数番地、奇数番地共にデータを書き込む
	L	H	L	L	偶数番地、奇数番地共にデータを読み出す
8ビット	H	L	使用しない(注)	H又はL	1バイトのデータを書き込む
	L	H	使用しない(注)	H又はL	1バイトのデータを読み出す

注. すべてのCS領域でデータバス幅8ビットを選択している場合は、プログラマブル入出力ポート(P5_i)になります。

3.3 関連レジスタ

プロセッサモードレジスタ0 PM0 【4 ₁₆ 番地】				b7	b6	b5	b4	b3	b2	b1	b0	
				0	0	0						
ビット	ビットシンボル	ビット名	機能	リセット時	R/W							
0	PM00	プロセッサモードビット	b1 b0 00: シングルチップモード 01: メモリ拡張モード (注) 10: 選択禁止 11: 選択禁止	0	RW							
1	PM01			0	RW							
2	PM02	R/Wモード選択ビット	0: RD, WR, BHE 1: RD, WRL, WRH	0	RW							
3	PM03	ソフトウェアリセットビット	このビットに「1」を書き込むと、マイクロコンピュータはリセットされる。読み出し時の値は「0」	0	RW							
6~4	-	“0”に固定してください			0	RW						
7	PM07	BCLK出力機能選択ビット	表5.3.1参照	1	RW							

注1. これらのビットを“0₁₂”に設定する場合は、R/Wモード選択ビット(ビット2)、BCLK出力機能選択ビット(ビット7)、ALE出力端子選択ビット(5₁₆番地のビット5)、及びクロック出力機能選択ビット(6₁₆番地のビット0、1)を設定した後、別の命令で、“0₁₂”を書き込んでください。

2. このレジスタは、プロテクトビット1(A₁₆番地のビット1)を“1”にした後、設定してください。

図3.3.1 プロセッサモードレジスタ0のレジスタ構成

(1)プロセッサモードビット(ビット1、0)

外部にデバイスを接続する場合は、これらのビットを“0₁₆ (メモリ拡張モード)”にしてください。

(2)R/Wモード選択ビット(ビット2)

このビットによって、リード/ライト制御信号の組み合わせを選択できます(表3.2.2、表3.2.3参照)。

(3)BCLK出力機能選択ビット(ビット7)

表5.3.1を参照してください。

プロセッサモードレジスタ1 PM1 【5 ₁₆ 番地】				b7	b6	b5	b4	b3	b2	b1	b0	
				0	0		0			0	0	
ビット	ビットシンボル	ビット名	機能	リセット時	R/W							
1、0	-	“0”に固定してください			0	RW						
2	PM12	内部メモリウエイトビット	0: BCLKの1サイクルアクセス 1: BCLKの2サイクルアクセス	0	RW							
3	PM13	SFRウエイトビット0	0: BCLKの2サイクルアクセス 1: BCLKの3サイクルアクセス	1	RW							
4	-	“0”に固定してください			0	RW						
5	PM15	ALE出力端子選択ビット(注1)	0: ALE出力禁止(P5 ₆ はプログラマブル入出力ポートとして機能) 1: ALE出力許可(P5 ₆ はALE端子として機能)	0	RW							
7、6	-	“0”に固定してください			0	RW						

注1. シングルチップモード時は、このビットの内容にかかわらず「ALE出力禁止」になります。

2. このレジスタは、プロテクトビット1(A₁₆番地のビット1)を“1”にした後、設定してください。

図3.3.2 プロセッサモードレジスタ1のレジスタ構成

(1) ALE出力端子選択ビット(ビット5)

ALE信号を使用するときは“1”にしてください。ALE信号を使用しないときは、このビットを“0”にすると、P5₆をプログラマブル入出力ポートとして使用できます。

ポート機能制御レジスタ PCON 【19A ₁₆ 番地】				b7 b6 b5 b4 b3 b2 b1 b0			
ビット	ビットシンボル	ビット名	機能	リセット時	R/W		
0	ASEL0	アドレス/ポート切り替えビット	b2b1b0 000: 選択禁止 001: 選択禁止 010: A ₀ ~ A ₁₉ 011: A ₀ ~ A ₁₇ , P ₄₂ , P ₄₃ 100: A ₀ ~ A ₁₅ , P ₄₀ ~ P ₄₃ 101: 選択禁止	0	RW		
1	ASEL1		110: A ₀ ~ A ₁₁ , P ₃₄ ~ P ₃₇ , P ₄₀ ~ P ₄₃ 111: A ₀ ~ A ₇ , P ₃₀ ~ P ₃₇ , P ₄₀ ~ P ₄₃	1	RW		
2	ASEL2			0	RW		
3	ASEL3	データバス/ポート切り替えビット (注)	0: D ₀ ~ D ₇ 1: P ₀₀ ~ P ₀₇	0	RW		
4	PUP	P ₄₄ ~ P ₄₇ プルアップ選択ビット	0: プルアップする 1: プルアップしない	0	RW		
7~5	-	何も配置されていない		不定	-		

注: すべてのCS領域でマルチプレックスバスを選択している場合だけ有効。

図3.3.3 ポート機能制御レジスタのレジスタ構成

(1) アドレス/ポート切り替えビット(ビット0~2)

使用する外部領域に応じて、このビットで不要なアドレス端子をプログラマブル入出力ポートとして使用できます。

(2) データバス/ポート切り替えビット(ビット3)

すべてのCS領域でマルチプレックスバスを選択している場合だけ、このビットによって、データ端子(D₀ ~ D₇)をプログラマブル入出力ポート(P₀₀ ~ P₀₇)として使用できます。

(3) P₄₄ ~ P₄₇プルアップ選択ビット(ビット4)

RESET端子のレベルが“L”の期間及びリセット後、このビットは“0”で、P₄₄/A₂₀/CS₃ ~ P₄₇/A₂₃/CS₀はプルアップされます。したがって、CS端子として使用する場合でも外部にプルアップ抵抗を接続する必要がありません。このビットを“1”にすると、プルアップは解除されます。

また、次のいずれかを設定すると、このビットの内容にかかわらず、P₄₄ ~ P₄₇のプルアップが解除されます(このビットの内容は変化しません)。

対応するP₄₄ ~ P₄₇方向レジスタを“1”(出力モード)にする

対応するCS₀ ~ CS₃出力選択ビット(C₀₁₆, C₄₁₆, C₈₁₆, CC₁₆番地のビット7)を“1”(CS₀ ~ CS₃端子)にする

対応するCS₀ ~ CS₃アドレス/ポート切り替えビット(C₁₁₆, C₅₁₆, C₉₁₆, CD₁₆番地のビット7)を“1”(A₂₀ ~ A₂₃)にする

ただし、又は の場合、ホールド状態になると、P₄₄ ~ P₄₇プルアップ選択ビットの内容が有効となり、端子がプルアップされます。したがって、CS端子又はA₂₀ ~ A₂₃端子として使用し、かつ、ホールド機能を使用するときは、このビットを“0”にして、必要に応じて基板上でプルアップしてください。

特殊機能選択レジスタ PMD 【19B ₁₆ 番地】		b7 b6 b5 b4 b3 b2 b1 b0					
ビット	ビットシンボル	ビット名	機能	リセット時	R/W		
0	PMD0	RDY入力許可ビット (注1)	0: RDY入力禁止 (P5 ₇ はプログラマブル入出力ポートとして機能) 1: RDY入力許可 (P5 ₇ はRDY端子として機能)	0	RW (注2)		
1	PMD1	HOLD入力、HLDA出力許可ビット (注1)	0: HOLD入力、HLDA出力禁止 (P5 ₅ 、P5 ₄ はプログラマブル入出力ポートとして機能) 1: HOLD入力、HLDA出力許可 (P5 ₅ 、P5 ₄ はHOLD端子、HLDA端子として機能)	0	RW (注2)		
2	PMD2	スタンバイ状態選択ビット	0: 外部バス 1: プログラマブル入出力ポート	0	RW		
5~3	-	何も配置されていない		不定	-		
6	PMD6	RDY解除タイミング選択ビット	0: RDY解除時ウエイトなし 1: RDY解除時ウエイトあり	0	RW		
7	-	何も配置されていない		不定	-		

注1. シングルチップモード時は、これらのビットの内容にかかわらず、各機能が「禁止」になります。
2. リセット後、一度だけ「1」にできます。「1」から「0」にすると、それ以降「1」にできません(「0」に固定される)。

図3.3.4 特殊機能選択レジスタのレジスタ構成

(1) RDY入力許可ビット(ビット0)

RDY信号を使用するときは「1」にしてください。RDY信号を使用しないときは、このビットを「0」にすると、P5₇をプログラマブル入出力ポートとして使用できます。

(2) HOLD入力、HLDA出力許可ビット(ビット1)

HOLD信号、HLDA信号を使用するときは「1」にしてください。HOLD信号、HLDA信号を使用しないときは、このビットを「0」にすると、P5₅、P5₄をプログラマブル入出力ポートとして使用できます。

(3) RDY解除タイミング選択ビット(ビット6)

このビットを「1」にすると、レディー状態の解除タイミングがBCLKの1サイクル分延びます。

RDY信号については「3.6 レディー機能」を、HOLD信号、HLDA信号については「3.7 ホールド機能」を参照してください。

CS _i 制御レジスタ <i>i</i> (<i>i</i> =0~3) CSiC0【C0 ₁₆ 、C4 ₁₆ 、C8 ₁₆ 、CC ₁₆ 番地】				b7 b6 b5 b4 b3 b2 b1 b0				
ビット	ビットシンボル	ビット名	機能	リセット時	R/W			
0	CSiC00	バスサイクル選択ビット	b4b3b2b1 b0 00000: 選択禁止 00001: 1 +1 00010: 1 +2 00011: 1 +3 00100: 1 +4 00101: 1 +5 00110: 1 +6 00111: 選択禁止 01000: 選択禁止 01001: 選択禁止 01010: 2 +2 01011: 2 +3 01100: 2 +4 01101: 2 +5 01110: 選択禁止 01111: 選択禁止	b4b3b2b1 b0 10000: 選択禁止 10001: 選択禁止 10010: 選択禁止 10011: 3 +3 10100: 3 +4 10101: 3 +5 10110: 3 +6 10111: } 11000: } 11001: } 11010: } 11011: } 11100: } 11101: } 11110: } 11111: }	1	RW		
1	CSiC01			1	RW			
2	CSiC02			0	RW			
3	CSiC03			0	RW			
4	CSiC04			0	RW			
5	CSiC05	RDY制御ビット (注1)	0: RDY制御有効 1: RDY制御無効	0	RW			
6	CSiC06	リカバリサイクル挿入選択ビット	0: CS _i 領域アクセス時リカバリサイクルなし 1: CS _i 領域アクセス時リカバリサイクル挿入	0	RW			
7	CSiC07	CS _i 出力選択ビット (注2)	0: CS _i 出力禁止(P4 ₄ ~P4 ₇ はプログラブル入出力ポート又はアドレス端子として機能) 1: CS _i 出力許可(P4 ₄ ~P4 ₇ はCS _i 端子として機能)	0	RW			

注1. RDY入力許可ビット(B1₁₆番地のビット0)が“1”のとき有効です。
 2. シングルチップモード時、このビットの内容は無効です(CS出力禁止)。

図3.3.5 CS_i制御レジスタ0のレジスタ構成

(1)バスサイクル選択ビット(ビット0~4)

このビットで、各CS_i領域ごとにバスサイクルを選択できます。バスサイクルについては、「3.5 外部バス動作」を参照してください。

(2)RDY制御ビット(ビット5)

このビットで、各CS_i領域ごとにRDY信号による制御を有効にするか無効にするかを選択できます。RDY信号を使用するときは、RDY入力許可ビット(B1₁₆番地のビット0)を“1”にしてください。RDY信号については、「3.6 レディー機能」を参照してください。

(3)リカバリサイクル挿入選択ビット(ビット6)

このビットで、各CS_i領域ごとにリカバリサイクルを挿入するかどうかを選択できます。リカバリサイクルについては、「3.5 外部バス動作」を参照してください。

(4)CS_i出力選択ビット(ビット7)

CS_i信号を使用するときは“1”にしてください。CS_i信号を使用しないときは、このビットを“0”にする、P4₄~P4₇をプログラブル入出力ポート、又はアドレス端子として使用できます(表3.1.1参照)。

CS _i 制御レジスタ1(i=0~3) CSiC1 【C1 ₁₆ 、C5 ₁₆ 、C9 ₁₆ 、CD ₁₆ 番地】				b7	b6	b5	b4	b3	b2	b1	b0
								0	0		
ビット	ビットシンボル	ビット名	機能	リセット時	R/W						
0	CSiC10	CS _i 出力範囲選択ビット	b1 b0 00 : 64Kバイト 01 : 256Kバイト 10 : 1Mバイト 11 : 4Mバイト	0	RW						
1	CSiC11			0	RW						
3、2	-	"0"に固定してください		0	RW						
4	CSiC14	CS _i 領域データバス幅選択ビット	0 : データバス幅8ビット 1 : データバス幅16ビット	1	RW						
5	CSiC15	CS _i マルチプレックスバス選択ビット	0 : 分離バス 1 : マルチプレックスバス(注1)	0	RW						
6	CSiC16	先頭アドレス選択ビット (注2)	0 : 5000 ₁₆ 番地先頭 1 : 10000 ₁₆ 番地先頭	0	RW						
7	CSiC17	CS _i アドレス/ポート切り替えビット (注3)	0 : プログラマブル入出力ポート 1 : アドレス出力端子	0	RW						

注1. マルチプレックスバス選択時は、ビット4を"0"(データバス幅8ビット)にしてください。
 2. CS₀、CS₂、CS₃制御レジスタ1では"0"に固定してください。
 3. CS_i出力選択ビット(C0₁₆、C4₁₆、C8₁₆、C12₁₆番地のビット7)が"0"のときのみ有効です。

図3.3.6 CS_i制御レジスタ1のレジスタ構成(1) CS_i出力範囲選択ビット(ビット0、1)

このビットで、各CS_i領域ごとにCS_i出力範囲を選択できます。このビットで設定した範囲の領域をアクセスしたときだけ、CS_i信号が出力されます(図3.1.1参照)。

(2) CS_i領域データバス幅選択ビット(ビット4)

このビットで、各CS_i領域ごとにデータバス幅を選択できます。データバス幅については、「3.5 外部バス動作」を参照してください。

(3) CS_iマルチプレックスバス選択ビット(ビット5)

このビットで、各CS_i領域ごとにバスの形態(分離バス又はマルチプレックスバス)を選択できます。バスの形態については、「3.5 外部バス動作」を参照してください。

なお、M30700FJLGPにおいて、CS₁領域でマルチプレックスバスを選択する場合は、5000₁₆~FFFF₁₆番地をアクセスしないでください。

(4) 先頭アドレス選択ビット(ビット6)

CS₂領域の先頭番地を選択するビットです(図3.1.1参照)。

(5) CS_iアドレス/ポート切り替えビット(ビット7)

CS_i信号を使用しないとき、このビットで、P4₄~P4₇をプログラマブル入出力ポート、又はアドレス端子として使用できます(表3.1.3参照)。

3.4 設定方法

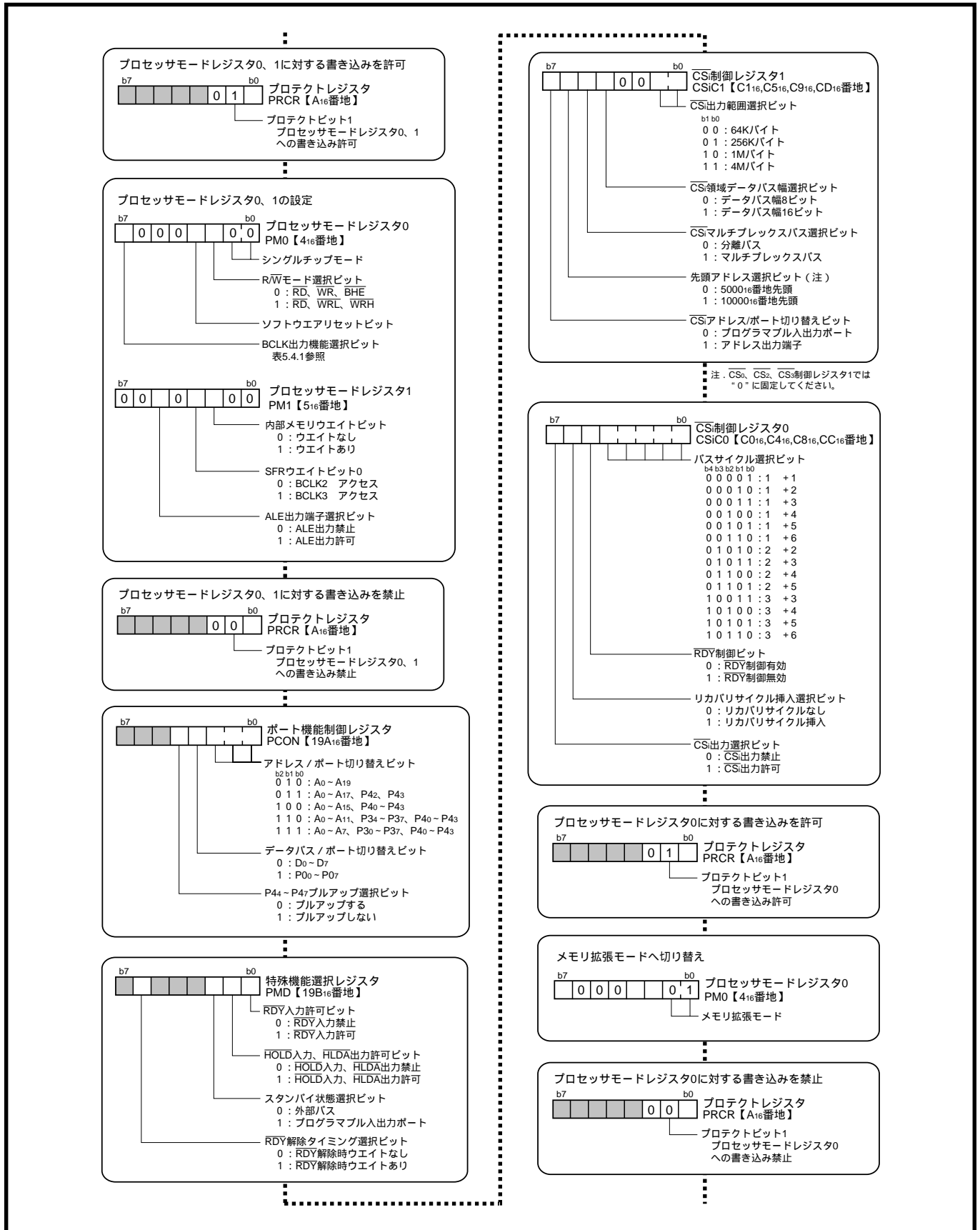


図3.4.1 外部バス関連レジスタの初期設定例

3.5 外部バス動作

ソフトウェアで以下の機能を選択することによって、チップセレクト領域ごとに外部バスの動作を変えることができます。

- ・バス形態：分離バス又はマルチプレックスバス
- ・バスサイクル：13種類(分離バス)又は8種類(マルチプレックスバス)
- ・リカバリサイクル：挿入する又は挿入しない
- ・RDY制御：する又はしない

以下に、各機能を選択した場合の動作について示します。RDY制御については「3.6 レディー機能」を参照してください。

3.5.1 分離バス選択時のバスサイクル

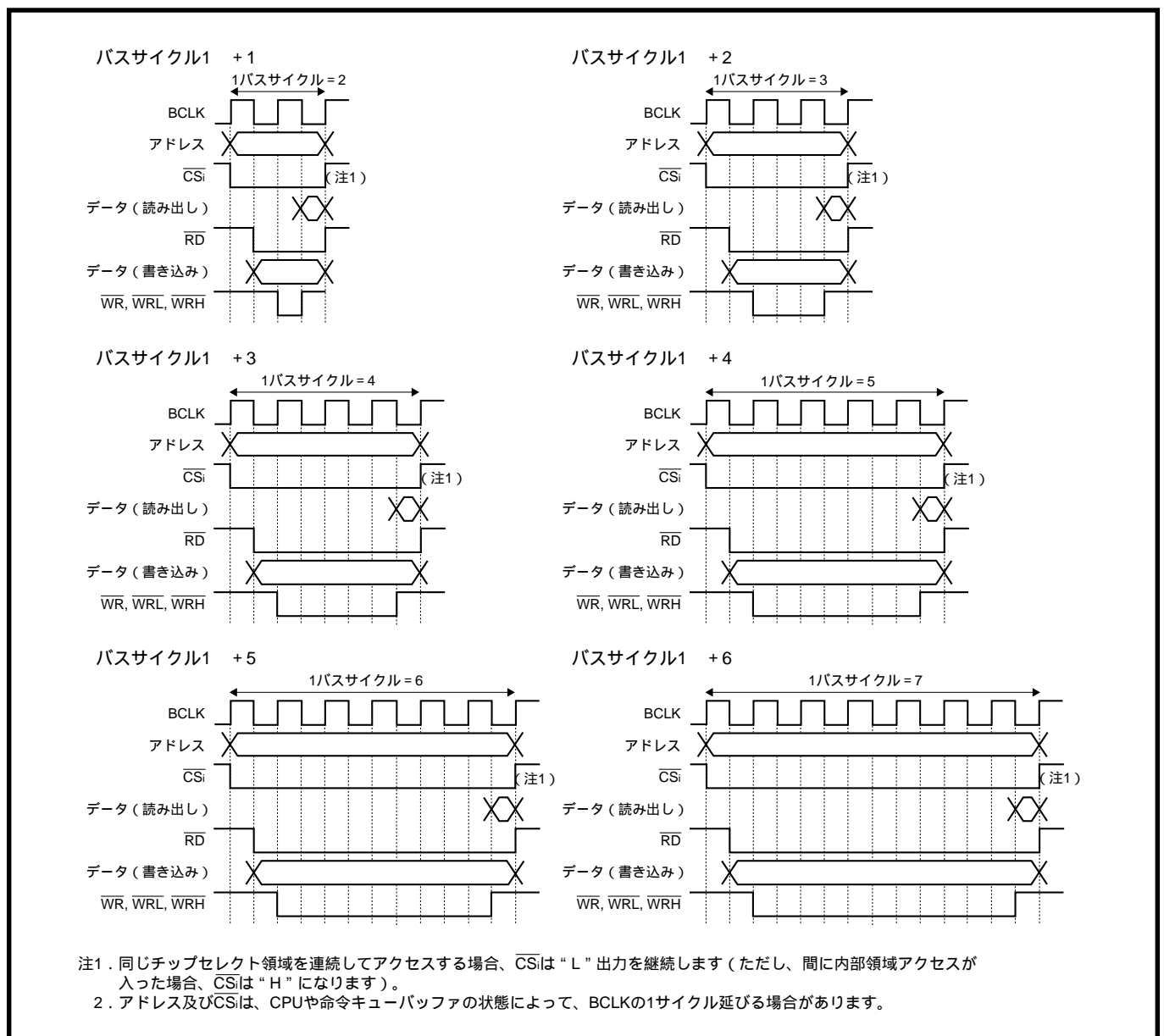


図3.5.1 分離バス選択時のバスサイクル(1)

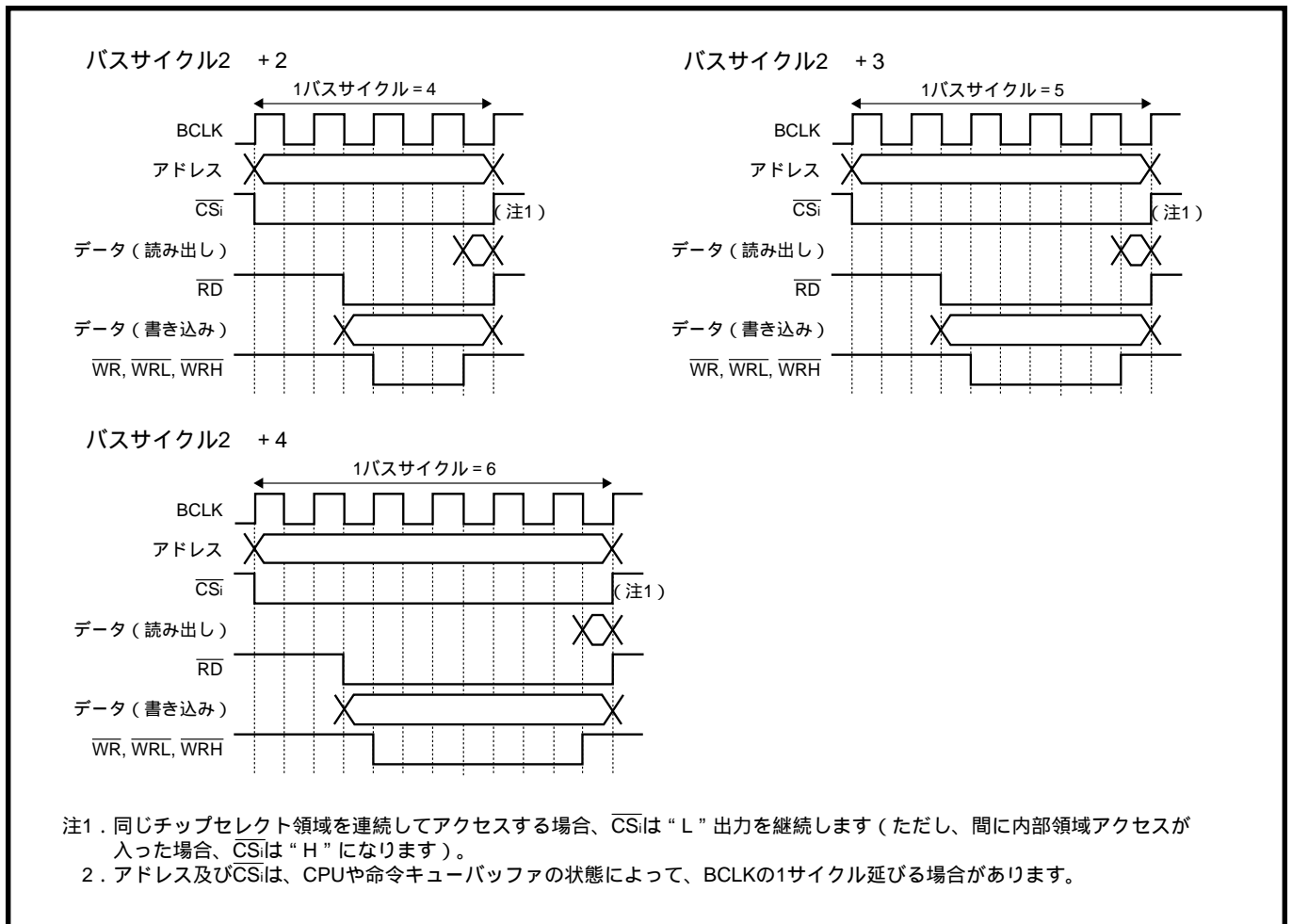
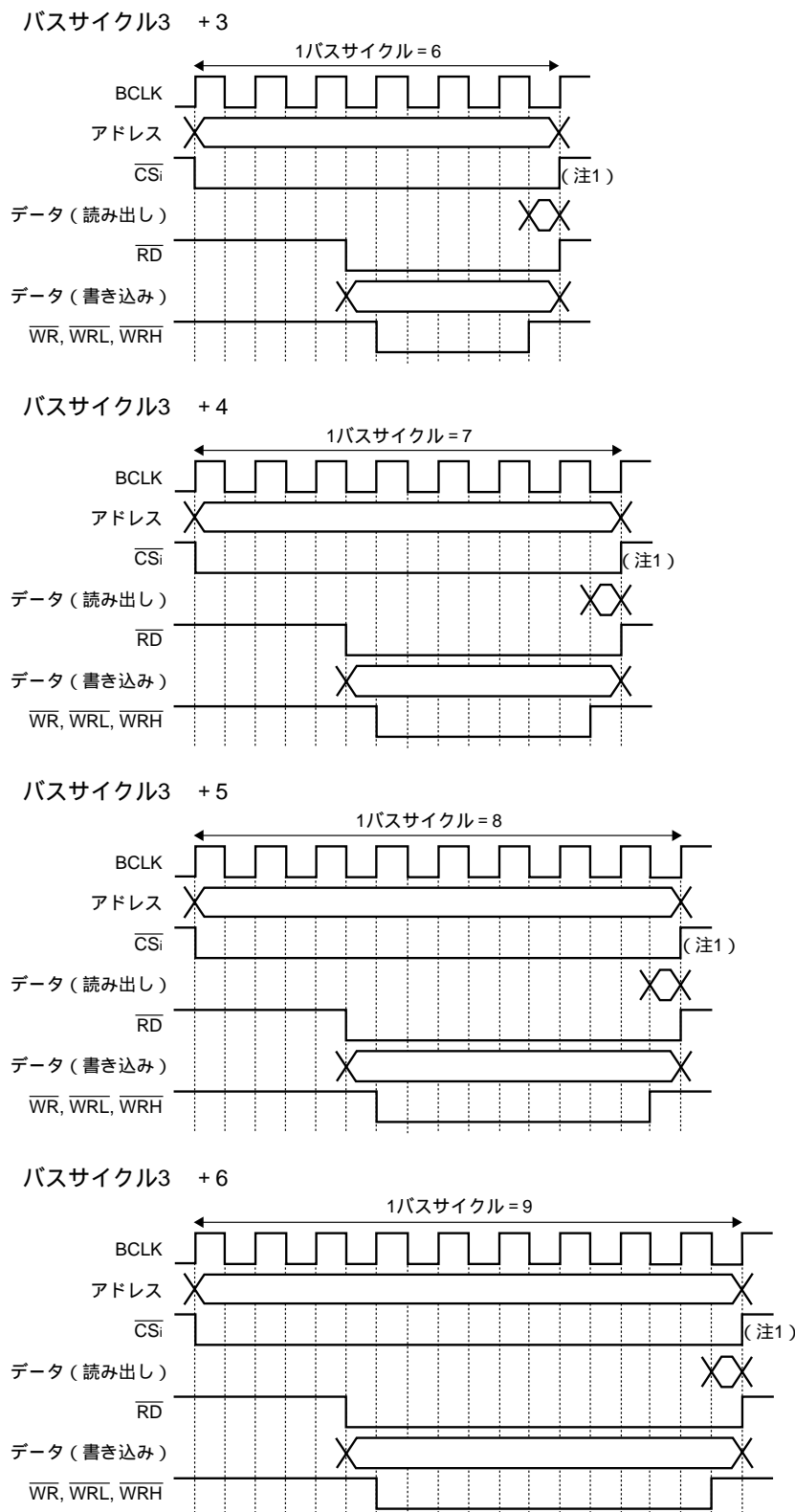


図3.5.2 分離バス選択時のバスサイクル(2)



- 注1. 同じチップセレクト領域を連続してアクセスする場合、 \overline{CS} は“L”出力を継続します（ただし、間に内部領域アクセスが入った場合、 \overline{CS} は“H”になります）。
2. アドレス及び \overline{CS} は、CPUや命令キューバッファの状態によって、BCLKの1サイクル延びる場合があります。

図3.5.3 分離バス選択時のバスサイクル(3)

3.5.2 マルチプレックスバス選択時のバスサイクル

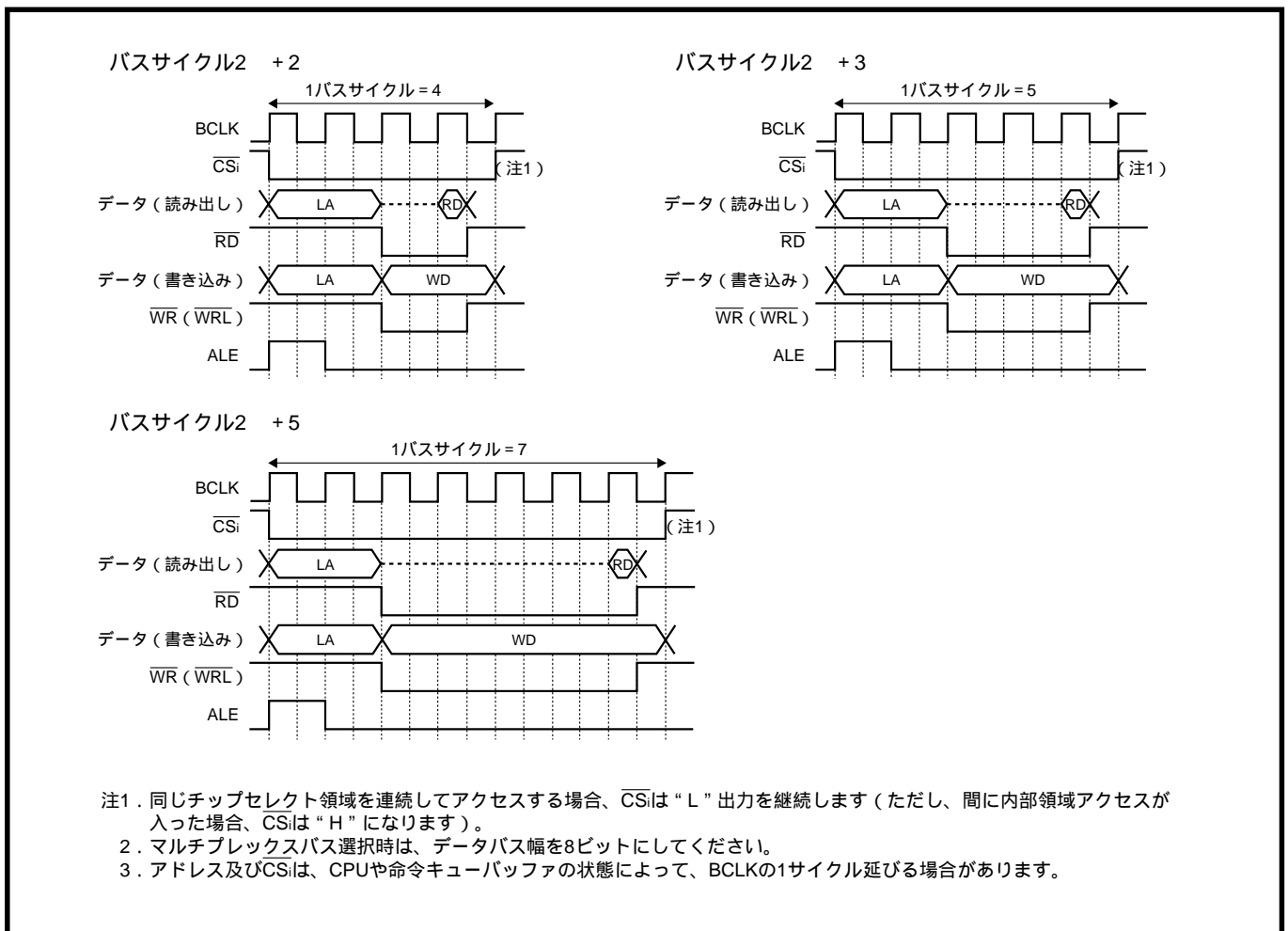
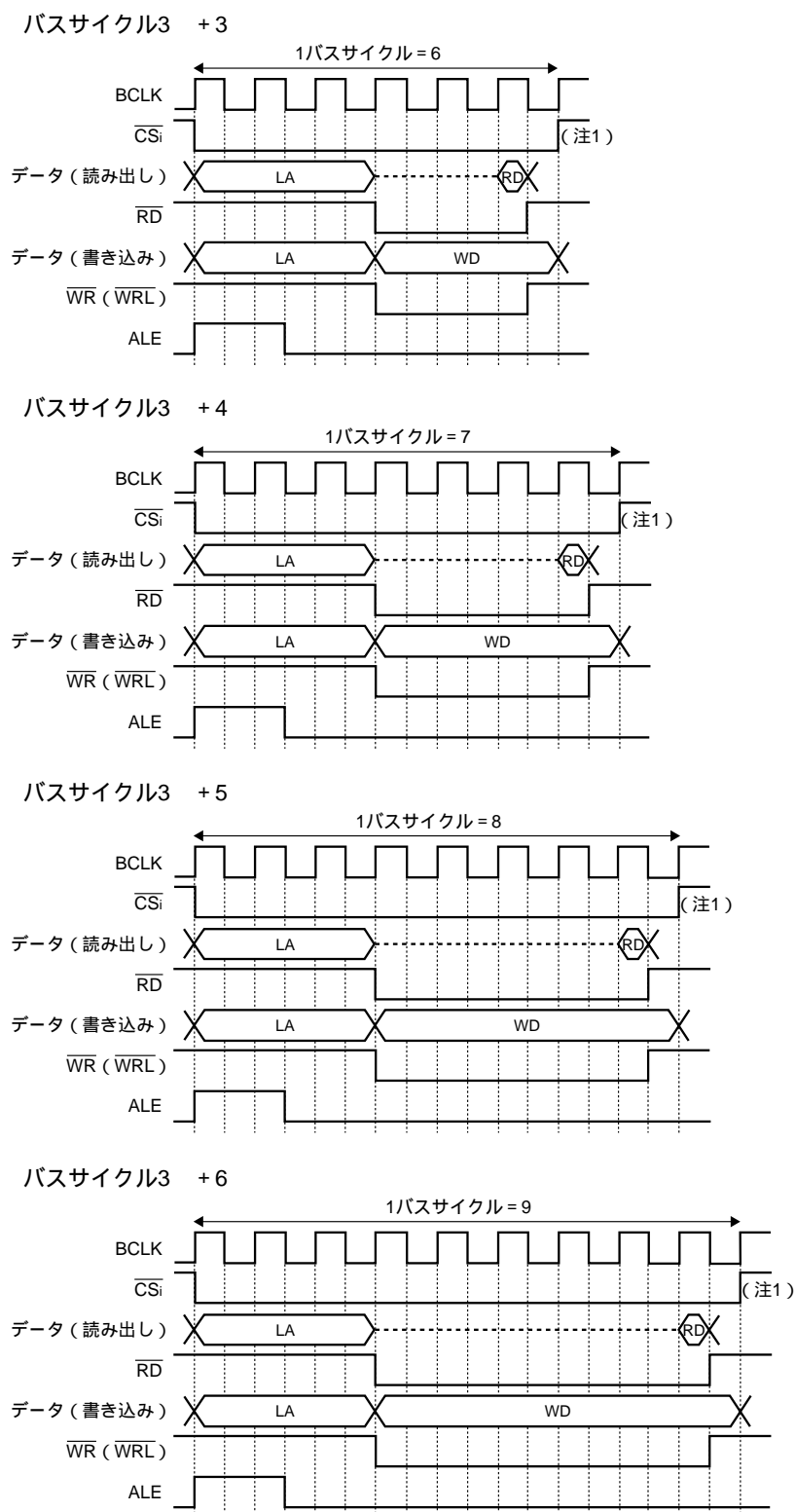


図3.5.4 マルチプレックスバス選択時のバスサイクル(1)



- 注1. 同じチップセレクト領域を連続してアクセスする場合、 \overline{CSi} は“L”出力を継続します(ただし、間に内部領域アクセスが入った場合、 \overline{CSi} は“H”になります)。
 2. マルチプレックスバス選択時は、データバス幅を8ビットにしてください。
 3. アドレス及び \overline{CSi} は、CPUや命令キューバッファの状態によって、BCLKの1サイクル延びる場合があります。

図3.5.5 マルチプレックスバス選択時のバスサイクル(2)

3.5.3 リカバリサイクル挿入時のバスサイクル

リカバリサイクルは、リカバリサイクル挿入選択ビットによって、選択できます。リカバリサイクルを挿入すると、読み出し時の出力ディスエーブル時間が長いデバイスを、バスバッファ等を使用することなく接続できます。

リカバリサイクルの間、アドレス出力は保持されますので(分離バス時のみ)、アドレスホールド時間を長く要求するデバイスも接続できます。また、リカバリサイクルの間、書き込みデータ出力も保持されますので、書き込み時のデータホールド時間を長く要求するデバイスも接続できます。

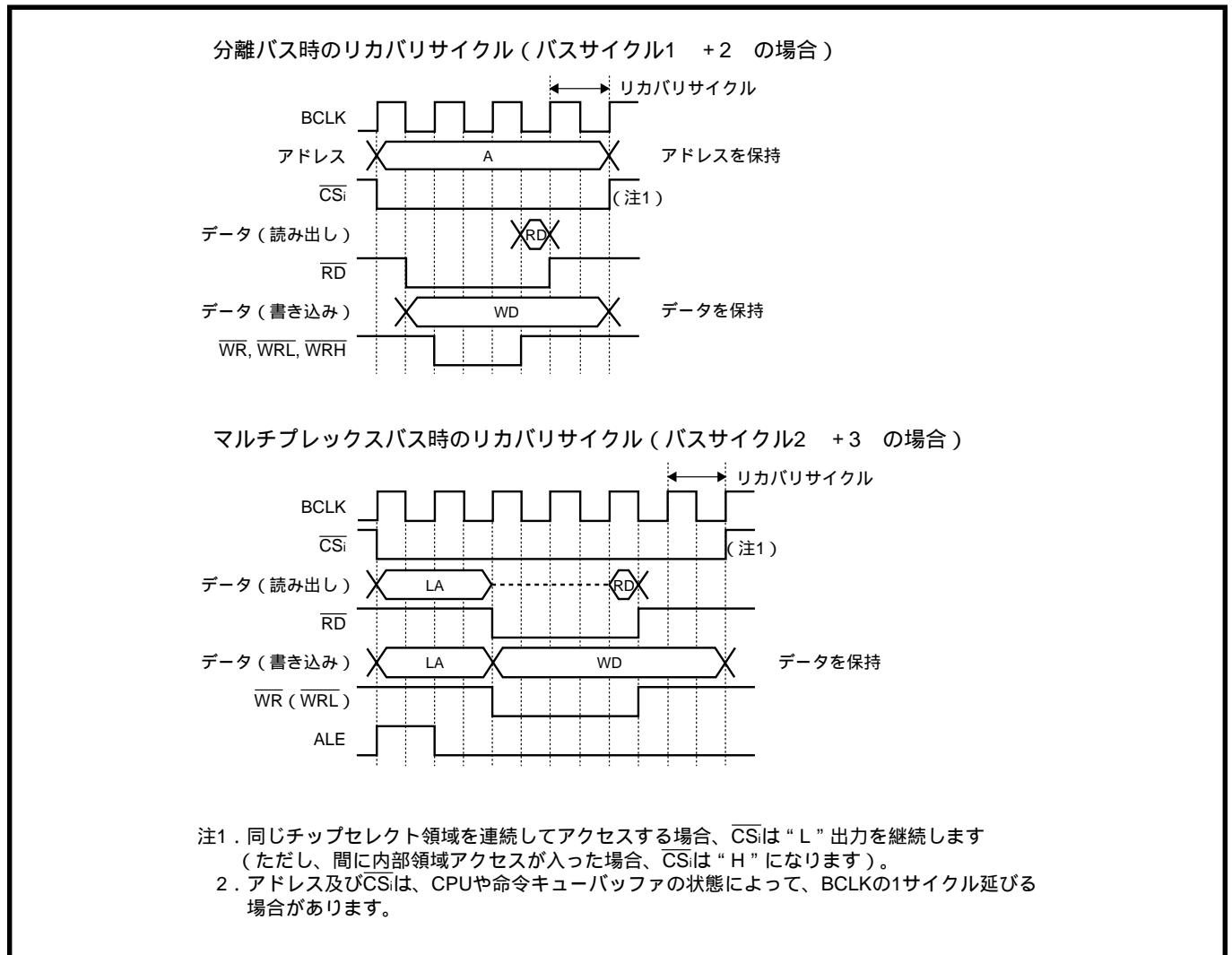


図3.5.6 リカバリサイクル

3.6 レディー機能

3.6.1 概要

レディー機能は、アクセス時間が長い外部デバイスへのアクセスを容易にするために使用します。

メモリ拡張モード時、RDY端子に“L”レベルを入力するとマイクロコンピュータはレディー状態になり、RDY端子のレベルが“L”の期間、その状態を保持します。表3.6.1にレディー状態におけるマイクロコンピュータの状態を示します。

レディー機能を使用する場合は、RDY入力許可ビット(図3.3.4参照)を“1”にした上で、各CS領域ごとに、RDY制御ビット(図3.3.5参照)を“0”にしてください。

また、RDY解除タイミング選択ビット(図3.3.4参照)を“1”にすると、RDYの解除タイミングを選択できます(ただし、すべてのCS_i領域について同じ解除タイミングとなります)。

表3.6.1 レディー状態におけるマイクロコンピュータの状態

項目	状態
発振、CPU(注1)	動作
BIU	停止
A ₀ ~ A ₂₃ 、D ₀ ~ D ₇ 、D ₈ ~ D ₁₅ 、RD、WRL/WR、WRH/BHE、ALE、HLDA、CS ₀ ~ CS ₃ 端子	レディー要求受付時の状態を保持
BCLK / CLK _{OUT} 端子	ソフトウェアで選択したクロックを出力(注2)
内蔵周辺装置の入出力端子	動作
上記以外のプログラマブル入出力ポート	レディー要求受付時の状態を保持
監視タイマ	動作

注1．ただし、命令キューバッファが空になる、又はデータアクセスが発生した場合は、停止します。

2．表5.4.1参照。

3.6.2 動作説明

$\overline{\text{RDY}}$ 端子の入力レベルの判定は、各バスサイクルの最後のクロックBCLKの立ち上がり時に行われます(バスを使用していない期間には、 $\overline{\text{RDY}}$ 端子の入力レベル判定を行いません)。このとき、“L”レベルを検出すると、マイクロコンピュータはレディー状態になります(レディー要求受付)。

レディー状態では、 $\overline{\text{RDY}}$ 端子の入力レベルの判定は、クロックBCLKの立ち上がりごとに行われます。このとき、“H”レベルを検出すると、次のクロックBCLKの立ち上がり(マルチプレックスバス選択時は立ち下がり)で、マイクロコンピュータはレディー状態を解除します。

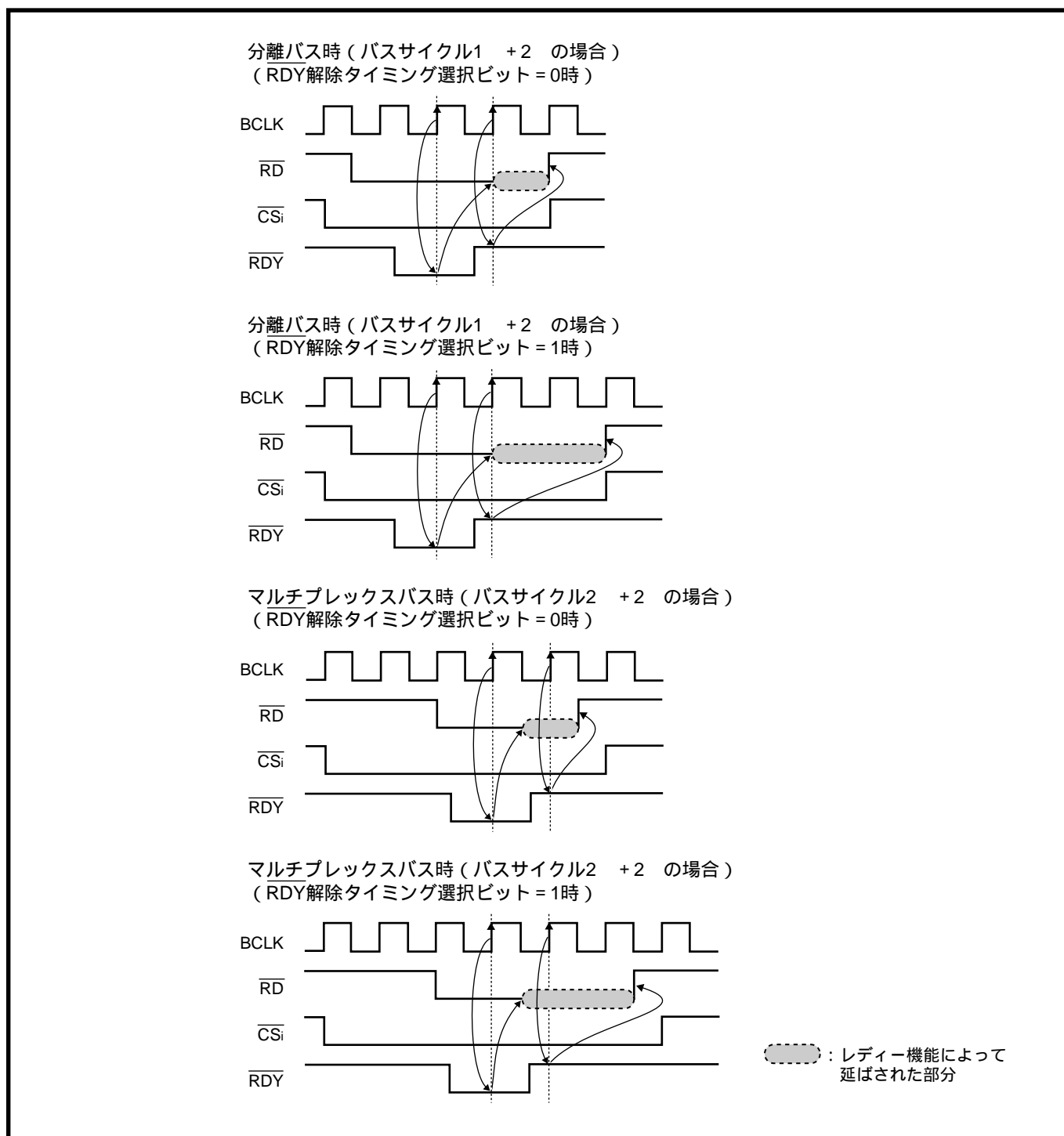


図3.6.1 レディー要求受付、及びレディー状態解除タイミング

3.7 ホールド機能

3.7.1 概要

ホールド機能は、外部デバイスに外部バスを解放するために使用します。

メモリ拡張モード時、 $\overline{\text{HOLD}}$ 端子に“L”レベルを入力するとマイクロコンピュータはホールド状態になり、 $\overline{\text{HOLD}}$ 端子のレベルが“L”の期間、その状態を保持します。表3.7.1にホールド状態におけるマイクロコンピュータの状態を示します。

ホールド機能を使用する場合は、 $\overline{\text{HOLD}}$ 入力、 $\overline{\text{HLDA}}$ 出力許可ビット(図3.3.4参照)を“1”にしてください。

表3.7.1 ホールド状態におけるマイクロコンピュータの状態

項目	状態
発振、CPU(注1)	動作
BIU	停止
$A_0 \sim A_{23}$ 、 $D_0 \sim D_7$ 、 $D_8 \sim D_{15}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WRL/WR}}$ 、 $\overline{\text{WRH/BHE}}$ 、 $\overline{\text{ALE}}$ 、 $\overline{\text{CS}}_0 \sim \overline{\text{CS}}_3$ 端子	フローティング
$\overline{\text{HLDA}}$ 端子	“L”レベルを出力
CLK_{OUT} / BCLK 端子	ソフトウェアで選択したクロックを出力(注2)
内蔵周辺装置の入出力端子	動作
上記以外のプログラマブル入出力ポート	ホールド要求受付時の状態を保持
監視タイマ	停止

注1. ただし、命令キューバッファが空になる、又はデータアクセスが発生した場合は、停止します。

2. 表5.4.1参照。

3.7.2 動作説明

- (1) 外部のバスマスタから $\overline{\text{HOLD}}$ 端子にLレベルが出力されます。
- (2) CPUはBCLKの立ち上がりで $\overline{\text{HOLD}}$ 端子のレベル(ここではL)を検出します。
- (3) その時点でのバスサイクルが終了する(バスを解放できる状態になる)と、BCLKの立ち下がり、 $\overline{\text{RD}}$ 、 $\overline{\text{WRL/WR}}$ 、 $\overline{\text{WRH/BHE}}$ 、ALE、 $\overline{\text{CS}}(i=0\sim 3)$ 、及び外部バスがフローティングになります。
- (4) 次のBCLKの立ち上がりで $\overline{\text{HLDA}}$ 端子のレベルがLになり、外部のバスマスタに使用可能状態(ホールド状態)であることを知らせます。
- (5) ホールド状態の間も、CPUはBCLKの立ち上がりごとに $\overline{\text{HOLD}}$ 端子のレベルを検出します。 $\overline{\text{HOLD}}$ 端子がHレベルであることを検出すると $\overline{\text{HLDA}}$ 端子のレベルをHにします。
- (6) 次のBCLKの立ち下がり、 $\overline{\text{RD}}$ 、 $\overline{\text{WRL/WR}}$ 、 $\overline{\text{WRH/BHE}}$ 、ALE、 $\overline{\text{CS}}(i=0\sim 3)$ 、及び外部バスのフローティング状態が解除されます。
- (7) 次のBCLKの立ち上がりからCPUがバスを使用します。

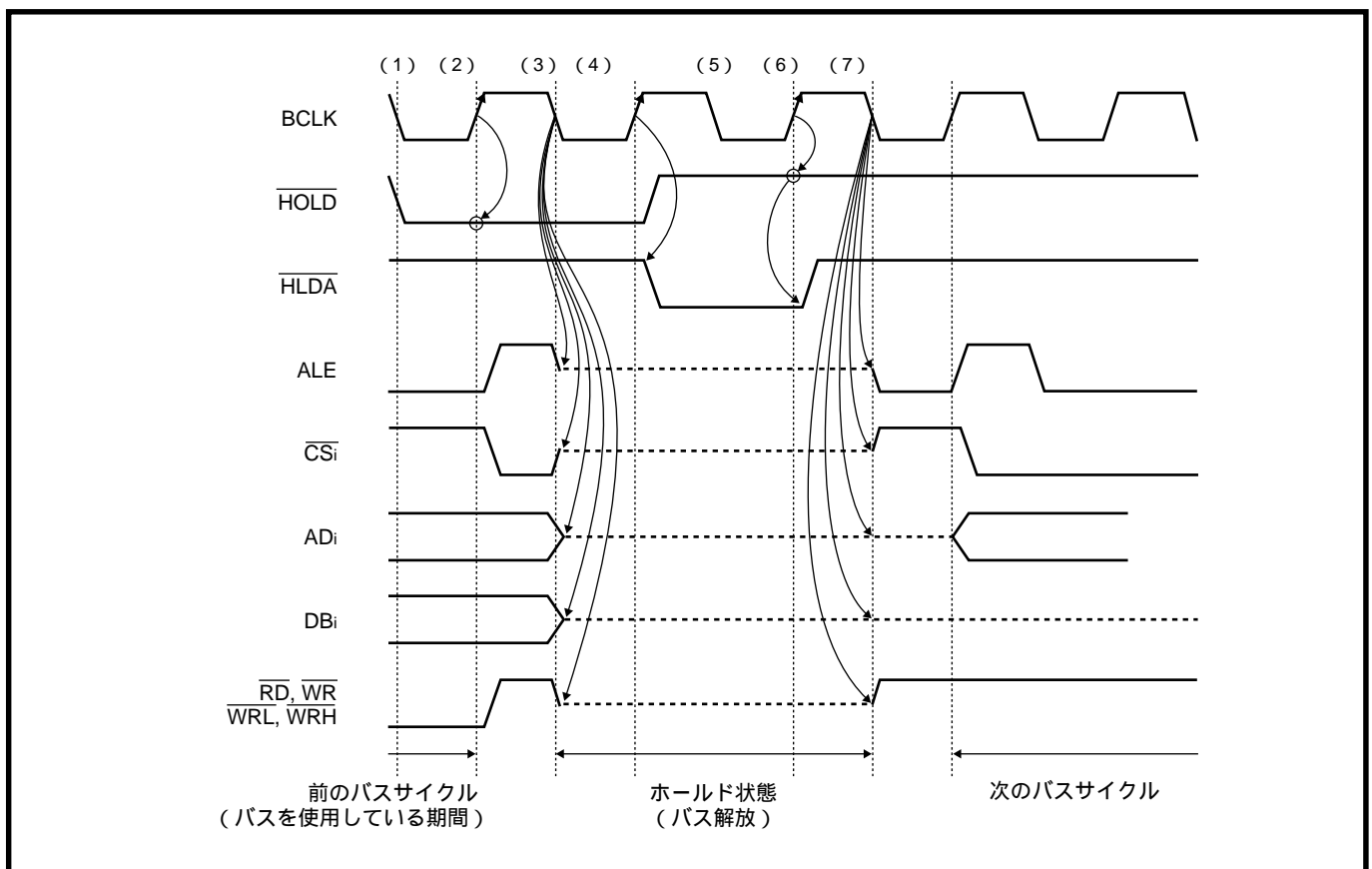


図3.7.1 ホールド要求受付、及びホールド状態解除タイミング

3.8 応用

図3.8.1～図3.8.3にメモリ接続例を、表3.8.1～表3.8.5に使用できる各メモリのタイミング条件を示します。なお、表3.8.1～表3.8.5に示す以外のタイミングについても、各メモリのデータシートを参照してください。また、M16C/70のタイミング特性については、「付録8 . M16C/70電気的特性」、又は最新のデータシートを参照してください。

ここで説明する内容は一例です。ご使用に際しては、ユーザアプリケーションに対応して、適宜変更、及び十分な評価をしてください。

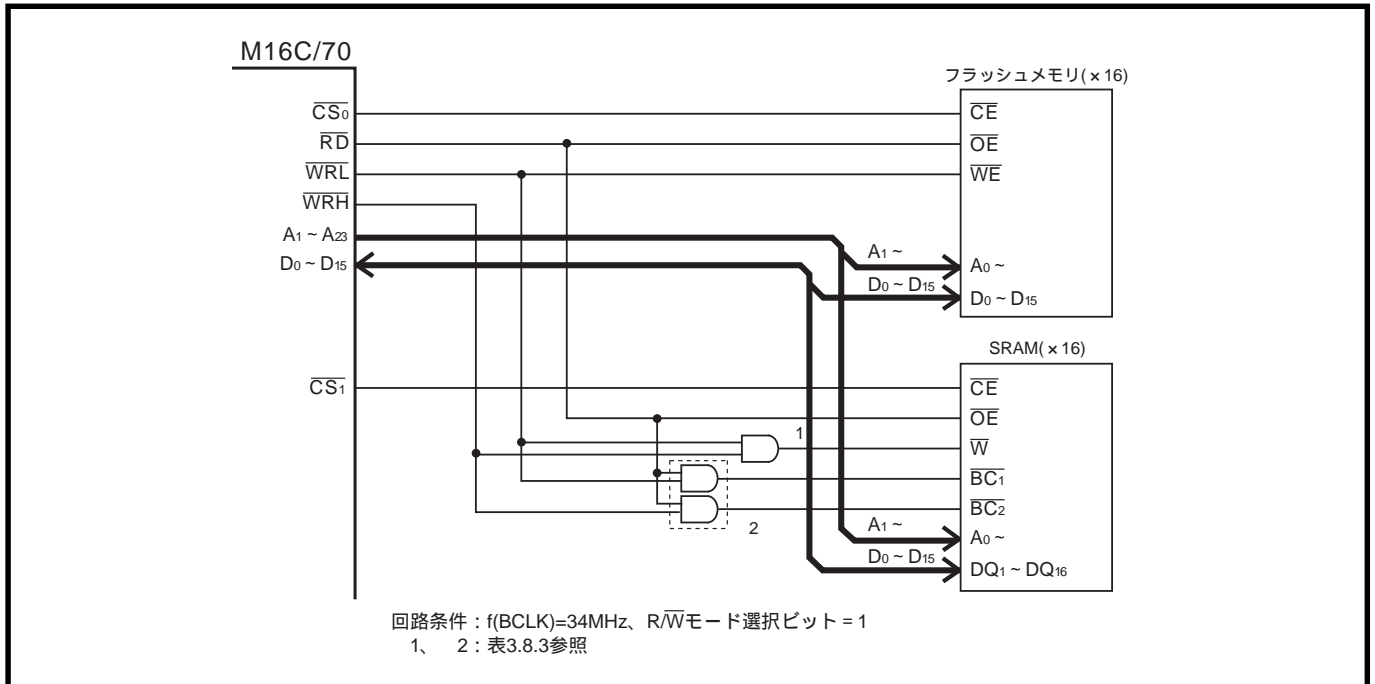


図3.8.1 メモリ接続例(1)

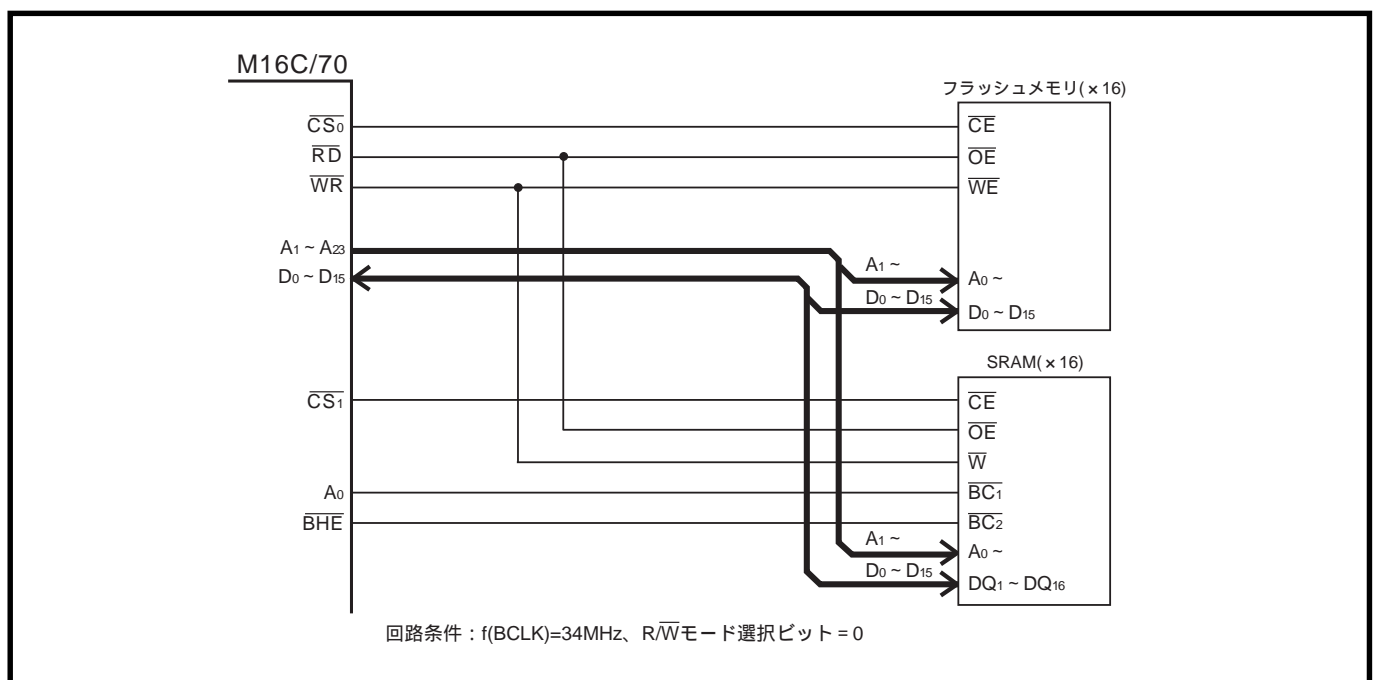


図3.8.2 メモリ接続例(2)

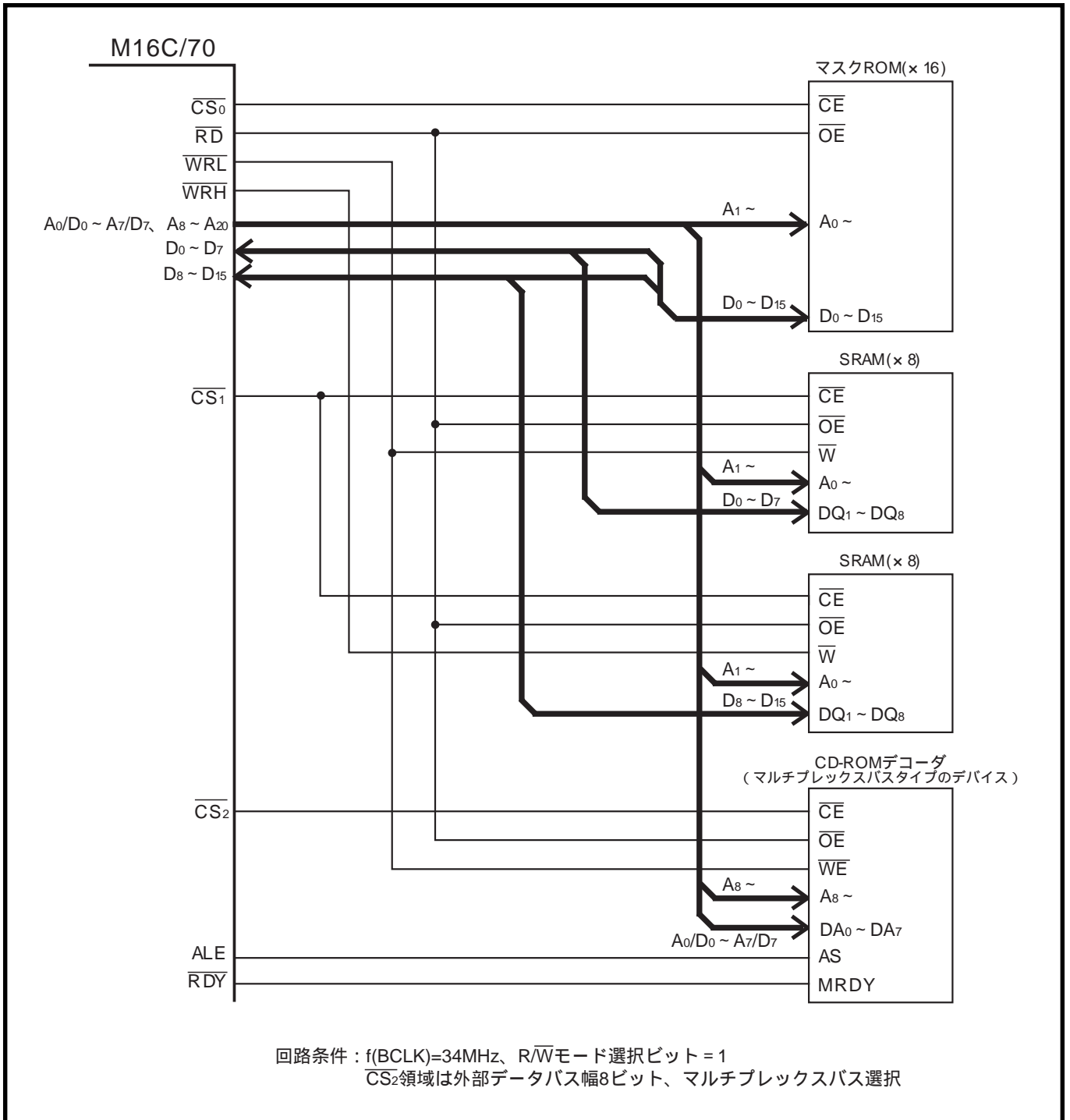


図3.8.3 メモリ接続例(3)

表3.8.1 使用できるフラッシュメモリのタイミング条件(ϕ BCLK)=34MHz時)

項目		条件			
		バスサイクル2 +2 選択時		バスサイクル2 +3 選択時	
読み出し時	アドレスアクセス時間	82ns以内		112ns以内	
	OEアクセス時間	43ns以内		72ns以内	
	CEアクセス時間	82ns以内		112ns以内	
	出力ディスエーブル時間	0ns以上		0ns以上	
書き込み時	データセットアップ時間	38ns以内		68ns以内	
	データホールド時間	4ns以内(注)		4ns以内(注)	
	ライト前CEセットアップ時間	38ns以内		38ns以内	

注．リカバリサイクルを挿入することで、更に29ns延ばせます。

表3.8.2 使用できるマスクROMのタイミング条件(ϕ BCLK)=34MHz時)

項目		条件			
		バスサイクル1 +3 選択時		バスサイクル2 +4 選択時	
読み出し時	アドレスアクセス時間	82ns以内		141ns以内	
	OEアクセス時間	72ns以内		102ns以内	
	CEアクセス時間	82ns以内		141ns以内	
	出力ディスエーブル時間	0ns以上		0ns以上	

表3.8.3 使用できるSRAM(×16)のタイミング条件(ϕ BCLK)=34MHz時)

項目		条件				
		バスサイクル1 +1 選択時		バスサイクル1 +2 選択時		
読み出し時	アドレスアクセス時間	23ns以内		53ns以内		
	OEアクセス時間	14ns以内		43ns以内		
	CEアクセス時間	23ns以内		53ns以内		
	BC ₁ / BC ₂	R/Wモード選択ビット=1時	(14ns- 2の伝搬遅延時間)以内		(43ns- 2の伝搬遅延時間)以内	
	アクセス時間	R/Wモード選択ビット=0時	14ns以内		43ns以内	
	OEイネーブル後出力イネーブル時間	0ns以上		0ns以上		
	出力ディスエーブル時間	0ns以上		0ns以上		
書き込み時	データセットアップ時間	R/Wモード選択ビット=1時	(9ns+ 1の伝搬遅延時間)以内		(38ns+ 1の伝搬遅延時間)以内	
		R/Wモード選択ビット=0時	9ns以内		38ns以内	
	データ	R/Wモード選択ビット=1時	(4ns- 1の伝搬遅延時間)以内(注)		(4ns- 1の伝搬遅延時間)以内(注)	
	ホールド時間	R/Wモード選択ビット=0時	4ns以内(注)		4ns以内(注)	

注．リカバリサイクルを挿入することで、更に29ns延ばせます。

表3.8.4 使用できるSRAM(×8)のタイミング条件($f_{\text{BCLK}}=34\text{MHz}$ 時)

項目		条件	
		バスサイクル1 +1 選択時	バスサイクル1 +2 選択時
読み出し時	アドレスアクセス時間	23ns以内	53ns以内
	OEアクセス時間	14ns以内	43ns以内
	CEアクセス時間	23ns以内	53ns以内
	OEイネーブル後出力イネーブル時間	0ns以上	0ns以上
	出力ディスエーブル時間	0ns以上	0ns以上
書き込み時	データセットアップ時間	9ns以内	38ns以内
	データホールド時間	4ns以内(注)	4ns以内(注)

注．リカバリサイクルを挿入することで、更に29ns延ばせます。

表3.8.5 使用できるCD-ROMデコーダのタイミング条件($f_{\text{BCLK}}=34\text{MHz}$ 時)

項目		条件	
		バスサイクル2 +2 選択時	バスサイクル3 +3 選択時
読み出し時	ASパルス幅	14ns以内	29ns以内
/書き込み時	ASに対するCEセットアップ時間	24ns以内	39ns以内
	ASに対するアドレスセットアップ時間	9ns以内	24ns以内
	ASに対するアドレスホールド時間	14ns以内	29ns以内
	レディー入力セットアップ時間	30ns以上	30ns以上
	レディー解除セットアップ時間	30ns以上	30ns以上
読み出し時	OEアクセス時間	5～43ns以内	5～72ns以内
書き込み時	WEパルス幅	58ns以内	87ns以内
	データセットアップ時間	53ns以内	82ns以内
	データホールド時間	4ns以内(注)	4ns以内(注)

注．リカバリサイクルを挿入することで、更に29ns延ばせます。

第 4 章 リセット

- 4.1 リセット動作
- 4.2 端子の状態
- 4.3 内部領域の状態
- 4.4 リセット後の内部処理シーケンス

マイクロコンピュータをリセットする方法は、以下の3種類です。

- ・ハードウェアリセット... 電源電圧(V_{CC} 、 FV_{CC})が推奨動作条件を満たしている状態で、 \overline{RESET} 端子に“L”レベルを印加する
- ・ソフトウェアリセット... 電源電圧(V_{CC} 、 FV_{CC})が推奨動作条件を満たしている状態で、ソフトウェアリセットビット(4₁₆番地のビット3)に“1”を書き込む
- ・パワーオンリセット... \overline{RESET} 端子に“L”レベルを印加している状態で、電源投入後、 V_{CC} 端子、 FV_{CC} 端子に印加する電圧を推奨動作条件を満たすレベルまで上昇させる

4.1 リセット動作

ハードウェアリセット、ソフトウェアリセット、及びパワーオンリセットの動作について、以下に説明します。

4.1.1 ハードウェアリセット

図4.1.1にハードウェアリセットタイミング例を示します。

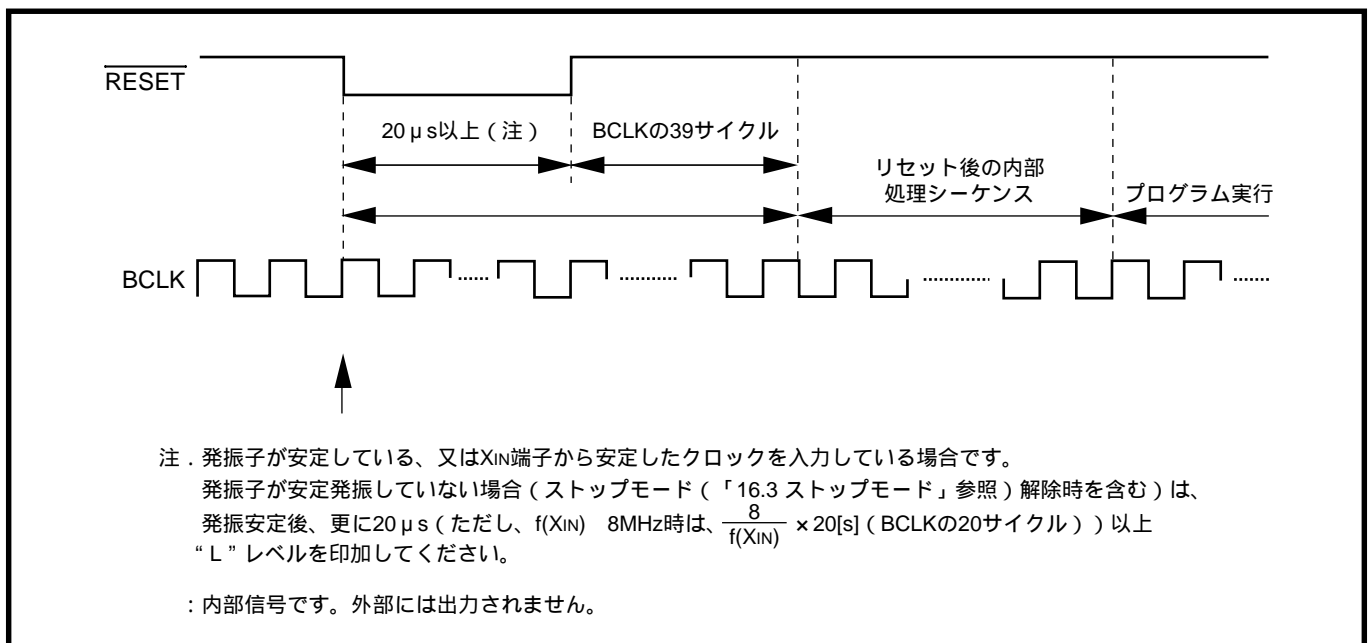


図4.1.1 ハードウェアリセットタイミング例

図中 ~ の期間のマイクロコンピュータの動作を説明します。

\overline{RESET} 端子に $20\mu s$ 以上(注) Lレベルを印加すると、マイクロコンピュータはリセットされ、端子及びSFR領域が初期化されます。 : 「4.2 端子の状態」, 「4.3 内部領域の状態」参照

\overline{RESET} 端子のレベルが“L”の期間、及び“L”から“H”になった後、BCLKの39サイクルの期間に、中央演算処理装置(CPU)が初期化されます。 : 「4.3 内部領域の状態」参照

その後、リセット後の内部処理シーケンスが行われます。

: 「4.4 リセット後の内部処理シーケンス」参照

リセットのベクトル番地($FFFFFC_{16}$ ~ $FFFFFF_{16}$ 番地)に設定された番地から、プログラムが実行されます。

注 . $f(X_{IN})$ 8MHz時は、 $\frac{8}{f(X_{IN})} \times 20[s]$ (BCLKの20サイクル)以上。

4.1.2 ソフトウェアリセット

ソフトウェアリセットビット(図4.1.2参照)に“1”を書き込むと、マイクロコンピュータは、ハードウェアリセット時と同様に、端子、CPU、SFR領域を初期化します(「4.2 端子の状態」、「4.3 内部領域の状態」参照)。

初期化終了後、マイクロコンピュータはリセット後の内部処理シーケンス(「4.4 リセット後の内部処理シーケンス」参照)を行い、その後、リセットのベクトル番地(FFFFFC₁₆ ~ FFFFFFF₁₆番地)に設定された番地から、プログラムを実行します。

プロセッサモードレジスタ0 PM0 【4 ₁₆ 番地】				b7 b6 b5 b4 b3 b2 b1 b0				
				0	0	0		
ビット	ビットシンボル	ビット名	機能	リセット時	R/W			
0	PM00	プロセッサモードビット	b1 b0 00: シングルチップモード 01: メモリ拡張モード	0	RW			
1	PM01		10: 選択禁止 11: 選択禁止	0	RW			
2	PM02	R/Wモード選択ビット	0: RD, WR, BHE 1: RD, WRL, WRH	0	RW			
3	PM03	ソフトウェアリセットビット	このビットに“1”を書き込むと、マイクロコンピュータはリセットされる。読み出し時の値は“0”	0	RW			
6~4	-	“0”に固定してください		0	RW			
7	PM07	BCLK出力機能選択ビット	表5.3.1参照	1	RW			

注1. これらのビットを“01₂”に設定する場合は、R/Wモード選択ビット(ビット2)、BCLK出力機能選択ビット(ビット7)、ALE出力端子選択ビット(5₁₆番地のビット5)及びクロック出力機能選択ビット(6₁₆番地のビット0、1)を設定した後、別の命令で、“01₂”を書き込んでください。

2. このレジスタは、プロテクトビット1(A₁₆番地のビット1)を“1”にした後、設定してください。

図4.1.2 プロセッサモードレジスタ0のレジスタ構成

4.1.3 パワーオンリセット

パワーオンリセット時のマイクロコンピュータの動作を説明します。

電源投入後、 $\overline{\text{RESET}}$ 端子のレベルが“L”の状態、 V_{CC} 端子及び FV_{CC} 端子のレベルが推奨動作条件を満たした後、端子及びSFR領域が初期化されます(内部RAM領域の内容は不定になります)。

:「4.2 端子の状態」、「4.3 内部領域の状態」参照

$\overline{\text{RESET}}$ 端子のレベルが“L”から“H”になった後、CPUが初期化されます。

:「4.3 内部領域の状態」参照

BCLK供給開始から39サイクル後、リセット後の内部処理シーケンスが行われます。

:「4.4 リセット後の内部処理シーケンス」参照

リセットのベクトル番地(FFFFFC₁₆ ~ FFFFFFF₁₆番地)に設定された番地から、プログラムが実行されます。

図4.1.3にパワーオンリセット条件を示します。図4.1.3に示すように、 V_{CC} 端子及び FV_{CC} 端子のレベルが推奨動作条件を満たし、かつ発振子の発振が安定した後、更に20 μs 以上(注)の期間、 $\overline{\text{RESET}}$ 端子に“L”レベルを印加してください。また、 V_{CC} 端子のレベルが推奨動作条件を満たしてから1ms以上の時間が確保されるように、 $\overline{\text{RESET}}$ 端子に“L”レベルを印加してください。

なお、発振子を使用した場合、発振が安定するまでの時間は、発振子によって異なります。発振子メーカーへお問い合わせください。

図4.1.4にパワーオンリセット回路例を示します。ご使用に際しては、ユーザアプリケーションに対応して、適宜変更、及び十分な評価をしてください。

注 . $f(X_{\text{IN}})$ 8MHz時は、 $\frac{8}{f(X_{\text{IN}})} \times 20[\text{s}]$ (BCLKの20サイクル)以上。

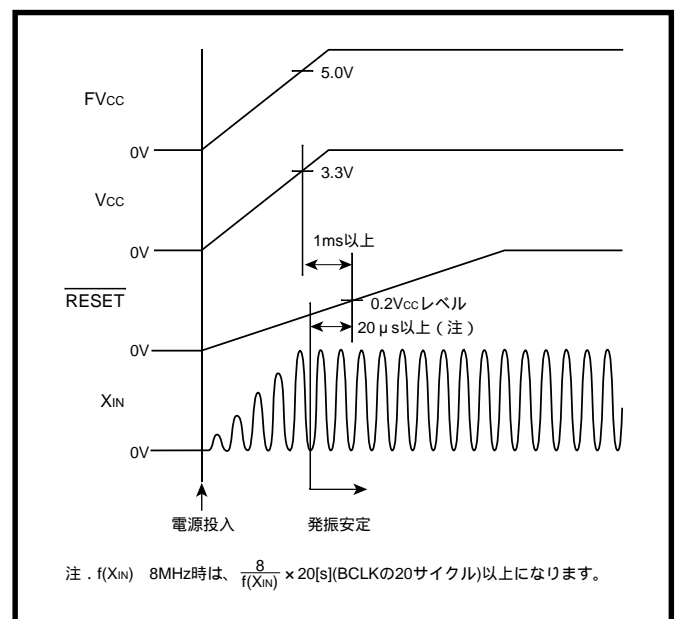


図4.1.3 パワーオンリセット条件

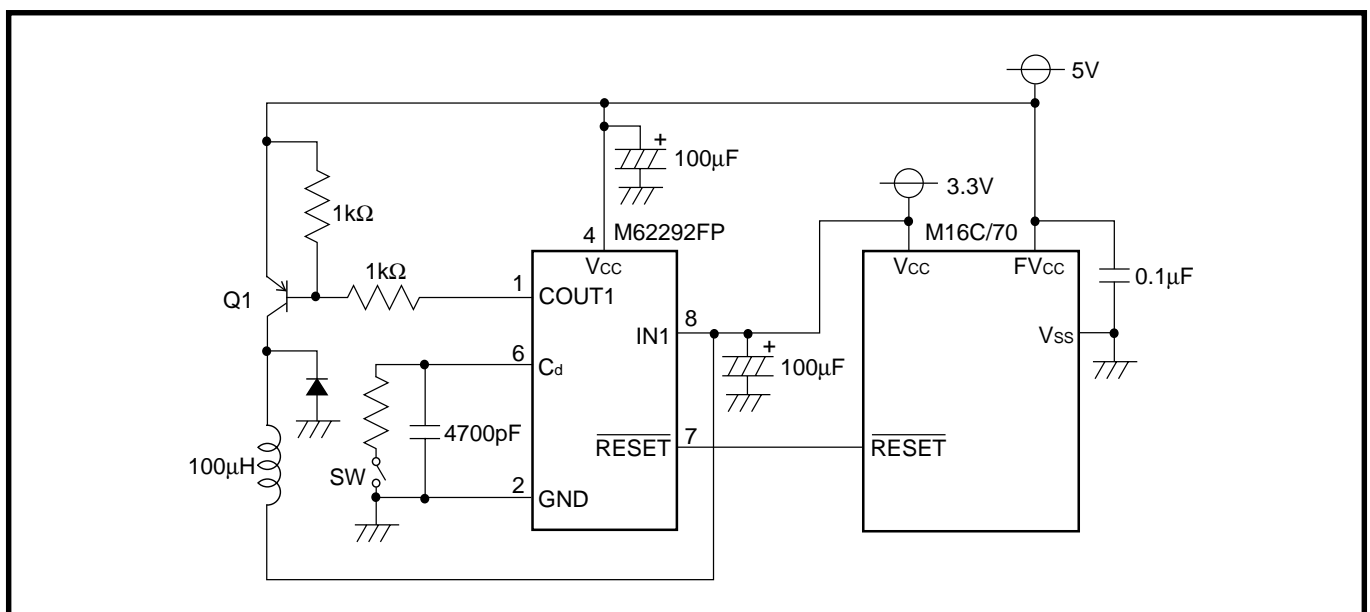


図4.1.4 パワーオンリセット回路例

4.2 端子の状態

表4.2.1 RESET端子のレベルが「L」の期間の端子の状態

CNV _{SS} 端子のレベル	端子名	端子の状態
V _{SS}	P0 ~ P3、P4 ₀ ~ P4 ₃ 、 P5 ~ P10	フローティング
	P4 ₄ ~ P4 ₇ 、NMI	プルアップ

4.3 内部領域の状態

図4.3.1にリセット直後のCPUレジスタの状態を、図4.3.2～図4.3.17にリセット直後のSFR領域、及び内部RAM領域の状態を示します。

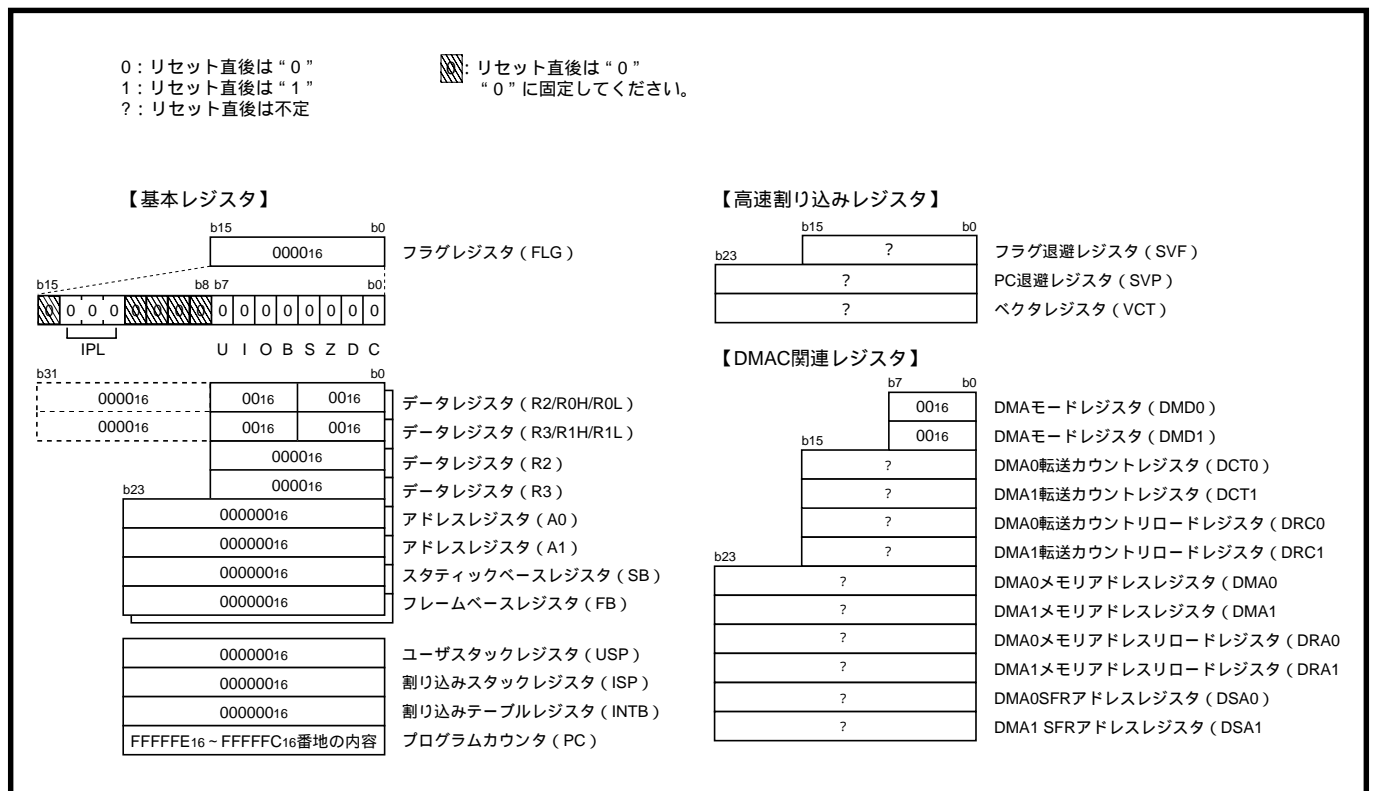


図4.3.1 リセット直後のCPUレジスタの状態

SFR領域(0₁₆ ~ 1FF₁₆番地)

アクセス特性

- RW : 読み出すとビットの状態が読み出せる。書き込んだ値は有効データになる。
- RO : 読み出すとビットの状態が読み出せる。書き込んだ値は無効になる。
- WO : 書き込んだ値は有効データになる。ビットの状態は読み出せない。
- : 何も配置されていない。ビットの状態は読み出せない。書き込んだ値は無効になる。

リセット直後の状態

- 0 : リセット直後は“0”
- 1 : リセット直後は“1”
- ? : リセット直後は不定
- 0 : 読み出し時は常に“0”
- 1 : 読み出し時は常に“1”
- ? : 読み出し時は常に不定
- 0 : リセット直後は“0”
“0”に固定してください。
- 1 : リセット直後は“1”
“1”に固定してください。

番地	レジスタ名	アクセス特性		リセット直後の状態	
		b7	b0	b7	b0
0 ₁₆		(注)		?	
1 ₁₆		(注)		?	
2 ₁₆		(注)		?	
3 ₁₆		(注)		?	
4 ₁₆	プロセッサモードレジスタ0	RW		1 0 0 0 0 0 0 0	
5 ₁₆	プロセッサモードレジスタ1	RW		0 0 0 0 1 0 0 0	
6 ₁₆	システムクロック制御レジスタ0	RW		0 0 0 0 0 0 0 0	
7 ₁₆	システムクロック制御レジスタ1	RW		0 0 1 0 0 0 0 0	
8 ₁₆		(注)		?	
9 ₁₆		(注)		?	
A ₁₆	プロテクトレジスタ		RW	? ? ? ? ? 0 0	
B ₁₆		(注)		?	
C ₁₆	メインクロック分周レジスタ		RW	0 0 0 0 0 1 0 0	
D ₁₆		(注)		?	
E ₁₆	監視タイマスタートレジスタ			?	
F ₁₆	監視タイマ制御レジスタ	RW/RW/RW	RO	0 0 0 ?	
10 ₁₆		(注)		?	
11 ₁₆		(注)		?	
12 ₁₆		(注)		?	
13 ₁₆		(注)		?	
14 ₁₆		(注)		?	
15 ₁₆		(注)		?	
16 ₁₆		(注)		?	
17 ₁₆		(注)		?	
18 ₁₆		(注)		?	
19 ₁₆		(注)		?	
1A ₁₆		(注)		?	
1B ₁₆		(注)		?	
1C ₁₆		(注)		?	
1D ₁₆		(注)		?	
1E ₁₆		(注)		?	
1F ₁₆		(注)		?	

注 . 書き込み禁止。

図4.3.2 リセット直後のSFR領域、及び内部RAM領域の状態(1)

番地	レジスタ名	アクセス特性		リセット直後の状態	
		b7	b0	b7	b0
20 ₁₆		(注)		?	
21 ₁₆		(注)		?	
22 ₁₆		(注)		?	
23 ₁₆		(注)		?	
24 ₁₆		(注)		?	
25 ₁₆		(注)		?	
26 ₁₆		(注)		?	
27 ₁₆		(注)		?	
28 ₁₆		(注)		?	
29 ₁₆		(注)		?	
2A ₁₆		(注)		?	
2B ₁₆		(注)		?	
2C ₁₆		(注)		?	
2D ₁₆		(注)		?	
2E ₁₆		(注)		?	
2F ₁₆		(注)		?	
30 ₁₆		(注)		?	
31 ₁₆		(注)		?	
32 ₁₆		(注)		?	
33 ₁₆		(注)		?	
34 ₁₆		(注)		?	
35 ₁₆		(注)		?	
36 ₁₆		(注)		?	
37 ₁₆		(注)		?	
38 ₁₆		(注)		?	
39 ₁₆		(注)		?	
3A ₁₆		(注)		?	
3B ₁₆		(注)		?	
3C ₁₆		(注)		?	
3D ₁₆		(注)		?	
3E ₁₆		(注)		?	
3F ₁₆		(注)		?	

注．書き込み禁止。

図4.3.3 リセット直後のSFR領域、及び内部RAM領域の状態(2)

番地	レジスタ名	アクセス特性		リセット直後の状態							
		b7	b0	b7	b0						
40 ₁₆			(注1)		?						
41 ₁₆			(注1)		?						
42 ₁₆			(注1)		?						
43 ₁₆			(注1)		?						
44 ₁₆			(注1)		?						
45 ₁₆			(注1)		?						
46 ₁₆			(注1)		?						
47 ₁₆			(注1)		?						
48 ₁₆	PLL制御レジスタ0	RW	RORWRWRW	0	0	1	1	0	0	0	0
49 ₁₆			(注1)		?						
4A ₁₆			(注1)		?						
4B ₁₆			(注1)		?						
4C ₁₆			(注1)		?						
4D ₁₆			(注1)		?						
4E ₁₆			(注1)		?						
4F ₁₆			(注1)		?						
50 ₁₆	監視タイマ禁止レジスタ				?						
51 ₁₆			(注1)		?						
52 ₁₆			(注1)		?						
53 ₁₆			(注1)		?						
54 ₁₆			(注1)		?						
55 ₁₆	フラッシュメモリ制御レジスタ1	RO	RWRORORWRO	?	0	0	0	0	1	0	1
56 ₁₆			(注1)		?						
57 ₁₆	フラッシュメモリ制御レジスタ0	RO	RORWRWRW (注2)	RO	0	0	0	0	0	0	1
58 ₁₆			(注1)		?						
59 ₁₆			(注1)		?						
5A ₁₆			(注1)		?						
5B ₁₆			(注1)		?						
5C ₁₆			(注1)		?						
5D ₁₆			(注1)		?						
5E ₁₆			(注1)		?						
5F ₁₆			(注1)		?						

注1. 書き込み禁止。
 2. “1”にするときは、“0”を書き込んだ後、続けて“1”を書き込んでください。“0”にするときは、“0”を書き込んでください。

図4.3.4 リセット直後のSFR領域、及び内部RAM領域の状態(3)

番地	レジスタ名	アクセス特性		リセット直後の状態						
		b7	b0	b7	b0					
60 ₁₆			(注)		?					
61 ₁₆			(注)		?					
62 ₁₆			(注)		?					
63 ₁₆			(注)		?					
64 ₁₆			(注)		?					
65 ₁₆			(注)		?					
66 ₁₆			(注)		?					
67 ₁₆			(注)		?					
68 ₁₆	DMA0割り込み制御レジスタ		RW	?	?	0	0	0		
69 ₁₆			(注)		?					
6A ₁₆	DMA2割り込み制御レジスタ		RW	?	?	0	0	0		
6B ₁₆			(注)		?					
6C ₁₆	タイマA0割り込み制御レジスタ		RW	?	?	0	0	0		
6D ₁₆			(注)		?					
6E ₁₆	タイマA2割り込み制御レジスタ		RW	?	?	0	0	0		
6F ₁₆			(注)		?					
70 ₁₆	タイマA4割り込み制御レジスタ		RW	?	?	0	0	0		
71 ₁₆			(注)		?					
72 ₁₆	UART0受信割り込み制御レジスタ		RW	?	?	0	0	0		
73 ₁₆	A-D変換器割り込み制御レジスタ		RW	?	?	0	0	0		
74 ₁₆	UART1受信割り込み制御レジスタ		RW	?	?	0	0	0		
75 ₁₆			(注)		?					
76 ₁₆	タイマB1割り込み制御レジスタ		RW	?	?	0	0	0		
77 ₁₆			(注)		?					
78 ₁₆			(注)		?					
79 ₁₆			(注)		?					
7A ₁₆			(注)		?					
7B ₁₆			(注)		?					
7C ₁₆	$\overline{\text{INT}}_3$ 割り込み制御レジスタ		RW	?	0	0	?	0	0	0
7D ₁₆			(注)		?					
7E ₁₆	$\overline{\text{INT}}_1$ 割り込み制御レジスタ		RW	?	0	0	?	0	0	0
7F ₁₆			(注)		?					

注．書き込み禁止。

図4.3.5 リセット直後のSFR領域、及び内部RAM領域の状態(4)

番地	レジスタ名	アクセス特性		リセット直後の状態			
		b7	b0	b7	b0		
80 ₁₆		(注)		?			
81 ₁₆		(注)		?			
82 ₁₆		(注)		?			
83 ₁₆		(注)		?			
84 ₁₆		(注)		?			
85 ₁₆		(注)		?			
86 ₁₆		(注)		?			
87 ₁₆		(注)		?			
88 ₁₆	DMA1割り込み制御レジスタ		RW	?	?	0	0
89 ₁₆		(注)		?			
8A ₁₆	DMA3割り込み制御レジスタ		RW	?	?	0	0
8B ₁₆		(注)		?			
8C ₁₆	タイマA1割り込み制御レジスタ		RW	?	?	0	0
8D ₁₆		(注)		?			
8E ₁₆	タイマA3割り込み制御レジスタ		RW	?	?	0	0
8F ₁₆		(注)		?			
90 ₁₆	UART0送信割り込み制御レジスタ		RW	?	?	0	0
91 ₁₆		(注)		?			
92 ₁₆	UART1送信割り込み制御レジスタ		RW	?	?	0	0
93 ₁₆	キー入力割り込み制御レジスタ		RW	?	?	0	0
94 ₁₆	タイマB0割り込み制御レジスタ		RW	?	?	0	0
95 ₁₆		(注)		?			
96 ₁₆	タイマB2割り込み制御レジスタ		RW	?	?	0	0
97 ₁₆		(注)		?			
98 ₁₆		(注)		?			
99 ₁₆		(注)		?			
9A ₁₆	$\overline{\text{INT}}_4$ 割り込み制御レジスタ		RW	?	0	0	?
9B ₁₆		(注)		?			
9C ₁₆	$\overline{\text{INT}}_2$ 割り込み制御レジスタ		RW	?	0	0	?
9D ₁₆		(注)		?			
9E ₁₆	$\overline{\text{INT}}_0$ 割り込み制御レジスタ		RW	?	0	0	?
9F ₁₆	復帰用優先順位レジスタ		RW	?	0	0	0

注．書き込み禁止。

図4.3.6 リセット直後のSFR領域、及び内部RAM領域の状態(5)

番地	レジスタ名	アクセス特性				リセット直後の状態								
		b7		b0		b7				b0				
A0 ₁₆		(注1)				?								
A1 ₁₆		(注1)				?								
A2 ₁₆	外部割り込み入力制御レジスタ		RW		RW	0	0	0	0	0	0	0	0	0
A3 ₁₆	外部割り込み入力読み出しレジスタ		RO		(注2)	0	0	?	0				?	
A4 ₁₆		(注1)				?								
A5 ₁₆		(注1)				?								
A6 ₁₆		(注1)				?								
A7 ₁₆	外部割り込み要因選択レジスタ	RW				0	0	0	0	0	0	0	0	
A8 ₁₆		(注1)				?								
A9 ₁₆		(注1)				?								
AA ₁₆		(注1)				?								
AB ₁₆		(注1)				?								
AC ₁₆		(注1)				?								
AD ₁₆		(注1)				?								
AE ₁₆		(注1)				?								
AF ₁₆		(注1)				?								
B0 ₁₆		(注1)				?								
B1 ₁₆		(注1)				?								
B2 ₁₆		(注1)				?								
B3 ₁₆		(注1)				?								
B4 ₁₆		(注1)				?								
B5 ₁₆		(注1)				?								
B6 ₁₆		(注1)				?								
B7 ₁₆		(注1)				?								
B8 ₁₆	DMA0要因選択レジスタ	RW		WO		RW	0	?	0	0	0	0	0	
B9 ₁₆	DMA1要因選択レジスタ	RW		WO		RW	0	?	0	0	0	0	0	
BA ₁₆	DMA2要因選択レジスタ	RW		WO		RW	0	?	0	0	0	0	0	
BB ₁₆	DMA3要因選択レジスタ	RW		WO		RW	0	?	0	0	0	0	0	
BC ₁₆		(注1)				?								
BD ₁₆		(注1)				?								
BE ₁₆		(注1)				?								
BF ₁₆		(注1)				?								

注1. 書き込み禁止。
 2. “0”を書くと“1”になります。“1”を書いても変化しません。

図4.3.7 リセット直後のSFR領域、及び内部RAM領域の状態(6)

番地	レジスタ名	アクセス特性		リセット直後の状態								
		b7	b0	b7							b0	
C0 ₁₆	\overline{CS}_0 制御レジスタ0		RW	0	0	0	0	0	0	1	1	
C1 ₁₆	\overline{CS}_0 制御レジスタ1		RW	0	0	0	1	0	0	0	0	0
C2 ₁₆			(注)	?								
C3 ₁₆			(注)	?								
C4 ₁₆	\overline{CS}_1 制御レジスタ0		RW	0	0	0	0	0	0	1	1	
C5 ₁₆	\overline{CS}_1 制御レジスタ1		RW	0	0	0	1	0	0	0	0	0
C6 ₁₆			(注)	?								
C7 ₁₆			(注)	?								
C8 ₁₆	\overline{CS}_2 制御レジスタ0		RW	0	0	0	0	0	0	1	1	
C9 ₁₆	\overline{CS}_2 制御レジスタ1		RW	0	0	0	1	0	0	0	0	0
CA ₁₆			(注)	?								
CB ₁₆			(注)	?								
CC ₁₆	\overline{CS}_3 制御レジスタ0		RW	0	0	0	0	0	0	1	1	
CD ₁₆	\overline{CS}_3 制御レジスタ1		RW	0	0	0	1	0	0	0	0	0
CE ₁₆			(注)	?								
CF ₁₆			(注)	?								
D0 ₁₆			(注)	?								
D1 ₁₆			(注)	?								
D2 ₁₆			(注)	?								
D3 ₁₆			(注)	?								
D4 ₁₆			(注)	?								
D5 ₁₆			(注)	?								
D6 ₁₆			(注)	?								
D7 ₁₆			(注)	?								
D8 ₁₆			(注)	?								
D9 ₁₆			(注)	?								
DA ₁₆			(注)	?								
DB ₁₆			(注)	?								
DC ₁₆			(注)	?								
DD ₁₆			(注)	?								
DE ₁₆			(注)	?								
DF ₁₆			(注)	?								

注．書き込み禁止。

図4.3.8 リセット直後のSFR領域、及び内部RAM領域の状態(7)

番地	レジスタ名	アクセス特性		リセット直後の状態	
		b7	b0	b7	b0
E0 ₁₆		(注)		?	
E1 ₁₆		(注)		?	
E2 ₁₆		(注)		?	
E3 ₁₆		(注)		?	
E4 ₁₆		(注)		?	
E5 ₁₆		(注)		?	
E6 ₁₆		(注)		?	
E7 ₁₆		(注)		?	
E8 ₁₆		(注)		?	
E9 ₁₆		(注)		?	
EA ₁₆		(注)		?	
EB ₁₆		(注)		?	
EC ₁₆		(注)		?	
ED ₁₆		(注)		?	
EE ₁₆		(注)		?	
EF ₁₆		(注)		?	
F0 ₁₆		(注)		?	
F1 ₁₆		(注)		?	
F2 ₁₆		(注)		?	
F3 ₁₆		(注)		?	
F4 ₁₆		(注)		?	
F5 ₁₆		(注)		?	
F6 ₁₆		(注)		?	
F7 ₁₆		(注)		?	
F8 ₁₆		(注)		?	
F9 ₁₆		(注)		?	
FA ₁₆		(注)		?	
FB ₁₆		(注)		?	
FC ₁₆		(注)		?	
FD ₁₆		(注)		?	
FE ₁₆		(注)		?	
FF ₁₆		(注)		?	

注．書き込み禁止。

図4.3.9 リセット直後のSFR領域、及び内部RAM領域の状態(8)

番地	レジスタ名	アクセス特性		リセット直後の状態						
		b7	b0	b7	b0					
100 ₁₆	A-Dレジスタ0	RO		?						
101 ₁₆		RO		0	0	0	0	?		
102 ₁₆	A-Dレジスタ1	RO		?						
103 ₁₆		RO		0	0	0	0	?		
104 ₁₆	A-Dレジスタ2	RO		?						
105 ₁₆		RO		0	0	0	0	?		
106 ₁₆	A-Dレジスタ3	RO		?						
107 ₁₆		RO		0	0	0	0	?		
108 ₁₆	A-Dレジスタ4	RO		?						
109 ₁₆		RO		0	0	0	0	?		
10A ₁₆	A-Dレジスタ5	RO		?						
10B ₁₆		RO		0	0	0	0	?		
10C ₁₆	A-Dレジスタ6	RO		?						
10D ₁₆		RO		0	0	0	0	?		
10E ₁₆	A-Dレジスタ7	RO		?						
10F ₁₆		RO		0	0	0	0	?		
110 ₁₆		(注)		?						
111 ₁₆		(注)		?						
112 ₁₆		(注)		?						
113 ₁₆		(注)		?						
114 ₁₆	A-D制御レジスタ2	RW	RWRWRW	0	0	1	?	0	0	0
115 ₁₆		(注)		?						
116 ₁₆	A-D制御レジスタ0	RW		0	0	0	0	?	?	?
117 ₁₆	A-D制御レジスタ1	RW		0	0	0	0	0	0	0
118 ₁₆	D-Aレジスタ0	RW		00 ₁₆						
119 ₁₆	D-Aレジスタ1	RW		00 ₁₆						
11A ₁₆	D-Aレジスタ2	RW		00 ₁₆						
11B ₁₆		(注)		?						
11C ₁₆	D-A制御レジスタ0	RW		?			0	0	0	
11D ₁₆	D-A制御レジスタ1	RW		?	0	0	0	0	0	0
11E ₁₆		(注)		?						
11F ₁₆		(注)		?						

注 . 書き込み禁止。

図4.3.10 リセット直後のSFR領域、及び内部RAM領域の状態(9)

番地	レジスタ名	アクセス特性		リセット直後の状態										
		b7	b0	b7	b0									
120 ₁₆	カウント開始フラグ	RW		00 ₁₆										
121 ₁₆		(注1)		?										
122 ₁₆	ワンショット開始フラグ	RW		0	0	0	0	0	0	0	0	0	0	
123 ₁₆	トリガ選択レジスタ	RW		00 ₁₆										
124 ₁₆	アップダウンフラグ	WO	WO	WO	RW		?	?	?	0	0	0	0	0
125 ₁₆		(注1)		?										
126 ₁₆	タイマA0レジスタ	(注2)		?										
127 ₁₆		(注2)		?										
128 ₁₆		(注2)		?										
129 ₁₆	タイマA1レジスタ	(注2)		?										
12A ₁₆		(注2)		?										
12B ₁₆		(注2)		?										
12C ₁₆	タイマA2レジスタ	(注2)		?										
12D ₁₆		(注2)		?										
12E ₁₆		(注2)		?										
12F ₁₆	タイマA3レジスタ	(注2)		?										
130 ₁₆		(注2)		?										
131 ₁₆		(注2)		?										
132 ₁₆	タイマA4レジスタ	(注2)		?										
133 ₁₆		(注2)		?										
134 ₁₆		(注2)		?										
135 ₁₆	タイマB0レジスタ	(注3)		?										
136 ₁₆		(注3)		?										
137 ₁₆		(注3)		?										
138 ₁₆	タイマB1レジスタ	(注3)		?										
139 ₁₆		(注3)		?										
13A ₁₆		(注3)		?										
13B ₁₆	タイマB2レジスタ	(注3)		?										
13C ₁₆		(注3)		?										
13D ₁₆		(注3)		?										
13E ₁₆	タイマA0モードレジスタ	RW		00 ₁₆										
13F ₁₆	タイマA1モードレジスタ	RW		00 ₁₆										
	タイマA2モードレジスタ	RW		00 ₁₆										
	タイマA3モードレジスタ	RW		00 ₁₆										
	タイマA4モードレジスタ	RW		00 ₁₆										
	タイマB0モードレジスタ	RW	RO			RW	0	0	?	0	0	0	0	0
	タイマB1モードレジスタ	RW	RO			RW	0	0	?	0	0	0	0	0
	タイマB2モードレジスタ	RW	RO			RW	0	0	?	0	0	0	0	0
		(注1)		?										
		(注1)		?										

注1. 書き込み禁止。
 2. タイマモード及びイベントカウンタモードではRW、ワンショットパルスモード及びパルス幅変調モードではWOになります。
 3. タイマモード及びイベントカウンタモードではRW、パルス周期測定/パルス幅測定モードではROになります。

図4.3.11 リセット直後のSFR領域、及び内部RAM領域の状態(10)

番地	レジスタ名	アクセス特性		リセット直後の状態							
		b7	b0	b7	b0						
140 ₁₆		(注)		?							
141 ₁₆		(注)		?							
142 ₁₆		(注)		?							
143 ₁₆		(注)		?							
144 ₁₆		(注)		?							
145 ₁₆		(注)		?							
146 ₁₆		(注)		?							
147 ₁₆		(注)		?							
148 ₁₆	UART0送受信モードレジスタ	RW		0	0	0	0	0	0	0	0
149 ₁₆	UART0転送速度レジスタ	WO		?							
14A ₁₆	UART0送信バッファレジスタ	WO		?							
14B ₁₆			WO								
14C ₁₆	UART0送受信制御レジスタ0	RW	RORWRWRW	0	0	0	0	1	0	0	0
14D ₁₆	UART0送受信制御レジスタ1	RW	RORWRORW	0	0	0	0	0	0	1	0
14E ₁₆	UART0受信バッファレジスタ	RO		?							
14F ₁₆		RO							0	0	0
150 ₁₆		(注)		?							
151 ₁₆		(注)		?							
152 ₁₆		(注)		?							
153 ₁₆		(注)		?							
154 ₁₆		(注)		?							
155 ₁₆		(注)		?							
156 ₁₆		(注)		?							
157 ₁₆		(注)		?							
158 ₁₆		(注)		?							
159 ₁₆		(注)		?							
15A ₁₆		(注)		?							
15B ₁₆		(注)		?							
15C ₁₆		(注)		?							
15D ₁₆		(注)		?							
15E ₁₆		(注)		?							
15F ₁₆		(注)		?							

注．書き込み禁止。

図4.3.12 リセット直後のSFR領域、及び内部RAM領域の状態(11)

番地	レジスタ名	アクセス特性		リセット直後の状態									
		b7	b0	b7	b0								
160 ₁₆			(注)		?								
161 ₁₆			(注)		?								
162 ₁₆			(注)		?								
163 ₁₆			(注)		?								
164 ₁₆			(注)		?								
165 ₁₆			(注)		?								
166 ₁₆			(注)		?								
167 ₁₆			(注)		?								
168 ₁₆	UART1送受信モードレジスタ		RW		0	0	0	0	0	0	0	0	
169 ₁₆	UART1転送速度レジスタ		WO		?								
16A ₁₆	UART1送信バッファレジスタ		WO		?								
16B ₁₆				WO		?						?	
16C ₁₆	UART1送受信制御レジスタ0	RW	RORWRWRW	0	0	0	0	1	0	0	0		
16D ₁₆	UART1送受信制御レジスタ1	RW	RORWRORW	0	0	0	0	0	0	1	0		
16E ₁₆	UART1受信バッファレジスタ		RO		?								
16F ₁₆			RO		RO					0	0	0	?
170 ₁₆	シリアルI/O端子制御レジスタ								RW	0	0	0	0
171 ₁₆			(注)		?								
172 ₁₆			(注)		?								
173 ₁₆			(注)		?								
174 ₁₆			(注)		?								
175 ₁₆			(注)		?								
176 ₁₆			(注)		?								
177 ₁₆			(注)		?								
178 ₁₆			(注)		?								
179 ₁₆			(注)		?								
17A ₁₆			(注)		?								
17B ₁₆			(注)		?								
17C ₁₆			(注)		?								
17D ₁₆			(注)		?								
17E ₁₆			(注)		?								
17F ₁₆			(注)		?								

注．書き込み禁止。

図4.3.13 リセット直後のSFR領域、及び内部RAM領域の状態(12)

番地	レジスタ名	アクセス特性		リセット直後の状態								
		b7	b0	b7	b0							
180 ₁₆	ポートP0レジスタ		RW		?							
181 ₁₆	ポートP1レジスタ		RW		?							
182 ₁₆	ポートP0方向レジスタ		RW		00 ₁₆							
183 ₁₆	ポートP1方向レジスタ		RW		00 ₁₆							
184 ₁₆	ポートP2レジスタ		RW		?							
185 ₁₆	ポートP3レジスタ		RW		?							
186 ₁₆	ポートP2方向レジスタ		RW		00 ₁₆							
187 ₁₆	ポートP3方向レジスタ		RW		00 ₁₆							
188 ₁₆	ポートP4レジスタ		RW		?							
189 ₁₆	ポートP5レジスタ		RW		?							
18A ₁₆	ポートP4方向レジスタ		RW		00 ₁₆							
18B ₁₆	ポートP5方向レジスタ		RW		00 ₁₆							
18C ₁₆			(注1)		?							
18D ₁₆			(注1)		?							
18E ₁₆			(注1)		?							
18F ₁₆			(注1)		?							
190 ₁₆			(注1)		?							
191 ₁₆			(注1)		?							
192 ₁₆			(注1)		?							
193 ₁₆			(注1)		?							
194 ₁₆			(注1)		?							
195 ₁₆			(注1)		?							
196 ₁₆			(注1)		?							
197 ₁₆			(注1)		?							
198 ₁₆			(注1)		?							
199 ₁₆			(注1)		?							
19A ₁₆	ポート機能制御レジスタ		RW		?	?	?	0	0	0	1	0
19B ₁₆	特殊機能選択レジスタ	RW		RW (注2)	?	0	?	?	?	0	0	0
19C ₁₆			(注1)		?							
19D ₁₆			(注1)		?							
19E ₁₆			(注1)		?							
19F ₁₆			(注1)		?							

注1. 書き込み禁止。
 2. リセット後、一度だけ“1”にできます。“1”から“0”にすると、それ以降“1”にできません (“0”に固定される)。

図4.3.14 リセット直後のSFR領域、及び内部RAM領域の状態(13)

番地	レジスタ名	アクセス特性		リセット直後の状態							
		b7	b0	b7	b0						
1A0 ₁₆	ポートP6レジスタ		RW		?						
1A1 ₁₆	ポートP7レジスタ		RW		?						
1A2 ₁₆	ポートP6方向レジスタ		RW		00 ₁₆						
1A3 ₁₆	ポートP7方向レジスタ		RW		00 ₁₆						
1A4 ₁₆	ポートP8レジスタ	■	RW	■	■	■	?				
1A5 ₁₆	ポートP9レジスタ		RW		?						
1A6 ₁₆	ポートP8方向レジスタ	■	RW	■	■	■	0	0	0	0	0
1A7 ₁₆	ポートP9方向レジスタ		RW		00 ₁₆						
1A8 ₁₆	ポートP10レジスタ		RW		?						
1A9 ₁₆			(注)		?						
1AA ₁₆	ポートP10方向レジスタ		RW		00 ₁₆						
1AB ₁₆			(注)		?						
1AC ₁₆			(注)		?						
1AD ₁₆			(注)		?						
1AE ₁₆			(注)		?						
1AF ₁₆			(注)		?						
1B0 ₁₆			(注)		?						
1B1 ₁₆			(注)		?						
1B2 ₁₆			(注)		?						
1B3 ₁₆			(注)		?						
1B4 ₁₆			(注)		?						
1B5 ₁₆			(注)		?						
1B6 ₁₆			(注)		?						
1B7 ₁₆			(注)		?						
1B8 ₁₆			(注)		?						
1B9 ₁₆			(注)		?						
1BA ₁₆			(注)		?						
1BB ₁₆			(注)		?						
1BC ₁₆			(注)		?						
1BD ₁₆			(注)		?						
1BE ₁₆			(注)		?						
1BF ₁₆			(注)		?						

注：書き込み禁止。

図4.3.15 リセット直後のSFR領域、及び内部RAM領域の状態(14)

番地	レジスタ名	アクセス特性		リセット直後の状態	
		b7	b0	b7	b0
1C0 ₁₆		(注)		?	
1C1 ₁₆		(注)		?	
1C2 ₁₆		(注)		?	
1C3 ₁₆		(注)		?	
1C4 ₁₆		(注)		?	
1C5 ₁₆		(注)		?	
1C6 ₁₆		(注)		?	
1C7 ₁₆		(注)		?	
1C8 ₁₆		(注)		?	
1C9 ₁₆		(注)		?	
1CA ₁₆		(注)		?	
1CB ₁₆		(注)		?	
1CC ₁₆		(注)		?	
1CD ₁₆		(注)		?	
1CE ₁₆		(注)		?	
1CF ₁₆		(注)		?	
1D0 ₁₆		(注)		?	
1D1 ₁₆		(注)		?	
1D2 ₁₆		(注)		?	
1D3 ₁₆		(注)		?	
1D4 ₁₆		(注)		?	
1D5 ₁₆		(注)		?	
1D6 ₁₆		(注)		?	
1D7 ₁₆		(注)		?	
1D8 ₁₆		(注)		?	
1D9 ₁₆		(注)		?	
1DA ₁₆		(注)		?	
1DB ₁₆		(注)		?	
1DC ₁₆		(注)		?	
1DD ₁₆		(注)		?	
1DE ₁₆		(注)		?	
1DF ₁₆		(注)		?	

注 . 書き込み禁止。

図4.3.16 リセット直後のSFR領域、及び内部RAM領域の状態(15)

番地	レジスタ名	アクセス特性		リセット直後の状態	
		b7	b0	b7	b0
1E0 ₁₆		(注1)		?	
1E1 ₁₆		(注1)		?	
1E2 ₁₆		(注1)		?	
1E3 ₁₆		(注1)		?	
1E4 ₁₆		(注1)		?	
1E5 ₁₆		(注1)		?	
1E6 ₁₆		(注1)		?	
1E7 ₁₆		(注1)		?	
1E8 ₁₆		(注1)		?	
1E9 ₁₆		(注1)		?	
1EA ₁₆		(注1)		?	
1EB ₁₆		(注1)		?	
1EC ₁₆		(注1)		?	
1ED ₁₆		(注1)		?	
1EE ₁₆		(注1)		?	
1EF ₁₆		(注1)		?	
1F0 ₁₆		(注1)		?	
1F1 ₁₆		(注1)		?	
1F2 ₁₆		(注1)		?	
1F3 ₁₆		(注1)		?	
1F4 ₁₆		(注1)		?	
1F5 ₁₆		(注1)		?	
1F6 ₁₆		(注1)		?	
1F7 ₁₆		(注1)		?	
1F8 ₁₆		(注1)		?	
1F9 ₁₆		(注1)		?	
1FA ₁₆		(注1)		?	
1FB ₁₆		(注1)		?	
1FC ₁₆		(注1)		?	
1FD ₁₆		(注1)		?	
1FE ₁₆		(注1)		?	
1FF ₁₆		(注1)		?	

注1. 書き込み禁止。

内部RAM領域

ハードウェアリセット時..... リセット直前の状態を保持(注2)

ソフトウェアリセット時..... リセット直前の状態を保持

ストップモード解除時、及びウエイトモード解除時(ハードウェアリセットによって解除した場合)
..... ストップモード、又はウエイトモード直前の状態を保持

パワーオンリセット時..... 不定

注2. 内部RAM領域に書き込みを行っているときにリセットすると、書き込みの終了を待たずにマイクロコンピュータがリセットされるため、書き込みを行っていた領域の内容は不定になります。

図4.3.17 リセット直後のSFR領域、及び内部RAM領域の状態(16)

4.4 リセット後の内部処理シーケンス

図4.4.1にリセット後の内部処理シーケンスを示します。

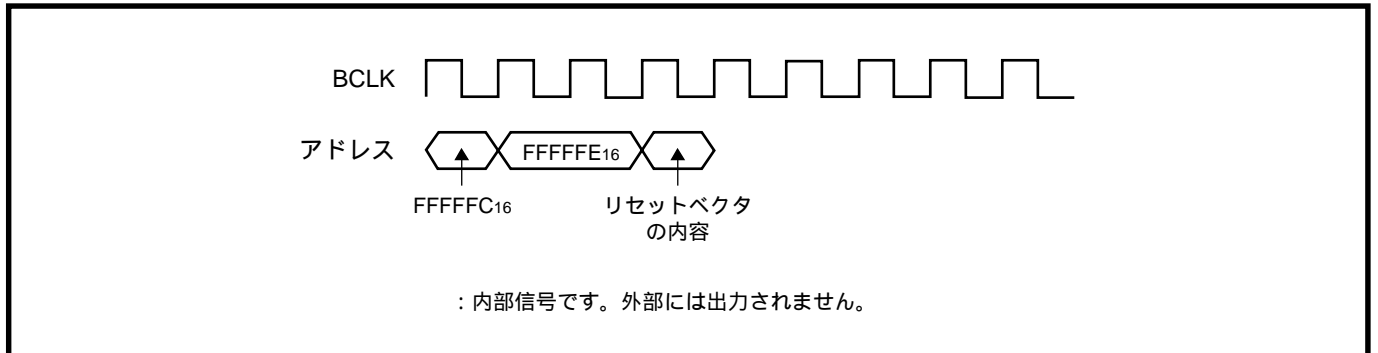


図4.4.1 リセット後の内部処理シーケンス

第 5 章

クロック発生回路

- 5.1 発振回路例
- 5.2 ブロック図
- 5.3 関連レジスタ
- 5.4 設定方法

【クロック発生回路使用上の注意】

5

5.1 発振回路例

発振回路には発振子(セラミック共振子、又は水晶発振子)を接続、又は外部で生成されたクロックを入力してください。発振回路例を以下に示します。

5.1.1 発振子の接続例

図5.1.1にX_{IN}端子とX_{OUT}端子の間に発振子を接続した例を示します。図中のR_f、R_d、C_{IN}、C_{OUT}などの回路定数は、発振子によって異なります。発振子メーカーの推奨する値に設定してください。

発振子を接続する場合は、発振周波数を34MHz以下にしてください。また、クロック外部入力選択ビット(6₁₆番地のビット5)を“0”にしてください。

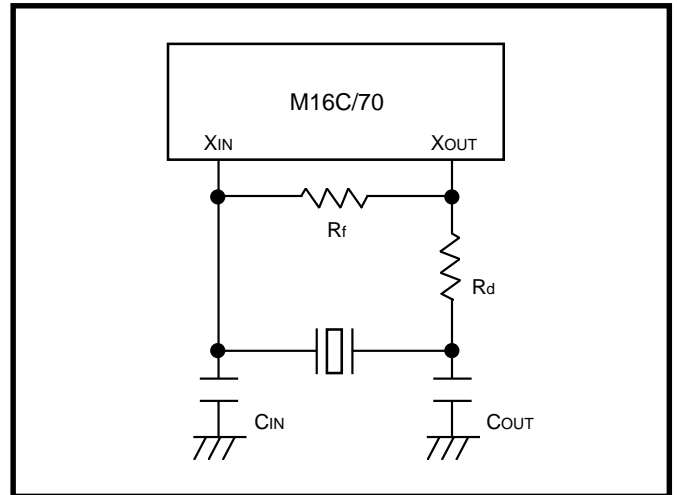


図5.1.1 発振子の接続例

5.1.2 外部で生成されたクロックの入力例

図5.1.2に外部で生成されたクロックの入力例を示します。この場合、X_{IN}端子に外部で生成されたクロックを入力し、X_{OUT}端子は開放してください。また、クロック外部入力選択ビット(6₁₆番地のビット5)を“1”にしてください。このとき、X_{IN}端子とX_{OUT}端子の間の内部回路が停止するため消費電流が低減します。

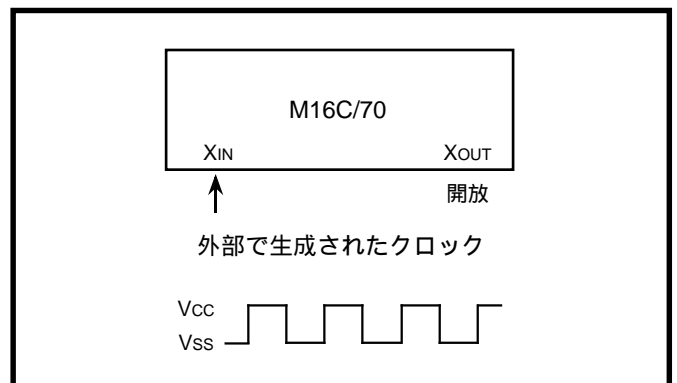
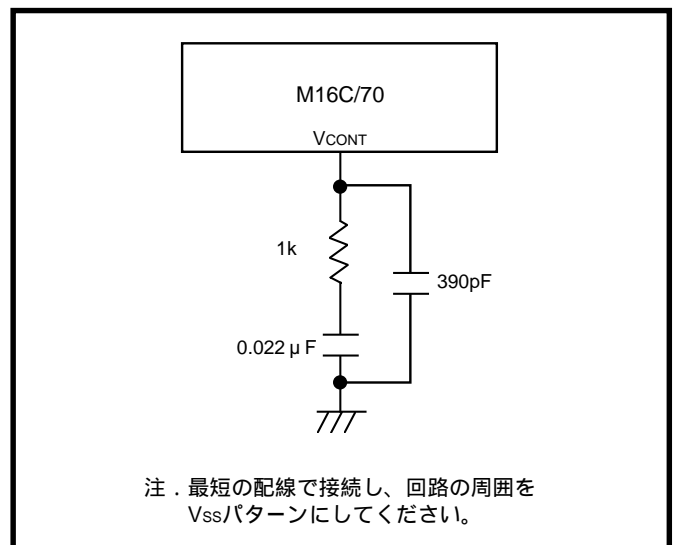


図5.1.2 外部で生成されたクロックの入力例

5.1.3 フィルタ回路接続例

PLL周波数変換回路を使用する場合は、V_{CONT}端子にフィルタ回路を接続してください。

図5.1.3にフィルタ回路接続例を示します。



注：最短の配線で接続し、回路の周囲をV_{SS}パターンにしてください。

図5.1.3 フィルタ回路接続例

5.2 ブロック図

図5.2.1にクロック発生回路ブロック図を示します。

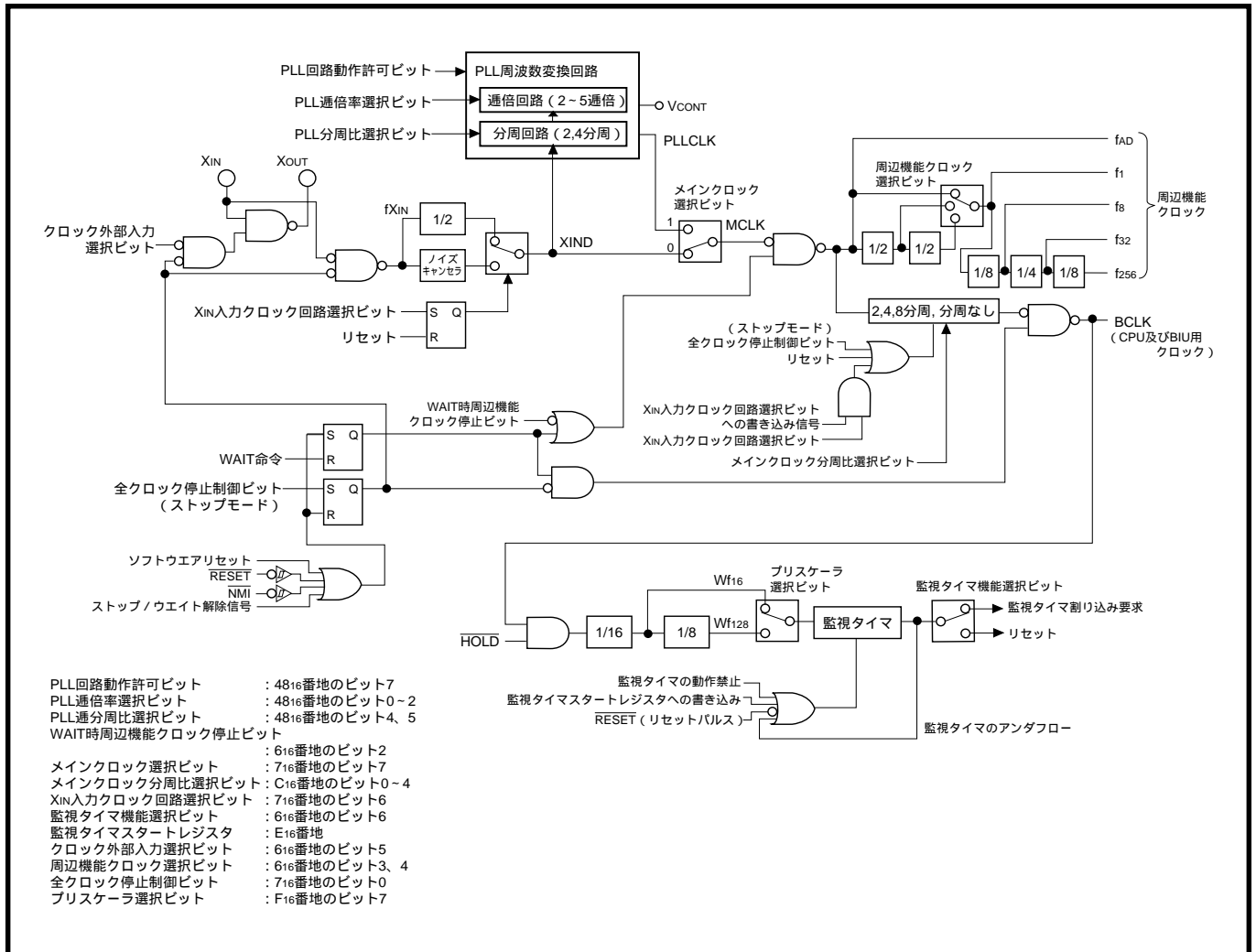


図5.2.1 クロック発生回路ブロック図

(1) f_{XIN}

X_{IN} 端子からの入力クロックです。

(2) $XIND$

X_{IN} 入力クロック回路選択ビット(7₁₆番地のビット6)が“0”のときは f_{XIN} の2分周クロックになります。
 X_{IN} 入力クロック回路選択ビットが“1”のときは f_{XIN} と同じ周期のクロックになります。

(3) $PLLCLK$

PLL周波数変換回路からの出力クロックです。 $PLLCLK$ の周波数は以下のようになります。

$$PLLCLKの周波数 = XINDの周波数 \times \frac{m}{n}$$

m : PLL通倍率選択ビット(48₁₆番地のビット2~0)で選択した通倍率(m = 2 ~ 5)

n : PLL分周比選択ビット(48₁₆番地のビット5、4)で選択した分周比(n = 2、4)

ただし、 $\frac{XINDの周波数}{n}$ 6MHzとなるようにnを設定してください。

(4) $MCLK$

CPU、BIU及び周辺機能のクロック源となるメインクロックです。 $XIND$ を $MCLK$ とするか、 $PLLCLK$ を $MCLK$ とするかを、ソフトウェアで選択できます。

(5) $BCLK$

CPU及びBIUの動作クロックです。 $MCLK$ の2分周、4分周、8分周、又は分周なしをソフトウェアで選択できます。

また、ソフトウェアで設定することにより、P5₃/ $BCLK/CLK_{OUT}$ 端子から外部に出力できます(「5.4 クロック出力機能」参照)。

(6) f_{AD} 、 f_1 、 f_8 、 f_{32} 、 f_{256}

周辺機能の動作クロックです。

(7) Wf_{16} 、 Wf_{128}

監視タイマの動作クロックです。 $BCLK$ をクロック源とします(「第15章 監視タイマ」参照)。

5.3 関連レジスタ

プロセッサモードレジスタ0 PM0 【4₁₆番地】

b7	b6	b5	b4	b3	b2	b1	b0
	0	0	0				

ビット	ビットシンボル	ビット名	機能	リセット時	R/W
0	PM00	プロセッサモードビット	b1 b0 00 : シングルチップモード 01 : メモリ拡張モード (注1) 10 : 選択禁止 11 : 選択禁止	0	RW
1	PM01			0	RW
2	PM02	R/Wモード選択ビット	0 : RD, WR, BHE 1 : RD, WRL, WRH	0	RW
3	PM03	ソフトウェアリセットビット	このビットに“1”を書き込むと、マイクロコンピュータはリセットされる。読み出し時の値は“0”	0	RW
6~4	-	“0”に固定してください		0	RW
7	PM07	BCLK出力機能選択ビット	表5.3.1参照	1	RW

注1. これらのビットを“01₂”に設定する場合は、R/Wモード選択ビット(ビット2)、BCLK出力機能選択ビット(ビット7)、ALE出力端子選択ビット(5₁₆番地のビット5)、及びクロック出力機能選択ビット(6₁₆番地のビット0、1)を設定した後、別の命令で、“01₂”を書き込んでください。
2. このレジスタは、プロテクトビット1(A₁₆番地のビット1)を“1”にした後、設定してください。

図5.3.1 プロセッサモードレジスタ0のレジスタ構成

(1) BCLK出力機能選択ビット(ビット7)

表5.3.1に示すクロックをP5₃端子から出力できます。

表5.3.1 出力クロックの選択

クロック出力機能選択ビット (6 ₁₆ 番地のビット1, 0)	BCLK出力機能選択ビット (4 ₁₆ 番地のビット7)	P5 ₃ /BCLK/CLK _{OUT} 端子の機能
00	0	シングルチップモード : P5 ₃ として機能 メモリ拡張モード : BCLKを出力
	1	P5 ₃ として機能
01	X	選択禁止
10	X	f ₈ を出力
11	X	f ₃₂ を出力

X : “0”又は“1”いずれでもよい。

システムクロック制御レジスタ0 CM0 【6 ₁₆ 番地】				b7 b6 b5 b4 b3 b2 b1 b0			
				0			
ビット	ビットシンボル	ビット名	機能	リセット時	R/W		
0	CM00	クロック出力機能選択ビット	表5.3.1参照	0	RW		
1	CM01			0	RW		
2	CM02	WAIT時周辺機能クロック停止ビット (注1)	0: ウェイトモード時、 f_{AD} 、 f_1 、 f_8 、 f_{32} 、 f_{256} 動作 1: ウェイトモード時、 f_{AD} 、 f_1 、 f_8 、 f_{32} 、 f_{256} 停止	0	RW		
3	CM03	周辺機能クロック選択ビット	表5.3.2参照	0	RW		
4	CM04			0	RW		
5	CM05	クロック外部入力選択ビット	0: 発振回路動作(発振子接続時) 1: 発振回路停止(外部で生成されたクロック入力時)	0	RW		
6	CM06	監視タイマ機能選択ビット (注2)	0: 監視タイマ割り込み 1: リセット	0	RW		
7	-	"0"に固定してください		0	RW		

注1. "1"にする場合は、WAIT命令の直前で"1"を設定してください。また、ウェイトモード解除後、直ちに"0"にしてください。
 2. リセット後、一度だけ"1"にできます。その後はソフトウェアで変更できません("1"に固定される)。
 3. このレジスタは、プロテクトビット(A₁₆番地のビット0)を"1"にした後、設定してください。

図5.3.2 システムクロック制御レジスタ0のレジスタ構成

(1)クロック出力機能選択ビット(ビット0、1)

メモリ拡張モード時は、表5.3.1に示すクロックをP5₃端子から出力できます。

(2)WAIT時周辺機能クロック停止ビット(ビット2)

このビットを"1"にすると、ウェイトモード時、周辺機能クロック(f_{AD} 、 f_1 、 f_8 、 f_{32} 、 f_{256})が停止します。

(3)周辺機能クロック選択ビット(ビット3、4)

これらのビットにより、表5.3.2に示す周辺機能クロックの周波数が選択できます。

表5.3.2 周辺機能クロックの周波数

周辺機能クロック	周辺機能クロック選択ビット(ビット4、3)		
	00、01	10	11
f_1	MCLK	MCLKの2分周	MCLKの4分周
f_8	MCLKの8分周	MCLKの16分周	MCLKの32分周
f_{32}	MCLKの32分周	MCLKの64分周	MCLKの128分周
f_{256}	MCLKの256分周	MCLKの512分周	MCLKの1024分周

注. 周辺機能クロックは、17MHz以下となるように設定してください。

(4)クロック外部入力選択ビット(ビット5)

このビットを"1"にすると、X_{IN}端子とX_{OUT}端子の間の発振用ドライバ回路が停止し、X_{OUT}端子の出力レベルが" H "に固定されます。発振子を接続する場合は"0"に、外部で生成されたクロックをX_{IN}端子に入力する場合は"1"にしてください。

システムクロック制御レジスタ1 CM1 【7 ₁₆ 番地】				b7	b6	b5	b4	b3	b2	b1	b0
						1	0	0	0	0	
ビット	ビット シンボル	ビット名	機 能	リセット時	R/W						
0	CM10	全クロック停止制御ビット	このビットに“1”を書くと、全クロックが停止する (ストップモード)	0	RW (注1)						
4~1	-	“0”に固定してください		0	RW						
5	-	“1”に固定してください		1	RW						
6	CM16	X _{IN} 入力クロック回路選択ビット (注2)	0 : X _{IN} ノイズキャンセラなし、2分周回路あり 1 : X _{IN} ノイズキャンセラあり、2分周回路なし	0	RW						
7	CM17	メインクロック選択ビット (注3)	0 : XINDを選択 1 : PLLCLKを選択	0	RW						

注1. ストップモードの解除に使用する割り込みの割り込み要求が発生すると、“0”になります。
 2. リセット後、一度だけ“1”にできます。その後はソフトウェアで変更できません(“1”に固定される)。f(X_{IN}) > 34MHz時は“0”
 にしてください。
 3. PLL回路動作許可ビット(48₁₆番地のビット7)を“0”にすると、同時に“0”になります。また、PLL回路動作許可ビット=0の
 ときはこのビットに書き込めません(“0”に固定される)。
 このビットを“1”にする場合は、PLL回路ロック検出フラグ(48₁₆番地のビット3)が“1”になったことを確認した後に設定して
 ください。
 4. このレジスタは、プロテクトビット(A₁₆番地のビット0)を“1”にした後、設定してください。

図5.3.3 システムクロック制御レジスタ1のレジスタ構成

(1)全クロック停止制御ビット(ビット0)

このビットに“1”を書くと、全クロックが停止し、ストップモードになります。

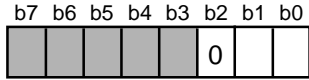
(2)X_{IN}入力クロック回路選択ビット(ビット6)

このビットを“0”にすると、X_{IN}端子から入力されたクロックfX_{IN}の2分周クロックがXINDになり、ノイズ
 キャンセラは無効になります。このビットを“1”にすると、ノイズキャンセラが有効になり、fX_{IN}と同じ
 周期のクロックがXINDになります。

(3)メインクロック選択ビット(ビット7)

このビットを“0”にすると、XINDがメインクロックMCLKになります。このビットを“1”にすると、
 PLLCLKがMCLKになります。

プロテクトレジスタ PRCR 【A₁₆番地】

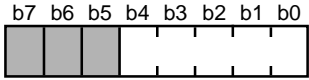
b7 b6 b5 b4 b3 b2 b1 b0


ビット	ビットシンボル	ビット名	機能	リセット時	R/W
0	PRC0	プロテクトビット0 (注)	システムクロック制御レジスタ0, 1、メインクロック分周レジスタ、PLL制御レジスタα(6 ₁₆ 、7 ₁₆ 、C ₁₆ 、48 ₁₆ 番地)への書き込みを制御する 0: 書き込み禁止 1: 書き込み許可	0	RW
1	PRC1	プロテクトビット1 (注)	プロセッサモードレジスタ0, 1(4 ₁₆ 、5 ₁₆ 番地)への書き込みを制御する 0: 書き込み禁止 1: 書き込み許可	0	RW
2	-	“0”に固定してください		0	RW
7~3	-	何も配置されていない		不定	-

注: 各レジスタに対する書き込み後、“0”に戻してください。

図5.3.4 プロテクトレジスタのレジスタ構成

メインクロック分周レジスタ MCD 【C₁₆番地】

b7 b6 b5 b4 b3 b2 b1 b0


ビット	ビットシンボル	ビット名	機能	リセット時	R/W
0	MCD0	メインクロック分周比選択ビット (注1)	b4 b3 b2 b1 b0 00010: 2分周 00100: 4分周 01000: 8分周 10010: 分周なし 上記以外は選択禁止	0	RW
1	MCD1			0	RW
2	MCD2			1	RW
3	MCD3			0	RW
4	MCD4			0	RW
7~5	-	読み出し時の値は“0”		0	-

注1. 次の場合、これらのビットは“00100₂”(4分周)になります。
 ・ X_{IN}入力クロック回路選択ビット(7₁₆番地のビット6)が“0”の状態、全クロック停止制御ビット(7₁₆番地のビット0)を“1”(ストップモード)にしたとき
 次の場合、これらのビットは“01000₂”(8分周)になります。
 ・ X_{IN}入力クロック回路選択ビット(7₁₆番地のビット6)を“0”から“1”にしたとき
 ・ X_{IN}入力クロック回路選択ビット(7₁₆番地のビット6)が“1”の状態、全クロック停止制御ビット(7₁₆番地のビット0)を“1”(ストップモード)にしたとき
 2. このレジスタは、プロテクトビットα(A₁₆番地のビット0)を“1”にした後、設定してください。

図5.3.5 メインクロック分周レジスタのレジスタ構成

(1)メインクロック分周比選択ビット(ビット0~4)

MCLKの何分周をBCLKとするかを選択するビットです。

PLL制御レジスタ0 PLC0 【48 ₁₆ 番地】		b7 b6 b5 b4 b3 b2 b1 b0							
		0							
ビット	ビットシンボル	ビット名	機能	リセット時	R/W				
0	PLC00	PLL通倍率選択ビット(注1,2)	b2b1b0 000: 2通倍 001: 3通倍 010: 4通倍 011: 5通倍 100: } 選択禁止 101: } 110: } 111: }	0	RW				
1	PLC01			0	RW				
2	PLC02			0	RW				
3	PLC03			PLL回路ロック検出フラグ(注3)	0: 非ロック状態 1: ロック状態	0	RO		
4	PLC04			PLL分周比選択ビット(注2)	b5b4 00: 選択禁止 01: 2分周 10: 4分周 11: 選択禁止	1	RW		
5	PLC05	1	RW						
6	-	"0"に固定してください		0	RW				
7	PLC07	PLL回路動作許可ビット(注2,4)	0: PLL周波数変換回路停止、V _{CONT} 端子無効(フローティング) 1: PLL周波数変換回路動作、V _{CONT} 端子有効	0	RW				

注1. これらのビットはリセット後、1回だけ変更できます。
 2. これらのビットの変更は、メインクロック選択ビット(7₁₆番地のビット7)が"0"のときに行ってください。
 3. PLL回路動作許可ビット(ビット7)が"1"、かつメインクロック選択ビットが"0"のときだけ読み出せます(それ以外の読み出し時の値は"0")。
 4. PLL周波数変換回路を使用しない場合は、"0"にしてください。ストップモード時は、ビットの内容にかかわらずPLL周波数変換回路は停止し、V_{CONT}端子は無効になります。
 5. このレジスタは、プロテクトビット(A₁₆番地のビット0)を"1"にした後、設定してください。

図5.3.6 PLL制御レジスタ0のレジスタ構成

(1)PLL通倍率選択ビット(ビット0~2)

PLL周波数変換回路の通倍率を選択するビットです。

(2)PLL回路ロック検出フラグ(ビット3)

PLL周波数変換回路の動作状況を示すビットです。PLL回路動作許可ビット(ビット7)に"1"を設定した後、PLL周波数変換回路が安定すると"1"になります。

(3)PLL分周比選択ビット(ビット4、5)

PLL周波数変換回路の分周比を選択するビットです。

(4)PLL回路動作許可ビット(ビット7)

このビットを"1"にするとPLL周波数変換回路が動作し、V_{CONT}端子が有効になります。

なお、ストップモード時(「16.3 ストップモード」参照)は、このビットの内容にかかわらずPLL周波数変換回路は停止し、V_{CONT}端子は無効になります。

PLL周波数通倍回路を使用しない場合は、このビットを"0"にしてください。

5.4 設定方法

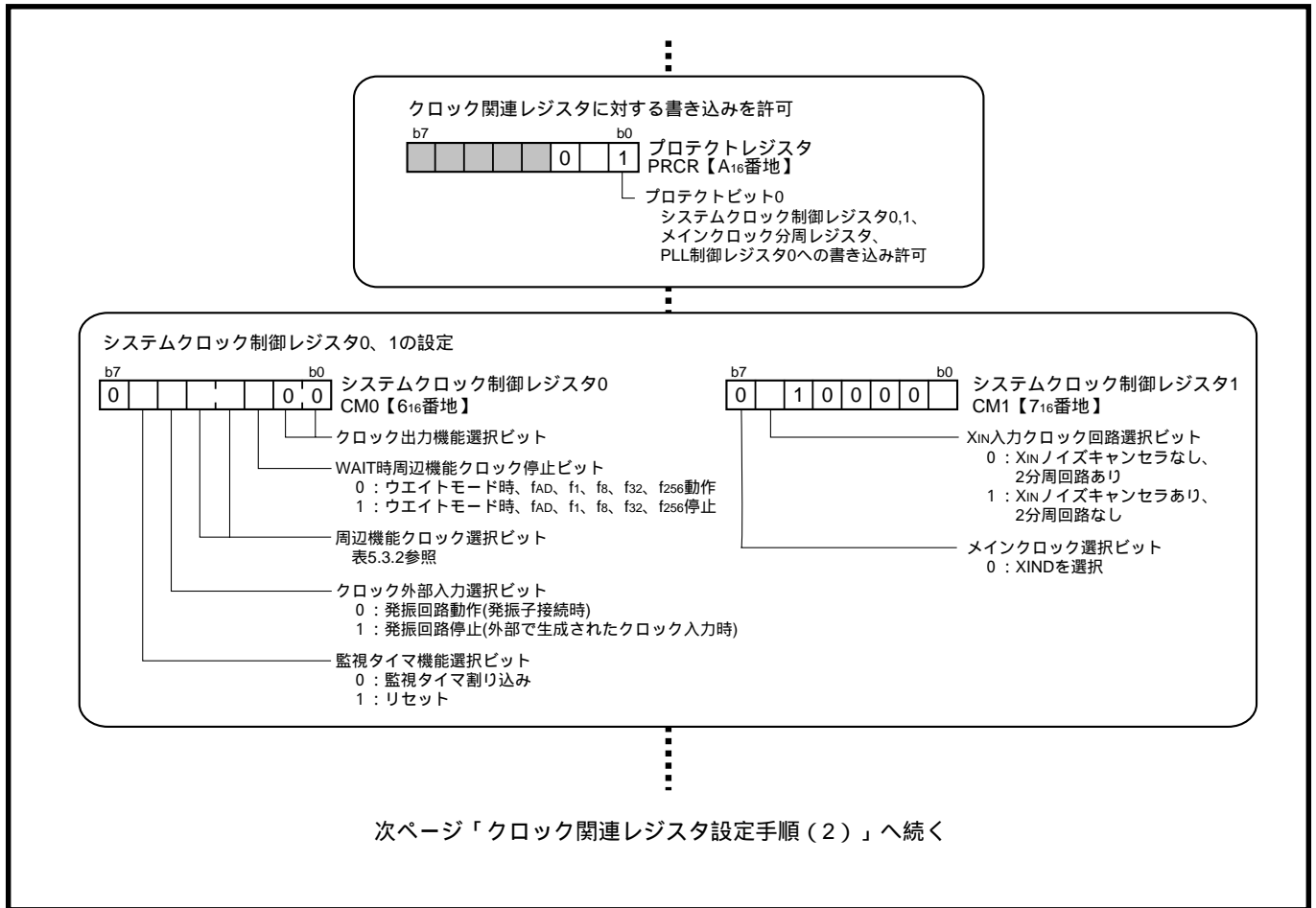


図5.4.1 クロック関連レジスタ設定手順(1)

前ページ「クロック関連レジスタ設定手順(1)」より

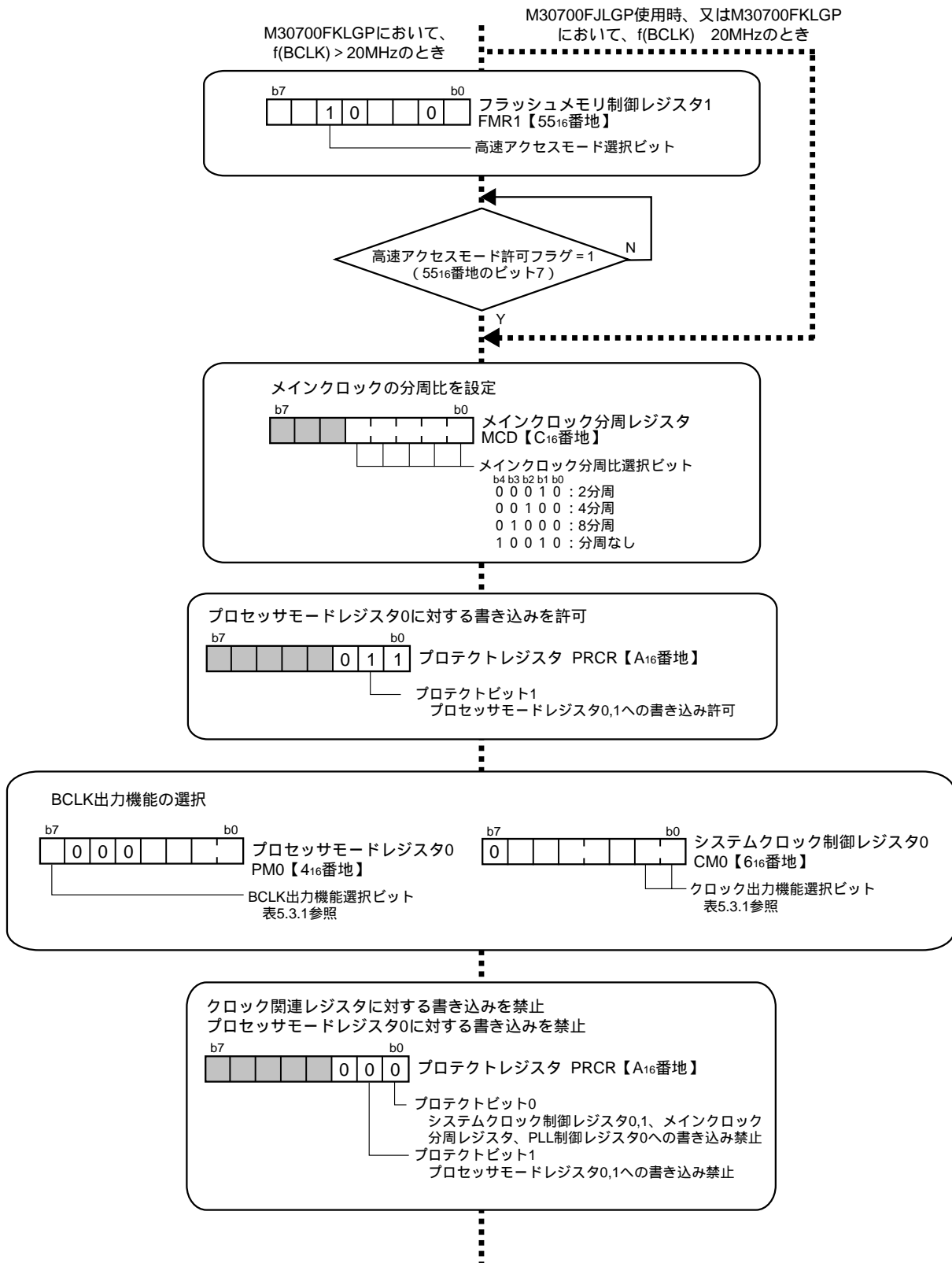


図5.4.2 クロック関連レジスタ設定手順(2)

【クロック発生回路使用上の注意】

1. PLL周波数変換回路を使用しない場合は、PLL回路動作許可ビット(48₁₆番地のビット7)=0にしてください。
2. 以下の条件をすべて満たす場合は、 $f(X_{IN})$ 20MHzにしてください。
 - ・発振子を接続
 - ・メインクロック選択ビット = 0 (XINDを選択)
 - ・X_{IN}入力クロック回路選択ビット = 1 (X_{IN}ノイズキャンセラあり、2分周回路なし)
 - ・メインクロック分周比選択ビット(C₁₆番地のビット4~0) = 10010 (分周なし)

第 6 章

入出力端子

- 6.1 概 要
- 6.2 ブロック図
- 6.3 関連レジスタ
- 6.4 動作説明
- 6.5 未使用端子の処理例
- 6.6 I/O拡張例

6.1 概要

入出力端子はプログラマブル入出力、内蔵周辺装置の入出力、外部バスなどの機能を持ちます。

各入出力端子の基本機能については「1.3 端子の機能説明」を、内蔵周辺装置の入出力機能については各内蔵周辺装置の章を、外部アドレスバス・外部データバス・バス制御信号などについては、「第3章 外部デバイス接続」を参照してください。

この章では、プログラマブル入出力ポート、及び未使用端子の処理例について説明します。

6.2 ブロック図

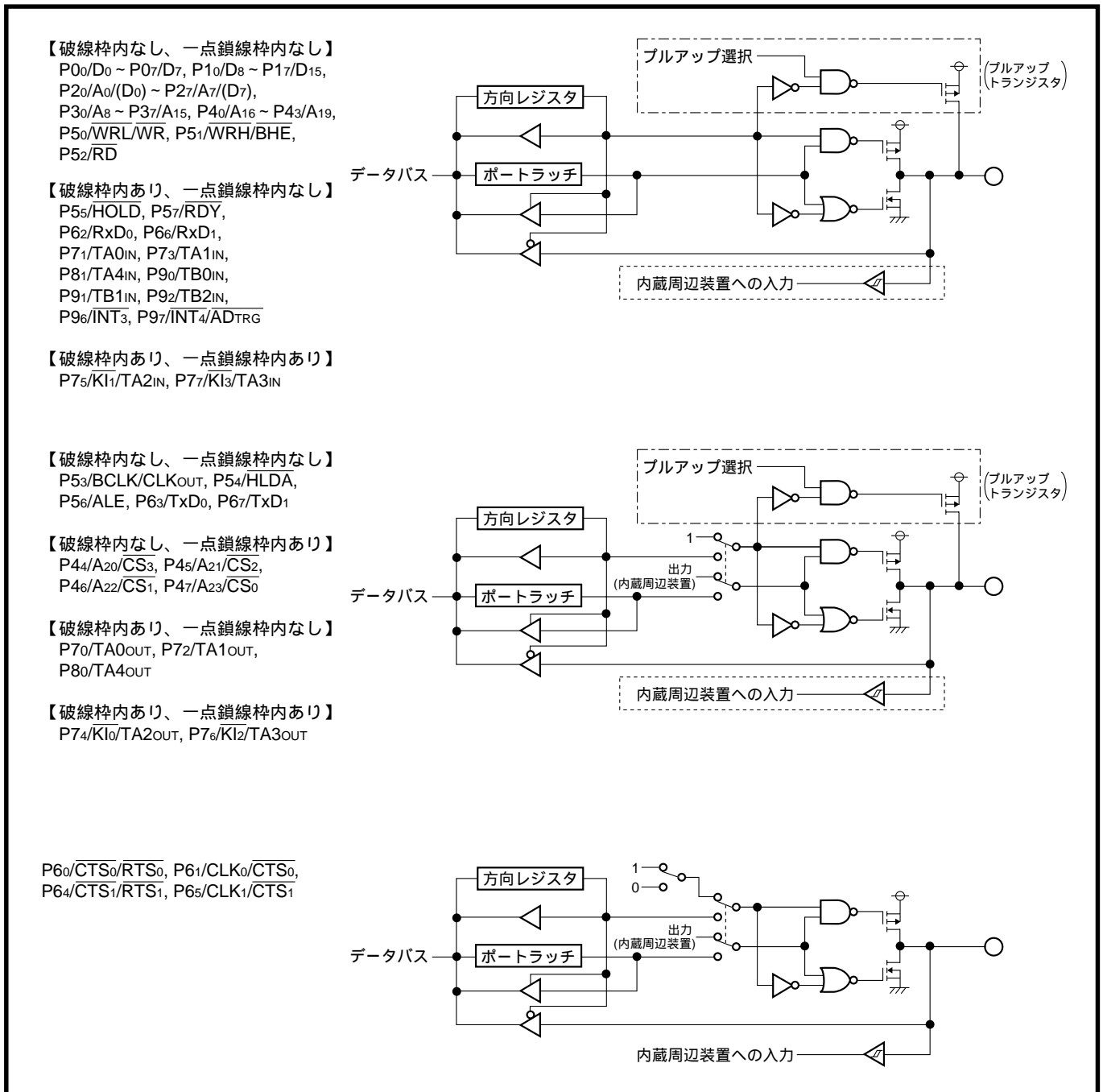


図6.2.1 ポート周辺回路(1)

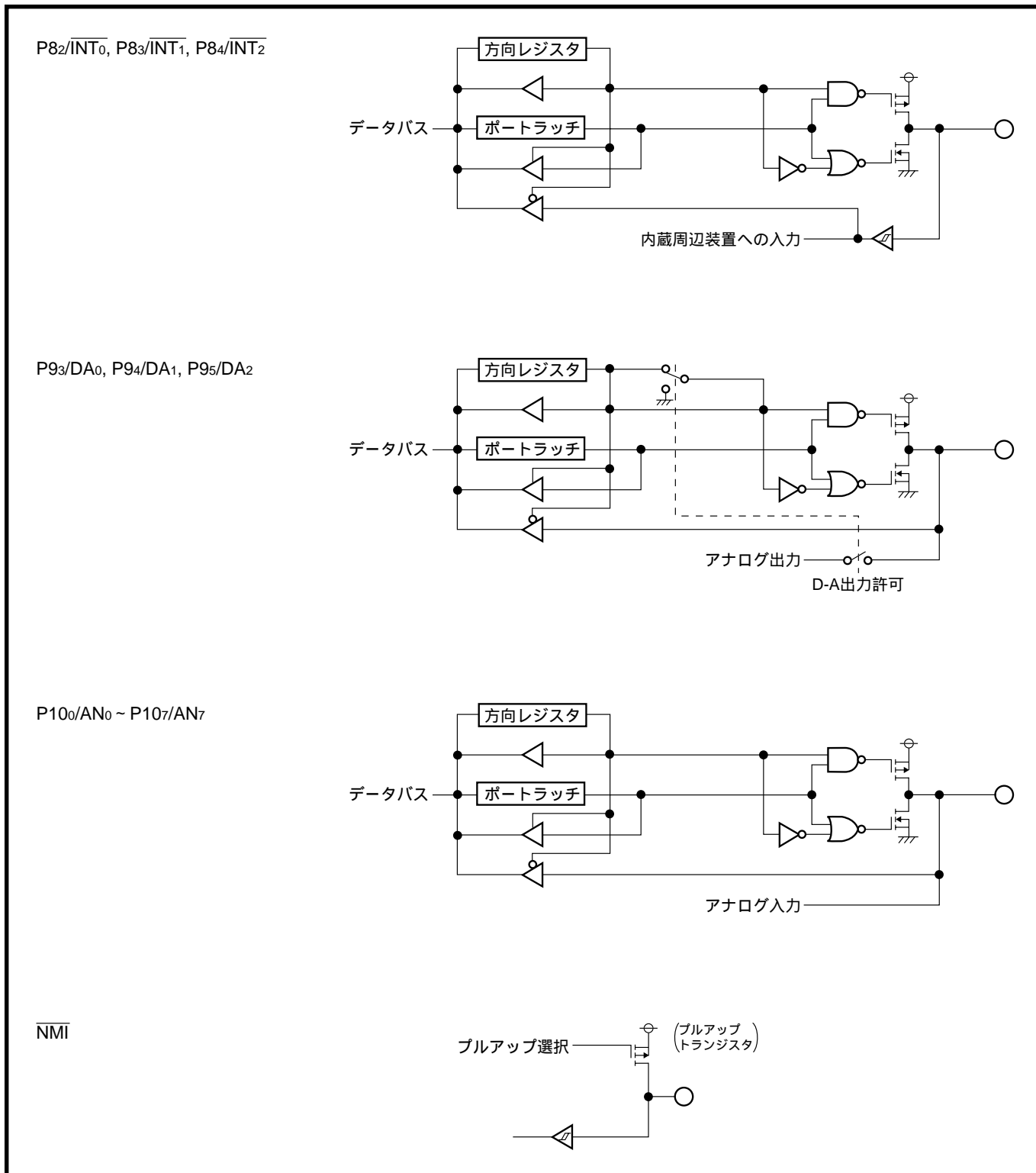


図6.2.2 ポート周辺回路(2)

6.3 関連レジスタ

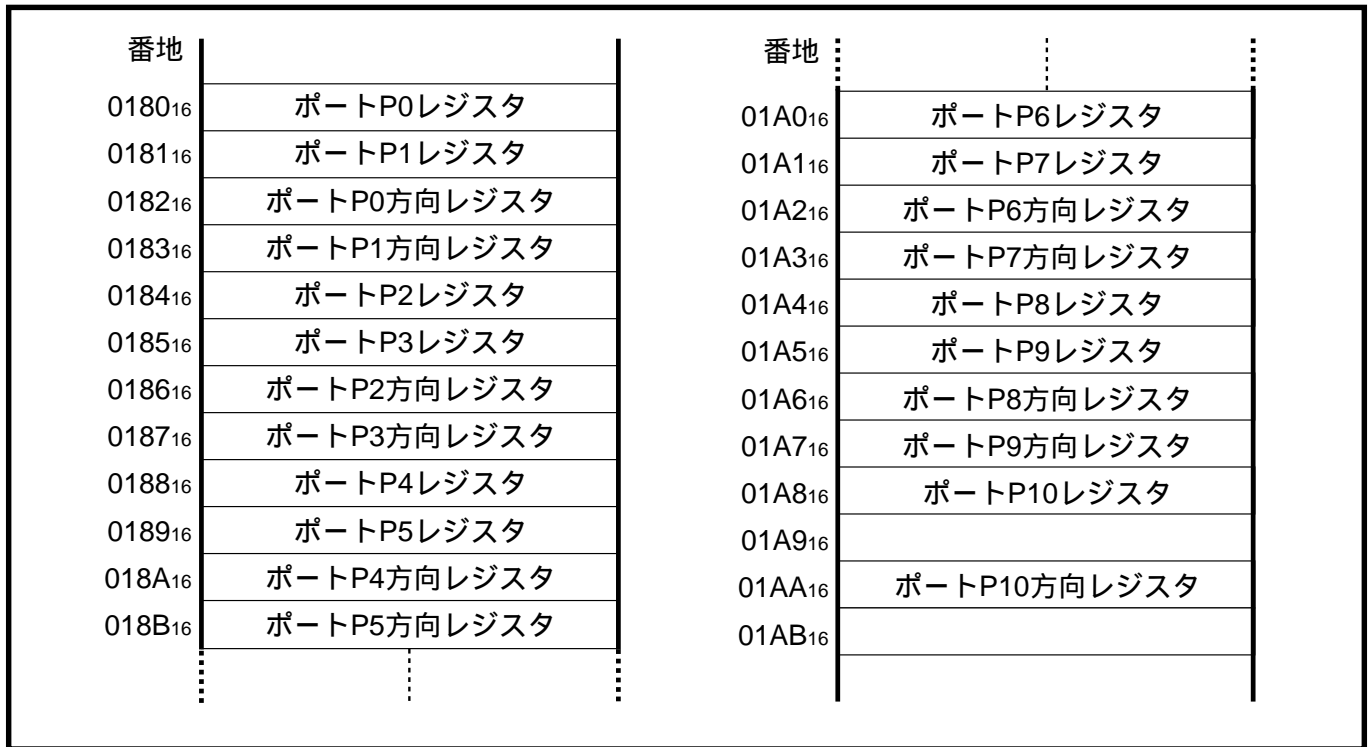


図6.3.1 方向レジスタ、及びポートレジスタのメモリ配置図

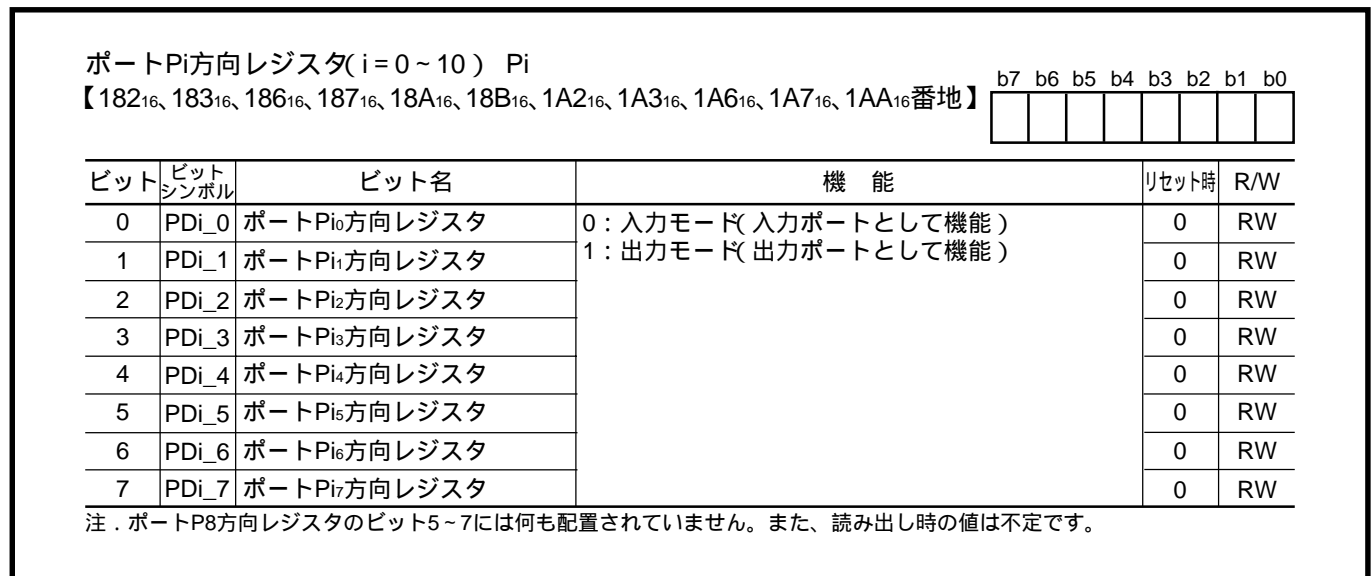


図6.3.2 ポートP(i=0~10)方向レジスタのレジスタ構成

(1)ポートPi方向レジスタ(i=0~10)

プログラマブル入出力ポートの入出力方向を選択するためのレジスタです。このレジスタの各ビットはそれぞれ端子1本ずつに対応しています。“0”にしたビットに対応した端子は入力ポート、“1”にしたビットに対応した端子は出力ポートになります。

ポートPiレジスタ(i=0~10) PDi
 【180₁₆、181₁₆、184₁₆、185₁₆、188₁₆、189₁₆、1A0₁₆、1A1₁₆、1A4₁₆、1A5₁₆、1A8₁₆番地】

b7	b6	b5	b4	b3	b2	b1	b0

ビット	ビット シンボル	ビット名	機 能	リセット時	R/W
0	Pi_0	ポートPi ₀ レジスタ	対応ビットの読み出し及び書き込みで、対応する端子のデータ入出力を行う 0：Lレベル 1：Hレベル	不定	RW
1	Pi_1	ポートPi ₁ レジスタ		不定	RW
2	Pi_2	ポートPi ₂ レジスタ		不定	RW
3	Pi_3	ポートPi ₃ レジスタ		不定	RW
4	Pi_4	ポートPi ₄ レジスタ		不定	RW
5	Pi_5	ポートPi ₅ レジスタ		不定	RW
6	Pi_6	ポートPi ₆ レジスタ		不定	RW
7	Pi_7	ポートPi ₇ レジスタ		不定	RW

注．ポートP8レジスタのビット5～7には何も配置されていません。また、読み出し時の値は不定です。

図6.3.3 ポートP(i=0~10)レジスタのレジスタ構成

(1)ポートPiレジスタ(i=0~10)

プログラマブル入出力ポートの入力データを読み出す、又は出力データを書き込むためのレジスタです。このレジスタの各ビットはそれぞれ端子1本ずつに対応しています。

6.4 動作説明

外部とのデータの入出力は、ポートレジスタにデータを書き込む、又はポートレジスタからデータを読み出すことによって行います。ポートレジスタは出力データを保持するポートラッチ、及び端子の状態を読み込む回路で構成されています。ポートレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

出力モードに設定したプログラマブル入出力ポートからデータを出力する場合

ポートレジスタの対応ビットにデータを書き込むと、そのデータはポートラッチに書き込まれます。ポートラッチの内容に従って、端子からデータが出力されます。

出力モードに設定したポートのポートレジスタを読み出した場合は、端子の状態ではなく、ポートラッチの内容が読み込まれます。したがって、出力データを、外部負荷などの影響を受けずに、正しく読み込めます(図6.2.1、図6.2.2参照)。

入力モードに設定したプログラマブル入出力ポートからデータを入力する場合

入力モードに設定した端子はフローティングになります。ポートレジスタの対応ビットを読み出すと、端子から入力されるデータが読み込めます。

入力モードに設定したポートのポートレジスタに書き込んだ場合は、そのデータはポートラッチに書き込まれるだけで、外部には出力されません(注)。端子はフローティング状態を保ちます。

注．入力モードに設定したポートのポートレジスタに対してリードモディファイライト命令を実行した場合は、端子から入力されたデータに対して命令を実行し、その結果をポートレジスタに書き込むこととなります。

6.5 未使用端子の処理例

入出力端子を使用しない場合は、各端子ごとに処理が必要です。未使用端子の処理例を以下に示します。ここで説明する例は一例です。ご使用に際しては、ユーザアプリケーションに対応して適宜変更、及び十分な評価をしてください。

6.5.1 シングルチップモード時

表6.5.1 シングルチップモード時の未使用端子の処理例

端子名	処理例
P0 ~ P3、P4 ₀ ~ P4 ₃ 、P5 ~ P10	入力モードに設定し各端子ごとに抵抗を介してV _{CC} 又はV _{SS} に接続、あるいは出力モードに設定し開放(注1)
P4 ₄ ~ P4 ₇	入力モードに設定し開放(注2、3)
NM _I (注2、4)、XOUT(注5)、VCONT(注6)	開放
AV _{CC}	V _{CC} に接続
AV _{SS} 、V _{REF}	V _{SS} に接続

注1. 出力モードに設定し開放する場合、リセットからソフトウェアによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、定期的に方向レジスタの内容を再設定した方が、ソフトウェアの信頼度が高くなります。

未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

2. V_{SS}に接続しないでください。
3. P4₄ ~ P4₇プルアップ選択ビット(19A₁₆番地のビット4)=0にしてください。
4. NM_I端子プルアップ選択ビット(A2₁₆番地のビット5)=0にしてください。
5. X_{IN}端子に外部で生成したクロックを入力しているとき。
6. PLL回路動作許可ビット(48₁₆番地のビット7)=0にしてください。

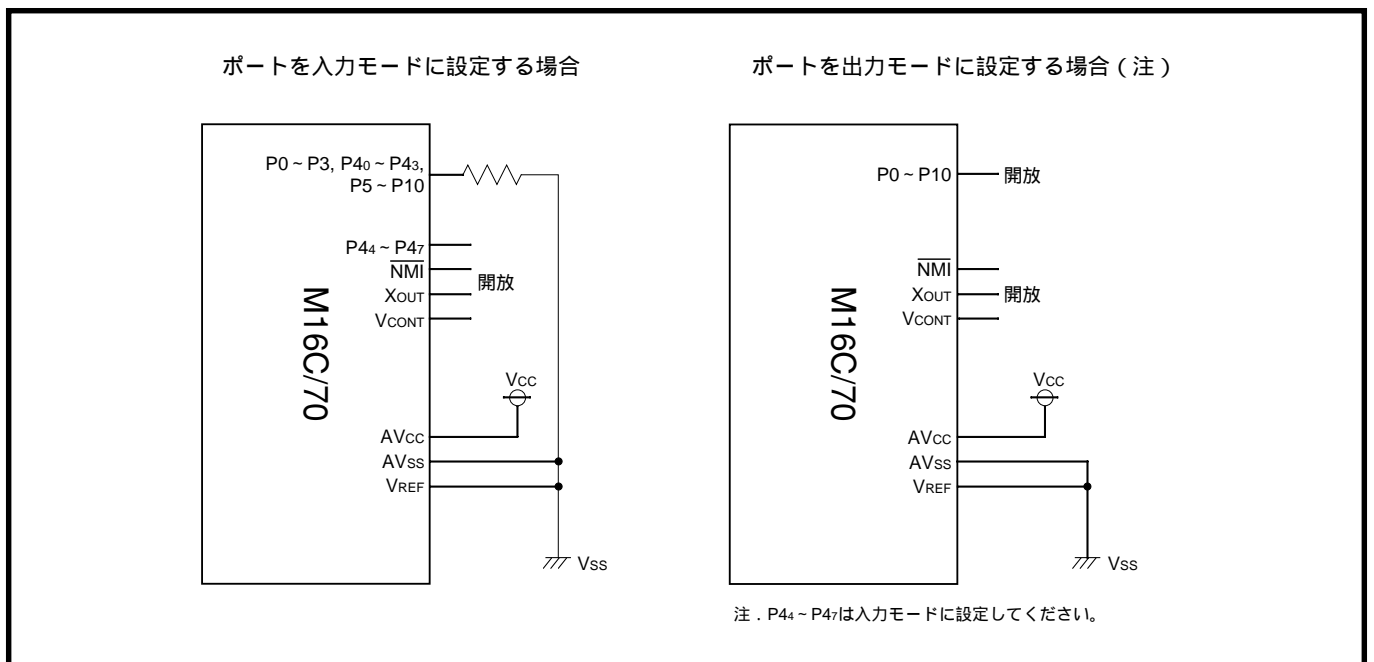


図6.5.1 シングルチップモード時の未使用端子の処理例

6.5.2 メモリ拡張モード時

表6.5.2 メモリ拡張モード時の未使用端子の処理例

端子名	処理例
P1(注1)、P5(注1)、P5 ₃ ~P5 ₇ 、P6~P10	入力モードに設定し各端子ごとに抵抗を介してV _{CC} 又はV _{SS} に接続、あるいは出力モードに設定し開放(注2)
P4 ₄ ~P4 ₇	入力モードに設定し開放(注3、4)
NMI(注3、5)、XOUT(注6)、VCONT(注7)	開放
AV _{CC}	V _{CC} に接続
AV _{SS} 、V _{REF}	V _{SS} に接続

注1. すべてのCS_i領域でデータバス幅8ビットを選択している場合(「第3章 外部デバイス接続」参照)。

- 出力モードに設定し開放する場合、リセットからソフトウェアによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。
また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、定期的に方向レジスタの内容を再設定した方が、ソフトウェアの信頼度が高くなります。
未使用端子処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。
- V_{SS}に接続しないでください。
- P4₄~P4₇プルアップ選択ビット(19A₁₆番地のビット4)=0にしてください。
- NMI端子プルアップ選択ビット(A2₁₆番地のビット5)=0にしてください。
- X_{IN}端子に外部で生成したクロックを入力しているとき。
- PLL回路動作許可ビット(48₁₆番地のビット7)=0にしてください。

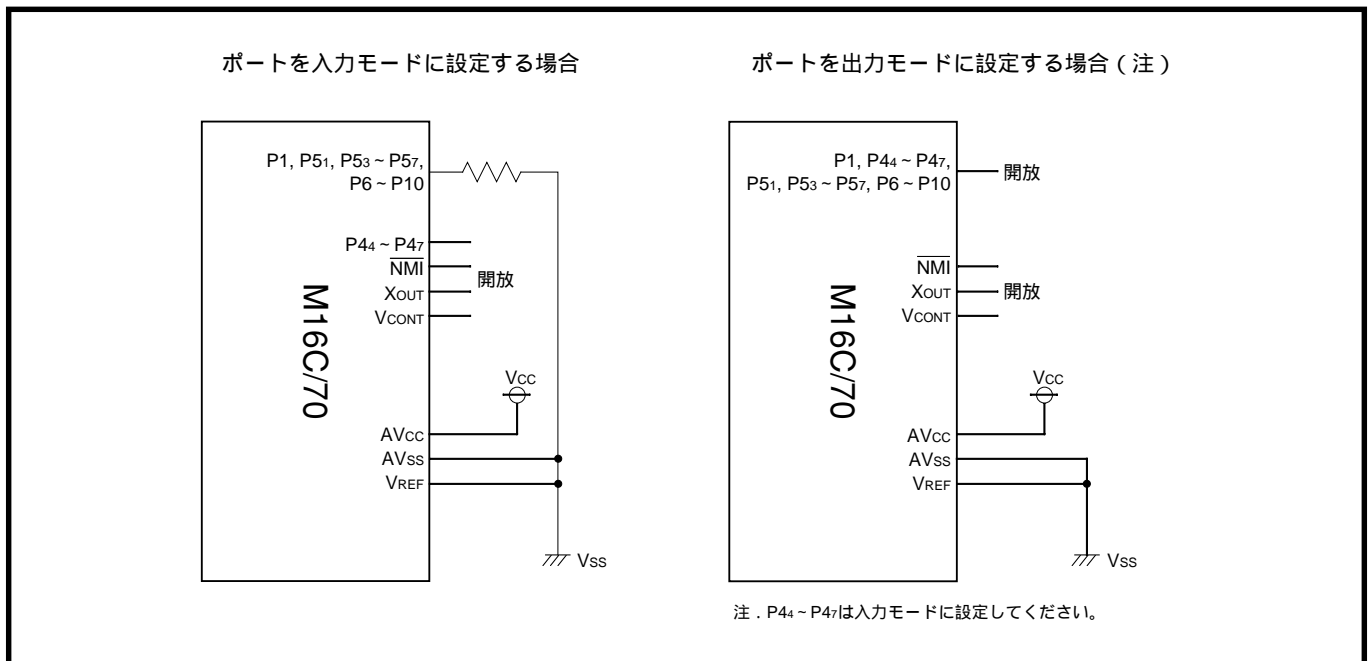


図6.5.2 メモリ拡張モード時の未使用端子の処理例

6

6.6 I/O拡張例

図6.6.1にM66010FPを用いたポート拡張例を示します。M66010FPのCLKパルス幅を満たすため、シリアルI/Oの転送クロックは1.923MHz以下にしてください。

以下に、この拡張例におけるシリアルI/Oの制御について説明します。

この拡張例では、UART0を使用して8ビットデータの送受信を3回行い、24ビットのポート拡張を実現しています。UART0の設定は以下のとおりです。

クロック同期形シリアルI/Oモード(送受信許可状態)
内部クロック選択(転送クロックの周波数：1.7MHz)
LSBファースト

以下に制御手順を示します。

ポートP7₁から“L”レベルを出力(この信号によって、M66010FPの拡張入出力ポートがフローティングになる)。

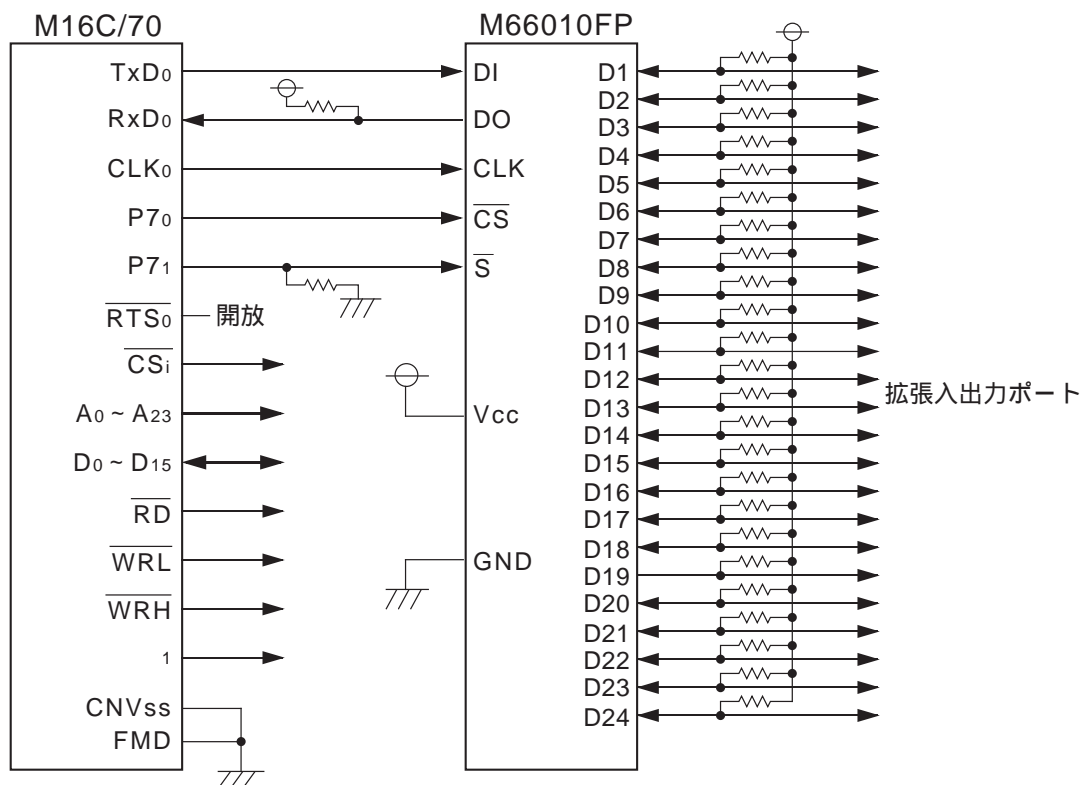
ポートP7₁から“H”レベルを出力。

ポートP7₀から“L”レベルを出力

UART0を使用して、24ビットデータを送受信。

ポートP7₀から“H”レベルを出力。

図6.6.2にM16C/70-M66010FP間のシリアル転送タイミングを示します。



回路条件 : $f(\text{MCLK}) = 34\text{MHz}$

UART0をクロック同期形シリアルI/Oモードで使用

内部クロック選択

転送クロックの周波数 = $\frac{f_1}{2(4+1)} = 1.7\text{MHz}$

(周辺機能クロック選択ビット (616番地のビット4、3) = “102” の場合)

図6.6.1 M66010FPを用いたポート拡張例

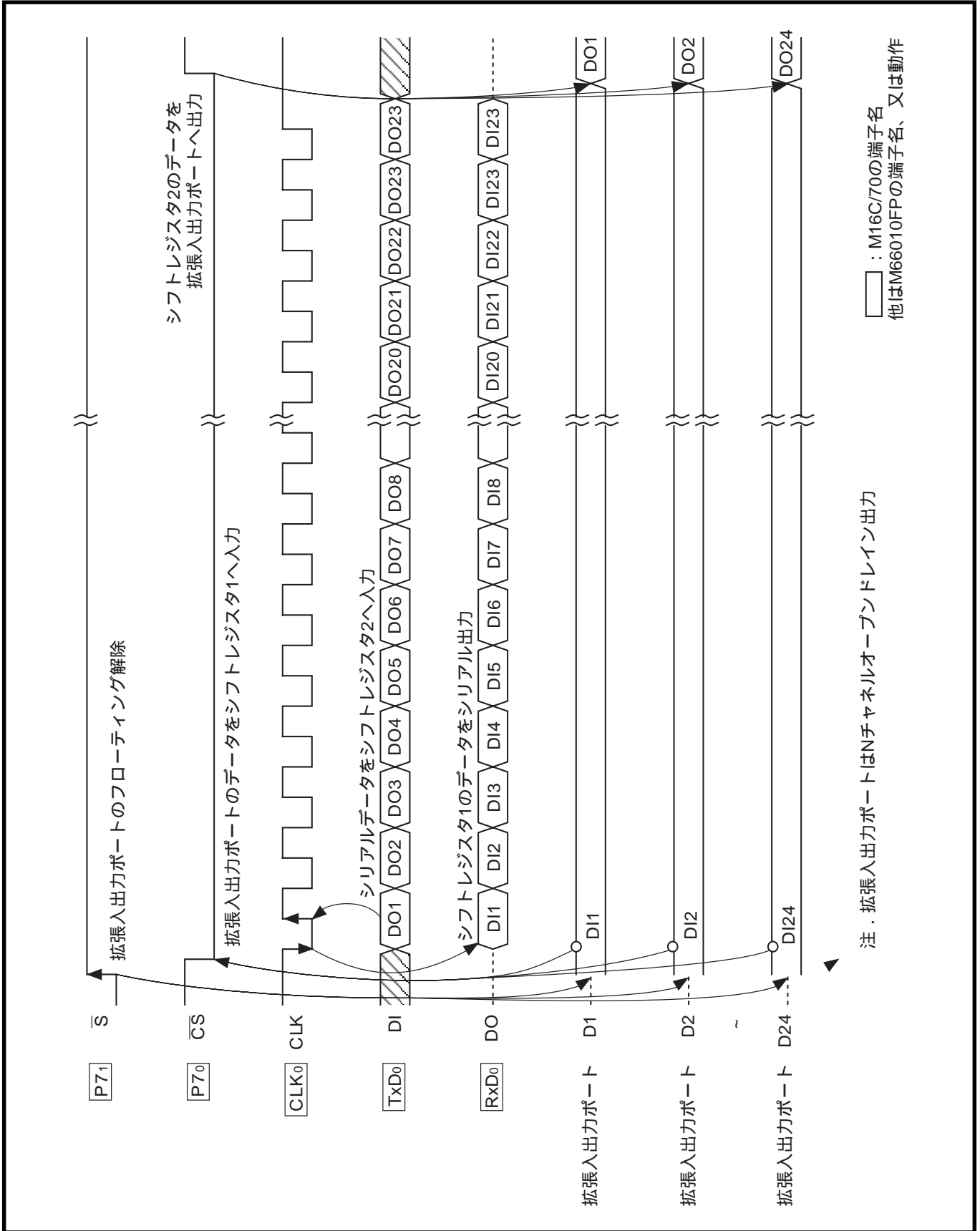


図6.6.2 M37910-M66010FP間のシリアル転送タイミング

第 7 章

割り込み

- 7.1 概 要
 - 7.2 割り込み要因
 - 7.3 関連レジスタ
 - 7.4 割り込み制御
 - 7.5 外部割り込み
 - 7.6 高速割り込み
- 【割り込み使用上の注意】

7.1 概要

割り込みは、図7.1.1に示すように、実行中の処理を中断して、任意の処理(割り込み処理)を実行する機能です。M16C/70の割り込みは図7.1.2に示すように分類されます。

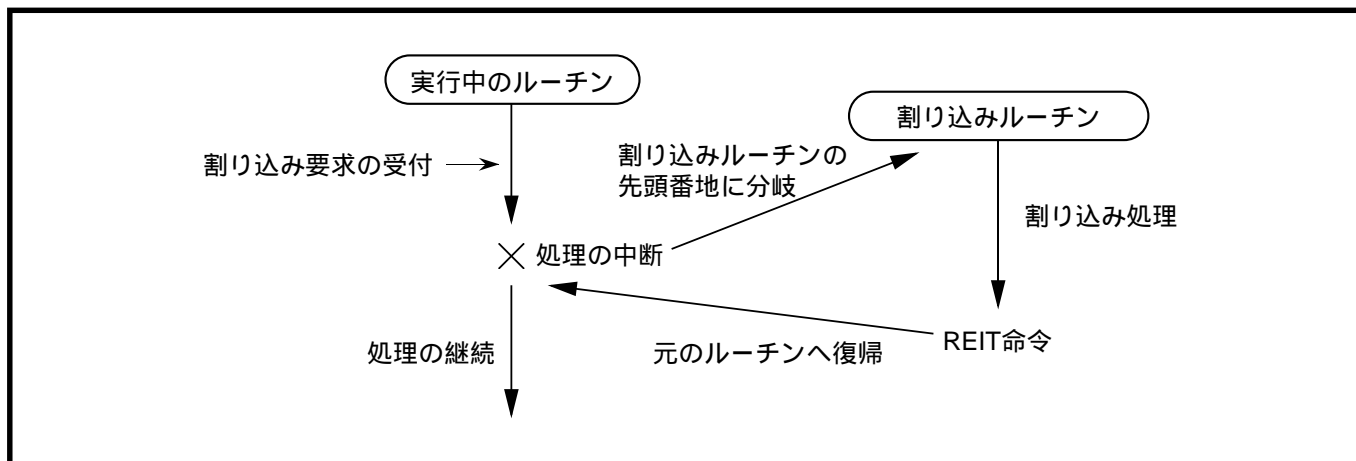


図7.1.1 割り込みの動作

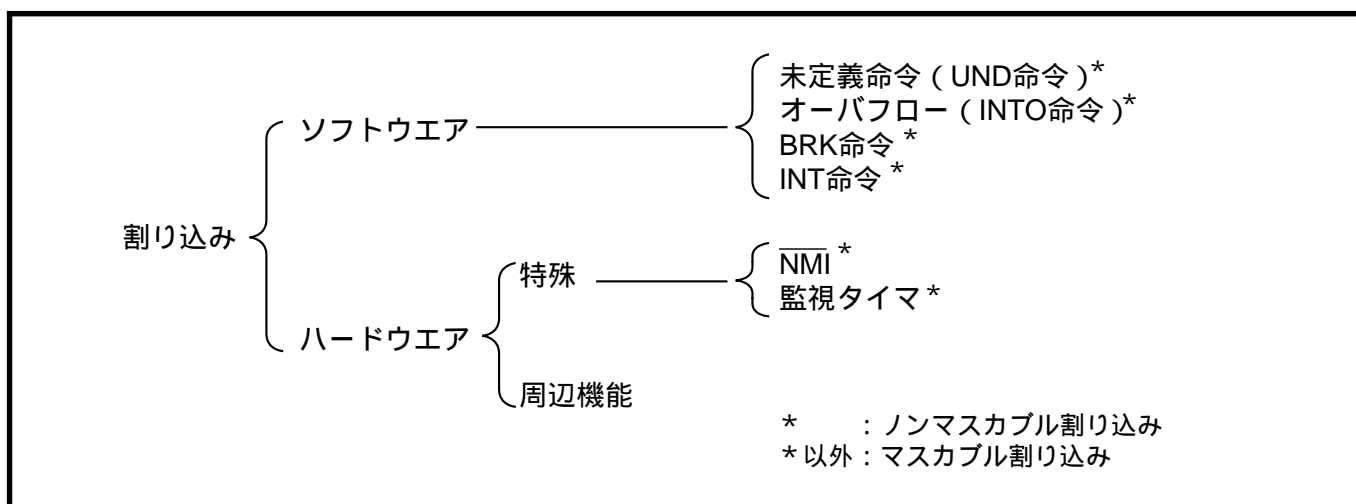


図7.1.2 割り込みの分類

マスクابل割り込み : ソフトウェアによって、割り込み要求の受付を禁止できる割り込み。

ノンマスクابل割り込み : 割り込み要求が発生すると必ず受け付けられる割り込み。割り込み制御レジスタを持たず、割り込み許可フラグ(I)の影響を受けない。

7.2 割り込み要因

M16C/70では、表7.2.1及び表7.2.2に示す割り込み要因を使用できます。

固定ベクタテーブルはFFFFDC₁₆ ~ FFFFFFF₁₆番地に配置されています。可変ベクタテーブルは割り込みテーブルレジスタ(INTB)に任意の番地を設定することにより、任意の領域に配置できます。

該当ベクタテーブルには各割り込みルーチンの先頭番地を設定してください。

表7.2.1 固定ベクタテーブルに配置されている割り込みの割り込み要因

割り込み要因	ベクタテーブル (下位～上位)	備考	参照先
未定義命令	FFFFDC ₁₆ ~ FFFFDF ₁₆ (注1)	UND命令を実行すると発生	M16C/80、M16C/70
オーバフロー	FFFFE0 ₁₆ ~ FFFF3 ₁₆ (注1)	Oフラグ=1のときにINTO命令を実行すると発生	シリーズ ソフトウェアマニュアル
BRK命令	FFFFE4 ₁₆ ~ FFFF7 ₁₆ (注2)	BRK命令を実行すると発生	
予約領域	FFFFE8 ₁₆ ~ FFFFEB ₁₆ (注1)	使用禁止	
予約領域	FFFFEC ₁₆ ~ FFFF3 ₁₆ (注1)	使用禁止	
監視タイマ	FFFFF0 ₁₆ ~ FFFFF3 ₁₆ (注1)		第15章 監視タイマ
予約領域	FFFFF4 ₁₆ ~ FFFFF7 ₁₆ (注1)	使用禁止	
NMI	FFFFF8 ₁₆ ~ FFFFFB ₁₆ (注1)		7.5 外部割り込み
リセット	FFFFFC ₁₆ ~ FFFFFF ₁₆ (注3)		第4章 リセット

注1. FFFFDF₁₆、FFFFE3₁₆、FFFFEB₁₆、FFFFE7₁₆、FFFFF3₁₆、FFFFF7₁₆、FFFFFB₁₆番地の7バイトは、シリアル及びパラレルライタの予約領域です。これらの番地には“FF₁₆”以外を書かないでください。

2. FFFF7₁₆番地の内容が“FF₁₆”の場合は、可変ベクタテーブル内のベクタ(ソフトウェア割り込み番号0)が有効になります。

3. FFFFFFF₁₆番地には、“FF₁₆”以外を書かないでください。

表 7.2.2 可変ベクタテーブルに配置されている割り込みの割り込み要因

割り込み要因	ベクタテーブル (下位~上位)注1)	ソフトウェア 割り込み番号	備考	参照先
BRK命令	+0 ~ +3	0	BRK命令を実行すると発生(注2)	M16C/80、M16C/70シリーズ ソフトウェアマニュアル
予約領域	+4 ~ +7 ⋮ +28 ~ +31	1 ⋮ 7	使用禁止	
DMA0	+32 ~ +35	8		第14章 DMAC
DMA1	+36 ~ +39	9		
DMA2	+40 ~ +43	10		
DMA3	+44 ~ +47	11		
タイマA0	+48 ~ +51	12		第9章 タイマA
タイマA1	+52 ~ +55	13		
タイマA2	+56 ~ +59	14		
タイマA3	+60 ~ +63	15		
タイマA4	+64 ~ +67	16		
UART0送信	+68 ~ +71	17		第11章 シリアルI/O
UART0受信	+72 ~ +75	18		
UART1送信	+76 ~ +79	19		
UART1受信	+80 ~ +83	20		
タイマB0	+84 ~ +87	21		第10章 タイマB
タイマB1	+88 ~ +91	22		
タイマB2	+92 ~ +95	23		
予約領域	+96 ~ +99 ⋮ +104 ~ +107	24 ⋮ 26	使用禁止	
INT ₄	+108 ~ +111	27		7.6 外部割り込み
INT ₃	+112 ~ +115	28		
INT ₂	+116 ~ +119	29		
INT ₁	+120 ~ +123	30		
INT ₀	+124 ~ +127	31		
予約領域	+128 ~ +131 ⋮ +164 ~ +167	32 ⋮ 41	使用禁止	
A-D変換	+168 ~ +171	42		第12章 A-D変換器
キー入力	+172 ~ +175	43		第8章 キー入力割り込み
予約領域	+176 ~ +179 ⋮ +216 ~ +219	44 ⋮ 54	使用禁止	
	+220 ~ +223 ⋮ +252 ~ +255	55 ⋮ 63	割り込み要因は割り当てられていない INT命令割り込みに使用できる	
INT命令		0 ~ 63	オペランドで任意のソフトウェア割り込み番号 を指定できる	M16C/80、M16C/70シリーズ ソフトウェアマニュアル

注1. 割り込みテーブルレジスタ(INTB)が示す番地からの相対番地です。

2. FFFFE7₁₆番地の内容が FF₁₆ の場合は、このベクタが有効になります。

7.3 関連レジスタ

キー入力割り込み制御レジスタ KUPIC 【93₁₆番地】

タイマA0～タイマA4割り込み制御レジスタ TA0IC～TA4IC 【6C₁₆、8C₁₆、6E₁₆、8E₁₆、70₁₆番地】

タイマB0～タイマB2割り込み制御レジスタ TB0IC～TB2IC 【94₁₆、76₁₆、96₁₆番地】

UART0送信割り込み制御レジスタ S0TIC 【90₁₆番地】

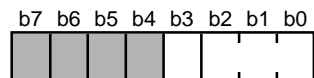
UART0受信割り込み制御レジスタ S0RIC 【72₁₆番地】

UART1送信割り込み制御レジスタ S1TIC 【92₁₆番地】

UART1受信割り込み制御レジスタ S1RIC 【74₁₆番地】

DMA0～DMA3割り込み制御レジスタ DM0IC～DM3IC 【68₁₆、88₁₆、6A₁₆、8A₁₆番地】

A-D変換割り込み制御レジスタ ADIC 【73₁₆番地】

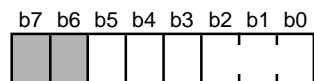


ビット	ビットシンボル	ビット名	機能	リセット時	R/W
0	ILVL0	割り込み優先レベル選択ビット	b2b1b0 000: レベルα (割り込み禁止) 001: レベル1 010: レベル2 011: レベル3 100: レベル4 101: レベル5 110: レベル6 111: レベル7	0	RW
1	ILVL1			0	RW
2	ILVL2			0	RW
3	IR			割り込み要求ビット (注)	0: 割り込み要求なし 1: 割り込み要求あり
7～4	-	何も配置されていない		不定	-

注. このビットへの書き込みにはMOV命令を使用してください。

INT₀～INT₄割り込み制御レジスタ INT0IC～INT4IC

【9E₁₆、7E₁₆、9C₁₆、7C₁₆、9A₁₆番地】



ビット	ビットシンボル	ビット名	機能	リセット時	R/W
0	ILVL0	割り込み優先レベル選択ビット	b2b1b0 000: レベルα (割り込み禁止) 001: レベル1 010: レベル2 011: レベル3 100: レベル4 101: レベル5 110: レベル6 111: レベル7	0	RW
1	ILVL1			0	RW
2	ILVL2			0	RW
3	IR			割り込み要求ビット (注)	0: 割り込み要求なし 1: 割り込み要求あり
4	POL	極性切り替えビット	0: 立ち下がりエッジ/Lレベルを選択 1: 立ち上がりエッジ/Hレベルを選択	0	RW
5	LVS	レベルセンス/エッジセンス切り替えビット	0: エッジセンス 1: レベルセンス	0	RW
7、6	-	何も配置されていない		不定	-

注. このビットへの書き込みにはMOV命令を使用してください。

図7.3.1 割り込み制御レジスタのレジスタ構成

(1) 割り込み優先レベル選択ビット(ビット0~2)

割り込み優先レベル選択ビットは、各割り込みの割り込み優先レベルを設定するためのビットです。割り込み優先レベルがプロセッサ割り込み優先レベル(IPL)より大きい場合にだけ、その割り込みは許可されます。したがって、割り込み優先レベルをレベル0に設定すると、その割り込みだけを禁止できます。

表7.3.1に割り込み優先レベルの設定を、表7.3.2にプロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベルを示します。

表7.3.1 割り込み優先レベルの設定

割り込み優先レベル選択ビット			割り込み優先レベル	優先順位
b2	b1	b0		
0	0	0	レベル0(割り込み禁止)	——
0	0	1	レベル1	低い ↓ 高い
0	1	0	レベル2	
0	1	1	レベル3	
1	0	0	レベル4	
1	0	1	レベル5	
1	1	0	レベル6	
1	1	1	レベル7	

表7.3.2 プロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベル

IPL ₂	IPL ₁	IPL ₀	許可される割り込み優先レベル
0	0	0	レベル1以上を許可
0	0	1	レベル2以上を許可
0	1	0	レベル3以上を許可
0	1	1	レベル4以上を許可
1	0	0	レベル5以上を許可
1	0	1	レベル6以上を許可
1	1	0	レベル7だけを許可
1	1	1	すべてのマスクブル割り込みを禁止

IPL₀・・・プロセッサステータスレジスタ(PS)のビット8
 IPL₁・・・プロセッサステータスレジスタ(PS)のビット9
 IPL₂・・・プロセッサステータスレジスタ(PS)のビット10

(2) 割り込み要求ビット(ビット3)

割り込み要求が発生すると、このビットが“1”になります。その後、割り込み要求が受け付けられるまで“1”の状態を保持し、割り込み要求が受け付けられると“0”になります。

(3) 極性切り替えビット(ビット4) レベルセンス/エッジセンス切り替えビット(ビット5)

表7.5.1を参照してください。

7.4 割り込み制御

図7.4.1に割り込み要求発生から割り込みルーチン実行までの流れを示します。割り込み要求の発生については、表7.2.1及び表7.2.2の参照先を参照してください。

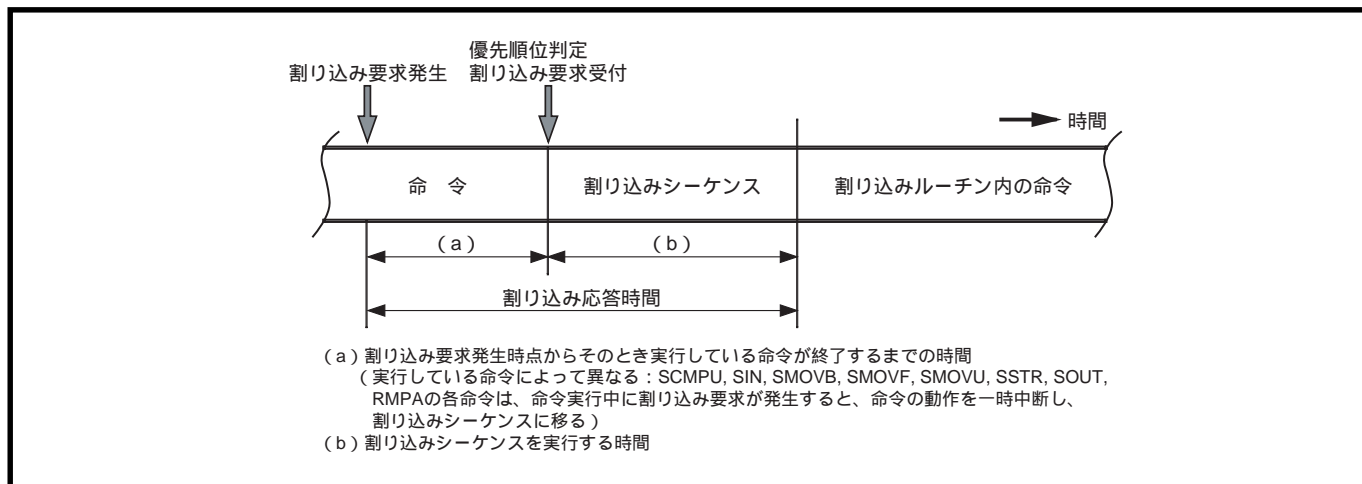


図7.4.1 割り込み要求発生から割り込みルーチン実行まで

表7.4.1 割り込みシーケンス実行時間

割り込み	割り込みシーケンス実行時間(注)
周辺機能	BCLKの14サイクル
INT命令	BCLKの12サイクル
NMI	BCLKの13サイクル
監視タイマ	
未定義命令	
オーバフロー	BCLKの14サイクル
BRK命令(可変ベクタテーブル有効時)	BCLKの17サイクル
BRK命令(固定ベクタテーブル有効時)	BCLKの19サイクル
高速割り込み	BCLKの5サイクル

注．割り込みベクタが配置されている領域のデータバス幅が16ビットの場合の値です。データバス幅8ビットの場合は、2サイクル増加します。また、割り込みベクタが配置されているアドレスが奇数の場合も、2サイクル増加します。ただし、高速割り込みの割り込みシーケンス実行時間は、これらの条件に影響されません。

7.4.1 割り込み優先順位

同時に複数の割り込み要求が発生した場合、優先順位は図7.4.2のようになります。これらの優先順位は、図7.4.3に示す割り込み優先レベル判定回路によって判定されます。

ソフトウェア割り込み(未定義命令、オーバフロー、BRK命令、INT命令)は、割り込み優先順位の影響を受けません。命令が実行されると必ず割り込みルーチンへ分岐します。

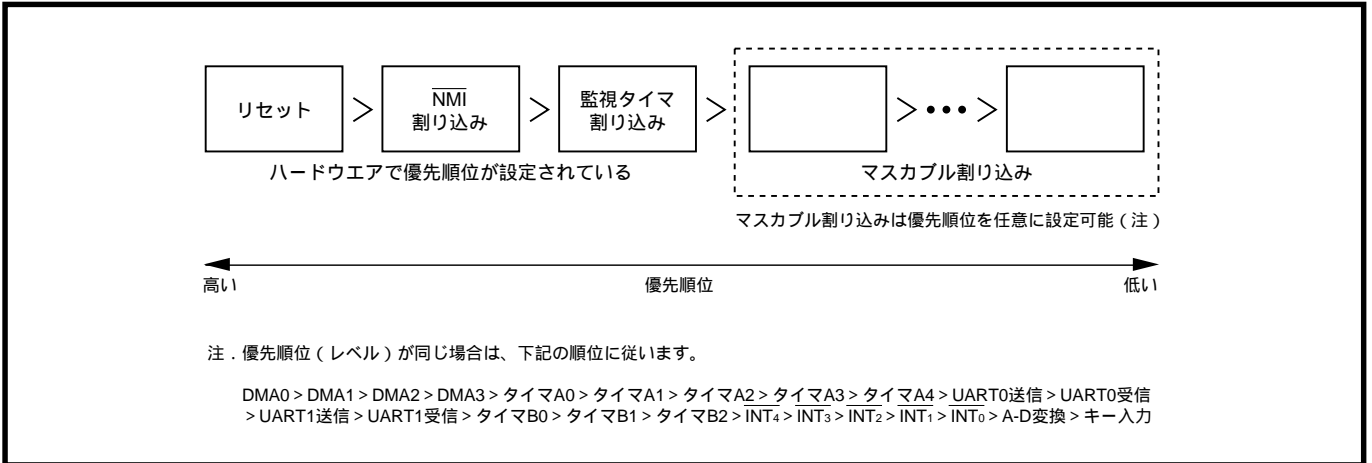


図7.4.2 割り込み優先順位

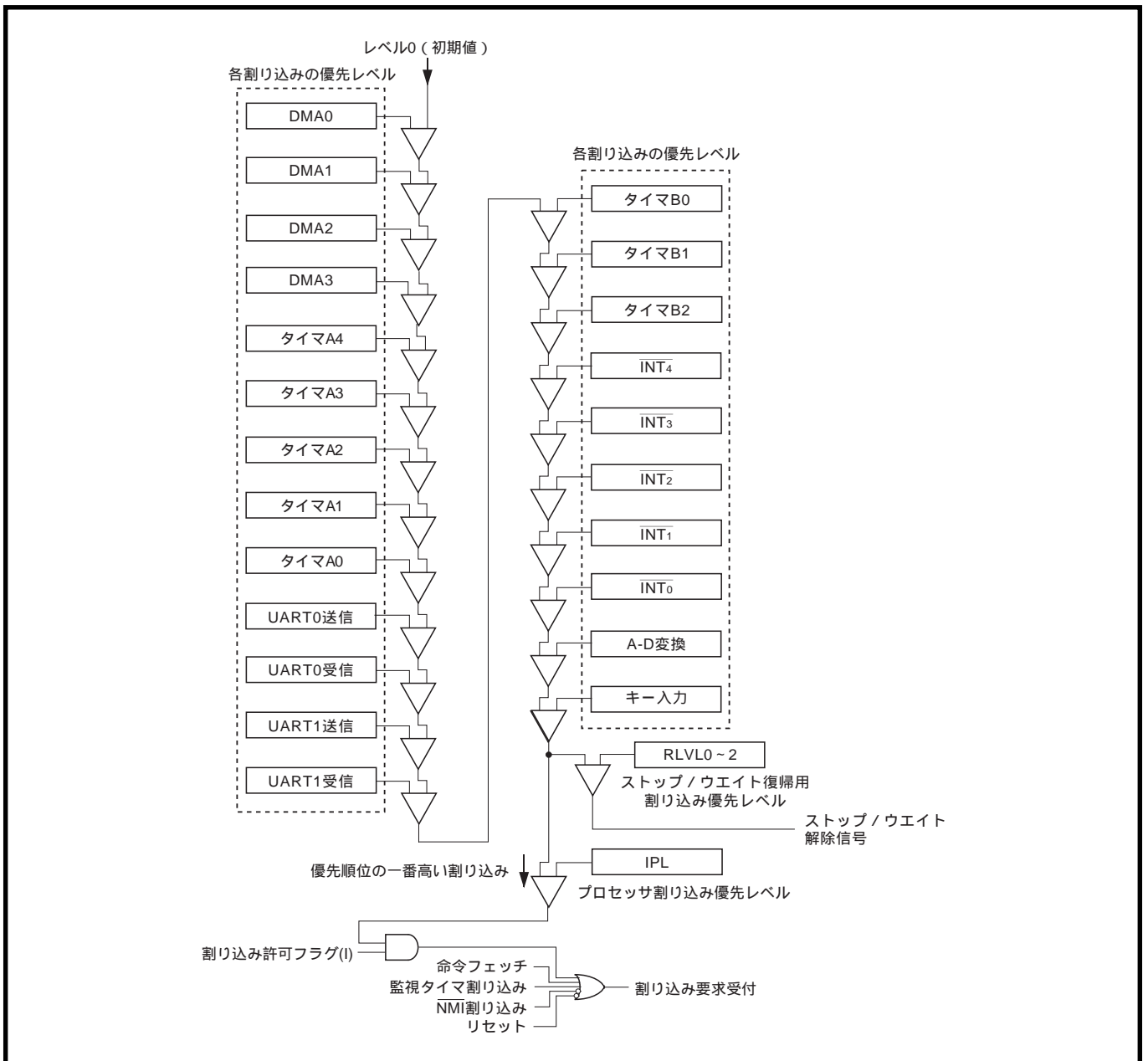


図7.4.3 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で割り込み要求が存在する複数の割り込みのうち、一番高い優先レベルを持つ割り込みを判定する回路です。

割り込み要求のある割り込みの優先レベル(図7.4.4のY)と、前段のコンパレータでの比較の結果送られてきた優先レベル(図7.4.4のX)を比較し(比較値の初期値はレベル0)、高い優先レベルを次のコンパレータへ送ります(図7.4.4のZ)。割り込み要求がない割り込みについては比較を行わず、前段のコンパレータから送られた優先レベルをそのまま次のコンパレータへ送ります。また、比較の結果、優先レベルが同じであれば、前段のコンパレータから送られた優先レベルを次のコンパレータへ送ります。したがって、ソフトウェアで同じ優先レベルを設定した場合の優先レベルは、下記ようになります。

DMA0 > DMA1 > DMA2 > DMA3 > タイマA0 > タイマA1 > タイマA2 > タイマA3 > タイマA4 > UART0送信
> UART0受信 > UART1送信 > UART1受信 > タイマB0 > タイマB1 > タイマB2 > \overline{INT}_4 > \overline{INT}_3 > \overline{INT}_2
> \overline{INT}_1 > \overline{INT}_0 > A-D変換 > キー入力

この後、一番高い優先レベルはプロセッサ割り込み優先レベル(IPL)と比較されます。このとき、IPLより優先レベルが高く、かつ割り込み許可フラグ(1)が“1”であれば、命令フェッチのタイミングで、その割り込み要求が受け付けられます。また、ここで受け付けられなかった割り込み要求は、その割り込み要求が受け付けられる、又は割り込み要求ビットをソフトウェアで“0”にするまで保持されます。

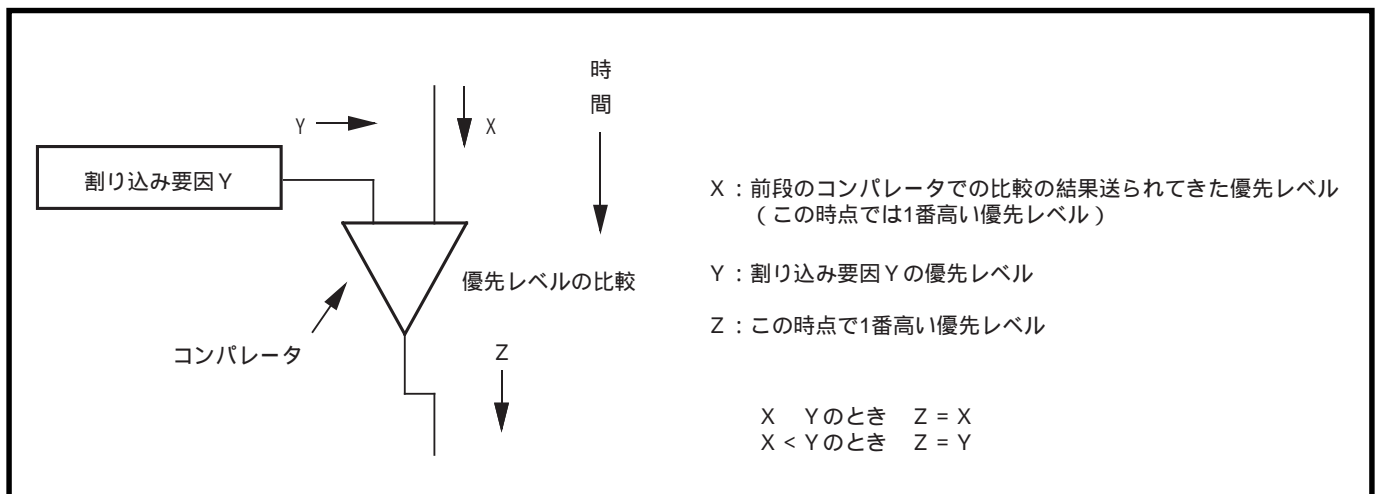


図7.4.4 割り込み優先レベル判定モデル

ストップモード又はウエイトモードの解除に割り込みを使用する場合、上記の比較を繰り返して判定された一番高い優先レベルは、ストップ/ウエイト復帰用割り込み優先レベル(RLVL0~2: 9F₁₆番地のビット0~2)と比較され、RLVL0~2よりも優先レベルが高い場合は、ストップ/ウエイト解除信号を出力します(「第16章 ストップモード、ウエイトモード」参照)。

7.4.2 割り込みの受付

ノンマスクブル割り込みは、割り込み要求が発生すると無条件に受け付けられます。

マスクブル割り込みの割り込み要求は、以下の3条件が満たされたときに受け付けられます。これらの条件が満たされず受け付けられなかった割り込み要求は、その割り込み要求が受け付けられる、又は割り込み要求ビットをソフトウェアで“0”にするまで保持されます。

割り込み許可フラグ(I)=1

割り込み要求ビット=1

割り込み優先レベル > プロセッサ割り込み優先レベル(IPL)

割り込みルーチンを実行する前に、自動的に以下の処理(1)~(8)が実行されます。これを「割り込みシーケンス」と呼びます。

- (1) 0_{16} 番地(高速割り込みの場合は 2_{16} 番地)を読み出し、割り込み情報(割り込み番地と割り込み要求レベル)を獲得します。
- (2) 割り込み要求ビットが“0”になります。
- (3) 割り込みシーケンス直前のフラグレジスタ(FLG)の内容を、CPU内部に一時退避します。
- (4) 割り込み許可フラグ(I)、デバッグフラグ(D)、及びスタックポインタ指定フラグ(U)が“0”になります(注)。
- (5) CPU内部に一時退避したフラグレジスタ(FLG)の内容をスタック領域に退避します(図7.4.5参照)。高速割り込み(「7.6 高速割り込み」参照)の場合は、フラグ退避レジスタ(SVF)に退避します。
- (6) プログラムカウンタ(PC)の内容をスタック領域に退避します(図7.4.5参照)。高速割り込みの場合は、PC退避レジスタ(SVP)に退避します。プログラムカウンタは24ビットですが、退避の際は32ビットにゼロ拡張されます。
- (7) プロセッサ割り込み優先レベル(IPL)に、受け付けた割り込みの割り込み優先レベルが設定されます。割り込み優先レベルを持たないノンマスクブル割り込みでは、表7.4.2に示す値がIPLに設定されます。
- (8) プログラムカウンタ(PC)に、ベクタテーブルの内容(割り込みルーチンの先頭番地)が設定されます。

注．INT命令割り込みで、ソフトウェア割り込み番号42、43、55～63を指定した場合、Uフラグは変化しません。

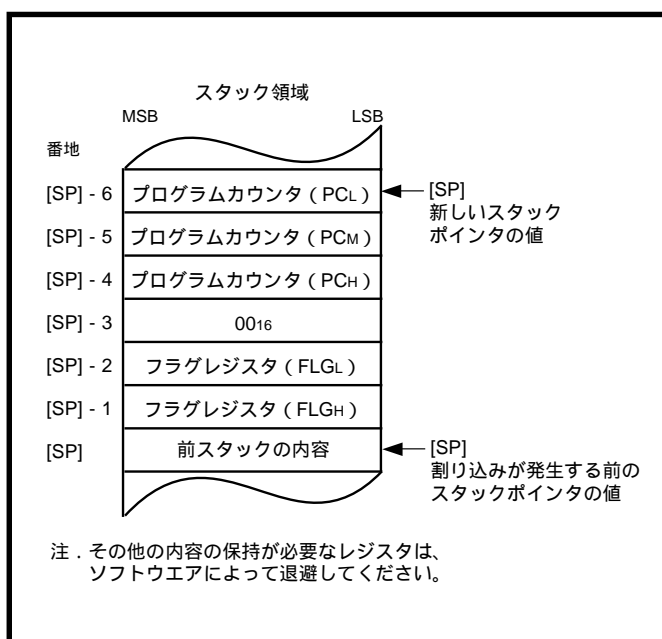


表7.4.2 ノンマスクブル割り込み要求受付時のプロセッサ割り込み優先レベル(IPL)の変化

割り込み	IPLの変化
リセット	レベル0(000 ₂)が設定される
NMI、監視タイマ	レベル7(111 ₂)が設定される
その他	変化しない

7.4.3 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタック領域に退避されていた割り込みシーケンス直前のプログラムカウンタ(PC)及びフラグレジスタ(FLG)の内容が自動的に復帰されます。高速割り込み(「7.6 高速割り込み」参照)の場合は、高速割り込みルーチンの最後でFREIT命令を実行すると、退避レジスタに退避されていた割り込みシーケンス直前のプログラムカウンタ(PC)及びフラグレジスタ(FLG)の内容が復帰されます。

その後、割り込み要求受付前に実行していたプログラムに戻り、中断されていた処理を続けます。

割り込みルーチン内でソフトウェアによって退避したレジスタ類は、REIT、FREIT命令実行前にPOPM命令などを使用して復帰してください。

レジスタバンクを切り替えた場合、REIT又はFREIT命令の実行で割り込みシーケンス直前のレジスタバンクに切り替わります。

7.4.4 多重割り込み

割り込みルーチンへ分岐した直後は、

割り込み許可フラグ(I)は“0”(割り込み禁止状態)
 受け付けられた割り込みの割り込み要求ビットは“0”
 プロセッサ割り込み優先レベル(IPL)=受け付けられた割り込みの割り込み優先レベル

になります。

したがって、IPLを変更しない限り、割り込みルーチン内で割り込み許可フラグ(I)を“1”にすることによって、実行中の割り込みより高い優先レベルを持つ割り込み要求を受け付けることができます。これが多重割り込みです(図7.4.6参照)。

なお、優先レベルが低いために受け付けられなかった割り込み要求は保持されます。また、REIT、FREIT命令を実行すると、割り込み要求受付前に実行していたルーチンの割り込み優先レベルがIPLへ復帰されますので、次に割り込み優先順位の判定が行われたとき、以下の状態であれば保持されていた割り込み要求が受け付けられます。

保持されていた割り込み要求の
 割り込み優先レベル > プロセッサ割り込み優先レベル
 (IPL)

注．すべての割り込みルーチン実行中に、ノンマスカブル割り込みの割り込み要求が発生した場合は、それらの割り込み要求はすぐに受け付けられます。

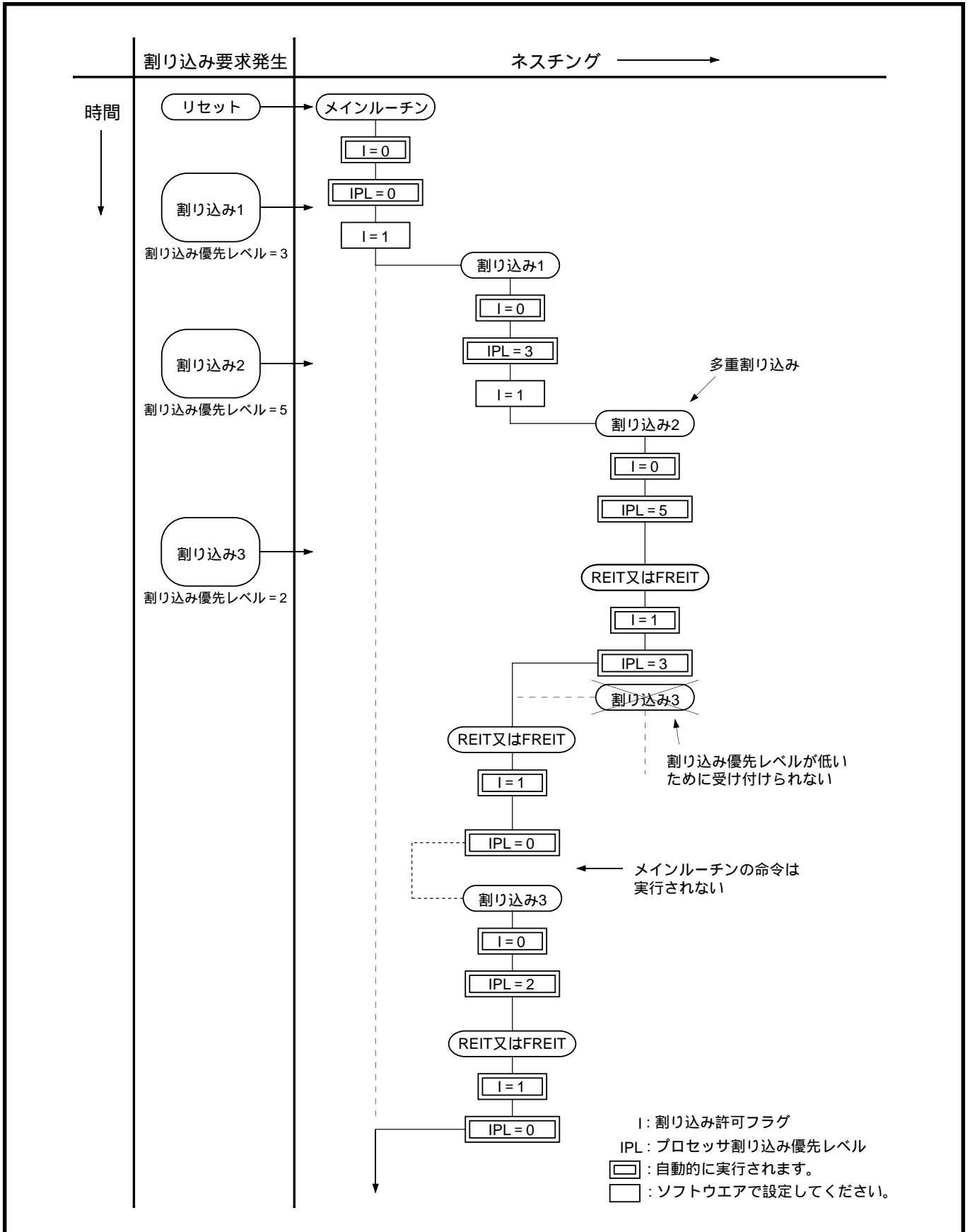


図7.4.6 多重割り込み

7.5 外部割り込み

外部割り込みには、 $\overline{\text{NMI}}$ 割り込み及び $\overline{\text{INT}}$ 割り込みがあります。

7.5.1 $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込み要求は、 $\overline{\text{NMI}}$ 端子の入力信号の立ち下がりが発生します。 $\overline{\text{NMI}}$ 割り込みはノンマスクブル割り込みのため、割り込み許可フラグ(1)の内容にかかわらず、割り込み要求が発生すると必ず受け付けられます。また、 $\overline{\text{NMI}}$ 割り込み実行中に、再度 $\overline{\text{NMI}}$ 割り込み要求が発生すると、その $\overline{\text{NMI}}$ 割り込みも受け付けられます(多重割り込み)。ノイズやチャタリングが $\overline{\text{NMI}}$ 端子に入力されると、何度も $\overline{\text{NMI}}$ 割り込み要求が発生する可能性があります。この場合、多重割り込みのネスタングが深くなり、スタック領域の増大により必要なデータを破壊する可能性もありますので注意してください。

$\overline{\text{NMI}}$ 読み出しビット(図7.5.1参照)を読み出すと $\overline{\text{NMI}}$ 端子の状態を読み込めます。また、RESET端子のレベルが“L”の期間及びリセット後、 $\overline{\text{NMI}}$ 端子はプルアップされます。したがって、外部にプルアップ抵抗を接続する必要がありません。

$\overline{\text{NMI}}$ 端子プルアップ選択ビット(図7.5.1参照)を“1”にすると、プルアップは解除されます。

外部割り込み入力制御レジスタ IPIN 【A2 ₁₆ 番地				b7 b6 b5 b4 b3 b2 b1 b0			
ビット	ビットシンボル	ビット名	機能	リセット時	R/W		
0	-	読み出し時の値は“0”		0	-		
1	IPIN1	キー入力割り込み端子プルアップ選択ビット	0: プルアップしない 1: プルアップする	0	RW		
2	IPIN2	キー入力割り込み端子選択ビット	b3 b2 00: $\overline{\text{KI}}_0 \sim \overline{\text{KI}}_3$ を選択 01: $\overline{\text{KI}}_0 \sim \overline{\text{KI}}_2$ を選択 10: $\overline{\text{KI}}_0, \overline{\text{KI}}_1$ を選択 11: $\overline{\text{KI}}_0$ を選択 (注)	0	RW		
3	IPIN3			0	RW		
4	-	読み出し時の値は“0”		0	-		
5	IPIN5	$\overline{\text{NMI}}$ 端子プルアップ選択ビット	0: プルアップする 1: プルアップしない	0	RW		
7, 6	-	読み出し時の値は“0”		0	-		

注: $\overline{\text{KI}}$ 端子を使用する場合は、共用となっているタイマAの出力端子を使用しないでください(「第9章 タイマA」参照)。

外部割り込み入力読み出しレジスタ IRKI 【A3 ₁₆ 番地				b7 b6 b5 b4 b3 b2 b1 b0			
ビット	ビットシンボル	ビット名	機能	リセット時	R/W		
0	IRKI0	$\overline{\text{KI}}_0$ 入力検出ビット	対応する $\overline{\text{KI}}$ 端子への立ち下がりエッジ入力を示す 0: 立ち下がりエッジ入力あり 1: 立ち下がりエッジ入力なし	不定	RW(注)		
1	IRKI1	$\overline{\text{KI}}_1$ 入力検出ビット		不定	RW(注)		
2	IRKI2	$\overline{\text{KI}}_2$ 入力検出ビット		不定	RW(注)		
3	IRKI3	$\overline{\text{KI}}_3$ 入力検出ビット		不定	RW(注)		
4	-	読み出し時の値は“0”		0	-		
5	IRNM0	$\overline{\text{NMI}}$ 読み出しビット	0: Lレベル 1: Hレベル	不定	RO		
7, 6	-	読み出し時の値は“0”		0	-		

注: “0”を書くど“1”になります。“1”を書いても変化しません。

図7.5.1 外部割り込み入力制御レジスタ、外部割り込み入力読み出しレジスタのレジスタ構成

7.5.2 INT_i割り込み

INT_i(i=0~4)割り込み要求は、INT_i端子の入力信号によって発生します。表7.5.1にINT_i割り込み要求発生要因を示します。

レベルセンス選択時は、INT_i端子が有効レベルの期間、割り込み要求ビットが“1”になり、割り込み要求が連続して発生します。

INT_i端子として使用する場合は、共用となっているポートの方向レジスタを“0”にしてください(図7.5.3参照)。また、共用となっているポートのポートレジスタの対応ビットを読み出すとINT_i端子の状態を読み込めます。

表7.5.1 INT_i割り込み要求発生要因

レベルセンス/エッジセンス 切り替えビット(注)	極性切り替えビット (注)	INT _i 割り込み極性 選択ビット(注)	割り込み要求発生要因 (INT _i 端子の入力信号が以下の状態のとき割り込み要求が発生)
0	0	0	立ち下がり<エッジセンス>
0	1	0	立ち上がり<エッジセンス>
0	0	1	立ち上がり/立ち下がり<エッジセンス>
1	1	0	“H”レベル<レベルセンス>
1	0	0	“L”レベル<レベルセンス>

レベルセンス/エッジセンス切り替えビット、極性切り替えビット：図7.3.1参照

INT_i割り込み極性選択ビット：図7.5.2参照

注：これらのビットは、上表以外の組み合わせを設定しないでください。

INT_i割り込みは、常にINT_i端子の状態を検出して割り込み要求を発生しますので、INT_i割り込みを使用しない場合は、INT_i割り込みの優先レベルをレベル0にしてください。

外部割り込み要因選択レジスタ IFSR 【A7 ₁₆ 番地】				b7 b6 b5 b4 b3 b2 b1 b0						
				0	0	0				
ビット	ビット シンボル	ビット名	機能	リセット時		R/W				
0	IFSR0	INT ₀ 割り込み極性選択ビット	0：片エッジ 1：両エッジ	0		RW				
1	IFSR1	INT ₁ 割り込み極性選択ビット		0		RW				
2	IFSR2	INT ₂ 割り込み極性選択ビット		0		RW				
3	IFSR3	INT ₃ 割り込み極性選択ビット		0		RW				
4	IFSR4	INT ₄ 割り込み極性選択ビット		0		RW				
7~5	-	“0”に固定してください		0		RW				

図7.5.2 外部割り込み要因選択レジスタのレジスタ構成

ポートP8方向レジスタ PD8 【1A6 ₁₆ 番地】					b7 b6 b5 b4 b3 b2 b1 b0							
ビット	ビットシンボル	対応する端子名	機能	リセット時	R/W							
0	PD8_0	TA4 _{OUT} 端子	0：入力モード	0	RW							
1	PD8_1	TA4 _{IN} 端子	1：出力モード	0	RW							
2	PD8_2	INT ₀ 端子	外部割り込みの入力端子として使用する場合は、対応するビットを“0”にしてください。	0	RW							
3	PD8_3	INT ₁ 端子		0	RW							
4	PD8_4	INT ₂ 端子		0	RW							
7~5	-	何も配置されていない		不定	-							

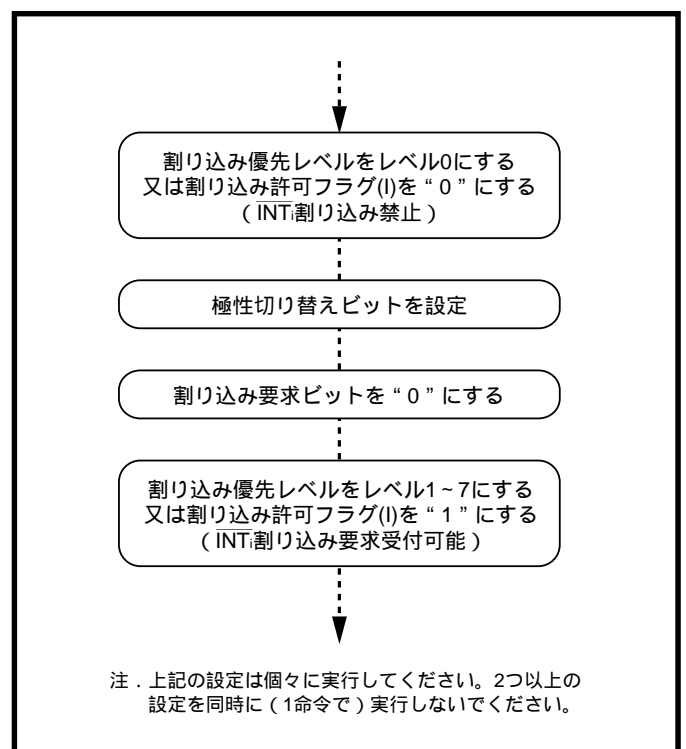
ポートP9方向レジスタ PD9 【1A7 ₁₆ 番地】					b7 b6 b5 b4 b3 b2 b1 b0							
ビット	ビットシンボル	対応する端子名	機能	リセット時	R/W							
0	PD9_0	TB0 _{IN} 端子	0：入力モード	0	RW							
1	PD9_1	TB1 _{IN} 端子	1：出力モード	0	RW							
2	PD9_2	TB2 _{IN} 端子	外部割り込みの入力端子として使用する場合は、対応するビットを“0”にしてください。	0	RW							
3	PD9_3	DA ₀ 端子		0	RW							
4	PD9_4	DA ₁ 端子		0	RW							
5	PD9_5	DA ₂ 端子		0	RW							
6	PD9_6	INT ₃ 端子		0	RW							
7	PD9_7	INT ₄ 端子(AD _{TRG} 端子)		0	RW							

注.()内は共用となっている他の内蔵周辺装置の入出力端子を示します。

図7.5.3 ポートP8方向レジスタ及びポートP9方向レジスタと外部割り込みの入力端子の対応

INT_i割り込み要求発生要因の切り替え

INT_i端子の極性を切り替えるときに、割り込み要求ビットが“1”になることがあります。切り替えを行った後に、割り込み要求ビットを“0”にしてください。図7.5.4にINT_i端子の極性切り替え手順例を示します。

図7.5.4 INT_i端子の極性切り替え手順例

7.6 高速割り込み

高速割り込みは、割り込みシーケンスを5サイクルで、復帰を3サイクルで実行できる割り込みです。

高速割り込みでは割り込みを受け付けると、フラグレジスタ(FLG)をフラグ退避レジスタ(SVF)に、プログラムカウンタ(PC)をPC退避レジスタ(SVP)にそれぞれ退避し、ベクタレジスタ(VCT)で示される番地からプログラムを実行します。

高速割り込みルーチンからの復帰はFREIT命令を使用してください。

高速割り込み選択ビット(図7.6.1参照)を“1”にすると、割り込み優先レベルが7に設定された割り込みが高速割り込みとなります。

高速割り込みに設定できる割り込みは1つだけです。高速割り込みを使用する場合は、複数の割り込みの優先レベルを7にしないでください。

高速割り込みに設定する割り込みルーチンの先頭番地は、ベクタレジスタ(VCT)に設定してください。

高速割り込みを使用する場合、DMA2、DMA3は使用できません。

復帰用優先順位レジスタ RLVL 【9F ₁₆ 番地】				b7 b6 b5 b4 b3 b2 b1 b0			
ビット	ビット シンボル	ビット名	機 能	リセット時	R/W		
0	RLVL0	ストップ/ウエイト復帰用 割り込み優先レベル選択ビット	b2b1b0 000: レベル0 001: レベル1 010: レベル2 011: レベル3 100: レベル4 101: レベル5 110: レベル6 111: レベル7 (注)	0	RW		
1	RLVL1		0	RW			
2	RLVL2		0	RW			
3	FSIT		高速割り込み選択ビット	0: 割り込み優先レベル7は通常割り込みに使用 1: 割り込み優先レベル7は高速割り込みに使用	0	RW	
7~4	-	何も配置されていない		不定	-		

注．プロセッサ割り込み優先レベル(IPL)にも同じ値を設定してください。

図7.6.1 復帰用優先順位レジスタのレジスタ構成

【割り込み使用上の注意】

1. マスカブル割り込みの割り込み要求ビットは、割り込みシーケンスの中でCPUが 0_{16} 番地(高速割り込みの場合は 2_{16} 番地)を読み出すことで、“0”になります。
ただし、ソフトウェアにより 0_{16} 番地、又は 2_{16} 番地を読み出しても、割り込み要求ビットは“0”になりません。
2. リセット直後、スタックポインタの値は、“ 000000_{16} ”に初期化されます。そのため、スタックポインタに値を設定する前に割り込みが受け付けられると、プログラムが暴走します。したがって、割り込みを許可する前に、必ずスタックポインタに値を設定してください。
特にNMI割り込みなどのノンマスカブル割り込みを使用する場合は、プログラムの先頭でスタックポインタに値を設定してください。ノンマスカブル割り込みは、リセット後、1命令を実行した直後から、受付可能状態になります。
なお、スタックポインタには偶数アドレスを設定してください。偶数を設定した方が実行効率が良くなります。
3. 割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込みが発生した場合、命令によっては割り込み要求ビットがセットされない場合があります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。
AND、OR、BCLR、BSET

Memo

第 8 章

キー入力割り込み

- 8.1 概 要
- 8.2 ブロック図
- 8.3 関連レジスタ
- 8.4 設定方法

キー入力割り込みは4本の端子のいずれかの入力信号の立ち下がりで、割り込み要求を発生する機能です。ストップモード、又はウエイトモード解除時、この機能を利用するとキーオンウエイクアップを実現できます。ストップモード、ウエイトモードについては「第16章 ストップモード、ウエイトモード」を参照してください。

8.1 概要

キー入力割り込み要求は、 $\overline{KI}(i=0\sim 3)$ 端子のいずれかへの入力信号の立ち下がりで発生します。したがって、外部に図8.1.1に示すようなキーマトリクスを構成すると、キーを押すだけで割り込み要求を発生させることができます。

\overline{KI} 端子のうち何本をキー入力割り込み端子として使用するかを、ソフトウェアで選択できます。また、キー入力割り込み端子として選択した端子は、ソフトウェアでプルアップできます。

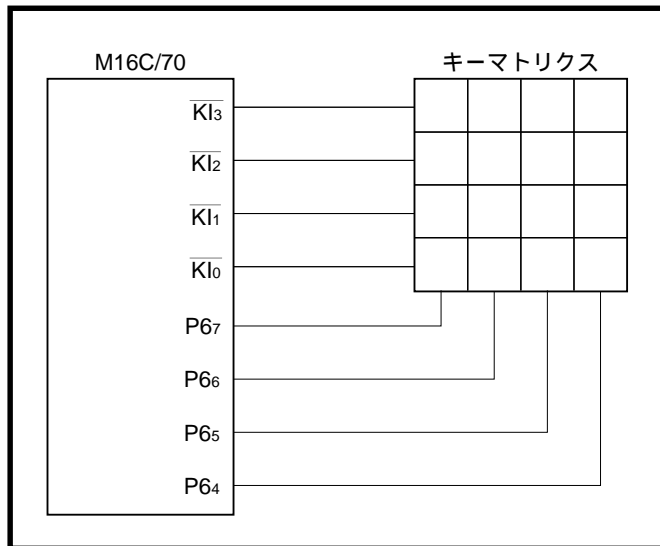


図8.1.1 キー入力割り込み機能を使用するキーマトリクス例

8.2 ブロック図

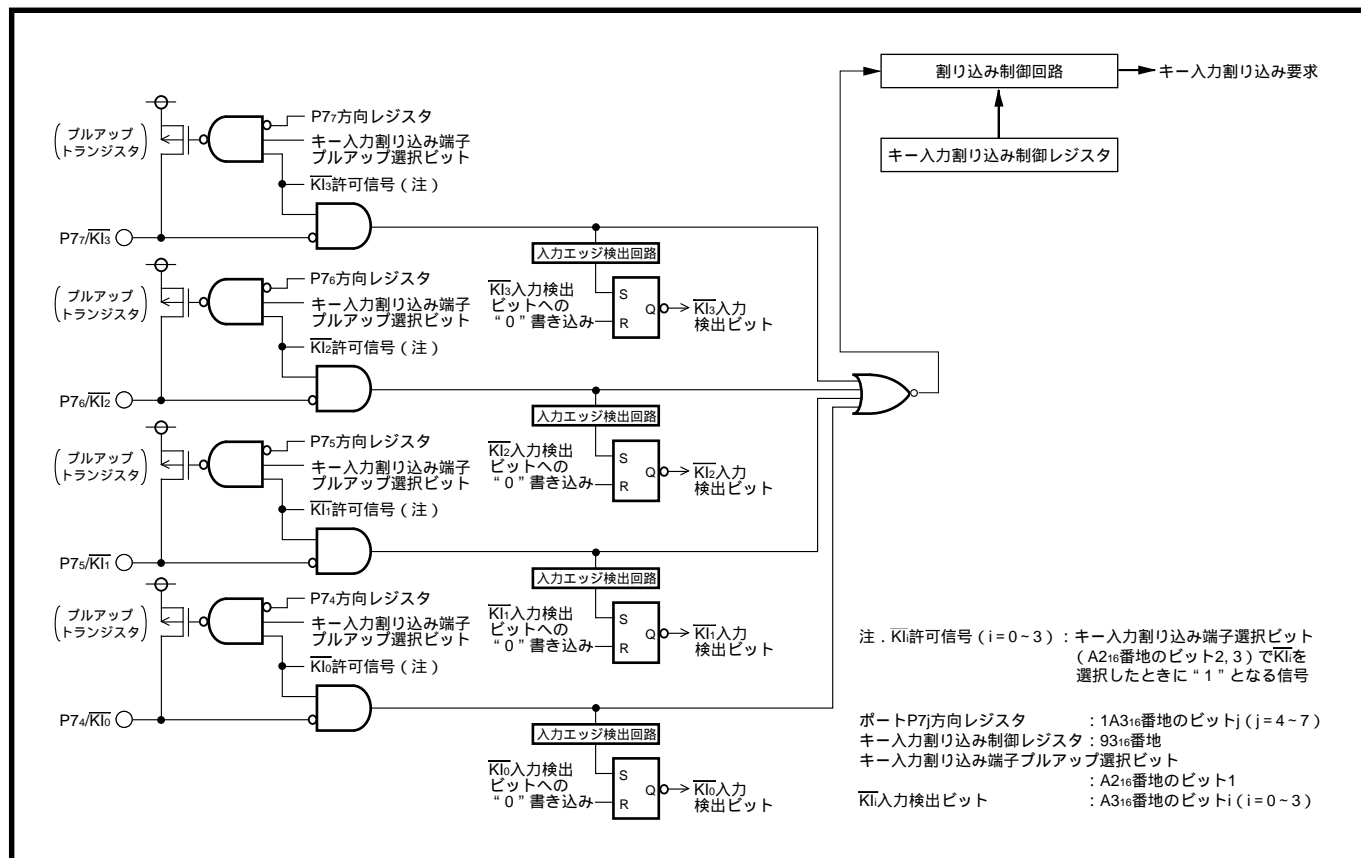


図8.2.1 キー入力割り込みブロック図

8.3 関連レジスタ

外部割り込み入力制御レジスタ IPIN 【A2 ₁₆ 番地】					b7	b6	b5	b4	b3	b2	b1	b0
ビット	ビット シンボル	ビット名	機 能	リセット時	R/W							
0	-	読み出し時の値は“0”		0	-							
1	IPIN1	キー入力割り込み端子 プルアップ選択ビット	0: プルアップしない 1: プルアップする	0	RW							
2	IPIN2	キー入力割り込み端子選択 ビット	b ₃ b ₂ 00: $\overline{KI_0} \sim \overline{KI_3}$ を選択 01: $\overline{KI_0} \sim \overline{KI_2}$ を選択 10: $\overline{KI_0}$, $\overline{KI_1}$ を選択 11: $\overline{KI_0}$ を選択 (注)	0	RW							
3	IPIN3			0	RW							
4	-	読み出し時の値は“0”		0	-							
5	IPIN5	NMI端子プルアップ選択ビット	0: プルアップする 1: プルアップしない	0	RW							
7、6	-	読み出し時の値は“0”		0	-							

注: $\overline{KI_i}$ 端子を使用する場合は、共用となっているタイマAの出力端子を使用しないでください(「第9章 タイマA」参照)。

図8.3.1 外部割り込み入力制御レジスタのレジスタ構成

(1) キー入力割り込み端子プルアップ選択ビット(ビット1)

【M30700FJLGPの場合】

このビットを“1”にすると、P7₄/ $\overline{KI_0}$ /TA2_{OUT} ~ P7₇/ $\overline{KI_3}$ /TA3_{IN}がプルアップされます。キーマトリクスを構成する際、これらのビットを“1”にすると、外部にプルアップ抵抗を接続する必要がありません。

ただし、キー入力割り込み端子として選択していない場合も、4端子すべてがプルアップされます。4端子のうち、プルアップが不要な端子がある場合は、このビットを“0”にして、必要に応じて基板上でプルアップしてください。

【M30700FKLGPの場合】

このビットを“1”にすると、キー入力割り込み端子として選択された $\overline{KI_i}$ 端子がプルアップされます。キーマトリクスを構成する際、これらのビットを“1”にして $\overline{KI_i}$ 端子をプルアップすると、外部にプルアップ抵抗を接続する必要がありません。

なお、プログラマブル入出力ポートとして機能している場合は、このビットの内容にかかわらず、プルアップされません。

(2) キー入力割り込み端子選択ビット(ビット2、3)

$\overline{KI_i}$ 端子のうち何本をキー入力割り込み端子として使用するかを選択するビットです。キー入力割り込み端子として使用しない端子は、プログラマブル入出力ポートとして使用できます。

$\overline{KI_i}$ 端子に入力する信号には、 $f(X_{IN})$ に関係なく、250ns以上の“L”レベル幅が必要です。

外部割り込み入力読み出しレジスタ IRKI 【A3₁₆番地】

ビット	ビット シンボル	ビット名	機 能	リセット時	R/W
0	IRKI0	KI ₀ 入力検出ビット	対応するKI _i 端子への立ち下がりエッジ入力を示す 0: 立ち下がりエッジ入力あり 1: 立ち下がりエッジ入力なし	不定	RW(注)
1	IRKI1	KI ₁ 入力検出ビット		不定	RW(注)
2	IRKI2	KI ₂ 入力検出ビット		不定	RW(注)
3	IRKI3	KI ₃ 入力検出ビット		不定	RW(注)
4	-	読み出し時の値は“0”		0	-
5	IRNM0	NMI読み出しビット	0: Lレベル 1: Hレベル	不定	RO
7、6	-	読み出し時の値は“0”		0	-

注: “0”を書くど“1”になります。“1”を書いても変化しません。

図8.3.2 外部割り込み入力読み出しレジスタのレジスタ構成

(1) KI_i入力検出ビット(ビット0~3)

図8.2.1に示すように、キー入力割り込み機能はKI_i端子ごとに入力エッジ検出回路を持っています。KI_i端子への入力信号の立ち下がり、対応するKI_i入力検出ビット(図8.2.3参照)が“0”になります。これらのビットの内容を読み出すことにより、どの端子に入力があったかを判断できます。これらのビットを“1”にする場合は、“0”を書き込んでください。

キー入力割り込み制御レジスタ KUPIC 【93₁₆番地】

ビット	ビット シンボル	ビット名	機 能	リセット時	R/W
0	ILVL0	割り込み優先レベル選択ビット	b2b1b0: 000: レベル0(割り込み禁止) 001: レベル1 010: レベル2 011: レベル3 100: レベル4 101: レベル5 110: レベル6 111: レベル7	0	RW
1	ILVL1			0	RW
2	ILVL2			0	RW
3	IR			割り込み要求ビット (注)	0: 割り込み要求なし 1: 割り込み要求あり
7~4	-	何も配置されていない		不定	-

注: このビットへの書き込みにはMOV命令を使用してください。

図8.3.3 キー入力割り込み制御レジスタのレジスタ構成

(1) 割り込み優先レベル選択ビット(ビット0~2)、割り込み要求ビット(ビット3)

各ビットの詳細については、「第7章 割り込み」を参照してください。

ポートP7方向レジスタ PD7 【1A3₁₆番地】

b7	b6	b5	b4	b3	b2	b1	b0

ビット	ビット シンボル	対応する端子名	機 能	リセット時	R/W
0	PD7_0	TA0 _{OUT} 端子	キー入力割り込み端子として使用する場合は、 対応するビットを“0”にしてください。	0	RW
1	PD7_1	TA0 _{IN} 端子		0	RW
2	PD7_2	TA1 _{OUT} 端子		0	RW
3	PD7_3	TA1 _{IN} 端子		0	RW
4	PD7_4	KI ₀ 端子(TA2 _{OUT} 端子)		0	RW
5	PD7_5	KI ₁ 端子(TA2 _{IN} 端子)		0	RW
6	PD7_6	KI ₂ 端子(TA3 _{OUT} 端子)		0	RW
7	PD7_7	KI ₃ 端子(TA3 _{IN} 端子)		0	RW

注.()内は、共用となっている他の内蔵周辺装置の入出力端子を示します。

図8.3.4 ポートP7方向レジスタとキー入力割り込み端子の対応

(1)ポートP7方向レジスタ

キー入力割り込み端子はポートP7と共用です。これらの端子をキー入力割り込み端子として使用する場合は、ポートP7方向レジスタの対応するビットを“0”にして入力モードに設定してください。

キー入力割り込み選択時、ポートP7レジスタ(1A1₁₆番地)のビット4~7を読み出すと、対応するKI_i端子の状態を読むことができます。

8.4 設定方法

図8.4.1にキー入力割り込み関連レジスタの初期設定例を示します。

なお、割り込みを使用する場合は、割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

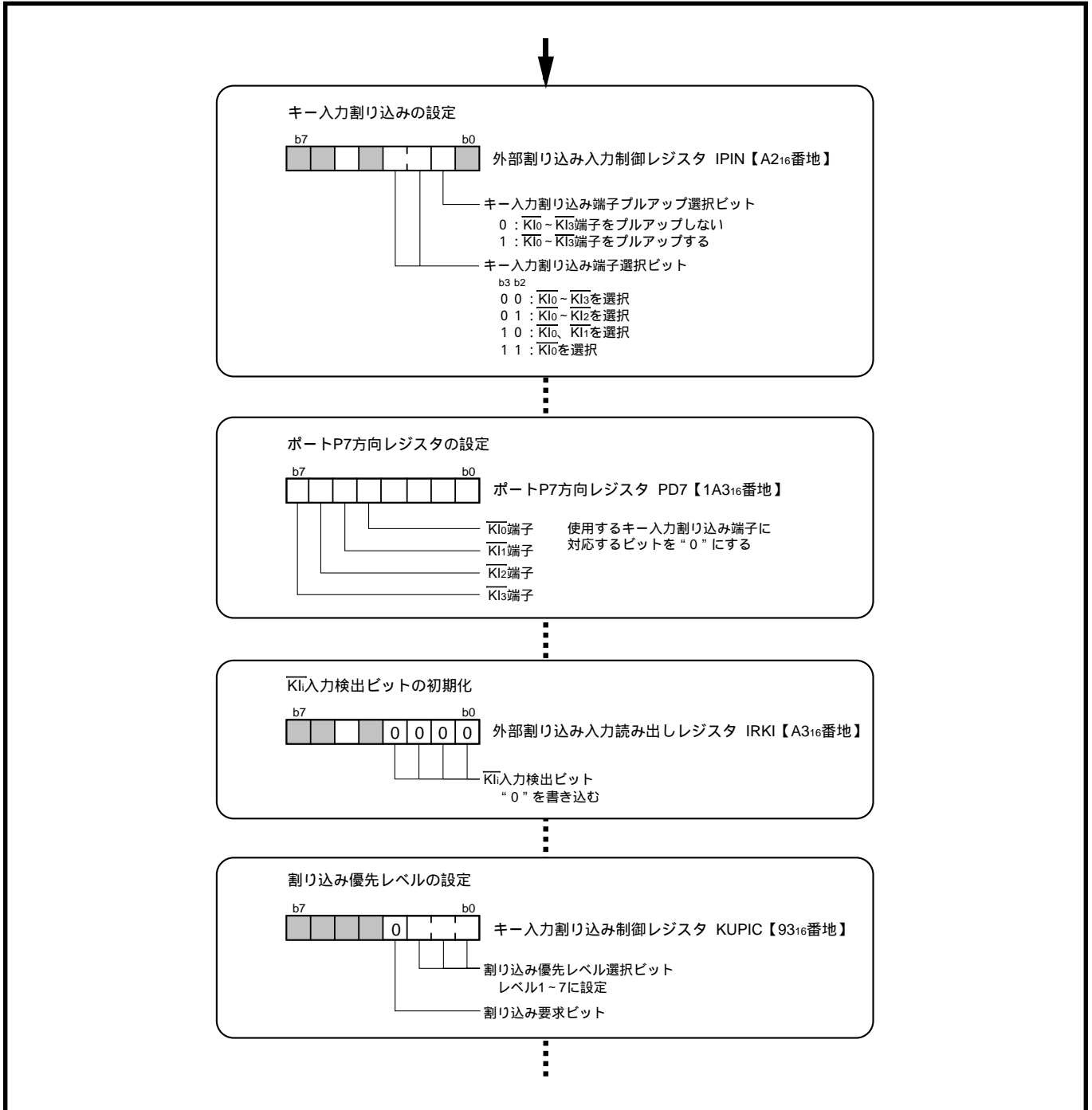


図8.4.1 キー入力割り込み関連レジスタの初期設定例

第 9 章 タイマA

9.1 概 要

9.2 ブロック図

9.3 関連レジスタ

9.4 タイマモード

【タイマモード使用上の注意】

9.5 イベントカウンタモード

【イベントカウンタモード使用上の注意】

9.6 ワンショットパルスモード

【ワンショットパルスモード使用上の注意】

9.7 パルス幅変調(PWM)モード

【パルス幅変調(PWM)モード使用上の注意】

9.1 概要

タイマAは16ビットのリロード機能付きカウンタ5本(タイマA0~A4)で構成されています。タイマA0~A4はそれぞれ独立して動作します。

タイマA i ($i=0\sim 4$)には以下に示す4つの動作モードがあります。イベントカウンタモードを除いて、タイマA0~A4は同一の機能を持ちます。

(1)タイマモード

内部で生成されたカウントソースをカウントするモードです。このモードでは、次の機能を使用できます。

- ・ゲート機能
- ・パルス出力機能

(2)イベントカウンタモード

外部信号をカウントするモードです。このモードでは、次の機能を使用できます。

- ・パルス出力機能
- ・二相パルス信号処理機能(タイマA2、A3、A4)

(3)ワンショットパルスモード

任意のパルス幅のパルスを1回出力するモードです。

(4)パルス幅変調(PWM)モード

任意のパルス幅のパルスを連続して出力するモードです。このモードでは、カウンタが以下に示すいずれかのパルス幅変調器として動作します。

- ・16ビットパルス幅変調器
- ・8ビットパルス幅変調器

9.2 ブロック図

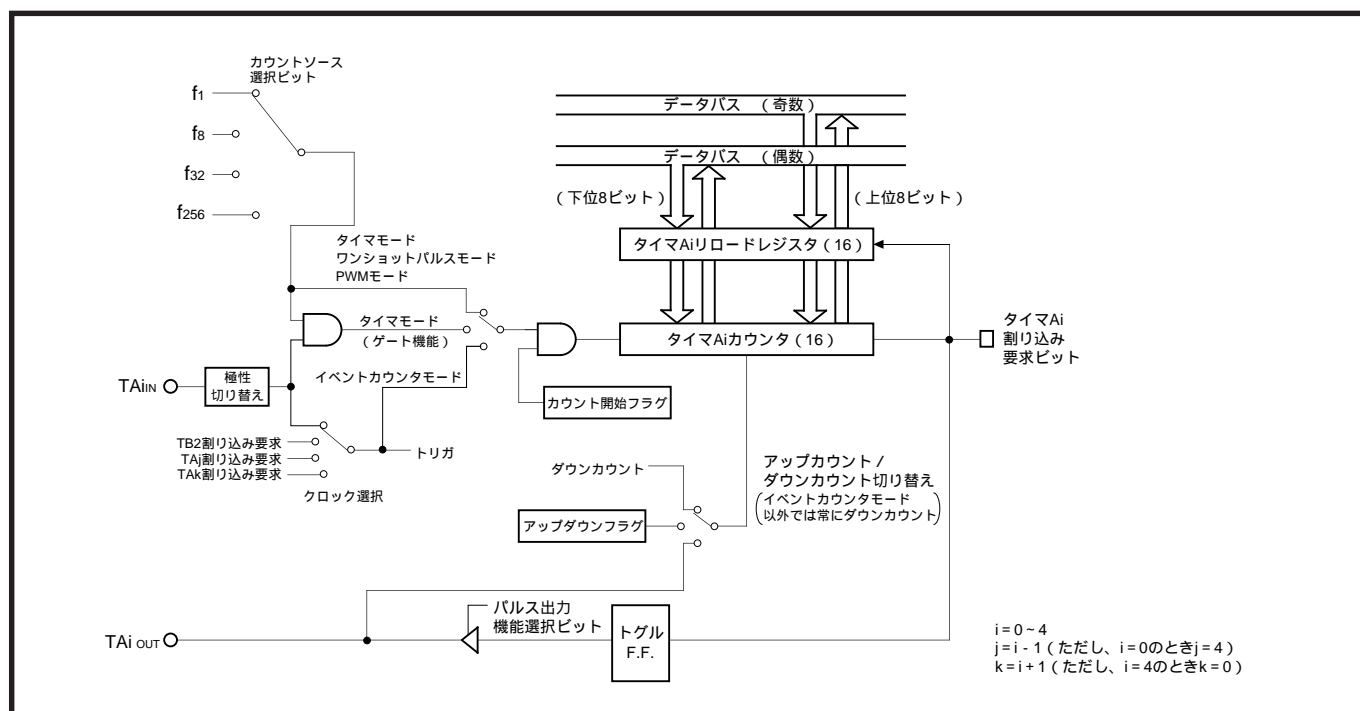


図9.2.1 タイマAブロック図

9.3 関連レジスタ

タイマAiレジスタ(i=0~4) TAI		機能		リセット時	R/W
【127 ₁₆ , 126 ₁₆ 番地、129 ₁₆ , 128 ₁₆ 番地、12B ₁₆ , 12A ₁₆ 番地、12D ₁₆ , 12C ₁₆ 番地、12F ₁₆ , 12E ₁₆ 番地】				不定	(注)
ビット	ビットシンボル	機能		リセット時	R/W
15~0	TAI	動作モードによって機能が異なる		不定	(注)

注. タイマモード及びイベントカウンタモードではRW、ワンショットパルスモード及びパルス幅変調モードではWOになります。

タイマAiモードレジスタ(i=0~4) TAI _{MR} 【136 ₁₆ ~13A ₁₆ 番地】		機能		リセット時	R/W
動作モードによって機能が異なる				0	RW
0	TMODO	動作モード選択ビット		0	RW
1	TMOD1	動作モードによって機能が異なる		0	RW
2	MR0	動作モードによって機能が異なる		0	RW
3	MR1	動作モードによって機能が異なる		0	RW
4	MR2	動作モードによって機能が異なる		0	RW
5	MR3	動作モードによって機能が異なる		0	RW
6	TCK0	動作モードによって機能が異なる		0	RW
7	TCK1	動作モードによって機能が異なる		0	RW

図9.3.1 タイマAiレジスタ及びタイマAiモードレジスタのレジスタ構成

(1)タイマAiレジスタ(i=0~4)、タイマAiモードレジスタ(i=0~4)

動作モードによって機能が異なります。各動作モードの節を参照してください。

タイマAi割り込み制御レジスタ(i=0~4) TAI _{IC}		機能		リセット時	R/W
【6C ₁₆ , 8C ₁₆ , 6E ₁₆ , 8E ₁₆ , 70 ₁₆ 番地】				不定	-
ビット	ビットシンボル	ビット名	機能	リセット時	R/W
0	ILVL0	割り込み優先レベル選択ビット	b2b1b0 000: レベルα(割り込み禁止) 001: レベル1 010: レベル2 011: レベル3 100: レベル4 101: レベル5 110: レベル6 111: レベル7	0	RW
1	ILVL1	割り込み優先レベル選択ビット	b2b1b0 000: レベルα(割り込み禁止) 001: レベル1 010: レベル2 011: レベル3 100: レベル4 101: レベル5 110: レベル6 111: レベル7	0	RW
2	ILVL2	割り込み優先レベル選択ビット	b2b1b0 000: レベルα(割り込み禁止) 001: レベル1 010: レベル2 011: レベル3 100: レベル4 101: レベル5 110: レベル6 111: レベル7	0	RW
3	IR	割り込み要求ビット(注)	0: 割り込み要求なし 1: 割り込み要求あり	不定	RW
7~4	-	何も配置されていない		不定	-

注. このビットへの書き込みにはMOV命令を使用してください。

図9.3.2 タイマAi割り込み制御レジスタのレジスタ構成

(1)割り込み優先レベル選択ビット(ビット0~2)、割り込み要求ビット(ビット3)

各ビットの詳細については、「第7章 割り込み」を参照してください。

カウント開始フラグ TABSR 【120 ₁₆ 番地】				b7 b6 b5 b4 b3 b2 b1 b0			
				[][][][][][][][]			
ビット	ビットシンボル	ビット名	機能	リセット時	R/W		
0	TA0S	タイマA0カウント開始フラグ	0 : カウント停止 1 : カウント開始	0	RW		
1	TA1S	タイマA1カウント開始フラグ		0	RW		
2	TA2S	タイマA2カウント開始フラグ		0	RW		
3	TA3S	タイマA3カウント開始フラグ		0	RW		
4	TA4S	タイマA4カウント開始フラグ		0	RW		
5	TB0S	タイマB0カウント開始フラグ		0	RW		
6	TB1S	タイマB1カウント開始フラグ		0	RW		
7	TB2S	タイマB2カウント開始フラグ		0	RW		

図9.3.3 カウント開始フラグのレジスタ構成

(1)タイマA0～A4カウント開始フラグ(ビット0～4)

カウントを開始、又は停止させるためのフラグです。

ワンショット開始フラグ ONSF 【122 ₁₆ 番地】				b7 b6 b5 b4 b3 b2 b1 b0			
				[][] 0 [][][][]			
ビット	ビットシンボル	ビット名	機能	リセット時	R/W		
0	TA0OS	タイマA0ワンショット開始フラグ	1 : ワンショットパルス出力開始 (内部トリガ選択時有効) 読み出し時の値は“0”	0	RW		
1	TA1OS	タイマA1ワンショット開始フラグ		0	RW		
2	TA2OS	タイマA2ワンショット開始フラグ		0	RW		
3	TA3OS	タイマA3ワンショット開始フラグ		0	RW		
4	TA4OS	タイマA4ワンショット開始フラグ		0	RW		
5	-	“0”に固定してください		0	RW		
6	TA0TGL	タイマA0イベント/トリガ 選択ビット	b7 b6 00 : TA0 _{IN} 端子の入力信号 01 : タイマB2割り込み要求 10 : タイマA4割り込み要求 11 : タイマA1割り込み要求	0	RW		
7	TA0TGH			0	RW		

図9.3.4 ワンショット開始フラグのレジスタ構成

(1)タイマA0～A4ワンショット開始フラグ(ビット0～4)

ワンショットパルスモード時、これらのビットを“1”にすると対応するタイマA_iがカウント許可状態になります。その後、選択したトリガが発生するとカウントを開始します。

(2)タイマA0イベント/トリガ選択ビット(ビット6、7)

イベントカウンタモード時のカウントソース、ワンショットパルスモード時のトリガを選択するビットです。

トリガ選択レジスタ TRGSR 【123 ₁₆ 番地】				b7 b6 b5 b4 b3 b2 b1 b0			
ビット	ビット シンボル	ビット名	機 能	リセット時	R/W		
0	TA1TGL	タイマA1イベント/トリガ 選択ビット	b1 b0 00: TA1 _{IN} 端子の入力信号 01: タイマB2割り込み要求 10: タイマA0割り込み要求 11: タイマA2割り込み要求	0	RW		
1	TA1TGH			0	RW		
2	TA2TGL	タイマA2イベント/トリガ 選択ビット	b3 b2 00: TA2 _{IN} 端子の入力信号 01: タイマB2割り込み要求 10: タイマA1割り込み要求 11: タイマA3割り込み要求	0	RW		
3	TA2TGH			0	RW		
4	TA3TGL	タイマA3イベント/トリガ 選択ビット	b5 b4 00: TA3 _{IN} 端子の入力信号 01: タイマB2割り込み要求 10: タイマA2割り込み要求 11: タイマA4割り込み要求	0	RW		
5	TA3TGH			0	RW		
6	TA4TGL	タイマA4イベント/トリガ 選択ビット	b7 b6 00: TA4 _{IN} 端子の入力信号 01: タイマB2割り込み要求 10: タイマA3割り込み要求 11: タイマA0割り込み要求	0	RW		
7	TA4TGH			0	RW		

図9.3.5 トリガ選択レジスタのレジスタ構成

(1)タイマA1~A4イベント/トリガ選択ビット(ビット0~7)

イベントカウンタモード時のカウントソース、ワンショットパルスモード時のトリガを選択するビットです。

アップダウンフラグ UDF 【124 ₁₆ 番地】				b7 b6 b5 b4 b3 b2 b1 b0			
ビット	ビット シンボル	ビット名	機 能	リセット時	R/W		
0	TA0UD	タイマA0アップダウンフラグ	0: ダウンカウント	0	RW		
1	TA1UD	タイマA1アップダウンフラグ	1: アップカウント	0	RW		
2	TA2UD	タイマA2アップダウンフラグ	アップ/ダウン切り替え要因にアップダウンフラグ の内容を選択すると有効になる	0	RW		
3	TA3UD	タイマA3アップダウンフラグ		0	RW		
4	TA4UD	タイマA4アップダウンフラグ		0	RW		
5	TA2P	タイマA2二相パルス信号 処理機能選択ビット (注1)		0: 二相パルス信号処理機能禁止 1: 二相パルス信号処理機能許可	不定	WO	
6	TA3P	タイマA3二相パルス信号 処理機能選択ビット (注1)	読み出し時の値は不定	不定	WO		
7	TA4P	タイマA4二相パルス信号 処理機能選択ビット (注1)		不定	WO		

注1. 二相パルス信号処理機能を使用しない場合は"0"にしてください。
2. このレジスタへの書き込みにはMOV命令を使用してください。

図9.3.6 アップダウンフラグのレジスタ構成

(1)タイマA0~A4アップダウンフラグ(ビット0~4)

イベントカウンタモード時、カウントソースのアップ/ダウンカウントを選択するビットです。

(2)タイマA2~A4二相パルス信号処理機能選択ビット(ビット5~7)

イベントカウンタモード時、二相パルス信号処理機能を選択するビットです。

ポートP7方向レジスタ PD7 【1A3 ₁₆ 番地】					b7	b6	b5	b4	b3	b2	b1	b0
ビット	ビットシンボル	対応する端子名	機能	リセット時	R/W							
0	PD7_0	TA0 _{out} 端子	0：入力モード 1：出力モード タイマAiの入力端子として使用する場合は、対応するビットを'0'にしてください。タイマAiの出力端子として使用する場合は、方向レジスタの内容にかかわらず、強制的にタイマAiの出力端子になります。	0	RW							
1	PD7_1	TA0 _{in} 端子		0	RW							
2	PD7_2	TA1 _{out} 端子		0	RW							
3	PD7_3	TA1 _{in} 端子		0	RW							
4	PD7_4	TA2 _{out} 端子(KI ₀ 端子)		0	RW							
5	PD7_5	TA2 _{in} 端子(KI ₁ 端子)		0	RW							
6	PD7_6	TA3 _{out} 端子(KI ₂ 端子)		0	RW							
7	PD7_7	TA3 _{in} 端子(KI ₃ 端子)		0	RW							
注.()内は、共用となっている他の内蔵周辺装置の入出力端子を示します。												
ポートP8方向レジスタ PD8 【1A6 ₁₆ 番地】					b7	b6	b5	b4	b3	b2	b1	b0
ビット	ビットシンボル	対応する端子名	機能	リセット時	R/W							
0	PD8_0	TA4 _{out} 端子	0：入力モード 1：出力モード タイマAiの入力端子として使用する場合は、対応するビットを'0'にしてください。タイマAiの出力端子として使用する場合は、方向レジスタの内容にかかわらず、強制的にタイマAiの出力端子になります。	0	RW							
1	PD8_1	TA4 _{in} 端子		0	RW							
2	PD8_2	INT ₀ 端子		0	RW							
3	PD8_3	INT ₁ 端子		0	RW							
4	PD8_4	INT ₂ 端子		0	RW							
7~5	-	何も配置されていない		不定	-							

図9.3.7 ポートP7方向レジスタ及びポートP8方向レジスタとタイマAiの入出力端子の対応

(1)ポートP7方向レジスタ(ビット0~7)、ポートP8方向レジスタ(ビット0、1)

タイマA0~A3の入出力端子はポートP7、タイマA4の入出力端子はポートP8と共用です。これらの端子をタイマAiの入力端子として使用する場合は、ポートP7方向レジスタ、ポートP8方向レジスタの対応するビットを“0”にして入力モードに設定してください。タイマAiの出力端子として使用する場合は、方向レジスタの内容にかかわらず、強制的にタイマAiの出力端子になります。

9.4 タイマモード

内部で生成されたカウントソースをカウントするモードです。

表9.4.1 タイマモードの仕様

項目	仕様
カウントソース f_i	f_1 、 f_8 、 f_{32} 、又は f_{256}
カウント動作	ダウンカウント アンダフロー時はリロードレジスタの内容をリロードしてカウントを継続
分周比	$\frac{1}{(n+1)}$ n : タイマA i レジスタ設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TA i_{IN} 端子の機能	プログラマブル入出力ポート、又はゲート入力
TA i_{OUT} 端子の機能	プログラマブル入出力ポート、又はパルス出力
タイマの読み出し	タイマA i レジスタを読み出すと、カウンタの値が読み出される
タイマの書き込み	カウント停止中 タイマA i レジスタに書き込むと、リロードレジスタ及びカウンタの両方に書き込まれる カウント中 タイマA i レジスタに書き込むと、リロードレジスタにだけ書き込まれる (カウンタには次のリロード時に転送される)
その他選択機能	パルス出力機能 カウンタがアンダフローするごとに極性の反転する信号をTA i_{OUT} 端子から出力できる ゲート機能 TA i_{IN} 端子の入力信号によって、カウントの開始、停止が制御できる

$i = 0 \sim 4$

9.4.1 タイマモード時のタイマAiレジスタ及びタイマAiモードレジスタ

タイマAiレジスタ(i=0~4) TAI				b15	b0
【127 ₁₆ , 126 ₁₆ 番地、129 ₁₆ , 128 ₁₆ 番地、12B ₁₆ , 12A ₁₆ 番地、12D ₁₆ , 12C ₁₆ 番地、12F ₁₆ , 12E ₁₆ 番地】					
ビット	ビットシンボル	機能	リセット時	R/W	
15~0	TAi	設定値をr(n=0000 ₁₆ ~FFFF ₁₆)とすると、カウンタはカウントソースをn+1分周する読み出し時はカウンタの値を読み出す	不定		RW

タイマAiモードレジスタ(i=0~4) TAI _i MR 【136 ₁₆ ~13A ₁₆ 番地】				b7	b6	b5	b4	b3	b2	b1	b0
						0				0	0
ビット	ビットシンボル	ビット名	機能	リセット時	R/W						
0	TMOD0	動作モード選択ビット	b1 b0 00: タイマモード	0	RW						
1	TMOD1			0	RW						
2	MR0	パルス出力機能選択ビット	0: パルス出力禁止(TA _i OUT端子はプログラマブル入出力ポートとして機能) 1: パルス出力許可(TA _i OUT端子はパルス出力端子として機能)	0	RW						
3	MR1	ゲート機能選択ビット	b4 b3 00: ゲート機能なし 01: (TA _i OUT端子はプログラマブル入出力ポートとして機能)	0	RW						
4	MR2		10: ゲート機能あり(TA _i IN端子がLレベルの期間だけカウント) 11: ゲート機能あり(TA _i IN端子がHレベルの期間だけカウント)	0	RW						
5	MR3	タイマモードでは“0”に固定してください		0	RW						
6	TCK0	カウントソース選択ビット	b7 b6 00: f ₁ 01: f ₈ 10: f ₃₂ 11: f ₂₅₆	0	RW						
7	TCK1			0	RW						

図9.4.1 タイマモード時のタイマAiレジスタ及びタイマAiモードレジスタのレジスタ構成

(1)パルス出力機能選択ビット(ビット2)

このビットを“1”にするとパルス出力機能が選択されます。このとき、TA_iOUT端子はポートP7、P8方向レジスタの対応するビットの内容にかかわらず、強制的にパルス出力端子となり、カウンタがアンダフローするごとに極性の反転する信号を出力します。

カウント開始フラグ(120₁₆番地のビット0~4)が“0”のとき(カウント停止時)は、TA_iOUT端子はLレベルを出力します。

(2)ゲート機能選択ビット(ビット4、3)

これらのビットを“10₂”、又は“11₂”にするとゲート機能が選択され、TA_iIN端子の入力信号によってカウントを開始、又は停止させることができます。

ゲート機能選択時は、TA_iIN端子に対応するポートP7、P8方向レジスタのビットを入力モードに設定してください。

(3)カウントソース選択ビット(ビット6、7)

これらのビットでカウントソースを選択します(表5.3.2参照)。

9.4.2 タイマモード設定方法

図9.4.2にタイマモード関連レジスタ初期設定例を示します。

なお、割り込みを使用する場合は、割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

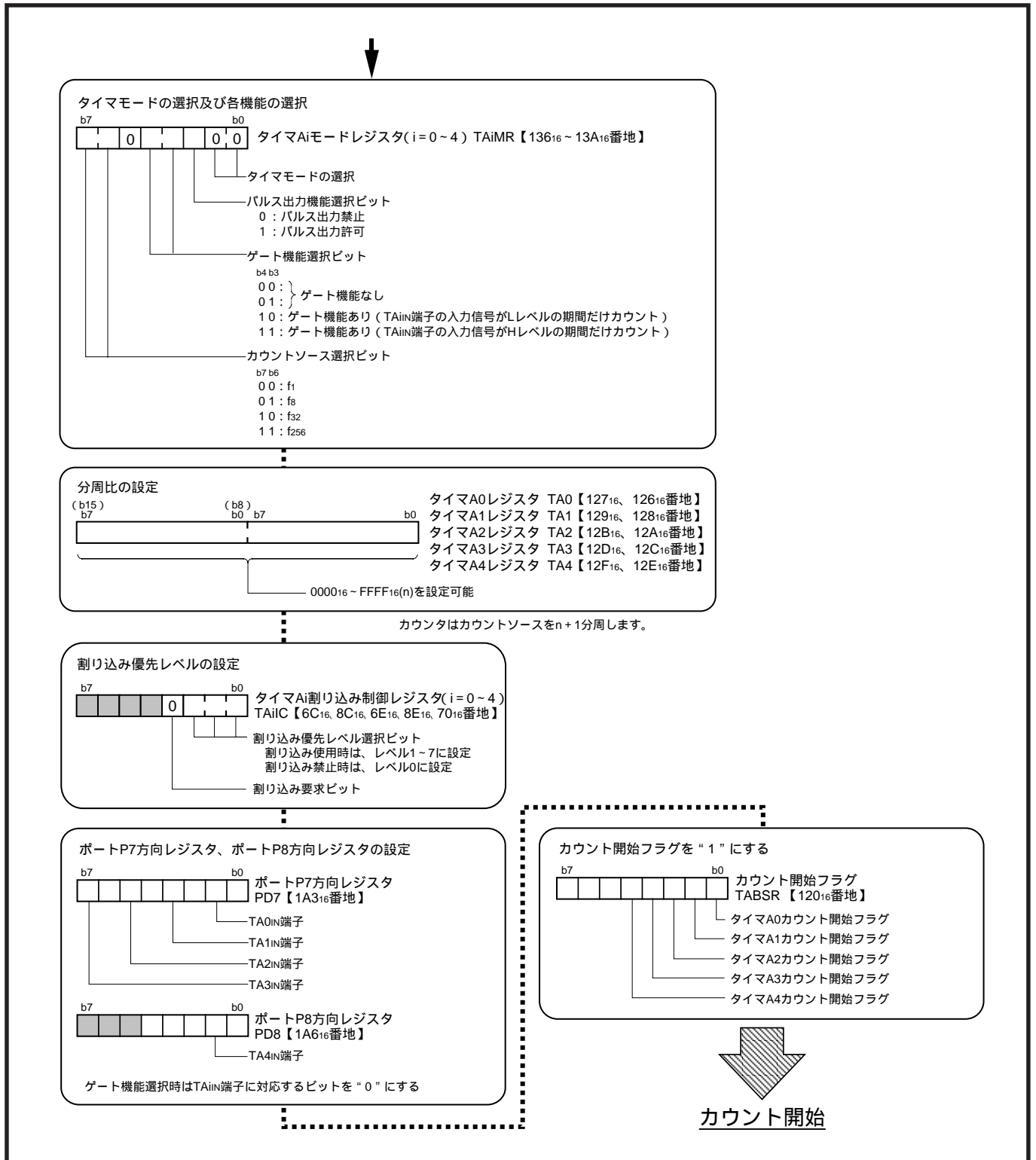


図9.4.2 タイマモード関連レジスタ初期設定例

9.4.3 タイマモード動作説明

カウント開始フラグを“1”にすると、カウンタはカウントソースのカウントを開始します。
アンダフローすると、リロードレジスタの内容をリロードして、カウントを続けます。

のアンダフロー時、タイマAi割り込み要求ビットが“1”になります。

この後、割り込み要求ビットは、割り込み要求を受け付けるまで、又はソフトウェアで“0”にするまで、“1”の状態を保持します。

図9.4.3～図9.4.5にタイマモード動作例を示します。

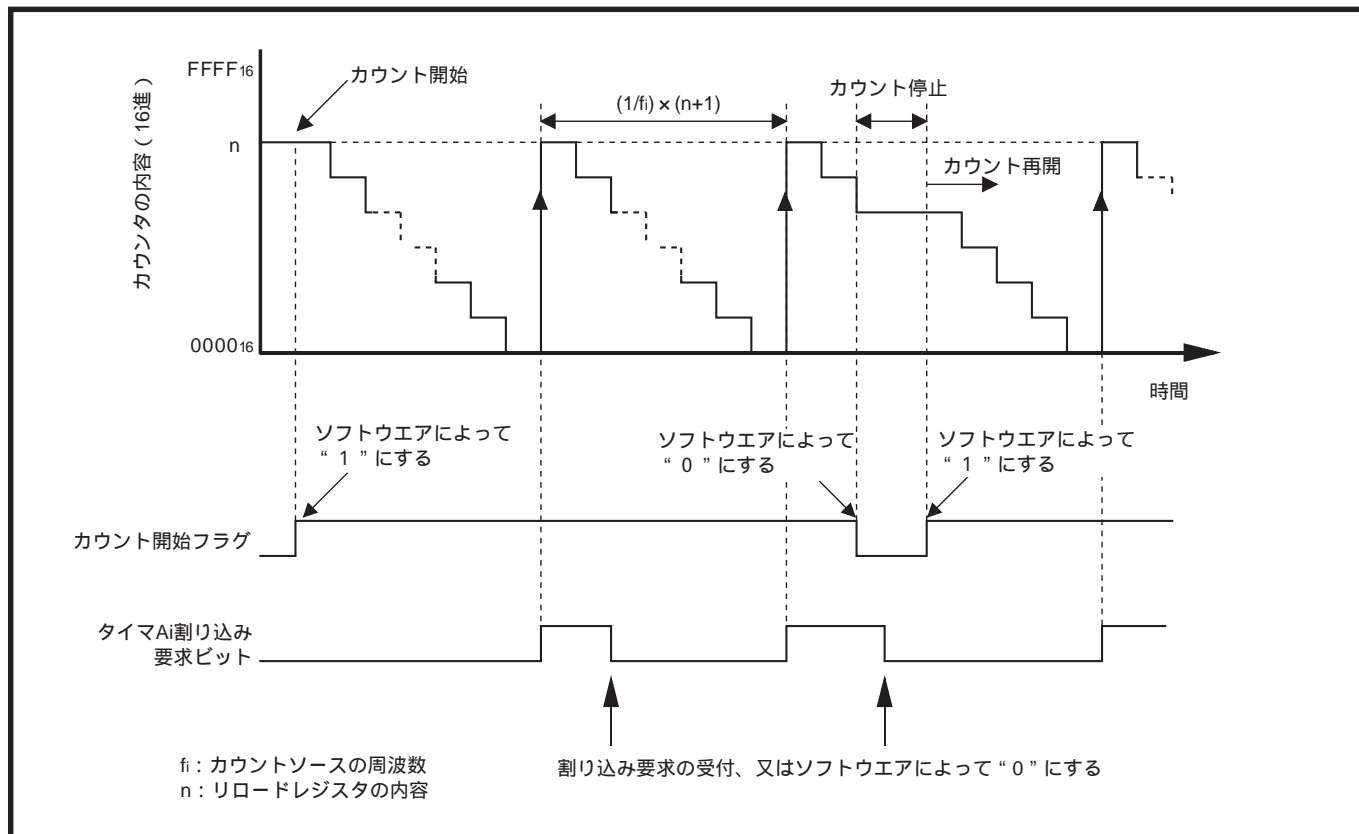


図9.4.3 タイマモード動作例(1)(パルス出力機能、及びゲート機能なし)

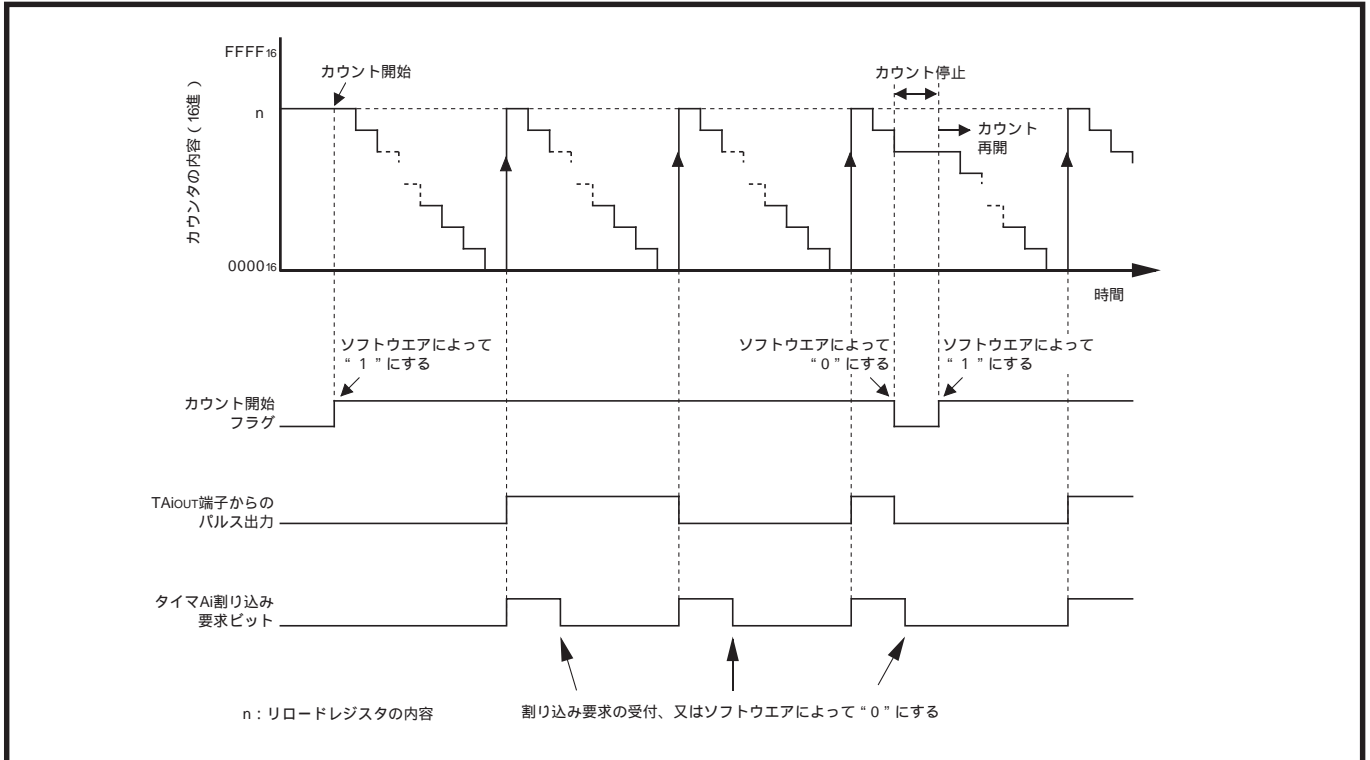


図9.4.4 タイマモード動作例(2)(パルス出力機能選択時)

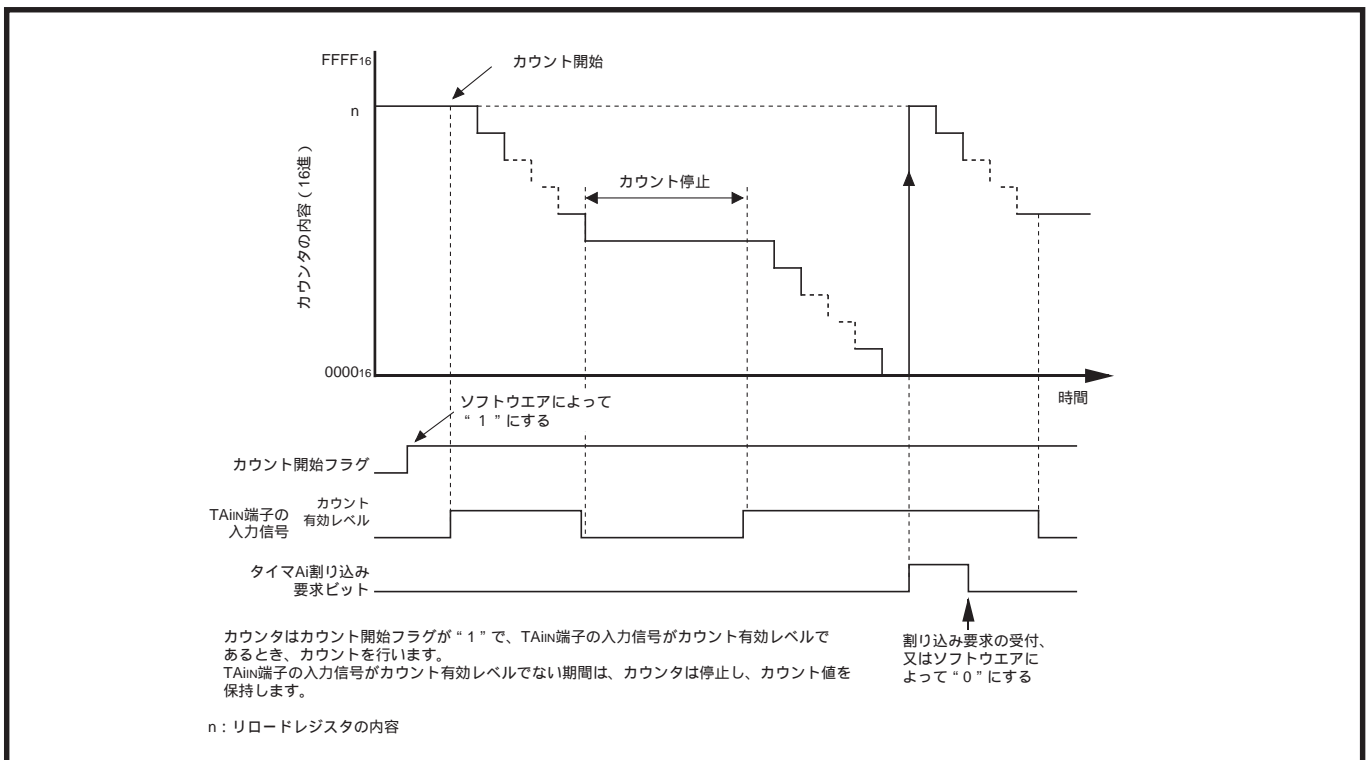


図9.4.5 タイマモード動作例(3)(ゲート機能選択時)

【タイマモード使用上の注意】

1. カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出せます。ただし、図9.4.6に示すリロードタイミングで読み出した場合は、“ $FFFF_{16}$ ”が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出した場合は、設定値が正しく読み出されます。

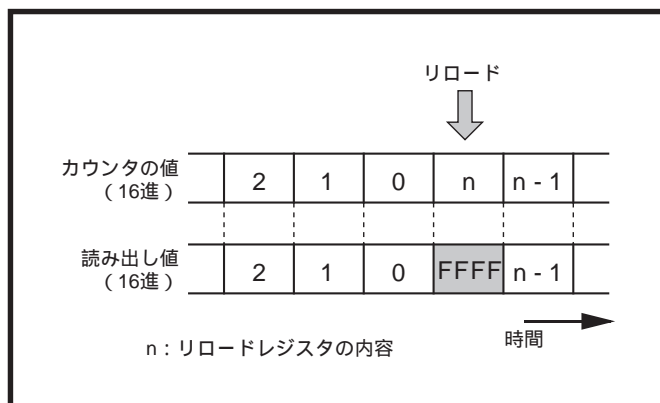


図9.4.6 タイマAiレジスタの読み出し

2. TA2_{OUT}、TA3_{OUT}端子をパルス出力端子として機能させるときは、共用となっているキー入力割り込み端子 ($\overline{KI_0}$ 、 $\overline{KI_2}$ 端子)を選択しないでください(「第8章 キー入力割り込み」参照)。

9.5 イベントカウンタモード

外部信号をカウントするモードです。

表9.5.1 イベントカウンタモードの仕様(二相パルス信号処理機能を使用しない場合)

項目	仕様
カウントソース	以下のいずれかをソフトウェアで選択できる <ul style="list-style-type: none"> ・TA_{iIN}端子に入力された外部信号 (有効エッジ：立ち下がり又は立ち上がりのどちらかを選択可能) ・タイマB2割り込み要求 ・タイマA_j割り込み要求 $j = i - 1$ (ただし、$i = 0$のとき$j = 4$) ・タイマA_k割り込み要求 $k = i + 1$ (ただし、$i = 4$のとき$k = 0$)
カウント動作	以下のいずれかを、外部信号又はソフトウェアで選択できる <ul style="list-style-type: none"> ・アップカウント ・ダウンカウント 以下のいずれかをソフトウェアで選択できる <ul style="list-style-type: none"> ・オーバフロー及びアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(リロードタイプ) ・オーバフロー及びアンダフロー時は、リロードレジスタの内容をリロードせずにカウントを継続(フリーランタイプ)
分周比	ダウンカウント時 $\frac{1}{(n+1)}$ アップカウント時 $\frac{1}{(FFFF_{16} - n + 1)}$ n: タイマA _i レジスタ設定値
カウント開始条件	カウント開始フラグへの'1'書き込み
カウント停止条件	カウント開始フラグへの'0'書き込み
割り込み要求発生タイミング	オーバフロー、及びアンダフロー時
TA _{iIN} 端子の機能	プログラマブル入出力ポート、又はカウントソース入力
TA _{iOUT} 端子の機能	プログラマブル入出力ポート、パルス出力、又はアップカウント/ダウンカウント切り替え信号入力
タイマの読み出し	タイマA _i レジスタを読み出すと、カウンタの値が読み出される
タイマの書き込み	カウント停止中 タイマA _i レジスタに書き込むと、リロードレジスタ及びカウンタの両方に書き込まれる カウント中 タイマA _i レジスタに書き込むと、リロードレジスタにだけ書き込まれる(カウンタには次のリロード時に転送される)
その他選択機能	パルス出力機能 カウンタがアンダフローするごとに極性の反転する信号をTA _{iOUT} 端子から出力できる

i = 0 ~ 4

表9.5.2 イベントカウンタモードの仕様(タイマA2~A4で二相パルス信号処理機能を使用する場合)

項目	仕様
カウントソース	TA _{jIN} 、TA _{jOUT} 端子に入力された外部信号(二相パルス)
カウント動作	以下のいずれかを、外部信号又はソフトウェアで選択できる <ul style="list-style-type: none"> ・アップカウント ・ダウンカウント 以下のいずれかをソフトウェアで選択できる <ul style="list-style-type: none"> ・オーバフロー及びアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(リロードタイプ) ・オーバフロー及びアンダフロー時は、リロードレジスタの内容をリロードせずにカウントを継続(フリーランタイプ) 動作の選択 <ul style="list-style-type: none"> ・タイマA2: 通常(2逓倍)処理動作 ・タイマA3: 通常(2逓倍)処理動作又は4逓倍処理動作(ソフトウェアで選択できる) ・タイマA4: 4逓倍処理動作
分周比	ダウンカウント時 $\frac{1}{(n+1)}$ アップカウント時 $\frac{1}{(FFFF_{16} - n + 1)}$ n: タイマAjレジスタ設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバフロー、及びアンダフロー時
TA _{jIN} 、TA _{jOUT} 端子の機能	二相パルス入力
タイマの読み出し	タイマAjレジスタを読み出すと、カウンタの値が読み出される
タイマの書き込み	カウント停止中 タイマAjレジスタに書き込むと、リロードレジスタ及びカウンタの両方に書き込まれる カウント中 タイマAjレジスタに書き込むと、リロードレジスタにだけ書き込まれる(カウンタには次のリロード時に転送される)

j = 2 ~ 4

9.5.1 イベントカウンタモード時のタイマAiレジスタ及びタイマAiモードレジスタ

タイマAiレジスタ(i=0~4) TAI		機能		リセット時	R/W
【127 ₁₆ , 126 ₁₆ 番地、129 ₁₆ , 128 ₁₆ 番地、12B ₁₆ , 12A ₁₆ 番地、12D ₁₆ , 12C ₁₆ 番地、12F ₁₆ , 12E ₁₆ 番地】				不定	RW
ビット	ビットシンボル	機能		リセット時	R/W
15~0	TAi	設定値をr(n=0000 ₁₆ ~FFFF ₁₆)とすると、ダウンカウント時カウンタはカウントソースをn+1分周、アップカウント時はカウントソースをFFFF ₁₆ - n + 1分周する読み出し時はカウンタの値を読み出す		不定	RW

タイマAiモードレジスタ(i=0~4) TAI _{MR} 【136 ₁₆ ~13A ₁₆ 番地】		機能		リセット時	R/W
				0	1
ビット	ビットシンボル	ビット名	機能	リセット時	R/W
0	TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード	0	RW
1	TMOD1			0	RW
2	MR0	パルス出力機能選択ビット (注1)	0 : パルス出力禁止(TAI _{OUT} 端子はプログラマブル入出力ポートとして機能) 1 : パルス出力許可(TAI _{OUT} 端子はパルス出力端子として機能)	0	RW
3	MR1	カウント極性選択ビット (注1)	0 : TAI _{IN} 端子の入力信号の立ち下がり 1 : TAI _{IN} 端子の入力信号の立ち上がり	0	RW
4	MR2	アップ/ダウン切り替え要因 選択ビット (注2)	0 : アップダウンフラグの内容 1 : TAI _{OUT} 端子の入力信号	0	RW
5	MR3	イベントカウンタモードでは“0”に固定してください		0	RW
6	TCK0	カウント動作タイプ選択ビット	0 : リロードタイプ 1 : フリーランタイプ	0	RW
7	TCK1	二相パルス処理動作選択ビット (注3)	0 : 通常(2逓倍)処理動作 1 : 4逓倍処理動作	0	RW

注1. 二相パルス信号処理機能を使用する場合は、“0”に固定してください。
 2. 二相パルス信号処理機能を使用する場合は、“1”に固定してください。
 3. タイマA3のみ設定できます。タイマA0~A2、A4では無効になります(“0”又は“1”いずれでもよい)。

図9.5.1 イベントカウンタモード時のタイマAiレジスタ及びタイマAiモードレジスタのレジスタ構成

(1)パルス出力機能選択ビット(ビット2)

このビットを“1”にするとパルス出力機能が選択されます。このとき、TAI_{OUT}端子はポートP7、P8方向レジスタの対応するビットの内容にかかわらず、強制的にパルス出力端子となり、カウンタがアンダフローするごとに極性の反転する信号を出力します。

カウント開始フラグ(120₁₆番地のビット0~4)が“0”のとき(カウント停止時)は、TAI_{OUT}端子はLレベルを出力します。

(2)カウント極性選択ビット(ビット3)

タイマAiイベント/トリガ選択ビット(図9.3.4、図9.3.5参照)でカウントソースにTAI_{IN}端子の入力信号を選択した場合に、入力信号のカウント極性を選択するビットです(表9.5.3参照)。

(3)アップ/ダウン切り替え要因選択ビット(ビット4)

カウントソースのアップカウント/ダウンカウントを、アップダウンフラグ(図9.3.6参照)で切り替えるのか、TAI_{OUT}端子の入力信号で切り替えるのかを選択するビットです(表9.5.4参照)。

表9.5.3 カウントソースの選択

タイマAiイベント/トリガ選択ビット (122 ₁₆ 番地のビット7,6、123 ₁₆ 番地のビット1,0、3,2、5,4、7,6)	カウント極性選択ビット (136 ₁₆ ~ 13A ₁₆ 番地のビット3)	カウントソース
00	0	TAiIn端子の入力信号の立ち下がり
	1	TAiIn端子の入力信号の立ち上がり
01	X	タイマB2割り込み要求
10	X	タイマAj割り込み要求
11	X	タイマAk割り込み要求

i = 0 ~ 4

j = i - 1(ただし、i = 0のときj = 4)

k = i + 1(ただし、i = 4のときk = 0)

X : "0"又は"1"いずれでもよい。

表9.5.4 アップカウント/ダウンカウントの選択

アップ/ダウン切り替え要因 選択ビット(136 ₁₆ ~ 13A ₁₆ 番地のビット4)	タイマAiアップダウンフラグ (124 ₁₆ 番地のビット0 ~ 4)	TAiOut端子の 入力信号	カウント
0	0	X	ダウンカウント
	1	X	アップカウント
1	X	Lレベル	ダウンカウント
	X	Hレベル	アップカウント

i = 0 ~ 4

X : "0"又は"1"いずれでもよい。

(4) カウント動作タイプ選択ビット(ビット6)

オーバフロー及びアンダフロー時にリロードレジスタの内容をリロードしてカウントを継続する(リロードタイプ)か、リロードレジスタの内容をリロードせずにカウントを継続する(フリーランタイプ)かを選択するビットです。

(5) 二相パルス処理動作選択ビット(ビット7)

タイマA3で、二相パルス信号処理機能選択時、通常処理動作又は4逓倍処理動作を選択するビットです。

9.5.2 二相パルス信号処理機能

タイマA2～A4では、タイマA2～A4二相パルス信号処理機能選択ビット(図9.3.6参照)を“1”にすると、二相パルス信号処理機能が選択されます。

二相パルス信号処理機能が選択されたタイマは、位相が90度ずれた二相パルスをカウントします。

二相パルス信号処理動作には、通常処理動作と4逓倍処理動作の2種類があり、タイマによって選択できる動作が下記のように異なります。

- ・タイマA2：通常処理動作のみ
- ・タイマA3：通常処理動作又は4逓倍処理動作を二相パルス処理動作選択ビット(139₁₆番地のビット7)で選択できる
- ・タイマA4：4逓倍処理動作のみ

二相パルスの入力に使用する端子に対応するポートP7、P8方向レジスタのビットは、入力モードに設定してください。

通常処理動作

TAmOUT (m=2, 3) 端子の入力信号がHレベルの期間にTAmIN端子の入力信号がLレベルからHレベルになる位相関係の場合、TAmIN端子の入力信号の立ち上がりをアップカウントします。

TAmOUT端子の入力信号がHレベルの期間にTAmIN端子の入力信号がHレベルからLレベルになる位相関係の場合、TAmIN端子の入力信号の立ち下がりダウンカウントします(図9.5.2参照)。

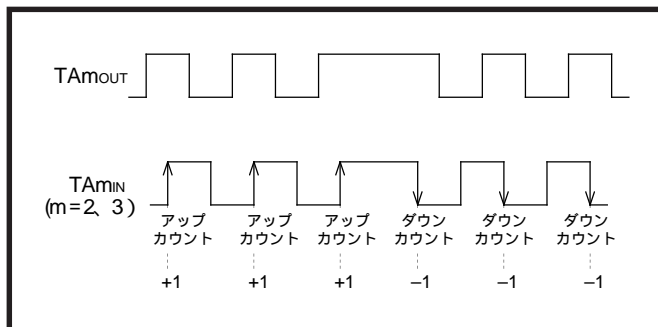


図9.5.2 通常処理動作

4通倍処理動作

TAnOUT (n=3, 4) 端子の入力信号がHレベルの期間にTAnIN端子の入力信号がLレベルからHレベルになる位相関係の場合、TAnOUT、TAnIN端子の入力信号の立ち上がり、及び立ち下がりアップカウントします。

TAnOUT端子の入力信号がHレベルの期間にTAnIN端子の入力信号がHレベルからLレベルになる位相関係の場合、TAnOUT、TAnIN端子の入力信号の立ち上がり、及び立ち下がりダウンカウントします(図9.5.3参照)。

表9.5.5に4通倍処理動作選択時のTAnOUT、TAnIN端子の入力信号を示します。

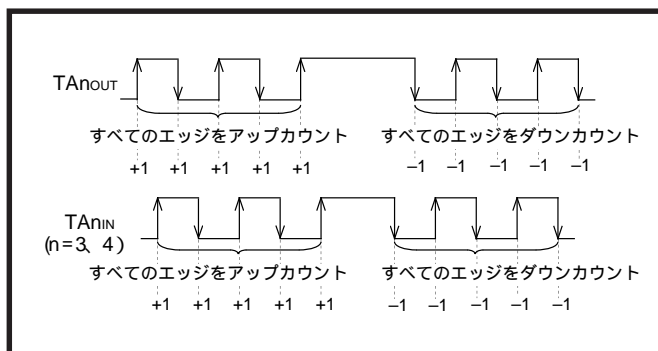


図9.5.3 4通倍処理動作

表9.5.5 4通倍処理動作選択時のTAnOUT、TAnIN (n=3, 4) 端子の入力信号

	TAnOUT端子の入力信号	TAnIN端子の入力信号
アップカウント	“H”レベル	立ち上がり
	“L”レベル	立ち下がり
	立ち上がり	“L”レベル
	立ち下がり	“H”レベル
ダウンカウント	“H”レベル	立ち下がり
	“L”レベル	立ち上がり
	立ち上がり	“H”レベル
	立ち下がり	“L”レベル

9.5.3 イベントカウンタモード設定方法

図9.5.4、図9.5.5にイベントカウンタモード関連レジスタ初期設定例を示します。

なお、割り込みを使用する場合は割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

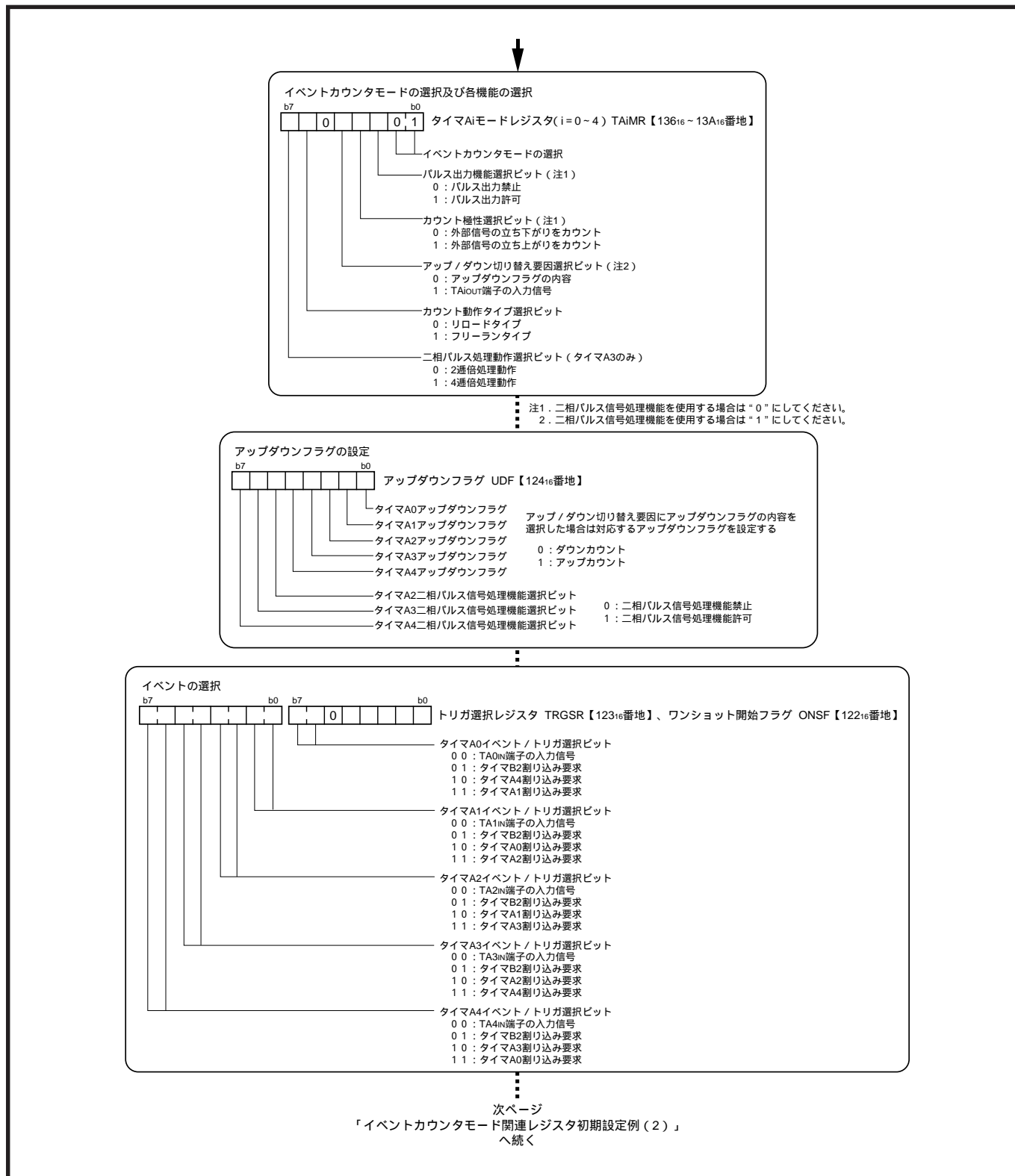
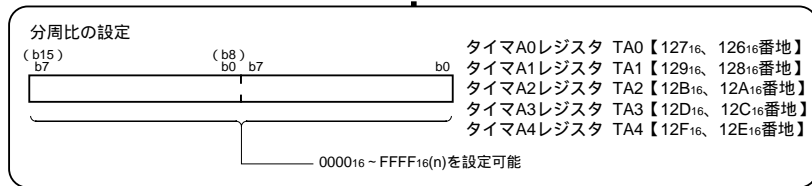
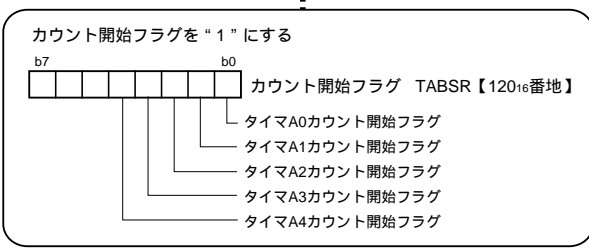
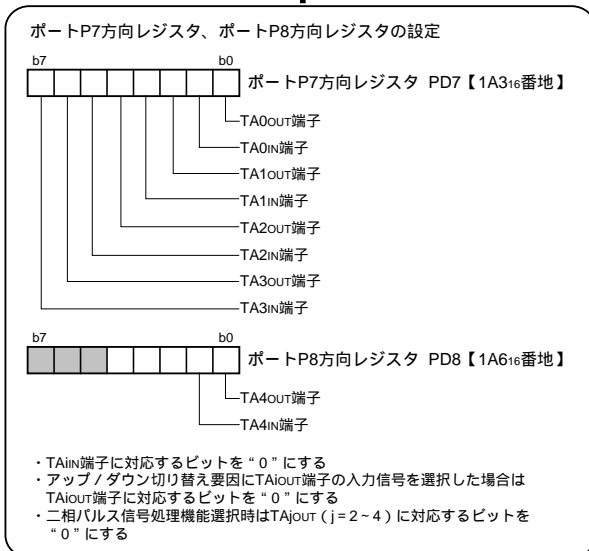
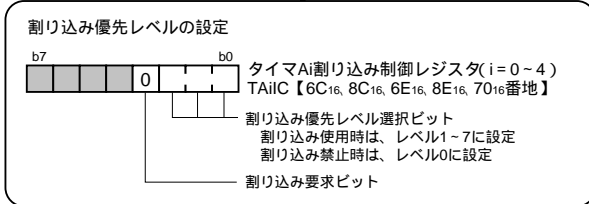


図9.5.4 イベントカウンタモード関連レジスタ初期設定例(1)

前ページ
「イベントカウンタモード関連レジスタ初期設定例(1)」
より



カウンタは、ダウンカウント時はカウントソースをn + 1分周、アップカウント時はFFF₁₆ - n + 1分周します。



↓
カウント開始

図9.5.5 イベントカウンタモード関連レジスタ初期設定例(2)

9.5.4 イベントカウンタモード動作説明

カウント開始フラグを“1”にすると、カウンタはカウントソースの有効エッジのカウントを開始します。アンダフロー及びオーバーフローすると、リロードタイプ選択(カウント動作タイプ選択ビット=0)時はリロードレジスタの内容をリロードして、また、フリーランタイプ選択(カウント動作タイプ選択ビット=1)時はリロードせずにカウントを続けます。

のアンダフロー及びオーバーフロー時、タイマAi割り込み要求ビットが“1”になります。この後、割り込み要求ビットは、割り込み要求を受け付けるまで、又はソフトウェアで“0”にするまで、“1”の状態を保持します。

図9.5.6、図9.5.7にイベントカウンタモード動作例を示します。

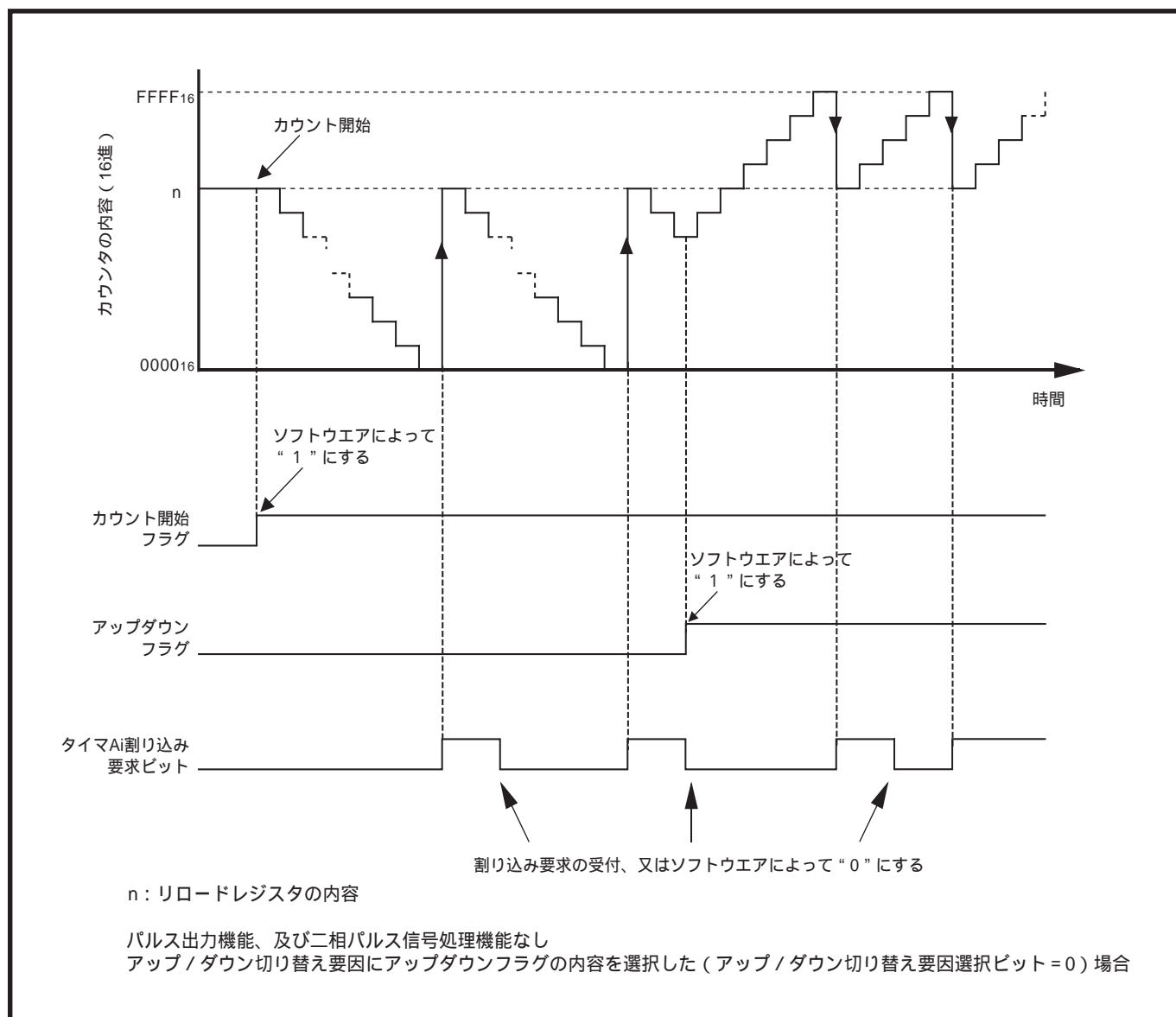


図9.5.6 イベントカウンタモード動作例(1)(リロードタイプ選択時)

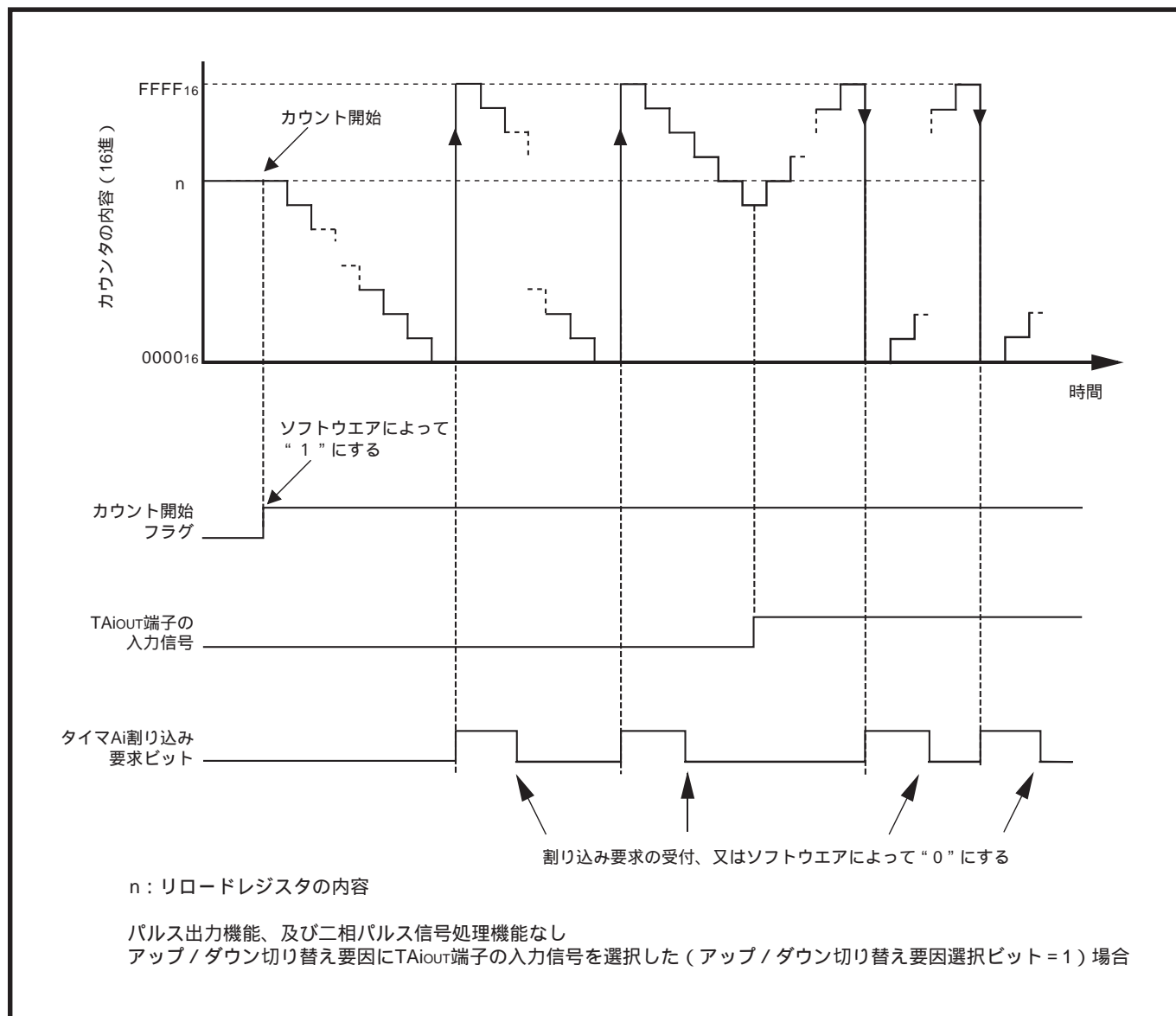


図9.5.7 イベントカウンタモード動作例(2)(フリーランタイプ選択時)

【イベントカウンタモード使用上の注意】

1. カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出せます。ただし、図9.5.8に示すリロードタイミングで読み出した場合は、アンダフロー時は“FFFF₁₆”が、オーバフロー時は“0000₁₆”が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出した場合は、設定値が正しく読み出されます。

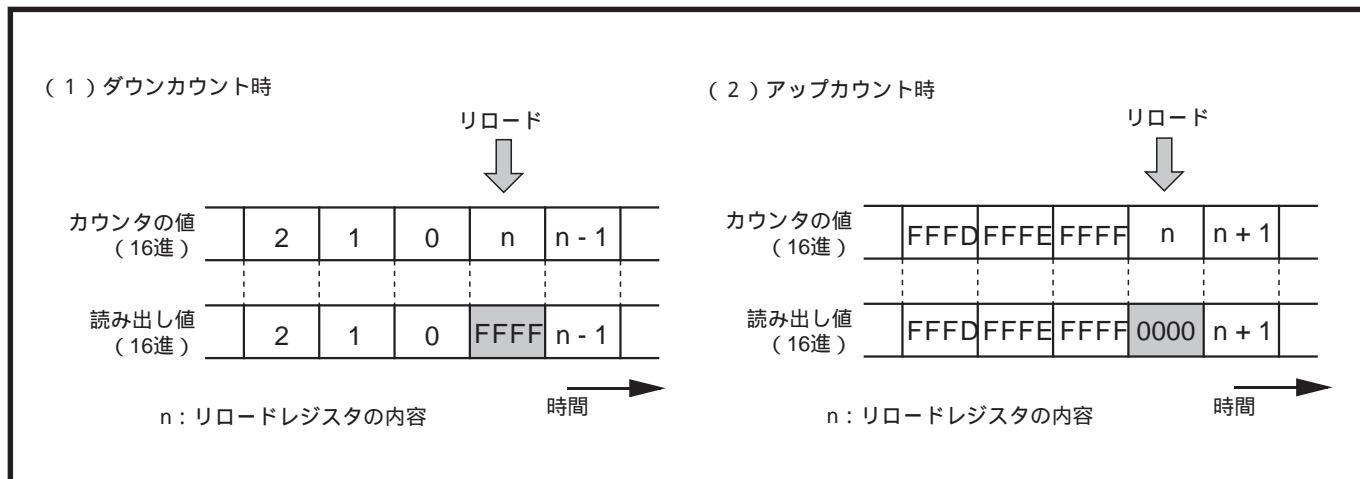


図9.5.8 タイマAiレジスタの読み出し

2. 以下の機能ではすべてTAiOUT端子を使用します。したがって、各タイマごとにこれらの機能のうちいずれか一つだけを使用できます。

- TAiOUT端子の入力信号による、アップカウント又はダウンカウントの切り替え
- パルス出力機能
- 二相パルス信号処理機能(タイマA2~A4)

3. TA2OUT、TA3OUT端子をパルス出力端子として機能させるときは、共用となっているキー入力割り込み端子(KI0、KI2端子)を選択しないでください(「第8章 キー入力割り込み」参照)。

9.6 ワンショットパルスモード

任意のパルス幅のパルスを1回出力するモードです。トリガが発生すると、その時点から任意の期間、TA_{iOUT}端子から“H”レベルを出力します。

表9.6.1 ワンショットパルスモードの仕様

項目	仕様
カウントソース f _i	f ₁ 、f ₈ 、f ₃₂ 、又はf ₂₅₆
カウント動作	ダウンカウント カウンタの値が“0000 ₁₆ ”になるタイミングでリロードレジスタの内容をリロードしてカウントを停止 カウント中にトリガが発生した場合は、リロードレジスタの内容をリロードしてカウントを継続
出力パルス幅(“H”)	$\frac{n}{f_i}$ [S] n: タイマAiレジスタ設定値
カウント開始条件	トリガ発生(注) ソフトウェアによって6種類のトリガを選択可能
カウント停止条件	カウンタの値が“0000 ₁₆ ”になる カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	カウント停止時
TA _{iIN} 端子の機能	プログラマブル入出力ポート、又はトリガ入力
TA _{iOUT} 端子の機能	ワンショットパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタ及びカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むと、リロードレジスタにだけ書き込まれる (カウンタには次のリロード時に転送される)

i = 0 ~ 4

注. トリガはカウント開始フラグが“1”のときに発生します。

9.6.1 ワンショットパルスモード時のタイマAiレジスタ及びタイマAiモードレジスタ

タイマAiレジスタ(i=0~4) TAI		機能		リセット時	R/W
【127 ₁₆ , 126 ₁₆ 番地、129 ₁₆ , 128 ₁₆ 番地、12B ₁₆ , 12A ₁₆ 番地、12D ₁₆ , 12C ₁₆ 番地、12F ₁₆ , 12E ₁₆ 番地】				不定	WO
ビット	ビットシンボル	機能		リセット時	R/W
15~0	TAI	設定値をn(n = 0000 ₁₆ ~ FFFF ₁₆)とすると、TAI _{OUT} 端子から出力するワンショットパルスのHレベル幅はn / f _i となる		不定	WO

注. このレジスタへの書き込みにはMOV命令を使用してください。

タイマAiモードレジスタ(i=0~4) TAI _{MR} 【136 ₁₆ ~13A ₁₆ 番地】		機能		リセット時	R/W
				0	RW
ビット	ビットシンボル	ビット名	機能	リセット時	R/W
0	TMOD0	動作モード選択ビット	b1 b0 10: ワンショットパルスモード	0	RW
1	TMOD1			0	RW
2	MR0	ワンショットパルスモードでは'1'に固定してください		0	RW
3	MR1	外部トリガ選択ビット (注)	0: TAI _{IN} 端子の入力信号の立ち下がり 1: TAI _{IN} 端子の入力信号の立ち上がり	0	RW
4	MR2	トリガ選択ビット	0: ワンショット開始フラグへの'1'書き込み 1: タイマAiイベント/トリガ選択ビットで選択したトリガ	0	RW
5	MR3	ワンショットパルスモードでは'0'に固定してください		0	RW
6	TCK0	カウントソース選択ビット	b7 b6 00: f ₁ 01: f ₈	0	RW
7	TCK1		10: f ₃₂ 11: f ₂₅₆	0	RW

注. タイマAiイベント/トリガ選択ビット(122₁₆番地のビット6、7、123₁₆番地のビット0~7)でTAI_{IN}入力を選択した場合のみ有効(それ以外は'0'又は'1'いずれでもよい)。

図9.6.1 ワンショットパルスモード時のタイマAiレジスタ及びタイマAiモードレジスタのレジスタ構成

(1)外部トリガ選択ビット(ビット3)

タイマAiイベント/トリガ選択ビット(図9.3.4、図9.3.5参照)でカウントソースにTAI_{IN}端子の入力信号を選択した場合に、入力信号の立ち下がりをトリガとするか、立ち上がりをトリガとするかを選択するビットです(表9.6.2参照)。

(2)トリガ選択ビット(ビット4)

カウント開始のトリガを選択するビットです(表9.6.2参照)。

(3)カウントソース選択ビット(ビット6、7)

これらのビットでカウントソースを選択します(表5.3.2参照)。

表9.6.2 トリガの選択

トリガ選択ビット (136 ₁₆ ~ 13A ₁₆ 番地のビット4)	イベント/トリガ選択ビット (122 ₁₆ 番地のビット7, 6, 123 ₁₆ 番地)	外部トリガ選択ビット (136 ₁₆ ~ 13A ₁₆ 番地のビット3)	トリガ(注)
0	X	X	ワンショット開始フラグへの1書き込み
1	00 ₂	0	TA _{iN} 端子の入力信号の立ち下がり
		1	TA _{iN} 端子の入力信号の立ち上がり
	01 ₂	X	TB2割り込み要求
	10 ₂	X	TA _j 割り込み要求
	11 ₂	X	TA _k 割り込み要求

i = 0 ~ 4

j = i - 1 (ただし、i = 0のときj = 4)

k = i + 1 (ただし、i = 4のときk = 0)

X: "0"又は"1"いずれでもよい。

注. これらのトリガは、カウント開始フラグ(120₁₆番地)が"1"のとき有効になります。

9.6.2 ワンショットパルスモード設定方法

図9.6.2、図9.6.3にワンショットパルスモード関連レジスタ初期設定例を示します。

なお、割り込みを使用する場合は、割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

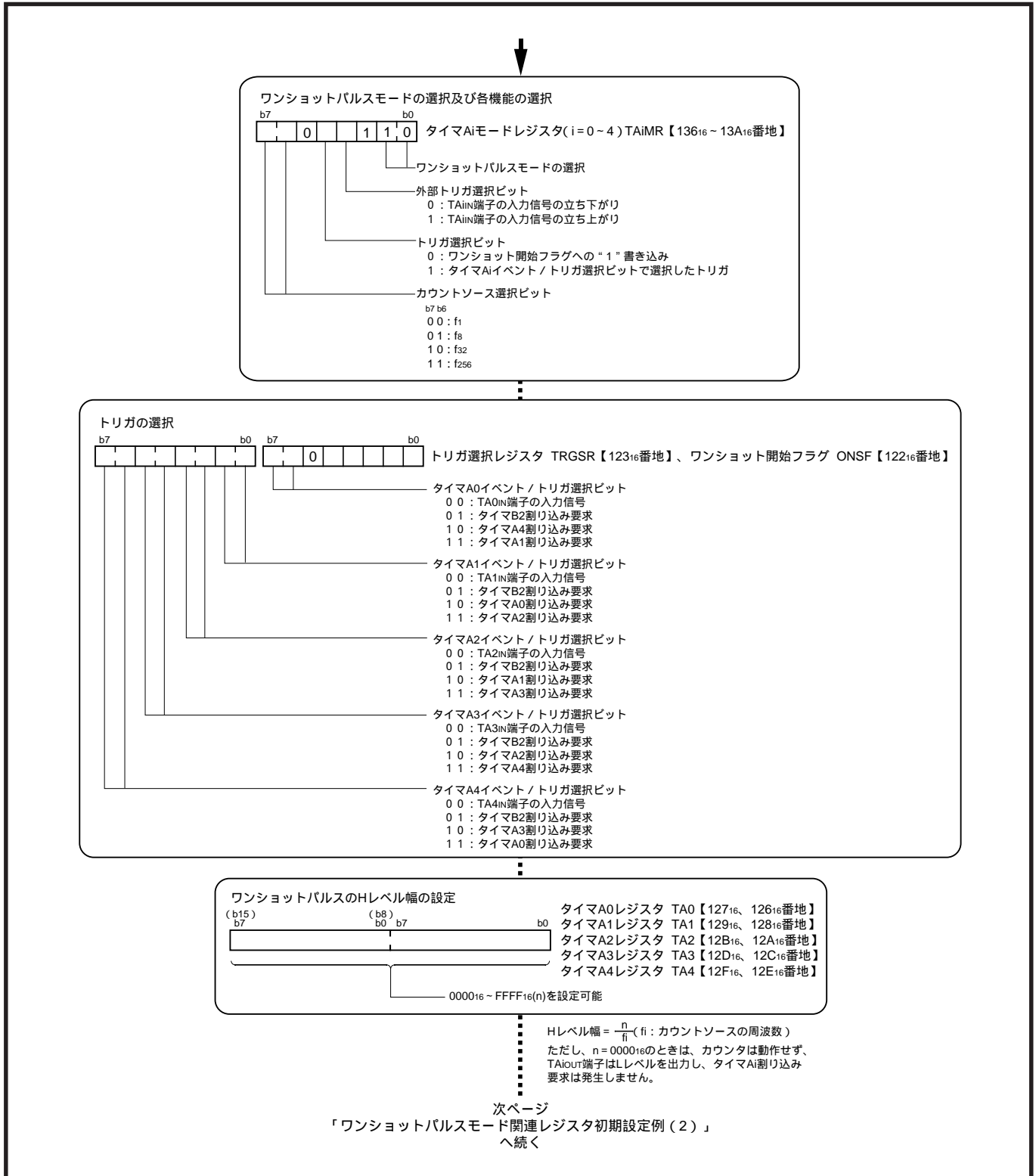


図9.6.2 ワンショットパルスモード関連レジスタ初期設定例(1)

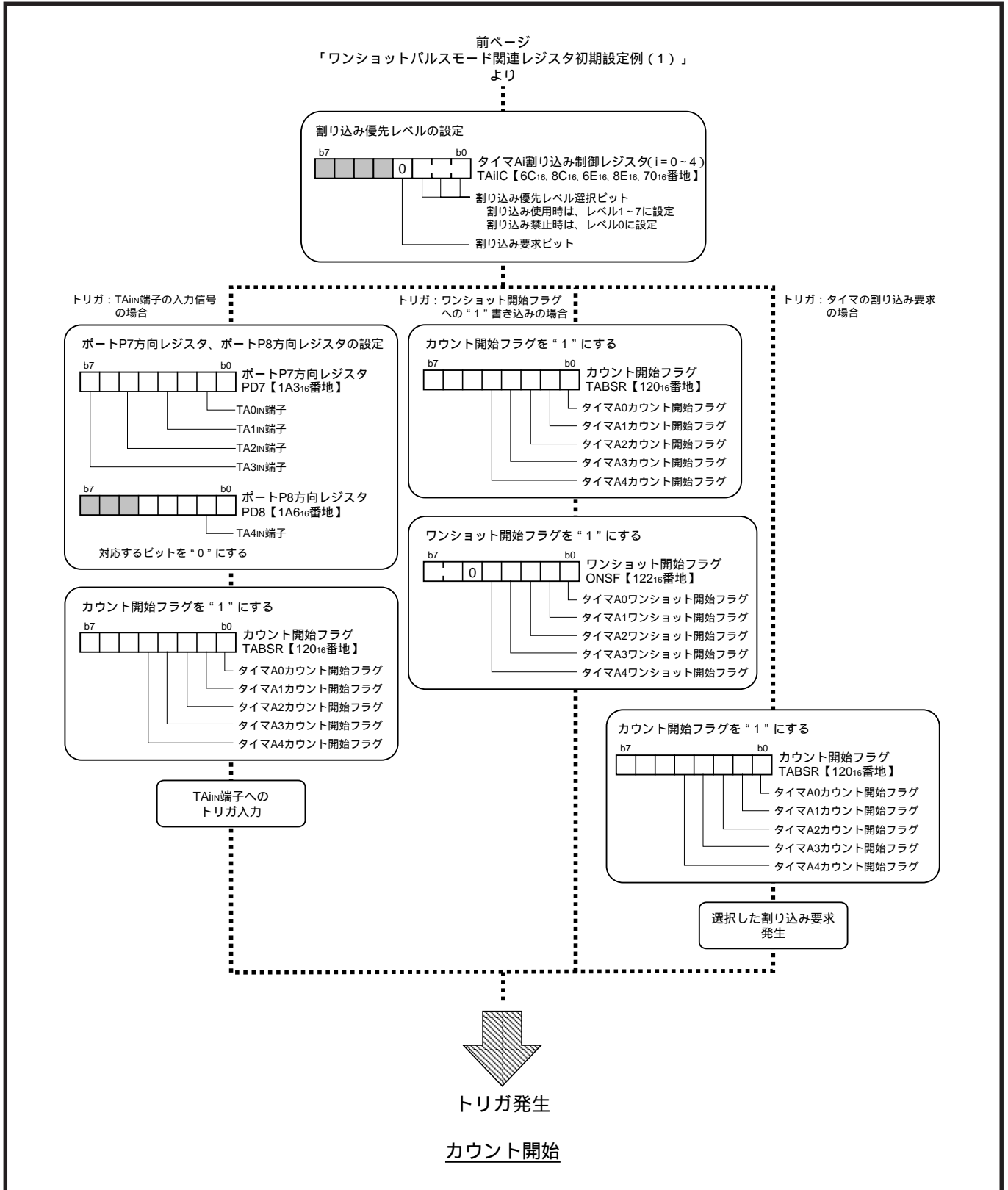


図9.6.3 ワンショットパルスモード関連レジスタ初期設定例(2)

9.6.3 ワンショットパルスモード動作説明

動作モード選択ビットでワンショットパルスモードを選択すると、TA_{iout}端子は“L”レベルを出力します。

カウント開始フラグを“1”にすると、カウンタはカウント許可状態になり、その後トリガが発生すると、カウントを開始します。

カウンタがカウントを開始すると、TA_{iout}端子の出力レベルは“H”になります(ただし、タイマAiレジスタに“0000₁₆”を設定した場合は、カウンタは動作せず、TA_{iout}端子の出力レベルは“L”のまま、タイマAi割り込み要求も発生しません)。

カウンタの値が“0000₁₆”になるとき、TA_{iout}端子の出力レベルは“L”になり、カウンタはリロードレジスタの内容をリロードしてカウントを停止します。

と同時に、タイマAi割り込み要求ビットが“1”になります。

この後、割り込み要求ビットは、割り込み要求を受け付けるまで、又はソフトウェアで“0”にするまで、“1”の状態を保持します。

図9.6.4にワンショットパルスモード動作例を示します。

上記の後にトリガが発生すると、カウンタ、及びTA_{iout}端子は、再び から同じ動作を行います。また、カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタの内容をリロードして、カウントを続けます。

TA_{iout}端子からのワンショットパルスの出力は、タイマAiモードレジスタのビット2を“0”にすると禁止されます。したがって、タイマAiをパルス出力を伴わない内部ワンショットタイマとして使用できます(このとき、TA_{iout}端子はプログラマブル入出力ポートとして機能します)。

なお、TA_{2out}、TA_{3out}端子からワンショットパルスを出力する場合は、共用となっているキー入力割り込み端子(KI₀、KI₂端子)を選択しないでください(「第8章 キー入力割り込み」参照)。

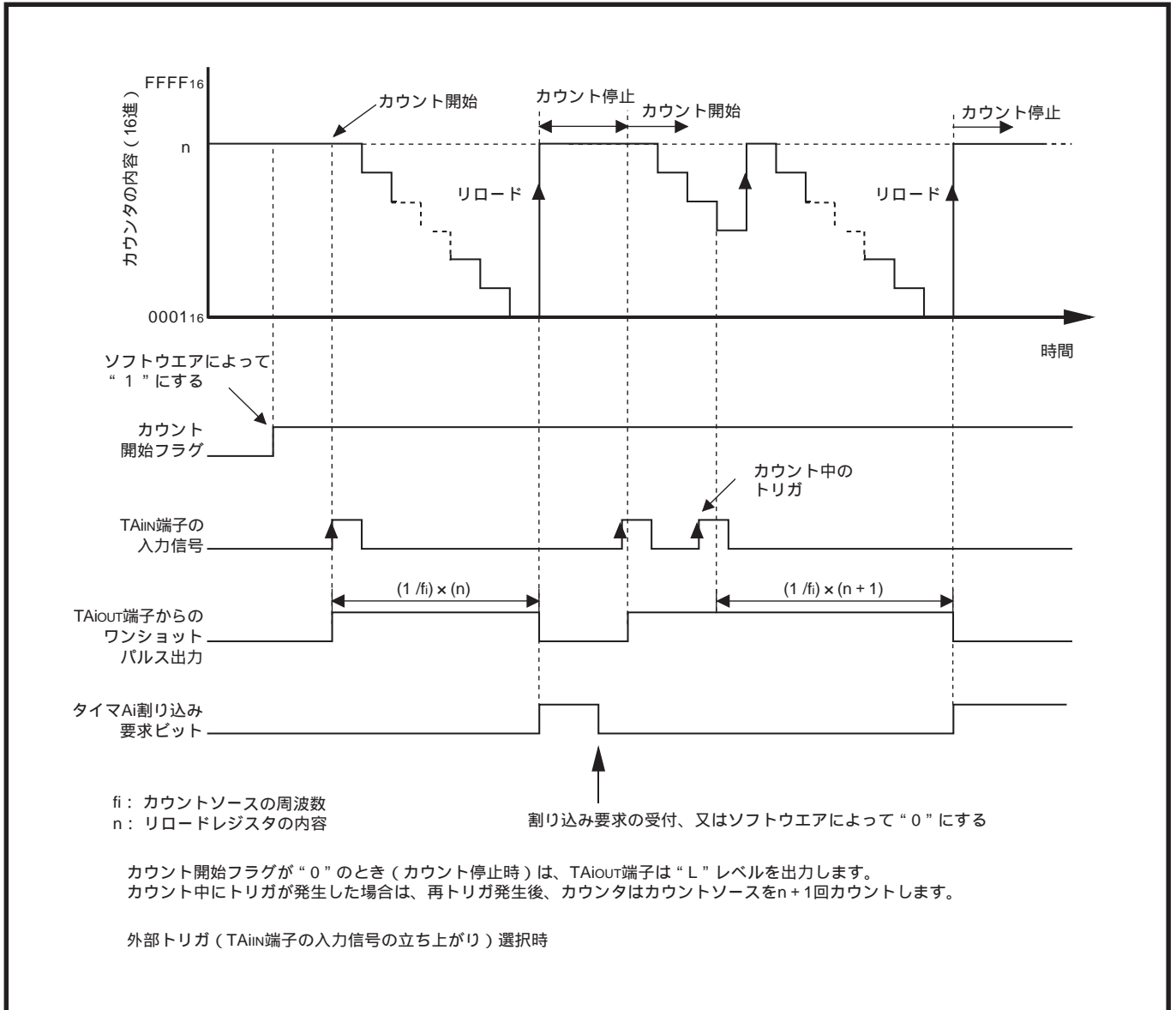


図9.6.4 ワンショットパルスモード動作例(外部トリガ選択時)

【ワンショットパルスモード使用上の注意】

1. カウント中にカウント開始フラグを“0”にすると、次のようになります。
 - ・カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
 - ・TAiOUT端子の出力レベルは“L”になります。
 - ・タイマAi割り込み要求ビットが“1”になります。
2. ワンショットパルスの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN端子へのトリガ入力からワンショットパルスの出力までに、最大カウントソースの1サイクル分の遅延が生じます(図9.6.5参照)。

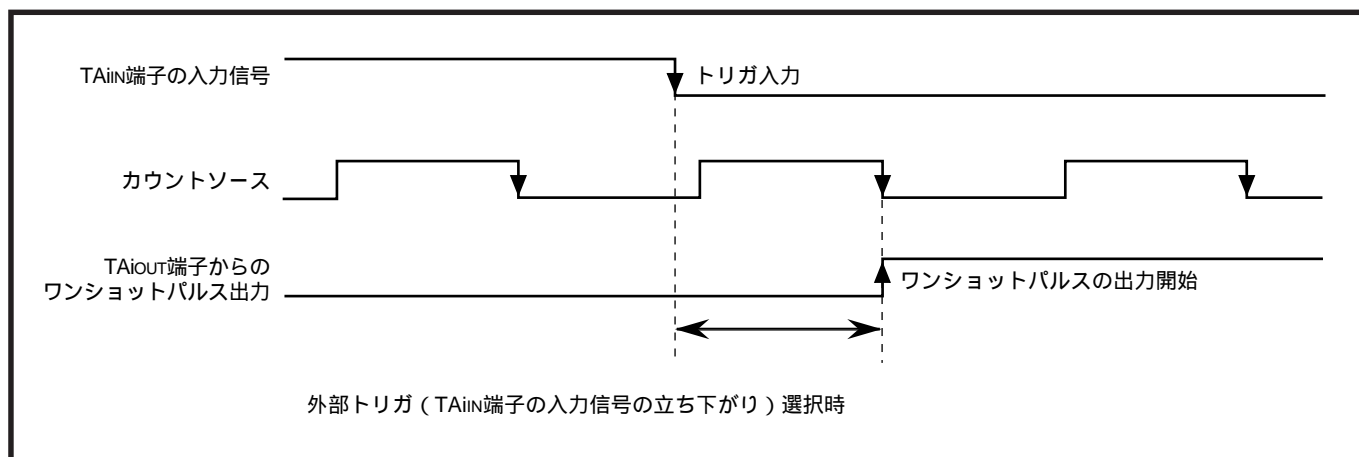


図9.6.5 ワンショットパルス出力の遅延

3. 以下に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“1”になります。

リセット後、ワンショットパルスモードを選択したとき

動作モードをタイマモードからワンショットパルスモードに変更したとき

動作モードをイベントカウンタモードからワンショットパルスモードに変更したとき

したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“0”にしてください。

4. TA2OUT、TA3OUT端子からワンショットパルスを出力する場合は、共用となっているキー入力割り込み端子(KI0、KI2端子)を選択しないでください(「第8章 キー入力割り込み」参照)。

9.7 パルス幅変調(PWM)モード

任意のパルス幅のパルスを連続して出力するモードです。

表9.7.1 PWMモードの仕様

項目	仕様
カウントソース f_i	f_1 、 f_8 、 f_{32} 、又は f_{256}
カウント動作	ダウンカウント(8ビット、又は16ビットパルス幅変調器として動作) PWMパルスの立ち上がりでリロードレジスタの内容をリロードしてカウントを継続 カウント中に発生したトリガはカウントに影響しない
PWM周期 / “H”レベル幅	16ビットパルス幅変調器 $\text{周期} = \frac{(2^{16} - 1)}{f_i} \text{ [S]}$ $\text{“H”レベル幅} = \frac{n}{f_i} \text{ [S]} \quad n : \text{タイマAiレジスタ設定値}$ 8ビットパルス幅変調器 $\text{周期} = \frac{(m + 1)(2^8 - 1)}{f_i} \text{ [S]}$ $\text{“H”レベル幅} = \frac{n(m + 1)}{f_i} \text{ [S]} \quad m : \text{タイマAiレジスタ下位8ビット設定値}$ $n : \text{タイマAiレジスタ上位8ビット設定値}$
カウント開始条件	トリガ発生(注) ソフトウェアによって6種類のトリガを選択可能
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TA _{IN} 端子の機能	プログラマブル入出力ポート、又はトリガ入力
TA _{OUT} 端子の機能	PWMパルス出力
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書き込むと、リロードレジスタ及びカウンタの両方に書き込まれる カウント中 タイマAiレジスタに書き込むと、リロードレジスタにだけ書き込まれる (カウンタには次のリロード時に転送される)

$i = 0 \sim 4$

注. トリガはカウント開始フラグが“1”のときに発生します。

9.7.1 PWMモード時のタイマAiレジスタ及びタイマAiモードレジスタ

タイマAiレジスタ($i=0\sim 4$) TAI				b15	b0						
【127 ₁₆ , 126 ₁₆ 番地、129 ₁₆ , 128 ₁₆ 番地、12B ₁₆ , 12A ₁₆ 番地、12D ₁₆ , 12C ₁₆ 番地、12F ₁₆ , 12E ₁₆ 番地】											
ビット	ビットシンボル	機能		リセット時	R/W						
		8ビットパルス幅変調器として動作しているとき	16ビットパルス幅変調器として動作しているとき								
7~0	TAI	設定値を m ($m=00_{16}\sim FF_{16}$)とすると、TAI _{OUT} 端子から出力するPWMパルスの周期は $(m+1)\times 2^9 - 1/f_i$ となる	設定値を n ($n=0000_{16}\sim FFFE_{16}$)とすると、TAI _{OUT} 端子から出力するPWMパルスのHレベル幅は n/f_i 、周期は $(2^{16}-1)/f_i$ となる	不定	WO						
15~8		設定値を r ($r=00_{16}\sim FE_{16}$)とすると、TAI _{OUT} 端子から出力するPWMパルスのHレベル幅は $r(m+1)/f_i$ となる		不定	WO						
注. このレジスタへの書き込みにはMOV命令を使用してください。											
タイマAiモードレジスタ($i=0\sim 4$) TAI _{MR} 【136 ₁₆ ~13A ₁₆ 番地】				b7	b6	b5	b4	b3	b2	b1	b0
									1	1	1
ビット	ビットシンボル	ビット名	機能	リセット時	R/W						
0	TMOD0	動作モード選択ビット	b1 b0 1 1 : PWMモード	0	RW						
1	TMOD1			0	RW						
2	MR0	PWMモードでは「1」に固定してください		0	RW						
3	MR1	外部トリガ選択ビット (注)	0 : TAI _{IN} 端子の入力信号の立ち下がり 1 : TAI _{IN} 端子の入力信号の立ち上がり	0	RW						
4	MR2	トリガ選択ビット	0 : カウント開始フラグへの「1」書き込み 1 : タイマAiイベント/トリガ選択ビットで選択したトリガ	0	RW						
5	MR3	16/8ビットPWMモード選択ビット	0 : 16ビットパルス幅変調器として動作 1 : 8ビットパルス幅変調器として動作	0	RW						
6	TCK0	カウントソース選択ビット	b7 b6 0 0 : f ₁ 0 1 : f ₈	0	RW						
7	TCK1		1 0 : f _{32}} 1 1 : f _{256}}	0	RW						
注. タイマAiイベント/トリガ選択ビット(122 ₁₆ 番地のビット6、7、123 ₁₆ 番地のビット0~7)でTAI _{IN} 入力を選択した場合のみ有効(それ以外は「0」又は「1」いずれでもよい)。											

図9.7.1 PWMモード時のタイマAiレジスタ及びタイマAiモードレジスタのレジスタ構成

(1) 外部トリガ選択ビット(ビット3)

タイマAiイベント/トリガ選択ビット(図9.3.4、図9.3.5参照)でカウントソースにTAI_{IN}端子の入力信号を選択した場合に、入力信号の立ち下がりトリガとするか、立ち上がりトリガとするかを選択するビットです(表9.7.2参照)。

(2) トリガ選択ビット(ビット4)

カウント開始のトリガを選択するビットです(表9.7.2参照)。

(3) 16/8ビットPWMモード選択ビット(ビット5)

16ビットパルス幅変調器又は8ビットパルス幅変調器のどちらで動作させるかを選択するビットです。

(4) カウントソース選択ビット(ビット6、7)

これらのビットでカウントソースを選択します(表5.3.2参照)。

表9.7.2 トリガの選択

トリガ選択ビット (136 ₁₆ ~ 13A ₁₆ 番地のビット4)	イベント/トリガ選択ビット (122 ₁₆ 番地のビット7, 6, 123 ₁₆ 番地)	外部トリガ選択ビット (136 ₁₆ ~ 13A ₁₆ 番地のビット3)	トリガ
0	X	X	カウント開始フラグへの'1'書き込み
1	00 ₂	0	TA _{iIN} 端子の入力信号の立ち下がり(注)
		1	TA _{iIN} 端子の入力信号の立ち上がり(注)
	01 ₂	X	TB2割り込み要求(注)
	10 ₂	X	TA _j 割り込み要求(注)
	11 ₂	X	TA _k 割り込み要求(注)

i = 0 ~ 4

j = i - 1(ただし、i = 0のときj = 4)

k = i + 1(ただし、i = 4のときk = 0)

X : "0"又は"1"いずれでもよい。

注 . これらのトリガは、カウント開始フラグ(120₁₆番地)が"1"のとき有効になります。

9.7.2 PWMモード設定方法

図9.7.2、図9.7.3にPWMモード関連レジスタ初期設定例を示します。

なお、割り込みを使用する場合は、割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

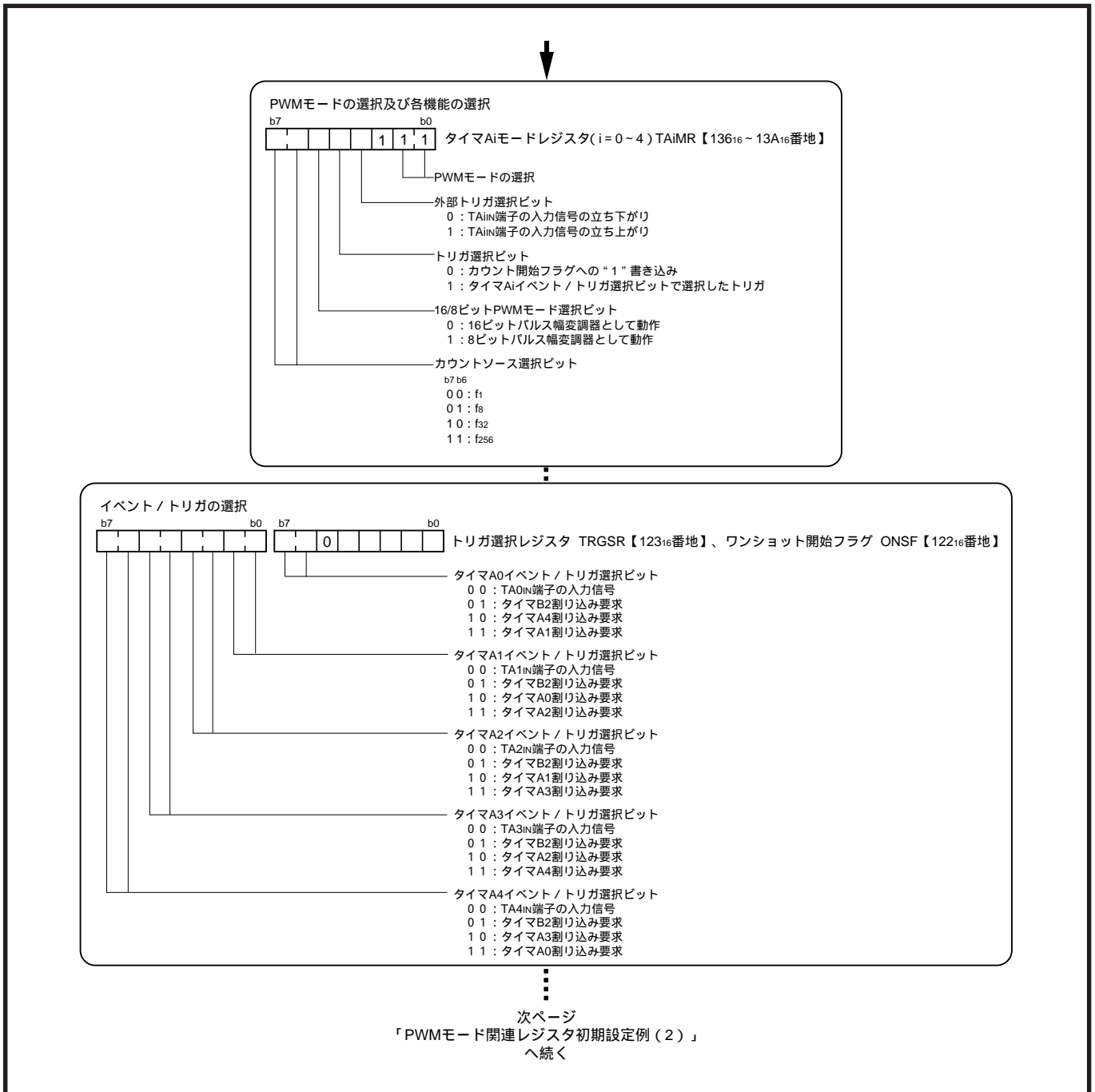


図9.7.2 PWMモード関連レジスタ初期設定例(1)

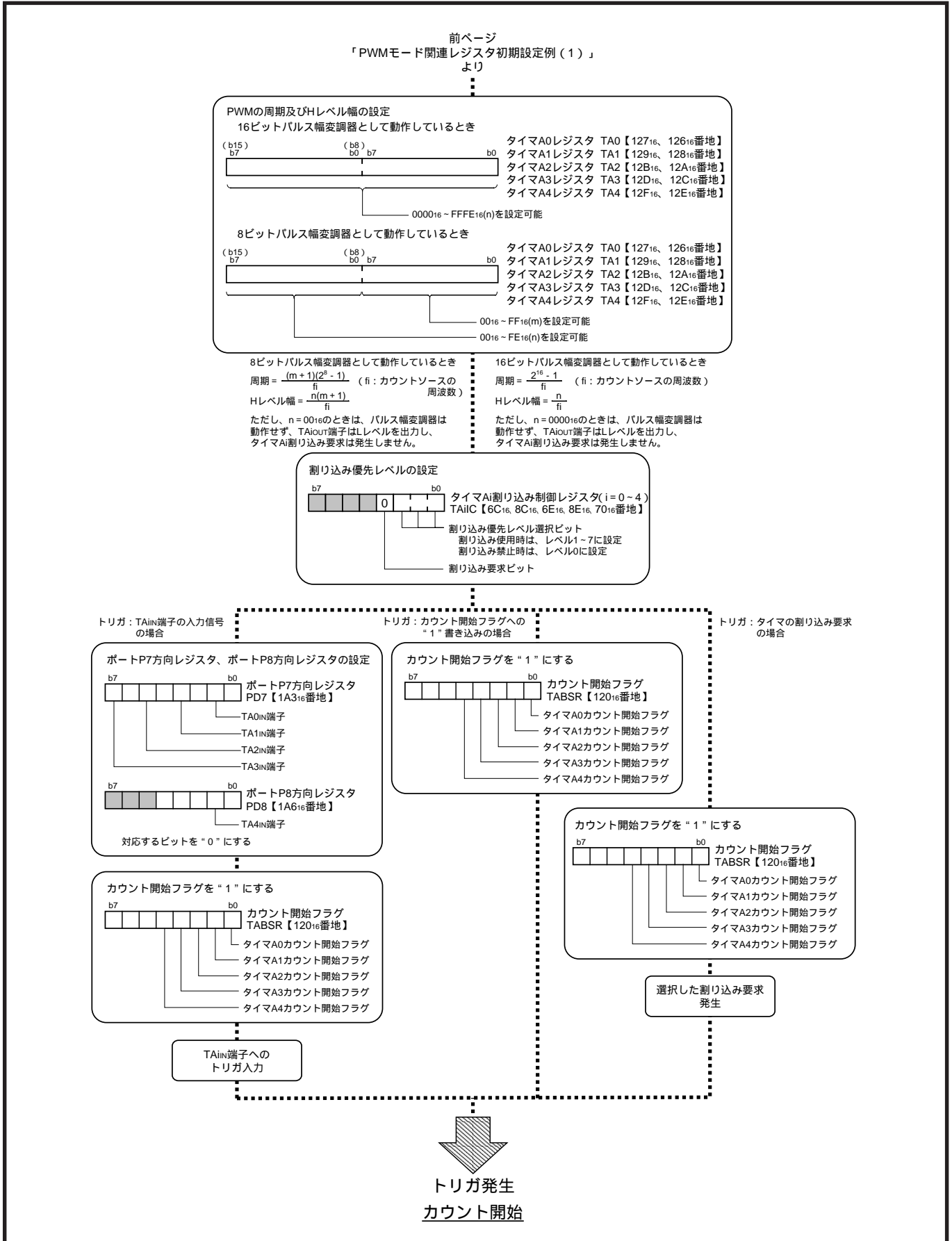


図9.7.3 PWMモード関連レジスタ初期設定例(2)

9.7.3 PWMモード動作説明

動作モード選択ビットでPWMモードを選択すると、TA_{iOUT}端子は“L”レベルを出力します。トリガが発生すると、カウンタ(パルス幅変調器)はカウントを開始し、TA_{iOUT}端子からPWMパルスを出します(注1、注2)。

PWMパルスのレベルが“H”から“L”になるごとに、タイマAi割り込み要求ビットが“1”になります。この後、割り込み要求ビットは、割り込み要求を受け付けるまで、又はソフトウェアで“0”にするまで、“1”の状態を保持します。

PWMパルスを1周期出力するごとに、カウンタはリロードレジスタの内容をリロードして、カウントを続けます。

パルス幅変調器の動作について以下に説明します。

(1)16ビットパルス幅変調器

16/8ビットPWMモード選択ビットを“0”にすると、カウンタは16ビットパルス幅変調器として動作します。図9.7.4、図9.7.5に16ビットパルス幅変調器の動作例を示します。

(2)8ビットパルス幅変調器

16/8ビットPWMモード選択ビットを“1”にすると、カウンタは8ビット長に2分割され、カウンタの上位8ビットは8ビットパルス幅変調器、下位8ビットは8ビットプリスケアラとして動作します。図9.7.6、図9.7.7に8ビットパルス幅変調器の動作例を示します。

注1. 16ビットパルス幅変調器として動作しているとき、タイマAiレジスタに“0000₁₆”を設定した場合は、パルス幅変調器は動作せず、TA_{iOUT}端子の出力レベルは“L”のまま、タイマAi割り込み要求も発生しません。また、8ビットパルス幅変調器として動作しているとき、タイマAiレジスタの上位8ビットに“00₁₆”を設定した場合も同じです。

2. 8ビットパルス幅変調器として動作している場合、トリガ発生後、TA_{iOUT}端子は $(1/f_i) \times (m+1) \times (n+1)$ の期間“L”レベルを出力し、その後、PWMパルスの出力を開始します。

なお、タイマA2、タイマA3をPWMモードで使用する場合、TA_{2OUT}、TA_{3OUT}端子はPWMパルス出力端子となるため、共用となっているキー入力割り込み端子(KI₀、KI₂端子)を選択しないでください(「第8章 キー入力割り込み」参照)。

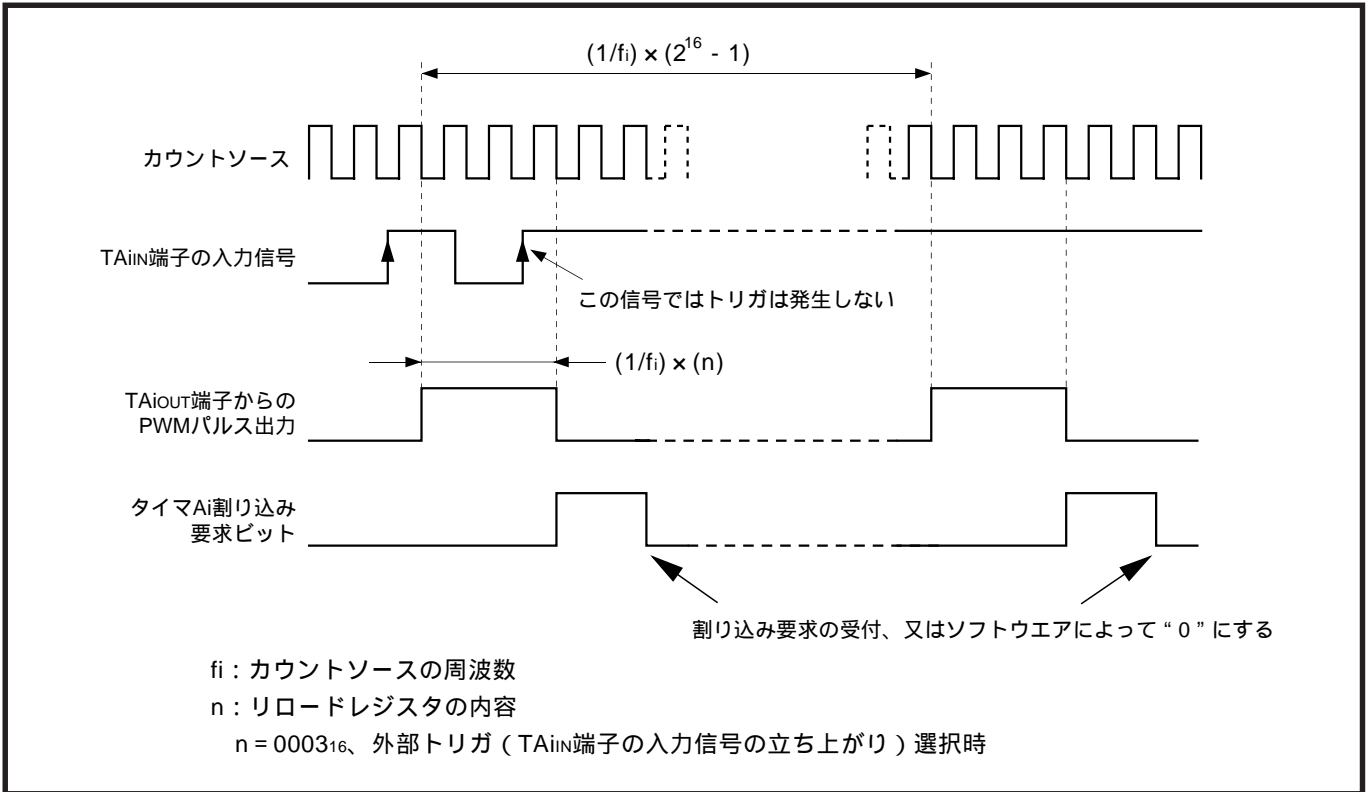


図9.7.4 16ビットパルス幅変調器の動作例

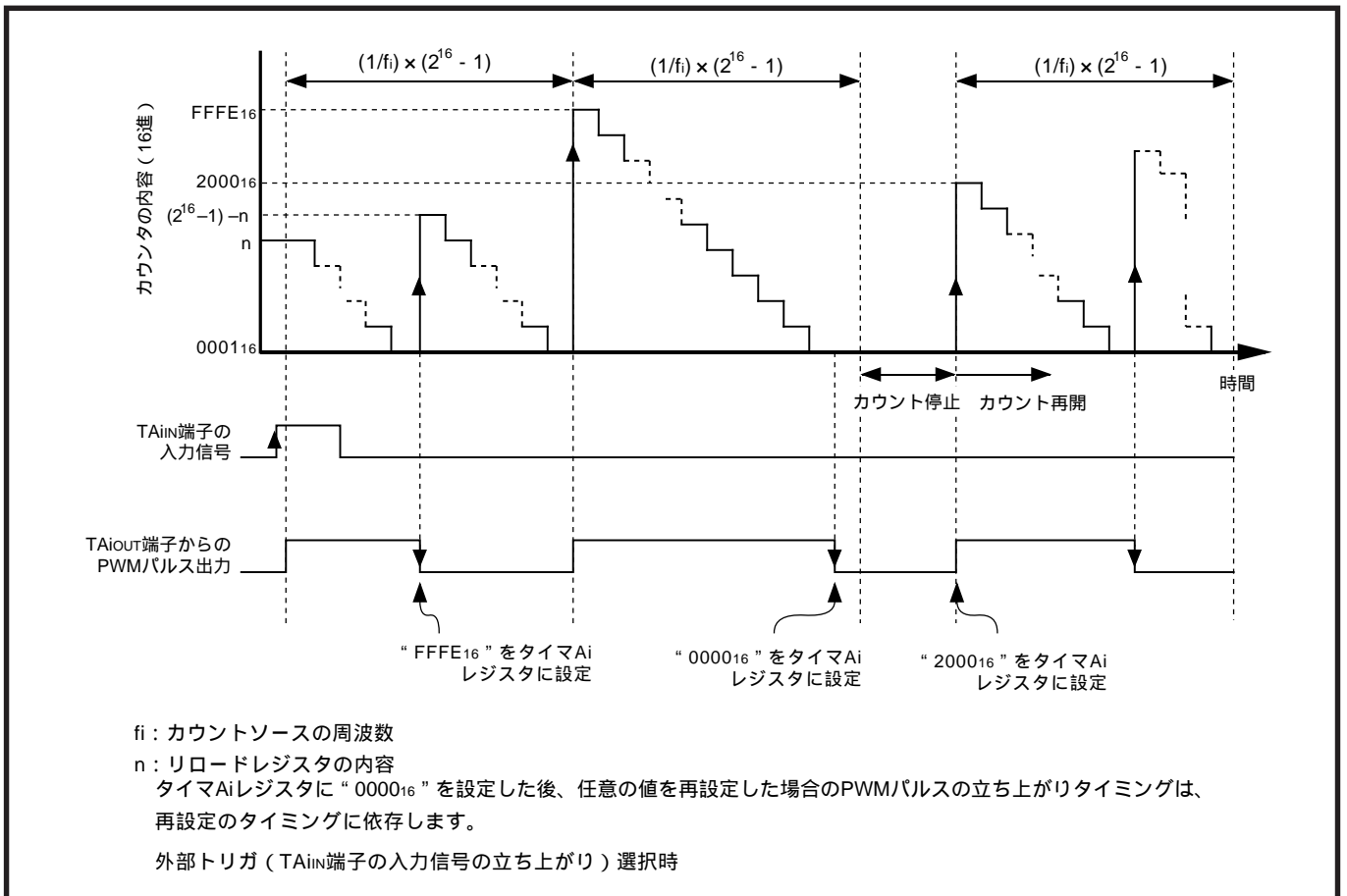


図9.7.5 16ビットパルス幅変調器の動作例 (パルス出力中にカウンタの値を更新した場合)

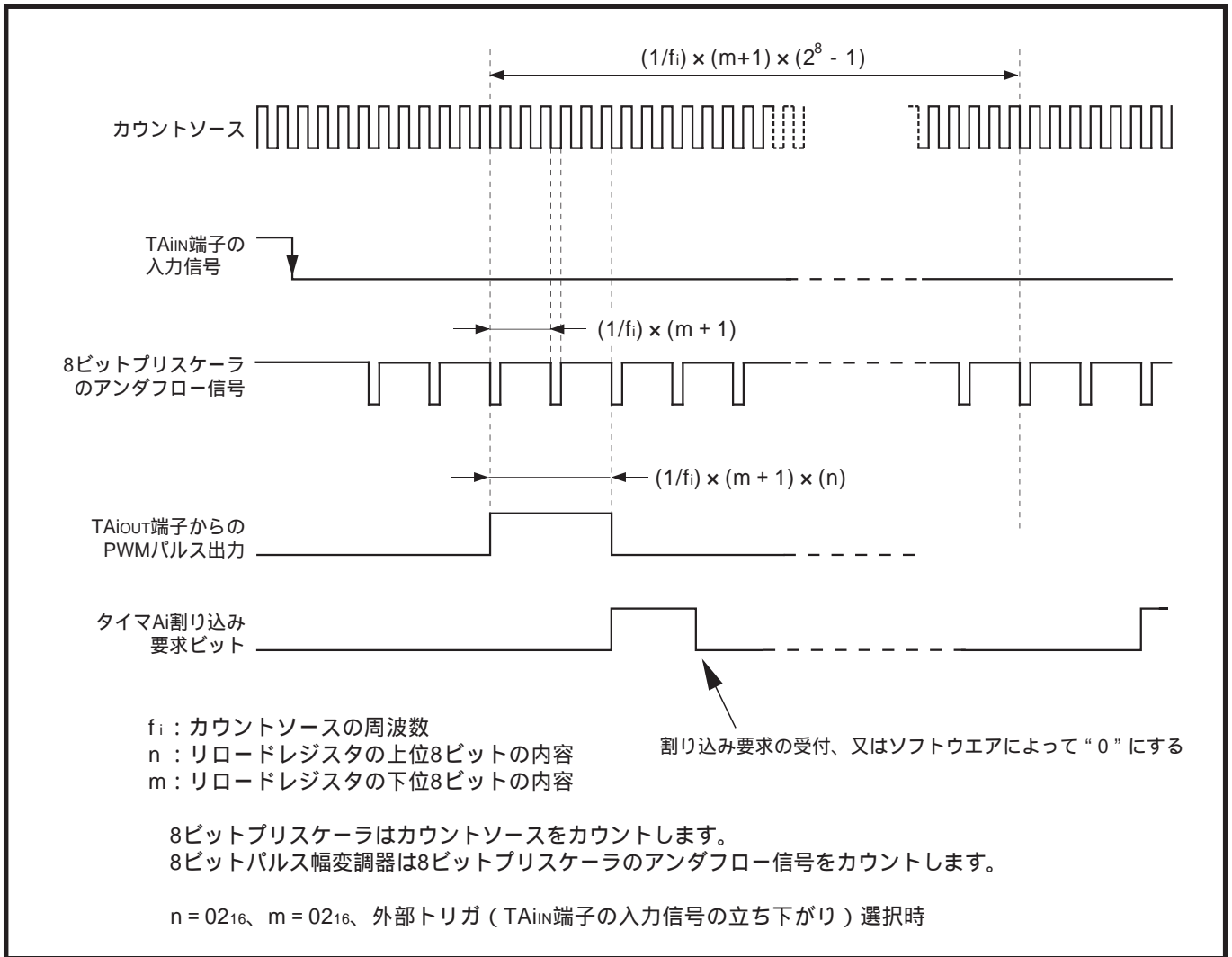


図9.7.6 8ビットパルス幅変調器の動作例

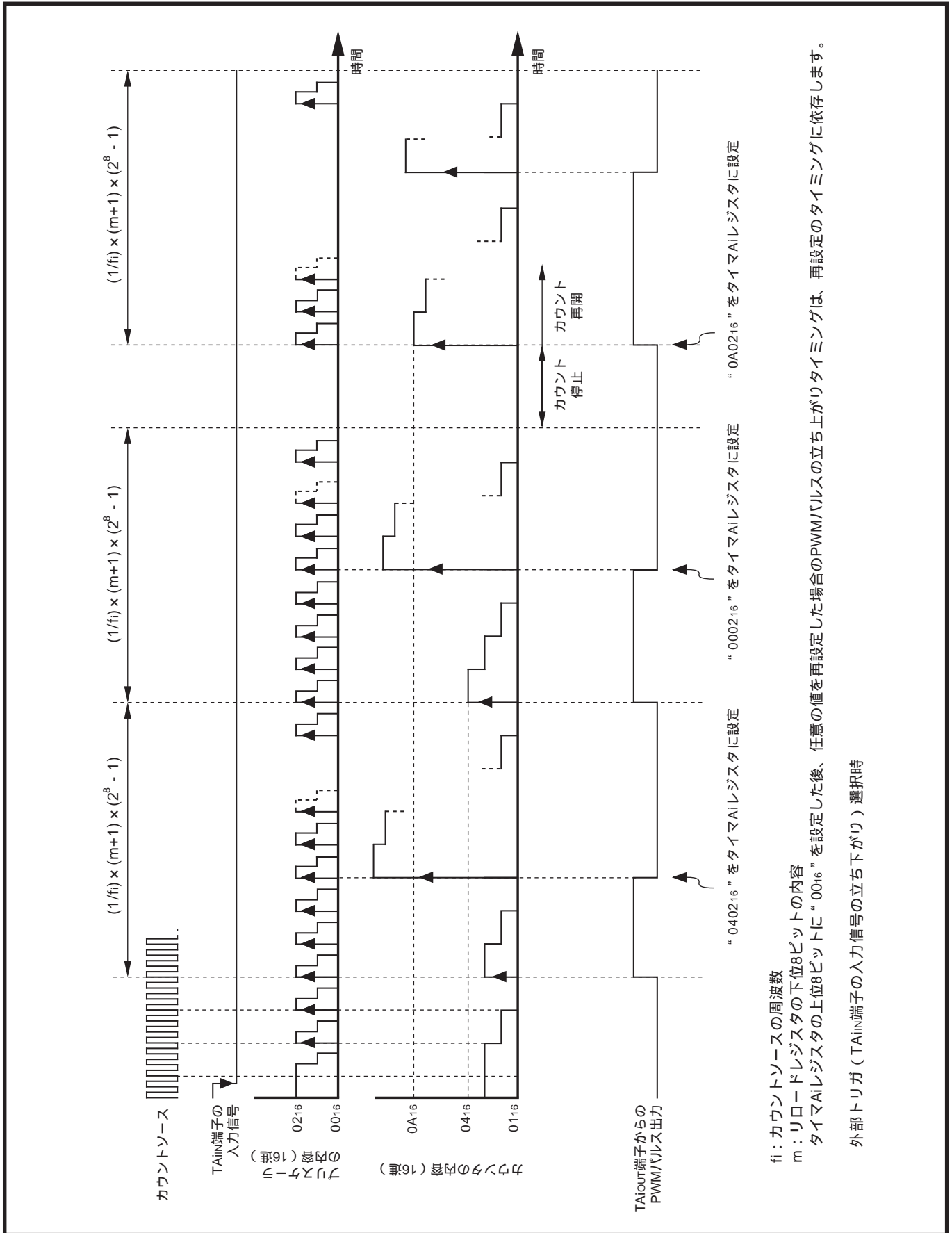


図9.7.7 8ビットパルス幅変調器の動作例(パルス出力中にカウンタの値を更新した場合)

【パルス幅変調(PWM)モード使用上の注意】

1. PWMパルスを出力中にカウント開始フラグを“0”にすると、カウンタはカウントを停止します。このときTAiOUT端子が“H”レベルを出力している場合は、出力レベルは“L”になり、タイマAi割り込み要求ビットが“1”になります。“L”レベルを出力している場合は、出力レベルは変化せず、タイマAi割り込み要求も発生しません。
2. 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“1”になります。

リセット後、PWMモードを選択したとき

動作モードをタイマモードからPWMモードに変更したとき

動作モードをイベントカウンタモードからPWMモードに変更したとき

したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“0”にしてください。

3. タイマA2、タイマA3をPWMモードで使用する場合、TA2OUT、TA3OUT端子はPWMパルス出力端子となるため、共用となっているキー入力割り込み端子(KI0、KI2端子)を選択しないでください(「第8章 キー入力割り込み」参照)。

Memo

第 10 章 タイマB

10.1 概 要

10.2 ブロック図

10.3 関連レジスタ

10.4 タイマモード

【タイマーモード使用上の注意】

10.5 イベントカウンタモード

【イベントカウンタモード使用上の注意】

10.6 パルス周期測定/パルス幅測定モード

【パルス周期測定/パルス幅測定モード
使用上の注意】

10.1 概要

タイマBは16ビットのリロード機能付きカウンタ3本(タイマB0~B2)で構成されています。タイマB0~B2は同一の機能を持ち、それぞれ独立して動作します。

タイマB($i=0\sim 2$)には以下に示す3つの動作モードがあります。

(1)タイマモード

内部で生成されたカウントソースをカウントするモードです。

(2)イベントカウンタモード

外部信号をカウントするモードです。

(3)パルス周期測定/パルス幅測定モード

外部信号のパルス周期、又はパルス幅を測定するモードです。

10.2 ブロック図

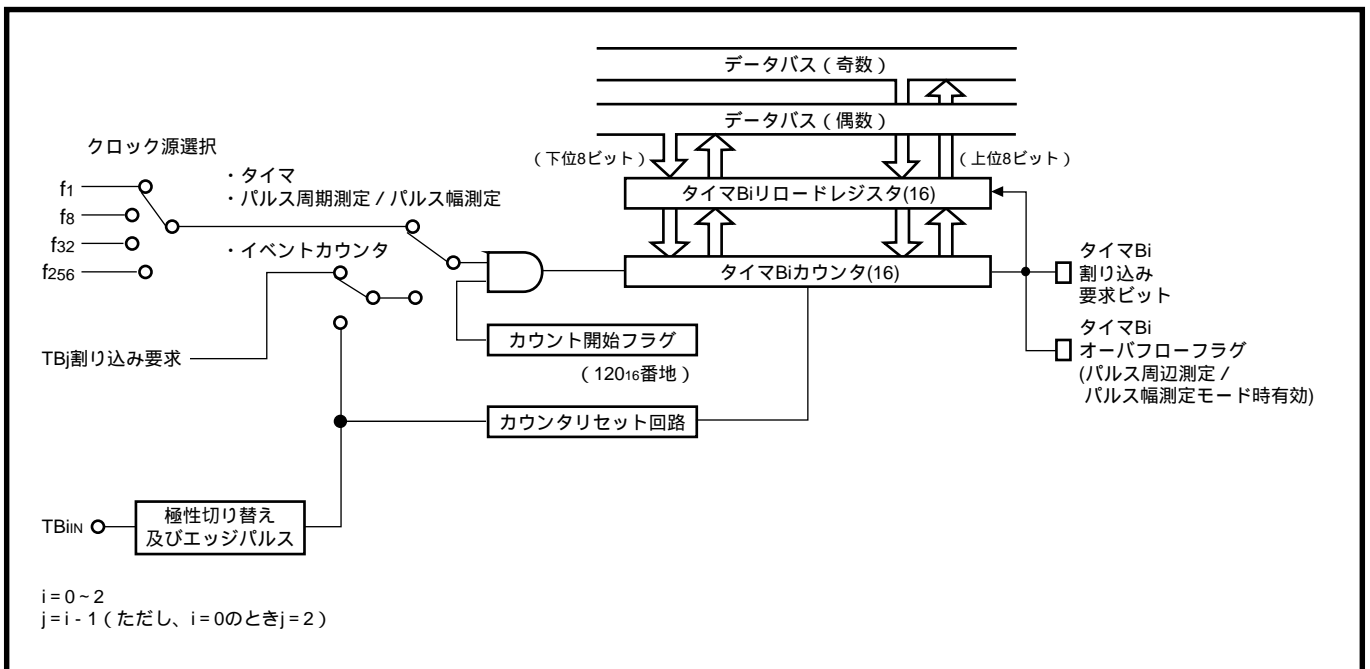


図10.2.1 タイマBブロック図

10.3 関連レジスタ

タイマBiレジスタ(i=0~2) TBi		機能		リセット時	R/W
【131 ₁₆ , 130 ₁₆ 番地、133 ₁₆ , 132 ₁₆ 番地、135 ₁₆ , 134 ₁₆ 番地】					
ビット	ビットシンボル	機能		リセット時	R/W
15~0	TBi	動作モードによって機能が異なる		不定	(注)
注. タイマモード及びイベントカウンタモードではRW、パルス周期測定/パルス幅測定モードではROになります。					
タイマBiモードレジスタ(i=0~2) TBiMR 【13B ₁₆ ~13D ₁₆ 番地】		機能		リセット時	R/W
ビット	ビットシンボル	ビット名	機能	リセット時	R/W
0	TMOD0	動作モード選択ビット	b1 b0 00: タイマモード 01: イベントカウンタモード	0	RW
1	TMOD1		10: パルス周期測定/パルス幅測定モード 11: 選択禁止	0	RW
2	MR0	動作モードによって機能が異なる		0	RW
3	MR1			0	RW
4	-	"0"に固定してください		不定	-
5	MR3	動作モードによって機能が異なる		不定	RO
6	TCK0			0	RW
7	TCK1			0	RW

図10.3.1 タイマBiレジスタ及びタイマBiモードレジスタのレジスタ構成

(1)タイマBiレジスタ(i=0~2)、タイマBiモードレジスタ(i=0~2)

動作モードによって機能が異なります。各動作モードの節を参照してください。

タイマBi割り込み制御レジスタ(i=0~2) TBiIC 【94 ₁₆ 、76 ₁₆ 、96 ₁₆ 番地】		機能		リセット時	R/W
ビット	ビットシンボル	ビット名	機能	リセット時	R/W
0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 000: レベルα(割り込み禁止) 001: レベル1	0	RW
1	ILVL1		010: レベル2 011: レベル3	0	RW
2	ILVL2		100: レベル4 101: レベル5 110: レベル6 111: レベル7	0	RW
3	IR	割り込み要求ビット(注)	0: 割り込み要求なし 1: 割り込み要求あり	不定	RW
7~4	-	何も配置されていない		不定	-
注. このビットへの書き込みにはMOV命令を使用してください。					

図10.3.2 タイマBi割り込み制御レジスタのレジスタ構成

(1)割り込み優先レベル選択ビット(ビット0~2)、割り込み要求ビット(ビット3)

各ビットの詳細については、「第7章 割り込み」を参照してください。

カウント開始フラグ TABSR 【120 ₁₆ 番地】						b7	b6	b5	b4	b3	b2	b1	b0
ビット	ビットシンボル	ビット名	機能			リセット時	R/W						
0	TA0S	タイマA0カウント開始フラグ	0: カウント停止 1: カウント開始			0	RW						
1	TA1S	タイマA1カウント開始フラグ											
2	TA2S	タイマA2カウント開始フラグ											
3	TA3S	タイマA3カウント開始フラグ											
4	TA4S	タイマA4カウント開始フラグ											
5	TB0S	タイマB0カウント開始フラグ											
6	TB1S	タイマB1カウント開始フラグ											
7	TB2S	タイマB2カウント開始フラグ											

図10.3.3 カウント開始フラグのレジスタ構成

(1)タイマB0～B2カウント開始フラグ(ビット5～7)

カウントを開始、又は停止させるためのフラグです。

ポートP9方向レジスタ PD9 【1A7 ₁₆ 番地】						b7	b6	b5	b4	b3	b2	b1	b0
ビット	ビットシンボル	対応する端子名	機能			リセット時	R/W						
0	PD9_0	TB0 _{IN} 端子	0: 入力モード 1: 出力モード タイマBiの入力端子として使用する場合は、対応するビットを“0”にしてください。			0	RW						
1	PD9_1	TB1 _{IN} 端子											
2	PD9_2	TB2 _{IN} 端子											
3	PD9_3	DA ₀ 端子											
4	PD9_4	DA ₁ 端子											
5	PD9_5	DA ₂ 端子											
6	PD9_6	INT ₃ 端子											
7	PD9_7	INT ₄ /AD _{TRG} 端子											

図10.3.4 ポートP9方向レジスタとタイマBiの入力端子の対応

(1)ポートP9方向レジスタ(ビット0～2)

タイマB0～B2の入力端子はポートP9と共用です。これらの端子をタイマBiの入力端子として使用する場合は、ポートP9方向レジスタの対応するビットを“0”にして入力モードに設定してください。

10

10.4 タイマモード

内部で生成されたカウントソースをカウントするモードです。

表10.4.1 タイマモードの仕様

項目	仕様
カウントソース f_i	f_1 、 f_8 、 f_{32} 、又は f_{256}
カウント動作	ダウンカウント アンダフロー時はリロードレジスタの内容をリロードしてカウントを継続
分周比	$\frac{1}{(n+1)}$ n : タイマBiレジスタ設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBi _{IN} 端子の機能	プログラマブル入出力ポート
タイマの読み出し	タイマBiレジスタを読み出すと、カウンタの値が読み出される
タイマの書き込み	カウント停止中 タイマBiレジスタに書き込むと、リロードレジスタ及びカウンタの両方に書き込まれる カウント中 タイマBiレジスタに書き込むと、リロードレジスタにだけ書き込まれる (カウンタには次のリロード時に転送される)

$i = 0 \sim 2$

10.4.1 タイマモード時のタイマBiレジスタ及びタイマBiモードレジスタ

タイマBiレジスタ(i=0~2) TBi		機能		リセット時	R/W
【131 ₁₆ , 130 ₁₆ 番地、133 ₁₆ , 132 ₁₆ 番地、135 ₁₆ , 134 ₁₆ 番地】					
ビット	ビットシンボル	機能		リセット時	R/W
15~0	TBi	設定値をr(n=0000 ₁₆ ~FFFF ₁₆)とすると、カウンタはカウントソースをn+1分周する 読み出し時はカウンタの値を読み出す		不定	RW

タイマBiモードレジスタ(i=0~2) TBiMR 【13B ₁₆ ~13D ₁₆ 番地】		機能		リセット時	R/W
ビット	ビットシンボル	ビット名	機能	リセット時	R/W
0	TMOD0	動作モード選択ビット	b1 b0 00: タイマモード	0	RW
1	TMOD1			0	RW
2	MR0	タイマモードでは無効		0	RW
3	MR1			0	RW
4	-	"0"に固定してください		不定	-
5	MR3	タイマモードでは無効		不定	RO
6	TCK0	カウントソース選択ビット	b7 b6 00: f ₁ 01: f ₈ 10: f ₃₂ 11: f ₂₅₆	0	RW
7	TCK1			0	RW

X: "0"又は"1"いずれでもよい。

図10.4.1 タイマモード時のタイマBiレジスタ及びタイマBiモードレジスタのレジスタ構成

(1) カウントソース選択ビット(ビット6、7)

これらのビットでカウントソースを選択します(表5.3.2参照)。

10.4.2 タイマモード設定方法

図10.4.2にタイマモード関連レジスタ初期設定例を示します。

なお、割り込みを使用する場合は割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

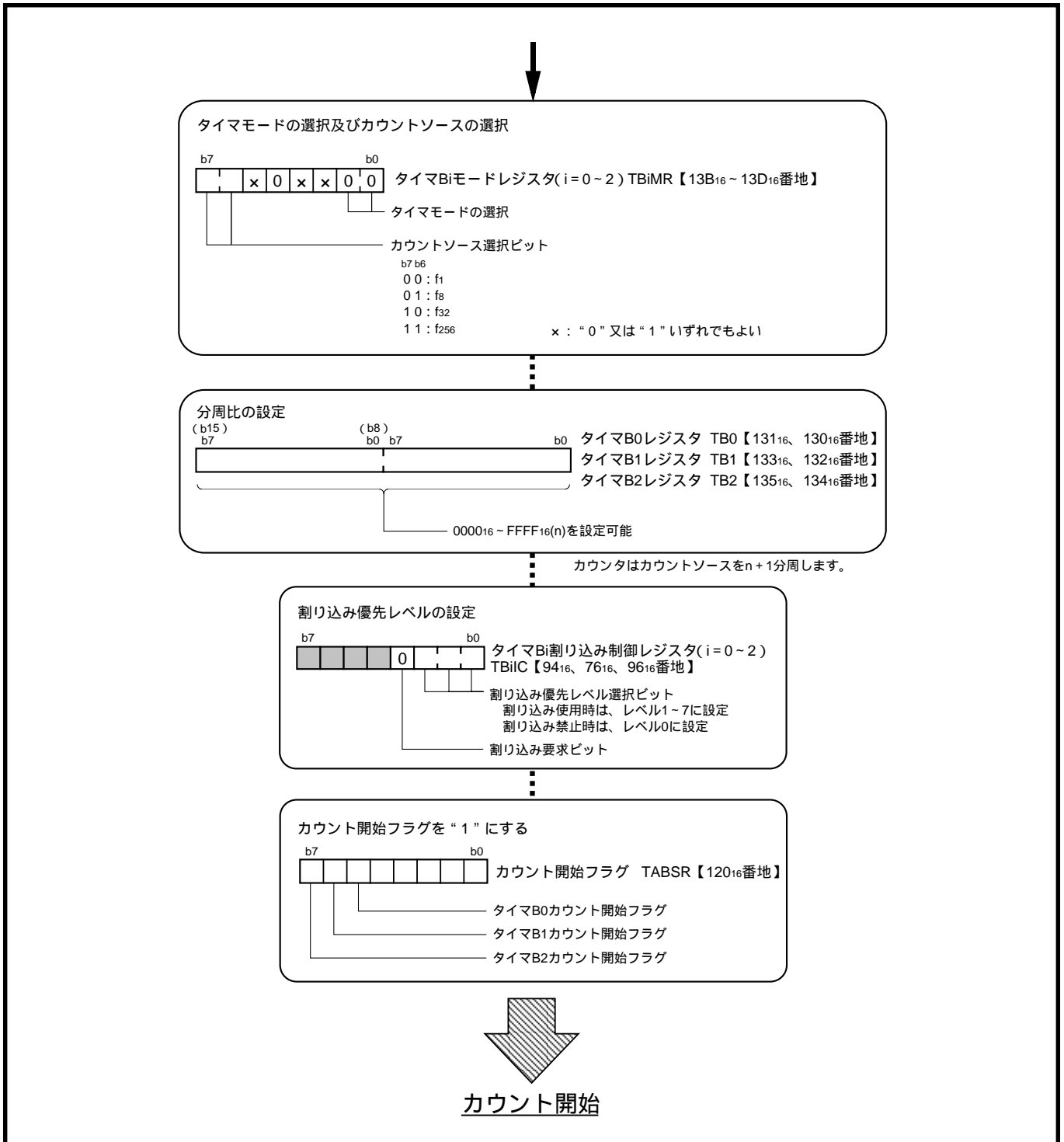


図10.4.2 タイマモード関連レジスタ初期設定例

10.4.3 タイマモード動作説明

カウント開始フラグを“1”にすると、カウンタはカウントソースのカウントを開始します。アンダフローすると、リロードレジスタの内容をリロードして、カウントを続けます。

のアンダフロー時、タイマBi割り込み要求ビットが“1”になります。

この後、割り込み要求ビットは、割り込み要求を受け付けるまで、又はソフトウェアで“0”にするまで、“1”の状態を保持します。

図10.4.3にタイマモード動作例を示します。

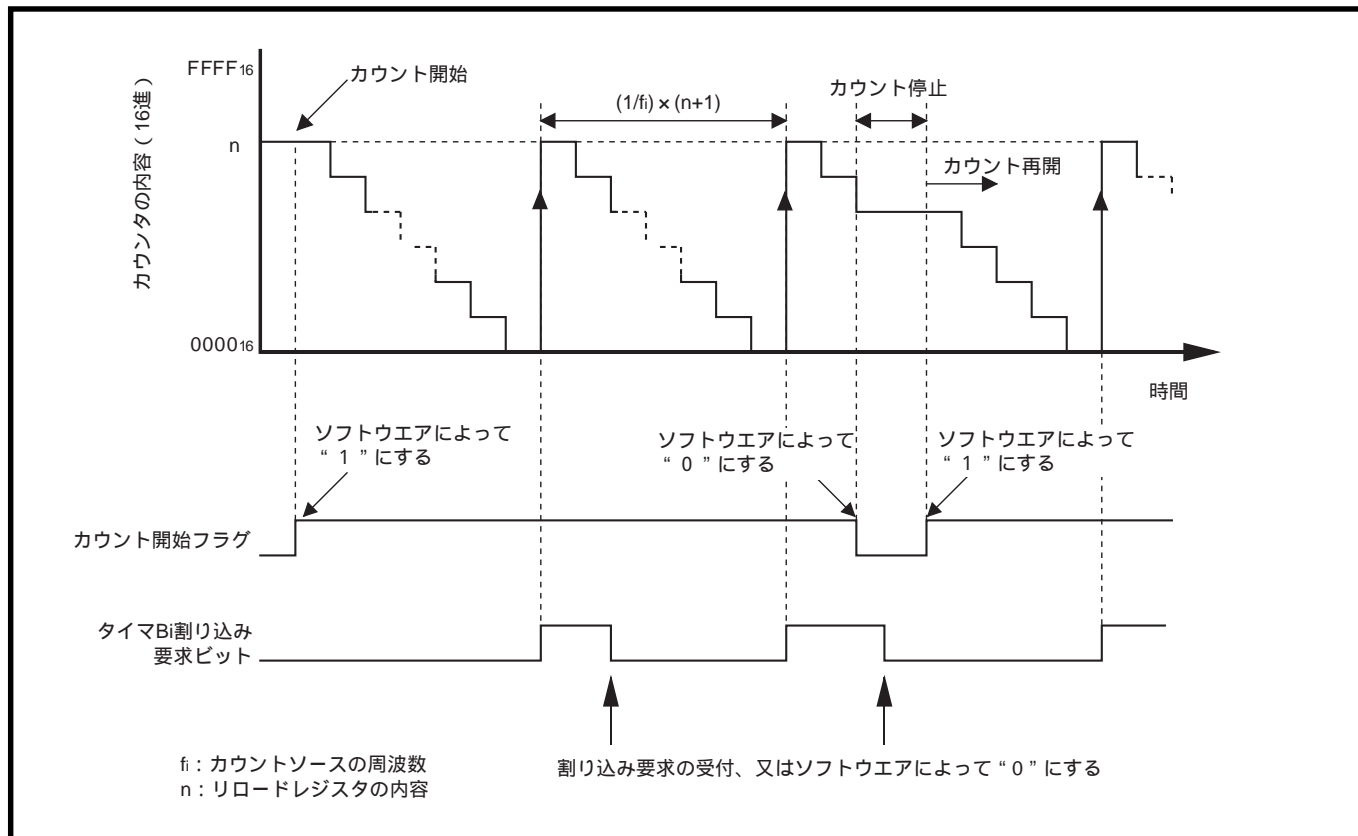


図10.4.3 タイマモード動作例

【タイマモード使用上の注意】

カウント中のカウンタの値は、タイマBiレジスタを読み出すことによって任意のタイミングで読み出せます。ただし、図10.4.4に示すリロードタイミングで読み出した場合は、“FFFF₁₆”が読み出されます。カウント停止中にタイマBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出した場合は、設定値が正しく読み出されます。

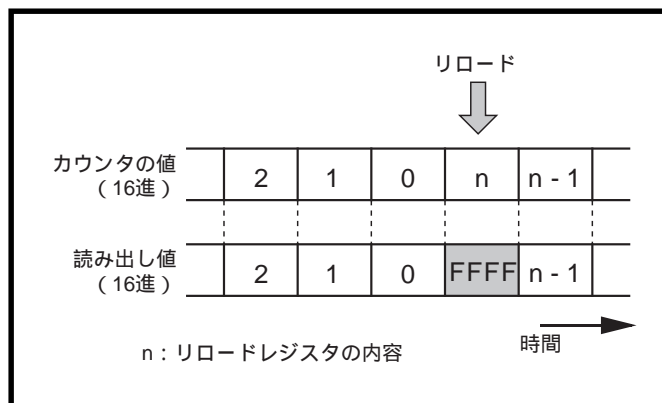


図10.4.4 タイマBiレジスタの読み出し

10.5 イベントカウンタモード

外部信号をカウントするモードです。

表10.5.1 イベントカウンタモードの仕様

項目	仕様
カウントソース	以下のいずれかをソフトウェアで選択できる ・TB _{in} 端子に入力された外部信号 (有効エッジ: 立ち下がり又は立ち上がりのどちらかを選択可能) ・タイマB _j 割り込み要求 $j = i - 1$ (ただし、 $i = 0$ のとき $j = 2$)
カウント動作	ダウンカウント アンダフロー時はリロードレジスタの内容をリロードしてカウントを継続
分周比	$\frac{1}{(n+1)}$ n : タイマB _i レジスタ設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TB _{in} 端子の機能	カウントソース入力
タイマの読み出し	タイマB _i レジスタを読み出すと、カウンタの値が読み出される
タイマの書き込み	カウント停止中 タイマB _i レジスタに書き込むと、リロードレジスタ及びカウンタの両方に書き込まれる カウント中 タイマB _i レジスタに書き込むと、リロードレジスタにだけ書き込まれる (カウンタには次のリロード時に転送される)

$i = 0 \sim 2$

10.5.1 イベントカウンタモード時のタイマBiレジスタ及びタイマBiモードレジスタ

タイマBiレジスタ(i=0~2) TBi		機能		リセット時	R/W
【131 ₁₆ , 130 ₁₆ 番地、133 ₁₆ , 132 ₁₆ 番地、135 ₁₆ , 134 ₁₆ 番地】				不定	RW
ビット	ビットシンボル	機能		リセット時	R/W
15~0	TBi	設定値をr(n=0000 ₁₆ ~FFFF ₁₆)とすると、カウンタはカウントソースをn+1分周する 読み出し時はカウンタの値を読み出す		不定	RW

タイマBiモードレジスタ(i=0~2) TBiMR 【13B ₁₆ ~13D ₁₆ 番地】		機能		リセット時	R/W
				不定	-
ビット	ビットシンボル	ビット名	機能	リセット時	R/W
0	TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード	0	RW
1	TMOD1			0	RW
2	MR0	カウント極性選択ビット	b3 b2 0 0 : TBin端子の入力信号の立ち下がりを実カウント 0 1 : TBin端子の入力信号の立ち上がりを実カウント 1 0 : TBin端子の入力信号の立ち上がり及び立ち下がりを実カウント 1 1 : 選択禁止	0	RW
3	MR1			0	RW
4	-	"0"に固定してください		不定	-
5	MR3	イベントカウンタモードでは無効		不定	RO
6	TCK0			不定	RW
7	TCK1	イベントクロック選択ビット	0 : TBin端子の入力信号 1 : TBJ割り込み要求 (注)	0	RW

注 . j=i-1。ただし、i=0の場合はj=2。
X: "0"又は"1"いずれでもよい。

図10.5.1 イベントカウンタモード時のタイマBiレジスタ及びタイマBiモードレジスタのレジスタ構成

(1) カウント極性選択ビット(ビット2、3)

イベントクロック選択ビット(ビット7)でイベントクロックにTBin端子の入力信号を選択した場合に、入力信号のカウント極性を選択するビットです。

(2) イベントクロック選択ビット(ビット7)

イベントクロックを選択するビットです。

10.5.2 イベントカウンタモード設定方法

図10.5.2にイベントカウンタモード関連レジスタ初期設定例を示します。

なお、割り込みを使用する場合は割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

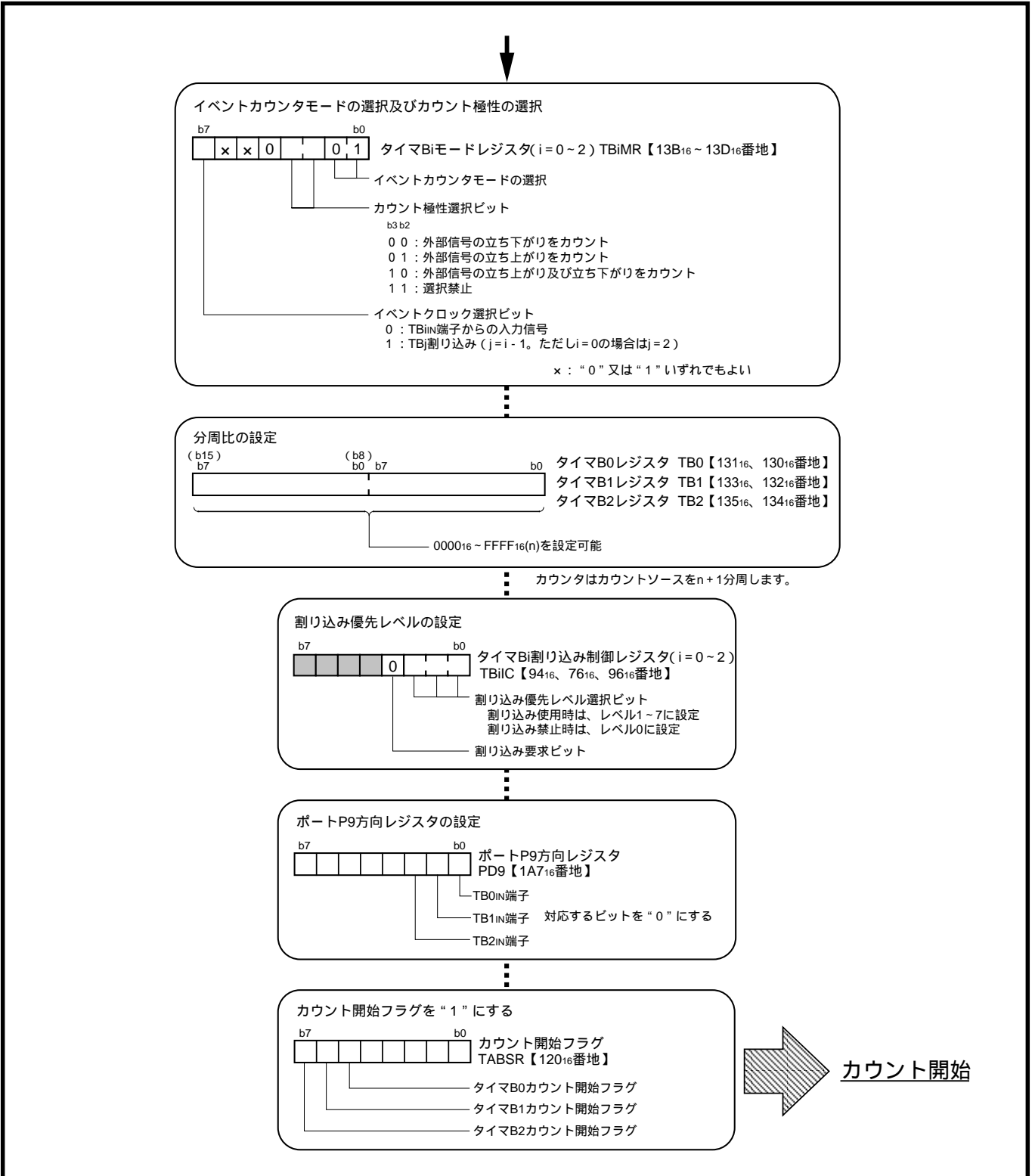


図10.5.2 イベントカウンタモード関連レジスタ初期設定例

10.5.3 イベントカウンタモード動作説明

カウント開始フラグを“1”にすると、カウンタはカウントソースの有効エッジのカウントを開始します。アンダフローすると、リロードレジスタの内容をリロードして、カウントを続けます。

のアンダフロー時、タイマBi割り込み要求ビットが“1”になります。

この後、割り込み要求ビットは、割り込み要求を受け付けるまで、又はソフトウェアで“0”にするまで、“1”の状態を保持します。

図10.5.3にイベントカウンタモード動作例を示します。

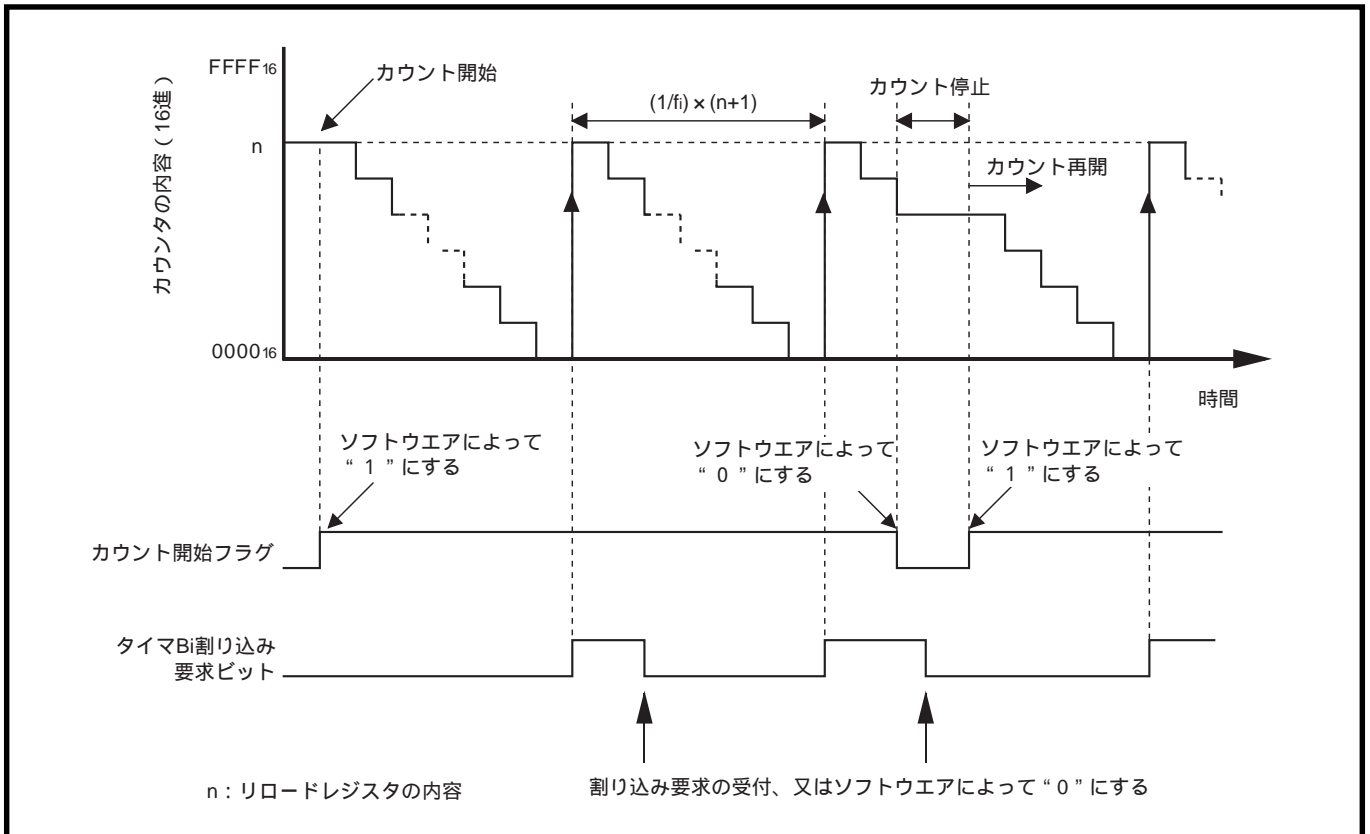


図10.5.3 イベントカウンタモード動作例

【イベントカウンタモード使用上の注意】

カウント中のカウンタの値は、タイマBiレジスタを読み出すことによって任意のタイミングで読み出せません。ただし、図10.5.4に示すリロードタイミングで読み出した場合は、“FFFF₁₆”が読み出されます。カウント停止中にタイマBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出した場合は、設定値が正しく読み出されます。

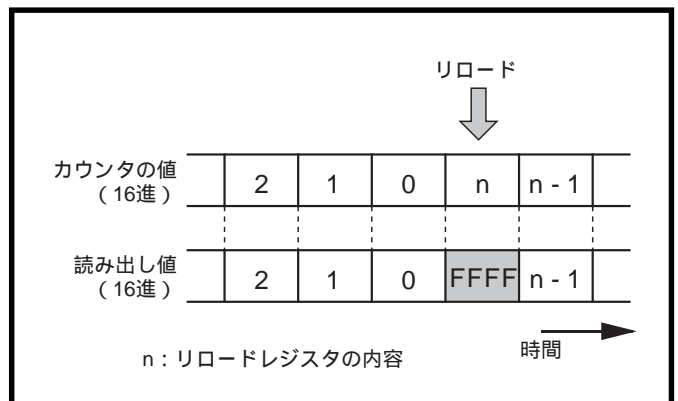


図10.5.4 タイマBiレジスタの読み出し

10.6 パルス周期測定 / パルス幅測定モード

外部信号のパルス周期、又はパルス幅を測定するモードです。

(1) パルス周期測定

TBin端子に入力された外部信号のパルス周期を測定

(2) パルス幅測定

TBin端子に入力された外部信号のパルス幅(“L”レベル幅、及び“H”レベル幅)を測定

表10.6.1 パルス周期測定 / パルス幅測定モードの仕様

項目	仕様
カウントソース f_i	f_1 、 f_8 、 f_{32} 、又は f_{256}
カウント動作	アップカウント 測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、 カウンタの値を“0000 ₁₆ ”にしてカウントを継続
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	測定パルスの有効エッジ入力時(注1) オーバフロー時(同時にオーバフローフラグが“1”になる)
TBin端子の機能	測定パルス入力
タイマの読み出し	タイマBiレジスタを読み出すと、リロードレジスタの内容(測定結果)が 読み出される(注2)
タイマの書き込み	無効

$i = 0 \sim 2$

オーバフローフラグ：割り込み要求発生要因の判別用フラグ

注1．カウント開始後1回目の有効エッジ入力時は、割り込み要求は発生しません。

2．カウント開始後2回目の有効エッジ入力までは、タイマBiレジスタからの読み出し値は不定です。

10.6.1 パルス周期測定 / パルス幅測定モード時のタイマBiレジスタ及びタイマBiモードレジスタ

タイマBiレジスタ(i=0~2) TBi		b15		b0						
【131 ₁₆ , 130 ₁₆ 番地、133 ₁₆ , 132 ₁₆ 番地、135 ₁₆ , 134 ₁₆ 番地】		[]								
ビット	ビット シンボル	機 能	リセット時	R/W						
15~0	TBi	パルス周期、又はパルス幅の測定結果を読み出す	不定	RO						
タイマBiモードレジスタ(i=0~2) TBiMR 【13B ₁₆ ~13D ₁₆ 番地】		b7		b6	b5	b4	b3	b2	b1	b0
						0			1	0
ビット	ビット シンボル	ビット名	機 能	リセット時	R/W					
0	TMOD0	動作モード選択ビット	b1 b0 1 0 : パルス周期測定 / パルス幅測定モード	0	RW					
1	TMOD1			0	RW					
2	MR0	測定モード選択ビット	b3 b2 0 0 : パルス周期測定(立ち下がり - 立ち下がり間) 0 1 : パルス周期測定(立ち上がり - 立ち上がり間) 1 0 : パルス幅測定(立ち下がり - 立ち上がり間、 及び立ち上がり - 立ち下がり間) 1 1 : 選択禁止	0	RW					
3	MR1			0	RW					
4	-	"0"に固定してください		不定	-					
5	MR3	タイマBiオーバフローフラグ (注)	0 : オーバフローなし 1 : オーバフローあり	不定	RO					
6	TCK0	カウントソース選択ビット	b7 b6 0 0 : f ₁ 0 1 : f ₈ 1 0 : f ₃₂ 1 1 : f ₂₅₆	0	RW					
7	TCK1			0	RW					

注 . このフラグは、カウント開始フラグが"1"の状態、このフラグが"1"になった後の次のカウントソースのカウントタイミング以降にタイマBiモードレジスタに書き込みを行うと、"0"になります。このフラグをソフトウェアで"1"にすることはできません。

図10.6.1 パルス周期測定 / パルス幅測定モード時のタイマBiレジスタ及びタイマBiモードレジスタのレジスタ構成

(1)測定モード選択ビット(ビット2、3)

外部信号のパルス周期を測定するか、パルス幅を測定するかを選択するビットです(表10.6.2参照)。測定結果が“H”レベル幅であるか、“L”レベル幅であるかはソフトウェアによって判別してください。

表10.6.2 測定モード選択ビットとパルス周期測定 / パルス幅測定の選択

b3	b2	パルス周期測定 / パルス幅測定	測定期間(有効エッジ)
0	0	パルス周期測定	立ち下がりから立ち下がり(立ち下がり)
0	1		立ち上がりから立ち上がり(立ち上がり)
1	0	パルス幅測定	立ち下がりから立ち上がり、及び立ち上がりから立ち下がり(立ち下がり、及び立ち上がり)

(2) タイマBiオーバフローフラグ(ビット5)

タイマBi割り込み要求は、測定パルスの有効エッジの入力、及びオーバフローによって発生します。タイマBiオーバフローフラグは、割り込み要求の発生要因が、オーバフローであるか、有効エッジの入力であるかを判別するために使用します。

オーバフロー時、このフラグは“1”になります。したがって、割り込み要求発生要因の判別は、割り込みルーチン内で、このフラグを確認することによって行えます。

タイマBiオーバフローフラグは、カウント開始フラグが“1”の状態で、タイマBiオーバフローフラグが“1”になった後の次のカウントソースのカウントタイミング以降にタイマBiモードレジスタに書き込みを行うと“0”になります。

タイマBiオーバフローフラグは読み出し専用です。

なお、オーバフローのタイミング検出には、タイマBi割り込み要求ビットを使用し、タイマBiオーバフローフラグは使用しないでください。

(3) カウントソース選択ビット(ビット6、7)

これらのビットでカウントソースを選択します(表5.3.2参照)。

10.6.2 パルス周期測定 / パルス幅測定モード設定方法

図10.6.2にパルス周期測定 / パルス幅測定モード関連レジスタ初期設定例を示します。

なお、割り込みを使用する場合は割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

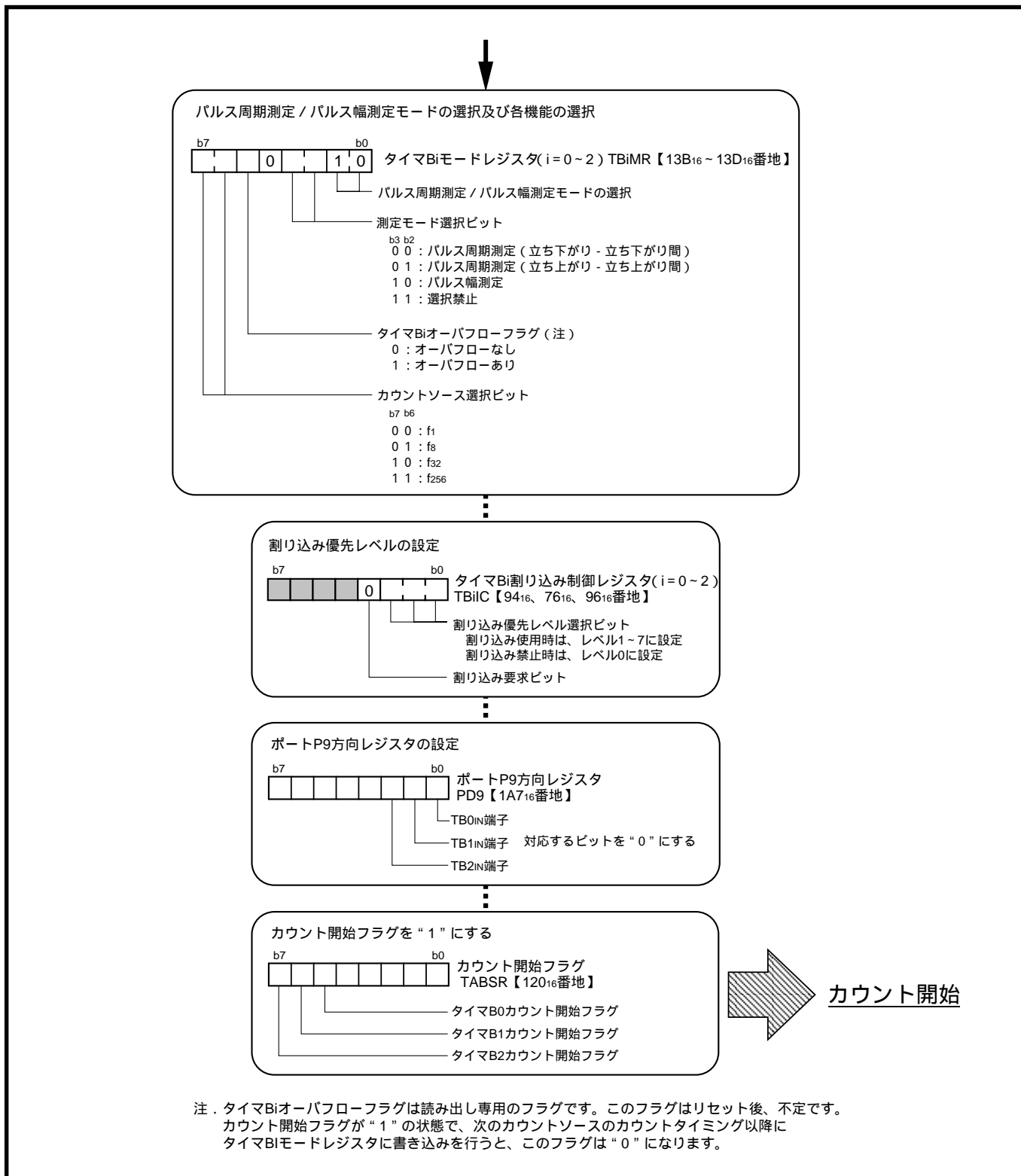


図10.6.2 パルス周期測定 / パルス幅測定モード関連レジスタ初期設定例

10.6.3 パルス周期測定 / パルス幅測定モード動作説明

カウント開始フラグを“1”にすると、カウンタはカウントソースのカウントを開始します。測定パルスの有効エッジ(表10.6.2参照)で、カウンタの値はリロードレジスタに転送されます。の転送後、カウンタの値は“0000₁₆”になり、カウンタはカウントを続けます。でカウンタの値が“0000₁₆”になると、タイマBi割り込み要求ビットが“1”になります(注)。この後、割り込み要求ビットは、割り込み要求を受け付けるまで、又はソフトウェアで“0”にするまで“1”の状態を保持します。
～ を繰り返します。

注 . カウント開始後1回目の有効エッジの入力時は、タイマBi割り込み要求は発生しません。

図10.6.3にパルス周期測定時の動作例を、図10.6.4にパルス幅測定時の動作例を示します。

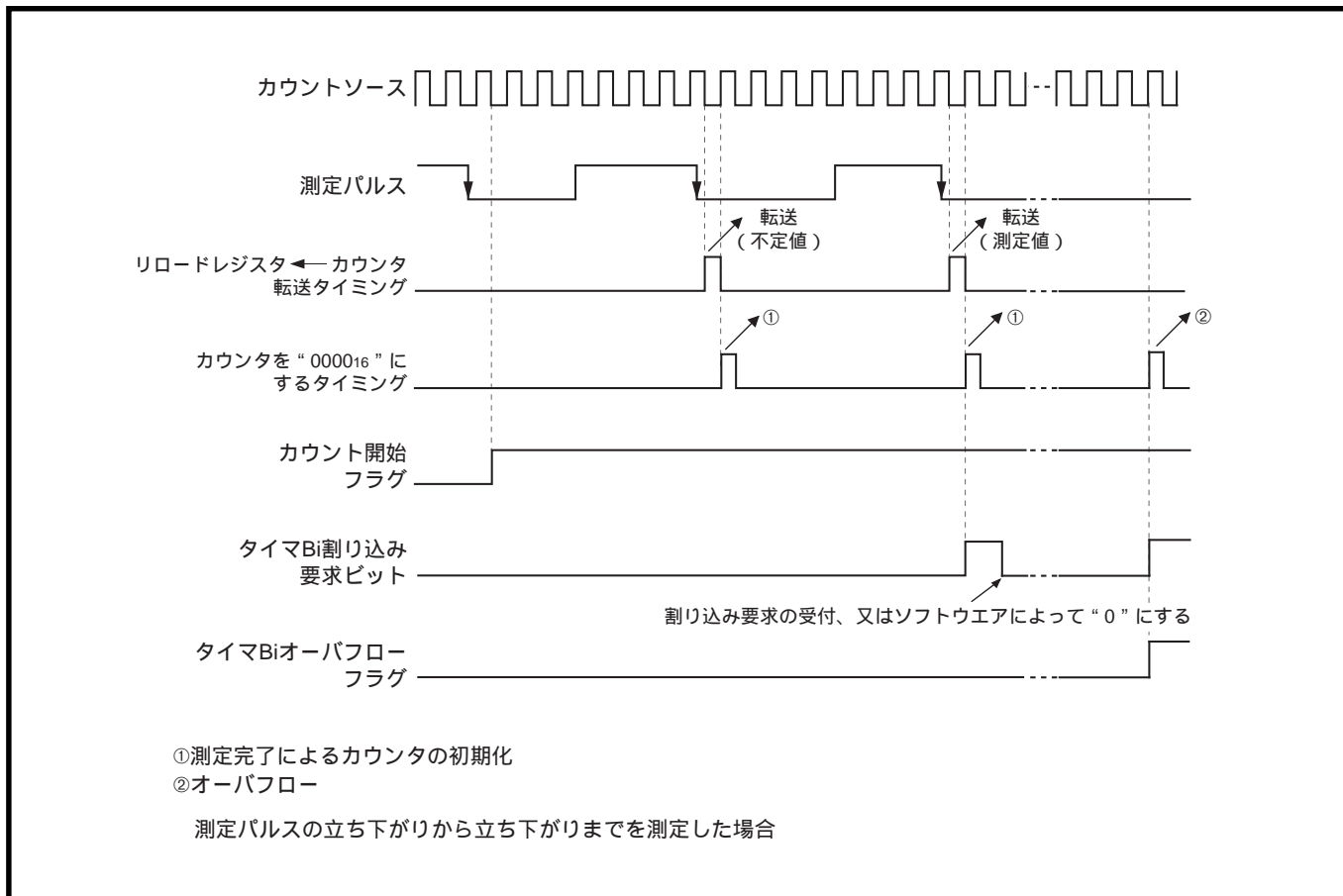


図10.6.3 パルス周期測定時の動作例

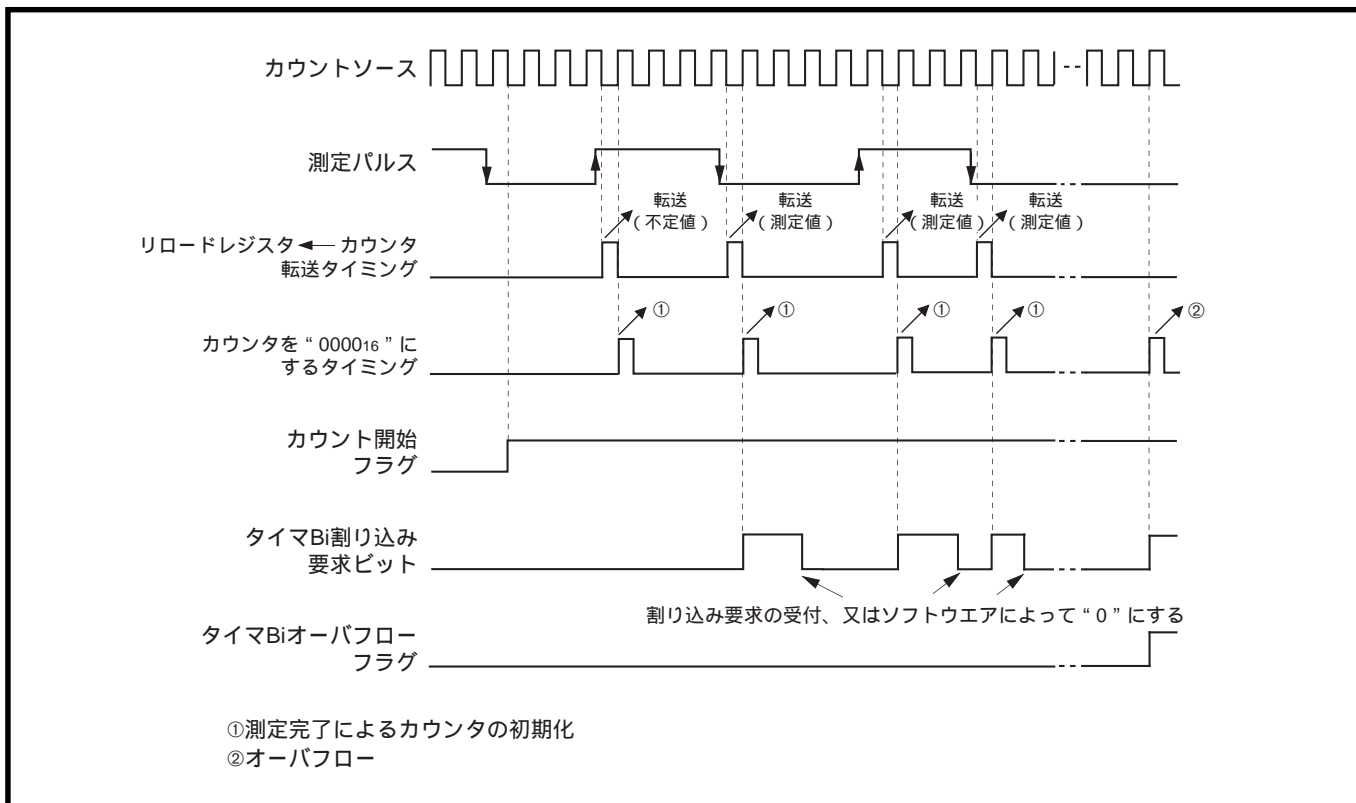


図10.6.4 パルス幅測定時の動作例

【パルス周期測定 / パルス幅測定モード使用上の注意】

1. タイマBi割り込み要求は次の2つの要因によって発生します。

測定パルスの有効エッジ入力
オーバーフロー

割り込み要求の発生要因がオーバーフローである場合、タイマBiオーバーフローフラグが“1”になります。

2. リセット後、タイマBiオーバーフローフラグは不定です。このフラグは、カウント開始フラグが“1”の状態、このフラグが“1”になった後の次のカウントソースのカウントタイミング以降にタイマBiモードレジスタに書き込みを行うと“0”になります。
3. カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。
4. カウント開始時のカウンタの値は不定です。したがって、カウント開始直後に、オーバーフローによってタイマBi割り込み要求が発生することがあります。
5. カウント開始後に測定モード選択ビットを変更すると、タイマBi割り込み要求ビットが“1”になります。測定モード選択ビットに以前と同じ値を書き込んだ場合は、割り込み要求ビットは変化しません。
6. TBin端子の入力信号がノイズなどの影響を受けると、正確な測定を行えない場合があります。測定値が一定の範囲内にあることを、ソフトウェアで確認することを推奨します。

Memo

第 11 章

シリアルI/O

- 11.1 概 要
- 11.2 ブロック図
- 11.3 関連レジスタ
- 11.4 CTS/RTS機能
- 11.5 クロック同期形シリアルI/Oモード
【クロック同期形シリアルI/Oモード使用上の注意】
- 11.6 クロック非同期形シリアルI/O (UART)モード
【クロック非同期形シリアルI/O (UART)モード使用上の注意】
- 11.7 エラー検出時の処理

11.1 概要

シリアルI/OはUART0、及びUART1の2チャンネルで構成されています。UART0、UART1はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

UART($i=0, 1$)には以下に示す2つの動作モードがあります。

(1) クロック同期形シリアルI/Oモード

転送クロックに送受信間で同一のクロックを使用するモードです。転送データ長は8ビットです。

(2) クロック非同期形シリアルI/O (UART)モード

任意の転送速度、転送データフォーマットを設定できるモードです。転送データ長には7ビット、8ビット、又は9ビットのいずれかを選択できます。

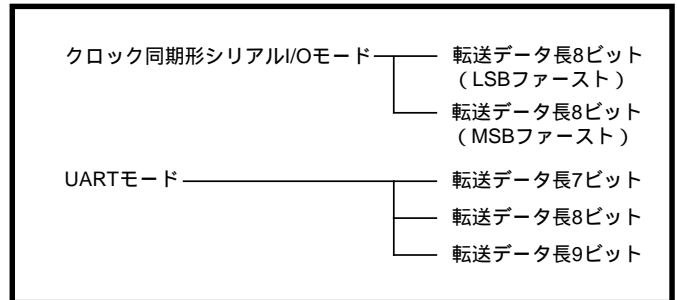


図11.1.1 各動作モード時の転送データフォーマット

図11.1.1に各動作モード時の転送データフォーマットを示します。

11.2 ブロック図

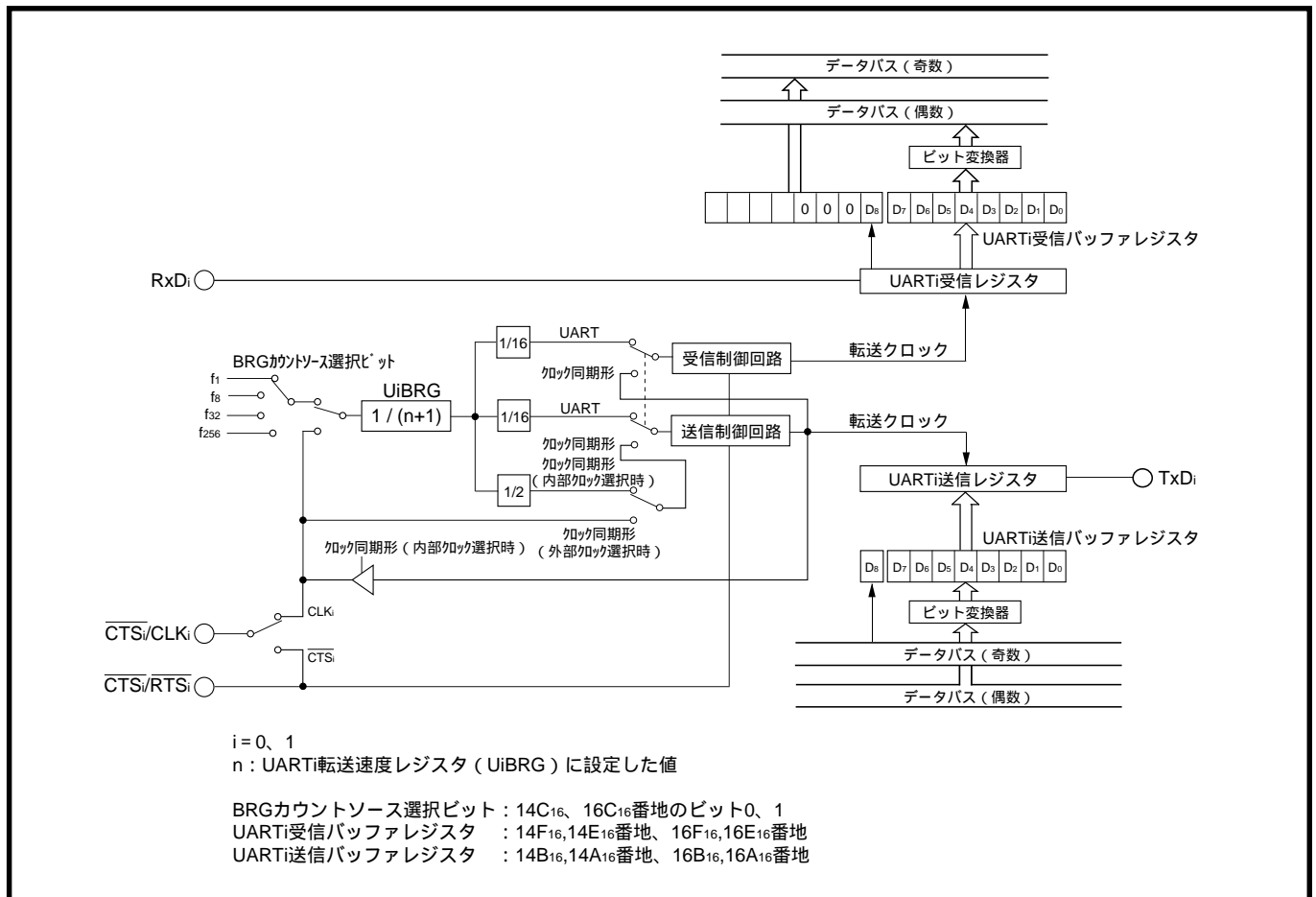


図11.2.1 シリアルI/Oブロック図

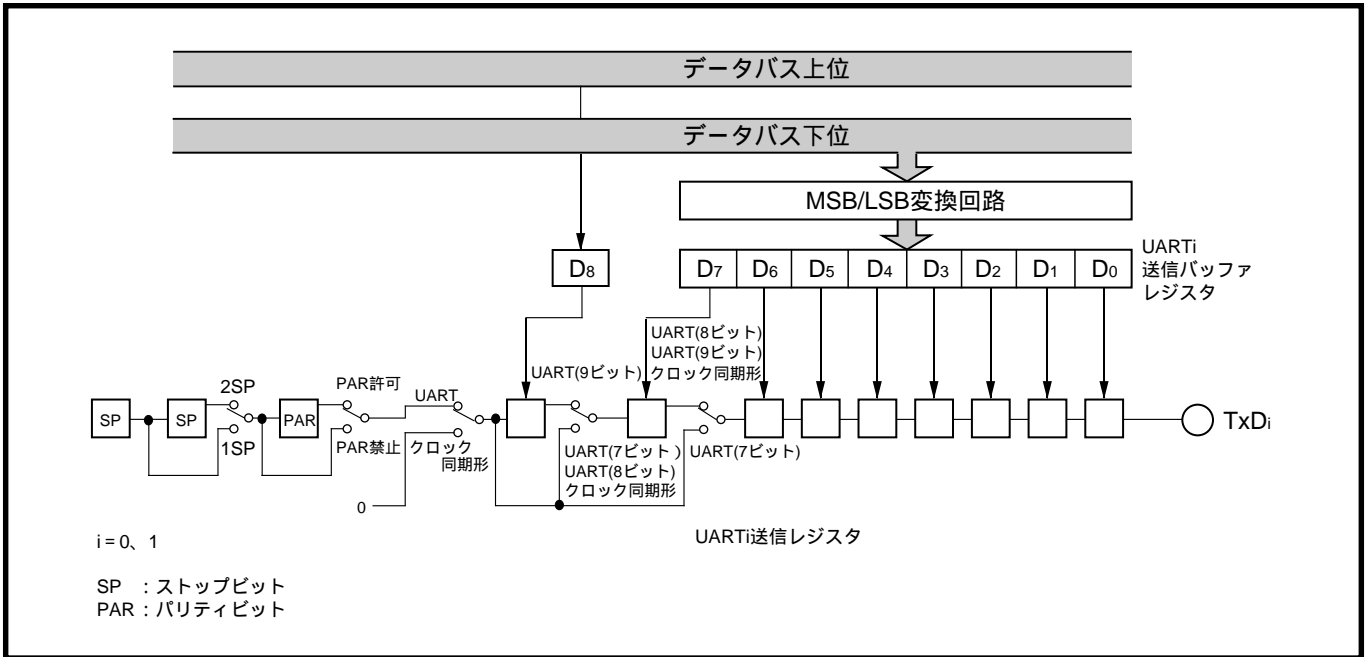


図11.2.2 送信部のブロック図

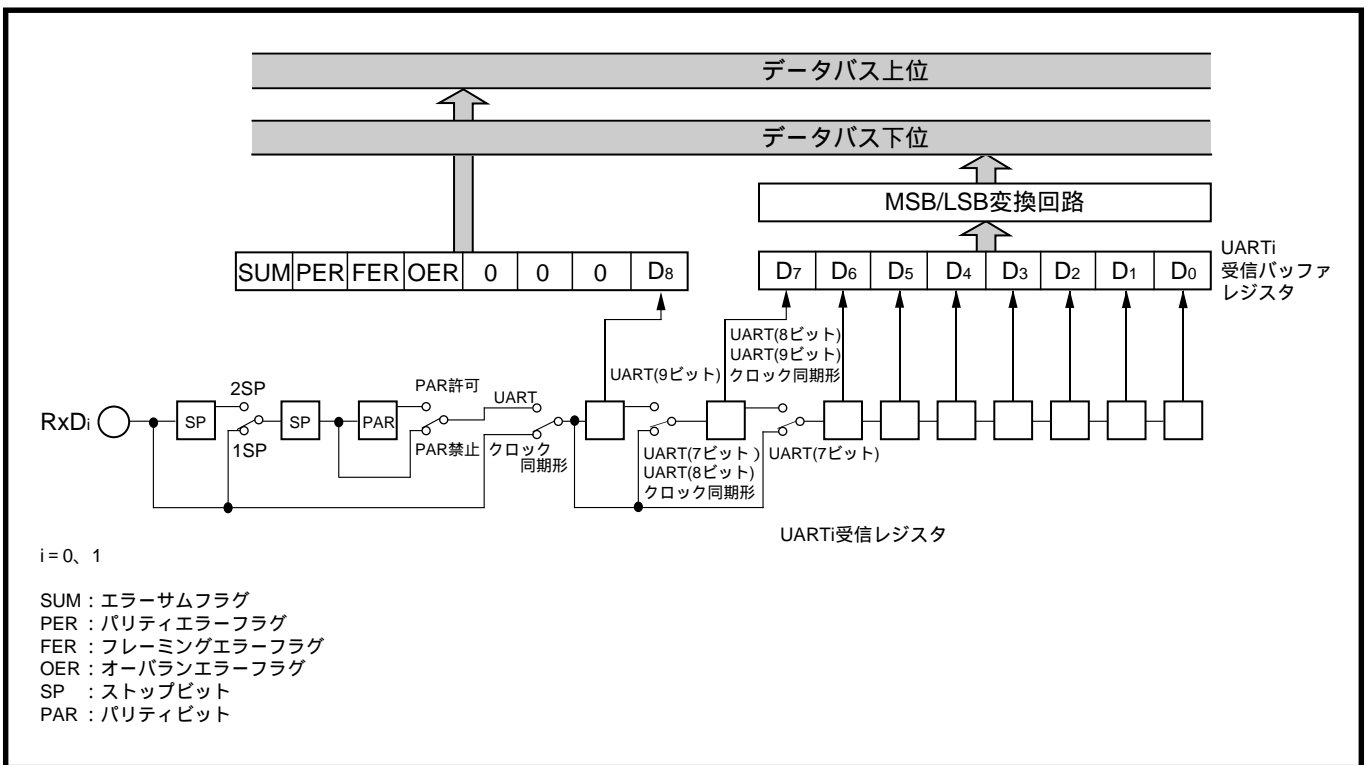


図11.2.3 受信部のブロック図

11.3 関連レジスタ

UART _i 送受信モードレジスタ(<i>i</i> =0、1) UiMR 【148 ₁₆ 、168 ₁₆ 番地】		b7 b6 b5 b4 b3 b2 b1 b0					
		0					
ビット	ビットシンボル	ビット名	機能	リセット時	R/W		
0	SMD0	シリアルI/Oモード選択ビット	b2b1b0 000: シリアルI/O無効(P6はプログラマブル入出力ポートとして機能)	0	RW		
1	SMD1		001: クロック同期形シリアルI/Oモード	0	RW		
2	SMD2		010: 選択禁止 011: 選択禁止	0	RW		
			100: UARTモード(転送データ長7ビット) 101: UARTモード(転送データ長8ビット) 110: UARTモード(転送データ長9ビット) 111: 選択禁止	0	RW		
3	CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック	0	RW		
4	STPS	ストップビット長選択ビット(注1)	0: ストップビット1ビット 1: ストップビット2ビット	0	RW		
5	PRY	パリティ奇数/偶数選択ビット(注1、2)	0: 奇数パリティ 1: 偶数パリティ	0	RW		
6	PRYE	パリティ許可ビット(注1)	0: パリティ禁止 1: パリティ許可	0	RW		
7	-	"0"に固定してください		0	RW		

注1. UARTモード時のみ有効です(クロック同期形シリアルI/Oモード時は、"0"又は"1"いずれでもよい)。
2. パリティ許可ビット(ビット6)が"1"のとき有効です。

図11.3.1 UART_i送受信モードレジスタのレジスタ構成

(1)シリアルI/Oモード選択ビット(ビット0~2)

UART_iの動作モードを選択するためのビットです。

(2)内/外部クロック選択ビット(ビット3)

クロック同期形シリアルI/Oモード時

このビットを"0"にして内部クロックを選択すると、BRGカウントソース選択ビット(14C₁₆、16C₁₆番地のビット0、1)で選択したクロックがUART_i転送速度レジスタ(UiBRG: 図11.3.6参照)のカウントソースになり、UiBRGの出力の2分周クロックが転送クロックになります。また、CLK_i端子から転送クロックが出力されます。

このビットを"1"にして外部クロックを選択すると、CLK_i端子に入力するクロックが転送クロックになります。

UARTモード時

このビットを"0"にして内部クロックを選択すると、BRGカウントソース選択ビット(14C₁₆、16C₁₆番地のビット0、1)で選択したクロックがUART_i転送速度レジスタ(UiBRG: 図11.3.6参照)のカウントソースになります。このとき、CLK_i端子はプログラマブル入出力ポートとして機能します。

このビットを"1"にして外部クロックを選択すると、CLK_i端子に入力するクロックがUiBRGのカウントソースになります。

なお、UARTモードでは、常にUiBRGの出力の16分周クロックが転送クロックになります。

(3)ストップビット長選択ビット、パリティ奇数/偶数選択ビット、パリティ許可ビット(ビット4~6)

「11.6.2 転送データフォーマット」を参照してください。

UARTi転送速度レジスタ(i = 0, 1) UiBRG 【149 ₁₆ 、169 ₁₆ 番地】		b7		b0		
ビット	ビットシンボル	機能			リセット時	R/W
7~0	UiBRG	設定値をr(n = 00 ₁₆ ~ FF ₁₆)とすると、UiBRGはカウントソースをn + 1分周する			不定	WO

注：このレジスタへの書き込みにはMOV命令を使用してください。また、このレジスタへの書き込みは、送受信停止中に行ってください。

図11.3.2 UARTi転送速度レジスタのレジスタ構成

(1) UARTi転送速度レジスタ

UARTi転送速度レジスタ(UiBRG)は、UARTi専用の転送クロック発生用8ビットタイマで、リロードレジスタを持ちます。UiBRGに設定された値をr(00₁₆ ~ FF₁₆)とすると、UiBRGはカウントソースをn + 1分周します。

クロック同期形シリアルI/Oモードでは、内部クロック選択時にUiBRGが有効になり、UiBRGの出力を2分周したクロックが転送クロックになります。UARTモードでは、UiBRGは常に有効で、UiBRGの出力を16分周したクロックが転送クロックになります。

なお、UiBRGに書き込むと、送受信中か停止中かにかかわらず、タイマとリロードレジスタの両方に書き込まれます。したがって、これらのレジスタへの書き込みは送受信停止中に行ってください。

UARTi送信バッファレジスタ(i = 0, 1) UiTB 【14B ₁₆ 、14A ₁₆ 番地、16B ₁₆ 、16A ₁₆ 番地】		b15		b8 b7		b0	
ビット	ビットシンボル	機能			リセット時	R/W	
8~0	UiTB	送信データを設定			不定	WO	
15~9	-	何も配置されていない			不定	-	

注：このレジスタへの書き込みにはMOV命令を使用してください。

図11.3.3 UARTi送信バッファレジスタのレジスタ構成

(1) UARTi送信バッファレジスタ

送信データを設定するためのレジスタです。クロック同期形シリアルI/Oモード時、及びUARTモードで転送データ長7ビット、又は8ビットを選択したときは、このレジスタの下位バイトに送信データを設定します。UARTモードで転送データ長9ビットを選択したときは、このレジスタの上位バイトのビット0に送信データのビット8を、下位バイトに送信データのビット7~0を設定します。

UARTi送信バッファレジスタに設定した送信データは、送信条件が満たされると、UARTi送信レジスタ(図11.2.2参照)に転送され、転送クロックに同期してTxDi端子から出力されます。UARTi送信バッファレジスタに設定したデータがUARTi送信レジスタに転送されると、UARTi送信バッファレジスタは空になりますので、次の送信データを設定できます。

なお、クロック同期形シリアルI/OモードでMSBファーストを選択した場合は、設定したデータの、各ビットの位置を反転したデータが、送信データとしてUARTi送信バッファレジスタに書き込まれます(「11.5.2 転送データフォーマット」参照)。

実行中の送信を中断してUARTi送信バッファレジスタを再設定する場合は、以下の手順で行ってください。

シリアルI/Oモード選択ビット(148₁₆、168₁₆番地のビット2~0)を“000₂(シリアルI/O無効)にする。
シリアルI/Oモード選択ビットを再設定する。

送信許可ビット(14D₁₆、16D₁₆番地のビット0)を“1(送信許可)にして、UARTi送信バッファレジスタに送信データを設定する。

UART _i 送受信制御レジスタ <i>i</i> (i = 0, 1) UiC0 【14C ₁₆ 、16C ₁₆ 番地】				b7	b6	b5	b4	b3	b2	b1	b0																					
<table border="1" style="float: right;"> <tr> <td style="width: 20px;"></td> <td style="width: 20px;"></td> <td style="width: 20px;"></td> <td style="width: 20px;"></td> <td style="width: 20px;"></td> <td style="width: 20px;"></td> <td style="width: 20px;"></td> <td style="width: 20px;"></td> <td style="width: 20px;"></td> <td style="width: 20px;"></td> <td style="width: 20px;"></td> </tr> <tr> <td colspan="8"></td> <td style="text-align: center;">0</td> <td></td> <td></td> </tr> </table>																														0		
								0																								
ビット	ビットシンボル	ビット名	機能	リセット時	R/W																											
0	CLK0	BRGカウントソース選択ビット	b1 b0 0 0 : f ₁ 0 1 : f ₈	0	RW																											
1	CLK1		1 0 : f ₃₂ 1 1 : f ₂₅₆	0	RW																											
2	CRS	CTS/RTS機能選択ビット (注1)	0 : CTSを選択 1 : RTSを選択	0	RW																											
3	TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり(送信中) 1 : 送信レジスタにデータなし(送信完了)	1	RO																											
4	CRD	CTS/RTS禁止ビット	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止	0	RW																											
5	-	"0"に固定してください		0	RW																											
6	CKPOL	CLK極性選択ビット (注2)	0 : クロックの立ち下がりで送信データ出力、 立ち上がりで受信データ入力 非転送時、CLK _i 端子はHレベル 1 : クロックの立ち上がりで送信データ出力、 立ち下がりで受信データ入力 非転送時、CLK _i 端子はLレベル	0	RW																											
7	UFORM	転送フォーマット選択ビット (注2)	0 : LSB(最下位ビット)ファースト 1 : MSB(最上位ビット)ファースト	0	RW																											

注1. CTS/RTS禁止ビットが"0"、かつCTS/RTS分離選択ビット(170₁₆番地のビット0, 1)が"0"のとき有効です。
2. UARTモード時、及びシリアルI/Oが無効のときは、"0"に固定してください。

図11.3.4 UART_i送受信制御レジスタ0のレジスタ構成

(1) BRGカウントソース選択ビット(ビット0、1)

UART_i転送速度レジスタ(UiBRG : 図11.3.6参照)のカウントソースを選択するビットです。

(2) CTS/RTS機能選択ビット(ビット2)

「11.4 CTS/RTS機能」を参照してください。

(3) 送信レジスタ空フラグ(ビット3)

UART_i送信バッファレジスタの内容がUART_i送信レジスタに転送されたとき、このフラグは"0"になります。送信を完了し、UART_i送信レジスタが空になったとき、このフラグは"1"になります。

(4) CTS/RTS禁止ビット(ビット4)

「11.4 CTS/RTS機能」を参照してください。

(5) CLK極性選択ビット(ビット6)

クロック同期形シリアルI/Oモード時だけ、このビットによって転送クロックの極性を選択できます。詳細は「11.5.1(3)転送クロックの極性」を参照してください。

(6) 転送フォーマット選択ビット(ビット7)

クロック同期形シリアルI/Oモード時だけ、このビットによってLSBファースト、又はMSBファーストのいずれかを選択できます。詳細は「11.5.2 転送データフォーマット」を参照してください。

UART _i 送受信制御レジスタ1(i=0, 1) UiC1 【14D ₁₆ 、16D ₁₆ 番地】				b7	b6	b5	b4	b3	b2	b1	b0
				0							
ビット	ビットシンボル	ビット名	機能	リセット時	R/W						
0	TE	送信許可ビット	0: 送信禁止 1: 送信許可	0	RW						
1	TI	送信バッファ空フラグ	0: 送信バッファレジスタにデータあり 1: 送信バッファレジスタにデータなし	1	RO						
2	RE	受信許可ビット	0: 受信禁止 1: 受信許可	0	RW						
3	RI	受信完了フラグ	0: 受信バッファレジスタにデータなし 1: 受信バッファレジスタにデータあり	0	RO						
4	UTiRS	UART _i 送信割り込み要因選択ビット	0: 送信開始割り込み(送信バッファレジスタ空) 1: 送信完了割り込み(送信レジスタ空)	0	RW						
5	UiRRM	UART _i 連続受信モード許可ビット (注)	0: 連続受信モード禁止 1: 連続受信モード許可	0	RW						
6	-	"0"に固定してください		0	RW						
7	URiRS	UART _i 受信割り込み要因選択ビット	0: 受信割り込み 1: 受信エラー割り込み	0	RW						

注 . UARTモード時、及びシリアルI/Oが無効のときは、“0”に固定してください。

図11.3.5 UART_i送受信制御レジスタ1のレジスタ構成

(1)送信許可ビット(ビット0)

このビットを“1”にすると、UART_iは送信許可状態になります。送信中にこのビットを“0”にすると、その時点で実行している送信終了後に、送信禁止状態になります。

(2)送信バッファ空フラグ(ビット1)

UART_i送信バッファレジスタにデータを設定したとき、このフラグは“0”になります。UART_i送信バッファレジスタに設定したデータが、UART_i送信バッファレジスタからUART_i送信レジスタに転送されたとき、このフラグは“1”になります。

(3)受信許可ビット(ビット2)

このビットを“1”にすると、UART_iは受信許可状態になります。受信中にこのビットを“0”にすると、その時点で受信を中止し、受信禁止状態になります。

(4)受信完了フラグ(ビット3)

UART_i受信レジスタにデータが揃い、そのデータがUART_i受信バッファレジスタに転送されたとき(受信完了時) このフラグは“1”になります。UART_i受信バッファレジスタの下位バイトを読み出したとき、又は受信許可ビット(ビット2)を“0”にしたとき、このフラグは“0”になります。

(5)UART_i送信割り込み要因選択ビット(ビット4)

送信割り込みの発生タイミングを選択するビットです。

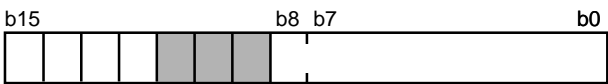
(6)UART_i連続受信モード許可ビット(ビット5)

クロック同期形シリアルI/Oモード時だけ、このビットによって受信モードを選択できます。詳細は「11.5.4 受信」を参照してください。

(7)UART_i受信割り込み要因選択ビット(ビット7)

受信割り込みの発生タイミングを選択するビットです。

UARTi受信バッファレジスタ(i=0, 1) UiRB
【14F₁₆, 14E₁₆番地、16F₁₆, 16E₁₆番地】



ビット	ビットシンボル	ビット名	機能	リセット時	R/W
8~0	UiRB	受信データを読み出す		不定	RO
11~9	-	読み出し時の値は“0”		0	-
12	OER	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラーあり	不定	RO
13	FER	フレーミングエラーフラグ (注)	0: フレーミングエラーなし 1: フレーミングエラーあり	不定	RO
14	PER	パリティエラーフラグ (注)	0: パリティエラーなし 1: パリティエラーあり	不定	RO
15	SUM	エラーサムフラグ (注)	0: エラーなし 1: エラーあり	不定	RO

注: クロック同期形シリアルI/Oモード時は無効です。

図11.3.6 UARTi受信バッファレジスタのレジスタ構成

(1) UARTi受信バッファレジスタ

RxD_i端子に入力される直列データは、転送クロックに同期して1ビットずつUARTi受信レジスタに取り込まれ、並列データに変換されます。受信が完了すると、UARTi受信レジスタに取り込まれた受信データは、自動的にUARTi受信バッファレジスタに転送されます。

UARTi受信バッファレジスタは受信データを読み出すためのレジスタです。UARTi受信バッファレジスタにデータが転送され、この内容を読み出す前に、次の受信データがUARTi受信レジスタにそろった(オーバランエラーが発生した場合、UARTi受信バッファレジスタの内容は更新されますので、注意してください。

なお、クロック同期形シリアルI/OモードでMSBファーストを選択した場合は、UARTi受信バッファレジスタのデータの各ビットの位置を反転したデータが、受信データとして読み出されます(「11.5.2 転送データフォーマット」参照)。

UARTi受信バッファレジスタは、受信許可ビット(14D₁₆、16D₁₆番地のビット2)を“0”にした後、再度“1”にすると初期化されます。

(2) オーバランエラーフラグ、フレーミングエラーフラグ、パリティエラーフラグ、エラーサムフラグ(ビット12~15)

「11.7 エラー検出時の処理」を参照してください。

シリアルI/O端子制御レジスタ SIOCON 【170 ₁₆ 番地】					b7 b6 b5 b4 b3 b2 b1 b0						
ビット	ビットシンボル	ビット名	機能		リセット時	R/W					
0	CSEL0	CTS ₀ /RTS ₀ 分離選択ビット (注)	0: CTS ₀ /RTS ₀ を共用 1: CTS ₀ /RTS ₀ を分離		0	RW					
1	CSEL1	CTS ₁ /RTS ₁ 分離選択ビット (注)	0: CTS ₁ /RTS ₁ を共用 1: CTS ₁ /RTS ₁ を分離		0	RW					
2	TSEL0	TxD ₀ /P6 ₃ 切り替えビット	0: TxD ₀ として機能 1: ポートP6 ₃ として機能		0	RW					
3	TSEL1	TxD ₁ /P6 ₇ 切り替えビット	0: TxD ₁ として機能 1: ポートP6 ₇ として機能		0	RW					
7~4	-	読み出し時の値は“0”			0	-					

注 . CTS/RTS禁止ビット(14C₁₆, 16C₁₆番地のビット4)が“0”のとき有効です。

図11.3.7 シリアルI/O端子制御レジスタのレジスタ構成

(1) CTS₀/RTS₀分離選択ビット、CTS₁/RTS₁分離選択ビット(ビット0、1)

「11.4 CTS/RTS機能」を参照してください。

(2) TxD₀/P6₃切り替えビット(ビット2)

このビットを“1”にするとTxD₀端子がプログラマブル入出力ポートP6₃として機能します。UART0で受信だけを行うときは、このビットを“1”にすることで、TxD₀端子をP6₃として使用できます。送信を行うときは、このビットを“0”にしてください。

(3) TxD₁/P6₇切り替えビット(ビット3)

このビットを“1”にするとTxD₁端子がプログラマブル入出力ポートP6₇として機能します。UART1で受信だけを行うときは、このビットを“1”にすることで、TxD₁端子をP6₇として使用できます。送信を行うときは、このビットを“0”にしてください。

UART0送信割り込み制御レジスタ	S0TIC	【90 ₁₆ 番地】							
UART0受信割り込み制御レジスタ	S0RIC	【72 ₁₆ 番地】							
UART1送信割り込み制御レジスタ	S1TIC	【92 ₁₆ 番地】							
UART1受信割り込み制御レジスタ	S1RIC	【74 ₁₆ 番地】							

ビット	ビットシンボル	ビット名	機能	リセット時	R/W
0	ILVL0	割り込み優先レベル選択ビット	b2b1b0 000: レベルα(割り込み禁止) 001: レベル1 010: レベル2 011: レベル3 100: レベル4 101: レベル5 110: レベル6 111: レベル7	0	RW
1	ILVL1		0	RW	
2	ILVL2		0	RW	
3	IR		割り込み要求ビット(注)	0: 割り込み要求なし 1: 割り込み要求あり	不定
7~4	-	何も配置されていない		不定	-

注: このビットへの書き込みにはMOV命令を使用してください。

図11.3.8 UARTi送信割り込み制御レジスタ、及びUARTi受信割り込み制御レジスタのレジスタ構成

(1) 割り込み優先レベル選択ビット(ビット0~2)

「第7章 割り込み」を参照してください。

(2) 割り込み要求ビット(ビット3)

UARTi送信割り込み要求ビットは、以下のように動作します。

送信開始割り込み選択(14D₁₆、16D₁₆番地のビット4=0)時

UARTi送信バッファレジスタからUARTi送信レジスタにデータが転送されたとき“1”になります。

送信完了割り込み選択(14D₁₆、16D₁₆番地のビット4=1)時

UARTi送信レジスタが空になったとき“1”になります。

UARTi受信割り込み要求ビットは、以下のように動作します。

受信割り込み選択(14D₁₆、16D₁₆番地のビット7=0)時

UARTi受信レジスタからUARTi受信バッファレジスタにデータが転送されたとき“1”になります(ただし、オーバーランエラー発生時は変化しません)

受信エラー割り込み選択(14D₁₆、16D₁₆番地のビット7=1)時

エラー(注)が発生したとき“1”になります。

注: クロック同期形シリアルI/Oモード時はオーバーランエラー、UARTモード時はオーバーランエラー、フレーミングエラー、パリティエラーのいずれか。

上記以外の詳細については、「第7章 割り込み」を参照してください。

ポートP6方向レジスタ PD6 【1A2 ₁₆ 番地】				b7 b6 b5 b4 b3 b2 b1 b0			
ビット	ビット シンボル	対応する端子名	機 能	リセット時	R/W		
0	PD6_0	CTS ₀ /RTS ₀ 端子	0 : 入力モード	0	RW		
1	PD6_1	CTS ₀ /CLK ₀ 端子	1 : 出力モード	0	RW		
2	PD6_2	RxD ₀ 端子	P6 ₁ 、P6 ₂ 、P6 ₅ 、P6 ₆ 端子をシリアルI/Oの入力端子 (CTS ₀ 、RxD ₀ 、CTS ₁ 、RxD ₁)として使用する場合は、 対応するビットを“0”にしてください(それ以外の 端子として使用する場合は、方向レジスタの内容 にかかわらず、強制的にシリアルI/Oの入出力端子に なります)。	0	RW		
3	PD6_3	TxD ₀ 端子		0	RW		
4	PD6_4	CTS ₁ /RTS ₁ 端子		0	RW		
5	PD6_5	CTS ₁ /CLK ₁ 端子		0	RW		
6	PD6_6	RxD ₁ 端子		0	RW		
7	PD6_7	TxD ₁ 端子		0	RW		

図11.3.9 ポートP6方向レジスタとシリアルI/Oの入出力端子の対応

(1)ポートP6方向レジスタ

シリアルI/Oの入出力端子はポートP6と共用です。P6₁、P6₂、P6₅、P6₆端子をシリアルI/Oの入力端子(CTS_i、RxD_i)として使用する場合は、ポートP6方向レジスタの対応するビットを“0”にして入力モードに設定してください。それ以外の端子(CTS_i/RTS_i、CLK_i、TxD_i)として使用する場合は、方向レジスタの内容にかかわらず、強制的にシリアルI/Oの入出力端子になります。

11.4 CTS/RTS機能

11.4.1 CTS機能

CTS機能を選択すると、CTS_i端子の入力信号が“L”レベルであることが送信条件の一つになります。

11.4.2 RTS機能

RTS機能を選択すると、RTS_i端子からは以下の信号が出力されます。

受信許可ビット(14D₁₆、16D₁₆番地のビット2)が“0”(受信禁止)のとき、“H”レベルを出力します。

受信許可ビットが“0”(受信禁止)のときは、受信許可ビットを“1”にすると“L”になります。

受信許可ビットが“1”(連続受信)のときは、UART_i受信バッファレジスタの下位バイトを読み出すと“L”になります。

受信が開始されると“H”になります。

なお、クロック同期形シリアルI/Oモードで内部クロックを選択している場合(148₁₆、168₁₆番地のビット3が“0”のとき)は、RTS出力は不定になりますので、RTS機能を選択しないでください。

表11.4.1にCTS/RTS機能の選択を示します。

表11.4.1 CTS/RTS機能の選択

CTS/RTS 禁止ビット	CTS _i /RTS _i 分離選択ビット	CTS/RTS 機能選択ビット	機 能			
			P6 ₀ /CTS ₀ /RTS ₀ 端子(注1)	P6 ₁ /CTS ₀ /CLK ₀ 端子	P6 ₄ /CTS ₁ /RTS ₁ 端子	P6 ₅ /CTS ₁ /CLK ₁ 端子
0	0	0	CTS ₀	P6 ₁ 又はCLK ₀	CTS ₁	P6 ₅ 又はCLK ₁
		1	RTS ₀	P6 ₁ 又はCLK ₀	RTS ₁	P6 ₅ 又はCLK ₁
	1	x	RTS ₀	CTS(注1、2)	RTS ₁	CTS(注1、2)
1	x	x	P6 ₀	P6 ₁ 又はCLK ₀	P6 ₄	P6 ₅ 又はCLK ₁

i = 0、1

x : “0”又は“1”いずれでもよい。

CTS/RTS機能選択ビット(14C₁₆、16C₁₆番地のビット2 : 図11.3.4参照)

CTS/RTS禁止ビット(14C₁₆、16C₁₆番地のビット4 : 図11.3.4参照)

CTS₀/RTS₀分離選択ビット(170₁₆番地のビット0 : 図11.3.7参照)

CTS₁/RTS₁分離選択ビット(170₁₆番地のビット1 : 図11.3.7参照)

注1 . P6₁又はP6₅端子をCTS_i端子として使用する場合は、ポートP6方向レジスタの対応するビットを“0”にしてください。

- 2 . CTS_i/RTS_i分離を選択した場合は、CLK_i端子を使用できません。したがって、クロック同期形シリアルI/Oモードでは、CTS_i/RTS_iを分離できません。また、UARTモードでCTS_i/RTS_iを分離する場合は、内部クロックを選択してください。

11.4.3 接続例

送信側のCTS_i端子と受信側のRTS_i端子を接続すると、送受信のタイミングを合わせることができます。図11.4.1に送信側と受信側の接続例を示します。

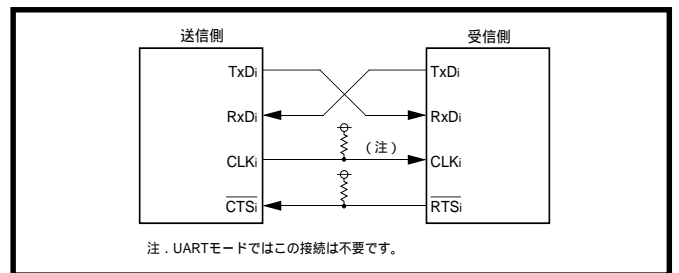


図11.4.1 送信側と受信側の接続例

11.5 クロック同期形シリアルI/Oモード

表11.5.1にクロック同期形シリアルI/Oモード時の性能概要を、表11.5.2に入出力端子の機能を示します。

表11.5.1 クロック同期形シリアルI/Oモード時の性能概要

項目	機能
転送データフォーマット	転送データ長8ビット LSBファースト、又はMSBファーストをソフトウェアによって選択できる
転送速度	内部クロック選択時 外部クロック選択時
	最大8.5Mbps(UiBRGの出力の2分周クロック) 最大5Mbps
送信制御 / 受信制御	CTS機能、又はRTS機能をソフトウェアによって選択できる
エラー検出	オーバランエラー

i = 0, 1

表11.5.2 クロック同期形シリアルI/Oモード時の入出力端子の機能

端子名	機能	選択方法
TxD(P6 ₃ 、P6 ₇)	シリアルデータ出力	-(受信だけを行うときはダミーデータを出力) (注)
	プログラマブル入出力ポート	TxD ₀ /P6 ₃ 、TxD ₁ /P6 ₇ 切り替えビット = 1
RxD(P6 ₂ 、P6 ₆)	シリアルデータ入力	ポートP6方向レジスタの対応するビット = 0 (送信だけを行うときは入出力ポートとして使用できる)
CLK(P6 ₁ 、P6 ₅)	転送クロック出力	内 / 外部クロック選択ビット = 0
	転送クロック入力	内 / 外部クロック選択ビット = 1
CTS _i 、RTS _i (P6 ₀ 、P6 ₁ 、P6 ₄ 、 P6 ₅)	CTS入力	表11.4.1参照
	RTS出力	
	プログラマブル入出力ポート	

i = 0, 1

ポートP6方向レジスタ：1A2₁₆番地

内 / 外部クロック選択ビット：148₁₆、168₁₆番地のビット3

TxD₀/P6₃切り替えビット：170₁₆番地のビット2

TxD₁/P6₇切り替えビット：170₁₆番地のビット3

注：UART_iの動作モード選択後、送信開始までは、TxD_i端子は“H”レベルを出力します。

11.5.1 転送クロック(同期クロック)

データ転送は転送クロックに同期して行われます。転送クロックについては、以下の選択ができます。

- 転送クロックを内部で生成するか(内部クロック選択)、外部から入力するか(外部クロック選択)の選択
- 転送クロックの極性の選択

なお、転送クロックは送信制御回路の動作によって発生します。受信だけを行う場合も、送信許可ビットを“1”にし、送信制御回路を動作させてください。

(1)内部クロック選択(内/外部クロック選択ビット(148₁₆、168₁₆番地のビット3)=0)時

BRGカウントソース選択ビット(14C₁₆、16C₁₆番地のビット0,1)で選択したカウントソースが、UiBRGで分周され、その出力が更に2分周されて転送クロックになります。また、CLK_i端子から転送クロックが出力されます。

$$\text{転送クロックの周波数} = \frac{f_i}{2(n+1)} \quad \begin{array}{l} f_i : \text{UiBRGのカウントソースの周波数}(f_1, f_8, f_{32}, f_{256}) \\ n : \text{UiBRGの設定値} \end{array}$$

(2)外部クロック選択(内/外部クロック選択ビット(148₁₆、168₁₆番地のビット3)=1)時

CLK_i端子に入力したクロックが転送クロックになります。

(3)転送クロックの極性

図11.5.1に示すように、CLK極性選択ビット(14C₁₆、16C₁₆番地のビット6)によって転送クロックの極性を選択できます。

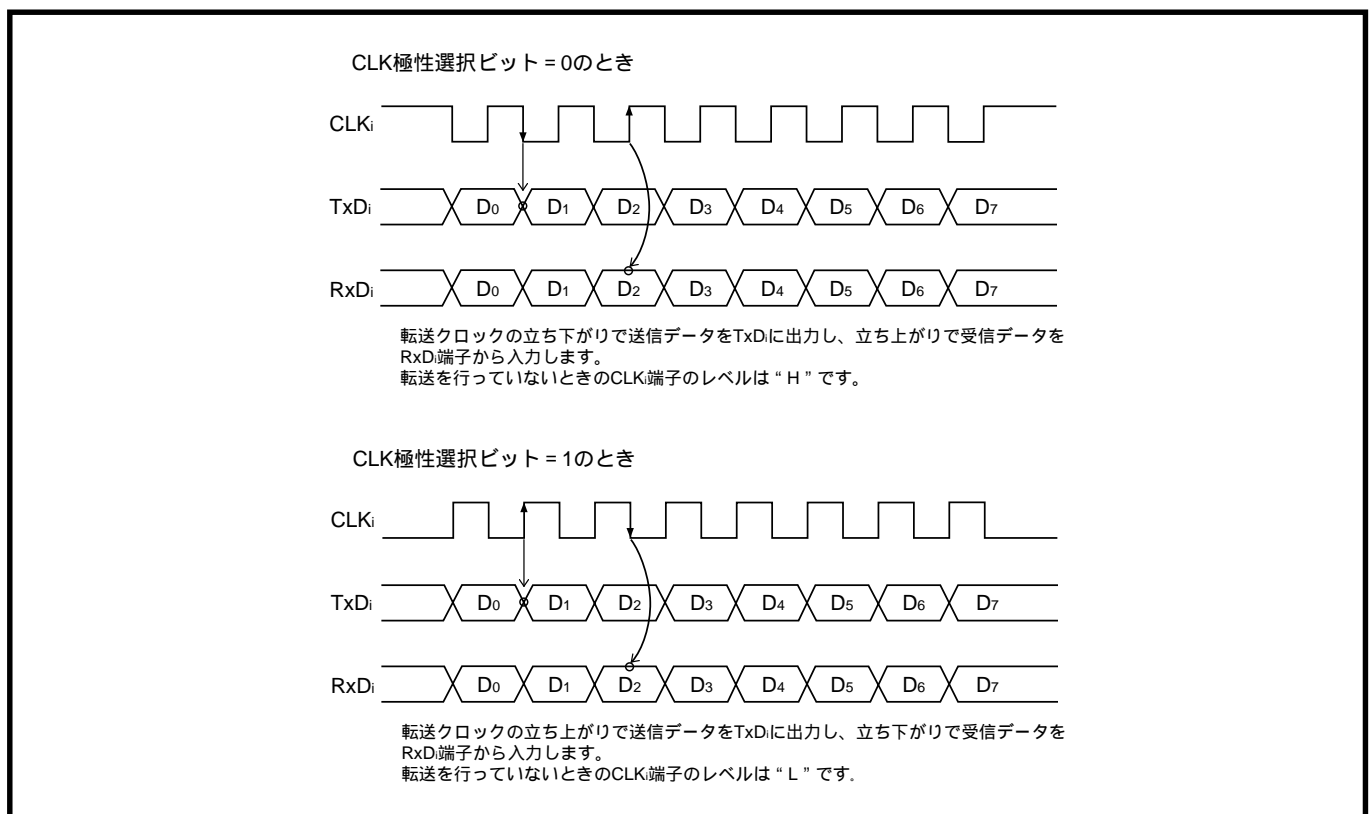


図11.5.1 転送クロックの極性

11.5.2 転送データフォーマット

LSBファースト、又はMSBファーストを選択できます。表11.5.3に転送データフォーマットとUARTi送信 / 受信バッファレジスタの書き込み、読み出しを示します。

転送データフォーマットの選択は、転送フォーマット選択ビット(14C₁₆、16C₁₆番地のビット7)によって行います。このビットを“0”にすると、設定したデータがそのまま、送信データとしてUARTi送信バッファレジスタに書き込まれます。また、UARTi受信バッファレジスタのデータがそのまま、受信データとして読み出されます(表11.5.3上段参照)。このビットを“1”にすると、設定したデータの各ビットの位置を反転したデータが、送信データとしてUARTi送信バッファレジスタに書き込まれます。また、UARTi受信バッファレジスタのデータの、各ビットの位置を反転したデータが、受信データとして読み出されます(表11.5.3下段参照)。

なお、転送データフォーマットの選択によって変化するのは、UARTi送信 / 受信バッファレジスタの書き込み、及び読み出し方法だけで、送受信動作は変化しません。

表11.5.3 転送データフォーマットとUARTi送信 / 受信バッファレジスタの書き込み、読み出し

転送フォーマット 選択ビット	転送データ フォーマット	UARTi送信バッファレジスタ への書き込み	UARTi送信バッファレジスタ からの読み出し
0	LSB (最下位ビット) ファースト	<p>データバス UARTi送信 バッファレジスタ</p> <p>DB7 → D7 DB6 → D6 DB5 → D5 DB4 → D4 DB3 → D3 DB2 → D2 DB1 → D1 DB0 → D0</p>	<p>データバス UARTi受信 バッファレジスタ</p> <p>DB7 ← D7 DB6 ← D6 DB5 ← D5 DB4 ← D4 DB3 ← D3 DB2 ← D2 DB1 ← D1 DB0 ← D0</p>
1	MSB (最上位ビット) ファースト	<p>データバス UARTi送信 バッファレジスタ</p> <p>DB7 → D0 DB6 → D1 DB5 → D2 DB4 → D3 DB3 → D4 DB2 → D5 DB1 → D6 DB0 → D7</p>	<p>データバス UARTi受信 バッファレジスタ</p> <p>DB7 ← D7 DB6 ← D6 DB5 ← D5 DB4 ← D4 DB3 ← D3 DB2 ← D2 DB1 ← D1 DB0 ← D0</p>

11.5.3 送信

(1) 設定方法

図11.5.2に送信時の関連レジスタ初期設定例を、図11.5.3に送信開始後のデータの書き込みを、図11.5.4に送信完了の検出を示します。

なお、割り込みを使用する場合は割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

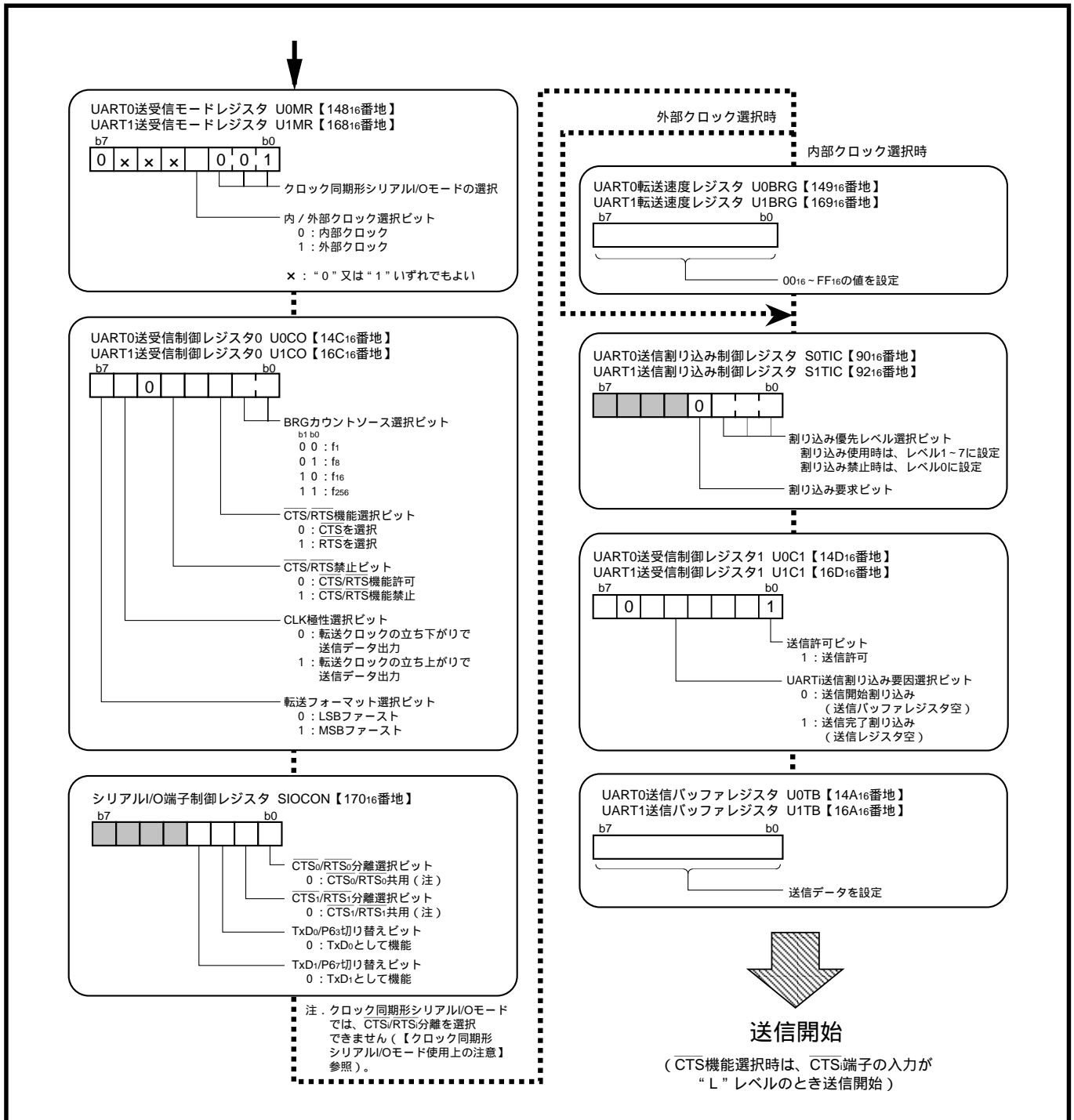


図11.5.2 送信時の関連レジスタ初期設定例

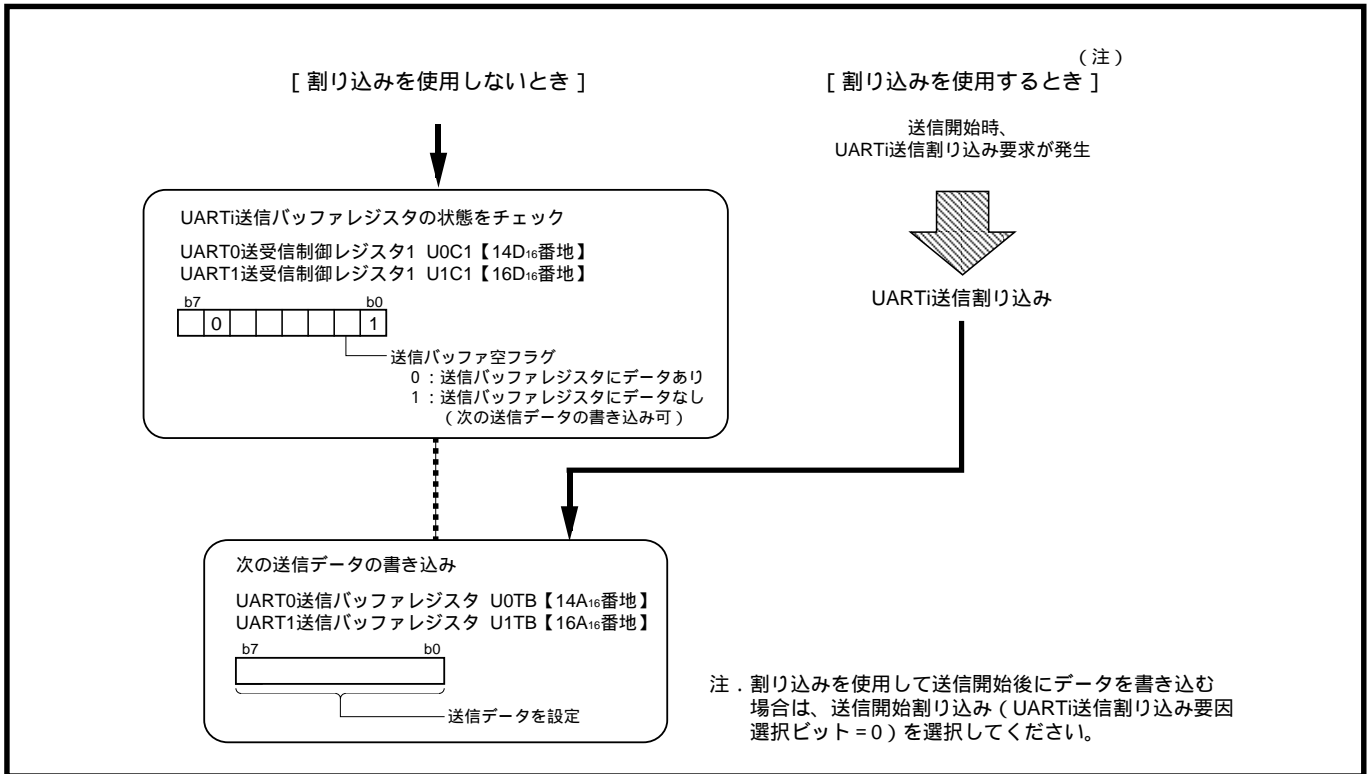


図11.5.3 送信開始後のデータの書き込み

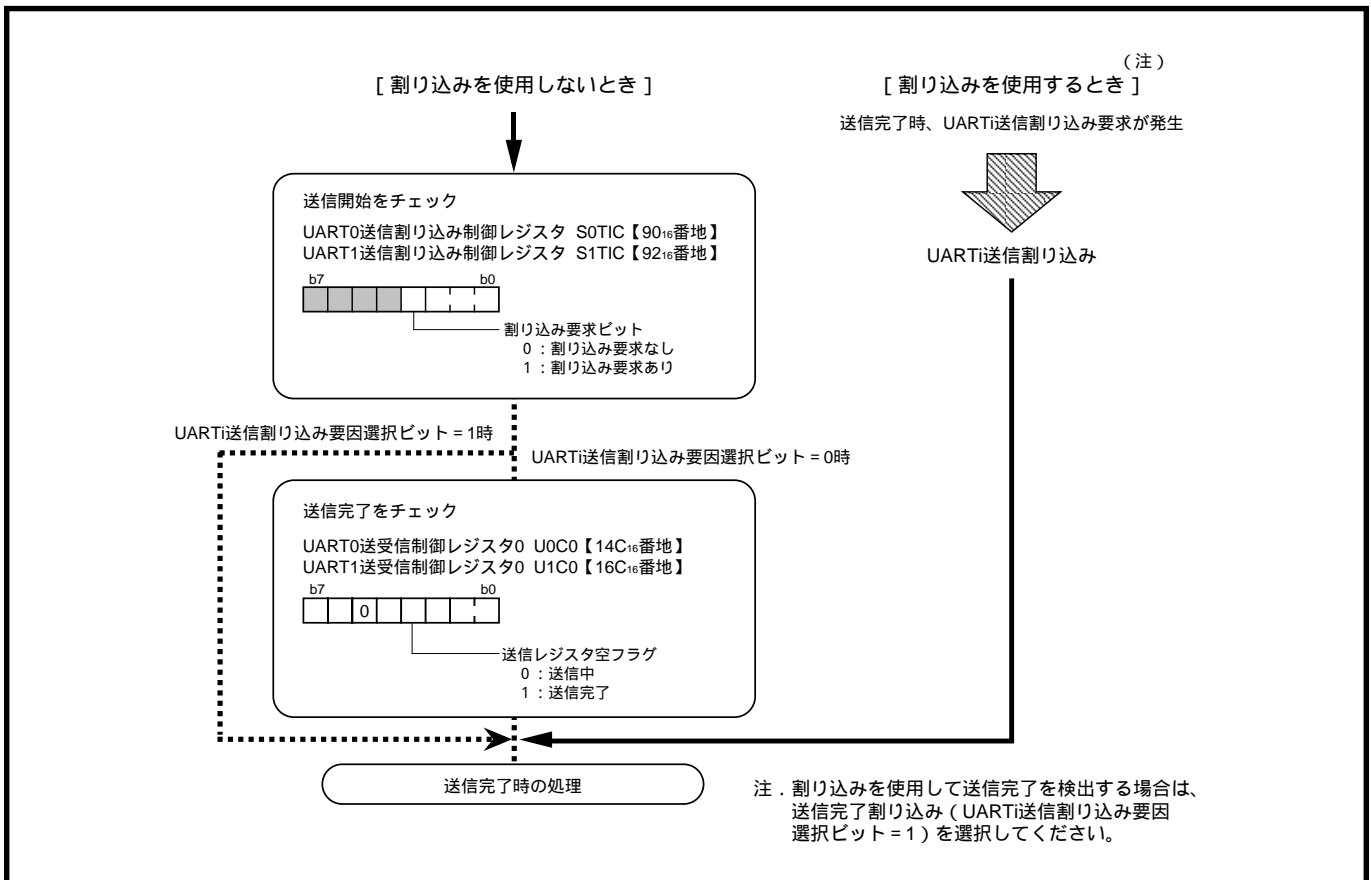


図11.5.4 送信完了の検出

(2)動作説明

送信は、次の ~ の条件がすべて満たされたとき開始されます。

《送信条件》

注．外部クロック選択時は、以下の条件を満たしている状態で ~ の条件を満たすようにしてください。内部クロック選択時、この条件は無視されます。

CLK_i端子の入力がHレベル(外部クロック選択、CLK極性選択ビット=0のとき)

CLK_i端子の入力がLレベル(外部クロック選択、CLK極性選択ビット=1のとき)

UART_i送信バッファレジスタに送信データあり(送信バッファ空フラグ=0)

送信許可状態(送信許可ビット=1)

CTS_i端子の入力がLレベル(CTS機能選択時)

注．CTS機能を選択していない場合、この条件は無視されます。

内部クロック選択時は、上記の送信条件(~)が満たされると転送クロックが生成され、転送クロックの最大1サイクル後に次の動作が自動的に行われます。外部クロック選択時は送信条件が満たされた後、CLK_i端子に外部クロックが入力されると、次の動作が自動的に行われます。

UART_i送信バッファレジスタの内容がUART_i送信レジスタに転送される

送信バッファ空フラグが⁰ 1 になる

送信レジスタ空フラグが⁰ 0 になる

8個の転送クロックが発生する(内部クロック選択時)

UART_i送信割り込み要求が発生し、割り込み要求ビットが⁰ 1 になる(送信開始割り込み選択時)

以下に送信動作を説明します。

CLK_i端子から出力、又はCLK_i端子に入力されるクロックの有効エッジ*に同期して、UART_i送信レジスタ内のデータをTx_D端子から送信します。

データは、下位ビットから順に1ビットずつ送信されます。

1バイトのデータの送信が完了すると、送信レジスタ空フラグが⁰ 1 になり、送信が完了したことを示します。

有効エッジ* : CLK極性選択ビット=0のとき立ち下がり、1のとき立ち上がり

図11.5.5に送信動作を示します。

内部クロック選択時は、送信完了時に次のデータの送信条件が満たされていれば、転送クロックが続けて発生します。したがって、連続して送信を行う場合は、送信中(送信レジスタ空フラグ=0のとき)にUART_i送信バッファレジスタに次の送信データを設定してください。次のデータの送信条件が満たされていない場合、転送クロックはHレベル(CLK極性選択ビット=0のとき)、又はLレベル(CLK極性選択ビット=1のとき)で停止します。

図11.5.6、図11.5.7に送信タイミング例を示します。

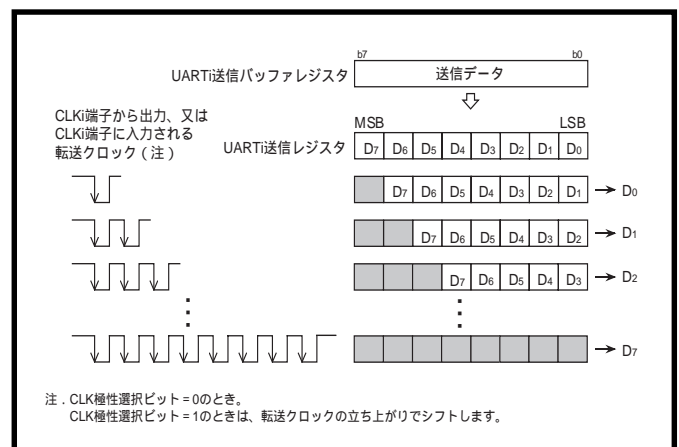


図11.5.5 送信動作

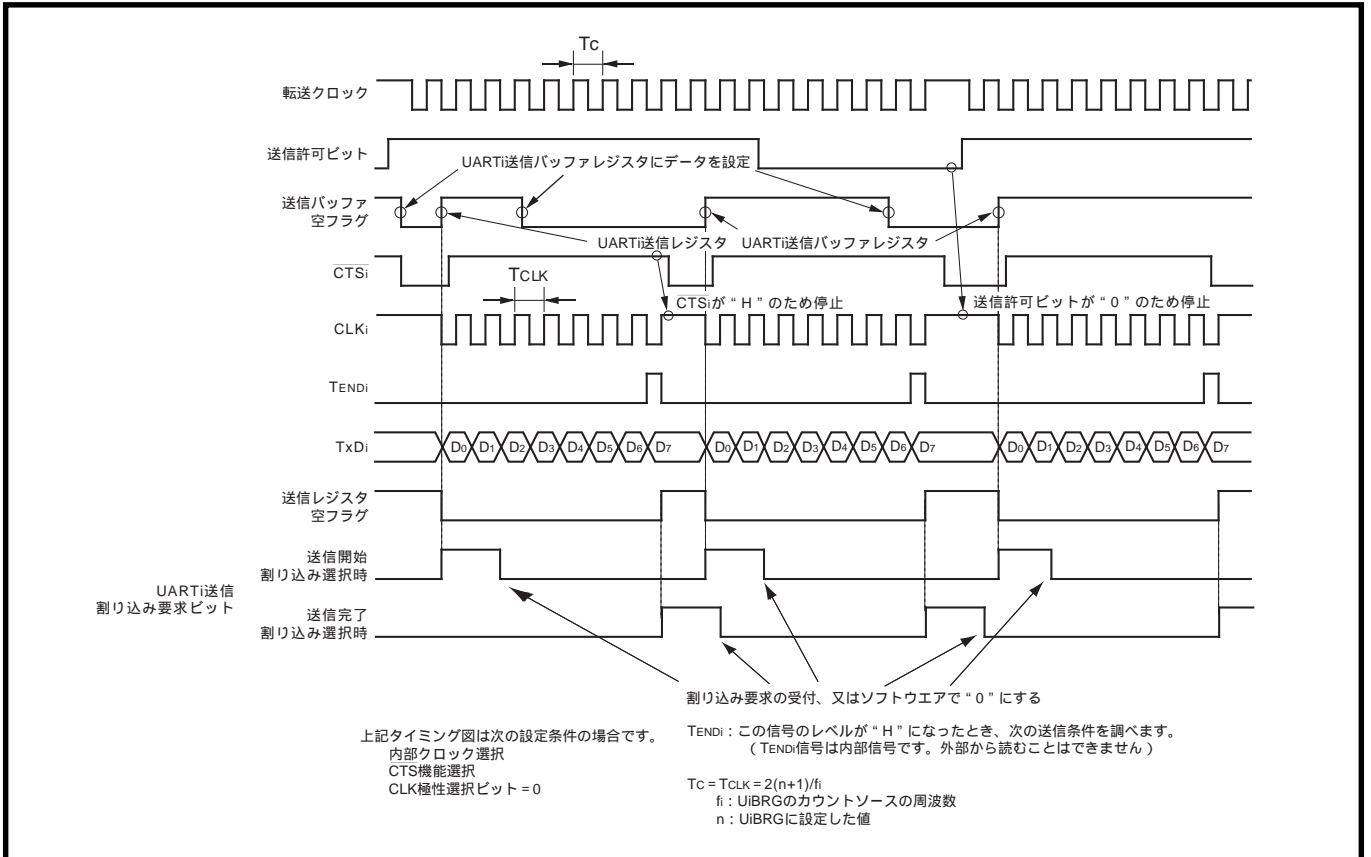


図11.5.6 送信タイミング例(内部クロック選択、CTS機能選択時)

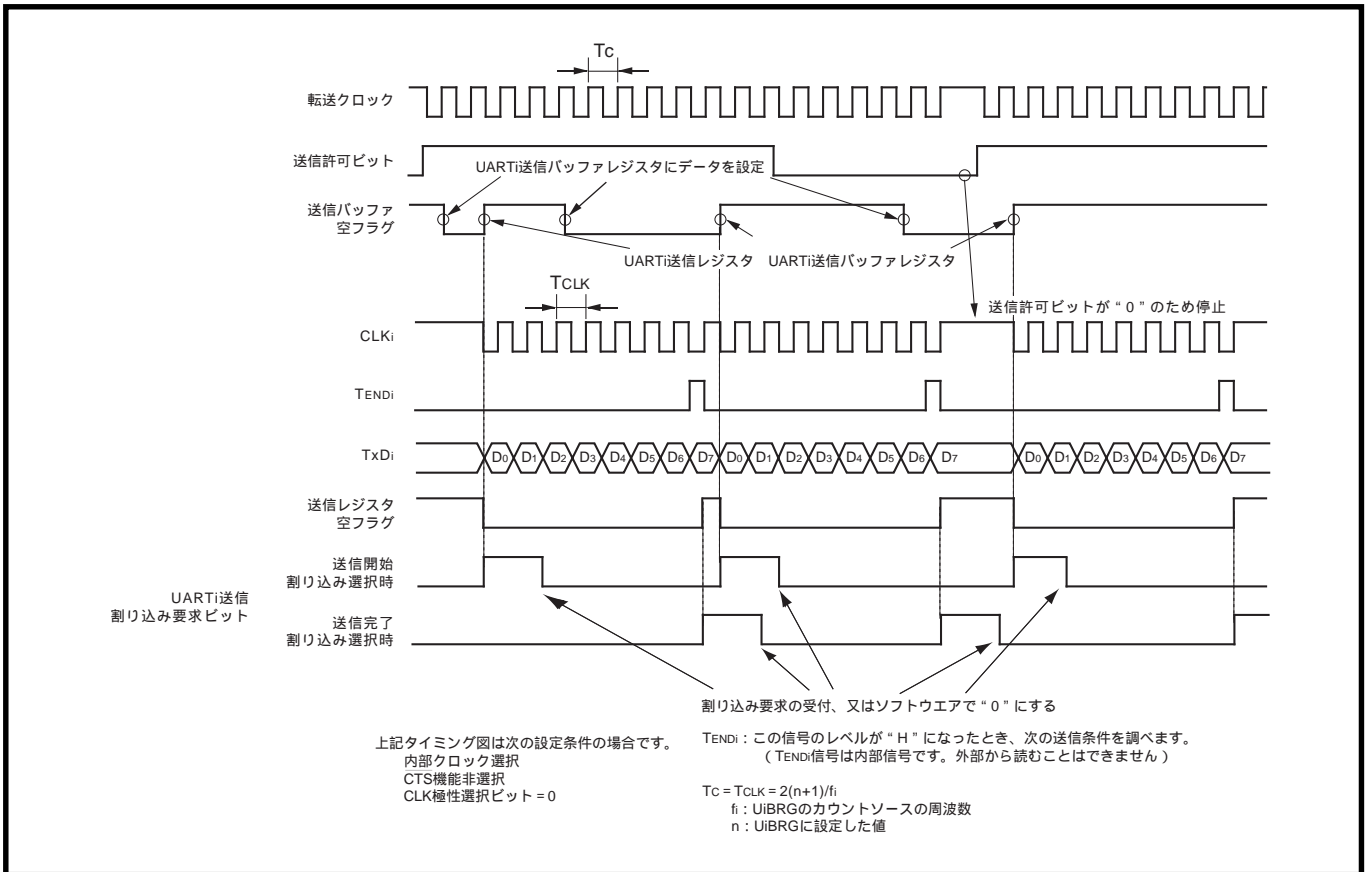


図11.5.7 送信タイミング例(内部クロック選択、CTS機能非選択時)

11.5.4 受信

(1) 設定方法

図11.5.8に受信時の関連レジスタ初期設定例を、図11.5.9に受信完了後の処理を示します。
 なお、割り込みを使用する場合は割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

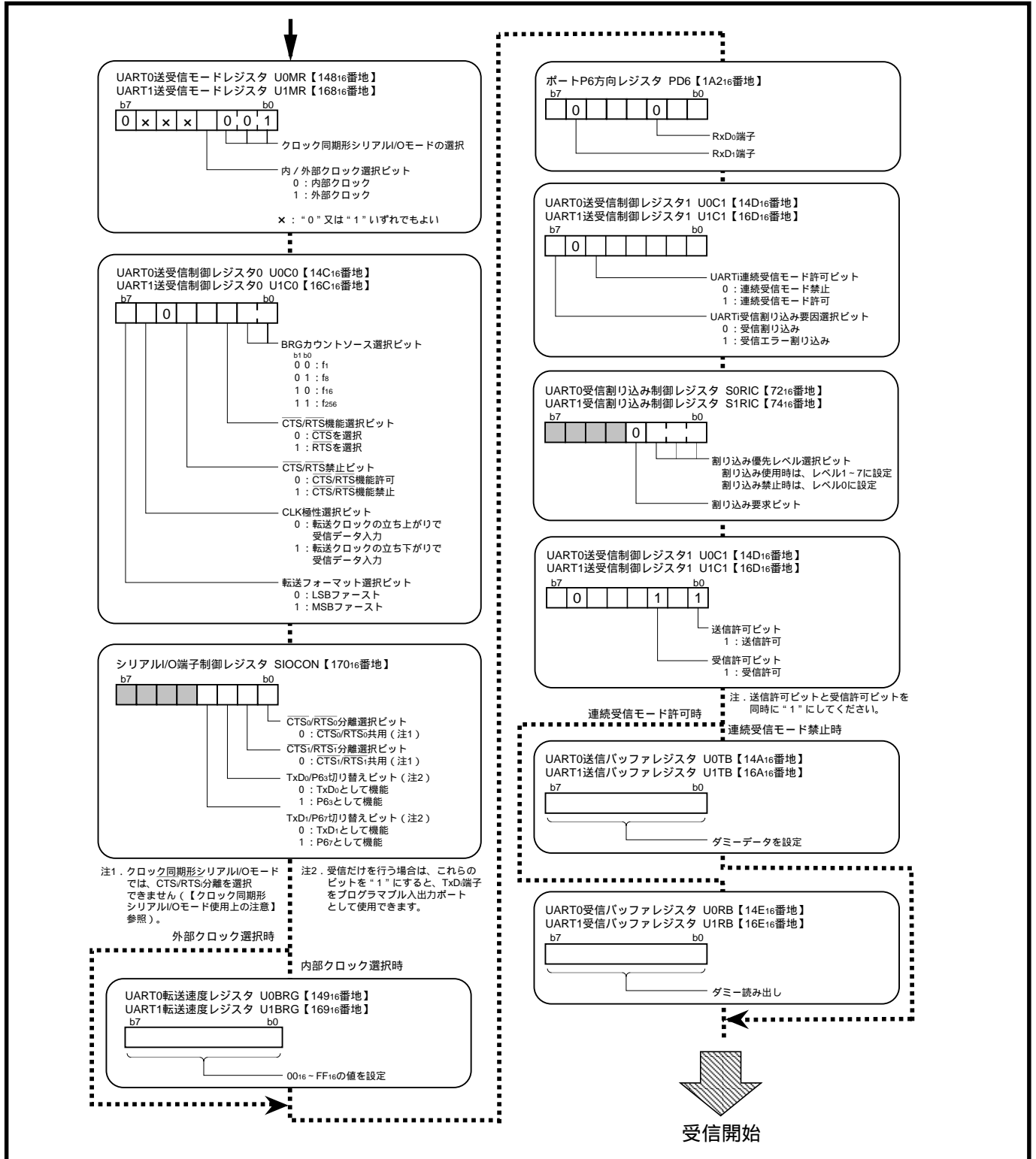


図11.5.8 受信時の関連レジスタ初期設定例

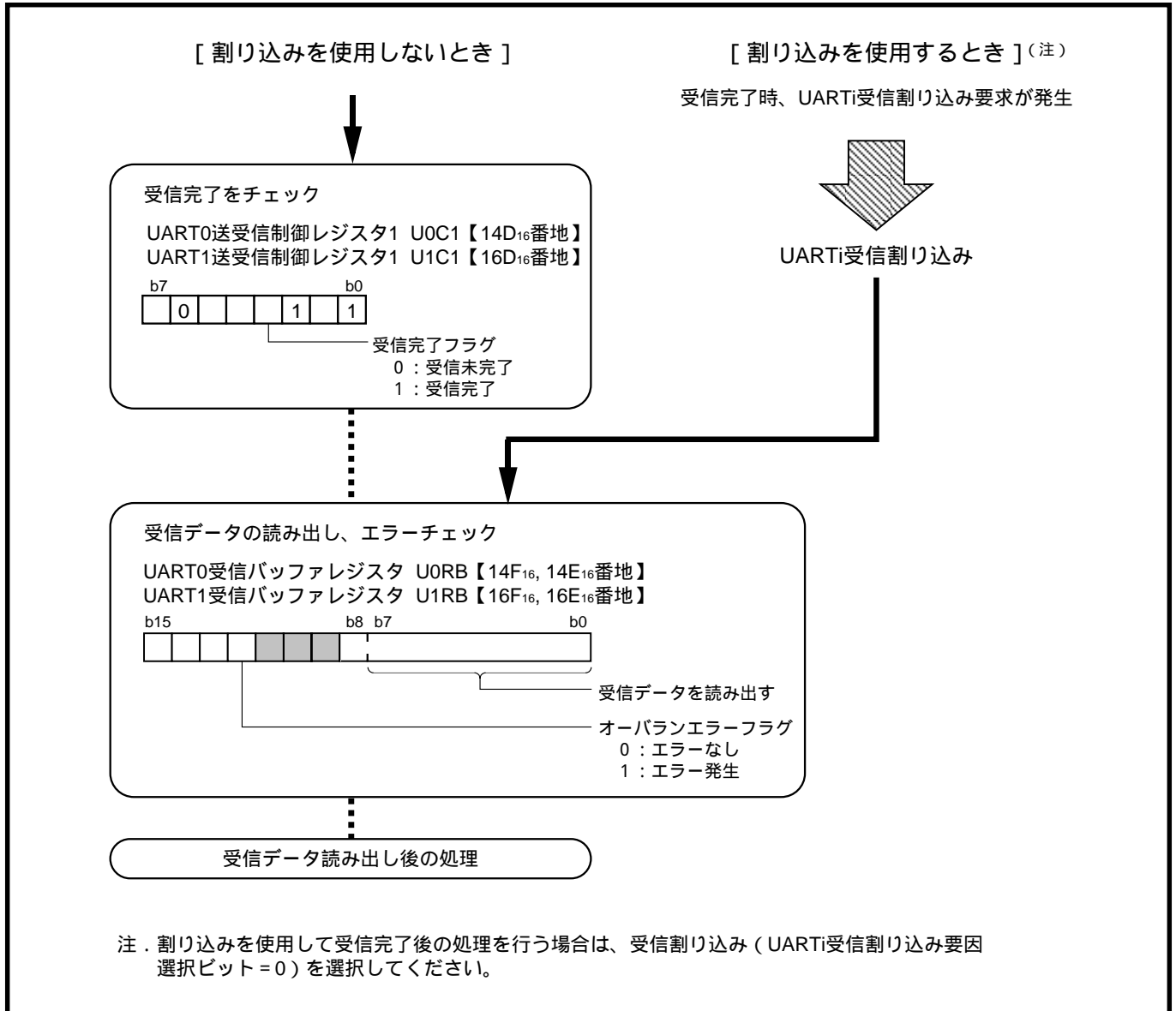


図11.5.9 受信完了後の処理

(2)動作説明

受信は、次の ~ の条件がすべて満たされたとき開始されます。

《受信条件》

注．外部クロック選択時は、以下の条件を満たしている状態で ~ の条件を満たすようにしてください。内部クロック選択時、この条件は無視されます。

CLK_i端子の入力がHレベル(外部クロック選択、CLK極性選択ビット=0のとき)

CLK_i端子の入力がLレベル(外部クロック選択、CLK極性選択ビット=1のとき)

連続受信モード禁止時：UART_i送信バッファレジスタにダミーデータあり

(送信バッファ空フラグ=0)

連続受信モード許可時：UART_i受信バッファレジスタのダミー読み出し

受信許可状態(受信許可ビット=1)

送信許可状態(送信許可ビット=1)

内部クロック選択時は、上記の受信条件(~)が満たされると転送クロックが生成され、転送クロックの最大1サイクル後に受信が開始されます。外部クロック選択時は受信条件が満たされるとUART_iは受信可能状態になり、CLK_i端子に外部クロックが入力されると、受信を開始します。

以下に受信動作を説明します。

CLK_i端子から出力、又はCLK_i端子に入力されるクロックの有効エッジ*に同期して、RxD_i端子の入力信号をUART_i受信レジスタの最上位ビットに取り込みます。

UART_i受信レジスタの内容を1ビット右にシフトします。

、 をCLK_i端子から出力、又はCLK_i端子に入力されるクロックの有効エッジごとに繰り返します。

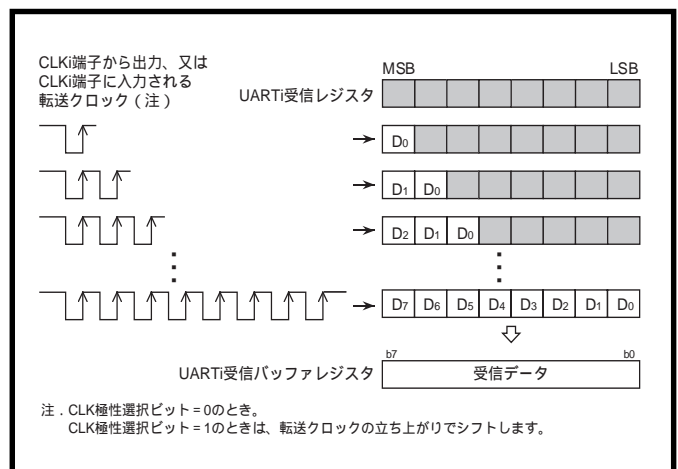
UART_i受信レジスタに1バイトのデータが揃うと、UART_i受信レジスタの内容はUART_i受信バッファレジスタに転送されます。

と同時に受信完了フラグが"1"になります。また、受信割り込み選択(UART_i受信割り込みモード選択ビット=0)時は、UART_i受信割り込み要求が発生し、割り込み要求ビットが"1"になります。

有効エッジ*：CLK極性選択ビット=0のとき立ち上がり、1のとき立ち下がり

図11.5.10に受信動作を、図11.5.11、図11.5.12に受信タイミング例を示します。

なお、転送フォーマット選択ビットが"1"(MSBファースト)のときは、UART_i受信バッファレジスタを読み出すと、このレジスタの内容の各ビットの位置を反転したデータが読み出されます。



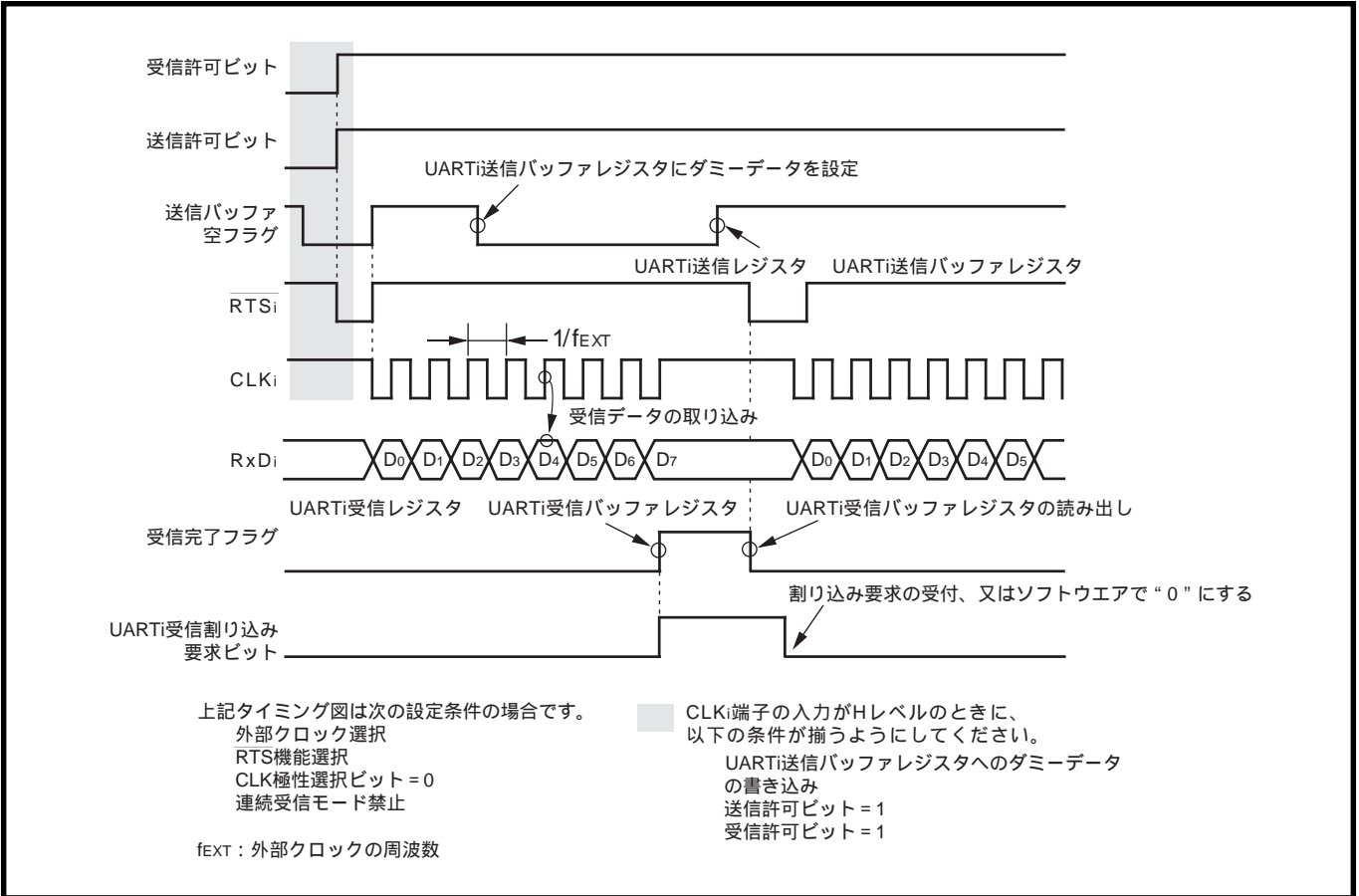


図11.5.11 受信タイミング例(連続受信モード禁止時)

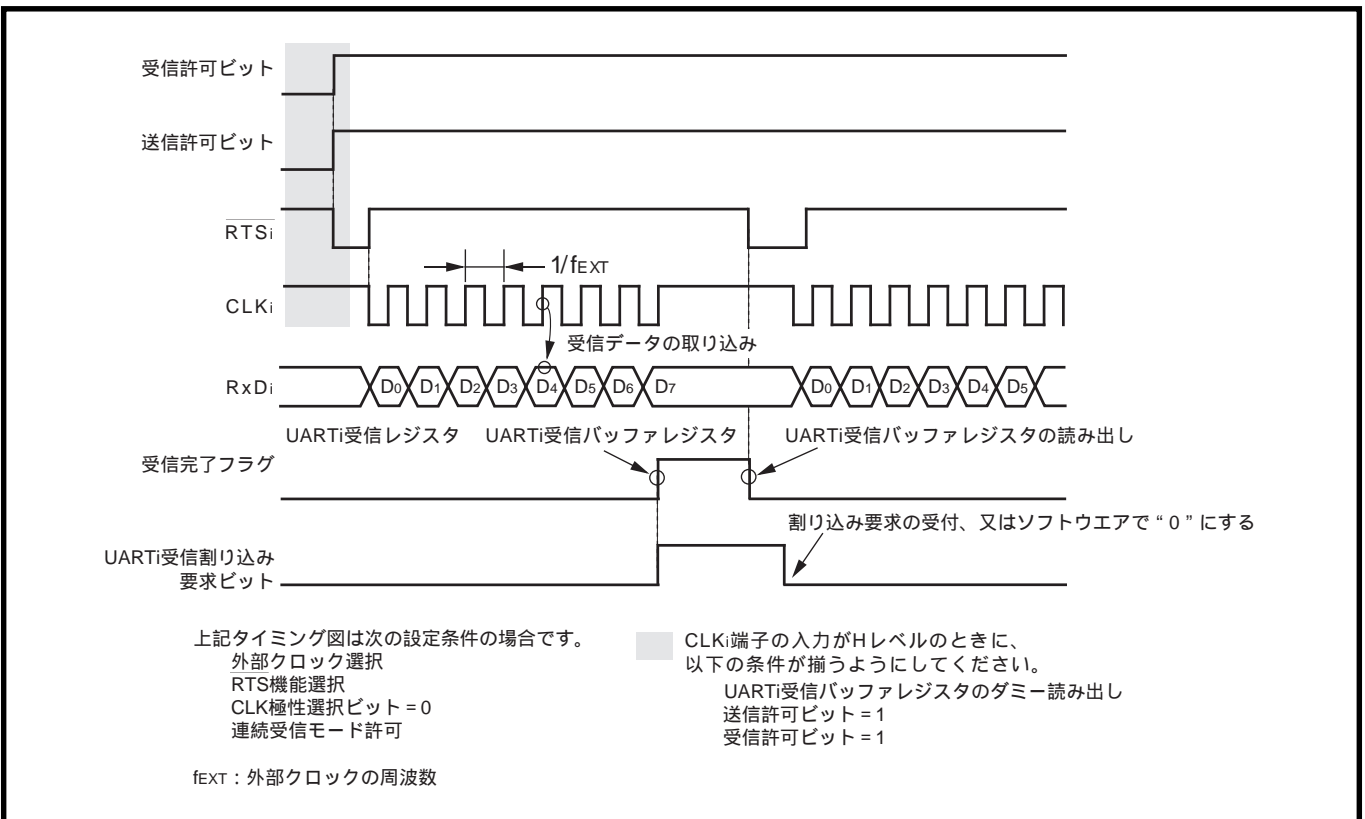


図11.5.12 受信タイミング例(連続受信モード許可時)

【クロック同期形シリアルI/Oモード使用上の注意】

1. $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離を選択した場合は、CLK端子を使用できません。したがって、クロック同期形シリアルI/Oモードでは $\overline{\text{CTS}}/\overline{\text{RTS}}$ を分離できません。
2. UARTi転送速度レジスタへの書き込みは、送受信停止中に行ってください。
3. 内部クロック選択時は、 $\overline{\text{RTS}}$ 出力が不定のため、 $\overline{\text{RTS}}$ 機能を使用しないでください。
4. 送信レジスタ空フラグと送信バッファ空フラグの内容が異なるときに、送信割り込み要因選択ビットの内容を変更した場合、送信割り込み要求ビットが'1'になることがあります。送信割り込み要因選択ビットを変更する場合は、以下のようにしてください。
 - ・送信開始前 / 送信完了後に変更する場合
：送信割り込み要因選択ビットを設定した後、送信バッファレジスタに送信データを設定してください(図11.5.2参照)
 - ・送信開始後に変更する場合
：送信バッファレジスタに送信データを設定した後、送信割り込み要因選択ビットを設定してください。

11.6 クロック非同期形シリアルI/O(UART)モード

表11.6.1にUARTモード時の性能概要を、表11.6.2に入出力端子の機能を示します。

表11.6.1 UARTモード時の性能概要

項目		機能
転送データ フォーマット	スタートビット	1ビット
	キャラクタビット(転送データ)	7ビット、8ビット、又は9ビット
	パリティビット	0ビット、又は1ビット(奇数、又は偶数を選択できる)
	ストップビット	1ビット、又は2ビット
転送速度	内部クロック選択時	最大1.0625Mbps(UiBRGの出力の16分周クロック)
	外部クロック選択時	最大312.5kbps
受信制御 / 送信制御		CTS機能、RTS機能をソフトウェアによって選択できる
エラー検出		エラーフラグ4種類(オーバラン、フレーミング、パリティ、エラーサム) エラーの有無はエラーサムフラグの判定だけで可能

i = 0, 1

表11.6.2 UARTモード時の入出力端子の機能

端子名	機能	選択方法
TxD(P6 ₃ 、P6 ₇)	シリアルデータ出力	- (注)
	プログラマブル入出力ポート	TxD ₀ /P6 ₃ 、TxD ₁ /P6 ₇ 切り替えビット = 1
RxD(P6 ₂ 、P6 ₆)	シリアルデータ入力	ポートP6方向レジスタの対応するビット = 0 (送信だけを行うときは入出力ポートとして使用できる)
CLK(P6 ₁ 、P6 ₅)	BRG _i のカウントソース入力	内 / 外部クロック選択ビット = 1
	プログラマブル入出力ポート	内 / 外部クロック選択ビット = 0
CTS _i 、RTS _i (P6 ₀ 、P6 ₁ 、P6 ₄ 、 P6 ₅)	CTS入力	表11.4.1参照
	RTS出力	
	プログラマブル入出力ポート	

i = 0, 1

ポートP6方向レジスタ：1A2₁₆番地

内 / 外部クロック選択ビット：148₁₆、168₁₆番地のビット3

TxD₀/P6₃切り替えビット：170₁₆番地のビット2

TxD₁/P6₇切り替えビット：170₁₆番地のビット3

注．UART_iの動作モード選択後、送信を行っていないときは、TxD_i端子は“H”レベルを出力します。

11.6.1 転送速度(転送クロックの周波数)

転送速度は次式で表されます。

$$\text{転送速度[bps]} = \frac{F}{16 \times (n + 1)}$$

F : UiBRGのカウンタソース(注)の周波数[Hz]
n : UiBRGの設定値(00₁₆ ~ FF₁₆)

注. 内/外部クロック選択ビット(148₁₆、168₁₆番地のビット3)が“0”のとき
 : BRGカウンタソース選択ビット(14C₁₆、16C₁₆番地のビット0、1)で選択したカウンタソース
 内/外部クロック選択ビット(148₁₆、168₁₆番地のビット3)が“1”のとき
 : CLK_i端子に入力したクロック

転送速度は送受信間で同じ値に設定してください。表11.6.3、表11.6.4に転送速度設定例を示します。
 この設定例は、実現したい転送速度に対する誤差が1%以内の速度(実時間)を実現できる設定値だけを示しています。

表11.6.3 転送速度設定例(1)

転送速度 (bps)	f(MCLK)=19.6608MHz		
	UiBRGの カウンタソース	UiBRGの 設定値:n(注)	実時間(bps)
300	f ₃₂	63(3F ₁₆)	300.00
600	f ₈	127(7F ₁₆)	600.00
1200	f ₈	63(3F ₁₆)	1200.00
2400	f ₈	31(1F ₁₆)	2400.00
4800	f ₁	127(7F ₁₆)	4800.00
9600	f ₁	63(3F ₁₆)	9600.00
14400	f ₁	42(2A ₁₆)	14288.37
19200	f ₁	31(1F ₁₆)	19200.00
31250			
38400	f ₁	15(0F ₁₆)	38400.00

注. 周辺機能クロック選択ビット(6₁₆番地のビット4、3) = “10₂”の場合です。

表11.6.4 転送速度設定例(2)

転送速度 (bps)	f(MCLK)=11.0592MHz			f(MCLK)=26MHz		
	UiBRGの カウンタソース	UiBRGの 設定値:n(注)	実時間(bps)	UiBRGの カウンタソース	UiBRGの 設定値:n(注)	実時間(bps)
300	f ₃₂	35(23 ₁₆)	300.00	f ₃₂	84(54 ₁₆)	298.71
600	f ₈	71(47 ₁₆)	600.00	f ₈	168(A8 ₁₆)	600.96
1200	f ₈	35(23 ₁₆)	1200.00	f ₈	84(54 ₁₆)	1194.85
2400	f ₈	18(12 ₁₆)	2400.00	f ₈	41(29 ₁₆)	2418.15
4800	f ₁	71(47 ₁₆)	4800.00	f ₁	168(A8 ₁₆)	4807.69
9600	f ₁	35(23 ₁₆)	9600.00	f ₁	84(54 ₁₆)	9558.82
14400	f ₁	23(18 ₁₆)	14400.00	f ₁	55(37 ₁₆)	14508.93
19200	f ₁	17(11 ₁₆)	19200.00	f ₁	41(29 ₁₆)	19345.24
28800	f ₁	11(0B ₁₆)	28800.00	f ₁	27(1B ₁₆)	29017.86
31250	f ₁	10(0A ₁₆)	31418.18	f ₁	25(19 ₁₆)	31250.00
38400	f ₁	8(08 ₁₆)	38400.00	f ₁	20(14 ₁₆)	38690.48
57600	f ₁	5(05 ₁₆)	57600.00	f ₁	13(0D ₁₆)	58035.71
115200	f ₁	2(02 ₁₆)	115200.00	f ₁	6(06 ₁₆)	116071.42

注. 周辺機能クロック選択ビット(6₁₆番地のビット4、3) = “10₂”の場合です。

転送速度の誤差許容範囲

受信時、RxDi端子に入力される受信データは、転送クロックの立ち上がりで取り込まれます(「12.4.6 受信動作」参照)。したがって、データを正しく受信するためには、一組の受信データの最後の転送クロックが立ち上がるときに、ストップビットが入力されている必要があります。図12.4.1に転送クロックと受信データの関係を示します。

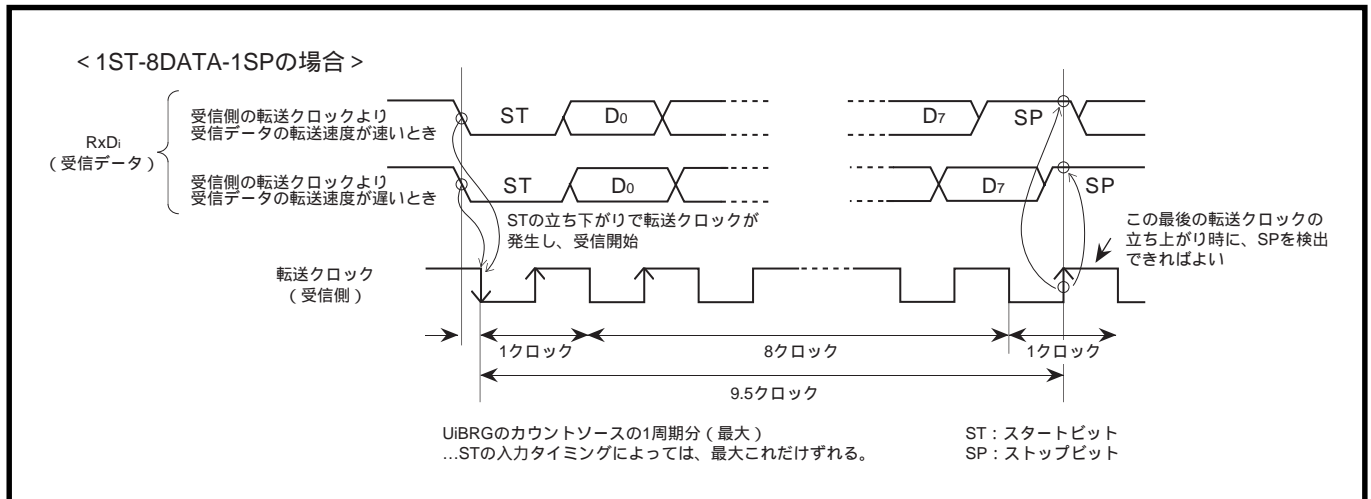


図11.6.1 転送クロックと受信データの関係

したがって、データを正しく受信するためには、受信側 / 送信側の転送速度が次式の関係を満たしている必要があります。

$$\left(\frac{1}{Bt} \times (b - 1) + \frac{1}{F} \right) < \left(\frac{1}{Br} \times (b - 0.5) + \frac{1}{F} \right) < \left(\frac{1}{Bt} \times b \right)$$

Br : 受信側の転送速度 [bps]

Bt : 送信側の転送速度 [bps]

F : 受信側のUiBRGのカウンタソースの周波数 [Hz]

b : 一組のデータの全ビット数

(例: 1ST-8DATA-1PAR-2SPの場合、12ビット; 図11.6.2参照)

なお、上式を満たした上で、十分余裕を持って設定してください。また、ユーザアプリケーションにおいて十分な評価をしてください。

11.6.2 転送データフォーマット

転送データフォーマットには図11.6.2に示すいずれかを選択できます。転送データフォーマットの選択は、148₁₆、168₁₆番地のビット4~6によって行います(図11.3.1参照)。送信側と受信側の転送データフォーマットは、同一に設定してください。

図11.6.3に転送データフォーマット例を示します。また、表11.6.5に送信データの各ビットの機能を示します。

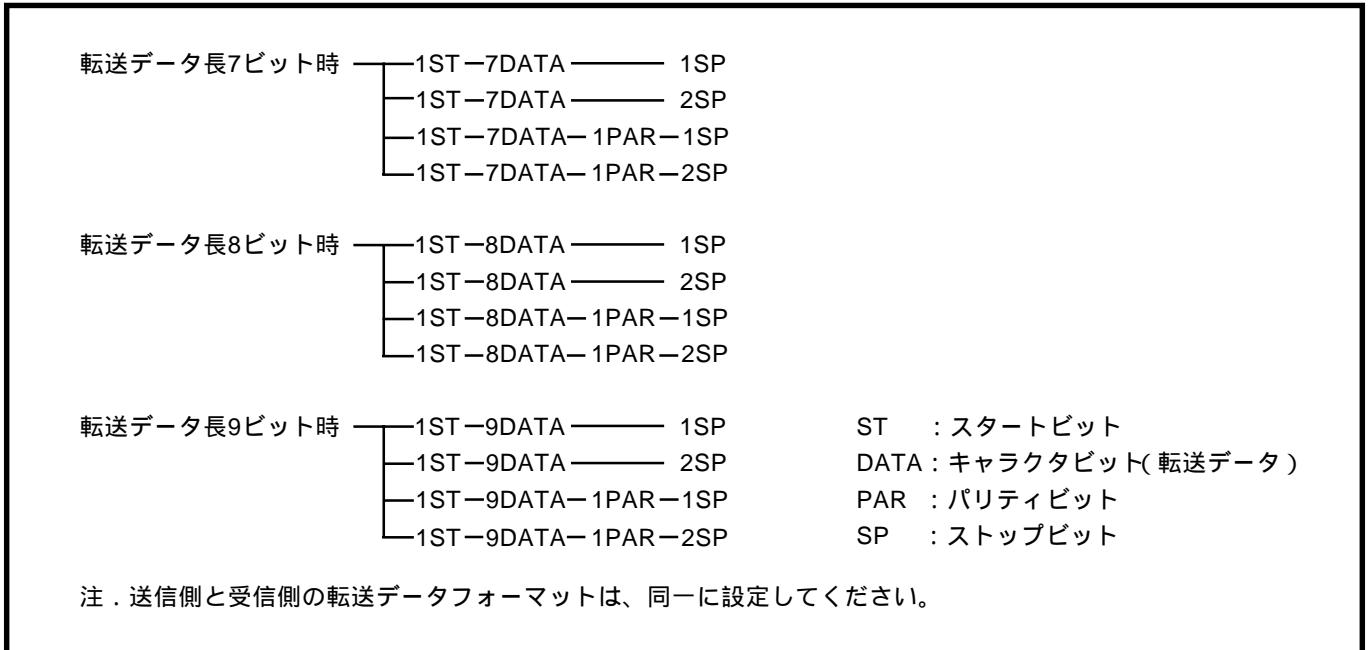


図11.6.2 転送データフォーマット

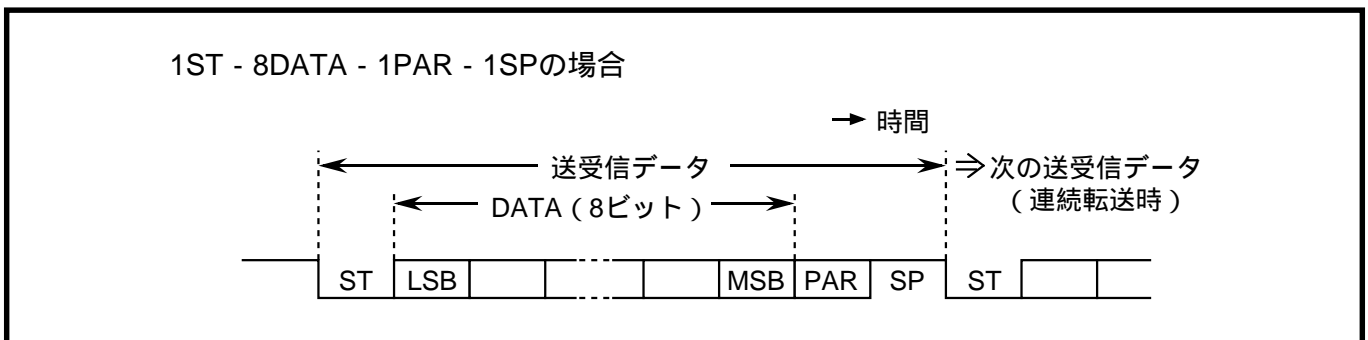


図11.6.3 転送データフォーマット例

表11.6.5 送信データの各ビットの機能

名称	機能
ST スタートビット	キャラクタビットの直前に付加するキャラクタビット1ビット分の「L」信号。データの送信開始を示す。
DATA キャラクタビット	UARTi送信バッファレジスタに設定された送信データ。
PAR パリティビット	データの信頼性を向上させるために、キャラクタビットの直後に付加する信号。この信号のレベルは、パリティ奇/偶の選択に従ってこのビットとキャラクタビット中の「1」の総数が常に奇数、又は偶数になるように変化する。
SP ストップビット	キャラクタビット(パリティ許可時はパリティビット)の直後に付加するキャラクタビット1ビット分、又は2ビット分の「H」信号。データの送信終了を示す。

11.6.3 送信

(1) 設定方法

図11.6.4に送信時の関連レジスタ初期設定例を、図11.6.5に送信開始後のデータの書き込みを、図11.6.6に送信完了の検出を示します。

なお、割り込みを使用する場合は割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

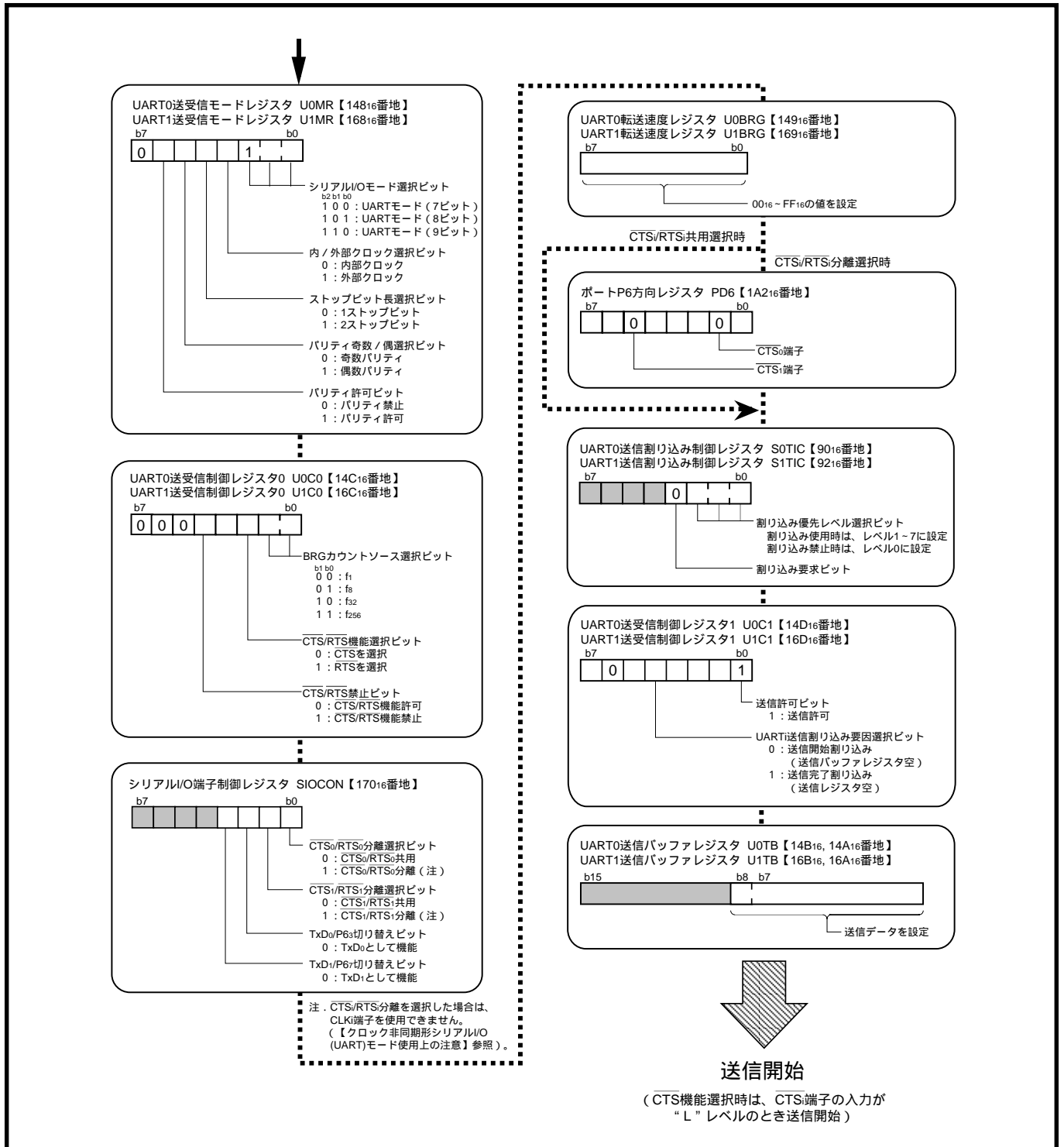


図11.6.4 送信時の関連レジスタ初期設定例

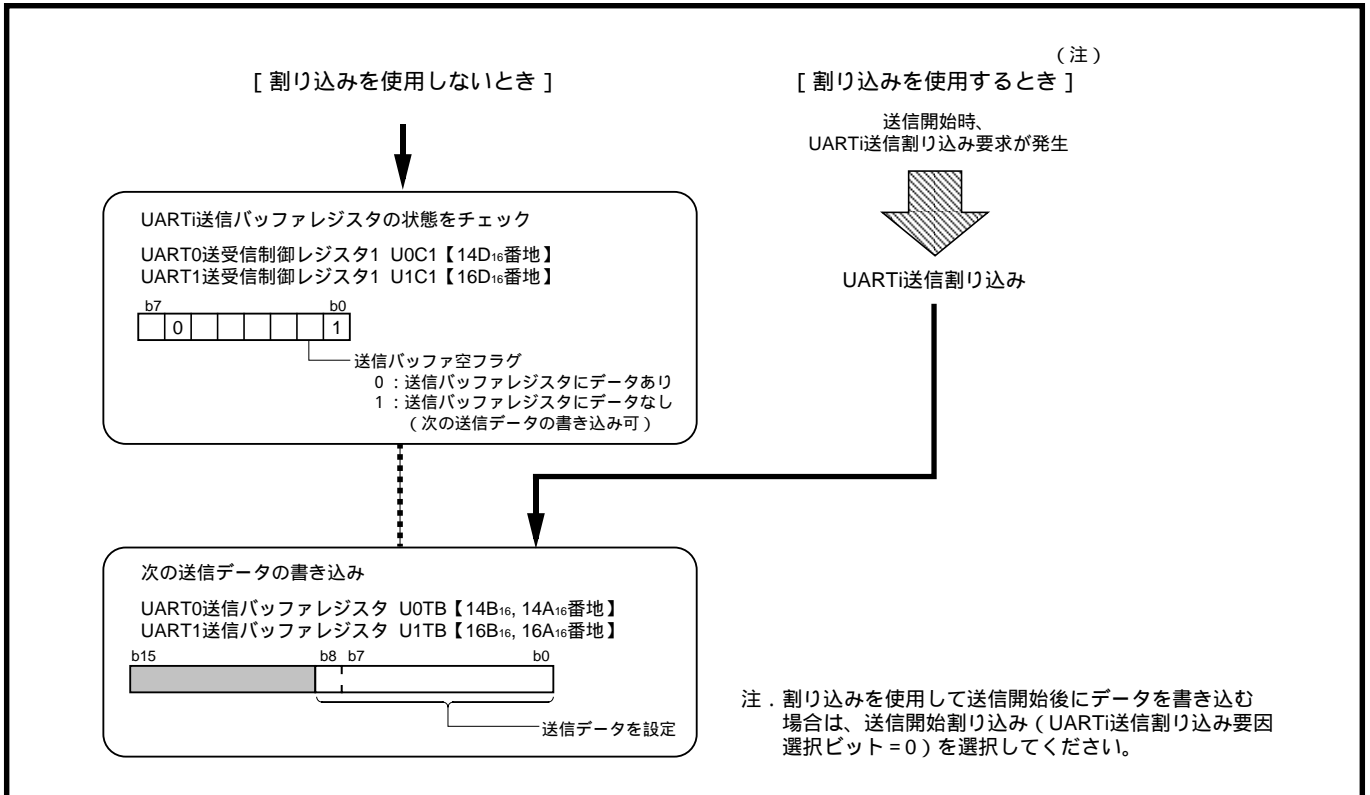


図11.6.5 送信開始後のデータの書き込み

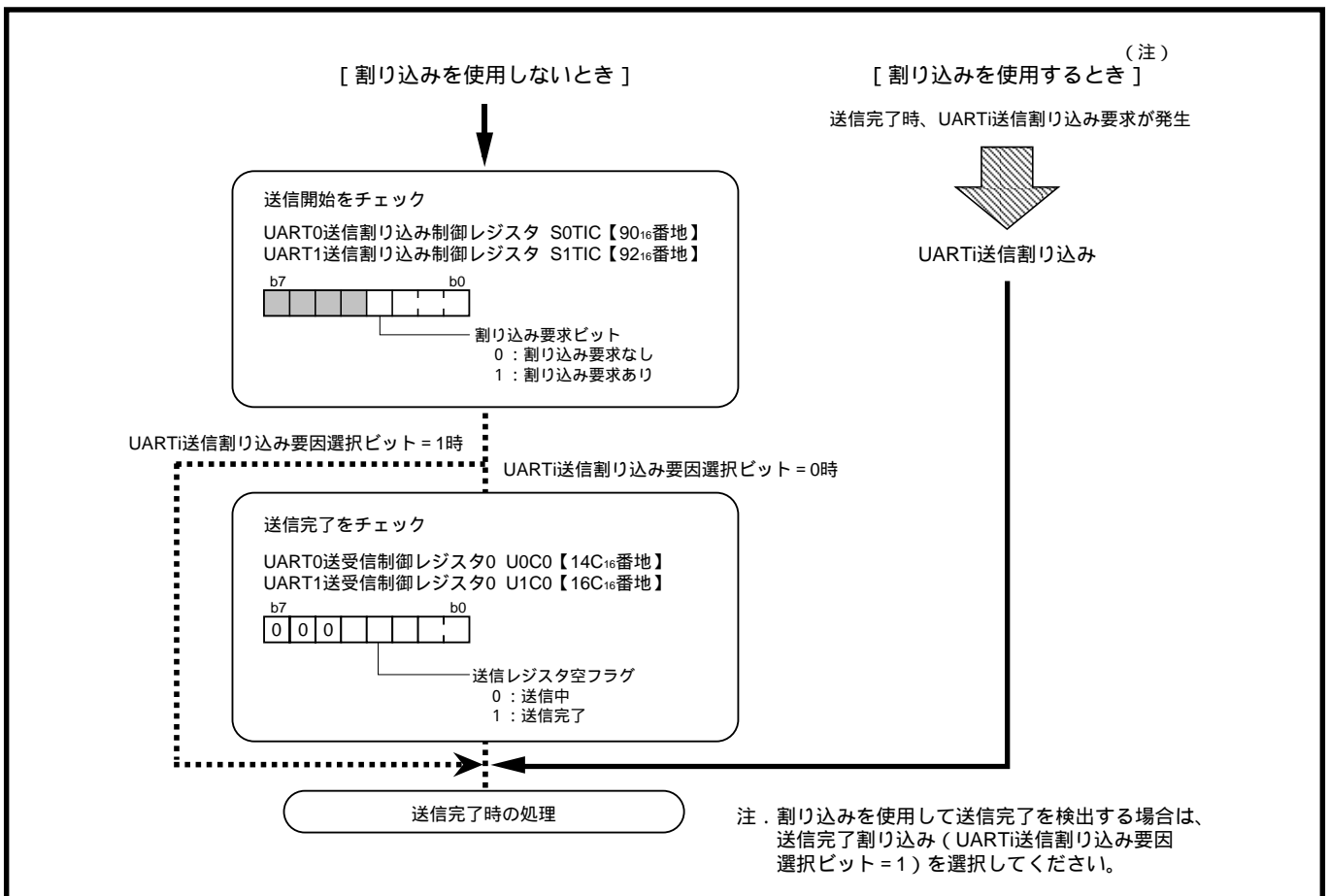


図11.6.6 送信完了の検出

(2)動作説明

送信は、次の ~ の条件がすべて満たされたとき開始されます。

《送信条件》

UARTi送信バッファレジスタに送信データあり(送信バッファ空フラグ=0)

送信許可状態(送信許可ビット=1)

CTS端子の入力がLレベル(CTS機能選択時)

注: CTS機能を選択していない場合、この条件は無視されます。

上記の送信条件(~)が満たされると転送クロックが生成され、転送クロックの最大1サイクル後に次の動作が自動的に行われます。

UARTi送信バッファレジスタの内容がUARTi送信レジスタに転送される

送信バッファ空フラグが[#]1になる

送信レジスタ空フラグが[#]0になる

UARTi送信割り込み要求が発生し、割り込み要求ビットが[#]1になる(送信開始割り込み選択時)

以下に送信動作を説明します。

UARTi送信レジスタ内のデータをTxDi端子から送信します。

データは、設定された転送データフォーマットで、ST DATA(LSB) DATA(MSB) PAR SPの順に1ビットずつ送信されます。

ストップビット(2ストップビット選択時は2つ目のストップビット)の中央で、送信レジスタ空フラグが[#]1になり、送信が完了したことを示します。また、次のデータの送信条件が満たされているかどうかを調べます。

で次のデータの送信条件が満たされていれば、ストップビットに続いてスタートビットが発生し、次のデータの送信を行います。連続して送信を行う場合は、送信中(送信レジスタ空フラグが[#]0)のとき)にUARTi送信バッファレジスタに次の送信データを設定してください。次のデータの送信条件が満たされていない場合、TxDi端子はHレベルを出力し、転送クロックはHレベルで停止します。

図11.6.7、図11.6.8に転送データ長8ビット時の送信タイミング例を、図11.6.9に転送データ長9ビット時の送信タイミング例を示します。

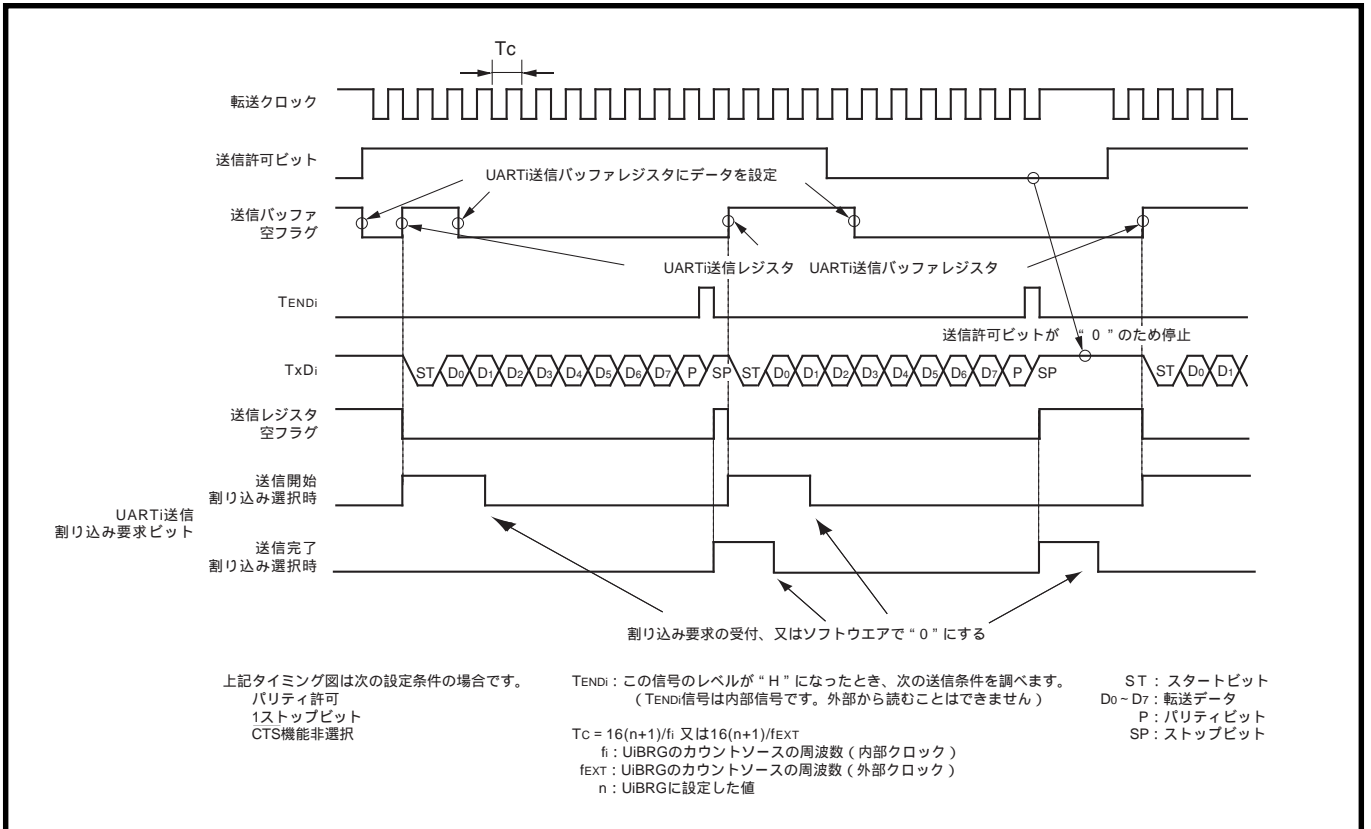


図11.6.7 転送データ長8ビット時の送信タイミング例(パリティ許可、1ストップビット、CTS機能非選択時)

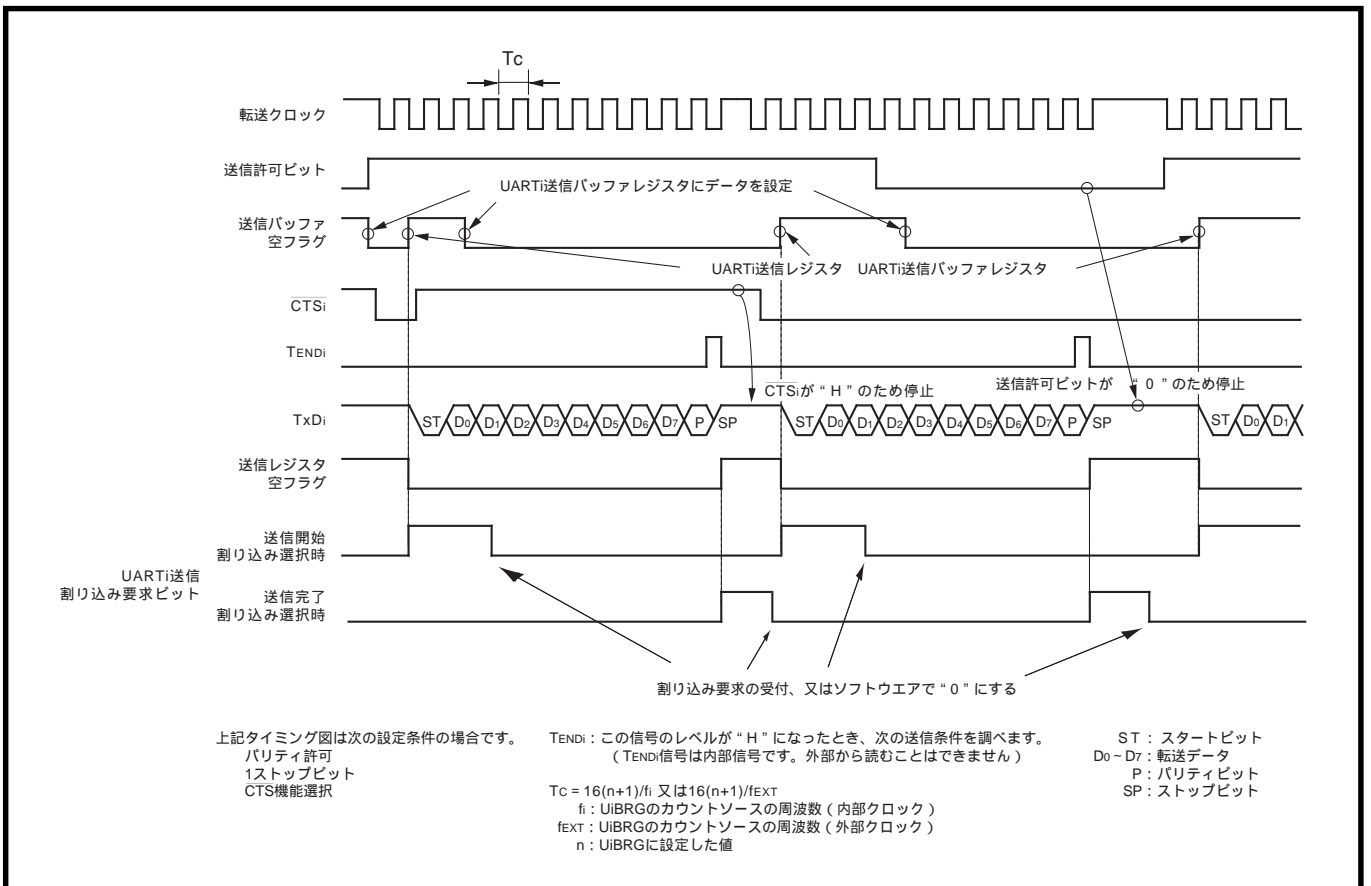


図11.6.8 転送データ長8ビット時の送信タイミング例(パリティ許可、1ストップビット、CTS機能選択時)

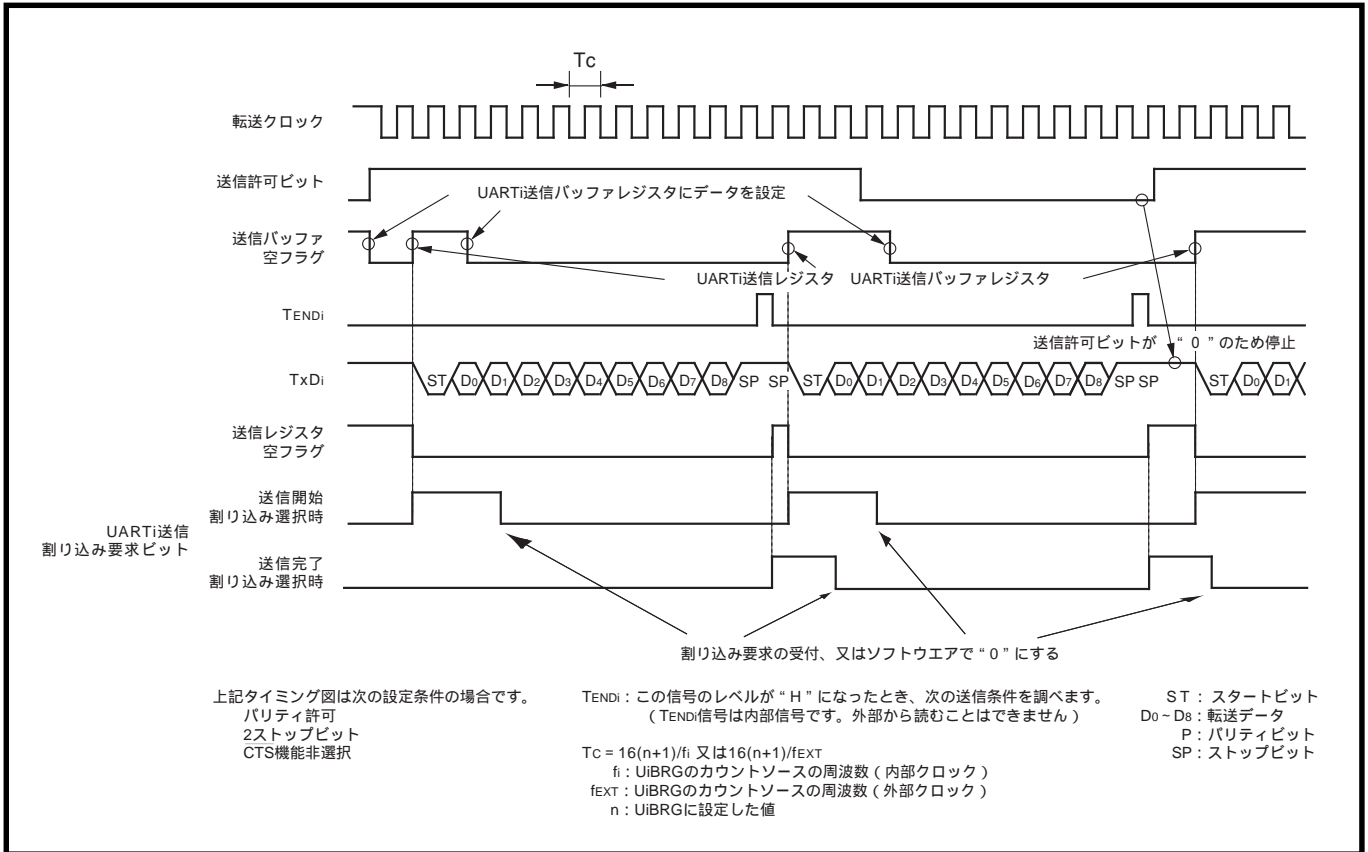


図11.6.9 転送データ長9ビット時の送信タイミング例(パリティ禁止、2ストップビット、CTS機能非選択時)

11.6.4 受信

(1) 設定方法

図11.6.10に受信時の関連レジスタ初期設定例を、図11.6.11に受信完了後の処理を示します。
 なお、割り込みを使用する場合は割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

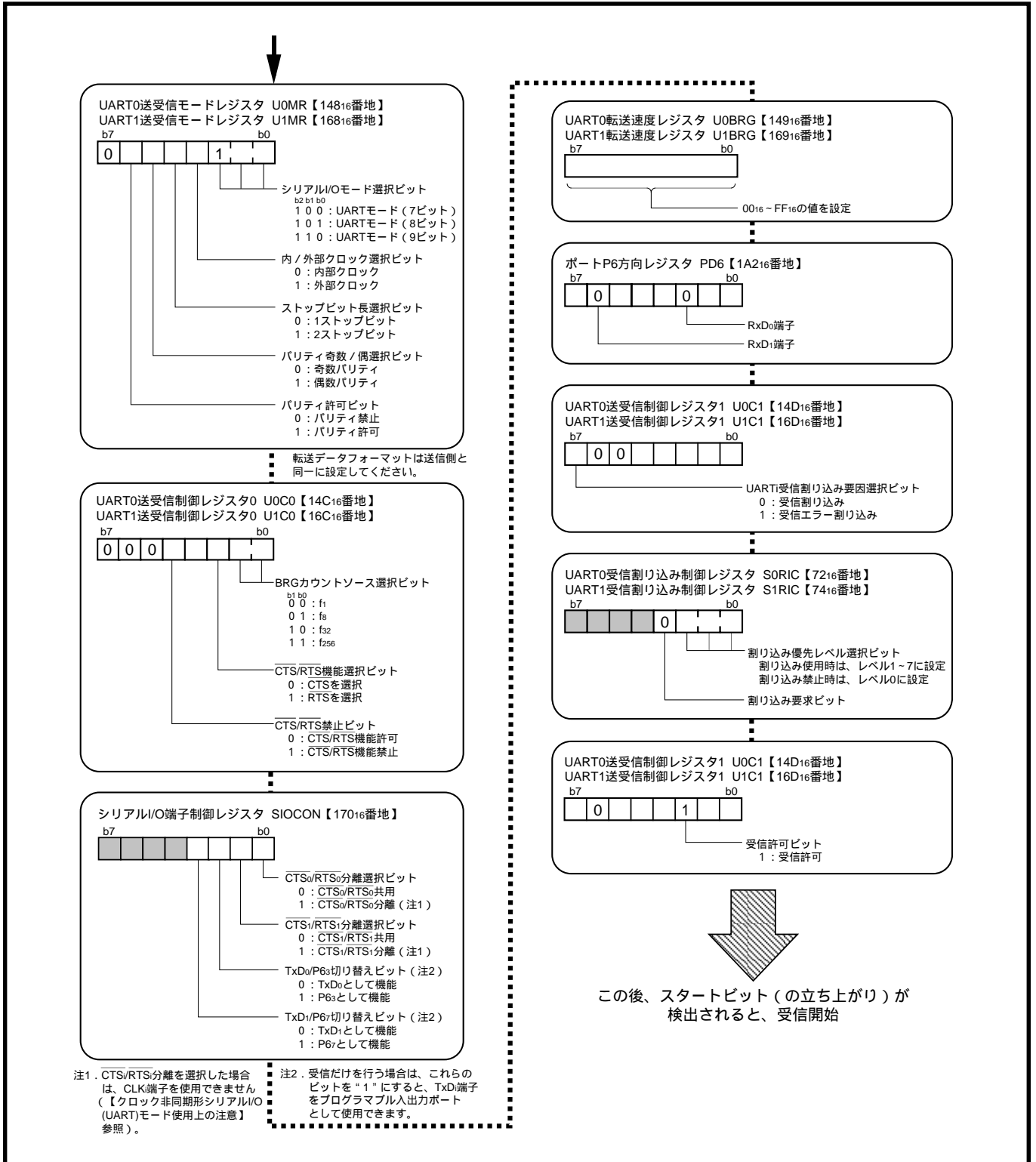


図11.6.10 受信時の関連レジスタ初期設定例

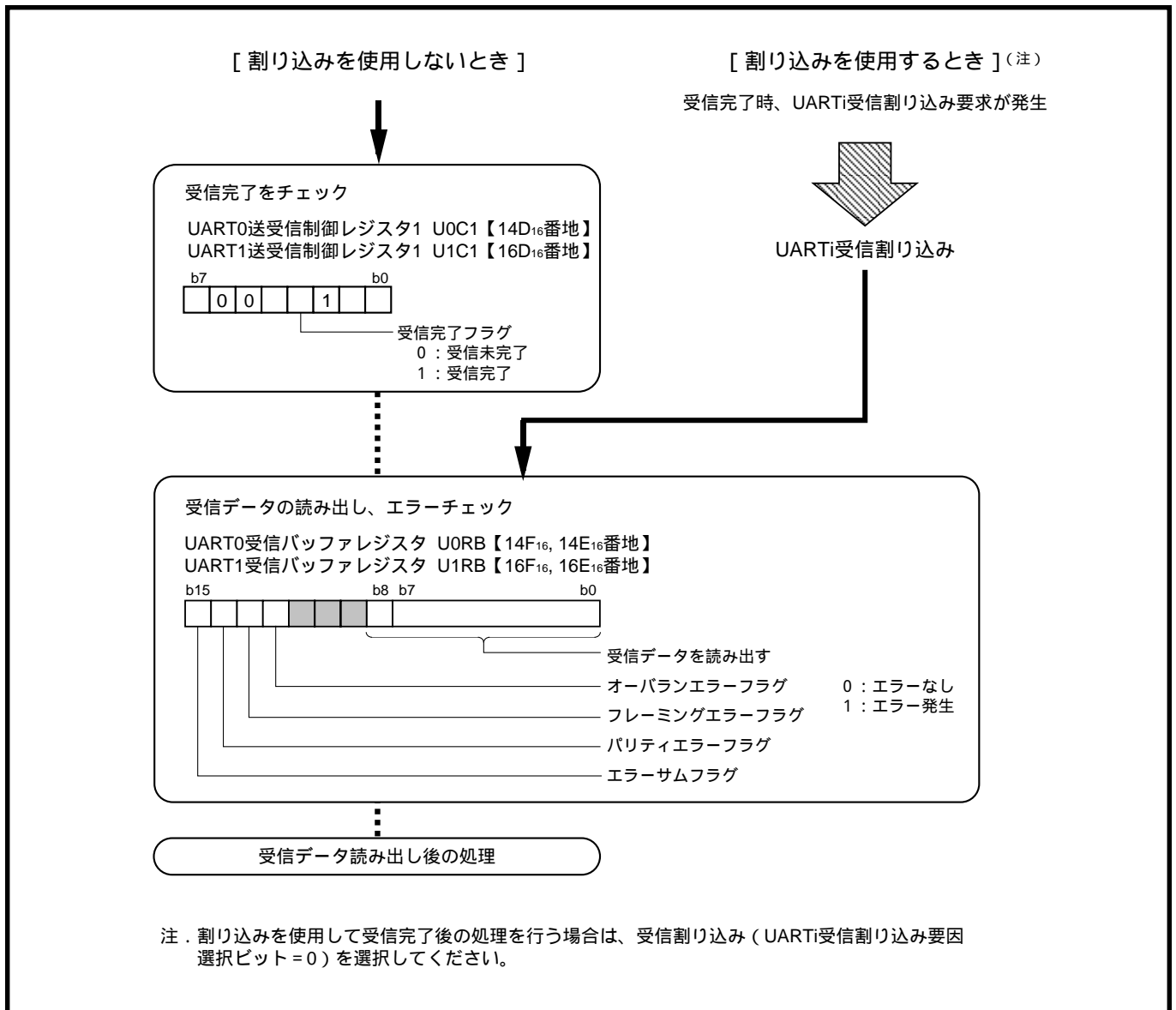


図11.6.11 受信完了後の処理

(2)動作説明

受信は、次の ~ の条件がすべて満たされたとき開始されます。

《受信条件》

- 受信許可状態(受信許可ビット=1)
- スタートビット(の立ち下がり)の検出

受信許可ビットを“1”にするとUARTiは受信可能状態になり、スタートビット(の立ち下がり)を検出すると、転送クロックが発生して受信を開始します。

以下に受信動作を説明します。

転送クロックの立ち上がりに同期して、RxDi端子の入力信号をUARTi受信レジスタの最上位ビットに取り込みます。

UARTi受信レジスタの内容を1ビット右にシフトします。

、 を転送クロックの立ち上がりごとに繰り返します。

UARTi受信レジスタに1組のデータが揃う(選択したデータフォーマットに見合う回数シフトする)と、UARTi受信レジスタの内容はUARTi受信バッファレジスタに転送されます。

と同時に受信完了フラグが“1”になります。また、受信割り込み選択(UARTi受信割り込み要因選択ビット=0)時は、UARTi受信割り込み要求が発生し、割り込み要求ビットが“1”になります。

図11.6.12に転送データ長8ビット時の受信タイミング例を示します。

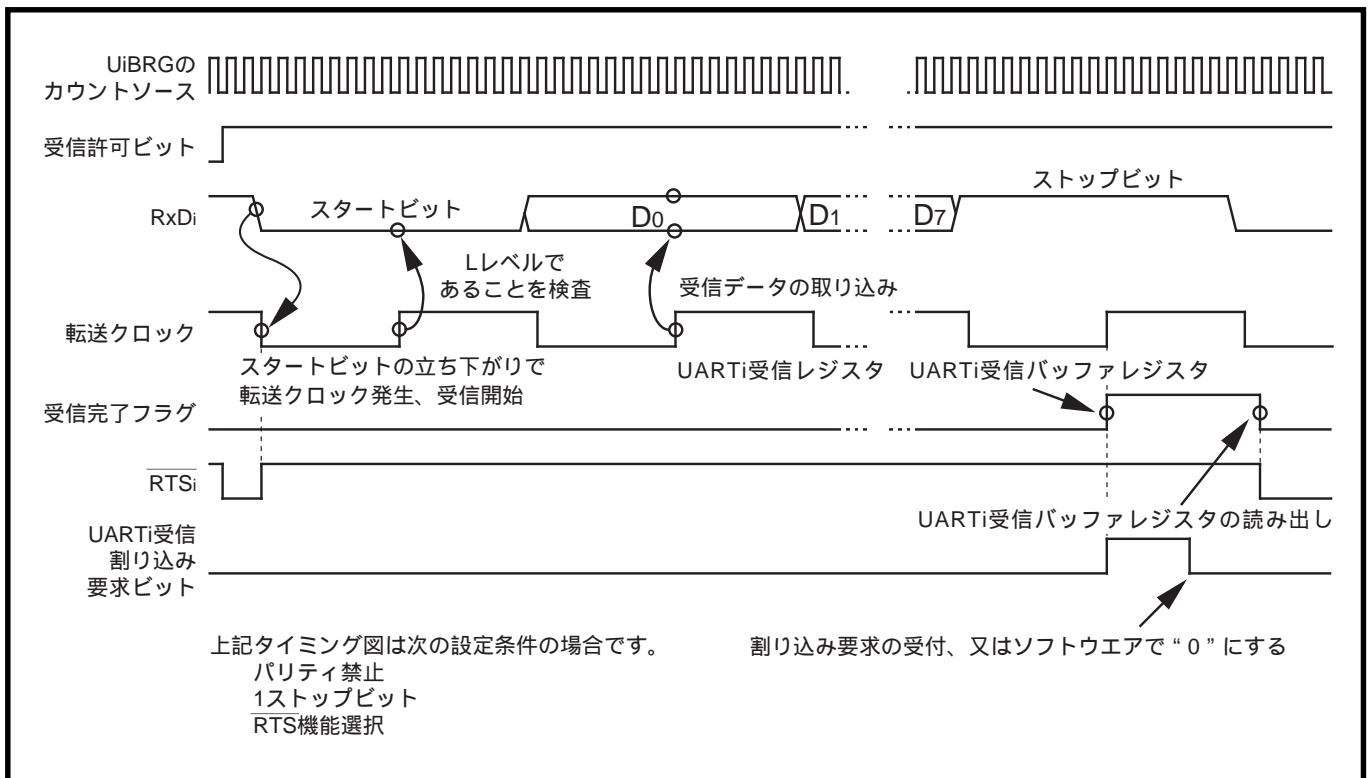


図11.6.12 転送データ長8ビット時の受信タイミング例

【クロック非同期形シリアルI/O(UART)モード使用上の注意】

1. $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 分離を選択した場合は、 CLK_i 端子を使用できません。したがって、UARTモードで $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ を分離する場合は、内部クロックを選択してください。
2. UART $_i$ 転送速度レジスタ(UiBRG)への書き込みは、送受信停止中に行ってください。
3. 送信を行うときは、 $\text{TxD}_0/\text{P6}_3$ 、 $\text{TxD}_1/\text{P6}_7$ 切り替えビット(170₁₆番地のビット2、3)を“0”にしてください。
4. 送信レジスタ空フラグと送信バッファ空フラグの内容が異なるときに、送信割り込み要因選択ビットの内容を変更した場合、送信割り込み要求ビットが“1”になることがあります。送信割り込み要因選択ビットを変更する場合は、以下のようにしてください。
 - ・送信開始前/送信完了後に変更する場合
: 送信割り込み要因選択ビットを設定した後、送信バッファレジスタに送信データを設定してください(図11.6.4参照)
 - ・送信開始後に変更する場合
: 送信バッファレジスタに送信データを設定した後、送信割り込み要因選択ビットを設定してください。

11.7 エラー検出時の処理

データ受信時、クロック同期形シリアルI/Oモードでは1種類、UARTモードでは3種類のエラーを検出できます。

表11.7.1に各エラーフラグが“1”になる条件、及びエラーフラグを“0”にする方法を示します。

なお、受信エラー割り込み選択(UARTi受信割り込み要因選択ビット=1)時は、各エラーが発生したときだけUARTi受信割り込み要求ビットが“1”になります。受信割り込み選択(UARTi受信割り込み要因選択ビット=0)時は、受信完了時、フレーミングエラー発生時、及びパリティエラー発生時に、UARTi受信割り込み要求ビットが“1”になります(オーバランエラー発生時は変化しません)。

表11.7.1 各エラーフラグが“1”になる条件、及びエラーフラグを“0”にする方法

動作モード	エラーフラグ	エラーフラグが“1”になる条件	エラーフラグを“0”にする方法
クロック同期形 シリアルI/O	オーバラン エラーフラグ	受信完了フラグが1(UARTi受信バッファレジスタにデータあり)の状態、UARTi受信レジスタに次の受信データの7ビット目まで受信したとき(UARTi受信バッファレジスタの内容を読み出す前に次の受信データを7ビット目まで受信したとき)(注1)	・受信許可ビットを“0”にする
クロック非同期形 シリアルI/O (UART)	オーバラン エラーフラグ	受信完了フラグが1(UARTi受信バッファレジスタにデータあり)の状態、UARTi受信レジスタに次の受信データの(転送データのビット数-1)ビット目まで受信したとき(UARTi受信バッファレジスタの内容を読み出す前に次の受信データを(転送データのビット数-1)ビット目まで受信したとき)	・受信許可ビットを“0”にする
	フレーミング エラーフラグ	設定した個数のストップビットが検出されなかったとき(注2)	・受信許可ビットを“0”にする ・UARTi受信バッファレジスタの下位バイトの内容を読み出す
	パリティ エラーフラグ	パリティ許可時に、パリティビットとキャラクタビット中の“1”の総数が設定した個数でなかったとき(注2)	・受信許可ビットを“0”にする ・UARTi受信バッファレジスタの下位バイトの内容を読み出す
	エラーサム フラグ	上記の3つのエラーのうち、1つ以上が発生したとき	・オーバラン、フレーミング、パリティのすべてのエラーフラグをクリアする

注1. UARTi受信バッファレジスタには次のデータが書き込まれます。

2. UARTi受信レジスタからUARTi受信バッファレジスタにデータが転送される時、対応するエラーフラグが“1”になります。

受信時、エラーが発生した場合は、エラーフラグ、及びUARTi受信バッファレジスタを初期化した後、再度受信を行ってください。また、送信時、受信側のエラー発生によって再送信を行う必要がある場合は、UARTi送信バッファレジスタを再設定した後に、再送信を行ってください(表11.7.2参照)。

表11.7.2 UARTi受信バッファレジスタを初期化する方法・UARTi送信バッファレジスタを再設定する方法

動作モード	UARTi受信バッファレジスタを初期化する方法	UARTi送信バッファレジスタを再設定する方法
クロック同期形 シリアルI/O	受信許可ビットを“0”(受信禁止)にする 受信許可ビットを“1”(受信許可)にする	シリアルI/Oモード選択ビットを“000 ₂ ” (シリアルI/Oモードは無効)にする
クロック非同期形 シリアルI/Q(UART)	受信許可ビットを“0”(受信禁止)にする 受信許可ビットを再度“1”(受信許可)にする	シリアルI/Oモード選択ビットを再設定する 送信許可ビットを“1”(送信許可)にし、 UARTi送信バッファレジスタに送信データを設定する

Memo

第 12 章

A-D変換器

- 12.1 概 要
 - 12.2 ブロック図
 - 12.3 関連レジスタ
 - 12.4 A-D変換方式
 - 12.5 絶対精度と微分非直線性誤差
 - 12.6 単発モード
 - 12.7 繰り返しモード
 - 12.8 単掃引モード
 - 12.9 繰り返し掃引モード
- 【A-D変換器使用上の注意】

12.1 概要

分解能8ビット、又は分解能10ビットのA-D変換ができます。

表12.1.1 A-D変換器の性能

項目	性能		
A-D変換方式	逐次比較変換方式		
動作モード	単発モード	選択された1本のアナログ入力端子からの入力電圧を1回だけA-D変換する	
	繰り返しモード	選択された1本のアナログ入力端子からの入力電圧を繰り返しA-D変換する	
	単掃引モード	選択された複数のアナログ入力端子からの入力電圧を1回ずつA-D変換する	
	繰り返し掃引モード	選択された複数のアナログ入力端子からの入力電圧を繰り返しA-D変換する	
アナログ入力端子	8本(AN ₀ ~ AN ₇)		
動作クロック AD	f _{AD} 、f _{AD} の2分周、f _{AD} の3分周、f _{AD} の4分周、及びf _{AD} の6分周		
分解能	8ビット、又は10ビットをソフトウェアで選択できる		
A-D変換開始条件	以下のいずれかをソフトウェアで選択できる <ul style="list-style-type: none"> ・ A-D変換開始フラグへの「1」書き込み ・ A-D変換開始フラグが「1」の状態でのAD_{TRG}端子への立ち下がり入力 ・ A-D変換開始フラグが「1」の状態でのタイマB2割り込み要求発生 		
アナログ入力端子 1本あたりの変換 時間	サンプル&ホールドなし	分解能8ビットモード時	49 ADサイクル
		分解能10ビットモード時	59 ADサイクル
	サンプル&ホールドあり	分解能8ビットモード時	28 ADサイクル
		分解能10ビットモード時	33 ADサイクル
		単発モード、 繰り返しモード時	単掃引モード、 繰り返し掃引モード時

AD : A-D変換器の動作クロック

12.2 ブロック図

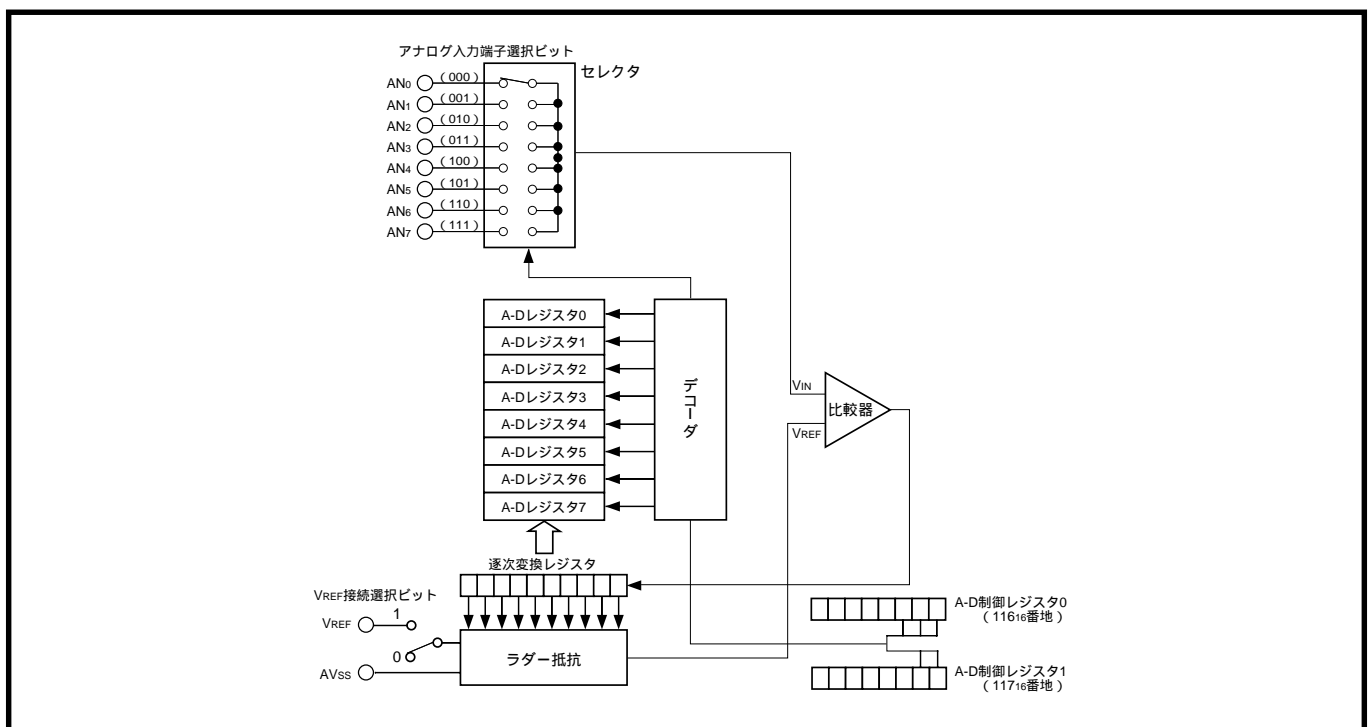
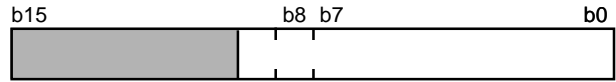


図12.2.1 A-D変換器ブロック図

12.3 関連レジスタ

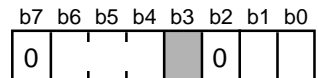
A-Dレジスタ($i=0\sim7$) AD i 【101₁₆, 100₁₆ 番地、103₁₆, 102₁₆ 番地、105₁₆, 104₁₆ 番地、107₁₆, 106₁₆番地、109₁₆, 108₁₆番地、10B₁₆, 10A₁₆番地、10D₁₆, 10C₁₆番地、10F₁₆, 10E₁₆番地】

ビット	ビットシンボル	機能	リセット時	R/W
9~0	AD i	A-D変換結果を読み出す(注)	不定	RO
15~10	-	読み出し時の値は“0”	0	-

注. 分解能8ビットモード時、ビット8, 9は不定になります。

図12.3.1 A-Dレジスタ i のレジスタ構成(1) A-Dレジスタ($i=0\sim7$)

A-D変換終了時、変換結果(逐次比較レジスタの内容)はこのレジスタに格納されます。各A-Dレジスタは、それぞれアナログ入力端子(AN_i)に対応しています。

A-D制御レジスタ2 ADCON2 【114₁₆番地】

ビット	ビットシンボル	ビット名	機能	リセット時	R/W
0	SMP	A-D変換方式選択ビット	0: サンプル&ホールドなし 1: サンプル&ホールドあり	0	RW
1	TRG0	外部トリガ要因選択ビット (注1)	0: AD _{TRG} 1: タイマB2割り込み要求	0	RW
2	-	“0”に固定してください		0	RW
3	-	何も配置されていない		不定	-
4	CKS0	A-D変換周波数(AD)選択 ビット (注2)	b6 b5 b4 0 0 0 : f_{AD} の2分周	1	RW
5	CKS1		0 0 1 : f_{AD} の3分周	0	RW
6	CKS2		0 1 0 : f_{AD} の4分周	0	RW
7	-		0 1 1 : f_{AD} の6分周 1 X X : f_{AD}	0	RW
7	-	“0”に固定してください		0	RW

X : “0”又は“1”いずれでもよい。

注1. トリガ選択ビット(116₁₆番地のビット5)が“1”のときだけ有効です。

注2. ADの周波数が11.3MHz以下になるように設定してください。

注3. このレジスタの各ビットに対する書き込みは、A-D変換器の動作モードに関係なく、A-D変換器停止時に行ってください。

図12.3.2 A-D制御レジスタ2のレジスタ構成

(1) A-D変換方式選択ビット(ビット0)

A-D変換方式を選択するビットです。このビットを“1”にすると、サンプル&ホールドが選択され、A-D変換開始時、動作クロック(f_{AD})の3サイクル分、入力電圧をサンプリングし、サンプリングされた電圧に対してA-D変換を行います。

(2)外部トリガ要因選択ビット(ビット1)

トリガ選択ビット(116₁₆番地のビット5)で外部トリガを選択した場合に、その外部トリガの種類を選択するビットです(表12.3.1参照)。

(3)A-D変換周波数(AD)選択ビット(ビット4~6)

これらのビットによって、A-D変換器の動作クロック(AD)を選択できます。

A-D制御レジスタ0 ADCON0 【116 ₁₆ 番地】				b7 b6 b5 b4 b3 b2 b1 b0				
				0				
ビット	ビットシンボル	ビット名	機能	リセット時	R/W			
0	CH0	アナログ入力端子選択ビット (注1、2)	b2 b1 b0 000: AN ₀ を選択 001: AN ₁ を選択 010: AN ₂ を選択 011: AN ₃ を選択 100: AN ₄ を選択 101: AN ₅ を選択 110: AN ₆ を選択 111: AN ₇ を選択	不定	RW			
1	CH1			不定	RW			
2	CH2			不定	RW			
3	MD0			A-D動作モード選択ビット (注2)	b4 b3 00: 単発モード 01: 繰り返しモード 10: 単掃引モード 11: 繰り返し掃引モード	0	RW	
4	MD1	0	RW					
5	TRG	トリガ選択ビット	0: 内部トリガ 1: 外部トリガ	0	RW			
6	ADST	A-D変換開始フラグ	0: A-D変換停止 1: A-D変換開始	0	RW			
7	-	"0"に固定してください			0	RW		

注1. 単掃引モード、及び繰り返し掃引モードでは無効です("0"又は"1"いずれでもよい)。
 注2. A-D動作モードを切り替える場合は、再度アナログ入力端子を選択してください。
 3. このレジスタの各ビットに対する書き込みは、A-D変換器の動作モードに関係なく、A-D変換器停止時に行ってください(ビット6への書き込みを除く)。

図12.3.3 A-D制御レジスタ0のレジスタ構成

(1)アナログ入力端子選択ビット(ビット0~2)

単発モード、及び繰り返しモードにおいて、アナログ入力端子を選択するために使用します。このビットでアナログ入力端子として選択していない端子は、プログラマブル入出力ポートとして機能します。

なお、単掃引モード、又は繰り返し掃引モードでA-D変換を実行した後、単発モード、又は繰り返しモードに切り替える場合は、再度、このビットを設定してください。

(2)A-D動作モード選択ビット(ビット3、4)

A-D変換器の動作モードを選択するためのビットです。

(3)トリガ選択ビット(ビット5)

このビットによって、トリガ発生要因を選択できます(表12.3.1参照)。

表12.3.1 トリガの選択

トリガ選択ビット (116 ₁₆ 番地のビット5)	外部トリガ要因ビット (114 ₁₆ 番地のビット2, 1)	選択されるトリガ
0(内部トリガ)	00 ₂ 又は 01 ₂	A-D変換開始フラグへの“1”書き込み
1(外部トリガ)	00 ₂	AD _{TRG} 端子の入力信号の立ち下がり
	01 ₂	タイマB2割り込み要求

(4)A-D変換開始フラグ(ビット6)

内部トリガ選択(トリガ選択ビット=0)時

このビットを“1”にするとトリガが発生し、A-D変換器が動作を開始します。このビットを“0”にすると、A-D変換器は停止します。

単発モード及び単掃引モードでは、A-D変換終了時、このビットは“0”になります。繰り返しモード、及び繰り返し掃引モードでは、ソフトウェアでこのビットを“0”にするまで、A-D変換器は動作を続けます。

外部トリガ選択(トリガ選択ビット=1)時

このビットが“1”のときに、AD_{TRG}端子のレベルがHからLになる(外部トリガ要因選択ビット=00₂のとき)、又はタイマB2割り込み要求が発生する(外部トリガ要因選択ビット=01₂のとき)とトリガが発生し、A-D変換器が動作を開始します。このビットを“0”にすると、A-D変換器は停止します。

単発モード及び単掃引モードでは、A-D変換終了後も、このビットは“1”の状態を保持します。繰り返しモード、及び繰り返し掃引モードでは、ソフトウェアでこのビットを“0”にするまで、A-D変換器は動作を続けます。

A-D制御レジスタ1 ADCON1 【117 ₁₆ 番地】				b7	b6	b5	b4	b3	b2	b1	b0
				0	0		0		0		
ビット	ビットシンボル	ビット名	機能	リセット時	R/W						
0	SCAN0	A-D掃引端子選択ビット(注1)	b1 b0 0 0 : AN ₀ 、AN ₁ (2端子) 0 1 : AN ₀ ~ AN ₃ (4端子) 1 0 : AN ₀ ~ AN ₅ (6端子) 1 1 : AN ₀ ~ AN ₇ (8端子)	0	RW						
1	SCAN1			0	RW						
2	-	“0”に固定してください		0	RW						
3	BITS	分解能選択ビット	0 : 8ビットモード 1 : 10ビットモード	0	RW						
4	-	“0”に固定してください		0	RW						
5	VCUT	V _{REF} 接続選択ビット (注2)	0 : V _{REF} 切断 1 : V _{REF} 接続	0	RW						
7、6	-	“0”に固定してください		0	RW						

注1. 単発モード、及び繰り返しモードでは無効です(“0”又は“1”いずれでもよい)。
 2. このビットはA-D変換器を使用する場合のみ有効です。このビットを“0”から“1”にしたときは、1μs以上経過した後に、A-D変換を開始させてください。
 3. このレジスタの各ビットに対する書き込みは、A-D変換器の動作モードに関係なく、A-D変換器停止時に行ってください。

図12.3.4 A-D制御レジスタ1のレジスタ構成

(1) A-D掃引端子選択ビット(ビット0、1)

単掃引モード、及び繰り返し掃引モードにおいて、アナログ入力端子を選択するために使用します。このビットでアナログ入力端子として選択していない端子は、プログラマブル入出力ポートとして機能します。

(2) 分解能選択ビット(ビット3)

分解能を選択するためのビットです(「12.4 A-D変換方式」参照)。

(3) V_{REF}接続選択ビット(ビット5)

A-D変換器を使用するときは、このビットを“1”にし、1μs以上経過した後に、A-D変換を開始させてください。

A-D変換器を使用しないときは、このビットを“0”にしてください。A-D変換器のラダー抵抗と基準電圧入力端子(V_{REF})が切り離され、V_{REF}端子からラダー抵抗に電流が流れなくなるため、消費電流を低減できます。

A-D変換割り込み制御レジスタ ADIC 【73 ₁₆ 番地】				b7 b6 b5 b4 b3 b2 b1 b0			
ビット	ビット シンボル	ビット名	機 能	リセット時	R/W		
0	ILVL0	割り込み優先レベル選択ビット	b2b1b0 000: レベル0(割り込み禁止) 001: レベル1 010: レベル2 011: レベル3 100: レベル4 101: レベル5 110: レベル6 111: レベル7	0	RW		
1	ILVL1			0	RW		
2	ILVL2			0	RW		
3	IR			割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	不定	RW
7~4	-	何も配置されていない		不定	-		

注: このビットへの書き込みにはMOV命令を使用してください。

図12.3.5 A-D変換割り込み制御レジスタのレジスタ構成

(1) 割り込み優先レベル選択ビット(ビット0~2)、割り込み要求ビット(ビット3)

各ビットの詳細については、「第7章 割り込み」を参照してください。

ポートP9方向レジスタ PD9 【1A7₁₆番地】

b7	b6	b5	b4	b3	b2	b1	b0

ビット	ビットシンボル	対応する端子名	機能	リセット時	R/W
0	PD9_0	TB0 _N 端子	0: 入力モード 1: 出力モード	0	RW
1	PD9_1	TB1 _N 端子		0	RW
2	PD9_2	TB2 _N 端子		0	RW
3	PD9_3	DA ₀ 端子		0	RW
4	PD9_4	DA ₁ 端子		0	RW
5	PD9_5	DA ₂ 端子		0	RW
6	PD9_6	INT ₃ 端子		0	RW
7	PD9_7	AD _{TRG} 端子(INT ₄ 端子)	0: 入力モード 1: 出力モード AD _{TRG} 端子として使用する場合は、このビットを“0”にしてください。	0	RW

注.()内は、共用となっている他の内蔵周辺装置の入出力端子を示します。

ポートP10方向レジスタ PD10 【1AA₁₆番地】

b7	b6	b5	b4	b3	b2	b1	b0

ビット	ビットシンボル	対応する端子名	機能	リセット時	R/W
0	PD10_0	AN ₀ 端子	0: 入力モード 1: 出力モード A-D変換器のアナログ入力端子として使用する場合は、対応するビットを“0”にしてください。	0	RW
1	PD10_1	AN ₁ 端子		0	RW
2	PD10_2	AN ₂ 端子		0	RW
3	PD10_3	AN ₃ 端子		0	RW
4	PD10_4	AN ₄ 端子		0	RW
5	PD10_5	AN ₅ 端子		0	RW
6	PD10_6	AN ₆ 端子		0	RW
7	PD10_7	AN ₇ 端子	0	RW	

図12.3.6 ポートP10方向レジスタ及びポートP9方向レジスタとA-D変換器の入力端子の対応

(1)ポートP9方向レジスタ(ビット7)、ポートP10方向レジスタ(ビット0~7)

A-D変換器の入力端子はポートP9、ポートP10と共用です。これらの端子をA-D変換器の入力端子として使用する場合は、ポートP9方向レジスタ、ポートP10方向レジスタの対応するビットを“0”にして入力モードに設定してください。

12.4 A-D変換方式

A-D変換器は、逐次比較レジスタの内容に従って内部で生成される比較電圧(V_{ref})と、アナログ入力端子から入力されるアナログ入力電圧(V_{IN})を比較し、その結果を逐次比較レジスタに反映することによって、 V_{IN} をデジタル値に変換します。トリガが発生すると、A-D変換器は以下の処理を行います。

逐次比較レジスタのビット9の確定

V_{ref} と V_{IN} を比較します。このときの逐次比較レジスタの内容は“100000000₂”(初期値)です。比較結果によって逐次比較レジスタのビット9は以下のように変化します。

$V_{ref} < V_{IN}$ ならば、ビット9は“1”

$V_{ref} > V_{IN}$ ならば、ビット9は“0”

逐次比較レジスタのビット8の確定

逐次比較レジスタのビット8を“1”にした後、 V_{ref} と V_{IN} を比較します。比較結果によってビット8は以下のように変化します。

$V_{ref} < V_{IN}$ ならば、ビット8は“1”

$V_{ref} > V_{IN}$ ならば、ビット8は“0”

逐次比較レジスタのビット7～最下位ビットの確定

分解能10ビットモード時は、の動作をビット7～0に対して行います。

分解能8ビットモード時は、の動作をビット7～2に対して行います。

最下位ビットが確定すると、逐次比較レジスタの内容(変換結果)はA-Dレジスタ*i*に転送されます。

V_{ref} は最新の逐次比較レジスタの内容に従って生成されます。表12.4.1に逐次比較レジスタの内容と V_{ref} の関係を示します。また、表12.4.2、表12.4.3にA-D変換中の逐次比較レジスタと V_{ref} の変化を、図12.4.1に分解能10ビットモード時の理論的A-D変換特性を示します。

表12.4.1 逐次比較レジスタの内容と V_{ref} の関係

逐次比較レジスタの内容 : n	$V_{ref}(V)$
0	0
1 ~ 1023	$\frac{V_{REF}}{1024} \times (n - 0.5)$

V_{REF} : 基準電圧

表12.4.2 A-D変換中の逐次比較レジスタとV_{ref}の変化(分解能8ビットモード時)

	逐次比較レジスタの変化	V _{ref} の変化
A-D変換器停止状態	<div style="display: flex; justify-content: space-between;"> b9 b0 </div> <div style="border: 1px solid black; padding: 2px; display: flex; justify-content: space-between;"> 100000000000 </div>	$\frac{V_{REF}}{2}$ [V]
1回目比較	<div style="border: 1px solid black; padding: 2px; display: flex; justify-content: space-between;"> 100000000000 </div>	$\frac{V_{REF}}{2} - \frac{V_{REF}}{2048}$ [V]
↓		
2回目比較	<div style="border: 1px solid black; padding: 2px; display: flex; justify-content: space-between;"> n910000000000 </div> <p style="margin-left: 20px;">↑ 1回目の比較結果</p>	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} - \frac{V_{REF}}{2048}$ [V] $\left(\begin{matrix} n9=1の場合 + \frac{V_{REF}}{4} \\ n9=0の場合 - \frac{V_{REF}}{4} \end{matrix} \right)$
↓		
3回目比較	<div style="border: 1px solid black; padding: 2px; display: flex; justify-content: space-between;"> n9n81000000000 </div> <p style="margin-left: 20px;">↑ 2回目の比較結果</p>	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} \pm \frac{V_{REF}}{8} - \frac{V_{REF}}{2048}$ [V] $\left(\begin{matrix} n8=1の場合 + \frac{V_{REF}}{8} \\ n8=0の場合 - \frac{V_{REF}}{8} \end{matrix} \right)$
↓	⋮	⋮
↓		
8回目比較	<div style="border: 1px solid black; padding: 2px; display: flex; justify-content: space-between;"> n9n8n7n6n5n4n3100 </div>	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} \pm \frac{V_{REF}}{8} \pm \dots \pm \frac{V_{REF}}{256} - \frac{V_{REF}}{2048}$ [V]
↓		
変換終了	<div style="border: 1px solid black; padding: 2px; display: flex; justify-content: space-between;"> n9n8n7n6n5n4n3n200 </div>	

表12.4.3 A-D変換中の逐次比較レジスタとV_{ref}の変化(分解能10ビットモード時)

	逐次比較レジスタの変化	V _{ref} の変化
A-D変換器停止状態	<div style="display: flex; justify-content: space-between;"> b9 b0 </div> <div style="border: 1px solid black; padding: 2px; display: flex; justify-content: space-between;"> 100000000000 </div>	$\frac{V_{REF}}{2}$ [V]
1回目比較	<div style="border: 1px solid black; padding: 2px; display: flex; justify-content: space-between;"> 100000000000 </div>	$\frac{V_{REF}}{2} - \frac{V_{REF}}{2048}$ [V]
↓		
2回目比較	<div style="border: 1px solid black; padding: 2px; display: flex; justify-content: space-between;"> n910000000000 </div> <p style="margin-left: 20px;">↑ 1回目の比較結果</p>	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} - \frac{V_{REF}}{2048}$ [V] $\left(\begin{matrix} n9=1の場合 + \frac{V_{REF}}{4} \\ n9=0の場合 - \frac{V_{REF}}{4} \end{matrix} \right)$
↓		
3回目比較	<div style="border: 1px solid black; padding: 2px; display: flex; justify-content: space-between;"> n9n81000000000 </div> <p style="margin-left: 20px;">↑ 2回目の比較結果</p>	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} \pm \frac{V_{REF}}{8} - \frac{V_{REF}}{2048}$ [V] $\left(\begin{matrix} n8=1の場合 + \frac{V_{REF}}{8} \\ n8=0の場合 - \frac{V_{REF}}{8} \end{matrix} \right)$
↓	⋮	⋮
↓		
10回目比較	<div style="border: 1px solid black; padding: 2px; display: flex; justify-content: space-between;"> n9n8n7n6n5n4n3n2n11 </div>	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} \pm \frac{V_{REF}}{8} \pm \dots \pm \frac{V_{REF}}{1024} - \frac{V_{REF}}{2048}$ [V]
↓		
変換終了	<div style="border: 1px solid black; padding: 2px; display: flex; justify-content: space-between;"> n9n8n7n6n5n4n3n2n1n0 </div>	

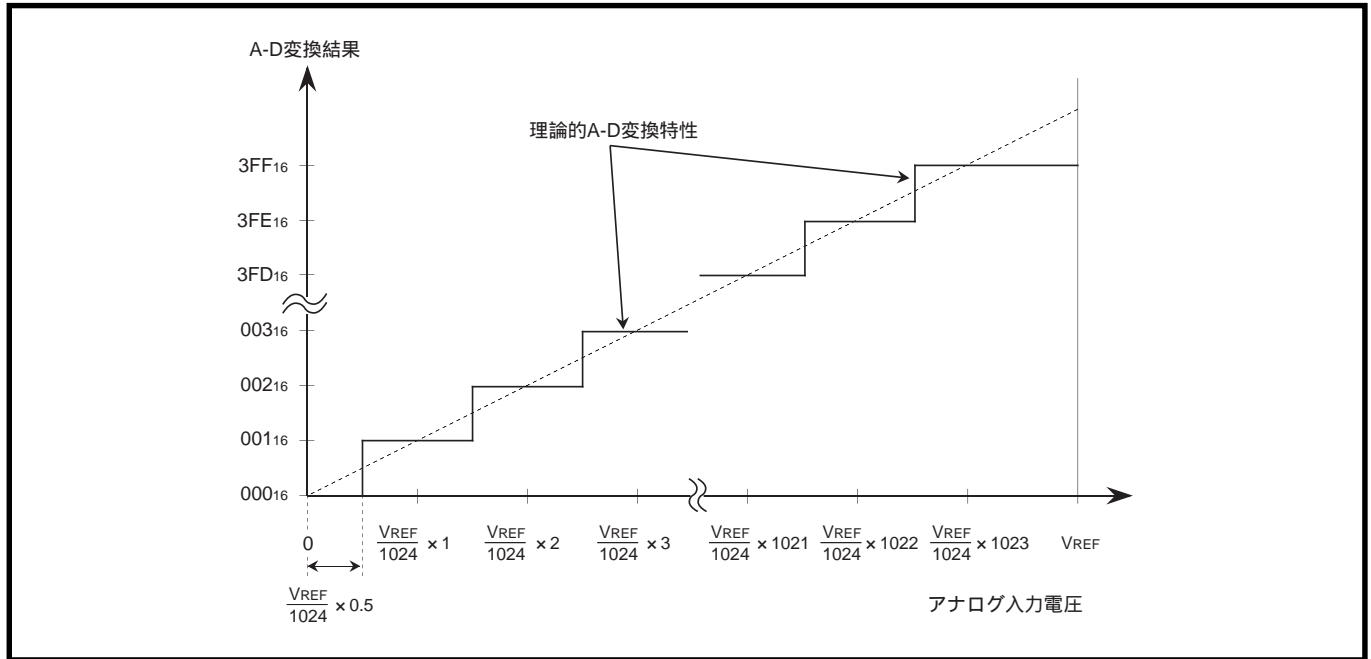


図12.4.1 分解能10ビットモード時の理論的A-D変換特性

分解能8ビットモード時の比較電圧

分解能選択ビットで8ビットモードを選択した場合は、10ビット逐次比較レジスタの上位8ビットがA-D変換結果となります。このため、8ビットA-D変換器と比較すると、比較電圧が $3V_{REF}/2048$ (表12.4.1の下線部参照) 異なり、図12.4.2に示す出力コードの変化点の差が生じます。

表12.4.1 比較電圧 (V_{ref})

M16C/70の 分解能8ビットモード時	8ビットA-D変換器
$\frac{V_{REF}}{2^8} \times n - \frac{V_{REF}}{2^{10}} \times 0.5$	$\frac{V_{REF}}{2^8} \times n - \frac{V_{REF}}{2^8} \times 0.5$

V_{REF} : 基準電圧

n : 逐次比較レジスタの値

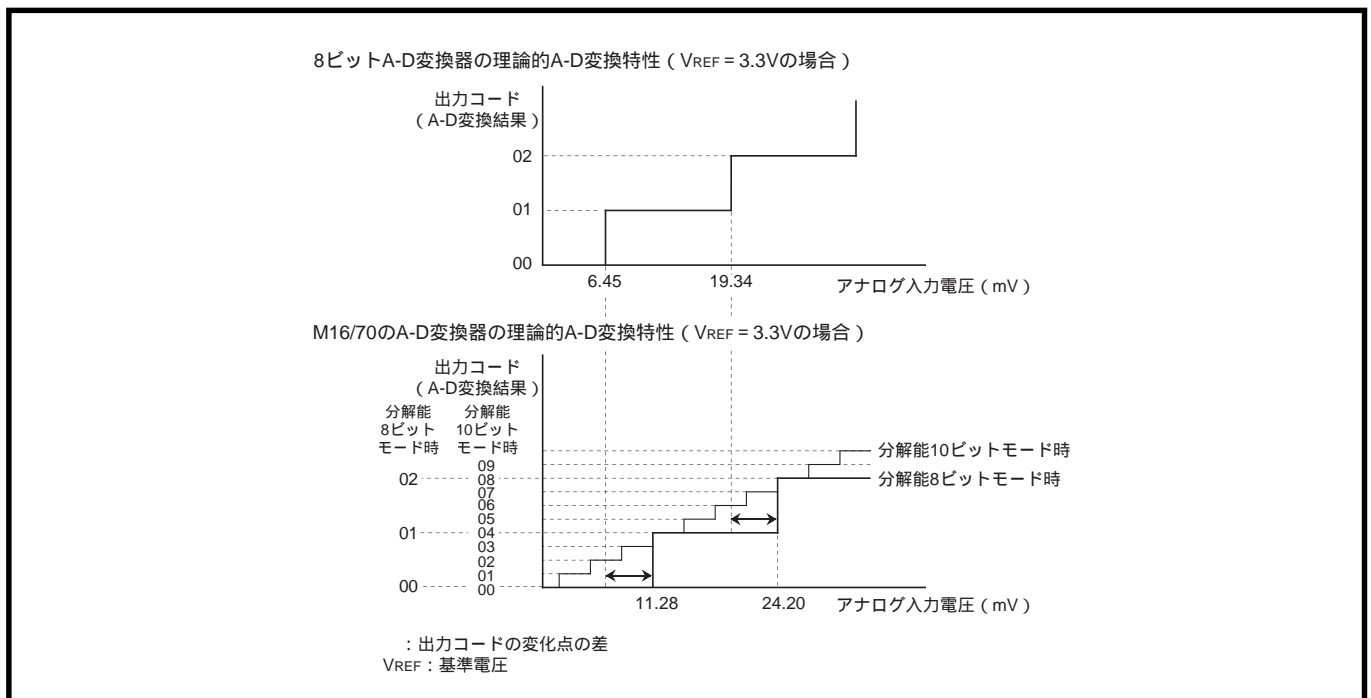


図12.4.2 出力コードの変化点の差

12.5 絶対精度と微分非直線性誤差

A-D変換器の精度について以下に説明します。

12.5.1 絶対精度

絶対精度は、理論的A-D変換特性における出力コードと実際のA-D変換結果の差を示すものです(図12.5.1参照)。絶対精度測定時は、理論的A-D変換特性において同じ出力コードを期待できるアナログ入力電圧の幅(1LSB幅)の中心の電圧を、アナログ入力電圧として使用します。例えば、分解能10ビットモード、基準電圧(V_{REF})=3.3Vの場合、1LSB幅は3.22mVで、アナログ入力電圧には0mV、3.22mV、6.44mV、9.66mV、12.88mV・・・を使用します。絶対精度 = $\pm 3\text{LSB}$ とは、アナログ入力電圧が16.10mVの場合、理論的A-D変換特性では出力コード“005₁₆”を期待できますが、実際のA-D変換結果は“002₁₆”~“008₁₆”になることを意味します。絶対精度にはゼロ誤差、フルスケール誤差を含みます。

なお、 V_{REF} を下げると絶対精度は悪くなります。また、 $V_{REF} \sim V_{CC}$ 間のアナログ入力電圧に対する出力コードは、すべて“3FF₁₆”となります。

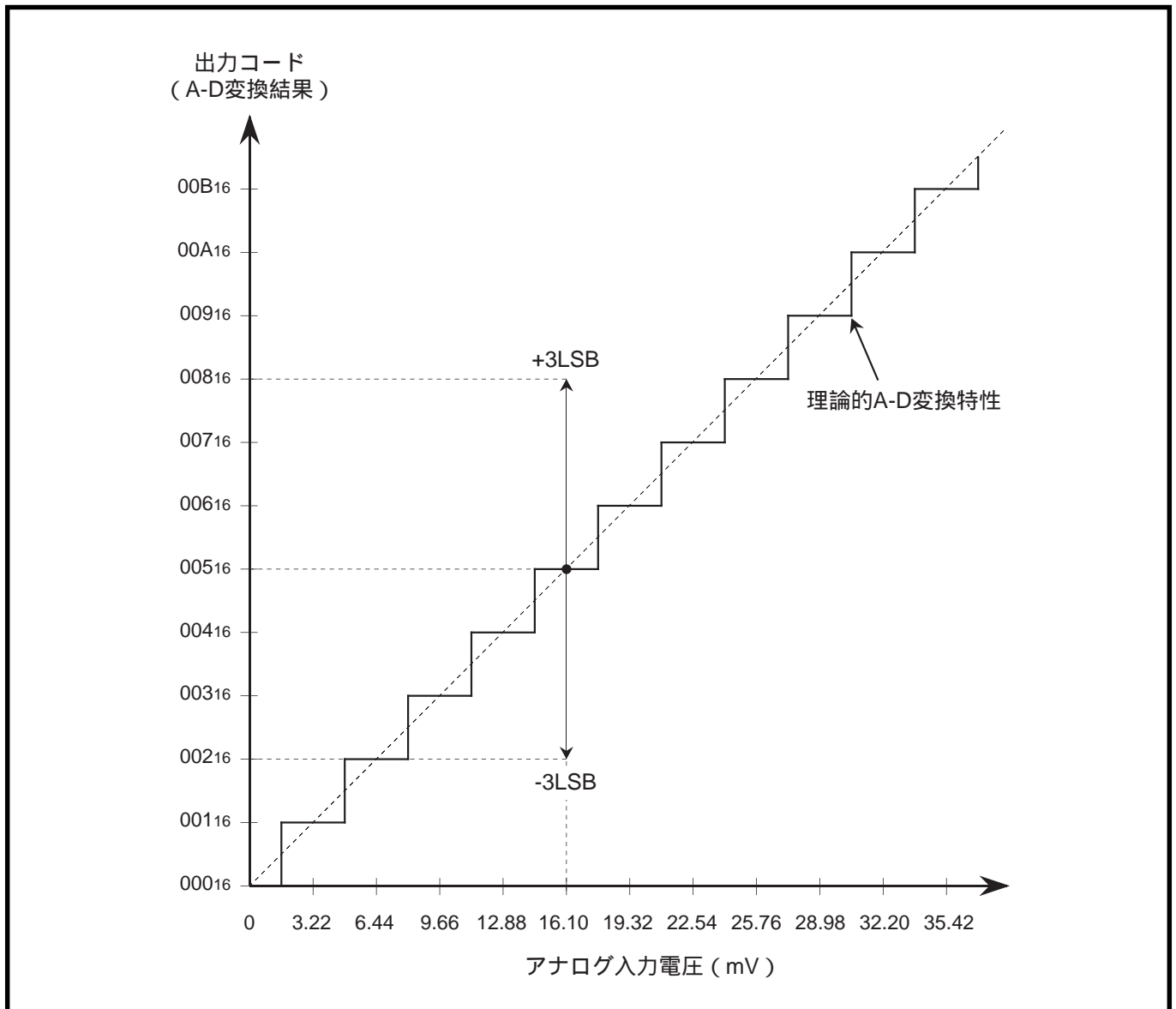


図12.5.1 絶対精度(分解能10ビットモード時)

12.5.2 微分非直線性誤差

微分非直線性誤差は、理論的A-D変換特性における1LSB幅(同じ出力コードを期待できるアナログ入力電圧の幅)と、実測定される1LSB幅(同じコードを出力するアナログ入力電圧の幅)の差を示すものです(図12.5.2参照)。分解能10ビットモード、基準電圧(V_{REF})=3.3Vの場合、理論的A-D変換特性における1LSB幅は3.22mVですが、微分非直線性誤差 = ± 1 LSBならば、実測定される1LSB幅は0 ~ 6.44mVになります。

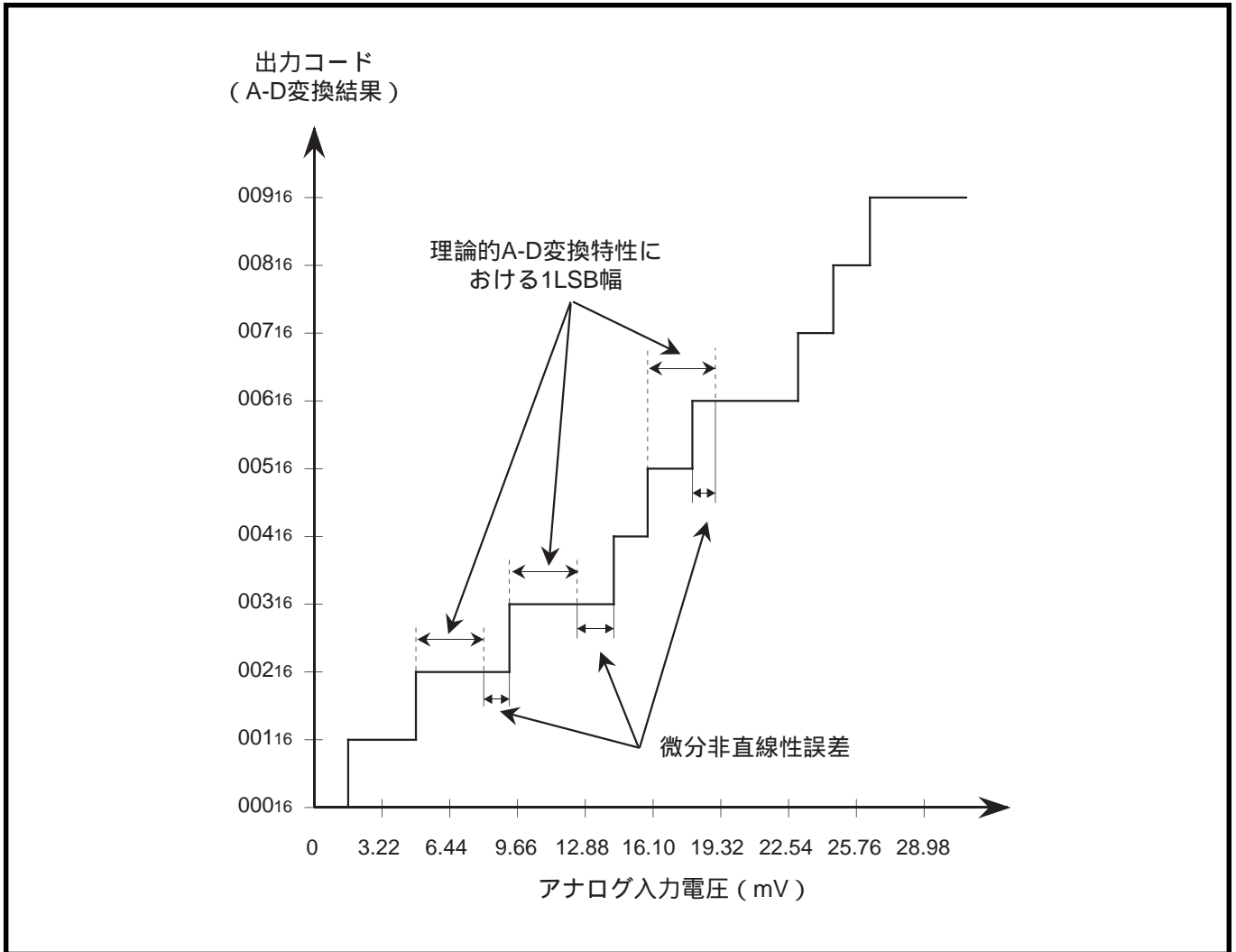


図12.5.2 微分非直線性誤差(分解能10ビットモード時)

12.6 単発モード

アナログ入力端子選択ビット(116番地のビット0~2)で選択された1本のアナログ入力端子からの入力電圧を1回だけA-D変換するモードです。A-D変換終了時にA-D変換割り込み要求が発生します。

12.6.1 単発モード設定方法

図12.6.1に単発モード関連レジスタ初期設定例を示します。

なお、割り込みを使用する場合は、割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

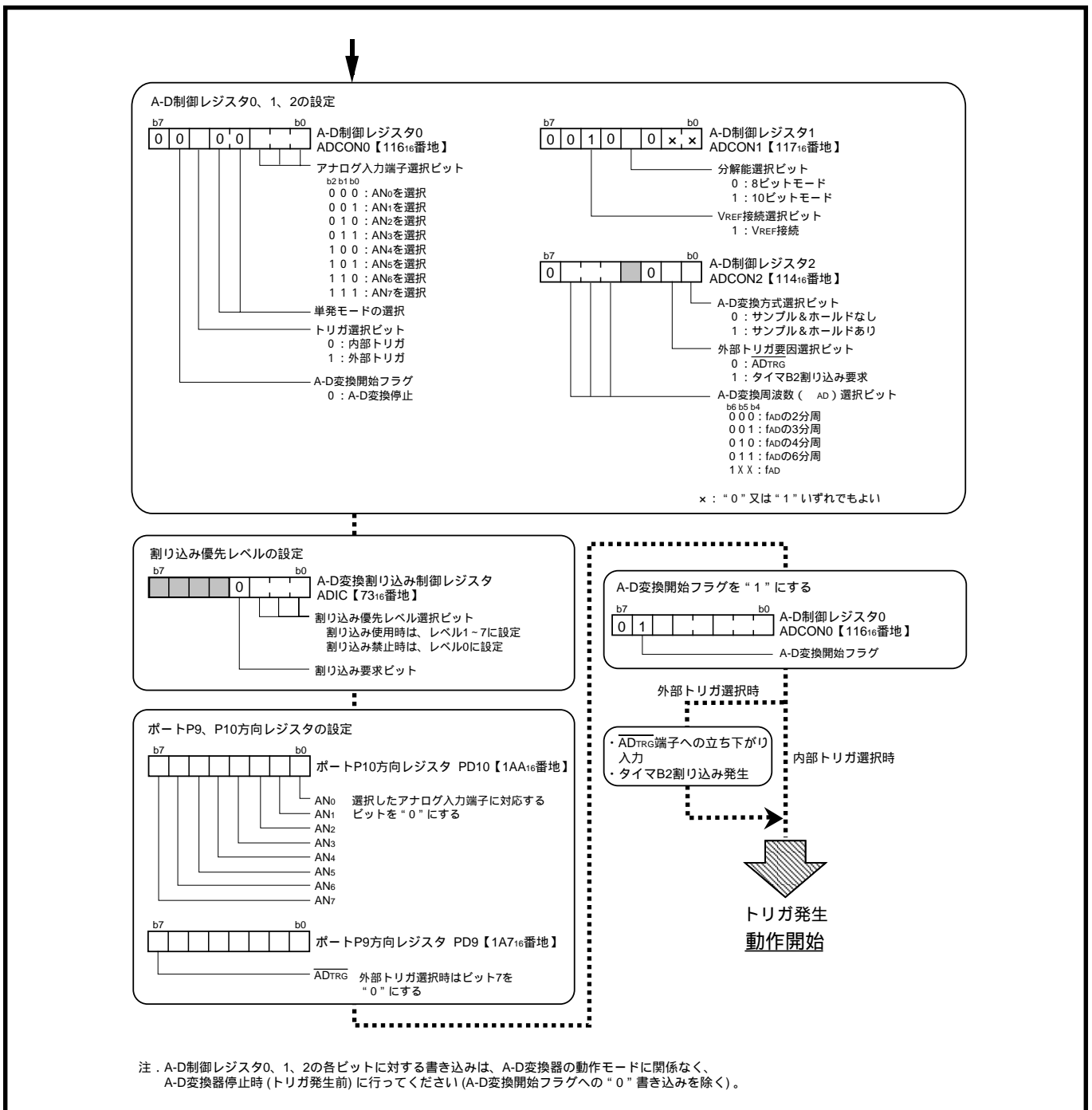


図12.6.1 単発モード関連レジスタ初期設定例

12.6.2 単発モード動作説明

(1)内部トリガ選択時

A-D変換開始フラグを“1”にすると、A-D変換器は動作を開始します。

表12.1.1に示す変換時間後にA-D変換が終了し、逐次比較レジスタの内容(変換結果)はA-Dレジスタに転送されます。

と同時にA-D変換割り込み要求ビットが“1”になります。

A-D変換開始フラグが“0”になり、A-D変換器は停止します。

(2)外部トリガ選択時

A-D変換開始フラグが“1”のとき、 $\overline{AD_{TRG}}$ 端子のレベルがHからLになる(外部トリガ要因選択ビット = 00₂時) 又はタイマB2割り込み要求が発生する(外部トリガ要因選択ビット = 01₂時)と、A-D変換器は動作を開始します。

表12.1.1に示す変換時間後にA-D変換が終了し、逐次比較レジスタの内容(変換結果)はA-Dレジスタに転送されます。

と同時にA-D変換割り込み要求ビットが“1”になります。

A-D変換器は停止します。

A-D変換開始フラグは、この後も“1”の状態を保持します。したがって、トリガが発生する($\overline{AD_{TRG}}$ 端子のレベルがHからLになる、又はタイマB2割り込み要求が発生する)と、A-D変換器は再度 から動作します。また、A-D変換器動作中にトリガが発生すると、その時点で行っている処理を中止し、再度 から動作します。

図12.6.2に単発モード時の動作を示します。

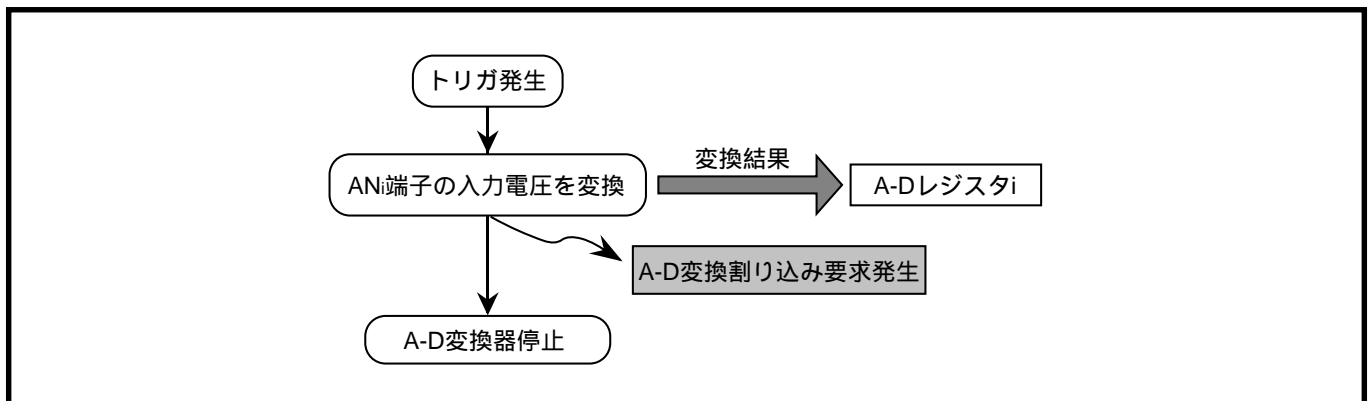


図12.6.2 単発モード時の動作

12.7 繰り返しモード

アナログ入力端子選択ビット(116番地のビット0~2)で選択された1本のアナログ入力端子からの入力電圧を繰り返しA-D変換するモードです。このモードでは、A-D変換割り込み要求は発生しません。また、A-D変換開始フラグ(116番地のビット6)は、ソフトウェアで“0”にするまで“1”の状態を保持します。A-D変換開始フラグが“1”の間、A-D変換器は停止せず、動作を繰り返します。

12.7.1 繰り返しモード設定方法

図12.7.1に繰り返しモード関連レジスタ初期設定例を示します。

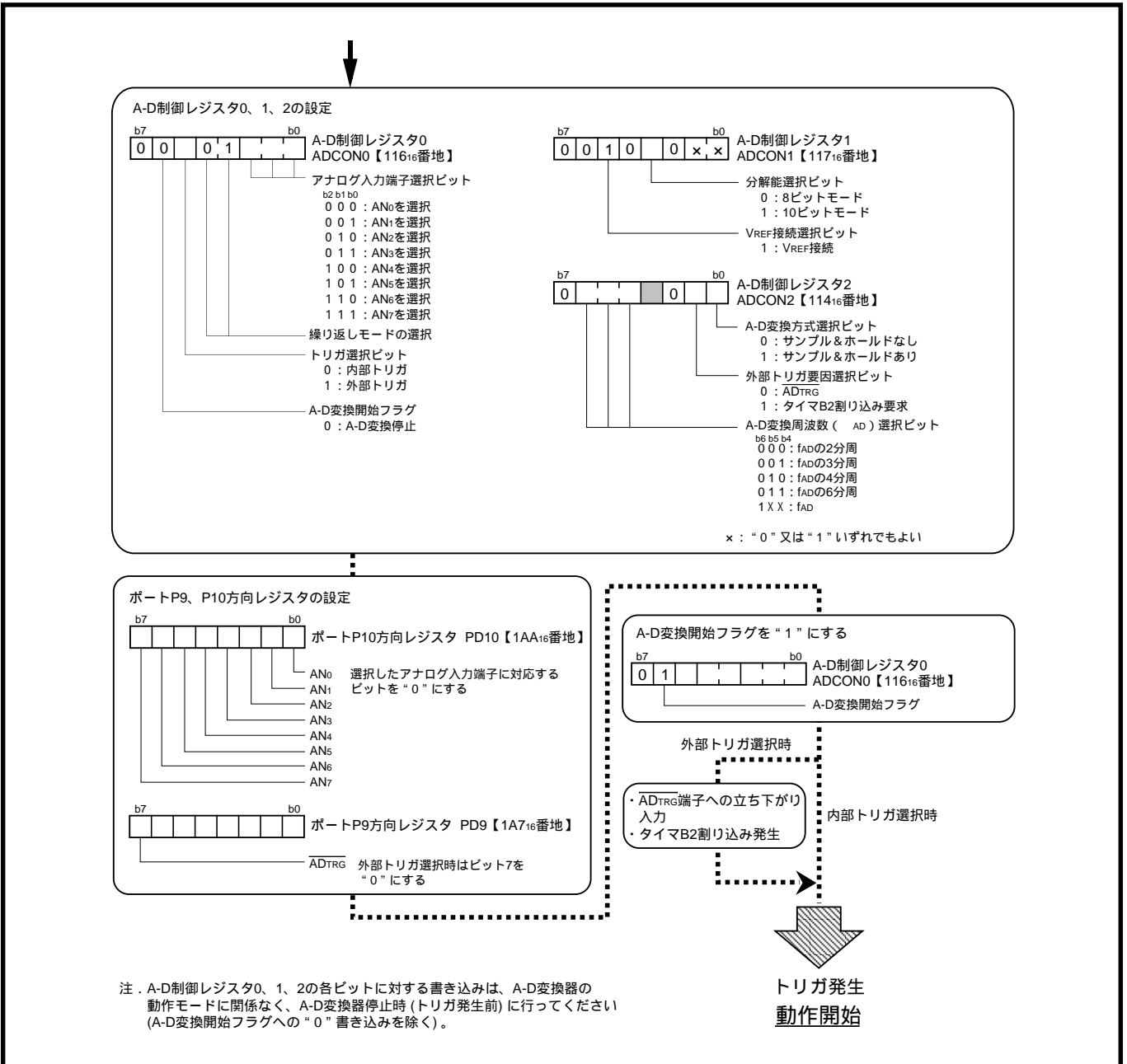


図12.7.1 繰り返しモード関連レジスタ初期設定例

12.7.2 繰り返しモード動作説明

(1)内部トリガ選択時

A-D変換開始フラグを“1”にすると、A-D変換器は動作を開始します。

表12.1.1に示す変換時間後に1回目のA-D変換が終了し、逐次比較レジスタの内容(変換結果)はA-Dレジスタに転送されます。

ソフトウェアでA-D変換開始フラグを“0”にするまで、A-D変換器は動作を続けます。変換結果は、変換終了ごとにA-Dレジスタに転送されます。

(2)外部トリガ選択時

A-D変換開始フラグが“1”のとき、 $\overline{AD_{TRG}}$ 端子のレベルがHからLになる(外部トリガ要因選択ビット = 00₂時) 又はタイマB2割り込み要求が発生する(外部トリガ要因選択ビット = 01₂時)と、A-D変換器は動作を開始します。

表12.1.1に示す変換時間後に1回目のA-D変換が終了し、逐次比較レジスタの内容(変換結果)はA-Dレジスタに転送されます。

ソフトウェアでA-D変換開始フラグを“0”にするまで、A-D変換器は動作を続けます。変換結果は、変換終了ごとにA-Dレジスタに転送されます。

なお、A-D変換器動作中にトリガが発生する($\overline{AD_{TRG}}$ 端子のレベルがHからLになる、又はタイマB2割り込み要求が発生する)と、その時点で行っている処理を中止し、再度 から動作します。

図12.7.2に繰り返しモード時の動作を示します。

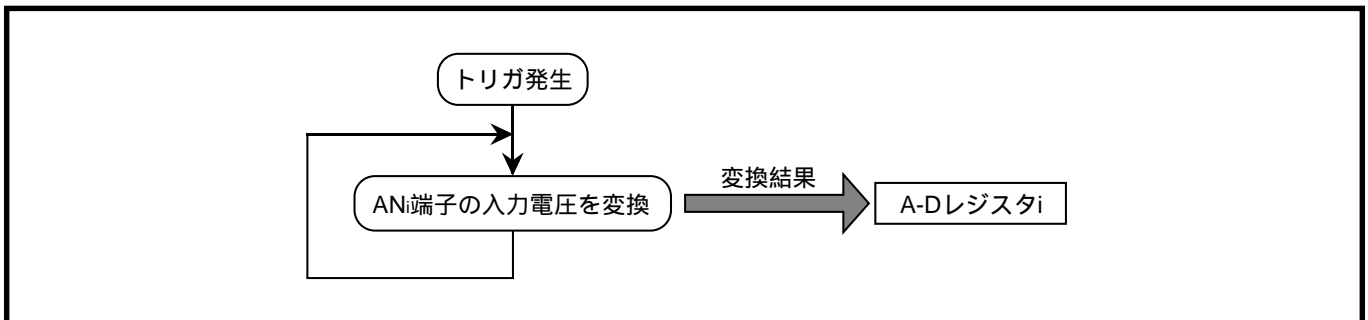


図12.7.2 繰り返しモード時の動作

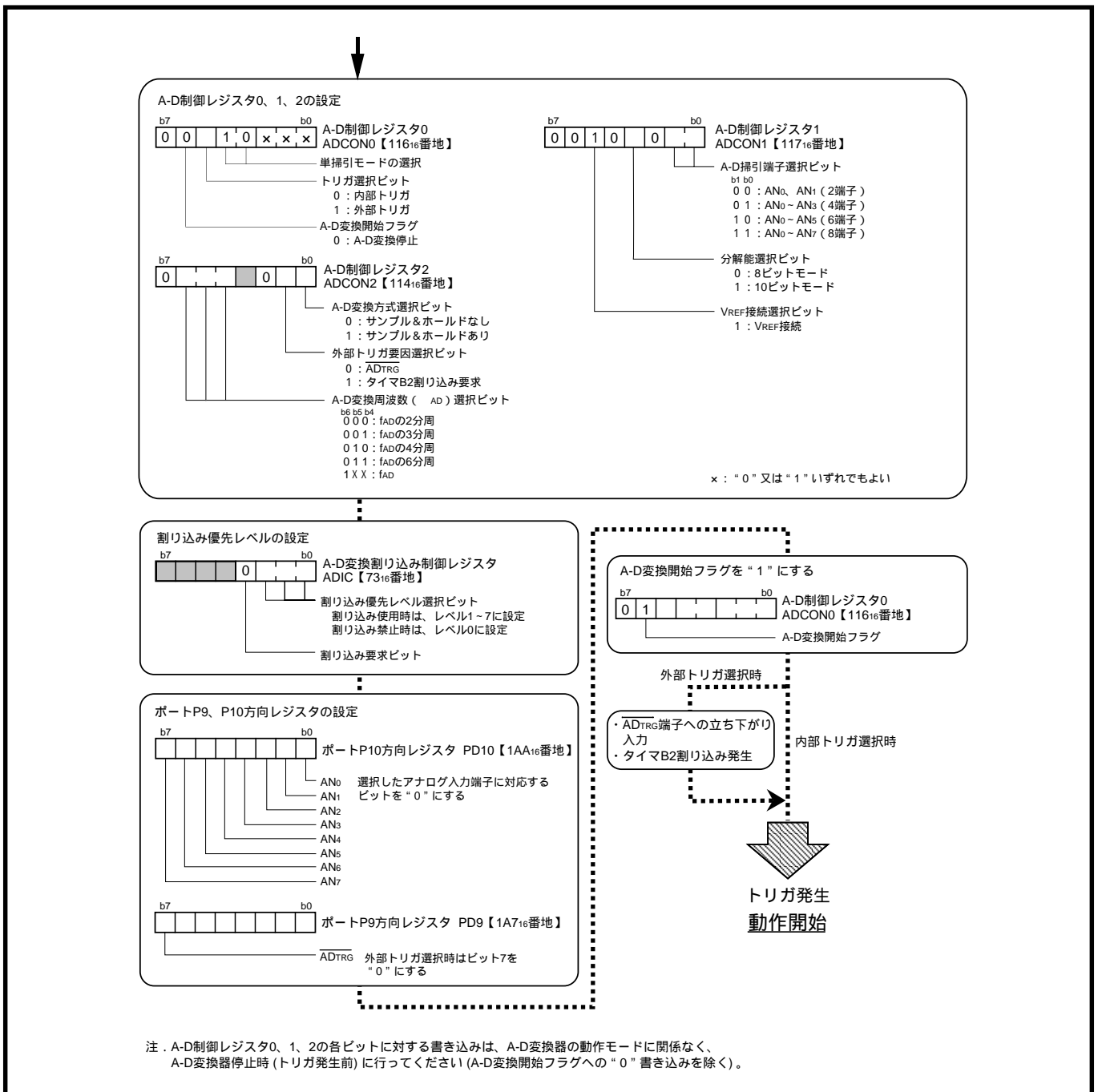
12.8 単掃引モード

A-D掃引端子選択ビット(117₁₆番地のビット0, 1)で選択された複数のアナログ入力端子からの入力電圧を1回ずつA-D変換するモードです。A-D変換は、AN₀、AN₁、AN₂、...の順に行われます。選択された全アナログ入力端子に対するA-D変換終了時にA-D変換割り込み要求が発生します。

12.8.1 単掃引モード設定方法

図12.8.1に単掃引モード関連レジスタ初期設定例を示します。

なお、割り込みを使用する場合は、割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。



注 . A-D制御レジスタ0、1、2の各ビットに対する書き込みは、A-D変換器の動作モードに関係なく、A-D変換器停止時(トリガ発生前)に行ってください(A-D変換開始フラグへの"0"書き込みを除く)。

図12.8.1 単掃引モード関連レジスタ初期設定例

12.8.2 単掃引モード動作説明

(1)内部トリガ選択時

A-D変換開始フラグを“1”にすると、A-D変換器はAN₀端子の入力電圧に対してA-D変換を開始します。表12.1.1に示す変換時間後にAN₀端子に対するA-D変換が終了し、逐次比較レジスタの内容(変換結果)はA-Dレジスタ0に転送されます。

選択されたすべてのアナログ入力端子に対してA-D変換を行います。

変換結果は、1端子の変換終了ごとに各端子に対応するA-Dレジスタiに転送されます。

が終了すると、A-D変換割り込み要求ビットが“1”になります。

A-D変換開始フラグが“0”になり、A-D変換器は停止します。

(2)外部トリガ選択時

A-D変換開始フラグが“1”のとき、 $\overline{AD_{TRG}}$ 端子のレベルがHからLになる(外部トリガ要因選択ビット = 00₂時) 又はタイマB2割り込み要求が発生する(外部トリガ要因選択ビット = 01₂時)と、A-D変換器はAN₀端子の入力電圧に対してA-D変換を開始します。

表12.1.1に示す変換時間後にAN₀端子に対するA-D変換が終了し、逐次比較レジスタの内容(変換結果)はA-Dレジスタ0に転送されます。

選択されたすべてのアナログ入力端子に対してA-D変換を行います。

変換結果は、1端子の変換終了ごとに各端子に対応するA-Dレジスタiに転送されます。

が終了すると、A-D変換割り込み要求ビットが“1”になります。

A-D変換器は停止します。

A-D変換開始フラグは、この後も“1”の状態を保持します。したがって、トリガが発生する($\overline{AD_{TRG}}$ 端子のレベルがHからLになる、又はタイマB2割り込み要求が発生する)と、A-D変換器は再度 から動作します。また、A-D変換器動作中にトリガが発生すると、その時点で行っている処理を中止し、再度 から動作します。

図12.8.2に単掃引モード時の動作を示します。

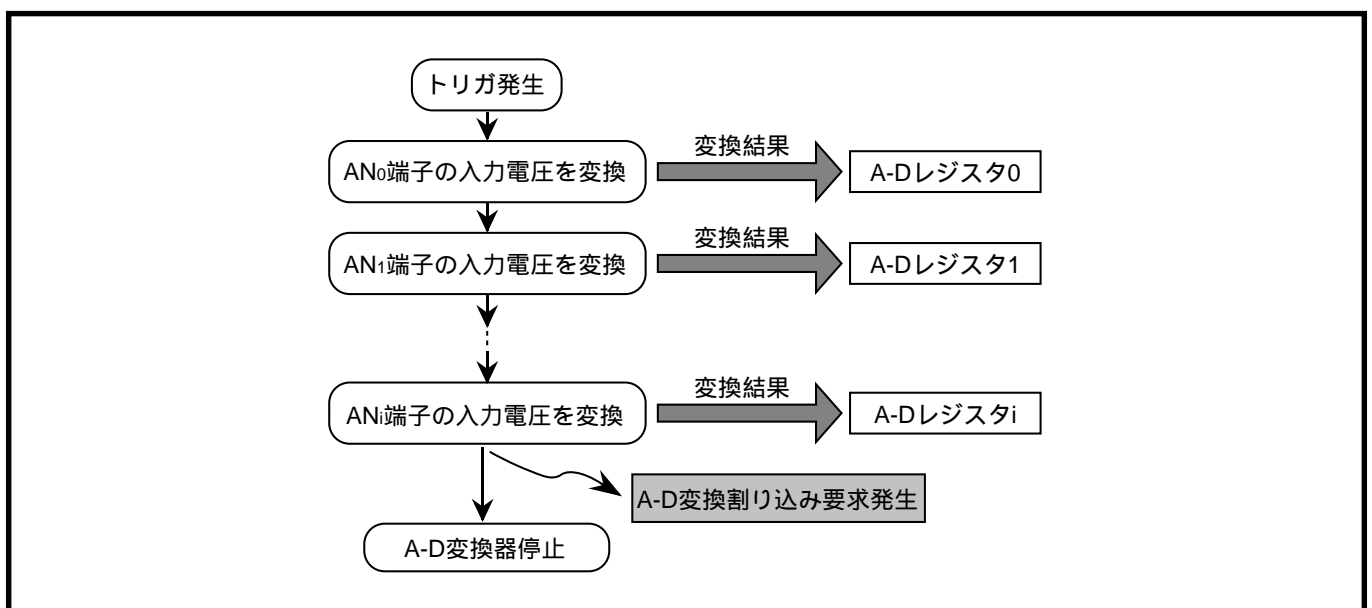


図12.8.2 単掃引モード時の動作

12.9 繰り返し掃引モード

A-D掃引端子選択ビット(117₁₆番地のビット0, 1)で選択された複数のアナログ入力端子からの入力電圧を繰り返しA-D変換するモードです。A-D変換は、AN₀、AN₁、AN₂、...の順に行われます。このモードでは、A-D変換割り込みは発生しません。また、A-D変換開始フラグ(116₁₆番地のビット6)はソフトウェアで“0”にするまで“1”の状態を保持します。A-D変換開始フラグが“1”の間、A-D変換器は停止せず、動作を繰り返します。

12.9.1 繰り返し掃引モード設定方法

図12.9.1に繰り返し掃引モード関連レジスタ初期設定例を示します。

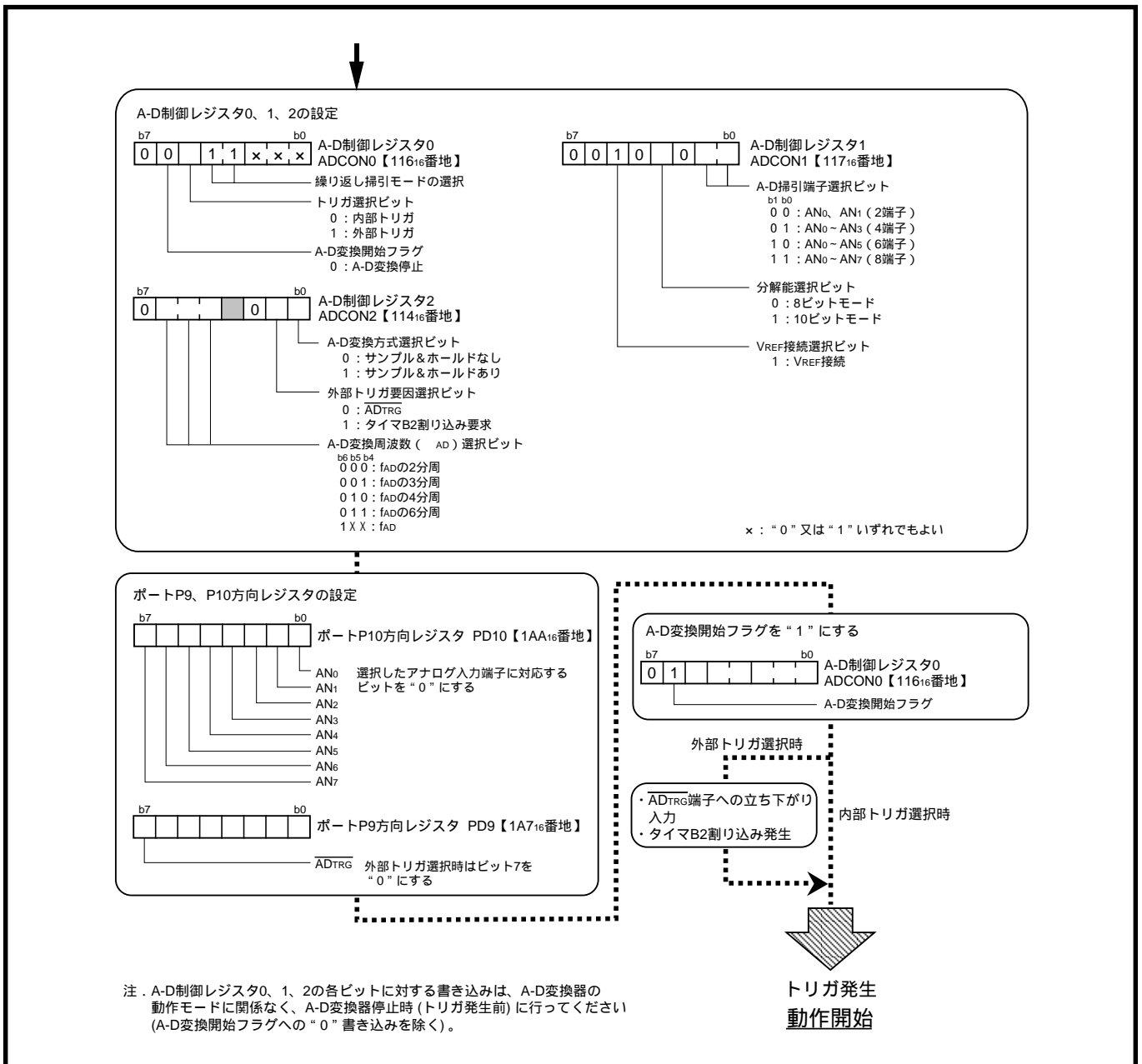


図12.9.1 繰り返し掃引モード関連レジスタ初期設定例

12.9.2 繰り返し掃引モード動作説明

(1)内部トリガ選択時

A-D変換開始フラグを“1”にすると、A-D変換器はAN₀端子の入力電圧に対してA-D変換を開始します。表12.1.1に示す変換時間後にAN₀端子に対するA-D変換が終了し、逐次比較レジスタの内容(変換結果)はA-Dレジスタ0に転送されます。

選択されたすべてのアナログ入力端子に対してA-D変換を行います。

変換結果は、1端子の変換終了ごとに各端子に対応するA-Dレジスタiに転送されます。

再度、選択されたすべてのアナログ入力端子に対してA-D変換を行います。

ソフトウェアでA-D変換開始フラグを“0”にするまで、A-D変換器は動作を続けます。

(2)外部トリガ選択時

A-D変換開始フラグが“1”のとき、 $\overline{AD_{TRG}}$ 端子のレベルがHからLになる(外部トリガ要因選択ビット = 00₂時) 又はタイマB2割り込み要求が発生する(外部トリガ要因選択ビット = 01₂時)と、A-D変換器はAN₀端子の入力電圧に対してA-D変換を開始します。

表12.1.1に示す変換時間後にAN₀端子に対するA-D変換が終了し、逐次比較レジスタの内容(変換結果)はA-Dレジスタ0に転送されます。

選択されたすべてのアナログ入力端子に対してA-D変換を行います。

変換結果は、1端子の変換終了ごとに各端子に対応するA-Dレジスタiに転送されます。

再度、選択されたすべてのアナログ入力端子に対してA-D変換を行います。

ソフトウェアでA-D変換開始フラグを“0”にするまで、A-D変換器は動作を続けます。

なお、A-D変換器動作中にトリガが発生する($\overline{AD_{TRG}}$ 端子のレベルがHからLになる、又はタイマB2割り込み要求が発生する)と、その時点で行っている処理を中止し、再度 から動作します。

図12.9.2に繰り返し掃引モード時の動作を示します。

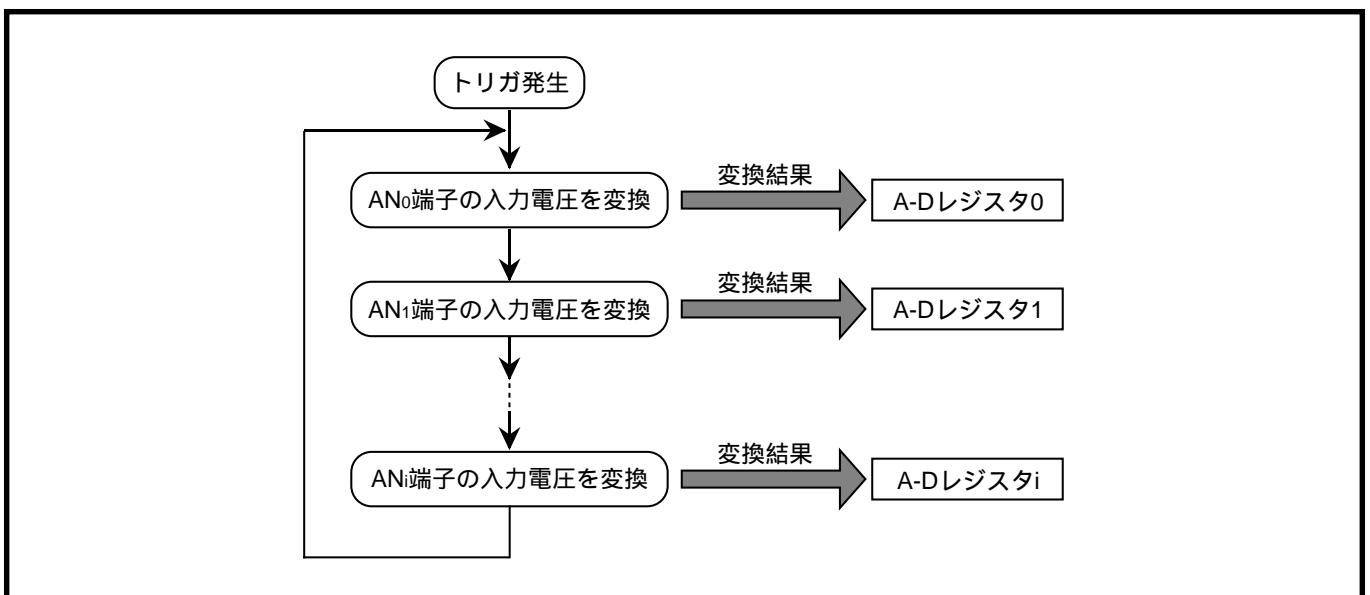


図12.9.2 繰り返し掃引モード時の動作

【A-D変換器使用上の注意】

1. 単発モード、又は単掃引モードを使用する場合は、A-D変換割り込み要求ビットでA-D変換が終了したことを確認してから、対象となるA-Dレジスタを読み出してください。
2. 繰り返しモード、又は繰り返し掃引モードを使用する場合は、メインクロック分周比選択ビット(C₁₆番地のビット4~0)を 10010_2 (分周なし)にしてください。
3. A-D変換動作中にプログラムでA-D変換を停止させた場合、A-D変換結果が不定となります。また、A-D変換を行っていないA-Dレジスタの内容も不定となる場合があります。A-D変換動作中にプログラムでA-D変換を停止させた場合は、すべてのA-Dレジスタの値を使用しないでください。
4. A-D変換器使用時には「付録6. ノイズに関する参考資料」を併せて参照してください。

第 13 章

D-A変換器

- 13.1 概 要
 - 13.2 ブロック図
 - 13.3 関連レジスタ
 - 13.4 設定方法
 - 13.5 動作説明
- 【D-A変換器使用上の注意】

13.1 概要

8ビットの分解能を持つR-2R方式のD-A変換器は3回路あり、それぞれ独立して動作します。D-A変換器は、D-Aレジスタ($i=0\sim 2$)に設定された値をアナログ電圧に変換して、 DA_i 端子から出力します。

13.2 ブロック図

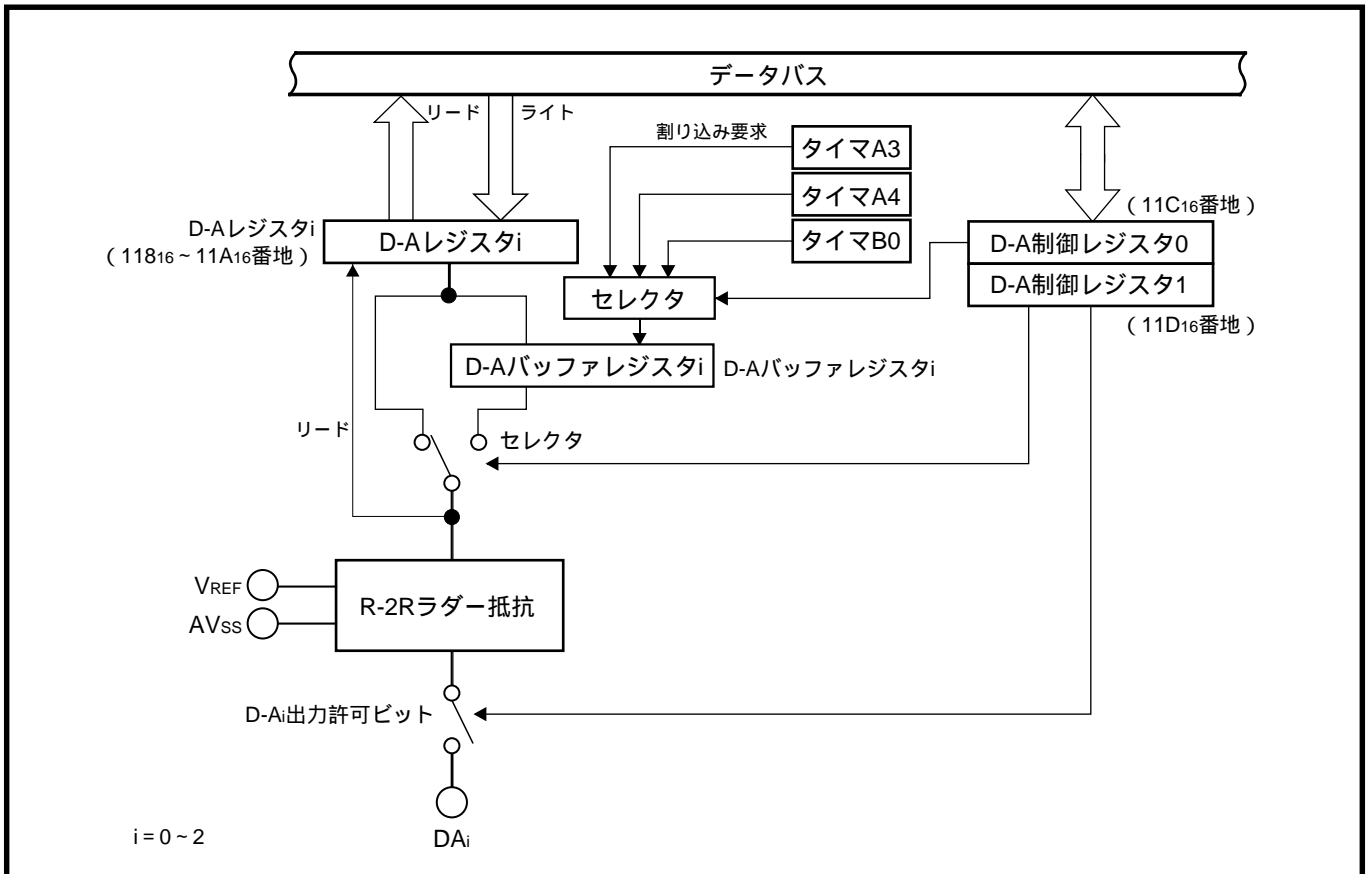
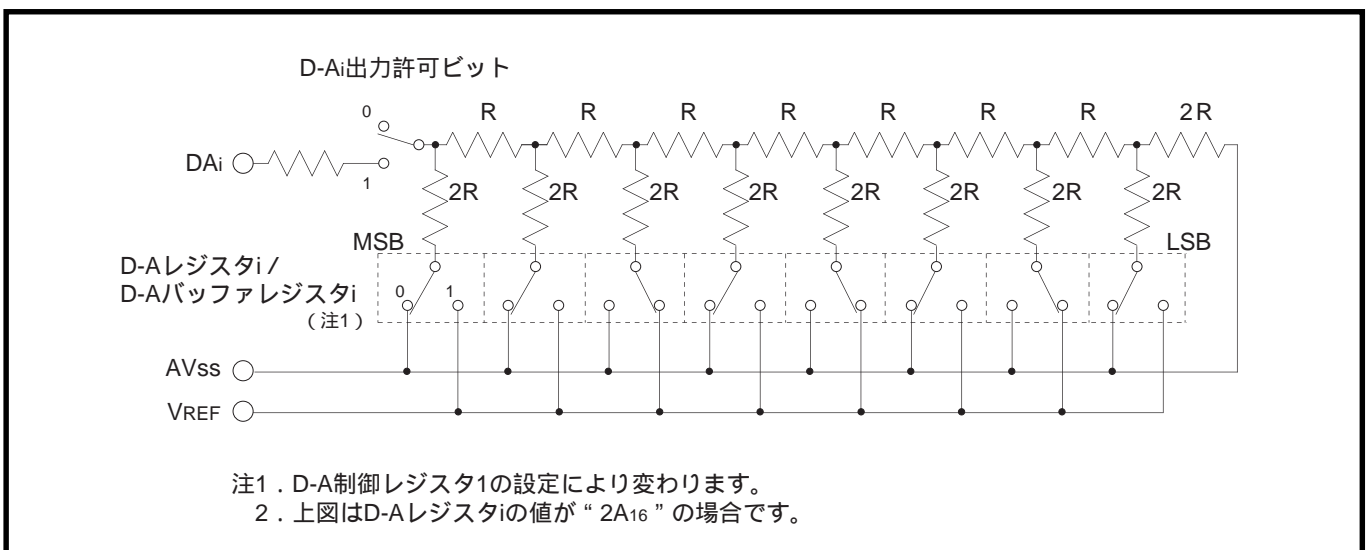


図13.2.1 D-A変換器ブロック図



注1 . D-A制御レジスタ1の設定により変わります。
 2 . 上図はD-Aレジスタiの値が " $2A_{16}$ " の場合です。

図13.2.2 ラダー抵抗部等価接続図

13.3 関連レジスタ

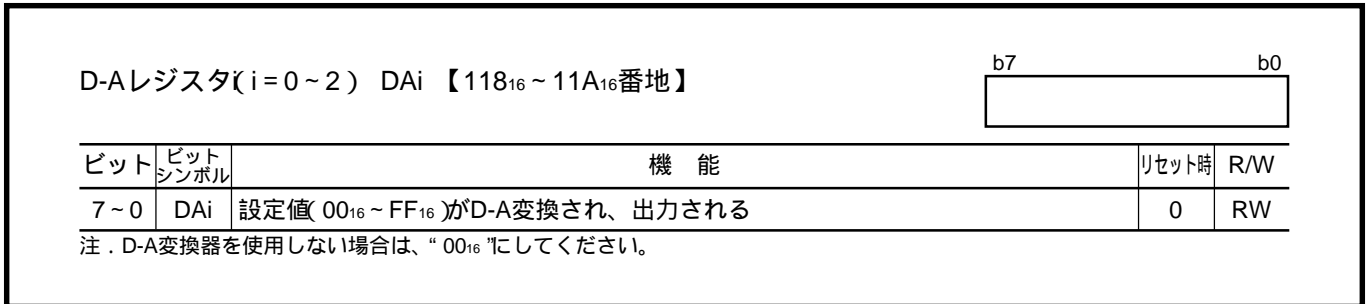


図13.3.1 D-Aレジスタ*i*のレジスタ構成

(1)D-Aレジスタ(*i*=0~2)

このレジスタに書き込んだ値に対応するアナログ電圧がDA_{*i*}端子から出力されます。
出力されるアナログ電圧VとD-Aレジスタ*i*に設定した値*n*の関係は、次式で表されます。

$$V = V_{REF} \times \frac{n}{256} \quad (n=0 \sim 255) \quad V_{REF} : \text{基準電圧}$$

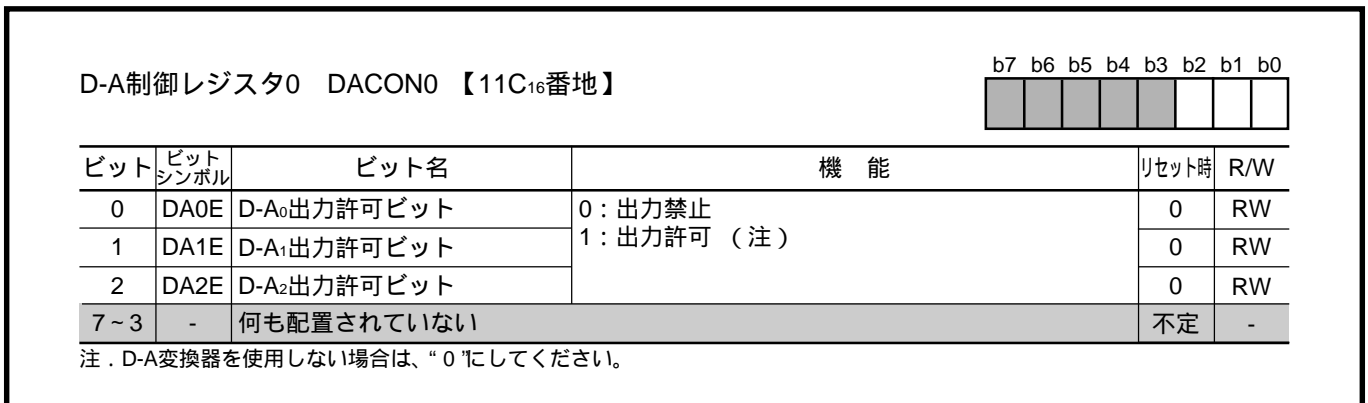


図13.3.2 D-A制御レジスタ0のレジスタ構成

(1)D-A_{*i*}出力許可ビット(*i*=0~2)(ビット0~2)

DA_{*i*}端子はポートP9₃~P9₅と共用です。D-A_{*i*}出力許可ビットを“1”(出力許可)にすると、ポートP9方向レジスタの対応するビットの内容にかかわらず、DA端子からD-A変換されたアナログ電圧が出力されます。

D-A制御レジスタ1 DACON1 【11D ₁₆ 番地】				b7 b6 b5 b4 b3 b2 b1 b0			
ビット	ビットシンボル	ビット名	機能	リセット時	R/W		
0	DAT00	D-A ₀ 変換タイミング選択ビット	b1 b0 00: D-Aレジスタ0書き込み時 01: タイマA3割り込み要求発生時 10: タイマA4割り込み要求発生時 11: タイマB0割り込み要求発生時 (注)	0	RW		
1	DAT01			0	RW		
2	DAT10	D-A ₁ 変換タイミング選択ビット	b3 b2 00: D-Aレジスタ1書き込み時 01: タイマA3割り込み要求発生時 10: タイマA4割り込み要求発生時 11: タイマB0割り込み要求発生時 (注)	0	RW		
3	DAT11			0	RW		
4	DAT20	D-A ₂ 変換タイミング選択ビット	b5 b4 00: D-Aレジスタ2書き込み時 01: タイマA3割り込み要求発生時 10: タイマA4割り込み要求発生時 11: タイマB0割り込み要求発生時 (注)	0	RW		
5	DAT21			0	RW		
7、6	-	何も配置されていない		不定	-		

注. D-A変換器を使用しない場合は、“00₂”にしてください。

図13.3.3 D-A制御レジスタ1のレジスタ構成

(1) D-A_i変換タイミング選択ビット($i=0\sim 2$)(ビット0~5)

D-A_i変換タイミングを選択するビットです。

13.4 設定方法

13.4.1 D-A変換タイミングにD-Aレジスタ書き込み時を選択する場合

図13.4.1に、D-A変換器関連レジスタ初期設定例(D-A変換タイミングにD-Aレジスタ書き込み時を選択する場合)を示します。

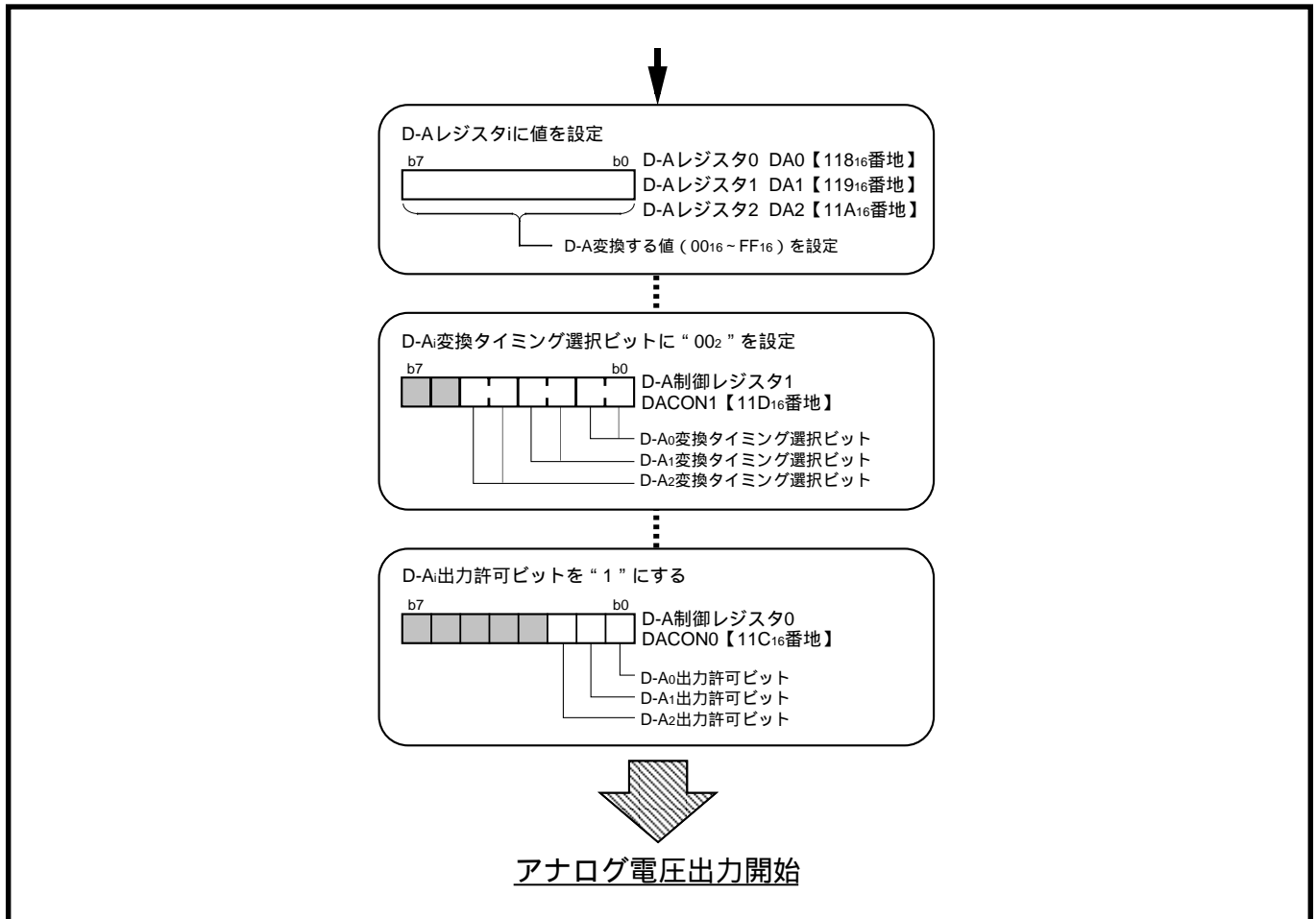


図13.4.1 D-A変換器関連レジスタ初期設定例(D-A変換タイミングにD-Aレジスタ書き込み時を選択する場合)

13.4.2 D-A変換タイミングにタイマA3、タイマA4、又はタイマB0割り込み要求発生時を選択する場合

図13.4.2、図13.4.3に、D-A変換器関連レジスタ初期設定例(D-A変換タイミングにタイマA3、タイマA4、又はタイマB0割り込み要求発生時を選択する場合)を示します。

D-A変換タイミングにタイマの割り込み要求発生時を選択した場合、1回目の割り込み要求発生までは0Vが出力されます。D-A出力許可直後から任意のアナログ電圧を出力したい場合は、使用するタイマのダミーカウントを行ってください(図13.4.2、図13.4.3中の破線枠内)。

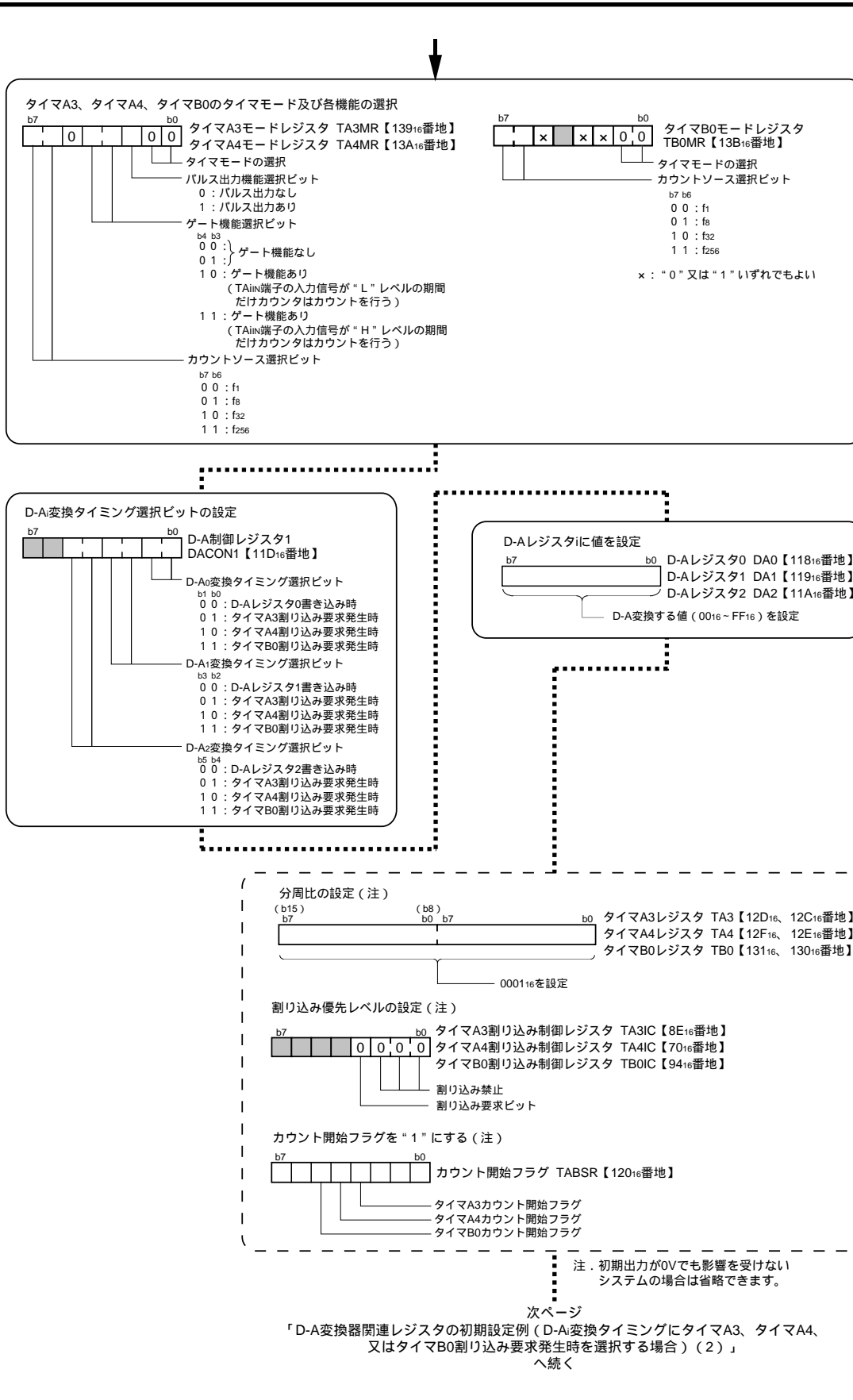


図13.4.2 D-A変換器関連レジスタ初期設定例 (D-A変換タイミングにタイマA3、タイマA4、又はタイマB0割り込み要求発生時を選択する場合) (1)

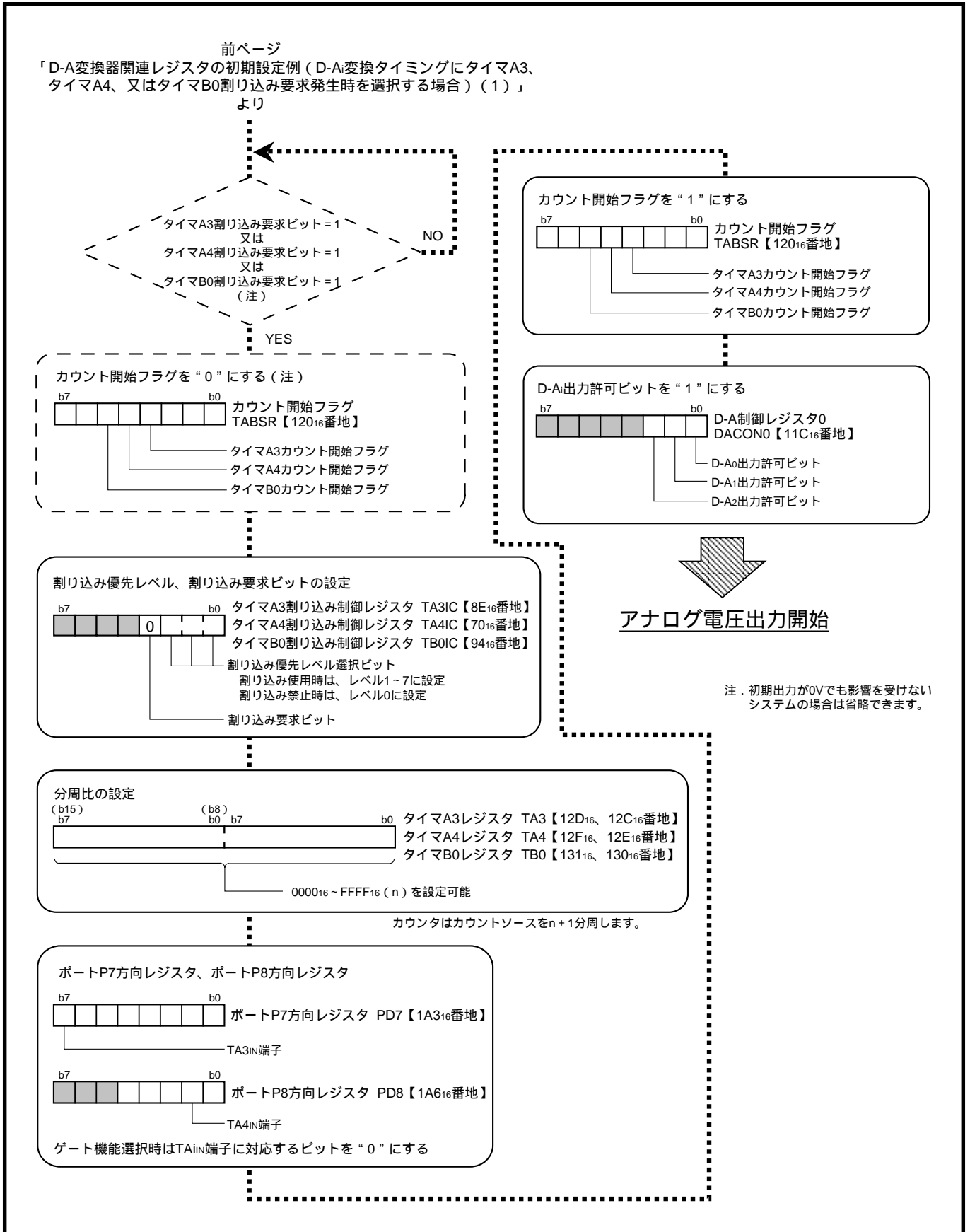


図13.4.3 D-A変換器関連レジスタ初期設定例（D-A変換タイミングにタイマA3、タイマA4、又はタイマB0割り込み要求発生時を選択する場合）（2）

13.4.3 アナログ電圧の出力を停止する場合

アナログ電圧の出力を停止する場合は、D-A変換器関連レジスタにすべて“00₁₆”を設定してください。ラダー抵抗に電流が流れなくなるため、消費電流を低減できます。

図13.4.4にアナログ電圧出力停止後のD-A変換器関連レジスタ設定手順を示します。

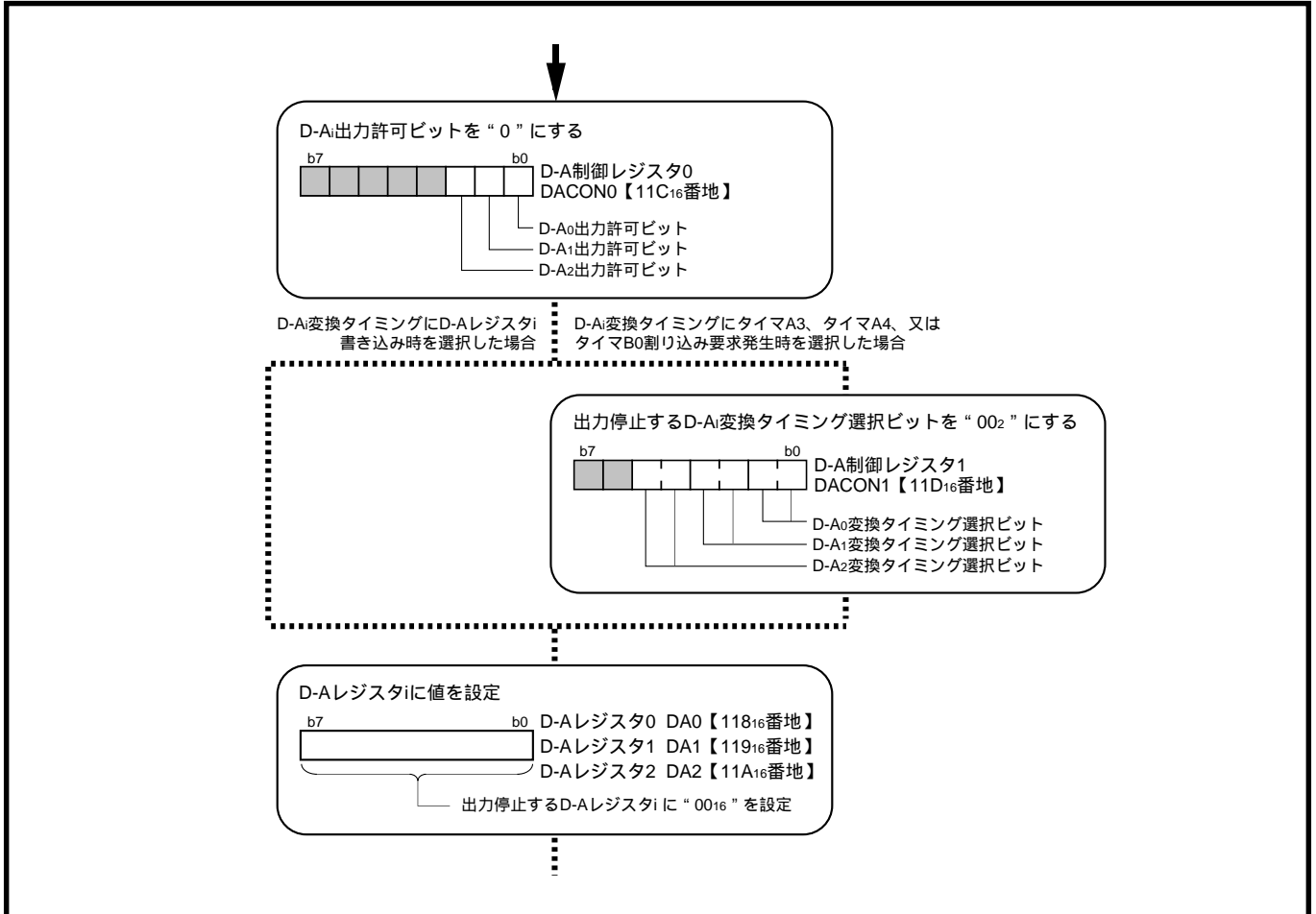


図13.4.4 アナログ電圧出力停止後のD-A変換器関連レジスタ設定手順

13.5 動作説明

D-A_i出力許可ビットを“1”にすると、変換されたアナログ電圧がD-A_i端子から出力されます。出力されるアナログ電圧VとD-Aレジスタに設定した値nの関係は、次式で表されます。

$$V = V_{REF} \times \frac{n}{256} \quad (n=0 \sim 255) \quad V_{REF} : \text{基準電圧}$$

D-A変換のタイミングは、D-A_i変換タイミング選択ビット(11D₁₆番地のビット0~5)の内容により、以下のようになります。

(1) D-A_i変換タイミングにD-Aレジスタ書き込み時を選択する場合

D-A_i変換タイミング選択ビットに“00₂”を設定した場合、D-Aレジスタに値を書き込むと同時に、アナログ電圧に変換されます。

(2) D-A_i変換タイミングにタイマA3、タイマA4、又はタイマB0割り込み要求発生時を選択する場合

D-A_i変換タイミング選択ビットに“01₂”、“10₂”、又は“11₂”を設定した場合、D-Aレジスタに設定した値は、選択したタイマ(タイマA3、タイマA4、又はタイマB0)の割り込み要求が発生すると、D-Aバッファレジスタに格納され、同時にアナログ電圧に変換されます。

図13.5.1にD-A_i変換タイミングにタイマA3、タイマA4、又はタイマB0割り込み要求発生時を選択した場合の動作例を示します。

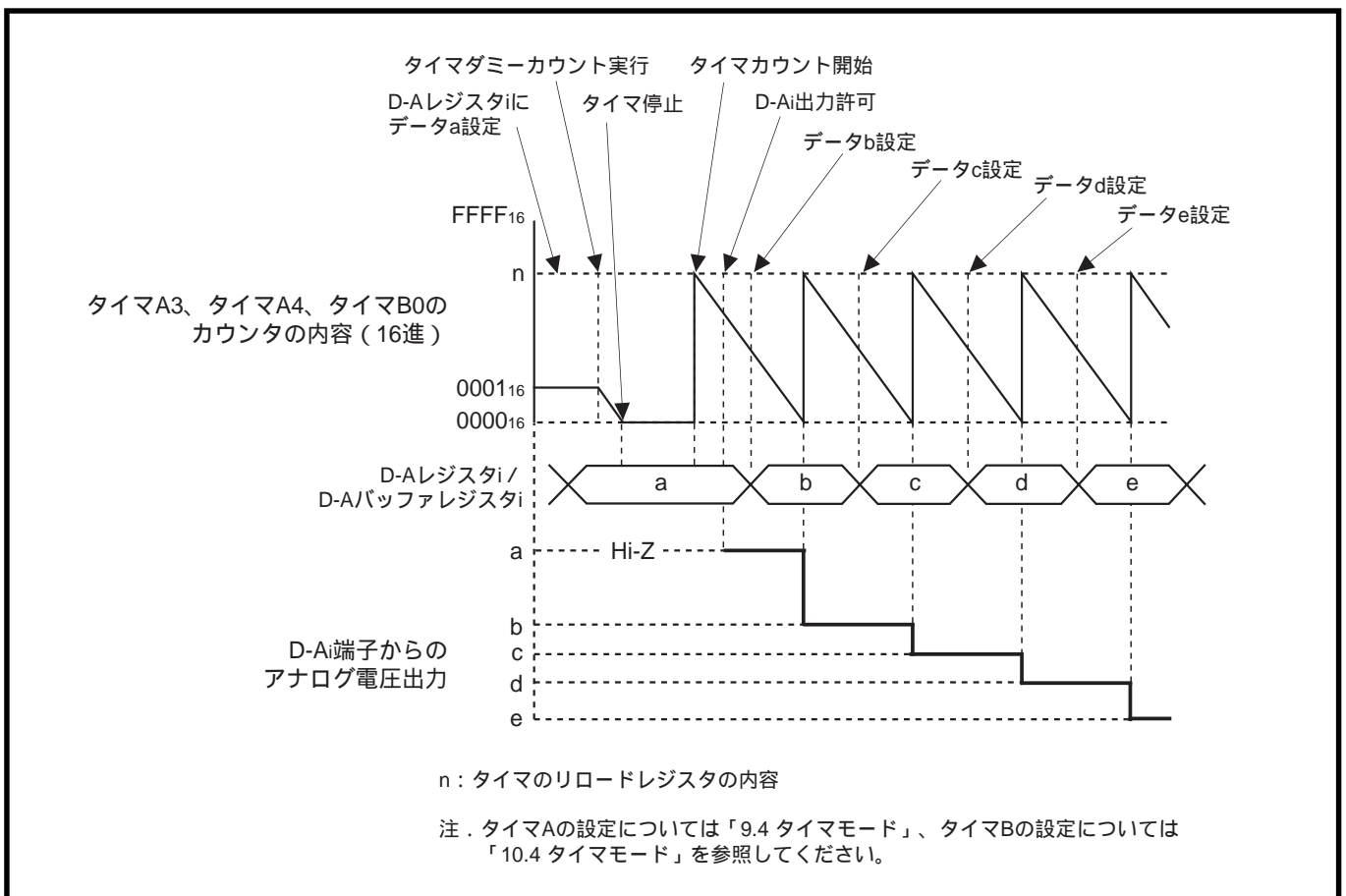


図13.5.1 D-A_i変換タイミングにタイマA3、タイマA4、又はタイマB0割り込み要求発生時を選択した場合の動作例

【D-A変換器使用上の注意】

1. D-A_i出力許可ビットを“1”(出力許可)にすると、共用となっているプログラマブル入出力ポートとしては使用できません。
2. DA_i端子($i=0\sim 2$)はバッファアンプを内蔵していません。インピーダンスの低い負荷に接続する場合は、外部にバッファアンプを接続してください。

第 14 章

DMAC

- 14.1 概 要
 - 14.2 ブロック図
 - 14.3 関連レジスタ
 - 14.4 DMA要求の受付
 - 14.5 転送サイクル
 - 14.6 単転送モード
 - 14.7 リピート転送モード
- 【DMAC使用上の注意】

14.1 概要

DMACは、CPUを介さずにデータを転送する機能です。DMACはCPUと同じデータバスを使用し、CPUより高いバス使用权を持つため、高速にデータを転送できます。

表14.1.1 DMACの性能概要

項目	性能
チャンネル数	4チャンネル(注)
転送空間	16Mバイト(任意の空間から固定アドレス、固定アドレスから任意のアドレス)
転送バイト数(最大)	16ビット転送：128Kバイト 8ビット転送：64Kバイト
DMA要求要因	16要因
チャンネル優先順位	固定(DMA0 > DMA1 > DMA2 > DMA3 (DMA0が最優先))
転送単位	8ビット、又は16ビット
転送アドレス方向	順方向(転送元、又は転送先のいずれか一方のみ)
転送モード	サイクルスチール転送モード
動作モード	単転送モード、又はリピート転送モード

注．3チャンネル以上使用する場合は、高速割り込みを使用できません。

14.2 ブロック図

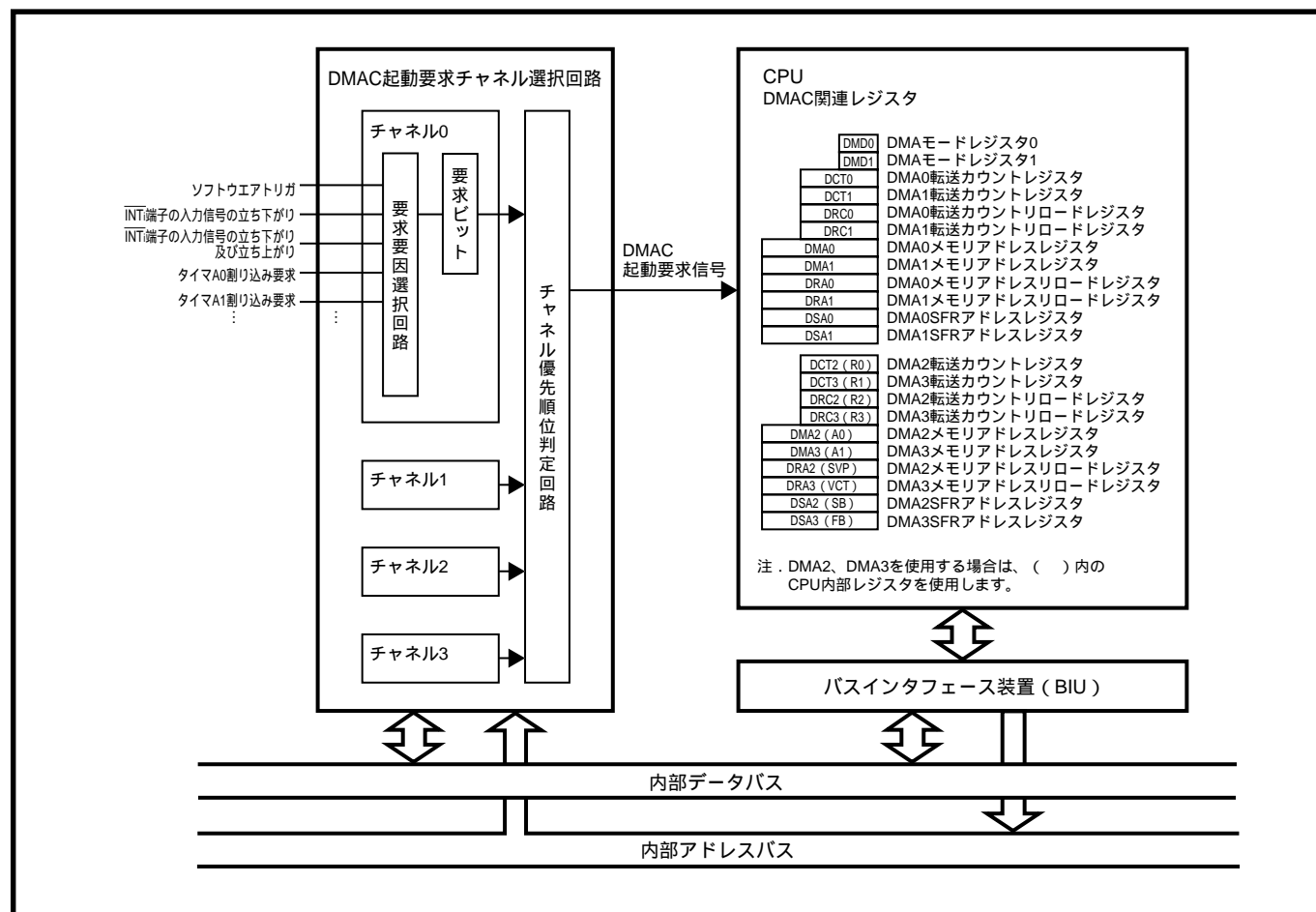


図14.2.1 DMACブロック図

14.3 関連レジスタ

DMAモードレジスタ0 DMD0 【CPU内部レジスタ】		b7 b6 b5 b4 b3 b2 b1 b0					
		[][][][][][][][]					
ビット	ビット シンボル	ビット名	機 能	リセット時	R/W		
0	MD00	チャンネル0転送モード選択ビット	b1 b0 00: DMA禁止 01: 単転送モード 10: 選択禁止 11: リピート転送モード	0	RW		
1	MD01			0	RW		
2	BW0	チャンネル0転送単位選択ビット	0: 8ビット 1: 16ビット	0	RW		
3	RW0	チャンネル0転送方向選択ビット	0: 固定アドレス メモリ(順方向) 1: メモリ(順方向) 固定アドレス	0	RW		
4	MD10	チャンネル1転送モード選択ビット	b5 b4 00: DMA禁止 01: 単転送モード 10: 選択禁止 11: リピート転送モード	0	RW		
5	MD11			0	RW		
6	BW1	チャンネル1転送単位選択ビット	0: 8ビット 1: 16ビット	0	RW		
7	RW1	チャンネル1転送方向選択ビット	0: 固定アドレス メモリ(順方向) 1: メモリ(順方向) 固定アドレス	0	RW		

DMAモードレジスタ1 DMD1 【CPU内部レジスタ】		b7 b6 b5 b4 b3 b2 b1 b0					
		[][][][][][][][]					
ビット	ビット シンボル	ビット名	機 能	リセット時	R/W		
0	MD20	チャンネル2転送モード選択ビット	b1 b0 00: DMA禁止 01: 単転送モード 10: 選択禁止 11: リピート転送モード	0	RW		
1	MD21			0	RW		
2	BW2	チャンネル2転送単位選択ビット	0: 8ビット 1: 16ビット	0	RW		
3	RW2	チャンネル2転送方向選択ビット	0: 固定アドレス メモリ(順方向) 1: メモリ(順方向) 固定アドレス	0	RW		
4	MD30	チャンネル3転送モード選択ビット	b5 b4 00: DMA禁止 01: 単転送モード 10: 選択禁止 11: リピート転送モード	0	RW		
5	MD31			0	RW		
6	BW3	チャンネル3転送単位選択ビット	0: 8ビット 1: 16ビット	0	RW		
7	RW3	チャンネル3転送方向選択ビット	0: 固定アドレス メモリ(順方向) 1: メモリ(順方向) 固定アドレス	0	RW		

図14.3.1 DMAモードレジスタ0, 1のレジスタ構成

(1)チャンネル転送モード選択ビット($i=0\sim 3$)(DMAモードレジスタ0、1のビット0,1、4,5)

DMA i の転送モードを設定するビットです。

(2)チャンネル i 転送単位選択ビット($i=0\sim 3$)(DMAモードレジスタ0、1のビット2、6)

このビットで、データを8ビットずつ転送するか、16ビットずつ転送するかを選択できます(表14.3.1参照)。

(3)チャンネル i 転送方向選択ビット($i=0\sim 3$)(DMAモードレジスタ0、1のビット3、7)

データの転送方向を選択するビットです(表14.3.1参照)。

表14.3.1 転送単位と転送アドレス方向

転送アドレス方向		外部データバス幅:16ビット又は8ビット					
		転送単位:16ビット			転送単位:8ビット		
転送元 (アドレスを 設定する レジスタ)	転送先 (アドレスを 設定する レジスタ)	転送元メモリ上 のデータの並び	転送順序	転送先メモリ上 のデータの並び (転送結果)	転送元メモリ上 のデータの並び	転送順序	転送先メモリ上 のデータの並び (転送結果)
固定 (DMAiSFR アドレス レジスタ)	順方向						
	順方向						
順方向	固定						

DMAi転送カウントレジスタ(i=0~3) DCTi 【CPU内部レジスタ】		b15		b0	
		[]			
ビット	ビット シンボル	機 能	リセット時	R/W	
15~0	DCTi	転送回数(0000 ₁₆ ~ FFFF ₁₆)を設定する(注1)	(注2)	RW	
注1. 0000 ₁₆ を設定した場合は、DMA要求が発生しても転送しません。 2. DMA0、DMA1転送カウントレジスタでは不定になります。 3. DMA2、DMA3転送カウントレジスタは、レジスタバンク1のR0、R1レジスタを使用します。DMA2、DMA3を使用するときは、レジスタバンク指定フラグ(B)を“1”にして、レジスタバンク1のR0、R1レジスタに設定してください。 4. このレジスタへの書き込みは、DMA禁止時に行ってください。					
DMAi転送カウントリロードレジスタ(i=0~3) DRCi 【CPU内部レジスタ】		b15		b0	
		[]			
ビット	ビット シンボル	機 能	リセット時	R/W	
15~0	DRCi	リピート転送モード時、転送回数のリロード値(0000 ₁₆ ~ FFFF ₁₆)を設定する(注1)	(注2)	RW	
注1. 0000 ₁₆ を設定した場合は、DMA要求が発生しても転送しません。 2. DMA0、DMA1転送カウントリロードレジスタでは不定になります。 3. DMA2、DMA3転送カウントリロードレジスタは、レジスタバンク3のR2、R3レジスタを使用します。DMA2、DMA3を使用するときは、レジスタバンク指定フラグ(B)を“1”にして、レジスタバンク3のR2、R3レジスタに設定してください。					

図14.3.2 DMAi転送カウントレジスタ、DMAi転送カウントリロードレジスタのレジスタ構成

(1) DMAi転送カウントレジスタ

このレジスタに設定した回数分、DMA転送を実施します。

(2) DMAi転送カウントリロードレジスタ

リピート転送モード時、DMAi転送カウントレジスタの内容が“0001₁₆”から“0000₁₆”になったとき、このレジスタに設定した値がDMAi転送カウントレジスタにリロードされます。

DMAiメモリアドレスレジスタ(i=0~3) DMAi 【CPU内部レジスタ】		b23		b0	
ビット	ビットシンボル	機能	リセット時	R/W	
23~0	DMAi	転送元又は転送先のメモリアドレス(000000 ₁₆ ~FFFFFF ₁₆)を設定する(注1)	(注2)	RW	

注1. 転送方向が「固定アドレス メモリ」の場合は転送先のメモリアドレス、「メモリ 固定アドレス」の場合は転送元のメモリアドレスとなります。
 2. DMA0、DMA1メモリアドレスレジスタでは不定になります。
 3. DMA2、DMA3メモリアドレスレジスタは、レジスタバンク1のA0、A1レジスタを使用します。DMA2、DMA3を使用するときは、レジスタバンク指定フラグ(B)を「1」にして、レジスタバンク1のA0、A1レジスタに設定してください。
 4. このレジスタへの書き込みは、DMA禁止時に行ってください。

DMAiメモリアドレスリロードレジスタ(i=0~3) DRAi 【CPU内部レジスタ】		b23		b0	
ビット	ビットシンボル	機能	リセット時	R/W	
23~0	DRAi	リピート転送モード時、転送元又は転送先のメモリアドレスのリロード値(000000 ₁₆ ~FFFFFF ₁₆)を設定する(注1)	(注2)	RW	

注1. 転送方向が「固定アドレス メモリ」の場合は転送先のメモリアドレス、「メモリ 固定アドレス」の場合は転送元のメモリアドレスとなります。
 2. DMA0、DMA1メモリアドレスリロードレジスタでは不定になります。
 3. DMA2、DMA3メモリアドレスリロードレジスタは、SVP、VCTレジスタを使用します。DMA2、DMA3を使用するときは、SVP、VCTレジスタに設定してください。

図14.3.3 DMAiメモリアドレスレジスタ、DMAiメモリアドレスリロードレジスタのレジスタ構成

(1) DMAiメモリアドレスレジスタ

転送方向が「固定アドレス メモリ」の場合は転送先のメモリアドレス、「メモリ 固定アドレス」の場合は転送元のメモリアドレスを設定します。

1回の転送が終わると、このレジスタの内容は自動的に+1(転送単位8ビット時)又は+2(転送単位16ビット時)されます。

(2) DMAiメモリアドレスリロードレジスタ

リピート転送モード時、DMAi転送カウントレジスタの内容が“0001₁₆”から“0000₁₆”になったとき、このレジスタに設定した値がDMAiメモリアドレスレジスタにリロードされます。

DMAiSFRアドレスレジスタ(i=0~3) DSAi 【CPU内部レジスタ】 b23 b0

ビット	ビット シンボル	機 能	リセット時	R/W
23~0	DSAi	転送元又は転送先の固定アドレス(000000 ₁₆ ~ FFFFFFFF ₁₆)を設定する(注1)	α(注2)	RW

注1. 転送方向が「固定アドレス メモリ」の場合は転送元の固定アドレス、「メモリ 固定アドレス」の場合は転送先の固定アドレスとなります。
 2. DMA0、DMA1SFRアドレスレジスタでは不定になります。
 3. DMA2、DMA3SFRアドレスレジスタは、レジスタバンク1のSB、FBレジスタを使用します。DMA2、DMA3を使用するときには、レジスタバンク指定フラグ(B)を“1”にして、レジスタバンク1のSB、FBレジスタに設定してください。
 4. このレジスタへの書き込みは、DMA禁止時に行ってください。

図14.3.4 DMAiSFRアドレスレジスタのレジスタ構成

(1) DMAiSFRアドレスレジスタ

転送方向が「固定アドレス メモリ」の場合は転送元の固定アドレス、「メモリ 固定アドレス」の場合は転送先の固定アドレスを設定します。

DMA0 ~ DMA3割り込み制御レジスタ DM0IC ~ DM3IC b7 b6 b5 b4 b3 b2 b1 b0
 【68₁₆、88₁₆、6A₁₆、8A₁₆番地】

ビット	ビット シンボル	ビット名	機 能	リセット時	R/W
0	ILVL0	割り込み優先レベル選択ビット	b2b1b0 000: レベルα(割り込み禁止) 001: レベル1 010: レベル2 011: レベル3 100: レベル4 101: レベル5 110: レベル6 111: レベル7	0	RW
1	ILVL1			0	RW
2	ILVL2			0	RW
3	IR			割り込み要求ビット(注)	0: 割り込み要求なし 1: 割り込み要求あり
7~4	-	何も配置されていない		不定	-

注. このビットへの書き込みにはMOV命令を使用してください。

図14.3.5 DMA0 ~ DMA3割り込み制御レジスタのレジスタ構成

(1) 割り込み優先レベル選択ビット(ビット0~2)、割り込み要求ビット(ビット3)

各ビットの詳細については、「第7章 割り込み」を参照してください。

DMAi要因選択レジスタ(i=0~3) DMiSL 【B8 ₁₆ ~ BB ₁₆ 番地】				b7 b6 b5 b4 b3 b2 b1 b0			
				1			
ビット	ビット シンボル	ビット名	機 能	リセット時	R/W		
0	DSEL0	DMAi要求要因選択ビット	b4 b3 b2 b1 b0 00000: ソフトウェアトリガ 00001: INT(注1)端子の入力信号の立ち下がり 00010: INT(注1)端子の入力信号の立ち下がり及び立ち上がり 00011: タイマA0割り込み要求 00100: タイマA1割り込み要求 00101: タイマA2割り込み要求 00110: タイマA3割り込み要求 00111: タイマA4割り込み要求 01000: タイマB0割り込み要求 01001: タイマB1割り込み要求 01010: タイマB2割り込み要求 01011: } 選択禁止 01100: } 01101: }	0	RW		
1	DSEL1		01110: UART0送信割り込み要求 01111: UART0受信割り込み要求 10000: UART1送信割り込み要求 10001: UART1受信割り込み要求 10010: } 選択禁止 10011: } 10100: } 10101: } 10110: } 10111: }	0	RW		
2	DSEL2		11000: A-D変換割り込み要求 11001: } 選択禁止 11010: } 11011: } 11100: } 11101: } 11110: } 11111: }	0	RW		
3	DSEL3			0	RW		
4	DSEL4			0	RW		
5	DSR	ソフトウェアDMAi要求ビット	ソフトウェアトリガ選択時、このビットへの'1'書き込みでDMA要求発生("0"書き込みは無効) 読み出し時の値は"0"	0	WO		
6	-	何も配置されていない		不定	-		
7	-	"1"に固定してください。		0	RW		

注1. DMA0の場合はINT₀、DMA1の場合はINT₁、DMA2の場合はINT₂、DMA3の場合はINT₃になります。
2. このレジスタへの書き込みには、MOV命令を使用してください。

図14.3.6 DMAi要因選択レジスタのレジスタ構成

(1) DMAi要求要因選択ビット(ビット0~4)

これらのビットで、各DMAiごとに要求要因を選択できます。

(2) ソフトウェアDMAi要求ビット(ビット5)

DMAi要求要因にソフトウェアトリガを選択した場合、このビットに"1"を書き込むとDMAi要求が発生します。

14

14.4 DMA要求の受付

DMA要求は、発生した時点で実行されていたCPUのバスアクセス終了後、受け付けられます。同一サンプリング期間に複数のチャンネルのDMA要求が発生した場合は、DMA0 > DMA1 > DMA2 > DMA3の優先順位に従って、一番優先順位の高いチャンネルのDMA要求が受け付けられます。1転送単位の転送終了後は、CPUにバス使用権が戻り、CPUが1回のバスアクセスを終了すると、次に優先順位の高いチャンネルのDMA要求が受け付けられます（図14.4.1参照）。

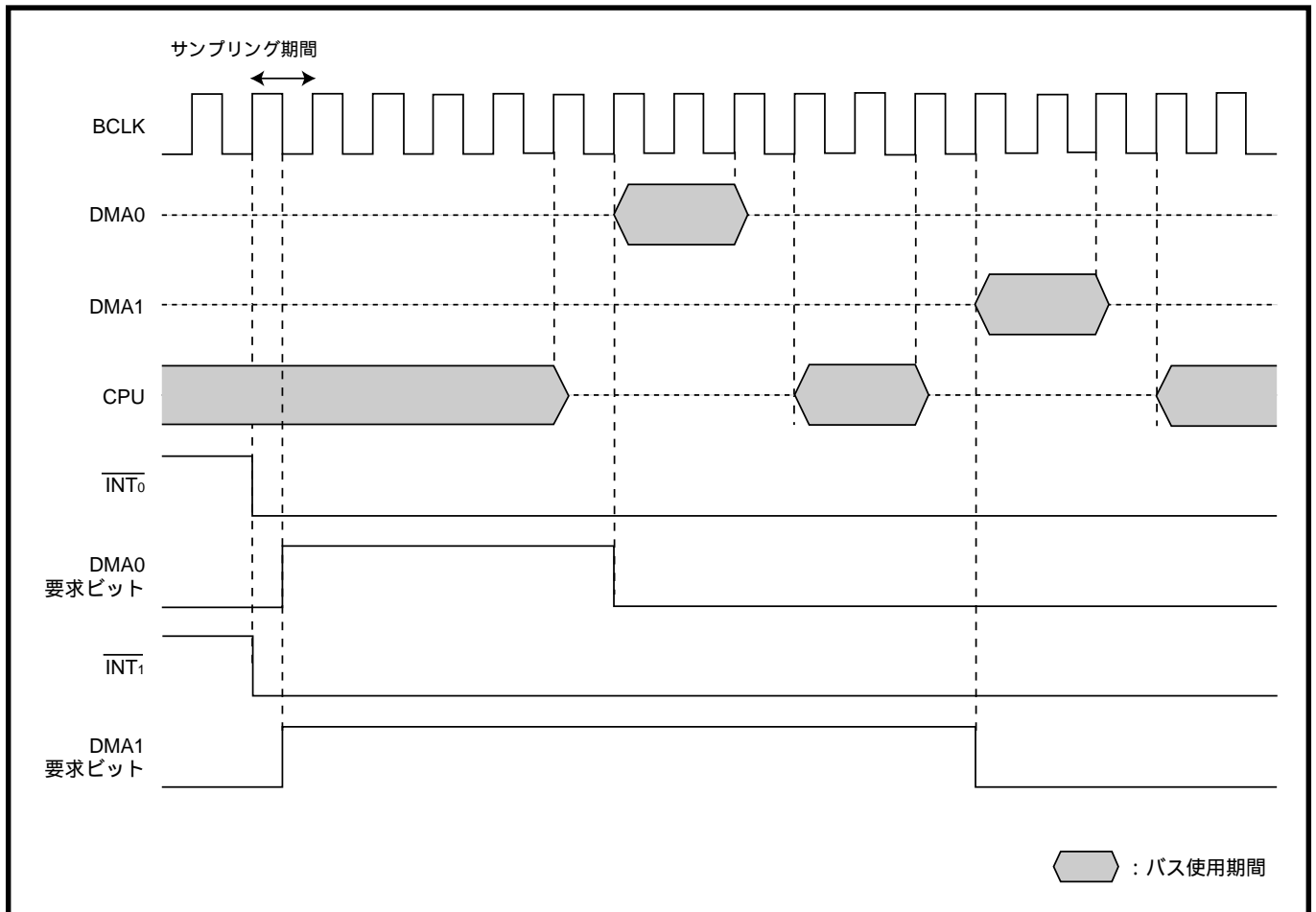


図14.4.1 DMA要求受付例

14.5 転送サイクル

1回の転送に必要なサイクル数は、転送元の読み出しに必要なバスサイクルと、転送先の書き込みに必要なバスサイクルの合計になります。それぞれのバスサイクルは、表14.5.1に示すように、転送元又は転送先のアドレス(領域)によって異なります。

表14.5.1 読み出し/書き込みに必要なサイクル数

転送元/転送先のアドレス	読み出し/書き込みに必要なサイクル数	設定に使用するビット
SFR領域	BCLKの2サイクル又は3サイクル	SFRウエイトビット(5 ₁₆ 番地のビット3)
内部RAM領域 内部ROM領域	BCLKの1サイクル又は2サイクル	内部メモリウエイトビット(5 ₁₆ 番地のビット2)
外部領域	BCLKの2サイクル(1 + 1) ~9サイクル(3 + 6)	バスサイクル選択ビット (C0 ₁₆ 、C4 ₁₆ 、C8 ₁₆ 、CC ₁₆ 番地のビット0~4)

注1. 転送単位16ビット選択時、以下の条件の場合は2バスサイクル必要となるため、サイクル数は上記に示した数の2倍になります。

- ・転送元/転送先のアドレスに奇数番地が設定されている場合
- ・転送元/転送先がデータバス幅8ビットの選択された外部領域の場合

2. 転送先/転送元が外部領域の場合は、レディー機能(「3.6 レディー機能」参照)の影響も受けます。

14.6 単転送モード

DMAi要求が発生するごとにデータを転送します。DMAi転送カウントレジスタに設定した回数分の転送が終了すると、DMAi割り込み要求が発生し、DMA転送が終了します(図14.6.1参照)。

図14.6.2に単転送モード関連レジスタの初期設定例を示します。

なお、割り込みを使用する場合は、割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

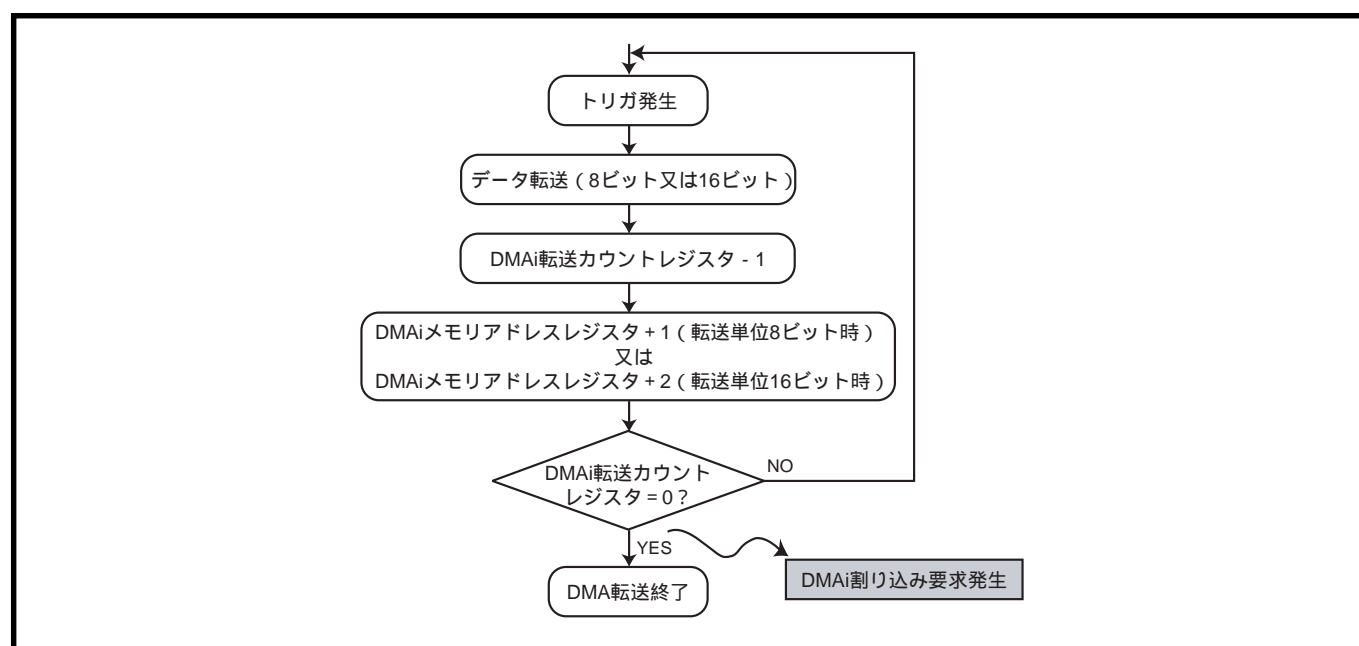


図14.6.1 単転送モードの動作

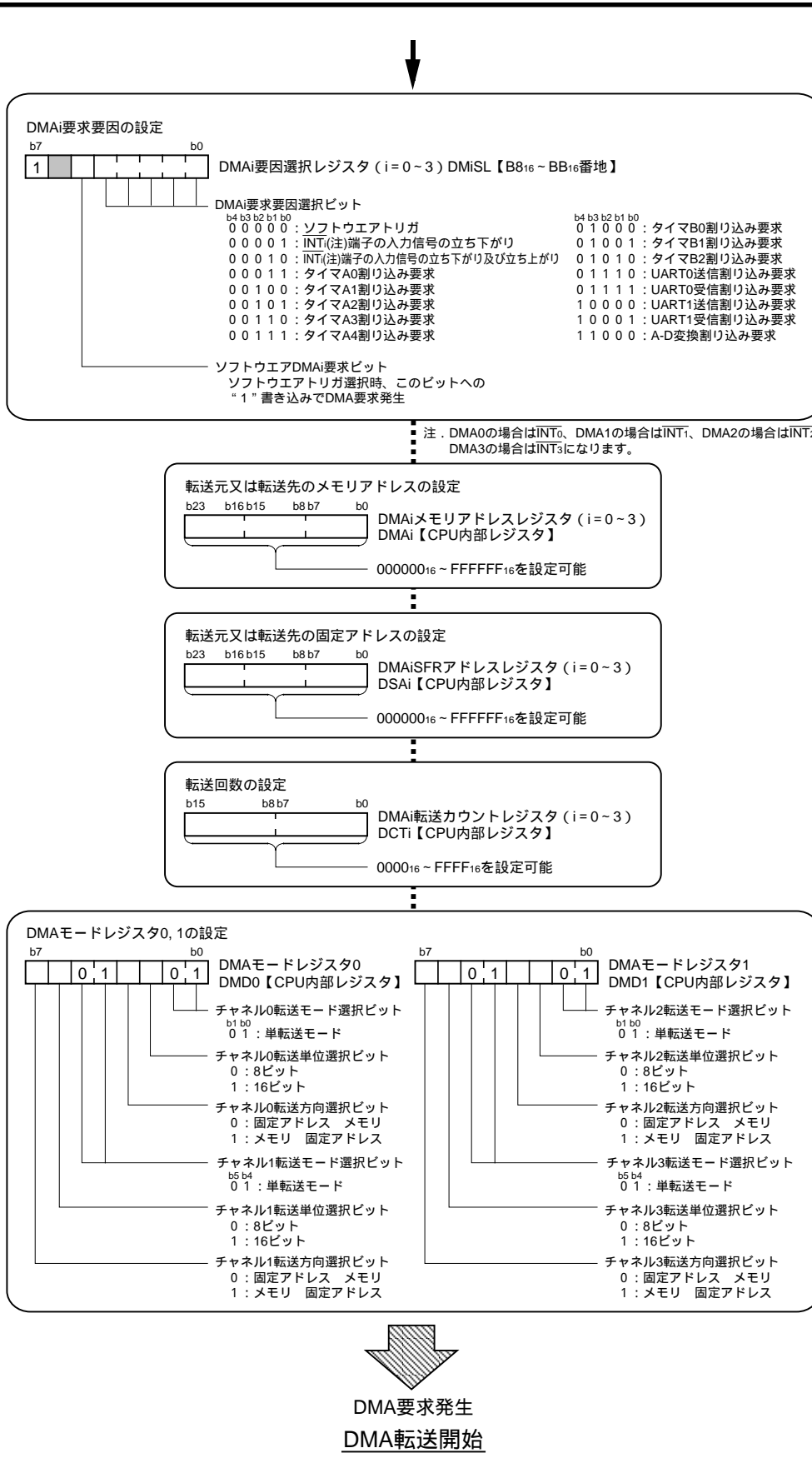


図14.6.2 単転送モード関連レジスタの初期設定例

14.7 リポート転送モード

DMAi要求が発生することによってデータを転送します。DMAi転送カウントレジスタに設定した回数分の転送が終了すると、DMAi転送カウントリロードレジスタの内容がDMAi転送カウントレジスタに、DMAiメモリアドレスリロードレジスタの内容がDMAiメモリアドレスレジスタに、それぞれリロードされ、DMA転送を継続します。また、このとき同時にDMAi割り込み要求が発生します(図14.7.1参照)。

図14.7.2にリポート転送モード関連レジスタの初期設定例を示します。

なお、割り込みを使用する場合は、割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

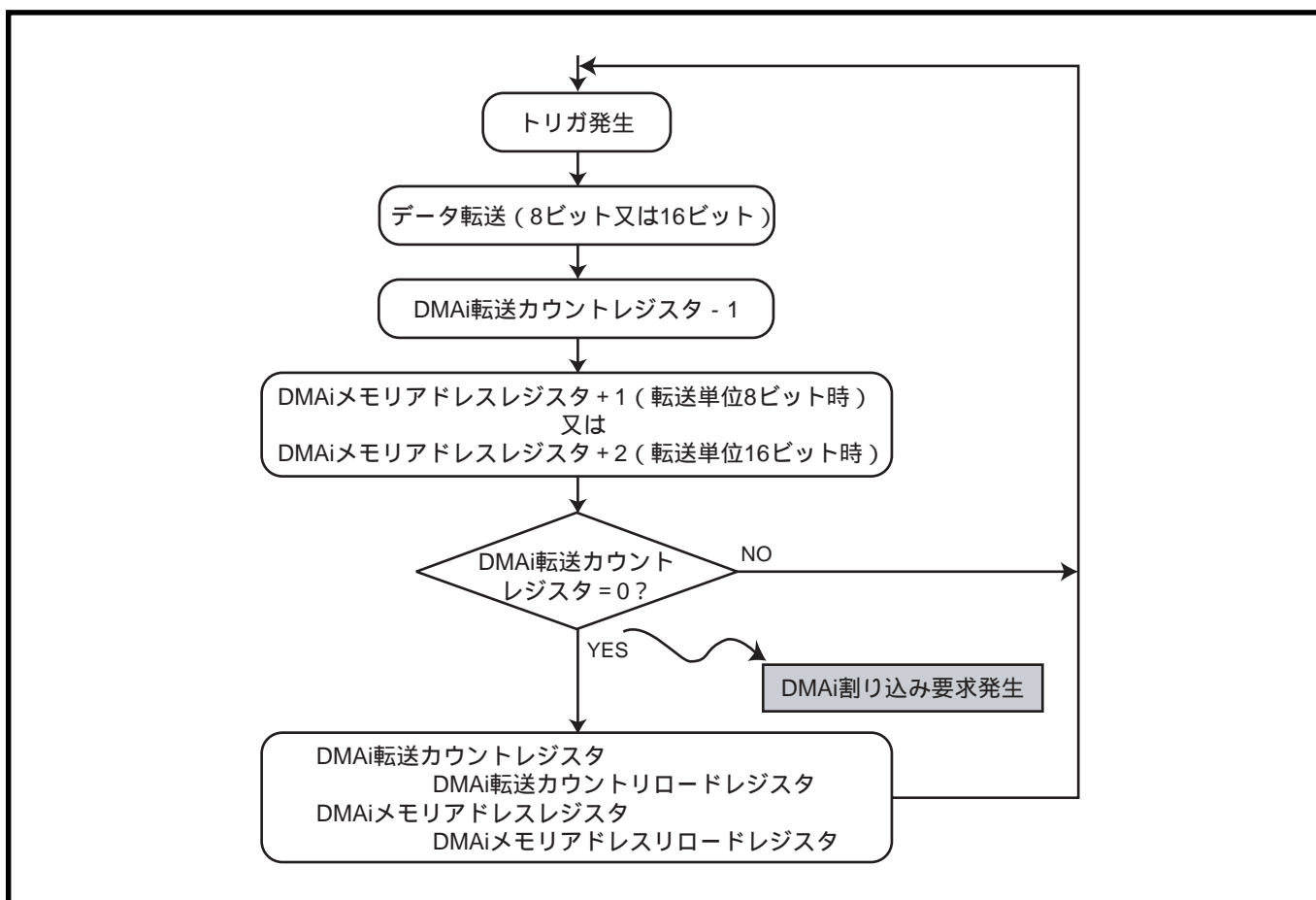


図14.7.1 リポート転送モードの動作

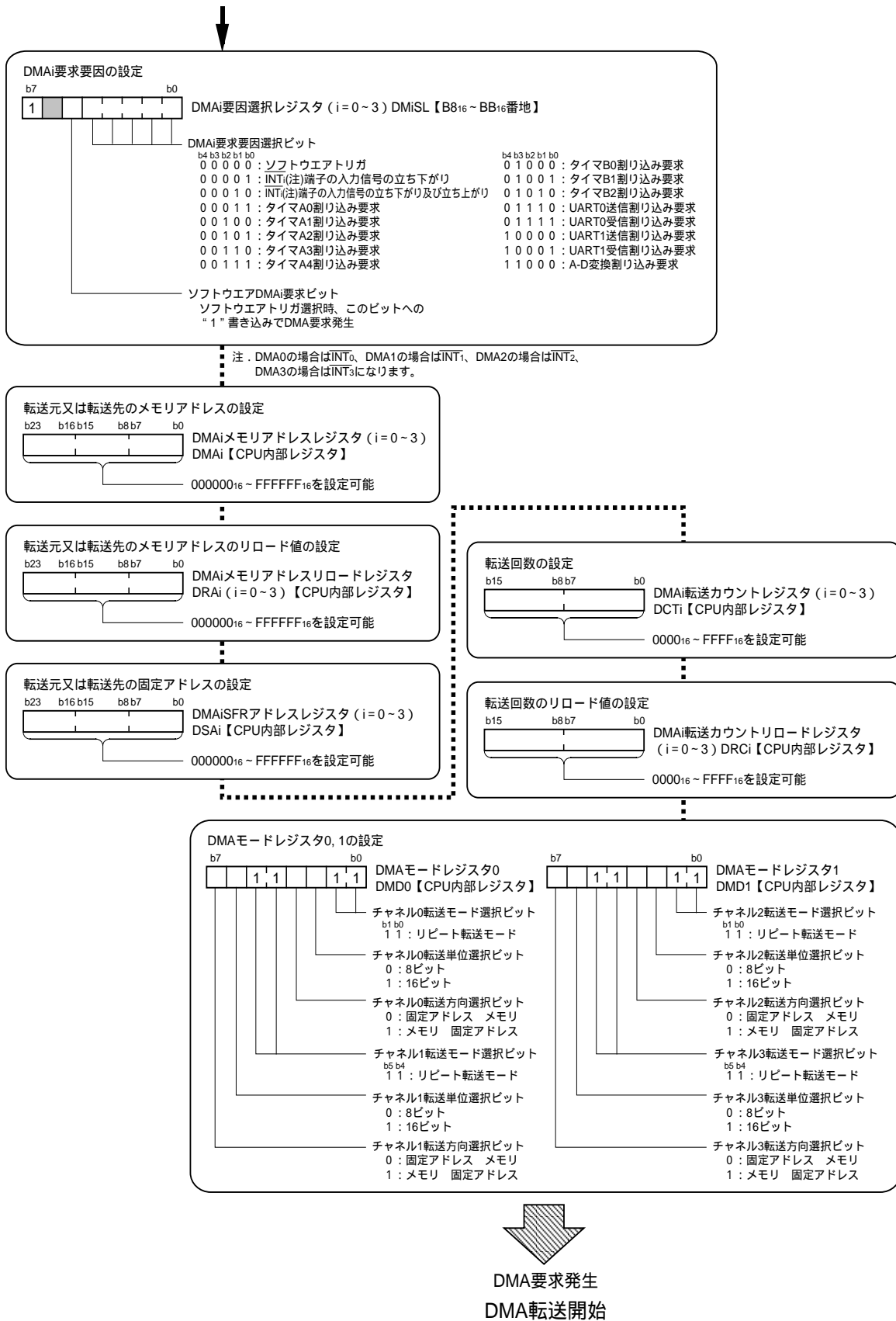


図14.7.2 リポート転送モード関連レジスタの初期設定例

【DMAC使用上の注意】

高速割り込み使用時は、DMA2、DMA3を使用できません。

第 15 章

監視タイマ

15.1 ブロック図

15.2 関連レジスタ

15.3 設定方法

15.4 動作説明

【監視タイマ使用上の注意】

監視タイマは15ビットのカウンタで、プログラムの暴走を検知するために使用します。

15.1 ブロック図

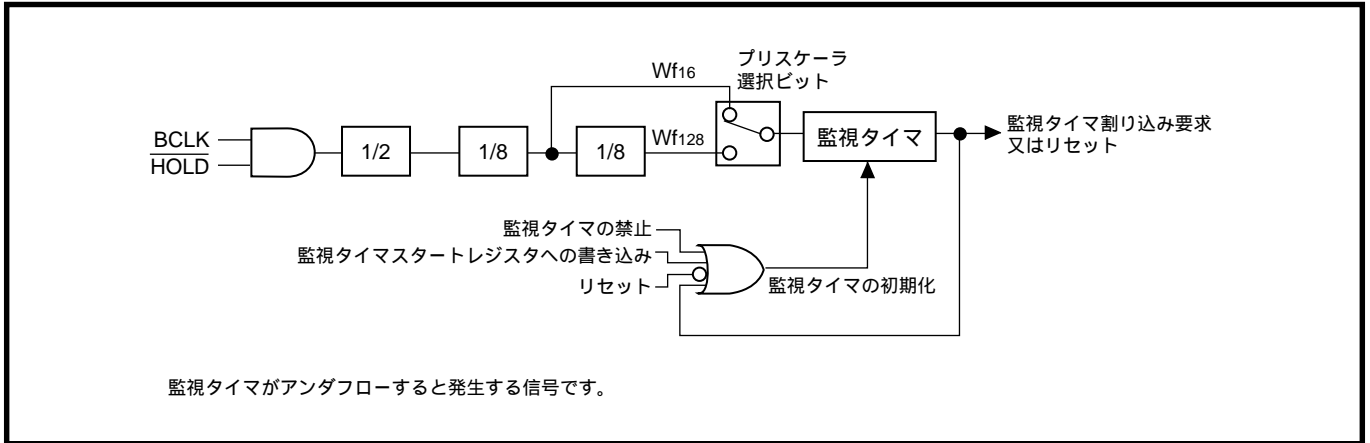


図15.1.1 監視タイマブロック図

15.2 関連レジスタ

システムクロック制御レジスタ0 CM0 【6₁₆番地】

b7	b6	b5	b4	b3	b2	b1	b0
0							

ビット	ビットシンボル	ビット名	機能	リセット時	R/W
0	CM00	クロック出力機能選択ビット	表5.3.1参照	0	RW
1	CM01			0	RW
2	CM02	WAIT時周辺機能クロック停止ビット (注1)	0: ウェイトモード時、f _{AD} 、f ₁ 、f ₈ 、f ₃₂ 、f ₂₅₆ 動作 1: ウェイトモード時、f _{AD} 、f ₁ 、f ₈ 、f ₃₂ 、f ₂₅₆ 停止	0	RW
3	CM03	周辺機能クロック選択ビット	表5.3.2参照	0	RW
4	CM04			0	RW
5	CM05	クロック外部入力選択ビット	0: 発振回路動作(発振子接続時) 1: 発振回路停止(外部で生成されたクロック入力時)	0	RW
6	CM06	監視タイマ機能選択ビット (注2)	0: 監視タイマ割り込み 1: リセット	0	RW
7	-	"0"に固定してください		0	RW

注1. "1"にする場合は、WAIT命令の直前で"1"を設定してください。また、ウェイトモード解除後、直ちに"0"にしてください。
 2. リセット後、一度だけ"1"にできます。その後はソフトウェアで変更できません("1"に固定される)。
 3. このレジスタは、プロテクトビットα(A₁₆番地のビット0)を"1"にした後、設定してください。

図15.2.1 システムクロック制御レジスタ0のレジスタ構成

(1)監視タイマ機能選択ビット(ビット6)

監視タイマがアンダフローしたときに、監視タイマ割り込みを発生させるか、リセットするかを選択するビットです。

監視タイマスタートレジスタ WDS 【E ₁₆ 番地		b7		b0	
ビット	ビットシンボル	機能	リセット時	R/W	
7~0	WDS	監視タイマの初期化 ダミーデータを書き込むと、監視タイマの値が ⁶ 7FFF ₁₆ に初期化される (ダミーデータ: 00 ₁₆ ~FF ₁₆)	不定	-	

図15.2.2 監視タイマスタートレジスタのレジスタ構成

(1) 監視タイマスタートレジスタ

このレジスタに書き込むと、監視タイマの値が⁶7FFF₁₆に初期化されます。

監視タイマ制御レジスタ WDC 【F ₁₆ 番地		b7		b6		b5		b4		b3		b2		b1		b0	
ビット	ビットシンボル	ビット名	機能	リセット時	R/W												
0	WDC0	監視タイマ読み出しビットb10	監視タイマのビット10の内容を読み出す	不定	RO												
1	WDC1	監視タイマ読み出しビットb11	監視タイマのビット11の内容を読み出す	不定	RO												
2	WDC2	監視タイマ読み出しビットb12	監視タイマのビット12の内容を読み出す	不定	RO												
3	WDC3	監視タイマ読み出しビットb13	監視タイマのビット13の内容を読み出す	不定	RO												
4	WDC4	監視タイマ読み出しビットb14	監視タイマのビット14の内容を読み出す	不定	RO												
6, 5	-	"0"に固定してください		0	RW												
7	WDC7	プリスケアラ選択ビット	0: Wf ₁₆ (BCLKの16分周) 1: Wf ₁₂₈ (BCLKの128分周)	0	RW												

図15.2.3 監視タイマ制御レジスタのレジスタ構成

(1) 監視タイマ読み出しビットb10~b14(ビット0~4)

これらのビットを読み出すと、監視タイマのビット10~14の内容が読み出せます。

(2) プリスケアラ選択ビット(ビット7)

監視タイマのカウントソースを選択するビットです。

監視タイマ禁止レジスタ WDDS 【50 ₁₆ 番地		b7		b0	
ビット	ビットシンボル	機能	リセット時	R/W	
7~0	WDDS	監視タイマの禁止 "79 ₁₆ "、"50 ₁₆ "を連続して書き込むと、監視タイマが停止する	不定	-	

注. リセット後、1度だけ設定できます。
⁶79₁₆の書き込みと、次の⁶50₁₆の書き込みの間で割り込みが発生すると、監視タイマが停止しませんので、注意してください。
 リセット後、このレジスタを読み出す、又は上記以外の手順で書き込むと、それ以降、このレジスタに書き込むことはできません。

図15.2.4 監視タイマ禁止レジスタのレジスタ構成

(1) 監視タイマ禁止レジスタ

監視タイマを使用しない場合、このレジスタに⁶79₁₆、⁶50₁₆を連続して書き込むと、監視タイマを禁止できます。

15.3 設定方法

図15.3.1に監視タイマ関連レジスタ初期設定例を示します。

なお、監視タイマ割り込みはノンマスカブル割り込みです。割り込み要求が発生すると、割り込み許可フラグ(1)の内容にかかわらず、割り込みが受け付けられます。

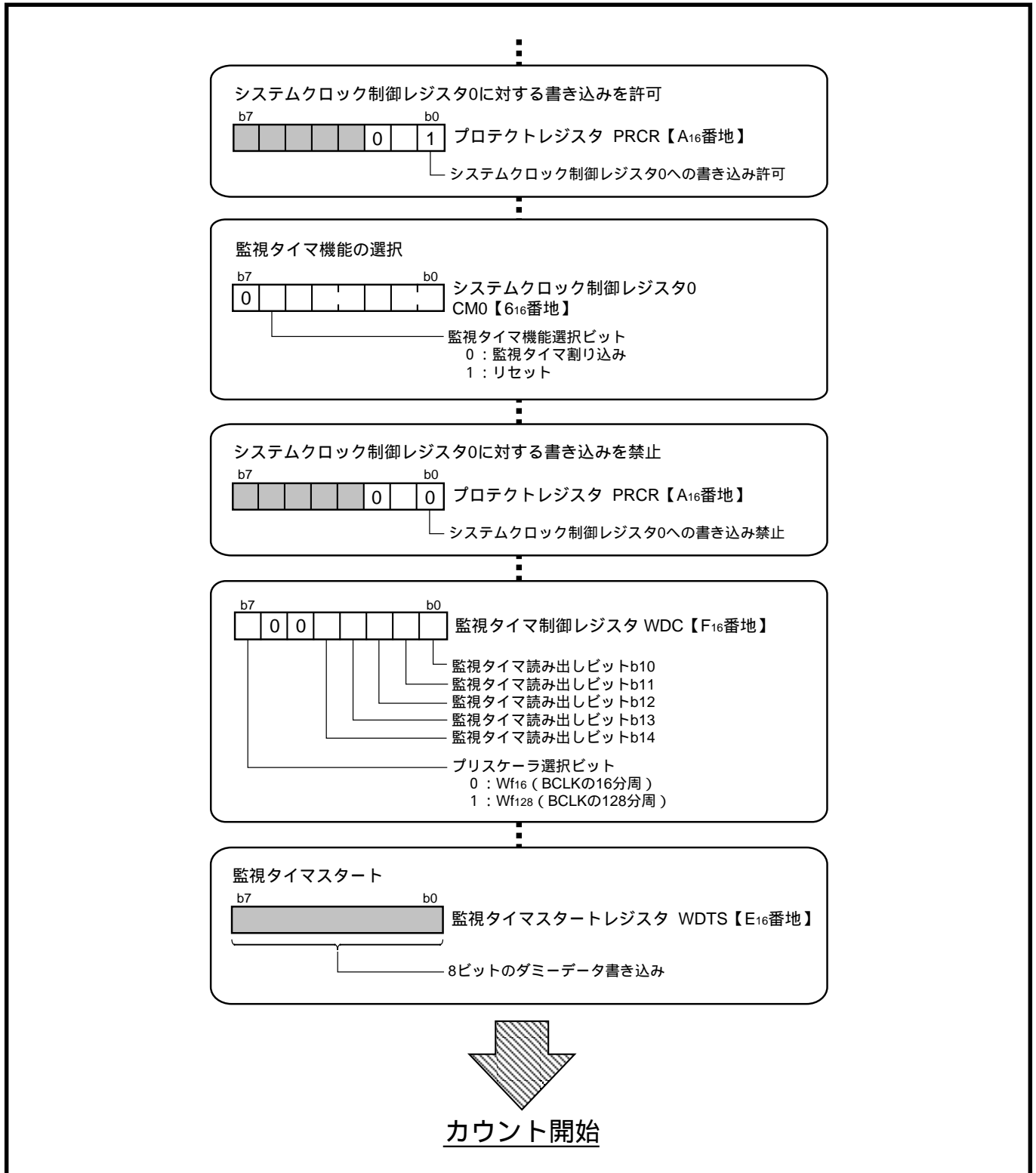


図15.3.1 監視タイマ関連レジスタ初期設定例

15.4 動作説明

図15.4.1に監視タイマ動作例を示します。

監視タイマは以下に示す場合に初期化され、“7FFF₁₆”が設定されます。

リセット時
監視タイマスタートレジスタに書き込みを行ったとき
監視タイマがアンダフロー(32768回カウント)したとき(周期：表15.4.1参照)
監視タイマ禁止レジスタ(50₁₆番地)で監視タイマを禁止したとき

表15.4.1 監視タイマの周期

プリスケアラ 選択ビット	f(BCLK)=34MHz	
	カウントソース	周期
0	Wf ₁₆	15.42ms
1	Wf ₁₂₈	123.36ms

監視タイマがアンダフローする前に、監視タイマスタートレジスタに書き込んでください。プログラムの暴走によって監視タイマスタートレジスタへの書き込みが実行されず、監視タイマがアンダフローした場合、下記のいずれか(監視タイマ機能選択ビットで選択)が実行され、プログラムの暴走を検知できます。

監視タイマ割り込み：プログラムが暴走した際、何らかの処理を実行した後、ソフトウェアリセット(注1)を実行する場合など

リセット(注2)：プログラムが暴走したときは無条件にリセットする場合など

注1. ソフトウェアリセットビット(4₁₆番地のビット3)を“1”にする。

2. ソフトウェアリセットと同等の処理が実行される。

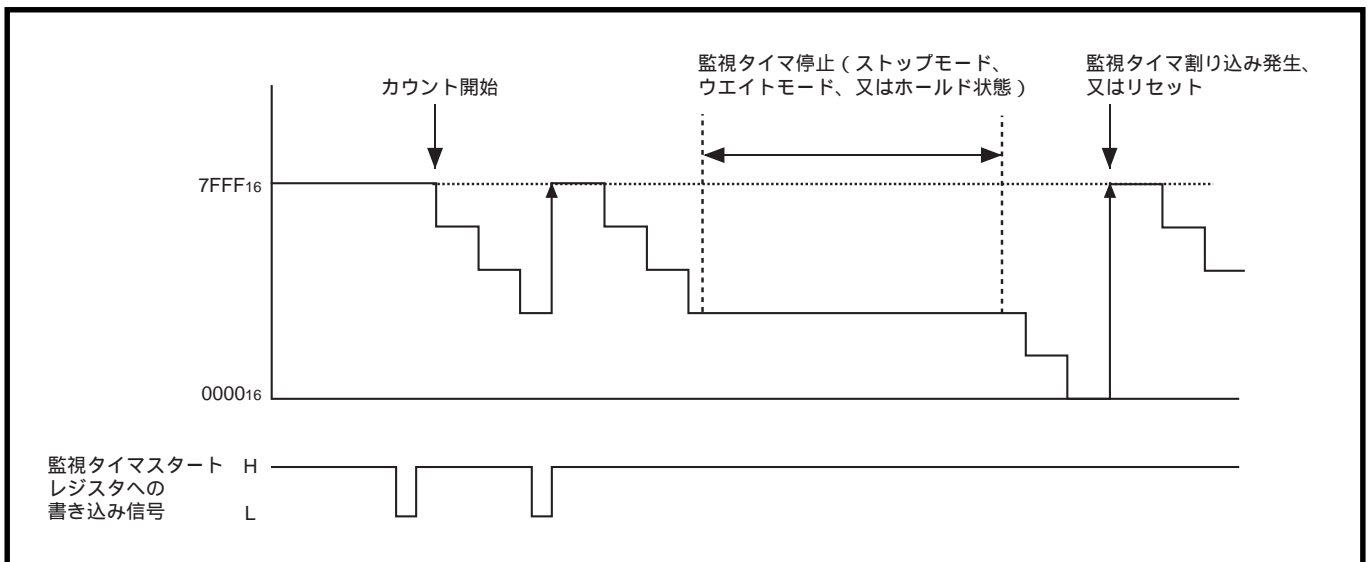


図15.4.1 監視タイマ動作例

15.4.1 リセット後の動作

リセット後、監視タイマはカウント停止状態で、監視タイマスタートレジスタに書き込みを行うと、カウントソースをダウンカウントします。

15.4.2 アンダフロー時の動作

(1) 監視タイマ機能選択ビット = 0時

監視タイマがアンダフローすると、監視タイマ割り込み要求が発生します。同時に、監視タイマが初期化(“7FFF₁₆”が設定)されます。

(2) 監視タイマ機能選択ビット = 1時

監視タイマがアンダフローすると、マイクロコンピュータはリセットされます。リセットの動作は、ソフトウェアリセットと同じです(「4.1.2 ソフトウェアリセット」参照)。

15.4.3 停止期間

次に示す期間、監視タイマは停止します。

- ホールド状態(「3.7 ホールド機能」参照)
- ウェイトモード時(「16.4 ウェイトモード」参照)
- ストップモード時(「16.3 ストップモード」参照)

これらの状態が解除されると、監視タイマは停止前の状態からカウントを再開します。

15.4.4 監視タイマの状態

監視タイマ読み出しビット(F₁₆番地のビット0~4)を読み出すと、監視タイマのビット10~14の内容が読み出せます。監視タイマのアンダフロータイミングの目安にできます。

15.4.5 監視タイマの禁止

監視タイマを使用しない場合は、監視タイマ禁止レジスタに“79₁₆”、“50₁₆”を連続して書き込んでください。リセットしない限り監視タイマは停止状態となり、監視タイマ割り込み要求も発生しません。

【監視タイマ使用上の注意】

16ビットデータ長で監視タイマスタートレジスタ(E₁₆番地)にダミーデータを書き込むと、監視タイマ制御レジスタ(F₁₆番地)にも同時に書き込みが行われます。このとき、プリスケアラ選択ビット(F₁₆番地のビット7)の内容を変更しない場合は、設定されている値と同じ値を書き込んでください。

第 16 章

ストップモード、 ウェイトモード

- 16.1 概 要
- 16.2 関連レジスタ
- 16.3 ストップモード
- 16.4 ウェイトモード

16.1 概要

ストップモード及びウエイトモードは、中央演算処理装置(CPU)を動作させる必要がないとき、発振、又は内部クロックを停止させて消費電力を低減する機能です。

ストップモード：全クロック停止制御ビット(7₁₆番地のビット0)を“1”にする。

ウエイトモード：WAIT命令を実行する。

命令については、「M16C/80、M16C/70シリーズソフトウェアマニュアル」を参照してください。

表16.1.1 ストップモード及びウエイトモード時の状態、及び解除後の動作

項目	ストップモード	ウエイトモード			
		周辺機能クロック動作 (6 ₁₆ 番地のビット2=0)	周辺機能クロック停止 (6 ₁₆ 番地のビット2=1)		
発振	停止	動作			
PLL周波数変換回路	停止	動作(注1)			
BCLK	停止	停止			
f ₁ ~ f ₂₅₆ 、f _{AD}	停止	動作	停止		
Wf ₁₆ 、Wf ₁₂₈	停止	停止			
状態	タイマA	停止(注2)	動作	イベントカウンタモード でだけ動作できる	
	タイマB	停止(注2)	動作		
	シリアルI/O	停止(注2)	動作	外部クロック選択時だけ 動作できる	
	A-D変換器	停止	動作	停止	
	D-A変換器	停止	動作	停止	
	DMAC	停止	停止		
	監視タイマ	停止	停止		
	内蔵周辺装置 端子(注3)	A ₀ ~ A ₂₃ 、 D ₀ ~ D ₁₅ 、 CS ₀ ~ CS ₃	全クロック停止制御ビットを“1”にしたときの 状態を保持	WAIT命令実行時の状態を保持	
		WR _L (WR)	“H”レベルを出力	“H”レベルを出力	
		WR _H (BHE)			
RD、HLDA					
ALE		“H”レベルを出力	“L”レベルを出力		
BCLK / CLK _{OUT}		“H”レベルを出力	BCLK出力選択時は“H”出力 f _B 、f ₃₂ 出力選択時は動作	f _B 、f ₃₂ 出力選択時はWAIT 命令実行時の状態を保持	
上記以外	全クロック停止制御ビットを“1”にしたときの 状態を保持	WAIT命令実行時の状態を保持			
解除後の動作	割り込み要求発生 による解除時	解除直後からBCLKを供給	解除直後からBCLKを供給		
	ハードウェアリセット による解除時	ハードウェアリセット後の動作	ハードウェアリセット後の動作		

注1. PLL回路動作許可ビット(48₁₆番地のビット7)=1の場合。

2. 全クロック停止制御ビットを“1”にする前に、ソフトウェアでこれらの動作を停止してください(図16.3.1参照)。

3. 外部バス、及びバス制御信号の入出力端子については、ソフトウェアでプログラマブル入出力ポートに切り替えることができます(表16.2.1参照)。

16.2 関連レジスタ

システムクロック制御レジスタ0 CM0 【6 ₁₆ 番地】					b7	b6	b5	b4	b3	b2	b1	b0
					0							
ビット	ビットシンボル	ビット名	機能	リセット時	R/W							
0	CM00	クロック出力機能選択ビット	表5.3.1参照	0	RW							
1	CM01			0	RW							
2	CM02	WAIT時周辺機能クロック停止ビット (注1)	0: ウエイトモード時、 f_{AD} 、 f_1 、 f_8 、 f_{32} 、 f_{256} 動作 1: ウエイトモード時、 f_{AD} 、 f_1 、 f_8 、 f_{32} 、 f_{256} 停止	0	RW							
3	CM03	周辺機能クロック選択ビット	表5.3.2参照	0	RW							
4	CM04			0	RW							
5	CM05	クロック外部入力選択ビット	0: 発振回路動作(発振子接続時) 1: 発振回路停止(外部で生成されたクロック入力時)	0	RW							
6	CM06	監視タイマ機能選択ビット (注2)	0: 監視タイマ割り込み 1: リセット	0	RW							
7	-	"0"に固定してください		0	RW							

注1. "1"にする場合は、WAIT命令の直前で"1"を設定してください。また、ウエイトモード解除後、直ちに"0"にしてください。
 2. リセット後、一度だけ"1"にできます。その後はソフトウェアで変更できません("1"に固定される)。
 3. このレジスタは、プロテクトビット α A₁₆番地のビット0を"1"にした後、設定してください。

図16.2.1 システムクロック制御レジスタ0のレジスタ構成

(1) WAIT時周辺機能クロック停止ビット(ビット2)

このビットを"1"にすると、ウエイトモード時、周辺機能クロック(f_{AD} 、 f_1 、 f_8 、 f_{32} 、 f_{256})が停止します。

システムクロック制御レジスタ1 CM1 【7 ₁₆ 番地】					b7	b6	b5	b4	b3	b2	b1	b0
							1	0	0	0	0	
ビット	ビットシンボル	ビット名	機能	リセット時	R/W							
0	CM10	全クロック停止制御ビット	このビットに"1"を書くと、全クロックが停止する(ストップモード)	0	RW (注1)							
4~1	-	"0"に固定してください		0	RW							
5	-	"1"に固定してください		1	RW							
6	CM16	X _{IN} 入力クロック回路選択ビット (注2)	0: X _{IN} ノイズキャンセラなし、2分周回路あり 1: X _{IN} ノイズキャンセラあり、2分周回路なし	0	RW							
7	CM17	メインクロック選択ビット (注3)	0: XINDを選択 1: PLLCLKを選択	0	RW							

注1. ストップモードの解除に使用する割り込みの割り込み要求が発生すると、"0"になります。
 2. リセット後、一度だけ"1"にできます。その後はソフトウェアで変更できません("1"に固定される)。 $f(X_{IN}) > 34\text{MHz}$ 時は"0"にしてください。
 3. PLL回路動作許可ビット(48₁₆番地のビット7)を"0"にすると、同時に"0"になります。また、PLL回路動作許可ビット=0のときはこのビットに書き込めません("0"に固定される)。このビットを"1"にする場合は、PLL回路ロック検出フラグ(48₁₆番地のビット3)が"1"になったことを確認した後に設定してください。
 4. このレジスタは、プロテクトビット α A₁₆番地のビット0を"1"にした後、設定してください。

図16.2.2 システムクロック制御レジスタ1のレジスタ構成

(1) 全クロック停止制御ビット(ビット0)

このビットに"1"を書くと、全クロックが停止し、ストップモードになります。

復帰用優先順位レジスタ RLVL 【9F ₁₆ 番地】				b7 b6 b5 b4 b3 b2 b1 b0			
ビット	ビット シンボル	ビット名	機 能	リセット時	R/W		
0	RLVL0	ストップ/ウェイト復帰用 割り込み優先レベル選択ビット	b2b1b0 000: レベル0 001: レベル1	0	RW		
1	RLVL1		010: レベル2 011: レベル3	0	RW		
2	RLVL2		100: レベル4 101: レベル5 110: レベル6 111: レベル7 (注)	0	RW		
3	FSIT	高速割り込み選択ビット	0: 割り込み優先レベル7は通常割り込みに使用 1: 割り込み優先レベル7は高速割り込みに使用	0	RW		
7~4	-	何も配置されていない		不定	-		

注. プロセッサ割り込み優先レベル(IPL)にも同じ値を設定してください。

図16.2.3 復帰用優先順位レジスタのレジスタ構成

(1) ストップ/ウェイト復帰用割り込み優先レベル選択ビット(ビット0~2)

これらのビットに設定されたレベルより高い優先レベルを持つ割り込み要求が、ストップモードの解除に使用できます。

特殊機能選択レジスタ PMD 【19B ₁₆ 番地】					b7 b6 b5 b4 b3 b2 b1 b0			
ビット	ビット シンボル	ビット名	機 能	リセット時	R/W			
0	PMD0	RDY入力許可ビット (注1)	0: RDY入力禁止 (P5 ₇ はプログラマブル入出力ポートとして機能) 1: RDY入力許可 (P5 ₇ はRDY端子として機能)	0	RW (注2)			
1	PMD1	HOLD入力、HLDA出力許可ビット (注1)	0: HOLD入力、HLDA出力禁止 (P5 ₅ 、P5 ₄ はプログラマブル入出力ポートとして機能) 1: HOLD入力、HLDA出力許可 (P5 ₅ 、P5 ₄ はHOLD端子、HLDA端子として機能)	0	RW (注2)			
2	PMD2	スタンバイ状態選択ビット	0: 外部バス 1: プログラマブル入出力ポート	0	RW			
5~3	-	何も配置されていない		不定	-			
6	PMD6	RDY解除タイミング選択ビット	0: RDY解除時ウエイトなし 1: RDY解除時ウエイトあり	0	RW			
7	-	何も配置されていない		不定	-			

注1. シングルチップモード時は、これらのビットの内容にかかわらず、各機能が「禁止」になります。
2. リセット後、一度だけ「1」にできます。「1」から「0」にすると、それ以降「1」にできません(「0」に固定される。)

図16.2.4 特殊機能選択レジスタのレジスタ構成

(1)スタンバイ状態選択ビット(ビット2)

このビットを「1」にすると、ストップモード、又はウエイトモード時、外部バス、及びバス制御信号の入出力端子が、プログラマブル入出力ポートに切り替わります(表16.2.1参照)。マイクロコンピュータと外部デバイスとの間で不要な電流が発生しないような端子の状態を、対応するポートレジスタ及びポート方向レジスタに設定することで、ストップモード及びウエイトモード時のシステム全体の消費電力を低減できます。

表16.2.1 外部バス、及びバス制御信号の入出力端子とプログラマブル入出力ポートの対応

外部バス及びバス制御信号	スタンバイ状態選択ビット	
	0	1
A ₀ ~ A ₇	A ₀ ~ A ₇	P2 ₀ ~ P2 ₇
A ₈ ~ A ₁₅	A ₈ ~ A ₁₅	P3 ₀ ~ P3 ₇
A ₁₆ ~ A ₂₃	A ₁₆ ~ A ₁₉ 、A ₂₀ /CS ₀ ~ A ₂₃ /CS ₃	P4 ₀ ~ P4 ₃ 、P4 ₄ ~ P4 ₇
D ₀ ~ D ₇	D ₀ ~ D ₇	P0 ₀ ~ P0 ₇
D ₈ ~ D ₁₅	D ₈ ~ D ₁₅	P1 ₀ ~ P1 ₇
WRL/WR、WRH/BHE、RD、CLK _{OUT} / BCLK、ALE	WRL/WR、WRH/BHE、RD、CLK _{OUT} / BCLK、ALE	P5 ₀ 、P5 ₁ 、P5 ₂ 、P5 ₃ 、P5 ₆

16.3 ストップモード

全クロック停止制御ビット(7₁₆番地のビット0)を“1”にすると、ストップモードになり、全てのクロックが停止します。ストップモードでは、RAM保持電圧(V_{RAM})まで V_{CC} を下げるができるため、消費電力が低減できます。

ストップモードは、以下に示す割り込み要求の発生、又はハードウェアリセットによって解除されます。割り込みについては「第7章 割り込み」、及び各内蔵周辺装置の章を参照してください。

\overline{NMI} 割り込み

\overline{INT}_i 割り込み($i=0\sim 4$)

キー入力割り込み

16.3.1 設定方法

図16.3.1にストップモード関連レジスタ初期設定例を示します。

なお、割り込みを使用する場合は、割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

16.3.2 解除後の動作

(1)割り込みを使用してストップモードを解除した場合

解除用の割り込みの割り込み要求が発生すると、全クロック停止制御ビットが“0”になる。その直後から発振が再開し、BCLKが供給される。
解除用の割り込みルーチンを実行する。

ストップ/ウエイト復帰用割り込み優先レベル選択ビット($RLVL0\sim 3$)<優先レベルである割り込みが複数設定されている場合は、最初に発生した割り込み要求でストップモードが解除されます。

また優先レベル< $RLVL0\sim 3$ である割り込み要求がストップモード中に発生した場合は、受け付けられずに保持され、ストップモード解除用割り込みルーチン終了後、優先レベルの高い順に受け付けられます。

ストップモード中の割り込み要求が不要な割り込みについては、全クロック停止制御ビットを“1”にする前に、その割り込みの優先レベルを“000₂”にしてください。

なお、ストップ/ウエイト復帰用割り込み優先レベル選択ビットの内容と同じ値を、プロセッサ割り込み優先レベル(IPL)に設定してください。

(2)ハードウェアリセットでストップモードを解除した場合

CPU、及びSFR領域は初期化され、内部RAM領域にはストップモード直前の内容が保持される。
リセット後の内部処理シーケンス(「4.4 リセット後の内部処理シーケンス」参照)を実行する。

16.3.3 解除後の設定

全クロック停止制御ビットを“1”にしたとき、メインクロック分周比選択ビット(C_{16} 番地のビット4~0)の内容は、自動的に以下のようになります。

- ・ X_{IN} 入力クロック回路選択ビット(7₁₆番地のビット6)が“0”のとき、“00100₂”(4分周)
- ・ X_{IN} 入力クロック回路選択ビット(7₁₆番地のビット6)が“1”のとき、“01000₂”(8分周)

したがって、ストップモード解除後、これらのビットの内容を元に戻す必要がある場合は、図16.3.2に示す手順で再設定してください。

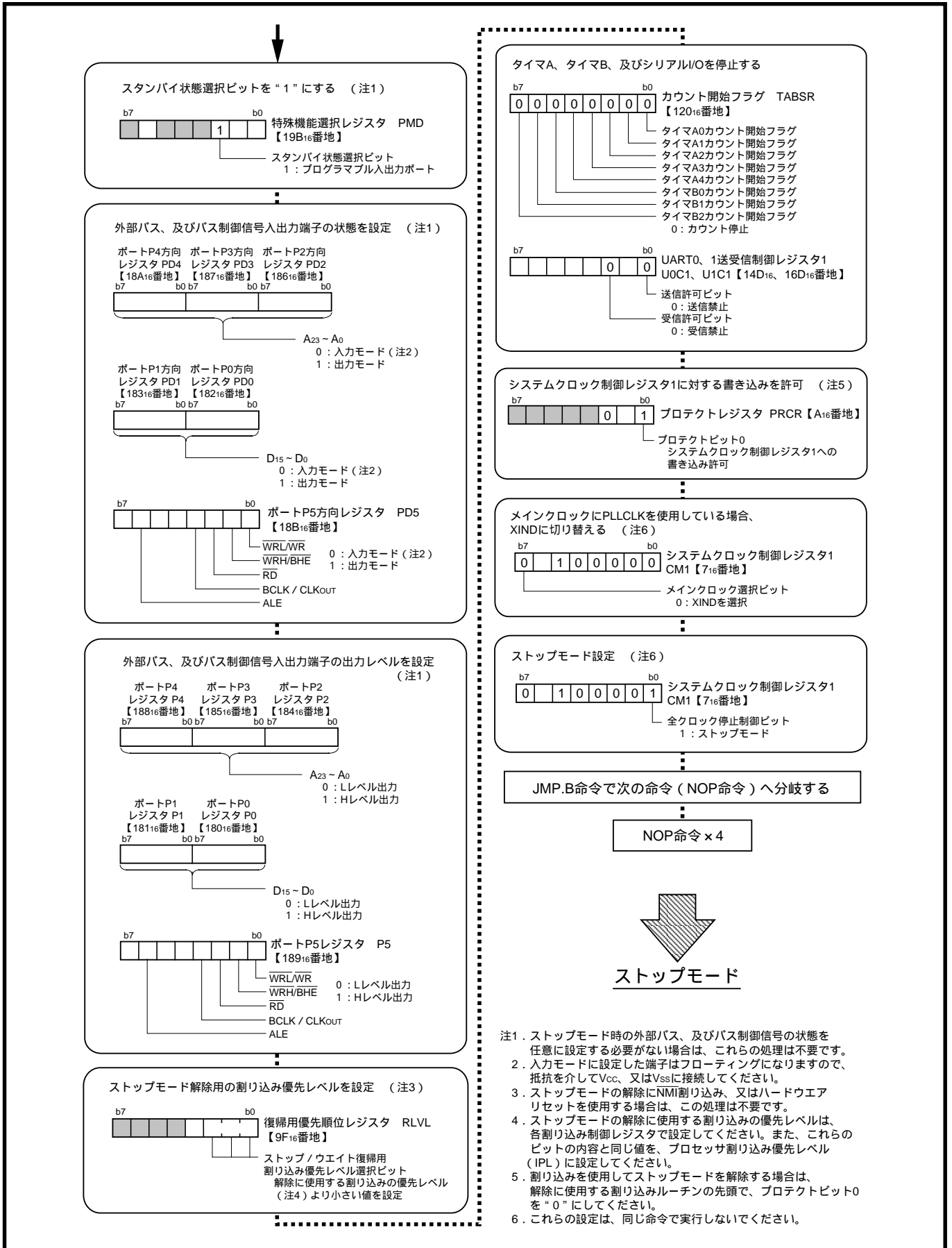


図16.3.1 ストップモード関連レジスタ初期設定例

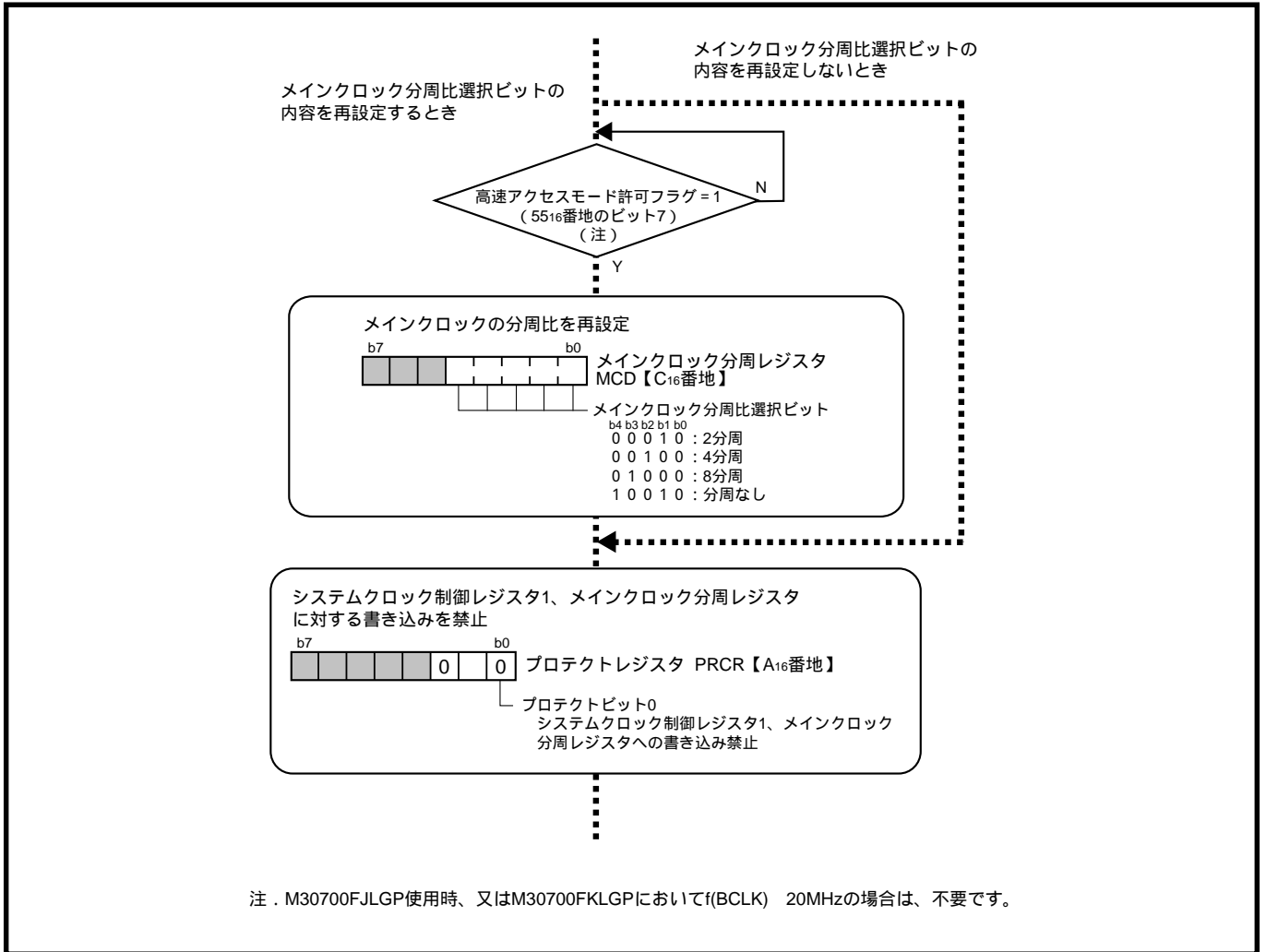


図16.3.2 ストップモード解除後の設定例

16.4 ウエイトモード

WAIT命令を実行すると、ウエイトモードになり、BCLKが停止します。

ウエイトモード時、内蔵周辺装置を使用しない場合は、内蔵周辺装置用のクロックを停止できます。

ウエイトモードは、割り込み要求発生(表16.4.1参照)又はハードウェアリセットによって解除されます。

表16.4.1 ウエイトモードの解除に使用できる割り込み

使用できる割り込み	割り込み要求が発生する各機能の使用条件	
	周辺機能クロック動作	周辺機能クロック停止
NMI割り込み	-	
INT _i 割り込み(i=0~4)	-	
キー入力割り込み	-	
タイマA _i 割り込み(i=0~4)	-	イベントカウンタモード時
タイマB _i 割り込み(i=0~2)		
UART _i 送信割り込み(i=0, 1)	-	外部クロック選択時
UART _i 受信割り込み(i=0, 1)		
A-D変換割り込み	-	使用できない

16.4.1 設定方法

図16.4.1にウエイトモード関連レジスタ初期設定例を示します。

なお、割り込みを使用する場合は、割り込みを許可するための設定が必要です。詳細は「第7章 割り込み」を参照してください。

16.4.2 解除後の動作

(1) 割り込みを使用してウエイトモードを解除した場合

解除用の割り込みの割り込み要求が発生すると、BCLKが供給される。

解除用の割り込みルーチンを実行する。

ストップ/ウエイト復帰用割り込み優先レベル選択ビット(RLVL0~3) < 優先レベルである割り込みが複数設定されている場合は、最初に発生した割り込み要求でウエイトモードが解除されます。

また優先レベル < RLVL0~3である割り込み要求がウエイトモード中に発生した場合は、受け付けられずに保持され、ウエイトモード解除用割り込みルーチン終了後、優先レベルの高い順に受け付けられます。

ウエイトモード中の割り込み要求が不要な割り込みについては、WAIT命令実行前に、その割り込みの優先レベルを“000₂”にしてください。

なお、ストップ/ウエイト復帰用割り込み優先レベル選択ビットの内容と同じ値を、プロセッサ割り込み優先レベル(IPL)に設定してください。

(2) ハードウェアリセットでウエイトモードを解除した場合

CPU、及びSFR領域は初期化され、内部RAM領域にはウエイトモード直前(WAIT命令実行前)の内容が保持される。

リセット後の内部処理シーケンス(「4.4 リセット後の内部処理シーケンス」参照)を実行する。

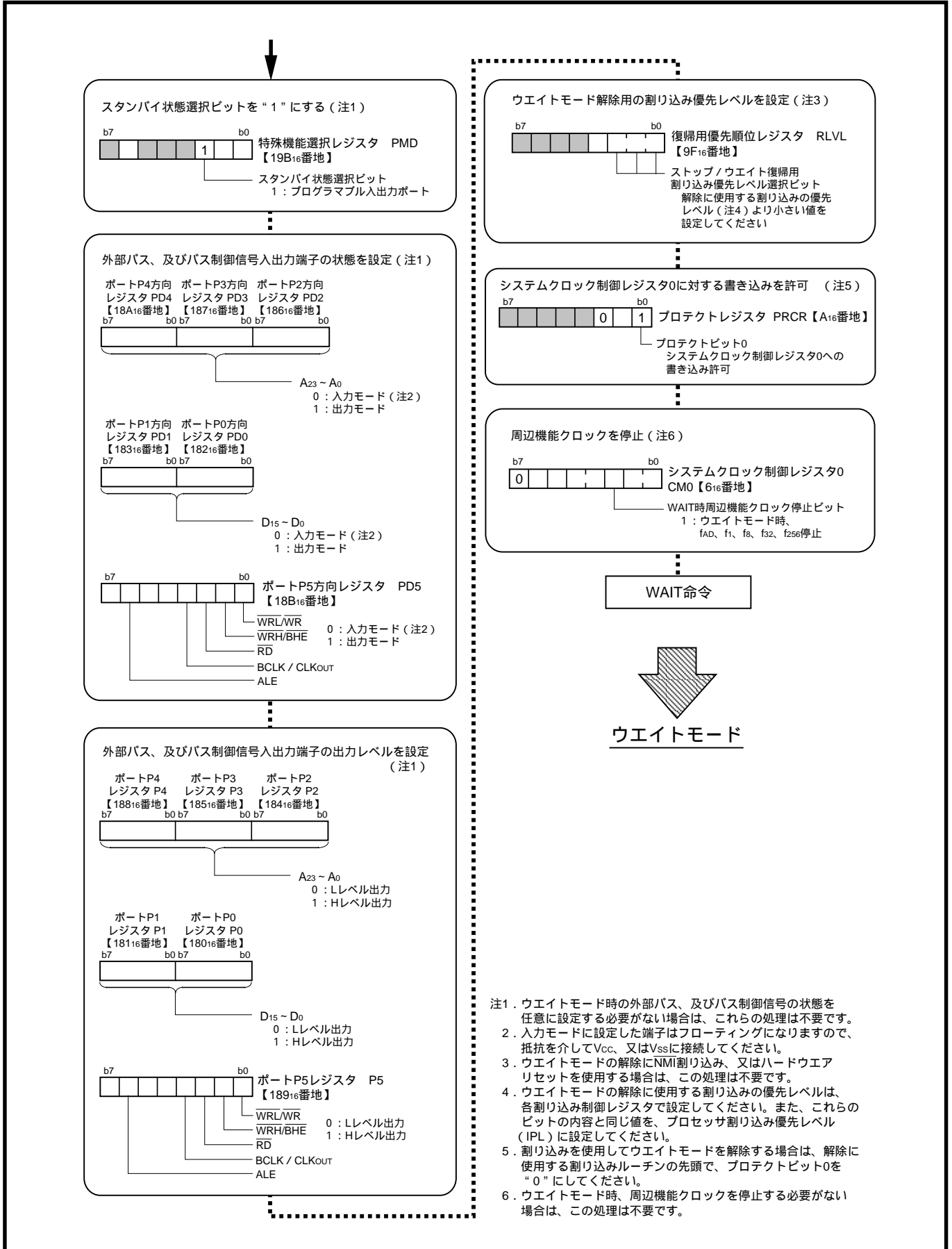


図16.4.1 ウェイトモード関連レジスタ初期設定例

第 17 章

フラッシュメモリ

17.1 概 要

17.2 CPU書き換えモード

【CPU書き換えモード使用上の注意】

17.3 シリアル入出力モード

【シリアル入出力モード使用上の注意】

17.4 パラレル入出力モード

【パラレル入出力モード使用上の注意】

17

17.1 概要

内蔵のフラッシュメモリは、CPU書き換えモード、シリアル入出力モード、及びパラレル入出力モードの3つの書き換えモードで操作できます。

表17.1.1 フラッシュメモリの性能概要

項目	性能
電源電圧	FV _{cc} : 5V ± 0.5V、V _{cc} : 3.3V ± 0.3V
プログラム/イレース電圧	FV _{cc} : 5V ± 0.5V、V _{cc} : 3.3V ± 0.3V
プログラム	1ワード(2バイト)単位
イレース	ブロック単位
フラッシュメモリ書き換えモード	CPU書き換えモード シリアル入出力モード パラレル入出力モード
プログラム/イレース回数	100回

表17.1.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	シリアル入出力モード	パラレル入出力モード
機能概要	シングルチップモード又はメモリ拡張モードで、中央演算処理装置(CPU)がソフトウェアコマンドを実行することにより、内蔵フラッシュメモリ領域を書き換える	専用シリアルライタを使用して、内蔵フラッシュメモリ領域を書き換える	専用パラレルライタを使用して、内蔵フラッシュメモリ領域を書き換える
使用できるROMライタ	(必要なし)	シリアルライタ(注) ・(株)慧星電子システム製 ・横河デジタルコンピュータ(株)製	パラレルライタ(注) ・(株)慧星電子システム製

注：シリアルライタ及びパラレルライタについては、最新のカタログ類を参照してください。

17.1.1 FV_{cc}端子

FV_{cc}端子は、フラッシュメモリ用電源入力端子です。この端子には、5V ± 0.5Vを印加してください。また、FV_{cc}端子とV_{ss}端子の間には、0.1 μF程度(参考値)の電圧安定用のコンデンサを挿入してください(図17.1.1参照)。

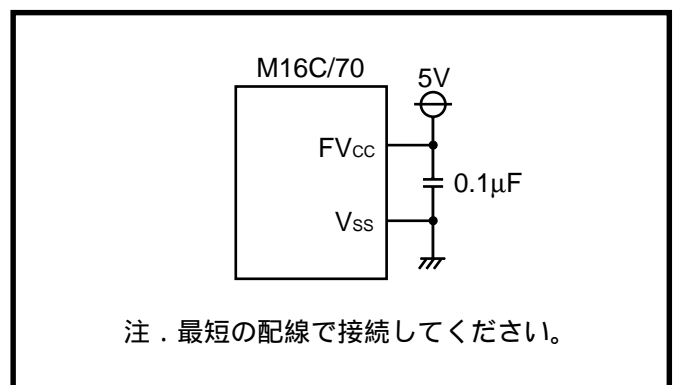


図17.1.1 FV_{cc} - V_{ss}間のバイパスコンデンサ

17.1.2 メモリ配置

内蔵フラッシュメモリの領域はいくつかのブロックに分割されており、各ブロックごとにプログラム/イレーズを禁止する(ロックする)ことができます。

図17.1.2にフラッシュメモリのメモリ配置を示します。

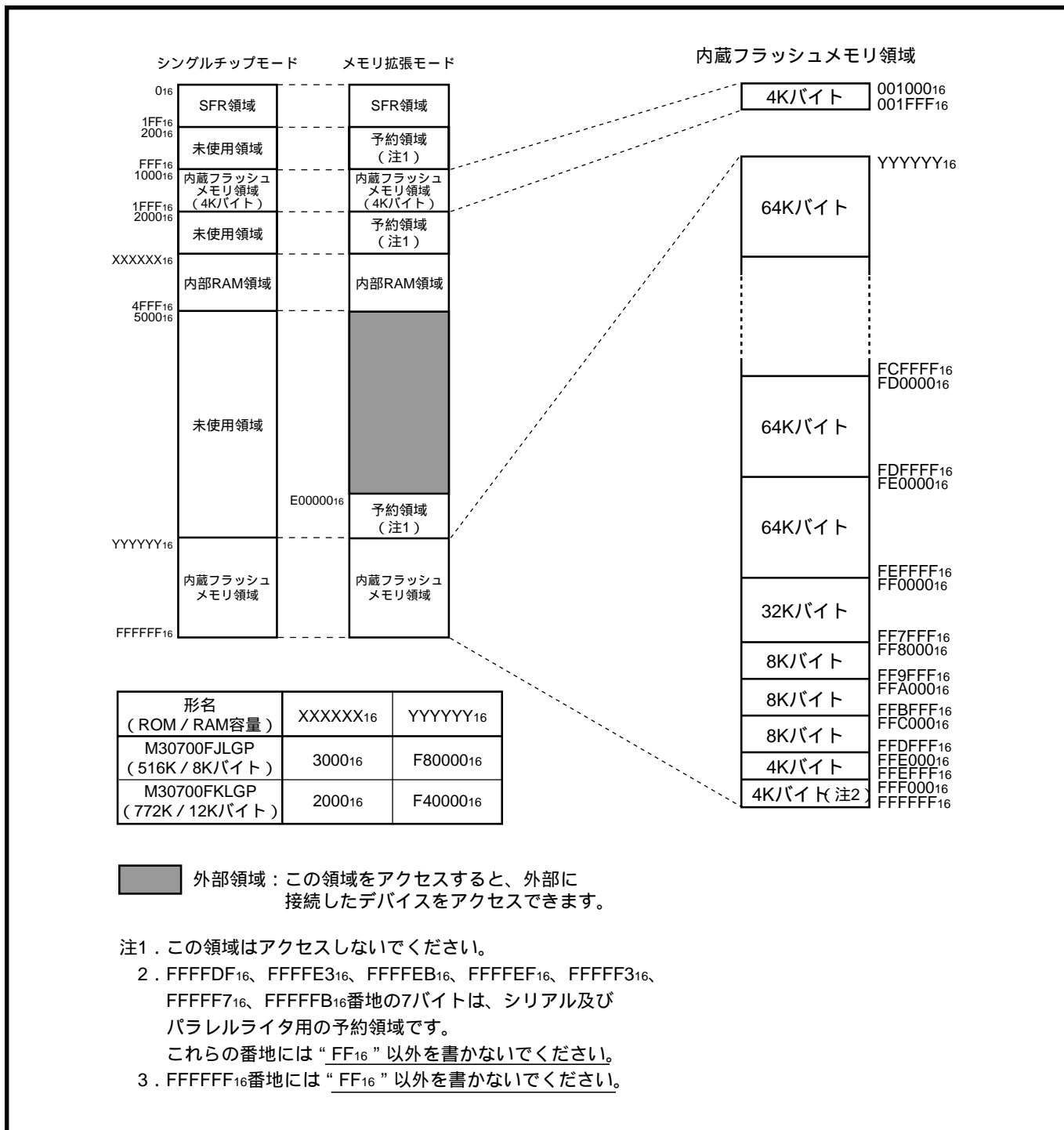


図17.1.2 フラッシュメモリのメモリ配置

17.2 CPU書き換えモード

CPU書き換えモードでは、中央演算処理装置(CPU)がソフトウェアコマンドを実行することにより、内蔵フラッシュメモリ領域を書き換えることができます。したがって、ROMライタなどを使用せずに、マイクロコンピュータを基板に実装した状態で、内蔵フラッシュメモリ領域の内容を書き換えることができます。

書き換え制御プログラムは、あらかじめ内蔵フラッシュメモリ領域に書き込んでください。ただし、CPU書き換えモードでは、内蔵フラッシュメモリに対するオペコードフェッチができません。したがって、書き換え制御プログラムは、内蔵フラッシュメモリ以外の領域(内部RAM領域など)に転送した後、その領域上で実行してください。

CPU書き換えモードはシングルチップモード、及びメモリ拡張モードで使用できます。CPU書き換えモード時は、f(BCLK) 20MHzにしてください。

CPU書き換えモードでは表17.2.1に示すソフトウェアコマンドが使用できます。各コマンドの詳細については、「17.2.4 ソフトウェアコマンド」を参照してください。

なお、コマンド及びデータの読み出し/書き込みは、16ビット単位で、内蔵フラッシュメモリ領域内の偶数番地に対して行ってください。コマンドコード書き込み時、上位8ビット(D₁₅~D₈)は無視されます。

表17.2.1 ソフトウェアコマンド

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル			第3バスサイクル		
	モード	アドレス	データ (D ₁₅ ~D ₀)	モード	アドレス	データ (D ₁₅ ~D ₀)	モード	アドレス	データ (D ₁₅ ~D ₀)
リードアレイ	ライト	X	xxFF ₁₆	-	-	-	-	-	-
クリアステータス	ライト	X	xx50 ₁₆	-	-	-	-	-	-
プログラム	ライト	X	xx40 ₁₆	ライト	WA	WD	-	-	-
ブロックイレース	ライト	X	xx20 ₁₆	ライト	BA	xxD0 ₁₆	-	-	-
ロックビットプログラム	ライト	X	xx77 ₁₆	ライト	BA	xxD0 ₁₆	-	-	-
リードロックビットステータス	ライト	X	xx71 ₁₆	ライト	BA	xxD0 ₁₆	リード	0055 ₁₆	D ₆

WA : 書き込み番地

WD : 書き込みデータ(16ビット)

BA : ブロックの最上位番地(ただし、A₀=0)

D₆ : ロックビットフラグ(D₆=1 : 非ロック状態、D₆=0 : ロック状態)

X : 内蔵フラッシュメモリ領域内の任意の偶数番地(A₀=0)

xx : コマンドコード上位8ビット(任意の値)

17.2.1 関連レジスタ

フラッシュメモリ制御レジスタ1 FMR1 【55 ₁₆ 番地】					b7	b6	b5	b4	b3	b2	b1	b0
							0	0			0	
ビット	ビット シンボル	ビット名	機能		リセット時	R/W						
0	-	読み出し時の値は不定			1	RO						
1	-	“0”に固定してください			0	RW						
2	-	読み出し時の値は不定			1	RO						
3	-	読み出し時の値は不定			0	RO						
4	-	“0”に固定してください			0	RW						
5	-	“0”に固定してください。読み出し時の値は不定			不定	-						
6	FMR16	ロックビットフラグ	0: ロック状態 1: 非ロック状態		0	RO						
7	-	読み出し時の値は不定			不定	-						

図17.2.1 フラッシュメモリ制御レジスタ1のレジスタ構成

(1)ロックビットフラグ(ビット6)

各ブロックのロックビットの状態を示すビットです。リードロックビットステータスコマンドで読み出せます。

フラッシュメモリ制御レジスタ0 FMR0 【57 ₁₆ 番地】					b7	b6	b5	b4	b3	b2	b1	b0
							0	0				
ビット	ビット シンボル	ビット名	機能		リセット時	R/W						
0	FMR00	RY / BYステータスフラグ	0: BUSY(コマンド実行中) 1: READY(コマンド実行終了)		1	RO						
1	FMR01	CPU書き換えモード選択ビット (注1)	0: CPU書き換えモード無効 1: CPU書き換えモード有効		0	RW (注2)						
2	FMR02	ロックビット無効選択ビット (注3)	0: ロックビット有効 1: ロックビット無効		0	RW (注2)						
3	FMR03	フラッシュメモリリセット ビット (注4)	0: 通常動作 1: リセット		0	RW						
5, 4	-	“0”に固定してください			0	RW						
6	FMR06	プログラムステータスフラグ	0: 正常終了 1: エラー (注5)		0	RO						
7	FMR07	イレーズステータスフラグ	0: 正常終了 1: エラー (注5)		0	RO						

注1. このビットへの書き込みは、内蔵フラッシュメモリ以外の領域上で行ってください。
 2. “1”にするときは、“0”を書き込んだ後、続けて“1”を書き込んでください。“0”にするときは、“0”を書き込んでください。
 3. CPU書き換えモード選択ビット(ビット1)が“1”のとき書き込みます。CPU書き換えモード選択ビットが“0”になると、同時に“0”になります。
 4. CPU書き換えモード選択ビット(ビット1)が“1”のとき有効です。CPU書き換えモード選択ビットが“0”のときは“0”に固定してください。
 5. “0”にするときは、クリアステータスコマンドを実行してください。

図17.2.2 フラッシュメモリ制御レジスタ0のレジスタ構成

(1)RY/BYステータスフラグ(ビット0)

プログラム、ブロックイレーズ、ロックビットプログラム、及びリードロックビットステータスの各コマンドの実行状況を示すフラグです。これらのコマンド実行後は、このフラグでコマンドの実行終了を確認してください。

(2)CPU書き換えモード選択ビット(ビット1)

このビットを“1”にすると、CPU書き換えモードになり、コマンドの受付が可能になります。このビットを“1”にするときは、“0”を書き込んだ後、続けて“1”を書き込んでください。“0”にするときは、“0”を書き込んでください。

(3)ロックビット無効選択ビット(ビット2)

このビットを“1”にすると、各ブロックごとに設定したロックビット(「17.2.2 データ保護機能」参照)を無効にできます。“0”にすると、設定したロックビットが有効になります。このビットを“1”にするときは、“0”を書き込んだ後、続けて“1”を書き込んでください。“0”にするときは、“0”を書き込んでください。

(4)フラッシュメモリリセットビット(ビット3)

このビットに“1”を書き込むと、内蔵フラッシュメモリに対するアクセスが中断され、フラッシュメモリ制御回路がリセットされます。“0”を書き込むとリセットが解除されます。“0”を書き込むときは、20 μ s待ってください。また、これらの処理中は、内蔵フラッシュメモリをアクセスしないでください。このビットを“1” “0”にした後、フラッシュメモリをアクセスする場合は、20 μ s待ってください(図17.2.3参照)。

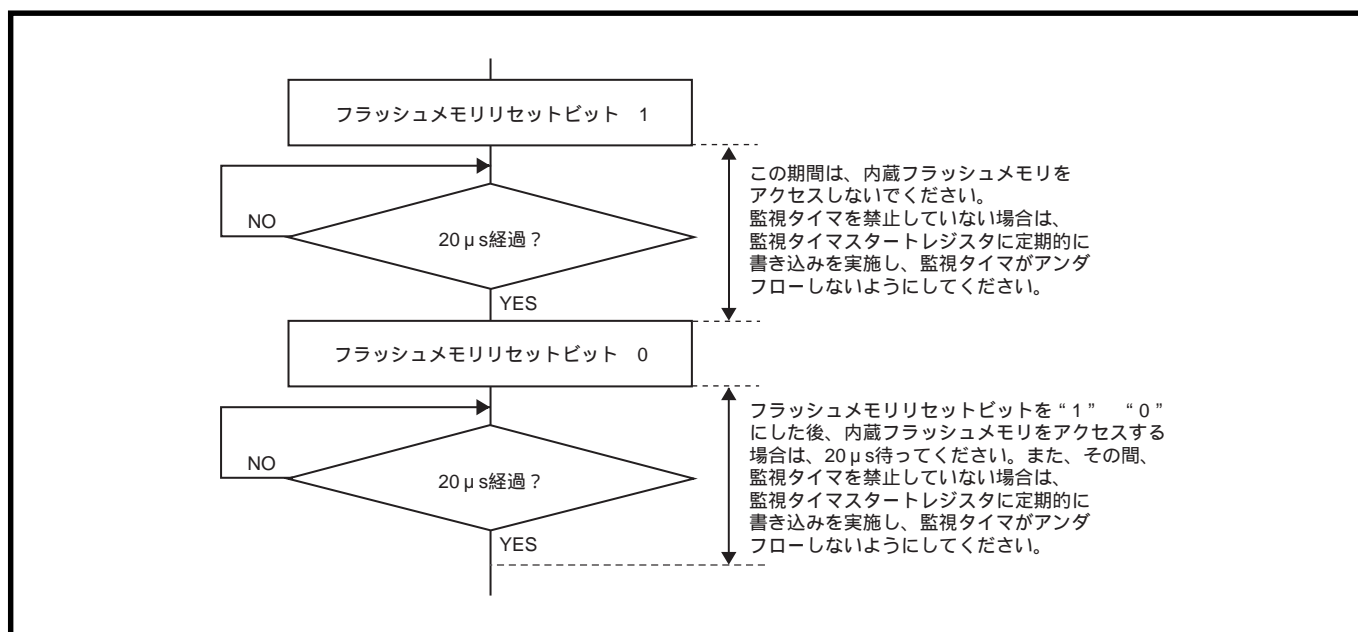


図17.2.3 フラッシュメモリリセット手順

(5)プログラムステータスフラグ(ビット6) イレーズステータスフラグ(ビット7)

プログラムステータスフラグはプログラム及びロックビットプログラムコマンドの実行結果を、イレーズステータスフラグはブロックイレーズコマンドの実行結果を示すフラグです。各コマンド実行時にエラーが発生すると、これらのフラグが“1”になります。

これらのフラグを“0”にするときは、クリアステータスコマンドを実行してください。エラーの詳細については、「17.2.5 フルステータスチェック」を参照してください。

プロセッサモードレジスタ1 PM1 【5 ₁₆ 番地】					b7 b6 b5 b4 b3 b2 b1 b0				
					0	0	0	0	0
ビット	ビット シンボル	ビット名	機 能	リセット時	R/W				
1、0	-	“0”に固定してください		0	RW				
2	PM12	内部メモリウエイトビット	0 : BCLKの1サイクルアクセス 1 : BCLKの2サイクルアクセス	0	RW				
3	PM13	SFR領域ウエイトビット	0 : BCLKの2サイクルアクセス 1 : BCLKの3サイクルアクセス	1	RW				
4	-	“0”に固定してください		0	RW				
5	PM15	ALE出力端子選択ビット(注1)	0 : ALE出力禁止(P5 ₆ はプログラマブル入出力ポート として機能) 1 : ALE出力許可(P5 ₆ はALE端子として機能)	0	RW				
7、6	-	“0”に固定してください		0	RW				

注1 . シングルチップモード時は、このビットの内容にかかわらず「ALE出力禁止」になります。
2 . このレジスタは、プロテクトビット1(A₁₆番地のビット1)を“1”にした後、設定してください。

図17.2.4 プロセッサモードレジスタ1のレジスタ構成

(1)内部メモリウエイトビット(ビット2)

CPU書き換えモード時は、このビットを“1”にしてください。

17.2.2 データ保護機能

内蔵フラッシュメモリの各ブロックは、不揮発性のロックビットを持っています。ロックビットの状態により、各ブロックごとにプログラム/イレーズを禁止する(ロックする)ことができます。したがって、データの誤書き込み/消去を防ぐことができます。ロックビットの内容によるブロックの状態を以下に示します。

- ・ロックビットが“0”のとき：ロック状態(そのブロックはプログラム/イレーズできない)
- ・ロックビットが“1”のとき：非ロック状態(そのブロックはプログラム/イレーズできる)

ロックビットは、ロックビットプログラムコマンドを実行すると、“0”(ロック状態)に、ブロックを消去すると“1”(非ロック状態)になります。ロックビットをロックビットプログラムコマンドで“1”にすることはできません。

また、ロックビットの状態は、リードロックビットステータスコマンドにより読み出すことができます。

なお、ロックビット無効選択ビット(57₁₆番地のビット2)を“1”にすると、ロックビットの機能が無効になり、全ブロックが非ロック状態になります(各ロックビットの内容は変化しません)。ロックビット無効選択ビットを“0”にすると、ロックビットの機能が有効になります(ロックビットの内容は保持されています)。

ロックビット無効選択ビット=1の状態、ブロックイレーズコマンドを実行すると、ロックビットの内容にかかわらず、対象となるブロックが消去されます。消去終了後、そのブロックのロックビットは“1”(非ロック状態)になります。

各コマンドの詳細については、「17.2.4 ソフトウェアコマンド」を参照してください。

17.2.3 CPU書き換えモード設定/解除方法

図17.2.5にCPU書き換えモードの設定/解除手順を示します。

CPU書き換えモードでは、内蔵フラッシュメモリに対するオPCODEフェッチができません。したがって、書き換え制御プログラムは、内蔵フラッシュメモリ以外の領域に転送した後、その領域で実行してください。

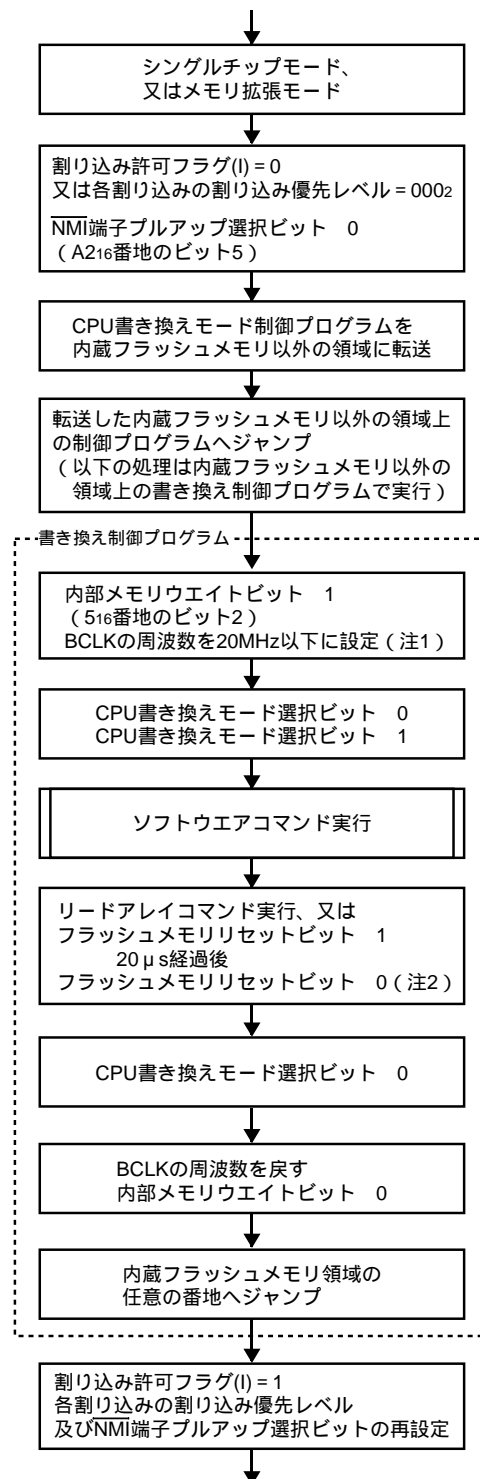
また、CPU書き換えモード中に割り込みが発生しないように、CPU書き換えモードを選択する前に、以下の処理を実施してください。

- ・割り込み許可フラグ(I)=0、又は割り込み優先レベル=000(割り込み禁止)にする
- ・NMI端子にV_{CC}レベルを印加する、又はNMI端子プルアップ選択ビット(A2₁₆番地のビット5)=0に設定してNMI端子を開放する

監視タイマ禁止レジスタ(50₁₆番地)で監視タイマを禁止していない場合は、CPU書き換えモード中も、監視タイマスタートレジスタ(E₁₆番地)に定期的に書き込みを行い、監視タイマがアンダフローしないようにしてください。

なお、CPU書き換えモード時に、割り込み及びリセットが発生した場合は、以下のようになります。またこの場合、対象ブロックの内容は無効になります。

- ・マスカブル割り込み、NMI割り込み、監視タイマ割り込み
プログラムが暴走します。この場合は、パワーオンリセットを実行してください。
- ・ハードウェアリセット、ソフトウェアリセット
内蔵フラッシュメモリ制御回路及びフラッシュメモリ制御レジスタ0,1がリセットされ、マイクロコンピュータがリセットされます(「第4章 リセット」参照)。



- 注1. BCLKの周波数が20MHzを越える場合は、20MHz以下となるようにメインクロック分周比選択ビット(C16番地のビット0~4)を設定してください。
またこのとき、外部バスタイミングが変わりますので、必要に応じてバスタイミングを変更してください。
- 注2. この処理の後、20µsの間は、内蔵フラッシュメモリをアクセスしないでください(図17.2.3参照)。

図17.2.5 CPU書き換えモードの設定 / 解除手順

17.2.4 ソフトウェアコマンド

ソフトウェアコマンドについて、以下に説明します。

ソフトウェアコマンド及びデータの読み出し/書き込みは、16ビット単位で、内蔵フラッシュメモリ領域内の偶数番地に対して行ってください。コマンドコード書き込み時、上位8ビット($D_{15} \sim D_8$)は無視されます。

(1) リードアレイ

内蔵フラッシュメモリの内容を読み出すコマンドです。

第1バスサイクルでコマンドコード“ $xxFF_{16}$ ”を書き込むと、リードアレイモードになります。次のバスサイクル以降で読み出す番地を入力すると、指定した番地の内容が16ビット単位でデータバス($D_{15} \sim D_0$)に読み出されます。

リードアレイモードは、他のコマンドが書き込まれるまで保持されます。

(2) クリアステータス

ステータスフラグを“0”にするコマンドです。

第1バスサイクルでコマンドコード“ $xx50_{16}$ ”を書き込むと、プログラムステータスフラグ(57₁₆番地のビット6)とイレーズステータスフラグ(57₁₆番地のビット7)が“0”になります。

(3) プログラム

1ワード(2バイト)単位でプログラムを実行するコマンドです。

図17.2.6にプログラムフローチャートを示します。

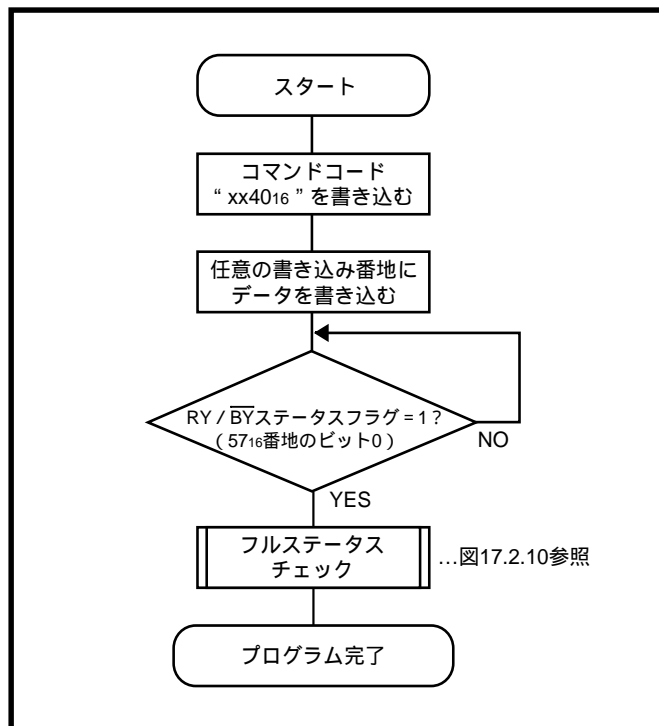


図17.2.6 プログラムフローチャート

(4)ブロックイレーズ

ブロック単位でイレーズを実行するコマンドです。

図17.2.7にブロックイレーズフローチャートを示します。

(5)ロックビットプログラム

任意のブロックのロックビットを“0(ロック状態)”にするコマンドです。

図17.2.8にロックビットプログラムフローチャートを示します。

(6)リードロックビットステータス

任意のブロックのロックビットの状態を読み出すコマンドです。

図17.2.9にリードロックビットステータスフローチャートを示します。

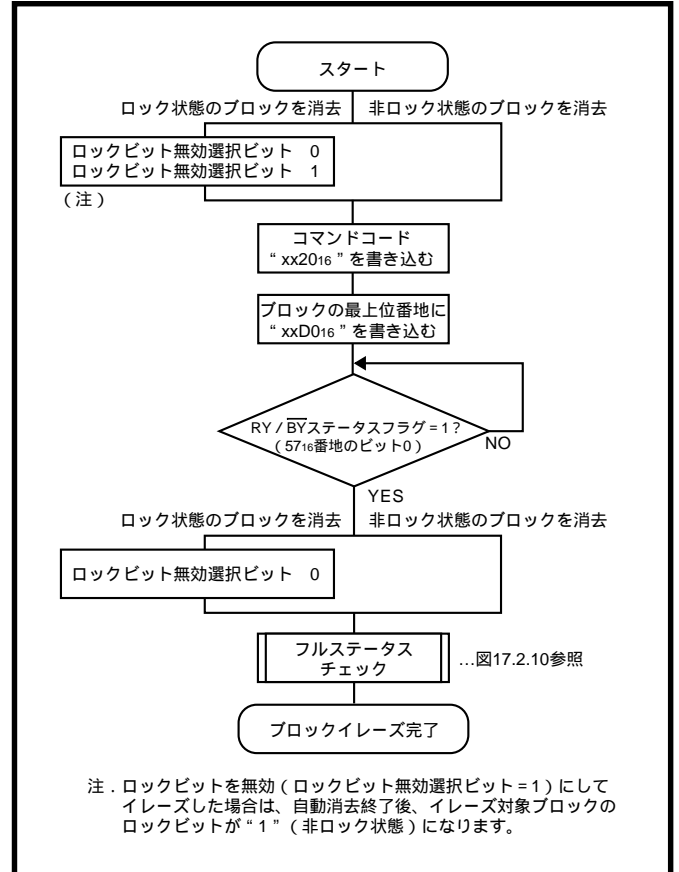


図17.2.7 ブロックイレーズフローチャート

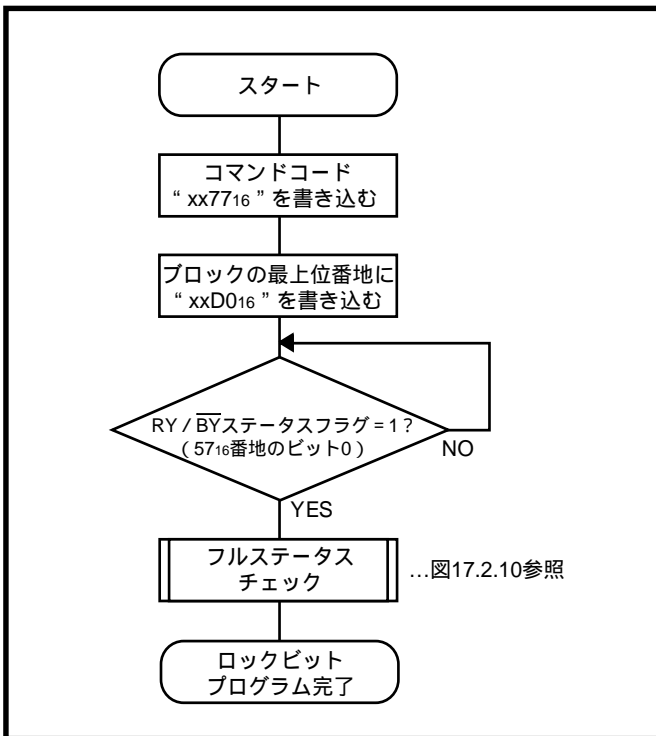


図17.2.8 ロックビットプログラムフローチャート

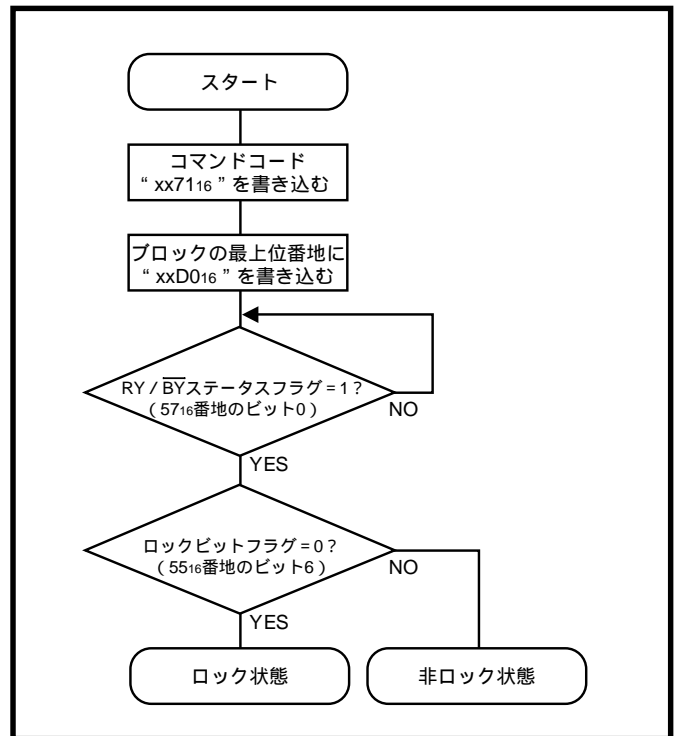


図17.2.9 リードロックビットステータスフローチャート

17.2.5 フルステータスチェック

プログラム/イレーズ終了時、エラーが発生すると、プログラムステータスフラグ(57₁₆番地のビット6)、イレーズステータスフラグ(57₁₆番地のビット7)が“1”になり、各エラーの発生を示します。したがって、プログラム/イレーズ終了時、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表17.2.2にエラー及びステータス(57₁₆番地のビット6、7)の状態を、図17.2.10にフルステータスチェックフローチャート及び各エラー発生時の対処方法を示します。

表17.2.2 エラー及びステータスの状態

ステータス		エラー	エラー発生条件
イレーズステータス	プログラムステータス		
1	1	コマンドシーケンスエラー	<ul style="list-style-type: none"> ・コマンドを正しく書き込まなかったとき ・ブロックイレーズコマンド、ロックビットプログラムコマンド、リードロックビットステータスコマンドの第2バスサイクルのデータに、“xxD0₁₆”又は“xxFF₁₆”以外のデータを書き込んだとき(注1)
1	0	イレーズエラー	<ul style="list-style-type: none"> ・ロックされたブロックに対してブロックイレーズを実行したとき(注2) ・ロックされていないブロックに対してブロックイレーズを実行し、正しくイレーズされなかったとき
0	1	プログラムエラー	<ul style="list-style-type: none"> ・ロックされたブロック内のワードに対してプログラムを実行したとき(注2) ・ロックされていないブロック内のワードに対してプログラムを実行し、正しくプログラムされなかったとき ・ロックビットプログラムを実行し、正しくプログラムされなかったとき

注1. これらのコマンドの第2バスサイクルで“xxFF₁₆”を書き込むと、リードアレイモードになり、同時に、第1バスサイクルで書き込んだコマンドコードはキャンセルされます。

2. ロックビットが無効(ロックビット無効選択ビット=1)の場合は、これらの条件でもエラーは発生しません。

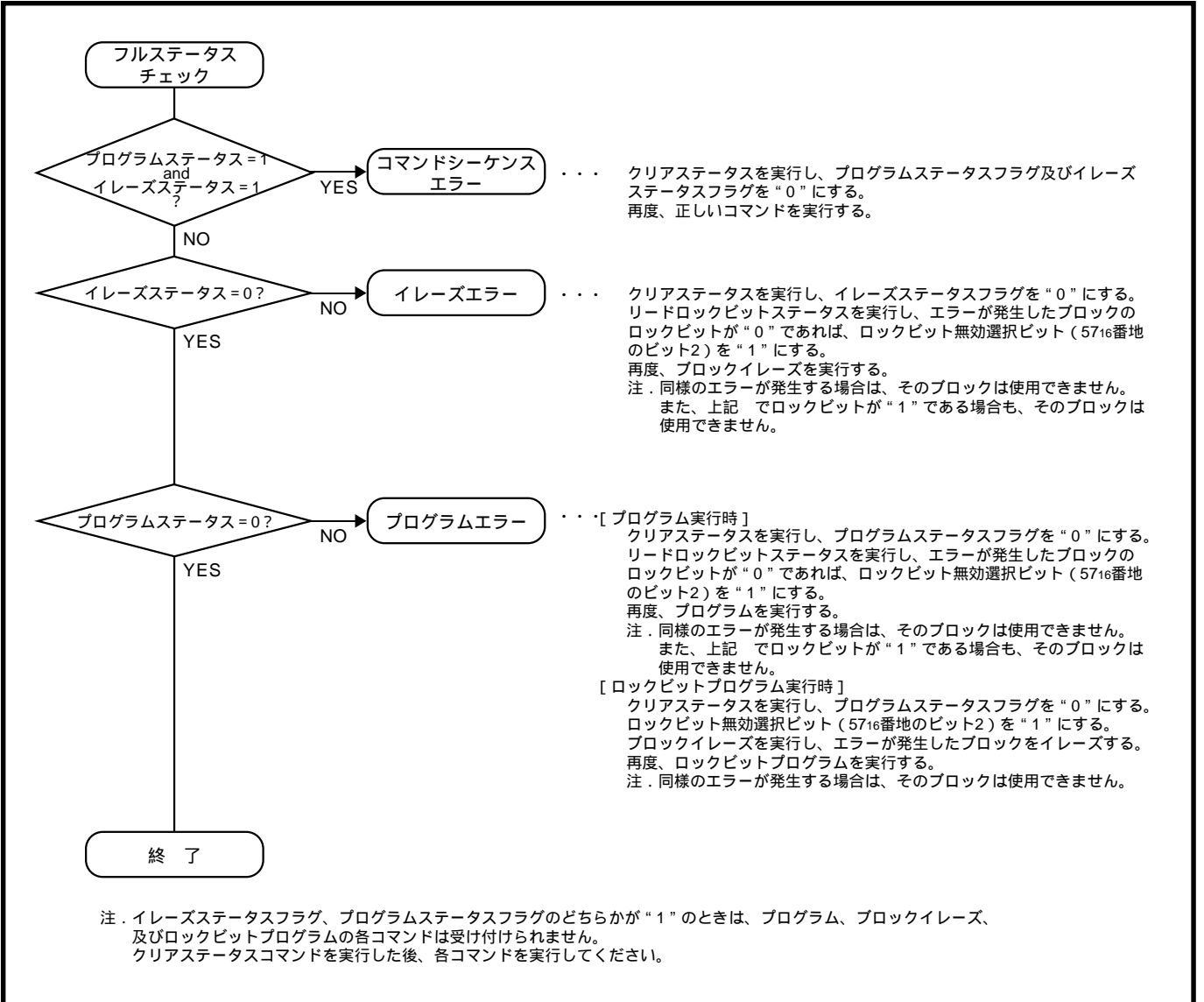


図17.2.10 フルステータスチェックフローチャート及び各エラー発生時の対処方法

17.2.6 電気的特性

交流電気的特性($V_{CC}=3.3V\pm 0.3V$, $FV_{CC}=5V\pm 0.5V$, $T_a=0\sim 60$, $f(BCLK)=20MHz$)

記号	項目	規格値			単位
		最小	標準	最大	
I _{CC1}	V _{CC} 電源電流(プログラム時)			54	mA
I _{CC2}	V _{CC} 電源電流(イレーズ時)			54	mA

交流電気的特性($V_{CC}=3.3V\pm 0.3V$, $FV_{CC}=5V\pm 0.5V$, $T_a=0\sim 60$, $f(BCLK)=20MHz$)

項目	規格値			単位
	最小	標準	最大	
ワードプログラム時間		25	600	μs
4K/8Kブロックイレーズ時間		0.3	8	s
32Kブロックイレーズ時間		0.6	8	s
64Kブロックイレーズ時間		0.8	8	s
ロックビットプログラム時間		25	600	μs

【CPU書き換えモード使用上の注意】

1. CPU書き換えモードでは、内蔵フラッシュメモリに対するオペコードフェッチができません。したがって、書き換え制御プログラムは、内蔵フラッシュメモリ以外の領域に転送した後、その領域上で実行してください(図17.2.5参照)。
また、内蔵フラッシュメモリ以外の領域で実行するため、書き換え制御プログラム中の命令の記述(指定番地、アドレッシングモードなど)に注意してください。
2. CPU書き換えモード中に割り込みが発生しないように、CPU書き換えモードを選択する前に、以下の処理を実施してください。
 - ・割り込み許可フラグ(I)=0、又は割り込み優先レベル=000(割り込み禁止)にする
 - ・NMI端子にV_{CC}レベルを印加する、又はNMI端子プルアップ選択ビット(A₂₁₆番地のビット5)=0に設定してNMI端子を開放する
 監視タイマ禁止レジスタ(50₁₆番地)で監視タイマを禁止していない場合は、CPU書き換えモード中も、監視タイマスタートレジスタ(E₁₆番地)に定期的書き込みを行い、監視タイマがオーバフローしないようにしてください。
3. コマンド及びデータの読み出し/書き込みは、16ビット単位で、内蔵フラッシュメモリ領域内の偶数番地に対して行ってください。
4. CPU書き換えモード時は、f(BCLK) 20MHzにしてください。
5. FFFFDF₁₆、FFFFE3₁₆、FFFFE1₁₆、FFFFE0₁₆、FFFFF3₁₆、FFFFF7₁₆、FFFFFB₁₆番地の7バイトは、シリアル及びパラレルライタの予約領域です。これらの番地には“FF₁₆”以外を書かないでください。
6. FFFFFFF₁₆番地には“FF₁₆”以外を書かないでください。

17.3 シリアル入出力モード

シリアル入出力モードでは、(株) 彗星電子システム製、又は横河ディジタルコンピュータ(株) 製シリアルライタを使用して、マイクロコンピュータを基板に実装した状態で、内蔵フラッシュメモリ領域の内容を書き換えることができます。シリアルライタについては、各メーカーにお問い合わせください。また、シリアルライタの操作方法については、シリアルライタのユーザーズマニュアルを参照してください。

17.3.1 シリアル入出力モード時の端子の機能説明

表17.3.1 シリアル入出力モード時の端子の機能説明

端子名	名称	入出力	機能	
V _{CC}	電源入力		3.3V ± 0.3Vを印加してください。	
V _{SS}			0Vを印加してください。	
FV _{CC}	フラッシュメモリ用電源入力		5V ± 0.5Vを印加してください。	
CNV _{SS}	CNV _{SS}	入 力	0Vを印加してください。	
FMD	FMD	入 力	抵抗(10k ~ 100k)を介してV _{SS} に接続してください。	
RESET	リセット入力	入 力	リセット入力端子です(注1)。	
X _{IN}	クロック入力	入 力	X _{IN} 端子とX _{OUT} 端子の間にはセラミック共振子、又は水晶共振子を接続してください。外部で生成したクロックを入力する場合は、X _{IN} 端子から外部で生成したクロックを入力し、X _{OUT} 端子は開放してください。	
X _{OUT}	クロック出力	出 力		
NMI	NMI割り込み入力	入 力	V _{CC} に接続、又は開放してください。	
V _{CONT}	フィルタ回路接続		V _{CONT} 端子(シリアル入出力モード時は使用しません)	
AV _{CC}	アナログ電源入力		V _{CC} に接続してください。	
AV _{SS}			V _{SS} に接続してください。	
V _{REF}	基準電圧入力	入 力	V _{REF} 端子(シリアル入出力モード時は使用しません)	
P0 ₀ ~ P0 ₇	入力ポートP0	入 力	入力ポート(シリアル入出力モード時は使用しません)	
P1 ₀ ~ P1 ₇	入力ポートP1	入 力		
P2 ₀ ~ P2 ₇	入力ポートP2	入 力		
P3 ₀ ~ P3 ₇	入力ポートP3	入 力		
P4 ₀ ~ P4 ₇	入力ポートP4	入 力		
P5 ₀ ~ P5 ₂ 、P5 ₆ 、P5 ₇	入力ポートP5	入 力		
P5 ₃	SCLK入力	入 力		シリアルクロックの入力端子です。
P5 ₄	BUSY出力	出 力		BUSY信号の出力端子です。
P5 ₅	SDA入出力	入出力		シリアルデータの入出力端子です。この端子は、抵抗(1k程度)を介してV _{CC} に接続してください。
P6 ₀ ~ P6 ₇	入力ポートP6	入 力		入力ポート(シリアル入出力モード時は使用しません)
P7 ₀ ~ P7 ₇	入力ポートP7	入 力		
P8 ₀ ~ P8 ₄	入力ポートP8	入 力		
P9 ₀ ~ P9 ₇	入力ポートP9	入 力		
P10 ₀ ~ P10 ₇	入力ポートP10	入 力		

注1. ユーザリセット信号がシリアル入出力モード中に「L」になる可能性のある場合は、ジャンパスイッチなどを使用してユーザリセット信号とRESET端子との結線を遮断してください。

2. シリアル入出力モードで使用しない端子は、ユーザシステム上で必要に応じて接続してください。ユーザシステムで使用しない端子については、「6.3 未使用端子の処理例」を参考に処理してください。

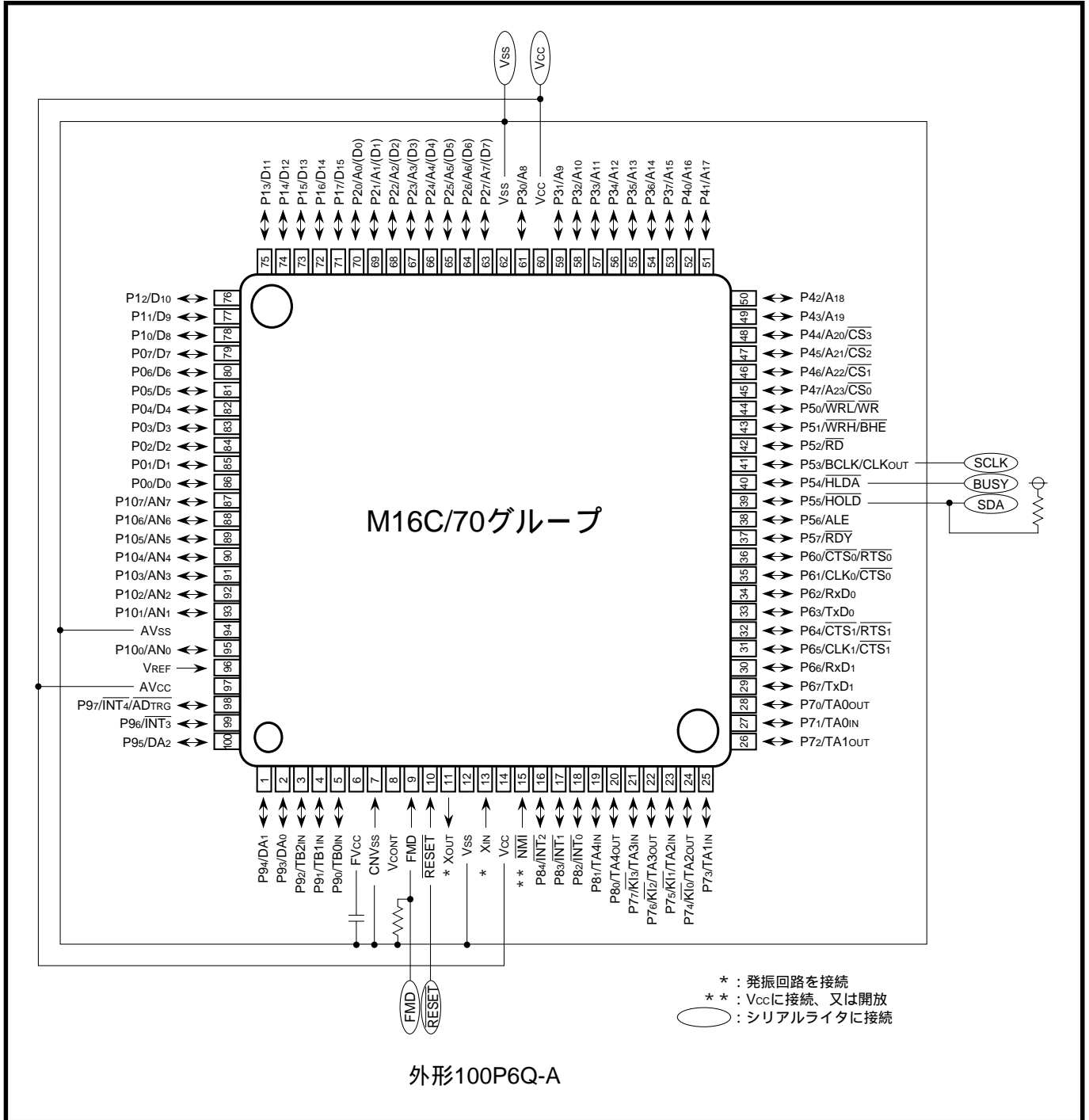


図17.3.1 シリアル入出力モード時の端子の結線図(外形: 100P6Q-A)

17.3.2 シリアル入出力モード使用時の制御端子処理例

シリアル入出力モードでは、P5₃～P5₅、CNV_{SS}、及びFMD端子が制御信号入出力端子になります。また、シリアル入出力モード中に割り込みが発生しないように、 $\overline{\text{NMI}}$ 端子を処理する必要があります。以下にこれらの端子、及び $\overline{\text{RESET}}$ 端子の基板上での処理例を示します。なお、ここで説明する内容は一例です。ご使用に際しては、ユーザアプリケーションに対応して、適宜変更、及び十分な評価をしてください。

(1) P5₃～P5₅、 $\overline{\text{NMI}}$ 端子がユーザシステム回路に影響しない場合

P5₃～P5₅、 $\overline{\text{NMI}}$ 端子が、ユーザシステム回路で使用されない、又はユーザシステム回路に影響しない場合は、図17.3.2に示すように結線できます。

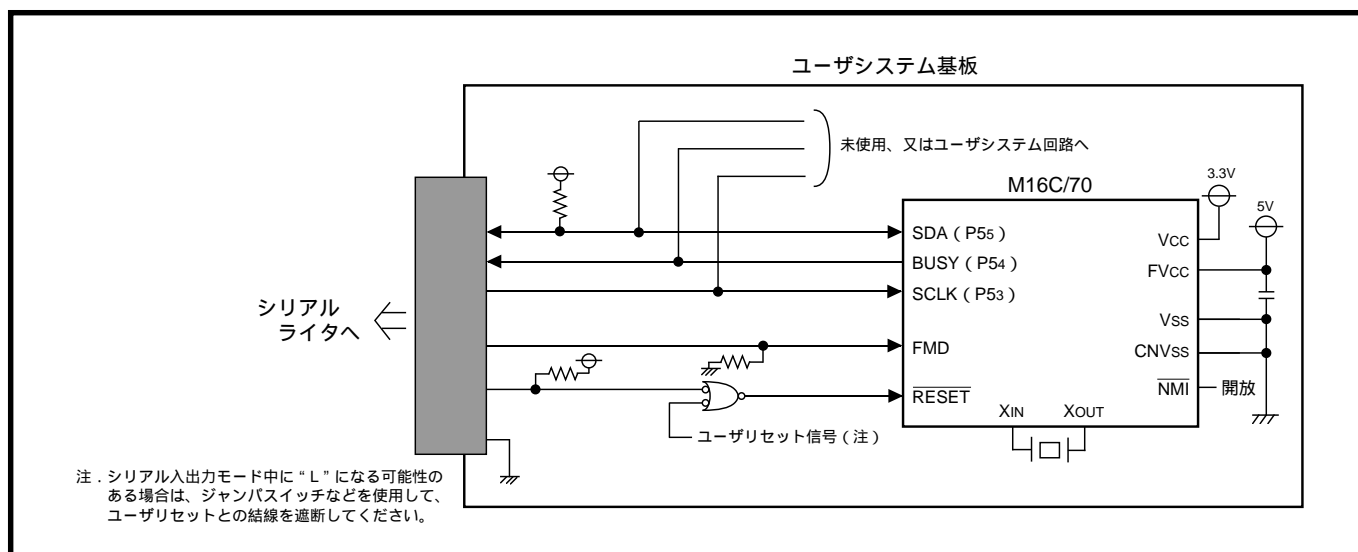


図17.3.2 制御信号がユーザシステム回路に影響しない場合の端子処理例

(2) P5₃～P5₅、 $\overline{\text{NMI}}$ 端子がユーザシステム回路に影響する場合

P5₃～P5₅、 $\overline{\text{NMI}}$ 端子をユーザシステム回路で使用している場合は、シリアル入出力モード時、ユーザシステム回路との結線を遮断する必要があります(図18.3.3参照)。

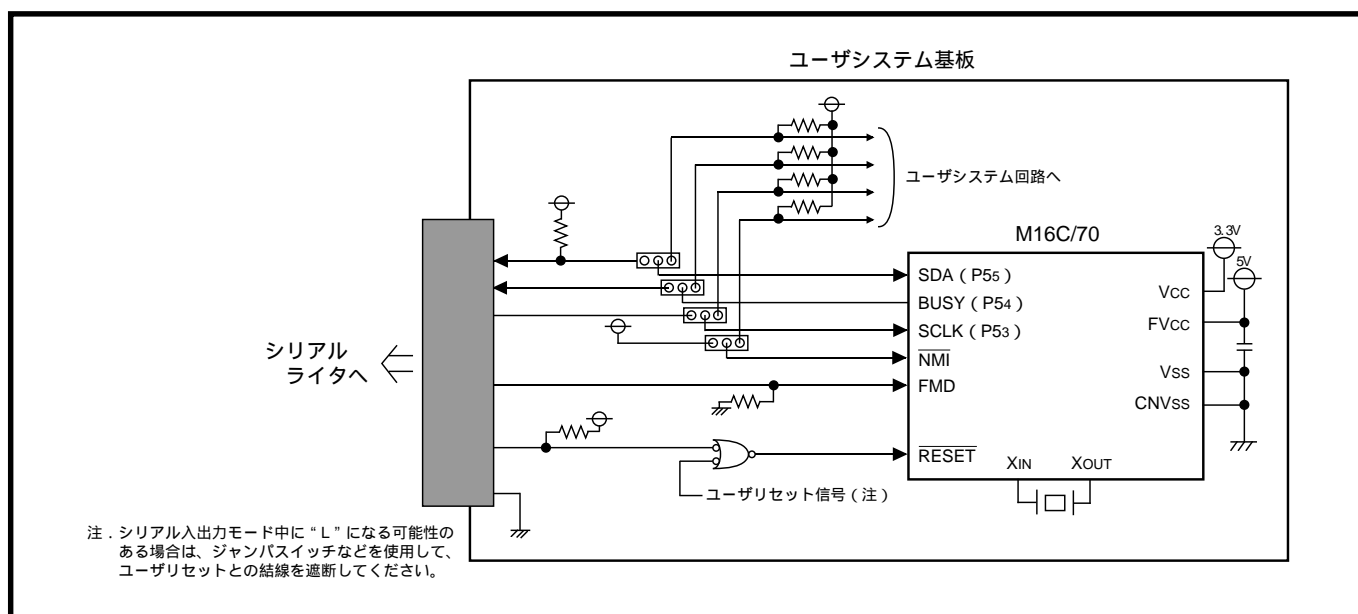


図18.3.3 ジャンプスイッチを使用した端子処理例

【シリアル入出力モード使用上の注意】

1. シリアル入出力モードでは、 $\overline{\text{NMI}}$ 割り込みが発生しないよう、 $\overline{\text{NMI}}$ 端子を V_{CC} に接続、又は開放してください。
2. ユーザリセット信号がシリアル入出力モード中に“L”になる可能性のある場合は、ジャンプスイッチなどを使用してユーザリセット信号とRESET端子との結線を遮断してください。
3. FFFFDF₁₆、FFFFE3₁₆、FFFFEB₁₆、FFFFEF₁₆、FFFFF3₁₆、FFFFF7₁₆、FFFFFB₁₆番地の7バイトは、シリアル及びパラレルライタの予約領域です。これらの番地には“FF₁₆”以外を書かないでください。
4. FFFFFFF₁₆番地には“FF₁₆”以外を書かないでください。

17.4 パラレル入出力モード

パラレル入出力モードでは、(株) 彗星電子システム製パラレルライターを使用して、内蔵フラッシュメモリ領域の内容を書き換えることができます。パラレルライターについては、メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

機能の詳細については、最新のデータシートを参照してください。

【パラレル入出力モード使用上の注意】

1. FFFFDF₁₆、FFFFE3₁₆、FFFFEB₁₆、FFFFEF₁₆、FFFFF3₁₆、FFFFF7₁₆、FFFFFB₁₆番地の7バイトは、シリアル及びパラレルライターの予約領域です。これらの番地には“FF₁₆”以外を書かないでください。
2. FFFFFFF₁₆番地には“FF₁₆”以外を書かないでください。

Memo

付 録

- 付録1．SFR領域のメモリ配置
- 付録2．制御レジスタ一覧
- 付録3．外形寸法図
- 付録4．未使用端子の処理例
- 付録5．16進命令コード対応表
- 付録6．ノイズに関する参考資料
- 付録7．M16C/70電気的特性

付録1 . SFR領域のメモリ配置

アクセス特性

- RW : 読み出すとビットの状態が読み出せる。書き込んだ値は有効データになる。
- RO : 読み出すとビットの状態が読み出せる。書き込んだ値は無効になる。
- WO : 書き込んだ値は有効データになる。ビットの状態は読み出せない。
- : 何も配置されていない。ビットの状態は読み出せない。書き込んだ値は無効になる。

リセット直後の状態

- 0 : リセット直後は“0”
- 1 : リセット直後は“1”
- ? : リセット直後は不定
- : 読み出し時は常に“0”
- : 読み出し時は常に“1”
- : 読み出し時は常に不定
- ▨ : リセット直後は“0” “0”に固定してください。
- ▩ : リセット直後は“1” “1”に固定してください。

番地	レジスタ名	アクセス特性		リセット直後の状態	
		b7	b0	b7	b0
0 ₁₆			(注)		?
1 ₁₆			(注)		?
2 ₁₆			(注)		?
3 ₁₆			(注)		?
4 ₁₆	プロセッサモードレジスタ0		RW	1 0 0 0 0 0 0 0	0 0 0 0
5 ₁₆	プロセッサモードレジスタ1		RW	0 0 0 0 1 0 0 0	0 0 0 0
6 ₁₆	システムクロック制御レジスタ0		RW	0 0 0 0 0 0 0 0	0 0 0 0
7 ₁₆	システムクロック制御レジスタ1		RW	0 0 1 0 0 0 0 0	0 0 0 0
8 ₁₆			(注)		?
9 ₁₆			(注)		?
A ₁₆	プロテクトレジスタ		RW	? ? ? ? ? 0 0 0	0 0 0 0
B ₁₆			(注)		?
C ₁₆	メインクロック分周レジスタ		RW	0 0 0 0 0 1 0 0	0 0 0 0
D ₁₆			(注)		?
E ₁₆	監視タイマスタートレジスタ				?
F ₁₆	監視タイマ制御レジスタ	RW/RW/RW	RO	0 0 0 0 ?	?
10 ₁₆			(注)		?
11 ₁₆			(注)		?
12 ₁₆			(注)		?
13 ₁₆			(注)		?
14 ₁₆			(注)		?
15 ₁₆			(注)		?
16 ₁₆			(注)		?
17 ₁₆			(注)		?
18 ₁₆			(注)		?
19 ₁₆			(注)		?
1A ₁₆			(注)		?
1B ₁₆			(注)		?
1C ₁₆			(注)		?
1D ₁₆			(注)		?
1E ₁₆			(注)		?
1F ₁₆			(注)		?

注 . 書き込み禁止。

アクセス特性

RW：読み出すとビットの状態が読み出せる。書き込んだ値は有効データになる。

RO：読み出すとビットの状態が読み出せる。書き込んだ値は無効になる。

WO：書き込んだ値は有効データになる。ビットの状態は読み出せない。

■：何も配置されていない。ビットの状態は読み出せない。書き込んだ値は無効になる。

リセット直後の状態

0：リセット直後は“0”

1：リセット直後は“1”

?: リセット直後は不定

0：読み出し時は常に“0”

1：読み出し時は常に“1”

?: 読み出し時は常に不定

0：リセット直後は“0”
“0”に固定してください。

1：リセット直後は“1”
“1”に固定してください。

番地	レジスタ名	アクセス特性		リセット直後の状態	
		b7	b0	b7	b0
20 ₁₆		(注)		?	
21 ₁₆		(注)		?	
22 ₁₆		(注)		?	
23 ₁₆		(注)		?	
24 ₁₆		(注)		?	
25 ₁₆		(注)		?	
26 ₁₆		(注)		?	
27 ₁₆		(注)		?	
28 ₁₆		(注)		?	
29 ₁₆		(注)		?	
2A ₁₆		(注)		?	
2B ₁₆		(注)		?	
2C ₁₆		(注)		?	
2D ₁₆		(注)		?	
2E ₁₆		(注)		?	
2F ₁₆		(注)		?	
30 ₁₆		(注)		?	
31 ₁₆		(注)		?	
32 ₁₆		(注)		?	
33 ₁₆		(注)		?	
34 ₁₆		(注)		?	
35 ₁₆		(注)		?	
36 ₁₆		(注)		?	
37 ₁₆		(注)		?	
38 ₁₆		(注)		?	
39 ₁₆		(注)		?	
3A ₁₆		(注)		?	
3B ₁₆		(注)		?	
3C ₁₆		(注)		?	
3D ₁₆		(注)		?	
3E ₁₆		(注)		?	
3F ₁₆		(注)		?	

注．書き込み禁止。

アクセス特性

- RW：読み出すとビットの状態が読み出せる。書き込んだ値は有効データになる。
- RO：読み出すとビットの状態が読み出せる。書き込んだ値は無効になる。
- WO：書き込んだ値は有効データになる。ビットの状態は読み出せない。
- ：何も配置されていない。ビットの状態は読み出せない。書き込んだ値は無効になる。

リセット直後の状態

- 0：リセット直後は“0”
- 1：リセット直後は“1”
- ?: リセット直後は不定
- 0：読み出し時は常に“0”
- 1：読み出し時は常に“1”
- ?: 読み出し時は常に不定
- 斜線：リセット直後は“0”
“0”に固定してください。
- 斜線：リセット直後は“1”
“1”に固定してください。

番地	レジスタ名	アクセス特性		リセット直後の状態														
		b7	b0	b7	b0													
40 ₁₆			(注1)														?	
41 ₁₆			(注1)															?
42 ₁₆			(注1)															?
43 ₁₆			(注1)															?
44 ₁₆			(注1)															?
45 ₁₆			(注1)															?
46 ₁₆			(注1)															?
47 ₁₆			(注1)															?
48 ₁₆	PLL制御レジスタ0	RW	RORW	RW	RW	RW	RW	0	斜線	1	1	0	0	0	0	0	0	
49 ₁₆			(注1)															?
4A ₁₆			(注1)															?
4B ₁₆			(注1)															?
4C ₁₆			(注1)															?
4D ₁₆			(注1)															?
4E ₁₆			(注1)															?
4F ₁₆			(注1)															?
50 ₁₆	監視タイマ禁止レジスタ																	?
51 ₁₆			(注1)															?
52 ₁₆			(注1)															?
53 ₁₆			(注1)															?
54 ₁₆			(注1)															?
55 ₁₆	フラッシュメモリ制御レジスタ1	RO	RW	RO	RO	RW	RO	?	0	斜線	0	0	0	0	1	斜線	1	
56 ₁₆			(注1)															?
57 ₁₆	フラッシュメモリ制御レジスタ0	RO	RO	RW	RW	RW	(注2)	RO	0	0	斜線	0	0	0	0	0	1	
58 ₁₆			(注1)															?
59 ₁₆			(注1)															?
5A ₁₆			(注1)															?
5B ₁₆			(注1)															?
5C ₁₆			(注1)															?
5D ₁₆			(注1)															?
5E ₁₆			(注1)															?
5F ₁₆			(注1)															?

注1．書き込み禁止。

- 2．“1”にするときは、“0”を書き込んだ後、続けて“1”を書き込んでください。“0”にするときは、“0”を書き込んでください。

アクセス特性

RW：読み出すとビットの状態が読み出せる。書き込んだ値は有効データになる。

RO：読み出すとビットの状態が読み出せる。書き込んだ値は無効になる。

WO：書き込んだ値は有効データになる。ビットの状態は読み出せない。

■：何も配置されていない。ビットの状態は読み出せない。書き込んだ値は無効になる。

リセット直後の状態

0：リセット直後は“0”

1：リセット直後は“1”

？：リセット直後は不定

0：読み出し時は常に“0”

1：読み出し時は常に“1”

？：読み出し時は常に不定

■：リセット直後は“0”
“0”に固定してください。

■：リセット直後は“1”
“1”に固定してください。

番地	レジスタ名	アクセス特性		リセット直後の状態						
		b7	b0	b7	b0					
60 ₁₆		(注)		?						
61 ₁₆		(注)		?						
62 ₁₆		(注)		?						
63 ₁₆		(注)		?						
64 ₁₆		(注)		?						
65 ₁₆		(注)		?						
66 ₁₆		(注)		?						
67 ₁₆		(注)		?						
68 ₁₆	DMA0割り込み制御レジスタ		RW	?	?	0	0	0		
69 ₁₆		(注)		?						
6A ₁₆	DMA2割り込み制御レジスタ		RW	?	?	0	0	0		
6B ₁₆		(注)		?						
6C ₁₆	タイマA0割り込み制御レジスタ		RW	?	?	0	0	0		
6D ₁₆		(注)		?						
6E ₁₆	タイマA2割り込み制御レジスタ		RW	?	?	0	0	0		
6F ₁₆		(注)		?						
70 ₁₆	タイマA4割り込み制御レジスタ		RW	?	?	0	0	0		
71 ₁₆		(注)		?						
72 ₁₆	UART0受信割り込み制御レジスタ		RW	?	?	0	0	0		
73 ₁₆	A-D変換器割り込み制御レジスタ		RW	?	?	0	0	0		
74 ₁₆	UART1受信割り込み制御レジスタ		RW	?	?	0	0	0		
75 ₁₆		(注)		?						
76 ₁₆	タイマB1割り込み制御レジスタ		RW	?	?	0	0	0		
77 ₁₆		(注)		?						
78 ₁₆		(注)		?						
79 ₁₆		(注)		?						
7A ₁₆		(注)		?						
7B ₁₆		(注)		?						
7C ₁₆	$\overline{\text{INT}}_3$ 割り込み制御レジスタ		RW	?	0	0	?	0	0	0
7D ₁₆		(注)		?						
7E ₁₆	$\overline{\text{INT}}_1$ 割り込み制御レジスタ		RW	?	0	0	?	0	0	0
7F ₁₆		(注)		?						

注．書き込み禁止。

アクセス特性

RW：読み出すとビットの状態が読み出せる。書き込んだ値は有効データになる。

RO：読み出すとビットの状態が読み出せる。書き込んだ値は無効になる。

WO：書き込んだ値は有効データになる。ビットの状態は読み出せない。

■：何も配置されていない。ビットの状態は読み出せない。書き込んだ値は無効になる。

リセット直後の状態

0：リセット直後は“0”

1：リセット直後は“1”

?: リセット直後は不定

0：読み出し時は常に“0”

1：読み出し時は常に“1”

?: 読み出し時は常に不定

▨：リセット直後は“0”

“0”に固定してください。

▩：リセット直後は“1”

“1”に固定してください。

番地	レジスタ名	アクセス特性		リセット直後の状態						
		b7	b0	b7	b0					
80 ₁₆		(注)		?						
81 ₁₆		(注)		?						
82 ₁₆		(注)		?						
83 ₁₆		(注)		?						
84 ₁₆		(注)		?						
85 ₁₆		(注)		?						
86 ₁₆		(注)		?						
87 ₁₆		(注)		?						
88 ₁₆	DMA1割り込み制御レジスタ	▩	RW	?	?	0	0	0		
89 ₁₆		(注)		?						
8A ₁₆	DMA3割り込み制御レジスタ	▩	RW	?	?	0	0	0		
8B ₁₆		(注)		?						
8C ₁₆	タイマA1割り込み制御レジスタ	▩	RW	?	?	0	0	0		
8D ₁₆		(注)		?						
8E ₁₆	タイマA3割り込み制御レジスタ	▩	RW	?	?	0	0	0		
8F ₁₆		(注)		?						
90 ₁₆	UART0送信割り込み制御レジスタ	▩	RW	?	?	0	0	0		
91 ₁₆		(注)		?						
92 ₁₆	UART1送信割り込み制御レジスタ	▩	RW	?	?	0	0	0		
93 ₁₆	キー入力割り込み制御レジスタ	▩	RW	?	?	0	0	0		
94 ₁₆	タイマB0割り込み制御レジスタ	▩	RW	?	?	0	0	0		
95 ₁₆		(注)		?						
96 ₁₆	タイマB2割り込み制御レジスタ	▩	RW	?	?	0	0	0		
97 ₁₆		(注)		?						
98 ₁₆		(注)		?						
99 ₁₆		(注)		?						
9A ₁₆	INT ₄ 割り込み制御レジスタ	▩	RW	?	0	0	?	0	0	0
9B ₁₆		(注)		?						
9C ₁₆	INT ₂ 割り込み制御レジスタ	▩	RW	?	0	0	?	0	0	0
9D ₁₆		(注)		?						
9E ₁₆	INT ₀ 割り込み制御レジスタ	▩	RW	?	0	0	?	0	0	0
9F ₁₆	復帰用優先順位レジスタ	▩	RW	?	0	0	0	0	0	

注．書き込み禁止。

アクセス特性

RW：読み出すとビットの状態が読み出せる。書き込んだ値は有効データになる。

RO：読み出すとビットの状態が読み出せる。書き込んだ値は無効になる。

WO：書き込んだ値は有効データになる。ビットの状態は読み出せない。

■：何も配置されていない。ビットの状態は読み出せない。書き込んだ値は無効になる。

リセット直後の状態

0：リセット直後は“0”

1：リセット直後は“1”

？：リセット直後は不定

0：読み出し時は常に“0”

1：読み出し時は常に“1”

？：読み出し時は常に不定

■：リセット直後は“0”
“0”に固定してください。

■：リセット直後は“1”
“1”に固定してください。

番地	レジスタ名	アクセス特性		リセット直後の状態								
		b7	b0	b7	b0							
A0 ₁₆		(注1)		?								
A1 ₁₆		(注1)		?								
A2 ₁₆	外部割り込み入力制御レジスタ	RW	RW	0	0	0	0	0	0	0	0	0
A3 ₁₆	外部割り込み入力読み出しレジスタ	RO	(注2)	0	0	?	0	?				
A4 ₁₆		(注1)		?								
A5 ₁₆		(注1)		?								
A6 ₁₆		(注1)		?								
A7 ₁₆	外部割り込み要因選択レジスタ	RW		0	0	0	0	0	0	0	0	0
A8 ₁₆		(注1)		?								
A9 ₁₆		(注1)		?								
AA ₁₆		(注1)		?								
AB ₁₆		(注1)		?								
AC ₁₆		(注1)		?								
AD ₁₆		(注1)		?								
AE ₁₆		(注1)		?								
AF ₁₆		(注1)		?								
B0 ₁₆		(注1)		?								
B1 ₁₆		(注1)		?								
B2 ₁₆		(注1)		?								
B3 ₁₆		(注1)		?								
B4 ₁₆		(注1)		?								
B5 ₁₆		(注1)		?								
B6 ₁₆		(注1)		?								
B7 ₁₆		(注1)		?								
B8 ₁₆	DMA0要因選択レジスタ	RW	WO	RW	0	?	0	0	0	0	0	0
B9 ₁₆	DMA1要因選択レジスタ	RW	WO	RW	0	?	0	0	0	0	0	
BA ₁₆	DMA2要因選択レジスタ	RW	WO	RW	0	?	0	0	0	0	0	
BB ₁₆	DMA3要因選択レジスタ	RW	WO	RW	0	?	0	0	0	0	0	
BC ₁₆		(注1)		?								
BD ₁₆		(注1)		?								
BE ₁₆		(注1)		?								
BF ₁₆		(注1)		?								

注1．書き込み禁止。

2．“0”を書くと“1”になります。“1”を書いても変化しません。

アクセス特性

RW：読み出すとビットの状態が読み出せる。書き込んだ値は有効データになる。

RO：読み出すとビットの状態が読み出せる。書き込んだ値は無効になる。

WO：書き込んだ値は有効データになる。ビットの状態は読み出せない。

■：何も配置されていない。ビットの状態は読み出せない。書き込んだ値は無効になる。

リセット直後の状態

0：リセット直後は“0”

1：リセット直後は“1”

？：リセット直後は不定

0：読み出し時は常に“0”

1：読み出し時は常に“1”

？：読み出し時は常に不定

0：リセット直後は“0”

“0”に固定してください。

1：リセット直後は“1”

“1”に固定してください。

番地	レジスタ名	アクセス特性		リセット直後の状態							
		b7	b0	b7	b6	b5	b4	b3	b2	b1	b0
C0 ₁₆	$\overline{CS_0}$ 制御レジスタ0		RW	0	0	0	0	0	0	1	1
C1 ₁₆	$\overline{CS_0}$ 制御レジスタ1		RW	0	0	0	1	0	0	0	0
C2 ₁₆			(注)	?							
C3 ₁₆			(注)	?							
C4 ₁₆	$\overline{CS_1}$ 制御レジスタ0		RW	0	0	0	0	0	0	1	1
C5 ₁₆	$\overline{CS_1}$ 制御レジスタ1		RW	0	0	0	1	0	0	0	0
C6 ₁₆			(注)	?							
C7 ₁₆			(注)	?							
C8 ₁₆	$\overline{CS_2}$ 制御レジスタ0		RW	0	0	0	0	0	0	1	1
C9 ₁₆	$\overline{CS_2}$ 制御レジスタ1		RW	0	0	0	1	0	0	0	0
CA ₁₆			(注)	?							
CB ₁₆			(注)	?							
CC ₁₆	$\overline{CS_3}$ 制御レジスタ0		RW	0	0	0	0	0	0	1	1
CD ₁₆	$\overline{CS_3}$ 制御レジスタ1		RW	0	0	0	1	0	0	0	0
CE ₁₆			(注)	?							
CF ₁₆			(注)	?							
D0 ₁₆			(注)	?							
D1 ₁₆			(注)	?							
D2 ₁₆			(注)	?							
D3 ₁₆			(注)	?							
D4 ₁₆			(注)	?							
D5 ₁₆			(注)	?							
D6 ₁₆			(注)	?							
D7 ₁₆			(注)	?							
D8 ₁₆			(注)	?							
D9 ₁₆			(注)	?							
DA ₁₆			(注)	?							
DB ₁₆			(注)	?							
DC ₁₆			(注)	?							
DD ₁₆			(注)	?							
DE ₁₆			(注)	?							
DF ₁₆			(注)	?							

注：書き込み禁止。

アクセス特性

RW：読み出すとビットの状態が読み出せる。書き込んだ値は有効データになる。

RO：読み出すとビットの状態が読み出せる。書き込んだ値は無効になる。

WO：書き込んだ値は有効データになる。ビットの状態は読み出せない。

■：何も配置されていない。ビットの状態は読み出せない。書き込んだ値は無効になる。

リセット直後の状態

0：リセット直後は“0”

1：リセット直後は“1”

？：リセット直後は不定

0：読み出し時は常に“0”

1：読み出し時は常に“1”

？：読み出し時は常に不定

▨：リセット直後は“0”
“0”に固定してください。

▨：リセット直後は“1”
“1”に固定してください。

番地	レジスタ名	アクセス特性		リセット直後の状態	
		b7	b0	b7	b0
E0 ₁₆		(注)		?	
E1 ₁₆		(注)		?	
E2 ₁₆		(注)		?	
E3 ₁₆		(注)		?	
E4 ₁₆		(注)		?	
E5 ₁₆		(注)		?	
E6 ₁₆		(注)		?	
E7 ₁₆		(注)		?	
E8 ₁₆		(注)		?	
E9 ₁₆		(注)		?	
EA ₁₆		(注)		?	
EB ₁₆		(注)		?	
EC ₁₆		(注)		?	
ED ₁₆		(注)		?	
EE ₁₆		(注)		?	
EF ₁₆		(注)		?	
F0 ₁₆		(注)		?	
F1 ₁₆		(注)		?	
F2 ₁₆		(注)		?	
F3 ₁₆		(注)		?	
F4 ₁₆		(注)		?	
F5 ₁₆		(注)		?	
F6 ₁₆		(注)		?	
F7 ₁₆		(注)		?	
F8 ₁₆		(注)		?	
F9 ₁₆		(注)		?	
FA ₁₆		(注)		?	
FB ₁₆		(注)		?	
FC ₁₆		(注)		?	
FD ₁₆		(注)		?	
FE ₁₆		(注)		?	
FF ₁₆		(注)		?	

注．書き込み禁止。

アクセス特性

RW：読み出すとビットの状態が読み出せる。書き込んだ値は有効データになる。

RO：読み出すとビットの状態が読み出せる。書き込んだ値は無効になる。

WO：書き込んだ値は有効データになる。ビットの状態は読み出せない。

■：何も配置されていない。ビットの状態は読み出せない。書き込んだ値は無効になる。

リセット直後の状態

0：リセット直後は“0”

1：リセット直後は“1”

？：リセット直後は不定

0：読み出し時は常に“0”

1：読み出し時は常に“1”

？：読み出し時は常に不定

0：リセット直後は“0”
“0”に固定してください。

1：リセット直後は“1”
“1”に固定してください。

番地	レジスタ名	アクセス特性		リセット直後の状態	
		b7	b0	b7	b0
100 ₁₆	A-Dレジスタ0	RO		？	
101 ₁₆		■ RO		0 0 0 0 0 0	？
102 ₁₆	A-Dレジスタ1	RO		？	
103 ₁₆		■ RO		0 0 0 0 0 0	？
104 ₁₆	A-Dレジスタ2	RO		？	
105 ₁₆		■ RO		0 0 0 0 0 0	？
106 ₁₆	A-Dレジスタ3	RO		？	
107 ₁₆		■ RO		0 0 0 0 0 0	？
108 ₁₆	A-Dレジスタ4	RO		？	
109 ₁₆		■ RO		0 0 0 0 0 0	？
10A ₁₆	A-Dレジスタ5	RO		？	
10B ₁₆		■ RO		0 0 0 0 0 0	？
10C ₁₆	A-Dレジスタ6	RO		？	
10D ₁₆		■ RO		0 0 0 0 0 0	？
10E ₁₆	A-Dレジスタ7	RO		？	
10F ₁₆		■ RO		0 0 0 0 0 0	？
110 ₁₆		(注)		？	
111 ₁₆		(注)		？	
112 ₁₆		(注)		？	
113 ₁₆		(注)		？	
114 ₁₆	A-D制御レジスタ2	RW	RWRWRW	0 0 0 1 ？ 0 0	0 0
115 ₁₆		(注)		？	
116 ₁₆	A-D制御レジスタ0	RW		0 0 0 0 0 ？ ？ ？	？ ？ ？
117 ₁₆	A-D制御レジスタ1	RW		0 0 0 0 0 0 0 0	0 0
118 ₁₆	D-Aレジスタ0	RW		00 ₁₆	
119 ₁₆	D-Aレジスタ1	RW		00 ₁₆	
11A ₁₆	D-Aレジスタ2	RW		00 ₁₆	
11B ₁₆		(注)		？	
11C ₁₆	D-A制御レジスタ0	RW		？	0 0 0
11D ₁₆	D-A制御レジスタ1	RW		？	0 0 0 0 0 0
11E ₁₆		(注)		？	
11F ₁₆		(注)		？	

注．書き込み禁止。

アクセス特性

RW：読み出すとビットの状態が読み出せる。書き込んだ値は有効データになる。

RO：読み出すとビットの状態が読み出せる。書き込んだ値は無効になる。

WO：書き込んだ値は有効データになる。ビットの状態は読み出せない。

■：何も配置されていない。ビットの状態は読み出せない。書き込んだ値は無効になる。

リセット直後の状態

0：リセット直後は“0”

1：リセット直後は“1”

？：リセット直後は不定

0：読み出し時は常に“0”

1：読み出し時は常に“1”

？：読み出し時は常に不定

0：リセット直後は“0”

“0”に固定してください。

1：リセット直後は“1”

“1”に固定してください。

番地	レジスタ名	アクセス特性		リセット直後の状態	
		b7	b0	b7	b0
120 ₁₆	カウント開始フラグ	RW		00 ₁₆	
121 ₁₆		(注1)		?	
122 ₁₆	ワンショット開始フラグ	RW		0	0
123 ₁₆	トリガ選択レジスタ	RW		0	0
124 ₁₆	アップダウンフラグ	WOWOWO	RW	0	0
125 ₁₆		(注1)		?	
126 ₁₆	タイマA0レジスタ	(注2)		?	
127 ₁₆		(注2)		?	
128 ₁₆		(注2)		?	
129 ₁₆		(注2)		?	
12A ₁₆	タイマA2レジスタ	(注2)		?	
12B ₁₆		(注2)		?	
12C ₁₆	タイマA3レジスタ	(注2)		?	
12D ₁₆		(注2)		?	
12E ₁₆		(注2)		?	
12F ₁₆		(注2)		?	
130 ₁₆	タイマB0レジスタ	(注3)		?	
131 ₁₆		(注3)		?	
132 ₁₆	タイマB1レジスタ	(注3)		?	
133 ₁₆		(注3)		?	
134 ₁₆		(注3)		?	
135 ₁₆	タイマB2レジスタ	(注3)		?	
136 ₁₆	タイマA0モードレジスタ	RW		00 ₁₆	
137 ₁₆	タイマA1モードレジスタ	RW		00 ₁₆	
138 ₁₆	タイマA2モードレジスタ	RW		00 ₁₆	
139 ₁₆	タイマA3モードレジスタ	RW		00 ₁₆	
13A ₁₆	タイマA4モードレジスタ	RW		00 ₁₆	
13B ₁₆	タイマB0モードレジスタ	RW	RO	0	0
13C ₁₆	タイマB1モードレジスタ	RW	RO	0	0
13D ₁₆	タイマB2モードレジスタ	RW	RO	0	0
13E ₁₆		(注1)		?	
13F ₁₆		(注1)		?	

注1．書き込み禁止。

- タイマモード及びイベントカウンタモードではRW、ワンショットパルスモード及びパルス幅変調モードではWOになります。
- タイマモード及びイベントカウンタモードではRW、パルス周期測定／パルス幅測定モードではROになります。

アクセス特性

RW：読み出すとビットの状態が読み出せる。書き込んだ値は有効データになる。

RO：読み出すとビットの状態が読み出せる。書き込んだ値は無効になる。

WO：書き込んだ値は有効データになる。ビットの状態は読み出せない。

■：何も配置されていない。ビットの状態は読み出せない。書き込んだ値は無効になる。

リセット直後の状態

0：リセット直後は“0”

1：リセット直後は“1”

？：リセット直後は不定

0：読み出し時は常に“0”

1：読み出し時は常に“1”

？：読み出し時は常に不定

0：リセット直後は“0”
“0”に固定してください。

1：リセット直後は“1”
“1”に固定してください。

番地	レジスタ名	アクセス特性		リセット直後の状態									
		b7	b0	b7	b0								
140 ₁₆		(注)		?									
141 ₁₆		(注)		?									
142 ₁₆		(注)		?									
143 ₁₆		(注)		?									
144 ₁₆		(注)		?									
145 ₁₆		(注)		?									
146 ₁₆		(注)		?									
147 ₁₆		(注)		?									
148 ₁₆	UART0送受信モードレジスタ	RW		0	0	0	0	0	0	0	0	0	0
149 ₁₆	UART0転送速度レジスタ	WO		?									
14A ₁₆	UART0送信バッファレジスタ	WO		?									
14B ₁₆			WO										?
14C ₁₆	UART0送受信制御レジスタ0	RW	RORWRWRW	0	0	0	0	1	0	0	0	0	
14D ₁₆	UART0送受信制御レジスタ1	RW	RORWRORW	0	0	0	0	0	0	1	0	0	
14E ₁₆	UART0受信バッファレジスタ	RO		?									
14F ₁₆		RO								0	0	0	?
150 ₁₆		(注)		?									
151 ₁₆		(注)		?									
152 ₁₆		(注)		?									
153 ₁₆		(注)		?									
154 ₁₆		(注)		?									
155 ₁₆		(注)		?									
156 ₁₆		(注)		?									
157 ₁₆		(注)		?									
158 ₁₆		(注)		?									
159 ₁₆		(注)		?									
15A ₁₆		(注)		?									
15B ₁₆		(注)		?									
15C ₁₆		(注)		?									
15D ₁₆		(注)		?									
15E ₁₆		(注)		?									
15F ₁₆		(注)		?									

注．書き込み禁止。

アクセス特性

RW：読み出すとビットの状態が読み出せる。書き込んだ値は有効データになる。

RO：読み出すとビットの状態が読み出せる。書き込んだ値は無効になる。

WO：書き込んだ値は有効データになる。ビットの状態は読み出せない。

■：何も配置されていない。ビットの状態は読み出せない。書き込んだ値は無効になる。

リセット直後の状態

0：リセット直後は“0”

1：リセット直後は“1”

?: リセット直後は不定

0：読み出し時は常に“0”

1：読み出し時は常に“1”

?: 読み出し時は常に不定

0：リセット直後は“0”

“0”に固定してください。

1：リセット直後は“1”

“1”に固定してください。

番地	レジスタ名	アクセス特性		リセット直後の状態	
		b7	b0	b7	b0
160 ₁₆		(注)		?	
161 ₁₆		(注)		?	
162 ₁₆		(注)		?	
163 ₁₆		(注)		?	
164 ₁₆		(注)		?	
165 ₁₆		(注)		?	
166 ₁₆		(注)		?	
167 ₁₆		(注)		?	
168 ₁₆	UART1送受信モードレジスタ	RW		0	0
169 ₁₆	UART1転送速度レジスタ	WO		?	
16A ₁₆	UART1送信バッファレジスタ	WO		?	
16B ₁₆			WO		?
16C ₁₆	UART1送受信制御レジスタ0	RW	RO	0	0
16D ₁₆	UART1送受信制御レジスタ1	RW	RO	0	0
16E ₁₆	UART1受信バッファレジスタ	RO		?	
16F ₁₆			RO	RO	0
170 ₁₆	シリアルI/O端子制御レジスタ		RW	0	0
171 ₁₆		(注)		?	
172 ₁₆		(注)		?	
173 ₁₆		(注)		?	
174 ₁₆		(注)		?	
175 ₁₆		(注)		?	
176 ₁₆		(注)		?	
177 ₁₆		(注)		?	
178 ₁₆		(注)		?	
179 ₁₆		(注)		?	
17A ₁₆		(注)		?	
17B ₁₆		(注)		?	
17C ₁₆		(注)		?	
17D ₁₆		(注)		?	
17E ₁₆		(注)		?	
17F ₁₆		(注)		?	

注．書き込み禁止。

アクセス特性

RW：読み出すとビットの状態が読み出せる。書き込んだ値は有効データになる。

RO：読み出すとビットの状態が読み出せる。書き込んだ値は無効になる。

WO：書き込んだ値は有効データになる。ビットの状態は読み出せない。

■：何も配置されていない。ビットの状態は読み出せない。書き込んだ値は無効になる。

リセット直後の状態

0：リセット直後は“0”

1：リセット直後は“1”

？：リセット直後は不定

0：読み出し時は常に“0”

1：読み出し時は常に“1”

？：読み出し時は常に不定

■：リセット直後は“0”

“0”に固定してください。

■：リセット直後は“1”

“1”に固定してください。

番地	レジスタ名	アクセス特性		リセット直後の状態								
		b7	b0	b7	b0							
180 ₁₆	ポートP0レジスタ		RW		?							
181 ₁₆	ポートP1レジスタ		RW		?							
182 ₁₆	ポートP0方向レジスタ		RW		00 ₁₆							
183 ₁₆	ポートP1方向レジスタ		RW		00 ₁₆							
184 ₁₆	ポートP2レジスタ		RW		?							
185 ₁₆	ポートP3レジスタ		RW		?							
186 ₁₆	ポートP2方向レジスタ		RW		00 ₁₆							
187 ₁₆	ポートP3方向レジスタ		RW		00 ₁₆							
188 ₁₆	ポートP4レジスタ		RW		?							
189 ₁₆	ポートP5レジスタ		RW		?							
18A ₁₆	ポートP4方向レジスタ		RW		00 ₁₆							
18B ₁₆	ポートP5方向レジスタ		RW		00 ₁₆							
18C ₁₆			(注1)		?							
18D ₁₆			(注1)		?							
18E ₁₆			(注1)		?							
18F ₁₆			(注1)		?							
190 ₁₆			(注1)		?							
191 ₁₆			(注1)		?							
192 ₁₆			(注1)		?							
193 ₁₆			(注1)		?							
194 ₁₆			(注1)		?							
195 ₁₆			(注1)		?							
196 ₁₆			(注1)		?							
197 ₁₆			(注1)		?							
198 ₁₆			(注1)		?							
199 ₁₆			(注1)		?							
19A ₁₆	ポート機能制御レジスタ		RW		?	?	?	0	0	0	1	0
19B ₁₆	特殊機能選択レジスタ	RW		RW (注2)	?	0	?	?	?	0	0	0
19C ₁₆			(注1)		?							
19D ₁₆			(注1)		?							
19E ₁₆			(注1)		?							
19F ₁₆			(注1)		?							

注1．書き込み禁止。

2．リセット後、一度だけ“1”にできます。“1”から“0”にすると、それ以降“1”にできません (“0”に固定される)。

アクセス特性

RW：読み出すとビットの状態が読み出せる。書き込んだ値は有効データになる。

RO：読み出すとビットの状態が読み出せる。書き込んだ値は無効になる。

WO：書き込んだ値は有効データになる。ビットの状態は読み出せない。

■：何も配置されていない。ビットの状態は読み出せない。書き込んだ値は無効になる。

リセット直後の状態

0：リセット直後は“0”

1：リセット直後は“1”

？：リセット直後は不定

0：読み出し時は常に“0”

1：読み出し時は常に“1”

？：読み出し時は常に不定

▨：リセット直後は“0”
“0”に固定してください。

▨：リセット直後は“1”
“1”に固定してください。

番地	レジスタ名	アクセス特性		リセット直後の状態	
		b7	b0	b7	b0
1A0 ₁₆	ポートP6レジスタ	RW		?	
1A1 ₁₆	ポートP7レジスタ	RW		?	
1A2 ₁₆	ポートP6方向レジスタ	RW		00 ₁₆	
1A3 ₁₆	ポートP7方向レジスタ	RW		00 ₁₆	
1A4 ₁₆	ポートP8レジスタ	■	RW	?	?
1A5 ₁₆	ポートP9レジスタ	RW		?	
1A6 ₁₆	ポートP8方向レジスタ	■	RW	?	0 0 0 0 0
1A7 ₁₆	ポートP9方向レジスタ	RW		00 ₁₆	
1A8 ₁₆	ポートP10レジスタ	RW		?	
1A9 ₁₆		(注)		?	
1AA ₁₆	ポートP10方向レジスタ	RW		00 ₁₆	
1AB ₁₆		(注)		?	
1AC ₁₆		(注)		?	
1AD ₁₆		(注)		?	
1AE ₁₆		(注)		?	
1AF ₁₆		(注)		?	
1B0 ₁₆		(注)		?	
1B1 ₁₆		(注)		?	
1B2 ₁₆		(注)		?	
1B3 ₁₆		(注)		?	
1B4 ₁₆		(注)		?	
1B5 ₁₆		(注)		?	
1B6 ₁₆		(注)		?	
1B7 ₁₆		(注)		?	
1B8 ₁₆		(注)		?	
1B9 ₁₆		(注)		?	
1BA ₁₆		(注)		?	
1BB ₁₆		(注)		?	
1BC ₁₆		(注)		?	
1BD ₁₆		(注)		?	
1BE ₁₆		(注)		?	
1BF ₁₆		(注)		?	

注．書き込み禁止。

アクセス特性

RW：読み出すとビットの状態が読み出せる。書き込んだ値は有効データになる。

RO：読み出すとビットの状態が読み出せる。書き込んだ値は無効になる。

WO：書き込んだ値は有効データになる。ビットの状態は読み出せない。

■：何も配置されていない。ビットの状態は読み出せない。書き込んだ値は無効になる。

リセット直後の状態

0：リセット直後は“0”

1：リセット直後は“1”

？：リセット直後は不定

0：読み出し時は常に“0”

1：読み出し時は常に“1”

？：読み出し時は常に不定

▨：リセット直後は“0”

“0”に固定してください。

▨：リセット直後は“1”

“1”に固定してください。

番地	レジスタ名	アクセス特性		リセット直後の状態	
		b7	b0	b7	b0
1C0 ₁₆		(注)		?	
1C1 ₁₆		(注)		?	
1C2 ₁₆		(注)		?	
1C3 ₁₆		(注)		?	
1C4 ₁₆		(注)		?	
1C5 ₁₆		(注)		?	
1C6 ₁₆		(注)		?	
1C7 ₁₆		(注)		?	
1C8 ₁₆		(注)		?	
1C9 ₁₆		(注)		?	
1CA ₁₆		(注)		?	
1CB ₁₆		(注)		?	
1CC ₁₆		(注)		?	
1CD ₁₆		(注)		?	
1CE ₁₆		(注)		?	
1CF ₁₆		(注)		?	
1D0 ₁₆		(注)		?	
1D1 ₁₆		(注)		?	
1D2 ₁₆		(注)		?	
1D3 ₁₆		(注)		?	
1D4 ₁₆		(注)		?	
1D5 ₁₆		(注)		?	
1D6 ₁₆		(注)		?	
1D7 ₁₆		(注)		?	
1D8 ₁₆		(注)		?	
1D9 ₁₆		(注)		?	
1DA ₁₆		(注)		?	
1DB ₁₆		(注)		?	
1DC ₁₆		(注)		?	
1DD ₁₆		(注)		?	
1DE ₁₆		(注)		?	
1DF ₁₆		(注)		?	

注．書き込み禁止。

アクセス特性

RW：読み出すとビットの状態が読み出せる。書き込んだ値は有効データになる。

RO：読み出すとビットの状態が読み出せる。書き込んだ値は無効になる。

WO：書き込んだ値は有効データになる。ビットの状態は読み出せない。

■：何も配置されていない。ビットの状態は読み出せない。書き込んだ値は無効になる。

リセット直後の状態

0：リセット直後は“0”

1：リセット直後は“1”

？：リセット直後は不定

0：読み出し時は常に“0”

1：読み出し時は常に“1”

？：読み出し時は常に不定

0：リセット直後は“0”
“0”に固定してください。

1：リセット直後は“1”
“1”に固定してください。

番地	レジスタ名	アクセス特性		リセット直後の状態	
		b7	b0	b7	b0
1E0 ₁₆		(注)		?	
1E1 ₁₆		(注)		?	
1E2 ₁₆		(注)		?	
1E3 ₁₆		(注)		?	
1E4 ₁₆		(注)		?	
1E5 ₁₆		(注)		?	
1E6 ₁₆		(注)		?	
1E7 ₁₆		(注)		?	
1E8 ₁₆		(注)		?	
1E9 ₁₆		(注)		?	
1EA ₁₆		(注)		?	
1EB ₁₆		(注)		?	
1EC ₁₆		(注)		?	
1ED ₁₆		(注)		?	
1EE ₁₆		(注)		?	
1EF ₁₆		(注)		?	
1F0 ₁₆		(注)		?	
1F1 ₁₆		(注)		?	
1F2 ₁₆		(注)		?	
1F3 ₁₆		(注)		?	
1F4 ₁₆		(注)		?	
1F5 ₁₆		(注)		?	
1F6 ₁₆		(注)		?	
1F7 ₁₆		(注)		?	
1F8 ₁₆		(注)		?	
1F9 ₁₆		(注)		?	
1FA ₁₆		(注)		?	
1FB ₁₆		(注)		?	
1FC ₁₆		(注)		?	
1FD ₁₆		(注)		?	
1FE ₁₆		(注)		?	
1FF ₁₆		(注)		?	

注．書き込み禁止。

付録2．制御レジスタ一覧

SFR領域に配置されている、制御レジスタのレジスタ構成を以下に示します。
レジスタ構成は次のように参照してください。

XXXレジスタ XXX(レジスタシンボル)【XX₁₆番地】

ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	PM00	・・・選択ビット	0:・・・ 1:・・・ 読み出し時の値は“0”	不定	WO	3-10
1	PM01	・・・選択ビット	b2 b1 00:・・・	0	RW	3-11
2	PM02		01:・・・	0	RW	
3	PM03		10:・・・ 11:・・・	0	RO	
4	-	“0”に固定してください		0	RW	
5	PM05	・・・モードでは無効		0	RW	
6	-	何も配置されていない		不定	-	
7	-	読み出し時の値は“0”		0	-	

* 3
* 2 * 1
b7 b6 b5 b4 b3 b2 b1 b0
X 0 1 0
* 4
* 5
* 6

- * 1 空白 : 用途に応じて“0”又は“1”を設定してください。
0 : 書き込み時は“0”にしてください。
1 : 書き込み時は“1”にしてください。
X : 特定のモード又は状態で、使用しないビット。“0”又は“1”いずれでもよい。
■ : 何も配置されていない。
- * 2 0 : リセット直後“0”になる。
1 : リセット直後“1”になる。
不定 : リセット直後、不定になる。
- * 3 RW : 読み出すとビットの状態が読み出せる。
書き込んだ値は有効データになる。
RO : 読み出すとビットの状態が読み出せる。
書き込んだ値は無効になる。したがって、書き込む値は“0”又は“1”いずれでもよい。
WO : 書き込んだ値は有効データになる。
ビットの状態は読み出せない。読み出し時の値は不定。
ただし、機能欄又は注に「読み出し時の値は“0”」と書いてあるビットは、読み出し時の値が必ず“0”になる(上図*5参照)。
- : ビットの状態は読み出せない。読み出し時の値は不定。
ただし、機能欄又は注に「読み出し時の値は“0”」と書いてあるビットは、読み出し時の値が必ず“0”になる(上図*6参照)。
書き込んだ値は無効になる。したがって、書き込む値は“0”又は“1”いずれでもよい。
- * 4 各ビットの参照ページ。

プロセッサモードレジスタ0 PM0 【4₁₆番地】

b7	b6	b5	b4	b3	b2	b1	b0
	0	0	0				

ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	PM00	プロセッサモードビット	b1 b0 00: シングルチップモード 01: メモリ拡張モード (注1) 10: 選択禁止 11: 選択禁止	0	RW	2-13 3-5
1	PM01			0	RW	
2	PM02	R/Wモード選択ビット	0: RD, WR, BHE 1: RD, WRL, WRH	0	RW	3-5
3	PM03	ソフトウェアリセットビット	このビットに“1”を書き込むと、マイクロコンピュータはリセットされる。読み出し時の値は“0”	0	RW	4-3
6~4	-	“0”に固定してください		0	RW	
7	PM07	BCLK出力機能選択ビット	表5.3.1参照	1	RW	3-5 5-5

注1. これらのビットを“01₂”に設定する場合は、R/Wモード選択ビット(ビット2)、BCLK出力機能選択ビット(ビット7)、ALE出力端子選択ビット(5₁₆番地のビット5)及びクロック出力機能選択ビット(6₁₆番地のビット0、1)を設定した後、別の命令で、“01₂”を書き込んでください。

2. このレジスタは、プロテクトビット1(A₁₆番地のビット1)を“1”にした後、設定してください。

プロセッサモードレジスタ1 PM1 【5₁₆番地】

b7	b6	b5	b4	b3	b2	b1	b0
0	0		0			0	0

ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
1, 0	-	“0”に固定してください		0	RW	
2	PM12	内部メモリウエイトビット	0: BCLKの1サイクルアクセス 1: BCLKの2サイクルアクセス	0	RW	2-12 17-7
3	PM13	SFR領域ウエイトビット	0: BCLKの2サイクルアクセス 1: BCLKの3サイクルアクセス	1	RW	2-12
4	-	“0”に固定してください		0	RW	
5	PM15	ALE出力端子選択ビット(注1)	0: ALE出力禁止(P5 ₆ はプログラマブル入出力ポートとして機能) 1: ALE出力許可(P5 ₆ はALE端子として機能)	0	RW	3-5
7, 6	-	“0”に固定してください		0	RW	

注1. シングルチップモード時は、このビットの内容にかかわらず「ALE出力禁止」になります。

2. このレジスタは、プロテクトビット1(A₁₆番地のビット1)を“1”にした後、設定してください。

表5.3.1 出力クロックの選択

クロック出力機能選択ビット (6 ₁₆ 番地のビット1, 0)	BCLK出力機能選択ビット (4 ₁₆ 番地のビット7)	P5 ₃ /BCLK/CLK _{OUT} 端子の機能
00	0	シングルチップモード: P5 ₃ として機能 メモリ拡張モード: BCLKを出力
	1	P5 ₃ として機能
01	X	選択禁止
10	X	f ₈ を出力
11	X	f ₃₂ を出力

X: “0”又は“1”いずれでもよい。

システムクロック制御レジスタ0 CM0 【6₁₆番地】

b7	b6	b5	b4	b3	b2	b1	b0
0							

ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	CM00	クロック出力機能選択ビット	表5.3.1参照	0	RW	5-6
1	CM01			0	RW	
2	CM02	WAIT時周辺機能クロック停止ビット (注1)	0: ウェイトモード時、 f_{AD} 、 f_1 、 f_8 、 f_{32} 、 f_{256} 動作 1: ウェイトモード時、 f_{AD} 、 f_1 、 f_8 、 f_{32} 、 f_{256} 停止	0	RW	5-6 16-3
3	CM03	周辺機能クロック選択ビット	表5.3.2参照	0	RW	
4	CM04			0	RW	5-6
5	CM05	クロック外部入力選択ビット	0: 発振回路動作(発振子接続時) 1: 発振回路停止(外部で生成されたクロック入力時)	0	RW	
6	CM06	監視タイマ機能選択ビット (注2)	0: 監視タイマ割り込み 1: リセット	0	RW	15-2
7	-	“0”に固定してください		0	RW	

- 注1. “1”にする場合は、WAIT命令の直前で“1”を設定してください。また、ウェイトモード解除後、直ちに“0”にしてください。
 2. リセット後、一度だけ“1”にできます。その後はソフトウェアで変更できません(“1”に固定される)。
 3. このレジスタは、プロテクトビット(A₁₆番地のビット0)を“1”にした後、設定してください。

システムクロック制御レジスタ1 CM1 【7₁₆番地】

b7	b6	b5	b4	b3	b2	b1	b0
		1	0	0	0	0	

ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	CM10	全クロック停止制御ビット	このビットに“1”を書くと、全クロックが停止する(ストップモード)	0	RW (注1)	5-7 16-3
4~1	-	“0”に固定してください		0	RW	
5	-	“1”に固定してください		1	RW	5-7
6	CM16	X _{IN} 入力クロック回路選択ビット (注2)	0: X _{IN} ノイズキャンセラなし、2分周回路あり 1: X _{IN} ノイズキャンセラあり、2分周回路なし	0	RW	
7	CM17	メインクロック選択ビット (注3)	0: XINDを選択 1: PLLCLKを選択	0	RW	

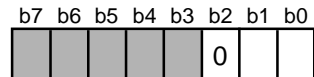
- 注1. ストップモードの解除に使用する割り込みの割り込み要求が発生すると、“0”になります。
 2. リセット後、一度だけ“1”にできます。その後はソフトウェアで変更できません(“1”に固定される)。 $f(X_{IN}) > 34\text{MHz}$ 時は“0”にしてください。
 3. PLL回路動作許可ビット(48₁₆番地のビット7)を“0”にすると、同時に“0”になります。また、PLL回路動作許可ビット=0のときはこのビットに書き込めません(“0”に固定される)。
 このビットを“1”にする場合は、PLL回路ロック検出フラグ(48₁₆番地のビット3)が“1”になったことを確認した後に設定してください。
 4. このレジスタは、プロテクトビット(A₁₆番地のビット0)を“1”にした後、設定してください。

表5.3.2 周辺機能クロックの周波数

周辺機能クロック	周辺機能クロック選択ビット(ビット4、3)		
	00、01	10	11
f_1	MCLK	MCLKの2分周	MCLKの4分周
f_8	MCLKの8分周	MCLKの16分周	MCLKの32分周
f_{32}	MCLKの32分周	MCLKの64分周	MCLKの128分周
f_{256}	MCLKの256分周	MCLKの512分周	MCLKの1024分周

注. 周辺機能クロックは、17MHz以下となるように設定してください。

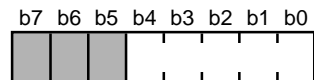
プロテクトレジスタ PRCR 【A₁₆番地】



ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	PRC0	プロテクトビット0 (注)	システムクロック制御レジスタ0, 1、メインクロック分周レジスタ、PLL制御レジスタ(6 ₁₆ 、7 ₁₆ 、C ₁₆ 、48 ₁₆ 番地)への書き込みを制御する 0: 書き込み禁止 1: 書き込み許可	0	RW	5-8
1	PRC1	プロテクトビット1 (注)	プロセッサモードレジスタ0, 1(4 ₁₆ 、5 ₁₆ 番地)への書き込みを制御する 0: 書き込み禁止 1: 書き込み許可	0	RW	2-13
2	-	"0"に固定してください		0	RW	
7~3	-	何も配置されていない		不定	-	

注．各レジスタに対する書き込み後、"0"に戻してください。

メインクロック分周レジスタ MCD 【C₁₆番地】



ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	MCD0	メインクロック分周比選択ビット (注1)	b4b3b2b1b0 00010: 2分周 00100: 4分周 01000: 8分周 10010: 分周なし 上記以外は選択禁止	0	RW	5-8
1	MCD1			0	RW	
2	MCD2			1	RW	
3	MCD3			0	RW	
4	MCD4			0	RW	
7~5	-	読み出し時の値は"0"		0	-	

注1．次の場合、これらのビットは"00100₂"(4分周)になります。

- ・X_{IN}入力クロック回路選択ビット(7₁₆番地のビット6)が"0"の状態、全クロック停止制御ビット(7₁₆番地のビット0)が"1"(ストップモード)にしたとき

次の場合、これらのビットは"01000₂"(8分周)になります。

- ・X_{IN}入力クロック回路選択ビット(7₁₆番地のビット6)が"0"から"1"にしたとき

- ・X_{IN}入力クロック回路選択ビット(7₁₆番地のビット6)が"1"の状態、全クロック停止制御ビット(7₁₆番地のビット0)が"1"(ストップモード)にしたとき

2．このレジスタは、プロテクトビット(A₁₆番地のビット0)を"1"にした後、設定してください。

監視タイマスタートレジスタ WDTS 【E₁₆番地】



ビット	ビットシンボル	機能	リセット時	R/W	参照先
7~0	WDTS	監視タイマの初期化 ダミーデータを書き込むと、監視タイマの値が"7FFF ₁₆ "に初期化される (ダミーデータ: 00 ₁₆ ~ FF ₁₆)	不定	-	15-3

監視タイマ制御レジスタ WDC 【F₁₆番地】

b7 b6 b5 b4 b3 b2 b1 b0

	0	0					
--	---	---	--	--	--	--	--

ビット	ビットシンボル	ビット名	機能	リセット時	R/W
0	WDC0	監視タイマ読み出しビットb10	監視タイマのビット10の内容を読み出す	不定	RO
1	WDC1	監視タイマ読み出しビットb11	監視タイマのビット11の内容を読み出す	不定	RO
2	WDC2	監視タイマ読み出しビットb12	監視タイマのビット12の内容を読み出す	不定	RO
3	WDC3	監視タイマ読み出しビットb13	監視タイマのビット13の内容を読み出す	不定	RO
4	WDC4	監視タイマ読み出しビットb14	監視タイマのビット14の内容を読み出す	不定	RO
6, 5	-	“0”に固定してください		0	RW
7	WDC7	プリスケアラ選択ビット	0 : Wf _{1d} (BCLKの16分周) 1 : Wf _{12d} (BCLKの128分周)	0	RW

参照先
15-3

PLL制御レジスタ0 PLC0 【48₁₆番地】

b7 b6 b5 b4 b3 b2 b1 b0

	0						
--	---	--	--	--	--	--	--

ビット	ビットシンボル	ビット名	機能	リセット時	R/W
0	PLC00	PLL通倍率選択ビット(注1,2)	b2b1b0 000 : 2通倍 001 : 3通倍 010 : 4通倍 011 : 5通倍 100 : } 選択禁止 101 : } 110 : } 111 : }	0	RW
1	PLC01		0	RW	
2	PLC02		0	RW	
3	PLC03		PLL回路ロック検出フラグ(注3)	0 : 非ロック状態 1 : ロック状態	0
4	PLC04	PLL分周比選択ビット(注2)	b5b4 00 : 選択禁止 01 : 2分周 10 : 4分周 11 : 選択禁止	1	RW
5	PLC05			1	RW
6	-	“0”に固定してください		0	RW
7	PLC07	PLL回路動作許可ビット(注2,4)	0 : PLL周波数変換回路停止、V _{CONT} 端子無効(フローティング) 1 : PLL周波数変換回路動作、V _{CONT} 端子有効	0	RW

参照先
5-9

- 注1. これらのビットはリセット後、1回だけ変更できます。
 2. これらのビットの変更は、メインクロック選択ビット(7₁₆番地のビット7)が“0”のときに行ってください。
 3. PLL回路動作許可ビット(ビット7)が“1”、かつメインクロック選択ビットが“0”のときだけ読み出せます(それ以外の読み出し時の値は“0”)。
 4. PLL周波数変換回路を使用しない場合は、“0”にしてください。ストップモード時は、ビットの内容にかかわらずPLL周波数変換回路は停止し、V_{CONT}端子は無効になります。
 5. このレジスタは、プロテクトビット(A₁₆番地のビット0)を“1”にした後、設定してください。

監視タイマ禁止レジスタ WDDS 【50₁₆番地】

b7 b0

--	--	--	--	--	--	--	--

ビット	ビットシンボル	機能	リセット時	R/W
7~0	WDDS	監視タイマの禁止 “79 ₁₆ ”、“50 ₁₆ ”を連続して書き込むと、監視タイマが停止する	不定	-

参照先
15-3

- 注. リセット後、1度だけ設定できます。
 “79₁₆”の書き込みと、次の“50₁₆”の書き込みの間で割り込みが発生すると、監視タイマが停止しませんので、注意してください。
 リセット後、このレジスタを読み出す、又は上記以外の手順で書き込むと、それ以降、このレジスタに書き込むことはできません。

フラッシュメモリ制御レジスタ1 FMR1 【55₁₆番地】

b7	b6	b5	b4	b3	b2	b1	b0
		0	0			0	

ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	-	読み出し時の値は不定		1	RO	17-5
1	-	“0”に固定してください		0	RW	
2	-	読み出し時の値は不定		1	RO	
3	-	読み出し時の値は不定		0	RO	
4	-	“0”に固定してください		0	RW	
5	-	“0”に固定してください。読み出し時の値は不定		不定	-	
6	FMR16	ロックビットフラグ	0：ロック状態 1：非ロック状態	0	RO	
7	-	読み出し時の値は不定		不定	-	

フラッシュメモリ制御レジスタ0 FMR0 【57₁₆番地】

b7	b6	b5	b4	b3	b2	b1	b0
		0	0				

ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	FMR00	RY / BYステータスフラグ	0：BUSY(コマンド実行中) 1：READY(コマンド実行終了)	1	RO	17-5
1	FMR01	CPU書き換えモード選択ビット (注1)	0：CPU書き換えモード無効 1：CPU書き換えモード有効	0	RW (注2)	
2	FMR02	ロックビット無効選択ビット (注3)	0：ロックビット有効 1：ロックビット無効	0	RW (注2)	
3	FMR03	フラッシュメモリリセット ビット (注4)	0：通常動作 1：リセット	0	RW	
5、4	-	“0”に固定してください		0	RW	
6	FMR06	プログラムステータスフラグ	0：正常終了 1：エラー (注5)	0	RO	
7	FMR07	イレーズステータスフラグ	0：正常終了 1：エラー (注5)	0	RO	

注1．このビットへの書き込みは、内蔵フラッシュメモリ以外の領域上で行ってください。

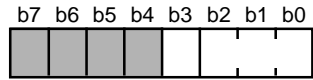
2．“1”にするときは、“0”を書き込んだ後、続けて“1”を書き込んでください。“0”にするときは、“0”を書き込んでください。

3．CPU書き換えモード選択ビット(ビット1)が“1”のとき書き込めます。CPU書き換えモード選択ビットが“0”になると、同時に“0”になります。

4．CPU書き換えモード選択ビット(ビット1)が“1”のとき有効です。CPU書き換えモード選択ビットが“0”のときは“0”に固定してください。

5．“0”にするときは、クリアステータスコマンドを実行してください。

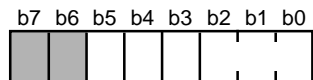
キー入力割り込み制御レジスタ KUPIC 【93₁₆番地】
 タイマA0～タイマA4割り込み制御レジスタ TA0IC～TA4IC 【6C₁₆、8C₁₆、6E₁₆、8E₁₆、70₁₆番地】
 タイマB0～タイマB2割り込み制御レジスタ TB0IC～TB2IC 【94₁₆、76₁₆、96₁₆番地】
 UART0送信割り込み制御レジスタ S0TIC 【90₁₆番地】
 UART0受信割り込み制御レジスタ S0RIC 【72₁₆番地】
 UART1送信割り込み制御レジスタ S1TIC 【92₁₆番地】
 UART1受信割り込み制御レジスタ S1RIC 【74₁₆番地】
 DMA0～DMA3割り込み制御レジスタ DM0IC～DM3IC 【68₁₆、88₁₆、6A₁₆、8A₁₆番地】
 A-D変換割り込み制御レジスタ ADIC 【73₁₆番地】



ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	ILVL0	割り込み優先レベル選択ビット	b2b1b0 000: レベルα(割り込み禁止) 001: レベル1 010: レベル2 011: レベル3 100: レベル4 101: レベル5 110: レベル6 111: レベル7	0	RW	7-5 キー入力 8-4 タイマAi 9-3 タイマBi 10-3 UART0 UART1 11-10 A-D 12-7 DMAC 14-7
1	ILVL1			0	RW	
2	ILVL2			0	RW	
3	IR			割り込み要求ビット (注)	0: 割り込み要求なし 1: 割り込み要求あり	
7～4	-	何も配置されていない		不定	-	

注．このビットへの書き込みにはMOV命令を使用してください。

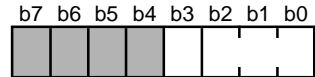
INT₀～INT₄割り込み制御レジスタ INT0IC～INT4IC
 【9E₁₆、7E₁₆、9C₁₆、7C₁₆、9A₁₆番地】



ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	ILVL0	割り込み優先レベル選択ビット	b2b1b0 000: レベルα(割り込み禁止) 001: レベル1 010: レベル2 011: レベル3 100: レベル4 101: レベル5 110: レベル6 111: レベル7	0	RW	7-5
1	ILVL1			0	RW	
2	ILVL2			0	RW	
3	IR			割り込み要求ビット (注)	0: 割り込み要求なし 1: 割り込み要求あり	
4	POL	極性切り替えビット	0: 立ち下がりエッジ/Lレベルを選択 1: 立ち上がりエッジ/Hレベルを選択	0	RW	
5	LVS	レベルセンス/エッジセンス切り替えビット	0: エッジセンス 1: レベルセンス	0	RW	
7、6	-	何も配置されていない		不定	-	

注．このビットへの書き込みにはMOV命令を使用してください。

復帰用優先順位レジスタ RLVL 【9F₁₆番地】



ビット	ビット シンボル	ビット名	機 能	リセット時	R/W	参照先
0	RLVL0	ストップ/ウエイト復帰用 割り込み優先レベル選択ビット	b2b1b0 000: レベル0	0	RW	16-4
1	RLVL1		001: レベル1	0	RW	
2	RLVL2		010: レベル2 011: レベル3 100: レベル4	0	RW	
			101: レベル5 110: レベル6 111: レベル7 (注)			
3	FSIT	高速割り込み選択ビット	0: 割り込み優先レベル7は通常割り込みに使用 1: 割り込み優先レベル7は高速割り込みに使用	0	RW	7-16
7~4	-	何も配置されていない		不定	-	

注．プロセッサ割り込み優先レベル(IPL)にも同じ値を設定してください。

外部割り込み入力制御レジスタ IPIN 【A2₁₆番地】

b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--

ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	-	読み出し時の値は“0”		0	-	
1	IPIN1	キー入力割り込み端子プルアップ選択ビット	0：プルアップしない 1：プルアップする	0	RW	8-3
2	IPIN2	キー入力割り込み端子選択ビット	b3 b2 00：K _{l0} ～K _{l3} を選択 01：K _{l0} ～K _{l2} を選択 10：K _{l0} 、K _{l1} を選択 11：K _{l0} を選択 (注)	0	RW	
3	IPIN3			0	RW	
4	-	読み出し時の値は“0”		0	-	
5	IPIN5	NMI端子プルアップ選択ビット	0：プルアップする 1：プルアップしない	0	RW	7-13
7、6	-	読み出し時の値は“0”		0	-	

注．K_l端子を使用する場合は、共用となっているタイマAの出力端子を使用しないでください(「第9章 タイマA」参照)

外部割り込み入力読み出しレジスタ IRKI 【A3₁₆番地】

b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--

ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	IRKI0	K _{l0} 入力検出ビット	対応するK _l 端子への立ち下がりエッジ入力を示す 0：立ち下がりエッジ入力あり 1：立ち下がりエッジ入力なし	不定	RW(注)	8-4
1	IRKI1	K _{l1} 入力検出ビット		不定	RW(注)	
2	IRKI2	K _{l2} 入力検出ビット		不定	RW(注)	
3	IRKI3	K _{l3} 入力検出ビット		不定	RW(注)	
4	-	読み出し時の値は“0”		0	-	
5	IRNM0	NMI読み出しビット	0：Lレベル 1：Hレベル	不定	RO	7-13
7、6	-	読み出し時の値は“0”		0	-	

注．“0”を書くど“1”になります。“1”を書いても変化しません。

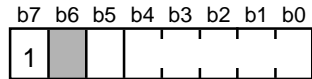
外部割り込み要因選択レジスタ IFSR 【A7₁₆番地】

b7 b6 b5 b4 b3 b2 b1 b0

0	0	0					
---	---	---	--	--	--	--	--

ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	IFSR0	INT ₀ 割り込み極性選択ビット	0：片エッジ 1：両エッジ	0	RW	7-14
1	IFSR1	INT ₁ 割り込み極性選択ビット		0	RW	
2	IFSR2	INT ₂ 割り込み極性選択ビット		0	RW	
3	IFSR3	INT ₃ 割り込み極性選択ビット		0	RW	
4	IFSR4	INT ₄ 割り込み極性選択ビット		0	RW	
7～5	-	“0”に固定してください		0	RW	

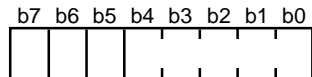
DMAi要因選択レジスタ(i=0~3) DMiSL 【B8₁₆~BB₁₆番地】



ビット	ビット シンボル	ビット名	機 能	リセット時	R/W	参照先
0	DSEL0	DMAi要求要因選択ビット	b4b3b2b1b0 00000: ソフトウェアトリガ 00001: INT(注1)端子の入力信号の立ち下がり 00010: INT(注1)端子の入力信号の立ち下がり及び立ち上がり 00011: タイマA0割り込み要求 00100: タイマA1割り込み要求 00101: タイマA2割り込み要求 00110: タイマA3割り込み要求 00111: タイマA4割り込み要求 01000: タイマB0割り込み要求 01001: タイマB1割り込み要求 01010: タイマB2割り込み要求 01011: } 選択禁止 01100: } 01101: }	0	RW	14-8
1	DSEL1		01110: UART0送信割り込み要求 01111: UART0受信割り込み要求 10000: UART1送信割り込み要求 10001: UART1受信割り込み要求 10010: } 選択禁止 10011: } 10100: } 10101: } 10110: } 10111: }	0	RW	
2	DSEL2		11000: A-D変換割り込み要求 11001: } 選択禁止 11010: } 11011: } 11100: } 11101: } 11110: } 11111: }	0	RW	
3	DSEL3			0	RW	
4	DSEL4			0	RW	
5	DSR	ソフトウェアDMAi要求ビット	ソフトウェアトリガ選択時、このビットへの'1'書き込みでDMA要求発生("0"書き込みは無効)読み出し時の値は"0"	0	WO	
6	-	何も配置されていない		不定	-	
7	-	"1"に固定してください。		0	RW	

注1. DMA0の場合はINT₀、DMA1の場合はINT₁、DMA2の場合はINT₂、DMA3の場合はINT₃になります。
2. このレジスタへの書き込みには、MOV命令を使用してください。

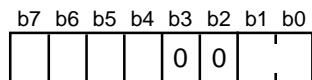
CSi制御レジスタ*i*(*i* = 0 ~ 3) CSiC0 【C0₁₆、C4₁₆、C8₁₆、CC₁₆番地】



ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	CSiC00	バスサイクル選択ビット	b4b3b2b1b0 00000: 選択禁止 10000: 選択禁止 00001: 1 +1 10001: 選択禁止 00010: 1 +2 10010: 選択禁止 00011: 1 +3 10011: 3 +3 00100: 1 +4 10100: 3 +4 00101: 1 +5 10101: 3 +5 00110: 1 +6 10110: 3 +6 00111: 選択禁止 10111: } 01000: 選択禁止 11000: } 選択禁止 01001: 選択禁止 11001: } 01010: 2 +2 11010: } 01011: 2 +3 11011: } 01100: 2 +4 11100: } 01101: 2 +5 11101: } 01110: 選択禁止 11110: } 01111: 選択禁止 11111: }	1	RW	3-8
1	CSiC01			1	RW	
2	CSiC02			0	RW	
3	CSiC03			0	RW	
4	CSiC04			0	RW	
5	CSiC05	RDY制御ビット (注1)	0: RDY制御有効 1: RDY制御無効	0	RW	
6	CSiC06	リカバリサイクル挿入選択ビット	0: CS領域アクセス時リカバリサイクルなし 1: CS領域アクセス時リカバリサイクル挿入	0	RW	
7	CSiC07	CSi出力選択ビット (注2)	0: CSi出力禁止(P4 ₄ ~P4 ₇ はプログラマブル入出力ポート又はアドレス端子として機能) 1: CSi出力許可(P4 ₄ ~P4 ₇ はCS端子として機能)	0	RW	

注1. RDY入力許可ビット(B1₁₆番地のビット0)が「1」のとき有効です。
 2. シングルチップモード時、このビットの内容は無効です(CSi出力禁止)。

CSi制御レジスタ*i*(*i* = 0 ~ 3) CSiC1 【C1₁₆、C5₁₆、C9₁₆、CD₁₆番地】

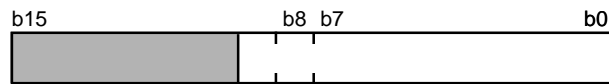


ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	CSiC10	CSi出力範囲選択ビット	b1 b0 00: 64Kバイト 01: 256Kバイト 10: 1Mバイト 11: 4Mバイト	0	RW	3-9
1	CSiC11			0	RW	
3, 2	-	“0”に固定してください		0	RW	
4	CSiC14	CSi領域データバス幅選択ビット	0: データバス幅8ビット 1: データバス幅16ビット	1	RW	
5	CSiC15	CSiマルチプレックスバス選択ビット	0: 分離バス 1: マルチプレックスバス(注1)	0	RW	
6	CSiC16	先頭アドレス選択ビット (注2)	0: 5000 ₁₆ 番地先頭 1: 100000 ₁₆ 番地先頭	0	RW	
7	CSiC17	CSiアドレス/ポート切り替えビット (注3)	0: プログラマブル入出力ポート 1: アドレス出力端子	0	RW	

注1. マルチプレックスバス選択時は、ビット4を「0」(データバス幅8ビット)にしてください。
 2. CS₀、CS₂、CS₃制御レジスタ1では「0」に固定してください。
 3. CSi出力選択ビット(C0₁₆、C4₁₆、C8₁₆、CC₁₆番地のビット7)が「0」のときのみ有効です。

A-Dレジスタ($i=0\sim7$) AD i

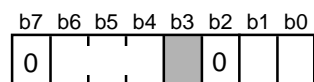
【101₁₆, 100₁₆番地、103₁₆, 102₁₆番地、105₁₆, 104₁₆番地、107₁₆, 106₁₆番地、109₁₆, 108₁₆番地、10B₁₆, 10A₁₆番地、10D₁₆, 10C₁₆番地、10F₁₆, 10E₁₆番地】



ビット	ビットシンボル	機能	リセット時	R/W	参照先
9~0	AD i	A-D変換結果を読み出す(注)	不定	RO	12-3
15~10	-	読み出し時の値は“0”	0	-	

注．分解能8ビットモード時、ビット8, 9は不定になります。

A-D制御レジスタ2 ADCON2 【114₁₆番地】



ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	SMP	A-D変換方式選択ビット	0 : サンプル&ホールドなし 1 : サンプル&ホールドあり	0	RW	12-3
1	TRG0	外部トリガ要因選択ビット (注1)	0 : AD _{TRG} 1 : タイマB2割り込み要求	0	RW	
2	-	“0”に固定してください		0	RW	
3	-	何も配置されていない		不定	-	
4	CKS0	A-D変換周波数(AD)選択 ビット (注2)	b6b5b4 000 : f _{AD} の2分周 001 : f _{AD} の3分周 010 : f _{AD} の4分周 011 : f _{AD} の6分周 1XX : f _{AD}	1	RW	
5	CKS1			0	RW	
6	CKS2			0	RW	
7	-	“0”に固定してください		0	RW	

X : “0”又は“1”いずれでもよい。

注1．トリガ選択ビット(116₁₆番地のビット5)が“1”のときだけ有効です。

2．ADの周波数が11.3MHz以下になるように設定してください。

3．このレジスタの各ビットに対する書き込みは、A-D変換器の動作モードに関係なく、A-D変換器停止時に行ってください。

A-D制御レジスタ0 ADCON0 【116₁₆番地】

b7	b6	b5	b4	b3	b2	b1	b0
0							

ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	CH0	アナログ入力端子選択ビット (注1、2)	b2b1b0 000: AN ₀ を選択 001: AN ₁ を選択 010: AN ₂ を選択 011: AN ₃ を選択 100: AN ₄ を選択 101: AN ₅ を選択 110: AN ₆ を選択 111: AN ₇ を選択	不定	RW	12-4
1	CH1			不定	RW	
2	CH2			不定	RW	
3	MD0	A-D動作モード選択ビット (注2)	b4 b3 00: 単発モード 01: 繰り返しモード 10: 単掃引モード 11: 繰り返し掃引モード	0	RW	
4	MD1			0	RW	
5	TRG	トリガ選択ビット	0: 内部トリガ 1: 外部トリガ	0	RW	
6	ADST	A-D変換開始フラグ	0: A-D変換停止 1: A-D変換開始	0	RW	
7	-	"0"に固定してください		0	RW	

注1. 単掃引モード、及び繰り返し掃引モードでは無効です("0"又は"1"いずれでもよい)。

2. A-D動作モードを切り替える場合は、再度アナログ入力端子を選択してください。

3. このレジスタの各ビットに対する書き込みは、A-D変換器の動作モードに関係なく、A-D変換器停止時に行ってください(ビット6への書き込みを除く)。

A-D制御レジスタ1 ADCON1 【117₁₆番地】

b7	b6	b5	b4	b3	b2	b1	b0
0	0		0		0		

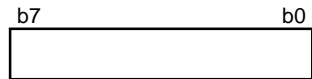
ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	SCAN0	A-D掃引端子選択ビット(注1)	b1 b0 00: AN ₀ 、AN(2端子) 01: AN ₀ ~AN(4端子) 10: AN ₀ ~AN(6端子) 11: AN ₀ ~AN(8端子)	0	RW	12-6
1	SCAN1			0	RW	
2	-	"0"に固定してください		0	RW	
3	BITS	分解能選択ビット	0: 8ビットモード 1: 10ビットモード	0	RW	
4	-	"0"に固定してください		0	RW	
5	VCUT	V _{REF} 接続選択ビット (注2)	0: V _{REF} 切断 1: V _{REF} 接続	0	RW	
7、6	-	"0"に固定してください		0	RW	

注1. 単発モード、及び繰り返しモードでは無効です("0"又は"1"いずれでもよい)。

2. このビットはA-D変換器を使用する場合のみ有効です。このビットを"0"から"1"にしたときは、1μs以上経過した後に、A-D変換を開始させてください。

3. このレジスタの各ビットに対する書き込みは、A-D変換器の動作モードに関係なく、A-D変換器停止時に行ってください。

D-Aレジスタ($i=0\sim 2$) DA i 【118₁₆～11A₁₆番地】

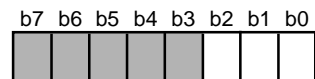


ビット	ビット シンボル	機 能	リセット時	R/W
7～0	DA i	設定値(00 ₁₆ ～FF ₁₆)がD-A変換され、出力される	0	RW

参照先
13-3

注．D-A変換器を使用しない場合は、“00₁₆”にしてください。

D-A制御レジスタ0 DACON0 【11C₁₆番地】

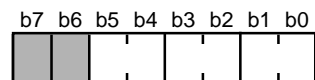


ビット	ビット シンボル	ビット名	機 能	リセット時	R/W
0	DA0E	D-A ₀ 出力許可ビット	0：出力禁止 1：出力許可（注）	0	RW
1	DA1E	D-A ₁ 出力許可ビット		0	RW
2	DA2E	D-A ₂ 出力許可ビット		0	RW
7～3	-	何も配置されていない	不定	-	-

参照先
13-3

注．D-A変換器を使用しない場合は、“0”にしてください。

D-A制御レジスタ1 DACON1 【11D₁₆番地】



ビット	ビット シンボル	ビット名	機 能	リセット時	R/W
0	DAT00	D-A ₀ 変換タイミング選択ビット	b ₁ b ₀ 00：D-Aレジスタ0書き込み時 01：タイマA3割り込み要求発生時 10：タイマA4割り込み要求発生時 11：タイマB0割り込み要求発生時（注）	0	RW
1	DAT01			0	RW
2	DAT10	D-A ₁ 変換タイミング選択ビット	b ₃ b ₂ 00：D-Aレジスタ1書き込み時 01：タイマA3割り込み要求発生時 10：タイマA4割り込み要求発生時 11：タイマB0割り込み要求発生時（注）	0	RW
3	DAT11			0	RW
4	DAT20	D-A ₂ 変換タイミング選択ビット	b ₅ b ₄ 00：D-Aレジスタ2書き込み時 01：タイマA3割り込み要求発生時 10：タイマA4割り込み要求発生時 11：タイマB0割り込み要求発生時（注）	0	RW
5	DAT21			0	RW
7、6	-	何も配置されていない	不定	-	-

参照先
13-4

注．D-A変換器を使用しない場合は、“00₂”にしてください。

カウント開始フラグ TABSR 【120₁₆番地】

b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--

ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	TA0S	タイマA0カウント開始フラグ	0：カウント停止 1：カウント開始	0	RW	9-4
1	TA1S	タイマA1カウント開始フラグ		0	RW	
2	TA2S	タイマA2カウント開始フラグ		0	RW	
3	TA3S	タイマA3カウント開始フラグ		0	RW	
4	TA4S	タイマA4カウント開始フラグ		0	RW	
5	TB0S	タイマB0カウント開始フラグ		0	RW	
6	TB1S	タイマB1カウント開始フラグ		0	RW	
7	TB2S	タイマB2カウント開始フラグ		0	RW	

ワンショット開始フラグ ONSF 【122₁₆番地】

b7 b6 b5 b4 b3 b2 b1 b0

		0					
--	--	---	--	--	--	--	--

ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	TA0OS	タイマA0ワンショット開始フラグ	1：ワンショットパルス出力開始 (内部トリガ選択時有効) 読み出し時の値は“0”	0	RW	9-4
1	TA1OS	タイマA1ワンショット開始フラグ		0	RW	
2	TA2OS	タイマA2ワンショット開始フラグ		0	RW	
3	TA3OS	タイマA3ワンショット開始フラグ		0	RW	
4	TA4OS	タイマA4ワンショット開始フラグ		0	RW	
5	-	“0”に固定してください		0	RW	
6	TA0TGL	タイマA0イベント/トリガ選択ビット	b7 b6 00：TA0 _{IN} 端子の入力信号 01：タイマB2割り込み要求 10：タイマA4割り込み要求 11：タイマA1割り込み要求	0	RW	
7	TA0TGH			0	RW	

トリガ選択レジスタ TRGSR 【123₁₆番地】

b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--

ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	TA1TGL	タイマA1イベント/トリガ選択ビット	b1 b0 00：TA1 _{IN} 端子の入力信号 01：タイマB2割り込み要求 10：タイマA0割り込み要求 11：タイマA2割り込み要求	0	RW	9-5
1	TA1TGH			0	RW	
2	TA2TGL	タイマA2イベント/トリガ選択ビット	b3 b2 00：TA2 _{IN} 端子の入力信号 01：タイマB2割り込み要求 10：タイマA1割り込み要求 11：タイマA3割り込み要求	0	RW	
3	TA2TGH			0	RW	
4	TA3TGL	タイマA3イベント/トリガ選択ビット	b5 b4 00：TA3 _{IN} 端子の入力信号 01：タイマB2割り込み要求 10：タイマA2割り込み要求 11：タイマA4割り込み要求	0	RW	
5	TA3TGH			0	RW	
6	TA4TGL	タイマA4イベント/トリガ選択ビット	b7 b6 00：TA4 _{IN} 端子の入力信号 01：タイマB2割り込み要求 10：タイマA3割り込み要求 11：タイマA0割り込み要求	0	RW	
7	TA4TGH			0	RW	

アップダウンフラグ UDF 【124₁₆番地】

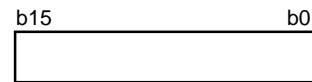
b7	b6	b5	b4	b3	b2	b1	b0

ビット	ビット シンボル	ビット名	機 能	リセット時	R/W	参照先
0	TA0UD	タイマA0アップダウンフラグ	0：ダウンカウント 1：アップカウント アップ/ダウン切り替え要因にアップダウンフラグの内容を選択すると有効になる	0	RW	9-5
1	TA1UD	タイマA1アップダウンフラグ		0	RW	
2	TA2UD	タイマA2アップダウンフラグ		0	RW	
3	TA3UD	タイマA3アップダウンフラグ		0	RW	
4	TA4UD	タイマA4アップダウンフラグ		0	RW	
5	TA2P	タイマA2二相パルス信号 処理機能選択ビット（注1）	0：二相パルス信号処理機能禁止 1：二相パルス信号処理機能許可 読み出し時の値は不定	不定	WO	
6	TA3P	タイマA3二相パルス信号 処理機能選択ビット（注1）		不定	WO	
7	TA4P	タイマA4二相パルス信号 処理機能選択ビット（注1）		不定	WO	

- 注1．二相パルス信号処理機能を使用しない場合は'0'にしてください。
 2．このレジスタへの書き込みにはMOV命令を使用してください。

タイマAiレジスタ(i=0~4) TAI

【127₁₆, 126₁₆番地、129₁₆, 128₁₆番地、12B₁₆, 12A₁₆番地、
12D₁₆, 12C₁₆番地、12F₁₆, 12E₁₆番地】

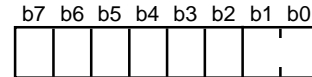


ビット	ビットシンボル	機能	リセット時	R/W
15~0	TAI	動作モードによって機能が異なる	不定	(注)

参照先
9-3

注．タイマモード及びイベントカウンタモードではRW、ワンショットパルスモード及びパルス幅変調モードではWOになります。

タイマAiモードレジスタ(i=0~4) TAIMR 【136₁₆~13A₁₆番地】



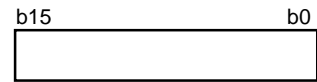
ビット	ビットシンボル	ビット名	機能	リセット時	R/W
0	TMOD0	動作モード選択ビット	b1 b0 00: タイマモード 01: イベントカウンタモード 10: ワンショットパルスモード 11: パルス幅変調(PWM)モード	0	RW
1	TMOD1			0	RW
2	MR0	動作モードによって機能が異なる		0	RW
3	MR1			0	RW
4	MR2			0	RW
5	MR3			0	RW
6	TCK0			0	RW
7	TCK1			0	RW

参照先
9-3

タイマモード

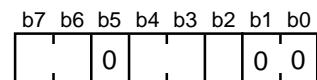
タイマAiレジスタ(i=0~4) TAI

【127₁₆, 126₁₆番地、129₁₆, 128₁₆番地、12B₁₆, 12A₁₆番地、12D₁₆, 12C₁₆番地、12F₁₆, 12E₁₆番地】



ビット	ビットシンボル	機能	リセット時	R/W	参照先
15~0	TAi	設定値をr(n=0000 ₁₆ ~FFFF ₁₆)とすると、カウンタはカウントソースをn+1分周する 読み出し時はカウンタの値を読み出す	不定	RW	9-8

タイマAiモードレジスタ(i=0~4) TAI_iMR 【136₁₆~13A₁₆番地】

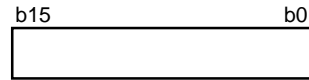


ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	TMOD0	動作モード選択ビット	b1 b0 00: タイマモード	0	RW	9-8
1	TMOD1			0	RW	
2	MR0	パルス出力機能選択ビット	0: パルス出力禁止(TA _i OUT端子はプログラマブル入出力ポートとして機能) 1: パルス出力許可(TA _i OUT端子はパルス出力端子として機能)	0	RW	
3	MR1	ゲート機能選択ビット	b4 b3 00: } ゲート機能なし 01: } (TA _i OUT端子はプログラマブル入出力ポートとして機能)	0	RW	
4	MR2		10: ゲート機能あり(TA _i IN端子がLレベルの期間だけカウント) 11: ゲート機能あり(TA _i IN端子がHレベルの期間だけカウント)	0	RW	
5	MR3	タイマモードでは'0'に固定してください		0	RW	
6	TCK0	カウントソース選択ビット	b7 b6 00: f ₁ 01: f ₈	0	RW	
7	TCK1		10: f ₃₂ 11: f ₂₅₆	0	RW	

イベントカウンタモード

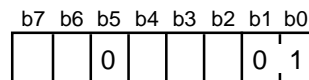
タイマAiレジスタ(i=0~4) TAI

【127₁₆, 126₁₆番地、129₁₆, 128₁₆番地、12B₁₆, 12A₁₆番地、12D₁₆, 12C₁₆番地、12F₁₆, 12E₁₆番地】



ビット	ビットシンボル	機能	リセット時	R/W	参照先
15~0	TAi	設定値をn(n=0000 ₁₆ ~FFFF ₁₆)とすると、ダウンカウント時カウンタはカウントソースをn+1分周、アップカウント時はカウントソースをFFFF ₁₆ -n+1分周する 読み出し時はカウンタの値を読み出す	不定	RW	9-14

タイマAiモードレジスタ(i=0~4) TAI_{MR} 【136₁₆~13A₁₆番地】



ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	TMOD0	動作モード選択ビット	b1 b0 0 1: イベントカウンタモード	0	RW	9-14
1	TMOD1		0	RW		
2	MR0	パルス出力機能選択ビット (注1)	0: パルス出力禁止(TAI _{OUT} 端子はプログラマブル入出力ポートとして機能) 1: パルス出力許可(TAI _{OUT} 端子はパルス出力端子として機能)	0	RW	
3	MR1	カウント極性選択ビット (注1)	0: TAI _{IN} 端子の入力信号の立ち下がり 1: TAI _{IN} 端子の入力信号の立ち上がり	0	RW	
4	MR2	アップ/ダウン切り替え要因 選択ビット (注2)	0: アップダウンフラグの内容 1: TAI _{OUT} 端子の入力信号	0	RW	
5	MR3	イベントカウンタモードでは“0”に固定してください		0	RW	
6	TCK0	カウント動作タイプ選択ビット	0: リロードタイプ 1: フリーランタイプ	0	RW	
7	TCK1	二相パルス処理動作選択ビット (注3)	0: 通常(2逓倍)処理動作 1: 4逓倍処理動作	0	RW	

注1．二相パルス信号処理機能を使用する場合は、“0”に固定してください。

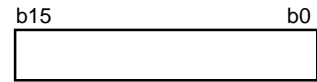
注2．二相パルス信号処理機能を使用する場合は、“1”に固定してください。

注3．タイマA3のみ設定できます。タイマA0~A2、A4では無効になります(“0”又は“1”いずれでもよい)。

ワンショットパルスモード

タイマAiレジスタ(i=0~4) TAI

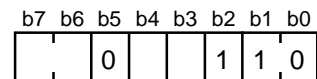
【127₁₆, 126₁₆番地、129₁₆, 128₁₆番地、12B₁₆, 12A₁₆番地、
12D₁₆, 12C₁₆番地、12F₁₆, 12E₁₆番地】



ビット	ビットシンボル	機能	リセット時	R/W	参照先
15~0	TAi	設定値をn(n=0000 ₁₆ ~FFFF ₁₆)とすると、TAi _{OUT} 端子から出力するワンショットパルスのHレベル幅はn/f _i となる	不定	WO	9-24

注．このレジスタへの書き込みにはMOV命令を使用してください。

タイマAiモードレジスタ(i=0~4) TAI_{MR} 【136₁₆~13A₁₆番地】



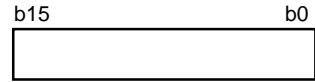
ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	TMOD0	動作モード選択ビット	b1 b0 10: ワンショットパルスモード	0	RW	9-24
1	TMOD1			0	RW	
2	MR0	ワンショットパルスモードでは'1'に固定してください	0	RW		
3	MR1	外部トリガ選択ビット(注)	0: TAI _{IN} 端子の入力信号の立ち下がり 1: TAI _{IN} 端子の入力信号の立ち上がり	0	RW	
4	MR2	トリガ選択ビット	0: ワンショット開始フラグへの'1'書き込み 1: タイマAiイベント/トリガ選択ビットで選択したトリガ	0	RW	
5	MR3	ワンショットパルスモードでは'0'に固定してください	0	RW		
6	TCK0	カウントソース選択ビット	b7 b6 00: f ₁ 01: f ₈ 10: f ₃₂ 11: f ₂₅₆	0	RW	
7	TCK1			0	RW	

注．タイマAiイベント/トリガ選択ビット(122₁₆番地のビット6, 7、123₁₆番地のビット0~7)でTAI_{IN}入力を選択した場合のみ有効(それ以外は'0'又は'1'いずれでもよい)

パルス幅変調(PWM)モード

タイマAiレジスタ(i=0~4) TAI

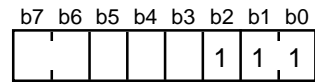
【127₁₆, 126₁₆番地、129₁₆, 128₁₆番地、12B₁₆, 12A₁₆番地、
12D₁₆, 12C₁₆番地、12F₁₆, 12E₁₆番地】



ビット	ビットシンボル	機能		リセット時	R/W	参照先
		8ビットパルス幅変調器として動作しているとき	16ビットパルス幅変調器として動作しているとき			
7~0	TAI	設定値を m ($m=00_{16} \sim FF_{16}$)とすると、TAI _{OUT} 端子から出力するPWMパルスの周期は $(m+1)(2^8-1)/f_i$ となる	設定値を n ($n=0000_{16} \sim FFFE_{16}$)とすると、TAI _{OUT} 端子から出力するPWMパルスのHレベル幅は n/f_i 、周期は $(2^{16}-1)/f_i$ となる	不定	WO	9-32
15~8		設定値を n ($n=00_{16} \sim FE_{16}$)とすると、TAI _{OUT} 端子から出力するPWMパルスのHレベル幅は $n(m+1)/f_i$ となる		不定	WO	

注．このレジスタへの書き込みにはMOV命令を使用してください。

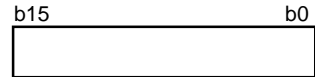
タイマAiモードレジスタ(i=0~4) TAI_{MR} 【136₁₆~13A₁₆番地】



ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	TMOD0	動作モード選択ビット	b1 b0 1 1 : PWMモード	0	RW	9-32
1	TMOD1			0	RW	
2	MR0	PWMモードでは'1'に固定してください		0	RW	
3	MR1	外部トリガ選択ビット (注)	0 : TAI _{IN} 端子の入力信号の立ち下がり 1 : TAI _{IN} 端子の入力信号の立ち上がり	0	RW	
4	MR2	トリガ選択ビット	0 : カウント開始フラグへの'1'書き込み 1 : タイマAiイベント/トリガ選択ビットで選択したトリガ	0	RW	
5	MR3	16/8ビットPWMモード選択ビット	0 : 16ビットパルス幅変調器として動作 1 : 8ビットパルス幅変調器として動作	0	RW	
6	TCK0	カウントソース選択ビット	b7 b6 0 0 : f ₁ 0 1 : f ₈ 1 0 : f ₃₂ 1 1 : f ₂₅₆	0	RW	
7	TCK1			0	RW	

注．タイマAiイベント/トリガ選択ビット(122₁₆番地のビット6, 7、123₁₆番地のビット0~7)でTAI_{IN}入力を選択した場合のみ有効(それ以外は'0'又は'1'いずれでもよい)

タイマBiレジスタ(i=0~2) TBi

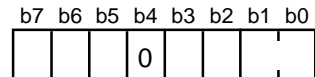


【131₁₆, 130₁₆番地、133₁₆, 132₁₆番地、135₁₆, 134₁₆番地】

ビット	ビットシンボル	機能	リセット時	R/W	参照先
15~0	TBi	動作モードによって機能が異なる	不定	(注)	10-3

注．タイマモード及びイベントカウンタモードではRW、パルス周期測定／パルス幅測定モードではROになります。

タイマBiモードレジスタ(i=0~2) TBiMR 【13B₁₆~13D₁₆番地】



ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	TMOD0	動作モード選択ビット	b1 b0 00: タイマモード 01: イベントカウンタモード 10: パルス周期測定／パルス幅測定モード 11: 選択禁止	0	RW	10-3
1	TMOD1			0	RW	
2	MR0	動作モードによって機能が異なる		0	RW	
3	MR1			0	RW	
4	-	“0”に固定してください		不定	-	
5	MR3	動作モードによって機能が異なる		不定	RO	
6	TCK0			0	RW	
7	TCK1			0	RW	

タイマモード

タイマBiレジスタ($i=0\sim 2$) TBi

b15 b0

【131₁₆, 130₁₆番地、133₁₆, 132₁₆番地、135₁₆, 134₁₆番地】

ビット	ビットシンボル	機能	リセット時	R/W	参照先
15~0	TBi	設定値を n ($n=0000_{16}\sim FFFF_{16}$)とすると、カウンタはカウントソースを $n+1$ 分周する 読み出し時はカウンタの値を読み出す	不定	RW	10-6

タイマBiモードレジスタ($i=0\sim 2$) TBiMR 【13B₁₆~13D₁₆番地】

b7 b6 b5 b4 b3 b2 b1 b0

X 0 X X 0 0

ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	TMOD0	動作モード選択ビット	b1 b0 00 : タイマモード	0	RW	10-6
1	TMOD1			0	RW	
2	MR0	タイマモードでは無効		0	RW	
3	MR1			0	RW	
4	-	“0”に固定してください		不定	-	
5	MR3	タイマモードでは無効		不定	RO	
6	TCK0	カウントソース選択ビット	b7 b6 00 : f_1 01 : f_8 10 : f_{32} 11 : f_{256}	0	RW	
7	TCK1			0	RW	

X：“0”又は“1”いずれでもよい。

イベントカウンタモード

タイマBiレジスタ($i=0\sim 2$) TBi

b15 b0

【131₁₆, 130₁₆番地、133₁₆, 132₁₆番地、135₁₆, 134₁₆番地】

ビット	ビットシンボル	機能	リセット時	R/W	参照先
15~0	TBi	設定値を n ($n=0000_{16}\sim FFFF_{16}$)とすると、カウンタはカウントソースを $n+1$ 分周する 読み出し時はカウンタの値を読み出す	不定	RW	10-10

タイマBiモードレジスタ($i=0\sim 2$) TBiMR 【13B₁₆~13D₁₆番地】

b7 b6 b5 b4 b3 b2 b1 b0

ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード	0	RW	10-10
1	TMOD1		0	RW		
2	MR0	カウント極性選択ビット	b3 b2 0 0 : TBin端子の入力信号の立ち下がりを実カウント 0 1 : TBin端子の入力信号の立ち上がりを実カウント 1 0 : TBin端子の入力信号の立ち上がり及び立ち下がりを実カウント 1 1 : 選択禁止	0	RW	
3	MR1		0	RW		
4	-		“0”に固定してください	不定	-	
5	MR3	イベントカウンタモードでは無効		不定	RO	
6	TCK0			不定	RW	
7	TCK1	イベントクロック選択ビット	0 : TBin端子の入力信号 1 : Tbj割り込み要求 (注)	0	RW	

注 . $j=i-1$ 。ただし、 $i=0$ の場合は $j=2$ 。

X : “0”又は“1”いずれでもよい。

パルス周期測定 / パルス幅測定モード

タイマBiレジスタ(i=0~2) TBi

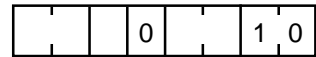
b15 b0

【131₁₆, 130₁₆番地、133₁₆, 132₁₆番地、135₁₆, 134₁₆番地】

ビット	ビット シンボル	機 能	リセット時	R/W	参照先
15~0	TBi	パルス周期、又はパルス幅の測定結果を読み出す	不定	RO	10-14

タイマBiモードレジスタ(i=0~2) TBiMR 【13B₁₆ ~ 13D₁₆番地】

b7 b6 b5 b4 b3 b2 b1 b0



ビット	ビット シンボル	ビット名	機 能	リセット時	R/W	参照先
0	TMOD0	動作モード選択ビット	b1 b0 10 : パルス周期測定 / パルス幅測定モード	0	RW	10-14
1	TMOD1			0	RW	
2	MR0	測定モード選択ビット	b3 b2 00 : パルス周期測定(立ち下がり - 立ち下がり間) 01 : パルス周期測定(立ち上がり - 立ち上がり間) 10 : パルス幅測定(立ち下がり - 立ち上がり間、 及び立ち上がり - 立ち下がり間) 11 : 選択禁止	0	RW	
3	MR1			0	RW	
4	-	“0”に固定してください		不定	-	
5	MR3	タイマBiオーバーフローフラグ (注)	0 : オーバーフローなし 1 : オーバーフローあり	不定	RO	
6	TCK0	カウントソース選択ビット	b7 b6 00 : f ₁ 01 : f ₈ 10 : f ₃₂ 11 : f ₂₅₆	0	RW	
7	TCK1			0	RW	

注 . このフラグは、カウント開始フラグが 1 の状態で、このフラグが 1 になった後の次のカウントソースのカウントタイミング以降にタイマBiモードレジスタに書き込みを行うと、“0”になります。このフラグをソフトウェアで 1 にすることはできません。

UARTi送受信モードレジスタ(i=0、1) UiMR 【148₁₆、168₁₆番地】

b7 b6 b5 b4 b3 b2 b1 b0

0							
---	--	--	--	--	--	--	--

ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	SMD0	シリアル/Oモード選択ビット	b2b1b0 000: シリアル/O無効(P6はプログラマブル入出力ポートとして機能) 001: クロック同期形シリアル/Oモード 010: 選択禁止 011: 選択禁止 100: UARTモード(転送データ長7ビット) 101: UARTモード(転送データ長8ビット) 110: UARTモード(転送データ長9ビット) 111: 選択禁止	0	RW	11-4
1	SMD1		0	RW		
2	SMD2		0	RW		
3	CKDIR		内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック	0	
4	STPS	ストップビット長選択ビット (注1)	0: ストップビット1ビット 1: ストップビット2ビット	0	RW	
5	PRY	パリティ奇数/偶数選択ビット (注1、2)	0: 奇数パリティ 1: 偶数パリティ	0	RW	
6	PRYE	パリティ許可ビット (注1)	0: パリティ禁止 1: パリティ許可	0	RW	
7	-	"0"に固定してください		0	RW	

注1. UARTモード時のみ有効です(クロック同期形シリアル/Oモード時は、“0”又は“1”いずれでもよい)。
 2. パリティ許可ビット(ビット6)が“1”のとき有効です。

UARTi転送速度レジスタ(i=0、1) UiBRG 【149₁₆、169₁₆番地】

b7 b0

--	--	--	--	--	--	--	--	--	--

ビット	ビットシンボル	機能	リセット時	R/W	参照先
7~0	UiBRG	設定値をn(n=00 ₁₆ ~FF ₁₆)とすると、BRGiはカウントソースをn+1分周する	不定	WO	11-5

注. このレジスタへの書き込みにはMOV命令を使用してください。また、このレジスタへの書き込みは、送受信停止中に行ってください。

UARTi送信バッファレジスタ(i=0、1) UiTB
 【14B₁₆、14A₁₆番地、16B₁₆、16A₁₆番地】

b15 b8 b7 b0

--	--	--	--	--	--	--	--	--	--

ビット	ビットシンボル	機能	リセット時	R/W	参照先
8~0	UiTB	送信データを設定	不定	WO	11-5
15~9	-	何も配置されていない	不定	-	

注. このレジスタへの書き込みにはMOV命令を使用してください。

UARTi送受信制御レジスタ*i*(*i*=0、1) UiC0 【14C₁₆、16C₁₆番地】

b7 b6 b5 b4 b3 b2 b1 b0

		0					
--	--	---	--	--	--	--	--

ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	CLK0	BRGカウントソース選択ビット	b1 b0 00 : f ₁ 01 : f ₈ 10 : f ₃₂ 11 : f ₂₅₆	0	RW	11-6
1	CLK1			0	RW	
2	CRS	CTS/RTS機能選択ビット (注1)	0 : CTSを選択 1 : RTSを選択	0	RW	
3	TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり(送信中) 1 : 送信レジスタにデータなし(送信完了)	1	RO	
4	CRD	CTS/RTS禁止ビット	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止	0	RW	
5	-	“0”に固定してください		0	RW	
6	CKPOL	CLK極性選択ビット (注2)	0 : クロックの立ち下がりで送信データ出力、 立ち上がりで受信データ入力 非転送時、CLK端子はHレベル 1 : クロックの立ち上がりで送信データ出力、 立ち下がりで受信データ入力 非転送時、CLK端子はLレベル	0	RW	
7	UFORM	転送フォーマット選択ビット (注2)	0 : LSB(最下位ビット)ファースト 1 : MSB(最上位ビット)ファースト	0	RW	

注1．CTS/RTS禁止ビットが“0”、かつCTS/RTS分離選択ビット(170₁₆番地のビット0、1)が“0”のとき有効です。
 2．UARTモード時、及びシリアルI/Oが無効のときは、“0”に固定してください。

UARTi送受信制御レジスタ*i*(*i*=0、1) UiC1 【14D₁₆、16D₁₆番地】

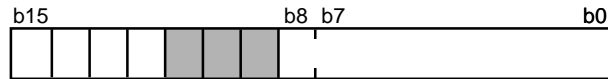
b7 b6 b5 b4 b3 b2 b1 b0

		0					
--	--	---	--	--	--	--	--

ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	0	RW	11-7
1	TI	送信バッファ空フラグ	0 : 送信バッファレジスタにデータあり 1 : 送信バッファレジスタにデータなし	1	RO	
2	RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	0	RW	
3	RI	受信完了フラグ	0 : 受信バッファレジスタにデータなし 1 : 受信バッファレジスタにデータあり	0	RO	
4	UTIIRS	UARTi送信割り込み要因選択ビット	0 : 送信開始割り込み(送信バッファレジスタ空) 1 : 送信完了割り込み(送信レジスタ空)	0	RW	
5	UiRRM	UARTi連続受信モード許可ビット (注)	0 : 連続受信モード禁止 1 : 連続受信モード許可	0	RW	
6	-	“0”に固定してください		0	RW	
7	URIIRS	UARTi受信割り込み要因選択ビット	0 : 受信割り込み 1 : 受信エラー割り込み	0	RW	

注．UARTモード時、及びシリアルI/Oが無効のときは、“0”に固定してください。

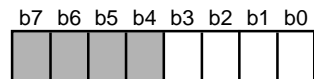
UART_i受信バッファレジスタ(i=0、1) UiRB
 【14F₁₆, 14E₁₆番地、16F₁₆, 16E₁₆番地】



ビット	ビット シンボル	ビット名	機 能	リセット時	R/W	参照先
8~0	UiRB	受信データを読み出す		不定	RO	11-8
11~9	-	読み出し時の値は“0”		0	-	
12	OER	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラーあり	不定	RO	
13	FER	フレーミングエラーフラグ (注)	0: フレーミングエラーなし 1: フレーミングエラーあり	不定	RO	
14	PER	パリティエラーフラグ (注)	0: パリティエラーなし 1: パリティエラーあり	不定	RO	
15	SUM	エラーサムフラグ (注)	0: エラーなし 1: エラーあり	不定	RO	

注．クロック同期形シリアルI/Oモード時は無効です。

シリアルI/O端子制御レジスタ SIOCON 【170₁₆番地】



ビット	ビット シンボル	ビット名	機 能	リセット時	R/W	参照先
0	CSEL0	CTS ₀ /RTS ₀ 分離選択ビット (注)	0: CTS ₀ /RTS ₀ を共用 1: CTS ₀ /RTS ₀ を分離	0	RW	11-9
1	CSEL1	CTS ₁ /RTS ₁ 分離選択ビット (注)	0: CTS ₁ /RTS ₁ を共用 1: CTS ₁ /RTS ₁ を分離	0	RW	
2	TSEL0	TxD ₀ /P6 ₃ 切り替えビット	0: TxD ₀ として機能 1: ポートP6 ₃ として機能	0	RW	
3	TSEL1	TxD ₁ /P6 ₇ 切り替えビット	0: TxD ₁ として機能 1: ポートP6 ₇ として機能	0	RW	
7~4	-	読み出し時の値は“0”		0	-	

注．CTS/RTS禁止ビット(14C₁₆, 16C₁₆番地のビット4)が“0”のとき有効です。

ポートPiレジスタ(i=0~10) Pi b7 b6 b5 b4 b3 b2 b1 b0
 【180₁₆、181₁₆、184₁₆、185₁₆、188₁₆、189₁₆、1A0₁₆、1A1₁₆、1A4₁₆、1A5₁₆、1A8₁₆番地】 □ □ □ □ □ □ □ □

ビット	ビット シンボル	ビット名	機 能	リセット時	R/W
0	Pi_0	ポートPi ₀ レジスタ	対応ビットの読み出し及び書き込みで、対応する端子のデータ入出力を行う 0：Lレベル 1：Hレベル	不定	RW
1	Pi_1	ポートPi ₁ レジスタ		不定	RW
2	Pi_2	ポートPi ₂ レジスタ		不定	RW
3	Pi_3	ポートPi ₃ レジスタ		不定	RW
4	Pi_4	ポートPi ₄ レジスタ		不定	RW
5	Pi_5	ポートPi ₅ レジスタ		不定	RW
6	Pi_6	ポートPi ₆ レジスタ		不定	RW
7	Pi_7	ポートPi ₇ レジスタ		不定	RW

参照先
6-5

注．ポートP8レジスタのビット5~7には何も配置されていません。また、読み出し時の値は不定です。

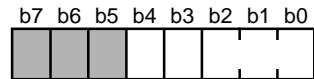
ポートPi方向レジスタ(i=0~10) PDi b7 b6 b5 b4 b3 b2 b1 b0
 【182₁₆、183₁₆、186₁₆、187₁₆、18A₁₆、18B₁₆、1A2₁₆、1A3₁₆、1A6₁₆、1A7₁₆、1AA₁₆番地】 □ □ □ □ □ □ □ □

ビット	ビット シンボル	ビット名	機 能	リセット時	R/W
0	PDi_0	ポートPi ₀ 方向レジスタ	0：入力モード(入力ポートとして機能) 1：出力モード(出力ポートとして機能)	0	RW
1	PDi_1	ポートPi ₁ 方向レジスタ		0	RW
2	PDi_2	ポートPi ₂ 方向レジスタ		0	RW
3	PDi_3	ポートPi ₃ 方向レジスタ		0	RW
4	PDi_4	ポートPi ₄ 方向レジスタ		0	RW
5	PDi_5	ポートPi ₅ 方向レジスタ		0	RW
6	PDi_6	ポートPi ₆ 方向レジスタ		0	RW
7	PDi_7	ポートPi ₇ 方向レジスタ		0	RW

参照先
6-4
ポートP6
11-11
ポートP7
8-5
9-6
ポートP8
7-15
9-6
ポートP9
7-15
10-4
12-8
ポートP10
12-8

注．ポートP8方向レジスタのビット5~7には何も配置されていません。また、読み出し時の値は不定です。

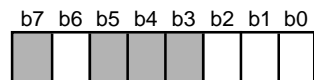
ポート機能制御レジスタ PCON 【19A₁₆番地】



ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	ASEL0	アドレス/ポート切り替えビット	b2b1b0 000: 選択禁止 001: 選択禁止 010: A ₀ ~ A ₁₉ 011: A ₀ ~ A ₁₇ , P ₄₂ , P ₄₃ 100: A ₀ ~ A ₁₅ , P ₄₀ ~ P ₄₃ 101: 選択禁止 110: A ₀ ~ A ₁₁ , P ₃₄ ~ P ₃₇ , P ₄₀ ~ P ₄₃ 111: A ₀ ~ A ₇ , P ₃₀ ~ P ₃₇ , P ₄₀ ~ P ₄₃	0	RW	3-6
1	ASEL1			1	RW	
2	ASEL2			0	RW	
3	ASEL3	データバス/ポート切り替えビット (注)	0: D ₀ ~ D ₇ 1: P ₀₀ ~ P ₀₇	0	RW	
4	PUP	P ₄₄ ~ P ₄₇ プルアップ選択ビット	0: プルアップする 1: プルアップしない	0	RW	
7~5	-	何も配置されていない		不定	-	

注．すべてのCS領域でマルチプレックスバスを選択している場合だけ有効。

特殊機能選択レジスタ PMD 【19B₁₆番地】



ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	PMD0	RDY入力許可ビット (注1)	0: RDY入力禁止 (P ₅₇ はプログラマブル入出力ポートとして機能) 1: RDY入力許可 (P ₅₇ はRDY端子として機能)	0	RW (注2)	3-7
1	PMD1	HOLD入力、HLDA出力許可ビット (注1)	0: HOLD入力、HLDA出力禁止 (P ₅₅ , P ₅₄ はプログラマブル入出力ポートとして機能) 1: HOLD入力、HLDA出力許可 (P ₅₅ , P ₅₄ はHOLD端子、HLDA端子として機能)	0	RW (注2)	
2	PMD2	スタンバイ状態選択ビット	0: 外部バス 1: プログラマブル入出力ポート	0	RW	16-5
5~3	-	何も配置されていない		不定	-	
6	PMD6	RDY解除タイミング選択ビット	0: RDY解除時ウエイトなし 1: RDY解除時ウエイトあり	0	RW	3-7
7	-	何も配置されていない		不定	-	

注1．シングルチップモード時は、これらのビットの内容にかかわらず、各機能が「禁止」になります。

2．リセット後、一度だけ「1」にできます。「1」から「0」にすると、それ以降「1」にできません(「0」に固定される)。

DMAモードレジスタ0 DMD0 【CPU内部レジスタ】

b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--

ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	MD00	チャンネル0転送モード選択ビット	b1 b0 00: DMA禁止 01: 単転送モード 10: 選択禁止 11: リピート転送モード	0	RW	14-3
1	MD01			0	RW	
2	BW0	チャンネル0転送単位選択ビット	0: 8ビット 1: 16ビット	0	RW	
3	RW0	チャンネル0転送方向選択ビット	0: 固定アドレス メモリ(順方向) 1: メモリ(順方向) 固定アドレス	0	RW	
4	MD10	チャンネル1転送モード選択ビット	b5 b4 00: DMA禁止 01: 単転送モード 10: 選択禁止 11: リピート転送モード	0	RW	
5	MD11			0	RW	
6	BW1	チャンネル1転送単位選択ビット	0: 8ビット 1: 16ビット	0	RW	
7	RW1	チャンネル1転送方向選択ビット	0: 固定アドレス メモリ(順方向) 1: メモリ(順方向) 固定アドレス	0	RW	

DMAモードレジスタ1 DMD1 【CPU内部レジスタ】

b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--

ビット	ビットシンボル	ビット名	機能	リセット時	R/W	参照先
0	MD20	チャンネル2転送モード選択ビット	b1 b0 00: DMA禁止 01: 単転送モード 10: 選択禁止 11: リピート転送モード	0	RW	14-3
1	MD21			0	RW	
2	BW2	チャンネル2転送単位選択ビット	0: 8ビット 1: 16ビット	0	RW	
3	RW2	チャンネル2転送方向選択ビット	0: 固定アドレス メモリ(順方向) 1: メモリ(順方向) 固定アドレス	0	RW	
4	MD30	チャンネル3転送モード選択ビット	b5 b4 00: DMA禁止 01: 単転送モード 10: 選択禁止 11: リピート転送モード	0	RW	
5	MD31			0	RW	
6	BW3	チャンネル3転送単位選択ビット	0: 8ビット 1: 16ビット	0	RW	
7	RW3	チャンネル3転送方向選択ビット	0: 固定アドレス メモリ(順方向) 1: メモリ(順方向) 固定アドレス	0	RW	

DMA_i転送カウントレジスタ($i=0\sim 3$) DCT_i 【CPU内部レジスタ】

b15
b0

ビット	ビット シンボル	機 能	リセット時	R/W	
15~0	DCT _i	転送回数(0000 ₁₆ ~FFFF ₁₆)を設定する(注1)	(注2)	RW	参照先 14-5

- 注1. 0000₁₆を設定した場合は、DMA要求が発生しても転送しません。
 2. DMA0、DMA1転送カウントレジスタでは不定になります。
 3. DMA2、DMA3転送カウントレジスタは、レジスタバンク1のR0、R1レジスタを使用します。DMA2、DMA3を使用するときは、レジスタバンク指定フラグ(B)を"1"にして、レジスタバンク1のR0、R1レジスタに設定してください。
 4. このレジスタへの書き込みは、DMA禁止時に行ってください。

DMA_i転送カウントリロードレジスタ($i=0\sim 3$) DRC_i 【CPU内部レジスタ】

b15
b0

ビット	ビット シンボル	機 能	リセット時	R/W	
15~0	DRC _i	リピート転送モード時、転送回数のリロード値(0000 ₁₆ ~FFFF ₁₆)を設定する(注1)	(注2)	RW	参照先 14-5

- 注1. 0000₁₆を設定した場合は、DMA要求が発生しても転送しません。
 2. DMA0、DMA1転送カウントリロードレジスタでは不定になります。
 3. DMA2、DMA3転送カウントリロードレジスタは、レジスタバンク1のR2、R3レジスタを使用します。DMA2、DMA3を使用するときは、レジスタバンク指定フラグ(B)を"1"にして、レジスタバンク1のR2、R3レジスタに設定してください。

DMA_iメモリアドレスレジスタ($i=0\sim 3$) DMA_i 【CPU内部レジスタ】

b23
b0

ビット	ビット シンボル	機 能	リセット時	R/W	
23~0	DMA _i	転送元又は転送先のメモリアドレス(000000 ₁₆ ~FFFFFF ₁₆)を設定する(注1)	(注2)	RW	参照先 14-6

- 注1. 転送方向が「固定アドレス メモリ」の場合は転送先のメモリアドレス、「メモリ 固定アドレス」の場合は転送元のメモリアドレスとなります。
 2. DMA0、DMA1メモリアドレスレジスタでは不定になります。
 3. DMA2、DMA3メモリアドレスレジスタは、レジスタバンク1のA0、A1レジスタを使用します。DMA2、DMA3を使用するときは、レジスタバンク指定フラグ(B)を"1"にして、レジスタバンク1のA0、A1レジスタに設定してください。
 4. このレジスタへの書き込みは、DMA禁止時に行ってください。

DMA_iメモリアドレスリロードレジスタ($i=0\sim 3$) DRA_i 【CPU内部レジスタ】

b23
b0

ビット	ビット シンボル	機 能	リセット時	R/W	
23~0	DRA _i	リピート転送モード時、転送元又は転送先のメモリアドレスのリロード値(000000 ₁₆ ~FFFFFF ₁₆)を設定する(注1)	(注2)	RW	参照先 14-6

- 注1. 転送方向が「固定アドレス メモリ」の場合は転送先のメモリアドレス、「メモリ 固定アドレス」の場合は転送元のメモリアドレスとなります。
 2. DMA0、DMA1メモリアドレスリロードレジスタでは不定になります。
 3. DMA2、DMA3メモリアドレスリロードレジスタは、SVP、VCTレジスタを使用します。DMA2、DMA3を使用するときは、SVP、VCTレジスタに設定してください。

DMA_iSFRアドレスレジスタ($i=0\sim 3$) DSA_i 【CPU内部レジスタ】

b23
b0

ビット	ビット シンボル	機 能	リセット時	R/W	
23~0	DSA _i	転送元又は転送先の固定アドレス(000000 ₁₆ ~FFFFFF ₁₆)を設定する(注1)	(注2)	RW	参照先 14-7

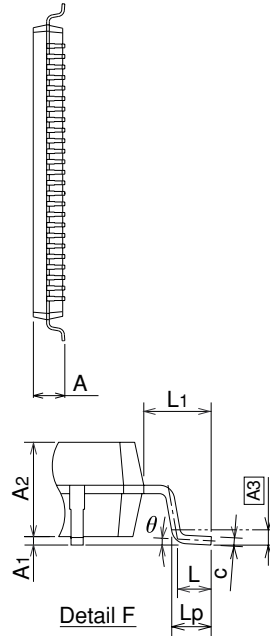
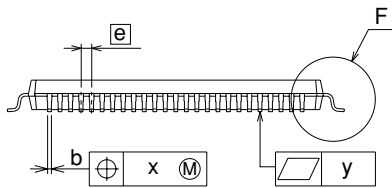
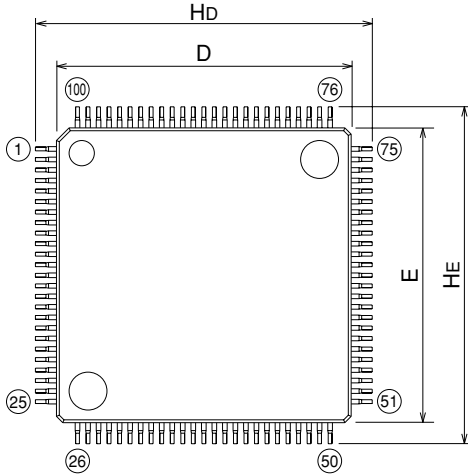
- 注1. 転送方向が「固定アドレス メモリ」の場合は転送元の固定アドレス、「メモリ 固定アドレス」の場合は転送先の固定アドレスとなります。
 2. DMA0、DMA1SFRアドレスレジスタでは不定になります。
 3. DMA2、DMA3SFRアドレスレジスタは、レジスタバンク1のSB、FBレジスタを使用します。DMA2、DMA3を使用するときは、レジスタバンク指定フラグ(B)を"1"にして、レジスタバンク1のSB、FBレジスタに設定してください。
 4. このレジスタへの書き込みは、DMA禁止時に行ってください。

付録3．外形寸法図

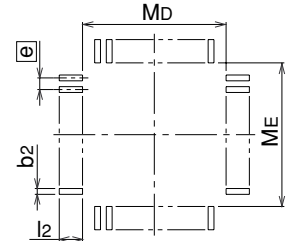
100P6Q-A

Plastic 100pin 14X14mm body LQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP100-P-1414-0.50	-	0.63	Cu Alloy



Detail F



Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	1.7
A1	0	0.1	0.2
A2	-	1.4	-
b	0.13	0.18	0.28
c	0.105	0.125	0.175
D	13.9	14.0	14.1
E	13.9	14.0	14.1
e	-	0.5	-
Hd	15.8	16.0	16.2
HE	15.8	16.0	16.2
L	0.3	0.5	0.7
L1	-	1.0	-
Lp	0.45	0.6	0.75
A3	-	0.25	-
x	-	-	0.08
y	-	-	0.1
θ	0°	-	10°
b2	-	0.225	-
l2	0.9	-	-
Md	-	14.4	-
ME	-	14.4	-

Memo

付録4．未使用端子の処理例

入出力端子を使用しない場合は、各端子ごとに処理が必要です。未使用端子の処理例を以下に示します。ここで説明する例は一例です。ご使用に際しては、ユーザアプリケーションに対応して適宜変更、及び十分な評価をしてください。

1．シングルチップモード時

表1 シングルチップモード時の未使用端子の処理例

端子名	処理例
P0～P3、P4 ₀ ～P4 ₃ 、P5～P10	入力モードに設定し各端子ごとに抵抗を介してV _{CC} 又はV _{SS} に接続、あるいは出力モードに設定し開放(注1)
P4 ₄ ～P4 ₇	入力モードに設定し開放(注2、3)
NMI(注2、4)、XOUT(注5)、VCONT(注6)	開放
AV _{CC}	V _{CC} に接続
AV _{SS} 、V _{REF}	V _{SS} に接続

注1．出力モードに設定し開放する場合、リセットからソフトウェアによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、定期的に方向レジスタの内容を再設定した方が、ソフトウェアの信頼度が高くなります。

未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

2．V_{SS}に接続しないでください。

3．P4₄～P4₇プルアップ選択ビット(19A₁₆番地のビット4)=0にしてください。

4．NMI端子プルアップ選択ビット(A2₁₆番地のビット5)=0にしてください。

5．X_{IN}端子に外部で生成したクロックを入力しているとき。

6．PLL回路動作許可ビット(48₁₆番地のビット7)=0にしてください。

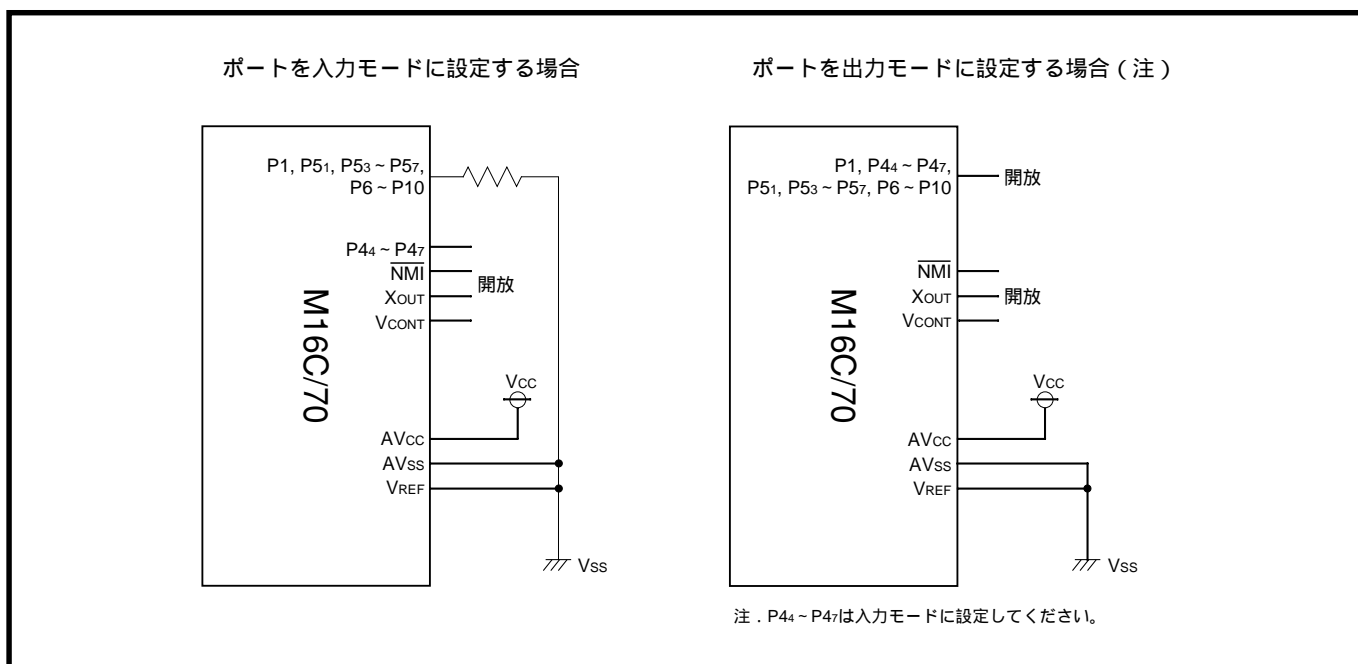


図1 シングルチップモード時の未使用端子の処理例

2．メモリ拡張モード時

表2 メモリ拡張モード時の未使用端子の処理例

端子名	処理例
P1(注1) P5(注1) P53～P57、 P6～P10	入力モードに設定し各端子ごとに抵抗を介してV _{CC} 又はV _{SS} に接続、 あるいは出力モードに設定し開放(注2)
P44～P47	入力モードに設定し開放(注3、4)
NMI(注3、5) X _{OUT} (注6) V _{CONT} (注7)	開放
AV _{CC}	V _{CC} に接続
AV _{SS} 、V _{REF}	V _{SS} に接続

注1．すべてのCS_i領域でデータバス幅8ビットを選択している場合(「第3章 外部デバイス接続」参照)。

2．出力モードに設定し開放する場合、リセットからソフトウェアによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、定期的に方向レジスタの内容を再設定した方が、ソフトウェアの信頼度が高くなります。

未使用端子処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

3．V_{SS}に接続しないでください。

4．P44～P47プルアップ選択ビット(19A₁₆番地のビット4)=0にしてください。

5．NMI端子プルアップ選択ビット(A2₁₆番地のビット5)=0にしてください。

6．X_{IN}端子に外部で生成したクロックを入力しているとき。

7．PLL回路動作許可ビット(48₁₆番地のビット7)=0にしてください。

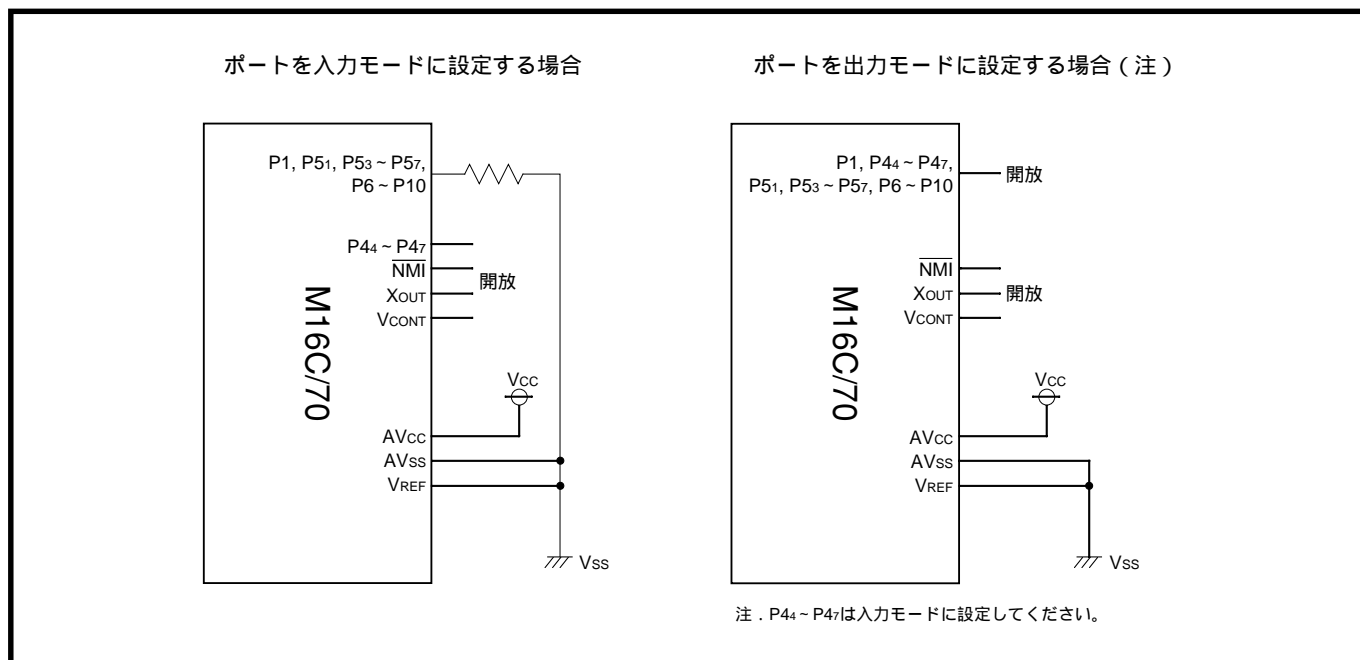


図2 メモリ拡張モード時の未使用端子の処理例

付録5 . 16進命令コード対応表

	D7 ~ D4	0000	0001	0010	0011	0100	0101	0110	0111
D3 ~ D0		0	1	2	3	4	5	6	7
0000	0	BRK	MOV.B:S R0L,abs16	MOV.B:S R0L,8[SB]	MOV.B:S R0L,8[FB]		CMP.B:S abs16,R0L	CMP.B:S 8[SB],R0L	CMP.B:S 8[FB],R0L
0001	1	CODE_24BIT 命令	MOV.W:S R0,abs16	MOV.W:S R0,8[SB]	MOV.W:S R0,8[FB]	INDIRS	CMP.W:S abs16,R0	CMP.W:S 8[SB],R0	CMP.W:S 8[FB],R0
0010	2	MOV.B:Z #0,R0L	MOV.B:Z #0,abs16	MOV.B:Z #0,8[SB]	MOV.B:Z #0,8[FB]	ADD.L:Q 1,SP	ADD.L:Q 3,SP	ADD.L:Q 5,SP	ADD.L:Q 7,SP
0011	3	MOV.W:Z #0,R0	MOV.W:Z #0,abs16	MOV.W:Z #0,8[SB]	MOV.W:Z #0,8[FB]	ADD.L:Q 2,SP	ADD.L:Q 4,SP	ADD.L:Q 6,SP	ADD.L:Q 8,SP
0100	4	MOV.B:S #IMM8,R0L	MOV.B:S #IMM8,abs16	MOV.B:S #IMM8,8[SB]	MOV.B:S #IMM8,8[FB]	OR.B:S #IMM8,R0L	OR.B:S #IMM8,abs16	OR.B:S #IMM8,8[SB]	OR.B:S #IMM8,8[FB]
0101	5	MOV.W:S #IMM16,R0	MOV.W:S #IMM16,abs16	MOV.W:S #IMM16,8[SB]	MOV.W:S #IMM16,8[FB]	OR.W:S #IMM16,R0	OR.W:S #IMM16,abs16	OR.W:S #IMM16,8[SB]	OR.W:S #IMM16,8[FB]
0110	6	ADD.B:S #IMM8,R0L	ADD.B:S #IMM8,abs16	ADD.B:S #IMM8,8[SB]	ADD.B:S #IMM8,8[FB]	CMP.B:S #IMM8,R0L	CMP.B:S #IMM8,abs16	CMP.B:S #IMM8,8[SB]	CMP.B:S #IMM8,8[FB]
0111	7	ADD.W:S #IMM16,R0	ADD.W:S #IMM16,abs16	ADD.W:S #IMM16,8[SB]	ADD.W:S #IMM16,8[FB]	CMP.W:S #IMM16,R0	CMP.W:S #IMM16,abs16	CMP.W:S #IMM16,8[SB]	CMP.W:S #IMM16,8[FB]
1000	8	BRK2	MOV.B:S abs16,R0L	MOV.B:S 8[SB],R0L	MOV.B:S 8[FB],R0L		MOV.L:S abs16,A0	MOV.L:S 8[SB],A0	MOV.L:S 8[FB],A0
1001	9	INDIRD	MOV.W:S abs16,R0	MOV.W:S 8[SB],R0	MOV.W:S 8[FB],R0	INDIR	MOV.L:S abs16,A1	MOV.L:S 8[SB],A1	MOV.L:S 8[FB],A1
1010	A	BTST:S 0,abs16	BTST:S 2,abs16	BTST:S 4,abs16	BTST:S 6,abs16	JMP.S \$+2	JMP.S \$+4	JMP.S \$+6	JMP.S \$+8
1011	B	BTST:S 1,abs16	BTST:S 3,abs16	BTST:S 5,abs16	BTST:S 7,abs16	JMP.S \$+3	JMP.S \$+5	JMP.S \$+7	JMP.S \$+9
1100	C	TST.B:S #IMM8,R0L	TST.B:S #IMM8,abs16	TST.B:S #IMM8,8[SB]	TST.B:S #IMM8,8[FB]	AND.B:S #IMM8,R0L	AND.B:S #IMM8,abs16	AND.B:S #IMM8,8[SB]	AND.B:S #IMM8,8[FB]
1101	D	TST.W:S #IMM16,R0	TST.W:S #IMM16,abs16	TST.W:S #IMM16,8[SB]	TST.W:S #IMM16,8[FB]	AND.W:S #IMM16,R0	AND.W:S #IMM16,abs16	AND.W:S #IMM16,8[SB]	AND.W:S #IMM16,8[FB]
1110	E	SUB.B:S #IMM8,R0L	SUB.B:S #IMM8,abs16	SUB.B:S #IMM8,8[SB]	SUB.B:S #IMM8,8[FB]	MOV.B:S R0L,R1L	MOV.B:S abs16,R1L	MOV.B:S 8[SB],R1L	MOV.B:S 8[FB],R1L
1111	F	SUB.W:S #IMM16,R0	SUB.W:S #IMM16,abs16	SUB.W:S #IMM16,8[SB]	SUB.W:S #IMM16,8[FB]	MOV.W:S R0,R1	MOV.W:S abs16,R1	MOV.W:S 8[SB],R1	MOV.W:S 8[FB],R1

各CODEには、次の命令が配置されています。

CODE_80 ~ 89: SUBX, JMP, ADDX, ADD, INDEXB, INDEXW, MULU, OR, CMP, XOR, MUL, DIVU, DIV, SUB, MOV, AND

CODE_90 ~ 99: SUBX, JSRI, SHL, SUB, ADDX, INDEXLS, INDEXL, MULU, OR, CMP, ADD, XOR, MOV, MUL, AND, XOR, DIVX, TST, STZ, STNZ, STZX

CODE_A0 ~ A9: SUBX, PUSH, CMPX, SHA, CMP, ADDX, INDEXBD, INDEXWD, MULU, OR, ADD, XOR, SUB, MOV, MUL, AND, INC, NOT, RORC, SHL, ABS, NEG, ROT

CODE_B0 ~ B9: SUBX, MOVX, MOV, ADDX, DIVU, INDEXLD, DIV, SMOVF, MULU, OR, CMP, ADD, XOR, SUB, MOV, MUL, AND, DEC, ADCF, ROLC, SHA, POP,

PUSHA, WAIT, DIVX, SIN, SOUT, PUSH, SMOVB, LDCTX, STCTX, SSTR, RMPA, SMOVU, SCMPU

CODE_C0 ~ C9: SUBX, SHL, SHA, ADDX, INDEXBS, INDEXWS, MULU, OR, CMP, ADD, XOR, SUB, MOV, MUL, AND, PUSH, EXTS, BITINDEX, MULEX, JMP, JSRI

CODE_D0 ~ D9: BTST, BMcnd, BTSTC, BCLR, XCHG, BNOT, BTSTS, BSET, LDC, STC, SCcnd, PUSHC, FSET, MOVA, POPC, FCLR, LDPL

CODE_E0 ~ E9: SHL, CMP, ROT, ADD

CODE_F0 ~ F9: SHA, ADJNZ, MOV, ADD

CODE_24BIT命令: DADD, DSUB, ADC, SBB, EXTS, DADC, TST, DSBB, EXTZ, MIN, MAX, CLIP, MOVdir, BNTST, BOR, BNOR, BAND, BNAND, BXOR, BNXOR, LDC, STC

	D7 ~ D4	1000	1001	1010	1011	1100	1101	1110	1111
D3 ~ D0		8	9	A	B	C	D	E	F
0000	0	CODE_80	CODE_90	CODE_A0	CODE_B0	CODE_C0	CODE_D0	CODE_E0	CODE_F0
0001	1	CODE_81	CODE_91	CODE_A1	CODE_B1	CODE_C1	CODE_D1	CODE_E1	CODE_F1
0010	2	CODE_82	CODE_92	CODE_A2	CODE_B2	CODE_C2	CODE_D2	CODE_E2	CODE_F2
0011	3	CODE_83	CODE_93	CODE_A3	CODE_B3	CODE_C3	CODE_D3	CODE_E3	CODE_F3
0100	4	CODE_84	CODE_94	CODE_A4	CODE_B4	CODE_C4	CODE_D4	CODE_E4	CODE_F4
0101	5	CODE_85	CODE_95	CODE_A5	CODE_B5	CODE_C5	CODE_D5	CODE_E5	CODE_F5
0110	6	CODE_86	CODE_96	CODE_A6	CODE_B6	CODE_C6	CODE_D6	CODE_E6	CODE_F6
0111	7	CODE_87	CODE_97	CODE_A7	CODE_B7	CODE_C7	CODE_D7	CODE_E7	CODE_F7
1000	8	CODE_88	CODE_98	CODE_A8	CODE_B8	CODE_C8	CODE_D8	CODE_E8	CODE_F8
1001	9	CODE_89	CODE_99	CODE_A9	CODE_B9	CODE_C9	CODE_D9	CODE_E9	CODE_F9
1010	A	JNC label8	JNZ label8	JNO label8	JGE label8	JC label8	JZ label8	JO label8	JLT label8
1011	B	JELU label8	JPZ label8	JGT label8	JMP.B label8	JGTU label8	JN label8	JLE label8	
1100	C	ADD.L #1,A0	MOV.W:S #IMM16,A0	ADD.L #2,A0	MOV.L:S #IMM24,A0	JMP.A abs24	JMPS #IMM8	ENTER #IMM8	EXITD
1101	D	ADD.L #1,A1	MOV.W:S #IMM16,A1	ADD.L #2,A1	MOV.L:S #IMM24,A1	JSR.A abs24	JSRS #IMM8		
1110	E	POPM FB,SB,A0,R2	REIT	PUSH.B #IMM8	INT #IMM6	JMP.W abs16	NOP		
1111	F	PUSHM FB,SB,A0,R2	FREIT	PUSH.W #IMM16	INTO	JSR.W abs16	RTS		UND

付録6．ノイズに関する参考資料

ノイズに対する一般的な対策例を以下に示します。システムによって効果は異なります。ご使用に際しては、ユーザアプリケーションに対応して、適宜変更、及び十分な評価をしてください。

1. 配線長の短縮

基板上の配線は、ノイズをマイクロコンピュータ内部に引き込むアンテナとなる可能性があります。ノイズを引き込む可能性は、総配線長を短くする(mm単位)ほど低くなります。

(1) RESET端子の配線

RESET端子に接続する配線は短くする。

特に、RESET端子とV_{SS}端子の間に接続するコンデンサは、可能な限り短い(20mm以内)配線で、RESET端子、及びV_{SS}端子に接続する。

【理由】

RESET端子にノイズが入力された場合、内部が完全な初期状態になる前にマイクロコンピュータが動作を再開し、プログラム暴走の原因となります。

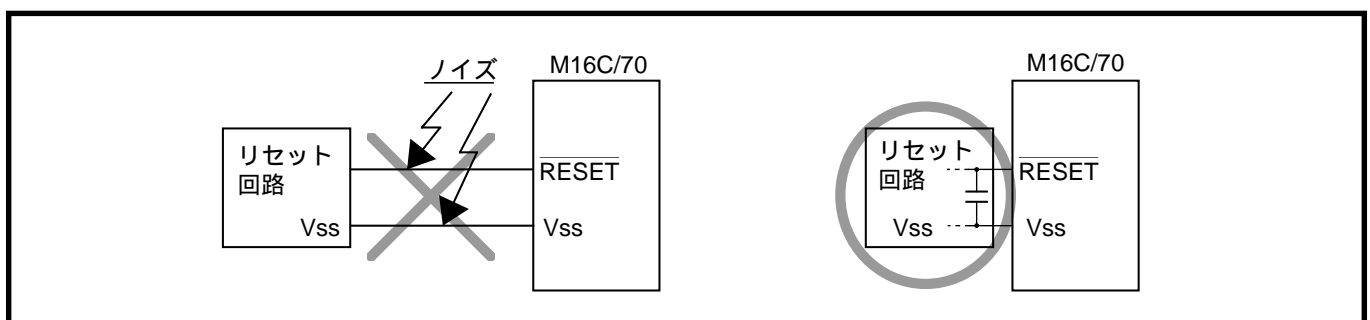


図3 RESET端子の配線

(2) クロック入出力端子の配線

クロック入出力端子に接続する配線は短くする。

発振子に接続するコンデンサの接地側リード線と、マイクロコンピュータのV_{SS}端子は最短(20mm以内)の配線で接続する。

発振用のV_{SS}パターンは発振回路専用とし、他のV_{SS}パターンから分離する(図12参照)。

【理由】

マイクロコンピュータは発振回路で生成されたクロックに同期して動作します。

クロック入出力端子にノイズが侵入した場合、クロックの波形が乱れ、誤動作やプログラム暴走の原因となります。

また、マイクロコンピュータのV_{SS}レベルと発振子のV_{SS}レベルの間にノイズによる電位差が生じると、正確なクロックが生成されません。

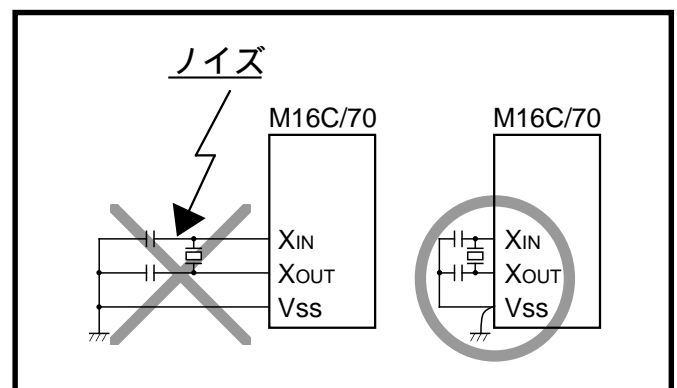


図4 クロック入出力端子の配線

(3) CNVss端子及びFMD端子の配線

CNVss端子及びFMD端子とVss端子を接続する場合は、最短の配線で接続する。

【理由】

CNVss端子及びFMD端子のレベルはマイクロコンピュータの動作モードに影響します。

CNVss端子及びFMD端子とVss端子を接続したとき、CNVss端子及びFMD端子のレベルとVss端子のレベルの間にノイズによる電位差が生じると、動作モードが不安定となり、誤動作やプログラム暴走の原因となります。

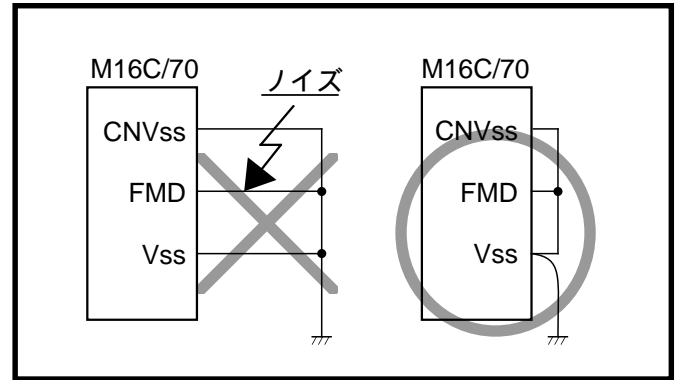


図5 CNVss端子及びFMD端子の配線

(4) VCONT端子の配線

VCONT端子にフィルタ回路を接続する場合は、最短の配線で接続する。

【理由】

ノイズなどによりVCONT端子のレベルが不安定になると、PLL周波数変換回路の安定率が悪くなる場合があります。

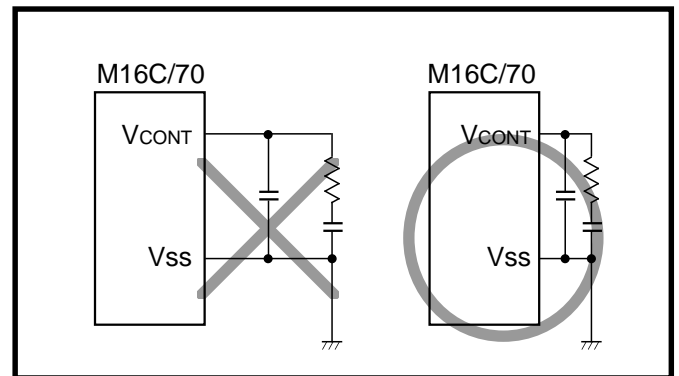


図6 VCONT端子の配線

2. Vss - Vcc及びVss - FVccライン間へのバイパスコンデンサの挿入

Vss - Vcc及びVss - FVccライン間には、0.1 μ F程度のバイパスコンデンサを挿入する。バイパスコンデンサの挿入時は以下の条件を満たすこと。

- ・ Vss端子 - バイパスコンデンサ間の配線長と Vcc端子又はFVcc端子 - バイパスコンデンサ間の配線長が等しいこと
- ・ Vss端子 - バイパスコンデンサ間の配線長、及びVcc端子又はFVcc端子 - バイパスコンデンサ間の配線長が最短であること
- ・ Vssライン、Vccライン、及びFVccラインには他の信号線よりも幅の広い配線を使用すること

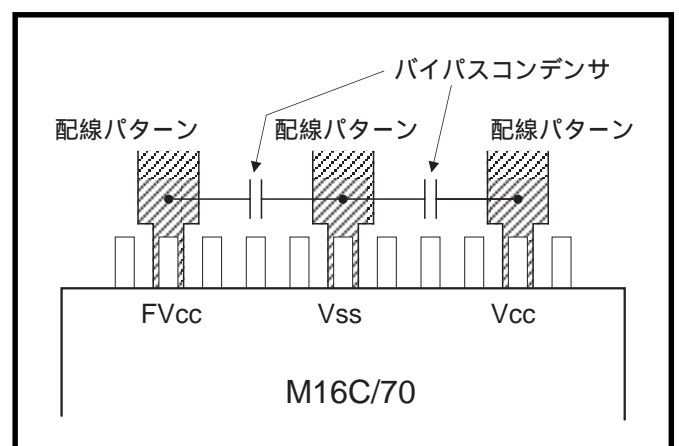


図7 Vss - Vcc及びVss - FVccライン間のバイパスコンデンサ

3．アナログ入力端子、アナログ電源端子などの配線処理

(1)アナログ入力端子の処理

アナログ入力端子に接続するアナログ信号線の、可能な限りマイクロコンピュータに近い位置に、抵抗を直列に接続する。

アナログ入力端子とAV_{SS}端子間の、可能な限りAV_{SS}端子に近い位置に、コンデンサを挿入する。

【理由】

アナログ入力端子に入力する信号は、通常、センサからの出力信号です。

事象の変化を検知するセンサは、マイクロコンピュータを実装している基板から離れた位置に配置されることが多く、アナログ入力端子への配線は必然的に長くなります。この長い配線がマイクロコンピュータ内部までノイズを引き込むアンテナとなるため、アナログ入力端子にはノイズが侵入しやすくなります。

また、アナログ入力端子とAV_{SS}端子間のコンデンサをAV_{SS}端子から遠い位置で接地した場合、そのグランド上のノイズがコンデンサ経由でマイクロコンピュータに侵入します。

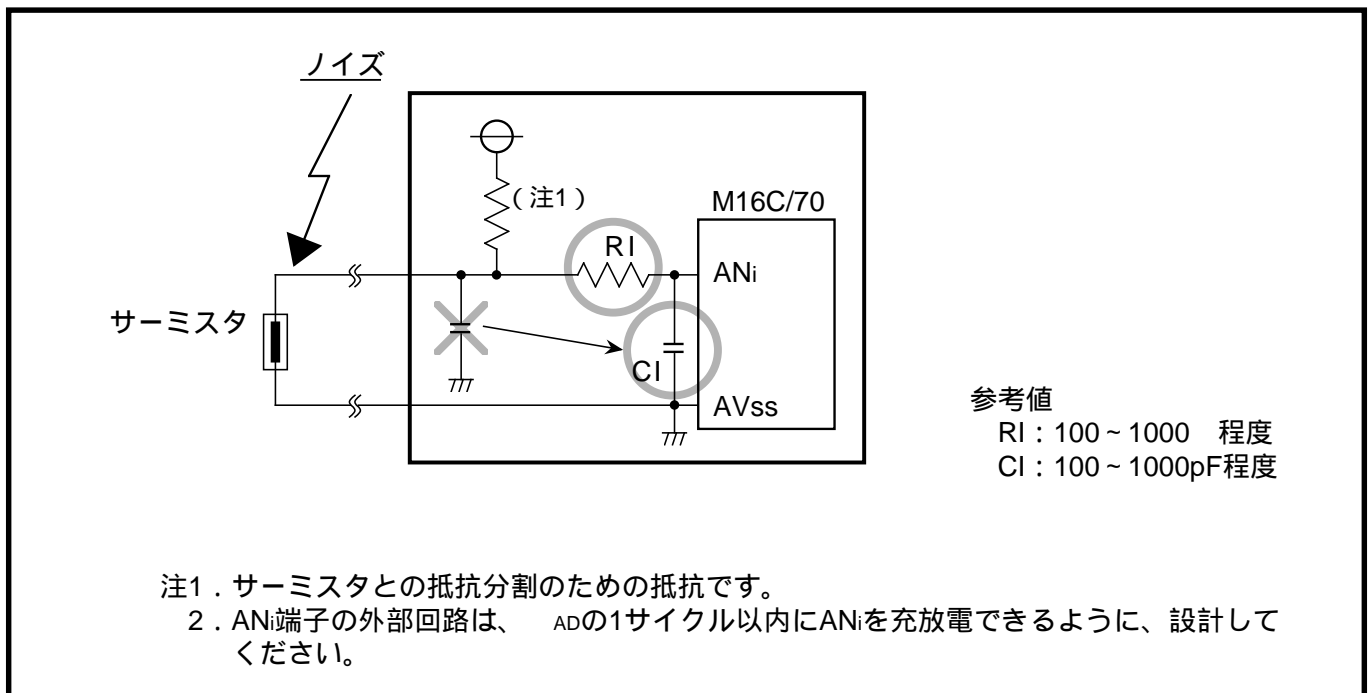


図8 サーミスタを使用したアナログ入力端子のノイズ対策例

(2)アナログ電源端子などの処理

V_{CC}端子、AV_{CC}端子、及びV_{REF}端子には、別電源から電源を供給する。

AV_{CC}端子 - AV_{SS}端子間、及びV_{REF}端子 - AV_{SS}端子間には、コンデンサを挿入する。

【理由】

V_{CC}上のノイズの、A-D変換器及びD-A変換器への影響を防ぎます。

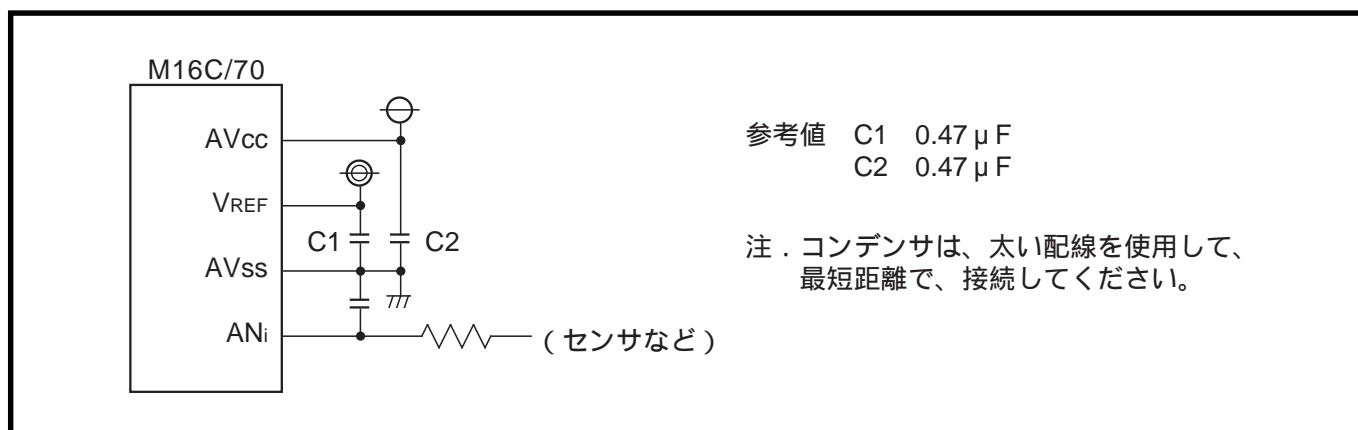


図9 アナログ電源端子などの処理

4．発振子への配慮

マイクロコンピュータの動作の基本となるクロックを生成する発振子には、他の信号の影響を受けにくくする配慮が必要です。また、PLL周波数変換回路を使用する場合は、フィルタ回路を接続するV_{CONT}端子についても、同様の配慮が必要です。

(1)大電流が流れる信号線からの回避

マイクロコンピュータが扱う電流値の範囲を超えた大きな電流が流れる信号線は、可能な限りマイクロコンピュータ(特に発振子)から遠い位置に配置する。

【理由】

マイクロコンピュータを使用するシステムには、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れた場合、相互インダクタンスによるノイズが発生します。

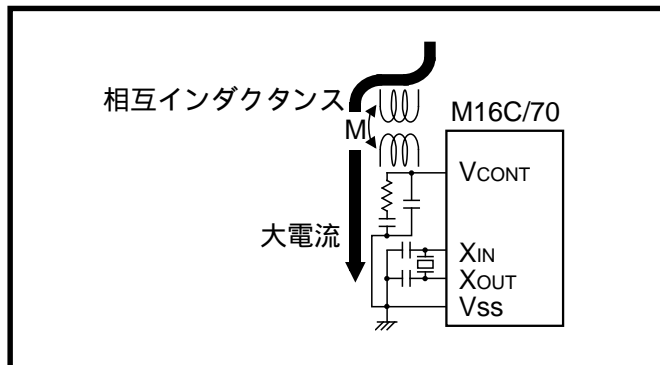


図10 大電流が流れる信号線の配線

(2)高速にレベルが変化する信号線からの回避

高速にレベルが変化する信号線は、可能な限り発振子から遠い位置に配置する。高速にレベルが変化する信号線は、クロック関連の信号線、及びノイズの影響を受け易い信号線と交差させたり、平行に長く引き回したりしない。

【理由】

高速にレベルが変化する信号線は信号の立ち上がり、立ち下がり時の影響を他の信号線に与え易く、特にクロック関連の信号線と交差した場合、クロックの波形が乱れ、誤動作やプログラム暴走の原因となります。

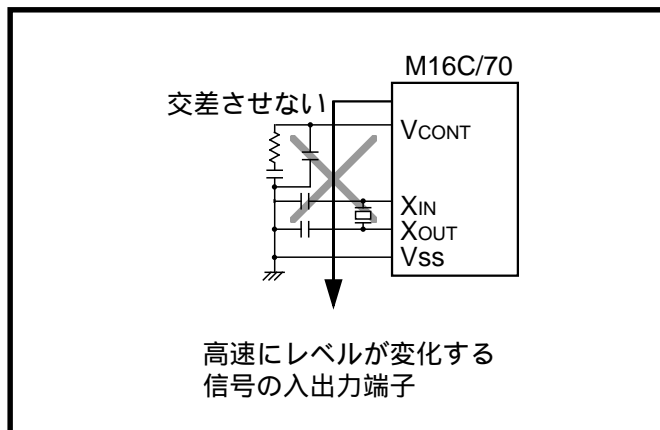


図11 高速にレベルが変化する信号線の配線

(3)V_{SS}パターンによる保護

両面基板の場合は、発振子の実装される面(実装面)の裏側(半田面)の、発振子と同じ位置をV_{SS}パターンにする。このV_{SS}パターンはマイクロコンピュータのV_{SS}端子と最短の配線で接続し、他のV_{SS}パターンから分離する。

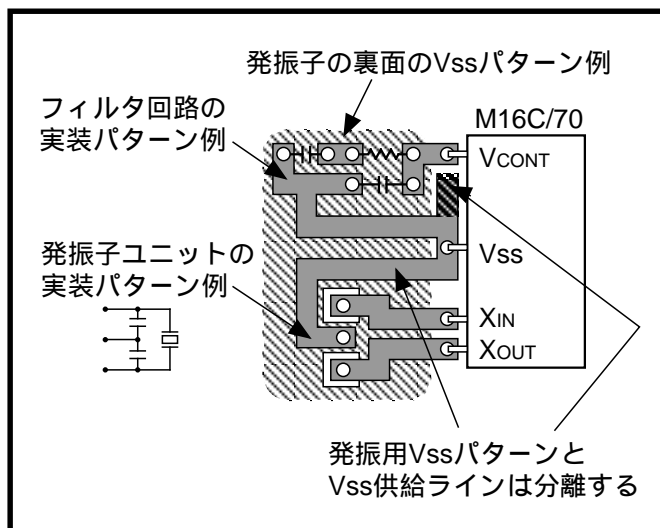


図12 発振子の裏面のV_{SS}パターン

5．ポートの処理

ハードウェア、及びソフトウェアにおける対策があります。

(1)ハードウェア

ポートに接続する信号線の、可能な限りマイクロコンピュータに近い位置に、100 Ω以上の抵抗を直列に挿入する。

(2)ソフトウェア

入力モード時は、複数回読み込みを行い、レベルの一致を確認する。

出力モード時は、ノイズによって出力データが反転する可能性があるため、定期的にポートPiレジスタを再設定する。

一定周期でポートPi方向レジスタ、キー入力割り込み端子プルアップ選択ビット(A2₁₆番地のビット1)、NMI端子プルアップ選択ビット(A2₁₆番地のビット5)、及びP4₄～P4₇プルアップ選択ビット(19A₁₆番地のビット4)を再設定する。

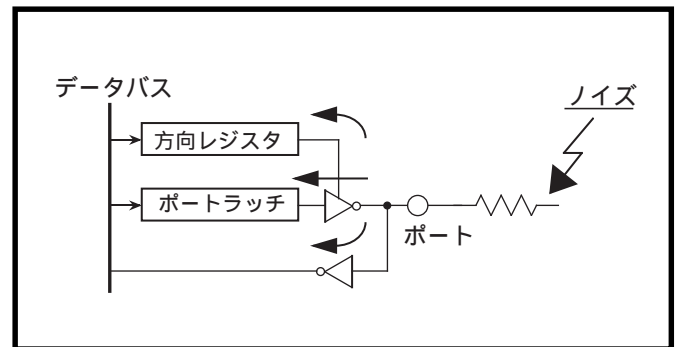


図13 ポートの処理

6．電源ラインの強化

V_{SS}ライン、及びV_{CC}ラインには他の信号線よりも幅の広い配線を使用する。

多層基板を使用する場合は、中間の1層をV_{SS}面に、中間の他の1層をV_{CC}面にする。

両面基板を使用する場合は、片面には、マイクロコンピュータを中心に、V_{SS}ラインをループ状、又は網目状に配線する。プリントパターンの空きスペースは、V_{SS}ラインで埋める。

他方の面には、V_{CC}ラインを上記V_{SS}ラインと同様に配線する。

バスでマイクロコンピュータと接続する外部デバイスの電源ラインは、マイクロコンピュータの電源ラインと最短の配線で接続する。

【理由】

外部デバイス接続時には、外部アドレスバス24本のうち、多数の配線のレベルが一度に変化する場合があり、これが電源ラインのノイズとなることがあります。

付録7 . M16C/70電氣的特性

以下にM16C/70の電氣的特性を示します。

絶対最大定格

記号	項目	定格値	単位
V _{CC}	電源電圧	-0.3 ~ 4.2	V
FV _{CC}	フラッシュメモリ用電源電圧	-0.3 ~ 6.5	V
AV _{CC}	アナログ電源電圧	-0.3 ~ 4.2	V
V _I	入力電圧 P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ ~P3 ₇ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₄ , P9 ₀ ~P9 ₇ , P10 ₀ ~P10 ₇ , V _{REF} , X _{IN} , RESET, CNV _{SS} , FMD, NMI, V _{CONT}	-0.3 ~ V _{CC} +0.3	V
V _O	出力電圧 P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ ~P3 ₇ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₄ , P9 ₀ ~P9 ₇ , P10 ₀ ~P10 ₇ , X _{OUT}	-0.3 ~ V _{CC} +0.3	V
P _d	消費電力	300	mW
T _{opr}	動作周囲温度	-20 ~ 85	
T _{stg}	保存温度	-40 ~ 150	

推奨動作条件(指定のない場合は、 $V_{CC}=3.3V\pm 0.3V$, $V_{SS}=0V$, $T_a=-20\sim 85$)

記号	項目	規格値			単位		
		最小	標準	最大			
V_{CC}	電源電圧	3.0	3.3	3.6	V		
FV_{CC}	フラッシュメモリ用電源電圧	4.5	5.0	5.5	V		
AV_{CC}	アナログ電源電圧		V_{CC}		V		
V_{SS}	電源電圧		0		V		
AV_{SS}	アナログ電源電圧		0		V		
V_{IH}	“H”入力電圧	X_{IN} , RESET, CNV_{SS} , FMD			$0.8V_{CC}$	V_{CC}	V
V_{IH}	“H”入力電圧	P0~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P84, P90~P97, P100~P107			$0.65V_{CC}$	V_{CC}	V
V_{IH}	“H”入力電圧	D0~D7, D8~D15			$0.65V_{CC}$	V_{CC}	V
V_{IH}	“H”入力電圧	RDY, HOLD, TA0IN~TA4IN, TA0OUT~TA4OUT, TB0IN~TB2IN, K10~K13, INT0~INT4, NMI, ADTRG, CTS0, CTS1, CLK0, CLK1, RxD0, RxD1			$0.65V_{CC}$	V_{CC}	V
V_{IH}	“H”入力電圧	SCLK, SDA (注1)			$0.65V_{CC}$	V_{CC}	V
V_{IL}	“L”入力電圧	X_{IN} , RESET, CNV_{SS} , FMD			0	$0.2V_{CC}$	V
V_{IL}	“L”入力電圧	P0~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P84, P90~P97, P100~P107			0	$0.2V_{CC}$	V
V_{IL}	“L”入力電圧	D0~D7, D8~D15			0	$0.2V_{CC}$	V
V_{IL}	“L”入力電圧	RDY, HOLD, TA0IN~TA4IN, TA0OUT~TA4OUT, TB0IN~TB2IN, K10~K13, INT0~INT4, NMI, ADTRG, CTS0, CTS1, CLK0, CLK1, RxD0, RxD1			0	$0.2V_{CC}$	V
V_{IL}	“L”入力電圧	SCLK, SDA (注1)			0	$0.2V_{CC}$	V
$I_{OH}(\text{peak})$	“H”尖頭出力電流	P0~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P84, P90~P97, P100~P107				-10	mA
$I_{OH}(\text{avg})$	“H”平均出力電流	P0~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P84, P90~P97, P100~P107				-5	mA
$I_{OL}(\text{peak})$	“L”尖頭出力電流	P0~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P84, P90~P97, P100~P107				10	mA
$I_{OL}(\text{avg})$	“L”平均出力電流	P0~P07, P10~P17, P20~P27, P30~P37, P40~P47, P50~P57, P60~P67, P70~P77, P80~P84, P90~P97, P100~P107				5	mA
$f(X_{IN})$	外部クロック入力周波数(注2)	1				54	MHz
$f(\text{MCLK})$	メインクロック周波数					34	MHz
f_{AD}	A-D変換周波数(注3)	0.25				11.3	MHz
f_i	周辺機能クロック周波数					17	MHz

$i = 1, 8, 32, 256$

注1 . SCLK、SDAはフラッシュメモリ内蔵版でシリアル入出力モード時のみ使用する端子です。

2 . 外部方形波入力の場合は最大54MHz、発振子接続の場合は最大34MHzとなります。

3 . サンプル&ホールドありの場合は、最小1MHzになります。

4 . 平均出力電流は100msの期間内での平均値です。

5 . P0, P1, P2, P9, P10の $I_{OL}(\text{peak})$ 及び $I_{OH}(\text{peak})$ の合計は80mA以下、P3, P4, P5, P6, P7, P8の $I_{OL}(\text{peak})$ 及び $I_{OH}(\text{peak})$ の合計は80mA以下にしてください。

直流電氣的特性(指定のない場合は、 $V_{CC}=3.3V\pm 0.3V$, $V_{SS}=0V$, $T_a=-20\sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{OH}	“H”出力電圧 P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ ~P3 ₇ , P4 ₀ ~P4 ₇ , P5 ₃ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₄ , P9 ₀ ~P9 ₇ , P10 ₀ ~P10 ₇	$I_{OH}=-1mA$	2.5			V
V_{OH}	“H”出力電圧 P5 ₀ ~P5 ₂	$I_{OH}=-1mA$	2.6			V
V_{OL}	“L”出力電圧 P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ ~P3 ₇ , P4 ₀ ~P4 ₇ , P5 ₃ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₄ , P9 ₀ ~P9 ₇ , P10 ₀ ~P10 ₇	$I_{OL}=1mA$			0.5	V
V_{OL}	“L”出力電圧 P5 ₀ ~P5 ₂	$I_{OL}=1mA$			0.4	V
$V_{T+}-V_{T-}$	ヒステリシス RDY, HOLD, TA0 _{IN} ~TA4 _{IN} , TA0 _{OUT} ~TA4 _{OUT} , TB0 _{IN} ~TB2 _{IN} , KI ₀ ~KI ₃ , INT ₀ ~INT ₄ , NMI, AD _{TRG} , CTS ₀ , CTS ₁ , CLK ₀ , CLK ₁ , RxD ₀ , RxD ₁		0.05		0.5	V
$V_{T+}-V_{T-}$	ヒステリシス RESET	M30700FJLGP	0.15		0.5	V
		M30700FKLGP	0.25		1	V
I_{IH}	“H”入力電流 P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ ~P3 ₃ , P4 ₀ ~P4 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₄ , P9 ₀ ~P9 ₇ , P10 ₀ ~P10 ₇ , X _{IN} , RESET, CNV _{SS} , FMD, NMI	$V_I=3.3V$			4	μA
I_{IL}	“L”入力電流 P0 ₀ ~P0 ₇ , P1 ₀ ~P1 ₇ , P2 ₀ ~P2 ₇ , P3 ₀ ~P3 ₃ , P4 ₀ ~P4 ₃ , P5 ₀ ~P5 ₃ , P6 ₀ ~P6 ₇ , P7 ₀ ~P7 ₇ , P8 ₀ ~P8 ₄ , P9 ₀ ~P9 ₇ , P10 ₀ ~P10 ₇ , X _{IN} , RESET, CNV _{SS} , FMD	$V_I=0V$			-4	μA
I_{IL}	“L”入力電流 P4 ₄ ~P4 ₇ , P7 ₄ ~P7 ₇ , NMI	$V_I=0V$ (プルアップトランジスタなし)			-4	μA
		$V_I=0V$ (プルアップトランジスタあり)	-0.2	-0.36	-0.54	mA
V_{RAM}	RAM保持電圧	クロック停止時	2			V
I_{CC}	電源電流 出力専用端子は開放、その他の 端子は V_{SS} 又は V_{CC} 、外部方形波 クロック入力 (X _{OUT} 開放) PLL周波数変換回路動作時	f (BCLK) =34MHz、 CPU動作時		34	54	mA
		クロック停止時 $T_a=25$			50	μA
		クロック停止時 $T_a=85$			300	

A-D変換特性(指定のない場合は、 $V_{CC}=AV_{CC}=3.3V\pm 0.3V$, $V_{SS}=AV_{SS}=0V$, $T_a=-20\sim 85$)

記号	項目	測定条件		規格値		単位
				最小	最大	
—	分解能	$V_{REF}=V_{CC}$			10	Bits
—	絶対精度	$V_{REF}=V_{CC}=3.3V$	分解能10ビットモード		± 3	LSB
			分解能8ビットモード		± 2	LSB
R_{LADDER}	ラダー抵抗	$V_{REF}=V_{CC}$		10	40	k Ω
t_{CONV}	変換時間	単発モード	分解能10ビットモード	3.88(注)		μs
		繰返しモード	分解能8ビットモード	3.29(注)		
		単掃引モード	分解能10ビットモード	4.94(注)		
		繰返し掃引モード	分解能8ビットモード	4.35(注)		
V_{REF}	基準電圧			2	V_{CC}	V
V_{IA}	アナログ入力電圧			0	V_{REF}	V

注 . サンプル&ホールドありの場合です。

D-A変換特性(指定のない場合は、 $V_{CC}=3.3V\pm 0.3V$, $V_{SS}=AV_{SS}=0V$, $V_{REF}=3.3V$, $T_a=-20\sim 85$)

記号	項目	測定条件		規格値		単位
				最小	最大	
—	分解能				8	Bits
—	絶対精度				± 1.0	%
t_{su}	設定時間				3	μs
R_o	出力抵抗			4	20	k Ω
I_{VREF}	基準電源入力電流	(注)			1.5	mA

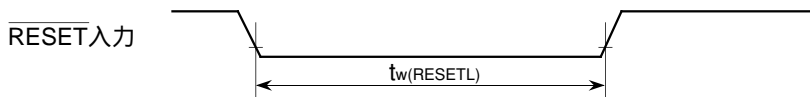
注 . D-A変換器1本使用、使用していないD-A変換器のD-Aレジスタの値が“00₁₆”の場合です。

A-D変換器のラダー抵抗分は除きます。

リセット入力タイミング必要条件(指定のない場合は、 $V_{CC}=3.3V\pm 0.3V$, $V_{SS}=0V$, $T_a=-20\sim 85$)

記号	項目	規格値		単位
		最小	最大	
$t_w(\text{RESETL})$	RESET入力“L”パルス幅	20(注)		μs

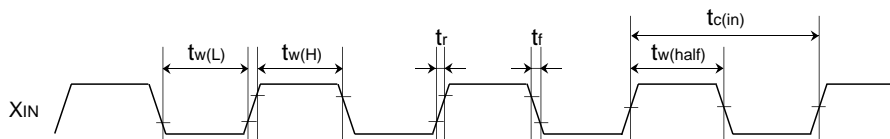
注 . $f(X_{IN})$ 8MHz時は、 $\frac{8}{f(X_{IN})} \times 20[s]$ (BCLKの20サイクル)になります。



外部クロック入力タイミング必要条件(指定のない場合は $V_{CC}=3.3V\pm 0.3V$, $V_{SS}=0V$, $T_a=-20\sim 85$)

記号	項目	規格値		単位
		最小	最大	
$t_{c(in)}$	外部クロック入力サイクル時間	$1/f(X_{IN})$		ns
$t_{w(half)}$	外部クロック入力半値パルス幅	$0.45t_{c(in)}$	$0.55t_{c(in)}$	ns
$t_{w(H)}$	外部クロック入力“H”パルス幅	$t_{w(half)}-6$		ns
$t_{w(L)}$	外部クロック入力“L”パルス幅	$t_{w(half)}-6.8$		ns
t_r	外部クロック入力立ち上がり時間		6.4	ns
t_f	外部クロック入力立ち下がり時間		6.4	ns

外部クロック入力



測定条件

- $V_{CC} = 3.3V \pm 0.3V$, $T_a = -20 \sim 85$
- 入力タイミング電圧: $V_{IL} = 0.2V_{CC}$, $V_{IH} = 0.8V_{CC}$ で判定 ($t_{w(H)}$, $t_{w(L)}$, t_r , t_f)
- 出力タイミング電圧: $0.5V_{CC}$ で判定 ($t_{c(in)}$, $t_{w(half)}$)

内蔵周辺装置入出力タイミング必要条件(指定のない場合は、 $V_{CC}=3.3V\pm 0.3V$, $V_{SS}=0V$, $T_a=-20\sim 85$)

タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	400		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	200(注)		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	200(注)		ns

注 . 同時に、カウントソース $f(i=1, 8, 32, 256)$ の2サイクル以上になるようにしてください。

タイマA入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	80		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	40		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	40		ns

タイマA入力(ワンショットパルスモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	160(注)		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	80		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	80		ns

注 . 同時に、カウントソース $f(i=1, 8, 32, 256)$ の1サイクル以上になるようにしてください(カウント動作中の再トリガ発生時も、同様の時間が必要です)。

タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TAH)$	TAiIN入力“H”パルス幅	80		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	80		ns

タイマA入力(イベントカウンタモードのアップダウン入力及びカウント入力)

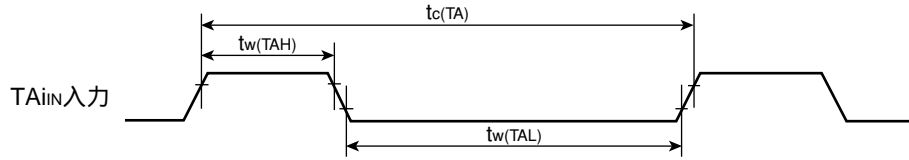
記号	項目	規格値		単位
		最小	最大	
$t_{c(UP)}$	TAiOUT入力サイクル時間	2000		ns
$t_w(UPH)$	TAiOUT入力“H”パルス幅	1000		ns
$t_w(UPL)$	TAiOUT入力“L”パルス幅	1000		ns
$t_{su}(UP-TIN)$	TAiOUT入力セットアップ時間	400		ns
$t_h(TIN-UP)$	TAiOUT入力ホールド時間	400		ns

タイマA入力(イベントカウンタモードの二相パルス入力)

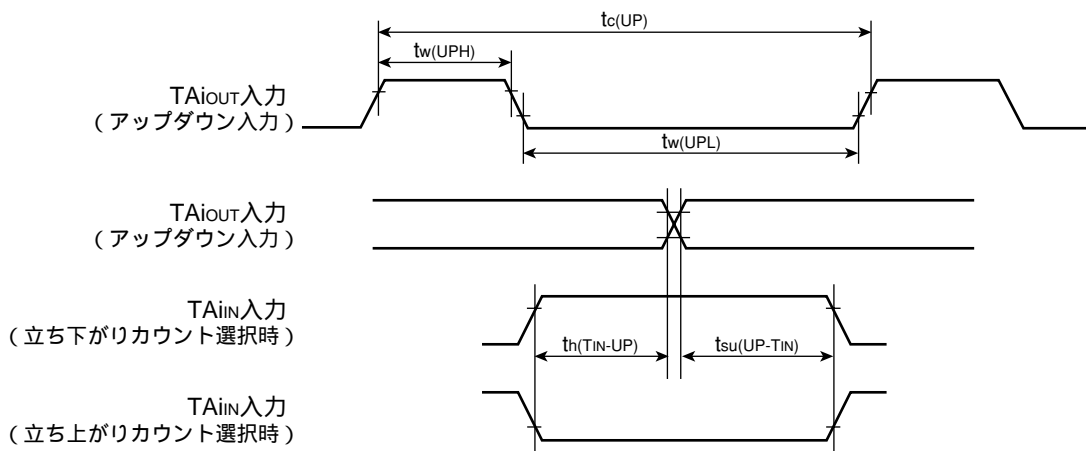
記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAjIN入力サイクル時間	800		ns
$t_{su}(TAjIN-TAjOUT)$	TAjIN入力セットアップ時間	200		ns
$t_{su}(TAjOUT-TAjIN)$	TAjOUT入力セットアップ時間	200		ns

タイマA

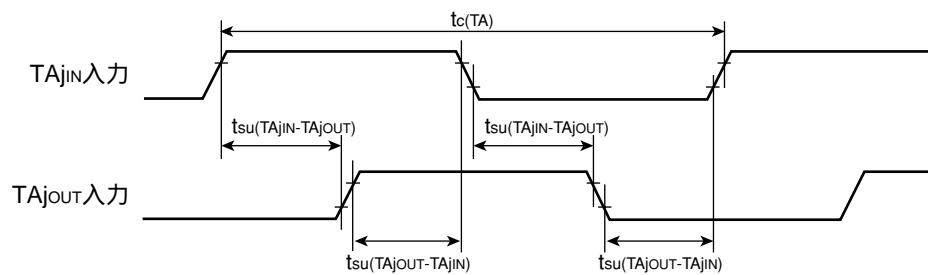
- タイマモードのゲーティング入力
- イベントカウンタモードのカウンタ入力
- ワンショットパルスモードの外部トリガ入力
- パルス幅変調モードの外部トリガ入力



イベントカウンタモードのアップダウン入力及びカウンタ入力



イベントカウンタモードの二相パルス入力



測定条件

- $V_{CC} = 3.3V \pm 0.3V$, $T_a = -20 \sim 85$
- 入力タイミング電圧: $V_{IL} = 0.66V$, $V_{IH} = 2.15V$ で判定

タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TB _{iIN} 入力サイクル時間(片エッジカウント)	80		ns
$t_{w(TBH)}$	TB _{iIN} 入力“H”パルス幅(片エッジカウント)	40		ns
$t_{w(TBL)}$	TB _{iIN} 入力“L”パルス幅(片エッジカウント)	40		ns
$t_{c(TB)}$	TB _{iIN} 入力サイクル時間(両エッジカウント)	160		ns
$t_{w(TBH)}$	TB _{iIN} 入力“H”パルス幅(両エッジカウント)	80		ns
$t_{w(TBL)}$	TB _{iIN} 入力“L”パルス幅(両エッジカウント)	80		ns

タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TB _{iIN} 入力サイクル時間	400		ns
$t_{w(TBH)}$	TB _{iIN} 入力“H”パルス幅	200(注)		ns
$t_{w(TBL)}$	TB _{iIN} 入力“L”パルス幅	200(注)		ns

注 . 同時に、カウントソース($i = 1, 8, 32, 256$)の2サイクル以上になるようにしてください。

タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TB _{iIN} 入力サイクル時間	400		ns
$t_{w(TBH)}$	TB _{iIN} 入力“H”パルス幅	200(注)		ns
$t_{w(TBL)}$	TB _{iIN} 入力“L”パルス幅	200(注)		ns

注 . 同時に、カウントソース($i = 1, 8, 32, 256$)の2サイクル以上になるようにしてください。

A-Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(AD)}$	AD _{TRG} 入力サイクル時間(トリガ可能最小)	1000		ns
$t_{w(ADL)}$	AD _{TRG} 入力“L”パルス幅	125		ns

シリアルI/O

記号	項目	規格値		単位
		最小	最大	
$t_{c(CLK)}$	CLK _i 入力サイクル時間	200		ns
$t_{w(CKH)}$	CLK _i 入力“H”パルス幅	100		ns
$t_{w(CKL)}$	CLK _i 入力“L”パルス幅	100		ns
$t_{d(C-Q)}$	TxD _i 出力遅延時間		80	ns
$t_{h(C-Q)}$	TxD _i ホールド時間	0		ns
$t_{su(D-C)}$	RxD _i 入力セットアップ時間	20		ns
$t_{h(C-D)}$	RxD _i 入力ホールド時間	90		ns

外部割り込み \overline{INT}_i 入力、 \overline{NMI} 入力、キー入力割り込み \overline{KI}_i 入力

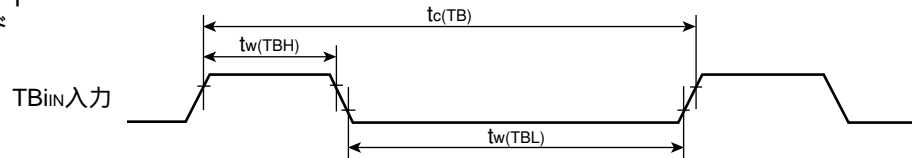
記号	項目	規格値		単位
		最小	最大	
$t_w(INH)$	\overline{INT}_i 入力“H”パルス幅(エッジセンス選択時)	250		ns
	\overline{INT}_i 入力“H”パルス幅(レベルセンス選択時)(注)	t_c+200		ns
	\overline{NMI} 入力“H”パルス幅(注)	t_c+250		ns
	\overline{KI}_i 入力“H”パルス幅	250		ns
$t_w(INL)$	\overline{INT}_i 入力“L”パルス幅(エッジセンス選択時)	250		ns
	\overline{INT}_i 入力“L”パルス幅(レベルセンス選択時)(注)	t_c+200		ns
	\overline{NMI} 入力“L”パルス幅(注)	t_c+250		ns
	\overline{KI}_i 入力“L”パルス幅	250		ns

$t_c = 1/f(BCLK)$

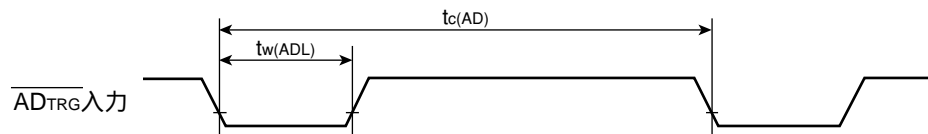
注 . ストップモード及びウエイトモードの解除に使用する場合は、最小 $t_c + 50\mu s$ になります。

タイマB

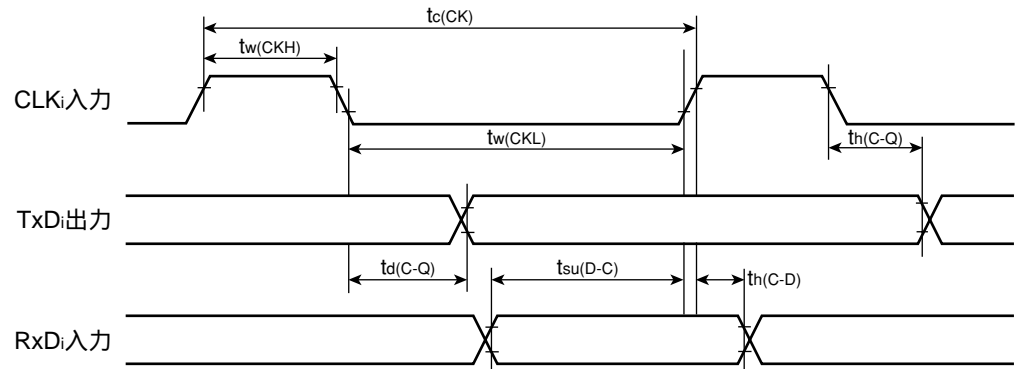
イベントカウンタモードのカウンタ入力
パルス周期測定モード
パルス幅測定モード



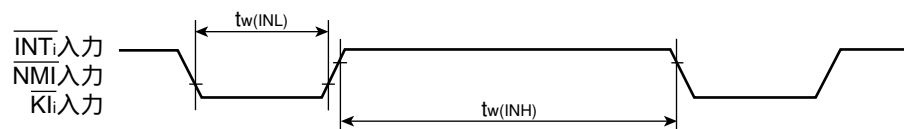
A-Dトリガ入力



シリアルI/O



外部割り込み \overline{INT}_i 入力、 \overline{NMI} 入力、キー入力割り込み \overline{KI}_i 入力



測定条件

- $V_{CC} = 3.3V \pm 0.3V$, $T_a = -20 \sim 85$
- 入力タイミング電圧: $V_{IL} = 0.66V$, $V_{IH} = 2.15V$ で判定
- 出力タイミング電圧: $V_{OL} = 0.8V$, $V_{OH} = 2.0V$, $C_L = 50pF$ で判定

レディー機能、ホールド機能

タイミング必要条件(指定のない場合は、 $V_{CC}=3.3V\pm 0.3V$, $V_{SS}=0V$, $T_a=-20\sim 85$)

記号	項目	規格値		単位
		最小	最大	
$t_{su}(RDY-BCLK)$	RDY入力セットアップ時間	30		ns
$t_h(BCLK-RDY)$	RDY入力ホールド時間	0		ns
$t_{su}(HOLD-BCLK)$	HOLD入力セットアップ時間	30		ns
$t_h(BCLK-HOLD)$	HOLD入力ホールド時間	0		ns

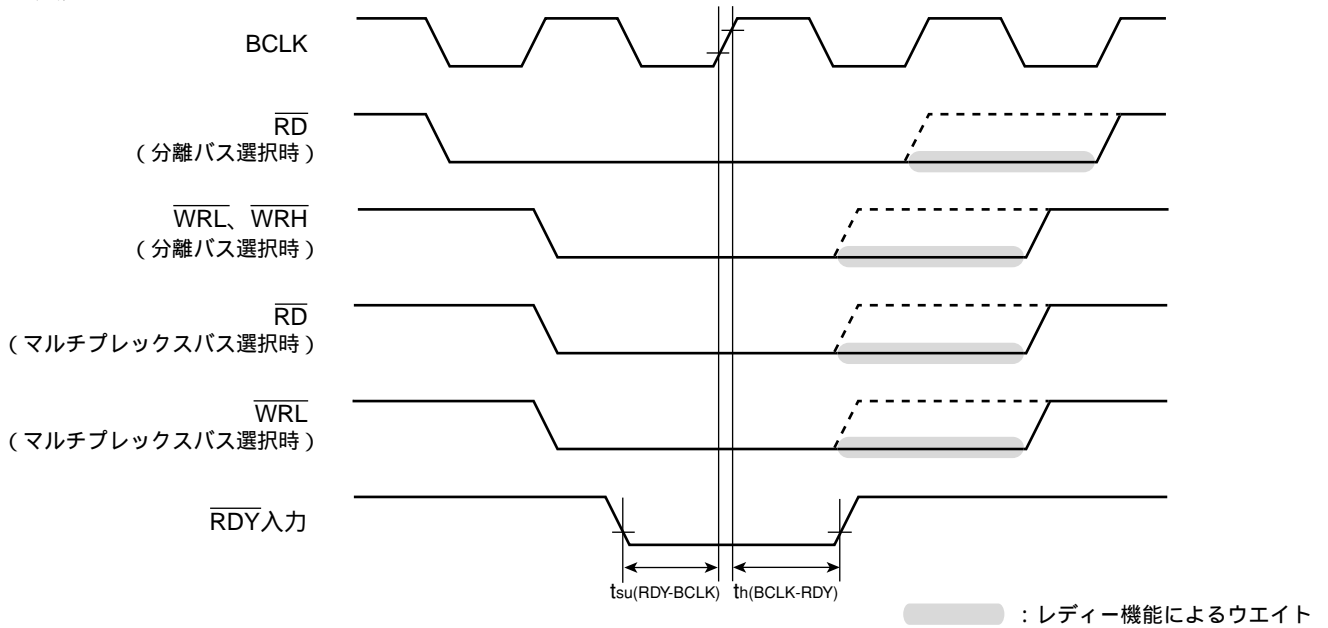
スイッチング特性(指定のない場合は、 $V_{CC}=3.3V\pm 0.3V$, $V_{SS}=0V$, $T_a=-20\sim 85$)

記号	項目	規格値		単位
		最小	最大	
$t_d(BCLK-HLDA)$	HLDA出力遅延時間		25	ns
$t_d(RDH-HLDAL)$	リード後HLDA“L”出力遅延時間(注)	t_c-15		ns
$t_d(WRH-HLDAL)$	ライト後HLDA“L”出力遅延時間	$1.5t_c-15$		ns
$t_{pxz}(BCLK-RDZ)$	フローティング開始遅延時間	-15	10	ns
$t_{pxz}(BCLK-WRZ)$	フローティング開始遅延時間	-15	10	ns
$t_{pxz}(BCLK-CSZ)$	フローティング開始遅延時間	-15	10	ns
$t_{pxz}(BCLK-ALEZ)$	フローティング開始遅延時間	-15	10	ns
$t_{pxz}(BCLK-ADZ)$	フローティング開始遅延時間	-15	10	ns
$t_{pzx}(BCLK-RDZ)$	フローティング解除遅延時間	0		ns
$t_{pzx}(BCLK-WRZ)$	フローティング解除遅延時間	0		ns
$t_{pzx}(BCLK-CSZ)$	フローティング解除遅延時間	0		ns
$t_{pzx}(BCLK-ALEZ)$	フローティング解除遅延時間	0		ns
$t_{pzx}(BCLK-ADZ)$	フローティング解除遅延時間	0		ns

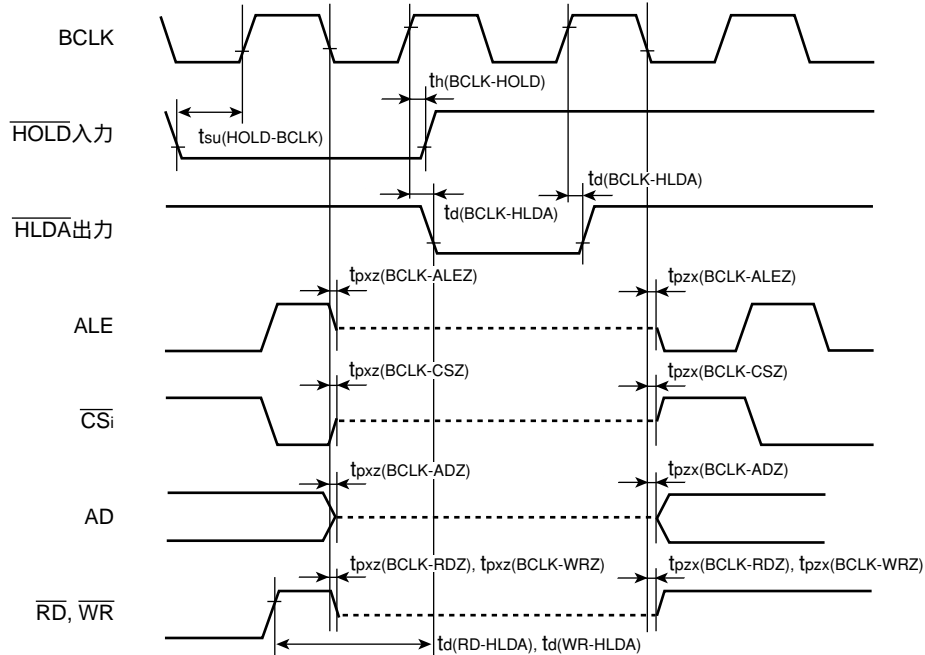
$t_c = 1/f(BCLK)$

注 . 直前のバスサイクルが、マルチプレックスバスを選択した領域に対するアクセスであった場合は、 $0.5t_c[ns]$ 延びます。

$\overline{\text{RDY}}$ 入力



$\overline{\text{HOLD}}$ 入力



測定条件

- $V_{CC} = 3.3V \pm 0.3V$, $T_a = -20 \sim 85$
- $\overline{\text{RDY}}$ 入力、 $\overline{\text{HOLD}}$ 入力 : $V_{IL} = 0.66V$, $V_{IH} = 2.15V$ で判定
- $\overline{\text{HLDA}}$ 出力 : $V_{OL} = 0.8V$, $V_{OH} = 2.0V$, $C_L = 50pF$ で判定

外部バスタイミング

システムクロック周波数に依存する規格値は、算出式で示します。算出式の中の記号は以下の値を示します。

バスサイクル	W _H	W _L	バスサイクル	W _H	W _L	バスサイクル	W _H	W _L	バスサイクル	W _H	W _L
1 +1	1	1	1 +5	1	5	2 +2	2	2	3 +3	3	3
1 +2	1	2	1 +6	1	6	2 +3	2	3	3 +4	3	4
1 +3	1	3				2 +4	2	4	3 +5	3	5
1 +4	1	4				2 +5	2	5	3 +6	3	6

$$t_c = 1/f(\text{BCLK})$$

タイミング必要条件(指定のない場合はV_{CC}=3.3V±0.3V, V_{SS}=0V, T_a=-20 ~ 85)

分離バス選択時

記号	項目	規格値		単位
		最小	最大	
t _{ac} (AD-DB)	アドレスアクセス時間		(W _H +W _L)t _c -35	ns
t _{ac} (CS-DB)	チップセレクトアクセス時間		(W _H +W _L)t _c -35	ns
t _{ac} (RD-DB)	リードアクセス時間		(W _L +0.5)t _c -30	ns
t _{su} (DB-RD)	リードデータセットアップ時間	15		ns
t _h (RD-DB)	リード後データ入力ホールド時間	0		ns

マルチプレックスバス選択時

記号	項目	規格値		単位
		最小	最大	
t _{ac} (AD-DB)	アドレスアクセス時間		(W _H +W _L -0.5)t _c -25	ns
t _{ac} (CS-DB)	チップセレクトアクセス時間		(W _H +W _L -0.5)t _c -25	ns
t _{ac} (RD-DB)	リードアクセス時間		(W _L -0.5)t _c -20	ns
t _{su} (DB-RD)	リードデータセットアップ時間	5		ns
t _h (RD-DB)	リード後データ入力ホールド時間	0		ns

スイッチング特性(指定のない場合は $V_{CC}=3.3V\pm 0.3V$, $V_{SS}=0V$, $T_a=-20\sim 85$)

分離バス選択時

記号	項目	規格値		単位
		最小	最大	
$t_{d(BCLK-AD)}$	アドレス出力遅延時間		20	ns
$t_{h(RD-AD)}$	アドレス出力保持時間(RD基準)(注1)	0		ns
$t_{h(WR-AD)}$	アドレス出力保持時間(WR基準)(注1)	$0.5t_c-10$		ns
$t_{d(BCLK-CS)}$	チップセレクト出力遅延時間		20	ns
$t_{h(RD-CS)}$	チップセレクト出力保持時間(RD基準)(注1)	0		ns
$t_{h(WR-CS)}$	チップセレクト出力保持時間(WR基準)(注1)	$0.5t_c-10$		ns
$t_w(RDL)$	リード“L”パルス幅	$(W_L+0.5)t_c-15$		ns
$t_w(RDH)$	リード“H”パルス幅(注2,3)	$(W_H-0.5)t_c-15$		ns
$t_{d(RD-WR)}$	リード後ライトディセーブル有効時間(注1,4)	$W_H\times t_c-15$		ns
$t_{d(AD-RDH)}$	リード“H”出力保持時間(アドレス基準)	$(W_H-0.5)t_c-20$		ns
$t_{d(CS-RDH)}$	リード“H”出力保持時間(CS基準)	$(W_H-0.5)t_c-20$		ns
$t_{d(CS-RDL)}$	リード“L”出力保持時間(CS基準)	$(W_H+W_L)t_c-20$		ns
$t_{d(BCLK-RDL)}$	リード“L”出力遅延時間(BCLK基準)	-10	15	ns
$t_{d(BCLK-RDH)}$	リード“H”出力遅延時間(BCLK基準)	-10	15	ns
$t_{d(RD-DB)}$	リード後次ライトサイクルデータ出力遅延時間(注1,4)	$(W_H-0.5)t_c-15$		ns
$t_{pxz(WR-DZ)}$	ライト後フローティング開始遅延時間(注1)		$0.5t_c+10$	ns
$t_w(WRL)$	ライト“L”パルス幅	$(W_L-0.5)t_c-15$		ns
$t_w(WRH)$	ライト“H”パルス幅(注2)	$(W_H+0.5)t_c-15$		ns
$t_{d(WR-RD)}$	ライト後リードディセーブル有効時間(注1,4)	$W_H\times t_c-15$		ns
$t_{d(AD-WRH)}$	ライト“H”出力保持時間(アドレス基準)	$W_H\times t_c-20$		ns
$t_{d(CS-WRH)}$	ライト“H”出力保持時間(CS基準)	$W_H\times t_c-20$		ns
$t_{d(CS-WRL)}$	ライト“L”出力保持時間(CS基準)	$(W_H+W_L-0.5)t_c-20$		ns
$t_{d(BCLK-WRL)}$	ライト“L”出力遅延時間(BCLK基準)	-10	15	ns
$t_{d(BCLK-WRH)}$	ライト“H”出力遅延時間(BCLK基準)	-10	15	ns
$t_{d(DB-WR)}$	データ出力遅延時間(WR基準)	$W_L\times t_c-20$		ns
$t_{h(WR-DB)}$	データ出力保持時間(WR基準)(注1)	$0.5t_c-10$		ns

注1 . リカバリサイクル挿入時は、 t_c [ns]延びます。

- 2 . 直前のバスサイクルが、リカバリサイクル挿入を選択した領域に対するアクセスであった場合は、 t_c [ns]延びます。
- 3 . 直前のバスサイクルが、マルチプレックスバスを選択した領域に対するアクセスであった場合は、 $0.5t_c$ [ns]延びます。
- 4 . ここでは、次のバスサイクルの W_H を示します。

スイッチング特性(指定のない場合は $V_{CC}=3.3V\pm 0.3V$, $V_{SS}=0V$, $T_a=-20\sim 85$)

マルチプレックスバス選択時

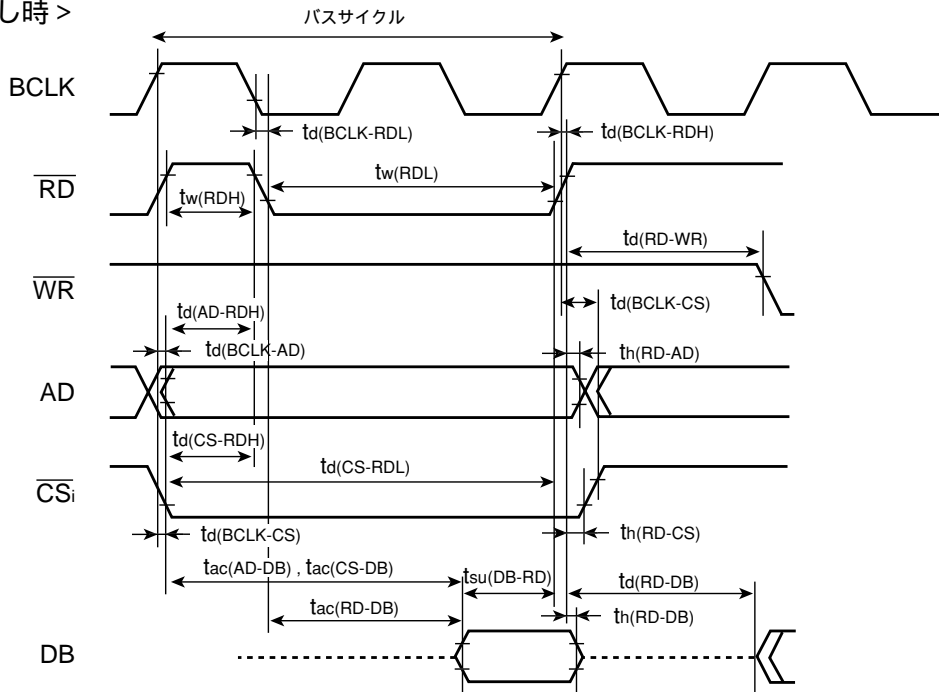
記号	項目	規格値		単位
		最小	最大	
$t_{d(BCLK-AD)}$	アドレス出力遅延時間		20	ns
$t_{h(RD-AD)}$	アドレス出力保持時間 (RD基準) (注1)	$0.5t_c-10$		ns
$t_{h(WR-AD)}$	アドレス出力保持時間 (WR基準) (注1)	$0.5t_c-10$		ns
$t_{d(BCLK-CS)}$	チップセレクト出力遅延時間		20	ns
$t_{h(RD-CS)}$	チップセレクト出力保持時間 (RD基準) (注1)	$0.5t_c-10$		ns
$t_{h(WR-CS)}$	チップセレクト出力保持時間 (WR基準) (注1)	$0.5t_c-10$		ns
$t_{d(BCLK-ALE)}$	ALE出力遅延時間 (BCLK基準)		20	ns
$t_{d(AD-ALE)}$	ALE出力遅延時間 (アドレス基準)	$(W_H\times 0.5)t_c-20$		ns
$t_{h(ALE-AD)}$	ALE出力保持時間 (アドレス基準)	$(W_H\times 0.5)t_c-15$		ns
$t_{w(ALE)}$	ALEパルス幅	$(W_H\times 0.5)t_c-15$		ns
$t_{w(RDL)}$	リード“L”パルス幅	$(W_L-0.5)t_c-15$		ns
$t_{w(RDH)}$	リード“H”パルス幅 (注2,3)	$W_H\times t_c-15$		ns
$t_{d(RD-WR)}$	リード後ライトディセーブル有効時間 (注1,4)	$W_H\times t_c-15$		ns
$t_{d(AD-RDH)}$	リード“H”出力保持時間 (アドレス基準)	$W_H\times t_c-20$		ns
$t_{d(ALE-RDH)}$	リード“H”出力保持時間 (ALE基準)	$(W_H\times 0.5)t_c-15$		ns
$t_{d(CS-RDH)}$	リード“H”出力保持時間 (CS基準)	$W_H\times t_c-20$		ns
$t_{d(CS-RDL)}$	リード“L”出力保持時間 (CS基準)	$(W_H+W_L-0.5)t_c-20$		ns
$t_{d(BCLK-RDL)}$	リード“L”出力遅延時間 (BCLK基準)	-10	15	ns
$t_{d(BCLK-RDH)}$	リード“H”出力遅延時間 (BCLK基準)	-10	15	ns
$t_{pxz(RD-AZ)}$	フローティング開始遅延時間		5	ns
$t_{pxz(RD-DZ)}$	リード後フローティング解除遅延時間 (注1)	$0.5t_c-15$		ns
$t_{pxz(WR-DZ)}$	ライト後フローティング開始遅延時間 (注1)		$0.5t_c+10$	ns
$t_{w(WRL)}$	ライト“L”パルス幅	$(W_L-0.5)t_c-15$		ns
$t_{w(WRH)}$	ライト“H”パルス幅 (注2)	$W_H\times t_c-15$		ns
$t_{d(WR-RD)}$	ライト後リードディセーブル有効時間 (注1,3)	$W_H\times t_c-15$		ns
$t_{d(AD-WRH)}$	ライト“H”出力保持時間 (アドレス基準)	$W_H\times t_c-20$		ns
$t_{d(ALE-WRH)}$	ライト“H”出力保持時間 (ALE基準)	$(W_H\times 0.5)t_c-15$		ns
$t_{d(CS-WRH)}$	ライト“H”出力保持時間 (CS基準)	$W_H\times t_c-20$		ns
$t_{d(CS-WRL)}$	ライト“L”出力保持時間 (CS基準)	$(W_H+W_L-0.5)t_c-20$		ns
$t_{d(BCLK-WRL)}$	ライト“L”出力遅延時間 (BCLK基準)	-10	15	ns
$t_{d(BCLK-WRH)}$	ライト“H”出力遅延時間 (BCLK基準)	-10	15	ns
$t_{d(DB-WR)}$	データ出力遅延時間 (WR基準)	$W_L\times t_c-20$		ns
$t_{h(WR-DB)}$	データ出力保持時間 (WR基準) (注1)	$0.5t_c-10$		ns

注1 . リカバリサイクル挿入時は、 t_c [ns]延びます。

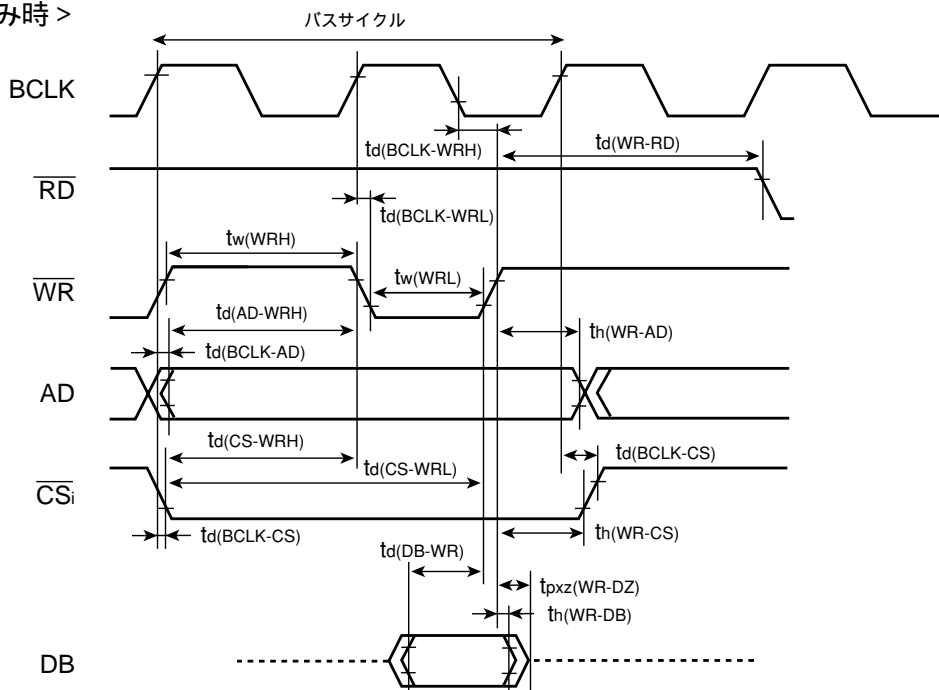
- 直前のバスサイクルが、リカバリサイクル挿入を選択した領域に対するアクセスであった場合は、 t_c [ns]延びます。
- 直前のバスサイクルが、マルチプレックスバスを選択した領域に対するアクセスであった場合は、 $0.5t_c$ [ns]延びます。
- ここでは、次のバスサイクルの W_H を示します。

分離バス選択時

< 読み出し時 >



< 書き込み時 >

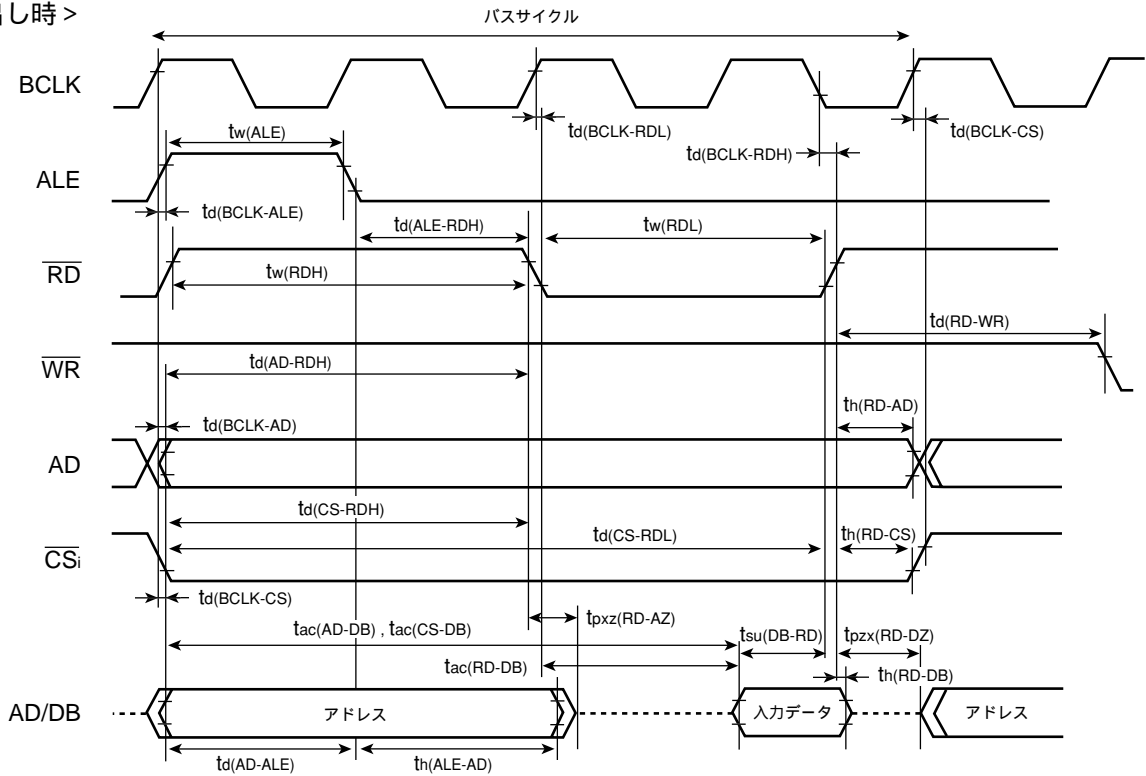


測定条件

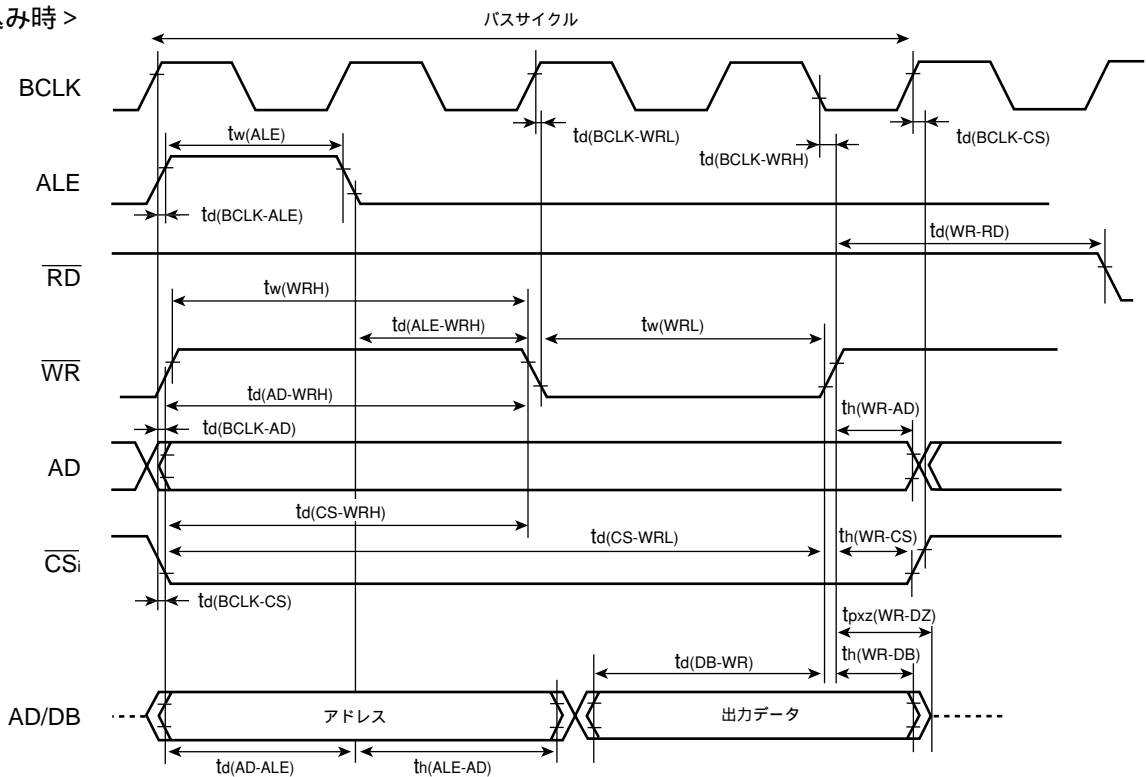
- $V_{CC} = 3.3V \pm 0.3V$, $T_a = -20 \sim 85$
- 入力タイミング電圧: $V_{IL} = 0.66V$, $V_{IH} = 2.15V$ で判定
- 出力タイミング電圧: $V_{OL} = 0.8V$, $V_{OH} = 2.0V$, $C_L = 15pF$ で判定 (\overline{CSi} 、ALE)
- 出力タイミング電圧: $V_{OL} = 0.8V$, $V_{OH} = 2.0V$, $C_L = 50pF$ で判定 (\overline{CSi} 、ALE以外)

マルチプレックスバス選択時

< 読み出し時 >



< 書き込み時 >



測定条件

- $V_{CC} = 3.3V \pm 0.3V$, $T_a = -20 \sim 85$
- 入力タイミング電圧: $V_{IL} = 0.66V$, $V_{IH} = 2.15V$ で判定
- 出力タイミング電圧: $V_{OL} = 0.8V$, $V_{OH} = 2.0V$, $C_L = 15pF$ で判定 (\overline{CS}_i , ALE)
- 出力タイミング電圧: $V_{OL} = 0.8V$, $V_{OH} = 2.0V$, $C_L = 50pF$ で判定 (\overline{CS}_i , ALE以外)

Memo

M16C/70グループユーザズマニュアル

発行年月日 2002年9月20日 Rev. 1.00
2004年6月25日 Rev. 3.00

発行 株式会社 ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町2-6-2

M16C/70 グループ
ユーザーズマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0195-0300Z

改訂記録

M16C/70グループユーザズマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
1.0	020920		PDFファイル初版発行
1.1	021001		PDFファイル改訂版発行 改訂箇所・内容は下記を参照してください(表現のみの変更は除きます)。
		2-7	図2.2.1 : E00000 ₁₆ ~ YYYYYY ₁₆ 番地に「予約領域(注)」を追加
		2-16	図2.3.4 : メモリ拡張モードのE00000 ₁₆ ~ YYYYYY ₁₆ 番地に「予約領域(注)」を追加
		3-2	表3.1.2 : 「CS ₀ のみ」の「CS _i を使用してアクセスできる領域の範囲(最大)」を 「4Mバイト(注1)」から「2Mバイト」に変更
		3-3	図3.1.1 : E00000 ₁₆ ~ YYYYYY ₁₆ 番地に「予約領域(注2)」を追加 5000 ₁₆ ~ FFFF ₁₆ 番地の「(注)」を「(注1)」に変更 CS ₀ 領域の矢印(右端)の範囲を「C00000 ₁₆ ~ FFFFFFFF ₁₆ 番地」から 「C00000 ₁₆ ~ DFFFFFFF ₁₆ 番地」に変更 図下の「注」を「注1」に変更、「注2」、「注3」を追加
		17-3	図17.1.2 : メモリ拡張モードのE00000 ₁₆ ~ YYYYYY ₁₆ 番地に「予約領域(注1)」を追加
2.0	030128		PDFファイル改訂版発行 改訂箇所・内容は下記を参照してください(表現のみの変更は除きます)。
		1-2	表1.1.1 : メモリ容量にM30700FKLGPを追加、表下の注を削除
		2-7	図2.2.1 : 右下表にM30700FKLGPを追加
		2-16	図2.3.4 : 下表にM30700FKLGPを追加
		3-3	図3.1.1 : 右下表にM30700FKLGPを追加 「注1」に「M30700FJLGP」において、」を追加
		3-10	図3.4.1 : 左下から2枠目「アドレス/ポート切り替えビット」の「000 ₂ 」、「001 ₂ 」の選択肢 を削除
		3-18	図3.6.3 : 図3.6.1に修正(図番のみ)
		4-8、 付録-4	図4.3.4 : 55 ₁₆ 番地(フラッシュメモリ制御レジスタ1)の「アクセス特性」のビット「RW」 を「RO」に変更、「リセット直後の状態」のビット5、7の網掛けを削除
		5-7 ~ 5-9	図5.3.2 ~ 図5.3.5 : 図5.3.3 ~ 図5.3.6に修正(図番のみ)
		5-10	図5.3.7 : 「フラッシュメモリ制御レジスタ1のレジスタ構成」と各ビットの説明を追加
		5-11, 5-12	図5.4.1、図5.4.2 : 内容変更
		7-10	表7.4.1 : 表7.4.2に修正(表番のみ/本文、下から4行目も同様に修正)
		8-3	(1) : M30700FKLGPの仕様を追加
		9-11	【タイマモード使用上の注意】を次ページに移動
		9-12	【タイマモード使用上の注意】に「1.」を追加
		9-18	表9.5.3 : 表9.5.5に修正(表番のみ/本文、下から2行目も同様に修正)
		9-23	【イベントカウンタモード使用上の注意】に「1.」を追加
		10-8	【タイマモード使用上の注意】を追加
		10-12	【イベントカウンタモード使用上の注意】を追加
		11-12	11.4.2 : 3行目「...受信許可ビットを「1」にする、又はUARTi受信バッファレジスタの 下位バイトを読み出すと...」(下線部削除)
		11-26	上から3行目 : 「F : UiBRi」を「F : UiBRG」に変更 表11.6.4 : 「転送速度 : 115200、f(MCLK) = 11.0592MHz時のUiBRGの設定値」欄の 「3(03 ₁₆)」を「2(02 ₁₆)」に変更

改訂記録

M16C/70グループユーザズマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
2.0	030128	17-3 17-5 17-6 17-9 付録-23 付録-64	<p>図17.1.2：左下表にM30700FKLGPを追加</p> <p>図17.2.1：「フラッシュメモリ制御レジスタ1のレジスタ構成」を変更(ビット5、7) (4)：2行目「...。 “0”を書き込むときは、<u>10</u>μs」を「...。 “0”を書き込むときは、<u>20</u>μs」に変更 3行目「。このビットを“1” “0”にした後、フラッシュメモリをアクセスする場合は、20μs待ってください」を追加</p> <p>図17.2.3：「<u>10</u>μs経過？」を「<u>20</u>μs経過？」に変更 「フラッシュメモリリセットビット 0」の処理の次に、処理を1つ追加</p> <p>図17.2.5：上から5枠目「(注)」を「(注1)」に変更 上から8枠目「<u>10</u>μs経過後」を「<u>20</u>μs経過後」に変更、最後に「(注2)」を追加 図下「注」を「注1」に変更、「注2」を追加</p> <p>フラッシュメモリ制御レジスタ1のビット5、7を変更 「ヒステリシス RESET」にM30700FKLGPの値を追加</p>
3.0	040625	1-2 3-5 3-8 3-9 3-10 4-2 4-4 4-8、 付録-4	<p>表1.1.1：「システムクロック周波数f(BCLK)のM30700FJLGPのみ「26MHz(最大)」に変更 項目の「PLL周波数逓倍回路」を「PLL周波数変換回路」に変更</p> <p>図3.3.1：図題を「プロセッサモードレジスタ0のレジスタ構成」に変更 図3.3.2：図題を「プロセッサモードレジスタ1のレジスタ構成」に変更</p> <p>2行目、10行目：「<u>3.4</u> 外部バス動作」 「<u>3.5</u> 外部バス動作」 7行目：「<u>3.5</u> レディー機能」 「<u>3.6</u> レディー機能」</p> <p>5行目、9行目：「<u>3.4</u> 外部バス動作」 「<u>3.5</u> 外部バス動作」 10行目：「なお、M30700FJLGPにおいて、CS₁領域でマルチブックスバスを選択...」 (下線部追加)</p> <p>図3.4.1：右上1枠目のビット7 先頭アドレス選択ビット CS₁アドレス/ポート切り替えビット 0：5000₁₆番地先頭 0：プログラマブル入出力ポート 1：10000₁₆番地先頭 1：アドレス出力端子 右上2枠目ビット4~0 メインクロック分周比選択ビット バスサイクル選択ビット</p> <p>下から8行目：「が初期化されます」 「及びSFR領域が初期化されます」 「4.2 端子の状態」参照 「4.2 端子の状態」 「4.3 内部領域の状態」参照</p> <p>下から6行目：「演算処理装置(CPU)及びSFR領域が初期化されます(下線部削除)」</p> <p>4行目：「端子が初期化されます」 「端子及びSFR領域が初期化されます(内部RAM領域の内容は不定になります)」</p> <p>5行目：「4.2 端子の状態」参照 「4.2 端子の状態」 「4.3 内部領域の状態」参照 6行目：「...CPU及びSFR領域が初期化されます(内部RAM領域の内容は不定になります)」 (下線部削除)</p> <p>図4.3.4：「55₁₆番地 フラッシュメモリ制御レジスタ1」ビット5、7 アクセス特性及びリセット直後の状態を変更</p>

改訂記録

M16C/70グループユーザーズマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
3.0	040625	5-10、 5-11 7-5 7-10 7-14 10-14 10-15 10-17 11-18 11-36 14-2 14-8 15-6 16-9 16-10 17-5、 付録-23 17-14	<p>前版5-10ページ削除</p> <p>図5.4.1、図5.4.2：内容変更</p> <p>図7.3.1：図上の「割り込み要求ビット」に「注」を追加</p> <p>下から9行目：「注」を「7.6 高速割り込み参照」に変更</p> <p>下から8行目：「7.6 高速割り込み参照」を削除</p> <p>表7.5.1：「極性切り替えビット」の下から1行目「1」と2行目「0」を入れ替え</p> <p>(1)：「測定モード選択ビット(ビット0,1)」を「測定モード選択ビット(ビット2,3)」に変更</p> <p>(2)：下から2行目「タイマBi割り込み要求フラグ」を「タイマBi割り込み要求ビット」に変更</p> <p>6行目の下線を5行目「 でカウンタの値が⁶ 0000₁₆になる」に移動</p> <p>下から13行目：「図12.3.5」を「図11.5.5」に変更</p> <p>下から2行目：「図12.3.6」を「図11.5.6」に、「図12.3.7」を「図11.5.7」に変更</p> <p>下から3行目：「UARTi受信割り込みモード」を「UARTi受信割り込み要因」に変更</p> <p>図14.2.1：図中右側下から2番目の「DMA3SFRアドレスレジスタ」を「DMA2SFRアドレスレジスタ」に変更</p> <p>(2)：「ソフトウェアDMAi要求ビット」に「ビット5」を追加</p> <p>15.4.3：2行目「3.3ホールド機能」を「3.7ホールド機能」に変更</p> <p>16.4.1： 、 を削除</p> <p>図16.4.1：右上から2枠目「システムクロック制御レジスタ1」に対する書き込みを許可」を「システムクロック制御レジスタ0」に対する書き込みを許可」に変更</p> <p>図17.2.1：「フラッシュメモリ制御レジスタ1」のビット5、ビット7の内容を変更</p> <p>【CPU書き換えモード使用上の注意】：1行目「CPU書き換えモード0」の「0」を削除</p>