

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

M16C/62Pグループ (M16C/62P、M16C/62PT)

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ
M16Cファミリ / M16C/60シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジー製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジーが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジーは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジーは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジー半導体製品のご購入に当たりましては、事前にルネサス テクノロジー、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジーホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジーはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジーは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジー、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジーの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジー、ルネサス販売または特約店までご照会ください。

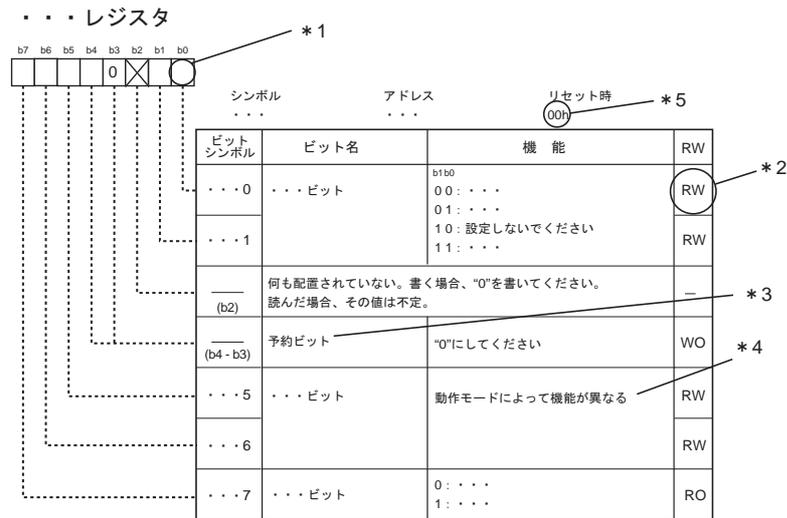
このマニュアルの使い方

1. 対象

このマニュアルはM16C/62Pグループ(M16C/62P、M16C/62PT)のハードウェアマニュアルです。
このマニュアルを使用する上で、電気回路、論理回路、およびマイクロコンピュータの基本的な知識が必要です。

2. レジスタ図の見方

レジスタ図で使用する記号、用語を説明します。



* 1

- 空白 : 用途に応じて“0”または“1”にしてください。
- 0 : “0”にしてください。
- 1 : “1”にしてください。
- × : 何も配置されていないビットです。

* 2

- RW : 読むとビットの状態が読めます。書くと有効データになります。
- RO : 読むとビットの状態が読めます。書いた値は無効になります。
- WO : 書くと有効データになります。ビットの状態は読めません。
- : 何も配置されていないビットです。

* 3

- ・予約ビット
予約ビットです。指定された値にしてください。

* 4

- ・何も配置されていない
該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。
- ・設定しないでください
設定した場合の動作は保証されません。
- ・動作モードによって機能が異なる
周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

* 5

- 2進数、16進数の表記法は、各マニュアルの本文に従ってください。

3. M16Cファミリ関連ドキュメント

M16Cファミリでは次のドキュメントを用意しています。(注1)

ドキュメントの種類	記載内容
ショートシート	ハードウェアの概要
データシート	ハードウェアの概要と電気的特性
ハードウェアマニュアル	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)
ソフトウェアマニュアル	命令(アセンブリ言語)の動作の詳細
アプリケーションノート	周辺機能の応用例 参考プログラム M16Cファミリ入門用基本機能説明 アセンブリ言語、C言語によるプログラムの作成方法
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報

注1. 最新版を使用してください。最新版はルネサステクノロジホームページに掲載されています。

目次

番地別ページ早見表	B - 1
1. 概要	1
1.1 応用	1
1.2 性能概要	2
1.3 ブロック図	5
1.4 製品一覧	7
1.5 ピン接続図	14
1.6 端子機能の説明	25
2. 中央演算処理装置	30
2.1 データレジスタ (R0、R1、R2、R3).....	30
2.2 アドレスレジスタ (A0、A1).....	30
2.3 フレームベースレジスタ (FB).....	31
2.4 割り込みテーブルレジスタ (INTB).....	31
2.5 プログラムカウンタ (PC).....	31
2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)	31
2.7 スタティックベースレジスタ (SB)	31
2.8 フラグレジスタ (FLG).....	31
2.8.1 キャリフラグ (C フラグ)	31
2.8.2 デバッグフラグ (D フラグ)	31
2.8.3 ゼロフラグ (Z フラグ)	31
2.8.4 サインフラグ (S フラグ)	31
2.8.5 レジスタバンク指定フラグ (B フラグ)	31
2.8.6 オーバフローフラグ (O フラグ)	31
2.8.7 割り込み許可フラグ (I フラグ)	31
2.8.8 スタックポインタ指定フラグ (U フラグ)	32
2.8.9 プロセッサ割り込み優先レベル (IPL)	32
2.8.10 予約領域	32
3. メモリ	33
4. SFR	34
5. リセット	42
5.1 ハードウェアリセット 1	42

5.1.1	電源安定時.....	42
5.1.2	電源投入時.....	42
5.2	電圧低下検出リセット（ハードウェアリセット2）.....	44
5.3	ソフトウェアリセット.....	45
5.4	ウォッチドッグタイマリセット.....	45
5.5	発振停止検出リセット.....	45
5.6	内部領域の状態.....	46
6.	電圧検出回路.....	47
6.1	電圧低下検出割り込み.....	51
6.2	ストップモードの制約.....	53
6.3	ウェイトモードの制約.....	53
6.4	コールドスタート/ウォームスタート判定機能.....	54
7.	プロセッサモード.....	56
7.1	プロセッサモードの種類.....	56
7.2	プロセッサモードの設定.....	57
8.	バス.....	61
8.1	バス形式.....	61
8.1.1	セパレートバス.....	61
8.1.2	マルチプレクスバス.....	61
8.2	バス制御.....	62
8.2.1	アドレスバス.....	62
8.2.2	データバス.....	62
8.2.3	チップセレクト信号.....	62
8.2.4	リード信号、ライト信号.....	65
8.2.5	ALE 信号.....	65
8.2.6	$\overline{\text{RDY}}$ 信号.....	66
8.2.7	$\overline{\text{HOLD}}$ 信号.....	67
8.2.8	BCLK 出力.....	67
8.2.9	内部領域をアクセスしたときの外部バスの状態.....	69
8.2.10	ソフトウェアウェイト.....	69
9.	メモリ空間拡張機能.....	74
9.1	1M バイトモード.....	74

9.2	4M バイトモード	74
9.2.1	04000h ~ 3FFFFh 番地、C0000h ~ FFFFFh 番地	74
9.2.2	40000h ~ BFFFFh 番地	74
10.	クロック発生回路	82
10.1	クロック発生回路の種類	82
10.1.1	メインクロック	89
10.1.2	サブクロック	90
10.1.3	オンチップオシレータクロック	91
10.1.4	PLL クロック	91
10.2	CPU クロックと周辺機能クロック	93
10.2.1	CPU クロックと BCLK	93
10.2.2	周辺機能クロック (f1、f2、f8、f32、f1SIO、f2SIO、f8SIO、 f32SIO、fAD、fC32)	93
10.3	クロック出力機能	93
10.4	パワーコントロール	94
10.4.1	通常動作モード	94
10.4.2	ウェイトモード	96
10.4.3	ストップモード	98
10.5	システムクロック保護機能	103
10.6	発振停止、再発振検出機能	104
10.6.1	CM27 ビットが “0” (リセット) の場合の動作	104
10.6.2	CM27 ビットが “1” (発振停止、再発振検出割り込み) の場合の動作	104
10.6.3	発振停止、再発振検出機能使用方法	105
11.	プロテクト	106
12.	割り込み	107
12.1	割り込みの分類	107
12.2	ソフトウェア割り込み	108
12.2.1	未定義命令割り込み	108
12.2.2	オーバフロー割り込み	108
12.2.3	BRK 割り込み	108
12.2.4	INT 命令割り込み	108
12.3	ハードウェア割り込み	109
12.3.1	特殊割り込み	109

12.3.2	周辺機能割り込み.....	109
12.4	割り込みと割り込みベクタ	110
12.4.1	固定ベクタテーブル	110
12.4.2	可変ベクタテーブル	111
12.5	割り込み制御.....	112
12.5.1	Iフラグ	114
12.5.2	IR ビット	114
12.5.3	ILVL2 ~ ILVL0 ビット、IPL.....	114
12.5.4	割り込みシーケンス	115
12.5.5	割り込み応答時間.....	116
12.5.6	割り込み要求受付時の IPL の変化.....	116
12.5.7	レジスタ退避	117
12.5.8	割り込みルーチンからの復帰.....	118
12.5.9	割り込み優先順位.....	118
12.5.10	割り込み優先レベル判定回路.....	118
12.6	<u>INT</u> 割り込み	120
12.7	<u>NMI</u> 割り込み	122
12.8	キー入力割り込み.....	122
12.9	アドレス一致割り込み	123
13.	ウォッチドッグタイマ	125
13.1	カウントソース保護モード	126
14.	DMAC	127
14.1	転送サイクル.....	133
14.1.1	転送元番地、転送先番地の影響	133
14.1.2	BYTE 端子の影響	133
14.1.3	<u>ソフトウェアウェイト</u> の影響.....	133
14.1.4	<u>RDY</u> 信号の影響	133
14.2	DMAC 転送サイクル数.....	135
14.3	DMA 許可	136
14.4	DMA 要求	136
14.5	チャンネルの優先順位と DMA 転送タイミング	137
15.	タイマ	138
15.1	タイマ A	140

15.1.1	タイマモード	145
15.1.2	イベントカウンタモード	146
15.1.3	ワンショットタイマモード	151
15.1.4	パルス幅変調モード (PWM モード)	153
15.2	タイマ B	156
15.2.1	タイマモード	159
15.2.2	イベントカウンタモード	160
15.2.3	パルス周期測定モード、パルス幅測定モード	162
16.	三相モータ制御用タイマ機能	165
17.	シリアルインタフェース	175
17.1	UART _i (i=0 ~ 2)	175
17.1.1	クロック同期形シリアル I/O モード	186
17.1.2	クロック非同期形シリアル I/O(UART) モード	194
17.1.3	特殊モード 1(I ² C モード)	202
17.1.4	特殊モード 2	212
17.1.5	特殊モード 3(IE モード)	216
17.1.6	特殊モード 4(SIM モード)(UART ₂)	218
17.2	SI/O ₃ 、SI/O ₄	223
17.2.1	SI/O _i 動作タイミング	226
17.2.2	CLK 極性選択	226
17.2.3	SOUT _i 初期値設定機能	227
18.	A/D コンバータ	228
18.1	モードの説明	232
18.1.1	単発モード	232
18.1.2	繰り返しモード	234
18.1.3	単掃引モード	236
18.1.4	繰り返し掃引モード 0	238
18.1.5	繰り返し掃引モード 1	240
18.2	機能	242
18.2.1	分解能選択機能	242
18.2.2	サンプル & ホールド	242
18.2.3	拡張アナログ入力端子	242
18.2.4	外部オペアンプ接続モード	242

18.2.5	消費電流低減機能.....	243
18.2.6	A/D 変換時のセンサーの出カインピーダンス	243
19.	D/A コンバータ	245
20.	CRC 演算	247
21.	プログラマブル入出力ポート	249
21.1	ポート Pi 方向レジスタ (PDi レジスタ i=0 ~ 13).....	250
21.2	ポート Pi レジスタ (Pi レジスタ i=0 ~ 13)	250
21.3	プルアップ制御レジスタ 0 ~ プルアップ制御レジスタ 3 (PUR0 ~ PUR3 レジスタ)	250
21.4	ポート制御レジスタ (PCR レジスタ).....	250
22.	フラッシュメモリ版	264
22.1	メモリ配置	265
22.1.1	ブートモード	266
22.2	フラッシュメモリ書き換え禁止機能.....	266
22.2.1	ROM コードプロテクト機能	266
22.2.2	ID コードチェック機能.....	266
22.3	CPU 書き換えモード.....	268
22.3.1	EW0 モード	269
22.3.2	EW1 モード	269
22.3.3	フラッシュメモリ制御レジスタ (FIDR、FMR0、FMR1 レジスタ).....	269
22.3.4	CPU 書き換えモードの注意事項	276
22.3.5	ソフトウェアコマンド.....	278
22.3.6	データ保護機能	283
22.3.7	ステータスレジスタ	283
22.3.8	フルステータスチェック	285
22.4	標準シリアル入出力モード	287
22.4.1	ID コードチェック機能.....	287
22.4.2	標準シリアル入出力モード 1 時の端子処理例	293
22.5	パラレル入出力モード	295
22.5.1	ブート ROM 領域	295
22.5.2	ROM コードプロテクト機能	295

23. 電气的特性	296
23.1 電气的特性 (M16C/62P)	296
23.2 電气的特性 (M16C/62PT)	336
24. 使用上の注意事項	349
24.1 SFR	349
24.1.1 レジスタ設定時の注意事項	349
24.2 リセット	350
24.3 外部バス	351
24.4 PLL 周波数シンセサイザ使用時	352
24.5 パワーコントロール	353
24.6 プロテクト	355
24.7 割り込み	356
24.7.1 00000h 番地の読み出し	356
24.7.2 SP の設定	356
24.7.3 $\overline{\text{NMI}}$ 割り込み	356
24.7.4 割り込み要因の変更	357
24.7.5 $\overline{\text{INT}}$ 割り込み	357
24.7.6 割り込み制御レジスタの変更	358
24.7.7 ウォッチドッグタイマ割り込み	359
24.8 DMAC	360
24.8.1 DMAiCON レジスタの DMAE ビットへの書き込み (i=0 ~ 1)	360
24.9 タイマ	361
24.9.1 タイマ A	361
24.9.2 タイマ B	365
24.10 シリアルインタフェース	368
24.10.1 クロック同期形シリアル I/O モード	368
24.10.2 クロック非同期型シリアル I/O(UART) モード	370
24.10.3 SI/O3、SI/O4	371
24.11 A/D コンバータ	372
24.12 プログラマブル入出力ポート	374
24.13 フラッシュメモリ版とマスク ROM 版の相違点	375
24.14 マスク ROM 版	376
24.15 フラッシュメモリ版	377
24.15.1 フラッシュメモリ書き換え禁止機能	377

24.15.2	ストップモード	377
24.15.3	ウェイトモード	377
24.15.4	低消費電力モード、オンチップオシレータ低消費電力モード	377
24.15.5	コマンド、データの書き込み	377
24.15.6	プログラムコマンド	377
24.15.7	ロックビットプログラムコマンド	377
24.15.8	動作速度	378
24.15.9	使用禁止命令	378
24.15.10	割り込み	378
24.15.11	アクセス方法	378
24.15.12	ユーザ ROM 領域の書き換え	378
24.15.13	DMA 転送	378
24.15.14	プログラム、イレーズ回数と実行時間について	379
24.16	ノイズに関する注意事項	380
25.	製造時期による相違	381
付録 1.	外形寸法図	383
付録 2.	M16C/62P と M16C/62A との相違点	385
SFR	レジスタ索引	388

番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	58
0005h	プロセッサモードレジスタ1	PM1	59
0006h	システムクロック制御レジスタ0	CM0	84
0007h	システムクロック制御レジスタ1	CM1	85
0008h	チップセレクト制御レジスタ	CSR	63
0009h	アドレス一致割り込み許可レジスタ	AIER	124
000Ah	プロテクトレジスタ	PRCR	106
000Bh	データバンクレジスタ	DBR	75
000Ch	発振停止検出レジスタ	CM2	86
000Dh			
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	126
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	126
0010h	アドレス一致割り込みレジスタ0	RMAD0	124
0011h			
0012h			
0013h			
0014h	アドレス一致割り込みレジスタ1	RMAD1	124
0015h			
0016h			
0017h			
0018h			
0019h	電圧検出レジスタ1	VCR1	48
001Ah	電圧検出レジスタ2	VCR2	48
001Bh	チップセレクト拡張制御レジスタ	CSE	70
001Ch	PLL制御レジスタ0	PLC0	88
001Dh			
001Eh	プロセッサモードレジスタ2	PM2	87
001Fh	電圧低下検出割り込みレジスタ	D4INT	49
0020h	DMA0ソースポインタ	SAR0	132
0021h			
0022h			
0023h			
0024h	DMA0ディスティネーションポインタ	DAR0	132
0025h			
0026h			
0027h			
0028h	DMA0転送カウンタ	TCR0	132
0029h			
002Ah			
002Bh			
002Ch	DMA0制御レジスタ	DM0CON	131
002Dh			
002Eh			
002Fh			
0030h	DMA1ソースポインタ	SAR1	132
0031h			
0032h			
0033h			
0034h	DMA1ディスティネーションポインタ	DAR1	132
0035h			
0036h			
0037h			
0038h	DMA1転送カウンタ	TCR1	132
0039h			
003Ah			
003Bh			
003Ch	DMA1制御レジスタ	DM1CON	131
003Dh			
003Eh			
003Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0040h			
0041h			
0042h			
0043h			
0044h	INT3割り込み制御レジスタ	INT3IC	113
0045h	タイマB5割り込み制御レジスタ	TB5IC	112
0046h	タイマB4割り込み制御レジスタ、 UART1バス衝突検出割り込み制御レジスタ	TB4IC U1BCNIC	112
0047h	タイマB3割り込み制御レジスタ、 UART0バス衝突検出割り込み制御レジスタ	TB3IC U0BCNIC	112
0048h	SI/O4割り込み制御レジスタ、 INT5割り込み制御レジスタ	S4IC INT5IC	113
0049h	SI/O3割り込み制御レジスタ、 INT4割り込み制御レジスタ	S3IC INT4IC	113
004Ah	UART2バス衝突検出割り込み制御レジスタ	BCNIC	112
004Bh	DMA0割り込み制御レジスタ	DM0IC	112
004Ch	DMA1割り込み制御レジスタ	DM1IC	112
004Dh	キー入力割り込み制御レジスタ	KUPIC	112
004Eh	A/D変換割り込み制御レジスタ	ADIC	112
004Fh	UART2送信割り込み制御レジスタ	S2TIC	112
0050h	UART2受信割り込み制御レジスタ	S2RIC	112
0051h	UART0送信割り込み制御レジスタ	S0TIC	112
0052h	UART0受信割り込み制御レジスタ	S0RIC	112
0053h	UART1送信割り込み制御レジスタ	S1TIC	112
0054h	UART1受信割り込み制御レジスタ	S1RIC	112
0055h	タイマA0割り込み制御レジスタ	TA0IC	112
0056h	タイマA1割り込み制御レジスタ	TA1IC	112
0057h	タイマA2割り込み制御レジスタ	TA2IC	112
0058h	タイマA3割り込み制御レジスタ	TA3IC	112
0059h	タイマA4割り込み制御レジスタ	TA4IC	112
005Ah	タイマB0割り込み制御レジスタ	TB0IC	112
005Bh	タイマB1割り込み制御レジスタ	TB1IC	112
005Ch	タイマB2割り込み制御レジスタ	TB2IC	112
005Dh	INT0割り込み制御レジスタ	INT0IC	113
005Eh	INT1割り込み制御レジスタ	INT1IC	113
005Fh	INT2割り込み制御レジスタ	INT2IC	113
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

番地	レジスタ	シンボル	掲載 ページ
0080h			
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
~			
01AFh			
01B0h			
01B1h			
01B2h			
01B3h			
01B4h	フラッシュ識別レジスタ (注2)	FIDR	269
01B5h	フラッシュメモリ制御レジスタ1 (注2)	FMR1	271
01B6h			
01B7h	フラッシュメモリ制御レジスタ0 (注2)	FMR0	270
01B8h	アドレス一致割り込みレジスタ2	RMAD2	124
01B9h			
01BAh			
01BBh	アドレス一致割り込み許可レジスタ2	AIER2	124
01BCh	アドレス一致割り込みレジスタ3	RMAD3	124
01BDh			
01BEh			
01BFh			
01C0h			
~			
024Fh			
0250h			
0251h			
0252h			
0253h			
0254h			
0255h			
0256h			
0257h			
0258h			
0259h			
025Ah			
025Bh			
025Ch			
025Dh			
025Eh	周辺クロック選択レジスタ	PCLKR	87
025Fh			
0260h			
~			
032Fh			
0330h			
0331h			
0332h			
0333h			
0334h			
0335h			
0336h			
0337h			
0338h			
0339h			
033Ah			
033Bh			
033Ch			
033Dh			
033Eh			
033Fh			

番地	レジスタ	シンボル	掲載 ページ
0340h	タイマB3,4,5カウント開始フラグ	TBSR	158
0341h			
0342h	タイマA1-1レジスタ	TA11	170
0343h			
0344h	タイマA2-1レジスタ	TA21	170
0345h			
0346h	タイマA4-1レジスタ	TA41	170
0347h			
0348h	三相PWM制御レジスタ0	INVC0	167
0349h	三相PWM制御レジスタ1	INVC1	168
034Ah	三相出力バッファレジスタ0	IDB0	169
034Bh	三相出力バッファレジスタ1	IDB1	169
034Ch	短絡防止タイマ	DTT	169
034Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2	169
034Eh			
034Fh			
0350h	タイマB3レジスタ	TB3	157
0351h			
0352h	タイマB4レジスタ	TB4	157
0353h			
0354h	タイマB5レジスタ	TB5	157
0355h			
0356h			
0357h			
0358h			
0359h			
035Ah			
035Bh	タイマB3モードレジスタ	TB3MR	157
035Ch	タイマB4モードレジスタ	TB4MR	157
035Dh	タイマB5モードレジスタ	TB5MR	157
035Eh	割り込み要因選択レジスタ2	IFSR2A	121
035Fh	割り込み要因選択レジスタ	IFSR	120
0360h	SI/O3送受信レジスタ	S3TRR	224
0361h			
0362h	SI/O3制御レジスタ	S3C	224
0363h	SI/O3ビットレートレジスタ	S3BRG	224
0364h	SI/O4送受信レジスタ	S4TRR	224
0365h			
0366h	SI/O4制御レジスタ	S4C	224
0367h	SI/O4ビットレートレジスタ	S4BRG	224
0368h			
0369h			
036Ah			
036Bh			
036Ch	UART0特殊モードレジスタ4	U0SMR4	185
036Dh	UART0特殊モードレジスタ3	U0SMR3	184
036Eh	UART0特殊モードレジスタ2	U0SMR2	184
036Fh	UART0特殊モードレジスタ	U0SMR	183
0370h	UART1特殊モードレジスタ4	U1SMR4	185
0371h	UART1特殊モードレジスタ3	U1SMR3	184
0372h	UART1特殊モードレジスタ2	U1SMR2	184
0373h	UART1特殊モードレジスタ	U1SMR	183
0374h	UART2特殊モードレジスタ4	U2SMR4	185
0375h	UART2特殊モードレジスタ3	U2SMR3	184
0376h	UART2特殊モードレジスタ2	U2SMR2	184
0377h	UART2特殊モードレジスタ	U2SMR	183
0378h	UART2送受信モードレジスタ	U2MR	179
0379h	UART2ビットレートレジスタ	U2BRG	180
037Ah	UART2送信バッファレジスタ	U2TB	180
037Bh			
037Ch	UART2送受信制御レジスタ0	U2C0	181
037Dh	UART2送受信制御レジスタ1	U2C1	182
037Eh	UART2受信バッファレジスタ	U2RB	179
037Fh			

注1. 空欄は予約領域です。アクセスしないでください。
注2. このレジスタはフラッシュメモリ版にあります。

番地	レジスタ	シンボル	掲載ページ
0380h	カウント開始フラグ	TABSR	142,158,171
0381h	時計用プリスケアラセットフラグ	CPSRF	144,158
0382h	ワンショット開始フラグ	ONSF	143
0383h	トリガ選択レジスタ	TRGSR	143,171
0384h	アップダウンフラグ	UDF	142
0385h			
0386h	タイマA0レジスタ	TA0	141
0387h			
0388h	タイマA1レジスタ	TA1	141,170
0389h			
038Ah	タイマA2レジスタ	TA2	141,170
038Bh			
038Ch	タイマA3レジスタ	TA3	141
038Dh			
038Eh	タイマA4レジスタ	TA4	141,170
038Fh			
0390h	タイマB0レジスタ	TB0	157
0391h			
0392h	タイマB1レジスタ	TB1	157
0393h			
0394h	タイマB2レジスタ	TB2	157,171
0395h			
0396h	タイマA0モードレジスタ	TA0MR	141
0397h	タイマA1モードレジスタ	TA1MR	141,172
0398h	タイマA2モードレジスタ	TA2MR	141,172
0399h	タイマA3モードレジスタ	TA3MR	141
039Ah	タイマA4モードレジスタ	TA4MR	141,172
039Bh	タイマB0モードレジスタ	TB0MR	157
039Ch	タイマB1モードレジスタ	TB1MR	157
039Dh	タイマB2モードレジスタ	TB2MR	157,172
039Eh	タイマB2特殊モードレジスタ	TB2SC	170
039Fh			
03A0h	UART0送受信モードレジスタ	U0MR	180
03A1h	UART0ビットレートレジスタ	U0BRG	180
03A2h	UART0送信バッファレジスタ	U0TB	179
03A3h			
03A4h	UART0送受信制御レジスタ0	U0C0	181
03A5h	UART0送受信制御レジスタ1	U0C1	182
03A6h	UART0受信バッファレジスタ	U0RB	179
03A7h			
03A8h	UART1送受信モードレジスタ	U1MR	180
03A9h	UART1ビットレートレジスタ	U1BRG	180
03AAh	UART1送信バッファレジスタ	U1TB	179
03ABh			
03ACh	UART1送受信制御レジスタ0	U1C0	181
03ADh	UART1送受信制御レジスタ1	U1C1	182
03AEh	UART1受信バッファレジスタ	U1RB	179
03AFh			
03B0h	UART送受信制御レジスタ2	UCON	183
03B1h			
03B2h			
03B3h			
03B4h			
03B5h			
03B6h			
03B7h			
03B8h	DMA0要因選択レジスタ	DM0SL	129
03B9h			
03BAh	DMA1要因選択レジスタ	DM1SL	130
03BBh			
03BCh	CRCデータレジスタ	CRCD	247
03BDh			
03BEh	CRCインプットレジスタ	CRCIN	247
03BFh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
03C0h	A/Dレジスタ0	AD0	231
03C1h			
03C2h	A/Dレジスタ1	AD1	231
03C3h			
03C4h	A/Dレジスタ2	AD2	231
03C5h			
03C6h	A/Dレジスタ3	AD3	231
03C7h			
03C8h	A/Dレジスタ4	AD4	231
03C9h			
03CAh	A/Dレジスタ5	AD5	231
03CBh			
03CCh	A/Dレジスタ6	AD6	231
03CDh			
03CEh	A/Dレジスタ7	AD7	231
03CFh			
03D0h			
03D1h			
03D2h			
03D3h			
03D4h	A/D制御レジスタ2	ADCON2	231
03D5h			
03D6h	A/D制御レジスタ0	ADCON0	230
03D7h	A/D制御レジスタ1	ADCON1	230
03D8h	D/Aレジスタ0	DA0	246
03D9h			
03DAh	D/Aレジスタ1	DA1	246
03DBh			
03DCh	D/A制御レジスタ	DACON	246
03DDh			
03DEh	ポートP14制御レジスタ	PC14	258
03DFh	ブルアップ制御レジスタ3	PUR3	258
03E0h	ポートP0レジスタ	P0	257
03E1h	ポートP1レジスタ	P1	257
03E2h	ポートP0方向レジスタ	PD0	256
03E3h	ポートP1方向レジスタ	PD1	256
03E4h	ポートP2レジスタ	P2	257
03E5h	ポートP3レジスタ	P3	257
03E6h	ポートP2方向レジスタ	PD2	256
03E7h	ポートP3方向レジスタ	PD3	256
03E8h	ポートP4レジスタ	P4	257
03E9h	ポートP5レジスタ	P5	257
03EAh	ポートP4方向レジスタ	PD4	256
03EBh	ポートP5方向レジスタ	PD5	256
03ECh	ポートP6レジスタ	P6	257
03EDh	ポートP7レジスタ	P7	257
03EEh	ポートP6方向レジスタ	PD6	256
03EFh	ポートP7方向レジスタ	PD7	256
03F0h	ポートP8レジスタ	P8	257
03F1h	ポートP9レジスタ	P9	257
03F2h	ポートP8方向レジスタ	PD8	256
03F3h	ポートP9方向レジスタ	PD9	256
03F4h	ポートP10レジスタ	P10	257
03F5h	ポートP11レジスタ	P11	257
03F6h	ポートP10方向レジスタ	PD10	256
03F7h	ポートP11方向レジスタ	PD11	256
03F8h	ポートP12レジスタ	P12	257
03F9h	ポートP13レジスタ	P13	257
03FAh	ポートP12方向レジスタ	PD12	256
03FBh	ポートP13方向レジスタ	PD13	256
03FCh	ブルアップ制御レジスタ0	PUR0	259
03FDh	ブルアップ制御レジスタ1	PUR1	259
03FEh	ブルアップ制御レジスタ2	PUR2	260
03FFh	ポート制御レジスタ	PCR	260

M16C/62Pグループ(M16C/62P、M16C/62PT)

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER

1. 概要

M16C/62Pグループ(M16C/62P、M16C/62PT)は、高性能シリコンゲートCMOSプロセスを採用しM16C/60シリーズCPUコアを搭載したシングルチップマイクロコンピュータで、80ピン、100ピンまたは128ピンプラスチックモールドQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1 Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、乗算器、DMACがあるため、高速な演算処理が必要なOA、通信機器、産業機器の制御に適したマイクロコンピュータです。

1.1 応用

オーディオ、カメラ、TV、家電、事務機器、通信機器、携帯機器、産業機器、自動車、他

本仕様書はできる限り正確を期すように努力しておりますが、誤記がありましたときはご容赦ください。

また、機能向上や性能向上のために仕様を変更する場合がありますので最新バージョンをご使用ください。

1.2 性能概要

表1.1～表1.3に性能概要を示します。

表1.1 性能概要(128ピン版)

項目		性能
		M16C/62P
CPU	基本命令数	91命令
	最小命令実行時間	41.7ns(f(BCLK)=24MHz、VCC1=3.0～5.5V) 100ns(f(BCLK)=10MHz、VCC1=2.7～5.5V)
	動作モード	シングルチップ、メモリ拡張、マイクロプロセッサ
	アドレス空間	1Mバイト(メモリ空間拡張機能により4Mバイトに拡張可能)
	メモリ容量	「表1.4、表1.5 製品一覧表」を参照してください
周辺機能	ポート	入出力：113本、入力：1本
	多機能タイマ	タイマA：16ビット×5チャンネル、 タイマB：16ビット×6チャンネル 三相モータ制御回路
	シリアルインタフェース	3チャンネル クロック同期形シリアルI/O、クロック非同期形シリアルI/O、 I ² C bus(注1)、IEBus(注2) 2チャンネル クロック同期形シリアルI/O
	A/Dコンバータ	10ビットA/Dコンバータ：1回路、26チャンネル
	D/Aコンバータ	8ビット×2チャンネル
	DMAC	2チャンネル
	CRC演算回路	CRC-CCITT方式
	ウォッチドッグタイマ	15ビット×1チャンネル(プリスケアラ付)
	割り込み	内部：29要因、外部：8要因、ソフトウェア：4要因 割り込み優先レベル：7レベル
	クロック発生回路	4回路 メインクロック発振回路(*)、サブクロック発振回路(*)、 オンチップオシレータ、PLL周波数シンセサイザ (*)発振回路には帰還抵抗内蔵
	発振停止検出機能	メインクロック発振停止、再発振検出機能
	電圧検出回路	あり(オプション(注4))
	電気的特性	電源電圧
消費電流		14mA (VCC1=VCC2=5V、f(BCLK)=24MHz) 8mA (VCC1=VCC2=3V、f(BCLK)=10MHz) 1.8μA (VCC1=VCC2=3V、f(XCIN)=32kHz、ウェイトモード) 0.7μA (VCC1=VCC2=3V、ストップモード)
フラッシュメモリ版	プログラム、イレーズ電圧	3.3V±0.3Vまたは5.0V±0.5V
	プログラム、イレーズ回数	100回(全領域) または1,000回(ブロックA、ブロック1以外のユーザROM領域) /10,000回(ブロックA、ブロック1)(注3)
動作周囲温度		-20℃～85℃ -40℃～85℃(注3)
パッケージ		128ピンプラスチックモールドLQFP

注1. I²C busは、オランダPHILIPS社の登録商標です。

注2. IEBusは、NECエレクトロニクス株式会社の登録商標です。

注3. 書き換え回数および動作周囲温度は、「表1.8 製品コード」を参照してください。

なお、1,000回/10,000回品は、2005年6月時点で開発中です。リリース日程についてはお問い合わせください。

注4. オプション機能をご使用になる場合は、その旨ご指定ください。

表 1.2 性能概要(100ピン版)

項目		性能	
		M16C/62P	M16C/62PT (注4)
CPU	基本命令数	91命令	
	最小命令実行時間	41.7ns(f(BCLK)=24MHz、VCC1=3.0~5.5V) 100ns(f(BCLK)=10MHz、VCC1=2.7~5.5V)	41.7ns(f(BCLK)=24MHz、VCC1=4.0~5.5V)
	動作モード	シングルチップ、メモリ拡張、 マイクロプロセッサ	シングルチップ
	アドレス空間	1Mバイト(メモリ空間拡張機能によ り4Mバイトに拡張可能)	1Mバイト
	メモリ容量	「表 1.4~1.7 製品一覧表」を参照してください	
周辺機能	ポート	入出力：87本、入力：1本	
	多機能タイマ	タイマA：16ビット×5チャンネル、タイマB：16ビット×6チャンネル 三相モータ制御回路	
	シリアルインタ フェース	3チャンネル クロック同期形シリアルI/O、クロック非同期形シリアルI/O、 I ² C bus(注1)、IEBus(注2) 2チャンネル クロック同期形シリアルI/O	
	A/Dコンバータ	10ビットA/Dコンバータ：1回路、26チャンネル	
	D/Aコンバータ	8ビット×2チャンネル	
	DMAC	2チャンネル	
	CRC演算回路	CRC-CCITT方式	
	ウォッチドッグタイマ	15ビット×1チャンネル(プリスケアラ付)	
	割り込み	内部：29要因、外部：8要因、ソフトウェア：4要因 割り込み優先レベル：7レベル	
	クロック発生回路	4回路 メインクロック発振回路(*)、サブクロック発振回路(*)、 オンチップオシレータ、PLL周波数シンセサイザ (*発振回路には帰還抵抗内蔵)	
	発振停止検出機能	メインクロック発振停止、再発振検出機能	
	電圧検出回路	あり(オプション(注5))	なし
	電気的特性	電源電圧	VCC1=3.0~5.5V、VCC2=2.7V~VCC1 (f(BCLK)=24MHz) VCC1=2.7~5.5V、VCC2=2.7V~VCC1 (f(BCLK)=10MHz)
消費電流		14mA (VCC1=VCC2=5V、f(BCLK)=24MHz) 8mA (VCC1=VCC2=3V、f(BCLK)=10MHz) 1.8μA (VCC1=VCC2=3V、 f(XCIN)=32kHz、ウェイトモード) 0.7μA (VCC1=VCC2=3V、ストップモード)	14mA (VCC1=VCC2=5V、f(BCLK)=24MHz) 2.0μA (VCC1=VCC2=5V、 f(XCIN)=32kHz、ウェイトモード) 0.8μA (VCC1=VCC2=5V、ストップモード)
フラッシュ メモリ版	プログラム、イレーズ電圧	3.3±0.3Vまたは5.0±0.5V	
	プログラム、イレーズ回数	100回(全領域) または1,000回(ブロックA、ブロック1以外のユーザROM領域) / 10,000回(ブロックA、ブロック1)(注3)	
動作周囲温度		-20℃~85℃ -40℃~85℃(注3)	Tバージョン：-40~85℃ Vバージョン：-40~125℃
パッケージ		100ピンプラスチックモールドQFP、LQFP	

注1. I²C busは、オランダPHILIPS社の登録商標です。

注2. IEBusは、NECエレクトロニクス株式会社の登録商標です。

注3. 書き換え回数および動作周囲温度は、「表 1.8~1.9 製品コード」を参照してください。

なお、1,000回/10,000回品は、2005年6月時点で開発中です。リリース日程についてはお問い合わせください。

注4. M16C/62PTは、VCC1=VCC2で使用してください。

注5. オプション機能をご使用になる場合は、その旨ご指定ください。

表 1.3 性能概要(80ピン版)

項目		性能		
		M16C/62P	M16C/62PT	
CPU	基本命令数	91命令		
	最小命令実行時間	41.7ns(f(BCLK)=24MHz、VCC1=3.0~5.5V) 100ns(f(BCLK)=10MHz、VCC1=2.7~5.5V)	41.7ns(f(BCLK)=24MHz、VCC1=4.0~5.5V)	
	動作モード	シングルチップ		
	アドレス空間	1Mバイト		
	メモリ容量	「表 1.4~1.7 製品一覧表」を参照してください		
周辺機能	ポート	入出力：70本、入力：1本		
	多機能タイマ	タイマA：16ビット×5チャンネル(タイマA1、タイマA2は内部タイマ) タイマB：16ビット×6チャンネル(タイマB1は内部タイマ)		
	シリアルインタフェース	2チャンネル クロック同期形シリアルI/O、クロック非同期形シリアルI/O、 I ² C bus(注1)、IEBus(注2) 1チャンネル クロック非同期形シリアルI/O、 I ² C bus(注1)、IEBus(注2) 2チャンネル クロック同期形シリアルI/O(1チャンネルは送信専用)		
	A/Dコンバータ	10ビットA/Dコンバータ：1回路、26チャンネル		
	D/Aコンバータ	8ビット×2チャンネル		
	DMAC	2チャンネル		
	CRC演算回路	CRC-CCITT方式		
	ウォッチドッグタイマ	15ビット×1チャンネル(プリスケアラ付)		
	割り込み	内部：29要因、外部：5要因、ソフトウェア：4要因 割り込み優先レベル：7レベル		
	クロック発生回路	4回路 メインクロック発振回路(*)、サブクロック発振回路(*)、 オンチップオシレータ、PLL周波数シンセサイザ (*)発振回路には帰還抵抗内蔵		
	発振停止検出機能	メインクロック発振停止、再発振検出機能		
	電圧検出回路	あり(オプション(注4))	なし	
	電气的特性	電源電圧	VCC1=3.0~5.5V (f(BCLK)=24MHz) VCC1=2.7~5.5V (f(BCLK)=10MHz)	VCC1=4.0V~5.5V (f(BCLK)=24MHz)
		消費電流	14mA (VCC1=5V、f(BCLK)=24MHz) 8mA (VCC1=3V、f(BCLK)=10MHz) 1.8μA (VCC1=3V、f(XCIN)=32kHz、 ウェイトモード) 0.7μA (VCC1=3V、ストップモード)	14mA (VCC1=5V、f(BCLK)=24MHz) 2.0μA (VCC1=5V、f(XCIN)=32kHz、 ウェイトモード) 0.8μA (VCC1=5V、ストップモード)
フラッシュ メモリ版	プログラム、イレーズ電圧	3.3±0.3Vまたは5.0±0.5V		
	プログラム、イレーズ回数	100回(全領域) または1,000回(ブロックA、ブロック1以外のユーザROM領域) /10,000回(ブロックA、ブロック1)(注3)		
動作周囲温度	-20°C~85°C -40°C~85°C(注3)	Tバージョン：-40~85°C Vバージョン：-40~125°C		
パッケージ	80ピンプラスチックモールドQFP			

注1. I²C busは、オランダPHILIPS社の登録商標です。

注2. IEBusは、NECエレクトロニクス株式会社の登録商標です。

注3. 書き換え回数および動作周囲温度は、「表 1.8~1.9 製品コード」を参照してください。

なお、1,000回/10,000回品は、2005年6月時点で開発中です。リリース日程についてはお問い合わせください。

注4. オプション機能をご使用になる場合は、その旨ご指定ください。

1.3 ブロック図

図1.1に128ピン版、100ピン版のブロック図を、図1.2に80ピン版のブロック図を示します。

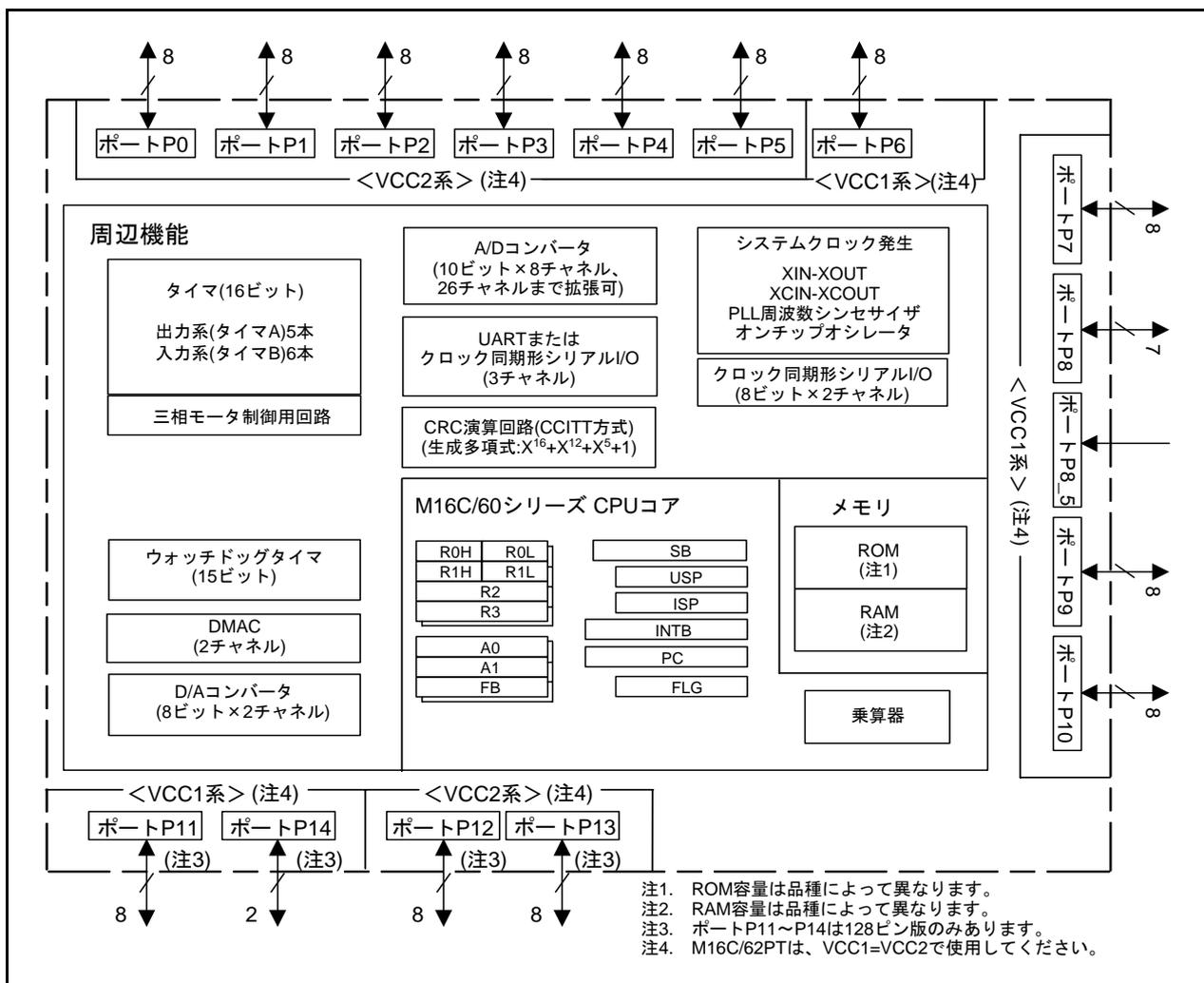
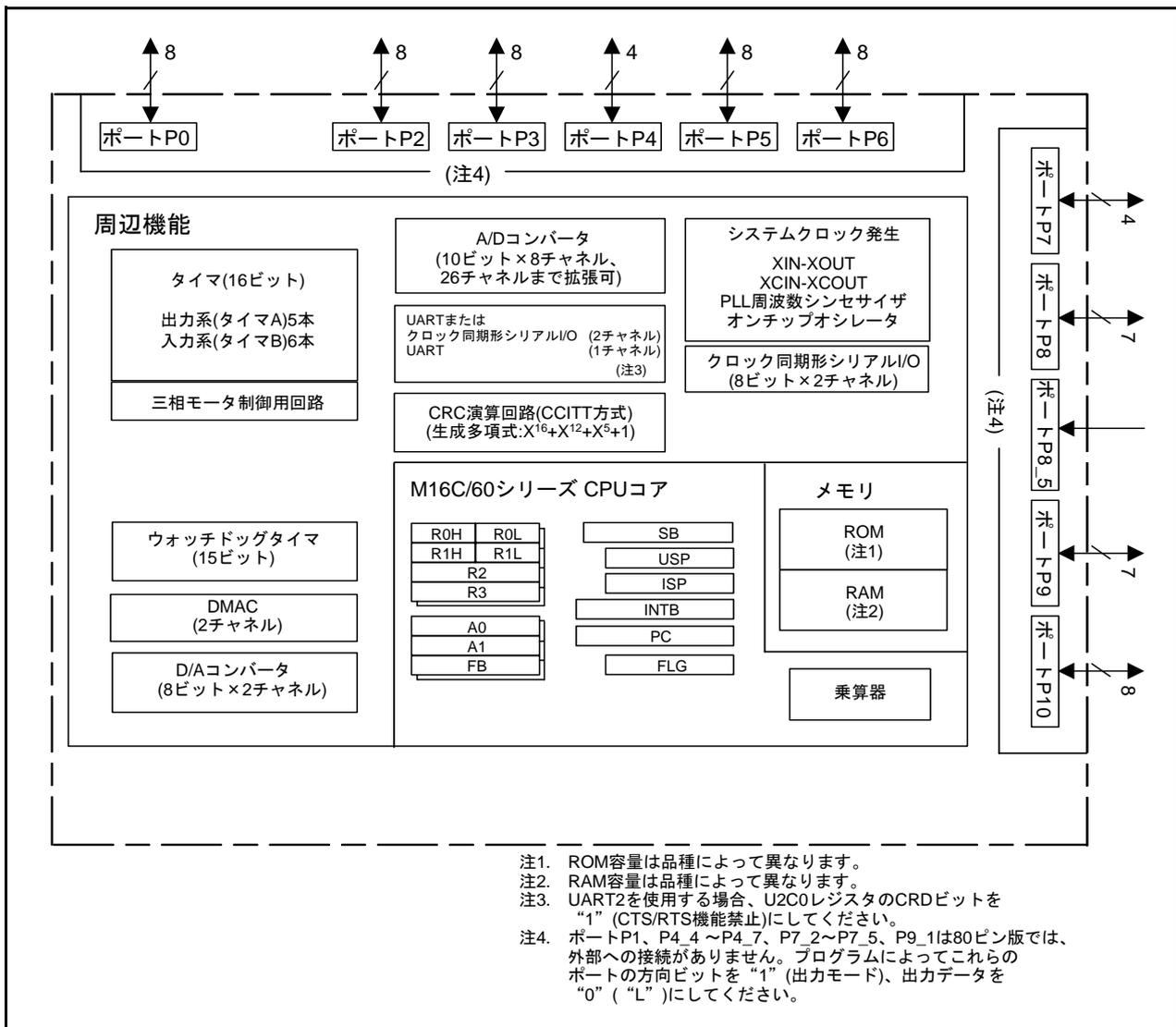


図1.1 128ピン版、100ピン版のブロック図



1.4 製品一覧

表1.4～1.7に製品一覧表、図1.3に型名とメモリサイズ・パッケージ、表1.8にフラッシュメモリ版、ROM外付け版の製品コード(M16C/62P)、表1.9にフラッシュメモリ版の製品コード(M16C/62PT)、図1.4にフラッシュメモリ版、ROM外付け版のマーキング図(上面図)(M16C/62P)、図1.5にフラッシュメモリ版のマーキング図(上面図)(M16C/62PT)を示します。M16C/62PのマスクROM版のマーキングは、ROM発注時にご指定ください。

表1.4 製品一覧表(1)(M16C/62P)

2005年12月現在

型名	ROM容量	RAM容量	パッケージ(注1)	備考
M30622M6P-XXXFP	48Kバイト	4Kバイト	PRQP0100JB-A	マスクROM版
M30622M6P-XXXGP			PLQP0100KB-A	
M30622M8P-XXXFP	64Kバイト	4Kバイト	PRQP0100JB-A	
M30622M8P-XXXGP			PLQP0100KB-A	
M30623M8P-XXXGP			PRQP0080JA-A	
M30622MAP-XXXFP	96Kバイト	5Kバイト	PRQP0100JB-A	
M30622MAP-XXXGP			PLQP0100KB-A	
M30623MAP-XXXGP			PRQP0080JA-A	
M30620MCP-XXXFP	128Kバイト	10Kバイト	PRQP0100JB-A	
M30620MCP-XXXGP			PLQP0100KB-A	
M30621MCP-XXXGP			PRQP0080JA-A	
M30622MEP-XXXFP	192Kバイト	12Kバイト	PRQP0100JB-A	
M30622MEP-XXXGP			PLQP0100KB-A	
M30623MEP-XXXGP			PLQP0128KB-A	
M30622MGP-XXXFP	256Kバイト	12Kバイト	PRQP0100JB-A	
M30622MGP-XXXGP			PLQP0100KB-A	
M30623MGP-XXXGP			PLQP0128KB-A	
M30624MGP-XXXFP		20Kバイト	PRQP0100JB-A	
M30624MGP-XXXGP			PLQP0100KB-A	
M30625MGP-XXXGP			PLQP0128KB-A	
M30622MWP-XXXFP	320Kバイト	16Kバイト	PRQP0100JB-A	
M30622MWP-XXXGP			PLQP0100KB-A	
M30623MWP-XXXGP			PLQP0128KB-A	
M30624MWP-XXXFP		24Kバイト	PRQP0100JB-A	
M30624MWP-XXXGP			PLQP0100KB-A	
M30625MWP-XXXGP			PLQP0128KB-A	
M30626MWP-XXXFP		31Kバイト	PRQP0100JB-A	
M30626MWP-XXXGP			PLQP0100KB-A	
M30627MWP-XXXGP			PLQP0128KB-A	

(開) : 開発中

注1. 各パッケージの旧パッケージ型名は以下の通りです。

PLQP0128KB-A : 128P6Q-A、
 PRQP0100JB-A : 100P6S-A、
 PLQP0100KB-A : 100P6Q-A、
 PRQP0080JA-A : 80P6S-A

表 1.5 製品一覧表(2)(M16C/62P)

2005年12月現在

型名	ROM容量	RAM容量	パッケージ(注1)	備考		
M30622MHP-XXXFP	384Kバイト	16Kバイト	PRQP0100JB-A	マスクROM版		
M30622MHP-XXXGP			PLQP0100KB-A			
M30623MHP-XXXGP			PLQP0128KB-A			
M30624MHP-XXXFP		24Kバイト	PRQP0100JB-A		マスクROM版	
M30624MHP-XXXGP			PLQP0100KB-A			
M30625MHP-XXXGP			PLQP0128KB-A			
M30626MHP-XXXFP		31Kバイト	PRQP0100JB-A			マスクROM版
M30626MHP-XXXGP			PLQP0100KB-A			
M30627MHP-XXXGP			PLQP0128KB-A			
M30626MJP-XXXFP (開)	512Kバイト	31Kバイト	PRQP0100JB-A	マスクROM版		
M30626MJP-XXXGP (開)			PLQP0100KB-A			
M30627MJP-XXXGP (開)			PLQP0128KB-A			
M30622F8PFP	64K+4Kバイト	4Kバイト	PRQP0100JB-A		フラッシュメモリ版(注2)	
M30622F8PGP			PLQP0100KB-A			
M30623F8PGP			PRQP0080JA-A			
M30620FCPFP	128K+4Kバイト	10Kバイト	PRQP0100JB-A			フラッシュメモリ版(注2)
M30620FCPGP			PLQP0100KB-A			
M30621FCPGP			PRQP0080JA-A			
M3062LFGPFP(注3) (開)	256K+4Kバイト	20Kバイト	PRQP0100JB-A	フラッシュメモリ版(注2)		
M3062LFGPGP(注3) (開)			PLQP0100KB-A			
M30625FGPGP			PLQP0128KB-A			
M30626FHPFP	384K+4Kバイト	31Kバイト	PRQP0100JB-A		フラッシュメモリ版(注2)	
M30626FHPGP			PLQP0100KB-A			
M30627FHPGP			PLQP0128KB-A			
M30626FJFP	512K+4Kバイト	31Kバイト	PRQP0100JB-A			フラッシュメモリ版(注2)
M30626FJPGP			PLQP0100KB-A			
M30627FJPGP			PLQP0128KB-A			
M30622SPFP	—	4Kバイト	PRQP0100JB-A	ROM外付け版		
M30622SPGP			PLQP0100KB-A			
M30620SPFP		10Kバイト	PRQP0100JB-A			
M30620SPGP			PLQP0100KB-A			
M30624SPFP (開)	—	20Kバイト	PRQP0100JB-A		ROM外付け版	
M30624SPGP (開)			PLQP0100KB-A			
M30626SPFP (開)	—	31Kバイト	PRQP0100JB-A			
M30626SPGP (開)			PLQP0100KB-A			

(開)：開発中

注1. 各パッケージの旧パッケージ型名は以下の通りです。

PLQP0128KB-A : 128P6Q-A、

PRQP0100JB-A : 100P6S-A、

PLQP0100KB-A : 100P6Q-A、

PRQP0080JA-A : 80P6S-A

フラッシュメモリ版には、4Kバイトの領域(ブロックA)があります。

注2. フラッシュメモリ版には、4Kバイトの領域(ブロックA)があります。

注3. 新規システムでの採用を検討している場合はM3062LFGPFP、M3062LFGPGPをご使用ください。

なお、このハードウェアマニュアルは下記の製品にも対応しています。

M30624FGPFP	256K+4Kバイト	20Kバイト	PRQP0100JB-A	フラッシュメモリ版
M30624FGPGP			PLQP0100KB-A	

表 1.6 製品一覧表(3)(Tバージョン(M16C/62PT))

2005年12月現在

型名	ROM容量	RAM容量	パッケージ(注1)	備考		
M3062CM6T-XXXFP (開)	48Kバイト	4Kバイト	PRQP0100JB-A	マスクROM版	Tバージョン (高信頼性85°C版)	
M3062CM6T-XXXGP (開)			PLQP0100KB-A			
M3062EM6T-XXXGP (計)			PRQP0080JA-A			
M3062CM8T-XXXFP (開)	64Kバイト	4Kバイト	PRQP0100JB-A			
M3062CM8T-XXXGP (開)			PLQP0100KB-A			
M3062EM8T-XXXGP (計)			PRQP0080JA-A			
M3062CMAT-XXXFP (開)	96Kバイト	5Kバイト	PRQP0100JB-A			
M3062CMAT-XXXGP (開)			PLQP0100KB-A			
M3062EMAT-XXXGP (計)			PRQP0080JA-A			
M3062AMCT-XXXFP (開)	128Kバイト	10Kバイト	PRQP0100JB-A			
M3062AMCT-XXXGP (開)			PLQP0100KB-A			
M3062BMCT-XXXGP (計)			PRQP0080JA-A			
M3062CF8TFP (開)	64K+4Kバイト	4Kバイト	PRQP0100JB-A			フラッシュ メモリ版(注2)
M3062CF8TGP			PLQP0100KB-A			
M3062AFCTFP (開)	128K+4Kバイト	10Kバイト	PRQP0100JB-A			
M3062AFCTGP (開)			PLQP0100KB-A			
M3062BFCTGP (計)			PRQP0080JA-A			
M3062JFHTFP (開)	384K+4Kバイト	31Kバイト	PRQP0100JB-A			
M3062JFHTGP (開)			PLQP0100KB-A			

(開) : 開発中

(計) : 計画中

注1. 各パッケージの旧パッケージ型名は以下の通りです。

PRQP0100JB-A : 100P6S-A、

PLQP0100KB-A : 100P6Q-A、

PRQP0080JA-A : 80P6S-A

注2. フラッシュメモリ版には、4Kバイトの領域(ブロックA)があります。

表 1.7 製品一覧表(4)(Vバージョン(M16C/62PT))

2005年12月現在

型名	ROM容量	RAM容量	パッケージ(注1)	備考	
M3062CM6V-XXXFP (計)	48Kバイト	4Kバイト	PRQP0100JB-A	マスクROM版 Vバージョン (高信頼性125°C版)	
M3062CM6V-XXXGP (計)			PLQP0100KB-A		
M3062EM6V-XXXGP (計)			PRQP0080JA-A		
M3062CM8V-XXXFP (計)	64Kバイト	4Kバイト	PRQP0100JB-A		
M3062CM8V-XXXGP (計)			PLQP0100KB-A		
M3062EM8V-XXXGP (計)			PRQP0080JA-A		
M3062CMAV-XXXFP (計)	96Kバイト	5Kバイト	PRQP0100JB-A		
M3062CMAV-XXXGP (計)			PLQP0100KB-A		
M3062EMAV-XXXGP (計)			PRQP0080JA-A		
M3062AMCV-XXXFP (開)	128Kバイト	10Kバイト	PRQP0100JB-A		
M3062AMCV-XXXGP (開)			PLQP0100KB-A		
M3062BMCV-XXXGP (計)			PRQP0080JA-A		
M3062AFCVFP (開)	128K+4Kバイト	10Kバイト	PRQP0100JB-A		フラッシュ メモリ版(注2)
M3062AFCVGP (開)			PLQP0100KB-A		
M3062BFCVGP (計)			PRQP0080JA-A		
M3062JFHVFP (計)	384K+4Kバイト	31Kバイト	PRQP0100JB-A		
M3062JFHVGP (計)			PLQP0100KB-A		

(開) : 開発中

(計) : 計画中

注1. 各パッケージの旧パッケージ型名は以下の通りです。

PRQP0100JB-A : 100P6S-A、

PLQP0100KB-A : 100P6Q-A、

PRQP0080JA-A : 80P6S-A

注2. フラッシュメモリ版には、4Kバイトの領域(ブロックA)があります。

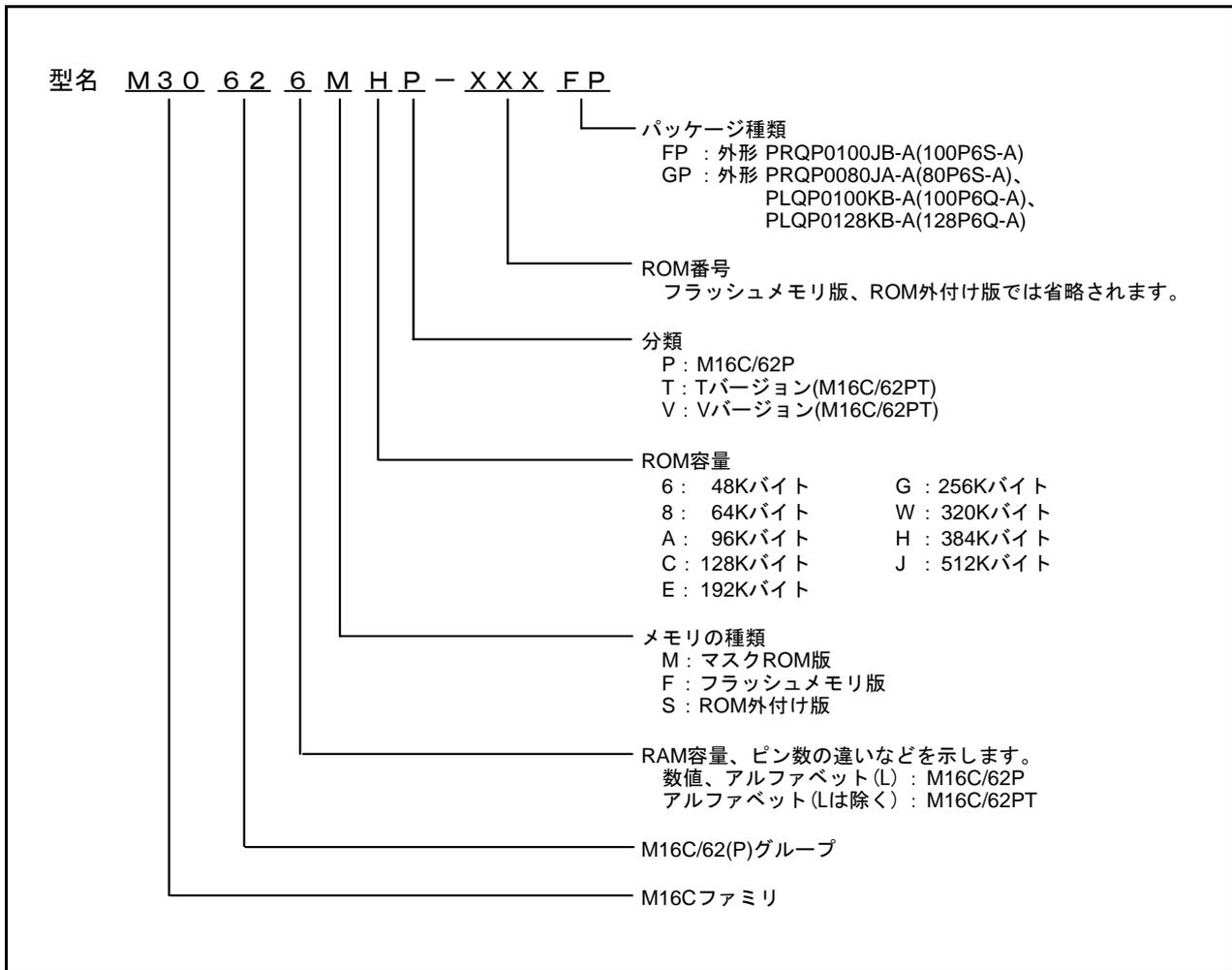


図1.3 型名とメモリサイズ・パッケージ

表1.8 フラッシュメモリ版、ROM外付け版の製品コード(M16C/62P)

	製品コード	パッケージ	内部ROM (ブロックA、ブロック1以外の ユーザROM領域)		内部ROM (ブロックA、ブロック1)		動作周囲温度
			書き換え回数	温度範囲	書き換え回数	温度範囲	
フラッシュ メモリ版	D3	非鉛フリー	100	0°C~60°C	100	0°C~60°C	-40°C~85°C
	D5						-20°C~85°C
	D7		1,000		10,000	-40°C~85°C	-40°C~85°C
	D9					-20°C~85°C	-20°C~85°C
	U3	鉛フリー	100	0°C~60°C	100	0°C~60°C	-40°C~85°C
	U5						-20°C~85°C
	U7		1,000		10,000	-40°C~85°C	-40°C~85°C
	U9					-20°C~85°C	-20°C~85°C
ROM外付け版	D3	非鉛フリー	—	—	—	—	-40°C~85°C
	D5		—	—	—	—	-20°C~85°C
	U3	鉛フリー	—	—	—	—	-40°C~85°C
	U5		—	—	—	—	-20°C~85°C

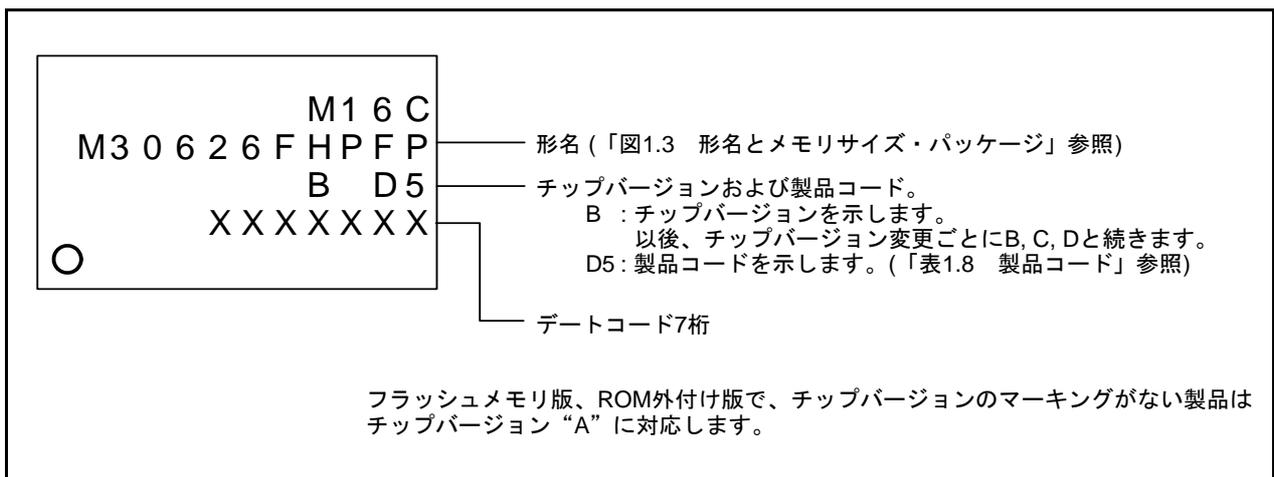


図1.4 フラッシュメモリ版、ROM外付け版のマーキング図(上面図)(M16C/62P)

表 1.9 フラッシュメモリ版の製品コード(M16C/62PT)

		製品コード	パッケージ	内部ROM (ブロックA、ブロック1以外の ユーザROM領域)		内部ROM (ブロックA、ブロック1)		動作周囲温度
				書き換え回数	温度範囲	書き換え回数	温度範囲	
フラッシュ メモリ版	Tバージョン	B	非鉛フリー	100	0°C~60°C	100	0°C~60°C	-40°C~85°C
	Vバージョン						-40°C~125°C	
	Tバージョン	B7		1,000		10,000	-40°C~85°C	-40°C~85°C
	Vバージョン					-40°C~125°C	-40°C~125°C	
	Tバージョン	U	鉛フリー	100	100	0°C~60°C	-40°C~85°C	
	Vバージョン					-40°C~125°C		
	Tバージョン	U7		1,000	10,000	-40°C~85°C	-40°C~85°C	
	Vバージョン					-40°C~125°C	-40°C~125°C	

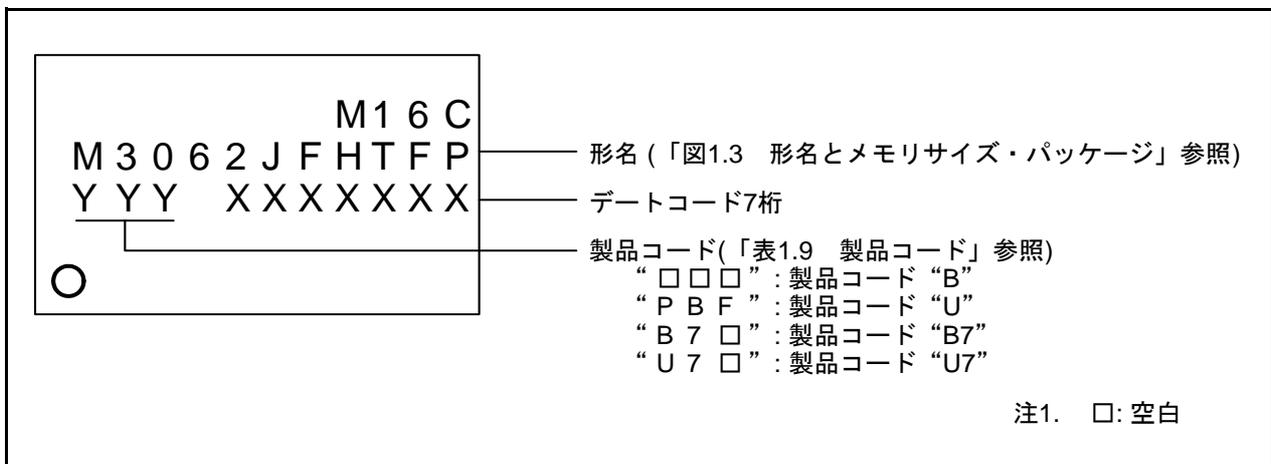


図 1.5 フラッシュメモリ版のマーキング図(上面図)(M16C/62PT)

1.5 ピン接続図

図1.6～図1.9にピン接続図(上面図)を示します。

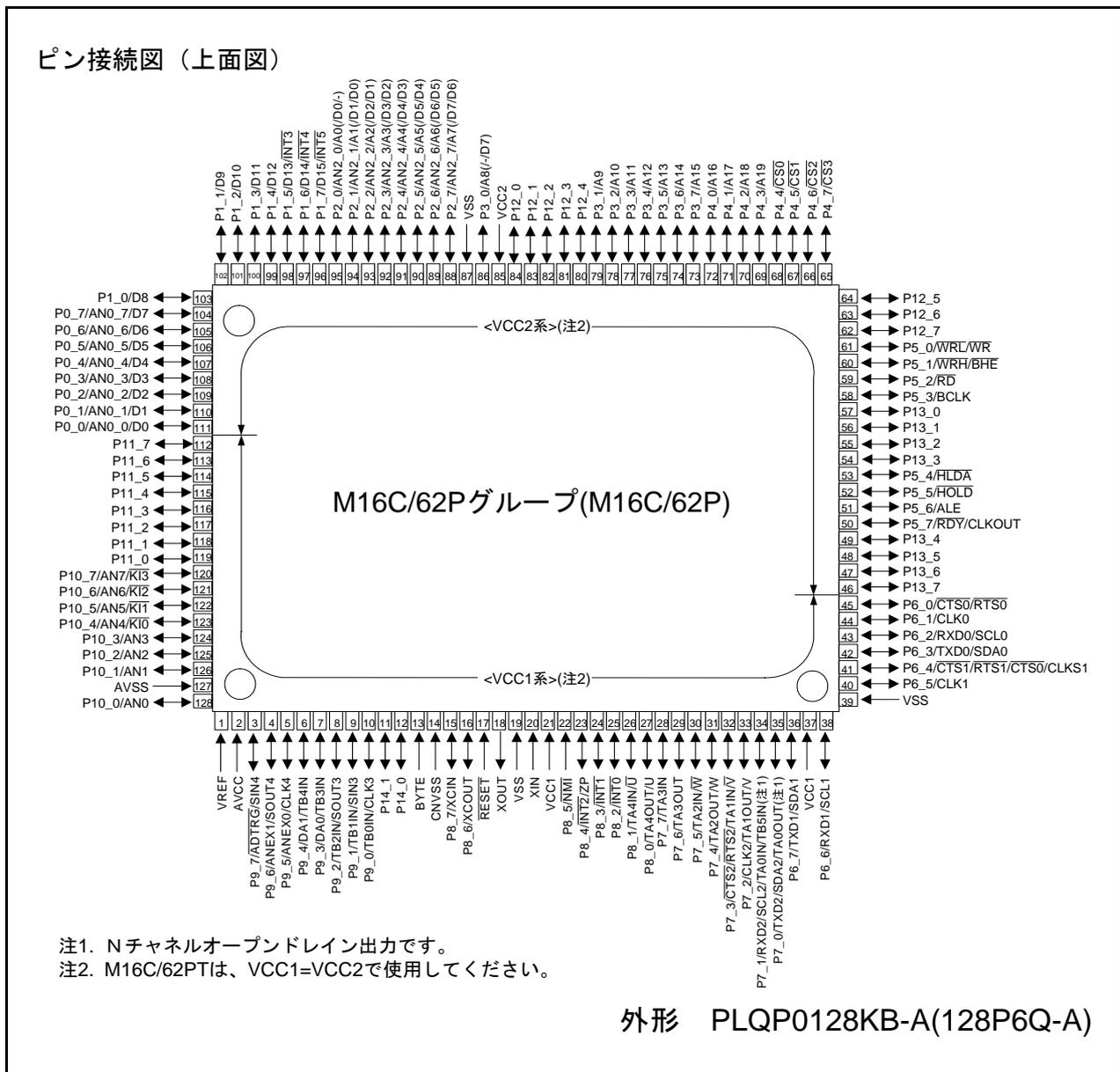


図1.6 ピン接続図(上面図)

表 1.10 128ピン版端子名一覧表(1)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART 端子	アナログ端子	バス制御端子
1	VREF						
2	AVCC						
3		P9_7			SIN4	ADTRG	
4		P9_6			SOUT4	ANEX1	
5		P9_5			CLK4	ANEX0	
6		P9_4		TB4IN		DA1	
7		P9_3		TB3IN		DA0	
8		P9_2		TB2IN	SOUT3		
9		P9_1		TB1IN	SIN3		
10		P9_0		TB0IN	CLK3		
11		P14_1					
12		P14_0					
13	BYTE						
14	CNVSS						
15	XCIN	P8_7					
16	XCOU	P8_6					
17	RESET						
18	XOUT						
19	VSS						
20	XIN						
21	VCC1						
22		P8_5	NMI				
23		P8_4	INT2	ZP			
24		P8_3	INT1				
25		P8_2	INT0				
26		P8_1		TA4IN/U			
27		P8_0		TA4OUT/U			
28		P7_7		TA3IN			
29		P7_6		TA3OUT			
30		P7_5		TA2IN/W			
31		P7_4		TA2OUT/W			
32		P7_3		TA1IN/V	CTS2/RTS2		
33		P7_2		TA1OUT/V	CLK2		
34		P7_1		TA0IN/TB5IN	RXD2/SCL2		
35		P7_0		TA0OUT	TXD2/SDA2		
36		P6_7			TXD1/SDA1		
37	VCC1						
38		P6_6			RXD1/SCL1		
39	VSS						
40		P6_5			CLK1		
41		P6_4			CTS1/RTS1/CTS0/CLKS1		
42		P6_3			TXD0/SDA0		
43		P6_2			RXD0/SCL0		
44		P6_1			CLK0		
45		P6_0			CTS0/RTS0		
46		P13_7					
47		P13_6					
48		P13_5					
49		P13_4					
50		P5_7					RDY/CLKOUT

表 1.11 128ピン版端子名一覧表(2)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART端子	アナログ端子	バス制御端子
51		P5_6					ALE
52		P5_5					HOLD
53		P5_4					HLDA
54		P13_3					
55		P13_2					
56		P13_1					
57		P13_0					
58		P5_3					BCLK
59		P5_2					RD
60		P5_1					WRH/BHE
61		P5_0					WRL/WR
62		P12_7					
63		P12_6					
64		P12_5					
65		P4_7					CS3
66		P4_6					CS2
67		P4_5					CS1
68		P4_4					CS0
69		P4_3					A19
70		P4_2					A18
71		P4_1					A17
72		P4_0					A16
73		P3_7					A15
74		P3_6					A14
75		P3_5					A13
76		P3_4					A12
77		P3_3					A11
78		P3_2					A10
79		P3_1					A9
80		P12_4					
81		P12_3					
82		P12_2					
83		P12_1					
84		P12_0					
85	VCC2						
86		P3_0					A8(/-D7)
87	VSS						
88		P2_7				AN2_7	A7(/D7/D6)
89		P2_6				AN2_6	A6(/D6/D5)
90		P2_5				AN2_5	A5(/D5/D4)
91		P2_4				AN2_4	A4(/D4/D3)
92		P2_3				AN2_3	A3(/D3/D2)
93		P2_2				AN2_2	A2(/D2/D1)
94		P2_1				AN2_1	A1(/D1/D0)
95		P2_0				AN2_0	A0(/D0/-)
96		P1_7	INT5				D15
97		P1_6	INT4				D14
98		P1_5	INT3				D13
99		P1_4					D12
100		P1_3					D11

表 1.12 128ピン版端子名一覧表(3)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART端子	アナログ端子	バス制御端子
101		P1_2					D10
102		P1_1					D9
103		P1_0					D8
104		P0_7				AN0_7	D7
105		P0_6				AN0_6	D6
106		P0_5				AN0_5	D5
107		P0_4				AN0_4	D4
108		P0_3				AN0_3	D3
109		P0_2				AN0_2	D2
110		P0_1				AN0_1	D1
111		P0_0				AN0_0	D0
112		P11_7					
113		P11_6					
114		P11_5					
115		P11_4					
116		P11_3					
117		P11_2					
118		P11_1					
119		P11_0					
120		P10_7	$\overline{KI3}$			AN7	
121		P10_6	$\overline{KI2}$			AN6	
122		P10_5	$\overline{KI1}$			AN5	
123		P10_4	$\overline{KI0}$			AN4	
124		P10_3				AN3	
125		P10_2				AN2	
126		P10_1				AN1	
127	AVSS						
128		P10_0				AN0	

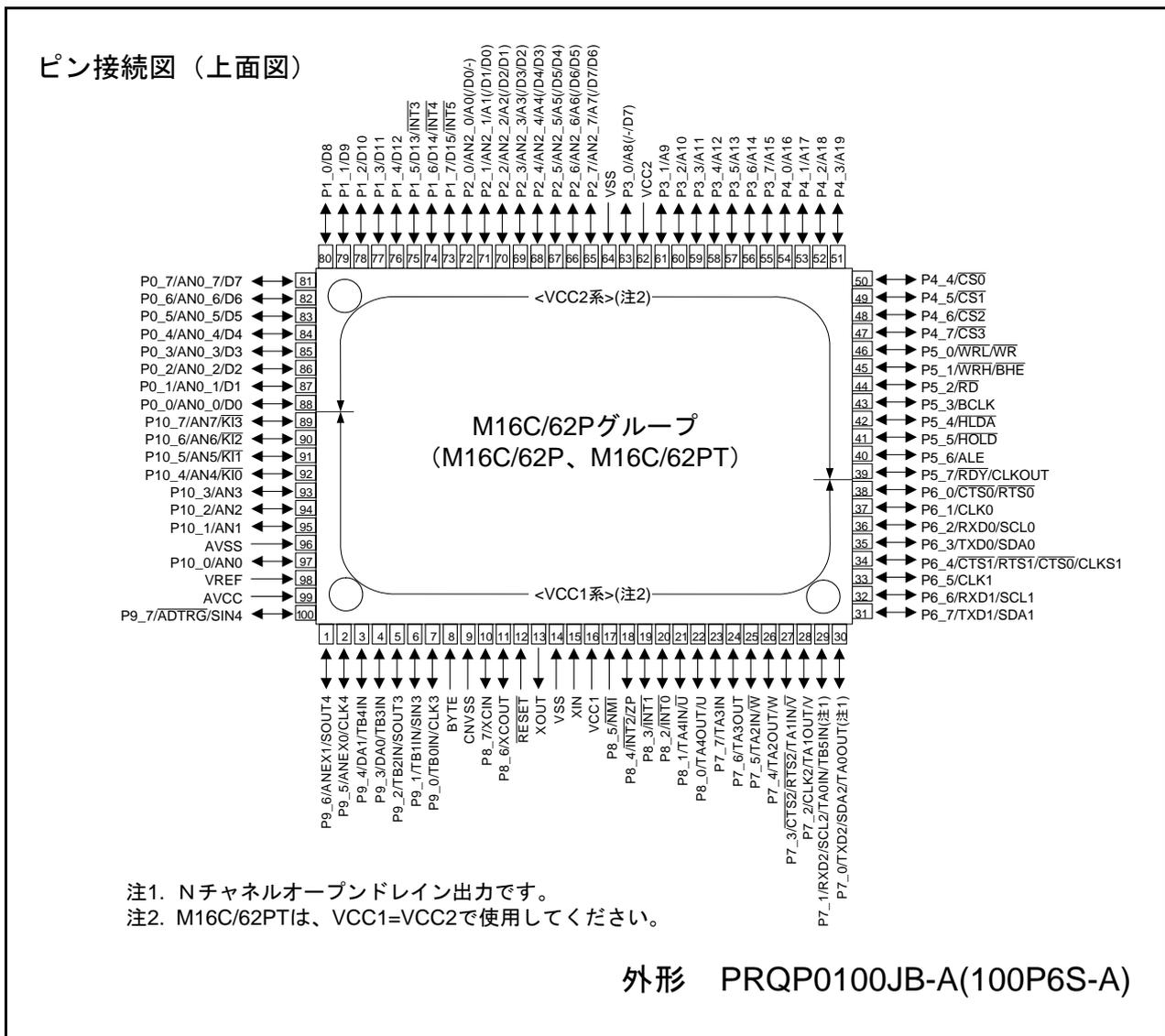


図1.7 ピン接続図(上面図)

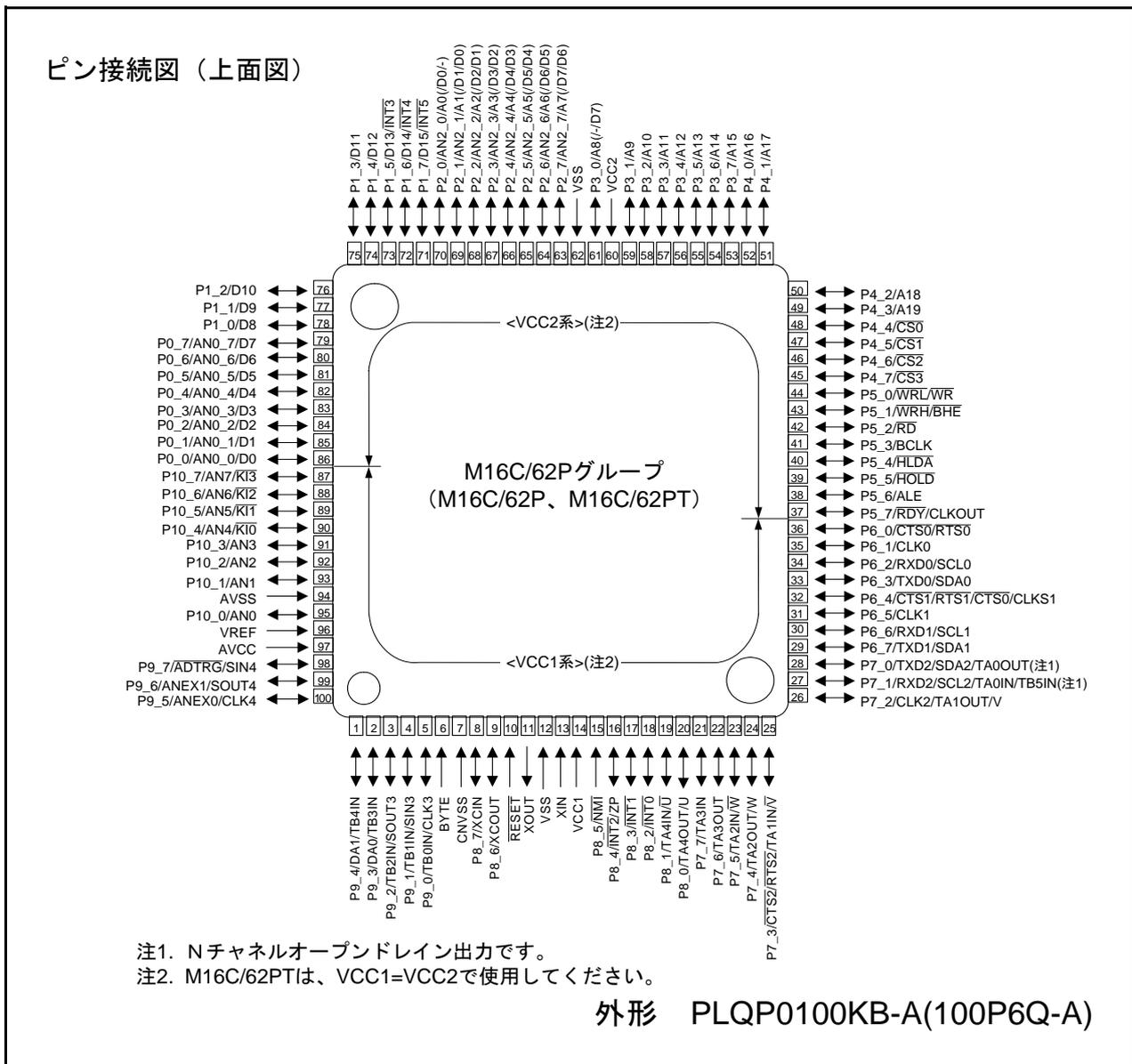


図1.8 ピン接続図(上面図)

表 1.13 100ピン版端子名一覧表(1)

Pin No.		制御端子	ポート	割り込み端子	タイマ端子	UART 端子	アナログ端子	バス制御端子
FP	GP							
1	99		P9_6			SOUT4	ANEX1	
2	100		P9_5			CLK4	ANEX0	
3	1		P9_4		TB4IN		DA1	
4	2		P9_3		TB3IN		DA0	
5	3		P9_2		TB2IN	SOUT3		
6	4		P9_1		TB1IN	SIN3		
7	5		P9_0		TB0IN	CLK3		
8	6	BYTE						
9	7	CNVSS						
10	8	XCIN	P8_7					
11	9	XCOUT	P8_6					
12	10	RESET						
13	11	XOUT						
14	12	VSS						
15	13	XIN						
16	14	VCC1						
17	15		P8_5	NMI				
18	16		P8_4	INT2	ZP			
19	17		P8_3	INT1				
20	18		P8_2	INT0				
21	19		P8_1		TA4IN/U			
22	20		P8_0		TA4OUT/U			
23	21		P7_7		TA3IN			
24	22		P7_6		TA3OUT			
25	23		P7_5		TA2IN/W			
26	24		P7_4		TA2OUT/W			
27	25		P7_3		TA1IN/V	CTS2/RTS2		
28	26		P7_2		TA1OUT/V	CLK2		
29	27		P7_1		TA0IN/TB5IN	RXD2/SCL2		
30	28		P7_0		TA0OUT	TXD2/SDA2		
31	29		P6_7			TXD1/SDA1		
32	30		P6_6			RXD1/SCL1		
33	31		P6_5			CLK1		
34	32		P6_4			CTS1/RTS1/CTS0/CLKS1		
35	33		P6_3			TXD0/SDA0		
36	34		P6_2			RXD0/SCL0		
37	35		P6_1			CLK0		
38	36		P6_0			CTS0/RTS0		
39	37		P5_7					RDY/CLKOUT
40	38		P5_6					ALE
41	39		P5_5					HOLD
42	40		P5_4					HLAD
43	41		P5_3					BCLK
44	42		P5_2					RD
45	43		P5_1					WRH/BHE
46	44		P5_0					WRL/WR
47	45		P4_7					CS3
48	46		P4_6					CS2
49	47		P4_5					CS1
50	48		P4_4					CS0

表 1.14 100ピン版端子名一覧表(2)

Pin No.		制御端子	ポート	割り込み端子	タイマ端子	UART端子	アナログ端子	バス制御端子
FP	GP							
51	49		P4_3					A19
52	50		P4_2					A18
53	51		P4_1					A17
54	52		P4_0					A16
55	53		P3_7					A15
56	54		P3_6					A14
57	55		P3_5					A13
58	56		P3_4					A12
59	57		P3_3					A11
60	58		P3_2					A10
61	59		P3_1					A9
62	60	VCC2						
63	61		P3_0					A8(/-D7)
64	62	VSS						
65	63		P2_7				AN2_7	A7(/D7/D6)
66	64		P2_6				AN2_6	A6(/D6/D5)
67	65		P2_5				AN2_5	A5(/D5/D4)
68	66		P2_4				AN2_4	A4(/D4/D3)
69	67		P2_3				AN2_3	A3(/D3/D2)
70	68		P2_2				AN2_2	A2(/D2/D1)
71	69		P2_1				AN2_1	A1(/D1/D0)
72	70		P2_0				AN2_0	A0(/D0/-)
73	71		P1_7	$\overline{\text{INT5}}$				D15
74	72		P1_6	$\overline{\text{INT4}}$				D14
75	73		P1_5	$\overline{\text{INT3}}$				D13
76	74		P1_4					D12
77	75		P1_3					D11
78	76		P1_2					D10
79	77		P1_1					D9
80	78		P1_0					D8
81	79		P0_7				AN0_7	D7
82	80		P0_6				AN0_6	D6
83	81		P0_5				AN0_5	D5
84	82		P0_4				AN0_4	D4
85	83		P0_3				AN0_3	D3
86	84		P0_2				AN0_2	D2
87	85		P0_1				AN0_1	D1
88	86		P0_0				AN0_0	D0
89	87		P10_7	$\overline{\text{KI3}}$			AN7	
90	88		P10_6	$\overline{\text{KI2}}$			AN6	
91	89		P10_5	$\overline{\text{KI1}}$			AN5	
92	90		P10_4	$\overline{\text{KI0}}$			AN4	
93	91		P10_3				AN3	
94	92		P10_2				AN2	
95	93		P10_1				AN1	
96	94	AVSS						
97	95		P10_0				AN0	
98	96	VREF						
99	97	AVCC						
100	98		P9_7			SIN4	$\overline{\text{ADTRG}}$	

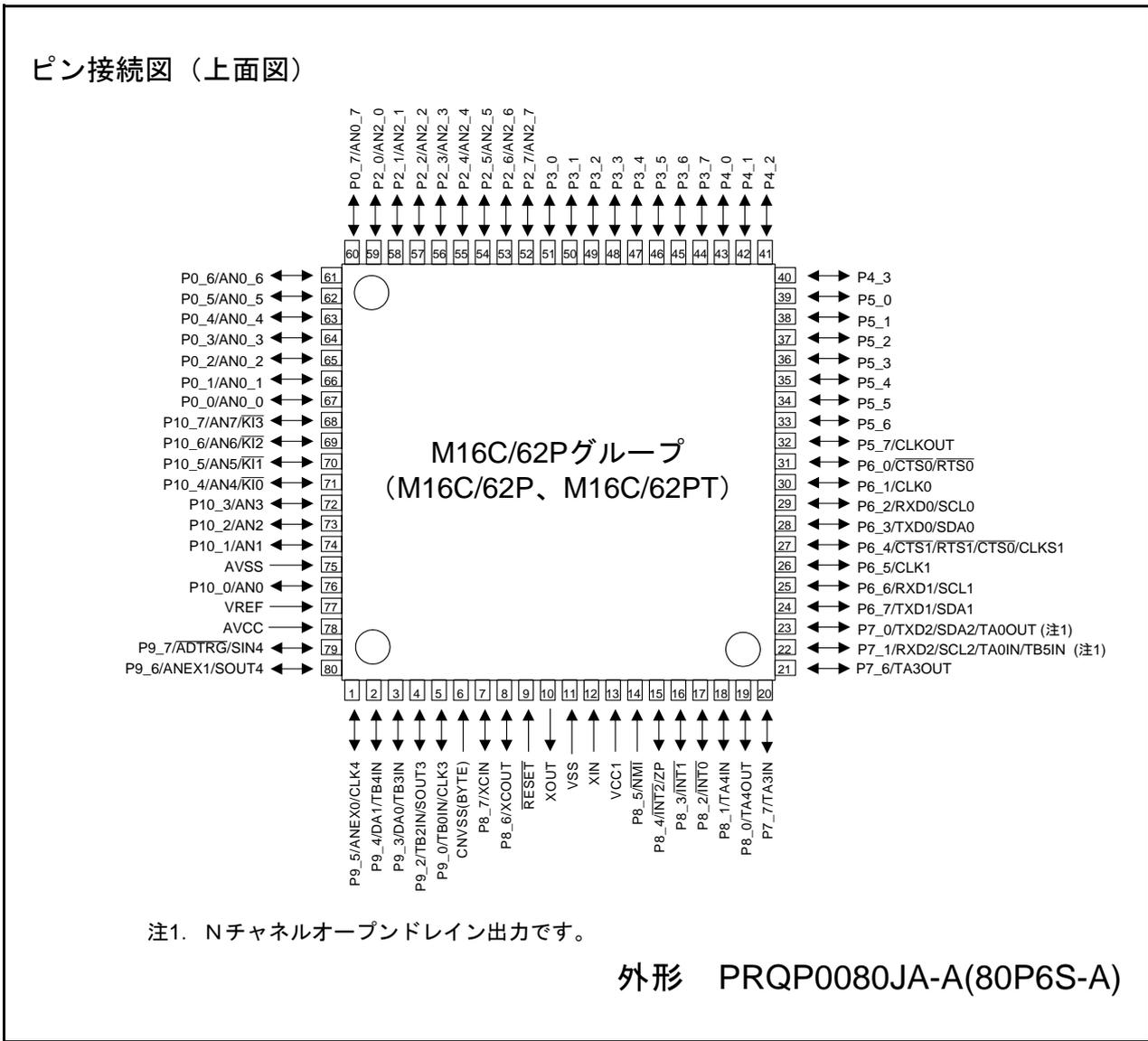


図1.9 ピン接続図(上面図)

表 1.15 80ピン版端子名一覧表(1)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART端子	アナログ端子	バス制御端子
1		P9_5			CLK4	ANEX0	
2		P9_4		TB4IN		DA1	
3		P9_3		TB3IN		DA0	
4		P9_2		TB2IN	SOUT3		
5		P9_0		TB0IN	CLK3		
6	CNVSS (BYTE)						
7	XCIN	P8_7					
8	XCOUT	P8_6					
9	RESET						
10	XOUT						
11	VSS						
12	XIN						
13	VCC1						
14		P8_5	NMI				
15		P8_4	INT2	ZP			
16		P8_3	INT1				
17		P8_2	INT0				
18		P8_1		TA4IN			
19		P8_0		TA4OUT			
20		P7_7		TA3IN			
21		P7_6		TA3OUT			
22		P7_1		TA0IN/TB5IN	RXD2/SDA2		
23		P7_0		TA0OUT	TXD2/SDA2		
24		P6_7			TXD1/SDA1		
25		P6_6			RXD1/SCL1		
26		P6_5			CLK1		
27		P6_4			CTS1/RTS1/CTS0/CLKS1		
28		P6_3			TXD0/SDA0		
29		P6_2			RXD0/SCL0		
30		P6_1			CLK0		
31		P6_0			CTS0/RTS0		
32		P5_7					CLKOUT
33		P5_6					
34		P5_5					
35		P5_4					
36		P5_3					
37		P5_2					
38		P5_1					
39		P5_0					
40		P4_3					
41		P4_2					
42		P4_1					
43		P4_0					
44		P3_7					
45		P3_6					
46		P3_5					
47		P3_4					
48		P3_3					
49		P3_2					
50		P3_1					

表 1.16 80ピン版端子名一覧表(2)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART端子	アナログ端子	バス制御端子
51		P3_0					
52		P2_7				AN2_7	
53		P2_6				AN2_6	
54		P2_5				AN2_5	
55		P2_4				AN2_4	
56		P2_3				AN2_3	
57		P2_2				AN2_2	
58		P2_1				AN2_1	
59		P2_0				AN2_0	
60		P0_7				AN0_7	
61		P0_6				AN0_6	
62		P0_5				AN0_5	
63		P0_4				AN0_4	
64		P0_3				AN0_3	
65		P0_2				AN0_2	
66		P0_1				AN0_1	
67		P0_0				AN0_0	
68		P10_7	KI3			AN7	
69		P10_6	KI2			AN6	
70		P10_5	KI1			AN5	
71		P10_4	KI0			AN4	
72		P10_3				AN3	
73		P10_2				AN2	
74		P10_1				AN1	
75	AVSS						
76		P10_0				AN0	
77	VREF						
78	AVCC						
79		P9_7			SIN4	ADTRG	
80		P9_6			SOUT4	ANEX1	

1.6 端子機能の説明

表 1.17 端子の機能説明(100ピン版、128ピン版共通)(1)

分類	端子名	入出力	電源系統(注3)	機能
電源入力	VCC1、VCC2 VSS	入力	—	VCC1、VCC2端子には、2.7V～5.5Vを入力してください。VCCの入力条件はVCC1≥VCC2です。 VSSには、0Vを入力してください。(注1, 2)
アナログ電源入力	AVCC AVSS	入力	VCC1	A/Dコンバータの電源入力です。AVCCはVCC1に接続してください。 AVSSはVSSに接続してください。
リセット入力	RESET	入力	VCC1	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
CNVSS	CNVSS	入力	VCC1	プロセッサモードを切り替えるための端子です。リセット後、シングルチップモードで動作を開始する場合VSSに、マイクロプロセッサモードで動作を開始する場合VCC1に接続してください。
外部データバス幅切り替え入力	BYTE	入力	VCC1	外部領域のデータバスを切り替えるための端子です。この端子が“L”の場合16ビット、“H”の場合8ビットになります。どちらかに固定してください。シングルチップモードでは、VSSに接続してください。
バス制御端子(注4)	D0～D7	入出力	VCC2	セパレートバスを選択している領域をアクセスしたときデータ(D0～D7)の入出力を行います。
	D8～D15	入出力	VCC2	外部データバスが16ビットでセパレートバスを選択している領域をアクセスしたときデータ(D8～D15)の入出力を行います。
	A0～A19	出力	VCC2	アドレスA0～A19を出力します。
	A0/D0～ A7/D7	入出力	VCC2	外部データバスが8ビットでマルチプレクスバスを選択している領域をアクセスしたときデータ(D0～D7)の入出力と、アドレス(A0～A7)の出力を時分割で行います。
	A1/D0～ A8/D7	入出力	VCC2	外部データバスが16ビットでマルチプレクスバスを選択している領域をアクセスしたときデータ(D0～D7)の入出力と、アドレス(A1～A8)の出力を時分割で行います。
	CS0～CS3	出力	VCC2	チップセレクト信号でアクセス空間の指定に使用します。
	WRL/WR WRH/BHE RD	出力	VCC2	WRL、WRH、(WR、BHE)、RD信号を出力します。プログラムでWRL、WRHまたは、BHE、WRを切り替えられます。 ・WRL、WRH、RD選択時 外部データバスが16ビットの場合、WRL信号が“L”のときは偶数番地に、WRH信号が“L”のときは奇数番地に書きます。RD信号が“L”のとき読み出します。 ・WR、BHE、RD選択時 WR信号が“L”のとき書き込みます。RD信号が“L”のとき読み出します。BHE信号が“L”のとき奇数番地をアクセスします。外部データバスが8ビットのとき、このモードを使用してください。
	ALE	出力	VCC2	アドレスをラッチするための信号です。
	HOLD	入力	VCC2	入力が“L”の期間、マイクロコンピュータはホールド状態になります。
	HLDA	出力	VCC2	ホールド状態の期間、“L”を出力します。
RDY	入力	VCC2	入力が“L”の期間、マイクロコンピュータのバスはウェイト状態になります。	

電源系統：外部バス関連の端子の電源系統を分けVCC2系としました。このため、VCC1系とは異なる電圧でインタフェースできます。

注1. この説明以降、特に指定のない限り、文中にVCCと記述されている場合は、VCC1を示します。

注2. M16C/62PTは、VCC1、VCC2端子に4.0～5.5Vを入力してください。また、入力条件はVCC1=VCC2にしてください。

注3. VCC1>VCC2で使用する場合は、確認事項、制限事項がありますので、お問い合わせください。

注4. M16C/62PTは、バス制御端子を使用しないでください。

表 1.18 端子の機能説明(100ピン版、128ピン版共通)(2)

分類	端子名	入出力	電源系統(注1)	機能
メインクロック入力	XIN	入力	VCC1	メインクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください(注3)。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。
メインクロック出力	XOUT	出力	VCC1	
サブクロック入力	XCIN	入力	VCC1	サブクロック発振回路の入出力です。XCINとXCOUTの間には水晶発振子を接続してください(注3)。外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放にしてください。
サブクロック出力	XCOUT	出力	VCC1	
BCLK出力(注2)	BCLK	出力	VCC2	BCLK信号を出力します。
クロック出力	CLKOUT	出力	VCC2	fC、f8、またはf32と同じ周期のクロックを出力します。
INT割り込み入力	$\overline{\text{INT0}} \sim \overline{\text{INT2}}$	入力	VCC1	INT割り込みの入力です。
	$\overline{\text{INT3}} \sim \overline{\text{INT5}}$	入力	VCC2	
NMI割り込み入力	$\overline{\text{NMI}}$	入力	VCC1	NMI割り込みの入力です。
キー入力割り込み入力	$\overline{\text{KI0}} \sim \overline{\text{KI3}}$	入力	VCC1	キー入力割り込みの入力です。
タイマA	TA0OUT ~ TA4OUT	入出力	VCC1	タイマA0 ~ A4の入出力です(ただし、TA0OUTの出力はNチャンネルオープンドレイン)。
	TA0IN ~ TA4IN	入力	VCC1	タイマA0 ~ A4の入力です。
	ZP	入力	VCC1	Z相の入力です。
タイマB	TB0IN ~ TB5IN	入力	VCC1	タイマB0 ~ B5の入力です。
三相モータ制御用タイマ出力	$\overline{\text{U}}, \overline{\text{V}}, \overline{\text{W}}, \overline{\text{W}}$	出力	VCC1	三相モータ制御用タイマの出力です。
シリアルインタフェース	$\overline{\text{CTS0}} \sim \overline{\text{CTS2}}$	入力	VCC1	送信制御用入力です。
	$\overline{\text{RTS0}} \sim \overline{\text{RTS2}}$	出力	VCC1	受信制御用出力です。
	CLK0 ~ CLK4	入出力	VCC1	転送クロック入出力です。
	RXD0 ~ RXD2	入力	VCC1	シリアルデータ入力です。
	SIN3, SIN4	入力	VCC1	シリアルデータ入力です。
	TXD0 ~ TXD2	出力	VCC1	シリアルデータ出力です(ただし、TXD2の出力はNチャンネルオープンドレイン)。
	SOUT3, SOUT4	出力	VCC1	シリアルデータ出力です。
	CLKS1	出力	VCC1	転送クロック複数端子出力機能の出力です。
I ² Cモード	SDA0 ~ SDA2	入出力	VCC1	シリアルデータ入出力です(ただし、SDA2の出力はNチャンネルオープンドレイン)。
	SCL0 ~ SCL2	入出力	VCC1	転送クロック入出力です(ただし、SCL2の出力はNチャンネルオープンドレイン)。

注1. VCC1>VCC2で使用する場合は、確認事項、制限事項がありますので、お問い合わせください。

注2. M16C/62PTは、この端子機能を使用しないでください。

注3. 発振特性は発振子メーカーにお問い合わせください。

表 1.19 端子の機能説明(100ピン版、128ピン版共通)(3)

分類	端子名	入出力	電源系統(注1)	機能
基準電圧入力	VREF	入力	VCC1	A/DコンバータとD/Aコンバータの基準電圧入力です。
A/Dコンバータ	AN0~AN7 AN0_0~AN0_7 AN2_0~AN2_7	入力	VCC1	A/Dコンバータのアナログ入力です。
	ADTRG	入力	VCC1	A/D外部トリガ入力です。
	ANEX0	入出力	VCC1	A/Dコンバータの拡張アナログ入力と外部オペアンプ接続モードでの出力です。
	ANEX1	入力	VCC1	A/Dコンバータの拡張アナログ入力です。
D/Aコンバータ	DA0,DA1	出力	VCC1	D/Aコンバータの出力です。
入出力ポート	P0_0~P0_7 P1_0~P1_7 P2_0~P2_7 P3_0~P3_7 P4_0~P4_7 P5_0~P5_7 P12_0~P12_7(注2) P13_0~P13_7(注2)	入出力	VCC2	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。入力ポートは、4ビット単位でプルアップ抵抗の有無を選択できます。
	P6_0~P6_7 P7_0~P7_7 P9_0~P9_7 P10_0~P10_7 P11_0~P11_7(注2)	入出力	VCC1	P0と同等の機能を持つ8ビット入出力ポートです(ただし、P7_0,P7_1の出力はNチャネルオープンドレイン出力)。
	P8_0~P8_4,P8_6, P8_7 P14_0,P14_1(注2)	入出力	VCC1	P0と同等の機能を持つ入出力ポートです。
	P8_5	入力	VCC1	NMIと端子を共用しています。NMIの入力レベルを確認するための入力専用ポートです。

注1. VCC1>VCC2で使用する場合は、確認事項、制限事項がありますので、お問い合わせください。

注2. M16C/62P(100ピン版)、M16C/62PT(100ピン版)は、P11~P14を使用しないでください。

表 1.20 端子の機能説明(80ピン版)(1)(注1)

分類	端子名	入出力	電源系統	機能
電源入力	VCC1 VSS	入力	—	VCC1端子には、2.7V~5.5Vを入力してください。VSSには、0Vを入力してください。(注2)
アナログ電源入力	AVCC AVSS	入力	VCC1	A/Dコンバータの電源入力です。AVCCはVCC1に接続してください。AVSSはVSSに接続してください。
リセット入力	RESET	入力	VCC1	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
CNVSS	CNVSS (BYTE)	入力	VCC1	プロセッサモードを切り替えるための端子です。リセット後、シングルチップモードで動作を開始する場合VSSに、マイクロプロセッサモードで動作を開始する場合VCC1に接続してください。80ピン版のBYTE端子はマイクロコンピュータ内部でプルアップ処理が施されています。
メインクロック 入力	XIN	入力	VCC1	メインクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶共振子を接続してください(注3)。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。
メインクロック 出力	XOUT	出力	VCC1	
サブクロック入力	XCIN	入力	VCC1	サブクロック発振回路の入出力です。XCINとXCOUTの間には水晶共振子を接続してください(注3)。外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放にしてください。
サブクロック出力	XCOUT	出力	VCC1	
クロック出力	CLKOUT	出力	VCC1	fC、f8、またはf32と同じ周期のクロックを出力します。
INT割り込み入力	INT0~INT2	入力	VCC1	INT割り込みの入力です。
NMI割り込み入力	NMI	入力	VCC1	NMI割り込みの入力です。
キー入力割り込み 入力	KI0~KI3	入力	VCC1	キー入力割り込みの入力です。
タイマA	TA0OUT TA3OUT TA4OUT	入出力	VCC1	タイマA0、タイマA3、タイマA4の入出力です(ただし、TA0OUTの出力はNチャネルオープンドレイン)。
	TA0IN TA3IN TA4IN	入力	VCC1	タイマA0、タイマA3、タイマA4の入力です。
	ZP	入力	VCC1	Z相の入力です。
タイマB	TB0IN TB2IN~TB5IN	入力	VCC1	タイマB0、タイマB2~5の入力です。
シリアルインタ フェース	CTS0,CTS1	入力	VCC1	送信制御用入力です。
	RTS0,RTS1	出力	VCC1	受信制御用出力です。
	CLK0,CLK1 CLK3,CLK4	入出力	VCC1	転送クロック入出力です。
	RXD0~RXD2	入力	VCC1	シリアルデータ入力です。
	SIN4	入力	VCC1	シリアルデータ入力です。
	TXD0~TXD2	出力	VCC1	シリアルデータ出力です(ただし、TXD2の出力はNチャネルオープンドレイン)。
	SOUT3,SOUT4	出力	VCC1	シリアルデータ出力です。
CLKS1	出力	VCC1	転送クロック複数端子出力機能の出力です。	
I ² Cモード	SDA0~SDA2	入出力	VCC1	シリアルデータ入出力です(ただし、SDA2の出力はNチャネルオープンドレイン)。
	SCL0~SCL2	入出力	VCC1	転送クロック入出力です(ただし、SCL2の出力はNチャネルオープンドレイン)。

注1. この説明以降、特に指定のない限り、文中にVCCと記述されている場合は、VCC1を示します。

注2. M16C/62PTは、VCC1端子に4.0~5.5Vを入力してください。

注3. 発振特性は発振子メーカーにお問い合わせください。

表 1.21 端子の機能説明(80ピン版)(2)

分類	端子名	入出力	電源系統	機能
基準電圧入力	VREF	入力	VCC1	A/DコンバータとD/Aコンバータの基準電圧入力です。
A/Dコンバータ	AN0~AN7 AN0_0~AN0_7 AN2_0~AN2_7	入力	VCC1	A/Dコンバータのアナログ入力です。
	ADTRG	入力	VCC1	A/D外部トリガ入力です。
	ANEX0	入出力	VCC1	A/Dコンバータの拡張アナログ入力と外部オペアンプ接続モードでの出力です。
	ANEX1	入力	VCC1	A/Dコンバータの拡張アナログ入力です。
D/Aコンバータ	DA0,DA1	出力	VCC1	D/Aコンバータの出力です。
入出力ポート(注1)	P0_0~P0_7 P2_0~P2_7 P3_0~P3_7 P5_0~P5_7 P6_0~P6_7 P10_0~P10_7	入出力	VCC1	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。入力ポートは、4ビット単位でプルアップ抵抗の有無を選択できます。
	P8_0~P8_4, P8_6,P8_7 P9_0, P9_2~P9_7	入出力	VCC1	P0と同等の機能を持つ入出力ポートです。
	P4_0~P4_3 P7_0,P7_1, P7_6,P7_7	入出力	VCC1	P0と同等の機能を持つ入出力ポートです(ただし、P7_0、P7_1の出力はNチャンネルオープンドレイン出力)。
入力ポート	P8_5	入力	VCC1	NMIと端子を共用しています。NMIの入力レベルを確認するための入力専用ポートです。

注1. 80ピン版では、P1、P4_4~P4_7、P7_2~P7_5、P9_1は、外部への接続がありません。プログラムによって、これらのポートの方向ビットを“1”(出力モード)、出力データを“0”(“L”)にしてください。

2. 中央演算処理装置

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

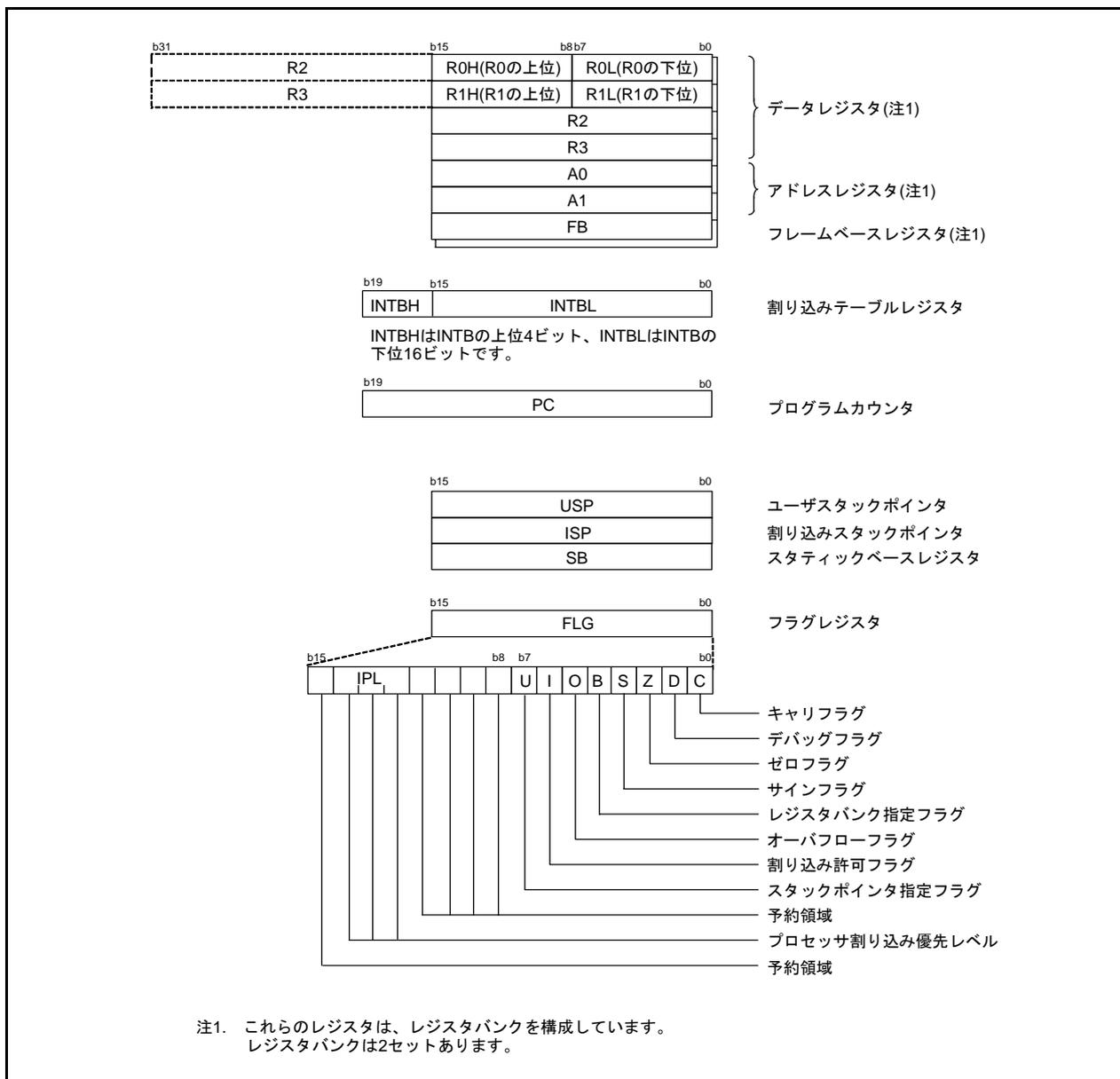


図2.1 CPUのレジスタ

2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。

R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。

A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ (SP)は、USPとISPの2種類あり、共に16ビットで構成されています。
USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ (Cフラグ)

算術論理ユニットで発生したキャリ、ボロー、シフトアウトしたビットなどを保持します。

2.8.2 デバッグフラグ (Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ (Zフラグ)

演算の結果が0のとき“1”になり、それ以外の場合“0”になります。

2.8.4 サインフラグ (Sフラグ)

演算の結果が負のとき“1”になり、それ以外の場合“0”になります。

2.8.5 レジスタバンク指定フラグ (Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ (Oフラグ)

演算の結果がオーバーフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ (Iフラグ)

マスクブル割り込みを許可するフラグです。

Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。

割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約領域

書く場合、“0”を書いてください。読んだ場合、その値は不定。

3. メモリ

図3.1にメモリ配置を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。

内部ROMはFFFFFFh番地から下位方向に配置されます。例えば64Kバイトの内部ROMは、F0000h番地からFFFFFFh番地に配置されます。フラッシュメモリ版には、0F000h番地から0FFFFh番地に4Kバイトの領域(ブロックA)があります。4Kバイトの領域は主にデータ格納用ですが、プログラムを格納することもできます。

固定割り込みベクタテーブルはFFFDCh番地からFFFFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されます。例えば10Kバイトの内部RAMは、00400h番地から02BFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から003FFh番地に配置されています。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

スペシャルページベクタテーブルはFFE00h番地からFFFDCh番地に配置されています。このベクタはJMPS命令またはJSRS命令で使用します。詳細は「M16C/60、M16C/20シリーズソフトウェアマニュアル」を参照してください。

メモリ拡張モードまたはマイクロプロセッサモードでは、一部の領域は予約領域となり使用できません。

M16C/62P(80ピン版)、M16C/62PTは、シングルチップモードで使用してください。メモリ拡張モードおよびマイクロプロセッサモードは使用できません。

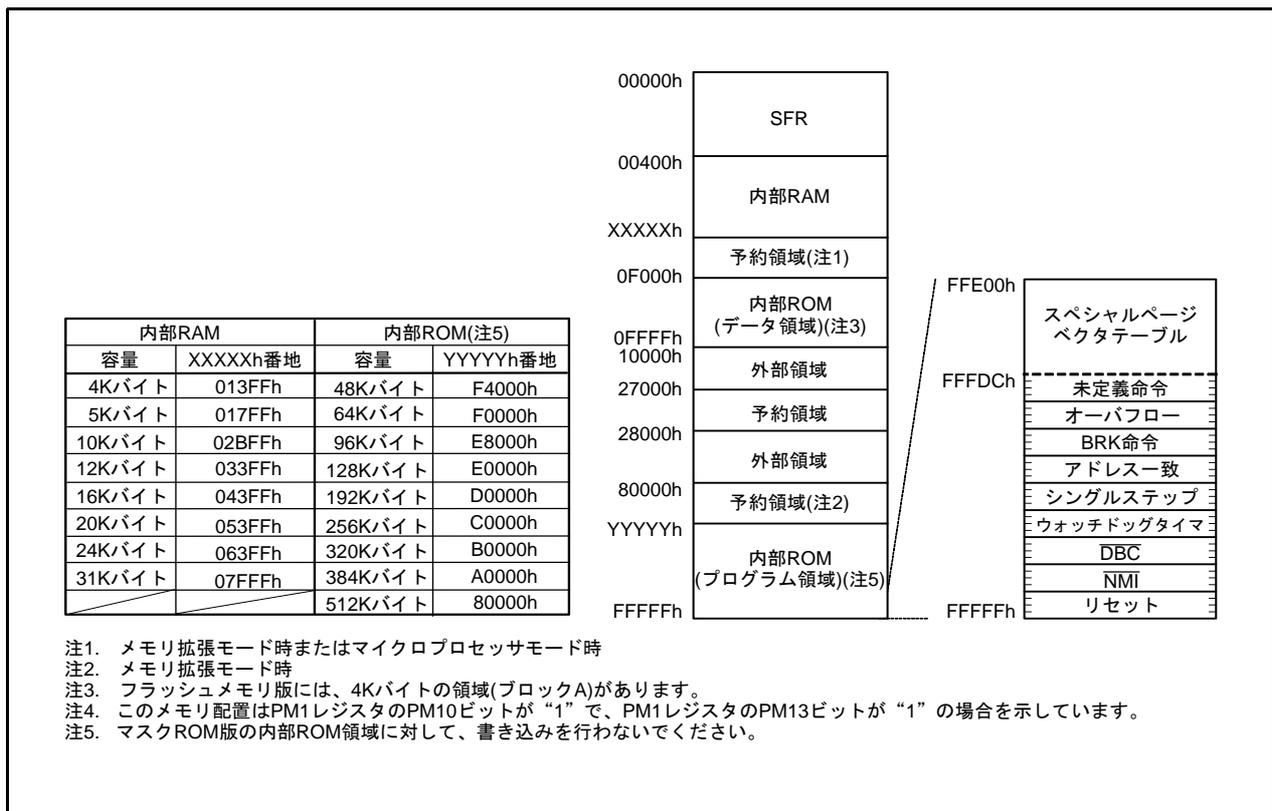


図3.1 メモリ配置

4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～4.8にSFR一覧を示します。

表4.1 SFR一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0(注2)	PM0	00000000b(CNVSS端子が“L”) 00000011b(CNVSS端子が“H”)
0005h	プロセッサモードレジスタ1	PM1	00001000b
0006h	システムクロック制御レジスタ0	CM0	01001000b
0007h	システムクロック制御レジスタ1	CM1	00100000b
0008h	チップセレクト制御レジスタ(注6)	CSR	00000001b
0009h	アドレス一致割り込み許可レジスタ	AIER	XXXXXX00b
000Ah	プロテクトレジスタ	PRCR	XX000000b
000Bh	データバンクレジスタ(注6)	DBR	00h
000Ch	発振停止検出レジスタ(注3)	CM2	0X000000b
000Dh			
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	00XXXXXXb(注4)
0010h	アドレス一致割り込みレジスタ0	RMAD0	00h
0011h			00h
0012h			X0h
0013h			
0014h	アドレス一致割り込みレジスタ1	RMAD1	00h
0015h			00h
0016h			X0h
0017h			
0018h			
0019h	電圧検出レジスタ1(注5、6)	VCR1	00001000b
001Ah	電圧検出レジスタ2(注5、6)	VCR2	00h
001Bh	チップセレクト拡張制御レジスタ(注6)	CSE	00h
001Ch	PLL制御レジスタ0	PLC0	0001X010b
001Dh			
001Eh	プロセッサモードレジスタ2	PM2	XXX00000b
001Fh	電圧低下検出割り込みレジスタ(注6)	D4INT	00h
0020h	DMA0ソースポインタ	SAR0	XXh
0021h			XXh
0022h			XXh
0023h			
0024h	DMA0ディスティネーションポインタ	DAR0	XXh
0025h			XXh
0026h			XXh
0027h			
0028h	DMA0転送カウンタ	TCR0	XXh
0029h			XXh
002Ah			
002Bh			
002Ch	DMA0制御レジスタ	DM0CON	00000X00b
002Dh			
002Eh			
002Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. PM00、PM01ビットはソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット時は変化しません。

注3. CM20、CM21、CM27ビットは発振停止検出リセット時は変化しません。

注4. WDC5ビットは電源投入後“0”(コールドスタート)です。プログラムでのみ“1”にできます。

注5. ソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット時は変化しません。

注6. M16C/62PTでは使用しないでください。

X: 不定です。

表 4.2 SFR一覧(2)(注1)

番地	レジスタ	シンボル	リセット後の値
0030h 0031h 0032h	DMA1 ソースポインタ	SAR1	XXh XXh XXh
0033h			
0034h 0035h 0036h	DMA1 ディスティネーションポインタ	DAR1	XXh XXh XXh
0037h			
0038h 0039h	DMA1 転送カウンタ	TCR1	XXh XXh
003Ah 003Bh			
003Ch 003Dh 003Eh 003Fh 0040h 0041h 0042h 0043h	DMA1 制御レジスタ	DM1CON	0000X00b
0044h	INT3 割り込み制御レジスタ	INT3IC	XX00X000b
0045h	タイマB5 割り込み制御レジスタ	TB5IC	XXXXX000b
0046h	タイマB4 割り込み制御レジスタ、UART1バス衝突検出割り込み制御レジスタ	TB4IC、U1BCNIC	XXXXX000b
0047h	タイマB3 割り込み制御レジスタ、UART0バス衝突検出割り込み制御レジスタ	TB3IC、U0BCNIC	XXXXX000b
0048h	SI/O4 割り込み制御レジスタ、INT5 割り込み制御レジスタ	S4IC、INT5IC	XX00X000b
0049h	SI/O3 割り込み制御レジスタ、INT4 割り込み制御レジスタ	S3IC、INT4IC	XX00X000b
004Ah	UART2バス衝突検出割り込み制御レジスタ	BCNIC	XXXXX000b
004Bh	DMA0 割り込み制御レジスタ	DM0IC	XXXXX000b
004Ch	DMA1 割り込み制御レジスタ	DM1IC	XXXXX000b
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXXX000b
004Fh	UART2送信割り込み制御レジスタ	S2TIC	XXXXX000b
0050h	UART2受信割り込み制御レジスタ	S2RIC	XXXXX000b
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXXX000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXXX000b
0055h	タイマA0 割り込み制御レジスタ	TA0IC	XXXXX000b
0056h	タイマA1 割り込み制御レジスタ	TA1IC	XXXXX000b
0057h	タイマA2 割り込み制御レジスタ	TA2IC	XXXXX000b
0058h	タイマA3 割り込み制御レジスタ	TA3IC	XXXXX000b
0059h	タイマA4 割り込み制御レジスタ	TA4IC	XXXXX000b
005Ah	タイマB0 割り込み制御レジスタ	TB0IC	XXXXX000b
005Bh	タイマB1 割り込み制御レジスタ	TB1IC	XXXXX000b
005Ch	タイマB2 割り込み制御レジスタ	TB2IC	XXXXX000b
005Dh	INT0 割り込み制御レジスタ	INT0IC	XX00X000b
005Eh	INT1 割り込み制御レジスタ	INT1IC	XX00X000b
005Fh	INT2 割り込み制御レジスタ	INT2IC	XX00X000b

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表 4.3 SFR一覧(3)(注1)

番地	レジスタ	シンボル	リセット後の値
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			
0080h			
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
~			
01AFh			
01B0h			
01B1h			
01B2h			
01B3h			
01B4h	フラッシュ識別レジスタ (注2)	FIDR	XXXXXX00b
01B5h	フラッシュメモリ制御レジスタ1 (注2)	FMR1	0X00XX0Xb
01B6h			
01B7h	フラッシュメモリ制御レジスタ0 (注2)	FMR0	00000001b
01B8h	アドレス一致割り込みレジスタ2	RMAD2	00h
01B9h			00h
01BAh			X0h
01BBh	アドレス一致割り込み許可レジスタ2	AIER2	XXXXXX00b
01BCh	アドレス一致割り込みレジスタ3	RMAD3	00h
01BDh			00h
01BEh			X0h
01BFh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. このレジスタはフラッシュメモリ版にあります。

X: 不定です。

表 4.4 SFR一覧(4)(注1)

番地	レジスタ	シンボル	リセット後の値
01C0h ~ 024Fh			
0250h			
0251h			
0252h			
0253h			
0254h			
0255h			
0256h			
0257h			
0258h			
0259h			
025Ah			
025Bh			
025Ch			
025Dh			
025Eh	周辺クロック選択レジスタ	PCLKR	00000011b
025Fh			
0260h ~ 032Fh			
0330h			
0331h			
0332h			
0333h			
0334h			
0335h			
0336h			
0337h			
0338h			
0339h			
033Ah			
033Bh			
033Ch			
033Dh			
033Eh			
033Fh			
0340h	タイマB3,4,5カウント開始フラグ	TBSR	000XXXXXb
0341h			
0342h	タイマA1-1レジスタ	TA11	XXh
0343h			XXh
0344h	タイマA2-1レジスタ	TA21	XXh
0345h			XXh
0346h	タイマA4-1レジスタ	TA41	XXh
0347h			XXh
0348h	三相PWM制御レジスタ0	INVC0	00h
0349h	三相PWM制御レジスタ1	INVC1	00h
034Ah	三相出力バッファレジスタ0	IDB0	00h
034Bh	三相出力バッファレジスタ1	IDB1	00h
034Ch	短絡防止タイマ	DTT	XXh
034Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2	XXh
034Eh			
034Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表 4.5 SFR一覧(5)(注1)

番地	レジスタ	シンボル	リセット後の値
0350h 0351h	タイマB3レジスタ	TB3	XXh XXh
0352h 0353h	タイマB4レジスタ	TB4	XXh XXh
0354h 0355h	タイマB5レジスタ	TB5	XXh XXh
0356h			
0357h			
0358h			
0359h			
035Ah			
035Bh	タイマB3モードレジスタ	TB3MR	00XX0000b
035Ch	タイマB4モードレジスタ	TB4MR	00XX0000b
035Dh	タイマB5モードレジスタ	TB5MR	00XX0000b
035Eh	割り込み要因選択レジスタ2	IFSR2A	00XXXXXXb
035Fh	割り込み要因選択レジスタ	IFSR	00h
0360h	SI/O3送受信レジスタ	S3TRR	XXh
0361h			
0362h	SI/O3制御レジスタ	S3C	01000000b
0363h	SI/O3ビットレートレジスタ	S3BRG	XXh
0364h	SI/O4送受信レジスタ	S4TRR	XXh
0365h			
0366h	SI/O4制御レジスタ	S4C	01000000b
0367h	SI/O4ビットレートレジスタ	S4BRG	XXh
0368h			
0369h			
036Ah			
036Bh			
036Ch	UART0特殊モードレジスタ4	U0SMR4	00h
036Dh	UART0特殊モードレジスタ3	U0SMR3	000X0X0Xb
036Eh	UART0特殊モードレジスタ2	U0SMR2	X0000000b
036Fh	UART0特殊モードレジスタ	U0SMR	X0000000b
0370h	UART1特殊モードレジスタ4	U1SMR4	00h
0371h	UART1特殊モードレジスタ3	U1SMR3	000X0X0Xb
0372h	UART1特殊モードレジスタ2	U1SMR2	X0000000b
0373h	UART1特殊モードレジスタ	U1SMR	X0000000b
0374h	UART2特殊モードレジスタ4	U2SMR4	00h
0375h	UART2特殊モードレジスタ3	U2SMR3	000X0X0Xb
0376h	UART2特殊モードレジスタ2	U2SMR2	X0000000b
0377h	UART2特殊モードレジスタ	U2SMR	X0000000b
0378h	UART2送受信モードレジスタ	U2MR	00h
0379h	UART2ビットレートレジスタ	U2BRG	XXh
037Ah	UART2送信バッファレジスタ	U2TB	XXh
037Bh			XXh
037Ch	UART2送受信制御レジスタ0	U2C0	00001000b
037Dh	UART2送受信制御レジスタ1	U2C1	00000010b
037Eh	UART2受信バッファレジスタ	U2RB	XXh
037Fh			XXh

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表 4.6 SFR一覧(6)(注1)

番地	レジスタ	シンボル	リセット後の値
0380h	カウント開始フラグ	TABSR	00h
0381h	時計用プリスケアラリセットフラグ	CPSRF	0XXXXXXb
0382h	ワンショット開始フラグ	ONSF	00h
0383h	トリガ選択レジスタ	TRGSR	00h
0384h	アップダウンフラグ	UDF	00h (注2)
0385h			
0386h	タイマA0レジスタ	TA0	XXh
0387h			XXh
0388h	タイマA1レジスタ	TA1	XXh
0389h			XXh
038Ah	タイマA2レジスタ	TA2	XXh
038Bh			XXh
038Ch	タイマA3レジスタ	TA3	XXh
038Dh			XXh
038Eh	タイマA4レジスタ	TA4	XXh
038Fh			XXh
0390h	タイマB0レジスタ	TB0	XXh
0391h			XXh
0392h	タイマB1レジスタ	TB1	XXh
0393h			XXh
0394h	タイマB2レジスタ	TB2	XXh
0395h			XXh
0396h	タイマA0モードレジスタ	TA0MR	00h
0397h	タイマA1モードレジスタ	TA1MR	00h
0398h	タイマA2モードレジスタ	TA2MR	00h
0399h	タイマA3モードレジスタ	TA3MR	00h
039Ah	タイマA4モードレジスタ	TA4MR	00h
039Bh	タイマB0モードレジスタ	TB0MR	00XX0000b
039Ch	タイマB1モードレジスタ	TB1MR	00XX0000b
039Dh	タイマB2モードレジスタ	TB2MR	00XX0000b
039Eh	タイマB2特殊モードレジスタ	TB2SC	XXXXXX00b
039Fh			
03A0h	UART0送受信モードレジスタ	U0MR	00h
03A1h	UART0ビットレートレジスタ	U0BRG	XXh
03A2h	UART0送信バッファレジスタ	U0TB	XXh
03A3h			XXh
03A4h	UART0送受信制御レジスタ0	U0C0	00001000b
03A5h	UART0送受信制御レジスタ1	U0C1	00XX0010b
03A6h	UART0受信バッファレジスタ	U0RB	XXh
03A7h			XXh
03A8h	UART1送受信モードレジスタ	U1MR	00h
03A9h	UART1ビットレートレジスタ	U1BRG	XXh
03AAh	UART1送信バッファレジスタ	U1TB	XXh
03ABh			XXh
03ACh	UART1送受信制御レジスタ0	U1C0	00001000b
03ADh	UART1送受信制御レジスタ1	U1C1	00XX0010b
03AEh	UART1受信バッファレジスタ	U1RB	XXh
03AFh			XXh

注1. 空欄は予約領域です。アクセスしないでください。

注2. アップダウンフラグのビット7~5は、リセットによりレジスタ値は“0”ですが、このビットを読んだ場合、不定です。

X: 不定です。

表 4.7 SFR一覧(7)(注1)

番地	レジスタ	シンボル	リセット後の値
03B0h	UART送受信制御レジスタ2	UCON	X0000000b
03B1h			
03B2h			
03B3h			
03B4h			
03B5h			
03B6h			
03B7h			
03B8h	DMA0要因選択レジスタ	DM0SL	00h
03B9h			
03BAh	DMA1要因選択レジスタ	DM1SL	00h
03BBh			
03BCh	CRCデータレジスタ	CRCD	XXh
03BDh			XXh
03BEh	CRCインプットレジスタ	CRCIN	XXh
03BFh			
03C0h	A/Dレジスタ0	AD0	XXh
03C1h			XXh
03C2h	A/Dレジスタ1	AD1	XXh
03C3h			XXh
03C4h	A/Dレジスタ2	AD2	XXh
03C5h			XXh
03C6h	A/Dレジスタ3	AD3	XXh
03C7h			XXh
03C8h	A/Dレジスタ4	AD4	XXh
03C9h			XXh
03CAh	A/Dレジスタ5	AD5	XXh
03CBh			XXh
03CCh	A/Dレジスタ6	AD6	XXh
03CDh			XXh
03CEh	A/Dレジスタ7	AD7	XXh
03CFh			XXh
03D0h			
03D1h			
03D2h			
03D3h			
03D4h	A/D制御レジスタ2	ADCON2	00h
03D5h			
03D6h	A/D制御レジスタ0	ADCON0	00000XXXb
03D7h	A/D制御レジスタ1	ADCON1	00h
03D8h	D/Aレジスタ0	DA0	00h
03D9h			
03DAh	D/Aレジスタ1	DA1	00h
03DBh			
03DCh	D/A制御レジスタ	DACON	00h
03DDh			
03DEh	ポートP14制御レジスタ(注2)	PC14	XX00XXXXb
03DFh	ブルアップ制御レジスタ3(注2)	PUR3	00h

注1. 空欄は予約領域です。アクセスしないでください。

注2. M16C/62P(80ピン版)、M16C/62PT(80ピン版)は、このレジスタがありません。

X: 不定です。

表 4.8 SFR一覧(8)(注1)

番地	レジスタ	シンボル	リセット後の値
03E0h	ポートP0レジスタ	P0	XXh
03E1h	ポートP1レジスタ	P1	XXh
03E2h	ポートP0方向レジスタ	PD0	00h
03E3h	ポートP1方向レジスタ	PD1	00h
03E4h	ポートP2レジスタ	P2	XXh
03E5h	ポートP3レジスタ	P3	XXh
03E6h	ポートP2方向レジスタ	PD2	00h
03E7h	ポートP3方向レジスタ	PD3	00h
03E8h	ポートP4レジスタ	P4	XXh
03E9h	ポートP5レジスタ	P5	XXh
03EAh	ポートP4方向レジスタ	PD4	00h
03EBh	ポートP5方向レジスタ	PD5	00h
03ECh	ポートP6レジスタ	P6	XXh
03EDh	ポートP7レジスタ	P7	XXh
03EEh	ポートP6方向レジスタ	PD6	00h
03EFh	ポートP7方向レジスタ	PD7	00h
03F0h	ポートP8レジスタ	P8	XXh
03F1h	ポートP9レジスタ	P9	XXh
03F2h	ポートP8方向レジスタ	PD8	00X00000b
03F3h	ポートP9方向レジスタ	PD9	00h
03F4h	ポートP10レジスタ	P10	XXh
03F5h	ポートP11レジスタ(注3)	P11	XXh
03F6h	ポートP10方向レジスタ	PD10	00h
03F7h	ポートP11方向レジスタ(注3)	PD11	00h
03F8h	ポートP12レジスタ(注3)	P12	XXh
03F9h	ポートP13レジスタ(注3)	P13	XXh
03FAh	ポートP12方向レジスタ(注3)	PD12	00h
03FBh	ポートP13方向レジスタ(注3)	PD13	00h
03FCh	プルアップ制御レジスタ0	PUR0	00h
03FDh	プルアップ制御レジスタ1	PUR1	00000000b(注2) 00000010b
03FEh	プルアップ制御レジスタ2	PUR2	00h
03FFh	ポート制御レジスタ	PCR	00h

注1. 空欄は予約領域です。アクセスしないでください。

注2. ハードウェアリセット1または電圧低下検出リセット(ハードウェアリセット2)では次のようになります。

- ・ CNVSS端子に“L”を入力している場合、“00000000b”
- ・ CNVSS端子に“H”を入力している場合、“00000010b”

ソフトウェアリセット、ウォッチドッグタイマリセット、または発振停止検出リセットでは次のようになります。

- ・ PM0レジスタのPM01～PM00ビットが“00b”(シングルチップモード)の場合、“00000000b”
- ・ PM0レジスタのPM01～PM00ビットが“01b”(メモリ拡張モード)または“11b”(マイクロプロセッサモード)の場合、“00000010b”

注3. M16C/62P(80ピン版)、M16C/62PT(80ピン版)は、このレジスタがありません。

X: 不定です。

5. リセット

リセットには、ハードウェアリセット1、電圧低下検出リセット(ハードウェアリセット2)、ソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセットがあります。

5.1 ハードウェアリセット1

$\overline{\text{RESET}}$ 端子によるリセットです。電源電圧が推奨動作条件を満たすとき、 $\overline{\text{RESET}}$ 端子に“L”を入力すると端子は初期化されます(「表5.1 $\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態」を参照)。また、発振回路が初期化され、メインクロックの発振が始まります。 $\overline{\text{RESET}}$ 端子の入力レベルを“L”から“H”にするとCPUとSFRが初期化され、リセットベクタで示される番地からプログラムを実行します。内部RAMは初期化されません。また、内部RAMに書き込み中に $\overline{\text{RESET}}$ 端子が“L”になると、内部RAMは不定となります。

図5.1にリセット回路の一例を、図5.2にリセットシーケンスを、表5.1に $\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態を示します。

5.1.1 電源安定時

- (1) $\overline{\text{RESET}}$ 端子に“L”を入力する
- (2) XIN 端子に20サイクル以上のクロックを入力する
- (3) $\overline{\text{RESET}}$ 端子に“H”を入力する

5.1.2 電源投入時

- (1) $\overline{\text{RESET}}$ 端子に“L”を入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまで $t_d(\text{P-R})$ 待つ
- (4) XIN 端子に20サイクル以上のクロックを入力する
- (5) $\overline{\text{RESET}}$ 端子に“H”を入力する

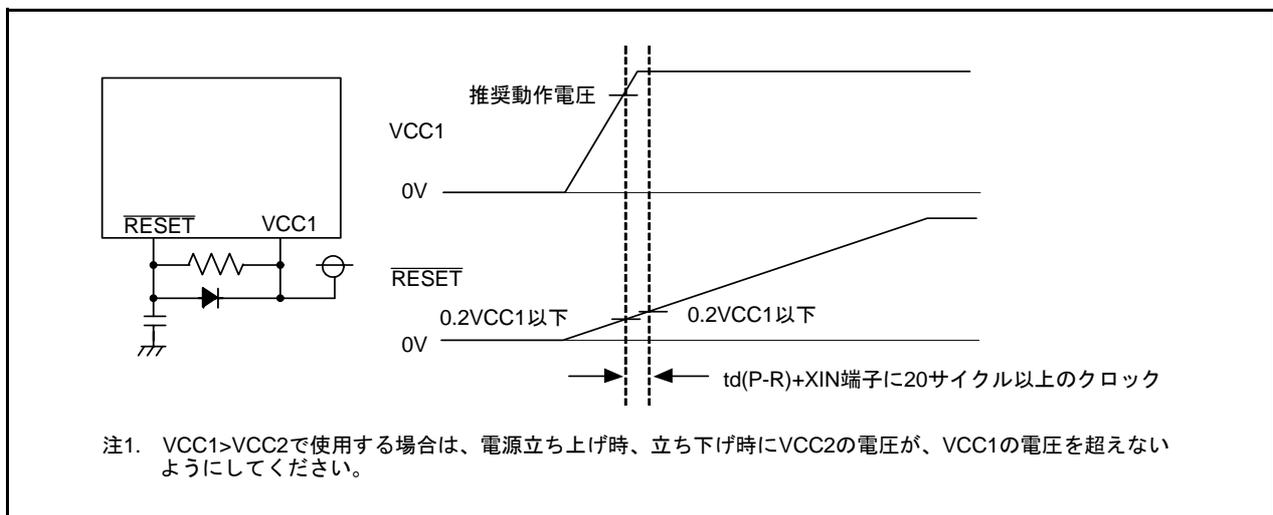


図5.1 リセット回路の一例

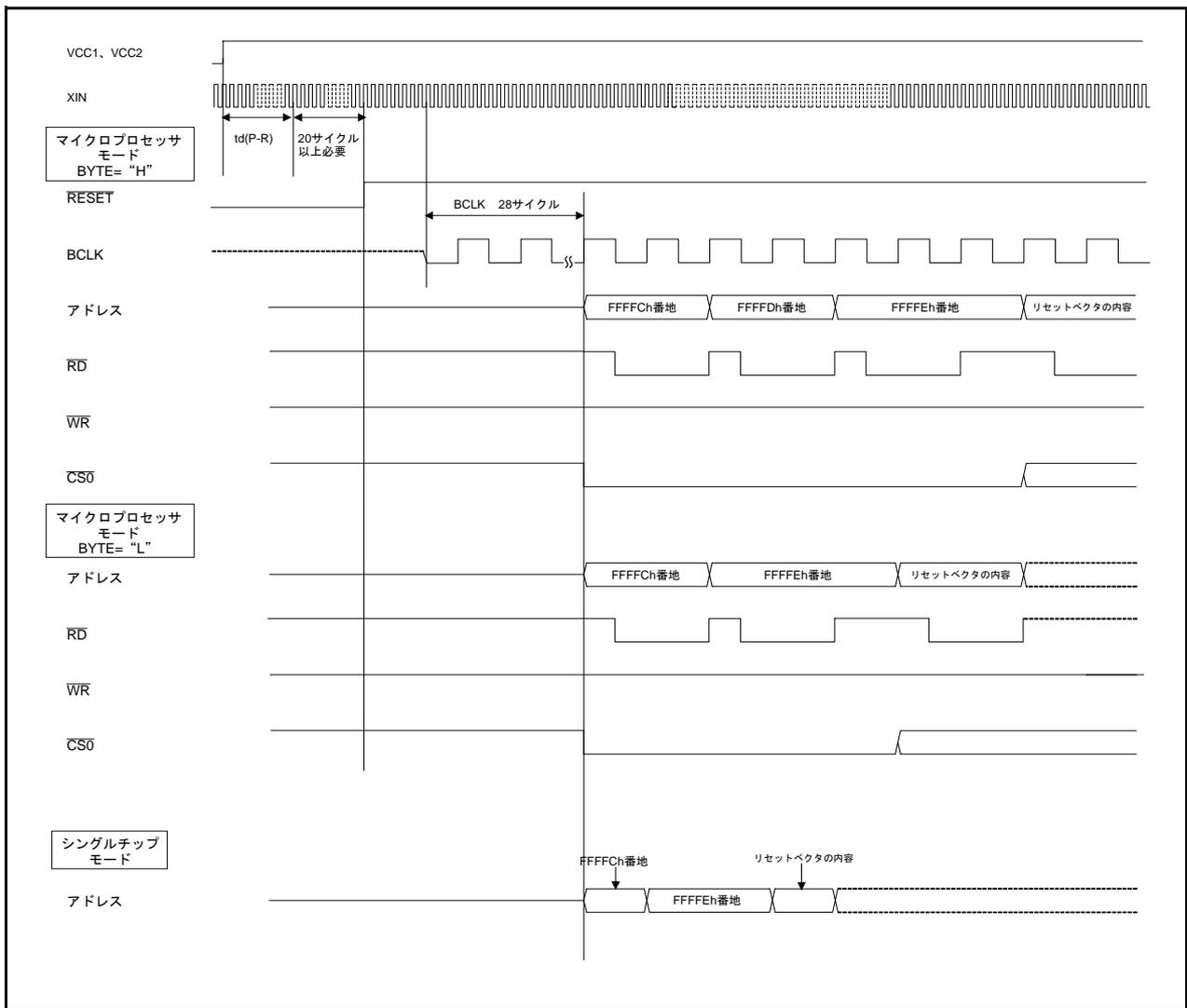


図5.2 リセットシーケンス

表 5.1 RESET 端子のレベルが“L”の期間の端子の状態

端子名	端子の状態		
	CNVSS = VSS	CNVSS = VCC1 (注1)	
		BYTE = VSS	BYTE = VCC1
P0	入力ポート	データ入力	データ入力
P1	入力ポート	データ入力	入力ポート
P2, P3, P4_0~P4_3	入力ポート	アドレス出力(不定)	アドレス出力(不定)
P4_4	入力ポート	$\overline{\text{CS0}}$ 出力(“H”を出力)	$\overline{\text{CS0}}$ 出力(“H”を出力)
P4_5~P4_7	入力ポート	入力ポート(プルアップあり)	入力ポート(プルアップあり)
P5_0	入力ポート	$\overline{\text{WR}}$ 出力(“H”を出力)	$\overline{\text{WR}}$ 出力(“H”を出力)
P5_1	入力ポート	$\overline{\text{BHE}}$ 出力(不定)	$\overline{\text{BHE}}$ 出力(不定)
P5_2	入力ポート	$\overline{\text{RD}}$ 出力(“H”を出力)	$\overline{\text{RD}}$ 出力(“H”を出力)
P5_3	入力ポート	BCLK出力	BCLK出力
P5_4	入力ポート	HLDA出力(出力値は $\overline{\text{HOLD}}$ 端子の入力に依存)	HLDA出力(出力値は $\overline{\text{HOLD}}$ 端子の入力に依存)
P5_5	入力ポート	HOLD入力	HOLD入力
P5_6	入力ポート	ALE出力(“L”を出力)	ALE出力(“L”を出力)
P5_7	入力ポート	$\overline{\text{RDY}}$ 入力	$\overline{\text{RDY}}$ 入力
P6, P7, P8_0~P8_4, P8_6, P8_7, P9, P10	入力ポート	入力ポート	入力ポート
P11, P12, P13, P14_0, P14_1 (注2)	入力ポート	入力ポート	入力ポート

注1. CNVSS=VCC1時は、電源投入後、内部電源電圧が安定してからの状態です。
内部電源電圧が安定するまでは不定です。

注2. P11、P12、P13、P14_0、P14_1は128ピン版のみ存在します。

5.2 電圧低下検出リセット (ハードウェアリセット2)

マイクロコンピュータに内蔵している電圧検出回路によるリセットです。電圧検出回路は、VCC1端子に入力する電圧を監視します。

VCR2レジスタのVC26ビットが“1”(リセット領域検出回路有効)の場合、VCC1端子に入力する電圧がVdet3以下になると、リセットされます。

VCC1端子に入力する電圧がVdet3以下になると端子を初期化し、リセット状態になります。Vdet3r以上になると端子、CPU、SFRを初期化し、リセットベクタで示される番地からプログラムを実行します。Vdet3rを検出してから、td(S-R)後にプログラムを実行します。初期化される端子、レジスタと、これらの状態は、ハードウェアリセット1と同じです。

電圧低下検出リセット (ハードウェアリセット2) によるストップモードからの復帰はできません。

5.3 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にすると、マイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。

CPUクロック源にメインクロックを選択し、メインクロックの発振が十分安定している状態で、PM03ビットを“1”にしてください。

ソフトウェアリセットでは、一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。また、PM0レジスタのPM01～PM00ビットを初期化しないため、プロセッサモードは変化しません。

5.4 ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。

ウォッチドッグタイマリセットでは、一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。また、PM0レジスタのPM01～PM00ビットを初期化しないため、プロセッサモードは変化しません。

5.5 発振停止検出リセット

CM2レジスタのCM27ビットが“0”(発振停止検出時リセット)の場合、メインクロック発振回路の停止を検出するとマイクロコンピュータは端子、CPU、SFRを初期化し、停止します。詳細は「10.6 発振停止、再発振検出機能」を参照してください。

発振停止検出リセットでは、一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。また、PM0レジスタのPM01～PM00ビットを初期化しないため、プロセッサモードは変化しません。

5.6 内部領域の状態

図5.3にリセット後のCPUレジスタの状態を示します。リセット後のSFRの状態は「4. SFR」を参照してください。

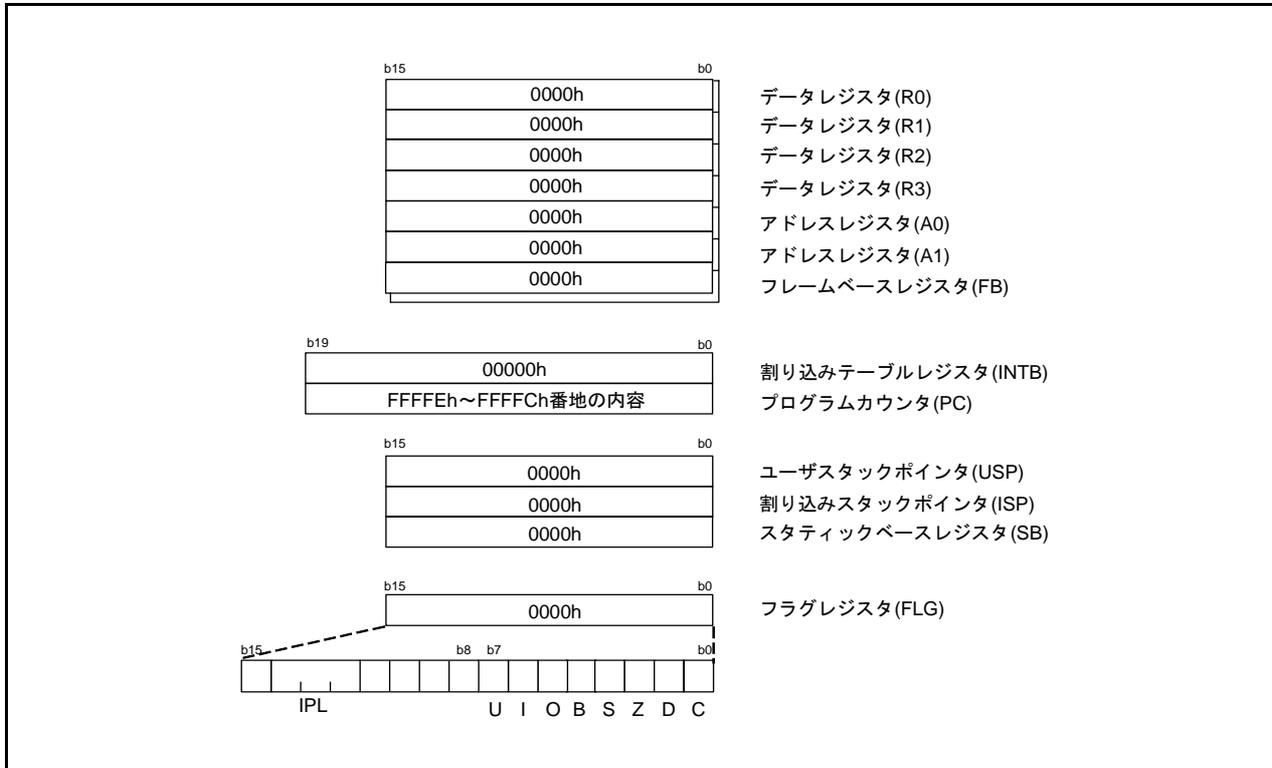


図5.3 リセット後のCPUレジスタの状態

6. 電圧検出回路

注意

M16C/62PTは、この機能を使用しないでください。
ただし、コールドスタート/ウォームスタート判定機能は使用できます。

電圧検出回路には、リセット領域検出回路と電圧低下検出回路があります。

リセット領域検出回路はVCC1端子の入力電圧を監視し、Vdet3以下になるとマイクロコンピュータをリセットします。ただし、ストップモード中は無効です。

電圧低下検出回路はVCC1端子の入力電圧を監視し、Vdet4を通過すると電圧低下検出信号を生成します。生成された信号は、電圧低下検出割り込みに使用されます。Vdet4以上かVdet4未満かは、VCR1レジスタのVC13ビットにより検出できます。

電圧検出回路は、VCC1=5Vのとき使用できます。

図6.1に電圧検出回路ブロック図を示します。

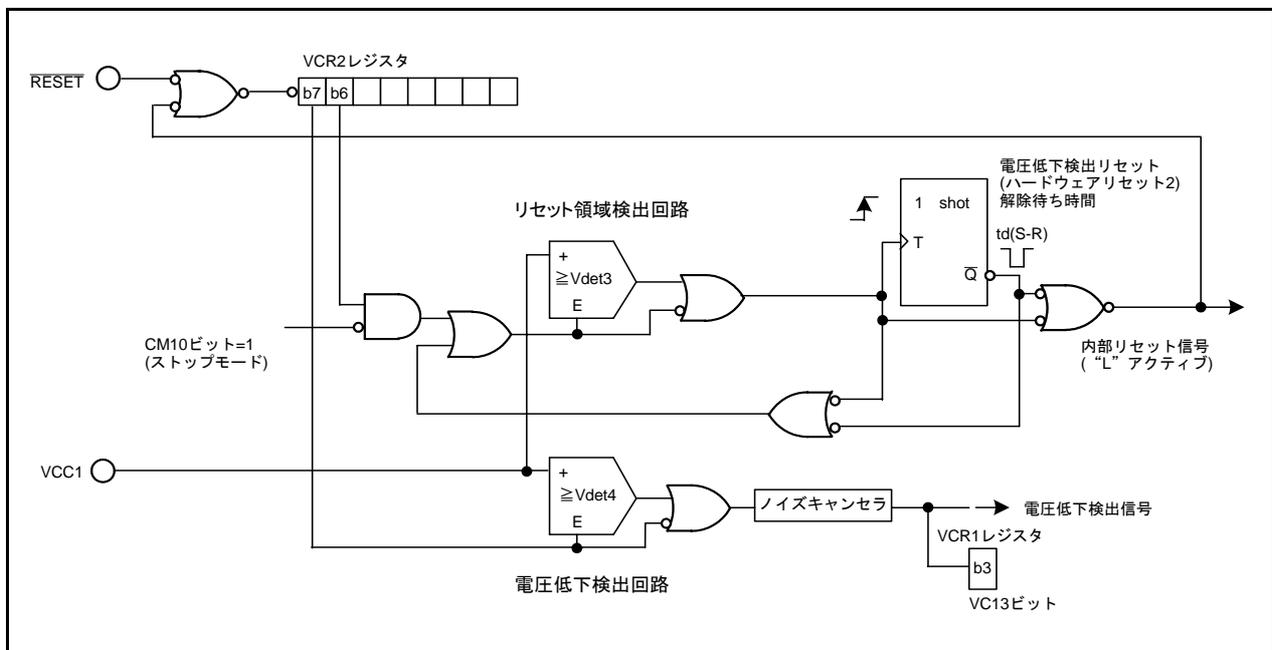


図6.1 電圧検出回路ブロック図

電圧検出レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0							
0 0 0 0		0 0 0		0 0 0		0	
シンボル VCR1		アドレス 0019h番地		リセット後の値(注2) 00001000b			
ビット シンボル	ビット名		機能			RW	
— (b2-b0)	予約ビット		“0” にしてください。			RW	
VC13	電圧低下モニタフラグ(注1)		0 : VCC1 < Vdet4 1 : VCC1 ≥ Vdet4			RO	
— (b7-b4)	予約ビット		“0” にしてください。			RW	

注1. VCR2レジスタのVC27ビットが“1”（電圧低下検出回路有効）のとき、VC13ビットは有効です。
VCR2レジスタのVC27ビットが“0”（電圧低下検出回路無効）のとき、VC13ビットは“1”（VCC1 ≥ Vdet4）になります。

注2. ソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット時は変化しません。

電圧検出レジスタ2(注1)

b7 b6 b5 b4 b3 b2 b1 b0							
0 0 0 0		0 0 0 0		0 0 0 0		0	
シンボル VCR2		アドレス 001Ah番地		リセット後の値(注5) 00h			
ビット シンボル	ビット名		機能			RW	
— (b5-b0)	予約ビット		“0” にしてください。			RW	
VC26	リセット領域監視ビット (注2、3、6)		0 : リセット領域検出回路無効 1 : リセット領域検出回路有効			RW	
VC27	電圧低下監視ビット(注4、6)		0 : 電圧低下検出回路無効 1 : 電圧低下検出回路有効			RW	

注1. このレジスタはPRCRレジスタのPRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

注2. 電圧低下検出リセット（ハードウェアリセット2）を使用する場合、VC26ビットを“1”（リセット領域検出回路有効）にしてください。

注3. ストップモード時、VC26ビットは無効です（VCC1端子の入力電圧がVdet3より低くなくてもリセットされません）。

注4. VCR1レジスタのVC13ビット、D4INTレジスタのD42ビットを使用する場合、またはD40ビットを“1”（電圧低下検出割り込み許可）にする場合、VC27ビットを“1”（電圧低下検出回路有効）にしてください。

注5. ソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット時は変化しません。

注6. VC26ビットまたはVC27ビットを“1”にした後、td(E-A)経過してから検出回路が動作します。

図6.2 VCR1、VCR2レジスタ

電圧低下検出割り込みレジスタ(注1)

シンボル		アドレス	リセット後の値	
D4INT		001Fh番地	00h	
ビットシンボル	ビット名	機能		RW
D40	電圧低下検出割り込み許可ビット(注5)	0 : 禁止 1 : 許可		RW
D41	STOP解除制御ビット(注4)	0 : 無効(電圧低下検出割り込みをストップモードからの復帰に使用しない) 1 : 有効(電圧低下検出割り込みをストップモードからの復帰に使用する)		RW
D42	電圧変化検出フラグ(注2)	0 : 未検出 1 : Vdet4通過検出		RW (注3)
D43	WDTオーバフロー検出フラグ	0 : 未検出 1 : 検出		RW (注3)
DF0	サンプリングクロック選択ビット	b5 b4 0 0 : CPUクロックの8分周 0 1 : CPUクロックの16分周 1 0 : CPUクロックの32分周 1 1 : CPUクロックの64分周		RW
DF1				RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。			—

- 注1. このレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。
- 注2. VCR2レジスタのVC27ビットが“1”(電圧低下検出回路有効)のとき有効。VC27ビットを“0”(電圧低下検出回路無効)にすると、D42ビットは“0”(未検出)になります。
- 注3. プログラムで“0”を書くと、“0”になります(“1”を書いても変化しません)。
- 注4. 電圧低下検出割り込みをストップモードからの復帰に使用した後、再度、復帰に使用する場合、D41ビットに“0”を書き込み後、“1”を書き込んでください。
- 注5. D40ビットは、VCR2レジスタのVC27ビットが“1”のとき有効です。D40ビットを“1”にする場合は次の手順で設定してください。
- (1) VC27ビットを“1”にする
 - (2) 検出回路が動作するまでtd(E-A)待つ
 - (3) サンプリング時間(「表6.2 サンプリング時間」参照)待つ
 - (4) D40ビットを“1”にする

図6.3 D4INTレジスタ

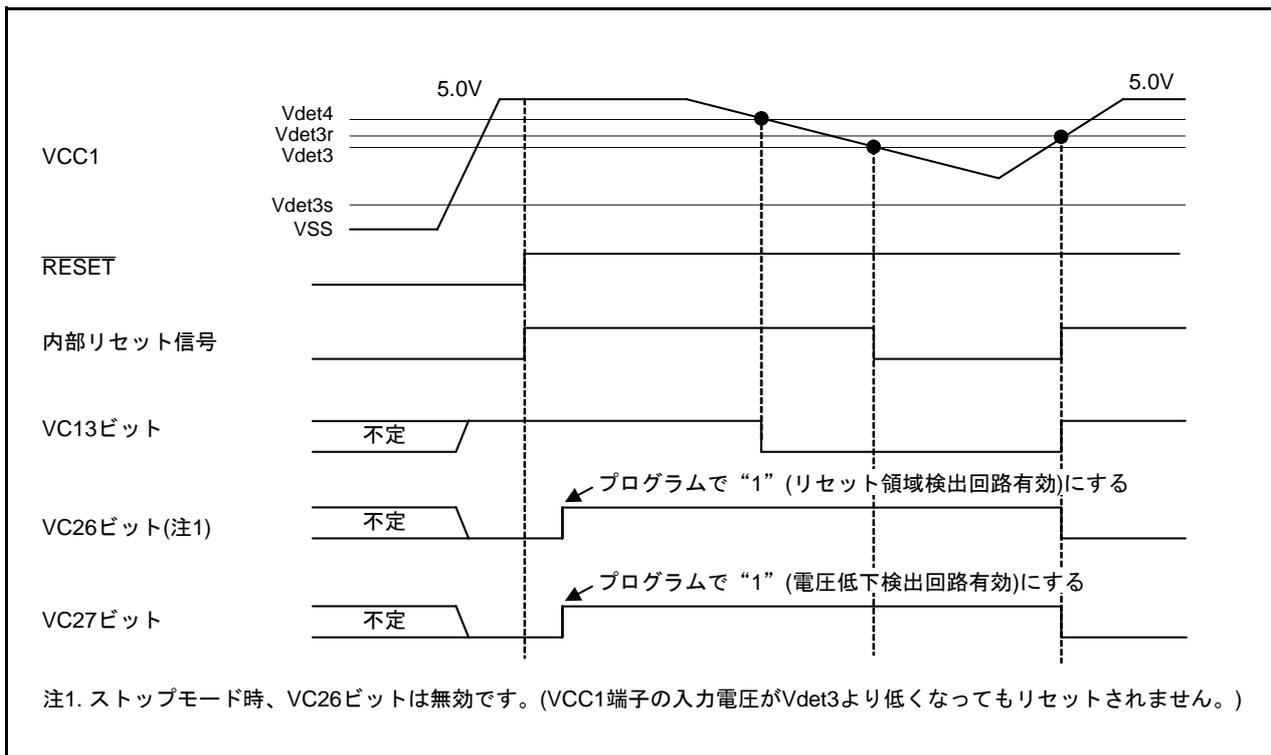


図6.4 電圧低下検出リセット(ハードウェアリセット2)動作例

6.1 電圧低下検出割り込み

D4INTレジスタのD40ビットが“1”(電圧低下検出割り込み許可)の場合、VCC1端子に入力する電圧が上昇してVdet4以上になったとき、または降下してVdet4以下になったとき、電圧低下検出割り込み要求が発生します。電圧低下検出割り込みは、ウォッチドッグタイマ割り込み、発振停止、再発振検出割り込みと割り込みベクタを共用しています。

電圧低下検出割り込みをストップモードからの復帰に使用する場合、D4INTレジスタのD41ビットを“1”(有効)にしてください。

D4INTレジスタのD42ビットはVCC1端子に入力する電圧が上昇または降下してVdet4を通過したことを検出したとき“1”になります。D42ビットが“0”から“1”に変化すると、電圧低下検出割り込み要求が発生します。D42ビットはプログラムで“0”にしてください。ただし、D41ビットが“1”でかつストップモードの場合、VCC1端子に入力する電圧が上昇してVdet4を通過したことを検出すると、D42ビットの状態にかかわらず、電圧低下検出割り込み要求が発生し、ストップモードから復帰します。

表6.1に電圧低下検出割り込み要求発生条件を示します。

VCC1端子に入力する電圧がVdet4を通過したことを検出するサンプリングクロックをD4INTレジスタのDF1～DF0ビットで設定できます。表6.2にサンプリング時間を示します。

表6.1 電圧低下検出割り込み要求発生条件

動作モード	VC27ビット	D40ビット	D41ビット	D42ビット	CM02ビット	VC13ビット
通常動作モード (注1)	1	1	—	0→1	—	0→1 (注3)
						1→0 (注3)
—			0→1	0	0→1 (注3)	
			—	1	1→0 (注3)	
ストップモード (注2)			1	—	0	0→1
						0→1

—: “0” または “1”

注1. ウェイトモード、ストップモード以外の状態を通常動作モードとします(「10. クロック発生回路」参照)。

注2. 「6.2 ストップモードの制約」、「6.3 ウェイトモードの制約」参照。

注3. VC13ビットの値が変化してからサンプリング時間経過した後、割り込み要求が発生します。詳細は「図6.6 電圧低下検出割り込み発生回路の動作例」を参照してください。

表6.2 サンプリング時間

CPUクロック (D4INTクロック) (MHz)	サンプリングクロック(μs)			
	DF1～DF0=00 (CPUクロックの8分周)	DF1～DF0=01 (CPUクロックの16分周)	DF1～DF0=10 (CPUクロックの32分周)	DF1～DF0=11 (CPUクロックの64分周)
16	3.0	6.0	12.0	24.0

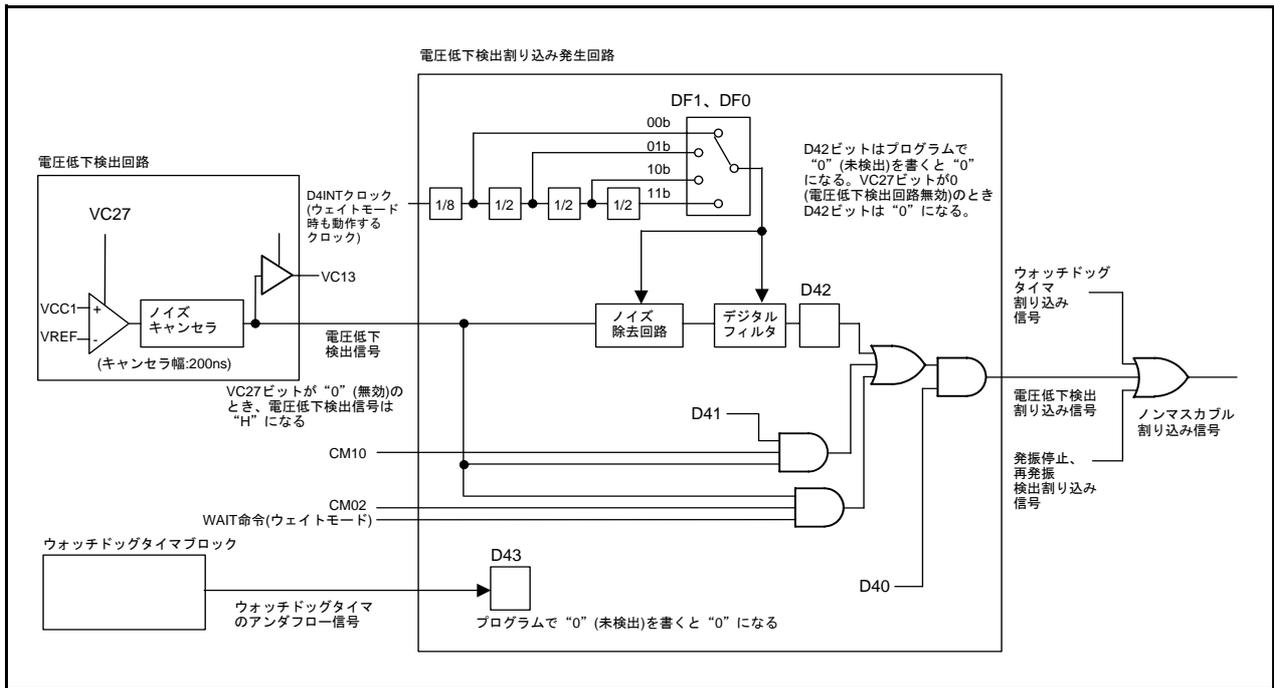


図6.5 電圧低下検出割り込み発生回路ブロック図

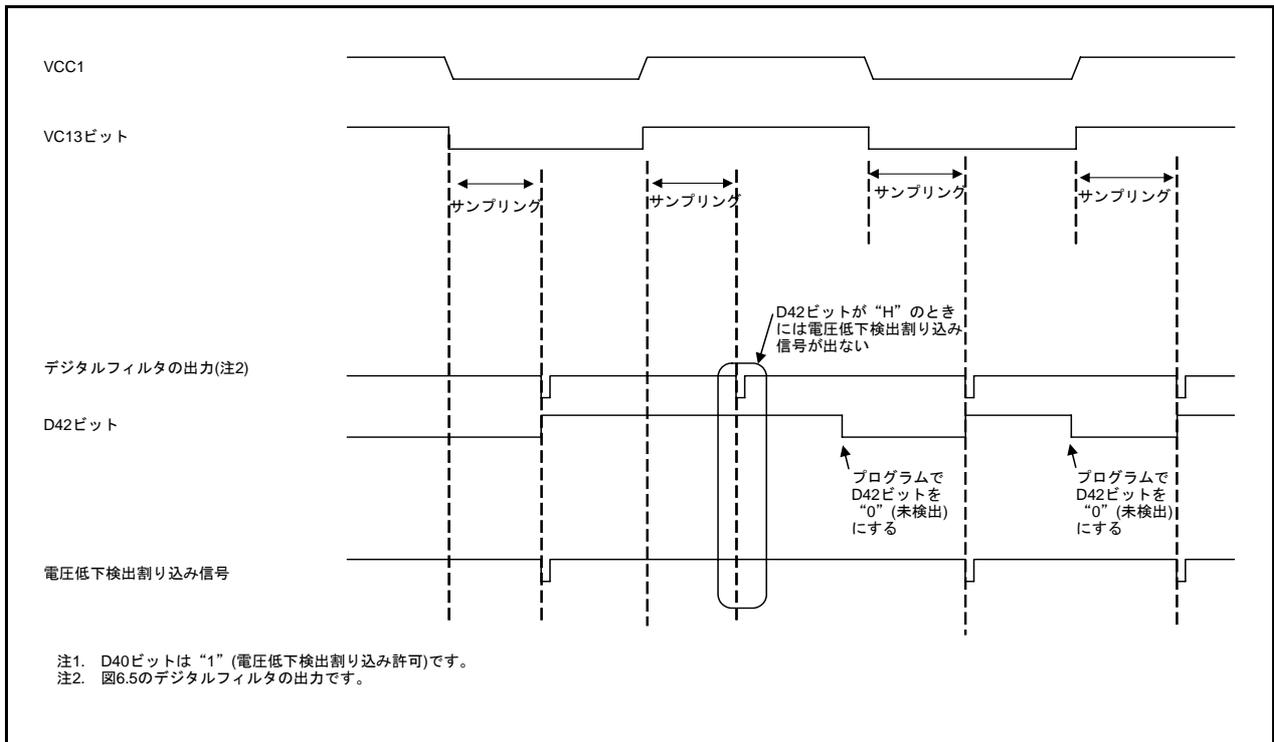


図6.6 電圧低下検出割り込み発生回路の動作例

6.2 ストップモードの制約

次の4つの条件をすべて満たしているとき、CM1レジスタのCM10ビットを“1”(ストップモード)にすると、すぐに電圧低下検出割り込みが発生し、ストップモードから復帰します。

- VCR2レジスタのVC27ビットが“1”(電圧低下検出回路有効)
- D4INTレジスタのD40ビットが“1”(電圧低下検出割り込み許可)
- D41ビットが“1”(ストップモードからの復帰に電圧低下検出割り込みを使用する)
- VCC1端子に入力する電圧がVdet4以上のとき(VCR1レジスタのVC13ビットが“1”)

VCC1端子に入力する電圧がVdet4以下になったときストップモードに移行し、Vdet4以上になったときストップモードから復帰するシステムでは、VC13ビットが“0”(VCC1 < Vdet4)のとき、CM10ビットを“1”にしてください。

6.3 ウェイトモードの制約

次の5つの条件をすべて満たしているとき、WAIT命令を実行すると、すぐに電圧低下検出割り込みが発生し、ウェイトモードから復帰します。

- CM0レジスタのCM02ビットが“1”(周辺機能クロックを停止する)
- VCR2レジスタのVC27ビットが“1”(電圧低下検出回路有効)
- D4INTレジスタのD40ビットが“1”(電圧低下検出割り込み許可)
- D41ビットが“1”(ウェイトモードからの復帰に電圧低下検出割り込みを使用する)
- VCC1端子に入力する電圧がVdet4以上のとき(VCR1レジスタのVC13ビットが“1”)

VCC1端子に入力する電圧がVdet4以下になったときウェイトモードに移行し、Vdet4以上になったときウェイトモードから復帰するシステムでは、VC13ビットが“0”(VCC1 < Vdet4)のとき、WAIT命令を実行してください。

6.4 コールドスタート/ウォームスタート判定機能

コールドスタート/ウォームスタート判定機能は、WDCレジスタのWDC5フラグによって、電源が投入されたときのコールドスタート(リセット処理)と、動作中にリセット信号が入力されたときのウォームスタート(リセット処理)を判定することができます。

WDC5フラグは、電源投入時“0”で、WDCレジスタに書き込み動作(レジスタへの書き込む値は任意)を行うと“1”になり、ソフトウェアリセットやリセット信号の入力に対しても“0”になりません。図6.7にコールドスタート/ウォームスタート判定機能のブロック図を、図6.8にコールドスタート/ウォームスタート判定機能の動作例を示します。図6.9にWDCレジスタを示します。

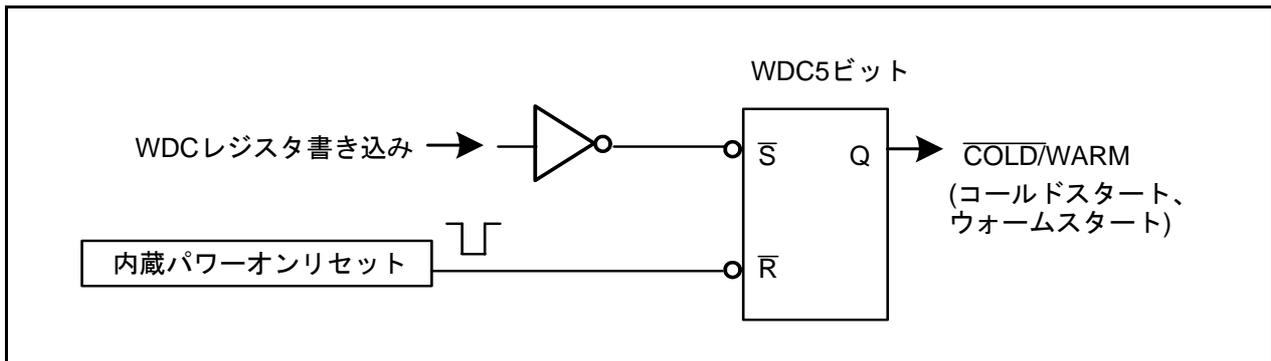


図6.7 コールドスタート/ウォームスタート判定機能のブロック図

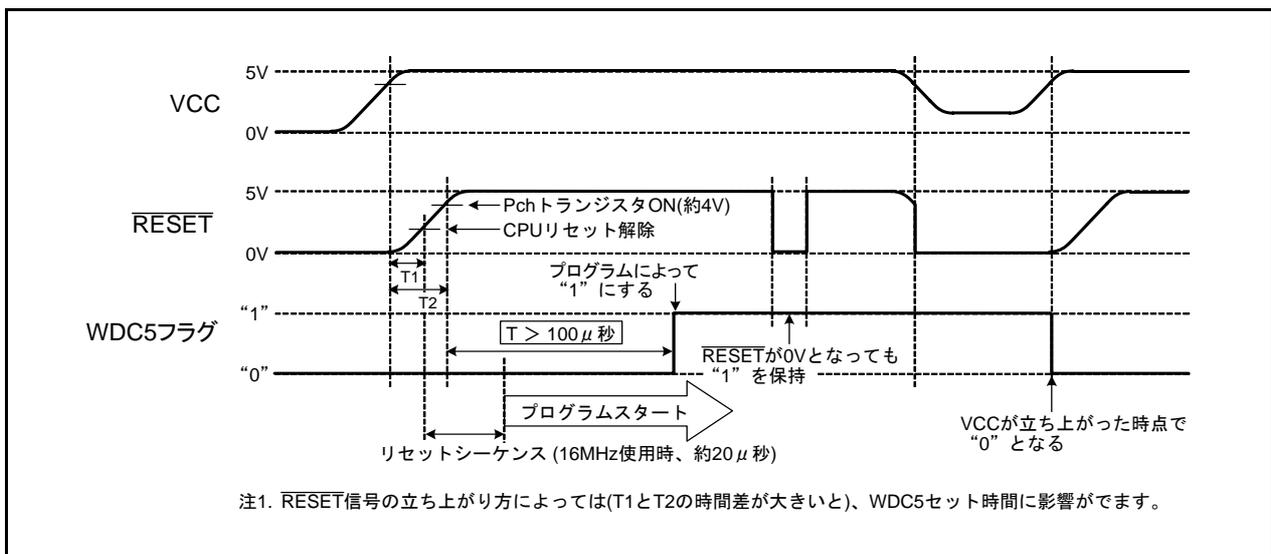


図6.8 コールドスタート/ウォームスタート判定機能の動作例

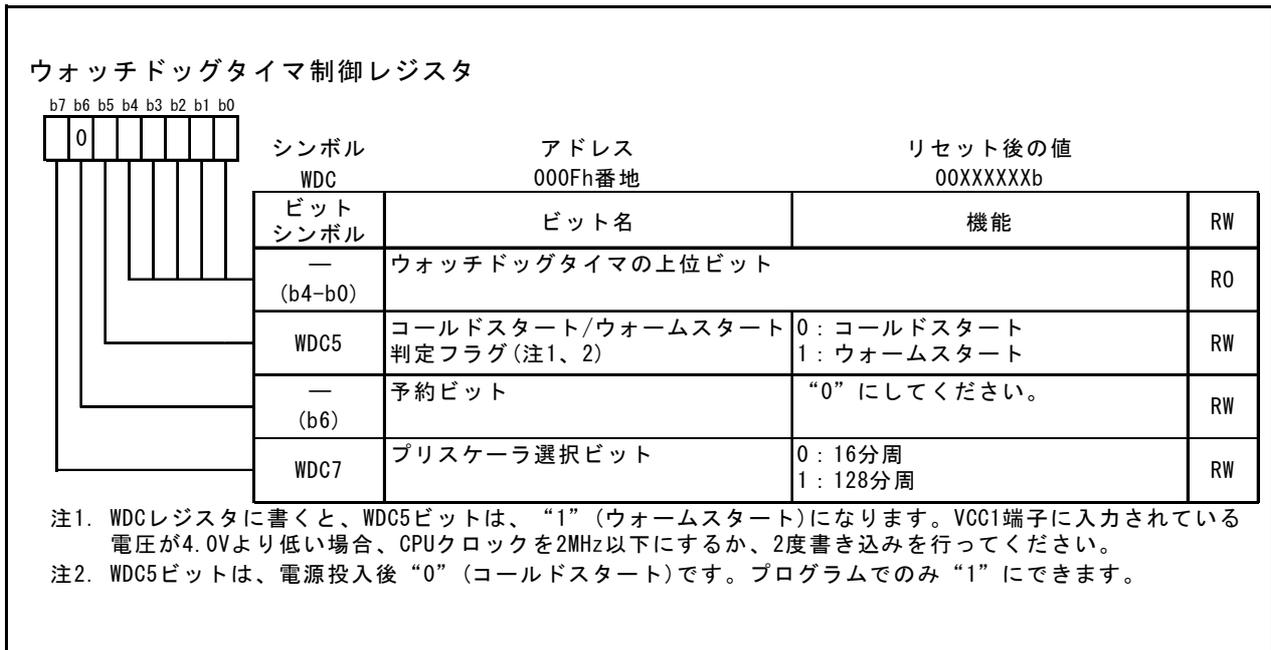


図6.9 WDCレジスタ

7. プロセッサモード

注意

M16C/62P(80ピン版)、M16C/62PTは、メモリ拡張モード、マイクロプロセッサモードを使用しないでください。

7.1 プロセッサモードの種類

プロセッサモードは、シングルチップモード、メモリ拡張モード、マイクロプロセッサモードを選択できます。表7.1にプロセッサモードの特長を示します。

表7.1 プロセッサモードの特長

プロセッサモード	アクセス空間	入出力ポートが割り当てられている端子
シングルチップモード	SFR、内部RAM、内部ROM	全端子が入出力ポートまたは周辺機能入出力端子
メモリ拡張モード	SFR、内部RAM、内部ROM、外部領域(注1)	一部の端子がバス制御端子(注1)
マイクロプロセッサモード	SFR、内部RAM、外部領域(注1)	一部の端子がバス制御端子(注1)

注1. 詳細は、「8. バス」を参照してください。

7.2 プロセッサモードの設定

プロセッサモードの設定は、CNVSS端子、PM0レジスタのPM01～PM00ビットで行います。表7.2にハードウェアリセット後のプロセッサモード、表7.3にPM01～PM00ビットの設定値に対するプロセッサモードを示します。

表7.2 ハードウェアリセット後のプロセッサモード

CNVSS端子の入カレベル	プロセッサモード
VSS	シングルチップモード
VCC1 (注1、2)	マイクロプロセッサモード

注1. CNVSS端子にVCC1を入力し、ハードウェアリセット(ハードウェアリセット1または電圧低下検出リセット(ハードウェアリセット2))した場合、PM01～PM00ビットにかかわらず、内部ROMはアクセスできません。

注2. マルチプレクスバスをCSの全空間に割り当てることはできません。

表7.3 PM01～PM00ビットの設定値に対するプロセッサモード

PM01～PM00ビット	プロセッサモード
00b	シングルチップモード
01b	メモリ拡張モード
10b	設定しないでください
11b	マイクロプロセッサモード

PM01～PM00ビットを書き換えると、CNVSS端子の入カレベルにかかわらず、PM01～PM00ビットに対応するモードになります。PM01～PM00ビットを“01b”(メモリ拡張モード)または“11b”(マイクロプロセッサモード)に書き換える場合、PM07～PM02ビットと同時に書き換えしないでください。また、内部ROMでのマイクロプロセッサモードへの移行、内部ROMと重なる領域でのマイクロプロセッサモードからの移行は行わないでください。

CNVSS端子にVCC1を入力し、ハードウェアリセット(ハードウェアリセット1または電圧低下検出リセット(ハードウェアリセット2))した場合、PM01～PM00ビットにかかわらず、内部ROMはアクセスできません。

図7.1～7.2にプロセッサモード関連レジスタ、図7.3にシングルチップモード時のメモリ配置を示します。

プロセッサモードレジスタ0(注1)

シンボル PM0	アドレス 0004h番地	リセット後の値(注4) 00000000b(CNVSS端子が“L”) 00000011b(CNVSS端子が“H”)	
ビット シンボル	ビット名	機能	RW
PM00	プロセッサモードビット (注4)	b1 b0 0 0 : シングルチップモード 0 1 : メモリ拡張モード 1 0 : 設定しないでください 1 1 : マイクロプロセッサモード	RW
PM01			RW
PM02	R/Wモード選択ビット(注2)	0 : \overline{RD} 、 \overline{BHE} 、 \overline{WR} 1 : \overline{RD} 、 \overline{WRH} 、 \overline{WRL}	RW
PM03	ソフトウェアリセット ビット	このビットを“1”にするとマイクロコン ピュータはリセットされる。 読んだ場合、その値は“0”。	RW
PM04	マルチプレクスバス空間 選択ビット(注2)	b5 b4 0 0 : マルチプレクスバスを使用しない (\overline{CS} の全空間はセパレートバス) 0 1 : $\overline{CS2}$ の空間に割り当てる 1 0 : $\overline{CS1}$ の空間に割り当てる 1 1 : \overline{CS} の全空間に割り当てる(注3)	RW
PM05			RW
PM06	ポートP4_0~P4_3機能 選択ビット(注2)	0 : アドレス出力 1 : ポート機能 (アドレスは出力されません)	RW
PM07	BCLK出力禁止ビット(注2)	0 : 出力する 1 : 出力しない (端子はハイインピーダンスになります)	RW

注1. このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. PM01~PM00ビットが“01b”(メモリ拡張モード)または“11b”(マイクロプロセッサモード)の場合に有効。

注3. PM01~PM00ビットが“01b”で、PM05~PM04ビットを“11b”(マルチプレクスバスを \overline{CS} の全空間に割り当てる)にする場合、BYTE端子に“H”を入力(外部データバスは8ビット)にしてください。CNVSS端子にVCC1を入力している場合、リセット後、PM05~PM04ビットを“11b”にしないでください。メモリ拡張モードで、PM05~PM04ビットを“11b”にした場合、P3_1~P3_7、P4_0~P4_3は入出力ポートとなりますので、アクセスできる領域は \overline{CS} ごとに256バイトです。

注4. PM00、PM01ビットはソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット時は変化しません。

図7.1 PM0レジスタ

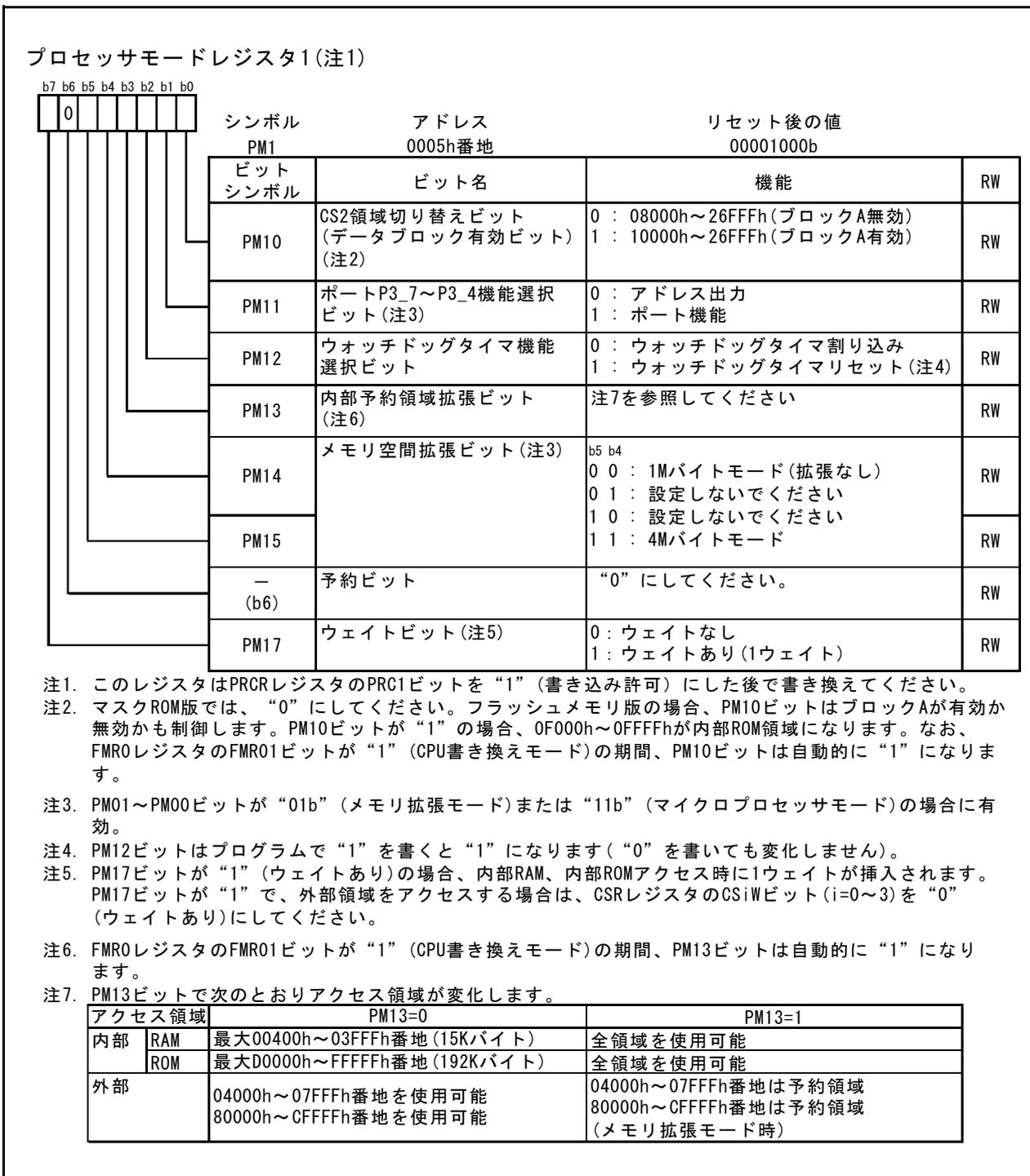


図7.2 PM1レジスタ

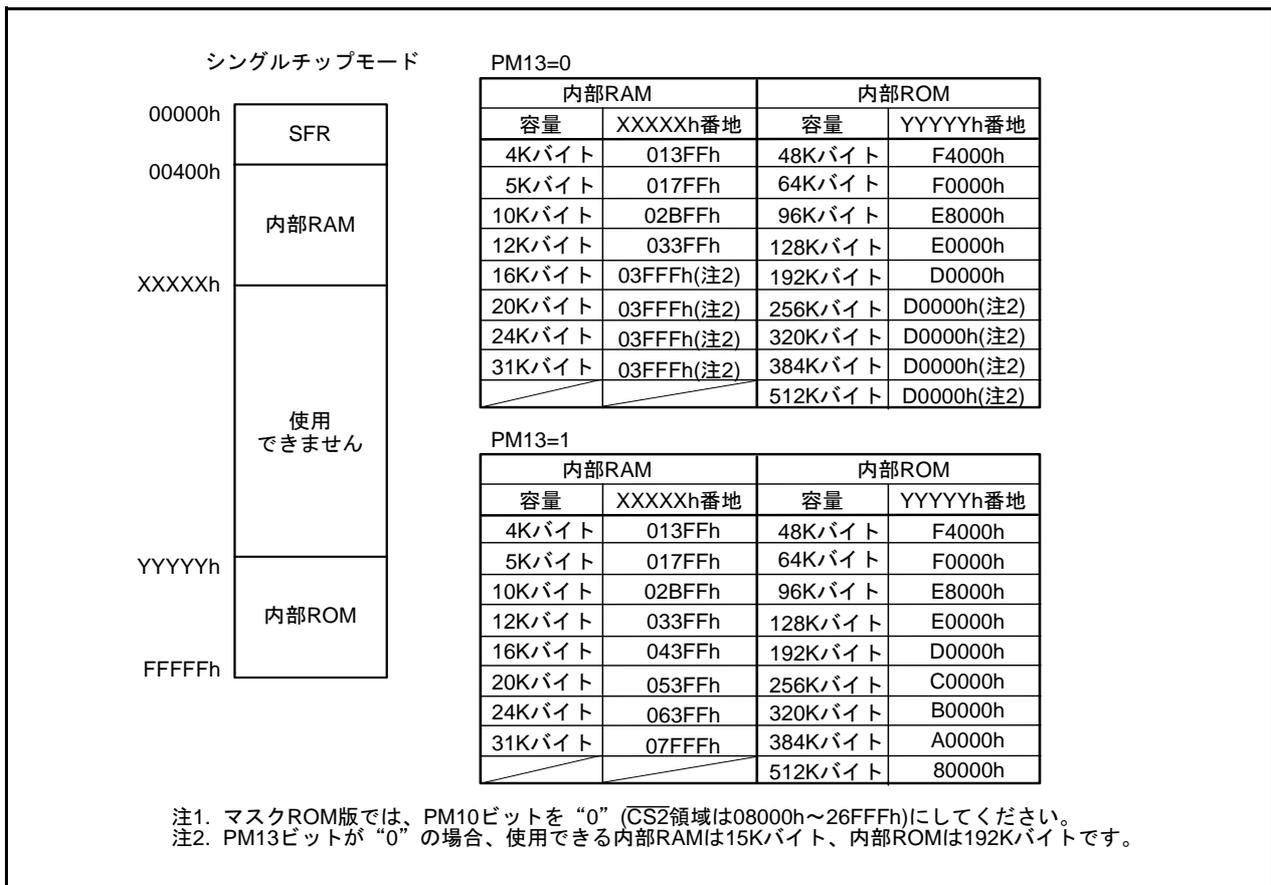


図7.3 シングルチップモード時のメモリ配置

8. バス

注意

M16C/62P(80ピン版)、M16C/62PTは、バス制御端子を使用しないでください。

メモリ拡張モード、またはマイクロプロセッサモードでは、一部の端子が外部デバイスとのデータ入出力を行うバス制御端子となります。バス制御端子にはA0～A19、D0～D15、CS0～CS3、RD、WRL/WR、WRH/BHE、ALE、RDY、HOLD、HLDA、BCLKがあります。

8.1 バス形式

バスの形式は、PM0レジスタのPM05～PM04ビットでマルチプレクスバスまたはセパレートバスを選択できます。表8.1にセパレートバスとマルチプレクスバスの相違を示します。

8.1.1 セパレートバス

データとアドレスを分離するバスの形式です。

8.1.2 マルチプレクスバス

データとアドレスをマルチプレクスするバスの形式です。

8.1.2.1 BYTE 端子に“H”を入力している(データバス幅8ビット)場合

D0～D7がA0～A7とマルチプレクスされます。

8.1.2.2 BYTE 端子に“L”を入力している(データバス幅16ビット)場合

D0～D7がA1～A8とマルチプレクスされます。D8～D15はマルチプレクスされません。D8～D15は使用しないでください。マルチプレクスバスに接続した外部デバイスは、マイクロコンピュータの偶数番地のみに配置されます。奇数番地にはアクセスできません。

表8.1 セパレートバスとマルチプレクスバスの相違

端子名(注1)	セパレートバス	マルチプレクスバス	
		BYTE = H	BYTE = L
P0_0～P0_7/D0～D7		(注2)	(注2)
P1_0～P1_7/D8～D15		入出力ポート P1_0～P1_7	(注2)
P2_0/A0 (/D0/-)			
P2_1～P2_7/A1～A7 (/D1～D7/D0～D6)			
P3_0/A8 (/D7)			

注1. 上記以外のバス制御信号は「表8.6 プロセッサモードと端子の機能表」を参照してください。

注2. PM05～PM04の設定、アクセスする領域によって違います。詳細は「表8.6 プロセッサモードと端子の機能表」を参照してください

8.2 バス制御

外部デバイスのアクセスに必要な信号とソフトウェアウェイトについて説明します。

8.2.1 アドレスバス

アドレスバスはA0～A19の20本あります。アドレスバス幅はPM0レジスタのPM06ビットとPM1レジスタのPM11ビットによって12ビット、16ビット、20ビットから選択できます。表8.2にPM06ビット、PM11ビットの設定値とアドレスバス幅を示します。

表8.2 PM06ビット、PM11ビットの設定値とアドレスバス幅

設定値(注1)	端子の機能	アドレスバス幅
PM11=1	P3_4～P3_7	12ビット
PM06=1	P4_0～P4_3	
PM11=0	A12～A15	16ビット
PM06=1	P4_0～P4_3	
PM11=0	A12～A15	20ビット
PM06=0	A16～A19	

注1. この表で示す値以外を設定しないでください。

なお、シングルチップモードからメモリ拡張モードに変更した場合、アドレスバスは外部領域をアクセスするまで不定です。

8.2.2 データバス

BYTE端子に“H”を入力している(データバス幅が8ビット)場合、D0～D7の8本がデータバスに、BYTE端子に“L”を入力している(データバス幅が16ビット)場合、D0～D15の16本がデータバスになります。

BYTE端子の入力レベルは変更しないでください。

8.2.3 チップセレクト信号

チップセレクト信号(以下、 \overline{CS} と称す)は $\overline{CS}_i(i=0\sim 3)$ 端子から出力されます。CSRレジスタの CS_i ビットによって、端子の機能を入出力ポートにするか \overline{CS} にするかを選択できます。図8.1にCSRレジスタを示します。

1Mバイトモードでは \overline{CS}_i 端子から出力される \overline{CS}_i 信号によって外部領域を最大4つに分割できます。4Mバイトモードでは \overline{CS}_i 端子から \overline{CS}_i 信号またはバンク番号が出力されます。詳細は「9. メモリ空間拡張機能」を参照してください。

図8.2に1Mバイトモードでのアドレスバスと \overline{CS}_i 信号の出力例(セパレートバス、ウェイトなし)を示します。

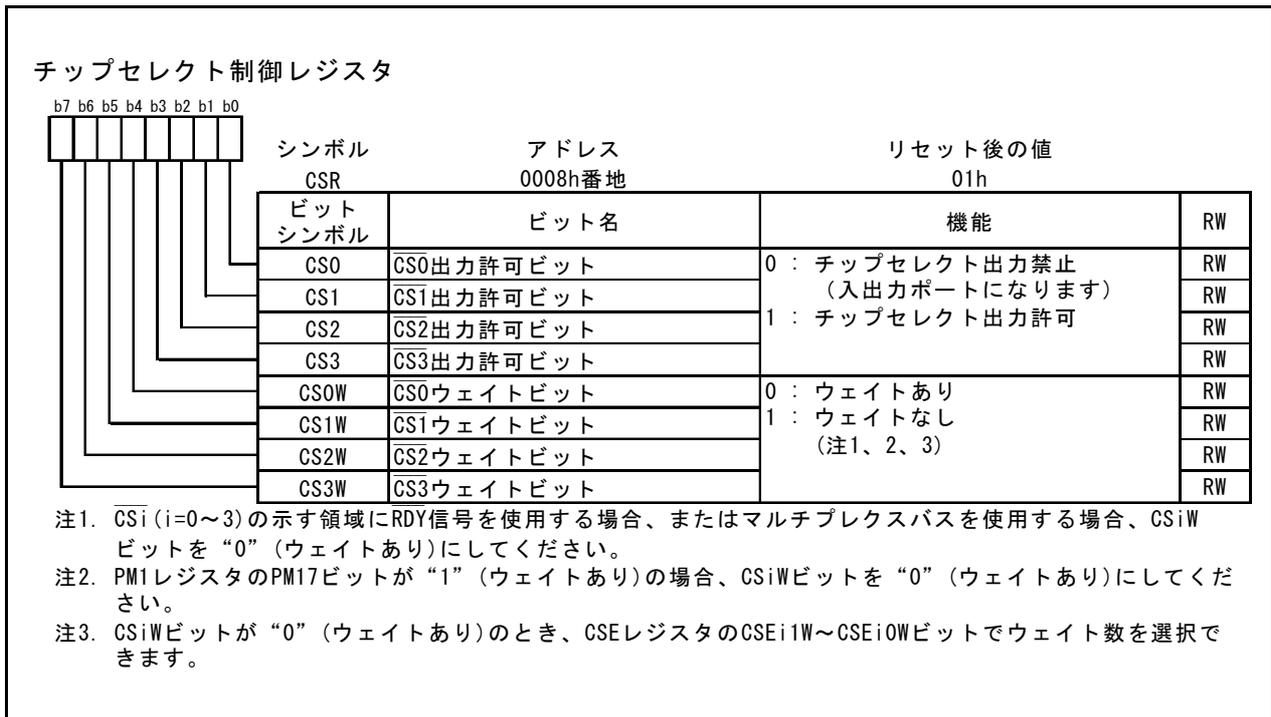
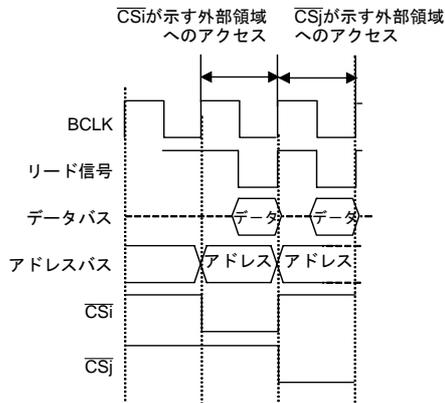


図8.1 CSRレジスタ

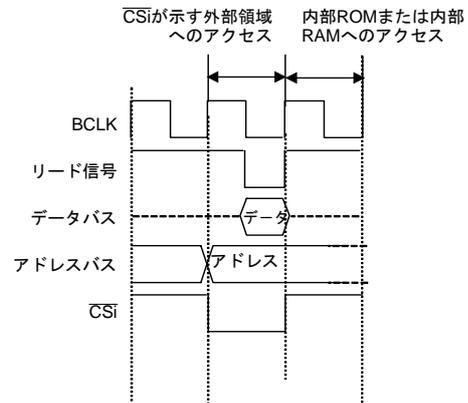
例1. \overline{CSi} が示す外部領域へアクセス後、次のサイクルで \overline{CSj} が示す外部領域へアクセスする場合

この2つのサイクル間でアドレスバス、チップセレクト信号が共に変化する。



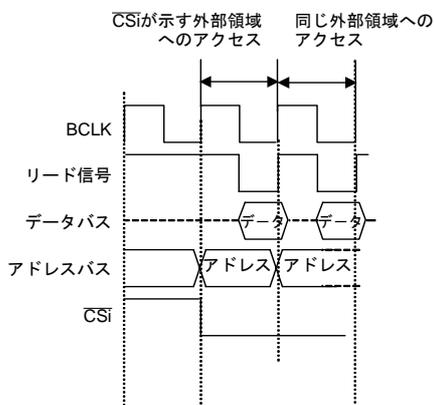
例2. \overline{CSi} が示す外部領域へアクセス後、次のサイクルで内部ROMまたは内部RAMへアクセスする場合

この2つのサイクル間でチップセレクト信号は変化するが、アドレスバスは変化する。



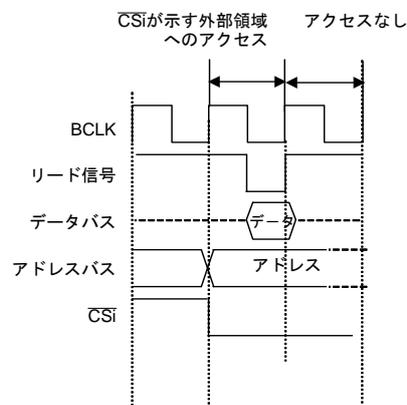
例3. \overline{CSi} が示す外部領域へアクセス後、次のサイクルで同じ \overline{CSi} が示す外部領域へアクセスする場合

この2つのサイクル間でアドレスバスは変化するが、チップセレクト信号は変化する。



例4. \overline{CSi} が示す外部領域へアクセス後、次のサイクルでいずれの領域にもアクセスしない(命令のプリフェッチも発生しない)場合

この2つのサイクル間でアドレスバス、チップセレクト信号は共に変化する。



注1. これらの例は、連続する2つのサイクルのアドレスバスとチップセレクト信号を示しています。これらの例の組み合わせにより、チップセレクトは2バスサイクル以上、伸びる場合があります。

上図は、セバレートバス、ウェイトなし、読み出しの場合です。i=0~3、j=0~3(ただし、iを除く)。

図8.2 1MバイトモードでのアドレスバスとCSi信号の出力例

8.2.4 リード信号、ライト信号

データバス幅が16ビットの場合、リード信号、ライト信号はPM0レジスタのPM02ビットによって、 \overline{RD} 、 \overline{BHE} 、 \overline{WR} の組み合わせ、または \overline{RD} 、 \overline{WRL} 、 \overline{WRH} の組み合わせを選択できます。データバス幅が8ビットの場合、 \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせにしてください。表8.3に \overline{RD} 、 \overline{WRL} 、 \overline{WRH} 信号の動作、表8.4に \overline{RD} 、 \overline{WR} 、 \overline{BHE} 信号の動作を示します。

表8.3 \overline{RD} 、 \overline{WRL} 、 \overline{WRH} 信号の動作

データバス	\overline{RD}	\overline{WRL}	\overline{WRH}	外部データバスの状態
16ビット (BYTE端子に “L”を入力)	L	H	H	データを読む
	H	L	H	偶数番地に1バイトデータを書く
	H	H	L	奇数番地に1バイトデータを書く
	H	L	L	偶数番地、奇数番地ともにデータを書く

表8.4 \overline{RD} 、 \overline{WR} 、 \overline{BHE} 信号の動作

データバス	\overline{RD}	\overline{WR}	\overline{BHE}	A0	外部データバスの状態
16ビット (BYTE端子に “L”を入力)	H	L	L	H	奇数番地に1バイトデータを書く
	L	H	L	H	奇数番地の1バイトデータを読む
	H	L	H	L	偶数番地に1バイトデータを書く
	L	H	H	L	偶数番地の1バイトデータを読む
	H	L	L	L	偶数番地、奇数番地ともにデータを書く
	L	H	L	L	偶数番地、奇数番地ともにデータを読む
8ビット (BYTE端子に “H”を入力)	H	L	-(注1)	HまたはL	1バイトのデータを書く
	L	H	-(注1)	HまたはL	1バイトのデータを読む

注1. 使用しないでください。

8.2.5 ALE信号

マルチプレクスバスの空間をアクセスするとき、アドレスをラッチするための信号です。ALE信号の立ち下がりでもアドレスをラッチしてください。

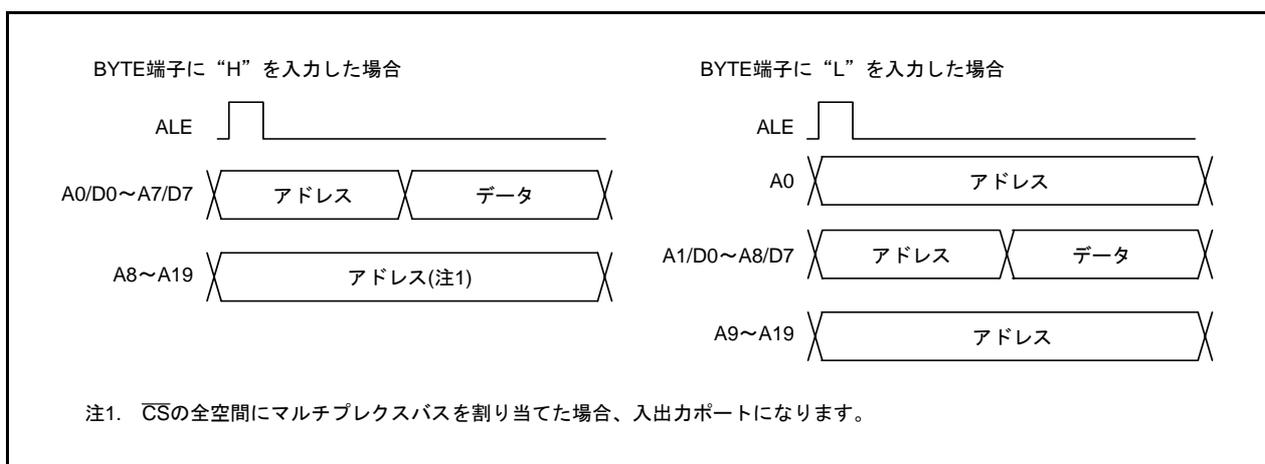


図8.3 ALE信号とアドレスバス、データバス

8.2.6 RDY信号

アクセス速度が遅い外部デバイスをアクセスするための信号です。バスサイクルの最後のBCLKの立ち下がり時にRDY端子へ“L”が入力されている場合、バスサイクルにウェイトが挿入されます。RDY信号によるウェイト中、次の信号はRDY信号を受け付けたときの状態を保持します。

A0～A19、D0～D15、 $\overline{\text{CS}}_0 \sim \overline{\text{CS}}_3$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ 、ALE、 $\overline{\text{HLDA}}$

その後、BCLKの立ち下がり時にRDY端子へ“H”が入力されていると、残りのバスサイクルを実行します。図8.4にRDY信号によってリードサイクルにウェイトが挿入された例を示します。

RDY信号を使用する場合、CSRレジスタの対応するビット(CS3W～CS0Wビット)を“0”(ウェイトあり)にしてください。RDY信号を使用しない場合、RDY端子をプルアップしてください。

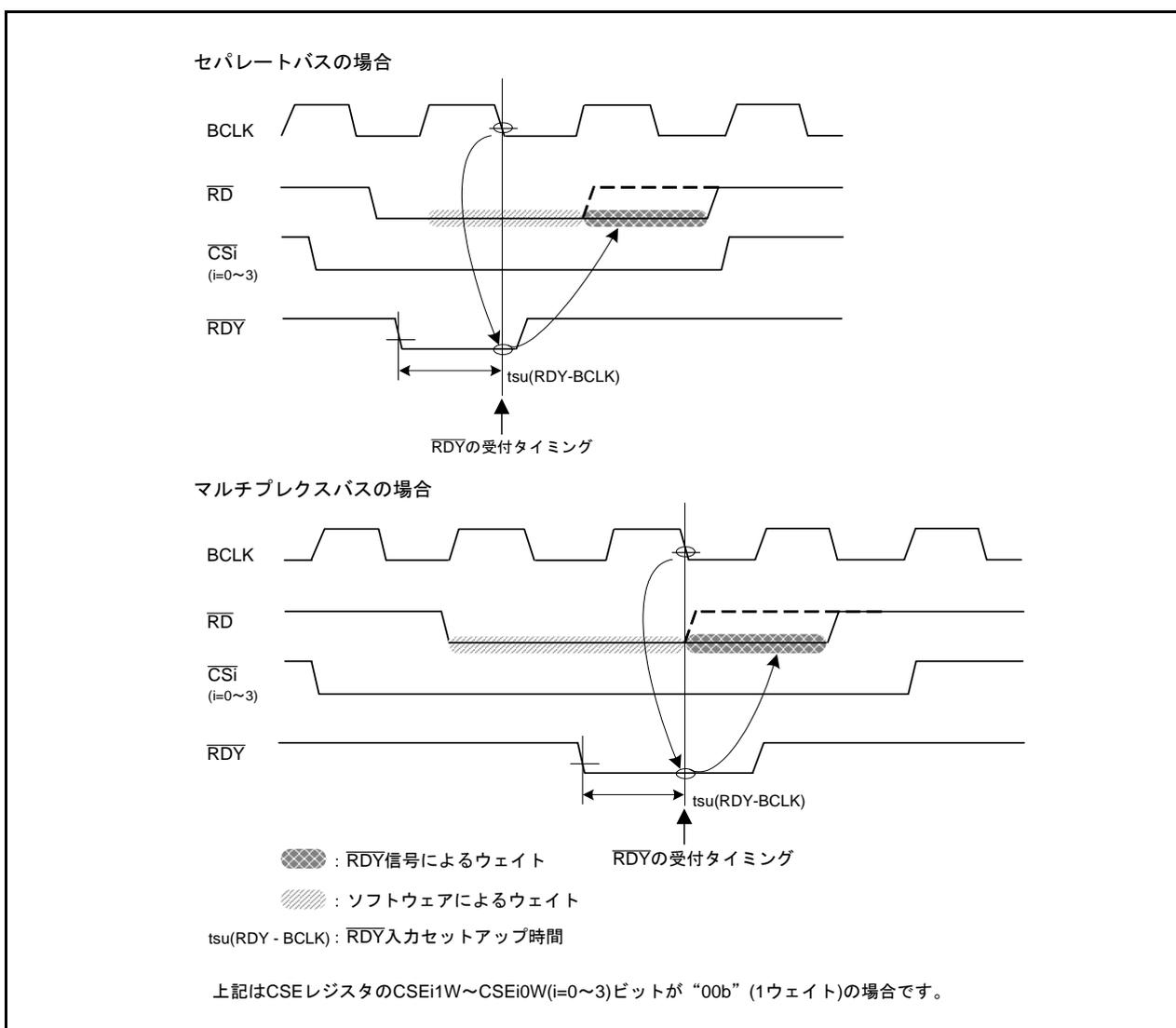


図8.4 RDY信号によってリードサイクルにウェイトが挿入された例

8.2.7 $\overline{\text{HOLD}}$ 信号

バスの使用権をCPUやDMAから外部回路へ移行するための信号です。 $\overline{\text{HOLD}}$ 端子に“L”を入力するとその時点のバスアクセスを終了した後、マイクロコンピュータはホールド状態になります。 $\overline{\text{HOLD}}$ 端子が“L”の期間、ホールド状態を保持し、 $\overline{\text{HLDA}}$ 端子からホールド状態の間、“L”を出力します。表8.5にホールド状態におけるマイクロコンピュータの状態を示します。

なお、バスの使用優先順位は高い方から順に、 $\overline{\text{HOLD}}$ 、DMAC、CPUとなります。ただし、CPUが奇数番地をワード単位でアクセスしている場合、2回に分けられたアクセスの間、DMAはバス使用権を得ることはできません。

$\overline{\text{HOLD}} > \text{DMAC} > \text{CPU}$

図8.5 バス使用優先順位

表8.5 ホールド状態におけるマイクロコンピュータの状態

項目		状態
BCLK		出力
$\overline{\text{A0}} \sim \overline{\text{A19}}$ 、 $\overline{\text{D0}} \sim \overline{\text{D15}}$ 、 $\overline{\text{CS0}} \sim \overline{\text{CS3}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$		ハイインピーダンス
入出力ポート	P0、P1、P3、P4(注2)	ハイインピーダンス
	P6～P14(注1)	$\overline{\text{HOLD}}$ 信号を受け付けたときの状態を保持
$\overline{\text{HLDA}}$		“L”を出力
内部周辺機能		動作(ただしウォッチドッグタイマは停止)(注3)
ALE		不定

注1. P11～P14は128ピン版にあります。

注2. 入出力ポートを選択した場合です。

注3. PM2レジスタのPM22ビットが“1”(ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)のとき、ウォッチドッグタイマは停止しません。

8.2.8 BCLK出力

PM0レジスタのPM07ビットを“0”(出力する)にすると、CPUクロックと同一周波数のクロックがBCLKとしてBCLK端子から出力されます。詳細は「10.2 CPUクロックと周辺機能クロック」を参照してください。

表 8.6 プロセッサモードと端子の機能表

プロセッサモード	メモリ拡張モードまたはマイクロプロセッサモード				メモリ拡張モード
PM05～PM04ビット	00b(セパレートバス)		01b(CS2領域はマルチプレクスバス それ以外はセパレートバス) 10b(CS1領域はマルチプレクスバス それ以外はセパレートバス)		11b(CSの全空間が マルチプレクス バス) (注1)
データバス幅 BYTE 端子	8ビット “H”	16ビット “L”	8ビット “H”	16ビット “L”	8ビット “H”
P0_0～P0_7	D0～D7	D0～D7	D0～D7(注4)	D0～D7(注4)	入出力ポート
P1_0～P1_7	入出力ポート	D8～D15	入出力ポート	D8～D15(注4)	入出力ポート
P2_0	A0	A0	A0/D0(注2)	A0	A0/D0
P2_1～P2_7	A1～A7	A1～A7	A1～A7/D1～D7 (注2)	A1～A7/D0～D6 (注2)	A1～A7/D1～D7
P3_0	A8	A8	A8	A8/D7(注2)	A8
P3_1～P3_3	A9～A11				入出力ポート
P3_4～P3_7	PM11=0	A12～A15			入出力ポート
	PM11=1	入出力ポート			
P4_0～P4_3	PM06=0	A16～A19			入出力ポート
	PM06=1	入出力ポート			
P4_4	CS0=0	入出力ポート			
	CS0=1	$\overline{\text{CS0}}$			
P4_5	CS1=0	入出力ポート			
	CS1=1	$\overline{\text{CS1}}$			
P4_6	CS2=0	入出力ポート			
	CS2=1	$\overline{\text{CS2}}$			
P4_7	CS3=0	入出力ポート			
	CS3=1	$\overline{\text{CS3}}$			
P5_0	PM02=0	$\overline{\text{WR}}$			
	PM02=1	-(注3)	$\overline{\text{WRL}}$	-(注3)	
P5_1	PM02=0	$\overline{\text{BHE}}$			
	PM02=1	-(注3)	$\overline{\text{WRH}}$	-(注3)	
P5_2	$\overline{\text{RD}}$				
P5_3	$\overline{\text{BCLK}}$				
P5_4	$\overline{\text{HLDA}}$				
P5_5	$\overline{\text{HOLD}}$				
P5_6	$\overline{\text{ALE}}$				
P5_7	$\overline{\text{RDY}}$				

入出力ポート：入出力ポートまたは周辺機能入出力端子として機能する

注1. PM01～PM00ビットが“01b”(メモリ拡張モード)で、PM05～PM04ビットを“11b”(マルチプレクスバスをCSの全空間に割り当てる)にする場合、BYTE端子に“H”を入力(外部データバスは8ビット)してください。

CNVSS端子にVCC1を入力している場合、リセット後、PM05～PM04ビットを“11b”にしないでください。

メモリ拡張モードで、PM05～PM04ビットを“11b”にした場合、P3_1～P3_7、P4_0～P4_3は入出力ポートとなりますので、アクセスできる領域はCSごとに256バイトです。

注2. セパレートバスではアドレスバスになります。

注3. データバス幅8ビットの場合、PM02ビットは“0”(RD、BHE、WR)にしてください。

注4. マルチプレクスバスを使用する領域をアクセスする場合、書き込み時は不定値を出力します。

8.2.9 内部領域をアクセスしたときの外部バスの状態

表8.7に内部領域をアクセスしたときの外部バスの状態を示します。

表8.7 内部領域をアクセスしたときの外部バスの状態

項目	SFRをアクセスしたときの状態	内部ROM、RAMをアクセスしたときの状態
A0～A19	アドレスを出力	直前にアクセスされた外部領域またはSFRのアドレスを保持
D0～D15	リード時	ハイインピーダンス
	ライト時	データを出力
$\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$	$\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ を出力	“H”を出力
$\overline{\text{BHE}}$	$\overline{\text{BHE}}$ を出力	直前にアクセスされた外部領域またはSFRの状態を保持
$\overline{\text{CS0}}$ ～ $\overline{\text{CS3}}$	“H”を出力	“H”を出力
ALE	“L”を出力	“L”を出力

8.2.10 ソフトウェアウェイト

PM1レジスタのPM17ビット、CSRレジスタのCS0W～CS3Wビット、CSEレジスタによって、ソフトウェアウェイトを挿入できます。SFR領域は、これらの制御ビットの影響を受けず、PM2レジスタのPM20ビットによってBCLKの2サイクル、またはBCLKの3サイクルでアクセスされます。詳細は「表8.8 ソフトウェアウェイト関連ビットとバスサイクル」を参照してください。

RDY信号を使用する場合、CS0W～CS3Wビットの該当するビットを“0”（ウェイトあり）にしてください。

図8.6にCSEレジスタ、表8.8にソフトウェアウェイト関連ビットとバスサイクルを示します。

チップセレクト拡張制御レジスタ

シンボル CSE	アドレス 001Bh番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
CSE00W	CS $\bar{0}$ ウェイト拡張ビット(注1)	b1 b0 0 0 : 1ウェイト 0 1 : 2ウェイト 1 0 : 3ウェイト 1 1 : 設定しないでください	RW
CSE01W			RW
CSE10W	CS $\bar{1}$ ウェイト拡張ビット(注1)	b3 b2 0 0 : 1ウェイト 0 1 : 2ウェイト 1 0 : 3ウェイト 1 1 : 設定しないでください	RW
CSE11W			RW
CSE20W	CS $\bar{2}$ ウェイト拡張ビット(注1)	b5 b4 0 0 : 1ウェイト 0 1 : 2ウェイト 1 0 : 3ウェイト 1 1 : 設定しないでください	RW
CSE21W			RW
CSE30W	CS $\bar{3}$ ウェイト拡張ビット(注1)	b7 b6 0 0 : 1ウェイト 0 1 : 2ウェイト 1 0 : 3ウェイト 1 1 : 設定しないでください	RW
CSE31W			RW

注1. CSRレジスタのCS \bar{i} Wビット(i=0~3)を“0”(ウェイトあり)にしてから、CSE \bar{i} 1W~CSE \bar{i} 0Wビットを書いてください。また、CS \bar{i} Wビットを“1”(ウェイトなし)にする場合は、CSE \bar{i} 1W~CSE \bar{i} 0Wビットを“00b”に戻してから行ってください。

図8.6 CSEレジスタ

表8.8 ソフトウェアウェイト関連ビットとバスサイクル

領域	バス形式	PM2レジスタ PM20ビット	PM1レジスタ PM17ビット (注5)	CSRレジスタ CS3Wビット(注1) CS2Wビット(注1) CS1Wビット(注1) CS0Wビット(注1)	CSEレジスタ CSE31W~CSE30Wビット CSE21W~CSE20Wビット CSE11W~CSE10Wビット CSE01W~CSE00Wビット	ソフトウェア ウェイト	バスサイクル
SFR	-	1	-	-	-	-	BCLKの2サイクル(注3)
	-	0	-	-	-	-	BCLKの3サイクル(注3)
内部 RAM、ROM	-	-	0	-	-	なし	BCLKの1サイクル(注4)
	-	-	1	-	-	1ウェイト	BCLKの2サイクル
外部領域	セパレート バス	-	0	1	00b	なし	BCLKの1サイクル (リード)
		-	-	0	00b	1ウェイト	BCLKの2サイクル (ライト)
		-	-	0	00b	1ウェイト	BCLKの2サイクル(注4)
		-	-	0	01b	2ウェイト	BCLKの3サイクル
		-	-	0	10b	3ウェイト	BCLKの4サイクル
	マルチ プレクス バス(注2)	-	-	0	00b	1ウェイト	BCLKの2サイクル
		-	-	0	00b	1ウェイト	BCLKの3サイクル
		-	-	0	01b	2ウェイト	BCLKの3サイクル
		-	-	0	10b	3ウェイト	BCLKの4サイクル
		-	1	0	00b	1ウェイト	BCLKの3サイクル

注1. RDY信号を使用する場合“0”(ウェイトあり)にしてください。

注2. マルチプレクスバスでアクセスする場合は、CS0W~CS3Wビットの該当するビットを“0”(ウェイトあり)にしてください。

注3. CPUクロックがPLLクロックの場合は、PM2レジスタのPM20ビットでウェイト数を変更できます。PLLクロックを16MHz以上にする場合は、PM20ビットを“0”(2ウェイト)にしてください。

注4. リセット後、PM17ビットは“0”(ウェイトなし)、CS0W~CS3Wビットはすべて“0”(ウェイトあり)、CSEレジスタは“00h”(CS0~CS3は1ウェイト)ですので、内部RAMと内部ROMはウェイトなし、外部領域はすべて1ウェイトになります。

注5. PM17ビットが“1”で外部領域をアクセスする場合は、CSRレジスタのCSIWビット(i=0~3)を“0”(ウェイトあり)にしてください。

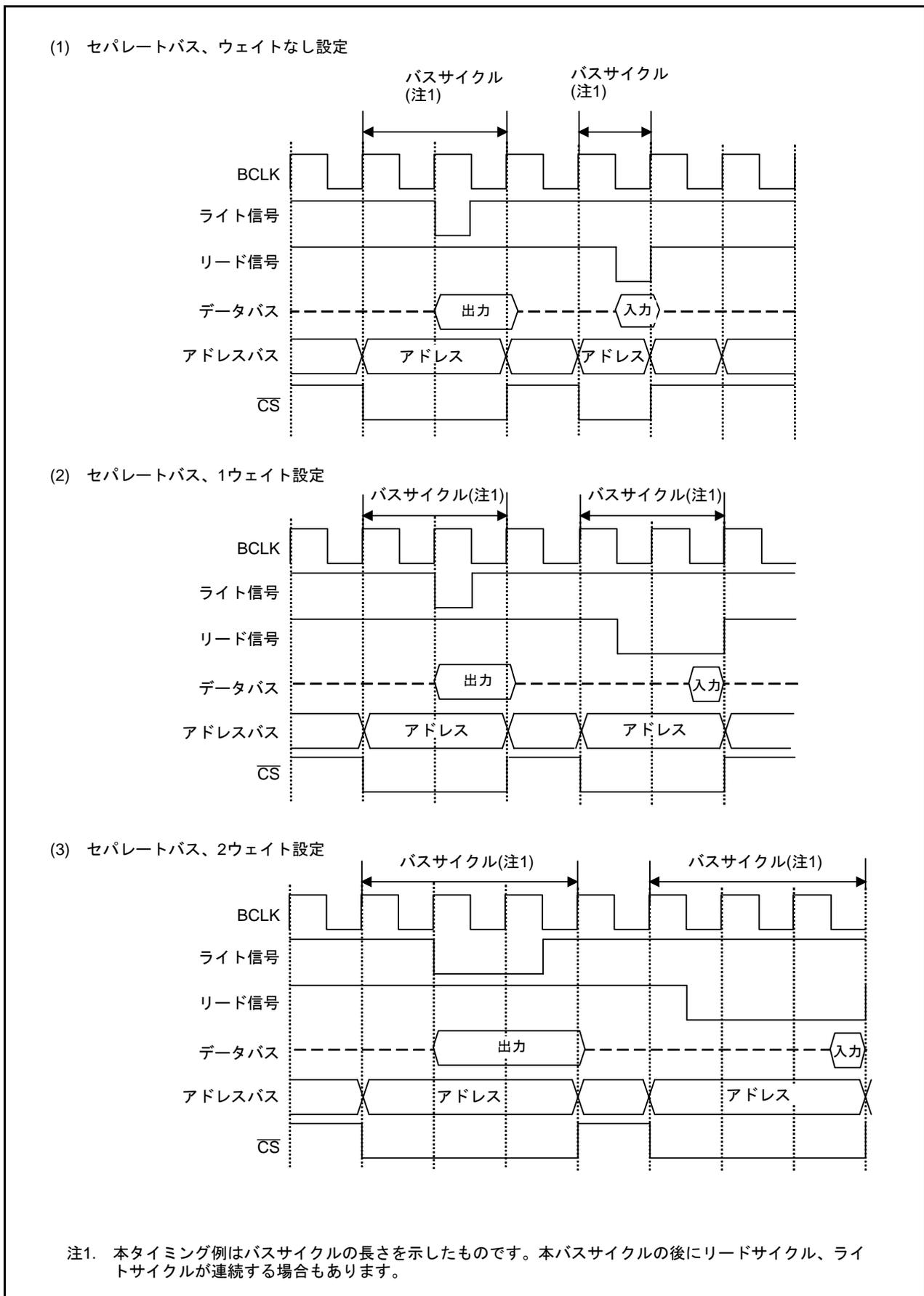


図8.7 ソフトウェアウェイトを使用した場合のバスタイミング例(1)

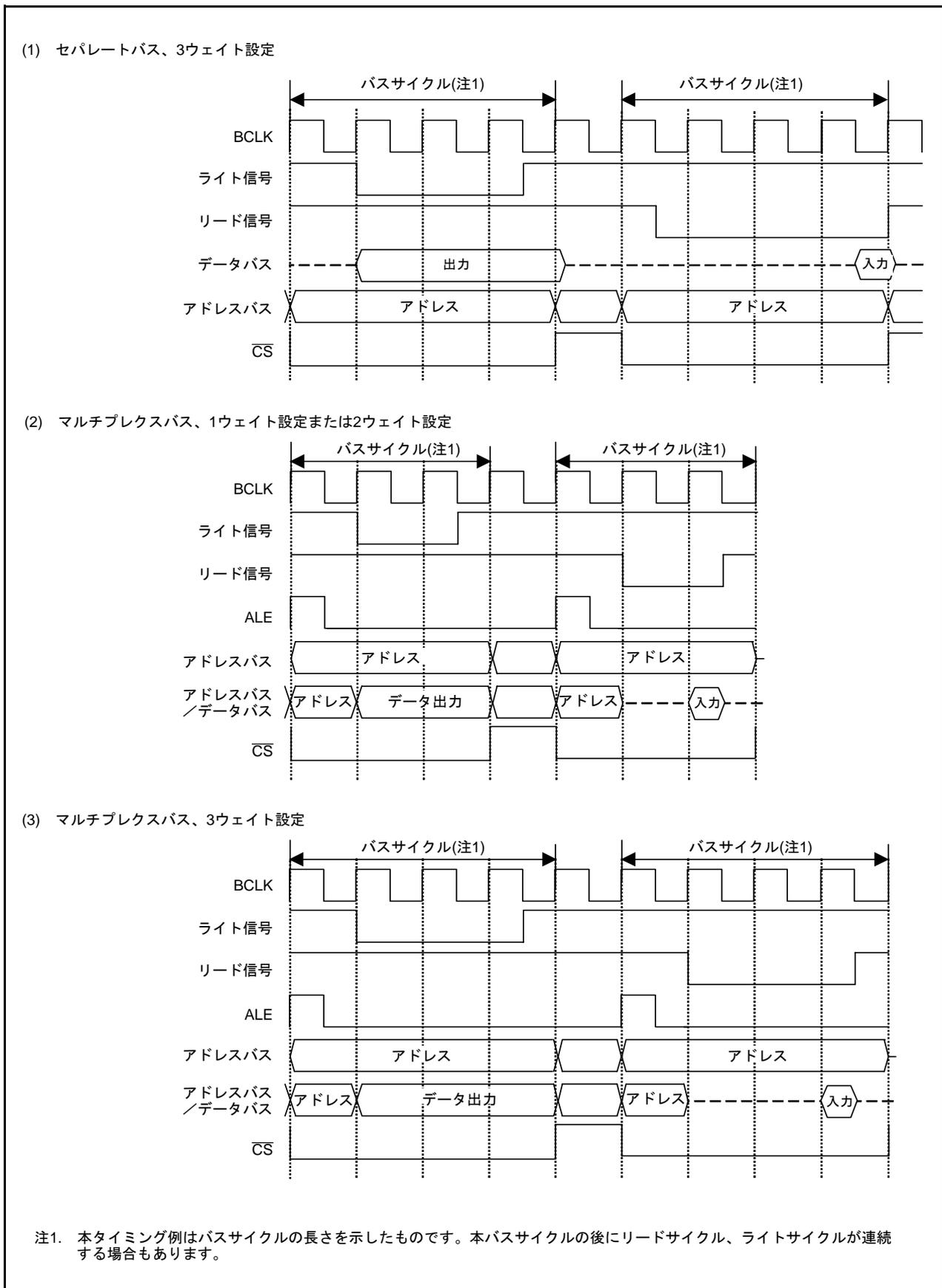


図8.8 ソフトウェアウェイトを使用した場合のバスタイミング例(2)

9. メモリ空間拡張機能

注意

M16C/62P(80ピン版)、M16C/62PTは、この機能を使用しないでください。

メモリ空間拡張機能について説明します。

メモリ拡張モードまたはマイクロプロセッサモードのときに、メモリ空間拡張機能によってアクセス空間を拡張できます。表9.1にメモリ空間拡張機能の設定方法、メモリ空間を示します。

表9.1 メモリ空間拡張機能の設定方法、メモリ空間

メモリ空間拡張機能	設定方法(PM15~PM14)	メモリ空間
1Mバイトモード	00b	1Mバイト(拡張なし)
4Mバイトモード	11b	4Mバイト

9.1 1Mバイトモード

メモリ空間が1Mバイトのモードです。1Mバイトモードでは、 $\overline{CSi}(i=0\sim 3)$ 信号によってアクセスできる外部領域(以下CSi領域と称す)を指定します。図9.2~図9.3に1Mモード時のメモリ配置、CS領域を示します。

9.2 4Mバイトモード

メモリ空間が4Mバイトのモードです。図9.1にDBRレジスタを示します。DBRレジスタのBSR2~BSR0ビットでデータをアクセスする場合のバンク番号を選択できます。OFSビットを“1”(オフセットあり)にすると、アクセスする番地に40000h番地分のオフセットを追加できます。

4Mバイトモードでは、アクセスする領域によって、 $\overline{CSi}(i=0\sim 3)$ 端子の機能が異なります。

9.2.1 04000h~3FFFFh番地、C0000h~FFFFFFh番地

- \overline{CSi} 端子から \overline{CSi} 信号を出力(1Mバイトモードと同じ動作。ただし、 $\overline{CS1}$ 領域は3FFFFh番地まで)

9.2.2 40000h~BFFFFh番地

- $\overline{CS0}$ 端子は“L”を出力
- $\overline{CS1}\sim\overline{CS3}$ 端子は、BSR2~BSR0ビットに設定した値(バンク番号)を出力

図9.4~図9.5に4Mモード時のメモリ配置、CS領域を示します。

なお、バンク0~6はデータ専用の領域です。プログラムはバンク7または \overline{CSi} 領域に配置してください。

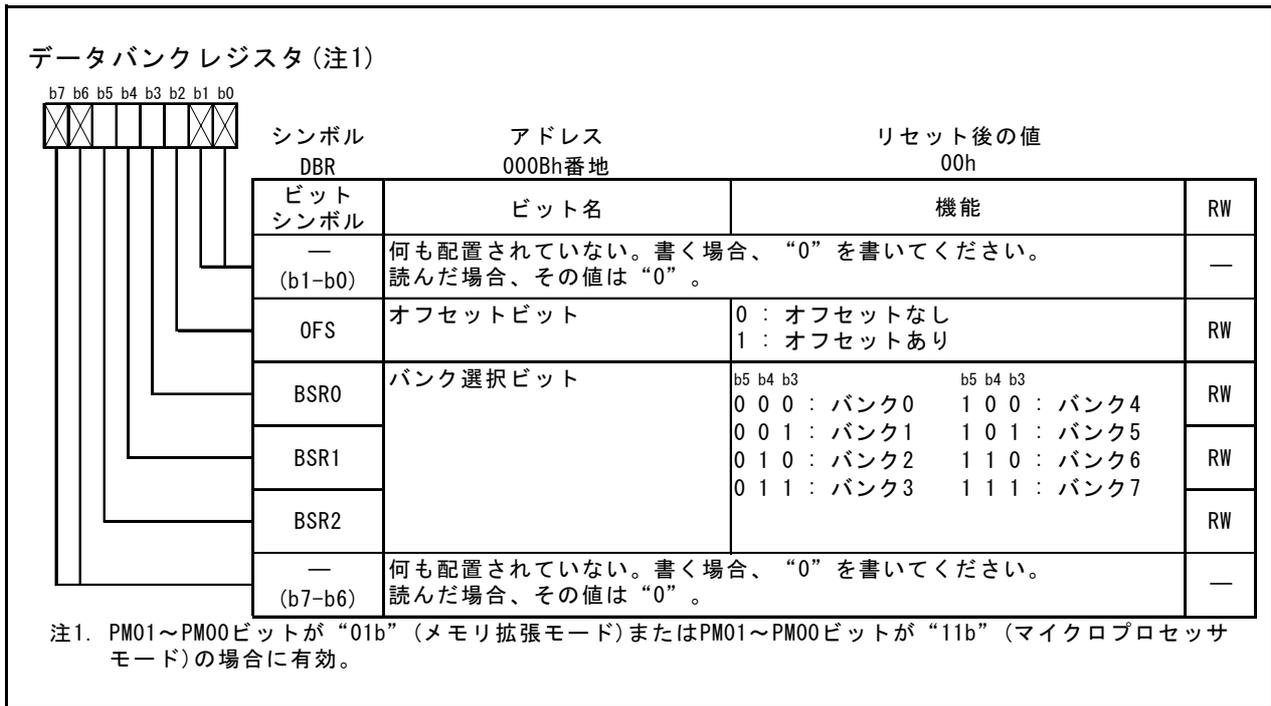


図9.1 DBRレジスタ

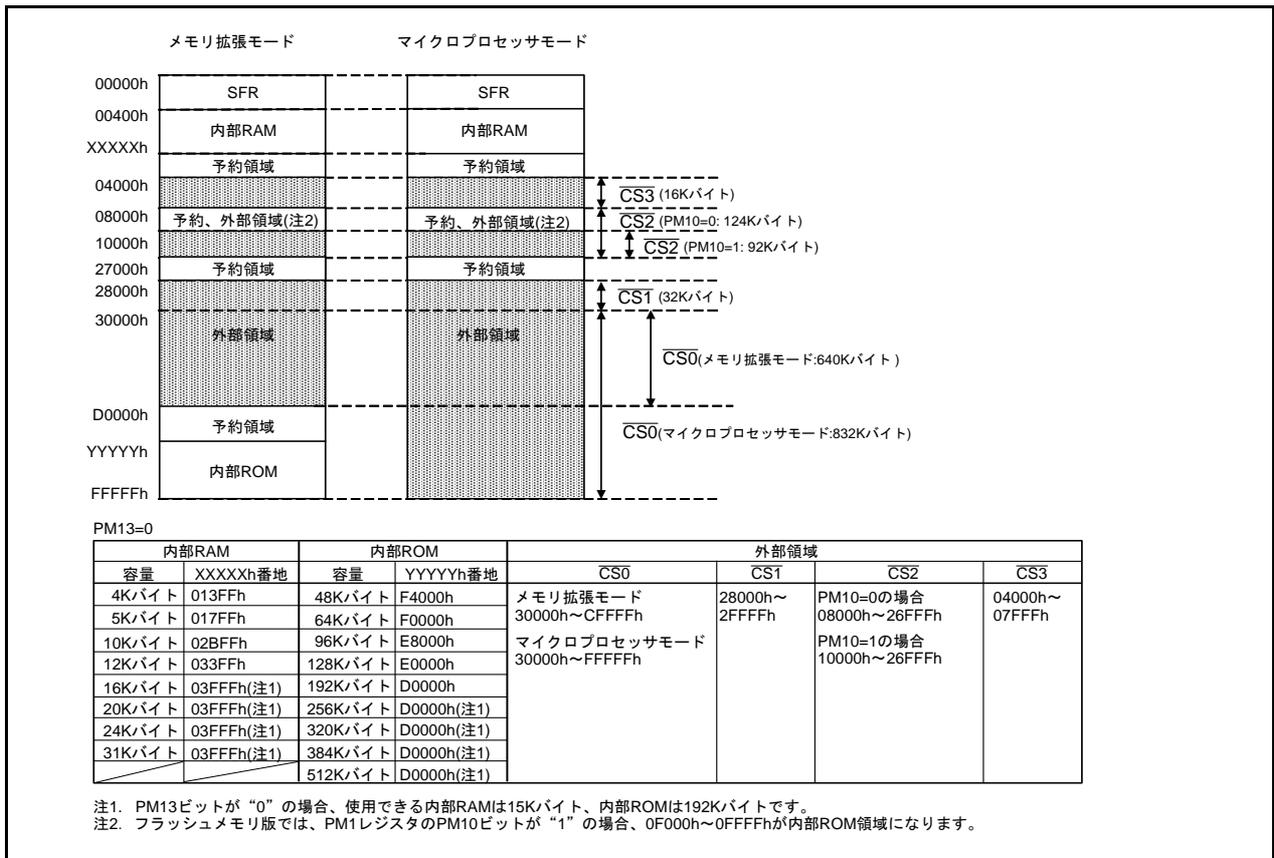


図9.2 1Mバイトモード時のメモリ配置、CS領域 (PM13=0)

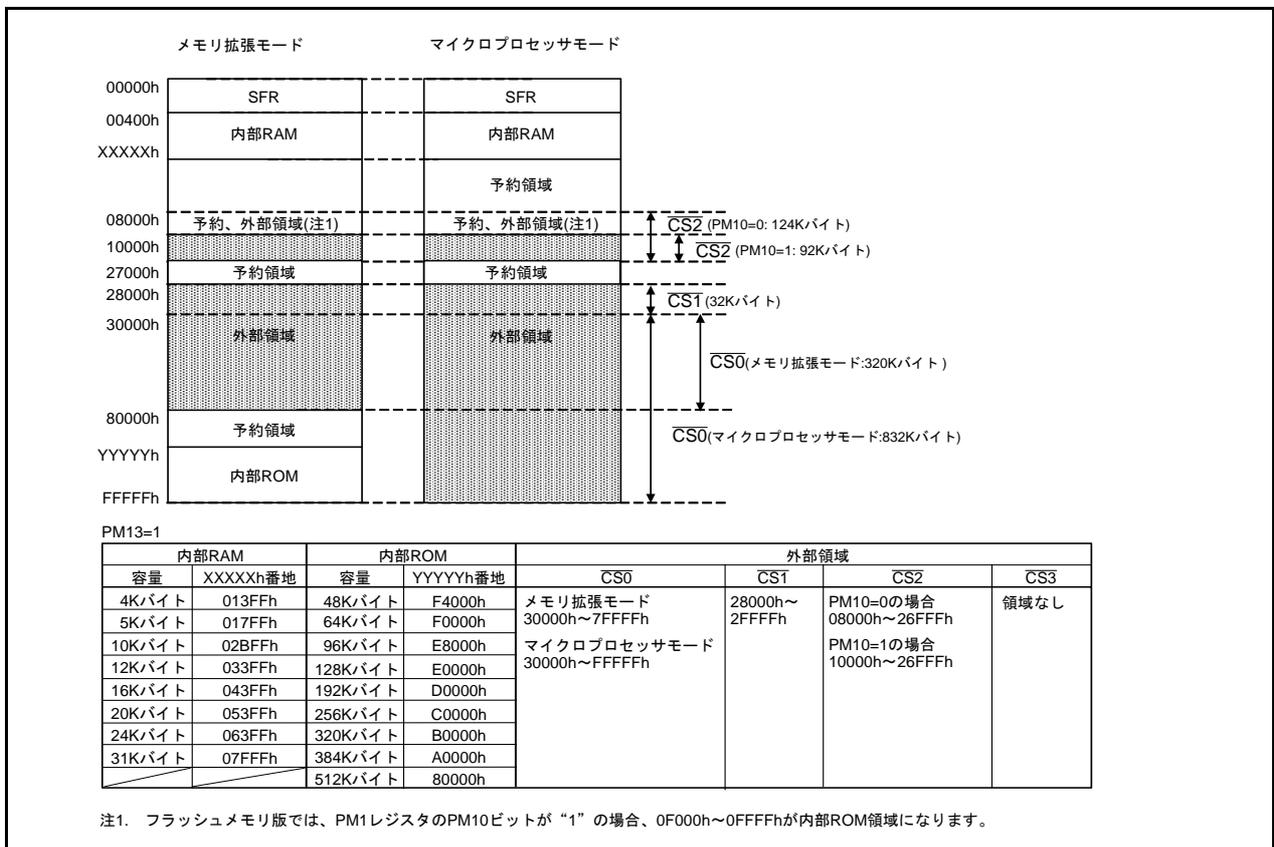


図9.3 1Mバイトモード時のメモリ配置、CS領域 (PM13=1)

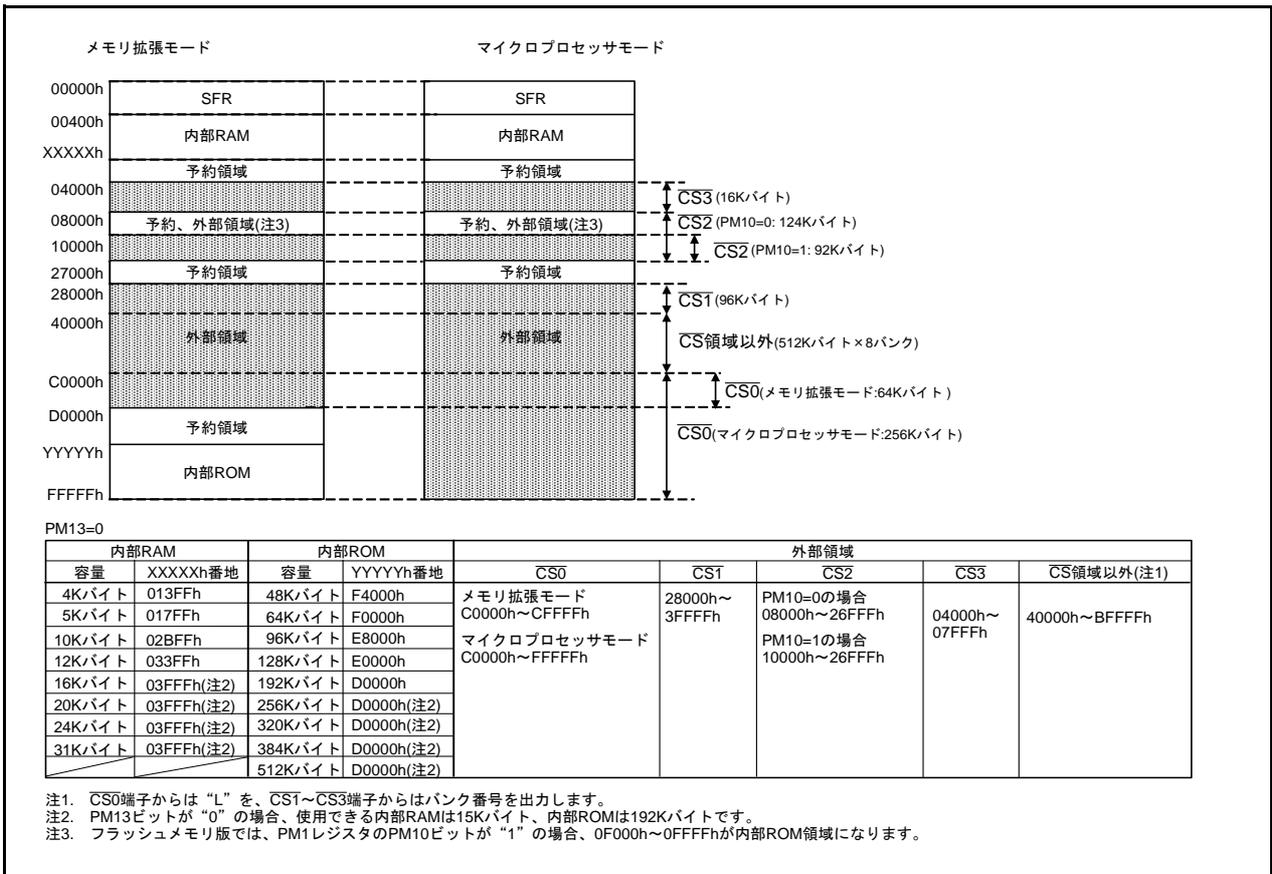


図9.4 4Mバイトモード時のメモリ配置、CS領域 (PM13=0)

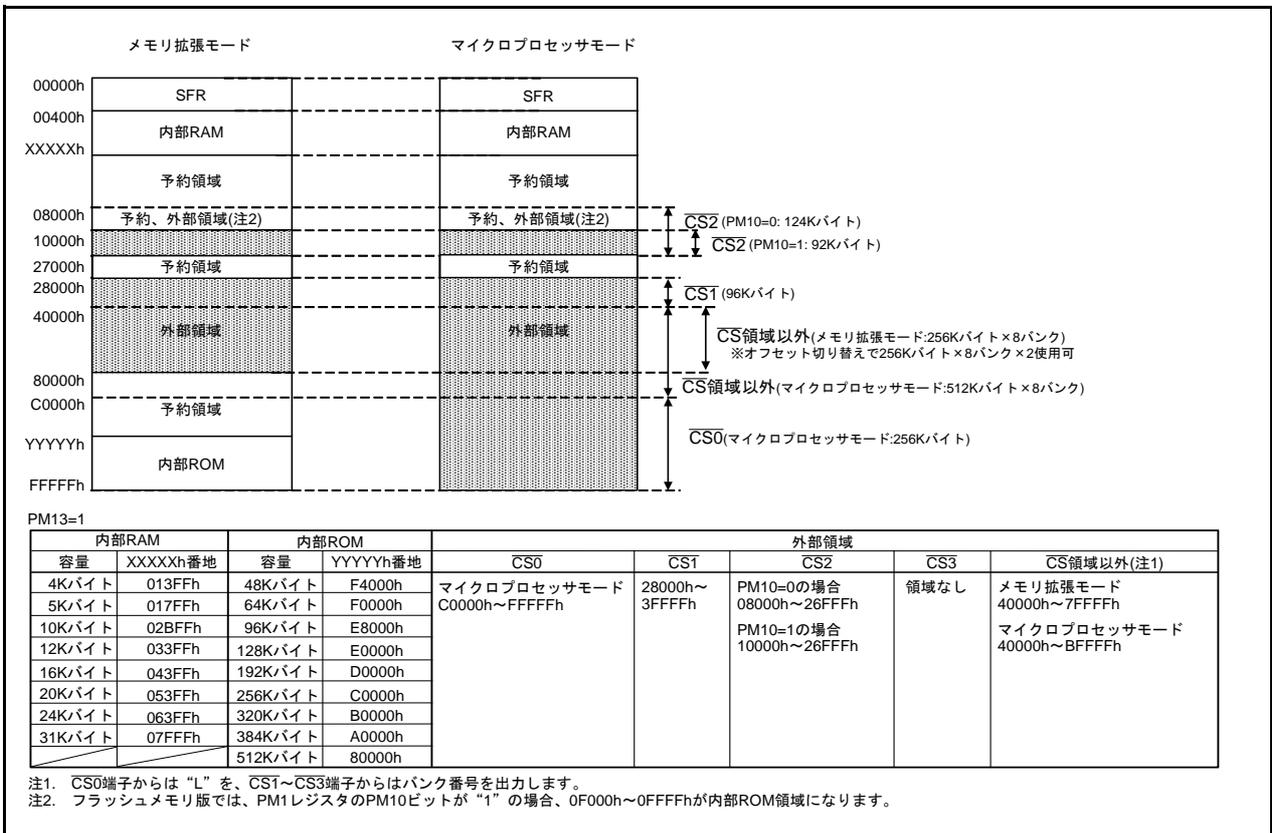


図9.5 4Mバイトモード時のメモリ配置、CS領域 (PM13=1)

図9.6に4Mバイトモード時の外部メモリ接続例を示します。この例では、4MバイトROMの \overline{CS} 端子をマイクロコンピュータの $\overline{CS0}$ 端子と接続します。4MバイトROMアドレス入力AD21端子、AD20端子、AD19端子はマイクロコンピュータの $\overline{CS3}$ 端子、 $\overline{CS2}$ 端子、 $\overline{CS1}$ 端子とそれぞれ接続します。アドレス入力AD18端子はマイクロコンピュータのA19端子と接続します。図9.7～図9.9に図9.6の接続例における4MバイトROMとマイクロコンピュータのアドレスの関係を示します。

マイクロプロセッサモード、またはPM1レジスタのPM13ビットが“0”でメモリ拡張モードの場合、512Kバイトごとにバンクがあります。DBRレジスタのOFSビットを“1”(オフセットあり)にすることで、40000h番地のオフセットが付きバンク境界部分のデータであっても、連続してアクセスできます。

PM13ビットが“1”でメモリ拡張モードの場合、512KバイトのバンクをOFSビットで切り替えることによって256Kバイトごとにアクセスできます。

SRAMは、チップセレクト信号S2が“H”で、 $\overline{S1}$ が“L”であることがアクセス条件ですので、S2には $\overline{CS0}$ を $\overline{S1}$ には $\overline{CS2}$ をそれぞれ接続できます。もし、両極性のチップセレクト信号入力端子($\overline{S1}$ 、S2)を持たない場合は、外部で $\overline{CS0}$ 、 $\overline{CS2}$ をデコードしてください。

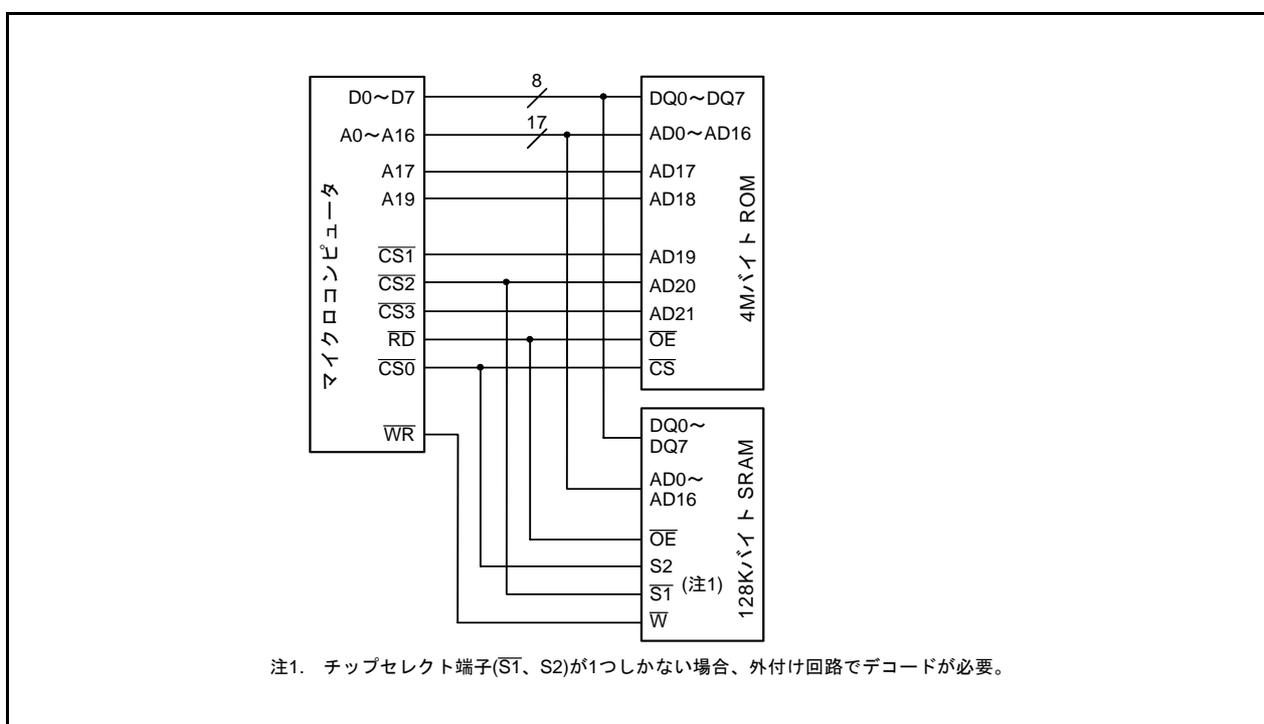


図9.6 4Mバイトモード時の外部メモリ接続例

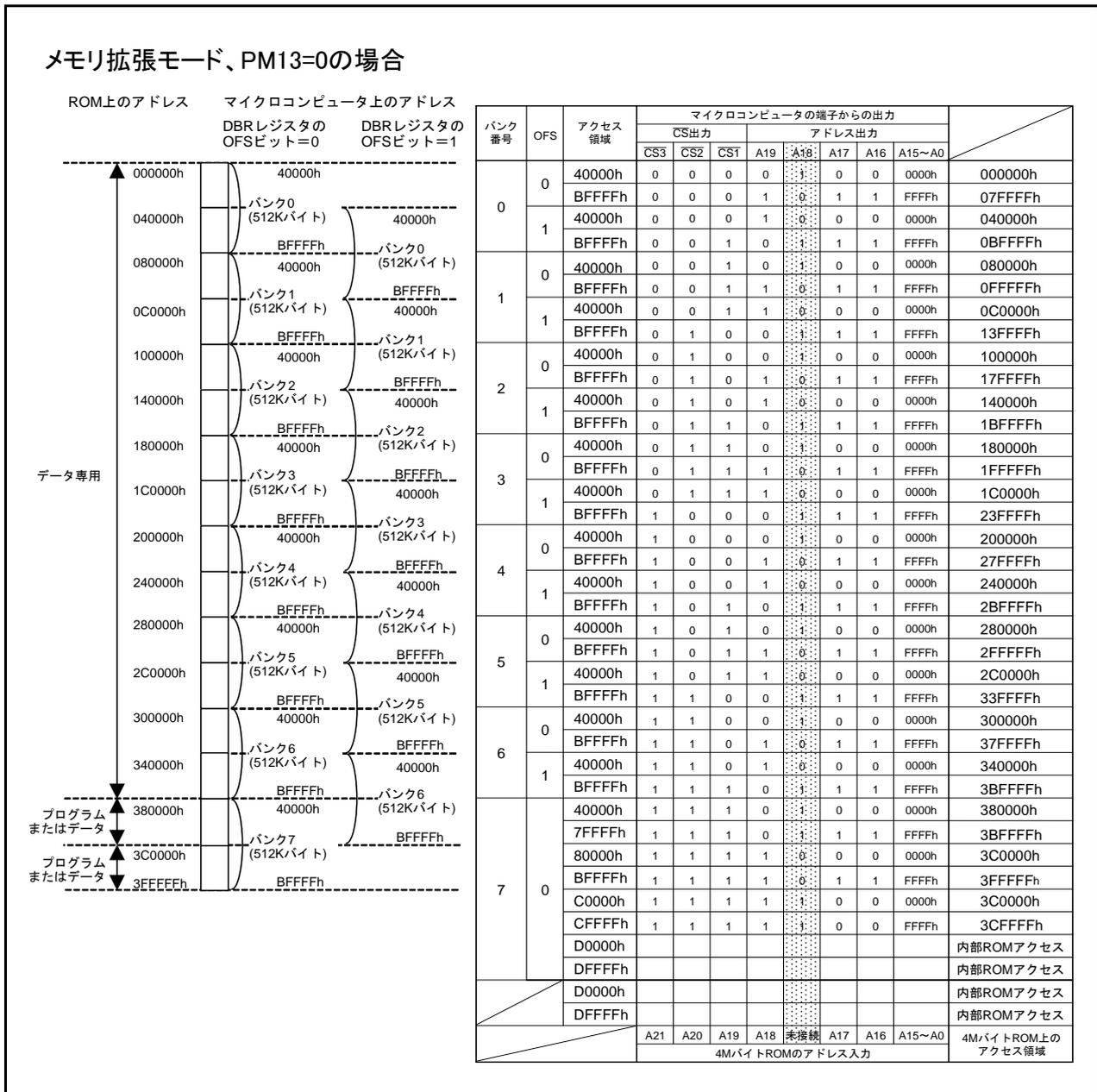


図9.7 4MバイトROMのアドレスとマイクロコンピュータのアドレスとの関係(1)

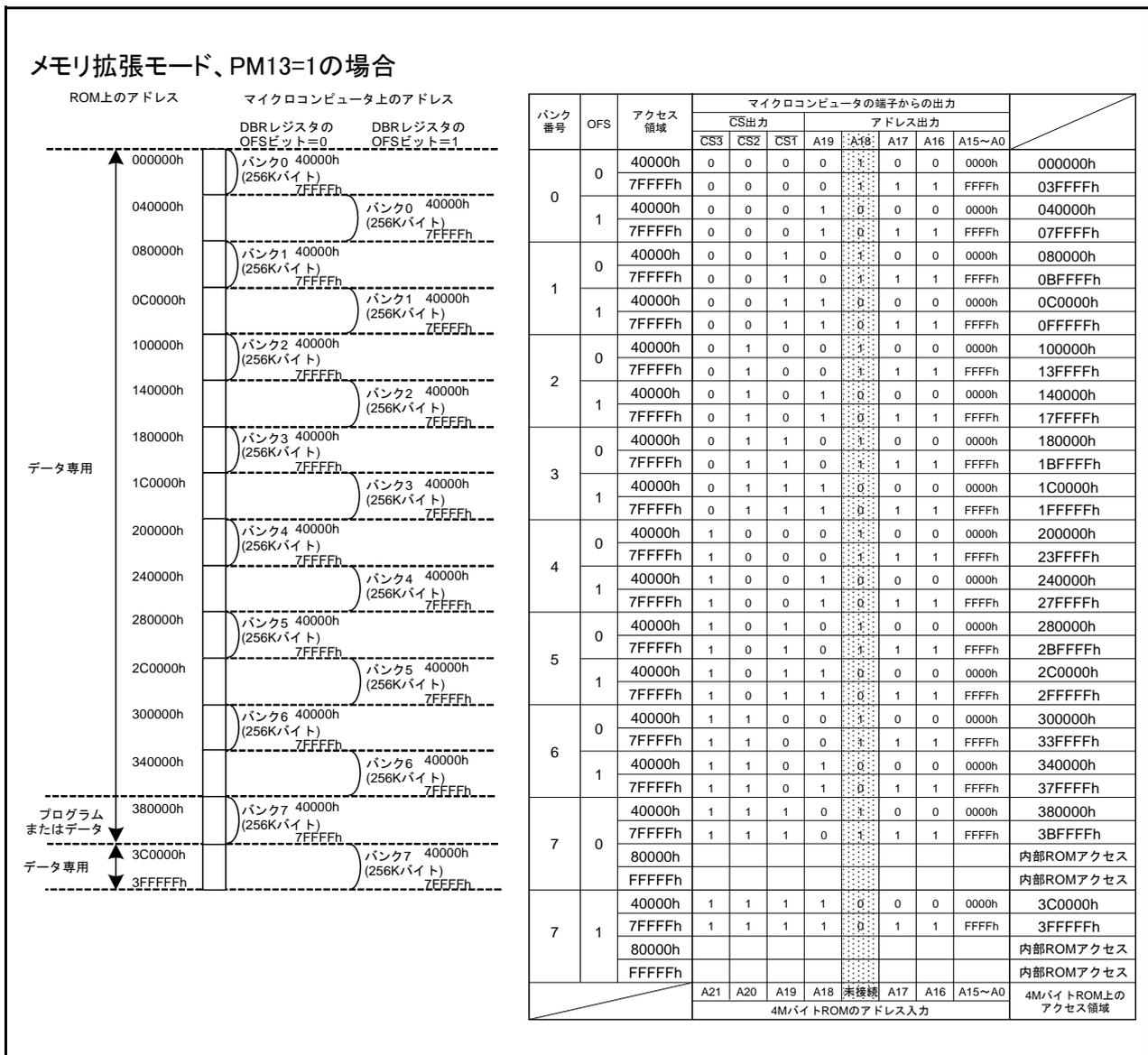


図9.8 4MバイトROMのアドレスとマイクロコンピュータのアドレスとの関係(2)

マイクロプロセッサモードの場合

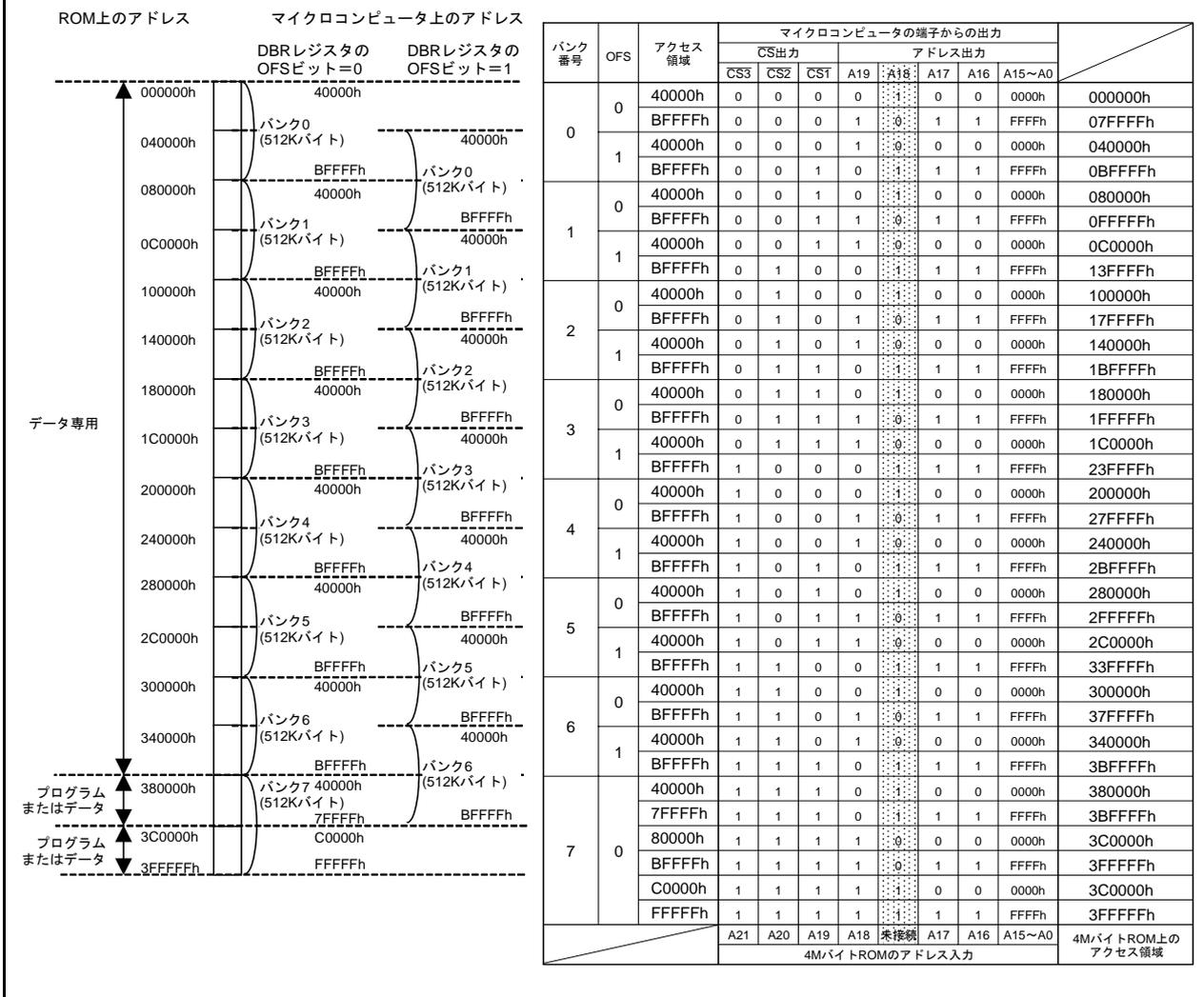


図9.9 4MバイトROMのアドレスとマイクロコンピュータのアドレスとの関係(3)

10. クロック発生回路

10.1 クロック発生回路の種類

クロック発生回路として、4つの回路を内蔵します。

- メインクロック発振回路
- サブクロック発振回路
- オンチップオシレータ
- PLL周波数シンセサイザ

表10.1にクロック発生回路の概略仕様を示します。また、図10.1にシステムクロック発生回路のブロック図、図10.2～図10.6にクロック関連レジスタを示します。

表10.1 クロック発生回路の概略仕様

項目	メインクロック 発振回路	サブクロック 発振回路	オンチップオシレータ	PLL周波数 シンセサイザ
用途	•CPUのクロック源 •周辺機能のクロック源	•CPUのクロック源 •タイマA、Bのクロック源	•CPUのクロック源 •周辺機能のクロック源 •メインクロック発振停止時のCPU、周辺機能のクロック源	•CPUのクロック源 •周辺機能のクロック源
クロック周波数	0～16MHz	32.768kHz	約1MHz	10～24MHz
接続できる発振子	•セラミック共振子 •水晶発振子	•水晶発振子	—	—
発振子の接続端子	XIN、XOUT	XCIN、XCOUT	—	—
発振停止、再開機能	あり	あり	あり	あり
リセット後の状態	発振	停止	停止	停止
その他	外部で生成されたクロックを入力可能		—	—

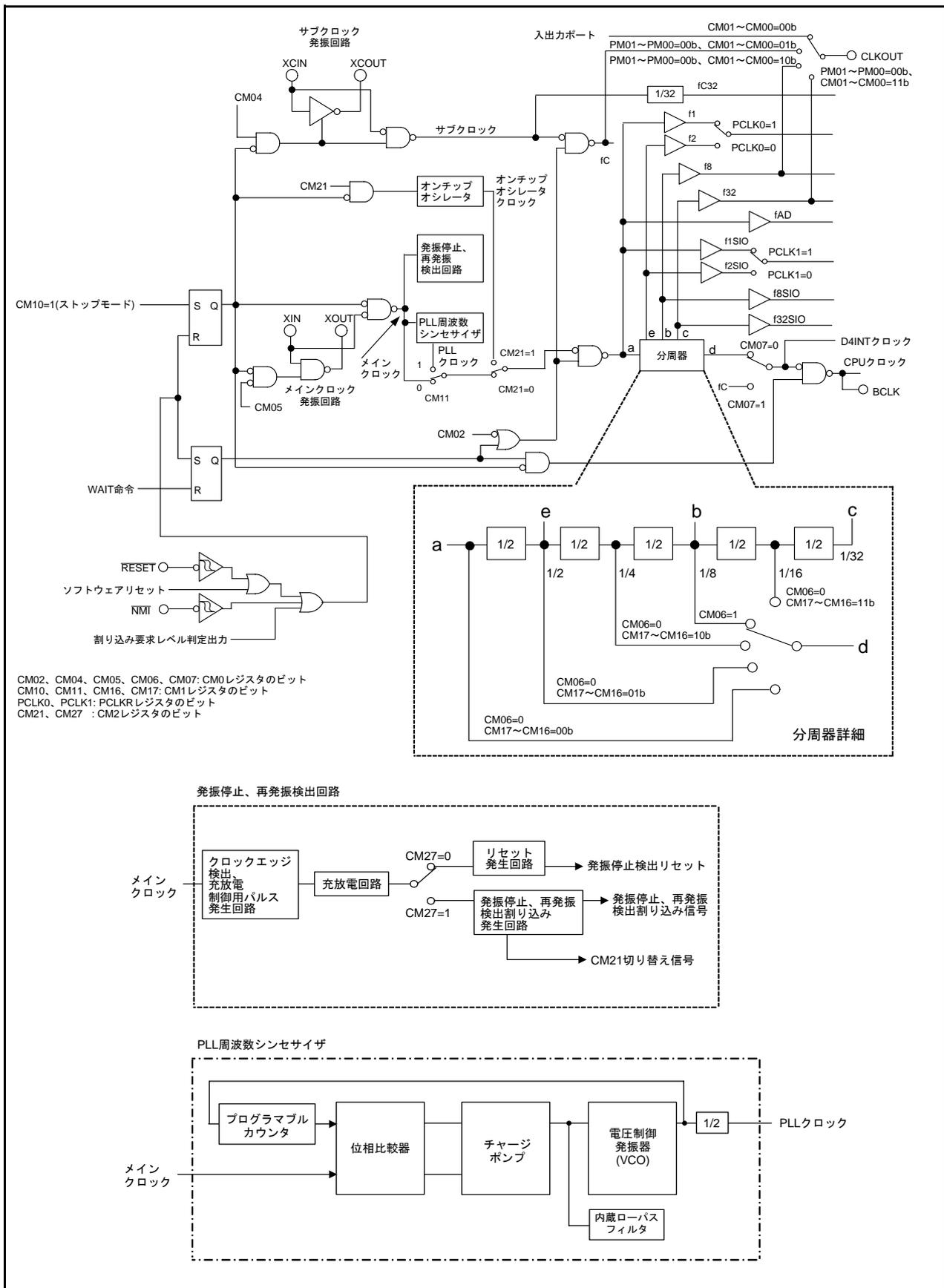


図10.1 システムクロック発生回路

システムクロック制御レジスタ0(注1)

シンボル	アドレス	リセット後の値		
CM0	0006h番地	01001000b		
ビットシンボル	ビット名	機能	RW	
CM00	クロック出力機能選択ビット(シングルチップモード時のみ有効)	b1 b0 0 0 : 入出力ポートP5_7 0 1 : fCを出力 1 0 : f8を出力 1 1 : f32を出力	RW	
CM01			RW	
CM02	ウェイトモード時周辺機能クロック停止ビット(注10)	0 : ウェイトモード時、周辺機能クロック停止しない 1 : ウェイトモード時、周辺機能クロック停止する(注8)	RW	
CM03	XCIN-XCOUT駆動能力選択ビット(注2)	0 : Low 1 : High	RW	
CM04	ポートXC切り替えビット(注2)	0 : 入出力ポートP8_6、P8_7 1 : XCIN-XCOUT発振機能(注9)	RW	
CM05	メインクロック停止ビット(注3、10、12、13)	0 : 発振 1 : 停止(注4、5)	RW	
CM06	メインクロック分周比選択ビット0(注7、13、14)	0 : CM16、CM17ビット有効 1 : 8分周モード	RW	
CM07	システムクロック選択ビット(注6、10、11、12)	0 : メインクロック、PLLクロック またはオンチップオシレータクロック 1 : サブクロック	RW	

注1. このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. CM04ビットを“0”(入出力ポート)の間、またはストップモードへ移行したとき、CM03ビットは“1”(HIGH)になります。

注3. このビットは低消費電力モード、またはオンチップオシレータ低消費電力モードにするときに、メインクロックを停止させるためのビットです。メインクロックが停止したかどうかの検出には使用できません。メインクロックを停止させる場合、次のようにしてください。

- (1) サブクロックが安定して発振している状態で、CM07ビットを“1”(サブクロック選択)にする、またはCM2レジスタのCM21ビットを“1”(オンチップオシレータ選択)にする
- (2) CM2レジスタのCM20ビットを“0”(発振停止、再発振検出機能無効)にする
- (3) CM05ビットを“1”(停止)にする

注4. 外部クロック入力時は、0”(発振)にしてください。

注5. CM05ビットが“1”の場合、XOUT端子は“H”になります。また、内蔵している帰還抵抗は接続したままですので、XIN端子は帰還抵抗を介して、XOUT(“H”)にプルアップされた状態となります。

注6. CM04ビットを“1”(XCIN-XCOUT発振機能)にし、サブクロックの発振が安定した後に、CM07ビットを“0”から“1”(サブクロック)にしてください。

注7. 高速モード、中速モード、オンチップオシレータモード、またはオンチップオシレータ低消費電力モードからストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。

注8. fC32は停止しません。低速モードまたは低消費電力モード時は“1”(ウェイトモード時、周辺機能クロック停止する)にしないでください。

注9. サブクロックを使用する場合、このビットを“1”にしてください。また、ポートP8_6、P8_7は入力ポートで、プルアップなしにしてください。

注10. PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM02、CM05、CM07ビットに書いても変化しません。

注11. PM21ビットを“1”にする場合、CM07ビットを“0”(メインクロック)にした後で、PM21ビットを“1”にしてください。

注12. CPUクロックのクロック源をメインクロックにする場合、次のようにしてください。

- (1) CM05ビットを“0”(発振)にする。
- (2) メインクロック発振安定時間を待つ。
- (3) CM11ビットを“0”、CM21ビットを“0”、CM07ビットを“0”にする。

注13. CM21ビットが“0”(オンチップオシレータ停止)、CM05ビットが“1”(メインクロックを停止)のとき、CM06ビットが“1”(8分周モード)、CM15ビットが“1”(駆動能力HIGH)に固定されます。

注14. オンチップオシレータモードから高速、中速モードに戻すときは、CM06ビットを“1”、CM15ビットを“1”にしてください。

図10.2 CM0レジスタ

システムクロック制御レジスタ1(注1)

シンボル	アドレス	リセット後の値	
CM1	0007h番地	00100000b	
ビットシンボル	ビット名	機能	RW
CM10	全クロック停止制御ビット (注4、6)	0 : クロック発振 1 : 全クロック停止(ストップモード)	RW
CM11	システムクロック選択ビット1 (注6、7)	0 : メインクロック 1 : PLLクロック(注5)	RW
— (b4-b2)	予約ビット	“0” にしてください。	RW
CM15	XIN-XOUT駆動能力選択ビット (注2)	0 : LOW 1 : HIGH	RW
CM16	メインクロック分周比 選択ビット1(注3)	b7 b6 0 0 : 分周なしモード 0 1 : 2分周モード 1 0 : 4分周モード 1 1 : 16分周モード	RW
CM17			RW

注1. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. 高速モード、中速モードからストップモードへの移行時、または低速モードで、CM05ビットを“1”(メインクロック停止)にしたとき、CM15ビットは“1”(駆動能力HIGH)になります。

注3. CM06ビットが“0”(CM16、CM17ビット有効)の場合、有効となります。

注4. CM10ビットが“1”(ストップモード)の場合、XOUTは“H”となり、内蔵している帰還抵抗は切り離されます。XCIN端子、XCOUT端子は、ハイインピーダンスになります。CM11ビットが“1”(PLLクロック)、またはCM2レジスタのCM20ビットが“1”(発振停止検出機能有効)の場合、CM10ビットを“1”にしないでください。

注5. PLC0レジスタのPLC07ビットを“1”(PLL動作)にした後、tsu(PLL)待って、CM11ビットを“1”(PLLクロック)にしてください。

注6. PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM10、CM11ビットに書いても変化しません。PM2レジスタのPM22ビットが“1”(ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)の場合、CM10ビットに書いても変化しません。

注7. CM07=“0”、CM21=“0”のとき有効。

図10.3 CM1レジスタ

発振停止検出レジスタ(注1)

ビットシンボル	ビット名	機能	RW
CM20	発振停止、再発振検出許可ビット(注7、9、10、11)	0 : 発振停止、再発振検出機能無効 1 : 発振停止、再発振検出機能有効	RW
CM21	システムクロック選択ビット2(注2、3、6、8、11、12)	0 : メインクロックまたはPLLクロック 1 : オンチップオシレータクロック(オンチップオシレータ発振)	RW
CM22	発振停止、再発振検出フラグ(注4)	0 : メインクロック停止、再発振を未検出 1 : メインクロック停止、再発振を検出	RW
CM23	XINモニタフラグ(注5)	0 : メインクロック発振 1 : メインクロック停止	RO
— (b5-b4)	予約ビット	“0”にしてください	RW
— (b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
CM27	発振停止、再発振検出時の動作選択ビット(注11)	0 : 発振停止検出リセット 1 : 発振停止、再発振検出割り込み	RW

- 注1. このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
- 注2. CM20ビットが“1”(発振停止、再発振検出機能有効)、CM27ビットが“1”(発振停止、再発振検出割り込み)、CPUクロック源がメインクロックのとき、メインクロック停止が検出されるとCM21ビットは“1”(オンチップオシレータクロック)になります。
- 注3. CM20ビットが“1”で、かつCM23ビットが“1”(メインクロック停止)のとき、CM21ビットを“0”にしないでください。
- 注4. メインクロック停止検出時とメインクロック再発振検出時“1”になります。このビットが“0”から“1”に変化すると発振停止、再発振検出割り込み要求が発生します。割り込みルーチンで発振停止、再発振検出割り込みと、ウォッチドッグタイマ割り込みの要因判別のために使用してください。プログラムで“0”を書くと“0”になります(“1”を書いてでも変化しません。また、発振停止、再発振検出割り込み要求が受け付けられても、“0”になりません)。
- 注5. CM22ビットが“1”のとき、発振停止または再発振を検出しても、発振停止、再発振検出割り込みは発生しません。
- 注6. CM0レジスタのCM07ビットが“0”のとき有効。
- 注7. PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM20ビットに書いても変化しません。
- 注8. CM20ビットが“1”(発振停止、再発振検出機能有効)、CM27ビットが“1”(発振停止、再発振検出割り込み)、CM11ビットが“1”(CPUクロック源はPLLクロック)の場合、メインクロック停止を検出してもCM21ビットは変化しません。この条件でCM22ビットが“0”ならばメインクロック停止検出時に発振停止、再発振検出割り込み要求が発生しますので、割り込みルーチン内でCM21ビットを“1”(オンチップオシレータクロック)にしてください。
- 注9. ストップモードへ移行する場合、CM20ビットを“0”(無効)にしてください。ストップモードからの復帰後、改めてCM20ビットを“1”(有効)にしてください。
- 注10. CM0レジスタのCM05ビットを“1”(メインクロック停止)にする前にCM2レジスタのCM20ビットを“0”(無効)にしてください。
- 注11. CM20、CM21、CM27ビットは発振停止検出リセット時は変化しません。
- 注12. CM21ビットが“0”(オンチップオシレータ停止)、CM05ビットが“1”(メインクロックを停止)のとき、CM06ビットが“1”(8分周モード)、CM15ビットが“1”(駆動能力HIGH)に固定されます。

図10.4 CM2レジスタ

周辺クロック選択レジスタ(注1)

b7 b6 b5 b4 b3 b2 b1 b0							
0	0	0	0	0	0	0	0
シンボル PCLKR		アドレス 025Eh番地		リセット後の値 0000011b			
ビット シンボル	ビット名			機能		RW	
PCLK0	タイマA、Bクロック選択ビット (タイマA、タイマB、短絡防止タイマ のクロック源)			0 : f2 1 : f1		RW	
PCLK1	SI/0クロック選択ビット (UART0~UART2、SI/03、SI/04の クロック源)			0 : f2SI0 1 : f1SI0		RW	
— (b7-b2)	予約ビット			"0" にしてください。		RW	

注1. このレジスタはPRCRレジスタのPRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

プロセッサモードレジスタ2(注1)

b7 b6 b5 b4 b3 b2 b1 b0							
×	×	×	×	0	0	0	0
シンボル PM2		アドレス 001Eh番地		リセット後の値 XXX0000b			
ビット シンボル	ビット名			機能		RW	
PM20	PLL動作時のSFRアクセスの ウェイト指定(注2)			0 : 2ウェイト 1 : 1ウェイト		RW	
PM21	システムクロック保護ビッ ト(注3、4)			0 : PRCRレジスタでクロックを保護 1 : クロックの変更禁止		RW	
PM22	WDTカウントソース保護 ビット(注3、5)			0 : ウォッチドッグタイマのカウント ソースはCPUクロック 1 : ウォッチドッグタイマのカウントソ ースはオンチップオシレータクロック		RW	
— (b4-b3)	予約ビット			"0" にしてください		RW	
— (b7-b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。					—	

注1. このレジスタはPRCRレジスタのPRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注2. PLC07ビットが“1”（PLL動作）のとき、PM20ビットは有効になります。PM20ビットはPLC07ビットが“0”（PLL停止）のときに変更してください。PLLクロック>16MHzの場合は、“0”（2ウェイト）にしてください。

注3. 一度“1”にすると、プログラムでは“0”にできません。

注4. PM21ビットを“1”にすると次のビットに書き込んでも変化しません。

CM0レジスタのCM02ビット

CM0レジスタのCM05ビット(メインクロックは停止しない)

CM0レジスタのCM07ビット(CPUクロックのクロック源は変化しない)

CM1レジスタのCM10ビット(ストップモードに移行しない)

CM1レジスタのCM11ビット(CPUクロックのクロック源は変化しない)

CM2レジスタのCM20ビット(発振停止、再発振検出機能の設定は変化しない)

PLC0レジスタの全ビット(PLL周波数シンセサイザの設定は変化しない)

なお、PM21ビットが“1”のときは、WAIT命令を実行しないでください。

注5. PM22ビットを“1”にすると次の状態になります。

- ・ オンチップオシレータが発振を開始し、オンチップオシレータクロックが、ウォッチドッグタイマのカウントソースになる
- ・ CM1レジスタのCM10ビットへの書き込み禁止(“1”を書いても変化せず、ストップモードに移行しない)
- ・ ウェイトモードまたはホールド状態のとき、ウォッチドッグタイマは停止しない

図10.5 PCLKR、PM2レジスタ

PLL制御レジスタ0(注1、2)

シンボル PLC0	アドレス 001Ch番地	リセット後の値 0001X010b	
ビット シンボル	ビット名	機能	RW
PLC00	PLL通倍率選択ビット (注3)	b2 b1 b0 0 0 0 : 設定しないでください	RW
PLC01		0 0 1 : 2通倍	RW
PLC02		0 1 0 : 4通倍	RW
		0 1 1 : 6通倍	
— (b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	—	
— (b4)	予約ビット	“1”にしてください	RW
— (b6-b5)	予約ビット	“0”にしてください	RW
PLC07	動作許可ビット(注4)	0 : PLL停止 1 : PLL動作	RW

注1. このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
注2. PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、このレジスタに書いても変化しません。
注3. PLC07ビットが“0”(PLL停止)のときに書いてください。一度書いた値は変更できません。
注4. このビットを“1”にする場合は、CM07ビットを“0”(メインクロック)、CM17~CM16ビットを“00b”(メインクロック分周なしモード)、CM06ビットを“0”(CM16、CM17ビット有効)にしてから設定してください。

図10.6 PLC0レジスタ

クロック発生回路で生成するクロックを説明します。

10.1.1 メインクロック

メインクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。メインクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。メインクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。メインクロック発振回路では、外部で生成されたクロックをXIN端子へ入力することもできます。図10.7にメインクロックの接続回路例を示します。

リセット後は、メインクロックの8分周がCPUクロックになります。

CPUクロックのクロック源をサブクロックまたはオンチップオシレータクロックに切り替えた後、CM0レジスタのCM05ビットを“1”(メインクロック発振回路の発振停止)にすると、消費電力を低減できます。この場合、XOUTは“H”になります。また、内蔵している帰還抵抗はONしたままです。XINは帰還抵抗を介してXOUTにプルアップされた状態となります。なお、外部で生成したクロックをXIN端子に入力している場合、CM05を“1”にしても、サブクロックをCPUクロックに選択していない限り、メインクロックは停止しませんので、必要な場合は外部でクロックを停止させてください。

ストップモード時は、メインクロックを含めたすべてのクロックが停止します。詳細は「10.4 パワーコントロール」を参照してください。

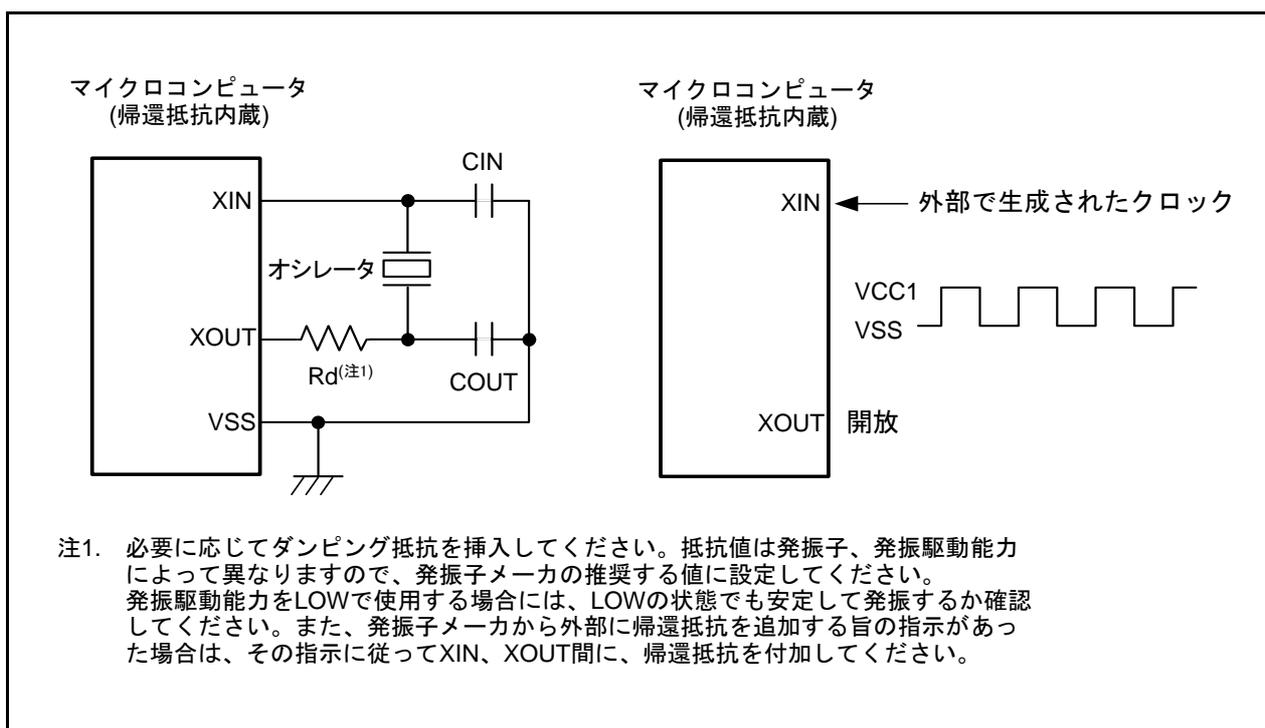


図10.7 メインクロックの接続回路例

10.1.2 サブクロック

サブクロック発振回路が供給するクロックです。CPUクロックと、タイマA、タイマBのカウンタソースのクロック源になります。また、サブクロックと同一周波数のfCをCLKOUT端子から出力できます。

サブクロック発振回路は、XCIN-XCOUT端子間に水晶発振子を接続することで発振回路が構成されます。サブクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。サブクロック発振回路では、外部で生成されたクロックをXCIN端子へ入力することもできます。図10.8にサブクロックの接続回路例を示します。

リセット後は、サブクロックは停止しています。このとき、帰還抵抗は発振回路から切り離されています。

サブクロックの発振が安定した後、CM0レジスタのCM07ビットを“1”(サブクロック)にすると、サブクロックがCPUクロックになります。

ストップモード時、サブクロックを含めたすべてのクロックが停止します。詳細は「10.4 パワーコントロール」を参照してください。

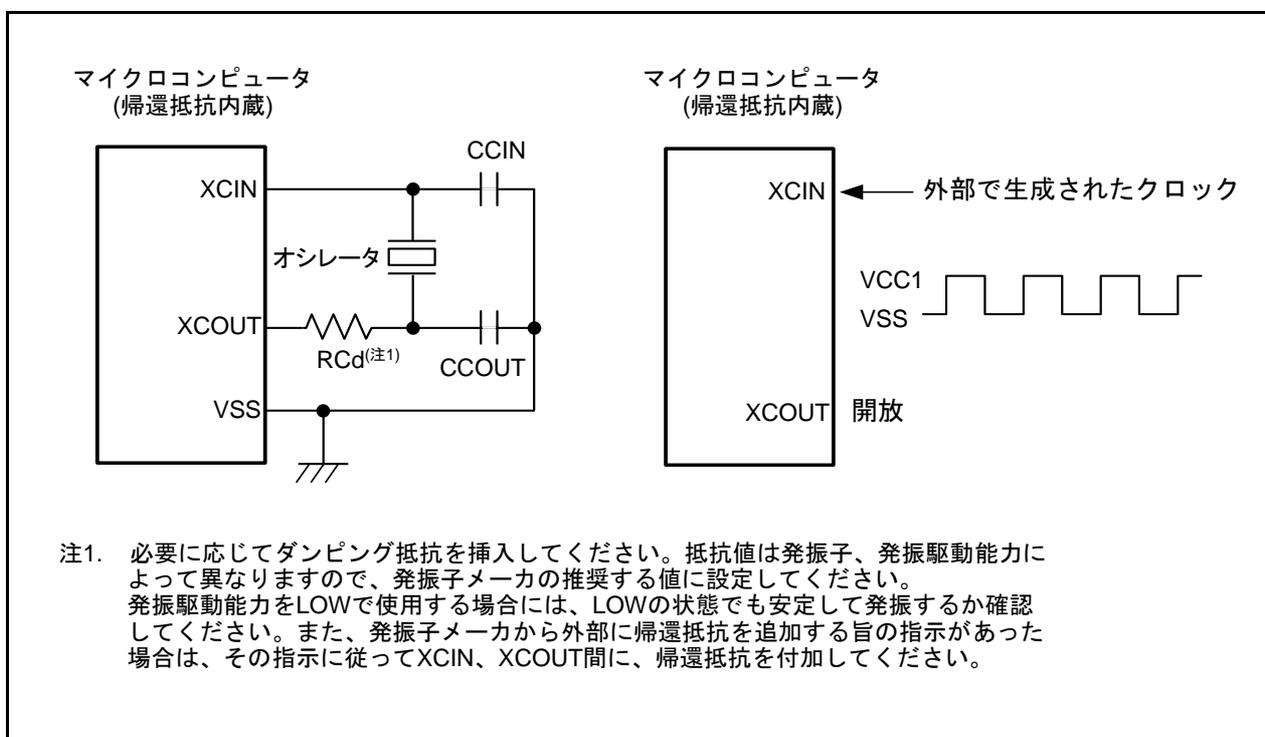


図10.8 サブクロックの接続回路例

10.1.3 オンチップオシレータクロック

オンチップオシレータが供給する約1MHzのクロックです。CPUクロックと周辺機能クロックのクロック源になります。また、PM2レジスタのPM22ビットが“1”(ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)の場合、ウォッチドッグタイマのカウントソースになります(「13.1 カウントソース保護モード」参照)。

リセット後、オンチップオシレータは停止しています。CM2レジスタのCM21ビットを“1”(オンチップオシレータクロック)にすると発振を始め、オンチップオシレータクロックがメインクロックに代わって、CPUクロックと周辺機能クロックのクロック源になります。また、CM2レジスタのCM20ビットが“1”(発振停止、再発振検出機能有効)、かつCM27ビットが“1”(発振停止、再発振検出割り込み)の場合、メインクロックが停止したときに、自動的にオンチップオシレータが動作を開始し、クロックを供給します。

10.1.4 PLLクロック

PLLクロックは、PLL周波数シンセサイザが生成するクロックです。CPUクロックと周辺機能クロックのクロック源になります。リセット後、PLL周波数シンセサイザは停止しています。PLC07ビットを“1”(PLL動作)にするとPLL周波数シンセサイザが動作します。PLLクロックをCPUクロックのクロック源にする場合は、PLLクロックが安定するまで、tsu(PLL)待ってCM1レジスタのCM11ビットを“1”にしてください。

ウェイトモードまたはストップモードへ移行する場合は、CM11ビットを“0”(CPUクロック源はメインクロック)にしてください。さらにストップモードはPLC0レジスタのPLC07ビットを“0”(PLL停止)にしてから、ストップモードにへ移行してください。図10.9にPLLクロックをCPUのクロック源にする手順を示します。

PLLクロックの周波数は次のとおりです。PLLクロックの周波数が16MHz以上の場合は、PM2レジスタのPM20ビットを“0”(2ウェイト)にしてください。

$$\text{PLLクロックの周波数} = f(\text{XIN}) \times (\text{PLC0レジスタのPLC02} \sim \text{PLC00ビットで設定した通倍率})$$

(ただし、10MHz ≤ PLLクロックの周波数 ≤ 24MHz)

PLC02～PLC00ビットはリセット後、1回だけ設定できます。表10.2にPLLクロックの周波数の設定例を示します。

表10.2 PLLクロックの周波数の設定例

XIN (MHz)	PLC02	PLC01	PLC00	通倍率	PLLクロック (MHz)(注1)
10	0	0	1	2	20
5	0	1	0	4	
3.33	0	1	1	6	
2.5	1	0	0	8	
12	0	0	1	2	24
6	0	1	0	4	
4	0	1	1	6	
3	1	0	0	8	

注1. 10MHz ≤ PLLクロックの周波数 ≤ 24MHz

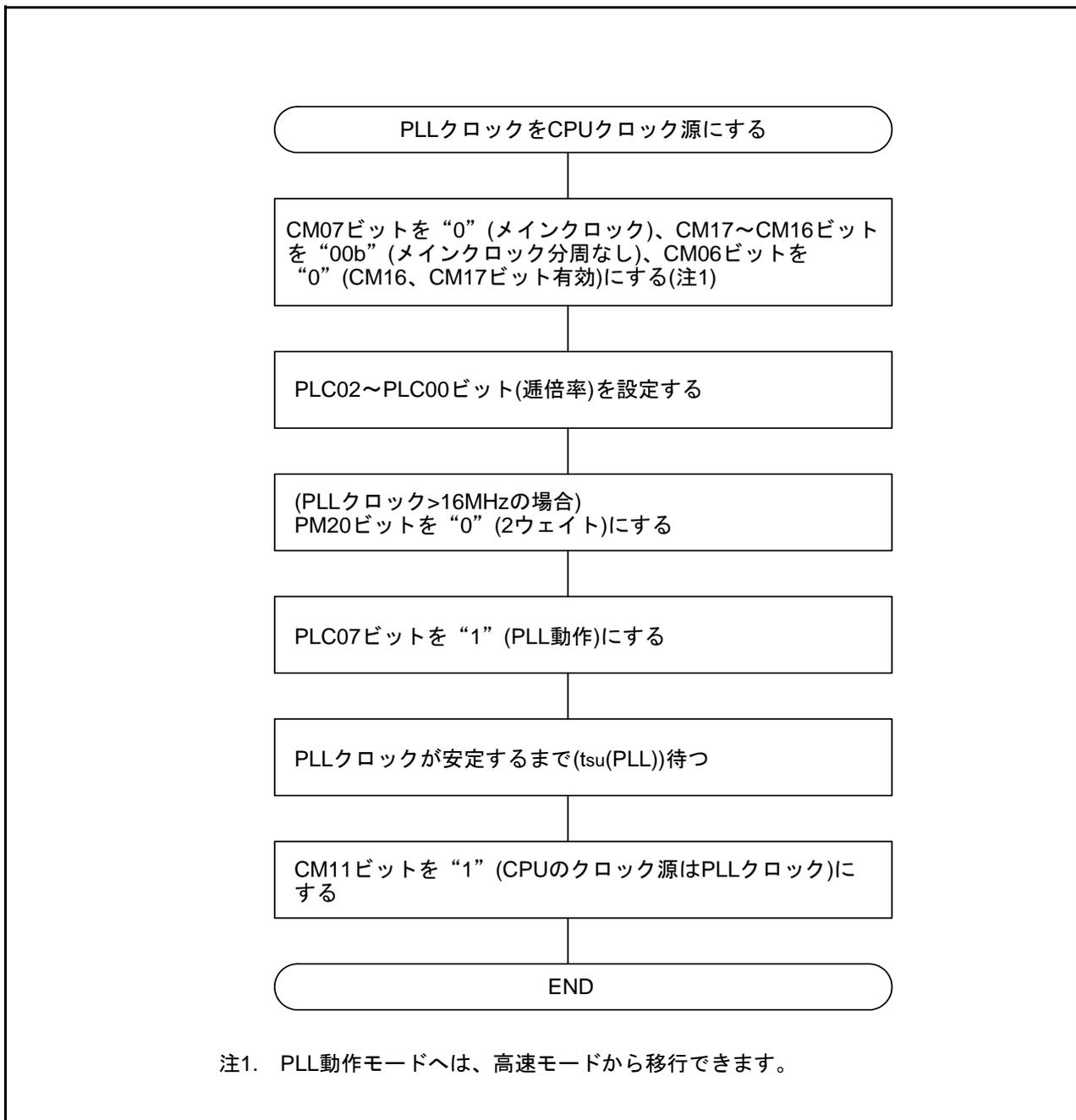


図10.9 PLLクロックをCPUのクロック源にする手順

10.2 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと周辺機能を動作させる周辺機能クロックがあります。

10.2.1 CPUクロックとBCLK

CPUとウォッチドッグタイマの動作クロックです。

CPUクロックのクロック源としてメインクロック、サブクロック、オンチップオシレータクロック、またはPLLクロックが選択できます。

CPUクロックのクロック源としてメインクロック、またはオンチップオシレータクロックを選択した場合、選択したクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM17～CM16ビットで選択できます。

CPUクロックのクロック源としてPLLクロックを選択する場合、CM06ビットを“0”、CM17～CM16ビットを“00b”(分周なし)にしてください。

リセット後、メインクロックの8分周がCPUクロックになります。

メモリ拡張モード時、マイクロプロセッサモード時、PM0レジスタのPM07ビットを“0”(出力する)にすると、BCLK端子からCPUクロックと同一周波数のBCLK信号を出力できます。

なお、高速モード、中速モード、オンチップオシレータモード、またはオンチップオシレータ低消費電力モードからストップモードへの移行時、または低速モードでCM0レジスタのCM05ビットを“1”(停止)にしたとき、CM0レジスタのCM06ビットは“1”(8分周モード)になります。

10.2.2 周辺機能クロック(f1、f2、f8、f32、f1SIO、f2SIO、f8SIO、f32SIO、fAD、fC32)

周辺機能の動作クロックです。

f_i(i=1、2、8、32)とf_iSIOはメインクロック、PLLクロック、またはオンチップオシレータクロックをi分周したクロックです。f_iはタイマA、タイマBで、f_iSIOはシリアルインタフェースで使用します。f8とf32はCLKOUT端子から出力できます。

fADは、メインクロック、PLLクロック、またはオンチップオシレータクロックをクロック源とし、A/Dコンバータで使用します。

CM0レジスタのCM02ビットを“1”(ウェイトモード時周辺機能クロックを停止する)にした後にWAIT命令を実行した場合、または低消費電力モード時、f_i、f_iSIO、fADは停止します。

fC32はサブクロックをクロック源とし、タイマA、タイマBで使用します。fC32はサブクロックが供給されているときに使用できます。

10.3 クロック出力機能

シングルチップモード時、CLKOUT端子からf8、f32、またはfCを出力できます。CM0レジスタのCM01～CM00ビットで選択してください。

10.4 パワーコントロール

パワーコントロールには3つのモードがあります。なお、便宜上、ここでは、ウェイトモード、ストップモード以外の状態を通常動作モードと呼びます。

10.4.1 通常動作モード

通常動作モードには、さらに7つのモードに分けられます。

通常動作モードでは、CPUクロック、周辺機能クロックが共に供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が大きいほど処理能力は上がり、小さいほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

CPUクロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。切り替え先がメインクロック、サブクロック、PLLクロックの場合、プログラムで発振が安定するまで待ち時間を取ってから移るようにしてください。

なお、低速モードまたは低消費電力モードから、オンチップオシレータモードまたはオンチップオシレータ低消費電力モードへ切り替えないでください。同様にオンチップオシレータモードまたはオンチップオシレータ低消費電力モードから、低速モードまたは低消費電力モードへ切り替えないでください。

CPUクロックのクロック源をオンチップオシレータからメインクロックに切り替える場合は、オンチップオシレータモードで8分周(CM0レジスタのCM06ビット=1)にした後、中速モード(8分周)に切り替えてください。

10.4.1.1 高速モード

メインクロックの1分周がCPUクロックとなります。サブクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

10.4.1.2 PLL動作モード

メインクロックの2通倍、4通倍、6通倍、または8通倍がPLLクロックとなり、PLLクロックがCPUクロックとなります。サブクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。PLL動作モードへは高速モードから移行できます。ウェイトまたはストップモードへ移行するときは、高速モードに移行してから移行してください。

10.4.1.3 中速モード

メインクロックの2分周、4分周、8分周、または16分周がCPUクロックとなります。サブクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

10.4.1.4 低速モード

サブクロックがCPUクロックとなります。周辺機能クロックのクロック源は、CM21ビットが“0”(オンチップオシレータ停止)の場合はメインクロック、CM21ビットが“1”(オンチップオシレータ発振)の場合はオンチップオシレータクロックです。

fC32がタイマA、タイマBのカウントソースに使用できます。

10.4.1.5 低消費電力モード

低速モードにした後、メインクロックを停止させた状態です。サブクロックがCPUクロックとなります。fC32がタイマA、タイマBのカウントソースに使用できます。

このモードにすると同時にCM0レジスタのCM06ビットは“1”(8分周モード)になります。低消費電力モードでは、CM06ビットを変更しないでください。したがって、次にメインクロックを動作させるときは中速(8分周)モードになります。

10.4.1.6 オンチップオシレータモード

オンチップオシレータクロックの1分周(分周なし)、2、4、8、16分周がCPUクロックになります。また、オンチップオシレータクロックが周辺機能クロックのクロック源になります。サブクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。高速、中速モードに戻すときにはCM06ビットを“1”(8分周モード)にしてください。

10.4.1.7 オンチップオシレータ低消費電力モード

オンチップオシレータモードにした後、メインクロックを停止させた状態です。オンチップオシレータモードと同様にCPUクロックを選択できます。オンチップオシレータクロックが周辺機能クロックのクロック源になります。サブクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

表 10.3 クロック関連ビットの設定とモード

モード	CM2レジスタ		CM1レジスタ		CM0レジスタ			
	CM21	CM11	CM17、CM16	CM07	CM06	CM05	CM04	
PLL動作モード	0	1	00b	0	0	0	–	
高速モード	0	0	00b	0	0	0	–	
中速モード	2分周	0	0	01b	0	0	–	
	4分周	0	0	10b	0	0	–	
	8分周	0	0	–	0	1	–	
	16分周	0	0	11b	0	0	–	
低速モード	–	0	–	1	–	0	1	
低消費電力モード	0	0	–	1	1(注1)	1(注1)	1	
オンチップオシレータモード	分周なし	1	0	00b	0	0	–	
	2分周	1	0	01b	0	0	–	
	4分周	1	0	10b	0	0	–	
	8分周	1	0	–	0	1	–	
	16分周	1	0	11b	0	0	–	
オンチップオシレータ低消費電力モード	1	0	(注2)	0	(注2)	1	–	

–：“0”または“1”

注1. 低速モードでCM05ビットを“1”(メインクロック停止)にすると低消費電力モードになり、同時に、CM06ビットは“1”(8分周モード)になります。

注2. オンチップオシレータモードと同様に分周値を選択できます。

10.4.2 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUとウォッチドッグタイマが停止します。ただし、PM2レジスタのPM22ビットが“1”(ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)の場合、ウォッチドッグタイマは動作します。メインクロック、サブクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

10.4.2.1 周辺機能クロック停止機能

CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合、ウェイトモード時にf1、f2、f8、f32、f1SIO、f2SIO、f8SIO、f32SIO、fADが停止しますので、消費電力が低減できます。fC32は停止しません。

10.4.2.2 ウェイトモードへの移行

WAIT命令を実行するとウェイトモードになります。

CM11ビットが“1”(CPUクロックのクロック源はPLLクロック)の場合は、CM11ビットを“0”(CPUクロックのクロック源はメインクロック)にしてからウェイトモードにしてください。PLC07ビットを“0”(PLL停止)にすると、消費電力が低減できます。

10.4.2.3 ウェイトモード時の端子の状態

表10.4にウェイトモード時の端子の状態を示します。

表10.4 ウェイトモード時の端子の状態

端 子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
A0～A19、D0～D15、 CS0～CS3、BHE		ウェイトモードに入る直前の状態を保持	バス制御端子にはなりません
RD、WR、WRL、WRH		“H”	
HLDA、BCLK		“H”	
ALE		“L”	
入出力ポート		ウェイトモードに入る直前の状態を保持	ウェイトモードに入る直前の状態を保持
CLKOUT	fC選択時	CLOCKOUT端子にはなりません	停止しません
	f8、f32選択時		CM02ビットが“0”のとき停止しません CM02ビットが“1”のときウェイトモードに入る直前の状態を保持

10.4.2.4 ウェイトモードからの復帰

ハードウェアリセット、NMI割り込み、電圧低下検出割り込み、または周辺機能割り込みにより、ウェイトモードから復帰します。

ハードウェアリセット、NMI割り込み、または電圧低下検出割り込みで復帰する場合、周辺機能割り込みのILVL2～ILVL0ビットを“000b”(割り込み禁止)にした後、WAIT命令を実行してください。

周辺機能割り込みはCM02ビットの影響を受けます。CM02ビットが“0”(ウェイトモード時、周辺機能クロックを停止しない)の場合は、周辺機能割り込みがウェイトモードから復帰に使用できます。CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号によって動作する周辺機能の割り込みがウェイトモードから復帰に使用できません。

表10.5 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02=0の場合	CM02=1の場合
NMI割り込み	使用可	使用可
シリアルインターフェース割り込み	内部クロック、外部クロックで使用可	外部クロックで使用可
キー入力割り込み	使用可	使用可
A/D変換割り込み	単発モードまたは単掃引モードで使用可	使用しないでください
タイマA割り込み タイマB割り込み	すべてのモードで使用可	イベントカウンタモードまたはカウンタソースがfC32のとき使用可
INT割り込み	使用可	使用可
電圧低下検出割り込み	使用可	使用可

表10.5にウェイトモードからの復帰に使用できる割り込みと使用条件と使用条件を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT命令実行前に次の設定をしてください。

- (1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2～ILVL0ビットに割り込み優先レベルを設定する。
また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。
周辺機能割り込みで復帰する場合、割り込み要求が発生してCPUクロックの供給を開始すると、割り込みルーチンを実行します。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、WAIT命令実行時のCPUクロックと同じクロックです。

10.4.3 ストップモード

ストップモードでは、すべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、VCC1端子とVCC2端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。VCC1端子とVCC2端子に印加する電圧を2.7V以下にする場合、 $VCC1 \geq VCC2 \geq VRAM$ にしてください。

また、外部信号によって動作する周辺機能は動作します。表10.6にストップモードからの復帰に使用できる割り込みと使用条件を示します。

表10.6 ストップモードからの復帰に使用できる割り込みと使用条件

割り込み	条件
NMI割り込み	使用可
キー入力割り込み	使用可
INT割り込み	使用可
タイマA割り込み タイマB割り込み	イベントカウンタモードで外部パルスのカウント時、 使用可
シリアルインタフェース割り込み	外部クロック選択時、使用可
電圧低下検出割り込み	使用可(「6.1 電圧低下検出割り込み」参照)

10.4.3.1 ストップモードへの移行

CM1レジスタのCM10ビットを“1”(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは“1”(8分周モード)、CM1レジスタのCM15ビットは“1”(メインクロック発振回路の駆動能力HIGH)になります。

ストップモードを使用する場合、CM20ビットを“0”(発振停止、再発振検出機能無効)にしてからストップモードにしてください。

また、CM11ビットが“1”(CPUクロックのクロック源はPLLクロック)の場合は、CM11ビットを“0”(CPUクロックのクロック源はメインクロック)にした後、PLC07ビットを“0”(PLL停止)にしてからストップモードにしてください。

10.4.3.2 ストップモード時の端子の状態

表10.7にストップモード時の端子の状態を示します。

表10.7 ストップモード時の端子の状態

端子	メモリ拡張モード マイクロプロセッサモード	シングルチップモード	
A0~A19、D0~D15、CS0 ~CS3、BHE	ストップモードに入る直前の状態 を保持	バス制御端子にはなりません	
RD、WR、WRL、WRH	“H”		
HLDA、BCLK	“H”		
ALE	不定		
入出力ポート	ストップモードに入る直前の状態 を保持	ストップモードに入る直前の状態 を保持	
CLKOUT	fC選択時	CLOCKOUT端子にはなりません	“H”
	f8、f32選択時		ストップモードに入る直前の状態 を保持

10.4.3.3 ストップモードからの復帰

ハードウェアリセット、 $\overline{\text{NMI}}$ 割り込み、電圧低下検出割り込み、または周辺機能割り込みにより、ストップモードから復帰します。

ハードウェアリセット、 $\overline{\text{NMI}}$ 割り込み、または電圧低下検出割り込みで復帰する場合、周辺機能割り込みのILVL2～ILVL0ビットをすべて“000b”(割り込み禁止)にした後、CM10ビットを“1”にしてください。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM10ビットを“1”にしてください。

- (1) ストップモードからの復帰に使用する周辺機能割り込みのILVL2～ILVL0ビットに割り込み優先レベルを設定する。
また、ストップモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ストップモードからの復帰に使用する周辺機能を動作させる。
周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みルーチンを実行します。

周辺機能割り込み、または $\overline{\text{NMI}}$ 割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード移行前のCPUクロックにしたがって、次のようになります。

ストップモード移行前のCPUクロックがサブクロックの場合 : サブクロック
ストップモード移行前のCPUクロック源がメインクロックの場合 : メインクロックの8分周
ストップモード移行前のCPUクロック源がオンチップオシレータクロックの場合 : オンチップオシレータクロックの8分周

図10.10に通常動作モードからのストップモード、ウェイトモードへの状態遷移を示します。図10.11に通常動作モード状態遷移を示します。

表10.8に現在の状態から次に遷移可能な状態と設定方法を示します。表の縦軸は現在の状態、横軸は次に遷移する状態です。

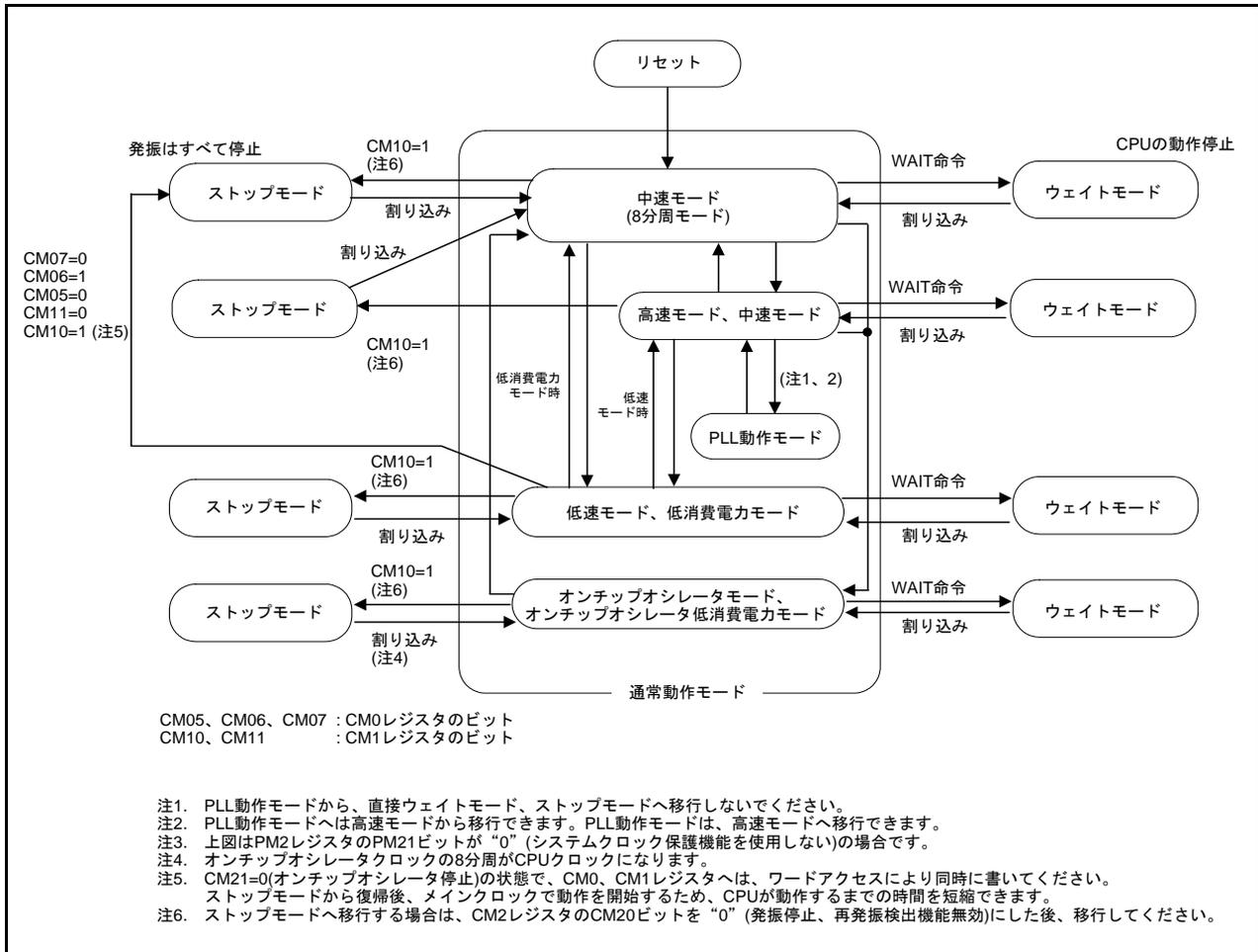


図10.10 ストップモード、ウェイトモード状態遷移

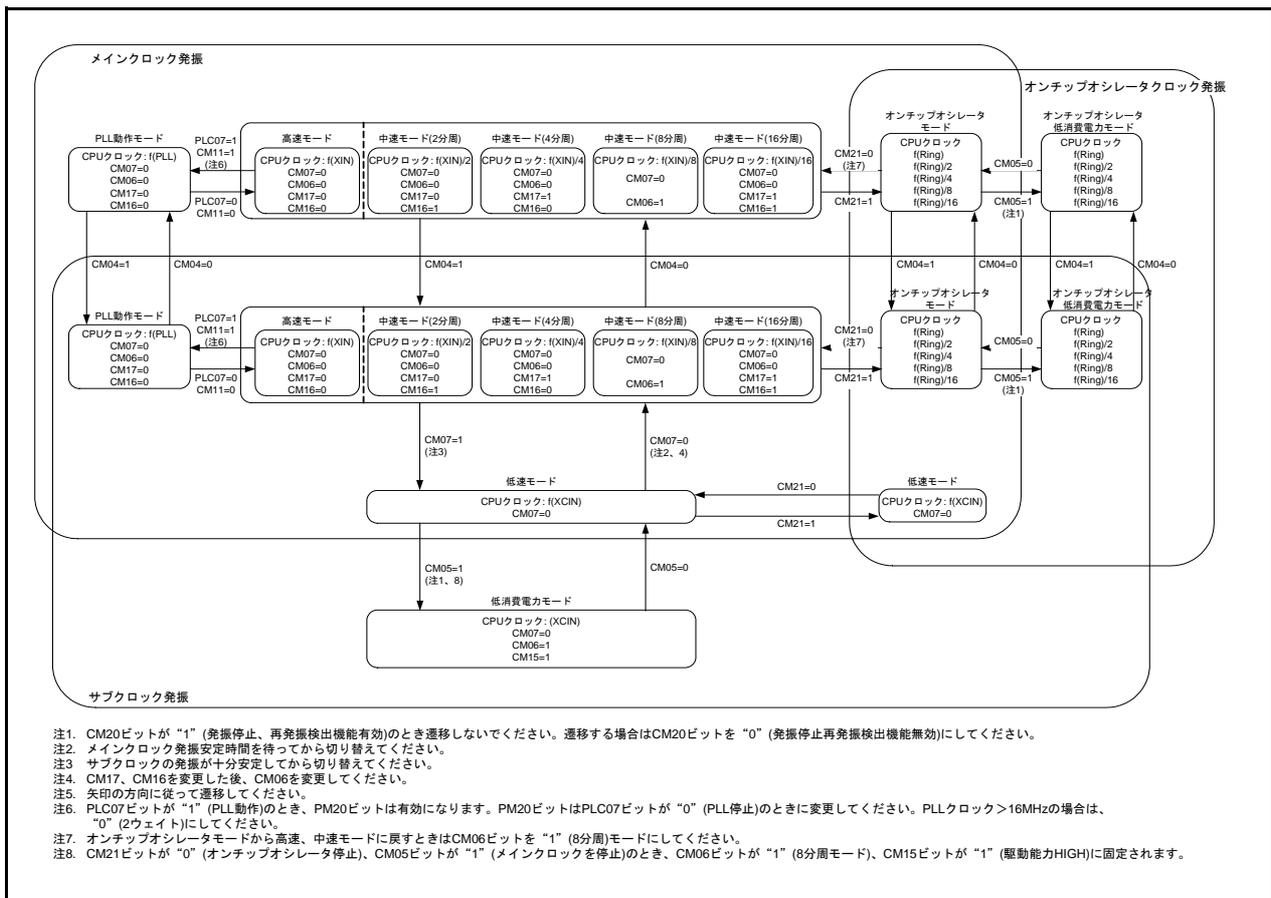


図10.11 通常動作モード状態遷移

表 10.8 現在の状態から次に遷移可能な状態と設定方法(注9)

現在の状態	高速、中速モード	次の状態							
		低速モード(注2)	低消費電力モード	PLL動作モード(注2)	オンチップオシレータモード	オンチップオシレータ低消費電力モード	ストップモード	ウェイトモード	
現在の状態	高速、中速モード	(注8)	(9) (注7)	-	(13) (注3)	(15)	-	(16) (注1)	(17)
	低速モード(注2)	(8)	/	(11) (注1、6)	-	-	-	(16) (注1)	(17)
	低消費電力モード	-	(10)	/	-	-	-	(16) (注1)	(17)
	PLL動作モード(注2)	(12) (注3)	-	-	/	-	-	-	-
	オンチップオシレータモード	(14) (注4)	-	-	-	(注8)	(11) (注1)	(16) (注1)	(17)
	オンチップオシレータ低消費電力モード	-	-	-	-	(10)	(注8)	(16) (注1)	(17)
	ストップモード	(18) (注5)	(18)	(18)	-	(18) (注5)	(18) (注5)	/	-
	ウェイトモード	(18)	(18)	(18)	-	(18)	(18)	-	/

-: 遷移できません。

- 注1. CM20ビットが“1”(発振停止 再発振検出機能有効)のとき遷移しないでください。遷移する場合はCM20ビットを“0”(発振停止、再発振検出機能無効)にしてください。
- 注2. 低速モードはオンチップオシレータクロックの発振、停止が出来ます。この時のオンチップオシレータクロックは周辺機能クロックとして使用できます。PLL動作モードはサブクロックの発振、停止が出来ます。この時のサブクロックは周辺機能クロックとして使用できます。
- 注3. PLL動作モードへの移行は高速モードから行ってください。また、PLL動作モードからは、高速モードへ移行してください。
- 注4. オンチップオシレータモードから高速、中速モードに移行するときはCM06ビットを“1”(8分周モード)にしてください。
- 注5. ストップモードから復帰した場合、CM06ビットが“1”(8分周モード)になります。
- 注6. CM05ビットを“1”(メインクロック停止)にすると、CM06ビットが“1”(8分周モード)になります。
- 注7. サブクロックが発振しているときに移行できます。
- 注8. 同モード内での遷移(分周の変更とサブクロック発振または停止)は次のとおりです。

		サブクロック発振					サブクロック停止				
		分周なし	2分周	4分周	8分周	16分周	分周なし	2分周	4分周	8分周	16分周
サブクロック発振	分周なし	/	(4)	(5)	(7)	(6)	(1)	-	-	-	-
	2分周	(3)	/	(5)	(7)	(6)	-	(1)	-	-	-
	4分周	(3)	(4)	/	(7)	(6)	-	-	(1)	-	-
	8分周	(3)	(4)	(5)	/	(6)	-	-	-	(1)	-
	16分周	(3)	(4)	(5)	(7)	/	-	-	-	-	(1)
サブクロック停止	分周なし	(2)	-	-	-	-	(4)	(5)	(7)	(6)	/
	2分周	-	(2)	-	-	-	(3)	(5)	(7)	(6)	/
	4分周	-	-	(2)	-	-	(3)	(4)	(7)	(6)	/
	8分周	-	-	-	(2)	-	(3)	(4)	(5)	(6)	/
	16分周	-	-	-	-	(2)	(3)	(4)	(5)	(7)	/

-: 遷移できません。

注9. ()内は設定方法。下表参照。

	設定内容	動作内容
(1)	CM04 = 0	サブクロック停止
(2)	CM04 = 1	サブクロック発振
(3)	CM06 = 0, CM17 = 0, CM16 = 0	CPUクロック分周なしモード
(4)	CM06 = 0, CM17 = 0, CM16 = 1	CPUクロック2分周モード
(5)	CM06 = 0, CM17 = 1, CM16 = 0	CPUクロック4分周モード
(6)	CM06 = 0, CM17 = 1, CM16 = 1	CPUクロック16分周モード
(7)	CM06 = 1	CPUクロック8分周モード
(8)	CM07 = 0	メインクロック、PLLクロック、またはオンチップオシレータ選択
(9)	CM07 = 1	サブクロック選択
(10)	CM05 = 0	メインクロック発振
(11)	CM05 = 1	メインクロック停止
(12)	PLC07 = 0, CM11 = 0	メインクロック選択
(13)	PLC07 = 1, CM11 = 1	PLLクロック選択
(14)	CM21 = 0	メインクロックまたはPLLクロック選択
(15)	CM21 = 1	オンチップオシレータクロック選択
(16)	CM10 = 1	ストップモードに移行
(17)	wait命令	ウェイトモードに移行
(18)	ハードウェア割り込み	ストップモード、ウェイトモードから復帰

CM04, CM05, CM06, CM07 : CM0レジスタのビット
 CM10, CM11, CM16, CM17 : CM1レジスタのビット
 CM20, CM21 : CM2レジスタのビット
 PLC07 : PLC0レジスタのビット

10.5 システムクロック保護機能

CPUクロックのクロック源にメインクロックを選択しているとき、プログラム暴走でCPUクロックが停止しないようにクロックの変更を禁止する機能です。

PM2レジスタのPM21ビットを“1”(クロックの変更禁止)にすると、次のビットに書き込めなくなります。

- CM0レジスタのCM02ビット、CM05ビット、CM07ビット
- CM1レジスタのCM10ビット、CM11ビット
- CM2レジスタのCM20ビット
- PLC0レジスタの全ビット

システムクロック保護機能を使用する場合、CM0レジスタのCM05ビットが“0”(メインクロック発振)、CM07ビットが“0”(CPUクロックのクロック源はメインクロック)の状態です。次の処理をしてください。

- (1) PRCRレジスタのPRC1ビットを“1”(PM2レジスタ書き込み許可)にする
 - (2) PM2レジスタのPM21ビットを“1”(クロック変更禁止)にする
 - (3) PRCRレジスタのPRC1ビットを“0”(PM2レジスタ書き込み禁止)にする
- PM21ビットが“1”のとき、WAIT命令を実行しないでください。

10.6 発振停止、再発振検出機能

発振停止、再発振検出機能は、メインクロック発振回路の停止と再発振を検出する機能です。発振停止、再発振検出時にはリセットまたは発振停止、再発振検出割り込みを発生します。どちらを発生させるかは、CM2レジスタのCM27ビットで選択できます。

発振停止、再発振検出機能はCM2レジスタのCM20ビットで、有効、無効が選択できます。

表10.9に発振停止、再発振検出機能の仕様を示します。

表10.9 発振停止、再発振検出機能の仕様

項目	仕様
発振停止検出可能クロックと周波数域	$f(XIN) \geq 2\text{MHz}$
発振停止、再発振検出機能有効条件	CM20ビットを“1”(有効)にする
発振停止、再発振検出時の動作	<ul style="list-style-type: none"> •リセット発生(CM27ビット=0) •発振停止、再発振検出割り込み発生(CM27ビット=1)

10.6.1 CM27ビットが“0”(リセット)の場合の動作

CM20ビットが“1”(発振停止、再発振検出機能有効)のときに、メインクロックの停止を検出した場合、マイクロコンピュータは、初期化され停止します(発振停止検出リセット。「4. SFR」、「5. リセット」参照)。

この状態はハードウェアリセット1または電圧低下検出リセット(ハードウェアリセット2)によって解除されます。なお、再発振検出時にもマイクロコンピュータを初期化、停止できますが、このような使い方はしないでください(メインクロック停止中にCM20ビットを“1”、CM27ビットを“0”にしないでください)。

10.6.2 CM27ビットが“1”(発振停止、再発振検出割り込み)の場合の動作

メインクロックがCPUクロック源でCM20ビットが“1”(発振停止、再発振検出機能有効)の場合、メインクロックが停止すると、次の状態になります。

- 発振停止、再発振検出割り込み要求が発生する
- オンチップオシレータが発振を開始し、オンチップオシレータクロックがメインクロックに代わってCPUクロックや周辺機能のクロック源になる
- CM21ビット=1(オンチップオシレータクロックがCPUクロック、周辺機能クロックのクロック源)
- CM22ビット=1(メインクロック停止を検出)
- CM23ビット=1(メインクロック停止)

PLLクロックがCPUクロック源でCM20ビットが“1”の場合、メインクロックが停止すると次の状態になります。CM21ビットは変化しませんので、割り込みルーチン内で“1”(オンチップオシレータクロック)にしてください。

- 発振停止、再発振検出割り込み要求が発生する
- CM22ビット=1(メインクロック停止を検出)
- CM23ビット=1(メインクロック停止)
- CM21ビットは変化しない

CM20ビットが“1”の場合、メインクロックが停止した状態から再発振すると、次の状態になります。

- 発振停止、再発振検出割り込み要求が発生する
- CM22ビット=1(メインクロック再発振を検出)
- CM23ビット=0(メインクロック発振)
- CM21ビットは変化しない

10.6.3 発振停止、再発振検出機能使用方法

- 発振停止、再発振検出割り込みは、ウォッチドッグタイマ割り込み、電圧低下検出割り込みとベクタを共用しています。発振停止、再発振検出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合、割り込み処理プログラムでCM22ビットを読み、どちらの割り込み要因による割り込み要求かを判定してください。
- 発振停止後、メインクロックが再発振した場合は、プログラムでメインクロックをCPUクロックや周辺機能のクロック源に戻してください。図10.12にオンチップオシレータクロックからメインクロックへの切り替え手順を示します。
- 発振停止、再発振検出割り込み発生と同時にCM22ビットが“1”になります。CM22ビットが“1”のとき、発振停止、再発振検出割り込みは禁止されます。プログラムでCM22ビットを“0”にすると、発振停止、再発振検出割り込みが許可されます。
- 低速モード時、CM20ビットが“1”で、メインクロックが停止すると、発振停止、再発振検出割り込み要求が発生します。同時にオンチップオシレータが発振を開始します。このとき、CPUクロックはサブクロックのままですが、周辺機能クロックのクロック源はオンチップオシレータになります。
- 発振停止、再発振検出機能を使用中にウェイトモードへ移行する場合は、CM02ビットを“0”（ウェイトモード時周辺機能クロックを停止しない）にしてください。
- 発振停止、再発振検出機能は外部要因によるメインクロック停止に備えた機能ですので、プログラムでメインクロックを停止または発振させる場合、すなわち、ストップモードにする、またはCM05ビットを変更する場合は、CM20ビットを“0”（発振停止、再発振検出機能無効）にしてください。
- メインクロックの周波数が2MHz以下の場合、この機能は使用できませんので、CM20ビットを“0”にしてください。

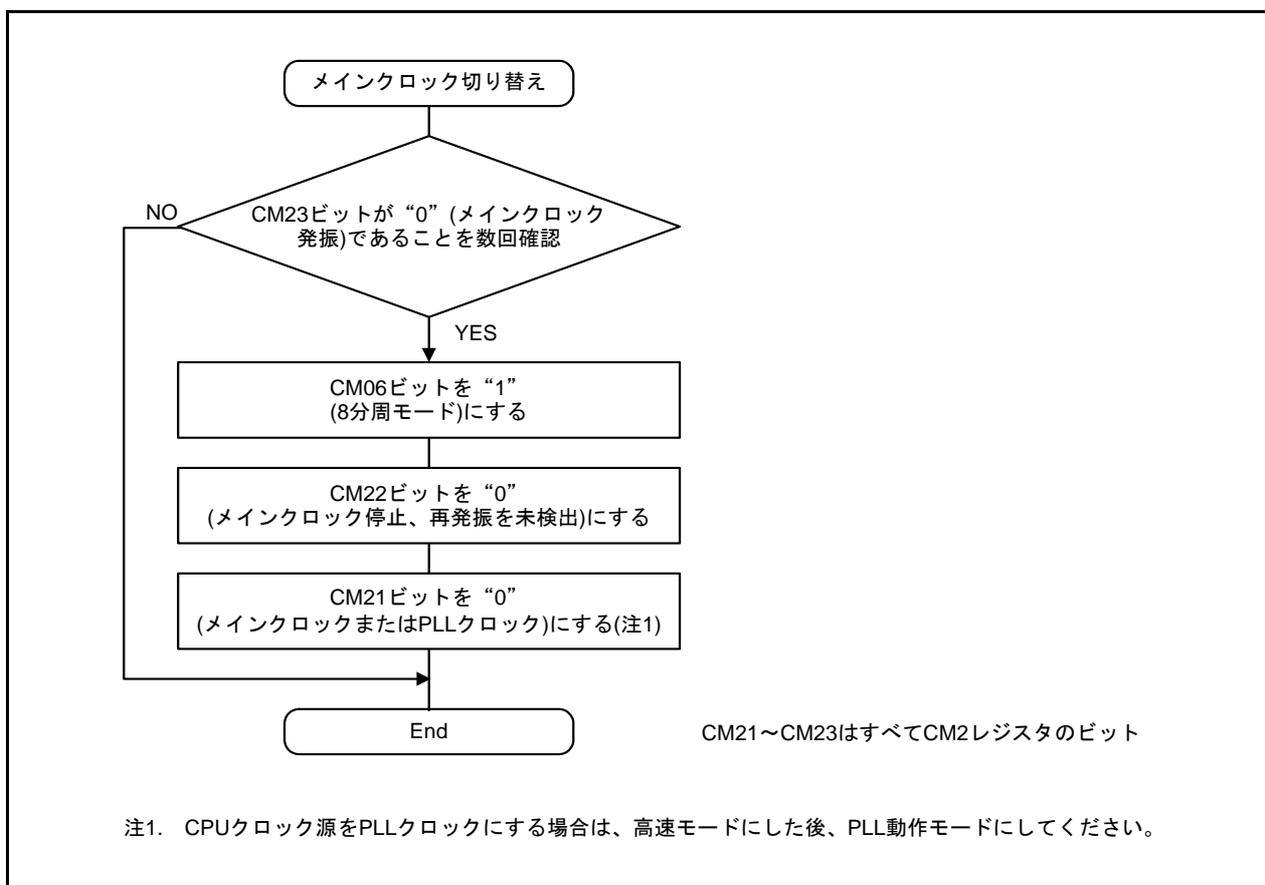


図10.12 オンチップオシレータクロックからメインクロックへの切り替え手順

11. プロテクト

注意

M16C/62PT は、PRCR レジスタのPRC3 ビットは使用しないでください。

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。図11.1にPRCRレジスタを示します。PRCRレジスタが保護するレジスタは次のとおりです。

- PRC0 ビットで保護されるレジスタ : CM0、CM1、CM2、PLC0、PCLKRレジスタ
- PRC1 ビットで保護されるレジスタ : PM0、PM1、PM2、TB2SC、INVC0、INVC1レジスタ
- PRC2 ビットで保護されるレジスタ : PD9、S3C、S4Cレジスタ
- PRC3 ビットで保護されるレジスタ : VCR2、D4INTレジスタ

PRC2 ビットを“1”（書き込み許可状態）にした後、任意の番地に行書き込みを実行すると“0”（書き込み禁止状態）になります。PRC2 ビットで保護されるレジスタはPRC2 ビットを“1”にした次の命令で変更してください。PRC2 ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。PRC0、PRC1、PRC3 ビットは任意の番地に行書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

プロテクトレジスタ			
シンボル	アドレス	リセット後の値	
PRCR	000Ah番地	XX000000b	
ビットシンボル	ビット名	機能	RW
PRC0	プロテクトビット0	CM0、CM1、CM2、PLC0、PCLKRレジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	RW
PRC1	プロテクトビット1	PM0、PM1、PM2、TB2SC、INVC0、INVC1レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	RW
PRC2	プロテクトビット2	PD9、S3C、S4Cレジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可(注1)	RW
PRC3	プロテクトビット3	VCR2、D4INTレジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	RW
— (b5-b4)	予約ビット	“0”にしてください。	RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1. PRC2ビットは“1”を書き込んだ後、任意の番地に行書き込みを実行すると“0”になります。他のビットは“0”になりませんので、プログラムで“0”にしてください。

図11.1 PRCRレジスタ

12. 割り込み

注意

M16C/62P(80ピン版)は、周辺機能割り込みの $\overline{\text{INT3}} \sim \overline{\text{INT5}}$ 割り込みを使用しないでください。
 M16C/62PT(100ピン版)は、電圧低下検出割り込みを使用しないでください。
 M16C/62PT(80ピン版)は、電圧低下検出割り込み、周辺機能割り込みの $\overline{\text{INT3}} \sim \overline{\text{INT5}}$ 割り込みを使用しないでください。

12.1 割り込みの分類

図12.1に割り込みの分類を示します。

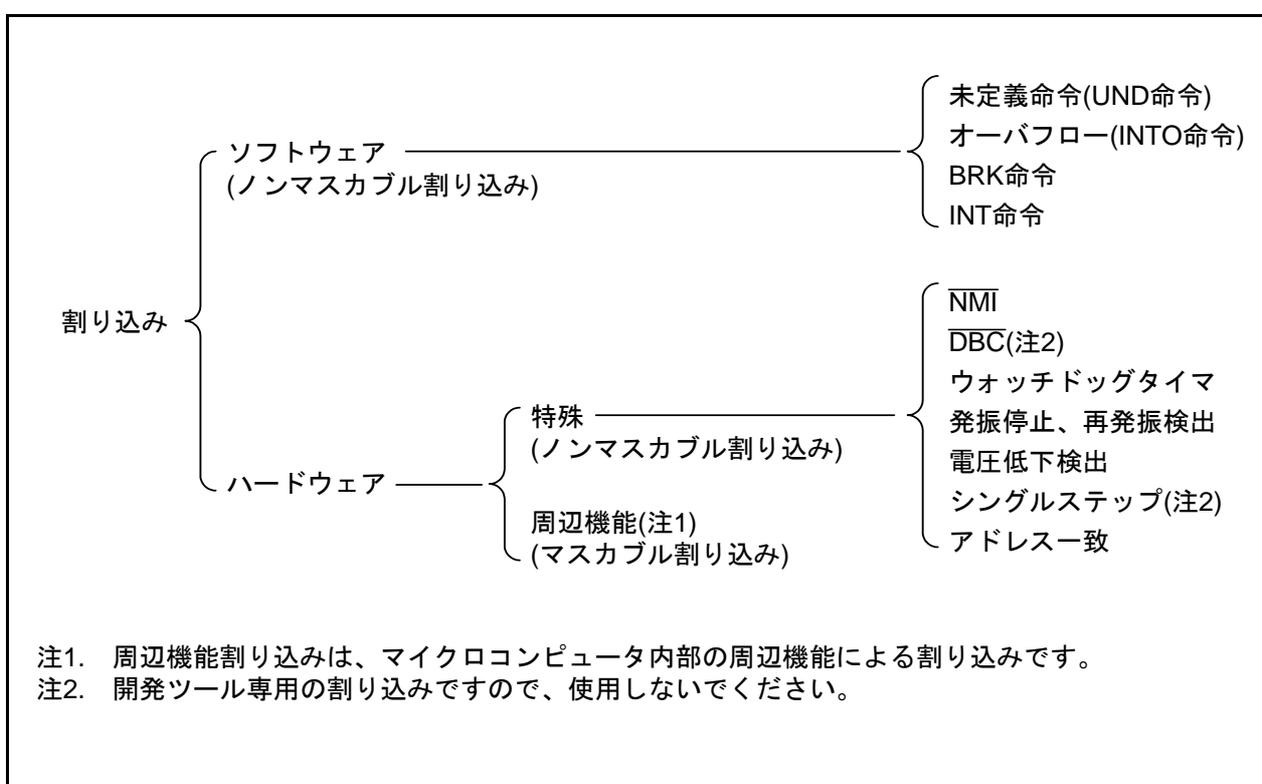


図12.1 割り込みの分類

- マスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**
- ノンマスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

12.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスクابل割り込みです。

12.2.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

12.2.2 オーバフロー割り込み

オーバフロー割り込みは、FLGレジスタのOフラグが“1”(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

12.2.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

12.2.4 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。ソフトウェア割り込み番号4～31は周辺機能割り込みに割り当てられますので、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0～31では、命令実行時にUフラグを退避し、Uフラグを“0”(ISPを選択)にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

12.3 ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺機能割り込みがあります。

12.3.1 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

12.3.1.1 $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みは、 $\overline{\text{NMI}}$ 端子の入力が“H”から“L”に変化すると発生します。 $\overline{\text{NMI}}$ 割り込みの詳細は「12.7 $\overline{\text{NMI}}$ 割り込み」を参照してください。

12.3.1.2 $\overline{\text{DBC}}$ 割り込み

開発ツール専用の割り込みですので、使用しないでください。

12.3.1.3 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。

ウォッチドッグタイマの詳細は「13. ウォッチドッグタイマ」を参照してください。

12.3.1.4 発振停止、再発振検出割り込み

発振停止、再発振検出機能による割り込みです。発振停止、再発振検出機能の詳細は「10. クロック発生回路」を参照してください。

12.3.1.5 電圧低下検出割り込み

電圧検出回路による割り込みです。電圧検出回路の詳細は「6. 電圧検出回路」を参照してください。

12.3.1.6 シングルステップ割り込み

開発ツール専用の割り込みですので、使用しないでください。

12.3.1.7 アドレス一致割り込み

アドレス一致割り込みは、AIERレジスタのAIER0ビット、AIER1ビット、AIER2レジスタのAIER20ビット、AIER21ビットのうち、いずれか1つが“1”(アドレス一致割り込み許可)の場合、対応するRMAD0～RMAD3レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「12.9 アドレス一致割り込み」を参照してください。

12.3.2 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスカブル割り込みです。周辺機能割り込みの割り込み要因は「表 12.2 可変ベクタテーブル」を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

12.4 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。図12.2に割り込みベクタを示します。

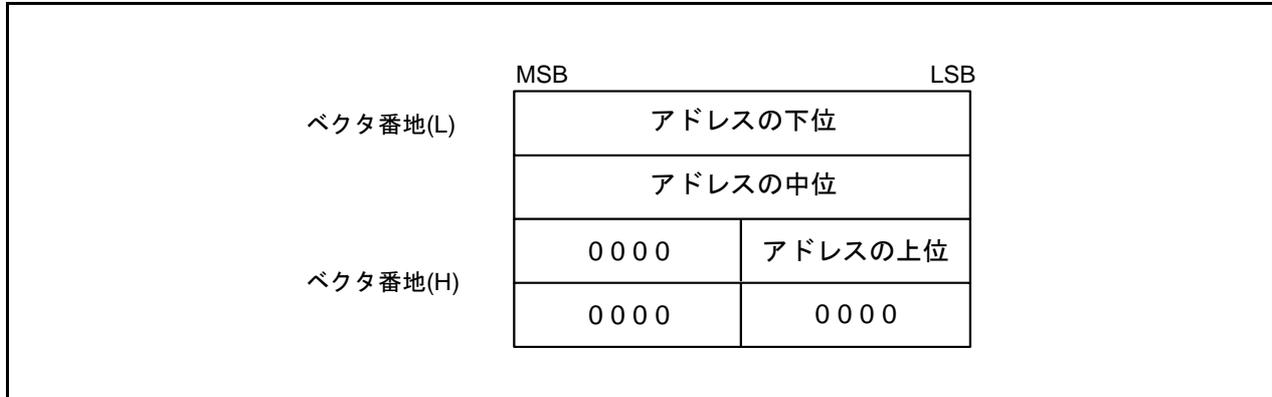


図12.2 割り込みベクタ

12.4.1 固定ベクタテーブル

固定ベクタテーブルは、FFFDCh番地からFFFFFh番地に配置されています。表12.1に固定ベクタテーブルを示します。フラッシュメモリ版では、固定ベクタのベクタ番地(H)をIDコードチェック機能で使用します。詳細は「22.2 フラッシュメモリ書き換え禁止機能」を参照してください。

表12.1 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L)～番地(H)	参照先
未定義命令 (UND命令)	FFFDCh～FFFDh	M16C/60、M16C/20シリーズ ソフトウェアマニュアル
オーバフロー (INTO命令)	FFFE0h～FFFE3h	
BRK命令(注2)	FFFE4h～FFFE7h	
アドレス一致	FFFE8h～FFFEb	12.9 アドレス一致割り込み
シングルステップ(注1)	FFFECh～FFFEFh	—
ウォッチドッグタイマ、 発振停止、再発振検出、 電圧低下検出	FFFF0h～FFFF3h	13. ウォッチドッグタイマ、 10. クロック発生回路、 6. 電圧検出回路
DBC(注1)	FFFF4h～FFFF7h	—
NMI	FFFF8h～FFFFb	12.7 NMI割り込み
リセット	FFFFCh～FFFFFh	5. リセット

注1. 開発ツール専用の割り込みですので、使用しないでください。

注2. FFFE7h番地の内容がFFhの場合は可変ベクタテーブル内のベクタが示す番地から実行

12.4.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。表12.2に可変ベクタテーブルを示します。INTBレジスタに偶数番地を設定すると、奇数番地の場合に比べて割り込みシーケンスが速く実行できます。

表12.2 可変ベクタテーブル

割り込み要因	ベクタ番地(注1) 番地(L)~番地(H)	ソフトウェア 割り込み番号	参照先
BRK命令(注5)	+0~+3(0000h~0003h)	0	M16C/60、M16C/20シリーズ ソフトウェアマニュアル
—(予約)		1~3	
INT3	+16~+19(0010h~0013h)	4	12.6 INT割り込み
タイマB5	+20~+23(0014h~0017h)	5	15. タイマ
タイマB4、UART1バス衝突検出(注4、6)	+24~+27(0018h~001Bh)	6	15. タイマ 17. シリアルインタフェース
タイマB3、UART0バス衝突検出(注4、6)	+28~+31(001Ch~001Fh)	7	
SI/O4、INT5(注2)	+32~+35(0020h~0023h)	8	12.6 INT割り込み
SI/O3、INT4(注2)	+36~+39(0024h~0027h)	9	17. シリアルインタフェース
UART2バス衝突検出(注6)	+40~+43(0028h~002Bh)	10	17. シリアルインタフェース
DMA0	+44~+47(002Ch~002Fh)	11	14. DMAC
DMA1	+48~+51(0030h~0033h)	12	
キー入力割り込み	+52~+55(0034h~0037h)	13	12.8 キー入力割り込み
A/D	+56~+59(0038h~003Bh)	14	18. A/Dコンバータ
UART2送信、NACK2(注3)	+60~+63(003Ch~003Fh)	15	17. シリアルインタフェース
UART2受信、ACK2(注3)	+64~+67(0040h~0043h)	16	
UART0送信、NACK0(注3)	+68~+71(0044h~0047h)	17	
UART0受信、ACK0(注3)	+72~+75(0048h~004Bh)	18	
UART1送信、NACK1(注3)	+76~+79(004Ch~004Fh)	19	
UART1受信、ACK1(注3)	+80~+83(0050h~0053h)	20	
タイマA0	+84~+87(0054h~0057h)	21	15. タイマ
タイマA1	+88~+91(0058h~005Bh)	22	
タイマA2	+92~+95(005Ch~005Fh)	23	
タイマA3	+96~+99(0060h~0063h)	24	
タイマA4	+100~+103(0064h~0067h)	25	
タイマB0	+104~+107(0068h~006Bh)	26	
タイマB1	+108~+111(006Ch~006Fh)	27	
タイマB2	+112~+115(0070h~0073h)	28	
INT0	+116~+119(0074h~0077h)	29	12.6 INT割り込み
INT1	+120~+123(0078h~007Bh)	30	
INT2	+124~+127(007Ch~007Fh)	31	
INT命令割り込み(注5)	+128~+131(0080h~0083h) ~ +252~+255(00FCh~00FFh)	32 ~ 63	M16C/60、M16C/20シリーズ ソフトウェアマニュアル

注1. INTBレジスタが示す番地からの相対番地です。

注2. IFSRレジスタのIFSR6、7ビットで選択してください。

注3. I²Cモード時にNACK、ACKが割り込み要因になります。

注4. IFSR2AレジスタのIFSR26、27ビットで選択してください。

注5. Iフラグによる禁止はできません。

注6. バス衝突検出：IEモード時はバス衝突検出が割り込み要因になります。

I²Cモード時はスタートコンディション検出、ストップコンディション検出が割り込み要因になります。

12.5 割り込み制御

マスクابل割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスクابل割り込みには該当しません。

マスクابل割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL2～ILVL0ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されます。

図12.3に割り込み制御レジスタを示します。

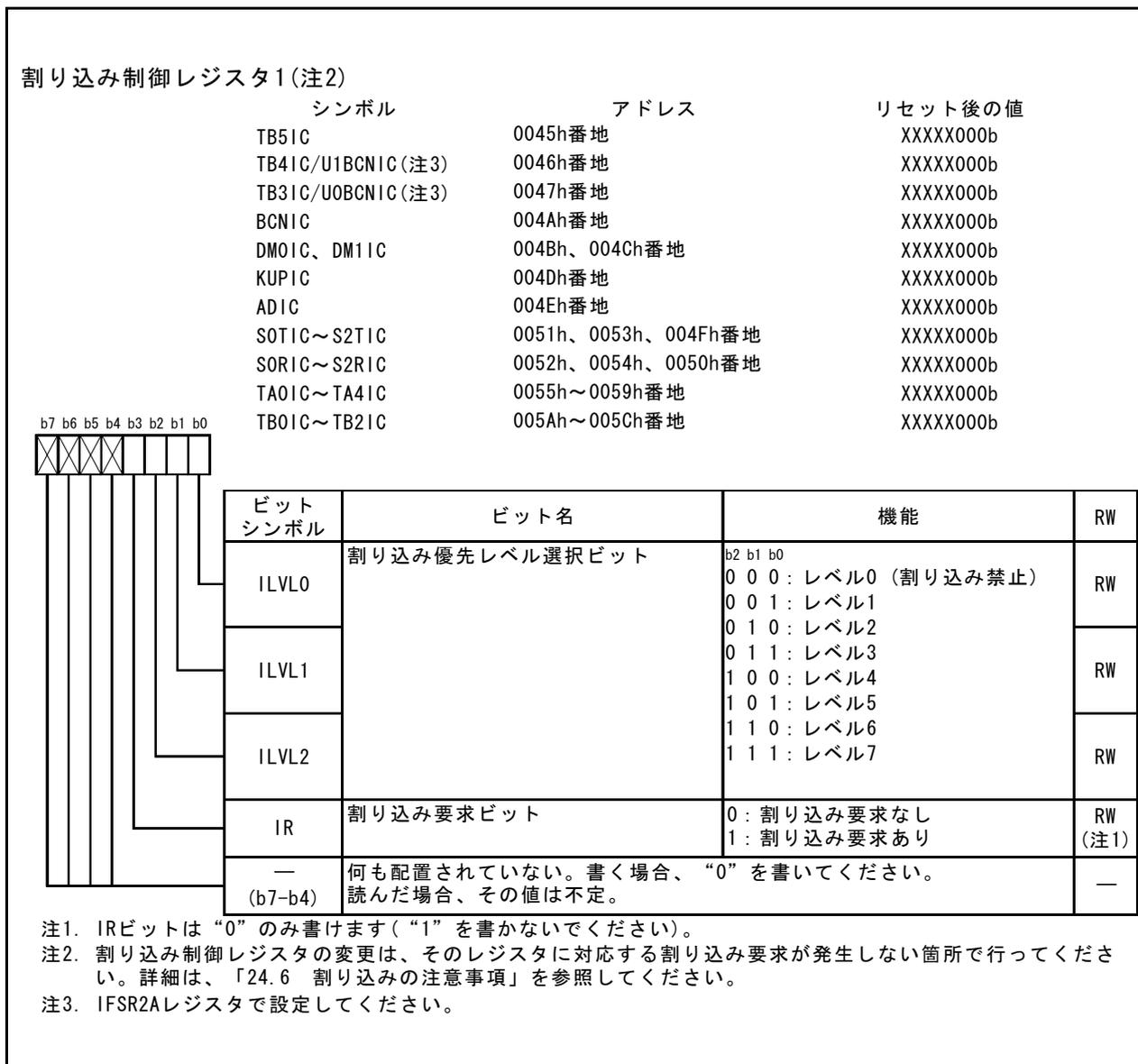


図12.3 割り込み制御レジスタ(1)

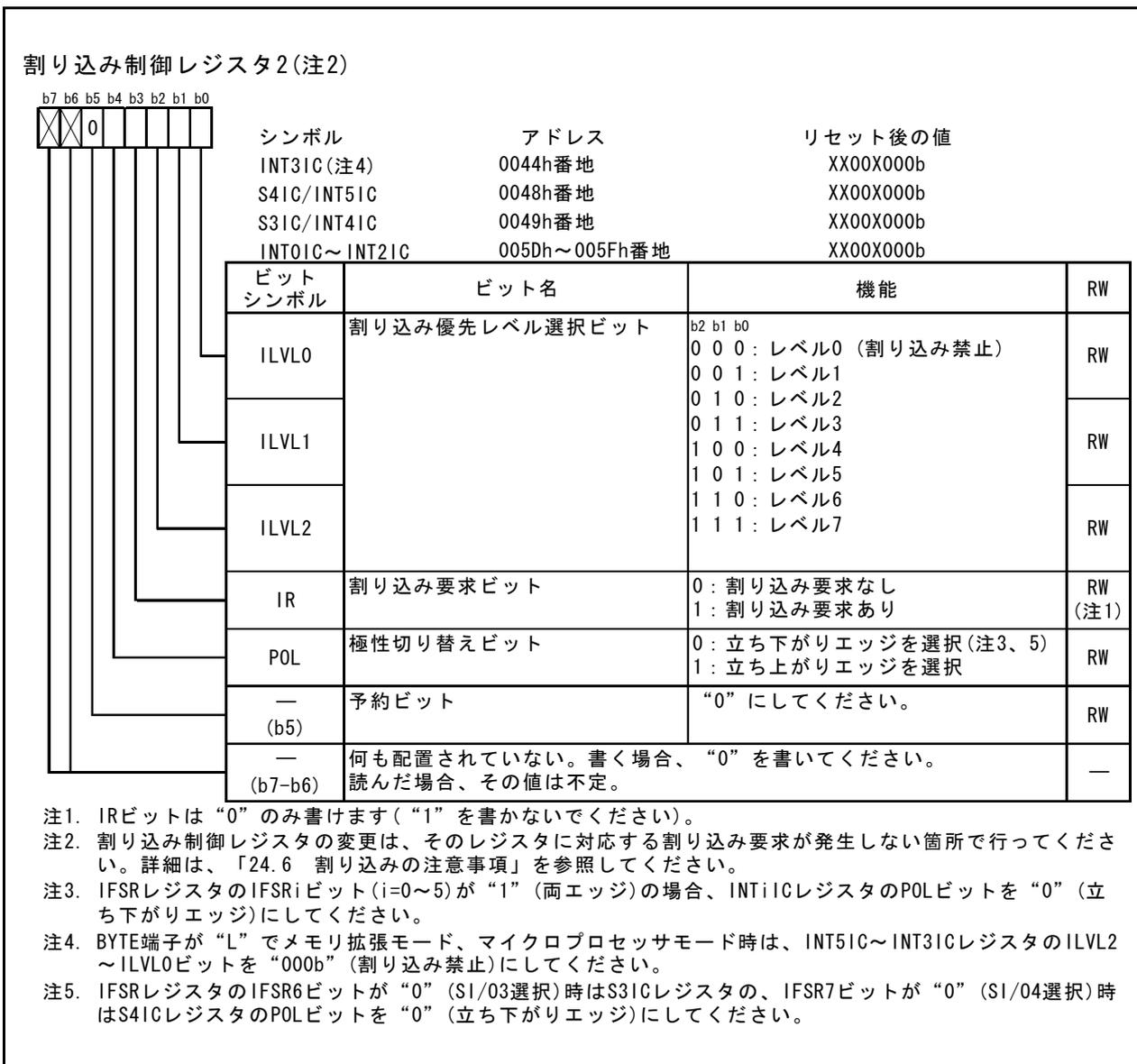


図12.4 割り込み制御レジスタ(2)

12.5.1 Iフラグ

Iフラグは、マスクابل割り込みを許可または禁止します。Iフラグを“1”(許可)にすると、マスクابل割り込みは許可され、“0”(禁止)にするとすべてのマスクابل割り込みは禁止されます。

12.5.2 IRビット

IRビットは割り込み要求が発生すると、“1”(割り込み要求あり)になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IRビットは“0”(割り込み要求なし)になります。

IRビットはプログラムによって“0”にできます。“1”を書かないでください。

12.5.3 ILVL2～ILVL0ビット、IPL

割り込み優先レベルは、ILVL2～ILVL0ビットで設定できます。

表12.3に割り込み優先レベルの設定、表12.4にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- Iフラグ = 1
- IRビット = 1
- 割り込み優先レベル > IPL

Iフラグ、IRビット、ILVL2～ILVL0ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表 12.3 割り込み優先レベルの設定

ILVL2～ILVL0ビット	割り込み優先レベル	優先順位
000b	レベル0(割り込み禁止)	—
001b	レベル1	低い  高い
010b	レベル2	
011b	レベル3	
100b	レベル4	
101b	レベル5	
110b	レベル6	
111b	レベル7	

表 12.4 IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル1以上を許可
001b	レベル2以上を許可
010b	レベル3以上を許可
011b	レベル4以上を許可
100b	レベル5以上を許可
101b	レベル6以上を許可
110b	レベル7以上を許可
111b	すべてのマスクابل割り込みを禁止

12.5.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、CPUは、その命令の実行終了後に優先順位が判定し、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。図12.5に割り込みシーケンスの実行時間を示します。

- (1) 00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。
Iフラグは“0”(割り込み禁止)
Dフラグは“0”(シングルステップ割り込みは割り込み禁止)
Uフラグは“0”(ISPを指定)
ただしUフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません。
- (4) CPU内部の一時レジスタ(注1)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) 受け付けた割り込みの割り込み優先レベルをIPLに設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

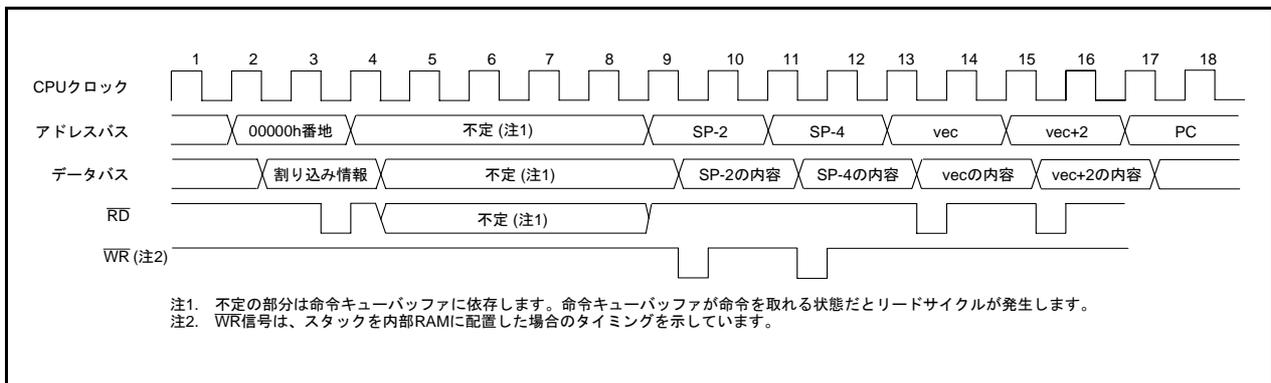


図12.5 割り込みシーケンスの実行時間

12.5.5 割り込み応答時間

図12.6に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図12.6の(a))と割り込みシーケンスを実行する時間(図12.6の(b))で構成されます。

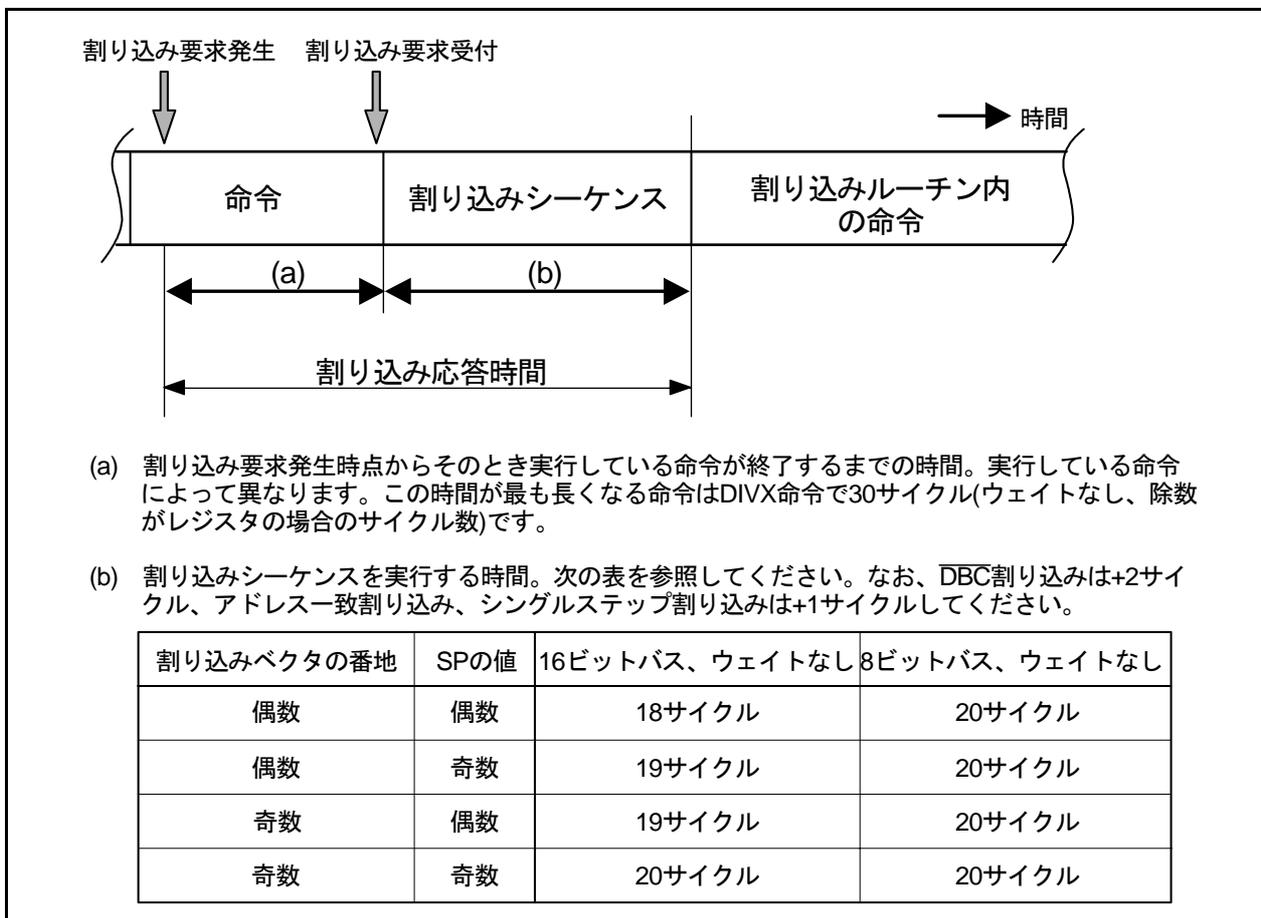


図12.6 割り込み応答時間

12.5.6 割り込み要求受付時のIPLの変化

マスクابل割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表12.5に示す値がIPLに設定されます。表12.5にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表12.5 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、 \overline{NMI} 、発振停止、再発振検出、電圧低下検出	7
ソフトウェア、アドレス一致、 \overline{DBC} 、シングルステップ	変化しない

12.5.7 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。図12.7に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、1命令でSPを除くすべてのレジスタを退避できます。

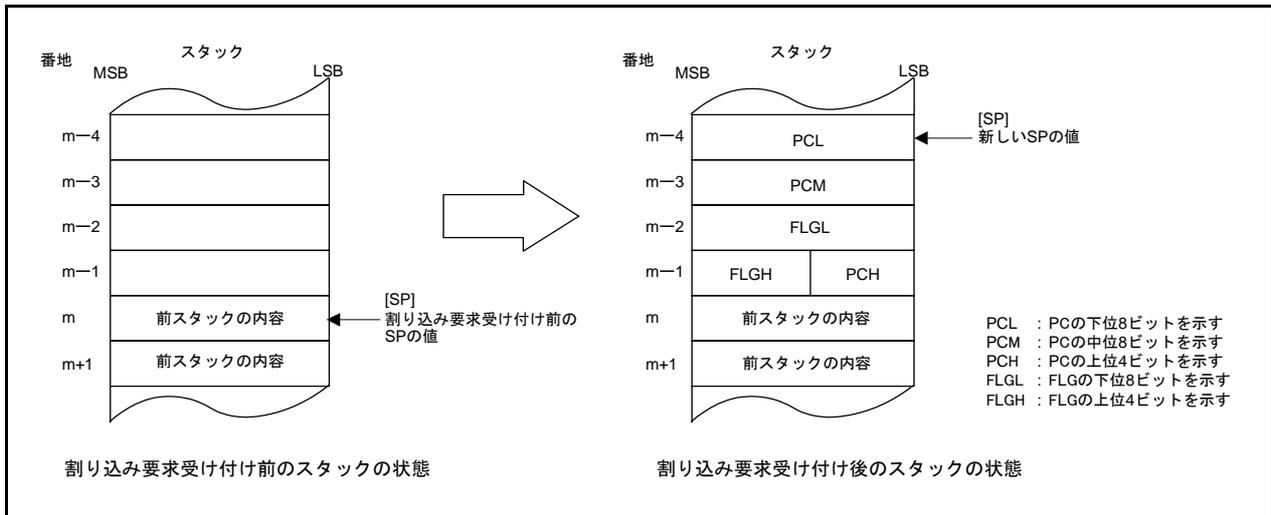


図12.7 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受け付け時のSP(注1)が偶数の場合と奇数の場合で異なります。SP(注1)が偶数の場合は、FLGレジスタ、PCがそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図12.8にレジスタ退避動作を示します。

注1. ソフトウェア番号32～63のINT命令を実行した場合は、Uフラグが示すSPです。それ以外は、ISPです。

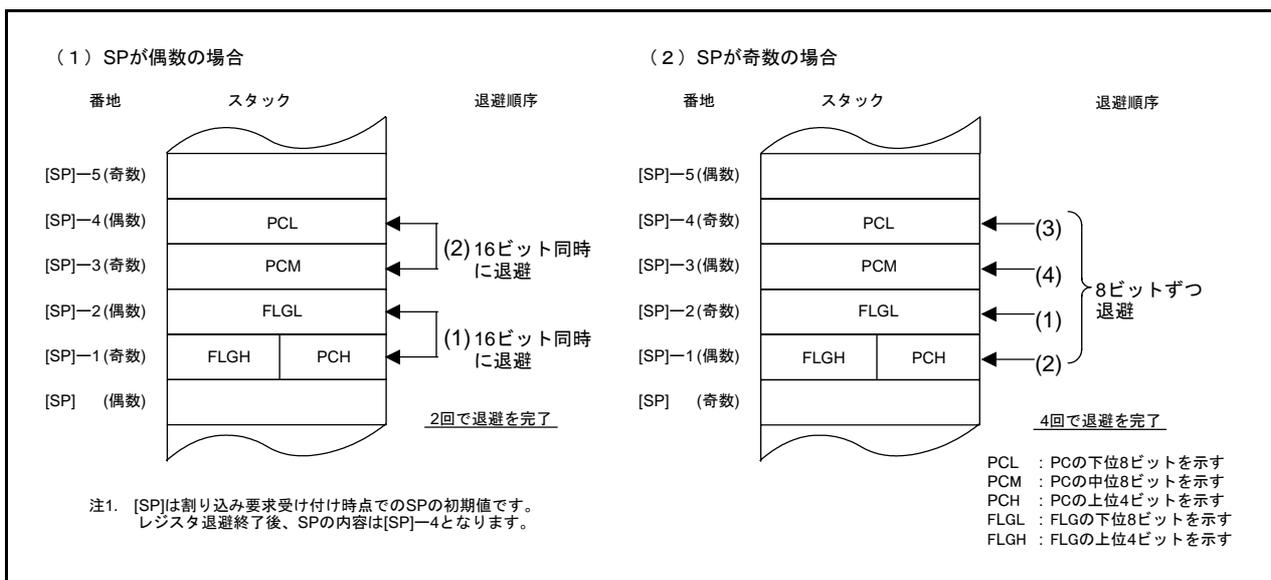


図12.8 レジスタ退避動作

12.5.8 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

レジスタバンクを切り替えた場合、REIT命令の実行で割り込みシーケンス直前のレジスタバンクに切り替わります。

12.5.9 割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうか調べるタイミング)で、2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能割り込み)の優先レベルは、ILVL2～ILVL0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。図12.9にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

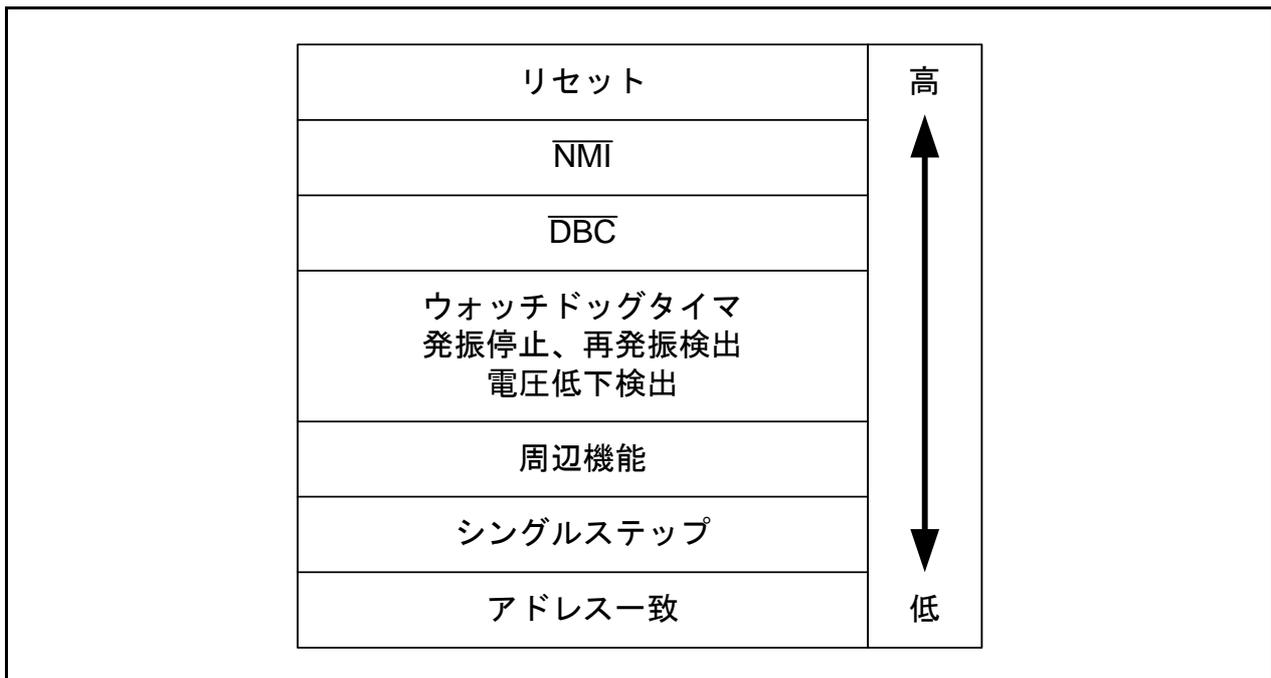


図12.9 ハードウェア割り込みの割り込み優先順位

12.5.10 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図12.10に割り込み優先レベル判定回路を示します。

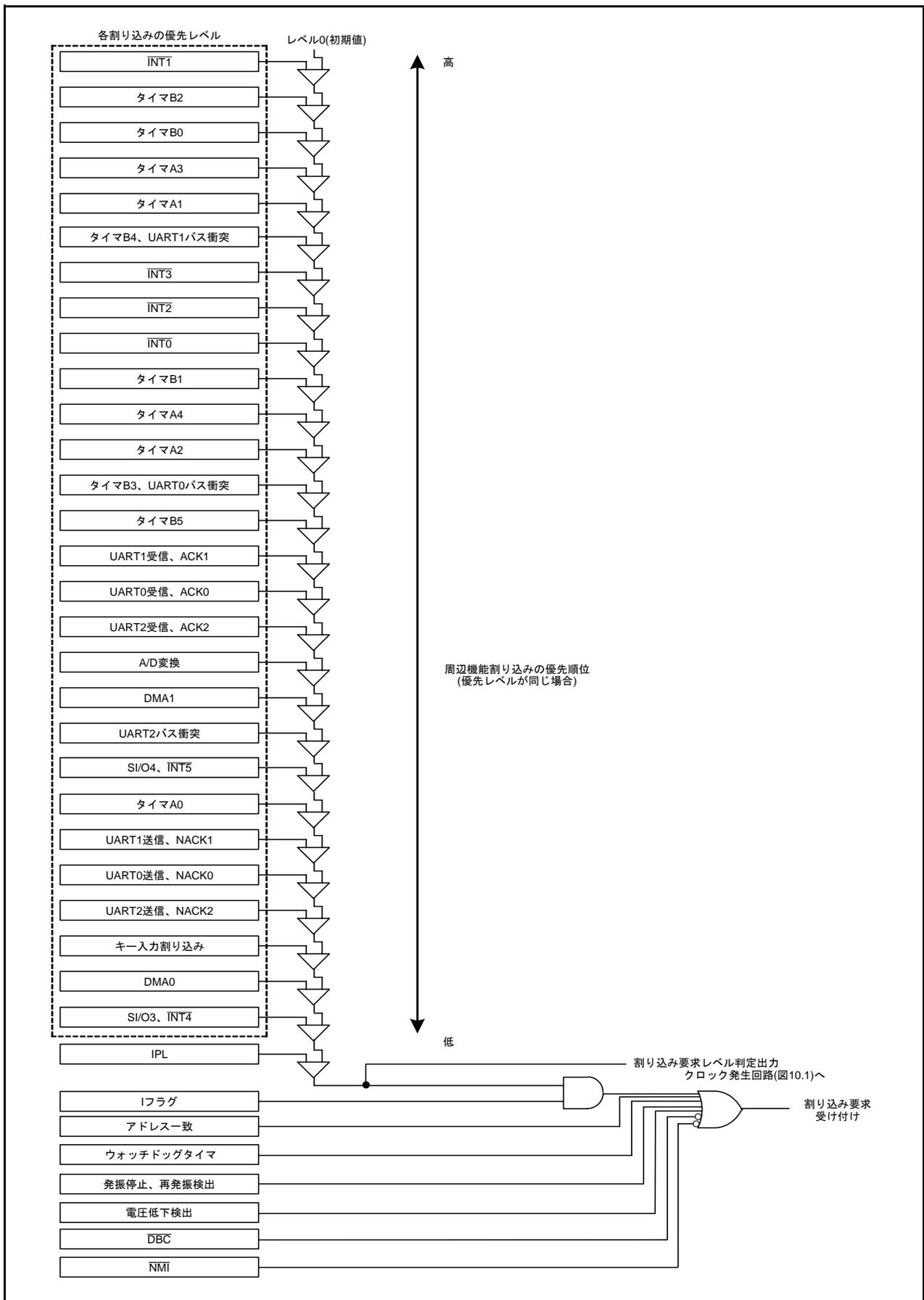


図12.10 割り込み優先レベル判定回路

12.6 INT \bar{i} 割り込み

INT \bar{i} 割り込み($i=0\sim5$)は外部入力による割り込みです。極性をIFSRレジスタのIFSR \bar{i} ビットで選択できます。

INT4とSI/O3、INT5とSI/O4は、ベクタや割り込み制御レジスタを共用しています。INT4割り込みを使用するときは、IFSRレジスタのIFSR6ビットを“1”(INT4)に、INT5割り込みを使用するときは、IFSRレジスタのIFSR7ビットを“1”(INT5)にしてください。

IFSR6、IFSR7ビットを変更した後、対応するIRビットを“0”(割り込み要求なし)にしてから、割り込みを許可してください。

図12.11にIFSRレジスタを、図12.12にIFSR2Aレジスタを示します。

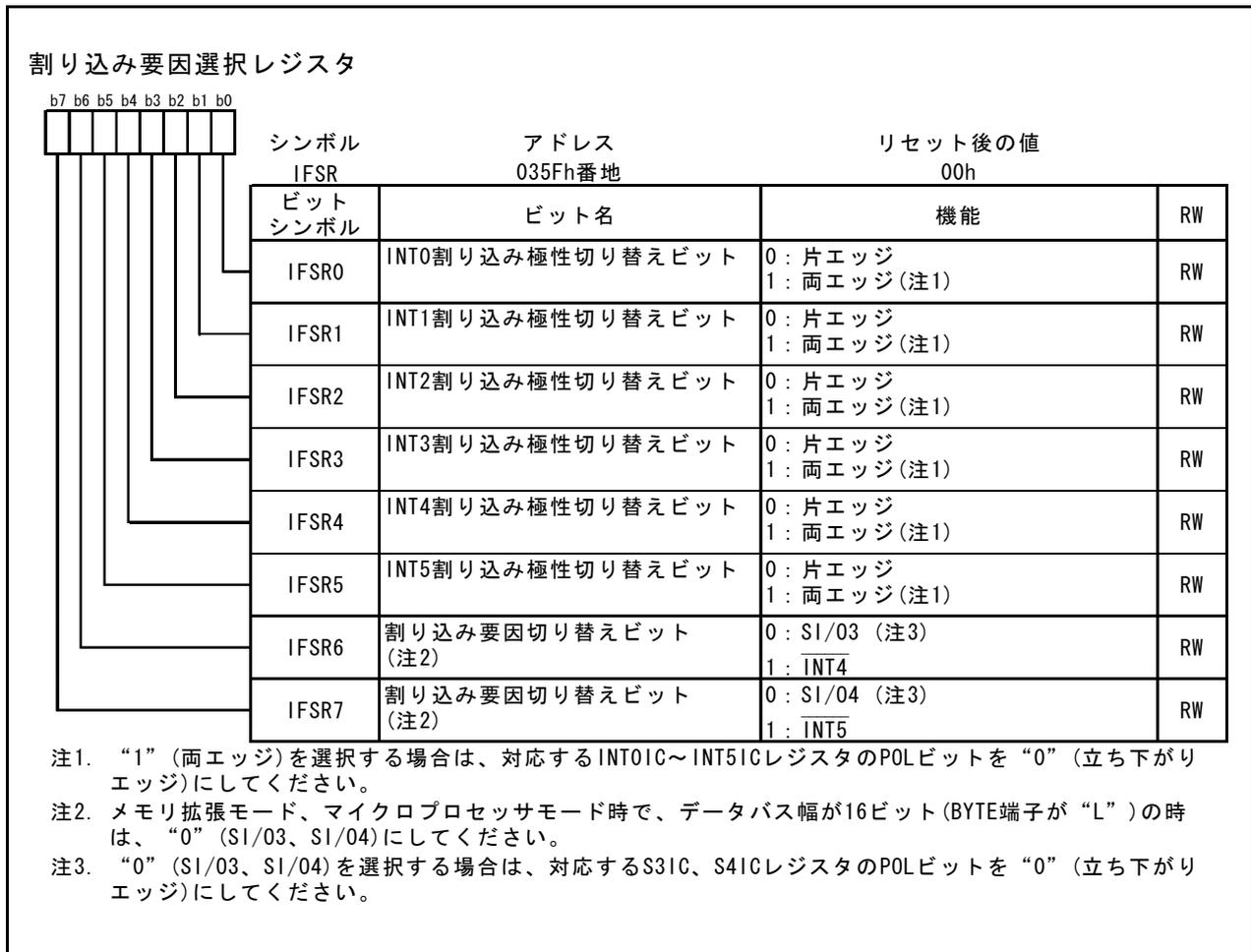
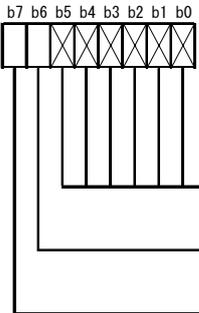


図12.11 IFSRレジスタ

割り込み要因選択レジスタ2



シンボル	アドレス	リセット後の値	
IFSR2A	035Eh番地	00XXXXXXb	
ビット シンボル	ビット名	機能	RW
— (b5-b0)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	—
IFSR26	割り込み要因切り替えビット(注1)	0 : タイマB3 1 : UART0バス衝突検出	RW
IFSR27	割り込み要因切り替えビット(注2)	0 : タイマB4 1 : UART1バス衝突検出	RW

注1. タイマB3とUART0バス衝突検出は、ベクタや割り込み制御レジスタを共用しています。
タイマB3割り込みを使用するときは、IFSR26ビットを“0”(タイマB3)にしてください。
UART0バス衝突検出割り込みを使用するときは、IFSR26ビットを“1”にしてください。

注2. タイマB4とUART1バス衝突検出は、ベクタや割り込み制御レジスタを共用しています。
タイマB4割り込みを使用するときは、IFSR27ビットを“0”(タイマB4)にしてください。
UART1バス衝突検出割り込みを使用するときは、IFSR27ビットを“1”にしてください。

図12.12 IFSR2A レジスタ

12.7 $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 端子の入力が“H”から“L”に変化したとき、 $\overline{\text{NMI}}$ 割り込みが発生します。 $\overline{\text{NMI}}$ 割り込みは、ノンマスクابل割り込みです。また、この端子は $\overline{\text{NMI}}$ 割り込み入力端子ですが、端子の入力レベルをP8レジスタのP8_5ビットで読めます。

この端子は入力ポートとして使用できません。

12.8 キー入力割り込み

P10_4～P10_7のうち、PD10レジスタのPD10_4～PD10_7ビットを“0”（入力）にしている端子のいずれかの入力が立ち下がると、キー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用できます。ただし、キー入力割り込みを使用する場合、P10_4～P10_7をアナログ入力端子として使用しないでください。図12.13にキー入力割り込みのブロック図を示します。なお、PD10_4～PD10_7ビットを“0”（入力モード）にしている端子のいずれかに“L”が入力されていると、他の端子の入力は割り込みとして検知されません。

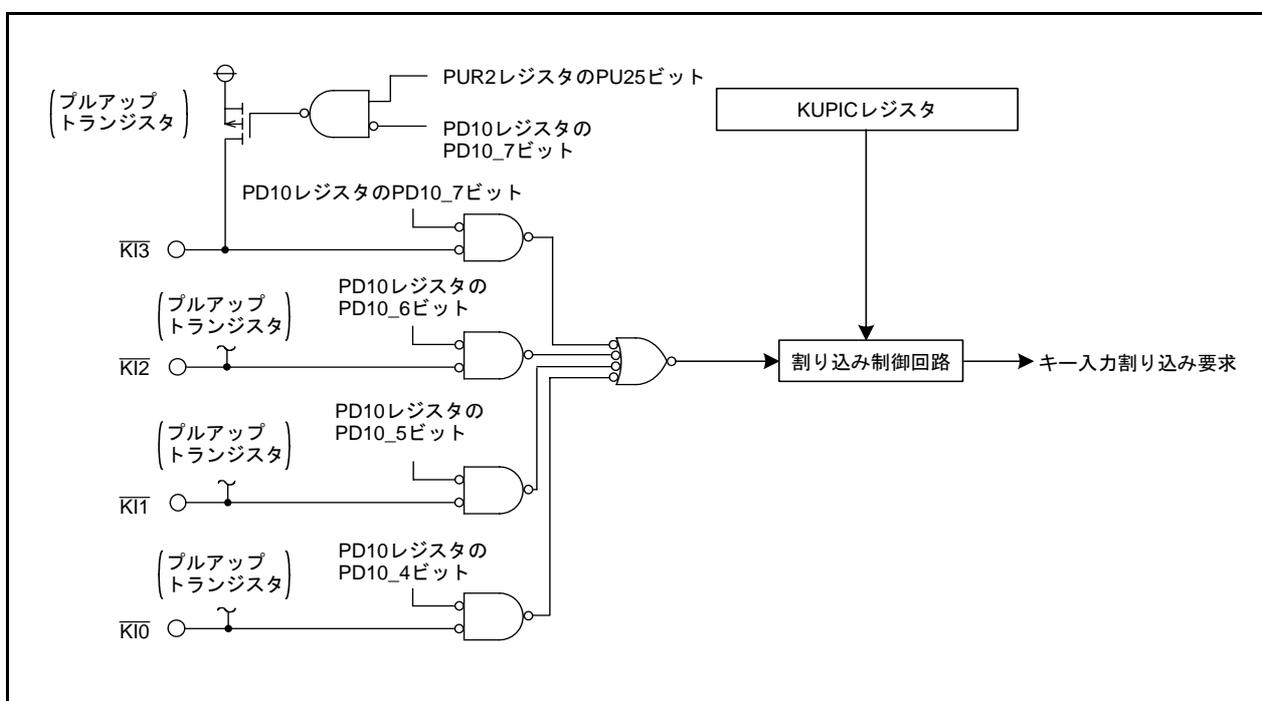


図12.13 キー入力割り込みのブロック図

12.9 アドレス一致割り込み

RMADiレジスタ(i=0~3)で示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。RMADiレジスタには、命令の先頭番地を設定してください。割り込みの禁止または許可は、AIERレジスタのAIER0、AIER1ビット、AIER2レジスタのAIER20、AIER21ビットで選択できます。アドレス一致割り込みは、Iフラグ、IPLの影響を受けません。アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「12.5.7 レジスタ退避」参照)は、RMADiレジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- スタックの内容を書き換えてREIT命令で復帰する
- スタックをPOP命令等を使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表12.6にアドレス一致割り込み要求受け付け時に退避されるPCの値を示します。

なお、外部データバスを8ビットで使用している場合、外部領域に対してアドレス一致割り込みは使用できません。

図12.14にAIER、AIER2、RMAD0~RMAD3レジスタを示します。

表12.6 アドレス一致割り込み要求受け付け時に退避されるPCの値

RMADiレジスタで示される番地の命令	退避されるPCの値
•16ビットオペコード命令 •8ビットオペコードの命令のうち、以下に示す命令 ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ.B:S #IMM8,dest STNZ.B:S #IMM8,dest STZX.B:S #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (ただし、dest = A0またはA1)	RMADiレジスタで示される番地+2
上記以外	RMADiレジスタで示される番地+1

退避されるPCの値:「12.5.7 レジスタ退避」参照

表12.7 アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIER0	RMAD0
アドレス一致割り込み1	AIER1	RMAD1
アドレス一致割り込み2	AIER20	RMAD2
アドレス一致割り込み3	AIER21	RMAD3

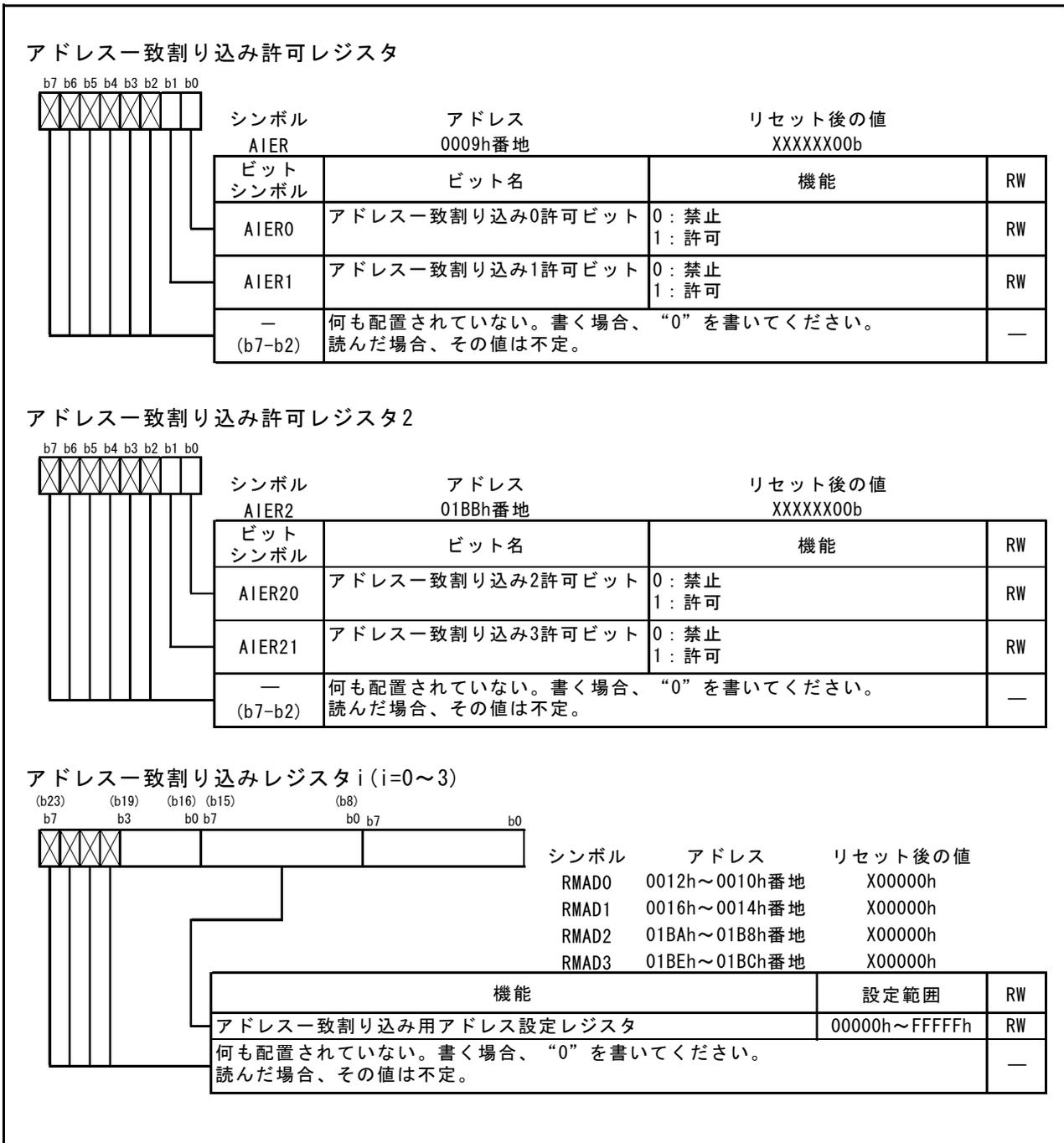


図12.14 AIER、AIER2、RMAD0~RMAD3レジスタ

13. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。ウォッチドッグタイマは15ビットのカウンタを持ち、CPUクロックをプリスケアラで分周したクロックをダウンカウントします。ウォッチドッグタイマがアンダフローしたときの処理として、ウォッチドッグタイマ割り込み要求を発生させるか、ウォッチドッグタイマリセットをかけるかをPM1レジスタのPM12ビットで選択できます。PM12ビットには“1”(ウォッチドッグタイマリセット)のみ書けます。一度、PM12ビットを“1”にするとプログラムでは“0”(ウォッチドッグタイマ割り込み)にはできません。ウォッチドッグタイマリセットの詳細は「5.4 ウォッチドッグタイマリセット」を参照してください。

CPUクロック源にメインクロック、オンチップオシレータクロック、PLLクロックを選択している場合、WDCレジスタのWDC7ビットでプリスケアラが16分周するか128分周するかを選択できます。CPUクロックにサブクロックを選択している場合、WDC7ビットに関係なくプリスケアラは2分周します。したがって、ウォッチドッグタイマの周期は次のように計算できます。ただし、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。

CPUクロックにメインクロック、オンチップオシレータクロック、PLLクロックを選択している場合

$$\text{ウォッチドッグタイマの周期} = \frac{\text{プリスケアラの分周 (16または128)} \times \text{ウォッチドッグタイマのカウント値 (32768)}}{\text{CPUクロック}}$$

CPUクロックにサブクロックを選択している場合

$$\text{ウォッチドッグタイマの周期} = \frac{\text{プリスケアラの分周(2)} \times \text{ウォッチドッグタイマのカウント値 (32768)}}{\text{CPUクロック}}$$

例えば、CPUクロックが16MHzで、プリスケアラが16分周する場合、ウォッチドッグタイマの周期は、約32.8msとなります。

ウォッチドッグタイマは、WDTSレジスタに書いたとき、初期化されます。プリスケアラは、リセット後に初期化されています。なお、リセット後はウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことによりカウントを開始します。

ストップモード時、ウェイトモード時、またはホールド状態時、ウォッチドッグタイマとプリスケアラは停止し、解除すると保持された値からカウントします。

図13.1にウォッチドッグタイマのブロック図、図13.2にウォッチドッグタイマ関連レジスタを示します。

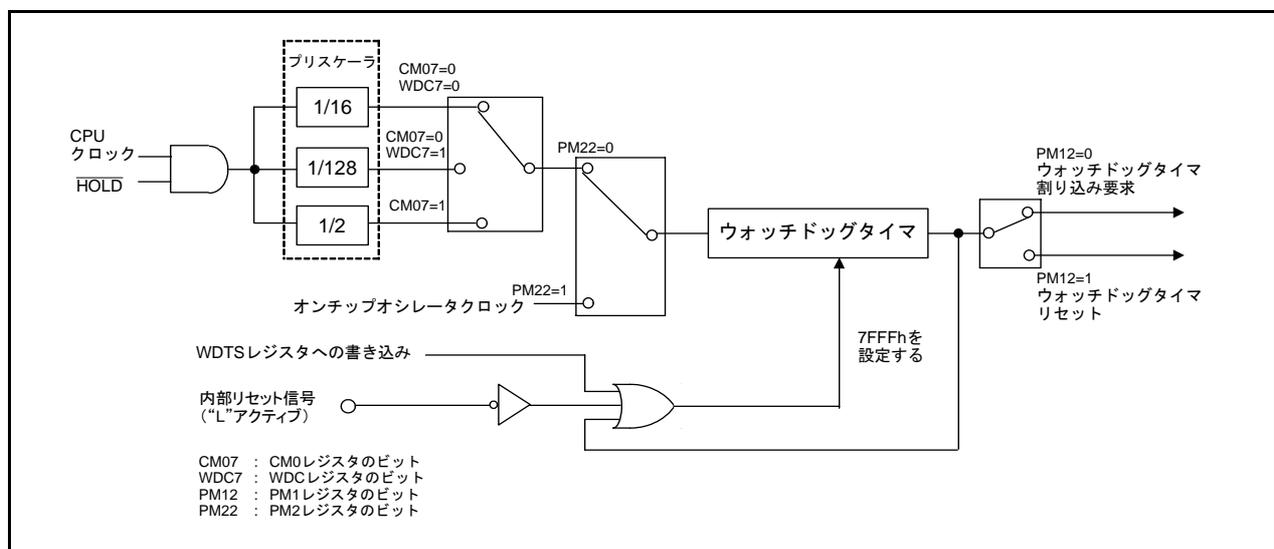


図13.1 ウォッチドッグタイマのブロック図

ウォッチドッグタイマ制御レジスタ			
シンボル	アドレス	リセット後の値	
WDC	000Fh番地	00XXXXXXb	
ビットシンボル	ビット名	機能	RW
— (b4-b0)	ウォッチドッグタイマの上位ビット		RO
WDC5	コールドスタート/ウォームスタート判定フラグ(注1、2)	0: コールドスタート 1: ウォームスタート	RW
— (b6)	予約ビット	“0”にしてください。	RW
WDC7	プリスケラ選択ビット	0: 16分周 1: 128分周	RW

注1. WDCレジスタに書くと、WDC5ビットは、“1”(ウォームスタート)になります。VCC1端子に入力されている電圧が4.0Vより低い場合、CPUクロックを2MHz以下にするか、2度書き込みを行ってください。

注2. WDC5ビットは、電源投入後“0”(コールドスタート)です。プログラムでのみ“1”にできます。

ウォッチドッグタイマスタートレジスタ(注1)			
シンボル	アドレス	リセット後の値	
WDTS	000Eh番地	不定	
	機能		RW
	このレジスタに対する書き込み命令で、ウォッチドッグタイマは初期化されスタートします。 ウォッチドッグタイマの初期値は、書き込む値にかかわらず“7FFFh”が設定され ます。		WO

注1. ウォッチドッグタイマ割り込み発生後は、WDTSレジスタに書き込みを行ってください。

図13.2 WDC、WDTSレジスタ

13.1 カウントソース保護モード

ウォッチドッグタイマのカウントソースとして、オンチップオシレータクロックを使用するモードです。暴走時にCPUクロックが停止しても、ウォッチドッグタイマにクロックを供給できます。

このモードを使用する場合、次の処理を行ってください。

- (1) PRCRレジスタのPRC1ビットを“1”(PM1、PM2レジスタ書き込み許可)にする
- (2) PM1レジスタのPM12ビットを“1”(ウォッチドッグタイマアンダフロー時リセット)にする
- (3) PM2レジスタのPM22ビットを“1”(ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)にする
- (4) PRCRレジスタのPRC1ビットを“0”(PM1、PM2レジスタ書き込み禁止)にする
- (5) WDTSレジスタへの書き込み(ウォッチドッグタイマのカウント開始)

PM22ビットを“1”にすると次の状態になります。

- オンチップオシレータが発振を開始し、オンチップオシレータクロックが、ウォッチドッグタイマのカウントソースになる

$$\text{ウォッチドッグタイマの周期} = \frac{\text{ウォッチドッグタイマのカウント値(32768)}}{\text{オンチップオシレータクロック}}$$

- CM1レジスタのCM10ビットへの書き込み禁止(“1”を書いても変化せず、ストップモードに移行しない)
- ウェイトモードまたはホールド状態のとき、ウォッチドッグタイマは停止しない

14. DMAC

DMAC(ダイレクト・メモリ・アクセス・コントローラ)はCPUを使わずにデータを転送する機能で、2チャンネルあります。DMACはDMA要求が発生するごとに転送元番地の1データ(8ビットまたは16ビット)を転送先番地にデータ転送します。DMACはCPUと同じデータバスを使用します。DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しているため、DMA要求が発生してから1ワード(16ビット)または1バイト(8ビット)のデータ転送を完了するまでの動作を高速に行えます。図14.1にDMACブロック図、表14.1にDMACの仕様、図14.2～図14.5にDMAC関連レジスタを示します。

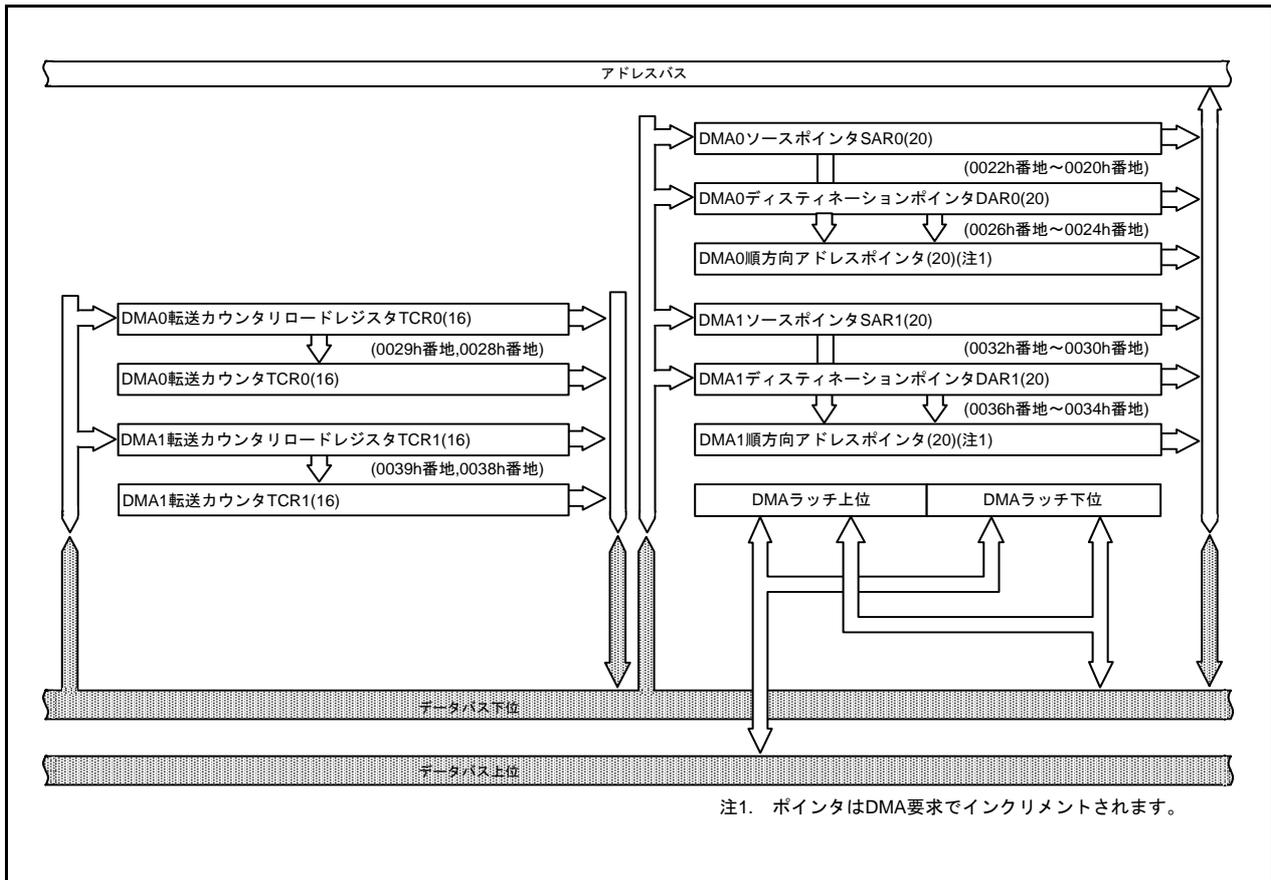


図14.1 DMACブロック図

DMA要求は、DMiSLレジスタ(i=0～1)のDSRビットへの書き込みの他、DMiSLレジスタのDMSビット、DSEL3～DSEL0ビットで指定した各機能から出力される割り込み要求で発生します。ただし、DMA転送は、割り込み要求動作と異なり、Iフラグ、割り込み制御レジスタの影響を受けませんので、割り込みが禁止されているときなどのように、割り込み要求が受け付けられない場合でも、DMA要求は受け付けられます。また、DMACは割り込みに影響を与えませんので、DMA転送では割り込み制御レジスタのIRビットは変化しません。

DMiCONレジスタのDMAEビットが“1”(DMA許可)であれば、DMA要求が発生するごとに、データ転送が開始されます。ただし、DMA転送サイクルよりもDMA要求が発生するサイクルが早い場合、転送要求回数と転送回数が一致しない場合があります。詳細については「14.4 DMA要求」を参照してください。

表 14.1 DMACの仕様(注3)

項目	仕様	
チャンネル数	2チャンネル(サイクルスチール方式)	
転送空間	<ul style="list-style-type: none"> •1Mバイトの任意の空間から固定番地 •固定番地から1Mバイトの任意の空間 •固定番地から固定番地 	
最大転送バイト数	128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)	
DMA要求要因(注1、2)	INT0またはINT1端子の立ち下がりエッジ INT0またはINT1端子の両エッジ タイマA0～タイマA4割り込み要求 タイマB0～タイマB5割り込み要求 UART0送信、UART0受信割り込み要求 UART1送信、UART1受信割り込み要求 UART2送信、UART2受信割り込み要求 SI/O3、SI/O4割り込み要求 A/D変換割り込み要求 ソフトウェアトリガ	
チャンネル優先順位	DMA0 > DMA1(DMA0が優先)	
転送単位	8ビットまたは16ビット	
転送番地方向	順方向または固定(転送元と転送先の両方を順方向にしないでください)	
転送モード	単転送	DMAi転送カウンタ(i=0～1)がアンダフローすると転送が終了する
	リピート転送	DMAi転送カウンタがアンダフローした後、DMAi転送カウンタリロードレジスタの値がDMAi転送カウンタにリロードされ、DMA転送を継続する
DMA割り込み要求発生タイミング	DMAi転送カウンタがアンダフローしたとき	
DMA転送開始	DMAiCONレジスタのDMAEビットを“1”(許可)にすると、DMA要求が発生するごとにデータ転送が開始される	
DMA転送停止	単転送	<ul style="list-style-type: none"> •DMAEビットを“0”(禁止)にする •DMAi転送カウンタがアンダフローした後
	リピート転送	DMAEビットを“0”(禁止)にする
順方向アドレスポインタ、DMAi転送カウンタのリロードタイミング	DMAEビットを“1”(許可)にした後のデータ転送開始時に、SARiポインタまたはDARiポインタのうち、順方向に指定された方のポインタの値を順方向アドレスポインタへ、DMAi転送カウンタリロードレジスタの値をDMAi転送カウンタへリロード	
DMA転送サイクル数	SFR、内部RAM間:3サイクル	

注1. DMA転送は、各割り込みに影響を与えません。また、DMA転送はIフラグ、割り込み制御レジスタの影響を受けません。

注2. 選択できる要因はチャンネルによって異なります。

注3. DMAC関連レジスタ(0020h～003Fh番地)をDMACでアクセスしないでください。

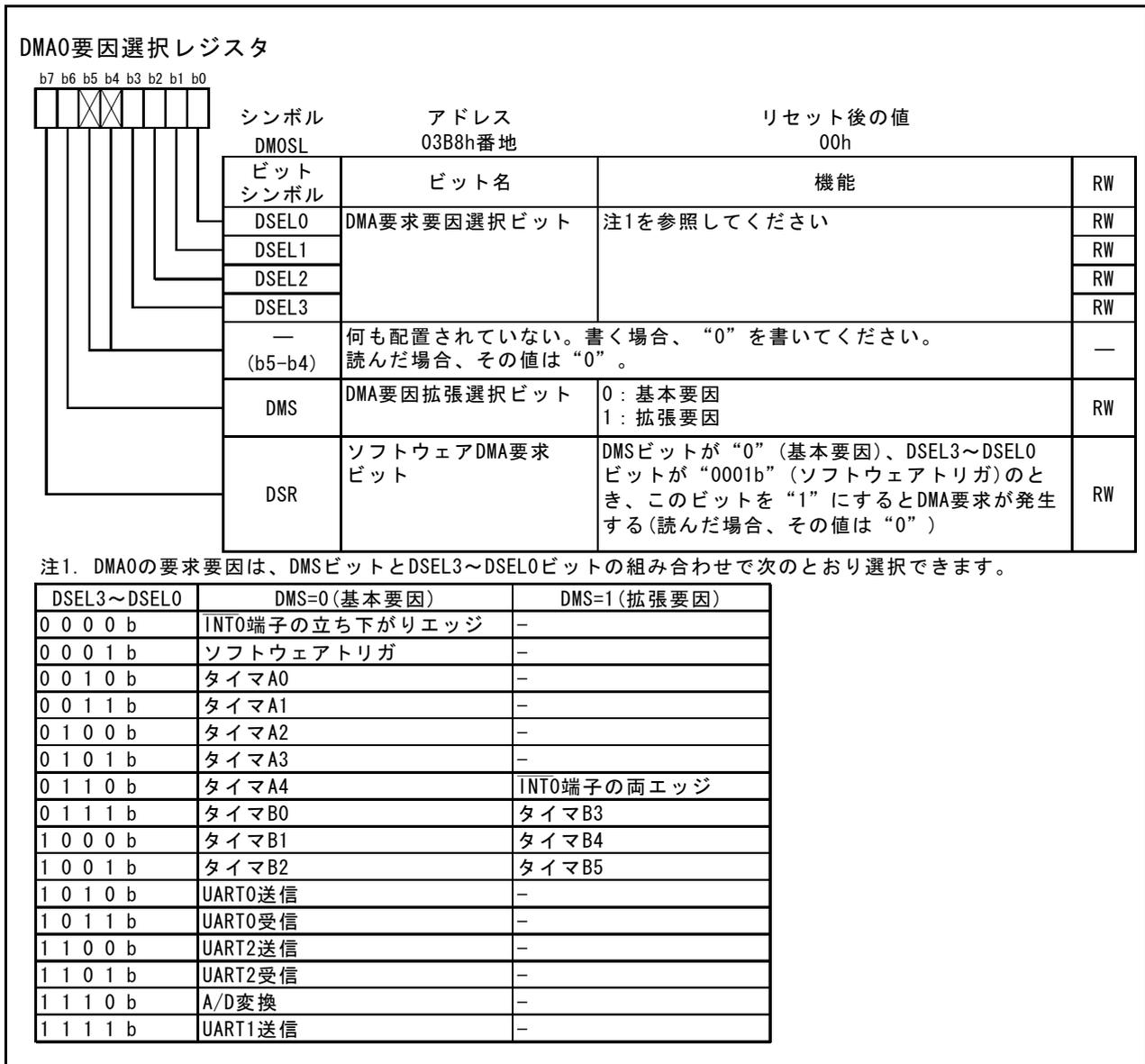


図14.2 DMOSLレジスタ

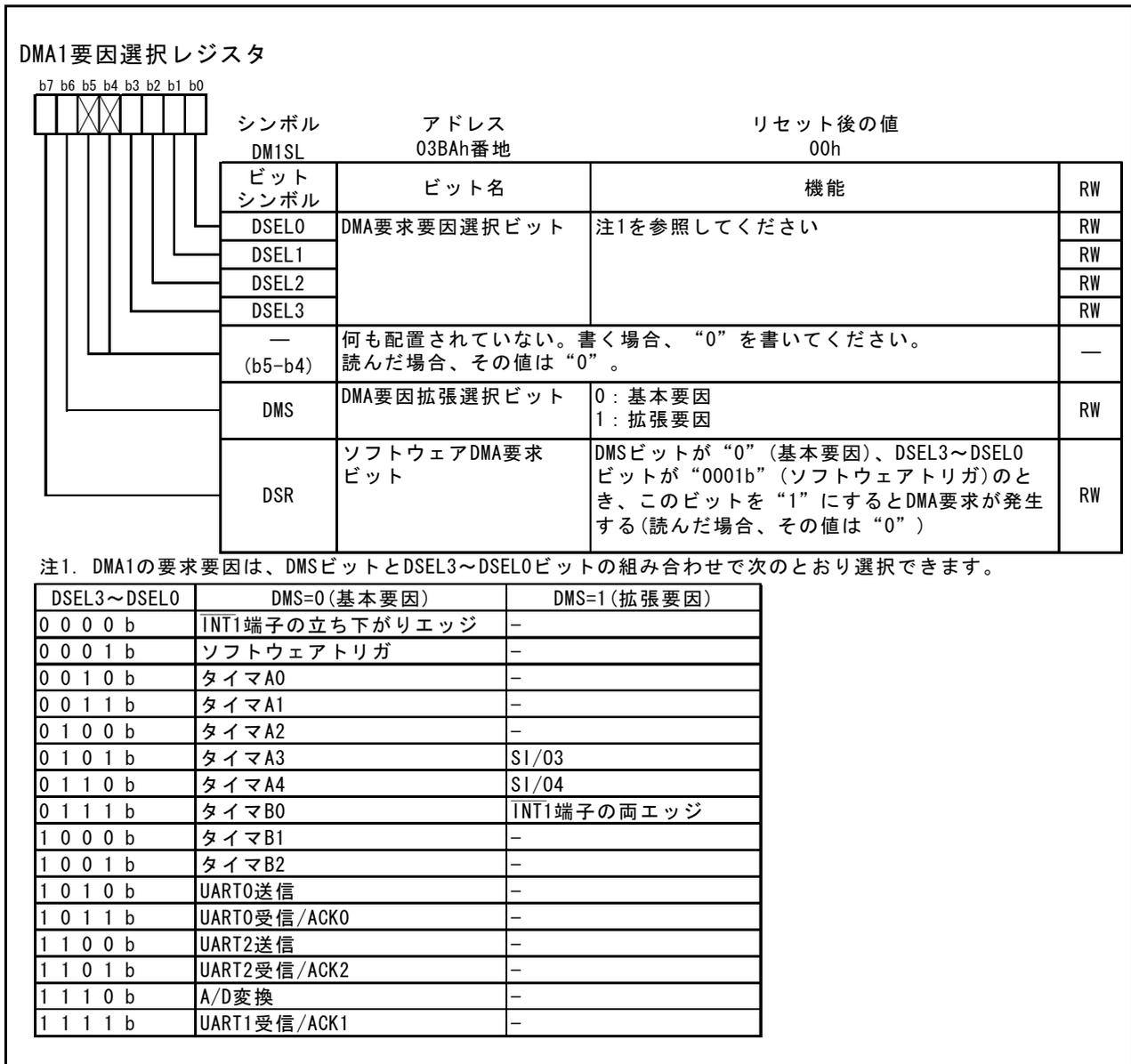


図14.3 DM1SLレジスタ

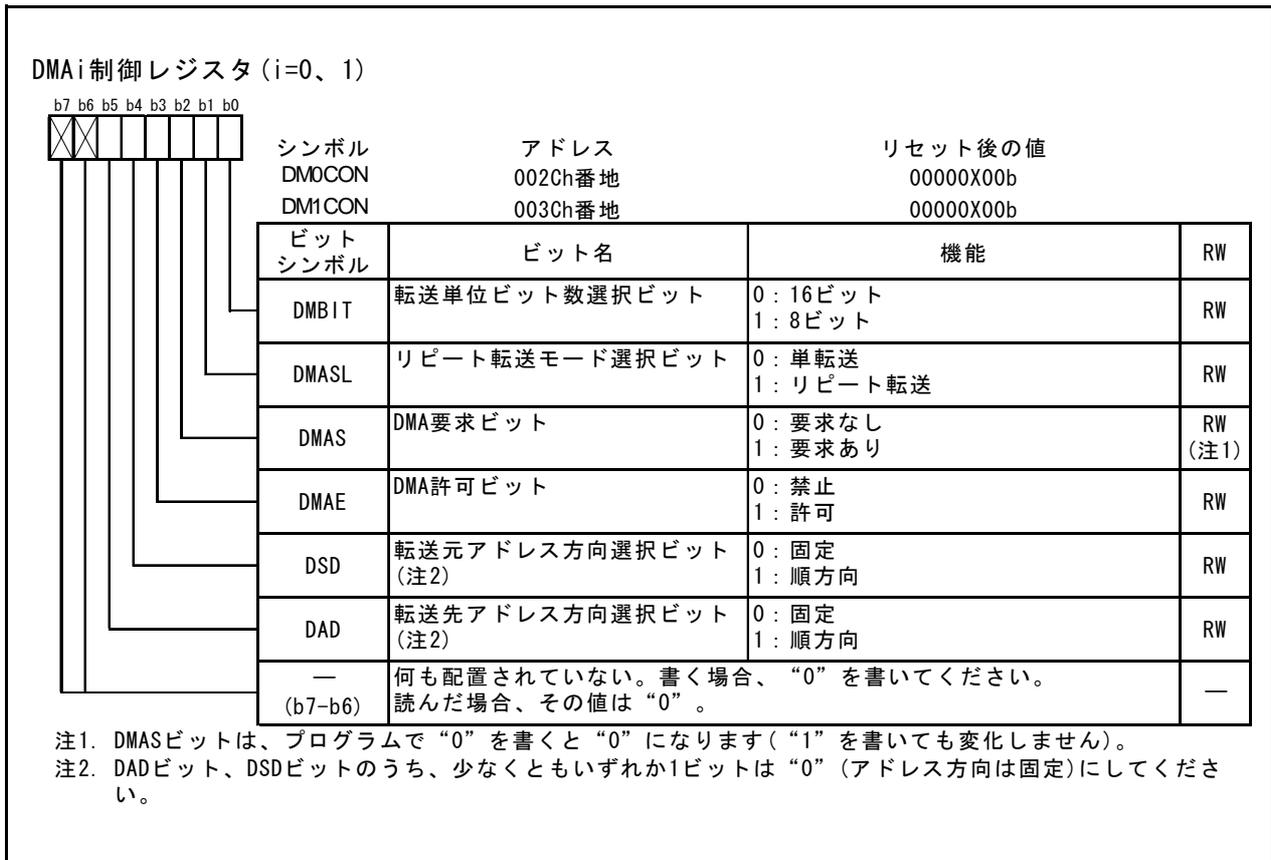


図14.4 DM0CON、DM1CONレジスタ

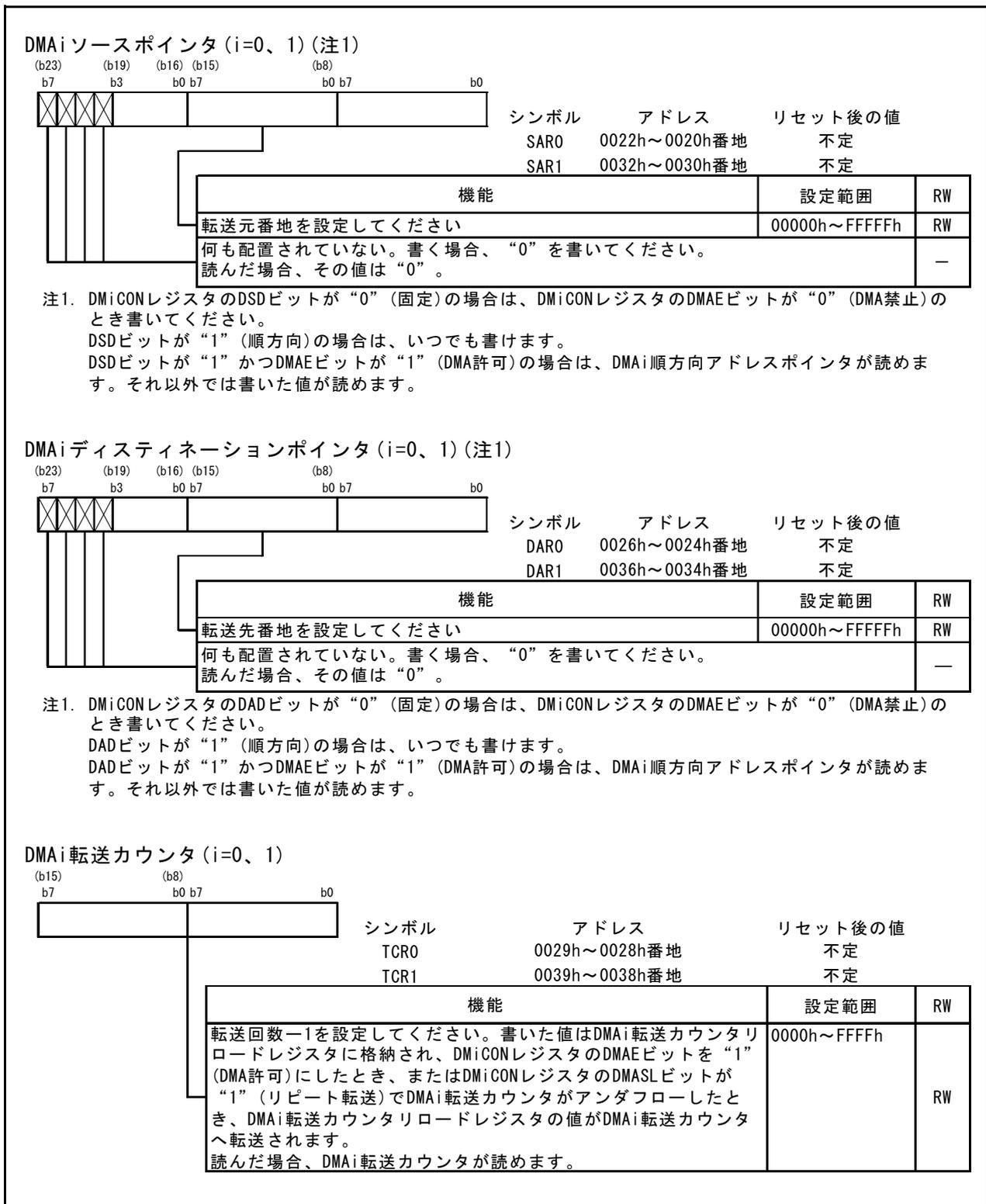


図14.5 SAR0、SAR1、DAR0、DAR1、TCR0、TCR1レジスタ

14.1 転送サイクル

転送サイクルは、メモリまたはSFRの読み出し(ソースリード)のバスサイクルと書き込み(ディスティネーションライト)のバスサイクルで構成されます。読み出し、書き込みのバスサイクル回数は、転送元、転送先番地の影響を受けます。また、メモリ拡張モードとマイクロプロセッサモード時は、BYTE端子のレベルの影響も受けます。さらに、ソフトウェアウェイトやRDY信号の影響により、バスサイクル自体が長くなります。

14.1.1 転送元番地、転送先番地の影響

転送単位、データバスが共に16ビットで、転送元番地が奇数番地から始まる場合、ソースリードサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

同様に、転送単位、データバスが共に16ビットで、転送先番地が奇数番地から始まる場合、ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

14.1.2 BYTE端子の影響

メモリ拡張モードとマイクロプロセッサモード時は、8ビットデータバス(BYTE端子に“H”を入力している場合)で16ビットのデータ転送を行う場合、8ビットのデータを2回転送します。そのためバスサイクルは、データを読むのに2バスサイクル、書くのに2バスサイクル必要とします。また、DMACが内部領域(内部ROM、内部RAM、SFR)をアクセスする場合においても、CPUが内部領域をアクセスする場合と異なり、BYTE端子で選択したデータ幅でアクセスします。

14.1.3 ソフトウェアウェイトの影響

ソフトウェアウェイトが入るメモリまたはSFRをアクセスする場合、ソフトウェアウェイトの分だけ1バスサイクルに要するサイクル数が増えます。

14.1.4 RDY信号の影響

メモリ拡張モードとマイクロプロセッサモード時、外部領域ではRDY信号の影響を受けます。詳細は「8.2.6 RDY信号」を参照してください。

図14.6にソースリードサイクル例を示します。この図では、ディスティネーションライトサイクルを便宜上1サイクルとし、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクル、ソースリードサイクルに各条件を適用してください。例えば転送単位が16ビットで、8ビットバスを使用している場合(図14.6の(2))では、ソースリードサイクルとディスティネーションライトサイクルは、それぞれに2バスサイクル必要となります。

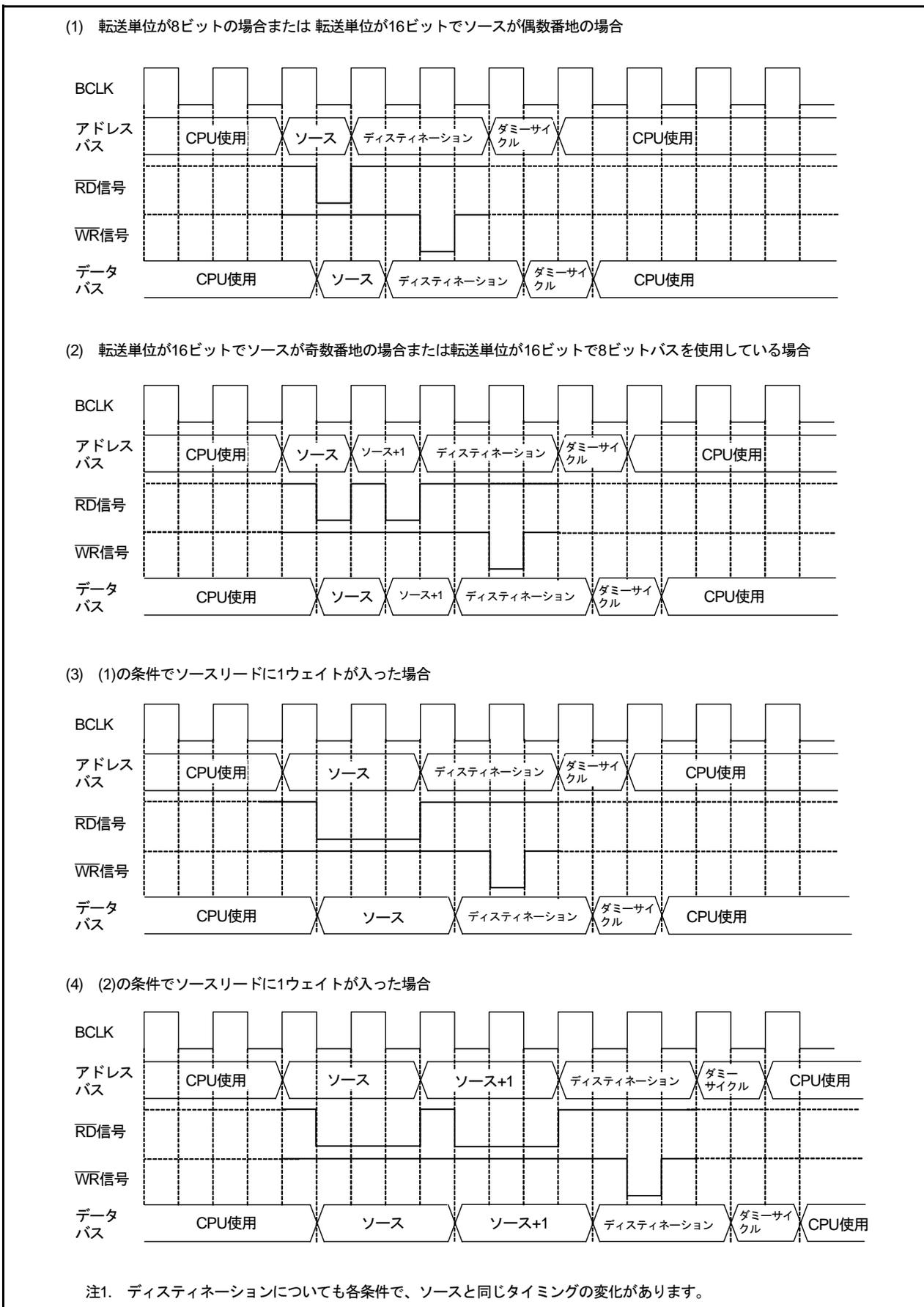


図14.6 ソースリードサイクル例

14.2 DMAC転送サイクル数

DMA転送サイクル数は次のとおり計算できます。

表14.2にDMAC転送サイクル数、表14.3に係数j、kを示します。

1転送単位の転送サイクル数=読み出しサイクル数×j+書き込みサイクル数×k

表14.2 DMAC転送サイクル数

転送単位	バス	アクセス番地	シングルチップモード		メモリ拡張モード マイクロプロセッサモード	
			読み出し サイクル数	書き込み サイクル数	読み出し サイクル数	書き込み サイクル数
8ビット転送 (DMBIT=“1”)	16ビット (BYTE=“L”)	偶数	1	1	1	1
		奇数	1	1	1	1
	8ビット (BYTE=“H”)	偶数	—	—	1	1
		奇数	—	—	1	1
16ビット転送 (DMBIT=“0”)	16ビット (BYTE=“L”)	偶数	1	1	1	1
		奇数	2	2	2	2
	8ビット (BYTE=“H”)	偶数	—	—	2	2
		奇数	—	—	2	2

—：この条件はありません

表14.3 係数j、k

	内部領域				外部領域						
	内部ROM、RAM		SFR		セパレートバス				マルチプレクスバス		
	ウェイト なし	ウェイト あり	1ウェイト (注2)	2ウェイト (注2)	ウェイト なし	ウェイトあり(注1)			ウェイトあり(注1)		
						1ウェイト	2ウェイト	3ウェイト	1ウェイト	2ウェイト	3ウェイト
j	1	2	2	3	1	2	3	4	3	3	4
k	1	2	2	3	2	2	3	4	3	3	4

注1. CSEレジスタの設定値に依存します。

注2. PM2レジスタのPM20ビットの設定値に依存します。

14.3 DMA許可

DMiCONレジスタ(i=0、1)のDMAEビットを“1”(許可)にした後のデータ転送開始時に、DMACは次のように動作します。

- (a) DMiCONレジスタのDSDビットが“1”(順方向)の場合はSARiレジスタの、DMiCONレジスタのDADビットが“1”(順方向)の場合はDARiレジスタの値を順方向アドレスポインタへリロードする
- (b) DMAi転送カウンタリロードレジスタの値をDMAi転送カウンタへリロードする

DMAEビットが“1”の場合、再度“1”を書くと、上記動作を行います。

ただし、DMAEビットへの書き込みと同時にDMA要求が発生する可能性がある場合は、次の手順で書いてください。

- (1) DMiCONレジスタのDMAEビットとDMASビットに同時に“1”を書く。
- (2) DMAiが初期状態(上記(a)(b)の状態)になっていることをプログラムで確認する。
DMAiが初期状態になっていない場合は、(1)(2)を繰り返す。

14.4 DMA要求

DMACは、チャンネルごとにDMiSLレジスタ(i=0、1)のDMSビット、DESL3～DESL0ビットで選択した要因をトリガとして、DMA要求が発生できます。表14.4にDMASビットが変化するタイミングを示します。

DMASビットは、DMAEビットの状態にかかわらず、DMA要求が発生すると“1”(要求あり)になります。DMAEビットが“1”(許可)の場合、データ転送が開始される直前にDMASビットは“0”(要求なし)になります。また、プログラムで“0”にできますが“1”にはできません。

DMSビット、DSEL3～DESL0ビットを変更すると、DMASビットは“1”になることがあります。したがって、DMSビット、DSEL3～DESL0ビットを変更した後は、DMASビットを“0”にしてください。

DMAEビットが“1”であれば、DMA要求発生後、すぐにデータ転送が開始されるので、プログラムでDMASビットを読んでも、ほとんどの場合“0”が読めます。DMACが許可されていることを判断するには、DMAEビットを読んでください。

表14.4 DMASビットが変化するタイミング

DMA要因	DMiCONレジスタのDMASビット	
	“1”になるタイミング	“0”になるタイミング
ソフトウェアトリガ	DMiSLレジスタのDSRビットを“1”にしたとき	<ul style="list-style-type: none"> •データ転送開始直前 •プログラムで“0”を書いたとき
周辺機能	DMiSLレジスタのDSEL3～DSEL0ビットとDMSビットで選択した周辺機能の、割り込み制御レジスタのIRビットが“1”になるとき	

14.5 チャンネルの優先順位とDMA転送タイミング

DMA0とDMA1の両方が許可されている場合、DMA0とDMA1のDMA転送の要求信号が同一サンプリング期間(BCLKの立ち下がりエッジから次の立ち下がりエッジの一周期)に入ると、各チャンネルのDMASビットは同時に“1”(要求あり)になります。この場合のチャンネル優先順位はDMA0 > DMA1です。次にDMA0とDMA1の要求が同一サンプリング期間に入った場合の動作を説明します。図14.7に外部要因によるDMA転送例を示します。

図14.7ではDMA0の要求とDMA1の要求が同時に発生したので、チャンネル優先順位が高いDMA0が先に受け付けられ転送を開始します。DMA0が1転送単位を終了するとCPUにバス使用权をゆずり、CPUが1回のバスアクセスを終了すると、次にDMA1が転送を開始し、1転送単位終了後CPUにバス使用权を返します。

なお、DMASビットは各チャンネル1ビットですので、DMA要求の回数はカウントできません。したがって、図14.7のDMA1のようにバス使用权を得るまでに複数回DMA要求が発生した場合も、バス使用权を得るとDMASビットを“0”にして、1転送単位終了後、CPUにバス使用权を返します。

CPUとのバスの使用優先順位については「8.2.7 HOLD信号」も参照ください。

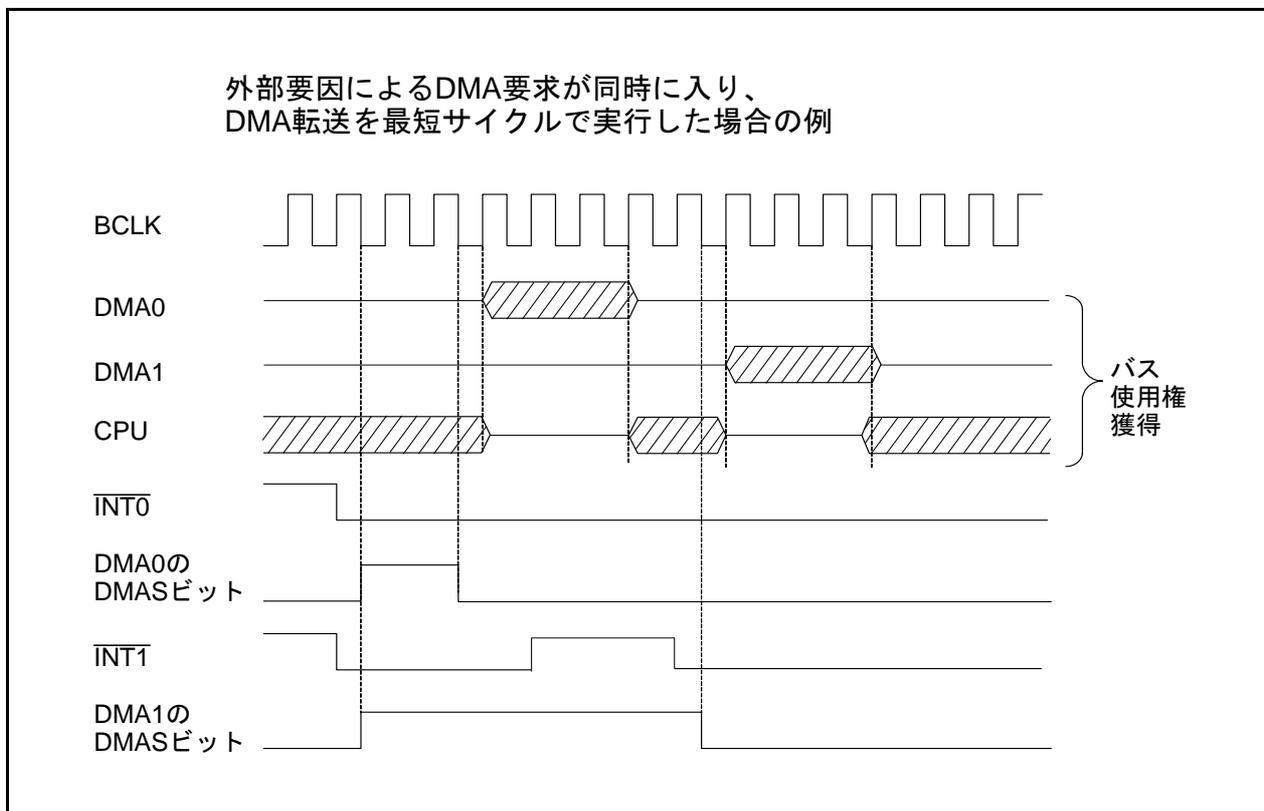


図14.7 外部要因によるDMA転送例

15. タイマ

注意

M16C/62P(80ピン版)、M16C/62PT(80ピン版)は、TA1IN、TA1OUT、TA2IN、TA2OUT、TB1IN端子がありません。これらの端子を必要とする機能は使用しないでください。

16ビットタイマが11本あります。11本のタイマは、持っている機能によってタイマA(5本)とタイマB(6本)の2種類に分類できます。すべてのタイマは、それぞれ独立して動作します。各タイマのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。図15.1にタイマA構成、図15.2にタイマB構成を示します。

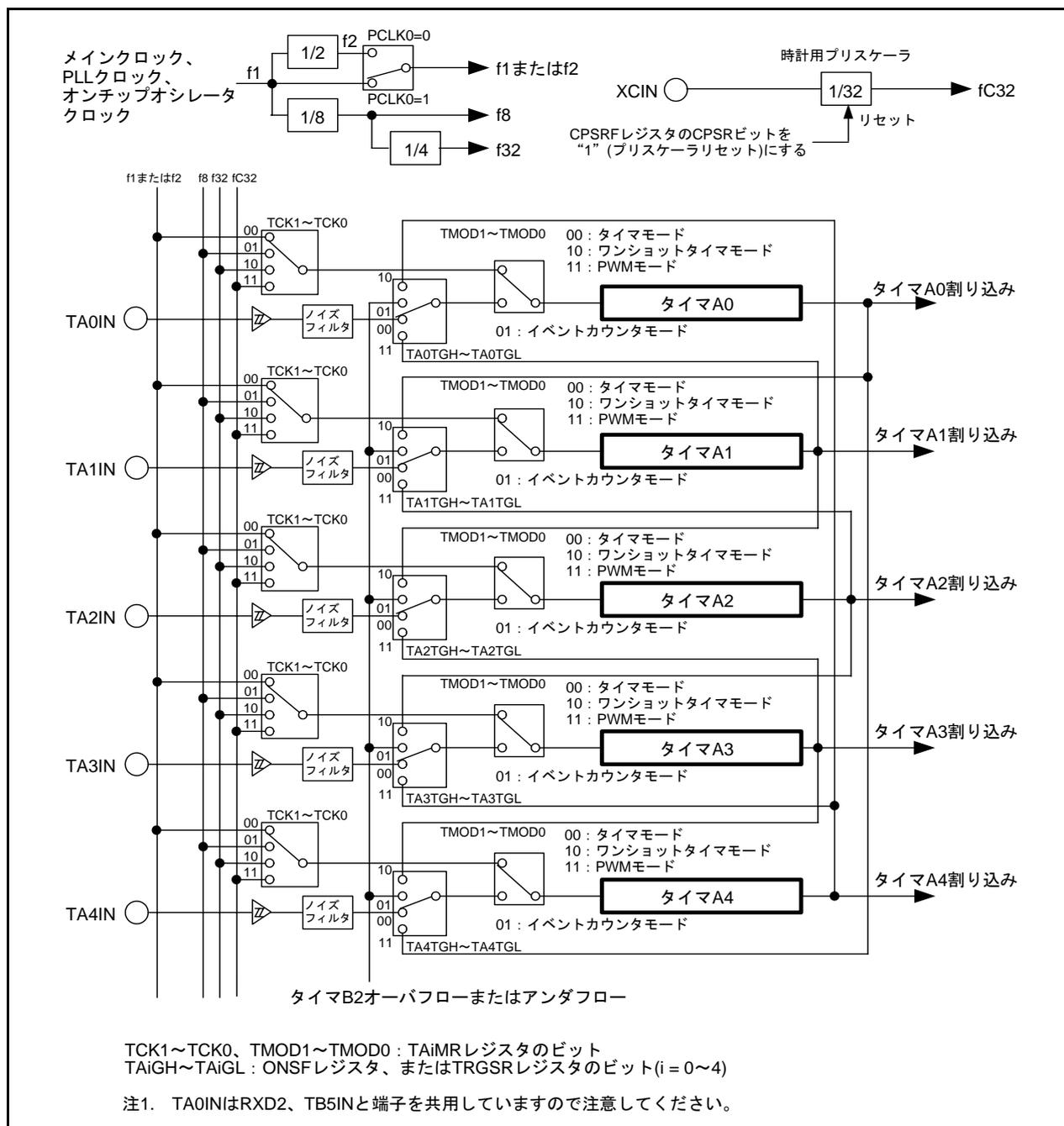


図15.1 タイマA構成

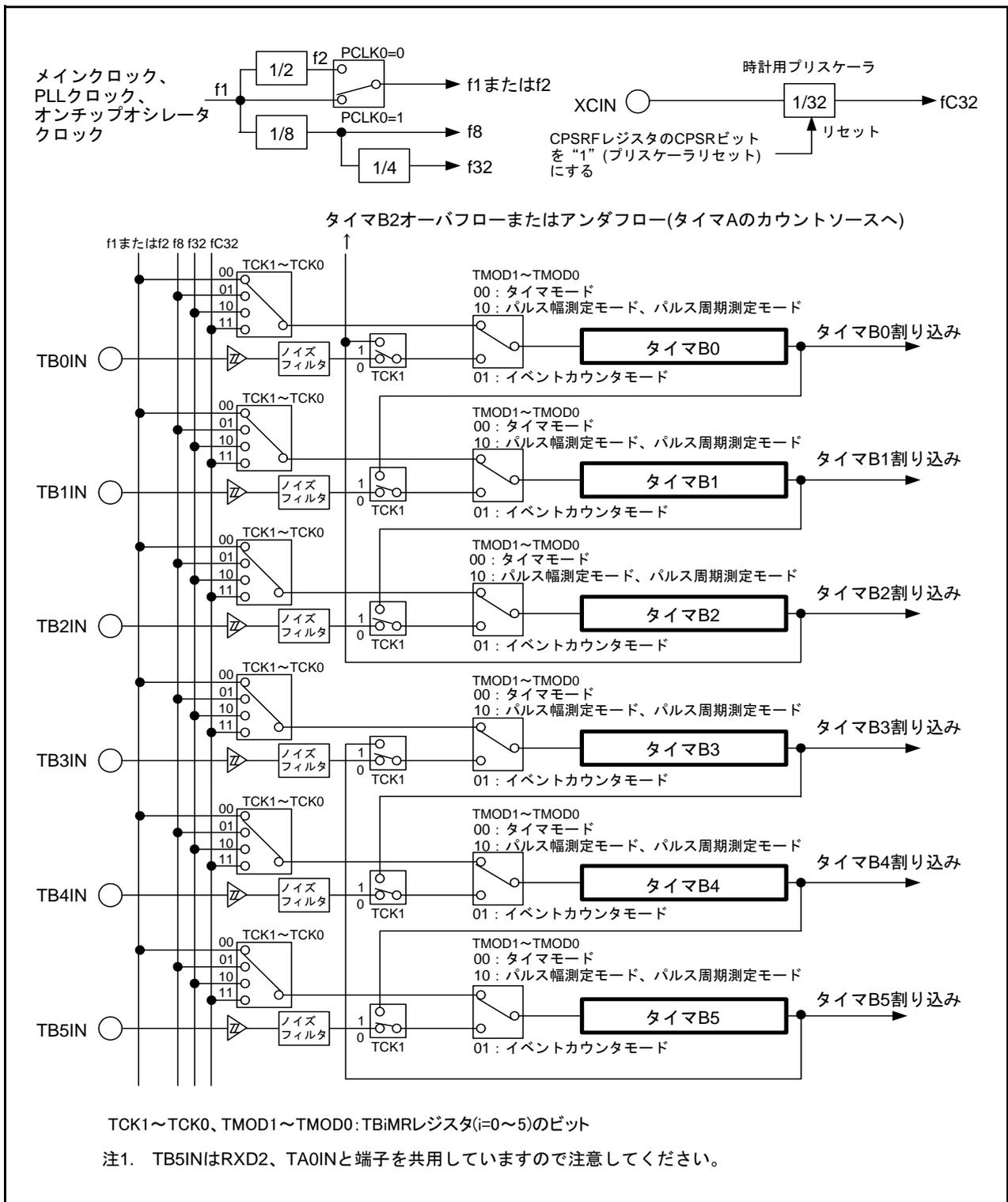


図15.2 タイマB構成

15.1 タイマA

注意

M16C/62P(80ピン版)、M16C/62PT(80ピン版)は、タイマA1のTA1IN、TA1OUT端子、タイマA2のTA2IN、TA2OUT端子がありません。

【タイマA1、タイマA2を使用する場合の注意事項】

- タイマモード
ゲート機能、パルス出力機能は使用できません。タイマモードを使用する場合、TA1MR、TA2MRレジスタのMR2～MR0ビットは“000b”にしてください。
- イベントカウンタモード
パルス出力機能、外部入力信号のカウントはできません。また、タイマA2の2相パルス信号処理は使用できません。イベントカウンタモードを使用する場合、TA1MR、TA2MRレジスタのMR2～MR0ビットは“000b”にしてください。
- ワンショットタイマモード
パルス出力機能、外部トリガによるカウント開始はできません。ワンショットタイマモードを使用する場合、TA1MR、TA2MRレジスタのMR1～MR0ビットは“00b”にしてください。
- パルス幅変調(PWM)モード
PWMパルス出力はできません。

図15.3にタイマAブロック図、図15.4～図15.7にタイマA関連レジスタを示します。

タイマAは、次の4種類のモードがあり、イベントカウンタモードを除いて、タイマA0～A4は同一の機能を持ちます。モードは、TAiMRレジスタ(i=0～4)のTMOD1～TMOD0ビットで選択できます。

- タイマモード
内部カウントソースをカウントするモード
- イベントカウンタモード
外部からのパルス、他のタイマのオーバーフロー、または他のタイマのアンダフローをカウントするモード
- ワンショットタイマモード
カウント値が“0000h”になるまでの間、1度だけパルスを出力するモード
- PWMモード
任意の幅のパルスを連続して出力するモード

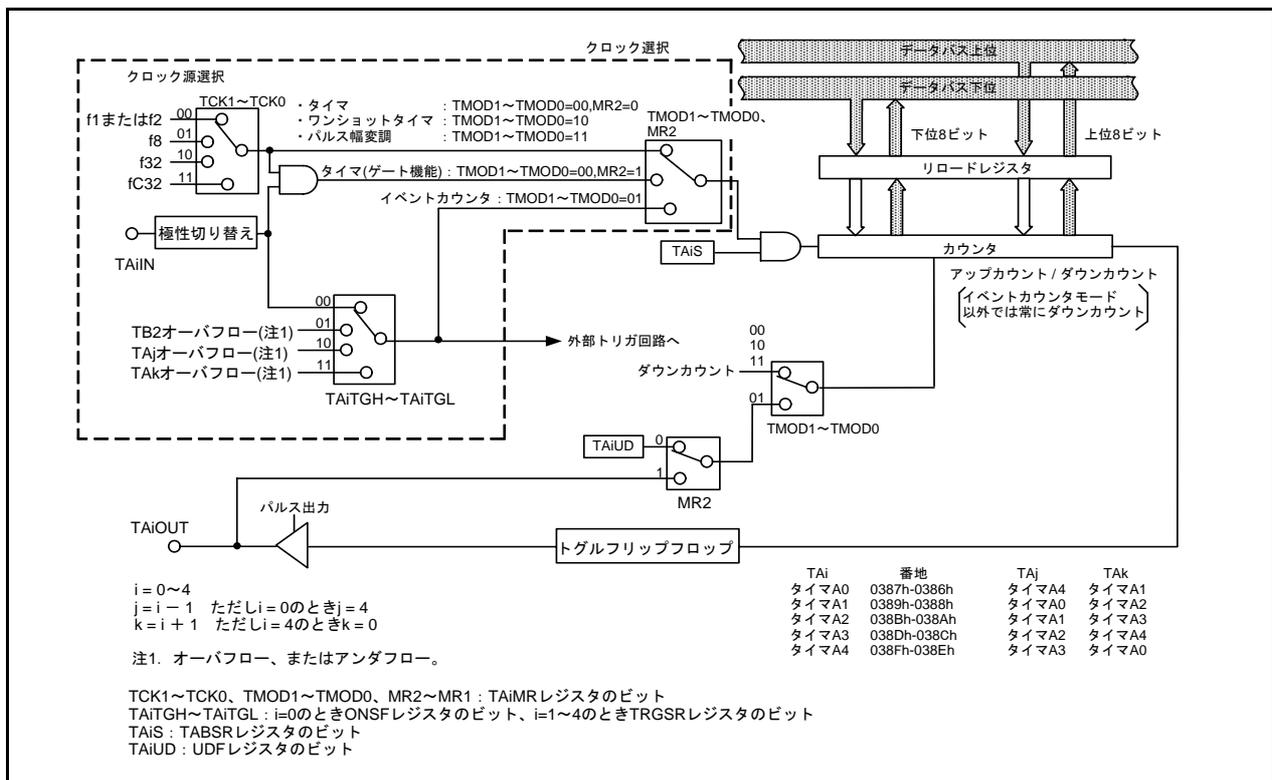


図15.3 タイマAブロック図

タイマAiモードレジスタ (i=0~4)			
シンボル	アドレス	リセット後の値	
TA0MR~TA4MR	0396h~039Ah番地	00h	
ビットシンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード 0 1 : イベントカウンタモード 1 0 : ワンショットタイマモード 1 1 : パルス幅変調 (PWM) モード	RW
TMOD1			RW
MR0	動作モードによって機能が異なる		RW
MR1			RW
MR2			RW
MR3			RW
TCK0	カウントソース選択ビット (動作モードによって機能が異なる)		RW
TCK1			RW

タイマAiレジスタ (i=0~4) (注1)			
シンボル	アドレス	リセット後の値	
TA0	0387h~0386h番地	不定	
TA1	0389h~0388h番地	不定	
TA2	038Bh~038Ah番地	不定	
TA3	038Dh~038Ch番地	不定	
TA4	038Fh~0038Eh番地	不定	
モード	機能	設定範囲	RW
タイマモード	設定値をnとすると、カウントソースをn+1分周する	0000h~FFFFh	RW
イベントカウンタモード	設定値をnとすると、アップカウント時、カウントソースをFFFFh-n+1分周し、ダウンカウント時、カウントソースをn+1分周する(注5)	0000h~FFFFh	RW
ワンショットタイマモード	設定値をnとすると、カウントソースをn分周し、停止する	0000h~FFFFh (注2、4)	WO
パルス幅変調モード (16ビットPWM)	設定値をn、カウントソースの周波数をfjとすると次のとおり動作する PWMの周期: $(2^{16} - 1) / fj$ PWMパルスの“H”幅: n / fj	0000h~FFFEh (注3、4)	WO
パルス幅変調モード (8ビットPWM)	上位番地の設定値をn、下位番地の設定値をm、カウントソースの周波数をfjとすると次のとおり動作する PWMの周期: $(2^8 - 1) \times (m+1) / fj$ PWMパルスの“H”幅: $(m+1) n / fj$	00h~FEh (上位番地) 00h~FFh (下位番地) (注3、4)	WO

注1. 16ビット単位でアクセスしてください。

注2. TAiレジスタを“0000h”にした場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。また、パルス出力ありを選択した場合、TAiOUT端子からパルスは出力されません。

注3. TAiレジスタを“0000h”にした場合、パルス幅変調器は動作せず、TAiOUT端子の出力レベルは“L”のまま、タイマAi割り込み要求も発生しません。また、8ビットパルス幅変調器として動作しているとき、TAiレジスタの上位8ビットに“00h”を設定した場合も同様です。

注4. TAiレジスタへはMOV命令を使用して書いてください。

注5. 外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントします。

図15.4 TA0MR~TA4MR、TA0~TA4レジスタ

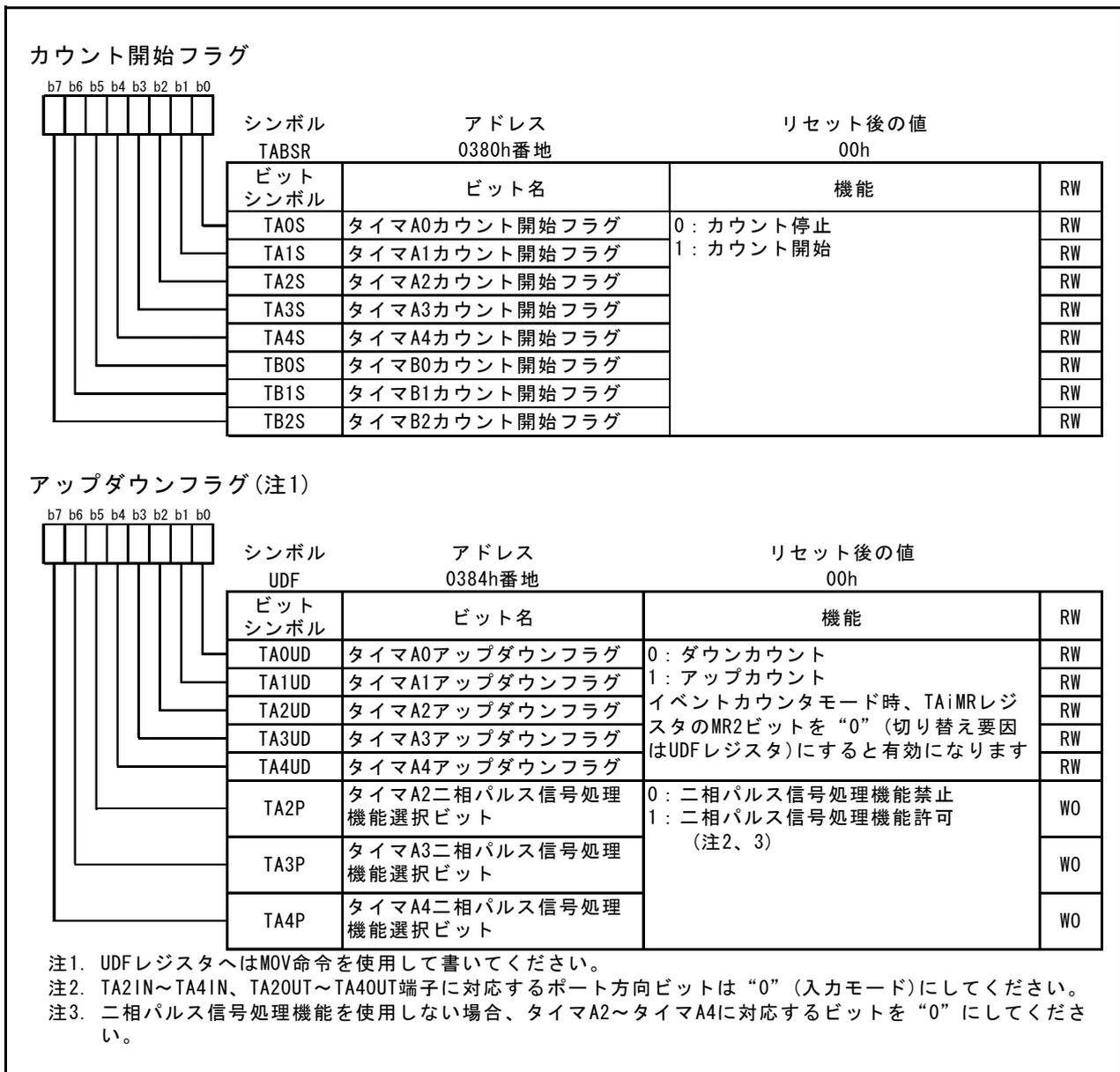


図15.5 TABSR、UDFレジスタ

ワンショット開始フラグ

シンボル		アドレス	リセット後の値	
ONSF		0382h番地	00h	
ビットシンボル	ビット名	機能		RW
TA0OS	タイマA0ワンショット開始フラグ	TAiMRレジスタ (i=0~4)のTMOD1~TMOD0ビットが“10b”(ワンショットタイマモード)、かつTAiMRレジスタのMR2ビットが“0”(TAiOSビット有効)の場合、このビットを“1”にすると、タイマのカウントを開始する。読んだ場合、その値は“0”。		RW
TA1OS	タイマA1ワンショット開始フラグ			RW
TA2OS	タイマA2ワンショット開始フラグ			RW
TA3OS	タイマA3ワンショット開始フラグ			RW
TA4OS	タイマA4ワンショット開始フラグ			RW
TAZIE	Z相入力有効ビット	0 : Z相入力無効 1 : Z相入力有効		RW
TAOTGL	タイマA0イベント/トリガ選択ビット	b7 b6 0 0 : TA0IN端子の入力を選択(注1) 0 1 : TB2を選択(注2) 1 0 : TA4を選択(注2) 1 1 : TA1を選択(注2)		RW
TAOTGH				RW

注1. PD7レジスタのPD7_1ビットを“0”(入力モード)にしてください。
注2. オーバフローまたはアンダフロー

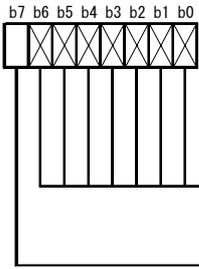
トリガ選択レジスタ

シンボル		アドレス	リセット後の値	
TRGSR		0383h番地	00h	
ビットシンボル	ビット名	機能		RW
TA1TGL	タイマA1イベント/トリガ選択ビット	b1 b0 0 0 : TA1IN端子の入力を選択(注1) 0 1 : TB2を選択(注2) 1 0 : TA0を選択(注2) 1 1 : TA2を選択(注2)		RW
TA1TGH				RW
TA2TGL	タイマA2イベント/トリガ選択ビット	b3 b2 0 0 : TA2IN端子の入力を選択(注1) 0 1 : TB2を選択(注2) 1 0 : TA1を選択(注2) 1 1 : TA3を選択(注2)		RW
TA2TGH				RW
TA3TGL	タイマA3イベント/トリガ選択ビット	b5 b4 0 0 : TA3IN端子の入力を選択(注1) 0 1 : TB2を選択(注2) 1 0 : TA2を選択(注2) 1 1 : TA4を選択(注2)		RW
TA3TGH				RW
TA4TGL	タイマA4イベント/トリガ選択ビット	b7 b6 0 0 : TA4IN端子の入力を選択(注1) 0 1 : TB2を選択(注2) 1 0 : TA3を選択(注2) 1 1 : TA0を選択(注2)		RW
TA4TGH				RW

注1. TA1IN~TA4IN端子に対応するポート方向ビットは“0”(入力モード)にしてください。
注2. オーバフローまたはアンダフロー

図15.6 ONSF、TRGSRレジスタ

時計用プリスケアラリセットフラグ



シンボル	アドレス	リセット後の値	
CPSRF	0381h番地	0XXXXXXb	
ビットシンボル	ビット名	機能	RW
— (b6-b0)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	—
CPSR	時計用プリスケアラリセットフラグ	このビットを“1”にすると時計用プリスケアラが初期化される。 (読んだ場合、その値は“0”)	RW

図 15.7 CPSRF レジスタ

15.1.1 タイマモード

内部で生成されたカウントソースをカウントするモードです(表15.1)。図15.8にタイマモード時のTAiMRレジスタを示します。

表15.1 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、f32、fC32
カウント動作	<ul style="list-style-type: none"> •ダウンカウント •アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:TAiレジスタ(i=0~4)の設定値 0000h~FFFFh
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	入出力ポートまたはゲート入力
TAiOUT端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> •カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる •カウント中(ただし、1回目のカウントソース入力後)TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> •ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 •パルス出力機能 アンダフローするごとにTAiOUT端子の出力極性が反転。TAiSビットが“0”(カウント停止)の期間は“L”を出力

タイマAiモードレジスタ(i=0~4)

シンボル	アドレス	リセット後の値	
TA0MR~TA4MR	0396h~039Ah番地	00h	
ビットシンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	b1 b0	RW
TMOD1		0 0 : タイマモード	RW
MR0	パルス出力機能選択ビット	0 : パルス出力なし (TAiOUT端子は入出力ポート) 1 : パルス出力あり(注1) (TAiOUT端子はパルス出力端子)	RW
MR1	ゲート機能選択ビット	b4 b3	RW
MR2		0 0 : ゲート機能なし (TAiIN端子は入出力ポート) 0 1 : 1 0 : TAiIN端子に“L”が入力されている 期間カウントする(注2) 1 1 : TAiIN端子に“H”が入力されている 期間カウントする(注2)	RW
MR3	タイマモードでは“0”にしてください		RW
TCK0	カウントソース選択ビット	b7 b6	RW
TCK1		0 0 : f1またはf2 ⁽³⁾ 0 1 : f8 1 0 : f32 1 1 : fC32	RW

注1. TA0OUT端子はNチャンネルオープンドレイン出力。
 注2. TAiIN端子に対応するポート方向ビットは“0”(入力モード)にしてください。
 注3. PCLKRレジスタのPCLK0ビットで選択してください。

図15.8 タイマモード時のTAiMRレジスタ

15.1.2 イベントカウンタモード

外部信号、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモードです。タイマA2、A3、A4は二相の外部信号をカウントできます。表15.2にイベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)、図15.9にイベントカウンタモード時のTAiMRレジスタ(二相パルス信号処理を使用しない場合)を示します。

表15.2 イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項目	仕様
カウントソース	<ul style="list-style-type: none"> TAiIN端子(i=0~4)に入力された外部信号(プログラムで有効エッジを選択可能) タイマB2のオーバフローまたはアンダフロー、タイマAj(j=i-1、ただしi=0のときj=4)のオーバフローまたはアンダフロー、タイマAk(k=i+1、ただしi=4のときk=0)のオーバフローまたはアンダフロー
カウント動作	<ul style="list-style-type: none"> アップカウントまたはダウンカウントを外部信号またはプログラムで選択可能 オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続する。フリーラン機能選択時は、リロードせずカウントを継続する。
分周比	<ul style="list-style-type: none"> アップカウント時 $1/(FFFFh - n + 1)$ ダウンカウント時 $1/(n + 1)$ n:TAiレジスタの設定値 0000h~FFFFh
カウント開始条件	TABSRレジスタのTAISビットを“1”(カウント開始)にする
カウント停止条件	TAISビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバフロー時またはアンダフロー時
TAiIN端子機能	入出力ポートまたはカウントソース入力
TAiOUT端子機能	入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる カウント中(ただし、1回目のカウントソース入力後)TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> フリーランカウント機能 オーバフローまたはアンダフローが発生してもリロードレジスタからリロードしない パルス出力機能 オーバフローまたはアンダフローするごとにTAiOUT端子の出力極性が反転。TAISビットが“0”(カウント停止)の間は“L”を出力

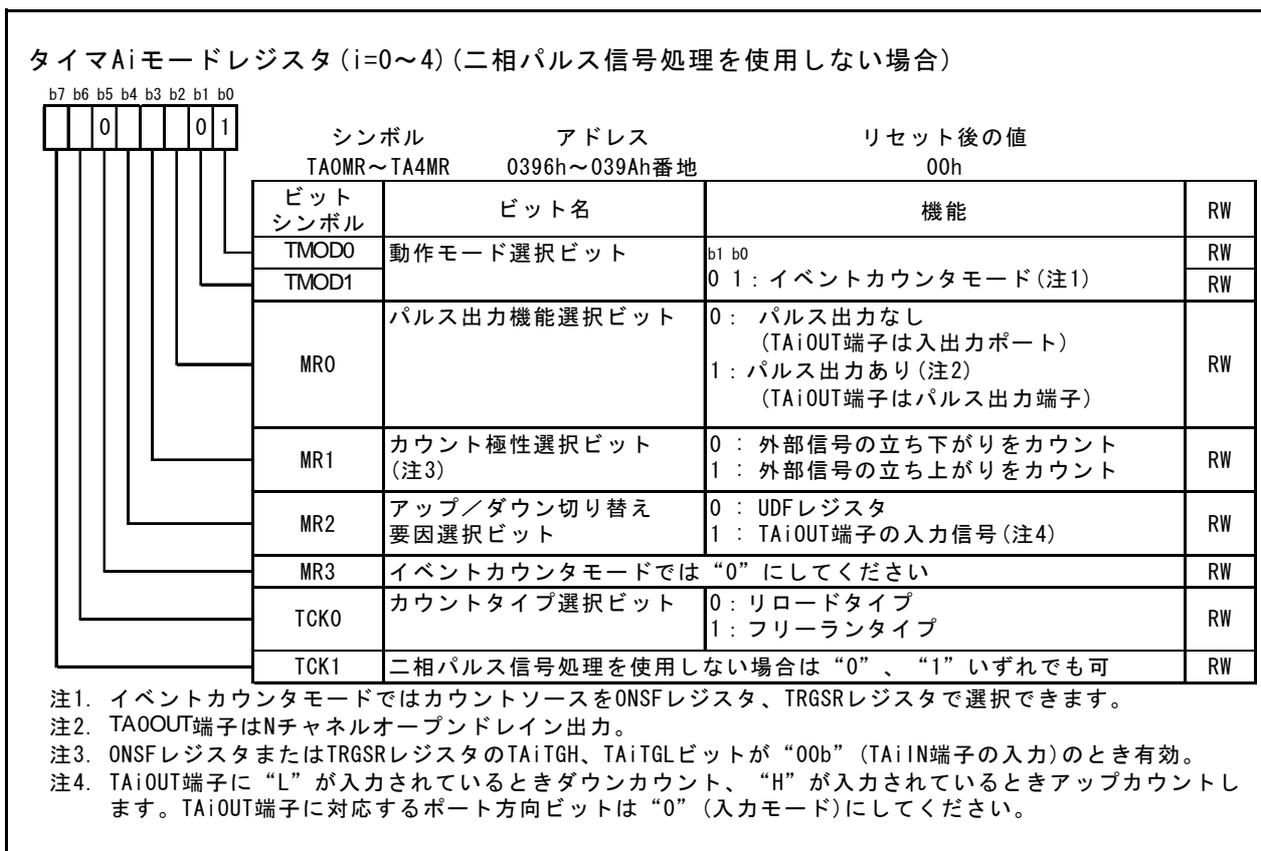
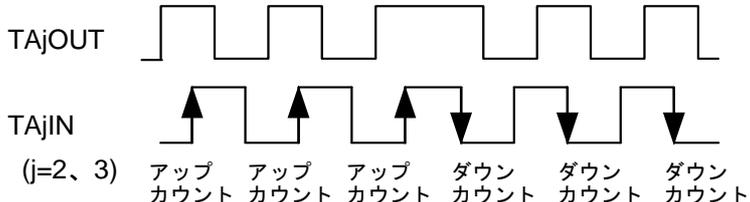
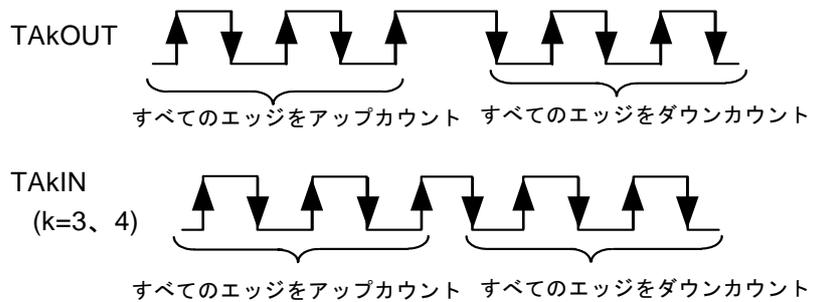


図15.9 イベントカウンタモード時のTAiMRレジスタ(二相パルス信号処理を使用しない場合)

表 15.3 にイベントカウンタモードの仕様(タイマ A2、A3、A4 で二相パルス信号処理を使用する場合)、図 15.10 にイベントカウンタモード時の TA2MR ~ TA4MR レジスタ(タイマ A2、A3、A4 で二相パルス信号処理を使用する場合)を示します。

表 15.3 イベントカウンタモードの仕様(タイマ A2、A3、A4 で二相パルス信号処理を使用する場合)

項目	仕様
カウントソース	TAiIN、TAiOUT 端子 (i=2~4) に入力された二相パルス信号
カウント動作	<ul style="list-style-type: none"> • アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 • オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続する。フリーラン機能選択時は、リロードせずカウントを継続する。
分周比	<ul style="list-style-type: none"> • アップカウント時 $1/(FFFFh - n + 1)$ • ダウンカウント時 $1/(n + 1)$ n:TAi レジスタの設定値 0000h ~ FFFFh
カウント開始条件	TABSR レジスタの TAiS ビットを“1”(カウント開始)にする
カウント停止条件	TAiS ビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバフロー時またはアンダフロー時
TAiIN 端子機能	二相パルス入力
TAiOUT 端子機能	二相パルス入力
タイマの読み出し	タイマ A2、A3、A4 レジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中とカウント開始後 1 回目のカウントソースが入力されるまで TAi レジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中(ただし、1 回目のカウントソース入力後) TAi レジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能(注1)	<ul style="list-style-type: none"> • 通常処理動作(タイマ A2、タイマ A3) TAjOUT 端子 (j=2、3) の入力信号が“H”の期間、TAjIN 端子の立ち上がりをアップカウントし、立ち下がりをダウンカウントします。  • 4 通倍処理動作(タイマ A3、タイマ A4) TAKOUT 端子 (k=3、4) の入力信号が“H”の期間に TAKIN 端子が立ち上がる位相関係の場合、TAKOUT、TAKIN 端子の立ち上がり、立ち下がりをアップカウントします。TAKOUT 端子の入力信号が“H”の期間に TAKIN 端子が立ち下がる位相関係の場合、TAKOUT、TAKIN 端子の立ち上がり、立ち下がりをダウンカウントします。  • Z 相入力によるカウンタ初期化(タイマ A3) Z 相入力により、タイマのカウント値を“0”にする

注 1. タイマ A3 は選択できます。タイマ A2 は通常処理動作、タイマ A4 は 4 通倍処理動作です。

タイマAiモードレジスタ (i=2~4) (二相パルス信号処理を使用する場合)

シンボル TA2MR~TA4MR	アドレス 0398h~039Ah番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード	RW
TMOD1			RW
MR0	二相パルス信号処理を使用する場合、“0”にしてください。		RW
MR1	二相パルス信号処理を使用する場合、“0”にしてください。		RW
MR2	二相パルス信号処理を使用する場合、“1”にしてください。		RW
MR3	二相パルス信号処理を使用する場合、“0”にしてください。		RW
TCK0	カウント動作タイプ選択ビット	0 : リロードタイプ 1 : フリーランタイプ	RW
TCK1	二相パルス処理動作選択ビット (注1、2)	0 : 通常処理動作 1 : 4通倍処理動作	RW

注1. タイマA3は選択できません。このビットにかかわらずタイマA2は通常処理動作に、タイマA4は4通倍処理動作に固定です。

注2. 二相パルス信号処理を行う場合、次のとおりしてください。

- ・ UDFレジスタのTAiPビットを“1” (二相パルス信号処理機能を許可)にする
- ・ TRGSRレジスタのTAiTGH、TAiTGLビットを“00b” (TAiIN端子入力)にする
- ・ TAiIN、TAiOUTに対応するポート方向ビットを“0” (入力モード)にする

図15.10 イベントカウンタモード時のTA2MR~TA4MRレジスタ(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

15.1.2.1 二相パルス信号処理でのカウンタ初期化

二相パルス信号処理時にZ相(カウンタ初期化)入力により、タイマのカウンタ値を“0”にする機能です。

この機能は、タイマA3のイベントカウンタモード、二相パルス信号処理、フリーランタイプ、4乗倍処理でのみ使用でき、Z相はZP端子から入力します。

TA3レジスタに“0000h”を書き、ONSFレジスタのTAZIEビットを“1”(Z相入力有効)にすると、Z相入力によるカウンタの初期化が有効になります。

カウンタの初期化はZ相の入力エッジを検出して行います。エッジの極性はINT2ICレジスタのPOLビットで選択できます。Z相のパルス幅は、タイマA3のカウンタソースの1周期以上になるように入力してください。

カウンタは、Z相入力を受けた次のカウントタイミングで初期化されます。図15.11に二相パルス(A相、B相)とZ相の関係を示します。

タイマA3のオーバフローまたはアンダフローと、Z相入力によるカウンタ初期化のタイミングが重なると、タイマA3の割り込み要求が2回連続して発生しますので、この機能使用時はタイマA3割り込みを使用しないでください。

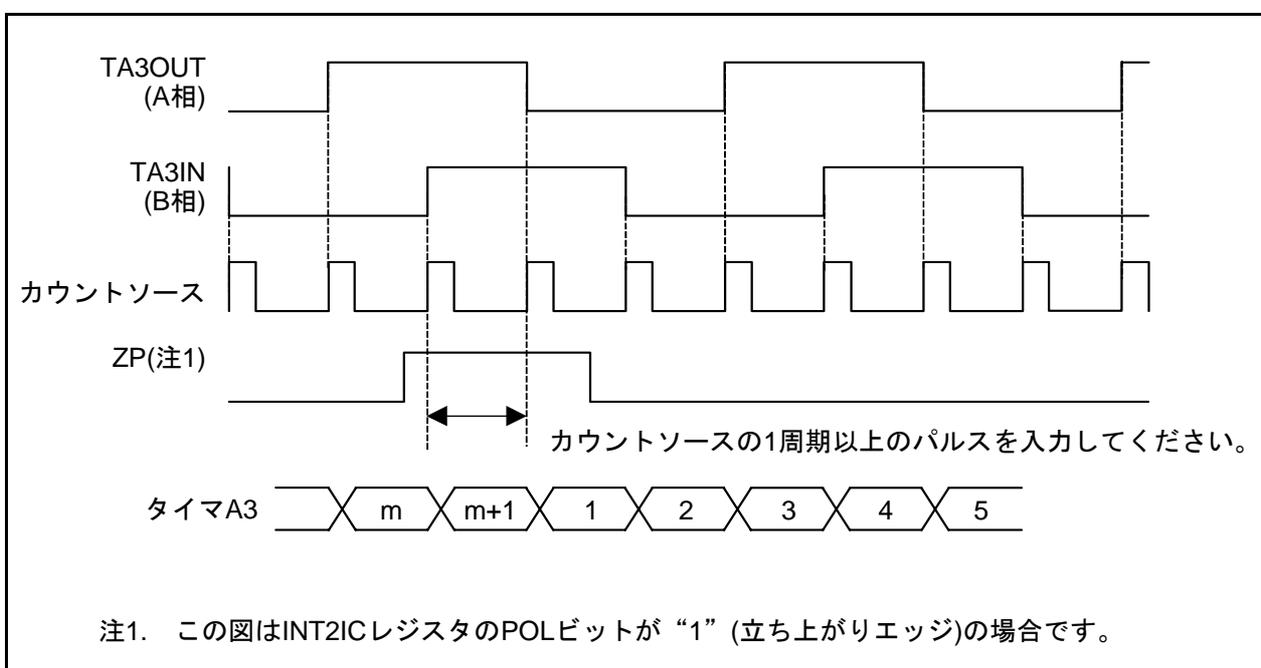


図15.11 二相パルス(A相、B相)とZ相の関係

15.1.3 ワンショットタイマモード

1度のトリガに対して1度だけタイマを動作するモードです(表 15.4)。トリガが発生するとその時点から任意の期間、タイマが動作します。図 15.12にワンショットタイマモード時のTAiMRレジスタを示します。

表 15.4 ワンショットタイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、f32、fC32
カウント動作	<ul style="list-style-type: none"> •ダウンカウント •カウンタが0000hになるタイミングでリロードしてカウントを停止 •カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	1/n n:TAiレジスタ(i=0~4)の設定値 0000h~FFFFh ただし、0000hを設定した場合、カウンタは動作しない
カウント開始条件	TABSRレジスタのTAiSビットが“1”(カウント開始)で、かつ次のトリガが発生 <ul style="list-style-type: none"> •TAiIN端子からの外部トリガ入力 •タイマB2のオーバフローまたはアンダフロー、タイマAj(j=i-1、ただしi=0のときj=4)のオーバフローまたはアンダフロー、タイマAk(k=i+1、ただしi=4のときk=0)のオーバフローまたはアンダフロー •ONSFレジスタのTAiOSビットを“1”(タイマスタート)にする
カウント停止条件	<ul style="list-style-type: none"> •カウント値が0000hになりリロードした後 •TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	カウント値が0000hになるタイミング
TAiIN端子機能	入出力ポートまたはトリガ入力
TAiOUT端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	<ul style="list-style-type: none"> •カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる •カウント中(ただし、1回目のカウントソース入力後)TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> •パルス出力機能 カウント停止中は“L”、カウント中は“H”を出力

タイマAiモードレジスタ (i=0~4)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル TA0MR~TA4MR	アドレス 0396h~039Ah番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	b1 b0 1 0 : ワンショットタイマモード	RW
TMOD1			RW
MR0	パルス出力機能選択ビット	0 : パルス出力なし (TAiOUT端子は入出力ポート) 1 : パルス出力あり(注1) (TAiOUT端子はパルス出力端子)	RW
MR1	外部トリガ選択ビット(注2)	0 : TAiIN端子の入力信号の立ち下がり(注3) 1 : TAiIN端子の入力信号の立ち上がり(注3)	RW
MR2	トリガ選択ビット	0 : TAiOSビットが有効 1 : TAiTGH~TAiTGLビットで選択	RW
MR3	ワンショットタイマモードでは“0”にしてください		RW
TCK0	カウントソース選択ビット	b7 b6 0 0 : f1またはf2(注4) 0 1 : f8	RW
TCK1		1 0 : f32 1 1 : fC32	RW

注1. TA0OUT端子はNチャンネルオープンドレイン出力。
 注2. ONSFレジスタまたはTRGSRレジスタのTAiTGH、TAiTGLビットが“00b”(TAiIN端子の入力)のとき有効。
 注3. TAiIN端子に対応するポート方向ビットは“0”(入力モード)にしてください。
 注4. PCLKRレジスタのPCLK0ビットで選択してください。

図15.12 ワンショットタイマモード時のTAiMRレジスタ

15.1.4 パルス幅変調モード(PWMモード)

任意の幅のパルスを連続して出力するモードです(表15.5)。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図15.13にパルス幅変調モード時のTAiMRレジスタ、図15.14に16ビットパルス幅変調器の動作例、図15.15に8ビットパルス幅変調器の動作例を示します。

表15.5 パルス幅変調モードの仕様

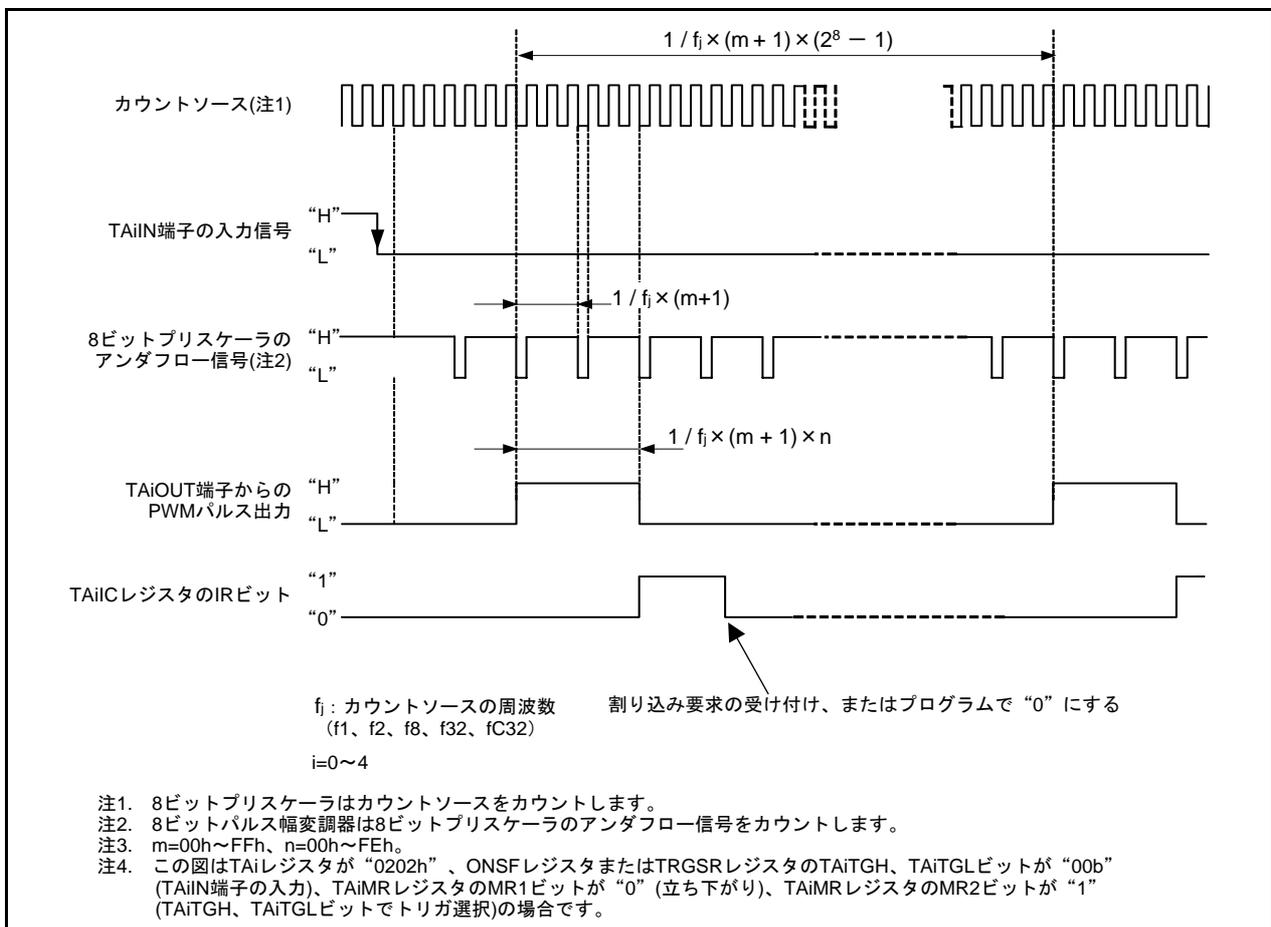
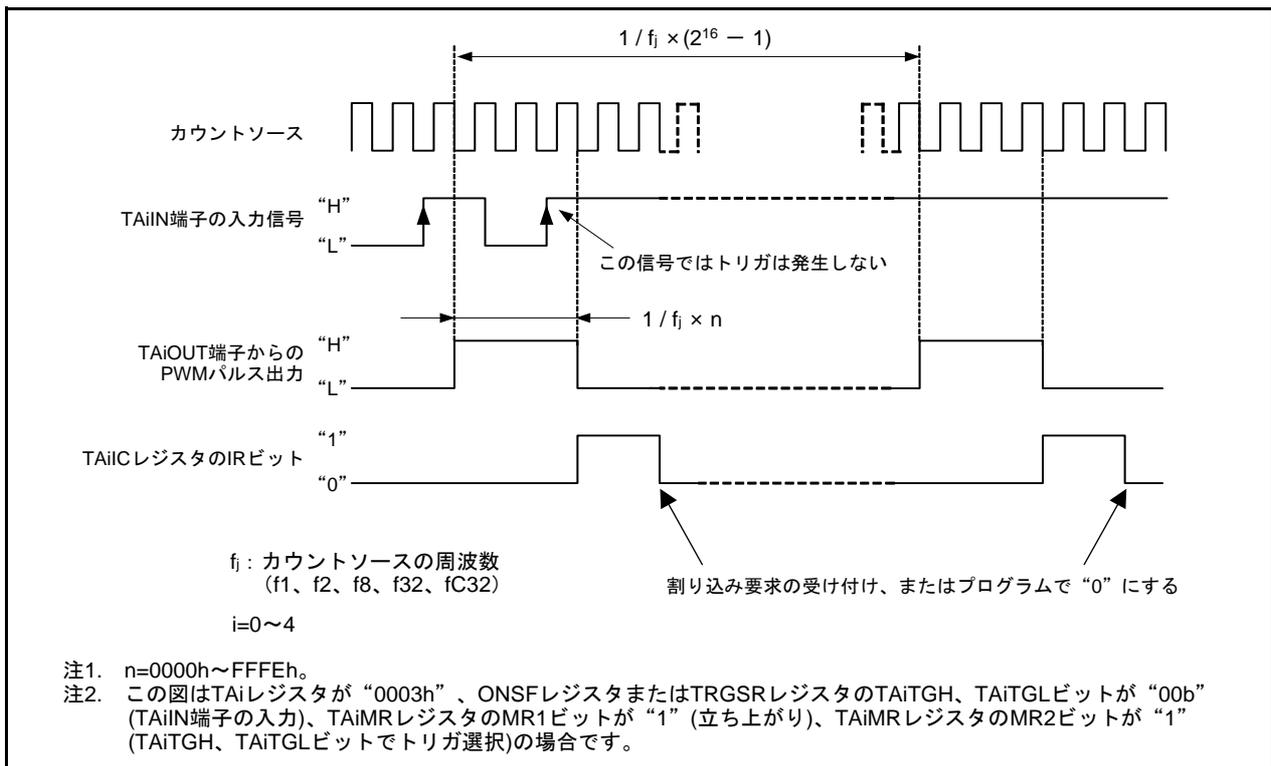
項目	仕様
カウントソース	f1、f2、f8、f32、fC32
カウント動作	<ul style="list-style-type: none"> •ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) •PWMパルスの立ち上がりでリロードしてカウントを継続 •カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	<ul style="list-style-type: none"> •“H”幅 n/f_j n:TAiレジスタの設定値(i=0~4) •周期 $(2^{16}-1)/f_j$ 固定 f_j:カウントソースの周波数(f1、f2、f8、f32、fC32)
8ビットPWM	<ul style="list-style-type: none"> •“H”幅 $nx(m+1)/f_j$ n:TAiレジスタの上位番地の設定値 •周期 $(2^8-1) \times (m+1)/f_j$ m:TAiレジスタの下位番地の設定値
カウント開始条件	<ul style="list-style-type: none"> •TABSRレジスタのTAiSビットを“1”(カウント開始)にする •TAiSビットが“1”で、かつTAiIN端子からの外部トリガ入力 •TAiSビットが“1”で、かつ次のトリガが発生 タイマB2のオーバフローまたはアンダフロー、タイマAj(j=i-1、ただしi=0のときj=4)のオーバフローまたはアンダフロー、タイマAk(k=i+1、ただしi=4のときk=0)のオーバフローまたはアンダフロー
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	入出力ポートまたはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	<ul style="list-style-type: none"> •カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる •カウント中(ただし、1回目のカウントソース入力後)TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

タイマAiモードレジスタ (i=0~4)

シンボル TA0MR~TA4MR	アドレス 0396h~039Ah番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	b1 b0 1 1 : パルス幅変調 (PWM) モード	RW
TMOD1			RW
MR0	パルス出力機能選択ビット (注4)	0 : パルス出力なし (TAiOUT端子は入出力ポート) 1 : パルス出力あり (注1) (TAiOUT端子はパルス出力端子)	RW
MR1	外部トリガ選択ビット (注2)	0 : TAiIN端子の入力信号の立ち下がり (注3) 1 : TAiIN端子の入力信号の立ち上がり (注3)	RW
MR2	トリガ選択ビット	0 : TABSRレジスタのTAiSビットへの“1”書き込み 1 : TAiTGH~TAiTGLビットで選択	RW
MR3	16/8ビットPWMモード 選択ビット	0 : 16ビットパルス幅変調器として動作 1 : 8ビットパルス幅変調器として動作	RW
TCK0	カウントソース選択 ビット	b7 b6 0 0 : f1またはf2 (注5) 0 1 : f8 1 0 : f32 1 1 : fC32	RW
TCK1			RW

注1. TA0OUT端子はNチャンネルオープンドレイン出力。
 注2. ONSFレジスタまたはTRGSRレジスタのTAiTGH、TAiTGLビットが“00b” (TAiIN端子の入力) のとき有効。
 注3. TAiIN端子に対応するポート方向ビットは“0” (入力モード) にしてください。
 注4. PWMパルスを出力する場合は“1” (パルス出力あり) にしてください。
 注5. PCLKRレジスタのPCLK0ビットで選択してください。

図 15.13 パルス幅変調モード時のTAiMRレジスタ



15.2 タイマB

注意

M16C/62P(80ピン版)、M16C/62PT(80ピン版)は、タイマB1のTB1IN端子がありません。

【タイマB1を使用する場合の注意事項】

- イベントカウンタモード
外部入力信号のカウントはできません。イベントカウンタモードを使用する場合、TB1MRレジスタのTCK1ビットは“1”にしてください。
- パルス周期測定/パルス幅測定モード
このモードは使用できません。

図15.16にタイマBブロック図、図15.17、図15.18にタイマB関連レジスタを示します。

タイマBは次の3種類のモードがあり、モードは、TBiMRレジスタ(i=0~5)のTMOD1~TMOD0ビットで選択できます。

- タイマモード
内部カウントソースをカウントするモード
- イベントカウンタモード
外部からのパルス、他のタイマのオーバーフロー、または他のタイマのアンダフローをカウントするモード
- パルス周期測定モード、パルス幅測定モード
外部パルスの周期またはパルス幅を測定するモード

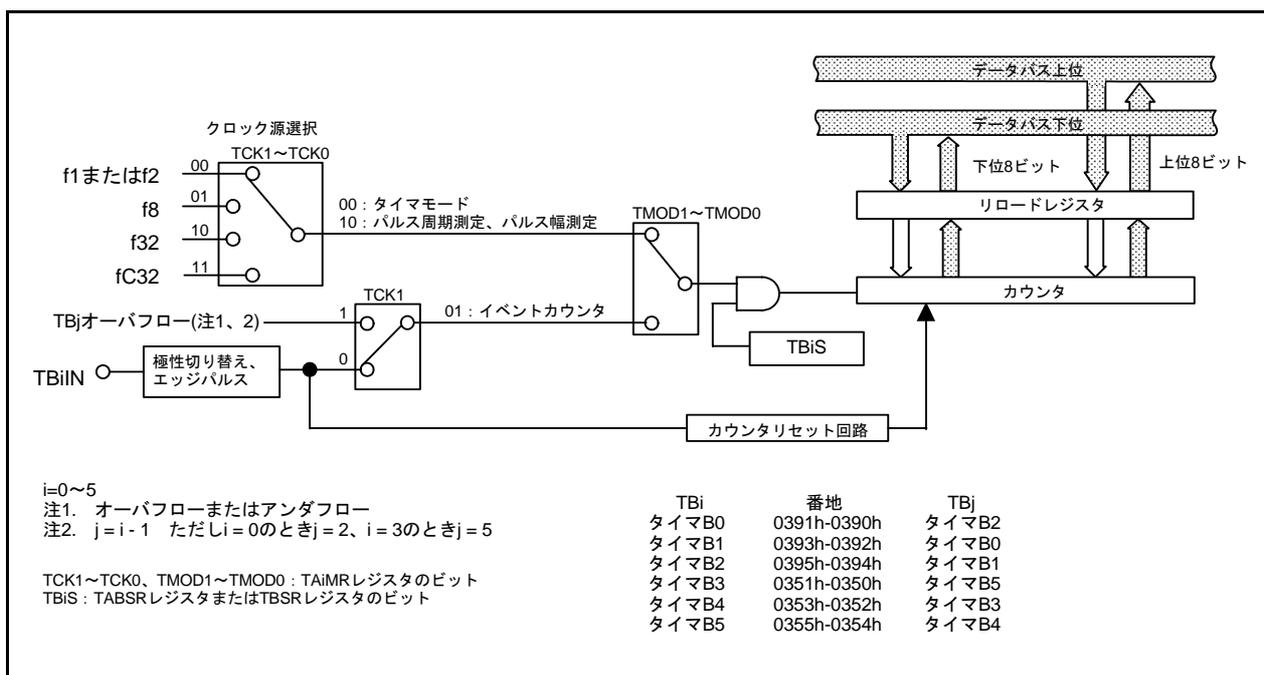


図15.16 タイマBブロック図

タイマBiモードレジスタ (i=0~5)

シンボル	アドレス	リセット後の値	
TB0MR~TB2MR	039Bh~039Dh番地	00XX0000b	
TB3MR~TB5MR	035Bh~035Dh番地	00XX0000b	
ビットシンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード	RW
TMOD1		0 1 : イベントカウンタモード 1 0 : パルス周期測定モード、 パルス幅測定モード 1 1 : 設定しないでください	RW
MR0	動作モードによって機能が異なる		RW
MR1		RW	
MR2		RW (注1)	
MR3		— (注2)	
TCK0	カウントソース選択ビット (動作モードによって機能が異なる)		RW
TCK1			RW

注1. タイマB0、タイマB3。

注2. タイマB1、タイマB2、タイマB4、タイマB5。

タイマBiレジスタ (i=0~5) (注1)

シンボル	アドレス	リセット後の値	
TB0	0391h~0390h番地	不定	
TB1	0393h~0392h番地	不定	
TB2	0395h~0394h番地	不定	
TB3	0351h~0350h番地	不定	
TB4	0353h~0352h番地	不定	
TB5	0355h~0354h番地	不定	
モード	機能	設定範囲	RW
タイマモード	設定値をnとすると、カウントソースをn+1分周する	0000h~FFFFh	RW
イベントカウンタモード	設定値をnとすると、カウントソースをn+1分周する(注2)	0000h~FFFFh	RW
パルス周期測定モード パルス幅測定モード	パルス周期またはパルス幅を測定する	—	RO

注1. 16ビット単位でアクセスしてください。

注2. 外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントします。

図 15.17 TB0MR~TB5MR、TB0~TB5レジスタ

カウント開始フラグ			
シンボル	アドレス	リセット後の値	
TABSR	0380h番地	00h	
ビットシンボル	ビット名	機能	RW
TA0S	タイマA0カウント開始フラグ	0 : カウント停止 1 : カウント開始	RW
TA1S	タイマA1カウント開始フラグ		RW
TA2S	タイマA2カウント開始フラグ		RW
TA3S	タイマA3カウント開始フラグ		RW
TA4S	タイマA4カウント開始フラグ		RW
TB0S	タイマB0カウント開始フラグ		RW
TB1S	タイマB1カウント開始フラグ		RW
TB2S	タイマB2カウント開始フラグ		RW

タイマB3, 4, 5カウント開始フラグ			
シンボル	アドレス	リセット後の値	
TBSR	0340h番地	000XXXXb	
ビットシンボル	ビット名	機能	RW
— (b4-b0)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
TB3S	タイマB3カウント開始フラグ	0 : カウント停止 1 : カウント開始	RW
TB4S	タイマB4カウント開始フラグ		RW
TB5S	タイマB5カウント開始フラグ		RW

時計用プリスケアラリセットフラグ			
シンボル	アドレス	リセット後の値	
CPSRF	0381h番地	0XXXXXXb	
ビットシンボル	ビット名	機能	RW
— (b6-b0)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
CPSR	時計用プリスケアラリセットフラグ	このビットを“1”にすると時計用プリスケアラが初期化される。(読んだ場合、その値は“0”)	RW

図15.18 TABSR、TBSR、CPSRFレジスタ

15.2.1 タイマモード

内部で生成されたカウントソースをカウントするモードです(表 15.6)。図 15.19 にタイマモード時の TBiMR レジスタを示します。

表 15.6 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、f32、fC32
カウント動作	<ul style="list-style-type: none"> •ダウンカウント •アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:TBi レジスタの設定値(i=0~5) 0000h~FFFFh
カウント開始条件	TBiS ビット(注1)を“1”(カウント開始)にする
カウント停止条件	TBiS ビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN 端子機能	入出力ポート
タイマの読み出し	TBi レジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> •カウント停止中とカウント開始後1回目のカウントソースが入力されるまで TBi レジスタに書くと、リロードレジスタ、カウンタの両方に書かれる •カウント中(ただし、1回目のカウントソース入力後) TBi レジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

注1. TB0S~TB2S ビットは TABSR レジスタのビット5~7、TB3S~TB5S ビットは TBSR レジスタのビット5~7 です。

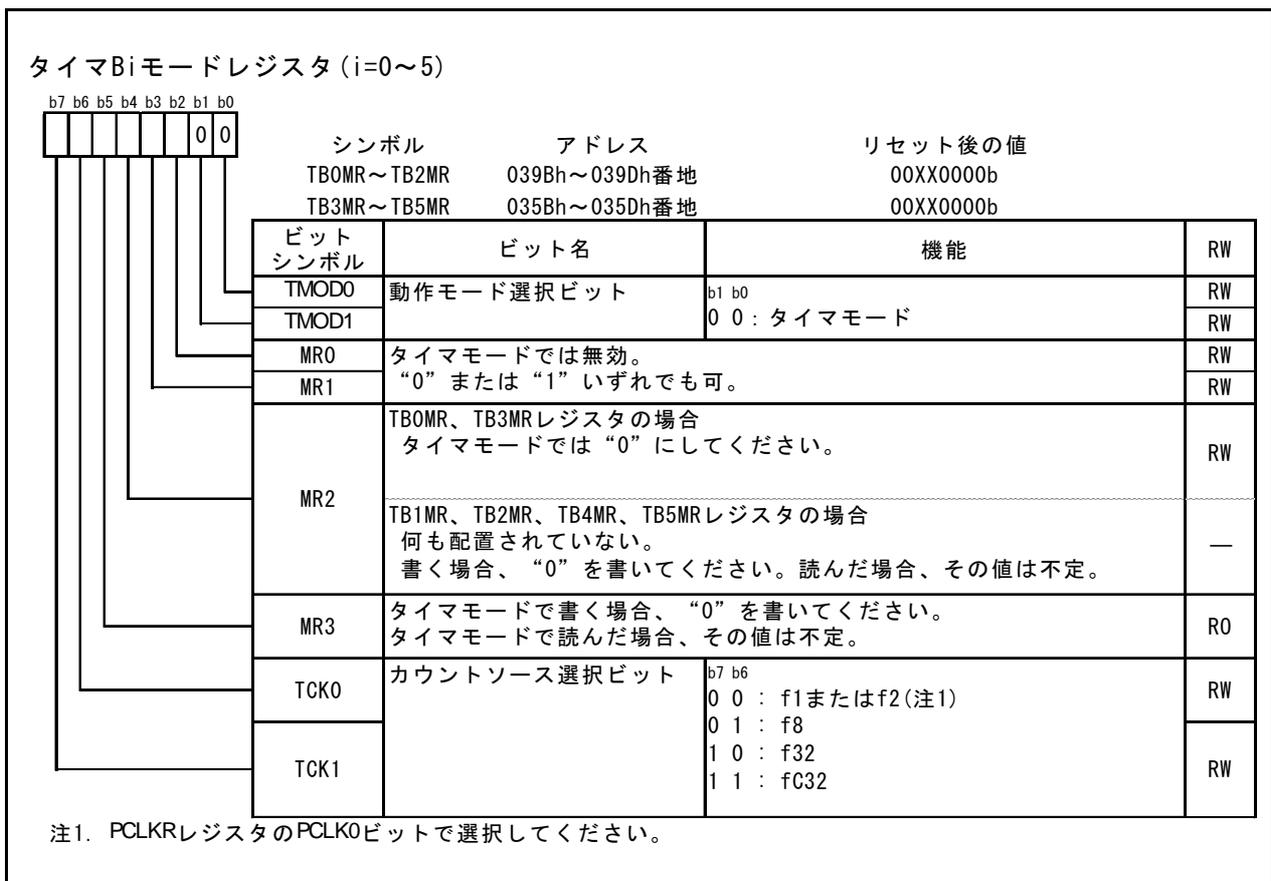


図 15.19 タイマモード時の TBiMR レジスタ

15.2.2 イベントカウンタモード

外部信号、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモードです(表15.7)。図15.20にイベントカウンタモード時のTBiMRレジスタを示します。

表15.7 イベントカウンタモードの仕様

項目	仕様
カウントソース	<ul style="list-style-type: none"> •TBiIN端子(i=0~5)に入力された外部信号(カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がりと立ち上がりをプログラムによって選択可) •タイマB_jのオーバフローまたはアンダフロー(j=i-1、ただしi=0のときj=2、i=3のときj=5)
カウント動作	<ul style="list-style-type: none"> •ダウンカウント •アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:TBiレジスタの設定値 0000h~FFFFh
カウント開始条件	TBiSビット(注1)を“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	カウントソース入力
タイマの読み出し	TBiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> •カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTBiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる •カウント中(ただし、1回目のカウントソース入力後)TBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

注1. TB0S~TB2SビットはTABS_Rレジスタのビット5~7、TB3S~TB5SビットはTBS_Rレジスタのビット5~7です。

タイマBiモードレジスタ (i=0~5)

シンボル	アドレス	リセット後の値
TB0MR~TB2MR	039Bh~039Dh番地	00XX0000b
TB3MR~TB5MR	035Bh~035Dh番地	00XX0000b

ビットシンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	b1 b0	RW
TMOD1		0 1: イベントカウンタモード	RW
MR0	カウント極性選択ビット(注1)	b3 b2	RW
MR1		0 0: 外部信号の立ち下がりカウント 0 1: 外部信号の立ち上がりカウント 1 0: 外部信号の立ち下がり立ち上りカウント 1 1: 設定しないでください	RW
MR2	TB0MR、TB3MRレジスタの場合 イベントカウンタモードでは“0”にしてください。		RW
	TB1MR、TB2MR、TB4MR、TB5MRレジスタの場合 何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
MR3	イベントカウンタモードで書く場合、“0”を書いてください。 イベントカウンタモードで読んだ場合、その値は不定。		RO
TCK0	イベントカウンタモードでは無効。 “0”または“1”いずれでも可。		RW
TCK1	イベントクロック選択	0: Tbi IN端子からの入力(注2) 1: TBjのオーバフローまたはアンダフロー (j=i-1 ただしi=0のときj=2、i=3のときj=5)	RW

注1. TCK1ビットが“0”(Tbi IN端子からの入力)の場合に有効です。TCK1ビットが“1”(TBjのオーバフローまたはアンダフロー)の場合は、“0”でも“1”でも可。

注2. Tbi IN端子に対応するポート方向ビットは“0”(入力モード)にしてください。

図15.20 イベントカウンタモード時のTbiMRレジスタ

15.2.3 パルス周期測定モード、パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです(表 15.8)。図 15.21 にパルス周期測定モード、パルス幅測定モード時のTBiMRレジスタを示します。図 15.22 にパルス周期測定時の動作図、図 15.23 にパルス幅測定時の動作図を示します。

表 15.8 パルス周期測定モード、パルス幅測定モードの仕様

項目	仕様
カウントソース	f1、f2、f8、f32、fC32
カウント動作	<ul style="list-style-type: none"> • アップカウント • 測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000h”にしてカウントを継続
カウント開始条件	• TBiS ビット(i=0~5)(注3)を“1”(カウント開始)にする
カウント停止条件	• TBiS ビットを“0”(カウント停止)にする
割り込み要求発生タイミング	<ul style="list-style-type: none"> • 測定パルスの有効エッジ入力時(注1) • オーバフロー時。オーバフローと同時にTBiMRレジスタのMR3ビットが“1”(オーバフローあり)になる。TBiSビットが“1”(カウント開始)のとき、MR3ビットが“1”になった後の次のカウントタイミング以降に、TBiMRレジスタに書くと、MR3ビットは“0”(オーバフローなし)になる。
TBiIN端子機能	測定パルス入力
タイマの読み出し	TBiレジスタを読むと、リロードレジスタの内容(測定結果)が読める(注2)
タイマの書き込み	TBiレジスタに書いた値は、リロードレジスタにもカウンタにも書かれない

注1. カウント開始後1回目の有効エッジ入力時は、割り込み要求は発生しません。

注2. カウント開始後2回目の有効エッジ入力までは、TBiレジスタを読んでも値は不定です。

注3. TB0S~TB2SビットはTABSRレジスタのビット5~7、TB3S~TB5SビットはTBSRレジスタのビット5~7です。

タイマBiモードレジスタ (i=0~5)

シンボル	アドレス	リセット後の値
TB0MR~TB2MR	039Bh~039Dh番地	00XX0000b
TB3MR~TB5MR	035Bh~035Dh番地	00XX0000b

ビットシンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	b1 b0 1 0 : パルス周期測定モード、パルス幅測定モード	RW
TMOD1			RW
MR0	測定モード選択ビット	b3 b2 0 0 : パルス周期測定 (測定パルスの立ち下がりから次の立ち上がり間の測定) 0 1 : パルス周期測定 (測定パルスの立ち上がりから次の立ち上がり間の測定)	RW
MR1		1 0 : パルス幅測定 (測定パルスの立ち下がりから次の立ち上がり間の測定 と立ち上がりから次の立ち下がり間の測定) 1 1 : 設定しないでください	RW
MR2	TB0MR、TB3MRレジスタの場合 パルス周期測定モード、パルス幅測定モードでは“0”にしてください。		RW
	TB1MR、TB2MR、TB4MR、TB5MRレジスタの場合 何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
MR3	タイマBiオーバーフローフラグ(注1)	0 : オーバーフローなし 1 : オーバーフローあり	RO
TCK0	カウントソース選択ビット	b7 b6 0 0 : f1またはf2(注2) 0 1 : f8	RW
TCK1		1 0 : f32 1 1 : fC32	RW

注1. リセット後は不定です。TBiSビットが“1”(カウント開始)のとき、MR3ビットが“1”(オーバーフローあり)になった後の次のカウントタイミング以降に、TBiMRレジスタに書くと、MR3ビットは“0”(オーバーフローなし)になります。MR3ビットをプログラムで“1”にできません。TB0S~TB2SビットはTABSRレジスタのビット5~7、TB3S~TB5SビットはTBSRレジスタのビット5~7です。

注2. PCLKRレジスタのPCLK0ビットで選択してください。

図15.21 パルス周期測定モード、パルス幅測定モード時のTBiMRレジスタ

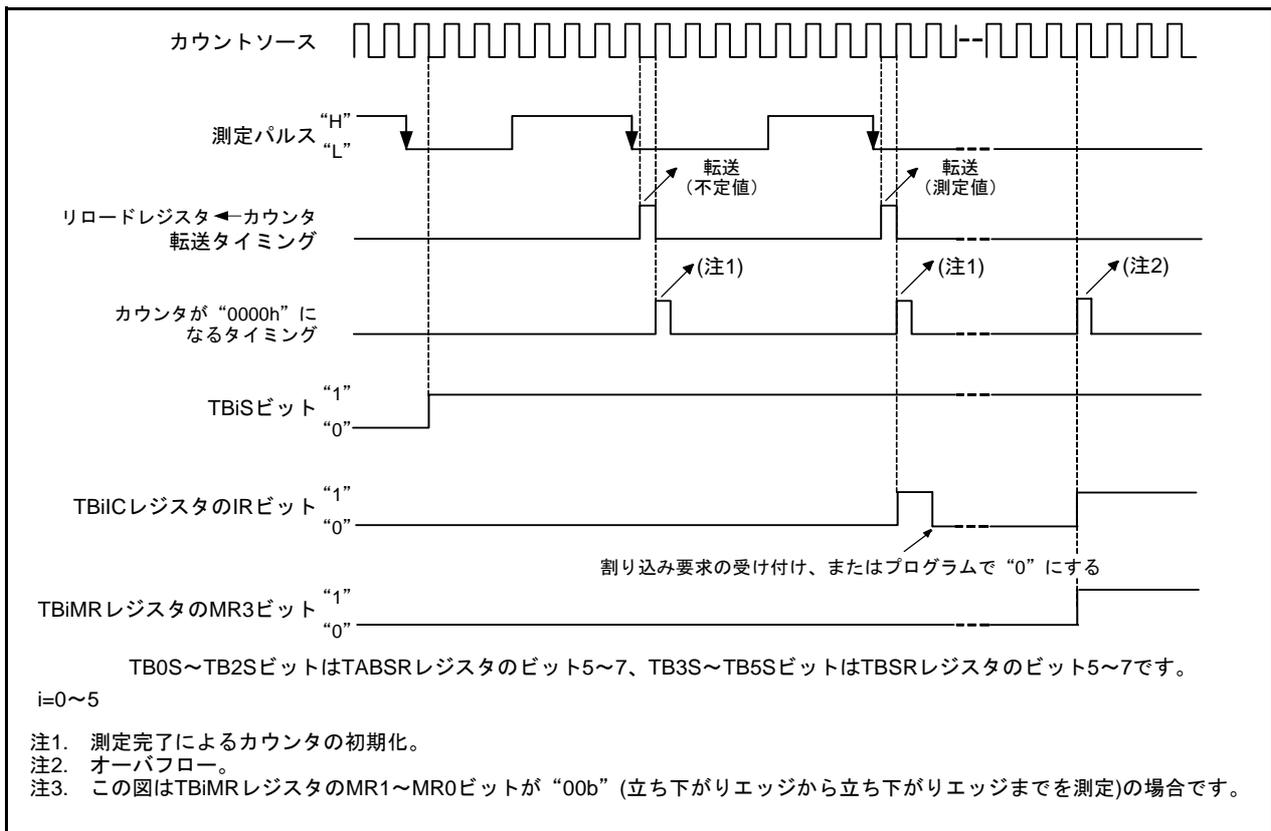


図 15.22 パルス周期測定時の動作図

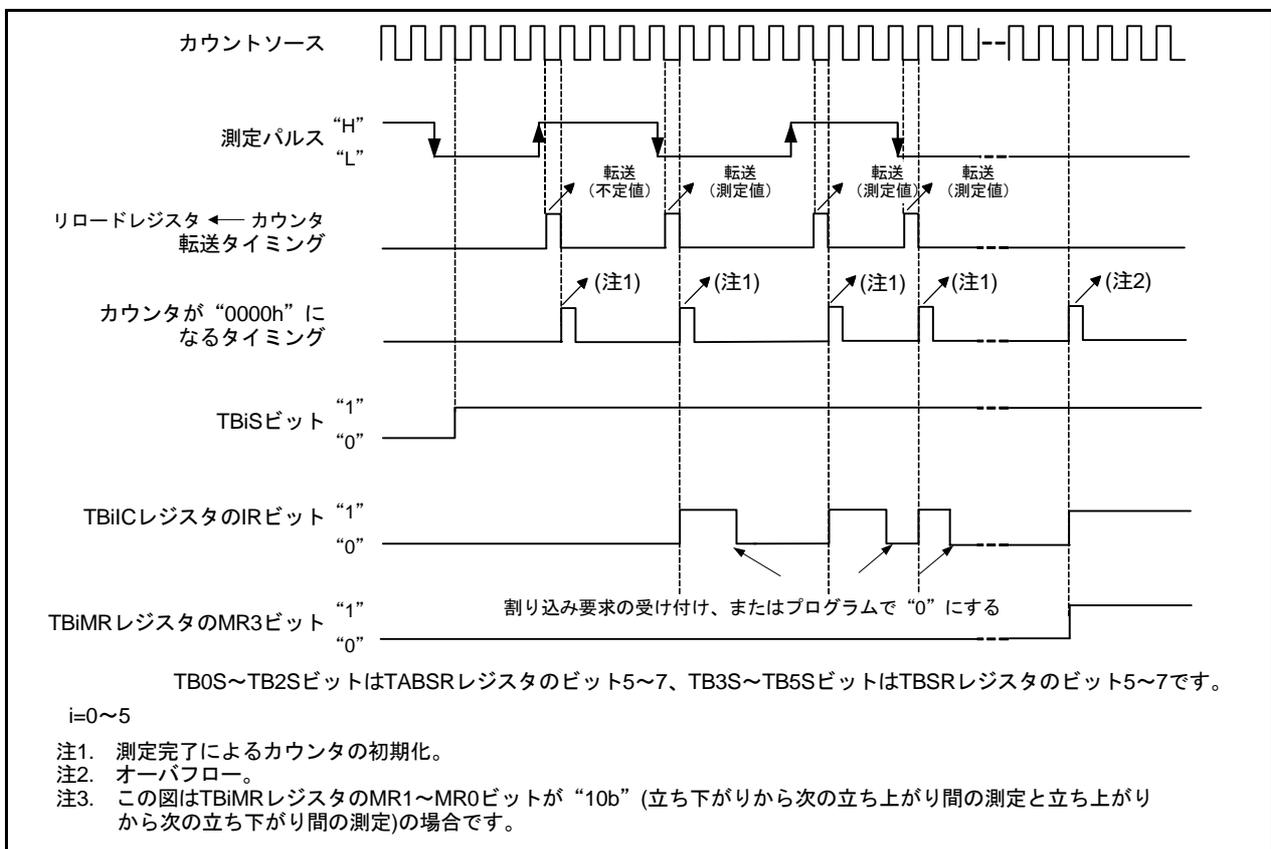


図 15.23 パルス幅測定時の動作図

16. 三相モータ制御用タイマ機能

注意

M16C/62P(80ピン版)、M16C/62PT(80ピン版)は、この機能を使用しないでください。

タイマA1、A2、A4、B2を使用して三相モータ駆動波形を出力できます。表16.1に三相モータ制御用タイマ機能の仕様を、図16.1に三相モータ制御用タイマ機能のブロック図を示します。また、図16.2～図16.7に三相モータ制御用タイマ機能関連レジスタを示します。

表16.1 三相モータ制御用タイマ機能の仕様

項目	仕様
三相波形出力端子	6本(U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W})
強制遮断入力(注1)	NMI端子に“L”を入力
使用タイマ	タイマA4、A1、A2(ワンショットタイマモードで使用) タイマA4：U、 \bar{U} 相波形制御 タイマA1：V、 \bar{V} 相波形制御 タイマA2：W、 \bar{W} 相波形制御 タイマB2(タイマモードで使用) 搬送波周期制御 短絡防止タイマ(8ビットタイマ3本、リロードレジスタ共用) 短絡防止時間制御
出力波形	三角波変調、鋸波変調 ・1周期すべて“H”または“L”出力可能 ・正相レベルと逆相レベルを独立設定可能
搬送波周期	三角波変調：カウントソース $\times(m+1)\times 2$ 鋸波変調：カウントソース $\times(m+1)$ m：TB2レジスタ設定値。0000h～FFFFh カウントソース：f1、f2、f8、f32、fC32
三相PWM出力幅	三角波変調：カウントソース $\times n \times 2$ 鋸波変調：カウントソース $\times n$ n：TA4、TA1、TA2、(INV11が“1”のときはTA4、TA41、TA1、TA11、TA2、TA21)レジスタ設定値。0001h～FFFFh カウントソース：f1、f2、f8、f32、fC32
短絡防止時間(幅)	カウントソース $\times p$ 、または短絡防止時間なし p：DTTレジスタ設定値。01h～FFh カウントソース：f1、f2、f1の2分周、f2の2分周
アクティブレベル	“H”または“L”選択可能
正逆同時アクティブ禁止機能	正逆同時アクティブ禁止機能あり。正逆同時アクティブ検出機能あり。
割り込み頻度	タイマB2割り込みは、搬送波周期ごと～搬送波周期15回ごと選択

注1. NMI入力による強制遮断はTB2SCレジスタのIVPCR1ビットが“1”(NMI端子入力による三相出力強制遮断を許可)のとき有効です。IVPCR1ビットが“1”のとき、NMI端子に“L”が入力されると、対象端子は使用している機能に関係なくハイインピーダンス状態になります。

対象端子 P7_2/CLK2/TA1OUT/V、P7_3/ $\overline{\text{CTS2}}/\overline{\text{RTS2}}/\text{TA1IN}/\bar{V}$ 、P7_4/TA2OUT/W、P7_5/TA2IN/ \bar{W}
 P8_0/TA4OUT/U、P8_1/TA4IN/ \bar{U}

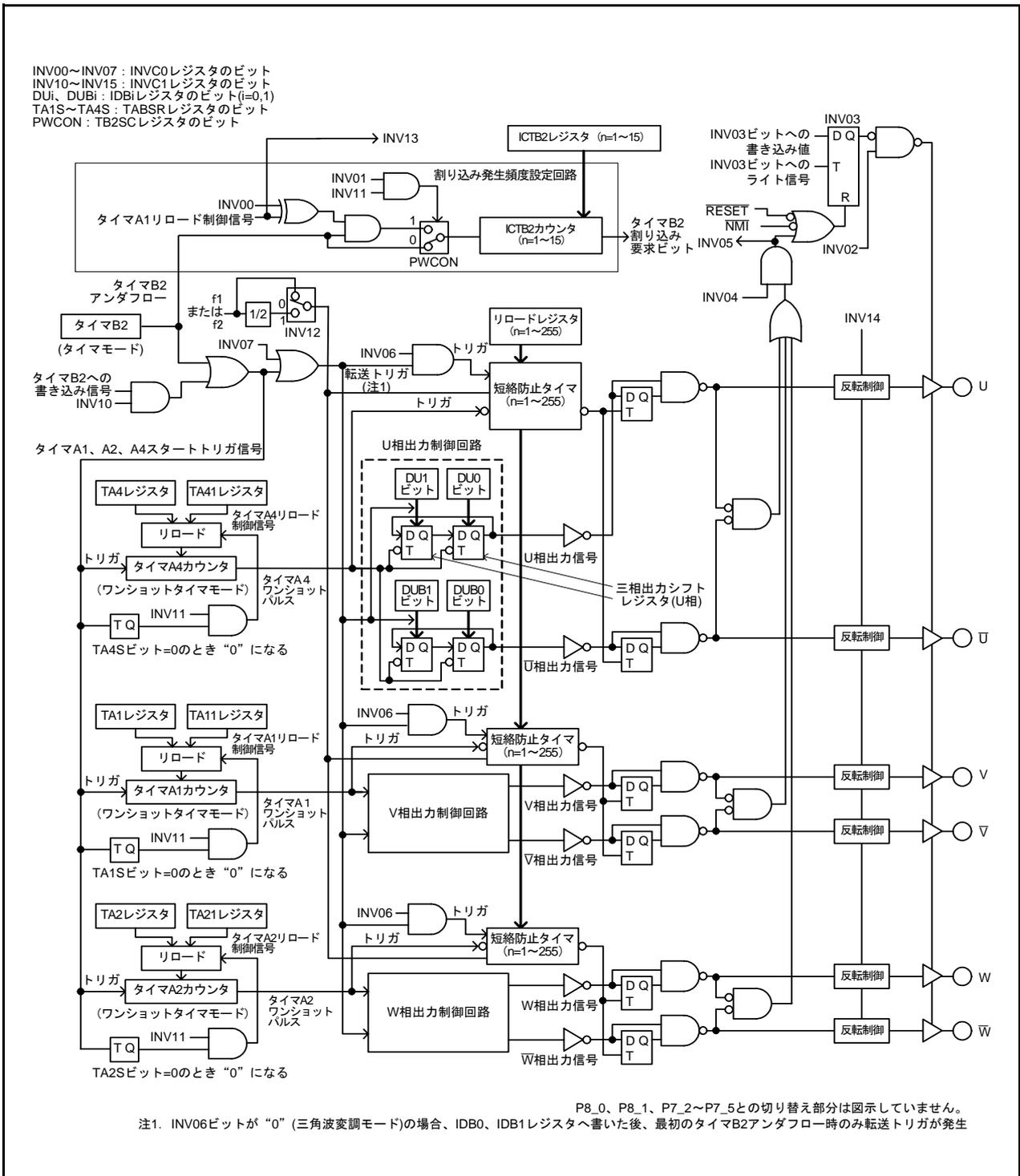


図 16.1 三相モータ制御用タイマ機能のブロック図

三相PWM制御レジスタ0 (注1)			
b7 b6 b5 b4 b3 b2 b1 b0			
シンボル	アドレス	リセット後の値	
INVC0	0348h番地	00h	
ビットシンボル	ビット名	機能	RW
INV00	割り込み有効出力極性選択ビット	0: タイマA1リロード制御信号の立ち上がりでICTB2カウンタのカウントを1進める 1: タイマA1リロード制御信号の立ち下がりですりICTB2カウンタのカウントを1進める (注3)	RW
INV01	割り込み有効出力指定ビット(注2)	0: タイマB2アンダフローでICTB2カウンタのカウントを1進める 1: INV00ビットで選択 (注3)	RW
INV02	モード選択ビット(注4)	0: 三相モータ制御用タイマ機能を使用しない 1: 三相モータ制御用タイマ機能を使用する (注5)	RW
INV03	出力制御ビット	0: 三相モータ制御用タイマ出力禁止 (注5) 1: 三相モータ制御用タイマ出力許可 (注6)	RW
INV04	正逆相同時アクティブ出力禁止機能許可ビット	0: 同時アクティブ出力許可 1: 同時アクティブ出力禁止	RW
INV05	正逆相同時アクティブ出力検出フラグ	0: 未検出 1: 検出 (注7)	RW
INV06	変調モード選択ビット(注8)	0: 三角波変調モード 1: 鋸波変調モード (注9)	RW
INV07	ソフトウェアトリガ選択ビット	このビットに“1”を書くと転送トリガが発生する。INV06ビットが“1”の場合、短絡防止タイマへのトリガも発生する。読んだ場合、その値は“0”。	RW

注1. このレジスタはPRCRレジスタのPRC1ビットを“1”（書き込み許可）にした後で書き換えてください。また、INV00～INV02、INV06ビットは、タイマA1、A2、A4、B2が停止中に書き換えてください。

注2. このビットに“1”を書く場合は、ICTB2レジスタに値を設定してから書いてください。

注3. INVC1レジスタのINV11ビットが“1”（三相モード1）のとき有効。“0”（三相モード0）のときは、INV00、INV01ビットに関係なくタイマB2アンダフローごとにICTB2カウンタのカウントを1進めます。
INV01ビットを“1”にする場合、タイマA1カウント開始フラグを最初のタイマB2アンダフローまでに“1”にしてください。
INV00ビットを“1”にする場合、ICTB2カウンタの設定値をnとすると、最初の割り込みはタイマB2アンダフローのn-1回目で発生し、2回目以降の割り込みはタイマB2アンダフローのn回目ごとに発生します。

注4. INV02ビットを“1”にすると、短絡防止タイマやU、V、W相出力制御回路、ICTB2カウンタが動作します。

注5. U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W} 端子（端子を共用している他の出力機能に設定している場合も含む）は、INV02ビットを“1”（三相モータ制御用タイマ機能）にし、各ポートの方向レジスタを入力で、かつINV03ビットを“0”（三相モータ制御用タイマ出力禁止）にすると、すべてハイインピーダンスになります。
INV03ビットが“1”のとき、U/V/W対応端子は、三相PWM出力を行います。

注6. INV03ビットは次のとき“0”になります。
・リセット
・INV04ビットが“1”のとき、同時アクティブになった場合
・プログラムで“0”にしたとき
・ $\overline{\text{NM1}}$ 端子入力が“H”から“L”に変化したとき
INV04ビットとINV05ビットがともに“1”のとき、INV03ビットは“0”になります。

注7. プログラムで“1”は書けません。このビットを“0”にする場合は、INV04ビットに“0”を書いてください。

注8. INV06ビットの影響は下表のとおりです。

項目	INV06=0の場合	INV06=1の場合
モード	三角波変調モード	鋸波変調モード
IDB0レジスタ、IDB1レジスタから三相出力シフトレジスタへの転送タイミング	IDB0レジスタ、IDB1レジスタに書いた後、転送トリガに同期して1回のみ転送	転送トリガごとに転送
INV16=0の場合の短絡防止タイマトリガタイミング	タイマA1、A2、A4のワンショットパルスの立ち下がりに同期	タイマA1、A2、A4のワンショットパルスの立ち下がりど、転送トリガに同期
INV13ビット	INV11=1かつINV06=0のとき有効	無効

転送トリガ：タイマB2アンダフローとINV07ビットへの書き込み、またはINV10=1のときのTB2レジスタへの書き込み

注9. INV06ビットが“1”の場合、INV11ビットを“0”（三相モード0）、TB2SCレジスタのPWCONビットを“0”（タイマB2のアンダフローでタイマB2リロード）にしてください。

図16.2 INVC0レジスタ

三相PWM制御レジスタ1 (注1)

シンボル	アドレス	リセット後の値	
INVC1	0349h番地	00h	
ビットシンボル	ビット名	機能	RW
INV10	タイマA1、A2、A4スタートトリガ選択ビット	0: タイマB2アンダフロー 1: タイマB2アンダフローと、TB2レジスタへの書き込み	RW
INV11	タイマA1-1、A2-1、A4-1制御ビット(注2)	0: 三相モード0 (注3) 1: 三相モード1	RW
INV12	短絡防止タイマカウンスソース選択ビット	0: f1またはf2 1: f1の2分周またはf2の2分周	RW
INV13	搬送波状態検出フラグ(注4)	0: タイマA1リロード制御信号が“0” 1: タイマA1リロード制御信号が“1”	RO
INV14	出力極性制御ビット	0: 出力波形“L”アクティブ 1: 出力波形“H”アクティブ	RW
INV15	短絡防止時間無効ビット	0: 短絡防止時間有効 1: 短絡防止時間無効	RW
INV16	短絡防止時間タイマトリガ選択ビット	0: タイマ(A4、A1、A2)のワンショットパルスの立ち下がり(注5) 1: 三相出力シフトレジスタ(U、V、W相)出力の立ち上がり	RW
— (b7)	予約ビット	“0”にしてください。	RW

注1. このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。また、このレジスタはタイマA1、A2、A4、B2が停止中に書き換えてください。

注2. INV11ビットの影響は下表のとおりです。

項目	INV11=0の場合	INV11=1の場合
モード	三相モード0	三相モード1
TA11、TA21、TA41レジスタ	使用しない	使用する
INVC0レジスタのINV00ビット、INV01ビット	無効。INV00、INV01ビットの値に関係なく、タイマB2アンダフローごとにICTB2カウント	有効
INV13ビット	無効	INV11=1かつINV06=0のとき有効

注3. INVC0レジスタのINV06ビットが“1”(鋸波変調モード)の場合は、“0”(三相モード0)にしてください。また、INV11ビットが“0”の場合、TB2SGレジスタのPWCONビットを“0”(タイマB2のアンダフローでタイマB2リロード)にしてください。

注4. INV13ビットはINV06ビットが“0”(三角波変調モード)かつINV11ビットが“1”(三相モード1)のときのみ有効です。

注5. 次の条件がすべて当てはまる場合は、INV16ビットを“1”(短絡防止タイマのトリガは三相出力シフトレジスタの出力の立ち上がり)にしてください。

- INV15ビットが“0”(短絡防止時間有効)
- INV03ビットが“1”(三相モータ制御用タイマ出力許可)のときは、常にDij(i: U、VまたはW、j: 0~1)ビットとDiBjビットの値が異なる(短絡防止時間以外の期間、正相と逆相は常に逆のレベルを出力する)。

また、上記の条件のいずれかがあてはまらない場合はINV16ビットを“0”(短絡防止タイマのトリガはタイマのワンショットパルスの立ち下がり)にしてください。

図16.3 INVC1レジスタ

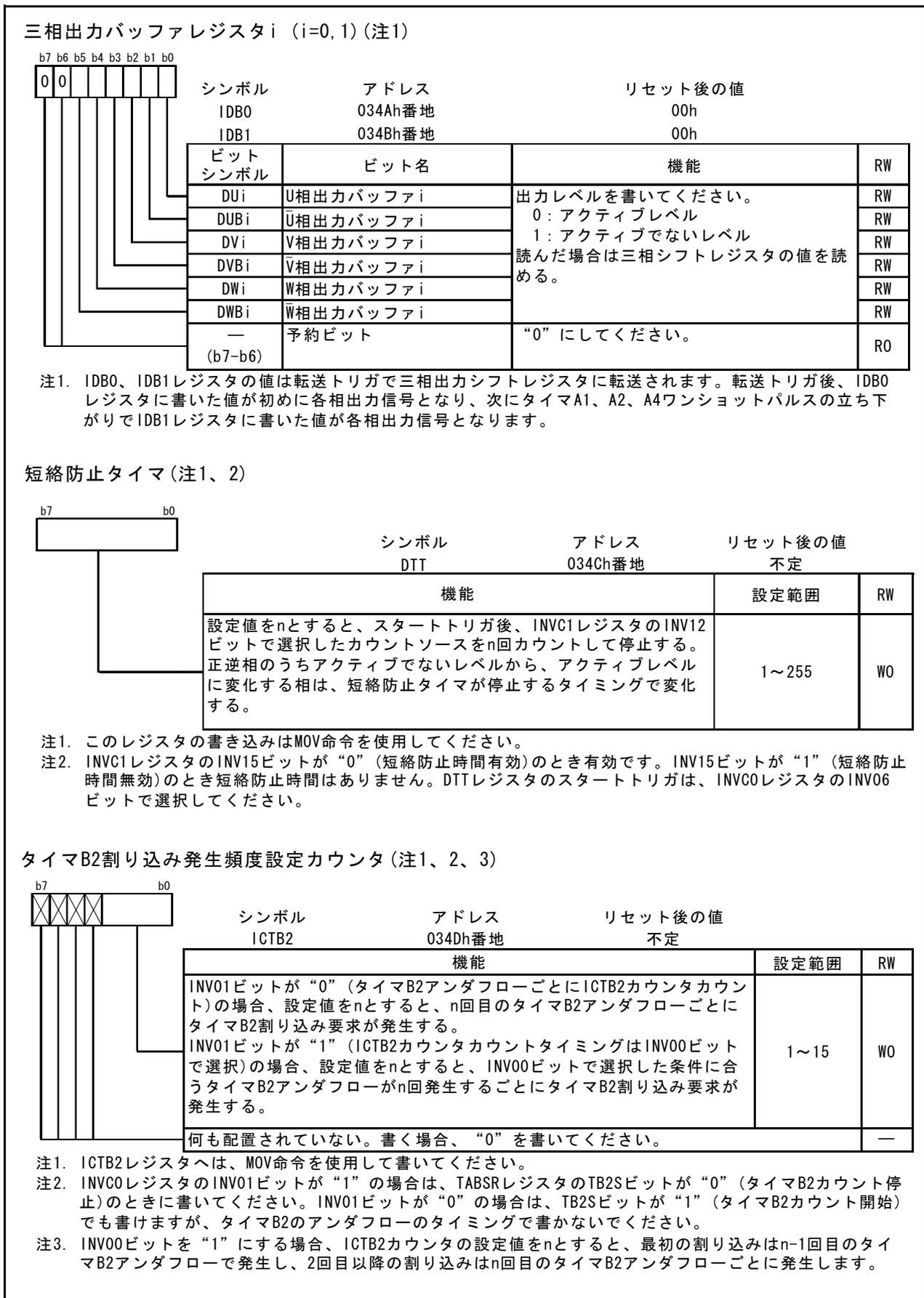


図16.4 IDB0、IDB1、DTT、ICTB2レジスタ

タイマAi, Ai-1レジスタ (i=1, 2, 4) (注1、2、3、4、5、6)

b15 b8 b7 b0

シンボル	アドレス	リセット後の値
TA1, TA2, TA4	0389h-0388h, 038Bh-038Ah, 038Fh-038Eh番地	不定
TA11, TA21, TA41(注7)	0343h-0342h, 0345h-0344h, 0347h-0346h番地	不定

機能	設定範囲	RW
設定値をnとすると、スタートトリガ後、カウントソースをn回カウントして停止する。タイマA1、A2、A4が停止するタイミングで正逆相が変化する。	0000h~FFFFh	WO

注1. 読み出し、書き込みは16ビット単位で行ってください。

注2. これらのレジスタに“0000h”を書いた場合、カウンタは動作せず、タイマAi割り込みは発生しません。

注3. これらのレジスタへの書き込みにはMOV命令を使用してください。

注4. INVC1レジスタのINV15ビットが“0”(短絡防止時間有効)の場合、正逆相のうちアクティブでないレベルからアクティブレベルに変化する相は、短絡防止タイマが停止するタイミングで変化します。

注5. INV11ビットが“0”(三相モード0)の場合、タイマAiスタートトリガによってTAiレジスタの値がリロードレジスタに転送されます。
INV11ビットが“1”(三相モード1)の場合、タイマAiスタートトリガによって、まずTAi1レジスタの値が、次のタイマAiスタートトリガ時にTAiレジスタの値がリロードレジスタに転送されます。以降、TAi1レジスタの値とTAiレジスタの値が交互にリロードレジスタに転送されます。

注6. タイマB2アンダフローのタイミングで、これらのレジスタへ書かないでください。

注7. TAi1レジスタは次の手順で書いてください。
(1)TAi1レジスタへ値を書く
(2)タイマAiカウントソースの1サイクル分待つ
(3)もう一度、TAi1レジスタへ同じ値を書く

タイマB2特殊モードレジスタ(注1)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
TB2SC	039Eh番地	XXXXXX00b

ビットシンボル	ビット名	機能	RW
PWCON	タイマB2リロードタイミング切り替えビット	0 : タイマB2アンダフロー 1 : 奇数回目のタイマA出力(注2)	RW
IVPCR1	三相出力ポートNMI制御ビット1(注3)	0 : NMI端子入力による三相出力強制遮断(ハイインピーダンス)禁止 1 : NMI端子入力による三相出力強制遮断(ハイインピーダンス)許可	RW
— (b7-b2)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. このレジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. INV11ビットが“0”(三相モード0)、またはINV06ビットが“1”(鋸波変調モード)の場合は、“0”(タイマB2アンダフロー)にしてください。

注3. 対象端子は、U(P8_0/TA4OUT)、 \bar{U} (P8_1/TA4IN)、V(P7_2/CLK2/TA1OUT)、 \bar{V} (P7_3/CTS2/RTS2/TA1IN)、W(P7_4/TA2OUT)、 \bar{W} (P7_5/TA2IN)。IVPCR1ビットが“1”のとき、NMI端子に“L”が入力されると対象端子は使用している機能に関係なくハイインピーダンスになります。強制遮断後は、NMI端子に“H”を入力し、IVPCR1ビットを“0”にすると強制遮断が解除されます。

図16.5 TA1、TA2、TA4、TA11、TA21、TA41、TB2SCレジスタ

タイマB2レジスタ(注1)

b15		b8 b7		b0	
シンボル		アドレス		リセット後の値	
TB2		0395h-0394h番地		不定	
機能				設定範囲	RW
設定値をnとすると、カウントソースをn+1分周する。 アンダフローごとに、タイマA1、A2、A4をスタートさせる。				0000h~FFFFh	RW

注1. 読み出し、書き込みは16ビット単位で実行してください。

トリガ選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0		シンボル	アドレス	リセット後の値
		TRGSR	0383h番地	00h
ビット	シンボル	ビット名	機能	RW
	TA1TGL	タイマA1イベント/ トリガ選択ビット	V相出力制御回路を使用する場合は、“01b” (TB2のアンダフロー)にしてください。	RW
	TA1TGH			RW
	TA2TGL	タイマA2イベント/ トリガ選択ビット	W相出力制御回路を使用する場合は、“01b” (TB2のアンダフロー)にしてください。	RW
	TA2TGH			RW
	TA3TGL	タイマA3イベント/ トリガ選択ビット	b5 b4 0 0 : TA3IN端子の入力を選択 (注1) 0 1 : TB2を選択 (注2) 1 0 : TA2を選択 (注2) 1 1 : TA4を選択 (注2)	RW
	TA3TGH			RW
	TA4TGL	タイマA4イベント/ トリガ選択ビット	U相出力制御回路を使用する場合は、“01b” (TB2のアンダフロー)にしてください。	RW
	TA4TGH			RW

注1. 対応するポート方向ビットは“0” (入力モード)にしてください。

注2. オーバフローまたはアンダフロー

カウント開始フラグ

b7 b6 b5 b4 b3 b2 b1 b0		シンボル	アドレス	リセット後の値
		TABSR	0380h番地	00h
ビット	シンボル	ビット名	機能	RW
	TA0S	タイマA0カウント開始フラグ	0 : カウント停止 1 : カウント開始	RW
	TA1S	タイマA1カウント開始フラグ		RW
	TA2S	タイマA2カウント開始フラグ		RW
	TA3S	タイマA3カウント開始フラグ		RW
	TA4S	タイマA4カウント開始フラグ		RW
	TB0S	タイマB0カウント開始フラグ		RW
	TB1S	タイマB1カウント開始フラグ		RW
	TB2S	タイマB2カウント開始フラグ		RW

図16.6 TB2、TRGSR、TABSRレジスタ

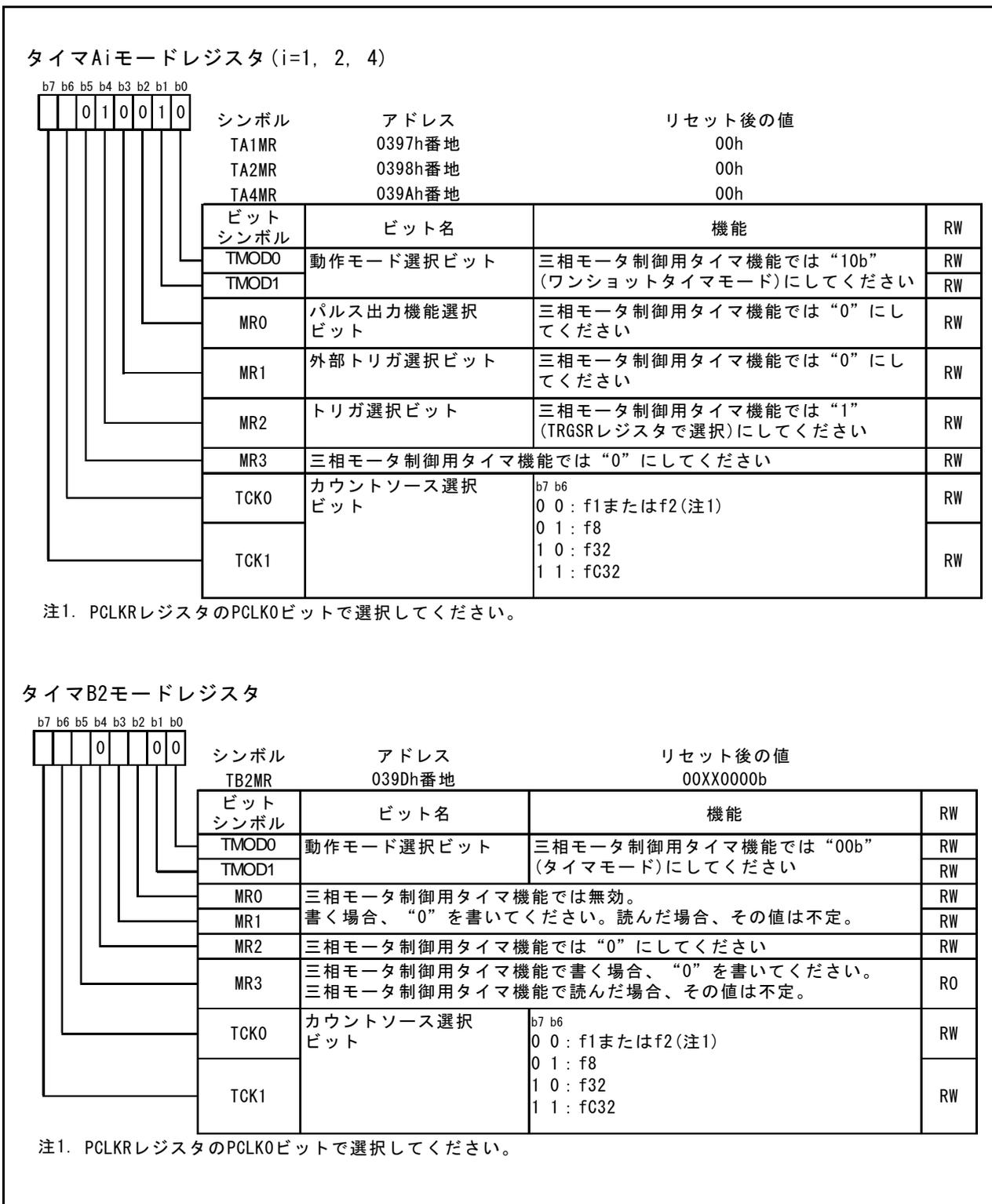


図16.7 TA1MR、TA2MR、TA4MR、TB2MRレジスタ

INVC0レジスタのINV02ビットを“1”にすると、三相モータ制御用タイマ機能になります。この機能では、タイマB2を搬送波制御に、タイマA4、A1、A2を三相PWM出力(U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W})の制御に使用します。短絡防止時間は専用の短絡防止タイマで制御します。図16.8に三角波変調動作例を、図16.9に鋸波変調動作例を示します。

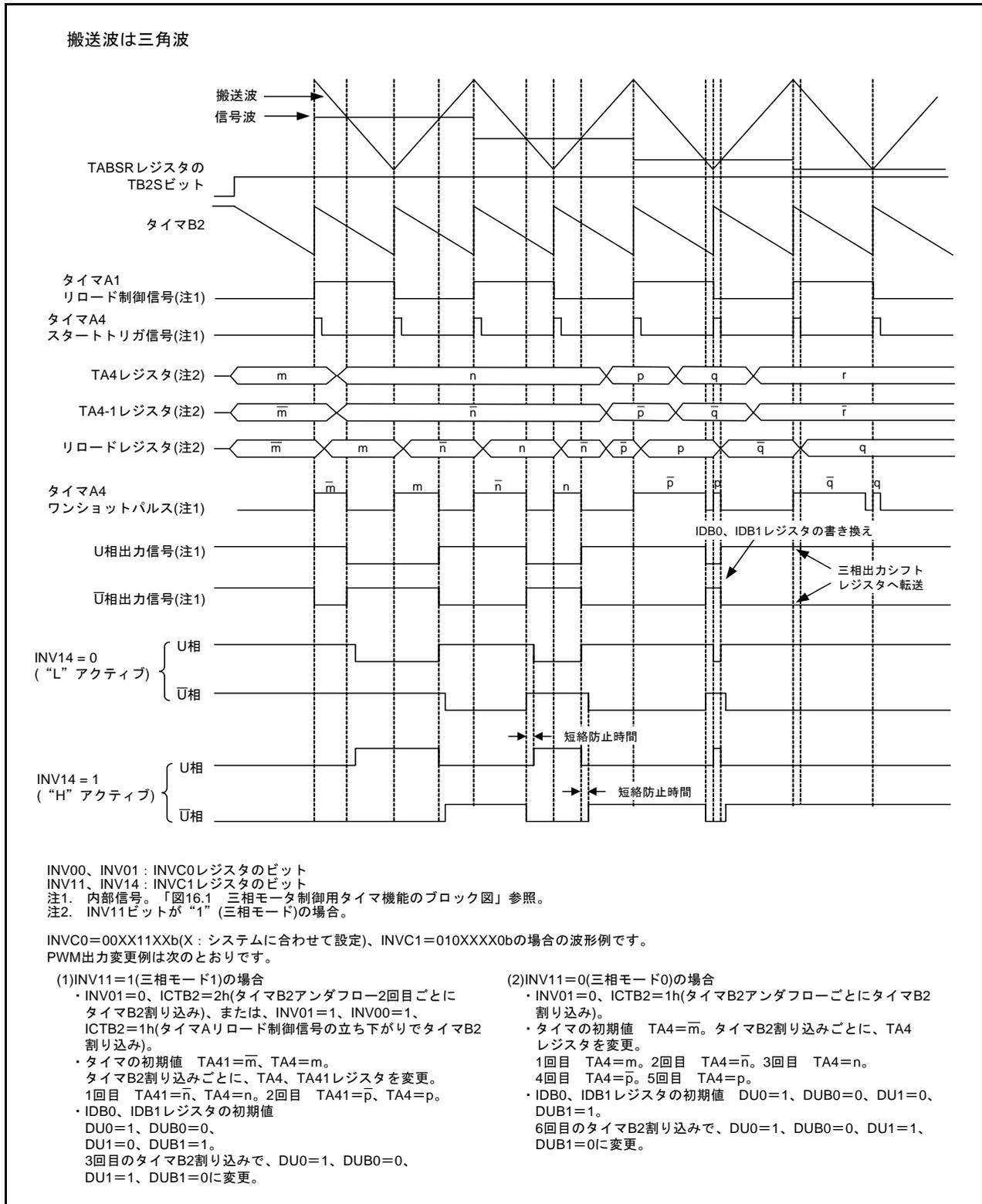


図16.8 三角波変調動作例

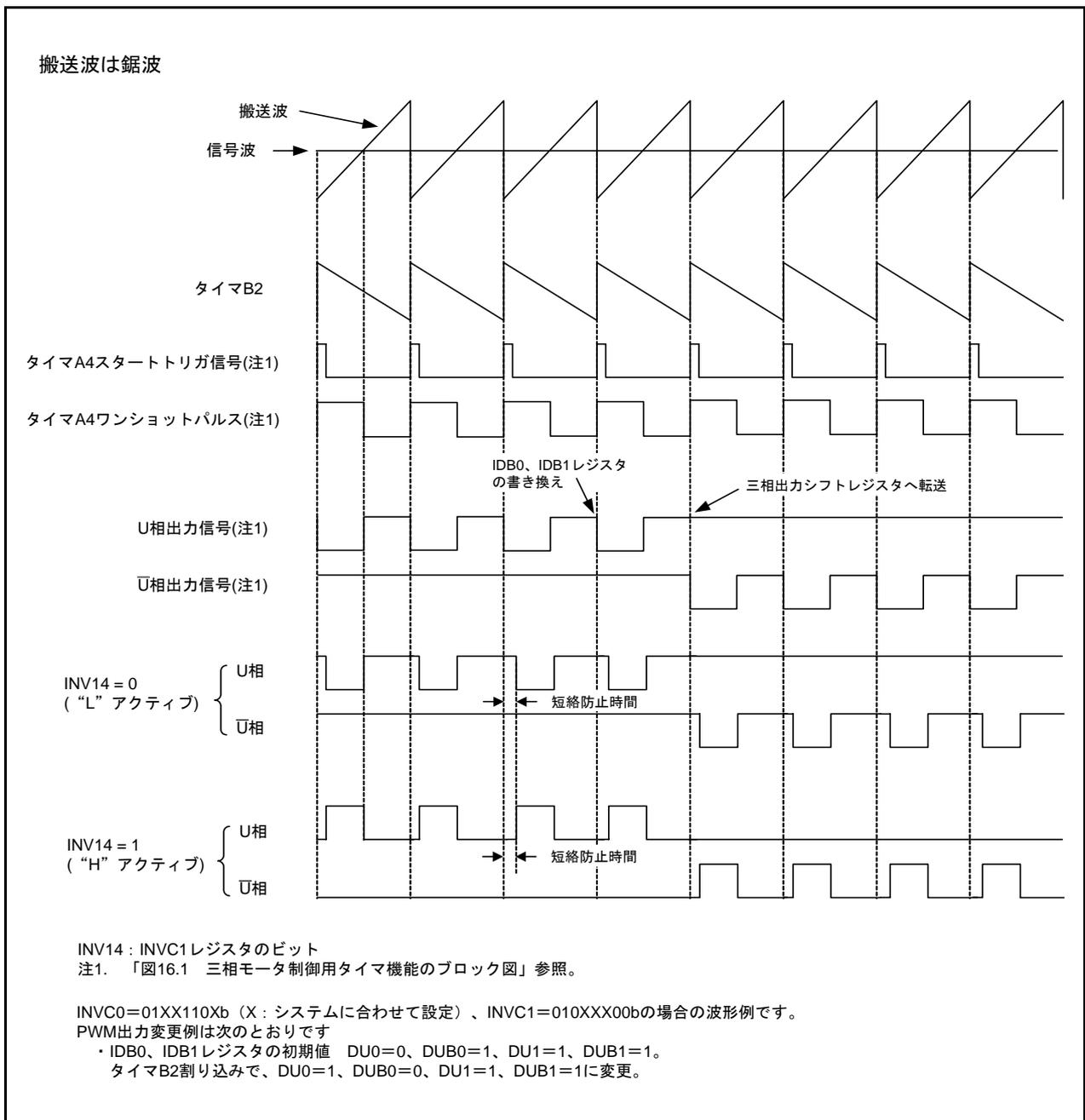


図16.9 鋸波変調動作例

17. シリアルインタフェース

注意

M16C/62P(80ピン版)、M16C/62PT(80ピン版)は、CLK2、 $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 、SIN3端子がありません。これらの端子を必要とする機能は使用しないでください。

シリアルインタフェースは、UART0～UART2、SI/O3、SI/O4の5チャンネルで構成しています。次にそれぞれについて説明します。

17.1 UART_i(i=0～2)

注意

M16C/62P(80ピン版)、M16C/62PT(80ピン版)は、UART2のCLK2、 $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 端子がありません。

【UART2を使用する場合の注意事項】

- クロック同期形シリアルI/Oモード
使用できません。
- クロック非同期形シリアルI/Oモード(UARTモード)
 $\overline{\text{CTS2}}$ / $\overline{\text{RTS2}}$ 機能、転送クロックの外部クロック選択は使用できません。UARTモードを使用する場合は、U2MRレジスタのCKDIRビットを“0”、U2C0レジスタのCRDビットを“1”にしてください。
- 特殊モード2スレーブモードは使用できません。特殊モード2を使用する場合は、U2MRレジスタのCKDIRビットを“0”にしてください。
- 特殊モード3転送クロックの外部クロック選択は使用することができません。特殊モード3を使用する場合は、U2MRレジスタのCKDIRビットを“0”にしてください。
- 特殊モード4(SIMモード)転送クロックの外部クロック選択は使用することができません。特殊モード4(SIMモード)を使用する場合は、U2MRレジスタのCKDIRビットを“0”にしてください。

UART_iはそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

図17.1～図17.3にUART_iブロック図、図17.4にUART_i送受信部ブロック図を示します。

UART_iには、次のモードがあります。

- クロック同期形シリアルI/Oモード
- クロック非同期形シリアルI/Oモード(UARTモード)
- 特殊モード1(I²Cモード)
- 特殊モード2
- 特殊モード3(バス衝突検出機能、IEモード)
- 特殊モード4(SIMモード) : UART2

図17.5～図17.11に、UART_i関連のレジスタを示します。

レジスタの設定はモードごとの表を参照してください。

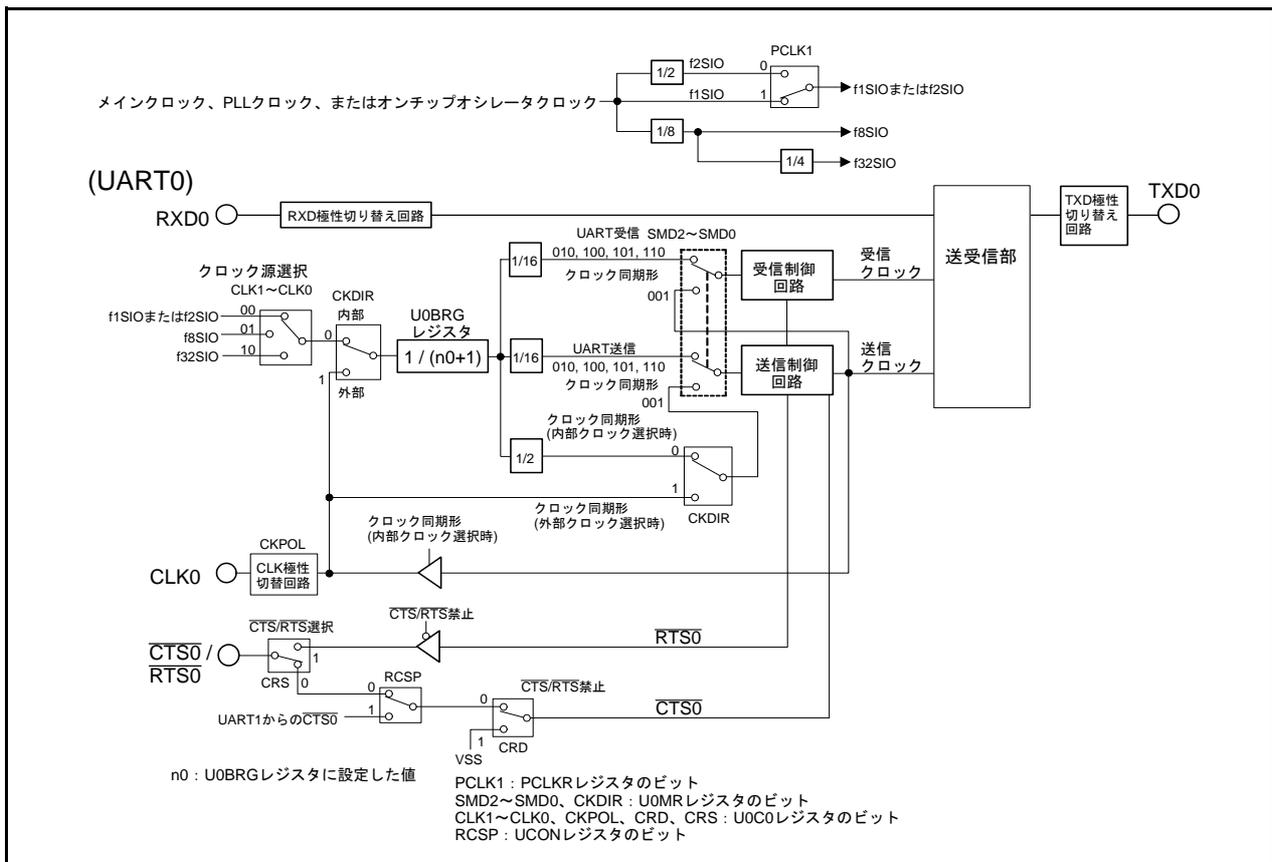


図 17.1 UART0ブロック図

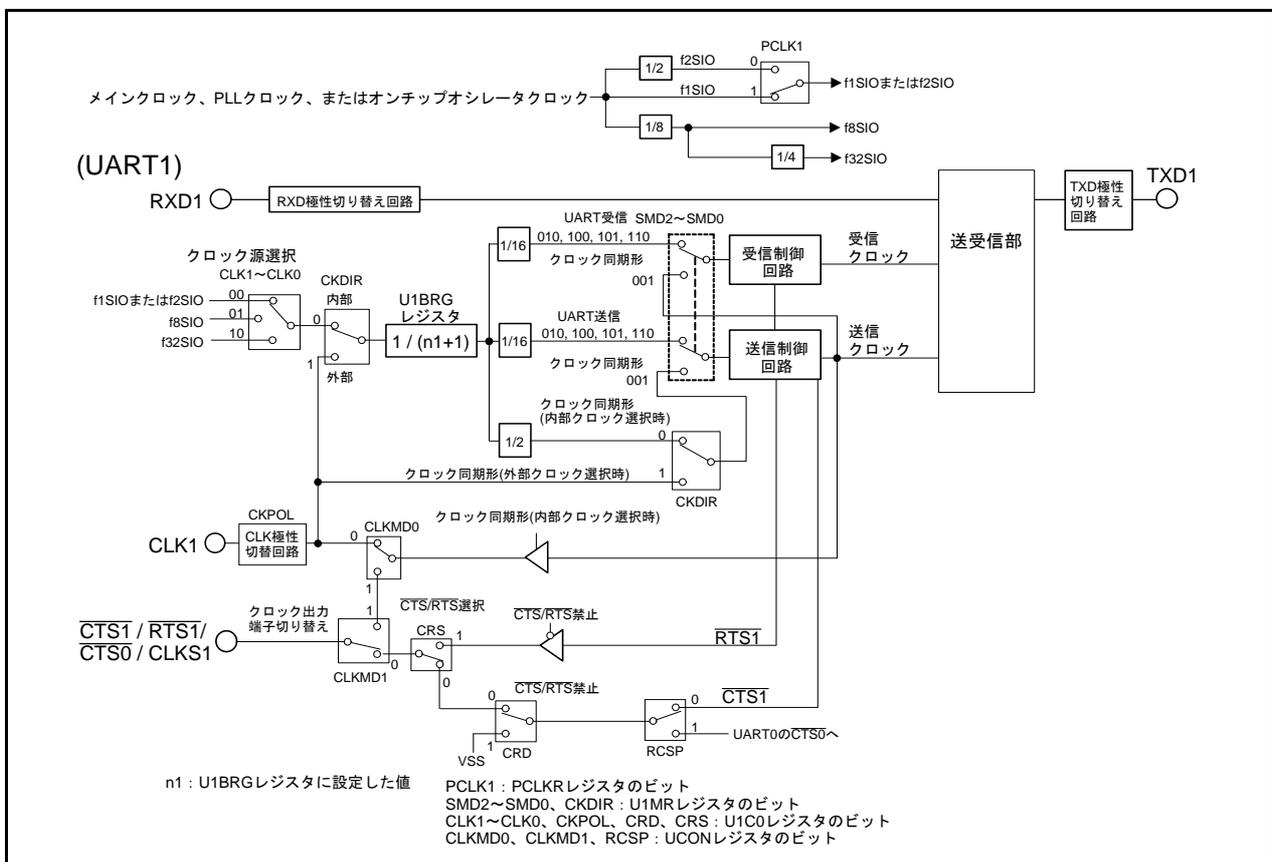


図 17.2 UART1ブロック図

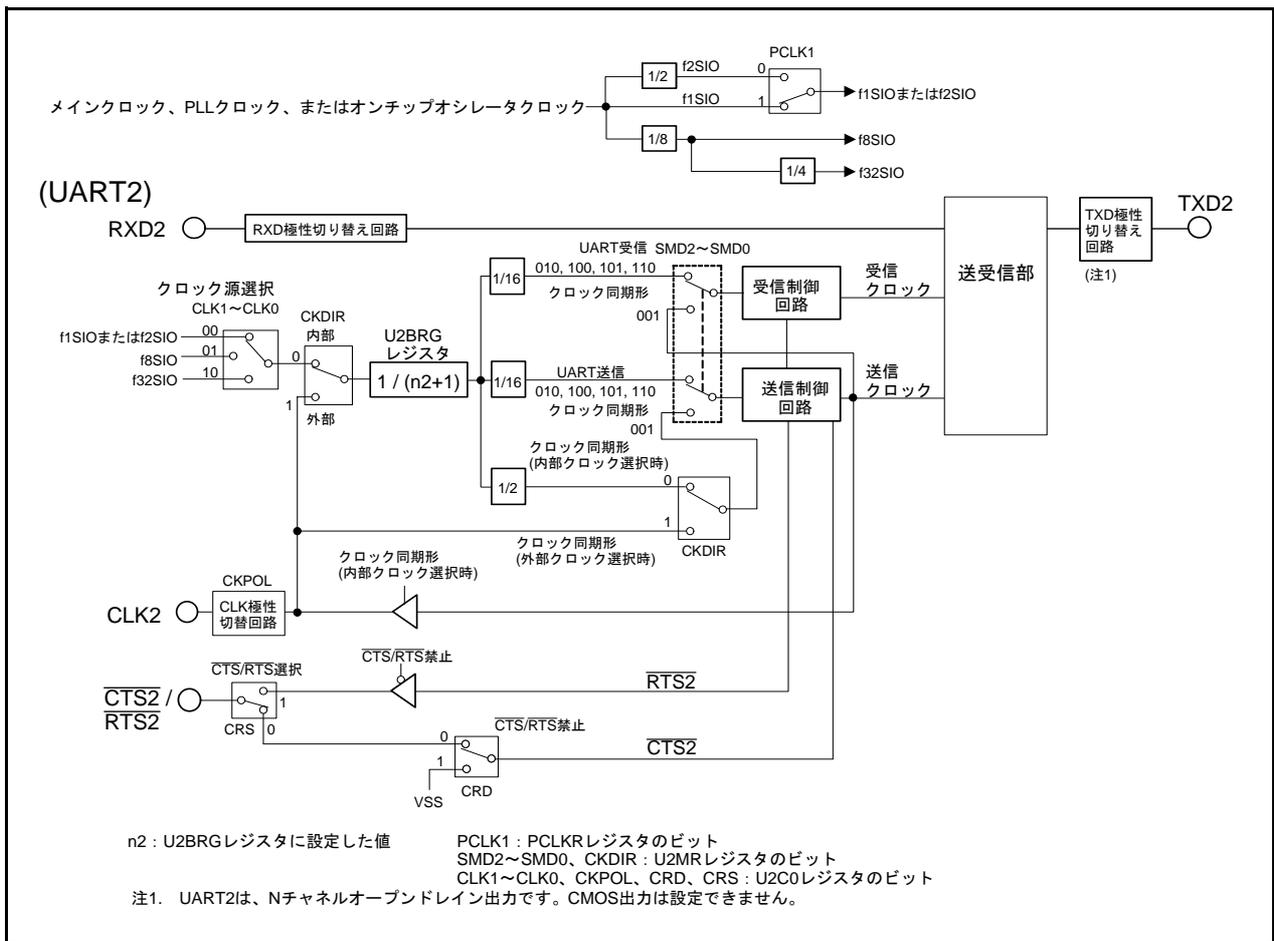


図17.3 UART2ブロック図

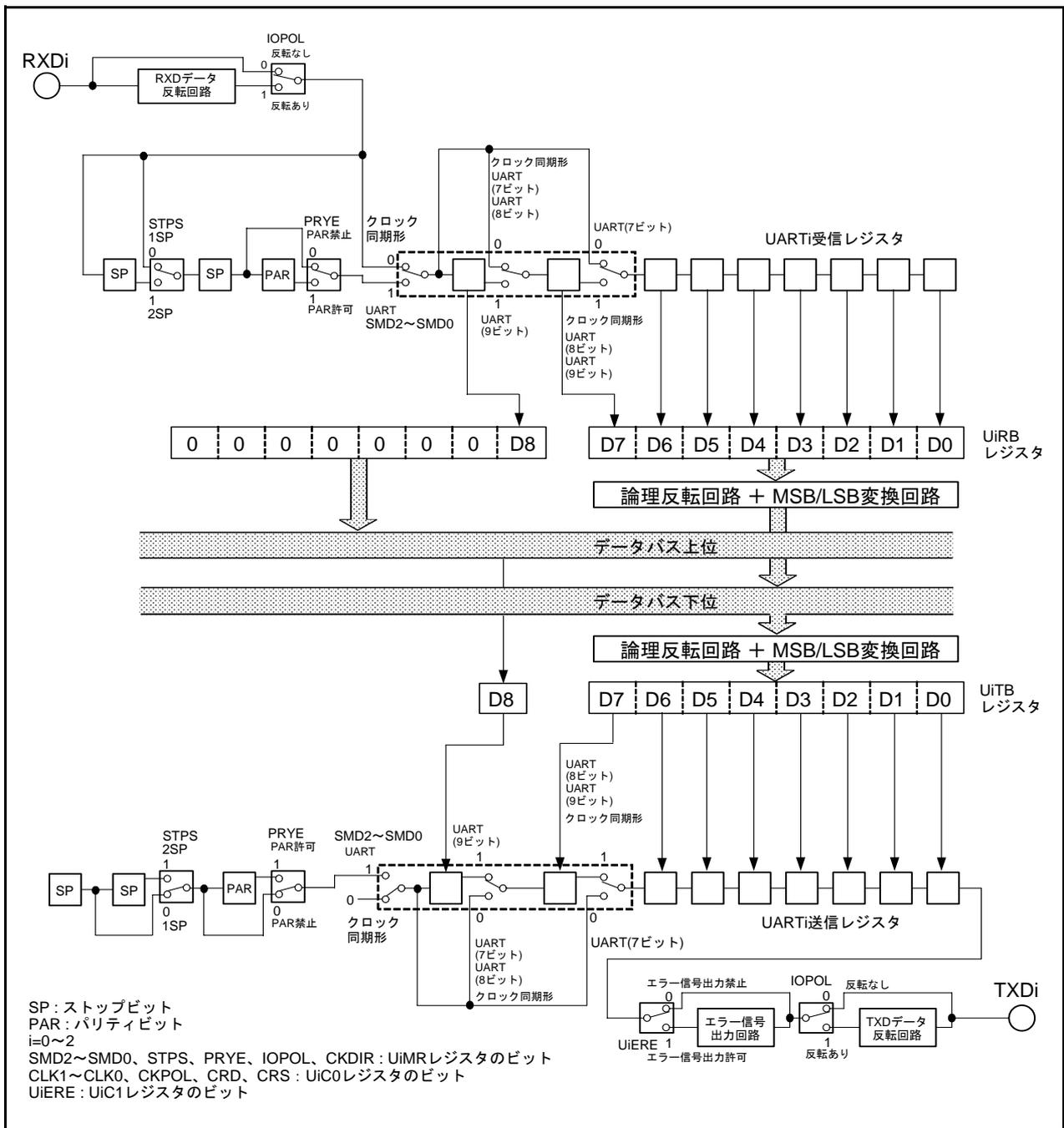


図17.4 UARTi送受信部ブロック図

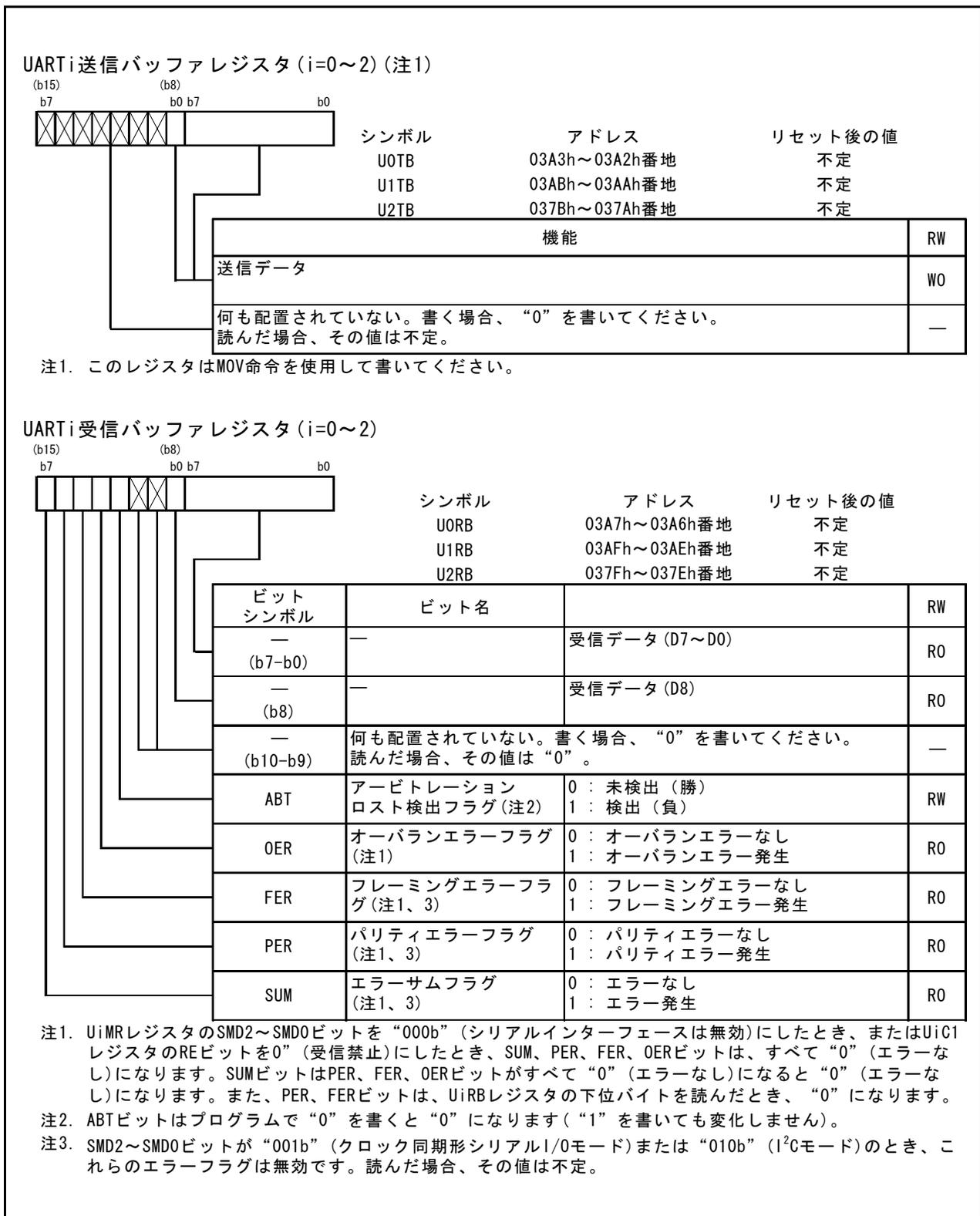
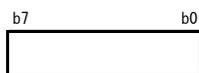


図17.5 U0TB~U2TB、U0RB~U2RBレジスタ

UART_iビットレートレジスタ (i=0~2) (注1、2、3)

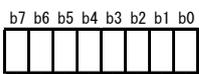


シンボル	アドレス	リセット後の値
U0BRG	03A1h番地	不定
U1BRG	03A9h番地	不定
U2BRG	0379h番地	不定

機能	設定範囲	RW
設定値をnとすると、UiBRGはカウントソースをn+1分周する	00h~FFh	WO

- 注1. 送受信停止中に書いてください。
- 注2. このレジスタはMOV命令を使用して書いてください。
- 注3. このレジスタはUiC0レジスタのCLK1~CLK0ビットを設定した後に書いてください。

UART_i送受信モードレジスタ (i=0~2)



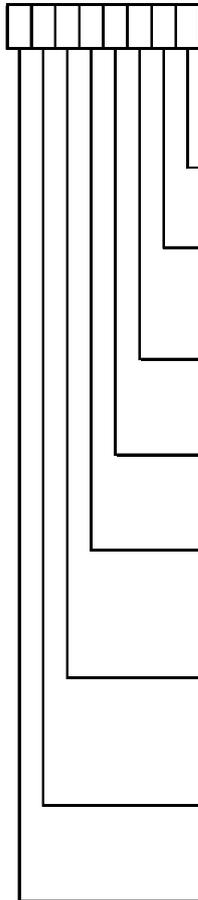
シンボル	アドレス	リセット後の値	
U0MR~U2MR	03A0h、03A8h、0378h番地	00h	
ビットシンボル	ビット名	機能	RW
SMD0	シリアルI/Oモード選択ビット (注2)	b2 b1 b0 0 0 0 : シリアルインタフェースは無効	RW
		0 0 1 : クロック同期形シリアルI/Oモード	
		0 1 0 : I ² Cモード (注3)	
SMD1		1 0 0 : UARTモード転送データ長7ビット	RW
		1 0 1 : UARTモード転送データ長8ビット	
		1 1 0 : UARTモード転送データ長9ビット	
SMD2		上記以外: 設定しないでください	RW
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック (注1)	RW
STPS	ストップビット長選択ビット	0 : 1ストップビット 1 : 2ストップビット	RW
PRY	パリティ奇/偶選択ビット	PRYE=1のとき有効 0 : 奇数パリティ 1 : 偶数パリティ	RW
PRYE	パリティ許可ビット	0 : パリティ禁止 1 : パリティ許可	RW
IOPOL	TXD、RXD入出力極性切り替えビット	0 : 反転なし 1 : 反転あり	RW

- 注1. CLK_i端子に対応するポート方向ビットは“0” (入力モード)にしてください。
- 注2. 受信する場合、RXD_i端子に対応するポート方向ビットは“0” (入力モード)にしてください。
- 注3. SDA、SCL端子に対応するポート方向ビットは“0” (入力モード)にしてください。

図 17.6 U0BRG~U2BRG、U0MR~U2MRレジスタ

UART_i送受信制御レジスタ0 (i=0~2)

b7 b6 b5 b4 b3 b2 b1 b0



ビット シンボル	シンボル U0C0~U2C0	ビット名	アドレス 03A4h、03ACh、037Ch番地	リセット後の値 00001000b	機能	RW
CLK0	UiBRGカウント ソース選択ビット (注6)	b1 b0	0 0 : f1S10 またはf2S10を選択 (注5) 0 1 : f8S10を選択 1 0 : f32S10を選択 1 1 : 設定しないでください			RW
CLK1						RW
GRS	CTS/RTS機能選択 ビット (注4)		CRD=0のとき有効 0 : CTS機能を選択 (注1) 1 : RTS機能を選択			RW
TXEPT	送信レジスタ空 フラグ		0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)			RO
CRD	CTS/RTS禁止ビット		0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止 (P6_0、P6_4、P7_3は入出力ポートとして使用 できる)			RW
NCH	データ出力選択 ビット (注2)		0 : TXDi/SDAi、SCLi端子はCMOS出力 1 : TXDi/SDAi、SCLi端子はNチャンネルオープ ンドレイン出力			RW
CKPOL	CLK極性選択ビット		0 : 転送クロックの立ち下がりで送信データ出力、 立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信データ出力、 立ち下がりで受信データ入力			RW
UFORM	転送フォーマット 選択ビット (注3)		0 : LSBファースト 1 : MSBファースト			RW

- 注1. CTS_i端子に対応するポート方向ビットは“0” (入力モード)にしてください。
- 注2. TXD2/SDA2、SCL2は、Nチャンネルオープンドレイン出力です。CMOS出力は設定できません。U2C0レジスタのNCHビットは、何も配置されていませんので、書く場合“0”を書いてください。
- 注3. UiMRレジスタのSMD2~SMD0ビットが“001b” (クロック同期形シリアルI/Oモード)、または“101b” (UARTモード転送データ長8ビット)のとき有効です。
SMD2~SMD0ビットが“010b” (I²Cモード)のときは“1”に、“100b” (UARTモード転送データ長7ビット)または“110b” (UARTモード転送データ長9ビット)のときは“0”にしてください。
- 注4. CTS_i/RTS_iはU0CONレジスタのCLKMD1ビットが“0” (CLK出力はCLK1のみ)、かつU0CONレジスタのRCSPビットが“0” (CTS₀/RTS₀分離しない)のとき使用できます。
- 注5. PCLKRレジスタのPCLK1ビットで選択してください。
- 注6. CLK1~CLK0ビットを変更した場合は、UiBRGレジスタを設定してください。

図 17.7 U0C0~U2C0 レジスタ

UART _i 送受信制御レジスタ1 (i=0、1)			
シンボル	アドレス	リセット後の値	
U0C1、U1C1	03A5h、03ADh番地	00XX0010b	
ビットシンボル	ビット名	機能	RW
TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	RW
TI	送信バッファ空フラグ	0 : UiTBレジスタにデータあり 1 : UiTBレジスタにデータなし	RO
RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	RW
RI	受信完了フラグ	0 : UiRBレジスタにデータなし 1 : UiRBレジスタにデータあり	RO
— (b5-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
UiLCH	データ論理選択ビット (注1)	0 : 反転なし 1 : 反転あり	RW
UiERE	エラー信号出力許可ビット	0 : 出力しない 1 : 出力する	RW

注1. UiMRレジスタのSMD2～SMD0ビットが“001b”（クロック同期形シリアルI/Oモード）、“100b”（UARTモード転送データ長7ビット）または“101b”（UARTモード転送データ長8ビット）のとき有効です。
SMD2～SMD0ビットが“010b”（I²Cモード）または“110b”（UARTモード転送データ長9ビット）のときは“0”にしてください。

UART2送受信制御レジスタ1			
シンボル	アドレス	リセット後の値	
U2C1	037Dh番地	00000010b	
ビットシンボル	ビット名	機能	RW
TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	RW
TI	送信バッファ空フラグ	0 : U2TBレジスタにデータあり 1 : U2TBレジスタにデータなし	RO
RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	RW
RI	受信完了フラグ	0 : U2RBレジスタにデータなし 1 : U2RBレジスタにデータあり	RO
U2IRS	UART2送信割り込み 要因選択ビット	0 : 送信バッファ空 (TI=1) 1 : 送信完了 (TXEPT=1)	RW
U2RRM	UART2連続受信モード 許可ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可	RW
U2LCH	データ論理選択ビット (注1)	0 : 反転なし 1 : 反転あり	RW
U2ERE	エラー信号出力許可ビット	0 : 出力しない 1 : 出力する	RW

注1. U2MRレジスタのSMD2～SMD0ビットが“001b”（クロック同期形シリアルI/Oモード）、“100b”（UARTモード転送データ長7ビット）または“101b”（UARTモード転送データ長8ビット）のとき有効です。
SMD2～SMD0ビットが“010b”（I²Cモード）または“110b”（UARTモード転送データ長9ビット）のときは“0”にしてください。

図17.8 U0C1～U2C1レジスタ

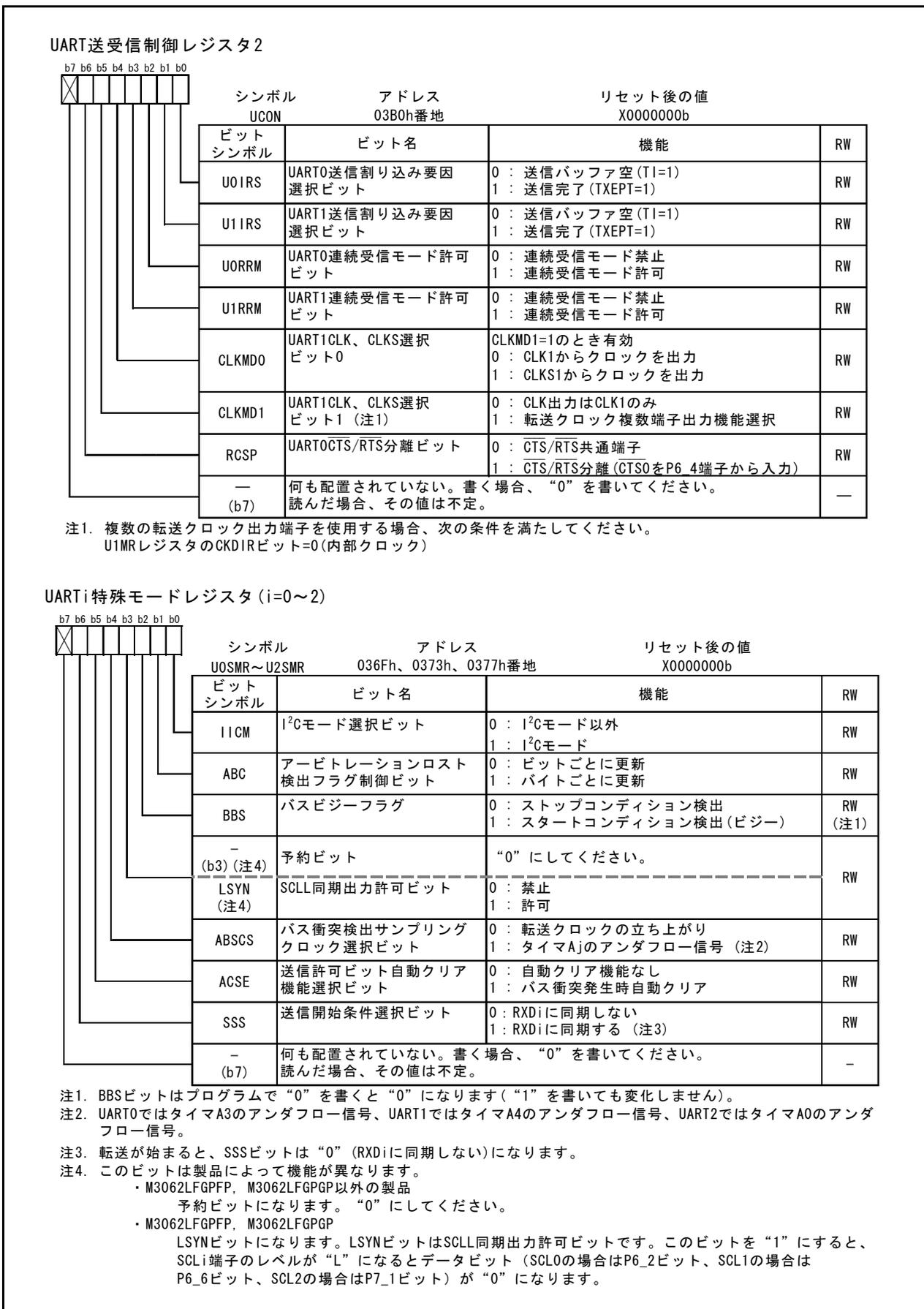
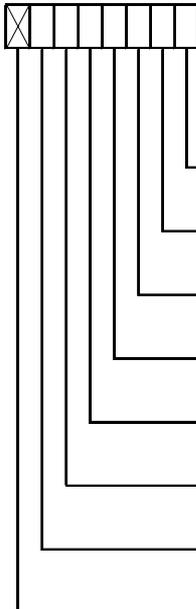


図17.9 UCON、UOSMR~U2SMRレジスタ

UART_i特殊モードレジスタ2 (i=0~2)

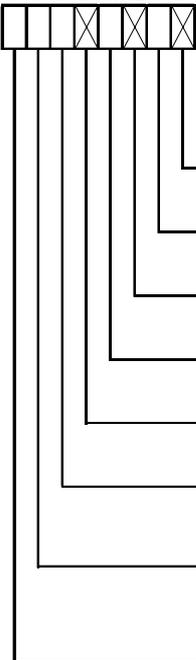
b7 b6 b5 b4 b3 b2 b1 b0



シンボル	アドレス	リセット後の値	
U0SMR2~U2SMR2	036Eh、0372h、0376h番地	X0000000b	
ビットシンボル	ビット名	機能	RW
I1CM2	I ² Cモード選択ビット2	「表17.13 I ² Cモード時の各機能」参照	RW
CSC	クロック同期化ビット	0 : 禁止 1 : 許可	RW
SWC	SCLウェイト出力ビット	0 : 禁止 1 : 許可	RW
ALS	SDA出力停止ビット	0 : 禁止 1 : 許可	RW
STAC	UART _i 初期化ビット	0 : 禁止 1 : 許可	RW
SWC2	SCLウェイト出力ビット2	0 : 転送クロック 1 : “L”出力	RW
SDH1	SDA出力禁止ビット	0 : 許可 1 : 禁止 (ハイインピーダンス)	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

UART_i特殊モードレジスタ3 (i=0~2)

b7 b6 b5 b4 b3 b2 b1 b0



シンボル	アドレス	リセット後の値	
U0SMR3~U2SMR3	036Dh、0371h、0375h番地	000X0X0b	
ビットシンボル	ビット名	機能	RW
— (b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
CKPH	クロック位相設定ビット	0 : クロック遅れなし 1 : クロック遅れあり	RW
— (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
NODC	クロック出力選択ビット	0 : CLK _i はCMOS出力 1 : CLK _i はNチャンネルオープンドレイン出力	RW
— (b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
DL0	SDA _i デジタル 遅延値設定ビット (注1、2)	b7 b6 b5 0 0 0 : 遅延なし	RW
DL1		0 0 1 : UiBRGカウントソースの1~2サイクル 0 1 0 : UiBRGカウントソースの2~3サイクル 0 1 1 : UiBRGカウントソースの3~4サイクル 1 0 0 : UiBRGカウントソースの4~5サイクル	RW
DL2		1 0 1 : UiBRGカウントソースの5~6サイクル 1 1 0 : UiBRGカウントソースの6~7サイクル 1 1 1 : UiBRGカウントソースの7~8サイクル	RW

- 注1. DL2~DL0ビットはI²Cモードで、SDA_i出力にデジタル的に遅延を発生させるものです。I²Cモード以外の場合、“000b” (遅延なし) にしてください。
- 注2. 遅延量はSCL_i端子、SDA_i端子の負荷により変化します。また、外部クロックを使用した場合には、100ns程度、遅延が大きくなります。

図17.10 U0SMR2~U2SMR2、U0SMR3~U2SMR3レジスタ

UART_i特殊モードレジスタ4 (i=0~2)

ビット シンボル	シンボル U0SMR4~U2SMR4	ビット名	アドレス 036Ch、0370h、0374h番地	リセット後の値 00h	機能	RW
STAREQ		スタートコンディション 生成ビット(注1)		0 : クリア 1 : スタート		RW
RSTAREQ		リスタートコンディション 生成ビット(注1)		0 : クリア 1 : スタート		RW
STPREQ		ストップコンディション 生成ビット(注1)		0 : クリア 1 : スタート		RW
STSPSEL		SCL、SDA出力選択ビット		0 : スタートコンディション、ストップコン ディション出力しない 1 : スタートコンディション、ストップコン ディション出力する		RW
ACKD		ACKデータビット		0 : ACK 1 : NACK		RW
ACKC		ACKデータ出力許可ビット		0 : シリアルインタフェースデータ出力 1 : ACKデータ出力		RW
SCLHI		SCL出力停止許可ビット		0 : 禁止 1 : 許可		RW
SWC9		SCLウェイトビット3		0 : SCL “L” ホールド禁止 1 : SCL “L” ホールド許可		RW

注1. 各コンディションが生成されたとき、“0”になります。

図 17.11 U0SMR4~U2SMR4 レジスタ

17.1.1 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表17.1にクロック同期形シリアルI/Oモードの仕様、表17.2にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します

表17.1 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> U_iMR レジスタ (i=0~2)のCKDIR ビットが“0” (内部クロック) : $f_j/(2(n+1))$ $f_j=f1SIO、f2SIO、f8SIO、f32SIO$ $n=U_iBRG$ レジスタの設定値 00h~FFh CKDIR ビットが“1” (外部クロック) : CLKi端子からの入力
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> U_iC1 レジスタのTEビットが“1” (送信許可) U_iC1 レジスタのTIビットが“0” (U_iTBレジスタにデータあり) CTS機能を選択している場合、CTS_i端子の入力が“L”
受信開始条件	受信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> U_iC1 レジスタのREビットが“1” (受信許可) U_iC1 レジスタのTEビットが“1” (送信許可) U_iC1 レジスタのTIビットが“0” (U_iTBレジスタにデータあり)
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択可 <ul style="list-style-type: none"> U_iIRS ビット(注3)が“0” (送信バッファ空) : U_iTBレジスタからU_iART_i送信レジスタへデータ転送時(送信開始時) U_iIRS ビットが“1” (送信完了) : U_iART_i送信レジスタからデータ送信完了時受信する場合 U_iART_i受信レジスタからU_iRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注2) U _i RBレジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可 LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 連続受信モード選択 U_iRBレジスタを読むことで、同時に受信許可状態になる シリアルデータ論理切り替え 送受信データの論理値を反転する機能 転送クロック複数端子出力選択(UART1) UART1の転送クロック端子を2本設定し、プログラムで出力端子を選択可 CTS/RTS分離機能(UART0) CTS0とRTS0を別の端子から入出力する

注1. 外部クロックを選択している場合、U_iC0レジスタのCKPOLビットが“0” (転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1” (転送クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、U_iRBレジスタ受信データは不定になります。またSiRICレジスタのIRビットは“1” (割り込み要求あり)に変化しません。

注3. U0IRS、U1IRSビットはUCONレジスタのビット0、1で、U2IRSビットはU2C1レジスタのビット4です。

表 17.2 クロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB(注3)	0~7	送信データを設定してください
UiRB(注3)	0~7	受信データが読めます
	OER	オーバランエラーフラグ
UiBRG	0~7	ビットレートを設定してください
UiMR(注3)	SMD2~SMD0	“001b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	IOPOL	“0” にしてください
UiC0	CLK1~CLK0	UiBRGのカウントソースを選択してください
	CRS	CTSまたはRTSを使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTSまたはRTS機能の許可、または禁止を選択してください
	NCH	TXDi端子の出力形式を選択してください(注2)
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
	UiC1	TE
UiC1	TI	送信バッファ空フラグ
UiC1	RE	受信を許可する場合、“1” にしてください
UiC1	RI	受信完了フラグ
UiC1	U2IRS(注1)	UART2送信割り込み要因を選択してください
UiC1	U2RRM(注1)	連続受信モードを使用する場合、“1” にしてください
UiC1	UiLCH	データ論理反転を使用する場合、“1” にしてください
UiC1	UiERE	“0” にしてください
UiSMR	0~7	“0” にしてください
UiSMR2	0~7	“0” にしてください
UiSMR3	0~2	“0” にしてください
	NODC	クロック出力形式を選択してください
	4~7	“0” にしてください
UiSMR4	0~7	“0” にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	連続受信モードを使用する場合、“1” にしてください
	CLKMD0	CLKMD1=1のとき転送クロックを出力する端子を選択してください
	CLKMD1	UART1の転送クロックを2端子から出力する場合、“1” にしてください
	RCSP	UART0のCTS0信号をP6_4端子から入力する場合、“1” にしてください
	7	“0” にしてください

注1. U0C1、U1C1レジスタのビット4、5は“0” にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注2. TXD2端子はNチャンネルオープンドレインです。U2C0レジスタのNCHビットは“0” にしてください。

注3. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0” を書いてください。
i=0~2

表17.3にクロック同期形シリアルI/Oモード時の入出力端子の機能を示します。表17.3は、転送クロック複数端子出力選択機能を非選択の場合です。また、表17.4にクロック同期形シリアルI/Oモード時のP6_4端子の機能を示します。

なお、UARTiの動作モード選択後、転送開始までは、TXDi端子は“H”を出力します(Nチャンネルオープンドレイン出力選択時はハイインピーダンス状態)。

表17.3 クロック同期形シリアルI/Oモード時の入出力端子の機能(転送クロック複数端子出力機能を非選択の場合)

端子名	機能	選択方法
TXDi(i=0~2) (P6_3、P6_7、P7_0)	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RXDi (P6_2、P6_6、P7_1)	シリアルデータ入力	PD6レジスタのPD6_2ビット=0、PD6_6ビット=0、PD7レジスタのPD7_1ビット=0(送信だけを行うときは入力ポートとして使用可)
CLKi (P6_1、P6_5、P7_2)	転送クロック出力	UiMRレジスタのCKDIRビット=0
	転送クロック入力	UiMRレジスタのCKDIRビット=1 PD6レジスタのPD6_1ビット=0、PD6_5ビット=0、PD7レジスタのPD7_2ビット=0
CTS/RTSi (P6_0、P6_4、P7_3)	CTS入力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=0 PD6レジスタのPD6_0ビット=0、PD6_4ビット=0、PD7レジスタのPD7_3ビット=0
	RTS出力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=1
	入出力ポート	UiC0レジスタのCRDビット=1

表17.4 クロック同期形シリアルI/Oモード時のP6_4端子の機能

端子の機能	ビットの設定値					
	U1C0レジスタ		UCONレジスタ			PD6レジスタ
	CRD	CRS	RCSP	CLKMD1	CLKMD0	PD6_4
P6_4	1	—	0	0	—	入力：0、出力：1
CTS1	0	0	0	0	—	0
RTS1	0	1	0	0	—	—
CTS0(注1)	0	0	1	0	—	0
CLKS1	—	—	—	1(注2)	1	—

—：“0”または“1”

注1. この他にU0C0レジスタのCRDビットを“0”(CTS0/RTS0許可)、U0C0レジスタのCRSビットを“1”(RTS0選択)にしてください。

注2. CLKMD1ビットが“1”でCLKMD0ビットが“0”の場合は、次のレベルを出力します。

- U1C0レジスタのCKPOLビットが“0”：H
- U1C0レジスタのCKPOLビットが“1”：L

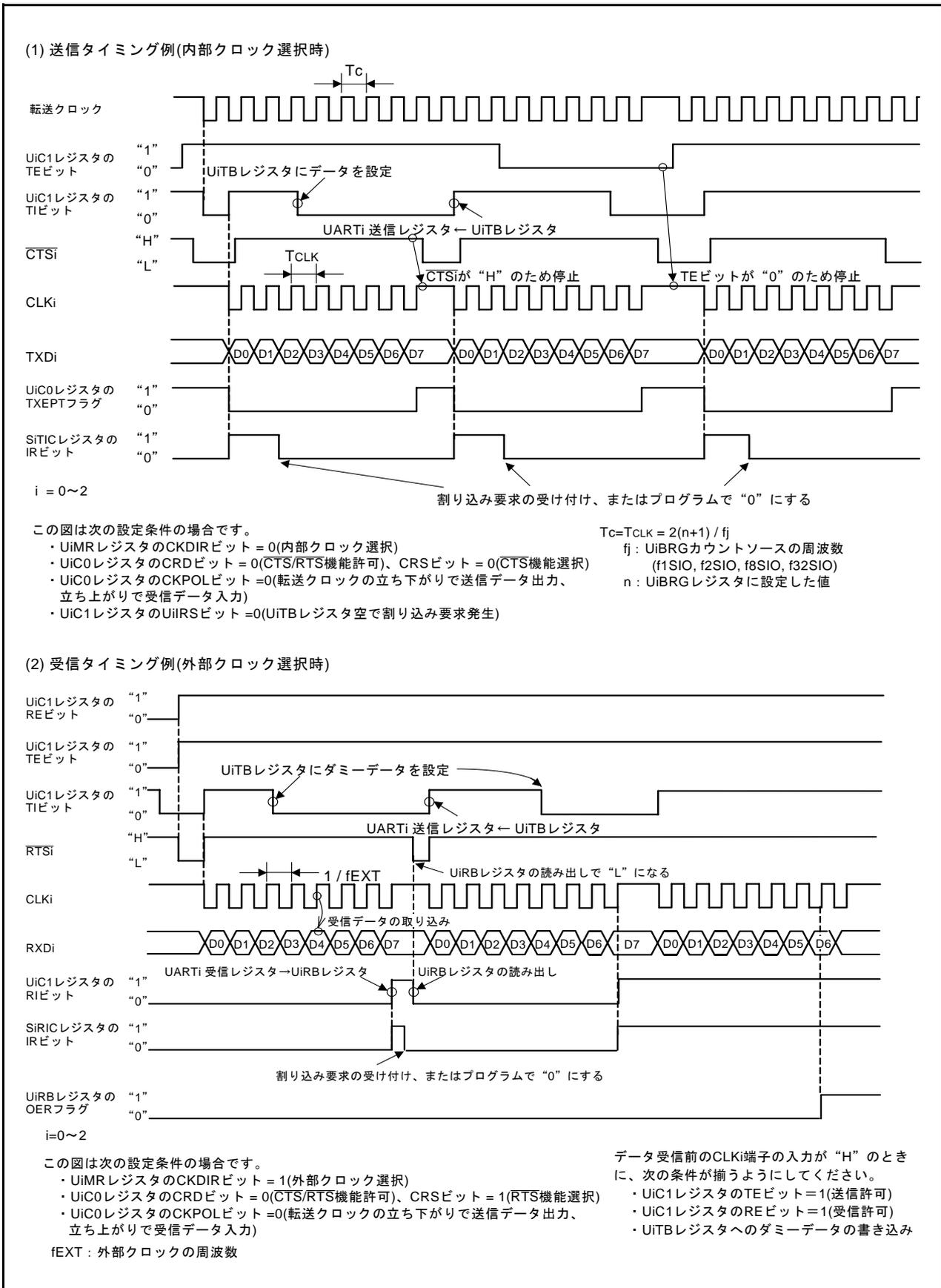


図 17.12 クロック同期形シリアルI/Oモード時の送信、受信タイミング例

17.1.1.1 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信エラーが発生した場合、次の手順で再設定を行ってください。

• UiRBレジスタ(i=0~2)の初期化手順

- (1) UiC1レジスタのREビットを“0”(受信禁止)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインターフェース無効)にする。
- (3) UiMRレジスタのSMD2~SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (4) UiC1レジスタのREビットを“1”(受信許可)にする。

• UiTBレジスタの初期化手順

- (1) UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインターフェース無効)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (3) UiC1レジスタのTEビットの値にかかわらず“1”(送信許可)を書き込む。

17.1.1.2 CLK極性選択

UiC0レジスタ(i=0~2)のCKPOLビットで転送クロックの極性を選択できます。図17.13に転送クロックの極性の極性を示します。

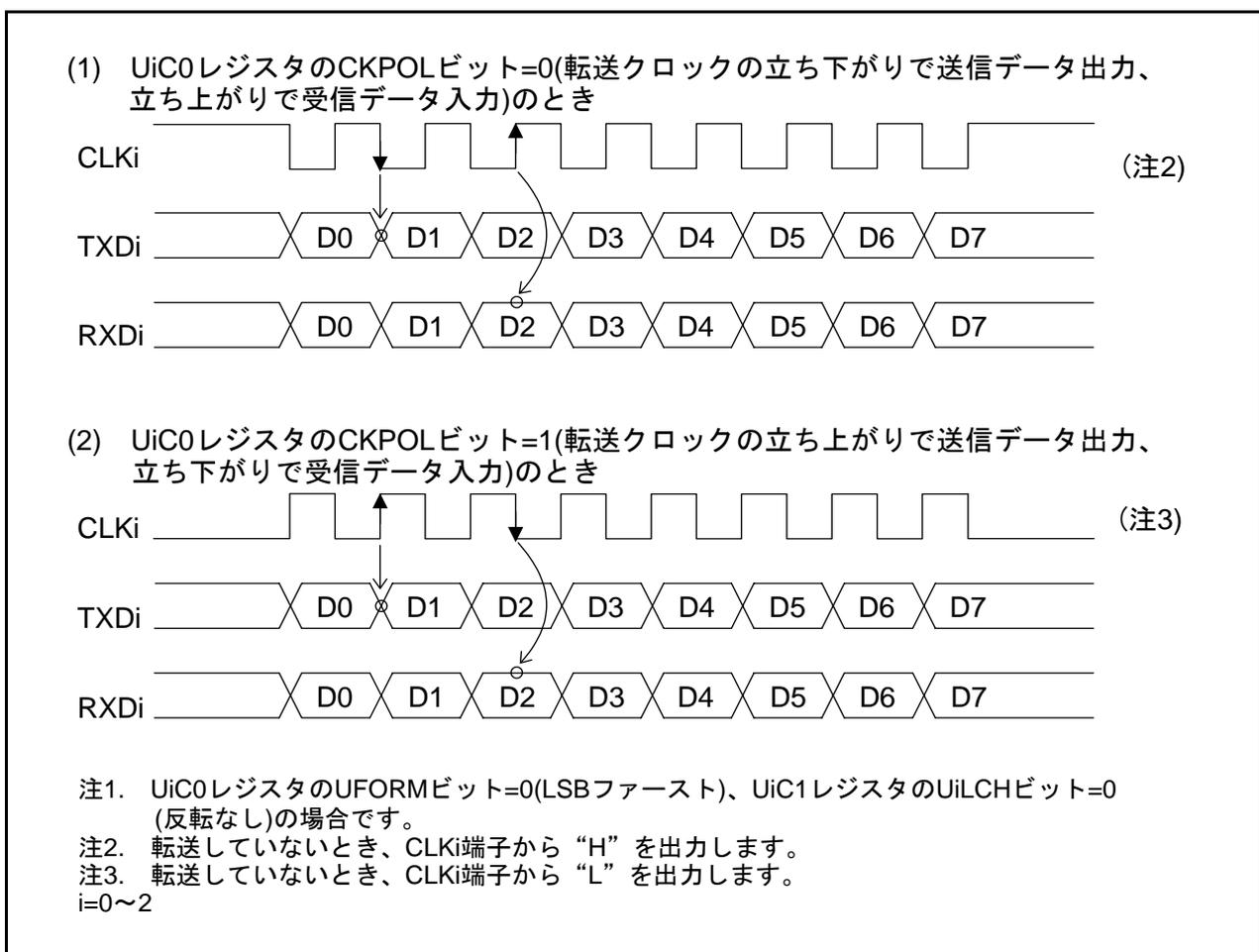


図17.13 転送クロックの極性

17.1.1.3 LSBファースト、MSBファースト選択

U_iC₀レジスタ(i=0~2)のUFORMビットで転送フォーマットを選択できます。図17.14に転送フォーマットを示します。

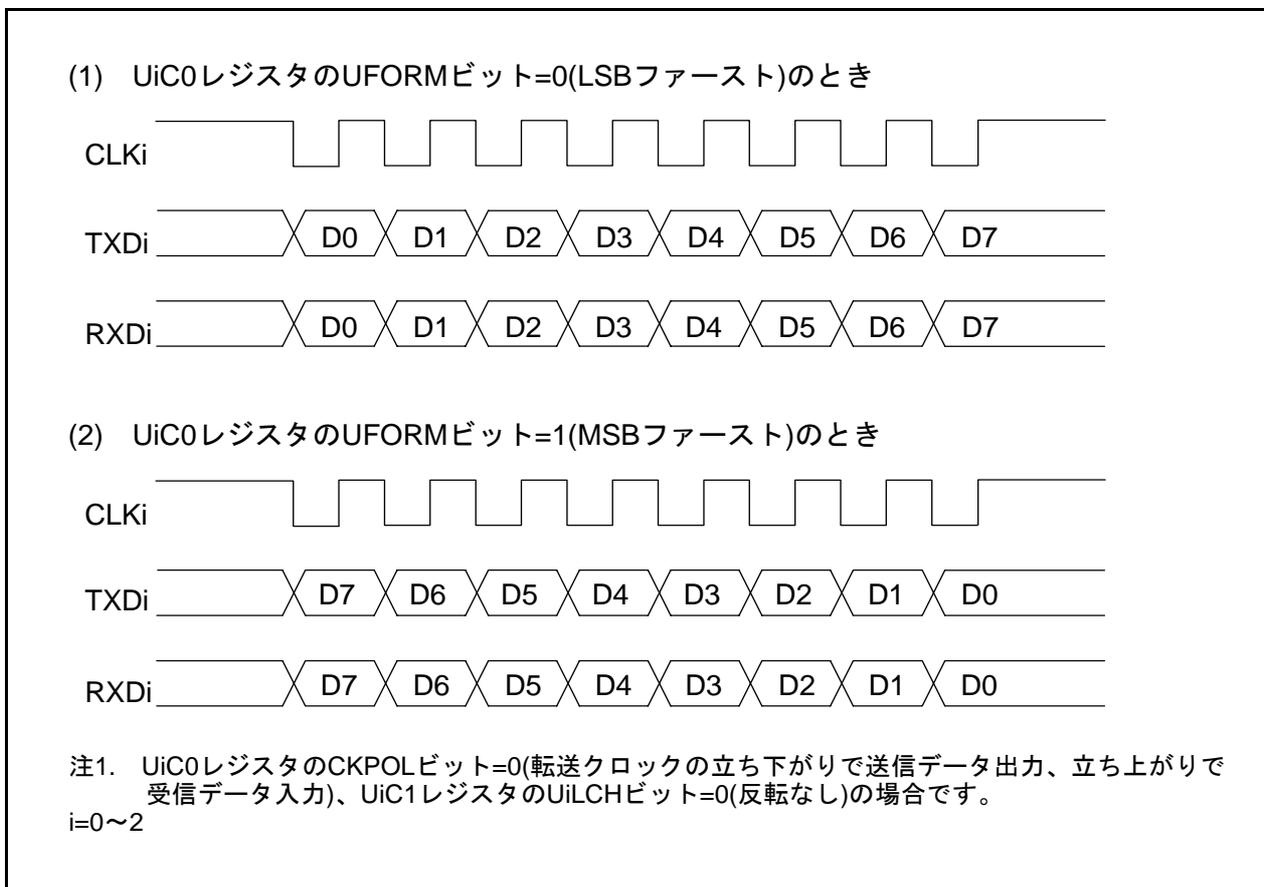


図17.14 転送フォーマット

17.1.1.4 連続受信モード

連続受信モードは、受信バッファレジスタを読み出すことで受信許可状態になるモードです。このモードを選択すれば、受信許可状態にするために、送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

U_iRRMビット(i=0~2)を“1”(連続受信モード)にすると、U_iRBレジスタを読むことでU_iC₁レジスタのTIビットが“0”(U_iTBレジスタにデータあり)になります。U_iRRMビットが“1”の場合、プログラムでU_iTBレジスタにダミーデータを書かないでください。U₀RRM、U₁RRMビットはU₀CONレジスタのビット2、3で、U₂RRMビットはU₂C₁レジスタのビット5です。

17.1.1.5 シリアルデータ論理切り替え

UiC1レジスタ(i=0~2)のUiLCHビットが“1”(反転あり)の場合、UiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図17.15にシリアルデータ論理を示します。

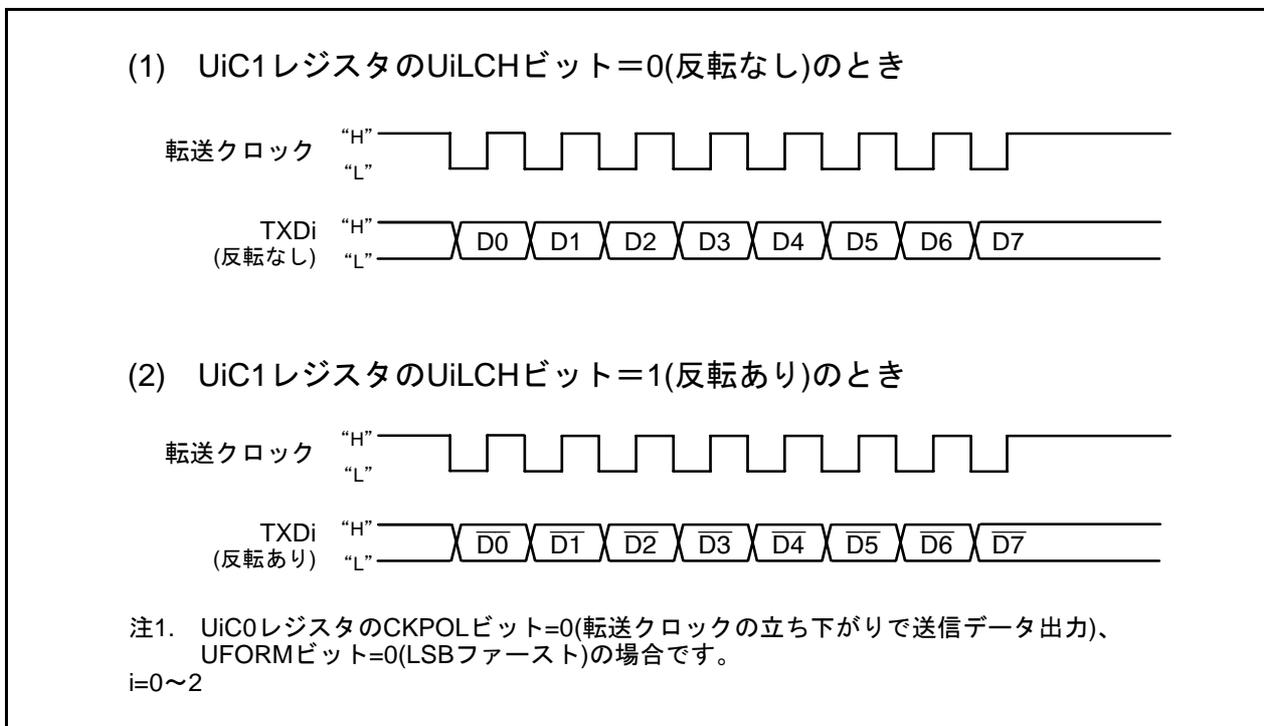


図17.15 シリアルデータ論理

17.1.1.6 転送クロック複数端子出力選択(UART1)

UCONレジスタのCLKMD1~CLKMD0ビットで2本の転送クロック出力端子から1本を選択できます(図17.16)。この機能は、UART1の転送クロックが内部クロックの場合に使用できます。

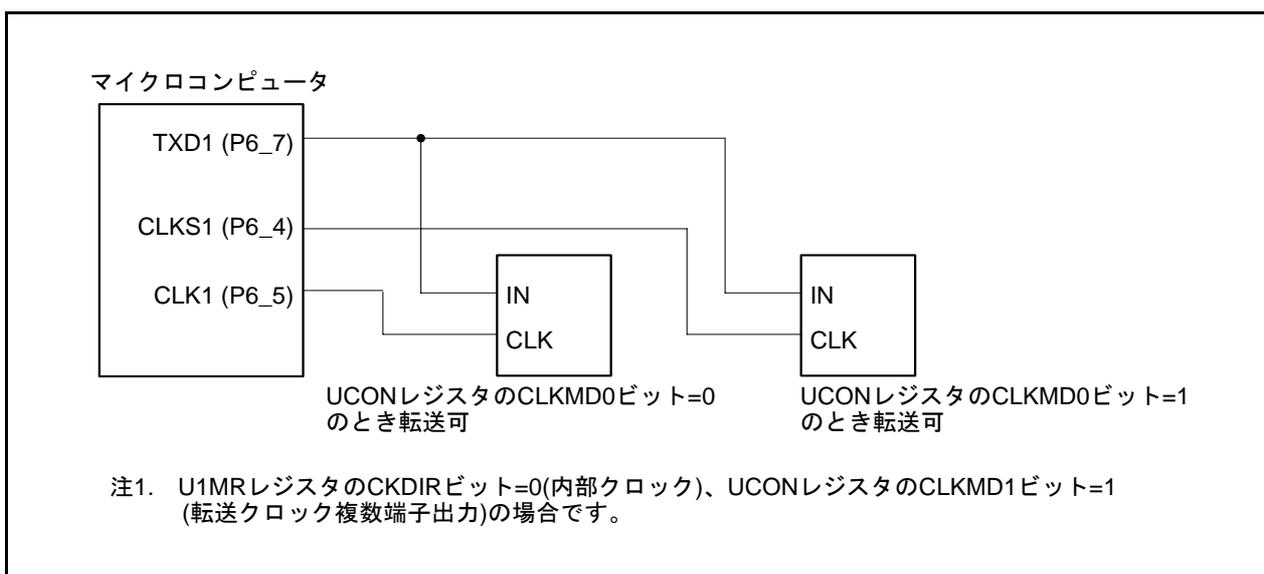


図17.16 転送クロック複数端子出力機能の使用例

17.1.1.7 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能

$\overline{\text{CTS}}$ 機能は、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i(i=0\sim 2)$ 端子に“L”を入力すると、送受信を開始させる機能です。 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の入力レベルが“L”になると、送受信を開始します。送受信の最中に入力レベルを“H”にした場合、次のデータから送受信を停止します。

$\overline{\text{RTS}}$ 機能は、受信準備が整ったとき、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の出力レベルが“L”になります。 CLK_i 端子の最初の立ち上がりで出力レベルが“H”になります。

- $\text{U}i\text{C}0$ レジスタのCRDビット=1($\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能禁止) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子はプログラマブル入出力機能
- CRDビット=0、CRSビット=0($\overline{\text{CTS}}$ 機能選択) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子は $\overline{\text{CTS}}$ 機能
- CRDビット=0、CRSビット=1($\overline{\text{RTS}}$ 機能選択) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子は $\overline{\text{RTS}}$ 機能

17.1.1.8 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能(UART0)

$\overline{\text{CTS}}_0/\overline{\text{RTS}}_0$ を分離し、 $\overline{\text{RTS}}_0$ をP6_0端子から出力、 $\overline{\text{CTS}}_0$ をP6_4端子から入力する機能です。この機能を使用する場合は次のようにしてください。

- $\text{U}0\text{C}0$ レジスタのCRDビット=0(UART0の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 許可)
 - $\text{U}0\text{C}0$ レジスタのCRSビット=1(UART0の $\overline{\text{RTS}}$ 出力)
 - $\text{U}1\text{C}0$ レジスタのCRDビット=0(UART1の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 許可)
 - $\text{U}1\text{C}0$ レジスタのCRSビット=0(UART1の $\overline{\text{CTS}}$ 入力)
 - $\text{U}C\text{O}N$ レジスタのRCSPビット=1($\overline{\text{CTS}}_0$ をP6_4端子から入力)
 - $\text{U}C\text{O}N$ レジスタのCLKMD1ビット=0($\text{CLKS}1$ を使用しない)
- なお、 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能使用時、UART1の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能は使用できません。

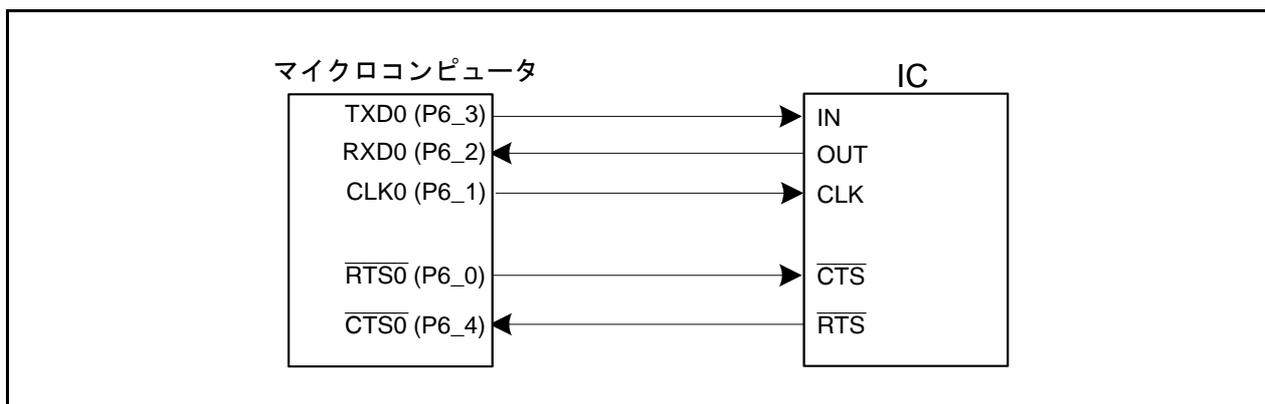


図 17.17 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能の使用例

17.1.2 クロック非同期形シリアルI/O(UART)モード

UARTモードは、任意のビットレート、転送データフォーマットを設定して送受信を行うモードです。表17.5にUARTモードの仕様を示します。

表17.5 UARTモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> • キャラクタビット(転送データ) 7ビット、8ビット、9ビットを選択可 • スタートビット 1ビット • パリティビット 奇数、偶数、なしを選択可 • ストップビット 1ビット、2ビットを選択可
転送クロック	<ul style="list-style-type: none"> • UiMRレジスタ(i=0~2)のCKDIRビットが“0”(内部クロック): $f_j/(16(n+1))$ $f_j=f1SIO、f2SIO、f8SIO、f32SIO$。n=UiBRGレジスタの設定値 00h~FFh • CKDIRビットが“1”(外部クロック): $fEXT/(16(n+1))$ $fEXT$はCLKi端子からの入力。n=UiBRGレジスタの設定値 00h~FFh
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要 <ul style="list-style-type: none"> • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) • CTS機能を選択している場合、CTS_i端子の入力が“L”
受信開始条件	受信開始には、次の条件が必要 <ul style="list-style-type: none"> • UiC1レジスタのREビットが“1”(受信許可) • スタートビットの検出
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択可 <ul style="list-style-type: none"> • UiIRSビット(注2)が“0”(送信バッファ空): UiTBレジスタからUART_i送信レジスタへデータ転送時(送信開始時) • UiIRSビットが“1”(送信完了): UART_i送信レジスタからデータ送信完了時 受信する場合 <ul style="list-style-type: none"> • UART_i受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> • オーバランエラー(注1) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 • フレーミングエラー(注3) 設定した個数のストップビットが検出されなかったときに発生 • パリティエラー(注3) パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 • エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる
選択機能	<ul style="list-style-type: none"> • LSBファースト、MSBファースト選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可 • シリアルデータ論理切り替え 送信するデータの論理値を反転する機能。スタートビット、ストップビットは反転しない。 • TXD、RXD入出力極性切り替え TXD端子出力とRXD端子入力を反転する機能。入出力するデータのレベルがすべて反転する。 • CTS/RTS分離機能(UART0) CTS0とRTS0を別の端子から入出力する

注1. オーバランエラーが発生した場合、UiRBレジスタ受信データは不定になります。またSiRICレジスタのIRビットは変化しません。

注2. U0IRS、U1IRSビットはUCONレジスタのビット0、1で、U2IRSビットはU2C1レジスタのビット4です。

注3. フレーミングエラーフラグ、パリティエラーフラグの立つタイミングは、UART_i受信レジスタからUiRBレジスタにデータが転送されるときに検出されます。

表 17.6 UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0~8	送信データを設定してください(注1)
UiRB	0~8	受信データが読めます(注1)
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0~7	ビットレートを設定してください
UiMR	SMD2~SMD0	転送データが7ビットの場合、“100b”を設定してください。
		転送データが8ビットの場合、“101b”を設定してください。
		転送データが9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティの有無、偶数奇数を選択してください
	IOPOL	TXD / RXD入出力極性を選択してください
UiC0	CLK0、CLK1	UiBRGのカウントソースを選択してください
	CRS	CTSまたはRTS機能を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTS / RTS機能の許可または禁止を選択してください
	NCH	TXDi端子の出力形式を選択してください(注3)
	CKPOL	“0” にしてください
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。転送データ長7ビットまたは9ビット時は“0” にしてください。
UiC1	TE	送信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1” にしてください
	RI	受信完了フラグ
	U2IRS(注2)	UART2送信割り込み要因を選択してください
	U2RRM(注2)	“0” にしてください
	UiLCH	データ論理反転を使用する場合、“1” にしてください
	UiERE	“0” にしてください
UiSMR	0~7	“0” にしてください
UiSMR2	0~7	“0” にしてください
UiSMR3	0~7	“0” にしてください
UiSMR4	0~7	“0” にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	“0” にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1	“0” にしてください
	RCSP	UART0のCTS0信号をP6_4端子から入力する場合、“1” にしてください
	7	“0” にしてください

注1. 使用するビットは次のとおりです。転送データ長7ビット：ビット0~6、転送データ長8ビット：ビット0~7、転送データ長9ビット：ビット0~8

注2. U0C1、U1C1レジスタのビット4、5は“0” にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注3. TXD2端子はNチャンネルオープンドレインです。U2C0レジスタのNCHビットは“0” にしてください。
i=0~2

表 17.7にUARTモード時の入出力端子の機能を示します。表 17.8にUARTモード時のP6_4端子の機能を示します。なお、UARTiの動作モード選択後、転送開始までは、TXDi端子は“H”を出力します(Nチャンネルオープンドレイン出力選択時はハイインピーダンス状態)。

表 17.7 UARTモード時の入出力端子の機能

端子名	機能	選択方法
TXDi(i=0~2) (P6_3、P6_7、P7_0)	シリアルデータ出力	(受信だけを行うときは“H”が出力)
RXDi (P6_2、P6_6、P7_1)	シリアルデータ入力	PD6レジスタのPD6_2ビット=0、PD6_6ビット=0、PD7レジスタのPD7_1ビット=0(送信だけを行うときは入力ポートとして使用可)
CLKi (P6_1、P6_5、P7_2)	入出力ポート	UiMRレジスタのCKDIRビット=0
	転送クロック入力	UiMRレジスタのCKDIRビット=1 PD6レジスタのPD6_1ビット=0、PD6_5ビット=0、PD7レジスタのPD7_2ビット=0
CTS _i /RTS _i (P6_0、P6_4、P7_3)	CTS入力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=0 PD6レジスタのPD6_0ビット=0、PD6_4ビット=0、PD7レジスタのPD7_3ビット=0
	RTS出力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=1
	入出力ポート	UiC0レジスタのCRDビット=1

表 17.8 UARTモード時のP6_4端子の機能

端子の機能	ビットの設定値				
	U1C0レジスタ		UCONレジスタ		PD6レジスタ
	CRD	CRS	RCSP	CLKMD1	PD6_4
P6_4	1	—	0	0	入力：0、出力：1
CTS1	0	0	0	0	0
RTS1	0	1	0	0	—
CTS0(注1)	0	0	1	0	0

—：“0”または“1”

注1. この他にU0C0レジスタのCRDビットを“0”(CTS0/RTS0許可)、U0C0レジスタのCRSビットを“1”(RTS0選択)にしてください。

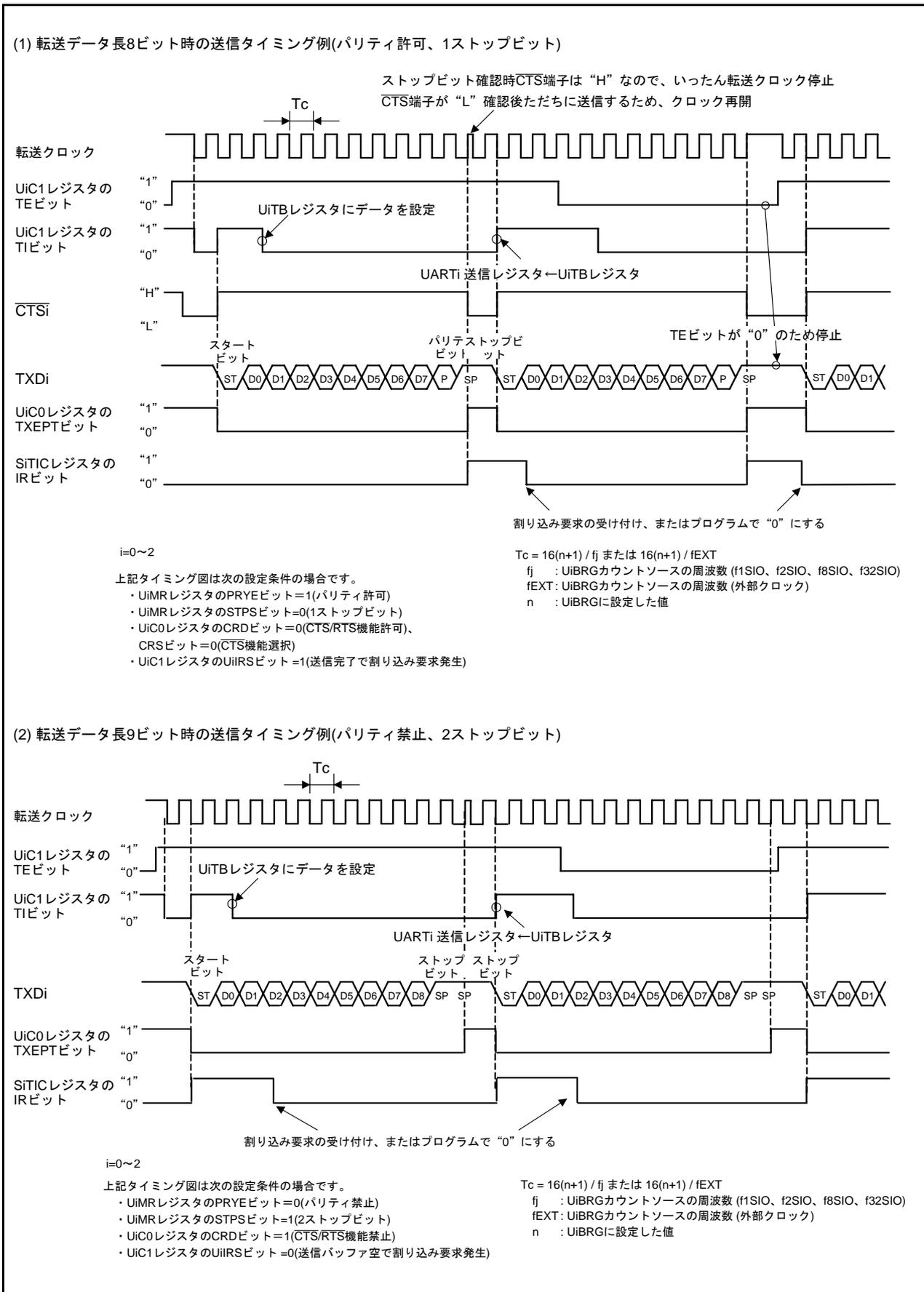


図17.18 UARTモード時の送信タイミング例

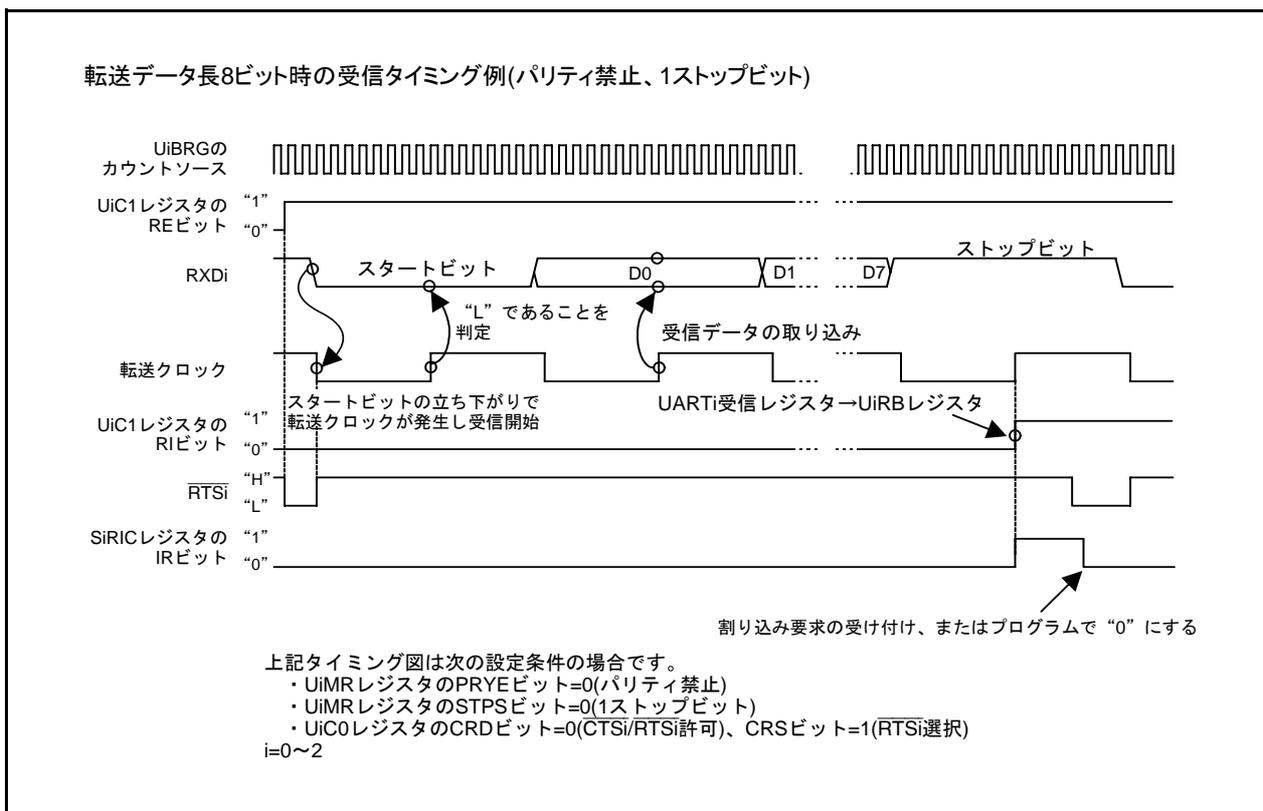


図 17.19 UARTモード時の受信タイミング例

17.1.2.1 ビットレート

UARTモードは、UiBRGレジスタ(i=0~2)で分周した周波数の16分周がビットレートになります。表 17.9にビットレートの設定例を示します。

表 17.9 ビットレート

ビットレート (bps)	UiBRGの カウントソース	周辺機能クロック: 16 MHz		周辺機能クロック: 24 MHz	
		UiBRGの 設定値: n	ビットレート (bps)	UiBRGの 設定値: n	ビットレート (bps)
1200	f8	103 (67h)	1202	155 (9Bh)	1202
2400	f8	51 (33h)	2404	77 (4Dh)	2404
4800	f8	25 (19h)	4808	38 (26h)	4808
9600	f1	103 (67h)	9615	155 (9Bh)	9615
14400	f1	68 (44h)	14493	103 (67h)	14423
19200	f1	51 (33h)	19231	77 (4Dh)	19231
28800	f1	34 (22h)	28571	51 (33h)	28846
31250	f1	31 (1Fh)	31250	47 (2Fh)	31250
38400	f1	25 (19h)	38462	38 (26h)	38462
51200	f1	19 (13h)	50000	28 (1Ch)	51724

17.1.2.2 通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信エラーが発生した場合、次の手順で再設定を行ってください。

•UiRBレジスタ(i=0~2)の初期化手順

- (1) UiC1レジスタのREビットを“0”(受信禁止)にする。
- (2) UiC1レジスタのREビットを“1”(受信許可)にする。

•UiTBレジスタの初期化手順

- (1) UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェース無効)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを再設定(“001b”、“101b”、“110b”)にする。
- (3) UiC1レジスタのTEビットの値にかかわらず“1”(送信許可)を書き込む。

17.1.2.3 LSBファースト、MSBファースト選択

図17.20に示すように、UiC0レジスタのUFORMビットで転送フォーマットを選択できます。この機能は転送データ長8ビットのときに有効です。

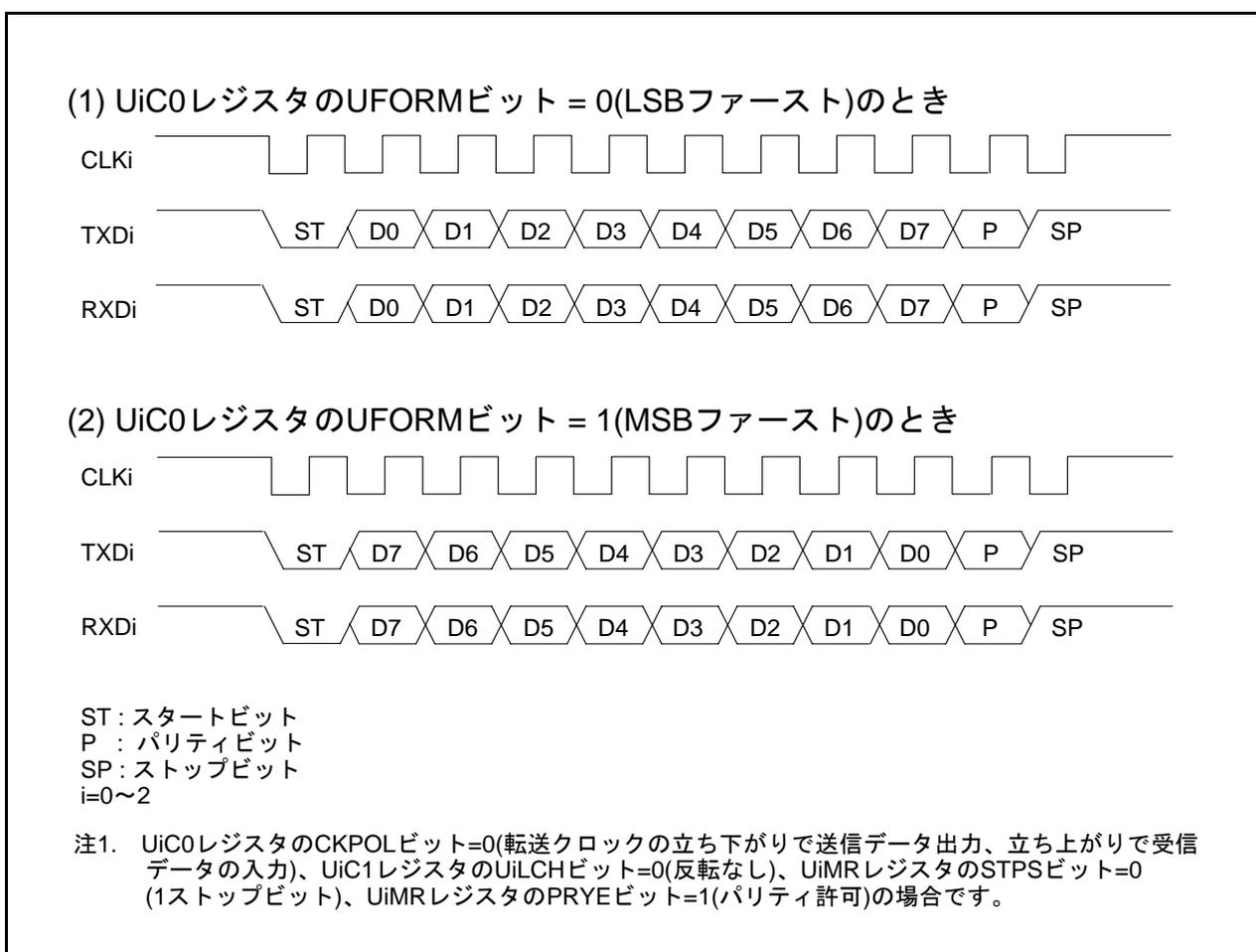


図17.20 転送フォーマット

17.1.2.4 シリアルデータ論理切り替え

UiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図17.21にシリアルデータ論理を示します。

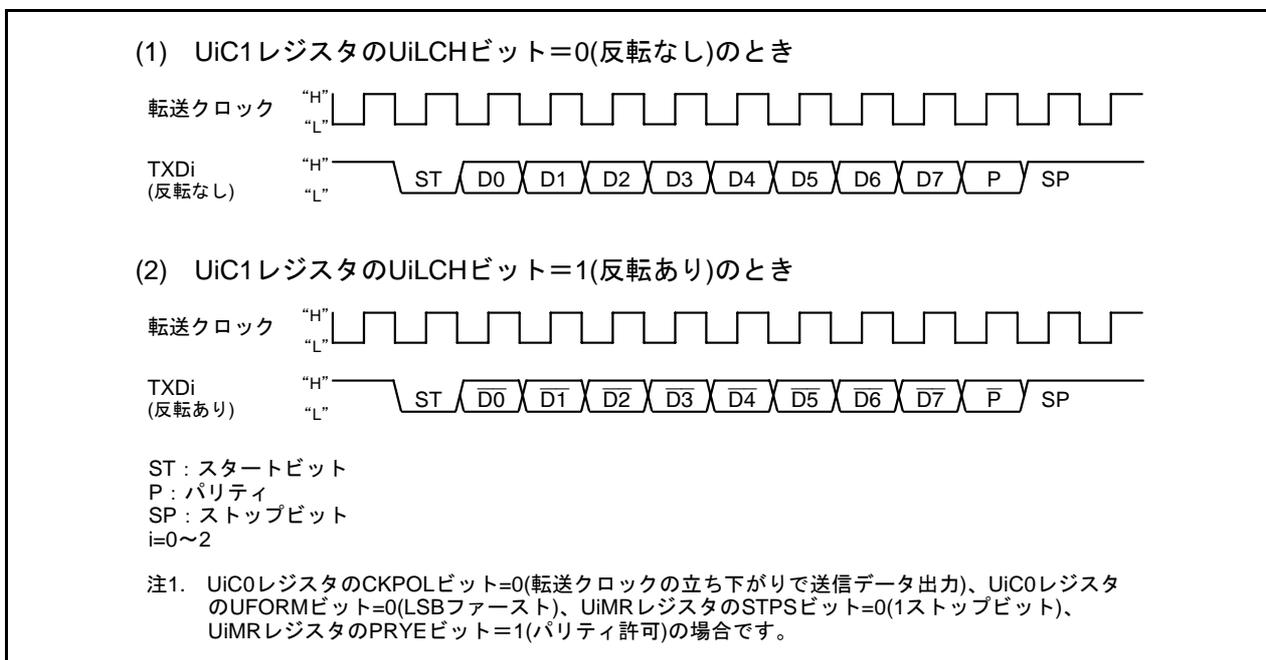


図17.21 シリアルデータ論理

17.1.2.5 TXD、RXD入出力極性切り替え機能

TXDi端子出力とRXDi端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図17.22にTXD、RXD入出力極性切り替えを示します。

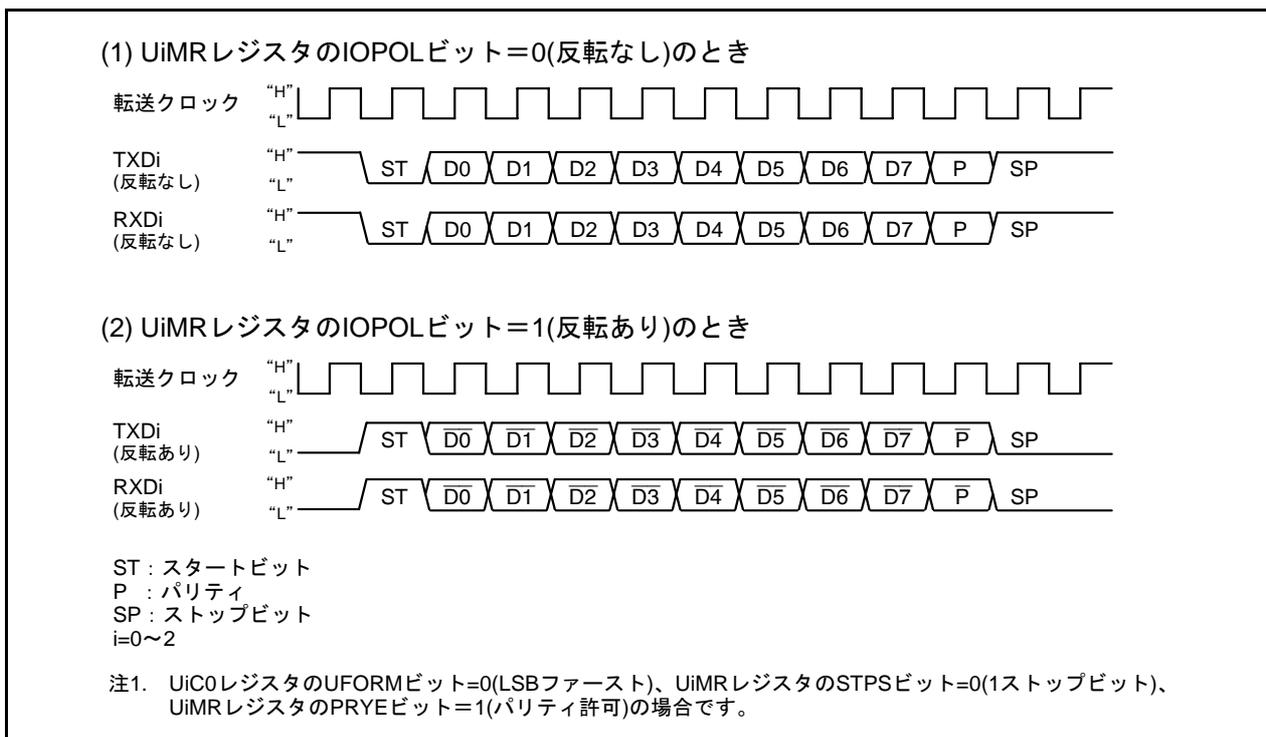


図17.22 TXD、RXD入出力極性切り替え

17.1.2.6 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能

$\overline{\text{CTS}}$ 機能は、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i(i=0\sim 2)$ 端子に“L”を入力すると、送信を開始させる機能です。 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の入力レベルが“L”になると、送信を開始します。送信の最中に入力レベルを“H”にした場合、次のデータから送信を停止します。

$\overline{\text{RTS}}$ 機能は、受信準備が整ったとき、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の出力レベルが“L”になります。 $\overline{\text{CLK}}_i$ 端子の最初の立ち上がりで出力レベルが“H”になります。

- $\text{U}i\text{C}0$ レジスタのCRDビット=1($\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能禁止) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子はプログラマブル入出力機能
- CRDビット=0、CRSビット=0($\overline{\text{CTS}}$ 機能選択) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子は $\overline{\text{CTS}}$ 機能
- CRDビット=0、CRSビット=1($\overline{\text{RTS}}$ 機能選択) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子は $\overline{\text{RTS}}$ 機能

17.1.2.7 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能(UART0)

$\overline{\text{CTS}}_0/\overline{\text{RTS}}_0$ を分離し、 $\overline{\text{RTS}}_0$ をP6_0端子から出力、 $\overline{\text{CTS}}_0$ をP6_4端子から入力する機能です。この機能を使用する場合は次のようにしてください。

- $\text{U}0\text{C}0$ レジスタのCRDビット=0(UART0の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 許可)
- $\text{U}0\text{C}0$ レジスタのCRSビット=1(UART0の $\overline{\text{RTS}}$ 出力)
- $\text{U}1\text{C}0$ レジスタのCRDビット=0(UART1の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 許可)
- $\text{U}1\text{C}0$ レジスタのCRSビット=0(UART1の $\overline{\text{CTS}}$ 入力)
- $\text{U}C\text{O}N$ レジスタのRCSPビット=1($\overline{\text{CTS}}_0$ をP6_4端子から入力)
- $\text{U}C\text{O}N$ レジスタのCLKMD1ビット=0($\overline{\text{CLK}}_S1$ を使用しない)

なお、 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能使用時、UART1の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能は使用できません。

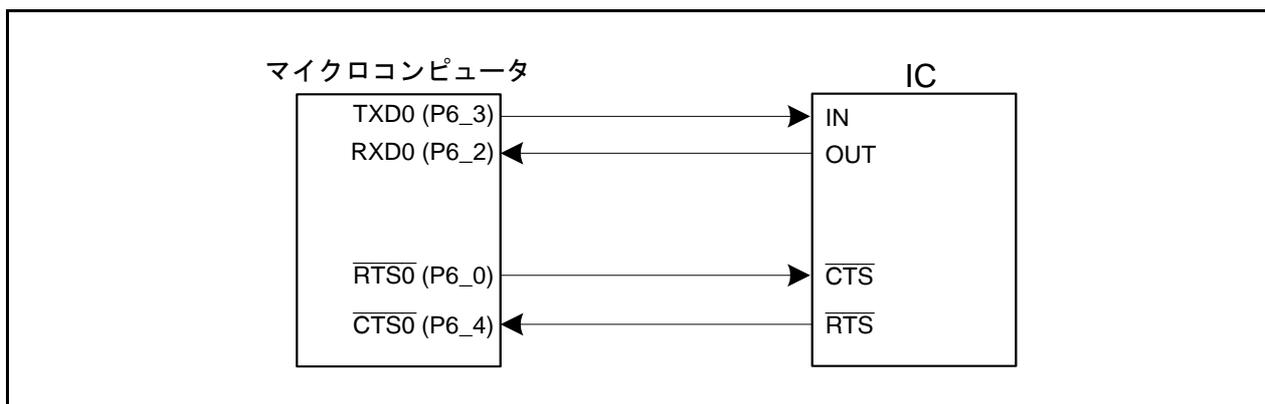


図 17.23 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能の使用例

17.1.3 特殊モード1(I²Cモード)

I²Cモードは、簡易形I²Cインタフェースに対応したモードです。表17.10にI²Cモードの仕様を、表17.11～表17.12にI²Cモード時の使用レジスタと設定値を、表17.13にI²Cモード時の各機能、図17.24にI²Cモードのブロック図を、図17.25にSCLiタイミングを示します。

表17.13に示すように、SMD2～SMD0ビットを“010b”に、IICMビットを“1”にするとI²Cモードになります。SDAi送信出力には遅延回路が付加されますので、SCLiが“L”になり安定した後、SDAi出力が変化します。

表 17.10 I²Cモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> • マスタ時 UiMRレジスタ(i=0～2)のCKDIRビットが“0”(内部クロック): $f_j/(2(n+1))$ f_j=f1SIO、f2SIO、f8SIO、f32SIO n=UiBRGレジスタの設定値 00h～FFh • スレーブ時 CKDIRビットが“1”(外部クロック): SCLi端子からの入力
送信開始条件	送信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> • UiC1レジスタのREビットが“1”(受信許可) • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	スタートコンディション検出、ストップコンディション検出、アクノリッジ未検出、アクノリッジ検出
エラー検出	オーバランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの8ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> • アービトレーションロスト UiRBレジスタのABTビットの更新タイミングを選択可 • SDAiデジタル遅延 デジタル遅延なし、またはUiBRGカウントソースの2～8サイクルの遅延を選択可 • クロック位相設定 クロック遅れあり、なしを選択可

注1. 外部クロックを選択している場合、外部クロックが“H”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRBレジスタは不定になります。またSiRICレジスタのIRビットは変化しません。

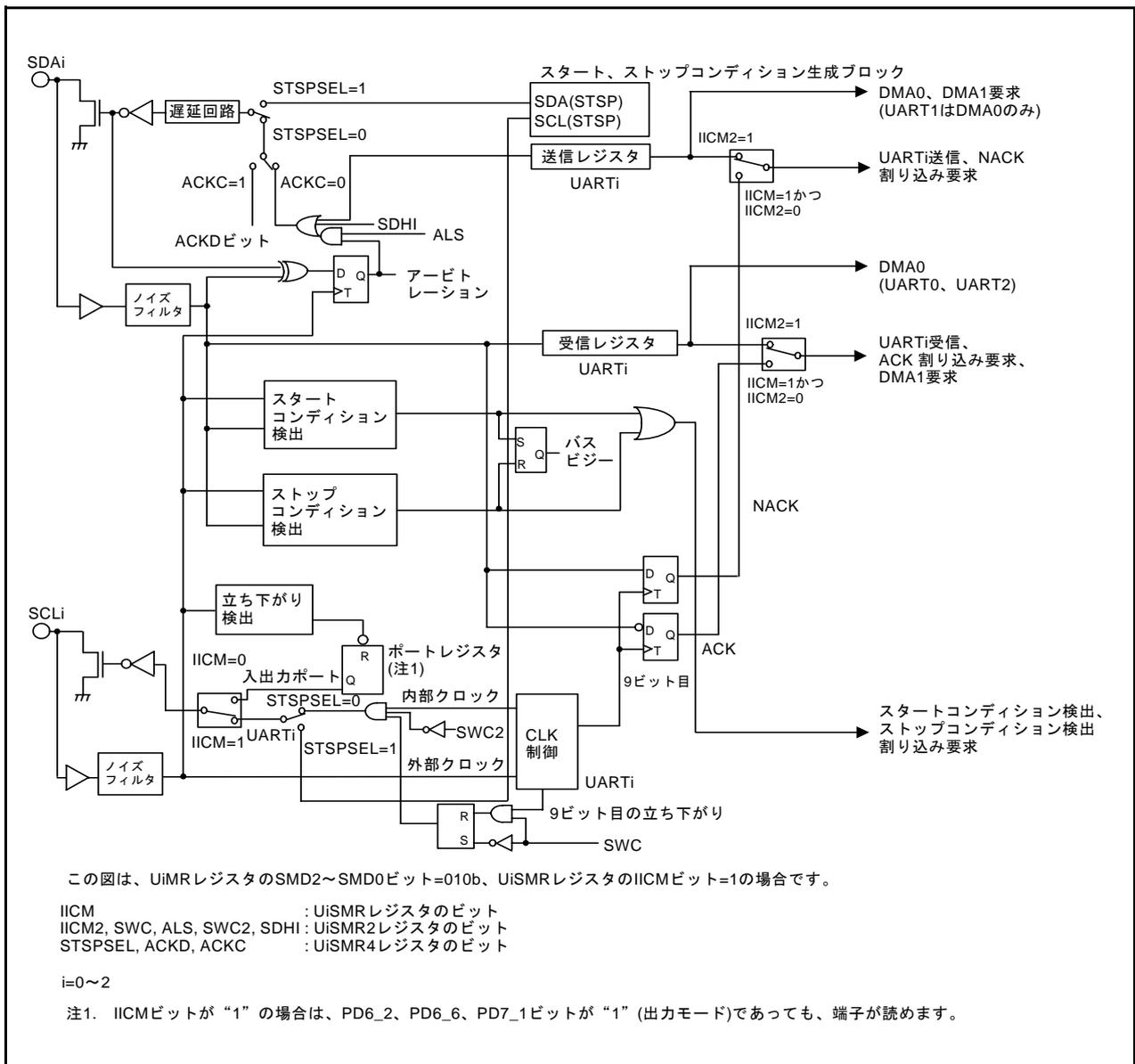


図17.24 I²Cモードのブロック図

表 17.11 I²Cモード時の使用レジスタと設定値(1)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
UiTB(注3)	0~7	送信データを設定してください	送信データを設定してください
UiRB(注3)	0~7	受信データが読めます	受信データが読めます
	8	ACK、NACKが入ります	ACK、NACKが入ります
	ABT	アービトレーションロスト検出フラグ	無効
	OER	オーバランエラーフラグ	オーバランエラーフラグ
UiBRG	0~7	ビットレートを設定してください	無効
UiMR(注3)	SMD2~SMD0	“010b” にしてください	“010b” にしてください
	CKDIR	“0” にしてください	“1” にしてください
	IOPOL	“0” にしてください	“0” にしてください
UiC0	CLK1~CLK0	UiBRGのカウンツソースを選択してください	無効
	CRS	CRD=1なので無効	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ	送信レジスタ空フラグ
	CRD(注4)	“1” にしてください	“1” にしてください
	NCH	“1” にしてください(注2)	“1” にしてください(注2)
	CKPOL	“0” にしてください	“0” にしてください
	UFORM	“1” にしてください	“1” にしてください
	UiC1	TE	送信を許可する場合、“1” にしてください
TI		送信バッファ空フラグ	送信バッファ空フラグ
RE		受信を許可する場合、“1” にしてください	受信を許可する場合、“1” にしてください
RI		受信完了フラグ	受信完了フラグ
U2IRS(注1)		無効	無効
U2RRM(注1)、 UiLCH、UiERE		“0” にしてください	“0” にしてください
UiSMR	IICM	“1” にしてください	“1” にしてください
	ABC	アービトレーションロスト検出タイミングを選択してください	無効
	BBS	バスビジーフラグ	バスビジーフラグ
	3~7	“0” にしてください	“0” にしてください
UiSMR2	IICM2	「表17.13 I ² Cモード時の各機能」参照	「表17.13 I ² Cモード時の各機能」参照
	CSC	クロック同期化を許可する場合、“1” にしてください	“0” にしてください
	SWC	クロックの9ビット目の立ち下がりでSCLi出力を“L”出力固定にする場合、“1” にしてください	クロックの9ビット目の立ち下がりでSCLi出力を“L”出力固定にする場合、“1” にしてください
	ALS	アービトレーションロスト検出時にSDAiの出力を停止する場合“1” にしてください	“0” にしてください
	STAC	“0” にしてください	スタートコンディション検出でUARTiを初期化する場合、“1” にしてください
	SWC2	SCLiの出力を強制的に“L”にする場合、“1” にしてください	SCLiの出力を強制的に“L”にする場合、“1” にしてください
	SDHI	SDAi出力を禁止をする場合、“1” にしてください	SDAi出力を禁止をする場合、“1” にしてください
	7	“0” にしてください	“0” にしてください

注1. UOC1、U1C1レジスタのビット4、5は“0” にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注2. TXD2端子はNチャンネルオープンドレインです。U2C0レジスタのNCHビットは、何も配置されていないので、書く場合“0”を書いてください。

注3. この表に記載していないビットはI²Cモード時に書く場合、“0”を書いてください。

注4. UART1をI²Cモードで使用しているときに、UART0のCTS/RTS分離機能を許可する場合、U1C0レジスタのCRDビットを“0”(CTS/RTS許可)、CRSビットを“0”(CTS入力)にしてください。

i=0~2

表 17.12 I²Cモード時の使用レジスタと設定値(2)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
UiSMR3	0、2、4 NODC	“0” にしてください	“0” にしてください
	CKPH	「表 17.13 I ² Cモード時の各機能」参照	「表 17.13 I ² Cモード時の各機能」参照
	DL2～DL0	SDAiのデジタル遅延値を設定してください	SDAiのデジタル遅延値を設定してください
UiSMR4	STAREQ	スタートコンディションを生成する場合、“1” にしてください	“0” にしてください。
	RSTAREQ	リスタートコンディションを生成する場合、“1” にしてください	“0” にしてください。
	STPREQ	ストップコンディションを生成する場合、“1” にしてください	“0” にしてください。
	STSPSEL	各コンディション出力時に“1” にしてください	“0” にしてください。
	ACKD	ACK、NACKを選択してください	ACK、NACKを選択してください
	ACKC	ACKデータを出力する場合、“1” にしてください	ACKデータを出力する場合、“1” にしてください
	SCLHI	ストップコンディション検出時にSCLi出力を停止する場合、“1” にしてください	“0” にしてください。
	SWC9	“0” にしてください	クロックの9ビット目の次の立ち下がりでSCLiを“L”ホールドにする場合、“1” にしてください
IFSR2A	IFSR26、 IFSR27	“1” にしてください	“1” にしてください
UCON	U0IRS、U1IRS	無効	無効
	2～7	“0” にしてください	“0” にしてください

i=0～2

表 17.13 I²Cモード時の各機能

機能	クロック同期シリアル I/Oモード (SMD2~SMD0=001b, IICM=0)	I ² Cモード(SMD2~SMD0=010b, IICM=1)			
		IICM2=0(NACK/ACK 割り込み)		IICM2=1(UART 送信/UART 受信割り込み)	
		CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)	CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)
割り込み番号 6, 7, 10の要因(注1、5、7)	—	スタートコンディション検出、ストップコンディション検出 (「表 17.14 STSPSEL ビットの機能」参照)			
割り込み番号 15, 17, 19の要因(注1、6)	UARTi 送信 送信開始、または送信 完了(UiIRSで選択)	アクノリッジ未検出(NACK) 9ビット目のSCLiの立ち上がり		UARTi 送信 9ビット目のSCLiの 立ち上がり	UARTi 送信 9ビット目の次のSCLi の立ち下がり
割り込み番号 16, 18, 20の要因(注1、6)	UARTi 受信 8ビット目の受信時 CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	アクノリッジ検出(ACK) 9ビット目のSCLiの立ち上がり		UARTi 受信 9ビット目のSCLiの立ち下がり	
UART 受信シフト レジスタからUiRB レジスタへのデータ 転送タイミング	CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	9ビット目のSCLiの立ち上がり		9ビット目のSCLiの 立ち下がり	9ビット目のSCLiの立 ち下がり、立ち上が り
UARTi 送信出力遅延	遅延なし	遅延あり			
P6_3, P6_7, P7_0端子の機 能	TXDi 出力	SDAi 入出力			
P6_2, P6_6, P7_1端子の機 能	RXDi 入力	SCLi 入出力			
P6_1, P6_5, P7_2端子の機 能	CLKi 入力または出力選択	—(I ² Cモードには使用しない)			
ノイズフィルタ幅	15ns	200ns			
RXDi, SCLi 端子レベルの読 み込み	対応するポート方向ビッ トが“0”の場合、可能	対応するポート方向ビットの内容に関係なく、可能			
TXDi, SDAi 出力の初期値	CKPOL=0(H) CKPOL=1(L)	I ² Cモード設定前に、ポートレジスタに設定した値(注2)			
SCLiの初期値、終了値	—	H	L	H	L
DMA1 要因 (注6)	UARTi 受信	アクノリッジ検出(ACK)		UARTi 受信 9ビット目のSCLiの立ち下がり	
受信データ格納	1~8ビット目をUiRBレ ジスタのビット0~7に 格納	1~8ビット目をUiRBレジスタのビット7~ 0に格納		1~7ビット目をUiRBレジスタのビット6~0 に、8ビット目をUiRBレジスタのビット8に 格納	
受信データ読み出し	UiRBレジスタの状態をそのまま読み出す	UiRBレジスタのビット 6~0はビット7~1 として、ビット8は ビット0として読み出 す(注4)			

注1. 割り込み要因を変更すると、変更した割り込みの割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります(「24.7 割り込み注意事項」参照)。次のビットを変更すると、割り込み要因、割り込みタイミング等が変化しますので、これらのビットを変更した後、IRビットを“0”(割り込み要求なし)にしてください。

UiMRレジスタのSMD2~SMD0ビット、UiSMRレジスタのIICMビット、
UiSMR2レジスタのIICM2ビット、UiSMR3レジスタのCKPHビット

注2. SDAi出力の初期値は、SMD2~SMD0ビットが“000b”(シリアルインターフェースが無効)の状態を設定してください。

注3. UiRBレジスタへのデータ転送2回目(9ビット目SCLi立ち上がり時)

注4. UiRBレジスタへのデータ転送1回目(9ビット目SCLi立ち下がり時)

注5. 「図 17.27 STSPSEL ビットの機能」参照。

注6. 「図 17.25 UiRBレジスタへの転送、割り込みのタイミング」参照。

注7. UART0使用時はIFSR2AレジスタのIFSR26ビットを“1”(割り込み要因はUART0バス衝突)にしてください。

UART1使用時はIFSR2AレジスタのIFSR27ビットを“1”(割り込み要因はUART1バス衝突)にしてください。

i=0~2

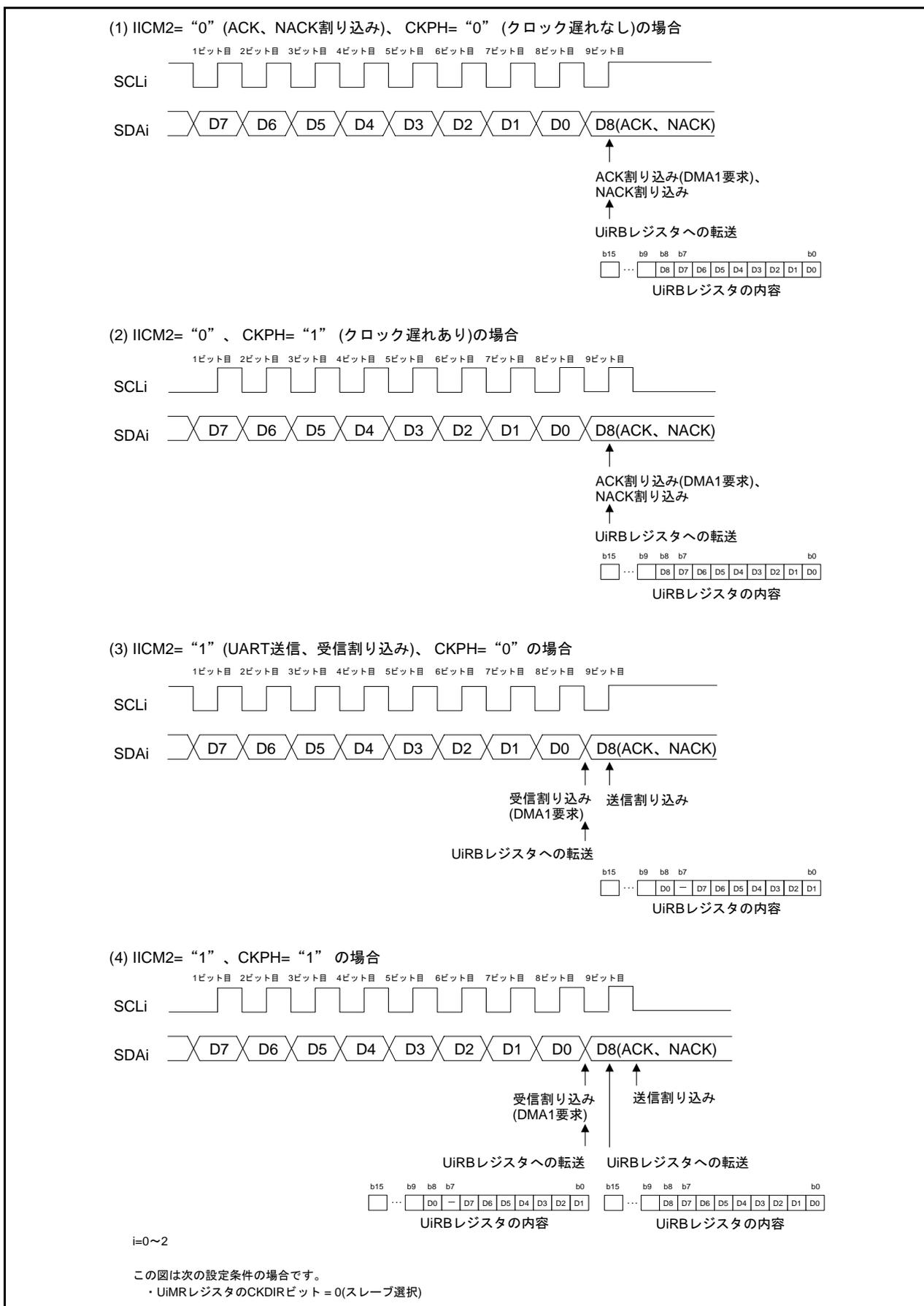


図 17.25 UIRBレジスタへの転送、割り込みのタイミング

17.1.3.1 スタートコンディション、ストップコンディションの検出

スタートコンディション検出またはストップコンディション検出を判定します。

スタートコンディション検出割り込み要求は、SCLi端子が“H”の状態、SDAi端子が“H”から“L”に変化すると発生します。ストップコンディション検出割り込み要求は、SCLi端子が“H”の状態、SDAi端子が“L”から“H”に変化すると発生します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用していますので、どちらの要求による割り込みかは、UiSMRレジスタのBBSビットで判定してください。

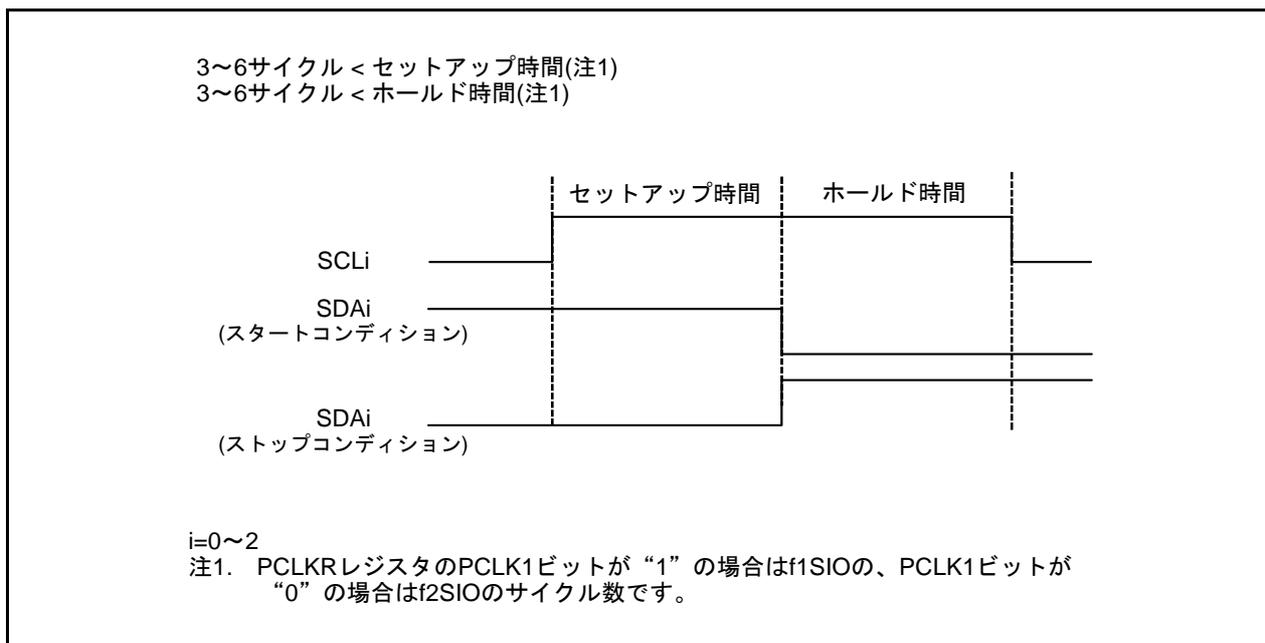


図17.26 スタートコンディション、ストップコンディションの検出

17.1.3.2 スタートコンディション、ストップコンディションの出力

UiSMR4レジスタ(i=0~2)のSTAREQビットを“1”(スタート)にするとスタートコンディションを生成します。

UiSMR4レジスタのRSTAREQビットを“1”(スタート)にするとリスタートコンディションを生成します。

UiSMR4レジスタのSTPREQビットを“1”(スタート)にするとストップコンディションを生成します。

出力の手順は次の通りです。

- (1) STAREQビット、RSTAREQビット、またはSTPREQビットを“1”(スタート)にする
 - (2) UiSMR4レジスタのSTPSELビットを“1”(出力)にする
- 表17.14と図17.27にSTPSELビットの機能を示します。

表 17.14 STSPSELビットの機能

機能	STSPSEL=0	STSPSEL=1
SCLi、SDAi端子の出力	転送クロック、データを出力。 スタートコンディション、ストップコンディションの出力はポートを使ったプログラムで実現 (ハードウェアによる自動生成はしない)	STAREQビット、RSTAREQビット、STPREQビットに従って、スタートコンディション、ストップコンディションを出力
スタートコンディション、ストップコンディション割り込み要求発生タイミング	スタートコンディション、ストップコンディション検出	スタートコンディション、ストップコンディション生成終了

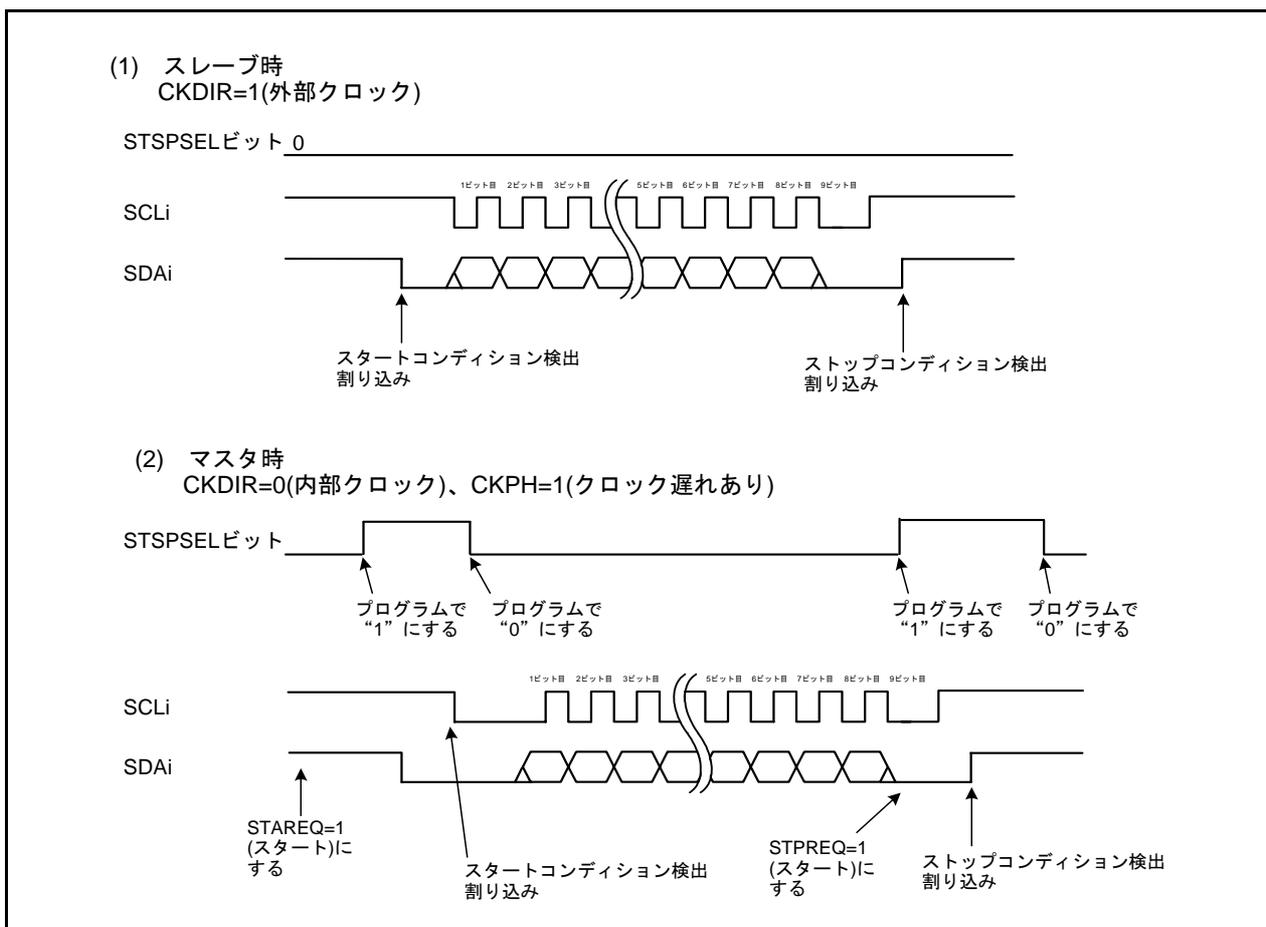


図 17.27 STSPSELビットの機能

17.1.3.3 アービトレーション

SCLiの立ち上がりのタイミングで、送信データとSDAi端子入力データの不一致を判定します。UiSMRレジスタのABCビットで、UiRBレジスタのABTビットの更新タイミングを選択します。ABCビットが“0”(ビットごとに更新)の場合、判定時に不一致を検出すると同時にABTビットが“1”に、検出しないと“0”になります。ABCビットを“1”にすると、判定時に一度でも不一致が検出された場合、9ビット目のクロックの立ち下がりABTビットが“1”(不一致検出)になります。なお、バイトごとに更新する場合は、1バイト目のアクノリッジ検出完了後、ABTビットを“0”(未検出)にしてから、次の1バイトを転送してください。

UiSMR2レジスタのALSビットを“1”(SDA出力停止許可)にすると、アービトレーションロストが発生しABTビットが“1”(不一致検出)になったとき、同時にSDAi端子がハイインピーダンス状態になります。

17.1.3.4 転送クロック

「図 17.25 UiRB レジスタへの転送、割り込みのタイミング」に示すような転送クロックで送受信を行います。

UiSMR2レジスタのCSCビットは内部で生成したクロック(内部SCLi)と、SCLi端子に入力される外部クロックの同期をとるためのビットです。CSCビットを“1”(クロック同期化を許可)にすると、内部SCLiが“H”の場合、SCLi端子に立ち下がりエッジがあれば内部SCLiを“L”とし、UiBRGレジスタの値をリロードしてL区間のカウントを開始します。また、SCLi端子が“L”のとき、内部SCLiが“L”から“H”に変化するとカウントを停止し、SCLi端子が“H”になるとカウントを再開します。したがって、UARTiの転送クロックは、内部SCLiとSCLi端子の信号の論理積になります。なお、転送クロックは内部SCLiの1ビット目の立ち下がりの半周期前から9ビット目の立ち上がりまでの期間で動作します。この機能を使用する場合、転送クロックは内部クロックを選択してください。

UiSMR2レジスタのSWCビットでクロックの9ビット目の立ち下がりで、SCLi端子は“L”出力固定になるか“L”出力固定を解除するかを選択できます。

UiSMR4レジスタのSCLHIビットを“1”(許可)にすると、ストップコンディション検出時にSCLi出力を停止します(ハイインピーダンス状態)。

UiSMR2レジスタのSWC2ビットを“1”(0出力)にすると、送受信中でもSCLi端子から強制的に“L”を出力できます。SWC2ビットを“0”(転送クロック)にすると、SCLi端子からの“L”出力は解除され、転送クロックが入出力されます。

UiSMR3レジスタのCKPHビットが“1”のとき、UiSMR4レジスタのSWC9ビットを“1”(SCL“L”ホールド許可)にすると、クロックの9ビット目の次の立ち下がりでSCLi端子は“L”出力固定になります。SWC9ビットを“0”(SCL“L”ホールド禁止)にすると“L”出力固定は解除されます。

17.1.3.5 SDA出力

UiTBレジスタのビット7~0(D7~D0)に書いた値を、D7から順に出力します。9ビット目(D8)はACKまたはNACKです。

SDAi送信出力の初期値は、IICM=1(I²Cモード)で、UiMRレジスタのSMD2~SMD0ビットが“000b”(シリアルインタフェースは無効)の状態を設定してください。

UiSMR3レジスタのDL2~DL0ビットによりSDAiの出力を遅延なし、またはUiBRGカウントソースの2~8サイクルの遅延を設定できます。

UiSMR2レジスタのSDHIビットを“1”(SDA出力禁止)にすると、SDAi端子が強制的にハイインピーダンス状態になります。なお、SDHIビットはUARTiの転送クロックの立ち上がりのタイミングで書かないでください。ABTビットが“1”(検出)になる場合があります。

17.1.3.6 SDA入力

IICM2ビットが“0”のとき、受信したデータの1~8ビット目(D7~D0)をUiRBレジスタのビット7~0に格納します。9ビット目(D8)はACKまたはNACKです。

IICM2ビットが“1”のとき、受信したデータの1~7ビット目(D7~D1)をUiRBレジスタのビット6~0に、8ビット目(D0)をUiRBレジスタのビット8に格納します。IICM2ビットが“1”のときでも、CKPHビットが“1”であれば、9ビット目のクロックの立ち上がり後にUiRBレジスタを読み出すことにより、IICM2ビットが“0”のときと同様のデータが読めます。

17.1.3.7 ACK、NACK

UiSMR4レジスタのSTSPSELビットが“0”(スタートコンディション、ストップコンディションを生成しない)でUiSMR4レジスタのACKCビットが“1”(ACKデータ出力)の場合、UiSMR4レジスタのACKDビットの値がSDAi端子から出力されます。

IICM2ビットが“0”の場合、NACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDAi端子が“H”のままであると発生します。ACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDAi端子が“L”ならば発生します。

DMA1要求要因にACKiを選択すると、アクノリッジ検出によってDMA転送を起動できます。

17.1.3.8 送受信初期化

STACビットを“1”(UARTi初期化許可)にし、スタートコンディションを検出すると次のように動作します。

- 送信シフトレジスタは初期化され、UiTBレジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信を開始します。ただし、UARTi出力値はクロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。
- SWCビットが“1”(SCLウェイト出力許可)になります。これにより、クロックの9ビット目の立ち下がりでSCLi端子が“L”になります。

なお、この機能を使用しUARTiの送受信を開始した場合、TIビットは変化しません。また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

17.1.4 特殊モード2

1つのマスタから、複数のスレーブへシリアル通信できます。また、転送クロックの極性と位相を選択できます。表17.15に特殊モード2の仕様を、表17.16に特殊モード2時の使用レジスタと設定値を、図17.28に特殊モード2の通信制御例(UART2)を示します。

表17.15 特殊モード2の仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> マスタモード UiMRレジスタ(i=0~2)のCKDIRビットが“0”(内部クロック選択) : $f_j/(2(n+1))$ $f_j=f1SIO, f2SIO, f8SIO, f32SIO$ n : UiBRGレジスタ設定値 00h~FFh スレーブモード CKDIRビットが“1”(外部クロック選択) : CLKi端子からの入力
送信制御、受信制御	入出力ポートで制御
送信開始条件	送信開始には次の条件が必要(注1) <ul style="list-style-type: none"> UiC1レジスタのTEビットが“1”(送信許可) UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> UiC1レジスタのREビットが“1”(受信許可) TEビットが“1”(送信許可) TIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	送信時、次の条件のいずれかを選択可 <ul style="list-style-type: none"> UiC1レジスタのUiIRSビットが“0”(送信バッファ空) : UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) UiIRSビットが“1”(送信完了) : UARTi送信レジスタからデータ送信完了時 受信時 <ul style="list-style-type: none"> UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	クロック位相選択 転送クロックの極性と相の4つの組み合わせを選択可

注1. 外部クロックを選択している場合、UiC0レジスタのCKPOLビットが“0”(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRBレジスタは不定になります。またSiRICレジスタのIRビットは変化しません。

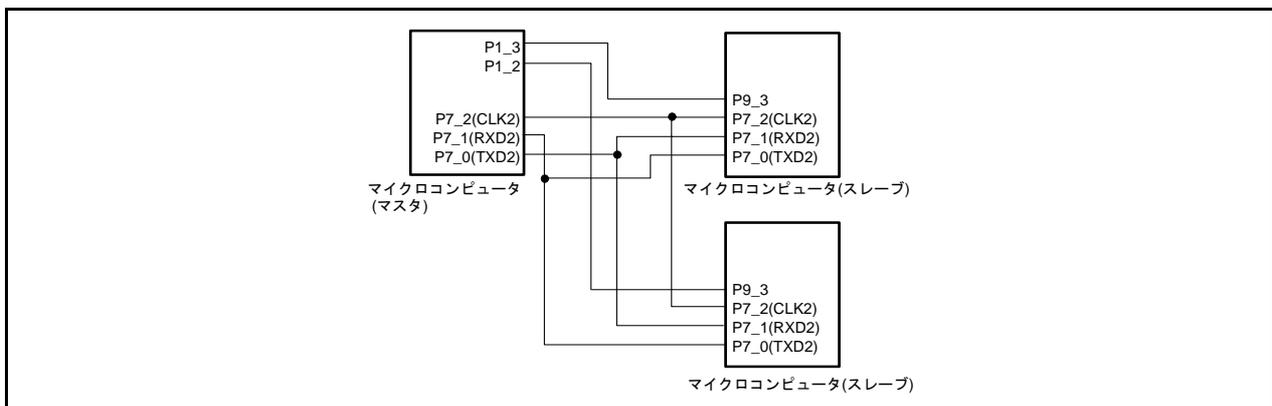


図17.28 特殊モード2の通信制御例(UART2)

表 17.16 特殊モード2時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB(注3)	0~7	送信データを設定してください
UiRB(注3)	0~7	受信データが読めます
	OER	オーバランエラーフラグ
UiBRG	0~7	ビットレートを設定してください
UiMR(注3)	SMD2~SMD0	“001b” にしてください
	CKDIR	マスタモードの場合 “0” に、スレーブモードの場合 “1” にしてください
	IOPOL	“0” にしてください
UiC0	CLK0,CLK1	UiBRGのカウントソースを選択してください
	CRS	CRD= “1” なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	TXDi端子の出力形式を選択してください(注2)
	CKPOL	UiSMR3レジスタのCKPHビットとの組み合わせでクロック位相が設定できません
	UFORM	“0” にしてください
UiC1	TE	送受信許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	U2IRS(注1)	UART2送信割り込み要因を選択してください
	U2RRM(注1)、 UiLCH、UiERE	“0” にしてください
UiSMR	0~7	“0” にしてください
UiSMR2	0~7	“0” にしてください
UiSMR3	CKPH	UiC0レジスタのCKPOLビットとの組み合わせでクロック位相が設定できません
	NODC	“0” にしてください
	0、2、4~7	“0” にしてください
UiSMR4	0~7	“0” にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	“0” にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1、RCSP、7	“0” にしてください

注1. U0C0、U1C1レジスタのビット4、5は “0” にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注2. TXD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは、何も配置されていませんので、書く場合 “0” を書いてください。

注3. この表に記載していないビットは特殊モード2時に書く場合、“0” を書いてください。

i=0~2

17.1.4.1 クロック位相設定機能

UiSMR3レジスタのCKPHビットとUiC0レジスタのCKPOLビットで転送クロックの相と極性の4つの組み合わせを選択できます。

転送クロックの極性と相は、転送を行うマスタとスレーブで同じにしてください。

図17.29にマスタ(内部クロック)の場合の送受信のタイミングを示します。

図17.30にスレーブ(外部クロック)の場合の送受信のタイミング(CKPH=0)、図17.31にスレーブ(外部クロック)の場合の送受信のタイミング(CKPH=1)を示します。

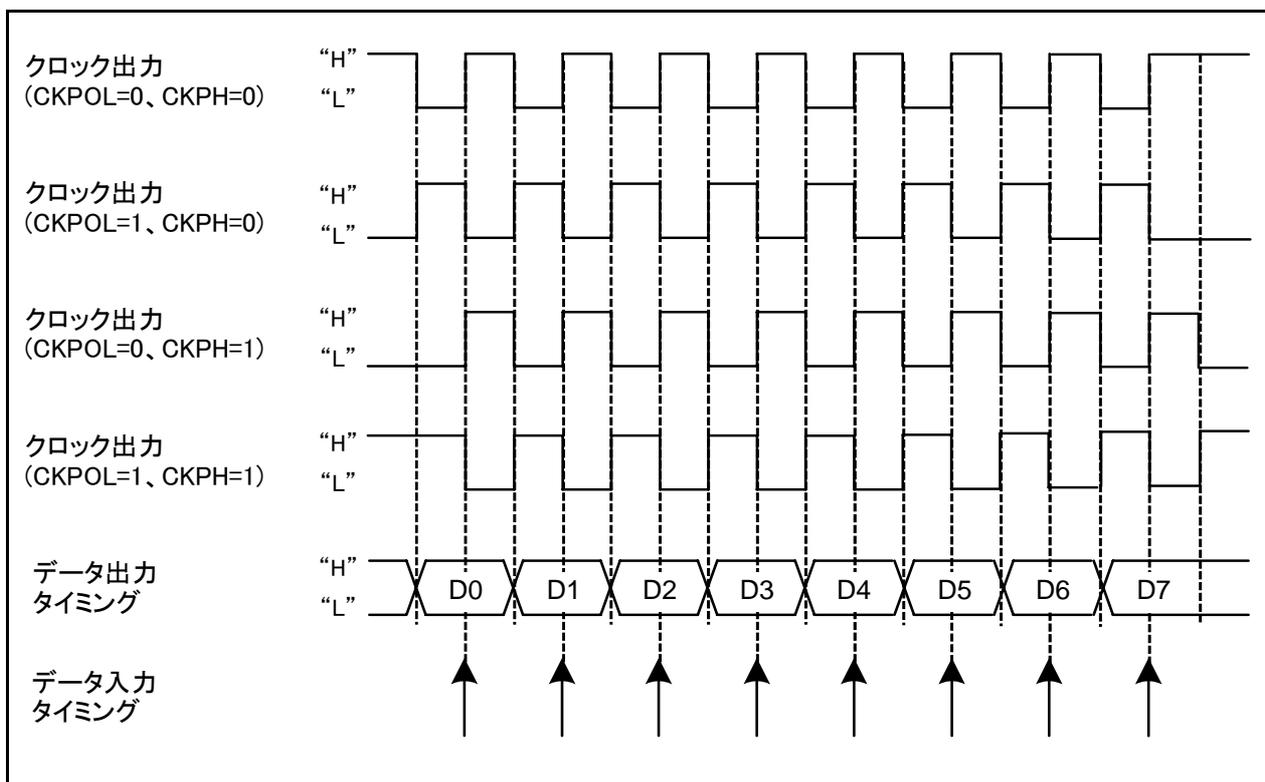


図17.29 マスタ(内部クロック)の場合の送受信のタイミング

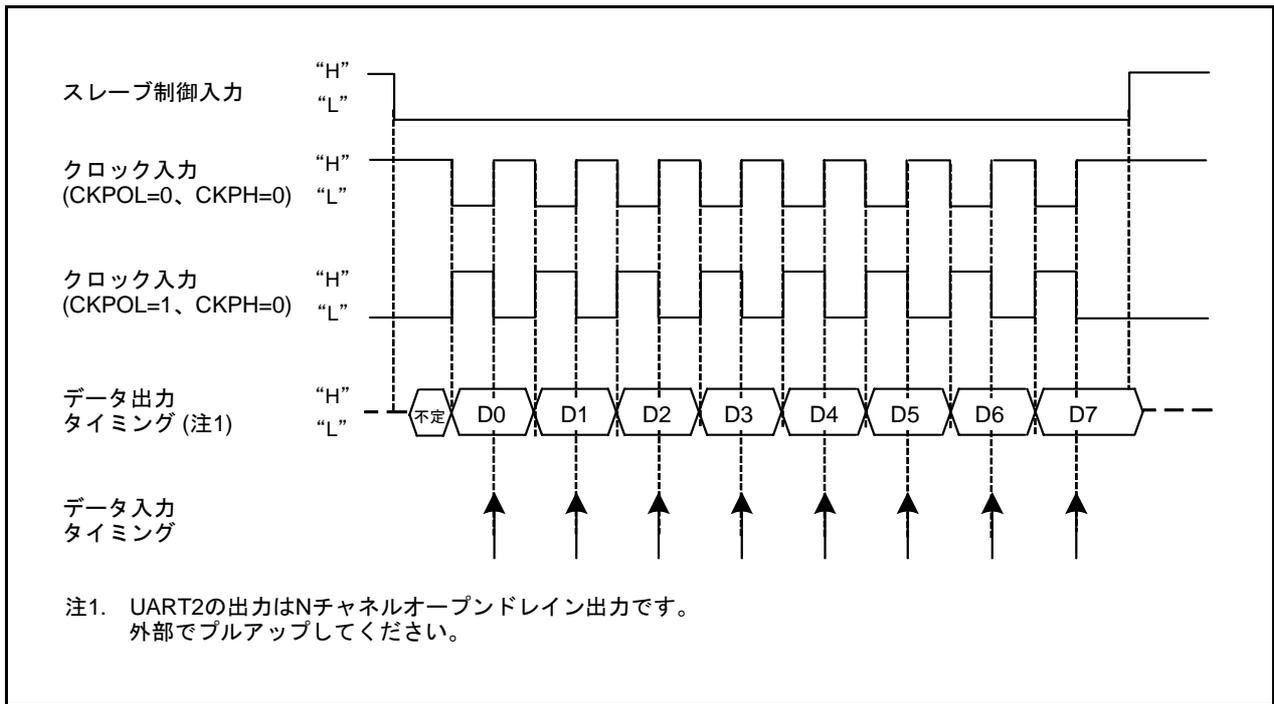


図17.30 スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=0)

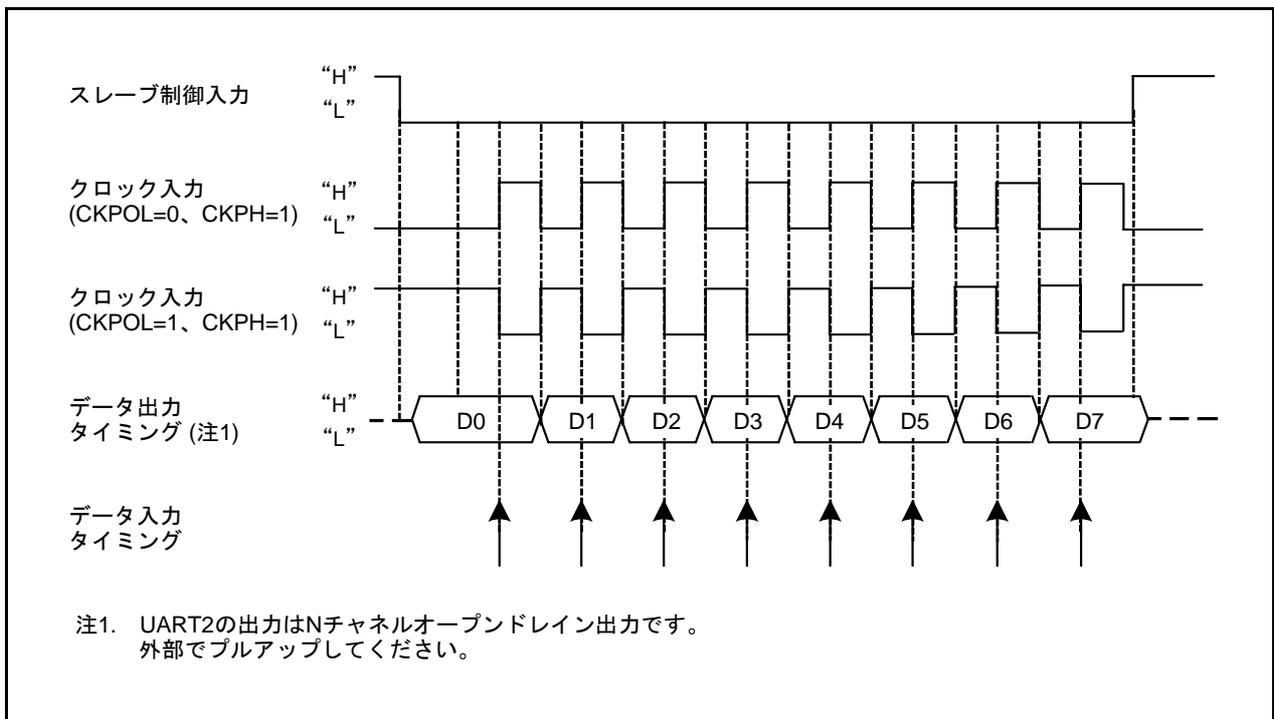


図17.31 スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=1)

17.1.5 特殊モード3(IEモード)

UARTモードの1バイトの波形でIEBusの1ビットに近似させるモードです。

表17.17にIEモード時の使用レジスタと設定値を、図17.32にバス衝突検出機能関連ビットの機能を示します。

TXDi端子(i=0~2)の出力レベルとRXDi端子の入力レベルが異なる場合、UARTiバス衝突検出割り込み要求が発生します。

UART0、UART1のバス衝突検出機能を使用する場合は、IFSR2AレジスタのIFSR26ビットとIFSR27ビットで選択してください。

表17.17 IEモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0~8	送信データを設定してください
UiRB(注3)	0~8	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0~7	ビットレートを設定してください
UiMR	SMD2~SMD0	“110b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	“0” にしてください
	PRY	PRYE=0なので無効
	PRYE	“0” にしてください
	IOPOL	TXD、RXD入出力極性を選択してください
UiC0	CLK1~CLK0	UiBRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	TXDi端子の出力形式を選択してください(注2)
	CKPOL	“0” にしてください
	UFORM	“0” にしてください
UiC1	TE	送信を許可する場合“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	U2IRS(注1)	UART2送信割り込み要因を選択してください
	U2RRM(注1)、UiLCH、UiERE	“0” にしてください
UiSMR	0~3、7	“0” にしてください
	ABSCS	バス衝突検出サンプリングタイミングを選択してください
	ACSE	送信許可ビット自動クリアを使用する場合、“1” にしてください
	SSS	送信開始条件を選択してください
UiSMR2	0~7	“0” にしてください
UiSMR3	0~7	“0” にしてください
UiSMR4	0~7	“0” にしてください
IFSR2A	IFSR26、IFSR27	“1” にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	“0” にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1、RCSP、7	“0” にしてください

注1. U0C0、U1C1レジスタのビット4、5は“0” にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注2. TXD2端子はNチャンネルオープンドレインです。U2C0レジスタのNCHビットは、何も配置されていないので、書く場合は“0”を書いてください。

注3. この表に記載していないビットはIEモード時に書く場合、“0”を書いてください。

i=0~2

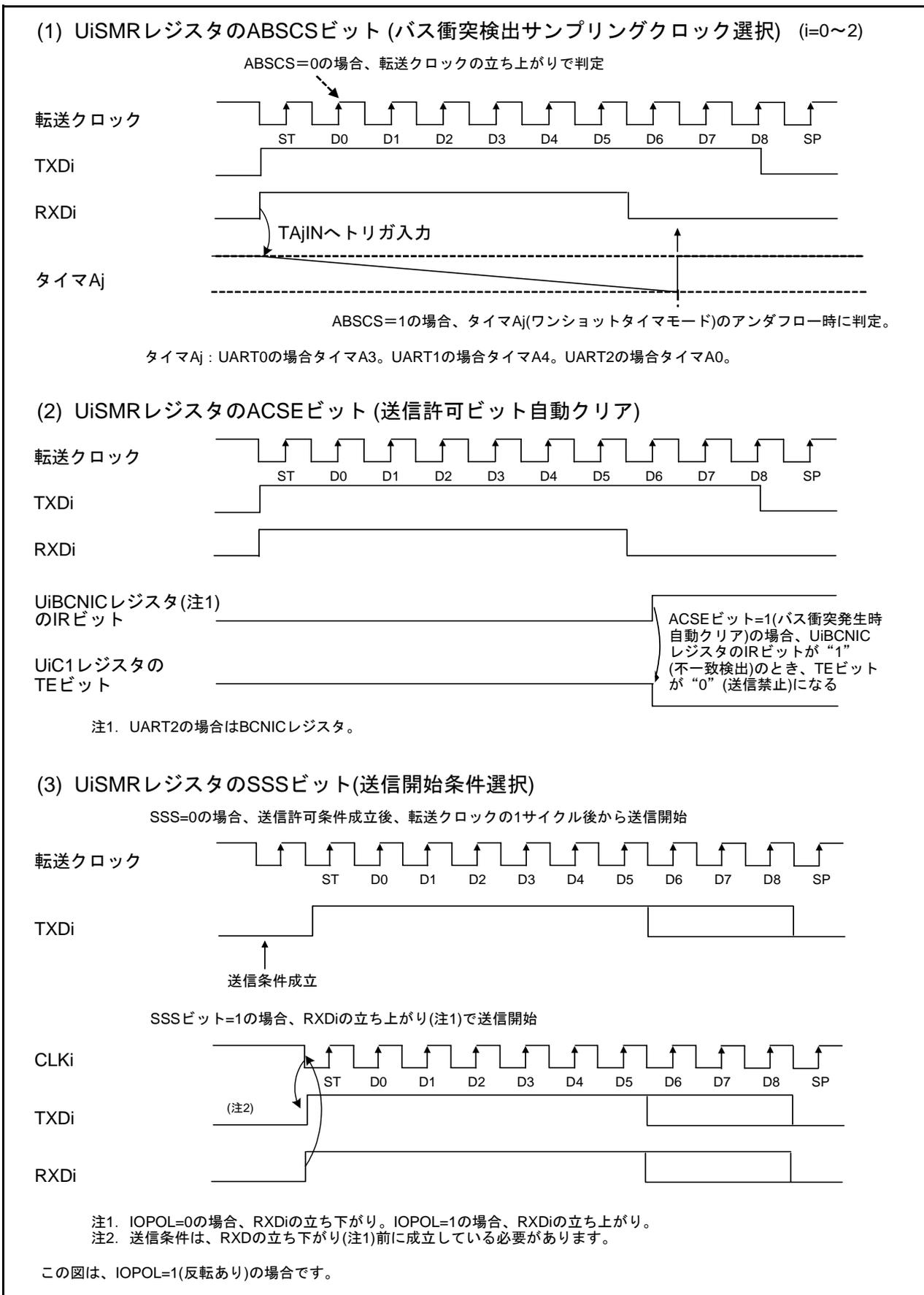


図 17.32 バス衝突検出機能関連ビットの機能

17.1.6 特殊モード4(SIMモード)(UART2)

UARTモードを使用して、SIMインタフェースに対応するモードです。ダイレクトフォーマットとインバースフォーマットが実現でき、パリティエラー検出時にはTXD2端子から“L”を出力できます。表17.18にSIMモードの仕様を、表17.19にSIMモード時の使用レジスタと設定値を示します。

表17.18 SIMモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> ダイレクトフォーマット インバースフォーマット
転送クロック	<ul style="list-style-type: none"> U2MR レジスタのCKDIR ビットが“0”(内部クロック) : $f_i/(16(n+1))$ $f_i=f1SIO, f2SIO, f8SIO, f32SIO$ $n=U2BRG$ レジスタの設定値 00h~FFh CKDIR ビットが“1”(外部クロック) : $f_{EXT}/(16(n+1))$ f_{EXT}はCLK2端子からの入力 $n=U2BRG$ レジスタの設定値 00h~FFh
送信開始条件	送信開始には、次の条件が必要 <ul style="list-style-type: none"> U2C1 レジスタのTE ビットが“1”(送信許可) U2C1 レジスタのTI ビットが“0”(U2TB レジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要 <ul style="list-style-type: none"> U2C1 レジスタのRE ビットが“1”(受信許可) スタートビットの検出
割り込み要求発生タイミング(注2)	<ul style="list-style-type: none"> 送信時 UART2送信レジスタからデータ転送完了時(U2IRS ビット=“1”) 受信時 UART2受信レジスタからU2RB レジスタへデータ転送(受信完了)時
エラー検出	<ul style="list-style-type: none"> オーバランエラー(注1) U2RB レジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 フレーミングエラー(注3) 設定した個数のストップビットが検出されなかったときに発生 パリティエラー(注3) 受信時、パリティエラーを検出すると、パリティエラー信号をTXD2端子から出力 送信時、送信割り込み発生時、RXD2端子の入力レベルによりパリティエラーを検知 エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる

注1. オーバランエラーが発生した場合、U2RBレジスタは不定になります。またS2RICレジスタのIRビットは変化しません。

注2. リセット解除後、U2C1レジスタのU2IRSビットを“1”(送信完了)、U2EREビットを“1”(エラー信号出力)にすると、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0”(割り込み要求なし)にしてください。

注3. フレーミングエラーフラグ、パリティエラーフラグの立つタイミングは、UARTi受信レジスタからUIRBレジスタにデータが転送されるときに検出されます。

表 17.19 SIMモード時の使用レジスタと設定値

レジスタ	ビット	機能
U2TB(注1)	0~7	送信データを設定してください
U2RB(注1)	0~7	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
U2BRG	0~7	ビットレートを設定してください
U2MR	SMD2~SMD0	“101b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	“0” にしてください
	PRY	ダイレクトフォーマットの場合“1”に、インバースフォーマットの場合“0”にしてください
	PRYE	“1” にしてください
	IOPOL	“0” にしてください
U2C0	CLK0,CLK1	U2BRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	“0” にしてください
	CKPOL	“0” にしてください
	UFORM	ダイレクトフォーマットの場合“0”に、インバースフォーマットの場合“1”にしてください
U2C1	TE	送信を許可する場合“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合“1”にしてください
	RI	受信完了フラグ
	U2IRS	“1” にしてください
	U2RRM	“0” にしてください
	U2LCH	ダイレクトフォーマットの場合“0”に、インバースフォーマットの場合“1”にしてください
	U2ERE	“1” にしてください
U2SMR(注1)	0~3	“0” にしてください
U2SMR2	0~7	“0” にしてください
U2SMR3	0~7	“0” にしてください
U2SMR4	0~7	“0” にしてください

注1. この表に記載していないビットはSIMモード時に書く場合、“0”を書いてください。

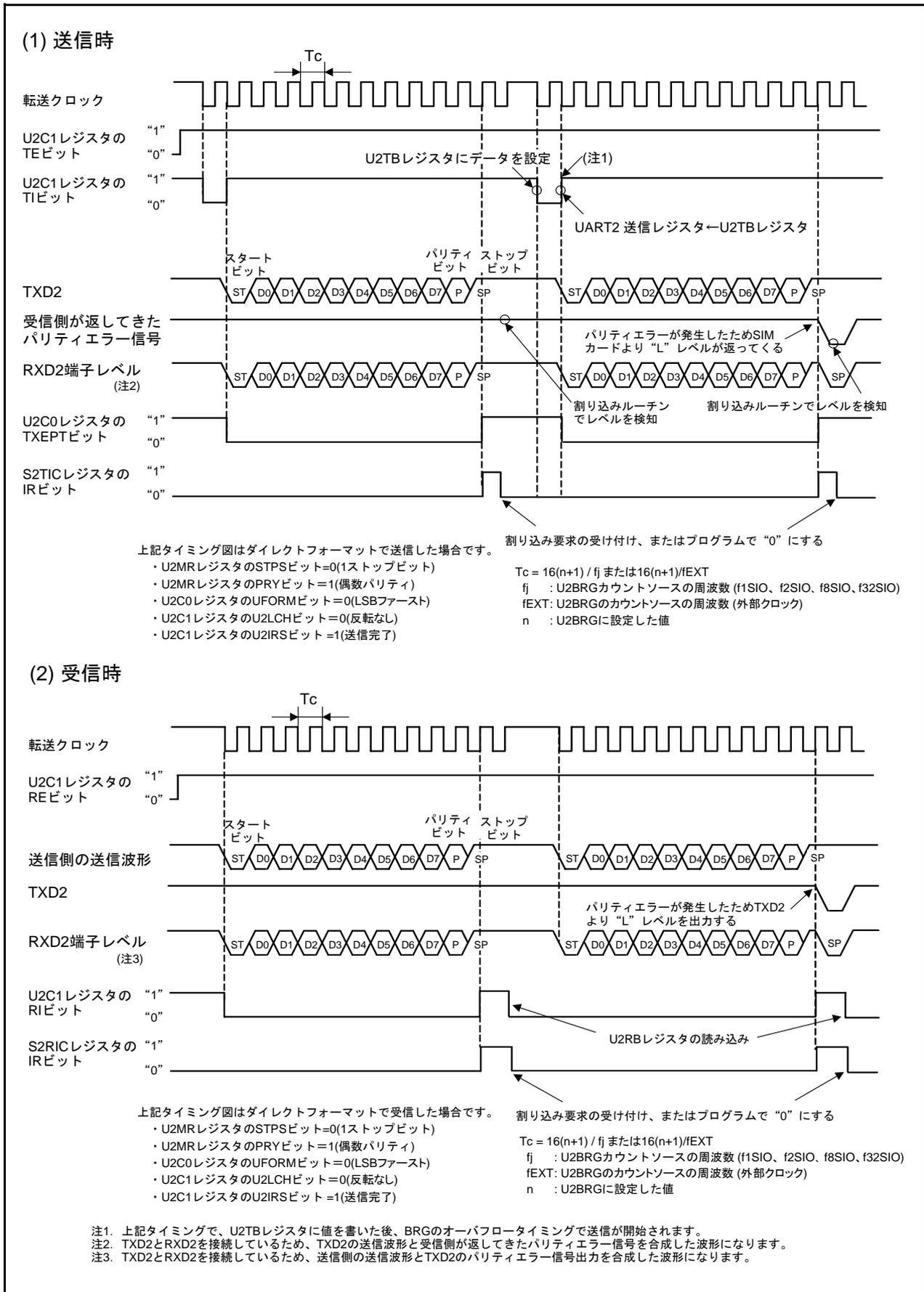


図 17.33 SIMモードの送受信タイミング例

図17.34にSIMインタフェース接続例を示します。TXD2とRXD2を接続してプルアップしてください。

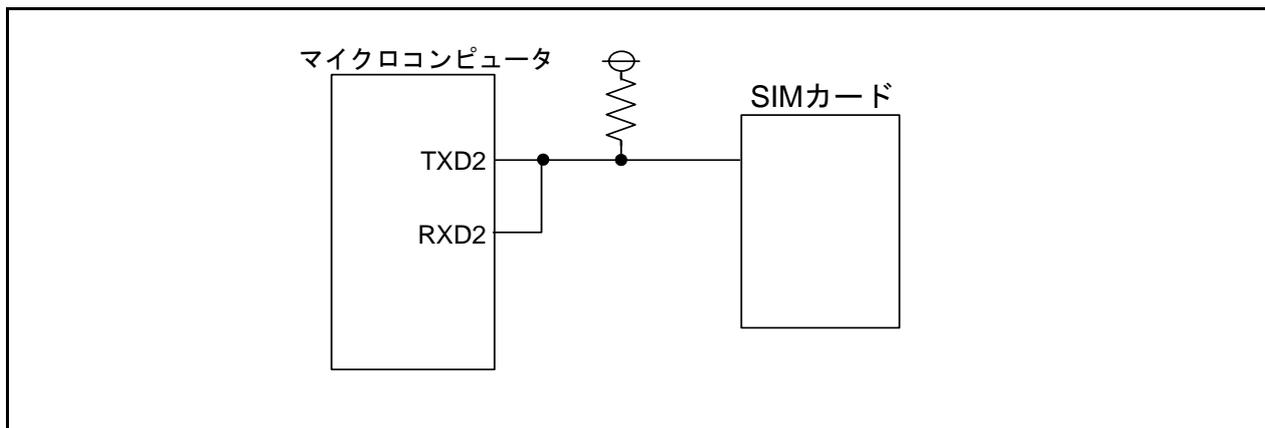


図17.34 SIMインタフェース接続例

17.1.6.1 パリティエラー信号出力機能

U2C1レジスタのU2EREビットを“1”(出力する)にすると、パリティエラー信号を使用できます。

パリティエラー信号は、受信時にパリティエラーを検出した場合に出力する信号で、図17.35に示すタイミングでTXD2出力が“L”になります。ただし、パリティエラー信号出力中にU2RBレジスタを読むと、U2RBレジスタのPERビットが“0”(パリティエラーなし)になり、同時にTXD2出力も“H”に戻ります。

送信時、送信完了割り込み要求がストップビットを出力した次の転送クロックの立ち下がりで発生します。したがって、送信完了割り込みルーチンで、RXD2と端子を共用するポートを読むと、パリティエラー信号が返されたかどうか判定できます。

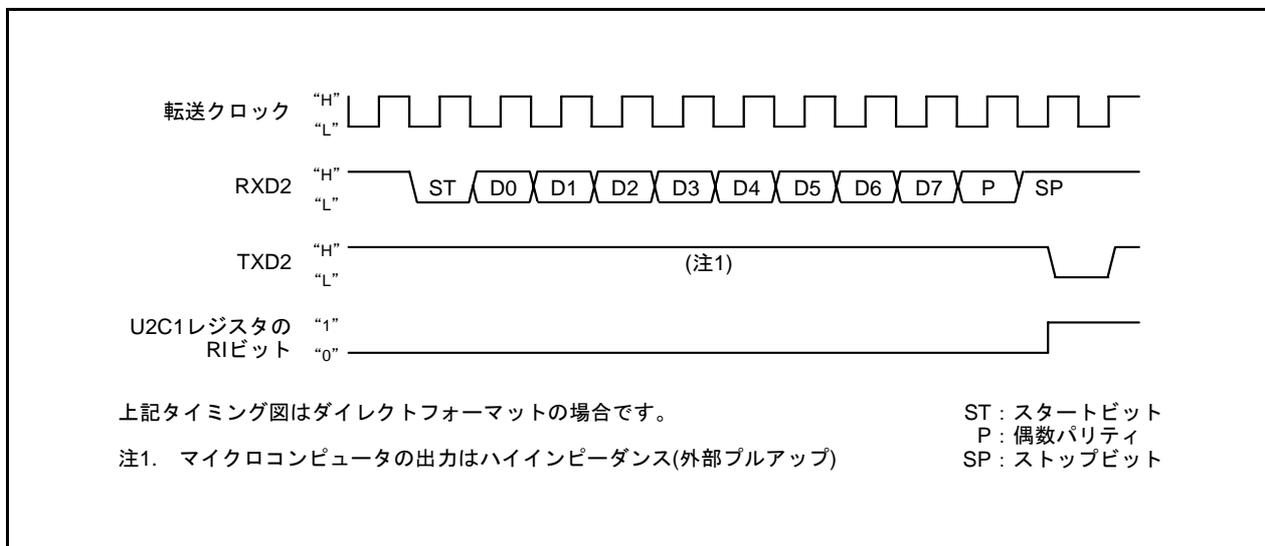


図17.35 パリティエラー信号出力タイミング

17.1.6.2 フォーマット

フォーマットには、ダイレクトフォーマットとインバースフォーマットがあります。

ダイレクトフォーマットの場合、U2MRレジスタのPRYEビットを“1”(パリティ許可)、PRYビットを“1”(偶数パリティ)、U2C0レジスタのUFORMビットを“0”(LSBファースト)、U2C1レジスタのU2LCHビットを“0”(反転なし)にしてください。送信時、U2TBレジスタに設定したデータをD0から順に、偶数パリティを付加して送信します。受信時、受け取ったデータをD0から順にU2RBレジスタに格納します。偶数パリティでパリティエラーを判定します。

インバースフォーマットの場合、PRYEビットを“1”、PRYビットを“0”(奇数パリティ)、UFORMビットを“1”(MSBファースト)、U2LCHビットを“1”(反転あり)にしてください。送信時、U2TBレジスタに設定した値の論理反転したデータをD7から順に、奇数パリティを付加して送信します。受信時、受け取ったデータを論理反転して、D7から順にU2RBレジスタに格納します。奇数パリティで、パリティエラーを判定します。

図17.36にSIMインタフェースフォーマットを示します。

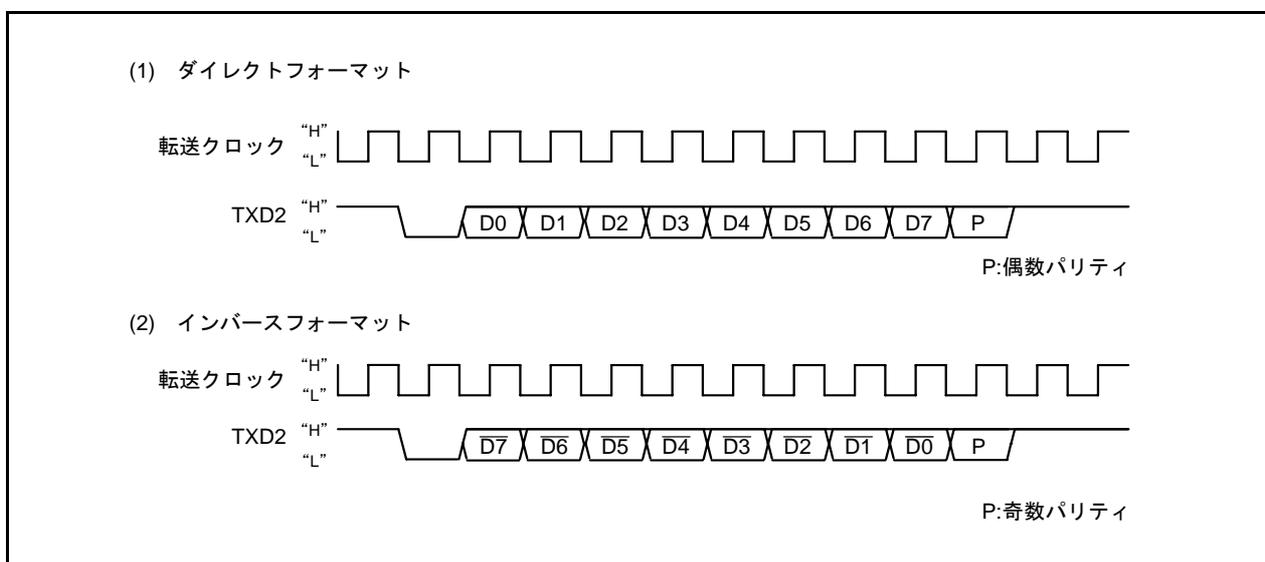


図17.36 SIMインタフェースフォーマット

17.2 SI/O3、SI/O4

SI/O3、SI/O4は、クロック同期形専用シリアルI/Oです。

注意

M16C/62P(80ピン版)、M16C/62PT(80ピン版)は、SI/O3のSIN3端子がありません。SI/O3は送信専用です。受信はできません。

図17.37にSI/O3、SI/O4ブロック図、図17.38にSI/O3、SI/O4関連レジスタを示します。
表17.20にSI/O3、SI/O4の仕様を示します。

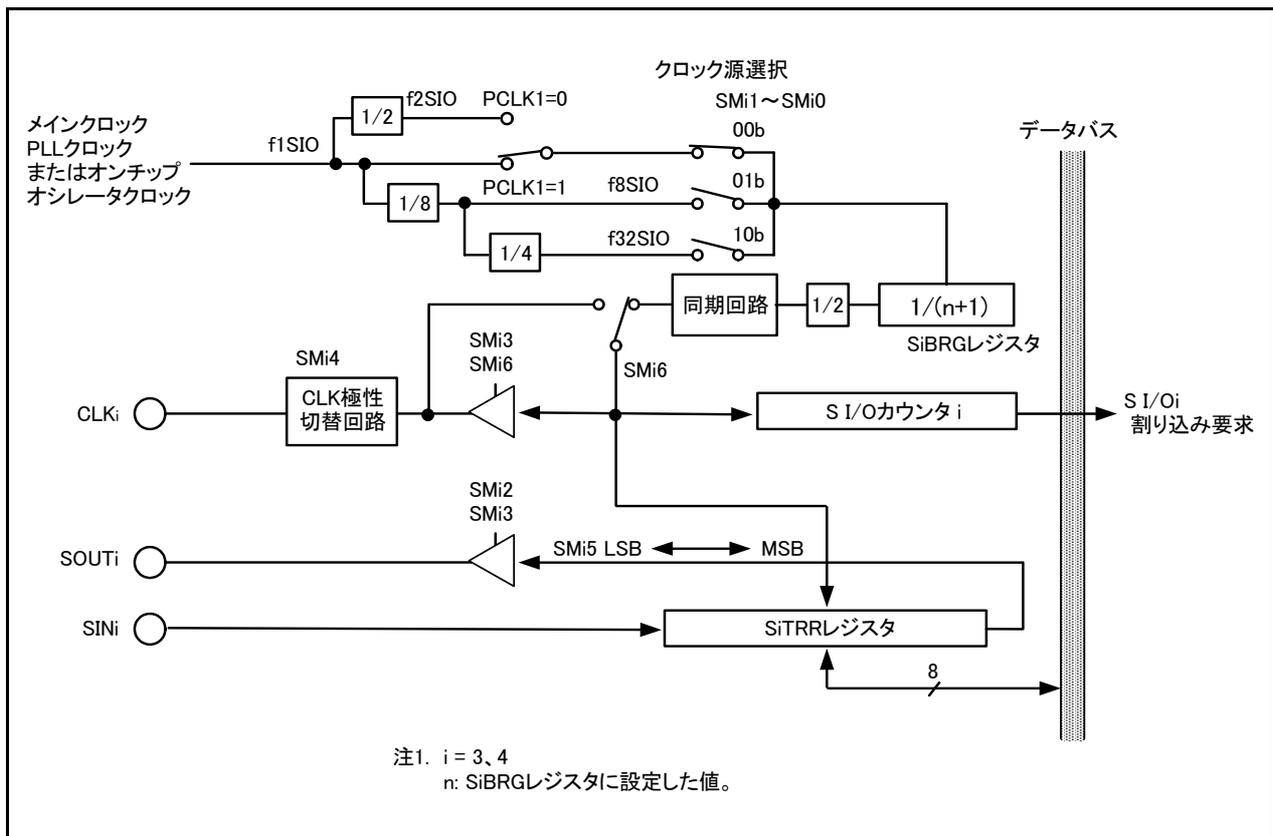


図17.37 SI/O3、SI/O4ブロック図

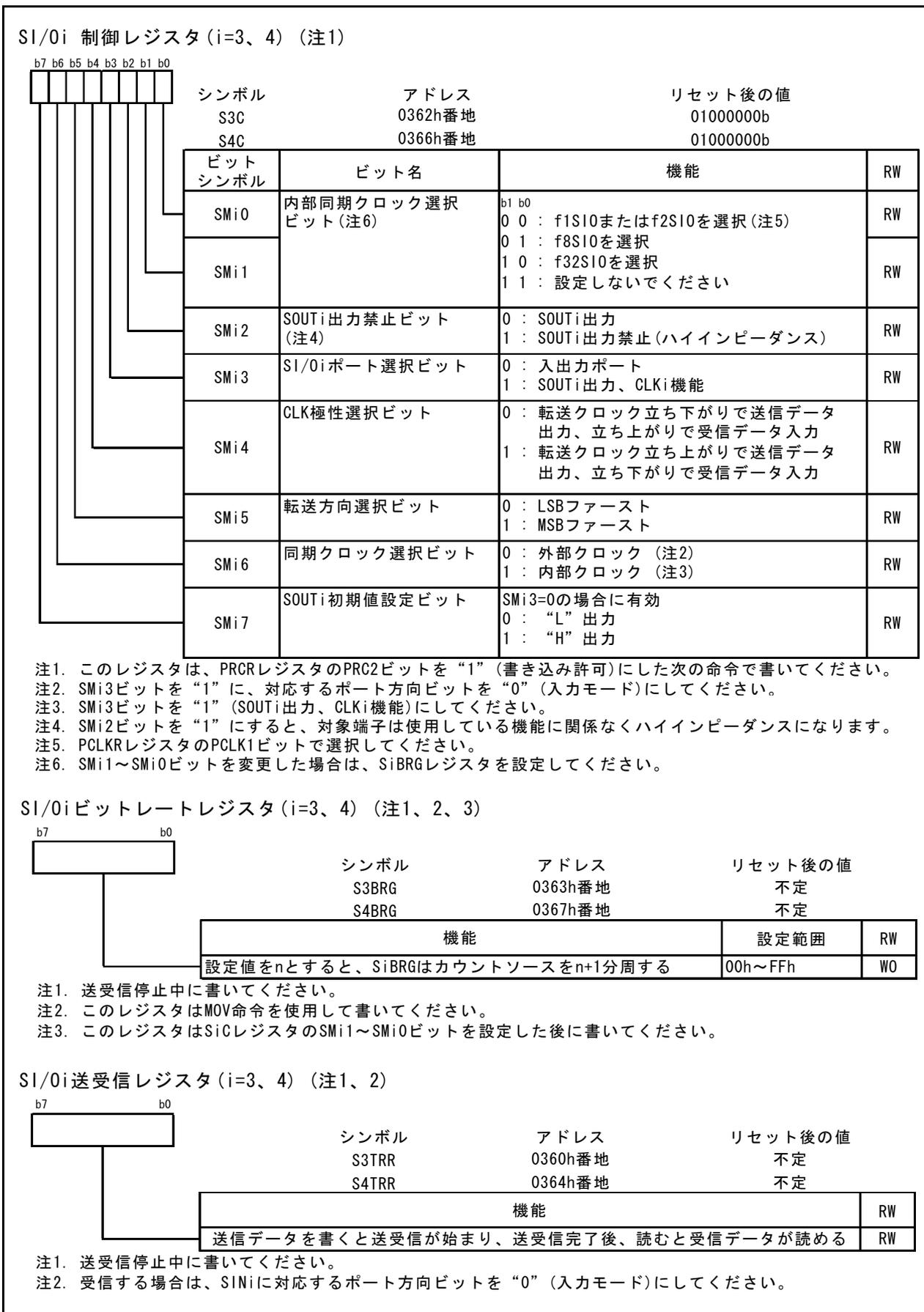


図17.38 S3C、S4C、S3BRG、S4BRG、S3TRR、S4TRRレジスタ

表17.20 SI/O3、SI/O4の仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> •SiCレジスタ(i=3、4)のSMi6ビットが“1”(内部クロック): $f_j/(2(n+1))$ $f_j=f1SIO、f8SIO、f32SIO$ $n=SiBRG$レジスタの設定値 00h~FFh •SMi6ビットが“0”(外部クロック): CLKi端子から入力(注1)
送受信開始条件	送信開始には、次の条件が必要 SiTRRレジスタに送信データを書く(注2、3)
割り込み要求発生タイミング	<ul style="list-style-type: none"> •SiCレジスタのSMi4ビットが“0”の場合 最後の転送クロックの立ち上がり(注4) •SMi4ビットが“1”の場合 最後の転送クロックの立ち下がり(注4)
CLKi端子機能	入出力ポート、転送クロック入力、転送クロック出力
SOUTi端子機能	入出力ポート、送信データ出力、ハイインピーダンス
SINi端子機能	入出力ポート、受信データ入力
選択機能	<ul style="list-style-type: none"> •LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 •SOUTi初期値設定機能 SiCレジスタのSMi6ビットが“0”(外部クロック)の場合、送信していないときのSOUTi端子出力レベルを選択可 •CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可

注1. SiCレジスタのSMi6ビットを“0”(外部クロック)にする場合は、次のようにしてください。

- SiCレジスタのSMi4ビットが“0”の場合、CLKi端子に“H”が入力されている状態でSiTRRレジスタに送信データを書いてください。SiCレジスタのSMi7ビットを書き換える場合も同様です。
- SMi4ビットが“1”の場合、CLKi端子に“L”が入力されている状態でSiTRRレジスタに送信データを書いてください。SMi7ビットを書き換える場合も同様です。
- 転送クロックがS I/Oi回路に入力されている間はシフト動作をし続けますので、転送クロックは8回で止めてください。SMi6ビットが“1”(内部クロック)の場合、転送クロックは自動的に停止します。

注2. SI/Oi(i=3~4)は、UART0~UART2と違い、転送のためのレジスタとバッファに分かれていません。したがって、送信中に次の送信データをSiTRRレジスタに書かないでください。

注3. SiCレジスタのSMi6ビットが“1”(内部クロック)のとき、転送終了後SOUTiは、1/2転送クロック間、最終データを保持し、ハイインピーダンス状態になります。しかし、この間に送信データをSiTRRレジスタに書いた場合、書いたときからハイインピーダンス状態になり、データのホールド時間が短くなります。

注4. SiCレジスタのSMi6ビットが“1”(内部クロック)のとき、転送クロックは、SMi4ビットが“0”の場合は“H”の状態では停止し、SMi4ビットが“1”の場合は“L”で停止します。

17.2.1 SI/Oi動作タイミング

図17.39にSI/Oi動作タイミング図を示します。

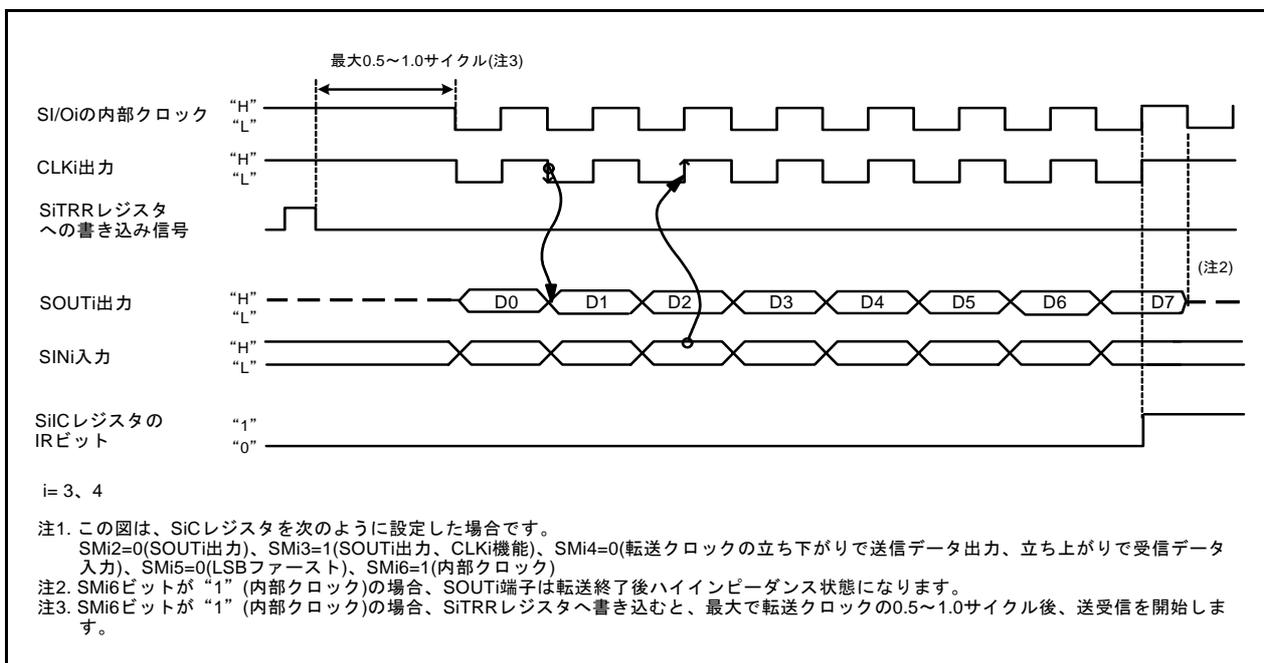


図17.39 SI/Oi動作タイミング図

17.2.2 CLK極性選択

SiCレジスタのSMi4ビットで転送クロックの極性を選択できます。図17.40に転送クロックの極性を示します。

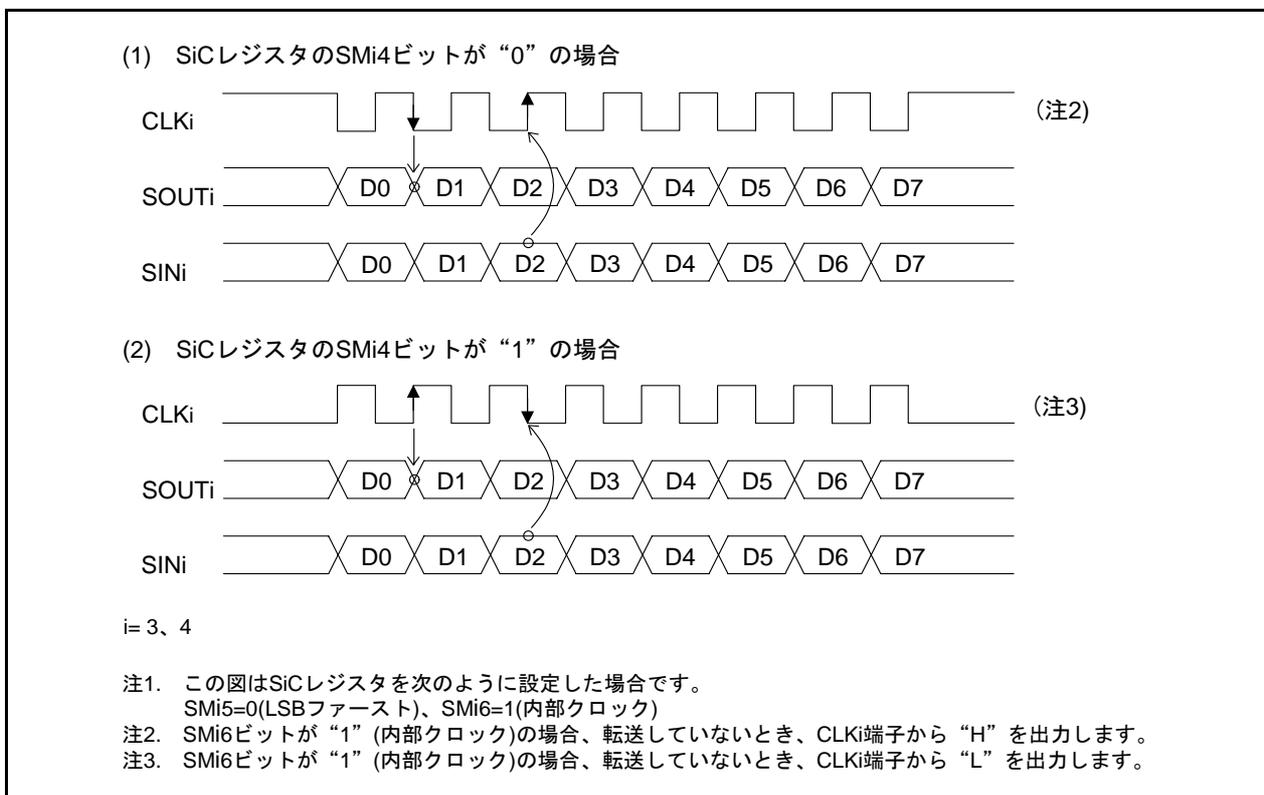


図17.40 転送クロックの極性

17.2.3 SOUTi初期値設定機能

SiCレジスタのSMi6ビットが“0”(外部クロック)の場合、転送していないときのSOUTi端子の出力を“H”または“L”のどちらかに設定できます。ただし、連続してデータを送信する場合、データとデータの間は、前のデータの最終ビットの値を保持します。図17.41にSOUTi初期値設定時のタイミング図、設定方法を示します。

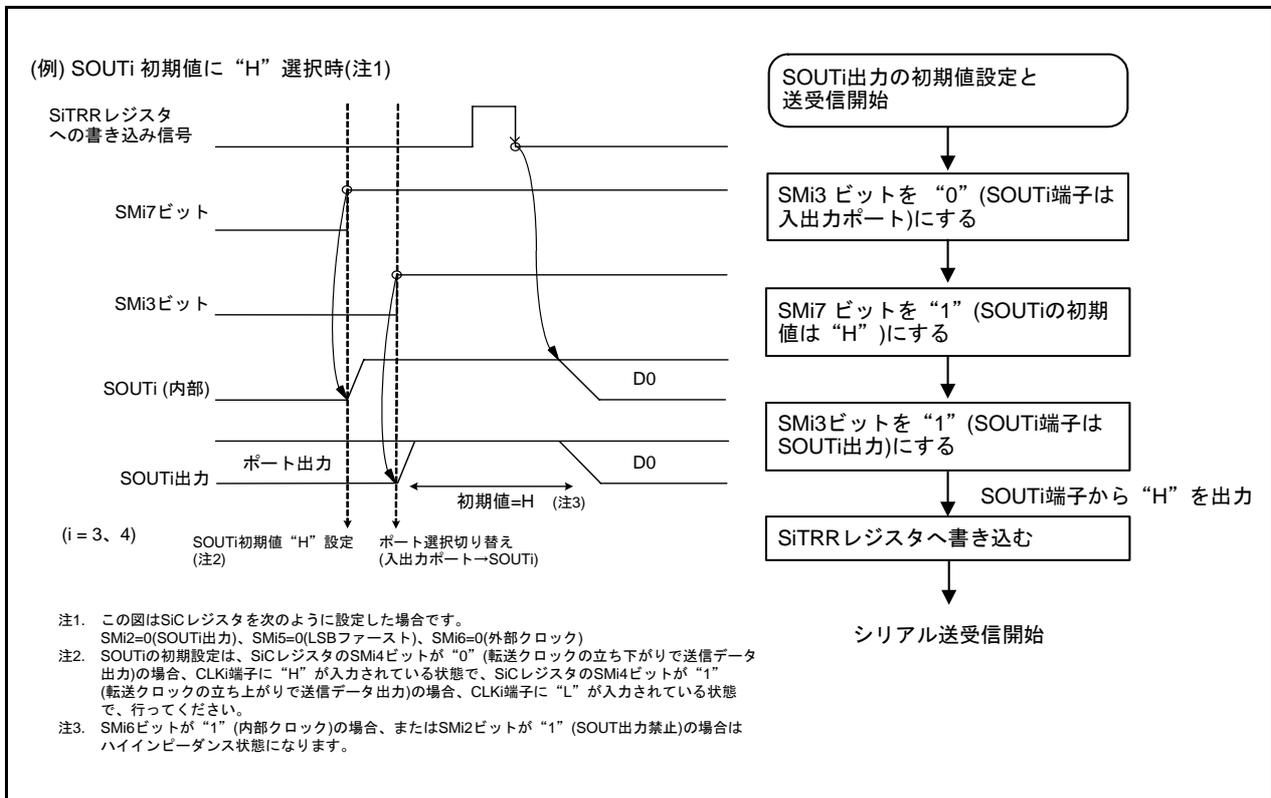


図17.41 SOUTi初期値設定時のタイミング図、設定方法

18. A/Dコンバータ

容量結合増幅器で構成された10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。アナログ入力は、P10_0～P10_7、P9_5、P9_6、P0_0～P0_7、P2_0～P2_7と端子を共用しています。また、ADTRG入力はP9_7と端子を共用しています。したがって、これらの入力を使用する場合、対応するポート方向ビットは“0”（入力モード）にしてください。

A/Dコンバータを使用しない場合、VCUTビットを“0”（Vref未接続）にすると、VREF端子からラダー抵抗には電流が流れなくなり、消費電力を少なくできます。

A/D変換した結果は、AN_i、AN0_i、AN2_i端子(i=0～7)に対応したAD_iレジスタに格納されます。

表18.1にA/Dコンバータの仕様、図18.1にA/Dコンバータのブロック図、図18.2～図18.3にA/Dコンバータ関連レジスタを示します。

表18.1 A/Dコンバータの仕様

項目	仕様
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V～AVCC(VCC1)
動作クロックφAD(注2)	fAD、fADの2分周、fADの3分周、fADの4分周、fADの6分周、またはfADの12分周
分解能	8ビットまたは10ビット
積分非直線性誤差	AVCC=VREF=5V <ul style="list-style-type: none"> •分解能8ビットの場合 ±2LSB •分解能10ビット AN0～AN7、AN0_0～AN0_7、AN2_0～AN2_7入力の場合 ±3LSB ANEX0、ANEX1入力の場合(外部オペアンプ接続モード含む) ±7LSB AVCC=VREF=3.3V <ul style="list-style-type: none"> •分解能8ビットの場合 ±2LSB •分解能10ビット AN0～AN7、AN0_0～AN0_7、AN2_0～AN2_7入力の場合 ±5LSB ANEX0、ANEX1入力の場合(外部オペアンプ接続モード含む) ±7LSB
動作モード	単発モード、繰り返しモード、単掃引モード、繰り返し掃引モード0、繰り返し掃引モード1
アナログ入力端子(注3)	8本(AN0～AN7)+2本(ANEX0、ANEX1)+8本(AN0_0～AN0_7)+8本(AN2_0～AN2_7)
A/D変換開始条件	<ul style="list-style-type: none"> •ソフトウェアトリガ ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする •外部トリガ(再トリガ可能) ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化
1端子あたりの変換速度	<ul style="list-style-type: none"> •サンプル&ホールドなし 分解能8ビットの場合49φADサイクル 分解能10ビットの場合59φADサイクル •サンプル&ホールドあり 分解能8ビットの場合28φADサイクル 分解能10ビットの場合33φADサイクル

注1. サンプル&ホールド機能の有無に影響されません。

注2. φADの周波数は12MHz以下にしてください。また、VCC1が4.0V未満の場合は、fADを分周し、φADの周波数は10MHz以下にしてください。

サンプル&ホールドなしの場合、φADの周波数は250kHz以上にしてください。

サンプル&ホールドありの場合、φADの周波数は1MHz以上にしてください。

注3. VCC2<VCC1の場合、AN0_0～AN0_7、AN2_0～AN2_7はアナログ入力端子として使用しないでください。

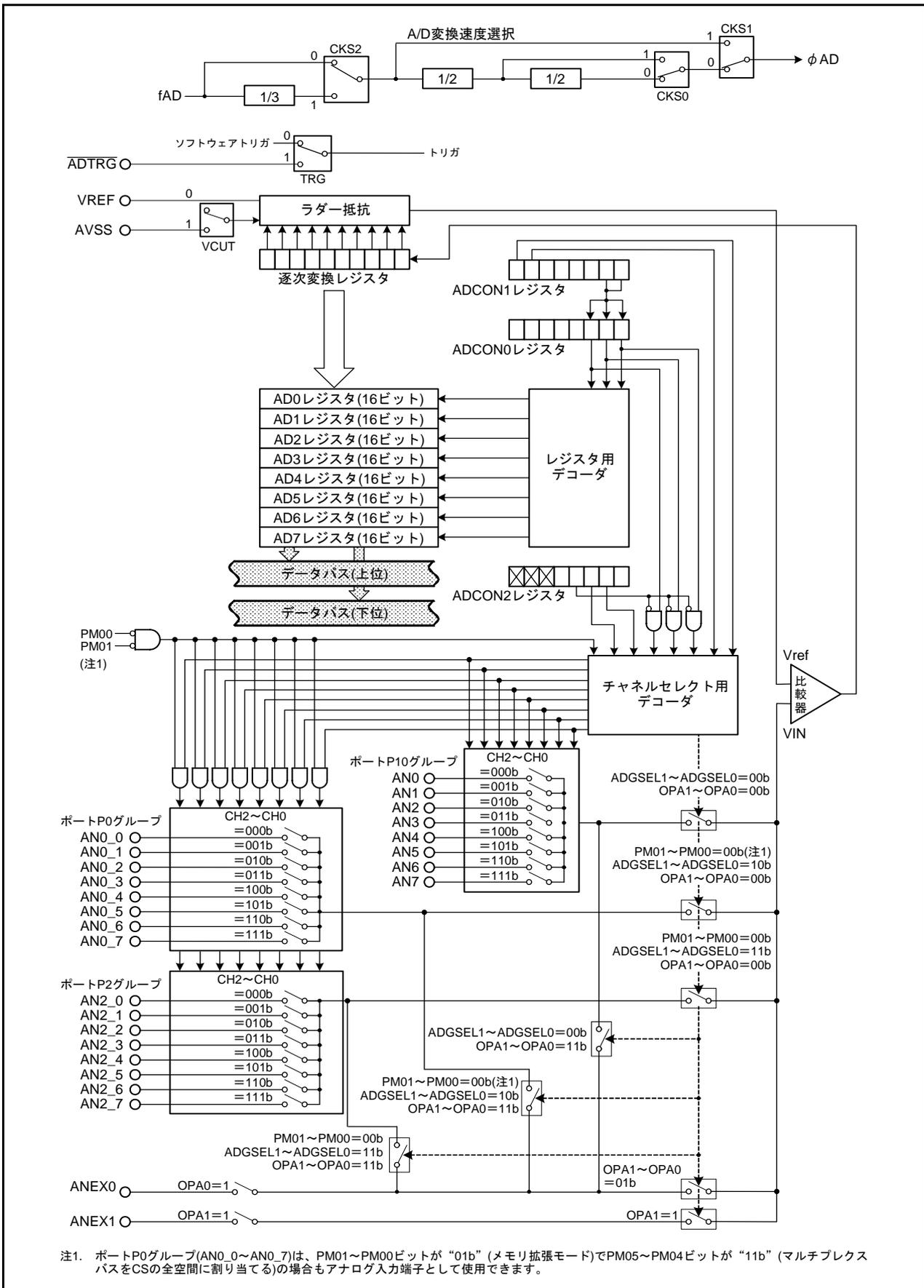


図 18.1 A/Dコンバータのブロック図

A/D制御レジスタ0(注1)

シンボル ADCON0		アドレス 03D6h番地	リセット後の値 0000XXXb	
ビット シンボル	ビット名	機能		RW
CH0	アナログ入力端子選択ビット	動作モードによって機能が異なる		RW
CH1				RW
CH2				RW
MD0	A/D動作モード選択ビット0	b4 b3 0 0 : 単発モード 0 1 : 繰り返しモード 1 0 : 単掃引モード 1 1 : 繰り返し掃引モード0 または繰り返し掃引モード1	RW	
MD1			RW	
TRG	トリガ選択ビット	0 : ソフトウェアトリガ 1 : ADTRGによるトリガ		RW
ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始		RW
CKS0	周波数選択ビット0	ADCON2レジスタの注3を参照してください		RW

注1. A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

A/D制御レジスタ1(注1)

シンボル ADCON1		アドレス 03D7h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能		RW
SCAN0	A/D掃引端子選択ビット	動作モードによって機能が異なる		RW
SCAN1				RW
MD2	A/D動作モード選択ビット1	0 : 繰り返し掃引モード1以外 1 : 繰り返し掃引モード1		RW
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード		RW
CKS1	周波数選択ビット1	ADCON2レジスタの注3を参照してください		RW
VCUT	Vref接続ビット(注2)	0 : Vref未接続 1 : Vref接続		RW
OPA0	外部オペアンプ接続モード ビット	動作モードによって機能が異なる		RW
OPA1				RW

注1. A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定となります。

注2. VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

図18.2 ADCON0～ADCON1レジスタ

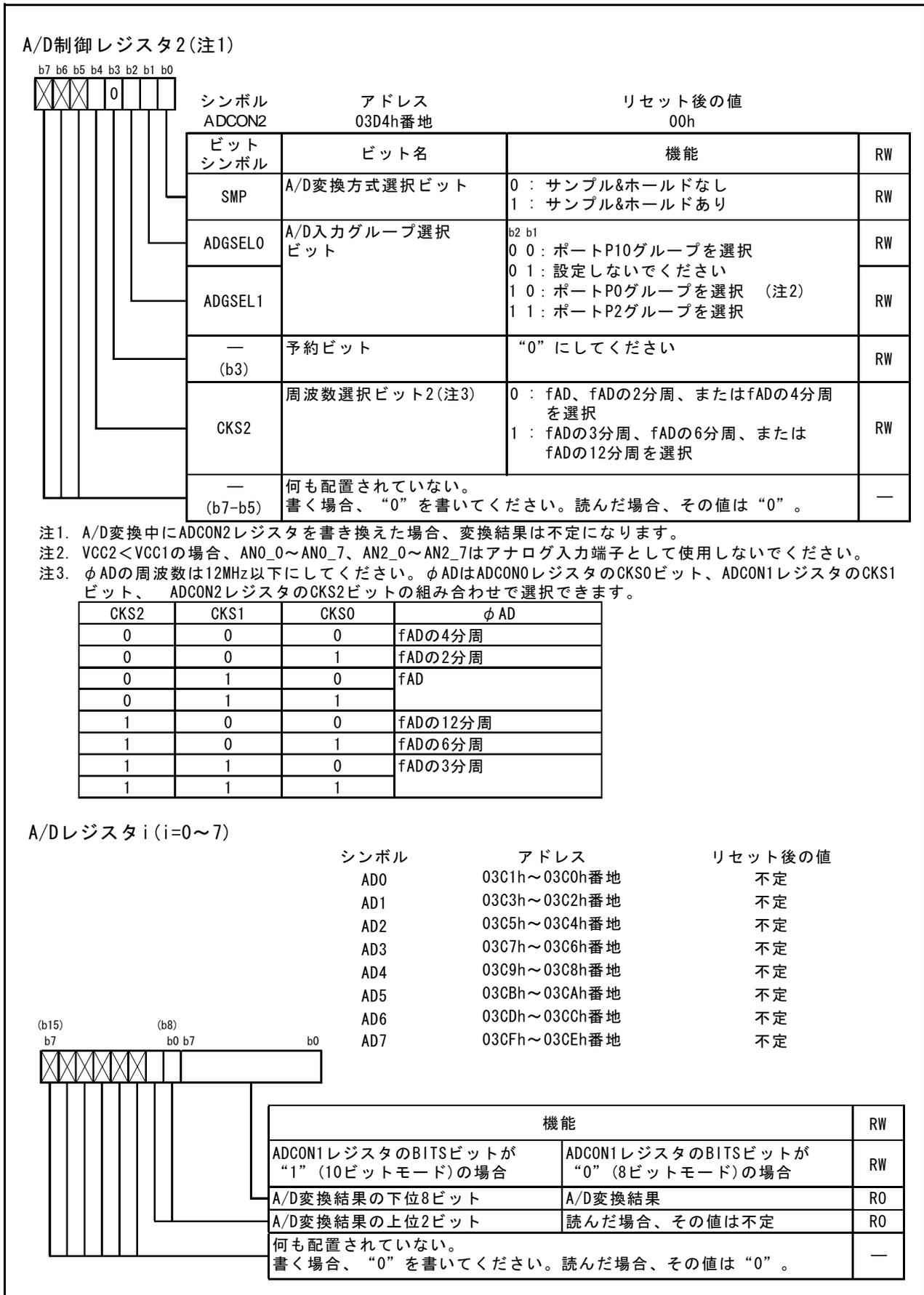


図18.3 ADCON2、AD0~AD7レジスタ

18.1 モードの説明

18.1.1 単発モード

選択した1本の端子の入力電圧を1回A/D変換するモードです。表18.2に単発モードの仕様、図18.4に単発モード時のADCON0～ADCON1レジスタを示します。

表18.2 単発モードの仕様

項目	仕様
機能	ADCON0レジスタのCH2～CH0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビット、またはADCON1レジスタのOPA1～OPA0ビットで選択した1本の端子の入力電圧を1回A/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> •ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする •TRGビットが“1”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化
A/D変換停止条件	<ul style="list-style-type: none"> •A/D変換終了(ソフトウェアトリガを選択している場合、ADSTビットは“0”(A/D変換停止)になる) •ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子(注1)	AN0～AN7、AN0_0～AN0_7、AN2_0～AN2_7、ANEX0～ANEX1から1端子を選択
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

注1. VCC2 < VCC1の場合、AN0_0～AN0_7、AN2_0～AN2_7はアナログ入力端子として使用しないでください。

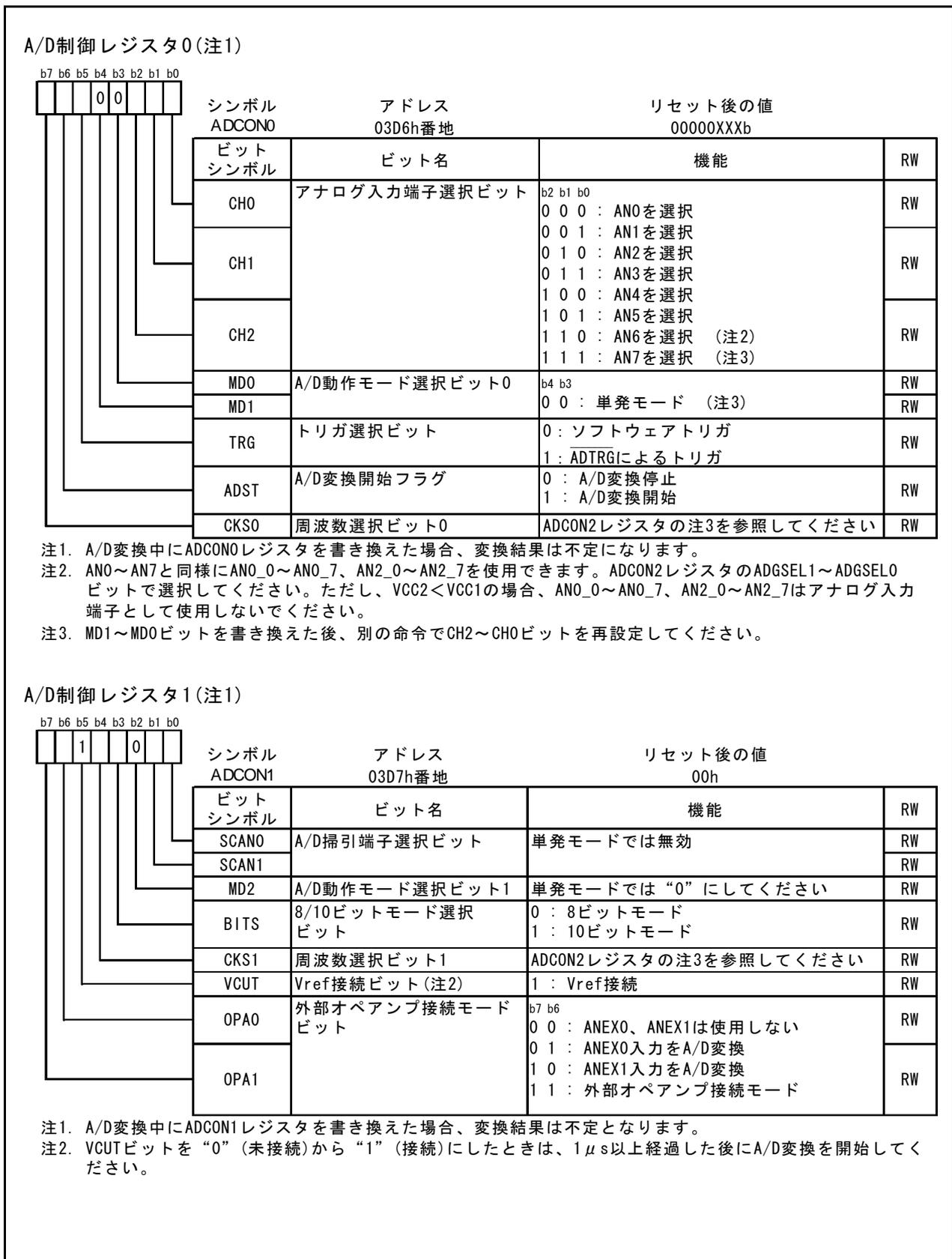


図18.4 単発モード時のADCON0~ADCON1レジスタ

18.1.2 繰り返しモード

選択した1本の端子の入力電圧を繰り返しA/D変換するモードです。表18.3に繰り返しモードの様、図18.5に繰り返しモード時のADCON0～ADCON1レジスタを示します。

表18.3 繰り返しモードの様

項目	仕様
機能	ADCON0レジスタのCH2～CH0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビット、またはADCON1レジスタのOPA1～OPA0ビットで選択した1本の端子の入力電圧を繰り返しA/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> •ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする •TRGビットが“1”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化
A/D変換停止条件	ADSTビットを“0”(A/D変換停止)にする
割り込み要求発生タイミング	割り込み要求は発生しない
アナログ入力端子(注1)	AN0～AN7、AN0_0～AN0_7、AN2_0～AN2_7、ANEX0～ANEX1から1端子を選択
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

注1. VCC2 < VCC1の場合、AN0_0～AN0_7、AN2_0～AN2_7はアナログ入力端子として使用しないでください。

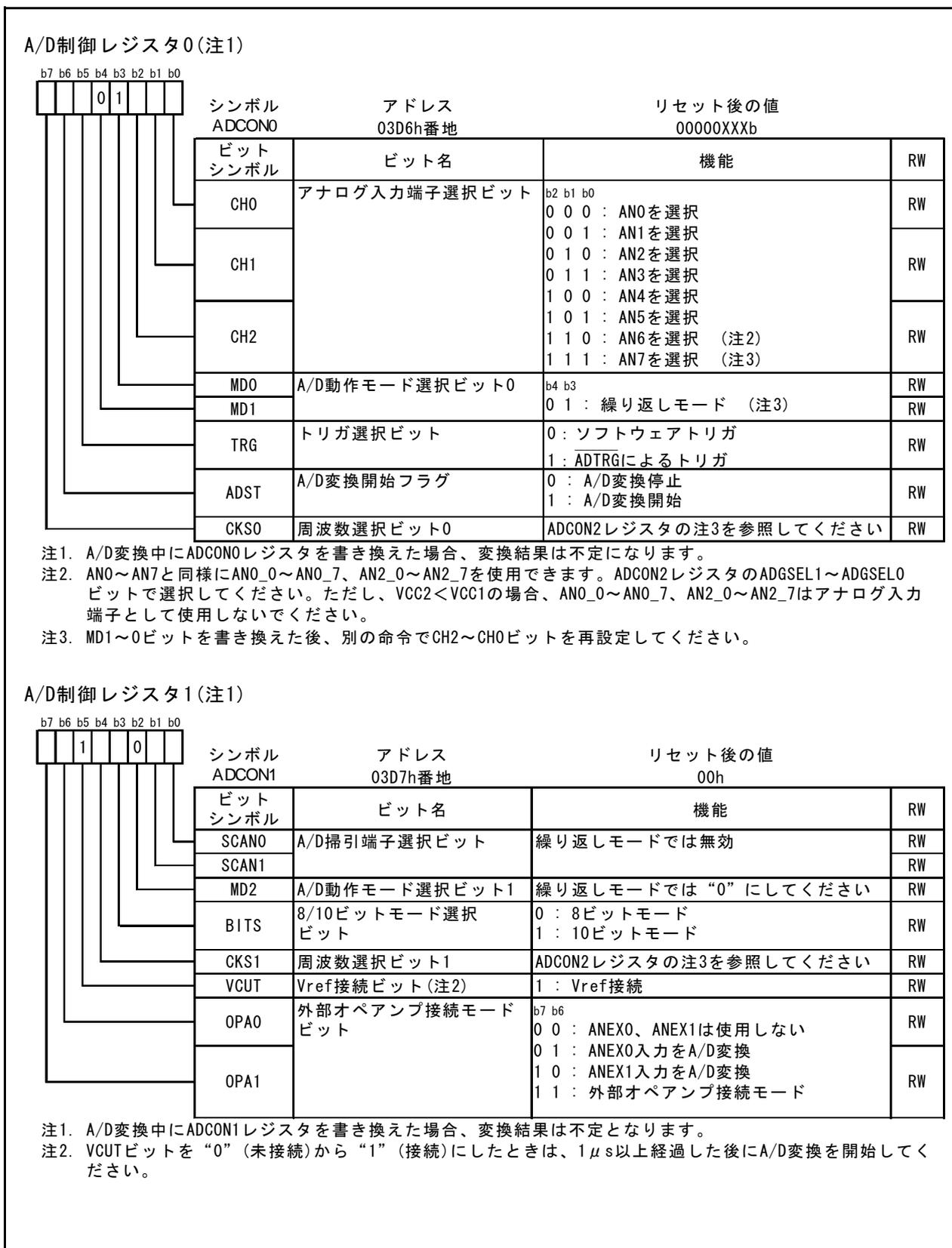


図18.5 繰り返しモード時のADCON0~ADCON1レジスタ

18.1.3 単掃引モード

選択した端子の入力電圧を1回ずつA/D変換するモードです。表18.4に単掃引モードの仕様、図18.6に単掃引モード時のADCON0～ADCON1レジスタを示します。

表18.4 単掃引モードの仕様

項目	仕様
機能	ADCON1レジスタのSCAN1～SCAN0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビットで選択した端子の入力電圧を1回ずつA/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> •ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする •TRGビットが“1”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化
A/D変換停止条件	<ul style="list-style-type: none"> •A/D変換終了(ソフトウェアトリガを選択している場合、ADSTビットは“0”(A/D変換停止)になる) •ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN0～AN1(2端子)、AN0～AN3(4端子)、AN0～AN5(6端子)、AN0～AN7(8端子)から選択(注1)
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

注1. AN0～AN7と同様にAN0_0～AN0_7、AN2_0～AN2_7を使用できます。ただし、VCC2 < VCC1の場合、AN0_0～AN0_7、AN2_0～AN2_7はアナログ入力端子として使用しないでください。

A/D制御レジスタ0(注1)			
シンボル ADCON0	アドレス 03D6h番地	リセット後の値 00000XXXb	
ビット シンボル	ビット名	機能	RW
CH0	アナログ入力端子選択ビット	単掃引モードでは無効	RW
CH1			RW
CH2			RW
MDO	A/D動作モード選択ビット0	b4 b3 1 0 : 単掃引モード	RW
MD1			RW
TRG	トリガ選択ビット	0 : ソフトウェアトリガ 1 : ADTRGによるトリガ	RW
ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	RW
CKS0	周波数選択ビット0	ADCON2レジスタの注3を参照してください	RW
注1. A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。			
A/D制御レジスタ1(注1)			
シンボル ADCON1	アドレス 03D7h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
SCAN0	A/D掃引端子選択ビット	単掃引モードを選択している場合 b1 b0 0 0 : AN0~AN1(2端子) 0 1 : AN0~AN3(4端子) 1 0 : AN0~AN5(6端子) 1 1 : AN0~AN7(8端子) (注2)	RW
SCAN1			RW
MD2	A/D動作モード選択ビット1	単発モードでは“0”にしてください	RW
BITS	8/10ビットモード選択 ビット	0 : 8ビットモード 1 : 10ビットモード	RW
CKS1	周波数選択ビット1	ADCON2レジスタの注3を参照してください	RW
VCUT	Vref接続ビット(注3)	1 : Vref接続	RW
OPA0	外部オペアンプ接続モード ビット	b7 b6 0 0 : ANEX0、ANEX1は使用しない 0 1 : 設定しないでください 1 0 : 設定しないでください 1 1 : 外部オペアンプ接続モード	RW
OPA1			RW
注1. A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定となります。			
注2. AN0~AN7と同様にAN0_0~AN0_7、AN2_0~AN2_7を使用できます。ADCON2レジスタのADGSEL1~ADGSEL0 ビットで選択してください。ただし、VCC2<VCC1の場合、AN0_0~AN0_7、AN2_0~AN2_7はアナログ入力 端子として使用しないでください。			
注3. VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1μs以上経過した後にA/D変換を開始してく ださい。			

図18.6 単掃引モード時のADCON0~ADCON1レジスタ

18.1.4 繰り返し掃引モード0

選択した端子の入力電圧を繰り返しA/D変換するモードです。表18.5に繰り返し掃引モード0の仕様、図18.7に繰り返し掃引モード0時のADCON0～ADCON1レジスタを示します。

表18.5 繰り返し掃引モード0の仕様

項目	仕様
機能	ADCON1レジスタのSCAN1～SCAN0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビットで選択した端子の入力電圧を繰り返しA/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> •ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする •TRGビットが“1”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化
A/D変換停止条件	ADSTビットを“0”(A/D変換停止)にする
割り込み要求発生タイミング	割り込み要求は発生しない
アナログ入力端子	AN0～AN1(2端子)、AN0～AN3(4端子)、AN0～AN5(6端子)、AN0～AN7(8端子)から選択(注1)
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

注1. AN0～AN7と同様にAN0_0～AN0_7、AN2_0～AN2_7を使用できます。ただし、VCC2<VCC1の場合、AN0_0～AN0_7、AN2_0～AN2_7はアナログ入力端子として使用しないでください。

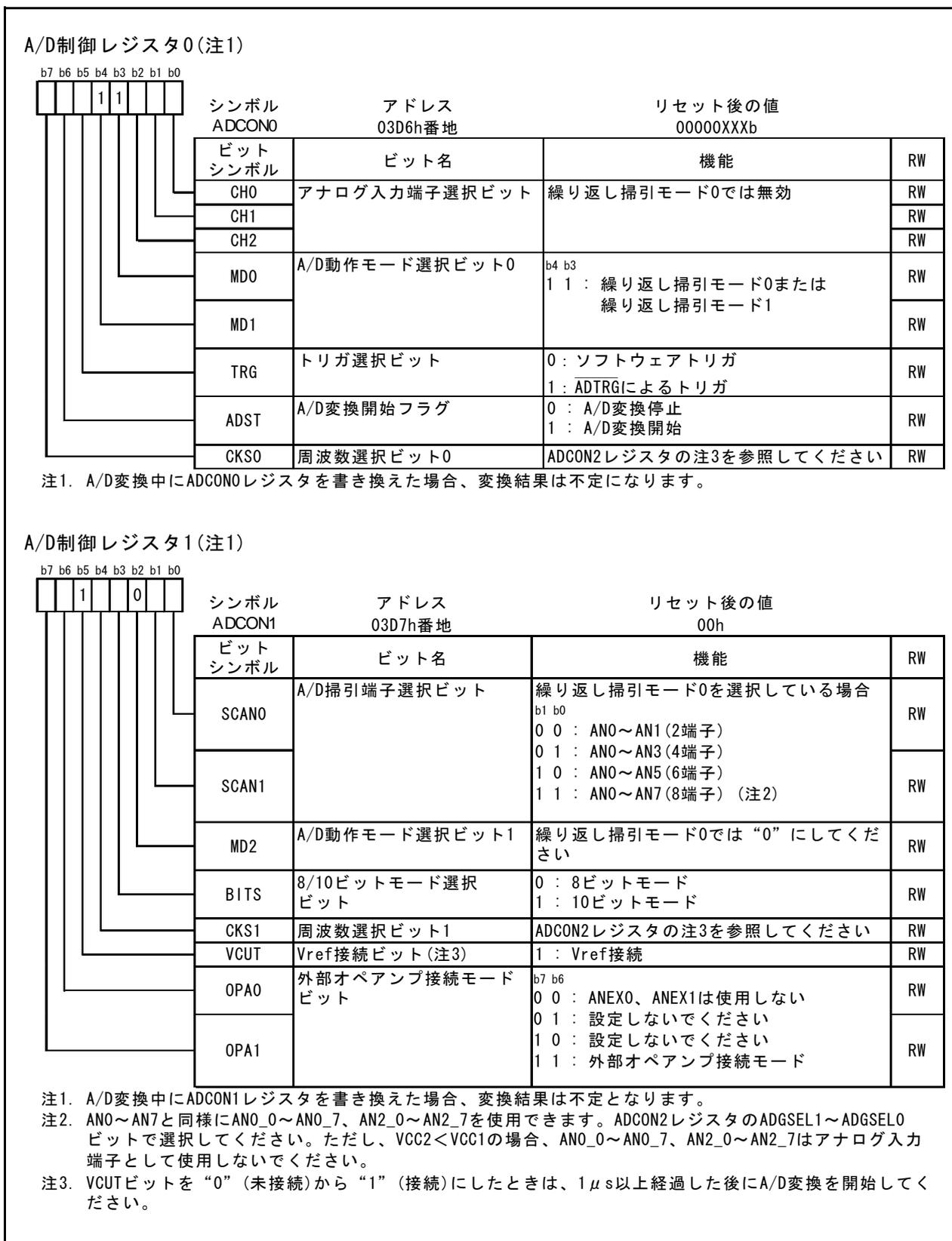


図18.7 繰り返し掃引モード0時のADCON0~ADCON1レジスタ

18.1.5 繰り返し掃引モード1

選択した端子に重点をおいて全端子の入力電圧を繰り返しA/D変換するモードです。表18.6に繰り返し掃引モード1の仕様、図18.8に繰り返し掃引モード1時のADCON0～ADCON1レジスタを示します。

表 18.6 繰り返し掃引モード1の仕様

項目	仕様
機能	ADCON1レジスタのSCAN1～SCAN0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビットで選択した端子に重点をおいて、ADGSEL1～ADGSEL0ビットで選択した全端子の入力電圧を繰り返しA/D変換する 例：AN0を選択した場合 AN0→AN1→AN0→AN2→AN0→AN3…の順にA/D変換する
A/D変換開始条件	<ul style="list-style-type: none"> •ADCON0レジスタのTRGビットが“0”（ソフトウェアトリガ）の場合 ADCON0レジスタのADSTビットを“1”（A/D変換開始）にする •TRGビットが“1”（ADTRGによるトリガ）の場合 ADSTビットを“1”（A/D変換開始）にした後、ADTRG端子の入力が“H”から“L”へ変化
A/D変換停止条件	ADSTビットを“0”（A/D変換停止）にする
割り込み要求発生タイミング	割り込み要求は発生しない
重点的にA/D変換するアナログ入力端子	AN0(1端子)、AN0～AN1(2端子)、AN0～AN2(3端子)、AN0～AN3(4端子)から選択(注1)
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

注1. AN0～AN7と同様にAN0_0～AN0_7、AN2_0～AN2_7を使用できます。ただし、VCC2<VCC1の場合、AN0_0～AN0_7、AN2_0～AN2_7はアナログ入力端子として使用しないでください。

A/D制御レジスタ0(注1)

ビット シンボル	ビット名	機能	RW
ADCON0	アナログ入力端子選択ビット	繰り返し掃引モード1では無効	RW
CH0			RW
CH1			RW
CH2			RW
MD0	A/D動作モード選択ビット0	b4 b3 1 1 : 繰り返し掃引モード0または 繰り返し掃引モード1	RW
MD1			RW
TRG	トリガ選択ビット	0 : ソフトウェアトリガ 1 : ADTRGによるトリガ	RW
ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	RW
CKS0	周波数選択ビット0	ADCON2レジスタの注3を参照してください	RW

注1. A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

A/D制御レジスタ1(注1)

ビット シンボル	ビット名	機能	RW
ADCON1	A/D掃引端子選択ビット	繰り返し掃引モード1を選択している場合 b1 b0 0 0 : AN0(1端子) 0 1 : AN0~AN1(2端子) 1 0 : AN0~AN2(3端子) 1 1 : AN0~AN3(4端子) (注2)	RW
SCAN0			RW
SCAN1			RW
MD2	A/D動作モード選択ビット1	繰り返し掃引モード1では“1”にしてください	RW
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	RW
CKS1	周波数選択ビット1	ADCON2レジスタの注3を参照してください	RW
VCUT	Vref接続ビット(注3)	1 : Vref接続	RW
OPA0	外部オペアンプ接続モード ビット	b7 b6 0 0 : ANEX0、ANEX1は使用しない 0 1 : 設定しないでください 1 0 : 設定しないでください 1 1 : 外部オペアンプ接続モード	RW
OPA1			RW

注1. A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定となります。

注2. AN0~AN7と同様にAN0_0~AN0_7、AN2_0~AN2_7を使用できます。ADCON2レジスタのADGSEL1~ADGSEL0ビットで選択してください。ただし、VCC2<VCC1の場合、AN0_0~AN0_7、AN2_0~AN2_7はアナログ入力端子として使用しないでください。

注3. VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

図18.8 繰り返し掃引モード1時のADCON0~ADCON1レジスタ

18.2 機能

18.2.1 分解能選択機能

ADCON1レジスタのBITSビットで分解能を選択できます。BITSビットを“1”(変換精度を10ビット)にすると、A/D変換結果がADiレジスタ(i=0~7)のビット0~9に格納されます。BITSビットを“0”(変換精度を8ビット)にすると、A/D変換結果がADiレジスタのビット0~7に格納されます。

18.2.2 サンプル&ホールド

ADCON2レジスタのSMPビットを“1”(サンプル&ホールドあり)にすると、1端子あたりの変換速度が向上し、分解能8ビットの場合28φADサイクル、分解能10ビットの場合33φADサイクルになります。サンプル&ホールドは、すべての動作モードに対して有効です。サンプル&ホールドの有無を選択してからA/D変換を開始してください。

18.2.3 拡張アナログ入力端子

単発モード、繰り返しモードでは、ANEX0、ANEX1端子をアナログ入力端子として使用できます。ADCON1レジスタのOPA1~OPA0ビットで選択してください。

ANEX0入力のA/D変換結果は、AD0レジスタに格納され、ANEX1入力のA/D変換結果は、AD1レジスタに格納されます。

18.2.4 外部オペアンプ接続モード

ANEX0、ANEX1端子を用いて複数のアナログ入力を1個の外部オペアンプで増幅できます。

ADCON1レジスタのOPA1~OPA0ビットを“11b”(外部オペアンプ接続モード)にしてください。ANi(i=0~7)(注1)からの入力をANEX0端子から出力します。この出力を外部オペアンプで増幅し、ANEX1端子へ入力してください。A/D変換結果は対応するADiレジスタに格納されます。A/D変換速度は外部オペアンプの応答特性に依存します。図18.9に外部オペアンプ接続例を示します。

注1. ANiと同様にAN0_i、AN2_iを使用できます。ただし、VCC2 < VCC1の場合、AN0_i、AN2_iアナログ入力端子として使用しないでください。

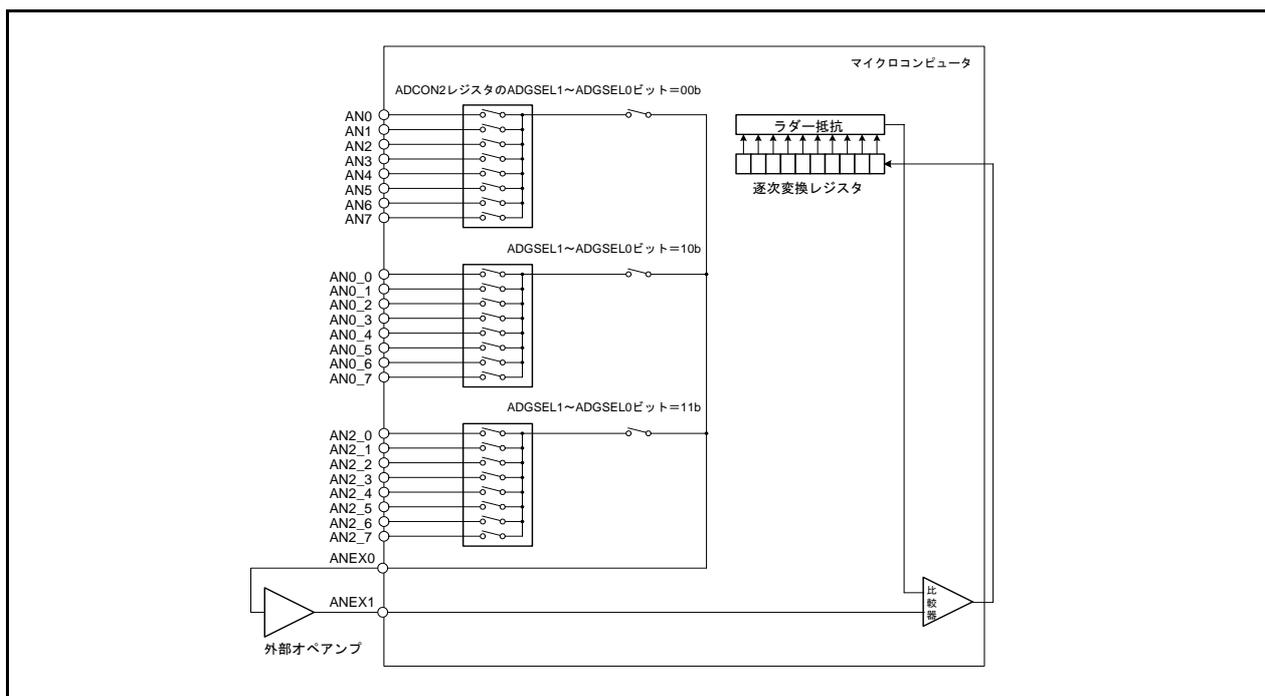


図18.9 外部オペアンプ接続例

18.2.5 消費電流低減機能

A/Dコンバータを使用しないとき、ADCON1レジスタのVCUTビットによりA/Dコンバータのラダー抵抗と基準電圧入力端子(VREF)を切り離すことができます。切り離すと、VREF端子からラダー抵抗へ電流が流れないので、消費電力が少なくなります。

A/Dコンバータを使用する場合は、VCUTビットを“1”(Vref接続)にした後で、ADCON0レジスタのADSTビットを“1”(A/D変換開始)にしてください。ADSTビットとVCUTビットは、同時に“1”を書かないでください。

また、A/D変換中にVCUTビットを“0”(Vref未接続)にしないでください。

なお、D/AコンバータのVREFには影響しません(無関係です)。

18.2.6 A/D変換時のセンサーの出カインピーダンス

A/D変換を正しく行うためには、図18.10の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサー等価回路の出カインピーダンスをR0、マイコン内部の抵抗をR、A/Dコンバータの精度(誤差)をX、分解能をY(Yは10ビットモード時1024、8ビットモード時256)とします。

$$VCは一般にVC=VIN\left\{1-e^{-\frac{1}{C(R0+R)}t}\right\}$$

$$t=Tのとき、VC=VIN-\frac{X}{Y}VIN=VIN\left(1-\frac{X}{Y}\right)より、$$

$$e^{-\frac{1}{C(R0+R)}T}=\frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T=\ln\frac{X}{Y}$$

$$よって、R0=-\frac{T}{C\cdot\ln\frac{X}{Y}}-R$$

図18.10にアナログ入力端子と外部センサーの等価回路例を示します。VINとVCの差が0.1LSBとなるとき、時間TでコンデンサCの端子間電圧VCが0からVIN-(0.1/1024)VINになるインピーダンスR0を求めます。(0.1/1024)は10ビットモードでのA/D変換時に、コンデンサ充電不十分によるA/D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

f(φAD)=10MHzの時、サンプル&ホールド付きA/D変換モードではT=0.3μsとなります。この時間T内にコンデンサCの充電を十分に行える出カインピーダンスR0は以下のように求められます

T=0.3μs、R=7.8kΩ、C=1.5pF、X=0.1、Y=1024だから、

$$R0=-\frac{0.3\times 10^{-6}}{1.5\times 10^{-12}\cdot\ln\frac{0.1}{1024}}-7.8\times 10^3=13.9\times 10^3$$

したがって、A/Dコンバータの精度(誤差)を0.1LSB以下にするセンサー回路の出カインピーダンスR0は最大13.9kΩになります。

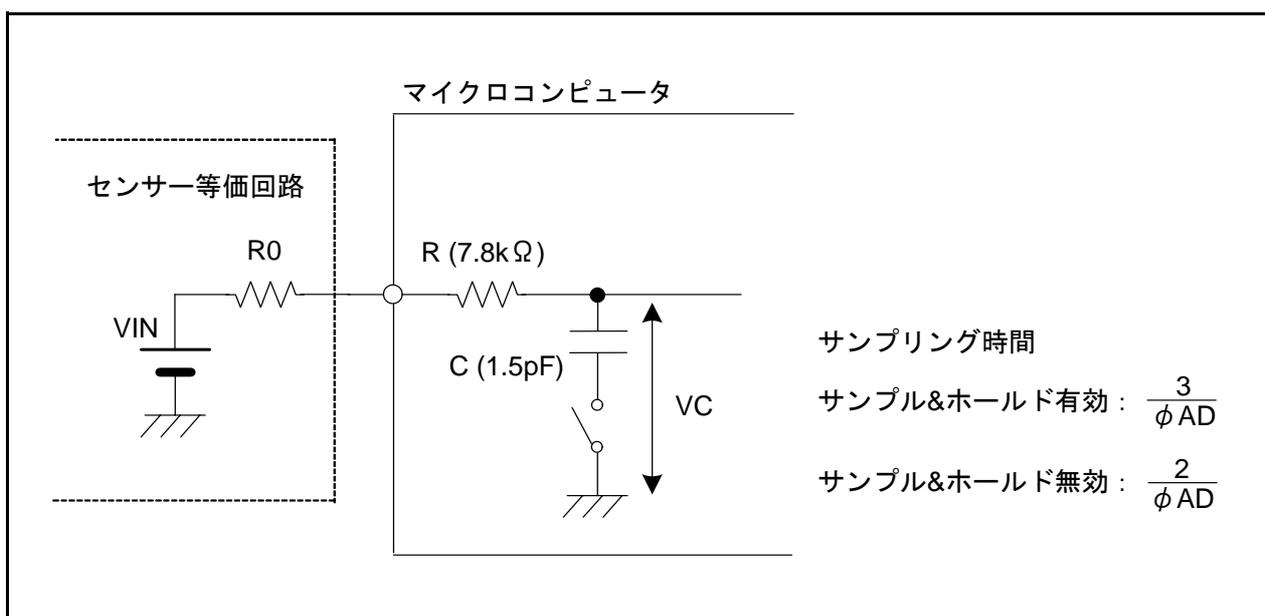


図18.10 アナログ入力端子と外部センサーの等価回路例

19. D/Aコンバータ

8ビットのR-2R方式によるD/Aコンバータです。独立した2つのD/Aコンバータです。

D/A変換は、DA_iレジスタ(i=0~1)に値を書くと行われます。変換結果を出力するときDACONレジスタのDA_iEビットを“1”(出力許可)にしてください。D/A変換を使用する場合、対応するポート方向ビットは“0”(入力モード)にしてください。DA_iEビットを“1”にすると対応するポートはプルアップなしになります。

出力されるアナログ電圧Vは、DA_iレジスタに設定した値n(nは10進数)で決まります。

$$V = V_{REF} \times n / 256 (n=0 \sim 255)$$

V_{REF}: 基準電圧

表19.1にD/Aコンバータの仕様、図19.1にD/Aコンバータブロック図、図19.2にD/Aコンバータ関連レジスタ、図19.3にD/Aコンバータの等価回路を示します。

表19.1 D/Aコンバータの仕様

項目	性能
D/A変換方式	R-2R方式
分解能	8ビット
アナログ出力端子	2チャンネル(DA0、DA1)

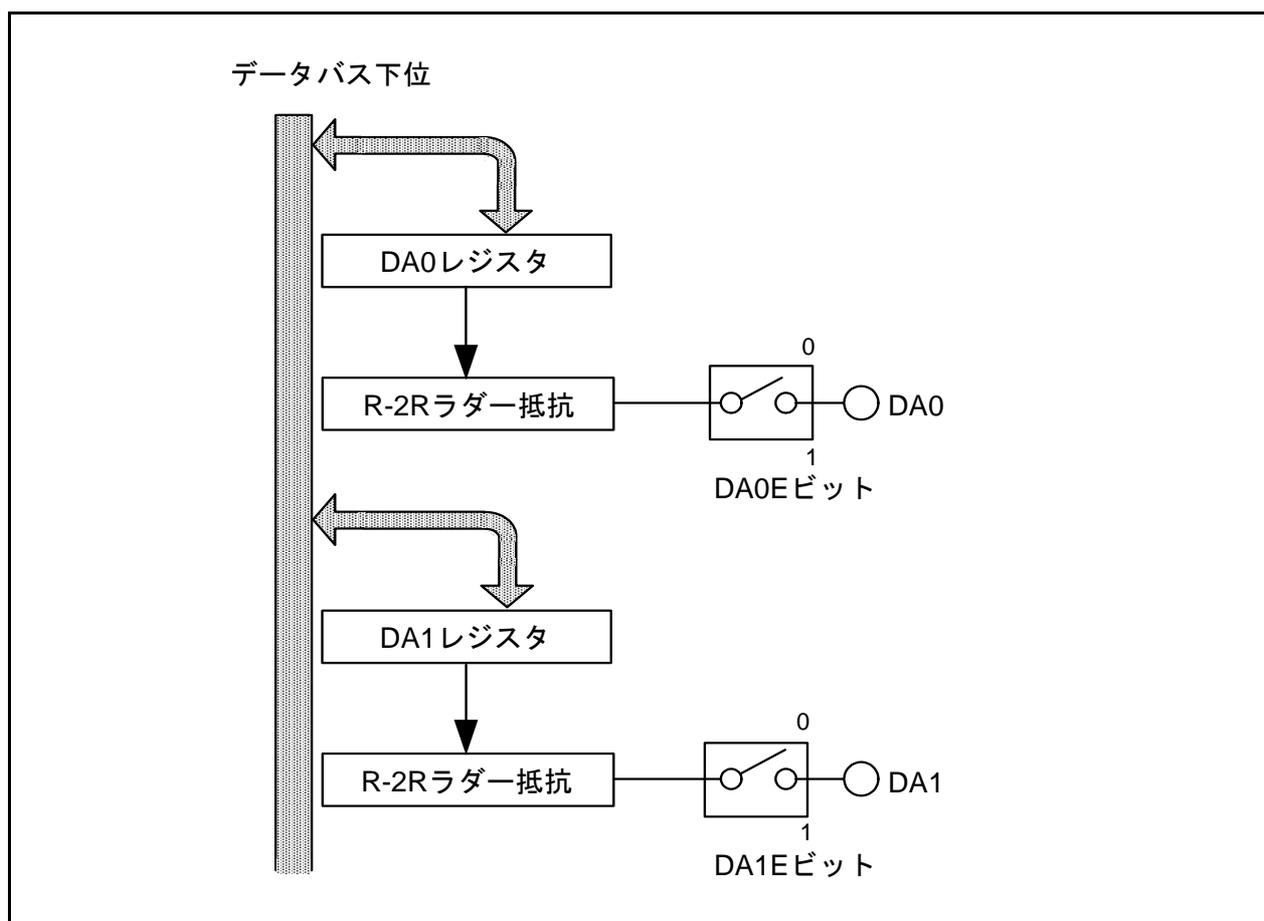
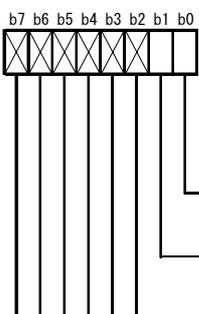


図19.1 D/Aコンバータブロック図

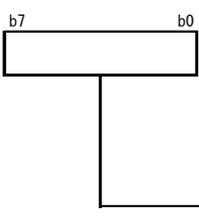
D/A制御レジスタ (注1)



シンボル	アドレス	リセット後の値	
DACON	03DCh番地	00h	
ビットシンボル	ビット名	機能	RW
DA0E	D/A0出力許可ビット	0 : 出力禁止 1 : 出力許可	RW
DA1E	D/A1出力許可ビット	0 : 出力禁止 1 : 出力許可	RW
— (b7-b2)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. D/Aコンバータを使用しない場合には、不要な消費電流を小さくするためにDAiEビット (i=0~1) を“0” (出力禁止)にし、DAiレジスタを“00h”にして、R-2Rの抵抗に電流が流れないようにしてください。

D/Aiレジスタ (注1) (i=0~1)



シンボル	アドレス	リセット後の値	
DA0	03D8h番地	00h	
DA1	03DAh番地	00h	
機能		設定範囲	RW
D/A変換の出力値		00h~FFh	RW

注1. D/Aコンバータを使用しない場合には、不要な消費電流を小さくするためにDAiEビット (i=0~1) を“0” (出力禁止)にし、DAiレジスタを“00h”にして、R-2Rの抵抗に電流が流れないようにしてください。

図19.2 DACON、DA0、DA1レジスタ

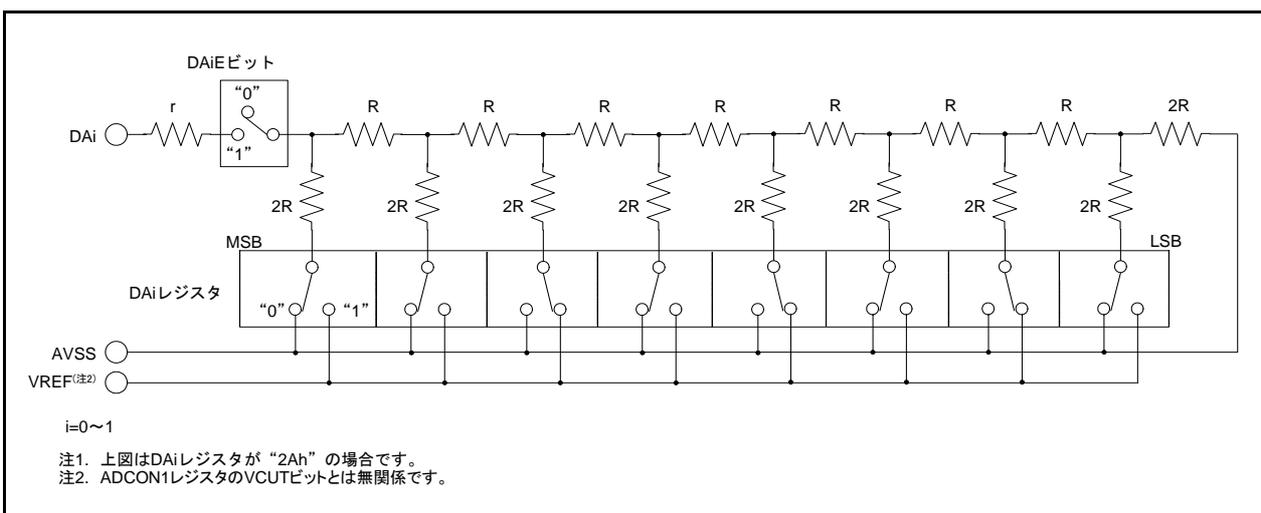


図19.3 D/Aコンバータの等価回路

20. CRC演算

CRC(Cyclic Redundancy Check)演算は、データブロックの誤りを検出します。CRCコードの生成にはCRC-CCITT($X^{16}+X^{12}+X^5+1$)の生成多項式を使用します。

CRCコードは、8ビット単位の任意のデータ長のブロックに対し生成される16ビットのコードです。CRCコードは、CRCDレジスタに初期値を設定した後、1バイトのデータをCRCINレジスタに書くごとに、CRCDレジスタに設定されます。1バイトのデータに対するCRCコードの生成は2サイクルで終了します。

図20.1にCRCブロック図、図20.2にCRC関連レジスタを示します。また、図20.3にCRC演算例を示します。

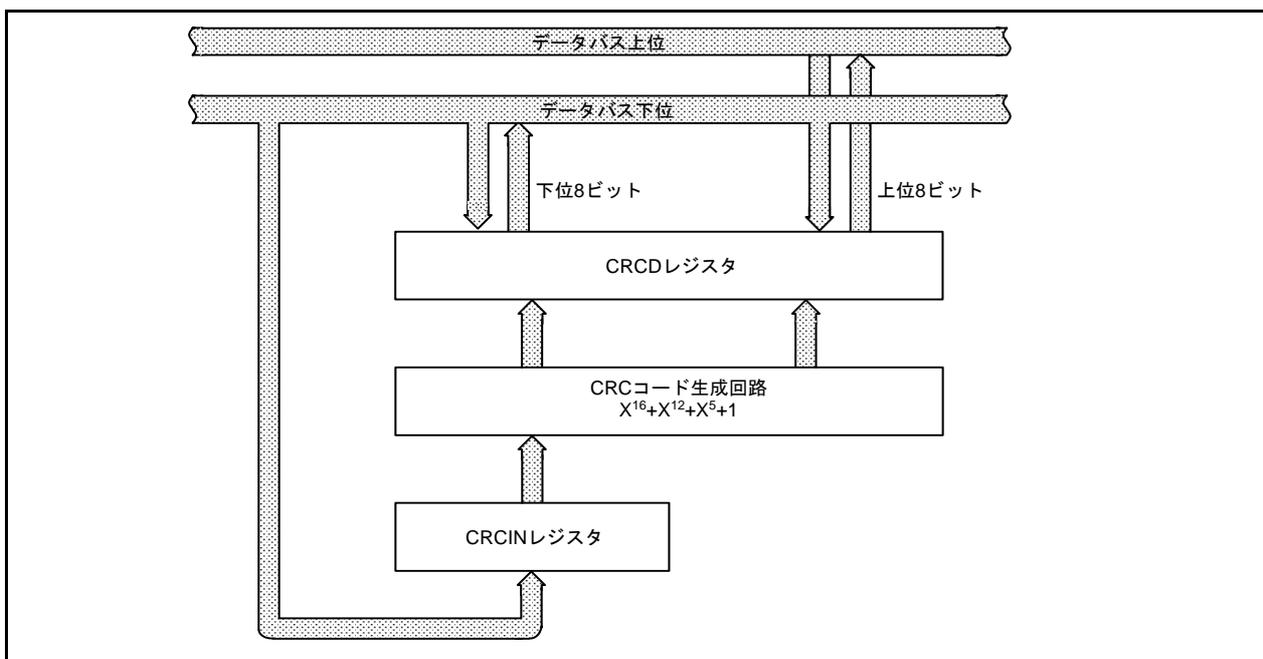


図20.1 CRCブロック図

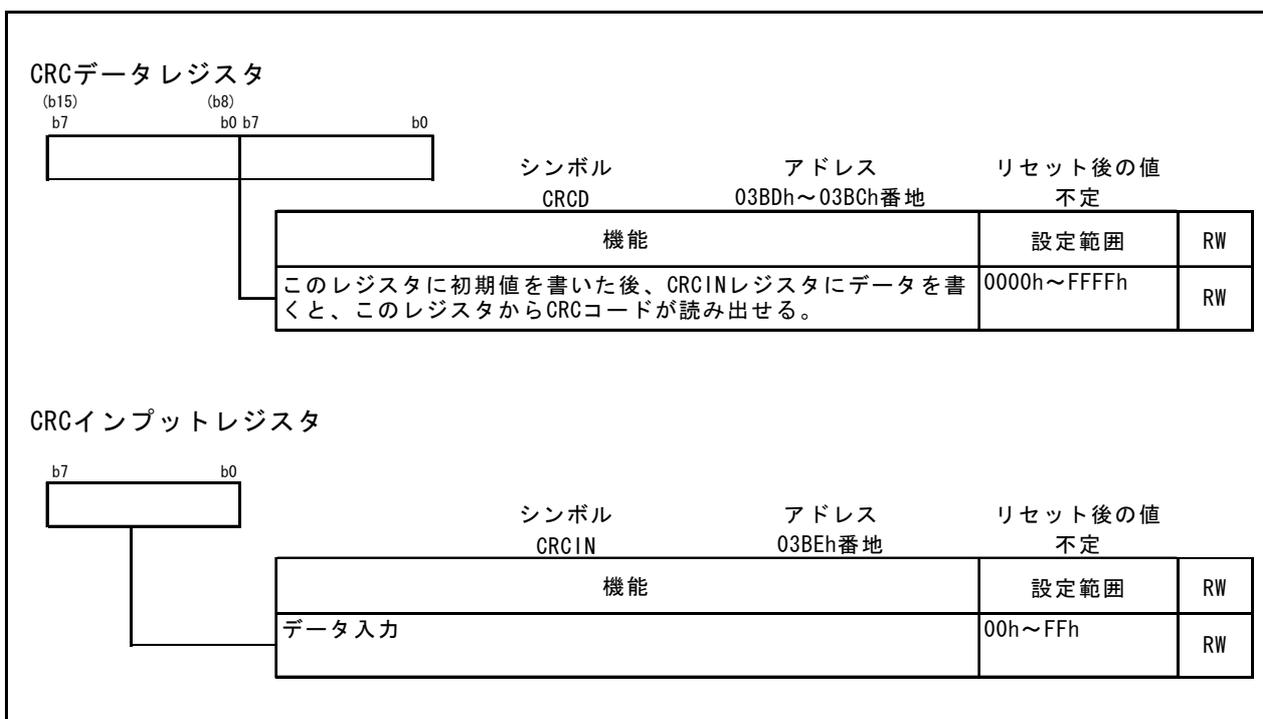


図20.2 CRCD、CRCINレジスタ

“80C4h” のCRCコードを生成する場合の設定手順とCRC演算

・ M16CのCRC演算

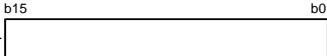
CRCコード : CRCINレジスタに書いた値のビット位置を反転したものを被除数、生成多項式を除数とする除算の剰余

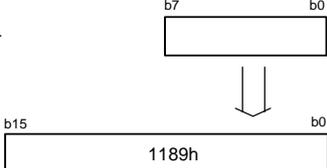
生成多項式 : $X^{16}+X^{12}+X^5+1(1\ 0001\ 0000\ 0010\ 0001b)$

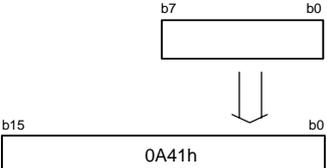
・ 設定手順

(1) プログラムで “80C4h” のビット位置をバイト単位で反転させる

“80h” → “01h”、“C4h” → “23h”

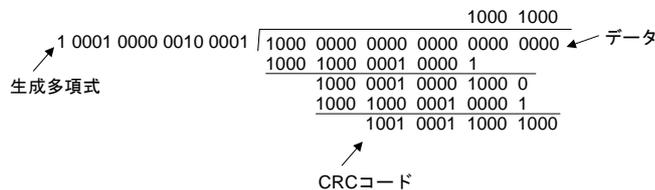
(2) 0000h(初期値)を書く →  CRCDレジスタ

(3) 01hを書く →  CRCINレジスタ
2サイクル後、“80h” のCRCコード(9188h)のビット位置を反転した “1189h” が、CRCDレジスタに格納される

(4) 23hを書く →  CRCINレジスタ
2サイクル後、“80C4h” のCRCコード(8250h)のビット位置を反転した “0A41h” が、CRCDレジスタに格納される

・ CRC演算詳細

上記(3)の場合、CRCINレジスタに書いた値 “01h(00000001b)” はビット位置を反転され “10000000b” になる。これに16桁追加した “1000 0000 0000 0000 0000 0000b” と、CRCDレジスタの初期値 “0000 0000 0000 0000b” に8桁追加した “0000 0000 0000 0000 0000 0000b” を加算した値をモジュロ2除算する。



モジュロ2の演算とは...
次の法則に基づいた演算です。

0 + 0 = 0
0 + 1 = 1
1 + 0 = 1
1 + 1 = 0
-1 = 1

剰余 “1001 0001 1000 1000b(9188h)” のビット位置を反転した “0001 0001 1000 1001b(1189h)” がCRCDレジスタから読める。

続けて上記(4)を行う場合、CRCINレジスタに書いた値 “23h(00100011b)” はビット位置を反転され “11000100b” になる。これに16桁追加した “1100 0100 0000 0000 0000 0000b” と、CRCDレジスタに残っている(3)の剰余 “1001 0001 1000 1000b” に8桁追加した “1001 0001 1000 1000 0000 0000b” を加算した値をモジュロ2除算する。剰余のビット位置を反転した “0000 1010 0100 0001b(0A41h)” がCRCDレジスタから読める

図20.3 CRC演算例

21. プログラマブル入出力ポート

注意

M16C/62P(80ピン版)、M16C/62PT(80ピン版)のP1、P4_4～P4_7、P7_2～P7_5、P9_1は、外部への接続がありません。プログラムによって、これらのポートの方向ビットを“1”(出力モード)、出力データを“0”(“L”)にしてください。

また、P11_0～P11_7、P12_0～P12_7、P13_0～P13_7、P14_0、P14_1端子は存在しません。そのため、P11～P13、PC14、PUR13レジスタも存在しません。

プログラマブル入出力ポート(以下、入出力ポートと称す)は、128ピン版では113本、100ピン版では87本、80ピン版では70本あります。各ポートの入出力は、方向レジスタによって1本ごとに設定できます。また、4本ごとに、プルアップするかしないかを選択できます。P8_5は入力専用でプルアップ抵抗はありません。ポートP8_5はNMIと端子を共用していますので、NMI入力レベルをP8レジスタのP8_5ビットから読めます。

表21.1に各パッケージのプログラマブル入出力ポートの本数を示します。図21.1～図21.5に入出力ポートの構成、図21.6に端子の構成を示します。

各端子は、入出力ポート、周辺機能の入出力、またはバス制御端子として機能します。

周辺機能の設定方法は、各機能説明を参照してください。周辺機能の入力端子またはD/Aコンバータの出力端子として使用する場合は、対応する端子の方向ビットを“0”(入力モード)にしてください。D/Aコンバータ以外の周辺機能の出力端子として使用する場合は、方向ビットに関係なく周辺機能の出力となります。

バス制御端子として使用する場合は、「8.2 バス制御」を参照してください。

P0～P5、P12、P13はVCC2レベル、P6～P11、P14はVCC1レベルの入出力ができます。

表21.1 各パッケージのプログラマブル入出力ポートの本数

	128ピン版	100ピン版	80ピン版(注1)
プログラマブル 入出力ポート	P0_0～P0_7, P1_0～P1_7, P2_0～P2_7, P3_0～P3_7, P4_0～P4_7, P5_0～P5_7, P6_0～P6_7, P7_0～P7_7, P8_0～P8_4,P8_6,P8_7 (P8_5は入力ポート), P9_0～P9_7, P10_0～P10_7, P11_0～P11_7, P12_0～P12_7, P13_0～P13_7, P14_0,P14_1	P0_0～P0_7, P1_0～P1_7, P2_0～P2_7, P3_0～P3_7, P4_0～P4_7, P5_0～P5_7, P6_0～P6_7, P7_0～P7_7, P8_0～P8_4,P8_6,P8_7 (P8_5は入力ポート), P9_0～P9_7, P10_0～P10_7	P0_0～P0_7, P2_0～P2_7, P3_0～P3_7, P4_0～P4_3, P5_0～P5_7, P6_0～P6_7, P7_0,P7_1,P7_6,P7_7, P8_0～P8_4,P8_6,P8_7 (P8_5は入力ポート), P9_0,P9_2～P9_7, P10_0～P10_7
計	113本	87本	70本

注1. P1、P4_4～P4_7、P7_2～P7_5、P9_1は、外部端子への接続がありません。

21.1 ポートPi方向レジスタ(PDiレジスタ i=0~13)

図21.7にPDiレジスタを示します。

入出力ポートを入力に使用するか、出力に使用するか選択するためのレジスタです。このレジスタの各ビットは、ポート1本ずつに対応しています。

メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子(A0~A19、D0~D15、CS0~CS3、RD、WRL/WR、WRH/BHE、ALE、RDY、HOLD、HLDA、BCLK)になっている端子のPDiレジスタは変更できません。

なお、P8_5に対応する方向レジスタのビットはありません。

21.2 ポートPiレジスタ(Piレジスタ i=0~13)

図21.8にPiレジスタを示します。

外部とのデータ入出力は、Piレジスタへの読み出しと書き込みによって行います。Piレジスタは、出力データを保持するポートラッチと端子の状態を読む回路で構成されています。入力モードに設定しているポートのPiレジスタを読むと端子の入力レベルが読め、書くとポートラッチに書きます。

出力モードに設定しているポートのPiレジスタを読むとポートラッチを読み、書くとポートラッチに書きます。ポートラッチに書いた値は端子から出力されます。Piレジスタの各ビットは、ポート1本ずつに対応しています。

メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子(A0~A19、D0~D15、CS0~CS3、RD、WRL/WR、WRH/BHE、ALE、RDY、HOLD、HLDA、BCLK)になっている端子のPiレジスタは変更できません。

21.3 プルアップ制御レジスタ0~プルアップ制御レジスタ3(PUR0~PUR3レジスタ)

図21.9~図21.11にPUR0~PUR3レジスタを示します。

PUR0~PUR3レジスタの各ビットによって、4端子ごとにプルアップするかしないかを選択できます。プルアップするを選択したポートは、方向ビットを入力モードに設定したときにプルアップ抵抗が接続されます。ポートP11~P14を使用する場合、PUR3レジスタのPU37ビットを“1”にしてください。

メモリ拡張モード、マイクロプロセッサモード時は、P0~P3、P4_0~P4_3、P5はプルアップ制御レジスタは無効です。レジスタの内容は変更できますが、プルアップ抵抗は接続されません。

21.4 ポート制御レジスタ(PCRレジスタ)

図21.12にPCRレジスタを示します。

PCRレジスタのPCR0ビットを“1”にしてP1レジスタを読むと、PD1レジスタの設定にかかわらず、対応するポートラッチを読みます。

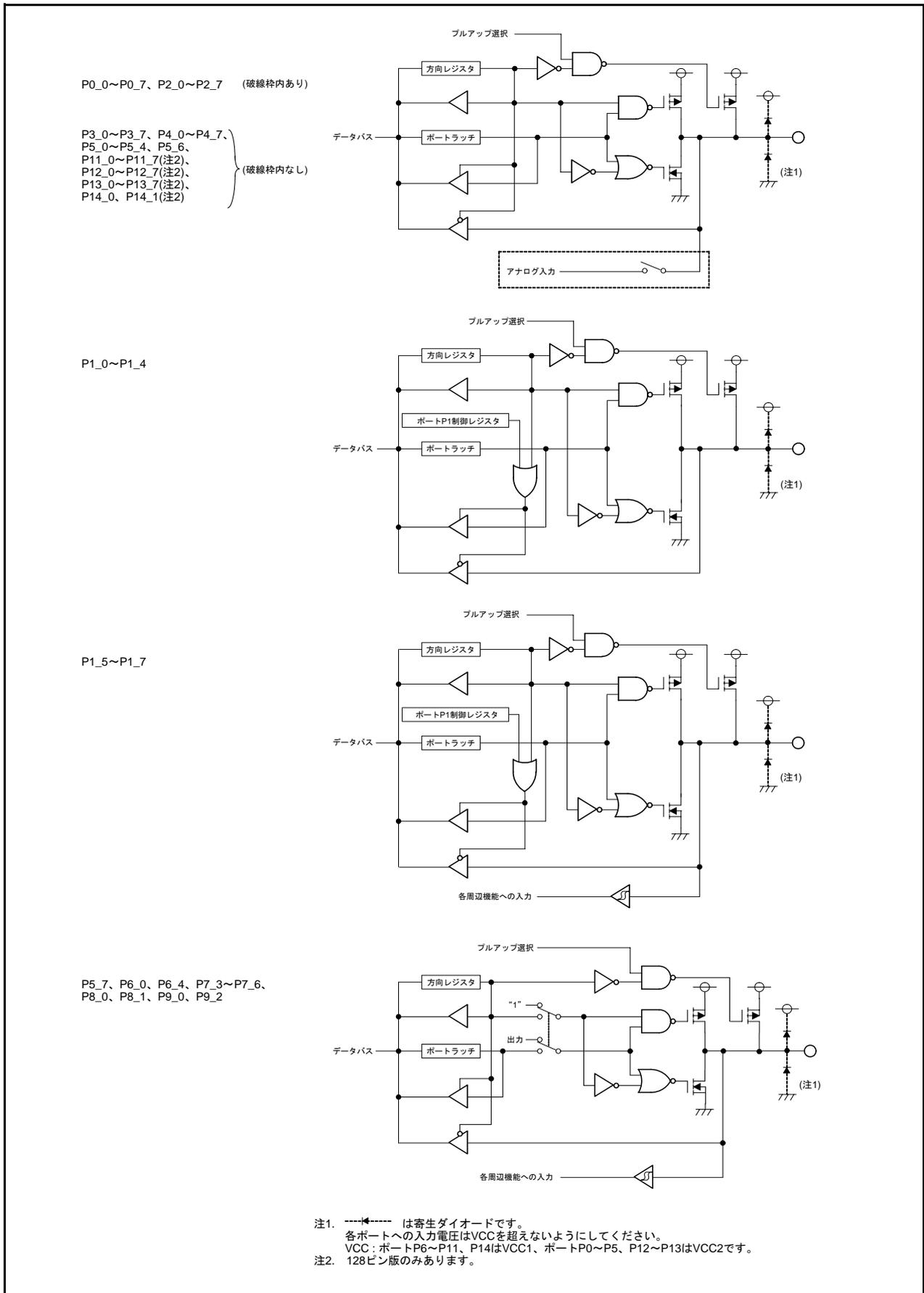
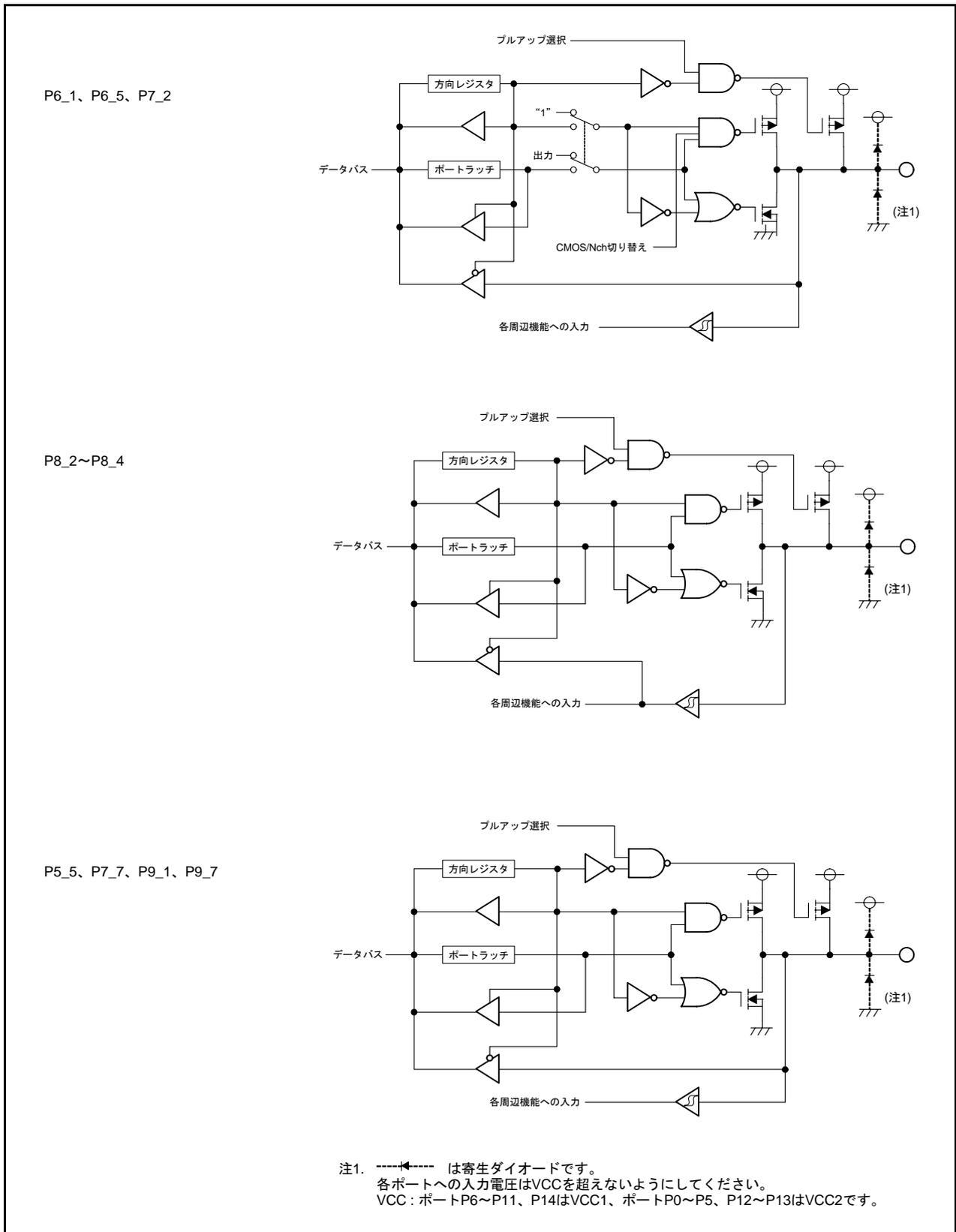
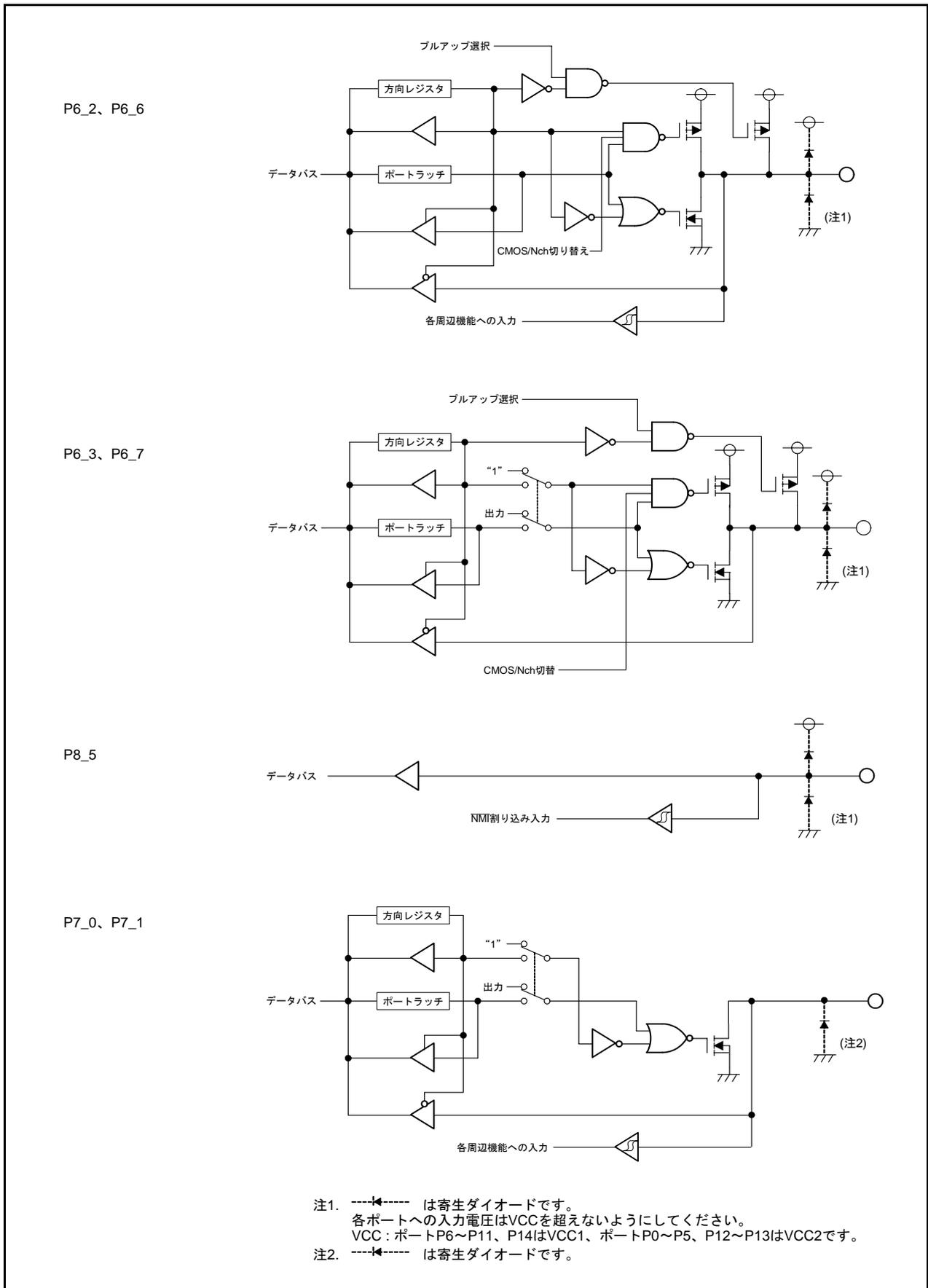


図21.1 入出力ポートの構成(1)





注1. ----- は寄生ダイオードです。
 各ポートへの入力電圧はVCCを超えないようにしてください。
 VCC: ポートP6~P11、P14はVCC1、ポートP0~P5、P12~P13はVCC2です。
 注2. ----- は寄生ダイオードです。

図21.3 入出力ポートの構成(3)

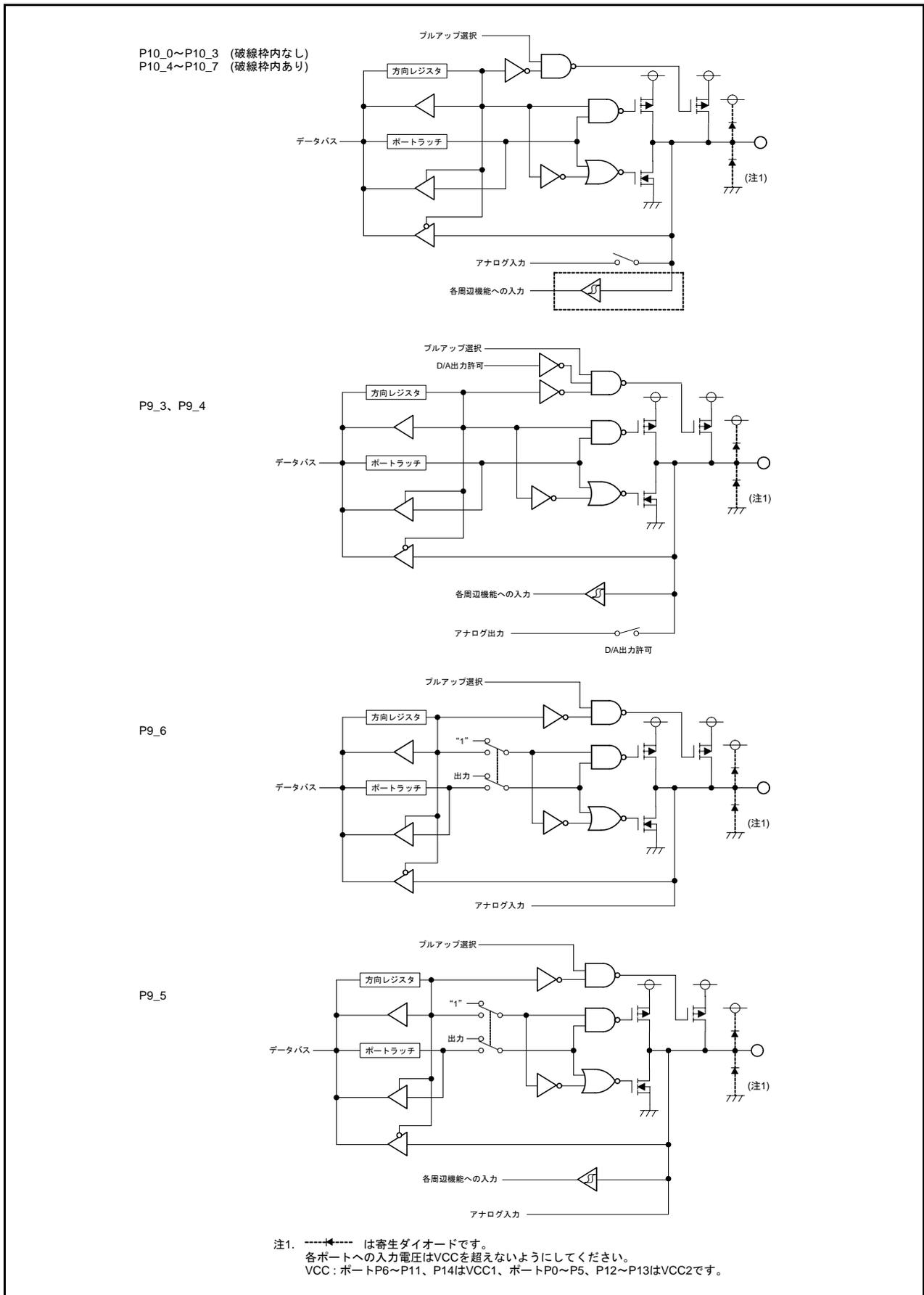


図21.4 入出力ポートの構成(4)

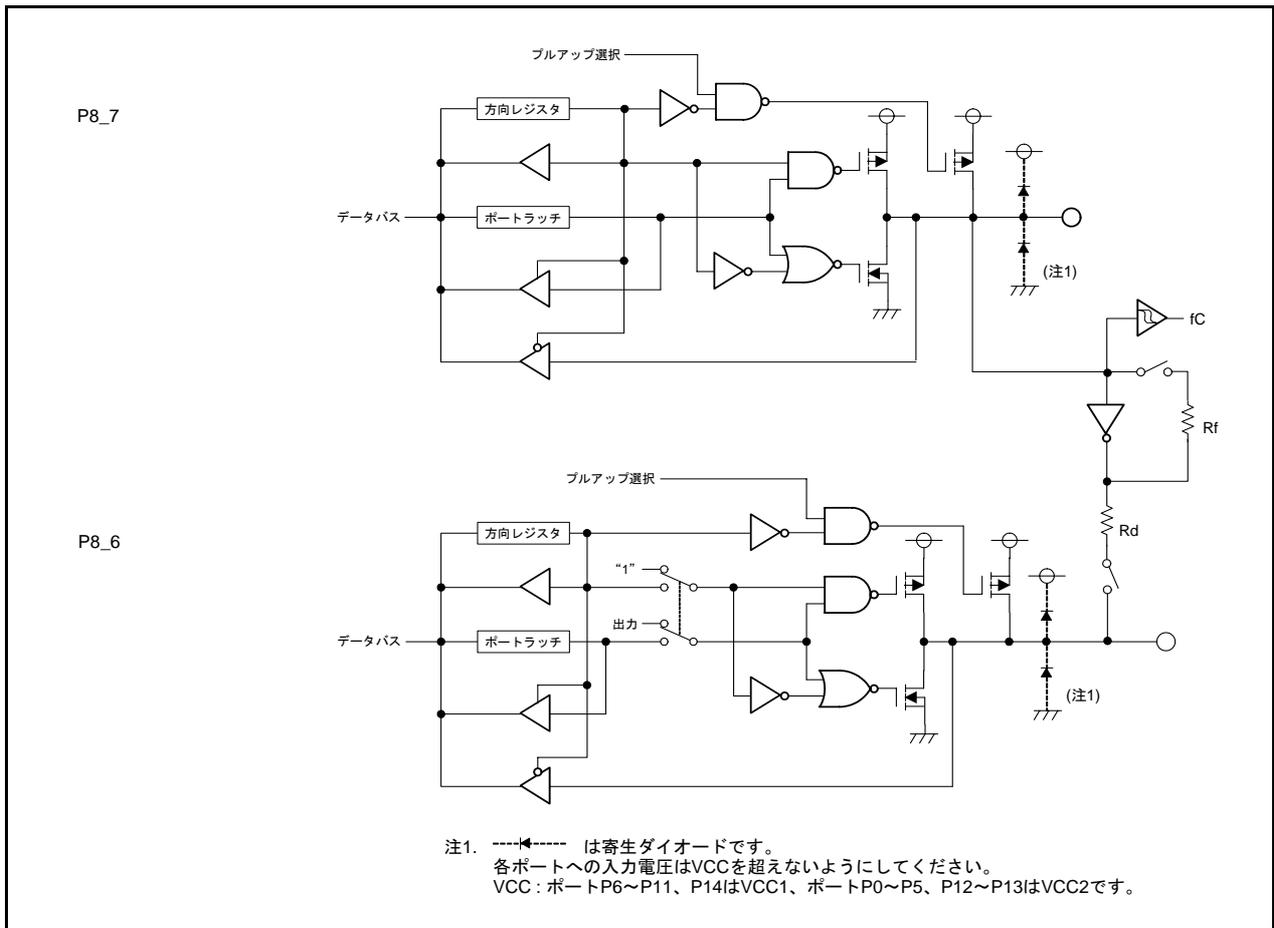


図21.5 入出力ポートの構成(5)

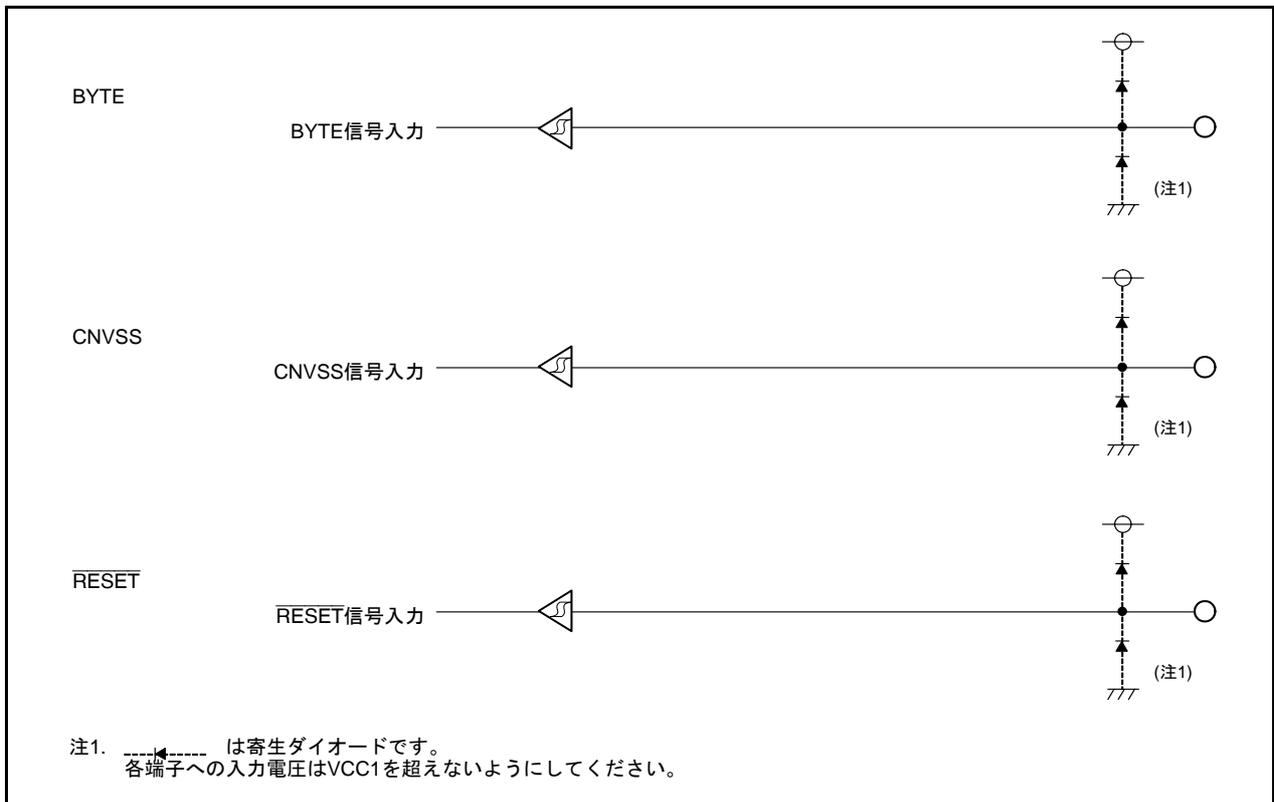


図21.6 端子の構成

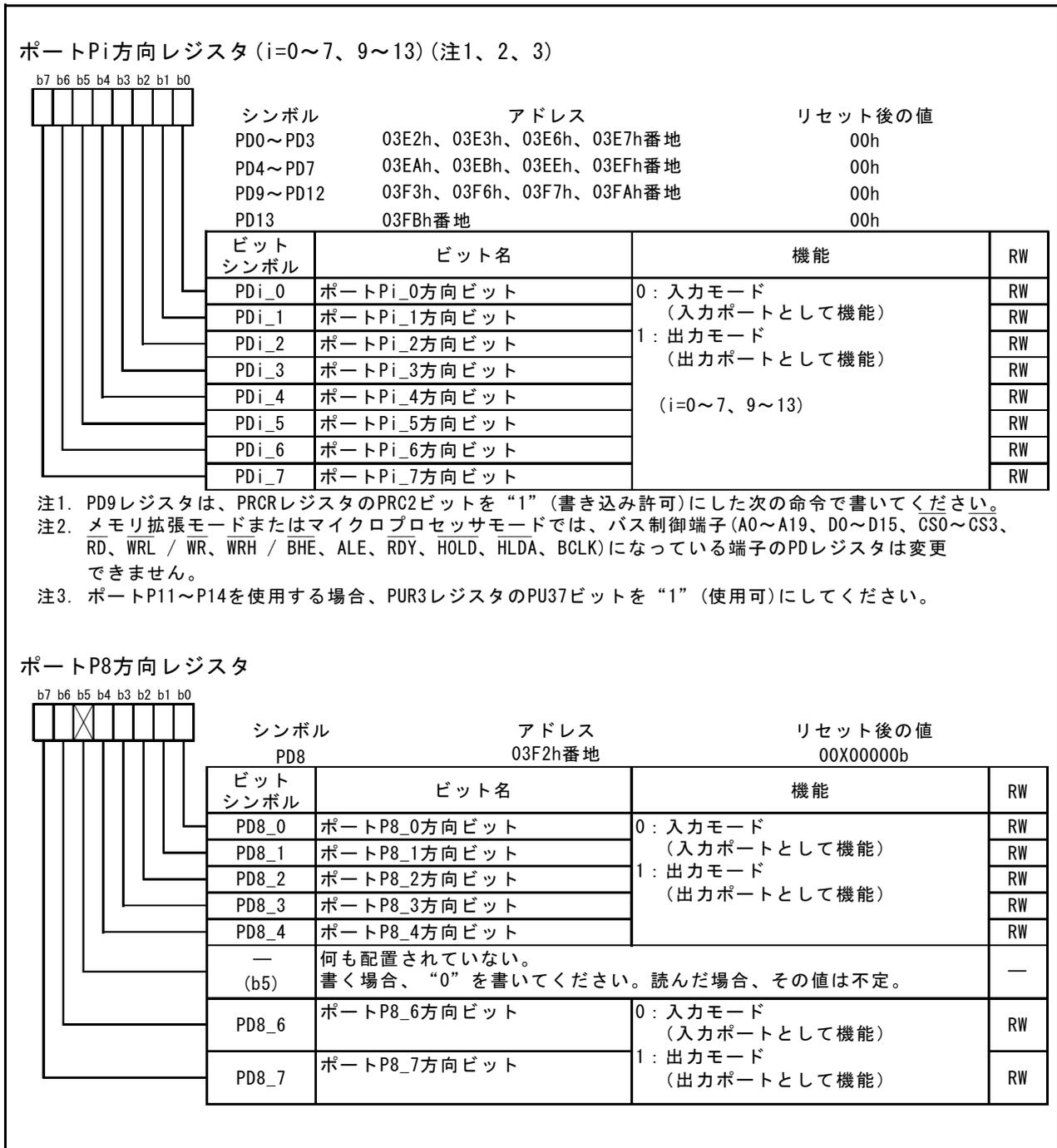


図21.7 PD0~PD13レジスタ

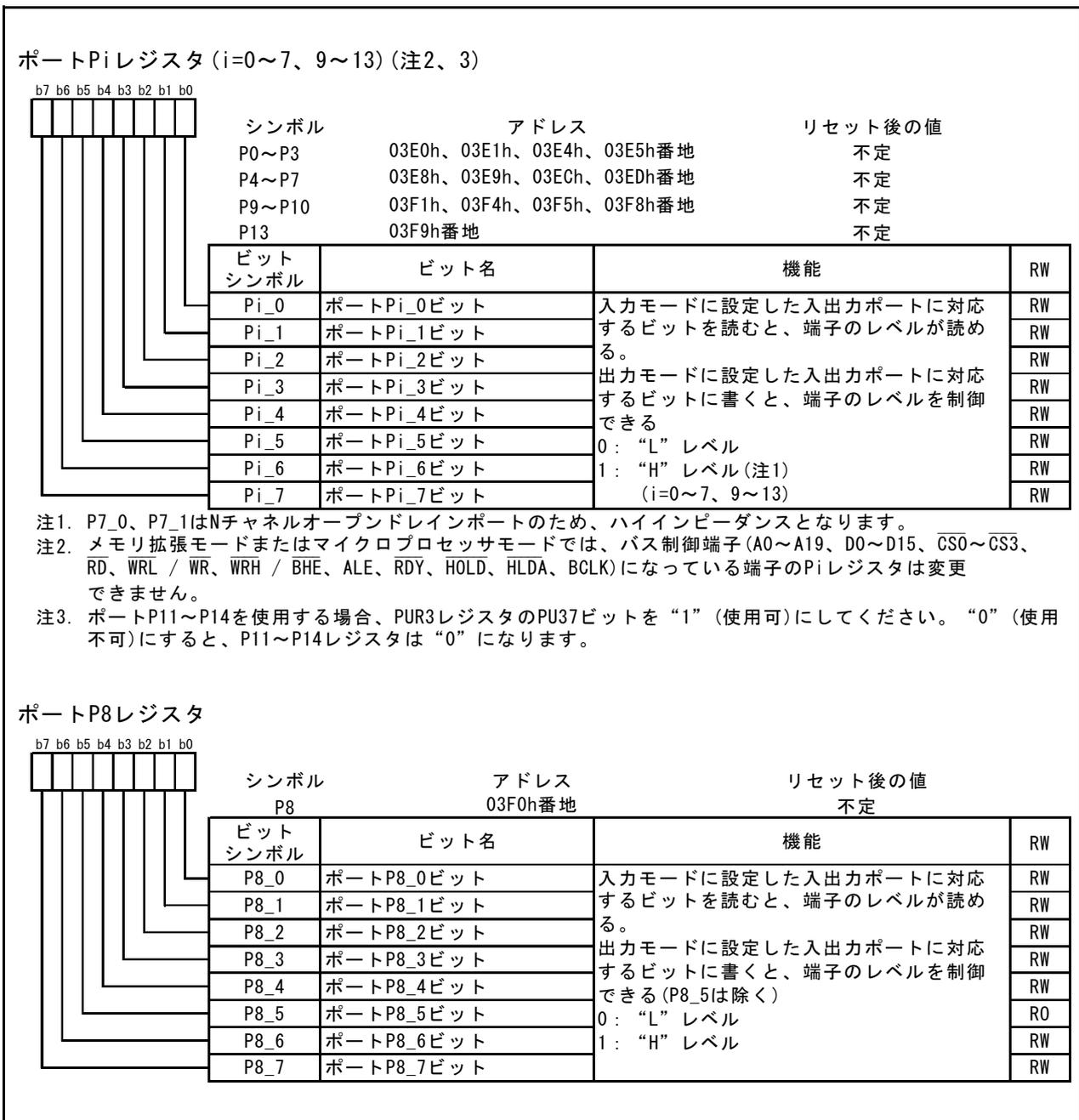


図21.8 P0~P13レジスタ

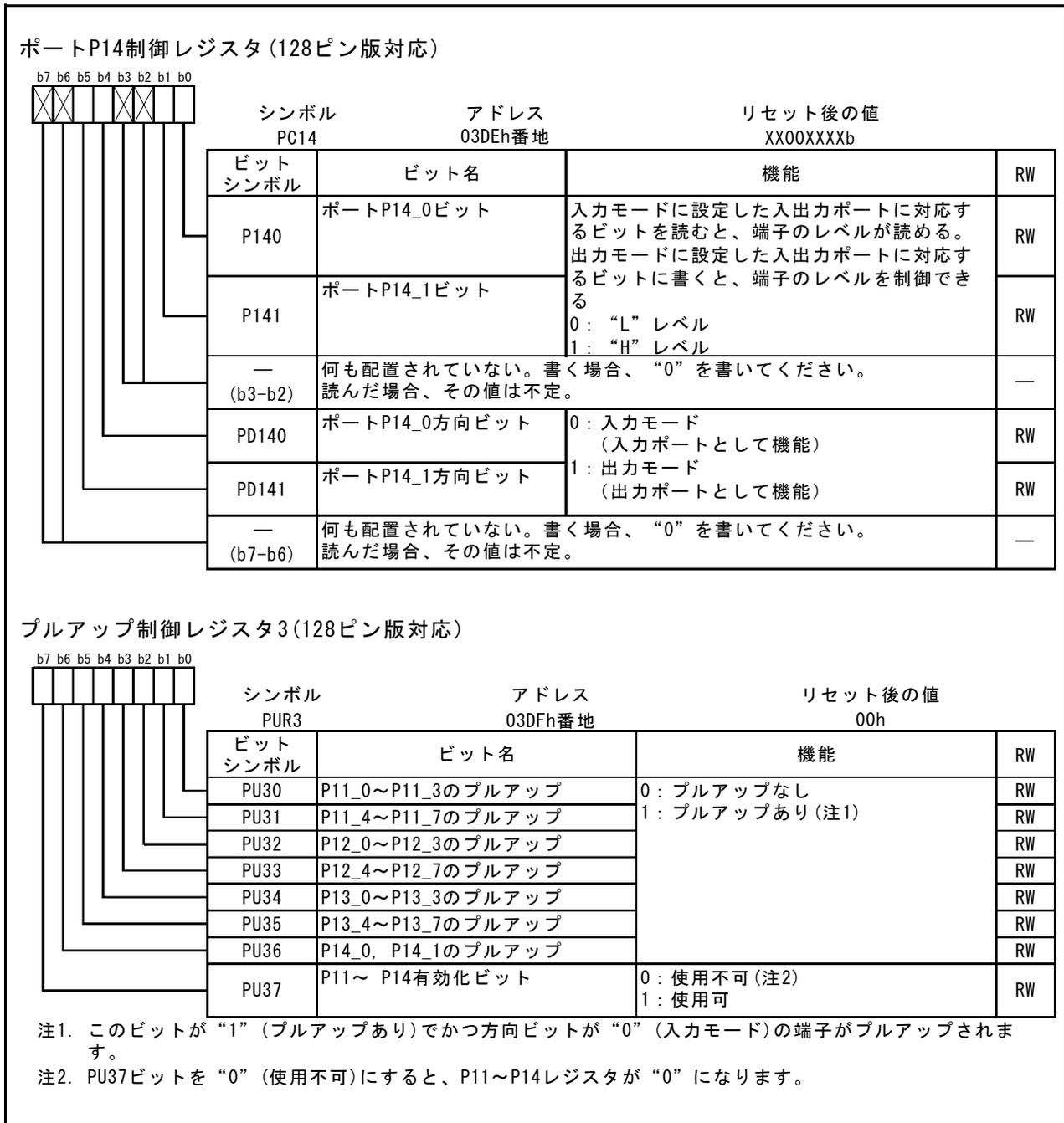
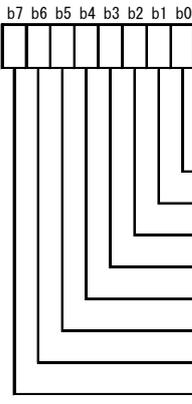


図21.9 PC14、PUR3レジスタ

プルアップ制御レジスタ0(注1)

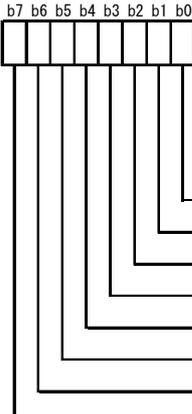


シンボル	アドレス	リセット後の値
PUR0	03FCh番地	00h

ビットシンボル	ビット名	機能	RW
PU00	P0_0~P0_3のプルアップ	0 : プルアップなし 1 : プルアップあり(注2)	RW
PU01	P0_4~P0_7のプルアップ		RW
PU02	P1_0~P1_3のプルアップ		RW
PU03	P1_4~P1_7のプルアップ		RW
PU04	P2_0~P2_3のプルアップ		RW
PU05	P2_4~P2_7のプルアップ		RW
PU06	P3_0~P3_3のプルアップ		RW
PU07	P3_4~P3_7のプルアップ		RW

注1. メモリ拡張モード時またはマイクロプロセッサモード時、レジスタの内容は変更できますが、プルアップされません。
 注2. このビットが“1”(プルアップあり)でかつ方向ビットが“0”(入力モード)の端子がプルアップされません。

プルアップ制御レジスタ1



シンボル	アドレス	リセット後の値(注5)
PUR1	03FDh番地	00000000b 00000010b

ビットシンボル	ビット名	機能	RW
PU10	P4_0~P4_3のプルアップ(注2)	0 : プルアップなし 1 : プルアップあり(注3)	RW
PU11	P4_4~P4_7のプルアップ(注4)		RW
PU12	P5_0~P5_3のプルアップ(注2)		RW
PU13	P5_4~P5_7のプルアップ(注2)		RW
PU14	P6_0~P6_3のプルアップ		RW
PU15	P6_4~P6_7のプルアップ		RW
PU16	P7_2~P7_3のプルアップ(注1)		RW
PU17	P7_4~P7_7のプルアップ		RW

注1. P7_0、P7_1端子には、プルアップはありません。
 注2. メモリ拡張モード時またはマイクロプロセッサモード時、このビットの内容は変更できますが、プルアップされません。
 注3. このビットが“1”(プルアップあり)でかつ方向ビットが“0”(入力モード)の端子がプルアップされません。
 注4. シングルチップモード時、プログラムでPM01~PM00ビットを“01b”(メモリ拡張モード)または“11b”(マイクロプロセッサモード)にすると、PU11ビットが“1”になります。
 注5. ハードウェアリセット1または電圧低下検出リセット(ハードウェアリセット2)では次のようになります。
 ・ CNVSS端子に“L”を入力している場合、“00000000b”
 ・ CNVSS端子に“H”を入力している場合、“00000010b”
 ソフトウェアリセット、ウォッチドッグタイマリセット、または発振停止検出リセットでは次のようになります。
 ・ PM0レジスタのPM01~PM00ビットが“00b”(シングルチップモード)の場合、“00000000b”
 ・ PM0レジスタのPM01~PM00ビットが“01b”(メモリ拡張モード)または“11b”(マイクロプロセッサモード)の場合、“00000010b”

図21.10 PUR0、PUR1レジスタ

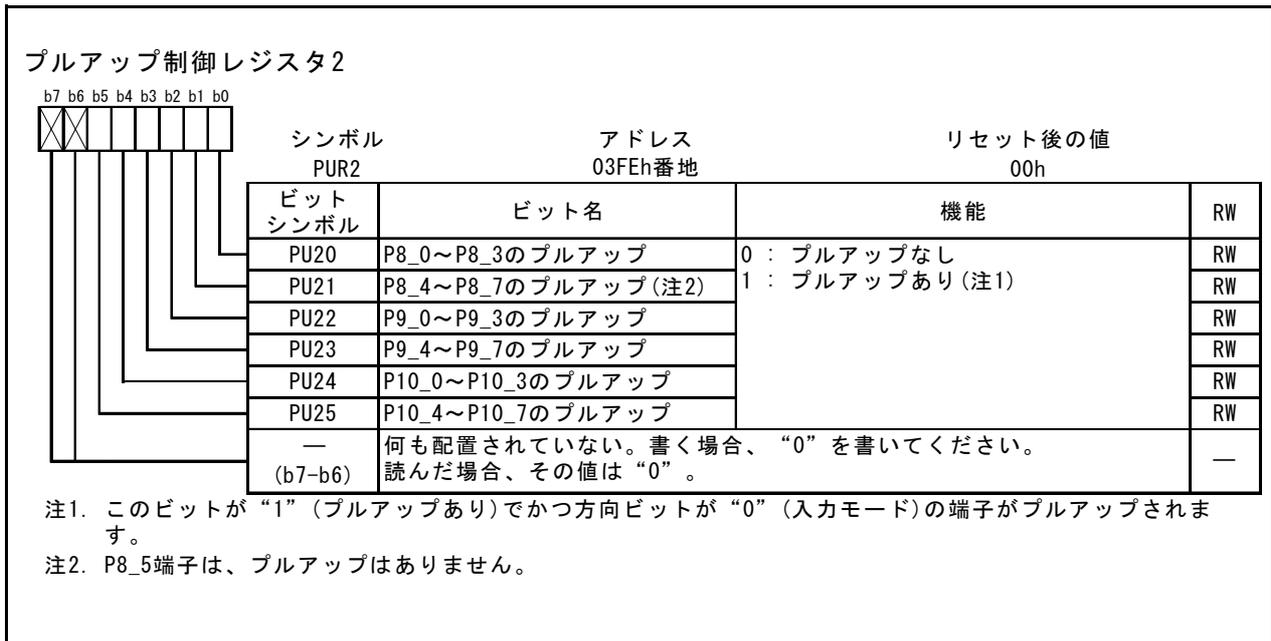


図21.11 PUR2レジスタ

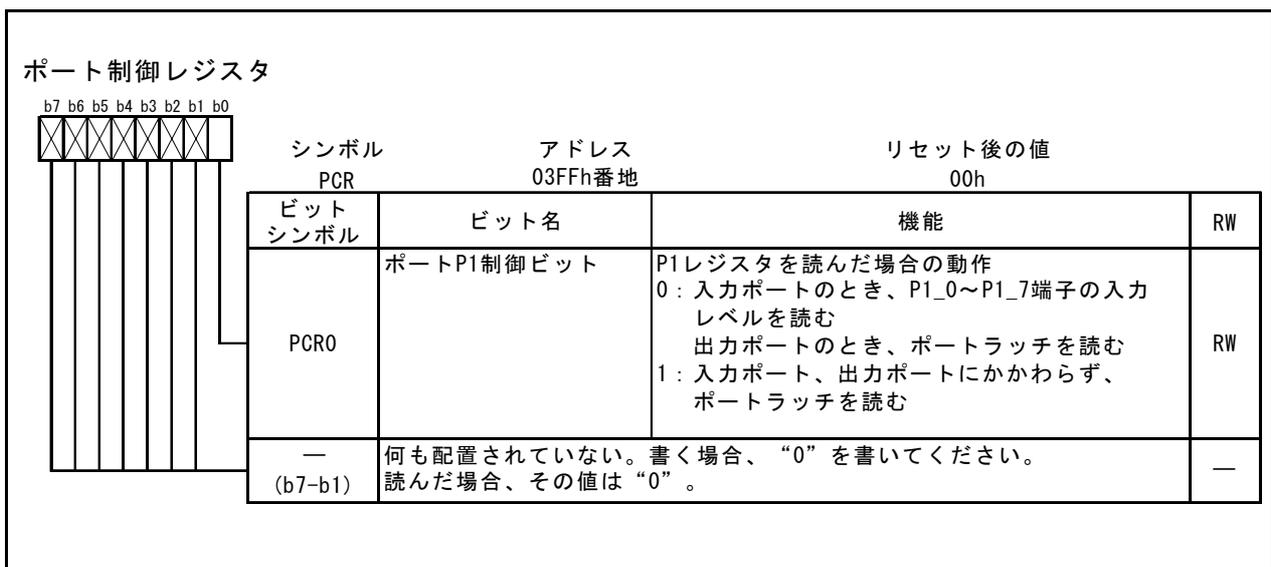


図21.12 PCRレジスタ

表21.2 シングルチップモード時の未使用端子の処理例

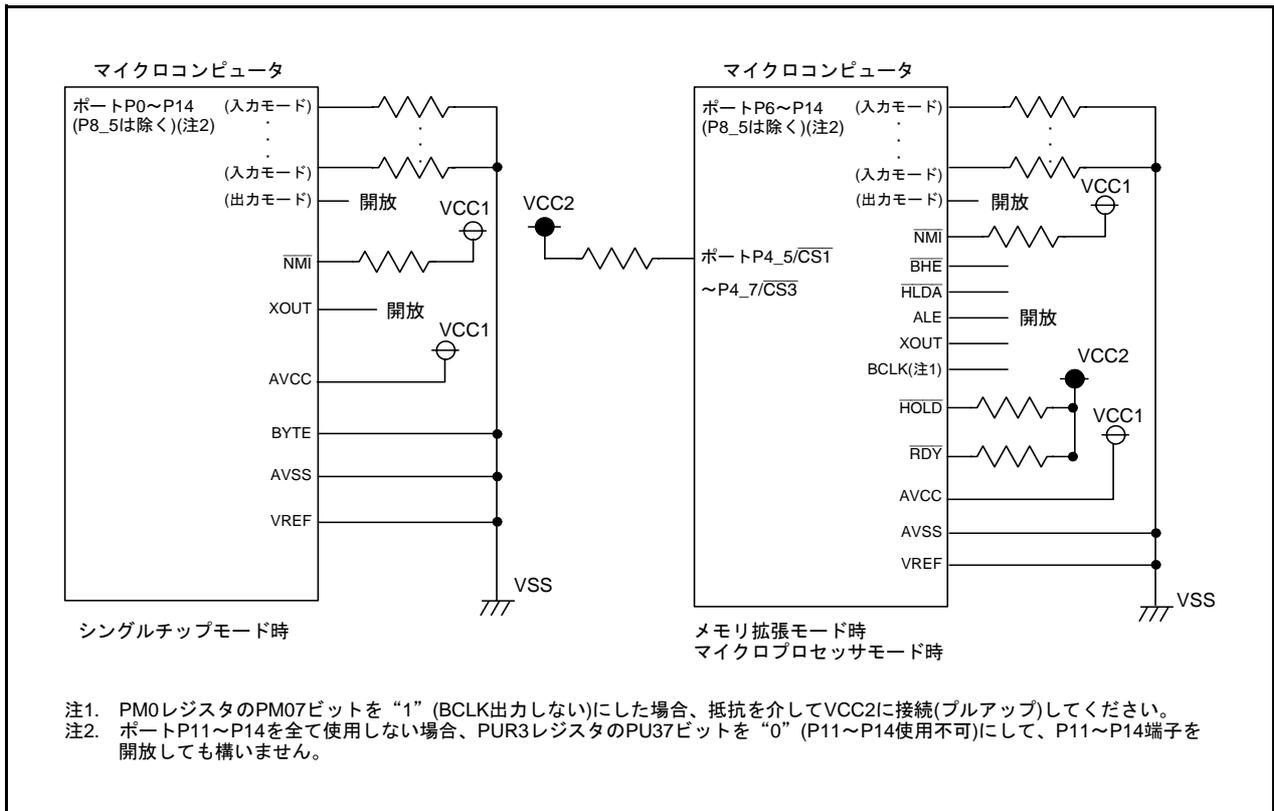
端子名	処理内容
ポートP0～P7、P8_0～P8_4、P8_6～P8_7、P9～P14	入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)するか、または出力モードに設定し、端子を開放(注1、2、3、5)
XOUT(注4)	開放
NMI (P8_5)	抵抗を介してVCC1に接続(プルアップ)
AVCC	VCC1に接続
AVSS、VREF、BYTE	VSSに接続

- 注1. 出力モードに設定し、開放する場合、リセットからプログラムによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。
また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合は考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。
- 注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。
- 注3. ポートP7_0、P7_1を出力モードに設定する場合は“L”を出力してください。
ポートP7_0、P7_1はNチャンネルオープンドレイン出力です。
- 注4. XIN端子に外部クロックを入力している場合。
- 注5. 80ピン版、100ピン版で端子を持たないポートは次のように処理してください。
- 80ピン版
- ポートP1_0～P1_7、P4_4～P4_7、P7_2～P7_5、P9_1は方向ビットを“1”(出力モード)、出力データを“0”(“L”)にしてください。
 - ポートP11～P14は存在しません。
- 100ピン版
- PU37ビットは、リセット後“0”(P11～P14を使用しない)です。
PU37ビットに“1”を書かないでください。PU37ビットを読んだ場合、その値は不定です。
 - P11～P14の方向ビットは“0”でも“1”でも構いません。

表21.3 メモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例

端子名	処理内容
ポートP0～P7、P8_0～P8_4、P8_6～P8_7、P9～P14	入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)するか、または出力モードに設定し、端子を開放(注1、2、3、4、7)
P4_5/CS1～P4_7/CS3	PD4レジスタのCSi(i=1～3)に対応する方向ビットを“0”(入力モード)、CSRレジスタのCSiビットを“0”(チップセレクト禁止)にし、抵抗を介してVCC2に接続(プルアップ)
BHE、ALE、HLDA、XOUT(注5)、BCLK(注6)	開放
HOLD、RDY	抵抗を介してVCC2に接続(プルアップ)
NMI(P8_5)	抵抗を介してVCC1に接続(プルアップ)
AVCC	VCC1に接続
AVSS、VREF	VSSに接続

- 注1. 出力モードに設定し、開放する場合、リセットからプログラムによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合は考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。
- 注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。
- 注3. CNVSS端子にVSSレベルを印加している場合、リセットからプログラムによってプロセッサモードを切り替えるまでは、これらの端子は入力ポートになっています。そのため、端子の電圧レベルが不定となり、これらの端子が入力ポートになっている期間、電源電流が増加する場合があります。
- 注4. ポートP7_0、P7_1を出力モードに設定する場合は“L”を出力してください。ポートP7_0、P7_1はNチャンネルオープンドレイン出力です。
- 注5. XIN端子に外部クロックを入力している場合。
- 注6. PM0レジスタのPM07ビットを“1”(BCLK出力しない)にした場合、抵抗を介してVCC2に接続(プルアップ)してください。
- 注7. 100ピン版で端子を持たないポートは次のように処理してください。
- PU37ビットは、リセット後“0”(P11～P14を使用しない)です。PU37ビットに“1”を書かないでください。PU37ビットを読んだ場合、その値は不定です。
 - P11～P14の方向ビットは“0”でも“1”でも構いません。



22. フラッシュメモリ版

フラッシュメモリ版は、フラッシュメモリを内蔵していることを除いて、マスクROM版と同じ機能を持ちます。

フラッシュメモリ版では、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードでフラッシュメモリを操作できます。

表22.1にフラッシュメモリ版の性能概要を示します(表22.1に示す以外の項目は「表1.1～表1.3 性能概要」を参照してください)。

表22.1 フラッシュメモリ版の性能概要

項目		性能
フラッシュメモリの書き換えモード		3モード(CPU書き換え、標準シリアル入出力、パラレル入出力)
消去ブロック分割	ユーザROM領域	「図22.1 フラッシュメモリのブロック図」を参照してください。
	ブートROM領域	1分割(4Kバイト)(注1)
プログラム方式		ワード単位、バイト単位(注2)
イレース方式		一括消去、ブロック消去
プログラム、イレース制御方式		ソフトウェアコマンドによるプログラム、イレース制御
プロテクト方式		ロックビットによるブロック単位のプロテクト
コマンド数		8コマンド
プログラム、イレース回数		100回、1,000回/10,000回(注3、4)
データ保持		10年間
ROMコードプロテクト		パラレル入出力モード、標準シリアル入出力モード対応

注1. ブートROM領域には出荷時に標準シリアル入出力モードの書き換え制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ書き換えられます。

注2. パラレル入出力モードのみバイト単位でプログラムできます。

注3. ブロック1、ブロックAは10,000回、それ以外のブロックは1,000回です。

注4. プログラム、イレース回数の定義

プログラム、イレース回数はブロックごとのイレース回数です。

例えば、4KバイトのブロックAについて、1ワードの書き込みを2,048回に分けて書き込みを行った後、そのブロックをイレースするとプログラム、イレース回数1回と数えます。

プログラム、イレース回数が100回の場合、ブロックごとに100回ずつイレースすることができます。10,000回の場合、ブロック1、ブロックAは10,000回ずつイレースすることができます。それ以外のブロックは1,000回ずつイレースすることができます。

表22.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード(注1)	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える EW0モード： フラッシュメモリ以外の領域で書き換え可能(注2) EW1モード： フラッシュメモリ上で書き換え可能	専用シリアルライタを使用して、ユーザROM領域を書き換える 標準シリアル入出力モード1： クロック同期形シリアルI/O 標準シリアル入出力モード2： クロック非同期形シリアルI/O	専用パラレルライタを使用して、ブートROM領域、ユーザROM領域を書き換える
書き換えできる領域	ユーザROM領域	ユーザROM領域	ユーザROM領域 ブートROM領域
動作モード	シングルチップモード メモリ拡張モード(EW0モード) ブートモード(EW0モード)	ブートモード	パラレル入出力モード
ROMライタ	—	シリアルライタ	パラレルライタ

注1. FMR0レジスタのFMR01ビットが“1”(CPU書き換えモード有効)の期間、PM13ビットが“1”になります。FMR01ビットを“0”(CPU書き換えモード無効)にすると、PM13ビットは元の値に戻ります。ただし、CPU書き換えモード中にPM13ビットを変更すると、変更した値がFMR01ビットを“0”にした後、反映されます。

注2. CPU書き換えモードではPM1レジスタのPM10ビット、PM13ビットが“1”になります。書き換え制御プログラムを実行する領域は内部RAM、またはPM13ビットが“1”の場合に使用できる外部領域で実行してください。また、PM13ビットが“0”で4Mバイトモードを使用する場合、アクセス空間が拡張される領域(40000h～BFFFFh)は使用しないでください。

22.1 メモリ配置

フラッシュメモリ版のROMは、ユーザROM領域とブートROM領域に分けられます。図22.1にフラッシュメモリのブロック図を示します。ユーザROM領域には、シングルチップモード、またはメモリ拡張モード時のマイコン動作プログラムを格納する領域とは別に、4KバイトのブロックAがあります。

ユーザROM領域はいくつかのブロックに分割されており、ブロックごとにプログラムやイレーズを禁止(ロック)できます。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。ブロックAは、PM1レジスタのPM10ビットを“1”(ブロックA有効、CS2領域は10000h~26FFFh)にすると使用できます。

ブートROM領域は、ユーザROM領域と重なったアドレスに配置されており、パラレル入出力モードでだけ書き換えられます。また、CNVSS端子とP5_0端子に“H”を、P5_5端子に“L”を入力してハードウェアリセットすると、リセット後、ブートROM領域のプログラムが実行されます。CNVSS端子に“L”を入力してハードウェアリセットするとリセット後、ユーザROM領域のプログラムが実行され、ブートROM領域は読めません。

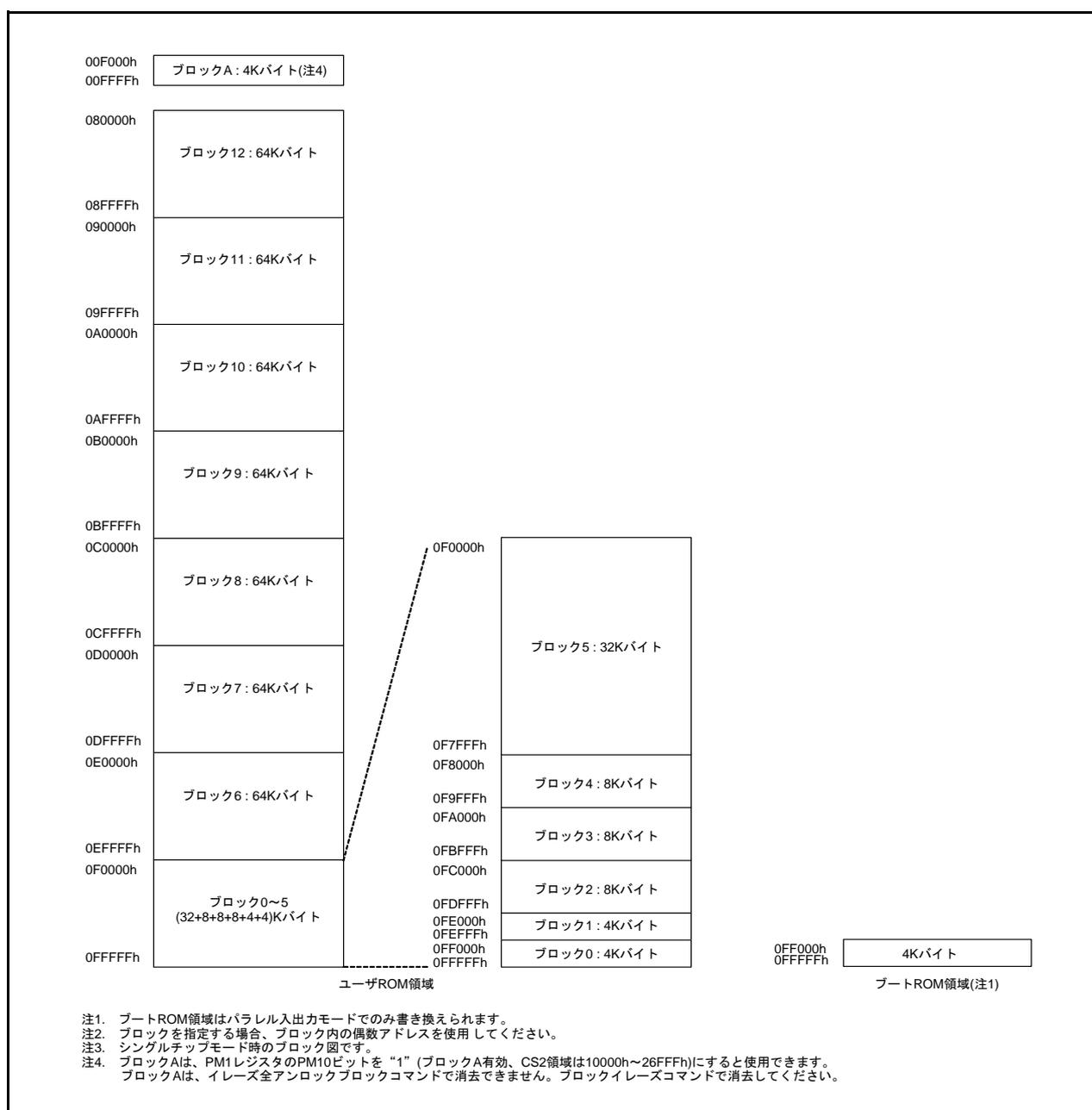


図22.1 フラッシュメモリのブロック図

22.1.1 ブートモード

P5_5端子に“L”、CNVSS端子に“H”、P5_0端子に“H”を入力してハードウェアリセットすると、ブートモードになり、ブートROM領域のプログラムを実行します。

ブートモード時、ブートROM領域とユーザROM領域は、FMR0レジスタのFMR05ビットで切り替えられます。

ブートROM領域には、出荷時、標準シリアル入出力モードの書き換え制御プログラムが格納されています。

また、ブートROM領域はパラレル入出力モードで書き換えられます。EW0モードを使用した任意の書き換え制御プログラムをブートROM領域に書いておくと、システムに合わせた書き換えができます。

22.2 フラッシュメモリ書き換え禁止機能

フラッシュメモリの読み出し、書き込みを禁止するため、パラレル入出力モードにはROMコードプロテクト機能、標準シリアル入出力モードにはIDコードチェック機能があります。

22.2.1 ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モードを使用する場合に、フラッシュメモリの読み出しや書き換えを禁止する機能です。図22.2にROMCPレジスタを示します。ROMCPレジスタは、ユーザROM領域に存在します。

ROMCP1ビットを“11b”以外にすると、ROMコードプロテクトが有効になります。その場合、ビット5～ビット0は“111111b”にしてください。

ROMコードプロテクトを解除する場合、標準シリアル入出力モードまたはCPU書き換えモードでROMCP1レジスタを含むブロックを消去してください。

22.2.2 IDコードチェック機能

標準シリアル入出力モードで使用します。シリアルライターから送られてくるIDコードとフラッシュメモリに書かれているIDコードの一致を判定します。IDコードが一致しない場合、シリアルライターから送られてくるコマンドは受け付けられません。ただし、リセットベクタの4バイトが“FFFFFFFFh”の場合、IDコードの判定は行われず、すべてのコマンドが受け付けられます。

フラッシュメモリのIDコードは、1バイト目からそれぞれ0FFFDfH、0FFFE3h、0FFFEbH、0FFFEfH、0FFFF3h、0FFFF7h、0FFFFbH番地に割り当てられた7バイトのデータです。これらの番地にIDコードを設定したプログラムをフラッシュメモリへ書いてください。

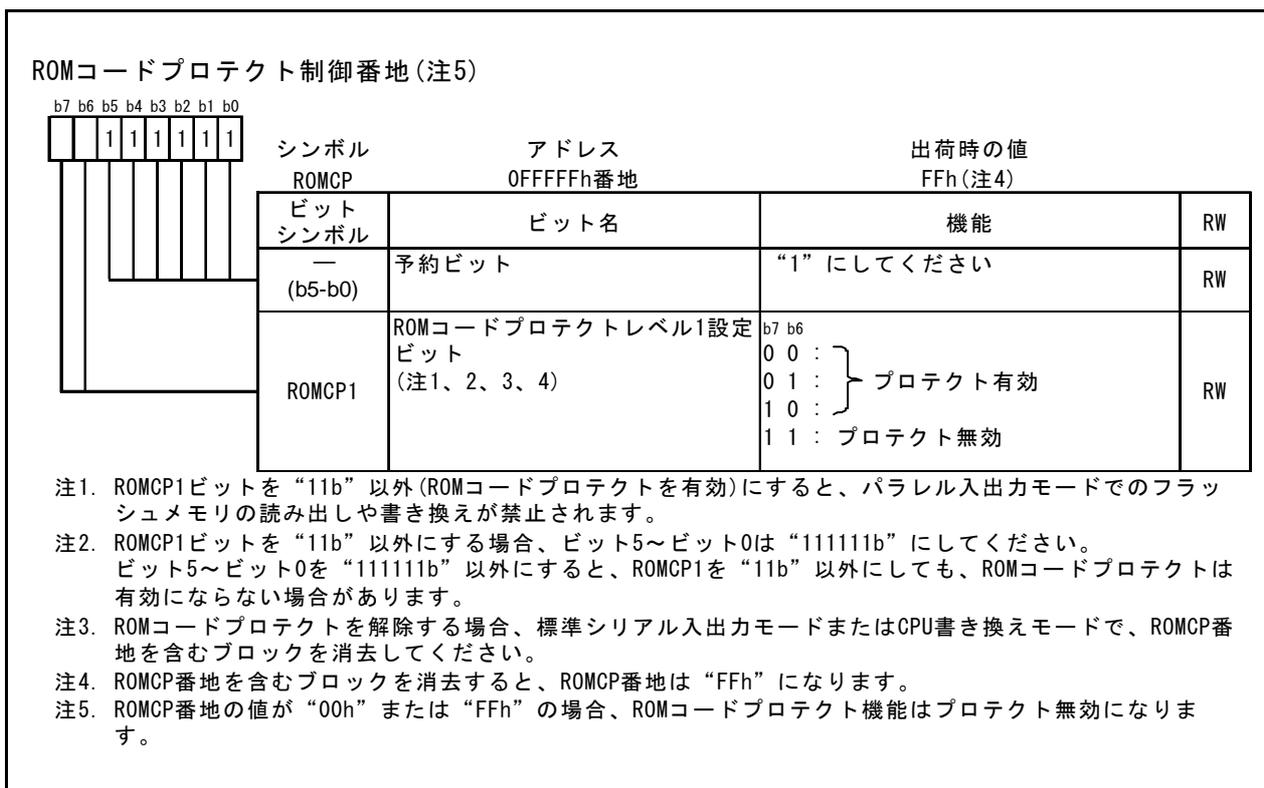


図22.2 ROMCPレジスタ

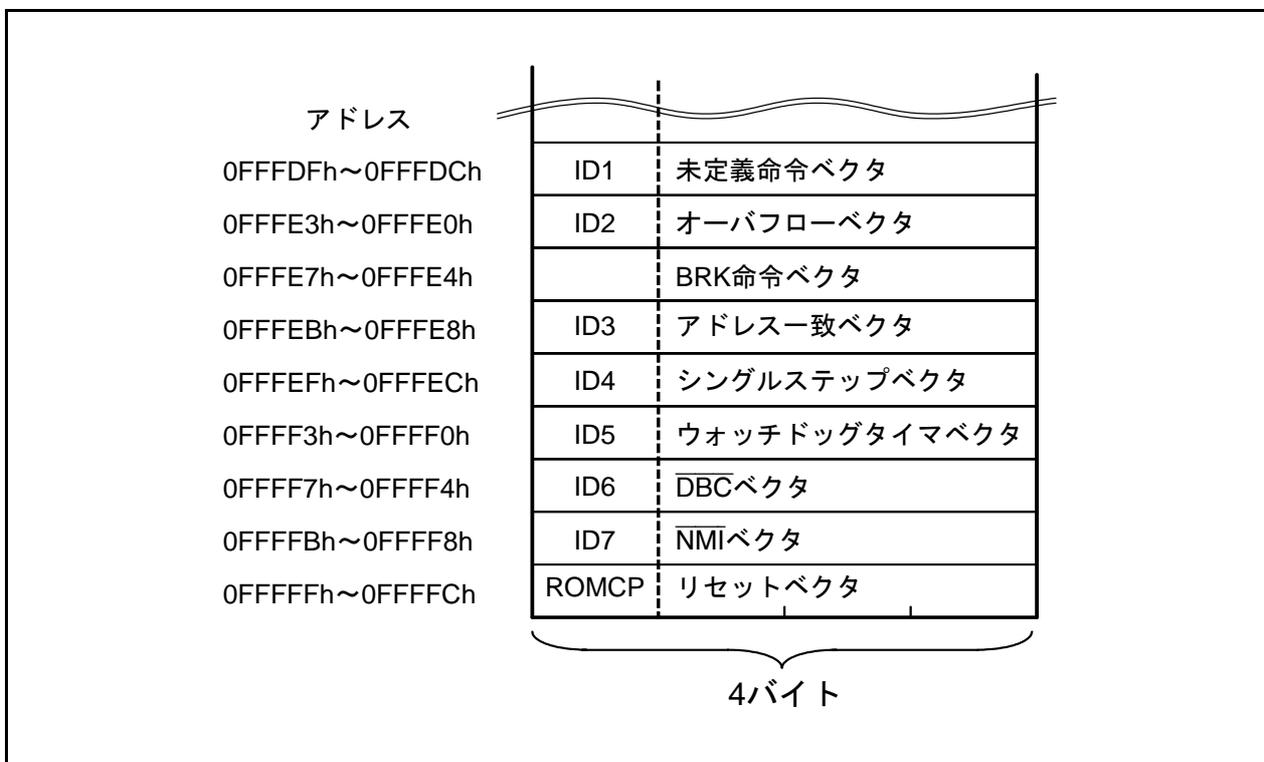


図22.3 IDコードの格納番地

22.3 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライターなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。

CPU書き換えモードでは、図22.1に示すユーザROM領域のみの書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレーズのコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1モード)があります。表22.3にEW0モードとEW1モードの違いを示します。

表22.3 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	<ul style="list-style-type: none"> • シングルチップモード • メモリ拡張モード • ブートモード 	シングルチップモード
書き換え制御プログラムを配置できる領域	<ul style="list-style-type: none"> • ユーザROM領域 • ブートROM領域 	ユーザROM領域
書き換え制御プログラムを実行できる領域	フラッシュメモリ以外(RAMなど)へ転送してから実行する必要あり(注2)	ユーザROM領域上で実行可能
書き換えられる領域	ユーザROM領域	ユーザROM領域 ただし、書き換え制御プログラムがあるブロックを除く
ソフトウェアコマンドの制限	なし	<ul style="list-style-type: none"> • プログラム、ブロックイレーズコマンド 書き換え制御プログラムがあるブロックに対して実行禁止 • イレーズ全アンロックブロックコマンド 書き換え制御プログラムがあるブロックのロックビットが“1”(非ロック)、またはFMR0レジスタのFMR02ビットが“1”(ロックビット無効)のとき実行禁止 • リードステータスレジスタコマンド 実行禁止
プログラム、イレーズ後のモード	リードステータスレジスタモード	リードアレイモード
自動書き込み、自動消去時のCPUの状態	動作	ホールド状態(入出力ポートはコマンド実行前の状態を保持(注1))
フラッシュメモリのステータス検知	<ul style="list-style-type: none"> • プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む • リードステータスレジスタコマンドを実行し、ステータスレジスタのSR7、SR5、SR4ビットを読む 	プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む

注1. 割り込み(NMIを除く)、DMA転送が起こらないようにしてください。

注2. CPU書き換えモードではPM1レジスタのPM10ビット、PM13ビットが“1”になります。書き換え制御プログラムを実行する領域は内部RAM、またはPM13ビットが“1”の場合に使用できる外部領域で実行してください。また、PM13ビットが“0”で4Mバイトモードを使用する場合、アクセス空間が拡張される領域(40000h～BFFFFh)は使用しないでください。

22.3.1 EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、コマンドの受け付けが可能となります。このとき、FMR1レジスタのFMR11ビットが“0”の場合、EW0モードになります。FMR01ビットを“1”にするときには“0”を書いた後、続けて“1”を書いてください。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などはFMR0レジスタまたはステータスレジスタで確認できます。

22.3.2 EW1モード

FMR01ビットを“1”にした後(“0”を書いた後、続けて“1”を書く)、FMR11ビットを“1”にする(“0”を書いた後、続けて“1”を書く)とEW1モードになります。

プログラム、イレーズの終了時の状態などは、FMR0レジスタで確認できます。EW1モードでは、ステータスレジスタを読めません。

プログラム、イレーズのコマンドを実行すると、コマンドの実行が終了するまで、CPUは停止します。

22.3.3 フラッシュメモリ制御レジスタ(FIDR、FMR0、FMR1レジスタ)

図22.4にFIDRレジスタ、図22.5にFMR0レジスタ、図22.6にFMR1レジスタを示します。

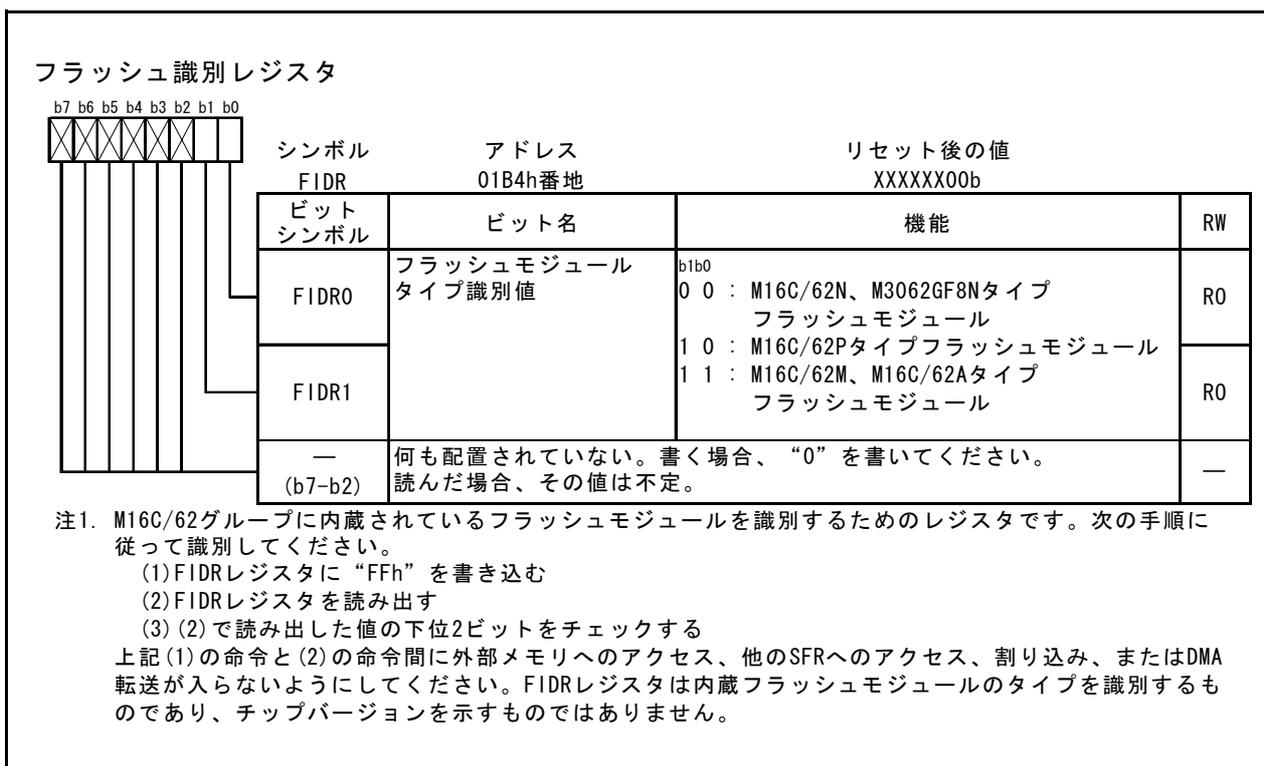


図22.4 FIDRレジスタ

フラッシュメモリ制御レジスタ0

シンボル		アドレス	リセット後の値	
FMR0		01B7h番地	0000001b	
ビットシンボル	ビット名	機能		RW
FMR00	RY/BYステータスフラグ	0 : ビジー(書き込み、消去実行中)(注6) 1 : レディ		RO
FMR01	CPU書き換えモード選択ビット(注1)	0 : CPU書き換えモード無効 1 : CPU書き換えモード有効		RW
FMR02	ロックビット無効選択ビット(注2)	0 : ロックビット有効 1 : ロックビット無効		RW
FMSTP	フラッシュメモリ停止ビット(注3、5)	0 : フラッシュメモリ動作 1 : フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)		RW
— (b4)	予約ビット	“0” にしてください		RW
FMR05	ユーザROM領域選択ビット(注3) (ブートモード時のみ有効)	0 : ブートROM領域アクセス 1 : ユーザROM領域アクセス		RW
FMR06	プログラムステータスフラグ(注4)	0 : 正常終了 1 : エラー終了		RO
FMR07	イレーズステータスフラグ(注4)	0 : 正常終了 1 : エラー終了		RO

注1. “1”にするときは、“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

このビットは、NMI端子が“H”の状態を書いてください。また、EWOモード時はフラッシュメモリ以外の領域のプログラムで書いてください。

このビットはリードアレイモードにしてから“0”にしてください。

注2. “1”にするときは、FMR01ビットが“1”の状態、このビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

注3. このビットは、フラッシュメモリ以外の領域のプログラムで書いてください。

注4. クリアステータスコマンドを実行すると“0”になります。

注5. FMR01ビットが“1”(CPU書き換えモード)のとき有効です。FMR01ビットが“0”のとき、FMSTPビットに“1”を書くとFMSTPビットは“1”になりますが、フラッシュメモリは低消費電力状態にはならず、初期化もされません。

注6. ロックビットプログラム、リードロックビットステータスコマンドでの書き込み、読み出し中を含みません。

図22.5 FMR0レジスタ

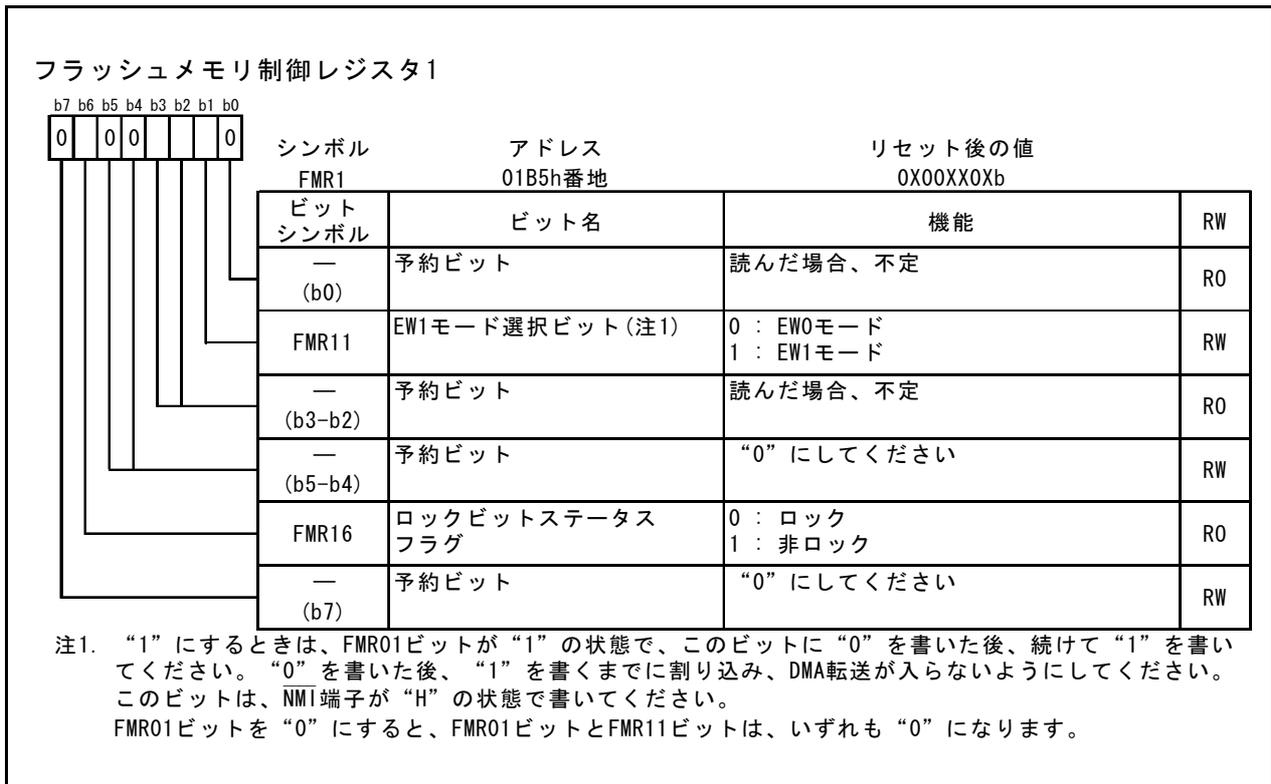


図22.6 FMR1レジスタ

22.3.3.1 FMR00 ビット

フラッシュメモリの動作状況を示すビットです。プログラム、ブロックイレーズ、イレーズ全アンロックブロック、ロックビットプログラム、リードロックビットステータスコマンド実行中には“0”、それ以外のときは“1”になります。

22.3.3.2 FMR01 ビット

FMR01 ビットを“1” (CPU書き換えモード)にすると、コマンドの受け付けが可能になります。なお、ブートモード時はFMR05 ビットも“1” (ユーザROM領域アクセス)にしてください。

22.3.3.3 FMR02 ビット

FMR02 ビットを“1” (ロックビット無効)にすると、ロックビットを無効にできます(「22.3.6 データ保護機能」参照)。“0”にすると、ロックビットが有効になります。

FMR02 ビットは、ロックビットの機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR02 ビットを“1”にした状態でイレーズを実行した場合には、“0” (ロック状態)であったロックビットデータは、消去終了後“1” (非ロック状態)になります。

22.3.3.4 FMSTP ビット

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTP ビットを“1” (フラッシュメモリ停止)にすると、内蔵フラッシュメモリにアクセスできなくなります。したがって、FMSTP ビットはフラッシュメモリ以外の領域に配置したプログラムで書いてください。

次の場合、FMSTP ビットを“1”にしてください。

- EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00 ビットが“1” (レディ)に戻らなくなった)場合
- 低消費電力モードまたはオンチップオシレータ低消費電力モードにする場合

FMSTP ビットは次の手順で書き換えてください。

- (1) FMSTP ビットを“1”にする
- (2) フラッシュメモリ回路安定待ち時間(tps)待つ
- (3) FMSTP ビットを“0”にする
- (4) フラッシュメモリ回路安定待ち時間(tps)待つ

図22.9に低消費電力モード、オンチップオシレータ低消費電力モード前後の処理を示します。このフローチャートに従って操作してください。

なお、ストップモードまたはウェイトモードに移行する場合は、自動的に内蔵フラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0 レジスタを設定する必要がありません。

22.3.3.5 FMR05 ビット

ブートモード時、ブートROM領域とユーザROM領域を切り替えるビットです。ブートROM領域をアクセス(読み出し)するときは“0”に、ユーザROM領域をアクセス(読み出し、書き込み、消去)するときは“1” (ユーザROMアクセス)にしてください。

22.3.3.6 FMR06ビット

自動書き込みの状況を示す読み出し専用ビットです。プログラムエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「22.3.8 フルスステータスチェック」を参照してください。

22.3.3.7 FMR07ビット

自動消去の状況を示す読み出し専用ビットです。イレーズエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「22.3.8 フルスステータスチェック」を参照してください。
図22.7にEW0モードの設定と解除方法、図22.8にEW1モードの設定と解除方法を示します。

22.3.3.8 FMR11ビット

FMR11ビットが“0”(EW0モード)の場合、EW0モードになります。
FMR11ビットが“1”(EW1モード)の場合、EW1モードになります。

22.3.3.9 FMR16ビット

リードロックビットステータス実行結果を示す読み出し専用ビットです。
ブロックがロック状態の場合“0”、非ロック状態の場合“1”になります。

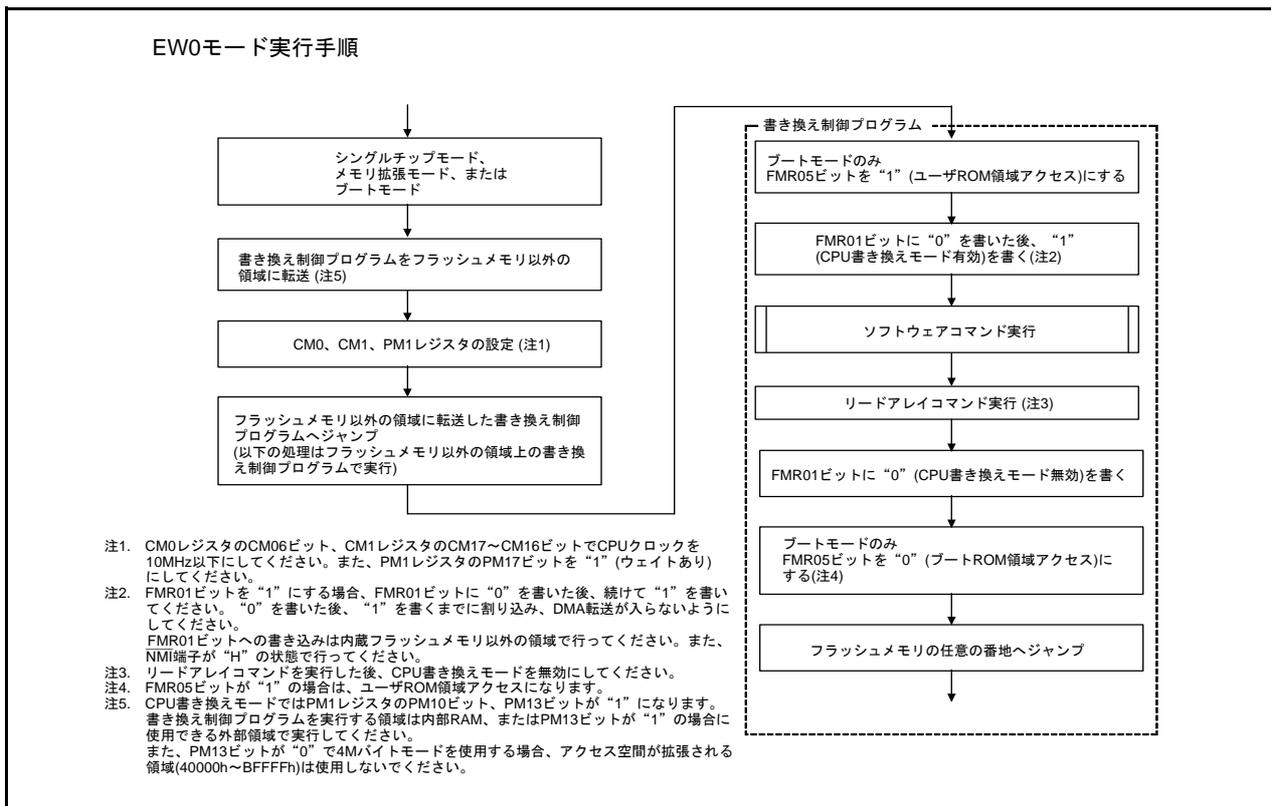


図22.7 EW0モードの設定と解除方法

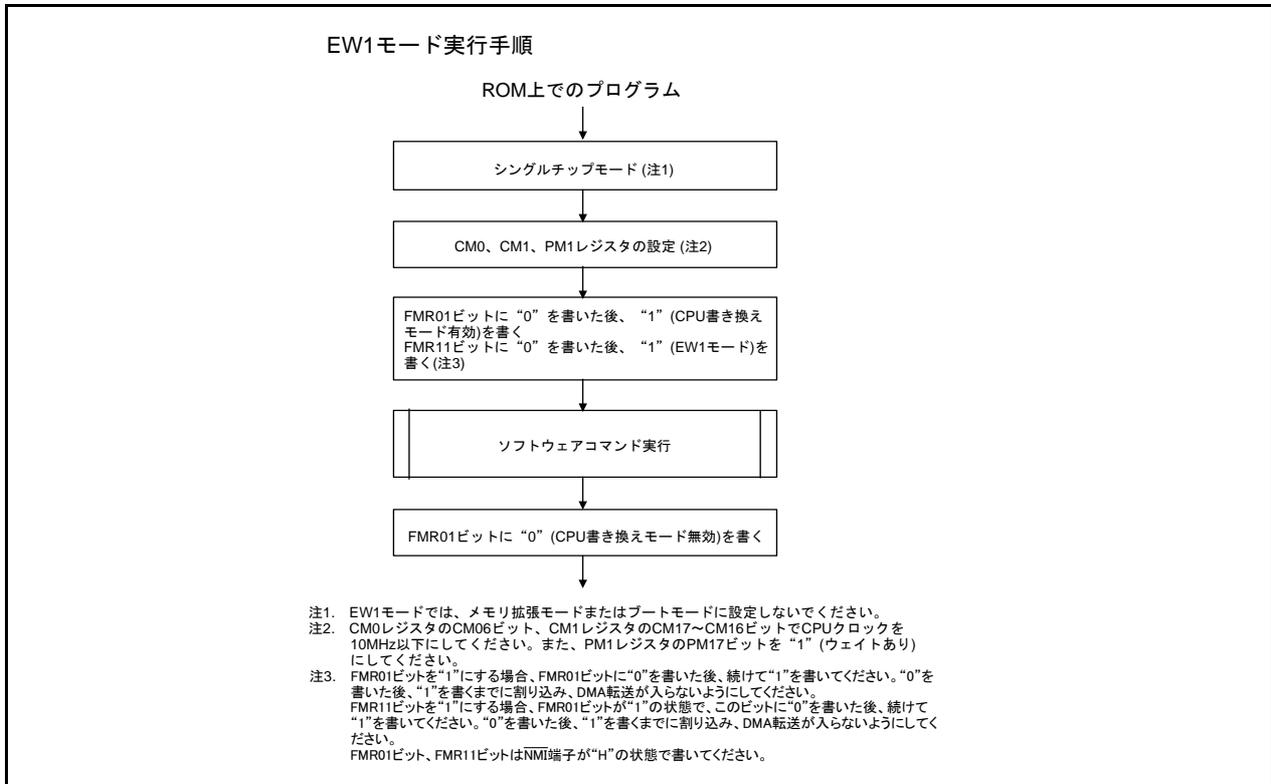


図22.8 EW1モードの設定と解除方法

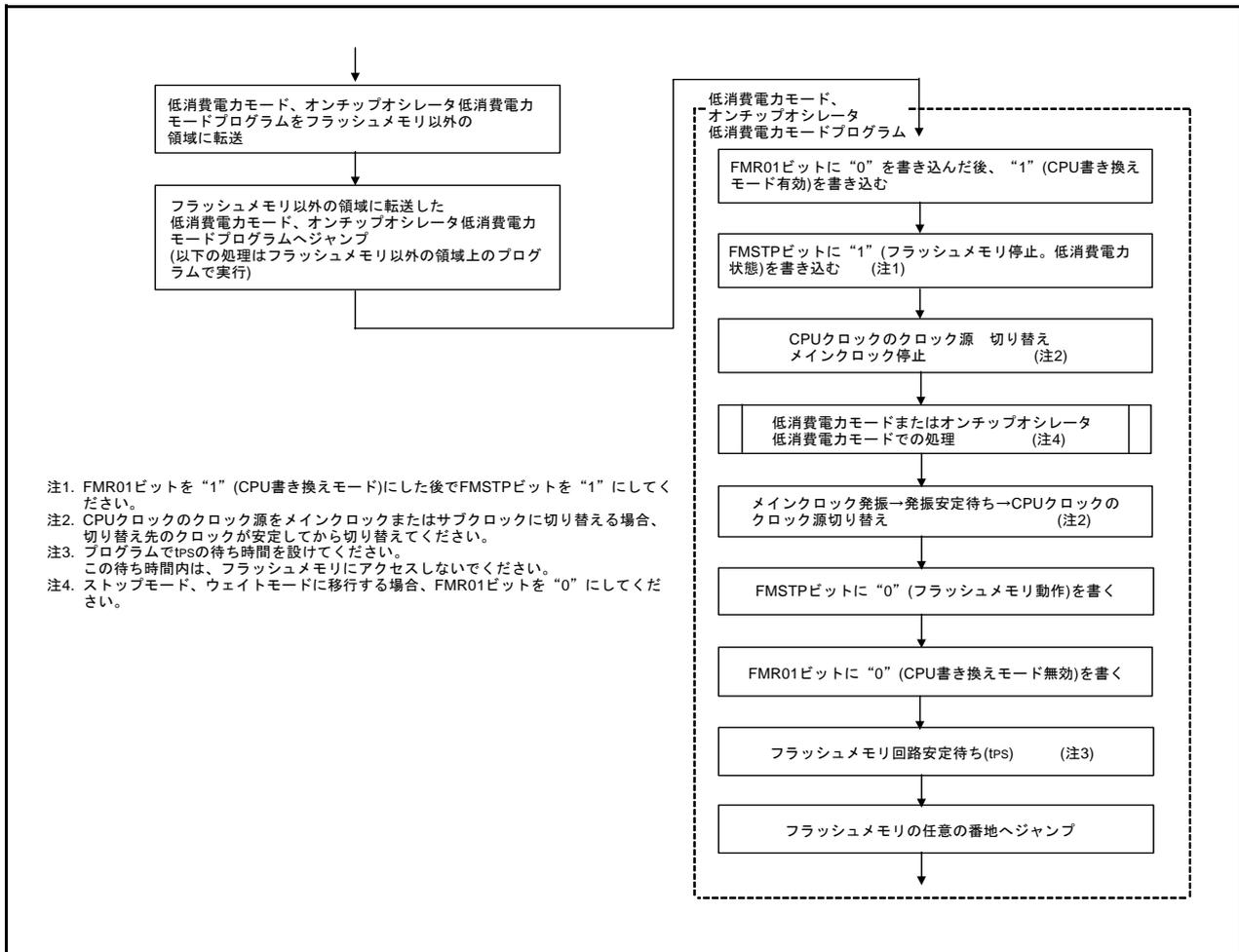


図22.9 低消費電力モード、オンチップオシレータ低消費電力モード前後の処理

22.3.4 CPU書き換えモードの注意事項

22.3.4.1 動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM17～CM16ビットで、CPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウェイトあり)にしてください。

22.3.4.2 使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため使用できません。
UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

22.3.4.3 割り込み(EW0モード)

- 可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用できます。
- NMI割り込み、ウォッチドッグタイマ割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。NMI割り込み、ウォッチドッグタイマ割り込み発生時、書き換え動作が終了します。割り込みルーチン終了後、書き換えプログラムを再実行してください。
- アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

22.3.4.4 割り込み(EW1モード)

- 自動書き込み、自動消去の期間に、可変ベクタテーブルにベクタを持つ割り込みや、アドレス一致割り込みが受け付けられないようにしてください。
- ウォッチドッグタイマ割り込みは使用しないでください。
- NMI割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。NMI割り込み発生時は、書き換え動作が終了します。割り込みルーチン終了後、書き換えプログラムを再実行してください。

22.3.4.5 アクセス方法

FMR01ビット、FMR02ビット、FMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。また、NMI端子に“H”を入力した状態で行ってください。

22.3.4.6 ユーザROM領域の書き換え(EW0モード)

書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モードまたはパラレル入出力モードを使用してください。

22.3.4.7 ユーザROM領域の書き換え(EW1モード)

書き換え制御プログラムが格納されているブロックを書き換えしないでください。

22.3.4.8 DMA転送

EW1モードでは、FMR0レジスタのFMR00ビットが“0”(自動書き込み、自動消去の期間)の場合にDMA転送が入らないようにしてください。

22.3.4.9 コマンド、データの書き込み

コマンドコード、データは偶数番地に書いてください。

22.3.4.10 ウェイトモード

ウェイトモードに移行する場合は、FMR01ビットを“0” (CPU書き換えモード無効)にした後、WAIT命令を実行してください。

22.3.4.11 ストップモード

ストップモードに移行する場合は、FMR01ビットを“0” (CPU書き換えモード無効)にし、DMA転送を禁止した後で、CM10ビットを“1” (ストップモード)の命令を実行してください。

22.3.4.12 低消費電力モード、オンチップオシレータ低消費電力モード

CM05ビットが“1” (メインクロック停止)のときは、次のコマンドを実行しないでください。

- プログラム
- ブロックイレーズ
- イレーズ全アンロックブロック
- ロックビットプログラム
- リードロックビットステータス

22.3.5 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは16ビット単位で、ユーザROM領域内の偶数番地に行ってください。コマンドコード書き込み時、上位8ビット(D15～D8)は無視されます。

表22.4 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ (D15～D0)	モード	アドレス	データ (D15～D0)
リードアレイ	ライト	x	xxFFh			
リードステータスレジスタ	ライト	x	xx70h	リード	x	SRD
クリアステータスレジスタ	ライト	x	xx50h			
プログラム	ライト	WA	xx40h	ライト	WA	WD
ブロックイレーズ	ライト	x	xx20h	ライト	BA	xxD0h
イレーズ全アンロックブロック(注1)	ライト	x	xxA7h	ライト	x	xxD0h
ロックビットプログラム	ライト	BA	xx77h	ライト	BA	xxD0h
リードロックビットステータス	ライト	x	xx71h	ライト	BA	xxD0h

注1. イレーズ全アンロックブロックコマンドで消去されるブロックは、ブロック0～ブロック12です。ブロックAは消去できません。ブロックAを消去する場合、ブロックイレーズコマンドを使用してください。

SRD : ステータスレジスタデータ (D7～D0)

WA : 書き込み番地(第1バスサイクルのアドレスは、第2バスサイクルのアドレスと同一偶数番地にしてください。)

WD : 書き込みデータ(16ビット)

BA : ブロックの最上位番地(ただし、偶数番地)

x : ユーザROM領域内の任意の偶数番地

xx : コマンドコード上位8ビット(無視されます)

22.3.5.1 リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで“xxFFh”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が16ビット単位で読めます。

リードアレイモードは、他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

22.3.5.2 リードステータスレジスタ

ステータスレジスタを読むコマンドです。

第1バスサイクルで“xx70h”を書くと、第2バスサイクルでステータスレジスタが読めます(「22.3.7 ステータスレジスタ」参照)。なお、読むときもユーザROM領域内の偶数番地を読んでください。

EW1モードでは、このコマンドを実行しないでください。

22.3.5.3 クリアステータスレジスタ

ステータスレジスタをクリアするコマンドです。

第1バスサイクルで“xx50h”を書くと、FMR0レジスタのFMR07～FMR06ビットは“00b”、ステータスレジスタのSR5～SR4は“00b”になります。

22.3.5.4 プログラム

1ワード(2バイト)単位でフラッシュメモリにデータを書くコマンドです。

第1バスサイクルで“xx40h”を書き、第2バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一の偶数番地にしてください。

自動書き込み終了はFMR0レジスタのFMR00ビットで確認できます。FMR00ビットは、自動書き込み期間中は“0”(ビジー)、終了後は“1”(レディ)になります。

自動書き込み終了後、FMR0レジスタのFMR06ビットで自動書き込みの結果を知ることができます(「22.3.8 フルステータスチェック」参照)。

既にプログラムされた番地には追加書き込みはできません。図22.10にプログラムフローチャートを示します。

なお、各ブロックはロックビットにより、プログラムを禁止できます(「22.3.6 データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードでは、自動書き込み開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのSR7ビットは自動書き込み開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。また、自動書き込み終了後、ステータスレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

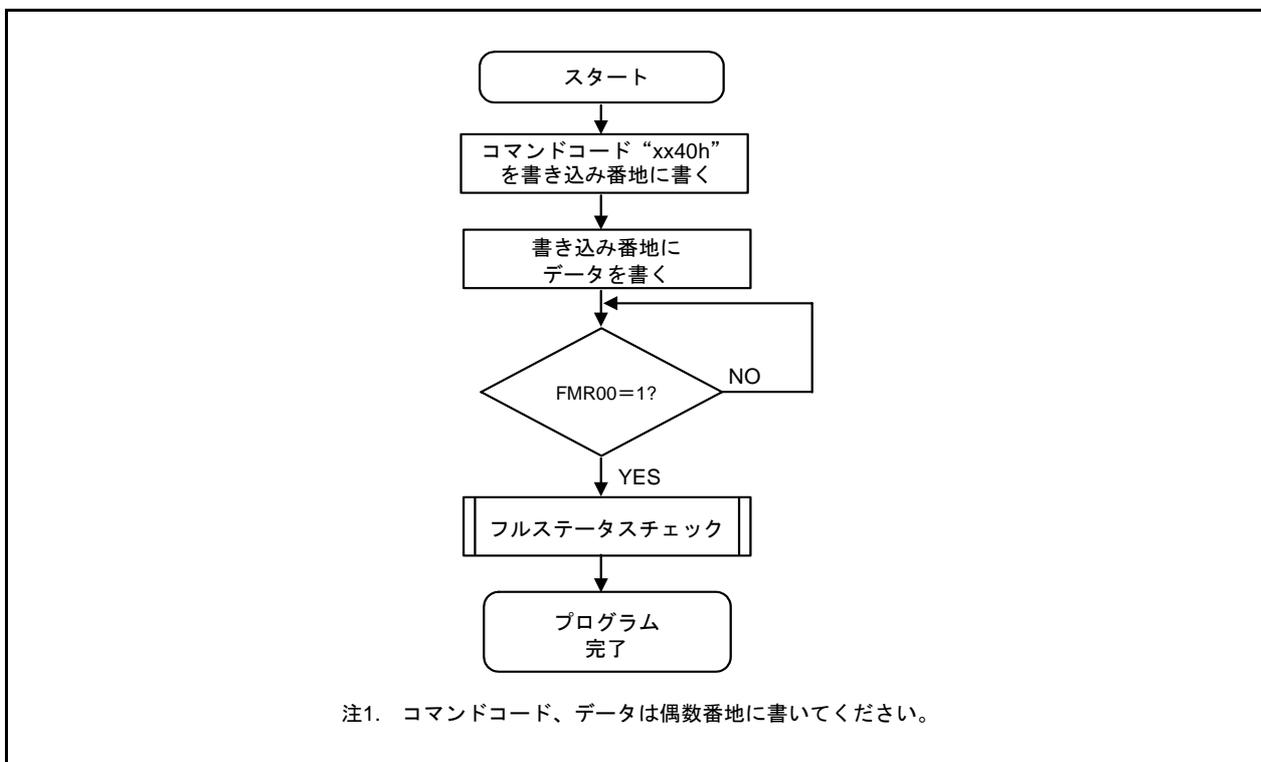


図22.10 プログラムフローチャート

22.3.5.5 ブロックイレース

第1バスサイクルで“xx20h”、第2バスサイクルで“xxD0h”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックに対し、自動消去(イレースとイレースベリファイ)を開始します。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、自動消去期間中は“0”(ビジー)、終了後は“1”(レディ)になります。

自動消去終了後、FMR0レジスタのFMR07ビットで、自動消去の結果を知ることができます(「22.3.8 フルスステータスチェック」参照)。

図22.11にブロックイレースフローチャート例を示します。

なお、各ブロックはロックビットにより、イレースを禁止できます(「22.3.6 データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードでは、自動消去開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのSR7ビットは自動消去の開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドまたはリードロックビットステータスコマンドを書くまで継続されます。なお、イレースエラーが発生した場合は、イレースエラーが発生しなくなるまで、クリアステータスレジスタコマンド→ブロックイレースコマンドを少なくとも3回実行してください。

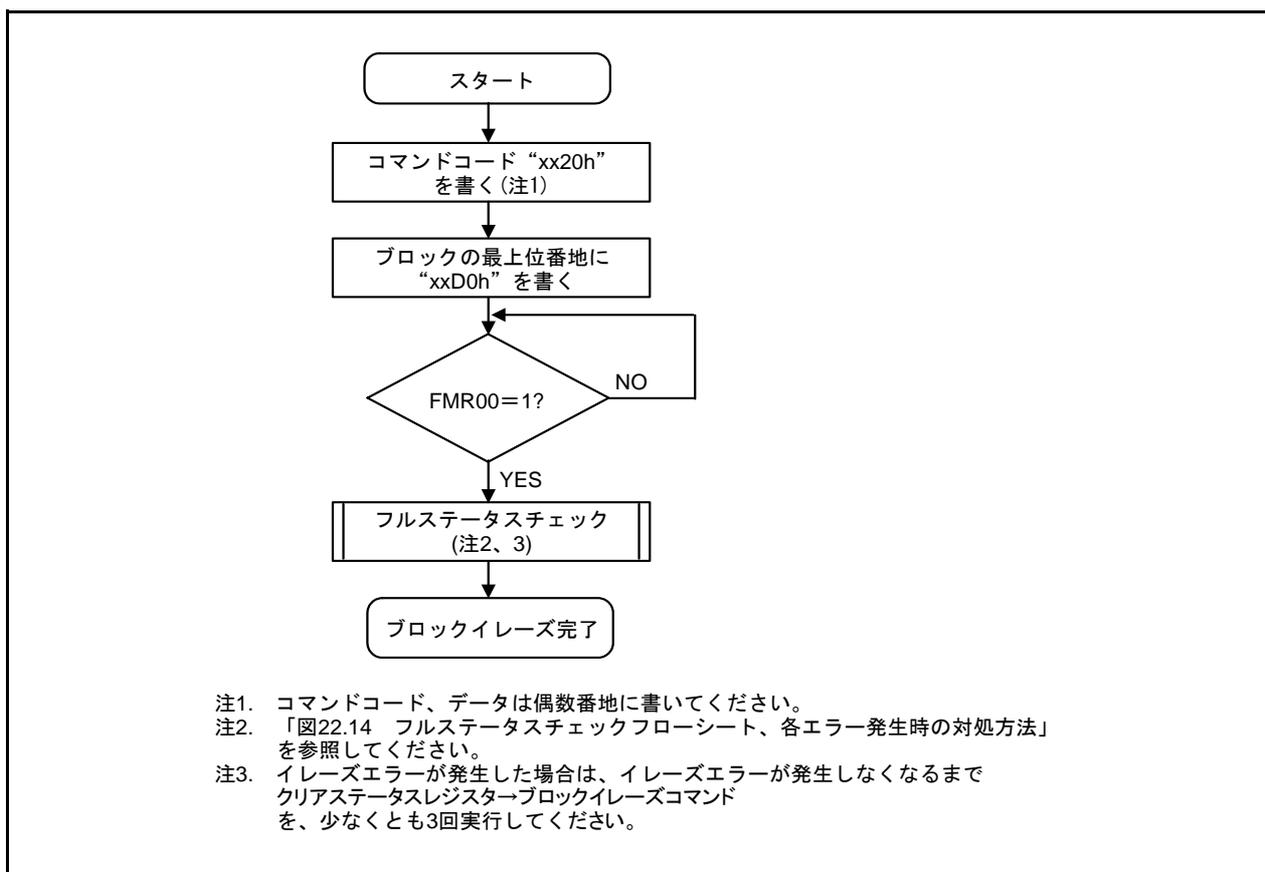


図22.11 ブロックイレースフローチャート

22.3.5.6 イレーズ全アンロックブロック

第1バスサイクルで“xxA7h”、第2バスサイクルで“xxD0h”を書くと、ブロックAを除く全ブロックに対し、連続的にブロックイレーズを行います。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。自動消去の結果はFMR0レジスタのFMR07ビットで確認できます。

なお、各ブロックはロックビットにより、イレーズを禁止できます(「22.3.6 データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックのロックビットが“1”(非ロック)、またはFMR0レジスタのFMR02ビットが“1”(ロックビット無効)のとき、このコマンドを実行しないでください。

EW0モードでは、自動消去開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのSR7ビットは自動消去の開始とともに“0”(ビジー)となり、終了とともに“1”(レディ)に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドまたはリードロックビットステータスコマンドを書くまで継続されます。

また、本コマンドで消去されるブロックは、ブロック0～ブロック12です。ブロックAは消去できません。ブロックAを消去する場合、ブロックイレーズコマンドを使用してください。

22.3.5.7 ロックビットプログラム

任意のブロックのロックビットを“0”(ロック状態)にするコマンドです。

第1バスサイクルで“xx77h”、第2バスサイクルで“xxD0h”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの最上位番地と同一にしてください。

図22.12にロックビットプログラムフローチャート例を示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読めます。

書き込みの終了は、FMR0レジスタのFMR00ビットで確認できます。

なお、ロックビットの機能、ロックビットを“1”(非ロック状態)にする方法については、「22.3.6 データ保護機能」を参照してください。

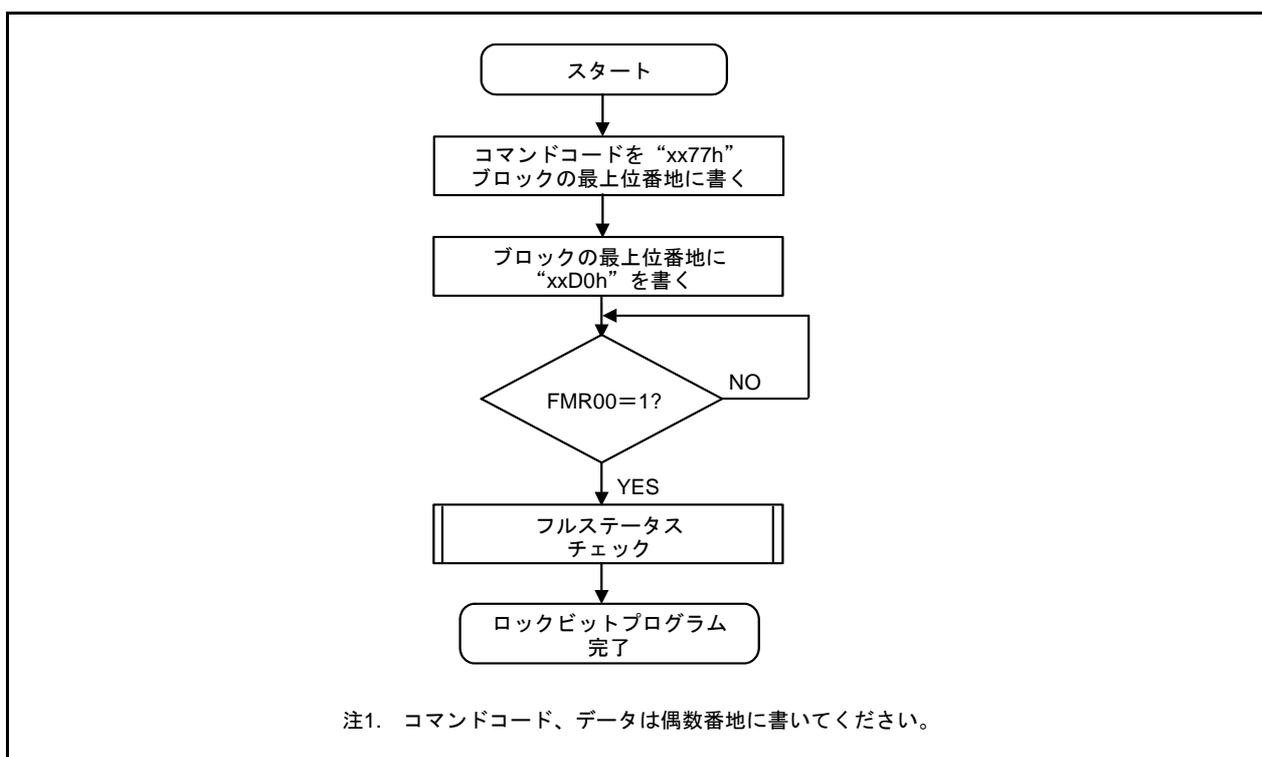


図22.12 ロックビットプログラムフローチャート

22.3.5.8 リードロックビットステータス

任意のブロックのロックビットの状態を読むコマンドです。

第1バスサイクルで“xx71h”、第2バスサイクルでブロックの最上位番地(ただし、偶数番地)に“xxD0h”を書くと、ブロックのロックビットの状態がFMR1レジスタのFMR16ビットに格納されます。FMR0レジスタのFMR00ビットが“1”(レディ)になった後、FMR16ビットを読んでください。

図22.13にリードロックビットステータスフローチャート例を示します。

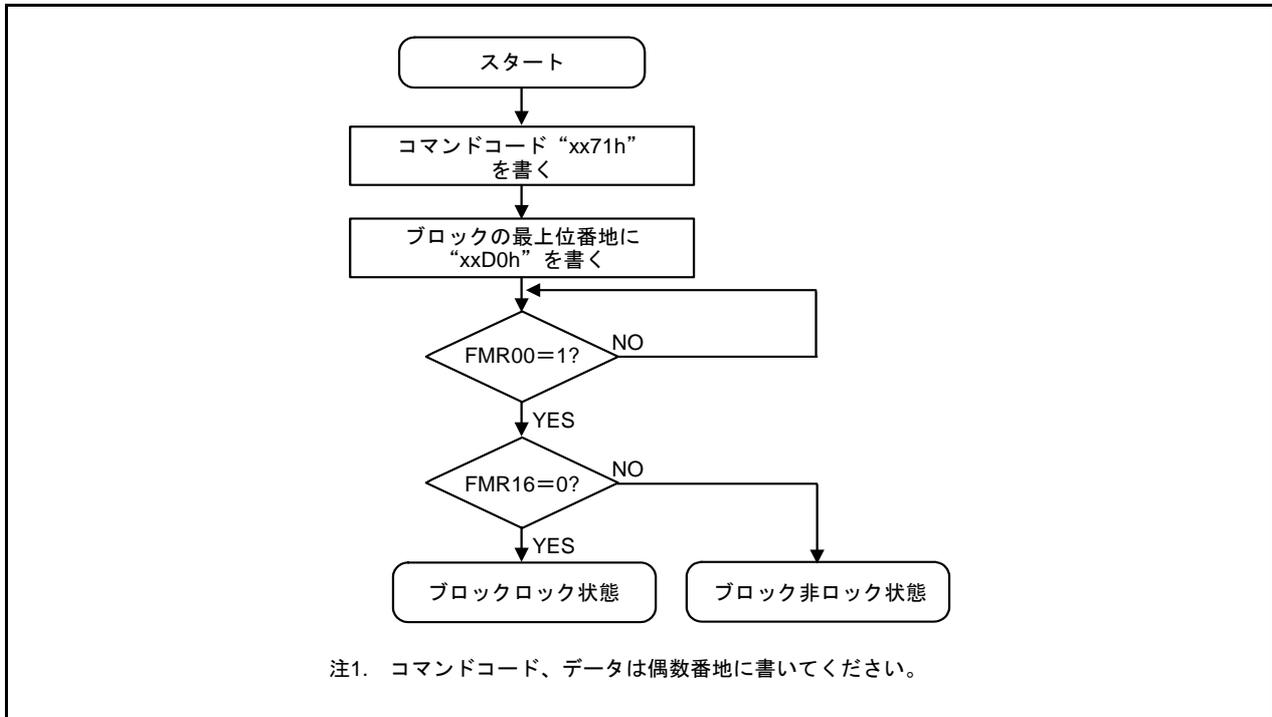


図22.13 リードロックビットステータスフローチャート

22.3.6 データ保護機能

フラッシュメモリの各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMR02ビットが“0”(ロックビット有効)のとき有効です。ロックビットにより、ブロックごとにプログラム、イレーズを禁止(ロック)できます。したがって、誤ってデータを書いたり、消したりすることを防げます。ロックビットによるブロックの状態を次に示します。

- ロックビットデータが“0”のとき：ロック状態(そのブロックはプログラム、イレーズできない)
- ロックビットデータが“1”のとき：非ロック状態(そのブロックはプログラム、イレーズできる)

ロックビットデータは、ロックビットプログラムコマンドを実行すると、“0”(ロック状態)に、ブロックを消去すると“1”(非ロック状態)になります。ロックビットデータをコマンドで“1”にできません。

ロックビットデータは、リードロックビットステータスコマンドで読めます。

FMR02ビットを“1”にすると、ロックビットの機能が無効になり、全ブロックが非ロック状態になります(各ロックビットデータは変化しません)。FMR02ビットを“0”にすると、ロックビットの機能が有効になります(ロックビットデータは保持されています)。

FMR02ビットが“1”の状態、ブロックイレーズコマンドまたはイレーズ全アンロックブロックコマンドを実行すると、ロックビットにかかわらず、対象となるブロックまたは全ブロックが消去されます。消去終了後、各ブロックのロックビットは“1”になります。

各コマンドの詳細は、「22.3.5 ソフトウェアコマンド」を参照してください。

22.3.7 ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常、エラー終了などの状態を示すレジスタです。ステータスレジスタの状態は、FMR0レジスタのFMR00、FMR06、FMR07ビットで読めます。

表22.5にステータスレジスタを示します。

なお、EW0モードでは次のときステータスレジスタを読めます。

- リードステータスレジスタコマンドを書いた後、ユーザROM領域内の任意の偶数番地を読んだとき
- プログラムコマンド、ブロックイレーズコマンド、イレーズ全アンロックブロックコマンド、またはロックビットコマンド実行後、リードアレイコマンドを実行するまでの期間に、ユーザROM領域内の任意の偶数番地を読んだとき

22.3.7.1 シーケンサステータス(SR7、FMR00ビット)

シーケンサステータスはフラッシュメモリの動作状況を示します。プログラム、ブロックイレーズ、イレーズ全アンロックブロック、ロックビットプログラム、リードロックビットステータスコマンド実行中には“0”、それ以外の場合は“1”になります。

22.3.7.2 イレーズステータス(SR5、FMR07ビット)

「22.3.8 フルステータスチェック」を参照してください。

22.3.7.3 プログラムステータス(SR4、FMR06ビット)

「22.3.8 フルステータスチェック」を参照してください。

表22.5 ステータスレジスタ

ステータス レジスタの ビット	FMR0 レジスタの ビット	ステータス名	内容		リセット後 の値
			“0”	“1”	
SR0 (D0)	—	予約ビット	—	—	—
SR1 (D1)	—	予約ビット	—	—	—
SR2 (D2)	—	予約ビット	—	—	—
SR3 (D3)	—	予約ビット	—	—	—
SR4 (D4)	FMR06	プログラムステータス	正常終了	エラー終了	0
SR5 (D5)	FMR07	イレーズステータス	正常終了	エラー終了	0
SR6 (D6)	—	予約ビット	—	—	—
SR7 (D7)	FMR00	シーケンサステータス	ビジー	レディ	1

D0～D7：リードステータスレジスタコマンドを実行したときに読み出されるデータバスを示す。

FMR07ビット(SR5ビット)、FMR06ビット(SR4ビット)は、クリアステータスレジスタコマンドを実行すると“0”になります。

FMR07ビット(SR5ビット)またはFMR06ビット(SR4ビット)が“1”の場合、プログラム、ブロックイレーズ、イレーズ全アンロックブロック、ロックビットプログラムコマンドは受け付けられません。

22.3.8 フルステータスチェック

エラーが発生すると、FMR0レジスタのFMR06～FMR07ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表22.6にエラーとFMR0レジスタの状態を、図22.14にフルステータスチェックフロチャート、各エラー発生時の対処方法を示します。

表22.6 エラーとFMR0レジスタの状態

FMR00レジスタ (ステータスレジスタ)の状態		エラー	エラー発生条件
FMR07ビット (SR5)	FMR06ビット (SR4)		
1	1	コマンド シーケンス エラー	<ul style="list-style-type: none"> •コマンドを正しく書かなかったとき •ロックビットプログラム、ブロックイレーズ、またはイレーズ全アンロックブロックコマンドの第2バスサイクルのデータに書いてもよい値(“xxD0h”または“xxFFh”)以外のデータを書いたとき(注1)
1	0	イレーズエラー	<ul style="list-style-type: none"> •ロックされたブロックにブロックイレーズコマンドを実行したとき(注2) •ロックされていないブロックにブロックイレーズまたはイレーズ全アンロックブロックコマンドを実行し、正しく自動消去されなかったとき
0	1	プログラム エラー	<ul style="list-style-type: none"> •ロックされたブロックにプログラムコマンドを実行したとき(注2) •ロックされていないブロックにプログラムコマンドを実行し、正しく自動書き込みされなかったとき •ロックビットプログラムコマンドを実行し、正しく書き込まれなかったとき

注1. これらのコマンドの第2バスサイクルで“xxFFh”を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

注2. FMR02ビットが“1”(ロックビット無効)の場合は、これらの条件でもエラーは発生しません。

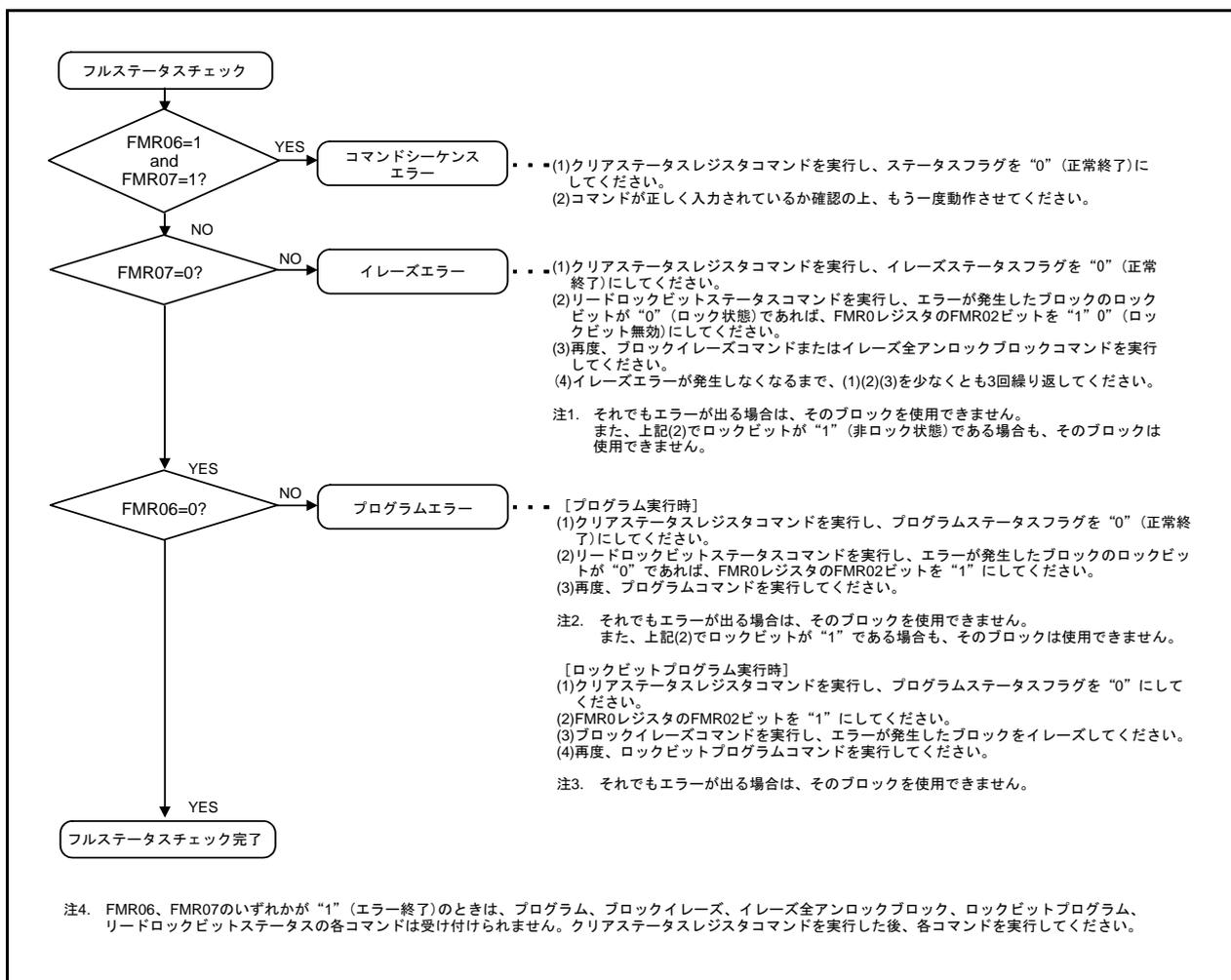


図 22.14 フルステータスチェックフローチャート、各エラー発生時の対処方法

22.4 標準シリアル入出力モード

標準シリアル入出力モードでは、M16C/62Pグループ(M16C/62P、M16C/62PT)に対応したシリアルライターを使用して、マイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。シリアルライターについては、各メーカーにお問い合わせください。また、シリアルライターの操作方法については、シリアルライターのユーザズマニュアルを参照してください。

表22.7に端子の機能説明(フラッシュメモリ標準シリアル入出力モード)を、図22.15～図22.18に標準シリアル入出力モード時の端子結線図を示します。

22.4.1 IDコードチェック機能

シリアルライターから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します(「22.2 フラッシュメモリ書き換え禁止機能」参照)。

表22.7 端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名称	入出力	電源系統	機能
VCC1、VCC2、VSS	電源入力		—	VCC1端子にはフラッシュ書き込み、消去電圧を入力してください。VCC2端子にはVCC2を入力してください。入力条件は $VCC2 \leq VCC1$ です。VSSには0Vを入力してください。
CNVSS	CNVSS	入力	VCC1	VCC1に接続してください。
RESET	リセット入力	入力	VCC1	リセット入力端子です。RESET端子が“L”の間、XIN端子には20サイクル以上のクロックを入力してください。
XIN	クロック入力	入力	VCC1	XIN端子とXOUT端子の間にはセラミック共振子、または水晶共振子を接続してください。 外部で生成したクロックを入力するときは、XIN端子から入力しXOUT端子は開放してください。
XOUT	クロック出力	出力		
BYTE	BYTE入力	入力	VCC1	VSSまたはVCC1に接続してください。
AVCC、AVSS	アナログ電源入力			AVCCはVCC1に、AVSSはVSSに接続してください。
VREF	基準電圧入力	入力		A/Dコンバータの基準電圧入力端子です。
P0_0~P0_7	入力ポートP0	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P1_0~P1_7	入力ポートP1	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P2_0~P2_7	入力ポートP2	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P3_0~P3_7	入力ポートP3	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P4_0~P4_7	入力ポートP4	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P5_1~P5_4、P5_6、P5_7	入力ポートP5	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P5_0	CE入力	入力	VCC2	“H”を入力してください。
P5_5	EPM入力	入力	VCC2	“L”を入力してください。
P6_0~P6_3	入力ポートP6	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P6_4/RTS1	BUSY出力	出力	VCC1	標準シリアル入出力モード1: BUSY信号の出力端子です。 標準シリアル入出力モード2: ブートプログラム動作チェック用モニタ信号出力端子です。
P6_5/CLK1	SCLK入力	入力	VCC1	標準シリアル入出力モード1: シリアルクロックの入力端子です。 標準シリアル入出力モード2: “L”を入力してください。
P6_6/RXD1	RXD入力	入力	VCC1	シリアルデータの入力端子です。
P6_7/TXD1	TXD出力	出力	VCC1	シリアルデータの出力端子です。(注2)
P7_0~P7_7	入力ポートP7	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P8_0~P8_3、P8_6、P8_7	入力ポートP8	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P8_4	P8_4入力	入力	VCC1	“L”を入力してください。(注3)
P8_5/NMI	NMI入力	入力	VCC1	VCC1に接続してください。
P9_0~P9_7	入力ポートP9	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P10_0~P10_7	入力ポートP10	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P11_0~P11_7	入力ポートP11	入力	VCC1	“H”を入力、“L”を入力、または開放してください。(注1)
P12_0~P12_7	入力ポートP12	入力	VCC2	“H”を入力、“L”を入力、または開放してください。(注1)
P13_0~P13_7	入力ポートP13	入力	VCC2	“H”を入力、“L”を入力、または開放してください。(注1)
P14_0、P14_1	入力ポートP14	入力	VCC1	“H”を入力、“L”を入力、または開放してください。(注1)

注1. 128ピン版にのみ存在します。

注2. 標準シリアル入出力モードを使用する場合、RESET端子が“L”の間中、TXD1(P6_7)端子は、内蔵プルアップが有効になります。

注3. 標準シリアル入出力モードを使用する場合、P8_4端子が“H”でRESET端子が“L”の間中、P0_0~P0_7、P1_0~P1_7から不定値が出力されることがあります。このことが問題となる場合は、P8_4端子に“L”を入力してください。

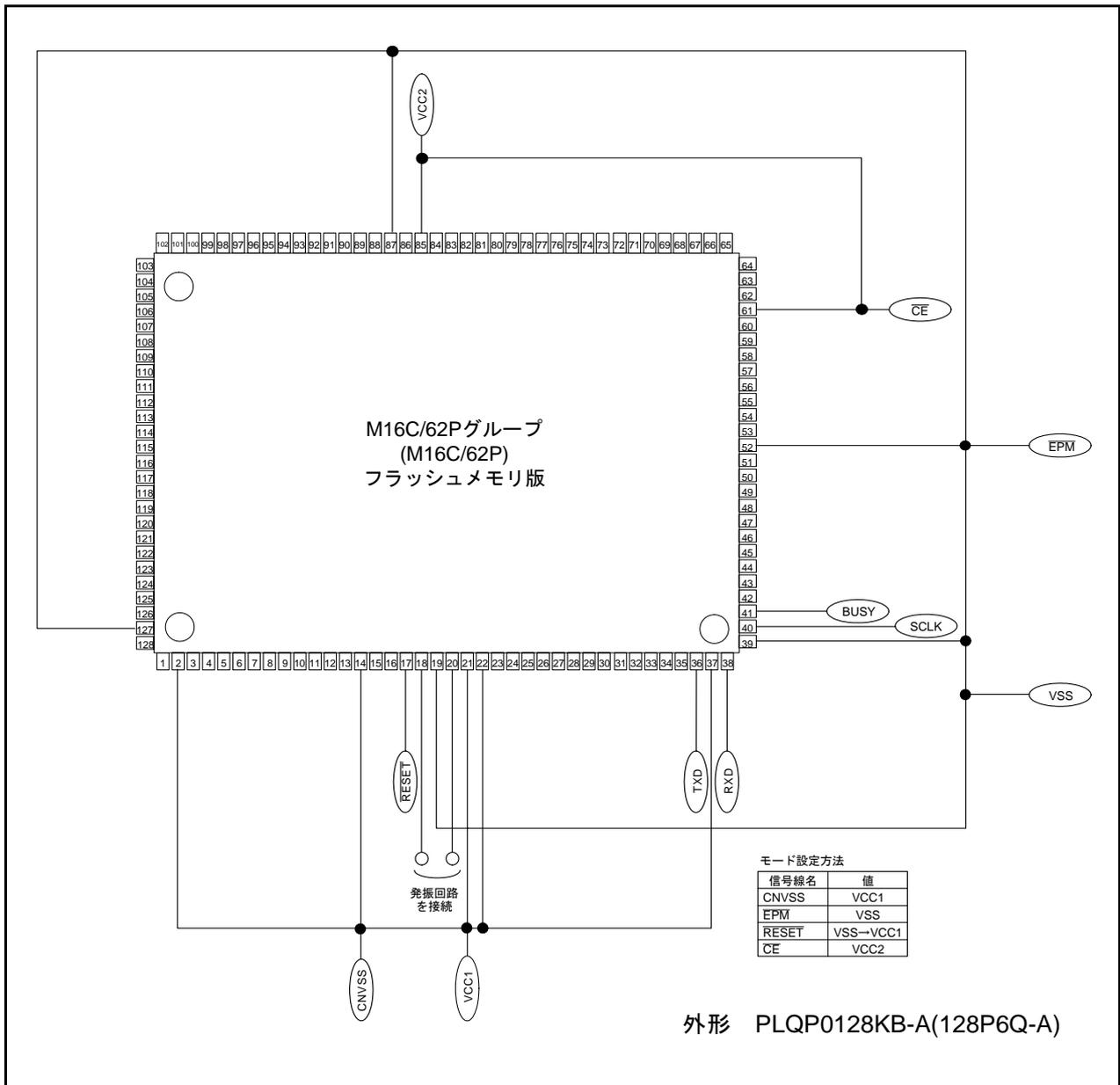


図22.15 標準シリアル入出力モード時の端子結線図(1)

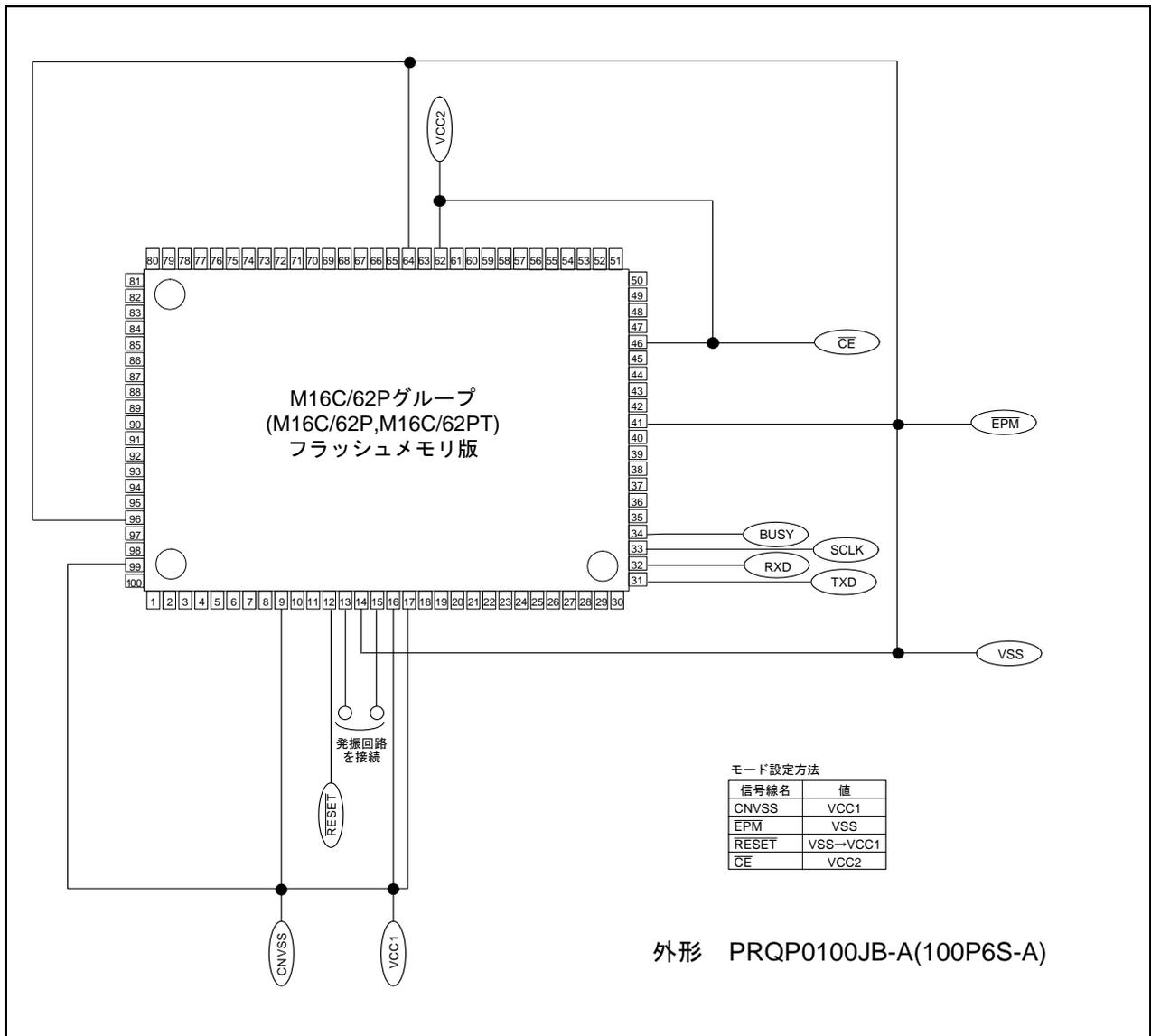


図22.16 標準シリアル入出力モード時の端子結線図(2)

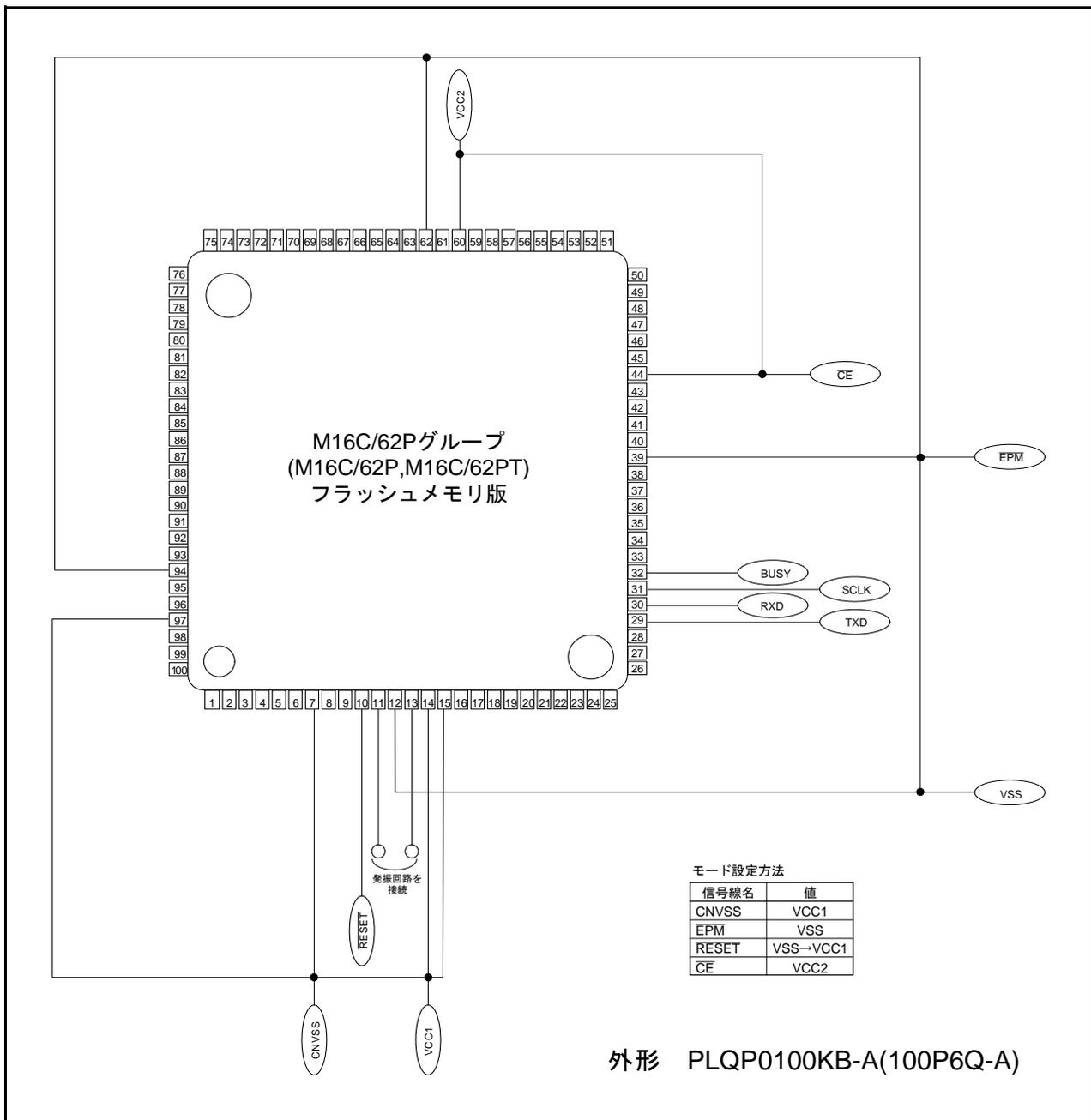


図22.17 標準シリアル入出力モード時の端子結線図(3)

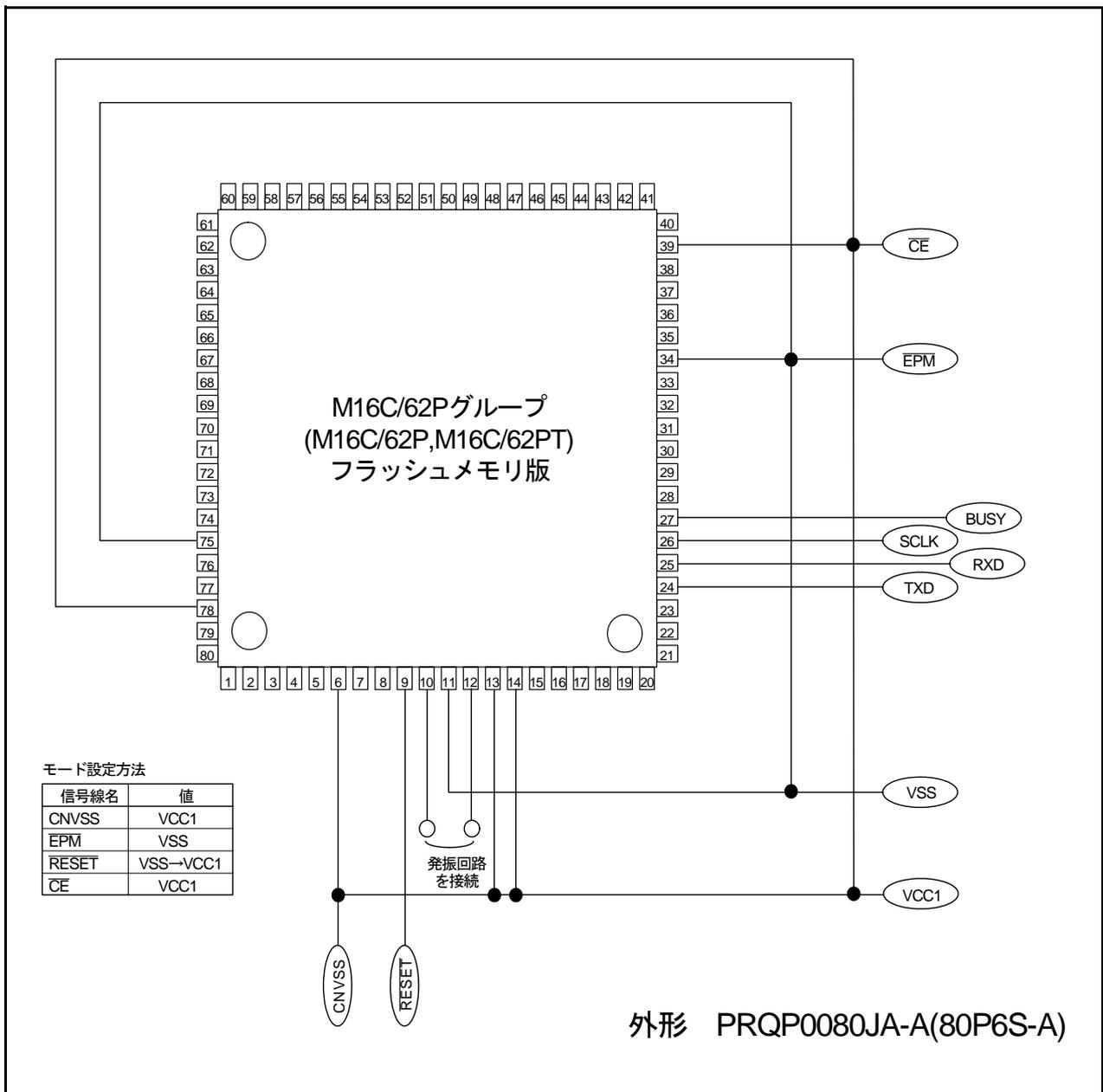


図22.18 標準シリアル入出力モード時の端子結線図(4)

22.4.2 標準シリアル入出力モード1時の端子処理例

図22.19に標準シリアル入出力モード1を使用する場合の端子処理例、図22.20に標準シリアル入出力モード2を使用する場合の端子処理例を示します。ライターによって制御するピンなどが違いますので、詳細はライターのマニュアルを参照してください。

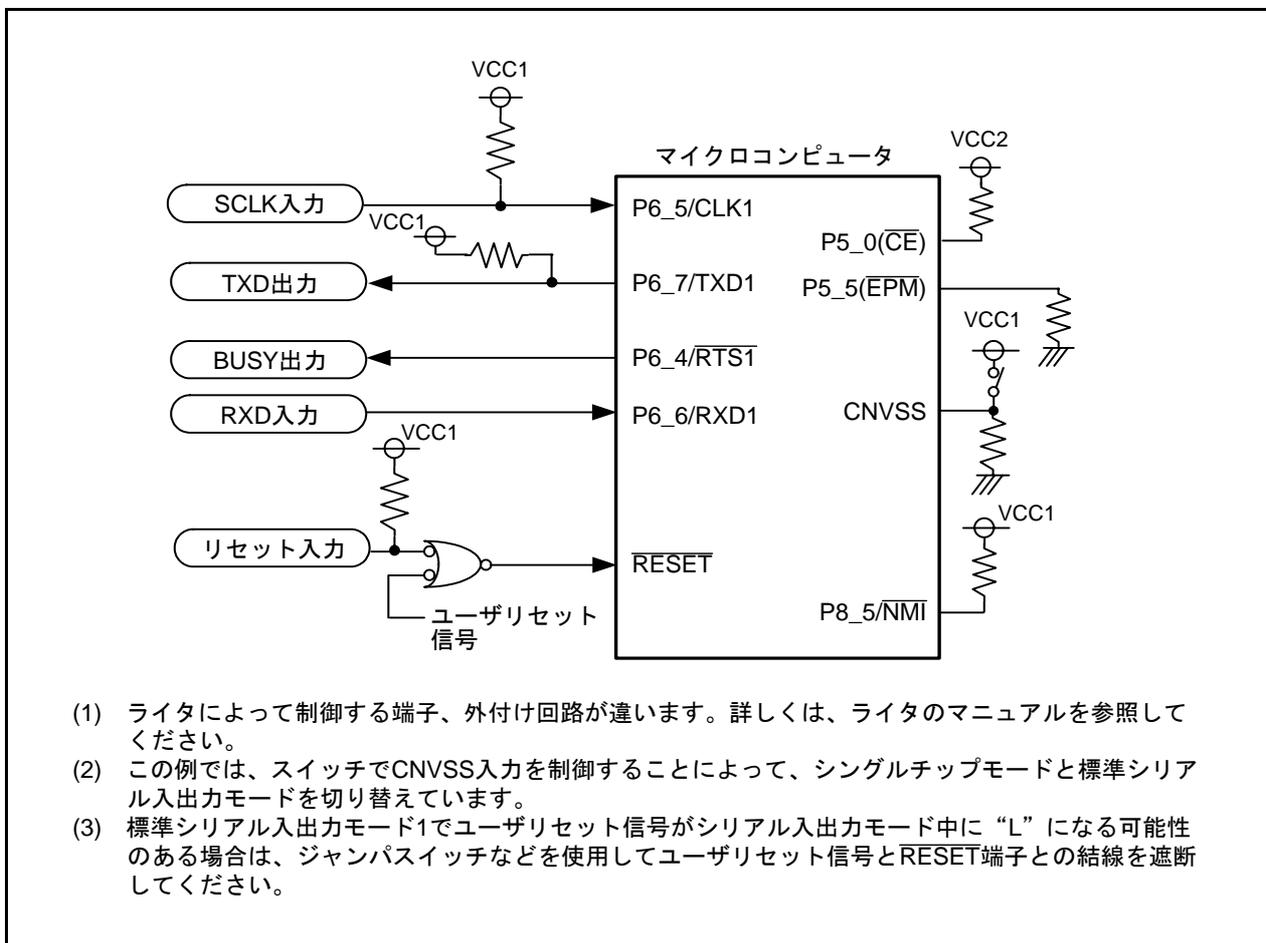


図22.19 標準シリアル入出力モード1を使用する場合の端子処理例

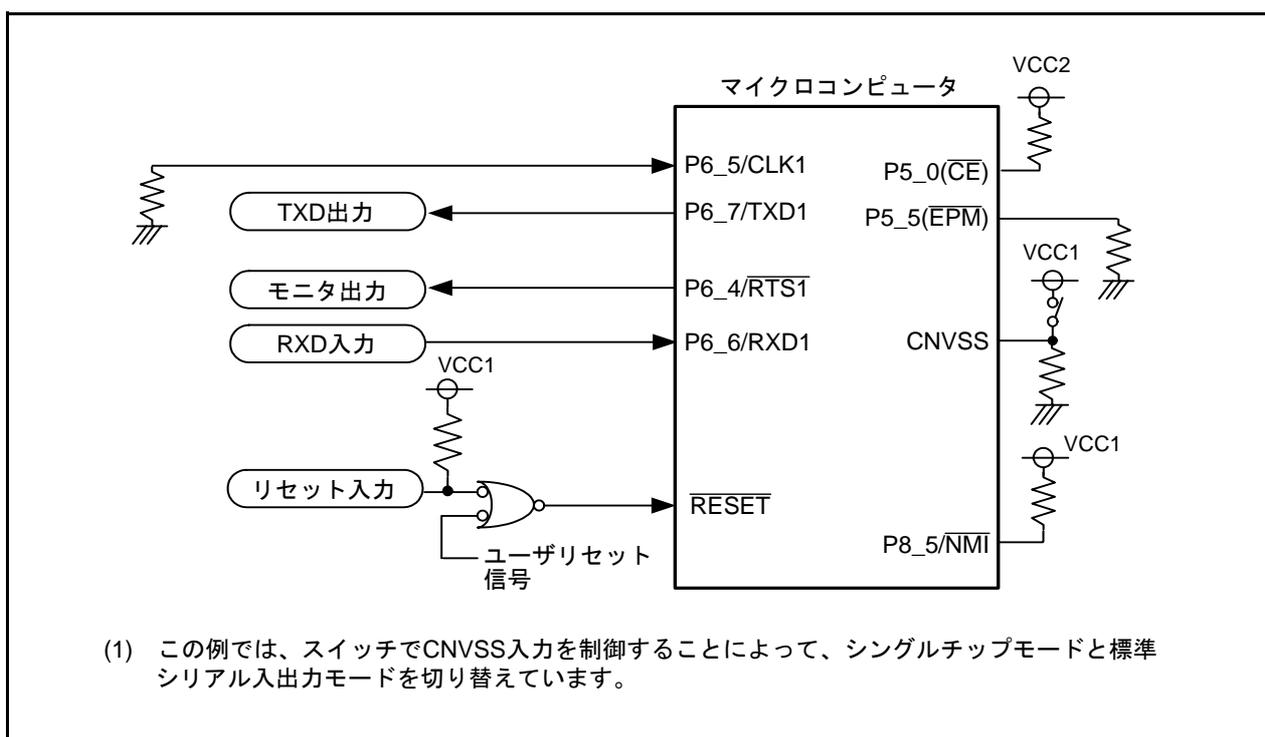


図22.20 標準シリアル入出力モード2を使用する場合の端子処理例

22.5 パラレル入出力モード

パラレル入出力モードでは、M16C/62Pグループ(M16C/62P、M16C/62PT)に対応したパラレルライターを使用して、ユーザROM領域とブートROM領域を書き換えられます。パラレルライターについては、各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

22.5.1 ブートROM領域

ブートROM領域のイレーズブロックは4Kバイト単位の1ブロックのみです。ブートROM領域は、ルネサスからの出荷時に標準シリアル入出力モードの書き換え制御プログラムが書かれます。したがって、シリアルライターを使用される場合には、ブートROM領域を書き換えないでください。

ブートROM領域は、パラレル入出力モードでは、0FF000h～0FFFFFFh番地に配置されています。ブートROM領域を書き換える必要がある場合、この範囲のみ書き換えてください(0FF000h～0FFFFFFh番地以外へはアクセスしないでください)。

22.5.2 ROMコードプロテクト機能

フラッシュメモリの読み出しや書き換えを禁止する機能です(「22.2 フラッシュメモリ書き換え禁止機能」参照)。

23. 電気的特性

23.1 電気的特性(M16C/62P)

表 23.1 絶対最大定格

記号	項目		条件	定格値	単位
V _{CC1} , V _{CC2}	電源電圧		V _{CC1} =AV _{CC}	-0.3~6.5	V
V _{CC2}	電源電圧		V _{CC2}	-0.3~V _{CC1} +0.1	V
AV _{CC}	アナログ電源電圧		V _{CC1} =AV _{CC}	-0.3~6.5	V
V _I	入力電圧	RESET, CNVSS, BYTE, P6_0~P6_7, P7_2~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1, VREF, XIN		-0.3~V _{CC1} +0.3 (注1)	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7		-0.3~V _{CC2} +0.3 (注1)	V
		P7_0, P7_1		-0.3~6.5	V
V _O	出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1, XOUT		-0.3~V _{CC1} +0.3 (注1)	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7		-0.3~V _{CC2} +0.3 (注1)	V
		P7_0, P7_1		-0.3~6.5	V
P _d	消費電力		-40°C < T _{opr} ≤ 85°C	300	mW
T _{opr}	動作周囲温度	マイコン動作時		-20~85 / -40~85	°C
		フラッシュ書き込み消去時		0~60	
T _{stg}	保存温度			-65~150	°C

注1. 80ピン版では、P1_0~P1_7、P4_4~P4_7、P7_2~P7_5、P9_1は外部への接続がありません。

表 23.2 推奨動作条件(注1)

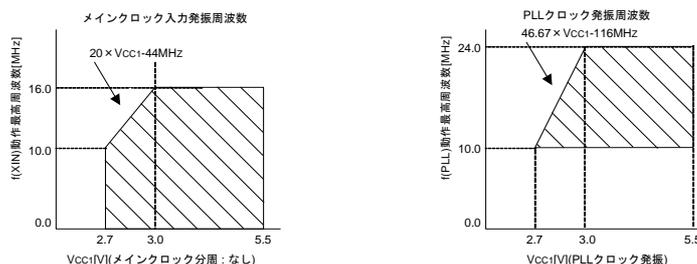
記号	項目	規格値			単位	
		最小	標準	最大		
V _{CC1} , V _{CC2}	電源電圧(V _{CC1} ≥ V _{CC2})	2.7	5.0	5.5	V	
AV _{CC}	アナログ電源電圧		V _{CC1}		V	
V _{SS}	電源電圧		0		V	
AV _{SS}	アナログ電源電圧		0		V	
V _{IH}	"H"入力電圧 P3_1~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7 P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (シングルチップモード時) P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (メモリ拡張、マイクロプロセッサモード時のデータ入力) P6_0~P6_7, P7_2~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1, XIN, RESET, CNVSS, BYTE P7_0, P7_1	0.8V _{CC2}		V _{CC2}	V	
		0.8V _{CC2}		V _{CC2}	V	
		0.5V _{CC2}		V _{CC2}	V	
		0.8V _{CC1}		V _{CC1}	V	
		0.8V _{CC1}		6.5	V	
V _{IL}	"L"入力電圧 P3_1~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7 P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (シングルチップモード時) P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (メモリ拡張、マイクロプロセッサモード時のデータ入力) P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1, XIN, RESET, CNVSS, BYTE	0		0.2V _{CC2}	V	
		0		0.2V _{CC2}	V	
		0		0.16V _{CC2}	V	
		0		0.2V _{CC1}	V	
		0		0.2V _{CC1}	V	
I _{OH} (peak)	"H"尖頭出力電流 P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1			-10.0	mA	
I _{OH} (avg)	"H"平均出力電流 P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1			-5.0	mA	
I _{OL} (peak)	"L"尖頭出力電流 P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1			10.0	mA	
I _{OL} (avg)	"L"平均出力電流 P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1			5.0	mA	
f(XIN)	メインクロック入力発振周波数(注4)	V _{CC1} =3.0V~5.5V		16	MHz	
		V _{CC1} =2.7V~3.0V	0	20 × V _{CC1} - 44	MHz	
f(XCIN)	サブクロック発振周波数		32.768	50	kHz	
f(Ring)	オンチップオシレータ発振周波数		0.5	1	2	MHz
f(PLL)	PLLクロック発振周波数(注4)	V _{CC1} =3.0V~5.5V	10	24	MHz	
		V _{CC1} =2.7V~3.0V	10	46.67 × V _{CC1} - 116	MHz	
f(BCLK)	CPU動作周波数		0	24	MHz	
t _{su} (PLL)	PLL周波数シンセサイザ安定待ち時間	V _{CC1} =5.0V		20	ms	
		V _{CC1} =3.0V		50	ms	

注1. 指定のない場合は、V_{CC1}=V_{CC2}=2.7V~5.5V、T_{opr}=-20~85°C / -40~85°Cです。

注2. 平均出力電流は100msの期間内での平均値です。

注3. ポートP0,P1,P2,P8_6,P8_7,P9,P10,P11,P14_0,P14_1のI_{OL}(peak)の合計は80mA以下、ポートP3,P4,P5,P6,P7,P8_0~P8_4,P12,P13のI_{OL}(peak)の合計は80mA以下、ポートP0,P1,P2のI_{OH}(peak)の合計は-40mA以下、ポートP3,P4,P5,P12,P13のI_{OH}(peak)の合計は-40mA以下、ポートP6,P7,P8_0~P8_4のI_{OH}(peak)の合計は-40mA以下、ポートP8_6,P8_7,P9,P10,P11,P14_0,P14_1のI_{OH}(peak)の合計は-40mA以下にしてください。また、80ピン版では、V_{CC}、V_{SS}が1本のため、全ポートのI_{OL}(peak)の合計およびI_{OH}(peak)の合計は80mA以下にしてください。

注4. メインクロック入力周波数、PLLクロック周波数と電源電圧の関係は次のとおりです。



注5. 80ピン版では、P1_0~P1_7、P4_4~P4_7、P7_2~P7_5、P9_1は外部への接続がありません。

表 23.3 A/D変換特性(注1)

記号	項目		測定条件	規格値			単位	
				最小	標準	最大		
-	分解能		VREF=VCC1			10	Bits	
INL	積分 非直線性 誤差	10bit	VREF= VCC1= 5V	AN0~AN7入力 AN0_0~AN0_7入力 AN2_0~AN2_7入力 ANEX0、ANEX1入力			±3	LSB
				外部オペアンプ接続モード			±7	LSB
			VREF= VCC1= 3.3V	AN0~AN7入力 AN0_0~AN0_7入力 AN2_0~AN2_7入力 ANEX0、ANEX1入力			±5	LSB
			外部オペアンプ接続モード			±7	LSB	
		8bit	VREF=VCC1=5V, 3.3V			±2	LSB	
-	絶対精度	10bit	VREF= VCC1= 5V	AN0~AN7入力 AN0_0~AN0_7入力 AN2_0~AN2_7入力 ANEX0、ANEX1入力			±3	LSB
				外部オペアンプ接続モード			±7	LSB
			VREF= VCC1= 3.3V	AN0~AN7入力 AN0_0~AN0_7入力 AN2_0~AN2_7入力 ANEX0、ANEX1入力			±5	LSB
			外部オペアンプ接続モード			±7	LSB	
		8bit	VREF=VCC1=5V, 3.3V			±2	LSB	
-	許容信号源インピーダンス				3		kΩ	
DNL	微分非直線性誤差					±1	LSB	
-	オフセット誤差					±3	LSB	
-	ゲイン誤差					±3	LSB	
RLADDER	ラダー抵抗		VREF=VCC1	10		40	kΩ	
tCONV	変換時間(10bit)、サンプル&ホールドあり		VREF=VCC1=5V、φAD=12MHz	2.75			μs	
tCONV	変換時間(8bit)、サンプル&ホールドあり		VREF=VCC1=5V、φAD=12MHz	2.33			μs	
tSAMP	サンプリング時間			0.25			μs	
VREF	基準電圧			2.0		VCC1	V	
VIA	アナログ入力電圧			0		VREF	V	

注1. 指定のない場合は、VCC1=AVCC=VREF=3.3~5.5V、VSS=AVSS=0V、Topr=-20~85℃/-40~85℃です。

注2. VCC1>VCC2の場合、AN0_0~AN0_7、AN2_0~AN2_7をアナログ入力端子として使用しないでください。

注3. φADの周波数は12MHz以下にしてください。また、VCC1が4.0V未満の場合はfADを分周し、φADの周波数は10MHz以下にしてください。

注4. サンプル&ホールドなしのときは、注3の制限に加えφADの周波数は250kHz以上にしてください。

サンプル&ホールドありのときは、注3の制限に加えφADの周波数は1MHz以上にしてください。

表 23.4 D/A変換特性(注1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
-	分解能					8	Bits
-	絶対精度					1.0	%
tsu	設定時間					3	μs
Ro	出力抵抗			4	10	20	kΩ
IVREF	基準電源入力電流		(注2)			1.5	mA

注1. 指定のない場合は、VCC1=VREF=3.3~5.5V、VSS=AVSS=0V、Topr=-20~85℃/-40~85℃です。

注2. D/Aコンバータ1本使用、使用していないD/AコンバータのD/Aレジスタの値が“00h”の場合です。

A/Dコンバータのラダー抵抗分は除きます。また、A/D制御レジスタでVref未接続とした場合でも、D/AコンバータのIVREFは流れます。

表23.5 フラッシュメモリの電氣的特性(注1) 100回品(D3, D5, U3, U5)

記号	項目	規格値			単位
		最小	標準	最大	
-	プログラム、イレーズ回数(注3)	100			回
-	ワードプログラム時間(V _{CC1} =5.0V)		25	200	μs
-	ロックビットプログラム時間		25	200	μs
-	ブロックイレーズ時間 (V _{CC1} =5.0V)	4Kバイトブロック	0.3	4	s
		8Kバイトブロック	0.3	4	s
		32Kバイトブロック	0.5	4	s
		64Kバイトブロック	0.8	4	s
-	イレーズ全アンロックブロック時間(注2)			4 × n	s
tPS	フラッシュメモリ回路安定待ち時間			15	μs
-	データ保持時間(注5)	10			年

表23.6 フラッシュメモリの電氣的特性(注6)
10,000回品(D7, D9, U7, U9)(ブロックA、ブロック1(注7))

記号	項目	規格値			単位
		最小	標準	最大	
-	プログラム、イレーズ回数(注3、8、9)	10,000(注4)			回
-	ワードプログラム時間(V _{CC1} =5.0V)		25		μs
-	ロックビットプログラム時間		25		μs
-	ブロックイレーズ時間 (V _{CC1} =5.0V)	4Kバイトブロック	0.3		s
tPS	フラッシュメモリ回路安定待ち時間			15	μs
-	データ保持時間(注5)	10			年

注1. 指定のない場合は、V_{CC1}=4.5~5.5V、3.0~3.6V、T_{opr}=0~60°C(D3, D5, U3, U5)です。

注2. nはイレーズするブロック数です。

注3. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回(n=100、1,000、10,000)の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。

例えば、4KバイトブロックのブロックAについて、それぞれ異なる番地に1ワード書き込みを2,048回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注4. プログラム/イレーズ後の全ての電氣的特性を保証する最小回数です。(保証は1~“最小”値の範囲です。)

注5. T_{opr}=-40~85°C(D3,D7,U3,U7)/-20~85°C(D5,D9,U5,U9)の条件です。

注6. 指定のない場合は、V_{CC1}=4.5~5.5V、3.0~3.6V、T_{opr}=-40~85°C(D7,U7)/-20~85°C(D9,U9)です。

注7. プログラム、イレーズ回数が1,000回を超えたときのブロックA、ブロック1の規格です。

1,000回までのワードプログラム時間、ブロックイレーズ時間は全ブロック100回品と同じです。

注8. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込む番地を順にずらしていくなどして、バンク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば1組8ワードをプログラムする場合、最大256組の書き込みを実施した上で1回のイレーズをすることで実効的な書き換え回数を少なくすることができます。加えてブロックA、ブロック1のイレーズが均等になるようにすると更に実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残り、制限回数を設けていただくことをお勧めいたします。

注9. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。

注10. 100回以上の書き換えを実施する場合(D7,D9,U7,U9)は、PM1レジスタのPM17ビットを“1”(ウェイトあり)に設定してください。

注11. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特约店へお問い合わせください。

表23.7 フラッシュメモリの書き込み/消去電圧と読み出し動作電圧特性

(T_{opr}=0~60°C(D3, D5, U3, U5)、T_{opr}=-40~85°C(D7, U7)/T_{opr}=-20~85°C(D9, U9))

フラッシュ書き込み、消去電圧	フラッシュ読み出し動作電圧
V _{CC1} =3.3±0.3Vまたは5.0±0.5V	V _{CC1} =2.7~5.5V

表 23.8 電圧低下検出回路の電氣的特性(注4)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{det4}	電圧低下検出電圧(注1)	V _{CC1} =0.8~5.5V	3.3	3.8	4.4	V
V _{det3}	リセット領域検出電圧(注1、2)		2.2	2.8	3.6	V
V _{det4} -V _{det3}	電圧低下検出とリセット領域検出の電位差		0.3			V
V _{det3s}	低電圧リセット保持電圧				0.8	V
V _{det3r}	低電圧リセット解除電圧(注3)		2.2	2.9	4.0	V

注1. V_{det4} > V_{det3}になります。

注2. リセット領域検出電圧が2.7V未満の場合、電源電圧がリセット領域検出電圧以上であれば、f(BCLK) ≤ 10MHzで動作します。

注3. V_{det3r} > V_{det3}は保証されません。

注4. V_{CC1}=5Vで使用してください。

表 23.9 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t _d (P-R)	電源投入時内部電源安定時間	V _{CC1} =2.7~5.5V			2	ms
t _d (R-S)	STOP解除時間				150	μs
t _d (W-S)	低消費電力モードウェイトモード解除時間				150	μs
t _d (S-R)	電圧低下検出リセット (ハードウェアリセット2)解除待ち時間	V _{CC1} =V _{det3r} ~5.5V		6(注1)	20	ms
t _d (E-A)	低電圧検出回路動作開始時間	V _{CC1} =2.7~5.5V			20	μs

注1. V_{CC1}=5V時の標準値

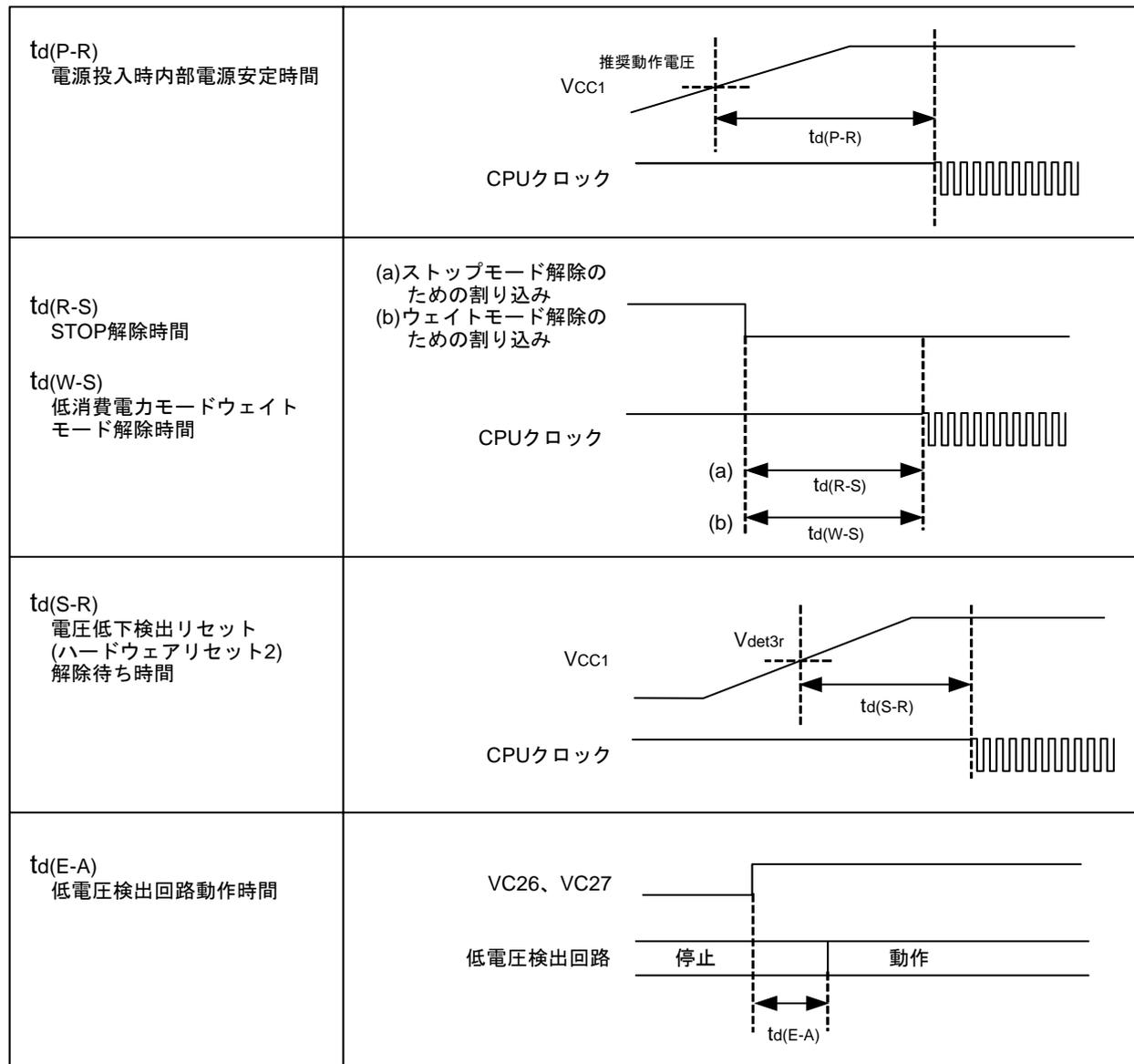


図 23.1 電源回路のタイミング図

$$V_{CC1}=V_{CC2}=5V$$

表 23.10 電気的特性(1) (注1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
VOH	"H"出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1	IOH= -5mA	V _{CC1} - 2.0		V _{CC1}	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7	IOH= -5mA(注2)	V _{CC2} - 2.0		V _{CC2}	
VOH	"H"出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1	IOH= -200μA	V _{CC1} - 0.3		V _{CC1}	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7	IOH= -200μA(注2)	V _{CC2} - 0.3		V _{CC2}	
VOH	"H"出力電圧 XOUT	HIGHPOWER	IOH= -1mA	V _{CC1} - 2.0		V _{CC1}	V
		LOWPOWER	IOH= -0.5mA	V _{CC1} - 2.0		V _{CC1}	
	"H"出力電圧 XCOUT	HIGHPOWER	無負荷時		2.5		V
		LOWPOWER	無負荷時		1.6		
VOL	"L"出力電圧	P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1	IOL=5mA			2.0	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7	IOL=5mA(注2)			2.0	
VOL	"L"出力電圧	P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1	IOL=200μA			0.45	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7	IOL=200μA(注2)			0.45	
VOL	"L"出力電圧 XOUT	HIGHPOWER	IOL=1mA			2.0	V
		LOWPOWER	IOL=0.5mA			2.0	
	"L"出力電圧 XCOUT	HIGHPOWER	無負荷時		0		V
		LOWPOWER	無負荷時		0		
V _{T+} -V _{T-}	ヒステリシス 0.5	HOLD, RDY, TA0IN~TA4IN, TB0IN~TB5IN, INT0~INT5, NMI, ADTRG, CTS0~CTS2, SCL0~SCL2, SDA0~SDA2, CLK0~CLK4, TA0OUT~TA4OUT, KIO~KI3, RXD0~RXD2, SIN3, SIN4		0.2		1.0	V
V _{T+} -V _{T-}	ヒステリシス	RESET		0.2		2.5	V
I _{IH}	"H"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1 XIN, RESET, CNVSS, BYTE	V _I =5V			5.0	μA
I _{IL}	"L"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1 XIN, RESET, CNVSS, BYTE	V _I =0V			-5.0	μA
RPULLUP	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1	V _I =0V	30	50	170	kΩ
R _I XIN	帰還抵抗	XIN			1.5		MΩ
R _I XIN	帰還抵抗	XCIN			15		MΩ
V _{RAM}	RAM保持電圧		ストップモード時	2.0			V

注1. 指定のない場合は、V_{CC1}=V_{CC2}=4.2~5.5V、V_{SS}=0V、T_{opr}= -20~85°C / -40~85°C、f(BCLK)=24MHzです。

注2. V_{CC1}=5V、V_{CC2}=3Vでご使用の場合は、V_{CC2}ポート側の端子規格値は3V版の値を参照してください。

注3. 80ピン版では、P1_0~P1_7、P4_4~P4_7、P7_2~P7_5、P9_1は外部への接続がありません。

$$V_{CC1}=V_{CC2}=5V$$

表 23.11 電気的特性(2)(注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
I _{CC}	電源電流 (V _{CC1} =4.0~5.5V) シングルチップモードで、 出力端子は開放、 その他の端子はV _{SS}	マスクROM	f(BCLK)=24MHz PLL動作時、分周なし	14	20	mA
			オンチップオシレータ発振動作時 分周なし	1		
		フラッシュメモリ	f(BCLK)=24MHz PLL動作時、分周なし	18	27	mA
			オンチップオシレータ発振動作時 分周なし	1.8		
		フラッシュメモリ プログラム	f(BCLK)=10MHz V _{CC1} =5.0V	15		mA
		フラッシュメモリ イレーズ	f(BCLK)=10MHz V _{CC1} =5.0V	25		
		マスクROM	f(XCIN)=32kHz 低消費電力モード時 ROM上(注3)	25		μA
		フラッシュメモリ	f(BCLK)=32kHz 低消費電力モード時 RAM上(注3)	25		
			f(BCLK)=32kHz 低消費電力モード時 フラッシュメモリ上(注3)	420		
			オンチップオシレータ発振動作、 ウェイトモード時	50		
		マスクROM、 フラッシュメモリ	f(BCLK)=32kHz ウェイトモード時(注2) 発振能力High	7.5		μA
			f(BCLK)=32kHz ウェイトモード時(注2) 発振能力Low	2.0		
			ストップモード時 T _{opr} =25°C	0.8	3.0	
I _{det4}	電圧低下検出消費電流(注4)		0.7	4	μA	
I _{det3}	リセット領域検出消費電流(注4)		1.2	8	μA	

注1. 指定のない場合は、V_{CC1}=V_{CC2}=4.2~5.5V、V_{SS}=0V、T_{opr}=-20~85°C / -40~85°C、f(BCLK)=24MHzです。

注2. fC32にてタイマ1本を動作させている状態です。

注3. 実行するプログラムが存在するメモリを示す。

注4. I_{det}は次のビットを“1”(検出回路有効)にしている場合の消費電流です。

I_{det4} : VCR2レジスタのVC27ビット

I_{det3} : VCR2レジスタのVC26ビット

$$V_{CC1}=V_{CC2}=5V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

表 23.12 外部クロック入力 (XIN入力)(注1)

記号	項目	規格値		単位
		最小	最大	
t_c	外部クロック入力サイクル時間	62.5		ns
$t_w(H)$	外部クロック入力“H”パルス幅	25		ns
$t_w(L)$	外部クロック入力“L”パルス幅	25		ns
t_r	外部クロック立ち上がり時間		15	ns
t_f	外部クロック立ち下がり時間		15	ns

注1. 条件は $V_{CC1}=V_{CC2}=3.0\sim 5.0V$ です。

表 23.13 メモリ拡張モード、マイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
$t_{ac1}(RD-DB)$	データ入力アクセス時間 (ウェイトなし設定)		(注1)	ns
$t_{ac2}(RD-DB)$	データ入力アクセス時間 (ウェイトあり設定)		(注2)	ns
$t_{ac3}(RD-DB)$	データ入力アクセス時間 (マルチプレクスバス領域をアクセスした場合)		(注3)	ns
$t_{su}(DB-RD)$	データ入力セットアップ時間	40		ns
$t_{su}(RDY-BCLK)$	RDY入力セットアップ時間	30		ns
$t_{su}(HOLD-BCLK)$	HOLD入力セットアップ時間	40		ns
$t_h(RD-DB)$	データ入力ホールド時間	0		ns
$t_h(BCLK-RDY)$	RDY入力ホールド時間	0		ns
$t_h(BCLK-HOLD)$	HOLD入力ホールド時間	0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 45[ns]$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(BCLK)} - 45[ns] \quad n \text{は1ウェイト設定の場合“2”、2ウェイト設定の場合“3”、3ウェイト設定の場合“4”}$$

注3. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(BCLK)} - 45[ns] \quad n \text{は2ウェイト設定の場合“2”、3ウェイト設定の場合“3”}$$

$$VCC1=VCC2=5V$$

タイミング必要条件

(指定のない場合は、 $VCC1=VCC2=5V$ 、 $VSS=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

表 23.14 タイマA入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	100		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	40		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	40		ns

表 23.15 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	400		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	200		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	200		ns

表 23.16 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	200		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	100		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	100		ns

表 23.17 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TAH)$	TAiIN入力“H”パルス幅	100		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	100		ns

表 23.18 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(UP)}$	TAiOUT入力サイクル時間	2000		ns
$t_w(UPH)$	TAiOUT入力“H”パルス幅	1000		ns
$t_w(UPL)$	TAiOUT入力“L”パルス幅	1000		ns
$t_{su}(UP-TIN)$	TAiOUT入力セットアップ時間	400		ns
$t_h(TIN-UP)$	TAiOUT入力ホールド時間	400		ns

表 23.19 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	800		ns
$t_{su}(TAIN-TAOUT)$	TAiOUT入力セットアップ時間	200		ns
$t_{su}(TAOUT-TAIN)$	TAiIN入力セットアップ時間	200		ns

$$V_{CC1}=V_{CC2}=5V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

表 23.20 タイマB入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間(片エッジカウント)	100		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(片エッジカウント)	40		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(片エッジカウント)	40		ns
$t_{c(TB)}$	TBiIN入力サイクル時間(両エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(両エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(両エッジカウント)	80		ns

表 23.21 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	200		ns

表 23.22 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	200		ns

表 23.23 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(AD)}$	ADTRG入力サイクル時間(トリガ可能最小)	1000		ns
$t_{w(ADL)}$	ADTRG入力“L”パルス幅	125		ns

表 23.24 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	200		ns
$t_{w(CKH)}$	CLKi入力“H”パルス幅	100		ns
$t_{w(CKL)}$	CLKi入力“L”パルス幅	100		ns
$t_{d(C-Q)}$	TXDi出力遅延時間		80	ns
$t_{h(C-Q)}$	TXDiホールド時間	0		ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	70		ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90		ns

表 23.25 外部割り込み \overline{INTi} 入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	\overline{INTi} 入力“H”パルス幅	250		ns
$t_{w(INL)}$	\overline{INTi} 入力“L”パルス幅	250		ns

$$V_{CC1}=V_{CC2}=5V$$

スイッチング特性

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

表 23.26 メモリ拡張モード、マイクロプロセッサモード(ウェイトなし設定の場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_d(\text{BCLK-AD})$	アドレス出力遅延時間	図 23.2		25	ns
$t_h(\text{BCLK-AD})$	アドレス出力保持時間 (BCLK 基準)		4		ns
$t_h(\text{RD-AD})$	アドレス出力保持時間 (RD 基準)		0		ns
$t_h(\text{WR-AD})$	アドレス出力保持時間 (WR 基準)		(注2)		ns
$t_d(\text{BCLK-CS})$	チップセレクト出力遅延時間			25	ns
$t_h(\text{BCLK-CS})$	チップセレクト出力保持時間 (BCLK 基準)		4		ns
$t_d(\text{BCLK-ALE})$	ALE 信号出力遅延時間			15	ns
$t_h(\text{BCLK-ALE})$	ALE 信号出力保持時間		-4		ns
$t_d(\text{BCLK-RD})$	RD 信号出力遅延時間			25	ns
$t_h(\text{BCLK-RD})$	RD 信号出力保持時間		0		ns
$t_d(\text{BCLK-WR})$	WR 信号出力遅延時間			25	ns
$t_h(\text{BCLK-WR})$	WR 信号出力保持時間		0		ns
$t_d(\text{BCLK-DB})$	データ出力遅延時間 (BCLK 基準)			40	ns
$t_h(\text{BCLK-DB})$	データ出力保持時間 (BCLK 基準) (注3)		4		ns
$t_d(\text{DB-WR})$	データ出力遅延時間 (WR 基準)		(注1)		ns
$t_h(\text{WR-DB})$	データ出力保持時間 (WR 基準) (注3)		(注2)		ns
$t_d(\text{BCLK-HLDA})$	HLDA 出力遅延時間			40	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 40[\text{ns}] \quad f(\text{BCLK}) \text{は } 12.5\text{MHz 以下}$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL}/V_{CC2})$$

で表されます。

例えば、 $V_{OL}=0.2V_{CC2}$ 、 $C=30\text{pF}$ 、 $R=1\text{k}\Omega$ とすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC2}/V_{CC2}) = 6.7\text{ns}$$

となります。

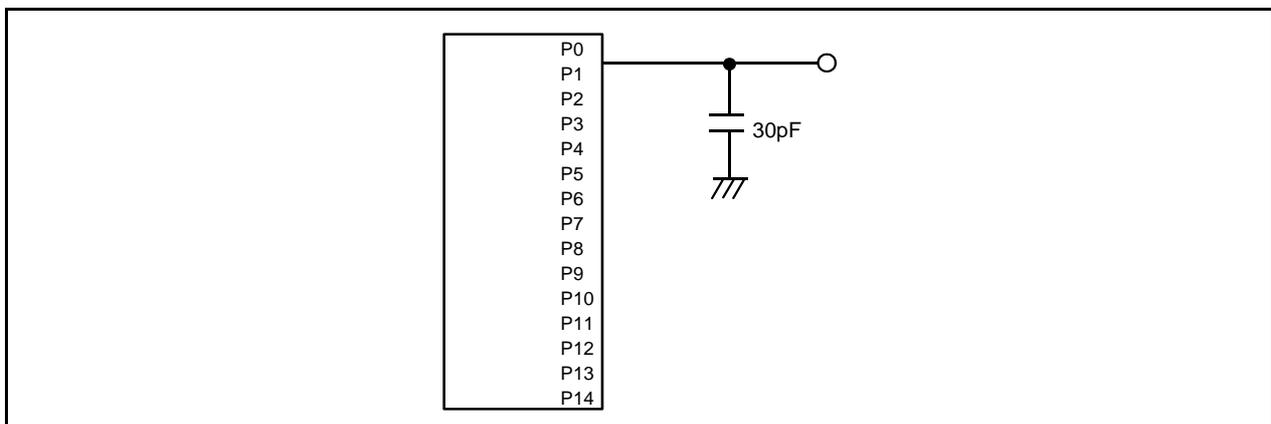
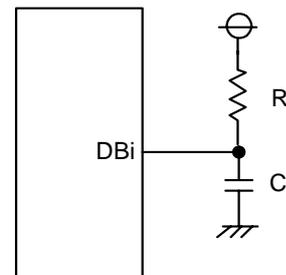


図 23.2 ポート P0～P14 の測定回路

$$V_{CC1}=V_{CC2}=5V$$

スイッチング特性

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$ / $-40\sim 85^{\circ}C$)表 23.27 メモリ拡張モード、マイクロプロセッサモード
(1～3ウェイト設定、外部領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_d(\text{BCLK-AD})$	アドレス出力遅延時間	図 23.2		25	ns
$t_h(\text{BCLK-AD})$	アドレス出力保持時間 (BCLK基準)		4		ns
$t_h(\text{RD-AD})$	アドレス出力保持時間 (RD基準)		0		ns
$t_h(\text{WR-AD})$	アドレス出力保持時間 (WR基準)		(注2)		ns
$t_d(\text{BCLK-CS})$	チップセレクト出力遅延時間			25	ns
$t_h(\text{BCLK-CS})$	チップセレクト出力保持時間 (BCLK基準)		4		ns
$t_d(\text{BCLK-ALE})$	ALE信号出力遅延時間			15	ns
$t_h(\text{BCLK-ALE})$	ALE信号出力保持時間		-4		ns
$t_d(\text{BCLK-RD})$	RD信号出力遅延時間			25	ns
$t_h(\text{BCLK-RD})$	RD信号出力保持時間		0		ns
$t_d(\text{BCLK-WR})$	WR信号出力遅延時間			25	ns
$t_h(\text{BCLK-WR})$	WR信号出力保持時間		0		ns
$t_d(\text{BCLK-DB})$	データ出力遅延時間 (BCLK基準)			40	ns
$t_h(\text{BCLK-DB})$	データ出力保持時間 (BCLK基準) (注3)		4		ns
$t_d(\text{DB-WR})$	データ出力遅延時間 (WR基準)		(注1)		ns
$t_h(\text{WR-DB})$	データ出力保持時間 (WR基準) (注3)		(注2)		ns
$t_d(\text{BCLK-HLDA})$	HLDA出力遅延時間			40	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 40 [\text{ns}]$$

n は1ウェイト設定の場合“1”、2ウェイト設定の場合“2”、
3ウェイト設定の場合“3”
 $n=1$ の場合は、 $f(\text{BCLK})$ は12.5MHz以下

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10 [\text{ns}]$$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL}/V_{CC2})$$

で表されます。

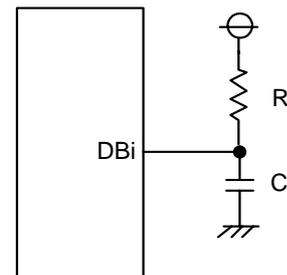
例えば、 $V_{OL}=0.2V_{CC2}$ 、 $C=30\text{pF}$ 、 $R=1\text{k}\Omega$ とすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC2}/V_{CC2})$$

$$= 6.7\text{ns}$$

となります。



$$V_{CC1}=V_{CC2}=5V$$

スイッチング特性

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$ / $-40\sim 85^{\circ}C$)表 23.28 メモリ拡張モード、マイクロプロセッサモード
(2～3ウェイト設定、外部領域をアクセスし、かつマルチプレクスバスを選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_d(\text{BCLK-AD})$	アドレス出力遅延時間	図 23.2		25	ns
$t_h(\text{BCLK-AD})$	アドレス出力保持時間 (BCLK基準)		4		ns
$t_h(\text{RD-AD})$	アドレス出力保持時間 (RD基準)		(注1)		ns
$t_h(\text{WR-AD})$	アドレス出力保持時間 (WR基準)		(注1)		ns
$t_d(\text{BCLK-CS})$	チップセレクト出力遅延時間			25	ns
$t_h(\text{BCLK-CS})$	チップセレクト出力保持時間 (BCLK基準)		4		ns
$t_h(\text{RD-CS})$	チップセレクト出力保持時間 (RD基準)		(注1)		ns
$t_h(\text{WR-CS})$	チップセレクト出力保持時間 (WR基準)		(注1)		ns
$t_d(\text{BCLK-RD})$	RD信号出力遅延時間			25	ns
$t_h(\text{BCLK-RD})$	RD信号出力保持時間		0		ns
$t_d(\text{BCLK-WR})$	WR信号出力遅延時間			25	ns
$t_h(\text{BCLK-WR})$	WR信号出力保持時間		0		ns
$t_d(\text{BCLK-DB})$	データ出力遅延時間 (BCLK基準)			40	ns
$t_h(\text{BCLK-DB})$	データ出力保持時間 (BCLK基準)		4		ns
$t_d(\text{DB-WR})$	データ出力遅延時間 (WR基準)		(注2)		ns
$t_h(\text{WR-DB})$	データ出力保持時間 (WR基準)		(注1)		ns
$t_d(\text{BCLK-HLDA})$	HLDA出力遅延時間			40	ns
$t_d(\text{BCLK-ALE})$	ALE出力遅延時間 (BCLK基準)			15	ns
$t_h(\text{BCLK-ALE})$	ALE出力保持時間 (BCLK基準)		-4		ns
$t_d(\text{AD-ALE})$	ALE出力遅延時間 (アドレス基準)		(注3)		ns
$t_h(\text{ALE-AD})$	ALE出力保持時間 (アドレス基準)		(注4)		ns
$t_d(\text{AD-RD})$	アドレス後RD信号出力遅延時間		0		ns
$t_d(\text{AD-WR})$	アドレス後WR信号出力遅延時間		0		ns
$t_{dZ}(\text{RD-AD})$	アドレス出力フローティング開始時間			8	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 40[\text{ns}] \quad n \text{は2ウェイト設定の場合 "2"、3ウェイト設定の場合 "3"}$$

注3. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 25[\text{ns}]$$

注4. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 15[\text{ns}]$$

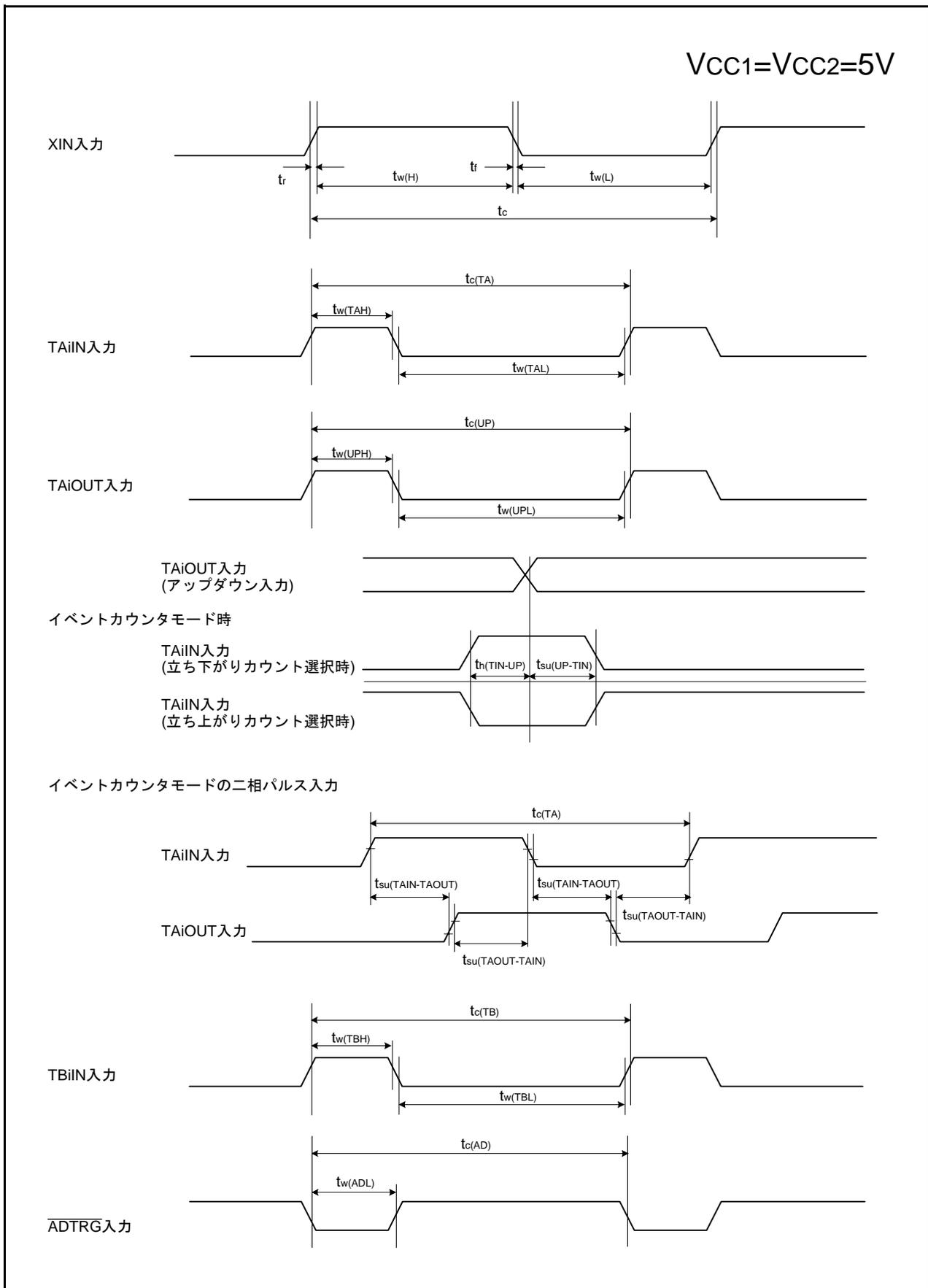


図23.3 タイミング図(1)

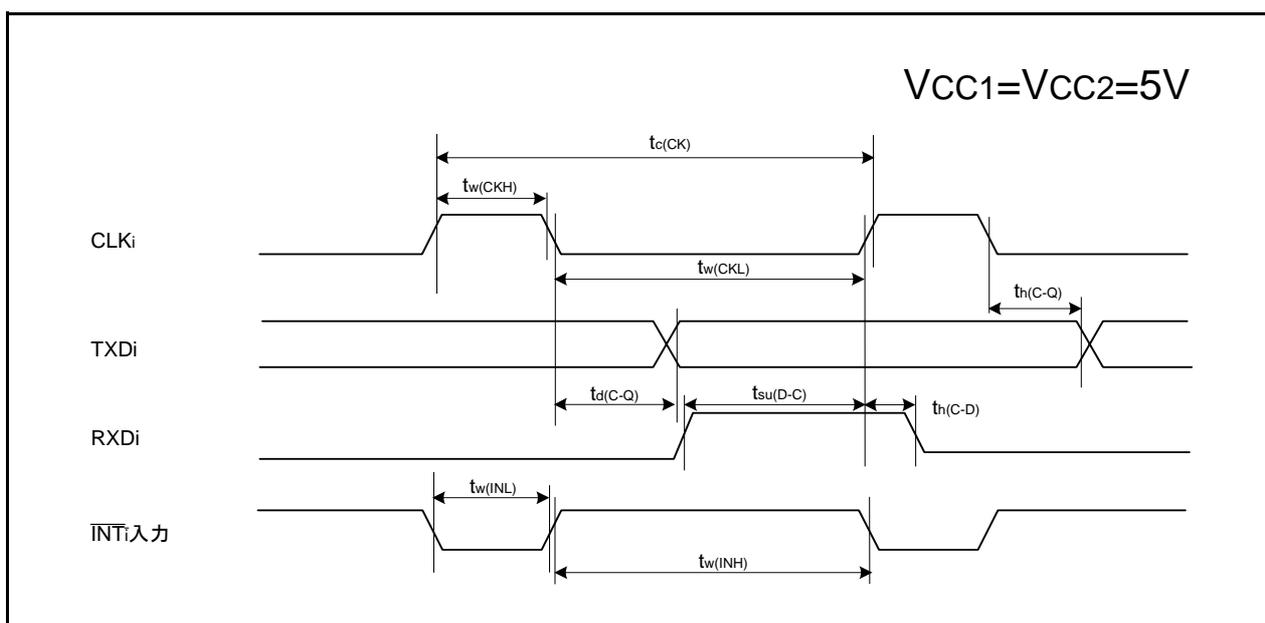


図23.4 タイミング図(2)

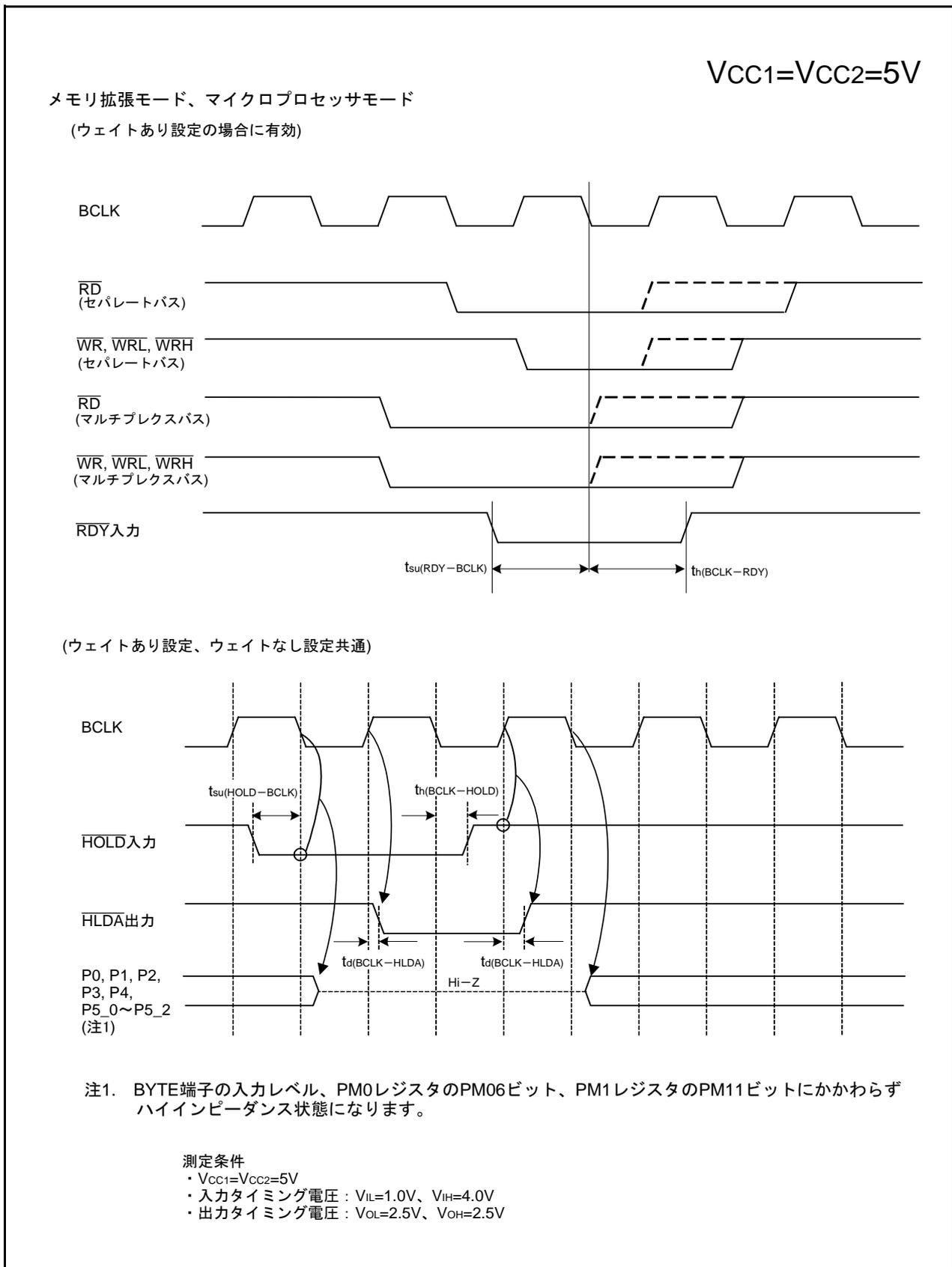


図 23.5 タイミング図(3)

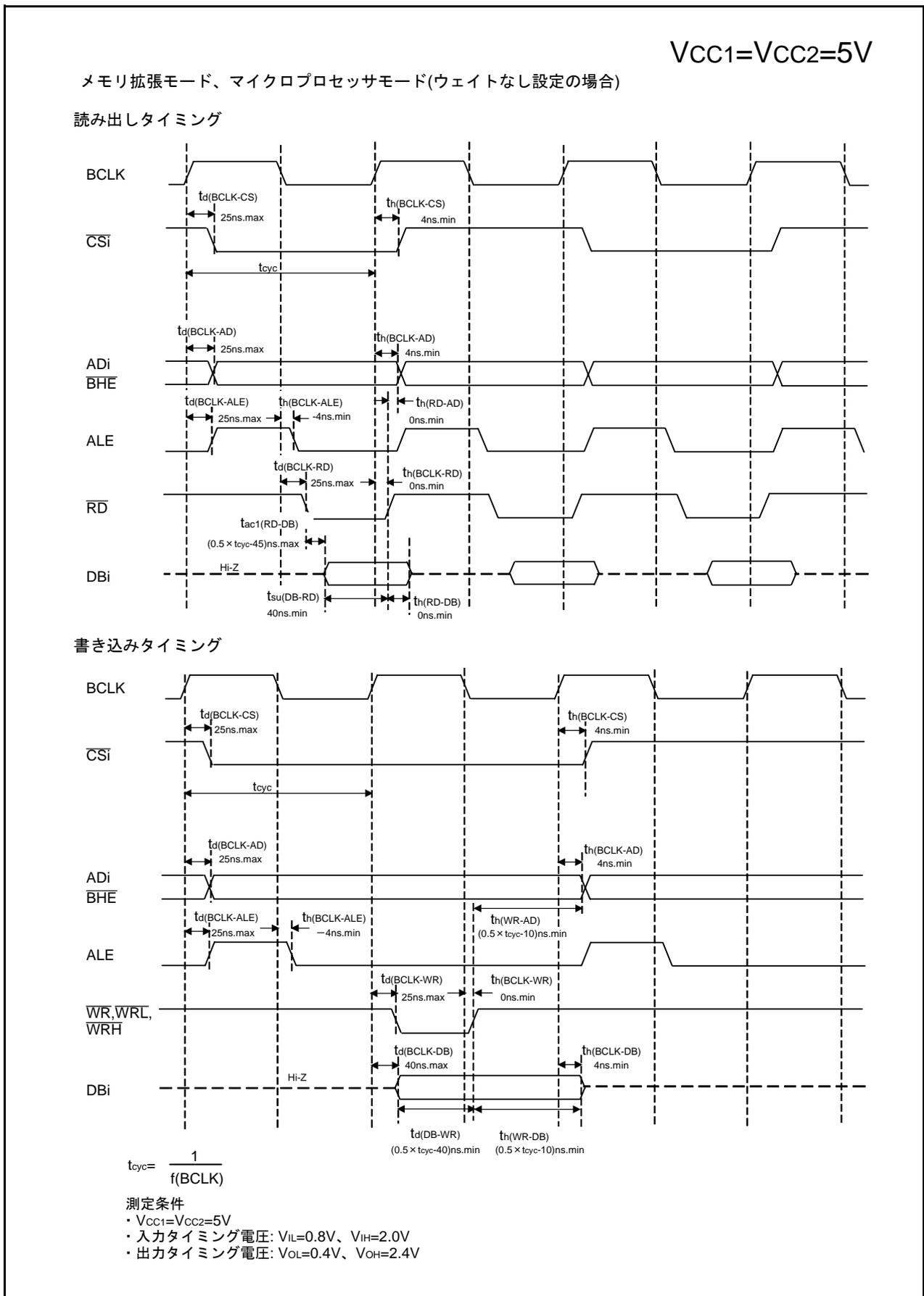


図 23.6 タイミング図(4)

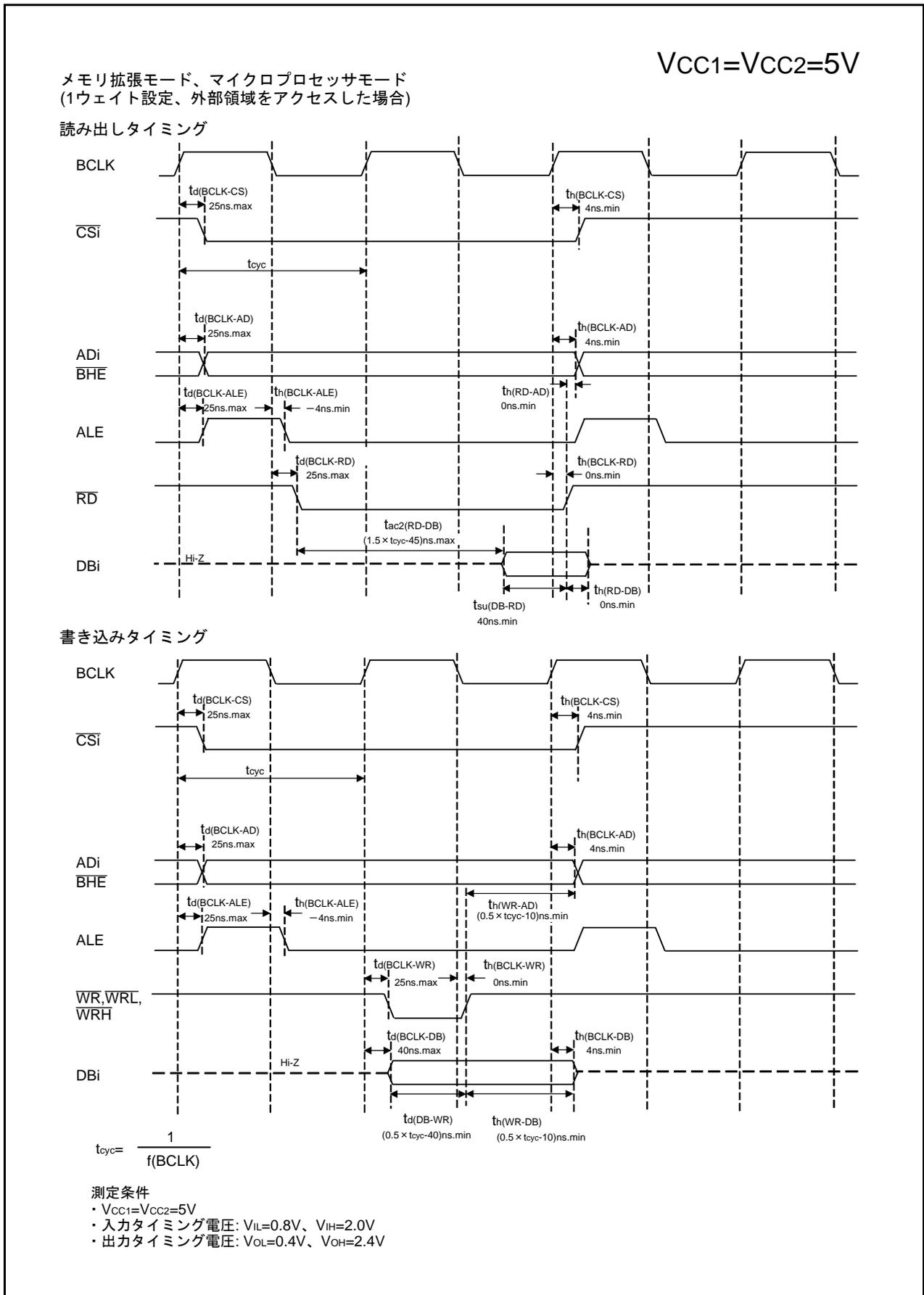


図 23.7 タイミング図(5)

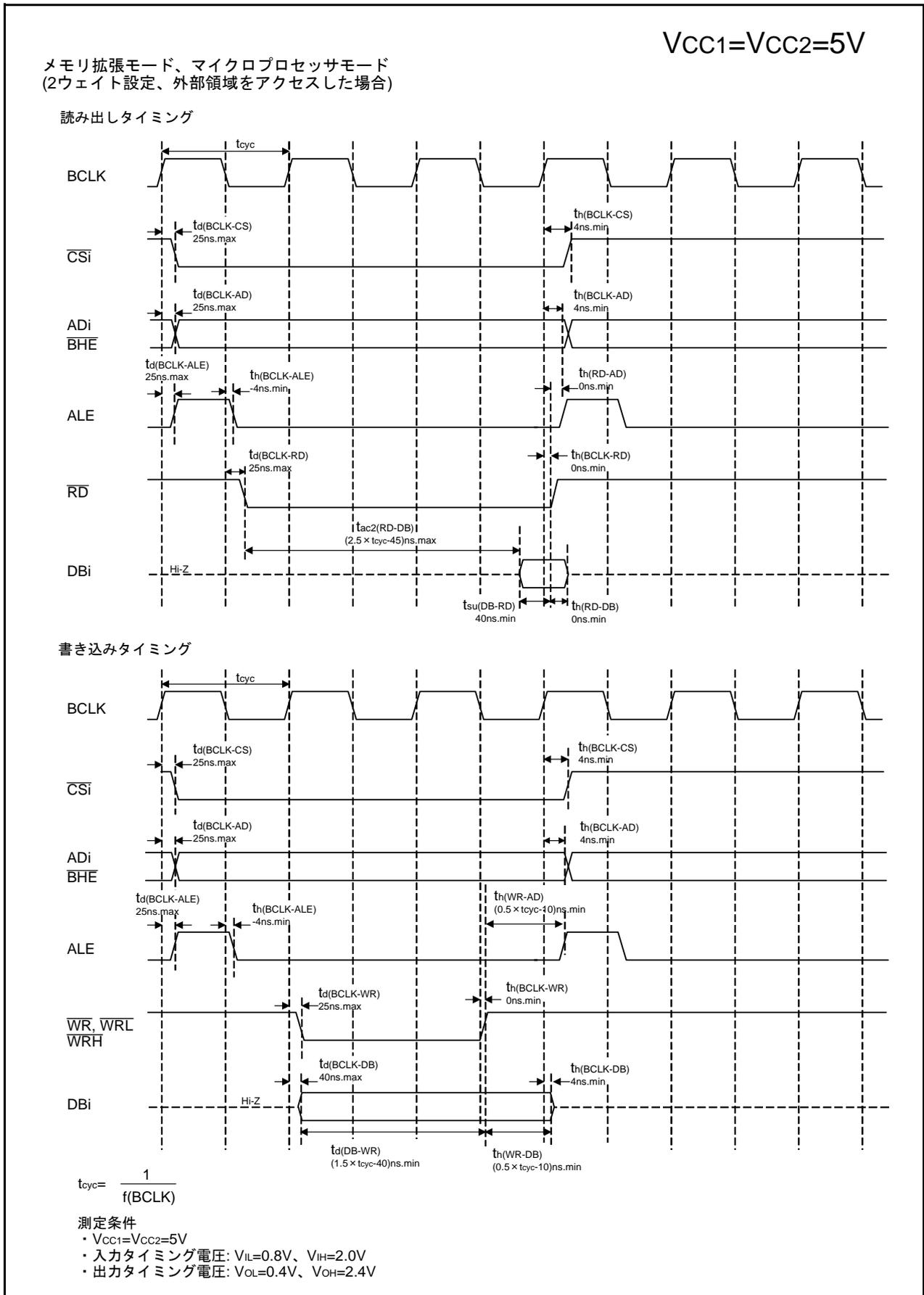


図 23.8 タイミング図(6)

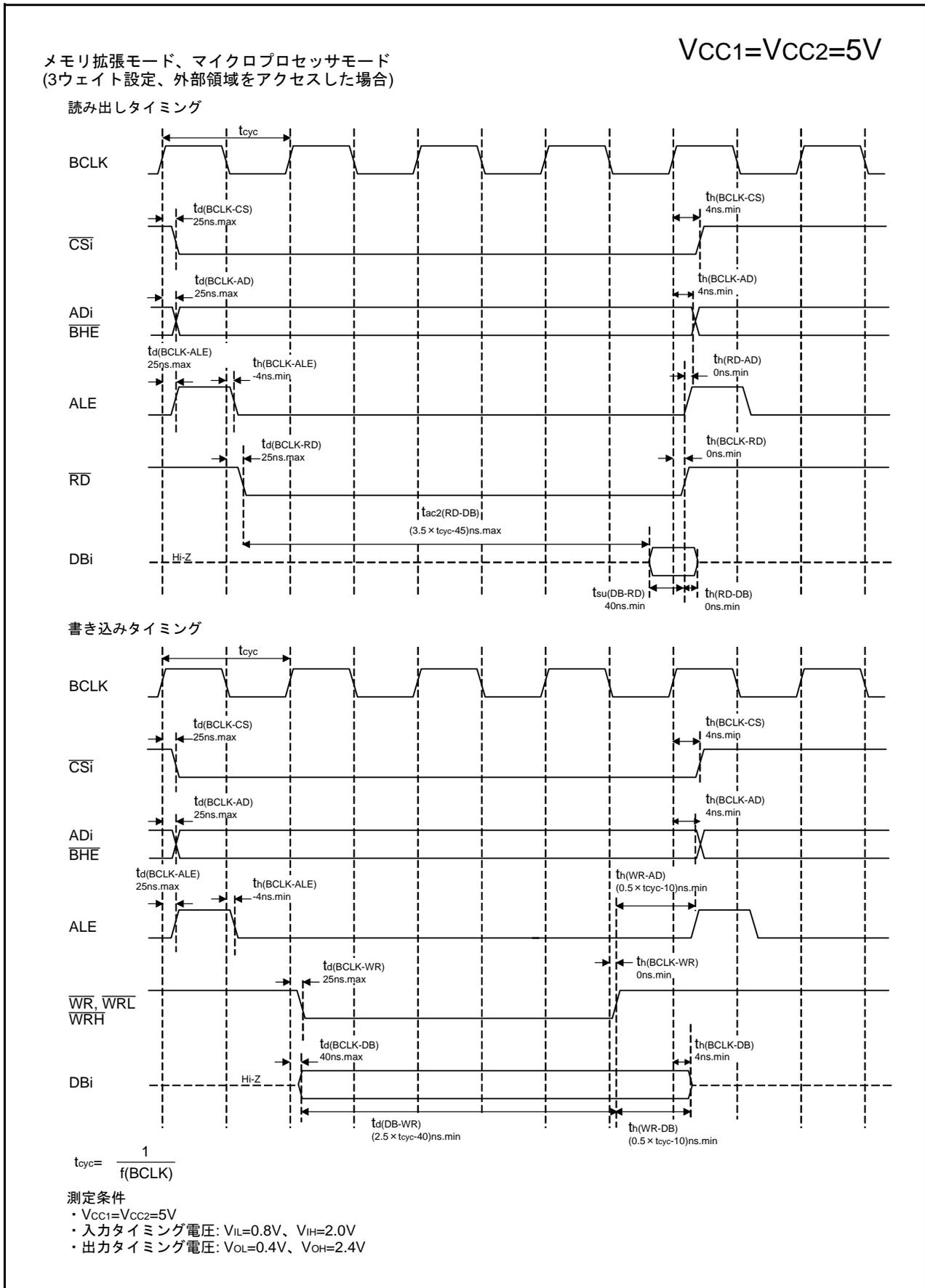


図 23.9 タイミング図(7)

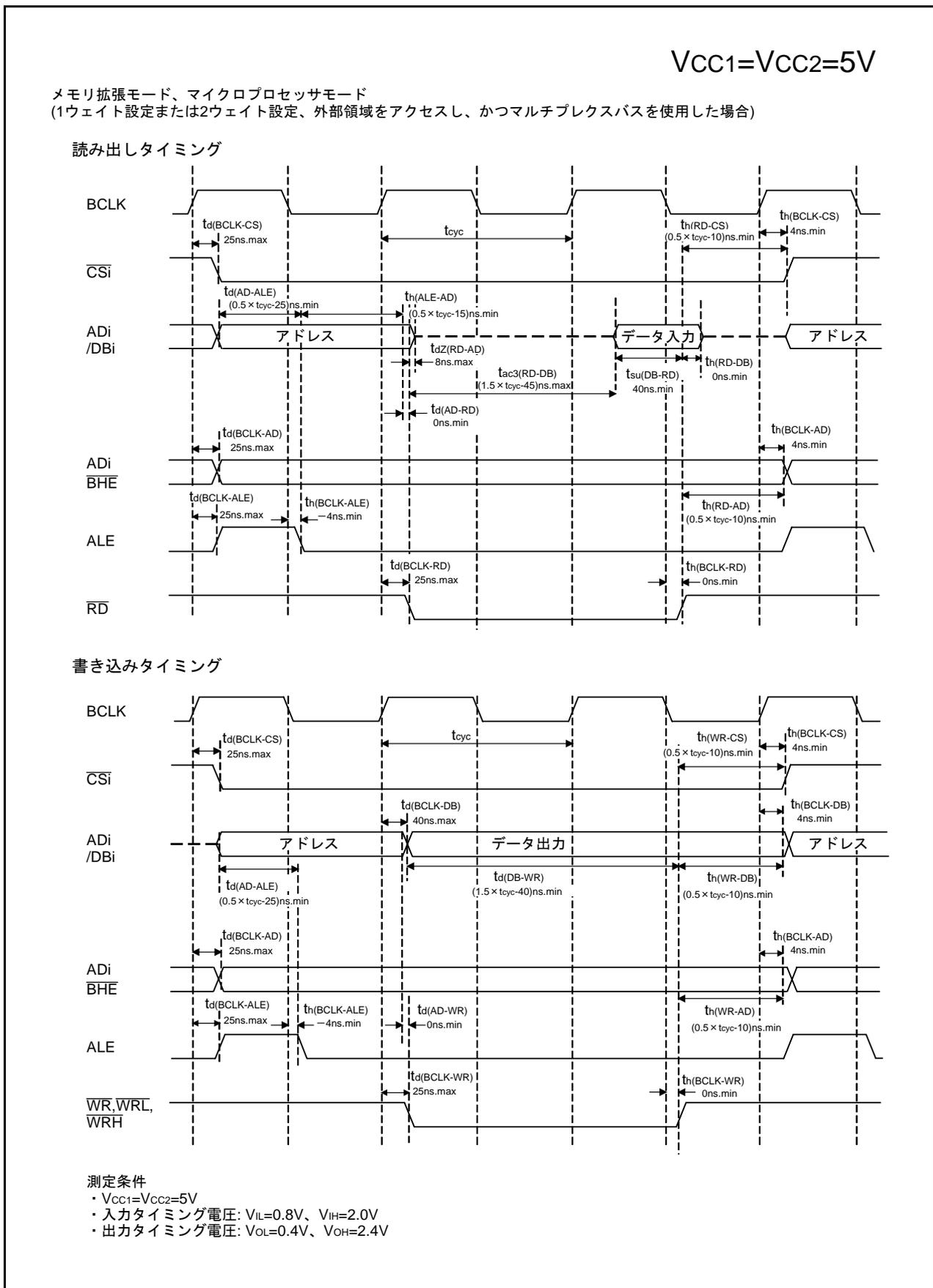


図23.10 タイミング図(8)

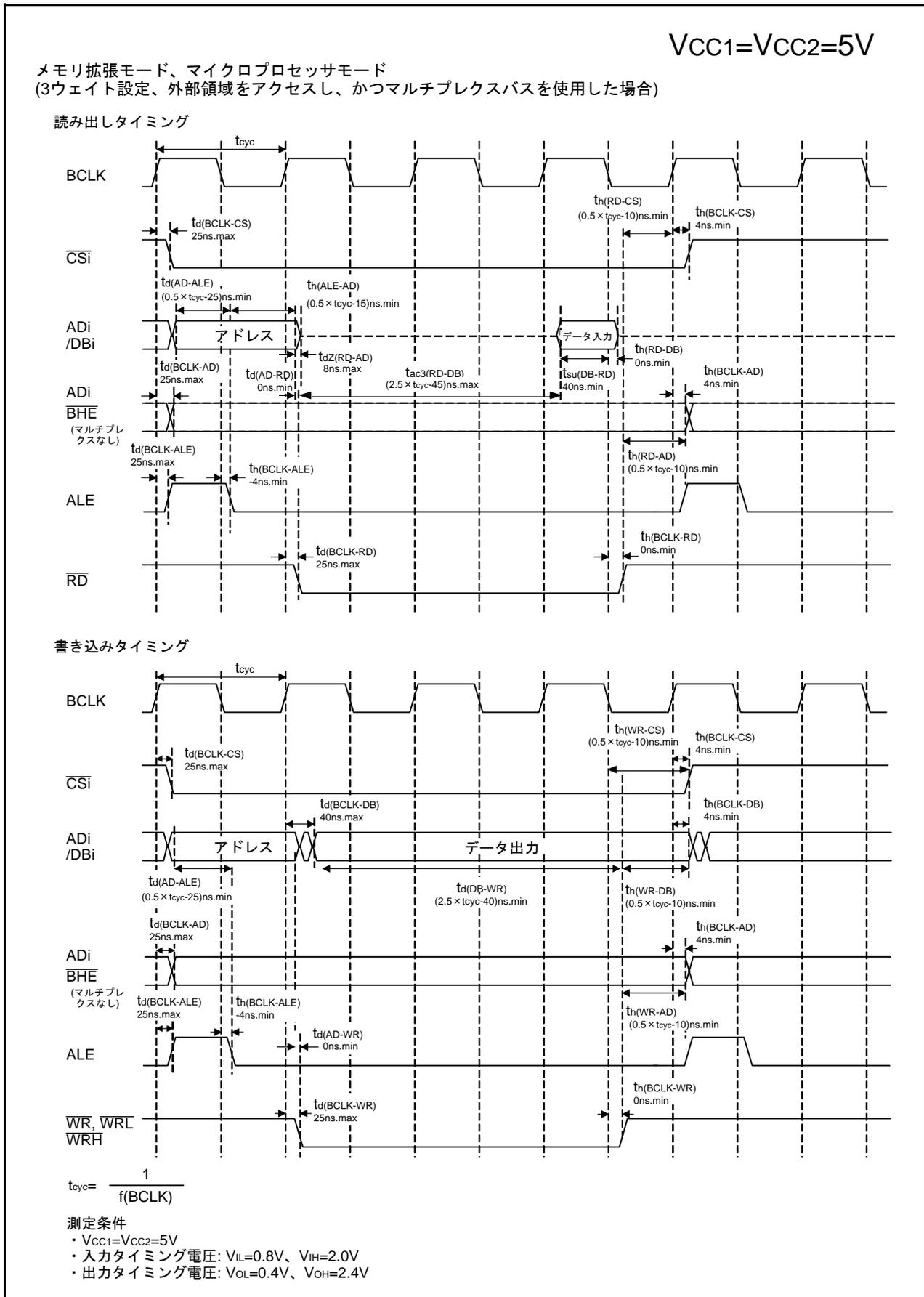


図 23.11 タイミング図(9)

$$V_{CC1}=V_{CC2}=3V$$

表 23.29 電気的特性(1) (注1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
VOH	"H"出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1	IOH= -1mA	V _{CC1} - 0.5		V _{CC1}	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7	IOH= -1mA	V _{CC2} - 0.5		V _{CC2}	
VOH	"H"出力電圧 XOUT	HIGHPOWER	IOH= -0.1mA	V _{CC1} - 0.5		V _{CC1}	V
		LOWPOWER	IOH= -50 μA	V _{CC1} - 0.5		V _{CC1}	
	"H"出力電圧 XCOUT	HIGHPOWER	無負荷時		2.5		V
		LOWPOWER	無負荷時		1.6		
VOL	"L"出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1	IOL=1mA			0.5	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7	IOL=1mA			0.5	
VOL	"L"出力電圧 XOUT	HIGHPOWER	IOL=0.1mA			0.5	V
		LOWPOWER	IOL=50 μA			0.5	
	"L"出力電圧 XCOUT	HIGHPOWER	無負荷時		0		V
		LOWPOWER	無負荷時		0		
V _{T+} -V _{T-}	ヒステリシス	HOLD, RDY, TA0IN~TA4IN, TB0IN~TB5IN, INT0~INT5, NMI, ADTRG, CTS0~CTS2, SCL0~SCL2, SDA0~SDA2, CLK0~CLK4, TA0OUT~TA4OUT, KI0~KI3, RXD0~RXD2, SIN3, SIN4		0.2		0.8	V
V _{T+} -V _{T-}	ヒステリシス	RESET		0.2	(0.7)	1.8	V
I _{IH}	"H"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1 XIN, RESET, CNVSS, BYTE	V _I =3V			4.0	μA
I _{IL}	"L"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1 XIN, RESET, CNVSS, BYTE	V _I =0V			-4.0	μA
R _{PULLUP}	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1	V _I =0V	50	100	500	kΩ
R _{I_XIN}	帰還抵抗 XIN				3.0		MΩ
R _{I_XCIN}	帰還抵抗 XCIN				25		MΩ
V _{RAM}	RAM保持電圧		ストップモード時	2.0			V

注1. 指定のない場合は、V_{CC1}=V_{CC2}=2.7~3.3V、V_{SS}=0V、T_{opr}=-20~85°C / -40~85°C、f(BCLK)=10MHzです。

注2. V_{CC} : ポートP6~P11、P14はV_{CC1}です。ポートP0~P5、P12~P13はV_{CC2}です。

注3. 80ピン版では、P1_0~P1_7、P4_4~P4_7、P7_2~P7_5、P9_1は外部への接続がありません。

$$V_{CC1}=V_{CC2}=3V$$

表 23.30 電気的特性(2)(注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
I _{CC}	電源電流 (V _{CC1} =2.7~3.6V) シングルチップモードで、 出力端子は開放、 その他の端子はV _{SS}	マスクROM	f(BCLK)=10MHz 分周なし	8	11	mA
			オンチップオシレータ発振動作時 分周なし	1		mA
		フラッシュメモリ	f(BCLK)=10MHz 分周なし	8	13	mA
			オンチップオシレータ発振動作時 分周なし	1.8		mA
		フラッシュメモリ プログラム	f(BCLK)=10MHz V _{CC1} =3.0V	12		mA
		フラッシュメモリ イレーズ	f(BCLK)=10MHz V _{CC1} =3.0V	22		mA
		マスクROM	f(XCIN)=32kHz 低消費電力モード時 ROM上(注3)	25		μA
		フラッシュメモリ	f(BCLK)=32kHz 低消費電力モード時 RAM上(注3)	25		μA
			f(BCLK)=32kHz 低消費電力モード時 フラッシュメモリ上(注3)	420		μA
			オンチップオシレータ発振動作、 ウェイトモード時	45		μA
			マスクROM、 フラッシュメモリ	f(BCLK)=32kHz ウェイトモード時(注2) 発振能力High	6.0	
			f(BCLK)=32kHz ウェイトモード時(注2) 発振能力Low	1.8		μA
			ストップモード時 T _{opr} =25°C	0.7	3.0	μA
I _{det4}	電圧低下検出消費電流(注4)		0.6	4	μA	
I _{det3}	リセット領域検出消費電流(注4)		0.4	2	μA	

注1. 指定のない場合は、V_{CC1}=V_{CC2}=2.7~3.3V、V_{SS}=0V、T_{opr}=-20~85°C / -40~85°C、f(BCLK)=10MHzです。

注2. fC32にてタイマ1本を動作させている状態です。

注3. 実行するプログラムが存在するメモリを示す。

注4. I_{det}は次のビットを“1”(検出回路有効)にしている場合の消費電流です。

I_{det4} : VCR2レジスタのVC27ビット

I_{det3} : VCR2レジスタのVC26ビット

$$V_{CC1}=V_{CC2}=3V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

表 23.31 外部クロック入力 (XIN入力)(注1)

記号	項目	規格値		単位
		最小	最大	
t_c	外部クロック入力サイクル時間	(注2)		ns
$t_w(H)$	外部クロック入力“H”パルス幅	(注3)		ns
$t_w(L)$	外部クロック入力“L”パルス幅	(注3)		ns
t_r	外部クロック立ち上がり時間		(注4)	ns
t_f	外部クロック立ち下がり時間		(注4)	ns

注1. 条件は $V_{CC1}=V_{CC2}=2.7\sim 3.0V$ です。注2. V_{CC1} の電圧に応じて次の計算式で算出されます。

$$\frac{10^{-6}}{20 \times V_{CC2} - 44} [\text{ns}]$$

注3. V_{CC1} の電圧に応じて次の計算式で算出されます。

$$\frac{10^{-6}}{20 \times V_{CC1} - 44} \times 0.4 [\text{ns}]$$

注4. V_{CC1} の電圧に応じて次の計算式で算出されます。

$$-10 \times V_{CC1} + 45 [\text{ns}]$$

表 23.32 メモリ拡張モード、マイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
$t_{ac1}(RD-DB)$	データ入力アクセス時間 (ウェイトなし設定)		(注1)	ns
$t_{ac2}(RD-DB)$	データ入力アクセス時間 (ウェイトあり設定)		(注2)	ns
$t_{ac3}(RD-DB)$	データ入力アクセス時間 (マルチプレクスバス領域をアクセスした場合)		(注3)	ns
$t_{su}(DB-RD)$	データ入力セットアップ時間	50		ns
$t_{su}(RDY-BCLK)$	RDY入力セットアップ時間	40		ns
$t_{su}(HOLD-BCLK)$	HOLD入力セットアップ時間	50		ns
$t_h(RD-DB)$	データ入力ホールド時間	0		ns
$t_h(BCLK-RDY)$	RDY入力ホールド時間	0		ns
$t_h(BCLK-HOLD)$	HOLD入力ホールド時間	0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(BCLK)} - 60 [\text{ns}]$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(BCLK)} - 60 [\text{ns}] \quad n \text{は1ウェイト設定の場合“2”、2ウェイト設定の場合“3”、3ウェイト設定の場合“4”}$$

注3. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(BCLK)} - 60 [\text{ns}] \quad n \text{は2ウェイト設定の場合“2”、3ウェイト設定の場合“3”}$$

$$VCC1=VCC2=3V$$

タイミング必要条件

(指定のない場合は、 $VCC1=VCC2=3V$ 、 $VSS=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

表 23.33 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	150		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	60		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	60		ns

表 23.34 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	600		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	300		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	300		ns

表 23.35 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	300		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	150		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	150		ns

表 23.36 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TAH)$	TAiIN入力“H”パルス幅	150		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	150		ns

表 23.37 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(UP)}$	TAiOUT入力サイクル時間	3000		ns
$t_w(UPH)$	TAiOUT入力“H”パルス幅	1500		ns
$t_w(UPL)$	TAiOUT入力“L”パルス幅	1500		ns
$t_{su}(UP-TIN)$	TAiOUT入力セットアップ時間	600		ns
$t_h(TIN-UP)$	TAiOUT入力ホールド時間	600		ns

表 23.38 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	2		μs
$t_{su}(TAIN-TAOUT)$	TAiOUT入力セットアップ時間	500		ns
$t_{su}(TAOUT-TAIN)$	TAiIN入力セットアップ時間	500		ns

$$V_{CC1}=V_{CC2}=3V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

表 23.39 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間(片エッジカウント)	150		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(片エッジカウント)	60		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(片エッジカウント)	60		ns
$t_{c(TB)}$	TBiIN入力サイクル時間(両エッジカウント)	300		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(両エッジカウント)	120		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(両エッジカウント)	120		ns

表 23.40 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	600		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	300		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	300		ns

表 23.41 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	600		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	300		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	300		ns

表 23.42 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(AD)}$	ADTRG入力サイクル時間(トリガ可能最小)	1500		ns
$t_{w(ADL)}$	ADTRG入力“L”パルス幅	200		ns

表 23.43 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	300		ns
$t_{w(CKH)}$	CLKi入力“H”パルス幅	150		ns
$t_{w(CKL)}$	CLKi入力“L”パルス幅	150		ns
$t_d(C-Q)$	TXDi出力遅延時間		160	ns
$t_h(C-Q)$	TXDiホールド時間	0		ns
$t_{su}(D-C)$	RXDi入力セットアップ時間	100		ns
$t_h(C-D)$	RXDi入力ホールド時間	90		ns

表 23.44 外部割り込み \overline{INTi} 入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	\overline{INTi} 入力“H”パルス幅	380		ns
$t_{w(INL)}$	\overline{INTi} 入力“L”パルス幅	380		ns

$$V_{CC1}=V_{CC2}=3V$$

スイッチング特性

(指定のない場合は、 $V_{CC1}=V_{CC2}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C / -40\sim 85^{\circ}C$)

表23.45 メモリ拡張モード、マイクロプロセッサモード(ウェイトなし設定の場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_d(\text{BCLK-AD})$	アドレス出力遅延時間	図23.12		30	ns
$t_h(\text{BCLK-AD})$	アドレス出力保持時間 (BCLK基準)		4		ns
$t_h(\text{RD-AD})$	アドレス出力保持時間 (RD基準)		0		ns
$t_h(\text{WR-AD})$	アドレス出力保持時間 (WR基準)		(注2)		ns
$t_d(\text{BCLK-CS})$	チップセレクト出力遅延時間			30	ns
$t_h(\text{BCLK-CS})$	チップセレクト出力保持時間 (BCLK基準)		4		ns
$t_d(\text{BCLK-ALE})$	ALE信号出力遅延時間			25	ns
$t_h(\text{BCLK-ALE})$	ALE信号出力保持時間		-4		ns
$t_d(\text{BCLK-RD})$	RD信号出力遅延時間			30	ns
$t_h(\text{BCLK-RD})$	RD信号出力保持時間		0		ns
$t_d(\text{BCLK-WR})$	WR信号出力遅延時間			30	ns
$t_h(\text{BCLK-WR})$	WR信号出力保持時間		0		ns
$t_d(\text{BCLK-DB})$	データ出力遅延時間 (BCLK基準)			40	ns
$t_h(\text{BCLK-DB})$	データ出力保持時間 (BCLK基準) (注3)		4		ns
$t_d(\text{DB-WR})$	データ出力遅延時間 (WR基準)		(注1)		ns
$t_h(\text{WR-DB})$	データ出力保持時間 (WR基準) (注3)		(注2)		ns
$t_d(\text{BCLK-HLDA})$	HLDA出力遅延時間			40	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 40[\text{ns}] \quad f(\text{BCLK}) \text{は } 12.5\text{MHz以下}$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - V_{OL}/V_{CC2})$$

で表されます。

例えば、 $V_{OL}=0.2V_{CC2}$ 、 $C=30\text{pF}$ 、 $R=1\text{k}\Omega$ とすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC2}/V_{CC2}) = 6.7\text{ns}$$

となります。

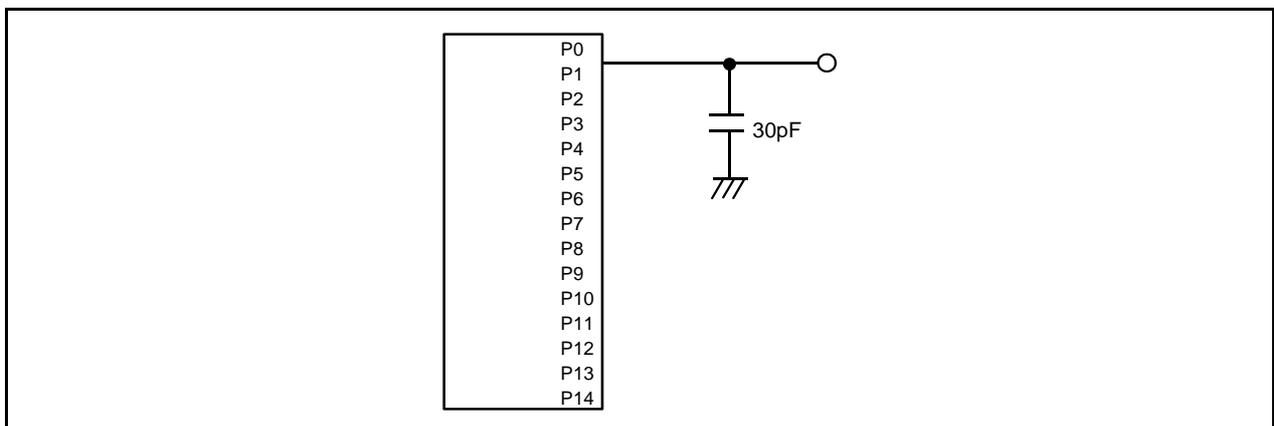
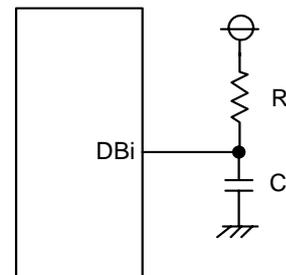


図23.12 ポートP0~P14の測定回路

VCC1=VCC2=3V

スイッチング特性

(指定のない場合は、VCC1=VCC2=3V、VSS=0V、Topr=-20~85℃ / -40~85℃)

表 23.46 メモリ拡張モード、マイクロプロセッサモード
(1~3ウェイト設定、外部領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図 23.12		30	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		4		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注2)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			30	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		4		ns
td(BCLK-ALE)	ALE信号出力遅延時間			25	ns
th(BCLK-ALE)	ALE信号出力保持時間		-4		ns
td(BCLK-RD)	RD信号出力遅延時間			30	ns
th(BCLK-RD)	RD信号出力保持時間		0		ns
td(BCLK-WR)	WR信号出力遅延時間			30	ns
th(BCLK-WR)	WR信号出力保持時間		0		ns
td(BCLK-DB)	データ出力遅延時間 (BCLK基準)			40	ns
th(BCLK-DB)	データ出力保持時間 (BCLK基準) (注3)		4		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
th(WR-DB)	データ出力保持時間 (WR基準) (注3)		(注2)		ns
td(BCLK-HLDA)	HLDA出力遅延時間			40	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 40[\text{ns}]$$

nは1ウェイト設定の場合“1”、2ウェイト設定の場合“2”、
3ウェイト設定の場合“3”
n=1の場合は、f(BCLK)は12.5MHz以下

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注3. この規格値は出力がオフするタイミングを示しており、データバスの保持時間を示すものではありません。データバスの保持時間は付加容量やプルアップ(プルダウン)抵抗値によって異なります。

右図の回路でデータバスの保持時間は、

$$t = -CR \times \ln(1 - \text{Vol}/V_{\text{cc2}})$$

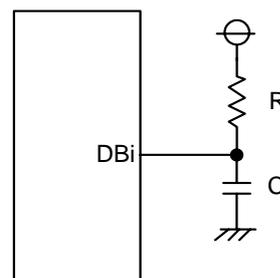
で表されます。

例えば、Vol=0.2Vcc2、C=30pF、R=1kΩとすると、

出力“L”レベルの保持時間は、

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{\text{cc2}}/V_{\text{cc2}}) = 6.7\text{ns}$$

となります。



$$VCC1=VCC2=3V$$

スイッチング特性

(指定のない場合は、VCC1=VCC2=3V、VSS=0V、Topr=-20～85℃ / -40～85℃)

表 23.47 メモリ拡張モード、マイクロプロセッサモード
(2～3ウェイト設定、外部領域をアクセスし、かつマルチプレクスバスを選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
t _d (BCLK-AD)	アドレス出力遅延時間	図 23.12		50	ns
t _h (BCLK-AD)	アドレス出力保持時間 (BCLK基準)		4		ns
t _h (RD-AD)	アドレス出力保持時間 (RD基準)		(注1)		ns
t _h (WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			50	ns
t _h (BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		4		ns
t _h (RD-CS)	チップセレクト出力保持時間 (RD基準)		(注1)		ns
t _h (WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
t _d (BCLK-RD)	RD信号出力遅延時間			40	ns
t _h (BCLK-RD)	RD信号出力保持時間		0		ns
t _d (BCLK-WR)	WR信号出力遅延時間			40	ns
t _h (BCLK-WR)	WR信号出力保持時間		0		ns
t _d (BCLK-DB)	データ出力遅延時間 (BCLK基準)			50	ns
t _h (BCLK-DB)	データ出力保持時間 (BCLK基準)		4		ns
t _d (DB-WR)	データ出力遅延時間 (WR基準)		(注2)		ns
t _h (WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
t _d (BCLK-HLDA)	HLDA出力遅延時間			40	ns
t _d (BCLK-ALE)	ALE出力遅延時間 (BCLK基準)			25	ns
t _h (BCLK-ALE)	ALE出力保持時間 (BCLK基準)		-4		ns
t _d (AD-ALE)	ALE出力遅延時間 (アドレス基準)		(注3)		ns
t _h (ALE-AD)	ALE出力保持時間 (アドレス基準)		(注4)		ns
t _d (AD-RD)	アドレス後RD信号出力遅延時間		0		ns
t _d (AD-WR)	アドレス後WR信号出力遅延時間		0		ns
t _{dZ} (RD-AD)	アドレス出力フローティング開始時間			8	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注2. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 50[\text{ns}] \quad n \text{は} 2 \text{ウェイト設定の場合} "2"、3 \text{ウェイト設定の場合} "3"$$

注3. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 40[\text{ns}]$$

注4. BCLKの周波数に応じて次の計算式で算出されます。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 15[\text{ns}]$$

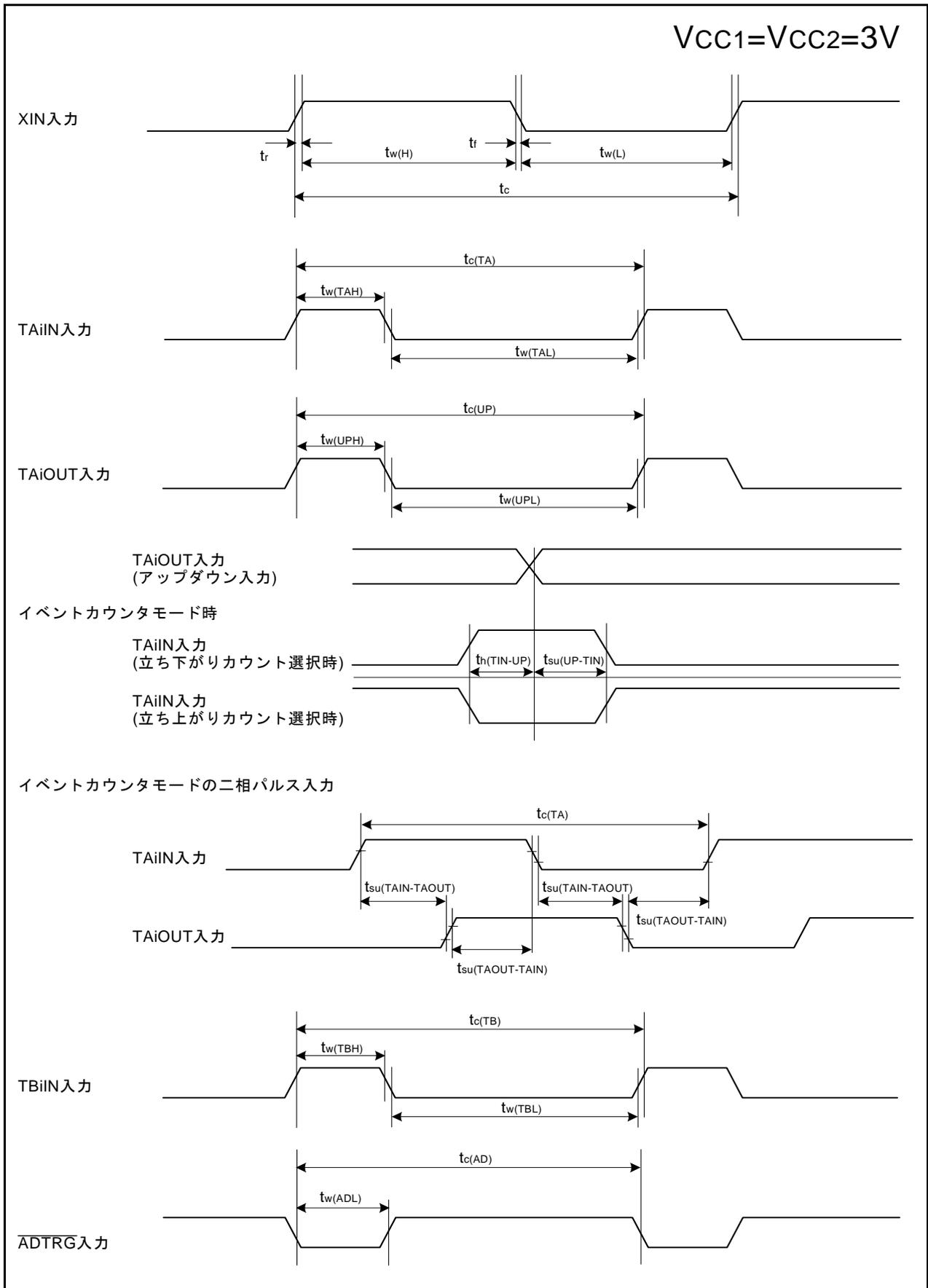


図23.13 タイミング図(1)

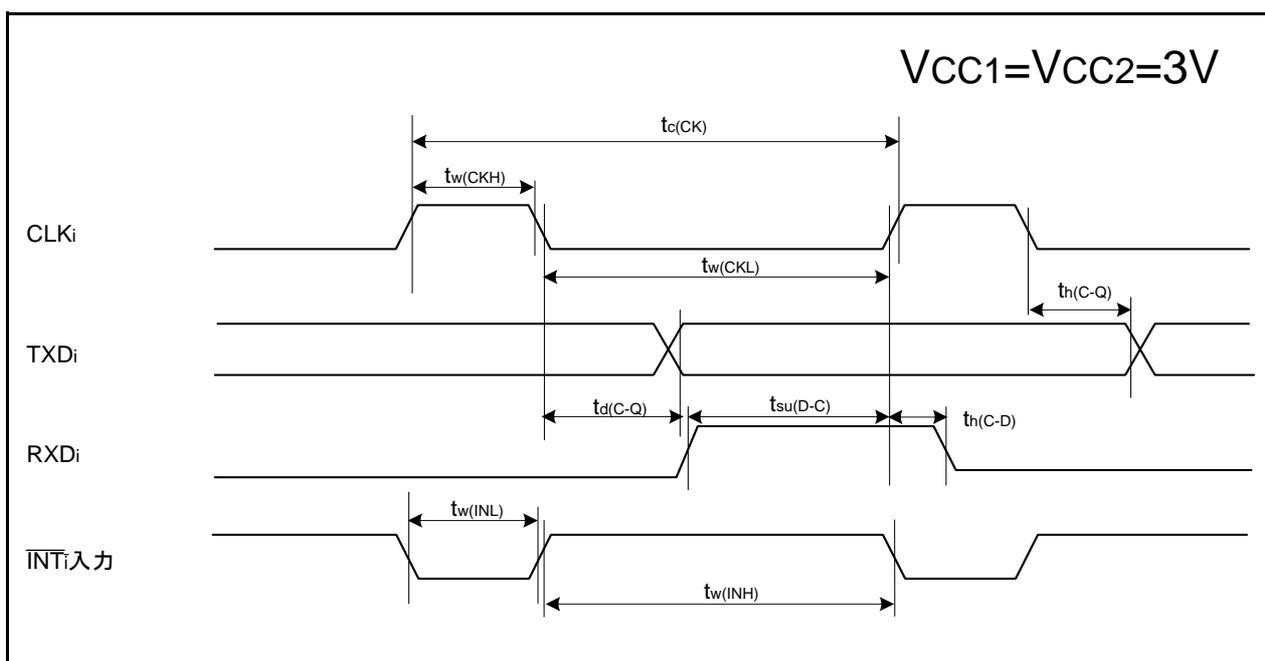


図 23.14 タイミング図(2)

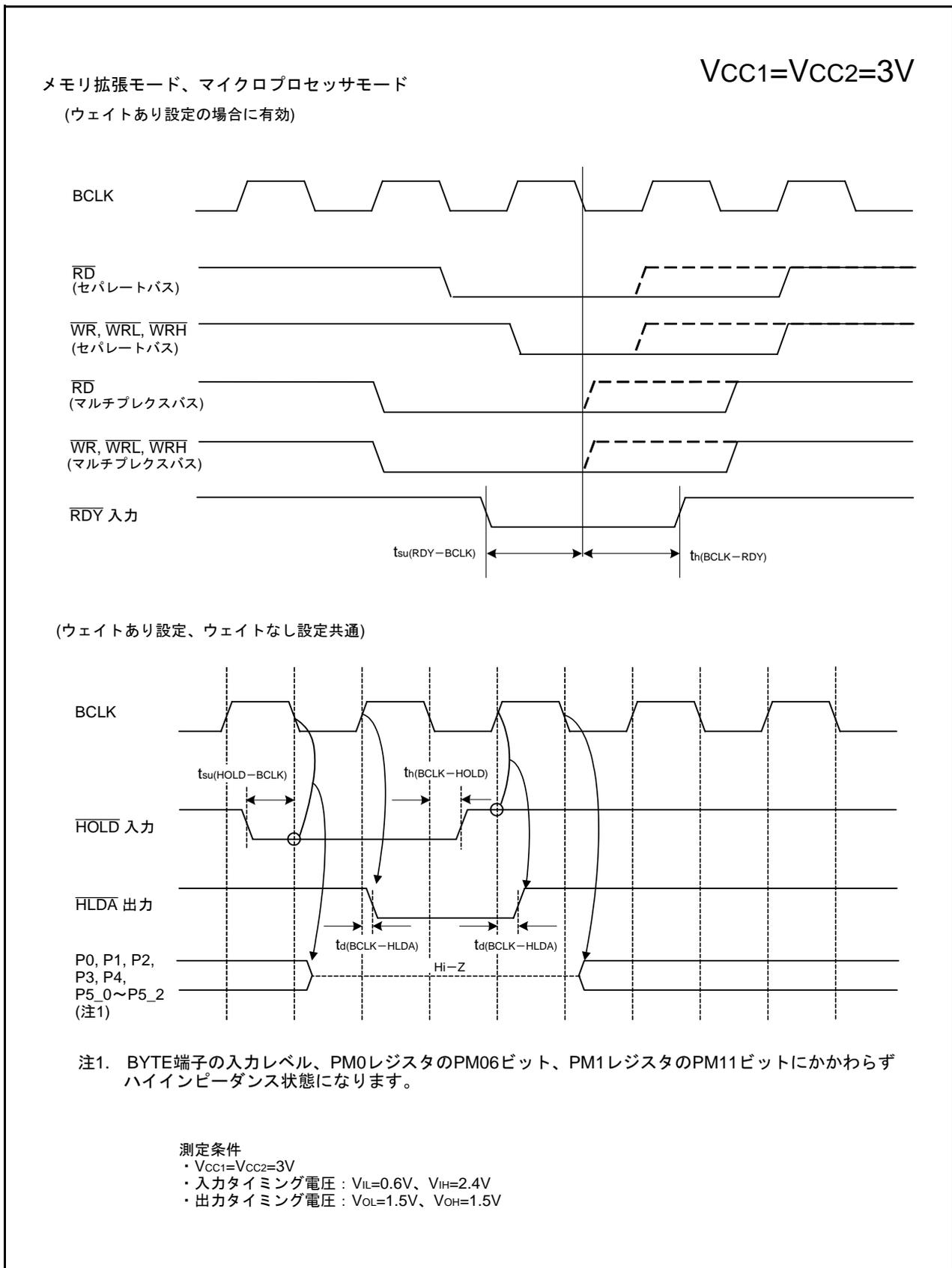


図23.15 タイミング図(3)

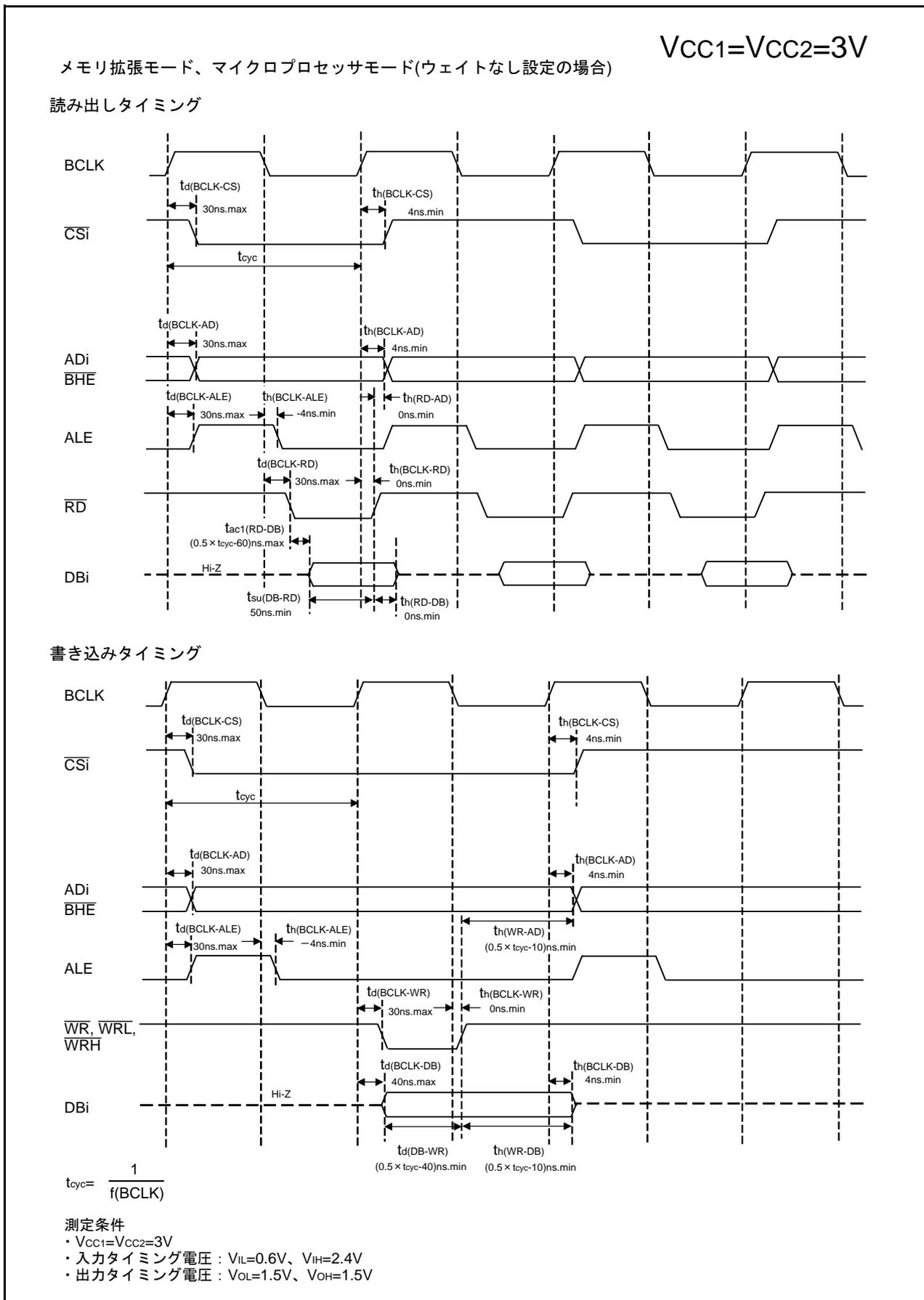


図 23.16 タイミング図(4)

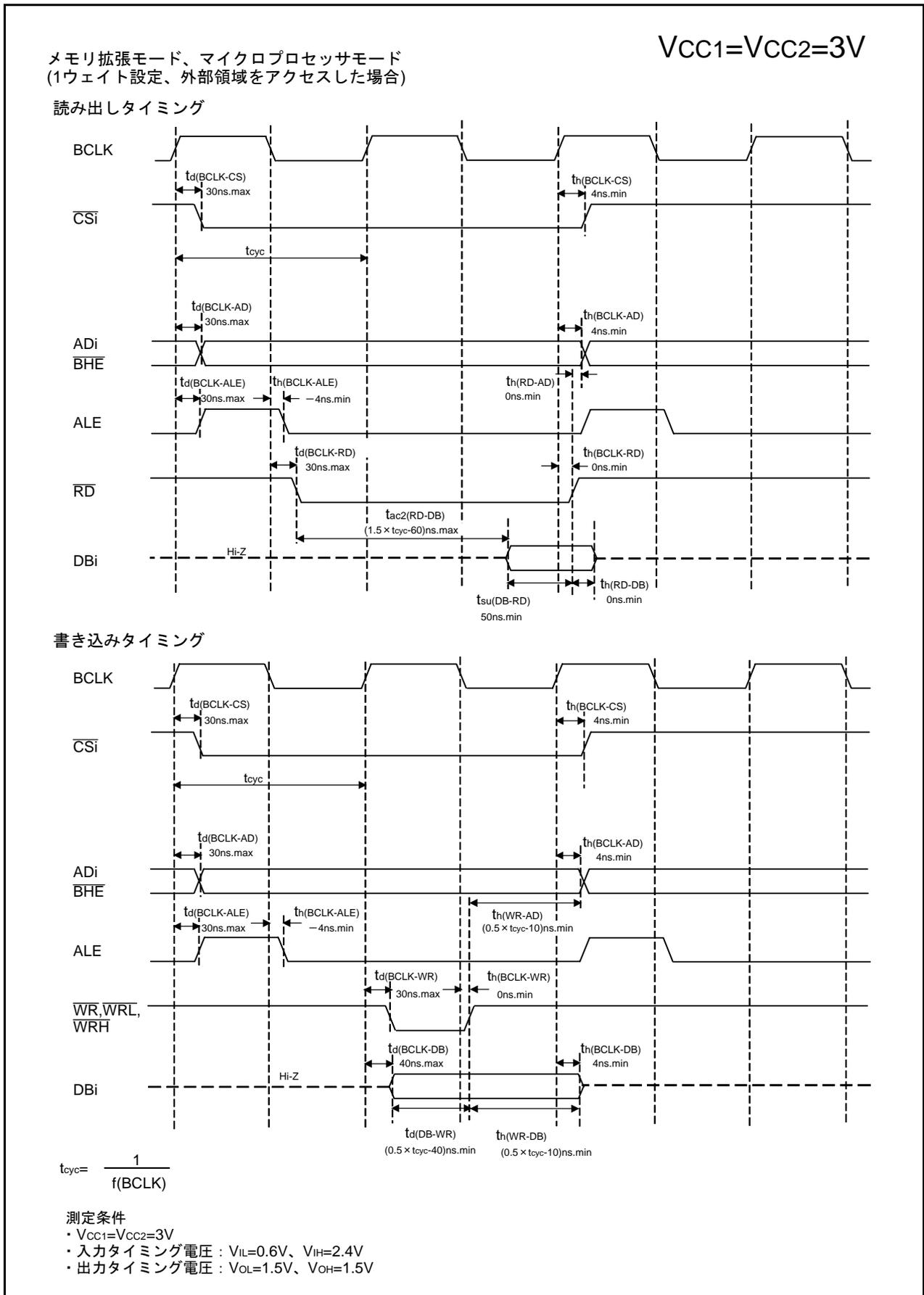


図23.17 タイミング図(5)

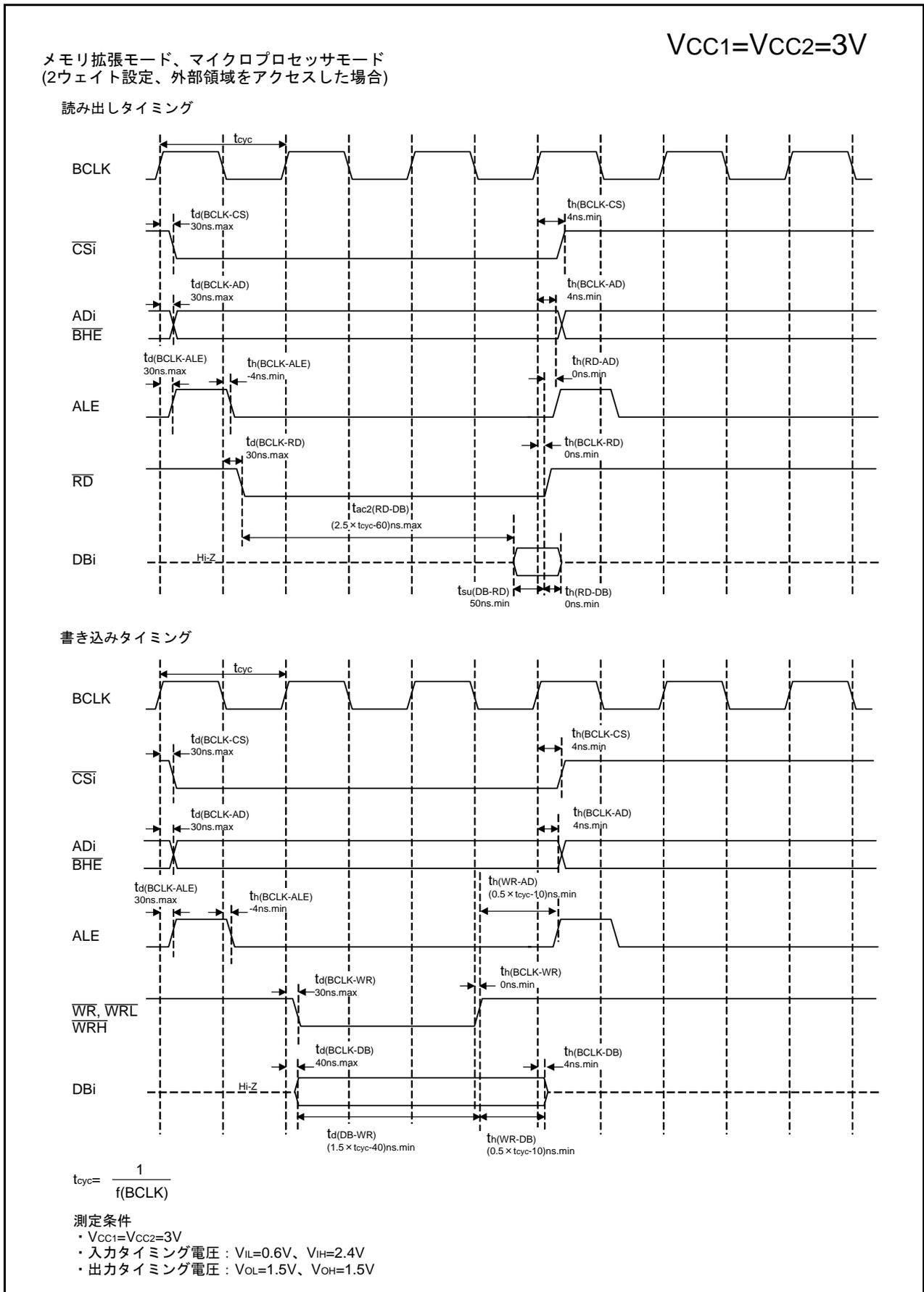


図 23.18 タイミング図(6)

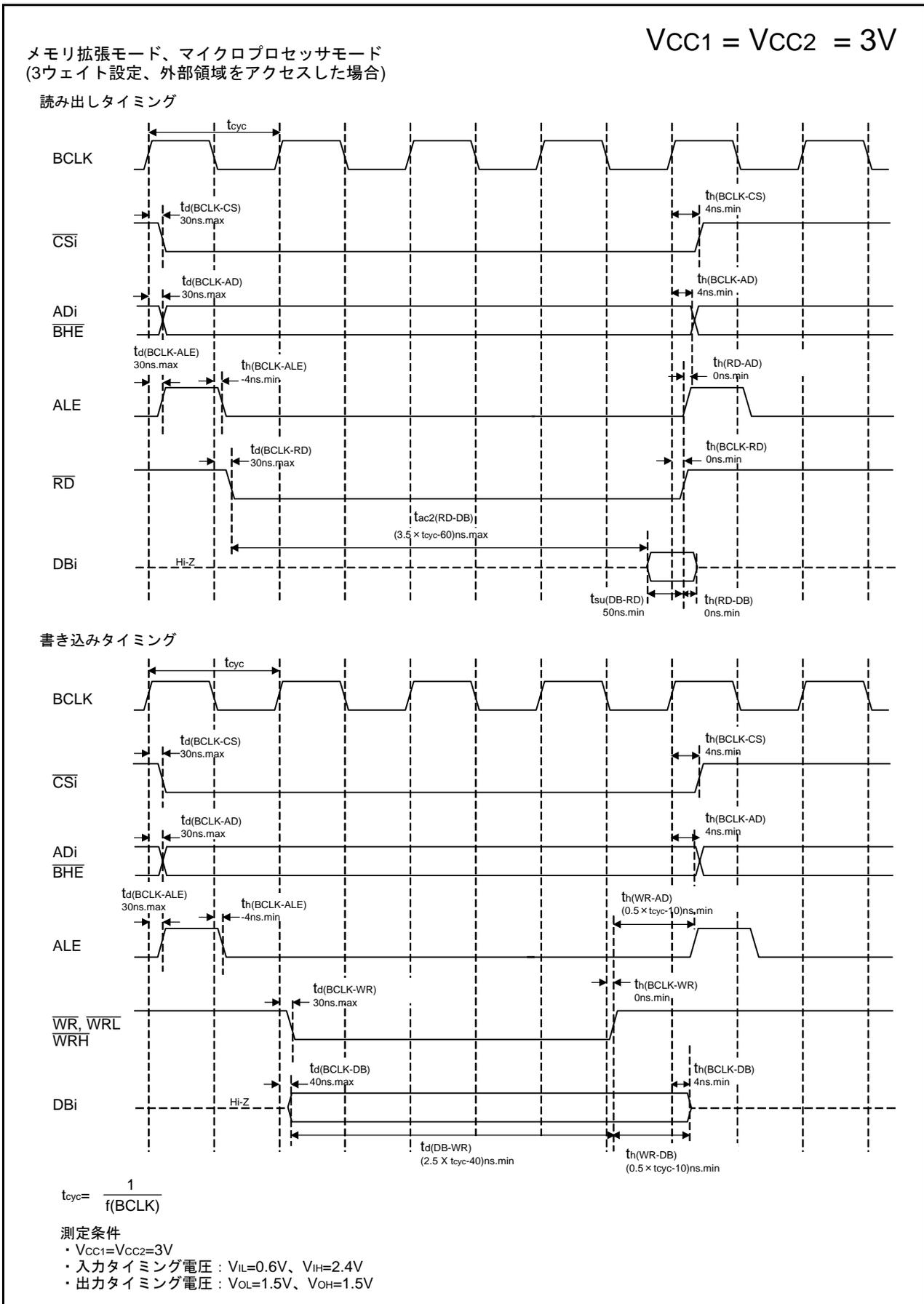


図23.19 タイミング図(7)

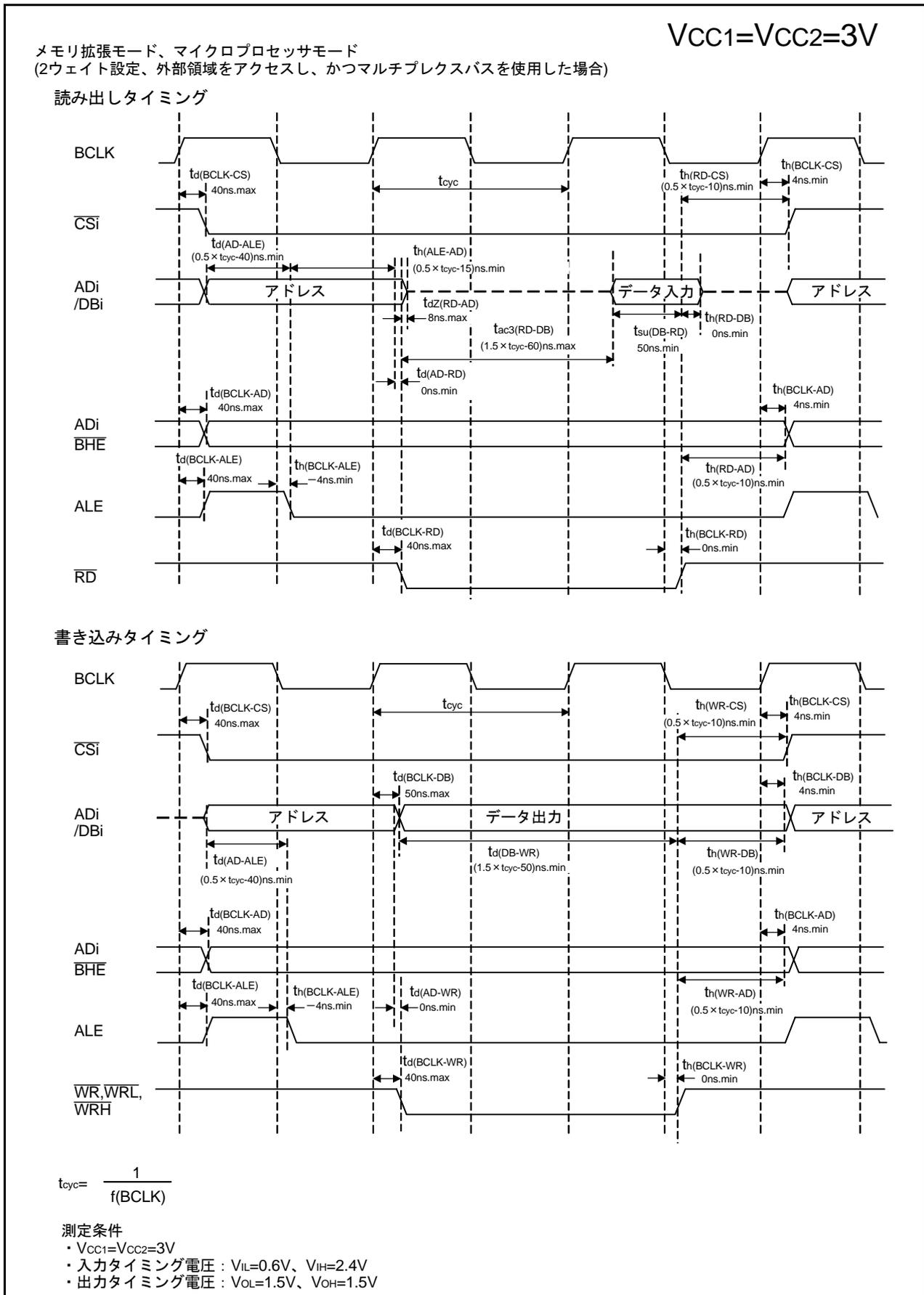


図 23.20 タイミング図(8)

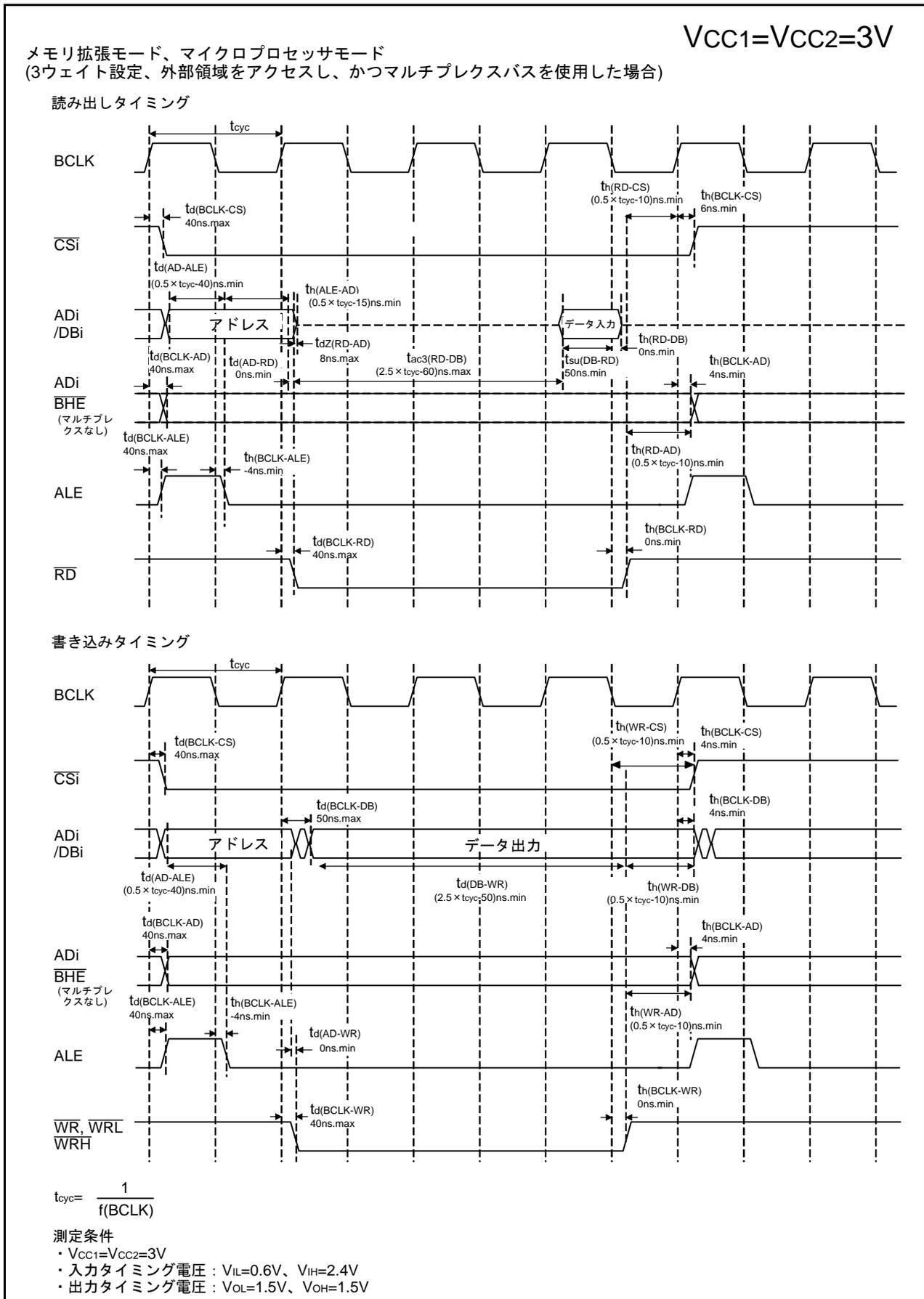


図 23.21 タイミング図(9)

23.2 電気的特性(M16C/62PT)

表 23.48 絶対最大定格

記号	項目		条件	定格値	単位
V _{CC1} , V _{CC2}	電源電圧		V _{CC1} =V _{CC2} =AV _{CC}	-0.3~6.5	V
AV _{CC}	アナログ電源電圧		V _{CC1} =V _{CC2} =AV _{CC}	-0.3~6.5	V
V _I	入力電圧	RESET, CNVSS, BYTE, P6_0~P6_7, P7_2~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1, VREF, XIN		-0.3~V _{CC1} +0.3 (注1)	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7		-0.3~V _{CC2} +0.3 (注1)	V
		P7_0, P7_1		-0.3~6.5	V
V _O	出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P11_0~P11_7, P14_0, P14_1, XOUT		-0.3~V _{CC1} +0.3 (注1)	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7		-0.3~V _{CC2} +0.3 (注1)	V
		P7_0, P7_1		-0.3~6.5	V
P _d	消費電力		-40°C < T _{opr} ≤ 85°C	300	mW
			85°C < T _{opr} ≤ 125°C	200	
T _{opr}	動作周囲温度	マイコン動作時		-40~85 / -40~125 (注2)	°C
		フラッシュ書き込み消去時		0~60	
T _{stg}	保存温度			-65~150	°C

注1. 80ピン版では、P1_0~P1_7、P4_4~P4_7、P7_2~P7_5、P9_1は外部への接続がありません。

注2. Tバージョンは-40°C~85°C、Vバージョンは-40°C~125°Cです。

表 23.49 推奨動作条件(注1)

記号	項目	規格値			単位	
		最小	標準	最大		
VCC1, VCC2	電源電圧(VCC1=VCC2)	4.0	5.0	5.5	V	
AVCC	アナログ電源電圧		VCC1		V	
VSS	電源電圧		0		V	
AVSS	アナログ電源電圧		0		V	
VIH	"H"入力電圧	P3_1~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7	0.8VCC2		VCC2	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (シングルチップモード時)	0.8VCC2		VCC2	V
		P6_0~P6_7, P7_2~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1, XIN, RESET, CNVSS, BYTE	0.8VCC1		VCC1	V
		P7_0, P7_1	0.8VCC1		6.5	V
VIL	"L"入力電圧	P3_1~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7	0		0.2VCC2	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0 (シングルチップモード時)	0		0.2VCC2	V
		P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1, XIN, RESET, CNVSS, BYTE	0		0.2VCC1	V
IOH(peak)	"H" 尖頭出力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1			-10.0	mA
IOH(avg)	"H" 平均出力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1			-5.0	mA
IOL(peak)	"L" 尖頭出力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1			10.0	mA
IOL(avg)	"L" 平均出力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1			5.0	mA
f(XIN)	メインクロック入力発振周波数	VCC1=4.0~5.5V	0		16	MHz
f(XCIN)	サブクロック発振周波数			32.768	50	kHz
f(Ring)	オンチップオシレータ発振周波数		0.5	1	2	MHz
f(PLL)	PLLクロック発振周波数	VCC1=4.0~5.5V	10		24	MHz
f(BCLK)	CPU動作周波数		0		24	MHz
tsu(PLL)	PLL周波数シンセサイザ安定待ち時間	VCC1=5.0V			20	ms

注1. 指定のない場合は、VCC1=VCC2=4.0~5.5V、Topr=-40~85°C / -40~125°Cです。

Tバージョンは-40°C~85°C、Vバージョンは-40°C~125°Cです。

注2. 平均出力電流は100msの期間内での平均値です。

注3. ポートP0,P1,P2,P8_6,P8_7,P9,P10,P11,P14_0,P14_1のIOL(peak)の合計は80mA以下、ポートP3,P4,P5,P6,P7,P8_0~P8_4,P12,P13のIOL(peak)の合計は80mA以下、ポートP0,P1,P2のIOH(peak)の合計は-40mA以下、ポートP3,P4,P5,P12,P13のIOH(peak)の合計は-40mA以下、ポートP6,P7,P8_0~P8_4のIOH(peak)の合計は-40mA以下、ポートP8_6,P8_7,P9,P10,P11,P14_0,P14_1のIOH(peak)の合計は-40mA以下にしてください。また、80ピン版では、VCC、VSSが1本のため、全ポートのIOL(peak)の合計およびIOH(peak)の合計は80mA以下にしてください。

注4. 80ピン版では、P1_0~P1_7、P4_4~P4_7、P7_2~P7_5、P9_1は外部への接続がありません。

表23.50 A/D変換特性(注1)

記号	項目		測定条件	規格値			単位	
				最小	標準	最大		
-	分解能		VREF=VCC1			10	Bits	
INL	積分 非直線性 誤差	10bit	VREF= VCC1= 5V	AN0~AN7入力 AN0_0~AN0_7入力 AN2_0~AN2_7入力 ANEX0、ANEX1入力 外部オペアンプ接続モード			±3	LSB
		8bit	VREF=VCC1=5.0V				±7	LSB
-	絶対精度	10bit	VREF= VCC1= 5V	AN0~AN7入力 AN0_0~AN0_7入力 AN2_0~AN2_7入力 ANEX0、ANEX1入力 外部オペアンプ接続モード			±3	LSB
		8bit	VREF=VCC1=5.0V				±7	LSB
-	許容信号源インピーダンス				3		kΩ	
DNL	微分非直線性誤差						±1	LSB
-	オフセット誤差						±3	LSB
-	ゲイン誤差						±3	LSB
RLADDER	ラダー抵抗		VREF=VCC1		10	40	kΩ	
tCONV	変換時間(10bit)、サンプル&ホールドあり		VREF=VCC1=5V、φAD=12MHz	2.75			μs	
tCONV	変換時間(8bit)、サンプル&ホールドあり		VREF=VCC1=5V、φAD=12MHz	2.33			μs	
tSAMP	サンプリング時間			0.25			μs	
VREF	基準電圧			2.0		VCC1	V	
VIA	アナログ入力電圧			0		VREF	V	

注1. 指定のない場合は、 $V_{CC1}=AV_{CC}=V_{REF}=4.0\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C / -40\sim 125^{\circ}C$ です。

Tバージョンは $-40^{\circ}C\sim 85^{\circ}C$ 、Vバージョンは $-40^{\circ}C\sim 125^{\circ}C$ です。

注2. φADの周波数は12MHz以下にしてください。

注3. サンプル&ホールドなしのときは、注2の制限に加えφADの周波数は250kHz以上にしてください。

サンプル&ホールドありのときは、注2の制限に加えφADの周波数は1MHz以上にしてください。

表23.51 D/A変換特性(注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度				1.0	%
t _{su}	設定時間				3	μs
R _o	出力抵抗		4	10	20	kΩ
I _{VREF}	基準電源入力電流	(注2)			1.5	mA

注1. 指定のない場合は、 $V_{CC1}=V_{REF}=4.0\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C / -40\sim 125^{\circ}C$ です。
Tバージョンは $-40^{\circ}C\sim 85^{\circ}C$ 、Vバージョンは $-40^{\circ}C\sim 125^{\circ}C$ です。

注2. D/Aコンバータ1本使用、使用していないD/AコンバータのD/Aレジスタの値が“00h”の場合です。

A/Dコンバータのラダー抵抗分は除きます。また、A/D制御レジスタでVref未接続とした場合でも、D/AコンバータのI_{VREF}は流れます。

表23.52 フラッシュメモリの電气的特性(注1) 100回品(B, U)

記号	項目	規格値			単位
		最小	標準	最大	
-	プログラム、イレーズ回数(注3)	100			回
-	ワードプログラム時間(V _{CC1} =5.0V)		25	200	μs
-	ロックビットプログラム時間		25	200	μs
-	ブロックイレーズ時間 (V _{CC1} =5.0V)	4Kバイトブロック	0.3	4	s
		8Kバイトブロック	0.3	4	s
		32Kバイトブロック	0.5	4	s
		64Kバイトブロック	0.8	4	s
-	イレーズ全アンロックブロック時間(注2)			4 × n	s
tPS	フラッシュメモリ回路安定待ち時間			15	μs
-	データ保持時間(注5)	20			年

表23.53 フラッシュメモリの電气的特性(注6)
10,000回品(B7, U7)(ブロックA、ブロック1(注7))

記号	項目	規格値			単位
		最小	標準	最大	
-	プログラム、イレーズ回数(注3、8、9)	10,000(注4)			回
-	ワードプログラム時間(V _{CC1} =5.0V)		25		μs
-	ロックビットプログラム時間		25		μs
-	ブロックイレーズ時間 (V _{CC1} =5.0V)	4Kバイトブロック	0.3		s
tPS	フラッシュメモリ回路安定待ち時間			15	μs
-	データ保持時間(注5)	20			年

注1. 指定のない場合は、V_{CC1}=4.5~5.5V、T_{opr}=0~60°C(B,U)です。

注2. nはイレーズするブロック数です。

注3. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回(n=100、1,000、10,000)の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。

例えば、4KバイトブロックのブロックAについて、それぞれ異なる番地に1ワード書き込みを2,048回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注4. プログラム/イレーズ後の全ての電气的特性を保証する最小回数です。(保証は1~“最小”値の範囲です。)

注5. Ta(周囲温度)=55°Cの条件です。この条件以外でのデータ保持時間につきましては、ルネサス テクノロジ、ルネサス販売または特約店へお問い合わせください。

注6. 指定のない場合は、V_{CC1}=4.5~5.5V、T_{opr}=-40~85°C(B7, U7(Tバージョン))/-40~125°C(B7, U7(Vバージョン))です。

注7. プログラム、イレーズ回数が1,000回を超えたときのブロックA、ブロック1の規格です。

1,000回までのワードプログラム時間、ブロックイレーズ時間は全ブロック100回品と同じです。

注8. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込む番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば1組8ワードをプログラムする場合、最大256組の書き込みを実施した上で1回のイレーズをすることで実効的な書き換え回数を少なくすることができます。加えてブロックA、ブロック1のイレーズが均等になるようにすると更に実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めいたします。

注9. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。

注10.100回以上の書き換えを実施する場合(B7,U7)は、PM1レジスタのPM17ビットを“1”(ウェイトあり)に設定してください。

注11.不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店へお問い合わせください。

表23.54 フラッシュメモリの書き込み/消去電圧と読み出し動作電圧特性($T_{opr}=0\sim 60^{\circ}\text{C}$ (B, U)、 $T_{opr}=-40\sim 85^{\circ}\text{C}$ (B7, U7(Tバージョン))/ $-40\sim 125^{\circ}\text{C}$ (B7, U7(Vバージョン)))

フラッシュ書き込み、消去電圧	フラッシュ読み出し動作電圧
$V_{CC1}=5.0\pm 0.5\text{V}$	$V_{CC1}=4.0\sim 5.5\text{V}$

表23.55 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_d(\text{P-R})$	電源投入時内部電源安定時間	$V_{CC1}=4.0\sim 5.5\text{V}$			2	ms
$t_d(\text{R-S})$	STOP解除時間				150	μs
$t_d(\text{W-S})$	低消費電力モードウェイトモード解除時間				150	μs

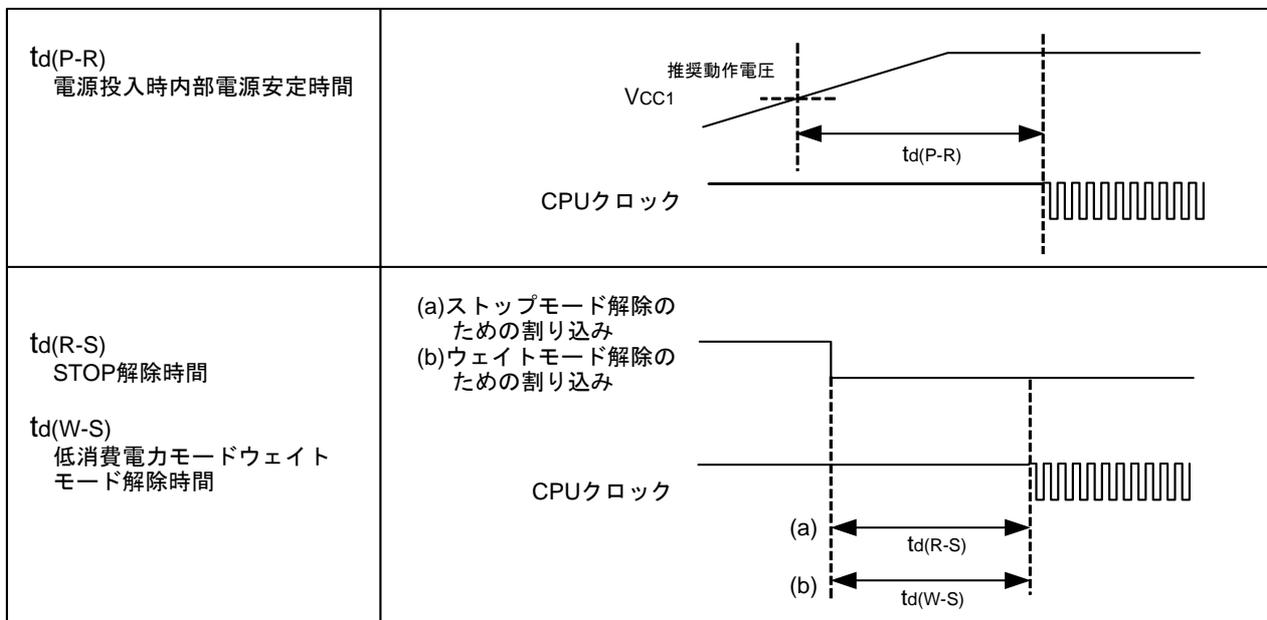


図23.22 電源回路のタイミング図

$$V_{CC1}=V_{CC2}=5V$$

表 23.56 電気的特性(1) (注1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
VOH	"H"出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1	IOH= -5mA	V _{CC1} - 2.0		V _{CC1}	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7	IOH= -5mA(注2)	V _{CC2} - 2.0		V _{CC2}	
VOH	"H"出力電圧	P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1	IOH= -200μA	V _{CC1} - 0.3		V _{CC1}	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7	IOH= -200μA(注2)	V _{CC2} - 0.3		V _{CC2}	
VOH	"H"出力電圧 XOUT	HIGHPOWER	IOH= -1mA	V _{CC1} - 2.0		V _{CC1}	V
		LOWPOWER	IOH= -0.5mA	V _{CC1} - 2.0		V _{CC1}	
	"H"出力電圧 XCOUT	HIGHPOWER	無負荷時		2.5		V
		LOWPOWER	無負荷時		1.6		
VOL	"L"出力電圧	P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1	IOL=5mA			2.0	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7	IOL=5mA(注2)			2.0	
VOL	"L"出力電圧	P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_0, P14_1	IOL=200μA			0.45	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P12_0~P12_7, P13_0~P13_7	IOL=200μA(注2)			0.45	
VOL	"L"出力電圧 XOUT	HIGHPOWER	IOL=1mA			2.0	V
		LOWPOWER	IOL=0.5mA			2.0	
	"L"出力電圧 XCOUT	HIGHPOWER	無負荷時		0		V
		LOWPOWER	無負荷時		0		
V _{T+} -V _{T-}	ヒステリシス	HOLD, RDY, TA0IN~TA4IN, TB0IN~TB5IN, INT0~INT5, NMI, ADTRG, CTS0~CTS2, SCL0~SCL2, SDA0~SDA2, CLK0~CLK4, TA0OUT~TA4OUT, KIO~KI3, RXD0~RXD2, SIN3, SIN4		0.2		1.0	V
V _{T+} -V _{T-}	ヒステリシス	RESET		0.2		2.5	V
I _{IH}	"H"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1 XIN, RESET, CNVSS, BYTE	V _I =5V			5.0	μA
I _{IL}	"L"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1 XIN, RESET, CNVSS, BYTE	V _I =0V			-5.0	μA
RPULLUP	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_2~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_0, P14_1	V _I =0V	30	50	170	kΩ
R _{I_{XIN}}	帰還抵抗 XIN				1.5		MΩ
R _{I_{XCIN}}	帰還抵抗 XCIN				15		MΩ
V _{RAM}	RAM保持電圧		ストップモード時	2.0			V

注1. 指定のない場合は、V_{CC1}=V_{CC2}=4.0~5.5V、V_{SS}=0V、T_{opr}=-40~85℃ / -40~125℃、f(BCLK)=24MHzです。

Tバージョンは-40℃~85℃、Vバージョンは-40℃~125℃です。

注2. 80ピン版では、P1_0~P1_7、P4_4~P4_7、P7_2~P7_5、P9_1は外部への接続がありません。

$$V_{CC1}=V_{CC2}=5V$$

表 23.57 電気的特性(2)(注1)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I _{CC}	電源電流 (V _{CC1} =4.0~5.5V) シングルチップモードで、 出力端子は開放、 その他の端子はV _{SS}	マスクROM	f(BCLK)=24MHz PLL動作時、分周なし		14	20	mA
			オンチップオシレータ発振動作時 分周なし		1		mA
		フラッシュメモリ	f(BCLK)=24MHz PLL動作時、分周なし		18	27	mA
			オンチップオシレータ発振動作時 分周なし		1.8		mA
		フラッシュメモリ プログラム	f(BCLK)=10MHz V _{CC1} =5.0V		15		mA
		フラッシュメモリ イレーズ	f(BCLK)=10MHz V _{CC1} =5.0V		25		mA
		マスクROM	f(XCIN)=32kHz 低消費電力モード時 ROM上(注3)		25		μA
		フラッシュメモリ	f(BCLK)=32kHz 低消費電力モード時 RAM上(注3)		25		μA
			f(BCLK)=32kHz 低消費電力モード時 フラッシュメモリ上(注3)		420		μA
			オンチップオシレータ発振動作、 ウェイトモード時		50		μA
			マスクROM、 フラッシュメモリ	f(BCLK)=32kHz ウェイトモード時(注2) 発振能力High		7.5	
			f(BCLK)=32kHz ウェイトモード時(注2) 発振能力Low		2.0		μA
			ストップモード時 T _{opr} =25°C		2.0	6.0	μA
			ストップモード時 T _{opr} =85°C			20	μA
			ストップモード時 T _{opr} =125°C			TBD	μA

注1. 指定のない場合は、V_{CC1}=V_{CC2}=4.0~5.5V、V_{SS}=0V、T_{opr}=-40~85°C / -40~125°C、
f(BCLK)=24MHzです。

Tバージョンは-40°C~85°C、Vバージョンは-40°C~125°Cです。

注2. fC32にてタイマ1本を動作させている状態です。

注3. 実行するプログラムが存在するメモリを示す。

$$VCC1=VCC2=5V$$

タイミング必要条件

(指定のない場合は、 $VCC1=VCC2=5V$ 、 $VSS=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$ (Tバージョン) / $-40\sim 125^{\circ}C$ (Vバージョン))

表23.58 外部クロック入力 (XIN入力)

記号	項目	規格値		単位
		最小	最大	
t_c	外部クロック入力サイクル時間	62.5		ns
$t_w(H)$	外部クロック入力“H”パルス幅	25		ns
$t_w(L)$	外部クロック入力“L”パルス幅	25		ns
t_r	外部クロック立ち上がり時間		15	ns
t_f	外部クロック立ち下がり時間		15	ns

$$VCC1=VCC2=5V$$

タイミング必要条件

(指定のない場合は、 $VCC1=VCC2=5V$ 、 $VSS=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$ (Tバージョン) / $-40\sim 125^{\circ}C$ (Vバージョン))

表 23.59 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	100		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	40		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	40		ns

表 23.60 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	400		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	200		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	200		ns

表 23.61 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	200		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	100		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	100		ns

表 23.62 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TAH)$	TAiIN入力“H”パルス幅	100		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	100		ns

表 23.63 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(UP)}$	TAiOUT入力サイクル時間	2000		ns
$t_w(UPH)$	TAiOUT入力“H”パルス幅	1000		ns
$t_w(UPL)$	TAiOUT入力“L”パルス幅	1000		ns
$t_{su}(UP-TIN)$	TAiOUT入力セットアップ時間	400		ns
$t_h(TIN-UP)$	TAiOUT入力ホールド時間	400		ns

表 23.64 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	800		ns
$t_{su}(TAIN-TAOUT)$	TAiOUT入力セットアップ時間	200		ns
$t_{su}(TAOUT-TAIN)$	TAiIN入力セットアップ時間	200		ns

$$V_{CC1}=V_{CC2}=5V$$

タイミング必要条件

(指定のない場合は、 $V_{CC1}=V_{CC2}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$ (Tバージョン) / $-40\sim 125^{\circ}C$ (Vバージョン))

表 23.65 タイマB入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間(片エッジカウント)	100		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(片エッジカウント)	40		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(片エッジカウント)	40		ns
$t_{c(TB)}$	TBiIN入力サイクル時間(両エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(両エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(両エッジカウント)	80		ns

表 23.66 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	200		ns

表 23.67 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	200		ns

表 23.68 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(AD)}$	ADTRG入力サイクル時間(トリガ可能最小)	1000		ns
$t_{w(ADL)}$	ADTRG入力“L”パルス幅	125		ns

表 23.69 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	200		ns
$t_{w(CKH)}$	CLKi入力“H”パルス幅	100		ns
$t_{w(CKL)}$	CLKi入力“L”パルス幅	100		ns
$t_{d(C-Q)}$	TXDi出力遅延時間		80	ns
$t_{h(C-Q)}$	TXDiホールド時間	0		ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	70		ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90		ns

表 23.70 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	INTi入力“H”パルス幅	250		ns
$t_{w(INL)}$	INTi入力“L”パルス幅	250		ns

$$VCC1=VCC2=5V$$

タイミング必要条件

(指定のない場合は、 $VCC1=VCC2=5V$ 、 $VSS=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$ (Tバージョン) / $-40\sim 125^{\circ}C$ (Vバージョン))

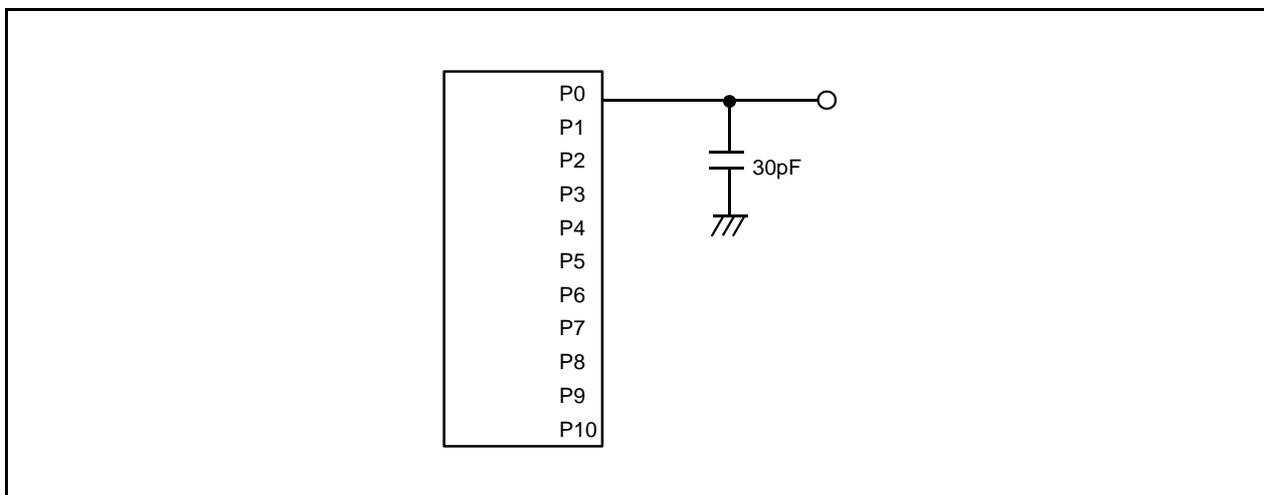


図23.23 ポートP0～P10の測定回路

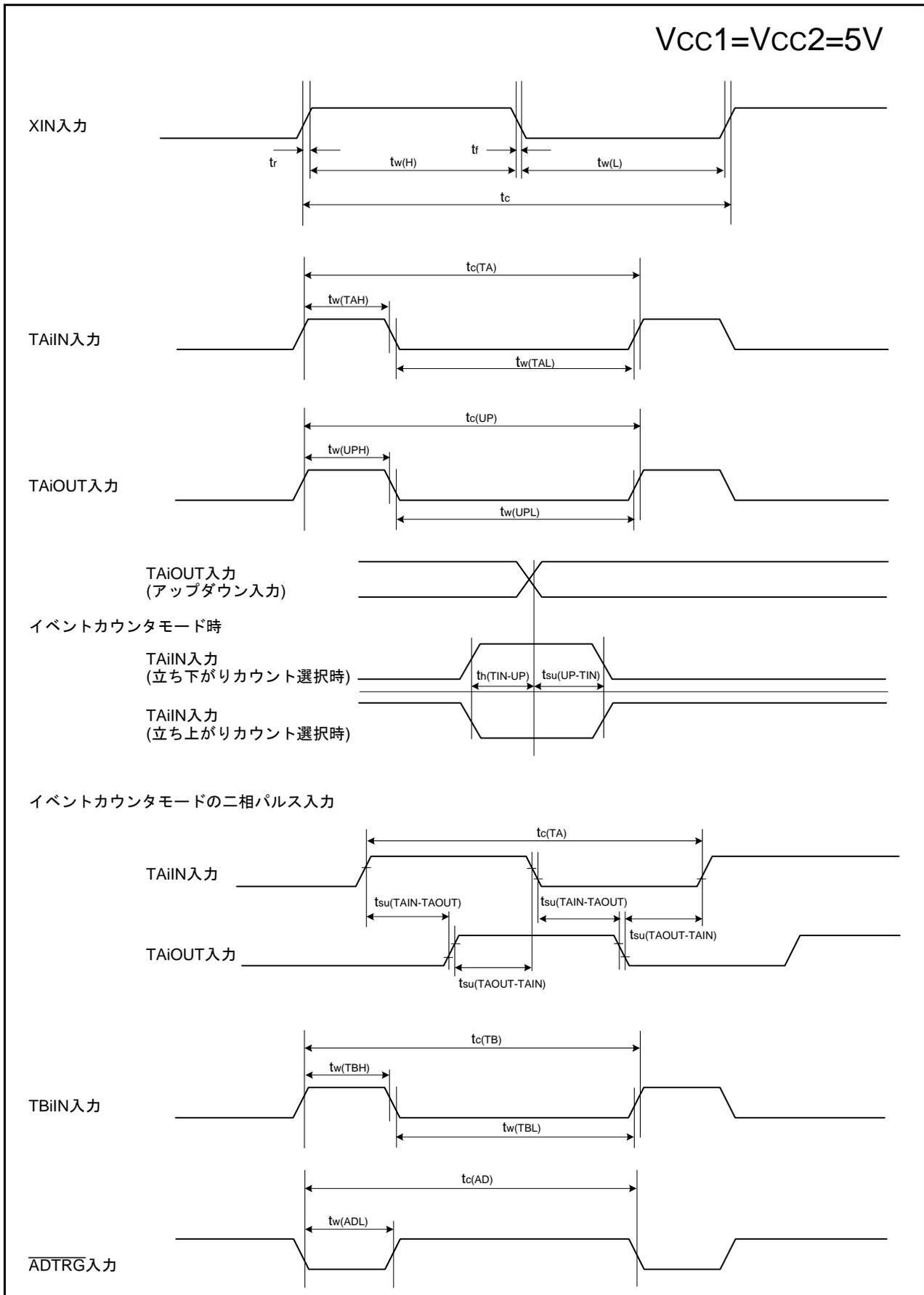


図23.24 タイミング図(1)

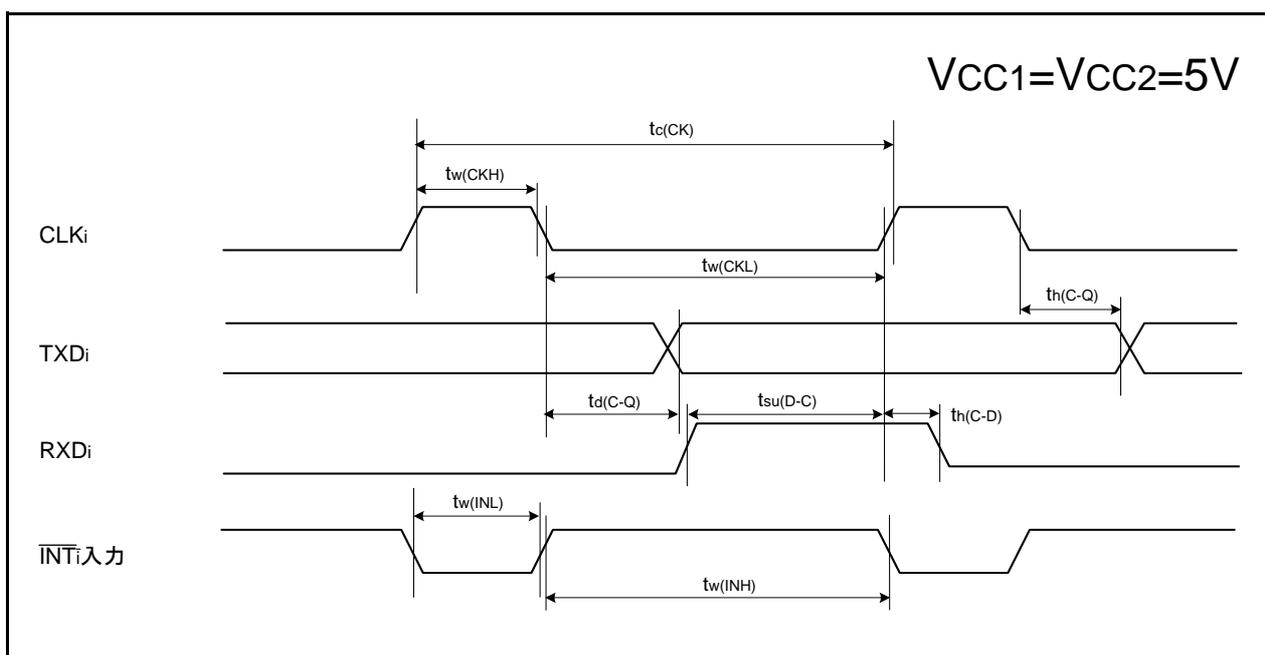


図 23.25 タイミング図 (2)

24. 使用上の注意事項

24.1 SFR

24.1.1 レジスタ設定時の注意事項

表24.1に書き込みのみ可能なビットを含むレジスタを示します。これらのレジスタには即値を設定してください。前回の値を加工して次の値を決める場合は、レジスタに書く値をRAMにも書いておき、次の値はRAMの内容を変更した後、レジスタに転送してください。

表24.1 書き込みのみ可能なビットを含むレジスタ

レジスタ名	シンボル	アドレス
ウォッチドッグタイマスタートレジスタ	WDC	000E
タイマA1-1レジスタ	TA11	0343 ~ 0342
タイマA2-1レジスタ	TA21	0345 ~ 0344
タイマA4-1レジスタ	TA41	0347 ~ 0346
短絡防止タイマ	DTT	034C
タイマB2割り込み発生頻度設定カウンタ	ICTB2	034D
SI/03転送速度レジスタ	S3BRG	0363
SI/04転送速度レジスタ	S4BRG	0367
UART0転送速度レジスタ	U0BRG	03A1
UART1転送速度レジスタ	U1BRG	03A9
UART2転送速度レジスタ	U2BRG	0379
UART0送信バッファレジスタ	U0TB	03A3 ~ 03A2
UART1送信バッファレジスタ	U1TB	03AB ~ 03AA
UART2送信バッファレジスタ	U2TB	037B ~ 037A
アップダウンフラグ	UDF	0384
タイマA0レジスタ	TA0	0387 ~ 0386
タイマA1レジスタ	TA1	0389 ~ 0388
タイマA2レジスタ	TA2	038B ~ 038A
タイマA3レジスタ	TA3	038D ~ 038C
タイマA4レジスタ	TA4	038F ~ 038E

24.2 リセット

電源投入時等、VCC1端子に入力される電圧がSVCCの規格を満たすようにしてください。

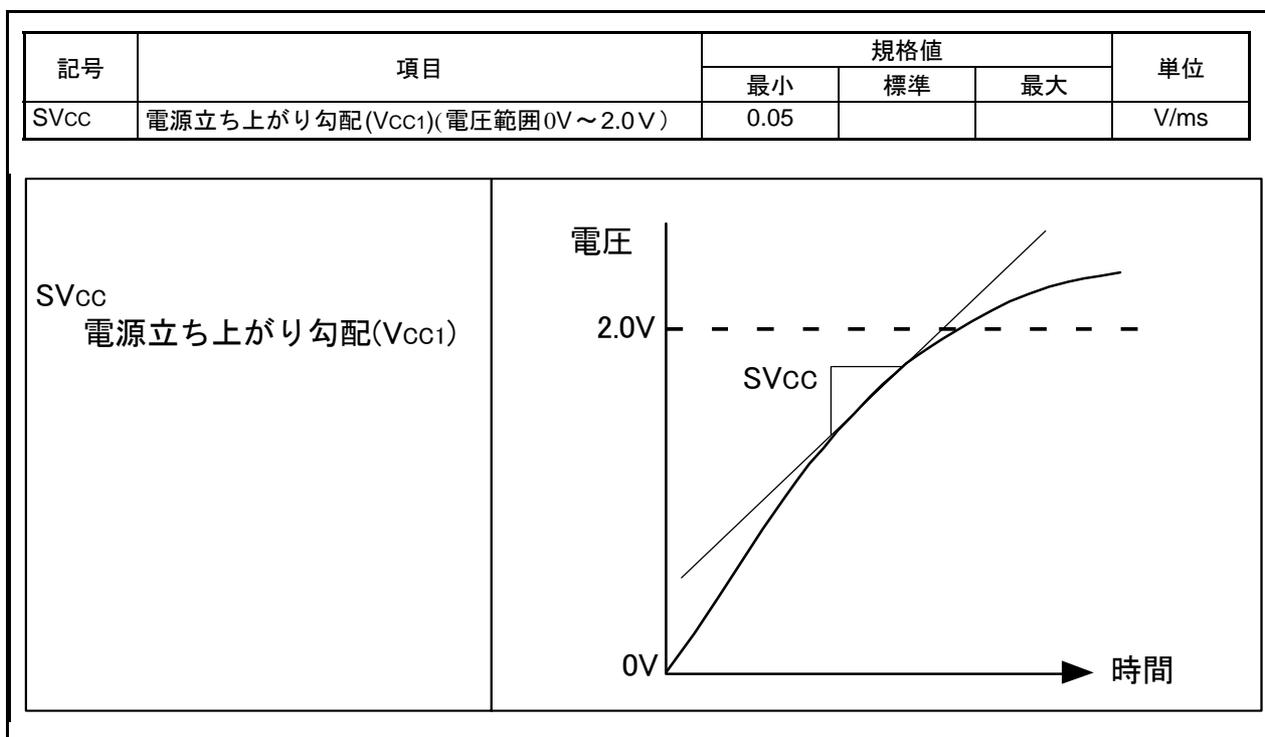


図24.1 SVCCのタイミング図

24.3 外部バス

- ROM外付け版はマイクロプロセッサモード専用のため、CNVSS端子は、VCC1に接続してください。
- CNVSS端子に“H”を入力してハードウェアリセット(ハードウェアリセット1または電圧低下検出リセット(ハードウェアリセット2))すると、内部ROMは読めません。

24.4 PLL周波数シンセサイザ使用時

PLL周波数シンセサイザをご使用になる場合は、電源リップルの規格を満たすように電源電圧を安定させてください。

記号	項目	規格値			単位
		最小	標準	最大	
$f(\text{ripple})$	電源リップル許容周波数(V_{CC1})			10	kHz
$V_{p-p}(\text{ripple})$	電源リップル許容振幅電圧	($V_{CC1}=5V$ 時)		0.5	V
		($V_{CC1}=3V$ 時)		0.3	V
$V_{CC}(\Delta V/\Delta T)$	電源リップル立ち上がり/立ち下がり勾配	($V_{CC1}=5V$ 時)		0.3	V/ms
		($V_{CC1}=3V$ 時)		0.3	V/ms

$f(\text{ripple})$ 電源リップル許容周波数(V_{CC1}) $V_{p-p}(\text{ripple})$ 電源リップル許容振幅電圧	
------------------------------------------------------------------------------------------------	--

図24.2 電源変動のタイミング図

24.5 パワーコントロール

- ストップモードからリセットによって復帰する場合、メインクロックの発振が十分に安定するまでRESET端子に“L”を入力してください。
- ストップモードからの復帰にタイマAを使用する場合、TAiMRレジスタ(i=0～4)のMR0ビットを“0”(パルス出力なし)にしてください。
- ウェイトモードに移行するとき、WAIT命令の前にJMP.B命令を挿入してください。JMP.B命令とWAIT命令実行の間に、RAMへの書き込みが発生する命令を実行しないでください。JMP.B命令とWAIT命令の間にDMA転送が発生する可能性がある場合は、DMA転送を禁止してください。また、WAIT命令の後にはNOP命令を4つ以上入れてください。ウェイトモードに移行する場合、命令キューはWAIT命令より後の命令まで先読みしてプログラムが停止しますので、命令の組み合わせや実行のタイミングによっては、ウェイトモードに入る前に次の命令を実行する場合があります。

ウェイトモードに移行するときのプログラム例を示します。

```
例:          JMP.B    L1          ;WAIT命令の前にJMP.B命令を挿入
              L1:
              FSET     I          ;
              WAIT     ;ウェイトモードに移行
              NOP      ;NOP命令を4つ以上
              NOP
              NOP
              NOP
```

- ストップモードに移行するとき、CM1レジスタのCM10ビットを“1”にする命令の直後にJMP.B命令を挿入し、その後にNOP命令を4つ以上入れてください。ストップモードに移行する場合、命令キューはCM10ビットを“1”(全クロック停止)にする命令より後の命令まで先読みするため、先読みされた命令がストップモードに入る前に実行されたり、ストップモードからの復帰用割り込みルーチンより先に実行される場合があります。

ストップモードに移行するときのプログラム例を示します。

```
例:          FSET     I          ;
              BSET     0, CM1    ;ストップモードに移行
              JMP.B    L2          ;JMP.B命令を挿入
              L2:
              NOP      ;NOP命令を4つ以上
              NOP
              NOP
              NOP
```

- CPUクロックのクロック源をメインクロックに切り替えるときは、メインクロック発振安定時間を待ってから切り替えてください。
CPUクロックのクロック源をサブクロックに切り替えるときは、サブクロックの発振が安定してから切り替えてください。

- 消費電力を小さくするためのポイント

消費電力を小さくするためのポイントを示します。システム設計やプログラムを作成するときに参考にしてください。

【ポート】

ウェイトモードまたはストップモードに移行しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは貫通電流が流れます。不要なポートは入力に設定し、安定した電位に固定してからウェイトモードまたはストップモードに移行してください。

【A/Dコンバータ】

A/D変換を行わない場合、ADCON1レジスタのVCUTビットを“0”(Vref未接続)にしてください。なお、A/D変換を行う場合、VCUTビットを“1”(Vref接続)にしてから1 μ s以上経過した後、A/D変換を開始させてください。

【D/Aコンバータ】

D/A変換を行わない場合、DACONレジスタのDAiEビット(i=0~1)を“0”(出力禁止)にし、DAiレジスタを“00h”にしてください。

【周辺機能の停止】

ウェイトモード時にCM0レジスタのCM02ビットで、不要な周辺機能を停止させてください。ただし、サブクロックから生成している周辺機能クロック(fC32)は停止しませんので、消費電力の削減にはなりません。低速モードまたは低消費電力モードから、ウェイトモードに移行する場合はCM02ビットを“0”(ウェイトモード時、周辺機能クロック停止しない)にしてウェイトモードに移行してください。

【発振駆動能力の切り替え】

発振が安定している場合、駆動能力を“LOW”にしてください。

24.6 プロテクト

PRC2ビットを“1”（書き込み許可状態）にした後、任意の番地に書き込みを実行すると“0”（書き込み禁止状態）になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。

24.7 割り込み

24.7.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込み要求が発生することがあります。

24.7.2 SPの設定

割り込みを受け付ける前に、SP(USP、ISP)に値を設定してください。リセット後、SP(USP、ISP)は“0000h”です。そのため、SP(USP、ISP)に値を設定する前に割り込みを受け付けると、暴走の要因となります。

特に、 $\overline{\text{NMI}}$ 割り込みを使用する場合は、プログラムの先頭でISPに値を設定してください。リセット後の先頭の1命令に限り、 $\overline{\text{NMI}}$ 割り込みを含むすべての割り込みが禁止されています。

24.7.3 $\overline{\text{NMI}}$ 割り込み

- $\overline{\text{NMI}}$ 割り込みは、禁止できません。使用しない場合は、 $\overline{\text{NMI}}$ 端子に抵抗を介して VCC1 に接続 (プルアップ) してください。
- $\overline{\text{NMI}}$ 端子は、P8 レジスタの P8_5 ビットを読むことで端子の値を読めます。P8_5 ビットは、 $\overline{\text{NMI}}$ 割り込みルーチンで、端子のレベルを判定する場合のみ読んでください。
- $\overline{\text{NMI}}$ 端子に“L”を入力している場合、ストップモードに移行できません。 $\overline{\text{NMI}}$ 端子に“L”が入力されている場合、CM1 レジスタの CM10 ビットが“0”に固定されています。
- $\overline{\text{NMI}}$ 端子に“L”を入力している場合、ウェイトモードに移行しないでください。 $\overline{\text{NMI}}$ 端子に“L”が入力されている場合、CPUは停止しますがCPUクロックが停止しないため、消費電流が減りません。この場合、その後の割り込みによって正常に復帰します。
- $\overline{\text{NMI}}$ 端子に入力する信号の“L”幅、“H”幅は、いずれもCPUクロックの2サイクル+300ns以上にしてください。

24.7.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図24.3に割り込み要因の変更手順例を示します。

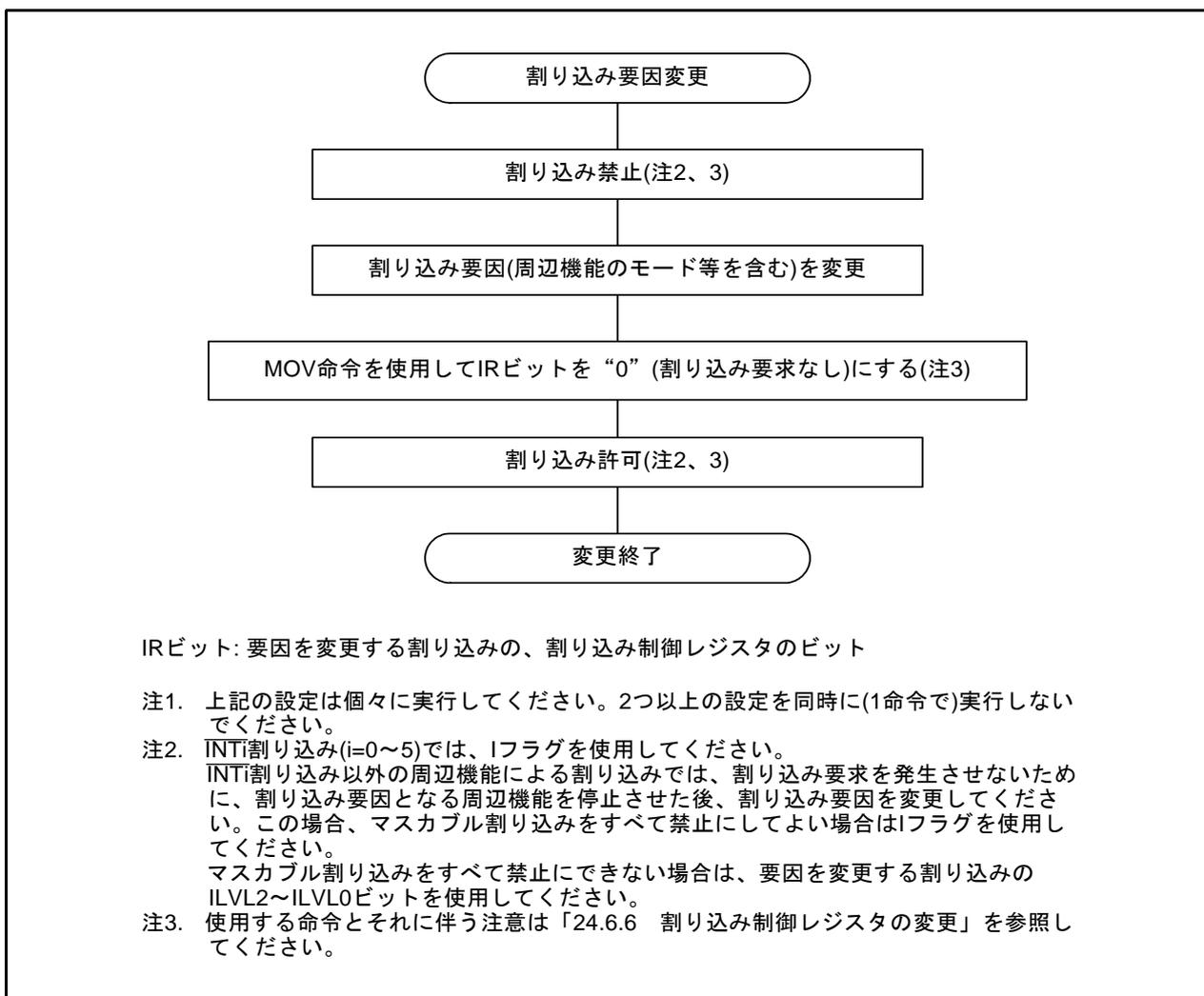


図24.3 割り込み要因の変更手順例

24.7.5 INT割り込み

- INT0～INT5 端子に入力する信号には、CPUクロックに関係なく $t_w(INL)$ 以上の“L”幅または $t_w(INH)$ 以上の“H”幅が必要です。
- INT0IC～INT5ICレジスタのPOLビット、IFSRレジスタのIFSR7～IFSR0ビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。これらのビットを変更した後、IRビットを“0”(割り込み要求なし)にしてください。

24.7.6 割り込み制御レジスタの変更

- (a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。
- (b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。
- IRビット以外のビットの変更
命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”(割り込み要求あり)にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。
対象となる命令…AND、OR、BCLR、BSET
 - IRビットの変更
IRビットを“0”(割り込み要求なし)にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。
- (c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。)

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”(割り込み許可)になることを防ぐ方法です。

例1: NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1 :
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0055H     ; TA0ICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

NOP命令の数は、次の通り

PM20=1(1ウェイト)時、2個。PM20=0(2ウェイト)時、3個。HOLD使用時、4個。

例2: ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2 :
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0055H     ; TA0ICレジスタを“00h”にする
  MOV.W   MEM, R0        ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3: POPC命令でIフラグを変更する例

```
INT_SWITCH3 :
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0055H     ; TA0ICレジスタを“00h”にする
  POPC    FLG            ; 割り込み許可
```

24.7.7 ウォッチドッグタイマ割り込み

ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。

24.8 DMAC

24.8.1 DMAiCONレジスタのDMAEビットへの書き込み(i=0~1)

(a)に示す条件のときは、(b)に示す手順で書いてください。

(a) 条件

- DMAEビットが“1”(DMAiがアクティブ状態)のとき、再度、DMAEビットへ“1”を書く。
- DMAEビットへの書き込みと同時にDMA要求が発生する可能性がある。

(b) 手順

(1) DMAiCONレジスタのDMAEビットとDMASビットに同時に“1”を書く(注1)。

(2) DMAiが初期状態(注2)になっていることを、プログラムで確認する。

DMAiが初期状態になっていない場合は、(1)(2)を繰り返す。

注1. DMASビットは“1”を書いても変化しません。“0”を書くと“0”(DMA要求なし)になります。したがって、DMAEビットへ“1”を書くために、DMAiCONレジスタへ書く場合、DMASへ書く値を“1”にしておくと、DMASは書く直前の状態を保持できます。

DMAEビットへの書き込みに、リードモディファイライト命令を使用する場合も、DMASへ書く値を“1”にしておくと、命令実行中に発生したDMA要求を保持できます。

注2. TCRiレジスタの値で確認してください。

TCRiレジスタを読んで、DMA転送開始前にTCRiレジスタへ書いた値(DMAEビット書き込み後にDMA要求が発生した場合は「TCRiレジスタへ書いた値-1」)が読めれば初期状態になっている、転送途中の値になっていれば初期状態になっていない、と判断できます。

24.9 タイマ

24.9.1 タイマA

24.9.1.1 タイマA(タイマモード)

リセット後、タイマは停止しています。TAiMR(i=0~4)レジスタ、TAiレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSРレジスタのTAiSビットを“1”(カウント開始)にしてください。

なお、TAiMRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態、変更してください。

カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFFF”が読めます。また、カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

TB2SCレジスタのIVPCR1ビットが“1”(NMI端子入力による三相出力強制遮断許可)のとき、NMI端子に“L”を入力すると、TA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

24.9.1.2 タイマA(イベントカウンタモード)

リセット後、タイマは停止しています。TAiMR(i=0~4)レジスタ、TAiレジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。

なお、TAiMRレジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態、変更してください。

カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、アンダフロー時は“FFFFh”が、オーバフロー時は“0000h”が読めます。カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

TB2SCレジスタのIVPCR1ビットが“1”(NMI端子入力による三相出力強制遮断許可)のとき、 $\overline{\text{NMI}}$ 端子に“L”を入力すると、TA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

24.9.1.3 タイマA(ワンショットタイマモード)

リセット後、タイマは停止しています。TAiMR(i=0~4)レジスタ、TAiレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。

なお、TAiMRレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態、変更してください。

カウント中にTAiSビットを“0”(カウント停止)にすると次のようになります。

- カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
- TAiOUT端子は“L”を出力します。
- CPUクロックの1サイクル後、TAiICレジスタのIRビットが“1”(割り込み要求あり)になります。

ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN端子へのトリガ入力からワンショットタイマの出力までに、最大カウントソースの1サイクル分の遅延が生じます。

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- リセット後、ワンショットタイマモードを選択したとき
 - 動作モードをタイマモードからワンショットタイマモードに変更したとき
 - 動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき
- したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、IRビットを“0”にしてください。

カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタをリロードしてカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1サイクル以上経過した後に、再トリガを発生させてください。

TB2SCレジスタのIVPCR1ビットが“1”(NMI端子入力による三相出力強制遮断許可)のとき、NMI端子に“L”を入力すると、TA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

24.9.1.4 タイマA(パルス幅変調モード)

リセット後、タイマは停止しています。TAiMR(i=0~4)レジスタ、TAiレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSРレジスタのTAiSビットを“1”(カウント開始)にしてください。

なお、TAiMRレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態、変更してください。

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- リセット後、PWMモードを選択したとき
- 動作モードをタイマモードからPWMモードに変更したとき
- 動作モードをイベントカウンタモードからPWMモードに変更したとき

したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、プログラムでIRビットを“0”にしてください。

PWMパルスを出力中にTAiSビットを“0”(カウント停止)にすると次のようになります。

- カウンタはカウントを停止します。
- TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になり、IRビットが“1”になります。
- TAiOUT端子から“L”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

TB2SCレジスタのIVPCR1ビットが“1”(NMI端子入力による三相出力強制遮断許可)のとき、NMI端子に“L”を入力すると、TA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

24.9.2 タイマB

24.9.2.1 タイマB(タイマモード)

リセット後、タイマは停止しています。T*Bi*MR(*i*=0~5)レジスタ、T*Bi*レジスタによって、モードやカウントソース、カウンタの値等を設定した後、T*AB*SRレジスタまたはT*BS*SRレジスタのT*Bi*Sビットを“1”(カウント開始)にしてください。

なお、T*Bi*MRレジスタは、リセット後に限らずT*Bi*Sビットが“0”(カウント停止)の状態、変更してください。

カウント中のカウンタの値は、T*Bi*レジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。カウント停止中にT*Bi*レジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

24.9.2.2 タイマB(イベントカウンタモード)

リセット後、タイマは停止しています。T*Bi*MR(*i*=0~5)レジスタ、T*Bi*レジスタによって、モードやカウントソース、カウンタの値等を設定した後、T*AB*SRレジスタまたはT*BS*SRレジスタのT*Bi*Sビットを“1”(カウント開始)にしてください。

なお、T*Bi*MRレジスタは、リセット後に限らずT*Bi*Sビットが“0”(カウント停止)の状態、変更してください。

カウント中のカウンタの値は、T*Bi*レジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。カウント停止中にT*Bi*レジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

24.9.2.3 タイマB(パルス周期測定/パルス幅測定モード)

リセット後、タイマは停止しています。T*Bi*MR(*i*=0~5)レジスタによって、モードやカウントソース等を設定した後、T*AB*SRレジスタまたはT*BS*SRレジスタのT*Bi*Sビットを“1”(カウント開始)にしてください。

なお、T*Bi*MRレジスタは、リセット後に限らずT*Bi*Sビットが“0”(カウント停止)の状態、変更してください。MR3ビットを“0”にするために、T*Bi*Sビットが“1”(カウント開始)の状態、T*Bi*MRレジスタへ書く場合、T*MOD*0、T*MOD*1、MR0、MR1、T*CK*0、T*CK*1ビットへは前回書いたものと同じ値を、MR2へは“0”を書いてください。

T*Bi*ICレジスタ(*i*=0~5)のIRビットは、測定パルスの有効エッジが入力されたときとタイマ*Bi*がオーバフローしたとき“1”(割り込み要求あり)になります。割り込み要求要因は、割り込みルーチン内でT*Bi*MRレジスタのMR3ビットで判断できます。

測定パルス入力があるタイマのオーバフローのタイミングに重なるなど割り込み要因をMR3ビットで判断できない場合は、オーバフローの回数を別のタイマでカウントしてください。

MR3ビットを“0”(オーバフローなし)にするには、T*Bi*Sビットが“1”(カウント開始)の状態、MR3ビットが“1”(オーバフローあり)になった後の次のカウントソースのカウントタイミング以降に、T*Bi*MRレジスタに書いてください。

オーバフローだけの検出にはT*Bi*ICレジスタのIRビットを使用してください。MR3ビットは、割り込み要因を判断するときだけ使用してください。

カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマ*Bi*割り込み要求は発生しません。

カウント開始時のカウンタの値は不定です。したがって、カウント開始後、有効エッジが入力されるまでに、MR3ビットが“1”になり、タイマ*Bi*割り込み要求が発生する可能性があります。

パルス幅測定は、連続してパルス幅を測定します。測定結果が“H”であるか“L”であるかプログラムで判断してください。

24.10 シリアルインタフェース

24.10.1 クロック同期形シリアルI/Oモード

24.10.1.1送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTSi}}$ 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると $\overline{\text{RTSi}}$ 端子の出力レベルは“H”になります。このため、 $\overline{\text{RTSi}}$ 端子を送信側の $\overline{\text{CTS}}$ 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は $\overline{\text{RTS}}$ 機能は無効です。

TB2SCレジスタのIVPCR1ビットが“1”(NMI端子入力による三相出力強制遮断許可)のとき、 $\overline{\text{NMI}}$ 端子に“L”を入力すると、 $\overline{\text{RTS2}}$ 端子とCLK2端子はハイインピーダンスになります。

24.10.1.2送信

外部クロックを選択している場合、UiC0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態、次の条件を満たしてください。

- UiC1レジスタのTEビットが“1”(送信許可)
- UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
- CTS機能を選択している場合、CTS_i端子の入力が“L”

24.10.1.3受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXDi端子からはダミーデータが外部に出力されます。

内部クロック選択時はUiC1レジスタ(i=0~2)のTEビットを“1”(送信許可)にし、ダミーデータをUiTBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをUiTBレジスタに設定し、外部クロックがCLK_i端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、UiC1レジスタ(i=0~2)のREビットが“1”(UiRBレジスタにデータあり)でUART_i受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、UiRBレジスタのOERビットが“1”(オーバランエラー発生)になります。この場合、UiRBレジスタは不定ですので、オーバランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバランエラーが発生したときはSiRICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにUiTBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、CKPOLビットが“0”のときは外部クロックが“H”の状態、CKPOLビットが“1”のときは外部クロックが“L”の状態、次の条件を満たしてください。

- UiC1レジスタのREビットが“1”(受信許可)
- UiC1レジスタのTEビットが“1”(送信許可)
- UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)

24.10.2 クロック非同期型シリアルI/O(UART)モード

24.10.2.1特殊モード(I²Cモード)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、UiSMR4レジスタのSTSPSELビットを“0”にした後、転送クロックの半サイクル以上待ってから、各コンディション生成ビット(STAREQ、RSTAREQ、STPREQ)を“0”から“1”にしてください。

24.10.2.2特殊モード2

TB2SCレジスタのIVPCR1ビットが“1” ($\overline{\text{NMI}}$ 端子入力による三相出力強制遮断許可)のとき、 $\overline{\text{NMI}}$ 端子に“L”を入力すると、 $\overline{\text{RTS2}}$ 端子とCLK2端子はハイインピーダンスになります。

24.10.2.3特殊モード4(SIMモード)

リセット解除後、U2C1レジスタのU2IRSビットを“1” (送信完了)、U2EREビットを“1” (エラー信号出力)にすると、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0” (割り込み要求なし)にしてください。

24.10.3 SI/O3、SI/O4

SiC(i=3、4)レジスタのSMi2ビットが“0”(SOUTi出力)でかつ、SMi6ビットが“1”(内部クロック)の状態、SMi3ビットを“0”(入出力ポート)から“1”(SOUTi出力、CLK機能)に変更した場合、10ns程度、SOUTi端子にSMi7ビットで設定したSOUTi初期値が出力されることがあります。その後、SOUTi端子はハイインピーダンスとなります。

SMi3ビットを“0”から“1”に変更したときに、SOUTi端子から出力されるレベルが問題となる場合、SMi7ビットでSOUTiの初期値を設定してください。

24.11 A/Dコンバータ

ADCON0レジスタ(ビット6を除く)、ADCON1レジスタ、ADCON2レジスタは、A/D変換停止時(トリガ発生前)に書いてください。

AD変換後停止後、VCUTビットを“1”から“0”にしてください。

ADCON1レジスタのVCUTビットを“0”(Vref未接続)から“1”(Vref接続)にしたときは、1 μ s以上経過した後にA/D変換を開始させてください。

ノイズによる誤動作やラッチアップの防止、また変換誤差を低減するため、AVCC端子、VREF端子、アナログ入力端子(AN_i(i=0~7)、AN0_i、AN2_i)とAVSS端子の間には、それぞれコンデンサを挿入してください。同様にVCC1端子とVSS端子の間にもコンデンサを挿入してください。図24.4に各端子の処理例を示します。

アナログ入力端子として使用する端子に対応するポート方向ビットは“0”(入力モード)にしてください。また、ADCON0レジスタのTRGビットが“1”(外部トリガ)の場合は、ADTRG端子に対応するポート方向ビットは“0”(入力モード)にしてください。

キー入力割り込みを使用する場合、AN4~AN7は4本ともアナログ入力端子として使用しないでください(A/D入力電圧が“L”になると、キー入力割り込み要求が発生します)。

ϕ ADの周波数を12MHz以下にしてください。サンプル&ホールド機能なしの場合、 ϕ ADの周波数は250kHz以上にしてください。サンプル&ホールド機能ありの場合、 ϕ ADの周波数は1MHz以上にしてください。

A/D動作モードを変更した場合は、ADCON0レジスタのCH2~CH0ビットまたはADCON1レジスタのSCAN1~SCAN0ビットでアナログ入力端子を再選択してください。

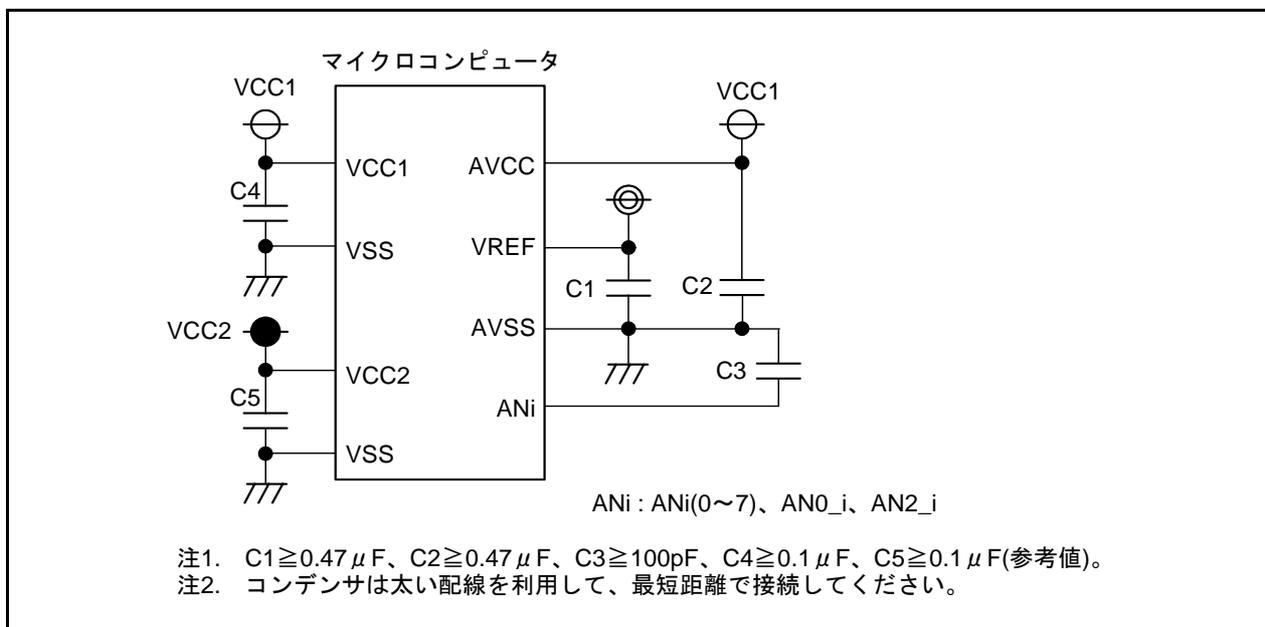


図24.4 各端子の処理例

VCC2 < VCC1 の場合、AN0_0～AN0_7、AN2_0～AN2_7はアナログ入力端子として使用しないでください。

A/D変換が完了し、その結果をADiレジスタ(i=0～7)に格納するタイミングでCPUがADiレジスタを読んだ場合、誤った値がADiレジスタに格納されます。この現象は、CPUクロックにメインクロックを分周したクロック、またはサブクロックを選択した場合に発生します。

- 単発モードまたは単掃引モードで使用する場合
A/D変換が完了したことを確認してから、対象となるADiレジスタを読んでください(A/D変換の完了はADICレジスタのIRビットで判定できます)。
- 繰り返しモード、繰り返し掃引モード0または繰り返し掃引モード1で使用する場合
CPUクロックは、メインクロックを分周せずに使用してください。

A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。また、A/D変換を行っていないADiレジスタも不定になる場合があります。A/D変換動作中に、プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。

単掃引モードでA/D変換中にADCON0レジスタのADSTビットを“0”にして、A/D変換を中止する場合、ADSTビットを“0”にする前に割り込みを禁止にしてください。

AN4～AN7は、KI0～KI3と共用しているため、中間電位を入力すると、他のアナログ入力端子(AN0～AN3、AN0_0～AN0_7、AN2_0～AN2_7)より消費電流が増加します。

24.12 プログラマブル入出力ポート

TB2SCレジスタのIVPCR1ビットが“1”(NMI端子入力による三相出力強制遮断許可)のとき、NMI端子に“L”を入力すると、P7_2～P7_5、P8_0～P8_1端子はハイインピーダンスになります。

S3CレジスタのSM32ビットを“1”にすると、P9_2端子はハイインピーダンスになります。S4CレジスタのSM42ビットを“1”にすると、P9_6端子はハイインピーダンスになります。

プログラマブル入出力ポートと、周辺機能では、入力閾値電圧が異なります。

したがって、プログラマブル入出力ポートと周辺機能が、端子を共用している場合、この端子の入力レベルが推奨動作条件のVIH、VILの範囲外(“H”でも“L”でもないレベル)のとき、プログラマブル入出力ポートと、周辺機能でレベルの判定結果が異なることがあります。

PC14レジスタのPD14_iビット(i=0～1)を“0”(入力ポート)から“1”(出力ポート)に変更する場合は、次の手順で変更してください。

設定手順

- | | |
|----------------------------|--------------------------------------|
| (1) P14_iビットを設定 | :MOV.B #00000001b, PC14 ;P14_iビットの設定 |
| (2) PD14_iビットをMOV命令で“1”に変更 | :MOV.B #00110001b, PC14 ;出力ポートへ変更 |

PM0レジスタのPM01～PM00ビットが“01b”(メモリ拡張モード)または“11b”(マイクロプロセッサモード)で、PM11ビットを“1”にしている場合、P3、PD3レジスタをリードすると、P3_7～P3_4、PD3_7～PD3_4ビットから不定値が読み出されます。

P3、PD3レジスタを書き換える(サイズ指定子が“.W"でP2、PD2レジスタを書き換える場合を含む)場合、MOV命令を使用してください。

PM11ビットを“1”にした後、PM0レジスタのPM01～PM00ビットを“00b”(シングルチップモード)から、“01b”(メモリ拡張モード)または“11b”(マイクロプロセッサモード)にすると、PM01～PM00ビットが書き換わるタイミングでBCLKの0.5サイクル間、P3_7～P3_4端子から“L”が出力されます。

24.13 フラッシュメモリ版とマスクROM版の相違点

フラッシュメモリ版とマスクROM版は、内部ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。マスクROM版への切り替え時は、フラッシュメモリ版で実施したシステム評価試験と同等の試験を実施してください。

24.14 マスクROM版

マスクROM版の内部ROM領域に対して、書き込みを行わないでください。

24.15 フラッシュメモリ版

24.15.1 フラッシュメモリ書き換え禁止機能

0FFFDh、0FFFE3h、0FFFEb、0FFFEFh、0FFFF3h、0FFFF7h、0FFFFBh 番地は、ID コードを格納する番地です。これらの番地に誤ったデータを書くと、標準シリアル入出力モードによるフラッシュメモリの読み出し書き込みができなくなります。

また、0FFFFFFh 番地はROMCPレジスタです。この番地に誤ったデータを書くと、パラレル入出力モードによるフラッシュメモリの読み出し書き込みができなくなります。

これらの番地は固定ベクタのベクタ番地(H)に当たります。

24.15.2 ストップモード

ストップモードに移行する場合は、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にし、DMA転送を禁止した後で、CM1レジスタのCM10ビットを“1”(ストップモード)の命令を実行してください。

24.15.3 ウェイトモード

ウェイトモードに移行する場合は、FMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。

24.15.4 低消費電力モード、オンチップオシレータ低消費電力モード

CM0レジスタのCM05ビットが“1”(メインクロック停止)のときは、次のコマンドを実行しないでください。

- プログラム、ブロックイレーズ、イレーズ全アンロックブロック、ロックビットプログラム

24.15.5 コマンド、データの書き込み

コマンドコード、データは偶数番地に書いてください。

24.15.6 プログラムコマンド

第1バスサイクルで“xx40h”を書き、第2バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一かつ偶数番地にしてください。

24.15.7 ロックビットプログラムコマンド

第1バスサイクルで“xx77h”、第2バスサイクルで“xxD0h”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの最上位番地と同一にしてください。

24.15.8 動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM1レジスタのCM11ビットを“0”(メインクロック)、CM0レジスタのCM06ビット、CM1レジスタのCM17～CM16ビットで、CPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウェイトあり)にしてください。

24.15.9 使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため使用できません。
UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

24.15.10 割り込み

EW0モード

- 可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用できます。
- NMI割り込み、ウォッチドッグタイマ割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。NMI割り込み、ウォッチドッグタイマ割り込み発生時は、書き換え動作が中止されるので、割り込みルーチン終了後、再度、書き換えプログラムを実行してください。
- アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

EW1モード

- 自動書き込み、自動消去の期間に、可変ベクタテーブルにベクタを持つ割り込みや、アドレス一致割り込みが受け付けられないようにしてください。
- ウォッチドッグタイマ割り込みは使用しないでください。
- NMI割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。NMI割り込み発生時は、書き換え動作が中止されるので、割り込みルーチン終了後、再度、書き換えプログラムを実行してください。

24.15.11 アクセス方法

FMR01ビット、FMR02ビット、FMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。また、NMI端子に“H”を入力した状態で行ってください。

24.15.12 ユーザROM領域の書き換え

EW0モード

- 書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モードまたはパラレル入出力モードを使用してください。

EW1モード

- 書き換え制御プログラムが格納されているブロックを書き換えしないでください。

24.15.13 DMA転送

EW1モードでは、FMR0レジスタのFMR00ビットが“0”(自動書き込み、自動消去の期間)にDMA転送が入らないようにしてください。

24.15.14 プログラム、イレーズ回数と実行時間について

ソフトウェアコマンド(プログラムコマンド、ブロックイレーズコマンド、イレーズ全アンロックブロックコマンド、ロックビットプログラムコマンド)の実行時間はプログラム、イレーズ回数とともに長くなります。特にプログラム、イレーズ回数が1,000回を超えるとソフトウェアコマンドの実行時間は顕著に長くなるため、ソフトウェアコマンドの待ち時間の設定は、電気的特性の最大値以上に設定してください。

ソフトウェアコマンドはハードウェアリセット1、電圧低下検出リセット(ハードウェアリセット2)、NMI 割り込み、ウォッチドッグタイマ割り込みで中断されます。ソフトウェアコマンドを中断した場合、そのブロックをイレーズした後に再度実行してください。

24.16 ノイズに関する注意事項

ノイズ対策として、VCC1端子とVSS端子間、VCC2端子とVSS端子間にバイパスコンデンサ(0.1 μ F程度)を最短でかつ、比較的太い配線を使って接続してください。図24.5にバイパスコンデンサの接続例を示します。

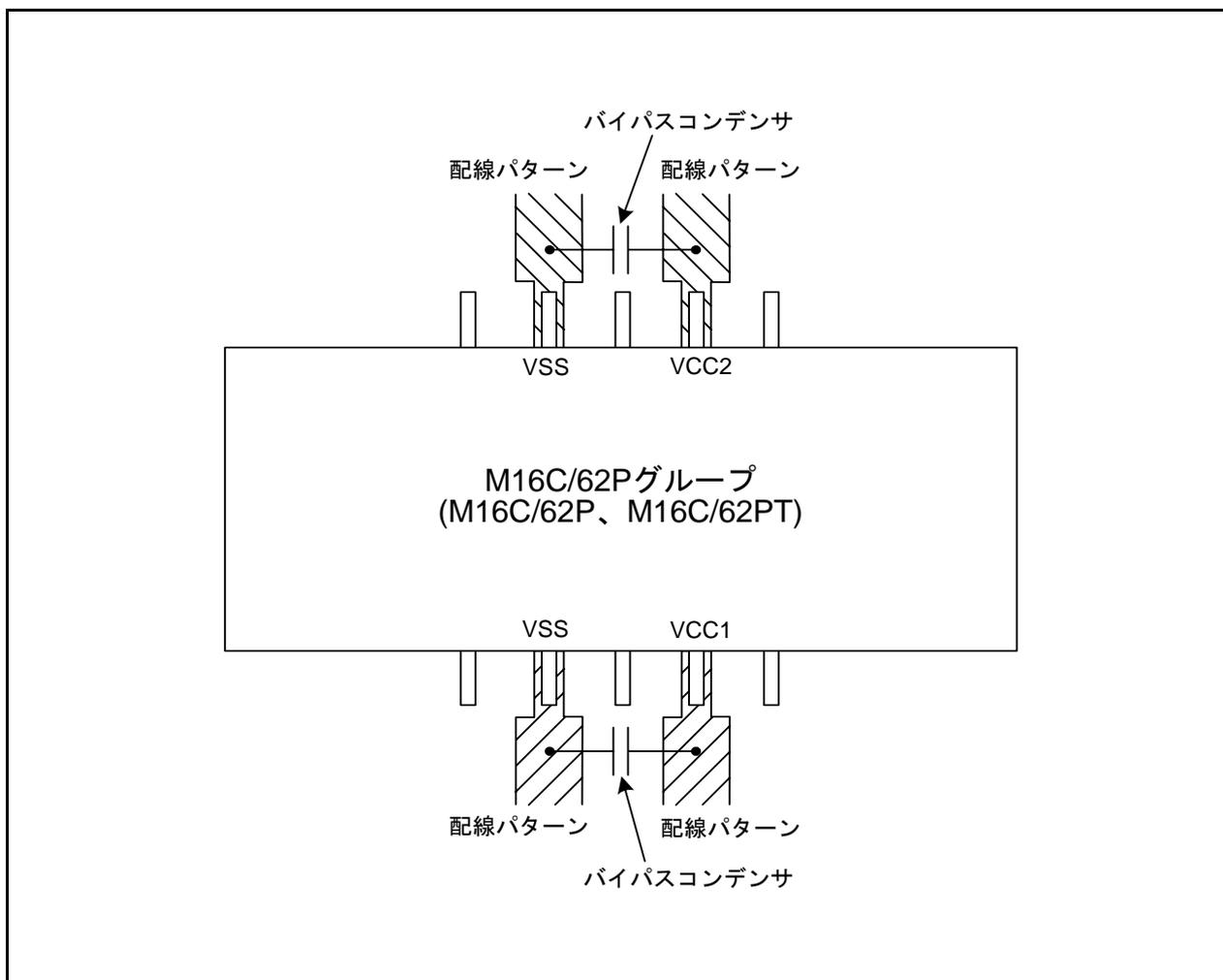


図24.5 バイパスコンデンサの接続例

25. 製造時期による相違

表25.1、表25.2はM16C/62Pフラッシュ版、ROM外付け版のチップバージョンごとに注意事項の該当、非該当を示します。マスクROM版については別途お問い合わせください。

表25.1 M16C/62Pフラッシュ版、ROM外付け版テクニカルアップデート該当表(1)

注意事項	チップバージョン			テクニカルアップデート
	A	B	C	
電源立ち上がり時のリセット入力を持ち上がらないように配慮してください。リセットICを使用する場合は、CMOSタイプを使用するか、リセットICがオープンドレインタイプの場合は、リセット入力とVSSの間にコンデンサを挿入し、プルアップ抵抗との時定数が電源立ち上がり時間の10倍以上になるように調整してください。	○	—	—	
UART0、UART1をI ² Cモードのスレーブで使用する場合、P6_1、P6_5はハイインピーダンス状態になります。PD6_1ビット、PD6_5ビットを“1”(出力モード)にしても、出力ポートとして使用できません。そのため、PD6_1ビット、PD6_5ビットは“0”(入力モード)にしてください。P6_1、P6_5端子を使用しない場合は入力モードに設定し、端子ごと抵抗を介してVSSに接続してください。	○	—	—	TN-M16C-100-0307
CPUクロックにメインクロックまたはオンチップオシレータクロックを選択し、CM0レジスタのCM06ビット、CM1レジスタのCM16ビット、CM17ビットでCPUクロックを分周している場合、ウェイトモードに移行しないでください。	○	—	—	TN-M16C-108-0309 注意事項1.1
CM0レジスタのCM05ビットが“0”(メインクロック発振)、CM02ビットを“1”(ウェイトモード時、周辺機能クロック停止)にして、ウェイトモードに移行しないでください。	○	—	—	TN-M16C-108-0309 注意事項1.2
ウェイトモードに移行した後にNMI割り込みを発生させないでください。	○	—	—	TN-M16C-108-0309 注意事項1.3
ウェイトモードに移行した後に電圧低下検出割り込みを発生させないでください。	○	—	—	TN-M16C-108-0309 注意事項1.4
電源投入時等、内部電源が安定していない状態でCNVSS端子に“H”、RESET端子に“L”を入力すると内部電源が安定するまで入出力ポート(P0～P5)から不定値が出力されることがあります。	○	○	○	TN-M16C-114-0310 注意事項1.1
電源投入時等、内部電源が安定していない状態でCNVSS端子に“H”、RESET端子に“L”を入力すると内部電源が安定するまで入出力ポート(P6～P14)から不定値が出力されることがあります。	○	—	—	TN-M16C-114-0310 注意事項1.1
ブートモード(CNVSS端子に“H”、P5_5(EPM)端子に“L”、P5_0(CE)端子に“H”)を入力でRESET端子が“L”の期間、P10_0～P10_3、P11_0～P11_7、P12_5～P12_7、P13_0～P13_7、P14_0、P14_1の内蔵プルアップが有効になり“H”を出力します。	○	—	—	TN-M16C-114-0310 注意事項1.2
ブートモード(CNVSS端子に“H”、P5_5(EPM)端子に“L”、P5_0(CE)端子に“H”)でP8_4が“H”、RESET端子が“L”の期間、P0_0～P0_7、P1_0～P1_7から不定値が出力されることがあります。ただし、RESET端子が“L”、P8_4が“L”のときはP0_0～P0_7、P1_0～P1_7はハイインピーダンスになります。	○	○	○	TN-M16C-114-0310 注意事項1.3

○：該当

—：非該当

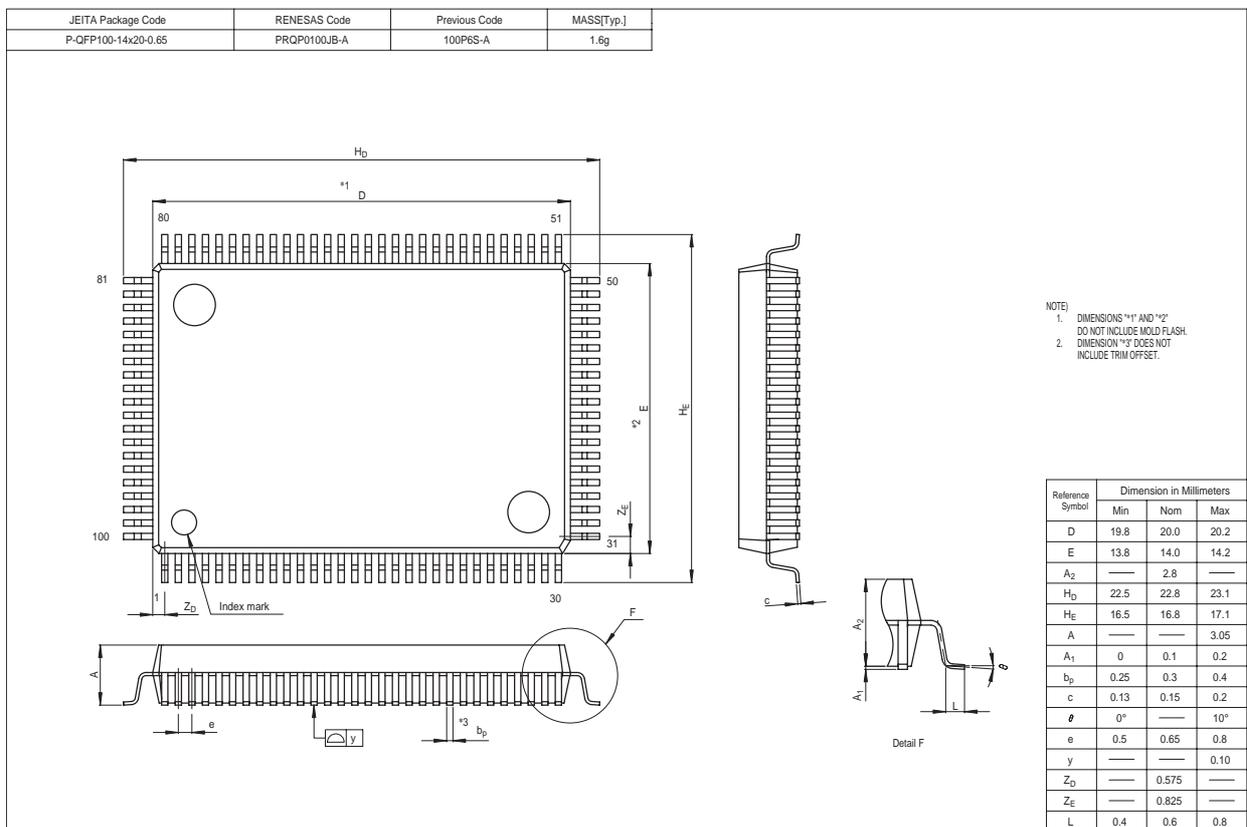
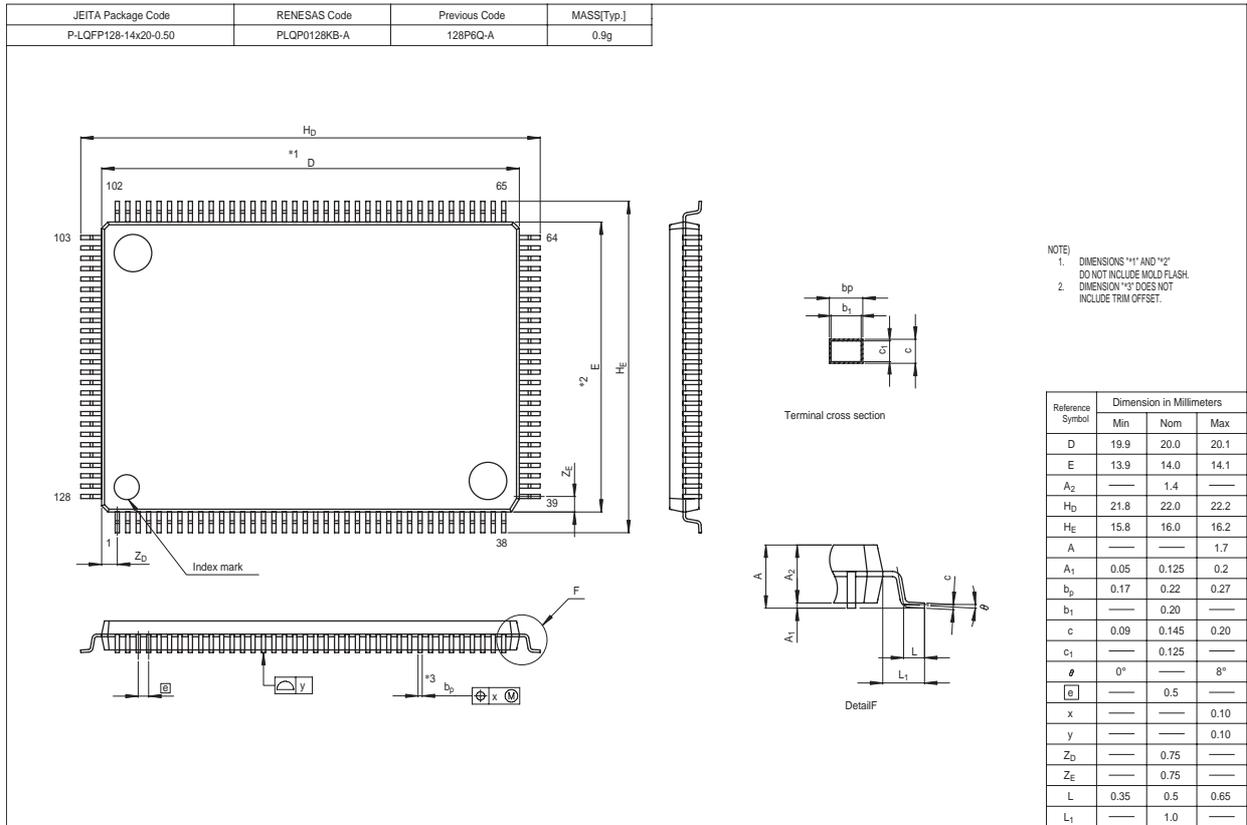
表25.2 M16C/62Pフラッシュ版、ROM外付け版テクニカルアップデート該当表(2)

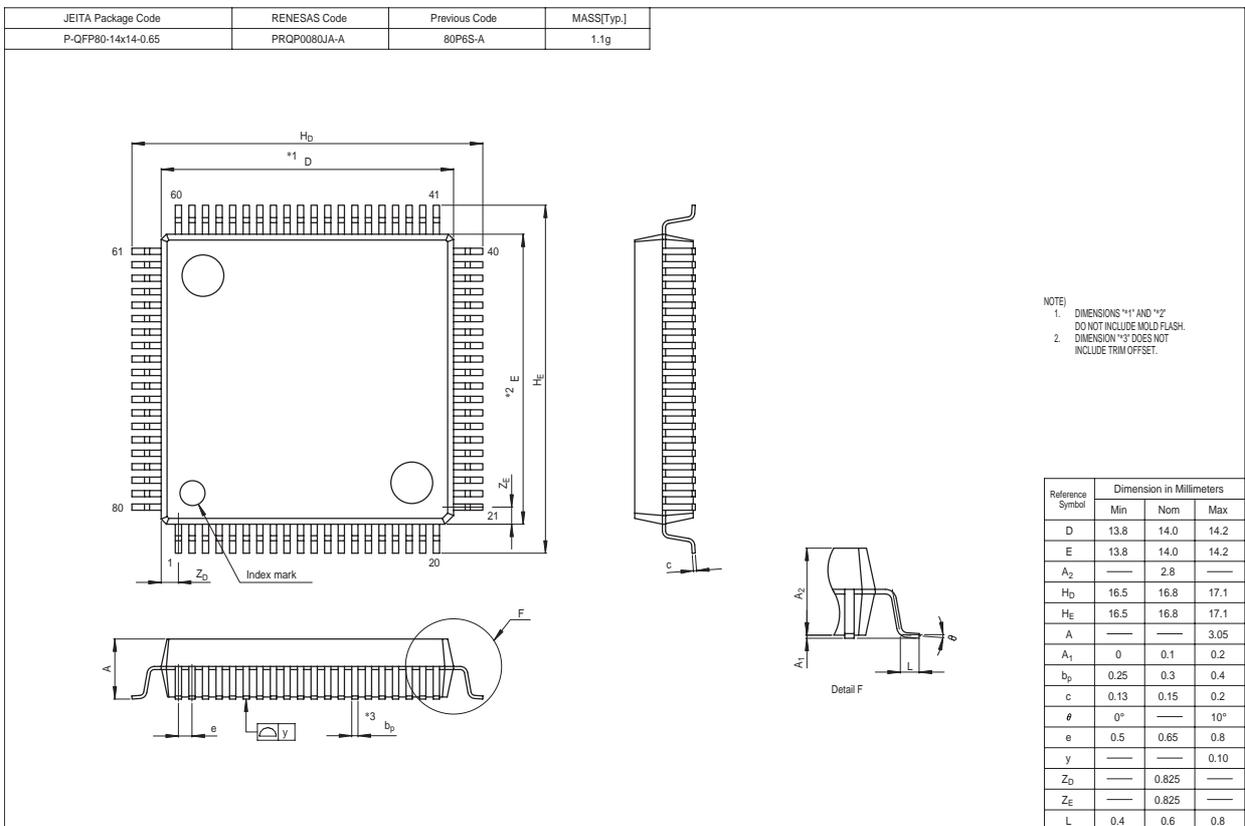
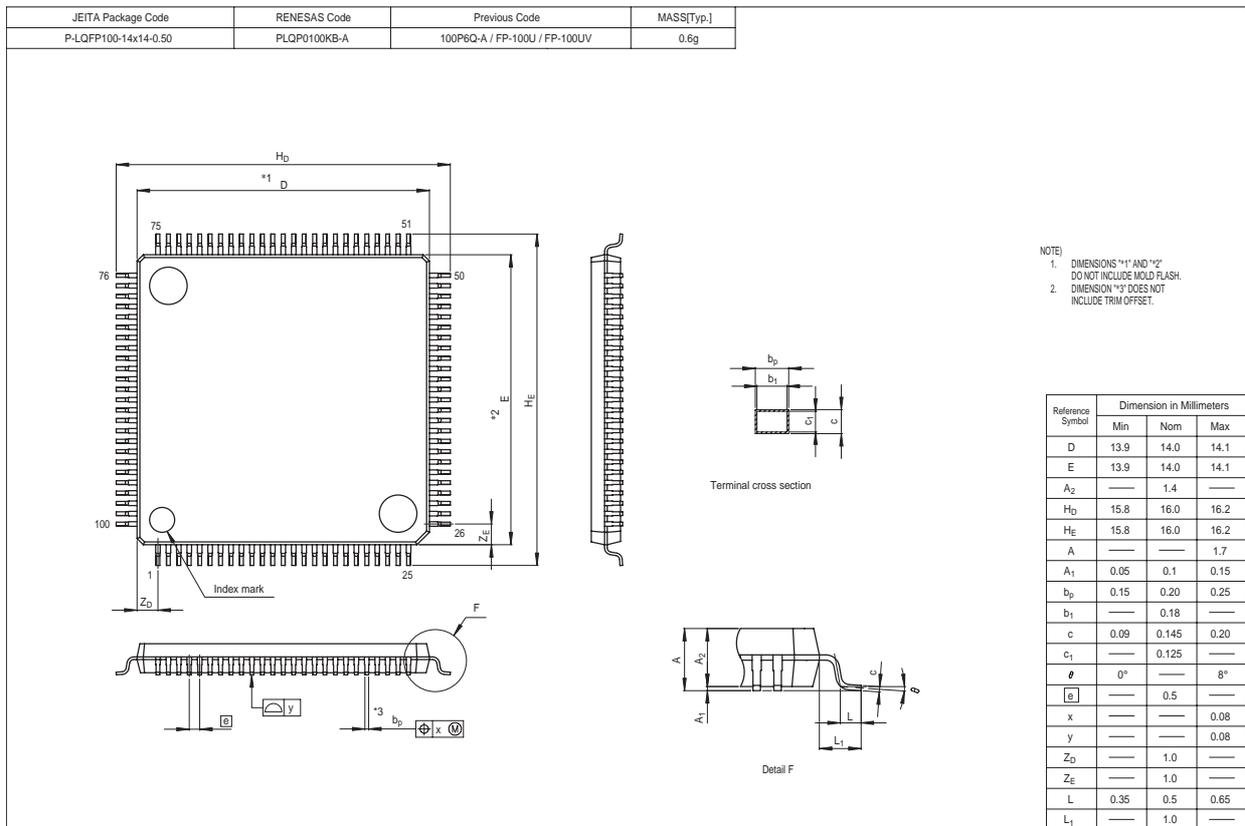
注意事項	チップバージョン			テクニカルアップデート
	A	B	C	
電源投入時等、VCC1端子に入力される電圧がSVCCの規格を満たすようにしてください。	○	—	—	TN-M16C-116-0311
VCR2レジスタのVC27ビットを“1”(電圧低下検出回路有効)、D4INTレジスタのD40ビットを“1”(電圧低下検出割り込み許可)、D41ビットを“1”(ストップモードからの復帰に電圧低下検出割り込みを使用する)にして、電圧検出回路の電圧低下検出割り込みを使用する場合、VCR1レジスタのVC13ビットが“1”(VCC1 \geq Vdet4)のとき、CM1レジスタのCM10ビットを“1”(ストップモード)にしないでください。	○	—	—	TN-M16C-117-0311 注意事項1.1
CM1レジスタのCM10ビットを“1”(ストップモード)にしてストップモードに移行した後にNMI割り込みを発生させないでください。	○	—	—	TN-M16C-117-0311 注意事項1.2
CM0レジスタのCM04ビットを“1”(サブクロック発振)、CM07ビットを“1”(サブクロック)の低速モードから、CM1レジスタのCM10ビットを“1”(ストップモード)にしないでください。	○	—	—	TN-M16C-117-0311 注意事項1.3
サブクロック(XCIN-XCOUT)をCPUクロックもしくはタイマA、タイマBのカウントソース(fc32)に使用する場合、CM0レジスタのCM03ビットを“0”(XCIN-XCOUT駆動能力“Low”)にしてください。	○	○	—	TN-M16C-119-A/JA

○：該当

—：非該当

付録1. 外形寸法図





付録2. M16C/62PとM16C/62Aとの相違点

付表2.1 M16C/62PとM16C/62Aとの相異点:マスクROM版、フラッシュメモリ版共通(1)(注1)

項目	M16C/62P	M16C/62A
最小命令実行時間	41.7ns(f(BCLK)=24MHz、VCC1=3.0~5.5V) 100ns(f(BCLK)=10MHz、VCC1=2.7~5.5V)	62.5ns(f(XIN)=16MHz、VCC=4.2~5.5V) 100ns(f(XIN)=10MHz、VCC=2.7~5.5V、1ウェイト)
電源電圧	VCC1=3.0~5.5V、VCC2=3.0V~VCC1 (f(BCLK)=24MHz) VCC1=VCC2=2.7~5.5V(f(BCLK)=10MHz)	VCC=4.2~5.5V(f(XIN)=16MHz、ウェイトなし) VCC=2.7~5.5V(f(XIN)=10MHz、1ウェイト)
I/O電源	2電源(VCC1、VCC2)	1電源(VCC)
パッケージ	80ピン、100ピン、128ピンプラスチックモールド QFP	80ピン、100ピンプラスチックモールドQFP
電圧検出回路	あり Vdet3、Vdet4検出 電圧低下検出割り込み 電圧低下検出リセット(ハードウェアリセット2)	なし
クロック発生回路	PLL、XIN、XCIN、オンチップオシレータ 低消費電力モードにしたとき、8分周モードになる。 XIN駆動能力はHIGHになる。	XIN、XCIN 低消費電力モードにしたとき、メインクロック分周比は変化しない。 XIN駆動能力は変化しない。
システムクロック保護機能	あり	なし (プロテクトレジスタで保護)
発振停止、再発振検出機能	あり	なし
消費電流	18mA(VCC1=VCC2=5V、f(BCLK)=24MHz) 8mA(VCC1=VCC2=3V、f(BCLK)=10MHz) 1.8μA(VCC1=VCC2=3V、f(XCIN)=32kHz、 ウェイトモード時)	32.5mA(VCC=5V、f(XIN)=16MHz) 8.5mA(VCC=3V、f(XIN)=10MHz、1ウェイト) 0.9μA(VCC=3V、f(XIN)=32MHz、 ウェイトモード時)
メモリ空間	メモリ空間拡張あり(4Mバイト)	1Mバイト固定
外部デバイス接続可能領域	04000h~07FFFh(PM13=0の場合) 08000h~0FFFFh(PM10=0の場合) 10000h~26FFFh 28000h~7FFFFh 80000h~CFFFFh(PM13=0の場合) D0000h~FFFFh (マイクロプロセッサモードの場合)	04000h~05FFFh(PM13=0の場合) 06000h~CFFFFh D0000h~FFFFh (マイクロプロセッサモードの場合)
メモリ拡張モード、マイクロプロセッサモード時の上位アドレス	P4_0~P4_3(A16~A19)、 P3_4~P3_7(A12~A15) : アドレスバスまたは入出力ポートを切り替え可	P4_0~P4_3(A16~A19) : アドレスバスまたは入出力ポートを切り替え可 A12~A15: 切り替えできない
SFRへのアクセス	可変(1~2ウェイト)	1ウェイト固定
外部領域へのソフトウェアウェイト	可変(0~3ウェイト)	可変(0~1ウェイト)
プロテクト	PM0、PM1、PM2、CM0、CM1、CM2、PLC0、 INVC0、INVC1、PD9、S3C、S4C、TB2SC、 PCLKR、VCR2、D4INTレジスタへのプロテクト 設定可	PM0、PM1、CM0、CM1、PD9、S3C、S4Cレジスタへのプロテクト設定可
ウォッチドッグタイマ	ウォッチドッグタイマ割り込み、またはウォッチドッグタイマリセットを選択 カウントソース保護モードあり	ウォッチドッグタイマ割り込み カウントソース保護モードなし
アドレス一致割り込み	4本	2本
タイマA、タイマBカウントソース	f1、f2、f8、f32、fC32から選択	f1、f8、f32、fC32から選択
タイマA二相パルス信号処理	Z相(カウンタリセット)入力機能あり	Z相(カウンタリセット)入力機能なし

注1. 詳細と電気的特性については、ハードウェアマニュアルを参照してください。

付表2.2 M16C/62PとM16C/62Aとの相違点:マスクROM版、フラッシュメモリ版共通(2)(注2)

項目	M16C/62P	M16C/62A
三相モータ制御用 タイマ機能	プロテクトレジスタによる機能プロテクトあり カウントソースはf1、f2、f8、f32、fC32から選択 短絡防止タイマカウントソースはf1、f1の2分周、 f2、f2の2分周から選択 出力極性切り替え、搬送波位相検出、NMI入力によ る三相出力強制遮断機能あり	プロテクトレジスタによる機能プロテクトなし カウントソースはf1、f8、f32、fC32から選択 短絡防止タイマカウントソースはf1の2分周固定
シリアルインタフェース (UART0~UART2)	(UART、クロック同期、I ² C bus、IEBus) × 3	(UART、クロック同期) × 2 (UART、クロック同期、I ² C bus、IEBus) × 1
UART0~UART2、 SI/O3、SI/O4の カウントソース	f1SIO、f2SIO、f8SIO、f32SIOから選択	f1、f8、f32から選択
シリアルインタフェース RTSタイミング	受信バッファ読み出し時に“L”になる	受信完了時に“L”になる
UART0~UART2 オーバランエラー の発生タイミング	UiRBレジスタ(i=0~2)を読む前に次のデー タ受信 を開始し、次のデータの7ビット目を受信すると発生 (クロック同期) UiRBレジスタを読む前に次のデータ受信を開始し、 次のデータの最終ストップビットの1つ前のビット を受信すると発生(UART)	UiRBレジスタ(i=0~2)を読む前に次のデータが 揃ったときに発生
シリアルインタフェース CTS/RTS分離機能	あり	なし
UART2の送信開始 タイミング	データ書き込み後、2回目のBRGのオーバフロー タイミングで送信開始 (UART0、UART1と同じ)	データ書き込み後、1回目のBRGのオーバフ ロータイミングで送信開始 (UART0、UART1よりBRGのオーバフロー 1回分、早く送信開始)
シリアルインタフェース スリープ機能	なし	あり
シリアルインタフェース I ² Cモード	スタートコンディション、ストップコンディショ ンの自動生成機能あり	スタートコンディション、ストップコンディ ションの自動生成機能なし
シリアルインタフェース I ² Cモード SDA遅延	SDAの遅延はデジタル遅延のみ SDAデジタル遅延のカウントソースはBRG	SDAの遅延としてアナログ遅延またはデジタル 遅延選択 SDAインタフェースデジタル遅延のカウント ソースは1/f(XIN)
SI/O3、SI/O4 クロック極性	選択可	固定
A/Dコンバータ	10ビット×8チャンネル (最大26チャンネルまで拡張可)	10ビット×8チャンネル (最大10チャンネルまで拡張可)
A/Dコンバータの 動作クロック	fAD、またはfADの2、3、4、6、12分周から選択	fAD、fAD/2、fAD/4から選択
A/Dコンバータの 入力端子	ポートP0、P2、P10から選択	ポートP10固定

注2. 詳細と電気的特性については、ハードウェアマニュアルを参照してください。

付表2.3 M16C/62PとM16C/62Aとの相異点:フラッシュメモリ版共通(注3)

項目	M16C/62P	M16C/62A
ユーザROM ブロック分割	4Kバイト×3、8Kバイト×3、32Kバイト×1 64Kバイト×7:14ブロック (フラッシュメモリ容量は最大512Kバイト)	8Kバイト×2、16Kバイト×1、32Kバイト×1、 64Kバイト×3:7ブロック (フラッシュメモリ容量は最大256Kバイト)
プログラム方式	ワード単位	ページ単位
プログラムコマンド (ソフトウェア コマンド)	ページプログラムコマンドなし、プログラムコマ ンドあり (プログラムはワードまたはバイト単位)	ページプログラムコマンドあり、プログラムコ マンドなし (プログラムはページ単位)
ブロックステータス アフタプログラム機能	なし	あり
CPU書き換えモード	EW1モードあり	EW1モードなし

注3. 詳細と電気的特性については、ハードウェアマニュアルを参照してください。

改訂記録

M16C/62P グループ (M16C/62P、M16C/62PT) ハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2003.05.28	2	クロック発生回路の性能欄変更 割り込み 内部要因変更 (25→29) フラッシュメモリ版 プログラム、イレーズ回数に追加
		4-5	表 1.1.2、表 1.1.3 を変更
		14-19	リセット後の値変更 (?→×)、補足を一部削除 注 1. の文章を一部変更
		20	ハードウェアリセット 1 の文章を一部変更
		23	表 1.5.1 に注 1 を追加 (旧注 1→注 2)
		24	図 1.5.4 を変更 図 1.5.5 注 1 を変更
		26	図 1.5.7 を変更
		27	表 1.5.2 を変更、注 3 を追加 表 1.5.3 を変更 1. ストップモードの制約の文章を一部追加
		28	2. WAIT 命令の制約の文章変更 図 1.5.8 を変更
		31	図 1.6.2 注 6 を追加 (旧注 6→注 7)
		33	● マルチプレクスバスの文章変更
		34	(2) データバスの文章を一部追加
		38	(7) HOLD 信号文章を一部追加 表 1.7.4 注 3 追加
		39	表 1.7.5 注 4 追加
		40	(10) ソフトウェアウェイトの文章を一部追加
		41	表 1.7.7 SFR、PM2 レジスタ PM20 ビットを追加 注 3 を追加
		46	図 1.8.5 CS 領域以外を一部変更
		47	文章を一部追加
		48-50	図 1.8.7～図 1.8.9 を変更
		51	クロック発生回路の文章一部削除
		52	図 1.9.1 を変更
		53	図 1.9.2 注 4 の文章を一部追加、注 13 の文章を変更、注 14 追加
		55	図 1.9.4 注 12 を追加
		58	(1) メインクロックの文章を一部追加
		60	(4) PLL クロックの文章を一部変更、追加
		63	■ 低消費電力モードの文章を一部削除
		64	● ウェイトモードへの移行の文章を変更
66	(3) ストップモードの文章を一部追加		
69	図 1.9.11 注 9 を追加		

改訂記録

M16C/62P グループ (M16C/62P、M16C/62PT) ハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
		70	表 1.9.7 を変更
		75	図 1.11.1 を変更
		79	表 1.11.2 注 6 を追加
		81	図 1.11.3 注 4 を変更
		83	図 1.11.4 注 2 を追加
		84	表 1.11.5 を変更
		85	図 1.11.6 を変更
		86	図 1.11.8 を変更
		88	図 1.11.10 の IFSR レジスタの注 1、注 2 を追加
		90	アドレス一致割り込みの文章を一部追加 図 1.11.12 を表 1.11.6 に変更 (以下の図表番号変更)
		92-93	削除 (注意事項は全て注意事項集に記載する、以下のページ番号変更)
		92	ウォッチドッグタイマの文章を一部追加
		93	式追加
		103	(5) チャネルの優先順位と DMA 転送タイミング最終行追加 バス権→バス使用权に変更 (本文中および図 1.13.6 4箇所)
		108	図 1.14.6 の TRGSR レジスタ変更、注 2 削除
		115	表 1.14.5 を一部変更 図 1.14.12 を一部変更
		125	図 1.16.2 を一部変更
		126	図 1.16.3 を一部変更
		139	図 1.17.6 U0SMR ~ U2SMR レジスタ一部変更
		140	図 1.17.7 U0SMR2 ~ U2SMR2 レジスタ一部変更
		150,158, 170	表 1.19.2、表 1.20.2、表 1.20.8 の UiBRG ー を 0 ~ 7 に変更
		173	表 1.20.10 の U2BRG ー を 0 ~ 7 に変更
		157	図 1.20.1 を一部変更、追加
		160	表 1.20.4 を一部変更、注 1 を変更、注 5 ~ 注 7 を追加
		162	●スタートコンディション、ストップコンディションを一部変更
		172	表 1.20.9 注 2 を追加
		174	図 1.20.10 を変更 補足を追加
		178	図 1.21.2 SiC レジスタの注を一部変更
		183	図 1.22.1 を一部削除
		197	図 1.22.10 コンデンサの値を変更 (3.0 → 1.5)
		200(旧)	削除 (注意事項は全て注意事項集に記載する、以下のページ番号変更)
		203-207	図 1.25.1 ~ 図 1.25.5 の注 1 を一部追加
		213	表 1.25.1、表 1.25.2 を変更、追加、図 1.25.12 を次ページへ

改訂記録

M16C/62P グループ (M16C/62P、M16C/62PT) ハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
		214	図1.25.12を変更
		217	表1.26.3 規定値を一部変更、項目を追加、表1.26.5、表1.26.6を次ページへ
		218	表1.26.5 項目を追加 表1.26.6を追加(以下の表番号変更)
		219	表1.26.9 項目を追加
		225	表1.26.26 注1に文章追加、注2の計算式に追加
		226	表1.26.27 注1に文章追加
		225-226	表1.26.26、表1.26.27 データ保持時間(BCLK基準)に注3 追加
		227	表1.26.28 th(ALE-AD)に注4を追加、注1の計算式に追加
		225-227	スイッチング特性 補足を一部削除
		231-234	図1.26.5～図1.26.8 書き込みタイミング th(WR-AD)、th(WR-DB)を変更
		235-236	図1.26.9、図1.26.10 読み出しタイミング th(ALE-AD)、書き込みタイミング th(WR-CS)、th(WR-DB)、th(WR-AD)を変更
		237	表1.26.29 注2を追加
		242	表1.26.45 注1に文章追加、注2の計算式に追加
		243	表1.26.46 注1に文章追加
		242-243	表1.26.45、表1.26.46 データ保持時間(BCLK基準)に注3 追加
		244	表1.26.47 th(ALE-AD)に注4を追加、注1の計算式に追加
		242-244	スイッチング特性 補足を一部削除
		248-251	図1.26.15～図1.26.18 書き込みタイミング th(WR-AD)、th(WR-DB)を変更
		252-253	図1.26.19、図1.26.20 読み出しタイミング th(ALE-AD)、書き込みタイミング th(WR-CS)、th(WR-DB)、th(WR-AD)を変更
		254	表1.27.1 プログラム、イレーズ回数に追加、注3、注4を追加 表1.27.2 注1、注2を追加
		258	表1.27.3 注2を追加
		261	図1.27.4 FMR0レジスタの注1、注3を一部変更
		262	図1.27.5を一部変更、注2を追加
		263	図1.27.7を一部変更、注2、注3を一部変更
		264	EW1モードを一部削除
		270	図1.27.11を一部変更
		274	図1.27.12 コマンドシーケンスエラー補足(1)を変更、イレーズエラー補足(1)を一部変更
		276	表1.27.7を変更
		277-279	図1.27.13～図1.27.15を変更

改訂記録	M16C/62P グループ (M16C/62P、M16C/62PT) ハードウェアマニュアル
------	------------------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
		280-281	図1.27.16～図1.27.17を変更
		285	クロック発生回路、メモリ拡張モード、マイクロプロセッサモード時の上位アドレスを変更
		286	三相モータ制御用タイマ機能を一部変更
		287	ブロックステータスアフタプログラム機能を変更
1.11	2003.06.20	254	表1.27.1 プログラム、イレーズ回数を一部変更、注3、注4 を一部変更
2.30	2004.08.06	—	用語統一(統一用語:オンチップオシレータ、ウォッチドッグタイマ、A/Dコンバータ、D/Aコンバータ) 高信頼性版追加 ハードウェアリセット2 → 電圧低下検出リセット(ハードウェアリセット2)
		2-4	表1.1～表1.3 性能概要 最小命令実行時間 f(XIN)→f(BCLK)に変更 128ピン版、100ピン版、80ピン版に変更
		4	表1.3 性能概要 多機能タイマの三相モータ制御回路削除
		6	図1.2 80ピンのブロック図
		7-9	表1.4～表1.5 製品一覧表 ★→(開)、★★→(計)
		8	表1.5 製品一覧表 注1を削除、ROM容量を一部変更
		9	表1.6～表1.7 製品一覧表 M16C/62PT版を追加
		11	表1.8 フラッシュメモリ版、ROM外付け版の製品コード(M16C/62P)を追加 図1.4 フラッシュメモリ版、ROM外付け版のマーキング図(上面図)(M16C/62P)を追加
		12	表1.9 フラッシュメモリ版の製品コード(M16C/62PT)を追加 図1.5 フラッシュメモリ版のマーキング図(上面図)(M16C/62PT)を追加
		13-16	図1.6～図1.9 ピン接続図にZPを追加
		17	表1.10 端子の機能説明(1) 電源系統に(注3)を追記 注3 VCC1≥VCC2をVCC1>VCC2に変更
		18, 20	表1.11、表1.13 端子の機能説明 タイマAにZPを追加 端子の機能説明(2)、(3) 電源系統に(注1)を追記 注1 VCC1≥VCC2をVCC1>VCC2に変更
		19, 21	表1.12、表1.14 端子の機能説明 VREFにVCC1を追加
		24	図3.1 メモリ配置を変更 注3を追加
		25	注6を追加
		30	D/Aレジスタ0、1のリセット値 XXh→00h
		31	5.2 電圧低下検出リセット(ハードウェアリセット2) 文章変更
		32	図5.1 リセット回路の回路の一例 注1 VCC1≥VCC2→VCC1>VCC2

改訂記録	M16C/62P グループ (M16C/62P、M16C/62PT) ハードウェアマニュアル
------	------------------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
		35	5.5 電圧検出回路を6章に変更 注意書き追加 図6.1 電圧検出回路ブロック図を変更
		36	図6.2 VCR2レジスタ VC25を削除し、予約ビットに変更 注4を削除
		37	図6.3 電圧低下検出リセット(ハードウェアリセット2)動作例 ストップモードを使用する場合を削除 ストップモードを使用しない場合 VC25ビットを削除 注1を変更
		39	図6.4 電圧低下検出割り込み発生回路ブロック図を変更
		40	6.2 ストップモードの制約、6.3 ウェイトモードの制約を変更
		41	7. プロセッサモード 注意書き追加
		44	図7.2 PM1レジスタ リセット後の値を変更、注5を変更
		46	8. バス 注意書きを追加 8.1.2.2 BYTE端子に“L”を入力している場合 文章変更 表8.1 セパレートバスとマルチプレクスの相違を追加
		47	図8.1 CSRレジスタ 注2を変更
		50	図8.4 RDY信号によってリードサイクルにウェイトが挿入された例 変更
		54	表8.8 ソフトウェアウェイト関連ビットとバスサイクル CSRレジスタ/セパレートバスの最後 1→0 注5を追加
		57	9. メモリ空間拡張機能 注意書きを追加
		62	図9.7 4MバイトROMのアドレスとマイクロコンピュータのアドレスとの関係(1) 512バイト→512Kバイト
		63	図9.8 4MバイトROMのアドレスとマイクロコンピュータのアドレスとの関係(2) 256バイト→256Kバイト ROM上のアドレス 380000h プログラムまたはデータ削除
		64	図9.9 4MバイトROMのアドレスとマイクロコンピュータのアドレスとの関係(3) 512バイト→512Kバイト
		67	図10.2 CM0レジスタ ビット名 WAIT時周辺機能クロック停止ビット →ウェイトモード時周辺機能クロック停止ビット
		70	図10.5 PCLKR、PM2レジスタ PM2レジスタの注2変更
		75	図10.9 PLLクロックをCPUのクロック源にする手順 PLLクロックを16MHz以上にする場合→PLLクロック>16MHz
		79	表10.4 ウェイトモード時の端子の状態 ALE “H” → “L”
		81	表10.6 ストップモード時の端子の状態 ALE “H” →不定
		82	図10.10 ストップモード、ウェイトモード状態遷移図を変更

改訂記録	M16C/62P グループ (M16C/62P、M16C/62PT) ハードウェアマニュアル
------	------------------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
		83	図10.11 通常動作モード状態遷移 注6を追加
		85	10.5 システムクロック保護機能 1行目 暴走→プログラム暴走
		87	図10.12 オンチップオシレータクロックからメインクロックへの切り替え手順を変更
		88	11. プロテクト 注意書き追加
		89	12. 割り込み 注意書き追加
		107	図13.2 WDC、WDTsレジスタ WDCレジスタの注1、2を変更
		108	13.2 コールドスタート/ウォームスタートを追加
		119	15. タイマ 注意書き追加
		121	15.1 タイマA 注意書き追加
		125	表15.1 タイマモードの仕様 分周比 TAIレジスタ→TAiMR 選択機能 最後から2行目～最後の行を変更
		126	表15.2 イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)最後の行を変更
		129	15.1.2.1 二相パルス信号処理でのカウンタ初期化 4行目 INT2→ZP端子 図15.10 二相パルス(A相、B相)とZ相の関係 INT2(Z相)→ZP
		133	15.2 タイマB 注意書き追加
		136	表15.6 タイマモードの仕様 分周比 TBiMR→TBi
		140	16. 三相モータ制御用タイマ機能 注意書き追加
		142-149	図16.2～図16.9 変更
		150	17. シリアルI/O 注意書き追加 17.1 UART1(1=0～2) 注意書き追加
		151-152	図17.1～図17.3 変更
		156	図17.7 U0C1～U2C1レジスタ U0C1、U1C1レジスタ リセット値 00000010b→00XX0010b
		164	17.1.1.1 通信エラー発生時の対処方法 追加
		165	17.1.1.4 連続受信モード 1行目～4行目を追加
		167	17.1.1.7 CTS/RTS機能 追加
		168	表17.5 UARTモードの仕様 注3を追加
		172	17.1.2.1 転送速度、表17.9 転送速度 追加
		173	17.1.2.2 通信エラー発生時の対処方法 追加
		175	17.1.2.6 CTS/RTS機能 追加
		178	表17.11 I ² Cモード時の使用レジスタと設定値(1) 注2を変更
		183	表17.9 UCON、U0SMR～U2SMRレジスタ 注4を追加
		187	表17.16 特殊モード2時の使用レジスタと設定値 注2を変更
		190	表17.17 IEモード時の使用レジスタと設定値 注2を変更

改訂記録	M16C/62P グループ (M16C/62P、M16C/62PT) ハードウェアマニュアル
------	------------------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
		192	表 17.18 SIMモードの仕様 注3を追加
		197	17.2 SI/O3、SI/O4 注意書き追加
		202	表 18.1 A/Dコンバータの仕様 分解能10ビットを変更 注2を変更
		205	図 18.3 A/D制御レジスタ2 注3 10MHzを12MHzに変更
		217	18.2.6 A/D変換時のセンサーの出カインピーダンス 追加
		223	21. プログラマブル入出力ポート 注意書き追加 章本文1行目～3行目を変更 表 21.1 各パッケージのプログラマブル入出力ポートの本数を追加
		224	21.3 プルアップ制御レジスタ0～プルアップ制御レジスタ3 4行目 ポート～してください。を追加
		230	図 21.7 PD0～PD13レジスタ PDiレジスタ (i=0～7、9～13) 注3を変更
		231	図 21.8 P0～P13レジスタ Piレジスタ (i=0～7、9～13) 注3を変更
		232	図 21.9 PC14、PUR3レジスタ PUR3レジスタ 注2を変更
		235	表 21.2 シングルチップモード時の未使用端子の処理例 注5を追加 表 21.3 メモリ拡張モード、マイクロプロセッサモード時の未使用端子の 処理例 注7を変更
		237-266	22. フラッシュメモリ版 全面変更
		267	表 23.1 絶対最大定格 消費電力の条件を変更 動作周囲温度の項目を追加、定格値変更 注1を追加
		268	表 23.2 オンチップオシレータ発振周波数 規格値を追加
		269	表 23.3 A/D変換特性 積分非直線性誤差、絶対精度の測定条件を変更 許容信号源インピーダンスを追加 変換時間(10bit)、変換時間(8bit)の測定条件を変更 変換時間(10bit)、変換時間(8bit)、サンプリング時間の規格値(最小)を変更 注1、注2を変更 表 23.4 D/A変換特性 注2に追加
		270	表 23.5～表 23.6 フラッシュメモリの電気的特性を変更
		271	表 23.8 低電圧検出回路の電気的特性 Vdet4-Vdet3 追加 Vdet2を削除 注1を変更 表 23.9 電源回路のタイミング特性 td(M-L)を削除、図を変更
		272	表 23.10 電気的特性(1) ヒステリシス VT+-VT- SCL→SCL0～SCL2、 SDA→SDA0～SDA2、TA2OUT→TA0OUTに変更 ヒステリシス RESETの最大規格値 2.2→2.5 ヒステリシス XIN を追加 注3を追加

Rev.	発行日	改訂内容	
		ページ	ポイント
		273	表 23.11 電気的特性(2) Idet2 を削除 注4 を変更
		274	表 23.13 メモリ拡張モード HLDA出力遅延時間を削除
		276	表 23.24 シリアルI/O $T_{su}(D-C)$ の規格値 30→70
		277	図 23.2 ポートP0～P10の測定回路を変更、図題のP10→P14に変更 表 23.26 メモリ拡張モード、マイクロプロセッサモード HLDA出力遅延時間を追加
		278	表 23.27 メモリ拡張モード、マイクロプロセッサモード HLDA出力遅延時間を追加
		279	表 23.28 メモリ拡張モード、マイクロプロセッサモード HLDA出力遅延時間を追加
		280	図 23.3 タイミング図(1) XIN入力を追加
		283-284	図 23.6～図 23.7 タイミング図 読み出しタイミング DB→DBiに修正
		285-286	図 23.8～図 23.9 タイミング図 書き込みタイミング DB→DBiに修正
		288	図 23.11 タイミング図 読み出しタイミング、書き込みタイミング DB→DBiに修正
		289	表 23.29 電気的特性(1) V_{OH} 、 V_{OL} を変更 ヒステリシス V_{T+} 、 V_{T-} SCL→SCL0～SCL2、SDA→SDA0～SDA2、 TA2OUT→TA0OUTに変更 ヒステリシス XIN を追加 注3 を追加
		290	表 23.30 電気的特性(2) Idet2 を削除 注4 を変更
		291	表 23.32 メモリ拡張モード HLDA出力遅延時間を削除
		293	表 23.43 シリアルI/O $T_{su}(D-C)$ の規格値 50→100
		294	図 23.12 ポートP0～P10の測定回路を変更、図題のP10→P14に変更 表 23.45 メモリ拡張モード、マイクロプロセッサモード HLDA出力遅延時間を追加
		295	表 23.46 メモリ拡張モード、マイクロプロセッサモード HLDA出力遅延時間を追加
		296	表 23.47 メモリ拡張モード、マイクロプロセッサモード HLDA出力遅延時間を追加
		297	図 23.13 タイミング図(1) XIN入力を追加
		300-301	図 23.16～図 23.17 タイミング図 読み出しタイミング DB→DBiに修正
		302-303	図 23.18～図 23.19 タイミング図 書き込みタイミング DB→DBiに修正
		306-318	23.2 電気的特性(M16C/62PT)を追加
		319	24.1 リセットを追加
		320	24.2 外部バス 4行目～最後を追加

改訂記録	M16C/62P グループ (M16C/62P、M16C/62PT) ハードウェアマニュアル
------	------------------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
		321	図24.2 電源変動のタイミング図を追加
		322	24.4 パワーコントロール 発振駆動能力の切り替え 文章を削除
		338	24.9.2.1 特殊モード1(I ² Cモード)を追加
		339	24.9.3 SI/O3、SI/O4を追加
		340	24.10 A/D変換レジスタ 最後から4行目 10MHz→12MHz
		341	最後から2行目～最後を追加
		344	24.13 マスクROM版を追加
		348	24.15 ノイズに関する注意事項を追加
		349	25. 製造時期による相違を追加
2.40	2005.12.15	-	パッケージ型名を新型名に変更。
		2-4	表1.1～表1.3を変更。
		7	表1.4 製品一覧表(1) 内容を更新。 注1を追加。
		8	表1.5 製品一覧表(2) 384+4Kを追加。 内容を更新。 注1、2を追加。
		9	表1.6 製品一覧表(3) 注1、2を追加。
		10	表1.7 製品一覧表(4) 注1、2を追加。
		11	図1.3 形名とメモリサイズ・パッケージを変更。
		12	表1.8 フラッシュメモリ版、ROM外付け版の製品コードを変更。
		13	表1.9 フラッシュメモリ版の製品コードを変更。
		15-17	表1.10～表1.11 128ピン版端子名一覧表を追加。
		20-21	表1.13～1.14 100ピン版端子名一覧表を追加。
		23-24	表1.15～表1.16 80ピン版端子名一覧表を追加。
		25	表1.17 端子の機能説明(100ピン版、128ピン版共通) 外部データバス切り替え→外部データバス幅
		34	表4.1 SFR一覧(1) 注4 VCR2レジスタ～“0”になります。を削除。
		42-46	5. リセット 記載順序を変更。
		44	5.2 電圧低下検出リセット(ハードウェアリセット2) 文章を変更。
		47	6. 電圧検出回路 文章を追加。 図6.1 電圧検出回路ブロック図を変更。

Rev.	発行日	改訂内容	
		ページ	ポイント
		50	図6.4 電圧低下検出リセット(ハードウェアリセット2)動作例を変更。
		51	表6.2 サンプリング時間 (D4INTクロック)追加。 サンプリング時間→サンプリングクロック
		54-55	6.4 コールドスタート/ウォームスタート判定機能 13 ウォッチドッグタイマから移動。
		59	図7.2 PM1レジスタ 注7 外部、PM13=1 (メモリ拡張モード時)
		66	8.2.6 RDY信号 文章変更。
		71	表8.8 ソフトウェアウェイト関連ビットとバスサイクル PM2レジスタ PM20ビット 1と0を入れ替える
		80	図9.8 4MバイトROMのアドレスとマイクロコンピュータのアドレスとの関係(2)を変更。
		89	図10.7 メインクロックの接続回路を変更。
		90	図10.8 サブクロックの接続回路例を変更。
		91	10.1.4 PLLクロック 上から10行目～11行目 PLLクロックの周波数が～にしてください。を追加。
		95	10.4.1.6 オンチップオシレータモード 下から2行目～最後 高速、中速モード～にしてください。を10.4.1.7 オンチップオシレータ モードから移動。 10.4.1.7 オンチップ低消費電力モード 最後の文を10.4.1.6 オンチッ プオシレータモードへ移動。
		96	表10.4 ウェイトモード時の端子の状態の位置を移動。
		97	10.4.2.4 ウェイトモードからの復帰 1、3行目 電圧低下検出回路を追加。 表10.5 ウェイトモードからの復帰に使用できる割り込みと使用条件 表題を変更。 位置を移動。 項目に電圧低下検出割り込みを追加。
		98	10.4.3 ストップモード 本文を表10.6 ストップモードからの復帰に使用できる割り込みと使用条 件に変更。 表10.7 ストップモード時の端子の状態の位置を移動。
		99	10.4.3.3 ストップモードからの復帰 1、3行目 電圧低下検出割り込みを追加。
		101	図10.11 通常動作モード状態遷移 注7を削除。
		105	10.6.3 発振停止、再発振検出機能使用方法 1行目 電圧低下検出割り込みを追加。 3行目 ルーチン→処理プログラム 13行目 クロック源を追加。

Rev.	発行日	改訂内容	
		ページ	ポイント
		107, 109,110	開発サポートツール→開発ツール
		108	12.2.2 オーバフロー割り込み 1行目 FLGレジスタを追加。
		118	12.5.8 割り込みルーチンからの復帰 下から2行目～最後 レジスタバンクを～切り替わります。を追加。 12.5.9 割り込み優先順位 1行目 同一サンプリング～で、を追加。 12.5.10 割り込み優先レベル判定回路 1行目 同一サンプリング～割り込みから、を追加。
		120	図12.11 IFSRレジスタ 注2文章変更 データバス～のときは、を追加。
		123	12.9 アドレス一致割り込み 1行目 アドレス一致割り込み要求→アドレス一致割り込み
		128	表14.1 DMACの仕様 DMAC転送サイクル数を追加。
		133	14.1.3 ソフトウェアウエイトの影響 3行目～最後の文章 下から移動。
		165	表16.1 三相モータ制御用タイマ機能の仕様 0～065535→0000h～FFFFh 1～065535→0001h→FFFFh 1～255→01h～FFh
		166	図16.1 三相モータ制御用タイマ機能のブロック図を変更。
		167	図16.2 INVC0レジスタ 注5 INVC03ビットが“1”のとき、～行います。を追加 注6 INVC04ビットとINVC05ビットが～になります。を追加。
		176	図17.1 UART0ブロック図を変更。 図17.2 UART1ブロック図を変更。
		177	図17.3 UART2ブロック図を変更。
		179	図17.5 UARTi受信バッファレジスタ 注3を追加。
		183	図17.9 UCON、U0SMR～U2SMRレジスタ 注4を変更。
		186	表17.1 クロックシリアルI/Oモードの仕様 fj/2(n+1)→fj/(2(n+1)) 注2を変更。
		189	図17.12 クロック同期シリアルI/Oモード時の送信、受信タイミングを 変更。
		190	17.1.1.1 通信エラー発生時の対処方法 UiTBレジスタの初期化手順 (3) 受信→送信

Rev.	発行日	改訂内容	
		ページ	ポイント
		194	表 17.5 UARTモードの仕様 fj/16(n+1)→fj/(16(n+1)) fEXT/16(n+1)→fEXT/(16(n+1)) 送受信→送信、受信 注1を変更。
		197	図 17.18 UARTモード時の送信タイミング例を変更。
		198	17.1.2.1 転送速度 転送速度→ビットレート 表 17.9 ビットレート 実時間→ビットレート
		199	17.1.2.2 通信エラー発生時の対処方法 UiTBレジスタの初期化手順 (3) 受信→送信
		202	表 17.10 I ² Cモードの仕様 fj/2(n+1)→fj/(2(n+1))
		204	表 17.11 I ² Cモード使用時の使用レジスタと設定値(1) 注4を追加。
		212	表 17.15 特殊モード2の仕様 fj/2(n+1)→fj/(2(n+1))
		218	表 17.18 SIMモードの仕様 fj/16(n+1)→fj/(16(n+1)) fEXT/16(n+1)→fEXT/(16(n+1))
		220	図 17.33 SIMモード時の送受信タイミング例を変更。
		222	17.1.6.2 フォーマット 文章を変更。
		225	表 17.20 SI/O3、SI/O4の仕様 fj/2(n+1)→fj/(2(n+1))
		226	図 17.39 SI/Oi動作タイミング図を変更。 図 17.40 転送クロックの極性を変更。
		227	17.2.3 SOUTi初期値設定機能 2行目～3行目 ただし、連続して～保持します。を追加。
		228	表 18.1 A/Dコンバータの仕様 注2 サンプル&ホールド機能→サンプル&ホールド
		243	18.2.6 A/D変換時のセンサーの出カインピーダンス 3行目 分解されるレベル→分解能 下から4行目 f(XIN)→f(φAD) 一番下の計算式 ≐⇒=
		245	表 19.1 D/Aコンバータの仕様 2本→2チャンネル 図 19.1 D/Aコンバータブロック図を変更。

Rev.	発行日	改訂内容	
		ページ	ポイント
		246	図19.2 D/Aiレジスタ 設定値を追加。
			図19.3 D/Aコンバータ 注2を追加。
		248	図20.3 CRC演算例 CRC演算例を変更。
		255	図21.6 端子の構成 注2を削除。
		262	表21.3 メモリ拡張モード、マイクロプロセッサモード時の未使用端子の 処理例 注3 不安定→不定
		264	表22.1 フラッシュメモリ版の性能概要 注から保証を削除。
		267	図22.2 ROMCPレジスタを変更。
		268	表22.3 EW0モードとEW1モードの違い 注1 ウォッチドッグタイマを削除。
		269	22.3.2 EW1モード 5行目～最後 プログラム、イレーズの～停止します。を追加。
		272	22.3.3.4 FMSTPビット 文章を変更。
		274	図22.9 低消費電力モード前後の処理 図題を変更。 オンチップオシレータ低消費電力モードを追加。
		276	22.3.4.12 低消費電力モード、オンチップオシレータ低消費電力モード ロックビットプログラムソフトウェアコマンド→ロックビットプログラム
		279	22.3.5.5 ブロックイレーズ 下から3行目～最後 なお、イレーズエラーが発生した～実行してください。を追加。 図22.11 ブロックイレーズフローチャート 注2、3を追加。
		283	表22.5 ステータスレジスタ 項目の記載順を変更。
		285	図22.14 フルステータスチェックフローチャート、各エラー発生時の対 処方法 イレーズエラー (4)を追加。
		287	表22.7 端子の機能説明を変更。 注2を変更。 注3を追加。
		292	図22.19 標準シリアル入出力モード1を使用する場合の端子処理例 VCC1、VCC2を追加。
		293	図22.20 標準シリアル入出力モード2を使用する場合の端子処理例 VCC1、VCC2を追加。
		297	表23.3 A/D変換特性 積分非直線性誤差、絶対精度 8bit VREF=VCC1=3.3V→VREF=VCC1=5V, 3.3V サンプル&ホールド機能→サンプル&ホールド

Rev.	発行日	改訂内容	
		ページ	ポイント
		298	表 23.5 フラッシュメモリの電気的特性 100回品 表 23.6 フラッシュメモリの電気的特性 10,000回品 Topr を削除。 注 1、6 を変更。 表 23.7 フラッシュメモリの書き込み/消去電圧と読み出し動作電圧特性 表題を変更。
		299	表 23.8 電圧低下検出回路の電気的特性 表題を変更。低電圧検出回路→電圧低下検出回路 注 2 を変更。 注 4 を追加。
		300	図 23.1 電源回路のタイミング図 電圧低下検出リセット(ハードウェア リセット 2)解除待ち時間のタイミング図 td(P-R)→td(S-R)
		303	表 23.12 外部クロック入力 注 1 を追加。
		320	表 23.31 外部クロック入力 注 1～4 を追加。
		337	表 23.3 A/D 変換特性 サンプル&ホールド機能→サンプル&ホールド
		338	表 23.52 フラッシュメモリの電気的特性 100回品 表 23.53 フラッシュメモリの電気的特性 10,000回品 Topr を削除。 注 1、6 を変更。 表 23.54 フラッシュメモリの書き込み/消去電圧と読み出し動作電圧特 性 表題を変更。
		339	表 23.52 フラッシュメモリの電気的特性 規格値変更 表 23.53 フラッシュメモリの電気的特性 規格値変更 注 5. 変更
		341	表 23.57 電気的特性 Idet3、Idet4 を削除。 注 4 を削除。
		349	24.1 SFR 24.1.1 レジスタ設定時の注意事項 表 24.1 書き込みのみ可能なビットを含むレジスタ 追加
		350	図 24.1 SVCC のタイミング図変更と文章追加。
		351	24.4 パワーコントロール ウェイトモードに移行するとき、ストップモードに移行するときの文章を 変更。
		372	図 24.4 各端子の処理例を変更。
		373	24.10 A/D コンバータ 下から 2 行目～最後。 AN4～AN7 は、KI0～KI3 と共用～増加します。を追加。

改訂記録	M16C/62P グループ (M16C/62P、M16C/62PT) ハードウェアマニュアル
------	------------------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
		374	24.12 プログラマブル入出力ポート 設定手順を変更。 文章を追加。
		377	24.15.2 ストップモードを変更。
		378	24.15.8 動作速度を変更。
		381	25. 製造時期による相違を変更。
		385	付表 2.1 用語統一 項目 最短命令実行時間→最小命令実行時間
2.41	2006.01.10	100	図 10.10 ストップモード、ウェイトモード状態遷移 一部削除
		101	図 10.11 通常動作モード状態遷移 一部削除
		133	14.1.3 ソフトウェアウェイトの影響 文章一部移動
		183	図 17.9 UCON、U0SMR～U2SMR レジスタ 注 4 を変更。
		246	19.3 D/A コンバータの等価回路

ルネサス 16ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
M16C/62Pグループ (M16C/62P、M16C/62PT)

発行年月日 2006年01月10日 Rev.2.41

発行 株式会社 ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町2-6-2

© 2006. Renesas Technology Corp., All rights reserved. Printed in Japan.

M16C/62P グループ (M16C/62P、M16C/62PT) ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0105-0241